

To our customers,

Old Company Name in Catalogs and Other Documents

On April 1st, 2010, NEC Electronics Corporation merged with Renesas Technology Corporation, and Renesas Electronics Corporation took over all the business of both companies. Therefore, although the old company name remains in this document, it is a valid Renesas Electronics document. We appreciate your understanding.

Renesas Electronics website: <http://www.renesas.com>

April 1st, 2010
Renesas Electronics Corporation

Issued by: Renesas Electronics Corporation (<http://www.renesas.com>)

Send any inquiries to <http://www.renesas.com/inquiry>.

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

78K0/LF3

8 位单片微控制器

μ PD78F0471

μ PD78F0472

μ PD78F0473

μ PD78F0474

μ PD78F0475

μ PD78F0481

μ PD78F0482

μ PD78F0483

μ PD78F0484

μ PD78F0485

μ PD78F0491

μ PD78F0492

μ PD78F0493

μ PD78F0494

μ PD78F0495

78K0/LF3具有片上调试功能。

大规模生产时不要使用本产品，因为在使用片上调试功能后，从flash存储器可重写的次数受到限制这一点来看，它的可靠性不能保证。NEC Electronics 不接受对于本产品的任何投诉。

[备忘录]

① 输入引脚处的电压波形

输入噪音或一个反射波引起的波形失真可能导致错误发生。如果由于噪音等的影响使CMOS设备的输入电压范围保持在 V_{IL} （最大值）和 V_{IH} （最小值）之间，设备可能发生错误。在输入电平固定时以及输入电平从 V_{IL} （最大值）过渡到 V_{IH} （最小值）时的传输期间，要防止散射噪声影响设备。

② 未使用的输入引脚的处理

CMOS设备的输入端保持开路可能导致误操作。如果一个输入引脚未被连接，则由于噪音等原因可能会产生内部输入电平，从而导致误操作。CMOS设备的操作特性与Bipolar或NMOS设备不同。CMOS设备的输入电平必须借助上拉或下拉电路固定在高电平或低电平。每一个未使用引脚都应该通过附加电阻连接到 V_{DD} 或GND。如果有可能尽量定义为输出引脚。对未使用引脚的处理因设备而异，必须遵循与设备相关的规定和说明。

③ ESD防护措施

如果MOS设备周围有强电场，将会击穿氧化栅极，从而影响设备的运行。因此必须采取措施，尽可能防止静电产生。一旦有静电，必须立即释放。对于环境必须有适当的控制。如果空气干燥，应当使用增湿器。建议避免使用容易产生静电的绝缘体。半导体设备的存放和运输必须使用抗静电容器、抗静电屏蔽袋或导电材料容器。所有的测试和测量工具包括工作台和工作面必须良好接地。操作员应当佩戴静电消除手带以保证良好接地。不能用手直接接触半导体设备。对于装配有半导体设备的PW板也应采取类似的静电防范措施。

④ 初始化之前的状态

在上电时MOS设备的初始状态是不确定的。在刚刚上电之后，具有复位功能的MOS设备并没有被初始化。因此上电不能保证输出引脚的电平，I/O设置和寄存器的内容。设备在收到复位信号后才进行初始化。具有复位功能的设备在上电后必须立即进行复位操作。

⑤ 电源开关顺序

在一个设备的内部操作和外部接口使用不同的电源的情况下，按照规定，应先在接通内部电源之后再接通外部电源。当关闭电源时，按照规定，先关闭外部电源再关闭内部电源。如果电源开关顺序颠倒，可能会导致设备的内部组件过电压，产生异常电流，从而引起内部组件的误操作和性能的退化。

对于每个设备电源的正确开关顺序必须依据设备的规范说明分别进行判断。

⑥ 电源关闭状态下的输入信号

不要向没有加电的设备输入信号或提供I/O上拉电源。因为输入信号或提供I/O上拉电源将引起电流注入，从而引起设备的误操作，并产生异常电流，从而使内部组件退化。

每个设备电源关闭时的信号输入必须依据设备的规范说明分别进行判断。

EEPROM 是 NEC 电子公司的注册商标。

SuperFlash 是 Silicon Storage Technology, Inc 的注册商标,在包括美国日本的多个国家注册。

注意事项: 该产品使用的 SuperFlash[®] 技术获得了 Silicon Storage Technology, Inc. 公司的授权。

- 本文档信息于 2006 年 7 月开始使用。将来可能未经预先通知而更改。在实际进行生产设计时, 请参阅各产品最新的数据表或数据手册等相关资料以获取本公司产品的最新规格。
- 并非所有的产品和/或型号都向每个国家供应。请向本公司销售代表查询产品供应及其他信息。
- 未经本公司事先书面许可, 禁止复制或转载本文件中的内容。本文件所登载内容的错误, 本公司概不负责。
- 本公司对于因使用本文件中列明的本公司产品而引起的, 对第三者的专利、版权以及其它知识产权的侵权行为概不负责。本文件登载的内容不应视为本公司对本公司或其他人所有的专利、版权以及其它知识产权作出任何明示或默示的许可及授权。
- 本文件中的电路、软件以及相关信息仅用以说明半导体产品的运作和应用实例。用户如在设备设计中应用本文件中的电路、软件以及相关信息, 应自行负责。对于用户或其他人因使用了上述电路、软件以及相关信息而引起的任何损失, 本公司概不负责。
- 虽然本公司致力于提高半导体产品的质量及可靠性, 但用户应同意并知晓, 我们仍然无法完全消除出现产品缺陷的可能。为了最大限度地减少因本公司半导体产品故障而引起的对人身、财产造成损害(包括死亡)的危险, 用户务必在其设计中采用必要的安全措施, 如冗余度、防火和防故障等安全设计。
- 本公司产品质量分为:

“标准等级”、“专业等级”以及“特殊等级”三种质量等级。

“特殊等级”仅适用于为特定用途而根据用户指定的质量保证程序所开发的日电电子产品。另外, 各种日电电子产品的推荐用途取决于其质量等级, 详见如下。用户在选用本公司的产品时, 请事先确认产品的质量等级。

“标准等级”: 计算机, 办公自动化设备, 通信设备, 测试和测量设备, 音频·视频设备, 家电, 加工机械以及产业用机器人。

“专业等级”: 运输设备(汽车、火车、船舶等), 交通信号控制设备, 防灾装置, 防止犯罪装置, 各种安全装置以及医疗设备(不包括专门为维持生命而设计的设备)。

“特殊等级”: 航空器械, 宇航设备, 海底中继设备, 原子能控制系统, 为了维持生命的医疗设备、用于维持生命的装置或系统等。

除在本公司半导体产品的数据表或数据手册等资料中另有特别规定以外, 本公司半导体产品的质量等级均为“标准等级”。如果用户希望在本公司设计意图以外使用本公司半导体产品, 务必事先与本公司销售代表联系以确认本公司是否同意为该项应用提供支持。

(注)

- (1) 本声明中的“本公司”是指日本电气电子株式会社(NEC Electronics Corporation)及其控股公司。
- (2) 本声明中的“本公司产品”是指所有由日本电气电子株式会社或为日本电气电子株式会社(定义如上)开发或制造的产品。

引言

读者对象

本手册适用于那些希望了解78K0/LF3 功能，并设计开发应用系统和程序的工程师。目标产品如下。

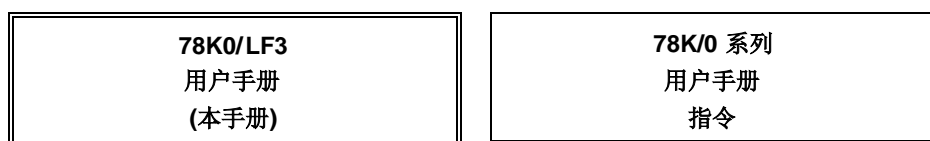
78K0/LF3: μ PD78F0471, 78F0472, 78F0473, 78F0474, 78F0475,
 μ PD78F0481, 78F0482, 78F0483, 78F0484, 78F0485,
 μ PD78F0491, 78F0492, 78F0493, 78F0494, 78F0495

目的

本手册用于帮助用户了解下面**组件**中描述的功能。

组件

78K0/LF3 手册主要分为两个部分：手册和指令（与 78K/0 系列通用）。



- 引脚功能
- 内部模块功能
- 中断
- 其它内置外设功能
- 电气特性
- CPU 功能
- 指令集
- 指令扩展

手册使用方法

在阅读本手册前，读者应掌握电子工程、逻辑电路和微控制器等方面的一般知识。

- 如果读者要了解产品功能：
→ 请按**目录**顺序阅读本手册。
- 如何解释寄存器格式：
→ 括号中的位名在 RA78K0 中被定义为保留字，并且在 CC78K0 中直接通过 # pragma sfr 定义为一个 sfr 变量。
- 如果读者希望了解 78K/0 系列指令的详细信息：
→ 可参阅 **78K/0 系列指令用户手册 (U12326E)**。

规定	数据规则:	数据的高位部分在左边，低位部分在右边
	有效低电平表示法:	$\overline{\text{xxx}}$ (在引脚和信号名称上划一条线)
	注:	文中用 注 标注的相关术语的脚注
	注意事项:	需要特别关注的信息
	备注:	补充信息
	数的表示法:	二进制 …xxxx 或 xxxx B 十进制 …xxxx 十六进制 …xxxx H

相关文章 本手册中指出的相关文章可能包括了初级的版本，但未注明。

设备文档

文档名称	文档编号
78K0/LF3 用户手册	本手册
78K/0 系列指令用户手册	U12326E

与 Flash 存储器编程相关文档 (用户手册)

文档名称	文档编号
PG-FP4 Flash 存储器编程器用户手册	U15260E
PG-FPL3 Flash 存储器编程器用户手册	U17454E

其他文档

文档名称	文档编号
半导体选择指南—产品和封装—	X13769X
半导体设备安装手册	注
NEC 半导体设备质量等级	C11531E
NEC 半导体设备可靠性/质量控制系统	C10983E
半导体设备防静电 ESD 保护指南	C11892E

注 浏览“半导体设备安装手册”网站 (<http://www.necel.com/pkg/en/mount/index.html>)。

注意事项 对以上列出的相关文档所做修改恕不另行通知。

目录

第一章 概述	15
1.1 特性	15
1.2 应用	16
1.3 订购信息	17
1.4 引脚配置 (俯视图)	18
1.5 78K0/Lx3 微控制器系列产品	22
1.6 框图	26
1.7 功能概述(μ PD78F047x)	27
1.8 功能概述(μ PD78F048x)	30
1.9 功能概述(μ PD78F049x)	33
第二章 引脚功能	36
2.1 引脚功能列表	36
2.2 引脚功能描述	41
2.2.1 P10 to P17 (port 1)	43
2.2.2 P20 to P27 (port 2)	44
2.2.3 P30 to P34 (port 3)	44
2.2.4 P40 to P47 (port 4)	45
2.2.5 P80 to P83 (port 8)	46
2.2.6 P90 to P93 (port 9)	46
2.2.7 P100 to P103 (port 10)	47
2.2.8 P110 to P113 (port 11)	47
2.2.9 P120 to P124 (port 12)	47
2.2.10 P130 to P133 (port 13)	48
2.2.11 P140 to P143 (port 14)	48
2.2.12 P150 to P153 (port 15)	49
2.2.13 V_{REF} (μ PD78F048x and 78F049x only)	49
2.2.14 V_{SS} (μ PD78F048x and 78F049x only)	49
2.2.15 COM0 to COM7	49
2.2.16 V_{LC0} to V_{LC3}	49
2.2.17 \overline{RESET}	49
2.2.18 REGC	50
2.2.19 V_{DD}	50
2.2.20 V_{SS}	50
2.2.21 FLMD0	50
2.3 引脚 I/O 电路和未使用引脚的建议连接方式	51
第三章 CPU 结构	55
3.1 存储器空间	55
3.1.1 内部程序存储器空间	67
3.1.2 内部数据存储器空间	69
3.1.3 特殊功能寄存器 (SFR) 区域	69
3.1.4 数据存储器空间寻址	70

3.2 处理器寄存器	80
3.2.1 控制寄存器.....	80
3.2.2 通用寄存器.....	84
3.2.3 特殊功能寄存器(SFRs).....	85
.3 指令地址寻址	91
3.3.1 相对寻址.....	91
3.3.2 立即寻址.....	92
3.3.3 表间接寻址.....	93
3.3.4 寄存器寻址.....	93
3.4 操作数地址寻址	94
3.4.1 隐含寻址.....	94
3.4.2 寄存器寻址.....	95
3.4.3 直接寻址.....	96
3.4.4 短直接寻址.....	97
3.4.5 特殊功能寄存器 (SFR) 寻址.....	98
3.4.6 寄存器间接寻址.....	99
3.4.7 基址寻址.....	100
3.4.8 基址变址寻址.....	101
3.4.9 堆栈寻址.....	102
第四章 端口功能	103
4.1 端口功能	103
4.2 端口配置	106
4.2.1 端口 1.....	107
4.2.2 端口 2.....	113
4.2.3 端口 3.....	115
4.2.4 端口 4.....	118
4.2.5 端口 8.....	121
4.2.6 端口 9.....	122
4.2.7 端口 10.....	123
4.2.8 端口 11.....	124
4.2.9 端口 12.....	127
4.2.10 端口 13.....	131
4.2.11 端口 14.....	132
4.2.12 端口 15.....	133
4.3 控制端口功能的寄存器	134
4.4 端口功能操作	141
4.4.1 写入 I/O 端口.....	141
4.4.2 从 I/O 端口读取.....	141
4.4.3 I/O 端口的操作.....	141
4.5 使用复用功能时 PFALL, PF2, PF1, ISC 端口模式寄存器和输出锁存器的设置	142
第五章 时钟发生器	145
5.1 时钟发生器的功能	145
5.2 时钟发生器的配置	146
5.3 控制时钟发生器的寄存器	148
5.4 系统时钟振荡器	159
5.4.1 X1 振荡器.....	159

5.4.2	XT1 振荡器	159
5.4.3	不使用副系统时钟	162
5.4.4	内部高速振荡器	162
5.4.5	内部低速振荡器	162
5.4.6	预分频器	162
5.5	时钟发生器的操作	163
5.6	时钟控制	166
5.6.1	控制高速系统时钟示例	166
5.6.2	控制内部高速系统时钟示例	168
5.6.3	控制副系统时钟示例	170
5.6.4	控制内部低速振荡时钟示例	172
5.6.5	CPU 和外部硬件所采用的时钟	172
5.6.6	CPU 时钟状态转换图	173
5.6.7	CPU 时钟切换之前的状况与切换之后的处理	178
5.6.8	CPU 时钟和主系统时钟切换所需的时间	179
5.6.9	时钟振荡停止前的状况	180
5.6.10	外部硬件与源时钟	181
第六章	16 位定时器/事件计数器 00	182
6.1	16 位定时器/事件计数器 00 的功能	182
6.2	16 位定时器/事件计数器 00 的配置	183
6.3	控制 16 位定时器/事件计数器 00 的寄存器	188
6.4	16 位定时器/事件计数器 00 的操作	197
6.4.1	间隔定时器的操作	197
6.4.2	方波输出操作	200
6.4.3	外部事件计数器的操作	200
6.4.4	通过 TI00n 引脚有效沿输入进入清零&启动模式的操作	207
6.4.5	自由运行定时器操作	220
6.4.6	PPG 输出操作	229
6.4.7	单脉冲输出操作	232
6.4.8	脉冲宽度测量操作	237
6.4.9	外部 24 位事件计数器操作	245
6.4.10	外部 24 位事件计数器注意事项	249
6.5	TM00 的特殊用途	251
6.5.1	TM00 操作期间重写 CR010	251
6.5.2	LVS00 和 LVR00 的设置	251
6.6	16 位定时器/事件计数器 00 注意事项	253
第七章	8 位定时器/事件计数器 50, 51 和 52	257
7.1	8 位定时器/事件计数器 50, 51 和 52 的功能	257
7.2	8 位定时器/事件计数器 50, 51 和 52 的配置	257
7.3	控制 8 位定时器/事件计数器 50, 51 和 52 的寄存器	252
7.4	8 位定时器/事件计数器 50, 51 和 52 的操作	261
7.4.1	用作间隔定时器	269
7.4.2	用作外部事件计数器	271
7.4.3	方波输出操作	272
7.4.4	PWM 输出操作	273
7.5	使用 8 位定时器/事件计数器 50, 51 和 52 的注意事项	277

第八章 8 位定时器 H0, H1,和 H2	278
8.1 8 位定时器 H0, H1,和 H2 的功能	278
8.2 8 位定时器 H0, H1,和 H2 的配置	278
8.3 控制 8 位定时器 H0, H1,和 H2 的寄存器	283
8.4 8 位定时器 H0, H1,和 H2 的操作	290
8.4.1 间隔定时器/方波输出操作.....	290
8.4.2 PWM 输出操作.....	290
8.4.3 载波发生器操作（仅用于 8 位定时器 H1）.....	299
第九章 实时计数器	306
9.1 实时计数器的功能	306
9.2 实时计数器的配置	306
9.3 控制实时计数器的寄存器	308
9.4 实时计数器的操作	320
9.4.1 实时计数器的启动操作.....	320
9.4.2 实时计数器的读/写.....	321
9.4.3 设置实时计数器的闹表.....	323
第十章 看门狗定时器	324
10.1 看门狗定时器的功能	324
10.2 看门狗定时器的配置	325
10.3 控制看门狗定时器的寄存器	326
10.4 看门狗定时器的操作	327
10.4.1 看门狗定时器操作的控制.....	327
10.4.2 门狗定时器溢出时间的设置.....	328
10.4.3 看门狗定时器窗口打开周期的设置.....	329
第十一章 蜂鸣器输出控制器	331
11.1 时钟输出/蜂鸣器输出控制器的功能	331
11.2 时钟输出/蜂鸣器输出控制器的配置	332
11.3 控制时钟输出/蜂鸣器输出控制器的寄存器	332
11.4 时钟输出蜂鸣器输出控制器的操作	335
11.4.1 作为时钟输出工作.....	335
11.4.2 作为蜂鸣器输出工作.....	335
第十二章 10 位逐次逼近型 A/D 转换器 (仅μPD78F048x 和 78F048x)	336
12.1 10 位逐次逼近型 A/D 转换器的功能	336
12.2 10 位逐次逼近型 A/D 转换器的配置	337
12.3 10 位逐次逼近型 A/D 转换器使用的寄存器	339
12.4 10 位逐次逼近型 A/D 转换器的操作	347
12.4.1 A/D 转换器的基本操作.....	347
12.4.2 输入电压和转换结果.....	349
12.4.3 A/D 转换器的操作模式.....	350
12.5 A/D 转换器特征表的阅读方法	352
12.6 10 位逐次逼近型 A/D 转换器的注意事项	354

第十三章 16 位 $\Delta\Sigma$ 型 A/D 转换器 (仅 μPD78F046x)	358
13.1 16 位 $\Delta\Sigma$ 型 A/D 转换器的功能	358
13.2 16 位 $\Delta\Sigma$ 型 A/D 转换器的配置	359
13.3 16 位 $\Delta\Sigma$ 型 A/D 转换器使用的寄存器	361
13.4 16 位 $\Delta\Sigma$ 型 A/D 转换器的操作	370
13.4.1 16 位 $\Delta\Sigma$ 型 A/D 转换器的基本操作	370
13.4.2 16 位 $\Delta\Sigma$ 型 A/D 转换器的操作模式	371
13.5 16 位 $\Delta\Sigma$ 型 A/D 转换器的注意事项	373
CHAPTER 14 SERIAL INTERFACE UART0	376
14.1 Functions of Serial Interface UART0	376
14.2 Configuration of Serial Interface UART0	377
14.3 Registers Controlling Serial Interface UART0	380
14.4 Operation of Serial Interface UART0	386
14.4.1 Operation stop mode	386
14.4.2 Asynchronous serial interface (UART) mode	387
14.4.3 Dedicated baud rate generator	393
14.4.4 Calculation of baud rate	394
第十五章 串行接口 UART6	398
15.1 串行接口 UART6 的功能	398
15.2 串行接口 UART6 的配置	402
15.3 控制串行接口 UART6 的寄存器	405
15.4 串行接口 UART6 的操作	416
15.4.1 操作停止模式	416
15.4.2 异步串行接口(UART)模式	417
15.4.3 专用波特率发生器	431
15.4.4 计算波特率	433
第十六章 串行接口 CSI10	439
16.1 串行接口 CSI10 的功能	439
16.2 串行接口 CSI10 的配置	439
16.3 控制串行接口 CSI10 的寄存器	441
16.4 串行接口 CSI10 的操作	445
16.4.1 操作停止模式	445
16.4.2 3 线串行 I/O 模式	445
第十七章 串行接口 CSIA0	455
17.1 串行接口 CSIA0 功能	455
17.2 串行接口 CSIA0 配置	456
17.3 寄存器控制串行 CSIA0	458
17.4 串行接口 CSIA0 操作	467
17.4.1 操作停止模式	467
17.4.2 3 线串行 I/O 模式	468
17.4.3 具有自动发送/接收功能的 3 线串行 I/O 模	473

第十八章 LCD 控制器/驱动器	488
18.1 LCD 控制器/驱动器的功能	488
18.2 LCD 控制器/驱动器的配置	490
18.3 控制 LCD 控制器/驱动器的寄存器	492
18.4 设置 LCD 控制器/驱动器	497
18.5 LCD 显示数据存储	498
18.6 Common 和 Segment 信号	499
18.7 显示模式	505
18.7.1 静态显示示例.....	505
18.7.2 2 分时显示示例.....	508
18.7.3 3 分时显示示例.....	511
18.7.4 4 分时显示示例.....	515
18.8 LCD 驱动提供电压 V_{LC0}, V_{LC1}, V_{LC2}, 和 V_{LC3}	518
18.8.1 内部分压模式.....	518
18.8.2 外部分压模式.....	520
第十九章 MANCHESTER 编码发生器	522
19.1 Manchester 编码发生器的功能	522
19.2 Manchester 编码发生器的配置	522
19.3 控制 Manchester 编码发生器的寄存器	525
19.4 Manchester 编码发生器的操作	528
19.4.1 操作停止模式.....	528
19.4.2 Manchester 编码发生器模式.....	529
19.4.3 位连续缓冲器模式.....	538
第二十章 遥控接收器	547
20.1 遥控接收器的功能	547
20.2 遥控接收器的配置	547
20.3 控制遥控接收器的寄存器	553
20.4 遥控接收器的操作	556
20.4.1 类型 A 格式接收模式.....	556
20.4.2 类型 A 接收模式的操作流程.....	556
20.4.3 时序.....	558
20.4.4 设置比较寄存器.....	560
20.4.5 错误中断产生时序.....	562
20.4.6 噪声消除.....	564
第二十一章 中断功能	567
21.1 中断类型	567
21.2 中断源及配置	567
21.3 控制中断功能的寄存器	572
21.4 中断服务操作	580
21.4.1 可屏蔽的中断响应.....	580
21.4.2 软件中断请求响应.....	582
21.4.3 中断嵌套.....	583
21.4.4 保持中断请求.....	586

第二十二章 按键中断功能.....	557
22.1 按键中断功能.....	557
22.2 按键中断的配置.....	557
22.3 控制按键中断的寄存器.....	558
第二十三章 待机功能.....	589
22.1 待机功能及配置.....	589
22.1.1 待机功能.....	589
22.1.2 控制待机功能的寄存器.....	590
22.2 待机功能的操作.....	592
22.2.1 HALT 模式.....	592
22.2.2 STOP 模式.....	597
第二十四章 复位功能.....	603
23.1 确认复位源的寄存器.....	612
第二十五章 上电清零电路.....	613
24.1 上电清零电路的功能.....	613
24.2 上电清零电路的配置.....	614
24.3 上电清零电路的操作.....	614
24.4 上电清零电路的注意事项.....	617
第二十六章 低电压检测器.....	519
26.1 低电压检测器的功能.....	619
26.2 低电压检测器的配置.....	620
26.3 控制低电压检测器的寄存器.....	620
26.4 低电压检测器的操作.....	623
26.4.1 用于复位.....	624
26.4.2 用于中断.....	629
26.5 低电压检测器的注意事项.....	634
第二十七章 选项字节.....	637
27.1 选项字节的功能.....	637
27.2 选项字节的格式.....	639
第二十八章 Flash 存储器.....	642
28.1 内部存储器容量切换寄存器.....	642
28.2 内部扩展 RAM 容量切换寄存器.....	643
28.3 用 Flash 编程器写入数据.....	644
28.4 编程环境.....	647
28.5 通信模式.....	647
28.6 在线方式的引脚处理.....	650
28.6.1 FLMD0 引脚.....	650
28.6.2 串行接口引脚.....	650
28.6.3 RESET 引脚.....	652

28.6.4 端口引脚.....	652
28.6.5 REGC 引脚	652
28.6.6 其它信号引脚.....	653
28.6.7 供电电压.....	653
28.7 编程方法	654
28.7.1 控制 Flash 存储器	654
28.7.2 Flash 存储器编程模式	654
28.7.3 选择通信模式.....	655
28.7.4 通信命令.....	656
28.8 安全性设置.....	657
28.9 通过自编程进行 Flash 存储器编程(开发中).....	659
28.9.1 引导交换功能.....	661
第二十九章 片上调试功能.....	663
29.1 QB-78K0MINI 和 78K0/LE3 的连接.....	663
29.2 片上调试安全 ID	664
第三十章 指令集	665
30.1 操作列表使用规则.....	665
30.1.1 操作数标识符和标识方法.....	665
30.1.2 操作栏描述.....	666
30.1.3 标志操作栏的描述	666
30.2 操作列表	667
30.3 按寻址类型列出指令	675
第三十章 电气特性 (标准产品).....	678
第三十一章 封装图	701
第三十二章 等待注意事项.....	703
32.1 等待注意事项	703
32.2 产生等待的外围硬件	704
附录的版本历史	705
A.1 主要编辑修正	705

第一章 概述

1.1 特征

- 指令最短执行时间可以在高速(0.2 μ s : @高速系统时钟的操作频率为 10 MHz) to 和超低速(122 μ s : @副系统时钟的操作频率为) 之间改变
- 通用寄存器: 8 位 \times 32 个寄存器(8 位 \times 8 个寄存器 \times 4 bank)
- ROM, RAM 的容量

产品型号 \ 项目	程序存储器 (ROM)		Data Memory		
			内部高速 RAM ^注	内部扩展 RAM ^注	LCD 显示 RAM
μ PD78F0471, 78F0481, 78F0491	Flash 存储器 ^注	16 KB	768 bytes	-	< μ PD78F047x, 78F048x> 40 \times 4 bits (with 4 com) 36 \times 8 bits (with 8 com) < μ PD78F049x> 32 \times 4 bits (with 4 com) 28 \times 8 bits (with 8 com)
μ PD78F0472, 78F0482, 78F0492		24 KB	1 KB		
μ PD78F0473, 78F0483, 78F0493		32 KB			
μ PD78F0474, 78F0484, 78F0494		48 KB	1 KB		
μ PD78F0475, 78F0485, 78F0495		60 KB			

注 通过使用内部存储器容量切换寄存器(IMS)和内部扩展 RAM 容量切换寄存器(IXS), 可以改变内部 Flash 存储器、内部高速 RAM 的容量和内部扩展 RAM 的容量。

- 内置单电源 Flash 存储器
- 自编程(具有启动交换功能)
- 片上调试功能
- 内置上电清零 (POC) 电路和低电压检测器(LVI)
- 内置看门狗定时器(在内部低速振荡时钟下可操作)
- LCD 控制器/驱动器(外部电阻分压和内部电阻分压可切换使用)
 - μ PD78F047x : Segment 信号 : 40, Common 信号 : 4 (with 4com)
: Segment 信号 : 36, Common 信号 : 8 (with 8com)
 - μ PD78F048x : Segment 信号 : 40, Common 信号 : 4 (with 4com)
: Segment 信号 : 36, Common 信号 : 8 (with 8com)
 - μ PD78F049x : Segment 信号 : 32, Common 信号 : 4 (with 4com)
: Segment 信号 : 28, Common 信号 : 8 (with 8com)
- 内置按键中断功能: 8 通道
- 内置/蜂鸣器输出控制器
- I/O 端口 : 62
- 定时器: 9 通道
 - 16 位定时器/事件计数器: 1 通道
 - 8 位定时器/事件计数器: 3 通道
 - 8 位定时器: 3 通道
 - 实时计数器(RTC): 1 通道
 - 看门狗定时器: 1 通道
- 串行接口: 2 通道
 - UART (LIN (本地互联网)总线支持): 1 通道
 - CSI/UART^注: 1 通道

- 带有自动发射/接收功能的 CSI: 1 通道

注 可选择复用功能引脚的任意一种功能。

- 16 位 $\Delta\Sigma$ 型 A/D 转换器: 3 通道(仅 μ PD78F049x)
- 10 位逐次逼近型 A/D 转换器: 8 通道(仅 μ PD78F048x 和 78F049x)
- 遥控接收器
- Manchester 编码发生器
- 电源电压: $V_{DD} = 1.8 \sim 5.5 \text{ V}$
- 运行环境温度: $T_A = -40 \sim +85^\circ\text{C}$

注 16 位 A/D 转换器的规格已经更改。
规格的详细信息, 请联系 NEC 电子销售代表或授权的经销商。

1.2 应用

照相机, AV 设备, 家用电器, 电表, 卫生保健设备, 和测量设备等。

1.3 订购信息

• Flash 存储器版本 (无铅产品)

型号	封装
μPD78F0471GC-GAD-AX	80 引脚塑封 LQFP (14 × 14)
μPD78F0472GC-GAD-AX	80 引脚塑封 LQFP (14 × 14)
μPD78F0473GC-GAD-AX	80 引脚塑封 LQFP (14 × 14)
μPD78F0474GC-GAD-AX	80 引脚塑封 LQFP (14 × 14)
μPD78F0475GC-GAD-AX	80 引脚塑封 LQFP (14 × 14)
μPD78F0471GK-GAK-AX	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0472GK-GAK-AX	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0473GK-GAK-AX	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0474GK-GAK-AX	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0475GK-GAK-AX	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0481GC-GAD-AX	80 引脚塑封 LQFP (14 × 14)
μPD78F0482GC-GAD-AX	80 引脚塑封 LQFP (14 × 14)
μPD78F0483GC-GAD-AX	80 引脚塑封 LQFP (14 × 14)
μPD78F0484GC-GAD-AX	80 引脚塑封 LQFP (14 × 14)
μPD78F0485GC-GAD-AX	80 引脚塑封 LQFP (14 × 14)
μPD78F0481GK-GAK-AX	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0482GK-GAK-AX	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0483GK-GAK-AX	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0484GK-GAK-AX	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0485GK-GAK-AX	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0491GC-GAD-AX ^{Note}	80 引脚塑封 LQFP (14 × 14)
μPD78F0492GC-GAD-AX ^{Note}	80 引脚塑封 LQFP (14 × 14)
μPD78F0493GC-GAD-AX ^{Note}	80 引脚塑封 LQFP (14 × 14)
μPD78F0494GC-GAD-AX ^{Note}	80 引脚塑封 LQFP (14 × 14)
μPD78F0495GC-GAD-AX ^{Note}	80 引脚塑封 LQFP (14 × 14)
μPD78F0491GK-GAK-AX ^{Note}	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0492GK-GAK-AX ^{Note}	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0493GK-GAK-AX ^{Note}	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0494GK-GAK-AX ^{Note}	80 引脚塑封 LQFP (密脚距) (12 × 12)
μPD78F0495GK-GAK-AX ^{Note}	80 引脚塑封 LQFP (密脚距) (12 × 12)

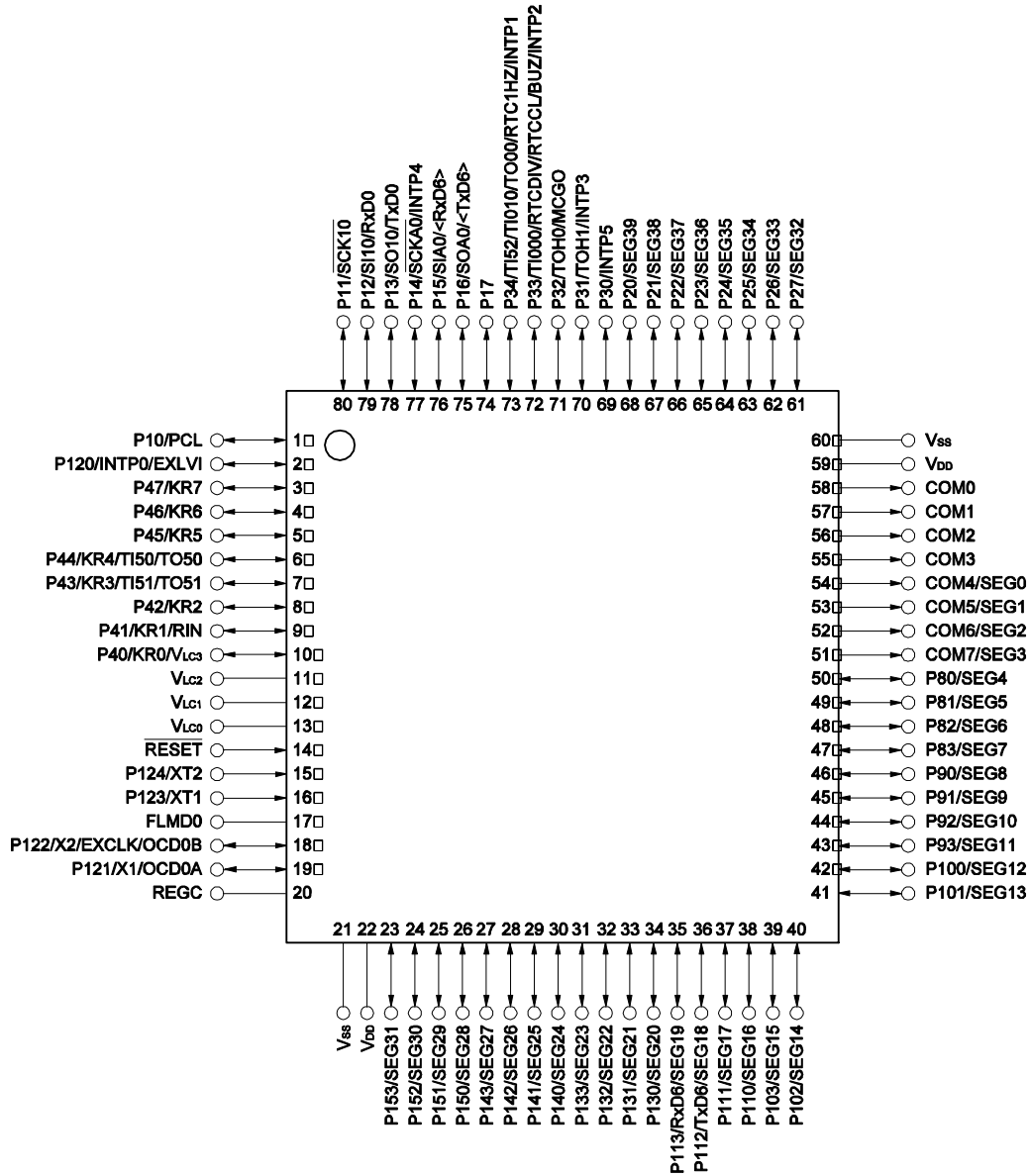
<R>

注 开发中

1.4 引脚配置(俯视图)

(1) μ PD78F0471, 78F0472, 78F0473, 78F0474, 78F0475

- 80 引脚塑封 LQFP (14 × 14)
- 80 引脚塑封 LQFP (密脚距) (12 × 12)

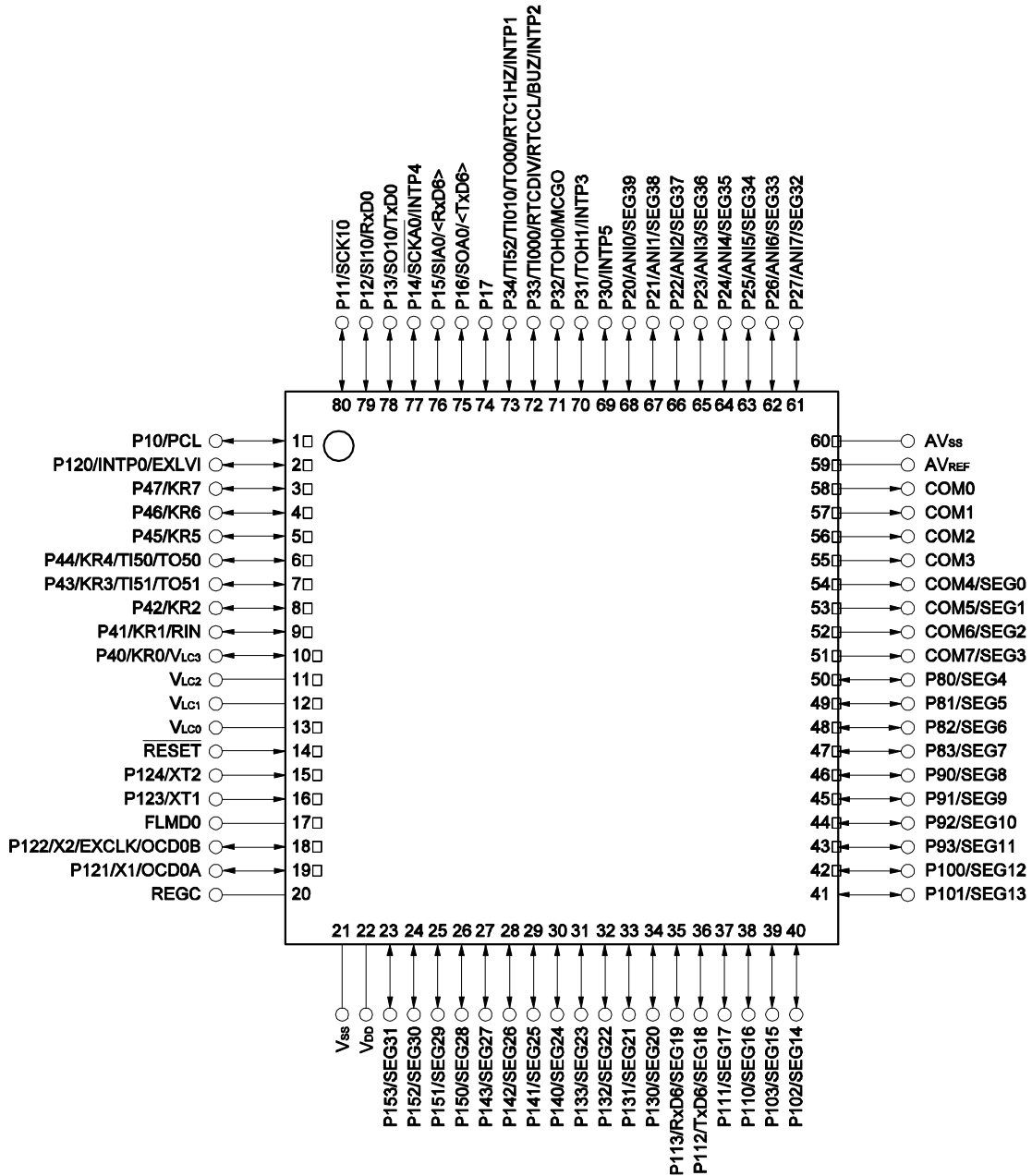


- 注意事项
1. 通过一个电容(0.47~1 μ F: 推荐)将 REGC 引脚和 VSS 引脚连接到一起。
 2. 当用 flash 存储器编程器写入时, 仅是对应于 UART6 引脚(引脚编号 35 和 36)的底部引脚(RxD6 和 TxD6)若使用顶部引脚(引脚编号 76 和 75)则不能执行写入。
 3. VDD (引脚编号 22) 和 VDD (引脚编号 59), VSS (引脚编号 21) 和 VSS (引脚编号 60) 引脚编号等电位。

备注 箭头(< >)内的功能由输入转换控制寄存器(ISC)分配。

(2) μ PD78F0481, 78F0482, 78F0483, 78F0484, 78F0485

- 80 引脚塑封 LQFP (14 × 14)
- 80 引脚塑封 LQFP (密脚距) (12 × 12)

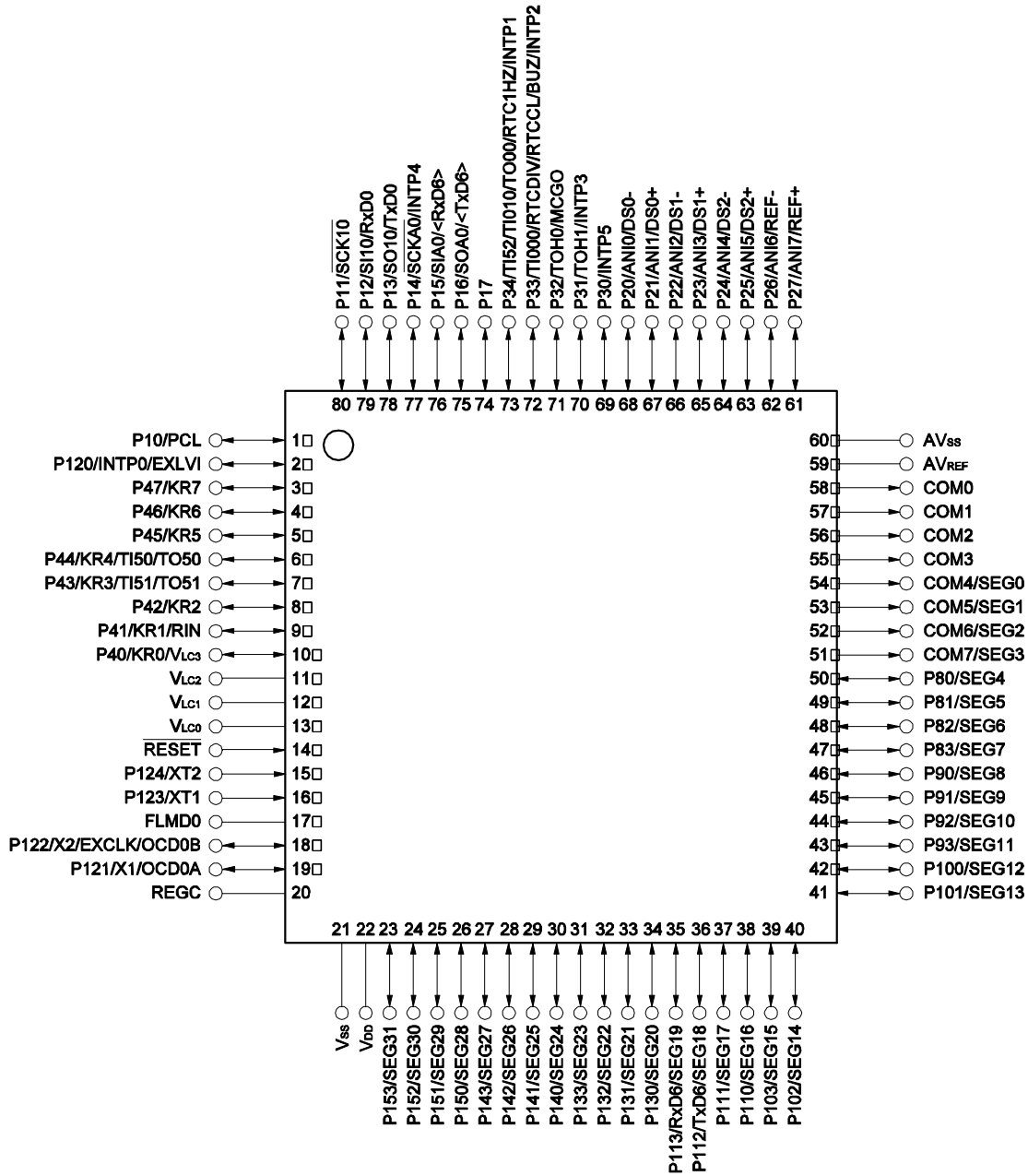


- 注意事项
1. 使 AV_{ss} 与 V_{ss} 连接。
 2. 通过一个电容(0.47 ~ 1 μ F: 推荐)将 REGC 引脚和 V_{ss} 引脚连接到一起。
 3. 复位后, ANI0/P20 ~ ANI7/P27 被设置为模拟输入模式。
 4. 当用 flash 存储器编程器写入时, 仅是对应于 UART6 引脚(引脚编号 35 和 36)的底部引脚(RxD6 和 TxD6) 若使用顶部引脚(引脚编号 76 和 75) 则不能执行写入。

备注 箭头(< >)内的功能由输入转换控制寄存器(ISC)分配。

(3) μ PD78F0491, 78F0492, 78F0493, 78F0494, 78F0495

- 80 引脚塑封 LQFP (14 × 14)
- 80 引脚塑封 LQFP (密脚距) (12 × 12)



- 注意事项
1. 使 AV_{SS} 与 V_{SS} 连接。
 2. 通过一个电容(0.47 ~ 1 μ F: 推荐)将 REGC 引脚和 V_{SS} 引脚连接到一起。
 3. 复位后, ANI0/P20 ~ ANI7/P27 被设置为模拟输入模式。
 4. 当用 flash 存储器编程器写入时, 仅是对应于 UART6 引脚(引脚编号 35 和 36)的底部引脚(RxD6 和 TxD6)若使用顶部引脚(引脚编号 76 和 75)则不能执行写入。

备注 箭头(< >)内的功能由输入转换控制寄存器(ISC)分配。

引脚标识

ANIO ~ ANI7 ^{註1} :	模拟输入	REF+ ^{註2} :	$\Delta\Sigma$ 模拟参考电压(+)
AVREF ^{註1} :	模拟参考电压	REF- ^{註2} :	$\Delta\Sigma$ 模拟参考电压(-)
AVSS ^{註1} :	模拟地	RIN:	遥控输入
BUZ:	蜂鸣器输出	RTC1HZ:	实时计数器修正 时钟 (1 Hz) 输出
DS0+ ~ DS2+ ^{註2} :	$\Delta\Sigma$ 模拟输入(+)	RTCCL:	实时计数器时钟 (32.768 kHz 振荡) 输出
DS0- ~ DS2- ^{註2} :	$\Delta\Sigma$ 模拟输入(-)	RTCDIV:	实时计数器时钟(32.768 kHz 分频) 输出
EXCLK:	外部时钟输入 (主系统时钟)	SEG0 to SEG31 :	Segment 输出
EXLVI:	外部电压输入 用于低电压检测器	SEG32 to SEG39 ^{Note 3} :	Segment 输出
FLMD0:	Flash 编程模式	$\overline{\text{SCK10}}$:	串行时钟输入 / 输出
INTP0 ~ INTP5:	外部中断输入	$\overline{\text{SCKA0}}$:	串行时钟输入 / 输出
KR0 ~ KR7:	按键返回	SI10 :	串行数据输入
MCGO:	Manchester 编码发生器输出	SIA0 :	串行数据输入
OCD0A, OCD0B:	片上调试输入/输出	SO10 :	串行数据输出
P10 ~ P17 :	端口 1	SOA0 :	串行数据输出
P20 ~ P27 :	端口 2	TI000, TI010:	定时器输入
P30 ~ P34 :	端口 3	TI50, TI51, TI52:	定时器输入
P40 ~ P47 :	端口 4	TO00:	定时器输出
P80 ~ P83 :	端口 8	TO50, TO51:	定时器输出
P90 ~ P93 :	端口 9	TOH0, TOH1:	定时器输出
P100 ~ P103 :	端口 10	TxD0, TxD6:	发送数据
P110 ~ P113 :	端口 11	VDD:	电源电压
P120 ~ P124 :	端口 12	VSS:	地
P130 ~ P133 :	端口 13	VLC0 ~ VLC3:	LCD 电源
P140 ~ P143 :	端口 14	X1, X2:	晶体振荡器 (主系统时钟)
P150 ~ P153 :	端口 15	XT1, XT2:	晶体振荡器 (副系统时钟)
PCL :	Programmable clock output		
REGC	调校电容		
RESET :	复位		
RxD0, RxD6 :	接收数据		

- 注 1. 仅适用于 μ PD78F048x 和 78F049x。
 2. 仅适用于 μ PD78F049x。
 3. 仅适用于 μ PD78F047x 和 78F048x。

1.5 78K0/Lx3 微控制器系列介绍

ROM	RAM	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
		48 引脚	52 引脚	64 引脚	80 引脚
60 KB	2 KB	–	–	μ PD78F0465 μ PD78F0455 μ PD78F0445	μ PD78F0495 μ PD78F0485 μ PD78F0475
48 KB	2 KB	–	–	μ PD78F0464 μ PD78F0454 μ PD78F0444	μ PD78F0494 μ PD78F0484 μ PD78F0474
32 KB	1 KB	μ PD78F0413 μ PD78F0403	μ PD78F0433 μ PD78F0423	μ PD78F0463 μ PD78F0453 μ PD78F0443	μ PD78F0493 μ PD78F0483 μ PD78F0473
24 KB	1 KB	μ PD78F0412 μ PD78F0402	μ PD78F0432 μ PD78F0422	μ PD78F0462 μ PD78F0452 μ PD78F0442	μ PD78F0492 μ PD78F0482 μ PD78F0472
16 KB	768 B	μ PD78F0411 μ PD78F0401	μ PD78F0431 μ PD78F0421	μ PD78F0461 μ PD78F0451 μ PD78F0441	μ PD78F0491 μ PD78F0481 μ PD78F0471
8 KB	512 B	μ PD78F0410 μ PD78F0400	μ PD78F0430 μ PD78F0420	–	–

8K0/Lx3 系列功能列表如下

(1/3)

项目		型号		78K0/LC3								78K0/LD3							
				μPD78F040x				μPD78F041x				μPD78F042x				μPD78F043x			
		48 引脚								52 引脚									
Flash 存储器(KB)		8	16	24	32	8	16	24	32	8	16	24	32	8	16	24	32		
RAM (KB)		0.5	0.75	1	1	0.5	0.75	1	1	0.5	0.75	1	1	0.5	0.75	1	1		
电源电压		V _{DD} = 1.8 ~ 5.5 V																	
稳压器		提供																	
指令最短执行时间		0.2 μs (10 MHz: V _{DD} = 2.7 ~ 5.5 V)/ 0.4 μs (5 MHz: V _{DD} = 1.8 ~ 5.5 V)																	
时钟	高速系统时钟	10 MHz: V _{DD} = 2.7 ~ 5.5 V/5 MHz: V _{DD} = 1.8 ~ 5.5 V																	
	内部高速振荡时钟	8 MHz (TYP.): V _{DD} = 1.8 ~ 5.5 V																	
	副时钟	32.768 kHz (TYP.): V _{DD} = 1.8 ~ 5.5 V																	
	内部低速振荡时钟	240 kHz (TYP.): V _{DD} = 1.8 ~ 5.5 V																	
端口	总计	30								34									
	定时器	16 位 (TM0) 1 通道																	
串行接口	8 位(TM5)	3 通道																	
	8 位(TMh)	3 通道																	
	RTC	1 通道																	
	WDT	1 通道																	
	3 线 CSI	-								1 通道 ^{#1}									
LCD	UART	1 通道								1 通道 ^{#1}									
	UART 支持 LIN 总线	1 通道 ^{#2}								1 通道 ^{#3}									
	类型	外部电阻分压和内部电阻分压可切换使用。																	
10 位逐次逼近型 A/D	Segment 信号	22 (18) ^{#4}								24 (20) ^{#4}									
	Common 信号	4 (8) ^{#4}																	
16 位 ΔΣ 型 A/D	外部	-								6 通道									
	内部	-								6 通道									
中断	外部	5																	
	内部	17				18				19				20					
按键中断		3 通道								5 通道									
复位	RESET 引脚	提供																	
	POC	1.59 V ± 0.15 V (上升到 1.8 V 所用时间 : 3.6 ms (MAX.))																	
	LVI	可选择 16 个电源电压检测级别																	
	WDT	提供																	
时钟输出		-																	
蜂鸣器输出		提供																	
遥控接收器		-								提供									
MCG		提供																	
片上调试功能		提供																	
工作环境温度		T _A = -40 ~ +85°C																	

- 注
- 3 线 CSI 和 UART 用作复用功能引脚，必须分配其一功能。
 - UART 支持 LIN 总线的引脚更改为 UART 引脚 (引脚编号 47 和 48)。
 - UART 支持 LIN 总线的引脚更改为 3 线 CSI/UART 引脚 (引脚编号 50 和 51)。
 - 括号内的值是当使用 8com 时信号输出数。

(2/3)

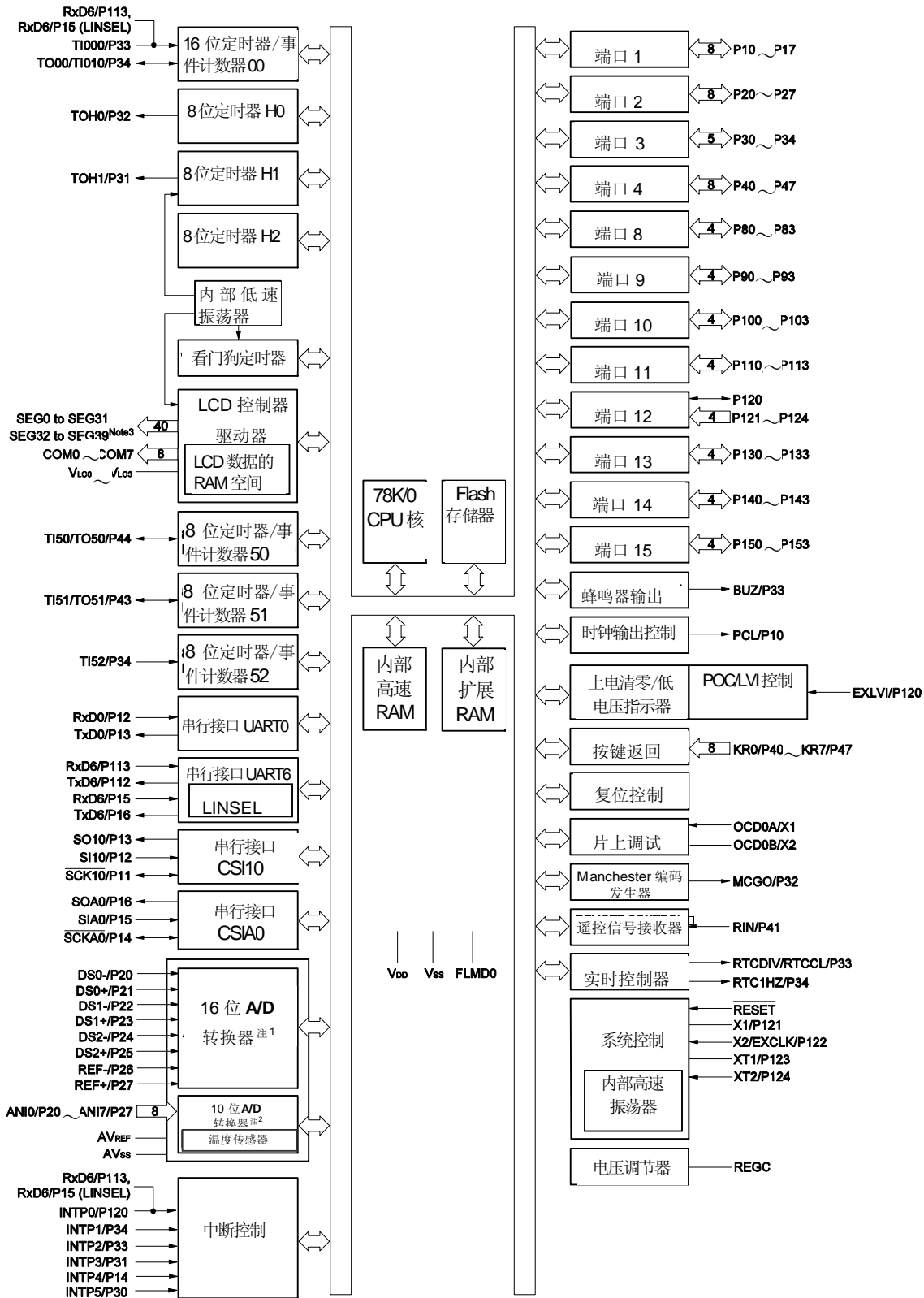
项目		78K0/LE3														
		μ PD78F044x					μ PD78F045x					μ PD78F046x				
		64 引脚														
Flash 存储器(KB)		16	24	32	48	60	16	24	32	48	60	16	24	32	48	60
RAM (KB)		0.75	1	1	2	2	0.75	1	1	2	2	0.75	1	1	2	2
电源电压		$V_{DD} = 1.8 \sim 5.5 V$														
稳压器		提供														
指令最短执行时间		$0.2 \mu s$ (10 MHz: $V_{DD} = 2.7 \sim 5.5 V$) / $0.4 \mu s$ (5 MHz: $V_{DD} = 1.8 \sim 5.5 V$)														
时钟	时钟 输出	高速系统时钟 $10 MHz: V_{DD} = 2.7 \sim 5.5 V$ / $5 MHz: V_{DD} = 1.8 \sim 5.5 V$														
		内部高速振荡时钟 $8 MHz$ (TYP.): $V_{DD} = 1.8 \sim 5.5 V$														
	副时钟 $32.768 kHz$ (TYP.): $V_{DD} = 1.8 \sim 5.5 V$															
	内部低速振荡时钟 $240 kHz$ (TYP.): $V_{DD} = 1.8 \sim 5.5 V$															
端口	总计	46														
定时器	16 位 (TM0)	1 通道														
	8 位 (TM5)	3 通道														
	8 位 (TMH)	3 通道														
	RTC	1 通道														
	WDT	1 通道														
串行接口	3 线 CSI/UART ^{注 1}	1 通道														
	UART 支持 LIN 总线 ^{注 2}	1 通道														
LCD	类型	外部电阻分压和内部电阻分压可切换使用。														
	Segment 信号	$32 (28)^{注 3}$										$24 (20)^{注 3}$				
	Common 信号	$4 (8)^{注 3}$														
10 位逐次逼近型 A/D		-					8 通道									
16 位 $\Delta\Sigma$ 型 A/D		-										3 通道				
中断	外部	6														
	内部	19					20					21				
按键中断		5 通道														
复位	RESET 引脚	提供														
	POC	$1.59 V \pm 0.15 V$ (上升到 $1.8 V$ 所用时间 : $3.6 ms$ (MAX.))														
	LVI	可选择 16 个电源电压检测级别														
	WDT	提供														
时钟输出		-														
蜂鸣器输出		提供														
遥控接收器		提供														
MCG		提供														
片上调试功能		提供														
工作环境温度		$T_A = -40 \sim +85^\circ C$														

- 注
1. 可选择复用功能引脚的任意一种功能。
 2. UART 支持 LIN 总线的引脚更改为 3 线 CSI/UART 引脚 (引脚编号 62 和 63)。
 3. 括号内的值是当使用 8com 时信号输出数。

项目		型号		78K0/LF3													
		μ PD78F047x						μ PD78F048x						μ PD78F049x			
		80 引脚															
Flash 存储器(KB)		16	24	32	48	60	16	24	32	48	60	16	24	32	48	60	
RAM (KB)		0.75	1	1	2	2	0.75	1	1	2	2	0.75	1	1	2	2	
电源电压		$V_{DD} = 1.8 \sim 5.5 V$															
稳压器		提供															
指令最短执行时间		$0.2 \mu s$ (10 MHz: $V_{DD} = 2.7 \sim 5.5 V$)/ $0.4 \mu s$ (5 MHz: $V_{DD} = 1.8 \sim 5.5 V$)															
时钟	高速系统时钟	10 MHz: $V_{DD} = 2.7 \sim 5.5 V$ /5 MHz: $V_{DD} = 1.8 \sim 5.5 V$															
		内部高速振荡时钟 8 MHz (TYP.): $V_{DD} = 1.8 \sim 5.5 V$															
	副时钟		32.768 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5 V$														
	内部低速振荡时钟		240 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5 V$														
端口	总计		62														
	定时器	16 位 (TM0)		1 通道													
8 位(TM5)		3 通道															
8 位(TMH)		3 通道															
RTC		1 通道															
WDT		1 通道															
串行接口	3 线 CSI/UART ^{※1}		1 通道														
	自动发送接收/接收		1 通道														
	3 线 CSI																
	UART 支持 LIN 总线 ^{※2}		1 通道														
LCD	类型		外部电阻分压和内部电阻分压可切换使用。														
	Segment 信号		40 (36) ^{※3}										32 (28) ^{※3}				
	Common 信号		4 (8) ^{※3}														
10 位逐次逼近型 A/D		-						8 通道									
16 位 $\Delta\Sigma$ 型 A/D		-						3 通道									
中断	外部								7								
	内部		20						21						22		
按键中断		8 通道															
复位	RESET 引脚		提供														
	POC		$1.59 V \pm 0.15 V$ (上升到 1.8 V 所用时间 : 3.6 ms (MAX.))														
	LVI		可选择 16 个电源电压检测级别														
	WDT		提供														
时钟输出/蜂鸣器输出		提供															
遥控接收器		提供															
MCG		提供															
片上调试功能		提供															
工作环境温度		$T_A = -40 \sim +85^\circ C$															

- 注
1. 可选择复用功能引脚的任意一种功能。
 2. UART 支持 LIN 总线的引脚更改为 3 线 CSI/UART 引脚 (引脚编号 75 和 76)。
 3. 括号内的值是当使用 8com 时信号输出数。

1.6 框图



- 注
1. 仅适用于 μ PD78F049x。
 2. 仅适用于 μ PD78F048x and 78F049x。
 3. 仅适用于 μ PD78F047x and 78F048x。

1.7 功能概述(μ PD78F047x)

(1/2)

项目		μ PD78F0471	μ PD78F0472	μ PD78F0473	μ PD78F0474	μ PD78F0475
内部存储器	Flash 存储器 (支持自编程) ^注	16 KB	24 KB	32 KB	48 KB	60 KB
	高速 RAM ^注	768 字节	1 KB			
	扩展 RAM ^注	-			1 KB	
	LCD 显示 RAM	40 × 4 位 (4 com) 或 36 × 8 bits (8 com)				
存储空间		64 KB				
主系统时钟 (振荡频率)	高速系统时钟	X1 (晶体/陶瓷) 振荡器, 外部主系统时钟输入(EXCLK) 2 ~ 10 MHz: $V_{DD} = 2.7 \sim 5.5$ V, 2 ~ 5 MHz: $V_{DD} = 1.8 \sim 5.5$ V				
	内部高速振荡时钟	内部振荡器 8 MHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V				
副系统时钟 (振荡频率)		XT1 (晶体) 振荡器 32.768 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V				
内部低速振荡时钟(用于 TMH1, WDT)		内部振荡器 240 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V				
通用寄存器		8 位 × 32 寄存器 (8 位 × 8 寄存器 × 4 bank)				
指令最短执行时间		0.2 μ s (高速系统时钟: @ $f_{XH} = 10$ MHz 操作)				
		0.25 μ s (内部高速振荡时钟: @ $f_{RH} = 8$ MHz (TYP.) 操作)				
		122 μ s (副系统时钟: @ $f_{SUB} = 32.768$ kHz 操作)				
指令集		<ul style="list-style-type: none"> • 8 位操作和 16 位操作 • 位操作 (置位, 复位, 测试和布尔操作) • BCD 调整, 等 				
I/O 端口		总计: 62 CMOS I/O: 58 CMOS 输入: 4				
定时器		<ul style="list-style-type: none"> • 16 位定时器/事件计数器: 1 通道 • 8 位定时器/事件计数器: 3 通道(2 通道可执行 PWM 输出) • 8 位定时器: 3 通道(2 通道可执行 PWM 输出) • 实时计数器: 1 通道 • 看门狗定时器: 1 通道 				
		定时器输出	5 (PWM 输出: 4 和 PPG 输出: 1)			
		RTC 输出	2 <ul style="list-style-type: none"> • 1 Hz (副时钟: $f_{SUB} = 32.768$ kHz) • 512 Hz 或 16.384 kHz 或 32.768 kHz (副时钟: $f_{SUB} = 32.768$ kHz) 			
时钟输出		<ul style="list-style-type: none"> • 156.25 kHz, 312.5 kHz, 625 kHz, 1.25 MHz, 5 MHz, 10 MHz (外围硬件时钟输出: @ $f_{PRS} = 10$ MHz 工作频率) • 32.768 kHz (副时钟: @ $f_{SUB} = 32.768$ kHz 工作频率) 				
蜂鸣器输出		<ul style="list-style-type: none"> • 1.22 kHz, 2.44 kHz, 4.88 kHz, 9.77 MHz (外围硬件时钟: @ $f_{PRS} = 10$ MHz 操作) 				

注 通过使用内部存储器容量切换寄存器(IMS)和内部扩展 RAM 容量切换寄存器(IXS), 可以改变内部 Flash 存储器、内部高速 RAM 的容量和内部扩展 RAM 的容量。

项目	μ PD78F0471	μ PD78F0472	μ PD78F0473	μ PD78F0474	μ PD78F0475
10 位逐次逼近型 A/D 转换器			-		
16 位 $\Delta\Sigma$ 型 A/D 转换器			-		
串行接口	<ul style="list-style-type: none"> • UART 支持 LIN 总线^{注1}: 1 通道 • 3 线串行 I/O/UART^{注2}: 1 通道 • 自动发送/接收 3 线 CSI: 1 通道 				
LCD 控制器/驱动器	<ul style="list-style-type: none"> • 外部电阻分压和内部电阻分压可切换使用 • Segment 信号输出: 40 (36)^{注3} • Common 信号输出: 4 (8)^{注3} 				
遥控接收器	提供				
Manchester 编码发生器	提供				
中断向量源	内部	20			
	外部	7			
按键中断	通过检测按键输入引脚(KR0 ~ KR7)的下降沿, 产生按键中断(INTKR)。				
复位	<ul style="list-style-type: none"> • 使用 RESET 引脚复位 • 使用看门狗定时器内部复位 • 使用 POC 电路内部复位 • 使用低电压检测电路内部复位 				
片上调试功能	提供				
电源电压	$V_{DD} = 1.8 \sim 5.5 V$				
工作环境温度	$T_A = -40 \sim +85^\circ C$				
封装形式	<ul style="list-style-type: none"> • 80 引脚塑封 LQFP (14 × 14) • 80 引脚塑封 LQFP (密脚距) (12 × 12) 				

- 注
1. UART 支持 LIN 总线的引脚更改为 3 线 CSI/UART 引脚 (引脚编号 75 和 76)。
 2. 可选择复用功能引脚的任意一种功能。
 3. 括号内的值是当使用 8com 时信号输出数。

定时器概要说明如下

		16 位定时器 / 事件计数器 00	8 位定时器/ 事件计数器 50, 51, 和 52			8 位定时器 H0, H1, 和 H2			实时计数器	看门狗定 时器
		TM00	TM50	TM51	TM52	TMH0	TMH1	TMH2		
功能	间隔定时器	1 通道	1 通道	1 通道	1 通道	1 通道	1 通道	1 通道	1 通道 ^{注 1}	-
	外部事件计数器	1 通道 ^{注 2}	1 通道	1 通道	1 通道 ^{注 2}	-	-	- ^{注 2}	-	-
	PPG 输	1 输出	-	-	-	-	-	-	-	-
	PWM 输	-	1 输出	1 输出	-	1 输出	1 输出	-	-	-
	脉冲宽度测量	2 输入	-	-	-	-	-	-	-	-
	方波输出	1 输出	1 输出	1 输出	-	1 输出	1 输出	-	-	-
	载波发生器	-	-	- ^{注 3}	-	-	1 输出 ^{注 3}	-	-	-
	日历功能	-	-	-	-	-	-	-	1 通道 ^{注 1}	-
	RTC 输出	-	-	-	-	-	-	-	2 输出 s ^{注 4}	-
看门狗定时器	-	-	-	-	-	-	-	-	1 通道	
中断源		2	1	1	1	1	1	1	1	-

- 注
1. 在实时计数器中，间隔定时器功能和日历功能同时可用。
 2. TM52 和 TM00 可组合使用作为 24 位计数器。同样，由 TMH2 控制 TM52 的外部事件输入。
 3. TM51 和 TMH1 可联合使用，作为载波发生器模式。
 4. 1 Hz 输出可作为 1 路输出，512 Hz, 16.384 kHz, 或 32.768 kHz 输出可作为 1 路输出。

1.8 功能概述(μ PD78F048x)

(1/2)

Item		μ PD78F0481	μ PD78F0482	μ PD78F0483	μ PD78F0484	μ PD78F0485
内部存储器	Flash 存储器 (支持自编程) ^注	16 KB	24 KB	32 KB	48 KB	60 KB
	高速 RAM ^注	768 字节	1 KB			
	扩展 RAM ^注	-			1 KB	
	LCD 显示 RAM	40×4 位(4 com) 或 36×8 位(8 com)				
存储空间		64 KB				
主系统时钟 (振荡频率)	高速系统时钟	主系统时钟 (振荡频率)				
	内部高速振荡时钟					
副系统时钟 (振荡频率)		XT1 (晶体) 振荡器 32.768 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5 V$				
内部低速振荡时钟(用于 TMH1, WDT)		内部振荡器 240 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5 V$				
通用寄存器		8 位 × 32 寄存器 (8 位 × 8 寄存器 × 4 bank)				
指令最短执行时间		0.2 μ s (高速系统时钟: @ $f_{XH} = 10 MHz$ 操作)				
		0.25 μ s (内部高速振荡时钟: @ $f_{RH} = 8 MHz$ (TYP.) 操作)				
		122 μ s (副系统时钟: @ $f_{SUB} = 32.768 kHz$ 操作)				
指令集		<ul style="list-style-type: none"> • 8 位操作和 16 位操作 • 位操作 (置位, 复位, 测试和布尔操作) • BCD 调整, 等 				
I/O 端口		总计: 62 CMOS I/O: 58 CMOS 输入: 4				
定时器		<ul style="list-style-type: none"> • 16 位定时器/事件计数器: 1 通道 • 8 位定时器/事件计数器: 3 通道(2 通道可执行 PWM 输出) • 8 位定时器: 3 通道(2 通道可执行 PWM 输出) • 实时计数器: 1 通道 • 看门狗定时器: 1 通道 				
		定时器输出	5 (PWM 输出: 4 和 PPG 输出: 1)			
		RTC 输出	2 <ul style="list-style-type: none"> • 1 Hz (副时钟: $f_{SUB} = 32.768 kHz$) • 512 Hz 或 16.384 kHz 或 32.768 kHz (副时钟: $f_{SUB} = 32.768 kHz$) 			
时钟输出		<ul style="list-style-type: none"> • 156.25 kHz, 312.5 kHz, 625 kHz, 1.25 MHz, 5 MHz, 10 MHz (外围硬件时钟: @ $f_{PRS} = 10 MHz$ 工作频率) • 32.768 kHz (副系统时钟: @ $f_{SUB} = 32.768 kHz$ 工作频率) 				
蜂鸣器输出		<ul style="list-style-type: none"> • 1.22 kHz, 2.44 kHz, 4.88 kHz, 9.77 MHz (外围硬件时钟: @ $f_{PRS} = 10 MHz$ 操作) 				

注 通过使用内部存储器容量切换寄存器(IMS)和内部扩展 RAM 容量切换寄存器(IXS), 可以改变内部 Flash 存储器、内部高速 RAM 的容量和内部扩展 RAM 的容量。

Item	μ PD78F0481	μ PD78F0482	μ PD78F0483	μ PD78F0484	μ PD78F0485
10 位逐次逼近型 A/D 转换器	10 位分辨率 \times 8 通道 ($AV_{REF} = 2.3 \sim 5.5 V$)				
16 位 $\Delta\Sigma$ 型 A/D 转换器	-				
串行接口	<ul style="list-style-type: none"> • UART 支持 LIN 总线^{#1}: 1 通道 • 3 线串行 I/O/UART^{#2}: 1 通道 • 自动发送/接收 3 线 CSI: 1 通道 				
LCD 控制器/驱动器	<ul style="list-style-type: none"> • External resistance division and internal resistance division are switchable. • 外部电阻分压和内部电阻分压可切换使用 • Segment 信号输出: 40 (36)^{#3} • Common 信号输出: 4 (8)^{#3} 				
遥控接收器	提供				
Manchester 编码发生器	提供				
中断向量源	内部	21			
	外部	7			
按键中断	通过检测按键输入引脚(KR0 ~ KR7)的下降沿, 产生按键中断(INTKR)。				
复位	<ul style="list-style-type: none"> • 使用 RESET 引脚复位 • 使用看门狗定时器内部复位 • 使用 POC 电路内部复位 • 使用低电压检测电路内部复位 				
片上调试功能	提供				
电源电压	$V_{DD} = 1.8 \sim 5.5 V$				
工作环境温度	$T_A = -40 \sim +85^\circ C$				
封装形式	<ul style="list-style-type: none"> • 80 引脚塑封 LQFP (密脚距) (14 \times 14) • 80 引脚塑封 LQFP (12 \times 12) 				

- 注
1. UART 支持 LIN 总线的引脚更改为 3 线 CSI/UART 引脚 (引脚编号 75 和 76)。
 2. 可选择复用功能引脚的任意一种功能。
 3. 括号内的值是当使用 8com 时信号输出数。

定时器概要说明如下

		16 位定时器 / 事件计数器 00	8 位定时器/ 事件计数器 50, 51, 和 52			8 位定时器 H0, H1, 和 H2			实时计数器 器	看门狗定 时器
		TM00	TM50	TM51	TM52	TMH0	TMH1	TMH2		
功能	间隔定时器	1 通道	1 通道	1 通道	1 通道	1 通道	1 通道	1 通道	1 通道 注 1	-
	外部事件计数器	1 通道 注 2	1 通道	1 通道	1 通道注 2	-	-	-注 2	-	-
	PPG 输	1 输出	-	-	-	-	-	-	-	-
	PWM 输	-	1 输出	1 输出	-	1 输出	1 输出	-	-	-
	脉冲宽度测量	2 输入	-	-	-	-	-	-	-	-
	方波输出	1 输出	1 输出	1 输出	-	1 输出	1 输出	-	-	-
	载波发生器	-	-	-注 3	-	-	1 输出注 3	-	-	-
	日历功能	-	-	-	-	-	-	-	1 通道 注 1	-
	RTC 输出	-	-	-	-	-	-	-	2 输出 s ^{注 4} 4	-
看门狗定时器	-	-	-	-	-	-	-	-	1 通道	
中断源		2	1	1	1	1	1	1	1	-

- 注
1. 在实时计数器中，间隔定时器功能和日历功能同时可用。
 2. TM52 和 TM00 可组合使用作为 24 位计数器。同样，由 TMH2 控制 TM52 的外部事件输入。
 3. TM51 和 TMH1 可联合使用，作为载波发生器模式。
 4. 1 Hz 输出可作为 1 路输出，512 Hz, 16.384 kHz,或 32.768 kHz 输出可作为 1 路输出。

1.9 功能概述(μ PD78F049x)

项目		μ PD78F0461	μ PD78F0462	μ PD78F0463	μ PD78F0464	μ PD78F0465
内部存储器	Flash 存储器 (支持自编程) ^注	16 KB	24 KB	32 KB	48 KB	60 KB
	高速 RAM ^注	768 字节	1 KB			
	扩展 RAM ^注	-			1 KB	
	LCD 显示 RAM	24 × 4 位(4 com) 或 20 × 8 位 (8 com)				
存储空间		64 KB				
主系统时钟 (振荡频率)	高速系统时钟	X1 (晶体/陶瓷) 振荡器, 外部主系统时钟输入(EXCLK) 2 ~ 10 MHz: $V_{DD} = 2.7 \sim 5.5$ V, 2 ~ 5 MHz: $V_{DD} = 1.8 \sim 5.5$ V				
	内部高速振荡时钟	内部振荡器 8 MHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V				
副系统时钟 (振荡频率)		XT1 (晶体) 振荡器 32.768 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V				
内部低速振荡时钟(用于 TMH1, WDT)		内部振荡器 240 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V				
通用寄存器		8 位 × 32 寄存器 (8 位 × 8 寄存器 × 4 bank)				
指令最短执行时间		0.2 μ s (高速系统时钟: @ $f_{XH} = 10$ MHz 操作)				
		0.25 μ s (内部高速振荡时钟: @ $f_{RH} = 8$ MHz (TYP.) 操作)				
		122 μ s (副系统时钟: @ $f_{SUB} = 32.768$ kHz 操作)				
指令集		<ul style="list-style-type: none"> • 8 位操作和 16 位操作 • 位操作 (置位, 复位, 测试和布尔操作) • BCD 调整, 等 				
I/O 端口		总计: 46 CMOS I/O: 42 CMOS 输入: 4				
定时器		<ul style="list-style-type: none"> • 16 位定时器/事件计数器: 1 通道 • 8 位定时器/事件计数器: 3 通道(2 通道可执行 PWM 输出) • 8 位定时器: 3 通道(2 通道可执行 PWM 输出) • 实时计数器: 1 通道 • 看门狗定时器: 1 通道 				
		定时器输出	5 (PWM 输出: 4 和 PPG 输出: 1)			
		RTC 输出	2 <ul style="list-style-type: none"> • 1 Hz (副时钟: $f_{SUB} = 32.768$ kHz) • 512 Hz 或 16.384 kHz 或 32.768 kHz (副时钟: $f_{SUB} = 32.768$ kHz) 			
蜂鸣器输出		<ul style="list-style-type: none"> • 1.22 kHz, 2.44 kHz, 4.88 kHz, 9.77 MHz (外围硬件时钟: @ $f_{PRS} = 10$ MHz 操作)				

注 通过使用内部存储器容量切换寄存器(IMS)和内部扩展 RAM 容量切换寄存器(IXS), 可以改变内部 Flash 存储器、内部高速 RAM 的容量和内部扩展 RAM 的容量。

项目	μ PD78F0491	μ PD78F0492	μ PD78F0493	μ PD78F0494	μ PD78F0495
10 位逐次逼近型 A/D 转换器	10 位分辨率 \times 8 通道 ($AV_{REF} = 2.3 \sim 5.5$ V)				
16 位 $\Delta\Sigma$ 型 ¹ A/D 转换器	16 位分辨率 \times 3 通道 ($AV_{REF} = 2.7 \sim 5.5$ V)				
串行接口	<ul style="list-style-type: none"> • UART 支持 LIN 总线²: 1 通道 • 3 线串行 I/O/UART³: 1 通道 • 自动发送/接收 3 线 CSI: 1 通道 				
LCD 控制器/驱动器	<ul style="list-style-type: none"> • 外部电阻分压和内部电阻分压可切换使用 • Segment 信号输出: 32(28)⁴ • Common 信号输出: 4 (8)⁴ 				
遥控接收器	提供				
Manchester 编码发生器	提供				
中断向量源	内部	22			
	外部	7			
按键中断	通过检测按键输入引脚(KR0 ~ KR4)的下降沿, 产生按键中断(INTKR)。				
复位	<ul style="list-style-type: none"> • 使用 RESET 引脚复位 • 使用看门狗定时器内部复位 • 使用 POC 电路内部复位 • 使用低电压检测电路内部复位 				
片上调试功能	提供				
电源电压	$V_{DD} = 1.8$ to 5.5 V				
工作环境温度	$T_A = -40$ to $+85^\circ\text{C}$				
封装形式	<ul style="list-style-type: none"> • 80 引脚塑封 LQFP (密脚距) (14×14) • 80 引脚塑封 LQFP (12×12) 				

- 注
1. 16 位 A/D 转换器的规格已经更改。
规格的详细信息, 请联系 NEC 电子销售代表或授权的经销商。
 2. UART 支持 LIN 总线的引脚更改为 3 线 CSI/UART 引脚 (引脚编号 62 和 63)。
 3. 可选择复用功能引脚的任意一种功能。
 4. 括号内的值是当使用 8com 时信号输出数。

定时器概要说明如下

		16 位定时器 / 事件计数器 00	8 位定时器/ 事件计数器 50, 51, 和 52			8 位定时器 H0, H1, 和 H2			实时计数器	看门狗定时器
		TM00	TM50	TM51	TM52	TMH0	TMH1	TMH2		
功能	间隔定时器	1 通道	1 通道	1 通道	1 通道	1 通道	1 通道	1 通道	1 通道 ^{注1}	-
	外部事件计数器	1 通道 ^{注2}	1 通道	1 通道	1 通道 ^{注2}	-	-	- ^{注2}	-	-
	PPG 输	1 输出	-	-	-	-	-	-	-	-
	PWM 输	-	1 输出	1 输出	-	1 输出	1 输出	-	-	-
	脉冲宽度测量	2 输入	-	-	-	-	-	-	-	-
	方波输出	1 输出	1 输出	1 输出	-	1 输出	1 输出	-	-	-
	载波发生器	-	-	- ^{注3}	-	-	1 输出 ^{注3}	-	-	-
	日历功能	-	-	-	-	-	-	-	1 通道 ^{注1}	-
	RTC 输出	-	-	-	-	-	-	-	2 输出 s ^{注4}	-
看门狗定时器	-	-	-	-	-	-	-	-	1 通道	
中断源		2	1	1	1	1	1	1	1	-

- 注
1. 在实时计数器中，间隔定时器功能和日历功能同时可用。
 2. TM52 和 TM00 可组合使用作为 24 位计数器。同样，由 TMH2 控制 TM52 的外部事件输入。
 3. TM51 和 TMH1 可联合使用，作为载波发生器模式。
 4. 1 Hz 输出可作为 1 路输出，512 Hz, 16.384 kHz, 或 32.768 kHz 输出可作为 1 路输出。

第二章 引脚功能

2.1 引脚功能列表

有三种类型的引脚 I/O 缓冲器供电电源：AVREF^{#1}，V_{LC0}和 V_{DD}。下表显示了这些供电电源与引脚之间的关系。

表 2-1. 引脚 I/O 缓冲器供电电源

供电电源	对应引脚
AVREF ^{#1}	P20 ~ P27
V _{LC0}	COM0~ COM7, SEG0~ SEG31, SEG32 ~ SEG39 ^{#2} , V _{LC0} ~ V _{LC3}
V _{DD}	其它引脚

- 注
1. 仅适用于 μ PD78F048x 和 78F049x。 μ PD78F047x 的供电电源是 V_{DD}。
 2. 仅适用于 μ PD78F047x 和 78F048x。

(1) 端口引脚

(1/3)

引脚名称	I/O	功能	复位后	复用功能
P10	I/O	Port 1. 8 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	PCL
P11				SCK10
P12				SI10/RxD0
P13				SO10/TxD0
P14				SCKA0/INTP4
P15				SIA0/<RxD6>
P16				SOA0/<TxD6>
P17				—

备注 箭头 (< >) 内的功能由输入转换控制寄存器 (ISC) 分配。

(1) 端口引脚

(2/3)

引脚名称	I/O	功能	复位后	复用功能
P20	I/O	Port 2. 8 位 I/O 端口。 可以位选输入/输出模式。	数字输入端 口	SEG39 ^{注1} /ANI0 ^{注2} / DS0 ₋ ^{注3}
P21				SEG38 ^{注1} /ANI1 ^{注2} / DS0 ₊ ^{注3}
P22				SEG37 ^{注1} /ANI2 ^{注2} / DS1 ₋ ^{注3}
P23				SEG36 ^{注1} /ANI3 ^{注2} / DS1 ₊ ^{注3}
P24				SEG35 ^{注1} /ANI4 ^{注2} / DS2 ₋ ^{注3}
P25				SEG34 ^{注1} /ANI5 ^{注2} / DS2 ₊ ^{注3}
P26				SEG33 ^{注1} /ANI6 ^{注2} / REF ₋ ^{注3}
P27				SEG32 ^{注1} /ANI7 ^{注2} / REF ₊ ^{注3}
P30	I/O	Port 3. 5 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	INTP5
P31				TOH1/INTP3
P32				TOH0/MCGO
P33				TI000/RTCDIV/ RTCCL/BUZ/INTP2
P34				TI52/TI010/TO00/ RTC1HZ/INTP1
P40	I/O	Port 4. 8 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	V _{LC3} /KR0
P41				RIN/KR1
P42				KR2
P43				TO51/TI51/KR3
P44				TO50/TI50/KR4
P45 to P47				KR5~ KR7
P80~ P83	I/O	Port 8. 4 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	SEG4 ~ SEG7
P90 ~ P93	I/O	Port 9. 4 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	SEG8~ SEG11

- 注
1. 仅适用于 μ PD78F047x 和 78F048x。
 2. 仅适用于 μ PD78F048x 和 78F049x。
 3. 仅适用于 μ PD78F049x。

(1) 端口引脚

(3/3)

功能名称	I/O	功能	复位后	复用功能
P100~ P103	I/O	Port 10. 4 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	SEG12 to SEG15
P110, P111	I/O	Port 11. 4 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	SEG16, SEG17
P112				SEG18/TxD6
P113				SEG19/RxD6
P120	I/O	Port 12. 1 位 I/O 端口和 4 位 输入端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	INTP0/EXLVI
P121	Input			X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				XT1
P124				XT2
P130 ~ P133	I/O	Port 13. 4 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	SEG20 ~ SEG23
P140 ~ P143	I/O	Port 14. 4 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	SEG24 ~ SEG27
P150 ~ P153	I/O	Port 15. 4 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置，可以定义内置上拉电阻的使用。	输入端口	SEG28 ~ SEG31

(2) 非端口引脚

(1/4)

功能名称	I/O	功能	复位后	复用功能
ANI0 ^{注2}	输入	10 位逐次逼近型 A/D 转换器模拟输入	数字输入端口	P20/SEG39 ^{注1} / DS0 ₋ ^{注3}
ANI1 ^{注2}				P21/SEG38 ^{注1} / DS0 ₊ ^{注3}
ANI2 ^{注2}				P22/SEG37 ^{注1} / DS1 ₋ ^{注3}
ANI3 ^{注2}				P23/SEG36 ^{注1} / DS1 ₊ ^{注3}
ANI4 ^{注2}				P24/SEG35 ^{注1} / DS2 ₋ ^{注3}
ANI5 ^{注2}				P25/SEG34 ^{注1} / DS2 ₊ ^{注3}
ANI6 ^{注2}				P26/SEG33 ^{注1} / REF ₋ ^{注3}
ANI7 ^{注2}				P27/SEG32 ^{注1} / REF ₊ ^{注3}
DS0 ₋ ^{注3}	输入	16 位 $\Delta\Sigma$ 型 A/D 转换器模拟输入	数字输入端口	P20/SEG39 ^{注1} / /ANI0 ^{注2}
DS0 ₊ ^{注3}				P21/SEG38 ^{注1} / /ANI1 ^{注2}
DS1 ₋ ^{注3}				P22/SEG37 ^{注1} / /ANI2 ^{注2}
DS1 ₊ ^{注3}				P23/SEG36 ^{注1} / /ANI3 ^{注2}
DS2 ₋ ^{注3}				P24/SEG35 ^{注1} / /ANI4 ^{注2}
DS2 ₊ ^{注3}				P25/SEG34 ^{注1} / /ANI5 ^{注2}
REF ₋ ^{注3}				16 位 $\Delta\Sigma$ 型 A/D 转换器参考电压输入。 使 V _{SS} 和 AV _{SS} 具有相同电平。
REF ₊ ^{注3}		16 位 $\Delta\Sigma$ 型 A/D 转换器参考电压输入。 使 AV _{REF} 具有相同电平。		P27/SEG32 ^{注1} / /ANI7 ^{注2}
AV _{REF} ^{注2}	输入	10 位逐次逼近型 A/D 转换器参考电压输入，端口 2 和 16 位 $\Delta\Sigma$ 型 A/D 转换器 ^{注3} 的正向电源。	-	-
AV _{SS} ^{注2}	-	A/D 转换地电位。使其与 V _{SS} 具有相同电平	-	-

- 注
1. 仅适用于 μ PD78F047x 和 78F048x。
 2. 仅适用于 μ PD78F048x 和 78F049x。
 3. 仅适用于 μ PD78F049x。

(2) 非端口引脚

(2/4)

功能名称	I/O	功能	复位后	复用功能
SEG0 ~ SEG3	输出	LCD 控制器/驱动器 segment 信号输出。	输出	COM4 ~ COM7
SEG4 ~ SEG7			输入端口	P80 ~ P83
SEG8 ~ SEG11				P90 ~ P93
SEG12 ~ SEG15				P100 ~ P103
SEG16, SEG17				P110, P111
SEG18				P112/TxD6
SEG19				P113/RxD6
SEG20 ~ SEG23				P130 ~ P133
SEG24 ~ SEG27				P140 ~ P143
SEG28 ~ SEG31				P150 ~ P153
SEG32 ^{注1}				数字输入端口
SEG33 ^{注1}			P26/ANI6 ^{注2} / REF- ^{注3}	
SEG34 ^{注1}			P25/ANI5 ^{注2} / DS2+ ^{注3}	
SEG35 ^{注1}			P24/ANI4 ^{注2} / DS2- ^{注3}	
SEG36 ^{注1}			P23/ANI3 ^{注2} / DS1+ ^{注3}	
SEG37 ^{注1}			P22/ANI2 ^{注2} / DS1- ^{注3}	
SEG38 ^{注1}			P21/ANI1 ^{注2} / DS0+ ^{注3}	
SEG39 ^{注1}			P20/ANI0 ^{注2} / DS0- ^{注3}	
COM0 ~ COM3			输出	LCD 控制器/驱动器 common 信号输出。
COM4 ~ COM7	SEG0 ~ SEG3			
V _{LC0} ~ V _{LC2}	-	LCD 驱动电压	-	-
V _{LC3}			输入端口	P40/KR0

- 注
1. 仅适用于 μ PD78F047x 和 78F048x。
 2. 仅适用于 μ PD78F048x 和 78F049x。
 3. 仅适用于 μ PD78F049x。

(2) 非端口引脚

(3/4)

功能名称	I/O	功能	复位后	复用功能
BUZ	输出	蜂鸣器输出	输入端口	P33/TI000/RTC DIV /RTCCL/INTP2
INTP0	输入	定义有效沿（上升沿、下降沿，或兼有上升沿和下降沿），用于外部中断请求输入。	输入端口	P120/EXLVI
INTP1				P34/TI52/TI010/ TO00/RTC1HZ
INTP2				P33/TI000/RTC DIV /RTCCL/BUZ
INTP3				P31/TOH1
INTP4				P14/SCKA0
INTP5				P30
KR0	输入	按键中断输入	输入端口	P40/V _{LC3}
KR1				P41/RIN
KR2				P42
KR3				P43/TO51/TI51
KR4				P44/TO50/TI50
KR5 ~ KR7				P45 ~ P47
MCGO	输出	Manchester 编码输出	输入端口	P32/TOH0
PCL	输出	Clock 输出	输入端口	P10
REGC	-	将稳压器输出 (2.4V) 连接至稳定电容，用于内部操作。 通过一个电容器 (0.47 μ F ~ 1 μ F: 推荐) 连接至 V _{SS} 。	-	-
RESET	输入	系统复位输入	-	-
RIN	输入	遥控接收数据输入	输入端口	P41/KR1
RTCDIV	输出	实时计数器时钟 (32 kHz 分频) 输出	输入端口	P33/TI000/RTCCL /BUZ/INTP2
RTCCL	输出	实时计数器时钟 (32 kHz 振荡) 输出	输入端口	P33/TI000/RTC DIV /BUZ/INTP2
RTC1HZ	输出	实时计数器时钟 (1 kHz) 输出	输入端口	P34/TI52/TI010/ TO00/INTP1
RxD0	输入	异步串行接口的串行数据输入	输入端口	P12/SI10
RxD6			输入端口	P113/SEG19
<RxD6>			输入端口	P15/SIA0
SI10	输入	CSI10 串行数据输入	输入端口	P12/RxD0
SIA0	输入	CSIA0 串行数据输入	输入端口	P15/<RxD6>
SO10	输出	CSI10 串行数据输出	输入端口	P13/TxD0
SOA0	输出	CSIA0 串行数据输出	输入端口	P16/<TxD6>
SCK10	I/O	串行接口 CSI10 的时钟输入/输出	输入端口	P11
SCKA0	I/O	串行接口 CSIA0 的时钟输入/输出	输入端口	P14/INTP4

备注 箭头 (< >) 内的功能由输入转换控制寄存器 (ISC) 分配。

(2) 非端口引脚

(4/4)

功能名称	I/O	功能	复位后	复用功能
TI000	输入	16 位定时器/事件计数器 00 的外部计数时钟输入 16 位定时器/事件计数器 00 的捕捉寄存器(CR000、CR010)的捕捉触发输入	输入端口	P33/RTCDIV/ RTCCL/BUZ/ INTP2
TI010		16 位定时器/事件计数器 00 的捕捉寄存器(CR000)的捕捉触发输入		P34/TI52/TO00/ RTC1HZ/INTP1
TI50	输入	8 位定时器/事件计数器 50 的外部计数时钟输入	输入端口	P44/TO50/KR4
TI51		8 位定时器/事件计数器 51 的外部计数时钟输入		P43/TO51/KR3
TI52		8 位定时器/事件计数器 52 的外部计数时钟输入		P34/TI010/TO00/ RTC1HZ/INTP1
TO00	输出	16 位定时器/事件计数器 00 输出	输入端口	P34/TI52/TI010/ RTC1HZ/INTP1
TO50	输出	8 位定时器/事件计数器 50 输出		P44/TI50/KR4
TO51		8 位定时器/事件计数器 51 输出		P43/TI51/KR3
TOH0	输出	8 位定时器 H0 输出	输入端口	P32/MCGO
TOH1		8 位定时器 H1 输出		P31/INTP3
TxD0	输出	异步串行接口的串行数据输出	输入端口	P13/SO10
TxD6				P112/SEG18
<TxD6>				P16/SOA0
EXLVI	Input	Potential input for external low-voltage detection	输入端口	P120/INTP0
X1	Input	Connecting resonator for main system clock	输入端口	P121/OCD0A
X2	-			P122/EXCLK/ OCD0B
EXCLK	输入	用于外部低电压检测的电压输入	输入端口	P122/X2/OCD0B
XT1	输入	连接主系统时钟振荡器	输入端口	P123
XT2	-			P124
V _{DD}	-	正向电源	-	-
V _{SS}	-	地	-	-
FLMD0	-	Flash 存储器编程模式设置	-	-
OCD0A	输入	用于设置片上调试模式	输入端口	P121/X1
OCD0B	-			P122/X2/EXCLK

备注 箭头 (< >) 内的功能由输入转换控制寄存器 (ISC) 分配。

2.2 引脚功能描述

2.2.1 P10 ~P17 (端口 1)

P10~ P17 作为 4 位 I/O 端口使用。这些引脚也可用于外部中断请求输入，串行输入 I/O，时钟 I/O 和时钟输出。P13 和 P16 可由端口功能寄存器(PF1)选择作为引脚功能(参见图 4-30)。

以下操作模式可以用位操作。

(1) 端口模式

P10~ P17 作为 4 位 I/O 端口使用。过使用端口模式寄存器 1 (PM1)，可按位设置 P10 ~ P17 为输入输出端口。由上拉电阻选择寄存器 1 (PU1)定义内置上拉电阻的使用。

(2) 控制模式

P10~P17 也可用于外部中断请求输入，串行输入 I/O，时钟 I/O 和时钟输出。

(a) SI10, SIA0

串行接口的串行数据输入引脚。

(b) SO10, SOA0

串行接口的串行时钟 I/O 引脚。

(c) $\overline{\text{SCK10}}$, $\overline{\text{SCKA0}}$

串行接口的串行时钟 I/O 引脚。

(d) RxD0, RxD6

异步串行接口的串行数据输入引脚。

(e) TxD0, TxD6

异步串行接口的串行数据输出引脚。

(f) PCL

时钟输出引脚

(g) INTP4

可定义有效沿（上升沿、下降沿，或兼有上升沿和下降沿），用于外部中断请求输入。

2.2.2 P20~P27 (端口 2)

P20 ~ P27 作为 8 位 I/O 端口使用。这些引脚也可用于 LCD 控制器/驱动器的 segment 信号输出, 10 位次逼近型 A/D 转换器模拟输入(仅适用于 μ PD78F048x 和 78F049x), 16 位 $\Delta\Sigma$ 型 A/D 转换器模拟输入和参考电压输入(仅是适用 μ PD78F049x)。可由端口功能寄存器(PF2)选择作为引脚功能或 segment 信号输出功能。

以下操作模式可以用位操作。

(1) 端口模式

P20 ~ P27 作为 8 位 I/O 端口使用。通过使用端口模式寄存器 2 (PM2), 可按位设置 P20 ~ P27 为输入输出端口。

(2) Control mode

(2) 控制模式

P20 ~ P27 可用于 LCD 控制器/驱动器的 segment 信号输出, 10 位次逼近型 A/D 转换器模拟输入(仅适用于 μ PD78F048x 和 78F049x), 16 位 $\Delta\Sigma$ 型 A/D 转换器模拟输入和参考电压输入 (仅适用于 μ PD78F049x)。

(a) SEG32 ~ SEG39

些引脚可用于 LCD 控制器/驱动器的 segment 信号输出。

(b) ANI0 ~ ANI7 (仅适用于 μ PD78F048x 和 78F049x)

这些是 10 位次逼近型 A/D 转换器模拟输入引脚。当使用这些引脚作为模拟输入引脚时, 参见 12.6 10 位次逼近型 A/D 转换器的注意事项中的 (5) ANI0/SEG39/P20 ~ ANI7/SEG32/P27 引脚 (μ PD78F048x), ANI0/DS0-/P20 ~ ANI7/REF+/P27 引脚 (μ PD78F049x)。

(c) DS0-, DS0+, DS1-, DS1+, DS2-, DS2+, REF-和 REF+ (仅适用于 μ PD78F049x)

这些是 16 位 $\Delta\Sigma$ 型 A/D 转换器模拟输入和参考电压输入引脚。

设置 REF- 与 V_{SS} 和 AV_{SS} 相同电平。

设置 REF+ 与 AV_{REF} 相同电平。

注意事项 P20 ~ P27 要在复位释放后设置模拟输入模式。

2.2.3 P30~P34 (端口 3)

P30~P34 可用于 5 位 I/O 端口。这些引脚也可用于外部中断请求输入, 定时器 I/O, 蜂鸣器 输出, 实时计数器输出和 manchester 编码输出。

以下操作模式可以用位操作。

(1) 端口模式

P30 ~ P34 作为 5 位 I/O 端口使用。通过使用端口模式寄存器 3 (PM3), 可按位设置 P30 ~ P34 为输入输出端口。由上拉电阻选择寄存器 3 (PU3)定义内置上拉电阻的使用。

(2) 控制模式

P30~P34 也可用于外部中断请求输入, 定时器 I/O, 蜂鸣器 输出, 实时计数器输出和 manchester 编码输出。

(a) INTP1~ INTP3 和 INTP5

可定义有效沿（上升沿、下降沿，或兼有上升沿和下降沿），用于外部中断请求输入。

(b) TO00, TOH0, TOH1

定时器输出引脚。

(c) TI000

将外部计数时钟输入到 16 位定时器/事件计数器 00，也可将捕捉触发信号输入到 16 位定时器/事件计数器 00 的捕捉寄存器（CR000 或 CR010）中。

(d) TI010

将捕捉触发信号输入到 16 位定时器/事件计数器 00 的捕捉寄存器（CR000）中。

(e) TI52

将外部计数时钟输入到 8 位定时器/事件计数器 52。

(f) BUZ

蜂鸣器输出引脚。

(g) RTCDIV

实时计数器时钟 (32 kHz 分频) 输出引脚。

(h) RTCCL

实时计数器时钟 (32 kHz 振荡) 输出引脚。

(i) RTC1HZ

实时计数器修正时钟 (1 kHz 振荡) 输出引脚。

(j) MCGO

Manchester 编码输出引脚。

2.2.4 P40~P47 (端口 4)

P40 ~ P47 作为 8 位 I/O 端口使用。这些引脚也可用于按键中断输入，定时器 I/O 和遥控接收数据输入及 LCD 驱动电源。

以下操作模式可以用位操作。

(1) 端口模式

P40 ~ P47 作为 5 位 I/O 端口使用。通过使用端口模式寄存器 4 (PM4)，可按位设置 P40 ~ P47 为输入输出端口。由上拉电阻选择寄存器 4 (PU4) 定义内置上拉电阻的使用。

(2) 控制模式

P40 ~ P47 可用于按键中断输入，定时器 I/O 和遥控接收数据输入及 LCD 驱动电源。

(a) KR0 to KR7

按键中断输入引脚。

(b) TO50, TO51

8 位定时器/事件计数器 50 和 51 的定时器输出引脚。

(c) TI50, TI51

用于输入一个外部计数时钟到 8 位定时器/事件计数器 50 和 51。

(d) RIN

遥控接收器的数据输入。

(e) VLc3

LCD 驱动电源。

2.2.5 P80~P83 (端口 8)

P80 ~ P83 作为 4 位 I/O 端口使用。这些引脚也可以作为 LCD 控制器/驱动器的 segment 信号输出。由端口功能寄存器 ALL (PFALL)选择作为 I/O 端口或 segment 信号输出。

(1) 端口模式

P80 ~ P83 作为 4 位 I/O 端口使用。通过使用端口模式寄存器 8 (PM8)，可按位设置 P80 ~ P83 为输入输出端口。由上拉电阻选择寄存器 8 (PU8)定义内置上拉电阻的使用。

(2) 控制模式

P80 ~ P83 可作为 LCD 控制器/驱动器的 segment 信号输出。

(a) SEG4 ~ SEG7

LCD 控制器/驱动器的 segment 信号输出。

2.2.6 P90~ P93 (端口 9)

P90 ~ P93 作为 4 位 I/O 端口使用。这些引脚也可以作为 LCD 控制器/驱动器的 segment 信号输出。由端口功能寄存器 ALL (PFALL)选择作为 I/O 端口或 segment 信号输出。

(1) 端口模式

P90 ~ P93 作为 4 位 I/O 端口使用。通过使用端口模式寄存器 9 (PM9)，可按位设置 P90 ~ P93 为输入输出端口。由上拉电阻选择寄存器 98 (PU9)定义内置上拉电阻的使用。

(2) 控制模式

P90 ~ P93 可作为 LCD 控制器/驱动器的 segment 信号输出。

(a) SEG8 ~ SEG11

LCD 控制器/驱动器的 segment 信号输出。

2.2.7 P100~ P103 (端口 10)

P100 ~ P103 作为 4 位 I/O 端口使用。这些引脚也可以作为 LCD 控制器/驱动器的 segment 信号输出。由端口功能寄存器 ALL (PFALL)选择作为 I/O 端口或 segment 信号输出。

(1) 端口模式

P100 ~ P103 作为 4 位 I/O 端口使用。通过使用端口模式寄存器 10 (PM10)，可按位设置 P100 ~ P103 为输入输出端口。由上拉电阻选择寄存器 10 (PU10)定义内置上拉电阻的使用。

(2) 控制模式

P100 ~ P103 可作为 LCD 控制器/驱动器的 segment 信号输出。

(a) SEG12 ~ SEG15

LCD 控制器/驱动器的 segment 信号输出。

2.2.8 P110 ~ P113 (端口 11)

P110 ~ P113 作为 4 位 I/O 端口使用。这些引脚也可以作为 LCD 控制器/驱动器的 segment 信号输出和串行接口数据 I/O。由端口功能寄存器 ALL (PFALL)选择作为 I/O 端口(除了 segment 信号输出)或 segment 信号输出。

(1) 端口模式

P110 ~ P113 作为 4 位 I/O 端口使用。通过使用端口模式寄存器 11 (PM11)，可按位设置 P110 ~ P113 为输入输出端口。由上拉电阻选择寄存器 11 (PU11)定义内置上拉电阻的使用。

(2) 控制模式

P110 ~ P113 可作为 LCD 控制器/驱动器的 segment 信号输出和串行接口数据 I/O。

(a) SEG16 ~ SEG19

LCD 控制器/驱动器的 segment 信号输出。

(b) RxD6

串行接口 UART6 的串行数据输入引脚。

(c) TxD6

串行接口 UART6 的串行数据输出引脚。

2.2.9 P120 ~ P124 (端口 12)

P120 作为 1 位 I/O 端口使用。P121 ~ P124 作为 4 位输入端口使用。这些引脚也可以作为外部中断请求输入，外部低电压检测的电压输入，连接主系统时钟振荡器，连接副系统时钟振荡器和外部时钟输入。以下操作模式可以用位操作。

(1) 端口模式

P120 作为 1 位 I/O 端口使用和 P121 ~ P124 作为 4 位输入端口使用。仅 P120，可由端口模式寄存器 12 (PM12) 设置为输入或输出端口。仅对于 P120，可由上拉电阻选择寄存器 12 (PU12)定义内置上拉电阻的使用。

(2) 控制模式

P120 ~ P124 可作为外部中断请求输入、外部低电压检测的电压输入、连接主系统时钟的振荡器、连接副系统时钟的振荡器和外部时钟输入。

(a) INTP0

通过定义有效沿（上升沿、下降沿，或兼有上升沿和下降沿），它可作为外部中断请求输入(INTP0)使用。

(b) EXLVI

用于外部低电压检测的电压输入。

(c) X1, X2

用于连接主系统时钟振荡器。

(d) EXCLK

用于主系统时钟的外部时钟输入。

(e) XT1, XT2

用于连接副系统时钟振荡器。

备注 在使用片上调试功能时，X1 和 X2 能够用于片上调试模式设置引脚 (OCD0A, OCD0B)。详情请参看 **第二十九章 片上调试功能**。

2.2.10 P140 ~ P143 (端口 14)

P140 ~ P143 作为 4 位 I/O 端口使用。这些引脚也可以作为 LCD 控制器/驱动器的 segment 信号输出。由端口功能寄存器 ALL (PFALL)选择作为 I/O 端口或 segment 信号输出。

(1) 端口模式

P140 ~ P143 作为 4 位 I/O 端口使用。通过使用端口模式寄存器 14 (PM14)，可按位设置 P140 ~ P143 为输入输出端口。由上拉电阻选择寄存器 14 (PU14)定义内置上拉电阻的使用。

(2) 控制模式

P140 ~ P143 可作为 LCD 控制器/驱动器的 segment 信号输出。

(a) SEG20~ SEG23

LCD 控制器/驱动器的 segment 信号输出。

2.2.11 P140 ~ P143 (端口 14)

P140 ~ P143 作为 4 位 I/O 端口使用。这些引脚也可以作为 LCD 控制器/驱动器的 segment 信号输出。由端口功能寄存器 ALL (PFALL)选择作为 I/O 端口或 segment 信号输出。

(1) 端口模式

P140 ~ P143 作为 4 位 I/O 端口使用。通过使用端口模式寄存器 14 (PM14)，可按位设置 P140 ~ P143 为输入输出端口。由上拉电阻选择寄存器 14 (PU14)定义内置上拉电阻的使用。

(2) 控制模式

P140 ~ P143 可作为 LCD 控制器/驱动器的 segment 信号输出。

(a) SEG24~ SEG27

LCD 控制器/驱动器的 segment 信号输出。

2.2.12 P150 ~ P153 (端口 15)

P150 ~ P153 作为 4 位 I/O 端口使用。这些引脚也可以作为 LCD 控制器/驱动器的 segment 信号输出。由端口功能寄存器 ALL (PFALL)选择作为 I/O 端口或 segment 信号输出。

(1) 端口模式

P150 ~ P153 作为 4 位 I/O 端口使用。通过使用端口模式寄存器 15 (PM15)，可按位设置 P150 ~ P153 为输入输出端口。由上拉电阻选择寄存器 15 (PU15)定义内置上拉电阻的使用。

(2) 控制模式

P150 ~ P153 可作为 LCD 控制器/驱动器的 segment 信号输出。

(a) SEG28 ~ SEG31

LCD 控制器/驱动器的 segment 信号输出。

2.2.13 AV_{REF} (仅适用于 μ PD78F048x 和 78F049x)

10 位逐次逼近型 A/D 转换器参考电压输入引脚，P20 ~ P27 和 16 位 $\Delta\Sigma$ 型 A/D 转换器正向电源。不使用 A/D 转换器时，将该引脚直接连到 V_{DD}^注

注 当至少 1 个端口 2 引脚作为数字端口使用时，应使 AV_{REF} 引脚电平与 V_{DD} 引脚的电平相同。

2.2.14 AV_{SS} (仅适用于 μ PD78F048x 和 78F049x)

作为 A/D 转换器的地引脚。即使在不使用 A/D 转换器时，该引脚电平也始终应与 V_{SS} 相同

2.2.15 COM0 ~ COM7

这些引脚作为 LCD 控制器/驱动器的 common 信号输出引脚。

2.2.16 V_{LC0} ~ V_{LC3}

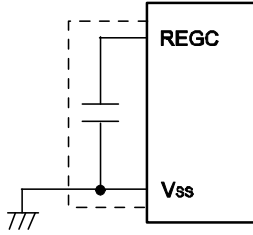
这些引脚作为驱动 LCD 的电源电压引脚。

2.2.17 RESET

低有效的系统复位输入引脚。

2.2.18 REGC

用于内部操作的调节器输出(2.4 V)稳定电容的连接。通过一个电容 (0.47 ~ 1 μ F : 推荐) 将此引脚连接到 Vss 。



注意事项 在上图虚线部分，用尽可能短的线连接。 .

2.2.19 V_{DD}

V_{DD} 为正向供电电源引脚。

2.2.20 V_{SS}

V_{SS} 为地引脚。

2.2.21 FLMD0

用于 Flash 存储器编程模式设置。

在正常操作模式下将 FLMD0 连接至 V_{SS} 。

在 Flash 存储器编程模式下，将该引脚连接至 Flash 编程器。

2.3 引脚 I/O 电路和未使用引脚的建议连接方式

表 2-2 为引脚 I/O 电路类型和未使用引脚的建议连接方式。

参考图 2-1 显示每一种类型的 I/O 电路结构。

表 2-2. 引脚 I/O 电路类型(1/2)

引脚名称	I/O 电路类型	I/O	未使用引脚的建议连接方式		
P10/PCL	5-AG	I/O	输入： 通过电阻单独连接至 V _{DD} 或 V _{SS} 。 输出： 保持开路。		
P11/ $\overline{\text{SCK10}}$	5-AH				
P12/SI10/RxD0					
P13/SO10/TxD0					
P14/ $\overline{\text{SCKA0}}$ /INTP4					
P15/SIA0/<RxD6>					
P16/SOA0/<TxD6>	5-AG				
P17	17-R		<模拟设置> 连接至 AV _{REF} 或 AV _{SS} 。 <数字设置> 输入： 通过电阻单独连接至 V _{DD} 或 V _{SS} ^{注 5} 。 输出： 保持开路。 <Segment 设置> 保持开路。		
P20/SEG39/ANI0/DS0- to P27/SEG32/ANI7/REF+ 注 s 1, 2, 3, 4					
P30/INTP5				5-AH	输入： 通过电阻单独连接至 V _{DD} 或 V _{SS} 。 输出： 保持开路。
P31/TOH1/INTP3				5-AG	
P32/TOH0/MCGO					
P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2				5-AH	
P34/TI52/TI010/TO00/ RTC1HZ/INTP1				5-AO	
P40/V _{LC3} /KR0					
P41/RIN/KR1					
P42/KR2					
P43/TO51/TI51/KR3					
P44/TO50/TI50/KR4					
P45/KR5 to P47/KR7					
P80/SEG4 to P83/SEG7	17-P	<端口设置> 输入： 通过电阻单独连接至 V _{DD} 或 V _{SS} 。 输出： 保持开路。 <Segment 设置> 保持开路。 输入： 通过电阻单独连接至 V _{DD} 或 V _{SS} 。 输出： 保持开路。			
P90/SEG8 to P93/SEG11					
P100/SEG12 to P103/SEG15					

- 注
1. 仅 μ PD78F047x 和 78F048x 提供 SEGx。
 2. 仅 μ PD78F048x 和 78F049x 提供 ANIx。
 3. 仅 78F049x 提供 DSx 和 REFx。
 4. 复位释放后，才可设置 P20/SEG39/ANI0/DS0- ~ P27/SEG32/ANI7/REF+ 为数字模式。
 5. 对于 μ PD78F047x, 通过电阻单独连接至 V_{DD} 或 V_{SS}。

备注 箭头(< >)内的功能由输入转换控制寄存器(ISC)分配。

表 2-2. 引脚 I/O 电路类型 (2/2)

引脚名称	I/O 电路类型	I/O	未使用引脚的建议连接方式
P110/SEG16, P111/SEG17	17-P	I/O	<端口设置> 输入： 通过电阻单独连接至 V _{DD} 或 V _{SS} 。 输出： 保持开路。 <Segment 设置> 保持开路。
P112/SEG18/TxD6			
P113/SEG19/RxD6	17-Q		
P120/INTP0/EXLVI	5-AH		输入： 通过电阻单独连接至 V _{DD} 或 V _{SS} 。 输出： 保持开路。
<R> P121/X1 ^{注1}	37-A	输入	直接连接或通过电阻连接至 V _{DD} 。
P122/X2/EXCLK ^{注1}			
P123/XT1 ^{注1}			
P124/XT2 ^{注1}			
P130/SEG20 to P133/SEG23	17-P	I/O	<端口设置> 输入： 通过电阻单独连接至 V _{DD} 或 V _{SS} 。 输出： 保持开路。 <Segment 设置> 保持开路。
P140/SEG24 to P143/SEG27			
P150/SEG28 to P153/SEG31			
COM0 to COM3	18-E	输出	保持开路
COM4/SEG0 to COM7/SEG3	18-F		
V _{LC0} to V _{LC2}	-	-	
RESET	2	输入	直接连接或通过电阻连接至 V _{DD} 。
FLMD0	38		
AV _{REF} ^{注2}	-	-	直接连接至 V _{DD} 。 ^{注4}
AV _{SS} ^{注2}			直接连接 V _{SS} 。

- 注
1. 当不使用这些引脚时，在 I/O 端口模式下使用以上推荐的连接（参看 图 5-2 时钟操作模式选择寄存器 (OSCCTL) 的格式）。
 2. 仅适用于 μ PD78F045x 和 78F046x。
 3. 当 flash 存储器写入数据时使用 FLMD0 引脚。当在线重写 flash 存储器数据或执行片上调试，通过电阻连接此引脚到 V_{SS} (10 k Ω : 推荐)。
 4. 当端口 2 作为数字端口使用时，应使它与 V_{DD} 引脚的电平相同。

图 2-1. 引脚 I/O 电路列表 (1/2)

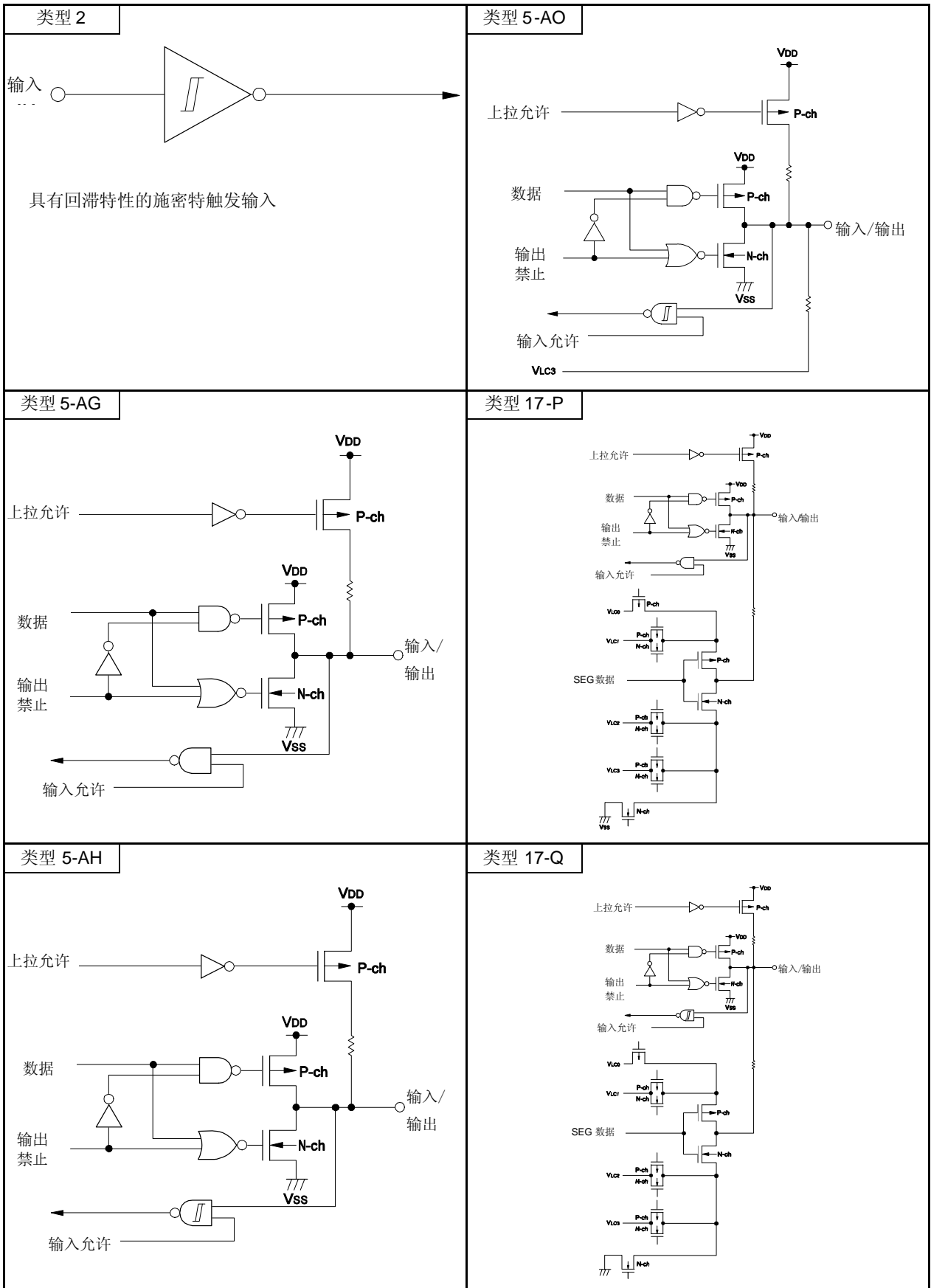
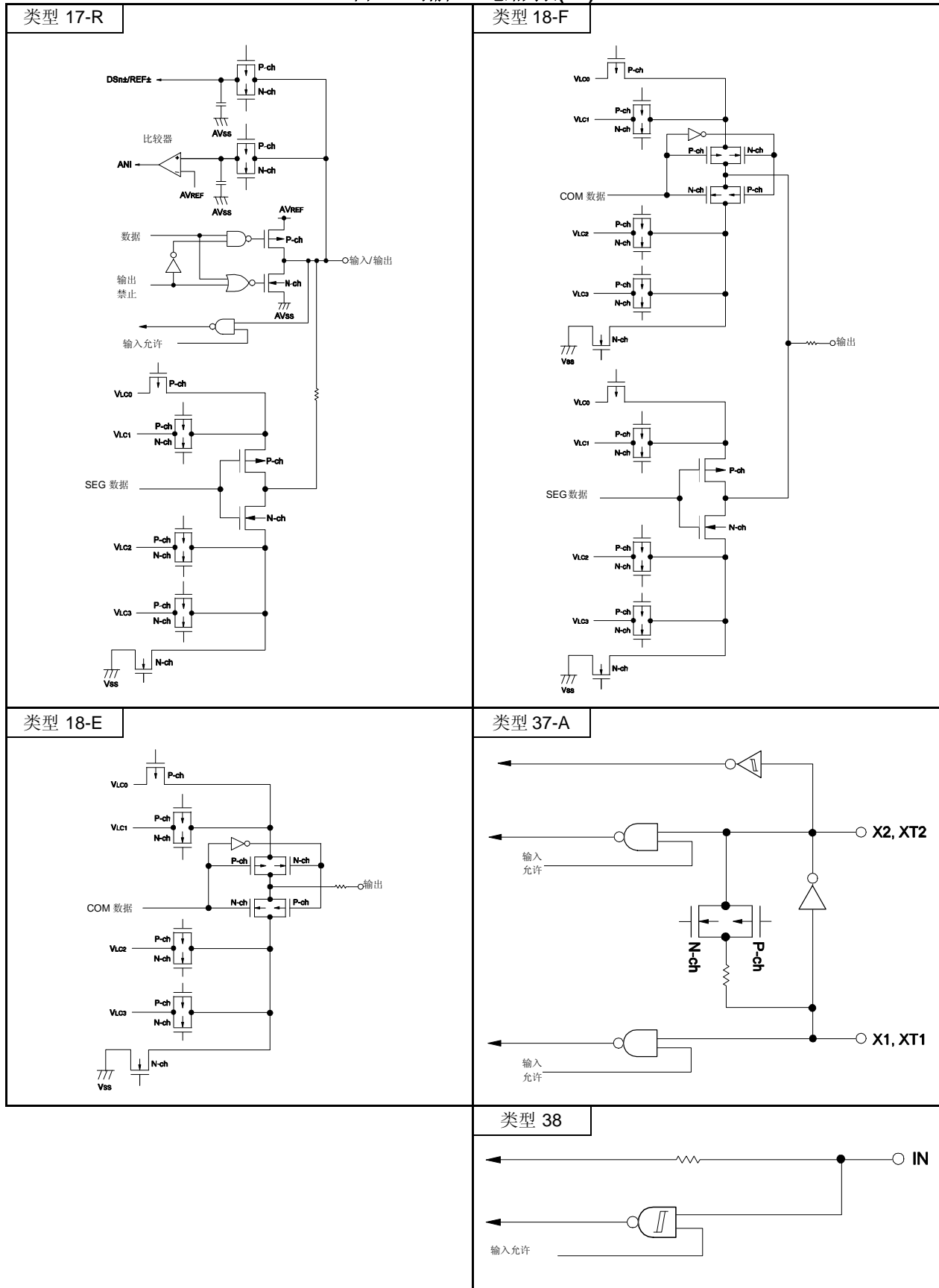


图 2-1. 引脚 I/O 电路列表(2/2)



第三章 CPU 结构

3.1 存储空间

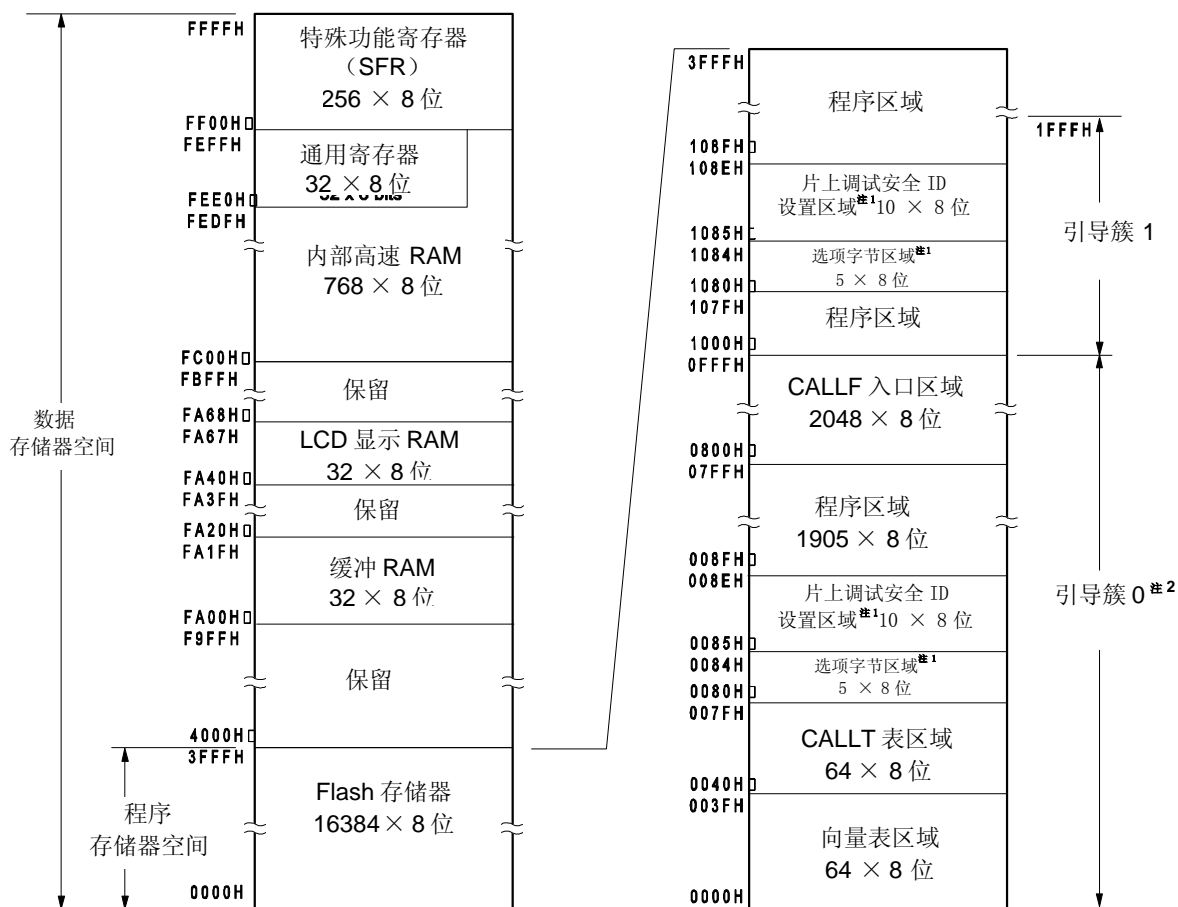
78K0/ LF3 产品可以访问大小为 64KB 的存储空间。图 3-1 ~ 3-10 显示了存储空间映射图。

注意事项：不管内部存储器容量有多少，内部存储器容量切换寄存器(IMS)和所有 78K0/ LF3 产品的内部扩展 RAM 容量切换寄存器(IXS)的初始值都是固定的(IMS = CFH, IXS = 0CH)。因此每种产品设置值如下所示。

表 3-1 设置内存容量切换寄存器(IMS)和内部扩展 RAM 容量切换寄存器(IXS)的值

Flash 存储器版本(78K0/LF3)	IMS	IXS	ROM 容量	内部高速 RAM 容量	内部扩展 RAM 容量
μ PD78F0471, 78F0481, 78F0491	04H	0CH	16 KB	768 bytes	-
μ PD78F0472, 78F0482, 78F0492	C6H		24 KB	1 KB	
μ PD78F0473, 78F0483, 78F0493	C8H		32 KB		
μ PD78F0474, 78F0484, 78F0494	CCH	0AH	48 KB		1 KB
μ PD78F0475, 78F0485, 78F0495	CFH		60 KB		

图 3-1. 存储空间映射图(μPD78F0471, 78F0481)



- 注
1. 当不使用引导交换时: 设置选项字节为 0080H~0084H, 片上调试安全 ID 为 0085H~008EH。
当使用引导交换时: 设置选项字节为 0080H~0084H 和 1080H~1084H, 片上调试安全 ID 为 0085H~008EH 和 1085H~108EH。
 2. 根据安全设置可以禁止写入引导簇 0 (参见 28.8 安全设置)。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见 表 3-2 Flash 存储器中地址值和 Block 号之间的关系。

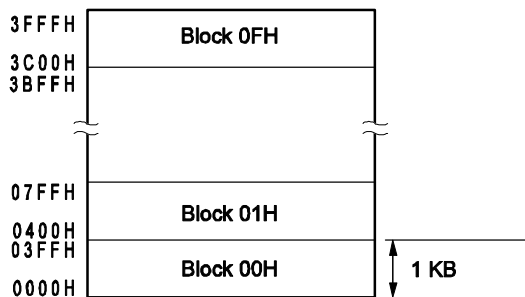
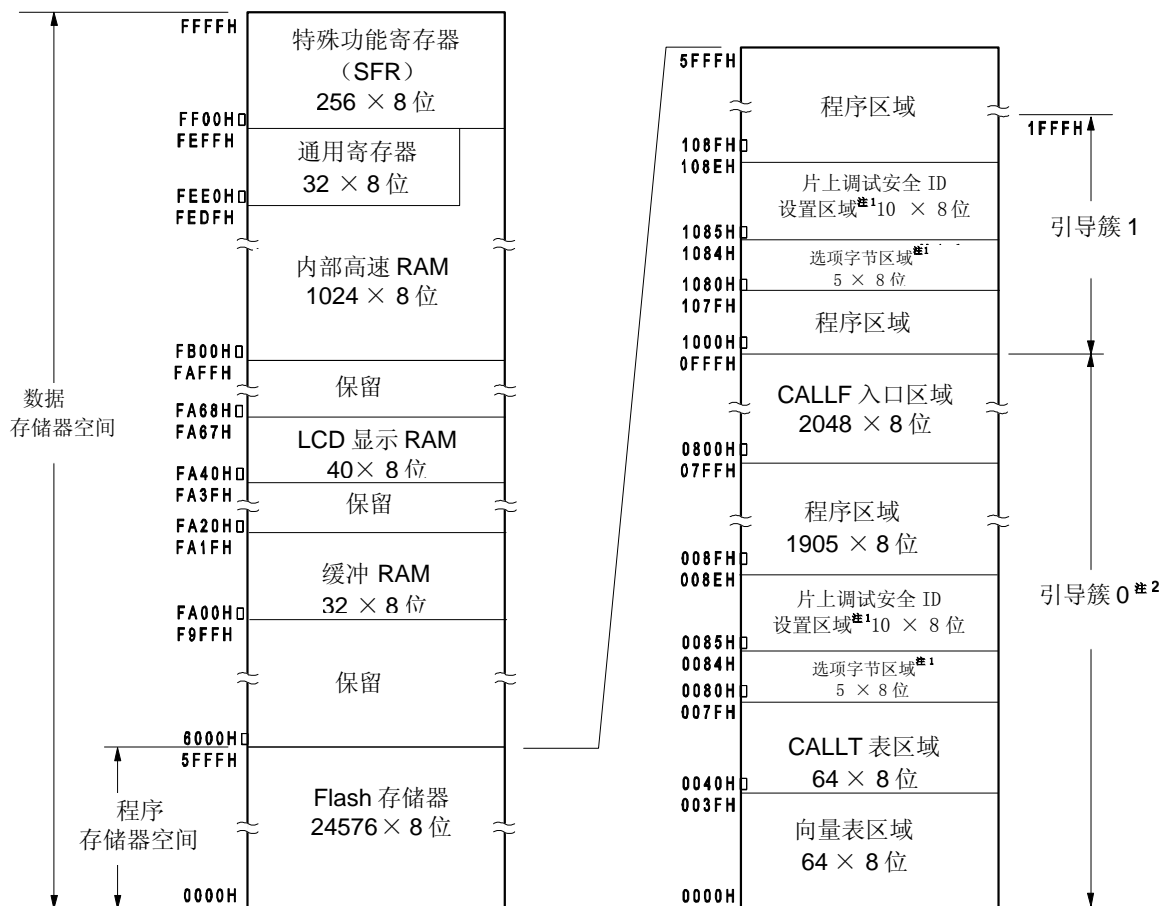


图 3-2. 存储器映射图(μPD78F0491)



- 注 1. 当不使用引导交换时: 设置选项字节为 0080H~0084H, 片上调试安全 ID 为 0085H~008EH。
 当使用引导交换时: 设置选项字节为 0080H~0084H 和 1080H~1084H, 片上调试安全 ID 为 0085H~008EH 和 1085H~108EH。
2. 根据安全设置可以禁止写入引导簇 0 (参见 28.8 安全设置)。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见表 3-2 Flash 存储器中地址值和 Block 号之间的关系。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见表 3-2 Flash 存储器中地址值和 Block 号之间的关系。

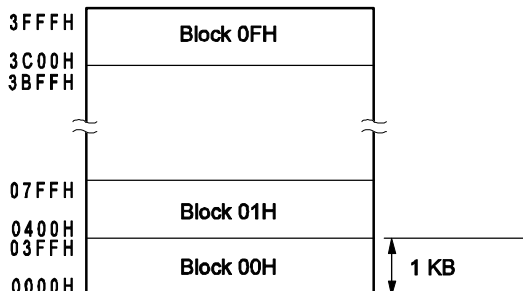
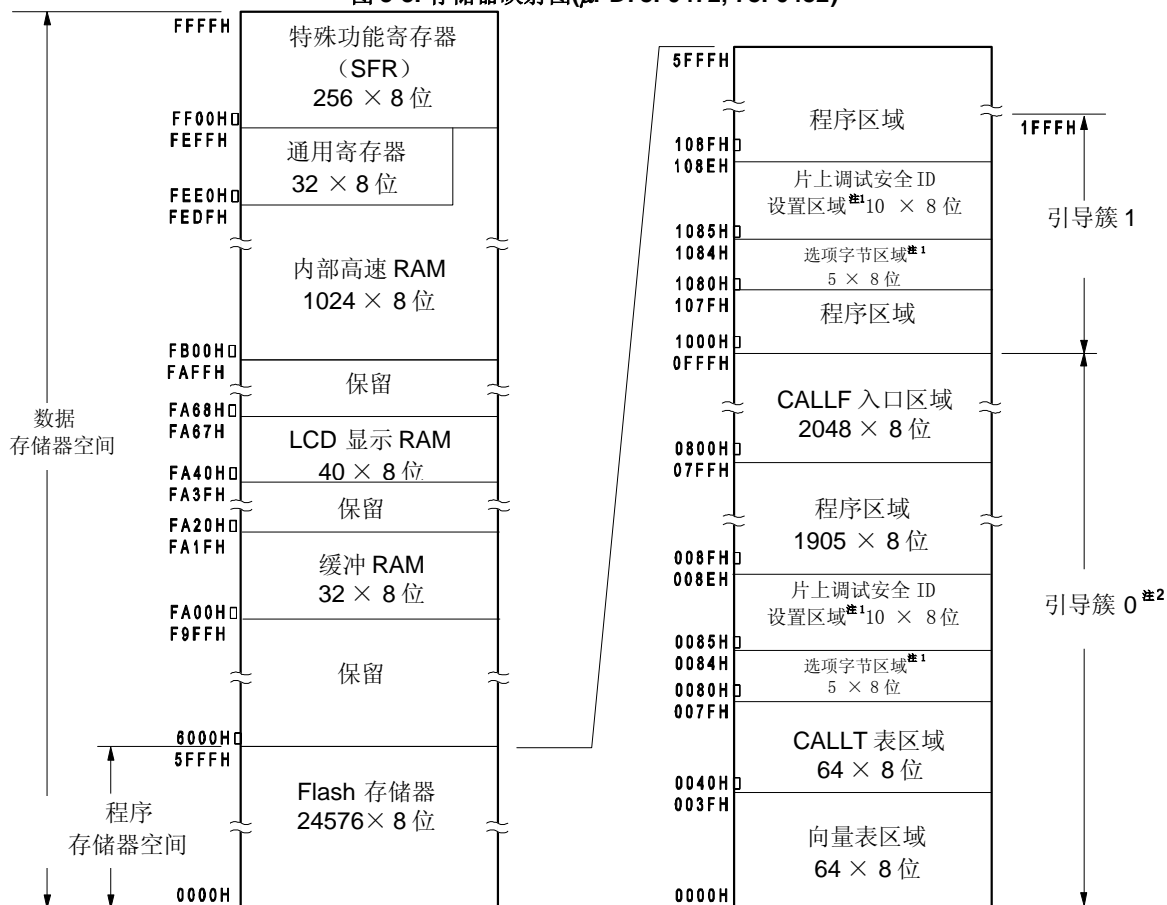


图 3-3. 存储器映射图(μPD78F0472, 78F0482)



- 注
- 当不使用引导交换时: 设置选项字节为 0080H~0084H, 片上调试安全 ID 为 0085H~008EH。
当使用引导交换时: 设置选项字节为 0080H~0084H 和 1080H~1084H, 片上调试安全 ID 为 0085H~008EH 和 1085H~108EH。
 - 根据安全设置可以禁止写入引导簇 0 (参见 28.8 安全设置)。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见表 3-2 Flash 存储器中地址值和 Block 号之间的关系。

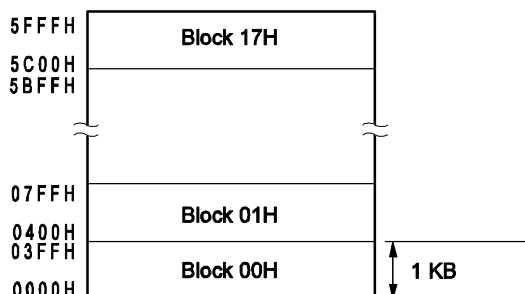
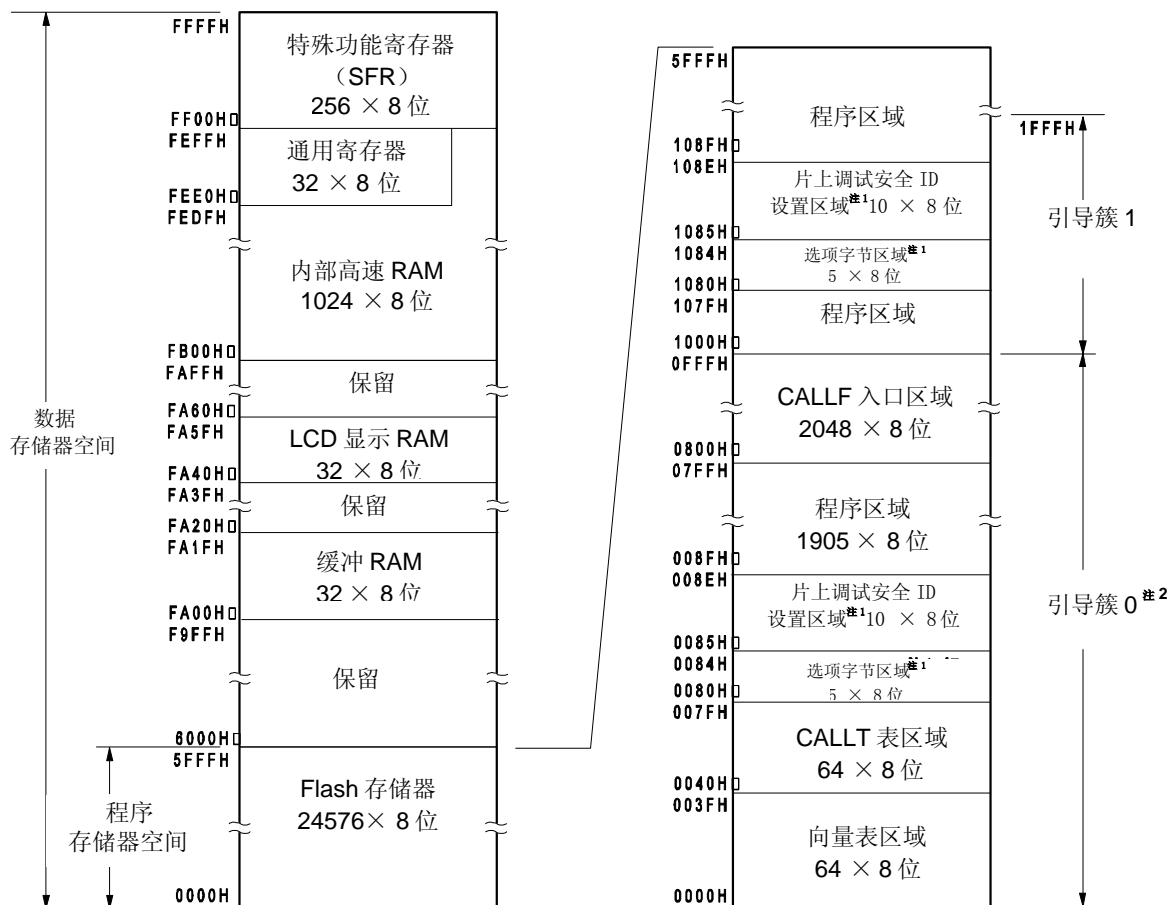


图 3-4. 存储空间映射图(μPD78F0492)



- 注
1. 当不使用引导交换时: 设置选项字节为 0080H~0084H, 片上调试安全 ID 为 0085H~008EH。
当使用引导交换时: 设置选项字节为 0080H~0084H 和 1080H~1084H, 片上调试安全 ID 为 0085H~008EH 和 1085H~108EH。
 2. 根据安全设置可以禁止写入引导簇 0 (参见 28.8 安全设置)。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见 表 3-2 Flash 存储器中地址值和 Block 号之间的关系。

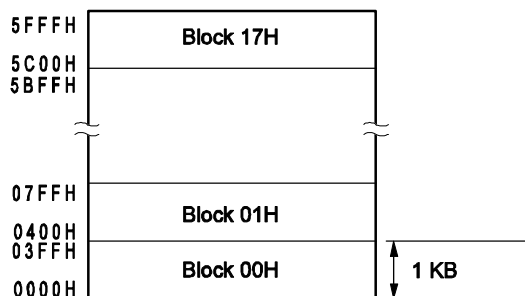
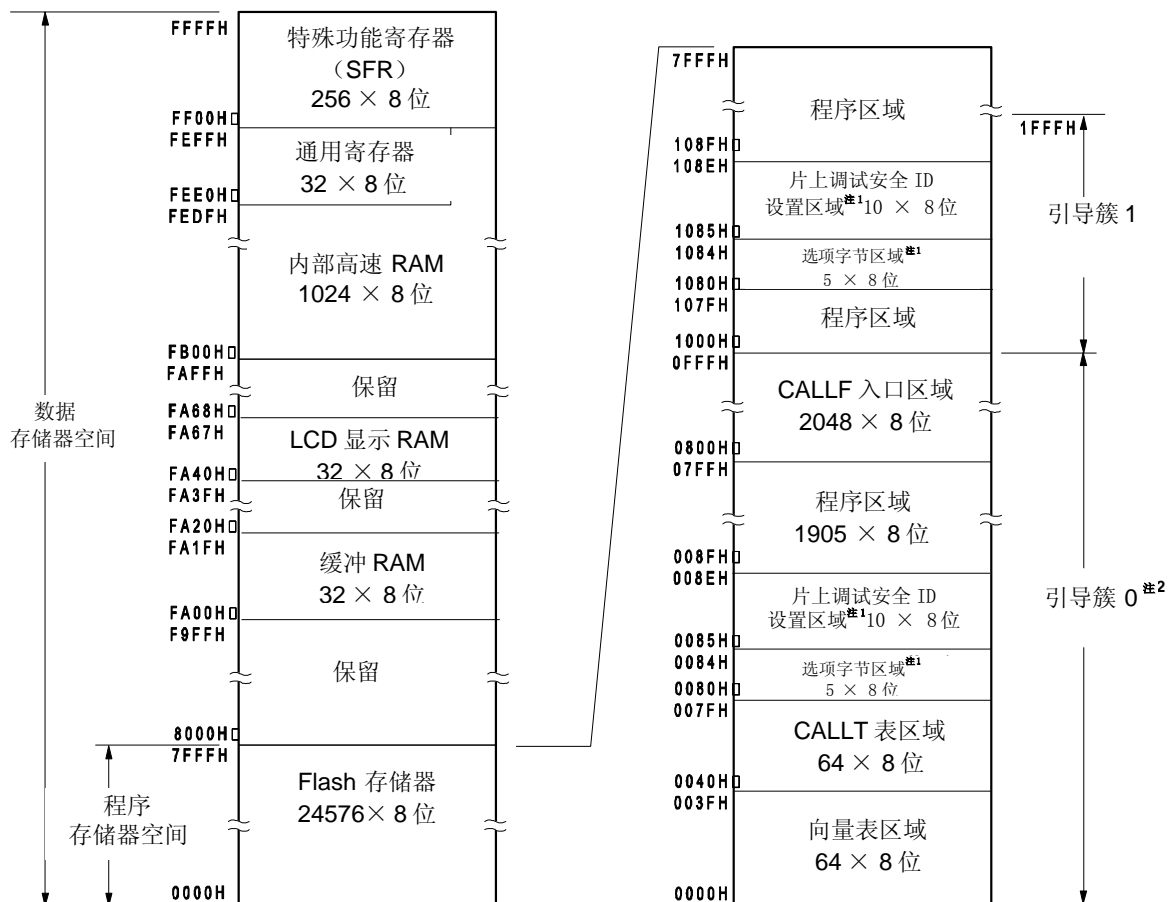


图 3-5. 存储空间映射图(μ PD78F0473, 78F0483)



- 注
1. 当不使用引导交换时: 设置选项字节为 0080H~0084H, 片上调试安全 ID 为 0085H~008EH。
当使用引导交换时: 设置选项字节为 0080H~0084H 和 1080H~1084H, 片上调试安全 ID 为 0085H~008EH 和 1085H~108EH。
 2. 根据安全设置可以禁止写入引导簇 0 (参见 28.8 安全设置)。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见 表 3-2 Flash 存储器中地址值和 Block 号之间的关系。

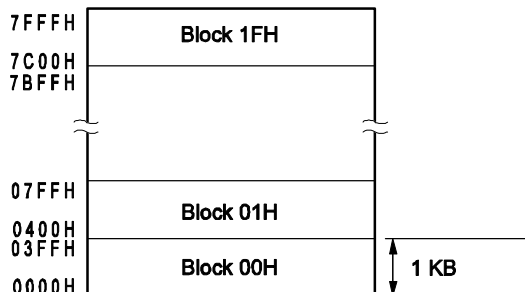
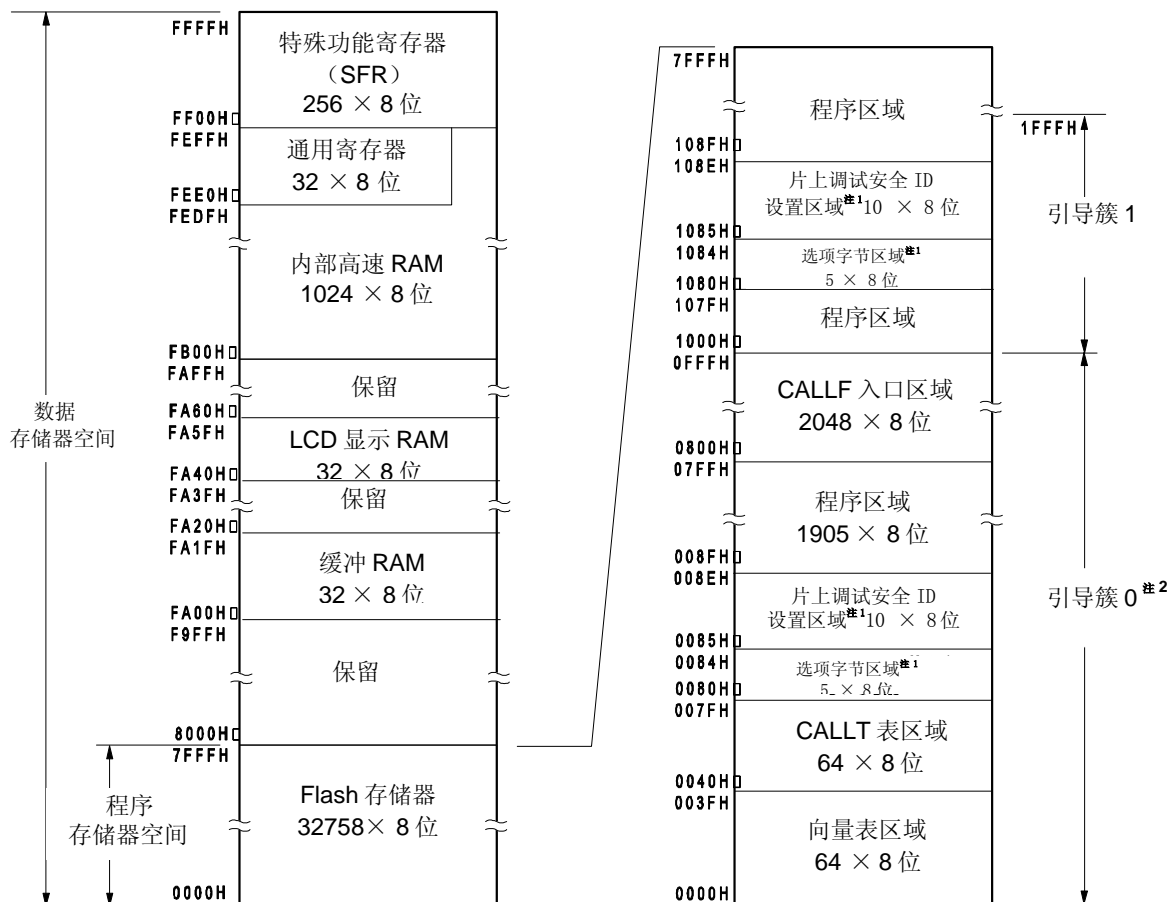


图 3-6. 存储空间映射图(μPD78F0493)



- 注
1. 当不使用引导交换时: 设置选项字节为 0080H~0084H, 片上调试安全 ID 为 0085H~008EH。
当使用引导交换时: 设置选项字节为 0080H~0084H 和 1080H~1084H, 片上调试安全 ID 为 0085H~008EH 和 1085H~108EH。
 2. 根据安全设置可以禁止写入引导簇 0 (参见 28.8 安全设置)。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见 表 3-2 Flash 存储器中地址值和 Block 号之间的关系。

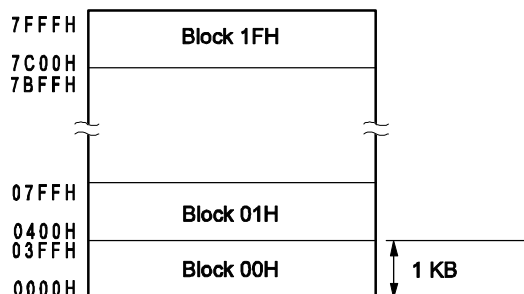
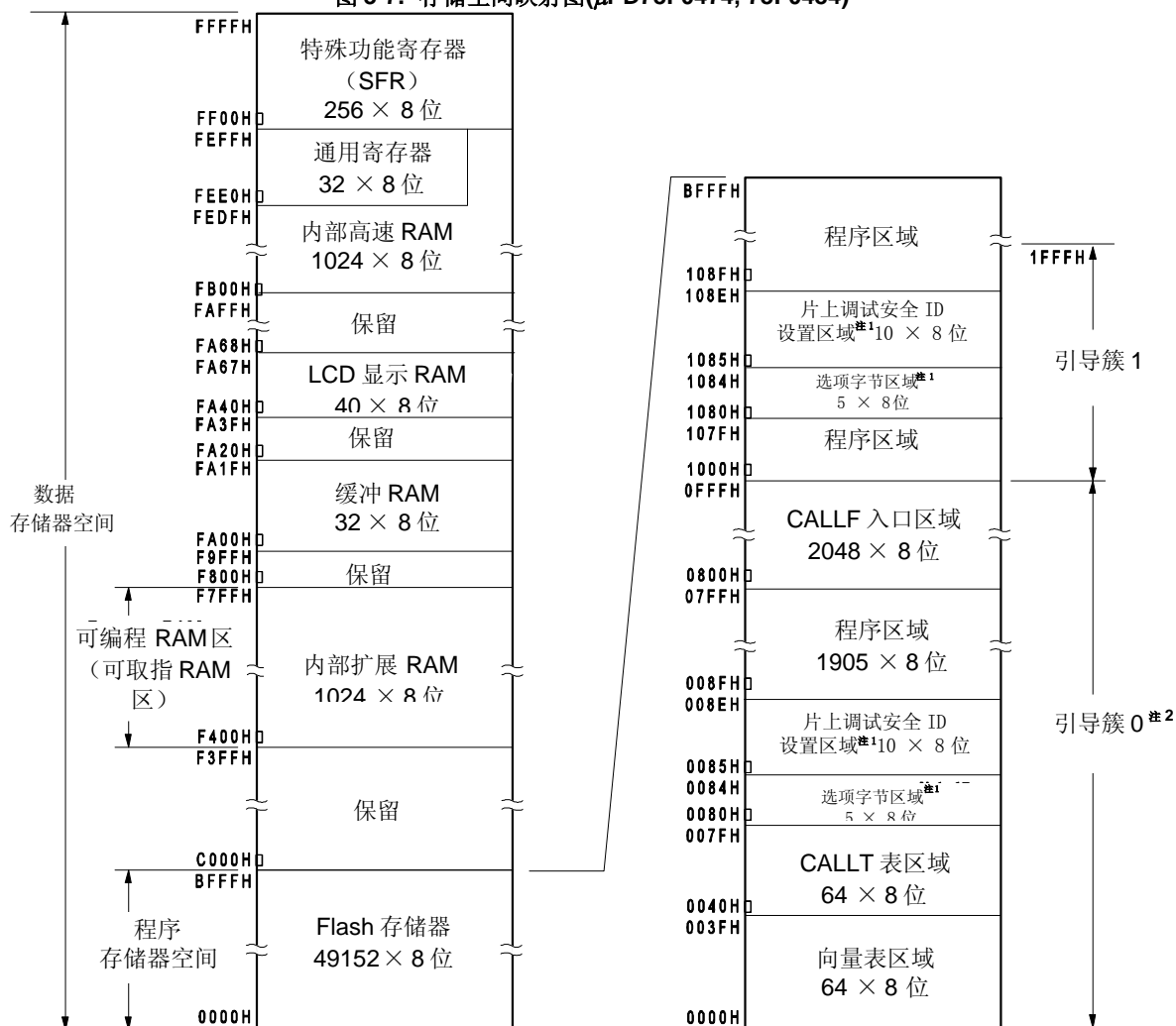


图 3-7. 存储空间映射图(μPD78F0474, 78F0484)



- 注
1. 当不使用引导交换时: 设置选项字节为 0080H~0084H, 片上调试安全 ID 为 0085H~008EH。
当使用引导交换时: 设置选项字节为 0080H~0084H 和 1080H~1084H, 片上调试安全 ID 为 0085H~008EH 和 1085H~108EH。
 2. 根据安全设置可以禁止写入引导簇 0 (参见 28.8 安全设置)。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见表 3-2 Flash 存储器中地址值和 Block 号之间的关系。

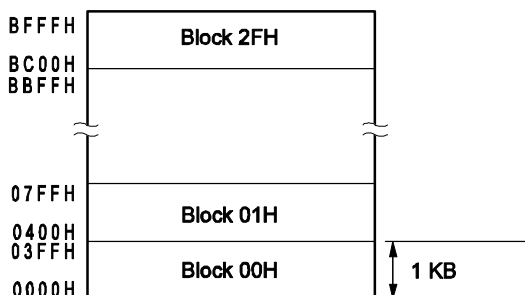
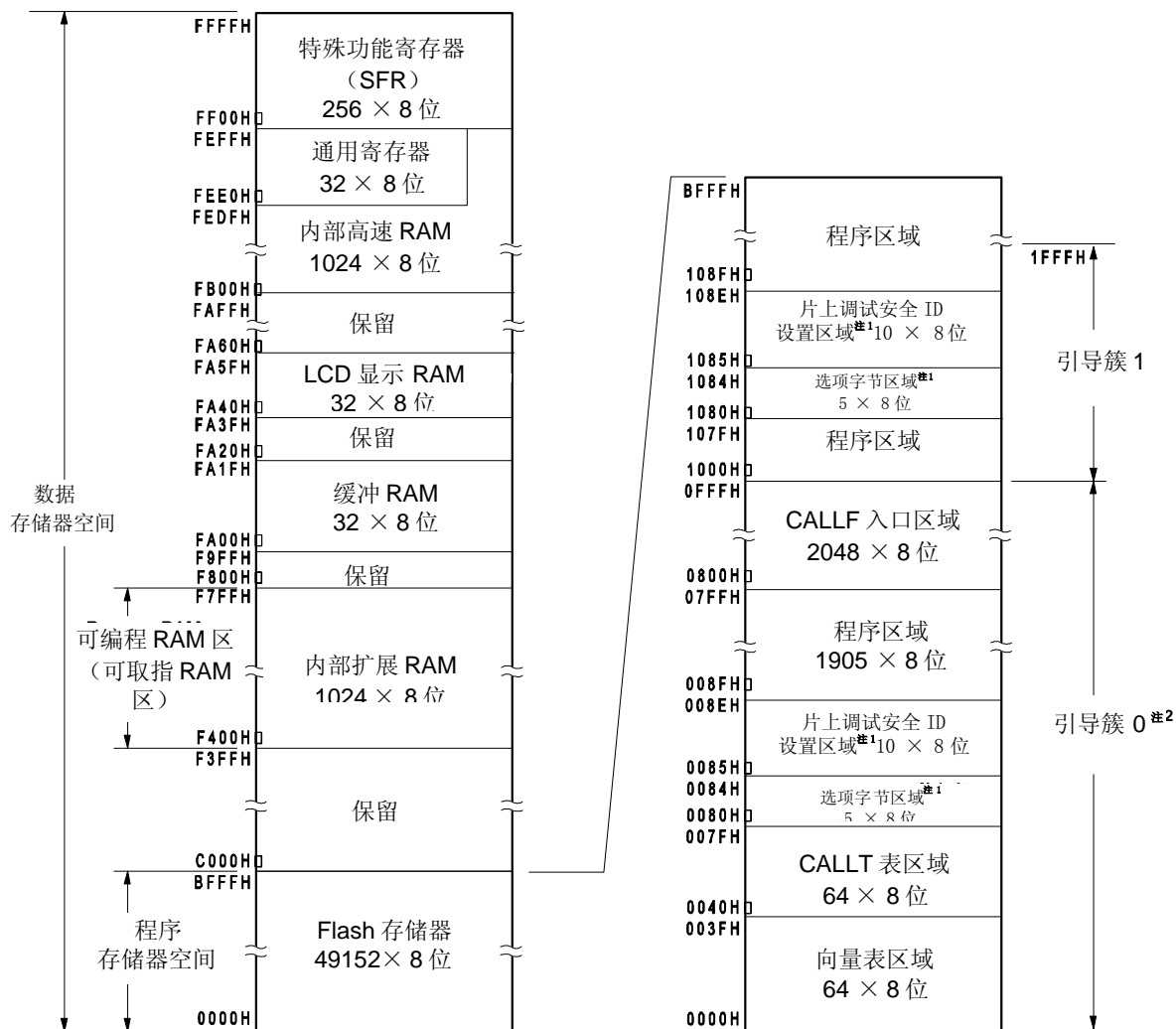
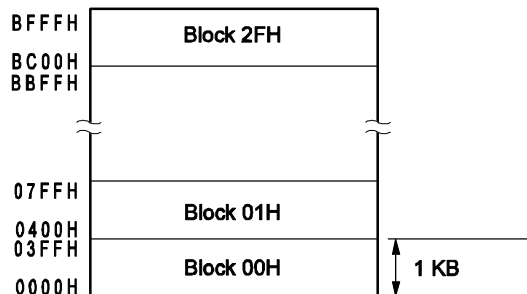


图 3-8. 存储空间映射图(μPD78F0494)



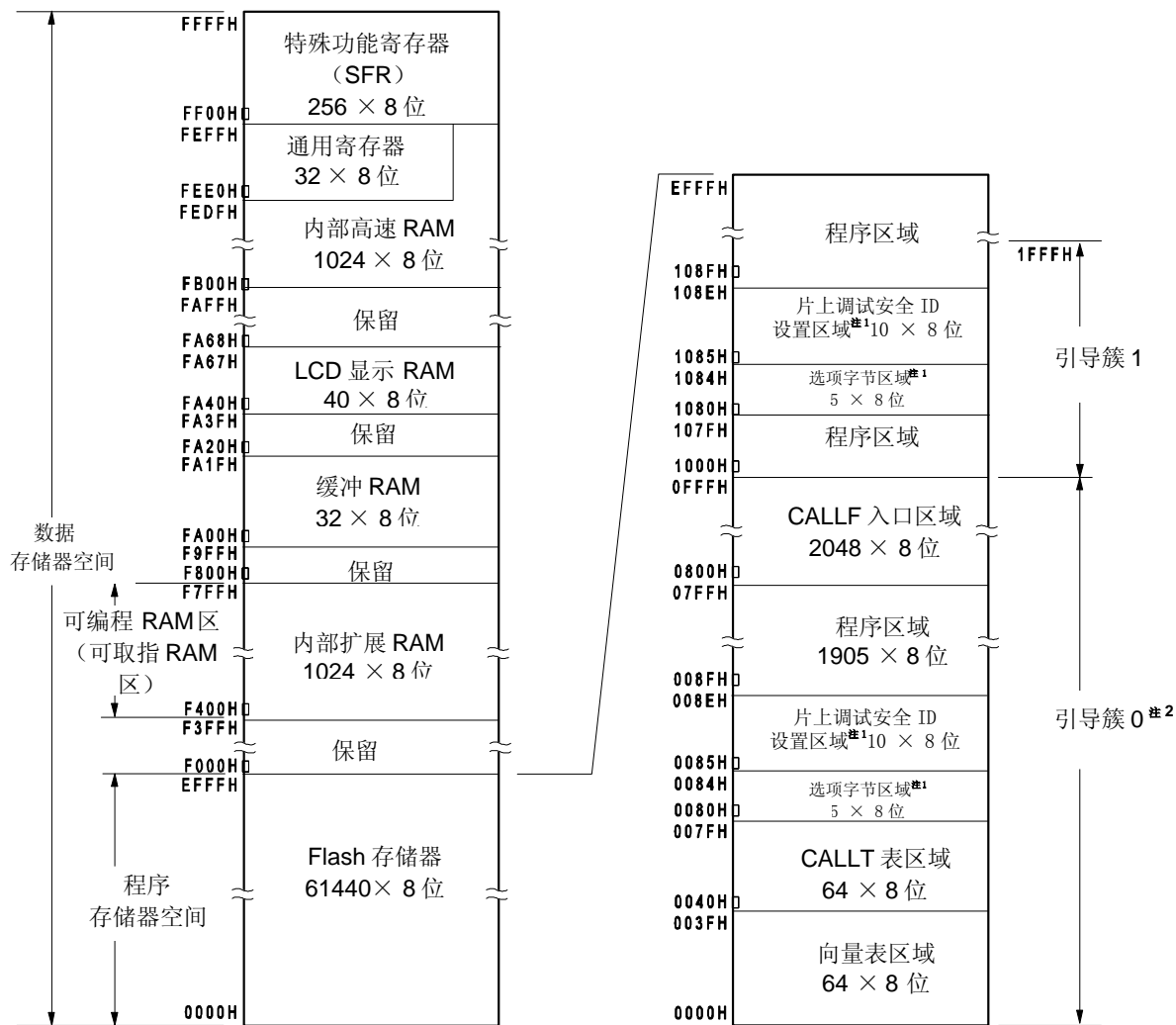
- 注
- 当不使用引导交换时: 设置选项字节为 0080H~0084H, 片上调试安全 ID 为 0085H~008EH。
当使用引导交换时: 设置选项字节为 0080H~0084H 和 1080H~1084H, 片上调试安全 ID 为 0085H~008EH 和 1085H~108EH。
 - 根据安全设置可以禁止写入引导簇 0 (参见 28.8 安全设置)。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见表 3-2 Flash 存储器中地址值和 Block 号之间的关系。



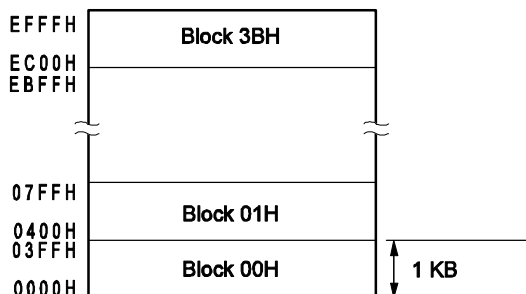
<R>

图 3-9. 存储空间映射图(μ PD78F0475, 78F0485)



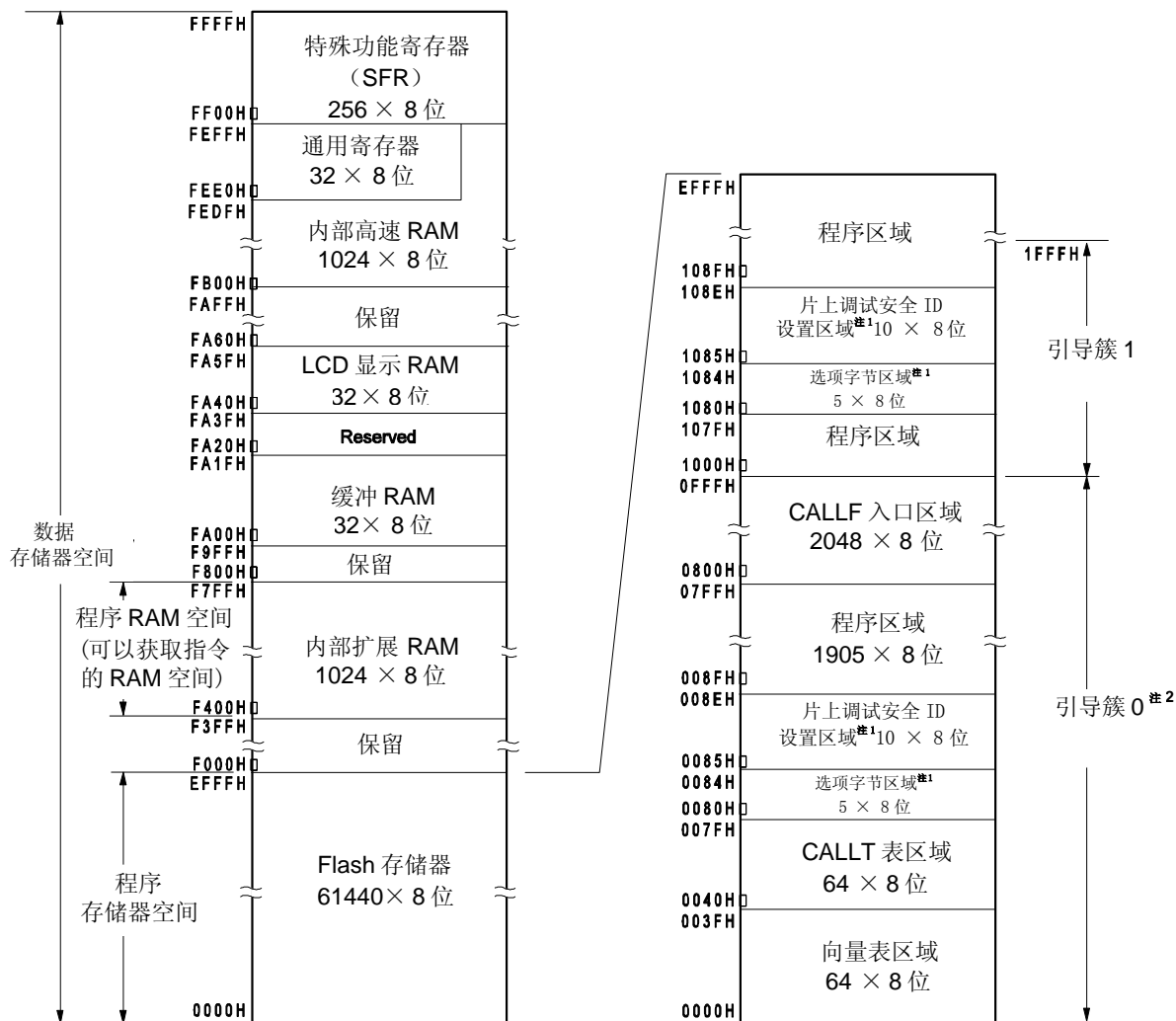
- 注
1. 当不使用引导交换时: 设置选项字节为 0080H~0084H, 片上调试安全 ID 为 0085H~008EH。
当使用引导交换时: 设置选项字节为 0080H~0084H 和 1080H~1084H, 片上调试安全 ID 为 0085H~008EH 和 1085H~108EH。
 2. 根据安全设置可以禁止写入引导簇 0 (参见 28.8 安全设置)。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见 表 3-2 Flash 存储器中地址值和 Block 号之间的关系。



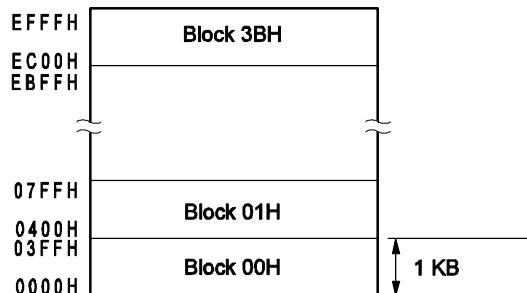
<R>

图 3-10. 存储空间映射图(μPD78F0495)



- 注
1. 当不使用引导交换时: 设置选项字节为 0080H~0084H, 片上调试安全 ID 为 0085H~008EH。
当使用引导交换时: 设置选项字节为 0080H~0084H 和 1080H~1084H, 片上调试安全 ID 为 0085H~008EH 和 1085H~108EH。
 2. 根据安全设置可以禁止写入引导簇 0 (参见 28.8 安全设置)。

备注 Flash 存储器被分割成 block (1 个 block = 1 KB)。关于地址值和 block 号, 参见 表 3-2 Flash 存储器中地址值和 Block 号之间的关系。



Flash 存储器中地址值和 Block 号之间的关系如下所示。

表 3-2. Flash 存储器中地址值和 Block 号之间的关系

地址值	Block 号	地址值	Block 号	地址值	Block 号	地址值	Block 号
0000H ~ 03FFH	00H	4000H ~ 43FFH	10H	8000H ~ 83FFH	20H	C000H ~ C3FFH	30H
0400H ~ 07FFH	01H	4400H ~ 47FFH	11H	8400H ~ 87FFH	21H	C400H ~ C7FFH	31H
0800H ~ 0BFFH	02H	4800H ~ 4BFFH	12H	8800H ~ 8BFFH	22H	C800H ~ CBFFH	32H
0C00H ~ 0FFFH	03H	4C00H ~ 4FFFH	13H	8C00H ~ 8FFFH	23H	CC00H ~ CFFFH	33H
1000H ~ 13FFH	04H	5000H ~ 53FFH	14H	9000H ~ 93FFH	24H	D000H ~ D3FFH	34H
1400H ~ 17FFH	05H	5400H ~ 57FFH	15H	9400H ~ 97FFH	25H	D400H ~ D7FFH	35H
1800H ~ 1BFFH	06H	5800H ~ 5BFFH	16H	9800H ~ 9BFFH	26H	D800H ~ DBFFH	36H
1C00H ~ 1FFFH	07H	5C00H ~ 5FFFH	17H	9C00H ~ 9FFFH	27H	DC00H ~ DFFFH	37H
2000H ~ 23FFH	08H	6000H ~ 63FFH	18H	A000H ~ A3FFH	28H	E000H ~ E3FFH	38H
2400H ~ 27FFH	09H	6400H ~ 67FFH	19H	A400H ~ A7FFH	29H	E400H ~ E7FFH	39H
2800H ~ 2BFFH	0AH	6800H ~ 6BFFH	1AH	A800H ~ ABFFH	2AH	E800H ~ EBFFH	3AH
2C00H ~ 2FFFH	0BH	6C00H ~ 6FFFH	1BH	AC00H ~ AFFFH	2BH	EC00H ~ EFFFH	3BH
3000H ~ 33FFH	0CH	7000H ~ 73FFH	1CH	B000H ~ B3FFH	2CH		
3400H ~ 37FFH	0DH	7400H ~ 77FFH	1DH	B400H ~ B7FFH	2DH		
3800H ~ 3BFFH	0EH	7800H ~ 7BFFH	1EH	B800H ~ BBFFH	2EH		
3C00H ~ 3FFFH	0FH	7C00H ~ 7FFFH	1FH	BC00H ~ BFFFH	2FH		

备注 μ PD78F0471, 78F0481, 78F0491: 框图编号 00H ~ 0FH
 μ PD78F0472, 78F0482, 78F0492: 框图编号 00H ~ 17H
 μ PD78F0473, 78F0483, 78F0493: 框图编号 00H ~ 1FH
 μ PD78F0474, 78F0484, 78F0494: 框图编号 00H ~ 2FH
 μ PD78F0475, 78F0485, 78F0495: 框图编号 00H ~ 3BH

3.1.1 内部程序存储器空间

内部程序存储器空间用于存储程序和表数据，一般通过程序计数器 (PC) 来寻址。

78K0/LF3 产品内部 ROM (Flash 存储器) 的情况如下表所示。

表 3-3. 内部 ROM 容量

产品型号	内部 ROM	
	结构	容量
μ PD78F0471, 78F0481, 78F0491	Flash 存储器	16384 × 8 bits (0000H ~ 3FFFH)
μ PD78F0472, 78F0482, 78F0492		24576 × 8 bits (0000H ~ 5FFFH)
μ PD78F0473, 78F0483, 78F0493		32768 × 8 bits (0000H ~ 7FFFH)
μ PD78F0474, 78F0484, 78F0494		49152 × 8 bits (0000H ~ BFFFH)
μ PD78F0475, 78F0485, 78F0495		61440 × 8 bits (0000H ~ EFFFH)

内部程序存储器空间主要分为以下几个区域。

(1) 向量表区域

从 0000H 到 003FH 总共 64 字节作为向量表区域。在向量表中存放的是根据复位信号输入或每个中断请求的产生进行转移的程序的起始地址。

在 16 位地址中，低 8 位是偶地址，高 8 位是奇地址。

表 3-4. 向量表

向量表地址	中断源	向量表地址	中断源
0000H	RESET 输入, POC, LVI, WDT	0022H	INTTM010
0004H	INTLVI	0024H ^{#1}	INTAD ^{#1}
0006H	INTP0	0026H	INTSR0
0008H	INTP1	0028H	INTRTC
000AH	INTP2	002AH	INTTM51
000CH	INTP3	002CH	INTKR
000EH	INTP4	002EH	INTRTCI
0012H	INTSRE6	0030H ^{#2}	INTDSAD ^{#2}
0014H	INTSR6	0032H	INTTM52
0016H	INTST6	0034H	INTTMH2
0018H	INTCSI10/INTST0	0036H	INTMCG
001AH	INTTMH1	0038H	INTRIN
001CH	INTTMH0	003AH	INTRERR/INTGP/INTREND /INTDFULL
001EH	INTTM50	003EH	BRK
0020H	INTTM000		
向量表地址	中断源	向量表地址	

注 1. 仅适用于 μ PD78F048x 和 78F049x。

2. 仅 μ PD78F049x。

(2) CALLT 指令表区域

0040H 至 007FH 共 64 字节的区域，可存放 1 字节调用指令(CALLT)的子程序入口地址。

(3) 选项字节区域

0080H ~ 0084H 和 1080H ~ 1084H 各 5 字节的区域可以用作选项字节区域。当不使用引导交换功能时，在 0080H ~ 0084H 设置选项字节；而当使用引导交换功能时，在 0080H ~ 0084H 和 1080H ~ 1084H 设置选项字节。详细信息参见 **第二十七章 选项字节**。

(4) CALLF 指令入口区域

0800H ~ 0FFFH 的区域，用于子程序的直接调用，通过一个 2 字节的调用指令(CALLF)实现。

(5) 片上调试安全 ID 设置区域

0085H ~ 008EH 和 1085H ~ 108EH 各 10 字节区域可用作片上调试安全 ID 设置区域。不使用引导交换功能时，在 0085H ~ 008EH 区域设置片上调试安全 ID；而当使用引导交换功能时，在 0085H ~ 008EH 和 1085H ~ 108EH 区域设置。详细情况请参见 **第二十九章 片上调试功能**。

3.1.2 内部数据存储器空间

78K0/LE3 产品包括以下几种 RAM。

(1) 内部高速 RAM

表 3-5. 内部高速 RAM 容量

产品型号	内部高速 RAM
μ PD78F0471, 78F0481, 78F0491	768 × 8 bits (FC00H ~ FEFFH)
μ PD78F0472, 78F0482, 78F0492	1024 × 8 bits (FB00H ~ FEFFH)
μ PD78F0473, 78F0483, 78F0493	
μ PD78F0474, 78F0484, 78F0494	
μ PD78F0475, 78F0485, 78F0495	

这个区域不可以用作写入和执行指令的程序区域。

内部高速 RAM 还可以作为堆栈存储器使用。

(2) 内部扩展 RAM

表 3-6. 内部扩展 RAM 容量

产品型号	内部高速 RAM
μ PD78F0471, 78F0481, 78F0491	-
μ PD78F0472, 78F0482, 78F0492	
μ PD78F0473, 78F0483, 78F0493	
μ PD78F0474, 78F0484, 78F0494	1024 × 8 位(F400H ~ F7FFH)
μ PD78F0475, 78F0485, 78F0495	

与内部高速 RAM 类似，内部扩展 RAM 可作为普通数据区域，同时也可作为写和执行指令的程序存储区域。内部扩展 RAM 不能用作堆栈。

(3) LCD 显示 RAM

LCD 显示 RAM 是与 LCD 控制器/驱动器组合在一起的(参见图 18-5 LCD 显示 RAM)。

表 3-7. LCD 显示 RAM 容量

产品型号	内部扩展 RAM
μ PD78F047x, 78F048x	40 × 8 bits (FA40H~ FA67H)
μ PD78F049x	32 × 8 bits (FA40H~ FA5FH)

3.1.3 特殊功能寄存器 (SFR) 区域

片内外围硬件的特殊功能寄存器 (SFR)被分配在 FF00H ~ FFFFH 的区域 (参见 3.2.3 特殊功能寄存器(SFR)中表 3-8 特殊功能寄存器列表)。

注意事项：不要访问那些未分配特殊功能寄存器的地址区域。

3.1.4 数据存储空间寻址

寻址是定位地址的方式，需要定位的地址包括下一条指令地址或者与指令执行相关的存储器地址或寄存器地址。

基于可操作性和其他考虑，在 78K0/LF3 中提供了几种用于与指令执行相关的存储器寻址方式。因为有专门的数据存储区域，故可使用一些特殊的寻址方式，具有特殊功能寄存器(SFR)和通用寄存器的功能。图 3-11~3-20 显示了数据存储空间与寻址方式的对应关系。如需了解每种寻址方式的详细内容，参见 3.4 操作数地址寻址。

图 3-11. 数据存储空间与寻址方式的对应关系(μ PD78F0471, 78F0481)

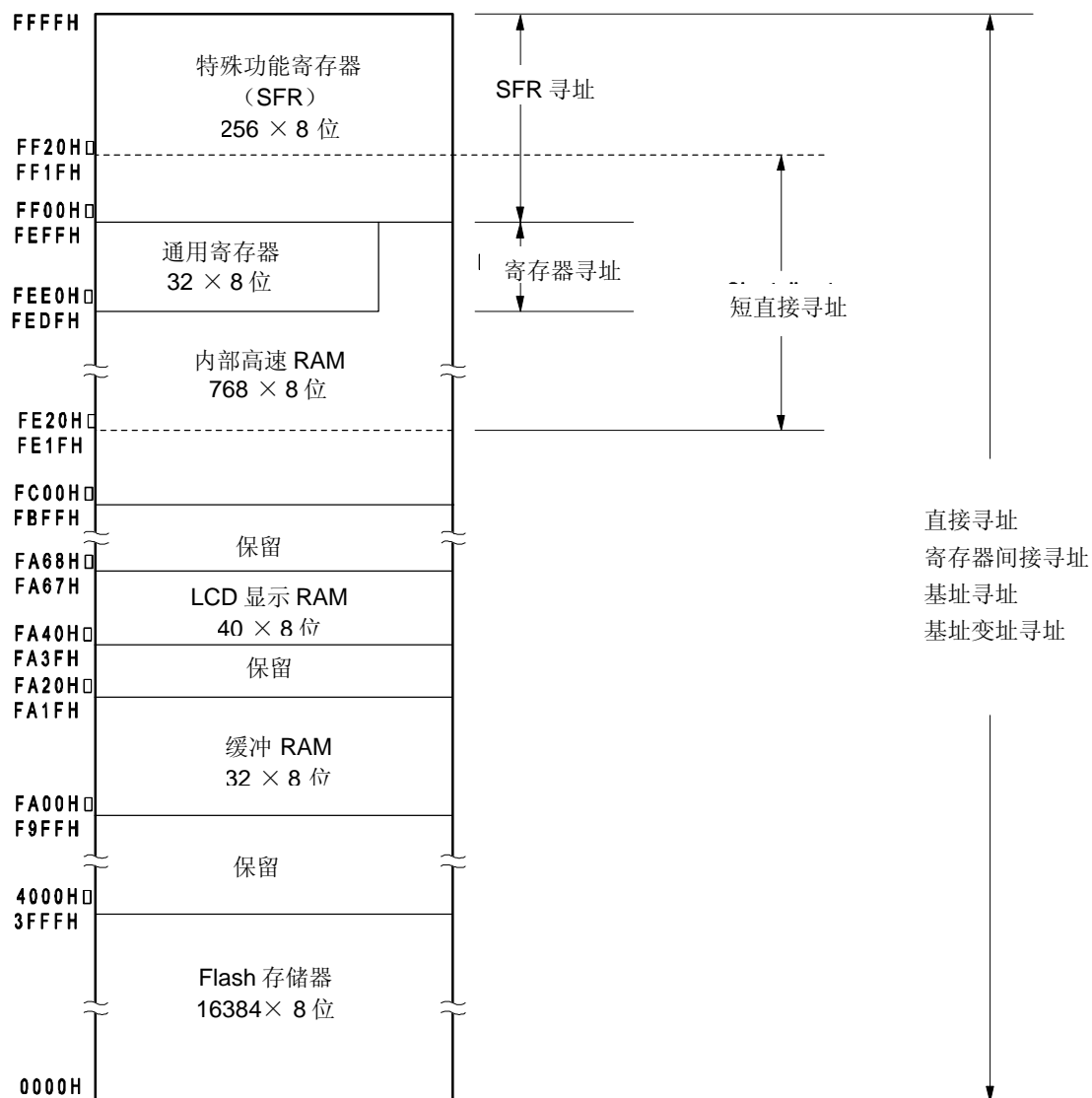


图 3-12. 数据存储空间与寻址方式的对应关系(μ PD78F0491)

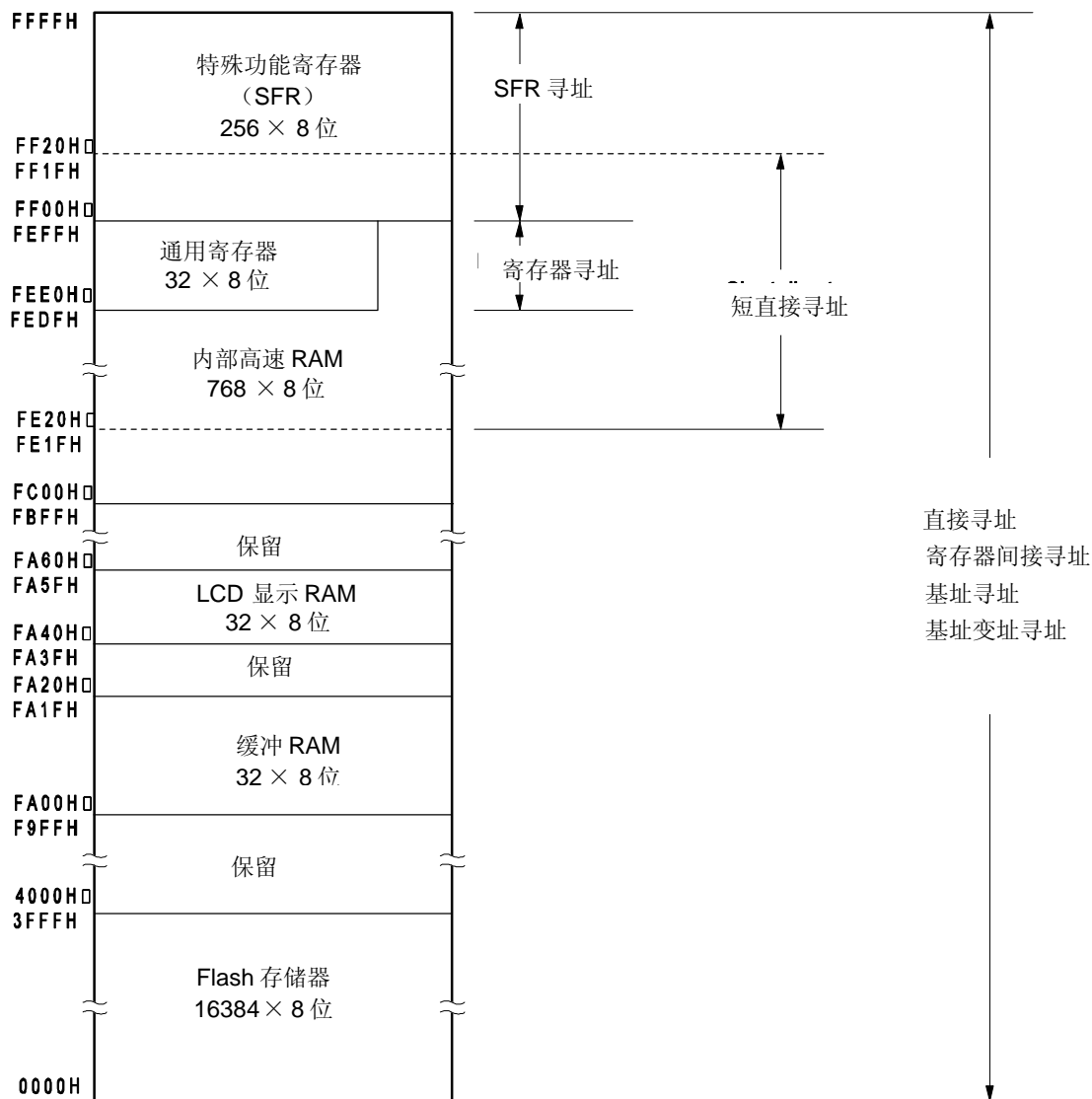


图 3-13. 数据存储空间与寻址方式的对应关系(μ PD78F0472, F0482)

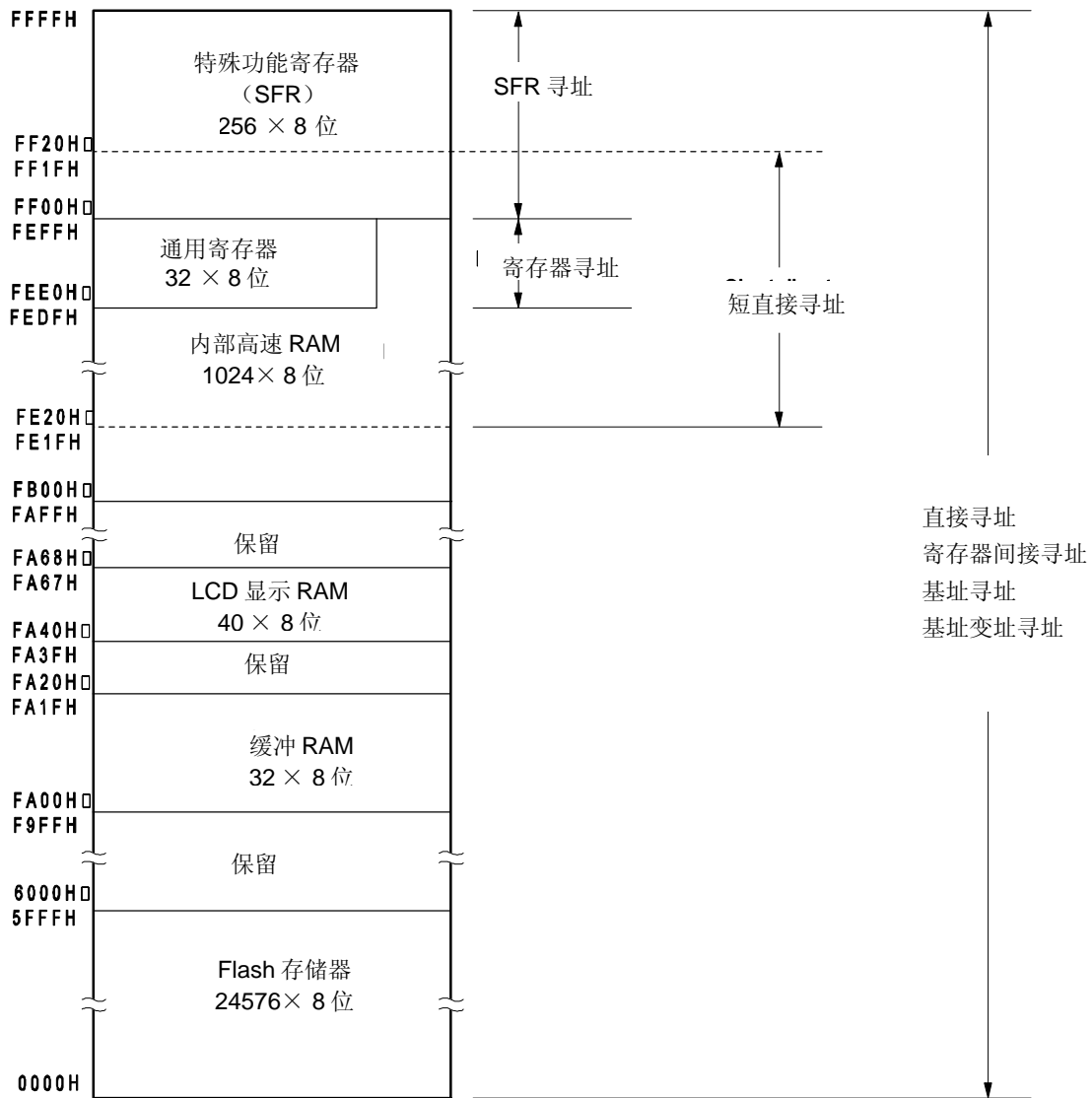


图 3-14. 数据存储空间与寻址方式的对应关系(μ PD78F0492)

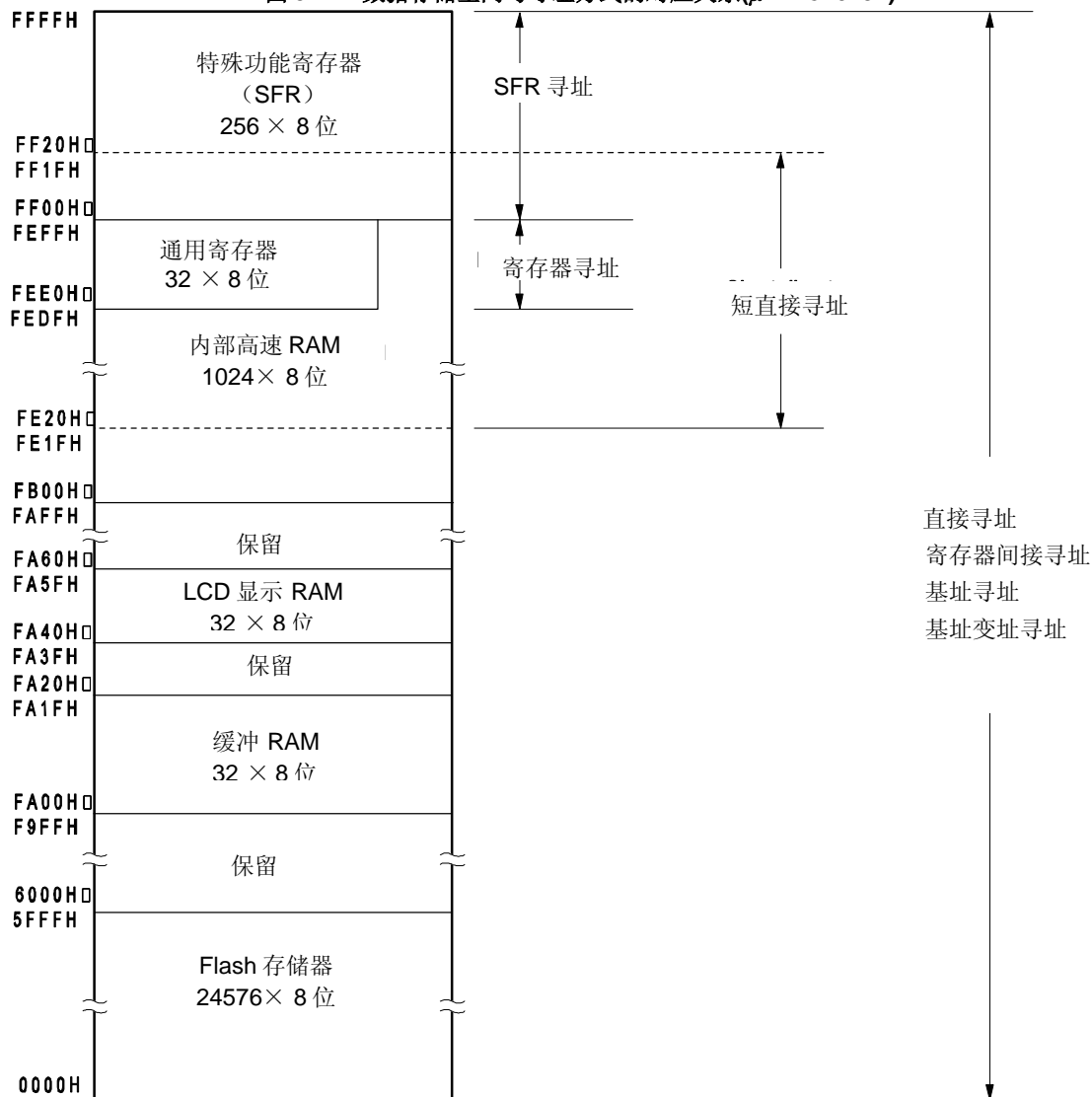


图 3-15. 数据存储空间与寻址方式的对应关系(μ PD78F0473, F0483)

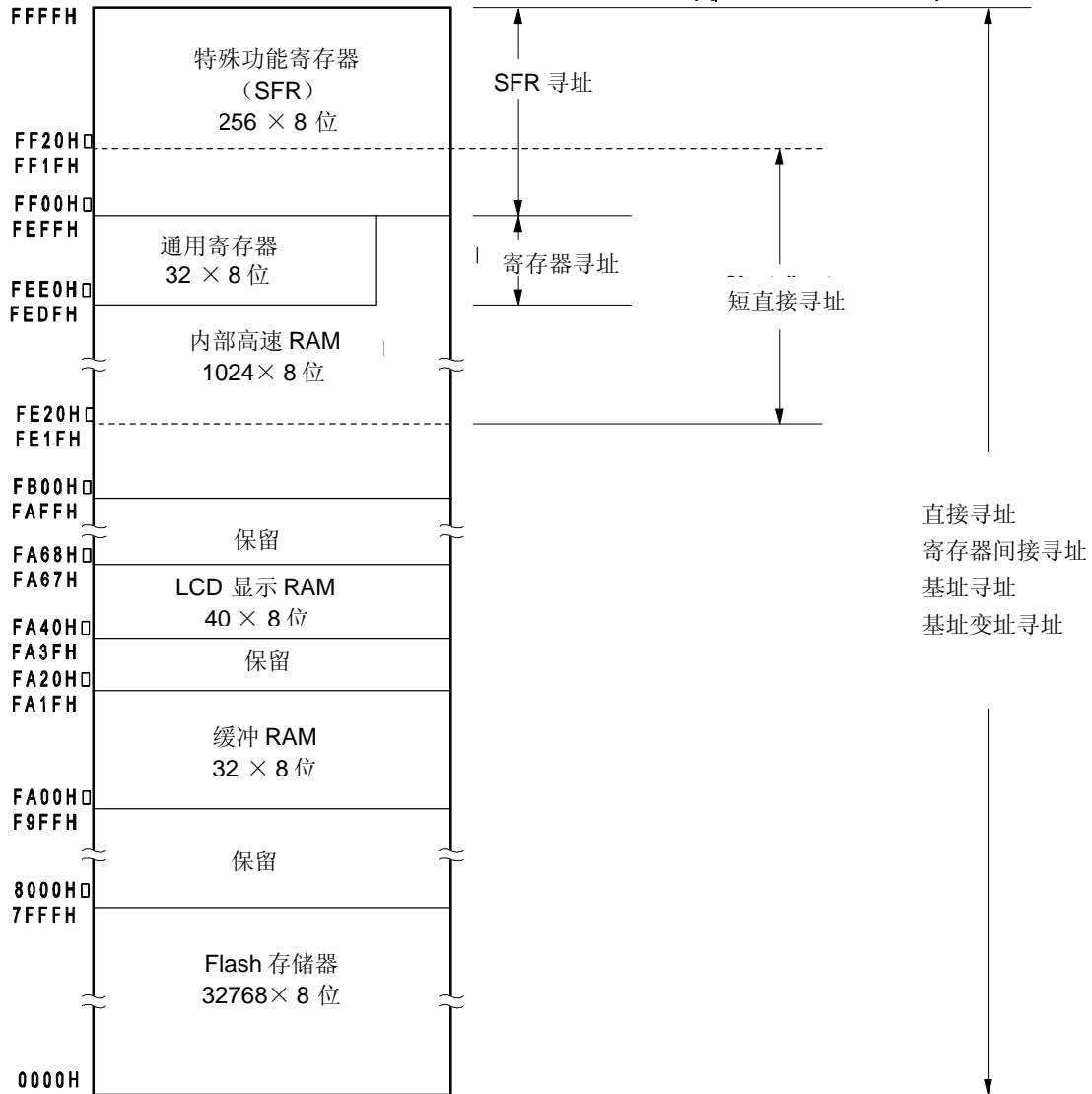


图 3-16. 数据存储空间与寻址方式的对应关系(μ PD78F0493)

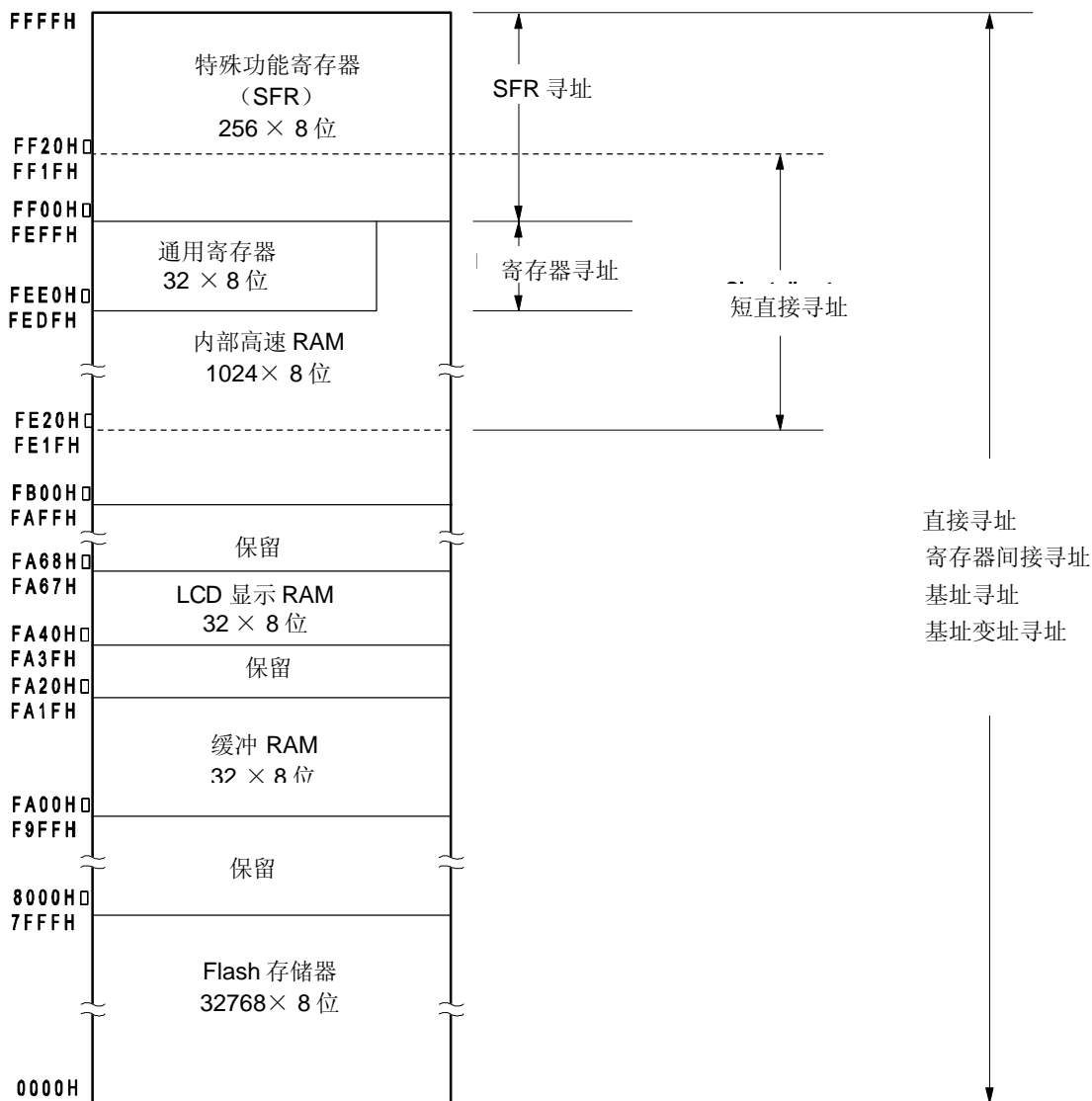


图 3-17. 数据存储空间与寻址方式的对应关系(μ PD78F0474, F0484)

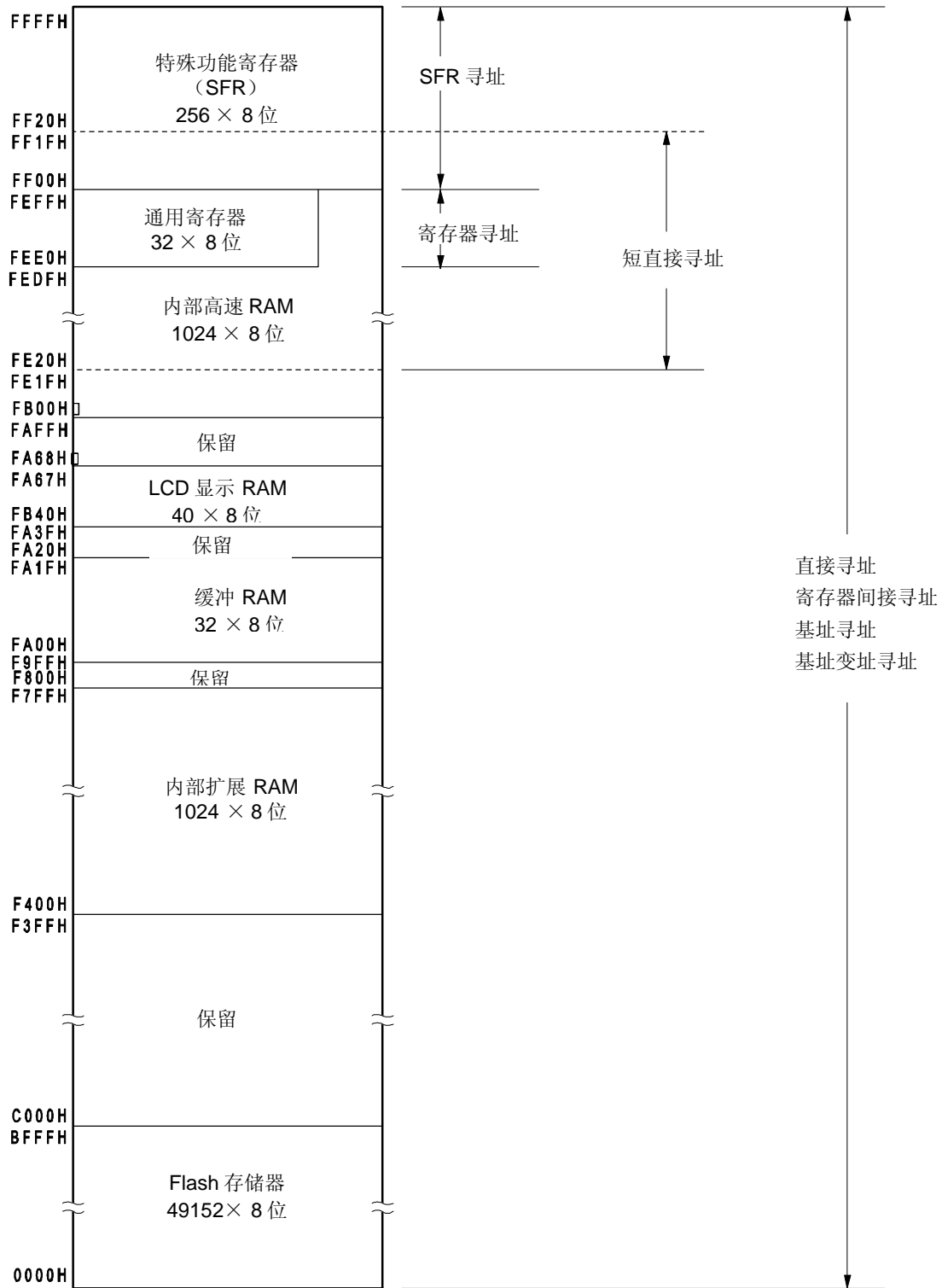


图 3-18. 数据存储空间与寻址方式的对应关系(μ PD78F0494)

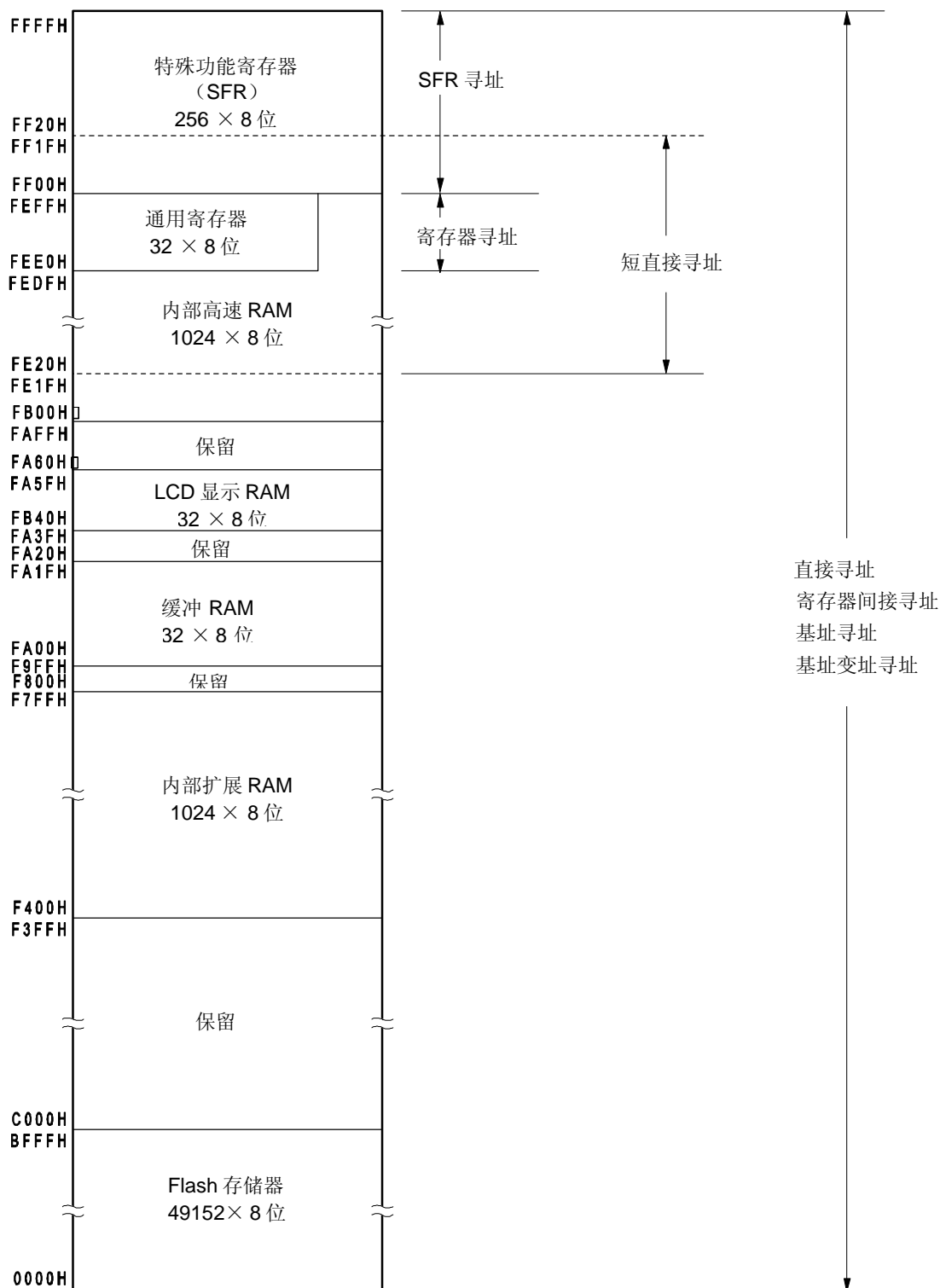


图 3-19. 数据存储空间与寻址方式的对应关系(μ PD78F0475, F0485)

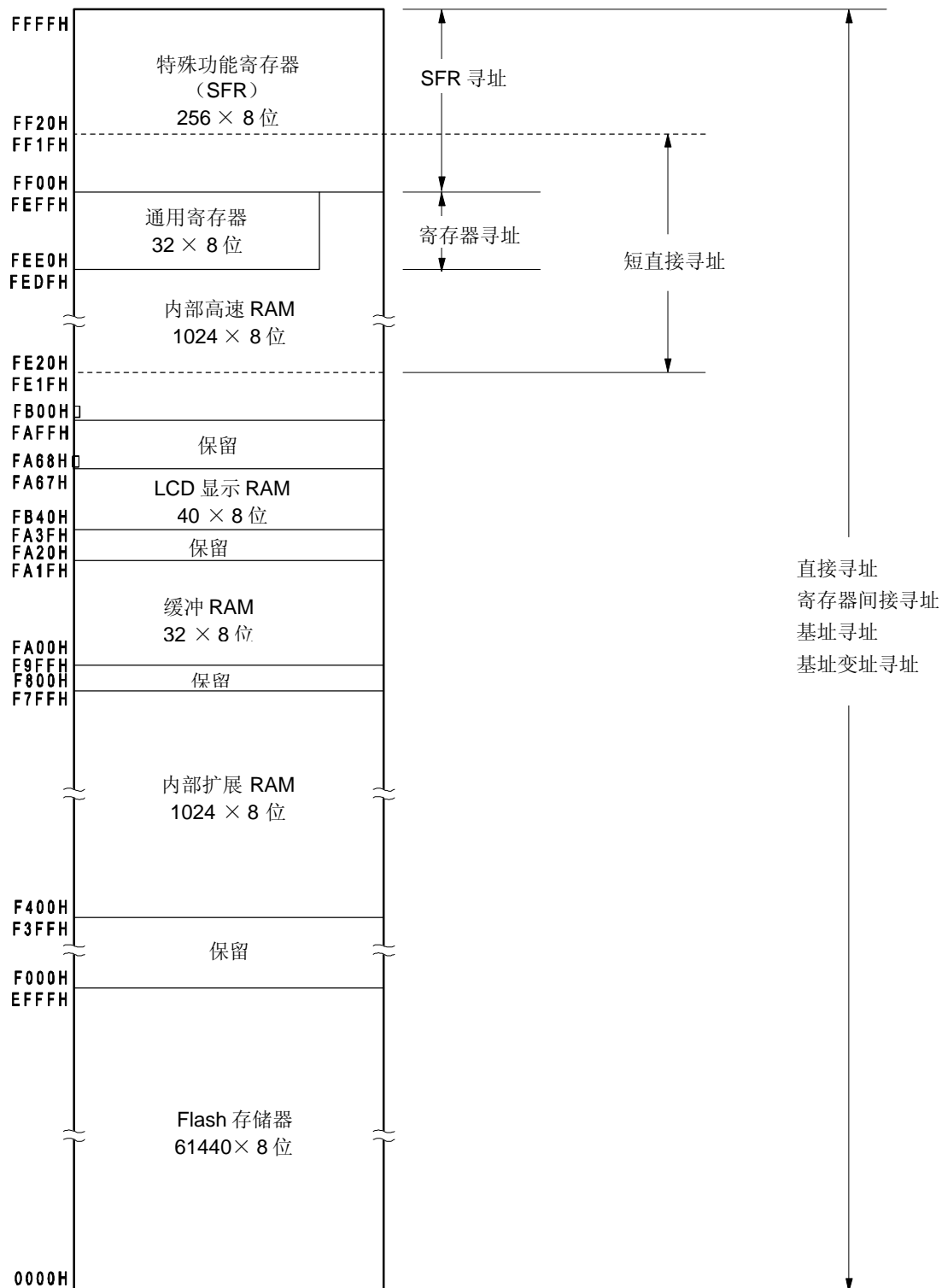
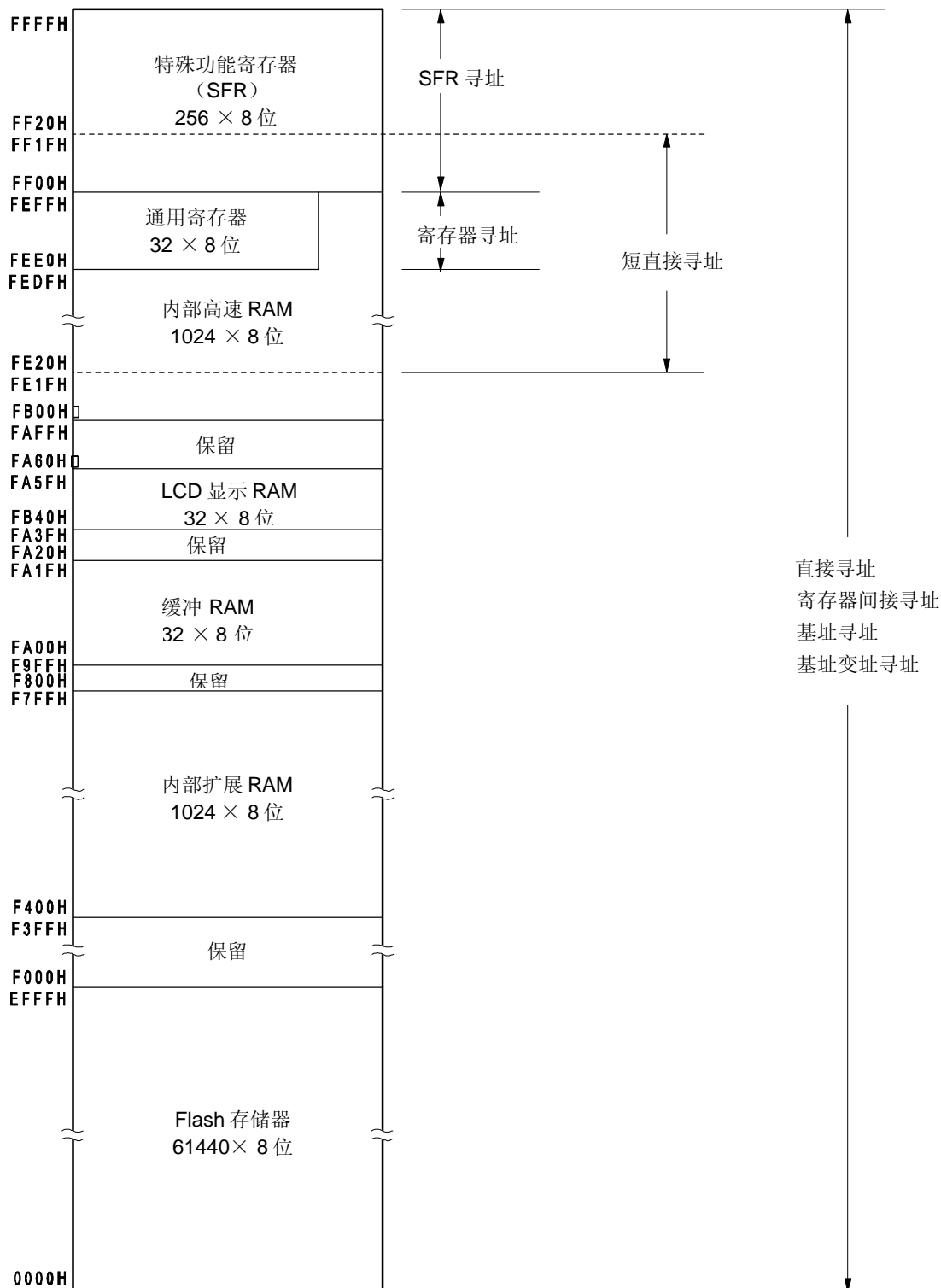


图 3-20. 数据存储空间与寻址方式的对应关系(μ PD78F0495)



3.2 处理器寄存器

78K0/LF3 产品包含以下几种处理器寄存器。

3.2.1 控制寄存器

控制寄存器用于控制程序执行的顺序、状态和堆栈空间。程序计数器(PC)、程序状态字(PSW)和堆栈指针寄存器(SP)都属于控制寄存器。

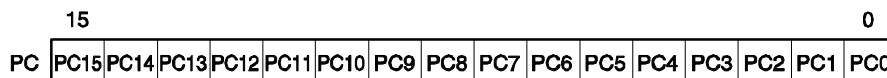
(1) 程序计数器 (PC)

程序计数器是一个 16 位寄存器，用于存放下一条即将要执行的指令的地址。

在正常情况下，根据获取的指令字节数，程序计数器(PC)的值会自动累加。当执行分支指令时，则设置立即数和寄存器内容。

复位信号的产生将复位向量表中地址为 0000H 和 0001H 中的值赋给程序计数器。

图 3-21 程序计数器格式



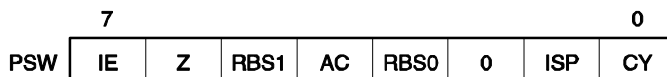
(2) 程序状态字 (PSW)

程序状态字(PSW)是一个 8 位寄存器，由各种标志位组成，通过指令执行对其进行设置或复位。

根据中断请求的产生或 PUSH PSW 指令执行，程序状态字的内容自动入栈；通过执行 RETB, RETI 和 POP PSW 指令，程序状态字的值自动恢复。

复位信号的产生将程序状态字的内容设置为 02H。

图 3-22 程序状态字格式



(a) 中断允许标志(IE)

该标志用于控制 CPU 响应中断请求操作。

当 IE 为 0 时，表示不允许中断(DI)，即禁止所有可屏蔽中断请求。

当 IE 为 1 时，表示允许中断(EI)，通过优先服务标志(ISP)、用于各种中断源的中断屏蔽标志以及优先级规定标志来完成响应中断请求的控制。

当执行 DI 指令或中断请求得到响应时，该标志复位(0)；当执行 EI 指令时，该标志设置为 1。

(b) 零标志 (Z)

当操作结果为 0 时，该标志置 1，其他情况置 0。

(c) 寄存器组选择标志 (RBS0 和 RBS1)

寄存器组选择标志有两位，用于选择四组寄存器中的一组。

标志位中存储的信息用来指明执行 SEL Rn 指令时所选择的寄存器组。

(d) 半进位标志 (AC)

如果操作结果中第 3 位有进位或是在第 3 位上有借位，则该标志置 1。其他情况该标志置 0。

(e) 优先服务标志 (ISP)

该标志用来管理可屏蔽向量中断响应的优先级。当 ISP 为 0 时，由优先级指定标志寄存器(PR0L, PR0H, PR1L, PR1H) (参见 21.3 (3) 优先级指定标志寄存器(PR0L, PR0H, PR1L, PR1H))指定为低优先级的向量中断请求被禁止响应。对请求的实际响应是由中断允许标志(IE)的状态控制的。

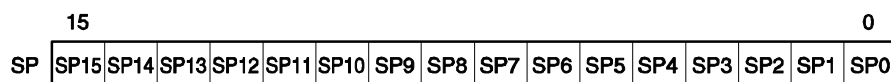
(f) 进位标志(CY)

该标志存储的是在执行加减指令时出现的进位或借位。它也存储循环指令执行中的转移值，还可以在位操作指令执行中作为位累加器使用。

(3) 堆栈指针 (SP)

这是一个 16 位的寄存器，用来存放存储器堆栈区的起始地址。只有内部高速 RAM 区域才能被设置为堆栈区。

图 3-23 堆栈指针格式



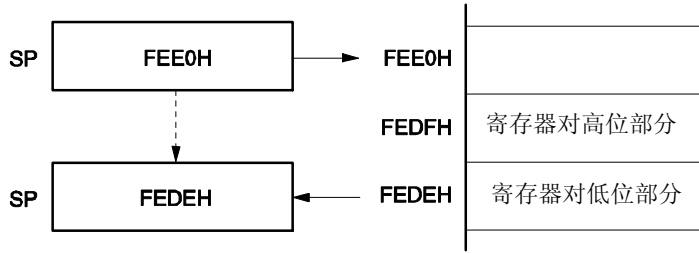
在向堆栈写(存)数据时，堆栈指针 SP 递减，而从堆栈中读出(恢复)数据时，堆栈指针累加。

堆栈的数据存储/恢复操作过程如图 3-24 和 3-25 所示。

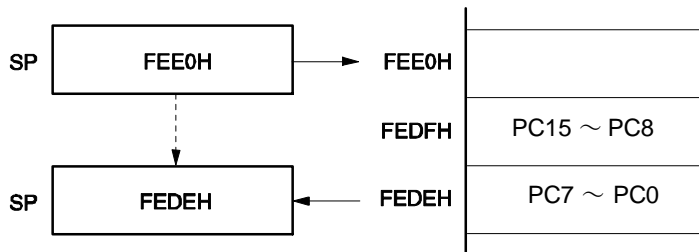
注意事项：由于复位信号产生时，SP 的内容不确定，所以在使用堆栈前必须先对 SP 初始化。

图 3-24. 将数据存入堆栈

(a) PUSH rp 指令(当 SP = FEE0H)



(b) CALL, CALLF, CALLT 指令(当 SP = FEE0H)



(c) Interrupt, BRK 指令(当 SP = FEE0H)

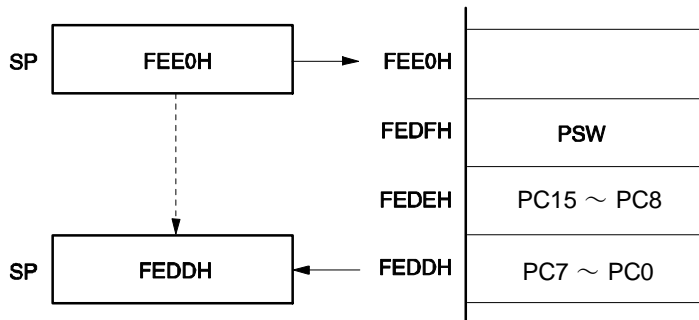
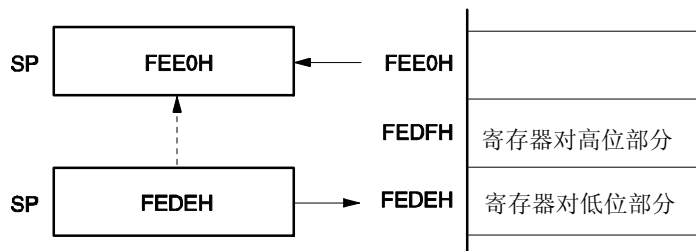
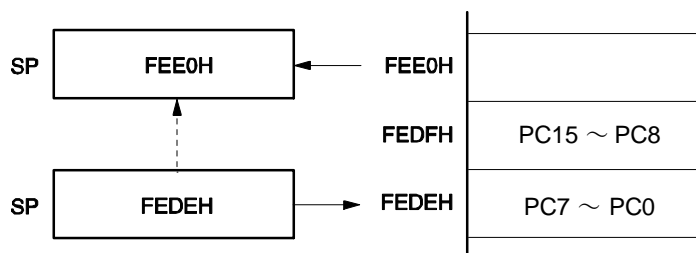


图 3-25. 从堆栈读出数据

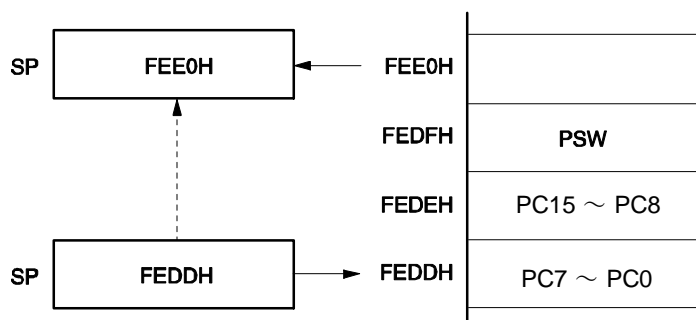
(a) POP rp 指令(当 SP = FEDEH)



(b) RET 指令(当 SP = FEDEH)



(c) RETI, RETB 指令(当 SP = FEDDH)



3.2.2 通用寄存器

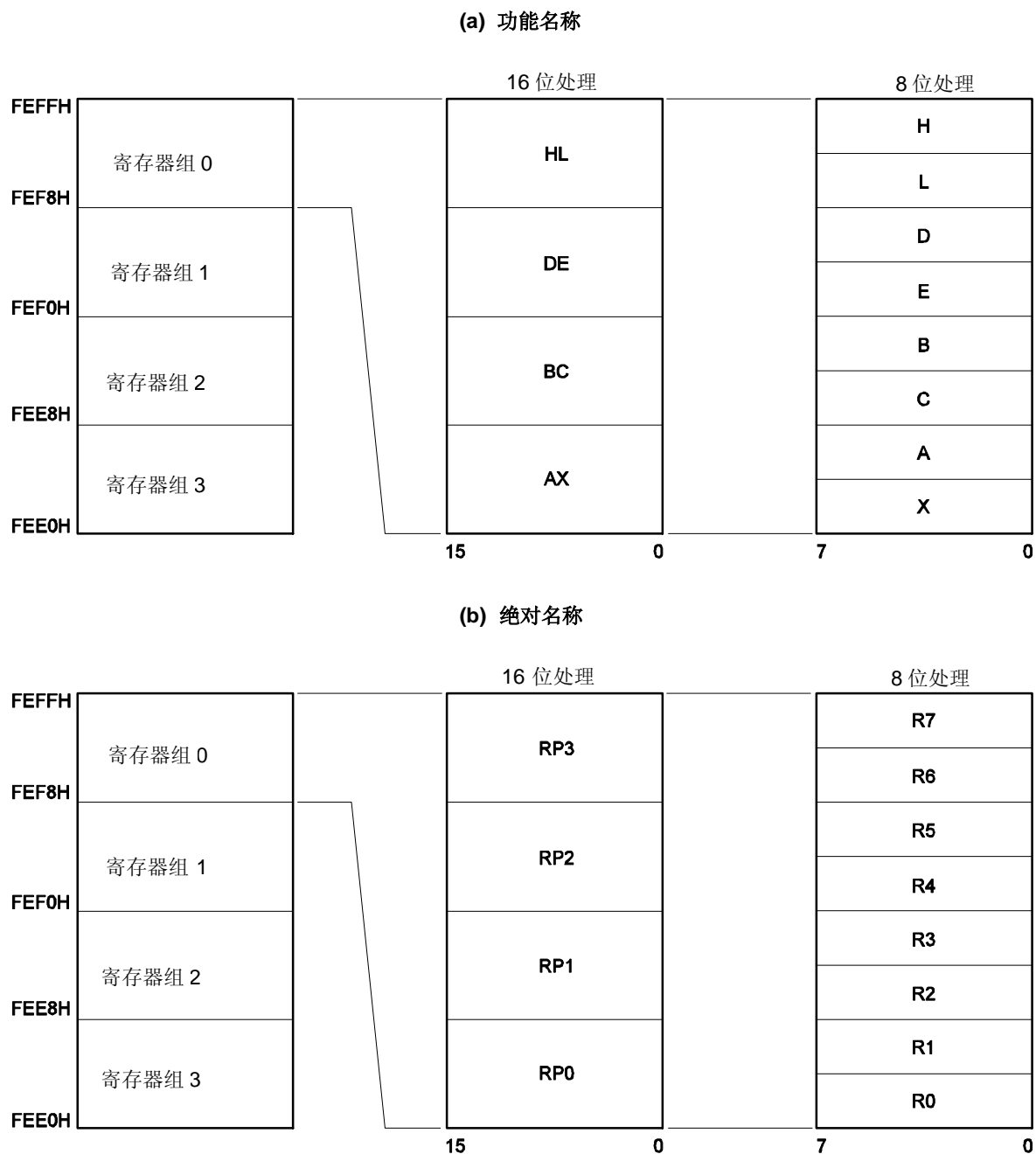
通用寄存器映射到数据存储器特定的地址空间为 FEE0H ~ FEFH。通用寄存器共有四组，每一组由 8 个 8 位寄存器(X, A, C, B, E, D, L 和 H)组成。

此外每个寄存器可作为一个 8 位寄存器使用，两个成对的 8 位寄存器可作为一个 16 位寄存器(AX, BC, DE 和 HL)使用。

描述通用寄存器时，可以使用功能名称(X, A, C, B, E, D, L, H, AX, BC, DE 和 HL)或绝对名称(R0 ~ R7, RP0 ~ RP3)。

用于指令执行的寄存器组由 CPU 控制指令(SEL RBn)来设置。由于 4 个寄存器组的结构，通过一个用于正常处理的寄存器和另一个用于中断处理的寄存器之间的切换，可以创建一个高效率的程序。

图 3-26 通用寄存器结构



3.2.3 特殊功能寄存器 (SFR)

与通用寄存器不同，每个特殊功能寄存器都有特定的功能。

特殊寄存器指定在 CPU 的 FF00H 到 FFFFH 区域和 LCD 控制器/驱动器 LCDCTL 的 00H 到 03H 区域。特殊功能寄存器可像通用寄存器那样用运算指令、传送指令以及位操作指令进行操作。根据特殊功能寄存器的类型不同，可操作的位单元也不同，可以是1位、8位和16位。

每种位单元操作的描述如下。

- 1 位操作
1 位操作指令的操作数(sfr.bit)被描述为汇编程序的保留符号。
该操作也可由一个地址来定义。
- 8 位操作
8 位操作指令的操作数(sfr)被描述为汇编程序的保留符号。
该操作也可由一个地址来定义。
- 16 位操作
16 位操作指令的操作数(sfrp) 被描述为汇编程序的保留符号。
寻址时表示为一个偶地址。

表 3-8 为特殊功能寄存器列表。表中术语的含义如下。

- 符号
表示特殊功能寄存器地址的符号，在 RA78K0 中是保留字，并使用 CC78K0 中的 #pragma sfr 指令定义为一个 sfr 变量。在使用 RA78K0，ID78K0-QB 和 SM+时，可以将符号作为指令操作数执行写操作。
- R/W
表示特殊功能寄存器可读或可写。
R/W: 可读/写
R: 只读
W: 只写
- 可操作的位单元
表示可操作的位单元 (1, 8, 或 16)。“-”表示不可操作的位单元。
- 复位后
表示复位信号产生后每个寄存器的状态

表 3-8 特殊功能寄存器列表(1/5)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位单元			复位后
				1 位	8 位	16 位	
FF00H	接收缓冲寄存器 6	RXB6	R	-	√	-	FFH
FF01H	端口寄存器 1	P1	R/W	√	√	-	00H
FF02H	端口寄存器 2	P2	R/W	√	√	-	00H
FF03H	端口寄存器 3	P3	R/W	√	√	-	00H
FF04H	端口寄存器 4	P4	R/W	√	√	-	00H
FF05H	发送缓冲寄存器 6	TXB6	R/W	-	√	-	FFH
FF06H	A/D 转换结果寄存器 [※]	ADCR	R	-	-	√	0000H
FF07H	A/D 转换结果寄存器 H [※]	ADCRH	R	-	√	-	00H
FF08H	端口寄存器 8	P8	R/W	√	√	-	00H
FF0AH	端口寄存器 10	P10	R/W	√	√	-	00H
FF0BH	端口寄存器 11	P11	R/W	√	√	-	00H
FF0CH	端口寄存器 12	P12	R/W	√	√	-	00H
FF0EH	端口寄存器 14	P14	R/W	√	√	-	00H
FF0FH	端口寄存器 15	P15	R/W	√	√	-	00H
FF10H	16 位定时器计数器 00	TM00	R	-	-	√	0000H
FF11H							
FF12H	16 位定时器捕获/比较寄存器 000	CR000	R/W	-	-	√	0000H
FF13H							
FF14H	16 位定时器捕获/比较寄存器 010	CR010	R/W	-	-	√	0000H
FF15H							
FF16H	8 位定时器计数器 50	TM50	R	-	√	-	00H
FF17H	8 位定时器比较寄存器 50	CR50	R/W	-	√	-	00H
FF18H	8 位定时器 H 比较寄存器 00	CMP00	R/W	-	√	-	00H
FF19H	8 位定时器 H 比较寄存器 10	CMP10	R/W	-	√	-	00H
FF1AH	8 位定时器 H 比较寄存器 01	CMP01	R/W	-	√	-	00H
FF1BH	8 位定时器 H 比较寄存器 11	CMP11	R/W	-	√	-	00H
FF1FH	串行 I/O 移位寄存器 10	SIO10	R	-	√	-	00H
FF20H	端口功能寄存器 1	PF1	R/W	√	√	-	00H
FF21H	端口模式寄存器 1	PM1	R/W	√	√	-	FFH
FF22H	端口模式寄存器 2	PM2	R/W	√	√	-	FFH
FF23H	端口模式寄存器 3	PM3	R/W	√	√	-	FFH
FF24H	端口模式寄存器 4	PM4	R/W	√	√	-	FFH
FF28H	端口模式寄存器 8	PM8	R/W	√	√	-	FFH
FF2AH	端口模式寄存器 10	PM10	R/W	√	√	-	FFH
FF2BH	端口模式寄存器 11	PM11	R/W	√	√	-	FFH
FF2CH	端口模式寄存器 12	PM12	R/W	√	√	-	FFH
FF2EH	端口模式寄存器 14	PM14	R/W	√	√	-	FFH
FF2FH	端口模式寄存器 15	PM15	R/W	√	√	-	FFH

表 3-8 特殊功能寄存器列表(2/5)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位单元			复位后
				1 位	8 位	16 位	
FF30H	内部高速振荡器时序寄存器	HIOTRM	R/W	–	√	–	10H
FF31H	上拉电阻选择寄存器 1	PU1	R/W	√	√	–	00H
FF33H	上拉电阻选择寄存器 3	PU3	R/W	√	√	–	00H
FF34H	上拉电阻选择寄存器 4	PU4	R/W	√	√	–	00H
FF38H	上拉电阻选择寄存器 8	PU8	R/W	√	√	–	00H
FF39H	上拉电阻选择寄存器 9	PU9	R/W	√	√	–	00H
FF3AH	上拉电阻选择寄存器 10	PU10	R/W	√	√	–	00H
FF3BH	上拉电阻选择寄存器 11	PU11	R/W	√	√	–	00H
FF3CH	上拉电阻选择寄存器 12	PU12	R/W	√	√	–	00H
FF3DH	上拉电阻选择寄存器 13	PU13	R/W	√	√	–	00H
FF3EH	上拉电阻选择寄存器 14	PU14	R/W	√	√	–	00H
FF3FH	上拉电阻选择寄存器 15	PU15	R/W	√	√	–	00H
FF40H	时钟输出选择寄存器	CKS	R/W	√	√	–	00H
FF41H	8 位定时器比较寄存器 51	CR51	R/W	–	√	–	00H
FF42H	8 位定时器 H 模式寄存器 2	TMHMD2	R/W	√	√	–	00H
FF43H	8 位定时器模式控制寄存器 51	TMC51	R/W	√	√	–	00H
FF44H	8 位定时器 H 比较寄存器 02	CMP02	R/W	–	√	–	00H
FF45H	8 位定时器 H 比较寄存器 12	CMP12	R/W	–	√	–	00H
FF47H	MCG 状态寄存器	MC0STR	R	√	√	–	00H
FF48H	外部中断上升沿使能寄存器	EGP	R/W	√	√	–	00H
FF49H	外部中断下降沿使能寄存器	EGN	R/W	√	√	–	00H
FF4AH	MCG 发送缓冲寄存器	MC0TX	R/W	–	√	–	FFH
FF4BH	MCG 发送计数规格寄存器	MC0BIT	R/W	–	√	–	07H
FF4CH	MCG 控制寄存器 0	MC0CTL0	R/W	√	√	–	10H
FF4DH	MCG 控制寄存器 1	MC0CTL1	R/W	–	√	–	00H
FF4EH	MCG 控制寄存器 2	MC0CTL2	R/W	–	√	–	1FH
FF4FH	输入切换控制寄存器	ISC	R/W	√	√	–	00H
FF50H	异步串行接口操作模式寄存器 6	ASIM6	R/W	√	√	–	01H
FF51H	8 位定时器计数器 52	TM52	R	–	√	–	00H
FF53H	异步串行接口接收错误状态寄存器 6	ASIS6	R	–	√	–	00H
FF54H	实时计数器时钟选择寄存器	RTCCL	R/W	√	√	–	00H
FF55H	异步串行接口传送状态寄存器 6	ASIF6	R	–	√	–	00H
FF56H	时钟选择寄存器 6	CKSR6	R/W	–	√	–	00H
FF57H	波特率发生器控制寄存器 6	BRGC6	R/W	–	√	–	FFH
FF58H	异步串行接口控制寄存器 6	ASICL6	R/W	√	√	–	16H
FF59H	8 位定时器比较寄存器 52	CR52	R/W	–	√	–	00H
FF5BH	定时器时钟选择寄存器 52	TCL52	R/W	√	√	–	00H
FF5CH	8 位定时器模式控制寄存器 52	TMC52	R/W	√	√	–	00H

表 3-8 特殊功能寄存器列表(3/5)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位单元			复位后
				1 位	8 位	16 位	
FF60H	副计数寄存器	RSUBC	R	-	-	√	0000H
FF61H							
FF62H	秒计数寄存器	SEC	R/W	-	√	-	00H
FF63H	分钟计数寄存器	MIN	R/W	-	√	-	00H
FF64H	小时计数寄存器	HOUR	R/W	-	√	-	12H
FF65H	星期计数寄存器	WEEK	R/W	-	√	-	00H
FF66H	日计数寄存器	DAY	R/W	-	√	-	01H
FF67H	月计数寄存器	MONTH	R/W	-	√	-	01H
FF68H	年计数寄存器	YEAR	R/W	-	√	-	00H
FF69H	8 位定时器 H 模式寄存器 0	TMHMD0	R/W	√	√	-	00H
FF6AH	定时器时钟选择寄存器 50	TCL50	R/W	√	√	-	00H
FF6BH	8 位定时器模式控制寄存器 50	TMC50	R/W	√	√	-	00H
FF6CH	8 位定时器 H 模式寄存器 1	TMHMD1	R/W	√	√	-	00H
FF6DH	8 位定时器 H 载波控制寄存器 1	TMCYC1	R/W	√	√	-	00H
FF6EH	按键返回模式寄存器	KRM	R/W	√	√	-	00H
FF6FH	8 位定时器计数器 51	TM51	R	-	√	-	00H
FF70H	异步串行接口操作模式寄存器 0	ASIM0	R/W	√	√	-	01H
FF71H	波特率发生器控制寄存器 0	BRGC0	R/W	-	√	-	1FH
FF72H	接收缓冲寄存器 0	RXB0	R	-	√	-	FFH
FF73H	异步串行接口接收错误状态寄存器 0	ASIS0	R	-	√	-	00H
FF74H	发送移位寄存器 0	TXS0	W	-	√	-	FFH
FF75H	16 位 $\Delta\Sigma$ 型 A/D 转换结束通道寄存器 ^{注1}	ADDSTR	R	-	√	-	00H
FF7CH	$\Delta\Sigma$ A/D 转换器控制寄存器 0 ^{注1}	ADDCTL0	R/W	√	√	-	00H
FF7DH	$\Delta\Sigma$ A/D 转换器控制寄存器 1 ^{注1}	ADDCTL1	R/W	√	√	-	00H
FF7EH	16 位 $\Delta\Sigma$ A/D 转换结果寄存器 ^{注1}	ADDCR	R	-	-	√	0000H
FF7FH	8 位 $\Delta\Sigma$ A/D 转换结果寄存器 ^{注1}	ADDCRH	R	-	√	-	00H
FF80H	串行操作模式寄存器 10	CSIM10	R/W	√	√	-	00H
FF81H	串行时钟选择寄存器 10	CSIC10	R/W	√	√	-	00H
FF82H	钟表错误修正寄存器	SUBCUD	R/W	√	√	-	00H
FF84H	发送缓冲寄存器 10	SOTB10	R/W	-	√	-	00H
FF86H	闹表分钟寄存器	ALARMWM	R/W	-	√	-	00H
FF87H	闹表小时寄存器	ALARMWH	R/W	-	√	-	12H
FF88H	闹表星期寄存器	ALARMWW	R/W	-	√	-	00H
FF89H	实时计数器控制寄存器 0	RTCC0	R/W	√	√	-	00H
FF8AH	实时计数器控制寄存器 1	RTCC1	R/W	√	√	-	00H
FF8BH	实时计数器控制寄存器 2	RTCC2	R/W	√	√	-	00H
FF8CH	定时器时钟选择寄存器 51	TCL51	R/W	√	√	-	00H
FF8DH	A/D 转换器模式寄存器 ^{注2}	ADM	R/W	√	√	-	00H
FF8EH	指定模拟输入通道寄存器 ^{注2}	ADS	R/W	√	√	-	00H
FF8FH	A/D 端口配置寄存器 0 ^{注2}	ADPC0	R/W	√	√	-	08H

- 注 1. 仅适用于 μ PD78F049x。
 2. 仅适用于 μ PD78F048x 和 78F049x。

表 3-8 特殊功能寄存器列表(4/5)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位单元			复位后
FF90H	串行操作模式规范寄存器 0	CSIMA0	R/W	√	√	–	00H
FF91H	串行状态寄存器 0	CSIS0	R/W	√	√	–	00H
FF92H	串行触发寄存器 0	CSIT0	R/W	√	√	–	00H
FF93H	除数值选择寄存器 0	BRGCA0	R/W	–	√	–	03H
FF94H	自动数据发送地址指针规范寄存器 0	ADTP0	R/W	–	√	–	00H
FF95H	自动数据发送间断规范寄存器	ADTI0	R/W	–	√	–	00H
FF96H	串行 I/O 转移寄存器 0	SIOA0	R/W	–	√	–	00H
FF97H	自动数据发送地址计数寄存器 0	ADTC0	R	–	√	–	00H
FF99H	看门狗定时器使能寄存器	WDTE	R/W	–	√	–	注1 1AH/9AH
FF9AH	遥控接收控制寄存器	RMCN	R/W	√	√	–	00H
FF9BH	遥控接收数据寄存器	RMDR	R	–	√	–	00H
FF9CH	遥控移位寄存器接收计数器寄存器	RMSCR	R	–	√	–	00H
FF9FH	时钟操作模式选择寄存器	OSCCTL	R/W	√	√	–	00H
FFA0H	内部振荡模式寄存器	RCM	R/W	√	√	–	80H 注2
FFA1H	主时钟模式寄存器	MCM	R/W	√	√	–	00H
FFA2H	主 OSC 控制寄存器	MOC	R/W	√	√	–	80H
FFA3H	振荡稳定时间计数器状态寄存器	OSTC	R	√	√	–	00H
FFA4H	振荡稳定时间选择寄存器	OSTS	R/W	–	√	–	05H
FFA5H	遥控接收 GPHS 比较寄存器	RMGPHS	R/W	–	√	–	00H
FFA6H	遥控接收 GPHL 比较寄存器	RMGPHL	R/W	–	√	–	00H
FFA7H	遥控接收 DLS 比较寄存器	RMDLS	R/W	–	√	–	00H
FFA8H	遥控接收 DLL 比较寄存器	RMDLL	R/W	–	√	–	00H
FFA9H	遥控接收 DH0S 比较寄存器	RMDH0S	R/W	–	√	–	00H
FFAAH	遥控接收 DH0L 比较寄存器	RMDH0L	R/W	–	√	–	00H
FFABH	遥控接收移位寄存器	RMSR	R	–	√	–	00H
FFACH	复位控制标志寄存器	RESF	R	–	√	–	00H 注3
FFADH	遥控接收 DH1S 比较寄存器	RMDH1S	R/W	–	√	–	00H
FFAEH	遥控接收 DH1L 比较寄存器	RMDH1L	R/W	–	√	–	00H
FFAFH	遥控接收结束宽度选择寄存器	RMER	R/W	–	√	–	00H

- 注
1. WDTE 复位值由选项字节设置决定。
 2. 此寄存器值在复位释放后立即为 00H，但当高速内部振荡器已振荡稳定后自动变为 80H。
 3. RESF 复位值根据复位源变动。

表 3-8 特殊功能寄存器列表(5/5)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作位单元			复位后	
				1位	8位	16位		
FFB0H	LCD 模式寄存器	LCDMD	R/W	√	√	–	00H	
FFB1H	LCD 显示模式寄存器	LCDM	R/W	√	√	–	00H	
FFB2H	LCD 时钟控制寄存器 0	LCDC0	R/W	√	√	–	00H	
FFB5H	端口功能寄存器 2 ^{#1}	PF2	R/W	√	√	–	00H	
FFB6H	端口功能寄存器 ALL	PFALL	R/W	√	√	–	00H	
FFBAH	16 位定时器模式控制寄存器 00	TMC00	R/W	√	√	–	00H	
FFBBH	预分频模式寄存器 00	PRM00	R/W	√	√	–	00H	
FFBCH	捕捉/比较控制寄存器 00	CRC00	R/W	√	√	–	00H	
FFBDH	16 位定时器输出控制寄存器 00	~C00	R/W	√	√	–	00H	
FFBEH	低电压检测寄存器	LVIM	R/W	√	√	–	00H ^{Note 2}	
FFBFH	低电压检测电平选择寄存器	LVIS	R/W	√	√	–	00H ^{Note 2}	
FFE0H	中断请求标志寄存器 0L	IF0	IF0L	R/W	√	√	√	00H
FFE1H	中断请求标志寄存器 0H		IF0H	R/W	√	√		00H
FFE2H	中断请求标志寄存器 1L	IF1	IF1L	R/W	√	√	√	00H
FFE3H	中断请求标志寄存器 1H		IF1H	R/W	√	√		00H
FFE4H	中断屏蔽标志寄存器 0L	MK0	MK0L	R/W	√	√	√	FFH
FFE5H	中断屏蔽标志寄存器 0H		MK0H	R/W	√	√		FFH
FFE6H	中断屏蔽标志寄存器 1L	MK1	MK1L	R/W	√	√	√	FFH
FFE7H	中断屏蔽标志寄存器 1H		MK1H	R/W	√	√		FFH
FFE8H	优先级指定标志寄存器 0L	PR0	PR0L	R/W	√	√	√	FFH
FFE9H	优先级指定标志寄存器 0H		PR0H	R/W	√	√		FFH
FFEAH	优先级指定标志寄存器 1L	PR1	PR1L	R/W	√	√	√	FFH
FFEBH	优先级指定标志寄存器 1H		PR1H	R/W	√	√		FFH
FFF0H	内存容量切换寄存器 ^{#3}	IMS		R/W	–	√	–	CFH
FFF4H	内部扩展 RAM 容量切换寄存器 ^{#3}	IXS		R/W	–	√	–	0CH
FFF9H	遥控接收中断状态寄存器	INTS		R	√	√	–	00H
FFFAH	遥控接收中断状态清零寄存器	INTC		R/W	√	√	–	00H
FFFBH	处理器时钟控制寄存器	PCC		R/W	√	√	–	01H

- 注
1. 仅适用于 8F047x 和 78F048x。
 2. LVIM 和 LVIS 复位值根据复位源变动。
 3. 不管内部存储器容量有多少，内部存储器容量切换寄存器(IMS)和所有 78K0/ LE3 产品的内部扩展 RAM 容量切换寄存器(IXS)的初始值都是固定的(IMS = CFH, IXS = 0CH)。因此每种产品设置值如下所示。

Flash 存储器版本 (78K0/LF3)	IMS	IXS	ROM 容量	内部高速 RAM 容量	内部扩展 RAM 容量
μPD78F0471, 78F0481, 78F0491	04H	0CH	16 KB	768 字节	–
μPD78F0472, 78F0482, 78F0492	C6H		24 KB	1 KB	
μPD78F0473, 78F0483, 78F0493	C8H		32 KB		
μPD78F0474, 78F0484, 78F0494	CCH	0AH	48 KB	1 KB	
μPD78F0475, 78F0485, 78F0495	CFH		60 KB		

3.3 指令地址寻址

一条指令的地址是由程序计数器(PC)决定的。根据执行指令时所获取的下一条指令字节数，程序计数器(PC)的内容自动增加(每个字节加 1)。在执行转移指令时，将程序计数器(PC)的内容设置为转移目的地址，并按以下寻址方式确定地址。(要了解每条指令的详细信息，请参阅 **78K/0 系列指令用户手册(U12326E)**)。

3.3.1 相对寻址

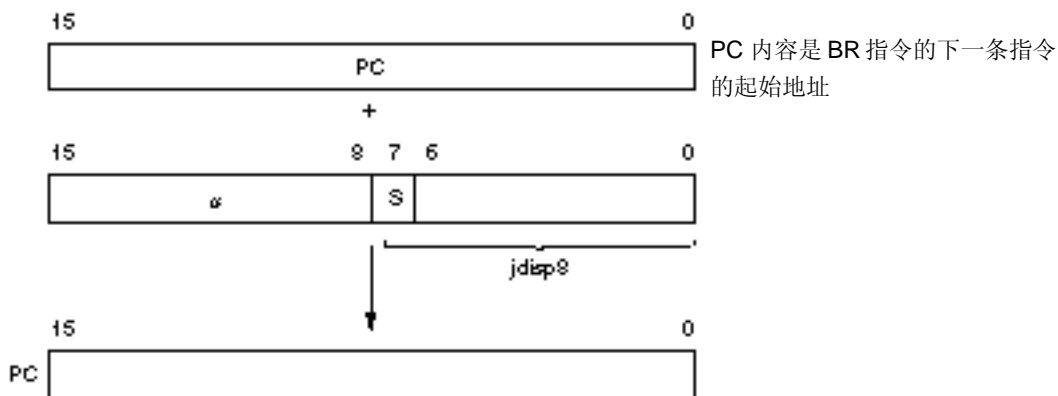
[功能]

将一条指令的 8 位立即数(偏移量: `jdisp8`)与下一条指令的起始地址相加，结果赋给程序计数器(PC)，然后转向相加结果指向的地址。这个偏移量是带符号数的补码(-128 ~ +127)，其中第 7 位是符号位。

换句话说，在相对寻址中，分支的范围是从下一条指令起始地址的-128 到+127 之间。

当执行“BR \$addr16”指令或条件转移指令时，将执行相对寻址功能。

[图示]



当 $S = 0$ ， α 的所有位均为 0

当 $S = 1$ ， α 的所有位均为 1

3.3.2 立即寻址

[功能]

将指令中的立即数赋给程序计数器(PC)，然后转向该地址。

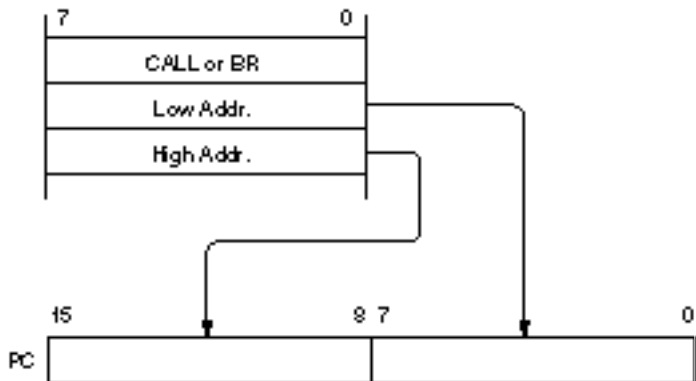
在执行“CALL !addr16”指令、“BR !addr16”指令或“CALLF !addr11”指令时，将执行立即寻址功能。

CALL !addr16 和 BR !addr16 指令的转移地址范围是所有存储空间。

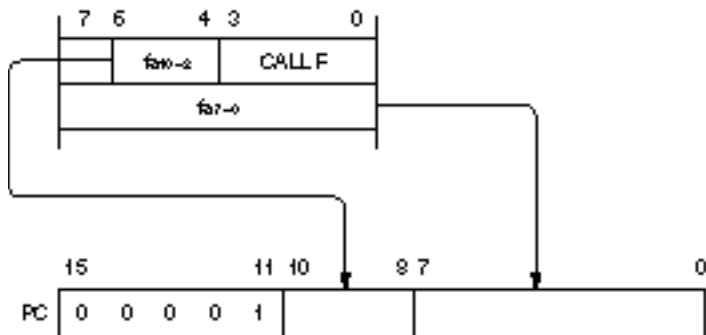
CALLF !addr11 指令的转移地址范围在 0800H 与 0FFFH 之间。

[图示]

CALL !addr16 和 BR !addr16 指令



CALLF !addr11 指令



3.3.3 表间接寻址

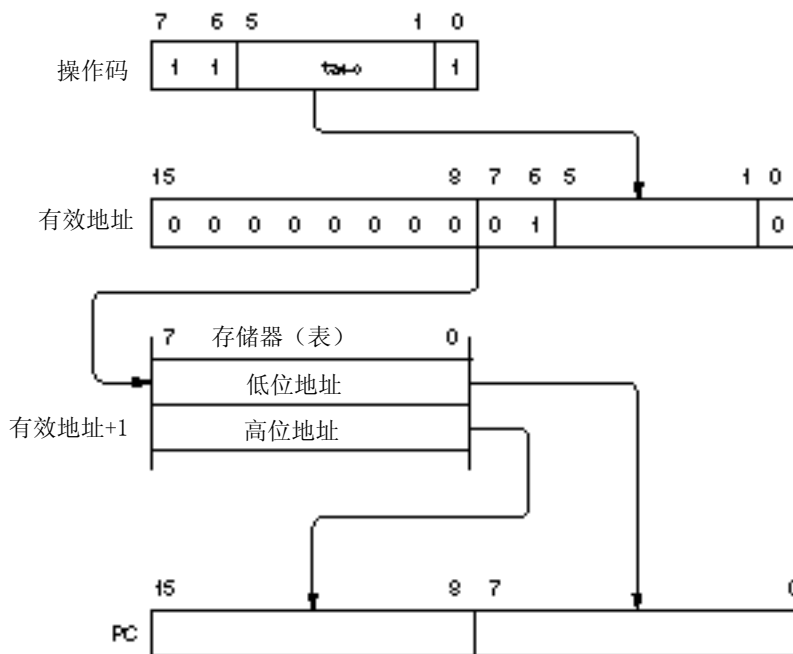
[功能]

通过指令码第 1 位到第 5 位的立即数，访问特定存储区中表的内容(转移目的地址)，并将表的内容赋给程序计数器(PC)，然后转向该地址执行程序。

在执行 CALLT [addr5]指令时，进行表间接寻址。

该指令访问的地址范围是表 40H~7FH 中所存储的地址，转移地址范围可以是整个存储器空间。

[图示]



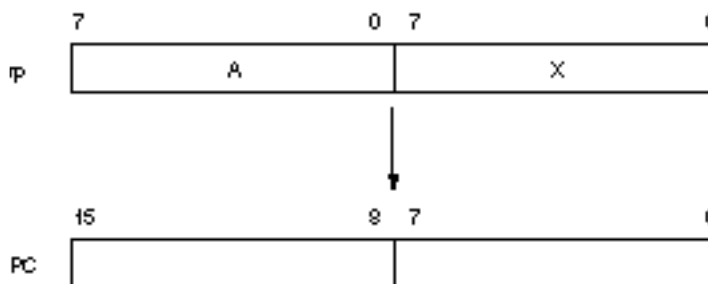
3.3.4 寄存器寻址

[功能]

将寄存器对(AX)的内容赋给程序计数器(PC)，然后转向该地址。

“BR AX”指令将执行寄存器寻址功能。

[图示]



3.4 操作数地址寻址

以下方法用来规定指令执行期间寄存器寻址和存储器寻址所进行的操作。

3.4.1 隐含寻址

[功能]

这种寻址方式自动寻址通用寄存器中作为累加器(A 和 AX)使用的寄存器。
在 78K0/LE3 系列指令中下列指令采用隐含寻址方式。

指令	隐含寻址所指定的寄存器
MULU	A 寄存器存放被乘数, AX 寄存器存放运算结果
DIVUW	AX 寄存器用于存放被除数和商
ADJBA/ADJBS	存放进行十进制调整后的数据
ROR4/ROL4	存放用于数字循环的数字数据

[操作数格式]

由于指令自动采用隐含寻址方式, 所以没有特定的操作数格式。

[举例]

以 MULU X 指令为例, 这是一条 8 位乘 8 位的乘法运算指令, A 寄存器与 X 寄存器相乘的结果存放在 AX 中。在这个例子中 A 寄存器与 AX 寄存器均由隐含寻址方式指定。

3.4.2 寄存器寻址

[功能]

寄存器寻址方式将通用寄存器作为操作数进行访问，并由寄存器组选择标志(RBS0 ~ RBS1)和指令中的寄存器标识码，来指定需要访问的通用寄存器。

当具有下列操作数格式的指令执行时，采用寄存器寻址方式。如果使用 8 位寄存器，则指令码中有 3 位用来表示一个 8 位寄存器。

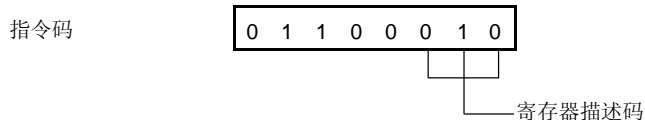
[操作数格式]

标识符	描述
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

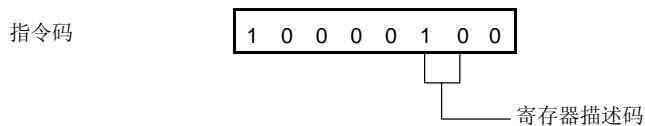
'r' 和 'rp'可用绝对名称(R0 ~ R7 以及 RP0 ~ RP3)和功能名称(X, A, C, B, E, D, L, H, AX, BC, DE 以及 HL)来描述。

[举例]

MOV A, C; 当选择通用寄存器 C 为 “r” 时



INCW DE; 当选择通用寄存器组 DE 为 “rp” 时



3.4.3 直接寻址

[功能]

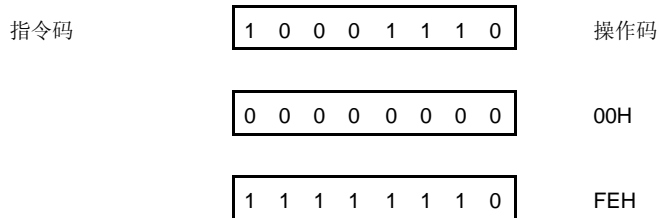
存储器会根据指令字中的操作数地址进行直接寻址操作。

[操作数格式]

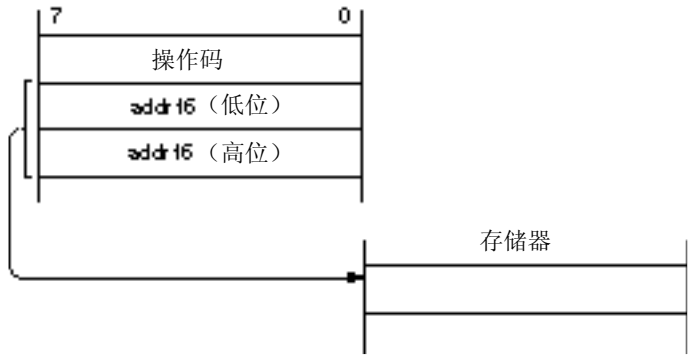
标识符	描述
addr16	标号或 16 位立即数

[举例]

MOV A, !0FE00H; 将!addr16 设置为 FE00H 时



[图示]



3.4.4 短直接寻址

[功能]

用指令中 8 位立即数直接对存储器的固定操作区域寻址。

该方式的寻址范围是 FE20H~FF1FH 总共 256 字节的区域。内部高速 RAM 和特殊功能寄存器(SFR)分别映射在 FE20H ~ FEFFH 以及 FF00H ~ FF1FH 的区域。

采用短直接寻址方式的特殊功能寄存器(SFR)区域(FF00H ~ FF1FH)是整个特殊功能寄存器 SFR 区域的一部分。程序中经常访问的端口、用作定时器和事件计数器的比较和捕捉寄存器都被映射到该区域。这些特殊功能寄存器 (SFR)可以用很少的字节数和时钟数进行操作。

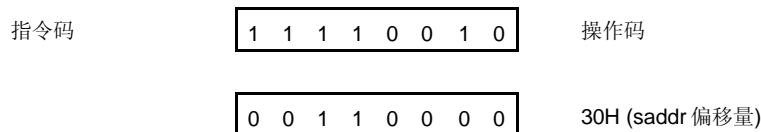
如果 8 位立即数是在 20H 和 FFH 之间，则将一个有效地址的第 8 位设置为 0；如果 8 位立即数是在 00H 与 1FH 之间，则一个有效地址的第 8 位设置为 1。参见下面的 [图示]。

[操作数格式]

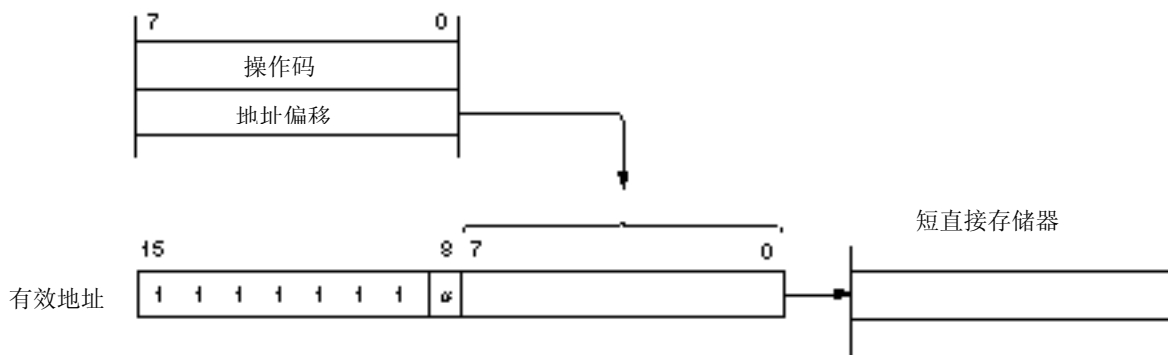
标识符	描述
saddr	标志或从 FE20H ~ FF1FH 的立即数
saddrp	标志或从 FE20H ~ FF1FH 的立即数 (仅使用偶地址)

[举例]

MOV 0FE30H, A; 将寄存器 A 的值赋值给地址为 FE30H 的存储器



[图示]



当 8 位立即数在 20H ~ FFH 之间时，a 等于 0。
 当 8 位立即数在 00H ~ 1FH 之间时，a 等于 1。

3.4.5 特殊功能寄存器 (SFR) 寻址

[功能]

通过指令中的 8 位立即数对存储器的特殊功能寄存器 (SFR) 区域进行寻址。

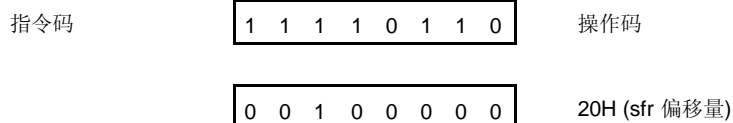
寻址区间为 FF00H ~ FFCFH 以及 FFE0H ~ FFFFH, 共 240 字节。而映射在 FF00H ~ FF1FH 区间的特殊功能寄存器 (SFR) 则采用短直接寻址方式。

[操作数格式]

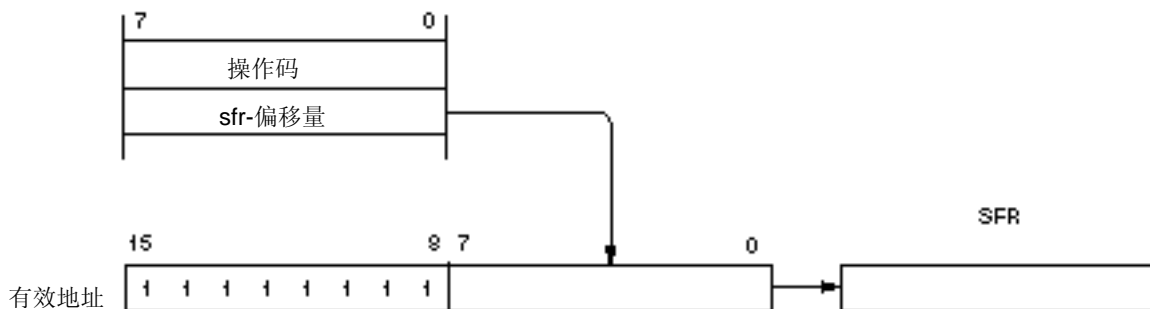
标识符	描述
sfr	特殊功能寄存器名
sfrp	16 位可操作特殊功能寄存器名 (仅使用偶地址)

[举例]

MOV PM0, A; 选择 PM0(FF20H)作为 sfr



[图示]



3.4.6 寄存器间接寻址

[功能]

根据寄存器对的内容进行寻址。该寄存器对由寄存器组选择标志(RBS0 和 RBS1)和指令字中的寄存器对指定码指定。

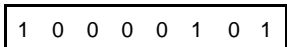
[操作数格式]

标识符	描述
-	[DE], [HL]

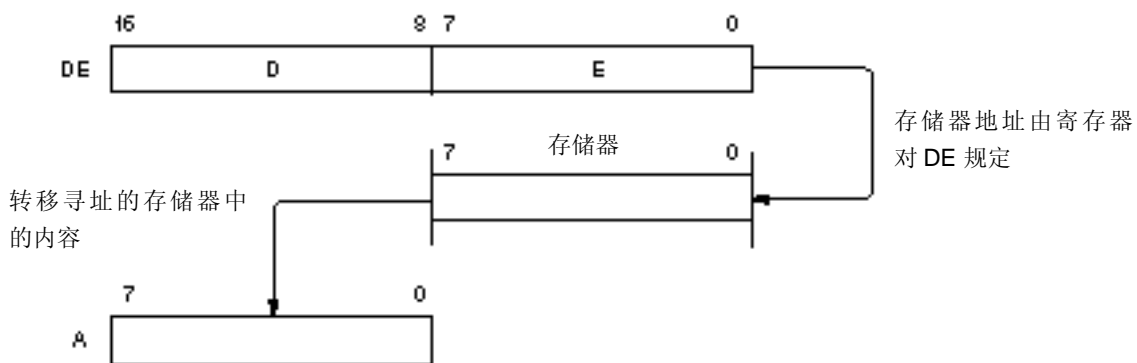
[举例]

MOV A, [DE]; 选择 DE 寄存器对作为操作数时

指令码



[图示]



3.4.7 基址寻址

[功能]

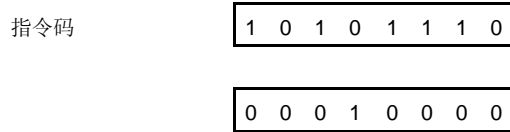
将 8 位立即数加到 HL 寄存器对中，HL 寄存器对作为基址寄存器。根据相加结果寻址。需要访问的 HL 寄存器对属于由寄存器组选择标志 (RBS0 和 RBS1) 确定的寄存器组。通过将偏移量扩展为 16 位正数，来完成加法操作，第 16 位的进位忽略不计。

[操作数格式]

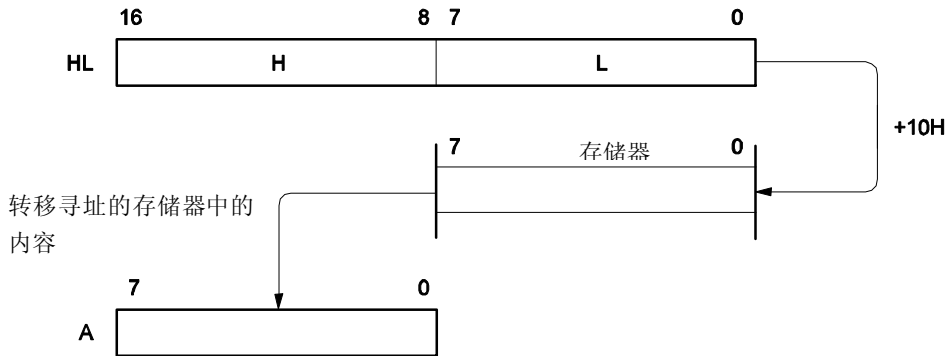
标识符	描述
-	[HL + byte]

[举例]

MOV A, [HL + 10H]; byte 的值为 10H 时



[图示]



3.4.8 基址变址寻址

[功能]

将 B 或 C 寄存器的内容加到 HL 寄存器中，HL 寄存器作为基址寄存器，并根据相加结果去寻址。需要访问的 HL、B 和 C 寄存器属于由寄存器组选择标志(RBS0 和 RBS1)确定的寄存器组。通过将 B 或 C 寄存器扩展为一个 16 位的正数来完成加法运算，第 16 位的进位忽略不计。

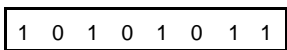
[操作数格式]

标识符	描述
-	[HL + B], [HL + C]

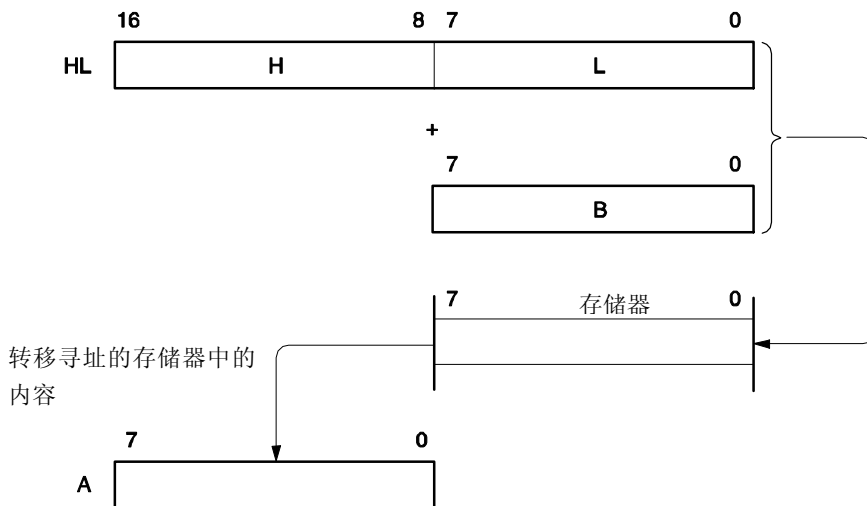
[举例]

MOV A, [HL +B]; 选择 B 寄存器

指令码



[图示]



3.4.9 堆栈寻址

[功能]

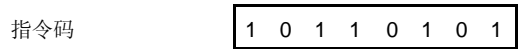
根据堆栈指针(SP)的内容对堆栈区域进行间接寻址。

当执行 PUSH, POP, 子程序调用和返回指令时, 或者产生中断请求时保存或恢复寄存器操作时, 将自动采用这种寻址方式。

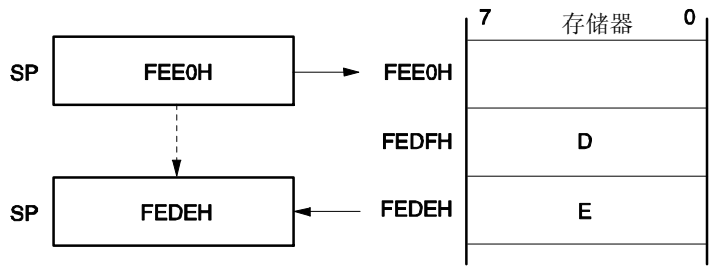
该方式仅对内部高速 RAM 区域进行寻址。

[举例]

PUSH DE; 保存在 DE 寄存器中



[图示]



第四章 端口功能

4.1 端口功能

有两种类型的引脚 I/O 缓冲器电源： $AV_{REF}^{\#}$ 和 V_{DD} 。这些电源和引脚之间的关系显示如下。

表 4-1. 引脚 I/O 缓冲器电源

电源	相关引脚
$AV_{REF}^{\#}$	P20 ~ P27
V_{DD}	除 P20 ~ P27 的其它引脚

注 仅适用于 μ PD78F048x 和 78F049x。 μ PD78F047x 的供电电源是 V_{DD} 。

78K0/LF3 产品中提供的端口如图 4-1 所示，这些端口可以支持多种控制操作。每个端口的功能如表 4-2 所示。

除了作为数字 I/O 端口功能，这些端口还有几个复用功能。如需了解这些端口复用功能的详细信息，请参见第二章引脚功能。

图 4-1. 端口类型

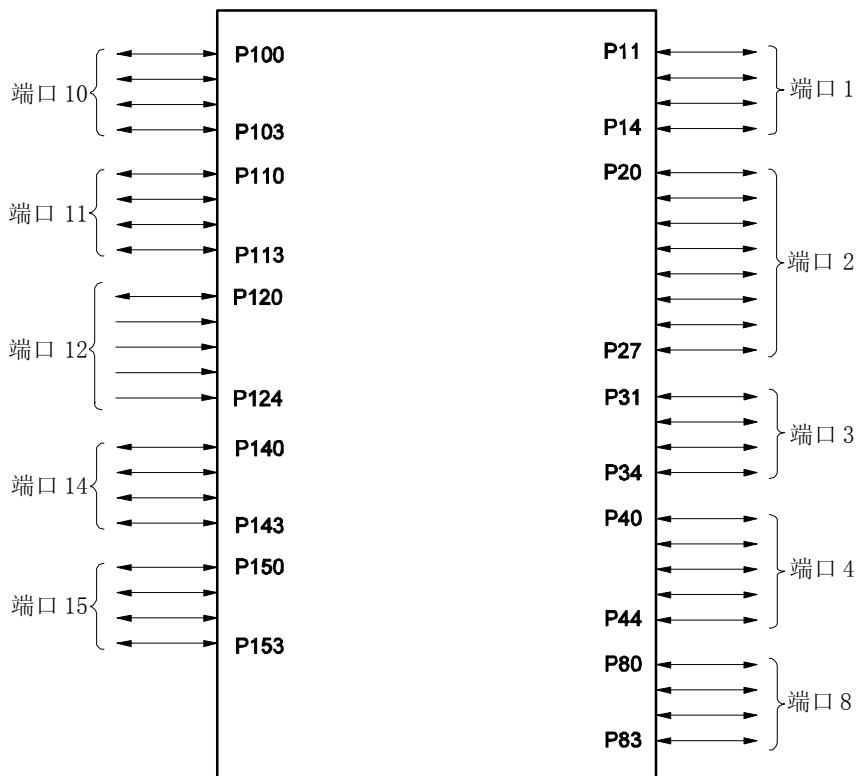


表 4-2. 端口功能(1/2)

引脚名称	I/O	功能	复位后	复用功能
P10	I/O	端口 1 8 位 I/O 端口 可以位选输入输出模式 通过软件设置，可以定义内部上拉电阻的使用	输入端口	PCL
P11				SCK10
P12				SI10/RxD0
P13				SO10/TxD0
P14				SCKA0/INTP4
P15				SIA0/<RxD6>
P16				SOA0/<TxD6>
P17				-
P20	I/O	端口 2 8 位 I/O 端口 可以位选输入输出模式	数字输入端口	SEG39 ^{注1} /ANI0 ^{注2} /DS0 ^{注3} ₋
P21				SEG38 ^{注1} /ANI1 ^{注2} /DS0+ ^{注3}
P22				SEG37 ^{注1} /ANI2 ^{注2} /DS1 ^{注3} ₋
P23				SEG36 ^{注1} /ANI3 ^{注2} /DS1+ ^{注3}
P24				SEG35 ^{注1} /ANI4 ^{注2} /DS2 ^{注3} ₋
P25				SEG34 ^{注1} /ANI5 ^{注2} /DS2+ ^{注3}
P26				SEG33 ^{注1} /ANI6 ^{注2} /REF ^{注3} ₋
P27				SEG32 ^{注1} /ANI7 ^{注2} /REF+ ^{注3}
P30	I/O	端口 3 5 位 I/O 端口 可以位选输入输出模式 通过软件设置，可以定义内部上拉电阻的使用	输入端口	INTP5
P31				TOH1/INTP3
P32				TOH0/MCGO
P33				TI000/RTCDIV/RT CCL/BUZ/INTP2
P34				TI52/TI010/TO00/R TC1HZ/INTP1
P40	I/O	端口 4 8 位 I/O 端口 可以位选输入输出模式 通过软件设置，可以定义内部上拉电阻的使用	输入端口	V _{LC3} /KR0
P41				RIN/KR1
P42				KR2
P43				TO51/TI51/KR3
P44				TO50/TI50/KR4
P45 to P47				KR5 to KR7

- 注
1. 仅适用于 μ PD78F047x 和 78F048x。
 2. 仅适用于 μ PD78F048x 和 78F049x。
 3. 仅适用于 μ PD78F049x。

备注 箭头 (< >) 内的功能由输入转换控制寄存器 (ISC) 分配。

表 4-2. 端口功能(2/2)

引脚名称	I/O	功能	复位后	复用功能
P80 to P83	I/O	端口 8 4 位 I/O 端口 可以位选输入输出模式 通过软件设置，可以定义内部上拉电阻的使用	输入端口	SEG4 ~ SEG7
P90 ~ P93	I/O	端口 9 4 位 I/O 端口 可以位选输入输出模式 通过软件设置，可以定义内部上拉电阻的使用	输入端口	SEG8 ~ SEG11
P100 ~ P103	I/O	端口 10 4 位 I/O 端口 可以位选输入输出模式 通过软件设置，可以定义内部上拉电阻的使用	输入端口	SEG12 ~ SEG15
P110, P111	I/O	端口 11 4 位 I/O 端口 可以位选输入输出模式 通过软件设置，可以定义内部上拉电阻的使用	输入端口	SEG16, SEG17
P112				SEG18/TxD6
P113				SEG19/RxD6
P120	I/O Input	端口 12 1 位 I/O 端口和 4 位输入端口 仅 P120 可以通过软件设置，定义内部上拉电阻的使用	输入端口	INTP0/EXLVI
P121				X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				XT1
P124				XT2
P130 ~ P133	I/O	端口 13 4 位 I/O 端口 可以位选输入输出模式 通过软件设置，可以定义内部上拉电阻的使用	输入端口	SEG20 ~ SEG23
P140 ~ P143	I/O	端口 14 4 位 I/O 端口 可以位选输入输出模式 通过软件设置，可以定义内部上拉电阻的使用	输入端口	SEG24 ~ SEG27
P150 ~ P153	I/O	端口 15 4 位 I/O 端口 可以位选输入输出模式 通过软件设置，可以定义内部上拉电阻的使用	输入端口	SEG28 ~ SEG31

4.2 端口配置

端口包括如下硬件。

表 4-3. 端口配置

项目	配置
控制寄存器	端口模式寄存器(PM1 to PM4, PM8 to PM15) 端口寄存器(P1 to P4, P8 to P15) 上拉电阻选择寄存器(PU1, PU3, PU4, PU8 to PU15) 端口功能寄存器 1 (PF1) 端口功能寄存器 2 (PF2) ^{注 1} 端口功能寄存器 ALL (PFALL) A/D 端口配置寄存器 0 (ADPC0) ^{注 2}
端口	总计: 62
上拉电阻	总计: 50

- 注
1. 仅适用于 μ PD78F047x 和 78F048x。
 2. 仅适用于 μ PD78F048x 和 78F049x。

4.2.1 端口 1

端口 1 是具有输出锁存功能的 84 位 I/O 端口。通过使用端口模式寄存器 1(PM1)，可以位选端口 1 为输入或输出模式。如果 P10 ~ P17 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 1(PU1)以 1 位单元的方式指定。

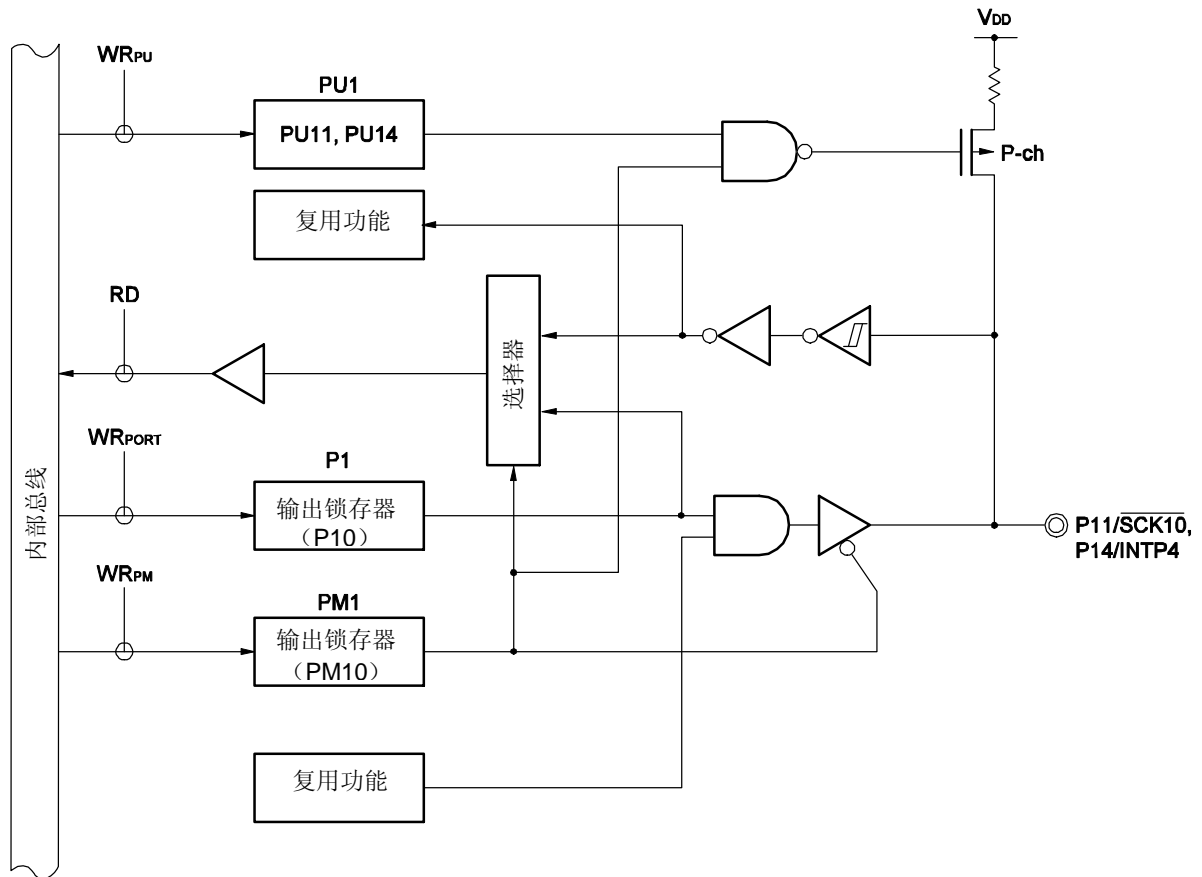
这个端口还可以用于串行时钟 I/O、串行接口数据 I/O 和可屏蔽外部中断输入。

复位信号的产生可将端口 1 设置为输入模式。

图 4-2 ~ 4-7 显示端口 1 的框图。

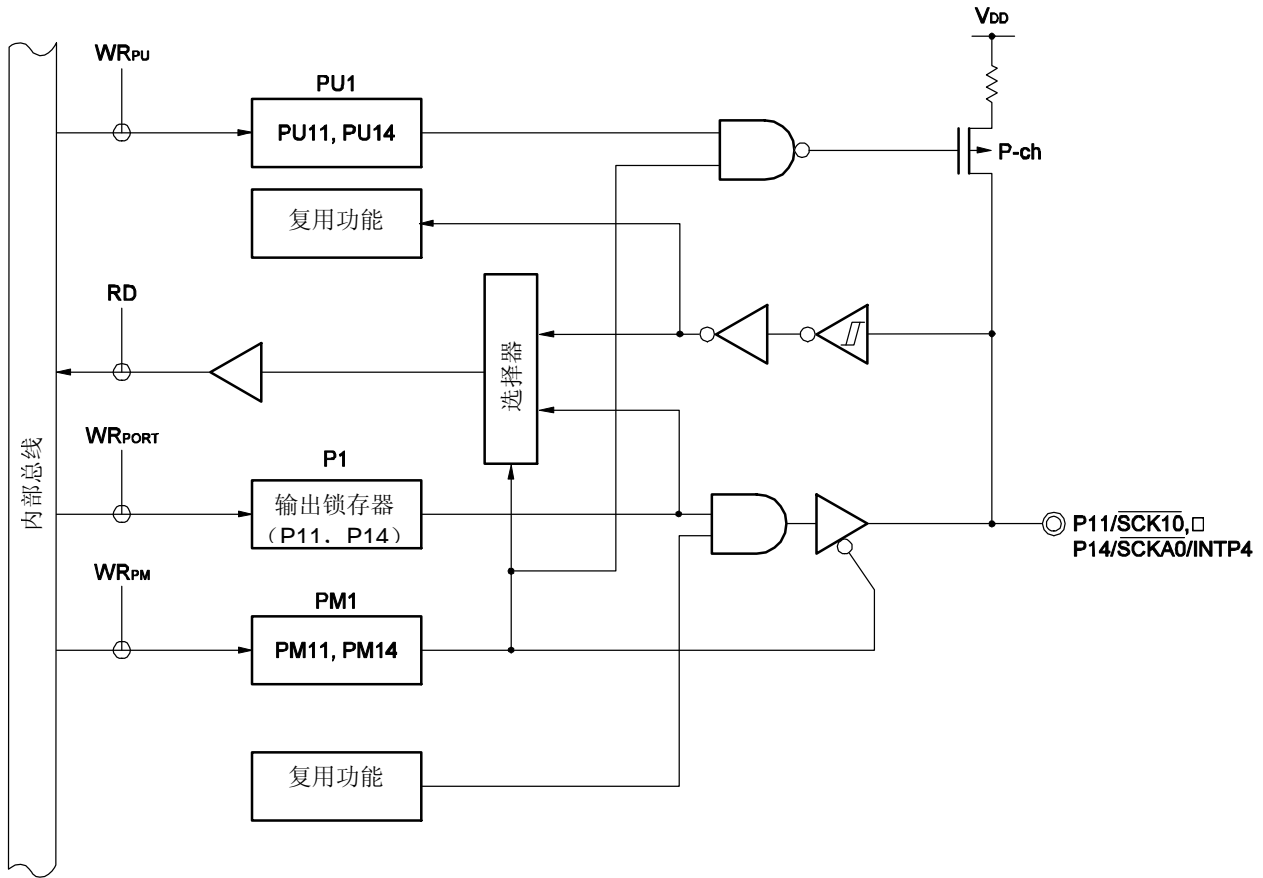
注意事项 如果 P11/SCK10, P12/SI10/RxD0 和 P13/SO10/TxD0 作为通用端口使用，则将串行操作模式寄存器 10(CSIM10)和串行时钟选择寄存器 10(CSIC10)设置为默认状态 (00H)。

图 4-2. P11 和 P14 的框图



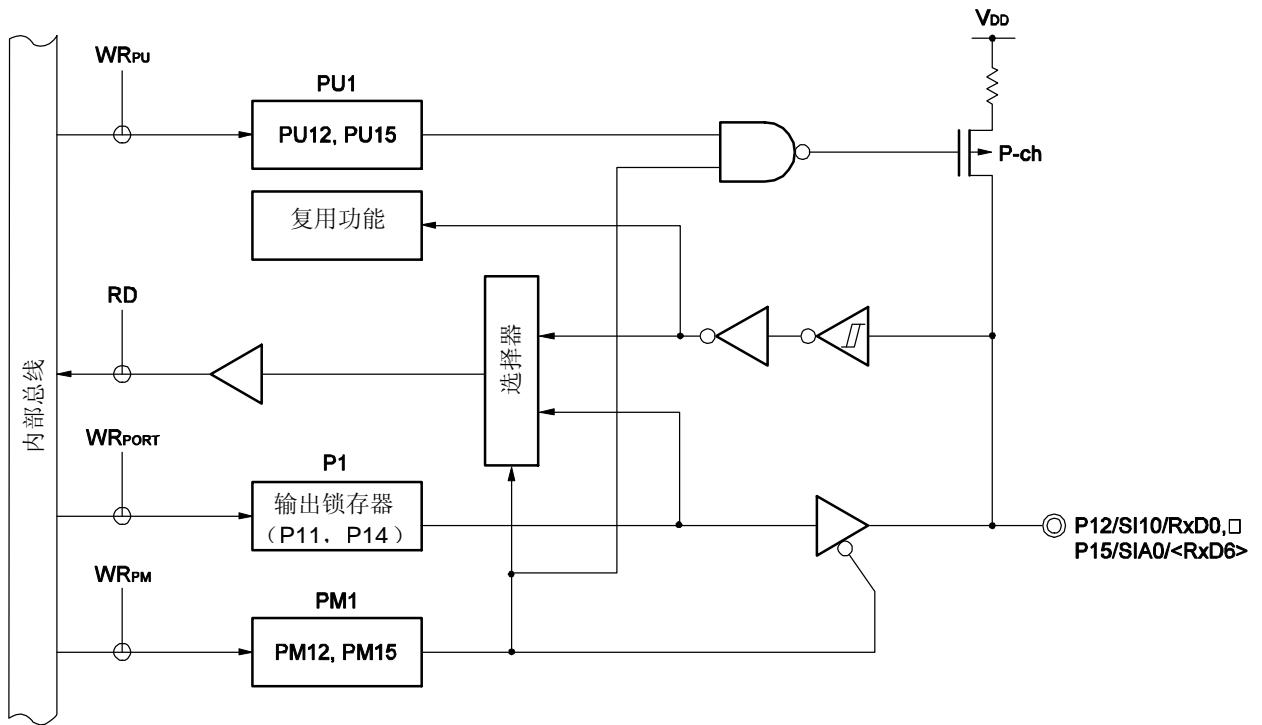
- P1: 端口寄存器 1
- PU1: 上拉电阻选择寄存器 1
- PM1: 端口模式寄存器 1
- RD: 读信号
- WR_{xx}: 写信号

图 4-3. P11 和 P14 的框图



- P1: 端口寄存器 1
- PU1: 上拉电阻选择寄存器 1
- PM1: 端口模式寄存器 1
- RD: 读信号
- WR_{xx}: 写信号

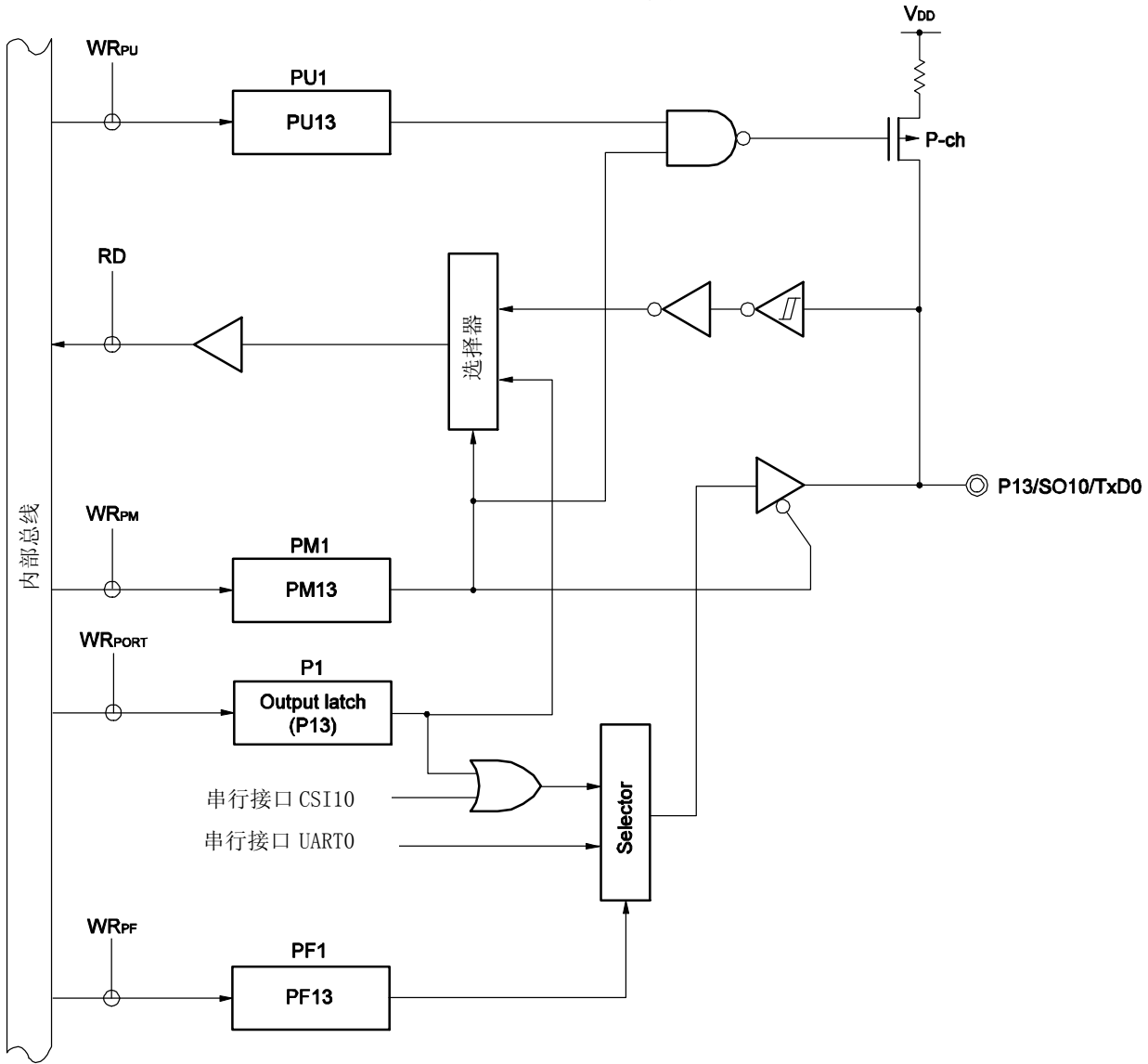
图 4-4. P12 和 P15 的框图



- P1: 端口寄存器 1
- PU1: 上拉电阻选择寄存器 1
- PM1: 端口模式寄存器 1
- RD: 读信号
- WR_{xx}: 写信号

<R>

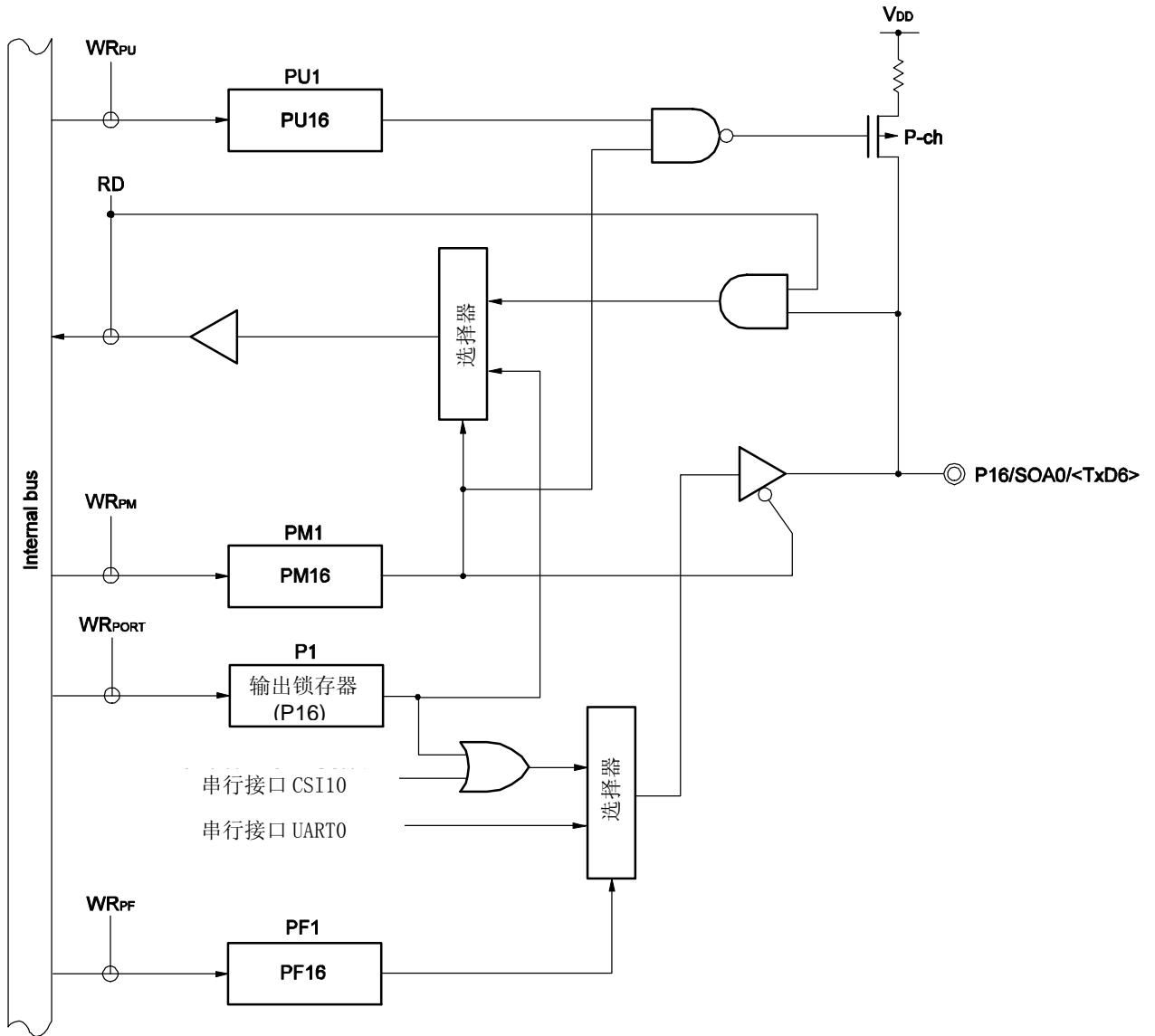
图 4-5. B P13 的框图



- P1: 端口寄存器 1
- PU1: 上拉电阻选择寄存器 1
- PM1: 端口模式寄存器 1
- RD: 读信号
- WR_{xx}: 写信号

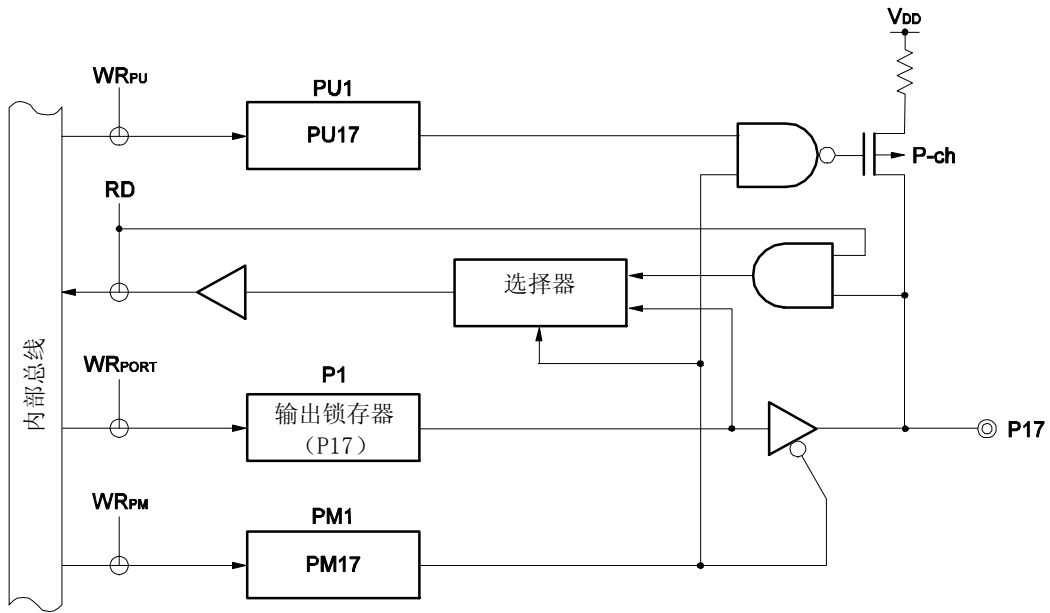
<R>

图 4-6. P16 的框图



- P1: 端口寄存器 1
- PU1: 上拉电阻选择寄存器 1
- PM1: 端口模式寄存器 1
- RD: 读信号
- WR_{xx}: 写信号

图 4-7. P17 的框图



- P1: 端口寄存器 1
- PU1: 上拉电阻选择寄存器 1
- PM1: 端口模式寄存器 1
- RD: 读信号
- WR_{xx}: 写信号

4.2.2 端口 2

端口 2 是具有输出锁存功能的 8 位 I/O 端口。通过使用端口模式寄存器 2(PM2)，可以位选端口 2 为输入或输出模式。

这个端口还可以用于 10 位逐次逼近型 A/D 转换器、16 位 $\Delta\Sigma$ 型 A/D 转换器模拟输入和 segment 输出。

P20/ANI0/DS0⁻， P21/ANI1/DS0⁺， P22/ANI2/DS1⁻， P23/ANI3/DS1⁺， P24/ANI4/DS2⁻， P25/ANI5/DS2⁺， P26/ANI6/REF⁻和 P27/ANI7/REF⁺ 作为数字输入引脚，由端口功能寄存器 2 (PF2)设置端口功能 (除 segment 输出)，使用 ADPC0 设置数字 I/O 和使用 PM2 设置输入模式。使用这些引脚从低位开始。

P20/ANI0/DS0⁻， P21/ANI1/DS0⁺， P22/ANI2/DS1⁻， P23/ANI3/DS1⁺， P24/ANI4/DS2⁻， P25/ANI5/DS2⁺， P26/ANI6/REF⁻和 P27/ANI7/REF⁺作为数字输出引脚，由端口功能寄存器 2 (PF2)设置端口功能 (除 segment 输出)，使用 ADPC0 设置数字 I/O 和使用 PM2 设置输出模式。使用这些引脚从低位开始。

复位信号的产生可将端口 2 设置为输入模式。

图 4-8 显示端口 2 的框图。

表 4-4. P20/SEG31^{注1}/ANI0^{注2}/DS0^{-注3} ~ P27/SEG24^{注1}/ANI7^{注2}/REF^{+注3} 引脚功能设置

PF2	ADPC0	PM2	ADS	ADDCTL0	P20/SEG31 ^{注1} /ANI0 ^{注2} /DS0 ^{-N注3} ~ P27/SEG24 ^{注1} /ANI7 ^{注2} /REF ^{+注3} 引脚
数字/模拟选择	模拟输入选择	输入模式	不选择 ANI.	不选择 DS _{n±} .	模拟输入 (不得修改)
			选择 ANI.	不选择 DS _{n±} .	模拟输入 (由逐次逼近型 A/D 转换器修改)
			不选择 ANI.	选择 DS _{n±} .	模拟输入 (由 $\Delta\Sigma$ 型 A/D 转换器修改)
			选择 ANI.	选择 DS _{n±} .	禁止设置
		输出模式		-	禁止设置
	数字 I/O 选择	输入模式		-	数字输入
输出模式			-	数字输出	
SEG 输出选择 ^{注1}	-	-	-	-	Segment 输出选择 ^{注1}

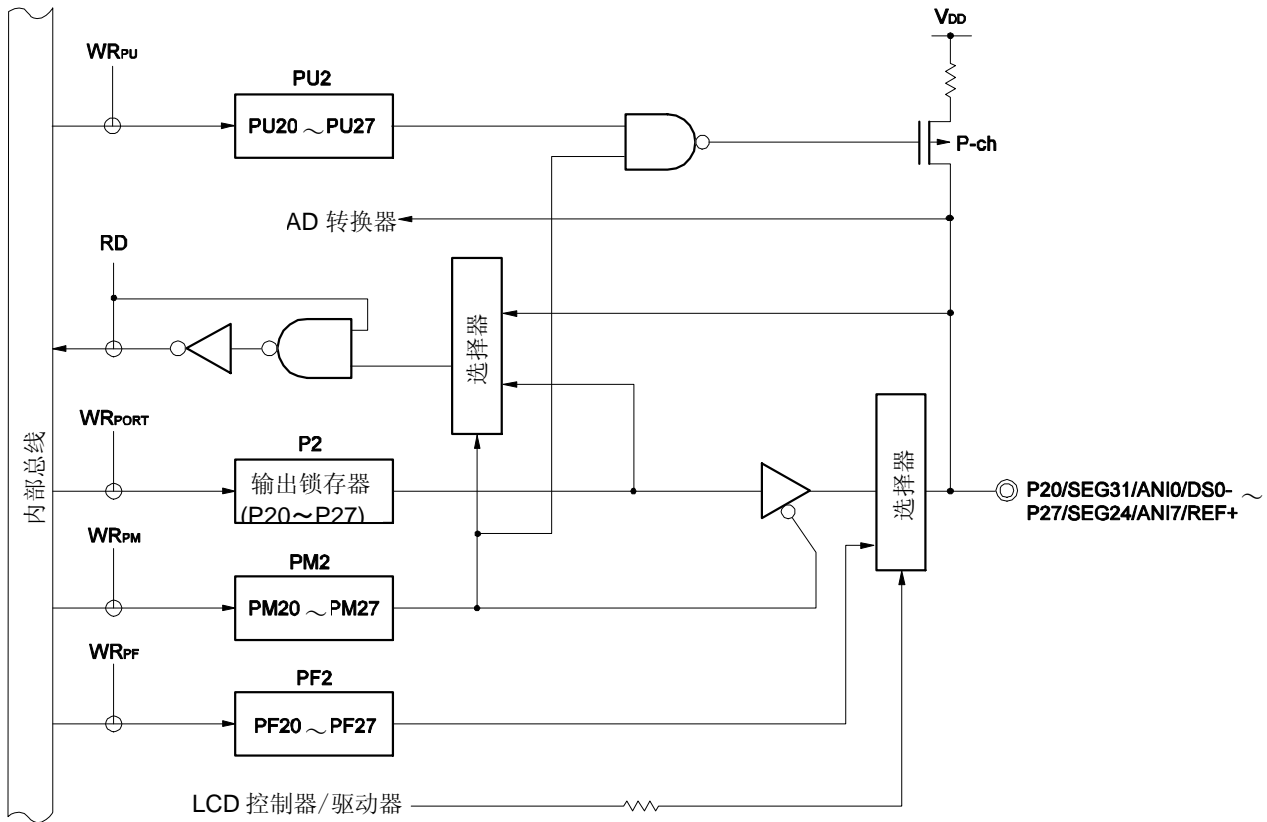
注 1. 仅适用于 μ PD78F047X 和 78F048x。

注 2. 仅适用于 μ PD78F048x 和 78F049x。

注 3. 仅适用于 μ PD78F049x。

备注 n = 0 ~ 2

图 4-8. P20 ~ P27 的框图



- P2: 端口寄存器 2
- PU2: 上拉电阻选择寄存器 2
- PM2: 端口模式寄存器 2
- RD: 读信号
- WR_{xx}: 写信号

4.2.3 端口 3

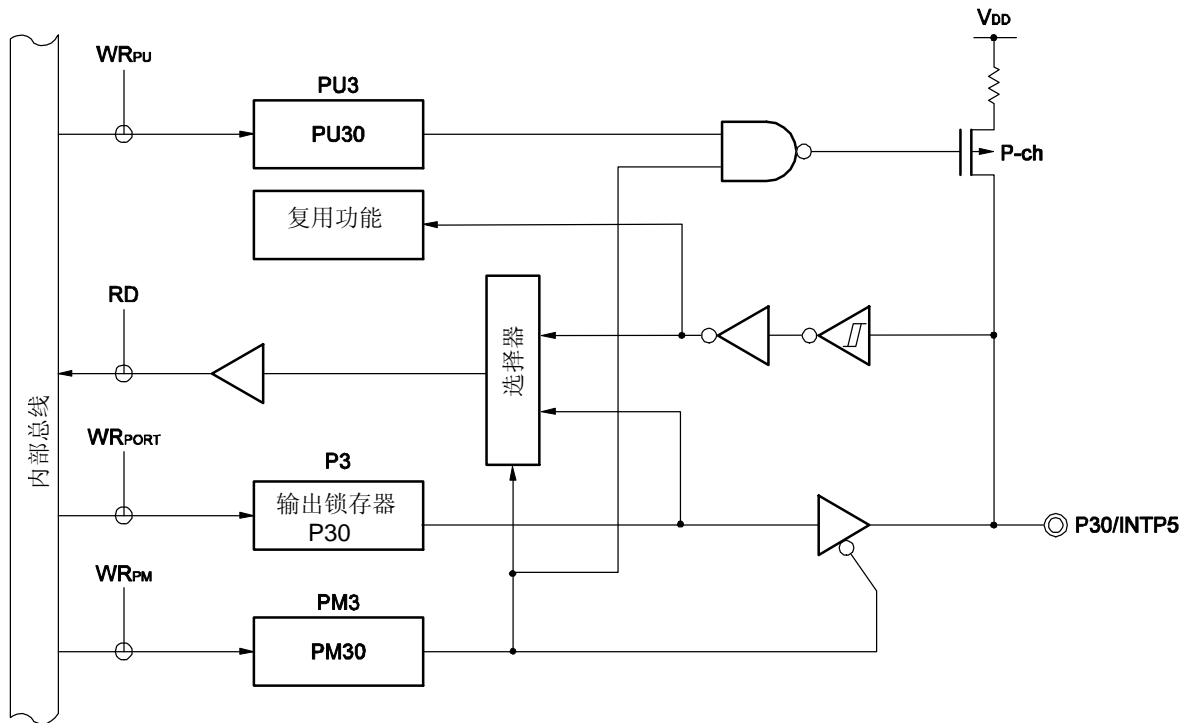
端口 3 是具有输出锁存功能的 4 位 I/O 端口。通过使用端口模式寄存器 3(PM3)，可以位选端口 3 为输入或输出模式。如果 P31 ~ P34 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 3(PU3)以 1 位单元的方式指定。

这个端口还可以用于外部中断请求输入、定时器 I/O、manchester 编码发生器输出、实时计数器输出和蜂鸣器输出。

复位信号的产生可将端口 3 设置为输入模式。

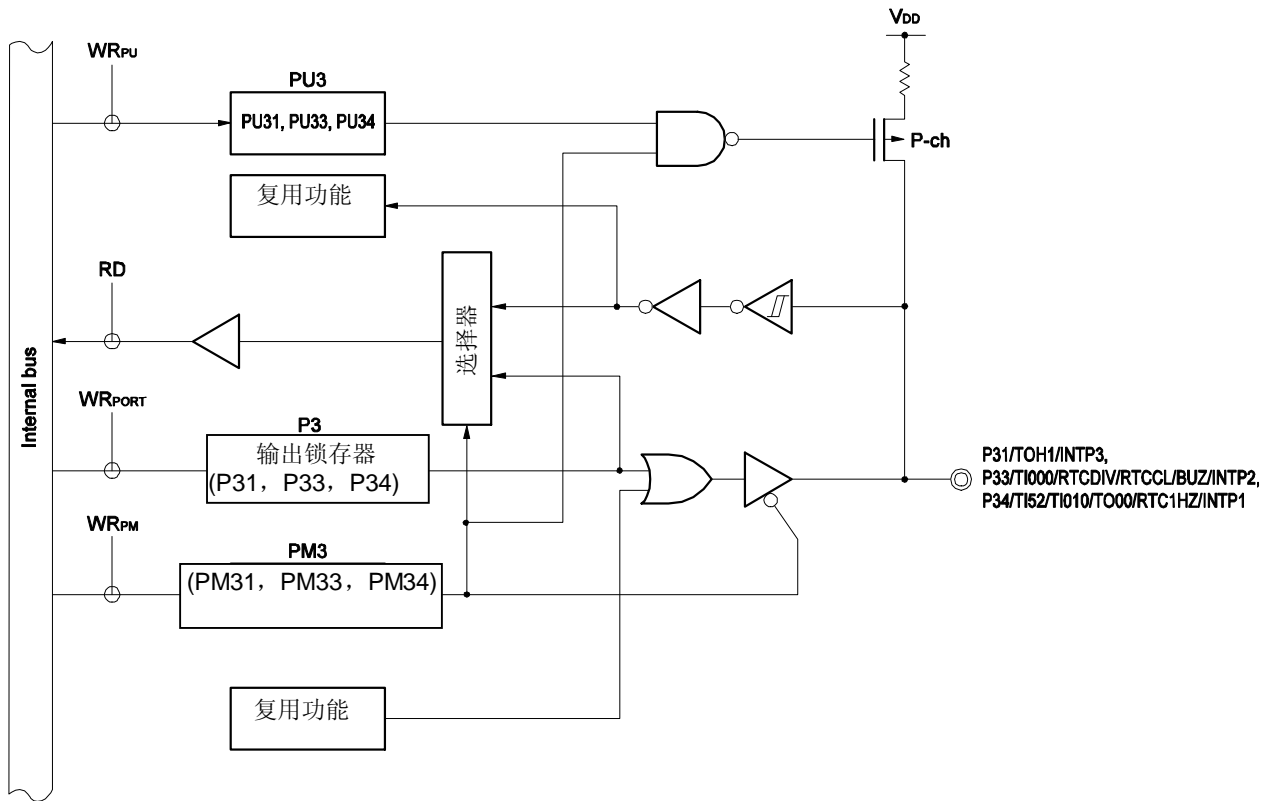
图 4-6 和 4-7 显示端口 3 的框图。

图 4-9. P30 的框图



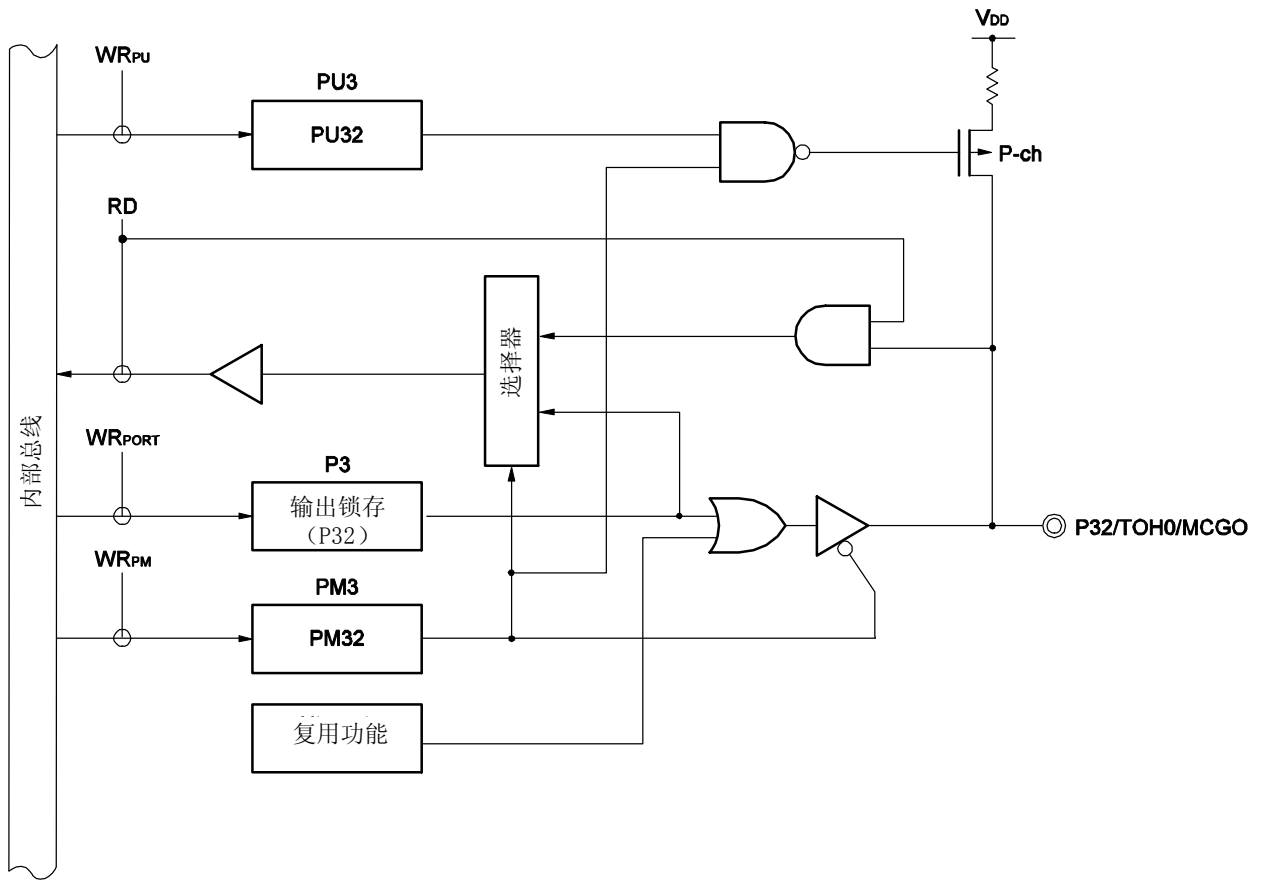
- P3: 端口寄存器 3
- PU3: 上拉电阻选择寄存器 3
- PM3: 端口模式寄存器 3
- RD: 读信号
- WR_{xx}: 写信号

图 4-10. P31, P33, P34 的框图



- P3: 端口寄存器 3
- PU3: 上拉电阻选择寄存器 3
- PM3: 端口模式寄存器 3
- RD: 读信号
- WR_{xx}: 写信号

图 4-11. P32 框图



- P4: 端口寄存器 4
- PU4: 上拉电阻选择寄存器 4
- PM4: 端口模式寄存器 4
- RD: 读信号
- WR_{xx}: 写信号

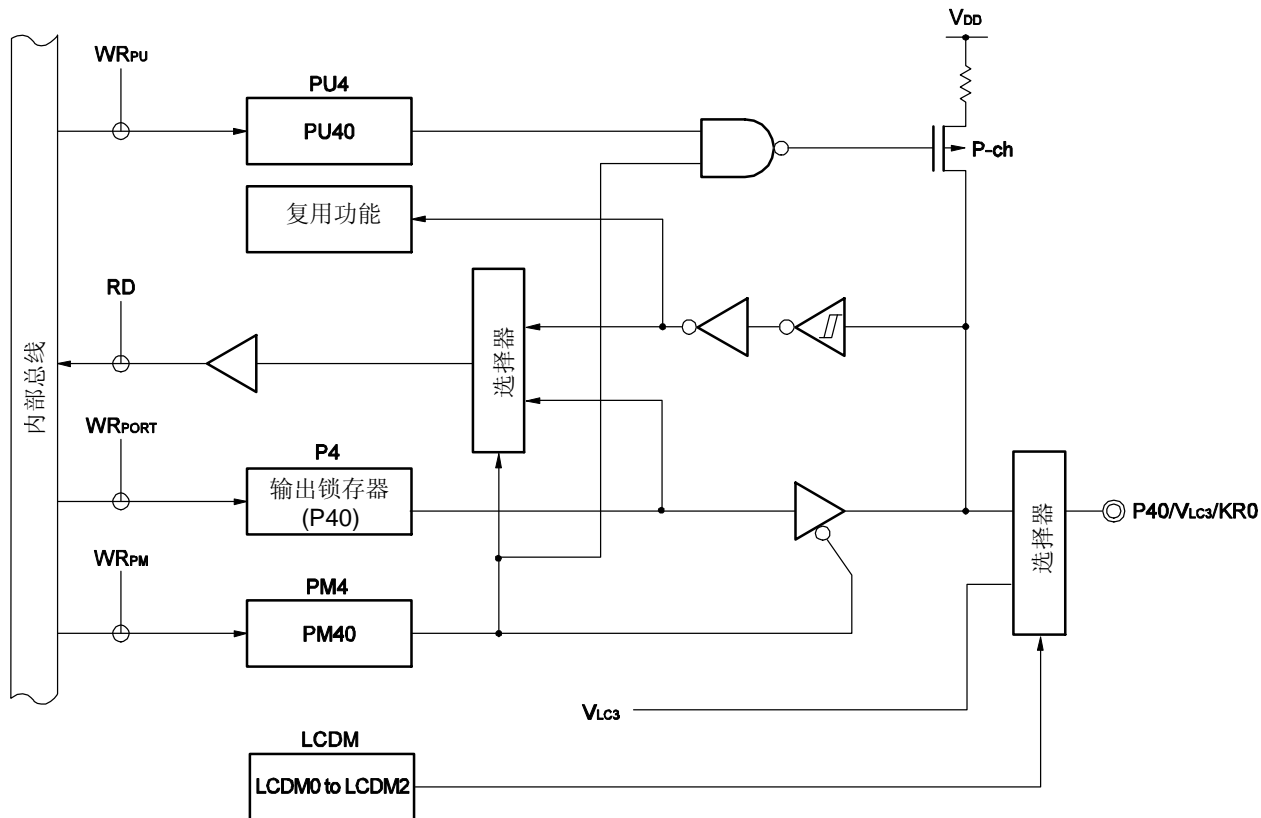
4.2.4 端口 4

端口 4 是具有输出锁存功能的 5 位 I/O 端口。通过使用端口模式寄存器 4(PM4)，可以位选端口 4 为输入或输出模式。如果 P40 ~ P44 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 4(PU4)以 1 位单元的方式指定。

这个端口还可以用于定时器 I/O、LCD 驱动电源引脚、遥控接收引脚和按键中断输入引脚。
复位信号的产生可将端口 4 设置为输入模式。

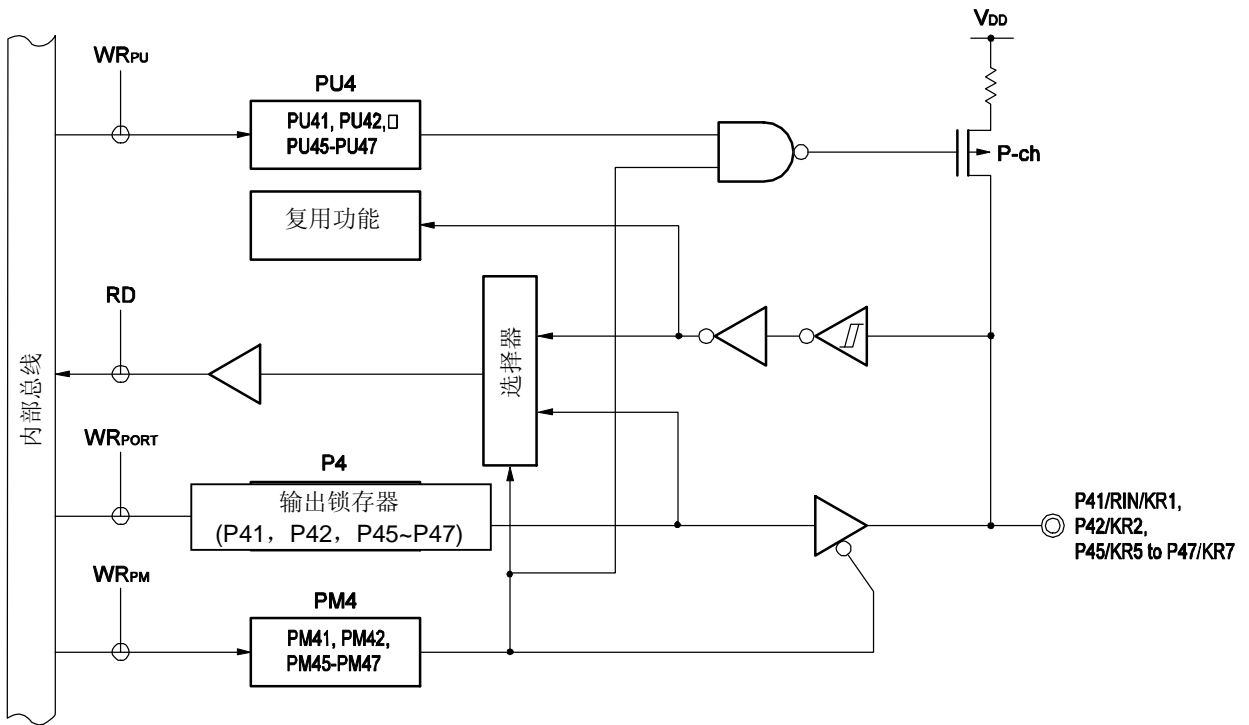
图 4-12 和 4-14 显示端口 4 的框图。

图 4-12. P40 框图



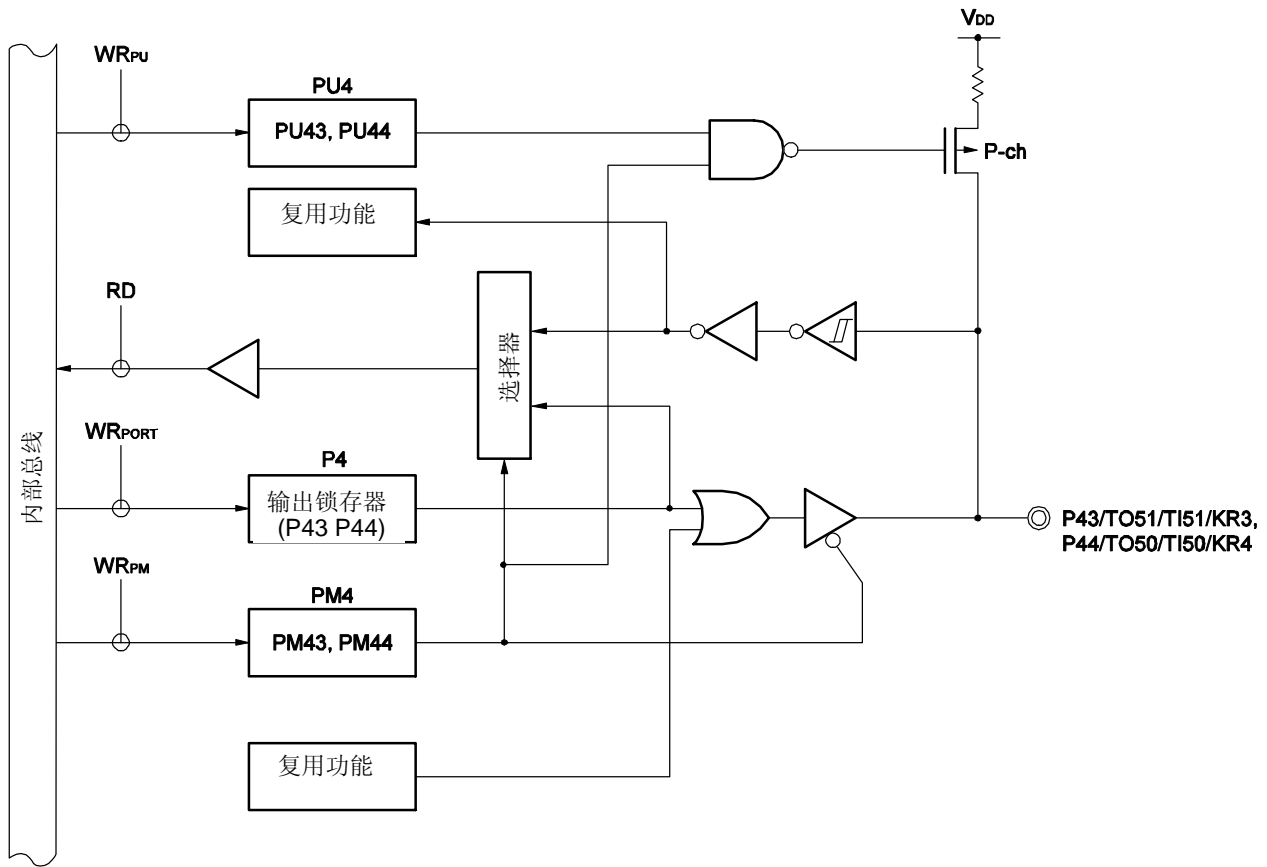
- P4: 端口寄存器 4
- PU4: 上拉电阻选择寄存器 4
- PM4: 端口模式寄存器 4
- RD: 读信号
- WRxx: 写信号

图 4-13. P41, P42, P45 ~ P47 的框图



- P4: 端口寄存器 4
- PU4: 上拉电阻选择寄存器 4
- PM4: 端口模式寄存器 4
- RD: 读信号
- WR_{xx}: 写信号

图 4-14. P43 和 P44 的框图



- P4: 端口寄存器 4
- PU4: 上拉电阻选择寄存器 4
- PM4: 端口模式寄存器 4
- RD: 读信号
- WR_{xx}: 写信号

4.2.5 端口 8

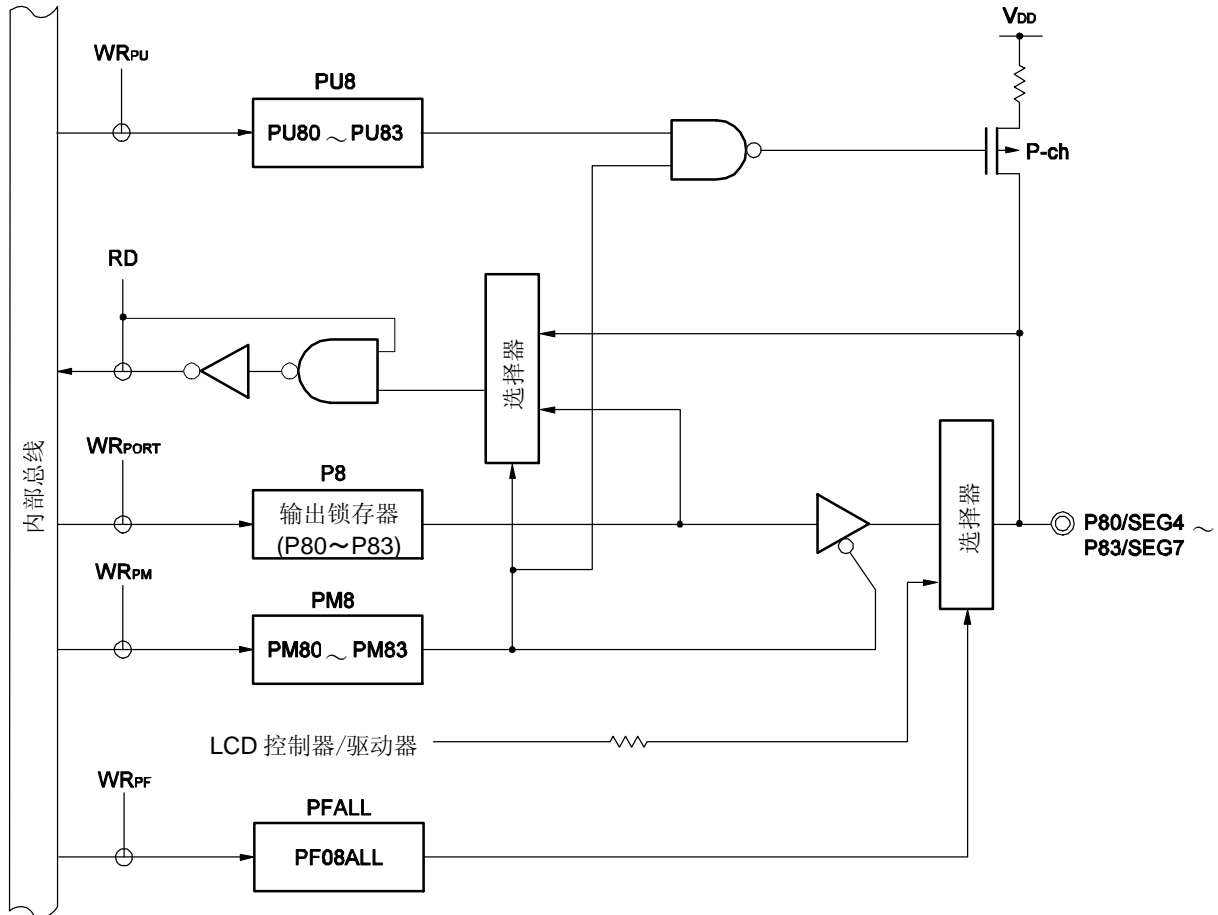
端口 8 是具有输出锁存功能的 4 位 I/O 端口。通过使用端口模式寄存器 8(PM8)，可以位选端口 8 为输入或输出模式。如果 P80 ~ P83 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 8(PU8)以 1 位单元的方式指定。

这个端口还可以用于 segment 输出。

复位信号的产生可将端口 8 设置为输入模式。

图 4-15 显示端口 8 的框图。

图 4-15. P80 ~ P83 的框图



- P8: 端口寄存器 8
- PU8: 上拉电阻选择寄存器 8
- PM8: 端口模式寄存器 8
- PFALL: 端口功能寄存器 ALL
- RD: 读信号
- WR_{xx}: 写信号

4.2.6 端口 9

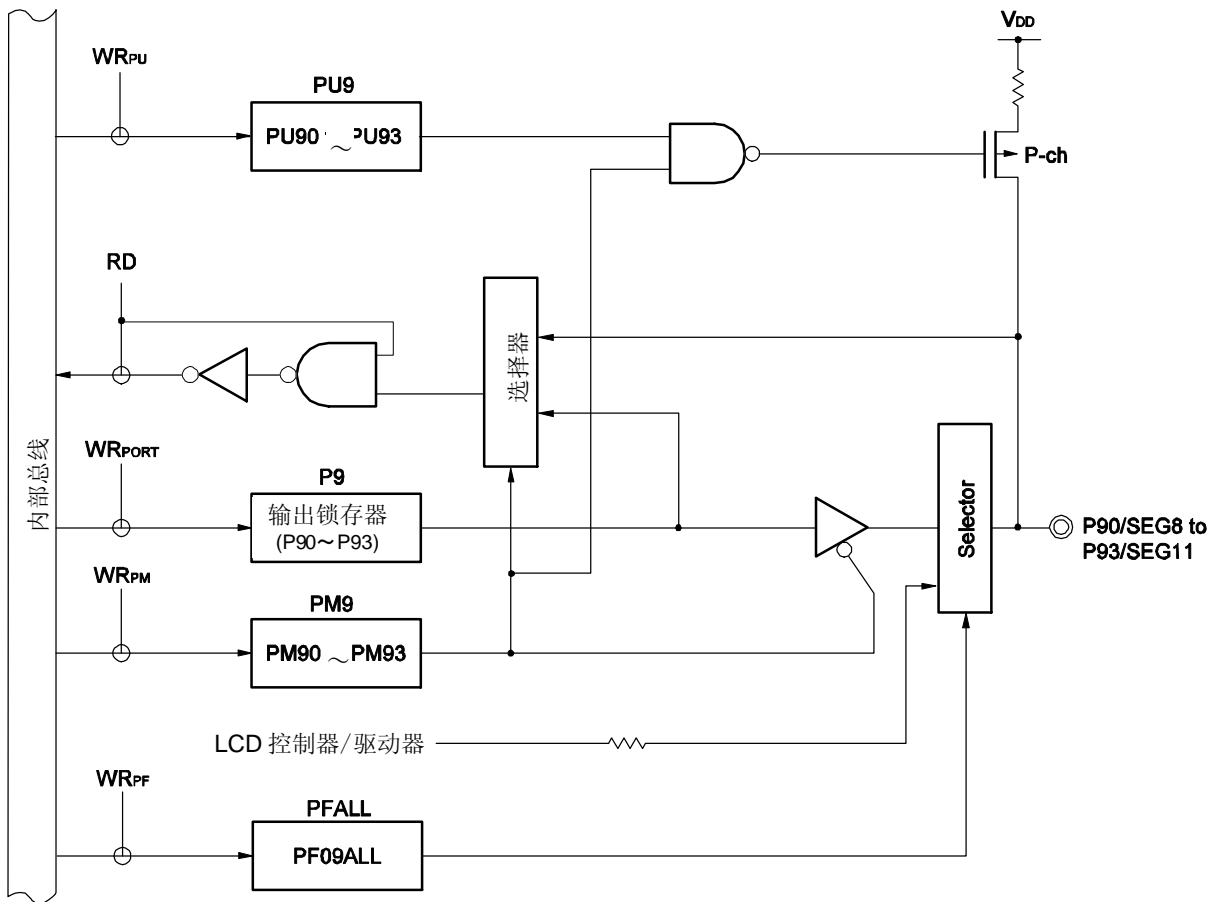
端口 8 是具有输出锁存功能的 4 位 I/O 端口。通过使用端口模式寄存器 9(PM9)，可以位选端口 8 为输入或输出模式。如果 P90 ~ P93 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 9(PU9)以 1 位单元的方式指定。

这个端口还可以用于 segment 输出。

复位信号的产生可将端口 9 设置为输入模式。

图 4-16 显示端口 9 的框图。

图 4-16. P90 ~ P93 的框图



- P9: 端口寄存器 9
- PU9: 上拉电阻选择寄存器 9
- PM9: 端口模式寄存器 9
- PFALL: 端口功能寄存器 ALL
- RD: 读信号
- WR_{xx}: 写信号

4.2.7 端口 10

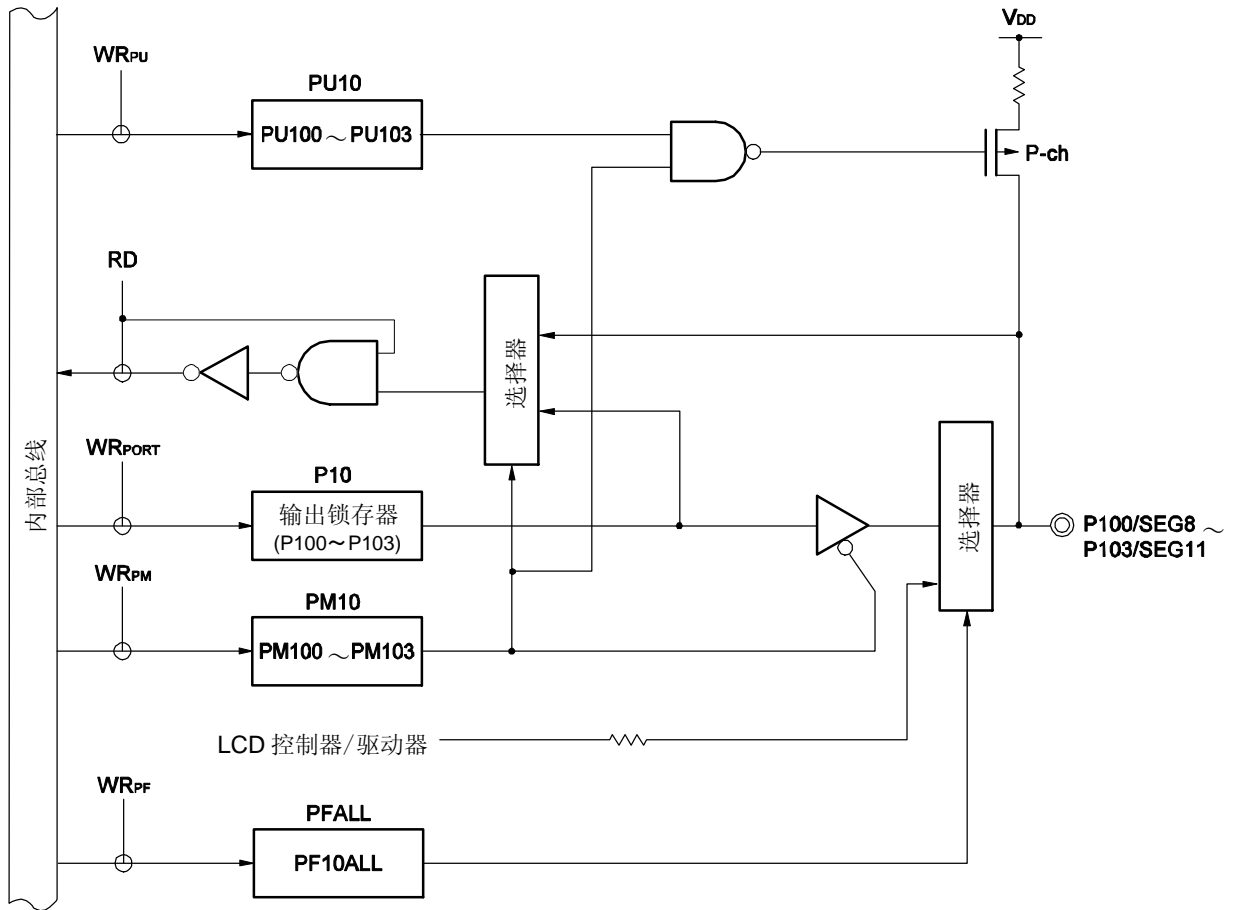
端口 10 是具有输出锁存功能的 4 位 I/O 端口。通过使用端口模式寄存器 10(PM10)，可以位选端口 10 为输入或输出模式。如果 P100 ~ P103 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 10(PU10)以 1 位单元的方式指定。

这个端口还可以用于 segment 输出。

复位信号的产生可将端口 10 设置为输入模式。

图 4-17 显示端口 10 的框图。

图 4-17. P100 ~ P103 的框图



- P10: 端口寄存器 10
- PU10: 上拉电阻选择寄存器 10
- PM10: 端口模式寄存器 10
- PFALL: 端口功能寄存器 ALL
- RD: 读信号
- WR_{xx}: 写信号

4.2.8 端口 11

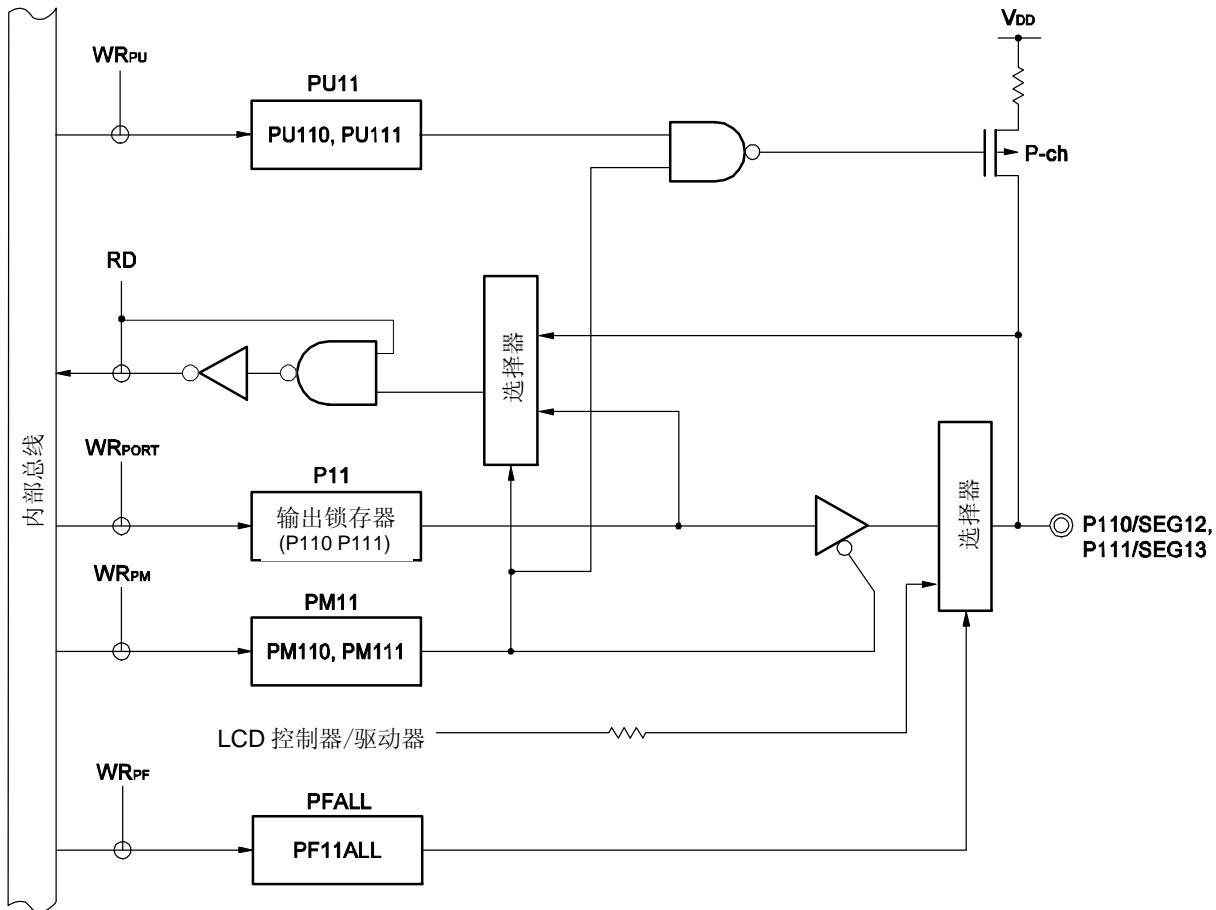
端口 11 是具有输出锁存功能的 4 位 I/O 端口。通过使用端口模式寄存器 11(PM11)，可以位选端口 11 为输入或输出模式。如果 P110 ~ P113 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 11(PU11)以 1 位单元的方式指定。

这个端口还可以用于 segment 输出和串行接口数据 I/O。

复位信号的产生可将端口 11 设置为输入模式。

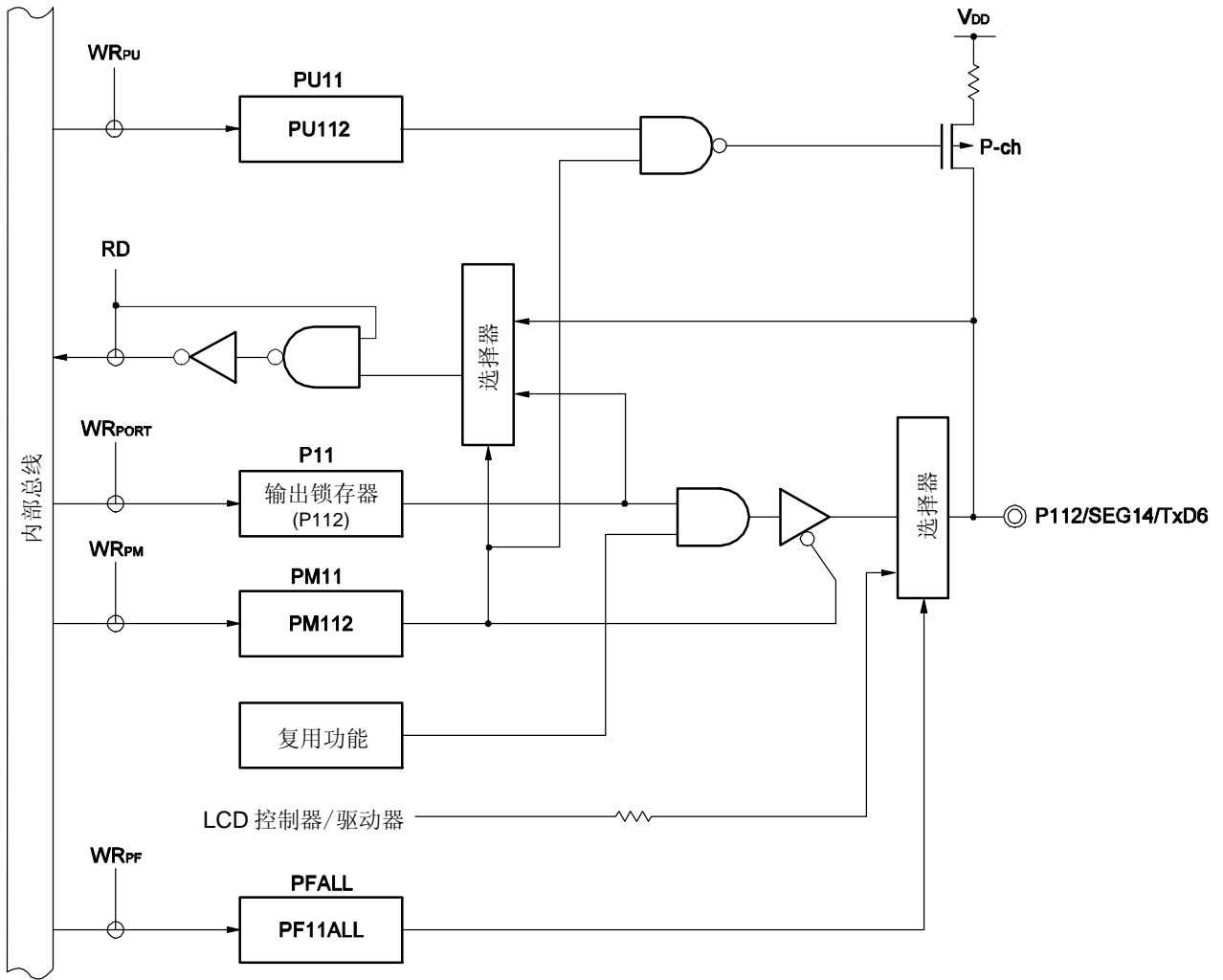
图 4-18~4-20 显示端口 11 的框图。

图 4-18. P110 和 P111 的框图



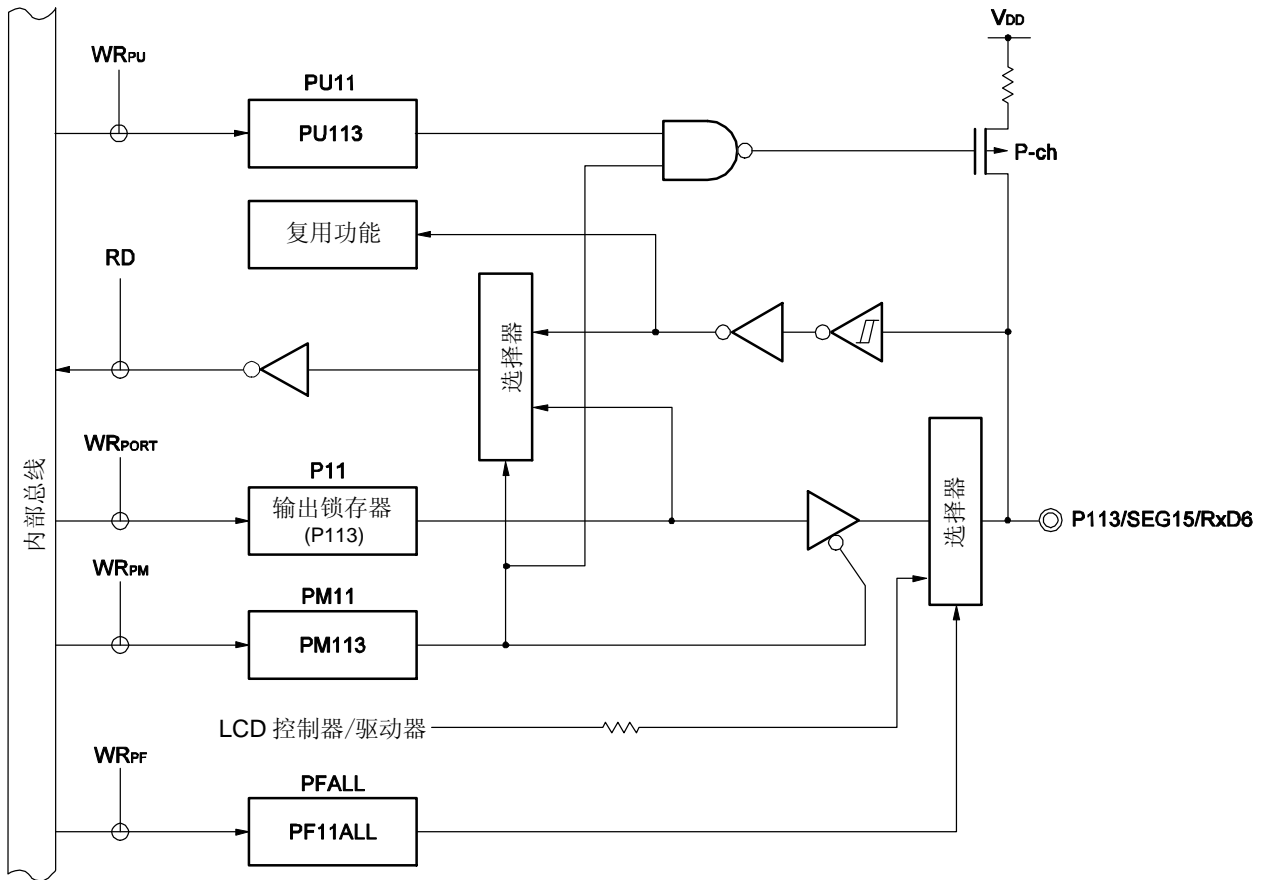
- P11: 端口寄存器 11
- PU11: 上拉电阻选择寄存器 11
- PM11: 端口模式寄存器 11
- PFALL: 端口功能寄存器 ALL
- RD: 读信号
- WRxx: 写信号

图 4-19. P112 的框图



- P11: 端口寄存器 11
- PU11: 上拉电阻选择寄存器 11
- PM11: 端口模式寄存器 11
- PFALL: 端口功能寄存器 ALL
- RD: 读信号
- WR_{xx}: 写信号

图 4-20. P113 的框图



- P11: 端口寄存器 11
- PU11: 上拉电阻选择寄存器 11
- PM11: 端口模式寄存器 11
- PFALL: 端口功能寄存器 ALL
- RD: 读信号
- WR_{xx}: 写信号

4.2.9 端口 12

端口 12 是具有输出锁存功能的 1 位 I/O 端口和 4 位输入端口。仅 P120 可以使用端口模式寄存器 12(PM12)，位选端口为输入或输出模式。如果 P120 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 12(PU12)指定。

这个端口还可以用于外部中断请求输入、外部低电压检测的电压输入、主系统时钟的振荡器连接、副系统时钟的振荡器连接和主系统时钟的外部时钟输入。

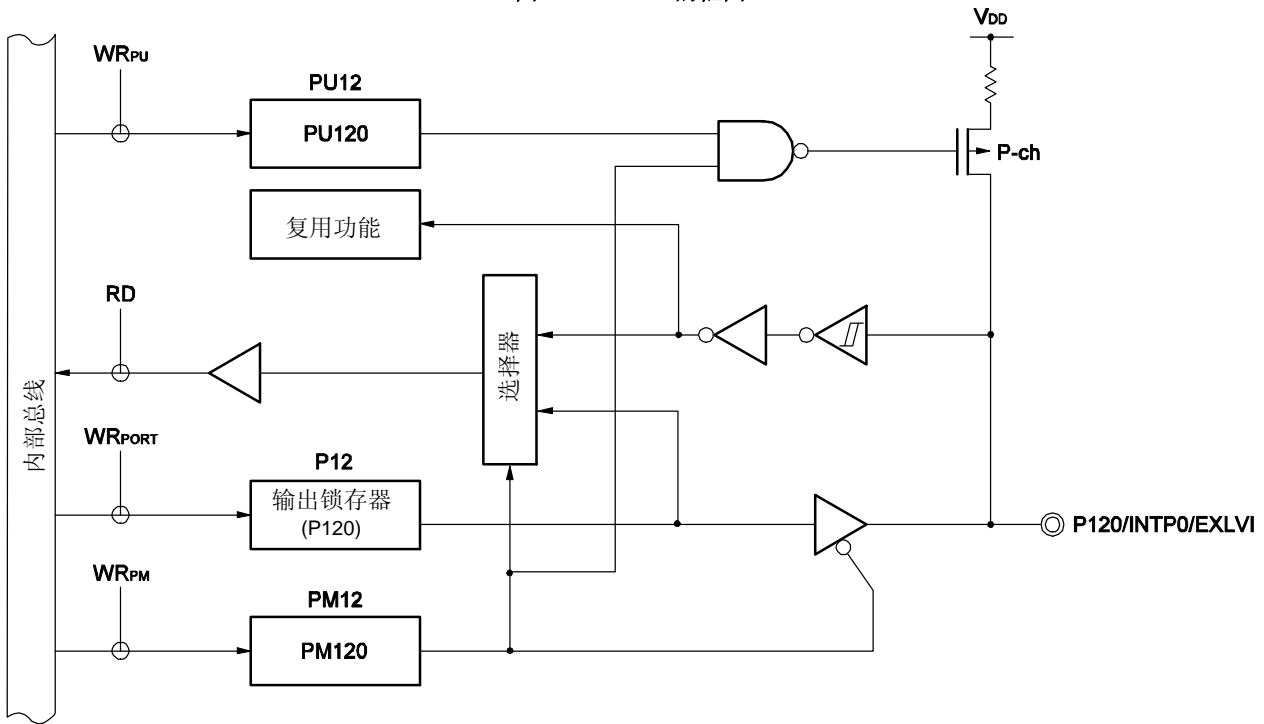
复位信号的产生可将端口 12 设置为输入模式。

图 4-21~4-23 显示端口 12 的框图。

注意事项 当使用 P121 ~ P124 引脚连接主系统时钟 (X1,X2) 或副系统时钟 (XT1,XT2) 的振荡器，或者输入该主系统时钟的外部时钟 (EXCLK) 时，必须通过使用时钟操作模式选择寄存器 (OSCCTL) 对 X1 振荡模式、XT1 振荡模式或者外部时钟输入模式进行设置 (如需了解详细信息，可参见 5.3 (1) 时钟操作模式选择寄存器 (OSCCTL) 和 (3) 副系统时钟引脚操作模式设置)。OSCCTL 的复位值为 00H (P121 ~ P124 都用作输入端口引脚)。

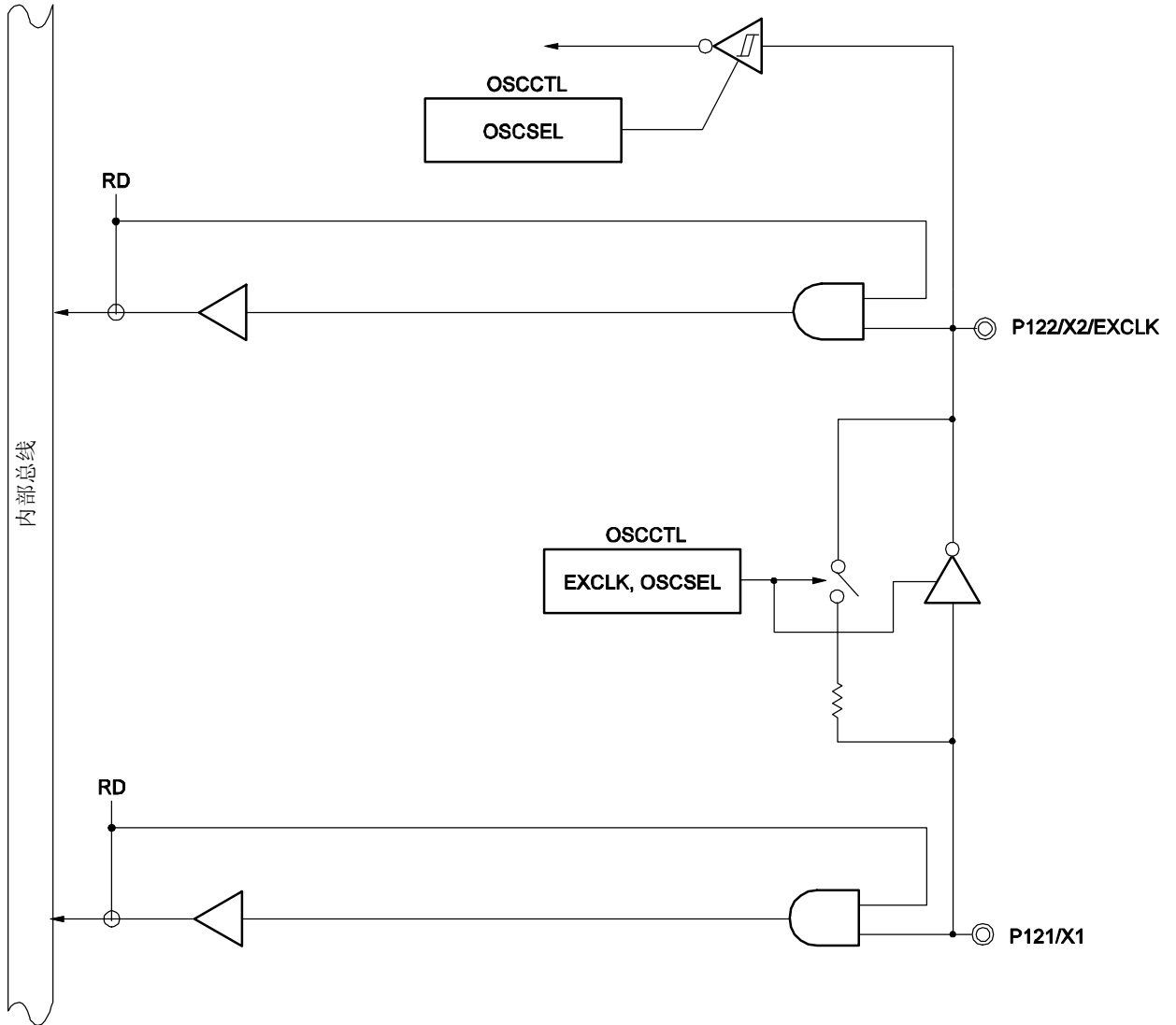
备注 P121 和 P122 能够用于片上调试模式设定引脚 (OCD0A, OCD0B)。详情请参看 第二十九章 片上调试功能。

图 4-21. P120 的框图



- P12: 端口寄存器 12
- PU12: 上拉电阻选择寄存器 12
- PM12: 端口模式寄存器 12
- RD: 读信号
- WR_{xx}: 写信号

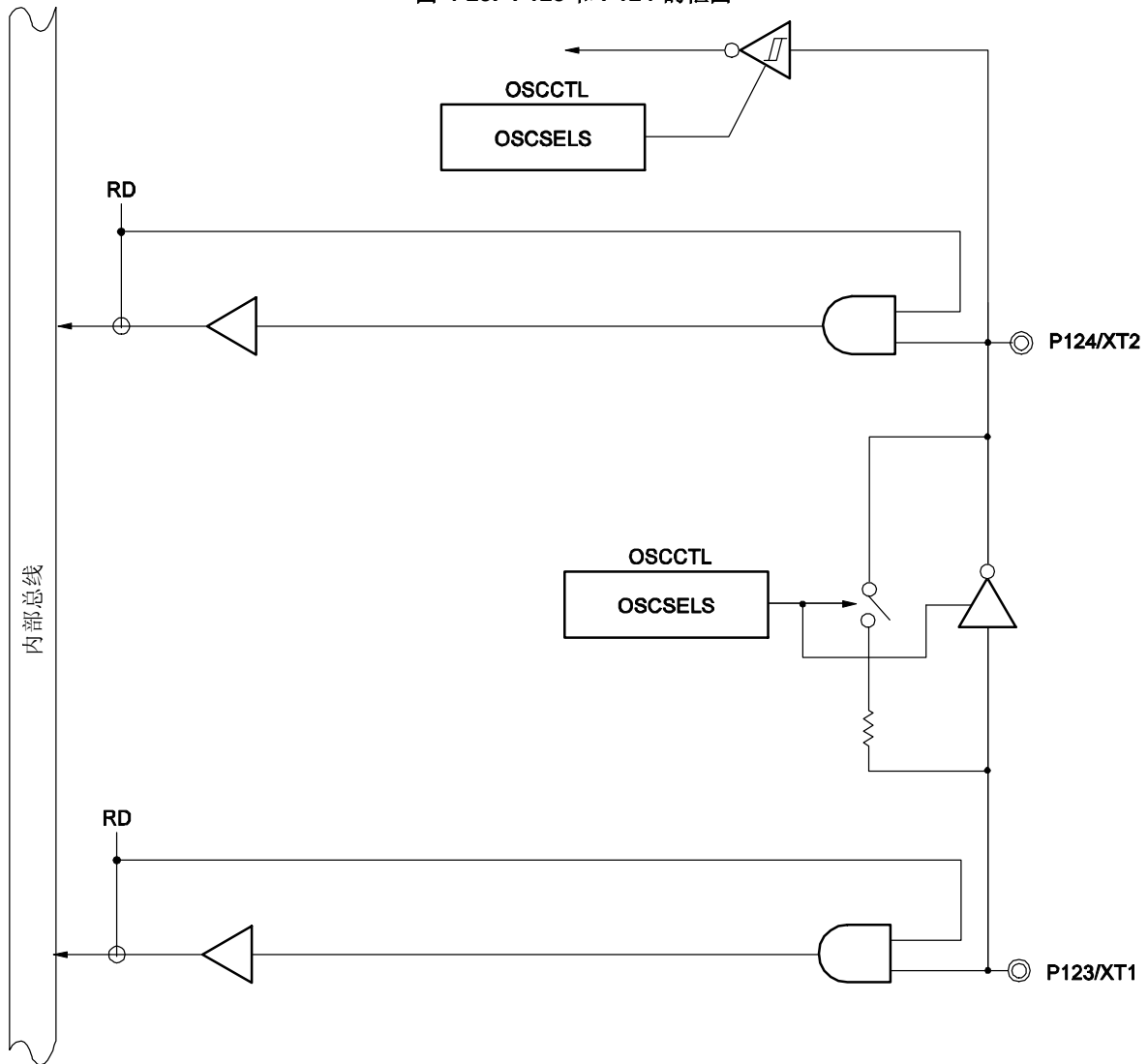
图 4-22. P121 和 P122 的框图



OSCCTL: 时钟操作模式选择寄存器

RD: 读信号

图 4-23. P123 和 P124 的框图



OSCCTL: 时钟操作模式选择寄存器

RD: 读信号

4.2.10 端口 13

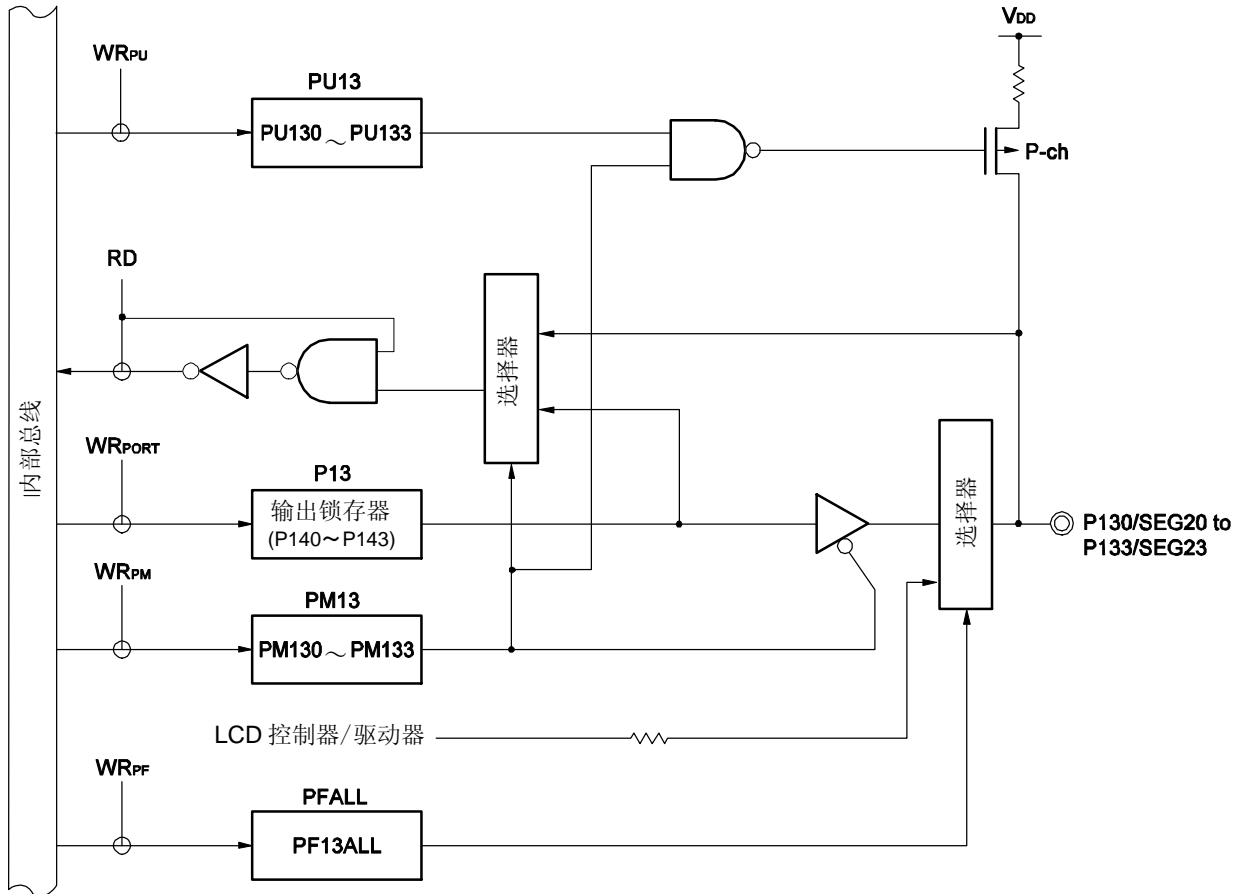
端口 13 是具有输出锁存功能的 4 位 I/O 端口。端口 13 可以使用端口模式寄存器 13(PM13)，位选端口为输入或输出模式。如果 P130~ P133 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 13(PU13)以 1 位单元的方式指定。

这个端口还可以用于 segment 输出。

复位信号的产生可将端口 13 设置为输入模式。

图 4-24 显示端口 13 的框图。

图 4-24. P130 ~ P133 的框图



- P14: 端口寄存器 14
- PU14: 上拉电阻选择寄存器 14
- PM14: 端口模式寄存器 14
- PFALL: 端口功能寄存器 ALL
- RD: 读信号
- WRxx: 写信号

4.2.11 端口 14

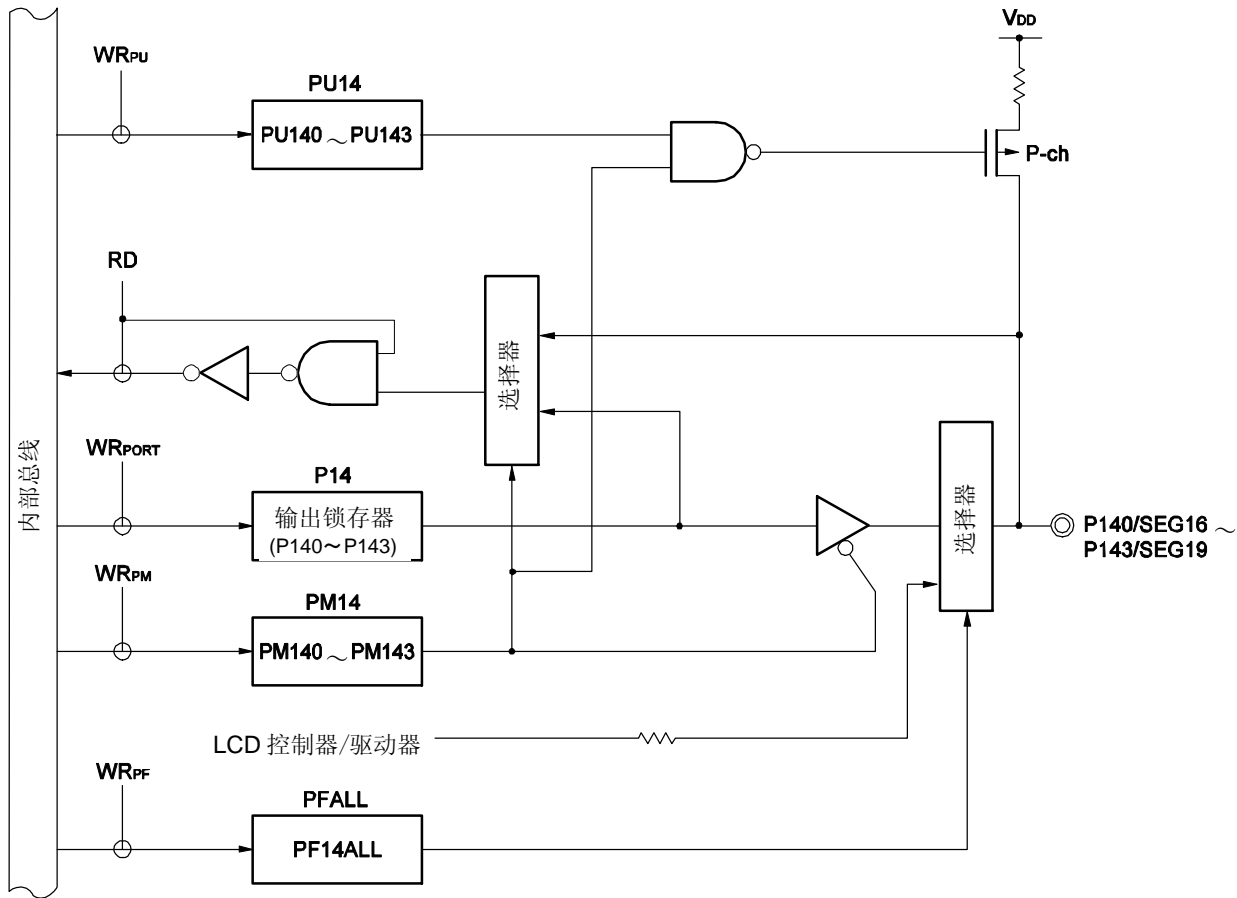
端口 14 是具有输出锁存功能的 4 位 I/O 端口。端口 14 可以使用端口模式寄存器 14(PM14)，位选端口为输入或输出模式。如果 P140~ P143 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 14(PU14)以 1 位单元的方式指定。

这个端口还可以用于 segment 输出。

复位信号的产生可将端口 14 设置为输入模式。

图 4-25 显示端口 14 的框图。

图 4-25. P140 和 P143 的框图



- P14: 端口寄存器 14
- PU14: 上拉电阻选择寄存器 14
- PM14: 端口模式寄存器 14
- PFALL: 端口功能寄存器 ALL
- RD: 读信号
- WR_{xx}: 写信号

4.2.12 端口 15

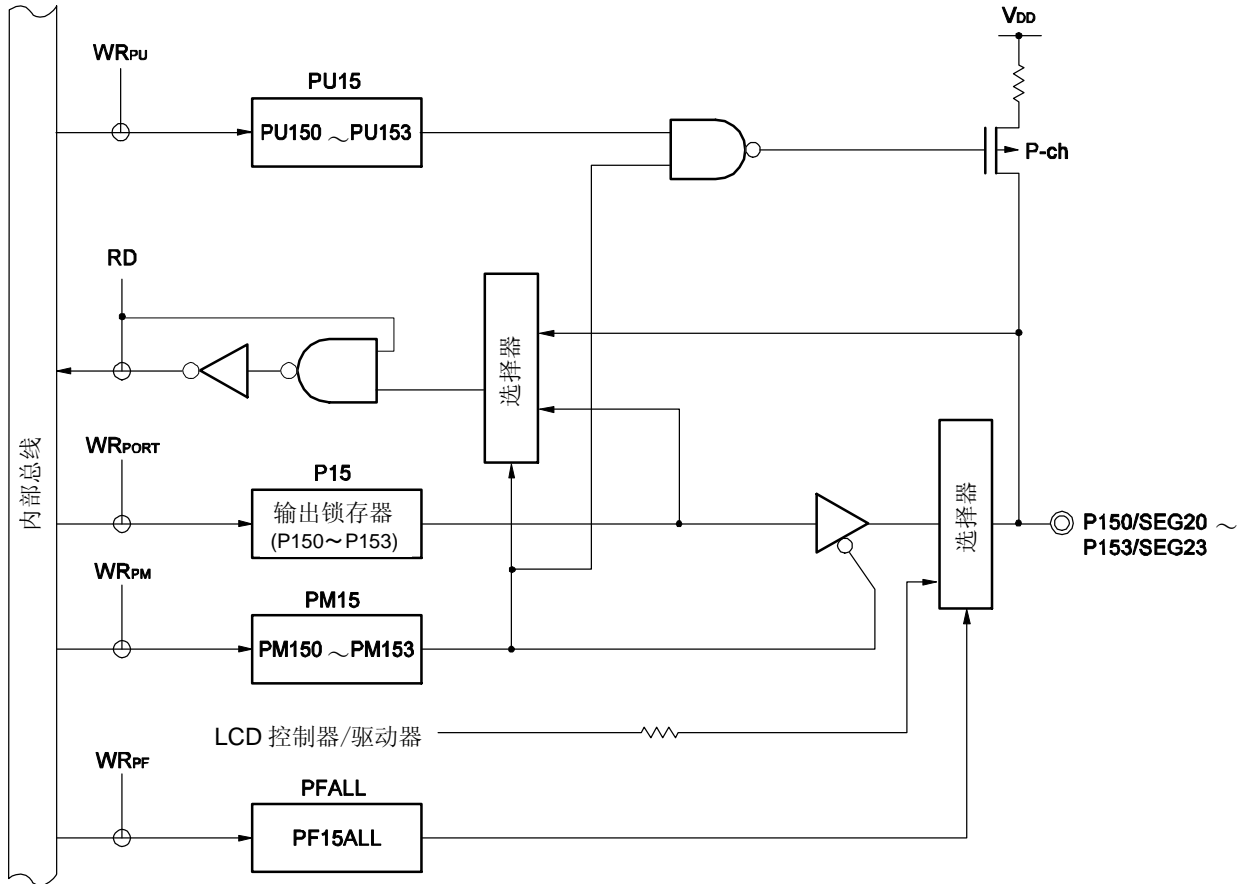
端口 15 是具有输出锁存功能的 4 位 I/O 端口。端口 15 可以使用端口模式寄存器 15(PM15)，位选端口为输入或输出模式。如果 P150~ P153 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 15(PU15)以 1 位单元的方式指定。

这个端口还可以用于 segment 输出。

复位信号的产生可将端口 15 设置为输入模式。

图 4-26 显示端口 15 的框图。

图 4-26. P150 ~ P153 的框图



- P15: 端口寄存器 15
- PU15: 上拉电阻选择寄存器 15
- PM15: 端口模式寄存器 15
- PFALL: 端口功能寄存器 ALL
- RD: 读信号
- WR_{xx}: 写信号

4.3 控制端口功能的寄存器

端口功能由如下七种类型寄存器控制。

- 端口模式寄存器(PM1 ~ PM4, PM8 ~ PM15)
- 端口寄存器(P1 ~ P4, P8 ~ P15)
- 上拉电阻选择寄存器(PU1, PU3, PU4, PU8 ~ PU15)
- 端口功能寄存器 1 (PF1)
- 端口功能寄存器 2 (PF2)^{注1}
- 端口功能寄存器 ALL (PFALL)
- A/D 端口配置寄存器 0 (ADPC0)^{注2}

注 1. 仅适用于 μ PD78F047x 和 78F048x。
2. 仅适用于 μ PD78F048x 和 78F049x。

(1) 端口模式寄存器(PM1 ~ PM4, PM8 ~ PM15)

这类寄存器以 1 位单元的方式定义端口的输入或输出模式。

可以由 1 位或 8 位存储器操作指令设置这些寄存器。

复位信号的产生可将这些寄存器的内容设置为 FFH。

当端口引脚使用复用功能时，需要参考 4.5 当使用复用功能时设置 PFALL, PF2, PF1, ISC, 端口模式寄存器和输出锁存。

图 4-27. 端口模式寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位值	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	1	1	1	1	PM93	PM92	PM91	PM90	FF29H	FFH	R/W
PM10	1	1	1	1	PM103	PM102	PM101	PM100	FF2AH	FFH	R/W
PM11	1	1	1	1	PM113	PM112	PM111	PM110	FF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FF2CH	FFH	R/W
PM13	1	1	1	1	PM133	PM132	PM131	PM130	FF2DH	FFH	R/W
PM14	1	1	1	1	PM143	PM142	PM141	PM140	FF2EH	FFH	R/W
PM15	1	1	1	1	PM153	PM152	PM151	PM150	FF2FH	FFH	R/W
PMmn	Pmn 引脚 I/O 模式选择 (m = 1 ~ 4, 8~15; n = 0 ~ 7)										
0	输出模式 (输出缓冲器打开)										
1	输入模式 (输出缓冲器关闭)										

注意事项 确保设 PM3 的 5~7 位, PM8 的 4~7 位, PM9 的 4~7 位, PM10 的 4~7 位, PM11 的 4~7 位, PM12 的 1~7 位, PM13 的 4~7 位, b PM14 的 4~7 位, PM15 的 4 和 7 位为“1”。

(2) 端口寄存器(P1 ~ P4, P8 ~ P15)

这类寄存器用于设置芯片端口要输出的数据。

如果在输入模式下读端口，则读取的是引脚电平。如果在输出模式下读端口，则读取的是输出锁存器的值。

可以由 1 位或 8 位存储器操作指令设置这些寄存器。

复位信号的产生可将寄存器清零(00H)。

图 4-28. 端口寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位值	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (输出锁存)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (输出锁存)	R/W
P3	0	0	0	P34	P33	P32	P31	P30	FF03H	00H (输出锁存)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FF04H	00H (输出锁存)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FF08H	00H (输出锁存)	R/W
P9	0	0	0	0	P93	P92	P91	P90	FF09H	00H (输出锁存)	R/W
P10	0	0	0	0	P103	P102	P101	P100	FF0AH	00H (输出锁存)	R/W
P11	0	0	0	0	P113	P112	P111	P110	FF0BH	00H (输出锁存)	R/W
P12	0	0	0	0	0	0	0	P120	FF0CH	00H (输出锁存)	R/W
P13	0	0	0	0	P133	P132	P131	P130	FF0DH	00H (输出锁存)	R/W
P14	0	0	0	0	P143	P142	P141	P140	FF0EH	00H (输出锁存)	R/W
P15	0	0	0	0	P153	P152	P151	P150	FF0FH	00H (输出锁存)	R/W

Pmn	m = 1 to 4, 8~ 15; n = 0~ 7	
	输出数据控制 (输出模式下)	输入数据读取 (输入模式下)
0	输出 0	输入低电平
1	输出 1	输入低电平

(3) 上拉电阻选择寄存器(PU1, PU3, PU4, PU8 to PU15)

这类寄存器指定是否使用 P10 ~ P17, P30 ~ P34, P40 ~ P47, P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P120, P130 ~ P133, P140 ~ P143, 或 P150 ~ P153 的内部上拉电阻。并且这些引脚已通过 PU1, PU3, PU4, 和 PU8 ~ PU15 指定为使用内部上拉电阻。不论是否设置了 f PU1, PU3, PU4, and PU8 ~ PU15, 设置为输出模式的引脚和用作复用功能的输出引脚都不连接内部上拉电阻。

可以由 1 位或 8 位存储器操作指令设置这些寄存器。

复位信号的产生可将这些寄存器清零(00H)。

图 4-29. 上拉电阻选择寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位值	RW
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	RW
PU3	0	0	0	PU34	PU33	PU32	PU31	PU30	FF33H	00H	RW
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	FF34H	00H	RW
PU8	0	0	0	0	PU83	PU82	PU81	PU80	FF38H	00H	RW
PU9	0	0	0	0	PU93	PU92	PU91	PU90	FF39H	00H	RW
PU10	0	0	0	0	PU103	PU102	PU101	PU100	FF3AH	00H	RW
PU11	0	0	0	0	PU113	PU112	PU111	PU110	FF3BH	00H	RW
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	RW
PU13	0	0	0	0	PU133	PU132	PU131	PU130	FF3DH	00H	RW
PU14	0	0	0	0	PU143	PU142	PU141	PU140	FF3EH	00H	RW
PU15	0	0	0	0	PU153	PU152	PU151	PU150	FF3FH	00H	RW
PUmn	Pmn 引脚内部上拉电阻选择 (m = 1, 3, 4, 8~15; n = 0 ~ 7)										
0	不连接内部上拉电阻										
1	连接内部上拉电阻										

<R>

(4) 端口功能寄存器 1 (PF1)

此寄存器用来设置 P13/SO10/TxD0 和 P16/SOA0/TxD6 引脚的功能。

PF1 可以由 1 位或 8 位存储器操作指令设置。

复位信号的产生可将 PF1 清零 (00H)。

图 4-30. 端口功能寄存器 1 (PF1)的格式

地址: FF20H 复位后 00H R/W

符号	7	6	5	4	3	2	1	0
PF1	0	PF16	0	0	PF13	0	0	0

PF16	指定Port (P16), CSI10, UART0和 UART6 输出
0	用作 P16 或 SO10
1	用作 TxD0 或 TxD6

PF13	指定Port (P13), CSI10, UART0和 UART6 输出
0	用作 P13 或 SO10
1	用作 TxD0 或 TxD6

(5) 端口功能寄存器 2 (PF2) (仅适用于 μ PD78F047x 和 78F048x)

此寄存器用来设置 P20 ~ P27 引脚作为端口引脚 (除 segment 输出引脚) 或 segment 输出引脚。

PF2 可以由 1 位或 8 位存储器操作指令设置。

复位信号的产生可将 PF2 清零 (00H)。

图 4-31. 端口功能寄存器 2 (PF2)的格式

地址: FFB5H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
PF2	PF27	PF26	PF25	PF24	PF23	PF22	PF21	PF20

PF2n	指定端口/segment 输出
0	用作端口(除segment 输出)
1	用作segment 输出

备注 n = 0 ~ 7

(6) 端口功能寄存器 ALL (PFALL)

此寄存器用来设置 P8 ~ P11 和 P13 ~ P15 引脚作为端口引脚（除 segment 输出引脚）或 segment 输出引脚。

PFALL 可以由 1 位或 8 位存储器操作指令设置。

复位信号的产生可将 PFALL 清零（00H）。

图 4-32. 端口功能寄存器 ALL (PFALL)的格式

地址: FFB6H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
PFALL	0	PF15ALL	PF14ALL	PF13ALL	PF11ALL	PF10ALL	PF09ALL	PF08ALL

PFnALL	指定端口/segment 输出
0	用作端口(除segment 输出)
1	用作segment 输出

备注 n = 08~ 11, 13 ~ 15

(7) A/D 端口配置寄存器 0 (ADPC0) (仅适用于 μ PD78F048x 和 78F049x)

此寄存器将 P20/ANI0 ~ P27/ANI7 引脚切换为 A/D 转换器的模拟输入或数字 I/O 端口。

ADPC0 可以由 1 位或 8 位存储器操作指令设置。

复位信号的产生可将本寄存器置为 08H。

图 4-33. A/D 端口配置寄存器 0 (ADPC0)的格式

地址: FF8FH 复位后: 08H R/W

符号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPC03	ADPC02	ADPC01	ADPC00

ADPC03	ADPC02	ADPC01	ADPC00	数字 I/O(D)/模拟输入(A:逐次逼近型、 Δ : $\Delta\Sigma$ 型)切换								
				P27/ ANI7/ REF+	P26/ ANI6/ REF-	P25/ ANI5/ DS2+	P24/ ANI4/ DS2-	P23/ ANI3/ DS1+	P22/ ANI2/ DS1-	P21/ ANI1/ DS0+	P20/ ANI0/ DS0-	
0	0	0	0	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ
0	0	0	1	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A	D	D
0	0	1	0	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	D	D	D
0	0	1	1	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A	D	D	D	D
0	1	0	0	A/ Δ	A/ Δ	A/ Δ	A/ Δ	D	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D	D
除此之外				禁止设置								

- 注意事项
1. 通过使用端口模式寄存器 2(PM2)将用于 A/D 转换的通道设置为输入模式。
 2. 由 ADPC 设置数字 I/O，不能由 ADS, ADDS1 或 ADDS0 设置。
 3. 如果将数据写入 ADPC，则产生一个等待周期。当 CPU 使用子系统时钟并且外部硬件时钟停止时，不要将数据写入 ADPC。详细情况可参见 第三十三章 等待注意事项。
 4. 如果 ANI0/P20/SEG31 ~ ANI7/P27/SEG24 引脚经 PF2 设置为 segment 输出，不必考虑 ADPC0 设置(仅适用于 μ PD78F048x)。

4.4 端口功能操作

对输入模式和输出模式的端口操作是不同的，具体如下所示。

注意事项 1 位操作指令的情况下，虽然只操作了一个信号位，这个端口也要作为 8 位单元来访问。因此，对于一个输入输出引脚混合的端口，指定为输入状态的引脚，其输出锁存器的内容是不确定的，即使是未操作的位。

4.4.1 写入 I/O 端口

(1) 输出模式

使用传送指令对输出锁存器进行写操作，输出锁存器的内容从引脚输出。

一旦数据写入输出锁存器，它将一直保存到新数据被写入。

当复位信号产生时输出锁存器的内容被清零。

(2) 输入模式

使用传送指令对输出锁存器进行写操作，因为输出缓冲器处于关闭状态，所以引脚状态不会改变。

一旦数据写入输出锁存器，它将一直保存到新数据被写入。

4.4.2 读取 I/O 端口

(1) 输出模式

使用传送指令读取的是输出锁存器的内容。输出锁存器的内容不会改变。

(2) 输入模式

使用传送指令读取的是引脚状态。输出锁存器的内容不会改变。

4.4.3 I/O 端口的操作

(1) 输出模式

对输出锁存器执行一个操作时，操作结果写入输出锁存器。而输出锁存器的内容则从引脚输出。

一旦数据写入输出锁存器，它将一直保存到新数据被写入。

当复位信号的产生时输出锁存器的内容被清零。

(2) 输入模式

读取引脚电平，对它的内容执行操作，操作的结果写入输出锁存器，因为输出缓冲器处于关闭状态，所以引脚状态不会改变。

4.5 使用复用功能时，PFALL, PF2, PF1, ISC 端口模式寄存器和输出锁存器的设置

为使用端口引脚的复用功能，应按表 4-5 所示对端口模式寄存器和输出锁存器进行设置。

表 4-5. 使用复用功能时, PFALL, PF2, PF1, ISC 端口模式寄存器和输出锁存器的设置(1/2)

引脚名称	复用功能		PFALL, PF2 注 4	PF1	ISC	PM _{xx}	P _{xx}
	功能名称	I/O					
P10	PCL	输出	-			0	0
P11	SCK10	输入	-			1	×
		输出	-			0	1
P12	SI10	输入	-			1	×
	RxD0	输入	-			1	×
P13 注 10	SO10	输出	-	PF13 = 0		0	0
	TxD0	输出	-	PF13 = 1		0	×
P14	SCKA0	输入	-			1	×
		输出	-			0	1
	INTP4	输入	-			1	×
P15	SIA0	输入	-			1	×
	<RxD6>	输入	-		ISC4 = 1 注 5	1	×
P16 注 11	SOA0	输出	-	PF16 = 0		0	0
	<TxD6>	输出	-	PF16 = 1	ISC4 = 1	0	×
P20 to P27 注 2	SEG39 to SEG32	输出	1			×	×
	ANI0 to ANI7 注 1	输入	0			1	×
	DS0± to DS2± 注 8	输入	0			1	×
	REF± 注 8	输入	0			1	×
P30	INTP5	输入	-			1	×
P31	TOH1	Output	-			0	0
	INTP3	输入	-			1	×
P32	TOH0	Output	-			0	0
	MCGO	Output	-			0	0
P33	TI000	输入	-		ISC1 = 0	1	×
	RTCDIV	Output	-			0	0
	RTCCL	Output	-			0	0
	BUZ	Output	-			0	0
	INTP2	输入	-			1	×
P34	TI52	输入	-		注 6	1	×
	TI010	输入	-			1	×
	TO00	Output	-			0	0
	RTC1HZ	Output	-			0	0
	INTP1	输入	-			1	×

(注 and Remark are listed on the page after next.)

表 4-5. 使用 PFALL, PF2, PF1, ISC, 端口模式寄存器, 和 输出锁存时的设置
复用功能 (2/2)

引脚名称	复用功能		PFALL, PF2 ^{注 4}	ISC	PM _{xx}	P _{xx}
	功能名称	I/O				
P40	KR0	输入	-		1	×
	V _{LC3} ^{注 9}	输入	-		×	×
P41	KR1	输入	-		1	×
	RIN	输入	-		1	×
P42	KR2	输入	-		1	×
P43	KR3	输入	-		1	×
	TI51	输入	-		1	×
	TO51	输出	-		0	0
P44	KR4	输入	-		1	×
	TI50	输入	-		1	×
	TO50	输出	-		0	0
P45	KR5	输入	-		1	×
P46	KR6	输入	-		1	×
P47	KR7	输入	-		1	×
P80 to P83	SEG4 to SEG7	输出	1		×	×
P90 to P93	SEG8 to SEG11	输出	1		×	×
P100 to P103	SEG12 to SEG15	输出	1		×	×
P110	SEG16	输出	1	ISC3 = 0	×	×
P111	SEG17	输出	1	ISC3 = 0	×	×
P112	SEG18	输出	1	ISC3 = 0	×	×
	TxD6	输出	0	ISC3 = 1, ISC4 = ISC5 = 0	0	1
P113	SEG19	输出	1	ISC3 = 0	×	×
	RxD6	输入	0	ISC3 = 1, ISC4 = ISC5 = 0 ^{注 s 5, 7}	1	×
P120	EXLVI	输入	-		1	×
	INTPO	输入	-	ISC0 = 0	1	×
P121	X1 ^{注 3}	-	-		×	×
	OCD0A	-	-		×	×
P122	X2 ^{注 3}	-	-		×	×
	EXCLK ^{注 3}	输入	-		×	×
	OCD0B	-	-		×	×
P123	XT1 ^{注 3}	-	-		×	×
P124	XT2 ^{注 3}	-	-		×	×
P130 to P133	SEG20 to SEG23	输出	1		×	×
P140 to P143	SEG24 to SEG27	输出	1		×	×
P150 to P153	SEG28 to SEG31	输出	1		×	×

(注和备注在下一页。)

- 注 1. 仅适用于 μ PD78F048x 和 78F049x。
2. 通过使用端口功能寄存器 2 (PF2)、A/D 端口配置寄存器 0 (ADPC0)、端口模式寄存器 2 (PM2)、模拟输入通道规格寄存器 (ADS) 和 $\Delta\Sigma$ A/D 转换器模式寄存器 0 (ADDCTL0), 可以选择 P20/ANI0/DS0-, P21/ANI1/DS0+, P22/ANI2/DS1-, P23/ANI3/DS1+, P24/ANI4/DS2-, P25/ANI5/DS2+, P26/ANI6/REF-, 和 P27/ANI7/REF+引脚的功能。

表 4-6. 设置 P20/SEG39^{注1}/ANI0^{注2}/DS0-^{注3} ~ P27/SEG32^{注1}/ANI7^{注2}/REF+^{注3} 引脚功能

PF2 ^{注1}	ADPC0	PM2	ADS	ADDCTL0	P20/SEG39 ^{注1} /ANI0 ^{注2} /DS0- ^{注3} ~ P27/SEG32 ^{注1} /ANI7 ^{注2} /REF+ ^{注3} 引脚
数字/模拟 选择	模拟输入选择	输入模式	不选择 ANI.	不选择 DS $n\pm$.	模拟输入 (不得修改)
			选择 ANI.	不选择 DS $n\pm$.	模拟输入 (可由逐次逼近型 A/D 转换器修改)
			不选择 ANI.	选择 DS $n\pm$.	模拟输入 (可由 16 位 $\Delta\Sigma$ 型 A/D 转换器修改)
			选择 ANI.	选择 DS $n\pm$.	禁止设置
		输出模式	-	禁止设置	
	数字 I/O 选择	输入模式	-	数字输入	
输出模式		-	数字输出		
SEG 输出选择 ^{注1}	-	-	-	Segment 输出 ^{注1}	

- 注 s 1. 仅适用于 μ PD78F047x 和 78F048x。
2. 仅适用于 μ PD78F048x 和 78F049x。
3. 仅适用于 μ PD78F049x。

备注 n = 0 to 2

3. 当使用 P121 ~ P124 引脚连接主系统时钟 (X1,X2) 或副系统时钟 (XT1,XT2) 的振荡器, 或者输入该主系统时钟的外部时钟 (EXCLK) 时, 必须通过使用时钟操作模式选择寄存器 (OSCCTL) 对 X1 振荡模式、XT1 振荡模式或者外部时钟输入模式进行设置 (如需了解详细信息, 可参见 5.3 (1) 时钟操作模式选择寄存器 (OSCCTL) 和 (3) 副系统时钟引脚操作模式设置)。OSCCTL 的复位值为 00H (P121 ~ P124 都用作输入端口引脚)。
4. 每个端口相应的目标寄存器。
5. 设置 ISC1 = 1, RxD6 作为 TI000 的输入源。
6. 设置 ISC2 = 1, 可由 TMH2 控制 TM52 输入。
7. 设置 ISC0 = 1, RxD6 作为 INTP0 的输入源。
8. 仅适用于 μ PD78F049x。
9. 当 P40/KR0/V_{LC3} 引脚用作 V_{LC3} 时, 设置为 1/4 分频模式。当它用作端口功能(P40)或按键中断功能 (KR0)时, 设置为其他分频模式。
10. 用作端口功能时设置 PF13 = 0。
11. 用作端口功能时设置 PF16 = 0。

备注

1. x: 不必考虑
-: 不提供
PM xx : 端口模式寄存器
P xx : 端口输出锁存
2. 箭头 (< >) 内的功能由输入转换控制寄存器 (ISC) 分配。
3. X1, X2 引脚用于片上调试模式设定引脚 (OCD1A, OCD1B)。详情请参看 第二十九章 片上调试功能

5.1 时钟发生器的功能

时钟发生器用于产生时钟，并提供给 CPU 和外部硬件设备。

可以使用以下三种系统时钟和时钟振荡器。

(1) 主系统时钟

<1> X1 振荡器

通过连接一个振荡器到 X1 和 X2，该振荡电路产生 $f_x = 2 \sim 10\text{MHz}$ 的时钟。

通过执行 STOP 指令或设置主 OSC 控制寄存器(MOC)，可以停止振荡。

<2> 内部高速振荡器

这个振荡电路产生一个 $f_{RH} = 8\text{MHz}$ (TYP.)的时钟。复位释放后，CPU 总是使用这个内部高速振荡时钟进行操作。可以通过执行 STOP 指令或者使用内部振荡模式寄存器(RCM)停止其振荡。

外部主系统时钟($f_{EXCLK} = 2 \sim 10\text{MHz}$)也可以通过 OCD0B/EXCLK/X2/P122 引脚提供。可以通过执行 STOP 指令或者使用 RCM 禁止外部主系统时钟输入。

可以通过使用主时钟模式寄存器(MCM)选择内部高速系统时钟(X1 时钟或者外部主系统时钟)或内部高速振荡时钟，作为主系统时钟。

(2) 副系统时钟

• 副系统时钟振荡器

通过在 XT1 和 XT2 之间连接一个 32.768kHz 的振荡器，该电路以 $f_{XT} = 32.768\text{kHz}$ 的频率进行振荡。通过使用处理器时钟控制寄存器(PCC)和时钟操作模式选择寄存器(OSCCTL)，可以停止振荡。

备注	1. f_x :	X1 时钟振荡频率
	2. f_{RH} :	内部高速振荡时钟频率
	3. f_{EXCLK} :	外部主系统时钟频率
	4. f_{XT} :	XT1 时钟振荡频率

(3) 内部低速振荡时钟(看门狗定时器时钟)

- 内部低速振荡器

该电路以 $f_{RL} = 240 \text{ kHz}$ (TYP.)的时钟振荡。复位释放后，内部低速振荡时钟总是启动操作。

当通过选项字节设置“内部低速振荡器可由软件停止”时，可以通过使用内部振荡模式寄存器(RCM)停止其振荡。

内部低速振荡时钟不能作为 CPU 时钟。如下硬件使用内部低速振荡时钟。

- 看门狗定时器
- 8 位定时器 H1 (如果选择 f_{RL} , $f_{RL}/2^7$ 或 $f_{RL}/2^9$ 作为计数时钟)
- LCD 控制器/驱动器 (如果选 $f_{RL}/2^3$ 为 LCD 时钟源)

备注 f_{RL} : 内部低速振荡时钟频率

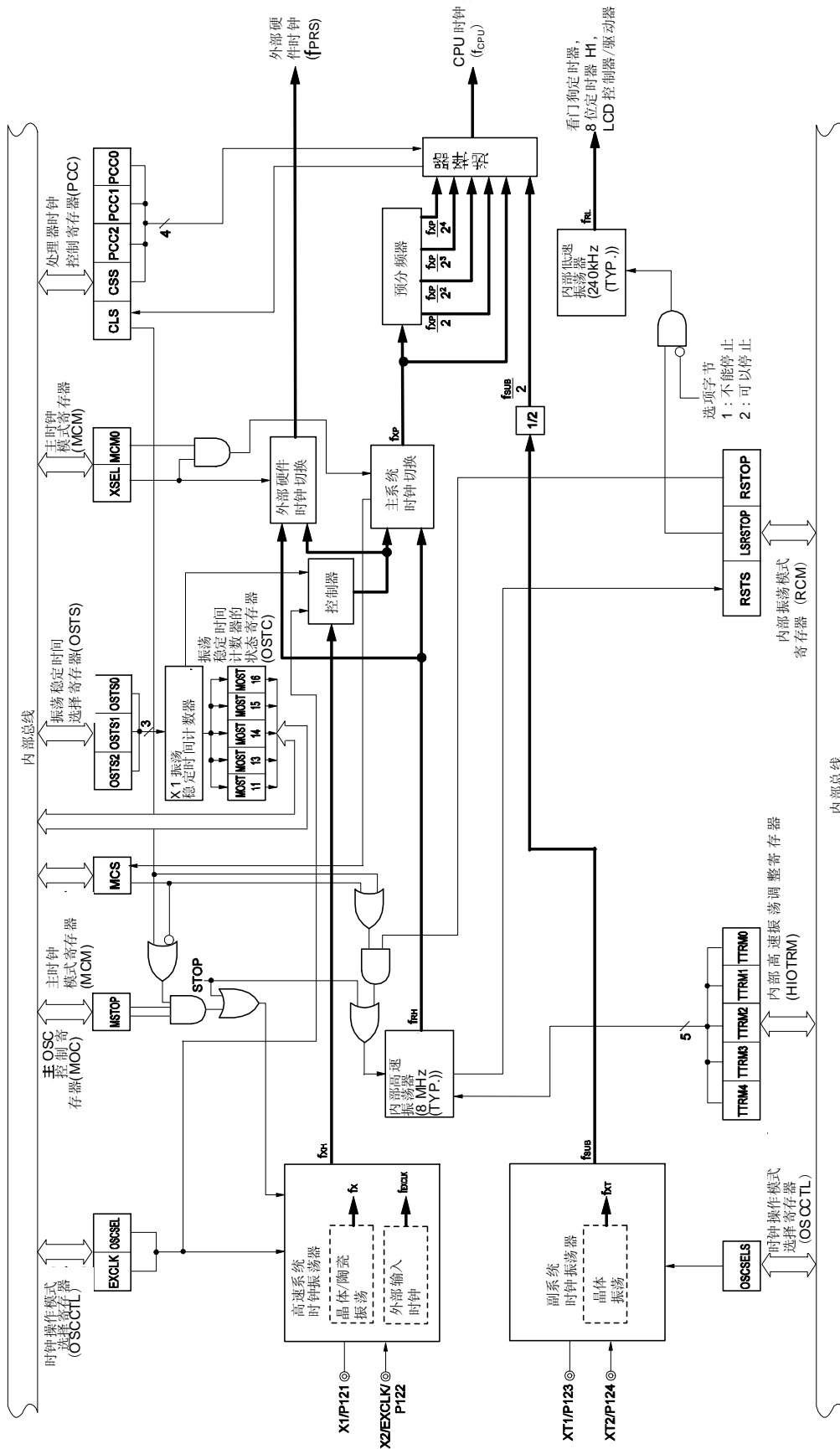
5.2 时钟发生器的配置

时钟发生器包括以下硬件。

表 5-1. 时钟发生器的配置

项目	构成
控制寄存器	时钟操作模式选择寄存器(OSCCTL) 处理器时钟控制寄存器 (PCC) 内部振荡模式寄存器 (RCM) 主 OSC 控制寄存器 (MOC) 主时钟模式寄存器 (MCM) 振荡稳定时间计数器的状态寄存器(OSTC) 振荡稳定时间选择寄存器(OSTS) 内部高速振荡调整寄存器(HIOTRM)
振荡器	X1 振荡器 XT1 振荡器 内部高速振荡器 内部低速振荡器

图 5-1. 时钟发生器的框图



备注	1. f _X :	X1 时钟振荡频率
	2. f _{RH} :	内部高速振荡时钟频率
	3. f _{EXCLK} :	外部主系统时钟频率
	4. f _{XH} :	高速系统时钟频率
	5. f _{XP} :	主系统时钟频率
	6. f _{PRS} :	外部硬件时钟频率
	7. f _{CPU} :	CPU 时钟频率
	8. f _{XT} :	XT1 时钟振荡频率
	9. f _{SUB} :	副系统时钟频率
	10. f _{RL} :	内部低速振荡时钟频率

5.3 控制时钟发生器的寄存器

以下八种寄存器用于控制时钟发生器。

- 时钟操作模式选择寄存器 (OSCCTL)
- 处理器时钟控制寄存器 (PCC)
- 内部振荡模式寄存器 (RCM)
- 主 OSC 控制寄存器(MOC)
- 主时钟模式寄存器 (MCM)
- 振荡稳定时间计数器的状态寄存器 (OSTC)
- 振荡稳定时间选择寄存器 (OSTS)
- 内部高速振荡调整寄存器 (HIOTRM)

(1) 时钟操作模式选择寄存器 (OSCCTL)

该寄存器用于选择高速系统和副系统时钟的操作模式，以及内置振荡器的获取方式。可由一个 1 位或 8 位存储器操作指令设置 OSCCTL。

复位信号的产生可将这个寄存器设置为 00H。

图 5-2. 时钟操作模式选择寄存器的格式(OSCCTL)

地址: FF9FH 复位后: 00H R/W

符号	<7>	<6>	5	<4>	3	2	1	0
OSCCTL	EXCLK	OSCSEL	0	OSCSELS	0	0	0	0

EXCLK	OSCSEL	高速系统时钟引脚操作模式	P121/X1 引脚	P122/X2/EXCLK 引脚
0	0	输入端口模式	输入端口	
0	1	X1 振荡模式	晶体/陶瓷振荡器连接	
1	0	输入端口模式	输入端口	
1	1	外部时钟输入模式	输入端口	外部时钟输入

注意事项 若要修改 EXCLK 和 OSCSEL，必须确保主 OSC 控制寄存器(MOC)的第 7 位(MSTOP)=1(X1 振荡器停止或禁止使用来自 EXCLK 引脚的外部时钟)。必须将位 0 ~ 3 和位 5 清零。

备注 f_{XH}: 高速系统时钟振荡频率

(2) 处理器时钟控制寄存器(PCC)

PCC 用于选择 CPU 时钟、分频比和副系统时钟的操作模式。

由 1 位或 8 位存储器操作指令设置 PCC。

复位信号的产生可将 PCC 设置为 01H。

图 5-3. 处理器时钟控制寄存器(PCC)的格式

地址: FFFBH 复位后: 01H R/W^{注1}

符号	7	6	<5>	<4>	3	2	1	0
PCC	0	0	CLS	CSS	0	PCC2	PCC1	PCC0

CLS	CPU 时钟状态
0	主系统时钟
1	副系统时钟

CSS	PCC2	PCC1	PCC0	CPU 时钟 (f _{cpu}) 选择
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (默认)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
其他情况				禁止设置

注 第 5 位只读。

注意事项 必须将第 3, 6 位和第 7 位清零。

- 备注**
1. f_{XP}: 主系统时钟振荡频率
 2. f_{SUB}: 副系统时钟振荡频率

在 78K0/LF3 中执行速度最快的指令执行时间在 2 个 CPU 时钟以内。CPU 时钟(f_{cpu})与指令最短执行时间的关系如表 5-2 所示。

表 5-2. CPU 时钟与指令最短执行时间的关系

CPU 时钟(f_{CPU})	指令最短执行时间: $2/f_{CPU}$		
	主系统时钟		副系统时钟
	高速系统时钟 [※]	内部高速振荡时钟 [※]	
	工作频率: 10 MHz	工作频率: 8 MHz (TYP.)	工作频率: 32.768 kHz
f_{XP}	0.2 μs	0.25 μs (TYP.)	–
$f_{XP}/2$	0.4 μs	0.5 μs (TYP.)	–
$f_{XP}/2^2$	0.8 μs	1.0 μs (TYP.)	–
$f_{XP}/2^3$	1.6 μs	2.0 μs (TYP.)	–
$f_{XP}/2^4$	3.2 μs	4.0 μs (TYP.)	–
$f_{SUB}/2$	–	–	122.1 μs

注 主时钟模式寄存器(MCM)用于设置提供给 CPU 的主系统时钟(高速系统时钟/ 内部高速振荡时钟) (参见图 5-6)。

(3) 副系统时钟引脚操作模式的设置

使用时钟操作模式选择寄存器(OSCCTL)的第 4 位(OSCSELS)设置副系统时钟引脚操作模式。

表 5-3. 副系统时钟引脚操作模式的设置

OSCCTL 第 4 位	副系统时钟引脚操作模式	P123/XT1 引脚	P124/XT2 引脚
OSCSELS			
0	输入端口模式	输入端口	
1	XT1 振荡模式	晶体振荡器连接	

注意事项 改变 OSCSELS 的当前值时, 应确保处理器时钟控制寄存器(PCC)的第 5 位(CLS) =0 (CPU 使用主系统时钟)。

(4) 内部振荡模式寄存器 (RCM)

内部振荡模式寄存器用于设置内部振荡器操作模式。

由 1 位或 8 位存储器操作指令设置 RCM。

复位信号的产生可将该寄存器设置为 80H^{#1}。

图 5-4. 内部振荡模式寄存器(RCM)的格式

地址: FFA0H 复位后: 80H^{#1} R/W^{#2}

符号	<7>	6	5	4	3	2	<1>	<0>
RCM	RSTS	0	0	0	0	0	LSRSTOP	RSTOP

RSTS	内部高速振荡器状态
0	等待内部高速振荡器精确稳定
1	内部高速振荡器的稳定操作

LSRSTOP	内部低速振荡器振荡/停止
0	内部低速振荡器振荡
1	内部低速振荡器停止

RSTOP	内部高速振荡器振荡/停止
0	内部高速振荡器振荡
1	内部高速振荡器停止

- 注
1. 复位释放后寄存器的值立即变为 00H，但在内部高速振荡器稳定后又自动变为 80H。
 2. 第 7 位为只读。

注意事项 当设置 RSTOP =1 时，必须确保 CPU 使用的不是内部高速振荡时钟。特别地，在下列任一条件下，可以设置 RSTOP =1。

- 当 MCS = 1 (当 CPU 使用高速系统时钟时)
- 当 CLS = 1 (当 CPU 使用副系统时钟时)

此外，在将 RSTOP 设置为 1 之前应停止正在使用内部高速振荡时钟操作的外部硬件。

(5) 主 OSC 控制寄存器 (MOC)

MOC 用于选择高速系统时钟的操作模式。

当 CPU 不使用高速系统时钟时，该寄存器用于停止 X1 振荡器或禁止 EXCLK 引脚的外部时钟输入。

可以用 1 位或 8 位存储器操作指令设置 MOC。

复位信号的产生可将该寄存器设置为 80H。

图 5-5. 主 OSC 控制寄存器 (MOC)的格式

地址: FFA2H 复位后: 80H R/W

符号	<7>	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速系统时钟操作控制	
	X1 振荡模式	外部时钟输入模式
0	X1 振荡器操作	允许使用来自 EXCLK 引脚的外部时钟
1	X1 振荡器停止	禁止使用来自 EXCLK 引脚的外部时钟

- 注意事项**
1. 设置 **MSTOP = 1** 时，必须确保 CPU 使用的不是高速系统时钟。特别地，在下列任一条件下，可以设置 **MSTOP = 1**。
 - 当 **MCS = 0** (当 CPU 使用内部高速振荡时钟时)
 - 当 **CLS = 1** (当 CPU 使用副系统时钟时)
 此外，在设置 **MSTOP** 为 1 之前应停止正在使用高速系统时钟操作的外部硬件。
 2. 当时钟操作模式选择寄存器(OSCCTL)的第 6 位(OSCSEL)= 0(I/O 端口模式)时，不要将 **MSTOP** 清零。
 3. 外部硬件时钟停止时外部硬件不能操作。外部硬件时钟停止后，若要恢复外部硬件的操作，则必须初始化外部硬件。

(6) 主时钟模式寄存器 (MCM)

MCM 用于选择提供给 CPU 的主系统时钟和提供给外部硬件的时钟。

由 1 位或 8 位存储器操作指令设置 MCM。

复位信号的产生可对寄存器清零(00H)。

图 5-6. 主时钟模式寄存器 (MCM) 的格式

地址: FFA1H 复位后: 00H R/W[※]

符号	7	6	5	4	3	<2>	<1>	<0>
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	主系统和外部硬件的时钟选择	
		主系统时钟 (f _{XP})	外部硬件时钟 (f _{PRS})
0	0	内部高速振荡时钟 (f _{RH})	内部高速振荡时钟 (f _{RH})
0	1		高速系统时钟 (f _{XH})
1	0	高速系统时钟 (f _{XH})	
1	1		高速系统时钟 (f _{XH})

MCS	主系统时钟状态
0	使用内部高速振荡时钟
1	使用高速系统时钟

注 第 1 位只读。

注意事项 1.XSEL 在复位释放后只能被修改一次。

2.无论 XSEL 和 MCM0 如何设置,除了 f_{PRS} 以外的一个时钟将被提供给如下外围硬件功能

- 看门狗定时器(使用内部低速振荡时钟)
- 选择“f_{RL}”, “f_{RL}/2⁷”, 或者 “f_{RL}/2⁹”作为 8 位定时器 H1 的计数时钟(使用内部低速振荡时钟)
- 选择 “f_{RL}/2³” 作为 LCD 控制器/驱动器的 LCD 时钟源(使用内部低速振荡时钟)
- 选择外部时钟作为外部硬件的时钟源
(以下情况除外: 选择 TM0n (n = 0, 1)的外部计数时钟(TI00n 有效沿)时)

(7) 振荡稳定时间计数器的状态寄存器 (OSTC)

该寄存器用于指示 X1 时钟振荡稳定时间计数器的计数状态。当 X1 时钟振荡启动时，使用内部高速振荡时钟或副系统时钟作为 CPU 时钟，X1 时钟振荡稳定时间可以被检测。

可以由 1 位或 8 位存储器操作指令读取 OSTC 的内容。

复位释放后(由 RESET 输入、POC、LVI、和 WDT 进行复位)，通过 STOP 指令，以及设置 MSTOP(MOC 寄存器的第 7 位) = 1，可以对 OSTC 清零(00H)。

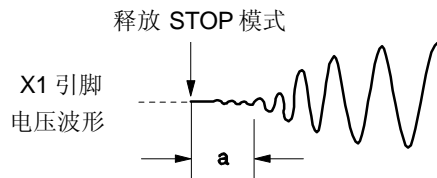
图 5-7. 振荡稳定时间计数器的状态寄存器(OSTC)的格式

地址: FFA3H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST 11	MOST 13	MOST 14	MOST 15	MOST 16	振荡稳定时间的状态			
					$f_x = 2 \text{ MHz}$	$f_x = 5 \text{ MHz}$	$f_x = 10 \text{ MHz}$	
1	0	0	0	0	$2^{11}/f_x \text{ min.}$	1.02 ms min.	409.6 μs min.	204.8 μs min.
1	1	0	0	0	$2^{13}/f_x \text{ min.}$	4.10 ms min.	1.64 ms min.	819.2 μs min.
1	1	1	0	0	$2^{14}/f_x \text{ min.}$	8.19 ms min.	3.27 ms min.	1.64 ms min.
1	1	1	1	0	$2^{15}/f_x \text{ min.}$	16.38 ms min.	6.55 ms min.	3.27 ms min.
1	1	1	1	1	$2^{16}/f_x \text{ min.}$	32.77 ms min.	13.11 ms min.	6.55 ms min.

- 注意事项**
1. 在经过上述稳定时间后，从 MOST11 开始的位依次被设置为 1，并一直保持。
 2. 振荡稳定时间计数器值增加到由 OSTC 设置的振荡稳定时间。当内部高速振荡时钟作为 CPU 时钟，如果已进入 STOP 模式，在释放该模式时，按如下方式设置振荡稳定时间。
 - 预期的 OSTC 振荡稳定时间 \leq 由 OSTC 设置的振荡稳定时间。
 注意，在 STOP 模式释放后，仅将达到振荡稳定时间(由 OSTC 设置)的状态赋给 OSTC。
 3. X1 时钟振荡稳定等待时间不包括时钟振荡开始之前的时间(下图“a”表示的部分)。



备注 f_x : X1 时钟振荡频率

(8) 振荡稳定时间选择寄存器 (OSTS)

OSTS 用于选择 X1 时钟振荡稳定等待时间(当 STOP 模式释放时)。

当 CPU 使用 X1 时钟且 STOP 模式释放后，等待由 OSTS 设置的时间。

当 CPU 使用内部高速振荡时钟时，应使用 OSTC 确认 STOP 模式释放后已经经历了所要求的振荡稳定时间。可以使用 OSTC 检测振荡稳定时间。

可以由 8 位存储器操作指令设置 OSTS。

复位信号的产生将 OSTS 内容设置为 05H。

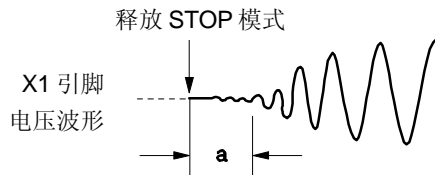
图 5-8. 振荡稳定时间选择寄存器(OSTS)的格式

地址: FFA4H 复位后: 05H R/W

符号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		振荡稳定时间的选择		
				$f_x = 2 \text{ MHz}$	$f_x = 5 \text{ MHz}$	$f_x = 10 \text{ MHz}$
0	0	1	$2^{11}/f_x$	1.02 ms	409.6 μs	204.8 μs
0	1	0	$2^{13}/f_x$	4.10 ms	1.64 ms	819.2 μs
0	1	1	$2^{14}/f_x$	8.19 ms	3.27 ms	1.64 ms
1	0	0	$2^{15}/f_x$	16.38 ms	6.55 ms	3.27 ms
1	0	1	$2^{16}/f_x$	32.77 ms	13.11 ms	6.55 ms
其它情况			禁止设置			

- 注意事项**
1. 当 CPU 使用 X1 时钟时，若要设置 STOP 模式，则必须在执行 STOP 指令之前设置 OSTS。
 2. 在 X1 时钟振荡稳定时间内不要改变 OSTS 的值。
 3. 振荡稳定时间计数器值增加到由 OSTS 设置的振荡稳定时间。CPU 使用内部高速振荡时钟时，如果已进入 STOP 模式，在释放该模式时，按如下方式设置振荡稳定时间。
 - 预期的 OSTC 振荡稳定时间 \leq 由 OSTS 设置的振荡稳定时间。
 注意，在 STOP 模式释放后，仅将达到振荡稳定时间的状态(由 OSTS 设置)赋给 OSTC。
 4. X1 时钟振荡稳定等待时间不包括时钟振荡开始之前的时间(下图“a”表示的部分)。



备注 f_x : X1 时钟振荡频率

(9) 内部高速振荡调整寄存器(HIOTRM)

此寄存器用于调整内部高速振荡器的精确性。通过对内部高速振荡器频率的自测量调整其精确性，使用副系统时钟、晶体振荡器或高精度外部时钟输入定时器，例如实时计数器。

可以由 8 位存储器操作指令设置 HIOTRM。

复位信号的产生将 HIOTRM 设置为 10H。

注意事项 如果在精确性调整后温度或 V_{DD} 引脚电压变动，频率将发生波动。同样，如果 HIOTRM 寄存器设置了除初值 (10H) 以外的值，由于温度或 V_{DD} 电压变动，或 HIOTRM 设置值，内部高速振荡时钟的振荡精确性将超过 MIN. 和 MAX. 值，描述参见第三十一章 电气特性(标准产品)。如果温度或 V_{DD} 电压变动，必须调整频率精确性。

图 5-9. 内部高速振荡调整寄存器(HIOTRM)的格式

地址: FF30H 复位后: 10H R/W

符号	7	6	5	4	3	2	1	0
HIOTRM	0	0	0	TTRM4	TTRM3	TTRM2	TTRM1	TTRM0

TTRM4	TTRM3	TTRM2	TTRM1	TTRM0	时钟调整值(目标) ($2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$)		
					MIN.	TYP.	MAX.
0	0	0	0	0	TBD	-4.88%	TBD
0	0	0	0	1	TBD	-4.62%	TBD
0	0	0	1	0	TBD	-4.33%	TBD
0	0	0	1	1	TBD	-4.03%	TBD
0	0	1	0	0	TBD	-3.73%	TBD
0	0	1	0	1	TBD	-3.43%	TBD
0	0	1	1	0	TBD	-3.13%	TBD
0	0	1	1	1	TBD	-2.83%	TBD
0	1	0	0	0	TBD	-2.53%	TBD
0	1	0	0	1	TBD	-2.22%	TBD
0	1	0	1	0	TBD	-1.91%	TBD
0	1	0	1	1	TBD	-1.60%	TBD
0	1	1	0	0	TBD	-1.28%	TBD
0	1	1	0	1	TBD	-0.96%	TBD
0	1	1	1	0	TBD	-0.64%	TBD
0	1	1	1	1	TBD	-0.32%	TBD
1	0	0	0	0	±0% (默认)		
1	0	0	0	1	TBD	+0.32%	TBD
1	0	0	1	0	TBD	+0.65%	TBD
1	0	0	1	1	TBD	+0.98%	TBD
1	0	1	0	0	TBD	+1.31%	TBD
1	0	1	0	1	TBD	+1.64%	TBD
1	0	1	1	0	TBD	+1.98%	TBD
1	0	1	1	1	TBD	+2.32%	TBD
1	1	0	0	0	TBD	+2.66%	TBD
1	1	0	0	1	TBD	+3.00%	TBD
1	1	0	1	0	TBD	+3.34%	TBD
1	1	0	1	1	TBD	+3.69%	TBD
1	1	1	0	0	TBD	+4.04%	TBD
1	1	1	0	1	TBD	+4.39%	TBD
1	1	1	1	0	TBD	+4.74%	TBD
1	1	1	1	1	TBD	+5.10%	TBD

注意事项 HIOTRM 寄存器指定值增加, 内部高速振荡频率速度增快, 指定值减小速度降低。不会发生值增加频率速度降低, 或值减小速度增加。

5.4 系统时钟振荡器

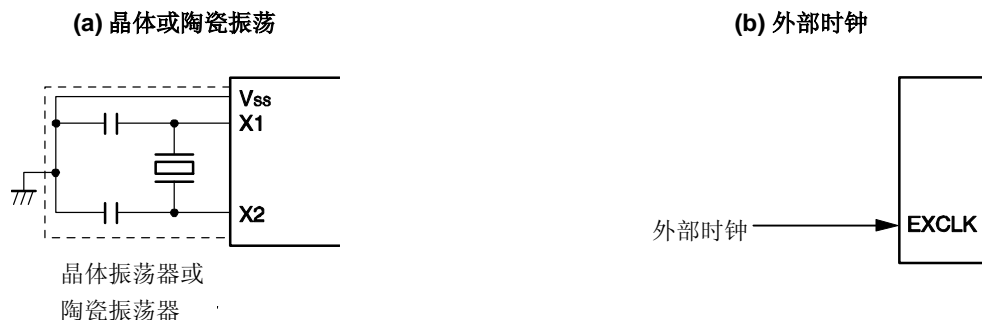
5.4.1 X1 振荡器

X1 振荡器采用晶体振荡器或陶瓷振荡器(2 ~ 10MHz)，连接到 X1 和 X2 引脚。

同样可以输入外部时钟。EXCLK 引脚输入时钟信号。

图 5-10 为 X1 振荡器的外部电路示例。

图 5-10. X1 振荡器的外部电路示例

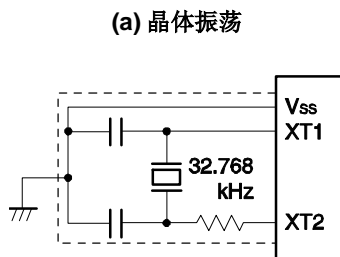


5.4.2 XT1 振荡器

XT1 振荡器采用晶体振荡器(标准值为：32.768 kHz)，连接到 XT1 和 XT2 引脚。

图 5-11 为 XT1 振荡器的外部电路示例。

图 5-11. XT1 振荡器的外部电路示例



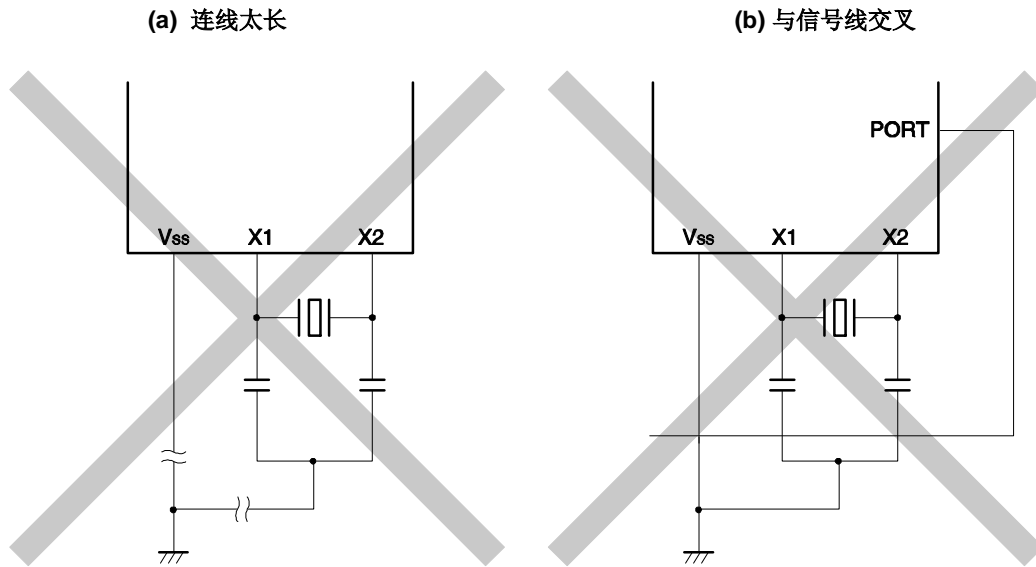
注意事项 1. 在使用 X1 振荡器和 XT1 振荡器时，图 5-10 和图 5-11 中被虚线包围的部分的配线应按照如下配线方法配线，以防止连接线电容产生不利影响。

- 连接线越短越好。
- 连接线不应与其他信号线交叉。流经的电流变化较大的信号线不要在振荡器周围布线。
- 要保持振荡器电容器的接地点电压与 V_{SS} 相同。不要将电容的地信号接入大电流地。
- 不要从振荡器获取信号。

注意 XT1 振荡器被设计成低振幅电路，以降低功耗。

图 5-12 为不正确的振荡器连接示例。

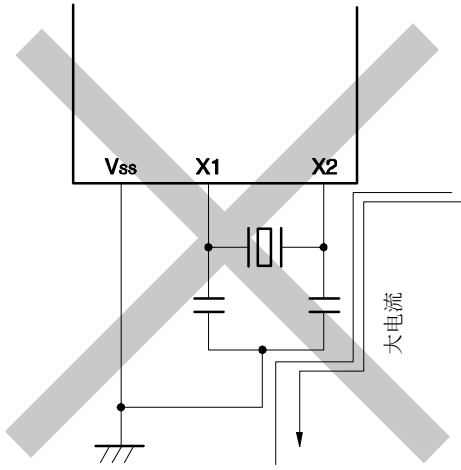
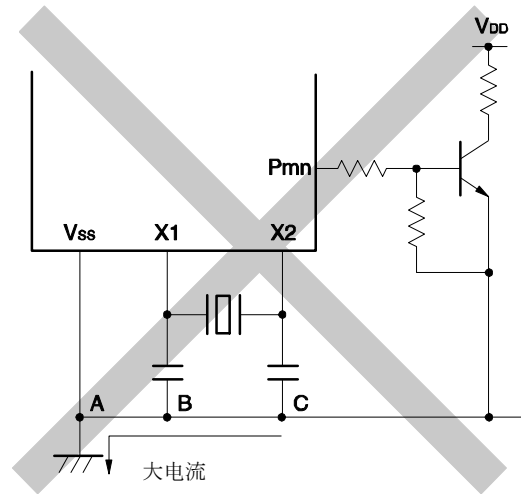
图 5-12. 不正确的振荡器连接示例(1/2)



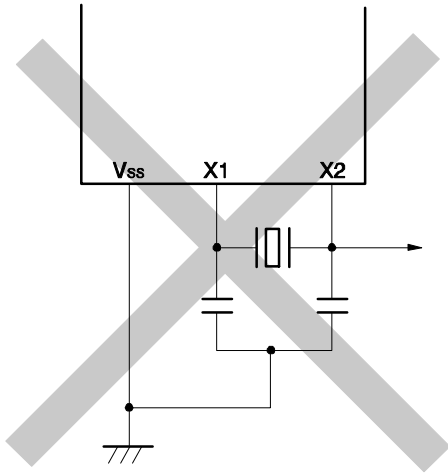
备注 在使用副系统时钟时，分别用 XT1 和 XT2 代替 X1 和 X2。串联电阻也串在 XT2 这边。

图 5-12. 不正确的振荡器连接示例(2/2)

(c) 连接线周围有大电流变化

(d) 大电流经过振荡器的地线
(A、B、C 三点电势波动)

(e) 获取信号



备注 在使用副系统时钟时，分别用 XT1 和 XT2 代替 X1 和 X2。串联电阻也插在 XT2 这边。

注意事项 2. 当 X2 和 XT1 并行连接时，X2 的串扰噪音会叠加到 XT1，从而产生错误。

5.4.3 不使用副系统时钟

为了降低功耗，如果无需使用副系统时钟，或者不使用副系统时钟作为 I/O 端口，则可以设置 XT1 和 XT2 引脚为 I/O 模式(OSCSSELS = 0)，并通过一个电阻独立连接到 VDD 或 VSS。

备注 OSCSELS: 时钟操作模式选择寄存器的第 4 位 (OSCCTL)

5.4.4 内部高速振荡器

78K0/LF3 产品中包含内部高速振荡器。可以通过内部振荡模式寄存器(RCM)控制振荡。复位释放后，内部高速振荡器自动开始振荡(8 MHz (TYP.))。

5.4.5 内部低速振荡器

78K0/LF3 产品中包含内部低速振荡器。

内部低速振荡时钟只作为看门狗定时器、8 位定时器 H1 和 LCD 控制器/驱动器的时钟使用。内部低速振荡时钟不能用作 CPU 时钟。

可以通过选项字节选择内部低速振荡器“可由软件停止”或“不能停止”。如果设置“可由软件停止”，则可由内部振荡模式寄存器(RCM)控制振荡。

复位释放后，内部低速振荡器自动产生振荡，同时如果使用选项字节允许看门狗定时器操作，则可以驱动看门狗定时器 (240 kHz (TYP.))。

5.4.6 预分频器

当 CPU 使用主系统时钟时，通过分频主系统时钟，预分频器可以产生多种时钟。

5.5 时钟发生器的操作

时钟发生器用于产生以下几种时钟，并控制 CPU 的操作模式，如待机模式。(见图 5-1)。

- 主系统时钟 f_{XP}
 - 高速系统时钟 f_{XH}
 - X1 时钟 f_X
 - 外部主系统时钟 f_{EXCLK}
 - 内部高速振荡时钟 f_{RH}
- 副系统时钟 f_{SUB}
 - XT1 时钟 f_{XT}
 - 内部低速振荡时钟 f_{RL}
- CPU 时钟 f_{CPU}
- 外部硬件时钟 f_{PRS}

在 78K0/LF3 中，当复位释放后内部高速振荡器输出时，CPU 开始操作，因此具有以下特点。

(1) 增强安全功能

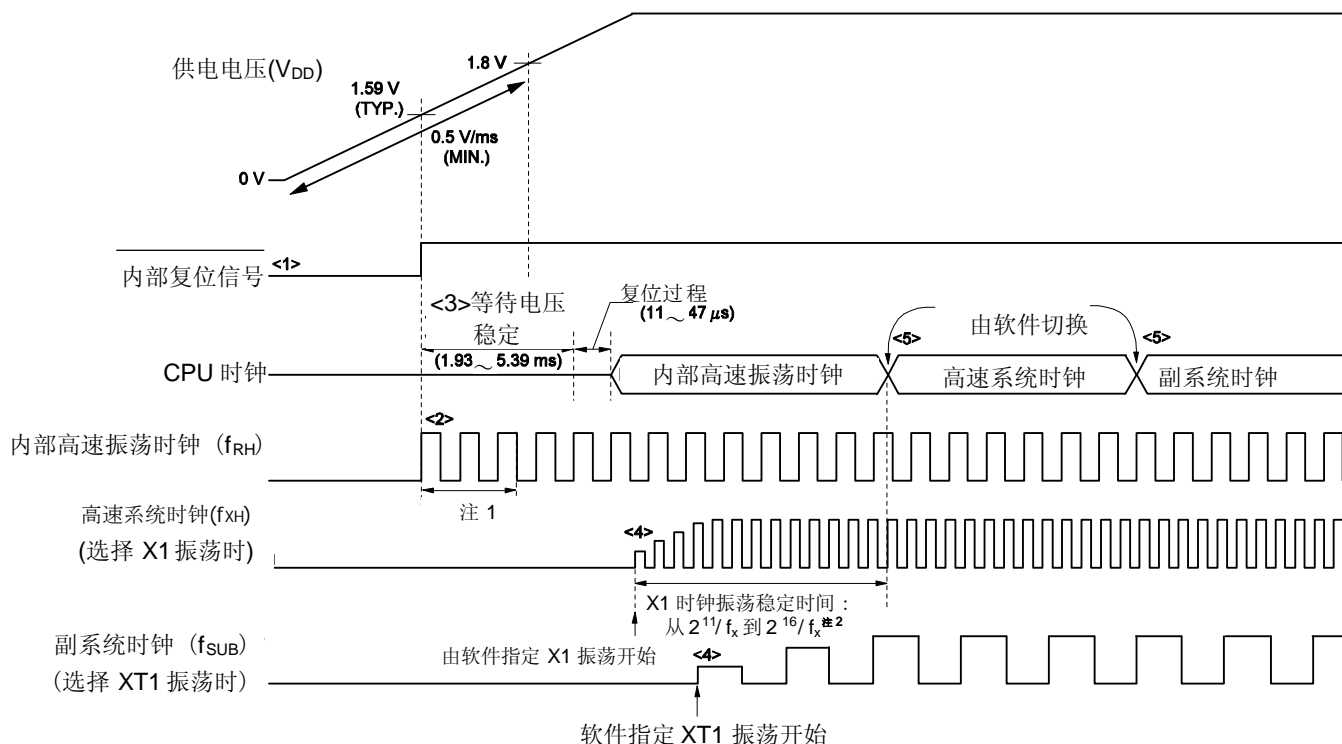
如果 X1 时钟被默认设置为 CPU 时钟，在 X1 时钟遭到损坏或连接错误时设备不能操作，因此复位释放后也不能操作。但是，如果 CPU 的初始时钟是内部高速振荡时钟，则在复位释放后，由内部高速振荡时钟启动设备。这样，系统只需执行最少操作(如由软件确认复位源或在出现故障时执行安全处理)，便可以安全关闭。

(2) 改善性能

由于 CPU 可以在不必等待 X1 时钟振荡稳定时间情况下就启动，所以总的性能得到了改善。

图 5-13 为上电时，时钟发生器的操作图。

图 5-13. 上电时的时钟发生器操作
(设置 1.59 V POC 模式 (选项字节: POCMODE = 0))



- <1> 当电源开启时，通过上电清零 (POC) 电路产生一个内部复位信号。
- <2> 当供电电压超过 1.59 V (TYP.)，复位释放并且内部高速振荡器自动开始振荡。
- <3> 当供电电压上升斜率为 0.5 V/ms (MAX.)时，复位释放并且在经历了供电电压和稳压器的稳定时间后，CPU 开始使用内部高速振荡时钟，然后进行复位处理。
- <4> 通过软件设置 X1 或 XT1 时钟的振荡开始(参见 5.6.1 高速系统时钟控制示例中的(1)和 5.6.3 副系统时钟控制示例中的(1))。
- <5> 当 CPU 时钟切换到 X1 或 XT1 时钟时，等待时钟振荡稳定，然后通过软件设置切换(参见 5.6.1 高速系统时钟控制示例中的(3)和 5.6.3 副系统时钟控制示例中的(3))。

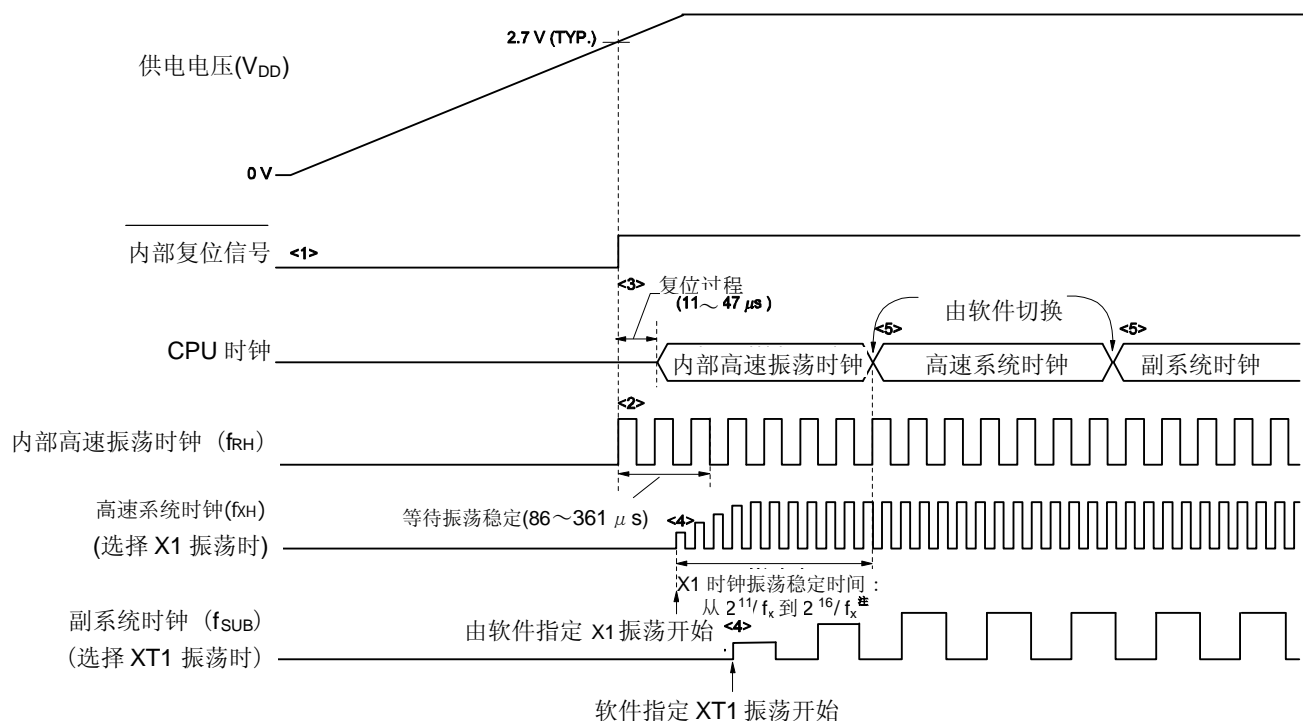
- 注 1. 内部电压稳定时间包括内部高速振荡时钟的振荡精确稳定时间。
2. 释放复位后(如上图所示)或在 CPU 使用内部高速振荡时钟时释放 STOP 模式后，使用振荡稳定时间计数器的状态寄存器(OSTC)来确认 X1 时钟的振荡稳定时间。如果 CPU 使用高速系统时钟(X1 振荡)，则可使用振荡稳定时间选择寄存器(OSTS)设置释放 STOP 模式时的振荡稳定时间。

注意事项 1. 在供电电压达到 1.8V 之前，如果电压上升斜率小于 0.5 V/ms (MAX.)，则输入一个低电平到电源的 RESET 引脚直至电压达到 1.8V，或者通过使用选项字节(POCMODE = 1)设置 2.7 V/1.59 V POC 模式(见图 5-14)。通过这种方式，CPU 的操作时序与 <2> 及由 RESET 引脚释放复位后的时序相同，如图 5-13 所示。

2. 当使用 EXCLK 引脚的外部时钟输入时，不需要等待振荡稳定时间。

备注 当微控制器正在操作时，不作为 CPU 时钟使用的时钟可以通过软件设置来停止。内部高速振荡时钟和高速系统时钟可以通过执行 STOP 指令来停止(参见 5.6.1 高速系统时钟控制示例中的(4)和 5.6.3 副系统时钟控制示例中的(4))。

图 5-14. 上电时的时钟发生器操作
(设置 2.7 V/1.59 V POC 模式 (选项字节: POCMODE = 1))



- <1> 当电源开启时，通过上电清零 (POC) 电路产生一个内部复位信号。
- <2> 当供电电压超过 2.7 V (TYP.)，复位释放并且内部高速振荡器自动开始振荡。
- <3> 复位释放并进行了复位处理后，CPU 开始使用内部高速振荡时钟操作。
- <4> 通过软件设置 X1 或 XT1 时钟的振荡开始 (参见 5.6.1 高速系统时钟控制示例中的(1)和 5.6.3 副系统时钟控制示例中的(1))。
- <5> 当 CPU 时钟切换到 X1 或 XT1 时钟时，等待时钟振荡稳定，然后通过软件设置切换 (参见 5.6.1 高速系统时钟控制示例中的(3)和 5.6.3 副系统时钟控制示例中的(3))。

注 释放复位后 (如上图所示) 或在 CPU 使用内部高速振荡时钟时释放 STOP 模式后，使用振荡稳定时间计数器的状态寄存器 (OSTC) 来确认 X1 时钟的振荡稳定时间。如果 CPU 使用高速系统时钟 (X1 振荡)，则可使用振荡稳定时间选择寄存器 (OSTS) 设置释放 STOP 模式时的振荡稳定时间。

- 注意事项**
1. 在供电电压达到 1.59V(TYP.)后，必需有 1.93 ~ 5.39 ms 电压振荡稳定时间。如果在 1.93 ms 内电源电压从 1.59 V (TYP.)上升到 2.7 V (TYP.)，在复位处理前自动产生 0 ~ 5.39 ms 的供电电源振荡稳定时间。
 2. 当使用 EXCLK 引脚的外部时钟输入时，不需要等待振荡稳定时间。

备注 当微控制器正在操作时，不作为 CPU 时钟使用的时钟可以通过软件设置来停止。内部高速振荡时钟和高速系统时钟可以通过执行 STOP 指令来停止 (参见 5.6.1 高速系统时钟控制示例中的(4)，5.6.2 内部高速振荡时钟控制示例中的(3)和 5.6.3 副系统时钟控制示例中的(4))。

5.6 时钟控制

5.6.1 控制高速系统时钟示例

如下两种高速系统时钟可用。

- X1 时钟: 晶体/陶瓷振荡器连接到 X1 和 X2 引脚。
- 外部主系统时钟: 外部时钟输入到 EXCLK 引脚。

不使用高速系统时钟时, X1/P121 和 X2/EXCLK/P122 引脚可用作 I/O 端口引脚。

注意事项 复位释放后, OCD0A/X1/P121 和 OCD0B/X2/EXCLK/P122 引脚为 I/O 端口模式。

下面描述的示例是以下情况时的设置过程示例。

- (1) X1 时钟振荡
- (2) 使用外部主系统时钟
- (3) 将高速系统时钟作为 CPU 时钟和外部硬件时钟
- (4) 停止高速系统时钟

(1) X1 时钟振荡时设置过程示例

- <1> 设置 P121/X1 和 P122/X2/EXCLK 引脚, 并选择 X1 时钟或外部时钟(OSCCTL 寄存器), 当 EXCLK 清零且 OSCSEL 置 1 时, 从端口模式切换到 X1 振荡模式

EXCLK	OSCSEL	高速系统时钟引脚操作模式	P121/X1 引脚	P122/X2/EXCLK 引脚
0	1	X1 振荡模式	晶体/陶瓷振荡器连接	

- <2> 控制 X1 时钟振荡 (MOC 寄存器)
若 MSTOP 被清零, 则 X1 振荡器开始振荡。
- <3> 等待 X1 时钟振荡稳定
检测 OSTC 寄存器并等待所需的时间。
在等待时间内, 其它软件处理过程的执行可以使用内部高速振荡时钟。

- 注意事项**
1. 在 X1 时钟运行时, 不要改变 EXCLK 和 OSCSEL 的值。
 2. 当供电电压达到所用时钟的操作电压后, 设置 X1 时钟(参见 第三十一章 电气特性(标准产品))。

(2) 使用外部主系统时钟时设置过程示例

<1> 设置 P121/X1 和 P122/X2/EXCLK 引脚并选择操作模式(OSCCTL 寄存器)

当 EXCLK 和 OSCSEL 置 1 时, 从端口模式切换到外部时钟输入模式。

EXCLK	OSCSEL	高速系统时钟引脚操作模式	P121/X1 引脚	P122/X2/EXCLK 引脚
1	1	外部时钟输入模式	I/O 端口	外部时钟输入

<2> 控制外部主系统时钟输入(MOC 寄存器)

MSTOP 清零时, 允许外部主系统时钟输入。

注意事项 1. 在外部主系统时钟运行时, 不要改变 EXCLK 和 OSCSEL 的值。

2. 当供电电压达到所用时钟的操作电压后, 设置 X1 时钟(参见第三十一章 电气特性(标准产品))。

(3) 使用高速系统时钟作为 CPU 时钟和外部硬件时钟时设置过程示例

<1> 设置高速系统时钟振荡*

(参见 5.6.1 (1) X1 时钟振荡时设置过程示例和 (2) 使用外部主系统时钟时设置过程示例。)

注 当高速系统时钟已经运行时, 不需要设置<1>。

<2> 设置高速系统时钟作为主系统时钟(MCM 寄存器)

XSEL 和 MCM0 置 1 时, 高速系统时钟作为主系统时钟和外部硬件时钟。

XSEL	MCM0	主系统时钟和外部硬件时钟的选择	
		主系统时钟 (f _{XP})	外部硬件时钟 (f _{PRS})
1	1	高速系统时钟 (f _{XH})	高速系统时钟 (f _{XH})

注意事项 如果选择高速系统时钟作为主系统时钟, 则只有高速系统时钟可以被设置为外部硬件时钟。

<3> 设置主系统时钟作为 CPU 时钟并选择分频比(PCC 寄存器)

CSS 清零时, 主系统时钟提供给 CPU。若要选择 CPU 时钟分频比, 应使用 PCC0、PCC1 和 PCC2。

CSS	PCC2	PCC1	PCC0	CPU 时钟 (f _{CPU}) 选择
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (默认)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
	其它情况			禁止设置

(4) 停止高速系统时钟时设置过程示例

高速系统时钟可以用如下两种方式停止。

- 执行 STOP 指令以设置为 STOP 模式
- MSTOP 置 1 并停止 X1 振荡(如果使用外部时钟则禁止时钟输入)

(a) 执行 STOP 指令**<1> 停止外部硬件的设置**

停止那些不能在 STOP 模式下使用的外部硬件(需要了解不能在 STOP 模式下使用的外部硬件, 可参见第二十三章 待机功能)

<2> 释放待机模式后设置 X1 时钟振荡稳定时间

当 CPU 使用 X1 时钟时, 在 STOP 指令执行前设置 OSTs。

<3> 执行 STOP 指令

执行 STOP 指令时, 系统处于 STOP 模式下并且 X1 振荡停止(禁止外部时钟输入)。

(b) 通过将 MSTOP 设置为 1 来停止 X1 振荡(禁止外部时钟输入)**<1> 确认 CPU 时钟状态(PCC 和 MCM 寄存器)**

根据 CLS 和 MCS 确认 CPU 没有使用高速系统时钟。

当 CLS = 0 且 MCS = 1 时, CPU 采用高速系统时钟, 因此将 CPU 时钟切换为副系统时钟或者内部高速振荡时钟。

CLS	MCS	CPU 时钟状态
0	0	内部高速振荡时钟
0	1	高速系统时钟
1	×	副系统时钟

<2> 停止高速系统时钟(MOC 寄存器)

MSTOP 置 1 时, X1 振荡停止(禁止外部时钟输入)。

注意事项 当 MSTOP= 1 时, 必须确认 MCS = 0 或 CLS = 1。此外, 必须停止正在使用高速系统时钟的外部硬件。

5.6.2 控制内部高速振荡时钟示例

下面描述的示例是以下情况时的设置过程示例。

- (1) 内部高速振荡时钟重新开始振荡时
- (2) 使用内部高速振荡时钟作为 CPU 时钟, 并且内部高速振荡时钟或高速系统时钟用作外部硬件时钟时
- (3) 停止内部高速振荡时钟时

(1) 内部高速振荡时钟重新振荡时设置过程示例^{注1}

<1> 内部高速振荡时钟重新振荡的设置(RCM 寄存器)

RSTOP 清零时，内部高速振荡时钟开始运行。

<2> 等待内部高速振荡时钟的振荡精确稳定时间(RCM 寄存器)。

一直到 $RSTS = 1$ ^{注2}。

注 1. 复位释放后，内部高速振荡器自动开始振荡并且内部高速振荡时钟作为 CPU 时钟使用。

2. 如果 CPU 时钟和外部硬件时钟不需要很高的精度，则无需等待时间。

(2) 使用内部高速振荡时钟作为 CPU 时钟且内部高速振荡时钟或高速系统时钟作为外部硬件时钟时设置过程示例

<1> • 内部高速振荡时钟重新振荡^注

(参见 5.6.2 (1) 内部高速振荡时钟重新振荡时设置过程示例)。

• 高速系统时钟振荡^注

(使用高速系统时钟作为外部硬件时钟时所需的设置。参见 5.6.1 (1) X1 时钟振荡时设置过程示例和(2) 使用外部主系统时钟时设置过程示例。)

注 当内部高速振荡时钟或高速系统时钟已经运行时，不需要设置<1>。

<2> 选择主系统时钟和外部硬件时钟(MCM 寄存器)

使用 XSEL 和 MCM0 设置主系统时钟和外部硬件时钟。

XSEL	MCM0	主系统时钟和外部硬件时钟的选择	
		主系统时钟 (f _{XP})	外部硬件时钟 (f _{PRS})
0	0	内部高速振荡时钟 (f _{RH})	内部高速振荡时钟 (f _{RH})
0	1		高速系统时钟(f _{XH})
1	0		

<3> 选择 CPU 时钟分频比(PCC 寄存器)

CSS 清零时，主系统时钟提供给 CPU。若要选择 CPU 时钟分频比，应使用 PCC0、PCC1 和 PCC2。

CSS	PCC2	PCC1	PCC0	CPU 时钟 (f _{CPU}) 选择
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (默认)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
	其它情况			禁止设置

(3) 停止内部高速振荡时钟时设置过程示例

可以用如下两种方式停止内部高速振荡时钟。

- 执行 STOP 指令设置 STOP 模式
- 将 RSTOP 置 1 且停止内部高速振荡时钟

(a) 执行 STOP 指令

<1> 设置外部硬件

停止那些不能在 STOP 模式下使用的外部硬件(如需了解不能在 STOP 模式下使用的外部硬件, 可参见第二十三章 待机功能)。

<2> 释放待机模式后 X1 时钟振荡稳定时间的设置

CPU 使用 X1 时钟时, 在 STOP 指令执行前设置 OSTs。

<3> 执行 STOP 指令

执行 STOP 指令时, 系统处于 STOP 模式下并且停止内部高速振荡时钟。

(b) 通过 RSTOP 置 1 停止内部高速振荡时钟

<1> 确认 CPU 时钟状态(PCC 和 MCM 寄存器)

根据 CLS 和 MCS 确认 CPU 没有使用内部高速振荡时钟。

CLS = 0 和 MCS = 0 时, CPU 采用内部高速振荡时钟, 因此将 CPU 时钟切换为高速系统时钟或副系统时钟。

CLS	MCS	CPU 时钟状态
0	0	内部高速振荡时钟
0	1	高速系统时钟
1	x	副系统时钟

<2> 停止内部高速振荡时钟(RCM 寄存器)

RSTOP 置 1 时, 停止内部高速振荡时钟。

注意事项 当 RSTOP=1 时, 必须确认 MCS = 1 或 CLS = 1。此外, 必须停止正在使用内部高速振荡时钟的外部硬件。

5.6.3 控制副系统时钟示例

可用如下两种副系统时钟。

- XT1 时钟: 晶体/陶瓷振荡器连接到 XT1 和 XT2 引脚。

不使用副系统时钟时, XT1/P123 和 XT2/P124 引脚可用作 I/O 端口引脚。

注意事项 复位释放后 XT1/P123 和 XT2 /P124 引脚为在输入端口模式。

下面描述的示例是以下情况时的设置过程示例。

- (1) XT1 时钟振荡
- (2) 使用副系统时钟作为 CPU 时钟
- (3) 停止副系统时钟

(1) XT1 时钟振荡时设置过程示例

- <1> 设置 XT1 和 XT2 引脚并选择操作模式 (PCC 和 OSCCTL 寄存器)
当 OSCSELS 设置为如下模式时, 将从端口模式切换到 XT1 振荡模式。

OSCSELS	副系统时钟引脚操作模式	P123/XT1 引脚	P124/XT2 引脚
1	XT1 振荡模式	连接晶体/陶瓷振荡器	

- <2> 等待副系统时钟振荡稳定
使用定时器功能, 通过软件等待副系统时钟振荡稳定时间。

注意事项 在副系统时钟运行时, 不要改变 OSCSELS 的值。

(2) 使用副系统时钟作为 CPU 时钟时设置过程示例

- <1> 设置副系统时钟振荡^注
(参见 5.6.3 (1) XT1 时钟振荡时设置过程示例)

注 当副系统时钟已经运行时, 不需要设置<1>。

- <2> 切换 CPU 时钟(PCC 寄存器)
CSS 置 1 时, 副系统时钟提供给 CPU。

CSS	PCC2	PCC1	PCC0	CPU 时钟 (fcpu) 选择
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
	其它情况			禁止设置

(3) 停止副系统时钟时设置过程示例

- <1> 确认 CPU 时钟状态(PCC 和 MCM 寄存器)
根据 CLS 和 MCS 确认 CPU 没有使用副系统时钟。
当 CLS = 1 时, CPU 采用副系统时钟, 因此将 CPU 时钟切换为内部高速振荡时钟或高速系统时钟。

CLS	MCS	CPU 时钟状态
0	0	内部高速振荡时钟
0	1	高速系统时钟
1	×	副系统时钟

- <2> 停止副系统时钟 (OSCCTL 寄存器)
OSCSELS 清零时, 停止 XT1 振荡。

注意事项 1. 清零 OSCSEL 时, 必须确认 CLS = 0。此外, 如果外围硬件使用副系统时钟, 则应停止其操作。
2. 副系统时钟振荡不能通过使用 STOP 指令来停止。

5.6.4 控制内部低速振荡时钟示例

内部低速振荡时钟不能用作 CPU 时钟。

只有如下外部硬件可以使用这个时钟。

- 看门狗定时器
- 8 位定时器 H1 (选择 f_{RL} , $f_{RL}/2^7$ 或 $f_{RL}/2^9$ 作为计数时钟时)
- LCD 控制器/驱动器(选择 $f_{RL}/2^3$ 作为 LCD 时钟源时)

此外, 可以通过选项字节选择如下操作模式。

- 内部低速振荡器不能停止
- 内部低速振荡器可由软件停止

在复位释放后内部低速振荡器自动开始振荡, 并且如果通过选项字节允许看门狗定时器操作, 则驱动看门狗定时器 (240 kHz (TYP.))。

(1) 停止内部低速振荡时钟时设置过程示例

<1> 将 LSRSTOP 置 1 (RCM 寄存器)

LSRSTOP 置 1 时, 停止内部低速振荡时钟。

(2) 内部低速振荡时钟重新振荡时设置过程示例

<1> LSRSTOP 清零 (RCM 寄存器)

LSRSTOP 清零时, 内部低速振荡时钟重新振荡。

注意事项 如果通过选项字节选择“不能停止内部低速振荡器”, 则不能控制内部低速振荡时钟的振荡。

5.6.5 CPU 和外部硬件所采用的时钟

下表显示了 CPU 和外部硬件采用的时钟之间的关系及寄存器的设置。

表 5-4. CPU 和外部硬件采用的时钟及寄存器设置

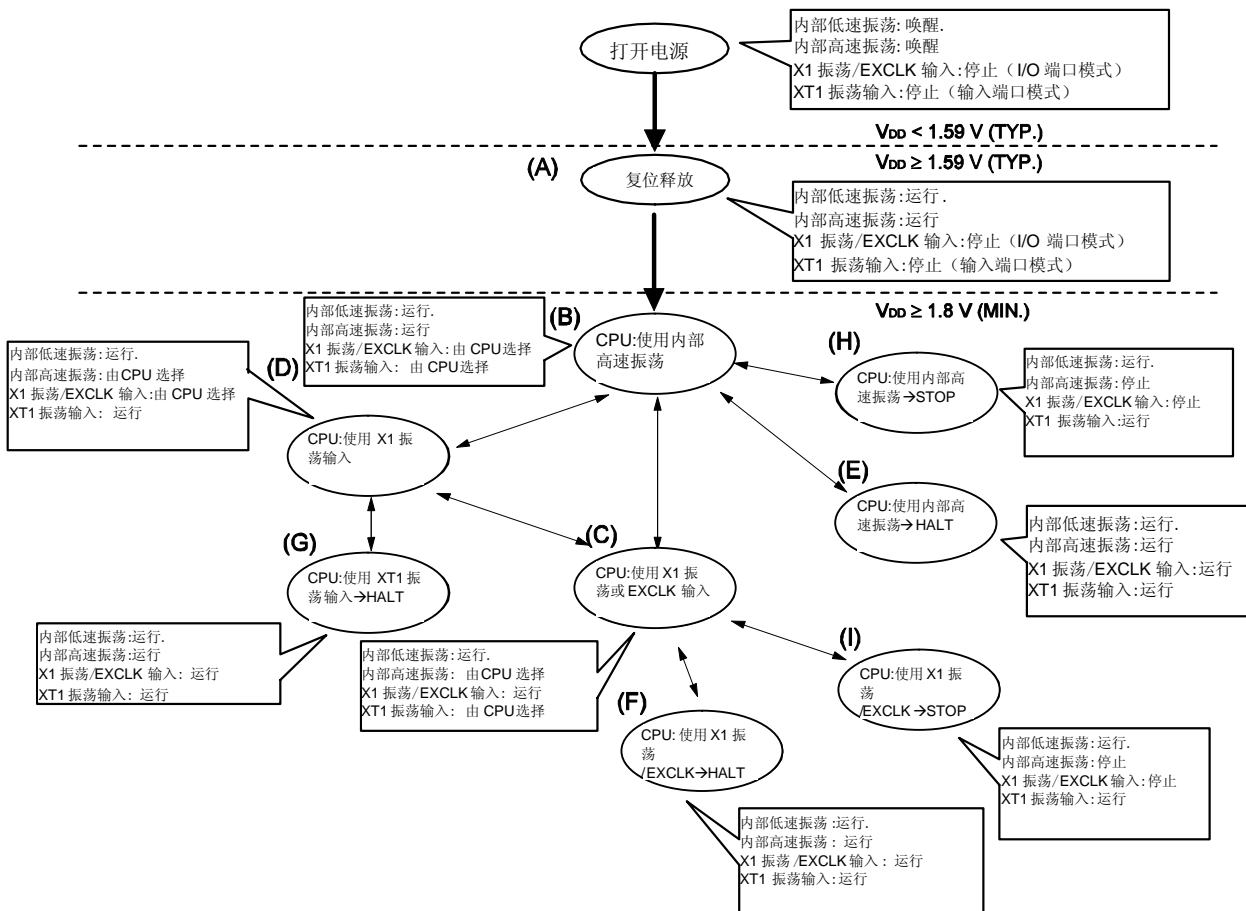
时钟		XSEL	CSS	MCM0	EXCLK
CPU 时钟	外部硬件时钟				
内部高速振荡时钟		0	0	×	×
内部高速振荡时钟	X1 时钟	1	0	0	0
	外部主系统时钟	1	0	0	1
X1 时钟		1	0	1	0
外部主系统时钟		1	0	1	1
副系统时钟	内部高速振荡时钟	0	1	×	×
	X1 时钟	1	1	0	0
		1	1	1	0
	外部主系统时钟	1	1	0	1
		1	1	1	1

- 备注**
1. XSEL: 主时钟模式寄存器(MCM)的第 2 位
 2. CSS: 处理器时钟控制寄存器(PCC)的第 4 位
 3. MCM0: MCM 的第 0 位
 4. EXCLK: 时钟操作模式选择寄存器(OSCCTL)的第 7 位
 5. ×: 不必考虑

5.6.6 CPU 时钟状态转换图

图 5-15 显示了该产品 CPU 时钟状态转换图。

图 5-15. CPU 时钟状态转换图
(设置 1.59 V POC 模式 (选项字节: POCMODE = 0))



备注 在 2.7 V/1.59 V POC 模式下 (选项字节: POCMODE = 1), 当供电电压超过 2.7V(TYP.)时 CPU 时钟状态转换为上图所示的(A), 而在复位处理后(11 ~ 47 μ s (TYP.))变到(B)。

表 5-5 显示了 CPU 时钟的切换过程与 SFR 寄存器设置示例


表 5-5. CPU 时钟切换与 SFR 寄存器设置示例(1/4)

(1) 复位释放后(A)CPU 使用内部高速振荡时钟(B)

状态转换	SFR 寄存器设置
(A) → (B)	SFR 寄存器不必设置 (复位释放后默认状态).

(2) 复位释放后(A)CPU 使用高速系统时钟(C)

(复位释放后 CPU 立即使用内部高速振荡时钟(B)。)


(SFR 寄存器设置序列) 

状态转换 \ SFR 寄存器设置标志	EXCLK	OSCSEL	MSTOP	OSTC 寄存器	XSEL	MCM0
(A) → (B) → (C) (X1 时钟)	0	1	0	必须检测	1	1
(A) → (B) → (C) (外部主时钟)	1	1	0	不必检测	1	1

注意事项 供电电压达到所用时钟的操作电压后，设置时钟(参见 第三十一章 电气特性(标准产品))。

(3) 复位释放后(A)CPU 使用副系统时钟(D)

(复位释放后 CPU 立即使用内部高速振荡时钟(B)。)

(SFR 寄存器设置序列) 

状态转换 \ SFR 寄存器设置标志	OSCSELS	等待振荡稳定	CSS
(A) → (B) → (D)	1	必须	1

备注

1. 表 5-5 的(A) 到 (I)对应图 5-15 的(A)到(I)。

2. EXCLK, OSCSEL, OSCSELS:

时钟操作模式选择寄存器(OSCCTL)的第 7、6 位和第 4 位

MSTOP: 主 OSC 控制寄存器(MOC)的第 7 位

XSEL, MCM0: 主时钟模式寄存器(MCM)的第 2 位与第 0 位

CSS: 处理器时钟控制寄存器(PCC)的第 4 位

表 5-5. CPU 时钟切换与 SFR 寄存器设置示例 (2/4)

(4) CPU 时钟从内部高速振荡时钟(B)切换到高速系统时钟(C)

(SFR 寄存器的设置顺序) ▶

SFR 寄存器的设置标志	EXCLK	OSCSEL	MSTOP	OSTC 寄存器	XSEL ^注	MCM0
状态转换						
(B) → (C) (X1 时钟)	0	1	0	必须检测	1	1
(B) → (C) (外部主时钟)	1	1	0	不必检测	1	1

如果这些寄存器已设置 则不必要
如果 CPU 使用高速系统 时钟则不必要

注 复位释放后该标志只能被修改一次。如果已经设置了该项，则无需再设置。

注意事项 供电电压达到所用时钟的操作电压后，设置时钟(参见 第三十一章 电气特性(标准产品))。

(5) CPU 时钟从内部高速振荡时钟(B)切换到副系统时钟(D)

(SFR 寄存器的设置顺序) ▶

SFR 寄存器的设置标志	OSCSLS	等待振荡稳定	CSS
状态转换			
(B) → (D)	1	必须	1

- 备注**
- 表 5-5 的(A) 到 (I)对应图 5-15 的(A)到(I)。
 - EXCLK, OSCSEL, OSCSELS:
 - 时钟操作模式选择寄存器(OSCCTL)的第 7、6 位和第 4 位
 - MSTOP: 主 OSC 控制寄存器(MOC)的第 7 位
 - XSEL, MCM0: 主时钟模式寄存器(MCM)的第 2 位与第 0 位
 - CSS: 处理器时钟控制寄存器(PCC)的第 4 位

表 5-5. CPU 时钟切换与 SFR 寄存器设置示例 (3/4)

(6) CPU 时钟从高速系统时钟(C)切换到内部高速振荡时钟(B)

(SFR 寄存器的设置顺序) ▶

SFR 寄存器的设置标志	RSTOP	RSTS	MCM0
状态转换			
(C) → (B)	0	确认该标志为 1	0

如果 CPU 使用内部高速振荡时钟则不必要

(7) CPU 时钟从高速系统时钟(C)切换到副系统时钟(D)

(SFR 寄存器的设置顺序) ▶

SFR 寄存器的设置标志	OSCSELS	等待振荡稳定	CSS
状态转换			
(C) → (D)	1	必须	1

如果 CPU 使用副系统时钟则不必要

(8) CPU 时钟从副系统时钟(D)切换到内部高速振荡时钟(B)

(SFR 寄存器的设置序列) ▶

SFR 寄存器的设置标志	RSTOP	RSTS	MCM0	CSS
状态转换				
(D) → (B)	0	确认该标志为 1	0	0

如果 CPU 使用内部高速振荡时钟则不
 必要
 ↑
如果 XSEL=0 则
不必要

备注

1. 表 5-5 的(A) 到 (I)对应图 5-15 的(A)到(I)。
2. MCM0: 主时钟模式寄存器(MCM)的第 0 位
 OSCSELS: 时钟操作模式选择寄存器(OSCCTL)的第 4 位
 RSTS, RSTOP: 内部振荡模式寄存器(RCM)的第 7 位和第 0 位
 CSS: 处理器时钟控制寄存器(PCC)的第 4 位

表 5-5. CPU 时钟切换与 SFR 寄存器设置示例 (4/4)

(9) CPU 时钟从副系统时钟(D)切换到高速系统时钟(C)

(SFR 寄存器的设置序列) ▶

SFR 寄存器的设置标志	EXCLK	OSCSEL	MSTOP	OSTC 寄存器	XSEL ^注	MCM0	CSS
(D) → (C) (X1 时钟)	0	1	0	必须检测	1	1	0
(D) → (C) (外部主时钟)	1	1	0	不必检测	1	1	0

如果这些寄存器已设置 则不必要
 如果 CPU 使用高速系 统时钟则不必要

注 复位释放后该标志只能被修改一次。如果已经设置了该项，则无需再设置。

注意事项 供电电压达到所用时钟的操作电压后，设置时钟(参见 第三十一章 电器特性(标准产品))。

(10) • CPU 使用内部高速振荡时钟(B)时 HALT 模式(E)的设置。

- CPU 使用高速系统时钟(C)时 HALT 模式(F)的设置。
- CPU 使用副系统时钟(D)时 HALT 模式(G)的设置。

状态转换	设置
(B) → (E) (C) → (F) (D) → (G)	执行 HALT 指令

(11) • CPU 使用内部高速振荡时钟(B)时 STOP 模式(H) 的设置。

- CPU 使用高速系统时钟(C)时 STOP 模式(I) 的设置。

(设置顺序) ▶

状态转换	设置	
(B) → (H) (C) → (I)	停止那些不能在 STOP 模式下使用的 外部功能	执行 STOP 指令

- 备注
1. 表 5-5 的(A) 到 (I)对应图 5-15 的(A)到(I)。
 2. EXCLK, OSCSEL: 时钟操作模式选择寄存器(OSCCTL)的第 7 和 6 位
 MSTOP: 主 OSC 控制寄存器(MOC)的第 7 位
 XSEL, MCM0: 主时钟模式寄存器(MCM)的第 2 位和第 0 位
 CSS: 处理器时钟控制寄存器(PCC) 的第 4 位

5.6.7 CPU 时钟切换之前的状况与切换之后的处理

CPU 时钟切换之前的状况与切换之后的处理显示如下。

表 5-6. 切换 CPU 时钟

CPU 时钟		切换前的状况	切换后的处理
切换前	切换后		
内部高速振荡时钟	X1 时钟	X1 振荡稳定 • MSTOP = 0, OSCSEL = 1, EXCLK = 0 • 经历了振荡稳定时间	• 可以停止内部高速振荡器(RSTOP = 1).
	外部主系统时钟	允许来自 EXCLK 引脚的外部时钟输入 • MSTOP = 0, OSCSEL = 1, EXCLK = 1	
X1 时钟	内部高速振荡时钟	内部高速振荡器振荡 • RSTOP = 0	可以停止 X1 振荡(MSTOP = 1).
外部主系统时钟			可以禁止外部主系统时钟输入(MSTOP = 1).
内部高速振荡时钟	XT1 时钟	XT1 振荡稳定 • OSCSELS = 1 • 经历了振荡稳定时间	通过停止内部高速振荡器可以降低操作电流(RSTOP = 1)
X1 时钟			可以停止 X1 振荡 (MSTOP = 1)
外部主系统时钟			可以禁止外部主系统时钟输入(MSTOP = 1)
内部高速振荡时钟	外部副系统时钟	允许来自 EXCLK 引脚的外部时钟输入 • XTSTART = 0, EXCLKS = 1, OSCSELS = 1	通过停止内部高速振荡器可以降低操作电流(RSTOP = 1).
X1 时钟			可以停止 X1 振荡(MSTOP = 1).
外部主系统时钟			可以禁止外部主系统时钟输入(MSTOP = 1).
XT1 时钟	内部高速振荡时钟	内部高速振荡器振荡且选择内部高速振荡时钟作为主系统时钟 • RSTOP = 0, MCS = 0	可停止 XT1 振荡 (OSCSELS = 0).
	X1 时钟	X1 振荡稳定且选择高速系统时钟作为主系统时钟 • MSTOP = 0, OSCSEL = 1, EXCLK = 0 • 经历了振荡稳定时间 • MCS = 1	
	外部主系统时钟	允许来自 EXCLK 引脚的外部时钟输入 并选择高速系统时钟作为主系统时钟 • MSTOP = 0, OSCSEL = 1, EXCLK = 1 • MCS = 1	

5.6.8 CPU 时钟和主系统时钟切换所需的时间

通过设置处理器时钟控制器(PCC)的第 0 位到第 2 位(PCC0 到 PCC2)以及第 4 位(CSS)，可以切换 CPU 时钟(在主系统时钟和副系统时钟之间)，同时可以改变主系统时钟的分频比。

修改 PCC 后，实际的切换操作不会立即执行；使用切换前的时钟继续操作几个时钟(见 表 5-7)。

可以通过 PCC 寄存器的第 5 位(CLS)来确定 CPU 使用主系统时钟还是副系统时钟。

表 5-7. CPU 时钟切换所需时间与主系统时钟周期分频因子

切换前设置值				切换后设置值																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0				
	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	×	×	×
0	0	0	0					16 个时钟				16 个时钟				16 个时钟				16 个时钟				2f _{XP} /f _{SUB} 个时钟			
	0	0	1					8 个时钟				8 个时钟				8 个时钟				8 个时钟				f _{XP} /f _{SUB} 个时钟			
	0	1	0					4 个时钟				4 个时钟				4 个时钟				4 个时钟				f _{XP} /2f _{SUB} 个时钟			
	0	1	1					2 个时钟				2 个时钟				2 个时钟				2 个时钟				f _{XP} /4f _{SUB} 个时钟			
	1	0	0					1 个时钟				1 个时钟				1 个时钟				1 个时钟				f _{XP} /8f _{SUB} 个时钟			
1	×	×	×					2 个时钟				2 个时钟				2 个时钟				2 个时钟							

注意事项 主系统时钟周期分频因子(PCC0 到 PCC2)的选择，以及从主系统时钟到副系统时钟的切换(CSS 从 0 变到 1)不能同时设置。

但对于主系统时钟周期分频因子(PCC0 到 PCC2)的选择，以及副系统时钟到主系统时钟的切换(CSS 从 1 变到 0)可以同时设置。

备注

1. 表 5-7 列出的时钟数是切换前的 CPU 时钟数。
2. 将 CPU 时钟从主系统时钟切换到副系统时钟，可通过舍入一个时钟并舍弃小数部分来计算时钟数量(如下所示)。

示例： 将 CPU 时钟从 f_{XP}/2 切换到 f_{SUB}/2 (@ 振荡频率 f_{SUB} = 32.768 kHz, f_{XP} = 10 MHz)
 $f_{XP}/f_{SUB} = 10000/32.768 \approx 305.1 \rightarrow 306$ 个时钟

通过设置主时钟模式寄存器(MCM)的第 0 位(MCM0)，可以切换主系统时钟(在内部高速振荡时钟和高速系统时钟之间)。

修改 MCM0 后，实际的切换操作不会立即执行；使用切换前的时钟继续操作几个时钟(见 表 5-8)。

可以通过 MCM 寄存器的第 1 位(MCS)来确定 CPU 使用内部高速振荡时钟还是高速系统时钟。

表 5-8. 主系统时钟切换所需的最长时间

切换前设置值	切换后设置值	
MCM0	MCM0	
	0	1
0		$1 + 2f_{RH}/f_{XH}$ 时钟
1	$1 + 2f_{XH}/f_{RH}$ 时钟	

注意事项 当内部高速振荡时钟切换到高速系统时钟时，MCM 的第 2 位(XSEL)必须预先被设置为 1。XSEL 位在复位释放后只能被修改一次。

备注

1. 表 5-8 所列时钟数是切换之前的主系统时钟数。
2. 通过舍去小数部分，计算表 5-8 的时钟数。

示例： 将主系统时钟从内部高速振荡时钟切换到高速系统时钟(@振荡频率 $f_{RH} = 8 \text{ MHz}$, $f_{XH} = 10 \text{ MHz}$)

$$1 + 2f_{RH}/f_{XH} = 1 + 2 \times 8/10 = 1 + 2 \times 0.8 = 1 + 1.6 = 2.6 \rightarrow 2 \text{ 个时钟}$$

5.6.9 时钟振荡停止前的状况

下表列出了停止时钟振荡的寄存器标志位设置(禁止外部时钟输入)和时钟振荡停止前的状况。

表 5-9. 时钟振荡停止前的状况及标志位设置

时钟	时钟振荡停止前的状况 (禁止外部时钟输入)	SFR 寄存器的标志位 设置
内部高速振荡时钟	MCS = 1 或 CLS = 1 (CPU 不使用内部高速振荡时钟)	RSTOP = 1
X1 时钟 外部主系统时钟	MCS = 0 或 CLS = 1 (CPU 不使用高速系统时钟)	MSTOP = 1
XT1 时钟	CLS = 0 (CPU 不使用副系统时钟)	OSCELS = 0

5.6.10 外部硬件与源时钟

下表列出了 78K0/LF3 中包含的外部硬件与源时钟。

表 5-10. 外部硬件与源时钟

源时钟		外部硬件时钟(f_{PRS})	副系统时钟(f_{SUB})	内部低速振荡时钟(f_{RL})	TM50 输出	TM52 输出	TMH1 输出	来自外部硬件引脚的外部时钟
外部硬件								
16 位定时器/事件计数器	00	Y	Y	N	N	Y	N	Y (TI000 引脚) ^注
8 位定时器/事件计数器	50	Y	N	N	N	N	N	Y (TI50 引脚) ^注
	51	Y	N	N	N	N	Y	Y (TI51 引脚) ^注
	52	Y	N	N	N	N	N	Y (TI52 引脚) ^注
8 位定时器	H0	Y	N	N	Y	N	N	N
	H1	Y	N	Y	N	N	N	N
	H2	Y	N	N	N	N	N	N
实时计数器		Y	Y	N	N	N	N	N
看门狗定时器		N	N	Y	N	N	N	N
蜂鸣器输出		Y	N	N	N	N	N	N
逐次逼近型 A/D 转换器		Y	N	N	N	N	N	N
$\Delta\Sigma$ 型 A/D 转换器		Y	Y	N	N	N	N	N
串行接口	UART0	Y	N	N	Y	N	N	N
	UART6	Y	N	N	Y	N	N	N
	CSI10	Y	N	N	N	N	N	Y (SCK10 引脚) ^注
LCD 控制器/驱动器		Y	Y	Y	N	N	N	N
Manchester 编码发生器		Y	N	N	N	N	N	N
遥控接收器		Y	Y	N	N	N	N	N

注 当 CPU 使用副系统时钟且内部高速振荡时钟已经停止时，不要启动依赖由外部硬件引脚输入外部时钟的这些功能。

备注 Y: 可选, N: 不可选

6.1 16 位定时器/事件计数器 00 的功能

16 位定时器/事件计数器 00 具有以下功能。

(1) 间隔定时器

16 位定时器/事件计数器 00 以预置的时间间隔产生中断请求。

(2) 方波输出

16 位定时器/事件计数器 00 可以输出任选频率的方波。

(3) 外部事件计数器

16 位定时器/事件计数器 00 可以测量外部输入信号的脉冲数。

(4) 单脉冲输出

16 位定时器/事件计数器 00 可以输出任意脉冲宽度的单脉冲。

(5) PPG 输出

16 位定时器/事件计数器 00 可以输出矩形波，矩形波的频率和输出宽度可以自由设置。

(6) 脉冲宽度测量

16 位定时器/事件计数器 00 可以测量外部输入信号的脉冲宽度。

(7) 24 位外部事件计数器

通过结合 16 位定时器 00 和 8 位定时器/事件计数器 52，并使用 8 位定时器/事件计数器 52 的外部事件计数器功能，16 位定时器/事件计数器 00 可作为外部 24 位事件计数器操作。

当作为外部 24 位事件计数器，由 8 位定时器 H2 输出控制外部事件输入沿。

6.2 16 位定时器/事件计数器 00 的配置

16 位定时器/事件计数器 00 包括以下硬件。

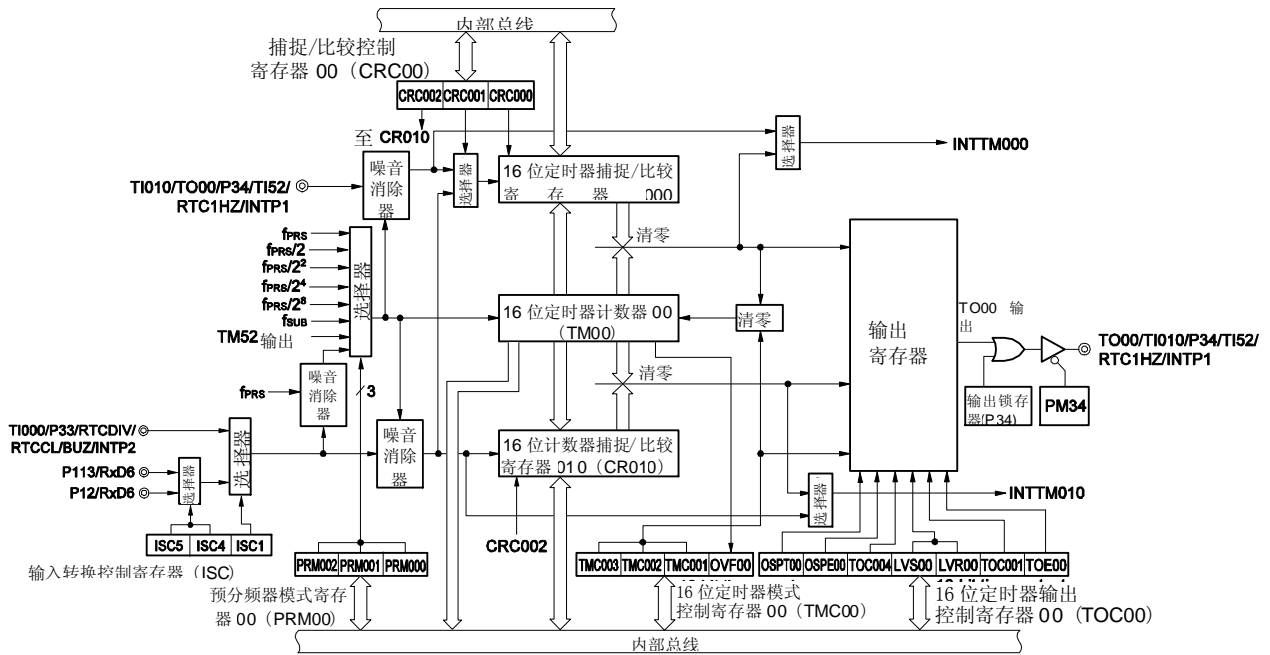
表 6-1. 16 位定时器/事件计数器 00 的配置

项目	配置
定时器/计数器	16 位定时器计数器 00 (TM00)
寄存器	16 位定时器捕捉/比较寄存器 000, 010 (CR000, CR010)
定时器输入	TI000, TI010 引脚
定时器输出	TO00 引脚, 输出控制器
控制寄存器	16 位定时器模式控制寄存器 00 (TMC00) 16 位定时器捕捉/比较控制寄存器 00 (CRC00) 16 位定时器输出控制寄存器 00 (TOC00) 预分频器模式寄存器 00 (PRM00) 输入转换控制寄存器 (ISC) 端口模式寄存器 3 (PM3) 端口寄存器 3 (P3)

备注 当使用 16 位定时器/事件计数器 00 作为外部 24 位事件计数器时, 要使用 8 位定时器/事件计数器 52 (TM52) 和 8 位定时器计数器 H2 (TMH2)。详细内容, 参见 6.4.9 外部 24 位事件计数器操作。

图 6-1 显示了 16 位定时器/事件计数器的框图。

图 6-1. 16 位定时器/事件计数器 00 的框图



注意事项 1. P34 引脚不能同时用于 TI010 有效沿和定时器输出(TO00), 选择其一功能。

注意事项 2. 如果 16 位定时器模式控制寄存器 00 (TMC00) 的第 3 和 2 位 (TMC003 和 TMC002) 被清零和捕捉触发输入冲突, 则捕捉到的数据不确定。

3. 要从捕捉模式变为比较模式, 首先清零 TMC003 和 TMC002 位, 然后再改变设置。

捕捉值被保存在 CR000, 除非设备复位。如果将模式变为比较模式, 确保设置一个比较值。

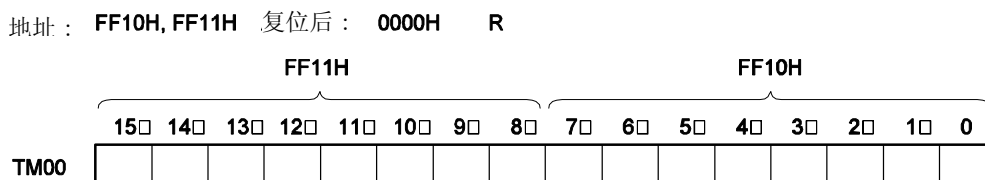
(1) 16 位定时器计数器 00 (TM00)

TM00 是 16 位只读寄存器, 用于脉冲计数。

计数器随计数时钟的上升沿次数同步增加。

如果在操作期间读取计数值, 暂时停止计数时钟输入, 则此时的计数值被读取。

图 6-2. 16 位定时器计数器 00 (TM00) 的格式



当 16 位定时器模式控制寄存器 00 (TMC00) 的第 3 位和第 2 位不是 00 时, 可通过读取 TM00 来获取计数值。如果在 TMC003 和 TMC002 = 00 时读取 TM00, 则获取的计数值为 0000H。

如出现以下情况, 计数值复位为 0000H。

- 复位信号的产生
- TMC003 和 TMC002 被清零
- 在 TI000 引脚输入有效沿进入清零和启动模式时
- 在 TM00 和 CR000 相等时进入清零和启动模式时
- 在单脉冲输出模式下如果 OSPT00 被设置为 1 或 TI000 引脚输入有效沿时

注意事项 即使读取了 TM00, 也不能通过 CR010 捕捉到该值。

(2) 16 位定时器捕捉/比较寄存器 000 (CR000), 16 位定时器捕捉/比较寄存器 010 (CR010)

CR000 与 CR010 是 16 位寄存器, 具有捕捉或比较功能(通过 CRC00 进行选择)。

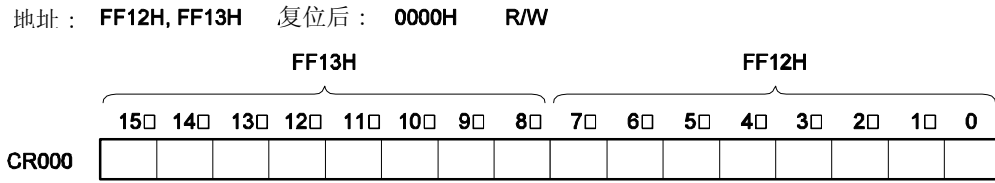
当定时器停止操作时(TMC003 与 TMC002 = 00), 修改 CR000 的值。

如果已按指定方式对 CR010 进行设置, 则在操作期间可以修改 CR010。如需了解详细信息, 可参见 6.5.1 TM00 操作期间重写 CR010。

可按 16 位读写这些寄存器。

复位信号的产生可将这些寄存器设置为 0000H。

图 6-3. 16 位定时器 捕捉/比较 寄存器 000 (CR000)的格式

**(i) 当 CR000 用作比较 寄存器**

CR000 的设置值与 16 位定时器计数器 00 (TM00)的计数值频繁地相比较，如果相等将产生一个中断请求 (INTTM000)。在 CR000 被重写前一直保持这个值。

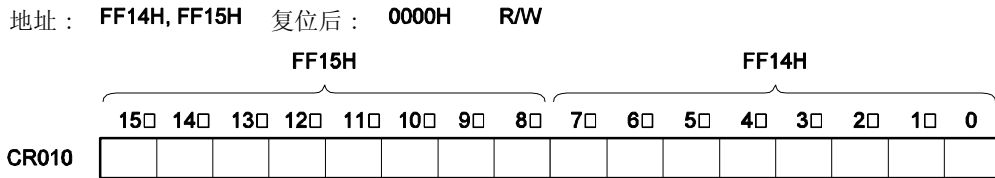
注意事项 CR000 设置为比较模式时不能执行捕捉操作，即使有捕捉触发输入。

(ii) 当 CR000 用作捕捉 寄存器

当输入捕捉触发时，TM00 的计数值被捕捉到 CR000。

可以使用 CRC00 或 PRM00 选择 TI000 引脚的反向脉冲沿或 TI010 引脚的有效沿作为捕捉触发。

图 6-4. 16 位定时器 捕捉/比较 寄存器 010 (CR010)的格式

**(i) 当 CR010 用作比较寄存器**

CR010 的设置值与 TM00 的计数值频繁地相比较，如果相等将产生一个中断请求 (INTTM010)。

注意事项 CR010 设置为比较模式时不能执行捕捉操作，即使有捕捉触发输入。

(ii) 当 CR010 用作捕捉 寄存器

当输入捕捉触发时，TM00 的计数值被捕捉到 CR010。

可以选择 TI000 引脚的有效沿作为捕捉触发。TI000 有效沿由 PRM00 来设置。

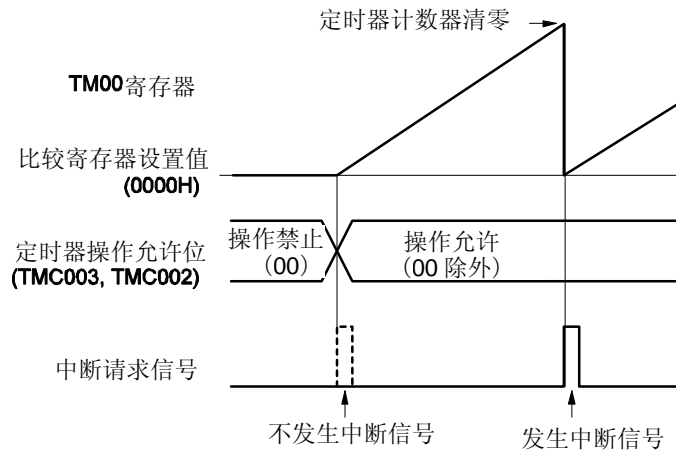
(iii) CR000 或 CR010 用作比较寄存器时的设置范围

当 CR000 或 CR010 用作比较寄存器时, 按下面所示进行设置。

操作	CR000 寄存器设置范围	CR010 寄存器设置范围
作为间隔定时器操作	0000H < N ≤ FFFFH	0000H [≠] ≤ M ≤ FFFFH
作为方波输出操作		通常, 此设置不使用。屏蔽相等中断信号 (INTTM010)。
作为外部事件计数器操作		
由 TI000 引脚有效沿输入进入 清零 & 启动模式	0000H [≠] ≤ N ≤ FFFFH	0000H [≠] ≤ M ≤ FFFFH
作为自由运行定时器操作		
作为 PPG 输出操作	M < N ≤ FFFFH	0000H [≠] ≤ M < N
作为单脉冲输出操作	0000H [≠] ≤ N ≤ FFFFH (N ≠ M)	0000H [≠] ≤ M ≤ FFFFH (M ≠ N)



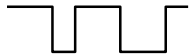









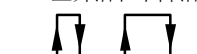
注 When 0000H 被设置时, 定时器不操作并且定时器输出不改变后, 一个相等中断立即产生, 第一个相等时序如下所示。当定时器计数器 (TM00 寄存器) 从 0000H 变为 0001H 时产生相等中断。

- 当定时器计数器由于溢出清零时
- 当定时器计数器由于 TI000 引脚有效沿 (由 TI000 引脚有效沿输入进入清零 & 启动模式) 清零时
- 当定时器计数器由于比较相等 (清零 & 启动模式下 TM00 与 CR000 相等 (CR000 = 非 0000H, CR010 = 0000H)) 清零时



- 备注**
1. N: CR000 寄存器设置值, M: CR010 寄存器设置值
 2. TMC003 和 TMC002 的详细说明, 参见 6.3 (1) 16 位 定时器 模式控制寄存器 00 (TMC00)。

表 6-2. CR000 和 CR010 的捕捉操作

外部输入信号 捕捉操作	TI000 引脚输入 		TI010 引脚输入 	
CR000 的捕捉操作	CRC001 = 1 TI000 引脚输入 (反相) 	ES001 和 ES000 的设置 值 要捕捉的沿	CRC001 位= 0 TI010 引脚输入 	ES101 和 ES100 的设置 值 要捕捉的沿
		01: 上升沿 		01: 上升沿 
00: 下降沿 		00: 下降沿 		
		11: 上升沿和下降沿 (不能捕捉)		11: 上升沿和下降沿 
	中断信号	即使值被捕捉, INTTM000 信号也不发 生。	中断信号	每次值被捕捉时, 产生 INTTM000 信号。
CR010 的捕捉操作	TI000 引脚输入 ^注 	ES001 和 ES000 的设置 值 要捕捉的沿		
		01: 上升沿 		
00: 下降沿 				
		11: 上升沿和下降沿 		
	中断信号	每次值被捕捉时, 产生 INTTM010 信号。		

注 CR010 的捕捉操作不受 CRC001 位设置的影响。

注意事项 如果要使用输入到 TI000 引脚的反向脉冲沿来捕捉 TM00 的计数值, 并存入 CR000, 则在捕捉了计数值后, 不产生中断请求信号(INTTM000)。如果在操作期间检测到 TI010 的有效沿, 则不执行捕捉操作, 但会产生 INTTM000 信号作为外部中断信号。当不使用外部中断时, 可以屏蔽 INTTM000 信号。

备注 CRC001: 参见 6.3 (2) 捕捉/比较控制寄存器 00 (CRC00)。
ES101, ES100, ES001, ES000: 参见 6.3 (4) 预分频 模式 寄存器 00 (PRM00)。

6.3 寄存器控制 16 位定时器/事件计数器 00

用于 16 位定时器/事件计数器 00 的寄存器如下所示。

- 16 位 定时器 模式控制寄存器 00 (TMC00)
- 捕捉/比较控制寄存器 00 (CRC00)
- 16 位 定时器输出控制寄存器 00 (TOC00)
- 预分频模式 寄存器 00 (PRM00)
- 输入切换控制寄存器 (ISC)
- 端口 模式 寄存器 3 (PM3)
- 端口寄存器 3 (P3)

(1) 16 位 定时器 模式控制寄存器 00 (TMC00)

TMC00 是一个 8 位寄存器，用于设置 16 位定时器/事件计数器 00 的操作模式、TM00 清零模式和输出时序，及溢出检测。

操作期间(当 TMC003 与 TMC002 不等于 00)禁止重写 TMC00。当 TMC003 与 TMC002 清零(00)(停止操作)并且 OVF00 也清零(0)时，可以修改它的值。

可以由 1 位或 8 位存储器操作指令设置。

复位信号的产生将 TMC00 清零(00H)。

注意事项 当设置 TMC002 与 TMC003 为 00（操作停止模式）以外的值时，16 位定时器/事件计数器 00（TM00）开始计数。若要停止操作，则设置 TMC002 和 TMC003 为 00。

图 6-5. 16 位定时器 模式控制寄存器 00 (TMC00) 的格式

地址: FFBAH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	<0>
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	16 位定时器/事件计数器 00 操作允许
0	0	禁止 16 位定时器/事件计数器 00 操作。停止供应操作时钟。清零 16 位定时器计数器 00 (TM00)。
0	1	自由运行定时器 模式
1	0	通过 TI000 引脚有效沿输入*进入清零&启动模式
1	1	TM00 和 CR000 相等时进入清零&启动模式

TMC001	反转定时器输出(TO00)的条件
0	<ul style="list-style-type: none"> • TM00 与 CR000 相等或 TM00 与 CR010 相等
1	<ul style="list-style-type: none"> • TM00 与 CR000 相等或 TM00 与 CR010 相等 • TI000 引脚有效沿的触发输入

OVF00	TM00 溢出标志
清零 (0)	将 OVF00 清零(0)或 TMC003 与 TMC002 = 00
设置 (1)	发生溢出

在所有操作模式下(自由运行定时器模式、清零&启动模式(通过 TI000 引脚有效沿输入进入)和清零&启动模式(在 TM00 与 CR000 相等时进入))当 TM00 的值由 FFFFH 变为 0000H 时, OVF00 标志位将被设置为 1。也可以将 1 写入 OVF00 进行设置。

注 通过预分频器模式寄存器 00 (PRM00)的第 5 位和第 4 位(ES001, ES000)设置 TI000 引脚的有效沿。

(2) 捕捉/比较控制寄存器 00 (CRC00)

CRC00 用于控制 CR000 和 CR010 的操作。

操作期间(TMC003 与 TMC002 不等于 00 时)禁止修改 CRC00。

可以由 1 位或 8 位存储器操作指令设置 CRC00。

复位信号的产生将 CRC00 清零(00H)。

图 6-6. 捕捉/比较控制寄存器 00 (CRC00) 的格式

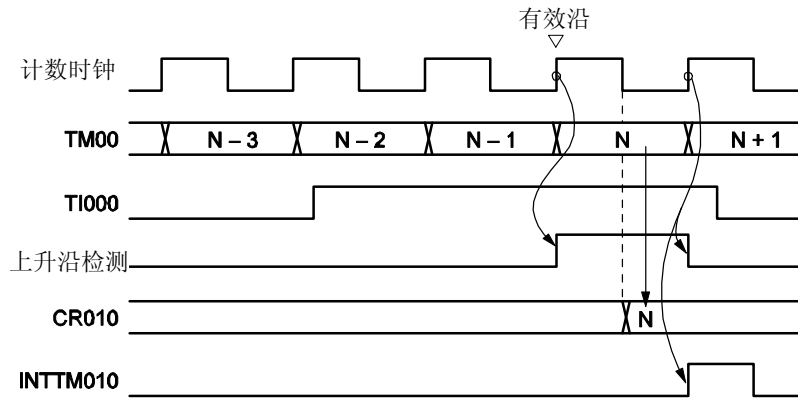
地址: FFBC H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000
CRC002	CR010 操作模式的选择							
0	用作比较寄存器							
1	用作捕捉寄存器							
CRC001	CR000 捕捉触发选择							
0	在 TI010 引脚的有效沿捕捉							
1	在 TI000 引脚的有效沿反向 ^注 时捕捉							
由 PRM00 设置 TI010 与 TI000 引脚的有效沿 如果在 CRC001=1 时将 ES001 和 ES000 设置为 11(两种脉冲沿), 则不能检测 TI000 引脚的有效沿								
CRC000	CR000 操作模式选择							
0	用作比较寄存器							
1	用作捕捉寄存器							
如果 TMC003 与 TMC002 被设置为 11 (清零&启动模式(在 TM00 与 CR000 相等时进入)), 则必须将 CRC000 设置为 0								

注 当检测到 TI000 的有效沿时, 不执行捕捉操作, 但产生 INTTM000 信号作为外部中断信号。

注意事项 为确保捕捉操作正确执行, 捕捉触发需要的脉冲应大于两个计数时钟的时钟周期, 该计数时钟用预分频器模式寄存器 00 (PRM00)选择。

图 6-7. CR010 捕捉操作示例 (指定上升沿有效)

**(3) 16 位定时器输出控制寄存器 00 (TOC00)**

TOC00 是一个 8 位寄存器，用于控制 TO00 引脚输出。

仅当 OSPT00 操作时才能重写 TOC00(当 TMC003 与 TMC002 不等于 00 时)。操作期间禁止重写其它位。

但可以在定时器操作期间对 TOC004 进行重写，作为重写 CR010 的一种方法(参见 6.5.1 TM00 操作期间 CR010 的重写)。

可以由 1 位或 8 位存储器操作指令设置 TOC00。

复位信号的产生将 TOC00 清零(00H)。

注意事项 必须按以下步骤设置 TOC00。

- <1> 设置 TOC004 与 TOC001 为 1。
- <2> 仅设置 TOE00=1。
- <3> 设置 LVS00 或 LVR00 为 1。

图 6-8. 16 位定时器输出控制寄存器 00 (TOC00) 的格式

地址: FFBDH 复位后: 00H R/W

符号	7	<6>	<5>	4	<3>	<2>	1	<0>
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
OSPT00	通过软件进行单脉冲输出触发							
0	-							
1	单脉冲输出							
该位的读取值总是为“0”。在所有模式下(单脉冲输出模式除外), 不要将该位设置为 1。如果该位为 1, 则将 TM00 清零并启动。								
OSPE00	单脉冲输出操作控制							
0	连续脉冲输出模式							
1	单脉冲输出							
在自由运行定时器模式或清零&启动模式(通过 TI000 引脚有效沿输入进入)下, 单脉冲输出可以正确进行。在清零&启动模式(由 TM00 与 CR000 相等进入)下不能输出单脉冲。								
TOC004	CR010 与 TM00 相等时 TO00 引脚输出控制							
0	禁止反转操作							
1	允许反转操作							
即使 TOC004 = 0, 也产生中断信号 (INTTM010)。								
LVS00	LVR00	TO00 引脚输出状态设置						
0	0	无变化						
0	1	TO00 引脚输出的初值为低电平 (将 TO00 引脚输出清零(0))						
1	0	TO00 引脚输出的初值为高电平 (将 TO00 引脚输出设置为 1)						
1	1	禁止设置						
<ul style="list-style-type: none"> LVS00 与 LVR00 可以用来设置 TO00 引脚输出电平的初值。如果不必设初值, 则将保持 LVS00 与 LVR00 为 00。 当 TOE00 = 1 时, 必须设置 LVS00 与 LVR00。 禁止同时将 LVS00、LVR00 和 TOE00 设置为 1。 LVS00 与 LVR00 是触发位。通过将这两位设置为 1, 可以对 TO00 引脚输出电平的初值进行设置。即使将这两位清零(0), TO00 引脚的输出也不会受到影响。 LVS00 与 LVR00 的读取值总是为 0。 如需了解 LVS00 与 LVR00 的设置, 参见 6.5.2 LVS00 与 LVR00 的设置。 TO00/TI010/P34/TI52/RTC1HZ/INTP1 引脚实际的输出由 PM34 和 P34 决定, TO00 输出除外。 								
TOC001	CR000 与 TM00 相等时 TO00 引脚输出控制							
0	禁止反转操作							
1	允许反转操作							
即使 TOC001 = 0, 也产生中断信号(INTTM000)								
TOE00	TO00 引脚输出控制							
0	禁止输出 (TO00 引脚输出恒为低电平)							
1	允许输出							

(4) 预分频模式 寄存器 00 (PRM00)

PRM00 用于设置 TM00 的计数时钟以及 TI000 与 TI010 引脚输入的有效沿。

操作期间(当 TMC003 与 TMC002 不等于 00 时)禁止重写 PRM00。

可由 1 位或 8 位存储器操作指令设置 PRM00。

复位信号的产生将 PRM00 清零(00H)。

注意事项 1. 当 PRM001 与 PRM000 为 11 时(指定 TI000 引脚的有效沿作为计数时钟)，不要进行以下设置。

- 清零&启动模式(通过 TI000 引脚有效沿进入)
 - 设置 TI000 引脚作为捕捉触发
2. 如果在 TI000 或 TI010 引脚为高电平并且指定 TI000 或 TI010 引脚的有效沿为上升沿或兼有两种脉冲沿时，允许 16 位定时器/事件计数器 00 操作，TI000 或 TI010 引脚的高电平将被检测为上升沿。当 TI000 或 TI010 引脚被上拉时要注意。然而，一旦定时器操作已经被停止并且之后再次被允许时，则不检测上升沿。
3. 对于 P01 引脚，TI010 的有效沿和定时器输出(TO00)不能同时使用。可以任选其一。

图 6-9. 预分频模式 寄存器 00 (PRM00) 的格式

地址: FFBBH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	PRM002	PRM001	PRM000

ES101	ES100	TI010 引脚有效沿选择
0	0	下降沿
0	1	上升沿
1	0	禁止设置
1	1	兼有上升沿和下降沿

ES001	ES000	TI000 引脚有效沿选择
0	0	下降沿
0	1	上升沿
1	0	禁止设置
1	1	兼有上升沿和下降沿

PRM002	PRM001	PRM000	计数时钟选择 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz
0	1	1	f _{PRS} /2 ⁴	1.25 MHz	2.5 MHz	625 kHz
1	0	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	0	1	f _{SUB}	32.768 kHz		
1	1	0	TI000 有效沿 ^{注3}			
1	1	1	TM52 输出			

- 注**
- 如果外围硬件时钟(f_{PRS}) 操作在高速系统时钟 (f_{XH}) (XSEL = 1), f_{PRS} 的工作频率根据供电电压的不同而不同。
 - V_{DD} = 2.7~5.5 V: f_{PRS} ≤ 10 MHz
 - V_{DD} = 1.8~2.7 V: f_{PRS} ≤ 5 MHz
 - 如果外围硬件时钟(f_{PRS}) 操作在内部高速振荡时钟(f_{RH}) (XSEL = 0), 当 1.8 V ≤ V_{DD} < 2.7 V 时, PRM002 = PRM001 = PRM000 = 0 (计数时钟: f_{PRS})的设置被禁止。
 - 外部时钟脉冲宽度要求大于内部时钟(f_{PRS})的两个周期宽度。

注意事项 在脉冲宽度测量期间不要选择 TI000 的有效沿作为计数时钟。

- 备注**
- 通过设置 PRM002, PRM001, PRM000 = 1, 1, 1, 8 位 定时器/事件计数器 52 (TM52)输出可选择作为 TM00 计数时钟。根据 TM52 计数时钟和比较寄存器的设置值, 可设置任意频率作为 16 位 定时器 (TM00) 计数时钟。
 - f_{PRS}: 外围硬件时钟频率
f_{SUB}: 副系统时钟频率

(5) 输入切换控制寄存器 (ISC)

通过将 ISC1 设置为 0，TI000 的输入源作为 P33/TI000 引脚的输入信号。

可由 1 位或 8 位存储器操作指令设置 ISC。

复位信号的产生将 ISC 清零为 00H。

图 6-10. 输入切换控制寄存器 (ISC) 的格式

地址: FF4FH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ISC	0	0	ICS5	ICS4	ICS3	ICS2	ICS1	ICS0

ICS5	ICS4	TxD6, RxD6 输入源 选择
0	0	TxD6:P112, RxD6: P113
1	0	TxD6:P13, RxD6: P12
其他值		禁止设置

ISC3	RxD6/P113 输入允许/禁止
0	RxD6/P113 输入禁止
1	RxD6/P113 输入允许

ISC2	TI52 输入源 控制
0	No enable 控制 of TI52 input (P34)
1	Enable controlled of TI52 input (P34) ^注

ISC1	TI000 输入源选择
0	TI000 (P33)
1	RxD6 (P12 或 P113)

ISC0	INTP0 输入源选择
0	INTP0 (P120)
1	RxD6 (P12 或 P113)

注 由 TOH2 输出 信号控制 TI52 输入。

(6) 端口模式 寄存器 3 (PM3)

该寄存器按位设置端口 3 为输入/输出模式。

如果使用 P34/TI52/TI010/TO00/RTC1HZ/INTP1 引脚用于 定时器输出, 则需要将 PM34 以及 P34 的输出锁存器清零。

如果使用 P33/TI000/RTCDIV/RTCCL/BUZ/INTP2 和 P34/TI52/TI010/TO00/RTC1HZ/INTP1 引脚用于定时器输入, 则需要将 PM33 和 PM34 设置为 1。此时 P33 和 P34 的输出锁存器可以为 0 也可以为 1。

可由 1 位或 8 位存储器操作指令设置 PM3。

复位信号的产生将 PM3 设置为 FFH。

图 6-11. 端口模式 寄存器 3 (PM3) 的格式

地址 : FF23H 复位后 : FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	1

PM3n	P3n 引脚 I/O 模式选择(n=1~4)
0	输出模式(输出缓冲器打开)
1	输入模式(输出缓冲器关闭)

6.4 16 位定时器/事件计数器 00 的操作

6.4.1 间隔定时器 操作

如果 16 位定时器模式控制寄存器 (TMC00) 的第 3 位和第 2 位 (TMC003 和 TMC002) 为 11 (清零&启动模式(在 TM00 与 CR000 相等时进入)), 则启动计数操作与计数时钟同步。

当之后的 TM00 值与 CR000 值相等时, 将 TM00 清零 (0000H) 并产生一个相等中断信号(INTTM000)。这个 INTTM000 信号允许 TM00 作为间隔定时器操作。

- 备注
1. I/O 引脚设置的详细说明, 参见 6.3 (6) 端口模式 寄存器 3 (PM3)。
 2. 要了解如何允许 INTTM000 中断, 参见 第二十一章 中断功能。

图 6-12. 间隔定时器操作的框图

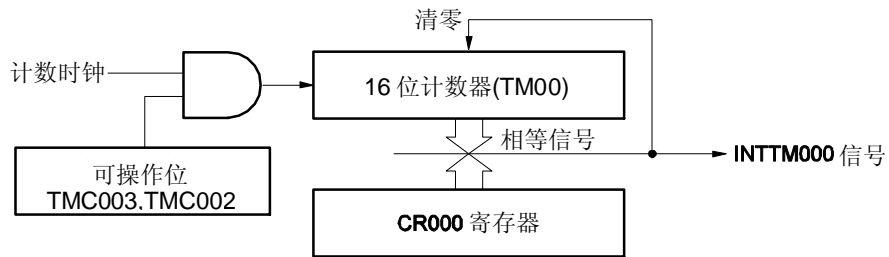


图 6-13. 间隔定时器操作的基本时序示例

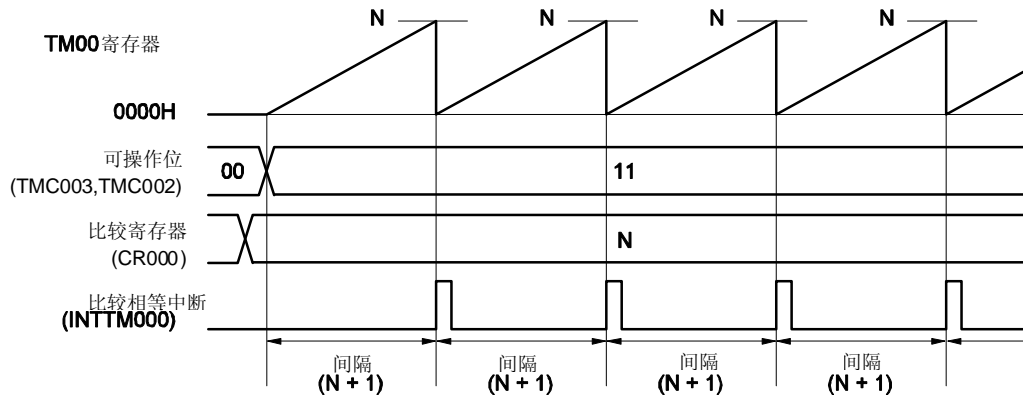
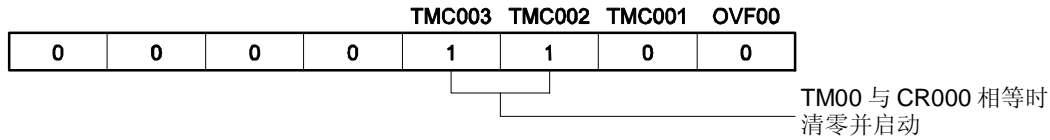
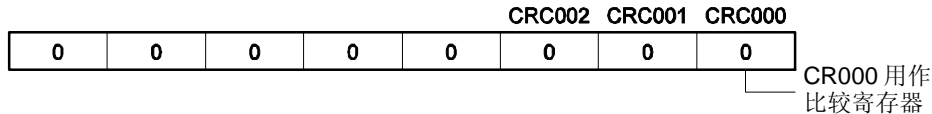


图 6-14. 间隔定时器操作的寄存器设置示例

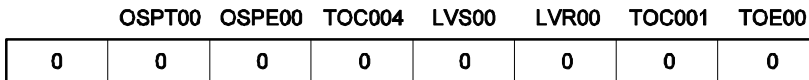
(a) 16 位 定时器 模式控制寄存器 00 (TMC00)



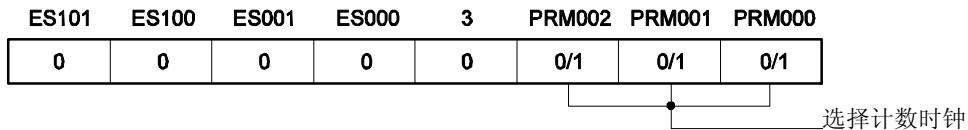
(b) 捕捉/比较控制寄存器 00 (CRC00)



(c) 16 位 定时器输出控制寄存器 00 (TOC00)



(d) 预分频 模式 寄存器 00 (PRM00)



(e) 16 位定时器计数器 00 (TM00)

通过读取 TM00，获得计数值。

(f) 16 位 捕捉/比较 寄存器 000 (CR000)

如果 CR000=M，则间隔时间表示如下。

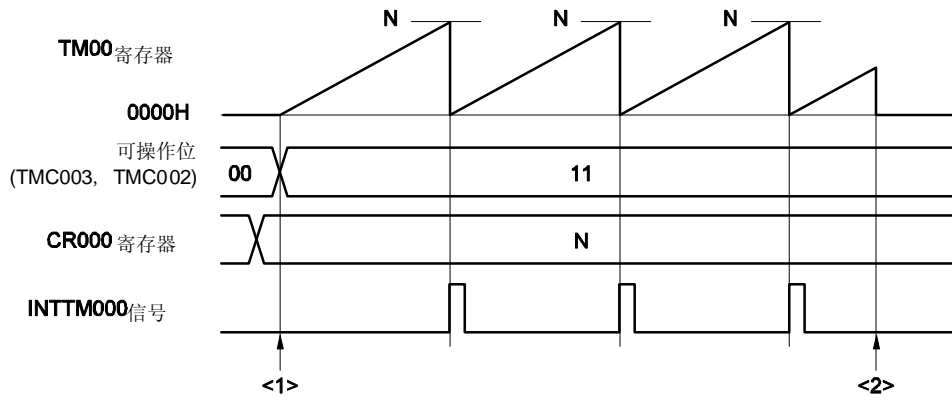
- 间隔时间 = (M + 1) × 计数时钟周期

禁止将 CR000 设置为 0000H。

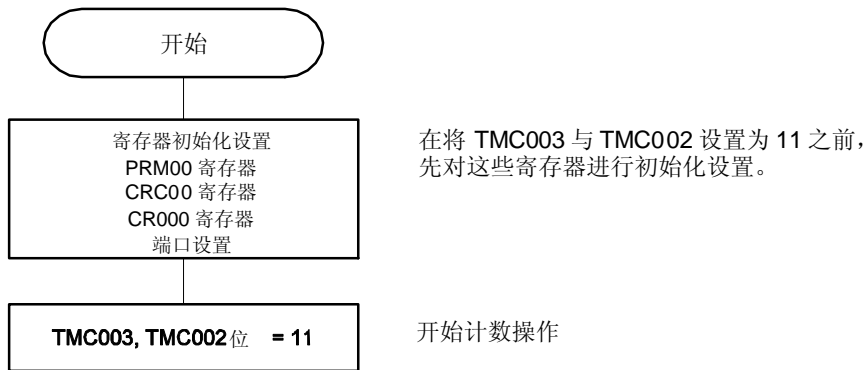
(g) 16 位 捕捉/比较 寄存器 010 (CR010)

通常 CR010 不用作间隔定时器。但当 CR010 的值与 TM00 的值相等时，会产生比较相等中断(INTTM010)。因此通过使用中断屏蔽标志(TMMK010)屏蔽中断请求。

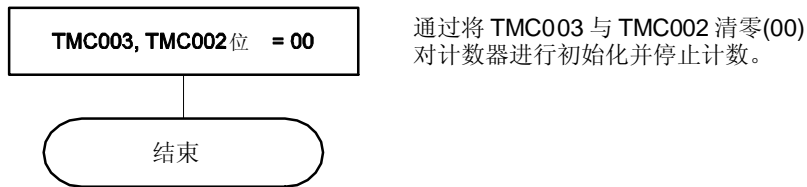
图 6-15. 间隔定时器软件处理示例



<1>计数操作启动流程



<2>计数操作停止流程



6.4.2 方波输出操作

当 16 位定时器/事件计数器 00 用作间隔定时器时(参见 6.4.1)，通过将 16 位定时器输出控制寄存器 00 (TOC00) 设置为 03H，可以从 TO00 引脚输出一个方波。

当 TMC003 与 TMC002 被设置为 11 时(计数清零&启动模式(在 TM00 与 CR000 相等时进入))，启动计数操作与计数时钟同步。

当之后 TM00 的值与 CR000 的值相等时，将 TM00 清零(0000H)、产生中断信号(INTTM000)并反转 TO00 引脚的输出。反转的 TO00 引脚输出以恒定的间隔允许 TO00 输出一个方波。

- 备注**
1. 如需了解 I/O 引脚的设置，可参见 6.3 (6) 端口模式寄存器 3 (PM3)。
 2. 要了解如何允许 INTTM000 信号中断，参见 第二十一章 中断功能。

图 6-16. 方波输出操作框图

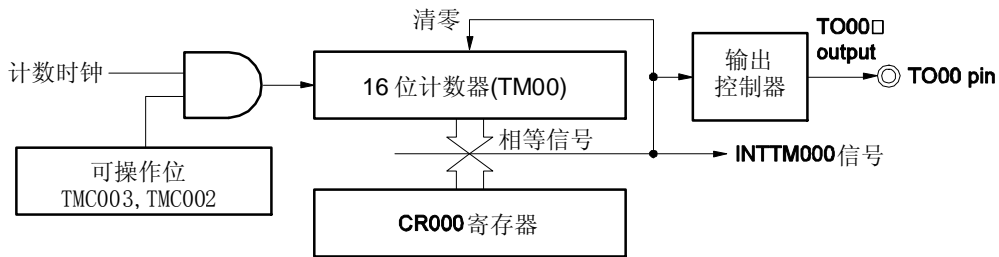


图 6-17. 方波输出操作的基本时序示例

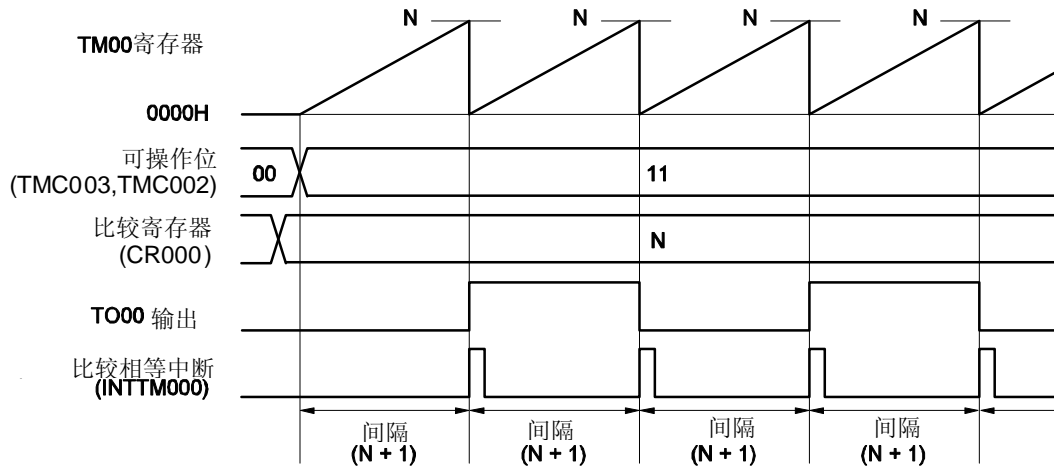
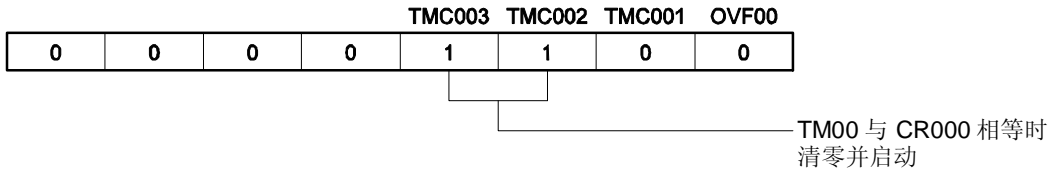
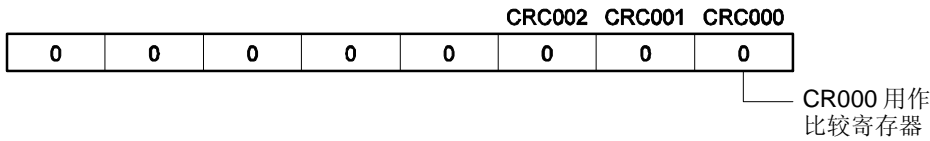


图 6-18. 方波输出操作的寄存器设置示例

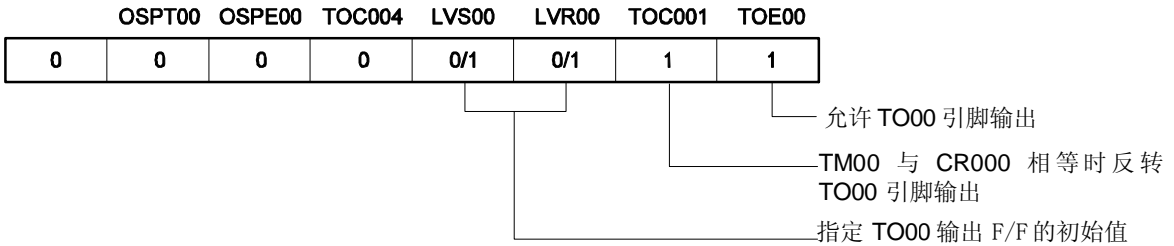
(a) 16 位 定时器 模式控制寄存器 00 (TMC00)



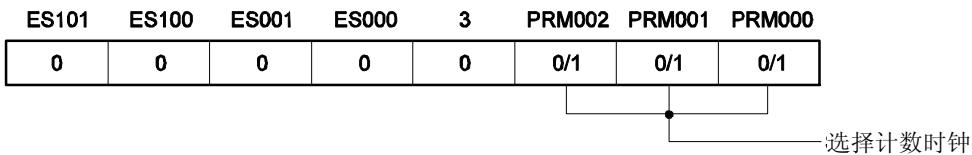
(b) 捕捉/比较控制寄存器 00 (CRC00)



(c) 16 位 定时器输出控制寄存器 00 (TOC00)



(d) 预分频 模式 寄存器 00 (PRM00)



(e) 16 位定时器计数器 00 (TM00)

通过读取 TM00，获得计数值。

(f) 16 位 捕捉/比较 寄存器 000 (CR000)

如果 $CR000=M$ ，则间隔时间表示如下。

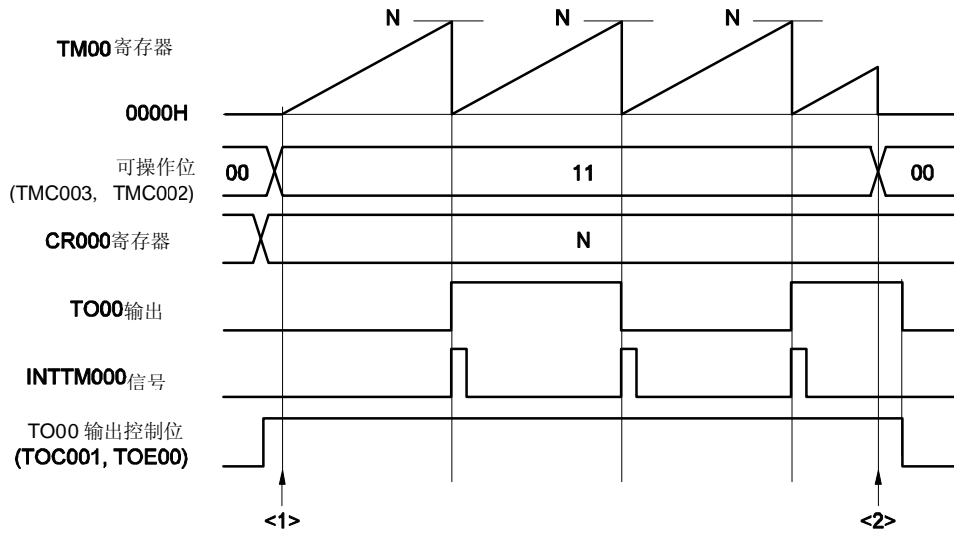
- 方波频率 = $1 / [2 \times (M + 1) \times \text{计数时钟周期}]$

禁止将 CR000 设置为 0000H。

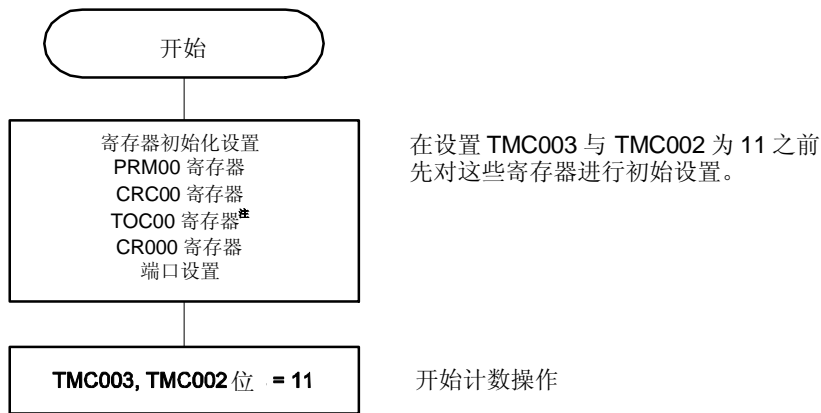
(g) 16 位 捕捉/比较 寄存器 010 (CR010)

通常 CR010 不用作方波输出。但当 CR010 的值与 TM00 的值相等时，会产生比较相等中断(INTTM010)。因此，通过使用中断屏蔽标志(TMMK010)屏蔽中断请求。

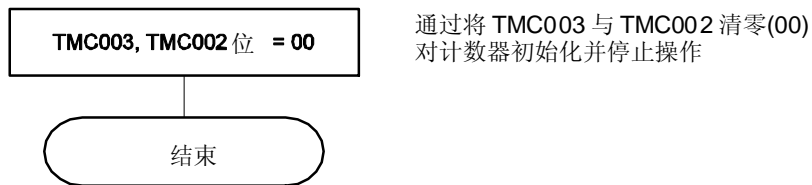
图 6-19. 方波输出功能软件处理示例



<1>计数操作启动流程



<2>计数操作停止流程



注 设置 TOC00 时必须特别小心。如需了解详细信息，参见 6.3 (3) 16 位定时器输出控制寄存器 00 (TOC00)。

6.4.3 外部事件计数器操作

当预分频器模式寄存器 00 (PRM00) 的第 1 位和第 0 位 (PRM001 和 PRM000) 被设置为 11 (使用 TI000 引脚的有效沿计数) 以及 16 位定时器模式控制寄存器 00 (TMC00) 的第 3 位和第 2 位 (TMC003 和 TMC002) 被设置为 11 时, 开始对外部事件输入的有效沿进行计数, 并产生用于指示 TM00 和 CR000 之间相等的相等中断信号 (INTTM000)。

如果要输入外部事件, 可以使用 TI000 引脚。因此定时器/事件计数器不能用作清零 & 启动模式 (通过 TI000 引脚有效沿 (当 TMC003 与 TMC002 = 10 时) 进入) 下的外部事件计数器。

INTTM000 信号按下列时序产生。

- INTTM000 信号产生时序 (第 2 次或之后产生)
= 外部事件输入的有效沿检测次数 \times (CR000 的设置值 + 1)

但在定时器/事件计数器开始操作后, 将按以下时序立即产生第 1 次相等中断。

- INTTM000 信号产生时序 (仅在第 1 次产生)
= 外部事件输入的有效沿检测次数 \times (CR000 的设置值 + 2)

如果要检测有效沿, 则应在 f_{PRS} 时钟周期内对输入到 TI000 引脚的信号进行采样。在一个周期内检测到两次脉冲沿时才认为检测到有效沿, 这样可以消除一个窄脉冲宽度的噪音。

- 备注**
1. 如需了解 I/O 引脚的设置, 参见 6.3 (6) 端口模式寄存器 3 (PM3)。
 2. 要了解如何允许 INTTM000 信号中断, 参见第二十一章 中断功能。

图 6-20. 外部事件计数器操作框图

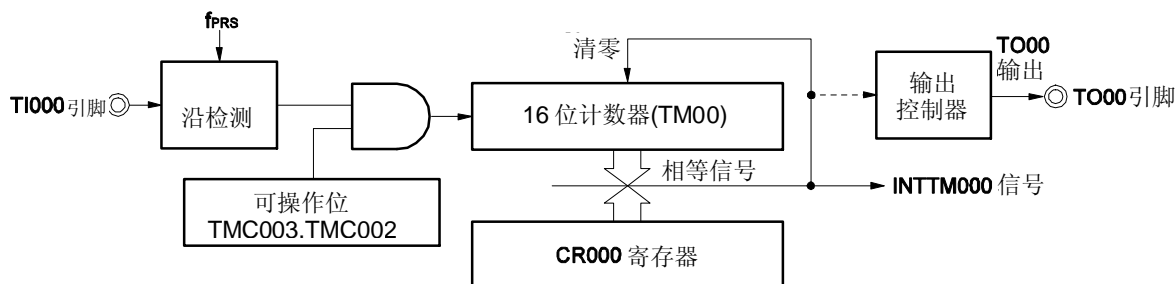
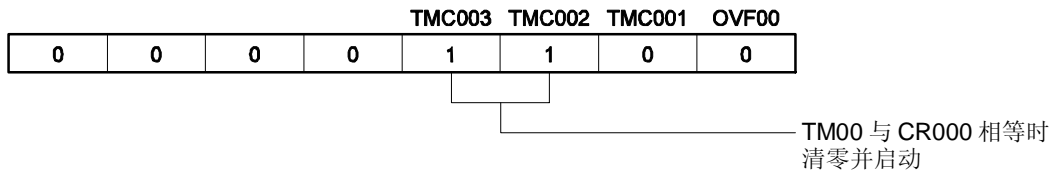
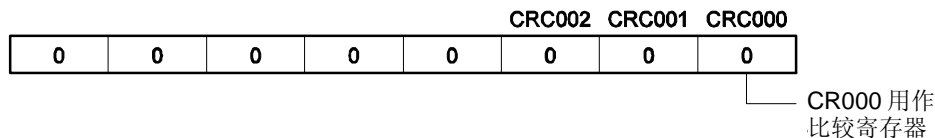


图 6-21. 外部事件计数器模式下寄存器设置示例(1/2)

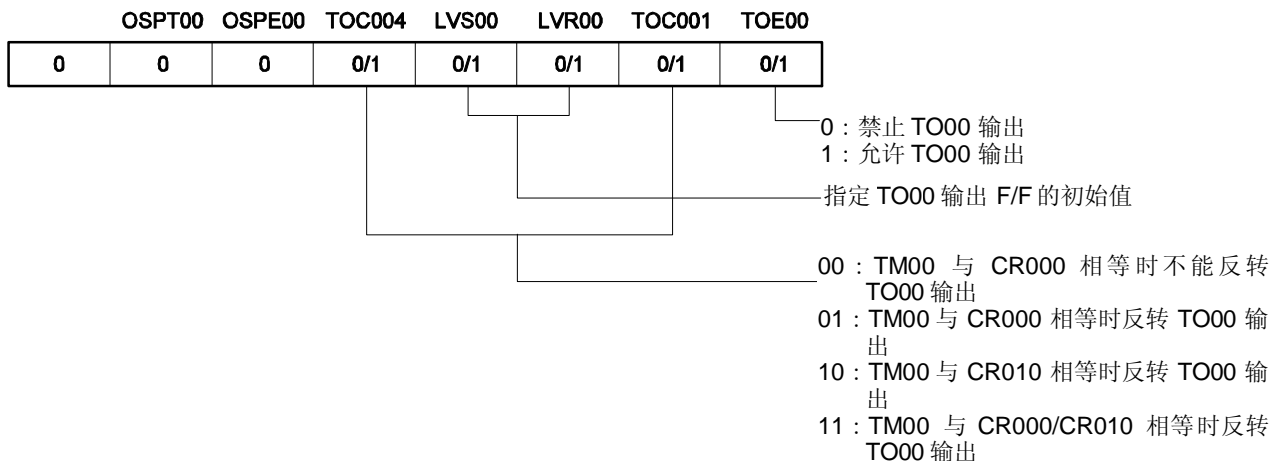
(a) 16 位 定时器 模式控制寄存器 00 (TMC00)



(b) 捕捉/比较控制寄存器 00 (CRC00)



(c) 16 位 定时器输出控制寄存器 00 (TOC00)



(d) 预分频模式 寄存器 00 (PRM00)

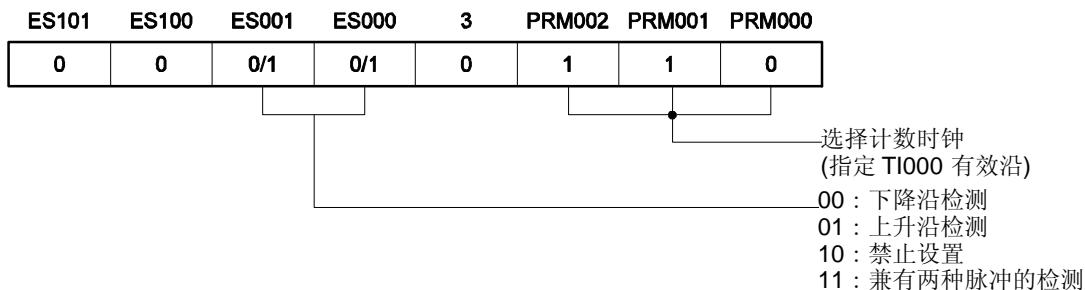


图 6-21. 外部事件计数器模式下寄存器设置示例 (2/2)

(e) 16 位定时器计数器 00 (TM00)

通过读取 TM00，获得计数值。

(f) 16 位 捕捉/比较 寄存器 000 (CR000)

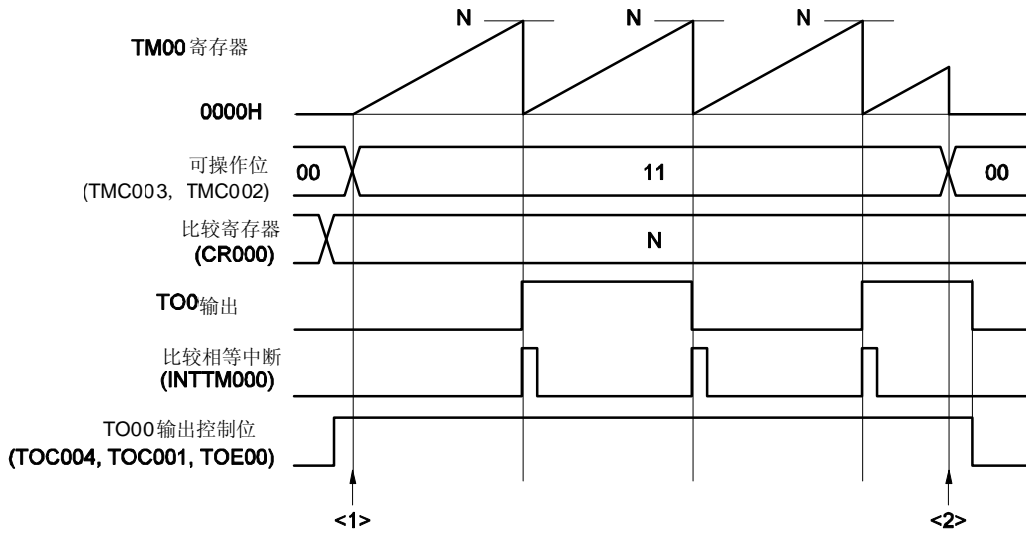
如果 CR000=M，当外部事件达到 (M+1) 时产生中断信号 (INTTM000)。

禁止将 CR000 设置为 0000H。

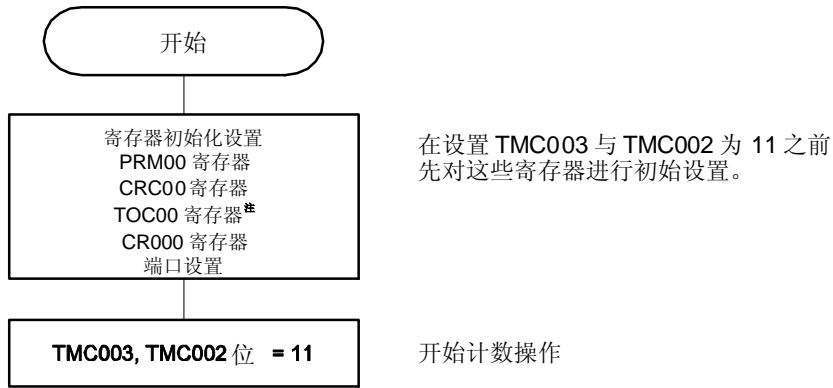
(g) 16 位 捕捉/比较 寄存器 010 (CR010)

通常 CR010 不用作外部事件计数器模式。但当 CR010 的值与 TM00 的值相等时，会产生比较相等中断 (INTTM010)。因此，通过使用中断屏蔽标志(TMMK010)屏蔽中断请求。

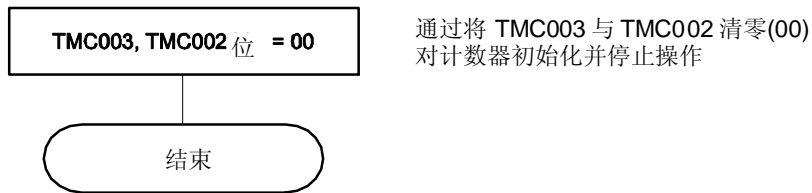
图 6-22. 外部事件计数器模式下的软件处理示例



<1> 计数操作启动流程



<2> 计数操作停止流程



注 设置 TOC00 时必须特别小心。如需了解详细信息，参见 6.3 (3) 16 位定时器输出控制寄存器 00 (TOC00)。

6.4.4 通过 TI000 引脚有效沿输入进入的清零&启动模式下的操作

当 16 位定时器模式控制寄存器 00 (TMC00) 的第 3 位和第 2 位(TMC003 和 TMC002)被设置为 10(清零&启动模式(通过 TI000 引脚有效沿输入进入))并且向定时器/事件计数器提供计数时钟(由 PRM00 设置)时, TM00 开始计数。在计数操作期间, 如果检测到 TI000 引脚的有效沿, 则将 TM00 清零(0000H)并再次开始计数。如果没有检测到 TI000 引脚的有效沿, 则 TM00 溢出并继续计数。

可通过 TI000 引脚的有效沿对 TM00 清零。在操作开始后, 不会立即启动计数器。

CR000 与 CR010 可用作比较寄存器和捕捉寄存器。

(a) CR000 与 CR010 用作比较寄存器

当 TM00 的值与 CR000、CR010 的值相等时, 产生信号 INTTM000 与 INTTM010。

(b) CR000 与 CR010 用作捕捉寄存器

当有效沿输入到 TI010 引脚时(或者当反向的有效脉冲沿输入到 TI000 引脚时), TM00 的计数值被捕捉到 CR000, 同时产生 INTTM000 信号。

当有效沿输入到 TI000 引脚时, TM00 的计数值被捕捉到 CR010, 同时产生 INTTM010 信号。一旦捕捉了计数值, 计数器即被清零(0000H)。

注意事项 不要将 TI000 引脚的有效沿(PRM002, PRM001, 和 PRM000= 110)设置为计数时钟。当 PRM002, PRM001, 和 PRM000= 110 时, 将 TM00 清零。

备注

1. 如需了解 I/O 引脚的设置, 参见 6.3 (6) 端口模式寄存器 3 (PM3)。
2. 要了解如何允许 INTTM000 信号中断, 参见第二十一章 中断功能。

(1) 清零&启动模式(通过 TI000 引脚有效沿输入进入)下的操作

(CR000: 比较寄存器, CR010: 比较寄存器)

图 6-23. 清零&启动模式(通过 TI000 引脚有效沿输入进入)的框图
(CR000: 比较寄存器, CR010: 比较寄存器)

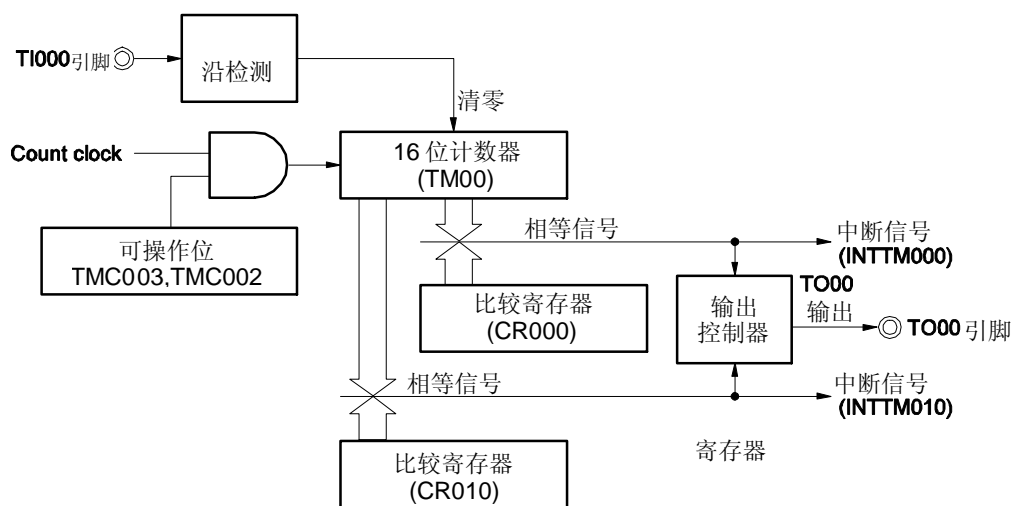
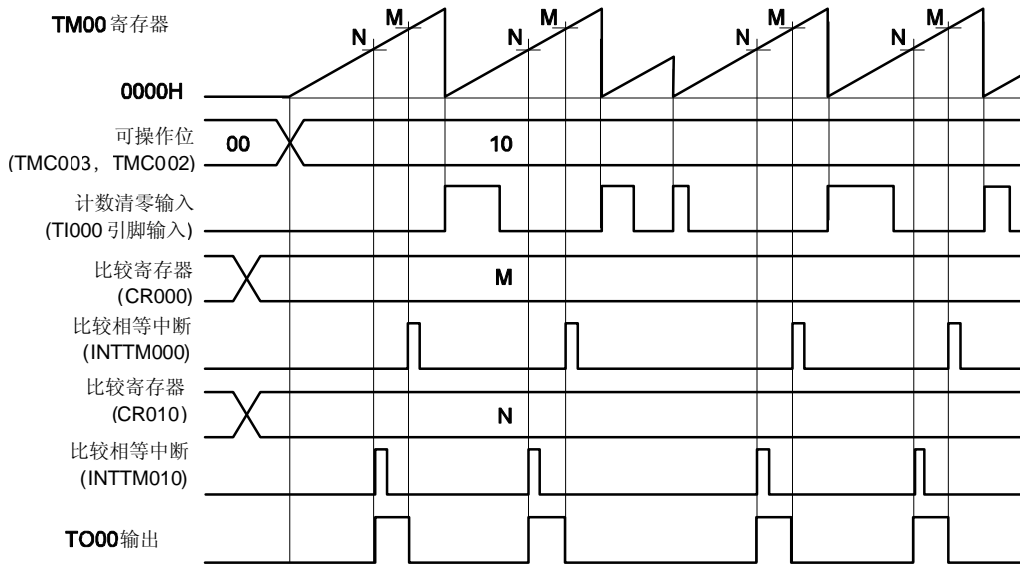
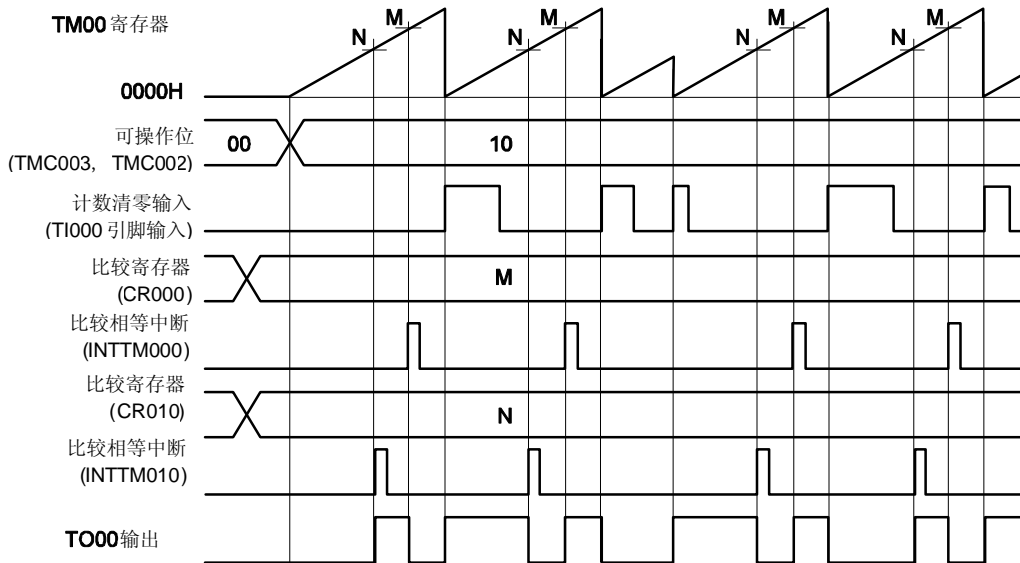


图 6-24. 清零&启动模式(通过 TI000 引脚有效沿输入进入)时序示例
(CR000: 比较寄存器, CR010: 比较寄存器)

(a) TOC00 = 13H, PRM00 = 10H, CRC00, = 00H, TMC00 = 08H



(b) TOC00 = 13H, PRM00 = 10H, CRC00, = 00H, TMC00 = 0AH



(a) 和 (b) 根据 16 位定时器模式控制寄存器 01 (TMC00) 第 1 位(TMC001) 的设置不同有如下变化。

- (a) 当 TM00 与比较寄存器相等时反转 TO00 引脚的输出电平。
- (b) 当 TM00 与比较寄存器相等或者检测到 TI000 有效沿时反转 TO00 引脚的输出电平。

(2) 清零&启动模式(通过 TI000 引脚有效沿输入进入)下的操作
(CR000: 比较 寄存器, CR010: 捕捉 寄存器)

图 6-25. 清零&启动模式(通过 TI000 引脚有效沿输入进入)的框图
(CR000: 比较 寄存器, CR010: 捕捉 寄存器)

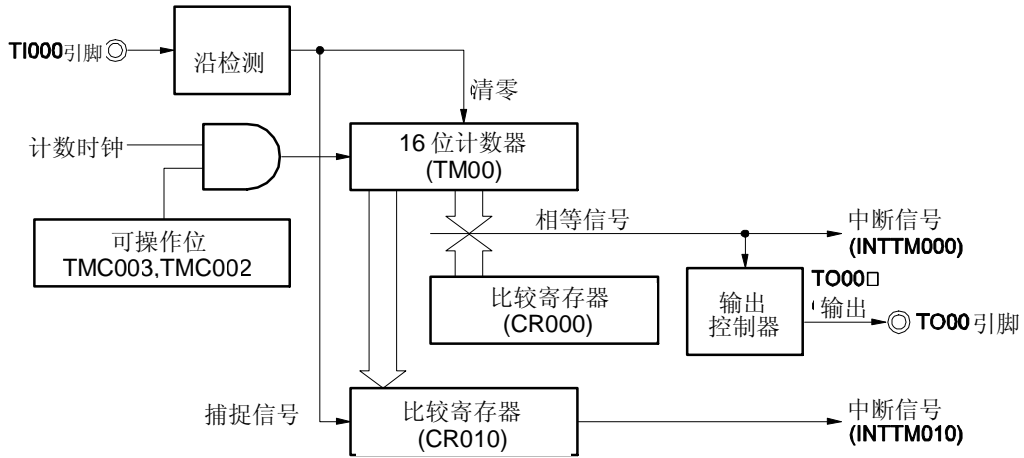
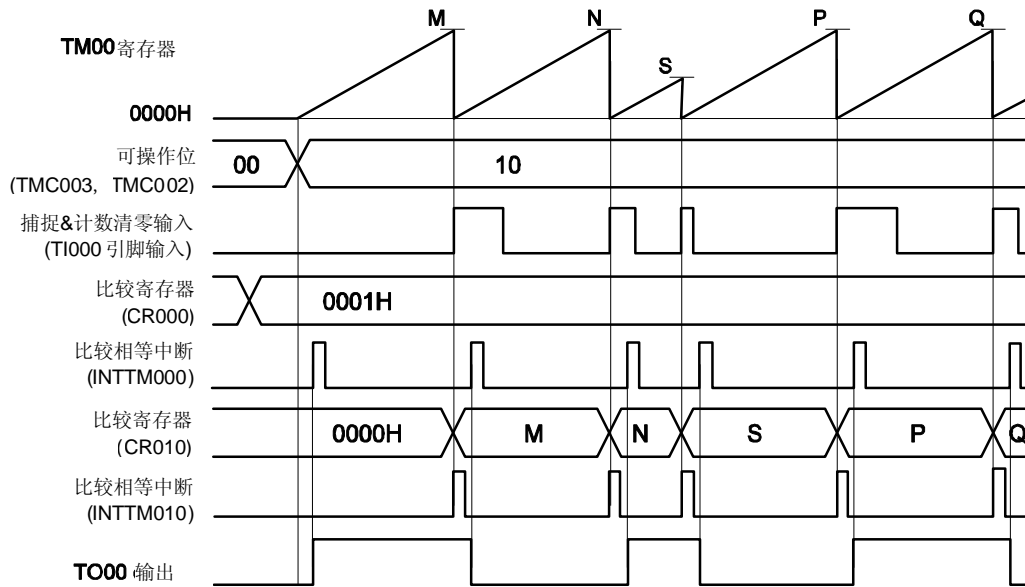


图 6-26. 清零&启动模式(通过 TI000 引脚有效沿输入进入) 时序示例
(CR000: 比较 寄存器, CR010: 捕捉 寄存器) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00, = 04H, TMC00 = 08H, CR000 = 0001H

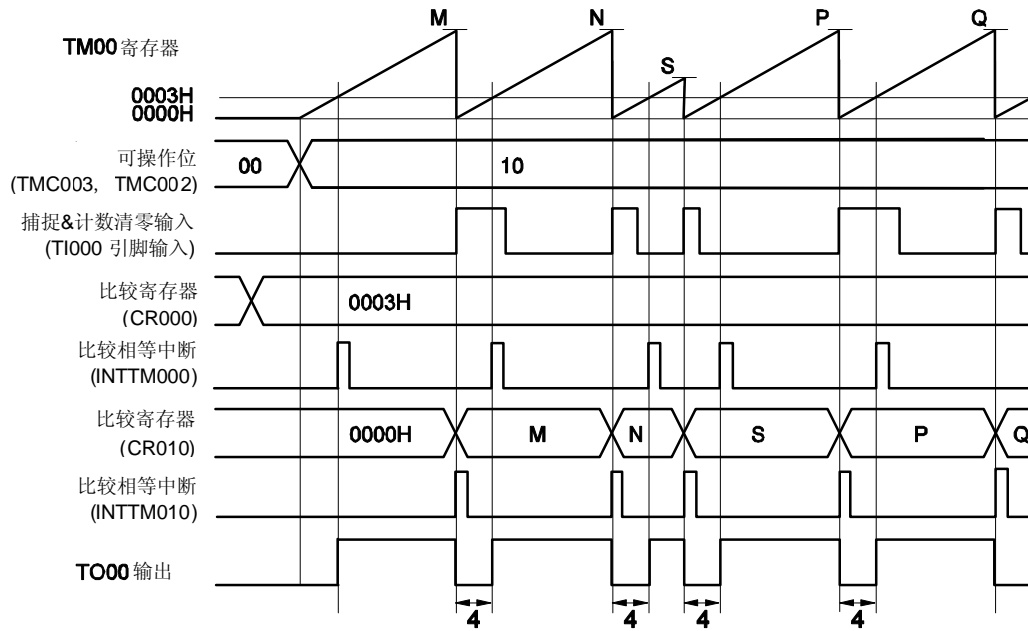


这是一个应用示例：当捕捉到计数值并清零时反转 TO00 引脚的输出电平。

当检测到 TI000 引脚的有效沿时，捕捉到的计数值存入 CR010 并将 TM00 清零(0000H)。当 TM00 的计数值 =0001H 时，产生比较相等中断信号(INTTM000)，并反转 TO00 引脚的输出电平。

图 6-26. 清零&启动模式(通过 TI000 引脚有效沿输入进入) 时序示例
(CR000: 比较寄存器, CR010: 捕捉寄存器) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00, = 04H, TMC00 = 0AH, CR000 = 0003H



这是一个应用示例：当捕捉计数值并清零时，从 TO00 引脚输出 CR000 设置的宽度(本例是 4 个时钟)。

当检测到 TI000 引脚的有效沿时，捕捉到的计数值存入 CR010、产生捕捉中断信号(INTTM010)、将 TM00 清零(0000H)并反转 TO00 引脚的输出电平。当 TM00 的计数值=0003H 时(已经计数 4 个时钟)，产生比较相等中断信号(INTTM000)并反转 TO00 引脚的输出电平。

(3) 清零&启动模式(通过 TI000 引脚有效沿输入进入)的操作
(CR000: 捕捉 寄存器, CR010: 比较 寄存器)

图 6-27. 清零&启动模式(通过 TI000 引脚有效沿输入进入)的框图
(CR000: 捕捉 寄存器, CR010: 比较 寄存器)

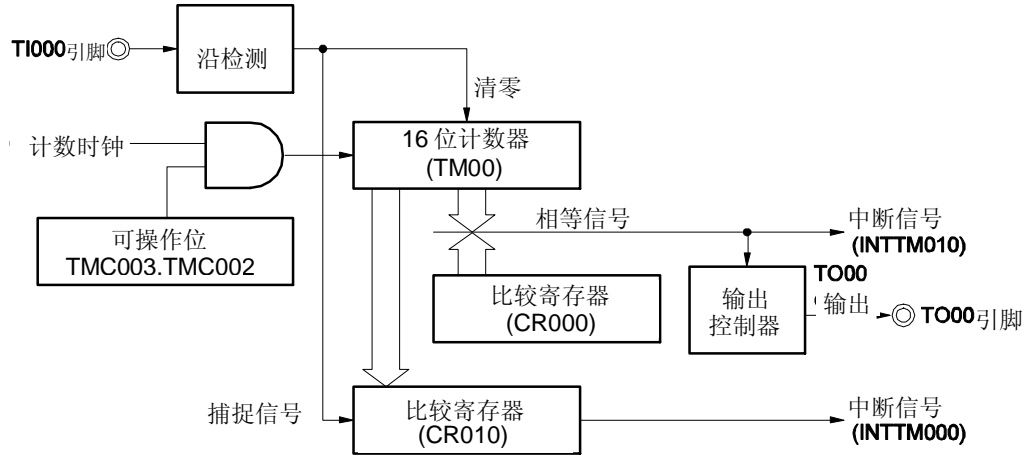
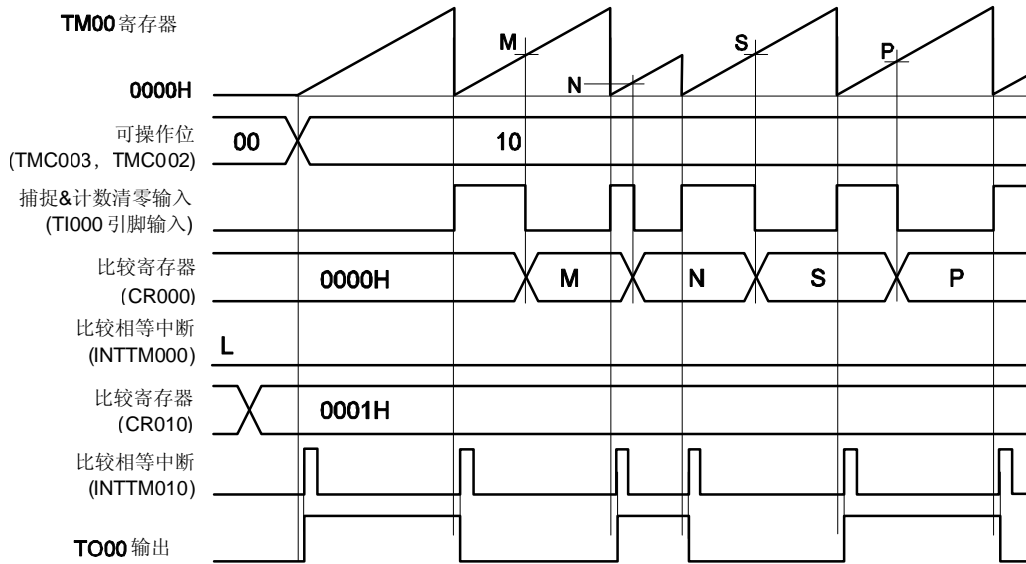


图 6-28. 清零&启动模式(通过 TI000 引脚有效沿输入进入) 时序示例
(CR000: 捕捉 寄存器, CR010: 比较 寄存器) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00, = 03H, TMC00 = 08H, CR010 = 0001H



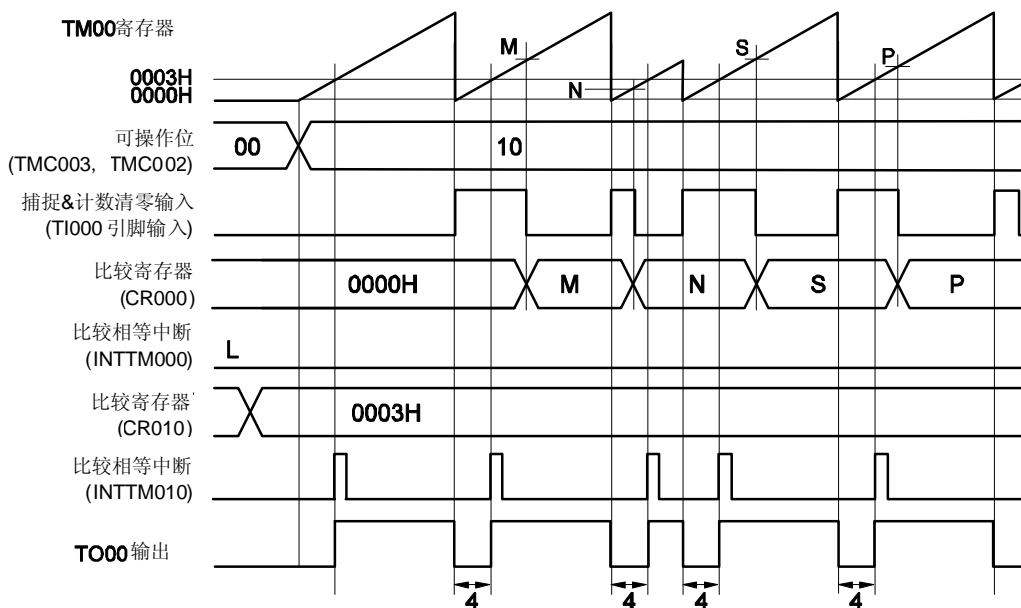
这是一个应用示例：当捕捉计数值并清零时，反转 TO00 引脚的输出电平。

在检测到 TI000 引脚的上升沿时将 TM00 清零，而在检测到 TI000 引脚的下降沿时，TM00 的计数值被捕捉到 CR000。

当捕捉/比较控制寄存器 00 (CRC00)的第 1 位(CRC001)=1 时，TM00 的计数值被捕捉到 CR000(在 TI000 引脚输入信号的反向沿捕捉)，但不产生捕捉中断信号(INTTM000)。然而当检测到 TI010 引脚的有效沿时产生 INTTM000 信号。如果不使用 INTTM000 信号，则将其屏蔽。

图 6-28. 清零&启动模式(通过 TI000 引脚有效沿输入进入)时序示例
(CR000: 捕捉 寄存器, CR010: 比较 寄存器) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00, = 03H, TMC00 = 0AH, CR010 = 0003H



这是一个应用示例：当捕捉计数值并清零时，从 TO00 引脚输出 CR010 设置的宽度(本例是 4 个时钟)。

在检测到 TI000 引脚的上升沿时将 TM00 清零(0000H)，而在检测到 TI000 引脚的下降沿时，TM00 的计数值被捕捉到 CR000。当 TM00 被清零 (0000H) 后，TO00 引脚的输出电平被反转，因为 TI00 引脚检测到上升沿或者 TM00 的值与比较寄存器 (CR010) 的值相等。

当捕捉/比较控制寄存器 00 (CRC00)的第 1 位 (CRC001) =1 时，TM00 的计数值被捕捉到 CR000(在 TI000 引脚输入信号的反向沿捕捉)，但不产生捕捉中断信号(INTTM000)。然而当检测到 TI010 引脚的有效沿时产生 INTTM000 中断信号。如果不使用 INTTM000 信号，则将其屏蔽。

(4) 清零&启动模式(通过 TI000 引脚有效沿输入进入)下的操作
(CR000: 捕捉 寄存器, CR010: 捕捉 寄存器)

图 6-29. 清零&启动模式(通过 TI000 引脚有效沿输入进入)的框图
(CR000: 捕捉 寄存器, CR010: 捕捉 寄存器)

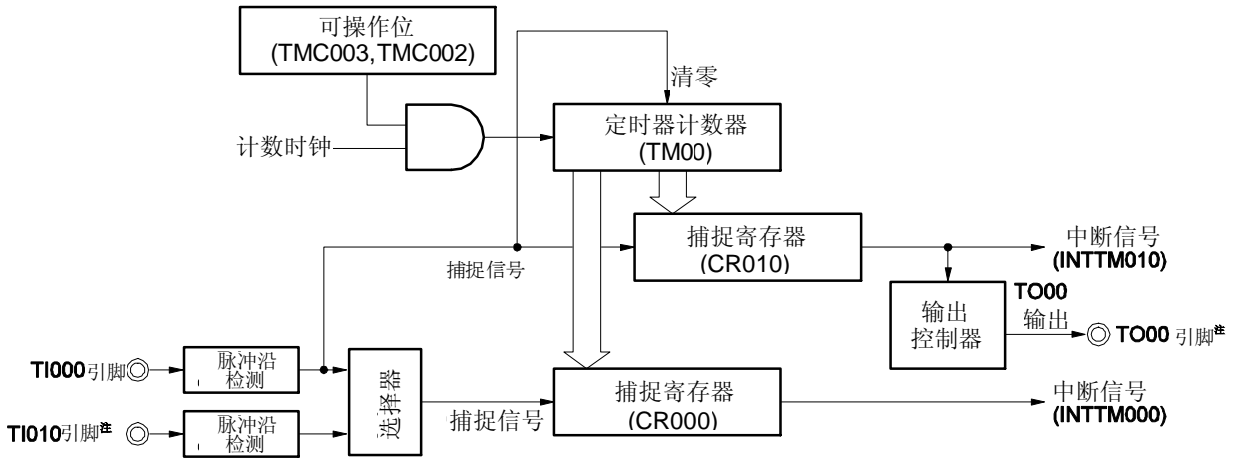
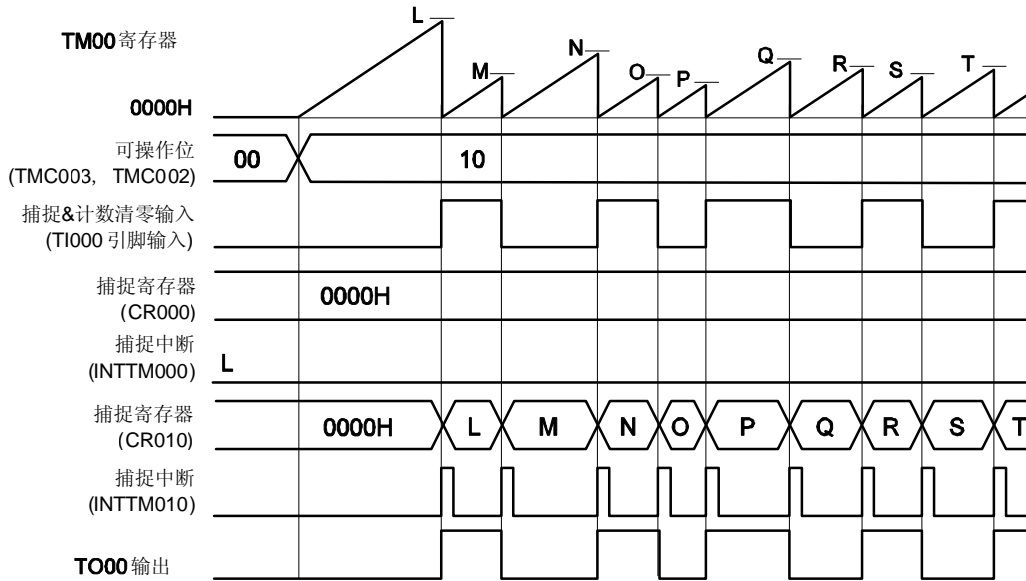


图 6-30. 清零&启动模式(通过 TI000 引脚有效沿输入进入)时序示例
(CR000: 捕捉 寄存器, CR010: 捕捉 寄存器) (1/3)

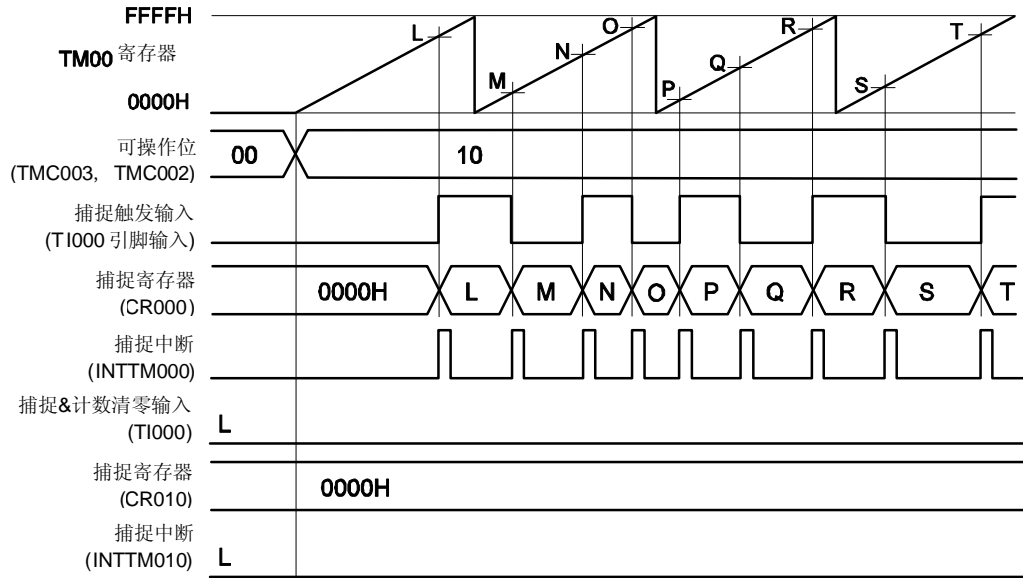
(a) TOC00 = 13H, PRM00 = 30H, CRC00 = 05H, TMC00 = 0AH



这是一个应用示例：当检测到 TI000 引脚的上升沿或下降沿时，捕捉到的计数值存入 CR010、将 TM00 清零并反转 TO00 引脚的输出
在检测到 TI010 引脚的脉冲沿时产生中断信号(INTTM000)。如果不使用 INTTM000 信号，则将其屏蔽。

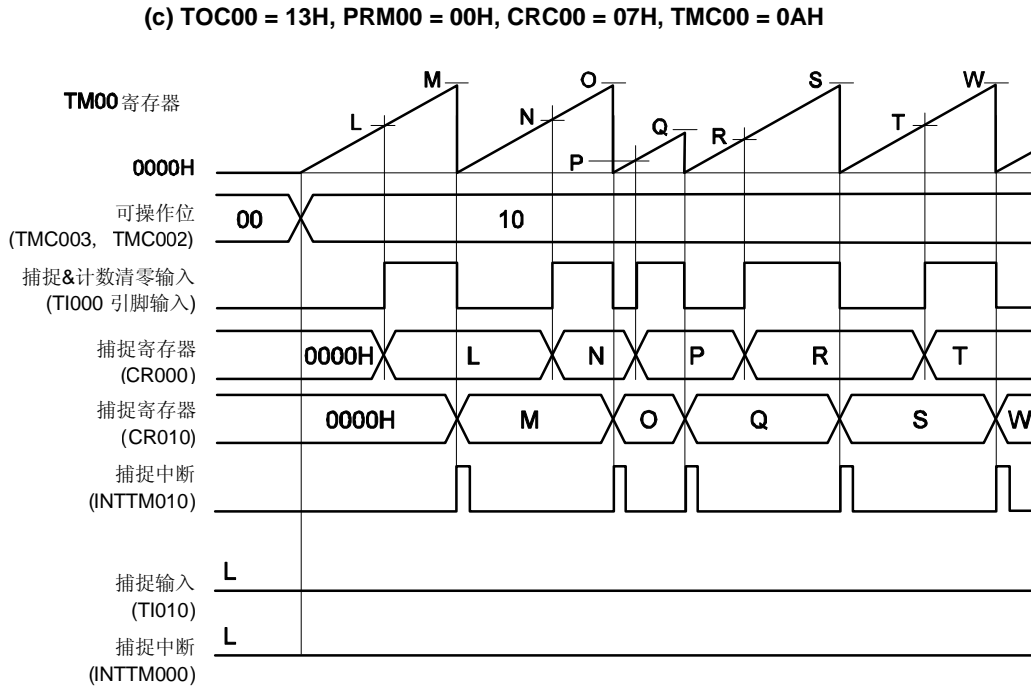
图 6-30. 清零&启动模式(通过 TI000 引脚有效沿输入进入)时序示例
(CR000: 捕捉 寄存器, CR010: 捕捉 寄存器) (2/3)

(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 0AH



这是一个时序示例：当脉冲沿不输入到 TI000 引脚时，在检测到 TI010 引脚的上升沿或下降沿时，捕捉到的计数值存入 CR000。

图 6-30. 清零&启动模式(通过 TI000 引脚有效沿输入进入)时序示例
(CR000: 捕捉寄存器, CR010: 捕捉寄存器) (3/3)



这是一个应用示例：对输入到 TI000 引脚的信号脉冲宽度进行测量。

通过设置 CRC00，在 TI000 引脚下降沿(也可以是上升沿)的反向沿捕捉到的计数值存入 CR000，而在 TI000 引脚下降沿捕捉到的计数值存入 CR010。

可以通过下列表达式计算输入脉冲的高电平和低电平宽度。

- 高电平宽度 = [CR010 的值] - [CR000 的值] × [计数时钟周期]
- 低电平宽度 = [CR000 的值] × [计数时钟周期]

如果选择 TI000 引脚脉冲的反向沿作为触发，捕捉计数值并存入 CR000，则不会产生 INTTM000 信号。在产生 INTTM010 信号后立即读取 CR000 和 CR010，测量脉冲宽度。

但如果将预分频器模式寄存器 00 (PRM00) 的第 6 位和第 5 位 (ES101 和 ES100) 指示的有效沿输入 TI010 引脚，则不会捕捉计数值，但会产生 INTTM000 信号。如果要测量 TI000 引脚的脉冲宽度，在不使用 INTTM000 信号时将其屏蔽。

图 6-31. 在清零&启动模式(通过 TI000 引脚有效沿输入进入)下寄存器设置示例(1/2)

(a) 16 位 定时器 模式控制寄存器 00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	0	0/1	0

- 0 : 与 CR000 和 CR010 相等时, 反转 TO00 输出
- 1 : 与 CR000 和 CR010 相等时, 和 TI000 引脚有效沿输入时, 反转 TO00 输出
- TI000 引脚的有效沿输入时 清零并启动

(b) 捕捉/比较控制寄存器 00 (CRC00)

					CRC002	CRC001	CRC000
0	0	0	0	0	0/1	0/1	0/1

- 0 : CR000 用作比较寄存器
- 1 : CR000 用作捕捉寄存器
- 0 : TI010 引脚用作 CR000 的捕捉触发
- 1 : TI000 引脚的反相用作 CR000 的捕捉触发
- 0 : CR010 用作比较寄存器
- 1 : CR010 用作捕捉寄存器

(c) 16 位 定时器输出控制寄存器 00 (TOC00)

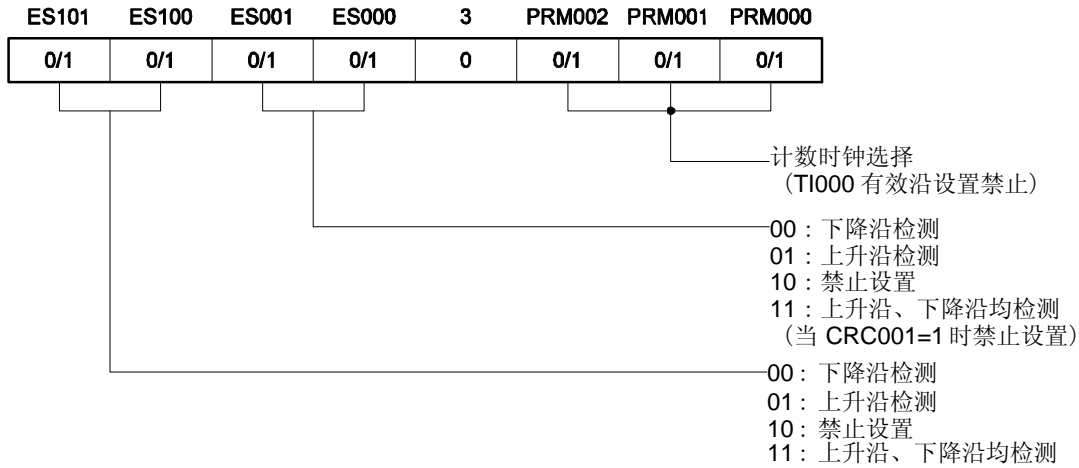
OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0/1	0/1	0/1	0/1

- 0 : 禁止 TO00 输出^注
- 1 : 允许 TO00 输出
- 指定 TO0n 输出 F/F 的初值
- 00 : TM00 与 CR000/CR010 相等时不要反转 TO00 输出
- 01 : TM00 与 CR000 相等时反转 TO00 输出
- 10 : TM00 与 CR010 相等时反转 TO00 输出
- 11 : TM00 与 CR000/CR010 相等时反转 TO00 输出

注 当使用检测 TI010 引脚有效沿时不能使用定时器输出(TO00)。

图 6-31. 在清零&启动模式(通过 TI000 引脚有效沿输入进入)下寄存器设置示例(2/2)

(d) Prescaler mode register 00 (PRM00)



(e) 16 位定时器计数器 00 (TM00)

通过读取 TM00，获得计数值。

(f) 16 位 捕捉/比较 寄存器 000 (CR000)

当该寄存器用作比较寄存器并且当其值与 TM00 的值相等时，产生中断信号(INTTM000)。但不对 TM00 清零。

如果要将该寄存器用作捕捉寄存器，则应选择 TI000 或 TI010 引脚^注输入作为捕捉触发。当检测到捕捉触发的有效沿时，将 TM00 的计数值存入 CR000。

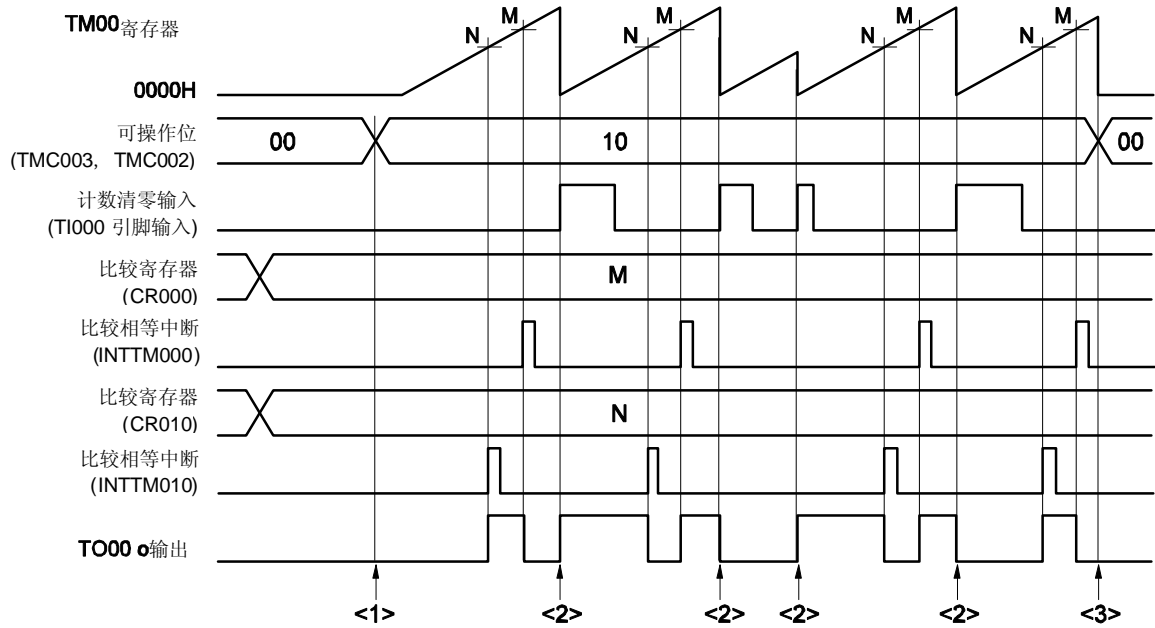
注 当使用检测 TI010 引脚的有效沿时不能使用定时器输出(TO00)。

(g) 16 位 捕捉/比较 寄存器 010 (CR010)

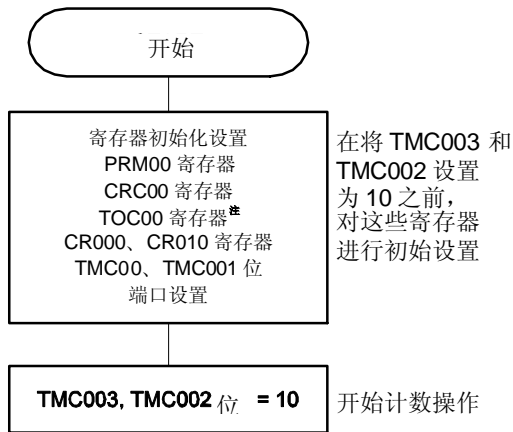
当该寄存器用作比较寄存器并且当其值与 TM00 的值相等时，产生中断信号(INTTM010)。但不对 TM00 清零。

当该寄存器用作捕捉寄存器，则 TI000 引脚输入作为捕捉触发。当检测到捕捉触发的有效沿时，将 TM00 的计数值存入 CR010。

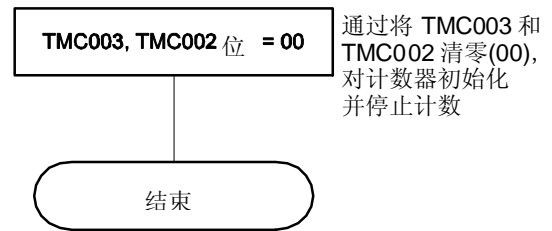
图 6-32. 清零&启动模式(通过 TI000 引脚有效沿输入进入)下软件处理示例



<1> 计数操作启动流程



<3> 计数操作停止流程



<2> TM00 寄存器清零&启动流程



注 设置 TOC00 时必须特别小心。如需了解详细信息，可参见 6.3 (3) 16 位 定时器输出控制寄存器 00 (TOC00)。

6.4.5 自由运行定时器操作

当 16 位定时器模式控制寄存器 00(TMC00)的第 3 位和第 2 位(TMC003 与 TMC002)为 01(自由运行定时器模式)时, 16 位定时器/事件计数器 00 连续计数并与计数时钟同步。当计数值上升到 FFFFH 时, 在下一个时钟将溢出标志(OVF00)设置为 1、将 TM00 清零(0000H)并继续计数。通过软件执行 CLR 指令将 OVF00 清零(0)。

可以使用以下三种自由运行定时器操作。

- CR000 和 CR010 都用作比较寄存器。
- CR000 与 CR010 一个用作比较寄存器, 另一个用作捕捉寄存器。
- CR000 和 CR010 都用作捕捉寄存器。

- 备注**
1. 如需了解 I/O 引脚的设置, 参见 6.3 (6) 端口模式寄存器 3 (PM3)。
 2. 要了解如何允许 INTTM000 信号中断, 参见第二十一章 中断功能。

(1) 自由运行定时器 模式操作

(CR000: 比较 寄存器, CR010: 比较 寄存器)

图 6-33. 自由运行定时器 模式的框图
(CR000: 比较 寄存器, CR010: 比较 寄存器)

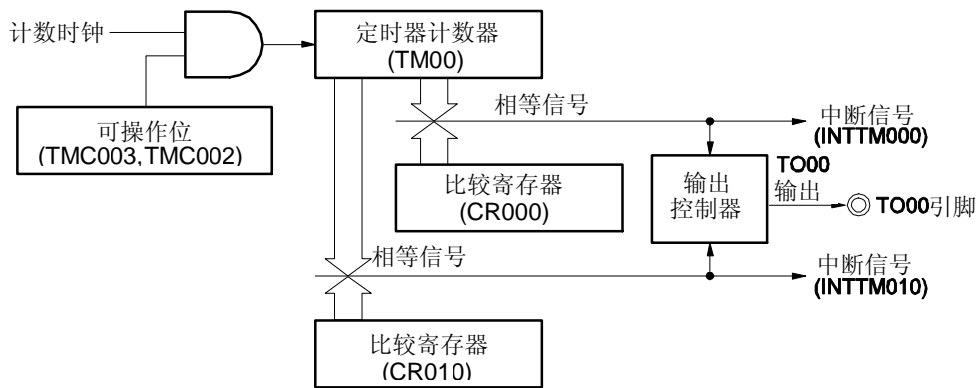
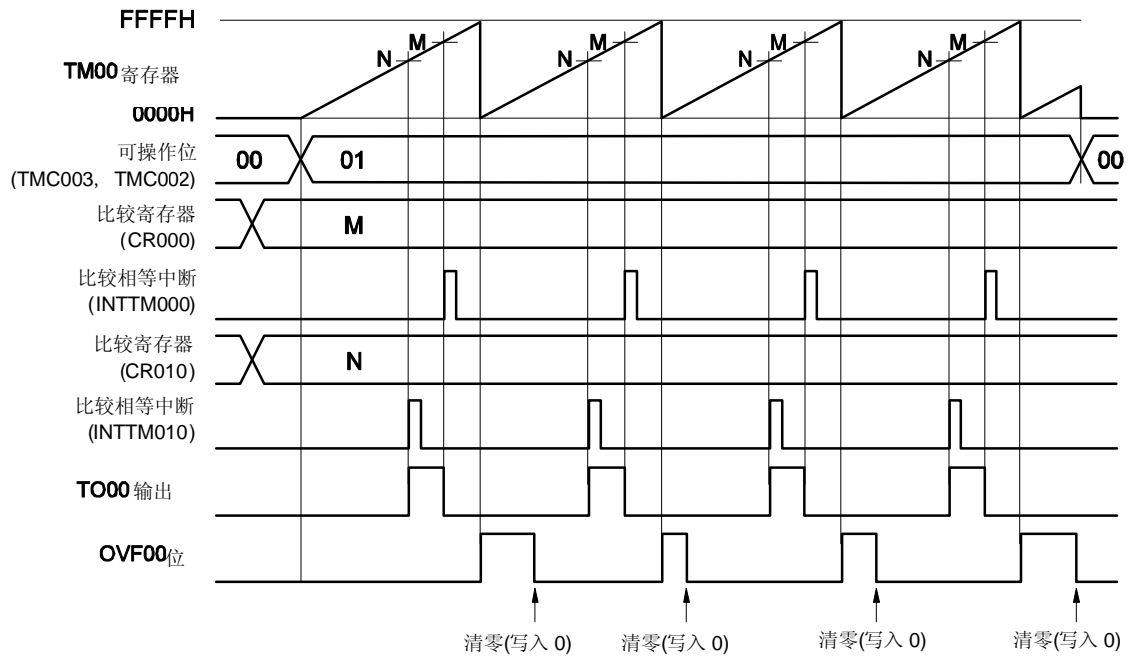


图 6-34. 自由运行定时器 模式时序示例
(CR000: 比较 寄存器, CR010: 比较 寄存器)

• TOC00 = 13H, PRM00 = 00H, CRC00 = 00H, TMC00 = 04H



这是一个应用示例：两个比较寄存器在自由运行定时器模式下使用。

每当 TM00 的计数值与 CR000 或 CR010 的值相等时，反转 TO00 引脚的输出电平。当计数值与寄存器值相等时，产生 INTTM000 或 INTTM010 信号。

(2) 自由运行定时器 模式操作

(CR000: 比较 寄存器, CR010: 捕捉 寄存器)

图 6-35. 自由运行定时器 模式的框图
(CR000: 比较 寄存器, CR010: 捕捉 寄存器)

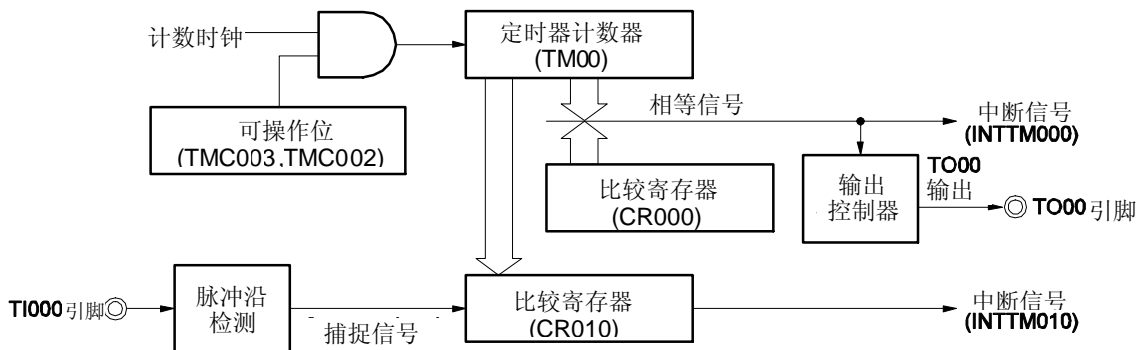
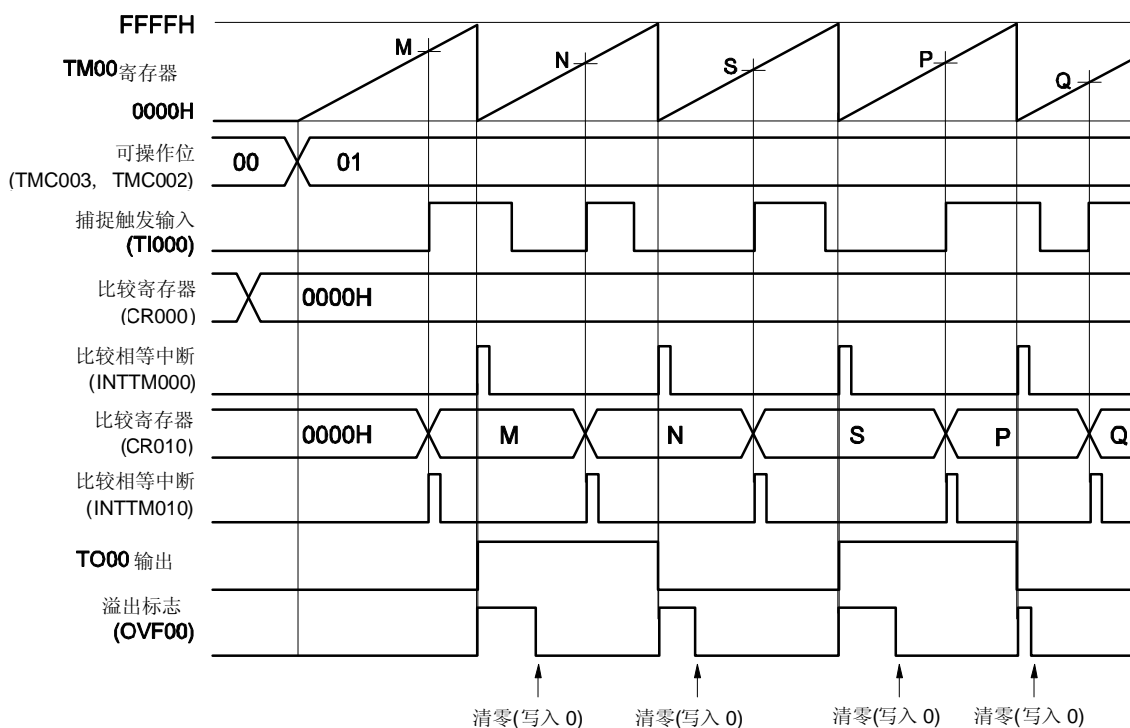


图 6-36. 自由运行定时器 模式时序示例
(CR000: 比较 寄存器, CR010: 捕捉 寄存器)

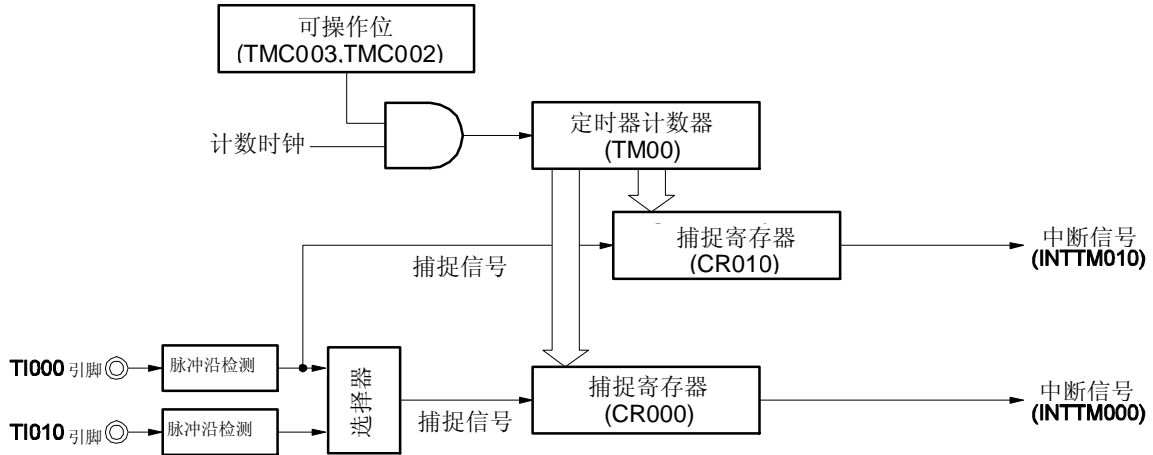
• TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 04H



这是一个应用示例：在自由运行定时器模式下同时使用一个比较寄存器和一个捕捉寄存器。
在本例中每当 TM00 的计数值与 CR000 的值相等时反转 TO00 引脚的输出电平，并且产生中断信号 INTTM000。
此外每当检测到 TI000 引脚的有效沿时，产生 INTTM010 信号，并捕捉 TM00 的计数值存入 CR010。

(3) 自由运行定时器 模式操作
(CR000: 捕捉 寄存器, CR010: 捕捉 寄存器)

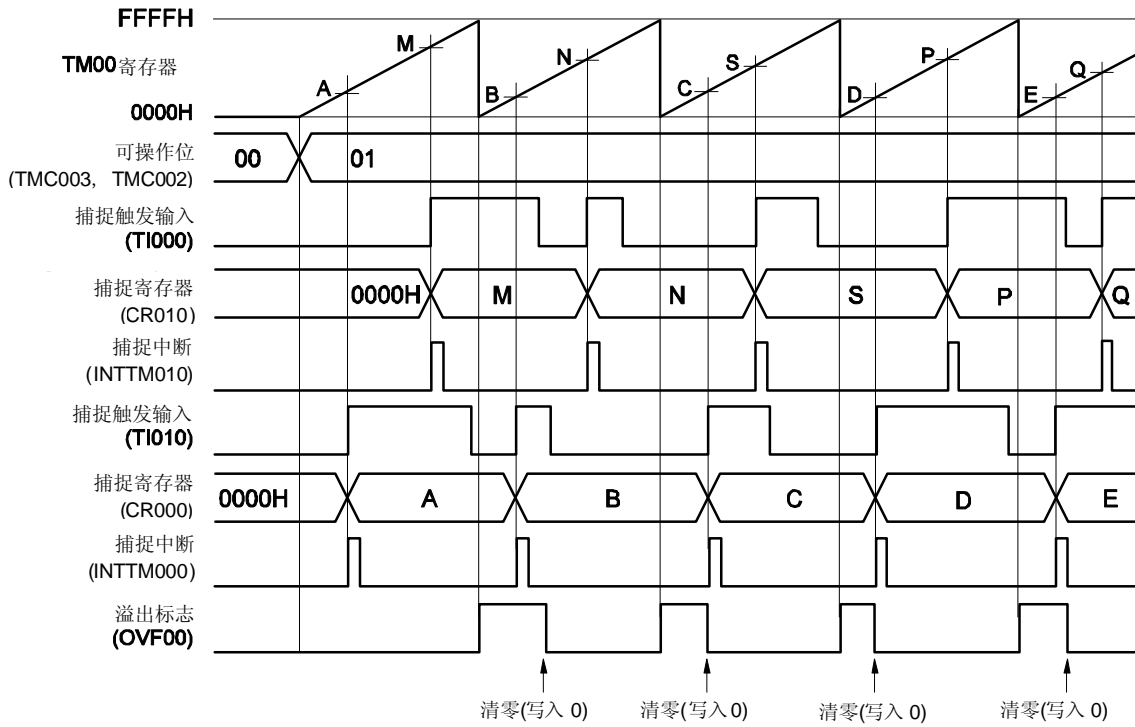
图 6-37. 自由运行定时器 模式的框图
(CR000: 捕捉 寄存器, CR010: 捕捉 寄存器)



备注 如果在自由运行定时器模式下，CR000 与 CR010 用作捕捉寄存器，则不反转 TO00 引脚的输出电平。但如果 16 位定时器模式控制寄存器 00 (TMC00) 的第 1 位 (TMC001)=1，则每次检测到 TI000 引脚的有效沿时可以反转。

图 6-38. 自由运行定时器 模式时序示例
(CR000: 捕捉寄存器, CR010: 捕捉寄存器) (1/2)

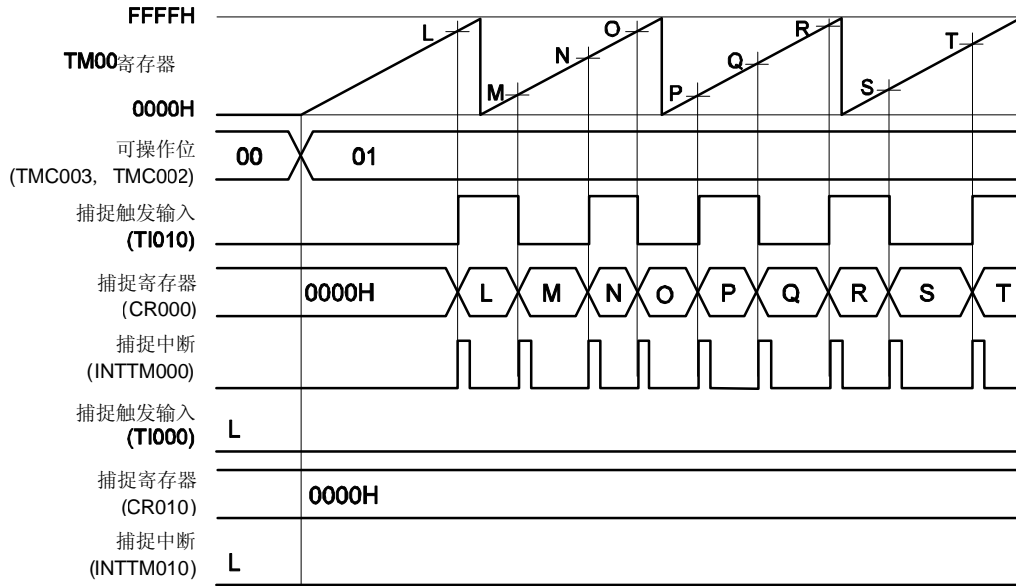
(a) TOC00 = 13H, PRM00 = 50H, CRC00 = 05H, TMC00 = 04H



这是一个应用示例：自由运行定时器模式下，在各自触发信号的有效沿捕捉的计数值存入各自的捕捉寄存器中。当检测到 TI000 引脚输入的有效沿时，捕捉计数值并存入 CR010，而当检测到 TI010 引脚输入的有效沿时，捕捉计数值并存入 CR000。

图 6-38. 自由运行定时器 模式时序示例
(CR000: 捕捉 寄存器, CR010: 捕捉 寄存器) (2/2)

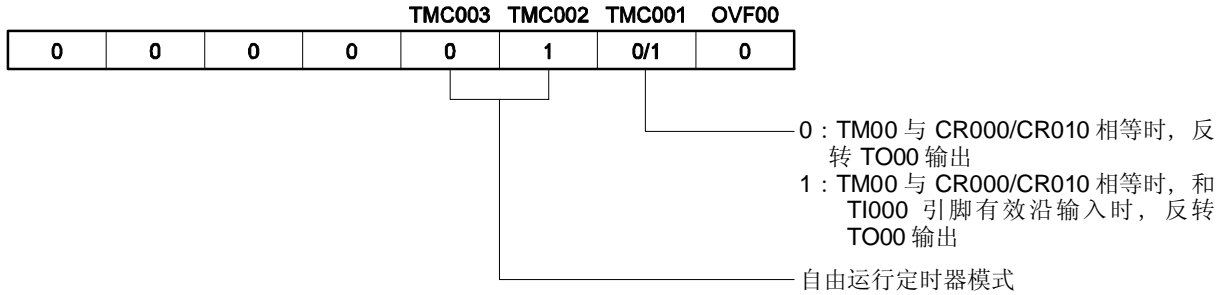
(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 04H



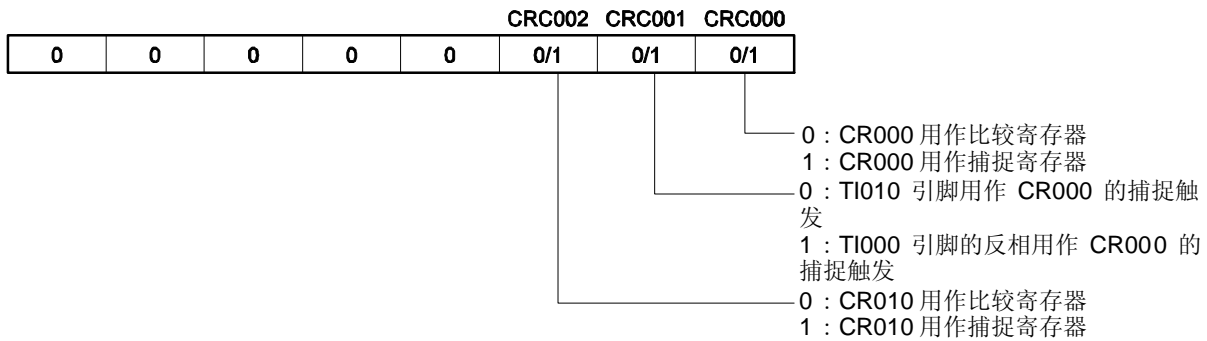
这是一个应用示例：自由运行定时器模式下，检测 TI010 引脚的两种脉冲沿，计数值被捕捉到 CR000。当 CR000 与 CR010 都用作捕捉寄存器并且仅检测到 TI010 引脚的有效沿时，计数值不能被捕捉到 CR010。

图 6-39. 自由运行定时器模式下寄存器设置示例(1/2)

(a) 16 位 定时器 模式控制寄存器 00 (TMC00)



(b) 捕捉/比较控制寄存器 00 (CRC00)



(c) 16 位 定时器输出控制寄存器 00 (TOC00)

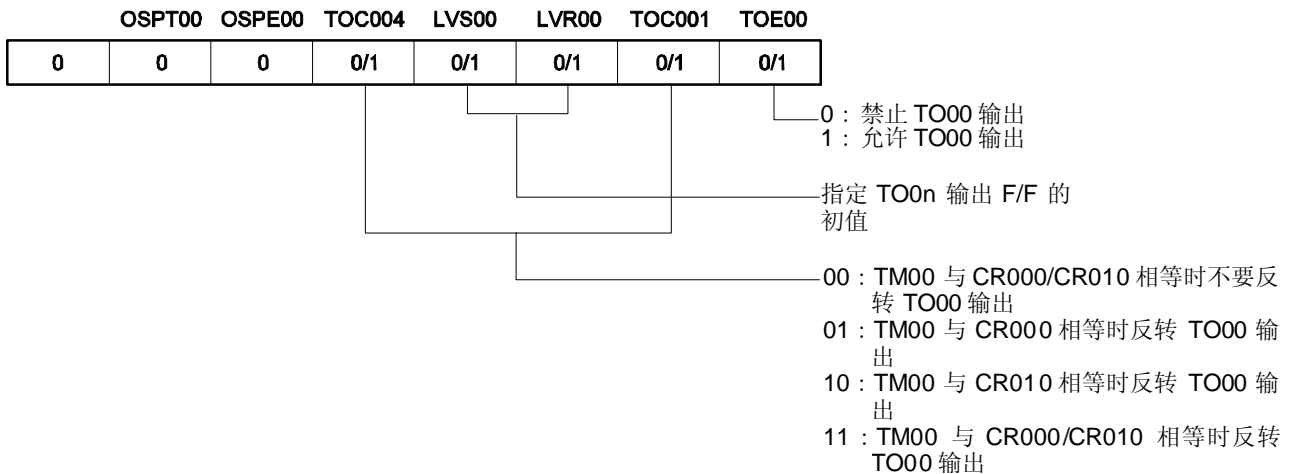
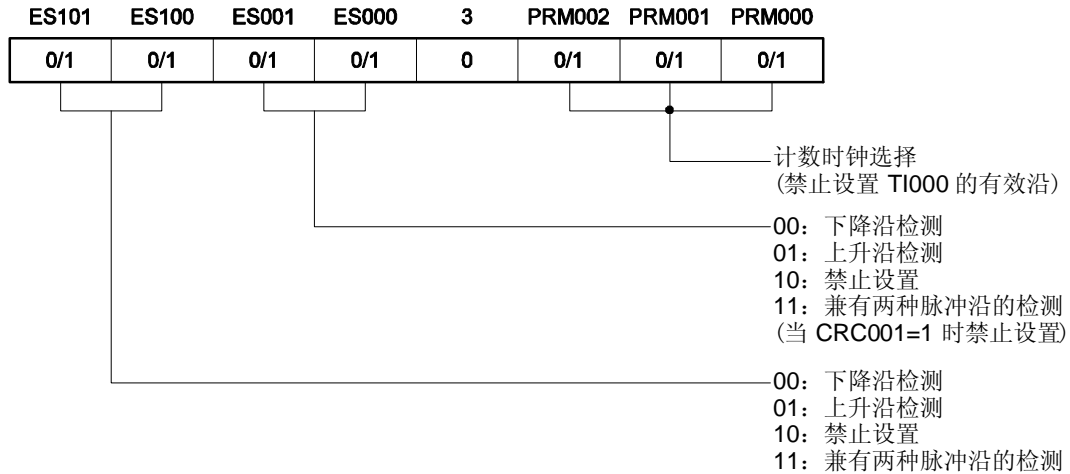


图 6-39. 自由运行定时器模式下寄存器设置示例 (2/2)

(d) 预分频 模式 寄存器 00 (PRM00)



(e) 16 位定时器计数器 00 (TM00)

通过读取 TM00，获得计数值。

(f) 16 位 捕捉/比较 寄存器 000 (CR000)

当该寄存器用作比较寄存器并且当其值与 TM00 的计数值相等时，产生中断信号 (INTTM000)。但不将 TM00 计数值清零。

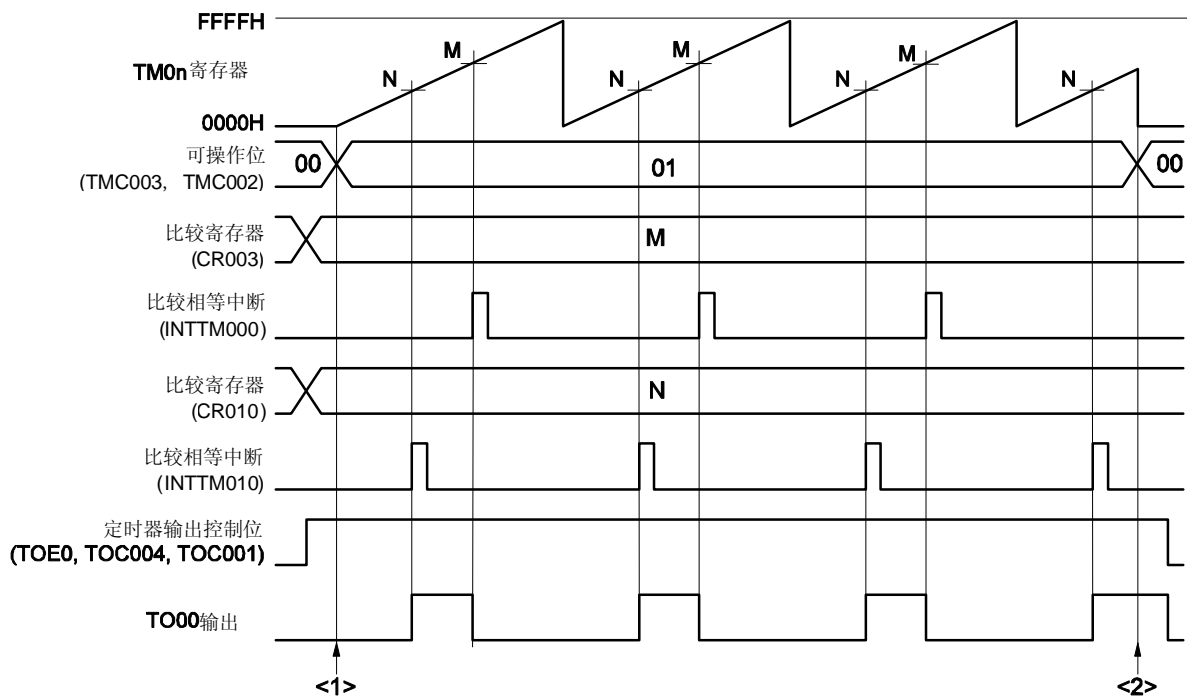
若要用作捕捉寄存器，则应选择 TI000 或 TI010 引脚输入作为捕捉触发。当检测到捕捉触发的有效沿时，将 TM00 的计数值存入 CR000。

(g) 16 位 捕捉/比较 寄存器 010 (CR010)

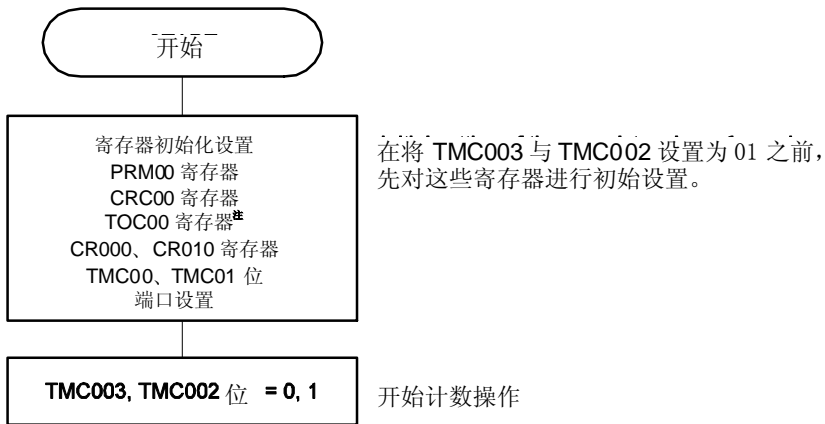
当该寄存器用作比较寄存器并且当其值与 TM00 的计数值相等时，产生中断信号 (INTTM010)。但不将 TM00 计数值清零。

当该寄存器用作捕捉寄存器时，将 TI000 引脚输入作为捕捉触发。当检测到捕捉触发的有效沿时，将 TM00 的计数值存入 CR010。

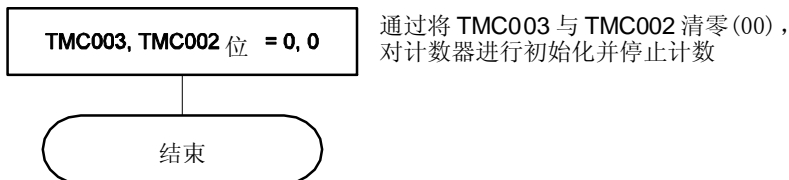
图 6-40. 自由运行定时器模式下软件处理示例



<1> 计数操作启动流程



<2> 计数操作停止流程



注 要特别注意 TOC00 的设置。如需了解详细信息，可参见 6.3 (3) 16 位 定时器输出控制寄存器 00 (TOC00)。

6.4.6 PPG 输出操作

当 16 位定时器模式控制寄存器 00 (TMC00) 的第 3 位和第 2 位(TMC003 与 TMC002)=11 时(在 TM00 与 CR000 相等时清零&启动)，在由 CR000 设置的周期内从 TO00 引脚输出方波(具有通过 CR010 预先设置的一个脉冲宽度)作为 PPG (可编程脉冲发生器) 信号。

以下是作为 PPG 输出的脉冲的周期与占空比。

- 脉冲周期 = (CR000 的设置值 + 1) × 计数时钟周期
- 占空比 = (CR010 的设置值 + 1) / (CR000 的设置值 + 1)

注意事项 若在操作期间修改占空比 (CR010 寄存器的值)，可参阅 6.5.1 TM00 操作期间 CR010 的重写。

- 备注**
1. 如需了解 I/O 引脚的设置，参见 6.3 (6) 端口模式寄存器 0 (PM0)。
 2. 要了解如何允许 INTTM000 信号中断，参见第二十一章 中断功能。

图 6-41. PPG 输出操作的框图

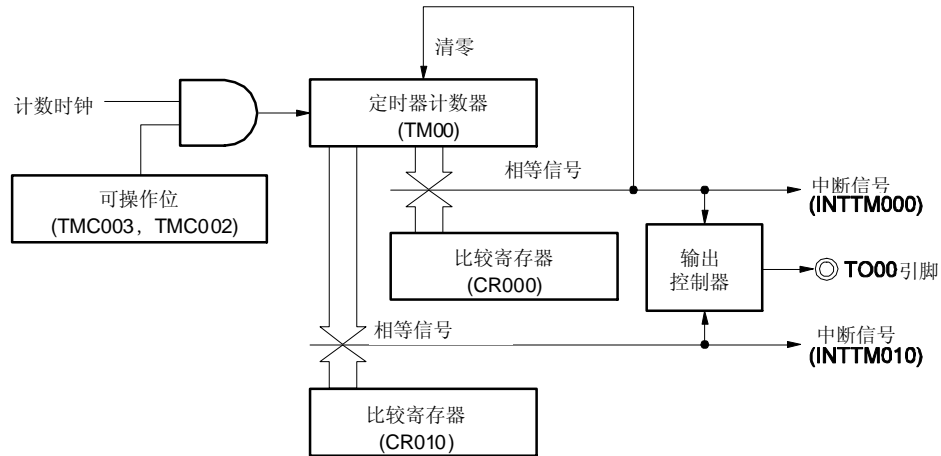
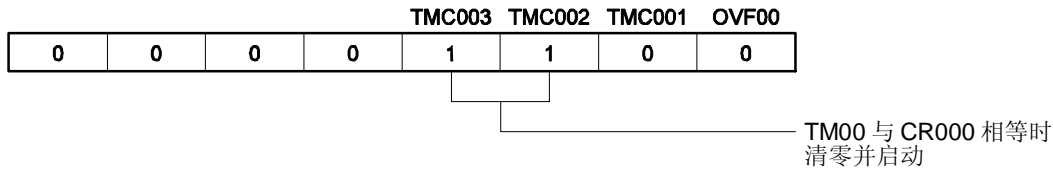
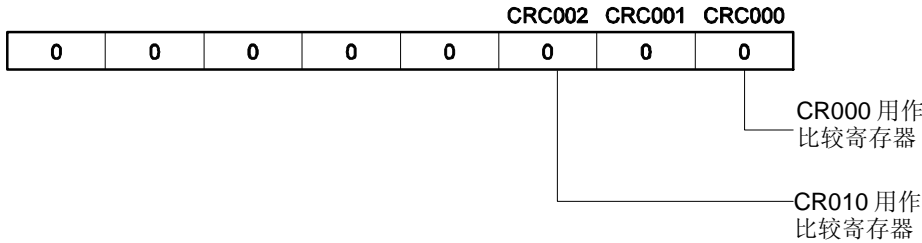


图 6-42. PPG 输出操作的寄存器设置示例

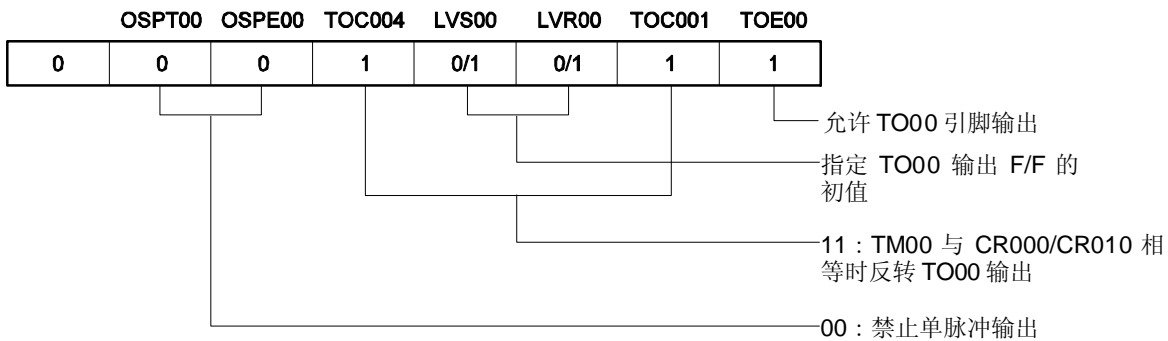
(a) 16 位 定时器 模式控制寄存器 00 (TMC00)



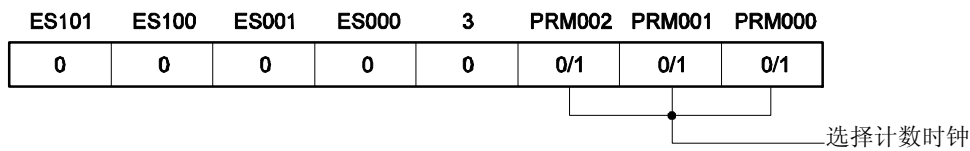
(b) 捕捉/比较控制寄存器 00 (CRC00)



(c) 16 位 定时器输出控制寄存器 00 (TOC00)



(d) 预分频 模式 寄存器 00 (PRM00)



(e) 16 位定时器计数器 00 (TM00)

通过读取 TM00，获得计数值。

(f) 16 位 捕捉/比较 寄存器 000 (CR000)

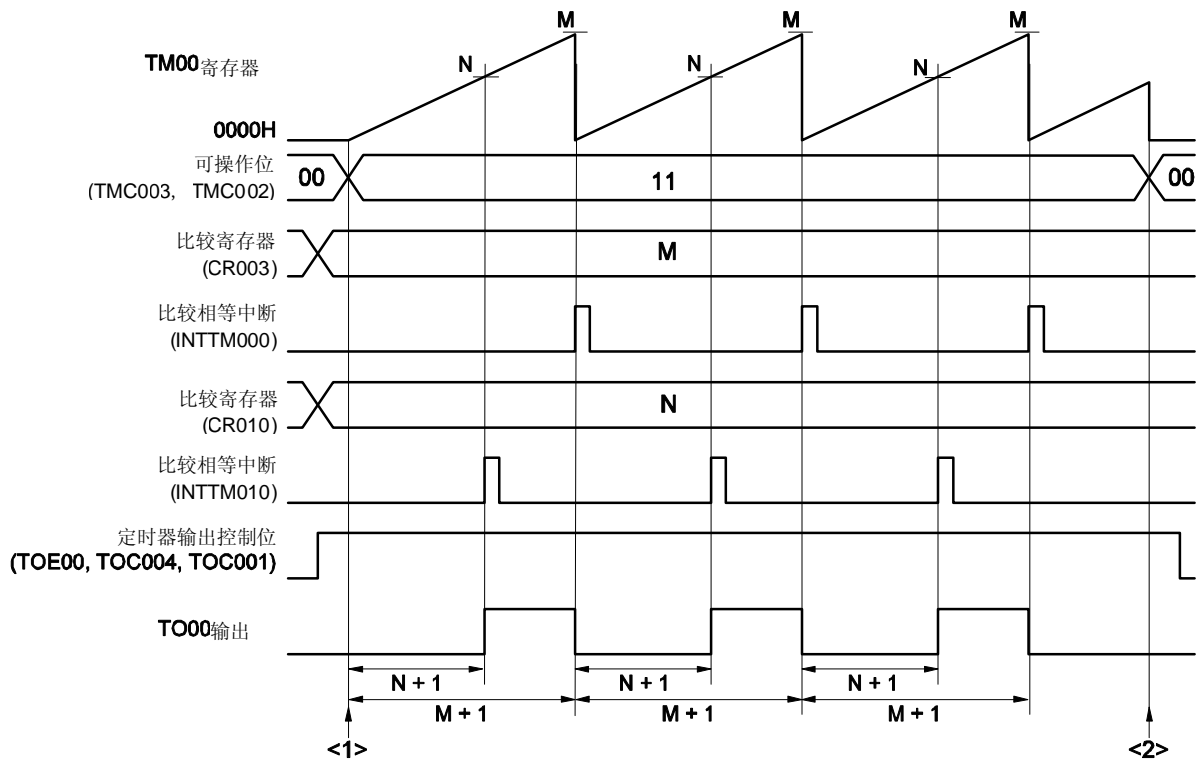
当该寄存器的值与 TM00 的计数值相等时，产生中断信号(INTTM000)。但不对 TM00 的计数值清零。

(g) 16 位 捕捉/比较 寄存器 010 (CR010)

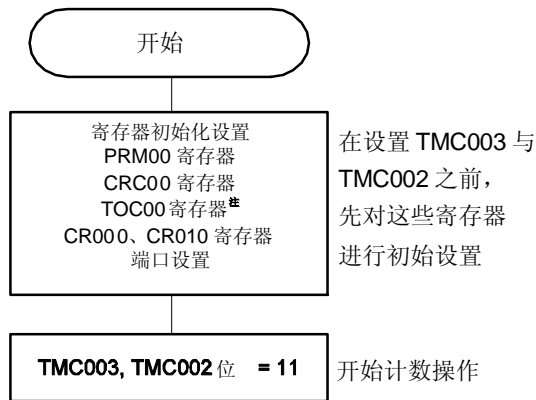
当该寄存器的值与 TM00 的计数值相等时，产生中断信号(INTTM010)。但不对 TM00 的计数值清零。

注意事项 对 CR000 与 CR010 进行设置，以满足条件 $0000H \leq CR010 < CR000 \leq FFFFH$ 。

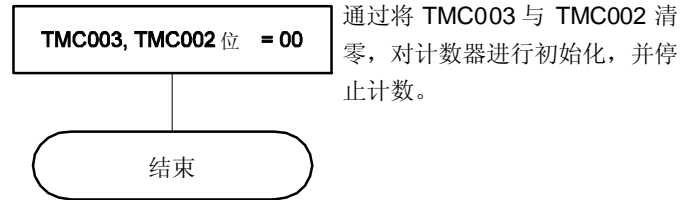
图 6-43. PPG 输出操作软件处理示例



<1> 计数操作启动流程



<2> 计数操作停止流程



注 必须特别注意 TOC00 的设置。如需了解详细信息, 可参见 6.3 (3) 16 位 定时器输出控制寄存器 00 (TOC00)。

备注 PPG 脉冲周期 = $(M + 1) \times$ 计数时钟周期
PPG 占空比 = $(N + 1)/(M + 1)$

6.4.7 单脉冲输出操作

通过将 16 位定时器模式控制寄存器 00 (TMC00) 的第 3 位和第 2 位(TMC003 与 TMC002)设置为 01 (自由运行定时器模式)或 10(清零&启动模式 (通过 TI000 引脚有效沿进入)), 以及将 16 位定时器输出控制寄存器 00 (TOC00)的第 5 位 (OSPE00)设置为 1, 可以输出一个单脉冲。

当 TOC00 的第 6 位(OSPT00)=1 时或者在定时器操作期间将有效沿输入到 TI000 引脚时, 触发 TM00 的清零&启动, 并且从 TO00 引脚只输出一次反映 CR000 与 CR010 之间差距的脉冲。

- 注意事项**
1. 当单脉冲输出时, 不要再次输入触发(设置 OSPT00=1 或者检测 TI000 引脚的有效沿)。在当前单脉冲输出完成后产生触发, 才可再次输出单脉冲。
 2. 如果要使用单脉冲输出触发(仅设置 OSPT00=1), 则不要修改 TI000 引脚或其复用功能端口引脚的电平。否则可能会产生异常输出的脉冲。

- 备注**
1. 如需了解 I/O 引脚的设置, 参见 6.3 (6) 端口模式 寄存器 3 (PM3)。
 2. 要了解如何允许 INTTM000 信号中断, 参见第十九章 中断功能。

图 6-44. 单脉冲输出操作的框图

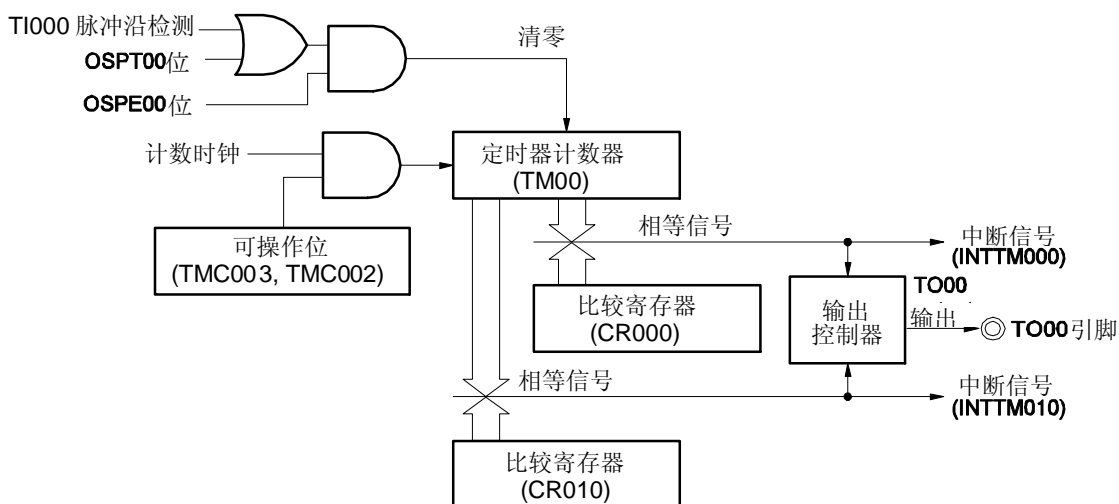


图 6-45. 单脉冲输出操作的寄存器设置示例 (1/2)

(a) 16 位 定时器 模式控制寄存器 00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

01: 自由运行定时器模式
10: 使用 TI000 引脚的有效沿清零并启动模式

(b) 捕捉/比较控制寄存器 00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000 用作比较寄存器
CR010 用作比较寄存器

(c) 16 位 定时器输出控制寄存器 00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0/1	1	0/1	0/1	1	1

允许 TO00 引脚输出
指定 TO00 引脚输出的初值
TM00 与 CR000/CR010 相等时反转 T000 输出
允许单脉冲输出
通过将该位设置为 1 产生软件触发 (即使设置为 0 也不影响操作)

(d) 预分频 模式 寄存器 00 (PRM00)

ES101	ES100	ES001	ES000	3	PRM002	PRM001	PRM000
0	0	0	0	0	0/1	0/1	0/1

选择计数时钟

图 6-45. 单脉冲输出操作的寄存器设置示例(2/2)

(e) 16 位定时器计数器 00 (TM00)

通过读取 TM00，可获得计数值。

(f) 16 位 捕捉/比较 寄存器 000 (CR000)

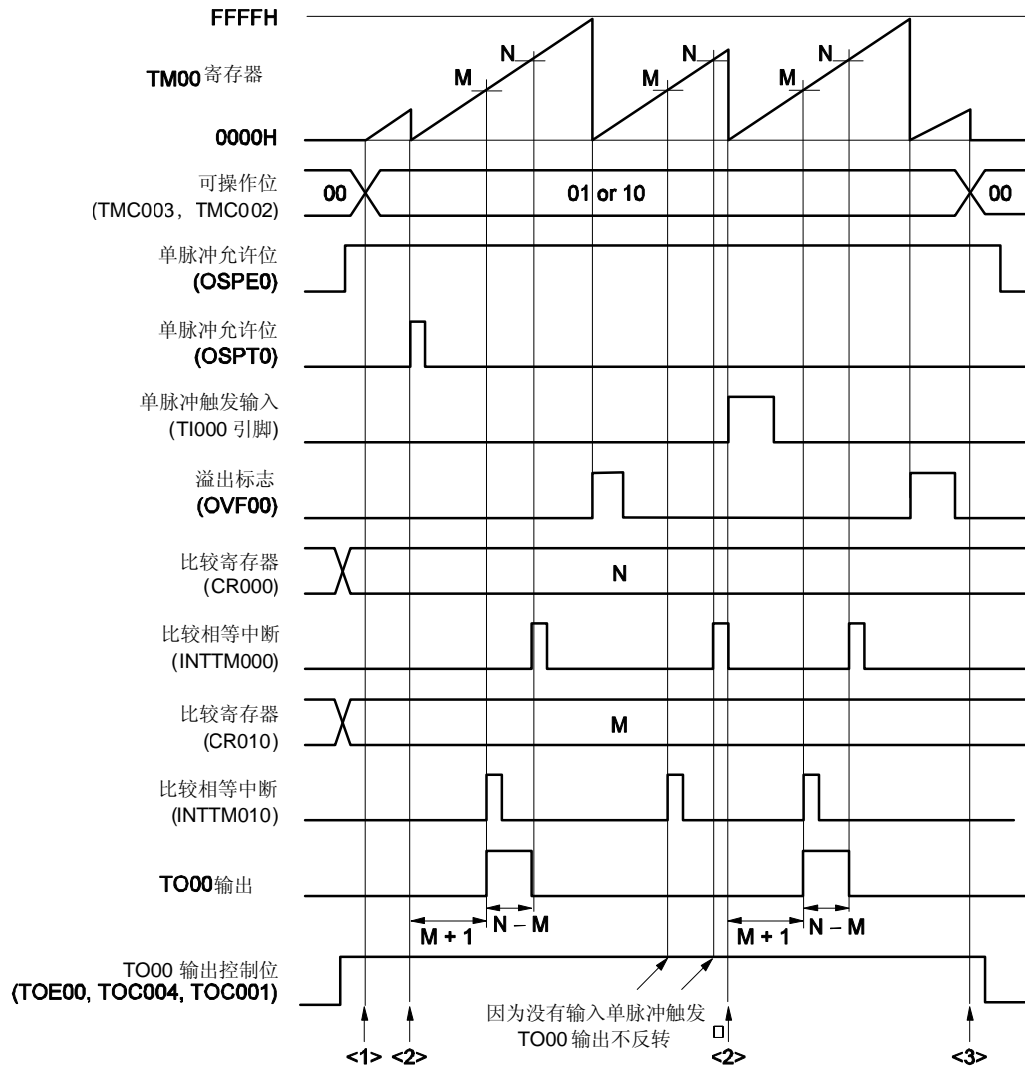
当输出单脉冲时该寄存器用作比较寄存器。当 TM00 的值与 CR000 的值相等时，产生中断信号(INTTM000)并反转 TO00 引脚的输出电平。

(g) 16 位 捕捉/比较 寄存器 010 (CR010)

当输出单脉冲时，该寄存器用作比较寄存器。当 TM00 的值与 CR010 的值相等时，产生中断信号(INTTM010)并反转 TO00 引脚的输出电平。

注意事项 不要为 CR000 与 CR010 设置相同的值或 0000H。

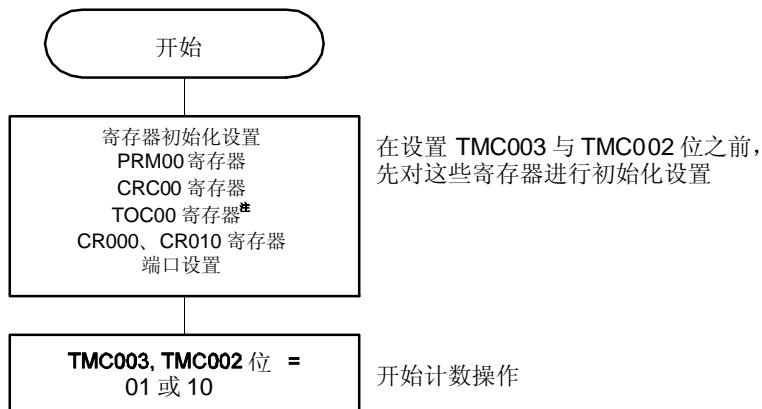
图 6-46. 单脉冲输出操作软件处理示例 (1/2)



- 从输入单脉冲触发信号到输出单脉冲的时间
= $(M + 1) \times$ 计数时钟周期
- 单脉冲输出活动电平宽度
= $(N - M) \times$ 计数时钟周期

图 6-46. 单脉冲输出操作软件处理示例(2/2)

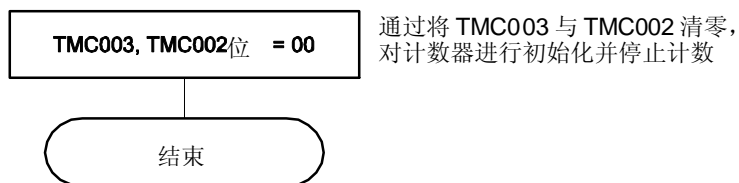
<1> 计数操作启动流程



<2> 单脉冲触发输入流程



<3> 计数操作停止流程



注 必须特别注意 TOC00 的设置。如需了解详细信息，可参见 6.3 (3) 16 位 定时器输出控制寄存器 00 (TOC00)。

6.4.8 脉冲宽度测量操作

TM00 可用于测量输入到 TI000 与 TI010 引脚的信号的脉冲宽度。

可以通过在自由运行定时器模式下操作 16 位定时器/事件计数器 00 以及通过同步使用 TI000 引脚输入信号的脉冲沿重新启动定时器，来进行测量。

当产生中断时，读取捕捉寄存器的有效值，并测量脉冲宽度。检测 16 位定时器模式控制寄存器 00 (TMC00) 的第 0 位(OVF00)。如果该位被设置为 1，则由软件将其清零。

图 6-47. 脉冲宽度测量(自由运行定时器 模式)的框图

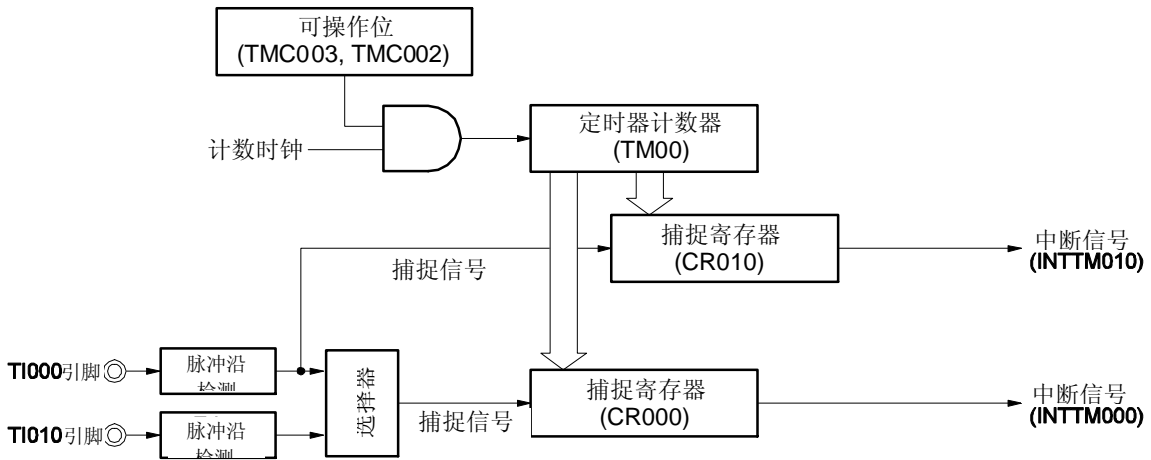
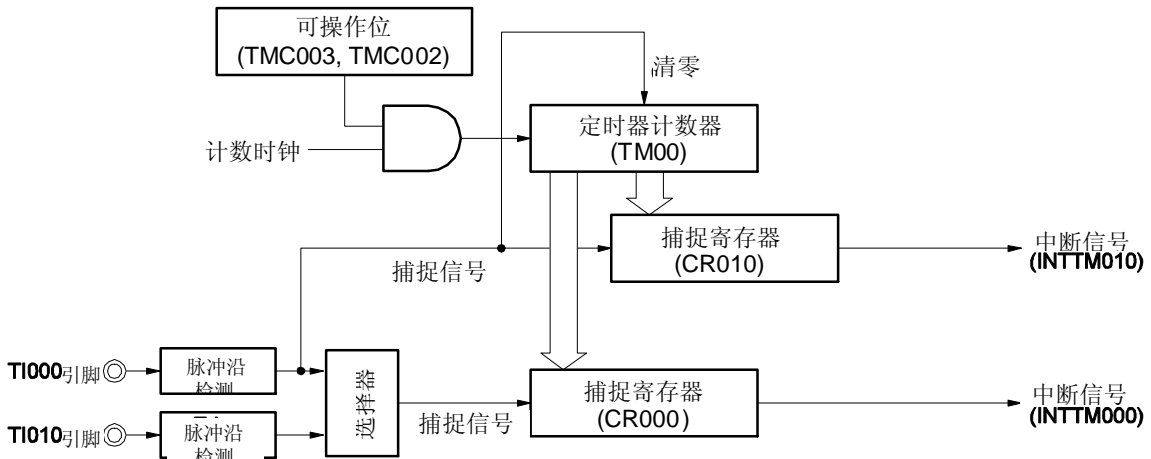


图 6-48. 脉冲宽度测量的框图
(清零&启动模式(通过 TI000 引脚有效沿输入进入))



可以使用以下三种方法测量脉冲宽度。

- 通过使用 TI000 与 TI010 引脚的两个输入信号测量脉冲宽度(自由运行定时器模式)
- 通过使用 TI000 引脚的一个输入信号测量脉冲宽度(自由运行定时器模式)
- 通过使用 TI000 引脚的一个输入信号测量脉冲宽度(清零&启动模式(通过 TI000 引脚有效沿输入))

注意事项 当测量脉冲宽度时不要选择 TI000 有效沿作为计数时钟。

- 备注**
1. 如需了解 I/O 引脚的设置, 参见 6.3 (6) 端口模式寄存器 3 (PM3)。
 2. 要了解如何允许 INTTM000 信号中断, 参见第二十一章 中断功能。

(1) 通过使用 TI000 与 TI010 引脚的两个输入信号测量脉冲宽度(自由运行定时器模式)

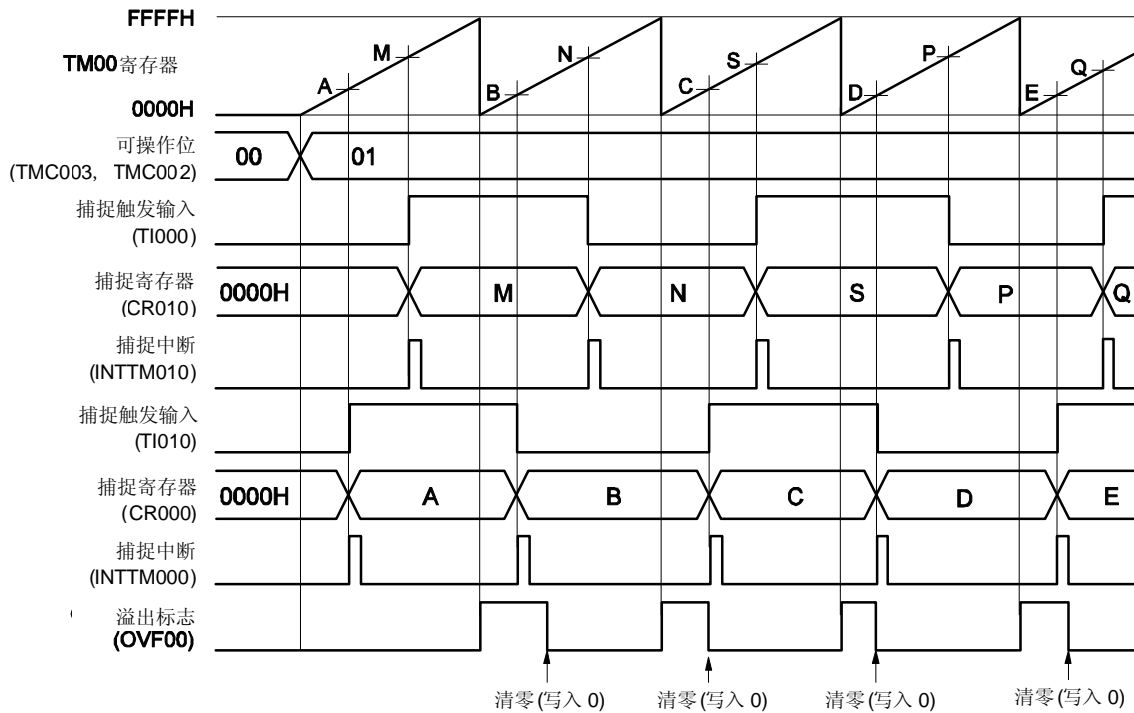
设置自由运行定时器模式(TMC003 与 TMC002 = 01)。当检测到 TI000 引脚的有效沿时, TM00 的计数值被捕捉到 CR010。当检测到 TI010 引脚的有效沿时, TM00 的计数值被捕捉到 CR000。规定检测 TI000 与 TI010 引脚的两种脉冲沿。

使用这种测量方法, 要从每个输入信号的脉冲沿捕捉的计数值中减去预设值。因此要将先前捕捉的值事先存入一个单独的寄存器中。

如果产生溢出, 则在当前捕捉值减去先前捕捉的值后计数值为负, 并因此产生借位(将程序状态字(PSW)的第 0 位(CY)置 1)。如果发生这种情况, 可以忽略 CY 并将计算结果作为脉冲宽度。此外, 将 16 位定时器模式控制寄存器 00 (TMC00)的第 0 位(OVF00)清零(0)。

图 6-49. 脉冲宽度测量时序示例 (1)

• TMC00 = 04H, PRM00 = F0H, CRC00 = 05H



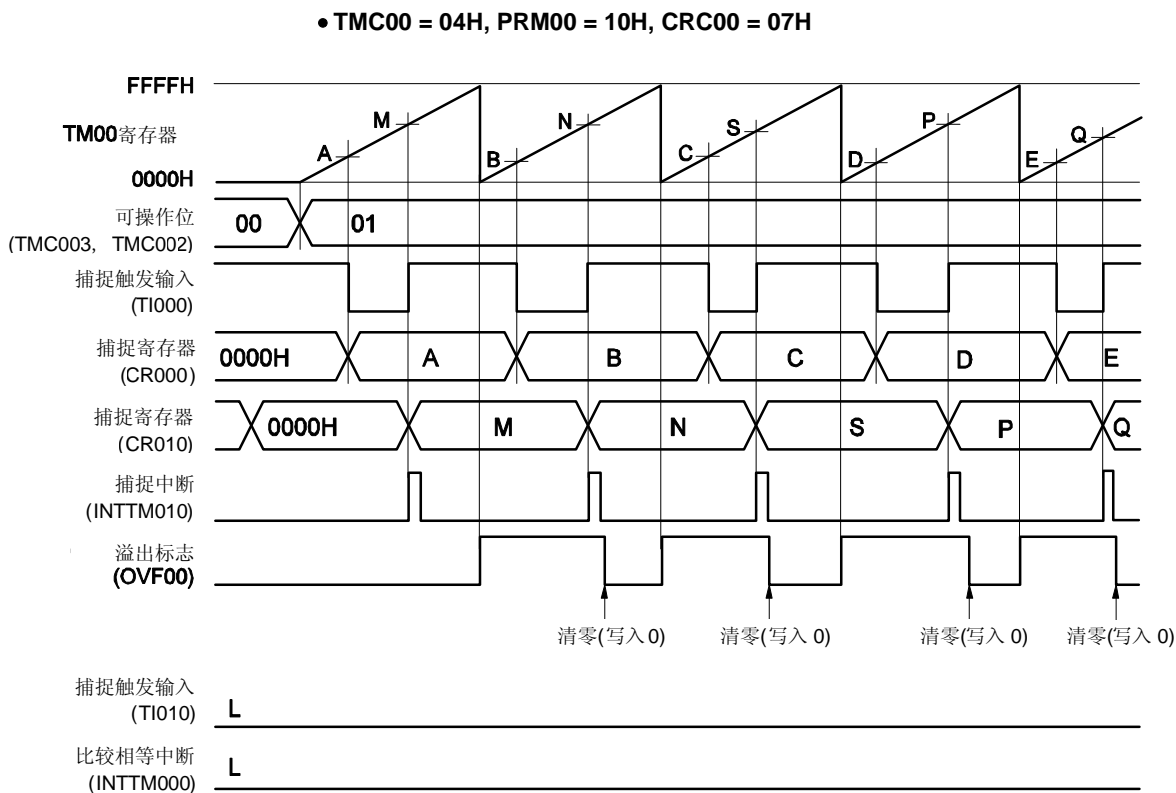
(2) 通过使用 TI000 引脚的一个输入信号测量脉冲宽度(自由运行模式)

设置自由运行定时器模式(TMC003 与 TMC002 = 01)。在 TI000 引脚检测到反向的有效沿时, 将 TM00 的计数值捕捉到 CR000。当检测到 TI000 引脚的有效沿时, 将 TM00 的计数值捕捉到 CR010。

使用这种测量方法, 在测量从一个脉冲沿到另一个脉冲沿的宽度时将数值存入分开的两个捕捉寄存器中。因此, 不必保存捕捉值。将两个捕捉寄存器的值相减, 可以计算高电平宽度、低电平宽度和周期。

如果产生溢出, 则当两个捕捉的计数值相减后结果为负, 并因此产生借位(将程序状态字(PSW)的第 0 位(CY)置 1)。如果发生这种情况, 可以忽略 CY 并将计算结果作为脉冲宽度。此外, 将 16 位定时器模式控制寄存器 00 (TMC00)的第 0 位(OVF00)清零(0)。

图 6-50. 脉冲宽度测量时序示例 (2)



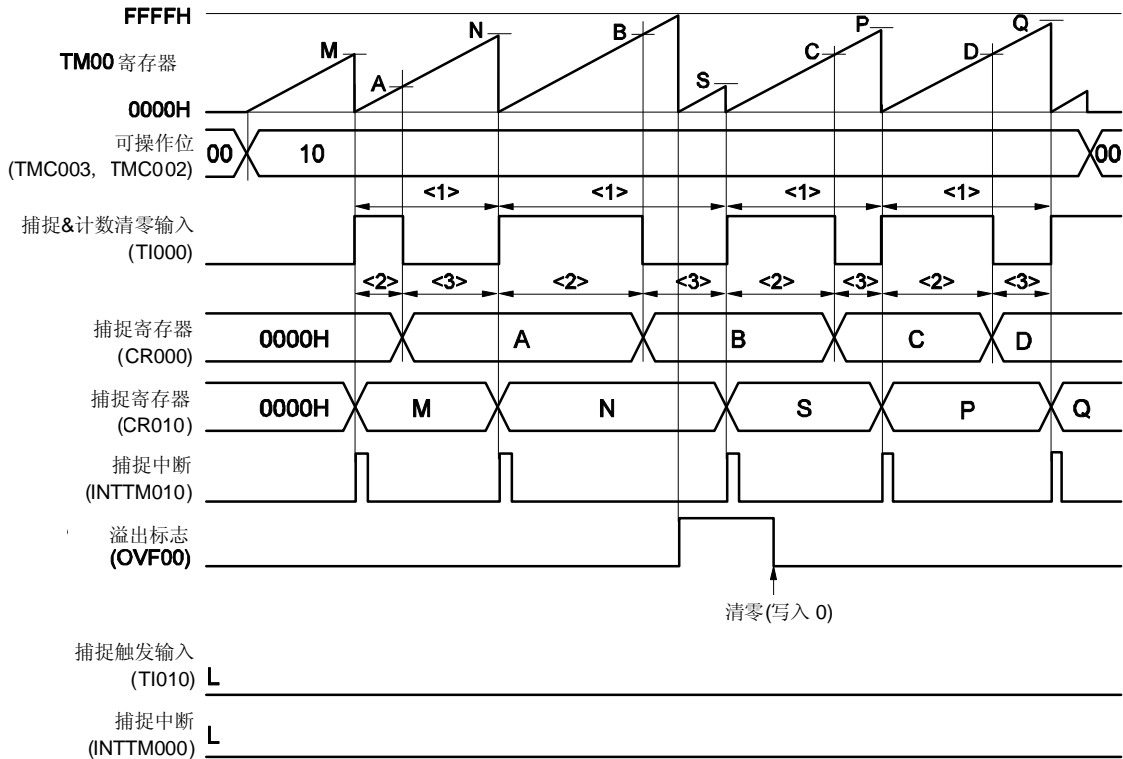
(3) 通过使用 TI000 引脚的一个输入信号测量脉冲宽度(清零&启动模式(通过 TI000 引脚有效沿输入进入))

设置清零&启动模式(通过 TI000 引脚有效沿进入)(TMC003 与 TMC002 = 10)。在 TI000 引脚检测到反向的有效沿时，将 TM00 的计数值捕捉到 CR000。当检测到 TI000 引脚的有效沿时，将 TM00 的计数值捕捉到 CR010，并将 TM00 清零(0000H)。因此，如果 TM00 没有溢出，则在 CR010 中存入一个周期。

如果产生溢出，则将 10000H 加上 CR010 的值，结果作为一个周期。此外，将 16 位定时器模式控制寄存器 00 (TMC00)的第 0 位(OVF00)清零(0)。

图 6-51. 脉冲宽度测量时序 (3)

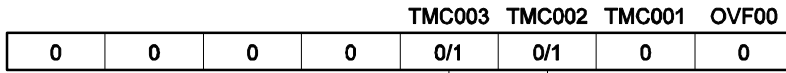
• TMC00 = 08H, PRM00 = 10H, CRC00 = 07H



- <1> 脉冲周期 = (10000H × OVF00 位被设置为 1 的次数 + CR010 的捕捉值) × 计数时钟周期
 <2> 高电平脉冲宽度 = (10000H × OVF00 位被设置为 1 的次数 + CR000 的捕捉值) × 计数时钟周期
 <3> 低电平脉冲宽度 = (脉冲周期 - 高电平脉冲宽度)

图 6-52. 脉冲宽度测量的寄存器设置示例(1/2)

(a) 16 位 定时器 模式控制寄存器 00 (TMC00)



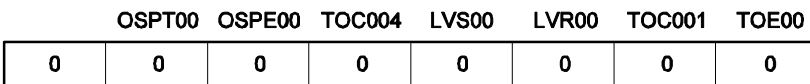
01: 自由运行定时器模式
10: 清零并启动模式
(通过 TI000 引脚的有效沿进入)

(b) 捕捉/比较控制寄存器 00 (CRC00)

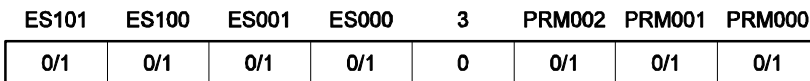


1 : CR000 用作捕捉寄存器
0 : TI010 引脚用作 CR000 的捕捉触发
1 : TI000 引脚的反相用作 CR000 的捕捉触发
1 : CR010 用作捕捉寄存器

(c) 16 位 定时器输出控制寄存器 00 (TOC00)



(d) 预分频 模式 寄存器 00 (PRM00)



选择计数时钟
(禁止设置 TI000 的有效沿)
00 : 下降沿检测
01 : 上升沿检测
10 : 禁止设置
11 : 两种脉冲沿均检测
(当 CRC001=1 时禁止设置)
00 : 下降沿检测
01 : 上升沿检测
10 : 禁止设置
11 : 两种脉冲沿均检测

图 6-52. 脉冲宽度测量的寄存器设置示例 (2/2)

(e) 16 位定时器计数器 00 (TM00)

通过读取 TM00，可获得计数值。

(f) 16 位 捕捉/比较 寄存器 000 (CR000)

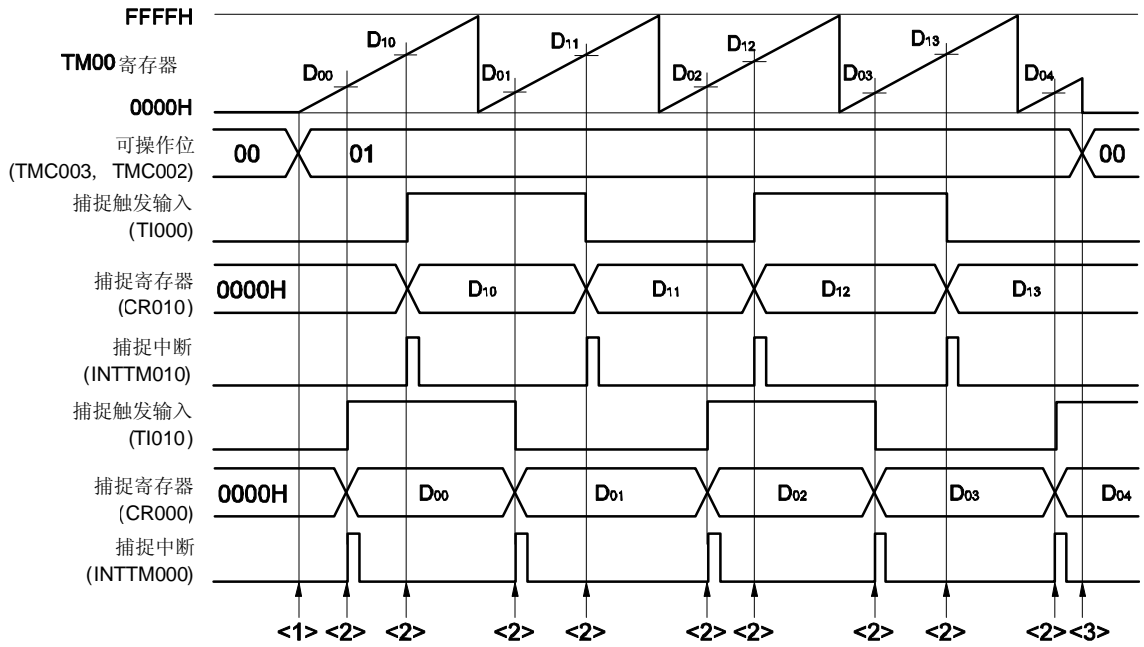
该寄存器用作捕捉寄存器。选择 TI000 或 TI010 引脚作为捕捉触发。当检测到指定脉冲沿的捕捉触发时，将 TM00 的计数值存入 CR000。

(g) 16 位 捕捉/比较 寄存器 010 (CR010)

该寄存器用作捕捉寄存器。将 TI000 引脚的输入信号用作捕捉触发。当检测到捕捉触发时，将 TM00 的计数值存入 CR010。

图 6-53. 脉冲宽度测量软件处理示例(1/2)

(a) 自由运行定时器模式示例



(b) 清零&启动模式(通过 TI000 引脚有效沿进入)示例

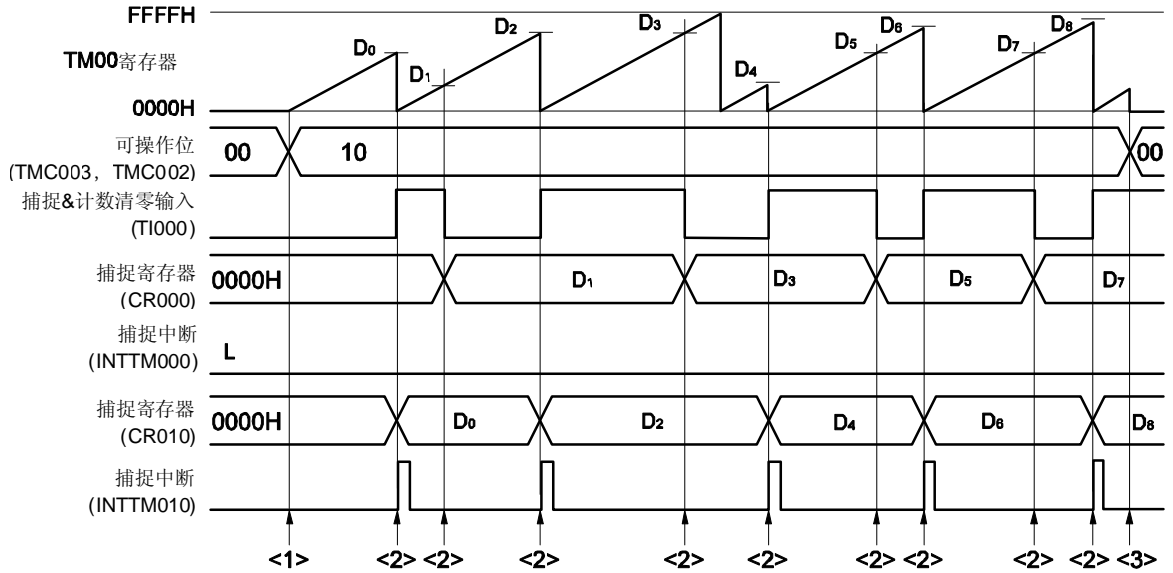
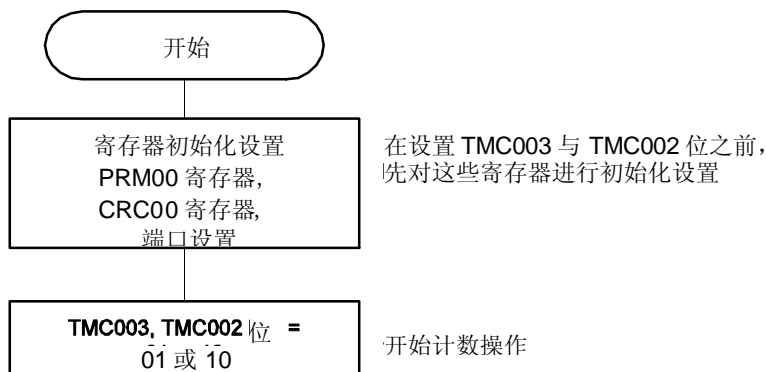
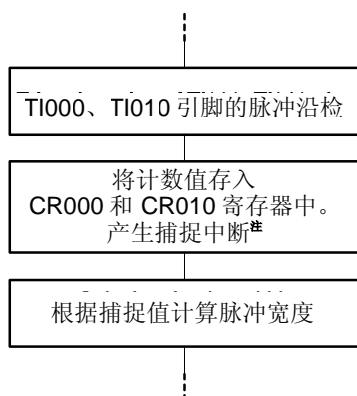


图 6-53. 脉冲宽度测量软件处理示例(2/2)

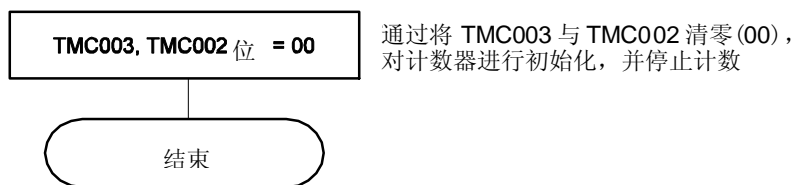
<1> 计数操作启动流程



<2> 捕捉触发输入流程



<3> 计数操作停止流程



注 当选择 TI000 引脚输入的反向脉冲沿作为 CR000 的有效沿时, 不产生捕捉中断信号(INTTM000)。

6.4.9 外部 24 位事件计数器操作

16 位定时器/事件计数器 00 通过级联 16 位定时器/事件计数器 00 和 8 位 定时器/时间计数器 52，可用于外部 24 位事件计数器功能操作，8 位 定时器/事件 计数器 52 作为外部事件计数器使用。

作为外部 24 位事件计数器使用，计算经过 8 位定时器 52 (TM52) 输入到 TI52 引脚的外部时钟脉冲数，和计算当 TM52 计数值与 8 位定时器比较寄存器 52 (CR52=FFH) 时由 16 位定时器计数器 00 (TM00) 输出的信号。

当 16 位定时器/事件计数器 00 用于外部 24 位事件计数器时，可通过 8 位定时器计数器 H2 输出控制外部事件输入允许。

输入到 TI52 引脚的有效沿可由 8 位定时器计数器 52 (TM52) 的定时器时钟选择寄存器 52 (TCL52) 指定。TM52 外部事件输入允许也可以通过 8 位定时器计数器 H2 输出控制，设置输入切换控制寄存器 (ISC) 的第 2 位 (ISC2) 为“1”。

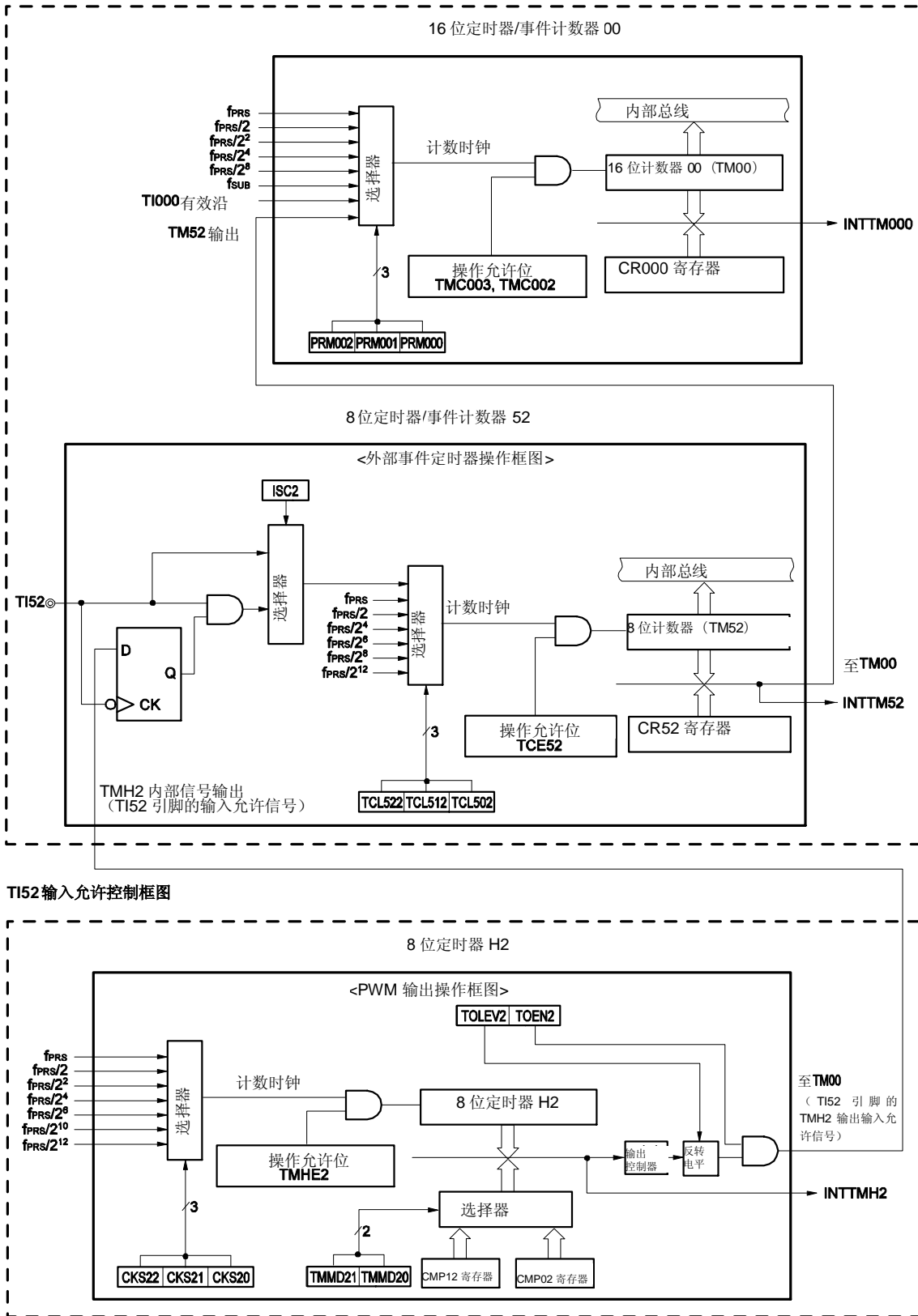
通过设置 16 位定时器/事件计数器 00 的预分频 模式 寄存器 00 (PRM00) 的第 2, 1 和 0 位 (PRM002, PRM001, 和 PRM000) 为 1, 1 和 1, 和设置 16 位 定时器 模式控制寄存器 00 (TMC00) 的第 3 和 2 位 (TMC003 和 TMC002) 为 1 和 1 (TM00 和 CR000 相等时进入计数清零&启动模式)，用作计数时钟的 8 位 定时器 52 输出计数操作开始。TM00 计数值与 16 位 定时器 比较 寄存器 000 (CR000) 的值相等时 TM00 被清零并且产生一个中断请求信号 (INTTM000)。

随后，TM00 和 CR000 的值相等时产生 INTTM000。

注 当 16 位定时器/事件计数器 00 作为外部 24 位事件计数器操作时，8 位 定时器 比较 寄存器 52 (CR52) 的值必须设置为 FFH。而且，TM52 中断请求信号 (INTTM52) 必须被屏蔽掉 (TMMK52 = 1)。

图 6-54. 外部 24 位事件计数器的框图

外部 24 位事件计数器的框图



设置

<1> TM00 和 TM52 的每种模式的设置。

(a) TM00 设置为间隔定时器。选择 TM52 输出作为计数时钟。

- TMC00: 设置操作禁止。
(TMC00 = 00000000B)
- CRC00: 设置作为比较寄存器操作。
(CRC00 = 000000x0B, x = don't care)
- TOC00: 设置 CR000 和 TM00 相等时 TO00 引脚输出禁止。
(TOC00 = 00000000B)
- PRM00: TM52 输出选择作为计数时钟。
(PRM00 = 00000111B)
- CR000: 设置比较值为 FFFFH。
如果比较值设置为 M, TM00 计数将到 M。
- CR010: 通常, CR010 不使用, 但是, 当 CR010 的设置值和 TM00 值相等时产生一个比较相等中断 (INTTM010)。因此, 通过中断屏蔽标志 (TMMK010) 屏蔽中断请求。

(b) 设置 TM52 作为外部事件计数器。

- TCL52: TI52 引脚输入的沿选择
TI52 引脚的下降沿 → TCL52 = 00H
TI52 引脚的上升沿 → TCL52 = 01H
- CR52: 设置比较寄存器的值为 FFH。
- TMC52: 计数操作停止。
(TMC52 = 00000000B)
- TMIF52: 清零此寄存器。

注意事项 当 16 位定时器/事件计数器 00 作为外部 24 位事件计数器操作时, INTTM52 必须屏蔽 (TMMK52 = 1)。因此, 比较寄存器 52 (CR52) 的值必须设置为 FFH。

(c) 为 TI52 引脚设置 TMH2 到输入允许宽度判定模式 (PWM 模式)。*^注

- TMHMD2: 计数操作停止, 选择计数时钟, 模式设置到输入允许宽度判定模式 (PWM 模式), 定时器输出电平默认值设置为高电平, 定时器输出设置为允许 (TMHMD2 = 0xxx1011B, x = 根据使用条件设置)。
- CMP02: 比较值 (N) 频率设置
- CMP12: 比较值 (M) 占空比设置
备注 $00H \leq \text{CMP12 (M)} < \text{CMP02 (N)} \leq \text{FFH}$
- ISC2: 设置 ISC2 = 1 (TI52 引脚输入允许控制)

注 如果 TI52 引脚输入允许不控制, 此设置不需要。

<2> TM00, TM52, 和 TMH2 计数操作开始。定时器操作开始必须按照下面的过程。

- (a) 通过设置 TMC003 和 TMC002 位为 1 和 1 启动 TM00 计数器操作。
- (b) 通过设置 TCE52 为 1 启动 TM52 计数器操作。
- (c) 通过设置 TMHE2 为 1 启动 TMH2 计数器操作。*^注

注 如果 TI52 引脚输入允许不控制, 此设置不需要。

<3> 当 TM52 和 CR52 (= FFH) 的值相等时, TM52 被清零为 00, 并且相等信号使 TM000 开始计数。然后, 当 TM000 和 CR000 相等时, TM00 被清为 0000H, 并且产生一个相等中断信号 (INTTM000)。

如果控制 TI52 引脚输入允许，通过读取 TM52，TI52 引脚在输入允许期间的外部事件计数可以测量，TM00 计数值，和由 TMH2 中断请求信号 (INTTMH2) 经过中断服务的 TMIF52。

图 6-55. 外部 24 位事件计数器的操作时序

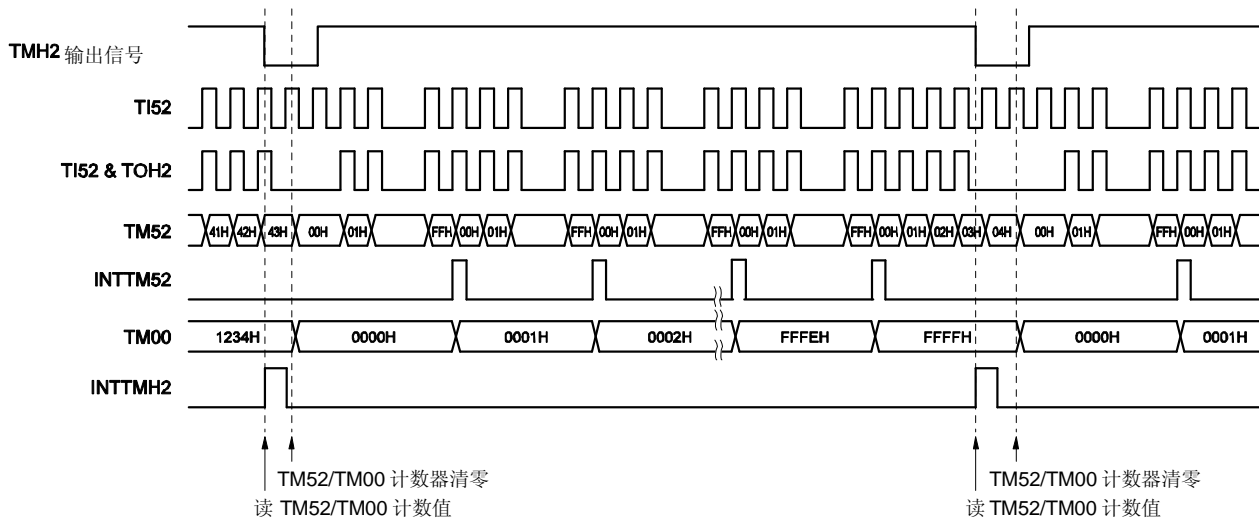
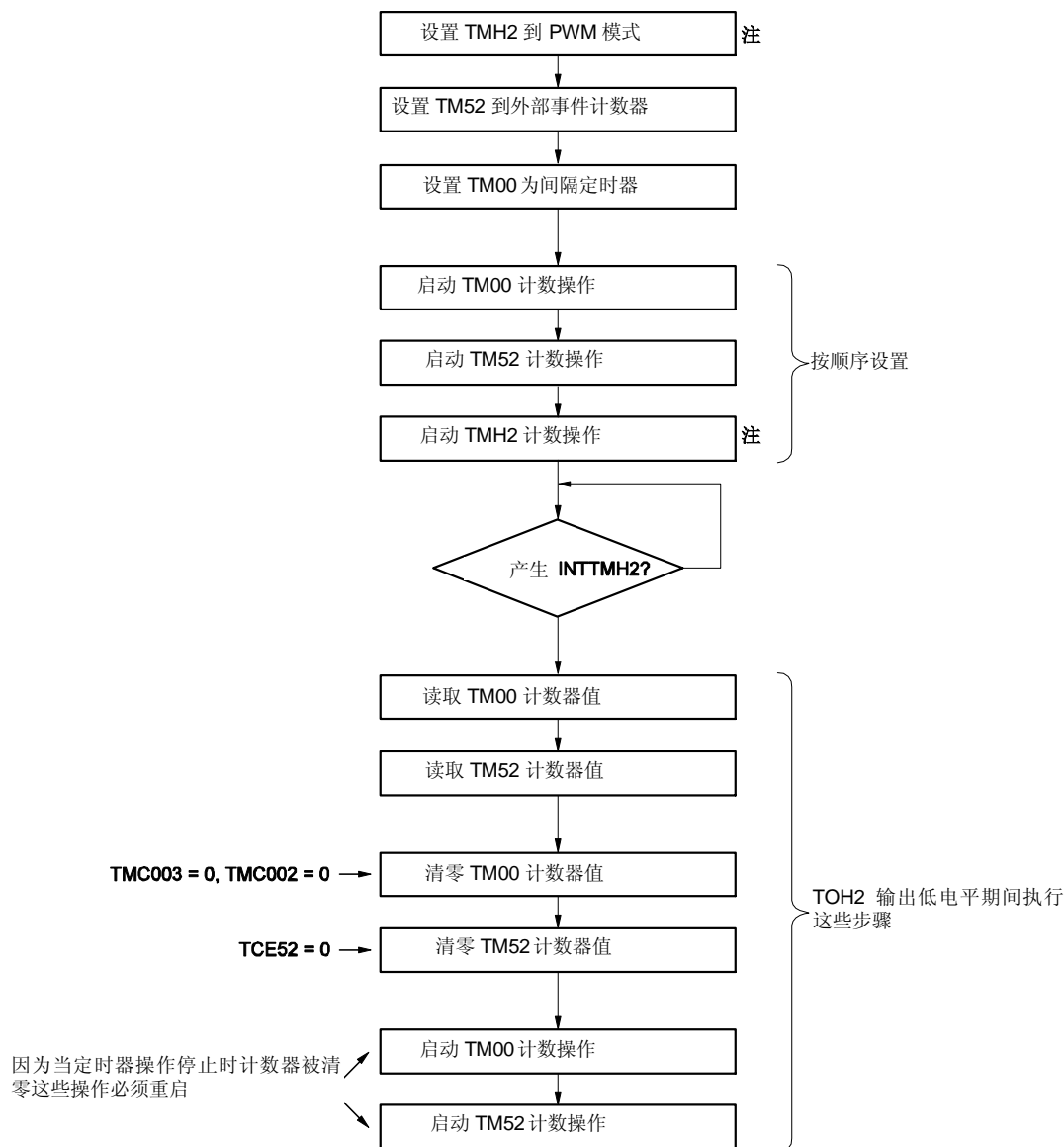


图 6-56. 外部 24 位事件 计数器的操作流程



注 如果 TI52 引脚输入允许不控制，此设置不需要。

6.4.10 外部 24 位事件计数器的注意事项

(1) 8 位定时器计数器 H2 输出信号

8 位 定时器 H2 的输出电平控制(默认值)，用于控制 TI52 引脚输入允许，必须设置为高电平 ($TOLEV2 = 1$)。因此，当 TI52 引脚输入允许信号禁止 (TMH2 输出: 低电平)时产生一个中断请求信号(INTTMH2)，并且 TM52 和 TM00 计数值(= 输入允许期间的外部事件计数值) 可以由此中断服务读取。

TI52 引脚的输入允许信号的注意事项为高电平 (允许状态)，在 8 位 定时器 H2 操作通过设置($TOLEV2 = 1$)已经允许($TMHE2 = 1$)后，直到 TMH2 和 CMP02 寄存器值相等。

(2) TI52 引脚输入允许控制的注意事项

TI52 引脚的输入允许控制信号 (TMH2 输出信号) 与 TI52 引脚输入时钟同步, 在图 6-54 外部 24 位事件计数器的框图和图 6-55 外部 24 位事件计数器的操作时序中说明。因此, 当计数器作为外部事件计数器操作时, 计数可能会引起错误。

(3) 外部 24 位事件计数器操作期间 16 位定时器/事件计数器 00 的注意事项

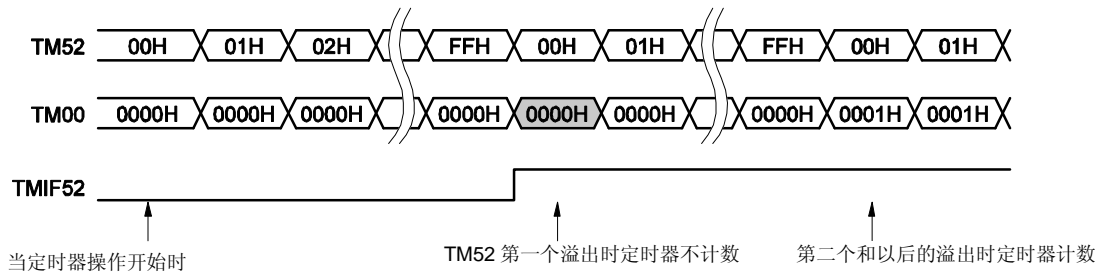
16 位定时器/事件计数器 00 当开始操作时与噪声消除器同步, 在操作开始后第一个时钟不立即计数。

当使用计数器作为 24 位计数器, 通过设置 16 位定时器/事件计数器 00 和 8 位定时器/事件计数器 52 作为高位和低位定时器并将它们级联, 作为低位定时器的 8 位定时器/事件计数器 52 的中断请求标志必须按照下面说明进行检测, 以便正确读出 24 位计数值。

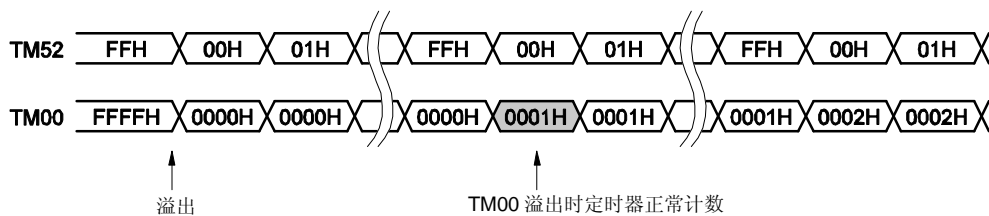
- TMIF52 = 1 时读取 TM52 和 TM00 :
TM00 实际的计数值是“TM00 的读取值 + 1”。
- TMIF52 = 0 时读取 TM52 和 TM00:
读取的值是正确的值。

16 位定时器/事件计数器 00 仅当操作开始出现这些情况。当 16 位定时器/事件计数器 00 溢出和计数从 0000H 重启时不发生计数延迟, 因为已经实现同步。

<开始操作时>



<高位定时器的溢出>



6.5 TM00 的特殊用途

6.5.1 TM00 操作期间重写 CR010

原则上，在 TM00 操作时(TMC003 与 TMC002 不等于 00)禁止重写 78K0/ LE3 的 CR000 与 CR010(当它们用作比较寄存器时)的值。

但如果 CR010 用于 PPG 输出且占空比已被修改(在 CR010 的值与 TM00 的值相等后修改 CR010 的值，如果 CR010 的值与 TM00 的值相等前立即修改 CR010，则可以会产生异常操作)，可以按下列过程修改 CR010，即使 TM00 正在操作。

修改 CR010 值的过程

- <1> 禁止中断 INTTM010 (TMMK010 = 1).
- <2> 当 TM00 的值与 CR010 的值相等时(TOC004 = 0)禁止反转定时器输出。
- <3> 修改 CR010 的值
- <4> 等待一个 TM00 计数时钟周期
- <5> 允许 TM00 和 CR010 (TOC004 = 1) 相等时进行定时器输出反转操作。
- <6> 将 INTTM010 的中断标志清零 (TMIF010 = 0)。
- <7> 允许中断 INTTM010 (TMMK010 = 0)。

备注 如需了解 TMIF010 和 TMMK010，可参见 第二十一章 中断功能。

6.5.2 设置 LVS00 和 LVR00

(1) LVS00 和 LVR00 的使用

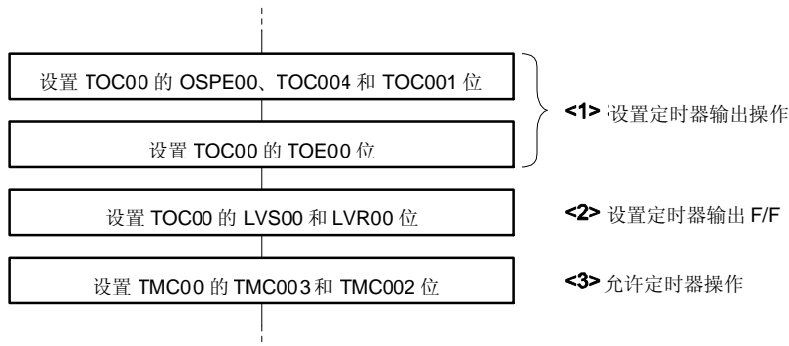
LVS00 与 LVR00 用于设置 TO00 引脚输出的默认值并可以在不需要定时器操作时(TMC003 与 TMC002 = 00)对定时器输出进行反转。当不需要软件控制时将 LVS00 与 LVR00 清零(00) (默认值: 低电平输出)。

LVS00	LVR00	定时器输出 状态
0	0	无变化(低电平输出)
0	1	清零(低电平输出)
1	0	设置(高电平输出)
1	1	设置禁止

(2) LVS00 和 LVR00 的设置

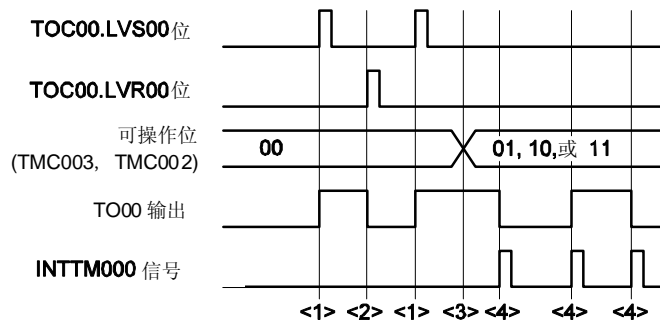
可按以下步骤设置 LVS00 和 LVR00。

图 6-57. LVS00 和 LVR00 位设置流程示例



注意事项 必须按上述<1>、<2>和<3>步骤设置 LVS00 和 LVR00。
 步骤<2>可以在<1>之后<3>之前执行。

图 6-58. LVR00 和 LVS00 时序示例



- <1> 当 LVS00 与 LVR00 = 10 时将 TO00 引脚输出变为高电平。
- <2> 当 LVS00 与 LVR00 = 01 时将 TO00 引脚输出变为低电平(即使 LVS00 与 LVR00 被清零(00)则引脚输出恒为高电平)。
- <3> 当 TMC003 与 TMC002=01、10 或 11 时定时器开始操作。由于在开始操作前 LVS00 与 LVR00 被设置为 10, 所以 TO00 引脚输出从高电平开始。定时器开始操作后, 禁止对 LVS00 与 LVR00 进行设置, 直至 TMC003 与 TMC002 = 00 (禁止定时器操作)。
- <4> 每当产生中断信号(INTTM000)时, 反转 TO00 引脚的输出电平。

6.6 16 位定时器/事件计数器 00 注意事项

(1) 16 位定时器/事件计数器 00 每个通道的限制条件

表 6-3 显示了每个通道的限制条件。

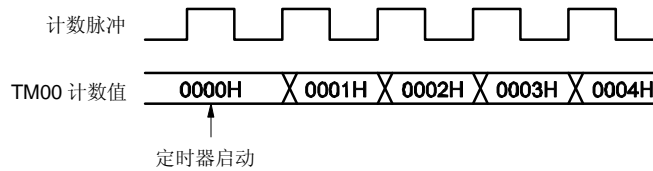
表 6-3. 16 位定时器/事件计数器 00 每个通道的限制条件

操作	限制条件
用作间隔定时器	-
用作方波输出	
用作外部事件计数器	
用于清零&启动模式(通过 TI000 引脚有效沿输入进入)	当使用检测 TI010 引脚有效沿时, 禁止使用定时器输出(TO00)。 TOC00 = 00H
用作自由运行定时器	-
用作 PPG 输出	$0000H \leq CR010 < CR000 \leq FFFFH$
用作单脉冲输出	不能给 CR000 和 CP010 设置相同的值。
用作脉冲宽度测量	禁止使用定时器输出 (TO00) (TOC00 = 00H)

(2) 定时器启动误差

定时器启动后, 在产生相等信号之前可能发生将近一个时钟周期的误差。这是由于启动 TM00 计数操作与计数脉冲不同步引起的。

图 6-59. TM00 计数启动时序

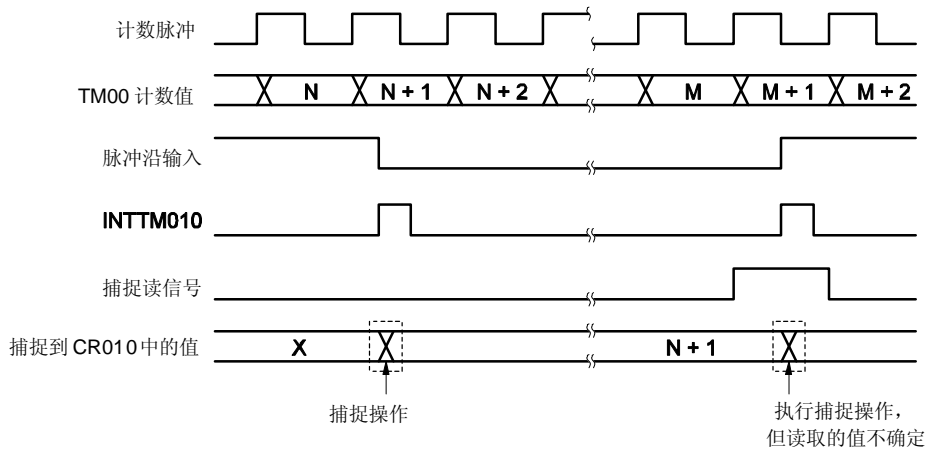


(3) CR000 与 CR010 的设置 (清零&启动模式(TM00 与 CR000 相等时进入))

为 CR000 与 CR010 设置 0000H 以外的值 (当 TM00 外部事件计数器时不能进行单脉冲计数)。

(4) 捕捉寄存器数据保持时序

- (a) 如果在读取 CR000/CR010 时，有效沿输入到 TI000/TI010 引脚并且检测到 TI000 引脚脉冲的反向沿时，CR010 执行捕捉操作但 CR000/CR010 的读取值不确定。此时当检测到 TI000/TI010 引脚的有效沿时产生中断信号(INTTM000/INTTM010)(当检测到 TI000 引脚的反向脉冲沿时不产生中断信号)。如果由于检测到 TI000/TI010 引脚的有效沿而捕捉到计数值时，则应在产生 INTTM000/INTTM010 信号后读取 CR000/CR010 的值。

图 6-60. 捕捉寄存器数据保持时序

- (b) 当 16 位定时器/事件计数器 00 停止操作后，CR000 与 CR010 的值不确定。

(5) 设置有效沿

当定时器停止操作时(TMC003 与 TMC002 = 00)设置 TI000 引脚的有效沿。使用 ES000 与 ES001 设置有效沿。

(6) 单脉冲的重新触发

必须确定在单脉冲输出模式下正在输出一个活动电平时，没有触发产生。而且必须在输出当前活动电平后输入下一个触发。

(7) OVF00 标志的操作**(a) 设置 OVF00 标志 (1)**

在以下情况下以及 TM00 溢出时将 OVF00 标志设置为 1。

选择清零&启动模式(在 TM00 与 CR000 相等时进入)。

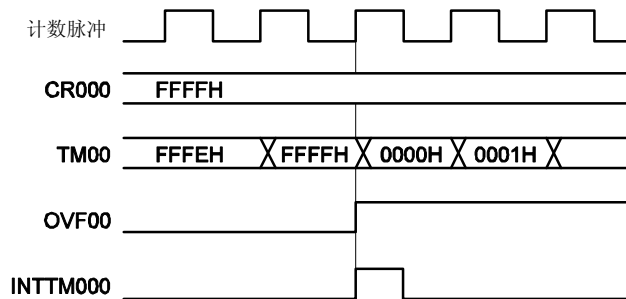
↓

设置 CR000 为 FFFFH。

↓

当 TM00 与 CR000 相等且 TM00 从 FFFFH 变为 0000H 时 TM00 被清零。

图 6-61. OVF00 标志操作时序

**(b) OVF00 标志清零**

即使在 TM00 溢出后下一个计数时钟被计数之前(TM00 的值变为 0001H 之前)将 OVF00 标志清零(0)，OVF00 也会再次被设置为 1，并且对其清零是无效的。

(8) 单脉冲输出

在自由运行定时器模式下或者在清零&启动模式(通过 TI000 引脚有效沿进入)下，单脉冲输出能正确操作。而在清零&启动模式(在 TM00 与 CR000 相等时进入)下不能输出单脉冲。

(9) 捕捉操作

(a) 当指定 TI000 的有效沿作为计数时钟时

当指定 TI000 的有效沿作为计数时钟时，捕捉寄存器(指定 TI000 作为触发)不能正确操作。

(b) 通过 TI010 与 TI000 引脚输入信号准确捕捉计数值的脉冲宽度

为了准确捕捉计数值，作为捕捉触发的 TI000 与 TI010 引脚的输入脉冲宽度必须大于两个计数时钟(由 PRM00 选择) (参见图 6-7)。

(c) 中断信号的产生

在计数时钟的下降沿进行捕捉操作，但中断信号(INTTM000 与 INTTM010)则在下一个计数时钟的上升沿产生(参见图 6-7)。

(d) 当 CRC001 (捕捉/比较控制寄存器 00 (CRC00)的第 1 位)=1 时的注释

在 TI000 引脚输入信号的反向沿将 TM00 的计数值捕捉到 CR000 时，捕捉到计数值后不产生中断信号(INTTM000)。如果在此操作期间，从 TI010 引脚检测到有效沿，则不执行捕捉操作但会产生中断信号(INTTM000)作为外部中断信号。当不使用外部中断时屏蔽 INTTM000 信号。

(10) 脉冲沿检测

(a) 复位后指定有效沿

如果复位后 TI000 或 TI010 引脚处于高电平，且当指定上升沿或兼有两种脉冲沿作为 TI000 或 TI010 引脚的有效沿时，允许 16 位定时器/事件计数器 00 的操作，则检测到 TI000 或 TI010 引脚的高电平作为上升沿。上拉 TI000 或 TI010 引脚时要特别注意。但如果操作停止之后又允许操作，则不检测上升沿。

(b) 用于消除噪音的采样时钟

根据 TI000 的有效沿是用作计数时钟还是用作捕捉触发，采样时钟(用于消除噪音)会发生变化。在前一种情况中采样时钟恒为 f_{PRS} 。而在后一种情况中则将由 PRM00 选择的计数时钟用于采样。

当采样到 TI000 引脚的输入信号并且在一个周期内两次检测到有效电平时，才认为检测到有效沿。因此可以消除窄脉冲宽度的噪音(参见图 6-7)。

(11) 定时器操作

无论 CPU 处于何种操作模式，当定时器停止操作时，不响应 TI000/TI010 引脚的输入信号。

备注 f_{PRS} : 外围硬件时钟频率

第七章 8 位定时器/事件计数器 50、51 和 52

7.1 8 位定时器/事件计数器 50、51 和 52 的功能

8 位定时器/事件计数器 50、51 和 52 具有以下功能

- 间隔定时器
- 外部事件计数器^{注 1}
- 方波输出^{注 2}
- PWM 输出^{注 2}

- 注
1. TM52 和 TM00 可以组合在一起用作外部 24 位事件计数器。同样，经 TMH2 控制 TM52 外部事件输入。
 2. 仅适用于 TM50 和 TM51。

7.2 8 位定时器/事件计数器 50、51 和 52 的配置

8 位定时器/事件计数器 50、51 和 52 包括以下硬件。

表 7-1. 8 位定时器/事件计数器 50、51 和 52 的配置

项目	配置
定时器寄存器	8 位定时器计数器 5n (TM5n)
寄存器	8 位定时器比较寄存器 5n (CR5n)
定时器输入	TI5n
定时器输出	TO50, TO51
控制寄存器	定时器时钟选择寄存器 5n (TCL5n) 8 位定时器模式控制寄存器 5n (TMC5n) 输入转换控制寄存器 (ISC) 端口模式寄存器 3 (PM3) 或端口模式寄存器 4 (PM4) 端口寄存器 3 (P3) 或端口寄存器 4 (P4)

备注 n = 0 ~ 2

图 7-1 ~ 7-3 显示了 8 位定时器/事件计数器 50、51 和 52 的框图。

图 7-1. 8 位定时器/事件计数器 50 的框图

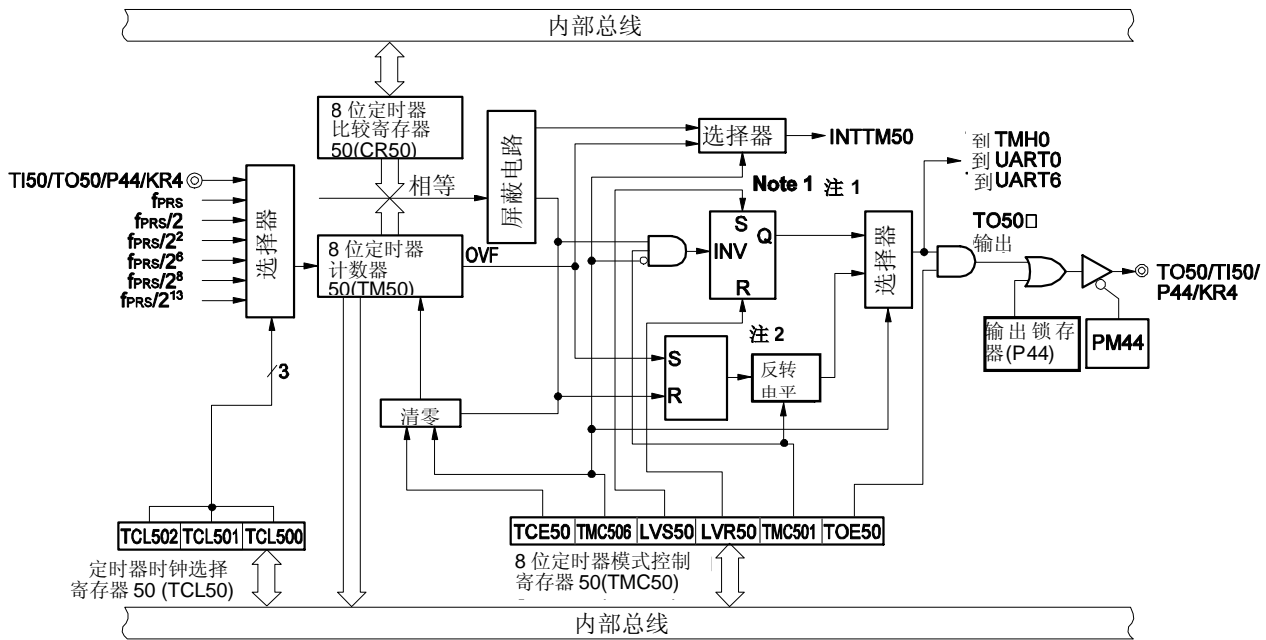
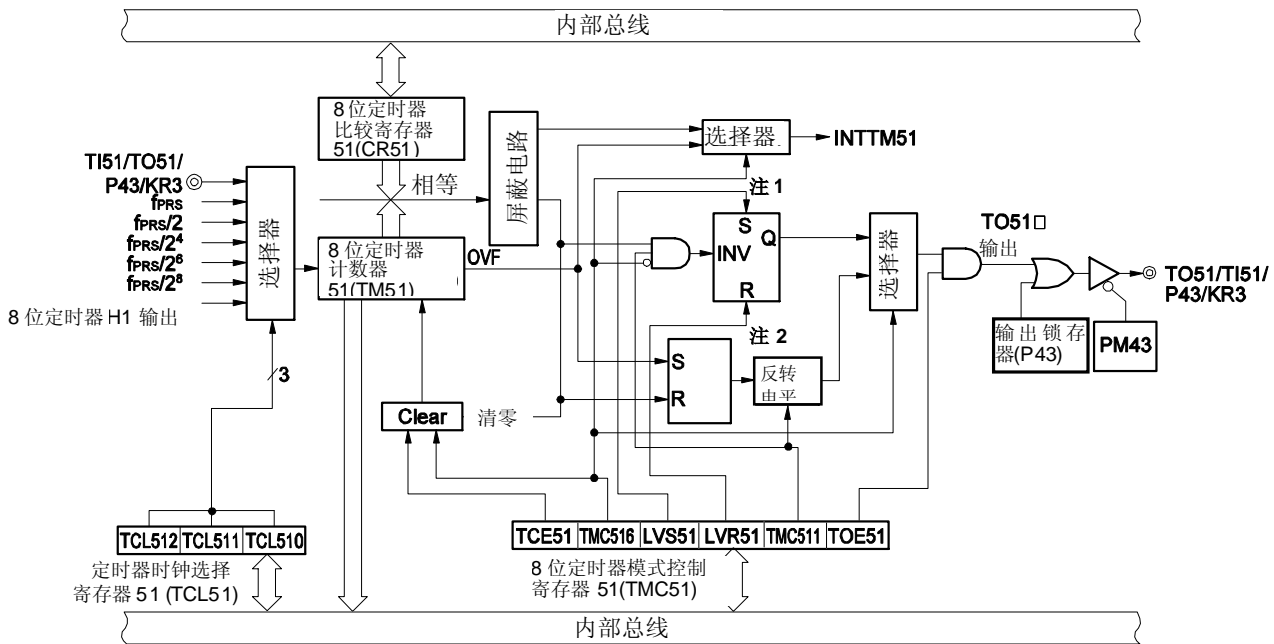
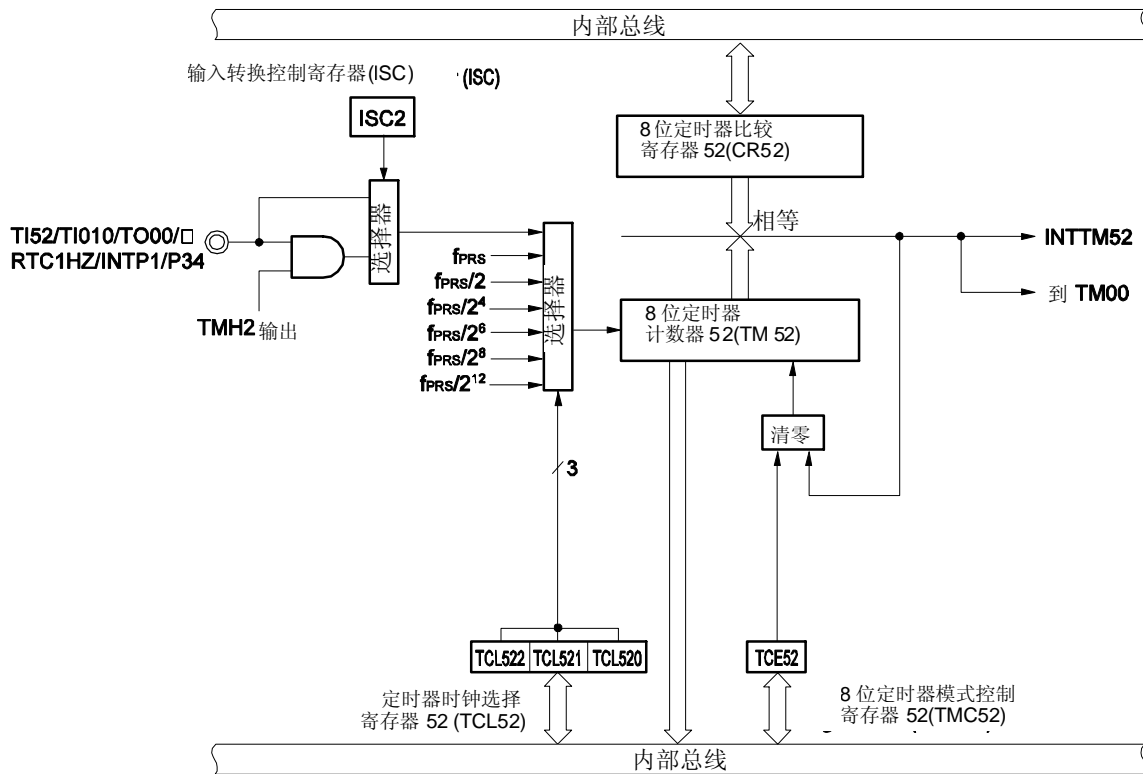


图 7-2. 8 位定时器/事件计数器 51 的框图



- 注
1. 定时器输出 F/F
 2. PWM 输出 F/F

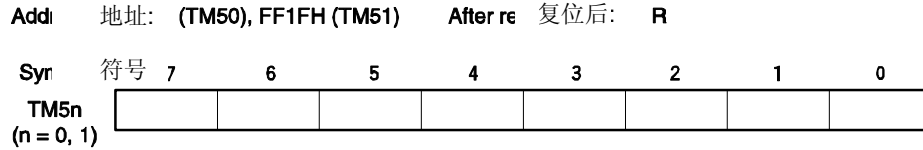
图 7-3. 8 位定时器/事件计数器 52 的框图



(1) 8 位定时器计数器 5n (TM5n)

TM5n 是一个 8 位寄存器，用于对计数脉冲进行计数，它是只读的。
该计数器的计数值随计数时钟的上升沿同步增加。

图 7-4. 8 位定时器计数器 5n (TM5n)的格式



在以下几种情况下将计数值清零(00H)。

- <1> 产生复位信号
- <2> TCE5n 清零
- <3> 在 TM5n 与 CR5n 相等时清零和启动模式中，当 TM5n 与 CR5n 相等时。

(2) 8 位定时器比较寄存器 5n (CR5n)

可以由 8 位存储器操作指令对 CR5n 进行读写。

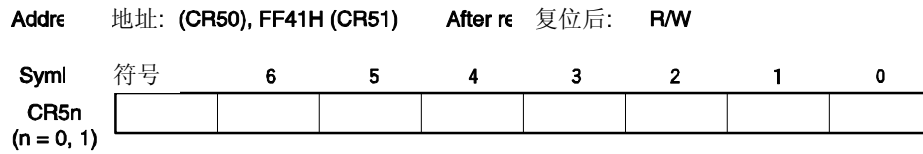
除了 PWM 模式外，CR5n 的值将与 8 位定时器计数器 5n(TM5n)的计数值频繁相比较，如果相等将产生中断请求 (INTTM5n)。

在 PWM 模式下，TM5n 与 CR5n 的值相等时，TO5n 输出非有效电平，但不产生中断信号。

CR5n 的取值范围为：00H ~ FFH。

复位信号的产生将 CR5n 清零(00H)。

图 7-5. 8 位定时器比较寄存器 5n (CR5n)的格式



- 注意事项**
1. 在 TM5n 与 CR5n (TMC5n6 = 0)相等时清零和启动模式下，不要将其它值写入 CR5n。
 2. 在 PWM 模式中，以至少 3 个计数时钟(由 TCL5n 选择时钟)的间隔对 CR5n 进行重写。

备注 n = 0 ~ 2

7.3 控制 8 位定时器/事件计数器 50、51 和 52 的寄存器

以下五种寄存器用于控制 8 位定时器/事件计数器 50、51 和 52。

- 定时器时钟选择寄存器 5n (TCL5n)
- 8 位定时器模式控制寄存器 5n (TMC5n)
- 输入转换控制寄存器 (ISC)
- 端口模式寄存器 3 (PM3) 或端口模式寄存器 4 (PM4)
- 端口寄存器 3 (P3) 或端口寄存器 4 (P4)

(1) 定时器时钟选择寄存器 5n (TCL5n)

该寄存器设置 8 位定时器/事件计数器 5n 的计数时钟，和 TI5n 引脚输入的有效沿。

可由 1 位或 8 位存储器操作指令设置 TCL5n。

复位信号的产生将 TCL5n 清零(00H)。

备注 n = 0 ~ 2

图 7-6. 定时器时钟选择寄存器 50 (TCL50) 的格式

地址: FF6AH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	计数时钟选择 ^{注 1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	TI50 引脚下降沿			
0	0	1	TI50 引脚上升沿			
0	1	0	f _{PRS} ^{注 2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	f _{PRS} /2 ¹³	0.24 kHz	0.61 kHz	1.22 kHz

注 1. 如果外围硬件时钟(f_{PRS}) 操作在高速系统时钟(f_{XH}) (XSEL = 1)下， f_{PRS} 操作频率依据供电电压不同而变动。

- V_{DD} = 2.7 ~ 5.5 V: f_{PRS} ≤ 10 MHz
- V_{DD} = 1.8 ~ 2.7 V: f_{PRS} ≤ 5 MHz

2. 如果外围硬件时钟(f_{PRS}) 操作在内部高速振荡时钟(f_{XH}) (XSEL = 0)下，当 1.8 V ≤ V_{DD} < 2.7 V 时，禁止设置 TCL502, TCL501, TCL500 = 0, 1, 0 (计数时钟: f_{PRS})。

注意事项 1. 如果要向 TCL50 写入其它值，则必须提前停止定时器操作。

2. 必须将第 3 位 ~ 第 7 位清零。

备注 f_{PRS}: 外围硬件时钟频率

图 7-7. 定时器时钟选择寄存器 51 (TCL51) 的格式

地址: FF8CH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	计数时钟选择 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	TI51 引脚下降沿			
0	0	1	TI51 引脚上升沿			
0	1	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	定时器 H1 输出信号			

- 注
1. 如果外围硬件时钟 (f_{PRS}) 操作在高速系统时钟(f_{XH}) (XSEL = 1)下, f_{PRS} 操作频率依据供电电压不同而变动。
 - V_{DD} = 2.7 ~ 5.5 V: f_{PRS} ≤ 10 MHz
 - V_{DD} = 1.8 ~ 2.7 V: f_{PRS} ≤ 5 MHz
 2. 如果外围硬件时钟(f_{PRS}) 操作在内部高速振荡时钟(f_{XH}) (XSEL = 0)下, 当 1.8 V ≤ V_{DD} < 2.7 V 时, 禁止设置 TCL512, TCL511, TCL510 = 0, 1, 0 (计数时钟: f_{PRS})。

- 注意事项
1. 如果要向 TCL51 写入其它值, 则必须提前停止定时器操作。
 2. 必须将第 3 位 ~ 第 7 位清零。

图 7-8. 定时器时钟选择寄存器 52 (TCL52) 的格式

地址: FF5BH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
TCL52	0	0	0	0	0	TCL522	TCL521	TCL520

TCL522	TCL521	TCL520	计数时钟选择 ^{注 1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	由 ISC2 选择时钟下降沿			
0	0	1	由 ISC2 选择时钟上升沿			
0	1	0	f _{PRS} ^{Note 2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	f _{PRS} /2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz

- 注**
1. 如果外围硬件时钟 (f_{PRS}) 操作在高速系统时钟(f_{XH}) (XSEL = 1)下, f_{PRS} 操作频率依据供电电压不同而变动。
 - V_{DD} = 2.7 ~ 5.5 V: f_{PRS} ≤ 10 MHz
 - V_{DD} = 1.8 ~ 2.7 V: f_{PRS} ≤ 5 MHz
 2. 如果外围硬件时钟(f_{PRS}) 操作在内部高速振荡时钟(f_{XH}) (XSEL = 0)下, 当 1.8 V ≤ V_{DD} < 2.7 V 时, 禁止设置 TCL522, TCL521, TCL520 = 0, 1, 0 (计数时钟: f_{PRS})。

- 注意事项**
1. 如果要向 TCL52 写入其它值, 则必须提前停止定时器操作。
 2. 必须将第 3 位 ~ 第 7 位清零。

备注 f_{PRS}: 外围硬件时钟频率

(2) 8 位定时器模式控制寄存器 5n (TMC5n)

TMC5n 主要执行以下五种设置操作。

- <1> 8 位定时器计数器 5n (TM5n)计数操作控制
- <2> 8 位定时器计数器 5n (TM5n)操作模式选择^注
- <3> 定时器输出 F/F (flip flop 触发器)状态设置^注
- <4> 定时器 F/F 控制或 PWM(自由运行)模式中有效电平的选择^注
- <5> 定时器输出控制^注

可以由 1 位或 8 位存储器操作指令设置 TMC5n。

复位信号的产生将该寄存器清零(00H)。

注 仅适用于 TM50 和 TM51 。

备注 n = 0 ~ 2

图 7-9. 8 位定时器模式控制寄存器 50 (TMC50)的格式

地址: FF6BH 复位后: 00H R/W ^注

符号	<7>	6	5	4	<3>	<2>	1	<0>
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50

TCE50	TM50 计数操作控制
0	清零后, 禁止计数操作 (计数器停止操作)
1	开始计数

TMC506	TM50 操作模式选择
0	TM50 与 CR50 相等时清零和启动模式
1	PWM (自由运行)模式

LVS50	LVR50	定时器输出 F/F 状态设置
0	0	无变化
0	1	定时器输出 F/F 复位(0) (TO50 默认输出: 低电平)
1	0	定时器输出 F/F 设置(1) (TO50 默认输出: 高电平)
1	1	禁止设置

TMC501	其他模式(TMC506 = 0)	PWM 模式(TMC506 = 1)
	定时器 F/F 控制	有效电平选择
0	禁止反转操作	高电平有效
1	允许反转操作	低电平有效

TOE50	定时器输出控制
0	禁止输出 (TO50 输出为低电平)
1	允许输出

注 第 2 位和第 3 位为只写操作位。

(参见下页的注意事项和备注)

图 7-10. 8 位定时器模式控制寄存器 51 (TMC51) 的格式

地址: FF43H 复位后: 00H R/W*

符号	<7>	6	5	4	<3>	<2>	1	<0>
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51

TCE51	TM51 计数操作控制
0	清零后禁止计数操作 (计数器停止操作)
1	开始计数

TMC516	TM51 操作模式选择
0	TM51 与 CR51 相等时清零和启动模式
1	PWM (自由运行)模式

LVS51	LVR51	定时器输出 F/F 状态设置
0	0	无变化
0	1	定时器输出 F/F 复位 (0) (TO51 默认输出: 低电平)
1	0	定时器输出 F/F 设置 (1) (TO51 默认输出: 高电平)
1	1	禁止设置

TMC511	其他模式 (TMC516 = 0)	PWM 模式 (TMC516 = 1)
	定时器 F/F 控制	有效电平选择
0	禁止反转操作	高电平有效
1	允许反转操作	低电平有效

TOE51	定时器输出控制
0	禁止输出 (TO51 输出为低电平)
1	允许输出

注 第 2 位和第 3 位为只写操作位。

- 注意事项**
- 除 PWM 模式外, 对 LVS5n 与 LVR5n 的设置有效。
 - 按下列顺序执行 <1> ~ <4>, 注意不能同时执行。
 - <1>设置 TMC5n1, TMC5n6: 操作模式设置
 - <2>设置 TOE5n, 允许输出: 允许定时器输出
 - <3>设置 LVS5n, LVR5n (见注意事项 1): 定时器 F/F 设置
 - <4>设置 TCE5n
 - 当 TCE5n = 1 时, 禁止设置 TMC5n 的其他位。
 - 实际上除 TO5n 输出, TO50/TI50/P44/KR4 和 TO51/TI51/P43/KR43 引脚输出由 PM44 和 P44、PM43 和 P43 决定。

- 备注**
- 在 PWM 模式中, 将 TCE5n 清零可禁止 PWM 输出。
 - 读取 LVS5n 与 LVR5n 时, 读取的值为 0。
 - 无论 TCE5n 取何值, TMC5n6、LVS5n、LVR5n、TMC5n1 和 TOE5n 的值都与 TO5n 引脚有关。
 - n = 0, 1

图 7-11. 8 位定时器模式控制寄存器 52 (TMC52)的格式

地址: FF5CH 复位后: 00H R/W

符号	<7>	6	5	4	3	2	1	0
TMC52	TCE52	0	0	0	0	0	0	0

TCE52	TMC52 计数操作控制
0	清零后禁止计数操作 (计数器停止操作)
1	开始计数

注意事项 必须将位 0 ~ 6 置为 0。

(3) 输入转换控制寄存器(ISC)

将 ISC2 置为 1，可经 TOH2 输出信号控制 TI52 输入信号。

可以由 1 位或 8 位存储器操作指令设置。

复位信号的产生将该寄存器清零(00H)。

图 7-12. 输入转换控制寄存器(ISC)的格式

地址: FF4FH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ISC	0	0	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0

ISC5	ISC4	选择 TxD6, RxD6 输入源
0	0	TxD6:P112, RxD6: P113
0	1	TxD6:P13, RxD6: P12
其他情况		禁止设置

ISC3	RxD6/P113 输入允许/禁止
0	禁止 RxD6/P113 输入
1	允许 RxD6/P113 输入

ISC2	控制 TI52 输入源
0	不允许控制 TI52 输入(P34)
1	允许控制 TI52 输入 (P34) ^{注 1}

ISC1	选择 TI000 输入源
0	TI000 (P33)
1	RxD6 (P12 或 P113) ^{注 2}

ISC0	选择 INTP0 输入源
0	INTP0 (P120)
1	RxD6 (P12 或 P113) ^{注 2}

- 注
1. 由 TOH2 输出信号控制 TI52 输入。
 2. 由 ISC5 和 ISC4 选择 P12 或 P113。

(4) 端口寄存器 3 和 4 (PM3, PM4)

这两个寄存器可以按位设置端口 3 和 4 的输入/输出操作模式。

当 P44/TO50/TI50/KR4 和 P43/TO51/TI51/KR3 引脚用作定时器输出时，将 PM44、PM43、P44 和 P43 的输出锁存清零。

当 P44/TO50/TI50/KR4, P43/TO51/TI51/KR3 和 P34/TI52/TI010/TO00/RTC1HZ/INTP1 引脚用作定时器输入时，将 PM44, PM43 和 PM34 置为 1。P44, PM43 和 PM34 的输出锁存可以为 0 也可以为 1。

可以由 1 位或 8 位存储器操作指令设置 PM3 和 PM4。

复位信号的产生将寄存器的内容设置为 FFH。

图 7-13. 端口模式寄存器 3 (PM3) 的格式

地址: FF23H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	1

PM3n	P3n 引脚 I/O 模式选择 (n = 0 ~ 4)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

图 7-14. 端口模式寄存器 4 (PM4) 的格式

地址: FF24H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM4	1	1	1	PM44	PM43	PM42	PM41	PM40

PM4n	P4n 引脚 I/O 模式选择 (n = 0 ~ 4)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

7.4 8 位定时器/事件计数器 50、51 和 52 的操作

7.4.1 用作间隔定时器

8 位定时器/事件计数器 5n 用作间隔定时器，可以在间隔时间内不断产生中断请求，该间隔时间由 8 位定时器比较寄存器 5n(CR5n)的预置值决定。

当 8 位定时器计数器 5n(TM5n)中的计数值与 CR5n 中的值相等时，将 TM5n 清零并继续计数，同时产生中断请求信号(INTTM5n)。

根据定时器时钟选择寄存器 5n(TCL5n)的第 0 位~第 2 位(TCL5n0 ~ TCL5n2)选择 TM5n 的计数时钟。

设置

<1> 设置寄存器

- TCL5n: 设置计数时钟
- CR5n: 比较值
- TMC5n: 停止计数操作，选择 TM5n 与 CR5n 相等时清零和启动模式。
(TMC5n = 0000xxx0B, x = 不必考虑)

<2> 将 TCE5n 置 1 后，开始计数。

<3> 如果 TM5n 与 CR5n 值相等时，产生中断 INTTM5n (将 TM5n 清零(00H))。

<4> 以相同的时间间隔重复产生 INTTM5n。

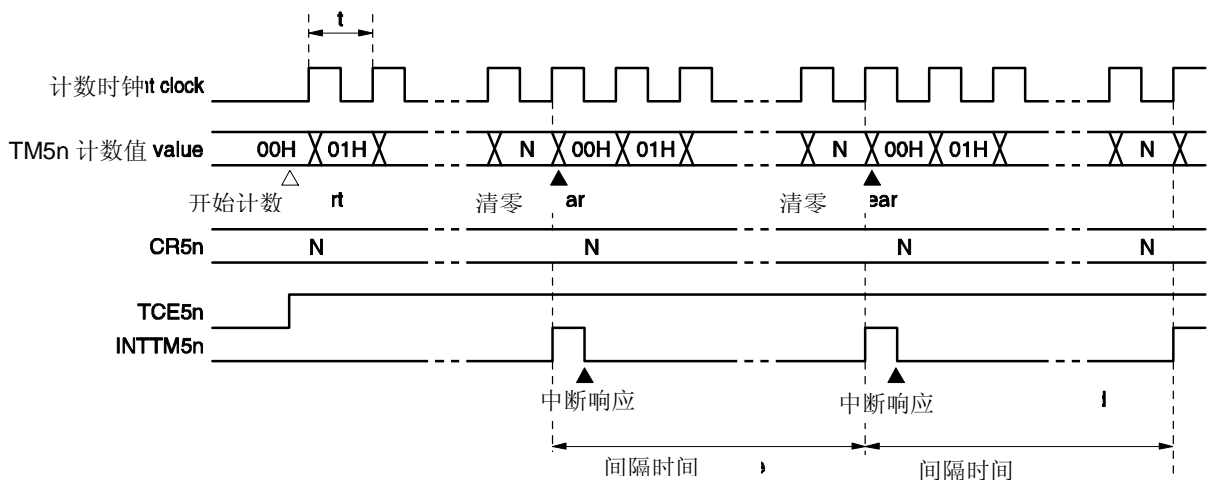
将 TCE5n 清零，停止计数操作。

注意事项 操作期间不要向 CR5n 写入其它值。

- 备注**
1. 如需了解如何允许 INTTM5n 中断，请参见 第二十一章 中断功能。
 2. n = 0~2

图 7-15. 间隔定时器操作的时序(1/2)

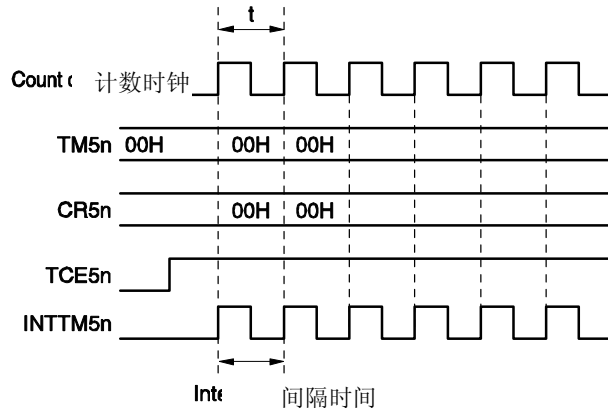
(a) 基本操作



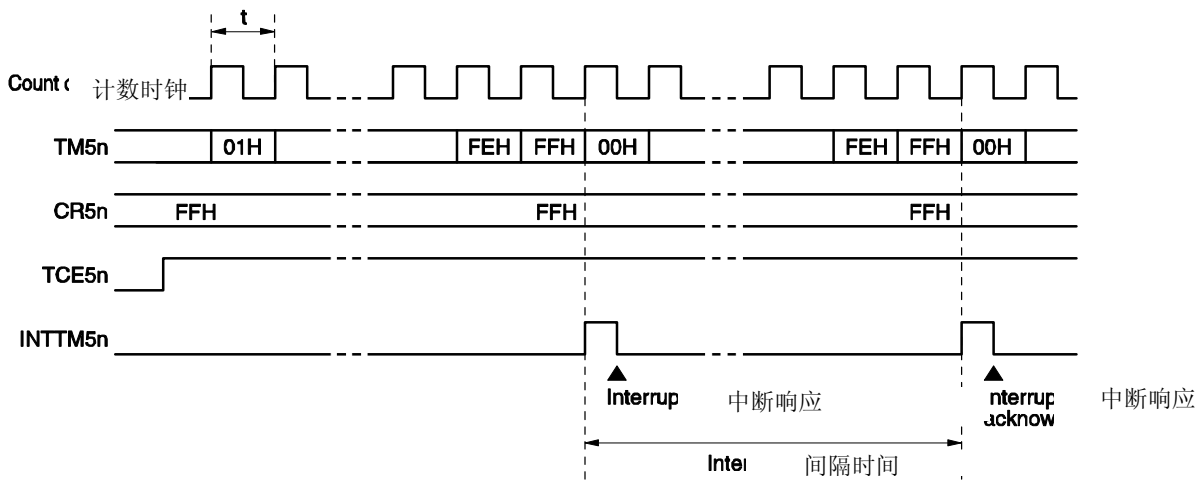
- 备注**
- 间隔时间 = $(N + 1) \times t$
 - N = 01H ~ FFH
 - n = 0 ~ 2

图 7-15. 间隔定时器操作的时序(2/2)

(b) 当 CR5n = 00H



(c) 当 CR5n = FFH



备注 n = 0 ~ 2

7.4.2 用作外部事件计数器

外部事件计数器通过 8 位定时器计数器 5n (TM5n) 对输入到 TI5n 引脚的外部时钟脉冲计数。

TM5n 随输入的有效沿次数递增。有效沿由定时器时钟选择寄存器 5n (TCL5n) 规定，可以选择上升沿或下降沿。

当 TM5n 中的计数值与 8 位定时器比较寄存器 5n(CR5n) 中的值相等时，将 TM5n 清零，并产生中断请求信号 (INTTM5n)。

一旦 TM5n 中的值与 CR5n 的值相等，将产生 INTTM5n 中断请求。

设置

<1> 设置寄存器

- 设置端口模式寄存器(PM44, PM43, or PM34)[※] 的值为 1。
- TCL5n: 选择 TI5n 引脚输入脉冲沿
 TI5n 引脚下降沿 → TCL5n = 00H
 TI5n 引脚上升沿 → TCL5n = 01H
- CR5n: 比较值
- TMC5n: 停止计数，选择 TM5n 与 CR5n 相等时清零和启动模式，禁止定时器 F/F 反转操作，禁止定时器输出。
 (TMC5n = 0000xx00B x = 不必考虑)

<2> 当 TCE5n = 1 时，开始对从 TI5n 引脚输入的脉冲计数。

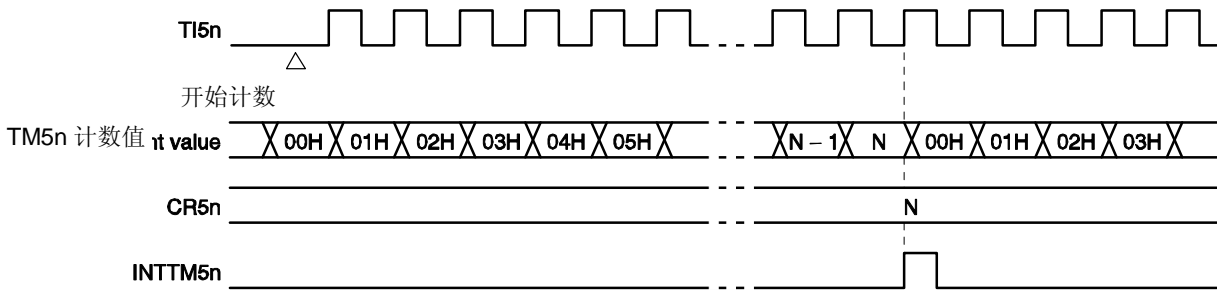
<3> 当 TM5n 与 CR5n 的值相等时，将产生 INTTM5n (TM5n 清零(00H))。

<4> 在经过以上设置后，每当 TM5n 与 CR5n 的值相等时都会产生 INTTM5n 中断请求。

- 注
- 8 位定时器/事件计数器 50: PM44
 - 8 位定时器/事件计数器 51: PM43
 - 8 位定时器/事件计数器 52: PM34

备注 如需了解如何允许 INTTM5n 中断，请参见 第二十一章 中断功能。

图 7-16. 外部事件计数器操作的时序 (规定上升沿有效)



- 备注
1. 8 位定时器/事件计数器 52 (TM52) 和 16 位定时器/事件计数器(TM00)组合，可以用作 24 位定时器/事件计数器。TM52 输入允许由 TMH2 控制。详细内容，参见 6.4.9 外部 24 位事件计数器操作。
 2. N = 00H ~ FFH, n = 0 ~ 2

7.4.3 方波输出操作

以 8 位定时器比较寄存器 5n (CR5n) 的预置值决定的间隔时间输出任选频率的方波。

通过将 8 位定时器模式控制寄存器 5n(TMC5n)的第 0 位(TOE5n)置 1, 可以在规定的间隔时间内反转 TO5n 引脚输出的状态, 该间隔时间由 8 位定时器比较寄存器 5n(CR5n)的预置值决定。这样, 可以输出任选频率的方波(占空比=50%)。

设置

<1> 设置寄存器

- 端口输出锁存器 (P44 或 P43)[※] 和端口模式寄存器 (PM44 或 PM43)[※] 清零。
- TCL5n: 选择计数时钟
- CR5n: 比较值
- TMC5n: 停止计数, 选择 TM5n 与 CR5n 相等时清零和启动模式

LVS5n	LVR5n	定时器输出 F/F 状态设置
1	0	定时器输出 F/F 清零(0) (TO5n 引脚的默认输出值: 低电平)
0	1	定时器输出 F/F 置 (1) (TO5n 引脚的默认输出值: 高电平)

允许定时器输出

(TMC5n = 00001011B 或 00000111B)

<2> 一旦 TCE5n = 1, 便开始计数。

<3> 通过 TM5n 与 CR5n 的相等, 反转定时器输出 F/F。产生 INTTM5n 后, 将 TM5n 清零(00H)。

<4> 在经过以上设置后, 在相同间隔内反转定时器输出 F/F, 并从 TO5n 输出方波。
频率如下。

$$\text{频率} = 1/2t (N + 1)$$

(N: 00H ~ FFH)

注 8 位定时器/事件计数器 50: P44, PM44

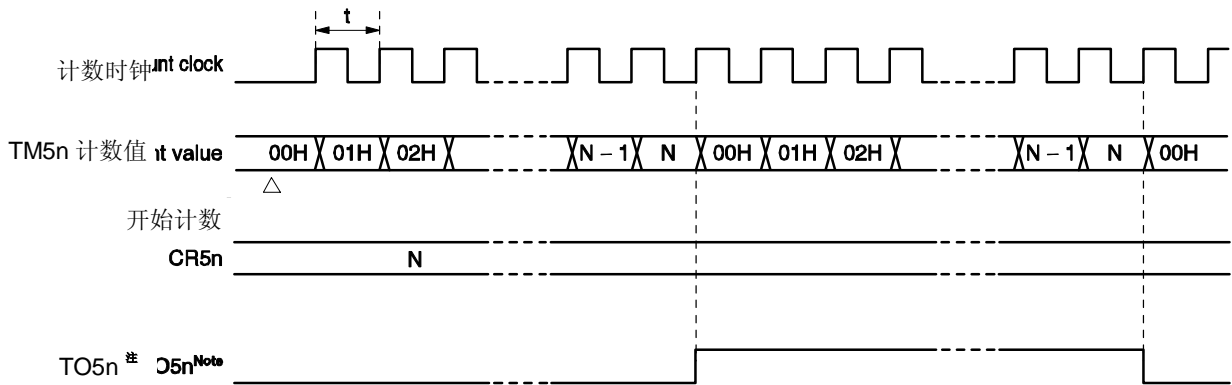
8 位定时器/事件计数器 51: P43, PM43

注意事项 操作期间不要向 CR5n 写入其它值。

备注 1. 如需了解如何允许 INTTM5n 中断, 请参见第二十一章 中断功能。

2. n = 0, 1

图 7-17. 方波输出操作的时序



注 由 8 位定时器模式控制寄存器 5n(TMC5n)的第 2 位、第 3 位(LVR5n, LVS5n)设置 TO5n 的初始值。

7.4.4 PWM 输出操作

当 8 位定时器模式控制寄存器 5n(TMC5n)的第 6 位(TMC5n6)置 1 时，8 位定时器/事件计数器 5n 作为 PWM 输出使用。

占空比由 8 位定时器比较寄存器 5n(CR5n)的值决定，并从 TO5n 引脚输出。

设置 CR5n 为 PWM 脉冲的有效电平宽度；可以由 TMC5n 的第 1 位(TMC5n1)选择有效电平。

由定时器时钟选择寄存器 5n(TCL5n)的第 0 位~第 2 位(TCL5n0 ~ TCL5n2)选择计数时钟。

可以由 TMC5n 的第 0 位(TOE5n)决定 PWM 输出允许/禁止。

注意事项 在 PWM 模式中，当对 CR5n 进行重写时，需要至少 3 个计数时钟(该计数时钟由 TCL5n 选择)周期的写间隔。

备注 n = 0, 1

(1) PWM 输出的基本操作

设置

<1> 设置寄存器

- 将端口输出锁存器 (P44 或 P43)^注 和端口模式寄存器 (PM44 或 PM43)^注 清零。
- TCLK5n: 选择计数时钟
- CR5n: 比较值
- TMC5n: 停止计数操作, 选择 PWM 模式
定时器输出 F/F 不改变。

TMC5n1	有效电平选择
0	高电平有效
1	低电平有效

允许定时器输出

(TMC5n = 01000001B 或 01000011B)

- <2> 当 TCE5n = 1 时, 计数开始。
TCE5n 清零可以停止计数操作。

注 8 位定时器/事件计数器 50: P44, PM44
8 位定时器/事件计数器 51: P43, PM43

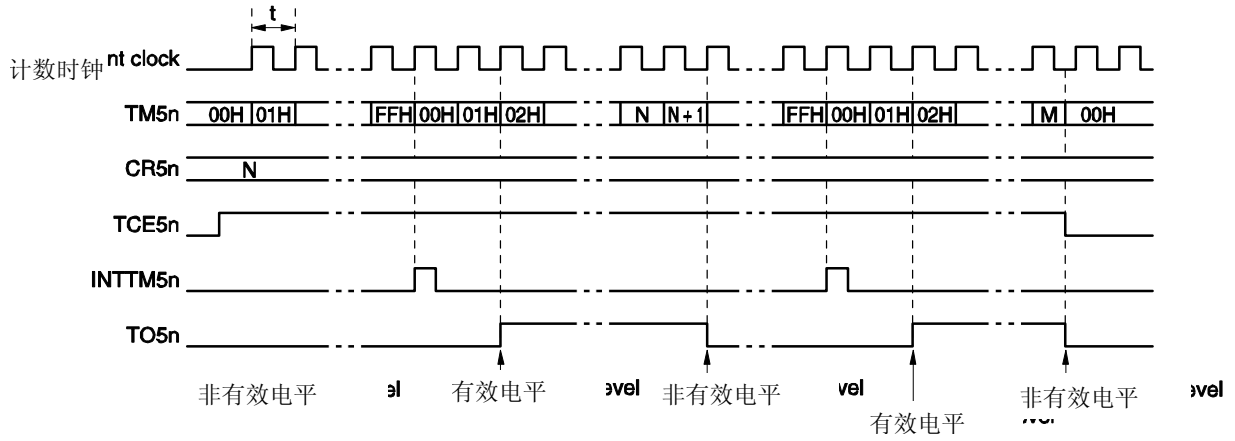
PWM 输出操作

- <1> PWM 输出(从 TO5n 输出)一直输出非有效电平, 直至产生溢出。
<2> 当发生溢出时, 输出有效电平。直至 CR5n 与 8 位定时器计数器 5n (TM5n) 的计数值相等时才停止输出有效电平。
<3> 若 CR5n 与计数值相等, 将输出非有效电平直至溢出再次发生。
<4> 重复 <2>和 <3>的操作, 直至计数停止。
<5> 当 TCE5n=0 停止计数时, PWM 输出非有效电平。
需要了解时序的详细信息, 参见图 7-18 和 7-19。
周期、有效电平宽度和占空比如下。
- 周期 = $2^8 t$
 - 有效电平宽度 = Nt
 - 占空比 = $N/2^8$
(N = 00H ~ FFH)

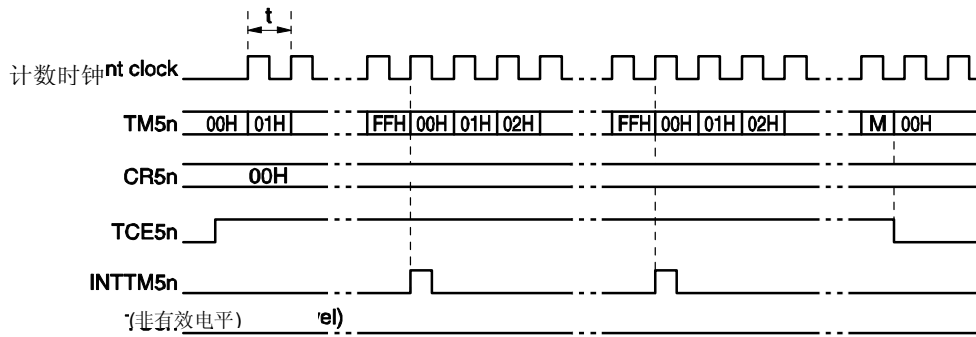
备注 n = 0, 1

图 7-18. PWM 输出操作的时序

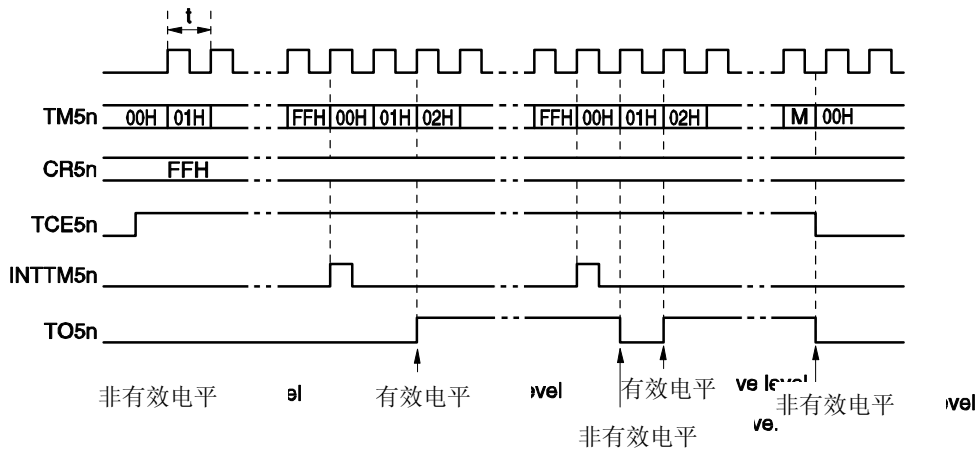
(a) 基本操作 (有效电平 = H)



(b) CR5n = 00H



(c) CR5n = FFH

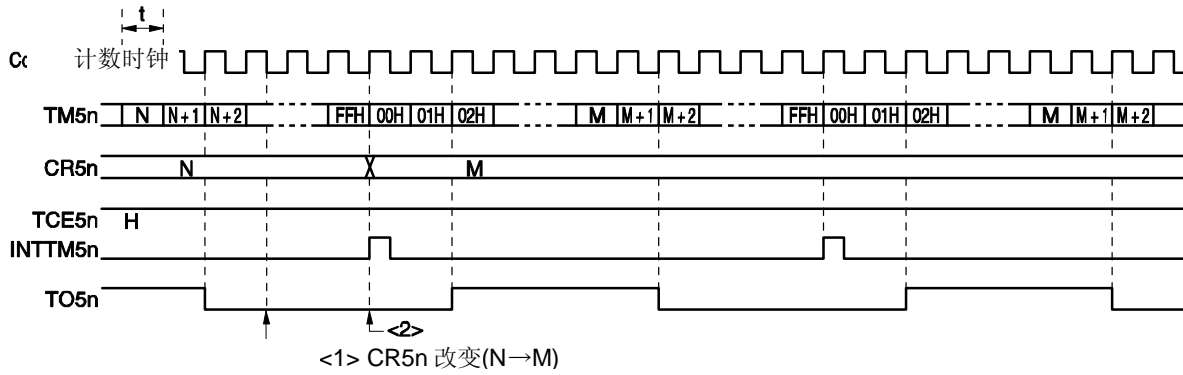


- 备注
1. 图 7-18 (a)中的<1> ~ <3> 和 <5> 与 7.4.4 (1) PWM 输出基本操作的 PWM 输出操作中<1> ~ <3> 和 <5>相对应。
 2. $n = 0, 1$

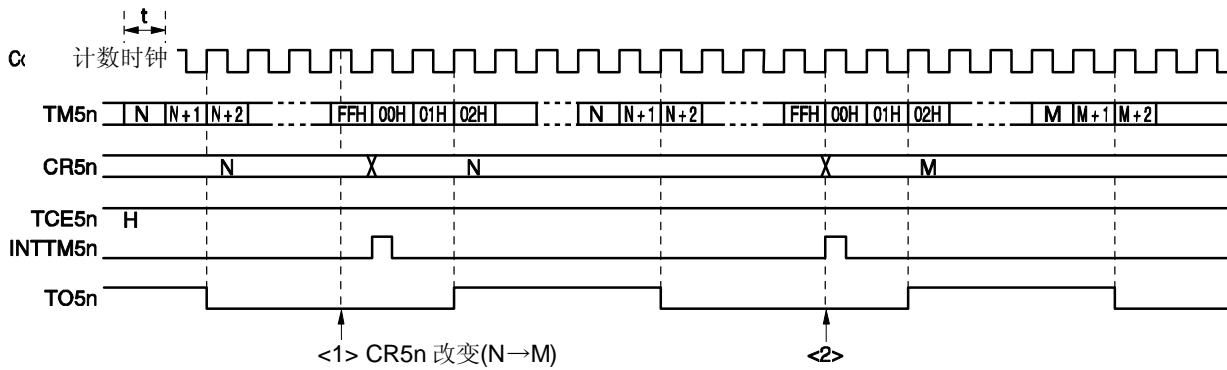
(2) 当 CR5n 改变时的操作

图 7-19. 改变 CR5n 时的操作时序

- (a) 在计数值为 FFH 时，时钟上升沿出现之前，CR5n 的值由 N 变为 M
 → 改变后，溢出时立即将值传送至 CR5n。



- (b) 在计数值为 FFH 时，时钟上升沿出现之后，CR5n 的值由 N 变为 M
 → 当出现第 2 次溢出时将值传送至 CR5n。



注意事项 图 7-19<1>与<2>之间读取 CR5n 时，读取的值与实际值不同(读取的值：M，CR5n 实际值：N)。

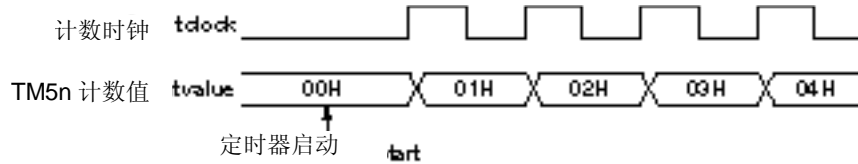
7.5 使用 8 位定时器/事件计数器 50、51 和 52 的注意事项

(1) 定时器启动误差

定时器启动后，在产生相等信号之前可能发生将近一个时钟周期的误差。

这是由于 8 位定时器计数器 50、51 和 52(TM50, TM51 和 TM52)的启动与计数时钟不同步引起的。

图 7-20. 8 位定时器计数器 5n 启动时序



备注 $n = 0 \sim 2$

(2) 与 16 位定时器/事件计数器 00 一起作为外部 24 位事件计数器操作时的注意事项

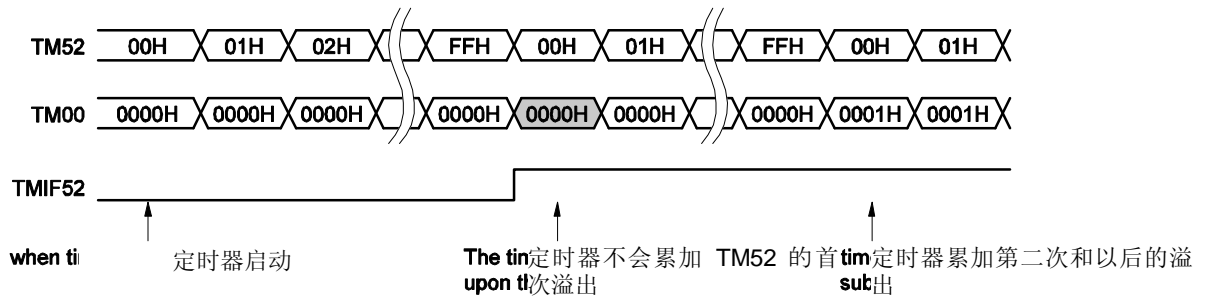
当启动操作时，16 位定时器/事件计数器 00 有内部同步噪声消除电路，并且操作开始后最初的立即时钟将不被计数。

当使用 24 位计数器时，设置 16 位定时器/事件计数器 00 和 8 位定时器/事件计数器 52，分别作为高位和低位定时器，为了精确读出 24 位计数值，必须检测低位定时器 8 位定时器/事件计数器 52 的中断请求信号，描述如下。

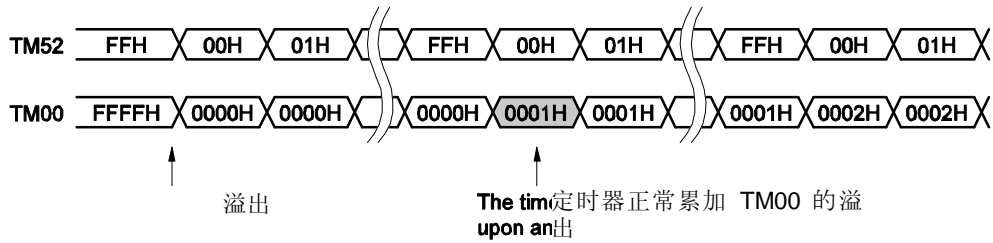
- 如果 $TMIF52 = 1$ ，当读出 TM52 和 TM00:
TM00 实际计数值为“TM00 + 1 读出值”。
- 如果 $TMIF52 = 0$ ，当读出 TM52 和 TM00:
读出值为修正值。

当操作启动时，仅发生 16 位定时器/事件计数器 00。当 16 位定时器/事件计数器 00 溢出并且计数从 0000H 重新开始，因为已经执行同步，不会发生计数延迟。

<当操作启动时>



<高位定时器溢出>



第八章 8 位定时器 H0、H1 和 H2

8.1 8 位定时器 H0、H1 和 H2 的功能

8 位定时器 H0、H1 和 H2 的功能如下。

- 间隔定时器
- 方波输出^{注1}
- PWM 输出模式^{注2}
- 载波发生器模式 (仅用于 8 位定时器 H1)^{注3}

- 注
1. 仅适用于 TMH0 和 TMH1。
 2. TOHn 仅适用于 TOH0 和 TOH1。
 3. 仅适用于 TMH1。TM51 和 TMH1 可组合用作载波发生器模式。

8.2 8 位定时器 H0、H1 和 H2 的配置

8 位定时器 H0、H1 和 H2 包括以下硬件。

表 8-1. 8 位定时器 H0、H1 和 H2 的配置

项目	配置
定时器寄存器	8 位定时器计数 Hn
寄存器	8 位定时器 H 比较寄存器 0n (CMP0n) 8 位定时器 H 比较寄存器 1n (CMP1n)
定时器输出	TOHn ^{注1} , 输出控制器
控制寄存器	8 位定时器 H 模式寄存器 n (TMHMDn) 8 位定时器 H 载波控制寄存器 1 (TMCYC1) ^{注2} 端口模式寄存器 3 (PM3) 端口寄存器 3 (P3)

- 注
1. TMH2 没有输出引脚 (TOH2)。TI52 仅可用作内部中断(INTTMH2)或外部事件输入允许信号。
 2. 仅用于 8 位定时器 H1

备注 n = 0-2。TOHn 仅适用于 TOH0 和 TOH1。

图 8-1 ~ 8-3 为定时器框图。

图 8-1. 8 位定时器 H0 的框图

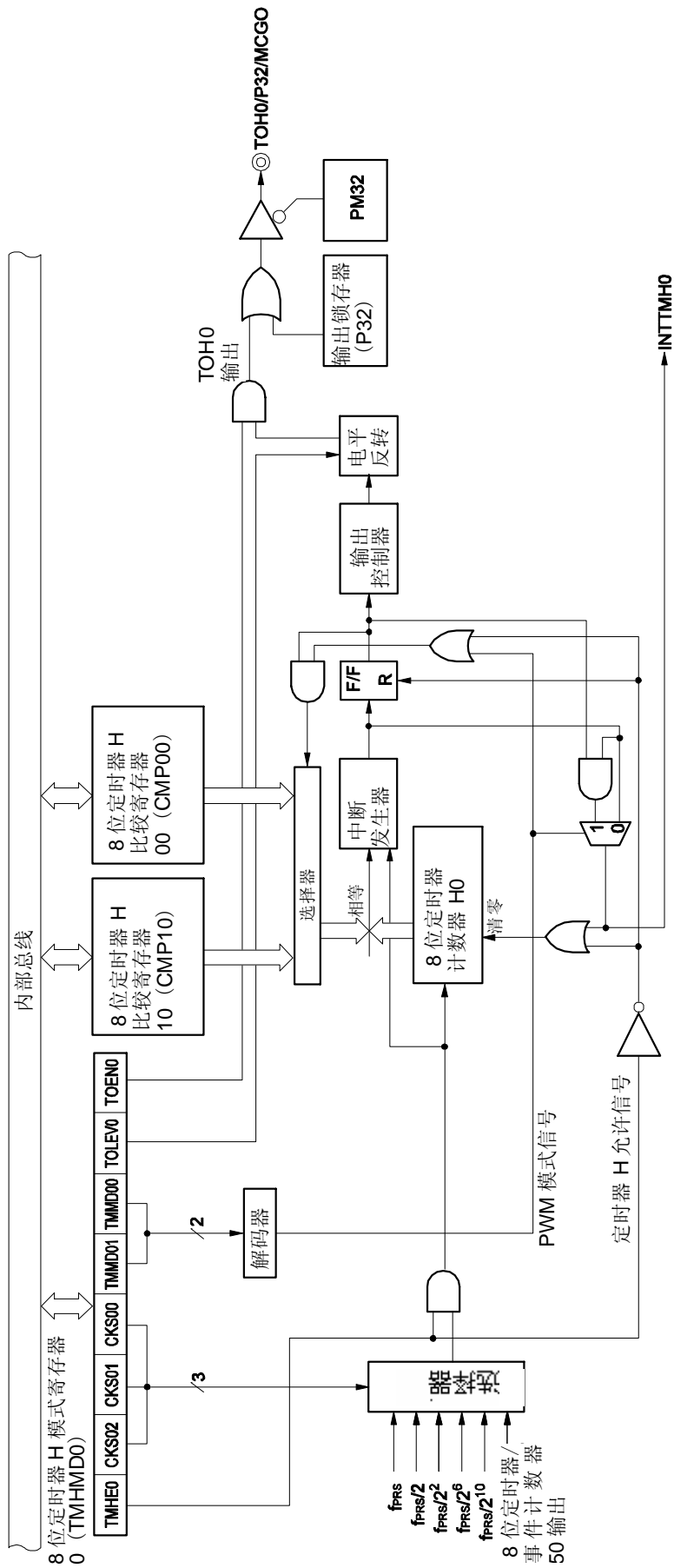


图 8-2. 8 位定时器 H1 的框图

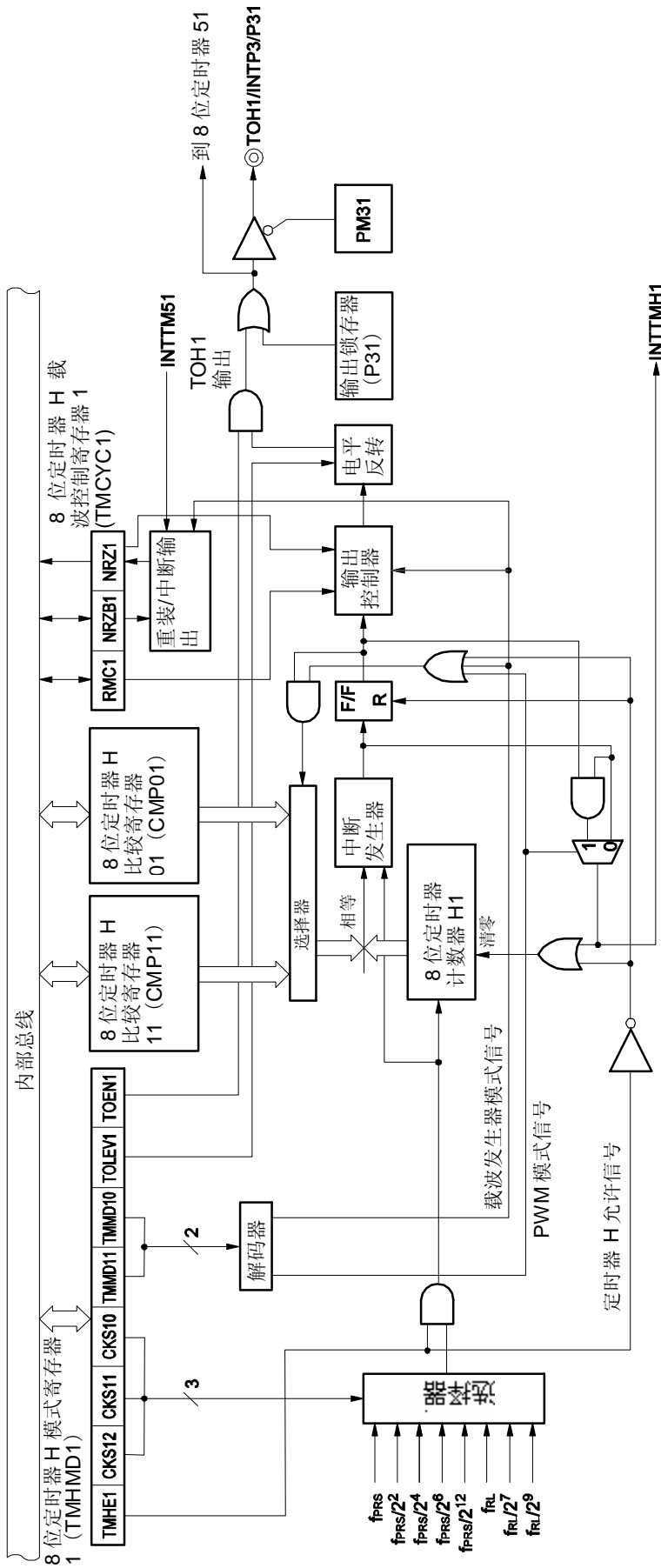
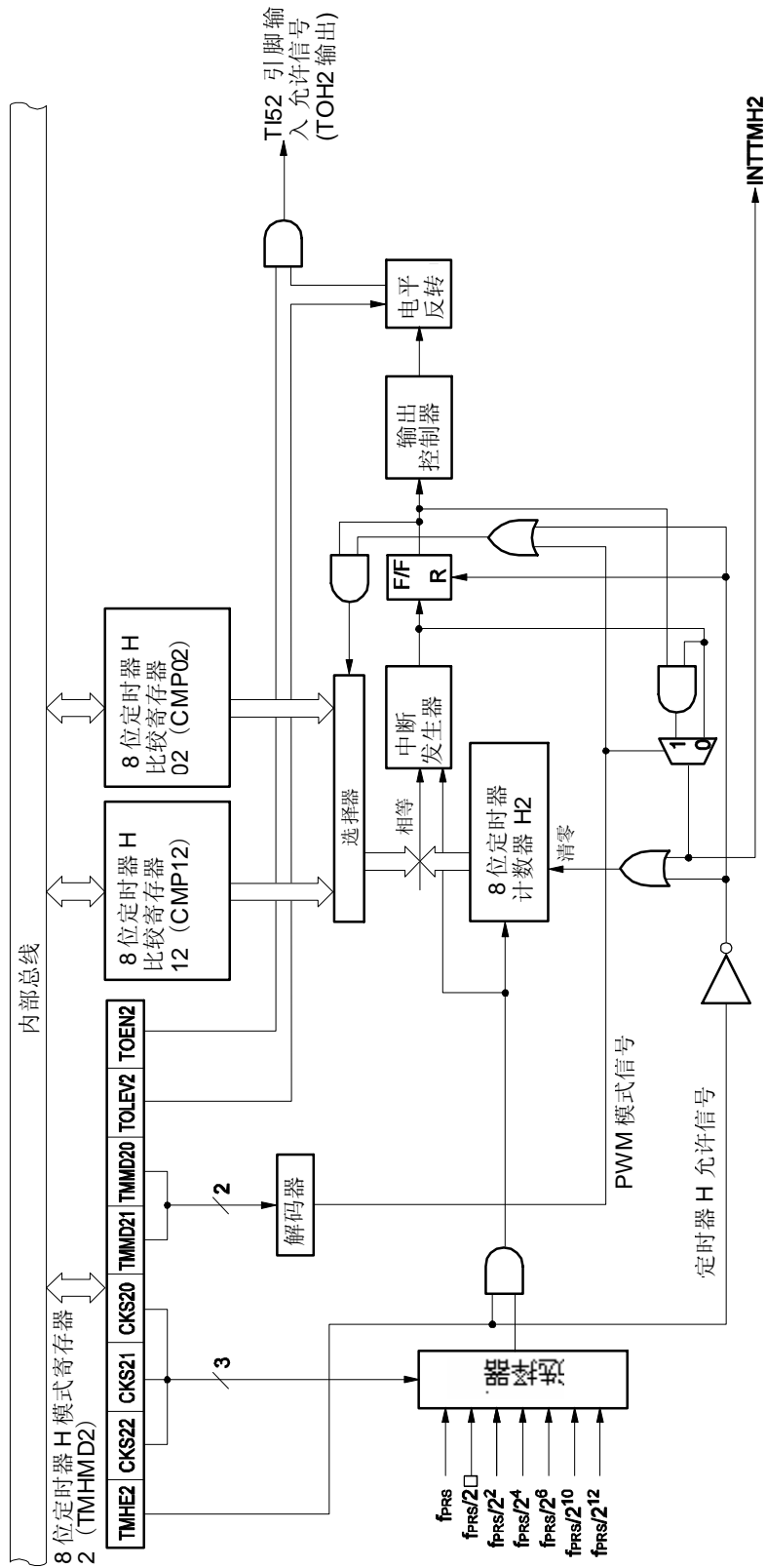


图 8-3. 8 位定时器 H2 的框图



(1) 8 位定时器 H 比较寄存器 0n (CMP0n)

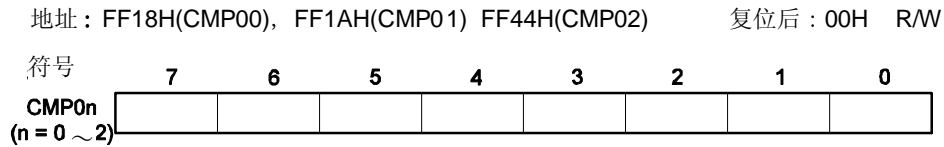
该寄存器可由 8 位存储器操作指令进行读写。该寄存器用于所有的定时器操作模式。

该寄存器不断地将 CMP0n 的值和 8 位定时器计数器 Hn 的计数值进行比较，并且当两个值相等时，产生一个中断请求信号 (INTTMHn) 并反转 TOHn 的输出。

当定时器停止时(TMHEn = 0)重写 CMP0n 的值。

复位信号的产生将该寄存器设置为 00H。

图 8-4. 8 位定时器 H 比较寄存器 0n (CMP0n) 的格式



注意事项 CMP0n 在定时器计数操作期间不能被重写。CMP0n 在定时器计数操作期间可以重写(写入相同的值)。

(2) 8 位定时器 H 比较寄存器 1n (CMP1n)

可由 8 位存储器操作指令读写该寄存器。该寄存器用于 PWM 输出模式和载波发生器模式。

在 PWM 输出模式中，该寄存器不断地将 CMP1n 的设置值和 8 位定时器计数器 Hn 的计数值进行比较，当两个值相等时，反转 TOHn 的输出。不产生中断请求信号。

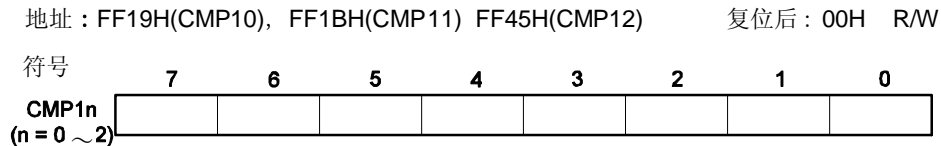
在载波发生器模式中，CMP1n 寄存器不断地将 CMP1n 的设置值和 8 位定时器计数器 Hn 的计数值进行比较，如果两个值相等，则产生一个中断请求信号 (INTTMHn)。同时，计数值清零。

可以在定时器计数期间对 CMP1n 进行更新(相同值)和重写。

如果在定时器操作期间重写 CMP1n 的值，则当定时器计数器的值和 CMP1n 以前的值相等时，锁存新的值并传输给 CMP1n，然后 CMP1n 的值用新值取代。如果计数值和 CMP1n 值的相等操作与 CMP1n 的写操作发生冲突，那么 CMP1n 的值将保持不变。

复位信号的产生对该寄存器清零(00H)。

图 8-5. 8 位定时器 H 比较寄存器 1n 的格式(CMP1n)



注意事项 在 PWM 输出模式和载波发生器模式下，当停止定时器计数操作(TMHEn = 0)后再启动定时器计数操作(TMHEn = 1)时，必须设置 CMP1n (即使对 CMP1n 设置相同的值也要再设置一次)。

备注 n = 0 ~ 2。TOHn 仅适用于 TOH0 和 TOH1。

8.3 控制 8 位定时器 H0、H1 和 H2 的寄存器

以下四个寄存器用于控制 8 位定时器 H0、H1 和 H2。

- 8 位定时器 H 模式寄存器 n (TMHMDn)
- 8 位定时器 H 载波控制寄存器 1 (TMCYC1) ^註
- 端口模式寄存器 3 (PM3)
- 端口寄存器 3 (P3)

注 仅用于 8 位定时器 H1

(1) 8 位定时器 H 模式寄存器 n (TMHMDn)

该寄存器用于控制定时器 H 的模式。

可以由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号的产生对寄存器清零 (00H)。

备注 n = 0 ~ 2

图 8-6. 8 位定时器 H 模式寄存器 0 (TMHMD0) 的格式

地址：FF69H

复位后：00H R/W

	<7>	6	5	4	3	2	<1>	<0>
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	是否允许定时器操作
0	停止定时器计数操作（计数器清零）
1	允许定时器计数（由输入时钟启动计数操作）

CKS02	CKS01	CKS00	计数时钟选择 ^{注1}			
				f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz
0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz
0	1	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	0	0	f _{PRS} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz
1	0	1	TM50 输出 ^{注3}			
其它情况			禁止设置			

TMMD01	TMMD00	定时器操作模式
0	0	间隔定时器模式
1	0	引脚输入允许宽度判断模式(PWM 模式)
其它情况		禁止设置

TOLEV0	定时器输出电平控制（默认模式）
0	低电平
1	高电平

TOEN0	定时器输出控制
0	禁止输出
1	允许输出

- 注
1. 如果外围硬件时钟(f_{PRS}) 操作在高速系统时钟(f_{XH}) (XSEL = 1)下， f_{PRS} 操作频率依据供电电压不同而变动。
 - V_{DD} = 2.7 ~ 5.5 V: f_{PRS} ≤ 10 MHz
 - V_{DD} = 1.8 ~ 2.7 V: f_{PRS} ≤ 5 MHz
 2. 如果外围硬件时钟(f_{PRS}) 操作在内部高速振荡时钟(f_{XH}) (XSEL = 0)下， 当 1.8 V ≤ V_{DD} < 2.7 V 时， 禁止设置 CKS02 = CKS01 = CKS00 = 0 (计数时钟： f_{PRS})。

- 注 3.** 在选择 TM50 输出作为计数时钟时，应注意以下几点。
- TM50 和 CR50 的值相等时产生清零&启动模式 (TMC506 = 0)，
先启动 8 位定时器/事件计数器 50，然后允许定时器进行 F/F 反转操作 (TMC501 = 1)
 - PWM 模式 (TMC506 = 1)
先启动 8 位定时器/事件计数器 50，然后设置计数时钟，使占空比= 50%
在任何模式中都不必允许(TOE50 = 1)TO50 输出。

- 注意事项**
1. 当 TMHE0=1 时，禁止设置 TMHMD0 的其他位。然而，可以更新 TMHMD0 (写入相同值)。
 2. 在 PWM 输出模式中，当定时器停止计数后 (TMHE0 = 0) 再次启动计数操作时 (TMHE0 = 1)，必须设置 8 位定时器 H 比较寄存器 10 (CMP10) 的值 (即使设置的是相同的值，也必须再次设置)。
 3. 除 TOH0 的输出以外，TOH0/P32/MCGO 引脚的实际输出由 PM32 和 P32 决定。

- 备注**
1. fPRS: 外围硬件时钟频率
 2. TMC506: 8 位定时器模式控制寄存器 50 (TMC50) 的第 6 位
TMC501: TMC50 的第 1 位

图 8-7. 8 位定时器 H 模式寄存器 1 (TMHMD1) 的格式

地址: FF6CH 复位后: 00H R/W

	<7>	6	5	4	3	2	<1>	<0>
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1
TMHE1	是否允许定时器操作							
0	停止定时器计数操作 (计数器清零)							
1	允许定时器计数 (由输入时钟启动计数操作)							
CKS12	CKS11	CKS10	计数时钟选择 ^{注1}					
	<input type="checkbox"/>	<input type="checkbox"/>						
	<input type="checkbox"/>	<input type="checkbox"/>						
0	0	0	f_{PRS} ^{注2}	2 MHz	5 MHz	10 MHz		
0	0	1	$f_{PRS}/2^2$	500 kHz	1.25 MHz	2.5 MHz		
0	1	0	$f_{PRS}/2^4$	125 kHz	312.5 kHz	625 kHz		
0	1	1	$f_{PRS}/2^6$	31.25 kHz	78.13 kHz	156.25 kHz		
1	0	0	$f_{PRS}/2^{12}$	0.49 kHz	1.22 kHz	2.44 kHz		
1	0	1	$f_{RL}/2^7$	1.88 kHz (TYP.)				
1	1	0	$f_{RL}/2^9$	0.47 kHz (TYP.)				
1	1	1	f_{RL}	240 kHz (TYP.)				
TMMD11	TMMD10	定时器操作模式						
0	0	间隔定时器模式						
0	1	载波发生器模式						
1	0	PWM 输出模式						
1	1	禁止设置						
TOLEV1	定时器输出电平控制 (默认模式)							
0	低电平							
1	高电平							
TOEN1	定时器输出控制							
0	禁止输出							
1	允许输出							

- 注
1. 如果外围硬件时钟(f_{PRS}) 操作在高速系统时钟(f_{XH}) ($XSEL = 1$)下, f_{PRS} 操作频率依据供电电压不同而变动。
 - $V_{DD} = 2.7 \sim 5.5$ V: $f_{PRS} \leq 10$ MHz
 - $V_{DD} = 1.8 \sim 2.7$ V: $f_{PRS} \leq 5$ MHz
 2. 如果外围硬件时钟(f_{PRS}) 操作在内部高速振荡时钟(f_{XH}) ($XSEL = 0$)下, 当 1.8 V $\leq V_{DD} < 2.7$ V 时, 禁止设置 $CKS12 = CKS11 = CKS10 = 0$ (计数时钟: f_{PRS})。

- 注意事项
1. 当 **TMHE1=1** 时，禁止设置 **TMHMD1** 的其他位。然而，可以更新 **TMHMD1**（写入相同值）。
 2. 在 **PWM** 输出模式和载波发生模式中，当定时器停止计数后（**TMHE1=0**）再次启动计数器操作时（**TMHE1=1**），必须设置 8 位定时器 H 比较寄存器 11（**CMP11**）的值（即使设置的是相同的值，也必须再次设置）。
 3. 当使用载波发生器模式时，设置 **TMH1** 的计数时钟频率至少是 **TM51** 计数时钟频率的 6 倍。
 4. 除 **TOH1** 的输出以外，**TOH1/P31/INTP3** 引脚的实际输出由 **PM31** 和 **P31** 决定。

- 备注
1. **fPRS**: 外围硬件时钟频率
 2. **fRL**: 内部低速振荡时钟频率

图 8-8. 8 位定时器 H 模式寄存器 2 (TMHMD1) 的格式

地址: FF42H 复位后: 00H R/W

	<7>	6	5	4	3	2	<1>	<0>
TMHMD2	TMHE2	CKS22	CKS21	CKS20	TMMD21	TMMD20	TOLEV2	TOEN2
TMHE2	是否允许定时器操作							
0	停止定时器计数操作 (计数器清零)							
1	允许定时器计数 (由输入时钟启动计数操作)							
CKS22	CKS21	CKS20	计数时钟选择 ^{注1}					
	•	•		$f_{PRS} =$	$f_{PRS} =$	$f_{PRS} =$		
	•	•		2 MHz	5 MHz	10 MHz		
0	0	0	f_{PRS} ^{注2}	2 MHz	5 MHz	10 MHz		
0	0	1	$f_{PRS}/2$	1 MHz	2.5 MHz	5 MHz		
0	1	0	$f_{PRS}/2^2$	500 kHz	1.25 MHz	2.5 MHz		
0	1	1	$f_{PRS}/2^4$	125 kHz	312.5 kHz	625 kHz		
1	0	0	$f_{PRS}/2^6$	31.25 kHz	78.13 kHz	156.25 kHz		
1	0	1	$f_{PRS}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz		
1	1	0	$f_{PRS}/2^{12}$	0.49 kHz	1.22 kHz	2.44 kHz		
其他情况			禁止设置					
TMMD21	TMMD20	定时器操作模式						
0	0	间隔定时器模式						
1	0	引脚输入允许宽度判断模式(PWM 输出)						
其他情况		禁止设置						
TOLEV2	定时器输出电平控制 (默认模式)							
0	低电平							
1	高电平							
TOEN2	定时器输出控制							
0	禁止输出							
1	允许输出 ^{注3}							

- 注 1. 如果外围硬件时钟(f_{PRS}) 操作在高速系统时钟(f_{XH}) ($XSEL = 1$)下, f_{PRS} 操作频率依据供电电压不同而变动。
- $V_{DD} = 2.7 \sim 5.5$ V: $f_{PRS} \leq 10$ MHz
 - $V_{DD} = 1.8 \sim 2.7$ V: $f_{PRS} \leq 5$ MHz
2. 如果外围硬件时钟(f_{PRS}) 操作在内部高速振荡时钟(f_{XH}) ($XSEL = 0$)下, 当 1.8 V $\leq V_{DD} < 2.7$ V 时, 禁止设置 $CKS22 = CKS21 = CKS20 = 0$ (计数时钟: f_{PRS})。
3. TMH2 定时器输出仅用作 TM52 的外部事件输入允许信号。不提供引脚的外部输出。

注意事项 当 **TMHE2 = 1** 时, 禁止设置 **TMHMD2** 其他位。

备注 f_{PRS} : 外围硬件时钟频率

(2) 8 位定时器 H 载波控制寄存器 1 (TMCYC1)

该寄存器用于控制 8 位定时器 H1 的遥控输出和载波脉冲输出状态。

可以由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号的产生对寄存器清零 (00H)。

图 8-9. 8 位定时器 H 载波控制寄存器 1 (TMCYC1) 的格式

地址: FF6DH 复位后: 00H R/W^注

Symbol	7	6	5	4	3	2	1	<0>
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	遥控输出
0	0	低电平输出
0	1	在 INTTM51 信号输入上升沿高电平输出
1	0	低电平输出
1	1	在 INTTM51 信号输入上升沿载波脉冲输出

NRZ1	载波脉冲输出状态标志
0	禁止载波输出状态 (低电平状态)
1	允许载波输出状态 (RMC1=1: 载波脉冲输出, RMC1=0: 高电平状态)

注 第 0 位只读。

注意事项 当 TMHE1 = 1 时, 不能重写 RMC1。然而, TMCYC1 可以更新 (写入相同的值)。

(3) 端口模式寄存器 3 (PM3)

该寄存器按位设置端口 1 为输入输出操作模式。

在将 P32/TOH0/MCGO 和 P31/TOH1/INTP3 引脚用于定时器输出时, 需对 PM32 和 PM31 以及 P32 和 P31 的输出锁存器清零(0)。

可以由 1 位或 8 位存储器操作指令设置 PM3。

复位信号的产生将寄存器置 FFH。

图 8-10. 端口模式寄存器 3 (PM3)的格式

地址: FF23H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	1

PM3n	P3n 引脚 I/O 模式选择 (n = 0 ~ 4)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

8.4 8 位定时器 H0、H1 和 H2 的操作

8.4.1 间隔定时器/方波输出操作

当 8 位定时器计数器 Hn 与比较寄存器 0n (CMP0n) 相等时, 将产生中断请求信号 (INTTMHn) 并对 8 位定时器计数器 Hn 清零 (00H)。

在间隔定时器模式中不使用比较寄存器 1n (CMP1n)。即使 CMP1n 寄存器已赋值, 也不会检测 8 位定时器计数器 Hn 与 CMP1n 寄存器的相等情况, 所以不影响定时器的输出。

通过将定时器 H 模式寄存器 n (TMHMDn) 的第 0 位 (TOENn) 置 1, 可以从 TOHn 输出任意频率的方波 (占空比 = 50%)。

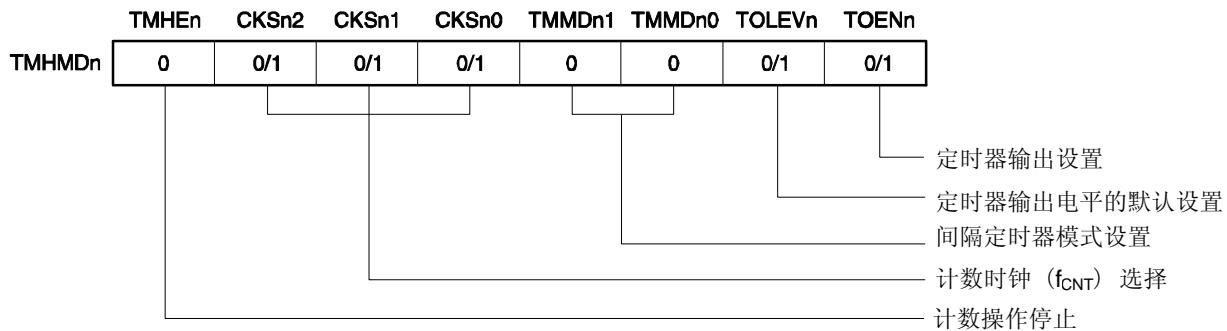
TMH2 定时器输出仅用作 TM52 外部事件输入允许信号。注意, 不提供外部输出引脚。

设置

<1> 寄存器设置。

图 8-11. 间隔定时器/方波输出操作期间的寄存器设置

(i) 设置定时器 H 模式寄存器 n (TMHMDn)



(ii) CMP0n 寄存器设置

如果 N 作为比较值, 则时间间隔如下:

- 时间间隔 = (N + 1)/f_{CNT}

<2> 当 TMHEn = 1 时, 开始计数。

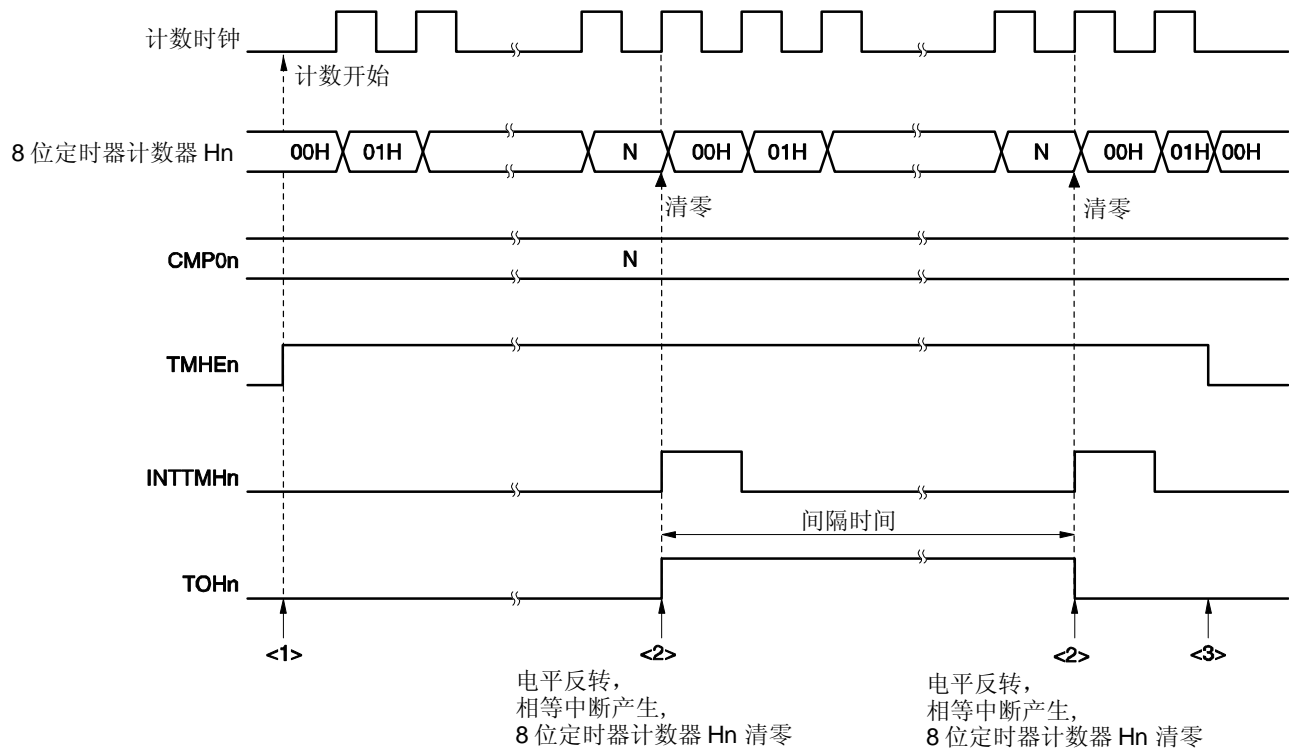
<3> 当 8 位定时器计数器 Hn 与 CMP0n 的值相等时, 将产生 INTTMHn 信号, 并对 8 位定时器计数器 Hn 清零 (00H)。

<4> 随后, 以相同的间隔时间重复产生 INTTMHn 信号。若要停止计数操作, 则将 TMHEn 清零(0)。

备注

1. 如需了解输出引脚的设置情况, 参见 8.3 (3) 端口模式寄存器 3 (PM3)。
2. 如需了解允许 INTTMHn 信号中断的情况, 可参见 第二十一章 中断功能。
3. n = 0 ~ 2。TOHn 仅用于 TOH0 和 TOH1。

图 8-12. 间隔定时器/方波输出操作时序(1/2)

(a) 基本操作 (当 $01H \leq CMP0n \leq FEH$ 时的操作)

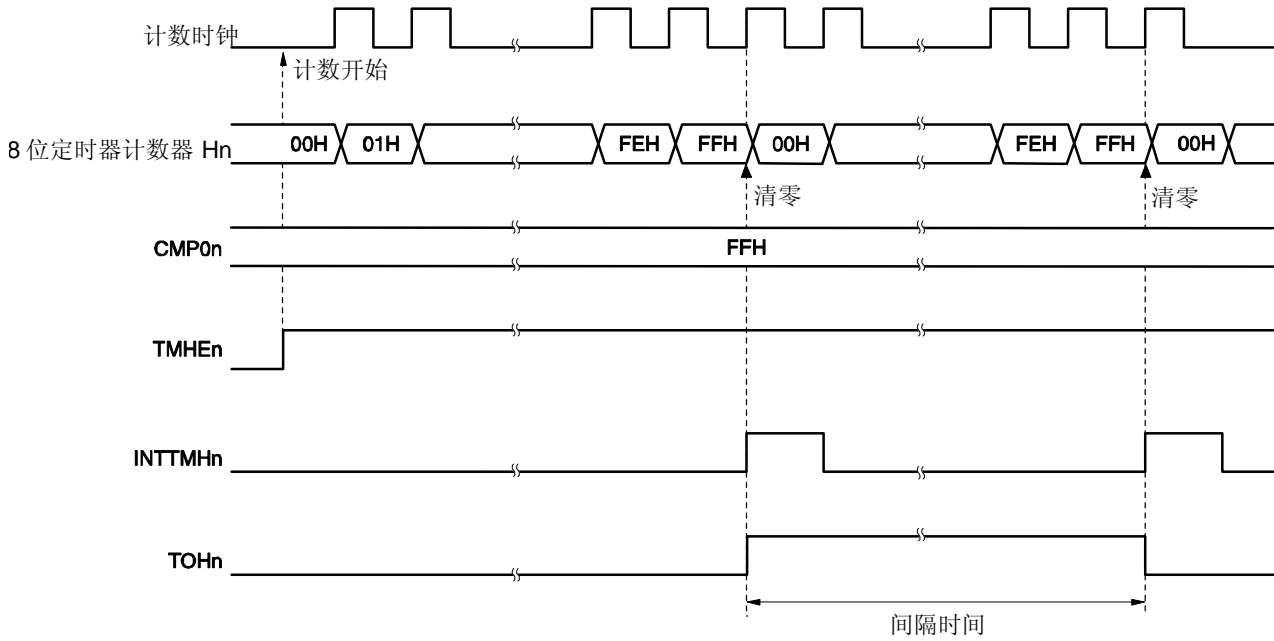
- <1> 通过将 TMHEn 位置 1，允许计数操作。一旦允许计数，则在不到 1 个时钟周期的时间内启动计数操作。
- <2> 当 8 位定时器计数器 Hn 与 CMP0n 寄存器的值相等时，将该定时器计数器清零并反转 TOHn 的输出电平。此外在计数时钟的上升沿输出 INTTMHn 信号。
- <3> 在定时器 Hn 操作期间将 TMHEn 位清零，设置 INTTMHn 信号和 TOHn 的输出为默认电平。如果在将 TMHEn 位清零(0)前它们已经处于默认电平，则电平保持不变。

备注 1. $n = 0 \sim 2$ 。TOHn 仅用于 TOH0 和 TOH1。

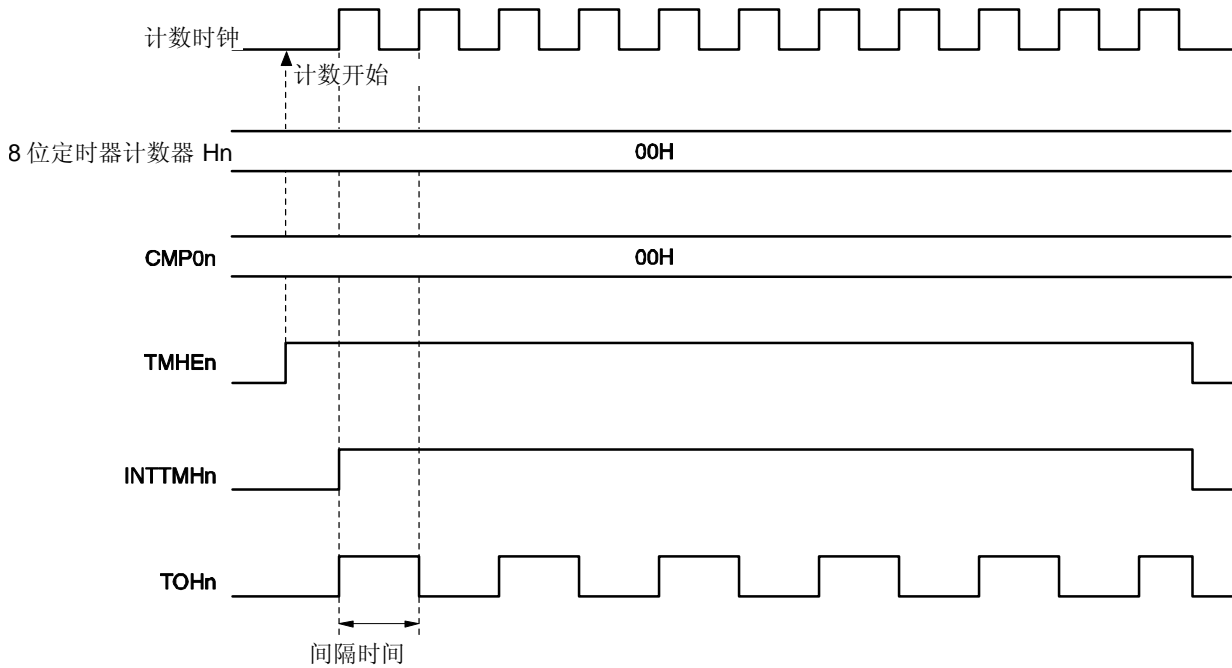
2. $01H \leq N \leq FEH$

图 8-12. 间隔定时器/方波输出操作时序(2/2)

(b) 当 $CMP0n = FFH$ 时的操作



(c) 当 $CMP0n = 00H$ 时的操作



备注 $n = 0 \sim 2$ 。 $TOHn$ 仅用于 $TOH0$ 和 $TOH1$ 。

8.4.2 PWM 输出操作

在 PWM 输出模式中，可以输出具有任意占空比和周期的脉冲。

8 位定时器比较寄存器 0n (CMP0n) 用于控制定时器输出 (TOHn) 的周期。禁止在定时器操作期间修改 CMP0n 寄存器的值。

8 位定时器比较寄存器 1n (CMP1n) 用于控制定时器输出 (TOHn) 的占空比。允许在定时器操作期间修改 CMP1n 寄存器的值。

PWM 输出模式中的操作如下所示。

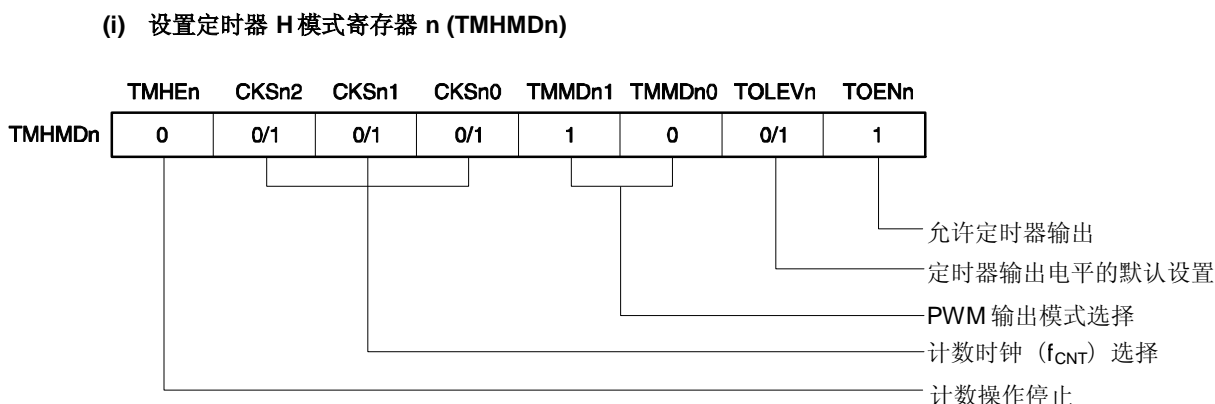
当定时器计数启动后，8 位定时器 Hn 和 CMP0n 寄存器相等，PWM 输出 (TOHn 输出) 活动电平并将 8 位定时器 Hn 清零。当 8 位定时器 Hn 和 CMP01 寄存器相等，PWM 输出 (TOHn 输出) 活动电平。

TMH2 (PWM 输出) 定时器输出仅用作 TM52 的外部事件输入允许信号。注意，没有外部输出引脚。

设置

<1> 寄存器设置。

图 8-13. PWM 输出模式下的寄存器设置



(ii) 设置寄存器 CMP0n

- 比较值(N): 周期设置

(iii) 设置寄存器 CMP1n

- 比较值(M): 占空比设置

- 备注
1. $n = 0 \sim 2$ 。TOHn 仅用于 TOH0 和 TOH1。
 2. $00H \leq \text{CMP1n} (M) < \text{CMP0n} (N) \leq FFH$

<2> 当 TMHEn = 1 时，开始计数。

<3> CMP0n 是在允许计数操作后首次被比较的比较寄存器。当 8 位定时器计数器 Hn 与 CMP0n 寄存器的值相等时，将 8 位定时器计数器 Hn 清零、产生中断请求信号 (INTTMHn)，并且输出活动电平。同时切换比较寄存器（与 8 位定时器比较的寄存器）：由 CMP0n 改为 CMP1n。

<4> 当 8 位定时器计数器 Hn 与 CMP1n 寄存器相等时，输出非活动电平，并切换比较寄存器（与 8 位定时器比较的寄存器）：由 CMP1n 改为 CMP0n。此时不对 8 位定时器计数器 Hn 清零，也不产生 INTTMHn 信号。

<5> 重复执行过程<3> 和 <4>，可以获取具有任意占空比的脉冲。

<6> 若要停止计数操作，则设置 TMHEn = 0。

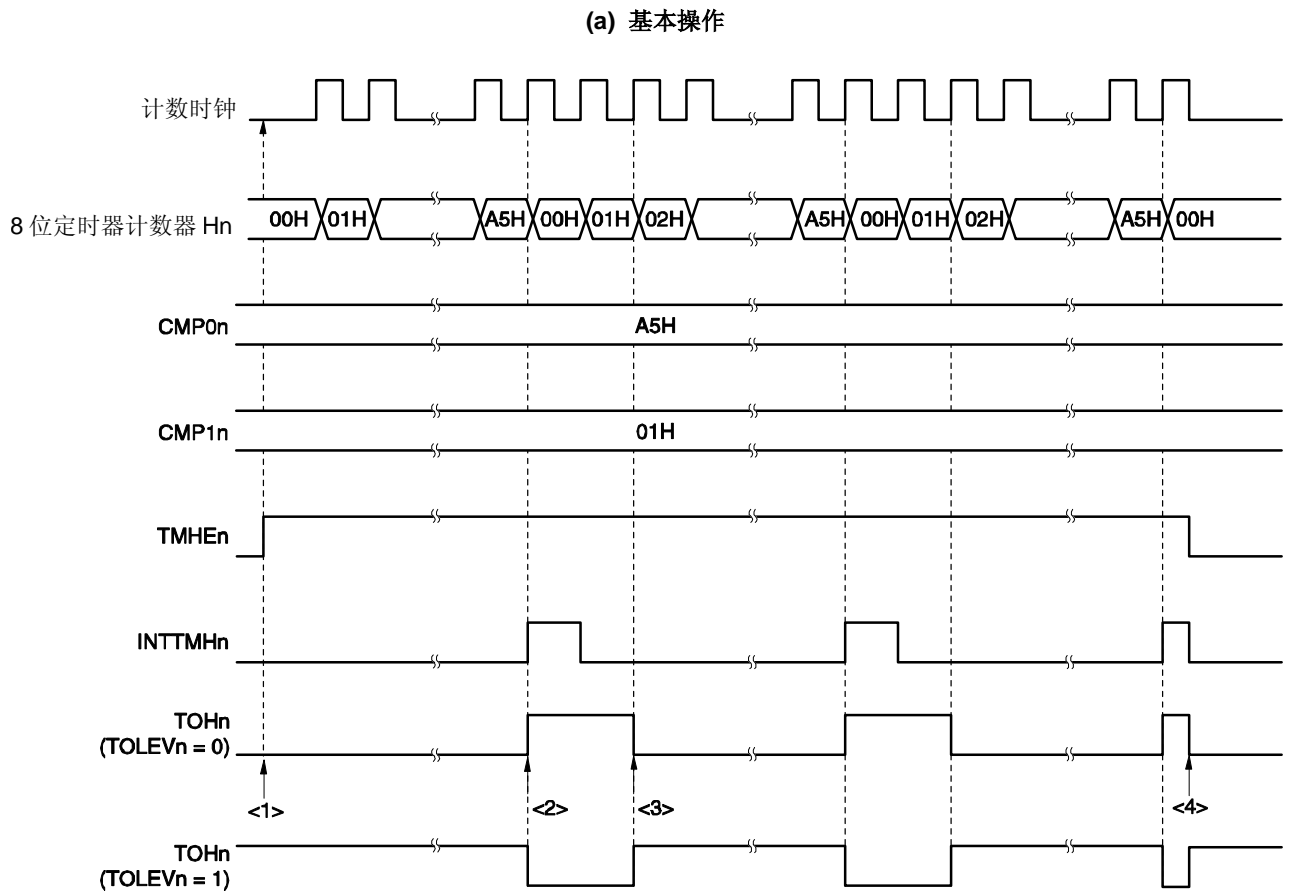
若 CMP0n 的值为 N、CMP1n 的值为 M，计数时钟频率为 f_{CNT} ，则 PWM 脉冲的输出周期和占空比如下所示。

- PWM 脉冲输出周期 = $(N + 1)/f_{CNT}$
- 占空比 = $(M + 1)/(N + 1)$

- 注意事项**
1. 可以在定时器计数操作时改变 **CMP1n** 的设置值。但从改变 **CMP1n** 寄存器的值到这个值被传输给寄存器需要经历三个操作时钟（通过 **TMHMDn** 寄存器的 **CKSn2** 到 **CKSn0** 位选择的时钟信号）
 2. 在定时器计数操作停止后（**TMHEn=0**），再次启动定时器操作时（**TMHEn=1**），必须对 **CMP1n** 进行设置（即使是设置相同的值，也必须重新设置 **CMP1n** 寄存器）
 3. **CMP1n** 寄存器的设置值（**M**）和 **CMP0n** 寄存器的设置值（**N**）必须在以下范围内取值。
 $00H \leq \text{CMP1n (M)} < \text{CMP0n (N)} \leq FFH$

- 备注**
1. 如需了解输出引脚的设置，参见 **8.3 (3) 端口模式寄存器 3 (PM3)**。
 2. 要了解如何允许 **INTTMHn** 信号中断的情况，可参见 **第二十一章 中断功能**。
 3. $n = 0 \sim 2$ 。TOHn 仅用于 TOH0 和 TOH1。

图 8-14. PWM 输出模式下的操作时序(1/4)

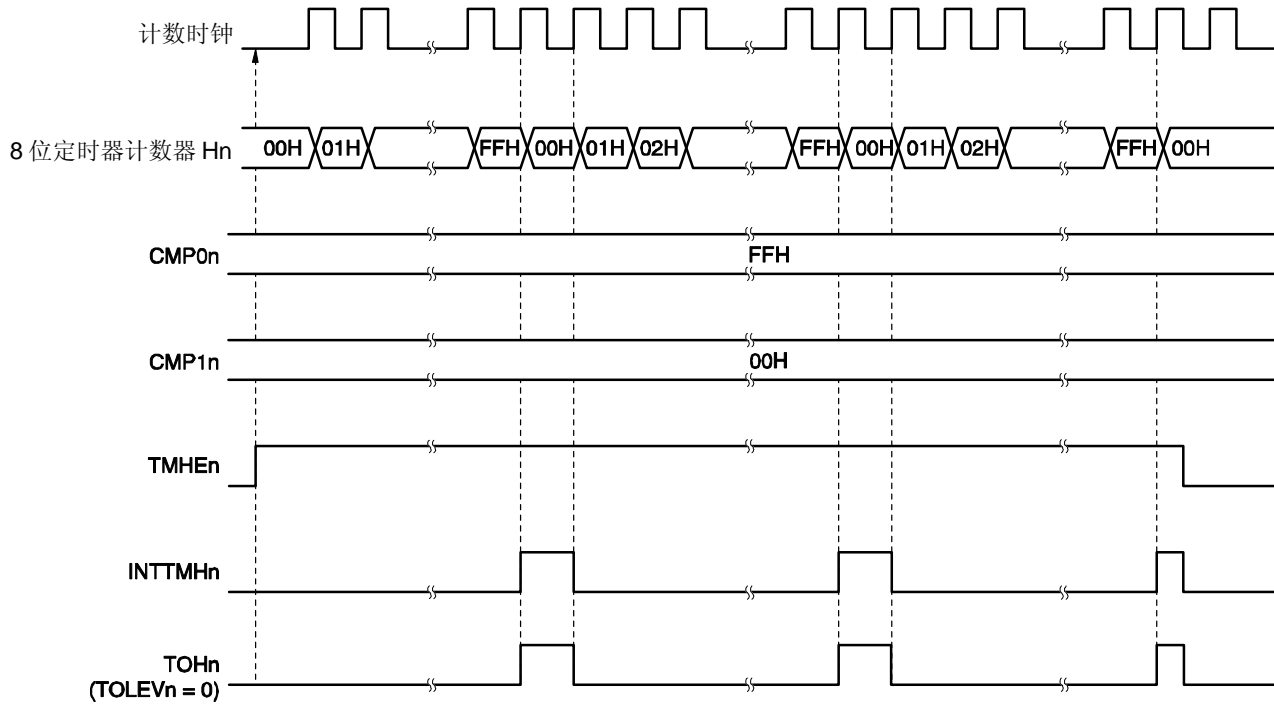


- <1> 通过设置 $TMHE_n = 1$ ，允许计数操作。通过屏蔽一个计数时钟，启动 8 位定时器计数器 H_n 。此时，PWM 输出活动电平。
- <2> 当 8 位定时器计数器 H_n 与 $CMP0_n$ 相等时将输出活动电平。此时，对 8 位定时器计数器 H_n 清零，并输出 $INTTMH_n$ 中断信号。
- <3> 当 8 位定时器计数器 H_n 与 $CMP1_n$ 相等时，输出非活动电平。此时，并不对 8 位定时器计数器 H_n 清零，也不输出 $INTTMH_n$ 中断信号。
- <4> 在定时器 H_n 操作期间若将 $TMHE_n$ 位清零，可以设置 $INTTMH_n$ 信号为默认值和 PWM 输出非活动电平。

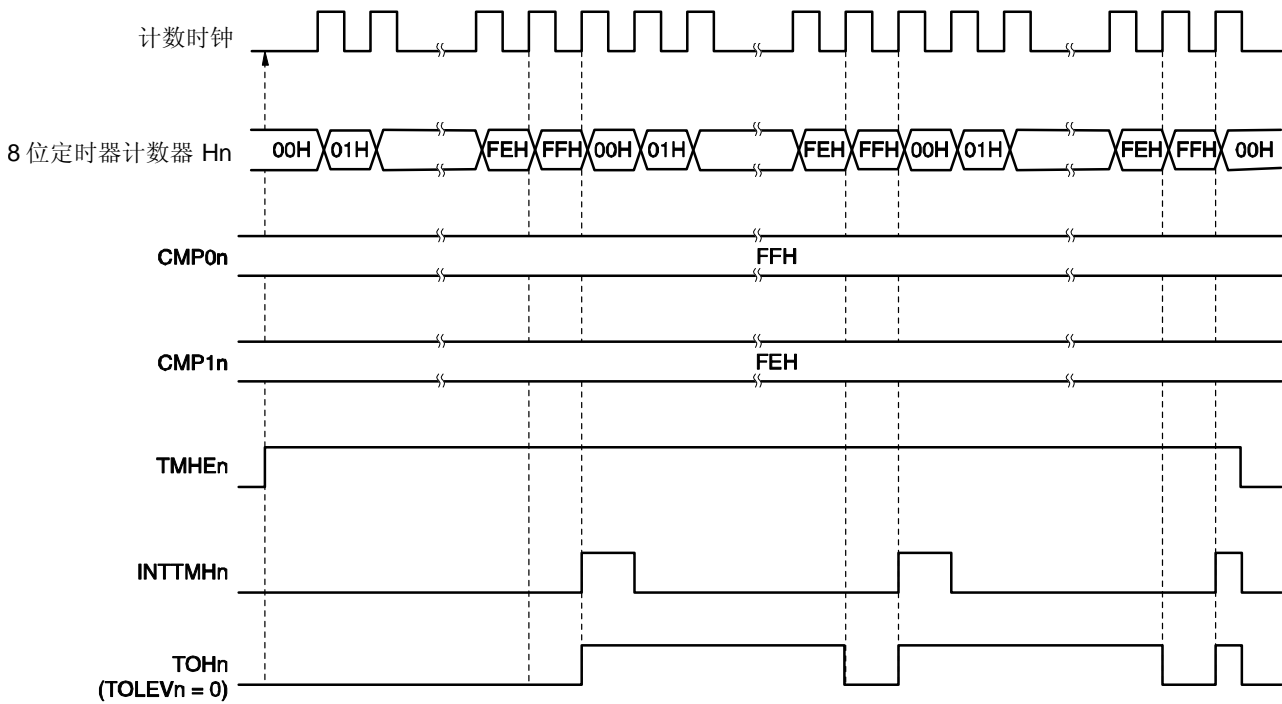
备注 $n = 0 \sim 2$ 。TOHn 仅用于 TOH0 和 TOH1。

图 8-14. PWM 输出模式下的操作时序 (2/4)

(b) 当 $CMP0n = FFH$, $CMP1n = 00H$ 时的操作



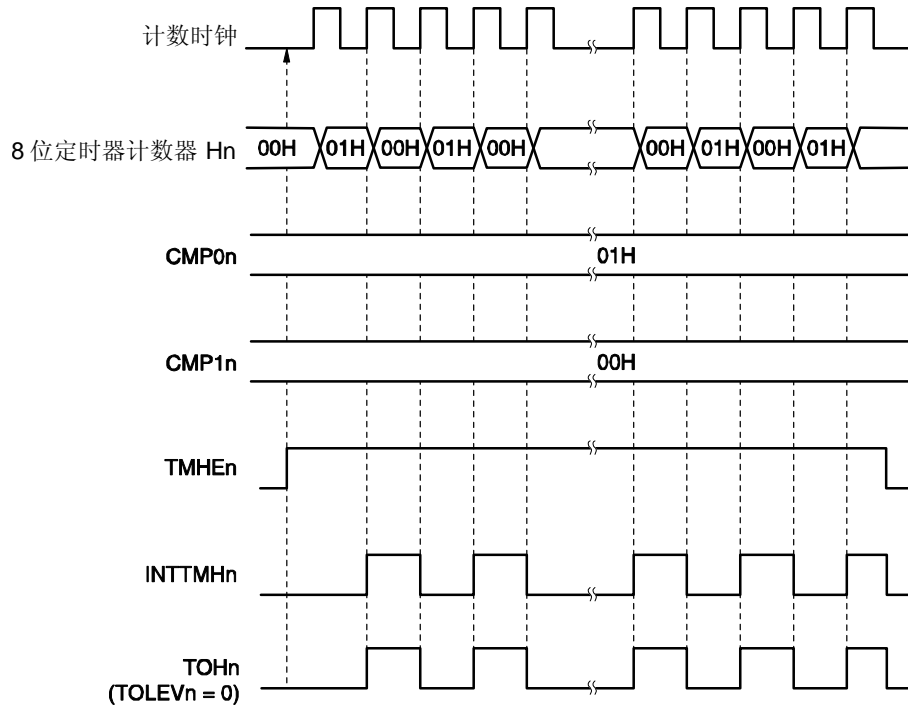
(c) 当 $CMP0n = FFH$, $CMP1n = FEH$ 时的操作



备注 $n = 0 \sim 2$ 。TOHn 仅用于 TOH0 和 TOH1。

图 8-14. PWM 输出模式下的操作时序(3/4)

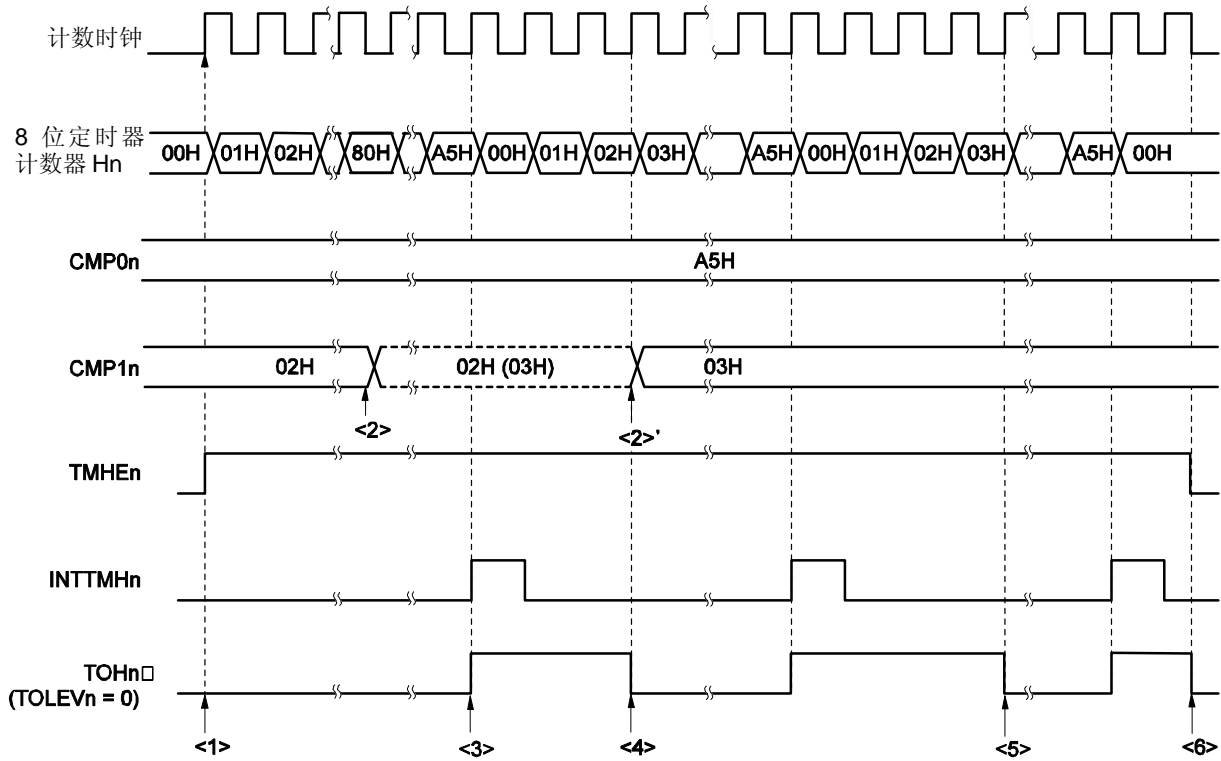
(d) 当 $CMP0n = 01H$, $CMP1n = 00H$ 时的操作



备注 $n = 0 \sim 2$ 。TOHn 仅用于 TOH0 和 TOH1。

图 8-14. PWM 输出模式下的操作时序(4/4)

(e) 修改 CMP1n 的时序操作 (CMP1n = 02H → 03H, CMP0n = A5H)



- <1> 通过设置 TMHEn = 1 允许计数操作。通过屏蔽 1 个计数时钟，启动 8 位定时器计数器 Hn。此时 PWM 输出非活动电平。
- <2> 在定时器计数器操作期间可以修改 CMP1n 的值。修改操作与计数时钟不同步。
- <3> 当 8 位定时器计数器 Hn 与 CMP0n 的值相等时，将 8 位定时器计数器 Hn 的值清零、输出活动电平，并输出 INTTMHn 信号。
- <4> 如果 CMP1n 的值被修改，则修改后的值被锁存，且不传送到寄存器。当 8 位定时器计数器 Hn 的值与修改前 CMP1n 寄存器的值相等时，则将值传送到 CMP1n，这样 CMP1n 的值就被修改了 (<2>')。但从 CMP1n 的值被修改到将值传送到寄存器至少需要 3 个计数时钟。如果在 3 个计数时钟内产生一个相等信号，则不能将修改后的值传送到寄存器。
- <5> 当 8 位定时器计数器 Hn 的值与修改后的 CMP1n 的值相等时，输出非活动电平。此时不对 8 位定时器计数器 Hn 清零，也不产生 INTTMHn 信号。
- <6> 在定时器 Hn 操作期间若将 TMHEn 位清零，可以设置 INTTMHn 信号为默认值和使 PWM 输出非活动电平。

备注 n = 0 ~ 2。TOHn 仅用于 TOH0 和 TOH1。

8.4.3 载波发生器操作（仅用于 8 位定时器 H1）

在载波发生器模式中 8 位定时器 H1 用于产生红外遥控器的载波信号，8 位定时器/事件计数器 51 用于红外遥控信号的产生（计时）

以 8 位定时器/事件计数器 51 设置的周期输出载波时钟。该载波时钟由 8 位定时器 H1 产生。

在载波发生器模式中，8 位定时器 H1 载波脉冲由 8 位定时器/事件计数器 51 控制输出，并从 TOH1 输出。

(1) 载波的发生

在载波发生器模式中，8 位定时器 H 比较寄存器 01（CMP01）产生低电平宽度的载波脉冲波形，而 8 位定时器 H 比较寄存器 11（CMP11）产生高电平宽度的载波脉冲波形。

在 8 位定时器 H1 操作期间允许修改 CMP11，但禁止修改 CMP01。

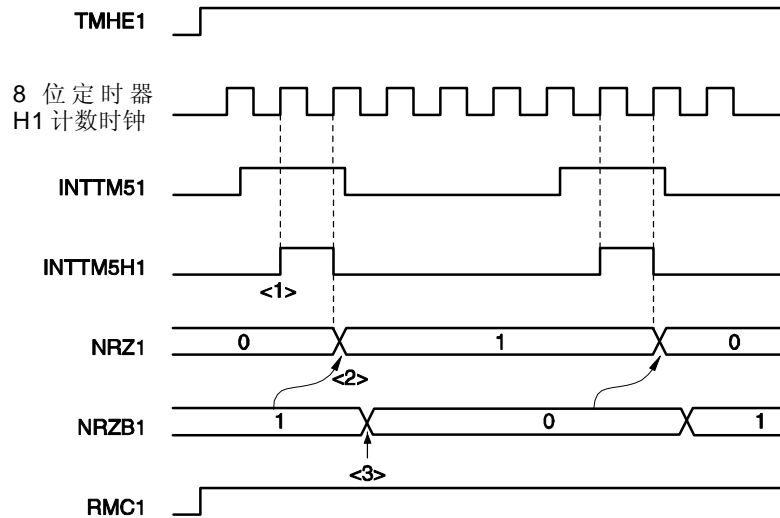
(2) 载波输出控制

载波输出由 8 位定时器/事件计数器 51 的中断请求信号（INTTM51）和 8 位定时器 H 载波控制寄存器（TMCYC1）的 NRZB1 和 RMC1 位控制。输出之间的关系如下所示。

RMC1 位	NRZB1 位	输出
0	0	低电平输出
0	1	在 INTTM51 信号输入上升沿高电平输出
1	0	低电平输出
1	1	在 INTTM51 信号输入上升沿载波脉冲输出

为了在计数操作期间控制载波脉冲输出，TMCYC1 寄存器的 NRZ1 和 NRZB1 位有 1 个主位和从位配置。NRZ1 位只读，而 NRZB1 位可读可写。INTTM51 信号与 8 位定时器 H1 计数时钟同步，且作为 INTTM5H1 信号输出。INTTM5H1 信号作为 NRZ1 位的数据传送信号，且 NRZB1 位的值被传送至 NRZ1 位。从 NRZB1 位传送至 NRZ1 位的时序如下所示。

图 8-15. 传送时序



<1> INTTM51 信号与 8 位定时器 H1 的计数时钟同步，并作为 INTTM5H1 信号输出。

<2> 在 INTTM5H1 信号上升沿的第 2 个时钟处将 NRZB1 位的值传送至 NRZ1 位。

<3> 在中断服务程序中将下一个值写入 NRZB1 位。该中断服务程序已由 INTTM5H1 中断启动或通过轮询中断请求标志检测到时序后启动。将下一次要计数的值写入 CR51 中。

注意事项 1. NRZB1 位被重写后至少到第 2 个时钟时才能被再次重写，否则，从 NRZB1 位到 NRZ1 位的传送不能得到保证。

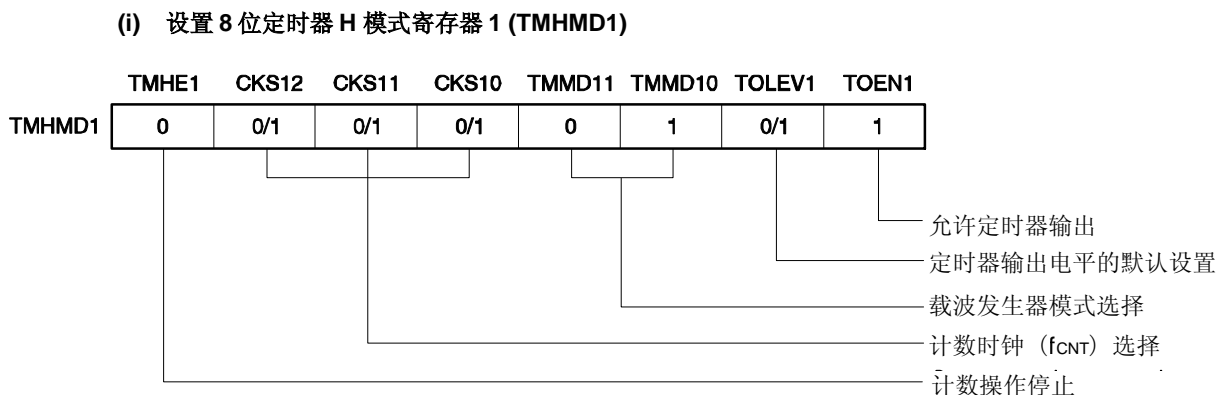
2. 在载波发生器模式中使用 8 位定时器/事件计数器 51 时，在<1>时刻将产生中断。如果在其他模式中使用 8 位定时器/事件计数器 51，中断产生的时序则不相同。

备注 INTTM5H1 是内部信号并不是中断源。

设置

<1> 寄存器设置

图 8-16. 在载波发生器模式下的寄存器设置



(ii) CMP01 寄存器设置

- 比较值

(iii) CMP11 寄存器设置

- 比较值

(iv) TMCYC1 寄存器设置

- RMC1 = 1 ... 遥控输出允许位
- NRZB1 = 0/1 ... 载波输出允许位

(v) TCL51 和 TMC51 寄存器设置

- 参见 7.3 控制 8 位定时器/事件计数器 50、51 和 52 的寄存器。

<2> 当 TMHE1 = 1 时，8 位定时器 H1 开始计数。

<3> 当 8 位定时器模式控制寄存器 51 (TMC51) 的 TCE51=1 时，8 位定时器/事件计数器 51 开始计数。

<4> 允许计数后，第 1 个用于比较的比较寄存器是 CMP01。当 8 位定时器计数器 H1 的计数值与 CMP01 的值相等时，将产生 INTTMH1 信号，并对 8 位定时器计数器 H1 清零，而此时与 8 位定时器计数器比较的比较寄存器从 CMP01 被切换为 CMP11。

<5> 当 8 位定时器计数器 H1 的计数值与 CMP11 寄存器的值相等时，将产生 INTTMH1 信号，并对 8 位定时器计数器 H1 清零，而此时与 8 位定时器计数器比较的比较寄存器从 CMP11 被切换为 CMP01。

<6> 重复执行过程<4>和<5>，将产生 1 个载波时钟。

<7> INTTM51 信号与 8 位定时器 H1 的计数时钟同步，并作为 INTTM5H1 信号输出。INTTM5H1 信号作为 NRZB1 位的数据传输信号，并将 NRZB1 位的值传送至 NRZ1 位。

<8> 在中断服务程序中将下一个值写入 NRZB1 位。该中断服务程序已由 INTTM5H1 中断启动或通过轮询中断请求标志检测到时序后启动。将下一次要计数的值写入 CR51 中。

<9> 当 NRZ1 位是高电平时，将从 TOH1 引脚输出载波时钟。

<10> 通过执行上述过程，可以获得任意形式的载波时钟。若要停止计数操作，可以将 TMHE1 清零。

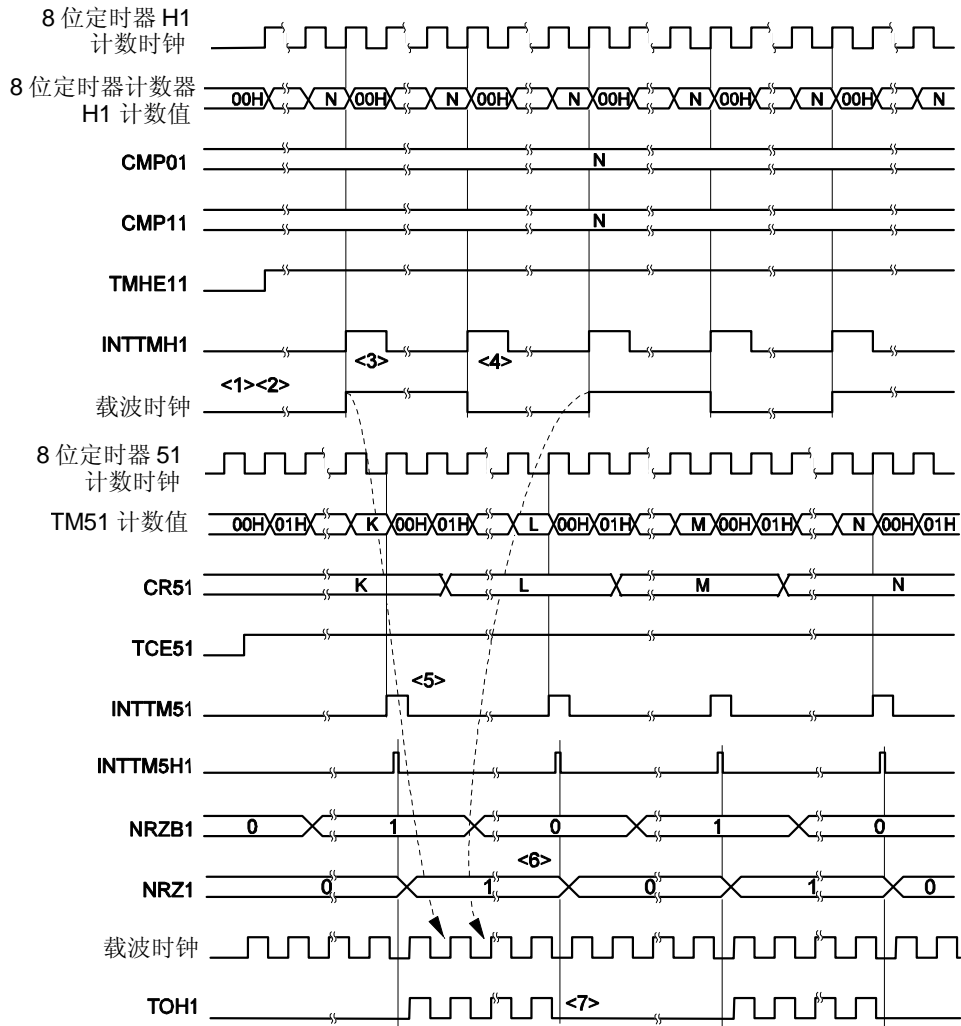
如果 CMP01 的值为 N、CMP11 的值为 M、计数时钟频率为 f_{CNT} ，则载波时钟输出周期与占空比如下所示。

- 载波时钟输出周期 = $(N + M + 2)/f_{CNT}$
- 占空比=高电平宽度/载波时钟输出宽度 = $(M + 1) / (N + M + 2)$

- 注意事项**
1. 在定时器计数操作停止后（TMHE1=0），再启动定时器操作（TMHE1=1）时，必须设置 CMP11（即使是相同的值，也必须对 CMP11 重新设置）
 2. 设置 TMH1 的计数时钟频率至少是 TM51 的计数时钟频率的 6 倍。
 3. CMP01 和 CMP11 的值必须在 01H 和 FFH 之间。
 4. 定时器计数期间可以改变 CMP11 寄存器的值。但是，从改变 CMP11 的值到将该值传输到寄存器需要三个操作时钟（由 TMHMD1 寄存器的 CKS12~CKS10 位选择的时钟信号）
 5. 在计时操作开始前必须设置 RMC1。

- 备注**
1. 如需了解输出引脚的设置，参见 8.3 (3) 端口模式寄存器 3 (PM3)。
 2. 要了解如何允许 INTTMH1 信号中断的情况，可参见 第二十一章 中断功能。

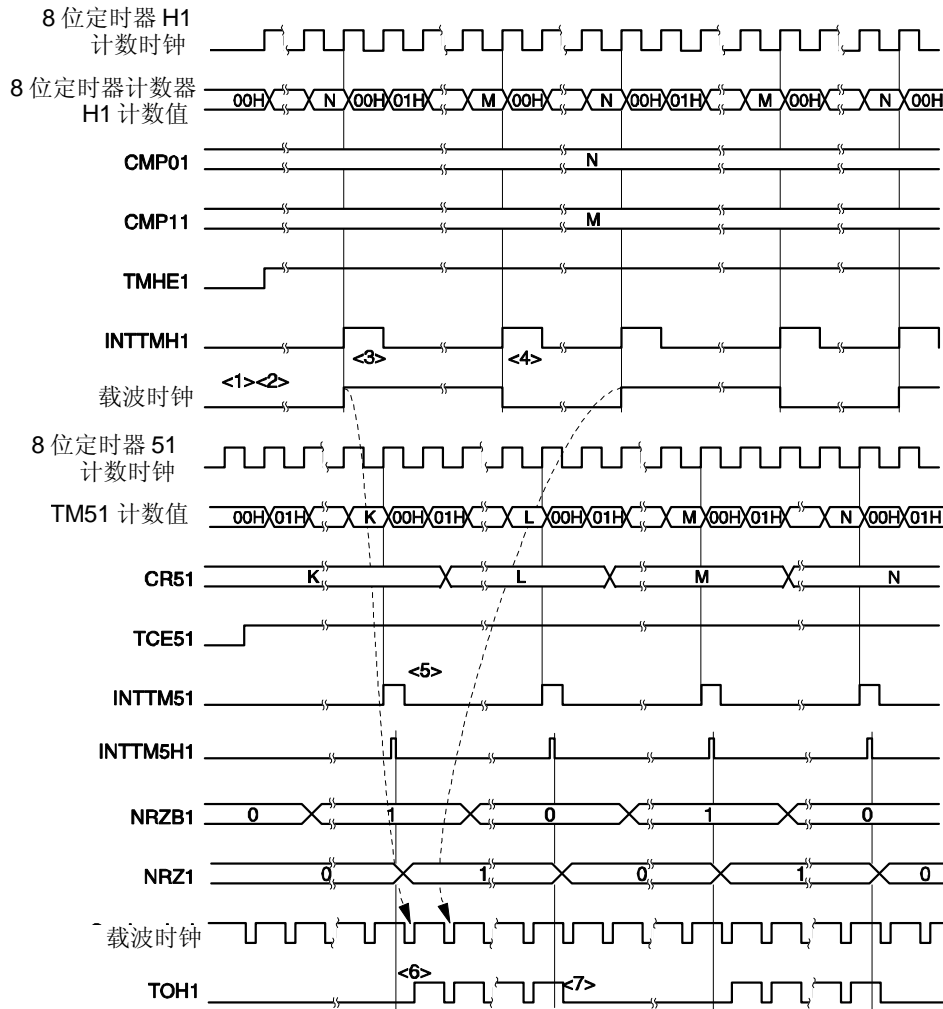
图 8-17. 载波发生器模式操作时序(1/3)

(a) 当 $CMP01 = N$, $CMP11 = N$ 时的操作

- <1> 当 $TMHE1 = 0$ 且 $TCE51 = 0$ 时，停止 8 位定时器计数器 H1 的操作。
- <2> 当 $TMHE1 = 1$ 时，8 位定时器计数器 H1 开始计数。此时载波时钟保持默认电平状态。
- <3> 当 8 位定时器计数器 H1 的计数值与 $CMP01$ 的值相等时，产生第 1 个 $INTTMH1$ 信号并反转载波时钟信号，同时与 8 位定时器计数器 H1 比较的比较寄存器从 $CMP01$ 切换为 $CMP11$ 。8 位定时器计数器 H1 的值被清零 (00H)。
- <4> 当 8 位定时器计数器 H1 的计数值与 $CMP11$ 的值相等时，产生 $INTTMH1$ 信号并反转载波时钟信号，同时与 8 位定时器计数器 H1 比较的比较寄存器从 $CMP11$ 切换为 $CMP01$ 。8 位定时器计数器 H1 的值被清零 (00H)。重复执行过程<3>和<4>，将产生 1 个载波时钟，且占空比恒为 50%。
- <5> 当 $INTTM51$ 信号产生时，它与 8 位定时器 H1 计数时钟同步，并作为 $INTTM5H1$ 信号输出。
- <6> $INTTM5H1$ 信号用作 $NRZB1$ 位的数据传输信号，并将 $NRZB1$ 位的值传送至 $NRZ1$ 位。
- <7> 设置 $NRZ1 = 0$ 时， $TOH1$ 输出低电平。

备注 $INTTM5H1$ 是内部信号并不是中断源。

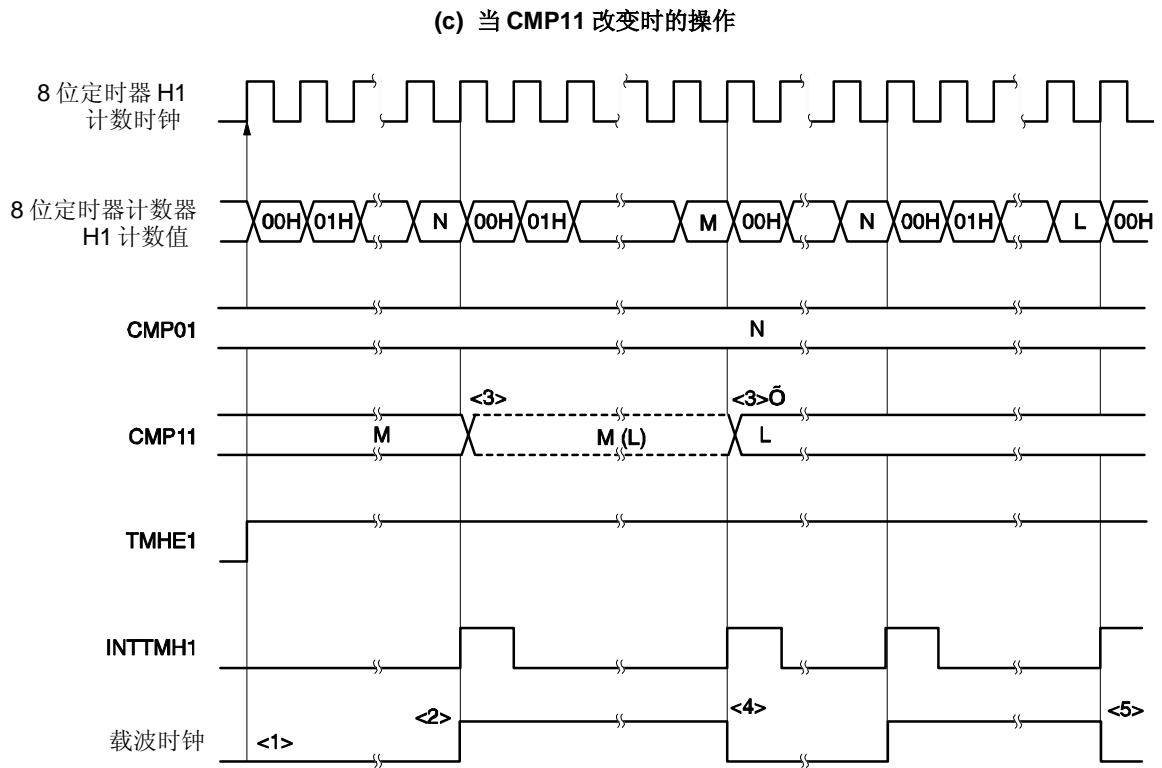
图 8-17. 载波发生器模式操作时序 (2/3)

(b) 当 $CMP01 = N$, $CMP11 = M$ 时的操作

- <1> 当 $TMHE1 = 0$ 且 $TCE51 = 0$ 时，停止 8 位定时器计数器 H1 的操作。
- <2> 当 $TMHE1 = 1$ 时，8 位定时器计数器 H1 开始计数。此时载波时钟保持默认电平状态。
- <3> 当 8 位定时器计数器 H1 的计数值与 $CMP01$ 的值相等时，产生第 1 个 $INTTMH1$ 信号并反转载波时钟信号，同时与 8 位定时器计数器 H1 比较的比较寄存器从 $CMP01$ 切换为 $CMP11$ 。8 位定时器计数器 H1 的值被清零 (00H)。
- <4> 当 8 位定时器计数器 H1 的计数值与 $CMP11$ 的值相等时，产生 $INTTMH1$ 信号并反转载波时钟信号，同时与 8 位定时器计数器 H1 比较的比较寄存器从 $CMP11$ 切换为 $CMP01$ 。8 位定时器计数器 H1 的值被清零 (00H)。重复执行过程<3>和<4>，将产生 1 个载波时钟，且占空比不等于 50%。
- <5> 当 $INTTM51$ 信号产生时，它与 8 位定时器 H1 计数时钟同步，并作为 $INTTM5H1$ 信号输出。
- <6> 若 $NRZ1 = 1$ ，在载波时钟的第 1 个上升沿处输出 1 个载波信号。
- <7> 当 $NRZ1 = 0$ 时， $TOH1$ 输出保持高电平状态，在载波时钟为高电平时（在过程<6>和<7>中，保证载波时钟波形的高电平宽度）不会转变为低电平。

备注 $INTTM5H1$ 是内部信号并不是中断源。

图 8-17. 载波发生器模式操作时序 (3/3)



- <1> 当 $TMHE1 = 1$ 时，8 位定时器 H1 开始计数。此时载波时钟保持默认电平状态。
- <2> 当 8 位定时器计数器 H1 的计数值与 $CMP01$ 的值相等时，输出 $INTTMH1$ 信号、反转载波信号，并将定时器计数器清零(00H)。同时与 8 位定时器计数器 H1 比较的比较寄存器从 $CMP01$ 切换为 $CMP11$ 。
- <3> $CMP11$ 与计数时钟不同步，在 8 位定时器 H1 操作期间可以修改 $CMP11$ 的值，但修改后的新值 (L) 被锁存。当 8 位定时器计数器 H1 的计数值与 $CMP11$ 修改前的值 (M) 相等 (<3>') 时，修改 $CMP11$ 的值 (<3>')。
- 但从改变 $CMP11$ 的值到将该值传送到寄存器需要 3 个计数时钟。即使在 3 个计数时钟内产生相等信号，新值不会被传送到寄存器
- <4> 当 8 位定时器计数器 H1 的计数值与 $CMP11$ 修改前的值 (M) 相等时，输出 $INTTMH1$ 信号、反转载波信号，并将定时器计数器清零(00H)。同时与 8 位定时器计数器 H1 比较的比较寄存器从 $CMP11$ 切换为 $CMP01$ 。
- <5> 由修改后的值 (L) 确定 8 位定时器计数器 H1 的计数值与 $CMP11$ 的值再次相等时的时序。

第九章 实时计数器

9.1 实时计数器的功能

实时计数器的特性如下。

- 具有年、月、星期、天、小时、分钟和秒的计数器，可以共计 99 年。
- 固定周期中断功能(周期: 1 月到 0.5 秒)
- 报警中断功能 (报警: 星期、小时、分钟)
- 间隔中断功能
- 1 Hz 的引脚输出功能
- 512 Hz 或 16.384 kHz 或 32.768 kHz 的引脚输出功能

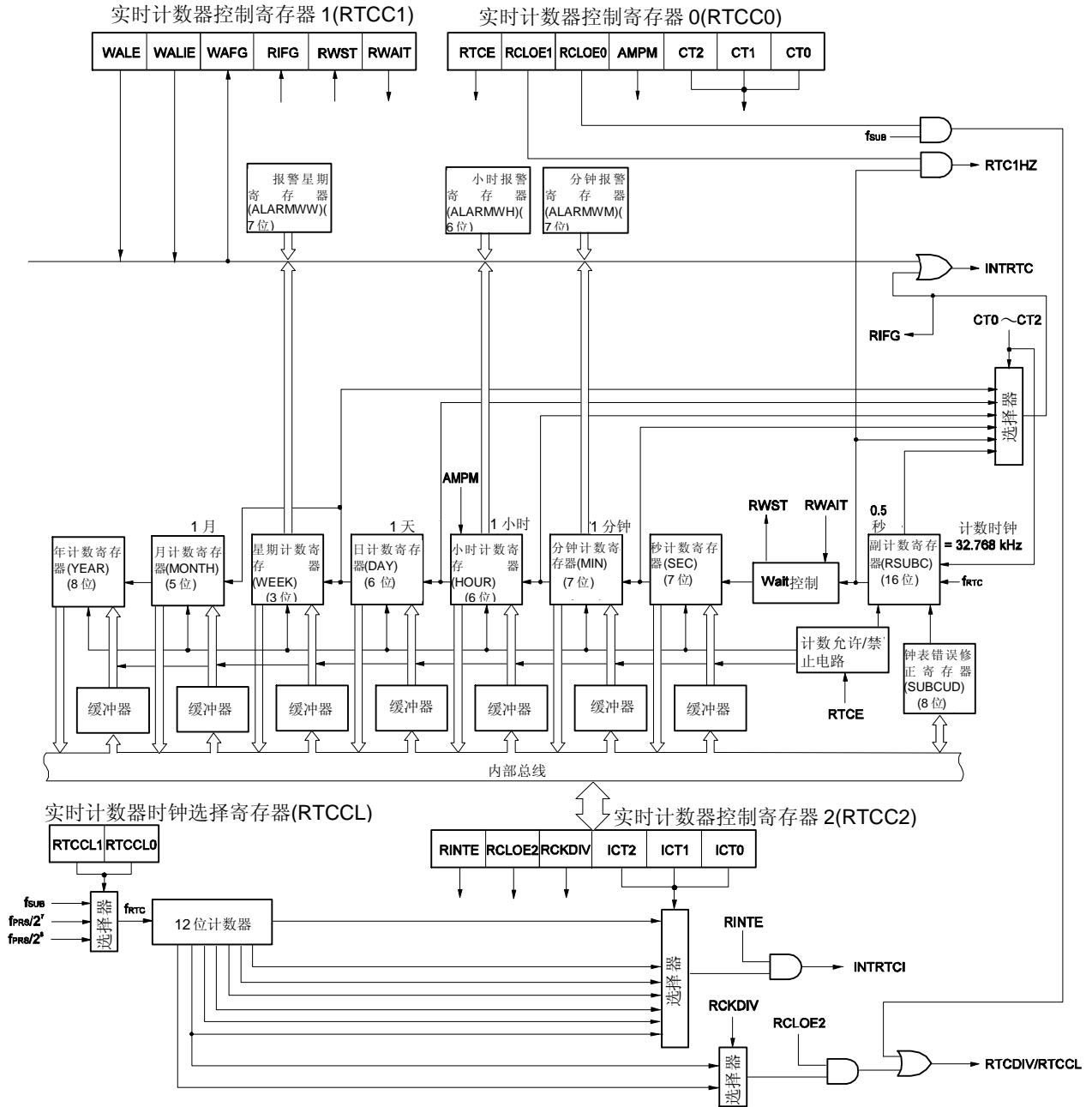
9.2 实时计数器的配置

实时计数器包括以下硬件。

表 9-1. 实时计数器的配置

项目	配置
控制寄存器	实时计数器时钟选择寄存器 (RTCCL)
	实时计数器控制寄存器 0 (RTCC0)
	实时计数器控制寄存器 1 (RTCC1)
	实时计数器控制寄存器 2 (RTCC2)
	副计数寄存器(RSUBC)
	秒计数寄存器 (SEC)
	分钟计数寄存器 (MIN)
	小时计数寄存器(HOUR)
	日计数寄存器 (DAY)
	星期计数寄存器(WEEK)
	月计数寄存器(MONTH)
	年计数寄存器 (YEAR)
	钟表错误修正寄存器(SUBCUD)
	分钟报警寄存器 (ALARMWM)
	小时报警寄存器(ALARMWH)
	报警星期寄存器(ALARMWW)

图 9-1. 实时计数器的框图



9.3 控制实时计数器的寄存器

以下 16 个寄存器用于控制实时计数器。

(1) 实时计数器时钟选择寄存器(RTCCL)

该寄存器可控制实时计数器模式。

可以由 1 位或 8 位存储器操作指令设置 RTCCL。

复位信号的产生对寄存器清零 (00H)。

图 9-2. 实时计数器时钟选择寄存器(RTCCL)的格式

地址: FF54H 复位后: 00H R/W

符号	7	6	5	4	3	2	<1>	<0>
RTCCL	0	0	0	0	0	0	RTCCL1	RTCCL0

RTCCL1	RTCCL0	控制实时计数器(RTC) 输入时钟(f_{RTC})
0	0	f_{SUB}
0	1	$f_{PRS}/2^7$
1	0	$f_{PRS}/2^8$
1	1	禁止设置

- 备注
- 当 $f_{PRS} = 4.19 \text{ MHz}$, $f_{RTC} = f_{PRS}/2^7 = 32.768 \text{ kHz}$
 - 当 $f_{PRS} = 8.38 \text{ MHz}$, $f_{RTC} = f_{PRS}/2^8 = 32.768 \text{ kHz}$

(2) 实时计数器控制寄存器 0 (RTCC0)

RTCC0 寄存器是 8 位寄存器，它用于启动或停止实时计数器操作、控制 RTCCL 和 RTC1HZ 引脚、设置 12 或 24 小时系统和固定周期中断功能。

可以由 1 位或 8 位存储器操作指令设置 RTCC0。

复位信号的产生对寄存器清零 (00H)。

图 9-3. 实时计数器控制寄存器 0 (RTCC0)的格式

地址: FF89H 复位后: 00H R/W

符号	<7>	6	<5>	<4>	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RCLOE0	AMPM	CT2	CT1	CT0
RTCE	实时计数器操作控制							
0	停止计数器操作。							
1	启动计数器操作。							
RCLOE1	RTC1HZ 引脚输出控制							
0	禁止 RTC1HZ 引脚输出(1 Hz)。							
1	允许 RTC1HZ 引脚输出 (1 Hz)。							
RCLOE0 [#]	RTCCL 脚输出控制							
0	禁止 RTCCL 引脚输出 (32.768 kHz)。							
1	允许 RTCCL 引脚输出 (32.768 kHz)。							
AMPM	选择12-/24小时系统							
0	12小时系统(a.m. 和 p.m. 显示)							
1	24小时系统							
<ul style="list-style-type: none"> • 改变 AMPM 的值, 要将 RWAIT (RTCC1 的第 0 位)置为 1, 并重置小时计数寄存器(HOUR)。 • 表 9-2 表示显示的时间识字显示。 								
CT2	CT1	CT0	选择固定周期中断(INTRTC)					
0	0	0	不用作固定周期中断功能					
0	0	1	每 0.5 s 一次(与秒累加同步)					
0	1	0	每 1 s 一次(与秒累加相同)					
0	1	1	每 1 m 一次(每分钟的 00 秒)					
1	0	0	每 1 小时一次 (每小时的 00 分钟 00 秒)					
1	0	1	每 1 天一次 (每天的 00 小时 00 分钟 00 秒)					
1	1	x	每 1 月一次 (每月的第 1 天 a.m 00 小时 00 分 00 秒)					
CT2 ~ CT0 值改变后, 将中断请求清零。								

注 不能同时允许 RCLOE0 和 RCLOE2 。

注意事项 当 RTCE = 1 时, 如果改变 RCLOE0 和 RCLOE1 , 32.768 kHz 和 1 Hz 输出信号将产生一个窄脉冲。

备注 x: 不必考虑

表 9-2. 时间数字显示

24 小时系统	12 小时系统	24 小时系统	12 小时系统
00	12 (AM12)	12	32 (PM12)
01	01 (AM1)	13	21 (PM1)
02	02 (AM2)	14	22 (PM2)
03	03 (AM3)	15	23 (PM3)
04	04 (AM4)	16	24 (PM4)
05	05 (AM5)	17	25 (PM5)
06	06 (AM6)	18	26 (PM6)
07	07 (AM7)	19	27 (PM7)
08	08 (AM8)	20	28 (PM8)
09	09 (AM9)	21	29 (PM9)
10	10 (AM10)	22	30 (PM10)
11	11 (AM11)	23	31 (PM11)

(3) 实时计数器控制寄存器 1 (RTCC1)

RTCC1 寄存器是 8 位寄存器，它用于控制报警中断功能和计数器等待时间。

可以由 1 位或 8 位存储器操作指令设置 RTCC1。

复位信号的产生对寄存器清零 (00H)。

图 9-4. 实时计数器控制寄存器 1 (RTCC1)的格式 (1/2)

地址: FF8AH 复位后: 00H R/W

符号	<7>	<6>	5	<4>	<3>	2	<1>	<0>
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	报警操作控制
0	相等操作无效
1	相等操作有效
设置报警寄存器 (WALIE 的 RTCC1 位, ALARMWMM 寄存器, ALARMMWH 寄存器和 ALARMWW 寄存器), 禁止 WALE (将其清零)。	

WALIE	控制报警中断(INTRTC)功能操作
0	报警相等时不产生中断。
1	报警相等时产生中断。

WAFG	报警检测状态标志
0	报警不相等
1	检测报警相等
此状态标志显示报警相等检测。仅当 WALE = 1 和检测到报警相等后置一时钟(32.768 kHz)为 1 时有效。此标志在写入“0”后清零, 写入“1”无效。	

图 9-4. 实时计数器控制寄存器 1 (RTCC1)的格式 (2/2)

RIFG	固定周期中断状态标志
0	不产生固定周期中断。
1	产生固定周期中断。
此标志显示固定周期中断产生状态。当固定周期中断产生，其置“1”。 此标志在写入“0”后清零，写入“1”无效。	

RWST	实时计数器等待状态标志
0	计数器操作。
1	读或写计数器值模式。
此状态标志显示 RWAIT 无论是否设置有效。 读或写计数器值前，确认此标志值为 1。	

RWAIT	等待控制实时计数器
0	设置计数器操作。
1	停止 SEC ~ YEAR 计数器。读或写计数器值模式。
此位控制计数器操作。 确保写入“1”，读或写计数器值。 因为 RSUBC 操作继续，在 1 秒内完成读或写，并将此位清零。 当 RWAIT = 1 时，它占用 1 个时钟 (32.768 kHz) 直到计数器值被读出或写入。 当 RWAIT = 1 时，如果 RSUBC 溢出，在 RWAIT = 0 后它累加。如果秒计数寄存器写入，因为 RSUBC 清零，它将不能累加。	

注意事项 如果写入 WAFG 标志执行 1 位操作指令，RIFG 标志将清零。因此，执行 WAFG 标志写入，必须使用 8 位操作指令，和此时将 RIFG 标志置为 1。同样，执行 RIFG 标志写入，使用 8 位操作指令和 WAFG 标志置 1。

备注 固定周期中断和报警相等中断使用相同的中断源 (INTRTC)。当同时使用这两种类型中断时，通过检查固定周期中断状态标志(RIFG)和报警检测状态标志(WAFG)，来判断 INTRTC 产生。

(4) 实时计数器控制寄存器 2 (RTCC2)

RTCC2 寄存器是 8 位寄存器，它用于控制间隔中断功能和 RTCDIV 引脚。

可以由 1 位或 8 位存储器操作指令设置 RTCC2。

复位信号的产生对寄存器清零 (00H)。

图 9-5. 实时计数器控制寄存器 2 (RTCC2) 的格式

地址: FF8BH 复位后: 00H R/W

符号	<7>	<6>	<5>	4	3	2	1	0
RTCC2	RINTE	RCLOE2	RCKDIV	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	选择间隔中断(INTRTCI)
0	×	×	×	不产生间隔中断
1	0	0	0	$2^6/f_{RTC}$ (1.953125 ms)
1	0	0	1	$2^7/f_{RTC}$ (3.90625 ms)
1	0	1	0	$2^8/f_{RTC}$ (7.8125 ms)
1	0	1	1	$2^9/f_{RTC}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{RTC}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{RTC}$ (62.5 ms)
1	1	1	×	$2^{12}/f_{RTC}$ (125 ms)

当 RINTE = 0 时，更改 ICT2, ICT1 和 ICT0。

RCLOE2*	RTCDIV 引脚输出控制
0	禁止 RTCDIV 引脚输出。
1	允许 RTCDIV 引脚输出。

RCKDIV	选择 RTCDIV 引脚输出频率
0	RTCDIV 引脚输出 512 Hz.
1	RTCDIV 引脚输出 16.384 kHz.

注 不能同时允许 RCLOE0 和 RCLOE2。

注意事项 当 RTCDIV 引脚输出停止，在最多 2 个 f_{RTC} 时钟和进入低电平后输出继续。当进入高电平后，输出 512 Hz 和输出立刻停止时，产生至少 1 个 f_{XT} 时钟宽度的脉冲。

(5) 副计数寄存器(RSUBC)

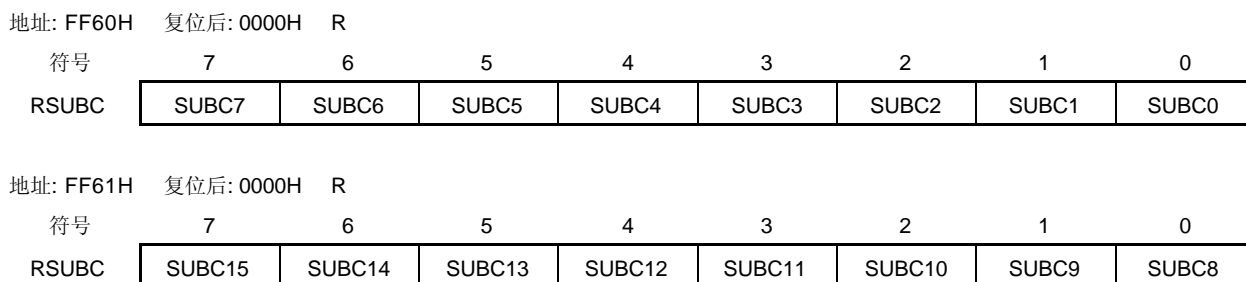
RSUB 寄存器是 16 位寄存器，是实时计数器 1 秒的计数标准时间。它可置 0000H ~ 7FFFH 的值和计数 32.768 kHz 时钟的 1 秒钟。

可以 16 位存储器操作指令设置 RSUBC。

复位信号的产生对寄存器清零 (0000H)。

- 注意事项**
1. 当使用 SUBCU 寄存器纠正，值将变为 8000H 或更多。
 2. 可由写入秒计数寄存器产生复位将该寄存器清零。
 3. 在操作期间读取该寄存器，因为读出值改变，不能保证读出值。

图 9-6. 副计数寄存器(RSUBC)的格式

**(6) 秒计数寄存器 (SEC)**

SEC 寄存器是 8 位寄存器，为 0~59 (十进制) 值和显示计数的秒值。

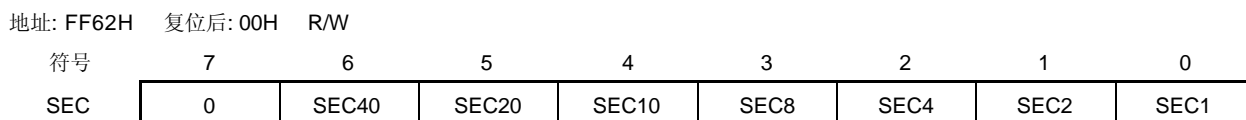
当副计数器溢出它将开始计数。

当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 0~59 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。

可以 8 位存储器操作指令设置 SEC。

复位信号的产生对寄存器清零 (00H)。

图 9-7. 秒计数寄存器 (SEC)的格式



(7) 分钟计数寄存器 (MIN)

MIN 寄存器是 8 位寄存器，为 0~59（十进制）值和显示计数的分钟值。

当秒计数器溢出它将开始计数。

当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 0~59 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。

可以 8 位存储器操作指令设置 MIN。

复位信号的产生对寄存器清零（00H）。

图 9-8. 分钟计数寄存器 (MIN) 的格式

地址: FF63H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(8) 小时计数寄存器(HOUR)

HOUR 寄存器是 8 位寄存器，为 0~23 或 1~12（十进制）值和显示计数的小时值。

当分钟计数器溢出它将开始计数。

当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 00~23、01~12 或 21~23 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。

可以 8 位存储器操作指令设置 HOUR。

复位信号的产生将寄存器置为 12H。

如果当 AMPM 位置为 1，复位后该寄存器的值清零(00H)。

图 9-9. 小时计数寄存器(HOUR)的格式

地址: FF64H 复位后: 12H R/W

符号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意事项 当 AMPM = 0 (如果选择 12 小时系统)，HOUR 的第 5 位 (HOUR20) 显示 AM(0)/PM(1)。

(9) 日计数寄存器 (DAY)

HOUR 寄存器是 8 位寄存器，为 31（十进制）值和显示计数的天数值。

当小时计数器溢出它将开始计数。

计数器计数如下。

- 01 ~ 31 (一月、三月、五月、七月、八月、十月、十二月)
- 01 ~ 30 (四月、六月、九月、十一月)
- 01 ~ 29 (二月、闰年)
- 01 ~ 28 (二月、正常年)

当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 00~31 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。

可以 8 位存储器操作指令设置 DAY。

复位信号的产生将寄存器置为 01H。

图 9-10. 日计数寄存器 (DAY)的格式

地址: FF66H 复位后: 01H R/W

符号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(10) 星期计数寄存器(WEEK)

WEEK 寄存器是 8 位寄存器，为 0~6（十进制）值和显示计数的星期值。

当日计数器溢出它将开始计数。

当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 00~06 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。

可以 8 位存储器操作指令设置 WEEK。

复位信号的产生将寄存器置为 00H。

如果当 AMPM 位置为 1，复位后该寄存器的值清零(00H)。

图 9-11. 星期计数寄存器(WEEK)的格式

地址: FF65H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

(11) 月计数寄存器 (MONTH)

MONTH 寄存器是 8 位寄存器，为 0~12（十进制）值和显示计数的月值。

当日计数器溢出它将开始计数。

当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 01~12 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。

可以 8 位存储器操作指令设置 MONTH。

复位信号的产生将寄存器置为 01H。

图 9-12. 月计数寄存器 (MONTH)的格式

地址: FF67H 复位后: 01H R/W

符号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(12) 年计数寄存器 (YEAR)

YEA 寄存器是 8 位寄存器，为 0~99（十进制）值和显示计数的月值。

当月计数器溢出它将开始计数。

计数器计数如下。

00, 04, 08, ..., 92 和 96 显示闰年

当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 00~99 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。

可以 8 位存储器操作指令设置 YEAR。

复位信号的产生将寄存器置为 00H。

图 9-13. 年计数寄存器 (YEAR)的格式

地址: FF68H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(13) 钟表计数寄存器 (SUBCUD)

该寄存器用作纠正副计数器(RSUBC)的计数值。

可以 8 位存储器操作指令设置 SUBCUD。

复位信号的产生将寄存器置为 00H。

图 9-14. 钟表计数寄存器 (SUBCUD) 的格式

地址: FF82H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0
DEV	设置钟表纠错时间							
0	当秒数字为 00, 20 或 40 时纠正钟表错误。							
1	仅当秒数字为 00 时纠正钟表错误。							
F6	设置钟表纠错方法							
0	由 $\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2$ 增大							
1	由 $\{(/F5, /F4, /F3, /F2, /F1, /F0) + 1\} \times 2$ 减小							
当 (F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) 时, 钟表错误不能修正。 /F5 ~ /F0 相应的位反向值(000011 当 111100)。								

(14) 分钟报警寄存器 (ALARMWM)

该寄存器用作设置分钟报警。

可以 8 位存储器操作指令设置 ALARMWM。

复位信号的产生将寄存器置为 00H。

注意事项 以 BCD 码设置 00 ~ 59 十进制数到该寄存器。如果设置的值超出范围, 报警将不检测。

图 9-15. 分钟报警寄存器 (ALARMWM) 的格式

地址: FF86H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(15) 小时报警寄存器(ALARMWH)

该寄存器用作设置小时报警。

可以 8 位存储器操作指令设置 ALARMWH。

复位信号的产生将寄存器置为 12H。

注意事项 以 BCD 码设置 00 ~ 23、01 ~ 12 或 21 ~ 32 十进制数到该寄存器。如果设置的值超出范围，报警将不检测。

图 9-16. 小时报警寄存器(ALARMWH)的格式

地址: FF87H 复位后: 12H R/W

符号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意事项 如果 AMPM = 0 (选择 12 小时系统)，ALARMWH 的第 5 位 (WH20) 显示 AM(0)/PM(1)。

(16) 报警星期寄存器(ALARMWW)

该寄存器用作设置报警数据。

可以 8 位存储器操作指令设置 ALARMWW。

复位信号的产生将寄存器置为 00H。

注意事项 以 BCD 码设置 00 ~ 23、01 ~ 12 或 21 ~ 32 十进制数到该寄存器。如果设置的值超出范围，报警将不检测。

图 9-17. 报警星期寄存器(ALARMWW)的格式

地址: FF88H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

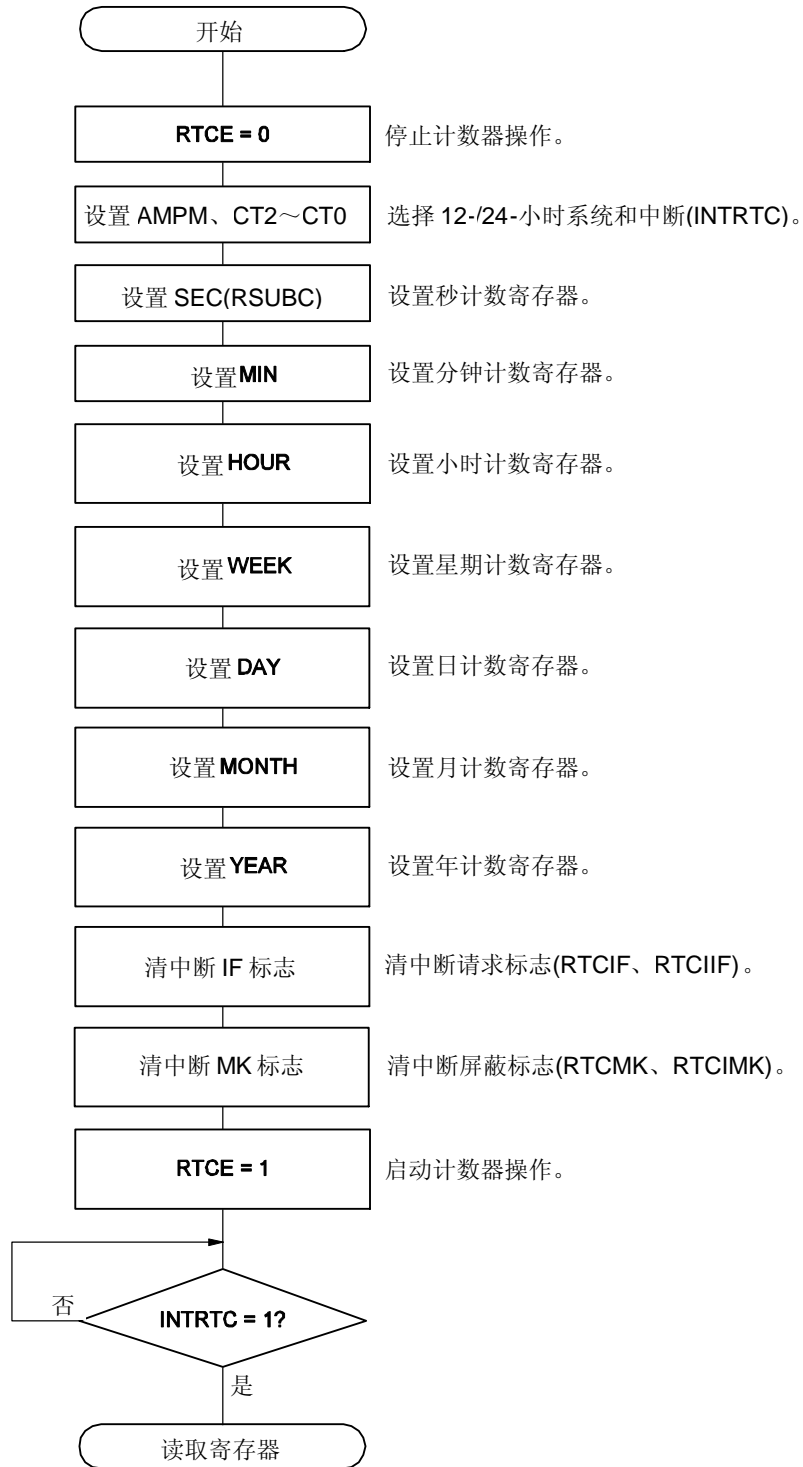
以下是设置报警的示例。

报警时间	日							12 小时显示				24 小时显示			
	星期日	星期一	星期二	星期三	星期四	星期五	星期六	小时 10	小时 1	分钟 10	分钟 1	小时 10	小时 1	分钟 10	分钟 1
	W W 0	W W 1	W W 2	W W 3	W W 4	W W 5	W W 6								
每天 0:00 a.m.	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
每天 1:30 a.m.	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
每天 11:59 a.m.	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
星期一到星期五 0:00 p.m.	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
星期日 1:30 p.m.	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
星期一、星期三、星期五 11:59 p.m.	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

9.4 实时计数器的操作

9.4.1 启动实时计数器的操作

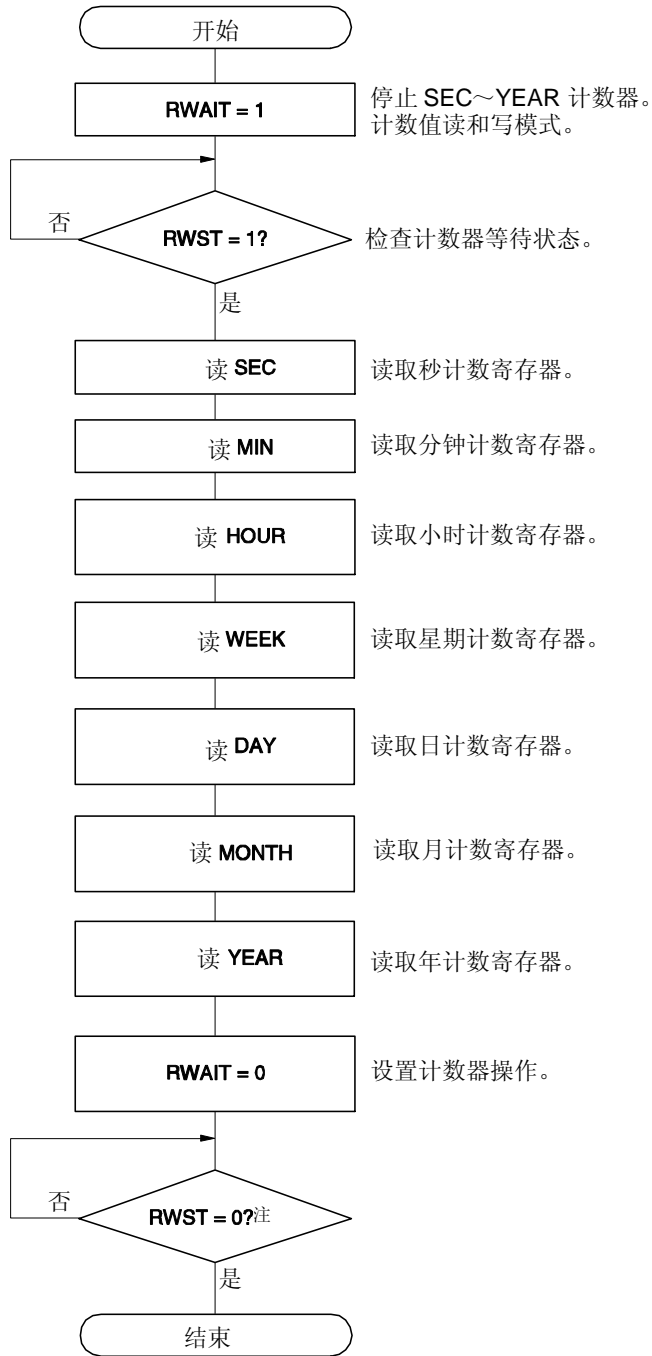
图 9-18. 启动实时计数器的操作流程



9.4.2 读/写实时计数器

当 $RWAIT = 1$ 时，读出或写入计数器。

图 9-19. 读出实时计数器的操作流程

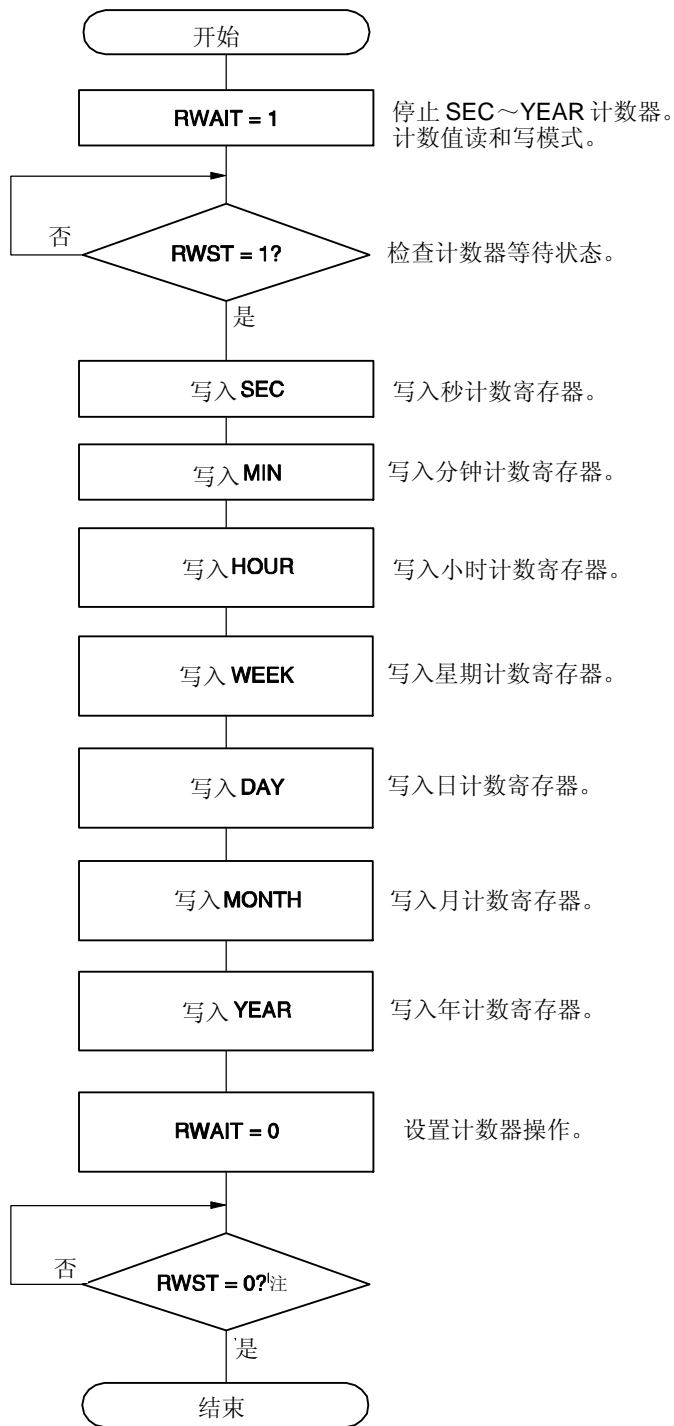


注 设置 STOP 模式前必须置 $RWST = 0$ 。

注意事项 在 1 秒内完成置 $RWAIT$ 为 1 到清 $RWAIT$ 为 0 的连续操作。

备注 SEC, MIN, HOUR, WEEK, DAY, MONTH 和 YEAR 将顺次读出。
不用设置所有的寄存器，仅部分寄存器可被读出。

图 9-20. 写入实时计数器的操作流程



注 设置 STOP 模式前必须置 RWST = 0。

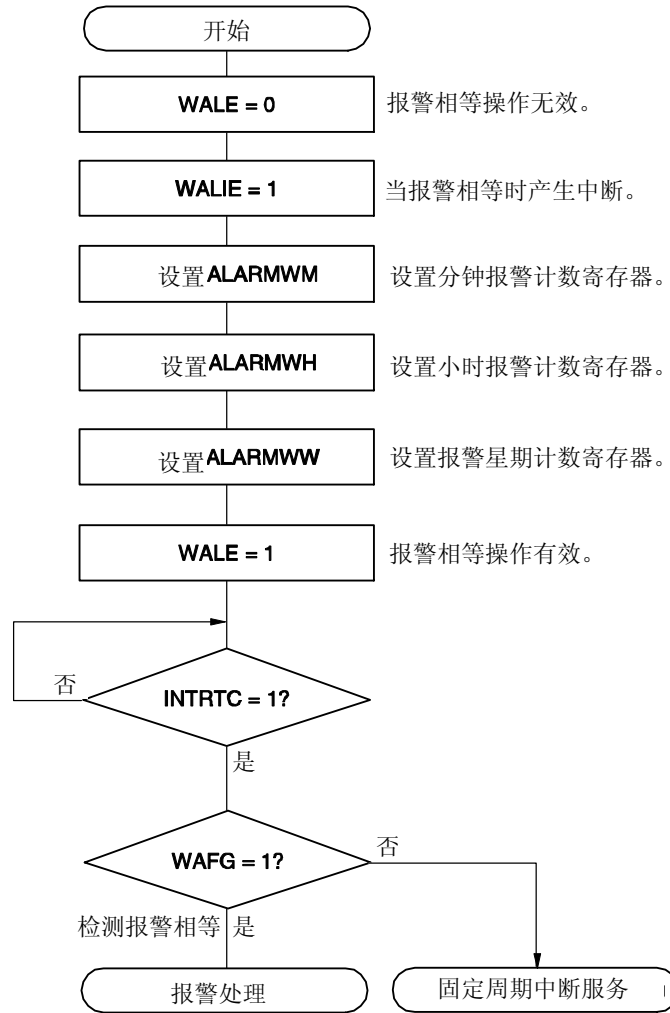
注意事项 在 1 秒内完成置 RWAIT 为 1 到清 RWAIT 为 0 的连续操作。

备注 SEC, MIN, HOUR, WEEK, DAY, MONTH 和 YEAR 将顺次读出。
不用设置所有的寄存器，仅部分寄存器可被读出。

9.4.3 设置实时计数器报警

当 $WALE = 0$ 时，设置报警时间。

图 9-21. 报警设置流程图



备注

1. 可以以任意顺序写入 ALARMWM, ALARMWH 和 ALARMWW。
2. 固定周期中断和报警相等中断使用相同的中断源 (INTRTC)。当同时使用这两种类型中断时，通过检查固定周期中断状态标志(RIFG)和报警检测状态标志(WAFG)，来判断 INTRTC 产生。

第十章 看门狗定时器

10.1 看门狗定时器的功能

看门狗定时器使用内部低速振荡时钟。

看门狗定时器用于检测不期望出现的程序循环。如果检测到一个程序循环，将产生一个内部复位信号。出现以下情况时检测程序循环。

- 如果看门狗定时器计数器溢出
- 如果对看门狗定时器允许寄存器(WDTE)执行 1 位操作指令。
- 如果将“ACH”以外的数据写入 WDTE
- 如果在窗口关闭期间将数据写入 WDTE
- 如果从没有通过 IMS 和 IXS 寄存器设置的区域获取指令(在 CPU 挂起时检查是否有无效校验)
- 如果因为执行 1 条读/写指令，CPU 访问了没有通过 IMS 和 IXS 寄存器设置的区域(FB00H ~ FFFFH 除外) (CPU 程序循环期间检测是否有非法访问)

当由看门狗定时器产生复位时，复位控制标志寄存器 (RESF) 的第 4 位 (WDTRF) 置 1。需要了解 RESF 的详细信息，可以参阅 **第二十四章 复位功能**。

10.2 看门狗定时器的配置

看门狗定时器包含以下硬件。

表 10-1. 看门狗定时器的配置

项目	配置
控制寄存器	看门狗定时器允许寄存器 (WDTE)

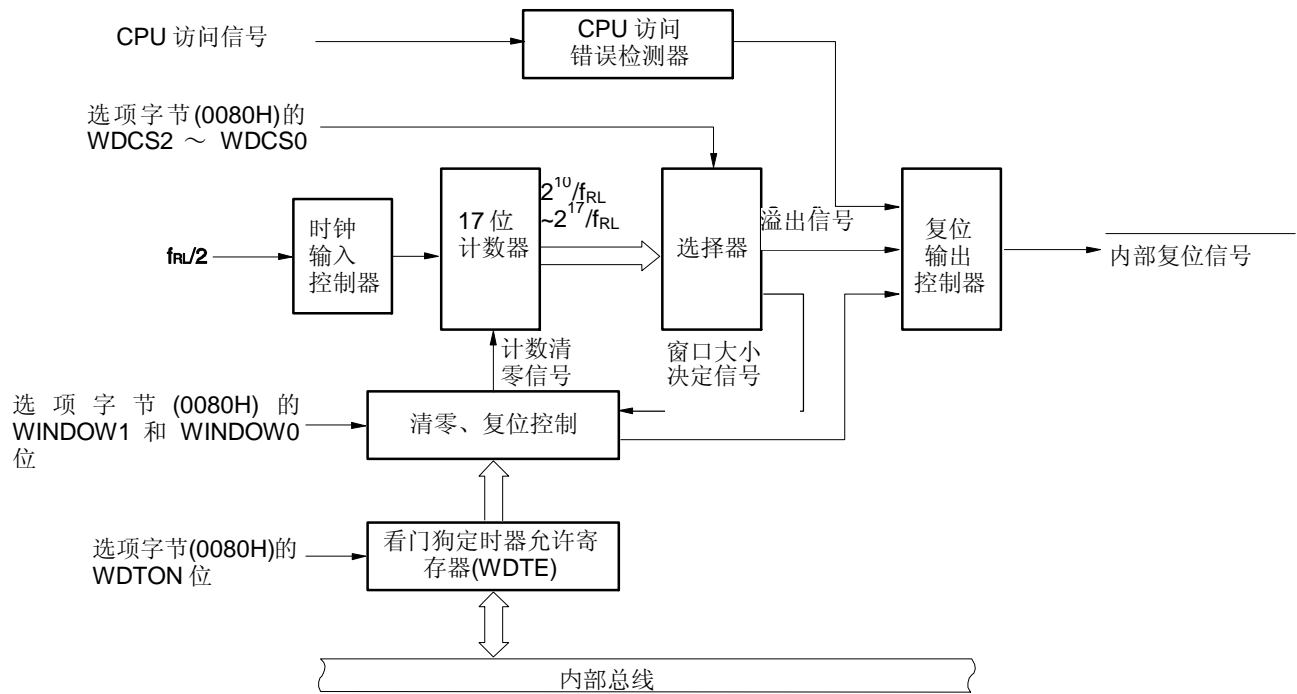
由选项字节设置如何控制计数器的操作、溢出时间和窗口打开周期。

表 10-2. 选项字节和看门狗定时器的设置

看门狗定时器的设置	选项字节 (0080H)
窗口打开周期	第6位和第5位(WINDOW1, WINDOW0)
控制看门狗定时器的计数器操作	第4位 (WDTON)
看门狗定时器的溢出时间	第3位 ~ 第1位(WDCS2 ~ WDCS0)

备注 需要了解选项字节的内容，可参见 第二十七章 选项字节。

图 10-1. 看门狗定时器的框图



10.3 控制看门狗定时器的寄存器

看门狗定时器由看门狗定时器允许寄存器(WDTE)控制。

(1) 看门狗定时器允许寄存器(WDTE)

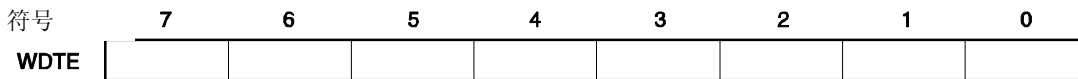
将 ACH 写入 WDTE 可以对看门狗定时器计数器清零并再次开始计数操作。

可以由 8 位存储器操作指令设置该寄存器。

复位信号的产生将该寄存器设置为 9AH 或 1AH^注。

图 10-2. 看门狗定时器允许寄存器 (WDTE) 的格式

地址 : FF99H 复位后 : 9AH/1AH^注 R/W



注 WDTE 的复位后的值随选项字节(0080H)的 WDTON 位的设置值而变化。 如果要对看门狗定时器进行操作，设置 WDTON = 1。

WDTON 设置值	WDTE 复位值
0 (禁止看门狗定时器计数的操作)	1AH
1 (允许看门狗定时器计数的操作)	9AH

- 注意事项
1. 如果写入 WDTE 的值不是 ACH，将产生一个内部复位信号。如果看门狗定时器的时钟源被停止，则当看门狗定时器的时钟源恢复操作时，将产生内部复位信号。
 2. 如果使用 1 位存储器操作指令对 WDTE 进行操作，将产生一个内部复位信号。如果看门狗定时器的时钟源被停止，当提供给看门狗定时器的时钟源恢复操作时，将产生内部复位信号。
 3. 从 WDTE 读取的值为 9AH/1AH（与写入值（ACH）不同）。

10.4 看门狗定时器的操作

10.4.1 看门狗定时器的控制操作

1. 当使用看门狗定时器时，由选项字节(0080H)指定其操作。
 - 通过设置选项字节(0080H)的第 4 位(WDTON)=1，允许看门狗定时器的计数操作(复位释放后计数器开始计数)(如需了解详细信息，可参见 第二十七章)。

WDTON	看门狗定时器计数器的操作控制/非法访问检测
0	禁止计数器操作(复位后停止计数)，禁止非法访问检测操作
1	允许计数器操作(复位后开始计数)，允许非法访问检测操作

- 通过使用选项字节(0080H)的第 3 位~第 1 位(WDCS2 ~ WDCS0)设置溢出时间(如需了解详细信息，参见 10.4.2 和 第二十七章)。
 - 通过使用选项字节(0080H)的第 6 位和第 5 位(WINDOW1 和 WINDOW0)设置窗口打开周期(如需了解详细信息，参见 10.4.3 和 第二十七章)。
2. 复位释放后，看门狗定时器开始计数。
 3. 在看门狗定时器开始计数后且在达到选项字节设置的溢出时间之前，将“ACH”写入 WDTE，看门狗定时器将被清零并再次开始计数。
 4. 在这之后，在复位释放后的第二次或其后的窗口打开周期期间写 WDTE。如果在窗口关闭期间写 WDTE，则会产生内部复位信号。
 5. 如果已经历了溢出时间还没有将“ACH”写入 WDTE，则会产生内部复位信号。出现以下情况时会产生内部复位信号。
 - 如果对看门狗定时器允许寄存器(WDTE)执行位操作指令时。
 - 如果将“ACH”以外的数据写入 WDTE。
 - 如果从没有通过 IMS 和 IXS 寄存器设置的区域获取指令(在 CPU 程序循环期间检查是否有无效校验)
 - 如果因为执行 1 条读/写指令，CPU 访问了没有通过 IMS 和 IXS 寄存器设置的区域(FB00H ~ FFFFH 除外)(CPU 程序循环期间检测是否有非法访问)

- 注意事项**
1. 复位释放后对 WDTE 进行第一次写操作，将清零看门狗定时器，如果这一操作是在到达溢出时间之前进行的而不管写操作时序，看门狗定时器再次开始计数。
 2. 如果通过将“ACH”写入 WDTE 来对看门狗定时器清零，则实际的溢出时间可能与由选项字节设置的溢出时间不同，最高可达 $2/f_{RL}$ 秒。
 3. 在计数值溢出(FFFFH)之前，可将看门狗定时器立即清零。

注意事项 4. 在 HALT 和 STOP 模式下看门狗定时器的操作依据选项字节第 0 位(LSROSC)的设置值的不同而不同，如下所示。

	LSROSC = 0 (可由软件停止内部低速振荡器)	LSROSC = 1 (不能停止内部低速振荡器)
HALT 模式	看门狗定时器操作停止	看门狗定时器操作继续
STOP 模式		

如果 LSROSC = 0，则在 HALT 或 STOP 模式释放后看门狗定时器恢复计数。此时，不对计数器清零，而从计数器停止时的值开始计数。

如果在 LSROSC = 0 时通过设置 LSRSTOP(内部振荡模式寄存器(RCM)的第 1 位=1)停止内部低速振荡器的振荡，则看门狗定时器停止操作。此时不对计数器清零(0)。

<R> 5. 在闪存自编程和 EEPROM™ 仿真期间看门狗定时器不停止操作。在处理期间中断响应被延迟。设置溢出时间和窗口大小时，应考虑延迟。

10.4.2 看门狗定时器溢出时间的设置

通过使用选项字节(0080H)的第 3 位~第 1 位(WDCS2 ~ WDCS0)，设置看门狗定时器的溢出时间。

如果出现溢出，则将产生内部复位信号。在到达溢出时间之前且在窗口打开周期内通过将“ACH”写入 WDTE，可对当前计数值清零，且看门狗定时器再次开始计数。

溢出时间设置如下所示。

表 10-3. 看门狗定时器溢出时间的设置

WDCS2	WDCS1	WDCS0	看门狗定时器的溢出时间
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

注意事项 1. 禁止出现 WDCS2 = WDCS1 = WDCS0 = 0 且 WINDOW1 = WINDOW0 = 0 的情况。

<R> 2. 在闪存自编程和 EEPROM 仿真期间看门狗定时器不停止操作。在处理期间中断响应被延迟。设置溢出时间和窗口大小时，应考虑延迟。

备注 1. f_{RL} : 内部低速振荡时钟频率

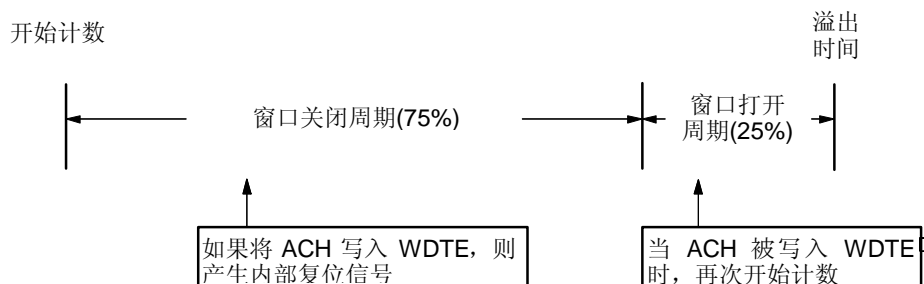
2. (): $f_{RL} = 264 \text{ kHz (MAX.)}$

10.4.3 看门狗定时器窗口打开周期的设置

通过使用选项字节(0080H)的第6位和第5位(WINDOW1, WINDOW0), 设置看门狗定时器的窗口打开周期。窗口使用情况描述如下。

- 如果在窗口打开期间将“ACH”写入 WDTE, 则对看门狗定时器清零并再次开始计数。
- 在窗口关闭期间即使将“ACH”写入 WDTE, 也会检测到异常情况, 并产生内部复位信号。

举例: 如果窗口打开周期为 25%



注意事项 复位释放后对 WDTE 进行第一次写操作, 将清零看门狗定时器, 如果这一操作是在到达溢出时间之前进行的而不管写操作时序, 看门狗定时器再次开始计数。

窗口打开周期设置如下所示。

表 10-4. 看门狗定时器窗口打开周期的设置

WINDOW1	WINDOW0	看门狗定时器的窗口打开周期
0	0	25%
0	1	50%
1	0	75%
1	1	100%

注意事项 1. 禁止出现 $WDCS2 = WDCS1 = WDCS0 = 0$ 且 $WINDOW1 = WINDOW0 = 0$ 的情况。

2. 在闪存自编程和 EEPROM 仿真期间看门狗定时器不停止操作。在处理阶段中断响应被延迟。设置溢出时间和窗口大小时, 应考虑延迟。

<R>

备注 如果将溢出时间设置为 $2^{10}/f_{RL}$ ，则窗口关闭时间和打开时间如下所示。

	窗口打开周期的设置			
	25%	50%	75%	100%
窗口关闭时间	0 ~ 3.56 ms	0 ~ 2.37 ms	0 ~ 0.119 ms	无
窗口打开时间	3.56 ~ 3.88 ms	2.37 ~ 3.88 ms	0.119 ~ 3.88 ms	0 ~ 3.88 ms

<当窗口打开周期为 25%>

- 溢出时间:

$$2^{10}/f_{RL} (\text{MAX.}) = 2^{10}/264 \text{ kHz} (\text{MAX.}) = 3.88 \text{ ms}$$

- 窗口关闭时间:

$$0 \text{ to } 2^{10}/f_{RL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{10}/216 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 3.56 \text{ ms}$$

- 窗口打开时间:

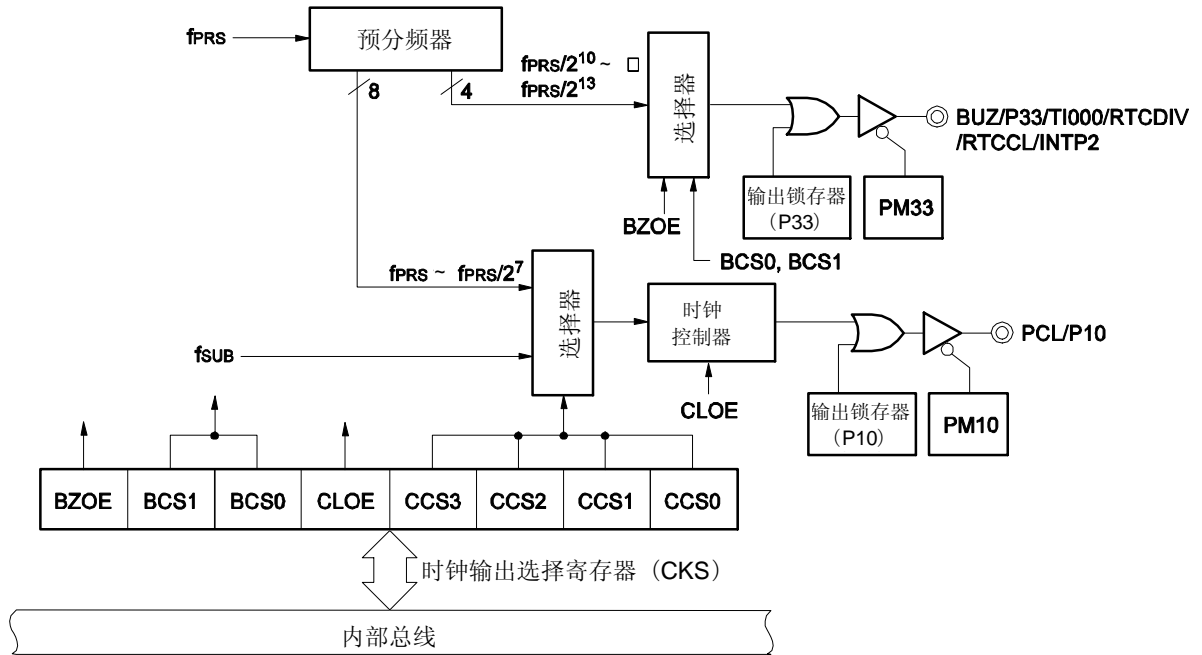
$$2^{10}/f_{RL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{10}/f_{RL} (\text{MAX.}) = 2^{10}/216 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{10}/264 \text{ kHz} (\text{MAX.}) \\ = 3.56 \sim 3.88 \text{ ms}$$

11.1 时钟输出/蜂鸣器输出控制器的功能

时钟输出控制器用于遥控控制发送过程中的载波输出和用于提供外设 ICs 的时钟输出。除此之外，蜂鸣器输出用于由 CKS 选择的蜂鸣器频率的方波输出。

图 11-1 显示了时钟输出/蜂鸣器输出控制器的框图。

图 11-1. 时钟输出/蜂鸣器输出控制器的框图



11.2 时钟输出/蜂鸣器输出控制器的配置

时钟输出/蜂鸣器输出控制器包括以下硬件。

表 11-1. 时钟输出/蜂鸣器输出控制器的配置

项目	配置
控制寄存器	时钟输出选择寄存器(CKS) 端口模式寄存器 3 (PM3) 端口寄存器 3 (P3) 端口模式寄存器 1 (PM1) 端口寄存器 1 (P1)

11.3 时钟输出/蜂鸣器输出控制器的寄存器

以下两个寄存器用于控制时钟输出/蜂鸣器输出控制器。

- 时钟输出选择寄存器 (CKS)
- 端口模式寄存器 3 (PM3)
- 端口模式寄存器 1 (PM1)

(1) 时钟输出选择寄存器(CKS)

该寄存器用于设置时钟输出 (PCL) 和蜂鸣器频率输出 (BUZ) 的输出允许/禁止, 并设置输出时钟。

可以由 1 位或 8 位存储器操作指令设置 CKS。

复位信号的产生将 CKS 清零 (00H)。

图 11-2. 时钟输出选择寄存器的格式(CKS)

地址: FF40H 复位后: 00H R/W

符号	<7>	6	5	<4>	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZ 输出允许/禁止
0	停止时钟分频电路的操作。BUZ 固定为低电平。
1	允许时钟分频电路的操作。BUZ 输出允许。

BCS1	BCS0	BUZ 输出时钟选择		
			f _{PRS} = 5 MHz	f _{PRS} = 10 MHz
0	0	f _{PRS} /2 ¹⁰	4.88 kHz	9.77 kHz
0	1	f _{PRS} /2 ¹¹	2.44 kHz	4.88 kHz
1	0	f _{PRS} /2 ¹²	1.22 kHz	2.44 kHz
1	1	f _{PRS} /2 ¹³	0.61 kHz	1.22 kHz

CLOE	PCL 输出允许/禁止
0	停止时钟分频电路的操作。PCL 固定为低电平。
1	允许时钟分频电路的操作。PCL 输出允许。

CCS3	CCS2	CCS1	CCS0	PCL 输出时钟选择 ^{注1}			
				f _{SUB} = 32.768 kHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	0	f _{PRS} ^{注2}	-	5 MHz	10 MHz
0	0	0	1	f _{PRS} /2		2.5 MHz	5 MHz
0	0	1	0	f _{PRS} /2 ²		1.25 MHz	2.5 MHz
0	0	1	1	f _{PRS} /2 ³		625 kHz	1.25 MHz
0	1	0	0	f _{PRS} /2 ⁴		312.5 kHz	625 kHz
0	1	0	1	f _{PRS} /2 ⁵		156.25 kHz	312.5 kHz
0	1	1	0	f _{PRS} /2 ⁶		78.125 kHz	156.25 kHz
0	1	1	1	f _{PRS} /2 ⁷		39.062 kHz	78.125 kHz
1	0	0	0	f _{SUB}	32.768 kHz	-	
除了上述之外				禁止设置			

<R> 注 1. 如果外设硬件时钟 (f_{PRS}) 工作在高速系统时钟时 (f_{XH}) (XSEL = 1), f_{PRS} 的工作频率随供电电压变化。

- V_{DD} = 2.7 to 5.5 V: f_{PRS} ≤ 10 MHz
- V_{DD} = 1.8 to 2.7 V: f_{PRS} ≤ 5 MHz

2. 如果外设硬件时钟(f_{PRS}) 工作在内部高速振荡器时钟时(f_{RH}) (XSEL = 0), 当 1.8 V ≤ V_{DD} < 2.7 V 时, CCS3 = CCS2 = CCS1 = CCS0 = 0 (PCL 的输出时钟: f_{PRS}) 设置被禁止。

注意事项 1. 当禁止蜂鸣器输出工作时(BZOE = 0), 设置 BCS1 和 BCS0。

2. 当禁止时钟输出工作时(CLOE = 0), 设置 CCS3~CCS0。

备注 1. f_{PRS}: 外设硬件时钟频率

2. f_{SUB}: 副系统时钟频率

(2) 端口模式寄存器 3 (PM3)

该寄存器用于设置端口 3 的位选输入/输出操作模式。

当使用 P33/TI000/RTCDIV/RTCCL/BUZ/INTP2 引脚作为蜂鸣器输出时，设置 PM33 及其输出锁存器的值为 0。

可以由 1 位或 8 位存储器操作指令设置 PM3。

复位信号产生将 PM3 设置为 FFH。

图 11-3. 端口模式寄存器 3 (PM3) 的格式

地址: FF23H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	1

PM3n	P3n 引脚 I/O 模式选择 (n = 1 ~ 4)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

(3) 端口模式寄存器 1 (PM1)

该寄存器用于设置端口 1 的位选输入/输出操作模式。

当使用 P10/PCL 引脚作为时钟输出时,清除 PM10 和使 P10 输出锁存为 0。

可以由 1 位或 8 位存储器操作指令设置 PM1。

复位信号产生将 PM1 设置为 FFH。

图 11-4. 端口模式寄存器 (PM1) 格式

地址: FF21H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n 引脚 I/O 模式选择 (n = 0 ~ 7)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

11.4 时钟输出/蜂鸣器输出控制器的操作

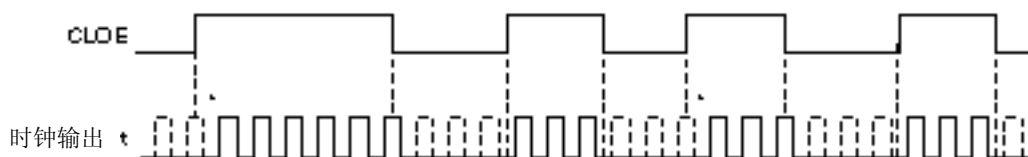
11.4.1 时钟输出操作

时钟脉冲按照如下步骤输出。

- <1> 通过时钟输出选择寄存器(CKS) (时钟脉冲输出为禁止状态)的 0 ~ 3 位(CCS0 ~CCS3) 选择时钟脉冲输出频率。
- <2> 通过设置 CKS 的第 4 位 (CLOE)为 1 来使能时钟输出。

备注 时钟输出控制器不利用时钟输出开关的输出允许/禁止期间的小宽度输出脉冲，如图 11-5,确保低电平时钟周期启动时钟输出(图中标记*), 高电平时钟周期之后停止时钟输出。

图 11-5. 遥控控制输出应用示例



11.4.2 蜂鸣器输出操作

蜂鸣器输出按照如下步骤输出。

- <1> 通过时钟输出选择寄存器(CKS) (蜂鸣器输出为禁止状态)的第 5 和 6 位 (BCS0, BCS1) , 选择蜂鸣器输出频率。
- <2> 设置 CKS 的第 7 位 (BZOE)为 1 用以使能蜂鸣器输出。

第十二章 10 位逐次逼近型 A/D 转换器 (仅限于 μ PD78F048x 和 78F049x)

12.1 10 位逐次逼近型 A/D 转换器的功能

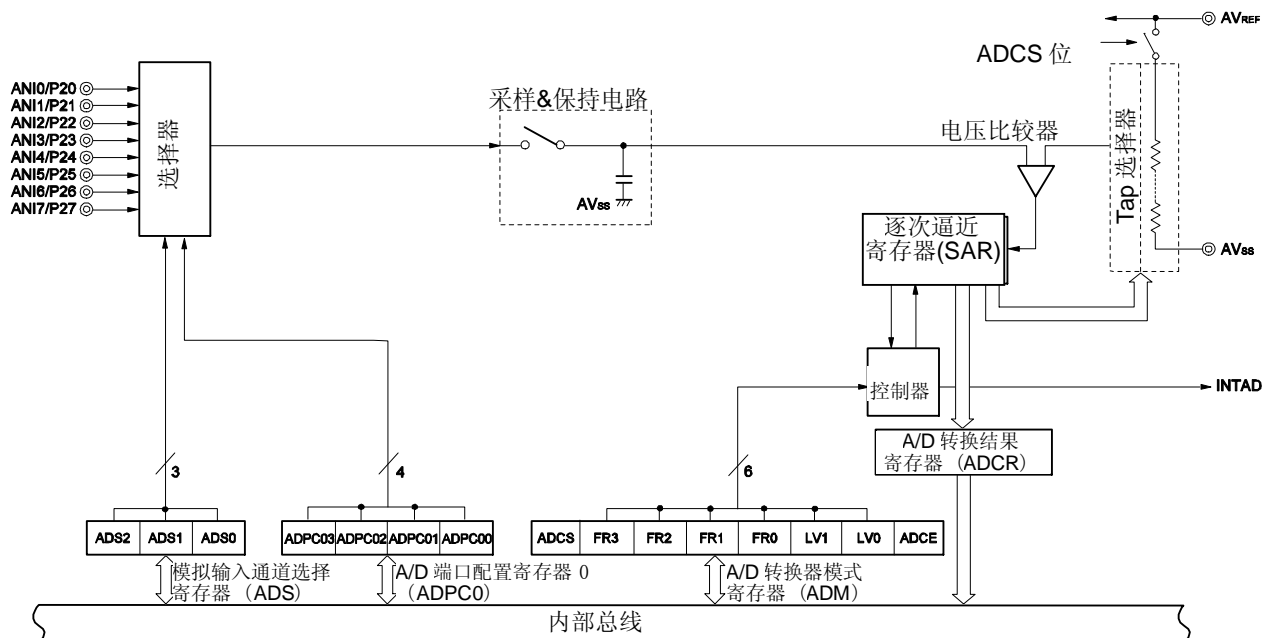
10 位逐次逼近型 A/D 转换器用于将模拟输入信号转换为数字信号，最多可由 8 个通道(ANI0 ~ ANI7)组成，具有 10 位分辨率。

A/D 转换器有以下功能。

- 10 位分辨率 A/D 转换

从模拟输入 ANI0~ANI7 中选择一个通道，重复执行 10 位分辨率 A/D 转换。每次 A/D 转换结束，都可以产生一个中断请求(INTAD)。

图 12-1. 10 位逐次逼近型 A/D 转换器的框图



12.2 10 位逐次逼近型 A/D 转换器的配置

10 位逐次逼近型 A/D 转换器包括以下硬件。

(1) ANI0 ~ ANI7 引脚

这些是 8 通道 10 位逐次逼近型 A/D 转换器的模拟输入引脚。这些引脚采集模拟信号并将其转变成数字信号。除了那些被选为模拟输入的引脚外，其它引脚均可用作 I/O 端口引脚或是 segment 输出引脚(仅限于 μ PD78F048x)。

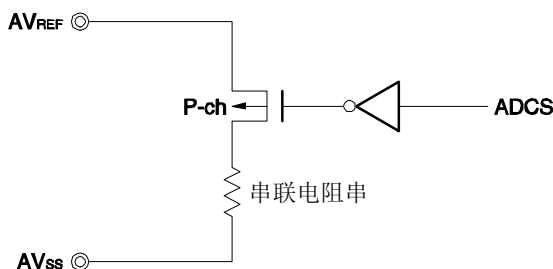
(2) 采样&保持电路

采样&保持电路在 A/D 转换器启动时用于采样由选择器选择的模拟输入引脚的输入电压，并在 A/D 转换期间保持采样到的电压值。

(3) 串联电阻串

串联电阻串用于连接 AV_{REF} 和 AV_{SS} ，并产生一个电压，与采样到的电压值进行比较。

图 12-2. 串联电阻串的电路配置



(4) 电压比较器

电压比较器用于比较采样到的电压值与串联电阻串的输出电压。

(5) 逐次逼近寄存器 (SAR)

★ 该寄存器用于转换电压比较器所比较的结果，并从最高有效位(MSB)开始转换结果。当电压被转换成数字值，并写入最低有效位时(A/D 转换结束)，将 SAR 的内容传送到 A/D 转换结果寄存器(ADCR)中。

(6) 10 位 A/D 转换结果寄存器 (ADCR)

每次 A/D 转换结束时，将 A/D 转换结果从逐次逼近寄存器(SAR)传送至该寄存器中。并由该寄存器将转换结果保存在它的高 10 位中(低 6 位恒为 0)。

(7) 8 位 A/D 转换结果寄存器 (ADCRH)

每次 A/D 转换结束时，将 A/D 转换结果从逐次逼近寄存器传送到该寄存器中。并将转换结果保存在 ADCRH 的高 8 位中。

注意事项 如果从 ADCR 和 ADCRH 读取数据，会产生一个等待周期。当 CPU 使用副系统时钟，且外围硬件时钟处于停止状态时，不要从 ADCR 和 ADCRH 读取数据。需要了解详细信息，可参阅第三十二章 等待注意事项。

(8) 控制器

该电路用于控制模拟输入信号被转换成数字信号的转换时间，并启动和停止转换操作。当 A/D 转换结束时，该控制器产生中断 INTAD。

(9) AV_{REF} 引脚

- ★ 该引脚为 A/D 转换器输入一个模拟供电/参考电压。当端口 2 被用作数字端口时，该引脚的电压应与 V_{DD} 的电压保持一致。

根据 AV_{REF} 和 AV_{SS} 的电压，将输入到 ANI0 ~ ANI7 的信号转换成数字信号。

(10) AV_{SS} 引脚

这是 A/D 转换器的信号地引脚。即便没有使用 A/D 转换器，该引脚的电压也应与 V_{SS} 的电压保持一致。

(11) A/D 转换器模式寄存器(ADM)

该寄存器用于设置被转换的模拟输入信号的转换时间，并启动或停止转换操作。

(12) A/D 端口配置寄存器 0 (ADPC0)

该寄存器用于将 ANI0/P20 ~ ANI7/P27 引脚切换成 A/D 转换器的模拟输入(16 位 $\Delta\Sigma$ 型 A/D 转换器的模拟输入或是 10 位逐次逼近型 A/D 转换器的模拟输入) 或端口的数字 I/O。

(13) 模拟输入通道选择寄存器(ADS)

该寄存器用来选择输入模拟电压(将被转换成数字信号)的端口。

(14) 端口模式寄存器 2 (PM2)

该寄存器用于将 ANI0/P20 ~ ANI7/P27 引脚切换为输入或输出。

(15) 端口功能寄存器 2 (PF2) (仅限于 μ PD78F048x)

该寄存器用于切换 ANI0/P20 ~ ANI7/P27 引脚的端口 I/O，A/D 转换器的模拟输入或是 segment 输出。

12.3 10 位逐次逼近型 A/D 转换器使用的寄存器

A/D 转换器使用以下七个寄存器。

- A/D 转换器模式寄存器(ADM)
- A/D 端口配置寄存器 0 (ADPC00)
- 模拟输入通道选择寄存器 (ADS)
- 端口功能寄存器 2 (PF2) (仅限于 PD78F048x)
- 端口模式寄存器 2 (PM2)
- 10 位 A/D 转换结果寄存器(ADCR)
- 8 位 A/D 转换结果寄存器(ADCRH)

(1) A/D 转换器模式寄存器(ADM)

该寄存器设置模拟输入的 A/D 转换时间，并启动/停止转换。

可由 1 位或 8 位存储器操作指令设置 ADM。

复位信号产生将该寄存器清零(00H)。

图 12-3. A/D 转换器模式寄存器 (ADM) 的格式

地址: FF8DH 复位后: 00H R/W

符号	<7>	6	5	4	3	2	1	<0>
ADM	ADCS	FR3 ^{注1}	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D 转换操作控制
0	停止转换操作
1	允许转换操作

ADCE	比较器操作控制 ^{注2}
0	停止比较器的操作
1	允许比较器的操作

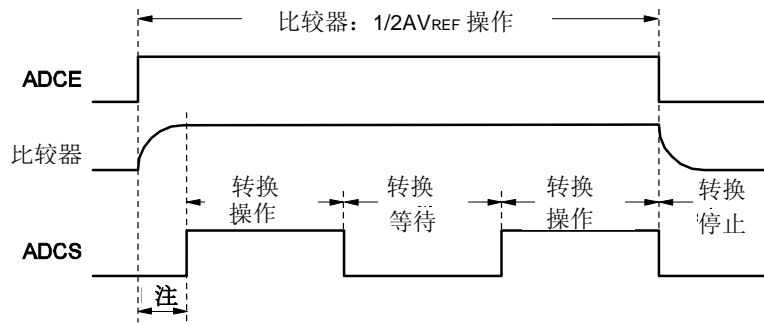
- 注
1. 如需了解 FR3 ~ FR0、LV1、LV0 和 A/D 转换的详细信息，可参见表 12-2 A/D 转换时间的选择。
 2. 比较器的的操作是由 ADCS 和 ADCE 控制的，从操作开始到操作稳定需要 1μs。因此，当 ADCE 被设置为 1 后，至少经过 1μs 的时间，再将 ADCS 置 1 时，此时的转换结果优先与第一次的转换结果。否则，忽略第一次转换的数据。

表 12-1. ADCS 和 ADCE 的设置

ADCS	ADCE	A/D 转换操作
0	0	停止状态 (不存在直流功耗)
0	1	转换等待模式 (比较器: 1/2AVREF 操作, 只有比较器产生功耗)
1	0	转换模式 (停止比较器的操作 ^注)
1	1	转换模式 (比较器: 1/2AVREF 操作)

注 忽略第 1 次转换的数据。

图 12-4. 使用参考电压发生器时的时序图



注 从 ADCE 位上升到 ADCS 位下降所需时间必须至少为 $1 \mu\text{s}$ ，以便稳定内部电路。

- 注意事项
1. 不同于其他的数据，在修改 FR0 ~ FR3 位，LV1 和 LV0 位之前，A/D 转换必须停止。
 2. 如果对 ADM 赋值，会产生 1 个等待周期。当 CPU 使用子系统时钟，且外围硬件时钟处于停止状态时，不要对 ADM 赋值。需要了解详细信息，可参阅第三十二章 等待注意事项。

表 12-2. A/D 转换时间的选择

 (1) $2.7\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$

A/D 转换器模式寄存器 (ADM)						转换时间的选择				转换时钟(f_{AD})
FR3	FR2	FR1	FR0	LV1	LV0	$f_{PRS} = 2\text{ MHz}$	$f_{PRS} = 8\text{ MHz}$	$f_{PRS} = 10\text{ MHz}$		
1	x	x	x	0	0	$352/f_{PRS}$	禁止设置	$44.0\ \mu\text{s}$	$35.2\ \mu\text{s}$	$f_{PRS}/16$
0	0	0	0	0	$264/f_{PRS}$	$33.0\ \mu\text{s}$		$26.4\ \mu\text{s}$	$f_{PRS}/12$	
0	0	0	1	0	$176/f_{PRS}$	$22.0\ \mu\text{s}$		$17.6\ \mu\text{s}$	$f_{PRS}/8$	
0	0	1	0	0	$132/f_{PRS}$	$16.5\ \mu\text{s}$		$13.2\ \mu\text{s}$	$f_{PRS}/6$	
0	0	1	1	0	0	$88/f_{PRS}$	$44.0\ \mu\text{s}$	$11.0\ \mu\text{s}^{\#}$	$8.8\ \mu\text{s}^{\#}$	$f_{PRS}/4$
0	1	0	0	0	0	$66/f_{PRS}$	$33.0\ \mu\text{s}$	$8.3\ \mu\text{s}^{\#}$	$6.6\ \mu\text{s}^{\#}$	$f_{PRS}/3$
0	1	0	1	0	0	$44/f_{PRS}$	$22.0\ \mu\text{s}$	禁止设置	禁止设置	$f_{PRS}/2$
其它情况						禁止设置				

注 只有当 $4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$ 时, 才能设置

 (2) $2.3\text{ V} \leq AV_{REF} < 2.7\text{ V}$

A/D 转换器模式寄存器 (ADM)						转换时间的选择				转换时钟(f_{AD})
FR3	FR2	FR1	FR0	LV1	LV0	$f_{PRS} = 2\text{ MHz}$	$f_{PRS} = 5\text{ MHz}$	$f_{PRS} = 8\text{ MHz}$		
0	0	0	0	0	1	$480/f_{PRS}$	禁止设置	禁止设置	$60.0\ \mu\text{s}$	$f_{PRS}/12$
0	0	0	1	0	1	$320/f_{PRS}$		$64.0\ \mu\text{s}$	$40.0\ \mu\text{s}$	$f_{PRS}/8$
0	0	1	0	0	1	$240/f_{PRS}$		$48.0\ \mu\text{s}$	$30.0\ \mu\text{s}$	$f_{PRS}/6$
0	0	1	1	0	1	$160/f_{PRS}$		$32.0\ \mu\text{s}$	禁止设置	$f_{PRS}/4$
0	1	0	0	0	1	$120/f_{PRS}$	$60.0\ \mu\text{s}$	禁止设置		$f_{PRS}/3$
0	1	0	1	0	1	$80/f_{PRS}$	$40.0\ \mu\text{s}$			$f_{PRS}/2$
其它情况						禁止设置				

注意事项 1. 根据以下条件设置转换时间

- $4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$: 采样时间+ 逐次转换时间 = $5 \sim 30\ \mu\text{s}$
($f_{AD} = 0.6 \sim 3.6\text{ MHz}$)
- $2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$: 采样时间 + 逐次转换时间 = $10 \sim 30\ \mu\text{s}$
($f_{AD} = 0.6 \sim 1.8\text{ MHz}$)
- $2.3\text{ V} \leq AV_{REF} < 2.7\text{ V}$: 采样时间 + 连续转换时间 = $25 \sim 62\ \mu\text{s}$
($f_{AD} = 0.6 \sim 1.48\text{ MHz}$)

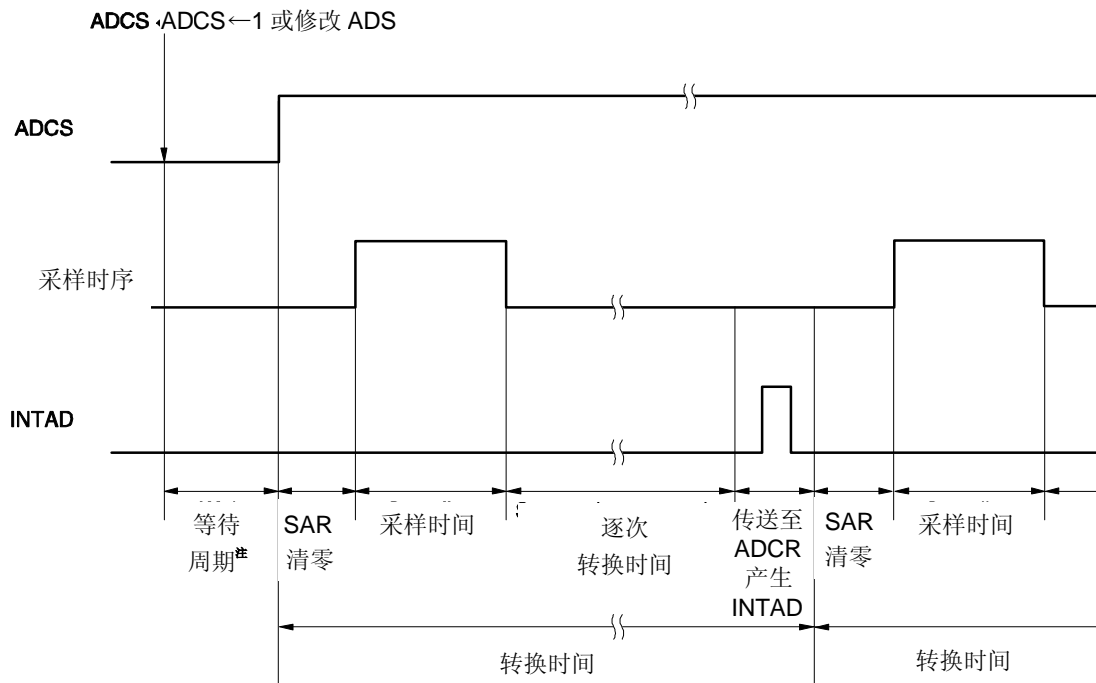
2. 当修改 FR3 ~ FR0, LV1 和 LV0 时(相同数据除外), 要预先停止 A/D 转换一次 ($ADCS = 0$)。

3. 当 $2.3\text{ V} \leq AV_{REF} < 2.7\text{ V}$ 时, 修改 LV1 和 LV0 的默认值。

4. 上述的转换时间不包括时钟频率误差。在选择转换时间的时候, 要将时钟频率误差考虑进去。

备注 f_{PRS} : 外围硬件时钟频率

图 12-5. A/D 转换器采样和 A/D 转换时序



注 等待周期的详细信息参见第三十二章 等待注意事项。

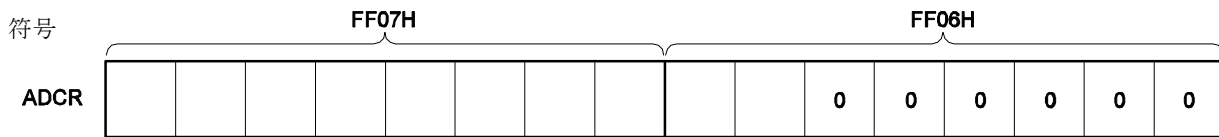
(2) 10 位 A/D 转换结果寄存器(ADCR)

这是一个 16 位寄存器，用来存储 A/D 转换结果。寄存器的低 6 位恒为 0。每次 A/D 转换结束时，将转换结果从逐次逼近寄存器传送至 ADCR 中。转换结果的高 8 位存储在 FF09H 中，而转换结果的低 2 位存储在 FF08H 的高 2 位中。

可由 16 位存储器操作指令读取 ADCR。
复位信号产生将该寄存器清零(0000H)。

图 12-6. 10 位 A/D 转换结果寄存器(ADCR)的格式

地址: FF08H, FF09H 复位后: 0000H R

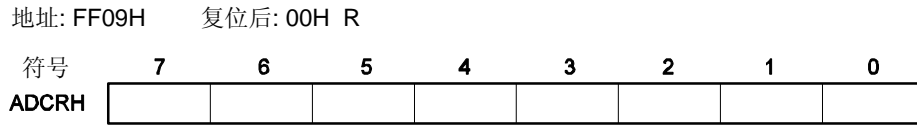


- 注意事项
- 在对 A/D 转换器模式寄存器(ADM)和模拟输入通道选择寄存器(ADS)和 A/D 端口配置寄存器(ADPC0)赋值时，ADCR 的内容可能是不确定的。转换结束后先读取转换结果，再对 ADM，ADS 和 ADPC0 赋值。如果没有使用上述时序，可能会读取到不正确的转换结果。
 - 如果从 ADCR 读取数据，会产生一个等待周期。当 CPU 使用副系统时钟，且外围硬件时钟处于停止状态时，不要从 ADCR 读取数据。需要了解详细信息，可参阅第三十二章 等待注意事项。

(3) 8 位 A/D 转换结果寄存器(ADCRH)

这是一个 8 位寄存器，用来存储 A/D 转换结果。可以存储 10 位分辨率的高 8 位。
 可由 8 位存储器操作指令读取 ADCRH。
 复位信号产生将该寄存器清零(00H)。

图 12-7. 8 位 A/D 转换结果寄存器(ADCRH) 的格式



- 注意事项**
1. 在对 A/D 转换器模式寄存器(ADM)、模拟输入通道选择寄存器(ADS)和 A/D 端口配置寄存器(ADPC0)赋值时，ADCRH 的内容可能不确定。转换结束后先读取转换结果，再对 ADM、ADS 和 ADPC0 赋值。如果没有使用上述时序，可能会读取到不正确的转换结果。
 2. 如果从 ADCRH 读取数据，会产生一个等待周期。当 CPU 使用子系统时钟，且外围硬件时钟处于停止状态时，不要从 ADCRH 读取数据。需要了解详细信息，可参阅第三十二章 等待注意事项。

(4) 模拟输入通道选择寄存器(ADS)

该寄存器用来选择被转换的模拟电压的输入通道。

可由 1 位或 8 位存储器操作指令设置 ADS。

复位信号产生将该寄存器清零(00H)。

图 12-8. 模拟输入通道选择寄存器(ADS)

地址: FF29H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

ADS2	ADS1	ADS0	模拟输入通道的选择
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

- 注意事项**
1. 第 3~7 位必须清零。
 2. 使用端口模式寄存器 2(PM2)设置一个用于 A/D 转换通道的端口为输入模式。
 3. 不要通过 ADPC0 和 ADS 设置数字 I/O 引脚。
 4. 10 位逐次逼近型 A/D 转换器的输入引脚不能再作为 16 位 $\Delta\Sigma$ 型 A/D 转换器的输入引脚。
 5. 如果对 ADS 赋值, 会产生一个等待周期。当 CPU 使用子系统时钟, 且外围硬件时钟处于停止状态时, 不要对 ADS 赋值。需要了解详细信息, 可参阅第三十二章 等待注意事项。

(5) A/D 端口配置寄存器 0 (ADPC00)

这个寄存器用于将 ANI0/P20 ~ ANI7/P27 引脚切换为模拟输入(16 位 $\Delta\Sigma$ 型 A/D 转换器的模拟输入或是 10 位逐次逼近型 A/D 转换器的模拟输入)或是数字 I/O 端口。

可由 1 位或 8 位存储器操作指令设置 ADPC0。

复位信号产生将该寄存器清零(00H)。

图 12-9. A/D 端口配置寄存器 0 (ADPC0)格式

地址: FF2FH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPC03	ADPC02	ADPC01	ADPC00

<μPD78F045x>

ADPC03	ADPC02	ADPC01	ADPC00	数字 I/O(D)/模拟输入(A)的切换							
				P27/ ANI7/ SEG24	P26/ ANI6/ SEG25	P25/ ANI5/ SEG26	P24/ ANI4/ SEG27	P23/ ANI3/ SEG28	P22/ ANI2/ SEG29	P21/ ANI1/ SEG30	P20/ ANI0/ SEG31
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	A	A	A	A	A	A	A	D
0	0	1	0	A	A	A	A	A	A	D	D
0	0	1	1	A	A	A	A	A	D	D	D
0	1	0	0	A	A	A	A	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D
其它情况				禁止设置							

<μPD78F046x>

ADPC03	ADPC02	ADPC01	ADPC00	数字 I/O(D)/模拟输入(A)的切换							
				P27/ ANI7/ REF+	P26/ ANI6/ REF-	P25/ ANI5/ DS2+	P24/ ANI4/ DS2-	P23/ ANI3/ DS1+	P22/ ANI2/ DS1-	P21/ ANI1/ DS0+	P20/ ANI0/ DS0-
0	0	0	0	A/Δ	A/Δ	A/Δ	A/Δ	A/Δ	A/Δ	A/Δ	A/Δ
0	0	0	1	A/Δ	A/Δ	A/Δ	A/Δ	A/Δ	A/Δ	A	D
0	0	1	0	A/Δ	A/Δ	A/Δ	A/Δ	A/Δ	A/Δ	D	D
0	0	1	1	A/Δ	A/Δ	A/Δ	A/Δ	A	D	D	D
0	1	0	0	A/Δ	A/Δ	A/Δ	A/Δ	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D
其它情况				禁止设置							

- 注意事项
1. 用端口模式寄存器 2(PM2)设置一个用于 A/D 转换通道的端口为输入模式。
 2. 不要通过 ADPC00 以及 ADS, 或 ADDS1, 或 ADDS0 设置数字 I/O。
 3. 如果将数据写入 ADPC00, 会产生一个等待周期。当 CPU 使用子系统时钟, 且外围硬件时钟处于停止状态时, 不要将数据写入 ADPC00。需要了解详细信息, 可参阅第三十二章 等待注意事项。
 4. 如果通过 PF2 寄存器将 ANI0/P20/SEG31 ~ ANI7/P27/SEG24 引脚设置为 segment 输出引脚, 而忽略 ADPC00 的设置(仅限于 PD78F048x)。

(6) 端口模式寄存器 2 (PM2)

在使用 ANI0/P20 ~ ANI7/P27 引脚作为模拟输入端口时，将 PM20 ~ PM27 设为 1。此时 P20 ~ P27 的输出锁存器的内容为 0 或 1。

如果将 PM20 ~ PM27 设为 0，则它们不能用作模拟输入端口引脚。

可由 1 位或 8 位的存储器操作指令来设置 PM2。

复位信号产生将该寄存器设置为 FFH。

图 12-10. 端口模式寄存器 2 (PM2)的格式

地址: FF22H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n 引脚 I/O 模式的选择(n = 0~7)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

根据 PF2、ADPC00、PM2、ADS 和 ADDCTL0 的设置，ANI0/P20 ~ ANI7/P27 引脚功能如下所示。

表 12-3. ANI0/P20 ~ ANI7/P27 引脚功能的设置

(a) μ PD78F048x

PF2	ADPC00	PM2	ADS	ANI0/P20 ~ ANI7/P27引脚
数字/模拟选择	模拟输入的选择	输入模式	不选择ANI	模拟输入 (不被转换)
			选择ANI	模拟输入 (通过逐次逼近型A/D转换器被转换)
	数字I/O的选择	输出模式	—	禁止设置
		输入模式	—	数字输入
		输出模式	—	数字输出
SEG 输出选择	—	—	—	Segment输出

(b) μ PD78F049x

ADPC00	PM2	ADS	ADDCTL0	ANI0/P20 ~ ANI7/P27引脚
模拟输入选择	输入模式	不选择ANI.	不选择DSn±.	模拟输入 (不被转换)
		选择ANI.	不选择DSn±.	模拟输入 (通过逐次逼近型A/D转换器被转换)
		不选择ANI.	选择DSn±.	模拟输入 (通过 $\Delta\Sigma$ 型A/D转换器被转换)
		选择ANI.	选择DSn±.	禁止设定
	输出模式	—	—	禁止设定
数字I/O 选择	输入模式	—	—	数字输入
	输出模式	—	—	数字输出

12.4 10 位逐次逼近型 A/D 转换器的操作

12.4.1 A/D 转换器的基本操作

- <1> 把 A/D 转换器模式寄存器的第 0 位(ADCE)置 1 启动比较器的操作。
- <2> 通过 A/D 端口配置寄存器设置通道，用于 A/D 转换的模拟输入，并且通过端口模式寄存器 2(PM2)设置为输入模式。
- <3> 根据 ADM 的第 6~1 位(FR3 ~ FR0、LV1 和 LV0)设置 A/D 转换时间。

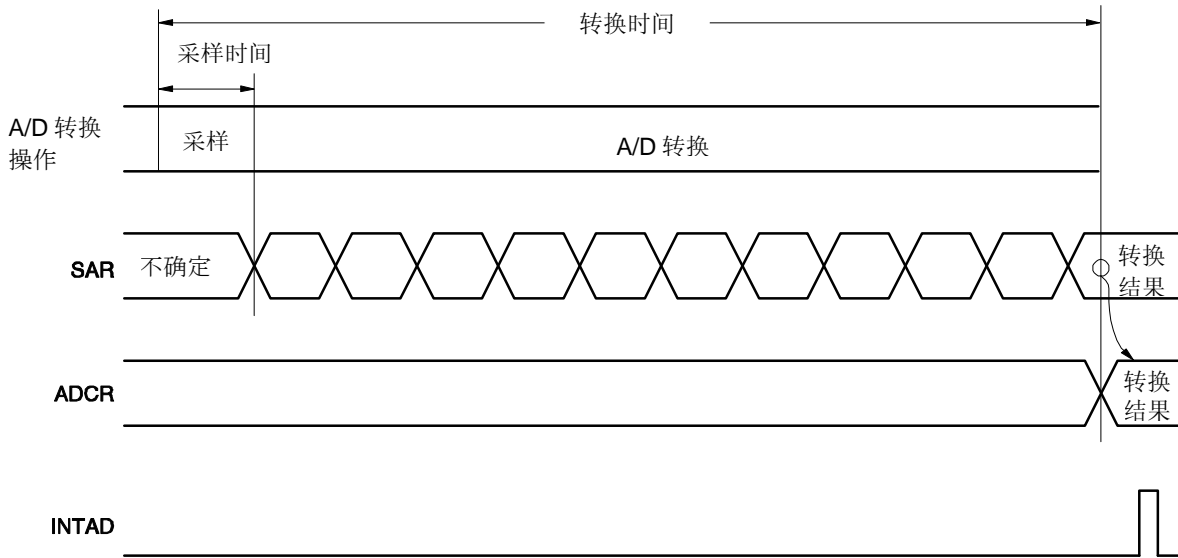
- <4> 通过模拟输入通道选择寄存器(ADS)选择一个通道用于 A/D 转换。
- <5> 设置 ADM 的第 7 位(ADCS)为 1, 启动转换操作。
(<6> ~ <12> 的操作由硬件完成)
- <6> 由采样&保持电路对输入到已选中的模拟输入通道的电压进行采样。
- <7> 在经过一段时间的采样后, 采样&保持电路处于保持状态, 且在 A/D 转换操作结束前一直保持采样电压。
- <8> 设置逐次逼近寄存器(SAR)的第 9 位。通过分接选择器将串联电阻串的分接电压置为(1/2) AV_{REF} 。
- <9> 由电压比较器比较串联电阻串的分接电压与采样电压。如果模拟输入电压高于(1/2) AV_{REF} , 则 SAR 的 MSB = 1; 如果模拟输入电压低于(1/2) AV_{REF} , 则 SAR 的 MSB = 0。
- <10> 接下来, SAR 的第 8 位自动置 1, 并进入下一个比较过程。根据第 9 位的预置值选择串联电阻串的分接电压, 具体描述如下。
- 第 9 位 = 1: (3/4) AV_{REF}
 - 第 9 位 = 0: (1/4) AV_{REF}
- 比较分接电压与采样电压, 并设置 SAR 的第 8 位, 如下所示。
- 模拟输入电压 \geq 分接电压: 第 8 位 = 1
 - 模拟输入电压 < 分接电压: 第 8 位 = 0
- <11> 按此方式继续进行比较, 直至 SAR 的第 0 位。
- <12> 全部 10 位比较完成后, 在 SAR 中保留一个有效的数值结果, 然后将结果传送至 A/D 转换结果寄存器 (ADCR, ADCRH)中, 并锁存。
同时也会产生 A/D 转换结束中断请求 (INTAD)。
- <13> 反复执行步骤 <6> ~ <12>, 直至 ADCS 被清零(0)。
将 ADCS 清零, 以停止 A/D 转换器操作。
当 ADCE = 1 时, 若要重新启动 A/D 转换操作, 应从步骤<5>开始。当 ADCE = 0 时, 若要再次启动 A/D 转换操作, 设置 ADCE=1, 等待至少 1 μ s, 然后从步骤<5>开始操作。如要改变 A/D 转换的通道, 则从步骤<4>开始。

注意事项 必须确保 <1> ~ <5> 的操作时间至少为 1 μ s。

备注 有两种类型的 A/D 转换结果寄存器可以使用。

- ADCR (16 位): 存储 10 位 A/D 转换值
- ADCRH (8 位): 存储 8 位 A/D 转换值

图 12-11. A/D 转换器的基本操作



直到用软件将 A/D 转换器模式寄存器(ADM)的第 7 位(ADCS)复位(0)，连续执行 A/D 转换操作。

- ★ 在 A/D 转换期间，如果对模拟输入通道选择寄存器(ADS)进行写操作，则转换操作被初始化，并且若 ADCS 被设置为 1，则转换操作重新开始。

复位信号产生将 A/D 转换结果寄存器(ADCR)的内容设置为 0000H 或 00H。

12.4.2 输入电压和转换结果

输入到模拟输入引脚(ANI0 ~ ANI7)的模拟输入电压与理论上的 A/D 转换结果(存储在 10 位 A/D 转换结果寄存器(ADCR)中)之间的关系表示如下。

$$SAR = \text{INT} \left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

或

$$\left(\frac{ADCR}{64} - 0.5 \right) \times \frac{AV_{REF}}{1024} \leq V_{AIN} < \left(\frac{ADCR}{64} + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

其中, INT(): 该函数返回括号中值的整数部分。

V_{AIN} : 模拟输入电压

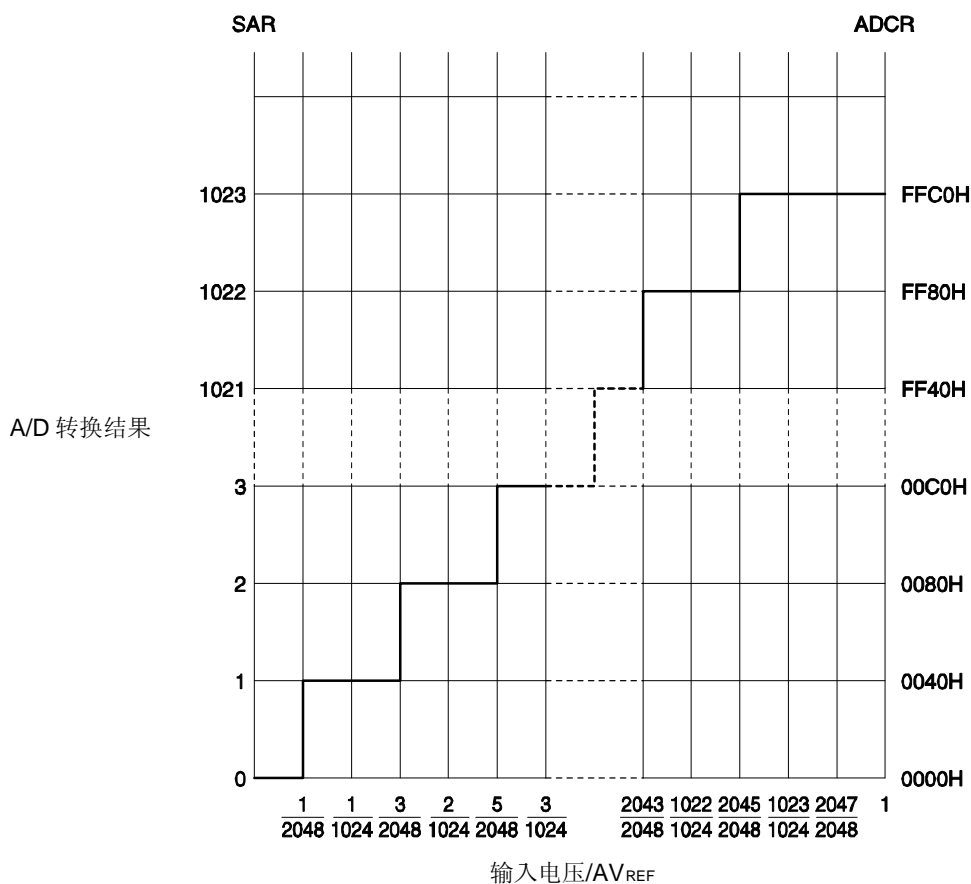
AV_{REF} : AV_{REF} 引脚电压

ADCR: A/D 转换结果寄存器(ADCR)的值

SAR: 逐次逼近寄存器

图 12-12 显示模拟输入电压与 A/D 转换结果之间的关系。

图 12-12. 模拟输入电压和 A/D 转换结果之间的关系



12.4.3 A/D 转换器操作模式

A/D 转换器的操作模式为选择模式。由模拟输入通道选择寄存器(ADS)从 ANI0 ~ ANI7 中选择一个模拟输入通道，并执行 A/D 转换。

(1) A/D 转换操作

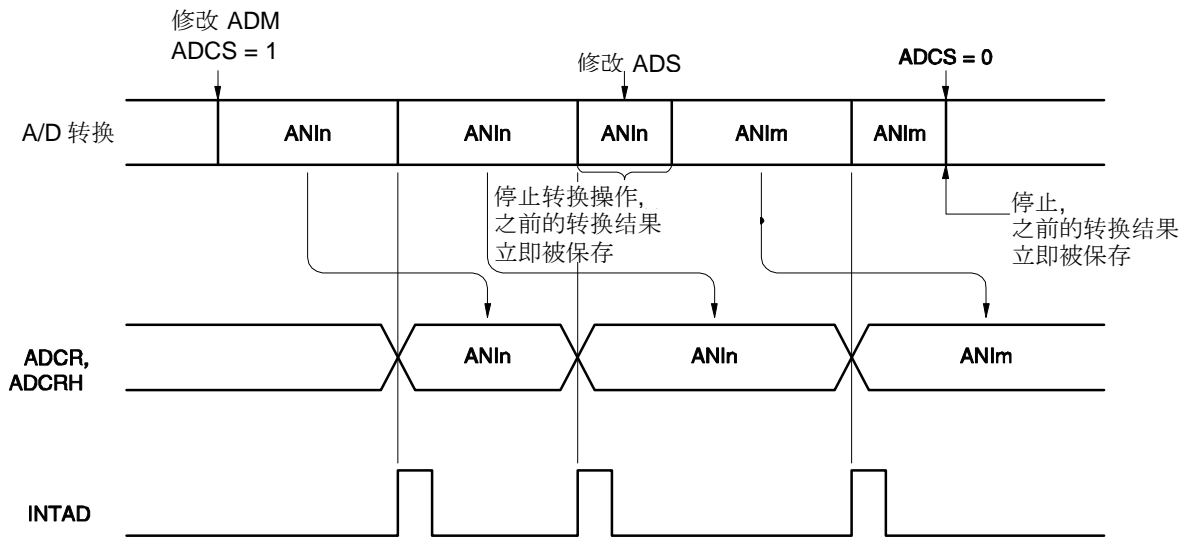
通过将 A/D 转换器模式寄存器(ADM)的第 7 位(ADCS)置 1，可启动电压的 A/D 转换操作，该电压由模拟输入通道选择寄存器(ADS)选择的模拟输入引脚输入。

当 A/D 转换完成时，将 A/D 转换结果存于 A/D 转换结果寄存器(ADCR)中，并产生一个中断请求信号(INTAD)。当一个 A/D 转换结束时，下一个 A/D 转换操作将立即开始。

如果在 A/D 转换期间 ADS 的值被重写，则停止当前正在执行的 A/D 转换操作，重新开始。

如果在 A/D 转换期间 ADCS 被置 0，则 A/D 转换立即停止。此时，之前的转换结果立即被保存。

图 12-13. A/D 转换操作



- 备注
1. n = 0 ~ 7
 2. m = 0 ~ 7

设置方法描述如下。

- <1> 设置 A/D 转换器模式寄存器(ADM)的第 0 位(ADCE)为 1。
- <2> 根据 A/D 端口配置寄存器的第 3~0 位(ADPC03 ~ ADPC00)和端口模式寄存器 2(PM2)的第 7~0 位(PM27 ~ PM20)，设置在模拟输入模式下使用的通道。
- <3> 根据 ADM 的第 6~1 位(FR3 ~ FR0、LV1 和 LV0)选择转换时间。
- <4> 使用模拟输入通道选择寄存器(ADS)的第 2~0 位(ADS2 ~ ADS0)，选择通道。
- <5> 将 ADM 的第 7 位 (ADCS)置 1，启动 A/D 转换操作。
- <6> 当 A/D 转换结束，产生一个中断请求信号(INTAD)。
- <7> 将 A/D 转换数据传送至 A/D 转换结果寄存器(ADCR，ADCRH)中。

<改变通道>

- <8> 根据 ADS 的第 2~0 位(ADS2 ~ ADS0)改变通道，启动 A/D 转换操作。
- <9> 当 A/D 转换结束，产生一个中断请求信号(INTAD)。
- <10> 将 A/D 转换数据传送至 A/D 转换结果寄存器(ADCR，ADCRH)中。

<完成 A/D 转换>

- <11> 将 ADCS 清零。
- <12> 将 ADCE 清零。

- 注意事项**
1. 必须确保步骤 <1> ~ <5> 的操作时间至少为 1 μ s。
 2. <1> 可以在<2> 和 <4>之间进行。
 3. <1>可以被省略。但在这种情况中（<5>之后）忽略第一个转换结果。
 4. 步骤<6> ~ <9>所经历的时间不同与使用 ADM 的第 6~1 位(FR3 ~ FR0, LV1, LV0)设置的转换时间。步骤<8> ~ <9>所经历的时间为 FR3 ~ FR0, LV1, LV0 设置的转换时间。

12.5 A/D 转换器特征表的阅读方法

以下介绍 A/D 转换器中的专用术语。

(1) 分辨率

这是可识别的最小的模拟输入电压，即每位数字输出的模拟输入电压的百分比，称为 1LSB(最低有效位)。对于满度的 1LSB 的百分比用%FSR(满度范围)表示。

当分辨率为 10 位时 1LSB 表示如下。

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\%\text{FSR} \end{aligned}$$

精确度与分辨率无关，而由总误差决定。

(2) 总误差

总误差是指实际测量值与理论值之间的最大误差。

零度误差、满度误差、积分线性误差和微分线性误差等组合起来表示总误差。

注意量化误差不属于特征表中总误差的范围。

(3) 量化误差

当模拟值转换成数字值时，通常会产生 $\pm 1/2\text{LSB}$ 的误差。在一个 A/D 转换器中，相差 $\pm 1/2\text{LSB}$ 的模拟输入电压被转换成相同的数字代码，因此量化误差不可避免。

注意量化误差不属于特征表中总误差、零度误差、满度误差、积分线性误差和微分线性误差的范围。

图 12-14. 总误差

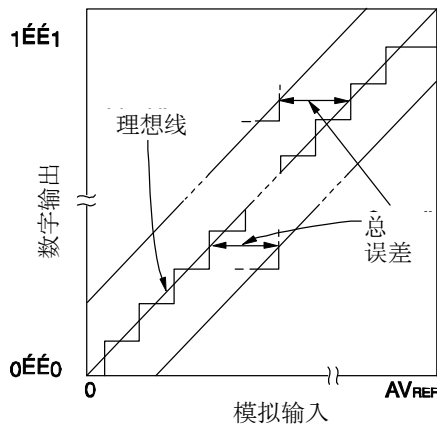
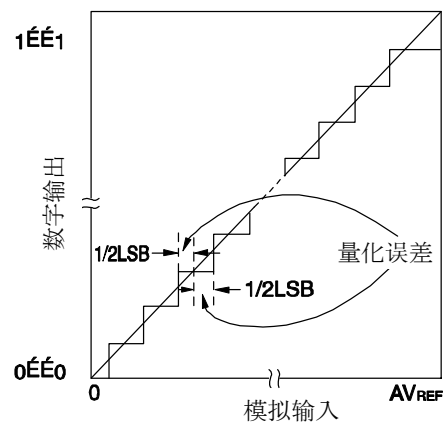


图 12-15. 量化误差



(4) 零度误差

零度误差表示当数字输出范围在 $0 \dots 000 \sim 0 \dots 001$ 之间时模拟输入电压的实际测量值与理论值($1/2\text{LSB}$)之间的误差。

如果实际测量值大于理论值，零度误差表示当数字输出范围在 $0 \dots 001 \sim 0 \dots 010$ 之间时模拟输入电压的实际测量值与理论值($3/2\text{LSB}$)之间的误差。

(5) 满度误差

满度误差表示当数字输出范围在 1.....110 ~ 1.....111 之间时模拟输入电压的实际测量值与理论值(满度 - 3/2LSB)之间的误差。

(6) 积分线性误差

积分线性误差说明了转换特征偏离理想线性关系的程度。它表示当零度误差和满度误差均为 0 时实际测量值与理想直线之间误差的最大值。

(7) 微分线性误差

当代码输出的理想宽度为 1LSB 时，微分线性误差表示实际测量值与理想值之间的差距。

图 12-16. 零度误差

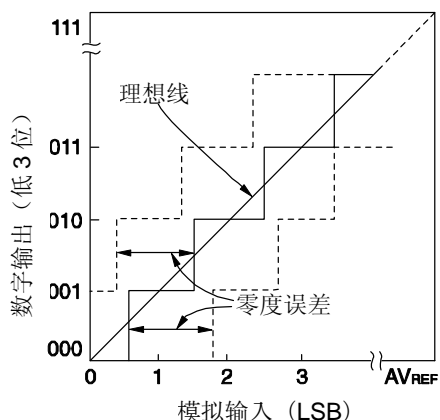


图 12-17. 满度误差

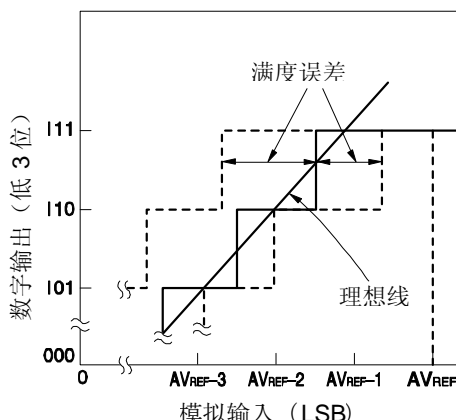


图 12-18. 积分线性误差

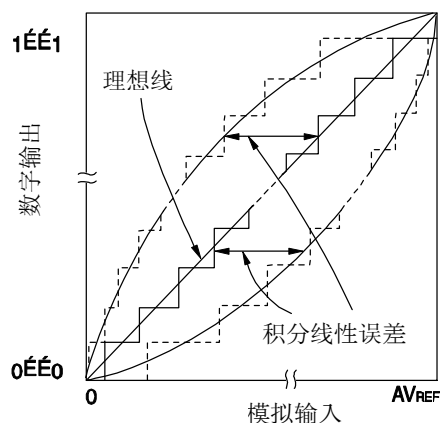
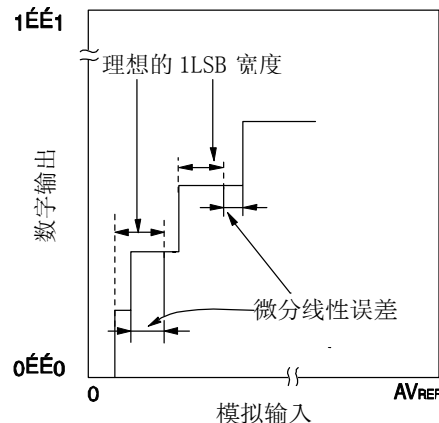


图 12-19. 微分线性误差

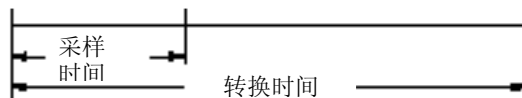


(8) 转换时间

转换时间表示从开始采样到获取数字输出所经历的时间。采样时间包含在特征表中的转换时间中。

(9) 采样时间

采样时间表示模拟电压的模拟开关被打开到模拟电压被采样&保持电路采样所需的时间。



12.6 A/D 转换器使用注意事项

(1) STOP 模式中的操作电流

在 STOP 模式中 A/D 转换器停止操作。此时，将 A/D 转换器模式寄存器(ADM)的第 7 位(ADCS)和第 0 位(ADCE)清零，可以降低操作电流。

若要从待机状态重新启动，将中断请求标志寄存器 1L (IF1L)的第 0 位(ADIF)清零(0)，然后开始操作。

(2) ANI0 ~ ANI7 的输入范围

观察 ANI0 ~ ANI7 输入电压的额定范围。如果输入到模拟输入通道的电压大于等于 AV_{REF} ，或者小于等于 AV_{SS} (即使在绝对最大额定范围之内)，则该通道的转换值不确定。此外，其它通道的转换值也可能受影响。

(3) 冲突操作

<1> 转换结束后，通过指令对 A/D 转换结果寄存器(ADCR, ADCRH)的写操作和 ADCR 或 ADCRH 的写操作之间的冲突。

ADCR 或 ADCRH 读操作的优先级高。在执行读操作后，才将新的转换结果写入 ADCR 或 ADCRH。

<2> 转换结束后，ADCR 或 ADCRH 的写操作、A/D 转换器模式寄存器(ADM)的写操作以及模拟输入通道选择寄存器(ADS)或 A/D 端口配置寄存器(ADPC00)的写操作之间的冲突。

ADM、ADS 或 ADPC00 的写操作的优先级高。不执行 ADCR 或 ADCRH 的写操作，也不会产生转换结束中断信号(INTAD)。

(4) 解决噪音问题的方法

为了保持 10 位分辨率，必须注意输入到 AV_{REF} 引脚和 ANI0~ANI7 引脚的噪音。

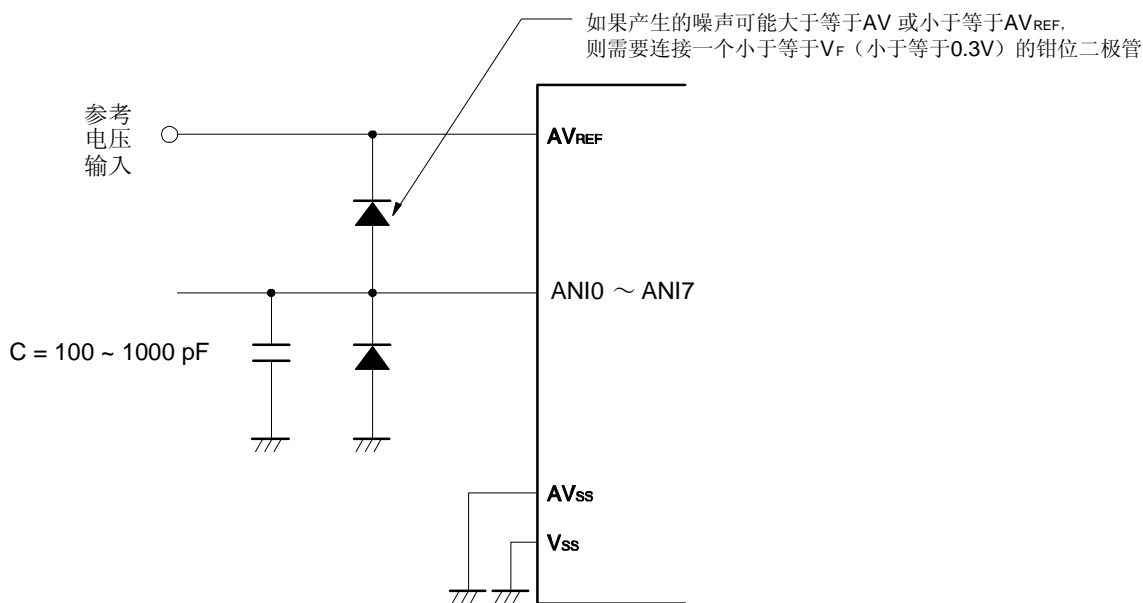
<1> 连接一个低等效电阻的电容和一个优质频率响应到电源上。

<2> 模拟输入源的输出阻抗越大，干扰就越大。为了降低噪音，建议按图 13-20 所示连接外部 C。

<3> 在转换过程中不要切换引脚。

<4> 如果在转换开始后立即设置 HALT 模式，则可以改善精度。

图 12-20. 模拟输入引脚连接



(5) AN10/SEG31/P20 ~ AN17/SEG24/P27 引脚 (PD78F048x),
AN10/DS0-/P20 ~ AN17/REF+/P27 引脚 (PD78F049x)

<1> 模拟输入引脚(AN10 ~ AN17)也可用作输入端口引脚(P20 ~ P27)。

当选择 AN10 ~ AN17 中的任意一个通道执行 A/D 转换时，转换过程中不要访问 P20 ~ P27；否则转换分辨率可能会降低。建议从 AN10/P20(离 AVREF 最远)开始，选择引脚用作 P20 ~ P27。

<2> 如果正在进行 A/D 转换的引脚的相邻引脚有数字脉冲，则由于噪音耦合，有可能得不到预期的 A/D 转换值。因此在进行 A/D 转换时不要在相邻引脚引用脉冲。

(6) AN10 ~ AN17 引脚的输入阻抗

采样期间 A/D 转换器对采样电容充电，以便进行采样。

因此当不进行采样时仅有漏电流经过，而在采样期间则有电容充电的电流，因此根据是否进行采样，输入阻抗会波动，且无法解决。

为了使采样有效，建议模拟输入源的输出阻抗小于等于 10 k Ω ，并将一个 100 pF 左右的电容连接到 AN10 ~ AN17 引脚上(参见图 12-20)。

(7) AVREF 引脚输入阻抗

在 AVREF 与 AVSS 引脚之间连接几十千欧的串联电阻串。

因此，如果参考电压源的输出阻抗很高，当它串联连接到 AVREF 与 AVSS 引脚之间的串联电阻串时，会导致较大的参考电压误差。

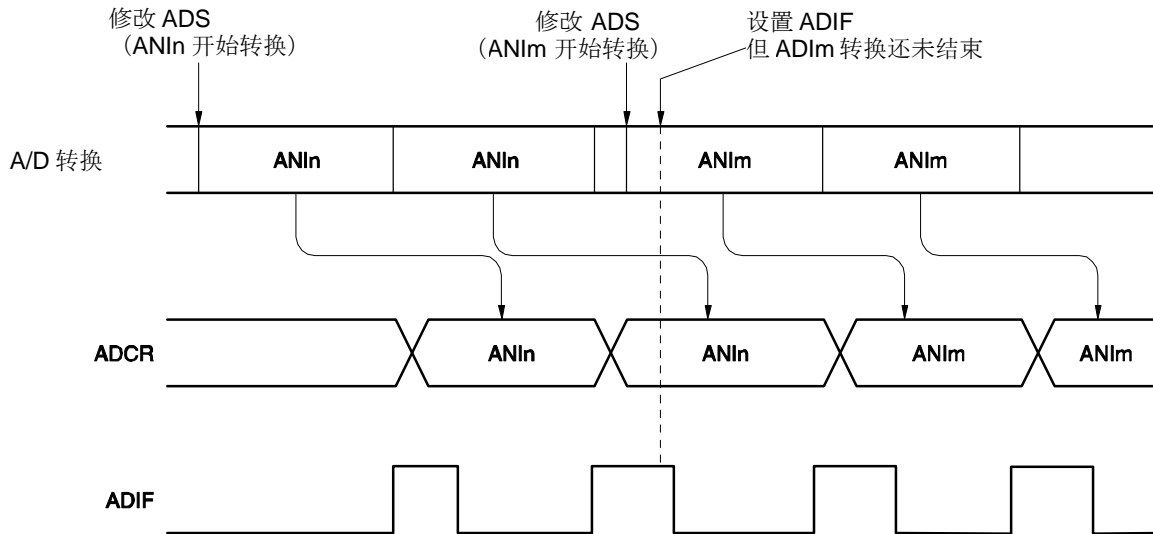
(8) 中断请求标志(ADIF)

即使模拟输入通道选择寄存器(ADS)的值被修改, 中断请求标志(ADIF)也不会被清零。

因此, 如果在 A/D 转换期间有一个模拟输入引脚发生变化, 则在 ADS 被修改之前, 模拟输入通道的 A/D 转换结果和改变前的模拟通道的 ADIF 可能被设置。此时需要注意的是, 当 ADS 修改后立即读取 ADIF 时, 即使修改后的模拟输入的 A/D 转换尚未结束, 也会设置 ADIF。

当 A/D 转换停止后又重新开始时, 在启动前先对 ADIF 清零。

图 12-21. A/D 转换结束中断请求产生的时序



- 备注
1. $n = 0 \sim 7$
 2. $m = 0 \sim 7$

(9) A/D 转换刚开始时的转换结果

在 A/D 转换开始后, 若在 ADCE 置 1 后的 $1 \mu\text{s}$ 内对 ADCS 置 1, 或者 ADCE=0 时 ADCS 置 1, 那么第一次的 A/D 转换值可能不在额定范围内。可采取措施, 如悬挂 A/D 转换结束中断请求(INTAD), 并删除第 1 次转换结果。

(10) A/D 转换结果寄存器(ADCR, ADCRH)的读取操作

当对 A/D 转换器模式寄存器(ADM)、模拟输入通道选择寄存器(ADS)和 A/D 端口配置寄存器(ADPC)进行写操作时, ADCR 和 ADCRH 的内容可能不确定。在对 ADM、ADS 和 ADPC 进行写操作前且转换结束后读取转换结果。如果采用与上述不同的时序操作可能会读取到不正确的转换结果。

(11) 内部等效电路

模拟输入模块的等效电路如下所示。

图 12-22 ANIn 引脚的内部等效电路

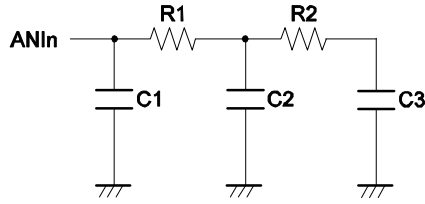


表 12-4. 等效电路的电阻和电容 (参考值)

AV_{REF}	R1	R2	C1	C2	C3
2.7 V	TBD	TBD	TBD	TBD	TBD
4.5 V	TBD	TBD	TBD	TBD	TBD

- 备注**
1. 表 12-4 所显示的电阻和电容值仅为参考值。
 2. $n = 0 \sim 7$

(12) 10 位逐次逼近型 A/D 转换器和 16 位 $\Delta\Sigma$ 型 A/D 转换器同时使用 (仅限于 PD78F049x)

当 10 位逐次逼近型 A/D 转换器正在运行时, 应该停止 16 位 $\Delta\Sigma$ 型 A/D 转换器操作, 否则将不能保证操作的精确度。同样的, 当 16 位 $\Delta\Sigma$ 型 A/D 转换器运行时, 要停止 10 位逐次逼近型 A/D 转换器的操作。(切忌同时操作)

第十三章 16 位 $\Delta\Sigma$ 型 A/D 转换器(仅限于 μ PD78F049x)

注意事项 16 位 $\Delta\Sigma$ 型 A/D 转换器的说明书可能会发生改变。

若想了解其说明书的详细情况，请咨询 NEC 电子销售代表或是授权经销商。

13.1 16 位 $\Delta\Sigma$ 类型 A/D 转换器的功能

16 位 $\Delta\Sigma$ 型 A/D 转换器用于将模拟输入信号转换为数字信号，最多可由 3 个通道(DS0-/DS0+, DS1-/DS1+, DS2-/DS2+)，具有 16 位分辨率。

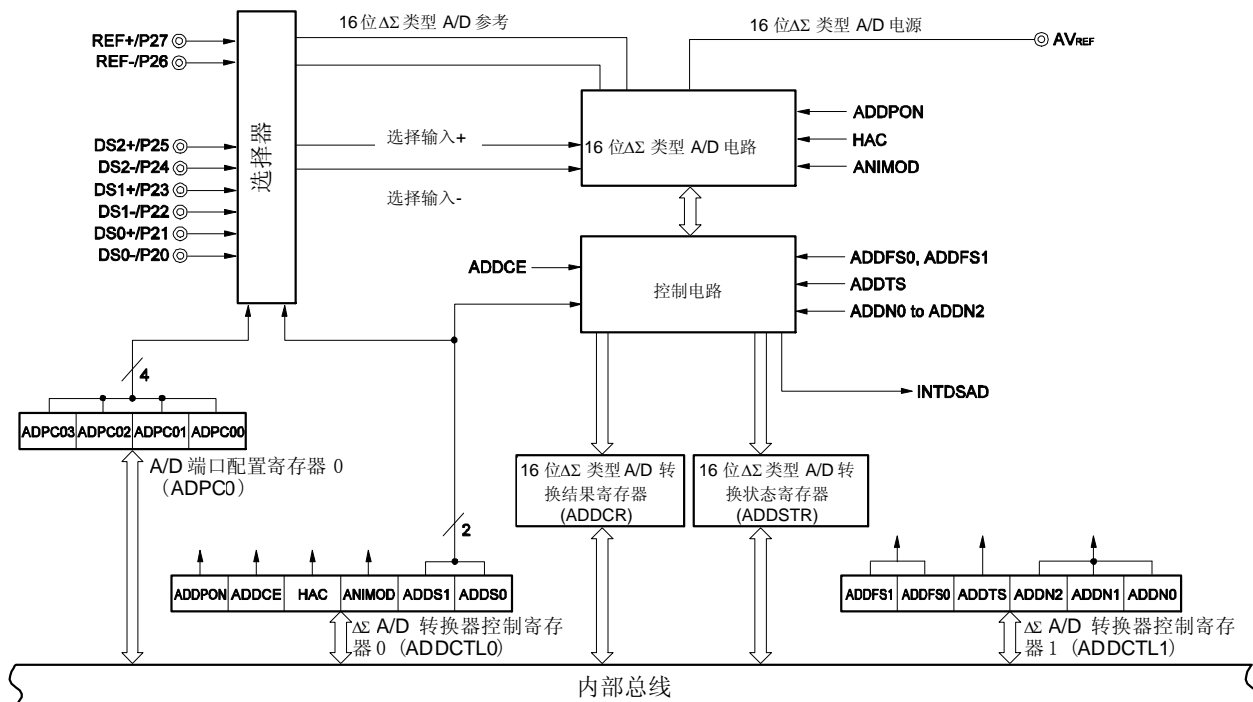
A/D 转换器有以下功能。

- 16 位分辨率 A/D 转换

从模拟输入 DS0-/DS0+，DS1-/DS1+或 DS2-/DS2+中选择一个通道，重复执行 16 位分辨率 A/D 转换。每次 A/D 转换结束，都可以产生一个中断请求(INTAD)。

转换时间可以通过降低分辨率而缩短。

图 13-1. 16 位 $\Delta\Sigma$ 类型 A/D 转换器框图



13.2 16 位 $\Delta\Sigma$ 类型 A/D 转换器的配置

16 位 $\Delta\Sigma$ 类型 A/D 转换器包含下列硬件。

(1) DS0-/DS0+, DS1-/DS1+和 DS2-/DS2+引脚

16 位 $\Delta\Sigma$ 类型 A/D 转换器共有 3 通道模拟输入。模拟输入信号被转换为数字信号。未被用于模拟输入的引脚可以当作 I/O 端口引脚。

在差分输入模式下使用这些引脚的时候，将模拟信号输入到 DS-和 DS+引脚。在信号输入模式下使用这些引脚时，将模拟信号输入到 DS+引脚并将 DS-引脚设定为与 Vss 和 AVss 相同的电势。

(2) 16 位 $\Delta\Sigma$ 类型 A/D 电路

16 位 $\Delta\Sigma$ 型 A/D 电路将采样的电压值依照参考电压转换为数字值，并将其输出到控制电路。

(3) 控制电路

控制电路控制转换的时间以及需要进行 A/D 的模拟输入转换操作的开始/停止。当 A/D 转换完成时，转换结果被发送到 16 位 $\Delta\Sigma$ 型 A/D 转换结果寄存器(ADDCR)并产生中断 INTDSAD。

(4) 16 位 $\Delta\Sigma$ 型 A/D 转换结果寄存器(ADDCR)

每当 A/D 转换完成时，转换结果都会从控制电路被装载到该寄存器，并将该结果保存到 ADDCR 寄存器的高 16 位。

(5) 8 位 $\Delta\Sigma$ 型 A/D 转换结果寄存器(ADDCRH)

每当 A/D 转换完成时，转换结果都会从控制电路被装载到该寄存器，并将该结果保存到 ADDCRH 寄存器的高 8 位。

注意事项 当从 ADDCR 和 ADDCRH 读取数据时，会产生一个等待周期。当 CPU 运行在副系统时钟下且外部硬件时钟停止的时候，不要读取 ADDCR 和 ADDCRH 的数据。若想了解详细的情况，请参考第三十三章 等待的注意事项。

(6) AVREF 引脚

该引脚向 16 位 $\Delta\Sigma$ 型 A/D 电路输入一个模拟电压。当端口 2 被用作数字端口或是 segment 输出时，该引脚的电压应与 VDD 的电压保持一致。

(7) REF- 和 REF+ 引脚

该引脚为 16 位 $\Delta\Sigma$ 型 A/D 转换器输入参考电压。由 DS0-/DS0+, DS1-/DS1 和 DS2-/DS2+ 输入的信号会依照 REF-和 REF+引脚的参考电压转换为数字信号。REF-和 REF+引脚必须分别与 Vss/AVss 和 AVREF 引脚保持相同的电平。

(8) AVss 引脚

这是 A/D 转换器的信号地引脚。即便没有使用 A/D 转换器，该引脚的电压也应与 Vss 的电压保持一致。

(9) 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 0 (ADDCTL0)

该寄存器设置 16 位 $\Delta\Sigma$ 类型 A/D 电路或是控制电路的上/下电状态，转换开始/停止状态，高精度模式开/关状态， $\Delta\Sigma$ 输入模式控制和模拟输入通道。

(10) 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 1 (ADDCTL1)

该寄存器设置 A/D 转换的采样时钟，串行/并行模式状态和采样计数（分辨率）。

(11) 16 位 $\Delta\Sigma$ 型 A/D 转换状态寄存器 (ADDSTR)

当 16 位 $\Delta\Sigma$ 型 A/D 转换操作完成（产生中断）同时发生转换通道变换时，该寄存器检验完成转换的通道的编号。

(12) A/D 端口配置寄存器 0 (ADPC0)

该寄存器用于切换 ANI0/P20/DS0- ~ ANI7/P27/REF+ 引脚的模拟输入状态(16 位 $\Delta\Sigma$ 型 A/D 转换器的模拟输入或是 10 位逐次逼近型 A/D 转换器的模拟输入)和数字 I/O 端口状态。

(13) 端口模式寄存器 2 (PM2)

该寄存器切换 ANI0/P20/DS0- ~ ANI7/P27/REF+ 引脚的输入或是输出功能。

13.3 16 位 $\Delta\Sigma$ 型 A/D 转换器使用的寄存器

16 位 $\Delta\Sigma$ 型 A/D 转换器使用下列 7 个寄存器

- 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 0 (ADDCTL0)
- 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 1 (ADDCTL1)
- 16 位 $\Delta\Sigma$ 型 A/D 转换结果寄存器 (ADDCR)
- 8 位 $\Delta\Sigma$ 型 A/D 转换结果寄存器 (ADDCRH)
- 16 位 $\Delta\Sigma$ 型 A/D 转换状态寄存器 (ADDSTR)
- A/D 端口配置寄存器 0 (ADPC0)
- 端口模式寄存器 2 (PM2)

(1) 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 0 (ADDCTL0)

该寄存器设置 16 位 $\Delta\Sigma$ 类型 A/D 电路或是控制电路的上/下电状态，转换开始/停止状态，高精度模式开/关状态， $\Delta\Sigma$ 输入模式控制和模拟输入通道。

ADDCTL0 可以通过 1 位或是 8 位存储器操作指令访问。

复位信号将该寄存器设置为 00H。

图 13-2. 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 0 (ADDCTL0)的格式

地址: FF7CH 复位后: 00H R/W

符号 <7> <6> <5> <4> 3 2 1 0

ADDCTL0	ADPON	ADDCE	HAC	AINMCD	0	0	ADDS1	ADDS0
---------	-------	-------	-----	--------	---	---	-------	-------

ADPON	16 位 $\Delta\Sigma$ 型 A/D 电路电源控制	
0	电源关闭	
1	电源打开	

ADDCE	16 位 $\Delta\Sigma$ 型 A/D 转换操作控制	
0	停止转换操作	
1	开始转换操作	

HAC	设置 16 位 $\Delta\Sigma$ 型 A/D 转换高精度模式	
0	高精度模式关闭	
1	高精度模式打开	

AINMOD	16 位 $\Delta\Sigma$ 型 A/D 转换输入模式控制	
0	差分输入	
1	信号输入	

ADDS1	ADDS0	16 位 $\Delta\Sigma$ 型模拟输入设定
0	0	DS0+/DS0-
0	1	DS1+/DS1-
1	0	DS2+/DS2-
1	1	禁止设置

- 注意事项
1. 不能将 ADDPON 和 ADDCE 同时设置为 1。在 ADDPON 设置为 1 后置少 5 秒<T.B.D.> 才能将 ADDCE 设置为 1。
 2. 如果某个引脚已经通过 AFPC0 寄存器设定为模拟输入模式，那么不能再通过 ADDS1 和 ADDS0 设定 $\Delta\Sigma$ 要被设置的模拟输入通道。
 3. 禁止同时运行 16 位 $\Delta\Sigma$ 型 A/D 转换和 10 位逐次逼近型 A/D 转换(ADDCE = 1 且 ADCS = 1)。
 4. 如果 ADDCTL0 被修改(包含同样的数值)，那么必须将 A/D 重新初始化才能恢复转换操作。
 5. 输入电压要保持<输入电压范围> 与 13.4.2 16 位 $\Delta\Sigma$ 型 A/D 转换器操作模式相同。
 6. 当执行 STOP 指令时，16 位 $\Delta\Sigma$ 型 A/D 转换器的电源必须关闭(ADDPON = 0)。

(2) 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 1 (ADDCTL1)

该寄存器设置 A/D 转换的采样时钟，串行/并行模式状态和采样计数（分辨率）。

ADDCTL1 可以通过 1 位或是 8 位存储器操作指令访问。

复位信号将该寄存器设置为 00H。

图 13-3. 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 1 (ADDCTL1) 的格式

地址: FF7DH 复位后: 00H R/W

符号	7	6	<5>	4	3	2	1	0
ADDCTL1	ADDFS1	ADDFS0	ADDTS	0	0	ADDN2	ADDN1	ADDN0

ADDFS1	ADDFS0	16 位 $\Delta\Sigma$ 型 A/D 采样时钟(fvp)选择
0	0	fPRS/4
0	1	fPRS/8
1	0	fPRS/16
1	1	fSUB/2

ADDTS	设置 16 位 $\Delta\Sigma$ 型 A/D 串行/并行模式
0	串行模式
1	并行模式

ADDN2	ADDN1	ADDN0	16 位 $\Delta\Sigma$ 型 A/D 采样 N 的数值(分辨率)
0	0	0	256 (8 位)
0	0	1	1024 (10 位)
0	1	0	2048 (11 位)
0	1	1	4096 (12 位)
1	0	0	8192 (13 位)
1	0	1	16384 (14 位)
1	1	0	32768 (15 位)
1	1	1	65536 (16 位)

- 注意事项
1. 设定采样时钟 (转换时间) 因而满足表 13-1 所示的条件。当选择转换时间，需要考虑时钟频率误差。
 2. 禁止在 16 位 $\Delta\Sigma$ 型 A/D 转换操作期间修改 ADDCTL1 寄存器。若想修改该寄存器必须停止 16 位 $\Delta\Sigma$ 型 A/D 转换操作 (ADDCE = 0)。
 3. 当使用 fSUB 作为 16 位 $\Delta\Sigma$ 型 A/D 采样时钟(fvp)是时，禁止设定并行模式。

转换时间由采样时钟 (f_{VP}) 和采样计数 (N) 决定, 其关系如下所示:

$$\text{采样时间} = 1/f_{VP} \times N$$

$$\text{初始化时间} = 1/\text{操作时钟} + 1/f_{VP} \times 256$$

操作时钟

ADDFS1-0 被选为 1, 1: f_{SUB}

ADDFS1-0 被选为其它情况: f_{PRS}

在串行模式下

<第一次转换>

$$\begin{aligned} \text{转换时间} &= \text{初始化时间} + \text{采样时间} \\ &= (1/\text{操作时钟} + 1/f_{VP} \times 256) + (1/f_{VP} \times N) \end{aligned}$$

<第二次转换之后>

$$\begin{aligned} \text{转换时间} &= \text{采样时间} \\ &= 1/f_{VP} \times N \end{aligned}$$

在并行模式下

<第一次转换>

$$\begin{aligned} \text{转换时间} &= \text{初始化时间} + \text{采样时间} \\ &= (1/\text{操作时钟} + 1/f_{VP} \times 256) + (1/f_{VP} \times N) \end{aligned}$$

<第二次转换之后>

$$\begin{aligned} \text{转换时间} &= \text{采样时间}/4 \\ &= 1/f_{VP} \times N/4 \end{aligned}$$

f_{VP} : 采样时钟, N: 16位 $\Delta\Sigma$ 型 A/D 采样计数

注意事项 如果 ADDCTL0 被修改(包含相同的数值), 转换恢复的方法是在该点重新开始并且使用第一次转换的时间。

表 13-1. 采样时钟 (转换时间) 设定条件

ADDN2	AVREF条件	采样时钟 f_{VP} (16位分辨率的转换时间)
差分输入	$3.5\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$	1.25 MHz 最大值. (52.42 ms 最小值.)
	$2.7\text{ V} \leq AV_{REF} < 3.5\text{ V}$	625 kHz 最大值. (104.85 ms 最小值.)
信号输入	$2.7\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$	625 kHz 最大值. (104.85 ms 最小值.)

表 13-2. 在设定条件下的转换时间示例

		16位 型 A/D 采样 N的数值 (分辨率)							
f_{PRS}	f_{VP}	65536 (16位)	32768 (15位)	16384 (14位)	8192 (13位)	4096 (12位)	2048 (11位)	1024 (10位)	256 (8位)
10 MHz	$f_{PRS}/4$	禁止设定	禁止设定	禁止设定	禁止设定	禁止设定	禁止设定	禁止设定	禁止设定
	$f_{PRS}/8^{\#}$	52.42 ms	26.21 ms	13.10 ms	6.55 ms	3.27 ms	1.63 ms	0.81 ms	0.20 ms
	$f_{PRS}/16$	104.85 ms	52.42 ms	26.21 ms	13.10 ms	6.55 ms	3.27 ms	1.63 ms	0.41 ms
8 MHz	$f_{PRS}/4$	禁止设定	禁止设定	禁止设定	禁止设定	禁止设定	禁止设定	禁止设定	禁止设定
	$f_{PRS}/8^{\#}$	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	2.04 ms	1.02 ms	0.25 ms
	$f_{PRS}/16$	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	2.04 ms	0.51 ms
5 MHz	$f_{PRS}/4^{\#}$	52.42 ms	26.21 ms	13.10 ms	6.55 ms	3.27 ms	1.63 ms	0.81 ms	0.40 ms
	$f_{PRS}/8$	104.85 ms	52.42 ms	26.21 ms	13.10 ms	6.55 ms	3.27 ms	1.63 ms	0.81 ms
	$f_{PRS}/16$	209.71 ms	104.85 ms	52.42 ms	26.21 ms	13.10 ms	6.55 ms	3.27 ms	1.63 ms
4 MHz	$f_{PRS}/4^{\#}$	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	2.04 ms	1.02 ms	0.25 ms
	$f_{PRS}/8$	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	2.04 ms	0.51 ms
	$f_{PRS}/16$	262.14 ms	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	1.02 ms
2 MHz	$f_{PRS}/4$	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	2.04 ms	0.51 ms
	$f_{PRS}/8$	262.14 ms	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	1.02 ms
	$f_{PRS}/16$	524.28 ms	262.14 ms	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	2.04 ms
-	$f_{SUB}/2$	4 s	2 s	1 s	500 ms	250 ms	125 ms	62.5 ms	15.62 ms

注 设定差分输入模式 ($2.7\text{ V} \leq AV_{REF} < 3.5\text{ V}$) 和信号输入模式被禁止, 这是因为在这些模式下不满足转换时间条件。

(3) 16 位 $\Delta\Sigma$ 型 A/D 转换结果寄存器 (ADDCR)

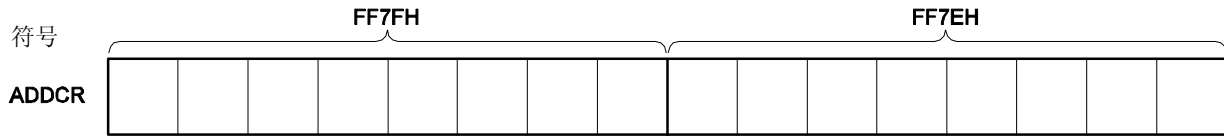
这是一个 16 位寄存器保存着 A/D 转换的结果。每当 A/D 转换完成时，转换结果从 $\Delta\Sigma$ A/D 电路被装载到该寄存器中。转换结果的高 8 位保存在 FF7FH 中，低 8 位保存在 FF7EH 中。

ADDCR 可以通过 16 位存储器操作指令读取。

复位信号设置该寄存器的值为 0000H。

图 13-4. 16 位 $\Delta\Sigma$ 型 A/D 转换结果寄存器(ADDCR)的格式

地址: FF7EH, FF7FH 复位后: 0000H R



注意事项 1. 当 N 位分辨率设定后，转换结果将从高位保存，剩余的位将被设置为 0。

2. 如果转换完成中断和转换结果读取操作相冲突，则转换的结果可能是未定义的。应该在转换完成中断产生后和下一次转换完成之间的时间内，读取转换结果。

(4) 8 位 $\Delta\Sigma$ 型 A/D 转换结果寄存器 (ADDCRH)

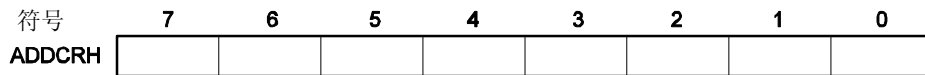
这是一个 8 位寄存器保存着 A/D 转换结果。16 位分辨率的高 8 位被保存。

ADDCRH 可以通过 8 位存储器操作指令读取。

复位信号设置该寄存器的值为 00H。

图 13-5. 8 位 $\Delta\Sigma$ 型 A/D 转换结果寄存器(ADDCRH)的格式

地址: FF7FH 复位后: 00H R



注意事项 如果转换完成中断和转换结果读取操作相冲突，则转换的结果可能是未定义的。应该在转换完成中断产生后和下一次转换完成之间的时间内，读取转换结果。

(5) 16 位 $\Delta\Sigma$ 型 A/D 转换状态寄存器 (ADDSTR)

该寄存器保持完成 A/D 转换的通道。它也可以用于检验完成转换的通道的编号。

ADDSTR 可以通过 8 位存储器操作指令读取。

复位信号将该寄存器的值设置为 00H。

图 13-6. 16 位 $\Delta\Sigma$ 型 A/D 转换状态寄存器 (ADDSTR)的格式

地址: FF75H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
ADDSTR	0	0	0	0	0	0	ADDIT1	ADDIT0

ADDIT1	ADDIT0	16 位 $\Delta\Sigma$ 型 A/D 转换的转换通道	
		选择差分输入	选择信号输入
0	0	DS0+/DS0-	DS0+
0	1	DS1+/DS1-	DS1+
1	0	DS2+/DS2-	DS2+

(6) A/D 端口配置寄存器 0 (ADPC0)

该寄存器切换 ANI0/P20/DS0- ~ ANI7/P27/REF+ 引脚的模拟输入 (16 位 $\Delta\Sigma$ 型 A/D 转换器的模拟输入或是 10 位逐次逼近型 A/D 转换器的模拟输入)或是数字 I/O 端口。

ADPC0 可以通过 1 位或是 8 位存储器操作指令访问。

复位信号将该寄存器的值设置为 08H。

图 13-7. A/D 端口配置寄存器 0 (ADPC0)的格式

地址: FF8FH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPC03	ADPC02	ADPC01	ADPC00

ADPC03	ADPC02	ADPC01	ADPC00	数字 I/O(D)/模拟输入(A: 逐次逼近, Δ : $\Delta\Sigma$)切换								
				P27/ ANI7/ REF+	P26/ ANI6/ REF-	P25/ ANI5/ DS2+	P24/ ANI4/ DS2-	P23/ ANI3/ DS1+	P22/ ANI2/ DS1-	P21/ ANI1/ DS0+	P20/ ANI0/ DS0-	
0	0	0	0	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ
0	0	0	1	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A	D	D
0	0	1	0	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A/ Δ	D	D	D
0	0	1	1	A/ Δ	A/ Δ	A/ Δ	A/ Δ	A	D	D	D	D
0	1	0	0	A/ Δ	A/ Δ	A/ Δ	A/ Δ	D	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D	D
其它情况				禁止设定								

- 注意事项**
1. 使用端口模式寄存器 2(PM2)将用于 A/D 转换通道的端口设置为输入模式。
 2. 如果通过 ADPC0 已经将一个引脚设置为数字 I/O 模式, 不能在通过 ADS, ADDS1 或 ADDS0 再次设置该引脚。
 3. 如果向 ADPC0 写入数据, 会产生一个等待周期。在 CPU 在副系统时钟模式下运行且外部硬件时钟停止时, 不要向 ADPC0 写入数据。若想了解详细信息, 请参考第三十三章 等待注意事项。

(7) 端口模式寄存器 2 (PM2)

当使用 ANI0/P20/DS0- ~ ANI7/P27/REF+ 引脚作为模拟输入端口时，设定 PM20 ~ PM27 为 1。此时 P20 ~ P27 的输出锁存可能会是 0 或 1。

如果 PM20 ~ PM27 被设置为 0，那么将不能作为模拟输入引脚使用。

PM2 可以通过 1 位或是 8 位存储器操作指令访问。

复位信号将该寄存器的值设置为 FFH。

图 13-8. 端口模式寄存器 2 (PM2) 的格式

地址: FF22H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n 引脚 I/O 模式选择(n=0~7)
0	输出模式(输出缓存打开)
1	输入模式(输出缓存关闭)

P20/ANI0/DS0- ~ P27/ANI7/REF+ 引脚与 ADPC0, PM2, ADS 和 ADDCTL0 的关系如下所示。

表 13-3. P20/ANI0/DS0- ~ P27/ANI7/REF+ 引脚的功能设定

ADPC0	PM2	ADS	ADDCTL0	P20/ANI0/DS0- ~ P27/ANI7/REF+ 引脚
模拟输入选择	输入模式	不选择 ANI	不选择 DS _{n±} .	模拟输入 (不进行转换)
		选择 ANI	不选择 DS _{n±} .	模拟输入 (使用逐次逼近型 A/D 转换器进行转换)
		不选择 ANI	选择 DS _{n±} .	模拟输入 (使用 $\Delta\Sigma$ 型 A/D转换器进行转换)
		选择 ANI	选择 DS _{n±} .	禁止设定
	输出模式	-	-	禁止设定
数字 I/O 选择	输入模式	-	-	数字输入
	输出模式	-	-	数字输出

备注 n = 0 ~ 2

13.4 16位 $\Delta\Sigma$ 型 A/D 转换器操作

13.4.1 16位 $\Delta\Sigma$ 型 A/D 转换器基本操作

- <1> 设置 $\Delta\Sigma$ A/D 转换目的通道。
- <2> 设置 ADDPON 为 1 ($\Delta\Sigma$ A/D 打开)。
- <3> 通过 ADDCTL1 和 ADDCTL0 寄存器设定转换操作模式，比如输入模式，操作模式和采样计数。
- <4> 当 ADDCE 被设置为 1 时转换操作开始，但是必须在 ADDPON 被置 1 后置少 5 秒[#]<T.B.D.>才能进行这样的操作。(在 ADDPON 被置 1 后置少 5 秒[#]<T.B.D.>后将 ADDCE 置 1 也可以开始转换操作，但是这种模式下并不能保证操作的结果)。
- <5> 当转换完成后，会产生一个中断(INTDSAD)并将结果保存到 ADDCR 寄存器。读取其数值。
- <6> 如果 ADDCE 没有被设置为 0 (转换操作停止)，重复步骤 5。如果想要停止转换操作，将 ADDCE 清 0。
- <7> 在不使用 $\Delta\Sigma$ A/D 的情况下，为了降低电流可以将 ADDPON 清 0 ($\Delta\Sigma$ A/D 关闭)。

注 禁止在转换操作期间对 ADDCTL1 进行写操作。

如果在转换期间改变 $\Delta\Sigma$ A/D 转换引脚的设置，那么转换的不会保存结果。如果目标引脚的设置被改变，则需要重新启动转换操作。

注意事项 在执行 STOP 指令之前，要停止 $\Delta\Sigma$ A/D 转换。如果在 $\Delta\Sigma$ A/D 转换期间执行 STOP 指令，那么不能保证转换的结果。

13.4.2 16 位 $\Delta\Sigma$ 型 A/D 转换器的操作模式

16 位 $\Delta\Sigma$ 型 A/D 转换器可以设定以下几种操作模式。

(1) 差分输入模式/信号输入模式

16 位 $\Delta\Sigma$ 型 A/D 转换器的输入模式可以设定为差分输入模式或是信号输入模式，前者的精确度要高于后者。当使用差分输入模式的时候，将模拟信号引入 DSn- 和 DSn+ 引脚。当使用信号输入模式的时候，将模拟信号引入 DSn+ 引脚并将 DSn- 引脚设置成为与 V_{ss} 和 AV_{ss} 相同的电势。在差分输入模式中， DSn- 和 DSn+ 输入电压的中心值为 0.5 REF+ 。

(2) 16 位 $\Delta\Sigma$ 型 A/D 高精度模式

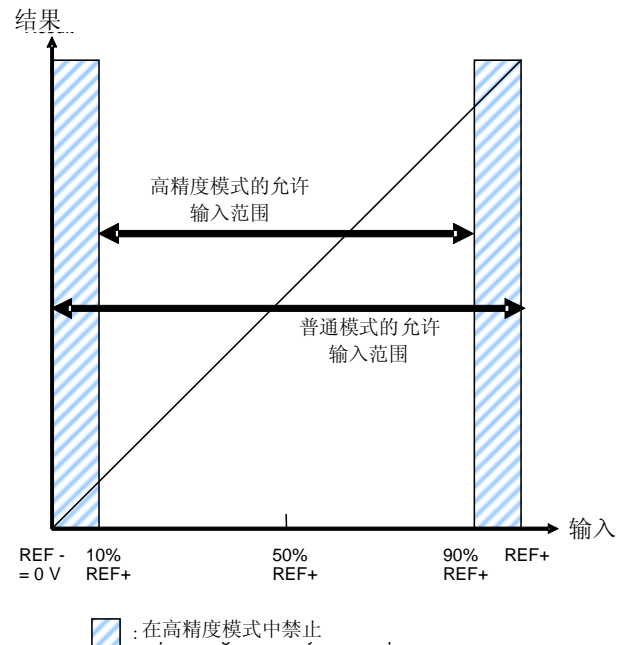
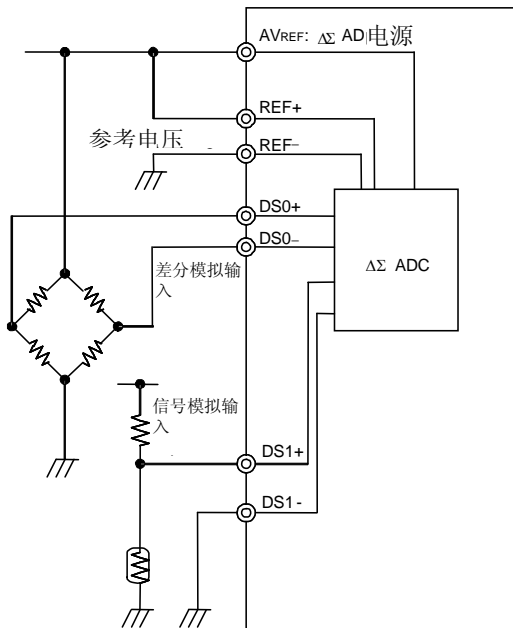
16 位 $\Delta\Sigma$ 型 A/D 转换器可以选择打开或是关闭高精度模式，这种模式将有效的提高转换的精确性。

<输入电压范围>

		DSn+ 的输入电压范围	DSn- 的输入电压范围
差分输入	高精度模式打开	$0.5 \times (\text{REF+}) + X1$	$0.5 \times (\text{REF+}) - X1$
	高精度模式关闭	$0.5 \times (\text{REF+}) + X2$	$0.5 \times (\text{REF+}) - X2$
信号输入	高精度模式打开	$0.1 \times (\text{REF+})$ to $0.9 \times (\text{REF+})$	固定为 AV_{ss}
	高精度模式关闭	$0 \sim \text{REF+}$	

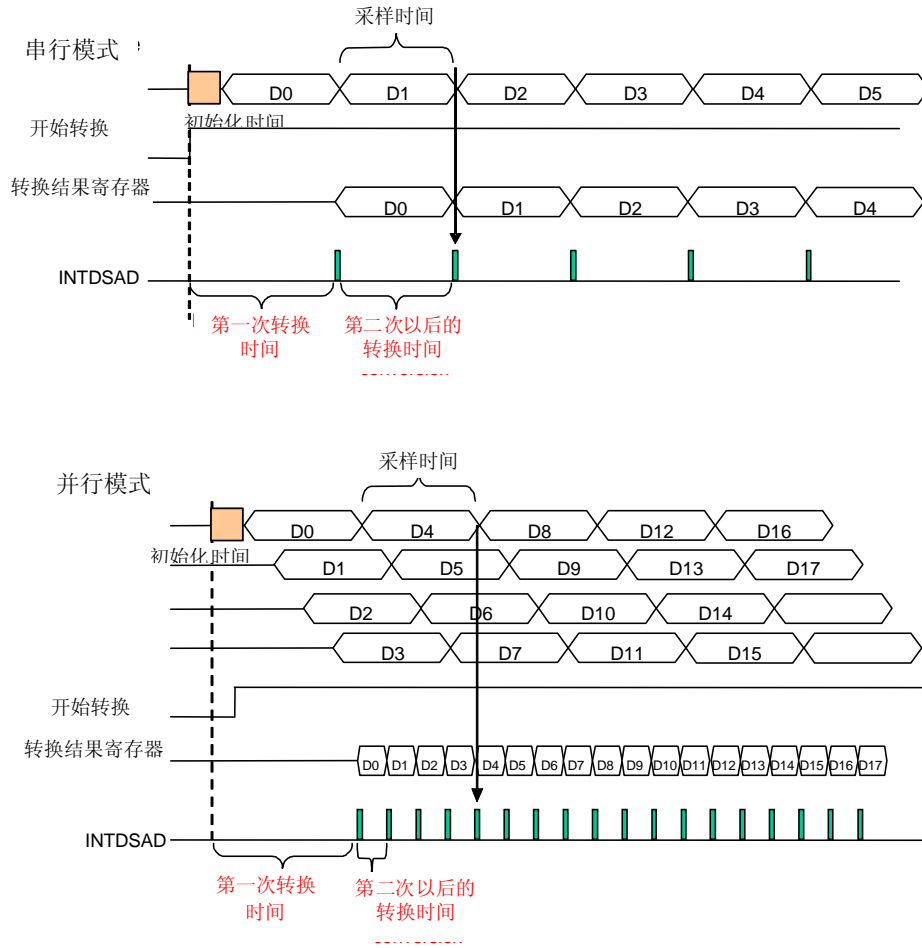
备注 $X1 = -0.4 \times (\text{REF+}) \sim 0.4 \times (\text{REF+})$
 $X2 = -0.5 \times (\text{REF+}) \sim 0.5 \times (\text{REF+})$
 $n = 0 \sim 2$

应用电路示例



(3) 串行模式/并行模式

16位 $\Delta\Sigma$ 型 A/D 转换器的输入模式可以设置串行或是并行。并行模式的转换时间是串行模式的四分之一。但是并行模式第一次的转换时间和采样时间与串行模式相同。



13.5 16 位 $\Delta\Sigma$ 型 A/D 转换器的注意事项

(1) STOP 模式下的操作电流

在 STOP 模式下 A/D 转换器停止运行。此时，通过将 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 0 (ADDCTL0) 的位 7 (ADDPON) 和位 6 (ADDCE) 清 0 可以降低操作电流。

当从待机状态中恢复操作时，将中断请求标志寄存器 1L (IF1L) 的位 6 清 0 重新开始操作。

(2) DS0-, DS0+, DS1-, DS1+, DS2-和 DS2+的输入范围

观察 DS0-, DS0+, DS1-, DS1+, DS2-和 DS2+输入电压的额定范围。如果电压为 REF+ (AVREF)或更高，或者 REF- (AVss)或更低(甚至在最大范围之内) 输入到模拟输入通道，那么该通道转换的结果是未定义的。另外，其它通道的转换结果也会受到影响。

(3) 冲突操作

<1> 在转换完成后，A/D 转换结果寄存器 (ADDCR, ADDCRH)之间的写入和通过指令读取 ADDCR 或 ADDCRH 之间的冲突

ADDCR 或 ADDCRH 的读取带有优先级。在读取操作之后，新的转换结果被写入到 ADDCR 或 ADDCRH。

<2> 在转换完成后，ADDCR 或 ADDCRH 写入和 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 0 (ADDCTL0)写入或 A/D 端口配置寄存器 0 (ADPC0)写入之间的冲突

ADDCR 或 ADPC0 的写入带有优先级。ADDCR 或是 ADDCRH 的写入操作不会被执行，也不会产生转换完成中断信号 (INTDSAD)。

(4) 噪声处理

为了保持规定的精确度，必须要关注 DS0-, DS0+, DS1-, DS1+, DS2-, DS2+, REF- (AVss)和 REF+ (AVREF)引脚的输入噪声。

<1> 在电源上连接一个具有较低等效阻抗和良好频响特性的电容。

<2> 模拟输入源的输出阻抗越高，影响越大。为了减少噪声，推荐连接外部电容。

<3> 在转换期间不要进行引脚的切换。

<4> 在转换开始后立即进入 HALT 模式有助于提高精确度。

(5) DS0-/ANI0/P20, DS0+/ANI1/P21, DS1-/ANI2/P22, DS1+/ANI3/P23, DS2-/ANI4/P24, DS2+/ANI5/P25, REF-/ANI6/P26 和 REF+/ANI7/P27

<1> 模拟输入引脚(DS0-, DS0+, DS1-, DS1+, DS2-, DS2+, REF-和 REF+)也可以被用作 I/O 端口引脚 (P20 ~ P27)。

当 16 位 $\Delta\Sigma$ 型 A/D 转换通过 DS0-/DS0+, DS1-/DS1+或是 DS2-/DS2+其中之一执行时，不要访问 P20 ~ P27；否则转换精确度可能会受到影响。当需要使用数字 I/O 端口时，推荐使用 P20 ~ P27 中距离 REF+引脚最远的。

<2> 如果在 16 位 $\Delta\Sigma$ 型 A/D 转换操作期间，P20 ~ P27 存在数字 I/O 端口，由于存在耦合噪声，可能无法获得期望得 A/D 转换结果。所以在 A/D 转换操作期间，保证不要存在任何从 P20 ~ P27 输入或是输出得数字脉冲。

(6) DS0+, DS1+, DS2+, DS0-, DS1-和 DS2- 引脚的输入阻抗

A/D 转换器在采样时间内对采样电容进行充电。

因此，当采样停止的时候只有漏电流存在，并且在采样过程中电流对电容进行充电。因此，输入阻抗的波动取决于采样操作是否正在进行和在其它状态下。

但是为了确定采样是否有效，推荐模拟输入源的输出阻抗保持在 10 k Ω 以内，并在 DS0+, DS1+, DS2+, DS0-, DS1-和 DS2-引脚上连接 0.1 F 的电容。

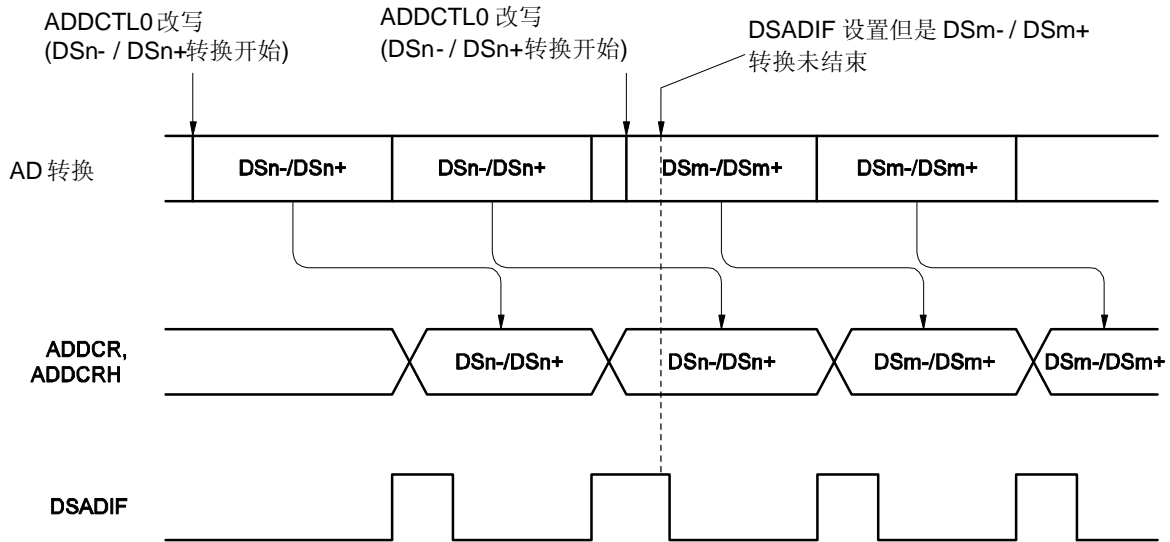
(7) 中断请求标志 (DSADIF)

即使 16 位 $\Delta\Sigma$ 型 A/D 转换器控制寄存器 0 (ADDCTL0) 的位 1 和位 0 改变，中断请求标志(DSADIF)也不会被清 0。

因此，在 A/D 转换期间如果模拟输入引脚发生改变，在 ADDCTL0 重写入之前，A/D 转换结果以及模拟输入的每一次改变的 DSADIF 可能会被设置。此时，需要注意在 ADDCTL0 改写后立即读取 DSADIF，DSADIF 都将会被设置，而忽略发生改变的模拟输入通道的 A/D 转换是否真的完成。

当 A/D 转换停止然后恢复后，一定要在 A/D 转换操作恢复之前清除 DSADIF。

图 13-9. A/D 转换完成中断请求产生时序



- 备注
1. $n = 0 \sim 2$
 2. $m = 0 \sim 2$

(8) A/D 转换开始后的转换结果

如果 ADDPON 位置 1 后 5 微秒内将 ADDCE 位置 1，或者在 ADDPON 位= 0 的条件下将 ADDCE 位置 1，A/D 转换开始后的第一个 A/D 转换值可能不再额定范围之内。注意检测 A/D 转换完毕中断请求(INTDSAD)并且忽略第一个转换结果。

(9) 内部等效电路

模拟输入模块的内部等效电路如下所示。

图 13-10. $DSn-$ 和 $DSn+$ 引脚的内部等效电路

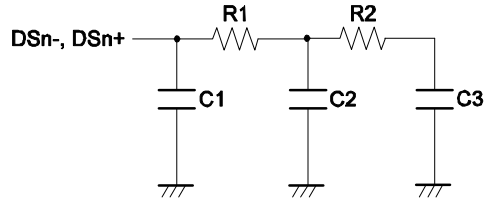


表 13-4. 内部等效电路的电阻和电容值 (参考值)

AV_{REF}	R1	R2	C1	C2	C3
2.7 V	TBD	TBD	TBD	TBD	TBD
4.5 V	TBD	TBD	TBD	TBD	TBD

- 备注**
1. 表 13-4 所示的内部等效电路的电阻和电容值不是被保证的。
 2. $n = 0 \sim 2$

(10) 10 位逐次逼近型 A/D 转换器和 16 位 $\Delta\Sigma$ 型 A/D 转换器同时使用

当 10 位逐次逼近型 A/D 转换器正在运行时，应该停止 16 位 $\Delta\Sigma$ 型 A/D 转换器操作，否则将不能保证操作的精确度。同样的，当 16 位 $\Delta\Sigma$ 型 A/D 转换器运行时，要停止 10 位逐次逼近型 A/D 转换器的操作。(切忌同时操作)

14.1 串行接口 UART0 的功能

串行接口 UART0 有以下两种模式。

(1) 操作停止模式

这个模式在不进行串口通信时使用，以降低功耗。

需要了解详细信息，请参阅 **14.4.1 操作停止模式**。

(2) 异步串行接口(UART)模式

该模式的功能概括如下。

需要了解详细信息，请参阅 **14.4.2 异步串行接口(UART)模式** 和 **14.4.3 专用波特率发生器**。

- 最大传输率: 625 kbps
- 双引脚配置 TXD0: 发送数据输出引脚
RXD0: 接收数据输入引脚
- 可选择通信数据的宽度为 7 或 8 位。
- 专用内置 5 位波特率发生器，允许设置任意大小的波特率。
- 可分别执行发送和接收操作(全双工操作)。
- 恒为 LSB-first 通信

- 注意事项**
1. 如果串行接口 UART0 使用的时钟未停止(例如处于 HALT 模式下)，则可继续正常操作。如果时钟已停止(例如处于 STOP 模式下)，则每个寄存器都停止操作，并且在时钟停止之前及时保存数据。TxD0 引脚在时钟停止之前立即保存数据并输出。但在时钟恢复使用后的操作不能得到保证。因此必须复位电路，使 POWER0 = 0、RXE0 = 0 以及 TXE0 = 0。
 2. 先设置 POWER0 = 1，然后设置 TXE0 = 1(发送)或 RXE0 = 1(接收)开始通信。
 3. 由 BRGC0 设置基本时钟(f_{XCLK0})，可使 TXE0 与 RXE0 同步。为了能够再次发送或接收，在 TXE0 或 RXE0 被清零后，至少要经历两个基本时钟再将 TXE0 或 RXE0 置 1。如果在不到两个基本时钟时设置 TXE0 或 RXE0，则发送或接收电路可能不被初始化。
 4. 设置 TXE0=1 之后经过至少一个基本时钟才能发送数据到 TXS0。

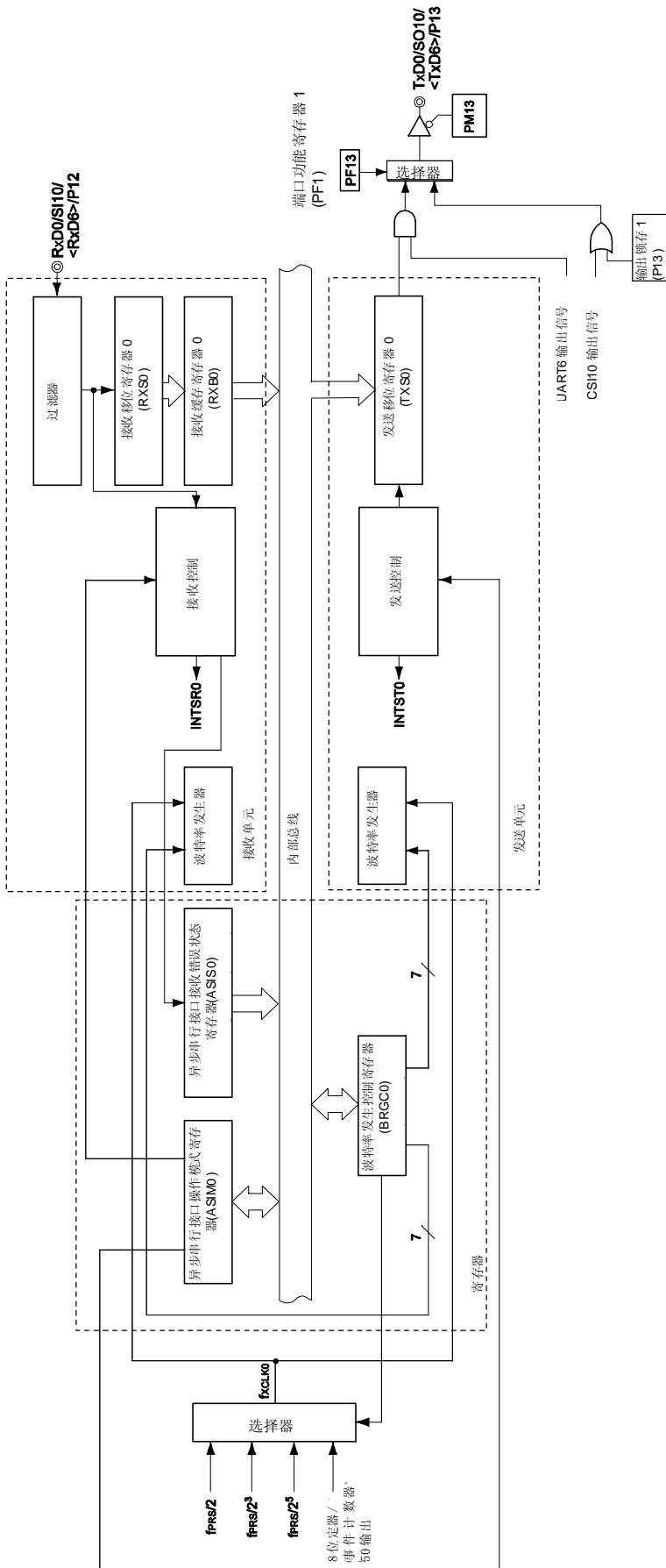
14.2 串行接口 UART0 的配置

串行接口 UART0 包括以下硬件。

表 14-1. 串行接口 UART0 的配置

项目	配置
寄存器	接收缓冲寄存器 0 (RXB0) 接收移位寄存器 0 (RXS0) 发送移位寄存器 0 (TXS0)
控制寄存器	异步串行接口操作模式寄存器 0 (ASIM0) 异步串行接口接收错误状态寄存器 0 (ASIS0) 波特率发生器控制寄存器 0 (BRGC0) 端口功能寄存器 1 (PF1) 端口模式寄存器 1 (PM1) 端口寄存器 1 (P1)

图 14-1. 串行接口 UART0 框图



(1) 接收缓冲寄存器 0 (RXB0)

该 8 位寄存器用于存储由接收移位寄存器 0(RXS0)转换的并行数据。

每接收到 1 字节的数据，新的接收数据就从接收移位寄存器 0(RXS0)被传送到该寄存器中。

如果数据宽度被设定为 7 位，则将接收到的数据传送到 RXB0 的 0 ~ 6 位，而 MSB 位恒为 0。

如果出现溢出错误(OVE0)，则不把接收数据传送到 RXB0 中。

可由 8 位存储器操作指令读取 RXB0 的内容。不能将数据写入该寄存器中。

复位信号的产生和 POWER0 = 0 将该寄存器设置为 FFH。

(2) 接收移位寄存器 0 (RXS0)

该寄存器将输入到 RxD0 引脚的串行数据转换成并行数据。

程序不能直接使用 RXS0。

(3) 发送移位寄存器 0 (TXS0)

该寄存器用于设置发送数据。当数据写入 TXS0 时启动发送操作，串行数据从 TxD0 引脚输出。

可由 8 位存储器操作指令对 TXS0 进行写操作。该寄存器的内容不能被读取。

复位信号的产生、POWER0 = 0 或 TXE0 = 0 将该寄存器设置为 FFH。

- 注意事项**
1. 设置 TXE0=1 之后经过至少一个基本时钟(f_{CLK0})才能发送数据到 TXS0。
 2. 在发送完成中断信号(INTST0)产生之前，不要把下一个发送数据写入 TXS0。

14.3 控制串行接口 UART0 的寄存器

串行接口 UART0 由以下 6 个寄存器控制。

- 异步串行接口操作模式寄存器 0 (ASIM0)
- 异步串行接口接收错误状态寄存器 0 (ASIS0)
- 波特率发生器控制寄存器 0 (BRGC0)
- 端口功能寄存器 1 (PF1)
- 端口模式寄存器 1 (PM1)
- 端口寄存器 1 (P1)

(1) 异步串行接口操作模式寄存器 0 (ASIM0)

该 8 位寄存器用于控制串行接口 UART0 的串行通信操作。

该寄存器可由 1 位或 8 位存储器操作指令设置。

复位信号的产生将该寄存器设置为 01H。

图 14-2. 异步串行接口操作模式寄存器 0 (ASIM0)的格式(1/2)

地址: FF70H 复位后: 01H R/W

符号	<7>	<6>	<5>	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部操作时钟的允许/禁止操作
0 ^{#1}	禁止内部操作时钟的操作 (时钟恒为低电平) 并异步复位内部电路 ^{#2}
1	允许内部操作时钟的操作

TXE0	允许/禁止发送
0	禁止发送 (同步复位发送电路)
1	允许发送

RXE0	允许/禁止接收
0	禁止接收 (同步复位接收电路)
1	允许接收

- 注
1. 当 POWER0 = 0 时, 从 RxD0 引脚输入的信号恒为高电平。
 2. 对异步串行接口接收错误状态寄存器 0(ASIS0)、发送移位寄存器 0(TXS0)和接收缓冲寄存器 0(RXB0)进行复位。

图 14-2. 异步串行接口操作模式寄存器 0 (ASIM0)的格式 (2/2)

PS01	PS00	发送操作	接收操作
0	0	不输出校验位	无校验接收
0	1	输出零校验	零校验接收 ^注
1	0	输出奇校验	按奇校验判断
1	1	输出偶校验	按偶校验判断

CL0	指定发送/接收数据的字符宽度
0	数据的字符宽度 = 7 位
1	数据的字符宽度 = 8 位

SL0	指定发送数据停止位的个数
0	停止位个数 = 1
1	停止位个数 = 2

注 如果选择“按零校验接收”，则无法判断校验。因此不要设置异步串行接口接收错误状态寄存器 0(ASIS0)的第 2 位(PE0)，这样就不会产生错误中断。

- 注意事项**
1. 启动操作时，对 **POWER0** 置 1，然后对 **TXE0** 置 1。停止操作时，先将 **TXE0** 清零，然后将 **POWER0** 清零。
 2. 启动操作时，对 **POWER0** 置 1，然后对 **RXE0** 置 1。停止操作时，先将 **RXE0** 清零，然后将 **POWER0** 清零。
 3. 当 **RxD0** 引脚输入为高电平时，先对 **POWER0** 置 1，再对 **RXE0** 置 1。当输入为低电平，**POWER0** 置 1，**RXE0** 置 1 时，启动接收操作。
 4. 通过 **BRGC0** 设置的基本时钟(f_{XCLK0})同步 **TXE0** 与 **RXE0**。为了能够再次发送或接收，在 **TXE0** 或 **RXE0** 被清零后，至少要经历两个基本时钟再将 **TXE0** 或 **RXE0** 置 1。如果在不到两个基本时钟的时间内设置 **TXE0** 或 **RXE0**，则发送或接收电路可能不被初始化。
 5. 设置 **TXE0=1** 之后经过至少一个基本时钟(f_{XCLK0})才能发送数据到 **TXS0**。
 6. 在对 **PS01**、**PS00** 和 **CL0** 位重写之前，先将 **TXE0** 和 **RXE0** 位清零。
 7. 在重写 **SL0** 位时，必须确保 **TXE0 = 0**。总是以“停止位的个数=1”的格式执行接收操作，因此不会受到 **SL0** 设置值的影响。
 8. 第 0 位必须为 1。

(2) 异步串行接口接收错误状态寄存器 0 (ASIS0)

该寄存器用于指示串行接口 UART0 在接收操作完成时出现的错误状态，包括 3 个出错标志位(PE0, FE0, OVE0)。可由 8 位存储器操作指令对该寄存器进行只读操作。

- ★ 复位信号的产生将 ASIM0 的第 5 位(RXE0)或第 7 位(POWER0)置 0。读取寄存器的值为 00H。如果产生一个接收错误,则先读取 ASIS0 再读取接收缓冲寄存器 0(RXB0)以便将出错标志位清零。

图 14-3. 异步串行接口接收错误状态寄存器 0 (ASIS0)的格式

地址: FF73H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	指示校验错误的状态标志位
0	如果 POWER0 = 0 且 RXE0 = 0、或 ASIS0 被读取
1	如果发送数据的校验位与接收完成时的校验位不匹配

FE0	指示帧错误的状态标志位
0	如果 POWER0 = 0 且 RXE0 = 0、或 ASIS0 被读取
1	如果接收完成时未检测到停止位

OVE0	指示溢出错误的状态标志位
0	如果 POWER0 = 0 且 RXE0 = 0、或 ASIS0 被读取
1	如果接收数据被设置在 RXB0 寄存器中且在读取该数据前下一个接收操作已完成

- 注意事项**
1. 根据异步串行接口操作模式寄存器 0(ASIM0)的 PS01 和 PS00 位的内容的不同，对 PE0 位的操作也有所不同。
 2. 无论停止位的个数是多少，只能将接收数据的第 1 位作为停止位进行检测。
 3. 如果出现溢出错误，则下一个接收数据不写入接收缓冲寄存器 0(RXB0)中，而是被忽略。
 4. 如果从 ASIS0 读取数据，会产生一个等待周期。当 CPU 采用子系统时钟操作而停止外围硬件时钟时，不要从 ASIS0 读取数据。需要了解详细信息，可参见第三十二章 等待注意事项。

(3) 波特率发生器控制寄存器 0 (BRGC0)

该寄存器用于选择串行接口 UART0 的基本时钟和 5 位计数器的分频值。

可由 8 位存储器操作指令设置 BRGC0。

复位信号的产生将该寄存器设置为 1FH。

图 14-4. 波特率发生器控制寄存器 0 (BRGC0) 的格式

地址: FF71H 复位后: 1FH R/W

符号	7	6	5	4	3	2	1	0
BRGC0	TPS01	TPS00	0	MDL04	MDL03	MDL02	MDL01	MDL00

TPS01	TPS00	基本时钟 (f _{CLK0}) 的选择 ^{注1}				
		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	
0	0	TM50 输出 ^{注2}				
0	1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz
1	0	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz
1	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz

MDL04	MDL03	MDL02	MDL01	MDL00	k	5 位计数器输出时钟的选择
0	0	×	×	×	×	禁止设置
0	1	0	0	0	8	f _{CLK0} /8
0	1	0	0	1	9	f _{CLK0} /9
0	1	0	1	0	10	f _{CLK0} /10
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
1	1	0	1	0	26	f _{CLK0} /26
1	1	0	1	1	27	f _{CLK0} /27
1	1	1	0	0	28	f _{CLK0} /28
1	1	1	0	1	29	f _{CLK0} /29
1	1	1	1	0	30	f _{CLK0} /30
1	1	1	1	1	31	f _{CLK0} /31

注 1. 如果外部硬件时钟 (f_{PRS}) 为高速系统时钟 (f_{XH}) (XSEL = 1), 那么 f_{PRS} 操作频率变化取决于输入电压。

- V_{DD} = 2.7 ~ 5.5 V: f_{PRS} ≤ 10 MHz
- V_{DD} = 1.8 ~ 2.7 V: f_{PRS} ≤ 5 MHz

2. 选择 TM50 输出作为基本时钟时, 应注意以下几点。

- 模式: TM50 与 CR50 匹配时产生清零并启动 (TMC506 = 0)
先启动 8 位定时器/事件计数器 50, 然后允许定时器 F/F 进行反转操作 (TMC501 = 1)。
- PWM 模式 (TMC506 = 1)

先启动 8 位定时器/事件计数器 50, 然后设置计数时钟, 使占空比 = 50%。

不论何种模式, 都不必将 TO50 作为定时器输出引脚。

- 注意事项**
1. 在重写 MDL04 ~ MDL00 位时，必须确保 ASIM0 的第 6 位(TXE0)和第 5 位(RXE0) = 0。
 2. 波特率为 5 位计数器输出时钟的 1/2。

- 备注**
1. f_{CLK0}: 根据 TPS01 和 TPS00 位选择的基本时钟的频率
 2. f_{PRS}: 外围硬件时钟频率
 3. k: 由 MDL04 ~ MDL00 位设置的值(k = 8, 9, 10, ..., 31)
 4. x: 不必考虑
 5. TMC506: 8 位定时器模式控制寄存器 50(TMC50)的第 6 位
TMC501: TMC50 的第 1 位

(4) 功能寄存器 1 (PF1)

该寄存器设定 P13/SO10/TxD0/<TxD6> 引脚的功能。

PF1 可以通过 1 位或是 8 存储器操作指令访问。

复位信号设定 PF1 的值为 00H。

图 14-5. 端口功能寄存器 1 (PF1) 的格式

地址: FF20H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	端口(P13), CSI10, UART0和UART6 输出说明
0	作为 P13 或是 SO10
1	作为 TxD0 或是TxD6

(5) 端口模式寄存器 1 (PM1)

该寄存器设置端口 1 的位选输入/输出操作模式。

当 P13/SO10/TxD0/<TxD6>引脚用于串行接口数据输出时，将 PM13 清 0。此时 P13 的输出锁存器的值可以等于 0 或 1。

当 P12/SI10/RxD0/<RxD6>引脚用于串行接口数据输入时，将 PM12 置 1。此时 P12 的输出锁存器的值可以等于 0 或 1。

可由 1 位或 8 位存储器操作指令设置 PM1。

复位信号的产生将该寄存器设置为 FFH。

图 14-6. 端口模式寄存器 1(PM1)的格式

地址： FF21H 复位后： FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	1	1	1	PM14	PM13	PM12	PM11	1

PM1n	P1n 引脚 I/O 模式选择 (n = 1 ~ 4)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

14.4 串行接口 UART0 的操作

串行接口 UART0 有以下两种模式。

- 操作停止模式
- 异步串行接口(UART)模式

14.4.1 操作停止模式

在此模式下，不能进行串行通信，这样可降低功耗。此外，引脚可作为通用端口引脚使用。通过将 ASIM0 的第 7、6 和 5 位(POWER0、TXE0 和 RXE0)清零，可设置操作停止模式。

(1) 使用的寄存器

由异步串行接口操作模式寄存器 0(ASIM0)设置操作停止模式。

可由 1 位或 8 位存储器操作指令设置 ASIM0。

复位信号的产生将该寄存器设置为 01H。

地址： FF70H 复位后： 01H R/W

符号	<7>	<6>	<5>	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部操作时钟的允许/禁止操作
0 ^{注1}	禁止内部操作时钟的操作(时钟恒为低电平)且对内部电路进行异步复位 ^{注2}

TXE0	允许/禁止发送
0	禁止发送(同步复位发送电路)

RXE0	允许/禁止接收
0	禁止接收(同步复位接收电路)

- 注
1. 当 POWER0 = 0 时，从 RxD0 引脚输入的信号恒为高电平。
 2. 对异步串行接口接收错误状态寄存器 0(ASIS0)、发送移位寄存器 0(TXS0)和接收缓冲寄存器 0(RXB0)进行复位。

注意事项 TXE0 和 RXE0 清零后再对 POWER0 清零，可设置操作停止模式。

如果要启动操作，设置 POWER0=1，然后设置 TXE0 或 RXE0=1。

备注 如果要 RxD0/SI10/<RxD6>/P12 和 TxD0/SO10/<TxD6>/P13 作为通用端口引脚使用，可参见第四章端口功能。

14.4.2 异步串行接口 (UART)模式

此模式下，在起始位后的 1 字节数据被发送/接收，可执行全双工操作。
可使用专用 UART 波特率发生器，这样通信选择的波特率范围较大。

(1) 使用的寄存器

- 异步串行接口操作模式寄存器 0 (ASIM0)
- 异步串行接口接收错误状态寄存器 0 (ASIS0)
- 波特率发生器控制寄存器 0 (BRGC0)
- 端口模式寄存器 1 (PM1)
- 端口寄存器 1 (P1)

在 UART 模式中设置操作的基本过程如下。

- <1> 设置 BRGC0 寄存器 (参见图 14-4)。
- <2> 设置 ASIM0 的 1~4 位 (SL0、CL0、PS00 和 PS01)(参见图 14-2)。
- <3> 将 ASIM0 的第 7 位 (POWER0)置 1。
- <4> 将 ASIM0 的第 6 位 (TXE0)置 1。 →允许发送。
将 ASIM0 的第 5 位 (RXE0)置 1。 →允许接收。
- <5> 对 TXS0 寄存器赋值。 → 开始发送数据。

注意事项 在设置端口模式寄存器和端口寄存器时，要考虑与通信另一方的关系。

寄存器设置与引脚之间的关系如下所示。

表 14-2 寄存器设置与引脚之间的关系

POWER0	TXE0	RXE0	PM13	P13	PM12	P12	UART0 操作	引脚功能	
								TxD0/SO10 /<TxD6>/P13	RxD0/SI10 /<RxD6>/P12
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SO10/<TxD6>/P13	SI10/<RxD6>/P12
1	0	1	x ^注	x ^注	1	x	接收	SO10/P13	RxD0
	1	0	0	x	x ^注	x ^注	发送	TxD0	SI10/P12
	1	1	0	x	1	x	发送/ 接收	TxD0	RxD0

注 能够作为端口，串行接口 CSI10 或是串行接口 UART6 (仅限于 UART0 停止)。

备注

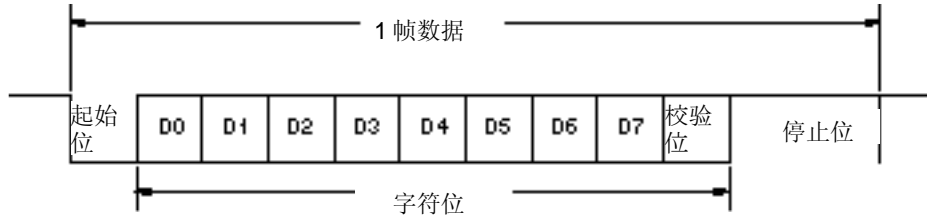
- x: 不必考虑
- POWER0: 异步串行接口操作模式寄存器 0 (ASIM0)的第 7 位
- TXE0: ASIM0 的第 6 位
- RXE0: ASIM0 的第 5 位
- PM1x: 端口模式寄存器
- P1x: 端口输出锁存器

(2) 通信操作

(a) 正常发送/接收数据的格式和波形示例

图 14-7 和 14-8 为正常发送/接收数据的格式和波形示例。

图 14-7. 正常 UART 发送/接收数据的格式



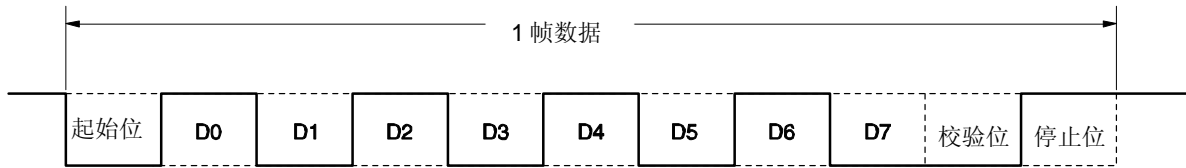
一个数据帧由以下各位组成。

- 起始位 ... 1 位
- 字符位 ... 7 或 8 位 (LSB-first)
- 校验位 ... 偶校验、奇校验、零校验或无校验
- 停止位 ... 1 或 2 位

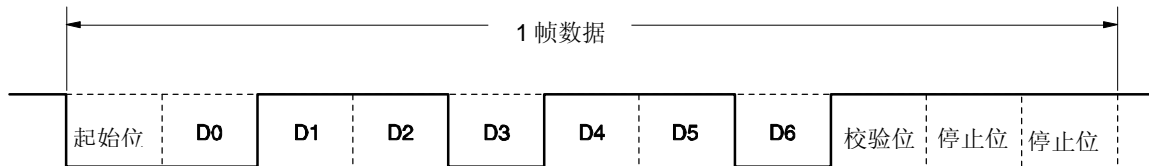
由异步串行接口操作模式寄存器 0(ASIM0)规定一个数据帧中字符位的宽度、校验方式和停止位的宽度。

图 14-8. 正常 UART 发送/接收数据波形示例

1. 数据宽度: 8 位, 校验位: 偶校验, 停止位: 1 位, 通信数据: 55H



2. 数据宽度: 7 位, 校验位: 奇校验, 停止位: 2 位, 通信数据: 36H



3. 数据宽度: 8 位, 校验位: 无, 停止位: 1 位, 通信数据: 87H



(b) 校验方式与操作

校验位用于检测数据通信中的位错误。通常在发送和接收两端可采用相同的校验方式。当采用偶校验和奇校验时，可检测到 1 位(奇数)错误。而采用零校验和无校验时，则不能检测到错误。

(i) 偶校验

• 发送

控制发送数据，包括校验位，使得数据中“1”的个数为偶数。

校验位的取值如下。

如果发送数据有奇数个“1”：1

如果发送数据有偶数个“1”：0

• 接收

计算接收数据(包括校验位)中“1”的个数。如果结果为奇数，则产生校验错误。

(ii) 奇校验

• 发送

与偶校验方式不同，奇校验用于控制发送数据，包括校验位，使得数据中“1”的个数为奇数。

如果发送数据有奇数个“1”：0

如果发送数据有偶数个“1”：1

• 接收

计算接收数据(包括校验位)中“1”的个数。如果结果为偶数，则产生校验错误。

(iii) 零校验

无论发送数据为何值，发送时校验位被清零。

接收数据时不检测校验位。因此无论校验位为何值，都不会产生校验错误。

(iv) 无校验

发送数据中没有校验位。

进行接收操作时认为接收数据中没有校验位。因此也不会产生校验错误。

(c) 发送

当异步串行接口操作模式寄存器 0(ASIM0)的第 7 位(POWER0)=1 且 ASIM0 的第 6 位(TXE0)=1 时, 允许发送。将待发送数据写入发送移位寄存器 0(TXS0), 可启动发送操作。起始位、校验位和停止位会自动添加到数据中。

启动发送操作时, 先从 TxD0 引脚输出起始位, 然后从 LSB 开始依次发送数据其它位。当发送结束时, 由 ASIM0 设置的校验位和停止位被添加到数据中, 并产生发送完成中断请求(INTST0)。

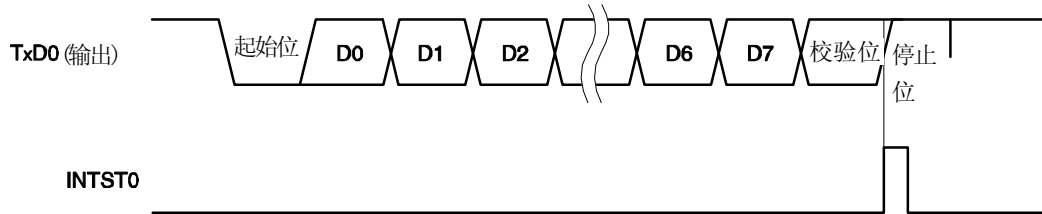
当下一个待发送数据被写入 TXS0 时, 发送操作才结束。

图 14-9 显示了发送完成中断请求(INTST0)的时序。最后一个停止位输出后就产生该中断。

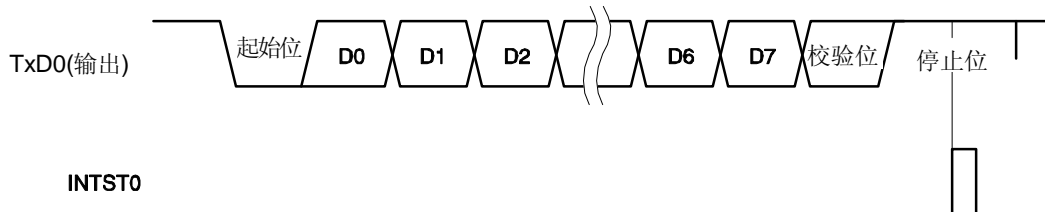
注意事项 在将待发送数据写入 TXS0 后, 在发送完成中断信号(INTST0)产生之前, 不要将下一个发送数据写入 TXS0。

图 14-9. 发送完成中断请求的时序

1. 停止位宽度: 1



2. 停止位宽度: 2



(d) 接收

当异步串行接口操作模式寄存器 0(ASIM0)的第 7 位(POWER0)=1, 然后将 ASIM0 的第 5 位(RXE0)置 1 时, 允许接收并对 RxD0 引脚输入进行采样。

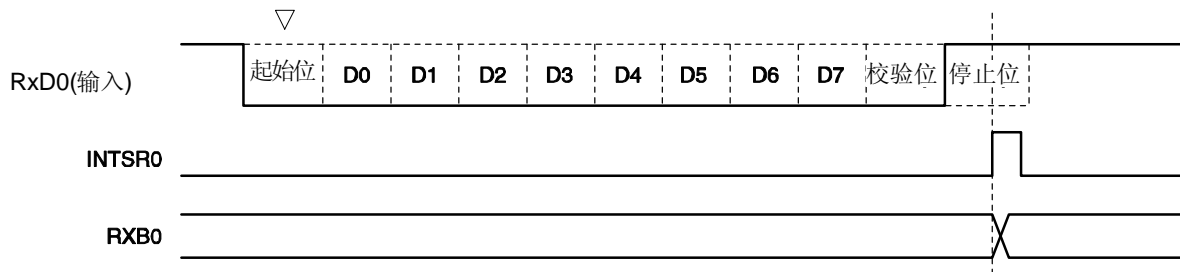
当检测到 RxD0 引脚输入的下降沿时波特率发生器的 5 位计数器开始计数。当计数值等于波特率发生器控制寄存器 0 (BRGC0) 的设置值时, 再次采样 RxD0 的输入信号 (如图 14-9 中的▽)。如果此时 RxD0 为低电平, 则认为输入信号为起始位。

当检测到起始位时, 开始接收, 以设置的波特率将串行数据依次存入接收移位寄存器 0(RXS0)。当接收到停止位时, 会产生接收完成中断信号(INTSR0), 并且将 RXS0 的数据写入接收缓冲寄存器 0(RXB0)。但如果出现溢出错误, 则接收到的数据不写入 RXB0。

即使在接收过程中出现校验错(PE0), 接收仍然继续, 直至接收到停止位, 而在接收完成后会产生一个接收错误中断(INTSR0)。

当接收操作完成且存在接收错误, 则产生 INTSR0。

图 14-10. 接收完成中断请求时序



- 注意事项**
1. 如果出现接收错误, 必须先读取异步串行接口接收错误状态寄存器 0 (ASIS0)再读取接收缓冲寄存器 0 (RXB0)的内容, 才能对出错标志清零。否则, 当接收到下一个数据时会产生溢出错误, 而且接收错误状态保持不变。
 2. 接收始终按“停止位的个数 = 1”的情况执行, 第 2 个停止位被忽略。

(e) 接收错误

在接收期间有三种出错情况：校验错误、帧错误或溢出错误。如果异步串行接口接收错误状态寄存器 0(ASIS0) 的出错标志位被设置，作为数据接收的结果，则将会产生一个接收错误中断请求信号 (INTSR0)。

在执行接收错误中断服务(INTSR0)时读取 ASIS0 的内容，可确定接收期间出现的是何种错误(参见图 14-3)。读取 ASIS0 后，将其复位为 0。

表 14-3. 接收错误产生的原因

接收错误	原因
校验错误	发送数据的校验位与接收数据的校验位不匹配
帧错误	未检测到停止位
溢出错误	在从接收缓冲寄存器 0(RXB0)中读取数据前已完成下一个数据的接收操作

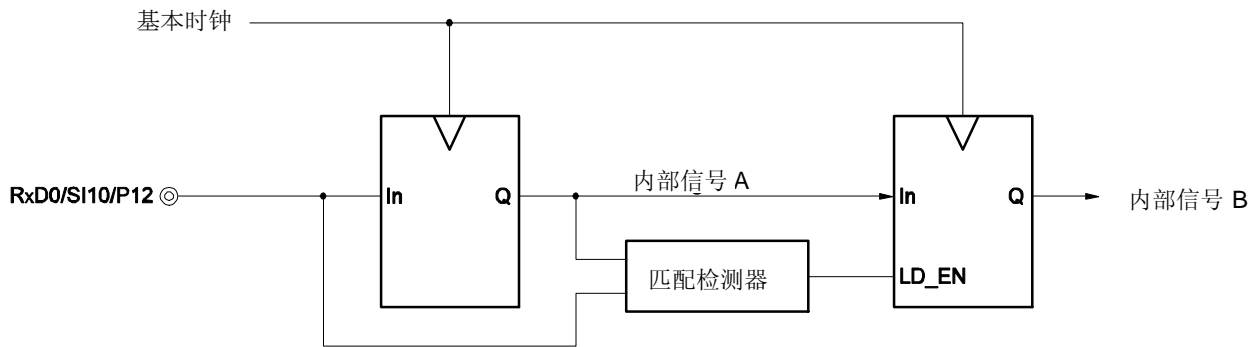
(f) 接收数据的噪音过滤器

通过预分频器，使用基本时钟输出，采样 RxD0 信号。

如果两次采样值相同，则匹配检测器的输出会发生变化，并把采样的数据作为输入数据。

噪音过滤器的电路结构如图 14-11 所示，接收操作的内部过程与外部信号状态相比被延迟两个时钟执行。

图 14-11. 噪音过滤器电路



14.4.3 专用波特率发生器

专用波特率发生器由一个源时钟选择器和一个 5 位可编程计数器组成，用于产生 UART0 发送/接收的串行时钟。分别使用不同的 5 位计数器用于发送和接收。

(1) 波特率发生器的配置

- 基本时钟

该时钟由波特率发生器控制寄存器 0(BRGC0)的第 7 和 6 位(TPS01 和 TPS00)选择。当异步串行接口操作模式寄存器 0(ASIM0)的第 7 位(POWER0)=1 时，将该时钟提供给每个模块。该时钟称为基本时钟，它的频率用 f_{CLK0} 表示。当 $POWER0 = 0$ 时，基本时钟恒为低电平。

- 发送计数器

当异步串行接口操作模式寄存器 0(ASIM0)的第 7 位(POWER0)或第 6 位(TXE0) = 0 时，该计数器停止计数，并被清零。

当 $POWER0 = 1$ 且 $TXE0 = 1$ 时计数器开始计数。

当第 1 个发送数据被写入发送移位寄存器 0(TXS0)时，计数器被清零。

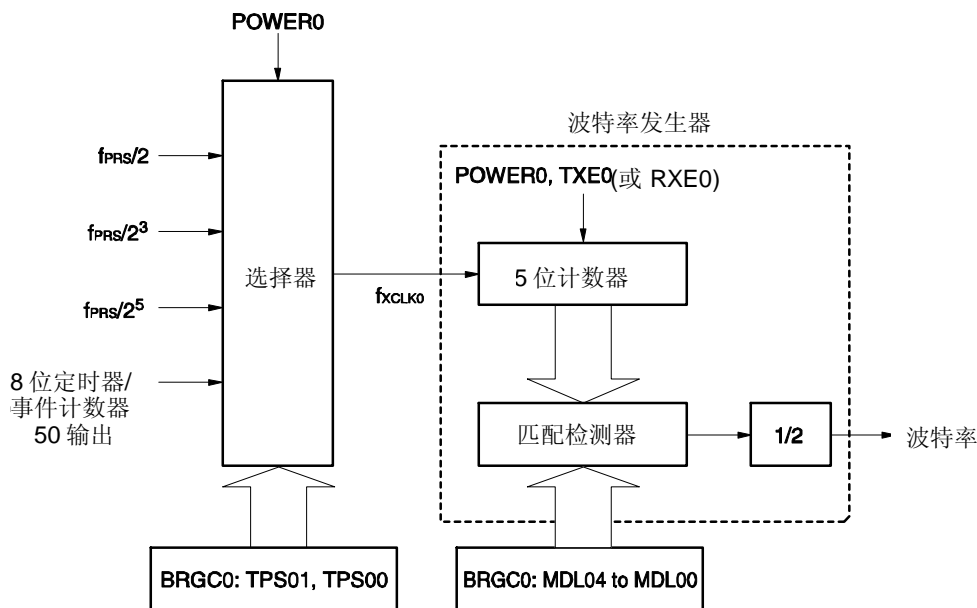
- 接收计数器

当异步串行接口操作模式寄存器 0(ASIM0)的第 7 位(POWER0)或第 5 位(RXE0) = 0 时，该计数器停止计数，并被清零。

当检测到起始位时，计数器开始计数。

在收到一帧数据后计数器停止计数，直到下一个起始位被检测到时再重新开始计数。

图 14-12. 波特率发生器的配置



备注

- POWER0: 异步串行接口操作模式寄存器 0 (ASIM0) 的第 7 位
- TXE0: ASIM0 的第 6 位
- RXE0: ASIM0 的第 5 位
- BRGC0: 波特率发生器控制寄存器 0

(2) 串行时钟的产生

使用波特率发生器控制寄存器 0 (BRGC0) 可产生串行时钟。

根据 BRGC0 的第 7 和 6 位 (TPS01 和 TPS00)，可选择输入给 5 位计数器的时钟。

根据 BRGC0 的 4~0 位 (MDL04~MDL00) 选择 5 位计数器的分频值。

14.4.4 波特率计算

(1) 波特率计算表达式

通过下列公式计算波特率。

$$\bullet \text{ 波特率} = \frac{f_{\text{XCLK0}}}{2 \times k} \text{ [bps]}$$

f_{XCLK0} : 根据 BRGC0 的 TPS01 和 TPS00 位选择的基本时钟的频率

k: 根据 BRGC0 的 MDL04 ~ MDL00 位设置的值 ($k = 8, 9, 10, \dots, 31$)

表 14-4. TPS01 和 TPS00 的设置值

TPS01	TPS00	基本时钟 (f_{XCLK0}) 的选择 ^{注 1}				
			$f_{\text{PRS}} = 2 \text{ MHz}$	$f_{\text{PRS}} = 5 \text{ MHz}$	$f_{\text{PRS}} = 8 \text{ MHz}$	$f_{\text{PRS}} = 10 \text{ MHz}$
0	0	TM50 输出 ^{注 2}				
0	1	$f_{\text{PRS}}/2$	1 MHz	2.5 MHz	4 MHz	5 MHz
1	0	$f_{\text{PRS}}/2^3$	250 kHz	625 kHz	1 MHz	1.25 MHz
1	1	$f_{\text{PRS}}/2^5$	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz

注 1. 如果外部硬件时钟 (f_{PRS}) 为高速系统时钟 (f_{XH}) ($\text{XSEL} = 1$)，那么 f_{PRS} 操作频率变化取决于电源电压

- $V_{\text{DD}} = 2.7 \sim 5.5 \text{ V}$: $f_{\text{PRS}} \leq 10 \text{ MHz}$
- $V_{\text{DD}} = 1.8 \sim 2.7 \text{ V}$: $f_{\text{PRS}} \leq 5 \text{ MHz}$

2. 选择 TM50 输出作为基本时钟时，应注意以下几点。

- 模式: TM50 与 CR50 匹配时产生清零并启动 ($\text{TMC506} = 0$)
先启动 8 位定时器/事件计数器 50，然后允许定时器 F/F 进行反转操作 ($\text{TMC501} = 1$)。
- PWM 模式 ($\text{TMC506} = 1$)

先启动 8 位定时器/事件计数器 50，然后设置计数时钟，使占空比 = 50%。

不论何种模式，都不必将 TO50 作为定时器输出引脚。

(2) 波特率误差

通过下列公式计算波特率误差。

$$\bullet \text{ 误差}(\%) = \left[\frac{\text{实际波特率 (有误差的波特率)}}{\text{预期波特率 (正确的波特率)}} - 1 \right] \times 100 \text{ [\%]}$$

注意事项 1. 在发送过程中必须保持波特率误差在接收方允许的误差范围内。

2. 接收期间的波特率误差必须满足“(4)接收期间允许的波特率范围”中所描述的范围。

举例: 基本时钟的频率 = 2.5 MHz = 2,500,000 Hz
BRGC0 的 MDL04 ~ MDL00 位 = 10000B ($k = 16$)
Target baud rate = 76,800 bps

$$\begin{aligned} \text{目标波特率} &= 2.5 \text{ M} / (2 \times 16) \\ &= 2,500,000 / (2 \times 16) = 78,125 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{误差} &= (78,125/76,800 - 1) \times 100 \\ &= 1.725 [\%] \end{aligned}$$

(3) 波特率设置举例

表 14-5. 波特率发生器的数据设置

波特率 [bps]	f _{PRS} = 2.0 MHz				f _{PRS} = 5.0 MHz				f _{PRS} = 10.0 MHz			
	TPS01, TPS00	k	计算值	ERR [%]	TPS01, TPS00	k	计算值	ERR [%]	TPS01, TPS00	k	计算值	ERR [%]
1200	3H	26	1202	0.16	-	-	-	-	-	-	-	-
2400	3H	13	2404	0.16	-	-	-	-	-	-	-	-
4800	2H	26	4808	0.16	3H	16	4883	1.73	-	-	-	-
9600	2H	13	9615	0.16	3H	8	9766	1.73	3H	16	9766	1.73
10400	2H	12	10417	0.16	2H	30	10417	0.16	3H	15	10417	0.16
19200	1H	26	19231	0.16	2H	16	19531	1.73	3H	8	19531	1.73
24000	1H	21	23810	-0.79	2H	13	24038	0.16	2H	26	24038	0.16
31250	1H	16	31250	0	2H	10	31250	0	2H	20	31250	0
33660	1H	15	33333	-0.79	2H	9	34722	3.34	2H	19	32895	-2.1
38400	1H	13	38462	0.16	2H	8	39063	1.73	2H	16	39063	1.73
56000	1H	9	55556	-0.79	1H	22	56818	1.46	2H	11	56818	1.46
62500	1H	8	62500	0	1H	20	62500	0	2H	10	62500	0
76800	-	-	-	-	1H	16	78125	1.73	2H	8	78125	1.73
115200	-	-	-	-	1H	11	113636	-1.36	1H	22	113636	-1.36
153600	-	-	-	-	1H	8	156250	1.73	1H	16	156250	1.73
312500	-	-	-	-	1H	4	312500	1.73	1H	8	312500	0
625000	-	-	-	-	-	-	-	-	1H	4	625000	0

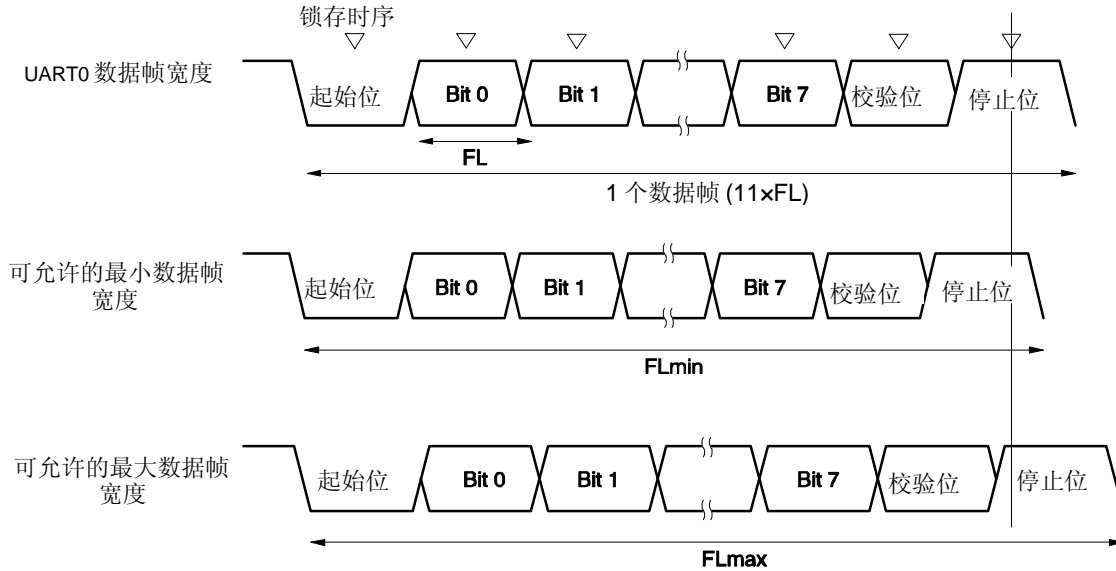
备注 TPS01, TPS00: 波特率发生器控制寄存器 0 (BRGC0) 的第 7 和 6 位 (用于设置基本时钟(f_{XCLK0}))
k: 根据 BRGC0 的 MDL04 ~ MDL00 位设置的值 (k = 8, 9, 10, ..., 31)
f_{PRS}: 外围硬件时钟频率
ERR: 波特率误差

(4) 接收期间允许的波特率范围

接收期间来自发送端的波特率可允许的误差范围如下所示。

注意事项 必须确保接收期间波特率误差在允许的误差范围内，可用以下公式计算。

图 14-13. 接收期间允许的波特率范围



如图 14-13 所示，当检测到起始位后，接收数据的锁存时序由波特率发生器控制寄存器 0(BRGCO)设置的计数器来确定。如果数据的最后一位(停止位)满足该锁存时序，则该数据可被正确接收。

假定接收数据为 11 位，各项理论值计算如下。

$$FL = (\text{Brate})^{-1}$$

Brate: UART0 的波特率

k: BRGCO 设置的值

FL: 1 位数据宽度

锁存时序的极限值: 2 个时钟

可允许的最小数据帧宽度:
$$FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

因此在发送端设定的可接收的最大波特率如下所示。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同样，可计算允许的最大数据帧宽度

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

因此在发送端设定的可接收的最小波特率如下所示。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

可通过上述最小和最大波特率公式计算在 UART0 与发送端之间允许的波特率误差，如下所示。

表 14-6. 允许的最大/最小波特率误差

分频比 (k)	允许的最大波特率误差	允许的最小波特率误差
8	+3.53%	-3.61%
16	+4.14%	-4.19%
24	+4.34%	-4.38%
31	+4.44%	-4.47%

- 备注**
1. 接收时允许的误差与每帧的位数、输入时钟频率和分频比(k)有关。输入时钟频率和分频比(k)越高，允许的误差就越大。
 2. k: BRGC0 设置的值。

15.1 串行接口 UART6 的功能

串行接口 UART6 有以下两种模式。

(1) 操作停止模式

在不进行串行通信时可采用此模式，以降低功耗。

需要了解详细信息，可参见 **15.4.1 操作停止模式**。

(2) 异步串行接口(UART) 模式

该模式支持 LIN(局部互联网)-总线。该模式的功能概括如下。

需要了解详细信息，可参见 **15.4.2 异步串行接口(UART)模式** 和 **15.4.3 专用波特率发生器**。

- 最大传输率：625 kbps
- 双引脚配置

TxD6:	发送数据输出引脚
RxD6:	接收数据输入引脚
- TxD6/RxD6 引脚可以通过寄存器选择使用 P112/P113 (缺省)或是 P16/P15。
- 可选择通信数据的数据宽度为 7 或 8 位。
- 专用内置 8 位波特率发生器允许设置任意大小的波特率。
- 可分别执行发送和接收操作(全双工操作)。
- 可选 MSB-first 或 LSB-first 通信。
- 反向发送操作。
- 同步中断区域发送长度为 13 ~ 20 位。
- 可规定多于 11 位的同步中断区域接收(提供 SBF 接收标志位)。

注意事项 1. TxD6 输出反向操作仅在发送端进行而不在接收端进行。为了能够使用该功能，接收端应准备好接收已反向的数据。

2. 如果串行接口 UART6 使用的时钟未被停止(例如，处于 HALT 模式下)，则继续正常操作。如果串行接口 UART6 使用的时钟已被停止(例如，处于 STOP 模式下)，则寄存器停止操作，并且在时钟停止之前及时保存数据。TXD6 引脚也在时钟停止之前立即保存数据并输出。但在时钟恢复使用后正常操作不能得到保证。因此必须复位电路，使 POWER6 = 0、RXE6 = 0、TXE6 = 0。

3. 设置 POWER6 = 1 然后设置 TXE6 = 1 (发送)或 RXE6 = 1 (接收)，以启动通信。

4. 通过基本时钟(f_{CLK6})(由 CKSR6 设置)对 TXE6 与 RXE6 进行同步。若要再次允许发送或接收，必须在 TXE6 或 RXE6 清零(0)后至少两个基本时钟时将 TXE6 或 RXE6 设置为 1。如果在两个基本时钟内设置 TXE6 或 RXE6，则发送电路或接收电路可能不被初始化。

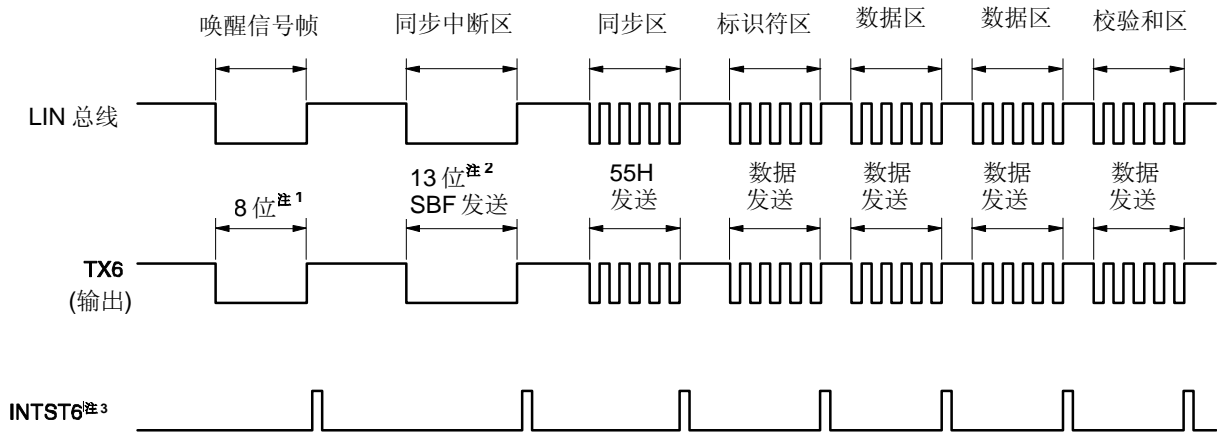
5. 在设置 TXE6 = 1 后至少经历一个基本时钟(f_{CLK6})再为 TXB6 设置发送数据。

6. 如果连续发送数据，从停止位到下一个起始位的通信时序将延长两个宏操作时钟。但这不会影响到通信结果，因为接收端会在检测到起始位时及时初始化。如果 UART6 用于 LIN 模式，则不能使用连续发送功能。

备注 LIN 表示局部互联网，是一个低速(1 ~ 20 kbps)串行通信协议，可用于降低网络费用。
 LIN 是一种单主设备(single-master)通信方式，一个主设备上最多可以连接 15 个从设备。
 LIN 的从设备用于控制开关、制动器和传感器，这些设备通过 LIN 网与 LIN 主设备相连。
 通常，LIN 主设备与一个网络，如 CAN(控制器局域网 Controller Area Network)相连。
 此外，LIN 总线采用单线方式，通过收发器(符合 ISO9141)与各节点相连。
 在 LIN 协议中，主设备发送带有波特率信息的一帧数据，从设备接收数据并校正波特率误差。因此当从设备端的波特率误差在 ±15% 范围内时，可以进行通信。

图 15-1 和 15-2 概括了 LIN 的发送和接收操作。

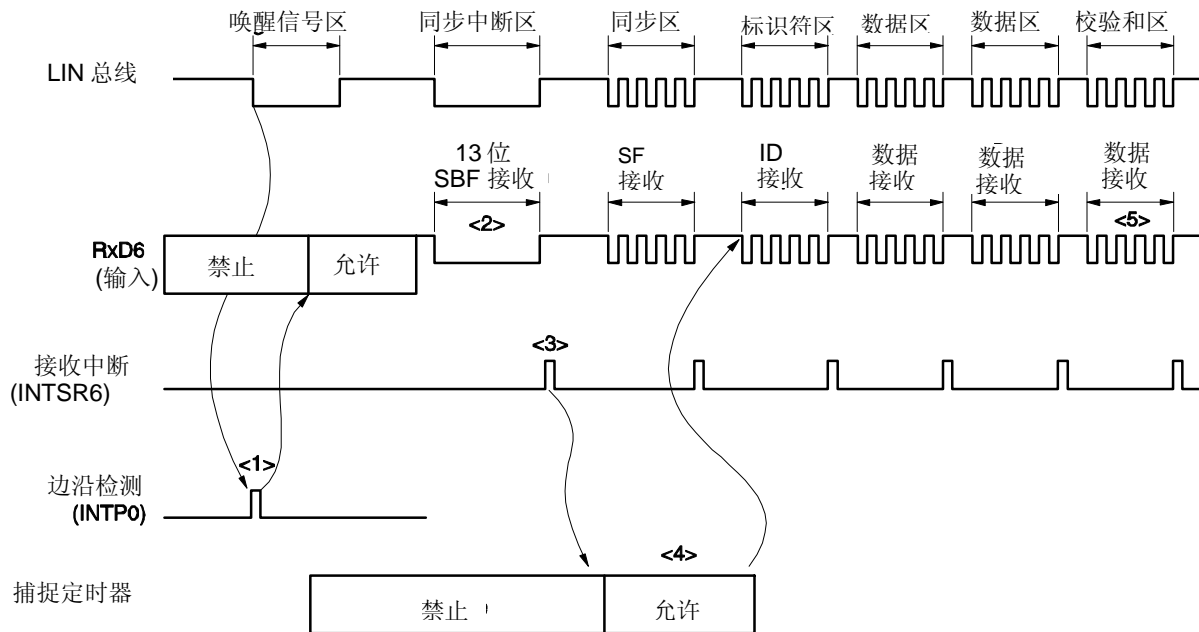
图 15-1 LIN 发送操作



- 注**
1. 在 8 位发送模式中，可通过发送 80H 替代唤醒信号帧。
 2. 使用硬件输出同步中断区。可通过异步串行接口控制寄存器 6(ASICL6)的第 4 ~ 2 位(SBL62 ~ SBL60)设置输出宽度(等于位长度)(参见 15.4.2 (2) (h) SBF 发送)。
 3. 每次发送完成时输出 INTST6。在发送 SBF 时也输出 INTST6。

备注 区域之间的间隔由软件控制。

图 15-2 LIN 接收操作



接收处理过程如下。

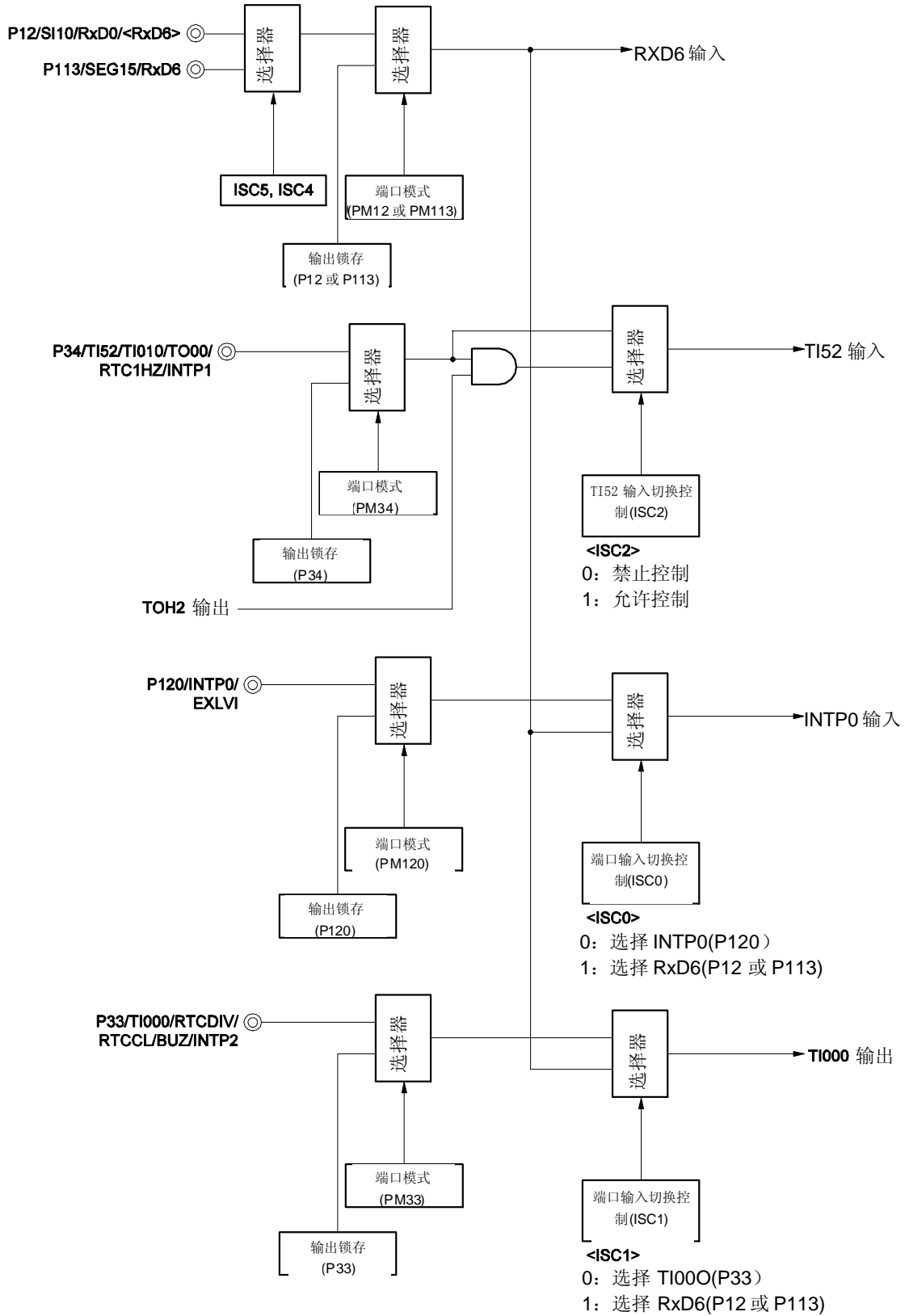
- <1> 在引脚的边沿处检测唤醒信号，允许使用 UART6，并设置 SBF 接收模式。
- <2> 当检测到停止位时才停止接收操作。在检测到至少 11 位低电平数据的 SBF 时，认为 SBF 已被正确接收，并输出一个中断信号。在检测到少于 11 位低电平数据的 SBF 时，认为出现 SBF 接收错误。此时不输出中断信号，而是恢复 SBF 接收模式。
- <3> 如果 SBF 被正确接收，将输出一个中断信号。用这个 SBF 接收完成中断服务来启动 16 位定时器/事件计数器 00 并测量同步区的位长度(脉冲宽度)(参见 6.4.8 脉冲宽度测量操作)。禁止检测 OVE6、PE6 和 FE6 错误，不进行 UART 通信的错误检测，也不执行移位寄存器和 RXB6 之间的数据传送。移位寄存器中保存复位值 FFH。
- <4> 根据同步区的位长度计算波特率误差，在 SBF 接收后禁止使用 UART6，然后对波特率发生器控制寄存器 6(BRGC6)重新设置。
- <5> 用软件区分校验和区。在接收到校验和区后通过软件对 UART6 进行初始化，并再次设置 SBF 接收模式。

图 15-3 显示了 LIN 接收操作的端口配置。

通过检测外部中断信号(INTP0)脉冲沿，接收从 LIN 主设备发出的唤醒信号。根据 16 位定时器/事件计数器 00 的外部事件捕捉操作来测量 LIN 主设备发送的同步区的位长度，并计算波特率误差。

不进行外部连接 RxD6 和 INTP0/TI000，而由端口输入切换控制(ISC0/ISC1)可将接收端口的(RxD6)的输入源输入给外部中断(INTP0)和 16 位定时器/事件计数器 00。

图 15-3 LIN 接收操作的端口配置



备注 ISC0, ISC1, ISC2, ISC4, ISC5: 输入切换控制寄存器(ISC)的位 0, 位 1, 位 2, 位 4 和位 5 (参见 图 15-11)。

以下是 LIN 通信中用到的外部功能。

<用到的外部功能>

- 外部中断(INTP0)：唤醒信号检测
用途：检测唤醒信号的脉冲沿和通信的开始。
- 16 位定时器/事件计数器 00(TI000)：波特率误差检测
用途：通过检测同步区(SF)的位长度并按位变频，来检测波特率误差(在捕捉模式下测量 TI000 输入脉冲的间隔)。
- 串行接口 UART6

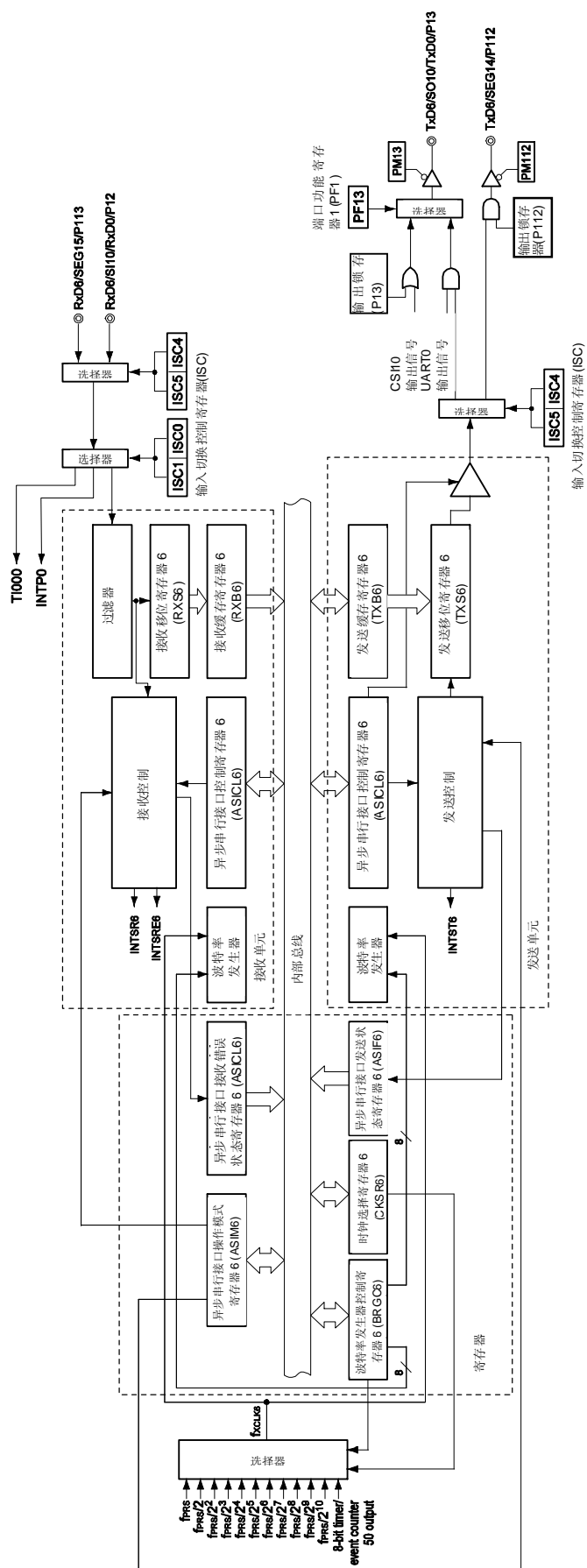
15.2 串行接口 UART6 的配置

串行接口 UART6 包括以下硬件。

表 15-1 串行接口 UART6 的配置

项目	配置
寄存器	接收缓冲寄存器 6 (RXB6) 接收移位寄存器 6 (RXS6) 发送缓冲寄存器 6 (TXB6) 发送移位寄存器 6 (TXS6)
控制寄存器	异步串行接口操作模式寄存器 6 (ASIM6) 异步串行接口接收错误状态寄存器 6 (ASIS6) 异步串行接口发送状态寄存器 6 (ASIF6) 时钟选择寄存器 6 (CKSR6) 波特率发生器控制寄存器 6 (BRGC6) 异步串行接口控制寄存器 6 (ASICL6) 输入切换控制寄存器 (ISC) 端口功能寄存器 1 (PF1) 端口模式寄存器 1 (PM1) 端口寄存器 1 (P1) 端口模式寄存器 11 (PM11) 端口寄存器 11 (P11)

图 15-4. 串行接口 UAR T6 框图



(1) 接收缓冲寄存器 6 (RXB6)

该 8 位寄存器用于存储由接收移位寄存器(RXS6)移位的并行数据。

每接收到 1 字节的数据，新的接收数据就从 RXS6 传送到该寄存器中。如果数据宽度被设定为 7 位，则按如下方式发送数据。

- 在 LSB-first 接收模式下，将接收到的数据传送到 RXB6 的 0~6 位，而 MSB 位恒为 0。
- 在 MSB-first 接收模式下，将接收到的数据传送到 RXB6 的 1~7 位，而 LSB 位恒为 0。

如果出现溢出错误(OVE6)，则不把接收数据传送到 RXB6 中。

可由 8 位存储器操作指令读取 RXB6 的内容。不能将数据写入该寄存器中。

复位信号产生将该寄存器设置为 FFH。

(2) 接收移位寄存器 6 (RXS6)

该寄存器将输入到 RxD6 引脚的串行数据转换成并行数据。

程序不能直接使用 RXS6。

(3) 发送缓冲寄存器 6 (TXB6)

该寄存器用于设置发送数据。当数据写入 TXB6 时开始发送。可由 8 位存储器操作指令对 TXB6 进行读或写操作。

复位信号产生将该寄存器设置为 FFH。

- 注意事项**
1. 当异步串行接口发送状态寄存器 6(ASIF6)的第 1 位(TXBF6)=1 时不要对 TXB6 进行写操作。
 2. 在通信过程中(当异步串行接口操作模式寄存器 6(ASIM6)的第 7 位(POWER6)和第 6 位(TXE6)均为 1，或 ASIM6 的第 7 位(POWER6)和第 5 位(RXE6)均为 1)，不要通过软件刷新(写入相同值)TXB6。
 3. 在设置 TXE6 = 1 后，至少经过一个基本时钟(f_{XCLK6})，将发送数据写入 TXB6。

(4) 发送移位寄存器 6 (TXS6)

该寄存器将 TXB6 中要传送的数据作为串行数据从 TxD6 移出。在第 1 次发送过程中，当数据写入 TXB6 后立即被传送。或者在持续发送过程中，当发出 1 帧数据后，INTST6 中断产生之前数据立即被传送。利用基本时钟的下降沿从 TxD6 引脚传送来自 TXB6 的数据。

程序不能直接对 TXS6 操作。

15.3 控制串行接口 UART6 的寄存器

串行接口 UART6 由以下 12 个寄存器控制。

- 异步串行接口操作模式寄存器 6 (ASIM6)
- 异步串行接口接收错误状态寄存器 6 (ASIS6)
- 异步串行接口发送状态寄存器 6 (ASIF6)
- 时钟选择寄存器 6 (CKSR6)
- 波特率发生器控制寄存器 6 (BRGC6)
- 异步串行接口控制寄存器 6 (ASICL6)
- 输入切换控制寄存器 (ISC)
- 端口功能寄存器 1 (PF1)
- 端口模式寄存器 1 (PM1)
- 端口寄存器 1 (P1)
- 端口模式寄存器 11 (PM11)
- 端口寄存器 11 (P11)

(1) 异步串行接口操作模式寄存器 6 (ASIM6)

该 8 位寄存器用于控制串行接口 UART6 的串行通信。

可由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号产生将该寄存器设置为 01H。

备注 在通信过程中(当异步串行接口操作模式寄存器 6(ASIM6)的第 7 位(POWER6)和第 6 位(TXE6)均为 1, 或 ASIM6 的第 7 位(POWER6)和第 5 位(RXE6)均为 1), 可以通过软件刷新(写入相同值)ASIM6。

图 15-5 异步串行接口操作模式寄存器 6 (ASIM6)的格式 (1/2)

地址: FF50H 复位后: 01H R/W

符号	<7>	<6>	<5>	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6
	POWER6	允许/禁止内部操作时钟的操作						
	0 ^{#1}	禁止内部操作时钟的操作 (时钟恒为低电平) 并对内部电路进行异步复位 ^{#2} 。						
	1	允许内部操作时钟的操作						
	TXE6	允许/禁止发送						
	0	禁止发送(同步复位发送电路)						
	1	允许发送						
	RXE6	允许/禁止接收						
	0	禁止接收(同步复位接收电路)						
	1	允许接收						

- 注**
1. 发送期间当 POWER6 = 0 时, TxD6 引脚的输出变为高电平, 而来自 RxD6 引脚的输入恒为高电平。
 2. 对异步串行接口接收错误状态寄存器 6(ASIS6)、异步串行接口发送状态寄存器 6(ASIF6)、异步串行接口控制寄存器 6(ASICL6)的第 7 位(SBRF6)和第 6 位(SBRT6), 以及接收缓冲寄存器 6(RXB6)进行复位。

图 15-5 异步串行接口操作模式寄存器 6 (ASIM6)的格式 (2/2)

PS61	PS60	发送操作	接收操作
0	0	不输出校验位	无校验接收
0	1	输出零校验	按零校验接收 [★]
1	0	输出奇校验	按奇校验判断
1	1	输出偶校验	按偶校验判断

CL6	指定发送/接收数据的字符宽度
0	数据的字符宽度 = 7 位
1	数据的字符宽度 = 8 位

SL6	指定发送数据停止位的个数
0	停止位的个数 = 1
1	停止位的个数 = 2

ISRM6	允许/禁止出错时接收完成中断的产生
0	出错时产生“INTSRE6”(此时, 不产生 INTSR6)
1	出错时产生“INTSR6”(此时, 不产生 INTSRE6)

注 如果选择“按零校验接收”，则无法判断校验。因此不要设置异步串行接口接收错误状态寄存器 0(ASIS6)的第 2 位(PE6)，这样也不会产生出错中断。

- ★ 注意事项
1. 启动操作时，对 POWER6 置 1，然后对 TXE6 置 1。停止操作时，先将 TXE6 清零，然后将 POWER6 清零。
 2. 启动操作时，对 POWER6 置 1，然后对 RXE6 置 1。停止操作时，先将 RXE6 清零，然后将 POWER6 清零。
 3. 当 RxD6 引脚输入为高电平时，先对 POWER6 置 1，再对 RXE6 置 1。当输入为低电平 POWER6 置 1，RXE6 置 1 时，启动接收操作。
 4. 通过基本时钟(f_{xCLK6})(由 CKSR6 设置)对 TXE6 与 RXE6 进行同步。若要再次允许发送或接收，必须在 TXE6 或 RXE6 清零(0)后至少两个基本时钟时将 TXE6 或 RXE6 设置为 1。如果在两个基本时钟内设置 TXE6 或 RXE6，则发送电路或接收电路可能不被初始化。
 5. 设置 TXE6 = 1 后，至少经过一个基本时钟(f_{xCLK6})，将发送数据写入 TXB6。
 6. 在对 PS61、PS60 和 CL6 位重写之前，先将 TXE6 和 RXE6 位清零。
 7. 工作在 LIN 模式时，PS61 与 PS60 恒为 0。
 8. 在重写 SL6 位时，必须确保 TXE6 = 0。总是以“停止位的个数=1”的格式执行接收操作，因此接收不会受到 SL6 设置值的影响。
 9. 在修改 ISRM6 时要确保 RXE6 = 0。

(2) 异步串行接口接收错误状态寄存器 6 (ASIS6)

该寄存器用于指示串行接口 UART6 的接收操作完成时出现的错误状态，包括 3 个出错标志位(PE6, FE6, OVE6)。

可由 8 位存储器操作指令对该寄存器进行只读操作。

如果 ASIM6 的第 5 位(RXE6)或第 7 位(POWER6) = 0，则复位信号产生将该寄存器设置为 00H。读取该寄存器的值为 00H。如果产生接收错误，读取 ASIS6 再读取接收缓冲寄存器 6 (RXB6)，可将出错标志清零。

★

图 15-6 异步串行接口接收错误状态寄存器 6 (ASIS6)的格式

地址: FF53H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	指示校验错误的状态标志位
0	当 POWER6 = 0 且 RXE6 = 0，或当读取 ASIS6 时
1	如果发送数据的校验位与接收完成时的校验位不匹配

FE6	指示帧错误的状态标志位
0	如果 POWER6 = 0 且 RXE6 = 0、或 ASIS6 被读取
1	如果接收完成时未检测到停止位

OVE6	指示溢出错误的状态标志位
0	如果 POWER6 = 0 且 RXE6 = 0、或 ASIS6 被读取
1	如果将接收数据存于 RXB6 寄存器中且在读取该数据前下一个接收操作已完成

- 注意事项**
1. 根据异步串行接口操作模式寄存器 6(ASIM6)的 PS61 和 PS60 位的内容的不同，对 PE6 位的操作也有所不同。
 2. 无论停止位的个数是多少，只将接收数据的第 1 位作为停止位进行检测。
 3. 如果出现溢出错误，则下一个接收数据不写入接收缓冲寄存器 6(RXB6)中而是被忽略。
 4. 如果从 ASIS6 读取数据，会产生一个等待周期。当 CPU 采用子系统时钟而停止外部硬件时钟操作时，不要从 ASIS6 读取数据。需要了解详细信息，可参见第三十二章 等待注意事项。

(3) 异步串行接口发送状态寄存器 6 (ASIF6)

该寄存器指示串行接口 UART6 的发送状态，包括两个状态标志位(TXBF6 和 TXSF6)。

当数据从 TXB6 传送到 TXS6 中后，通过将下一个发送数据写入 TXB6，使得发送能够连续进行而不被中断，即便是在中断产生期间也不受影响。

可由 8 位存储器操作指令对该寄存器进行只读操作。

如果 ASIM6 的第 7 位(POWER6)或第 6 位(TXE6)置 0，则复位信号产生将该寄存器设置为 00H。

图 15-7 异步串行接口发送状态寄存器 6 (ASIF6)的格式

地址: FF55H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	发送缓冲数据标志位
0	如果 POWER6 = 0 或 TXE6 = 0，或如果数据被传送到发送移位寄存器 6(TXS6)中
1	当数据被写入发送缓冲寄存器 6(TXB6)中(如果数据已在 TXB6 中)

TXSF6	发送移位寄存器数据标志位
0	如果 POWER6 = 0 或 TXE6 = 0，或如果发送完成后下一个数据没有从发送缓冲寄存器 6(TXB6)发出
1	如果数据从发送缓冲寄存器 6(TXB6)发出(如果数据仍在发送过程中)

- 注意事项**
1. 为了能够连续发送数据，应将第一个发送的数据(第一个字节)写入 TXB6 中。之后，检查 TXBF6 标志位，必须为“0”。如果正确，将下一个发送数据(第二个字节)写入 TXB6 中。如果 TXBF6 标志为“1”时将数据写入 TXB6，则无法保证发送数据的正确性。
 2. 如果要在连续发送结束时初始化发送单元，则在产生发送完成中断后必须检查 TXSF6 标志位，应为“0”。然后执行初始化操作。如果 TXSF6 标志为“1”时执行初始化操作，则无法保证发送数据的正确性。

(4) 时钟选择寄存器 6 (CKSR6)

该寄存器用于选择串行接口 UART6 的基本时钟。

可由 8 位存储器操作指令设置 CKSR6。

复位信号产生将该寄存器清零(00H)。

备注 通信过程中(当异步串行接口操作模式寄存器 6(ASIM6)的第 7 位(POWER6)和第 6 位(TXE6)均为 1, 或 ASIM6 的第 7 位(POWER6)和第 5 位(RXE6)均为 1), 可由软件刷新(写入相同值)CKSR6。

图 15-8 时钟选择寄存器 6 (CKSR6)的格式

地址: FF56H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60		基本时钟(f _{CLK6}) 的选择 ^{※1}				
					f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	
0	0	0	0	f _{PRS} ^{※2}	2 MHz	5 MHz	8 MHz	10 MHz	
0	0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz	
0	0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2 MHz	2.5 MHz	
0	0	1	1	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz	
0	1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	500 kHz	625 kHz	
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz	
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	125 kHz	156.25 kHz	
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz	39.06 kHz	62.5 kHz	78.13 kHz	
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz	19.53 kHz	31.25 kHz	39.06 kHz	
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz	9.77 kHz	15.625 kHz	19.53 kHz	
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz	4.88 kHz	7.513 kHz	9.77 kHz	
1	0	1	1	TM50 输出 ^{※3}					
其它情况				禁止设置					

- 注**
- 如果外部硬件时钟 (f_{PRS}) 为高速系统时钟 (f_{XH}) (XSEL = 1), 那么 f_{PRS} 操作频率变化取决于输入电压。
 - V_{DD} = 2.7 to 5.5 V: f_{PRS} ≤ 10 MHz
 - V_{DD} = 1.8 to 2.7 V: f_{PRS} ≤ 5 MHz
 - 如果外部硬件时钟 (f_{PRS}) 为内部高速振荡时钟 (f_{RH}) (XSEL = 0), 如果 1.8 V ≤ V_{DD} < 2.7 V, 禁止设定 TPS63 = TPS62 = TPS61 = TPS60 = 0 (基准时钟: f_{PRS})。
 - 选择 TM50 输出作为基本时钟时, 应注意以下几点。
 - 模式: TM50 与 CR50 匹配时产生清零并启动(TMC506 = 0)
先启动 8 位定时器/事件计数器 50, 然后允许定时器 F/F 进行反转操作(TMC501 = 1)。
 - PWM 模式 (TMC506 = 1)
先启动 8 位定时器/事件计数器 50, 然后设置计数时钟, 使占空比 = 50%。
不论何种模式, 都不必将 TO50 作为定时器输出引脚。

注意事项 在重写 TPS63 ~ TPS60 位时, 必须确保 POWER6 = 0。

- 备注**
- f_{PRS}: 外围硬件时钟频率
 - TMC506: 8 位定时器模式控制寄存器 50(TMC50)的第 6 位
TMC501: TMC50 的第 1 位

(5) 波特率发生器控制寄存器 6 (BRGC6)

该寄存器用于设置串行接口 UART6 的 8 位计数器的分频值。

可由 8 位存储器操作指令设置 BRGC6。

复位信号产生将该寄存器设置为 FFH。

备注 通信过程中(当异步串行接口操作模式寄存器 6(ASIM6)的第 7 位(POWER6)和第 6 位(TXE6)均为 1, 或 ASIM6 的第 7 位(POWER6)和第 5 位(RXE6)均为 1), 可由软件刷新(写入相同值)BRGC6。

图 15-9. 波特率发生器控制寄存器 6 (BRGC6)的格式

地址: FF57H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
BRGC6	MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60

MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60	k	8 位计数器输出时钟选择
0	0	0	0	0	0	×	×	×	禁止设置
0	0	0	0	0	1	0	0	4	$f_{XCLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK6}/6$
•	•	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•
1	1	1	1	1	1	0	0	252	$f_{XCLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6}/255$

- 注意事项**
1. 在重写 MDL67 ~ MDL60 位时, 必须确保 ASIM0 的第 6 位(TXE6)和第 5 位(RXE6) = 0。
 2. 波特率为 8 位计数器输出时钟的 1/2。

- 备注**
1. f_{XCLK6} : 根据 CKSR6 寄存器的 TPS63 ~ TPS60 位选择的基本时钟的频率
 2. k: 由 MDL67 ~ MDL60 位设置的值 (k = 8, 9, 10, ..., 255)
 3. ×: 不必考虑

(6) 异步串行接口控制寄存器 6 (ASICL6)

该寄存器用于控制串行接口 UART6 的串行通信操作。

可由 1 位或 8 位存储器操作指令设置 ASICL6。

复位信号产生将该寄存器设置为 16H。

注意事项 通信过程中(当异步串行接口操作模式寄存器 6(ASIM6)的第 7 位(POWER6)和第 6 位(TXE6)均为 1, 或 ASIM6 的第 7 位(POWER6)和第 5 位(RXE6)均为 1), 可由软件刷新(写入相同值)ASICL6。但是, 由于可能会重新触发 SBF 接收和 SBF 发送, 因此在 SBF 接收期间(SBRT6 = 1)或 SBF 发送期间通过刷新操作不要将 SBRT6 与 SBTT6 都设置为 1(直到由于 SBTT6=1 而产生 INTST6 为止)。

图 15-10 异步串行接口控制寄存器 6 (ASICL6) 的格式(1/2)

地址: FF58H 复位后: 16H R/W[※]

符号	<7>	<6>	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	SBTT6	SBL62	SBL61	SBL60	DIR6	TXDLV6

SBRF6	SBF 接收状态标志
0	如果 POWER6 = 0 且 RXE6 = 0, 或者如果 SBF 已正确接收
1	SBF 接收操作正在进行中

SBRT6	SBF 接收触发
0	-
1	SBF 接收触发

SBTT6	SBF 发送触发
0	-
1	SBF 发送触发

注 第 7 位是只读的。

图 15-10 异步串行接口控制寄存器 6 (ASICL6)的格式 (2/2)

SBL62	SBL61	SBL60	SBF 发送输出宽度控制
1	0	1	SBF 输出宽度: 13 位
1	1	0	SBF 输出宽度: 14 位
1	1	1	SBF 输出宽度: 15 位
0	0	0	SBF 输出宽度: 16 位
0	0	1	SBF 输出宽度: 17 位
0	1	0	SBF 输出宽度: 18 位
0	1	1	SBF 输出宽度: 19 位
1	0	0	SBF 输出宽度: 20 位

DIR6	首位说明
0	MSB
1	LSB

TXDLV6	允许/禁止反向 TxD6 输出
0	TxD6 正常输出
1	TxD6 反向输出

- ★ 注意事项
1. 如果出现 SBF 接收错误, 则返回到 SBF 接收模式, 并保持 SBRF6 标志位状态(1)不变。
 2. 在设置 SBRT6 之前, 必须确保 ASIM6 的第 7 位(POWER6)和第 5 位(RXE6)为 1。在设置 SBRT6=1 后 SBF 接收完成(产生中断请求信号之前)之前不要将 SBRT6 清零。
 3. SBRT6 的读取值恒为 0。在 SBF 正确接收后 SBRT6 自动清零。
 4. 在设置 SBTT6=1 之前, 必须确保 ASIM6 的第 7 位(POWER6)和第 6 位(TXE6)为 1。在设置 SBTT6=1 之后 SBF 接收完成(产生中断请求信号之前)之前不要将 SBTT6 清零。
 5. SBTT6 的读取值恒为 0。并在 SBF 发送结束后自动清零。
 6. 在接收期间不要设置 SBRT6=1, 而在发送期间不要设置 SBTT6=1。
 7. 在重写 DIR6 和 TXDLV6 之前, 应对 TXE6 和 RXE6 清零。

(7) 输入切换控制寄存器 (ISC)

通过设定 ISC5 为 1，UART6 I/O 引脚从 P113/SEG15/RxD6 和 P112/SEG14/TxD6 切换到 P12/SI10/RxD0/<RxD6> 和 P13/SO10/TxD0/<TxD6>。

通过设定 ISC3 为 1，允许 P113/SEG15/RxD6 引脚输入。当 ISC3 被清 0 时，外部输入不会被确认。因此复位释放后，可以避免由于不确定的状态而产生电流流过此引脚，直到进行输出设置为止。

输入切换控制寄存器(ISC)在 LIN(Local Interconnect Network 本地互连网络)接收期间用于接收从主设备发送的状态信号。

当 ISC0 与 ISC1=1 时，选择 P12/RxD0/KR3/RxD6 或 P113/SEG7/RxD6 引脚的信号输入作为 INTP0 与 TI000 的输入源。

可由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号产生将该寄存器清零(00H)。

图 15-11. 输入切换控制寄存器(ISC)的格式

地址: FF4FH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ISC	0	0	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0

ISC5	ISC4	TxD6, RxD6 输入源选择
0	0	TxD6:P112, RxD6: P113
1	0	TxD6:P13, RxD6: P12
其它情况		禁止设置

ISC3	RxD6/P113 输入允许/禁止
0	RxD6/P113 输入禁止
1	RxD6/P113 输入允许

ISC2	TI52 输入源控制
0	不允许控制 TI52 输入 (P34)
1	允许控制 TI52 输入 (P34) ^注

ISC1	TI000 输入源选择
0	TI000 (P33)
1	RxD6 (P12 或 P113)

ISC0	INTP0 输入源选择
0	INTP0 (P120)
1	RxD6 (P12 或 P113)

注 TI52 输入由 TOH2 输出信号控制。

注意事项 复位释放后，当将 P113/SEG7/RxD6 引脚用作 P113 ~ RxD6 引脚时，把 PF11ALL 设置为 0 并且将 ISC3 设置为 1，
 复位释放后，当将 P113/SEG7/RxD6 引脚用作 SEG7 引脚时，把 PF11ALL 设置为 1 并且将 ISC3 设置为 0。

(8) 端口功能寄存器 1 (PF1)

此寄存器设置 P13/TxD0/KR4/TxD6 引脚的引脚功能。
 可由 1-位或 8-位存储器操作指令进行设置。
 复位信号将此寄存器 PF1 清零 00H。

图 15-12. 端口功能寄存器 1(PF1)的格式

地址: FF20H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	端口(P13), CSI10, UART0和UART6输出选择
0	用作 P13 或 SO10
1	用作 TxD0 或 TxD6

(9) 端口模式寄存器 1 (PM1)

该寄存器可以按位设置端口 1 的输入/输出模式。
 当 P13/SO10/TxD0/<TxD6>引脚作为串行接口的数据输出时, 将 PM13 清 0。此时, P13 输出锁存的值可能是 0 或 1。
 当 P12/SI10/RxD0/<RxD6>引脚作为串行接口数据输入时, 将 PM12 置 1。此时, P12 输出锁存的值可能是 0 或 1。
 可由 1 位或 8 位存储器操作指令设置 PM1。
 复位信号产生将该寄存器设置为 FFH。

图 15-13. 端口模式寄存器 1 (PM1) 的格式

地址: FF21H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	1	1	1	PM14	PM13	PM12	PM11	1

PM1n	P1n 引脚 I/O 模式选择 (n = 1 ~ 4)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

(10) 端口模式寄存器 11 (PM11)

该寄存器可以按位设置端口 1 的输入/输出模式。

当 P112/SEG14/TxD6 引脚作为串行接口的数据输出时，将 PM112 清 0 并且设定 P112 的输出锁存为 1。

当 P113/SEG15/RxD6 引脚作为串行接口的数据输入时，将 PM113 置 1。此时 P113 的输出锁存可能是 0 或 1。

可由 1 位或 8 位存储器操作指令设置 PM11。

复位信号产生将该寄存器设置为 FFH。

图 15-14. 端口模式寄存器 11 (PM11) 的格式

地址: FF2BH 复位后: FFH RW

符号	7	6	5	4	3	2	1	0
PM11	1	1	1	1	PM113	PM112	PM111	PM110

PM11n	P11n 引脚 I/O 模式选择(n = 0 ~ 3)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

15.4 串行接口 UART6 的操作

串行接口 UART6 有以下两种模式。

- 操作停止模式
- 异步串行接口(UART) 模式

15.4.1 操作停止模式

在此模式下，不能进行串行通信，因此，可降低功耗。此外，引脚可作为一般的端口引脚使用。通过将 ASIM6 的第 7 位、第 6 位和第 5 位(POWER6、TXE6 和 RXE6)清零，可设置操作停止模式。

(1) 使用的寄存器

由异步串行接口操作模式寄存器 6(ASIM6)设置操作停止模式。

可由 1 位或 8 位存储器操作指令设置 ASIM6。

复位信号产生将该寄存器设置为 01H。

地址: FF50H 复位后: 01H R/W

符号	<7>	<6>	<5>	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	允许/禁止内部操作时钟的操作
0 ^{注1}	禁止内部操作时钟的操作 (时钟恒为低电平) 且对内部电路进行异步复位 ^{注2}

TXE6	允许/禁止发送
0	禁止发送 (同步复位发送电路)

RXE6	允许/禁止接收
0	禁止接收 (同步复位接收电路)

- 注
1. 发送期间当 POWER6 = 0 时，TxD6 的输出变成高电平而来自 RxD6 引脚的输入恒为高电平。
 2. 对异步串行接口接收错误状态寄存器 6(ASIS6)、异步串行接口发送状态寄存器 6(ASIF6)、异步串行接口控制寄存器(ASICL6)的第 7 位(SBRF6)和第 6 位(SBRT6)和接收缓冲寄存器 6(RXB6)进行复位。

注意事项 TXE6 和 RXE6 清零后再对 POWER6 清零，可停止操作。

启动通信时，须先设置 POWER6=1，然后设置 TXE6=1 或 RXE6=1。

备注 如果将 RxD6/P14 和 TxD6/P13 作为通用端口引脚使用，可参见 第四章 端口功能。

15.4.2 异步串行接口(UART)模式

此模式下，在传送了起始位后，紧接着发送/接收 1 字节数据，然后可执行全双工操作。
可使用专用 UART 波特率发生器，这样通信选择的波特率范围较大。

(1) 使用的寄存器

- 异步串行接口操作模式寄存器 6 (ASIM6)
- 异步串行接口接收错误状态寄存器 6 (ASIS6)
- 异步串行接口发送状态寄存器 6 (ASIF6)
- 时钟选择寄存器 6 (CKSR6)
- 波特率发生器控制寄存器 6 (BRGC6)
- 异步串行接口控制寄存器 6 (ASICL6)
- 输入切换控制寄存器(ISC)
- 端口模式寄存器 1 (PM1)
- 端口寄存器 1 (P1)
- 端口模式寄存器 11 (PM11)
- 端口寄存器 11 (P11)

在 UART 模式中设置操作的基本过程如下。

- <1> 设置 CKSR6 寄存器 (参见图 15-8)
- <2> 设置 BRGC6 寄存器 (参见图 15-9)
- <3> 设置 ASIM6 的第 0 位~第 4 位 (ISRM6、SL6、CL6、PS60、PS61) (参见图 15-5)
- <4> 设置 ASICL6 的第 0 位和第 1 位 (TXDLV6、DIR6) (参见图 15-10)
- <5> 设置 ASIM6 的第 7 位 (POWER6) = 1
- <6> 设置 ASIM6 的第 6 位 (TXE6) = 1。 → 允许发送
设置 ASIM6 的第 5 位 (RXE6) = 1。 → 允许接收
- <7> 将数据写入发送缓冲寄存器 6 (TXB6) → 开始发送数据

注意事项 在设置端口模式寄存器和端口寄存器时，要考虑与通信另一方的关系。

寄存器设置与引脚之间的关系如下所示。

表 15-2. 寄存器设置与引脚之间的关系

(a) 当由 ISC 寄存器的位 4, 5(ISC4, ISC5)选定 P12 和 P13 用作 UART6 时

POWER6	TXE6	RXE6	PM13	P13	PM12	P12	UART6 操作	引脚功能	
								TxD6/SO10/TxD0 /P13	RxD6/SI10/RxD0 /P12
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SO10/TxD0/P13	SI10/RxD0/P12
1	0	1	x ^注	x ^注	1	x	接收	SO10/P13	RxD6
	1	0	0	x	x ^注	x ^注	传输	TxD6	SI10/P12
	1	1	0	x	1	x	传输/ 接收	TxD6	RxD6

注 可以用作端口功能, 按键中断, 或串行接口 UART0 (只有当 UART6 停止时)。

注意事项 TxD6/SEG6/P112 和 RxD6/SEG7/P113 引脚用作 SEG6/P112 和 SEG7/P113。

备注 x: 不必考虑
 POWER6: 异步串行接口操作模式寄存器 6(ASIM6)的第 7 位
 TXE6: ASIM6 的第 6 位
 RXE6: ASIM6 的第 5 位
 PM1x: 端口模式寄存器
 P1x: 端口输出锁存器

(b) 当由 ISC 寄存器的位 4, 5(ISC4, ISC5)选定 P112 和 P113 用作 UART6 时

POWER6	TXE6	RXE6	PM112	P112	PM113	P113	UART6 操作	引脚功能	
								TxD6/SEG14/P112	RxD6/SEG15/P113
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SEG14/P112	SEG15/P113
1	0	1	x ^注	x ^注	1	x	接收	SEG14/P112	RxD6
	1	0	0	1	x ^注	x ^注	传输	TxD6	SEG15/P113
	1	1	0	1	1	x	传输/ 接收	TxD6	RxD6

注 可以用作端口寄存器或 segment 输出。

注意事项 TxD6/KR4/TxD0/P13 和 RxD6/KR3/RxD0/P12 引脚用作 KR4/TxD0/P13 和 KR3/RxD0/P12。

备注 x: 不必考虑
 POWER6: 异步串行接口操作模式寄存器 6(ASIM6)的第 7 位
 TXE6: ASIM6 的第 6 位
 RXE6: ASIM6 的第 5 位
 PM1x: 端口模式寄存器
 P1x: 端口输出锁存器

(2) 通信操作

(a) 正常发送/接收数据的格式和波形示例

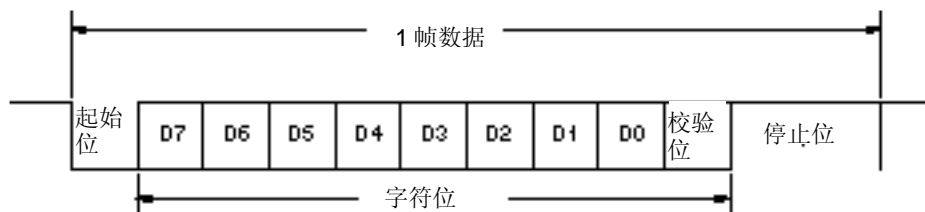
图 15-15 和 15-16 为正常发送/接收数据的格式和波形示例。

图 15-15. 正常 UART 发送/接收数据的格式

1. LSB-first 发送/接收



2. MSB-first 发送/接收



一帧数据由以下各位组成。

- 起始位 ... 1 位
- 字符位 ... 7 或 8 位
- 校验位 ... 偶校验、奇校验、零校验或无校验
- 停止位 ... 1 或 2 位

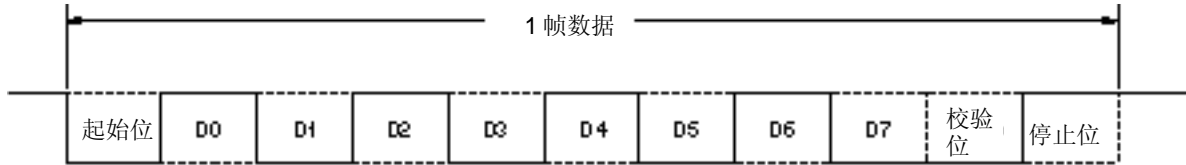
由异步串行接口操作模式寄存器 6(ASIM6)规定一个数据帧中字符位的宽度、校验方式和停止位的宽度。

由异步串行接口控制寄存器 6 (ASICL6)的第 1 位(DIR6)规定数据通信方式(LSB-first 或 MSB-first)。

由 ASICL6 的第 0 位(TXDLV6)规定 TxD6 引脚输出的是正常数据还是反向数据。

图 15-16. 正常 UART 发送/接收数据波形示例

1. 数据宽度: 8 位、LSB-first, 校验位: 偶校验, 停止位: 1 位, 通信数据: 55H



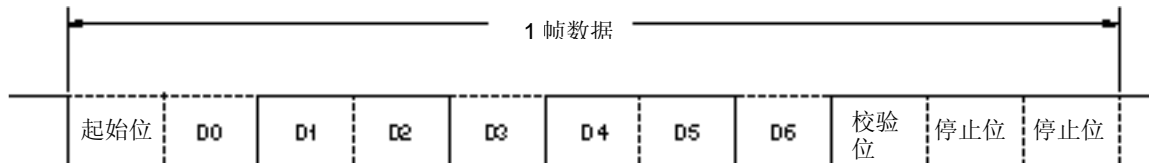
2. 数据宽度: 8 位、MSB-first, 校验位: 偶校验, 停止位: 1 位, 通信数据: 55H



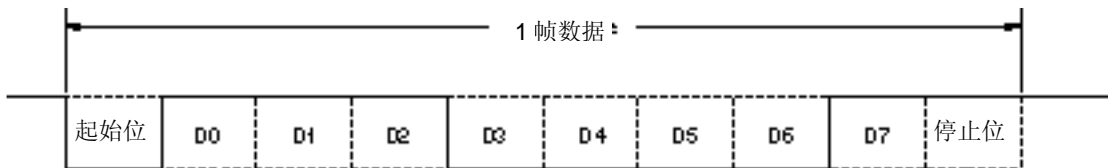
3. 数据宽度: 8 位、MSB-first, 校验位: 偶校验, 停止位: 1 位, 通信数据: 55H, TxD6 引脚输出反向数据



4. 数据宽度: 7 位、LSB-first, 校验位: 奇校验, 停止位: 2 位, 通信数据: 36H



5. 数据宽度: 8 位、LSB-first, 校验位: 无, 停止位: 1 位, 通信数据: 87H



(b) 校验方式与操作

校验位用于检测数据通信中的位错误。通常在发送和接收两端可采用相同的校验方式。当采用偶校验和奇校验时，可检测到 1 位(奇数位)错误。而采用零校验和无校验时，则不能检测到错误。

注意事项 在 LIN 模式下，PS61 与 PS60 恒为 0。

(i) 偶校验

• 发送

控制发送数据，包括校验位，使得数据中“1”的个数为偶数。

校验位的取值如下。

如果发送数据有奇数个“1”: 1

如果发送数据有偶数个“1”: 0

• 接收

计算接收数据(包括校验位)中“1”的个数。如果“1”的个数为奇数，则产生校验错。

(ii) 奇校验

• 发送

跟偶校验不同的是，控制发送数据，包括校验位，使得数据中“1”的个数为奇数。

如果发送数据有奇数个“1”: 0

如果发送数据有偶数个“1”: 1

• 接收

计算接收数据(包括校验位)中“1”的个数。如果“1”的个数为偶数，则产生校验错。

(iii) 零校验

无论发送数据为何值，发送时校验位清零。

接收数据时不检测校验位。因此无论校验位为何值，都不会产生校验错。

(iv) 无校验

发送数据中没有校验位。

进行接收操作时认为接收数据中没有校验位。因此也不会产生校验错。

(c) 正常发送

在设置异步串行接口操作模式寄存器 6(ASIM6)的第 7 位(POWER6)=1, 然后设置 ASIM6 的第 6 位(TXE6)=1 时, 则允许发送。将待发送的数据写入发送缓冲寄存器 6(TXB6)中, 可启动发送操作。起始位、校验位和停止位会自动被添加到数据中。

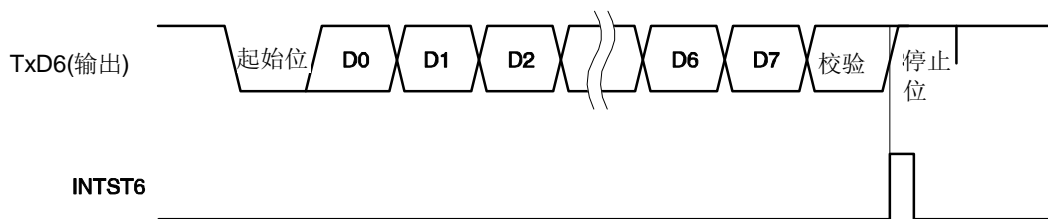
启动发送操作时, TXB6 中的数据被传送到发送移位寄存器 6(TXS6)中, 然后数据依次从 TXS6 被输出到 TxD6 引脚。当发送结束时, 由 ASIM6 设置的校验位和停止位被添加到数据中, 并产生发送完成中断请求 (INTST6)。

当下一个发送数据写入 TXB6 时, 发送操作才结束。

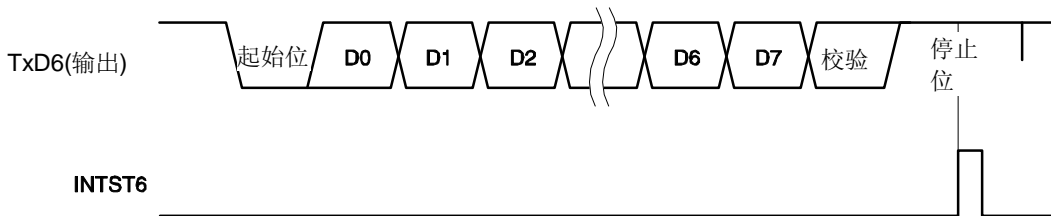
图 15-17 显示了发送完成中断请求(INTST6)的时序。最后一个停止位完毕就产生该中断。

图 15-17. 正常的发送完成中断请求时序

1. 停止位宽度: 1



2. 停止位宽度: 2



(d) 连续发送

当发送移位寄存器 6 (TXS6)一启动移位操作，就可以把下一个发送数据写入发送缓冲寄存器 6(TXB6)。因此，当发送完一帧数据后，即使在执行 INTST6 中断服务时也能够连续发送数据，从而实现高效率的通信速率。此外，当产生发送完成中断时通过读取 ASIF6 的第 0 位(TXSF6)，可以对 TXB6 进行两次有效的写操作(2 个字节)而无须等待发送一帧数据的时间。

为了能够连续发送数据，必须根据 ASIF6 检查发送状态，判断是否可以对 TXB6 进行写操作，如果可以，则写入数据。

- 注意事项**
1. 在连续发送期间，ASIF6 寄存器的 TXBF6 和 TXSF6 标志从“10”变成“11”，再变成“01”。因此检查状态时，不能通过 TXBF6 和 TXST6 来判断。在连续发送期间只读 TXBF6 标志。
 2. 在 LIN 模式下，不能使用连续发送功能。在将发送数据写入发送缓冲寄存器 6(TXB6)之前，异步串行接口发送状态寄存器 6(ASIF6)的值必须为 00H。

TXBF6	对 TXB6 的写操作
0	允许写操作
1	禁止写操作

注意事项 为了能够连续发送数据，应将第一个发送的数据(第一个字节)写入 TXB6 中。之后，检查 TXBF6 标志位，必须为“0”。如果正确，将下一个发送数据(第二个字节)写入 TXB6 中。如果 TXBF6 标志为“1”时将数据写入 TXB6，则无法保证发送数据的正确性。

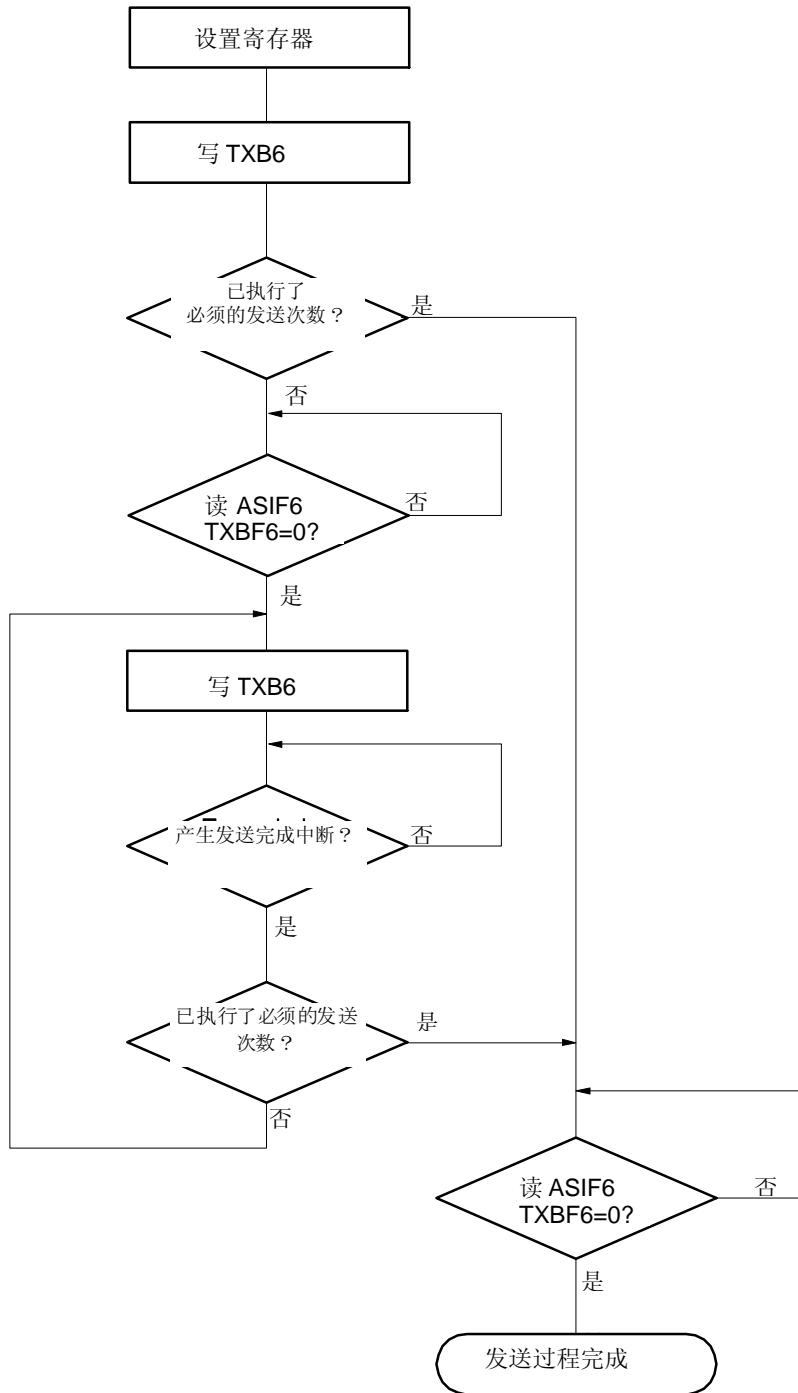
可用 TXSF6 标志位检测通信状态。

TXSF6	发送状态
0	发送操作结束
1	发送操作正在进行中

- 注意事项**
1. 如果要在连续发送结束时初始化发送单元，则在产生发送完成中断后必须检查 TXSF6 标志位，应为“0”。然后执行初始化操作。如果 TXSF6 标志为“1”时执行初始化操作，则无法保证发送数据的正确性。
 2. 在连续发送期间，当发送完一帧数据后执行 INTST6 中断服务之前下一个发送操作可能已经完成。计数测量时，可通过开发一个可以算发送数据的个数的程序或者通过参考 TXSF6 标志来实现检测。

图 15-18 为连续发送操作流程示例。

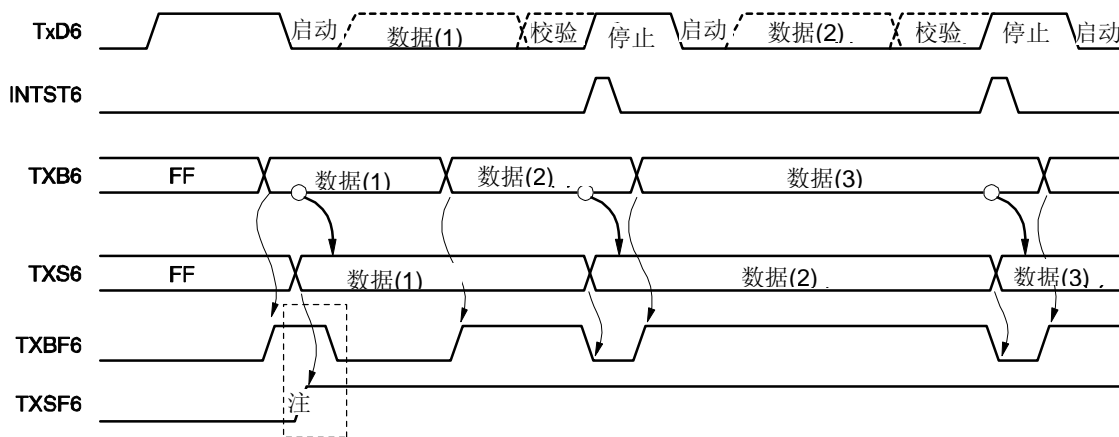
图 15-18. 连续发送操作流程示例



备注 TXB6: 发送缓冲寄存器 6
 ASIF6: 异步串行接口发送状态寄存器 6
 TXBF6: ASIF6 的第 1 位(发送缓冲器数据标志位)
 TXSF6: ASIF6 的第 0 位(发送移位寄存器数据标志位)

图 15-19 显示了启动连续发送操作的时序，而图 15-20 显示了结束连续发送操作的时序。

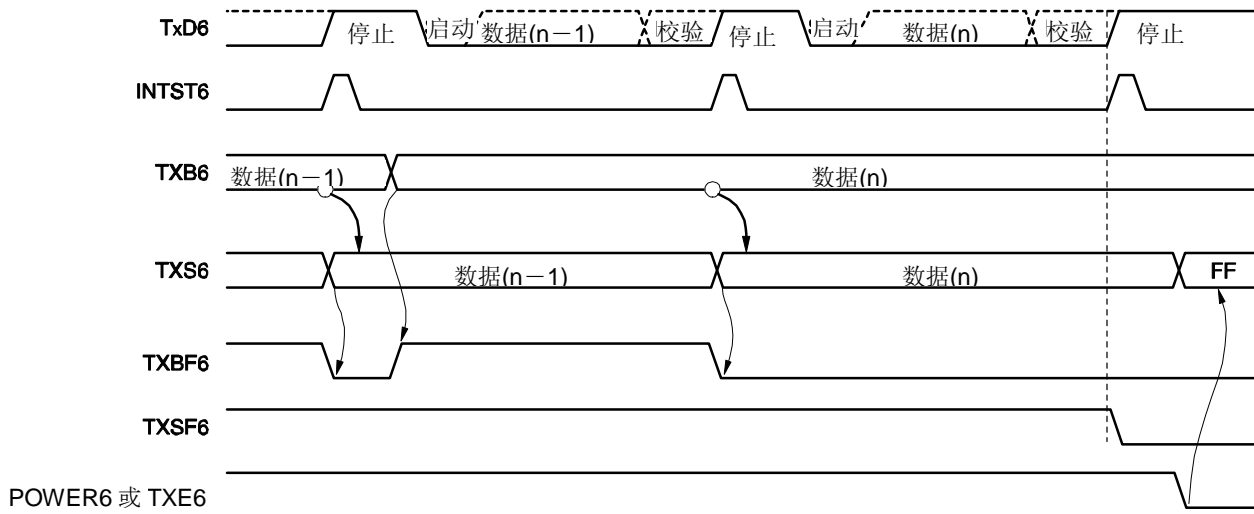
图 15-19. 启动连续发送操作的时序



注 在读取 ASIF6 时，存在 TXBF6 和 TXSF6 = 1, 1 的情况。因此，仅用 TXBF6 就可以判断是否能进行写操作。

- 备注**
- TxD6: TxD6 引脚 (输出)
 - INTST6: 中断请求信号
 - TXB6: 发送缓冲寄存器 6
 - TXS6: 发送移位寄存器 6
 - ASIF6: 异步串行接口发送状态寄存器 6
 - TXBF6: ASIF6 的第 1 位
 - TXSF6: ASIF6 的第 0 位

图 15-20. 结束连续发送操作的时序



- 备注
- TxD6: TxD6 引脚 (输出)
 - INTST6: 中断请求信号
 - TXB6: 发送缓冲寄存器 6
 - TXS6: 发送移位寄存器 6
 - ASIF6: 异步串行接口发送状态寄存器 6
 - TXBF6: ASIF6 的第 1 位
 - TXSF6: ASIF6 第 0 位
 - POWER6: 异步串行接口操作模式寄存器 (ASIM6) 的第 7 位
 - TXE6: 异步串行接口操作模式寄存器 (ASIM6) 的第 6 位

(e) 正常接收

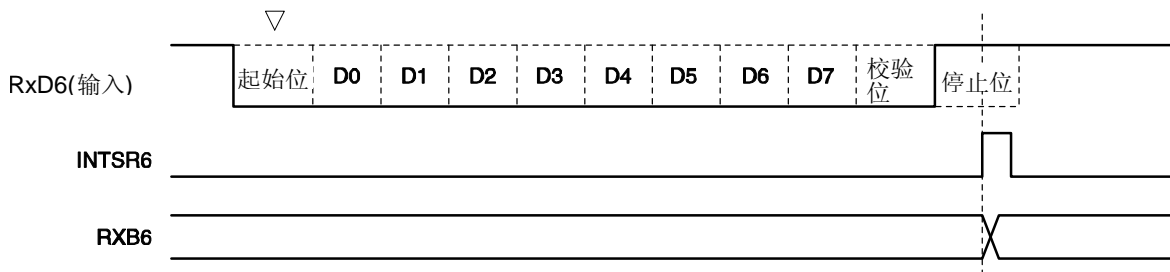
当设置异步串行接口操作模式寄存器 6(ASIM6)的第 7 位(POWER6)=1, 然后将 ASIM6 的第 5 位(RXE6)置 1 时, 允许接收并对 RxD6 引脚的输入进行采样。

当检测到 RxD6 引脚输入的下降沿时, 波特率发生器的 8 位计数器开始计数。当计数值达到波特率发生器控制寄存器 6(BRGC6)的设置值时, 再次采样 RxD6 的输入信号(如图 14-21 中的▽)。如果此时 RxD6 为低电平, 则认为输入信号为起始位。

当检测到起始位时, 开始接收, 以设置的波特率将串行数据依次存入接收移位寄存器 6(RXS6)中。当接收到停止位时, 会产生接收完成中断信号(INTSR6), 并且 RXS6 的数据被写入接收缓冲寄存器 6(RXB6)中。但如果出现溢出错误(OVE6), 则接收到的数据不写入 RXB6。

即使在接收过程中出现校验错(PE6), 接收仍然继续, 直至接收到停止位, 而在接收完成后会产生一个接收错误中断(INTSR6/INTSRE6)。

图 15-21. 接收完成中断请求时序



- 注意事项
1. 如果出现接收错误, 则先后读取 ASIS6 和 RXB6, 可将出错标志清零。否则, 当接收到下一个数据时会产生溢出错误, 而且接收错误状态保持不变。
 2. 接收始终按“停止位的个数 = 1”的情况执行, 第 2 个停止位被忽略。
 3. 在读取 RXB6 之前, 必须先读取异步串行接口接收错误状态寄存器 6(ASIS6)。

(f) 接收错误

在接收期间有三种出错情况：校验错误、帧错误或溢出错误。作为数据接收的结果，如果异步串行接口接收错误状态寄存器 6(ASIS6)的出错标志位被置位，则将会产生一个接收错误中断请求信号 (INTSR6/INTSRE6)。

在执行接收错误中断服务(INTSR6/INTSRE6)时读取 ASIS6 的内容，可确定接收期间出现的是何种错误(参见图 15-6)。

读取 ASIS6 后，其内容清零(0)。

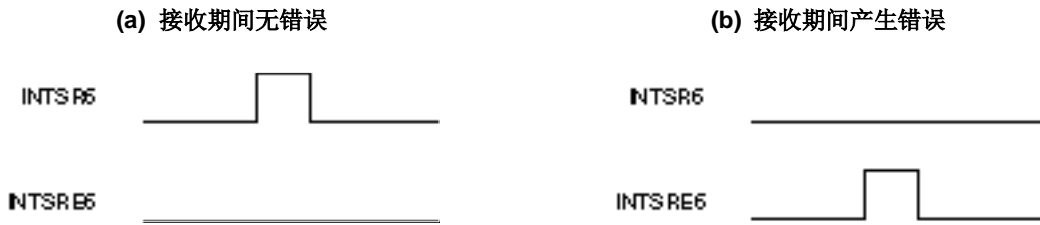
表 15-3. 产生接收错误的原因

接收错误	产生原因
校验错误	发送数据的校验位与接收到的数据校验位不相等
帧错误	未检测到停止位
溢出错误	在读取接收缓冲寄存器 6(RXB6)的数据前已完成下一个数据的接收操作

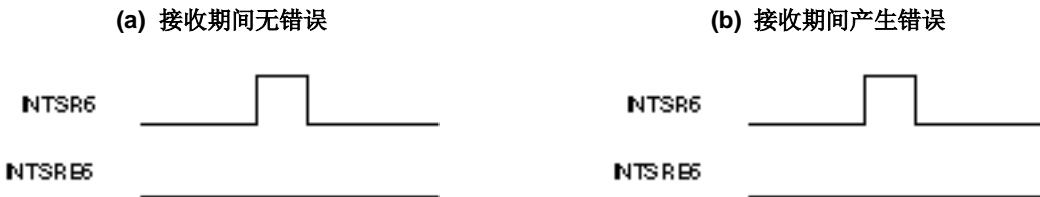
通过将异步串行接口操作模式寄存器 6(ASIM6)的第 0 位(ISRM6)清零，可以把接收错误中断划分为接收完成中断(INTSR6)和错误中断(INTSRE6)两部分。

图 15-22. 接收错误中断

1. 如果 ISRM6 被清零(接收完成中断 (INTSR6) 和接收错误中断 (INTSRE6)是分开的)



2. 如果 ISRM6=1 (接收错误中断包含在 INTSR6 中)



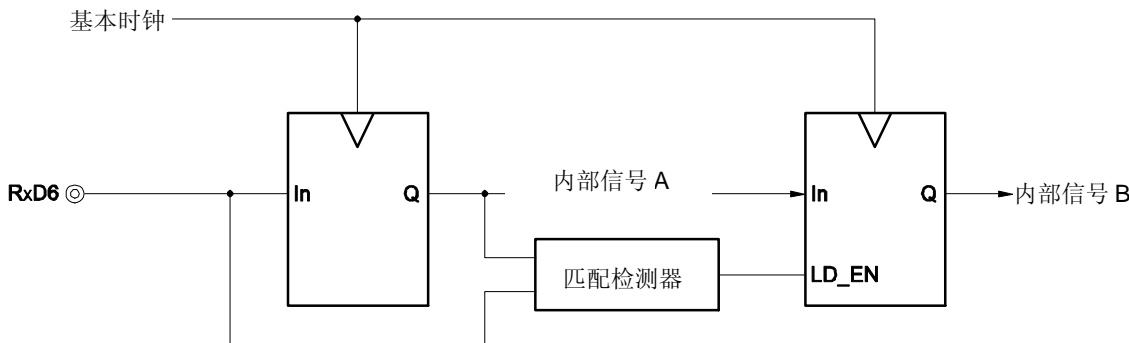
(g) 接收数据的噪声过滤器

使用由预分频模块输出的基准时钟采样 RXD6 信号。

如果两次采样值相同，则相等检测器的输出会发生变化，并把采样的数据作为输入数据。

噪声过滤器的电路结构如图 15-23 所示，接收操作的内部过程从外部信号状态开始延迟两个时钟才执行。

图 15-23. 噪声过滤器电路



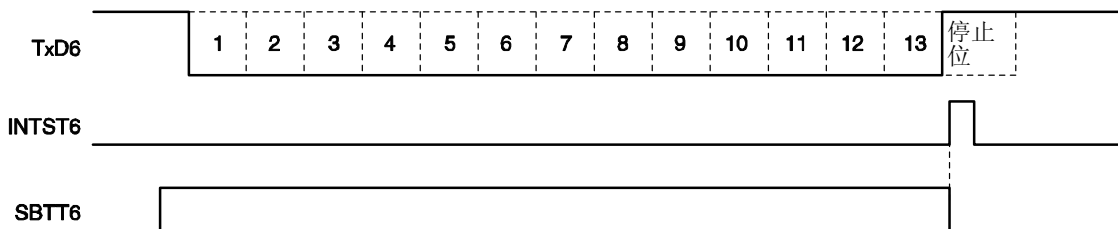
(h) SBF 发送

在 LIN 模式中，可使用 SBF (Synchronous Break Field 同步中断区)发送控制功能进行发送。LIN 的发送操作参见图 15-1 LIN 的发送操作。

当异步串行接口模式寄存器 6(ASIM6)的第 7 位(POWER6)被设置为 1 时，Tx D6 引脚输出高电平。接下来 ASIM6 的第 6 位(TXE6)被设置为 1 时，进入允许发送状态。且通过设置异步串行接口控制寄存器 6(ASICL6)的第 5 位(SBTT6)为 1，可启动 SBF 发送操作。

开始发送后，第 13 位~第 20 位(由 ASICL6 的第 4 位~第 2 位(SBL62 ~ SBL60)设置)输出低电平。SBF 发送完毕后，产生发送完成中断请求(INTST6)，且 SBTT6 被自动清零。接着，恢复到正常发送模式。直到下一次数据被发送到缓冲寄存器 6(TXB6)或 SBTT6 被设置为 1 时，才停止 SBF 发送。

图 15-24. SBF 发送



备注 Tx D6: Tx D6 引脚 (输出)
 INTST6: 发送完成中断请求
 SBTT6: 异步串行接口控制寄存器 6 (ASICL6) 的第 5 位

(i) SBF 接收

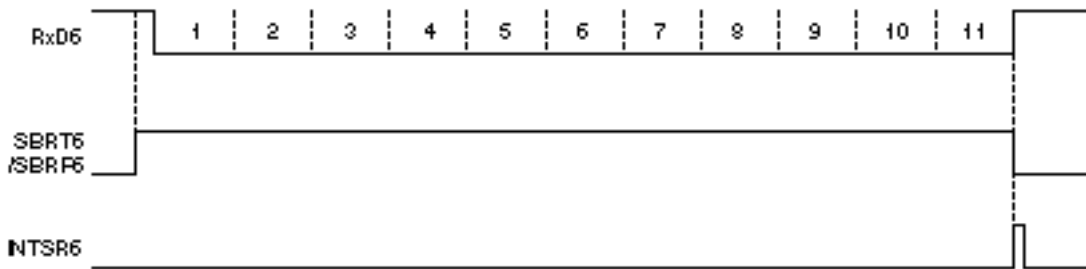
在 LIN 模式下，SBF (Synchronous Break Field 同步中断区)接收控制功能用于接收操作。需要了解 LIN 的接收操作，可参见图 15-2 LIN 接收操作。

当将异步串行接口模式寄存器 6(ASIM6)的第 7 位(POWER6)被设置为 1，然后再将 ASIM6 的第 5 位(RXE6)设置为 1 时，允许接收。当异步串行接口控制寄存器 6(ASICL6)的第 6 位(SBRT6)被设置为 1 时，允许 SBF 接收。在 SBF 接收允许状态下，以与正常接收允许状态下同样的方式对 RxD6 引脚进行采样，并检测起始位。

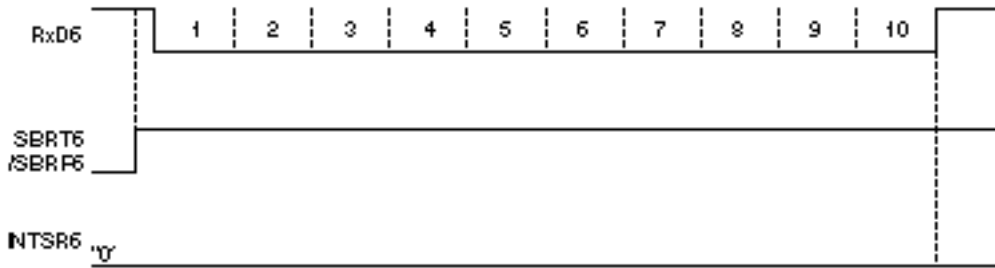
当检测到起始位时，启动接收操作，按照设置的波特率将串行数据依次存入接收移位寄存器 6(RXS6)中。在接收到停止位且 SBF 的宽度大于或等于 11 位时，与正常接收操作相同，将产生接收完成中断请求(INTSR6)。此时 SBRF6 和 SBRT6 被自动清零，SBF 接收操作结束。禁止检测 OVE6、PE6 和 FE6(异步串行接口接收错误状态寄存器 6(ASIS6)的第 0 位 ~ 第 2 位)错误，不进行 UART 通信的错误检测。此外不执行接收移位寄存器 6(RXS6)和接收缓冲寄存器 6(RXB6)之间的数据传送，并保存复位值 FFH。如果 SBF 的宽度小于或等于 10 位，则在接收到停止位后不会产生出错中断，并恢复 SBF 接收模式。此时不对 SBRF6 和 SBRT6 位清零。

图 15-25. SBF 接收

1. 正常 SBF 接收 (检测到停止位，且 SBF 宽度大于 10.5 位)



2. SBF 接收错误 (检测到停止位，且 SBF 宽度小于或等于 10.5 位)



- 备注
- RxD6: RxD6 引脚 (输入)
 - SBRT6: 异步串行接口控制寄存器 6 (ASICL6) 的第 6 位
 - SBRF6: ASICL6 的第 7 位
 - INTSR6: 接收完成中断请求

15.4.3 专用波特率发生器

专用波特率发生器由一个源时钟选择器和一个 8 位可编程计数器组成，用于产生 UART6 发送/接收的串行时钟。分别使用不同的 8 位计数器用于发送和接收。

(1) 波特率发生器的配置

- 基本时钟

该时钟由时钟选择寄存器 6(CKSR6)的第 3 位 ~ 第 0 位(TPS63 ~ TPS60)选择。当异步串行接口操作模式寄存器 6(ASIM6)的第 7 位(POWER6)=1 时，将该时钟提供给每个模块。该时钟称为基本时钟，它的频率用 f_{CLK6} 表示。当 POWER6 = 0 时，基本时钟恒为低电平。

- 发送计数器

当异步串行接口操作模式寄存器 6(ASIM6)的第 7 位(POWER6)或第 6 位(TXE6) = 0 时，该计数器停止计数，并被清零。

当 POWER6 = 1 且 TXE6 = 1 时计数器开始计数。

当第 1 个发送数据写入发送缓冲寄存器 6(TXB6)时，计数器被清零。

如果连续发送数据，则当发送完 1 帧数据时计数器再次被清零。如果后面没有数据要发送，则计数器不被清零，而是继续计数直至 POWER6 或 TXE6 = 0。

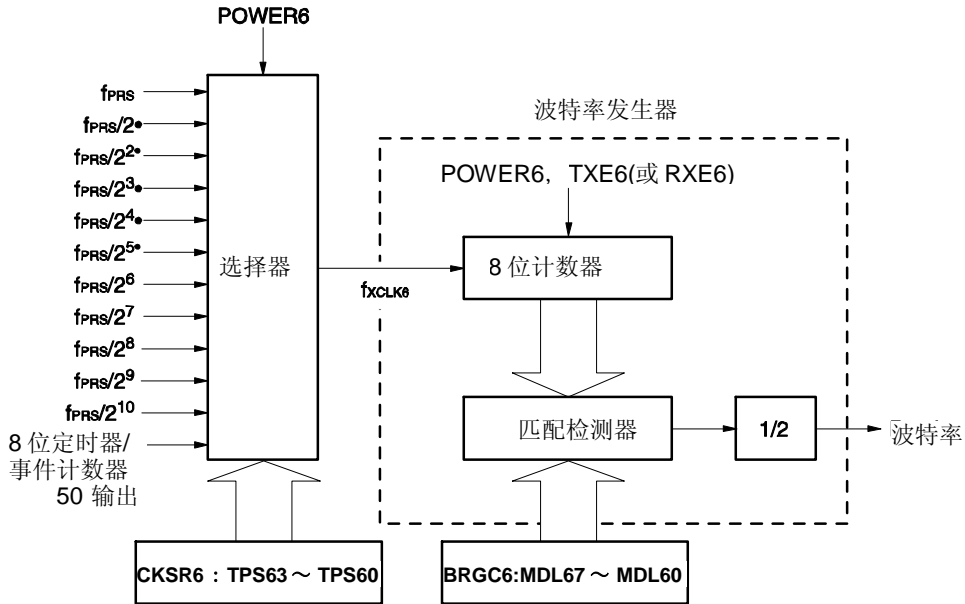
- 接收计数器

当异步串行接口操作模式寄存器 6(ASIM6)的第 7 位(POWER6)或第 5 位(RXE6)= 0 时，该计数器停止计数，并被清零。

当检测到起始位时，计数器开始计数。

在收到一帧数据后计数器停止计数，直到下一个起始位被检测到时再重新开始计数。

图 15-26. 波特率发生器的配置



备注

- POWER6: 异步串行接口操作模式寄存器 6 (ASIM6) 的第 7 位
- TXE6: ASIM6 的第 6 位
- RXE6: ASIM6 的第 5 位
- CKSR6: 时钟选择寄存器 6
- BRGC6: 波特率发生器控制寄存器 6

(2) 串行时钟的产生

使用时钟选择寄存器 6(CKSR6)和波特率发生器控制寄存器 6 (BRGC6)可产生串行时钟。
 使用 CKSR6 的第 3 位 ~ 第 0 位(TPS63 ~ TPS60), 可以设置输入到 8 位计数器的时钟。使用 BRGC6 的第 7 位 ~ 第 0 位 (MDL67 ~ MDL60)设置 8 位计数器的分频值($fxCLK6/8 \sim fxCLK6/255$)。

15.4.4 波特率的计算

(1) 波特率计算公式

波特率可由下列公式计算。

$$\bullet \text{ 波特率} = \frac{f_{\text{CLK6}}}{2 \times k} \text{ [bps]}$$

f_{CLK6} : 根据 CKSR6 的 TPS63 ~ TPS60 位选择的基本时钟的频率

k: 根据 BRGC6 的 MDL67 ~ MDL60 位设置的值(k = 8, 9, 10, ..., 255)

表 15-4. TPS63 ~ TPS60 的设定值

TPS63	TPS62	TPS61	TPS60	基本时钟 (f_{CLK6}) 选择 ^{#1}				
				$f_{\text{PRS}} = 2 \text{ MHz}$	$f_{\text{PRS}} = 5 \text{ MHz}$	$f_{\text{PRS}} = 8 \text{ MHz}$	$f_{\text{PRS}} = 10 \text{ MHz}$	
0	0	0	0	$f_{\text{PRS}}^{\#2}$	2 MHz	5 MHz	8 MHz	10 MHz
0	0	0	1	$f_{\text{PRS}}/2$	1 MHz	2.5 MHz	4 MHz	5 MHz
0	0	1	0	$f_{\text{PRS}}/2^2$	500 kHz	1.25 MHz	2 MHz	2.5 MHz
0	0	1	1	$f_{\text{PRS}}/2^3$	250 kHz	625 kHz	1 MHz	1.25 MHz
0	1	0	0	$f_{\text{PRS}}/2^4$	125 kHz	312.5 kHz	500 kHz	625 kHz
0	1	0	1	$f_{\text{PRS}}/2^5$	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz
0	1	1	0	$f_{\text{PRS}}/2^6$	31.25 kHz	78.13 kHz	125 kHz	156.25 kHz
0	1	1	1	$f_{\text{PRS}}/2^7$	15.625 kHz	39.06 kHz	62.5 kHz	78.13 kHz
1	0	0	0	$f_{\text{PRS}}/2^8$	7.813 kHz	19.53 kHz	31.25 kHz	39.06 kHz
1	0	0	1	$f_{\text{PRS}}/2^9$	3.906 kHz	9.77 kHz	15.625 kHz	19.53 kHz
1	0	1	0	$f_{\text{PRS}}/2^{10}$	1.953 kHz	4.88 kHz	7.813 kHz	9.77 kHz
1	0	1	1	TM50 输出 ^{#3}				
其它				禁止设置				

- 注
- 当外围硬件时钟 (f_{PRS}) 运行于高速系统时钟(f_{XH}) ($XSEL = 1$), f_{PRS} 操作频率依据供电电压的不同而不同。
 - $V_{\text{DD}} = 2.7 \sim 5.5 \text{ V}$: $f_{\text{PRS}} \leq 10 \text{ MHz}$
 - $V_{\text{DD}} = 1.8 \sim 2.7 \text{ V}$: $f_{\text{PRS}} \leq 5 \text{ MHz}$
 - 如果外围硬件时钟 (f_{PRS}) 运行于内部高速振荡时钟(f_{RH}) ($XSEL = 0$), 当 $1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$, $TPS63 = TPS62 = TPS61 = TPS60 = 0$ (基时钟: f_{PRS}) 这种设置禁止。
 - 选择 TM50 输出作为基本时钟时, 应注意以下几点。
 - 模式: TM50 与 CR50 匹配时产生清零并启动($TMC506 = 0$)
先启动 8 位定时器/事件计数器 50, 然后允许定时器 F/F 进行反转操作($TMC501 = 1$)。
 - PWM 模式 ($TMC506 = 1$)
先启动 8 位定时器/事件计数器 50, 然后设置计数时钟, 使占空比 = 50%。
不论何种模式, 都不必将 TO50 作为定时器输出引脚。

(2) 波特率误差

通过下列公式计算波特率误差。

$$\bullet \text{ 误差(\%)} = \left[\frac{\text{实际波特率 (有误差的波特率)}}{\text{预期波特率 (正确的波特率)}} - 1 \right] \times 100 \text{ [\%]}$$

- 注意事项**
1. 发送期间必须保持波特率误差在接收端允许的误差范围内。
 2. 接收期间，波特率误差必须满足“(4)接收期间允许的波特率范围”中所描述的范围。

举例:

基本时钟频率 = 10 MHz = 10, 000, 000 Hz
 BRGC6 的 MDL67 ~ MDL60 位 = 00100001B (k = 33)
 目标波特率 = 153600 bps

$$\begin{aligned} \text{波特率} &= 10 \text{ M} / (2 \times 33) \\ &= 10000000 / (2 \times 33) = 151,515 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{误差} &= (151515/153600 - 1) \times 100 \\ &= -1.357 \text{ [\%]} \end{aligned}$$

(3) 波特率设置举例

表 15-5. 波特率发生器的设置数据

波特率 [bps]	f _{PRS} = 2.0 MHz				f _{PRS} = 5.0 MHz				f _{PRS} = 10.0 MHz			
	TPS63- TPS60	k	计算数值	ERR [%]	TPS63- TPS60	k	计算数值	ERR [%]	TPS63- TPS60	k	计算数值	ERR [%]
300	8H	13	301	0.16	7H	65	301	0.16	8H	65	301	0.16
600	7H	13	601	0.16	6H	65	601	0.16	7H	65	601	0.16
1200	6H	13	1202	0.16	5H	65	1202	0.16	6H	65	1202	0.16
2400	5H	13	2404	0.16	4H	65	2404	0.16	5H	65	2404	0.16
4800	4H	13	4808	0.16	3H	65	4808	0.16	4H	65	4808	0.16
9600	3H	13	9615	0.16	2H	65	9615	0.16	3H	65	9615	0.16
19200	2H	13	19231	0.16	1H	65	19231	0.16	2H	65	19231	0.16
24000	1H	21	23810	-0.79	3H	13	24038	0.16	4H	13	24038	0.16
31250	1H	16	31250	0	4H	5	31250	0	5H	5	31250	0
38400	1H	13	38462	0.16	0H	65	38462	0.16	1H	65	38462	0.16
48000	0H	21	47619	-0.79	2H	13	48077	0.16	3H	13	48077	0.16
76800	0H	13	76923	0.16	0H	33	75758	-1.36	0H	65	76923	0.16
115200	0H	9	111111	-3.55	1H	11	113636	-1.36	0H	43	116279	0.94
153600	-	-	-	-	1H	8	156250	1.73	0H	33	151515	-1.36
312500	-	-	-	-	0H	8	312500	0	1H	8	312500	0
625000	-	-	-	-	0H	4	625000	0	1H	4	625000	0

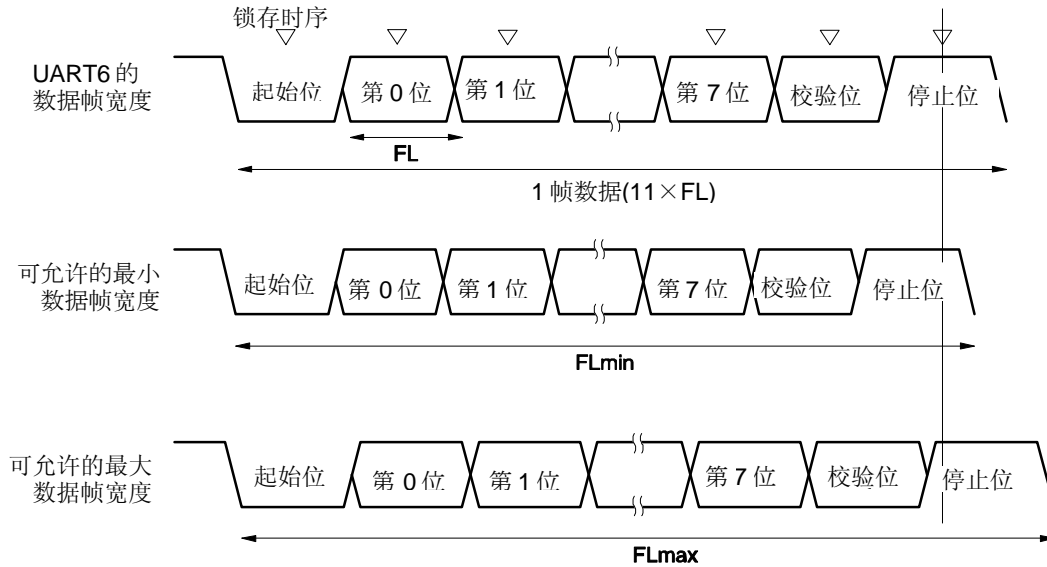
备注 TPS63 ~ TPS60: 时钟选择寄存器 6 (CKSR6) 的第 3 位 ~ 第 0 位 (用于设置基本时钟(f_{CLK6}))
 k: 使用波特率发生器控制寄存器 6 (BRGC6) 的 MDL67 ~ MDL60 位设置的值
 (k = 8, 9, 10, ..., 255)
 f_{PRS}: 外围硬件时钟频率
 ERR: 波特率误差

(4) 接收期间允许的波特率范围

接收期间来自发送端的波特率可允许的误差如下所示。

注意事项 必须确保接收期间波特率误差在允许的误差范围内，可用以下公式计算。

图 15-27. 接收期间允许的波特率范围



如图 15-27 所示，当检测到起始位后，接收数据的锁存时序由波特率发生器控制寄存器 6(BRGC6)设置的计数器确定。如果数据的最后一位(停止位)满足该锁存时序，则数据可被正确接收。

假定接收数据为 11 位，各项理论值计算如下。

$$FL = (\text{Brate})^{-1}$$

Brate: UART6 的波特率

k: BRGC6 的设置值

FL: 1 位数据宽度

锁存时序的极限: 2 个时钟

$$\text{可允许的最小数据帧宽度: } FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

因此在发送端设定的可接收的最大波特率如下所示。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同样，可计算允许的最大数据帧宽度。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

因此在发送端设定的可接收的最小波特率如下所示。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

可通过上述最小和最大波特率公式计算在 UART6 与发送端之间允许的波特率误差，如下所示。

表 15-6. 允许的最大/最小波特率误差

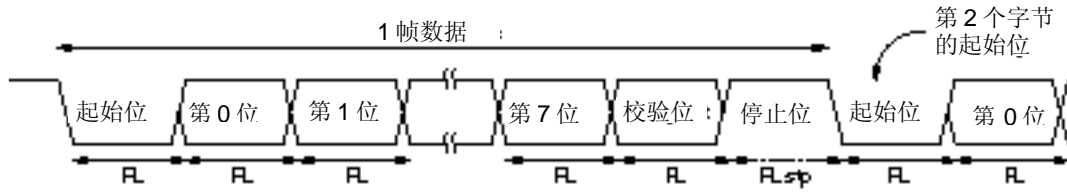
分频比(k)	允许的最大波特率误差	允许的最小波特率误差
4	+2.33%	-2.44%
8	+3.53%	-3.61%
20	+4.26%	-4.31%
50	+4.56%	-4.58%
100	+4.66%	-4.67%
255	+4.72%	-4.73%

- 备注**
1. 接收时允许的误差与每帧的位数、输入时钟频率和分频比(k)有关。输入时钟频率和分频比(k)越高，允许的误差就越大。
 2. k: BRGC6 设置的值。

(5) 连续发送期间数据帧的宽度

当连续发送数据时，从停止位到下一个起始位的数据帧宽度比正常值延长了两个基本时钟。不过，由于在检测到起始位时接收端的时序被初始化，因此通信结果不会受到影响。

图 15-28. 连续发送期间数据帧的宽度



当 1 位数据宽度为 FL 、停止位宽度为 FL_{stp} ，基本时钟频率为 f_{xCLK6} 时，有以下公式成立。

$$FL_{stp} = FL + 2/f_{xCLK6}$$

因此，连续发送期间的数据帧宽度为：

$$\text{数据帧宽度} = 11 \times FL + 2/f_{xCLK6}$$

第十六章 串行接口 CSI10

16.1 串行接口 CSI10 的功能

串行接口 CSI10 有以下两种模式。

(1) 操作停止模式

在不进行串行通信时可采用此模式，以降低功率消耗。

需要了解详细信息，可参见 **16.4.1 操作停止模式**。

(2) 3 线串行 I/O 模式（可选择 MSB-first / LSB-first）

该模式采用三条线（一条串行时钟线（SCK10）和两条串行数据线（SI10 和 SO10））传输 8 位数据。在 3 线串行 I/O 模式中数据通信时间可以缩短，因为发送和接收操作可以同步进行。

此外，可以指定采用 MSB-first 还是 LSB-first 传送 8 位数据，因此该接口可以连接任何设备。

3 线串行 I/O 模式用来连接采用时钟串行接口的外部 IC 和显示控制器。

需要了解详细信息，可参见 **16.4.2 3 线串行 I/O 模式**。

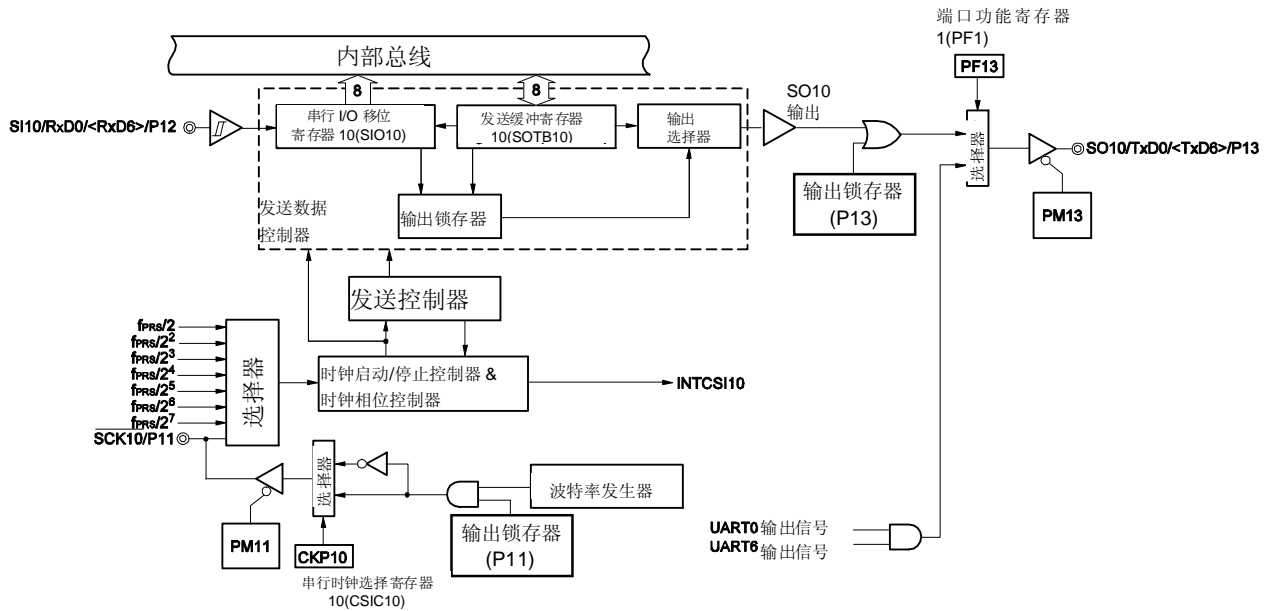
16.2 串行接口 CSI10 的配置

串行接口 CSI10 包括以下硬件。

表 16-1. 串行接口 CSI10 的配置

项目	配置
控制器	发送控制器 时钟启动/停止控制器 & 时钟相位控制器
寄存器	发送缓冲寄存器 10（SOTB10） 串行 I/O 移位寄存器 10（SIO10）
控制寄存器	串行操作模式寄存器 10（CSIM10） 串行时钟选择寄存器 10（CSIC10） 或端口模式寄存器 1（PM1） 端口寄存器 1（P1）

图 16-1. 串行接口 CSI10 的框图

**(1) 发送缓冲寄存器 10 (SOTB10)**

该寄存器用于设置发送数据。

当串行操作模式寄存器 10 (CSIM10) 的第 7 位 (CSIE10) 和第 6 位 (TRMD10) 均为 1 时, 通过将数据写入 SOTB10 来启动发送/接收操作。

使用串行 I/O 移位寄存器 10 将写入 SOTB10 的并行数据转换成串行数据, 并把数据输出到串行输出引脚 (SO10)。

可由 8 位存储器操作指令对 SOTB10 进行读写。

复位信号的产生将该寄存器清零(00H)。

注意事项 当 CSOT10 = 1 (在串行通信期间) 时不要访问 SOTB10。

(2) 串行 I/O 移位寄存器 10 (SIO10)

该 8 位寄存器可将并行数据转换成串行数据, 反之亦然。

可由 8 位存储器操作指令对寄存器进行读操作。

如果串行操作模式寄存器 10 (CSIM10) 的第 6 位 (TRMD10) = 0, 则从 SIO10 读取数据可启动接收操作。

接收期间, 将数据从串行输入引脚 (SI10) 读到 SIO10 中。

复位信号的产生将该寄存器清零 (00H)。

注意事项 当 CSOT10 = 1 (在串行通信期间) 时不要访问 SIO10。

16.3 控制串行接口 CSI10 的寄存器

串行接口 CSI10 由以下五个寄存器控制。

- 串行操作模式寄存器 10 (CSIM10)
- 串行时钟选择寄存器 10 (CSIC10)
- 端口功能寄存器 1 (PF1)
- 端口模式寄存器 1 (PM1)
- 端口寄存器 1 (P1)

(1) 串行操作模式寄存器 10 (CSIM10)

CSIM10 用于选择操作模式、允许或禁止操作。

可由 1 位或 8 位存储器操作指令设置 CSIM10。

复位信号的产生将该寄存器清零 00H。

图 16-2. 串行操作模式寄存器 10 (CSIM10) 的格式

地址: FF80H 复位后: 00H R/W^{注1}

符号	<7>	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10
CSIE10 ^{注2}	3 线串行 I/O 模式中的操作控制							
0	禁止操作且异步复位内部电路 ^{注3}							
1	允许操作							
TRMD10 ^{注4}	发送/接收模式控制							
0 ^{注5}	接收模式 (禁止发送)							
1	发送/接收模式							
DIR10 ^{注6}	规定起始位							
0	MSB							
1	LSB							
CSOT10	通信状态标志							
0	通信停止							
1	通信正在进行中							

- 注
1. 第 0 位只读。
 2. 若将 P10/SCK10/TxD0 和 P12/SO10 用作通用端口，设置 CSIC10 为默认状态(00H)。
 3. 对 CSIM10 的第 0 位 (CSOT10) 和串行 I/O 移位寄存器 10 (SIO10) 进行复位。
 4. 当 CSOT10 = 1 (在串行通信期间) 时不要重写 TRMD10。
 5. 当 TRMD10 = 0 时，SO10 输出(参见图 16-1)恒为低电平。当从 SIO10 读取数据时，启动接收操作。
- 当 CSOT10 = 1 (在串行通信期间) 时不要重写 DIR10。

- 注意事项
1. 当从待机模式中恢复操作，一定要将中断请求标志寄存器 0H(IF0H)的位 2 清 0。
 2. 第 5 位必须清零。

(2) 串行时钟选择寄存器 10 (CSIC10)

该寄存器规定数据发送/接收的时序，并设置串行时钟。

可由 1 位或 8 位存储器操作指令设置 CSIC10。

复位信号的产生将寄存器清零 (00H)。

图 16-3. 串行时钟选择寄存器 10 (CSIC10) 的格式

地址: FF81H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
CSIC10	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	规定数据发送/接收的时序	类型
0	0		1
0	1		2
1	0		3
1	1		4

CKS102	CKS101	CKS100	CSI10 串行时钟的选择 ^{注 1, 2}				模式	
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz		
0	0	0	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	禁止设置	主设备模式
0	0	1	f _{PRS} /2 ²	500 kHz	1.25 MHz	2 MHz	2.5 MHz	
0	1	0	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz	
0	1	1	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	500 kHz	625 kHz	
1	0	0	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz	
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	125 kHz	156.25 kHz	
1	1	0	f _{PRS} /2 ⁷	15.63 kHz	39.06 kHz	62.5 kHz	78.13 kHz	
1	1	1	输入到 SCK10 的外部时钟					从设备模式

注 1. 当使用高速系统时钟(f_H) (XSEL = 1)作为外部硬件时钟时(f_{PRS})，f_{PRS} 操作频率的变化取决于电源电压。

- V_{DD} = 2.7 ~ 5.5 V: f_{PRS} ≤ 10 MHz
- V_{DD} = 1.8 ~ 2.7 V: f_{PRS} ≤ 5 MHz

- 注 2. 按以下条件设定串行时钟。
- $V_{DD} = 2.7 \sim 5.5 \text{ V}$: 串行时钟 $\leq 4 \text{ MHz}$
 - $V_{DD} = 1.8 \sim 2.7 \text{ V}$: 串行时钟 $\leq 2 \text{ MHz}$

- 注意事项 1. 当 $CSIE10=1$ 时（允许操作），不要对 $CSIC10$ 进行写操作。
 2. 若将 $P10/SCK10/TxD0$ 和 $P12/SO10$ 用作通用端口，设置 $CSIC10$ 为默认状态(00H)。
 3. 复位后数据时钟的相位类型为类型 1。

备注 f_{PRS} : 外围硬件时钟频率

(3) 端口功能寄存器 1 (PF1)

该寄存器设定 $P13/SO10/TxD0/<TxD6>$ 引脚的功能。

PF1 可以通过 1 位或是 8 位存储器操作指令来访问。

复位信号将该寄存器设置为 00H。

图 16-4. 端口功能寄存器的格式 1 (PF1)

地址: FF20H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	端口(P13), CSI10, UART0和 UART6输出选择
0	作为P13或 SO10
1	作为TxD0或TxD6

(4) 端口模式寄存器 1 (PM1)

这两个寄存器用于按位设置端口 0 和 1 的输入/输出操作模式。

当 P11/SCK10 作为串行接口的时钟输出引脚时，将 PM11 清 0，然后将 P11 的输出锁存置 1。

当 P13/SO10/TxD0/<TxD6>作为串行接口的数据输出引脚时，将 PM13 和 P13 的输出锁存清 0。

当 P11/SCK10 作为串行接口的时钟输入引脚且 P12/SI10/RxD0/<RxD6>作为数据输入引脚时，设置 PM11 和 PM12 为 1。此时，P11 和 P12 的输出锁存值为 0 或 1。

PM1 可以通过 1 位或是 8 位存储器操作指令访问。

复位信号将该存储器的值设置为 FFH。

图 16-5.端口模式寄存器 1 (PM1)的格式

地址: FF21H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	1	1	1	PM14	PM13	PM12	PM11	1

PM1n	P1n 引脚 I/O 模式选择 (n=1~4)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

16.4 串行接口 CSI10 的操作

串行接口 CSI10 可在以下两种模式中使用。

- 操作停止模式
- 3 线串行 I/O 模式

16.4.1 操作停止模式

在此模式下，不能进行串行通信，因此，可降低功率消耗。此外，P11/ $\overline{\text{SCK10}}$ 、P12/SI10/RxD0,和 P13/SO10/TxD0 在此模式下可作为通用 I/O 端口引脚使用。

(1) 使用的寄存器

由串行操作模式寄存器 10 (CSIM10) 设置操作停止模式。
通过将 CSIM10 的第 7 位 (CSIE10) 清零，设置操作停止模式。

(a) 串行操作模式寄存器 10 (CSIM10)

可由 1 位或 8 位存储器操作指令设置 CSIM10。
复位信号的产生将 CSIM10 清零 (00H)。

地址: FF80H 复位后: 00H R/W

符号	<7>	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10
	CSIE10	3 线串行 I/O 模式中的操作控制						
	0	禁止操作 ^{注1} ，并异步复位内部电路 ^{注2}						

- 注
1. 若将 P10/ $\overline{\text{SCK10}}$ /TxD0 和 P12/SO10 用作通用端口，设置 CSIC10 为默认状态(00H)。
 2. 对 CSIM10 的第 0 位 (CSOT10) 和串行 I/O 移位寄存器 10 (SIO10) 进行复位。

16.4.2.3 线串行 I/O 模式

3 线串行 I/O 模式采用时钟串行接口连接外部 IC 和显示控制器。

该模式中使用三条线进行通信: 串行时钟 ($\overline{\text{SCK10}}$)、串行输出 (SO10) 和串行输入 (SI10) 线。

(1) 使用的寄存器

- 串行操作模式寄存器 10 (CSIM10)
- 串行时钟选择寄存器 10 (CSIC10)
- 端口模式寄存器 1 (PM1)
- 端口寄存器 1 (P1)

3 线串行 I/O 模式设置操作的基本步骤如下。

- <1> 设置 CSIC10 寄存器（参见图 16-3）
- <2> 设置 CSIM10 寄存器的 0 第 4 和 6 位(DIR10 和 TRMD10)（参见图 16-2）。
- <3> CSIM10 的第 7 位（CSIE1n）置 1。 → 允许发送/接收。
- <4> 将数据写入发送缓冲寄存器 10（SOTB10）。 → 启动发送/接收操作。
从串行 I/O 移位寄存器 10（SIO10）中读取数据。 → 启动数据接收操作。

注意事项 在设置端口模式寄存器和端口寄存器时，要考虑与通信另一方的关系。

寄存器设置与引脚之间的关系如下所示。

表 16-2. 寄存器设置与引脚之间的关系

CSIE10	TRMD10	PM12	P12	PM13	P13	PM11	P11	CSI10 操作	引脚功能		
									SI10/RxD0/ <RxD6>/P12	SO10/TxD0/ <TxD6>/P13	SCK10/ P11 ^{注2}
0	x	× ^{注1}	× ^{注1}	× ^{注1}	× ^{注1}	× ^{注1}	× ^{注1}	停止	RxD0/ <RxD6>/P12	TxD0/ <TxD6>/P13	P11 ^{注2}
1	0	1	x	× ^{注1}	× ^{注1}	1	x	从设备接收 ^{注3}	SI10	TxD0/ <TxD6>/P13	SCK10 (输入) ^{注3}
1	1	× ^{注1}	× ^{注1}	0	0	1	x	从设备发送 ^{注3}	RxD0/ <RxD6>/P12	SO10	SCK10 (输入) ^{注3}
1	1	1	x	0	0	1	x	从设备发送/ 接收 ^{注3}	SI10	SO10	SCK10 (输入) ^{注3}
1	0	1	x	× ^{注1}	× ^{注1}	0	1	主设备接收	SI10	TxD0/ <TxD6>/P13	SCK10 (输出)
1	1	× ^{注1}	× ^{注1}	0	0	0	1	主设备发送	RxD0/ <RxD6>/P12	SO10	SCK10 (输出)
1	1	1	x	0	0	0	1	主设备发送/ 接收	SI10	SO10	SCK10 (输出)

- 注**
1. 可用作端口引脚。
 2. 如果 P10/SCK10/TxD0 用作端口引脚，则将 CKP10 清零。
 3. 如果使用从设备模式，则须将 CKS102、CKS101 和 CKS100 设置为 1、1 和 1。

备注

×: 不必考虑

CSIE10: 串行操作模式寄存器 10（CSIM10）的第 7 位

TRMD10: CSIM10 的第 6 位

CKP10: 串行时钟选择寄存器 10（CSIC10）的第 4 位

CKS102, CKS101, CKS100: CSIC10 的第 0 ~ 2 位

PM1x: 端口模式寄存器

P1x: 端口输出锁存器

(2) 通信操作

在 3 线串行 I/O 模式中，是以 8 位为单元发送或接收数据。每位数据与串行时钟同步地发送或接收。

当串行操作模式寄存器 10 (CSIM10) 的第 6 位 (TRMD10) =1 时，允许发送或接收数据。当数据被写入到发送缓冲寄存器 10 (SOTB10) 时，开始进行发送/接收。此外，串行操作模式寄存器 10 (CSIM10) 的第 6 位 (TRMD10) = 0 时，允许接收数据。

当数据从串行 I/O 移位寄存器 10 (SIO10) 被读出时，启动接收操作。

通信开始后，CSIM10 的第 0 位 (CSOT1n) =1。当 8 位数据通信结束时，设置通信完成中断请求标志 (CSIIF10)，且对 CSOT10 清零。这样允许进行下一个通信。

注意事项 当 CSOT10 = 1 时 (串行通信期间)，不要访问控制寄存器和数据寄存器。

图 16-6. 3 线串行 I/O 模式中的时序 (1/2)

(a) 发送/接收时序 (类型 1: TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 0)

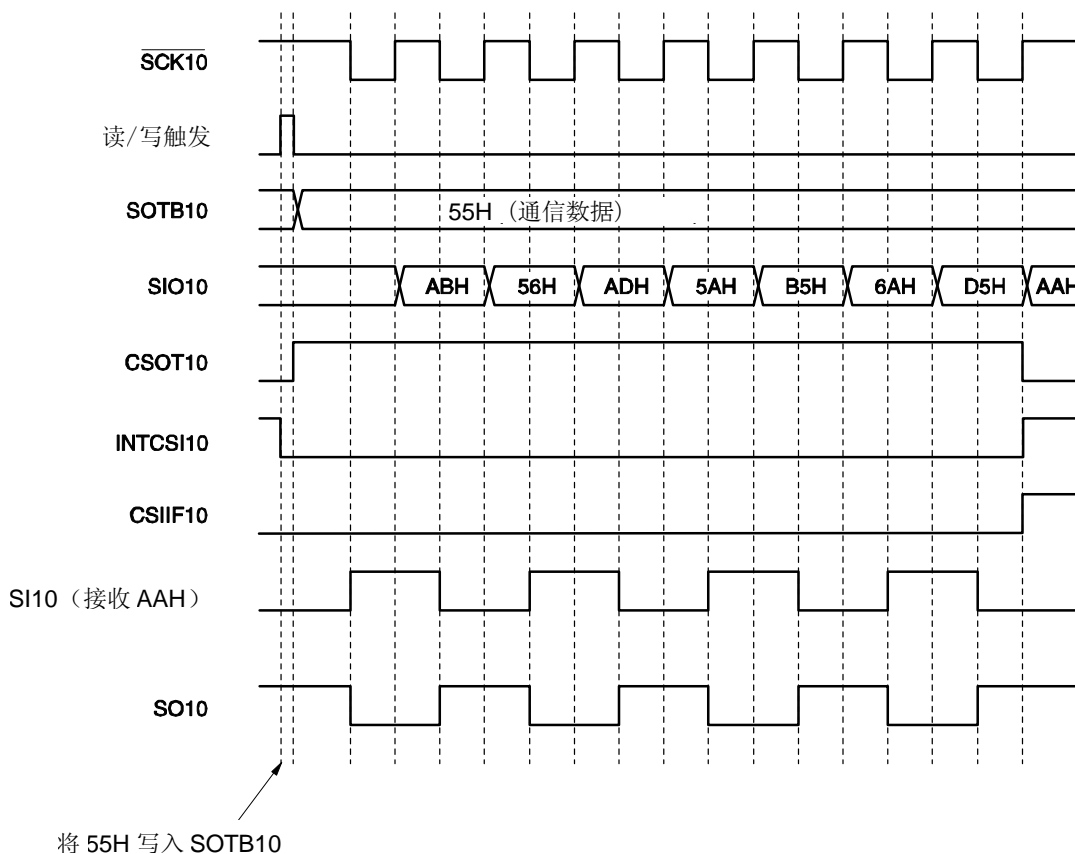


图 16-6. 3 线串行 I/O 模式中的时序(2/2)

(b) 发送/接收时序 (类型 2: TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 1)

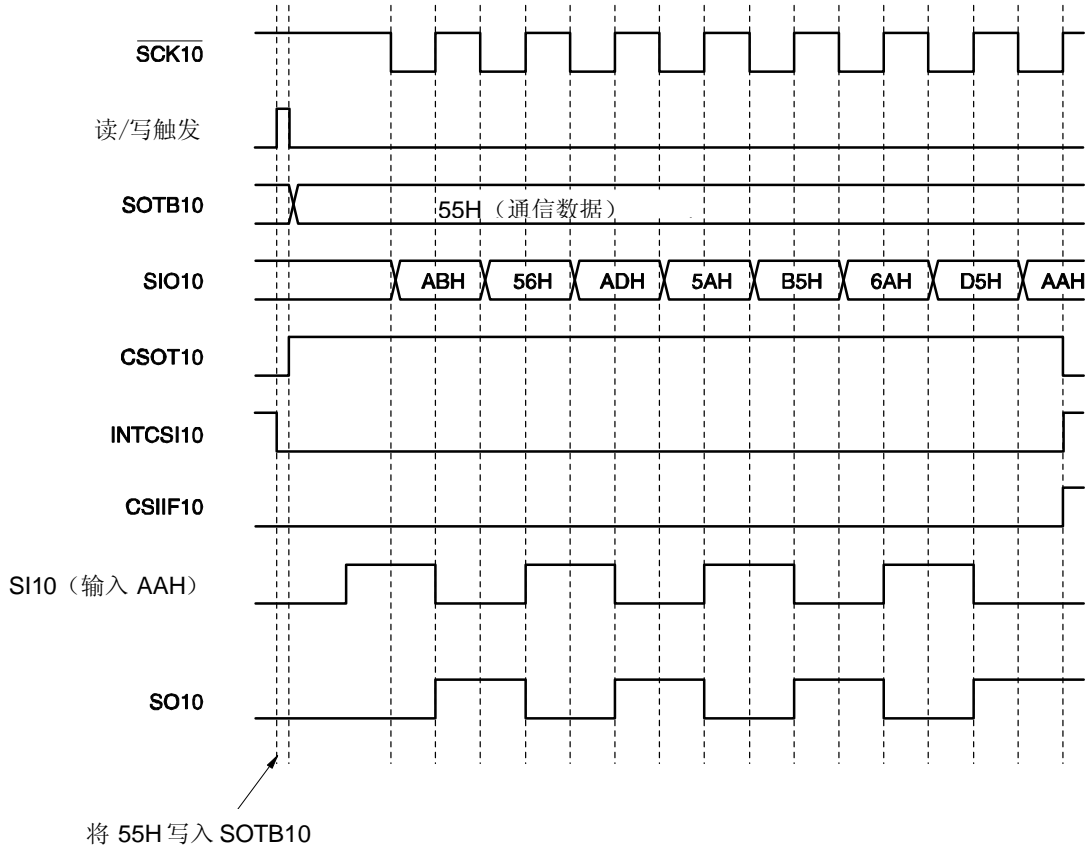
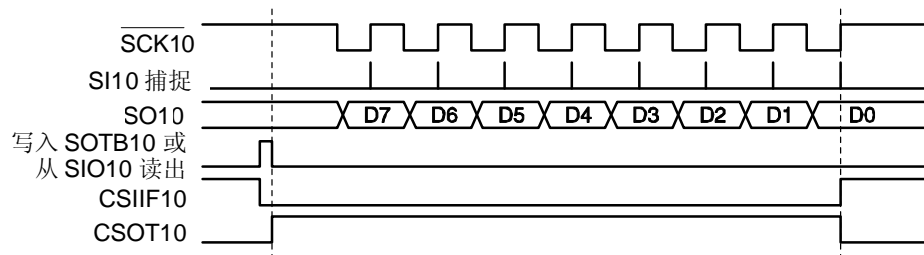
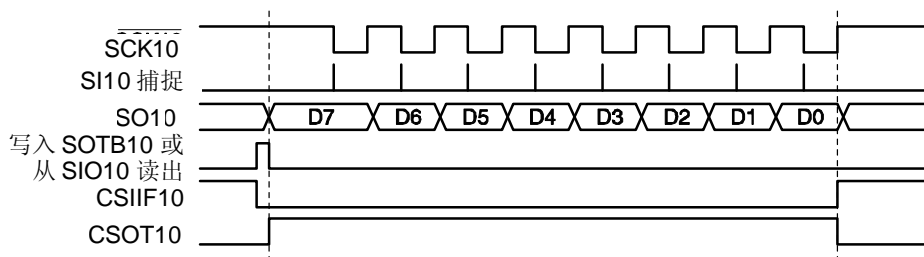


图 16-7. 时钟/数据相位的时序

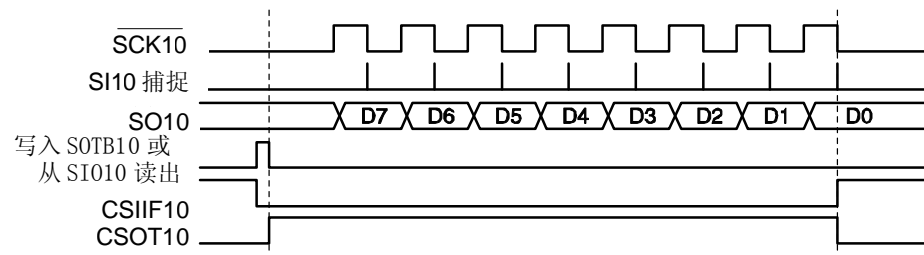
(a) 类型 1: CKP10 = 0, DAP10 = 0, DIR10 = 0



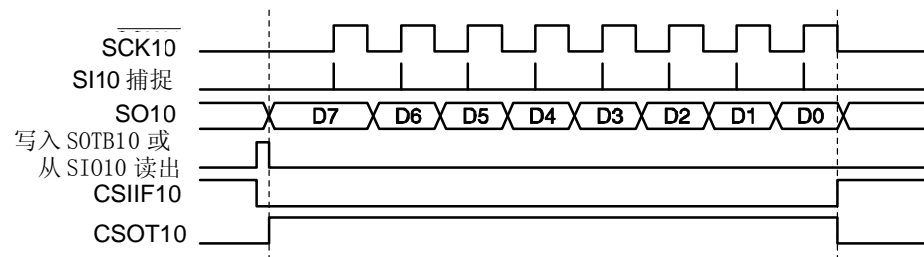
(b) 类型 2: CKP10 = 0, DAP10 = 1, DIR10 = 0



(c) 类型 3: CKP10 = 1, DAP10 = 0, DIR10 = 0



(d) 类型 4: CKP10 = 1, DAP10 = 1, DIR10 = 0

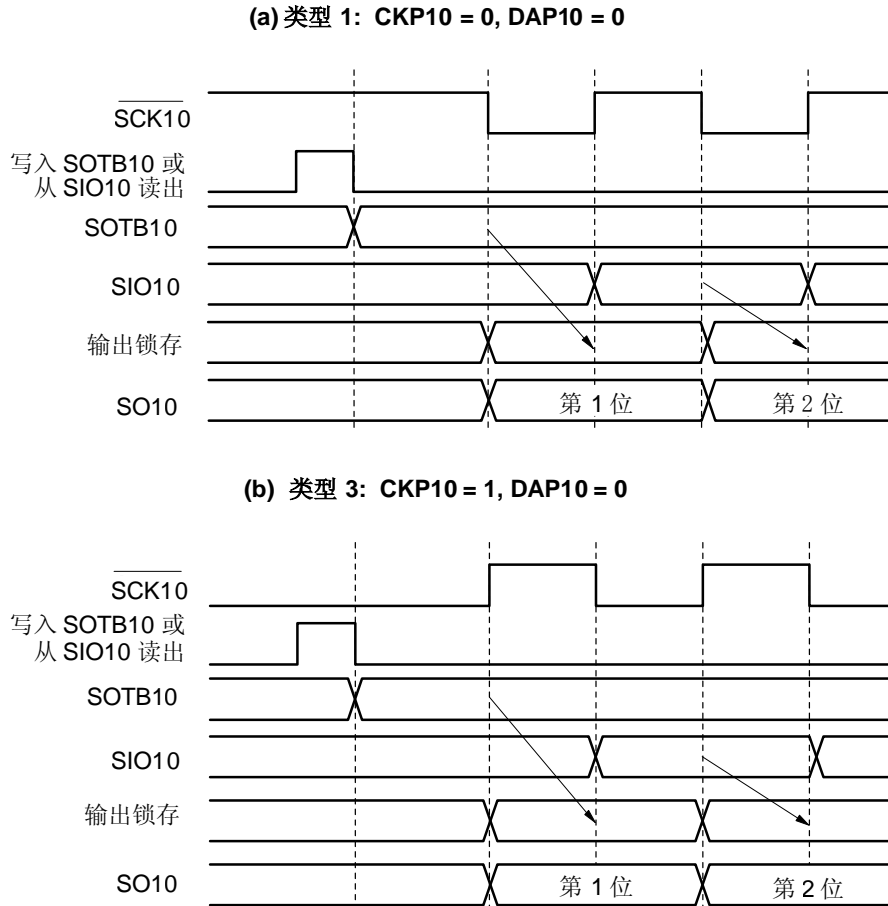


备注 上图显示了一个通信操作过程，即采用 MSB first 发送数据。

(3) 输出到 SO10 引脚的时序（起始位）

通信开始后，将发送缓冲寄存器 10（SOTB10）的值从 SO10 引脚输出。
此时起始位的输出操作如下所示。

图 16-8. 起始位的输出操作(1/2)

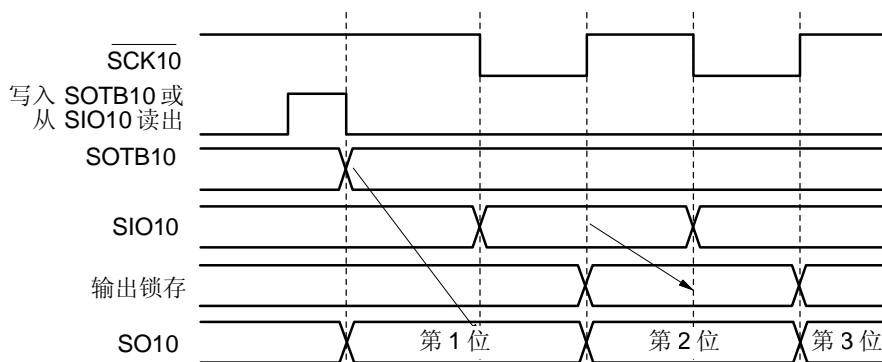


在 $\overline{\text{SCK10}}$ 的下降沿（或上升沿），起始位数据通过 SOTB10 寄存器被直接锁存到输出锁存器，并通过输出选择器从 SO10 引脚输出。然后在 $\overline{\text{SCK10}}$ 下一个上升沿（或下降沿）将 SOTB10 寄存器的内容传送到 SIO10 中，并移出 1 位。同时，通过 SIO10 引脚将接收数据的起始位存储到 SIO10 寄存器中。

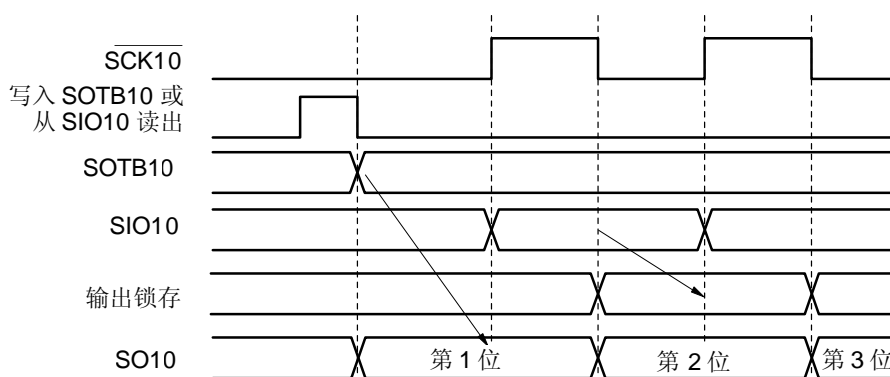
在下一个 $\overline{\text{SCK10}}$ 的下降沿（或上升沿），通过 SIO10 寄存器将第 2 位以及随后各位锁存到输出锁存器，然后从 SO10 引脚输出数据。

图 16-8. 起始位的输出操作(2/2)

(c) 类型 2: CKP10 = 0, DAP10 = 1



(d) 类型 4: CKP10 = 1, DAP10 = 1



在 SOTB10 的写信号或 SIO10 的读信号的下降沿，起始位数据通过 SOTB10 寄存器被直接锁存，并通过输出选择器从 SO10 引脚输出。然后在 SCK10 下一个下降沿（或上升沿）将 SOTB10 寄存器的内容传送到 SIO10 中，并移出 1 位。同时，将接收数据的起始位通过 SIO10 引脚存储到 SIO10 寄存器。

在下一个 SCK10 的上升沿（或下降沿），通过 SIO10 寄存器将第 2 位以及随后各位锁存到输出锁存器，然后从 SO10 引脚输出数据。

(4) SO10 引脚的输出值 (终止位)

在通信完成后, SO10 引脚保存终止位的输出值。

图 16-9. SO10 引脚的输出值 (终止位) (1/2)

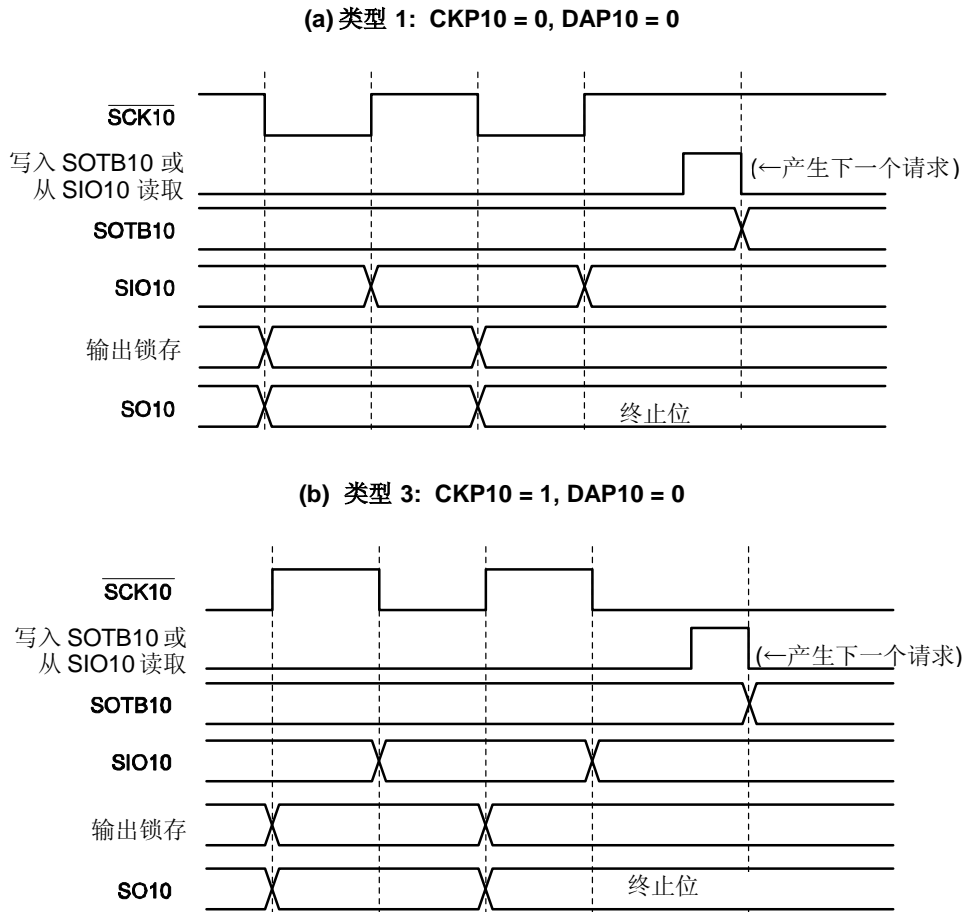
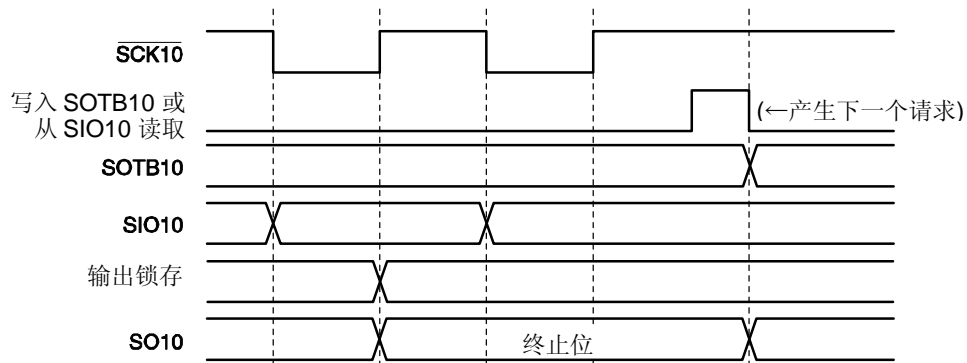
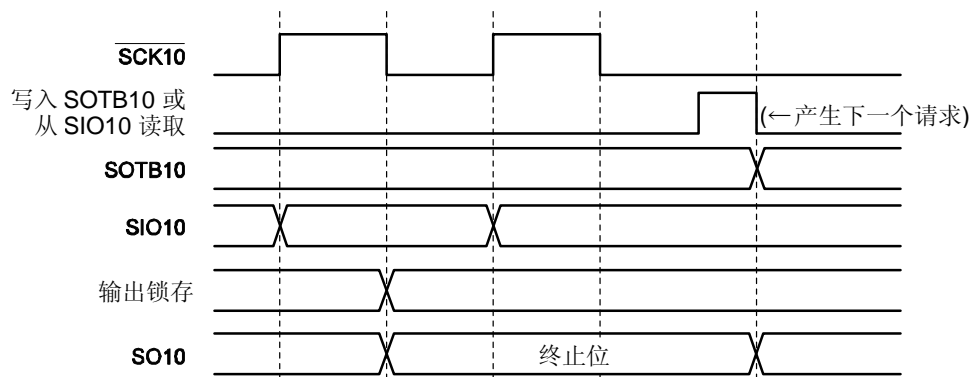


图 16-9. SO10 引脚的输出值 (终止位) (2/2)

(c) 类型 2: CKP10 = 0, DAP10 = 1



(d) 类型 4: CKP10 = 1, DAP10 = 1



(5) SO10 输出 (参考图 16-1)

如果串行操作模式寄存器 10 (CSIM10) 的第 7 位 (CSIE1n) 被清零, 则 SO10 输出状态如下。

表 16-3. SO10 输出状态

TRMD10	DAP10	DIR10	SO10 输出 ^{注 1}
TRMD10 = 0 ^{注 2}	-	-	输出低电平 ^{注 2}
TRMD10 = 1	DAP10 = 0	-	SO10 锁存值 (低电平输出)
	DAP10 = 1	DIR10 = 0	SOTB10 第 7 位的值
		DIR10 = 1	SOTB10 第 0 位的值

- 注
1. 根据 PM12 和 P12 以及 SO10 的输出, 决定 SO10/P12 引脚的实际输出。
 2. 复位后的状态。

注意事项 如果对 TRMD10、DAP10 和 DIR10 进行写操作, 则 SO10 的输出值将发生改变。

17.1 串行接口 CSIA0 的功能

串行接口 CSIA0 有以下三种模式。

(1) 操作停止模式

在不进行串行通信时可采用此模式，以降低功耗。

需要了解详细信息，可参见 17.4.1 操作停止模式。

(2) 3线串行 I/O 模式 (可选择 MSB / LSB-first)

该模式采用三条线(一条串行时钟线($\overline{\text{SCKA0}}$)和两条串行数据线(SIA0 和 SOA0))，以 8 位单元进行连续数据通信。

在 3 线串行 I/O 模式中数据通信时间可以缩短，因为发送和接收操作可以同步进行。

此外，可以采用 MSB 或者 LSB-first 进行 8 位数据通信，因此该接口可以和任何设备相连。

需要了解详细信息，可参见 17.4.2 3线串行 I/O 模式。

(3) 具有自动发送/接收功能的 3 线串行 I/O 模式 (可选择 MSB/LSB-first)

该模式采用三条线(一条串行时钟线($\overline{\text{SCKA0}}$)和两条串行数据线(SIA0 和 SOA0))以 8 位单元进行连续数据通信。

在此模式中数据通信时间可以缩短，因为发送和接收操作可以同步进行。

此外，可以采用 MSB 或者 LSB-first 进行 8 位数据通信，因此该接口可以和任何设备相连。

不使用软件，串行接口也可以与显示驱动器等通信，这是因为串行接口中集成了一个 32 字节的传送缓冲 RAM。此外，还包括在主设备模式下使用的握手引脚 (STB0, BUSY0)，可方便地与外围 IC 连接。

需要了解详细信息，可参见 17.4.3 具有自动发送/接收功能的 3 线串行 I/O 模式。

串行接口 CSIA0 的特性如下。

- 可选择主设备模式/从设备模式
- 通信数据宽度: 8 位
- 可选择 MSB/LSB-first 用于数据通信
- 自动发送/接收功能:
 - 可规定传送字节的个数在 1 ~ 32 之间。
 - 可规定传送间隔 (0 ~ 63 个时钟)
 - 可选择单一通信/重复通信
 - 内部 32 字节缓冲 RAM
- 内置专用波特率发生器 (分频: 6/8/16/32)
- 3 线 SOA0: 串行数据输出
SIA0: 串行数据输入
 $\overline{\text{SCKA0}}$: 串行时钟 I/O
- 发送/接收完成中断: INTACSI

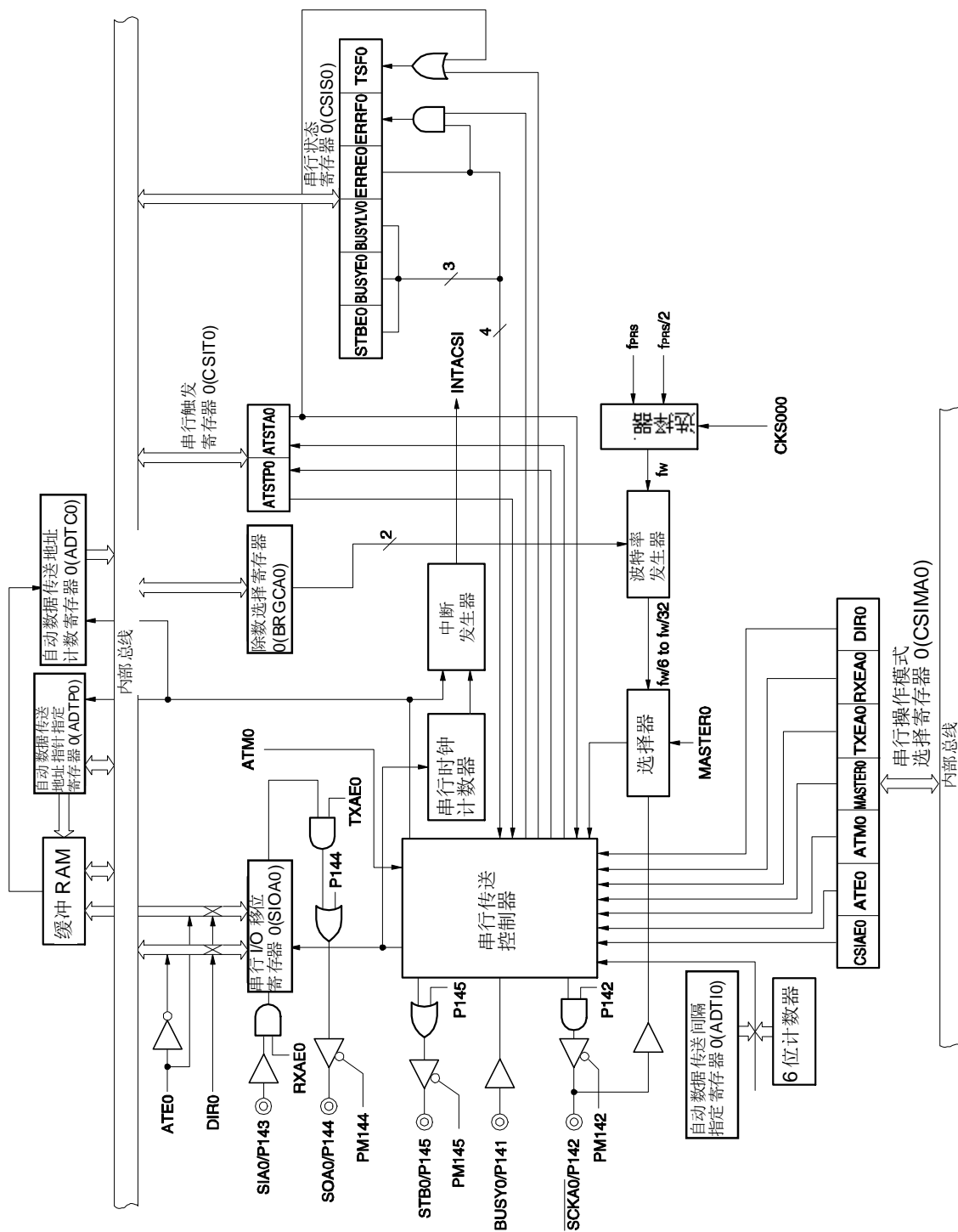
17.2 串行接口 CSIA0 的配置

串行接口 CSIA0 由以下硬件组成。

表 17-1 串行接口 CSIA0 的配置

项目	配置
控制器	串行传送控制器
寄存器	串行 I/O 移位寄存器 0 (SIOA0)
控制寄存器	串行操作模式选择寄存器 0 (CSIMA0) 串行状态寄存器 0 (CSIS0) 串行触发寄存器 0 (CSIT0) 分频选择寄存器 0 (BRGCA0) 自动数据传送地址指针指定寄存器 0 (ADTP0) 自动数据传送间隔指定寄存器 0 (ADTI0) 自动数据传送地址计数寄存器 0 (ADTC0) 端口模式寄存器 14 (PM14) 端口寄存器 14 (P14)

★图 17-1 串行接口 CSIA0 的框图



(1) 串行 I/O 移位寄存器 0 (SIOA0)

该 8 位寄存器以 1 字节传送模式(串行操作模式选择寄存器 0 (CSIMA0)的第 6 位(ATE0) = 0)存储发送/接收数据。将发送数据写入 SIOA0 以启动通信。此外, 在输出通信完成中断请求(INTACSI)后(串行状态寄存器 0(CSIS0)的第 0 位(TSF0) = 0), 可通过读取 SIOA0 来接收数据。

可由 8 位存储器操作指令对该寄存器进行读写操作。但当 CSIS0 的第 0 位(TSF0) = 1 时, 禁止对 SIOA0 进行写操作。

复位信号的产生对该寄存器清零 (00H)。

注意事项: 1. 通过写 SIOA0 来启动通信操作。因此, 当禁止发送时(CSIMA0 的第 3 位(TXEAO) = 0), 可向 SIOA0 写入虚拟数据来启动通信, 然后执行接收操作。

2. 当使用自动发送/接收功能时, 不要对 SIOA0 进行写操作。

17.3 控制串行接口 CSIA0 的寄存器

串行接口 CSIA0 由以下 10 个寄存器控制。

- 串行操作模式选择寄存器 0 (CSIMA0)
- 串行状态寄存器 0 (CSIS0)
- 串行触发寄存器 0 (CSIT0)
- 分频选择寄存器 0 (BRGCA0)
- 自动数据传送地址指针指定寄存器 0 (ADTP0)
- 自动数据传送间隔指定寄存器 0 (ADTI0)
- 自动数据传送地址计数寄存器 0 (ADTC0)
- 端口功能寄存器 14 (PF1)
- 端口模式寄存器 1 (PM1)
- 端口寄存器 1 (P1)

(1) 串行操作模式选择寄存器 0 (CSIMA0)

该 8 位寄存器用于控制串行通信操作。

可由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号的产生将该寄存器清零(00H)。

图 17-2 串行操作模式选择寄存器 0(CSIMA0)的格式

地址： FF90H 复位后： 00H R/W

符号	<7>	6	5	4	<3>	<2>	1	0
CSIMA0	CSIAE0	ATE0	ATM0	MASTER0	TXEA0	RXEA0	DIR0	0
CSIAE0	CSIA0 操作允许/禁止的控制							
0	禁止 CSIA0 操作 (SOA0 : 低电平, SCKA0 : 高电平), 并且异步复位内部电路 ^注 。							
1	允许 CSIA0 操作							
ATE0	自动通信操作允许/禁止的控制							
0	1 字节通信模式							
1	自动通信模式							
ATM0	自动通信模式的选择							
0	单一传送模式(在由 ADTP0 寄存器指定的地址处停止)							
1	重复传送模式(传送完成后, 对 ADTC0 清零(00H)可恢复传送)							
MASTER0	CSIA0 主设备/从设备模式的选择							
0	从设备模式(与 SCKA0 输入时钟同步)							
1	主设备模式(与内部时钟同步)							
TXEA0	对发送操作允许/禁止的控制							
0	禁止发送操作(SOA0 : 低电平)							
1	允许发送操作							
RXEA0	对接收操作允许/禁止的控制							
0	禁止接收操作							
1	允许接收操作							
DIR0	对起始位的选择							
0	MSB							
1	LSB							

注： 对自动数据传送地址计数寄存器 0(ADTC0)、串行触发寄存器 0(CSIT0)、串行 I/O 移位寄存器 0 (SIOA0) 和串行状态寄存器 0 (CSIS0) 的第 0 位 (TSF0) 进行复位。

注意事项: 1. 当 CSIAE0 = 0 时, 不能访问缓冲 RAM。

2. 当 CSIAE0 的值从 1 变为 0 时, 上面“注”中提到的寄存器和位将被异步初始化。要再一次设置 CSIAE0 的值等于 1, 必须重新设置这些已初始化的寄存器。

3. 当 CSIAE0 的值从 1 变为 0, 又被重新置 1 时, 不能保证是否能够保持缓冲 RAM 的值。

(2) 串行状态寄存器 0 (CSIS0)

该 8 位寄存器用于选择基本时钟、控制通信操作，并指示串行接口 CSIA0 的状态。

可由 1 位或 8 位存储器操作指令设置该寄存器。但当第 0 位 (TSF0) =1 时禁止重写 CSIS0。

复位信号的产生将该寄存器清零 (00H)。

Figure 17-3. Format of 串行 Status 寄存器 0 (CSIS0)

地址：FF91H 复位后：00H R/W 注¹

符号	7	6	5	4	3	2	1	0
CSIS0	0	CKS00	0	0	0	0	0	TSF0

CKS00	基本时钟 (f_w) 选择				
	$f_{PRS} = 2 \text{ MHz}$	$f_{PRS} = 5 \text{ MHz}$	$f_{PRS} = 8 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$	
0	$f_{PRS}^{\text{Note 3}}$	2 MHz	5 MHz	8 MHz	10 MHz
1	$f_{PRS}/2$	1 MHz	2.5 MHz	4 MHz	5 MHz

TSF0	发送状态检测标志
0	. 串口操作模式指定寄存器 0 (CSIMA0) 的第 7 位 (CSIAE0) =0 发送状态检测标志 . 复位输入时 . 指定发送的末尾 . 当发送通过设置串口触发寄存器 0 (CSIT0) 的第一位 (ATSTP0) 被停止时
1	从发送开始到指定发送的结束

注 1. 第 0 位是只读的。

<R> 2. 如果外围硬件时钟 (f_{PRS}) 工作在高速系统时钟 (f_{XH}) ($XSEL = 1$) 时, f_{PRS} 工作频率随供电电压而变化。

• $V_{DD} = 2.7 \text{ to } 5.5 \text{ V}$: $f_{PRS} \leq 10 \text{ MHz}$

• $V_{DD} = 1.8 \text{ to } 2.7 \text{ V}$: $f_{PRS} \leq 5 \text{ MHz}$

<R> 3. 如果外围硬件时钟 (f_{PRS}) 工作在高速振荡时钟 (f_{RH}) ($XSEL = 0$), 当 $1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ 时, $CKS00 = 0$ (基本时钟: f_{PRS}) 设置被禁止。

注意事项 1. 确保清除 7 ~ 5 位为 1。

2. 发送期间 ($TSF0 = 1$), 重写串行工作模式指定寄存器 0 (CSIMA0), 串行状态寄存器 0 (CSIS0), 分频数选择寄存器 0 (BRGCA0), 自动数据发送地址指针指定寄存器 0 (ADTP0), 自动数据发送间隔指定寄存器 0 (ADTI0), 和串行 I/O 移位寄存器 0 (SIOA0) 被禁止。但是, 这些寄存器能读写相同的值。除此之外, 缓冲 RAM 可以在发送期间被重写。

备注: f_{PRS} : 外围硬件时钟频率

(3) 串行触发寄存器 0 (CSIT0)

该 8 位寄存器用于控制缓冲 RAM 和 串行 I/O 移位寄存器 0 (SIOA0)之间的自动数据发送的执行/停止。

可由 1 位或 8 位存储器操作指令设置该寄存器，当串行运行模式指定 寄存器 0 (CSIMA0)的第 6 位 (ATE0)是 1 时，此寄存器可以被设置。

复位信号的产生将该寄存器清零 (00H)。

图 17-4 串行触发寄存器 0 (CSIT0) 的格式

地址: FF92H 复位后: 00H R/W

符号	7	6	5	4	3	2	<1>	<0>
CSIT0	0	0	0	0	0	0	ATSTP0	ATSTA0
ATSTP0	停止自动数据传送操作							
0	-							
1	停止自动数据传送操作							
ATSTA0	启动自动数据传送操作							
0	-							
1	启动自动数据传送操作							

- 注意事项: 1. 即使 ATSTP0 或 ATSTA0 等于 1，自动传送的启动/停止操作也要等到 1 字节传送完成时才能进行。
2. 产生中断信号 INTACSI 后，ATSTP0 和 ATSTA0 自动变为 0。
3. 在停止自动数据传送操作后，将传送停止时的数据地址保存在自动数据传送地址计数寄存器 0 (ADTC0) 中。但是，由于没有重新启动自动数据传送的功能，当 ATSTP0 = 1 使传送停止时，重新设置这些寄存器后，将 ATSTA0 置 1 启动自动数据传送操作。

(4) 分频选择寄存器 0 (BRGCA0)

该 8 位寄存器用于选择 CSIA0 的基本时钟分频。

可由 8 位存储器操作指令设置该寄存器。但当串行状态寄存器 0 (CSIS0) 的第 0 位 (TSF0) =1 时, 禁止重写 BRGCA0。

复位信号的产生将该寄存器设置为 03H。

图 17-5 分频选择寄存器 0 (BRGCA0) 的格式

地址: FF93H 复位后: 03H R/W

符号	7	6	5	4	3	2	1	0
BRGCA0	0	0	0	0	0	0	BRGCA01	BRGCA00

BRGCA01	BRGCA00	CSIA0 基本时钟 (f_w) 除数选择	$f_w = 1$ MHz	$f_w = 2$ MHz	$f_w = 2.5$ MHz	$f_w = 5$ MHz	$f_w = 10$ MHz	$f_w = 注 1$ MHz ^{Note}
			0	0	$f_w/6$	166.67 kHz	333.3 kHz	416.67 kHz
0	1	$f_w/2^3$	125 kHz	250 kHz	312.5 kHz	625 kHz	注 5 MHz ^{Note}	禁止设置
1	0	$f_w/2^4$	62.5 kHz	125 kHz	156.25 kHz	312.5 kHz	625 kHz	1.25 MHz
1	1	$f_w/2^5$	31.25 kHz	62.5 kHz	78.125 kHz	156.25 kHz	312.5 kHz	625 kHz

注 设置发送时钟以满足如下条件。

- 当 $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ 时: 发送时钟 $\leq 833.33\text{ kHz}$
- 当 $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ 时: 发送时钟 $\leq 555.56\text{ kHz}$

备注: f_w : 由 CSIS0 寄存器的 CKS00 位选择的基本时钟频率
 f_{PRS} : 外围硬件时钟频率

(5) 自动数据传送地址指针指定寄存器 0 (ADTP0)

该 8 位寄存器用于指定自动传送期间（串行操作模式选择寄存器 0 (CSIMA0) 的第 6 位 (ATE0) =1) 结束传送时的缓冲 RAM 的地址。

可由 8 位存储器操作指令设置该寄存器。但在传送期间 (TSF0=1)，禁止重写 ADTP0。

在 78K0/LF3 中，由于包含 32 字节缓冲 RAM，可指定 00H ~ 1FH 之间的值。

举例： 当 ADTP0 = 07H

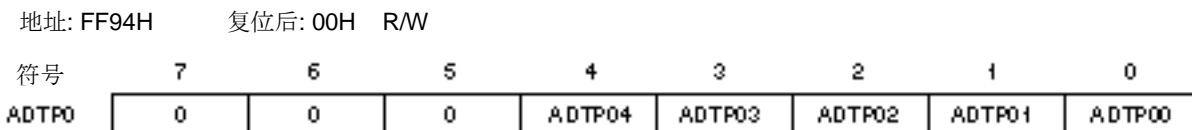
地址为 FA00H ~ FA07H 的 8 字节数据被传送。

在重复传送模式中 (CSIMA0 的第 5 位 (ATM0) =1)，重复执行传送操作，一直执行到 ADTP0 指定的地址处。

举例： ADTP0 = 07H (重复传送模式)

重复执行传送操作，即 FA00H ~ FA07H、FA00H ~ FA07H，...

图 17-6 自动数据传送地址指针指定寄存器 0 (ADTP0) 的格式



注意事项: 第 7~5 位必须被清零。

传送结束缓冲 RAM 地址与 ADTP0 的设置值之间的关系如下所示。

表 17-2 传送结束缓冲 RAM 地址与 ADTP0 的设置值之间的关系

传送结束时的缓冲 RAM 地址	ADTP0 的设置值
FAxxH	xxH

备注： xx: 00 ~ 1F

(6) 自动数据传送间隔指定寄存器 0 (ADTI0)

该 8 位寄存器用于指定自动数据传送时 (CSIMA0 的第 6 位 (ATE0) =1) 字节数据传送的间隔时间。在主设备模式中 (CSIMA0 的第 4 位 (MASTER0) =1) 设置该寄存器 (在从设备模式中不必设置)。在 1 字节通信模式中 (CSIMA0 的第 6 位 (ATE0) =0) 设置也有效。在 1 字节通信结束并经历了间隔时间 (由 ADTI0 指定) 后, 将输出一个中断请求信号 (INTACSI)。间隔时间的时钟个数可设置为 0 ~ 63 之间。可由 8 位存储器操作指令设置该寄存器。但当 CSIS0 的第 0 位 (TSF0) = 1 时, 禁止重写 ADTI0。

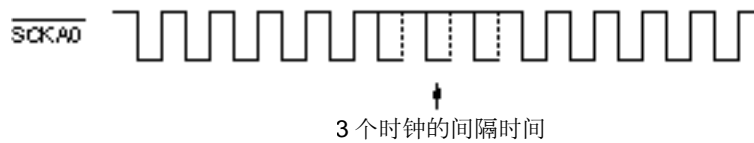
图 17-7 自动数据传送间隔指定寄存器 0 (ADTI0) 的格式

地址: FF95H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADTI0	0	0	ADTI05	ADTI04	ADTI03	ADTI02	ADTI01	ADTI00

指定的间隔时间为串行时钟 (由分频选择寄存器 0 (BRGCA0) 规定) 乘以一个整数。

举例: 当 ADTI0 = 03H



(7) 自动数据传送地址计数寄存器 0 (ADTC0)

该寄存器用于指示自动传送期间缓冲 RAM 的地址。当自动传送操作停止时，可通过读取 ADTC0 获得传送停止时的数据位置。

可由 8 位存储器操作指令读取该寄存器。

复位信号的产生将该寄存器清零(00H)。但当串行状态寄存器 0 (CSIS0)的第 0 位(TSF0) = 1 时禁止读取 ADTC0。

图 17-8 自动数据传送地址计数寄存器 0 (ADTC0)的格式

地址: FF97H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
ADTC0	0	0	0	ADTC04	ADTC03	ADTC02	ADTC01	ADTP00

(8) 端口功能寄存器 1 (PF1)

此寄存器可以设置 P16/SOA0/TxD6 引脚功能。

PF1 可由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号的产生将该寄存器设置为 00H。

图 17-9. 端口功能寄存器 1 (PF1)格式

地址: FF20H 复位之后: 00H R/W

符号	7	6	5	4	3	2	1	0
PF1	0	PF16	0	0	PF13	0	0	0

PF16	端口 (P16), CSIA0, 和 UART6 输出指定
0	用作 P16 或 SOA0
1	用作 TxD6

PF13	端口 (P13), CSI10, 和 UART0 输出指定
0	用作 P13 or SO10
1	用作 TxD0

(9) 端口模式寄存器 1 (PM1)

该寄存器用于按位设置端口 1 的输入/输出操作模式。

当 P14/SCKA0 用于串行接口的时钟输出时, 对 PM14 清零并对 P14 的输出锁存器置 1。

当 P16/SOA0 引脚用于串行接口数据输出时, 清除 PM16 并且使 P16 输出锁存置 0。

当 P14/SCKA0 和 P15/SIA0 引脚用作时钟输入或串行接口数据输入时, 应设置 PM14 和 PM15 为 1, 此时, P14 和 P15 输出锁存可能是 0 或 1。

PM1 可以通过 1-位或 8-位存储器操作指令设置。

复位信号的产生将该寄存器设置为 FFH。

图 17-10. 端口模式寄存器 1 (PM1) 的格式

地址: FF21H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n 引脚 I/O 模式选择 (n = 0 to 7)
0	输出模式 (输出缓冲开)
1	输入模式 (输出缓冲关)

17.4 串行接口 CSIA0 的操作

串行接口 CSIA0 有以下三种模式。

- 操作停止模式
- 3 线串行 I/O 模式
- 具有自动发送/接收功能的 3 线串行 I/O 模式

17.4.1 操作停止模式

在此模式下，不能进行串行通信，可降低功耗。此外，P14/SCKA0、P15/SIA0 和 P16/SOA0 可作为一般的 I/O 端口引脚使用。

(1) 使用的寄存器

由串行操作模式选择寄存器 0 (CSIMA0) 设置操作停止模式。将 CSIMA0 的第 7 位 (CSIAE0) 清零，可以设置该模式。

(a) 串行操作模式选择寄存器 0 (CSIMA0)

该 8 位寄存器用于控制串行通信操作。

可由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号的产生将该寄存器清零 (00H)。

地址: FF90H 复位后: 00H R/W

	<7>	6	5	4	<3>	<2>	1	0
CSIMA0	CSIAE0	ATE0	ATM0	MASTER0	TXEA0	RXEA0	DIR0	0
	CSIAE0	对 CSIA0 操作允许/禁止的控制						
	0	禁止 CSIA0 操作(SOA0: 低电平, SCKA0: 高电平), 并且异步复位内部电路						

17.4.2.3 3线串行 I/O 模式

当串行操作模式选择寄存器 0 (CSIMA0) 的第 6 位 (ATE0) 被清零时, 执行 1 字节数据发送/接收操作。

该模式采用时钟串行接口连接外部 IC 和显示控制器。

该模式中使用三条线进行通信: 串行时钟 (SCKA0)、串行输出 (SOA0) 和串行输入 (SIA0) 线。

(1) 使用的寄存器

- 串行操作模式选择寄存器 0 (CSIMA0) ^{注1}
- 串行状态寄存器 0 (CSIS0) ^{注2}
- 分频选择寄存器 0 (BRGCA0)
- 端口模式寄存器 4 (PM14)
- 端口寄存器 14 (P14)

- 注:**
1. 使用第 7、6 和 4 ~ 1 位 (CSIAE0, ATE0, MASTER0, TXEA0, RXEA0 和 DIR0)。设置第 5 位 (ATM0) 无效。
 2. 仅使用第 6 位 (CKS00) 和第 0 位 (TSF0)。

在 3 线串行 I/O 模式中操作设置的基本步骤如下。

- <1> 设置 CSIS0 寄存器的第 6 位 (CKS00) (参见 图 17-3) ^{注1}
- <2> 设置 BRGCA0 寄存器 (参见 图 17-5) ^{注1}。
- <3> 设置 CSIMA0 寄存器的第 4 ~ 1 位 (MASTER0, TXEA0, RXEA0 和 DIR0) (参见 图 17-2)。
- <4> 设置 CSIMA0 寄存器的第 7 位 (CSIAE0) =1, 并将第 6 位 (ATE0) 清零。
- <5> 将数据写入串行 I/O 移位寄存器 0 (SIOA0)。 → 启动数据发送/接收操作 ^{注2}。

- 注:**
1. 选择从设备模式时 (MASTER0 = 0), 不能设置该寄存器。
 2. 对 SIOA0 写入虚拟数据仅用于接收。

注意事项: 在设置端口模式寄存器和端口寄存器时, 要考虑与通信另一方的关系。

寄存器设置与引脚之间的关系如下。

表 17-3 寄存器设置与引脚之间的关系

CSIAE0	ATE0	MASTER0	PM15	P15	PM16	P16	PM14	P14	串行 I/O 移位寄存器 0 的操作	串行时钟计数器的操作控制	引脚功能		
											SIA0/P15	SOA0/P16	$\overline{\text{SCKA0/P14}}$
0	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止操作	清零	P15	P16	P14
1	0	0	1 ^{注2}	x ^{注2}	0 ^{注3}	0 ^{注3}	1	x	允许操作	计数操作	SIA0 ^{注2}	SOA0 ^{注3}	$\overline{\text{SCKA0}}$ (输入)
		0					1	$\overline{\text{SCKA0}}$ (输出)					

- 注：
1. 可用作端口引脚。
 2. 仅执行发送时，可以用作 P143。将 CSIMA0 的第 2 位 (RXEA0) 清零。
 3. 仅执行接收时，可以用作 P144。将 CSIMA0 的第 3 位 (TXEA0) 清零。

备注：

- x: 不必考虑
- CSIAE0: 串行操作模式选择寄存器 0 (CSIMA0) 的第 7 位
- ATE0: CSIMA0 的第 6 位
- MASTER0: CSIMA0 的第 4 位
- PM14x: 端口模式寄存器
- P14x: 端口输出锁存器

(2) 1 字节发送/接收通信操作

(a) 1 字节发送/接收

当串行操作模式选择寄存器 0 (CSIMA0) 的第 7 位 (CSIAE0) 和第 6 位 (ATE0) 分别 = 1、0 时, 如果通信数据已被写入串行 I/O 移位寄存器 0 (SIOA0) 中, 则在 $\overline{SCKA0}$ 的下降沿通过 SOA0 引脚同步输出数据, 并在之后 1 个时钟的上升沿将数据同步存入 SIOA0 中。

数据发送和数据接收操作可同时进行。

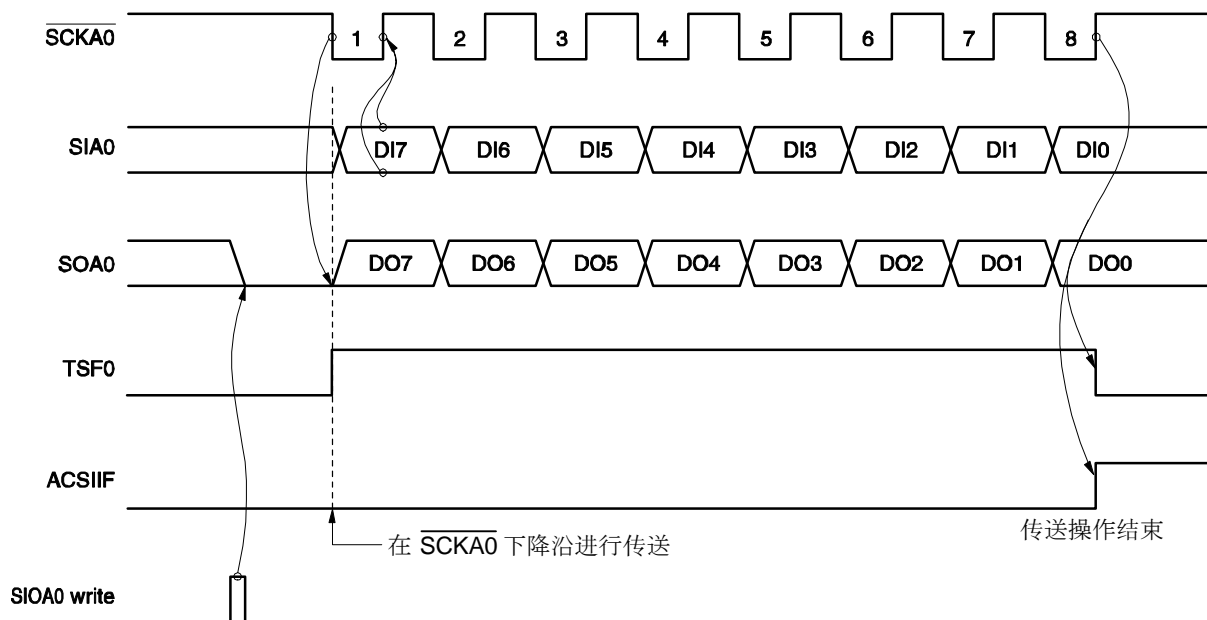
如果只执行接收操作, 则只能通过向 SIOA0 写入虚拟值才可启动通信。

在完成 1 字节通信后, 会产生一个中断请求信号 (INTACSI)。

在 1 字节发送/接收操作中, CSIMA0 的第 5 位 (ATM0) 设置无效。

必须在确认 CSIS0 的第 0 位 (TSF0) = 0 后读取数据。

图 17-11 3 线串行 I/O 模式的时序



注意事项：通过写 SIOA0 可使 SOA0 引脚变为低电平。

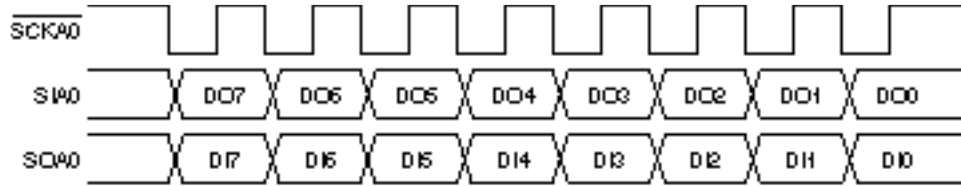
(b) 数据格式

在数据格式中，在 $\overline{SCKA0}$ 下降沿同步修改数据，如下所示。

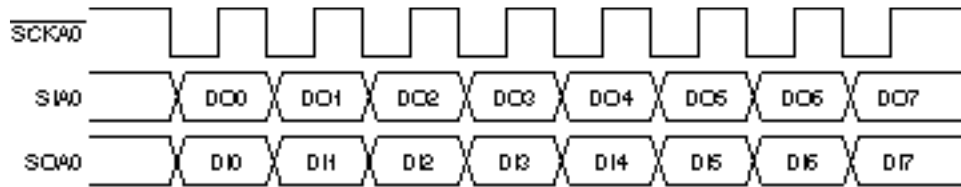
数据宽度恒为 8 位。通过设置 CSIMA0 的第 1 位 (DIR0) 可切换数据通信的方向。

图 17-12 发送/接收数据的格式

(a) MSB-first (DIR0 位 = 0)



(b) LSB-first (DIR0 位 = 1)

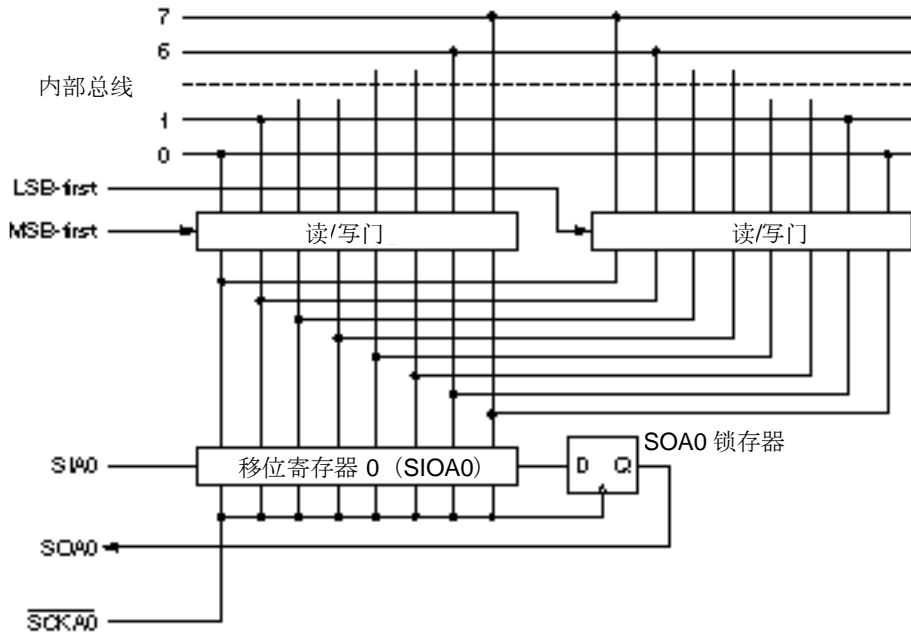


(c) 切换 MSB/LSB 作为起始位

图 17-12 显示了串行 I/O 移位寄存器 0 (SIOA0) 和内部总线的配置。如图中所示，可对 MSB/LSB 进行反向读/写。

根据 CSIMA0 的第 1 位 (DIR0) 可规定：切换 MSB/LSB 作为起始位。

图 17-12 传送次序切换电路



通过对写入 SIOA0 的数据位次序进行切换，可实现起始位的切换。SIOA0 的移位次序保持不变。这样，MSB-first 与 LSB-first 之间的切换操作必须在将数据写入移位寄存器之前进行。

(d) 启动通信

在满足以下两个条件时，将通信数据写入串行 I/O 移位寄存器 0 (SIOA0)，可以启动串行通信。

- 串行接口 CSIA0 操作控制位 (CSIAE0) = 1
- 没有进行串行通信。

注意事项: 如果将数据写入 SIOA0 后设置 CSIAE0 = 1，则不能启动通信。

在 8 位通信结束时，串行通信自动停止，并设置中断请求标志 (ACSIIF)。

17.4.3 具有自动发送/接收功能的3线串行 I/O 模式

在此模式中，当 CSIMA0 的第 6 位 (ATE0) =1 时，不使用软件也可以对多达 32 字节的数据进行发送/接收。只有当数据的字节数提前存于 RAM 中，才能在启动通信后发送该数据，并且只有设置了字节数的数据才能被接收，并存于 RAM 中。

此外，当使用主设备且该模式支持通过硬件产生握手信号 (STB0 和 BUSY0) 功能时，可连续发送/接收数据。因此，很容易实现与外部 IC (例如 OSD (屏幕显示) IC) 和 LCD 控制器/驱动器的连接。

(1) 使用的寄存器

- 串行操作模式选择寄存器 0 (CSIMA0)
- 串行状态寄存器 0 (CSIS0)
- 串行触发寄存器 0 (CSIT0)
- 除法选择寄存器 0 (BRGCA0)
- 自动数据传送地址指针指定寄存器 0 (ADTP0)
- 自动数据传送间隔指定寄存器 0 (ADTI0)
- 端口模式寄存器 14 (PM14)
- 端口寄存器 14 (P14)

寄存器设置与引脚之间的关系如下。

注意事项：当数据写入缓冲 RAM 时，可能会产生一个等待状态。如需了解详细内容，可参见第三十三章 等待注意事项。

寄存器设置与引脚之间的关系如下

表 17-4 寄存器设置与引脚之间的关系

CSIAE0	ATE0	MASTER0	PM15	P15	PM16	P16	PM14	P14	串行 I/O 移位寄存器操作	串行时钟计数器操作控制	引脚功能		
											SIA0/P15	SOA0/P16	$\overline{\text{SCKA0}}/\text{P14}$
0	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	操作停止	清除	P15	P16	P14
1	0	0	1 ^{注2}	x ^{注2}	0 ^{注3}	0 ^{注3}	1	x	操作使能	计数操作	SIA0 ^{注2}	SOA0 ^{注3}	$\overline{\text{SCKA0}}$ (输入)
		0						1					$\overline{\text{SCKA0}}$ (输出)

- 注
1. 可用作端口功能。
 2. 在只执行发送操作时可用作 P15。CSIA0 的第 2 位 (RXEA0) 被清零。
 3. 在只执行接收操作时, 可用作 P16。将 CSIA0 的第 3 位(TXEA0)清零。

备注:

- x: 不必考虑
- CSIAE0: 串行操作模式选择寄存器 0 (CSIMA0) 的第 7 位。
- ATE0: CSIMA0 的第 6 位
- MASTER0: CSIMA0 的第 4 位
- STBE0: 串行状态寄存器 0 (CSIS0) 的第 5 位
- BUSYE0: CSIS0 的第 4 位
- ERRE0: CSIS0 的第 2 位
- PM14x: 端口模式寄存器
- P14x: 端口输出锁存器

(2) 自动发送/接收数据的设置

以下是作为主设备连续发送/接收数据的过程示例。

- <1> 通过设置 CSIMA0 的第 7 位(CSIAE0)=1, 允许 CSIA0 操作(此时可以访问缓冲 RAM)。
- <2> 通过使用串行状态寄存器 0 (CSIS0)设置串行时钟
- <3> 通过使用分频选择寄存器(BRGCA0)设置串行时钟的分频比, 并指定通信速率。
- <4> 从最低有效地址 FA00H 开始一直到 FA00H, 将要发送的数据连续写入缓冲 RAM。从最低地址向高地址发送数据。
- <5> 将“发送数据项的个数 - 1”赋给自动数据传送地址指针指定寄存器 0 (ADTP0)。
- <6> 设置 CSIMA0 的第 6 位 (ATE0)和第 4 位(MASTER0), 用于在自动通信模式下选择主设备操作。
- <7> 设置 CSIMA0 的第 3 位(TXEAO)和第 2 位(RXEAO) =1, 允许发送/接收。
- <8> 将数据的发送间隔赋给自动数据传送间隔指定寄存器 (ADTI0)。
- <9> 当串行触发寄存器 0 (CSIT0)的第 0 位(ATSTA0) =1 时启动自动发送/接收操作。

注意事项：在设置端口模式寄存器和端口寄存器时，要考虑与通信另一方之间的关系。

操作 <1> ~ <9>执行以下过程。

- 由自动数据传送地址计数寄存器 0 (ADTC0) 指定的缓冲 RAM 数据被传送到 SIOA0 中后, 开始执行发送操作 (即启动自动发送/接收操作)。
- 将接收的数据写入缓冲 RAM (由 ADTC0 指定地址)。
- ADTC0 递增, 并执行下一个数据的发送/接收操作。数据的发送/接收操作一直持续到 ADTC0 的递增输出值与自动数据传送地址指针指定寄存器 0 (ADTP0) 的值相匹配为止 (停止自动发送/接收操作)。但如果 CSIMA0 的第 5 位 (ATM0) =1 (重复模式), 则在 ADTP0 与 ADTC0 匹配后 ADTC0 被清零。然后启动重复发送/接收操作。
- 当结束自动发送/接收操作时, 产生中断请求(INTACSI)并且将 CSIS0 的第 0 位(TSF0)清零。
- 如果要继续发送下一组数据, 将新数据赋给缓冲 RAM, 并将“要发送数据的个数 - 1”赋给 ADTP0。在设置数据个数后, 设置 ATSTA0 =1。

(3) 自动发送/接收通信操作**(a) 自动发送/接收模式**

使用缓冲 RAM 执行自动发送/接收操作。

执行 **(2) 自动发送/接收数据的设置**，在 $\overline{SCKA0}$ 下降沿将存于缓冲 RAM 中的数据通过 SIOA0 寄存器从 SOA0 引脚同步输出。

然后通过 SIOA0 寄存器，在 $\overline{SCKA0}$ 上升沿将接收的数据同步存于缓冲 RAM 中。

如果串行状态寄存器 0 (CSIS0) 的第 0 位 (TSF0) =1，且满足以下任何一个条件时，数据传送操作结束。

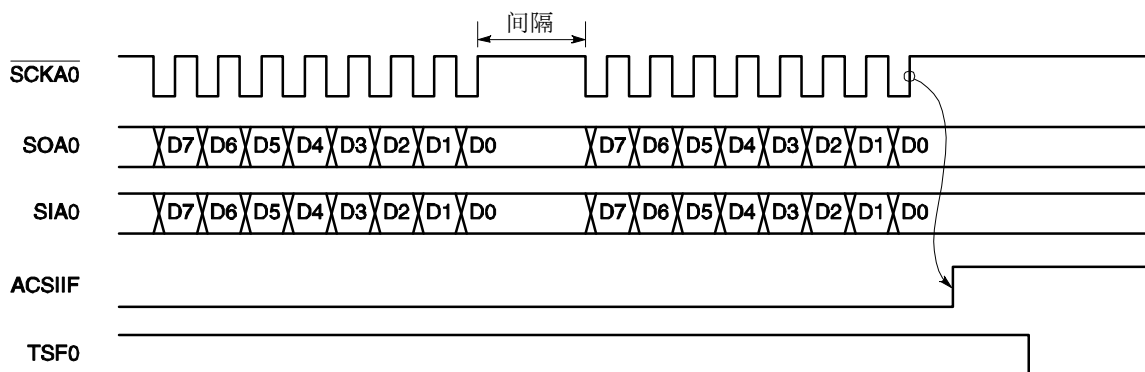
- 通信停止: 通过对 CSIMA0 的第 7 位 (CSIAE0) 清零，进行复位。
- 通信暂停: 设置 CSIT0 的第 1 位 (ATSTP0) =1，完成 1 字节传送操作。
- 位移位错误: 当 CSIS0 的第 1 位 (ERRF0) 和第 2 位 (ERRE0) =1 时，1 字节传送操作完成。
- 由 ADTP0 规定的范围的传送操作结束。

此时，会产生中断请求信号(INTACSI)，CSIAE0 = 0 时除外。

如果传送操作在中途被停止，则无法从剩余数据开始继续进行传送。应该读取自动数据传送地址计数寄存器 0 (ADTC0)，以确定有多少数据已经被传送，然后执行 **(2) 自动发送/接收数据的设置**，再次启动传送操作。

图 17-14 显示了自动发送/接收模式中的操作时序，图 17-15 显示了其操作流程图。而图 17-16 和 17-17 则为发送/接收 6 字节数据时内部缓冲 RAM 的操作。

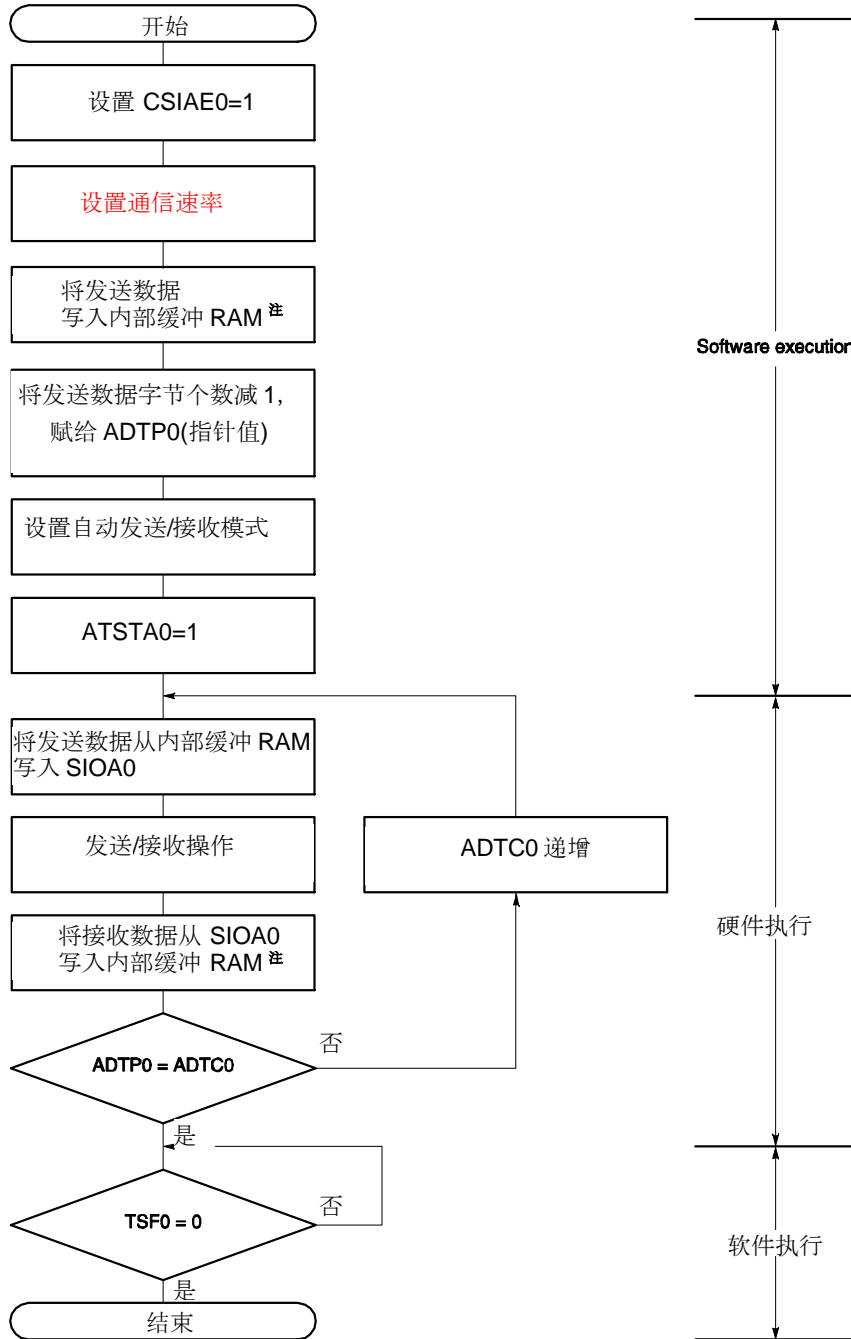
图 17-14 自动发送/接收模式操作时序



- 注意事项: 1. 由于在自动发送/接收模式中, 是在发送/接收 1 字节后将数据写入内部缓冲 RAM, 或从内部缓冲 RAM 中读取数据, 因此在下一个发送/接收之前插入一个间隔。对缓冲 RAM 的读写操作与 CPU 操作同时进行, 间隔时间取决于自动数据传送间隔指定寄存器 0 (ADTI0) 以及串行状态寄存器 0 (CSIS0) 的第 5 和 4 位 (STBE0, BUSYE0) 的值 (参见 (5) 自动发送/接收的间隔时间)。
2. 如果在间隔时间内, CPU 对缓冲 RAM 的访问与串行接口 CSIA0 对缓冲 RAM 的访问冲突, 那么由自动数据传送间隔指定寄存器 0 (ADTI0) 指定的间隔时间可能会被延长。

备注: ACSIF: 中断请求标志
TSF0: 串行状态寄存器 0 (CSIS0) 的第 0 位

图 17-15 自动发送/接收模式流程图



CSIAE0: 串行操作模式选择寄存器 0 (CSIMA0) 的第 7 位

ADTI0: 自动数据传送间隔指定寄存器 0

ATSTA0: 串行触发寄存器 0 (CSIT0) 的第 0 位

SIOA0: 串行 I/O 移位寄存器 0

ADTC0: 自动数据传送地址计数寄存器 0

TSF0: 串行状态寄存器 0 (CSIS0) 的第 0 位

注：当数据写入缓冲 RAM 时，可能会产生一个等待状态。如需了解详细内容，可参见第三十三章 等待注意事项。

在自动发送/接收模式中，当进行 6 字节发送/接收时（ATM0 = 0，RXEA0 = 1，TXEA0 = 1），内部缓冲 RAM 的操作如下。

- ★ (i) 启动发送/接收操作（参见图 17-16）
 - <1> 当串行触发寄存器 0（CSIT0）的第 0 位（ATSTA0）=1 时，将发送数据 1（T1）从内部缓冲 RAM 传送到 SIOA0 中，并启动发送/接收操作。
 - <2> 当第 1 个字节发送完成后，将接收数据 1（R1）从 SIOA0 传送到缓冲 RAM 中，而自动数据传送地址计数器 0（ADTC0）的值递增。
 - <3> 然后再将发送数据 2（T2）从内部缓冲 RAM 传送到 SIOA0 中。

图 17-16 在自动发送/接收模式下内部缓冲 RAM 的操作
(启动发送/接收) (1/2)

<1> 启动第 1 个字节的发送/接收操作

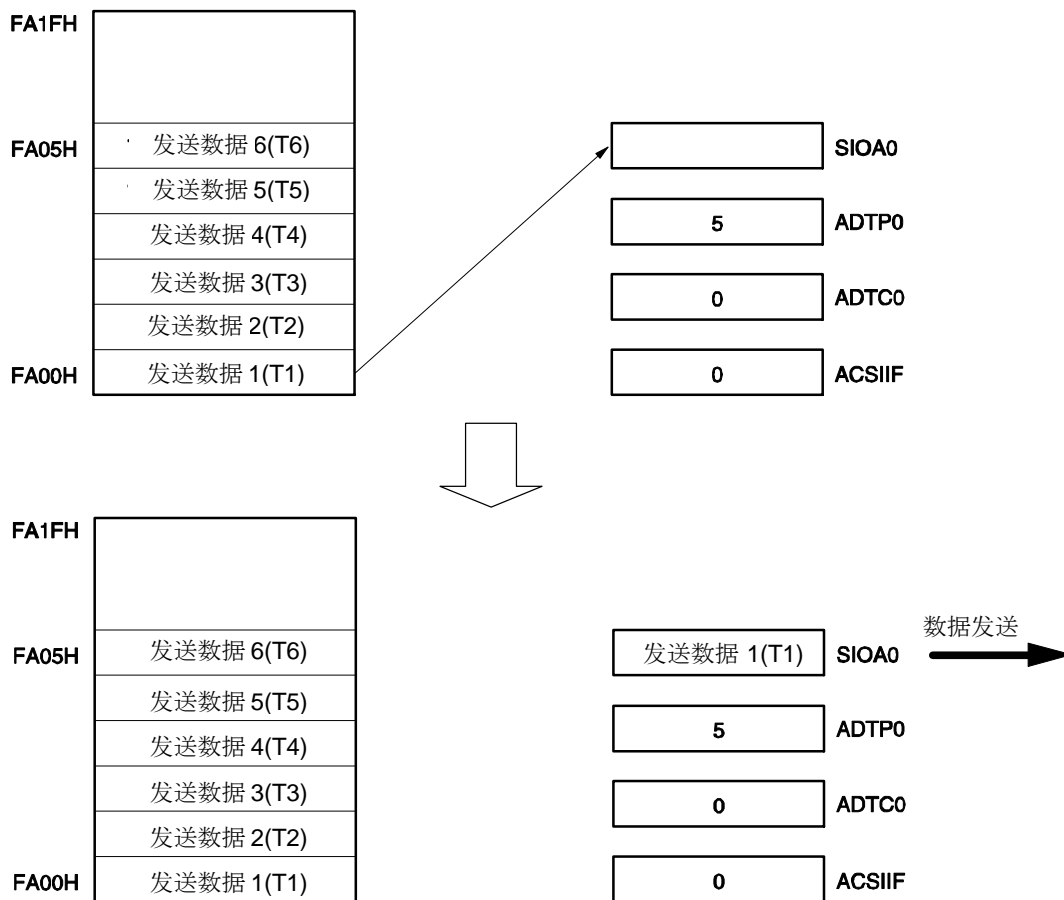
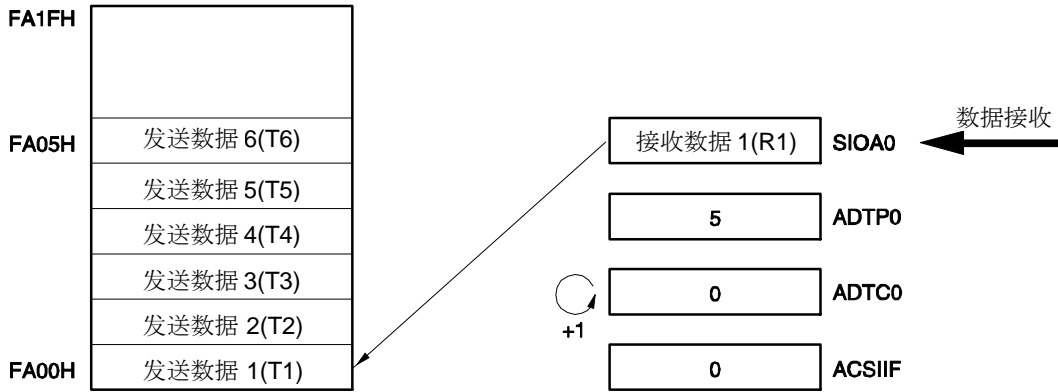
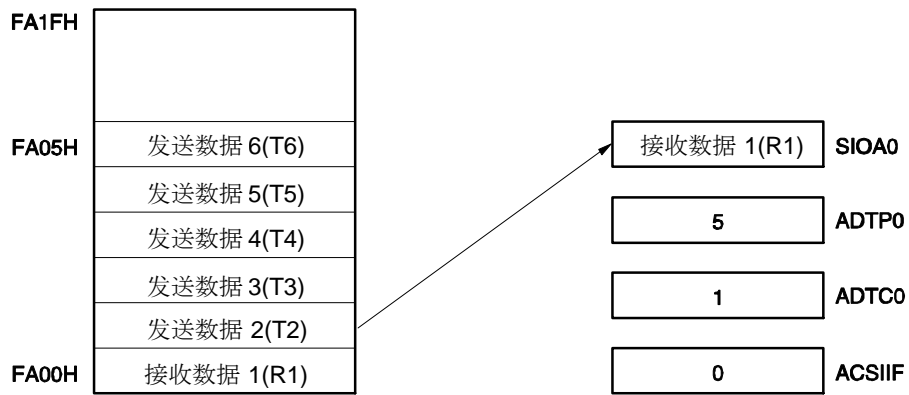


图 17-16 在自动发送/接收模式下内部缓冲 RAM 的操作
(启动发送/接收) (2/2)

<2> 结束第 1 个字节的发送/接收操作



<3> 启动第 2 个字节的发送/接收操作



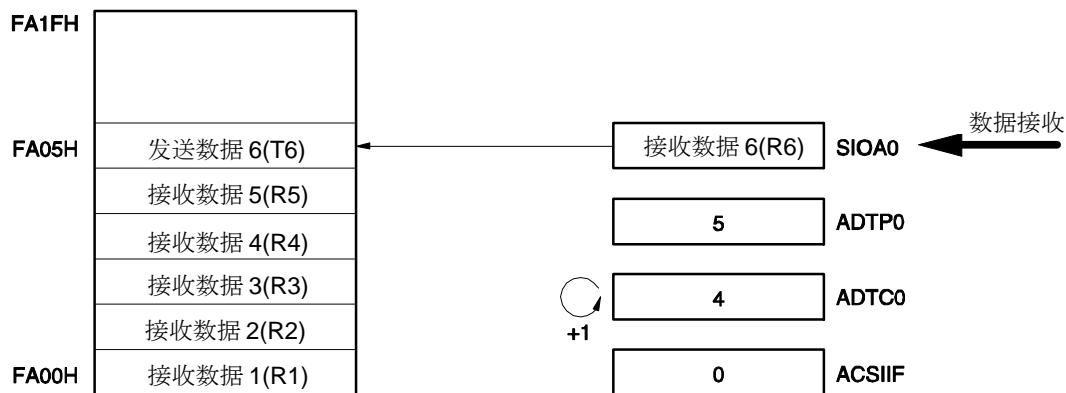
★

(ii) 发送/接收操作完成 (参见图 17-16)

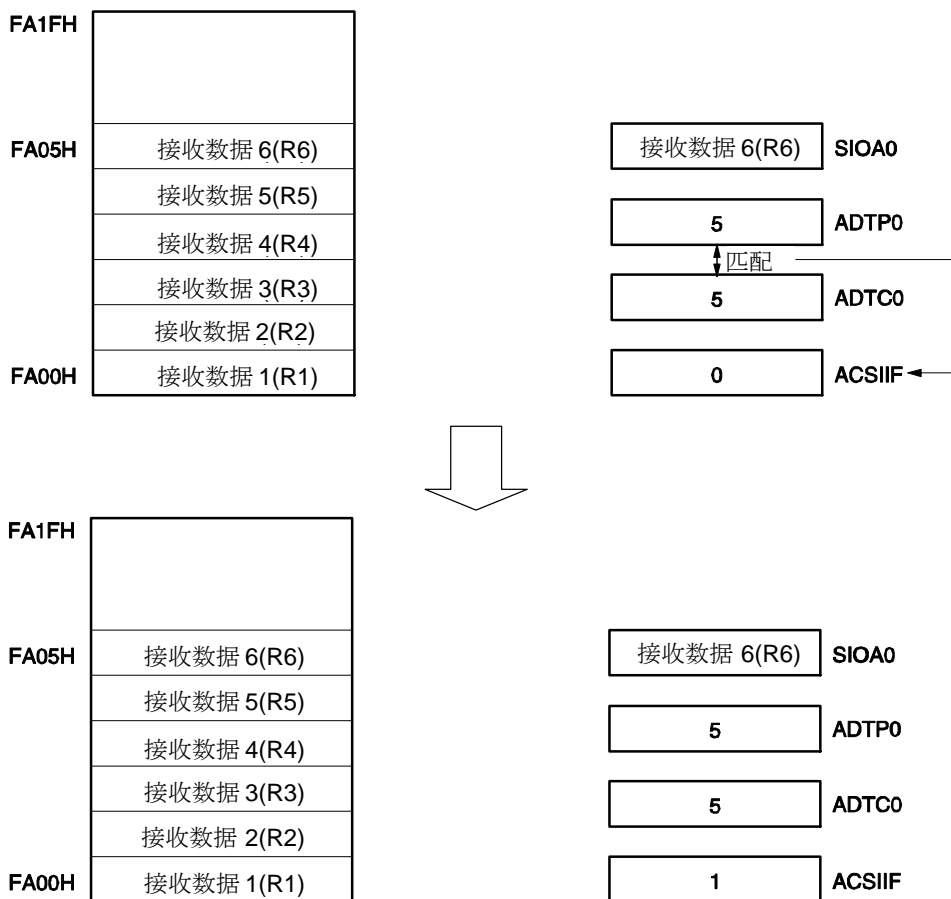
- <1> 在发送完第 6 个字节时, 将接收数据 6 (R6) 从 SIOA0 传送到内部缓冲 RAM 中, 并且 ADTC0 递增。
- <2> 当 ADTP0 与 ADTC0 匹配时, 自动发送/接收操作结束, 并设置中断请求标志(ACSIIF)(产生 INTACSI)。将 ADTC0 和串行状态寄存器 0 (CSIS0) 的第 0 位(TSF0)清零(0)。

图 17-17 在自动发送/接收模式下内部缓冲 RAM 的操作
(发送/接收操作结束)

<1> 第 6 个字节发送/接收结束



<2> 自动发送/接收操作结束



(b) 自动发送模式

此模式用于发送指定个数的 8 位数据。

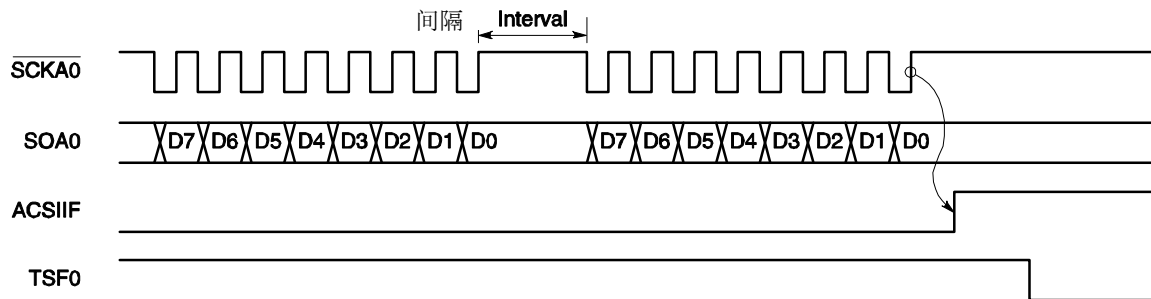
当串行操作模式选择寄存器 0 (CSIMA0) 的第 7、6、3 位 (CSIAE0、ATE0、TXEA0) 均为 1 时，设置串行触发寄存器 0 (CSIT0) 的第 0 位 (ATSTA0) =1，启动串行通信操作。

当最后一个字节发送完时，设置中断请求标志 (ACSIIF)。也可由串行状态寄存器 0 (CSIS0) 的第 0 位 (TSF0) 判断自动发送和接收操作是否结束。

如果不执行接收操作、忙控制和选通控制，则 SIA0/P143、BUSY0/BUZ/INTP7/P141 和 STB0/P145 可作为通用 I/O 端口引脚使用。

图 17-18 显示了自动发送模式的操作时序，图 17-18 显示了其操作流程图。

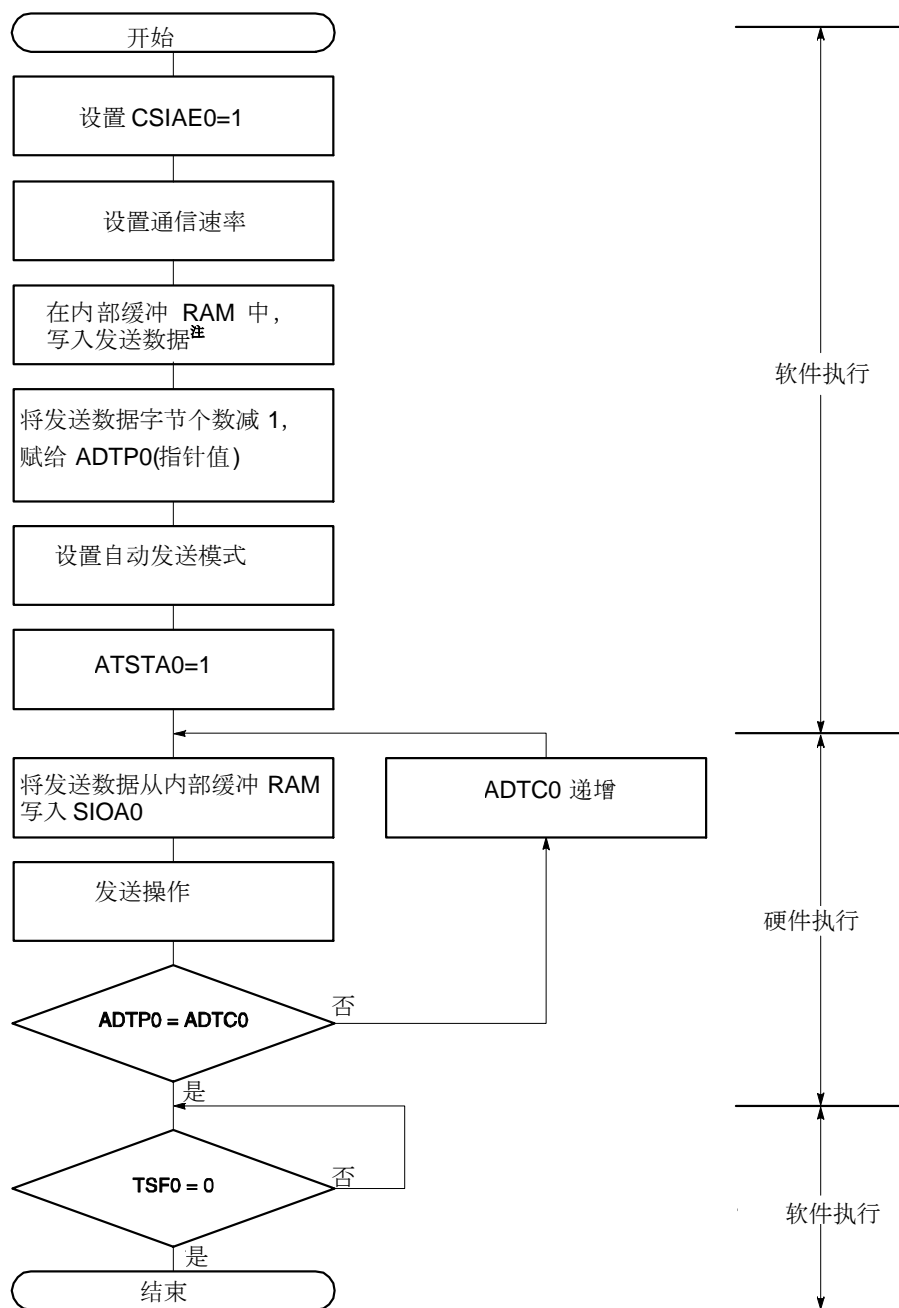
图 17-18 自动发送模式操作时序



- 注意事项**
1. 由于在自动发送模式中，是在发送完 1 字节后从内部缓冲 RAM 中读取数据，因此在下一个发送之前插入一个间隔。对缓冲 RAM 的读操作与 CPU 操作同时进行，间隔时间取决于自动数据传送间隔指定寄存器 0 (ADTI0)
 2. 如果在间隔时间内，CPU 对缓冲 RAM 的访问与串行接口 CSIA0 对缓冲 RAM 的访问冲突，那么由自动数据传送间隔指定寄存器 0 (ADTI0) 指定的间隔时间可能会被延长。

备注：
ACSIIF: 中断请求标志
TSF0: 串行状态寄存器 0 (CSIS0) 的第 0 位

图 17-19 自动发送模式的流程图



CSIAE0: 串行操作模式选择寄存器 0 (CSIMA0) 的第 7 位

ADTP0: 自动数据传送地址指针指定寄存器 0

ADTI0: 自动数据传送间隔指定寄存器 0

ATSTA0: 串行触发寄存器 0 (CSIT0) 的第 0 位

SIOA0: 串行 I/O 移位寄存器 0

ADTC0: 自动数据传送地址计数寄存器 0

TSF0: 串行状态寄存器 0 (CSIS0) 的第 0 位

注：当数据写入缓冲 RAM 时，可能会产生一个等待状态。如需了解详细内容，可参见第三十三章 等待注意事项。

(c) 重复发送模式

此模式用于重复发送存储在内部缓冲 RAM 中的数据。

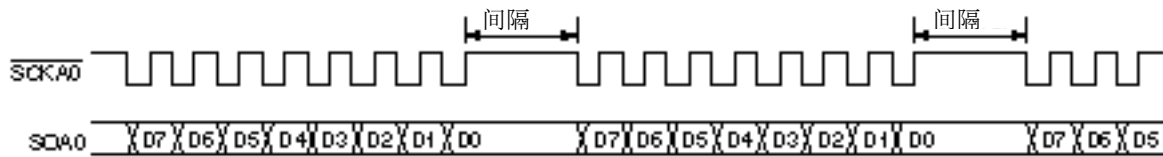
当串行操作模式选择寄存器 0 (CSIMA0) 的第 7、6、5、3 位 (CSIAE0、ATE0、ATM0、TXEA0) 均为 1 时，设置串行触发寄存器 0 (CSIT0) 的第 0 位 (ATSTA0) =1，启动串行通信操作。

与自动发送模式不同，在发送完设置的字节个数后，不设置中断请求标志 (ACSIIF)，而是将自动数据传送地址计数寄存器 0 (ADTC0) 复位为 0，然后再次发送内部缓冲 RAM 中的内容。

如果不执行接收操作、忙控制和选通控制，则 SIA0/P15 可作为通用 I/O 端口引脚使用。

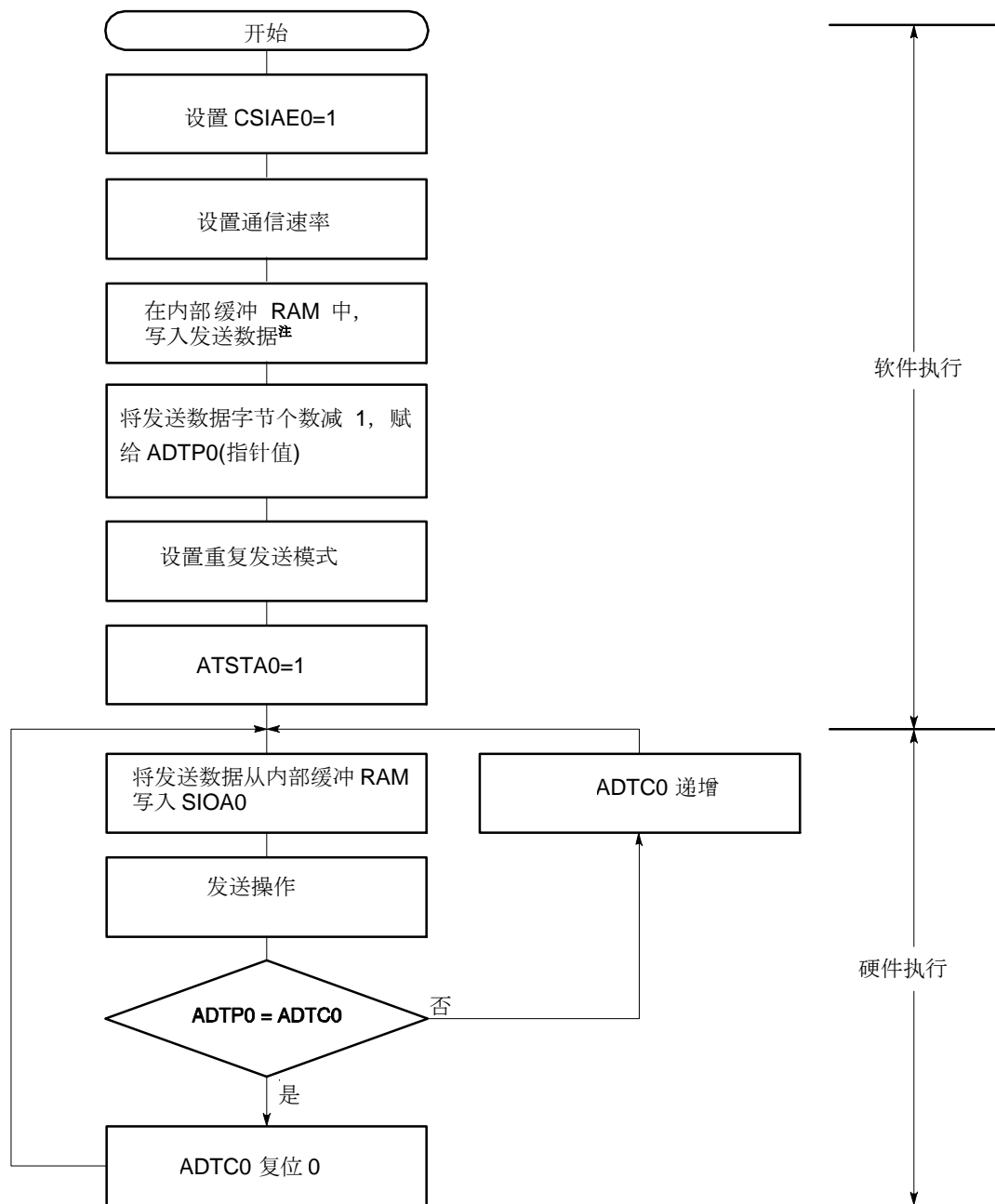
图 17-20 显示了重复发送模式的操作时序，图 17-21 显示了其操作流程图。

图 17-20 重复发送模式操作时序



- 注意事项:
1. 由于在重复发送模式中，是在发送完 1 字节后从内部缓冲 RAM 中读取数据，因此在下一个发送之前插入一个间隔。对缓冲 RAM 的读操作与 CPU 操作同时进行，间隔时间取决于自动数据传送间隔指定寄存器 0 (ADTI0)。
 2. 如果在间隔时间内，CPU 对缓冲 RAM 的访问与串行接口 CSIA0 对缓冲 RAM 的访问冲突，那么由自动数据传送间隔指定寄存器 0 (ADTI0) 指定的间隔时间可能会被延长。

图 17-21 重复发送模式流程图



CSIAE0: 串行操作模式选择寄存器 0 (CSIMA0) 的第 7 位

ADTP0: 自动数据传送地址指针指定寄存器 0

ADTI0: 自动数据传送间隔指定寄存器 0

ATSTA0: 串行触发寄存器 0 (CSIT0) 的第 0 位

SIOA0: 串行 I/O 移位寄存器 0

ADTC0: 自动数据传送地址计数寄存器 0

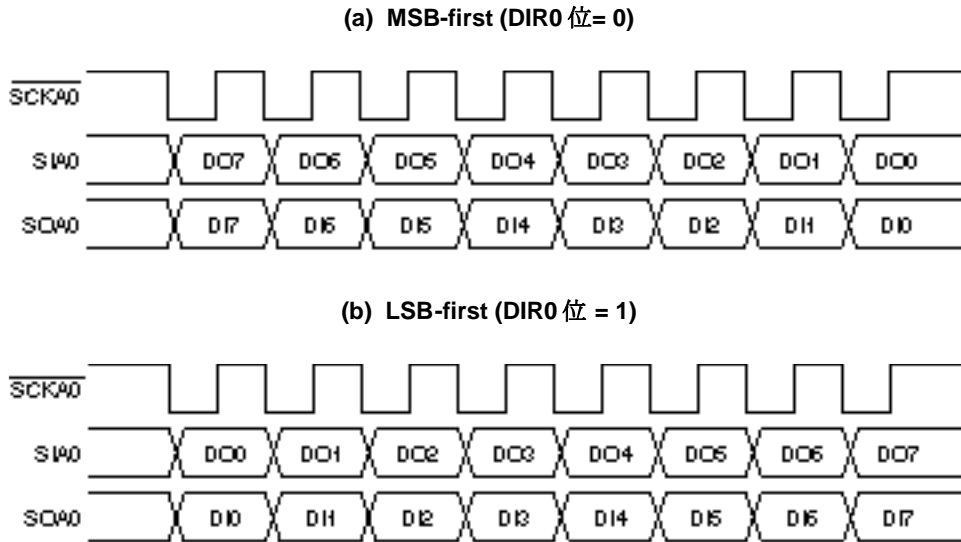
注：当数据写入缓冲 RAM 时，可能会产生一个等待状态。如需了解详细内容，可参见第三十三章 等待注意事项。

(d) 数据格式

在 SCKA0 下降沿同步修改数据，如下所示。

数据宽度恒为 8 位。通过设置 CSIMA0 的第 1 位 (DIR0) 可切换数据通信的方向。

图 17-22 CSIA0 发送/接收数据的格式



(e) 暂停自动发送/接收操作并重新启动

将串行触发寄存器 0 (CSIT0) 的第 1 位 (ATSTP0) 设置为 1, 可以暂停自动发送/接收操作。

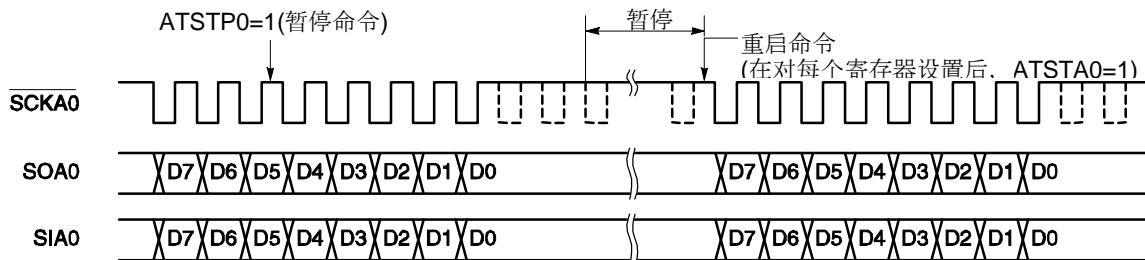
在 8 位数据通信期间不能暂停发送/接收操作。可以在 8 位数据通信完成时暂停。

在暂停阶段, 当第 8 位传送后, 串行状态寄存器 0 (CSIS0) 的第 0 位 (TSF0) 被清零。

注意事项: 1. 如果在自动发送/接收期间执行 HALT 指令, 则通信被暂停, 并且, 如果在 8 位数据通信期间设置 HALT 模式。在取消 HALT 模式后, 从暂停点重新启动自动发送/接收操作。

2. 在暂停自动发送/接收操作并且 $TSF0 = 1$ 时, 不要将操作模式转变为 3 线串行 I/O 模式。

图 17-23 自动发送/接收操作的暂停和重新启动



ATSTP0: 串行触发寄存器 0 (CSIT0) 的第 1 位

ATSTA0: CSIT0 的第 0 位

18.1 LCD 控制器/驱动器的功能

78K0/LF3 的 LCD 控制器/驱动器的功能如下。

- (1) LCD 驱动器的参考电压发生器可转换外部电阻分压和内部电阻分压。
- (2) 基于自动读取存储器显示数据，自动输出 segment 和 common 信号。
- (3) 6 种不同的显示模式 s:
 - 静态
 - 1/2 占空比 (1/2 偏压)
 - 1/3 占空比 (1/2 偏压)
 - 1/3 占空比 (1/3 偏压)
 - 1/4 占空比 (1/3 偏压)
 - 1/8 占空比 (1/4 偏压)
- (4) 每种显示模式都有 6 种不同的帧频率。
- (5) μ PD78F047x: Segment 信号输出: 40^注 (SEG0 ~ SEG39),
Common 信号输出: 8^注 (COM0 ~ COM7)
 μ PD78F048x: Segment 信号输出: 40^注 (SEG0 ~ SEG39),
Common 信号输出: 8^注 (COM0 ~ COM7)
 μ PD78F049x: Segment 信号输出: 32^注 (SEG0 ~ SEG31),
Common 信号输出: 8^注 (COM0 ~ COM7)

注 4 个 segment 信号输出(SEG0 ~ SEG3)和 4 个 common 信号输出(COM4 ~ COM7)是复用功能引脚。COM4 ~ COM7 仅当由 LCD 显示模式寄存器 (LCDM) 设置为 8 分时模式时可以使用。

表 17-1 列出了每种显示模式的最大显示像素数目。

表 17-1. 最大像素数目列表

(a) μ PD78F047x, 78F048x

LCD 驱动器电压发生器	偏压模式	分位数	使用的 Common 信号	Segment 数	最大像素数目
<ul style="list-style-type: none"> • 外部电阻分压 • 内部电阻分压 	-	静态	COM0 (COM1 ~ COM3)	40	40 (40 segment 信号, 1 common 信号) ^{注 1}
					1/2
	3	COM0 ~ COM2	120 (40 segment 信号, 3 common 信号) ^{注 3}		
	1/3	3	COM0 ~ COM2		160 (40 segment 信号, 4 common 信号) ^{注 4}
		4	COM0 ~ COM3		288 (36 segment 信号, 8 common 信号) ^{注 5}
	1/4	8	COM0 ~ COM7		36

- 注
1. 5 数字 LCD 面版, 每个数字有 8-segment 构造。
 2. 10 数字 LCD 面版, 每个数字有 4-segment 构造。
 3. 13 数字 LCD 面版, 每个数字有 3-segment 构造。
 4. 20 数字 LCD 面版, 每个数字有 2-segment 构造。
 5. 36 数字 LCD 面版, 每个数字有 1-segment 构造。

(b) μ PD78F049x

LCD 驱动器电压发生器	偏压模式	分位数	使用的 Common 信号	Segment 数	最大像素数目
<ul style="list-style-type: none"> • 外部电阻分压 • 内部电阻分压 	-	静态	COM0 (COM1 ~ COM3)	32	32 (32 segment 信号 s, 1 common 信号) ^{注 1}
					1/2
	3	COM0 ~ COM2	96 (32 segment 信号 s, 3 common 信号 s) ^{注 3}		
	1/3	3	COM0 ~ COM2		128 (32 segment 信号 s, 4 common 信号 s) ^{注 4}
		4	COM0 ~ COM3		224 (280 segment 信号 s, 8 common 信号 s) ^{注 5}
	1/4	8	COM0 ~ COM7		28

- 注
1. 4-数字 LCD 面板, 每个数字有 8-segment 构造。
 2. 8-数字 LCD 面板, 每个数字有 4-segment 构造。
 3. 10-数字 LCD 面板, 每个数字有 3-segment 构造。
 4. 16-数字 LCD 面板, 每个数字有 2-segment 构造。
 5. 28-数字 LCD 面板, 每个数字有 1-segment 构造。

18.2 LCD 控制器/驱动器的配置

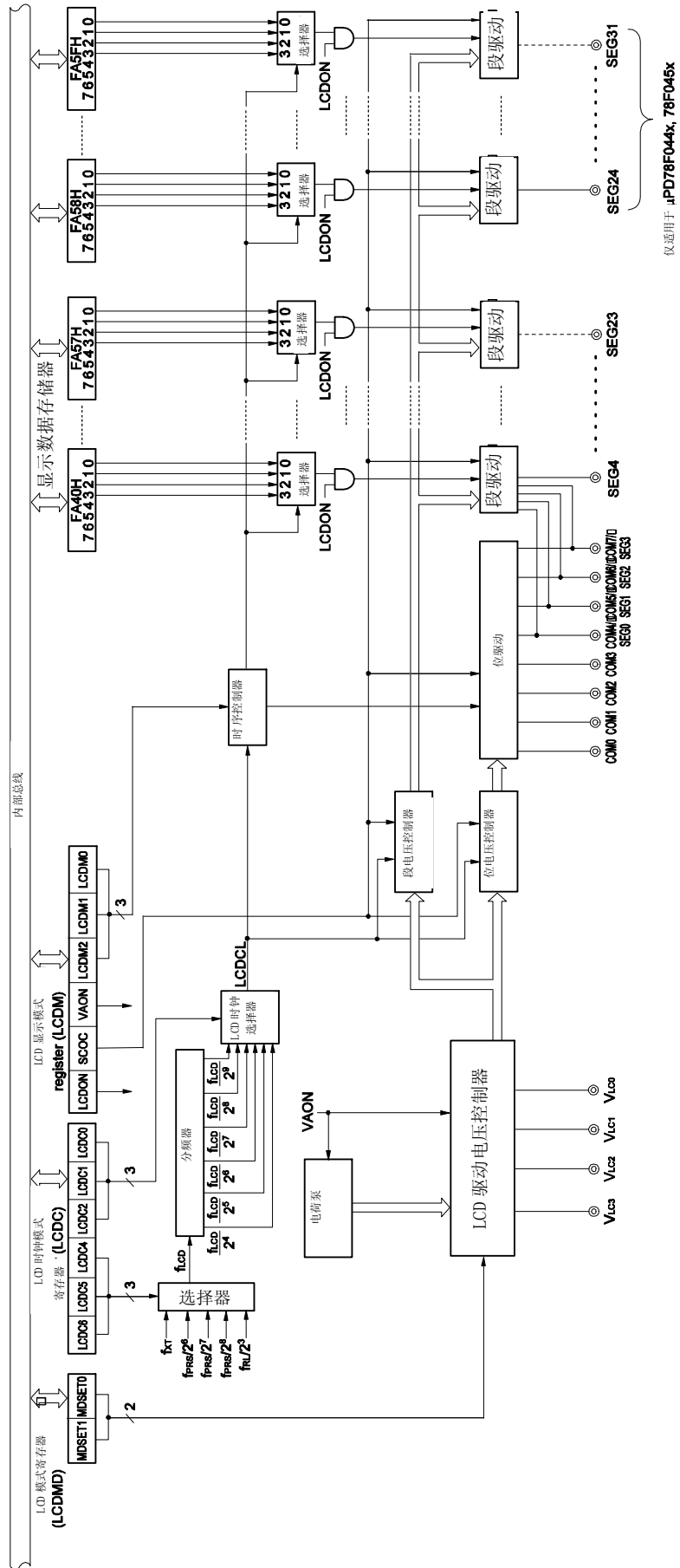
LCD 控制器/驱动器由以下硬件组成。

表 18-2. LCD 控制器/驱动器的配置

项目	配置
显示输出	μ PD78F044x: 40 segment 信号 ^{※1} (SEG0 ~ SEG31), 8 common 信号 ^{※1} (COM0 ~ COM7) μ PD78F045x: 40 segment 信号 ^{※1} (SEG0 ~ SEG31), 8 common 信号 ^{※1} (COM0 ~ COM7) μ PD78F046x: 32 segment 信号 ^{※1} (SEG0 ~ SEG23), 8 common 信号 ^{※1} (COM0 ~ COM7)
控制寄存器	LCD 模式寄存器 (LCDMD) LCD 显示模式寄存器 (LCDM) LCD 时钟控制寄存器 (LCDC0) 端口功能寄存器 2 (PF2) ^{※2} 端口功能寄存器 ALL (PFALL)

- 注 1. 4 个 segment 信号输出(SEG0~SEG3)和 4 个 common 信号输出(COM4~COM7)是复用功能引脚。
COM4~COM7 仅当由 LCD 显示模式寄存器 (LCDM) 设置为 8 分时模式时可以使用。
2. 仅限于 μ PD78F047x 和 78F048x。

图 17-1. LCD 控制器框图



18.3 寄存器控制 LCD 控制器/驱动器

下面五个寄存器用于控制 LCD 控制器/驱动器。

- LCD 模式寄存器 (LCDMD)
- LCD 显示模式寄存器 (LCDM)
- LCD 时钟控制寄存器(LCDC0)
- 端口功能寄存器 2 (PF2)^注
- 端口功能寄存器 ALL (PFALL)

注 仅限于 μ PD78F047x 和 78F048x。

(1) LCD 模式寄存器 (LCDMD)

LCDMD 设置 LCD 驱动电压发生器。

LCDMD 通过 1 位或 8 位存储器操作指令设置。

复位信号发生置 LCDMD 为 00H。

图 18-3. LCD 显示模式寄存器的格式

地址: FFB1H 地址: 00H R/W

符号	<7>	<6>	5	<4>	3	2	1	0
LCDM	LCDON	SCOC	0	VAON	0	LCDM2	LCDM1	LCDM0

LCDON	LCD显示允许/禁止
0	显示关 (取消全部segment 输出)
1	显示开

SCOC	Segment引脚/common引脚输出控制 ^{注1}
0	segment/common 引脚输出低电平
1	取消segment 引脚输出电压和common 引脚输出LCD波形

VAON	升压电路控制 ^{注1, 2}
0	无升压
1	允许升压

LCDM2	LCDM1	LCDM0	LCD 控制器/驱动器 显示模式选择	
			电阻分压方式	
			分位数	分位数
1	1	1	8	1/4 ^{注3}
0	0	0	4	1/3
0	0	1	3	1/3
0	1	0	2	1/2
0	1	1	3	1/2

1	0	0	静态
其他值			禁止设置

(注和注意事项在下页列出。)

- 注
1. 当 LCD 显示不执行或需要时，为了缩减功耗，设置 SCOC 和 VAON 为 0。
 2. 此位用于 LCD 控制器/驱动器的内部门信号的控制升压。
如果设置为“内部门电压升压”，LCD 驱动性能增强。
根据如下条件设置 VAON。
<设置为静态显示模式时>
 - 当 $2.0\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$: VAON = 0
 - 当 $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 3.6\text{ V}$: VAON = 1<设置为 1/3 偏压方式时>
 - 当 $2.5\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$: VAON = 0
 - 当 $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 3.6\text{ V}$: VAON = 1<设置为 1/2 偏压方式时>
 - 当 $2.7\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$: VAON = 0
 - 当 $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 3.6\text{ V}$: VAON = 1<设置为 1/4 偏压方式时>
 - 当 $4.5\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$: VAON = 0
 3. 当 P40/KR0/V_{LC3} 引脚设置为 1/4 偏压方式时，它用作 V_{LC3}。当此引脚设置为其他偏压方式时，它用作端口功能 (P40)或按键中断功能 (KR0)。
当设置为 1/4 偏压方式时，使用引脚 $4.5\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 。

注意事项 第 3 和 5 位必须设置为 0。

(3) LCD 时钟控制寄存器 (LCDC0)

LCDC0 指定 LCD 源时钟和 LCD 时钟。

依据 LCD 时钟和分位数来决定帧频率。

LCDC0 通过 1 位或 8 位存储器操作指令设置。

复位信号将 LCDC0 设置为 00H。

图 18-4. LCD 时钟控制寄存器的格式

地址: FFB2H 地址: 00H R/W

符号	7	6	5	4	3	2	1	0
LCDC0	0	LCDC6	LCDC5	LCDC4	0	LCDC2	LCDC1	LCDC0

LCDC6	LCDC5	LCDC4	LCD 源时钟 (f _{LCD})选择
0	0	0	f _{XT} (32.768 kHz)
0	0	1	f _{PRS} /2 ⁶
0	1	0	f _{PRS} /2 ⁷
0	1	1	f _{PRS} /2 ⁸
1	0	0	f _{RL} /2 ³
其他值			禁止设置

LCDC2	LCDC1	LCDC0	LCD 时钟 (LCDCL)选择
0	0	0	f _{LCD} /2 ⁴
0	0	1	f _{LCD} /2 ⁵
0	1	0	f _{LCD} /2 ⁶
0	1	1	f _{LCD} /2 ⁷
1	0	0	f _{LCD} /2 ⁸
1	0	1	f _{LCD} /2 ⁹
其他值			禁止设置

注意事项 位 3 和位 7 必须设置为 0。

- 备注**
1. f_{XT}: XT1 时钟振荡频率
 2. f_{PRS}: 外围硬件时钟频率
 3. f_{RL}: 内部低速振荡时钟频率

(4) 端口功能寄存器 2 (PF2) (仅限于 μ PD78F044x 和 78F045x)

此寄存器用于设置引脚 P20~P27 为端口功能 (输出引脚除外) 或 segment 输出引脚。

PF2 通过 1 位或 8 位存储器操作指令设置。

复位信号将 PF2 设置为 00H。

图 18-5. 端口功能寄存器 2 的格式

地址: FFB5H 地址: 00H R/W

符号	7	6	5	4	3	2	1	0
PF2	PF27	PF26	PF25	PF24	PF23	PF22	PF21	PF20

PF2n	端口 /segment 输出选择
0	用作端口 (segment 输出以外)
1	用于 segment 输出

备注 n = 0 ~ 7

(5) 端口功能寄存器 ALL (PFALL)

此寄存器设置引脚 P8, P10, P11, P14, 和 P15 作为端口引脚 (segment 输出除外) 或 segment 输出引脚使用。

PFALL 通过 1 位或 8 位存储器操作指令设置。

复位信号将 PFALL 设置为 00H。

图 18-6. 端口功能寄存器 ALL 的格式

地址: FFB6H 地址: 00H R/W

符号	7	6	5	4	3	2	1	0
PFALL	0	PF15ALL	PF14ALL	0	PF11ALL	PF10ALL	0	PF08ALL

PFnALL	端口 /segment 输出选择
0	用作端口 (segment 输出以外)
1	用于 segment 输出

备注 n = 08, 10, 11, 14, 15

18.4 设置 LCD 控制器/驱动器

通过下列步骤设置 LCD 控制器/驱动器。

- <1> 设置 (VAON = 1) 内部门电压升压 (LCD 显示模式寄存器 (LCDM) 的第 4 位)。^注
- <2> 通过 MDSET0 和 MDSET1 (LCD 模式寄存器 (LCDMD) 的第 4 和 5 位) (MDSET0 = 0: 外部电阻分压方式, MDSET0 = 1: 内部电阻分压方式) 设置电阻分压方式。
- <3> 设置端口功能寄存器 (PF2m, PFnALL) 用作 segment 输出。
- <4> 设置 LCD 显示 RAM 的初始值。
- <5> 通过 LCDM0~LCDM2 (LCD 显示模式寄存器 (LCDM) 的第 0~2 位) 设置分分数。
- <6> 通过 LCD 时钟控制寄存器 0 (LCDC0) 设置 LCD 源时钟和 LCD 时钟。
- <7> 设置 (SCOC = 1) SCOC (LCD 显示模式寄存器 (LCDM) 的第 6 位)。
无选择波形从所有 segment 和 common 引脚输出, 则无显示状态输入。
- <8> 开始对应于每个数据存储器的输出, 通过设置 (LCDON = 1) LCDON (LCDM 的第 7 位)。

以后的流程, 设置显示数据存储器中的数据。

注 根据如下条件设置 VAON。

<设置静态显示模式时>

- 当 $2.0\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$: VAON = 0
- 当 $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 3.6\text{ V}$: VAON = 1

<设置为 1/3 偏压方式时>

- 当 $2.5\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$: VAON = 0
- 当 $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 3.6\text{ V}$: VAON = 1

<设置为 1/2 偏压方式时>

- 当 $2.7\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$: VAON = 0
- 当 $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 3.6\text{ V}$: VAON = 1

<设置为 1/4 偏压方式时>

- 当 $4.5\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$: VAON = 0

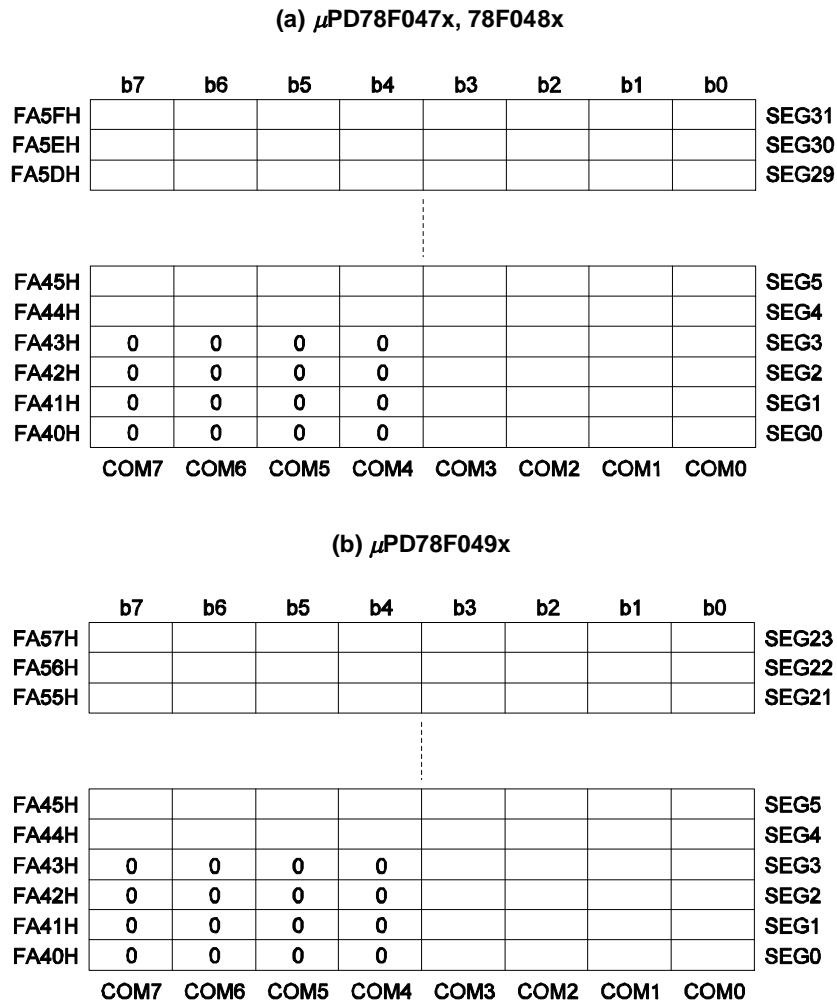
备注 m = 0~7, n = 08, 10, 11, 14, 15

18.5 LCD 显示数据存储器

LCD 显示数据存储器是地址 FA40H ~ FA57H 的映射。使用 LCD 控制器/驱动器，LCD 显示数据存储器中的数据可以显示在 LCD 面板上。

图 18-7 显示了 LCD 显示数据存储器的内容和 segment/common 输出的关系。
区域不能用于显示可用作普通 RAM。

图 18-7. LCD 显示数据存储器的内容和 segment/common 输出的关系



注意事项 LCD 显示数据存储器 FA40H~FA43H 的高 4 位未分配，确保其值为 0。

18.6 Common 和 Segment 信号

当相应的 common 和 segment 信号产生高于指定电压(LCD 驱动电压, V_{LCD})的位差, 开启 LCD 面板上的每个像素。当产生低于 V_{LCD} 位差时关闭像素。

应用 DC 电压到 LCD 面板驱动 common 和 segment 信号, 可能引发坏点。为了避免这个问题, 使用 AC 电压驱动 LCD 面板。

(1) Common 信号

依照表 18-3 分时列表列出的分时选择 common 信号。在静态显示模式中, COM0 ~ COM3 输出相同的信号。

在 2 分时模式中, COM2 和 COM3 引脚悬空。在 3 分时模式中, COM3 引脚悬空。

8 分时模式除外使用 COM4~COM7 引脚悬空或用作 segment 引脚。

表 18-3. COM 信号

COM 信号 分时数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
静态显示模式	↑	↑	↑	↑	注	注	注	注
2 分时模式	↑	↑	悬空	悬空	注	注	注	注
3 分时模式	↑	↑	↑	悬空	注	注	注	注
4 分时模式	↑	↑	↑	↑	注	注	注	注
8 分时模式	↑	↑	↑	↑	↑	↑	↑	↑

注 引脚悬空或作为 segment 引脚。

(2) Segment 信号

(a) μ PD78F047x, 78F048x

segment 信号符合 32 字节的 LCD 显示数据存储器 (FA40H~FA5FH)。每个字节的第 0 位, 第 1 位, 第 2 位和第 3 位分别是同步读出的 COM0, COM1, COM2 和 COM3。如果该位为 1, 则其更转换选择信号电压, 如果某一位为 0, 则其转换为非选择信号电压。转换结果由 segment(SEG0~SEG31) 引脚输出。

(b) μ PD78F049x

segment 信号符合 24 字节的 LCD 显示数据存储器 (FA40H~FA57H)。每个字节的第 0 位, 第 1 位, 第 2 位和第 3 位分别是同步读出的 COM0, COM1, COM2 和 COM3。如果该位为 1, 则其更转换选择信号电压, 如果某一位为 0, 则其转换为非选择信号电压。转换结果由 segment(SEG0~SEG23) 引脚输出。

利用上述所给出的信息, 核对 front-surface 电极 (对应于 segment 信号) 和 rear-surface 电极 (对应于 common 信号) 的什么组合可以在 LCD 显示数据存储器内组成显示模式, 并以一对一的原则写入符合所期望的显示模式的位数据。

分别地, LCD 显示数据存储器的第 1 位~第 3 位、第 2 位和第 3 位、第 3 位不可用于 LCD 静态显示、2 分时和 3 分时模式。这些位用于非显示功能。

FA40H~FA43H 的高四位第 4 位~第 7 位恒为 0。

(3) Common 和 segment 信号的输出波形

表 18-4 列出了 common 和 segment 信号输出的电压。

当 common 和 segment 信号都为选择电压，将获得显示器开显示电压 $\pm V_{LCD}$ 。其他情况为关显示电压。

表 18-4. LCD 驱动电压

(a) 静态显示模式

Segment 信号		选择信号电平	非选择信号电压
		LV_{SS}/V_{LC0}	V_{LC0}/LV_{SS}
Common 信号	V_{LC0}/LV_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2 偏压方式

Segment 信号		选择信号电压	非选择信号电压
		LV_{SS}/V_{LC0}	V_{LC0}/LV_{SS}
选择信号电压	V_{LC0}/LV_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非选择信号电压	$V_{LC1} = V_{LC2}$	$- V_{LCD}/+ V_{LCD}$	$+ V_{LCD}/- V_{LCD}$

(c) 1/3 偏压方式

Segment 信号		选择信号电压	非选择信号电压
		LV_{SS}/V_{LC0}	V_{LC1}/V_{LC2}
选择信号电压	V_{LC0}/LV_{SS}	$-V_{LCD}/+V_{LCD}$	$- \frac{1}{3} V_{LCD}/+ \frac{1}{3} V_{LCD}$
非选择信号电压	V_{LC2}/V_{LC1}	$- V_{LCD}/+ V_{LCD}$	$+ \frac{2}{3} V_{LCD}/- \frac{2}{3} V_{LCD}$

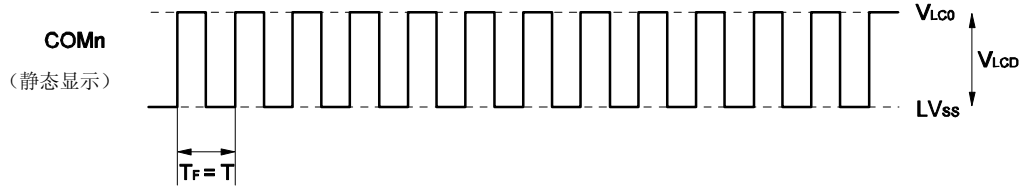
(d) 1/4 偏压方式

Segment 信号		选择信号电压	非选择信号电压
		V_{LC0}/LV_{SS}	V_{LC1}/V_{LC2}
选择信号电压	LV_{SS}/V_{LC0}	$+V_{LCD}/-V_{LCD}$	$+ \frac{1}{4} V_{LCD}/- \frac{1}{4} V_{LCD}$
非选择信号电压	V_{LC1}/V_{LC3}	$+ \frac{1}{4} V_{LCD}/- \frac{1}{4} V_{LCD}$	$- \frac{1}{4} V_{LCD}/+ \frac{1}{4} V_{LCD}$

图 18-8 所示为 common 信号波形，图 18-9 显示了 common 和 segment 信号的电压和相位。

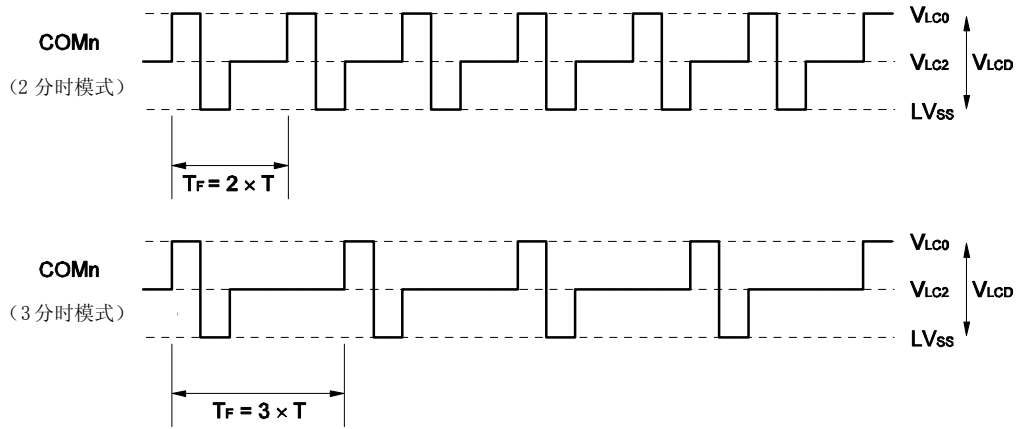
图 18-8. Common 信号波形

(a) 静态显示模式



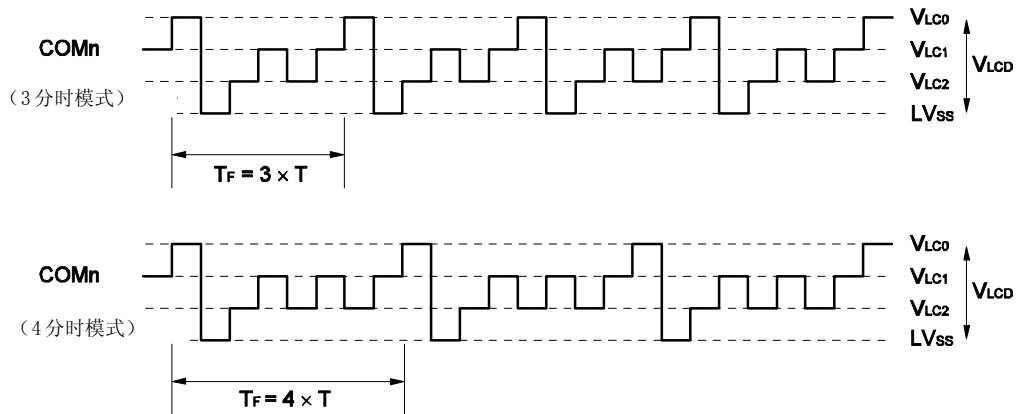
T: 1 个 LCD 时钟周期 T_F : 帧频率

(b) 1/2 偏压方式



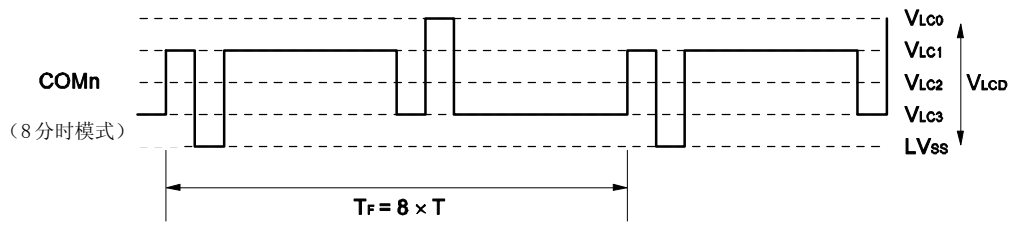
T: 1 个 LCD 时钟周期 T_F : 帧频率

(c) 1/3 偏压方式



T: 1 个 LCD 时钟周期 T_F : 帧频率

(d) 1/4 偏压方式

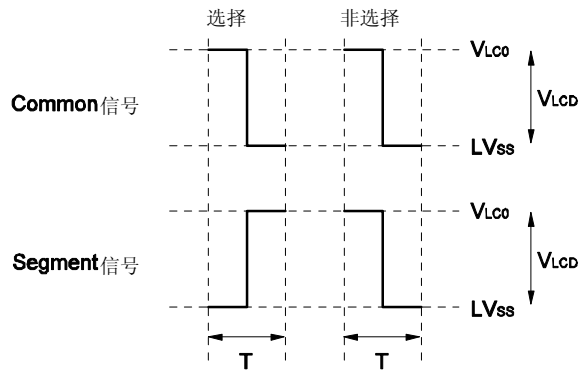


T: 1 个 LCD 时钟周期

T_F : 帧频率

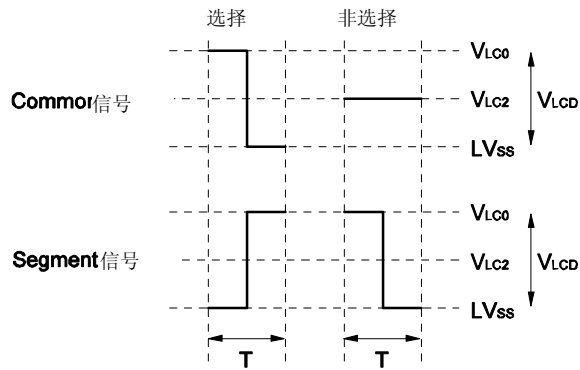
图 18-9. Common 和 Segment 信号的电压和相位

(a) 静态显示模式



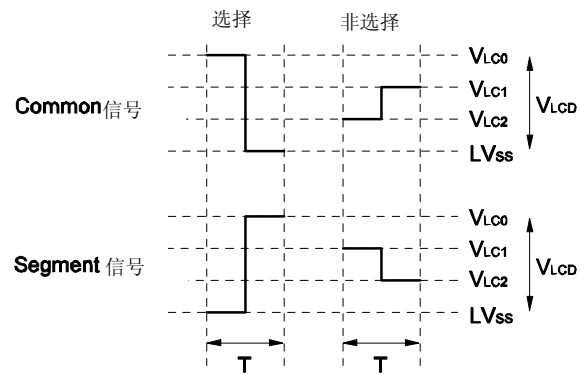
T: 1 个 LCD 时钟周期

(b) 1/2 偏压方式



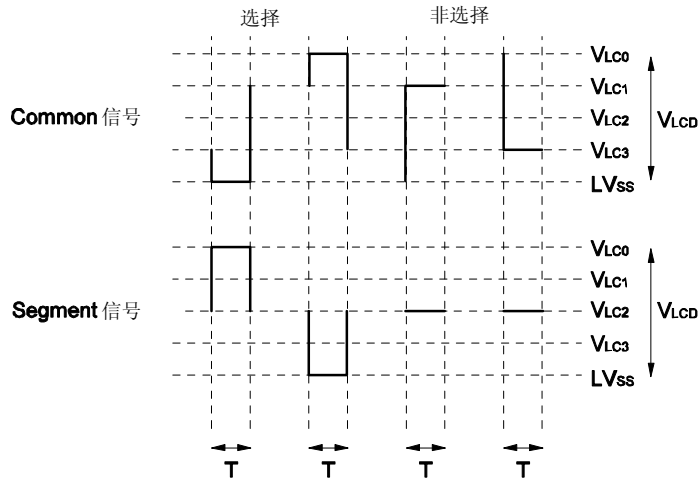
T: 1 个 LCD 时钟周期

(c) 1/3 偏压方式



T: 1 个 LCD 时钟周期

(d) 1/4 偏压方式



T: 1 个 LCD 时钟周期

18.7 显示模式

18.7.1 静态显示模式

图 18-11 显示了如何把具有如图 18-10 所示的显示模式的 3-数字 LCD 面板连接到 78K0/LF3 芯片的 segment 信号 (S0 ~ S31)和 common 信号(COM0)。这个例子在 LCD 面板上显示数字"12.3"。显示数据存储区(FA40H ~ FA5FH 地址)的内容符合这个显示。


以下描述集中在数字"2" ( 显示，显示在第二个字段。为了在 LCD 面板显示"2"，必须按照 common 信号 COM0 的时序，按照表 18-5 所示从 S8 ~ S15 引脚输出选择信号或非选择信号电压；参见图 18-10 segment 信号和 LCD segment 的关系。

表 18-5. 选择和非选择电压 (COM0)

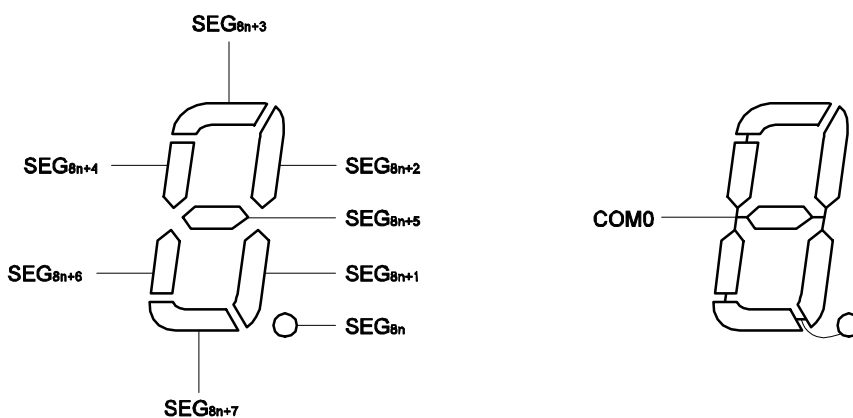
Segment \ Common	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	选择	非选择	选择	选择	非选择	选择	选择	选择

根据表 18-5, 它决定显示数据存储区(FA48H ~ FA4FH) 的第 0 位必须是 10110111。

图 18-12 显示了 SEG11 和 SEG12,和 COM0 的 LCD 驱动波形示例。当选择信号电压以 COM0 的时序应用到 SEG11 时，LCD segment 产生相应的一个交替矩形波形，+VLCD/-VLCD。

COM1 ~ COM3 和 COM0 的波形相同。所以，COM0 ~ COM3 可以连接在一起增加驱动能力。

图 18-10. 静态 LCD 显示模式和电极连接



备注 n = 0 ~ 2

图 18-11. 静态 LCD 面板连接举例

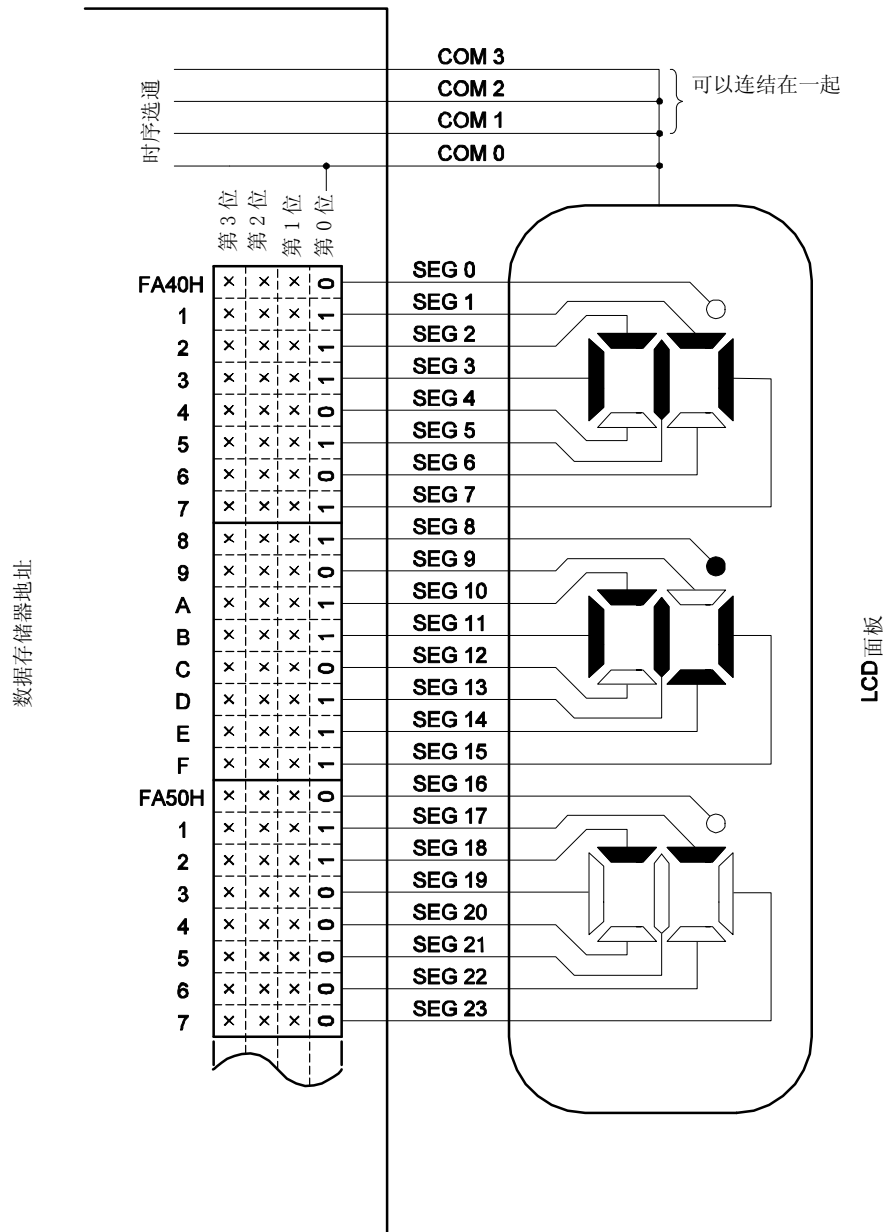
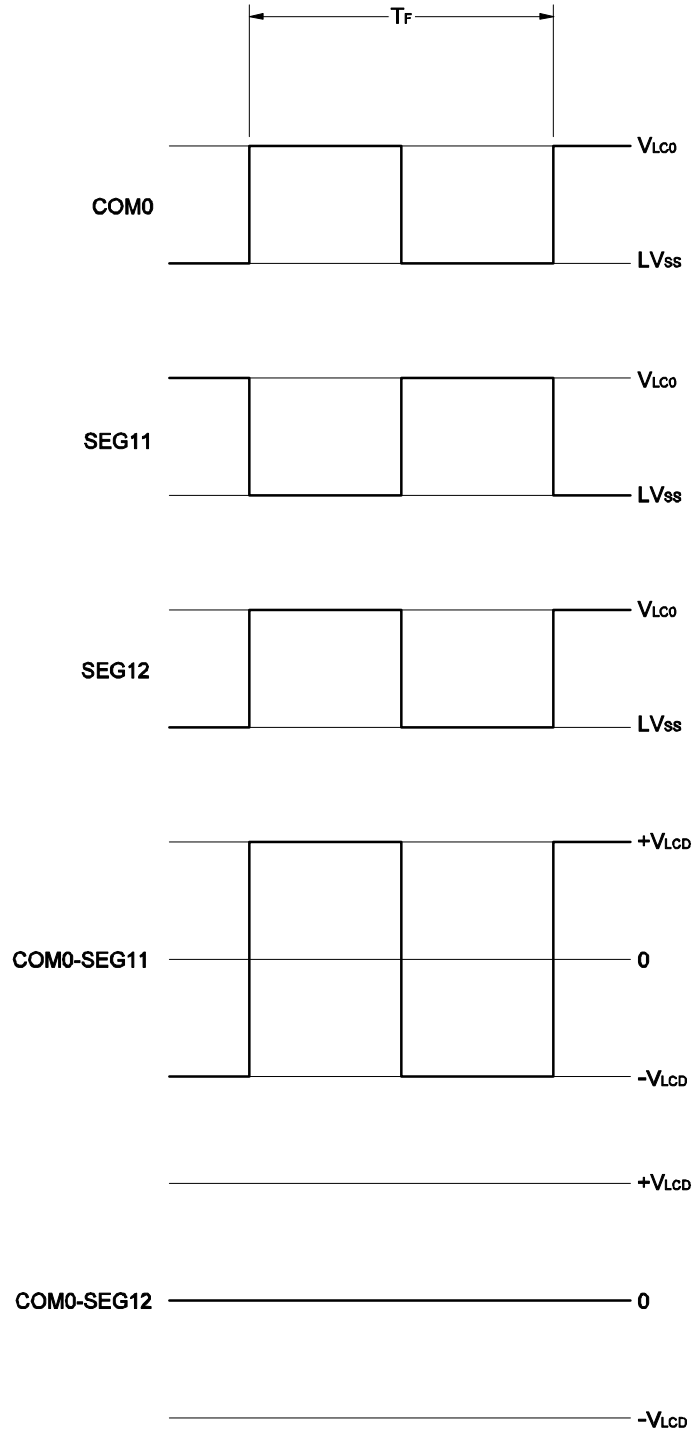


图 18-12. 静态 LCD 驱动波形举例



18.7.2 2 分时显示示例

图 1814 显示了如何把具有如图 18-13 所示的显示模式的 6-数字 LCD 面板连接到 78K0/LF3 芯片的 segment 信号 (SEG0 ~ SEG31)和 common 信号(COM0 和 COM1)。这个例子在 LCD 面板上显示数字"12345.6"。显示数据存储区 (FA40H~FA5FH)的内容符合这个显示。


以下描述集中在数字"3" ()的显示, 显示在第四个字段。为了在 LCD 面板显示"3", 必须按照 common 信号 COM0 和 COM1 的时序, 按照表 18-6 所示从 SEG12 ~ SEG15 引脚输出选择信号或非选择信号电压; 参见图 18-13 segment 信号和 LCD segments 的关系。

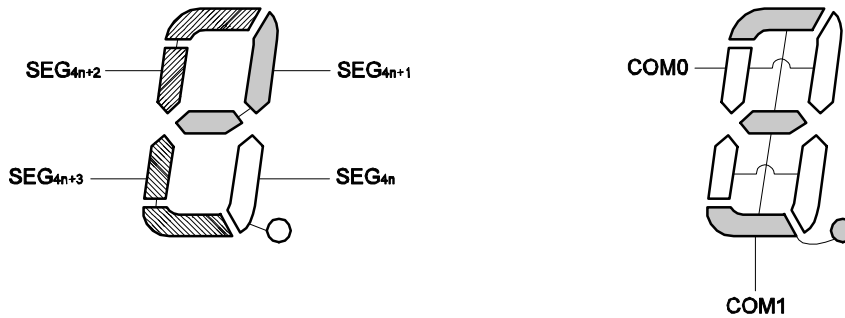
表 18-6. 选择和非选择电压 (COM0 和 COM1)

Segment \ Common	SEG12	SEG13	SEG14	SEG15
COM0	选择	选择	非选择	非选择
COM1	非选择	选择	选择	选择

依照表 18-6, 它决定了 SEG15 相应的显示数据存储区(FA4FH)必须包含 xx10。

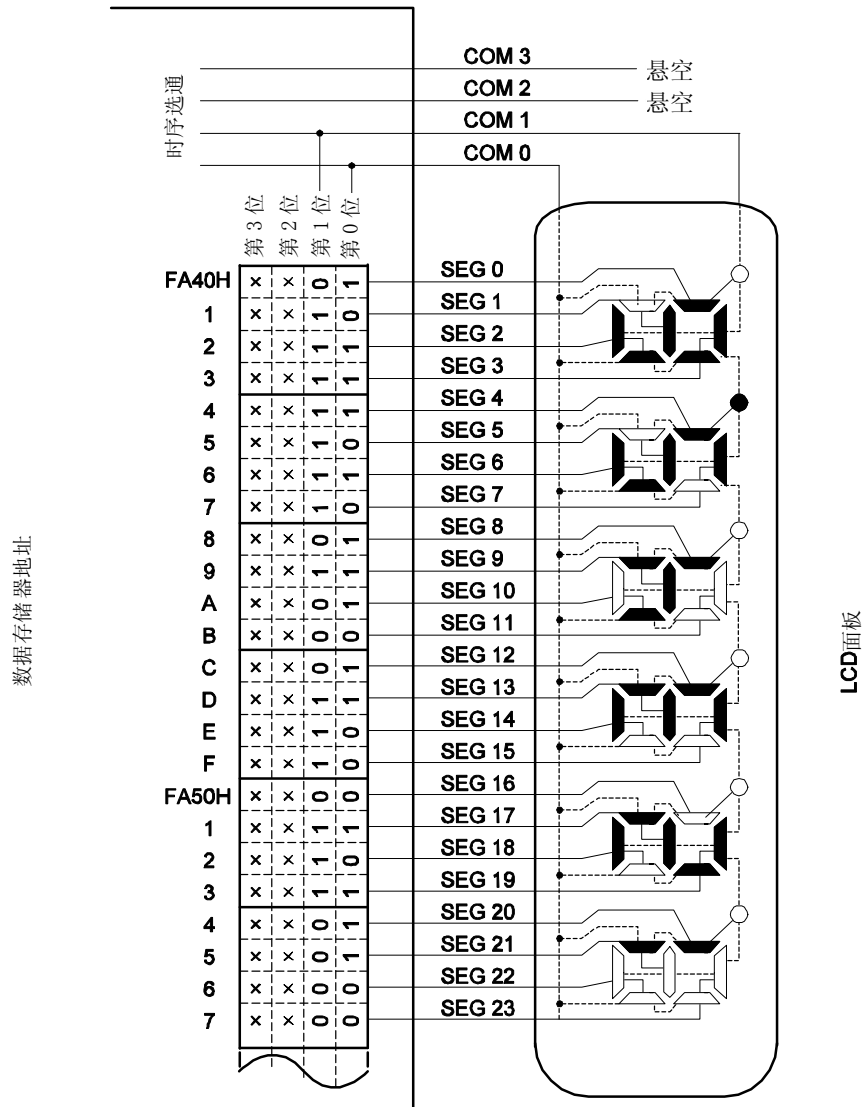
图 18-15 显示了 SEG15 信号和每个 common 信号之间的 LCD 驱动波形示例。当选择电压以 COM1 的时序被应用于 SEG15 时, LCD segment 产生相应的一个交替矩形波形, +VLCD/-VLCD。

图 18-13. 2 分时 LCD 显示模式和电极连接



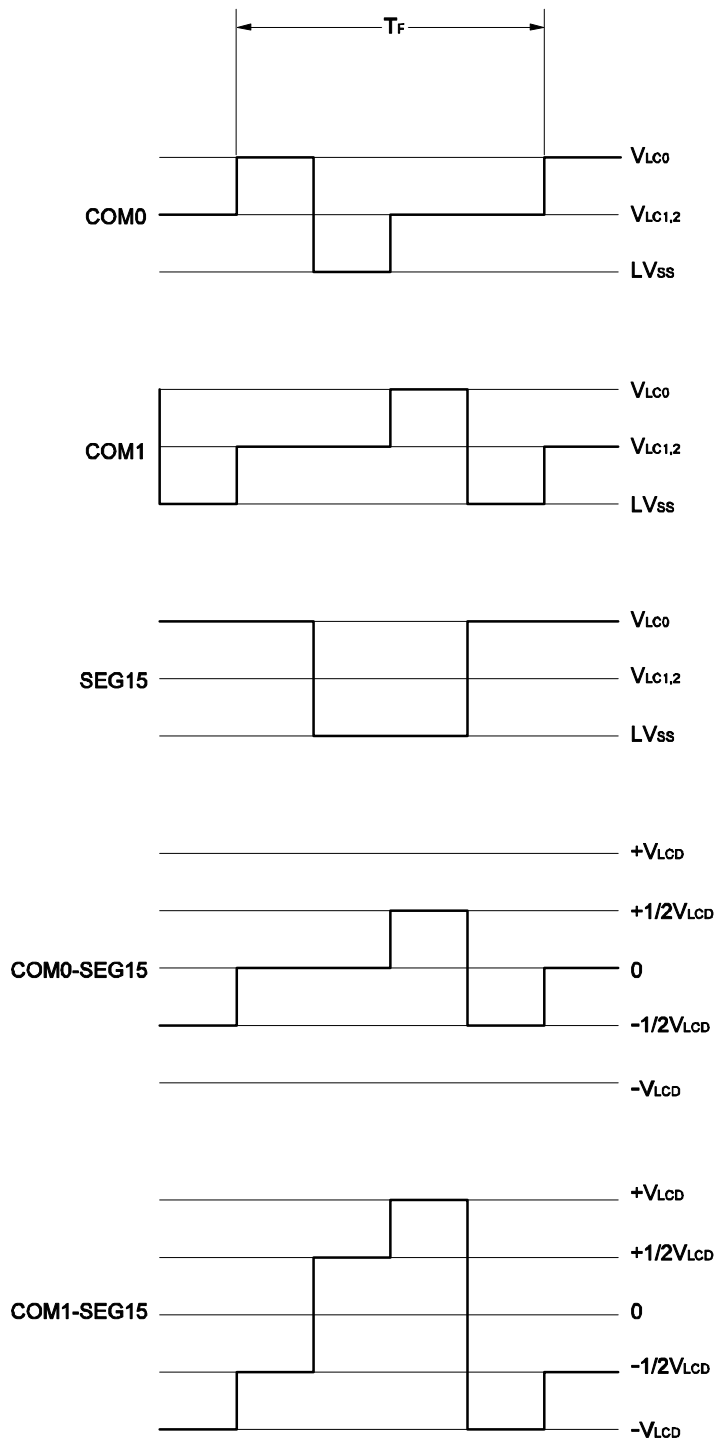
备注 n = 0 ~ 5

图 18-14. 2 分时 LCD 面板连接举例



x: 因为使用 2 分时模式, 可以始终被用于存储任意数据。

图 18-15. 2 分时 LCD 驱动波形举例(1/2 偏压方式)



18.7.3 3 分时显示示例

图 18-18 显示了如何把具有如图 18-16 所示的显示模式的 8-数字 LCD 面板连接到 78K0/LF3 芯片的 segment 信号 (SEG0~SEG31)和 common 信号(COM0 ~ COM2)。这个例子在 LCD 面板上显示数字"123456.78"。显示数据存储单元(地址 FA40H~FA5FH)的内容符合这个显示。


以下描述集中在数字"6" ()的显示, 显示在第三个字段。为了在 LCD 面板显示"6", 必须按照 common 信号 COM0 ~ COM2 的时序, 按照表 18-7 所示从 SEG6~SEG8 引脚输出选择信号或非选择信号电压; 参见图 18-1 6segment 信号和 LCD segments 的关系。

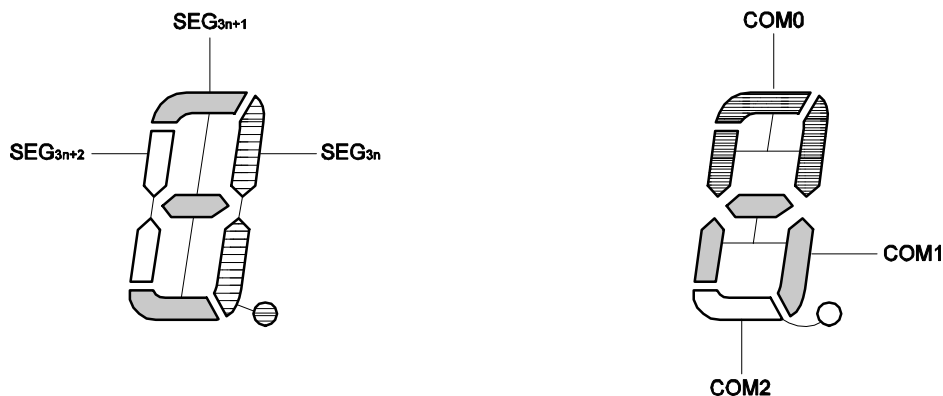
表 18-7. 选择和非选择电压 (COM0~COM2)

Segment \ Common	SEG6	SEG7	SEG8
COM0	非选择	选择	选择
COM1	选择	选择	选择
COM2	选择	选择	-

依照表 18-7, 它决定了 SEG6 相应的显示数据存储单元(FA46H)必须包含 x110。

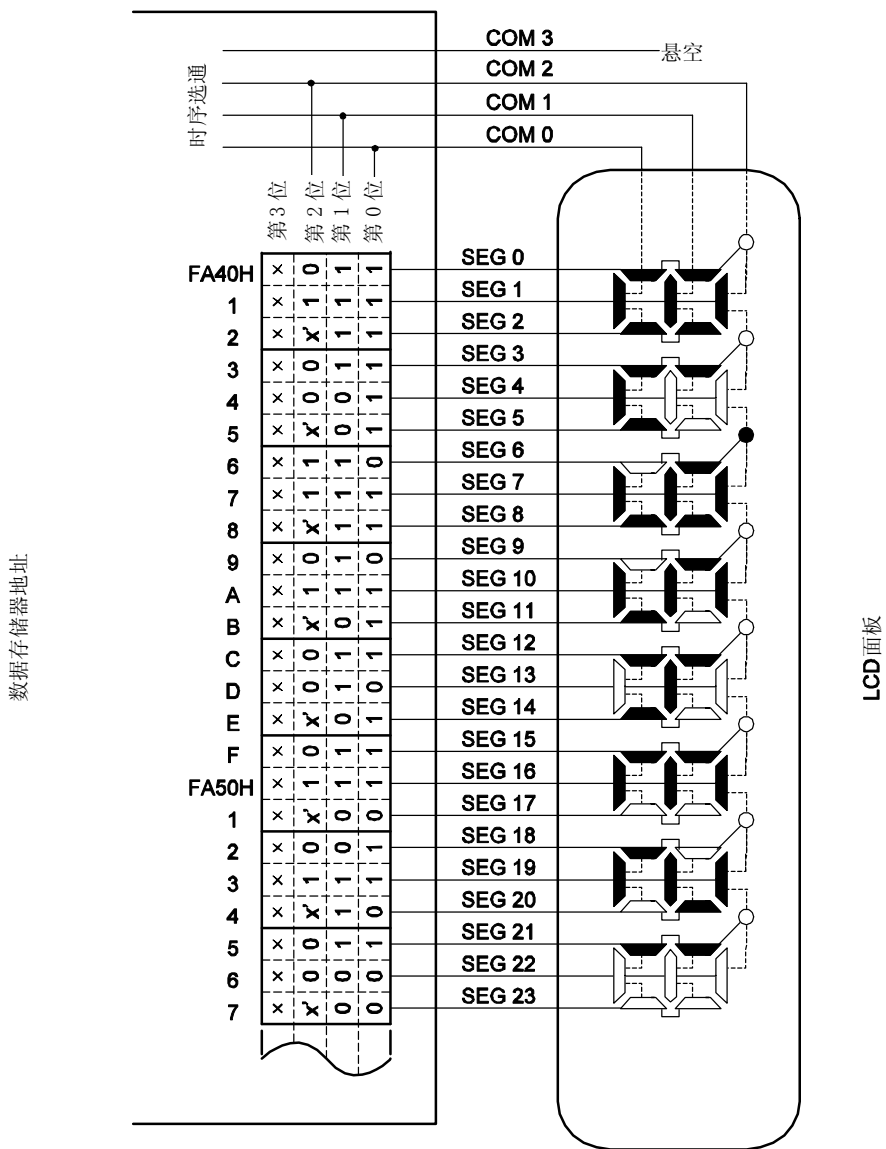
图 18-18 和 18-19 显示了 SEG6 信号和每个 common 信号分别在 1/2 和 1/3 偏压模式下的 LCD 驱动波形示例。当选择电压以 COM1 或 COM2 的时序被应用在 SEG6 时, LCD segment 产生相应的一个交替矩形波形, +VLCD/-VLCD。

图 18-16. 3 分时 LCD 显示模式和电极连接



备注 n = 0 ~ 7

图 18-18. 3 分时 LCD 面板连接举例



x': 因为在 LCD 面板内没有相应的 segment，可以被用于存储任意数据。
 x: 因为使用 3 分时模式，可以始终被用于存储任意数据。

图 18-18. 3 分时 LCD 驱动波形举例(1/2 偏压方式)

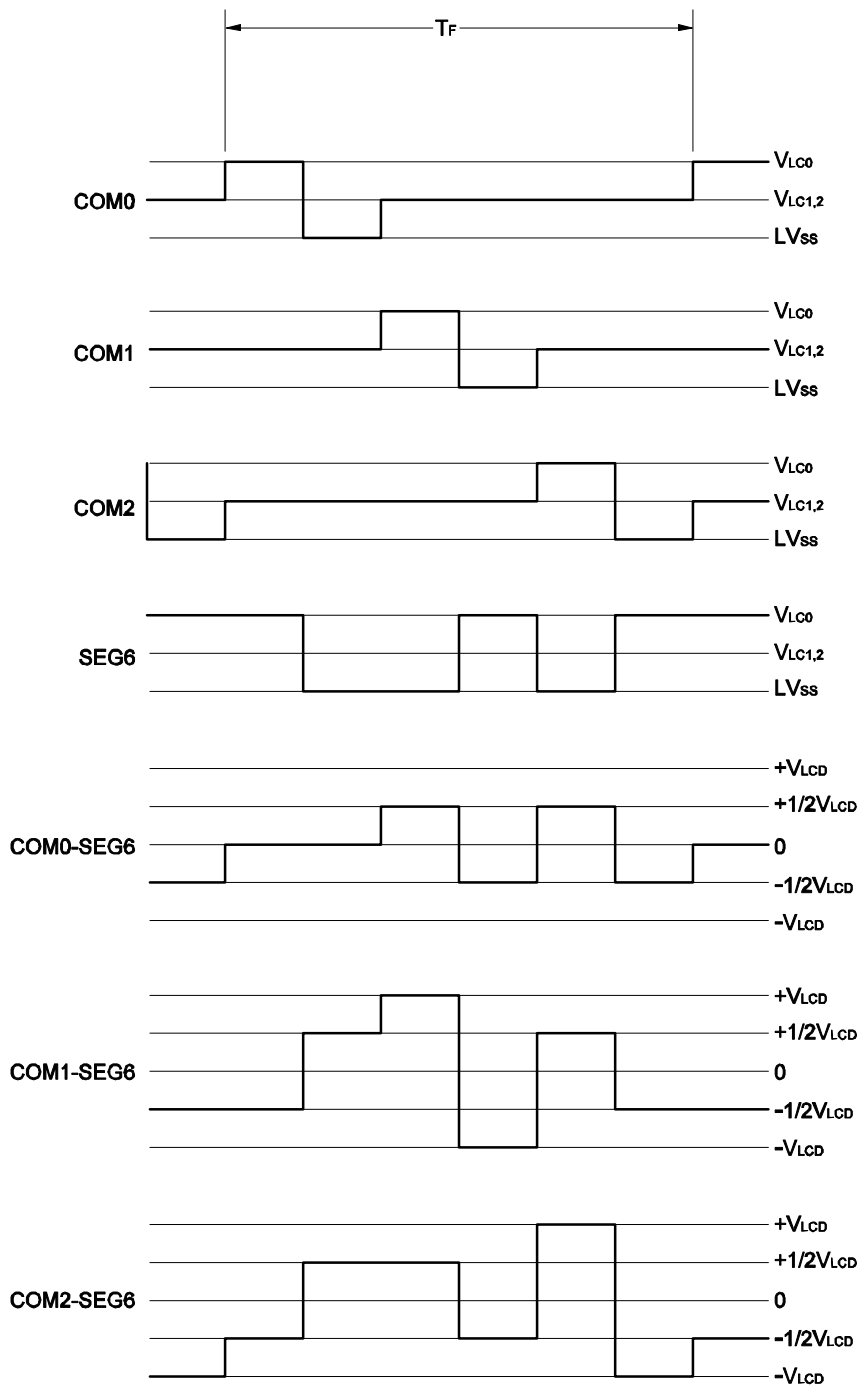
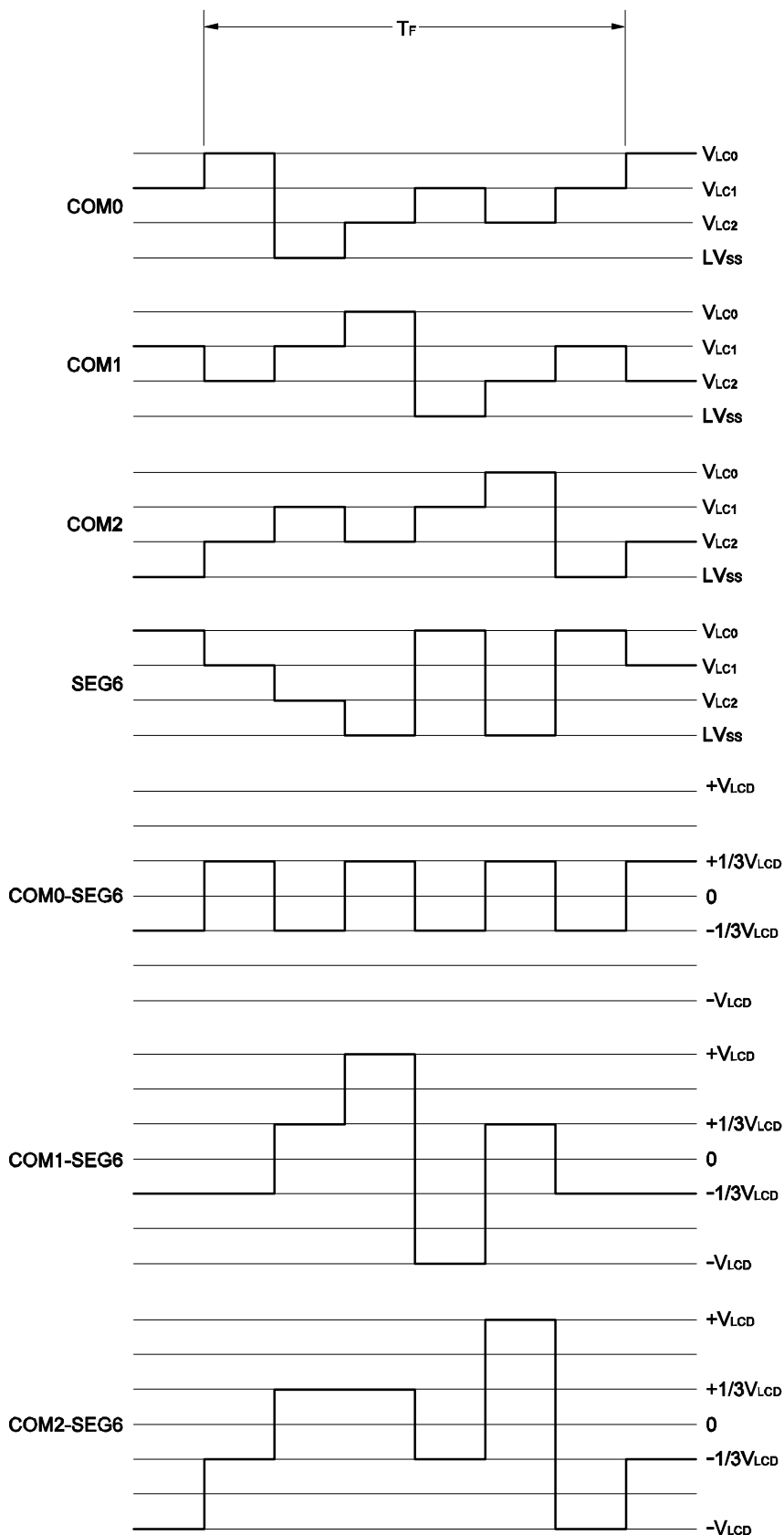


图 18-19. 3 分时 LCD 驱动波形举例(1/3 偏压方式)



18.7.4.4 分时显示示例

图 18-21 显示了如何把具有如图 18-20 所示的显示模式的 12-数字 LCD 面板连接到 78K0/LF3 芯片的 segment 信号 (SEG0~SEG31)和 common 信号(COM0 ~ COM3)。这个例子在 LCD 面板上显示数字"123456.789012"。显示数据存储单元(地址 FA40H~FA5FH)的内容符合这个显示。


以下描述集中在数字"6" () 的显示，显示在第三个字段。为了在 LCD 面板显示"6"，必须按照 common 信号 COM0 ~ COM3 的时序，按照表 18-8 所示从 SEG12~SEG13 引脚输出选择信号或非选择信号电压；参见图 18-20 segment 信号和 LCD segments 的关系。

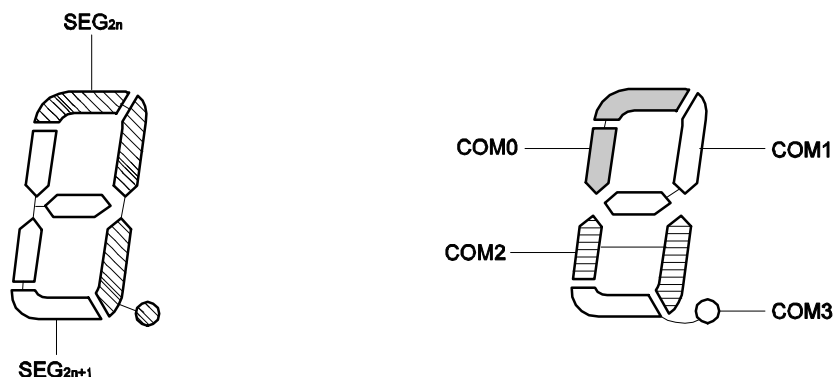
表 18-8. 选择和非选择电压(COM0~COM3)

Segment \ Common	SEG12	SEG13
COM0	选择	选择
COM1	非选择	选择
COM2	选择	选择
COM3	选择	选择

依照表 18-8，它决定了 SEG12 相应的显示数据存储单元(FA4CH)必须包含 1101。

图 18-22 显示了 SEG12 信号和每个 common 信号的 LCD 驱动波形的示例。当选择电压以 COM0 的时序被应用到 SEG12 时，LCD segment 产生相应的一个交替矩形波形，+V_{LCD}/-V_{LCD}。

图 18-20. 4 分时 LCD 显示模式和电极连接



备注 n = 0 ~ 11

图 18-21. 4 分时 LCD 面板连接举例

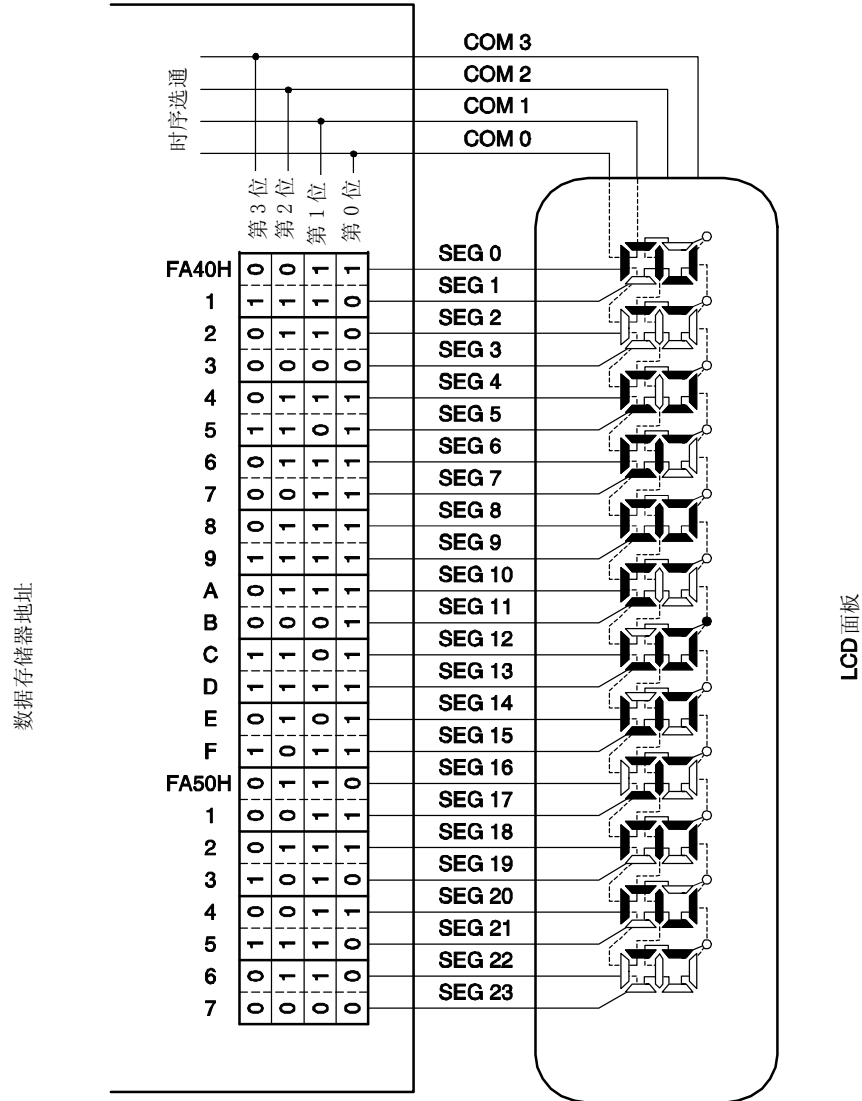
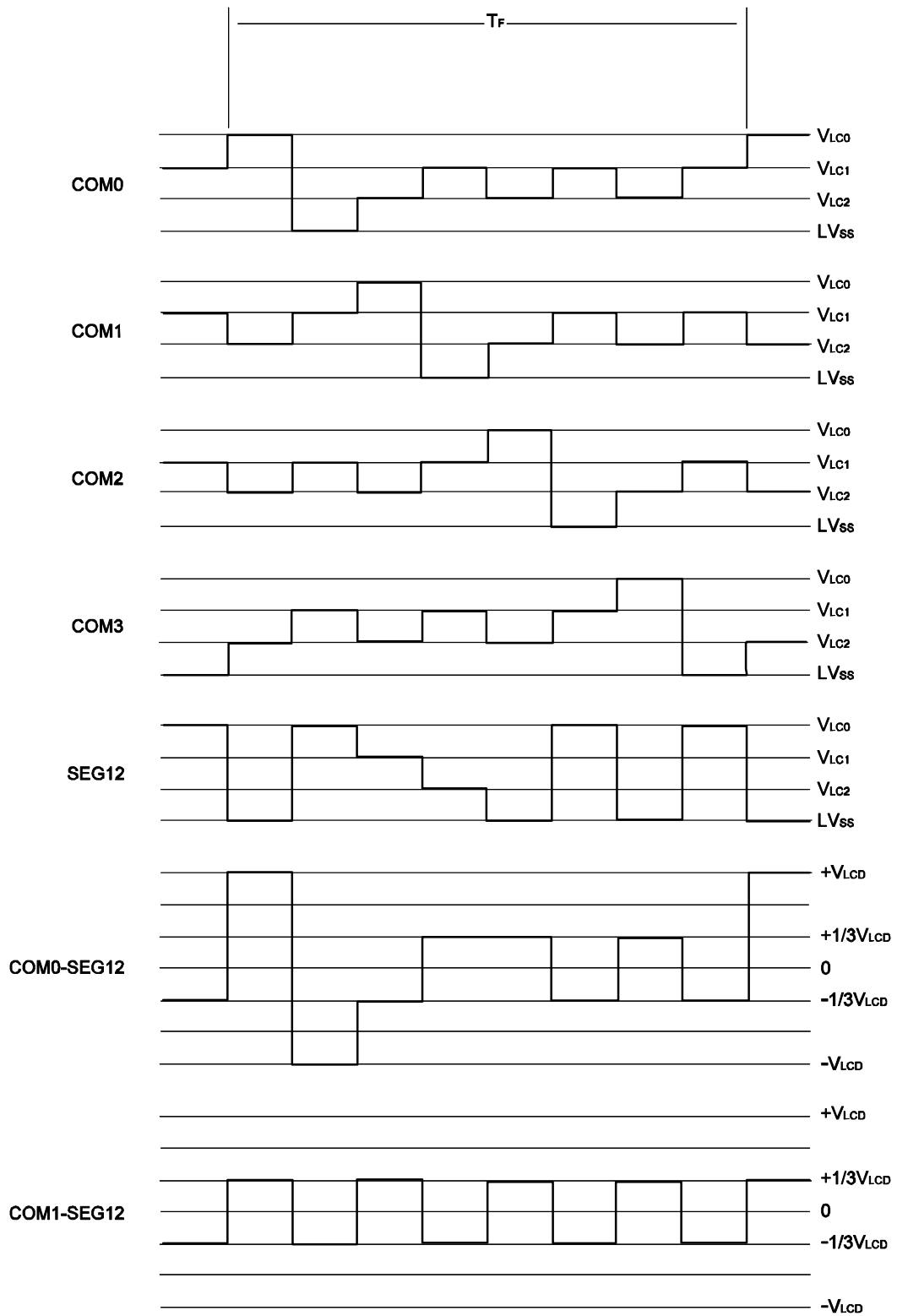


图 18-22. 4 分时 LCD 驱动波形举例(1/3 偏压方式)



备注 忽略 COM2至 SEG12 和 COM3至 SEG12 的波形。

18.8 LCD 驱动电压 V_{LC0} , V_{LC1} , V_{LC2} 和 V_{LC3}

78K0/LF3 中 LCD 驱动电源提供可由 2 种类型产生：内部电阻分压方式或外部电阻分压方式。

18.8.1 内部电阻分压方式

78K0/LF3 内有分压电阻器用于产生 LCD 驱动电源。使用内部分压电阻器，可提供适合表 18-9 列出的每种偏压模式所需的 LCD 驱动电源，而不必使用外部分压电阻器。

表 18-9. LCD 驱动电压 (具有内置分压电阻)

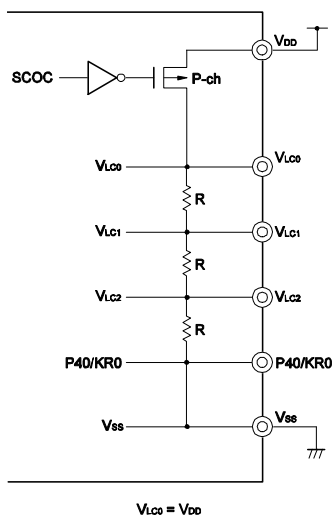
LCD 驱动电压引脚 \ 偏压方式	无偏压 (静态)	1/2 偏压方式	1/3 偏压方式	1/4 偏压方式
V_{LC0}	V_{LCD}	V_{LCD}	V_{LCD}	V_{LCD}
V_{LC1}	$\frac{2}{3}V_{LCD}$	$\frac{1}{2}V_{LCD}^{\#}$	$\frac{2}{3}V_{LCD}$	$\frac{3}{4}V_{LCD}$
V_{LC2}	$\frac{1}{3}V_{LCD}$		$\frac{1}{3}V_{LCD}$	$\frac{2}{4}V_{LCD}$
V_{LC3}	V_{SS}	V_{SS}	V_{SS}	$\frac{1}{4}V_{LCD}$

注 对于 1/2 偏压模式，必须外部连接 V_{LC1} 和 V_{LC2} 引脚。

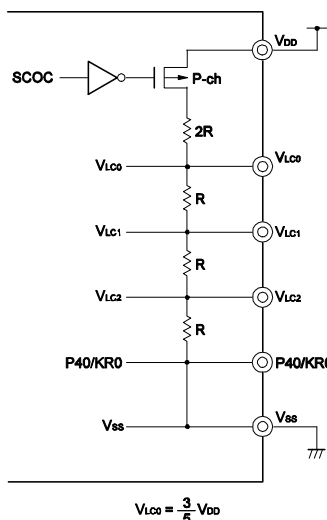
图 18-23 显示按表 18-9 内部产生 LCD 驱动电压的例子。

图 18-23. LCD 驱动电源连接举例 (内部电阻分压模式) (1/2)

(a) 1/3 偏压方式和静态显示模式
(MDSET1, MDSET0 = 0, 1)
(例如 $V_{DD} = 5V$, $V_{LC0} = 5V$)

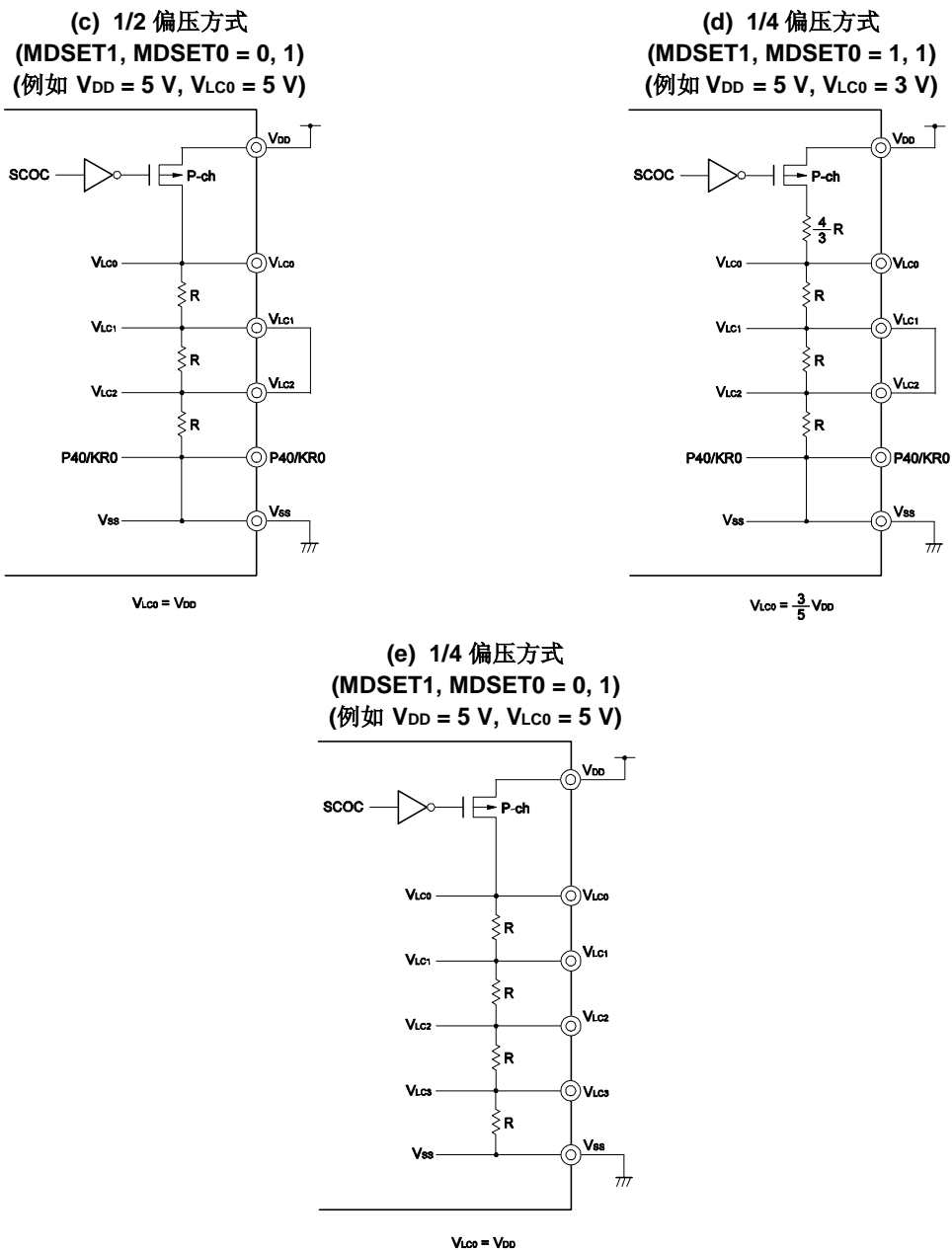


(b) 1/3 偏压方式和静态显示模式
(MDSET1, MDSET0 = 1, 1)
(例如 $V_{DD} = 5V$, $V_{LC0} = 3V$)



备注 当使用静态显示模式时，为了通过分压电阻减少共耗，推荐使用外部分压电阻方式。

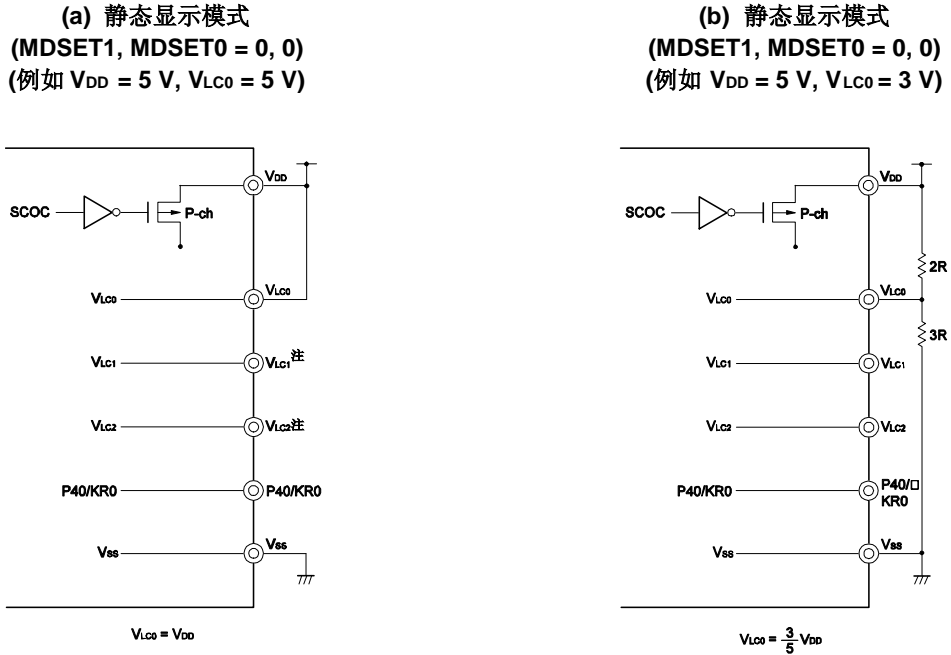
图 18-23. LCD 驱动电源连接举例 (内部电阻分压模式) (2/2)



18.8.2 外部电阻分压方式

78K0/LF3 也可使用外部分压电阻产生 LCD 驱动电源，不使用内部电阻。图 18-24 显示了对应于各种偏压模式下的 LCD 驱动电压连接示例。

图 18-24. LCD 驱动电压连接举例 (外部电阻分压模式) (1/2)



注 直接连接 V_{LC1} 和 V_{LC2} 到 GND 或 V_{LC0} 。

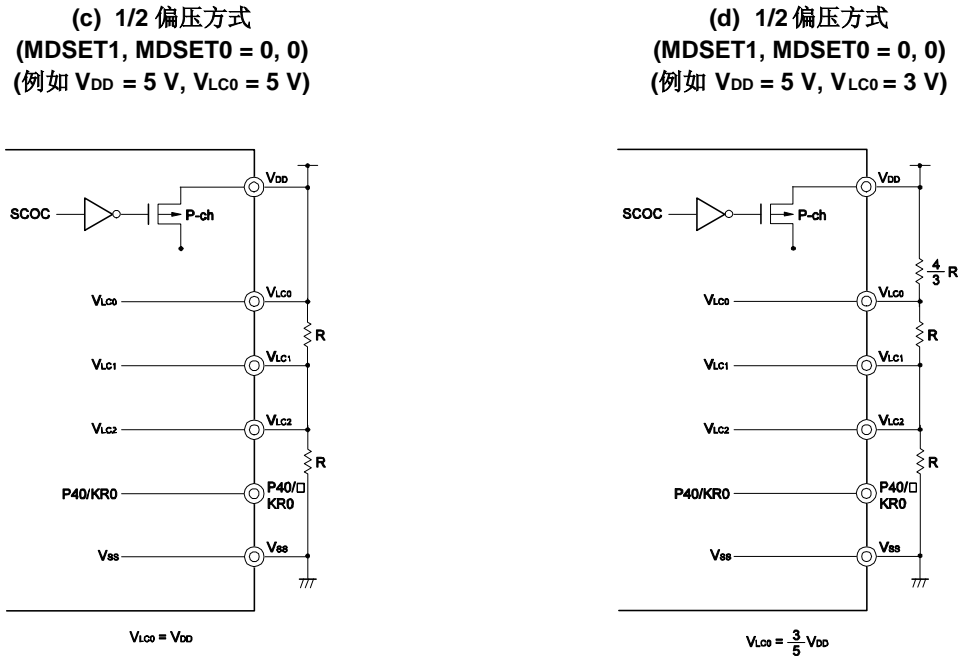
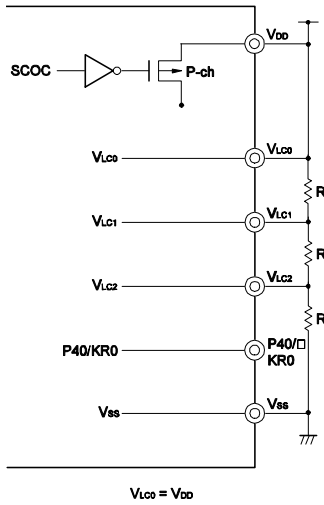
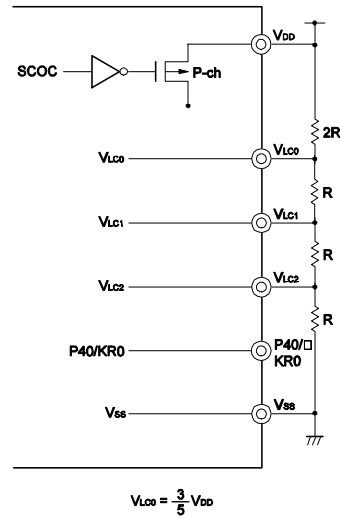


图 18-24. LCD 驱动电压连接举例 (外部电阻分压模式) (2/2)

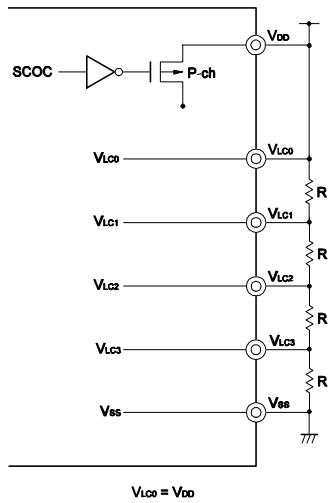
(e) 1/3 偏压方式
 (MDSET1, MDSET0 = 0, 0)
 (例如 $V_{DD} = 5\text{ V}$, $V_{LC0} = 5\text{ V}$)



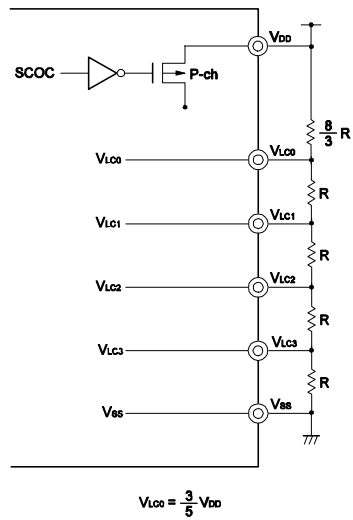
(f) 1/3 偏压方式
 (MDSET1, MDSET0 = 0, 0)
 (例如 $V_{DD} = 5\text{ V}$, $V_{LC0} = 3\text{ V}$)



(g) 1/4 偏压方式
 (MDSET1, MDSET0 = 0, 0)
 (例如 $V_{DD} = 5\text{ V}$, $V_{LC0} = 5\text{ V}$)



(h) 1/4 偏压方式
 (MDSET1, MDSET0 = 0, 0)
 (例如 $V_{DD} = 5\text{ V}$, $V_{LC0} = 3\text{ V}$)



第十九章 曼彻斯特编码发生器

19.1 曼彻斯特编码发生器的功能

如下三种类型模式可用到曼彻斯特编码发生器。

(1) 操作停止模式

当由曼彻斯特编码发生器/位序列缓冲器输出不执行时应用此模式。此模式可缩减功耗。
详细介绍，参见 19.4.1 操作停止模式。

(2) 曼彻斯特编码发生器模式

此模式用于从 MCGO 引脚发送曼彻斯特编码。

发送的位长度可以设置，并且允许不同位长度发送。同样，对于 8 位发送数据，数据发送的输出电平和 LSB-first 或 MSB-first 也可设置。

(3) 位序列缓冲器模式

此模式用于从 MCGO 引脚发送位序列数据。

发送的位长度可以设置，并且允许不同位长度发送。A 同样，对于 8 位发送数据，数据发送的输出电平和 LSB-first 或 MSB-first 也可设置。

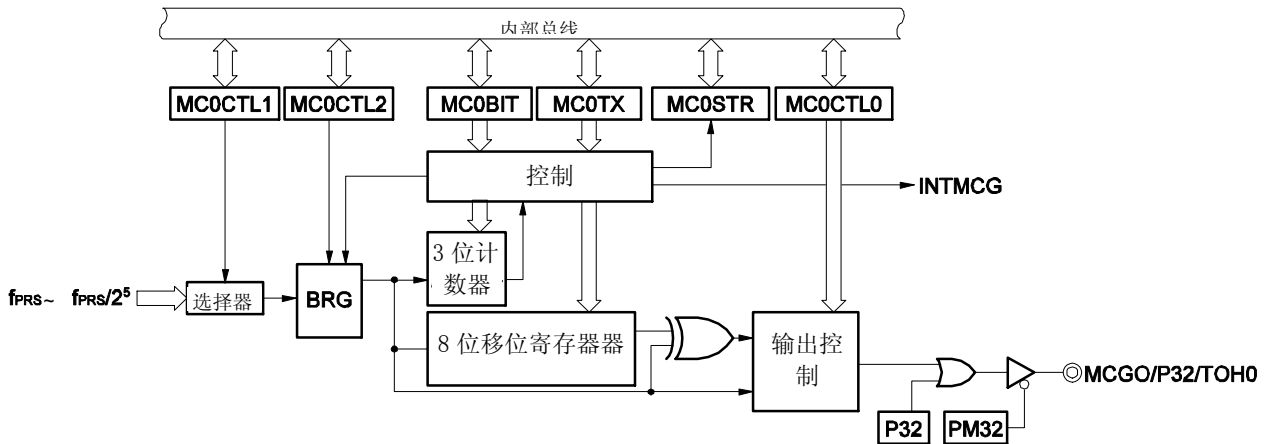
19.2 曼彻斯特编码发生器的配置

曼彻斯特编码发生器包括如下硬件。

表 19-1. 曼彻斯特编码发生器的配置

项目	配置
寄存器	MCG 发送缓冲器寄存器(MC0TX) MCG 发送位计数指定寄存器(MC0BIT)
控制寄存器	MCG 控制寄存器 0 (MC0CTL0) MCG 控制寄存器 1 (MC0CTL1) MCG 控制寄存器 2 (MC0CTL2) MCG 状态寄存器(MC0STR) 端口模式寄存器 3 (PM3) 端口寄存器 3 (P3)

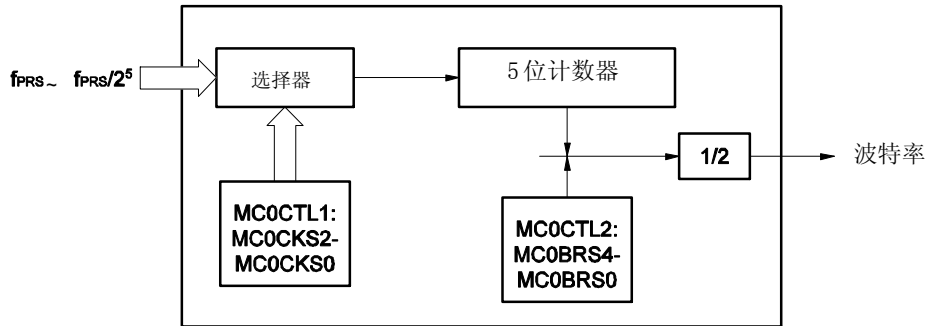
图 19-1. 曼彻斯特编码发生器的框图



备注

BRG:	波特率发生器
fPRS:	外围硬件时钟频率
MC0 位:	MCG 发送位计数指定寄存器
MC0CTL2~MC0CTL0:	MCG 控制寄存器 2~0
MC0STR:	MCG 状态寄存器
MC0TX:	MCG 发送缓冲器寄存器

图 19-2. 波特率发生器的框图



备注

fPRS:	外围硬件时钟频率
MC0CTL2, MC0CTL1:	MCG 控制寄存器 2, 1
MC0CKS2~MC0CKS0:	MC0CTL1 寄存器的第 2~0 位
MC0BRS4~MC0BRS0:	MC0CTL2 寄存器的第 4~0 位

(1) MCG 发送缓冲器寄存器(MC0TX)

此寄存器用于设置发送数据。MCG 控制寄存器 0 (MC0CTL0) 的第 7 位(MC0PWR)为 1，数据写入到 MC0TX 时发送操作开始。

写入到 MC0TX 的数据通过 8 位移位寄存器转换为串行数据，并且输出到 MCGO 引脚。曼彻斯特编码或位序列数据可由 MCG 控制寄存器 0 (MC0CTL0) 的第 1 位设置为输出码。此寄存器可由 8 位存储器操作指令设置。复位信号发生此寄存器置为 FFH。

(2) MCG 发送位计数指定寄存器 (MC0 位)

此寄存器用于设置发送位的序号。

设置发送数据到 MC0TX 前设置发送位计数到此寄存器。

连续发送中，下一个要发送的发送位的序号需要在发送开始中断(INTMCG)发生后写入。但是，如果下一个发送计数与前一个发送计数的序号相同，则此寄存器不需要写入。

此寄存器可由 8 位存储器操作指令设置。

复位信号发生此寄存器置为 07H。

图 19-3. MCG 发送位计数指定寄存器 (MC0 位)的格式

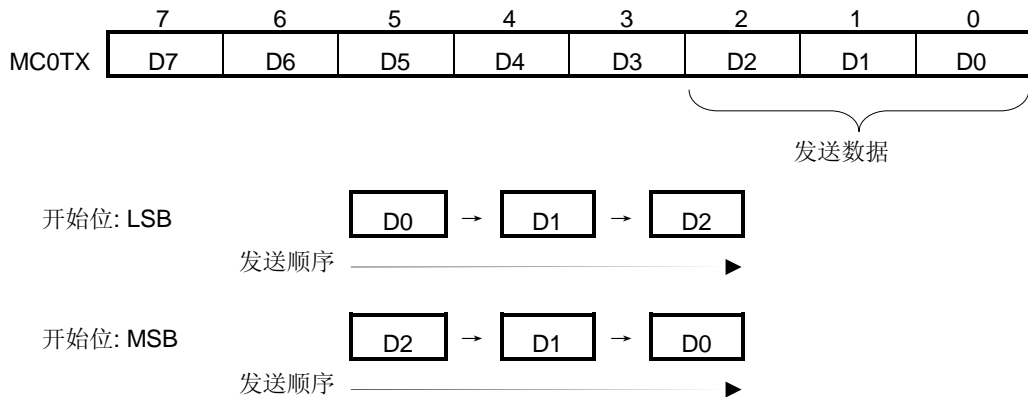
地址: FF4BH 复位后: 07H R/W

符号	7	6	5	4	3	<2>	<1>	<0>
MC0BIT	0	0	0	0	0	MC0BIT2	MC0BIT1	MC0BIT0

MC0BIT2	MC0BIT1	MC0BIT0	发送位计数设置
0	0	0	1 位
0	0	1	2 位
0	1	0	3 位
0	1	1	4 位
1	0	0	5 位
1	0	1	6 位
1	1	0	7 位
1	1	1	8 位

备注 当发送位的序号设置为 7 位或更少时，无论发送开始为设置为 MSB/LSB，始终发送低位。

例. 当发送位的序号设置为 3 位, 并且 D7~D0 写入到 MCG 发送缓冲器寄存器 (MC0TX)时



19.3 控制曼彻斯特编码发生器的寄存器

下面六种类型寄存器用于控制曼彻斯特编码发生器。

- MCG 控制寄存器 0 (MC0CTL0)
- MCG 控制寄存器 1 (MC0CTL1)
- MCG 控制寄存器 2 (MC0CTL2)
- MCG 状态寄存器 (MC0STR)
- 端口模式寄存器 3 (PM3)
- 端口寄存器 3 (P3)

(1) MCG 控制寄存器 0 (MC0CTL0)

此寄存器用于设置操作模式和操作允许/禁止。
此寄存器可由 1 位或 8 位存储器操作指令设置。
复位信号发生此寄存器置为 10H。

图 19-4. MCG 控制寄存器 0 (MC0CTL0) 的格式

地址: FF4CH 复位后: 10H R/W

符号	<7>	6	5	<4>	3	2	<1>	<0>
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	操作控制
0	操作停止
1	操作允许

MC0DIR	第一位指定
0	MSB
1	LSB

MC0OSL	数据格式
0	曼彻斯特编码
1	位序列数据

MC0OLV	发送暂停时的输出电平
0	低电平
1	高电平

注意事项 重写 MC0DIR, MC0OSL, 和 MC0OLV 位 (当 MC0PWR 位设置为 (1)时可同时由 8 位存储器操作指令重写这些位)前清零 MC0PWR 位。

(2) MCG 控制寄存器 1 (MC0CTL1)

此寄存器用于设置曼彻斯特编码发生器的基本时钟。

此寄存器可由 8 位存储器操作指令设置。

复位信号发生此寄存器清零位 00H。

图 19-5. MCG 控制寄存器 1 (MC0CTL1)的格式

地址: FF4DH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
MC0CTL1	0	0	0	0	0	MC0CKS2	MC0CKS1	MC0CKS0

MC0CKS2	MC0CKS1	MC0CKS0	基本时钟 (f _{XCLK})选择 ^{#1}
0	0	0	f _{PRS} ^{#2} (10 MHz)
0	0	1	f _{PRS} /2 (5 MHz)
0	1	0	f _{PRS} /2 ² (2.5 MHz)
0	1	1	f _{PRS} /2 ³ (1.25 MHz)
1	0	0	f _{PRS} /2 ⁴ (625 kHz)
1	0	1	f _{PRS} /2 ⁵ (312.5 kHz)
1	1	0	禁止设置
1	1	1	

- 注**
1. 如果外围硬件时钟 (f_{PRS})操作在高速系统时钟 (f_{XH}) (XSEL = 1), f_{PRS} 工作频率根据供电电压不同而变化。
 - V_{DD} = 2.7~5.5 V: f_{PRS} ≤ 10 MHz
 - V_{DD} = 1.8~2.7 V: f_{PRS} ≤ 5 MHz
 2. 如果外围硬件时钟 (f_{PRS})操作在内部高速振荡时钟 (f_{RH}) (XSEL = 0), 当 1.8 V ≤ V_{DD} < 2.7 V, MC0CKS2 = MC0CKS1 = MC0CKS0 = 0 (基本时钟: f_{PRS})的设置禁止。

注意事项 在重写 MC0CKS2~MC0CKS0 位之前清零 MC0CTL0 寄存器的第 7 位(MC0PWR)。

- 备注**
1. f_{PRS}: 外围硬件时钟频率
 2. 括号内的数字工作在 f_{PRS} = 10 MHz。

(3) MCG 控制寄存器 2 (MC0CTL2)

此寄存器用于设置发送波特率。

此寄存器可由 8 位存储器操作指令设置。

复位信号发生此寄存器置为 1FH。

图 19-6. MCG 控制寄存器 2 (MC0CTL2)的格式

地址: FF4EH 复位后: 1FH R/W

符号	7	6	5	4	3	2	1	0
MC0CTL2	0	0	0	MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0

MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0	k	5 位计数器的输出时钟选择
0	0	0	×	×	4	$f_{XCLK}/4$
0	0	1	0	0	4	$f_{XCLK}/4$
0	0	1	0	1	5	$f_{XCLK}/5$
0	0	1	1	0	6	$f_{XCLK}/6$
0	0	1	1	1	7	$f_{XCLK}/7$
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
1	1	1	0	0	28	$f_{XCLK}/28$
1	1	1	0	1	29	$f_{XCLK}/29$
1	1	1	1	0	30	$f_{XCLK}/30$
1	1	1	1	1	31	$f_{XCLK}/31$

- 注意事项**
1. 在重写 MC0BRS4~MC0BRS0 位之前清零 MC0CTL0 寄存器的第 7 位(MC0PWR)。
 2. 5 位计数器的输出时钟 除 2 得出的值为波特率值。

- 备注**
1. f_{XCLK} : 由 MC0CTL1 寄存器的 MC0CKS2~MC0CKS0 位 选择的基本时钟的频率。
 2. k: 由 MC0BRS4~MC0BRS0 位设置的值 (k = 4, 5, 6, 7, ..., 31)
 3. ×: 不必考虑

(4) MCG 状态寄存器 (MC0STR)

此寄存器用于表示曼彻斯特编码发生器的操作状态。

此寄存器可由 1 位或 8 位存储器操作指令读取。不能进行写入操作。

复位信号发生或设置 MC0PWR = 0 将此寄存器清零为 00H。

图 19-7. MCG 状态寄存器 (MC0STR)的格式

地址: FF47H 复位后: 00H R

符号	<7>	6	5	4	3	2	1	0
MC0STR	MC0TSF	0	0	0	0	0	0	0

MC0TSF	数据发送状态
0	<ul style="list-style-type: none"> • 复位信号产生 • MC0PWR = 0 • 如果一个发送完成时下一个发送数据没有写入到 MC0TX
1	发送操作中

注意事项 在连续发送期间这个标志为 1。没有确定此标志清零则不要初始化发送操作

19.4 曼彻斯特编码发生器的操作

曼彻斯特编码发生器有下面所描述的三种模式。

- 操作停止模式
- 曼彻斯特编码发生器模式
- 位序列缓冲器模式

19.4.1 操作停止模式

操作停止模式中不执行发送。因此，功耗可以缩减。另外 P32/TOH0/MCGO 引脚在此模式中用作普通 I/O 端口。

(1) 寄存器描述

MCG 控制寄存器 0 (MC0CTL0) 用于设置操作停止模式。

要设置操作停止模式，将 MC0CTL0 的第 7 位(MC0PWR)清零。

(a) MCG 控制寄存器 0 (MC0CTL0)

此寄存器可由 1 位或 8 位存储器操作指令设置。

复位信号发生此寄存器置为 10H。

地址: FF4CH 复位后: 10H R/W

符号	<7>	6	5	<4>	3	2	<1>	<0>
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	操作控制
0	操作停止

19.4.2 曼彻斯特编码发生器模式

此模式用于通过 MCGO 引脚发送曼彻斯特编码 格式的数据。

(1) 寄存器描述

MCG 控制寄存器 0 (MC0CTL0), MCG 控制寄存器 1 (MC0CTL1), 和 MCG 控制寄存器 2 (MC0CTL2)用于设置曼彻斯特编码发生器模式。

(a) MCG 控制寄存器 0 (MC0CTL0)

此寄存器可由 1 位或 8 位存储器操作指令设置。

复位信号发生此寄存器置为 10H。

地址: FF4CH 复位后: 10H R/W

符号	<7>	6	5	<4>	3	2	<1>	<0>
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	操作控制
0	操作停止
1	操作允许

MC0DIR	第一位设定
0	MSB
1	LSB

MC0OSL	数据格式
0	曼彻斯特编码
1	位序列数据

MC0OLV	发送暂停时的输出电平
0	低电平
1	高电平

注意事项 重写 MC0DIR, MC0OSL, 和 MC0OLV 位 (当 MC0PWR 位设置为 (1)时可同时由 8 位存储器操作指令重写这些位)前清零 MC0PWR 位。

(b) MCG 控制寄存器 1 (MC0CTL1)

此寄存器用语设置曼彻斯特编码发生器的基本时钟。

此寄存器可由 8 位存储器操作指令设置。

复位信号发生此寄存器置为 00H。

地址: FF4DH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
MC0CTL1	0	0	0	0	0	MC0CKS2	MC0CKS1	MC0CKS0

MC0CKS2	MC0CKS1	MC0CKS0	基本时钟(f _{XCLK})选择 ^{#1}
0	0	0	f _{PRS} ^{#2} (10 MHz)
0	0	1	f _{PRS} /2 (5 MHz)
0	1	0	f _{PRS} /2 ² (2.5 MHz)
0	1	1	f _{PRS} /2 ³ (1.25 MHz)
1	0	0	f _{PRS} /2 ⁴ (625 kHz)
1	0	1	f _{PRS} /2 ⁵ (312.5 kHz)
1	1	0	
1	1	1	

- 注 1.** 如果外围硬件时钟 (f_{PRS})操作在高速系统时钟 (f_{XH}) (XSEL = 1), f_{PRS} 工作频率根据供电电压不同而变化。
- V_{DD} = 2.7 ~ 5.5 V: f_{PRS} ≤ 10 MHz
 - V_{DD} = 1.8 ~ 2.7 V: f_{PRS} ≤ 5 MHz
- 2.** 如果外围硬件时钟 (f_{PRS})操作在内部高速振荡时钟 (f_{RH}) (XSEL = 0), 当 1.8 V ≤ V_{DD} < 2.7 V, MC0CKS2 = MC0CKS1 = MC0CKS0 = 0 (基本时钟: f_{PRS})的设置禁止。

注意事项 在重写 MC0CKS2~MC0CKS0 位之前清零 MC0CTL0 寄存器的第 7 位(MC0PWR)。

- 备注**
1. f_{PRS}: 外围硬件时钟频率
 2. 括号内的数字工作在 f_{PRS} = 10 MHz。

(c) MCG 控制寄存器 2 (MC0CTL2)

此寄存器用于设置发送波特率。

此寄存器可由 8 位存储器操作指令设置。

复位信号发生此寄存器置为 1FH。

地址: FF4EH 复位后: 1FH R/W

符号	7	6	5	4	3	2	1	0
MC0CTL2	0	0	0	MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0

MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0	k	5-位计数器的输出时钟选择
0	0	0	×	×	4	f _{XCLK} /4
0	0	1	0	0	4	f _{XCLK} /4
0	0	1	0	1	5	f _{XCLK} /5
0	0	1	1	0	6	f _{XCLK} /6
0	0	1	1	1	7	f _{XCLK} /7
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
1	1	1	0	0	28	f _{XCLK} /28
1	1	1	0	1	29	f _{XCLK} /29
1	1	1	1	0	30	f _{XCLK} /30
1	1	1	1	1	31	f _{XCLK} /31

- 注意事项**
1. 在重写 MC0BRS4~MC0BRS0 位之前清零 MC0CTL0 寄存器的第 7 位(MC0PWR)。
 2. 5 位计数器的输出时钟 除 2 得出的值为波特率值。

- 备注**
1. f_{XCLK}: 由 MC0CTL1 寄存器的 MC0CKS2~MC0CKS0 位 选择的基本时钟的频率。
 2. k: 由 MC0BRS4~MC0BRS0 位 设置的值(k = 4, 5, 6, 7, ..., 31)
 3. ×: 不必考虑

<1> 波特率

波特率可通过如下公式计算。

• 波特率 = $\frac{f_{XCLK}}{2 \times k}$ [bps]

f_{XCLK}: 由 MC0CTL1 寄存器的 MC0CKS2~MC0CKS0 位 选择的基本时钟的频率。

k: 由 MC0CTL2 寄存器的 MC0BRS4~MC0BRS0 位 设置的值 (k = 4, 5, 6, ..., 31)

<2> 波特率的误差

波特率误差可由下面的公式计算得出。

$$\bullet \text{ 误差 (\%)} = \left[\frac{\text{实际波特率 (有误差的波特率)}}{\text{理想波特率 (正确的波特率)}} - 1 \right] \times 100 \text{ [\%]}$$

注意事项 在发送过程中必须保持波特率误差在接收方允许的误差范围内。

例: 基本时钟的频率 = 2.5 MHz = 2,500,000 Hz
 MC0CTL2 寄存器的 MC0BRS4~MC0BRS0 位的设置值 = 10000B (k = 16)
 目标波特率 = 76,800 bps

$$\begin{aligned} \text{波特率} &= 2.5 \text{ M}/(2 \times 16) \\ &= 2,500,000/(2 \times 16) = 78125 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{误差} &= (78,125/76,800 - 1) \times 100 \\ &= 1.725 \text{ [\%]} \end{aligned}$$

<3> 波特率设置的示例

波特率 [bps]	f _{PRS} = 10.0 MHz				f _{PRS} = 8.38 MHz				f _{PRS} = 8.0 MHz				f _{PRS} = 6.0 MHz			
	MC0CKS2 ~ MC0CKS0	k	计算值	ERR [%]	MC0CKS2 ~ MC0CKS0	k	计算值	ERR [%]	MC0CKS2 ~ MC0CKS0	k	计算值	ERR [%]	MC0CKS2 ~ MC0CKS0	k	计算值	ERR [%]
4800	-	-	-	-	5, 6, 或 7	27	4850	1.03	5, 6, 或 7	26	4808	0.16	5, 6, 或 7	20	4688	-2.34
9600	5, 6, 或 7	16	9766	1.73	4	27	9699	1.03	5, 6, 或 7	13	9615	0.16	4	20	9375	-2.34
19200	5	8	19531	1.73	3	27	19398	1.03	4	13	19231	0.16	4	10	19750	-2.34
31250	4	10	31250	0	2	17	30809	-1.41	4	8	31250	0	2	24	31250	0
38400	4	8	39063	1.73	2	27	38796	1.03	3	13	38462	0.16	2	20	37500	-2.34
56000	3	11	56819	1.46	2	19	55132	-1.55	3	9	55556	-0.79	1	27	55556	-0.79
62500	2	20	62500	0	2	17	61619	-1.41	3	8	62500	0	2	12	62500	0
76800	2	16	78125	1.73	1	27	77592	1.03	2	13	76923	0.16	2	10	75000	-2.34
115200	1	22	113636	-1.36	2	9	116389	1.03	1	17	117647	2.12	1	13	115385	0.16
125000	1	20	125000	0	1	17	123235	-1.41	1	16	125000	0	1	12	125000	0
153600	1	16	156250	1.73	2	7	149643	-2.58	1	13	153846	0.16	1	10	150000	-2.34
250000	1	10	250000	0	1	8	261975	4.75	1	8	250000	0	1	6	250000	0
					0	17	246471	-1.41								

备注 MC0CKS2~MC0CKS0: MCG 控制寄存器 1 (MC0CTL1) 的第 2~0 位(基本时钟(f_{xCLK})的设置)
 k: 由 MCG 控制寄存器 2 (MC0CTL2) 的第 4~0 位 (MC0BRS4~MC0BRS0) 设置的值(k = 4, 5, 6, ..., 31)
 f_{PRS}: 外围硬件时钟频率
 ERR: 波特率误差

(d) 端口模式寄存器 3 (PM3)

此寄存器按位设置端口 3 输入/输出。

当 P32/TOH0/MCGO 引脚用于曼彻斯特编码输出时，将 PM32 清零并且 P32 输出锁存清零。

PM3 可由 1 位或 8 位存储器操作指令设置。

复位信号发生此寄存器置为 FFH。

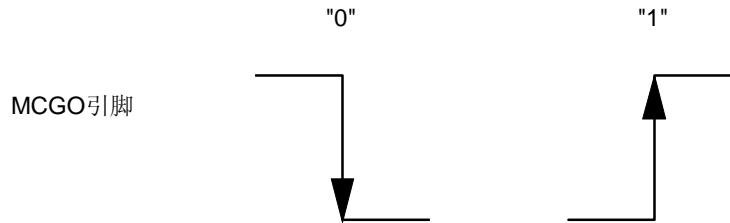
地址: FF23H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	1

PM3n	P3n 引脚 I/O 模式选择 (n = 1~4)
0	输出模式 (输出缓冲器开)
1	输入模式 (输出缓冲器关)

(2) 曼彻斯特编码输出的"0"和"1"的格式

在 78K0/LF3 中，曼彻斯特编码输出的"0"和"1"的格式如下。



(3) 发送操作

在曼彻斯特编码发生器模式中，数据按 1~8 位发送。数据位按照曼彻斯特编码格式发送。如果 MCG 控制寄存器 0 (MC0CTL0) 的第 7 位(MC0PWR) 设置为 1 则发送允许。

当发送暂停时输出值可通过 MC0CTL0 寄存器的第 0 位(MC0OLV) 设置。

设置发送数据位长度到 MCG 发送位计数指定寄存器 (MC0 位)后通过写入值到 MCG 发送缓冲器寄存器 (MC0TX) 发送开始。在发送开始时序，MC0 位的值发送到 3 位计数器，MC0TX 的数据发送到 8 位移位寄存器。当 MC0TX 值发送到 8 位移位寄存器发生一个中断请求信号(INTMCG)。8 位移位寄存器通过波特率时钟不断地移位，并且与波特率时钟异或的信号从 MCGO 引脚输出。

执行连续发送时，INTMCG 发生后下一个数据设置到 MC0 位 和 MC0TX。

要发送连续，必须在图 19-8 中(3) 和(4)期间内完成写如下个发送数据到 MC0TX。连续发送期间在写 MC0TX 前重写 MC0 位。

图 19-8. 曼彻斯特编码发生器 模式的时序 (LSB First) (1/4)

(1) 发送时序 (MC0OLV = 1, 总共发送位长度 = 8 位)

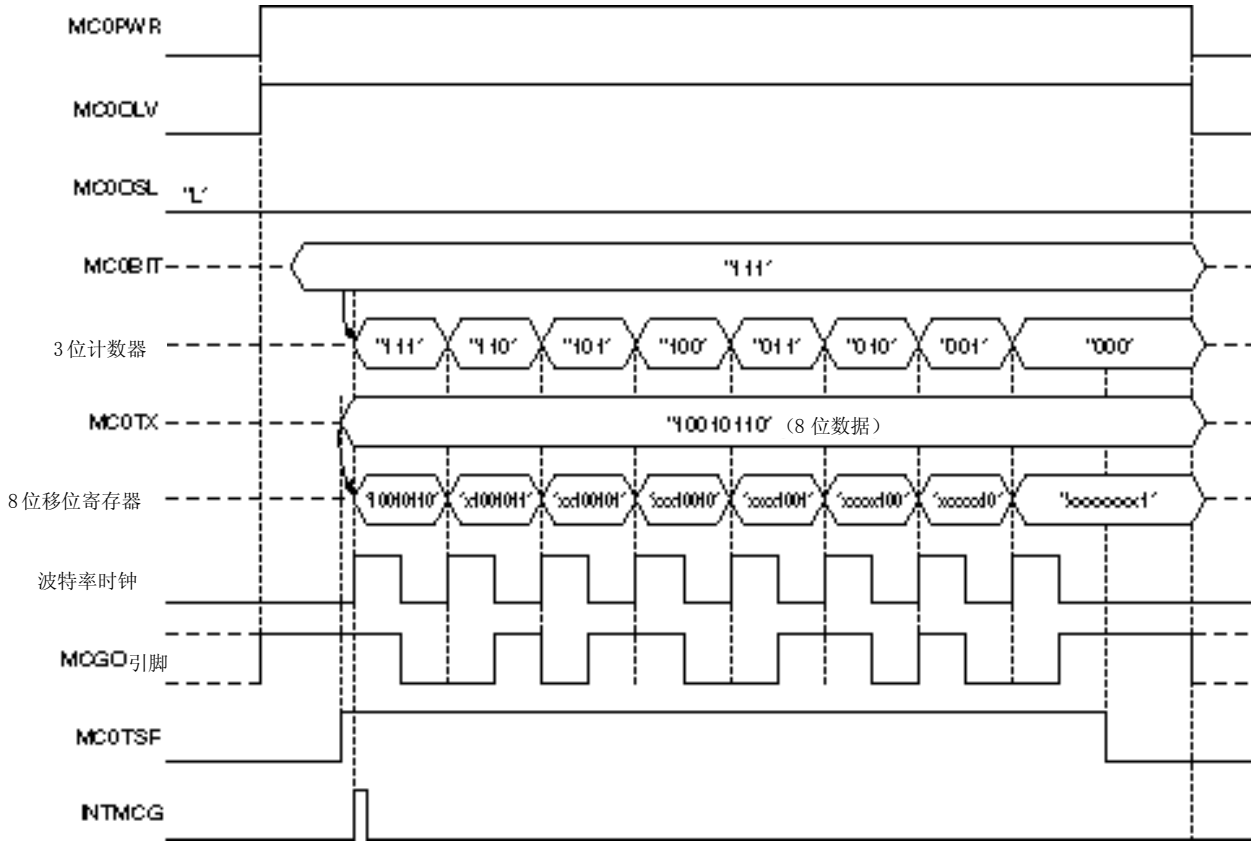


图 19-8. 曼彻斯特编码发生器模式的时序 (LSB First) (2/4)

(2) 发送时序 (MC0OLV = 0, 总共发送位长度 = 8 位)

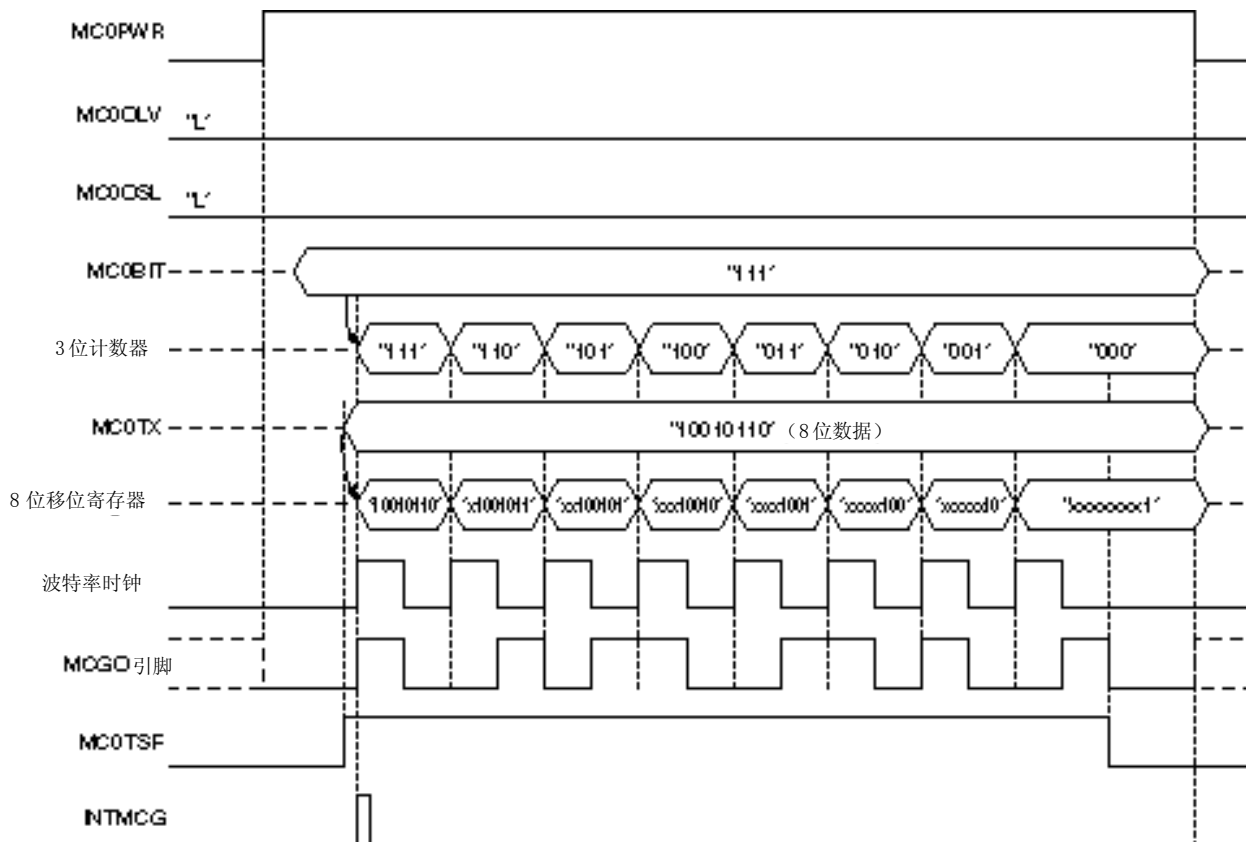
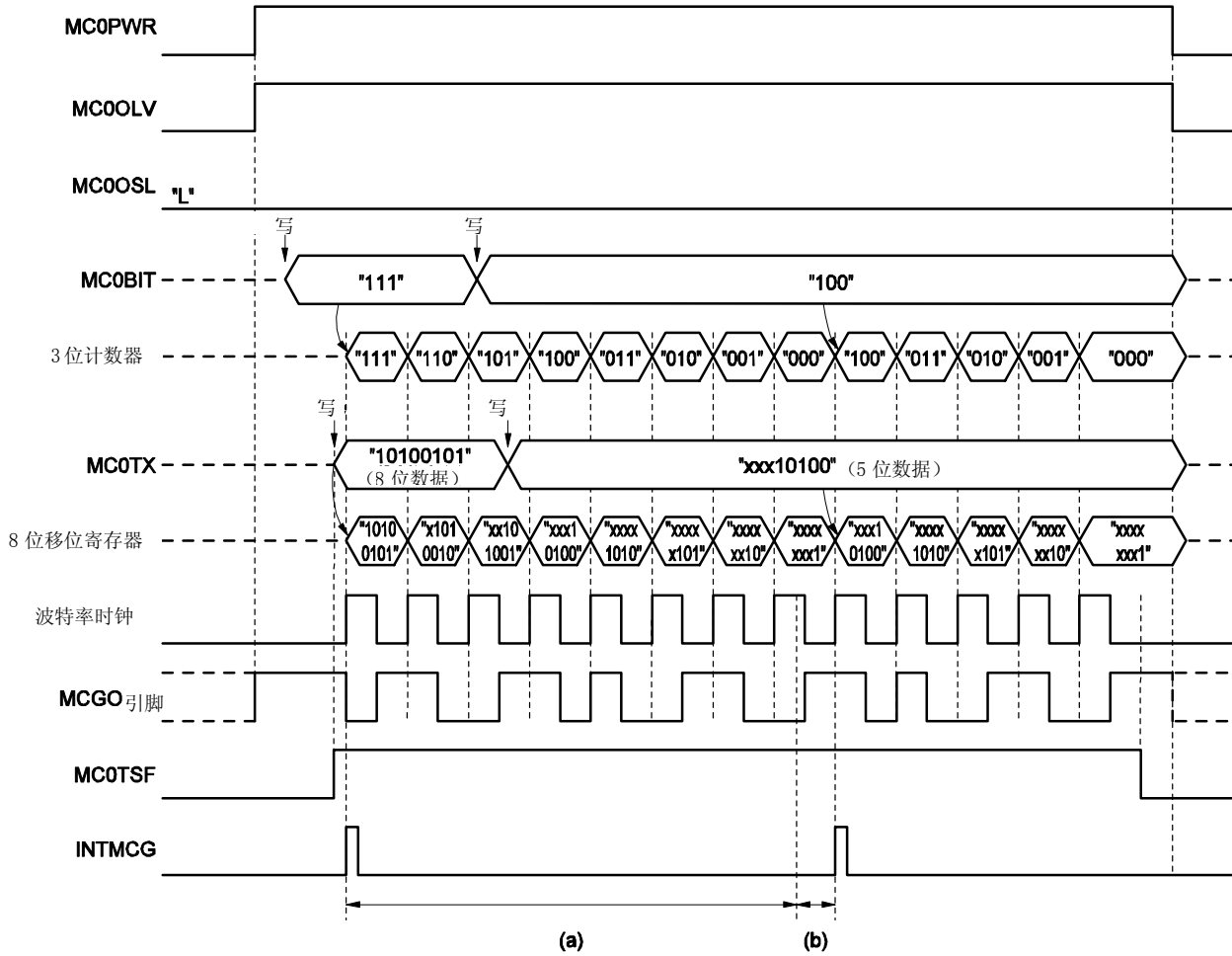


图 19-8. 曼彻斯特编码发生器模式的时序(LSB First) (3/4)

(3) 发送时序 (MC0OLV = 1, 总共发送位长度 = 13 位)



(a): “8-位发送期间” – (b)

(b): “波特率的 1/2 周期” + 发送数据后位前的 1 个时钟(f_{CLK})

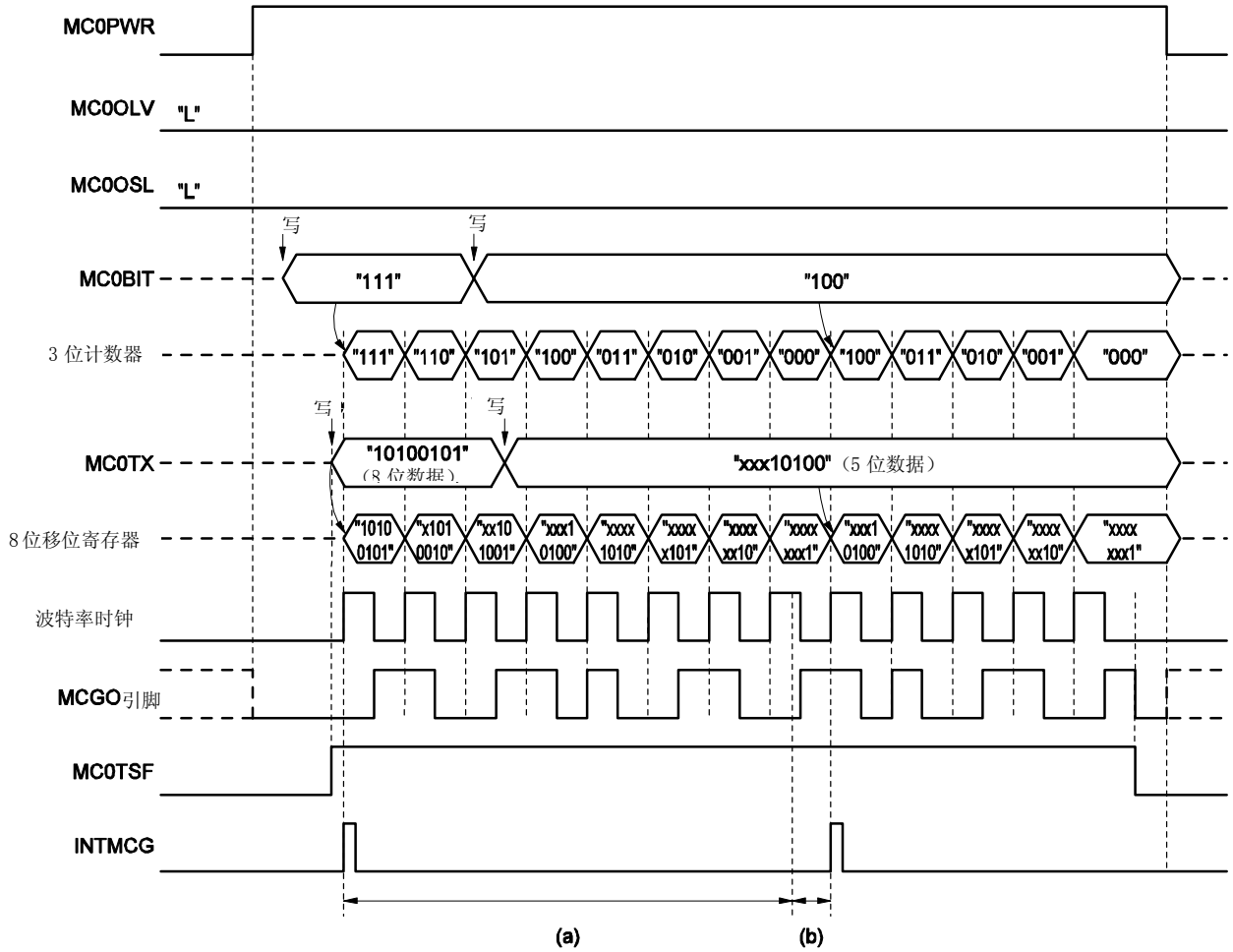
f_{CLK} : 工作基本时钟的频率由 MC0CTL1 寄存器的 MC0CKS2~MC0CKS0 位选择。

Last 位: 当 3 位计数器= 000 时的发送位

注意事项 连续发送期间写入下一个发送数据到 MC0TX 必须在周期 (a) 内完成。如果写下个发送数据到 MC0TX 在周期 (b)内执行, 上一位数据发送后 2 个时钟 (f_{CLK}) 开始发送下一个数据。
连续发送期间写入 MC0TX 前重写 MC0 位。

图 19-8. 曼彻斯特编码发生器模式的时序(LSB First) (4/4)

(4) 发送时序 (MC0OLV = 0, 总共发送位长度 = 13 位)



(a): “8-位发送期间” - (b)

(b): “波特率的 1/2 周期” + 发送数据后位前的 1 个时钟 (f_{CLK})

f_{CLK}: 工作基本时钟的频率由 MC0CTL1 寄存器的 MC0CKS2~MC0CKS0 位选择。

Last 位: 当 3 位计数器= 000 时的发送位

注意事项 连续发送期间写入下一个发送数据到 MC0TX 必须在周期 (a) 内完成。如果写下个发送数据到 MC0TX 在周期 (b) 内执行, 上一位数据发送后 2 个时钟 (f_{CLK}) 开始发送下一个数据。

连续发送期间写入 MC0TX 前重写 MC0 位。

19.4.3 位序列缓冲器模式

位序列缓冲器模式用于使用 MCGO 引脚输出序列信号。

(1) 寄存器描述

MCG 控制寄存器 0 (MC0CTL0), MCG 控制寄存器 1 (MC0CTL1), 和 MCG 控制寄存器 2 (MC0CTL2) 用于设置位序列缓冲器模式。

(a) MCG 控制寄存器 0 (MC0CTL0)

此寄存器可由 1 位或 8 位存储器操作指令设置。

复位信号发生此寄存器置为 10H。

地址: FF4CH 复位后: 10H R/W

符号	<7>	6	5	<4>	3	2	<1>	<0>
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	操作控制
0	操作停止
1	操作允许

MC0DIR	第一位设定
0	MSB
1	LSB

MC0OSL	数据格式
0	曼彻斯特编码
1	位序列数据

MC0OLV	发送暂停时的输出电平
0	低电平
1	高电平

注意事项 重写 MC0DIR, MC0OSL, 和 MC0OLV 位 (当 MC0PWR 位设置为 (1)时可同时由 8 位存储器操作指令重写这些位)前清零 MC0PWR 位。

(b) MCG 控制寄存器 1 (MC0CTL1)

此寄存器用语设置曼彻斯特编码发生器的基本时钟。

此寄存器可由 8 位存储器操作指令设置。

复位信号发生此寄存器置为 00H。

地址: FF4DH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
MC0CTL1	0	0	0	0	0	MC0CKS2	MC0CKS1	MC0CKS0

MC0CKS2	MC0CKS1	MC0CKS0	基本时钟(f _{xclk})选择
0	0	0	f _{PRS} (10 MHz)
0	0	1	f _{PRS} /2 (5 MHz)
0	1	0	f _{PRS} /2 ² (2.5 MHz)
0	1	1	f _{PRS} /2 ³ (1.25 MHz)
1	0	0	f _{PRS} /2 ⁴ (625 kHz)
1	0	1	f _{PRS} /2 ⁵ (312.5 kHz)
1	1	0	
1	1	1	

注意事项 在重写 MC0CKS2~MC0CKS0 位之前清零 MC0CTL0 寄存器的第 7 位(MC0PWR)。

- 备注**
1. f_{PRS}: 外围硬件时钟频率
 2. 括号内的数字工作在 f_{PRS} = 10 MHz。

(c) MCG 控制寄存器 2 (MC0CTL2)

此寄存器用于设置发送波特率。

此寄存器可由 8 位存储器操作指令设置。

复位信号发生此寄存器置为 1FH。

地址: FF4EH 复位后: 1FH R/W

符号	7	6	5	4	3	2	1	0
MC0CTL2	0	0	0	MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0

MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0	k	5 位计数器输出时钟选择
0	0	0	×	×	4	$f_{XCLK}/4$
0	0	1	0	0	4	$f_{XCLK}/4$
0	0	1	0	1	5	$f_{XCLK}/5$
0	0	1	1	0	6	$f_{XCLK}/6$
0	0	1	1	1	7	$f_{XCLK}/7$
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
1	1	1	0	0	28	$f_{XCLK}/28$
1	1	1	0	1	29	$f_{XCLK}/29$
1	1	1	1	0	30	$f_{XCLK}/30$
1	1	1	1	1	31	$f_{XCLK}/31$

注意事项 1. 在重写 MC0BRS4~MC0BRS0 位之前清零 MC0CTL0 寄存器的第 7 位(MC0PWR)。

2. 5 位计数器的输出时钟 除 2 得出的值为波特率值。

备注

1. f_{XCLK} : 基本时钟的频率由 MC0CTL1 寄存器的 MC0CKS2~MC0CKS0 位选择。

2. k: 由 MC0BRS4~MC0BRS0 位 设置的值(k = 4, 5, 6, 7, ..., 31)

3. ×: 不必考虑

<1> 波特率

波特率可由下面的公式计算。

• 波特率 = $\frac{f_{XCLK}}{2 \times k}$ [bps]

f_{XCLK} : 由 MC0CTL1 寄存器的 MC0CKS2~MC0CKS0 位 选择的基本时钟的频率。

k: 由 MC0CTL2 寄存器的 MC0BRS4~MC0BRS0 位 设置的值(k = 4, 5, 6, ..., 31)

<2> 波特率误差

波特率误差可由下面的公式计算。

$$\bullet \text{ 误差 (\%)} = \left[\frac{\text{实际波特率 (有误差的波特率)}}{\text{理想波特率 (正确的波特率)}} - 1 \right] \times 100 \text{ [\%]}$$

注意事项 在发送过程中必须保持波特率误差在接收方允许的误差范围内。

例: 基本时钟的频率 = 2.5 MHz = 2,500,000 Hz
 MCOCTL2 寄存器的 MC0BRS4~MC0BRS0 位的设置值 = 10000B (k = 16)
 目标波特率 = 76,800 bps

$$\begin{aligned} \text{波特率} &= 2.5 \text{ M} / (2 \times 16) \\ &= 2,500,000 / (2 \times 16) = 78125 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{误差} &= (78,125 / 76,800 - 1) \times 100 \\ &= 1.725 \text{ [\%]} \end{aligned}$$

<3> 波特率设置的示例

波特率 [bps]	f _{PRS} = 10.0 MHz				f _{PRS} = 8.38 MHz				f _{PRS} = 8.0 MHz				f _{PRS} = 6.0 MHz			
	MC0CKS2 ~ MC0CKS0	k	计数值	ERR [%]	MC0CKS2 ~ MC0CKS0	k	计数值	ERR [%]	MC0CKS2 ~ MC0CKS0	k	计数值	ERR [%]	MC0CKS2 ~ MC0CKS0	k	计数值	ERR [%]
4800	-	-	-	-	5, 6, or 7	27	4850	1.03	5, 6, or 7	26	4808	0.16	5, 6, or 7	20	4688	-2.34
9600	5, 6, or 7	16	9766	1.73	4	27	9699	1.03	5, 6, or 7	13	9615	0.16	4	20	9375	-2.34
19200	5	8	19531	1.73	3	27	19398	1.03	4	13	19231	0.16	4	10	19750	-2.34
31250	4	10	31250	0	2	17	30809	-1.41	4	8	31250	0	2	24	31250	0
38400	4	8	39063	1.73	2	27	38796	1.03	3	13	38462	0.16	2	20	37500	-2.34
56000	3	11	56819	1.46	2	19	55132	-1.55	3	9	55556	-0.79	1	27	55556	-0.79
62500	2	20	62500	0	2	17	61619	-1.41	3	8	62500	0	2	12	62500	0
76800	2	16	78125	1.73	1	27	77592	1.03	2	13	76923	0.16	2	10	75000	-2.34
115200	1	22	113636	-1.36	2	9	116389	1.03	1	17	117647	2.12	1	13	115385	0.16
125000	1	20	125000	0	1	17	123235	-1.41	1	16	125000	0	1	12	125000	0
153600	1	16	156250	1.73	2	7	149643	-2.58	1	13	153846	0.16	1	10	150000	-2.34
250000	1	10	250000	0	1	8	261975	4.75	1	8	250000	0	1	6	250000	0
					0	17	246471	-1.41								

备注 MC0CKS2~MC0CKS0: MCG 控制寄存器 1 (MC0CTL1) 的第 2~0 位(基本时钟(f_{CLK}))的设置
 k: 由 MCG 控制寄存器 2 (MC0CTL2) 的第 4~0 位 (MC0BRS4~MC0BRS0) 设置的值(k = 4, 5, 6, ..., 31)
 f_{PRS}: 外围硬件时钟频率
 ERR: 波特率误差

(d) 端口模式寄存器 3 (PM3)

此寄存器按位设置端口 3 输入/输出。

当 P32/TOH0/MCGO 引脚用于位序列数据输出时，将 PM32 清零并且 P32 输出锁存清零。

PM3 可由 1 位或 8 位存储器操作指令设置。

复位信号发生此寄存器置为 FFH。

地址: FF23H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	1

PM3n	P3n 引脚 I/O 模式选择 (n = 1~4)
0	输出模式 (输出缓冲器开)
1	输入模式 (输出缓冲器关)

(2) 发送操作

在位序列缓冲器模式中，数据按 1~8 位发送。如果 MCG 控制寄存器 0 (MC0CTL0) 的第 7 位(MC0PWR) 设置为 1 则发送允许。

当发送暂停时输出值可通过 MC0CTL0 寄存器的第 0 位(MC0OLV) 设置。

设置发送数据位长度到 MCG 发送位计数指定寄存器 (MC0位)后通过写入值到 MCG 发送缓冲器寄存器 (MC0TX) 发送开始。在发送开始时序，MC0 位的值发送到 3 位计数器，MC0TX 的数据发送到 8 位移位寄存器。当 MC0TX 值发送到 8 位移位寄存器发生一个中断请求信号(INTMCG)。8 位移位寄存器通过波特率时钟不断地移位，并且从 MCGO 引脚输出。

执行连续发送时，INTMCG 发生后下一个数据设置到 MC0 位和 MC0TX 。

要发送连续，必须在图 17-9 中(3) 和(4)期间内完成写如下个发送数据到 MC0TX。连续发送期间在写 MC0TX 前重写 MC0 位。

图 19-9. 位序列缓冲器模式的时序(LSB First) (1/4)

(1) 发送时序 (MC0OLV = 1, 总共发送位长度 = 8 位)

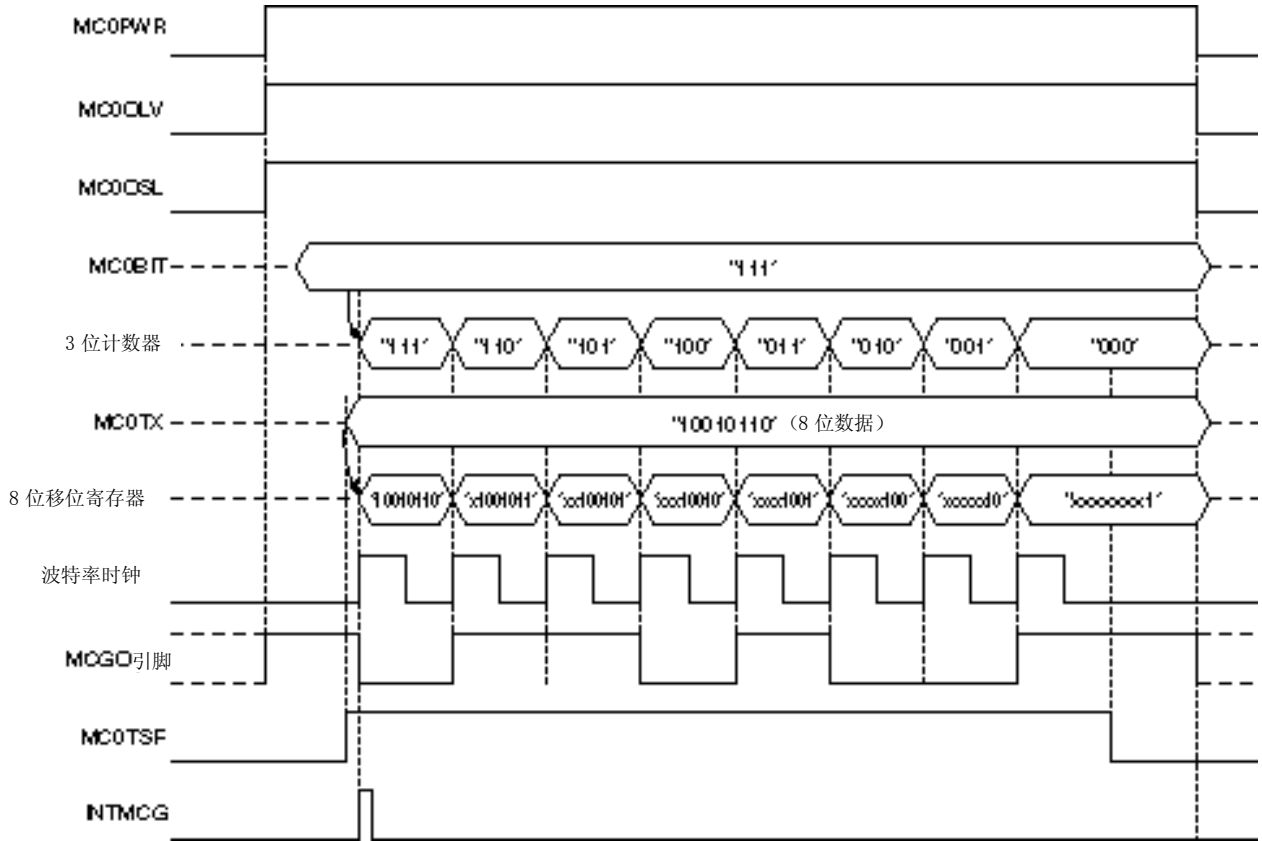


图 19-9. 位序列缓冲器模式的时序(LSB First) (2/4)

(2) 发送时序 (MC0OLV = 0, 总共发送位长度 = 8 位)

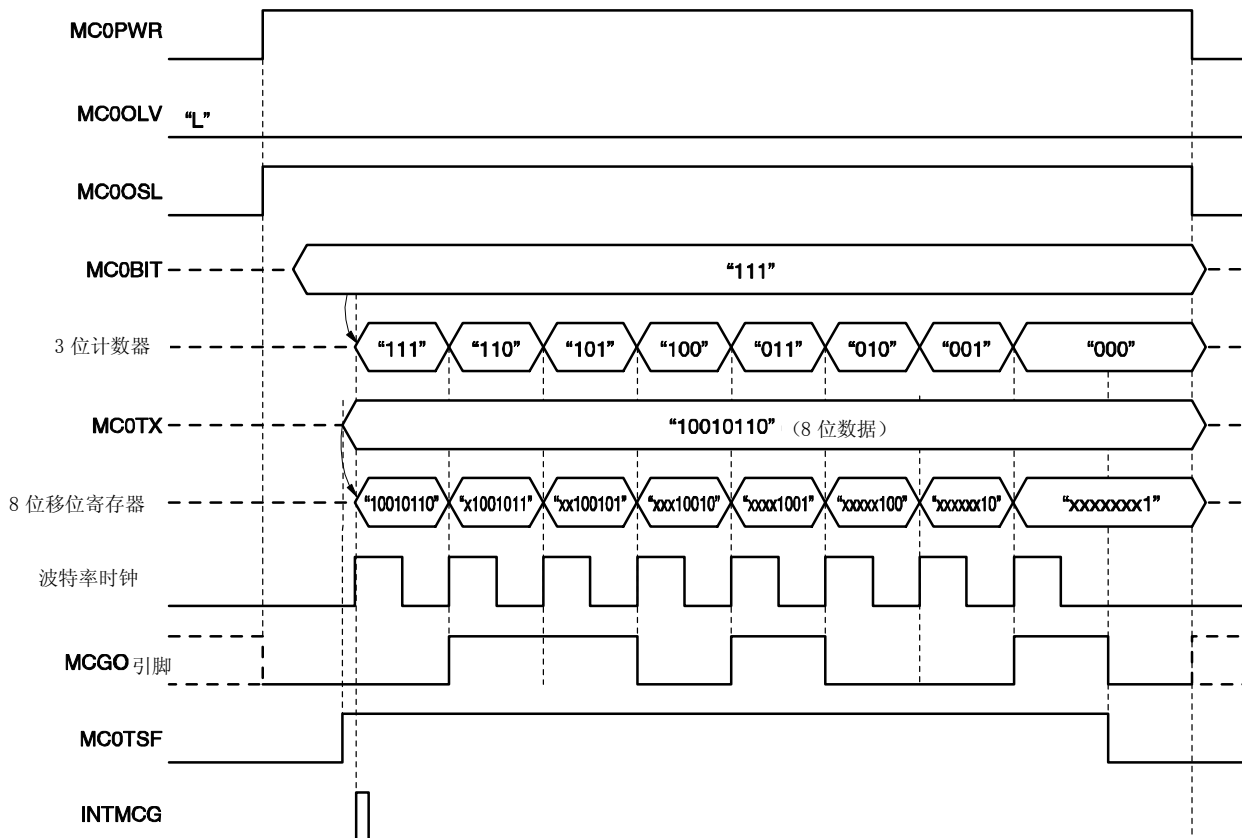
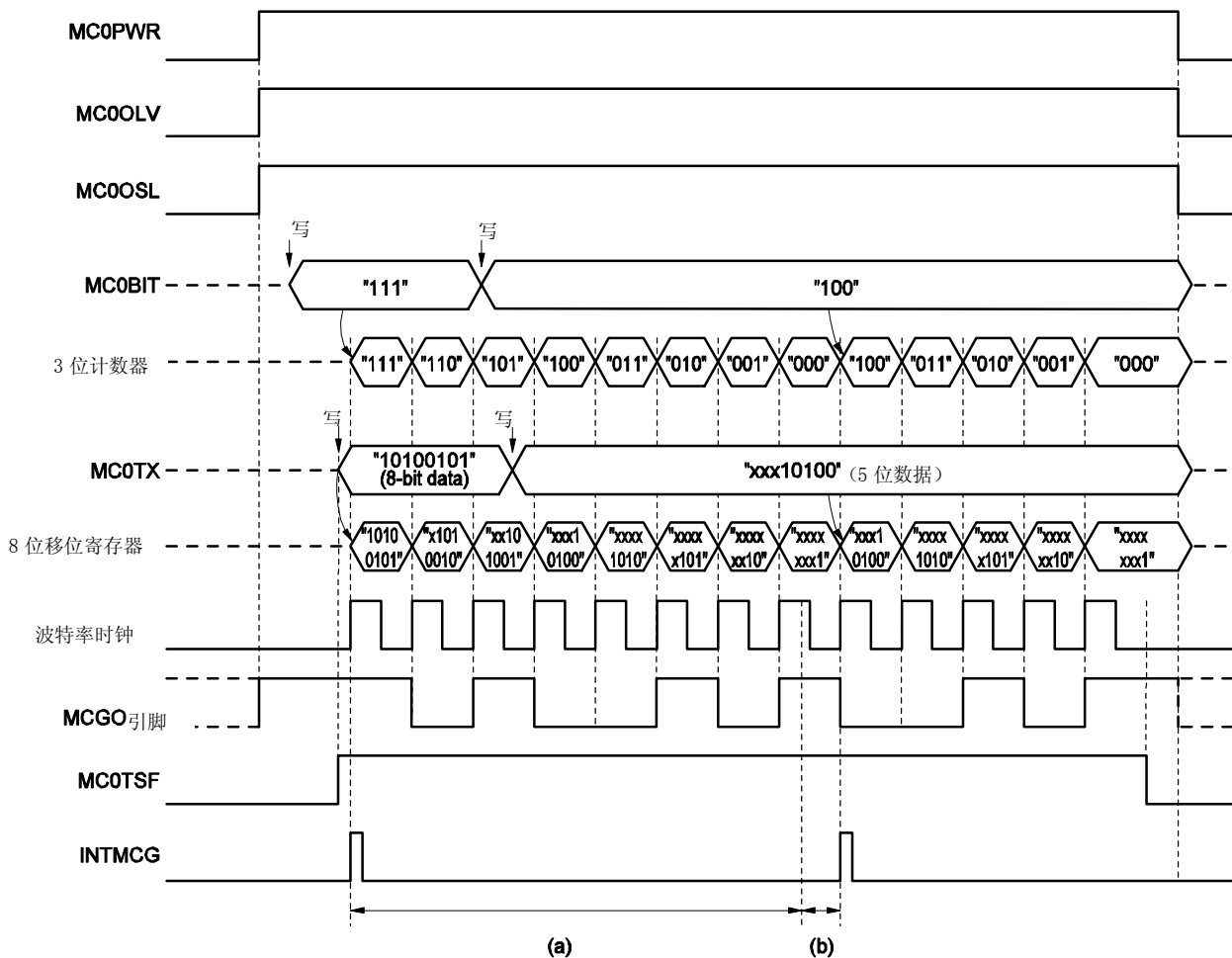


图 19-9. 位序列缓冲器模式的时序(LSB First) (3/4)

(3) 发送时序 (MC0OLV = 1, 总共发送位长度 = 13 位)



(a): "8位发送期间" - (b)

(b): "波特率的 1/2 周期" + 发送数据后位前的 1 个时钟 (f_{CLK})

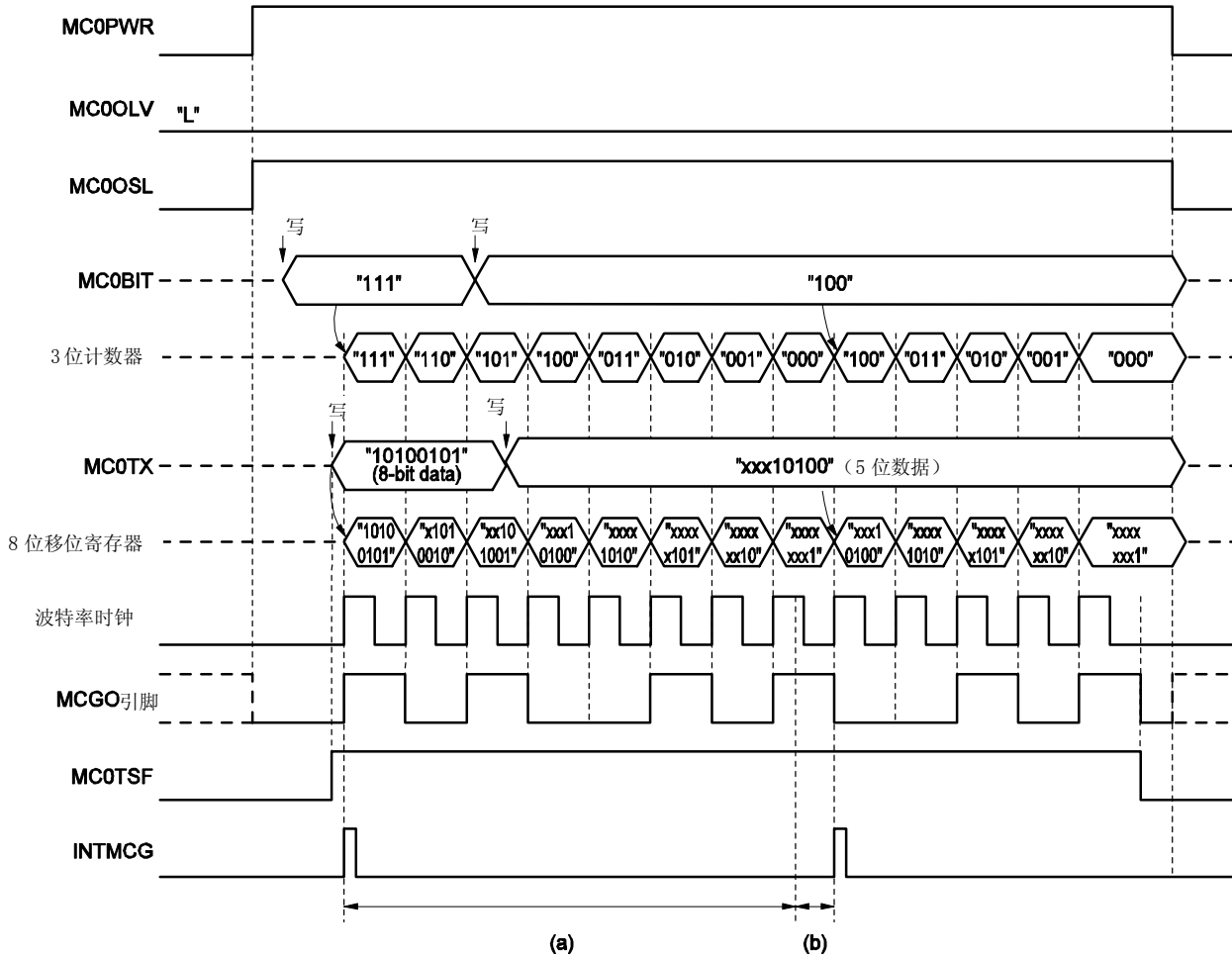
f_{CLK}: 通过 MC0CTL1 寄存器的 MC0CKS2~MC0CKS0 位选择的操作基本时钟的频率

Last 位: 当 3 位计数器= 000 时的发送位

注意事项 连续发送期间写入下一个发送数据到 MC0TX 必须在周期 (a) 内完成。如果写下个发送数据到 MC0TX 在周期 (b)内执行, 上一位数据发送后 2 个时钟 (f_{CLK}) 开始发送下一个数据。
连续发送期间写入 MC0TX 前重写 MC0 位。

图 19-9. 位序列缓冲器模式的时序 (LSB First) (4/4)

(4) 发送时序 (MC0OLV = 0, 总共发送位长度 = 13 位)



(a): “8 位发送期间” - (b)

(b): “波特率的 1/2 周期” + 发送数据后位前的 1 个时钟 (f_{CLK})

f_{CLK} : 通过 MC0CTL1 寄存器的 MC0CKS2~MC0CKS0 位选择的操作基本时钟的频率

Last 位: 当 3 位计数器 = 000 时的发送位

注意事项 连续发送期间写入下一个发送数据到 MC0TX 必须在周期 (a) 内完成。如果写下个发送数据到 MC0TX 在周期 (b) 内执行, 上一位数据发送后 2 个时钟 (f_{CLK}) 开始发送下一个数据。
连续发送期间写入 MC0TX 前重写 MC0 位。

第二十章 遥控器接收器

20.1 遥控器接收器功能

遥控器接收器使用如下遥控器模式。

- 类型 A 接收模式 ... 提供引导脉冲(半个时钟)

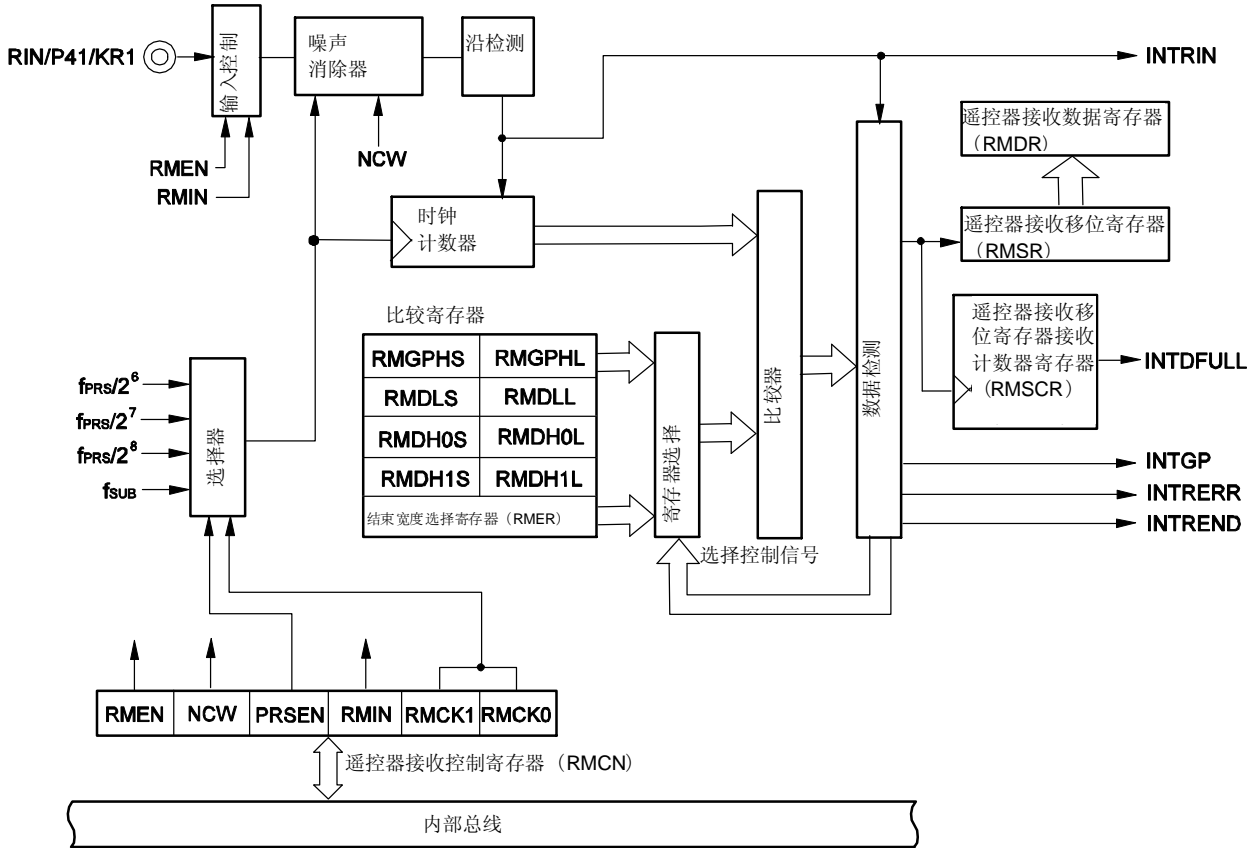
20.2 遥控器接收器配置

遥控器接收器包括如下硬件。

表 20-1. 遥控器接收器配置

项目	配置
寄存器	遥控器接收移位 寄存器 (RMSR) 遥控器接收数据寄存器 (RMDR) 遥控器移位 寄存器接收计数器寄存器 (RMSCR) 遥控器接收 GPHS 比较寄存器 (RMGPHS) 遥控器接收 GPHL 比较寄存器 (RMGPHL) 遥控器接收 DLS 比较寄存器 (RMDLS) 遥控器接收 DLL 比较寄存器 (RMDLL) 遥控器接收 DH0S 比较寄存器 (RMDH0S) 遥控器接收 DH0L 比较寄存器 (RMDH0L) 遥控器接收 DH1S 比较寄存器 (RMDH1S) 遥控器接收 DH1L 比较寄存器 (RMDH1L) 遥控器接收 结束宽度选择寄存器 (RMER)
控制寄存器	遥控器接收中断状态寄存器 (INTS) 遥控器接收中断状态清零寄存器 (INTC) 遥控器接收 控制 寄存器 (RMCN)

图 20-1. 遥控器接收器的框图



(1) 遥控器接收移位寄存器 (RMSR)

这是用于遥控器数据接收的 8 位寄存器。

数据首先被存储在第 7 位。每次存储新数据时，存储数据移位到低位。因此，最新数据存储在第 7 位，第一个数据存储在第 0 位。

RMS 由 8 位存储器操作指令读取。

复位信号发生设置 RMSR 为 00H。

同样，RMSR 在如下任一条件下被清零为 00H。

- 遥控器停止操作(RMEN = 0)。
- 检测到错误(INTRERR 发生)。
- INTDFULL 发生。
- INTREND发生后读 RMSR 。

注意事项 遥控器接收期间不能读取 RMSR。接收完成后读 RMSR。当读操作完成时，RMSR 清零。因此，值一旦读取，不能保证。

(2) 遥控器接收数据寄存器 (RMDR)

此寄存器保存遥控器接收数据。当遥控器接收移位寄存器 (RMSR)溢出时, RMSR 中的数据被发送到 RMDR。第 7 位存储最后的数据, 第 0 位存储第一个数据。数据从 RMSR 发送到 RMDR 的同时产生 INTDFULL。

RMDR 由 8 位存储器操作指令读取。

复位信号发生设置 RMDR 位 00H。

当遥控器操作禁止时 (RMEN = 0), RMDR 清零为 00H。

注意事项 当 INTDFULL 发生后, 在读取下一个接收到的 8 位数据前读 RMDR。如果下一个 INTDFULL 发生在读操作完成前, 则重写 RMDR。

(3) 遥控器移位 寄存器接收计数器寄存器 (RMSCR)

这是一个 3 为计数器寄存器, 用于在遥控器接收完成(INTREND 产生)时显示保存在遥控器接收移位寄存器 (RMSR)中有效位的序号。此寄存器的读取值允许位序号的确认, 即使接收到的数据不是 8 位的整数倍格式。

RMSCR 由 8 位存储器操作指令读取。

复位信号产生设置 RMSCR 为 00H。

在如下任一条件下被清零为 00H。

- 遥控器停止操作(RMEN = 0)。
- 错误检测(INTRERR 发生)。
- INTREND 发生后读 RMSR。

注意事项 当 INTREND 产生后, 在读 RMSR 前立即读 RMSCR。如果读取发生在其他时序, 则值不保证。

图 20-2. RMSR, RMSCR, 和 RMDR 寄存器的操作示例
当接收 1010101011111111B (16 位)时

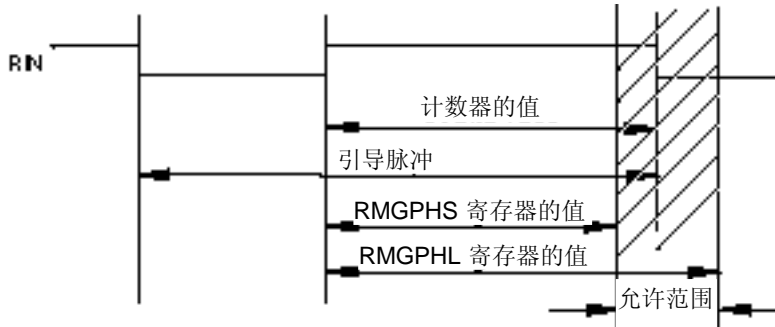
		RMSR								RMSCR	RMDR
		7	6	5	4	3	2	1	0		
复位后		0	0	0	0	0	0	0	0	00H	00000000B
接收 1 位		1	0	0	0	0	0	0	0	01H	00000000B
接收 2 位		0	1	0	0	0	0	0	0	02H	00000000B
接收 3 位		1	0	1	0	0	0	0	0	03H	00000000B
...	
接收 7 位		1	0	1	0	1	0	1	0	07H	00000000B
接收 8 位		0	1	0	1	0	1	0	1	00H	00000000B
↓		↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
RMDR 发送		0	0	0	0	0	0	0	0	00H	01010101B
接收 9 位		1	0	0	0	0	0	0	0	01H	01010101B
接收 10 位		1	1	0	0	0	0	0	0	02H	01010101B
...	
接收 16 位		1	1	1	1	1	1	1	1	00H	01010101B
↓		↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
RMDR 发送		0	0	0	0	0	0	0	0	00H	11111111B

(4) 遥控器接收 GPHS 比较寄存器 (RMGPHS)

此寄存器用于检测遥控器引导脉冲(短边)的高电平。
 RMGPHS 由 8 位存储器操作指令设置。
 复位信号产生设置 RMGPHS 为 00H。

(5) 遥控器接收 GPHL 比较寄存器 (RMGPHL)

此寄存器用于检测遥控器引导脉冲(长边)的高电平。
 RMGPHL 由 8 位存储器操作指令设置。
 复位信号产生设置 RMGPHL 为 00H。



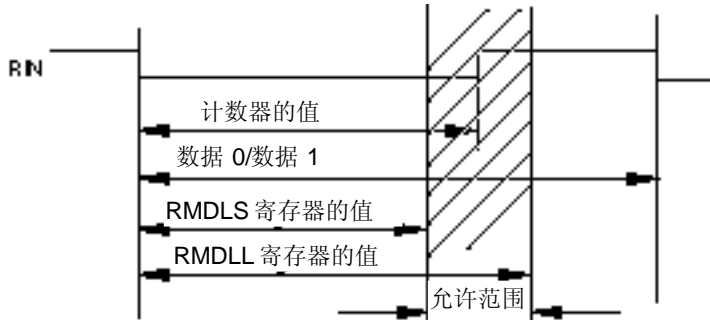
如果满足 $RMGPHS \leq \text{计数器的值} \leq RMGPHL$ ，即假设成功接收到引导脉冲的高电平。

(6) 遥控器 DLS 比较寄存器 (RMDLS)

此寄存器用于检测遥控器引导脉冲(短边)的低电平。
 RMDLS 由 8 位存储器操作指令设置。
 复位信号产生设置 RMDLS 位 00H。

(7) 遥控器接收 DLL 比较寄存器 (RMDLL)

此寄存器用于检测遥控器引导脉冲(长边)的低电平。
 RMDLL 由 8 位存储器操作指令设置。
 复位信号产生设置 RMDLL 为 00H。



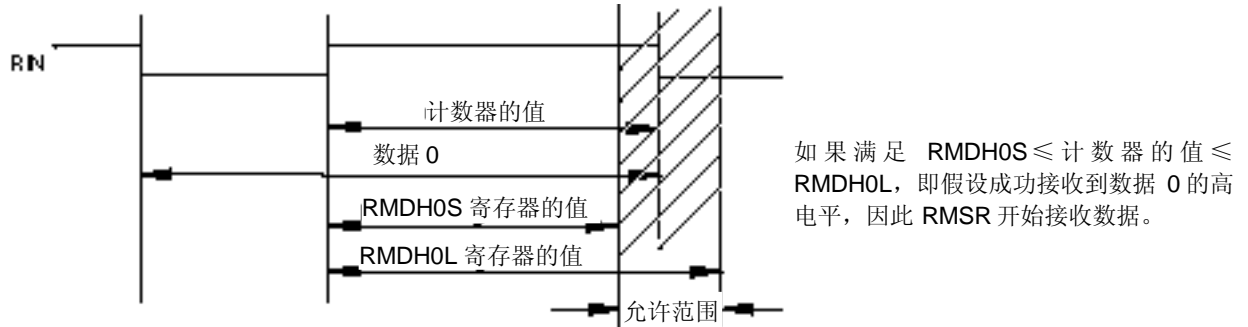
如果满足 $RMDLS \leq \text{计数器的值} \leq RMDLL$ ，即假设成功接收到数据 0 或数据 1 的低电平。

(8) 遥控器接收 DH0S 比较寄存器 (RMDH0S)

寄存器用于检测遥控器数据 0(短边)的高电平。
RMDH0S 由 8 位存储器操作指令设置。
复位信号产生设置 RMDH0S 为 00H。

(9) 遥控器接收 DH0L 比较寄存器 (RMDH0L)

寄存器用于检测遥控器数据 0(长边)的高电平。
RMDH0L 由 8 位存储器操作指令设置。
复位信号产生设置 RMDH0L 为 00H。

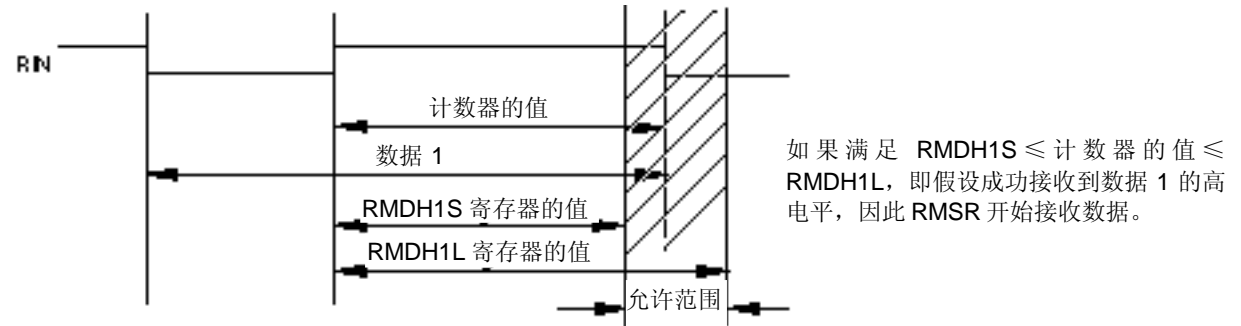


(10) 遥控器接收 DH1S 比较寄存器 (RMDH1S)

寄存器用于检测遥控器数据 1(短边)的高电平。
RMDH1S 由 8 位存储器操作指令设置。
复位信号产生设置 RMDH1S 为 00H。

(11) 遥控器接收 DH1L 比较寄存器 (RMDH1L)

寄存器用于检测遥控器数据 1(长边)的高电平。
RMDH1L 由 8 位存储器操作指令设置。
复位信号产生设置 RMDH1L 为 00H。

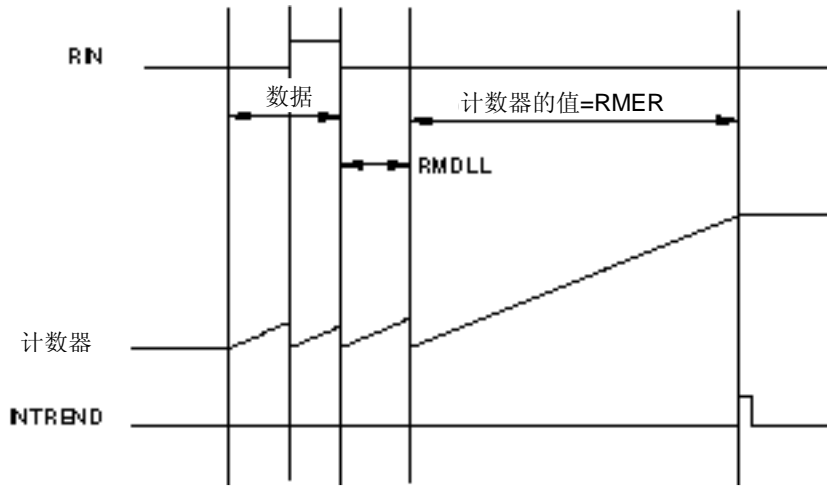


(12) 遥控器接收结束宽度选择寄存器 (RMER)

此寄存器决定输出 INTREND 信号的时序间隔。

RMER 由 8 位存储器操作指令设置。

复位信号产生设置 RMER 为 00H。



注意事项 对于 RMER 和所有遥控器接收比较寄存器(RMGPHS, RMGPHL, RMDLS, RMDLL, RMDH0S, RMDH0L, RMDH1S, 和 RMDH1L), 首先禁止遥控器接收(遥控器接收 控制 寄存器 (RMCN) = 0 的第 7 位(RMEN)), 然后改变此值。

20.3 控制遥控器接收器的寄存器

遥控器接收器由寄存器控制。

- 遥控器接收中断状态寄存器 (INTS)
- 遥控器接收中断状态清零寄存器 (INTC)
- 遥控器接收控制寄存器 (RMCN)

(1) 遥控器接收中断状态寄存器 (INTS)

此寄存器用于识别已经发生的遥控接收中断(INTRERR, INTGP, INTREND, INTDFULL)中的中断请求。

INTS 由 1 位或 8 位存储器操作指令设置。

复位信号产生设置 INTS 为 00H。

图 20-3. 遥控器接收中断状态寄存器 (INTS)的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
INTS	0	0	0	0	INTS DFULL	INTS REND	INTS GP	INTS RERR	FFF9H	00H	R

INTS DFULL	读取 8 位移位数据的中断请求
0	未产生读取 8 位移位数据的中断请求
1	产生读取 8 位移位数据的中断请求

INTS REND	数据接收完成中断请求
0	未产生数据接收完成中断请求
1	产生数据接收完成中断请求

INTS GP	引导脉冲检测中断
0	未产生引导脉冲检测中断
1	产生引导脉冲检测中断

INTS RERR	遥控接收错误中断请求
0	未产生遥控接收错误中断请求
1	产生遥控接收错误中断请求

注意事项 即使读取 INTS 寄存器也不会清零。使用 INTC 寄存器 清零 INTS 寄存器。

(2) 遥控器接收中断状态清零寄存器 (INTC)

此寄存器用于控制遥控器接收中断状态寄存器 (INTS).

INTC 由 1 位或 8 位存储器操作指令设置。

复位信号产生设置 INTC 位 00H。

图 20-4. 遥控器接收中断状态 Clear 寄存器 (INTC)的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
INTC	0	0	0	0	INTC DFULL	INTC REND	INTC GP	INTC RERR	FFFAH	00H	R/W

INTC DFULL	读取 8 位移位数据的中断指示位
0	INTSDFULL 位未改变
1	INTSDFULL 已改变

INTC REND	数据接收完成中断指示位
0	INTSREND 未改变
1	INTSREND 已改变

INTC GP	引导脉冲检测中断指示位
0	INTSGP 未改变
1	INTSGP 已改变

INTC RERR	遥控接收错误中断指示位
0	INTSRERR 未改变
1	INTSRERR 已改变

(3) 遥控器接收 控制 寄存器 (RMCN)

该寄存器用于允许/禁止遥控器接收和设定噪声消除宽度，时钟内部分频，输入转换信号和源时钟。

RMCN 由 1 位或 8 位存储器操作指令设置。

复位信号产生设置 RMCN 为 00H。

图 20-5. 遥控器接收 控制 寄存器 (RMCN)的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
RMCN	RMEN	NCW	PRSEN	RMIN	0	0	RMCK1	RMCK0	FF9AH	00H	R/W

RMEN	遥控器接收操作的控制
0	禁止遥控器接收
1	允许遥控器接收

NCW	噪声消除宽度控制信号
0	消除噪声小于 $1/f_{REMPRS}$
1	消除噪声小于 $2/f_{REMPRS}$

PRSEN	内部时钟分频控制信号
0	不分频($f_{REMPRS} = f_{REM}$)
1	2 分频($f_{REMPRS} = f_{REM}/2$)

RMIN	遥控器输入转换信号
0	正相位输入
1	反相位输入

RMCK1	RMCK0	选择遥控器计数器的源时钟 (f_{REM})
0	0	$f_{PRS}/2^6$ (156.25 kHz)
0	1	$f_{PRS}/2^7$ (78.125 kHz)
1	0	$f_{PRS}/2^8$ (39.063 kHz)
1	1	f_{SUB} (32.768 kHz)

- 注意事项**
1. 确保位 2 和位 3 恒为 0。
 2. 如果改变 NCW, PRSEN, RMIN, RMCK1 和 RMCK0 的值，首先要关闭遥控器接收 (RMEN = 0)。

- 备注**
1. f_{REM} : 遥控器计数器的源时钟 (通过位 0 和位 1 (RMCK0 和 RMCK1)选择)
 2. f_{REMPRS} : 遥控器接收器内部的操作时钟
 3. f_{PRS} : 外部硬件时钟频率
 4. f_{SUB} : 副系统时钟振荡频率
 5. 当 $f_{PRS} = 10\text{ MHz}$ 和 $f_{SUB} = 32.768\text{ kHz}$ 时，使用括号中的值。

20.4 遥控器接收器的操作

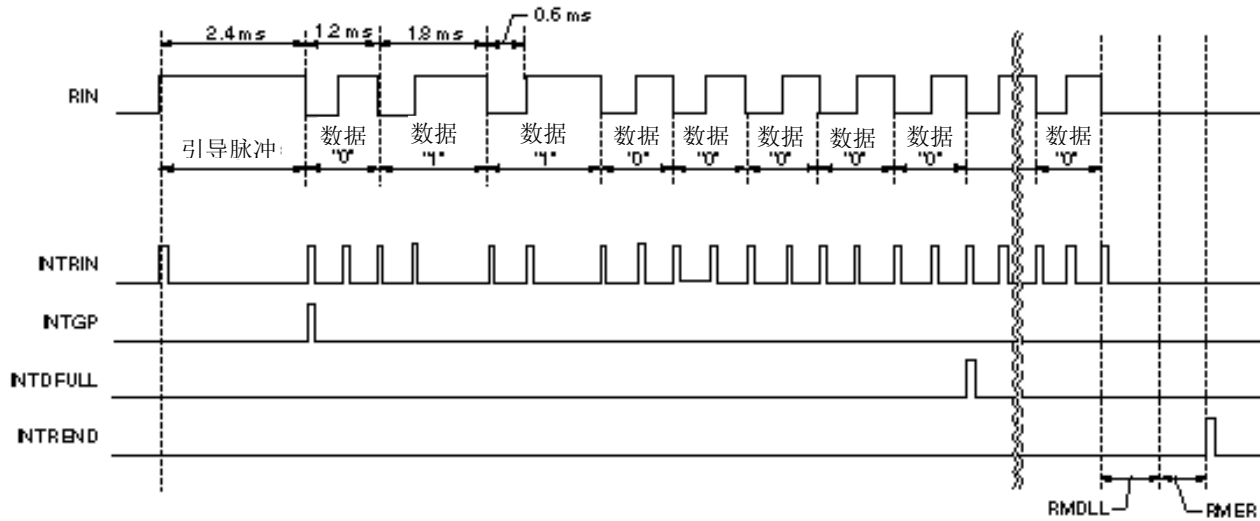
如下遥控器接收模式用于此遥控器接收器。

- 具有引导脉冲的类型 A 接收模式(半个时钟)

20.4.1 类型 A 接收模式的格式

图 20-6 所示为类型 A 的数据格式。

图 20-6. 类型 A 数据格式示例

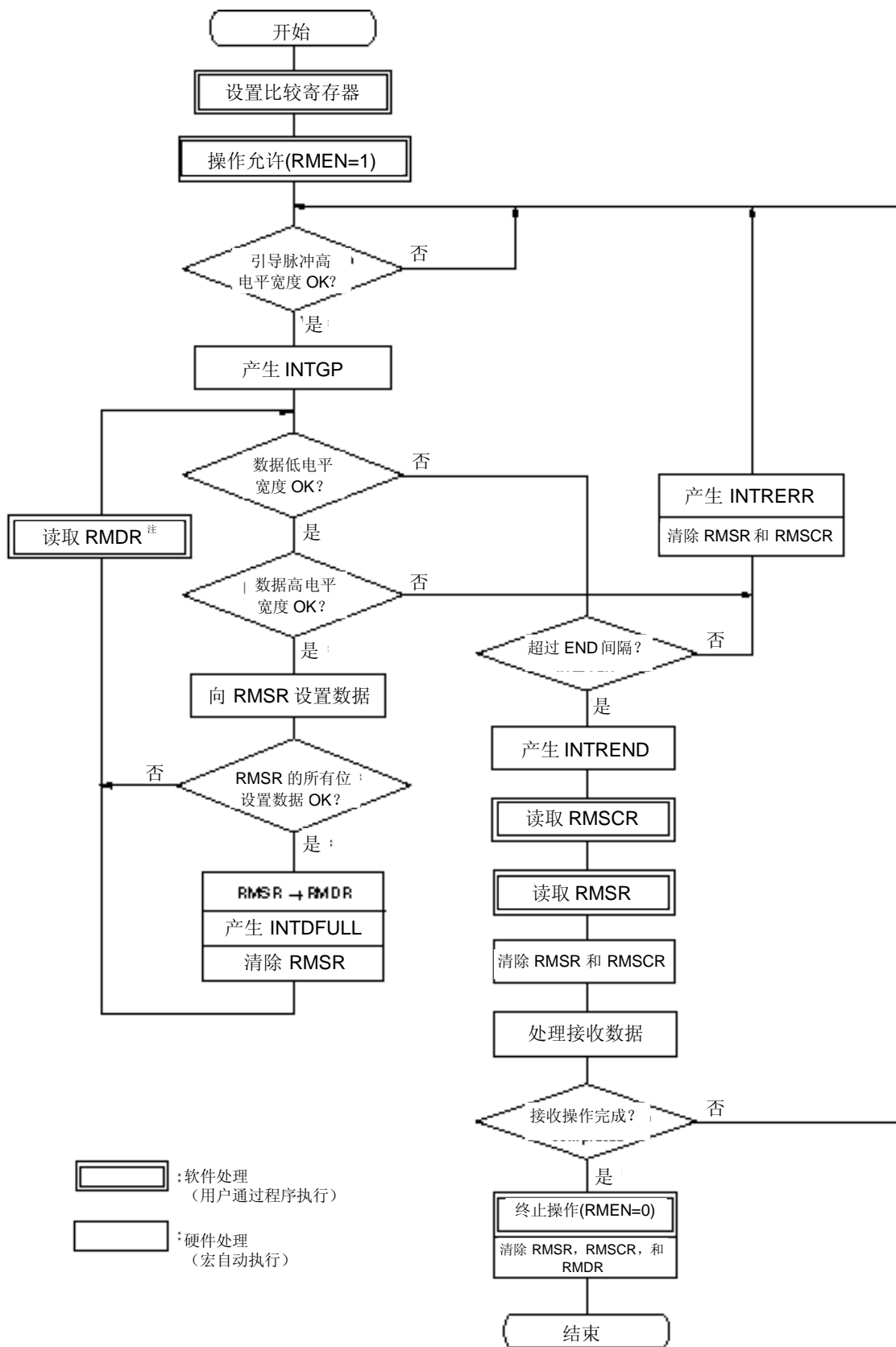


20.4.2 类型 A 接收模式的操作流程

图 20-7 所示操作流程。

- 注意事项**
1. INTRERR 产生时, RMSR 和 RMSCR 立即自动清零。
 2. 当数据设置到 RMSR 的所有位后, 如下操作自动执行。
 - 发送 RMSR 的值到 RMDR。
 - INTDFULL 产生。
 - RMSR 清零。
 在下一个数据设置到 RMSR 的所有位前必须读 RMDR。
 3. INTREND 产生后, 先读 RMSCR, 然后读 RMSR。
读取 RMSR 后, RMSCR 和 RMSR 自动清零。
如果 INTREND 发生, 直到读取 RMSR 后下一个数据才能接收。
 4. RMSR, RMSCR, 和 RMDR 同时清零, 操作结束 (RMEN = 0)。

图 20-7. 类型 A 接收模式的流程图

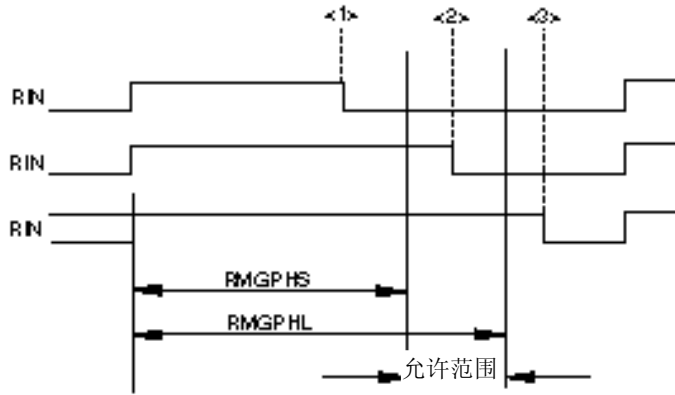


注 数据设置到 RMSR 所有位前读 RMDR。

20.4.3 时序

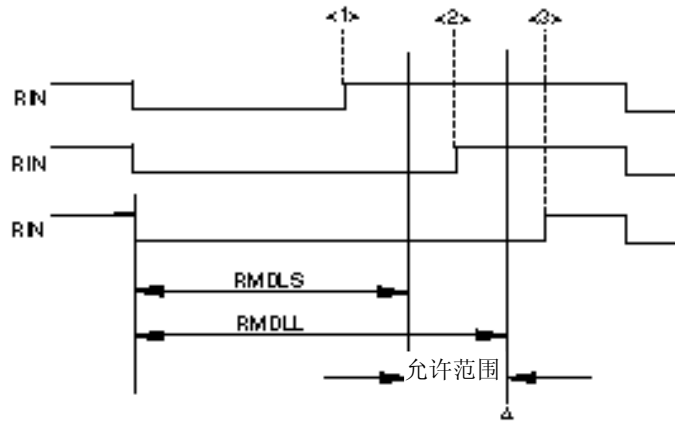
操作的变化取决于下列 RIN 输入波形的位置。

(1) 引导脉冲高电平宽度确定



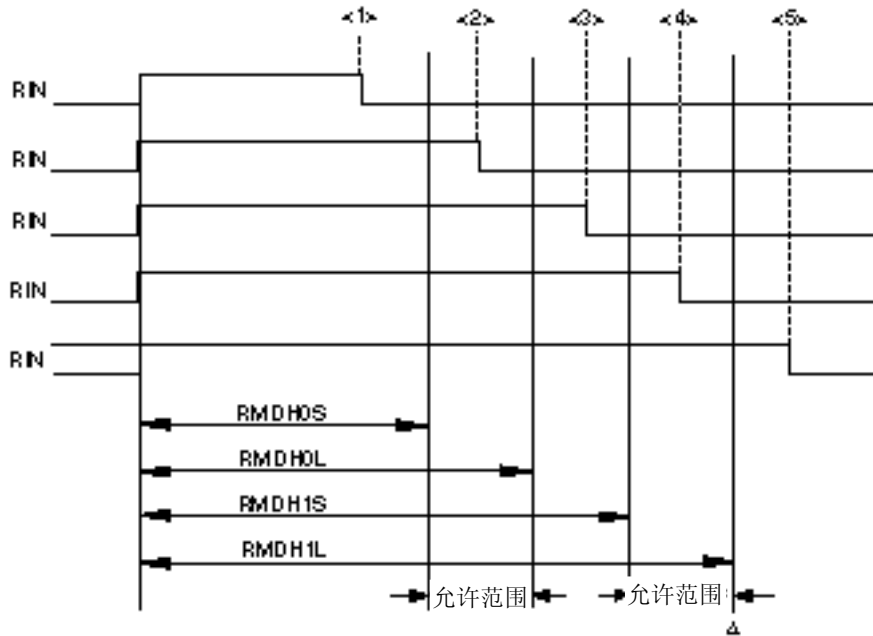
RMGPHS/RMGPHL/计数器之间的关系	波形位置	相关操作
计数器 < PMGPHS	<1>:短	从下一个上升沿开始测量引导脉冲高电平宽度。
PMGPHS ≤ 计数器 < PMGPHL	<2>:在范围内	INTGP 发生。 数据测量开始。
PMGPHL ≤ 计数器	<3>:长	从下一个上升沿开始测量引导脉冲高电平宽度。

(2) 数据低电平宽度确定。



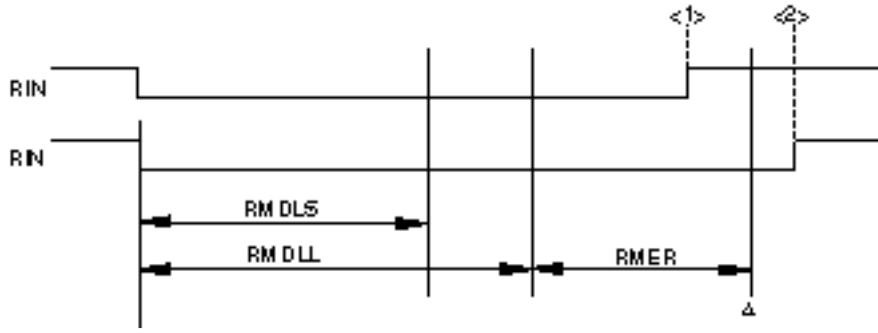
RMDLS/RMDLL/计数器之间的关系	波形位置	相关操作
计数器 < RMDLS	<1>:短	错误中断 INTRERR 发生。 开始测量引导脉冲高电平宽度。
RMDLS ≤ 计数器 < RMDLL	<2>:在范围内	开始测量数据高电平宽度。
RMDLL ≤ 计数器	<3>:长	从 Δ 点测量结束宽度。

(3) 数据高电平宽度确定



RMDH0S/RMDH0L/RMDH1S/RMDH1L/计数器之间的关系	波形的位置	相应操作
计数器 < RMDH0S	<1>: 短	产生错误中断 INTRERR。 从下一个上升沿开始测量引导脉冲高电平宽度。
RMDH0S ≤ 计数器 < RMDH0L	<2>: 在范围内	收到数据 0。 开始测量数据低电平宽度。
RMDH0L ≤ 计数器 < RMDH1S	<3>: 超出范围	产生错误中断 INTRERR。 从下一个上升沿开始测量引导脉冲高电平宽度。
RMDH1S ≤ 计数器 < RMDH1L	<4>: 在范围内	收到数据 1。 开始测量数据低电平宽度。
RMDH1L ≤ 计数器	<5>: 长	在Δ点产生错误中断 INTRERR。 从下一个上升沿开始测量引导脉冲高电平宽度。

(4) 结束宽度确定



RMER/计数器之间的关系	波形位置	相应操作
计数器 < RMER	<1>: 短	产生错误中断 INTRERR。 从下一个上升沿开始测量引导脉冲高电平宽度。
RMER ≤ 计数器	<2>: 长	在Δ点产生 INTREND。 停止通过电路接收直到 RMSR 被读取。

20.4.4 比较寄存器设定

遥控器接收器有如下 9 种类型比较寄存器。

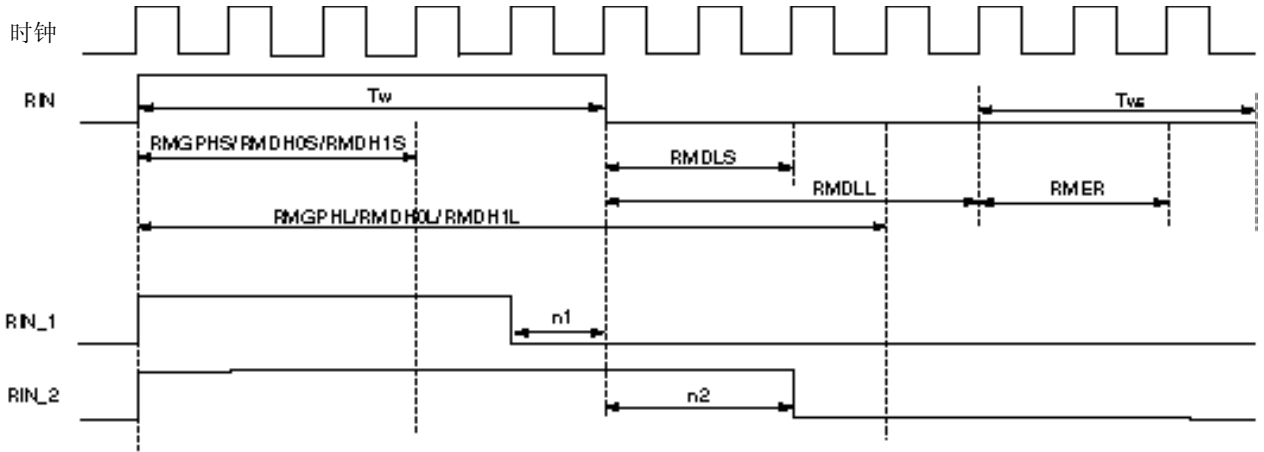
- 遥控器接收 GPHS 比较寄存器 (RMGPHS)
- 遥控器接收 GPLH 比较寄存器 (RMGPLH)
- 遥控器接收 DLS 比较寄存器 (RMDLS)
- 遥控器接收 DLL 比较寄存器 (RMDLL)
- 遥控器接收 DH0S 比较寄存器 (RMDH0S)
- 遥控器接收 DH0L 比较寄存器 (RMDH0L)
- 遥控器接收 DH1S 比较寄存器 (RMDH1S)
- 遥控器接收 DH1L 比较寄存器 (RMDH1L)
- 遥控器接收结束宽度选择寄存器 (RMER)

使用下面的公式 (1)到(3)设置每一个比较寄存器的值。

需要一个较大的容差，这样即使 RIN 引脚的输入波形 RIN_1 或 RIN_2(如图 20-8 所示)受到噪声的影响，也能确保正常的接收操作。

- 注意事项**
1. 只有在遥控器接收停止时(RMEN = 0)才能设置每一个比较寄存器。
 2. 按以下三个条件设置。
 - RMGPHS < RMGPLH
 - RMDLS < RMDLL
 - RMDH0S < RMDH0L ≤ RMDH1S < RMDH1L

图 20-8. 设置举例 (n1 = 1, n2 = 2)



(1) RMGPHS, RMDLS, RMDH0S 和 RMDH1S 的公式

$$\left(\frac{T_w \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 2 - n_1$$

(2) RMGPHL, RMDLL, RMDH0L 和 RMDH1L 的公式

$$\left(\frac{T_w \times (1 + a/100)}{1/f_{REMPRS}} \right)_{INT} + 1 + n_2$$

(3) RMER 的公式

$$\left(\frac{T_{WE} \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 1$$

- T_w : RIN 输入波形的宽度
- $1/f_{REMPRS}$: 在 PRSEN 分频后内部操作时钟周期的宽度
- a : 容差 (%)
- []_{INT}: 将括号中公式计算的值四舍五入。
- n_1, n_2 : 有噪声引起的波形变化^{注1}
- T_{WE} : RIN 输入的开始宽度^{注2}

- 注 1. 按照用户系统说明设置 n_1 和 n_2 的值。
- 2. 在 RMDLL 之后计算的结束宽度。
在最后数据接收完成后实际需要的低电平的宽度，如下所示：
(RMDLL + 1 + RMER + 1) × (由 PRSEN 控制的分频后的内部操作时钟周期的宽度)

20.4.5 错误中断产生时序

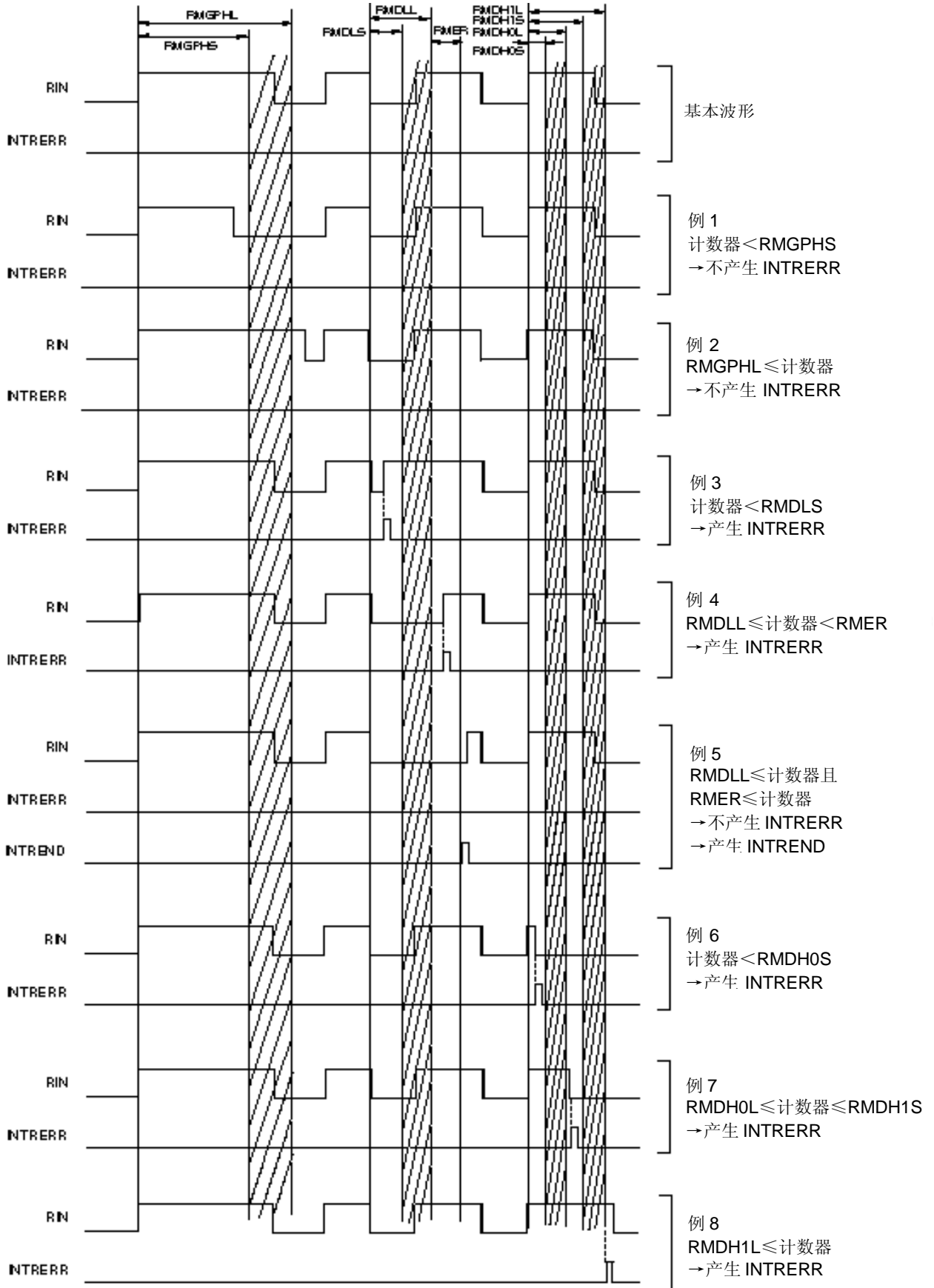
在正常的检测到引导脉冲后，满足以下任何条件都会产生 INTRERR 信号。

- 计数器 $<$ RIN 上升沿时的 RMDLS
- $RMDLL \leq$ 计数器和 RMDLL 后的计数器 $<$ RIN 上升沿时的 RMER
- 计数器 $<$ RIN 下降沿时的 RMDH0S
- $RMDH0L \leq$ 计数器 $<$ RIN 下降沿时的 RMDH1S
- 寄存器改变时 $RMDH1L \leq$ RIN 处于高电平时的计数器

只有在检测到引导脉冲后才会产生 INTRERR 信号。

一旦产生了 INTRERR 信号，它将不会再次产生除非检测到下一个引导脉冲。INTRERR 信号的产生时序如图 20-9 所示。

图 20-9. INTRERR 信号产生时序



20.4.6 噪声消除

遥控器接收器提供将外部输入信号噪声消除后提供给 RIN 引脚的功能。

通过设置遥控接收控制寄存器(RMCN)的位 5(PRSEN)和位 6(NCW)可以确定消除噪声的宽度，如表 20-2 所示。

表 20-2. 噪声消除宽度

PRSEN 分频控制信号	NCW 噪声消除宽度信号	在 PRSEN 控制的分频后的内部操作时钟周期($1/f_{REMPRS}$)	消除噪声宽度
0	0	$1/f_{REM}$	小于 $1/f_{REM}$
0	1	$1/f_{REM}$	小于 $2/f_{REM}$
1	0	$2/f_{REM}$	小于 $2/f_{REM}$
1	1	$2/f_{REM}$	小于 $4/f_{REM}$

备注 f_{REM} : 遥控器计数器的源时钟

噪声消除操作是通过使用 PRSEN 控制分频后的内部操作时钟实现的。

然后，在从 RIN 引脚输入的外部信号与时钟同步后，

如果 NCW = 0，在电路中采样执行两次后的信号作为 RIN 输入处理。

如果 NCW = 1，在电路中采样执行三次后的信号作为 RIN 输入处理。

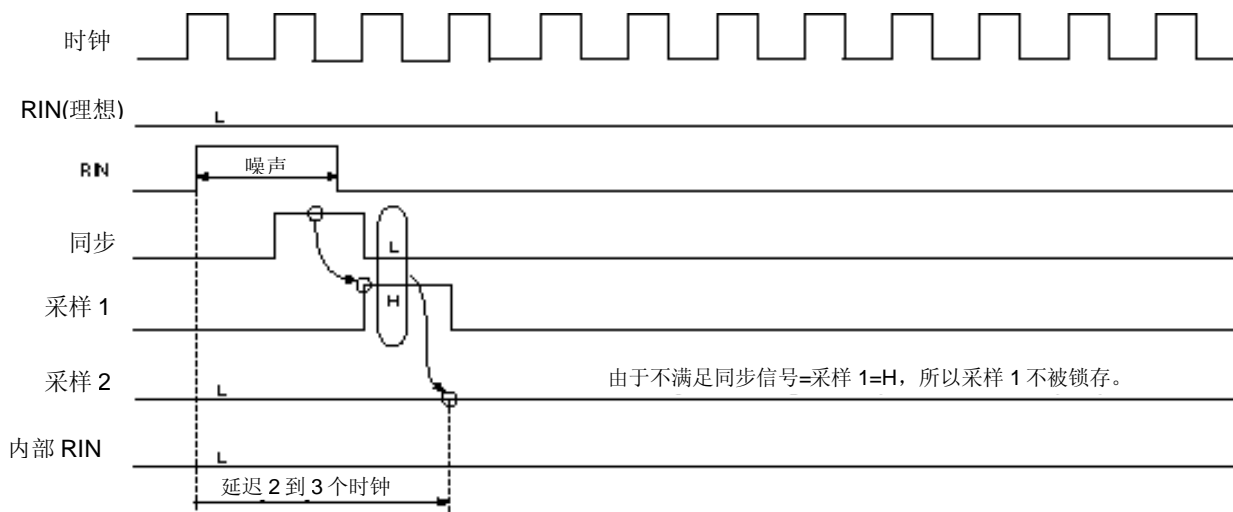
噪声消除操作的流程如下所示。

- <1> 选择是否通过 PRSEN 实现内部操作时钟的分频。
 PRSEN = 0: 不分频($f_{REMPRS} = f_{REM}$)
 PRSEN = 1: 分频 ($f_{REMPRS} = f_{REM}/2$)
- <2> 将 RIN 引脚的外部输入信号与内部操作时钟同步。
- <3> 第一次产生信号(采样 1)采样同步的信号。
 (该信号比同步的信号晚一个时钟。)
- <4> 第二次产生信号(采样 2)采样同步的信号和采样 1。
 (当同步的信号 = samp1 = H, 采样 1 被锁存。)
- <5> 第二次产生信号(采样 3)采样同步的信号和采样 2。
 (当同步的信号 = samp2 = H, 采样 2 被锁存。)
- <6> 使用 NCW 选择电路中 RIN 输入的信号。
 NCW = 0: 采样 2 作为电路中 RIN 引脚的输入处理。
 NCW = 1: 采样 3 作为电路中 RIN 引脚的输入处理。

图 20-10 显示噪声消除操作的示例。

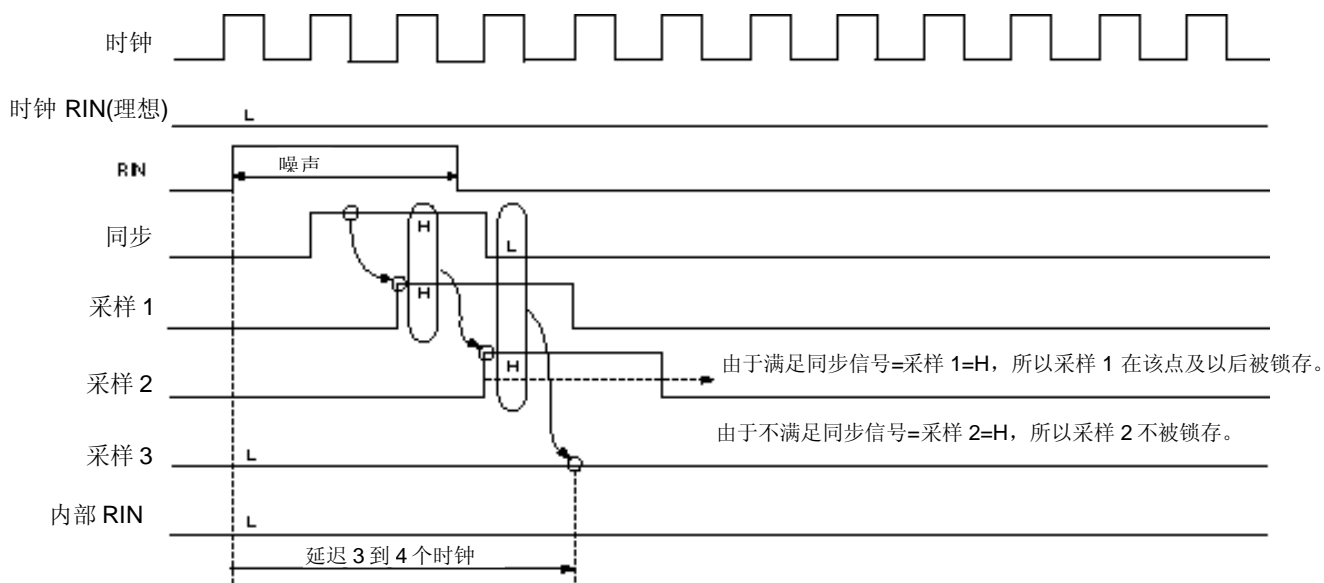
图 20-10. 噪声消除操作示例 (1/2)

(a) 1 时钟噪声消除 (PRSEN = 0, NCW = 0)



备注 内部 RIN 是一个同步并执行两次采样后的信号，所以要比实际从 RIN 引脚输入的外部信号晚 2 到 3 个时钟。

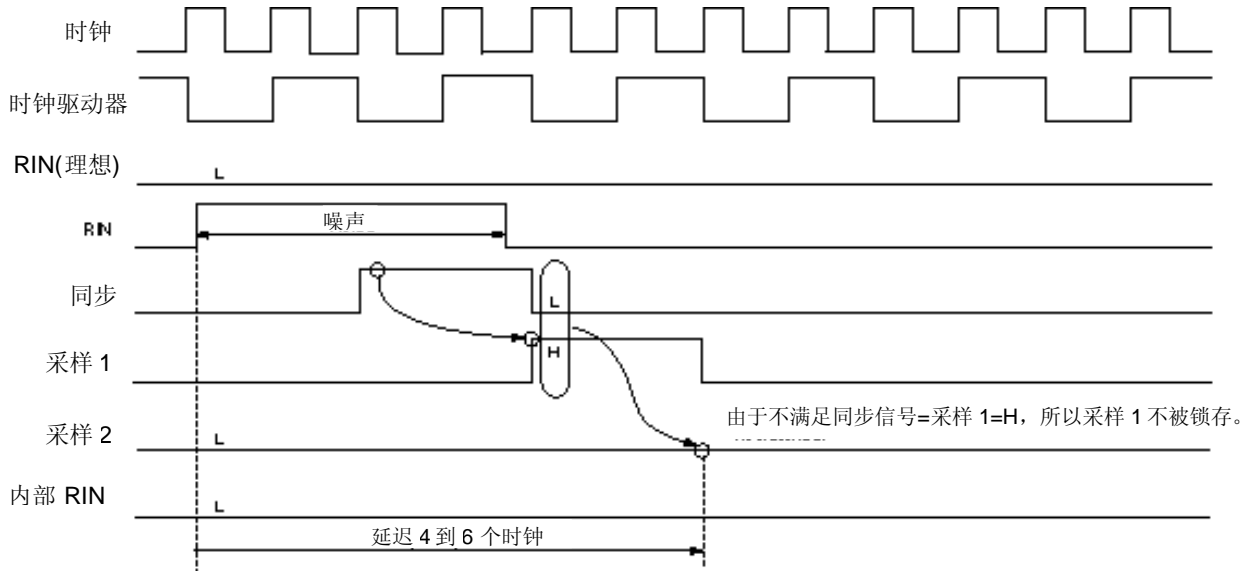
(b) 2 时钟噪声消除 (PRSEN = 0, NCW = 1)



备注 内部 RIN 是一个同步并执行三次采样后的信号，所以要比实际从 RIN 引脚输入的外部信号晚 3 到 4 个时钟。

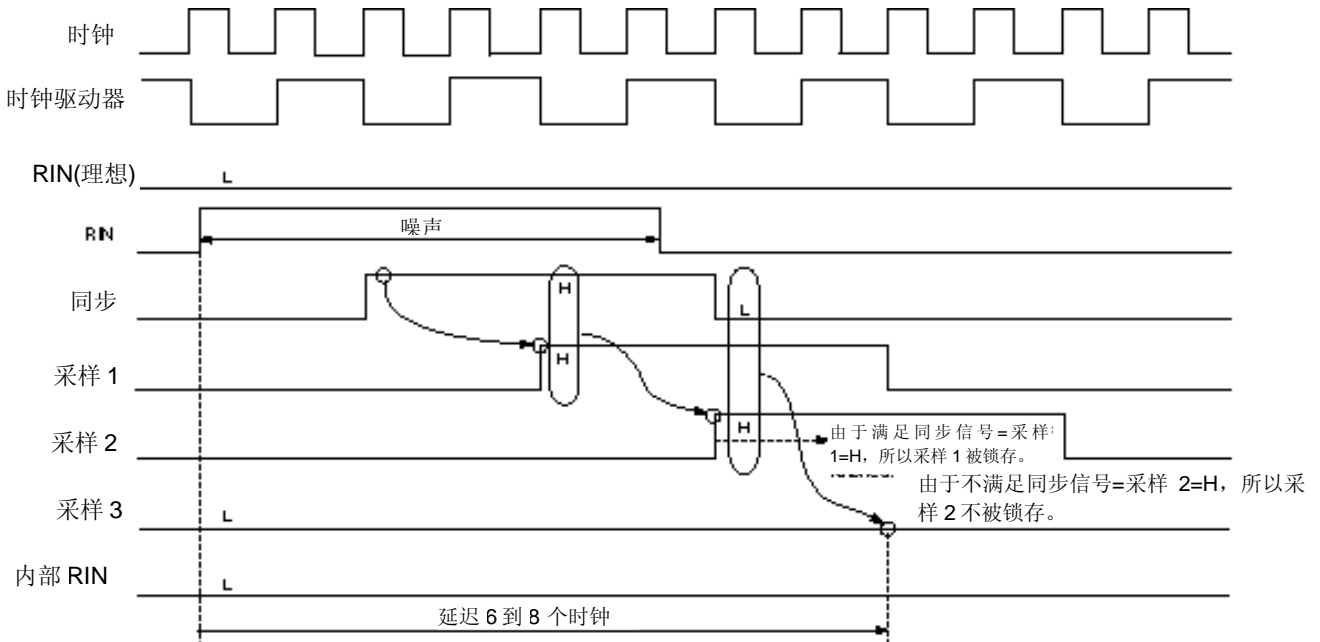
图 20-10. 噪声消除操作示例(2/2)

(c) 2 时钟噪声消除 (PRSEN = 1, NCW = 0)



备注 内部 RIN 是一个同步并执行两次采样后的信号，所以要比实际从 RIN 引脚输入的外部信号晚 4 到 6 个时钟。

(d) 4 时钟噪声消除 (PRSEN = 1, NCW = 1)



备注 内部 RIN 是一个同步并执行三次采样后的信号，所以要比实际从 RIN 引脚输入的外部信号晚 6 到 8 个时钟。

21.1 中断功能的类型

可分为以下两种类型。

(1) 可屏蔽中断

这类中断可进行屏蔽控制。通过设置优先级指定标志寄存器(PR0L, PR0H, PR1L, PR1H)将可屏蔽中断分为高优先级中断组和低优先级中断组。

支持中断嵌套，即在低优先级的中断服务子程序中可以响应高优先级的中断请求。如果同时产生两个或两个以上具有相同优先级的中断请求，则根据向量中断服务的优先级进行处理。优先级顺序，请参见表 21-1。产生一个退出待机信号，并退出 STOP 和 HALT 模式。

可屏蔽中断包括外部中断请求和内部中断请求。

- μ PD78F047x
外部: 7, 内部: 20
- μ PD78F048x
外部: 7, 内部: 21
- μ PD78F049x
外部: 7, 内部: 22

(2) 软件中断

这是通过执行 BRK 指令产生的一类向量中断。即使禁止中断时也可以响应这类中断。软件中断不受中断优先级控制。

21.2 中断源及配置

μ PD78F047x 共有 28 个中断源， μ PD78F048x 共有 29 个中断源， μ PD78F049x 共有 30 个中断源，包括可屏蔽的中断和软件中断。另外，还具有 4 种复位源(参见表 21-1)。

表 21-1. 中断源列表(1/2)

中断类型	默认 优先级 ^{注1}	中断源		内部/ 外部	向量表 地址	基本配置 类型 ^{注2}
		名称	触发器			
可屏蔽的	0	INTLVI	低电压检测 ^{注3}	内部	0004H	(A)
	1	INTP0	引脚输入脉冲沿检测	外部	0006H	(B)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTSRE6	UART6 产生接收错误	内部	0012H	(A)
	7	INTSR6	UART6 接收结束		0014H	
	8	INTST6	UART6 发送结束		0016H	
	9	INTCSI10/ INTST0	CSI10 通信结束/ UART0 发送结束		0018H	
	10	INTTMH1	TMH1 与 CMP01 相等 (指定比较寄存器)		001AH	
	11	INTTMH0	TMH0 与 CMP00 相等 (指定比较寄存器)		001CH	
	12	INTTM50	TM50 与 CR50 相等 (指定比较寄存器)		001EH	
	13	INTTM000	TM00 与 CR000 相等 (指定比较寄存器), TI010 引脚有效沿检测 (指定捕捉寄存器)		0021H	
	14	INTTM010	TM00 与 CR010 相等 (指定比较寄存器), TI000 引脚有效沿检测 (指定捕捉寄存器)		0022H	
	15	INTAD ^{注5}	10-位逐次逼近型 A/D 转换结束		0024H	
	16	INTSR0	UART0 接收结束或产生接收错误		0026H	
	17	INTRTC	实时计数器/报警匹配信号检测的固定周期信号		0028H	
	18	INTTM51 ^{注4}	TM51 与 CR51 相等 (指定比较寄存器)		002AH	
	19	INTKR	案件中断检测	外部	002CH	(C)
	21	INTRTCI	实时计数器的间隔信号检测	内部	002EH	(A)

- 注
1. 当两个或两个以上可屏蔽中断同时产生时，采用默认的优先级来决定向量中断的处理顺序。优先级 0 的优先级别最高，而优先级 26 的优先级别最低。
 2. 基本配置类型 (A) ~ (D) 与图 21-1 中 (A) ~ (D) 相对应。
 3. 当低电压检测寄存器(LVIM)的第 1 位(LVIMD)被清零时。
 4. 当 8-位 定时器/事件计数器 51 和 8-位 计数器 H1 用于载波发生器模式时，INTTM5H1 信号发生后产生中断(请看 图 8-15 转移时序)。
 5. 仅限于 μ PD78F048x 和 78F049x。

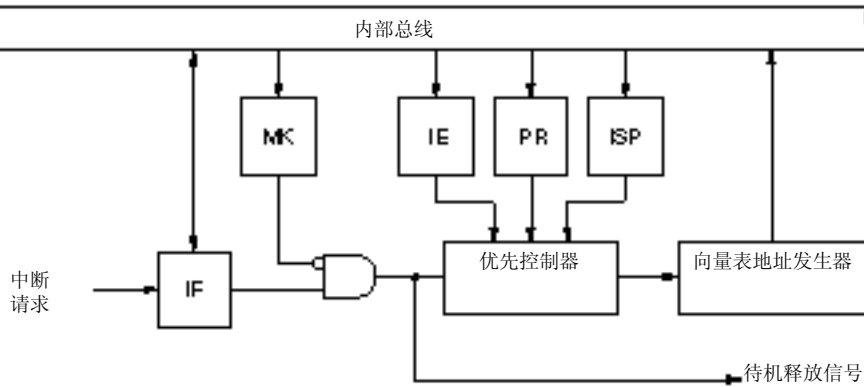
Table 21-1. Interrupt Source List (2/2)

中断类型	缺省优先级 ^{注1}	中断源		内部/ 外部	向量表 地址	基本配置 类型 ^{注2}
		名称	触发器			
可屏蔽	22	INTDSAD ^{注4}	16 位 $\Delta\Sigma$ 型 A/D 转换结束	内部	0030H	(A)
	23	INTTM52	TM52 与 CR52 相等 (指定比较寄存器)		0032H	
	24	INTTMH2	TMH2 与 CRH2 相等 (指定比较寄存器)		0034H	
	25	INTMCG	曼彻斯特码接收结束		0036H	
	26	INTRIN	远程控制接收边沿检测		0038H	
	27	INTRERR/ INTGP/ INTREND/ INTDFULL	远程控制接收产生错误 检测到远程控制引导脉冲 远程控制数据接收完成 远程控制 8 位移位数据读取请求		003AH	
	28	INTACSI	CSIA0 通信结束		003CH	
软件	-	BRK	复位输入	-	003EH	(D)
复位	-	复位后	上电清零	-	0000H	-
		POC	低电压检测 ^{注3}			
		LVI	WDT 溢出			
		WDT	复位输入			

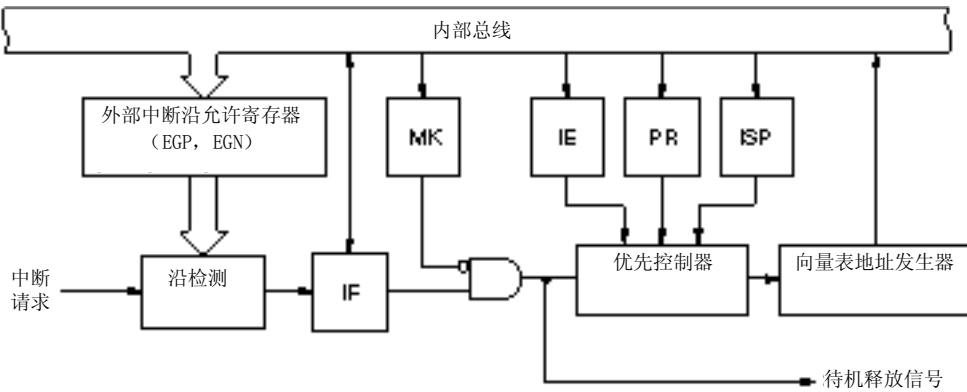
- 注
1. 当两个或两个以上可屏蔽中断同时产生时，采用默认的优先级来决定向量中断的处理顺序。优先级 0 的优先级别最高，而优先级 26 的优先级别最低。
 2. 基本配置类型 (A) ~ (D) 与图 21-1 中 (A) ~ (D) 相对应。
 3. 当低电压检测寄存器 (LVIM) 的第 1 位 (LVIMD) 设置为 1 时。
 4. 仅限于 μ PD78F049x。

图 21-1. 中断功能的基本配置(1/2)

(A) 内部可屏蔽中断



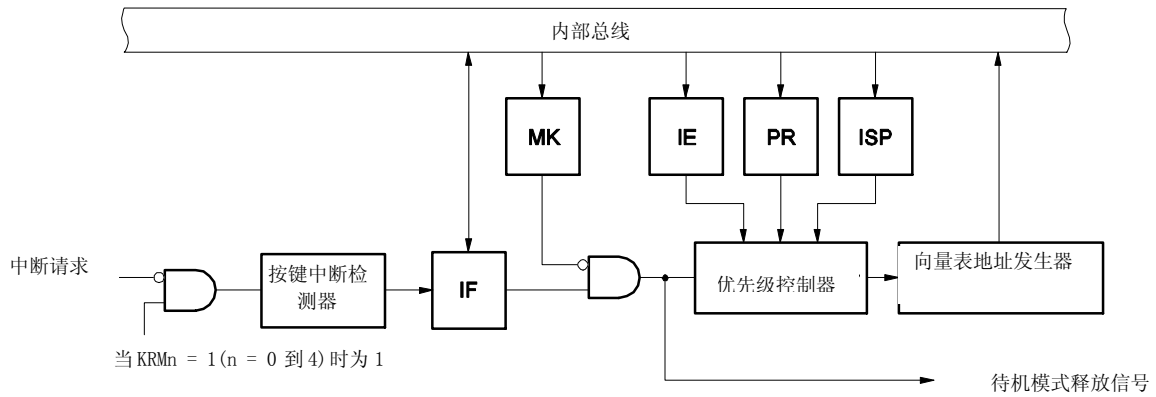
(B) 外部可屏蔽中断(INTP0 到 INTP5)



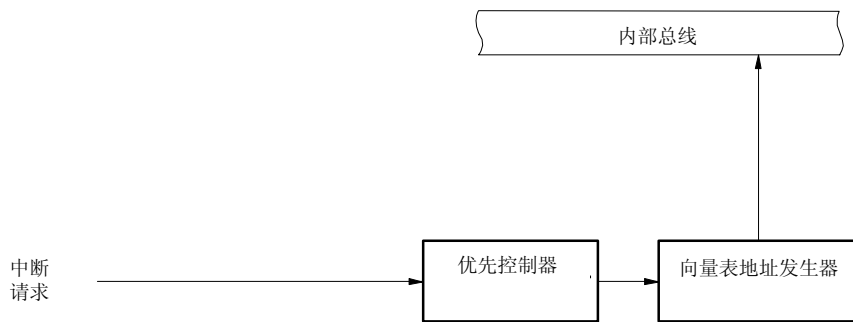
- IF: I 中断请求标志
- IE: 中断允许标志
- ISP: 服务优先级标志
- MK: 中断屏蔽标志
- PR: 优先级指定标志

图 21-1. 中断功能的基本配置 (2/2)

(C) 外部可屏蔽中断 (INTKR)



(D) 软件中断



- IF: 中断请求标志
- IE: 中断允许标志
- ISP: 服务优先级标志
- MK: 中断屏蔽标志
- PR: 优先级指定标志

21.3 控制中断功能的寄存器

以下 6 种寄存器用于控制中断功能。

- 中断请求标志寄存器 (IF0L、IF0H、IF1L、IF1H)
- 中断屏蔽标志寄存器 (MK0L、MK0H、MK1L、MK1H)
- 优先级指定标志寄存器 (PR0L、PR0H、PR1L、PR1H)
- 外部中断上升沿使能寄存器 (EGP)
- 外部中断下降沿使能寄存器 (EGN)
- 程序状态字 (PSW)

表 21-2 列出了与中断请求源相对应的中断请求标志、中断屏蔽标志和优先级指定标志。

表 21-2. 与中断请求源相对应的标志(1/2)

中断源	中断请求标志		中断屏蔽标志		优先级指定标志	
		寄存器				寄存器
INTLVI	LVIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5		PMK5		PPR5	
INTSRE6	SREIF6		SREMK6		SREPR6	
INTSR6	SRIF6	IF0H	SRMK6	MK0H	SRPR6	PR0H
INTST6	STIF6		STMK6		STPR6	
INTCSI10	CSIF10 ^{注1}		CSIMK10 ^{注2}		CSIPR10 ^{注3}	
INTST0	STIF0 ^{注1}		STMK0 ^{注2}		STPR0 ^{注3}	
INTTMH1	TMIFH1		TMMKH1		TMPRH1	
INTTMH0	TMIFH0		TMMKH0		TMPRH0	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM000	TMIF000		TMMK000		TMPR000	
INTTM010	TMIF010		TMMK010		TMPR010	

- 注
1. 如果产生中断源 INTCSI10 或 INTST0 中的任意一种，将 IF0H 的位 2 置 1。
 2. MK0H 的位 2 支持 INTCSI10 和 INTST0 两种中断源。
 3. PR0H 的位 2 支持 INTCSI10 和 INTST0 两种中断源。

表 21-2. 与中断请求源相对应的标志(2/2)

中断源	中断请求标志		中断屏蔽标志		优先级指定标志	
		寄存器				寄存器
INTAD ^{注1}	ADIF ^{注1}	IF1L	ADMK ^{注1}	MK1L	ADPR ^{注1}	PR1L
INTSR0	SRIF0		SRMK0		SRPR0	
INTRTC	RTCIF		RTCMK		RTCPR	
INTTM51 ^{注2}	TMIF51		TMMK51		TMPR51	
INTKR	KRIF		KRMK		KRPR	
INTRTCI	RTCIF		RTCIMK		RTCIPR	
INTDSAD ^{注3}	DSADIF ^{注3}		DSADMK ^{注3}		DASDPR ^{注3}	
INTTM52	TMIF52		TMMK52		TMPR52	
INTTMH2	TMHIF2	IF1H	TMHMK2	MK1H	TMHPR2	PR1H
INTMCG	MCGIF		MCGMK		MCGPR	
INTRIN	RINIF		RINMK		RINPR	
INTRERR	RERRIF ^{注4}		RERRMK ^{注5}		RERRPR ^{注6}	
INTGP	GPIF ^{注4}		GPMK ^{注5}		GPPR ^{注6}	
INTREND	RENDIF ^{注4}		RENDMK ^{注5}		RENDPR ^{注6}	
INTDFULL	DFULLIF ^{注4}		DFULLMK ^{注5}		DFULLPR ^{注6}	
INTACSI	ACSIIF		ACSIMK		ACSIPR	

- 注
1. 仅限于 μ PD78F048x 和 78F049x。
 2. 当 8-位 定时器/事件计数器 51 和 8-位 计数器 H1 用于载波发生器模式时，INTTM5H1 信号发生后产生中断 (请看 图 8-15 转移时序)。
 3. 仅限于 μ PD78F049x。
 4. 中断源 INTRERR, INTGP, INTREND, or INTDFULL 的任意一种产生，IF1H 的位 3 置 1。
 5. MK1H 的位 3 支持中断源 INTRERR, INTGP, INTREND 和 INTDFULL。
 6. MK1H 的位 3 支持中断源 INTRERR, INTGP, INTREND 和 INTDFULL。

(1) 中断请求标志寄存器 (IF0L, IF0H, IF1L, IF1H)

当产生相关的中断请求或执行指令时，这些中断请求标志被置 1。当执行的指令是响应中断请求或复位输入时，这些标志被清零。

当响应中断时，中断请求标志自动清零，然后进入中断服务程序。

可由 1 位或 8 位存储器操作指令设置 IF0L、IF0H、IF1L 和 IF1H。当 IF0L 与 IF0H、IF1L 与 IF1H 组合起来形成 16 位寄存器 IF0 和 IF1 时，可由 16 位存储器操作指令设置这些寄存器。

复位信号的输入将这些寄存器清零(00H)。

图 21-2. 中断请求标志寄存器 (IF0L, IF0H, IF1L, IF1H) 的格式

地址: FFE0H 复位后: 00H R/W

符号	<7>	6	<5>	<4>	<3>	<2>	<1>	<0>
IF0L	SREIF6	0	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF

地址: FFE1H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	CSIF10 STIF0	STIF6	SRIF6

地址: FFE2H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1L	TMIF52	DSADIF ^{#2}	RTCIF	KRIF	TMIF51	RTCIIF	SRIF0	ADIF ^{#1}

地址: FFE3H 复位后: 00H R/W

符号	7	6	5	4	<3>	<2>	<1>	<0>
IF1H	0	0	0	0	RERRIF GPIF RENIF DFULLIF	RINIF	MCGIF	TMHIF2

XXIFX	中断请求标志
0	没有产生中断请求信号
1	产生中断请求，中断请求状态

注 1. 仅限于 μ PD78F048x 和 78F049x。

2. 仅限于 μ PD78F049x。

注意事项 1. 确保清除 IF1H ~ 0 的 5 ~ 7 位。

2. 当退出待机模式后并要使用定时器、串行接口或 A/D 转换器时，先将中断请求标志清零后再对这些部件进行操作。噪音可能会设置中断请求标志。

注意事项 3. 当使用中断请求标志寄存器中的标志时，使用一位存储器操作指令 (CLR1)。当用 C 语言描述时，由于编译后的汇编指令必须是一位存储器操作指令(CLR1)，所以应该使用一位操作指令，如“IF0L.0 = 0;”或 “_asm(“clr1 IF0L, 0”);”。

如果一条用 C 语言描述的 8 位存储器操作指令如“IF0L &= 0xfe;”，则编译后将被转换为三条汇编指令：

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

这种情况下，当处于“mov a, IF0L”和 “mov IF0L, a”之间的时序时，即使同一中断请求标志寄存器 (IF0L) 的其他请求标志被设置为 1，则该请求标志也将被“mov IF0L, a”清零。因此在 C 语言中使用 8 位存储器操作指令时必须小心。

(2) 中断屏蔽标志寄存器 (MK0L, MK0H, MK1L, MK1H)

这些中断屏蔽标志用于允许/禁止相关的可屏蔽中断服务。

可由 1 位或 8 位存储器操作指令设置 MK0L、MK0H、MK1L 和 MK1H。当 MK0L 与 MK0H、MK1L 与 MK1H 组合起来形成 16 位寄存器 MK0 与 MK1 时，可由 16 位存储器操作指令设置这些寄存器。

复位信号的产生将这些寄存器的内容设置为 FFH。

图 21-3. 中断屏蔽标志寄存器的格式(MK0L, MK0H, MK1L, MK1H)

地址: FFE4H 复位后: FFH RW

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

地址: FFE5H 复位后: FFH RW

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	CSIMK10 STMK0	STMK6	SRMK6

地址: FFE6H 复位后: FFH RW

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1L	TMMK52	DASDMK ^{注2}	RTCMK	KRMK	TMMK51	RTCIMK	SRMK0	ADMK ^{注1}

地址: FFE7H 复位后: FFH RW

符号	7	6	5	<4>	<3>	<2>	<1>	<0>
MK1H	1	1	1	ACSIMK	RERRMK GPMK RENDMK DFULLMK	RINMK	MCGMK	TMHMK2

XXMKX	中断服务控制							
0	允许中断服务							
1	禁止中断服务							

注 1. 仅限于 μ PD78F048x 和 78F049x。

2. 仅限于 μ PD78F049x。

注意事项 确保设置 MK1H ~ 0 的 5 ~ 7 位为 1。

(3) 优先级指定标志寄存器(PR0L, PR0H, PR1L, PR1H)

这些优先级指定标志寄存器用于设置相关的可屏蔽中断优先级次序。

可由 1 位或 8 位存储器操作指令设置 PR0L、PR0H、PR1L 和 PR1H。当 PR0L 与 PR0H、PR1L 与 PR1H 组合起来形成 16 位寄存器 PR0 与 PR1 时，可由 16 位存储器操作指令设置这些寄存器。

复位信号的产生将这些寄存器内容设置为 FFH。

图 21-4. 优先级指定标志寄存器(PR0L, PR0H, PR1L, PR1H)

地址: FFE8H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

地址: FFE9H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	CSIPR10 STPR0	STPR6	SRPR6

符号: FFEAH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR1L	TMPR52	DSADPR ²	RTCPR	KRPR	TMPR51	RTCIPR	SRPR0	ADPR ¹

地址: FFEbH 复位后: FFH R/W

符号	7	6	5	<4>	<3>	<2>	<1>	<0>
PR1H	1	1	1	ACSIPR	RERRPR GPPR RENDPR DFULLPR	RINPR	MCGPR	TMHPR2

XXPRX	Priority level selection
0	High priority level
1	Low priority level

注 1. 仅限于 μ PD78F048x 和 78F049x。

2. 仅限于 μ PD78F049x。

注意事项 确保设置 MK1H ~ 0 的 5 ~ 7 位为 1。

(4) 外部中断上升沿允许寄存器(EGP)、外部中断下降沿允许寄存器(EGN)

这两个寄存器用于指定 INTP0~INTP4 的有效沿。

可由 1 位或 8 位存储器操作指令设置 EGP 和 EGN。

复位信号的产生将这些寄存器清零 (00H)。

图 21-5. 外部中断上升沿允许寄存器(EGP)和外部中断下降沿允许寄存器(EGN)的格式

地址: FF48H After 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
EGP	0	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

地址: FF49H After 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
EGN	0	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	I INTPn 引脚有效沿选择 (n = 0 ~ 4)
0	0	禁止脉冲沿检测
0	1	下降沿
1	0	上升沿
1	1	兼有上升沿和下降沿

表 21-3 显示了与 EGPn 和 EGNn 相关的端口。

表 21-3. 与 EGPn 和 EGNn 相关的端口

检测允许寄存器		脉冲沿检测端口	中断请求信号
EGP0	EGN0	P121/EXLVI	INTP0
EGP1	EGN1	P34/TI52/TI010/TO00/RTC1HZ	INTP1
EGP2	EGN2	P33/TI000/RTCDIV/RTCCL/BUZ	INTP2
EGP3	EGN3	P31/TOH1	INTP3
EGP4	EGN4	P14	INTP4

注意事项 在从外部中断功能切换到端口功能时可能会检测到脉冲沿，因此通过将 EGPn 和 EGNn 清零可选择端口模式。

备注 n = 0 ~ 5

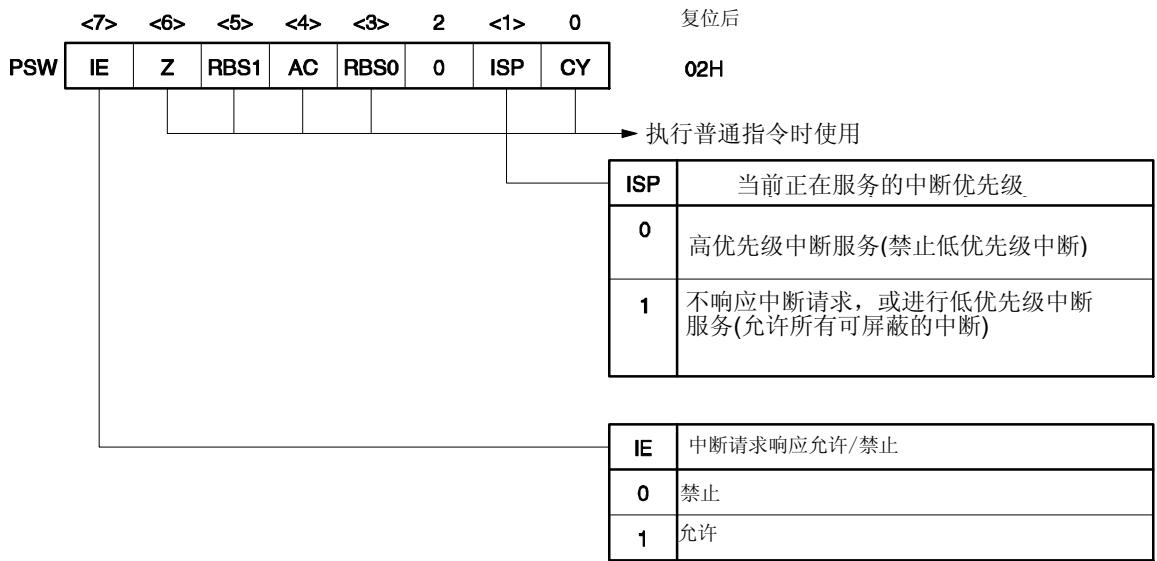
(5) 程序状态字(PSW)

PSW 是用于保存指令执行结果和中断请求的当前状态的寄存器。在 PSW 中包含 IE 标志（设置允许/禁止可屏蔽中断）和 ISP 标志（控制中断嵌套）。

除了 8 位读/写操作指令外，还可使用位操作指令和专用指令（EI 和 DI）对该寄存器进行操作。在响应向量中断请求时，如果执行 BRK 指令，则将 PSW 的内容自动保存到堆栈中，并且将 IE 标志复位为 0。如果响应可屏蔽中断请求，则将被响应中断的优先级指定标志的内容转移到 ISP 标志中。执行 PUSH PSW 指令将 PSW 的内容保存到堆栈中。而执行 RETI、RETB 和 POP PSW 指令可将这些内容从堆栈中恢复。

RESET 输入将 PSW 设置为 02H。

图 21-6. 程序状态字的格式



21.4 中断服务操作

21.4.1 可屏蔽的中断响应

当中断请求标志=1 且与该中断请求相关的屏蔽标志(MK)被清零时, 可以响应这个可屏蔽中断请求。如果处于中断允许状态(IE =1), 可以响应向量中断请求。但在一个较高优先级中断请求服务期间 (ISP 标志复位为 0), 不响应低优先级的中断请求。从一个可屏蔽中断请求产生到中断服务执行所经历的时间如表 21-4 所示。

中断请求响应时序可参见图 21-8 和 21-9。

表 21-4. 从可屏蔽中断产生到执行中断服务所需要的时间

	最短时间	最长时间 ^注
When $\times\times PR = 0$	7 clocks	32 clocks
When $\times\times PR = 1$	8 clocks	33 clocks

注 如果是在除法指令执行之前产生一个中断请求, 则等待时间会更长。

备注 1 个时钟: $1/f_{CPU}$ (f_{CPU} : CPU 时钟)

如果同时产生两个或两个以上的可屏蔽中断请求, 则首先响应优先级指定标志中优先级别高的请求。如果两个或两个以上的中断请求具有相同的优先级别, 则首先响应具有最高默认优先级的中断请求。

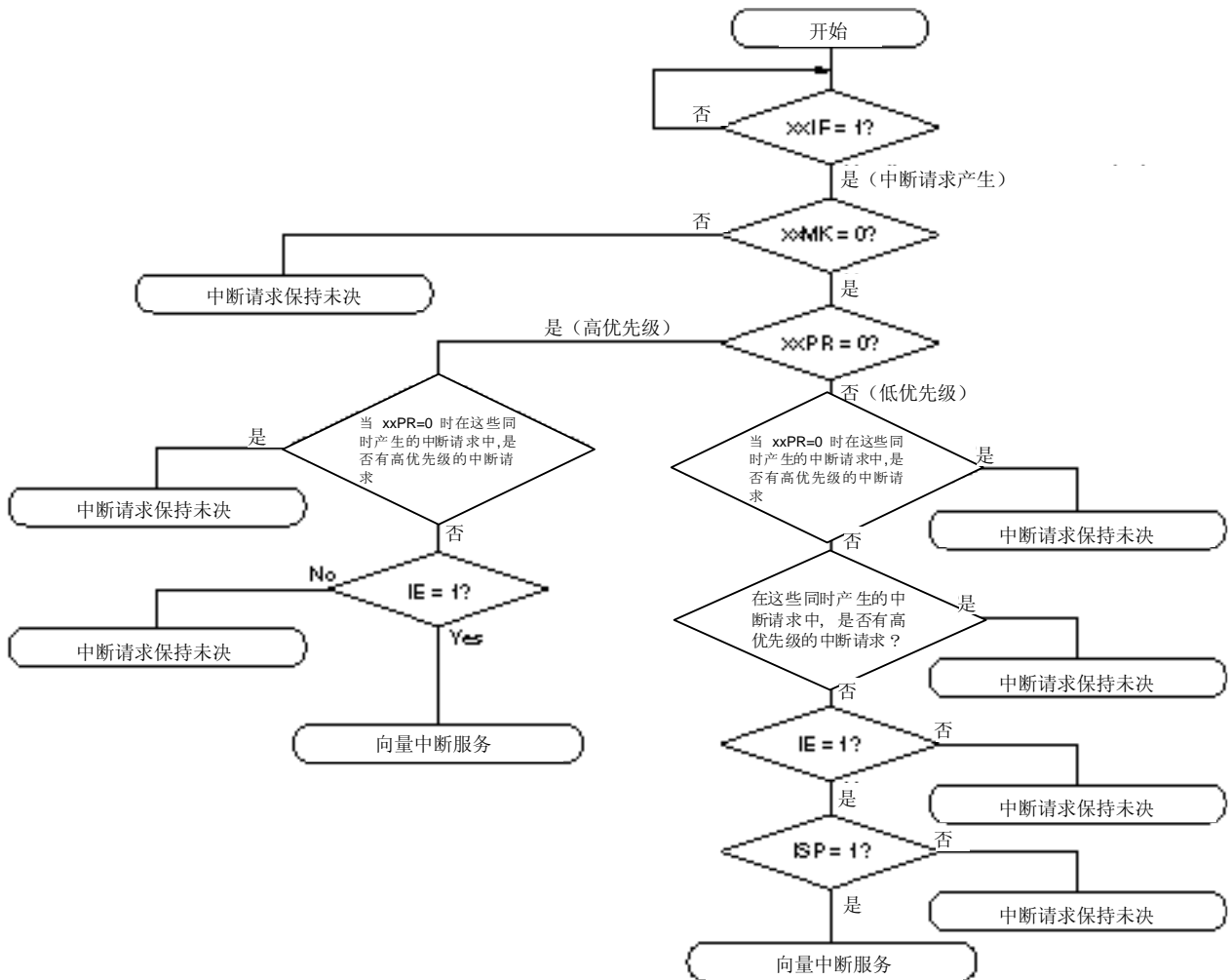
当允许响应中断请求时, 处于等待状态的中断请求被响应。

图 21-7 显示了中断请求响应算法。

如果响应了一个可屏蔽中断请求, 则将 PSW、PC 的内容依次保存到堆栈中, 然后将 IE 标志复位为 0, 并将与被响应的中断相关的优先级指定标志的内容传送到 ISP 中。将用于中断请求的向量表数据传送到 PC 中, 并转移。

可通过执行 RETI 指令从中断返回。

图 21-7. 中断请求响应处理



xxIF: 中断请求标志

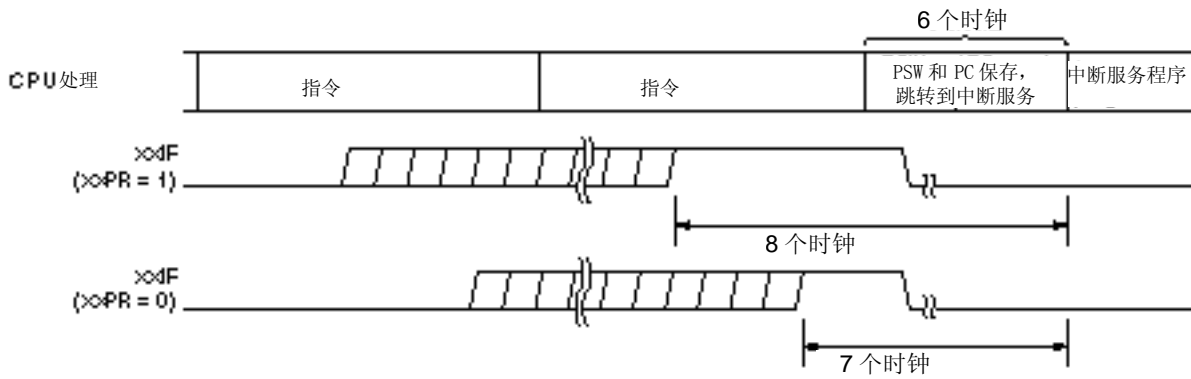
xxMK: 中断屏蔽标志

xxPR: 优先级指定标志

IE: 控制可屏蔽中断请求响应的标志 (1 = 允许、0 = 禁止)

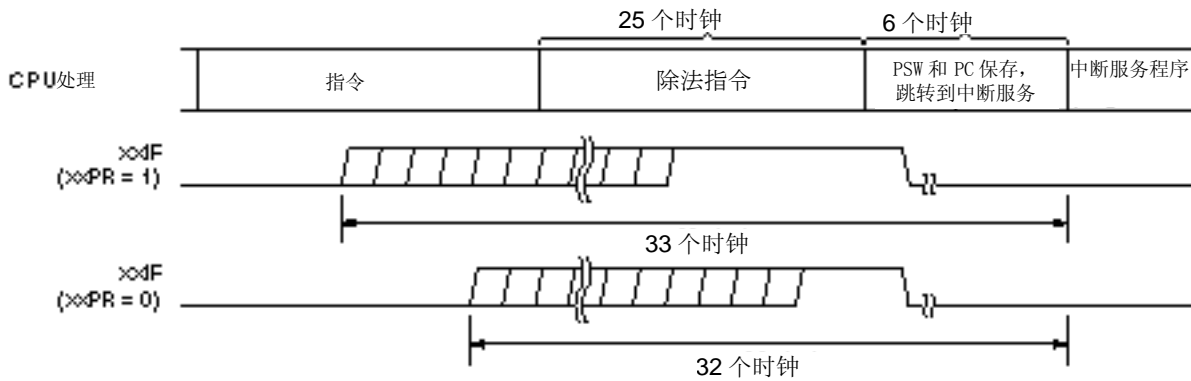
ISP: 指示正在服务的中断优先级别的标志 (0 = 高优先级的中断服务, 1 = 没有中断请求被响应, 或低优先级的中断服务)

图 21-8. 中断请求响应时序 (最短时间)



备注 1 个时钟: $1/f_{CPU}$ (f_{CPU} : CPU 时钟)

图 21-9. 中断请求响应时序 (最长时间)



备注 1 个时钟: $1/f_{CPU}$ (f_{CPU} : CPU 时钟)

21.4.2 软件中断请求响应

执行 BRK 指令可响应软件中断。软件中断不能被禁止。

如果响应了一个软件中断请求，则将程序状态字 (PSW) 和程序计数器 (PC) 的内容依次保存到堆栈中，然后将 IE 标志复位为 0，并将向量表的内容 (003EH、003FH) 传送到 PC 中，然后转移。

可通过执行 RETB 指令从软件中断返回。

注意事项 不能使用 RETI 指令从软件中断返回。

21.4.3 中断嵌套

在执行一个中断服务程序时，又响应了其他中断，这时就产生了中断嵌套。

除非选择允许中断请求响应状态（ $IE = 1$ ），否则不会产生中断嵌套。在响应一个中断请求时，禁止响应其它中断请求（ $IE = 0$ ）。因此，如果要允许中断嵌套，必须在中断服务期间执行 EI 指令，将 IE 标志置 1，从而允许响应其它中断请求。

此外，即使允许中断，也不一定允许中断嵌套，这是因为受到中断优先级控制的限制。可使用两类优先级控制方式：默认优先级控制和可编程优先级控制。可编程优先级控制用于中断嵌套。

在中断允许状态中，如果产生的中断请求的优先级与正在服务的中断优先级相等或高于它，则响应该中断请求，从而产生中断嵌套。如果产生的中断请求的优先级低于正在服务的中断优先级，则不响应该中断请求。由于禁止中断或中断请求的优先级别较低，这些不被允许的中断请求处于等待状态。若当前的中断服务已结束，则在执行至少一条主程序指令后才可响应处于等待状态的中断请求。

表 21-5 显示了允许中断嵌套的中断请求之间的关系，图 21-10 为中断嵌套示例。

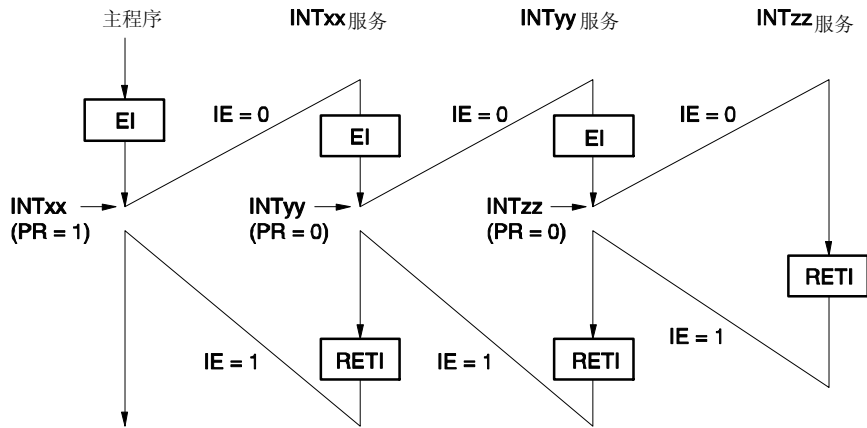
表 21-5. 中断服务期间允许进行中断嵌套的中断请求之间的关系

中断嵌套		可屏蔽中断请求				软件中断请求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
正在服务的中断						
可屏蔽的中断	ISP = 0	○	×	×	×	○
	ISP = 1	○	×	○	×	○
软件中断			×	○	×	○

- 备注**
- ：允许中断嵌套
 - ×：禁止中断嵌套
 - ISP 和 IE 为 PSW 中的标志位。
ISP = 0：正在服务一个高优先级中断。
ISP = 1：无中断请求被响应，或正在服务一个低优先级中断。
IE = 0：禁止响应中断请求。
IE = 1：允许响应中断请求。
 - PR 为 PR0L、PR0H、PR1L 和 PR1H 中的标志位。
PR = 0：高优先级
PR = 1：低优先级

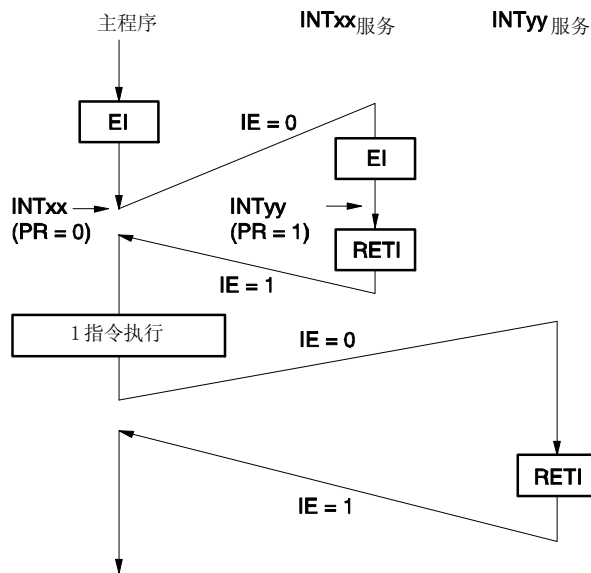
图 21-10. 中断嵌套示例(1/2)

例 1. 产生两次中断嵌套



在进行 INT_{xx} 中断服务期间，响应了两个中断请求 INT_{yy} 和 INT_{zz} ，这时就产生了中断嵌套。在响应每个中断之前，必须先执行 EI 指令才能允许响应中断请求。

例 2. 由于优先级控制没有产生中断嵌套



在 INT_{xx} 中断服务期间不响应中断请求 INT_{yy} ，因为 INT_{yy} 的优先级低于 INT_{xx} ，这样就不会产生中断嵌套。中断请求 INT_{yy} 处于等待状态，在执行一条主程序指令后响应该中断请求。

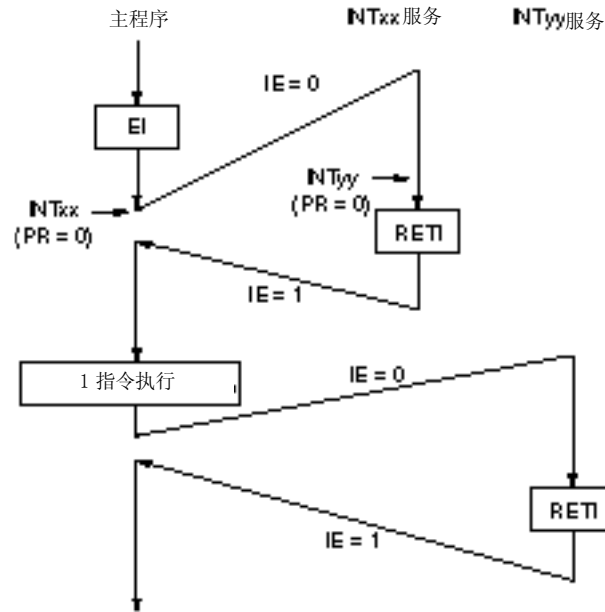
PR = 0: 高优先级

PR = 1: 低优先级

IE = 0: 禁止响应中断请求

图 21-10. 中断嵌套示例 (2/2)

例 3. 由于不允许中断没有产生中断嵌套



在 INTxx 中断服务期间不允许中断（不执行 EI 指令），因此不响应中断请求 INTyy，这样也不会产生中断嵌套。中断请求 INTyy 处于等待状态，在执行一条主程序指令后响应该中断请求。

PR = 0: 高优先级

IE = 0: 禁止响应中断请求

21.4.4 保持中断请求

在某些指令执行期间，即使出现中断请求，请求响应也要保持等待状态，直到下一条指令执行结束。以下列出这类指令（中断请求保持指令）。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- 用于 IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, 和 PR1H 寄存器的操作指令。

注意事项 **BRK** 指令不属于上述列出的中断请求保持指令。但通过执行 **BRK** 指令激活的软件中断会将 **IE** 标志清零。因此，即使在执行 **BRK** 指令期间产生可屏蔽中断请求，该中断请求也不会被响应。

图 21-11 显示了处于等待状态的中断请求时序。

图 21-11. 中断请求保持



- 备注**
1. 指令 N: 中断请求保持指令
 2. 指令 M: 除中断请求保持指令之外的指令
 3. xxPR（优先级）的值不会影响xxIF（中断请求）的操作。

第二十二章 按键中断功能

22.1 按键中断的功能

可通过设置按键返回模式寄存器(KRM)和向按键中断输入引脚(KR0 到 KR4)输入一个下降沿产生按键中断 (INTKR)。

表 22-1. 按键中断检测引脚的分配

标志	描述
KRM0	以 1 位单元控制 KR0 信号。
KRM1	以 1 位单元控制 KR1 信号。
KRM2	以 1 位单元控制 KR2 信号。
KRM3	以 1 位单元控制 KR3 信号。
KRM4	以 1 位单元控制 KR4 信号。
KRM5	以 1 位单元控制 KR5 信号。
KRM6	以 1 位单元控制 KR6 信号。
KRM7	以 1 位单元控制 KR7 信号。

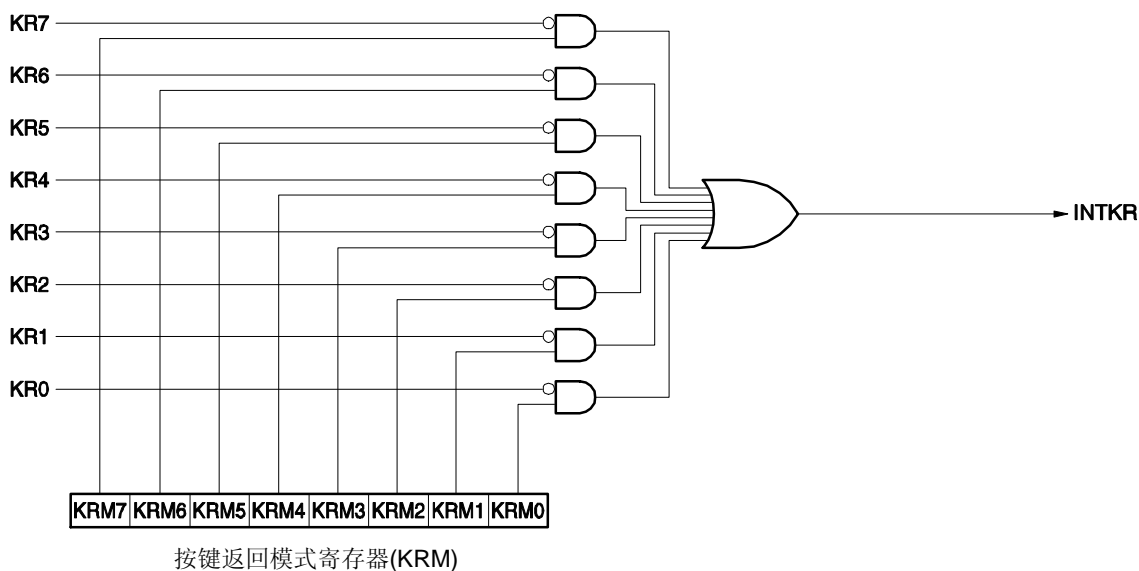
21.2 按键中断的配置

按键中断包括以下硬件。

表 21-2. 按键中断的配置

项目	配置
控制寄存器	按键返回模式寄存器 (KRM)

图 21-1. 按键中断的框图



21.3 控制按键中断的寄存器

(1) 按键返回模式寄存器(KRM)

该寄存器使用 KR0 到 KR4 信号分别控制 KRM0 到 KRM4 位。

KRM 可由 1 位或 8 位存储器操作指令设置。

复位信号的产生将 KRM 清零(00H)。

图 21-2. 按键返回模式寄存器 (KRM) 的格式

地址: FF6EH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	按键中断模式寄存器(n = 0 到 4)
0	不检测按键中断信号
1	检测按键中断信号

- <R> 注意事项
1. 如果 KRM0 到 KRM7 的任何位置 1, 设置上拉电阻寄存器(PU4)的相应 0~ 7 位(PU40 ~ PU47)为 1。
 2. 如果 KRM 发生变化, 则中断请求标志可能被设置。因此可以先禁止中断, 再修改 KRM。先将中断请求标志清零, 再允许中断。
 3. 在按键中断模式中没有被使用的位可用作通用端口。
 4. 当把 P40/KR0/V_{LC3} 引脚用作按键中断功能(KR0)时, 将 LCD 显示模式寄存器(LCDM)设置为除 1/4 偏压方式之外的方式。当设置为 1/4 偏压方式时, 它作为 V_{LC3} 使用。

23.1 待机功能及配置

23.1.1 待机功能

待机功能用于减少系统的工作电流，有以下两种模式。

(1) HALT 模式

通过执行 HALT 指令设置 HALT 模式。在 HALT 模式中，CPU 操作时钟停止。如果设置 HALT 模式前，高速系统时钟振荡器、内部高速振荡器、内部低速振荡器或副系统时钟振荡器正在使用，则设置后每种时钟的振荡继续。在此模式中，工作电流不如 STOP 模式中下降得多，但 HALT 模式对于中断请求产生后立即重启操作和频繁进行间断的操作非常有效。

(2) STOP 模式

通过执行 STOP 指令设置 STOP 模式。在 STOP 模式中，高速系统时钟振荡器和内部高速振荡器停止操作，整个系统的操作停止，这样 CPU 的工作电流将会大幅下降。

可通过中断请求释放该模式，这样，被中断的操作可以继续执行。由于选择 X1 时钟时，在释放 STOP 模式后需要一段等待时间以确保振荡器振荡稳定，因此如果需要在产生中断请求后立即进行处理，则应选择 HALT 模式。

在这两种模式中，寄存器、标志和数据存储器的内容将会保持进入待机模式前的内容。I/O 端口输出锁存器和输出缓冲器的状态也将被保持。

- 注意事项**
1. 仅当 CPU 使用主系统时钟时，才能使用 STOP 模式。不能停止副系统时钟的振荡。而当 CPU 使用主系统时钟或副系统时钟时，均可以使用 HALT 模式。
 2. 当切换到 STOP 模式时，在执行 STOP 指令前必须停止使用主系统时钟的外围硬件的操作。
 3. 当使用待机功能时，建议采用以下步骤降低 A/D 转换器的操作电流：首先将 A/D 转换器模式寄存器 (ADM) 的第 7 位 (ADCS) 和第 0 位 (ADCE) 清零以停止 A/D 转换操作，然后执行 STOP 指令。当使用待机模式时，推荐按一下顺序设置 16 位 $\Delta\Sigma$ 型 A/D 转换器以降低操作电流：首先将 1 位 $\Delta\Sigma$ 型 A/D 转换器模式寄存器的位 (ADDPON) 和位 6 (ADDCE) 清零来停止 A/D 转换器的操作，然后执行 STOP 指令。

23.1.2 控制待机功能的寄存器

待机功能由以下两个寄存器控制。

- 振荡稳定时间计数器的状态寄存器（OSTC）
- 振荡稳定时间选择寄存器（OSTS）

备注 有关这些寄存器启动、停止以及时钟选择的情况，可参见 **第五章 时钟发生器**。

(1) 振荡稳定时间计数器的状态寄存器 (OSTC)

这是 X1 时钟振荡稳定时间计数器的状态寄存器。如果 CPU 使用 X1 振荡时钟、内部高速振荡时钟或副系统时钟，则可以检测 X1 时钟振荡稳定时间。

可由 1 位或 8 位存储器操作指令读取 OSTC。

复位释放（通过 **RESET** 输入、**POC**、**LVI** 和 **WDT**）、**STOP** 指令以及 **MSTOP**（**MOC** 寄存器的第 7 位）= 1 可以将 OSTC 清零（00H）。

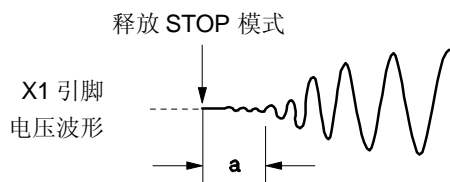
图 23-1. 振荡稳定时间计数器的状态寄存器（OSTC）的格式

地址: FFA3H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	振荡稳定时间的状态	
						fx = 10 MHz
1	0	0	0	0	$2^{11}/fx$ min.	204.8 μ s min.
1	1	0	0	0	$2^{13}/fx$ min.	819.2 μ s min.
1	1	1	0	0	$2^{14}/fx$ min.	1.64 ms min.
1	1	1	1	0	$2^{15}/fx$ min.	3.27 ms min.
1	1	1	1	1	$2^{16}/fx$ min.	6.55 ms min.

- 注意事项**
1. 在经历上述时间后，从 **MOST11** 起各位被设置为 1，并保持。
 2. 振荡稳定时间计数器的计数达到 **OSTS** 设置的振荡稳定时间。如果已进入 **STOP** 模式并使用内部高速振荡时钟作为 CPU 时钟时释放 **STOP** 模式，则可以按以下方式设置振荡稳定时间。
 - 预期的 **OSTC** 振荡稳定时间 \leq **OSTS** 设置的振荡稳定时间
 因此需要注意，在释放 **STOP** 模式后，只有通过 **OSTS** 设置的振荡稳定时间期间的状态被设置到 **OSTC**。
 3. X1 时钟振荡稳定等待时间不包括从释放 **STOP** 模式到时钟振荡启动这段时间（即下图“a”所示的部分）。



备注 fx: X1 时钟振荡频率

(2) 振荡稳定时间选择寄存器(OSTS)

该寄存器用于选择释放 STOP 模式后 X1 时钟振荡稳定等待时间。

在释放 STOP 模式后且 CPU 使用 X1 时钟时，等待由 OSTS 设置的时间。

当释放 STOP 模式后且 CPU 使用内部高速振荡时钟时，可通过使用 OSTC 确认是否已经历了预期的振荡稳定时间。振荡稳定时间可根据 OSTC 设置的时间来检测。

可由 8 位存储器操作指令设置 OSTS。

复位信号的产生将 OSTS 设置为 05H。

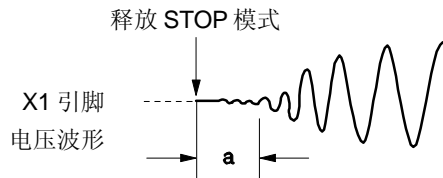
图 23-2. 振荡稳定时间选择寄存器 (OSTS) 的格式

地址: FFA4H 复位后: 05H R/W

符号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	振荡稳定时间的选择	
				$f_x = 10 \text{ MHz}$
0	0	1	$2^{11}/f_x$	204.8 μs
0	1	0	$2^{13}/f_x$	819.2 μs
0	1	1	$2^{14}/f_x$	1.64 ms
1	0	0	$2^{15}/f_x$	3.27 ms
1	0	1	$2^{16}/f_x$	6.55 ms
其它情况			禁止设置	

- 注意事项**
- 如果在 X1 时钟用作 CPU 时钟时要设置 STOP 模式，则应在执行 STOP 指令之前设置 OSTS。
 - 在 X1 时钟振荡稳定期间不要修改 OSTS 寄存器的值。
 - 振荡稳定时间计数器的计数达到 OSTS 设置的振荡稳定时间。如果已进入 STOP 模式，并使用内部高速振荡时钟时作为 CPU 时钟时释放 STOP 模式，则可以按以下方式设置振荡稳定时间。
 - 预期的 OSTC 振荡稳定时间 \leq OSTS 设置的振荡稳定时间
 因此需要注意，在释放 STOP 模式后，只有通过 OSTS 设置的振荡稳定时间期间的状态被设置到 OSTC。
 - X1 时钟振荡等待时间不包括从释放 STOP 模式到时钟振荡启动这段时间（即下图“a”所示的部分）。



备注 f_x : X1 时钟振荡频率。

23.2 待机功能的操作

23.2.1 HALT 模式

(1) HALT 模式

通过执行 HALT 指令设置 HALT 模式。无论设置前 CPU 使用的是高速系统时钟、内部高速振荡时钟还是副系统时钟，都可以设置 HALT 模式。

HALT 模式中的操作状态如下所示。

表 23-1. HALT 模式中的操作状态(1/2)

HALT 模式设置		当 CPU 使用主系统时钟并执行 HALT 指令时					
		当 CPU 使用内部高速振荡时钟(f_{RH})时	当 CPU 使用 X1 时钟(f_x)时	当 CPU 使用外部主系统时钟(f_{EXCLK})时			
项目							
系统时钟		停止 CPU 时钟					
主系统时钟	f_{RH}	操作继续 (不能停止)		保持设置 HALT 模式前的状态			
	f_x	保持设置 HALT 模式前的状态	保持设置 HALT 模式前的状态	保持设置 HALT 模式前的状态			
	f_{EXCLK}	由外部时钟输入进行操作或停止		操作继续 (不能停止)			
副系统时钟	f_{XT}	保持设置 HALT 模式前的状态					
	f_{RL}	保持设置 HALT 模式前的状态					
CPU		操作停止					
Flash 存储器		操作停止					
RAM		保持设置 HALT 模式前的状态					
端口 (锁存器)		保持设置 HALT 模式前的状态					
16 位定时器/事件计数器 00		可操作的					
8 位定时器/事件计数器	50						
	51						
	52						
8 位定时器	H0						
	H1						
	H2						
实时计数器							
看门狗定时器					可操作。当通过选项字节设置“可以由软件停止内部低速振荡器”时，停止看门狗定时器的时钟。		
蜂鸣器输出					可操作的		
10 位逐次逼近型 A/D 转换器							
16 位 型 A/D 转换器							
串行接口	UART0						
	UART6						
	CSI10						
LCD 控制器/驱动器							
曼彻斯特码发生器							
遥控接收器							
上电清零 (POC) 功能							
低电压检测功能							
外部中断							

备注

- f_{RH} : 内部高速振荡时钟
- f_x : X1 时钟
- f_{EXCLK} : 外部主系统时钟
- f_{XT} : XT1 时钟
- f_{RL} : 内部低速振荡时钟

表 23-1. HALT 模式中的操作状态(2/2)

HALT 模式设置		当 CPU 使用副系统时钟并执行 HALT 指令时	
项目		当 CPU 工作在 XT1 Clock (f _{XT})时	
系统时钟		停止 CPU 时钟	
主系统时钟	f _{RH}	保持设置 HALT 模式前的状态	
	f _X		
	f _{EXCLK}	由外部时钟输入进行操作或停止	
副系统时钟	f _{XT}	操作继续 (不能停止)	
f _{RL}		保持设置 HALT 模式前的状态	
CPU		操作停止	
Flash 存储器		操作停止	
RAM		保持设置 HALT 模式前的状态	
端口(锁存器)		保持设置 HALT 模式前的状态	
16 位定时器/事件计数器 00 ^{注1}		可操作的	
8 位定时器/事件计数器	50 ^{注1}		
	51 ^{注1}		
	52 ^{注1}		
8 位定时器	H0		
	H1		
	H2		
实时计数器			
看门狗定时器		可操作。当通过选项字节设置“可以由软件停止内部低速振荡器”时，停止看门狗定时器的时钟。	
蜂鸣器输出		可操作的	
10-位逐次逼近型 A/D 转换器		可操作。然而，当外围硬件时钟停止时 (f _{PRS}) 操作禁止。	
16 位 类型 A/D 转换器			
实时计数器		可操作的	
串行接口	UART0		
	UART6		
	CSI10 ^注		
	CSIA0 ^注		
LCD 控制器/驱动器			
曼彻斯特码发生器			
远程控制接收器			
上电清零 (POC) 功能			
低电压检测功能			
外部中断			

注 当 CPU 使用副系统时钟且内部高速振荡时钟已经停止时，不要启动使用外部时钟的外围硬件的功能。

备注 f_{RH}: 内部高速振荡时钟
 f_X: X1 时钟
 f_{EXCLK}: 外部主系统时钟
 f_{XT}: XT1 时钟
 f_{RL}: 内部低速振荡时钟

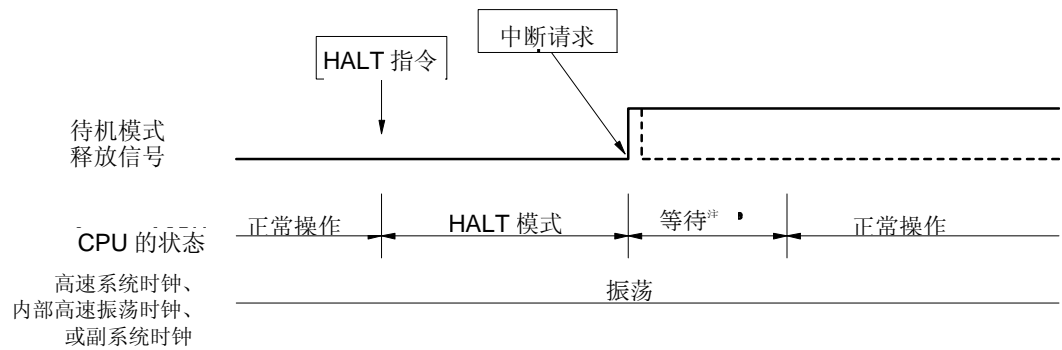
(2) 释放 HALT 模式

以下两种方式可以释放 HALT 模式。

(a) 由没有被屏蔽的中断请求释放

当产生一个没有被屏蔽的中断时，释放 HALT 模式。如果允许响应中断，则执行向量中断服务程序。如果禁止响应中断，则执行下一个地址的指令。

图 23-3. 通过产生中断请求释放 HALT 模式



注 等待时间如下所示：

- 执行向量中断服务程序时：8 或 9 个时钟
- 不执行向量中断服务程序时：2 或 3 个时钟

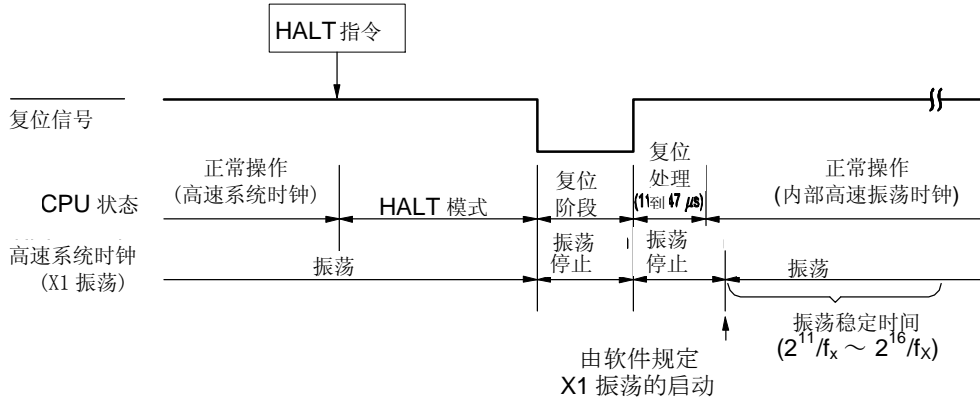
备注 虚线表示释放待机模式的中断请求被响应的情况。

(b) 通过产生的复位信号释放

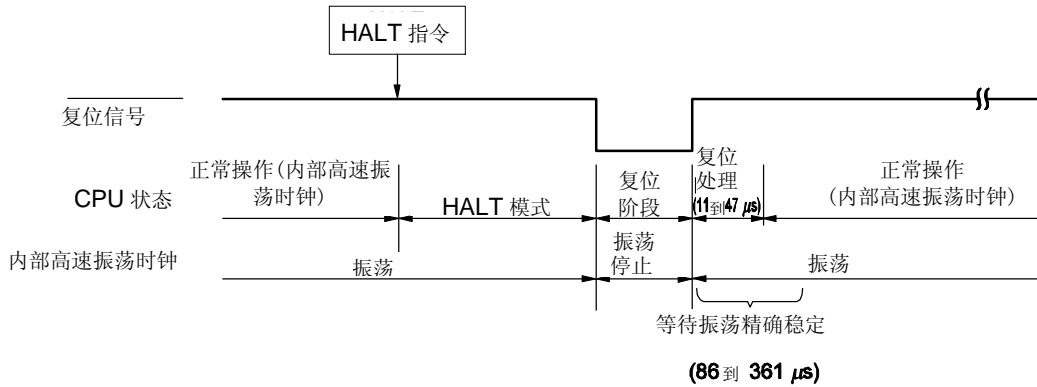
当产生复位信号时，释放 HALT 模式，然后在进行正常复位操作后，程序从复位向量指向的地址处开始执行。

图 23-4. 通过复位释放 HALT 模式

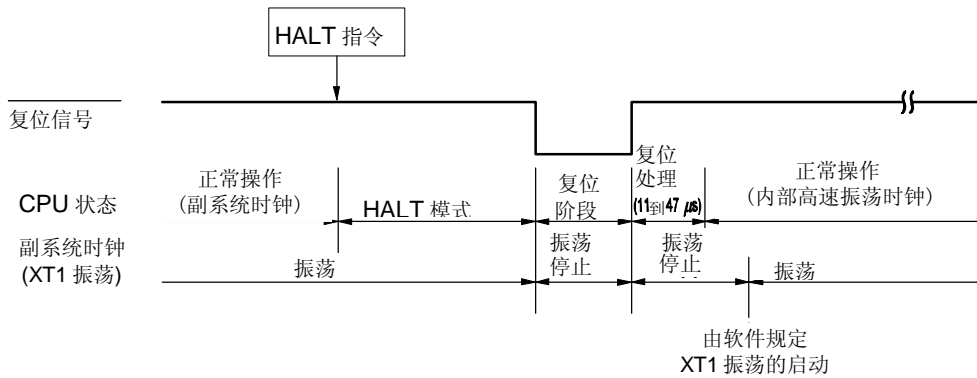
(1) CPU 使用高速系统时钟



(2) CPU 使用内部高速振荡时钟



(3) CPU 使用副系统时钟



备注 fx: X1 时钟振荡频率

表 23-2. 在 HALT 模式中中断请求对应的操作

释放源	MK _{xx}	PR _{xx}	IE	ISP	操作
可屏蔽中断请求	0	0	0	×	执行下一个地址的指令
	0	0	1	×	执行中断服务程序
	0	1	0	1	执行下一个地址的指令
	0	1	×	0	
	0	1	1	1	执行中断服务程序
	1	×	×	×	保持 HALT 模式
复位	—	—	×	×	复位处理

×:不必考虑

23.2.2 STOP 模式

(1) STOP 模式设置及操作状态

通过执行 STOP 指令设置 STOP 模式。仅当设置 STOP 模式前 CPU 使用主系统时钟时才可以设置 STOP 模式。

注意事项 由于中断请求信号用于释放待机模式，因此如果一个中断源的中断请求标志被设置且中断屏蔽标志被清零时，则立即释放待机模式。因此，在执行 STOP 指令后，立即将 STOP 模式复位到 HALT 模式，并且在经历了 OSTS 设置的等待时间后，系统返回操作模式。

STOP 模式中的操作状态如下所示。

表 23-3. Operating Statuses in STOP Mode

STOP 模式设置		当 CPU 使用主系统时钟并执行 STOP 指令时		
		当 CPU 使用内部高速振荡时钟(f_{RH})时	当 CPU 使用 X1 时钟(f_x)时	当 CPU 使用外部主系统时钟(f_{EXCLK})时
项目				
系统时钟		停止 CPU 时钟		
主系统时钟	f_{RH}	停止		
	f_x			
	f_{EXCLK}	输入无效		
副系统时钟	f_{XT}	保持设置 STOP 模式前的状态		
	f_{RL}	保持设置 STOP 模式前的状态		
CPU		操作停止		
Flash 存储器		操作停止		
RAM		保持设置 STOP 模式前的状态		
端口 (锁存器)		保持设置 STOP 模式前的状态		
16 位定时器/时间计数器 00 ^{※1}		只有当 TM52 输出或 TI000 选作计数时钟时才能操作		
8 位定时器/事件计数器	50 ^{※1}	仅当选择 TI50 作为计数时钟时可操作		
	51 ^{※1}	仅当选择 TI51 作为计数时钟时可操作		
	52 ^{※1}	仅当选择 TI52 作为计数时钟时可操作		
8 位定时器	H0	在 8 位定时器/事件计数器 50 操作期间, 仅当选择 TM50 输出作为计数时钟时可操作		
	H1	仅当选择 f_{RL} , $f_{RL}/2^7$, $f_{RL}/2^9$ 作为计数时钟时可操作		
	H2	操作停止		
实时计数器		只有当副系统时钟选作计数时钟时才能操作		
看门狗定时器		可操作。当选项字节设置“可由软件停止内部低速振荡器”时, 停止看门狗定时器的时钟。		
蜂鸣器输出		操作停止		
10-位逐次逼近型 A/D 转换器				
16 位 型 A/D 转换器 ^{※2}				
串行接口	UART0	在 8 位定时器/事件计数器 50 操作期间, 仅当选择 TM50 输出作为计数时钟时可操作		
	UART6			
	CSI10 ^{※1}	仅当选择外部时钟作为串行时钟时可操作		
	CSIA0 ^{※1}	操作停止		
LCD 控制器/驱动器		仅当选择副系统时钟作为计数时钟时可操作		
曼彻斯特码发生器		操作停止		
远程控制接收器		仅当选择副系统时钟作为计数时钟时可操作		
上电清零 (POC) 功能		可操作		
低电压检测功能				
外部中断				

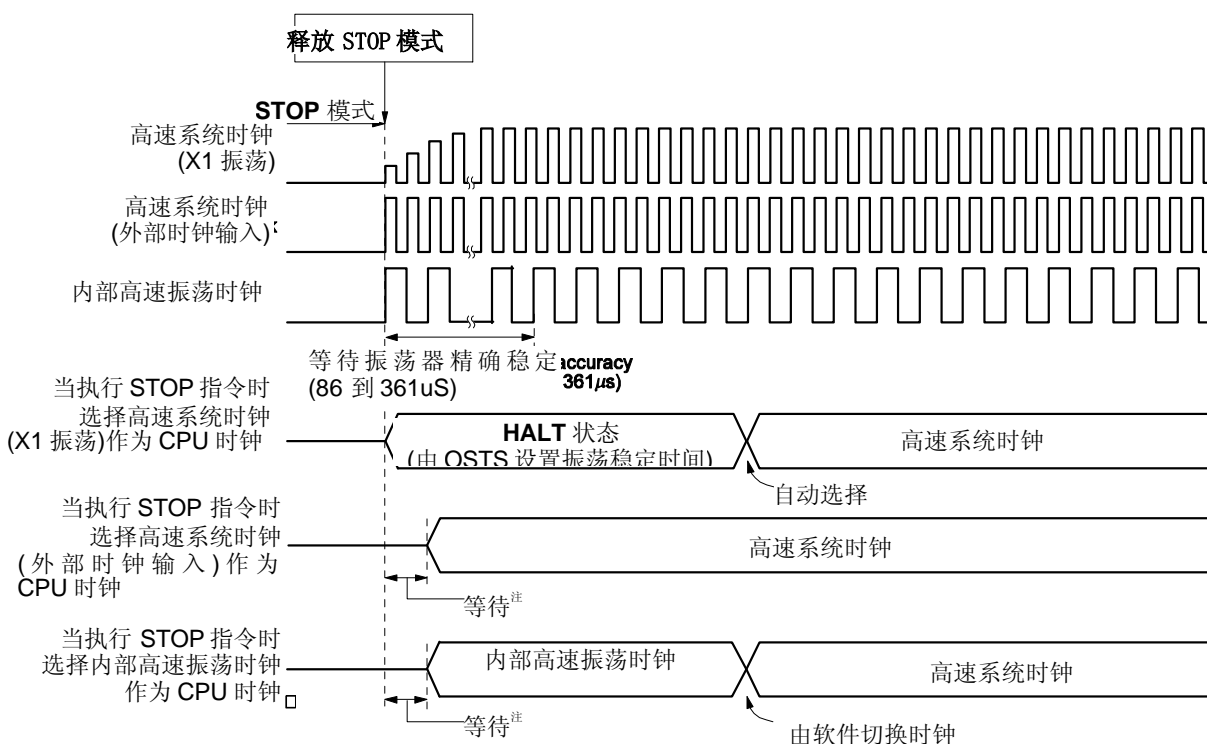
- 注 1. 当 CPU 使用副系统时钟且内部高速振荡时钟已经停止时, 不要启动使用外部时钟的外围硬件的功能。
 2. 当执行 STOP 指令时, 16 位型 A/D 转换器的电源必须关闭(ADDPON = 0)。

备注 f_{RH} : 内部高速振荡时钟
 f_x : X1 时钟
 f_{EXCLK} : 外部主系统时钟
 f_{XT} : XT1 时钟
 f_{RL} : 内部低速振荡时钟

- 注意事项 1. 在 **STOP** 模式释放后，要使用在 **STOP** 模式下停止操作的外围硬件，以及在 **STOP** 模式下时钟停止操作的外围硬件，必须重新启动外围硬件。
2. 即使通过选项字节选择“可由软件停止内部低速振荡器”，在 **STOP** 模式下，内部低速振荡时钟仍继续振荡，并保持 **STOP** 模式设置前的状态。要在 **STOP** 模式下停止内部低速振荡器的振荡，应通过软件停止该振荡器，然后执行 **STOP** 指令。
3. 当 CPU 使用高速系统时钟(X1 振荡)时，为了在 **STOP** 模式释放后缩短振荡稳定时间，可在执行 **STOP** 指令前将 CPU 时钟暂时切换到内部高速振荡时钟。**STOP** 模式释放后，在将 CPU 时钟从内部高速振荡时钟切换到高速系统时钟 (X1 振荡) 之前，应使用振荡稳定时间计数器的状态寄存器(OSTC)检测振荡稳定时间。

(2) 释放 STOP 模式

图 23-5. 释放 STOP 模式时的操作时序(当未屏蔽的中断请求产生时)



注 等待时间如下所示：

- 执行向量中断服务程序时：8 或 9 个时钟
- 不执行向量中断服务程序时：2 或 3 个时钟

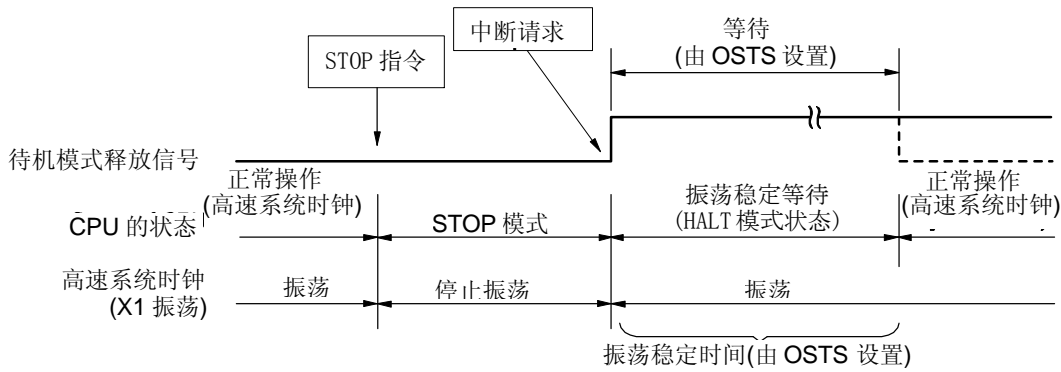
STOP 模式可通过以下两种方式释放。

(a) 由没有被屏蔽的中断请求释放

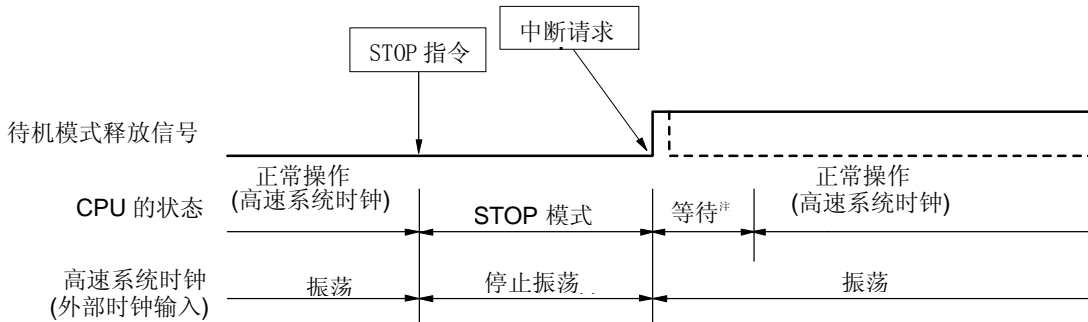
当产生一个没有被屏蔽的中断请求时，释放 STOP 模式。经历振荡稳定时间后，如果允许响应中断，则执行向量中断服务程序。如果禁止响应中断，则执行下一个地址的指令。

图 23-6. 通过产生中断请求释放 STOP 模式 (1/2)

(1) 当 CPU 使用高速系统时钟 (X1 振荡器)



(2) 当 CPU 使用高速系统时钟 (外部时钟输入)



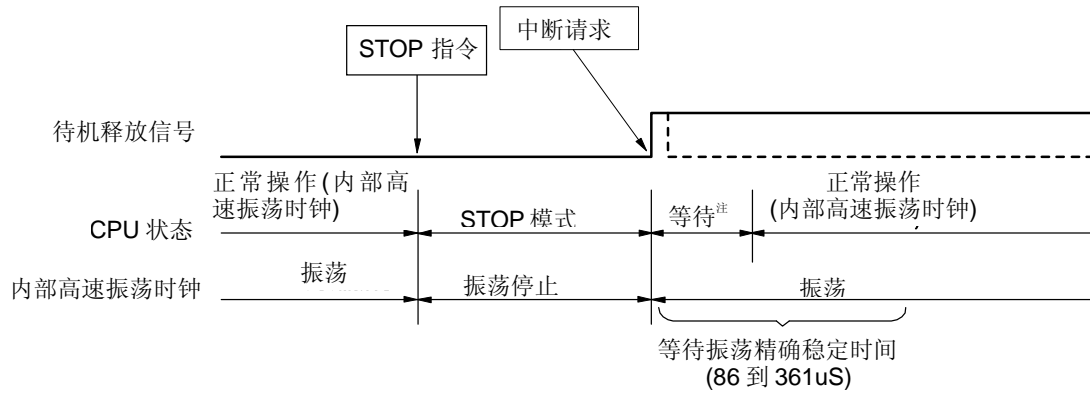
注 等待时间如下所示：

- 执行向量中断服务程序时：8 或 9 个 时钟
- 不执行向量中断服务程序时：2 或 3 个 时钟

备注 虚线表示释放待机模式的中断请求被响应的情况。

图 23-6. 通过产生中断请求释放 STOP 模式 (2/2)

(3) 当 CPU 使用内部高速振荡时钟



注 等待时间如下所示：

- 执行向量中断服务程序时：8 或 9 个时钟
- 不执行向量中断服务程序时：2 或 3 个时钟

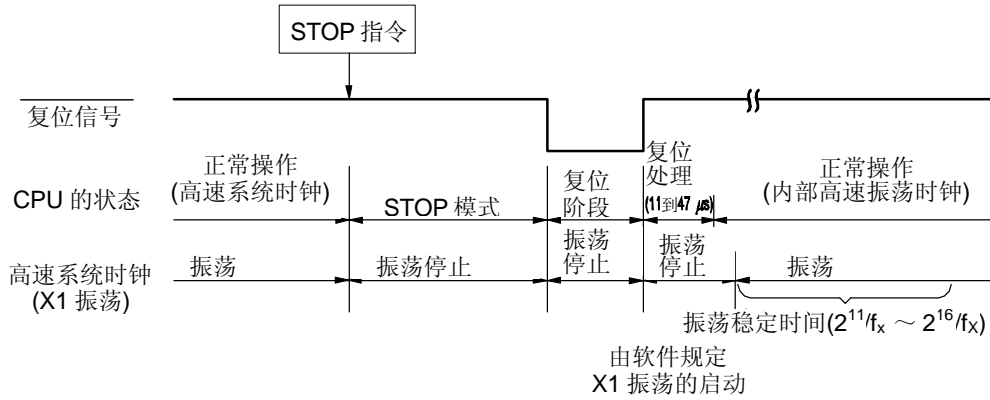
备注 虚线表示释放待机模式的中断请求被响应的情况。

(b) 由复位信号的产生释放

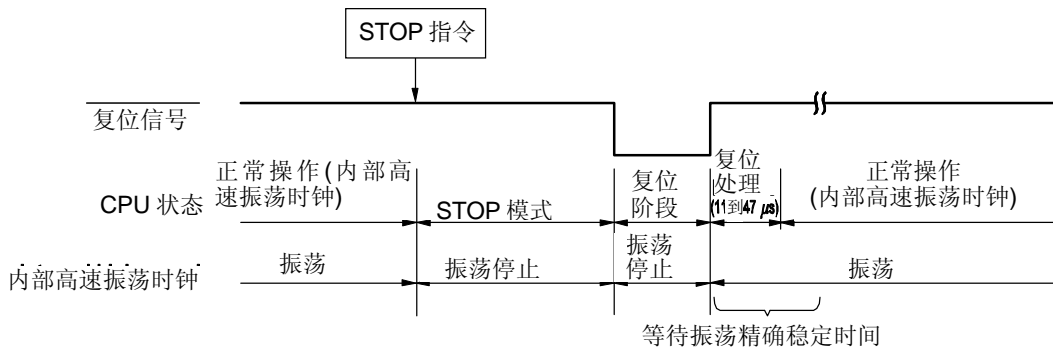
当产生复位信号时，释放 STOP 模式，然后在正常复位操作情况下，当程序转向复位向量地址后执行之。

图 23-7. 由复位释放 STOP 模式

(1) 当 CPU 使用高速系统时钟



(2) 当 CPU 使用内部高速振荡时钟



备注 fx: X1 时钟振荡频率

表 23-4. 在 STOP 模式中中断请求对应的操作

释放源	MKxx	PRxx	IE	ISP	操作
可屏蔽的中断请求	0	0	0	×	执行下一个地址的指令
	0	0	1	×	执行中断服务程序
	0	1	0	1	执行下一个地址的指令
	0	1	×	0	
	0	1	1	1	执行中断服务程序
	1	×	×	×	保持 STOP 模式
复位	-	-	×	×	复位处理

x: 不必考虑

第二十四章 复位功能

以下 4 种操作用于产生复位信号。

- (1) 由 $\overline{\text{RESET}}$ 引脚输入的外部复位信号
- (2) 由看门狗定时器程序循环检测引起的内部复位
- (3) 通过比较上电清零 (POC) 电路的检测电压和供电电压引起的内部复位
- (4) 通过比较低电压检测电路 (LVI) 的检测电压和供电电压引起的内部复位

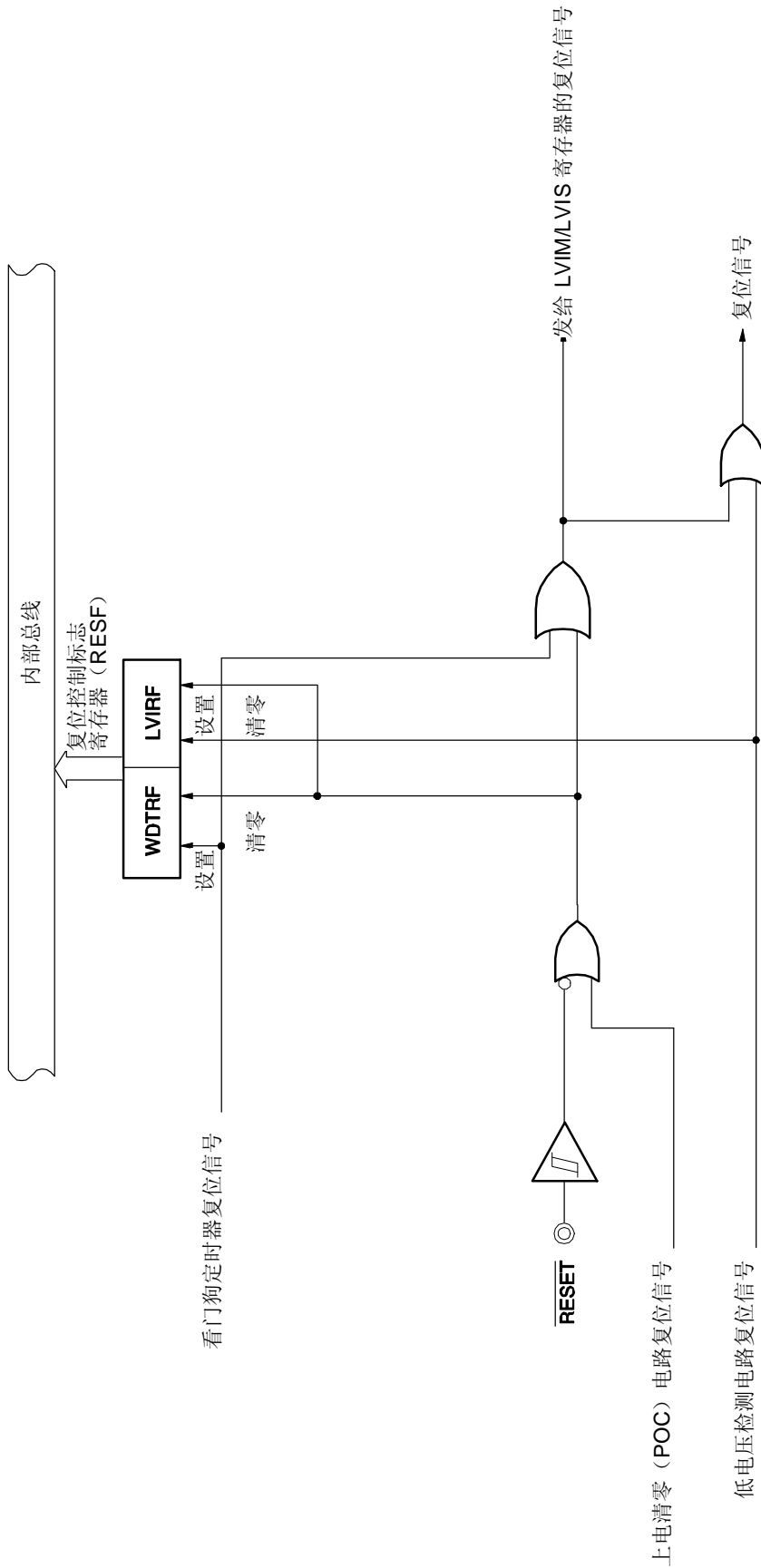
外部复位与内部复位在功能上没有什么区别。在这两种情况中，当产生复位信号时，程序都是从地址 0000H 和 0001H 处开始执行。

当 $\overline{\text{RESET}}$ 引脚输入为低电平、看门狗定时器溢出或 POC 和 LVI 电路的电压检测都可以引起复位，每项硬件的设置状态如表 24-1 和 24-2 所示。在复位信号产生期间或在复位释放后振荡稳定时间内，每个引脚均为高阻抗。

当 $\overline{\text{RESET}}$ 引脚输入低电平时，设备被复位。当 $\overline{\text{RESET}}$ 引脚输入高电平时，设备从复位状态释放，并在复位处理后使用内部高速振荡时钟执行程序。由看门狗定时器引起的复位自动释放，并在复位处理后使用内部高速振荡时钟执行程序(参见图 24-2 ~ 24-4)。由 POC 和 LVI 电路供电电压检测引起的复位，在复位后，当 $V_{DD} \geq V_{POC}$ 或 $V_{DD} \geq V_{LVI}$ 时自动释放，并使用内部高速振荡时钟执行程序（参见第二十五章 上电清零电路 和 第二十六章 低电压检测电路）。

- 注意事项**
1. 对于外部复位，输入 $\overline{\text{RESET}}$ 引脚的低电平的时间至少应为 10 μs 。
 2. 复位输入期间，X1 时钟、XT1 时钟、内部高速振荡时钟和内部低速振荡时钟停止振荡。外部主系统时钟输入和外部副系统时钟输入无效。
 3. 在通过复位释放 STOP 模式时，复位输入期间保持 STOP 模式的内容。但端口引脚变为高阻态。

图 24-1. 复位功能的框图



注意事项 LVI 电路内部复位功能不能复位 LVI 电路。

- 备注**
- 1. LVIM: 低电压检测寄存器
 - 2. LVIS: 低电压检测等级选择寄存器

图 24-2. 由 RESET 输入进行复位的时序

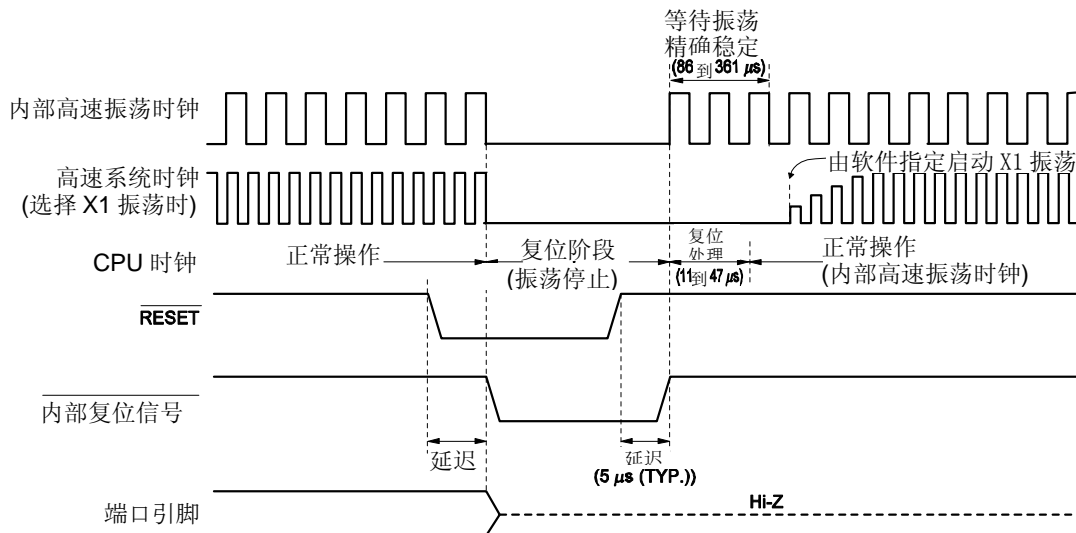
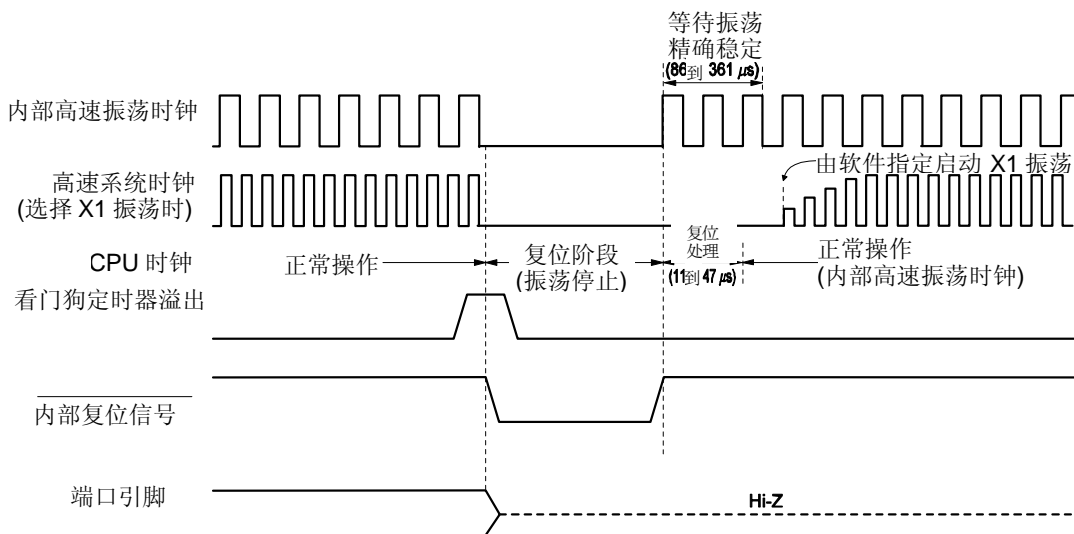
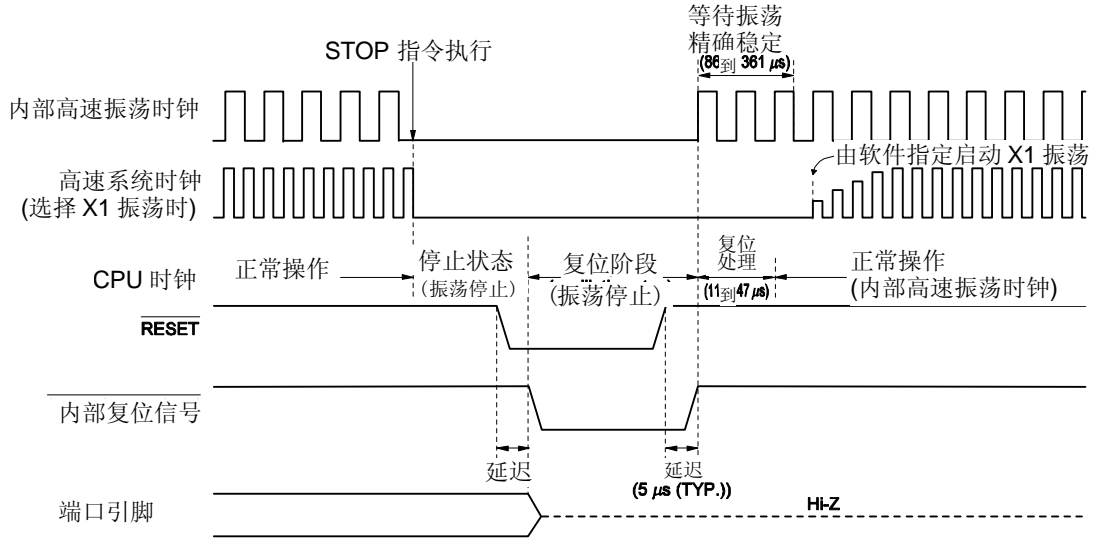


图 24-3. 由于看门狗定时器溢出进行复位的时序



注意事项 看门狗定时器内部复位功能也可以复位看门狗定时器。

图 24-4. 在 STOP 模式下通过 RESET 输入进行复位的时序



备注 如需了解上电清零 (POC) 电路和低电压检测电路的复位时序, 可参见第二十五章 上电清零电路 和 第二十六章 低电压检测电路。

表 24-1. 复位期间的操作状态

项目	复位期间	
系统时钟	停止 CPU 时钟	
主系统时钟	f _{RH}	停止操作
	f _x	停止操作(引脚为 I/O 端口模式)
	f _{EXCLK}	时钟输入无效 (引脚为 I/O 端口模式)
副系统时钟	f _{XT}	停止操作 (引脚为 I/O 端口模式)
	f _{RL}	停止操作
CPU		
Flash 存储器		
RAM		
端口 (锁存器)		
16 位定时器/事件计数器 00		
8 位定时器/事件计数器	50	
	51	
	52	
8 位定时器	H0	
	H1	
	H2	
实时计数器		
看门狗定时器		
蜂鸣器输出		
10-位逐次逼近型 A/D 转换器		
16 位 型 A/D 转换器		
串行接口	UART0	
	UART6	
	CSI10	
	CSIA0	
LCD 控制/驱动器		
曼彻斯特码发生器		
远程控制接收器		
上电清零功能	操作	
低电压检测功能	操作停止	
外部中断		

备注

f_{RH}: 内部高速振荡时钟

f_x: X1 振荡时钟

f_{EXCLK}: 外部主系统时钟

f_{XT}: XT1 振荡时钟

f_{RL}: 内部低速振荡时钟

表 24-2. 复位响应后的硬件状态(1/4)

硬件		响应复位后的状态 ^{注1}
程序计数器 (PC)		设置复位向量表的内容 (0000H、0001H)
堆栈指针 (SP)		不确定
程序状态字 (PSW)		02H
RAM	数据存储器	不确定 ^{注2}
	通用寄存器	不确定 ^{注2}
端口寄存器 (P1 ~ P4, P8, P10 ~ P12, P14, P15) (输出锁存)		00H
端口模式寄存器 (PM1 ~ PM4, PM8, PM10 ~ PM12, PM14, PM15)		FFH
上拉电阻选项寄存器 (PU1, PU3, PU4, PU8, PU10 ~ PU12, PU14, PU15)		00H
端口功能寄存器 (PF1)		00H
端口功能寄存器(PF2)		00H
端口功能寄存器(PFALL)		00H
内部扩展 RAM 容量切换寄存器(IXS)		0CH ^{注3}
内部存储器容量切换寄存器(IMS)		CFH ^{注3}
时钟输出模式选择寄存器(OSCCTL)		00H
处理器时钟控制寄存器 (PCC)		01H
内部振荡模式寄存器(RCM)		80H
主 OSC 控制寄存器(MOC)		80H
主时钟模式寄存器 (MCM)		00H
振荡稳定时间计数器状态寄存器(OSTC)		00H
振荡稳定时间选择寄存器 (OSTS)		05H
内部高速振荡修正寄存器(HIOTRM)		10H
16 位定时器/事件计数器 00	定时器计数器 00 (TM00)	0000H
	捕捉/比较寄存器 000, 010 (CR000, CR010)	0000H
	模式控制寄存器 00 (TMC00)	00H
	预分频器模式寄存器 00 (PRM00)	00H
	捕捉/比较控制寄存器 00 (CRC00)	00H
	定时器输出控制寄存器 00 (TOC00)	00H
8-位定时器/事件计数器 50, 51, 52	定时器计数器 50, 51, 52 (TM50, TM51, TM52)	00H
	比较寄存器 50, 51, 52 (CR50, CR51, CR52)	00H
	定时器时钟选择寄存器 50, 51, 52 (TCL50, TCL51, TCL52)	00H
	模式控制寄存器 50, 51, 52 (TMC50, TMC51, TMC52)	00H

- 注
1. 在复位信号产生或振荡稳定时间等待期间，硬件状态中只有 PC 内容不确定。复位后其它硬件状态保持不变。
 2. 当在待机模式中进行复位时，即使复位后也保持复位前的状态。
 3. 不管内部存储器容量，78K0/LC3 中所有产品的内部存储器容量切换寄存器 (IMS) 初始值都是恒定的(IMS = CFH)。因此，按以下设置各个产品相应值。

Flash Memory Version (78K0/LF3)	IMS	IXS
μPD78F0471, 78F0481, 78F0491	04H	0CH
μPD78F0472, 78F0482, 78F0492	C6H	
μPD78F0473, 78F0483, 78F0493	C8H	
μPD78F0474, 78F0484, 78F0494	CCH	0AH
μPD78F0475, 78F0485, 78F0495	CFH	

表 24-2. 复位响应后的硬件状态 (2/4)

硬件		响应复位后的状态 ^{注1}
8-位计数器 H0, H1, H2	比较寄存器 00, 10, 01, 11, 02, 12 (CMP00, CMP10, CMP01, CMP11, CMP02, CMP12)	00H
	模式寄存器 (TMHMD0, TMHMD1, TMHMD2)	00H
	载波控制寄存器 1 (TMCYC1) ^{注2}	00H
实时计数器	时钟选择寄存器 (RTCCL)	00H
	副计数寄存器 (RSUBC)	0000H
	秒计数寄存器 (SEC)	00H
	分技术寄存器 (MIN)	00H
	小时技术寄存器 (HOUR)	12H
	周计数寄存器 (WEEK)	00H
	天计数寄存器 (DAY)	01H
	月计数寄存器 (MONTH)	01H
	年计数寄存器 (YEAR)	00H
	钟表误差修正计数器 (SUBCUD)	00H
	报警分寄存器 (ALARMWM)	00H
	报警小时寄存器 (ALARMWH)	12H
	报警周寄存器 (ALARMWW)	00H
	控制寄存器 0 (RTCC0)	00H
	控制寄存器 1 (RTCC1)	00H
控制寄存器 2 (RTCC2)	00H	
蜂鸣器输出控制器	时钟输出选择寄存器 (CKS)	00H
看门狗定时器	使能寄存器 (WDTE)	1AH/9AH ^{注3}
10-位逐次逼近型 A/D 转换器	10 位 A/D 转换结果寄存器 (ADCR)	0000H
	8 位 A/D 转换结果寄存器 (ADCRH)	00H
	模式寄存器 (ADM)	00H
	模拟输入通道选择寄存器 (ADS)	00H
	A/D 端口配置寄存器 (ADPC0)	08H
16 位 型 A/D 转换器	A/D 转换器控制寄存器 0 (ADDCTL0)	00H
	A/D 转换器控制寄存器 1 (ADDCTL1)	00H
	16 位 A/D 转换状态寄存器 (ADDSTR)	00H
	16 位 A/D 转换结果寄存器 (ADDCR)	0000H
	8-位 A/D 转换结果寄存器 (ADDCRH)	00H
串行接口 UART0	接收缓冲寄存器 0 (RXB0)	FFH
	发送移位寄存器 0 (TXS0)	FFH
	异步串行接口操作模式寄存器 0 (ASIM0)	01H
	异步串行接口接收错误状态寄存器 0 (ASIS0)	00H
	波特率发生器控制寄存器 0 (BRGC0)	1FH

- 注
1. 在复位信号产生或振荡稳定时间等待期间，硬件状态中只有 PC 内容不确定。复位后其它硬件状态保持不变。
 2. 仅用于 8 位定时器 H1。
 3. 通过设置选项字节确定 WDTE 的复位值。

表 24-2. 复位响应后的硬件状态(3/4)

硬件		响应复位后的状态 ^{註1}
串行接口	接收缓冲寄存器 6 (RXB6)	FFH
	发送缓冲寄存器 6 (TXB6)	FFH
	异步串行接口操作模式寄存器 6 (ASIM6)	01H
	异步串行接口接收错误状态寄存器 6 (ASIS6)	00H
	异步串行接口发送状态寄存器 6 (ASIF6)	00H
	时钟选择寄存器 6 (CKSR6)	00H
	波特率发生器控制寄存器 6 (BRGC6)	FFH
	异步串行接口控制寄存器 6 (ASICL6)	16H
	输入切换控制寄存器 (ISC)	00H
串行接口 CSI10	发送缓冲寄存器 10 (SOTB10)	00H
	串行 I/O 移位寄存器 10 (SIO10)	00H
	串行操作模式寄存器 10 (CSIM10)	00H
	串行时钟选择寄存器 10 (CSIC10)	00H
LCD 控制器/驱动器	LCD 模式设置寄存器 (LCDMD)	00H
	LCD 显示模式寄存器 (LCDM)	00H
	LCD 时钟控制寄存器 (LDCD0)	00H
曼彻斯特码发生器	发送缓冲寄存器 (MC0TX)	FFH
	发送位计数规定计数器(MC0BIT)	07H
	控制寄存器 0 (MC0CTL0)	10H
	控制寄存器 1 (MC0CTL1)	00H
	控制寄存器 2 (MC0CTL2)	1FH
	状态寄存器 (MC0STR)	00H
按键中断	按键返回模式寄存器 (KRM)	00H
复位功能	复位控制标志寄存器 (RESF)	00H ^{註2}
低电压检测电路	低电压检测寄存器(LVIM)	00H ^{註2}
	低电压检测等级选择寄存器 (LVIS)	00H ^{註2}

- 注
1. 在复位信号产生或振荡稳定时间等待期间，硬件状态中只有 PC 内容不确定。复位后其它硬件状态保持不变。
 2. 这些值依据复位源的不同而变化。

寄存器		复位源			
		RESET 输入	由 POC 进行复位	由 WDT 进行复位	由 LVI 进行复位
RESF	WDTRF 位	清零(0)	清零(0)	设置 (1)	Held
	LVIRF 位			保持	Set (1)
LVIM		清零(00H)	清零(00H)	清零 (00H)	保持
LVIS					

表 24-2. 复位响应后的硬件状态 (4/4)

硬件		响应复位后的状态 ^{注 1}
远程控制接收器	远程控制接收移位寄存器(RMSR)	00H
	远程控制接收数据寄存器 (RMDR)	00H
	远程控制移位寄存器接受计数器寄存器 (RMSCR)	00H
	远程控制接收 GPHS 比较寄存器(RMGPHS)	00H
	远程控制接收 GPHL 比较寄存器(RMGPHL)	00H
	远程控制接收 DLS 比较寄存器(RMDLS)	00H
	远程控制接收 DLL 比较寄存器(RMDLL)	00H
	远程控制接收 DH0S 比较寄存器(RMDH0S)	00H
	远程控制接收 DH0L 比较寄存器(RMDH0L)	00H
	远程控制接收 DH1S 比较寄存器(RMDH1S)	00H
	远程控制接收 DH1L 比较寄存器(RMDH1L)	00H
	远程控制接收结束宽度选择(RMER)	00H
	远程控制接收中断状态寄存器 (INTS)	00H
	远程控制接收中断状态清除寄存器(INTC)	00H
	远程控制接收控制寄存器(RMCN)	00H
中断	请求标志寄存器 0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	屏蔽标志寄存器 0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	优先级指定标志寄存器 0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部中断上升沿使能寄存器(EGP)	00H
	外部中断下降沿使能寄存器(EGN)	00H

注 在复位信号产生或振荡稳定时间等待期间，硬件状态中只有 PC 内容不确定。复位后其它硬件状态保持不变。

24.1 确认复位源的寄存器

78K0/LF3 中有许多内部复位源。复位控制标志寄存器 (RESF) 用于存储产生复位请求的复位源。

可由 8 位存储器操作指令读取 RESF。

RESET 输入、由 POC 电路引起的复位输入以及读取 RESF 可将 RESF 清零 (00H)。

图 25-5. 复位控制标志寄存器 (RESF) 的格式

地址: FFACH 复位后: 00H^注 R

符号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	看门狗定时器产生的内部复位请求 (WDT)
0	不产生内部复位请求, 或对 RESF 清零
1	产生内部复位请求

LVIRF	由低电压检测电路 (LVI) 产生的内部复位请求
0	不产生内部复位请求, 或对 RESF 清零
1	产生内部复位请求

注 复位后的值依据复位源而变化。

注意事项 不能通过 1 位存储器操作指令读取数据。

产生复位请求时的 RESF 状态如表 20-3 所示。

表 24-3. 产生复位请求时的 RESF 状态

复位源 标志	RESET 输入	由 POC 引起的 复位	由 WDT 引起的 复位	由 LVI 引起的复 位
WDTRF	清零(0)	清零(0)	设置(1)	保持
LVIRF			保持	设置 (1)

25.1 上电清零电路的功能

上电清零电路（POC）有以下功能。

- 在上电时产生内部复位信号。
在 1.59 V POC 模式下 (选项字节: POCMODE = 0)，当供电电压 (V_{DD}) 超过 $1.59\text{ V} \pm 0.15\text{ V}$ 时，释放复位信号。
在 2.7 V/1.59 V POC 模式下 (选项字节: POCMODE = 1)，当供电电压 (V_{DD}) 超过 $2.7\text{ V} \pm 0.2\text{ V}$ 时，释放复位信号。
- 比较供电电压 (V_{DD}) 和检测电压 ($V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$)，并在 $V_{DD} < V_{POC}$ 时产生内部复位信号，在 $V_{DD} \geq V_{POC}$ 释放复位。

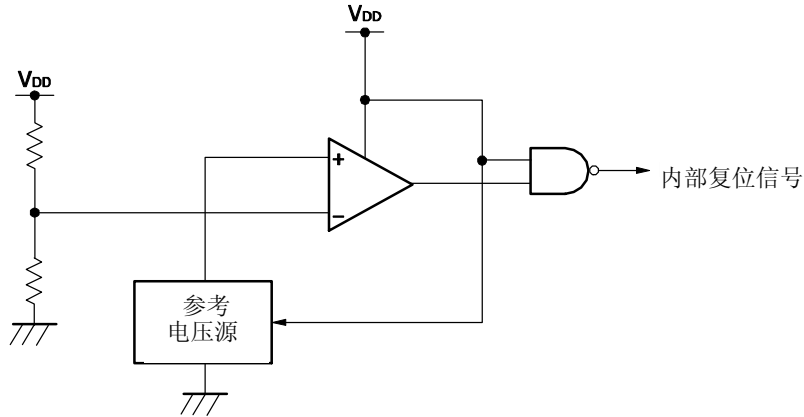
注意事项 如果由 POC 电路产生内部复位信号，则将复位控制标志寄存器（RESF）清零（00H）。

备注 78K0/LF3 集成了多种可以产生内部复位信号的硬件功能。RESF 中有一个标志用于指示复位源，用于看门狗定时器（WDT）或低电压检测电路（LVI）产生的内部复位信号。当 WDT 或 LVI 产生内部复位信号时，不对 RESF 清零（00H），标志位被设置为 1。
如需了解 RESF 的详细内容，参见第二十四章 复位功能。

25.2 上电清零电路的配置

上电清零电路的框图如图 25-1 所示。

图 25-1. 上电清零电路的框图



25.3 上电清零电路的操作

(1) 1.59 V POC 模式 (选项字节: POCMODE = 0)

- 上电时产生内部复位信号。当供电电压(V_{DD})超过检测电压($V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$)时，释放复位状态。
- 比较供电电压(V_{DD})和检测电压($V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$)。当 $V_{DD} < V_{POC}$ 时，产生内部复位信号。当 $V_{DD} \geq V_{POC}$ ，释放内部复位信号。

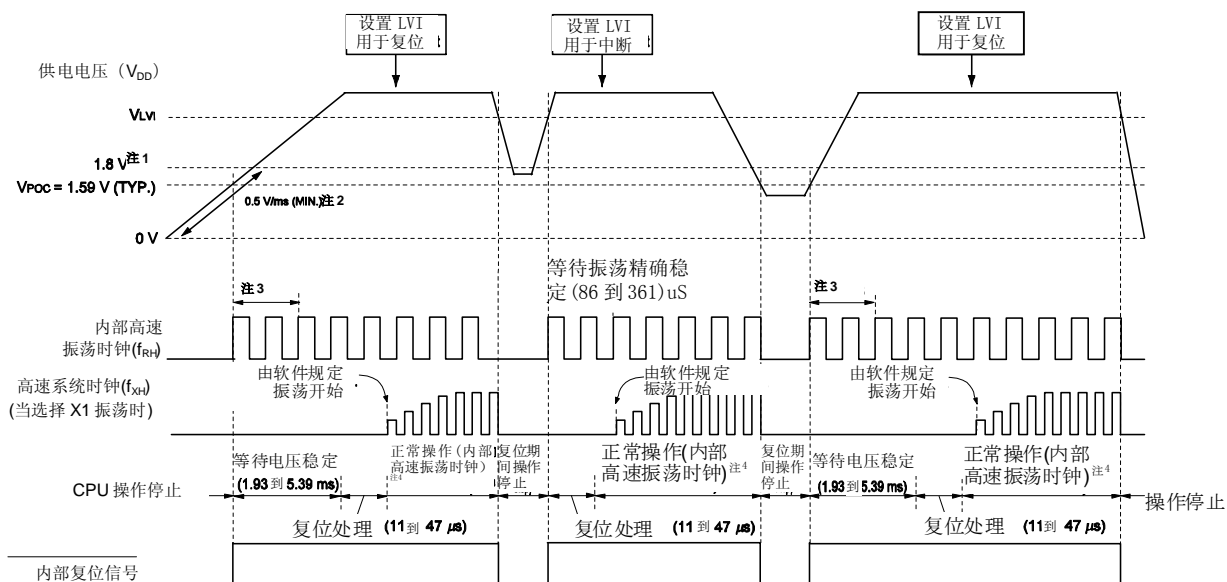
(2) 2.7 V/1.59 V POC 模式 (选项字节: POCMODE = 1)

- 上电时产生内部复位信号。当供电电压(V_{DD})超过检测电压($V_{DDPOC} = 2.7\text{ V} \pm 0.2\text{ V}$)时，释放复位状态。
- 比较供电电压(V_{DD})和检测电压($V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$)。当 $V_{DD} < V_{POC}$ 时，产生内部复位信号。当 $V_{DD} \geq V_{POC}$ 时，释放内部复位信号。

由上电清零电路和低电压检测电路产生内部复位信号的时序如下所示。

图 25-2. 由上电清零电路和低电压检测电路产生内部复位信号的时序 (1/2)

(1) 1.59 V POC 模式 (选项字节: POCMODE = 0)



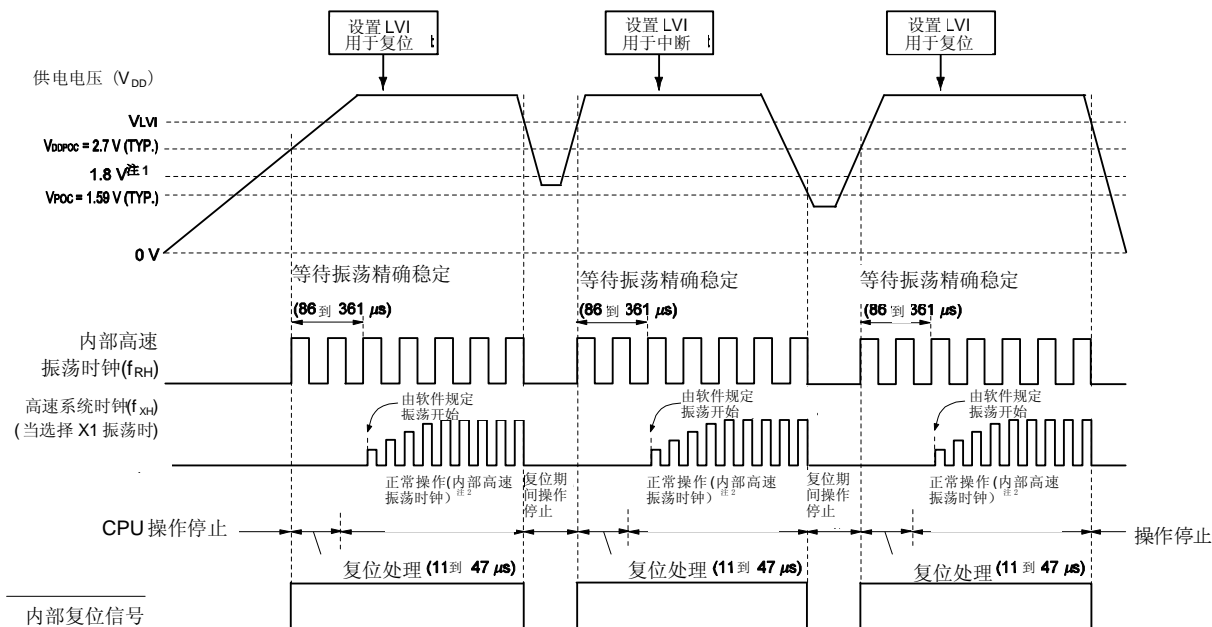
- 注**
1. 保证操作的电压范围： $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 。当供电电压下降时，为使状态低于 1.8 V 复位状态，可以使用低电压检测电路的复位功能，或通过 **RESET** 引脚输入低电平。
 2. 如果上电后电压上升到 1.8 V 的速率小于 0.5 V/ms (MIN.) ，则在上电后且电压抵达 1.8 V 以前输入一个低电平到 **RESET** 引脚，或者通过使用选项字节 ($\text{POCMODE} = 1$) 设置 $2.7\text{ V}/1.59\text{ V}$ POC 模式。
 3. 内部电压稳定时间包括内部高速振荡时钟的振荡精确稳定时间。
 4. 可以选择内部高速振荡时钟和高速系统时钟或副系统时钟作为 CPU 时钟。如果要使用 X1 时钟，可以通过 **OSTC** 确认是否经历了振荡稳定时间。而如果使用 XT1 时钟，可以通过定时器功能来确认是否经历了振荡稳定时间。

注意事项 在释放复位状态后通过软件设置低电压检测电路 (参见第二十六章 低电压检测电路)。

备注 V_{LVI} : LVI 检测电压
 V_{POC} : POC 检测电压

图 25-2. 由上电清零电路和低电压检测电路产生内部复位信号的时序(2/2)

(2) 2.7 V/1.59 V POC 模式 (选项字节: POCMODE = 1)



- 注
1. 保证操作的电压范围: $1.8V \leq V_{DD} \leq 5.5V$ 。当供电电压下降时,为使状态低于 $1.8V$ 复位状态,可以使用低电压检测电路的复位功能,或向 **RESET** 引脚输入低电平。
 2. 可以选择内部高速振荡时钟和一个高速系统时钟或一个子系统时钟作为 CPU 时钟。如果要使用 X1 时钟,可以通过 **OSTC** 确认是否经历了振荡稳定时间。而如果要使用 XT1 时钟,可以通过定时器功能来确认是否经历了振荡稳定时间。

- 注意事项
1. 在释放复位状态后通过软件设置低电压检测电路 (参见第二十六章 低电压检测电路)。
 2. 在电源电压达到 $1.59V$ (TYP.)后需要一个 1.93 到 $5.39ms$ 的电压振荡稳定时间。如果电源电压在 $1.93ms$ 内从 $1.59V$ (TYP.)上升到 $2.7V$ (TYP.),那么在复位处理之前 0 到 $5.39ms$ 的电源电压振荡稳定时间自动设置。

备注 V_{LVI} : LVI 检测电压
 V_{POC} : POC 检测电压

25.4 上电清零电路使用注意事项

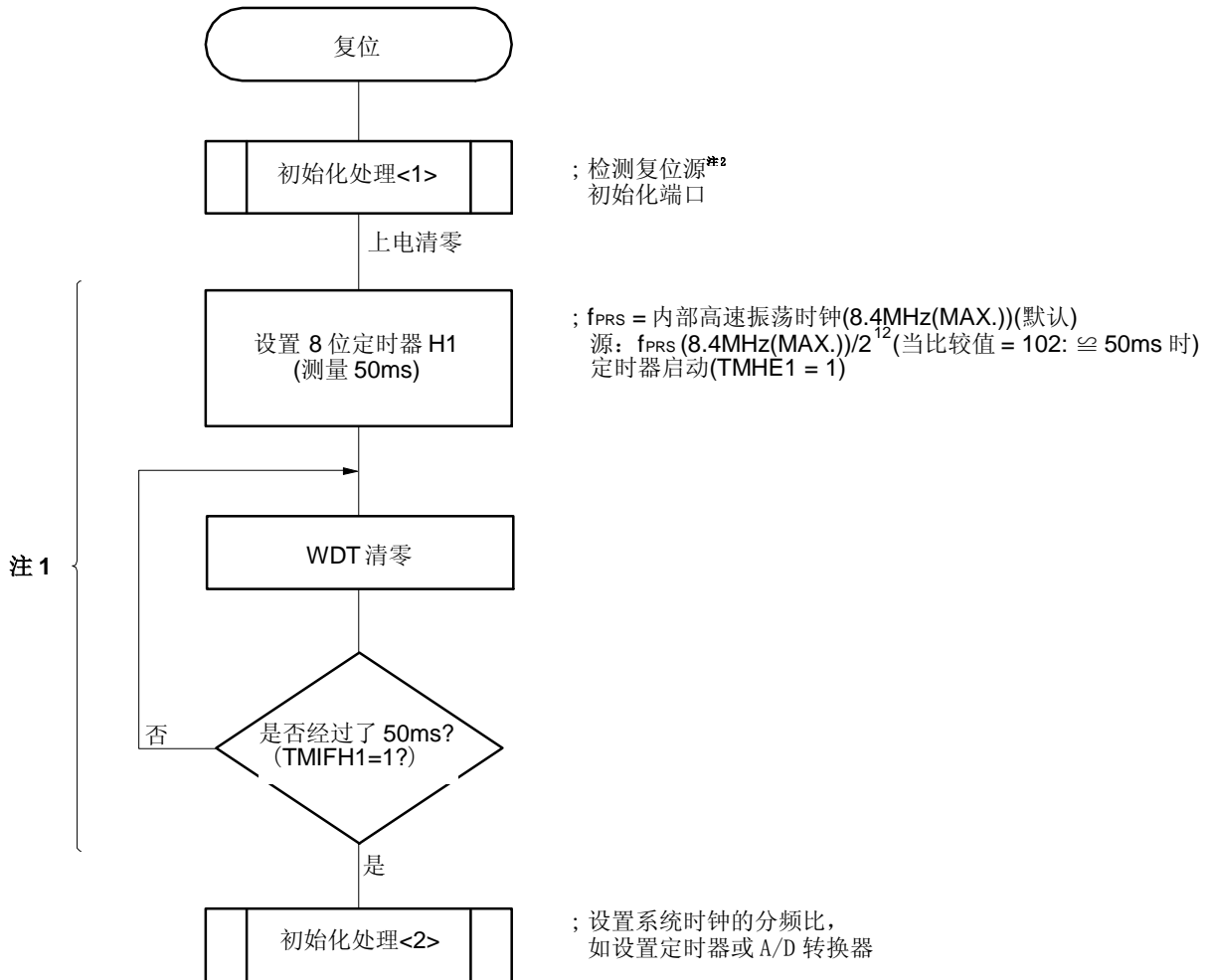
在系统中，如果供电电压 (V_{DD}) 接近 POC 检测电压 (V_{POC}) 时的一段时间内产生波动，则系统可能会反复复位和释放复位。在这种情况下，可采用下列方法任意设置从复位释放到微控制器的启动所需要的时间。

<方法>

在释放复位信号后，通过软件计数器（使用一个定时器）等待系统供电电压的波动期，然后对端口初始化。

图 25-3. 复位释放后软件处理过程示例 (1/2)

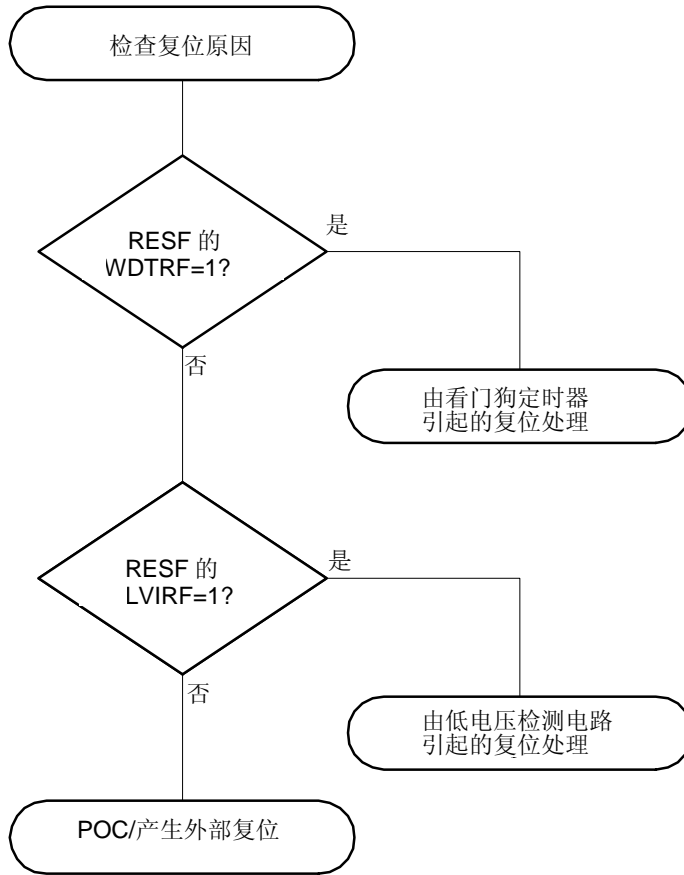
- 如果供电电压接近 POC 检测电压，其波动时间≤50 ms



- 注
1. 如果在此期间再次产生复位，则不启动初始化操作<2>。
 2. 流程图显示在下页。

图 25-3. 复位释放后软件处理过程示例(2/2)

•检查复位原因



第二十六章 低电压检测器

26.1 低电压检测器的功能

低电压检测器 (LVI) 有以下功能。

- 比较供电电压 (V_{DD}) 和检测电压 (V_{LVI})，并在 $V_{DD} < V_{LVI}$ 时产生内部中断信号或内部复位信号。通过软件改变供电电压的检测等级 (16 等级)。
- 比较外部输入引脚的输入电压 (EXLVI) 与检测电压 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$)，并在 $EXLVI < V_{EXLVI}$ 时产生内部中断信号或内部复位信号。
- 可由软件选择供电电压 (V_{DD}) 或外部输入引脚的输入电压 (EXLVI)。
- 可由软件选择中断或复位功能。
- 在 STOP 模式下可操作。

复位信号和中断信号依据软件的选择按照如下方式产生。

供电电压 (V_{DD}) 的点评检测的选择 (LVISEL = 0)		从外部输入引脚的输入电压电平检测的选择 (EXLVI) (LVISEL = 1)	
选择复位 (LVIMD = 1).	选择中断 (LVIMD = 0).	选择复位 (LVIMD = 1).	选择中断 (LVIMD = 0).
当 $V_{DD} < V_{LVI}$ 时产生内部复位信号并且当 $V_{DD} \geq V_{LVI}$ 时释放复位信号。	当 V_{DD} 降落至比 V_{LVI} 低 ($V_{DD} < V_{LVI}$) 时产生内部中断信号或者当 V_{DD} 变成 V_{LVI} 或更高 ($V_{DD} \geq V_{LVI}$) 时。	当 $EXLVI < V_{EXLVI}$ 时产生内部复位信号并且当 $EXLVI \geq V_{EXLVI}$ 时释放复位信号。	当 EXLVI 降落至比 V_{EXLVI} 低 ($EXLVI < V_{EXLVI}$) 时产生内部中断信号或者当 EXLVI 变成 V_{EXLVI} 或更高 ($EXLVI \geq V_{EXLVI}$) 时。

备注 LVISEL: 低电压检测寄存器 (LVIM) 的位 2
LVIMD: LVIM 的位 1

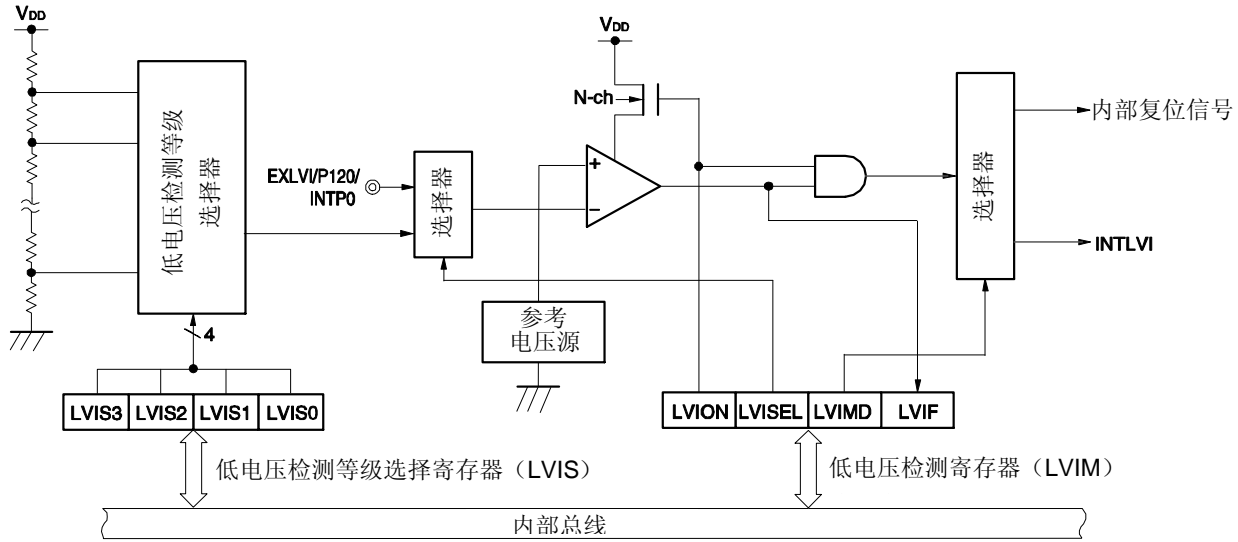
当低电压检测时，供电电压或者外部输入引脚的输入电压可以通过读取低电压检测标志 (LVIM 的位 0: LVIF) 得知其是否高于或低于检测电平。

当低电压检测器用作产生复位时，如果复位产生，复位控制标志寄存器 (RESF) 的第 0 位 (LVIRF) 被置 1。需要了解 RESF 的详细信息，请参见 **第二十四章 复位功能**。

26.2 低电压检测器的配置

低电压检测器的框图如图 26-1 所示。

图 26-1. 低电压检测器的框图



26.3 控制低电压检测器的寄存器

低电压检测器由以下寄存器控制。

- 低电压检测寄存器 (LVIM)
- 低电压检测等级选择寄存器 (LVIS)
- 端口模式寄存器 12(PM12)

(1) 低电压检测寄存器 (LVIM)

该寄存器用于设置低电压检测和操作模式。

可由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号的产生将 LVIM 设置为 00H。

图 26-2. 低电压检测寄存器 (LVIM) 的格式

地址: FFBEH 复位后: 00H^{注1} R/W^{注2}

符号	<7>	6	5	4	3	<2>	<1>	<0>
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3,4}	允许低电压检测操作
0	禁止操作
1	允许操作

LVISEL ^{注2}	电压检测的选择
0	检测供电电压(V _{DD})的等级
1	检测外部输入引脚的输入电压(EXLVI)的等级

LVIMD ^{注3}	低电压检测操作模式(中断/复位)的选择
0	<ul style="list-style-type: none"> LVISEL = 0: 当供电电压(V_{DD}) < 检测电压 (V_{LVI}), 产生中断信号 LVISEL = 1: 当外部输入引脚的输入电压(EXLVI) < 检测电压 (V_{LVI}), 产生中断信号
1	<ul style="list-style-type: none"> LVISEL = 0: 当供电电压(V_{DD}) < 检测电压 (V_{LVI}), 产生内部复位信号 LVISEL = 1: 当外部输入引脚的输入电压(EXLVI) < 检测电压 (V_{LVI}), 产生内部复位信号

LVIF ^{注3}	低电压检测标志
0	<ul style="list-style-type: none"> LVISEL = 0: 供电电压 (V_{DD}) ≥ 检测电压 (V_{LVI}) 或当禁止操作时 LVISEL = 1: 外部输入引脚的输入电压(EXLVI) ≥ 检测电压(V_{EXLVI}), 或当禁止操作时
1	<ul style="list-style-type: none"> LVISEL = 0: 供电电压 (V_{DD}) < 检测电压 (V_{LVI}) LVISEL = 1: 外部输入引脚的输入电压(EXLVI) < 检测电压(V_{EXLVI})

- 注
1. 第 0 位只读。
 2. 在产生除 LVI 复位以外的复位时, LVION、LVIMD 和 LVISEL 被清零(0)。在产生 LVI 复位时这些位不被清零。
 3. 当 LVION=1 时, LVI 电路中的比较器开始操作。从设置 LVION=1 到 LVIF 确定电压, 使用软件等待操作稳定时间(10 μs (MAX.))。
 4. 当 LVION = 1 且 LVIMD = 0 时, 输出 LVIF 的值作为中断请求 INTLVI 的中断源。

- 注意事项
1. 在执行以下任一过程后, 停止 LVI。
 - 当使用 8 位操作指令时: 00H → LVIM。
 - 当使用 1 位存储器操作指令时: 对 LVION 清零。
 2. 外部输入引脚的输入电压(EXLVI)必须为: EXLVI < V_{DD}。
 3. 当 LVI 用于中断时, 如果在 LVI 检测电压状态下, LVION 被清 0, 会产生 INTLVI 信号并将 LVIF 置 1。

(2) 低电压检测等级选择寄存器 (LVIS)

该寄存器用于选择低电压检测等级。

可由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号将 LVIS 设置为 00H。

图 26-3. 低电压检测等级选择寄存器 (LVIS) 的格式

地址: FFBFH 复位后: 00H^注 R/W

符号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	检测等级
0	0	0	0	V_{LV10} (4.24 V \pm 0.1 V)
0	0	0	1	V_{LV11} (4.09 V \pm 0.1 V)
0	0	1	0	V_{LV12} (3.93 V \pm 0.1 V)
0	0	1	1	V_{LV13} (3.78 V \pm 0.1 V)
0	1	0	0	V_{LV14} (3.62 V \pm 0.1 V)
0	1	0	1	V_{LV15} (3.47 V \pm 0.1 V)
0	1	1	0	V_{LV16} (3.32 V \pm 0.1 V)
0	1	1	1	V_{LV17} (3.16 V \pm 0.1 V)
1	0	0	0	V_{LV18} (3.01 V \pm 0.1 V)
1	0	0	1	V_{LV19} (2.85 V \pm 0.1 V)
1	0	1	0	V_{LV10} (2.70 V \pm 0.1 V)
1	0	1	1	V_{LV11} (2.55 V \pm 0.1 V)
1	1	0	0	V_{LV12} (2.39 V \pm 0.1 V)
1	1	0	1	V_{LV13} (2.24 V \pm 0.1 V)
1	1	1	0	V_{LV14} (2.08 V \pm 0.1 V)
1	1	1	1	V_{LV15} (1.93 V \pm 0.1 V)

注 由 LVI 引起的复位后, LVIS 的数值并不复位, 保留其数值。其它原因引起的复位将其清零 00H。

注意事项 1. 第 4 位 ~ 第 7 位必须清零。

2. LVI 操作期间不要修改 LVIS 的值。

3. 当检测到外部输入引脚的输入电压(EXLVI)时, 检测电压($V_{EXLVI} = 1.21$ V (TYP.))恒定。因此, 不必设置 LVIS。

(3) 端口模式寄存器 12 (PM12)

当使用 P120/EXLVI/INTP0 引脚进行外部低电压检测电压输入时，设置 PM120=1。此时，P120 的输出锁存器的值可以为 0 或 1。

可由 1 位或 8 位存储器操作指令设置 PM12。

复位信号的产生将 PM12 设置为 FFH。

图 26-4. 端口模式寄存器 12 (PM12)的格式

地址:	FF2CH	复位后:	FFH	R/W					
符号:	7	6	5	4	3	2	1	0	
PM12	1	1	1	1	1	1	1	PM120	

PM120	P120 引脚 I/O 模式选择
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

26.4 低电压检测器的操作

低电压检测器能够用于以下两种模式。

(1) 用于复位(LVIMD = 1)

- 如果 LVISEL = 0，比较供电电压(V_{DD})与检测电压(V_{LVI})，当 V_{DD} < V_{LVI} 时产生内部复位信号，而当 V_{DD} ≥ V_{LVI} 时释放内部复位。
- 如果 LVISEL = 1，比较外部输入引脚的输入电压(EXLVI)和检测电压(V_{EXLVI} = 1.21 V (TYP.))，在 EXLVI < V_{EXLVI} 时产生内部复位信号，而在 EXLVI ≥ V_{EXLVI} 时释放内部复位。

(2) 用于中断(LVIMD = 0)

- 如果 LVISEL = 0，比较供电电压(V_{DD})与检测电压(V_{LVI})，当 V_{DD} < V_{LVI} 时产生中断信号(INTLVI)。
- 如果 LVISEL = 1，比较外部输入引脚的输入电压(EXLVI)和检测电压(V_{EXLVI} = 1.21 V (TYP.))，当 EXLVI < V_{EXLVI} 时产生中断信号(INTLVI)。

当低电压检测器运行时，无论电源电压或是外部输入引脚的输入电压是高于或是低于检测等级，都可以通过读取低电压检测标志 (LVIF: LVIM 的位 0)来检测。

备注 LVIMD: 低电压检测寄存器(LVIM)的位 1
 LVISEL: LVIM 的位 2

26.4.1 用于复位

(1) 当检测供电电压(V_{DD})等级时

- 启动操作时
 - <1> 屏蔽 LVI 中断 ($LVIMK = 1$)。
 - <2> 将低电压检测寄存器(LVIM)的第 2 位(LVISEL)清零(检测供电电压(V_{DD})的等级)(默认值)。
 - <3> 使用低电压检测等级选择寄存器 (LVIS) 的第 3 位~第 0 位 (LVIS3 ~ LVIS0) 设置检测电压。
 - <4> 设置 LVIM 的第 7 位 (LVION) =1 (允许 LVI 的操作)。
 - <5> 使用软件等待操作稳定时间(10 μ s (MAX.))。
 - <6> 等待直至根据 LVIM 的第 0 位(LVIF)检测到供电电压(V_{DD}) \geq 检测电压(V_{LVI})。
 - <7> 设置 LVIM 的第 1 位 (LVIMD) =1 (当供电电压 (V_{DD}) < 检测电压 (V_{LVI}) 时产生内部复位信号)。

图 26-5 显示了由低电压检测器产生的内部复位信号的时序。该时序图中的标号与上面的<1> ~ <7>对应。

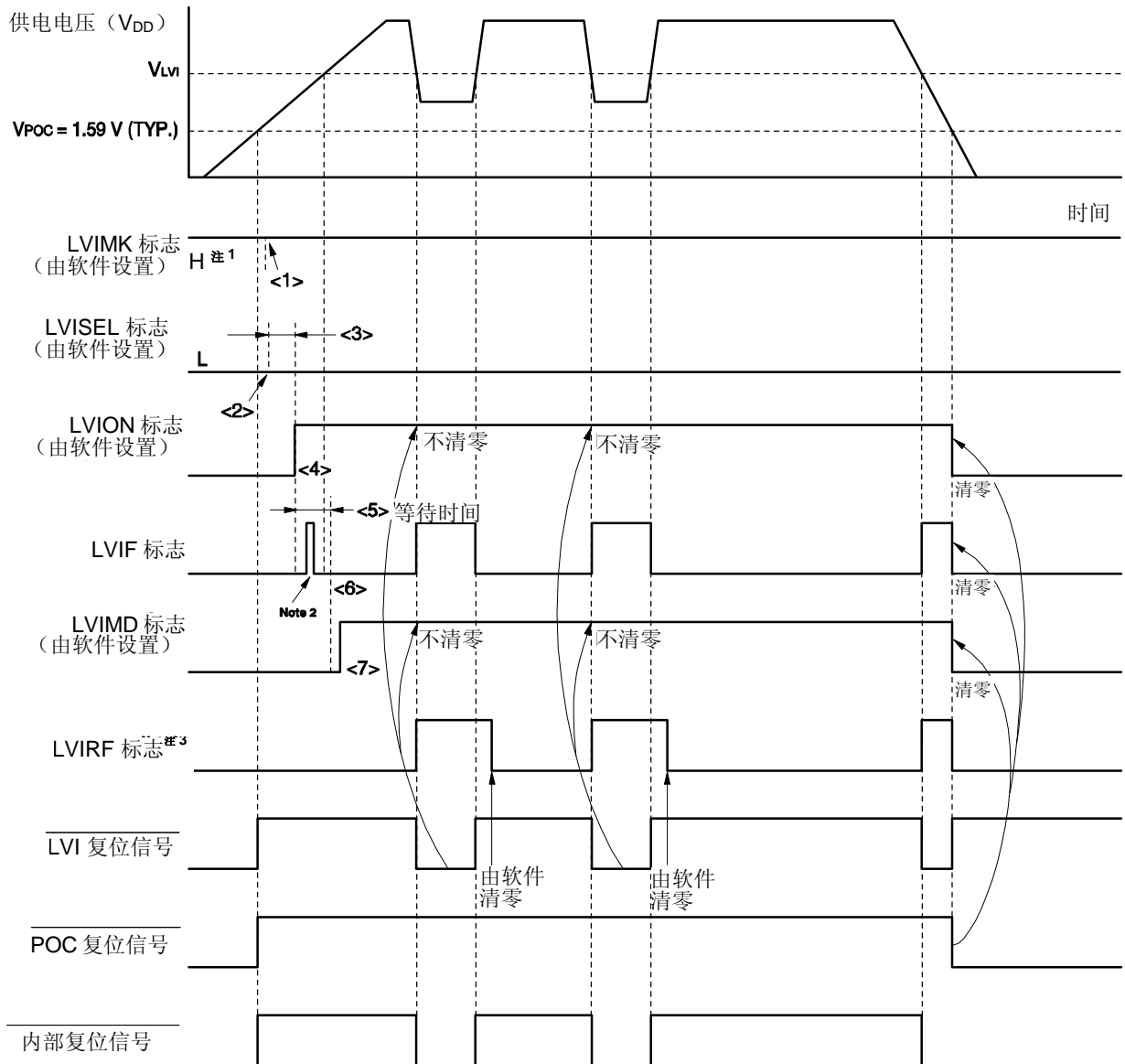
注意事项 1. 必须执行过程<1>。当 $LVIMK = 0$ 时，在过程<4>之后可能立即会产生中断。

2. 当 $LVIMD=1$ 时如果供电电压 (V_{DD}) \geq 检测电压 (V_{LVI})，则不会产生内部复位信号。

- 当停止操作时
必须执行以下过程之一。
 - 当使用 8 位存储器操作指令时:
00H \rightarrow LVIM
 - 当使用 1 位存储器操作指令时:
依次将 LVIMD 和 LVION 清零。

图 26-5. 低电压检测器内部复位信号产生时序
(检测供电电压(V_{DD})等级) (1/2)

(1) 1.59 V POC 模式 (选项字节: POCMODE = 0)

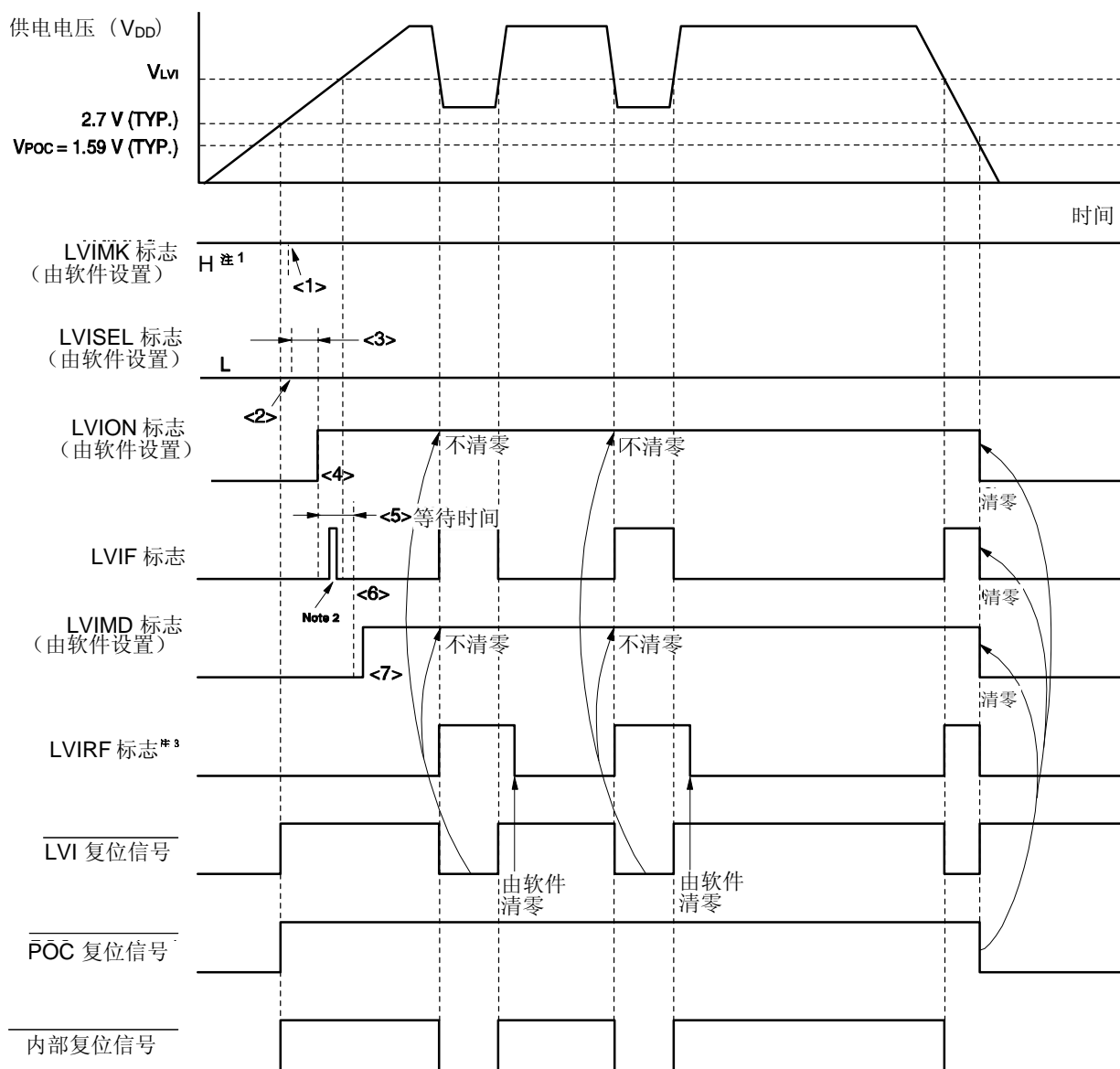


- 注
1. 由复位信号产生将 LVIMK 标志设置为“1”。
 2. 可以设置 LVIF 标志为(1)。
 3. LVIRF 是复位控制标志寄存器 (RESF) 的第 0 位。需要了解 RESF 的详细内容, 可参见第二十四章 复位功能。

备注 图 26-5 中的<1> ~ <7>与 26.4.1(1) 当检测供电电压(V_{DD})等级时中“当启动操作时”的描述<1> ~ <7>相对应。

图 26-5. 低电压检测器内部复位信号产生时序
(检测供电电压(V_{DD})等级) (2/2)

(2) 2.7 V/1.59 V POC 模式 (选项字节: POCMODE = 1)



- 注
1. 由复位信号产生将 LVIMK 标志设置为“1”。
 2. 可以设置 LVIF 标志为(1)。
 3. LVIRF 是复位控制标志寄存器 (RESF) 的第 0 位。需要了解 RESF 的详细内容, 可参见第二十四章 复位功能。

备注 图 26-5 中的<1> ~ <7>与 26.4.1(1) 当检测供电电压(V_{DD})等级时中“当启动操作时”的描述<1> ~ <7>相对应。

(2) 当检测外部输入引脚的输入电压(EXLVI)等级时

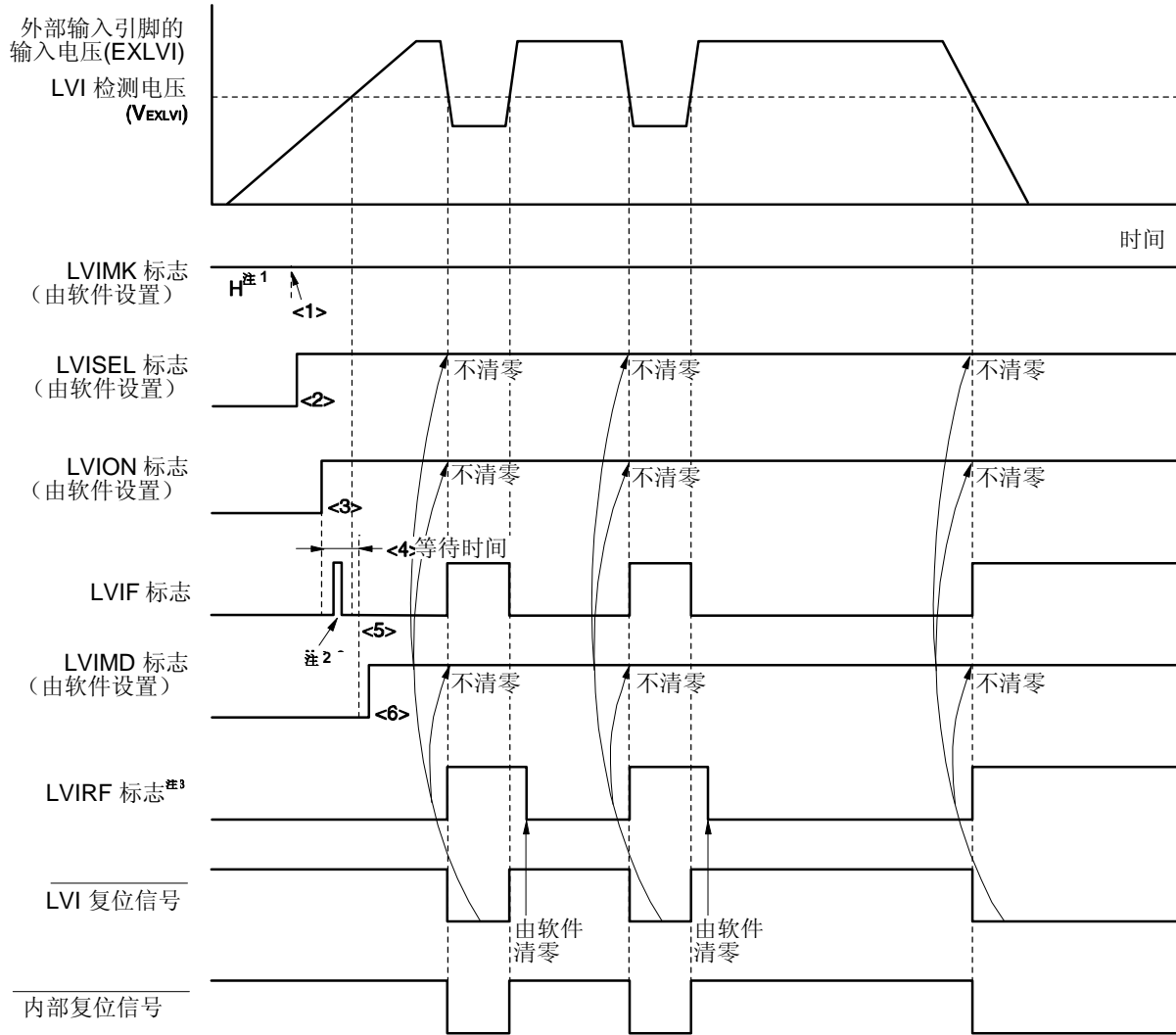
- 当启动操作时
 - <1> 屏蔽 LVI 中断 (LVIMK = 1)。
 - <2> 设置低电压检测寄存器(LVIM)的第 2 位(LVISEL)=1 (检测外部输入引脚的输入电压 (EXLVI) 等级)。
 - <3> 设置 LVIM 的第 7 位 (LVION) =1 (允许 LVI 的操作)。
 - <4> 使用软件等待操作稳定时间(10 μ s (MAX.)^注)。
 - <5> 等待直至根据 LVIM 的第 0 位(LVIF)检测到: 外部输入引脚的输入电压(EXLVI) \geq 检测电压($V_{EXLVI} = 1.21$ V (TYP.))
 - <6> 设置 LVIM 的第 1 位(LVIMD)=1(当外部输入引脚的输入电压(EXLVI) < 检测电压($V_{EXLVI} = 1.21$ V (TYP.))时产生内部复位信号)。

图 22-6 显示了由低电压检测器产生的内部复位信号的时序。该时序图中的标号与上面的<1> ~ <6>对应。

- 注意事项**
1. 必须执行<1>。当 LVIMK = 0 时, 在完成<3>后可能立即会产生中断。
 2. 如果在 LVIMD=1 时, 外部输入引脚的输入电压(EXLVI) \geq 检测电压($V_{EXLVI} = 1.21$ V (TYP.)), 则不会产生内部复位信号。
 3. 必须保证外部输入引脚的输入电压(EXLVI) : $EXLVI < V_{DD}$

- 当停止操作时
必须执行以下过程之一。
 - 当使用 8 位存储器操作指令:
00H \rightarrow LVIM
 - 当使用 1 位存储器操作指令:
先对 LVIMD 清零(0), 再对 LVION 清零(0)。

图 26-6. 低电压检测器内部复位信号产生时序
(检测外部输入引脚的输入电压(EXLVI)的等级)



- 注
1. 由复位信号的产生设置 LVIMK 标志为“1”。
 2. 可以设置 LVIF 标志为(1)。
 3. LVIRF 为复位控制标志寄存器(RESF)的第 0 位。需要了解 RESF 的详细信息，可参见第二十四章 复位功能。

备注 图 26-6 中的<1> ~ <6>与 26.4.1 (2) 当检测外部输入引脚的输入电压(EXLVI)等级时“当启动操作时”的描述<1> ~ <6>相对应。

26.4.2 用于中断

(1) 当检测供电电压(V_{DD})等级时

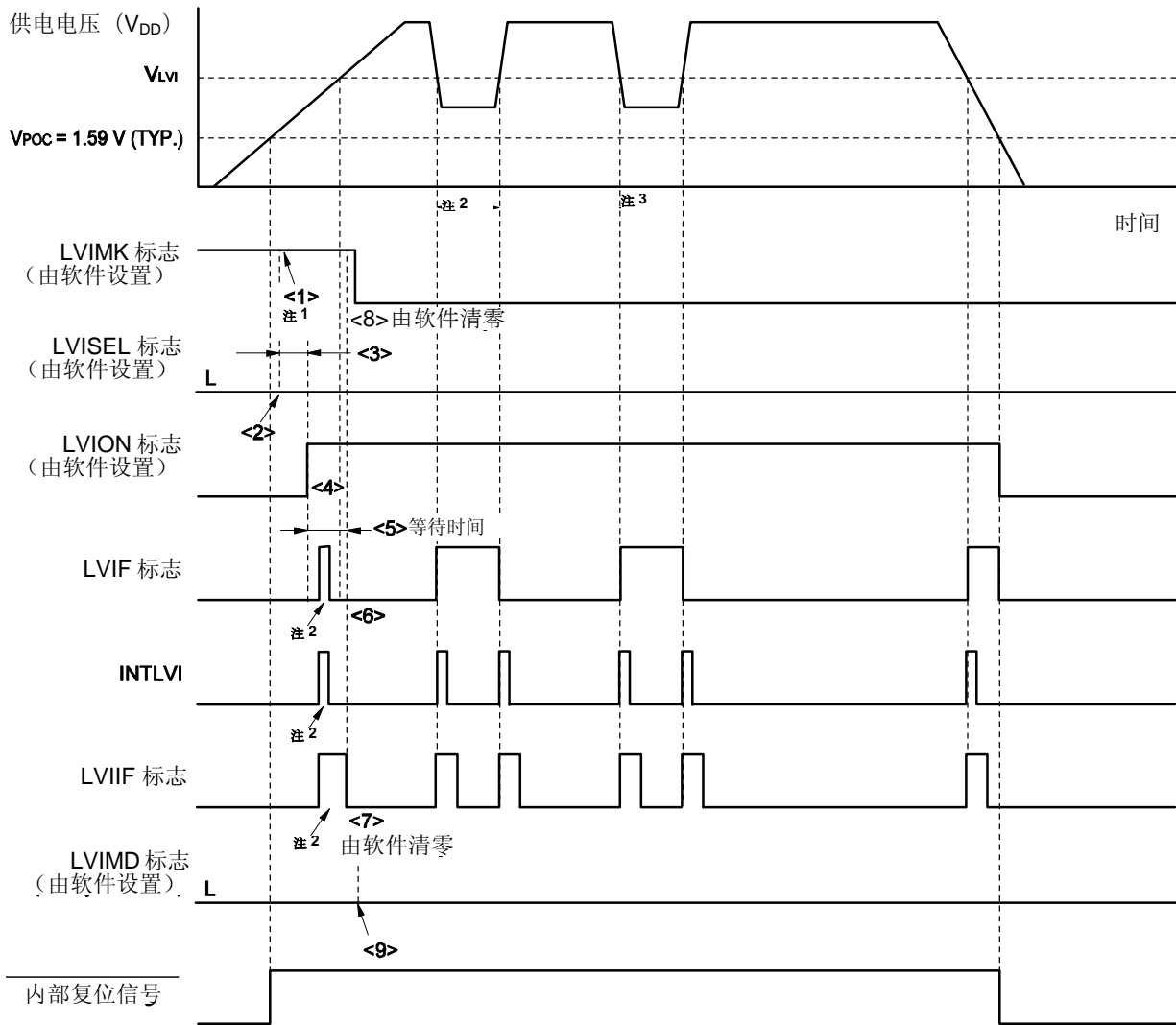
- 当启动操作时
 - <1> 屏蔽 LVI 中断 (LVIMK = 1)
 - <2> 将低电压检测寄存器(LVIM)的第 2 位(LVISEL)清零(0)(检测供电电压(V_{DD})等级)(默认值)。
 - <3> 使用低电压检测等级选择寄存器 (LVIS) 的第 3 位~第 0 位 (LVIS3 ~ LVIS0) 设置检测电压。
 - <4> 设置 LVIM 的第 7 位 (LVION) =1 (允许 LVI 的操作)。
 - <5> 使用软件等待操作稳定时间(10 μ s (MAX.))。
 - <6> 在 LVIM 的第 0 位(LVIF), 确定“供电电压(V_{DD}) \geq 检测电压(V_{LVI})”。
 - <7> 将 LVI 的中断请求标志 (LVIF) 清零(0)。
 - <8> 释放 LVI 的中断屏蔽标志 (LVIMK)。
 - <9> 将 LVIM 的第 1 位(LVIMD)清零(0)(当供电电压(V_{DD}) < 检测电压(V_{LVI})时产生中断信号)(默认值)。
 - <10> 执行 EI 指令 (当使用向量中断时)。

图 26-7 显示了由低电压检测器产生的中断信号的时序。该时序图中的标号与上面的<1> ~ <9>对应。

- 当停止操作时
必须执行以下过程之一。
 - 当使用 8 位存储器操作指令:
00H \rightarrow LVIM
 - 当使用 1 位存储器操作指令:
对 LVION 清零 (0)

图 26-7. 低电压检测器中断信号产生时序
(检测供电电压(V_{DD})的等级) (1/2)

(1) 1.59 V POC 模式 (选项字节: POCMODE = 0)

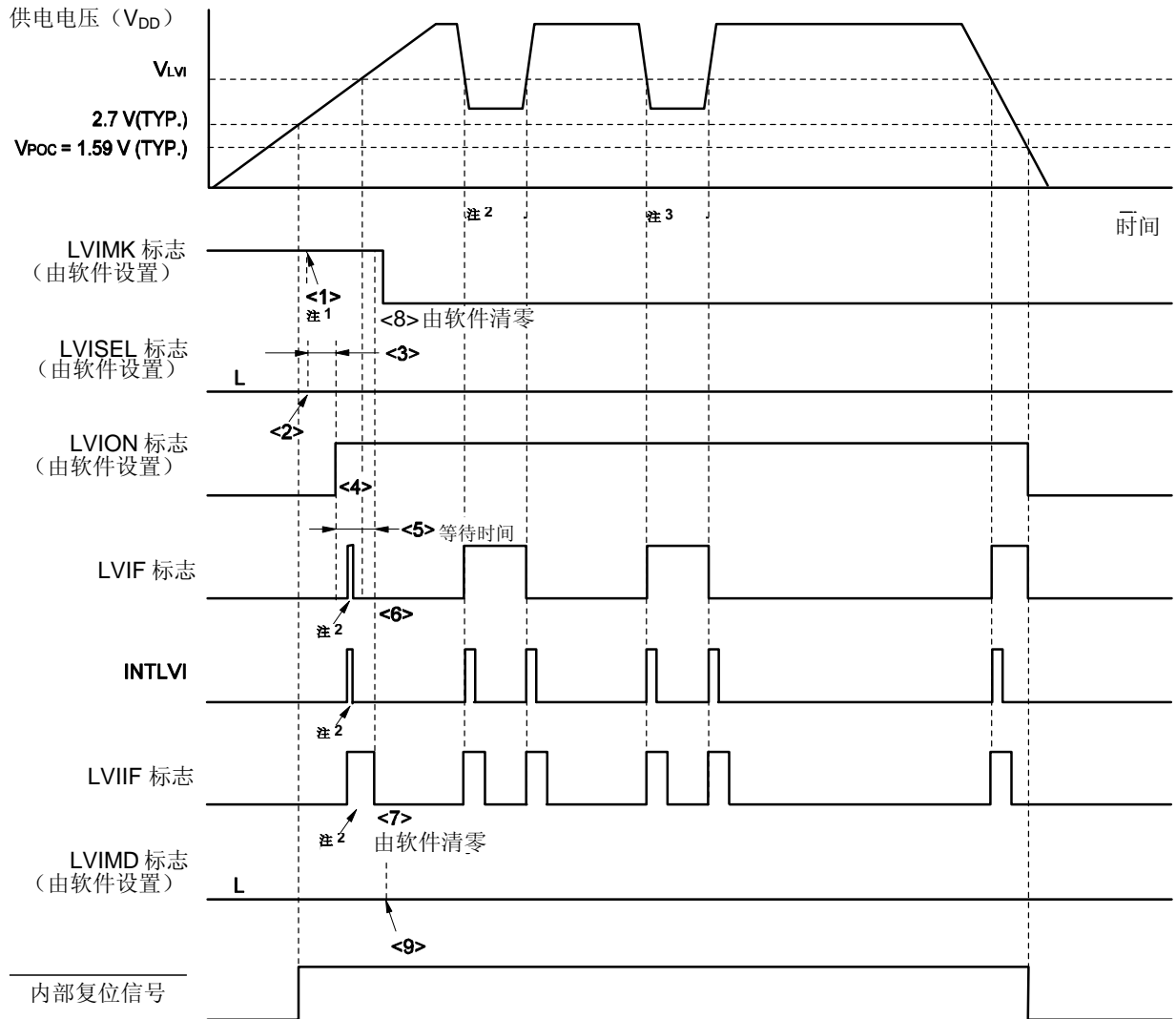


- 注
1. 可由复位信号的产生设置 LVIMK 标志为“1”。
 2. 产生中断请求信号(INTLVI), 且可以设置 LVIF 和 LVIIF 标志为(1)。
 3. 如果在低于 LVI 检测电压状态下把 LVION 清零(0), 那么产生 INTLVI 信号, 并且 LVIIF 变成 1。

备注 图 26-7 中的<1> ~ <9>与 26.4.2 (1) 当检测供电电压(V_{DD})等级时中“当启动操作时”的描述<1> ~ <9>相对应。

图 26-7. 低电压检测器中断信号产生时序
(检测供电电压(V_{DD})的等级) (2/2)

(2) 2.7 V/1.59 V POC 模式 (选项字节: POCMODE = 1)



- 注
1. 可由复位信号的产生设置 LVIMK 标志为“1”。
 2. 产生中断请求信号(INTLVI)，且可以设置 LVIF 和 LVIIF 标志为(1)。
 3. 如果在低于 LVI 检测电压状态下把 LVION 清零(0)，那么产生 INTLVI 信号，并且 LVIIF 变成 1。

备注 图 26-7 中的<1> ~ <9>与 26.4.2 (1) 当检测供电电压(V_{DD})等级时中“当启动操作时”的描述<1> ~ <9>相对应。

(2) 当检测外部输入引脚的输入电压(EXLVI)等级时

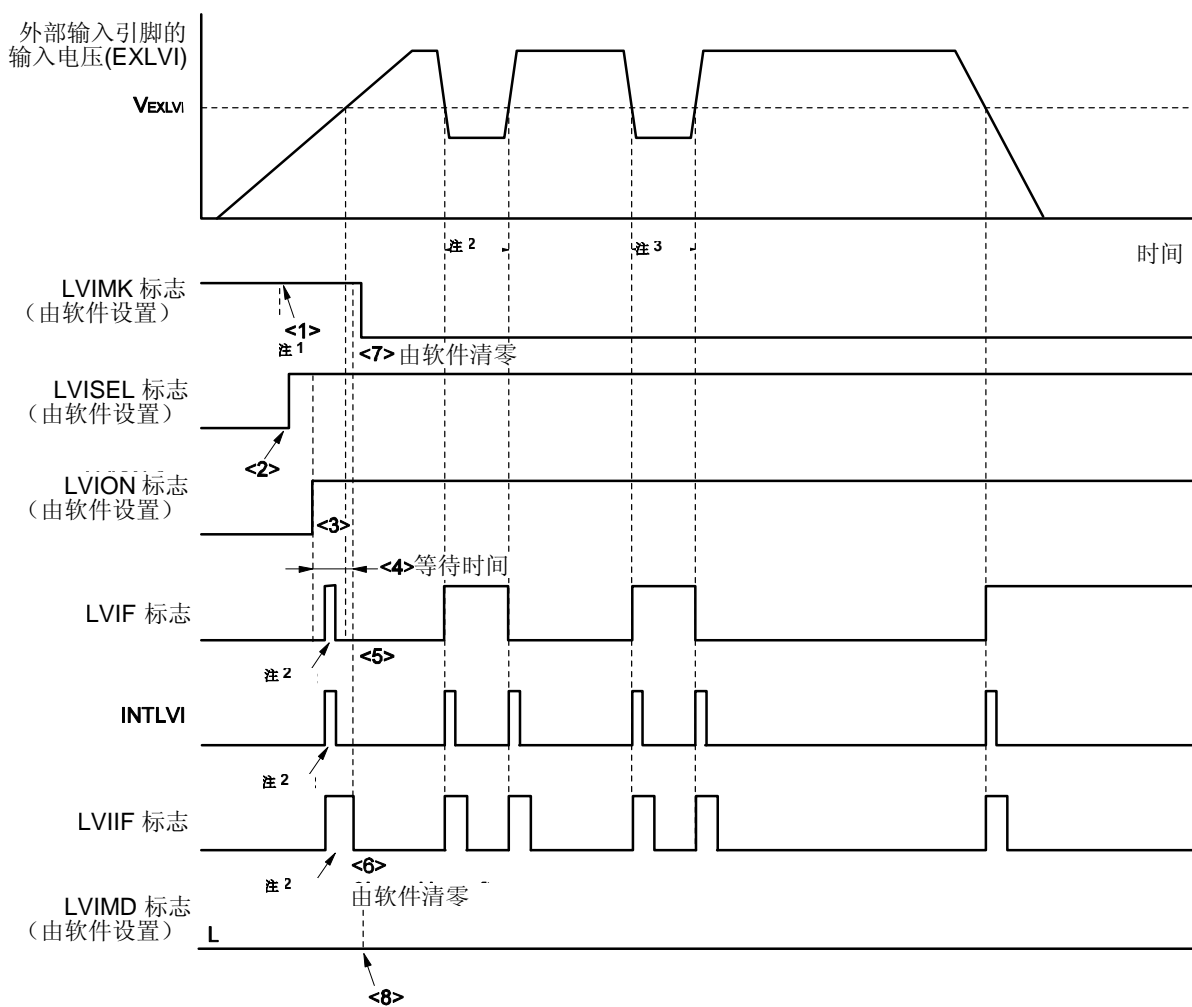
- 当启动操作时
 - <1> 屏蔽 LVI 中断 (LVIMK = 1)
 - <2> 设置低电压检测寄存器(LVIM)的第 2 位(LVISEL)=1(检测外部输入引脚的输入电压(EXLVI)等级)。
 - <3> 设置 LVIM 的第 7 位 (LVION) =1 (允许 LVI 的操作)。
 - <4> 使用软件等待操作稳定时间(10 μ s (MAX.))。
 - <5> 在 LVIM 的第 0 位(LVIF), 确定“外部输入引脚的输入电压(EXLVI) \geq 检测电压(V_{EXLVI} = 1.21 V (TYP.))”。
 - <6> 将 LVI 的中断请求标志 (LVIIF) 清零(0)。
 - <7> 释放 LVI 的中断屏蔽标志 (LVIMK)。
 - <8> 将 LVIM 的第 1 位(LVIMD)清零(0)(当供电电压(V_{DD}) < 检测电压(V_{LVI})时产生中断信号)(默认值)。
 - <9> 执行 EI 指令 (当使用向量中断时)。

图 26-8 显示了由低电压检测器产生的中断信号的时序。该时序图中的标号与上面的<1> ~ <8>对应。

注意事项 外部输入引脚的输入电压(EXLVI)必须满足以下条件: $EXLVI < V_{DD}$

- 当停止操作时
必须执行以下过程之一。
 - 当使用 8 位存储器操作指令:
00H \rightarrow LVIM
 - 当使用 1 位存储器操作指令:
对 LVION 清零 (0)

图 26-8. 低电压检测器中断信号产生时序
(检测外部输入引脚的输入电压(EXLVI)等级)



- 注
1. 可由复位信号产生设置 LVIMK 标志为“1”。
 2. 产生中断请求信号(INTLVI)，且可以设置 LVIF 和 LVIIF 标志为(1)。
 3. 如果在低于 LVI 检测电压状态下把 LVION 清零(0)，那么产生 INTLVI 信号，并且 LVIIF 变成 1。

备注 图 26-8 中的<1> ~ <8>与 26.4.2 (1) 当检测供电电压(V_{DD})等级时中“当启动操作时”的描述<1> ~ <8>相对应。

26.5 低电压检测器的注意事项

在系统中，如果供电电压（V_{DD}）在接近 LVI 检测电压（V_{LVI}）的一段时间内产生波动，这时根据低电压检测器的使用情况进行如下操作。

(1) 用于复位

系统可能会反复进行复位和释放复位。

在这种情况下，可采用下面的方法（1）任意设置从复位释放到微控制器的启动所经历的时间。

(2) 用于中断

可能会频繁产生中断请求。可采用方法（2）中的(b)。

本系统中采用以下方法。

<方法>

(1) 用于复位

在释放复位信号后，通过软件计数器（使用一个定时器）等待系统的供电电压的波动期，然后对端口初始化(参见图 26-9)。

(2) 用于中断

(a) 在 LVI 中断的服务程序中通过使用低电压检测寄存器（LVIM）的第 0 位(LVIF)，检测“供电电压(V_{DD}) ≥ 检测电压(V_{LVI})”。把中断请求标志寄存器 0L(IFOL)的第 0 位(LVIIF)清零。

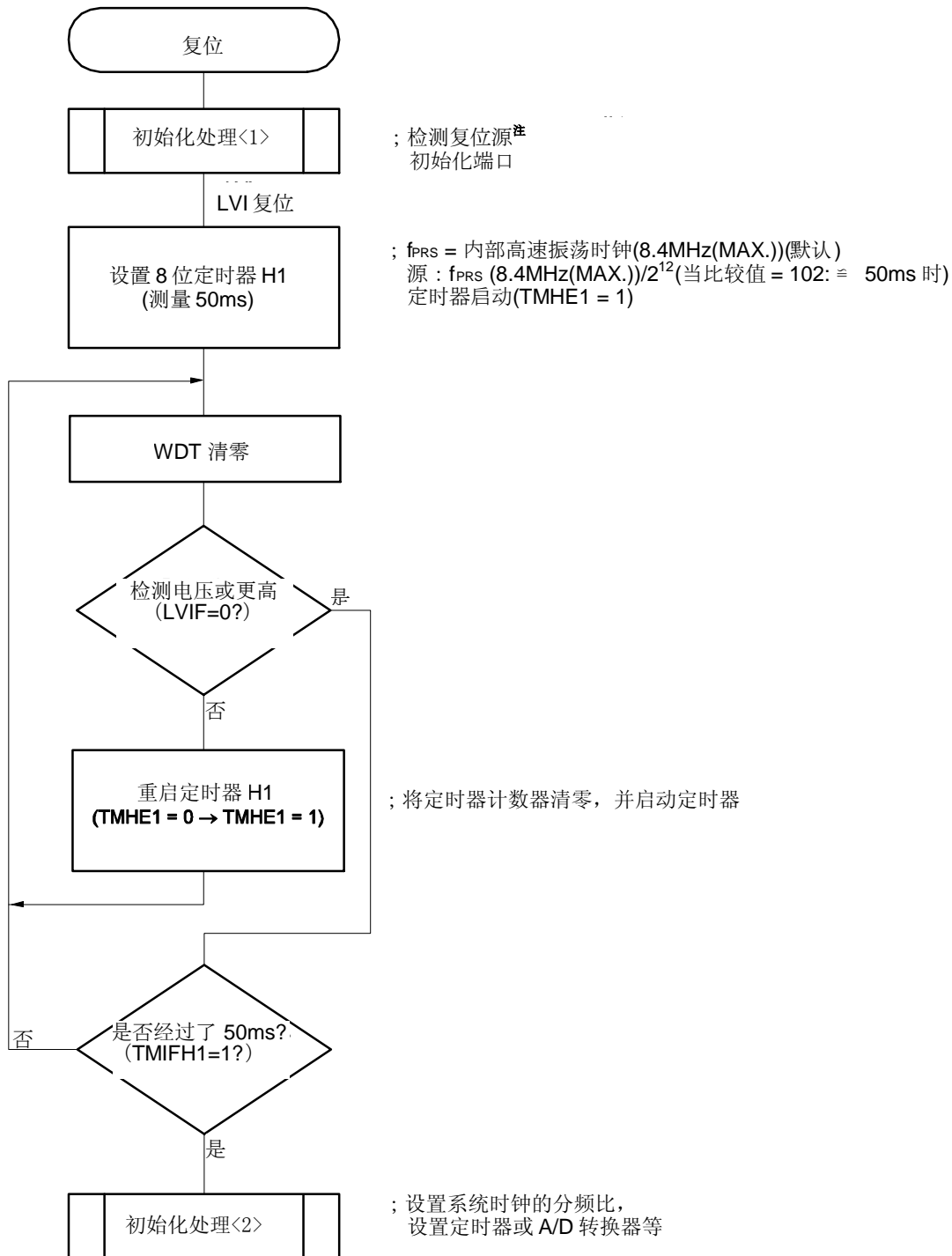
(b) 在系统中，如果供电电压（V_{DD}）在接近 LVI 检测电压（V_{LVI}）的一段时间内产生波动，等待供电电压波动期间，使用 LVIF 标志来检测“供电电压(V_{DD}) ≥ 检测电压(V_{LVI})”，然后把 LVIIF 标志清零。

备注 如果设置低电压检测寄存器(LVIM)的第 2 位(LVISEL)为“1”，则对上述方法作如下修改。

- 供电电压(V_{DD}) → 外部输入引脚的输入电压(EXLVI)
- 检测电压(V_{LVI}) → 检测电压(V_{EXLVI} = 1.21 V[※])

图 26-9. 复位释放后软件处理过程示例(1/2)

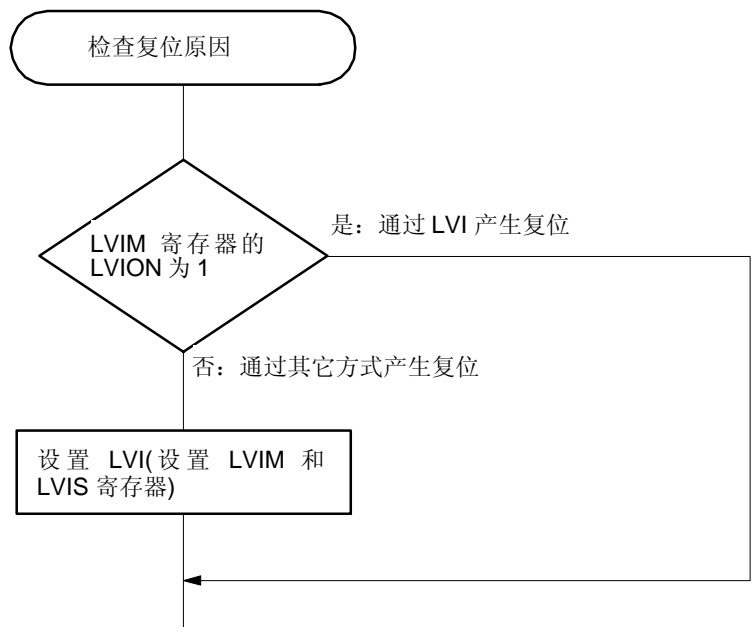
•如果供电电压接近 LVI 检测电压，其波动时间≤50 ms



注 流程图显示在下页。

图 26-9. 复位释放后软件处理过程示例(2/2)

•检查复位源



27.1 选项字节的功能

78K0/LF3 中 Flash 存储器的 0080H ~ 0084H 区域为选项字节区域。当打开电源或从复位状态重启设备时，设备自动参考选项字节，并设置指定的功能。使用该产品时，必须使用选项字节设置以下几项功能。

在自编程期间使用引导交换功能时，将 0080H ~ 0084H 切换到 1080H ~ 1084H。因此，事先将 0080H ~ 0084H 和 1080H ~ 1084H 设置为相同的值。

注意事项 一定要对 0082H 和 0083H (当使用引导交换功能时为 0082H/1082H 和 0083H/1083H)清零。

(1) 0080H/1080H

- 内部低速振荡器的操作
 - 可由软件停止
 - 不能停止
- 看门狗定时器间隔时间的设置
- 看门狗定时器计数器的操作
 - 允许计数器的操作
 - 禁止计数器的操作
- 看门狗定时器窗口打开周期的设置

注意事项 将 0080H ~ 1080H 设置成为相同的值，因为在引导交换过程中 0080H ~ 1080H 将被切换。

(2) 0081H/1081H

- 选择 POC 模式
 - 2.7 V/1.59 V POC 模式操作期间 (POCMODE = 1)
上电时该设备处于复位状态，直至供电电压达到 2.7 V (TYP.)。当电压超过 2.7 V (TYP.)时设备从复位状态释放。此后在 2.7 V 不检测 POC，但在 1.59 V (TYP.)检测 POC。
如果上电后供电电压以低于 0.5 V/ms (MIN.)的速率上升到 1.8 V，建议使用 2.7 V/1.59 V POC 模式。
 - 1.59 V POC 模式操作期间 (POCMODE = 0)
上电时该设备处于复位状态，直至供电电压达到 1.59 V (TYP.)。当电压超过 1.59 V (TYP.)时设备从复位状态释放。此后采用与上电时相同的方法在 1.59 V (TYP.)检测 POC。

注意事项 POCMODE 值能通过专用的 Flash 存储器编程器写入。在自编程或是自编程的引导交换操作中不能被设定 (此时，设置 1.59 V POC 模式(缺省))。但是由于在引导交换过程中 1081H 是 0081H 的拷贝，所以在引导交换过程中，推荐将 0081H 和 1081H 设定为相同的值。

(3) 0084H/1084H

○ 片上调试操作控制

- 禁止片上调试操作
- 一旦证明片上调试安全 ID 失效时，允许片上调试操作和擦除 Flash 存储器数据。
- 一旦证明片上调试安全 ID 失效时，允许片上调试操作，但不擦除 Flash 存储器数据。

注意事项 为了使用引导交换功能，需要对 0084H 单元赋值 02H 或 03H。由于在引导交换时 0084H 和 1084H 要相互切换，因此也要对 1084H 设置与 0084H 相同的值。

27.2 选项字节的格式

选项字节格式如下所示。

图 27-1. 选项字节格式 (1/2)

地址: 0080H/1080H[#]

7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC
WINDOW1	WINDOW0	看门狗定时器窗口打开周期					
0	0	25%					
0	1	50%					
1	0	75%					
1	1	100%					
WDTON	看门狗定时器计数器的操作控制/非法访问检测						
0	禁止计数器操作 (复位后停止计数), 禁止非法访问检测操作						
1	允许计数器操作 (复位后开始计数), 允许非法访问检测操作						
WDCS2	WDCS1	WDCS0	看门狗定时器溢出时间				
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)				
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)				
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)				
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)				
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)				
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)				
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)				
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)				
LSROSC	内部低速振荡器操作						
0	可由软件停止 (当将 1 写入 RCM 寄存器的第 0 位(LSRSTOP)时停止操作)						
1	不能停止 (即使将 1 写入 LSRSTOP 位也不停止操作)						

注 由于在引导交换时 0080H 和 1080H 要相互切换, 因此要对 0080H 设置与 1080H 相同的值。

- 注意事项
1. 禁止设置: $WDCS2 = WDCS1 = WDCS0 = 0$ 且 $WINDOW1 = WINDOW0 = 0$ 。
 2. Flash 存储器自编程和模拟 EEPROM 期间看门狗定时器继续工作。处理过程中中断响应时间将被延迟。设置溢出时间和窗口大小时应考虑到这一延迟情况。
 3. 如果 $LSROSC = 0$ (可由软件停止振荡), 则无论内部振荡模式寄存器(RCM)的第 0 位(LSRSTOP)为何值, 在 HALT 和 STOP 模式下对看门狗定时器不提供计数时钟。
当 8 位定时器 H1 使用内部低速振荡时钟时, 即使在 HALT/STOP 模式下也对 8 位定时器 H1 提供计数时钟。
 4. 必须对第 7 位清零(0)。

- 备注
1. f_{RL} : 内部低速振荡时钟频率
 2. (): $f_{RL} = 274$ kHz (最大)

图 27-1. 选项字节格式 (2/2)

地址: 0081H/1081H^{※s1,2}

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	POCMODE

POCMODE	POC 模式选择
0	1.59 V POC 模式 (默认)
1	2.7 V/1.59 V POC 模式

- 注**
1. 使用专用 Flash 存储器编程器只能对 POCMODE 进行写操作。在自编程期间不能设置 POCMODE，或者自编程引导交换(此时，设置 1.59 V POC 模式(默认))操作时也不能设置。但由于引导交换时 1081H 单元的值被复制到 0081H 单元，建议在使用引导交换功能时为 1081H 单元设置与 0081H 相同的值。
 2. 要改变 POC 模式的设置，可在对 Flash 存储器进行一次性擦除(片擦除)后将该值再次写入 0081H 中。在对 Flash 存储器指定 block 擦除后不能修改该设置。

注意事项 必须将第 7 位 ~ 第 1 位清零。

地址: 0082H/1082H, 0083H/1083H[※]

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

- 注** 由于 0082H 与 0083H 单元为保留区域，因此必须对这两个存储单元赋值 00H。由于在引导交换时 0082H 与 0083H 要和 1082H 与 1083H 相互切换，因此也要对 1082 与 1083H 设置 00H。

地址: 0084H/1084H[※]

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	片上调试操作控制
0	0	禁止操作
0	1	禁止设置
1	0	允许操作。在确定片上调试安全 ID 失效时不要擦除 Flash 存储器数据。
1	1	允许操作。在确定片上调试安全 ID 失效时可以擦除 Flash 存储器数据。

- 注** 要使用片上调试功能，需要对 0084H 单元赋值 02H 或 03H。由于在引导交换时 0084H 和 1084H 要相互切换，因此也要对 1084H 设置与 0084H 相同的值。

备注 如需了解片上调试安全 ID 的详细信息，参见第二十九章 片上调试功能

以下是设置选项字节的软件描述示例。

OPT	CSEG	AT 0080H	
OPTION:	DB	30H	; 允许看门狗定时器的操作 (对非法访问检测的操作), ; 看门狗定时器窗口打开周期: 50%, ; 看门狗定时器的溢出时间: $2^{10}/f_{RL}$, ; 可由软件停止内部低速振荡器
	DB	00H	; 1.59 V POC 模式
	DB	00H	; 保留区域
	DB	00H	; 保留区域
	DB	00H	; 禁止片上调试

备注 复位处理期间参考选项字节。如需了解复位处理的时序，可参见**第二十四章 复位功能**。

第二十八章 FLASH 存储器

78K0/LF3 包含 Flash 存储器，可以安装在电路板上实现在线写入、擦除和覆盖操作。

28.1 内部存储器容量切换寄存器

可以使用内部存储器容量切换寄存器（IMS）选择内存容量。

可使用 8 位存储器操作指令设置 IMS。

复位信号的产生将 IMS 设置为 CFH。

注意事项 复位释放后必须按照表 28-1 对每个产品进行设置。

图 28-1. 内部存储器容量切换寄存器（IMS）的格式

地址: FFF0H 复位后: CFH R/W

符号

	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速 RAM 容量选择
0	0	0	768 字节
1	1	0	1028 字节
其它情况			禁止设置

ROM3	ROM2	ROM1	ROM0	内部 ROM 容量选择
0	1	0	0	16 KB
0	1	1	0	28 KB
1	0	0	0	32 KB
1	1	0	0	48 KB
1	1	1	1	60 KB
其它情况				禁止设置

表 28-1. 内部存储器容量切换寄存器的设置

Flash 存储器版本(78K0/LF3)	IMS 设置
μPD78F0471, 78F0481, 78F0491	04H
μPD78F0472, 78F0482, 78F0492	C6H
μPD78F0473, 78F0483, 78F0493	C8H
μPD78F0474, 78F0484, 78F0494	CCH
μPD78F0475, 78F0485, 78F0495	CFH

28.2 内部扩展 RAM 容量切换寄存器

内部扩展 RAM 容量可以通过内部扩展 RAM 容量切换寄存器(IXS)来选择。

IXS 可以通过 8 位存储器操作指令访问。

复位信号将 IXS 的值设为 0CH。

注意事项 在复位释放后一定要按照表 28-2 所示的数值设定每一种产品。

表 28-2. 内部扩展 RAM 容量切换寄存器(IXS)的格式

地址: FFF4H 复位后: 0CH RW

符号	7	6	5	4	3	2	1	0
IXS	0	0	0	IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部扩展 RAM 容量选择
0	1	1	0	0	0 字节
0	1	0	1	0	1028 字节
其它情况					禁止设定

表 28-2. 内部扩展 RAM 容量切换寄存器设定

Flash 存储器版本 (78K0/LF3)	IXS 设定
μ PD78F0471, 78F0481, 78F0491	0CH
μ PD78F0472, 78F0482, 78F0492	
μ PD78F0473, 78F0483, 78F0493	
μ PD78F0474, 78F0484, 78F0494	0AH
μ PD78F0475, 78F0485, 78F0495	

28.3 用 Flash 编程器写入数据

可使用专用 Flash 编程器将数据写入 Flash 存储器，可以 On-board 写入，也可以 Off-board 写入。

(1) On-board 编程

当目标系统上安装了 78K0/LF3 系列产品后，Flash 存储器的内容可以被重写。必须将连接专用 Flash 编程器的连接器安装在目标系统中。

(2) Off-board 编程

在将 78K0/LF3 系列产品安装到目标系统之前，可使用专用程序适配器（FA 系列）将数据写入 Flash 存储器。

备注 FA 系列是 Naito Densei Machida Mfg. Co., Ltd. 的产品。

表 28-3. 78K0/LF3 系列产品与专用 Flash 编程器之间的写操作

专用 Flash 编程器的引脚配置			使用 CSI10		使用 UART6	
信号名称	I/O	引脚功能	引脚名称	引脚标号	引脚名称	引脚标号
SI/RxD	输入	接收信号	SO10/TxD0 /<TxD6>/P13	78	TxD6/SEG14/P112	36
SO/TxD	输出	发送信号	SI10/RxD0 /<RxD6>/P12	79	RxD6/SEG15/P113	35
SCK	输出	发送时钟	SCK10/P11	80	—	—
CLK	输出	78K0/LF3 的时钟	— ^{注1}	—	注 2	注 2
/RESET	输出	复位信号	RESET	14	RESET	14
FLMD0	输出	模式信号	FLMD0	17	FLMD0	17
V _{DD}	I/O	V _{DD} 电压产生/电压检测	V _{DD}	22	V _{DD}	22
			V _{DD} ^{注3}	59	V _{DD} ^{注3}	59
			AV _{REF} ^{注4}		AV _{REF} ^{注4}	
GND	—	地	V _{SS}	21	V _{SS}	21
			V _{SS} ^{注3}	60	V _{SS} ^{注3}	60
			AV _{SS} ^{注4}		AV _{SS} ^{注4}	

- 注
1. 当使用 CSI10 的时候，仅能选择内部高速振荡时钟 (f_{RH})。
 2. 在使用 UART6 时，只能使用 X1 时钟(f_X)或外部主系统时钟(f_{EXCLK})。要使用 Flash 编程器的时钟输出，引脚连接依据所用的专用的 flash 编程器不同而不同。
 - PG-FP4, FL-PR4: 编程器的 CLK 到 EXCLK/X2/P122 (引脚 18)。
 - PG-FPL3, FP-LITE3: 编程器的 CLK 到 X1/P121 (引脚 19)，并且连接其反相信号到 X2/EXCLK/P122 (引脚 18)。
 3. 仅限于 μPD78F047x。
 4. 仅限于 μPD78F048X 和 78F049x。

在使用适配器对 Flash 存储器进行写操作时可采用如下所示的连接方式。

图 28-3. 3 线串行 I/O (CSI10) 模式下使用适配器对 Flash 存储器进行写操作示例

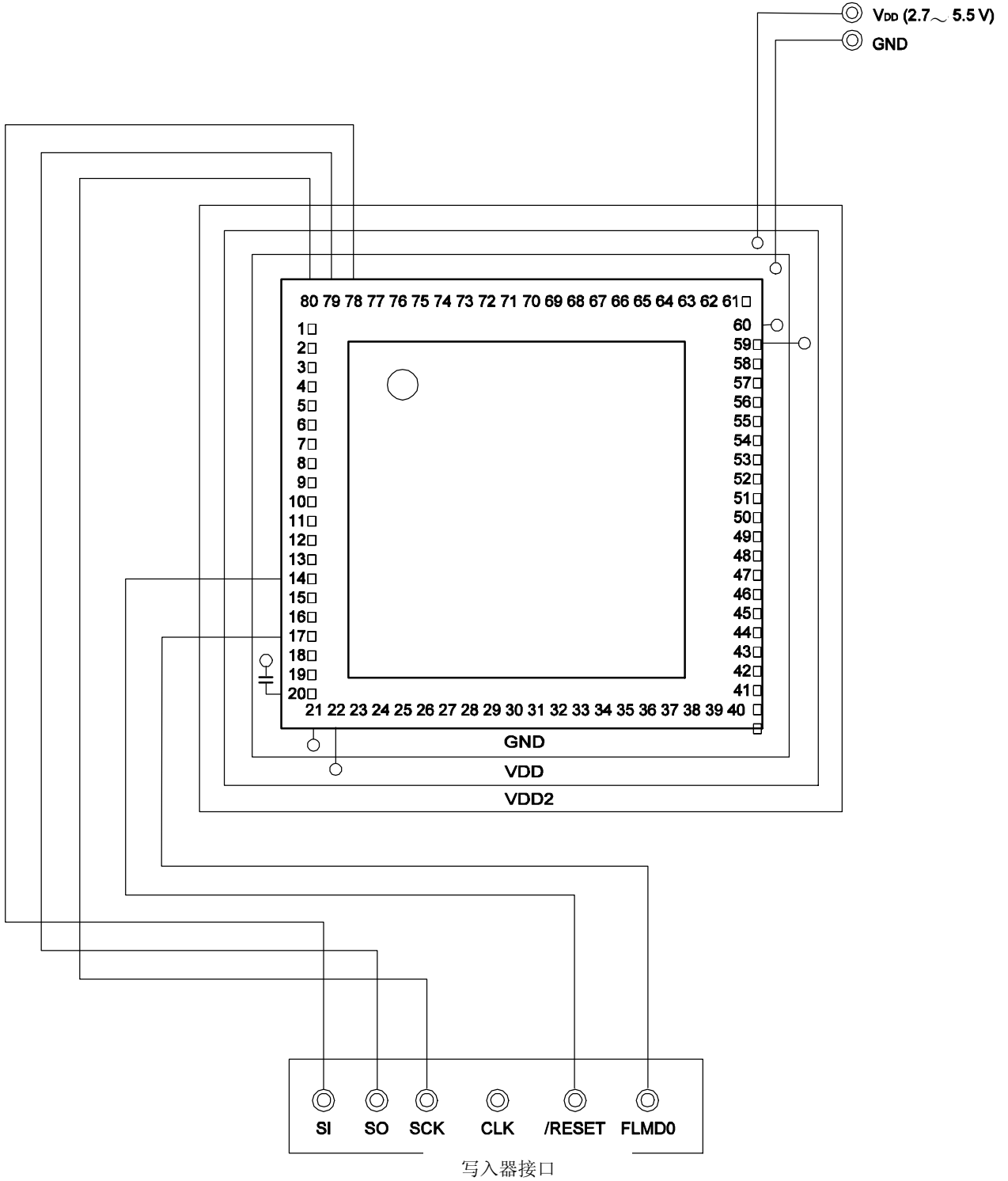
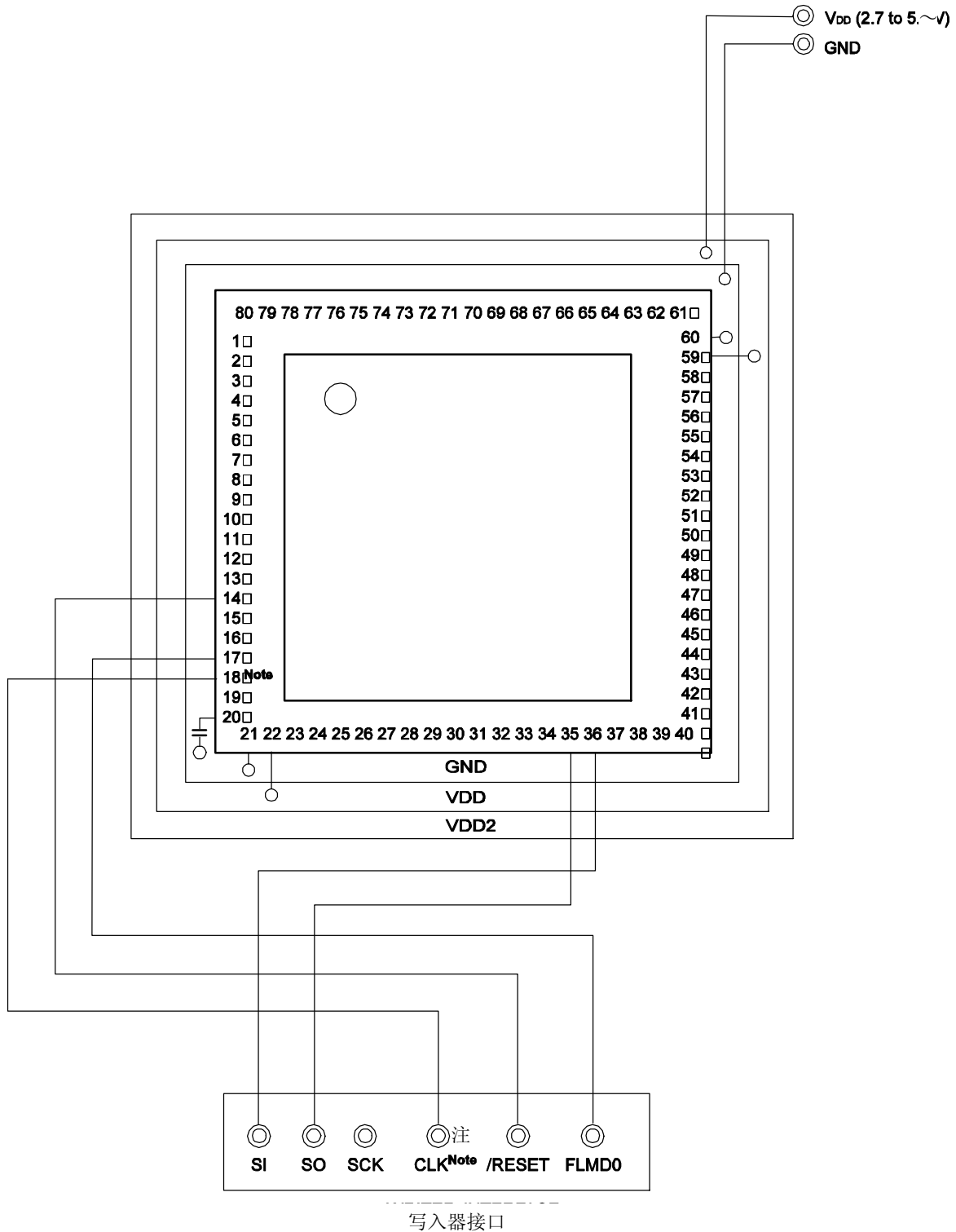


图 28-4. UART (UART6) 模式下使用适配器对 Flash 存储器进行写操作示例



注 上图显示的是当使用从 PG-FP4 或 FL-PR4 中输出的时钟时的连线例子。
 当使用从 PG-FPL3 或 FP-LITE3 中输出的时钟时，把 CLK 连接到 X1/P121 (引脚 19) 并且将它的反相信号连接到 X2/EXCLK/P122 (引脚 18)。

28.4 编程环境

以下是 78K0/LF3 Flash 存储器所需的编程环境。

图 28-5. Flash 存储器编程环境



需要有一个控制专用 Flash 编程器的主机。

专用 Flash 编程器与 78K0/LF3 的接口使用 CSI10 或 UART6 进行写和擦除等操作。Flash 存储器离线写操作时必须使用一个专用程序适配器（FA 系列）。

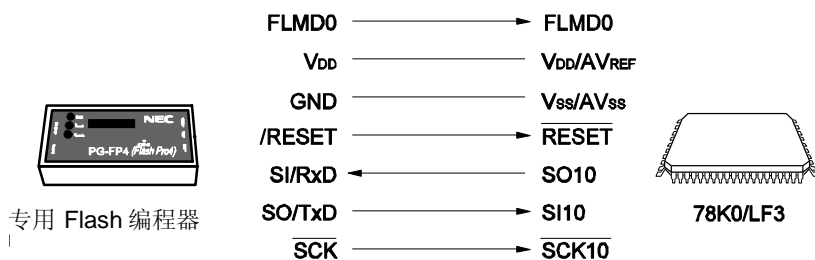
28.5 通信模式

通过 78K0/LF3 的 CSI10 或 UART6，在专用 Flash 编程器与 78K0/LF3 之间建立串行通信。

(1) CSI10

传输速率：2.4 kHz ~ 2.5 MHz

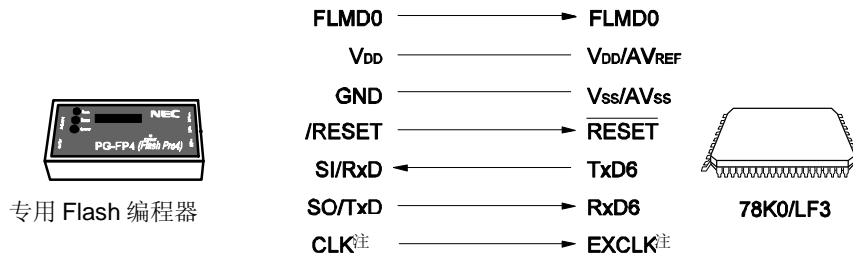
图 28-6. 专用 Flash 编程器的通信(CSI10)



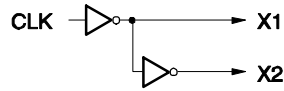
(2) UART6

传输速率: 115200 bps

图 28-7. 专用 Flash 编程器的通信 (UART6)



注 上图显示的是当使用从 PG-FP4 或 FL-PR4 中输出时钟时的例子。当使用从 PG-FPL3 或 FP-LITE3 中输出的时钟时，把 CLK 连接到 X1/P121，并且将它的反相信号连接到 X2/EXCLK/P122。



注意事项 当通过 flash 编程器写入时，只有低端引脚(引脚编号 35 和 36) 响应 UART6(RxD6 和 TxD6)。不要通过头端引脚(引脚编号 76 和 75)。

对于 78K0/LF3，专用 flash 编程器产生下列信号。详细信息，参考 PG-FP4, FL-PR4, PG-FPL3, 或 FP-LITE3 的用户手册。

表 28-4. 引脚连接

专用 Flash 编程器			78K0/LF3	连接	
信号名称	I/O	引脚功能	引脚名称	CSI10	UART6
FLMD0	输出	模式信号	FLMD0	□	□
V _{DD}	I/O	V _{DD} 电压产生/电源监测	V _{DD} , AV _{REF} ^{注 3}	□	□
GND	-	地	V _{SS} , AV _{SS} ^{注 3}	□	□
CLK	输出	时钟输出到 78K0/LF3	注 1	× ^{注 2}	○ ^{注 1}
/RESET	输出	复位信号	RESET	□	□
SI/RxD	输入	接收信号	SO10 或 TxD6	□	□
SO/TxD	输出	发送信号	SI10 或 RxD6	□	□
SCK	输出	传输时钟	SCK10	□	×

注 1. 在使用 UART6 时，只能使用 X1 时钟(f_x)或外部主系统时钟(f_{EXCLK})。要使用 Flash 编程器的时钟输出，引脚连接依据所用的专用的 flash 编程器不同而不同。

- PG-FP4, FL-PR4: 编程器的 CLK 到 EXCLK/X2/P122。
- PG-FPL3, FP-LITE3: 编程器的 CLK 到 X1/P121 (引脚 11)，并且连接其反相信号到 X2/EXCLK/P122。

2. 当使用 CSI10 的时候，仅能选择内部高速振荡时钟 (f_{RH})。

3. 仅限于 μPD78F048x 和 78F049x。

备注 □: 确保连接引脚。

○: 如果在目标板上产生信号，则此引脚不需要连接。

×: 此引脚不需要连接。

28.6 在线方式的引脚连接

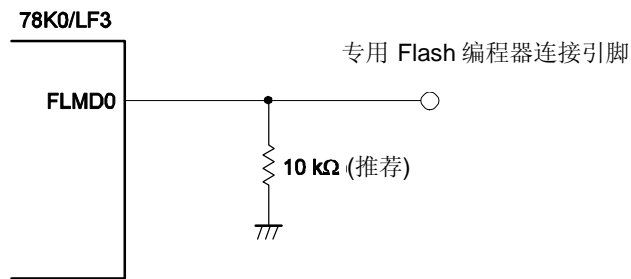
对 Flash 存储器进行 on-board 写入操作时，目标系统必须有连接专用 Flash 编程器的连接器。电路板上首先要提供一个选择功能，可以选择正常操作模式或 Flash 存储器编程模式。

当设置 Flash 存储器编程模式时，那些不用于 Flash 存储器编程的引脚状态与复位后的状态相同。因此如果外部设备不能立即识别复位后的状态，则必须采用如下方式连接引脚。

28.6.1 FLMD0 引脚

在普通操作模式下，FLMD0 引脚的输入电压为 0V。在 Flash 存储器编程模式中，将 V_{DD} 写电压提供给 FLMD0 引脚。FLMD0 引脚的连接示意图如下所示。

图 28-8. FLMD0 引脚连接示例



28.6.2 串行接口引脚

串行接口使用的引脚如下所示。

表 28-5. 串行接口使用的引脚

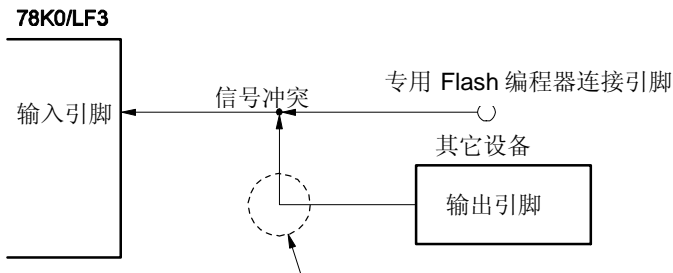
串行接口	使用引脚
CSI10	SO10, SI10, SCK10
UART6	TxD6, RxD6

在将专用 Flash 编程器和串行接口 (已与板上其它设备连接) 的引脚相连时，必须特别注意：信号之间不能冲突，并且另一个设备不能出现误操作。

(1) 信号冲突

如果专用 Flash 编程器 (输出端) 与串行接口 (已连接到另一个设备的输出端) 的一个输入引脚相连, 这时会产生信号冲突。为了避免这种情况, 应隔离与另一个设备的连接, 或者使另一个设备处于高阻抗状态。

图 28-9. 信号冲突 (串行接口的输入引脚)

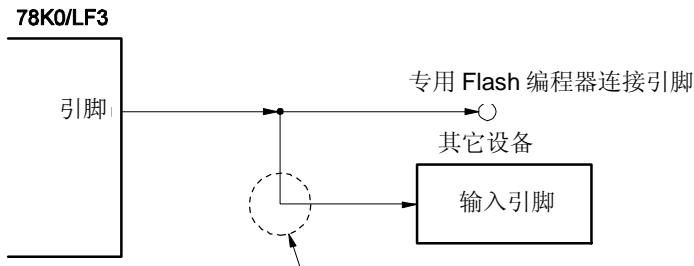


在 Flash 存储器编程模式下, 设备的输出信号与专用 Flash 编程器发送的信号发生冲突。因此必须隔离该设备的信号。

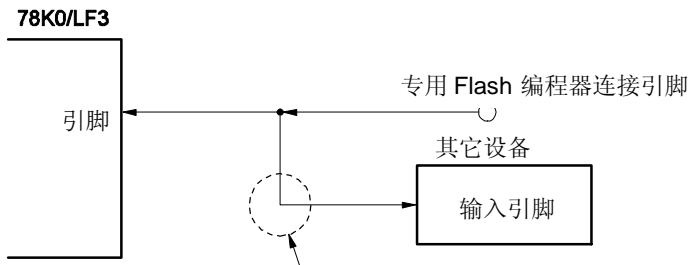
(2) 其它设备的故障

如果专用 Flash 编程器的输出或输入端与串行接口 (已连接到另一个设备的输入端) 的一个输入或输出引脚相连, 则信号可能会输出到另一个设备, 从而引起该设备的故障。为了避免这种情况, 应隔离与该设备的连接。

图 28-10. 其它设备的故障



在 Flash 存储器编程模式下, 如果 78K0/LE3 的输出信号影响到另外一个设备, 那么隔离另一设备的信号



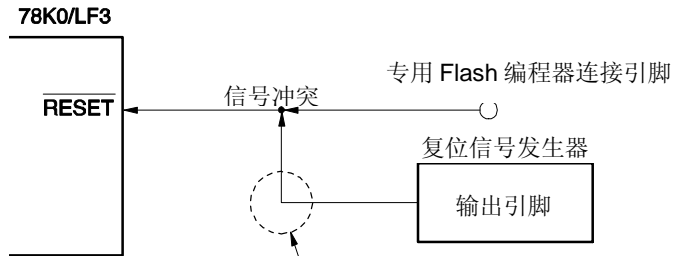
在 Flash 存储器编程模式下, 如果专用 Flash 编程器的输出信号影响到另外一个设备, 那么隔离另一设备的信号

28.6.3 RESET 引脚

如果将专用 Flash 编程器的复位信号连接到 RESET 引脚（已连接到板上的复位信号发生器），则会产生信号冲突。为了避免这种情况，应隔离与复位信号发生器的连接。

在 Flash 存储器编程模式下，如果从用户系统输入复位信号，则不能对 Flash 存储器进行正确编程。因此除了专用 Flash 编程器的复位信号外，不要输入其它信号。

图 28-11. 信号冲突(RESET 引脚)



在 Flash 存储器编程模式中，复位信号发生器输出的信号与专用 Flash 存储器编程器的输出信号发生冲突。因此必须隔离复位信号发生器的信号。

28.6.4 端口引脚

当设置 Flash 存储器编程模式时，那些不用于 Flash 存储器编程的引脚状态与复位后的状态相同。因此，如果外部设备(与端口相连)不能立即识别复位后的状态，则必须通过一个电阻将端口引脚连接到 V_{DD} 或 V_{SS}。

28.6.5 REGC 引脚

以正常操作相同的方式，通过一个电容 (0.47 ~ 1 μF: 推荐)连接 REGC 引脚到 GND。

28.6.6 其它信号引脚

使用 on-board 时钟时，以与正常操作模式下相同的状态连接 X1 和 X2。

为了从编程器输入操作时钟，那么，照下列所示连接。

- PG-FP4, FL-PR4: 编程器的 CLK 连接到 EXCLK/X2/P122。
- PG-FPL3, FP-LITE3: 编程器的 CLK 连接到 X1/P121 并且将它的反相信号连接到 X2/EXCLK/P122。

- 注意事项**
1. 在使用 CSI10 时，只能使用内部高速振荡时钟(f_{RH})。
 2. 在使用 UART6 时，只能使用 X1 时钟(f_x)或外部主系统时钟(f_{EXCLK})。

28.6.7 电源

要使用 Flash 编程器输出的供电电压，则将 V_{DD} 引脚与 Flash 编程器的 V_{DD} 相连，将 V_{SS} 引脚与 Flash 编程器的 GND 相连。

然而，如果要使用 Flash 编程器的电压监视功能，必须将 V_{DD} 和 V_{SS} 引脚分别与 Flash 编程器的 V_{DD} 和 GND 相连。

要使用板上供电电压，要按正常操作模式连接。

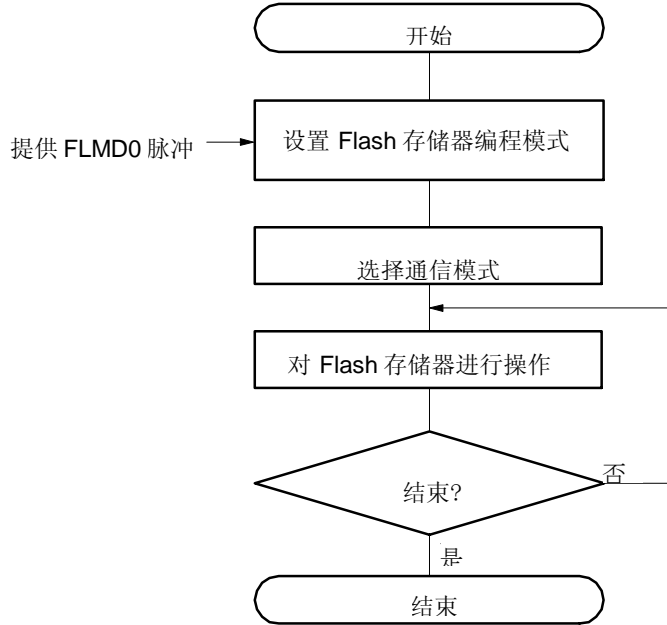
其它的供电电压 (LV_{DD} , LV_{SS} , AV_{REF} 和 AV_{SS}) 与正常操作模式中的相同。

28.7 编程方法

28.7.1 控制 Flash 存储器

下图显示了 Flash 存储器操作过程。

图 28-12. Flash 存储器操作过程



28.7.2 Flash 存储器编程模式

如果通过专用 Flash 编程器重写 Flash 存储器的内容，则必须将 78K0/LE2 设置为 Flash 存储器编程模式。而要设置该模式，必须将 FLMD0 引脚连接到 V_{DD}，并对复位信号清零。

当在线写 Flash 存储器时，使用跳线改变模式。

图 28-13. Flash 存储器编程模式

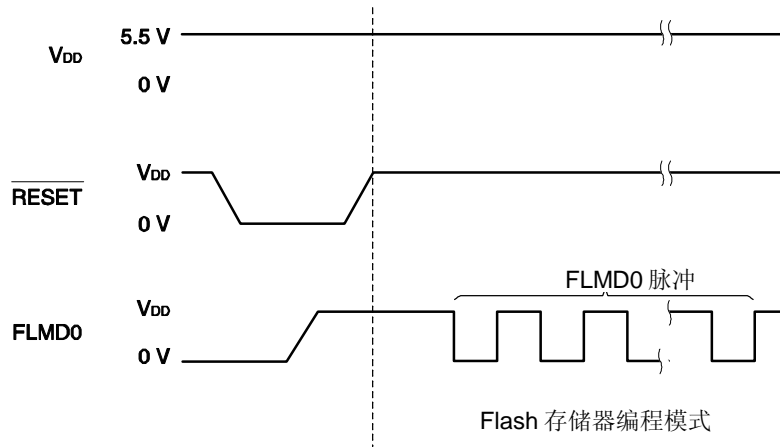


表 28-6. 复位释放后 FLMD0 引脚与操作模式之间的关系

FLMD0	操作模式
0	正常操作模式
V _{DD}	Flash 存储器编程模式

28.7.3 选择通信模式

在 78K0/LF3 中，进入专用 Flash 存储器编程模式后，通过将脉冲输入到 FLMD0 引脚，来选择通信模式。由 Flash 编程器产生这些 FLMD0 脉冲。

下表显示了脉冲个数与通信模式之间的关系。

表 28-7. 通信模式

通信模式	标准设置 ^{注 1}				使用引脚	外围时钟	FLMD0 脉冲的个数
	端口	速度	频率	倍率			
UART (UART6)	UART-Ext-Osc	115,200 bps ^{注 3}	2 to 10 MHz ^{注 2}	1.0	TxD6, RxD6	f _X	0
	UART-Ext-FP4CK					f _{EXCLK}	3
3 线串行 I/O (CSI10)	CSI 内部 OSC	2.4 kHz to 2.5 MHz	–		SO10, SI10, SCK10	f _{RH}	8

- 注
1. 编程器 GUI 的标准设置选择项目名称。
 2. 电压不同设置范围也不一样。如需了解详细内容，可参见第三十章 电气特性(标准产品)。
 3. 波特率误差以外的因素，如信号波形瞬变，也会影响 UART 通信，因此必须象测量波特率误差一样严格测量瞬变。

注意事项 当选择 UART6 时，在接收到 FLMD0 脉冲后，根据专用 Flash 编程器发送的复位命令计算接收时钟。

备注

f_X: X1 时钟

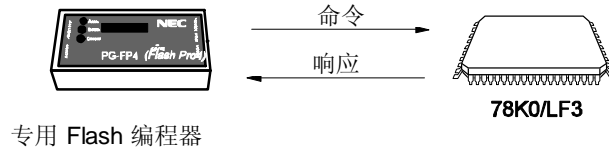
f_{EXCLK}: 外部主系统时钟

f_{RH}: 内部高速振荡时钟

28.7.4 通信命令

78K0/LF3 使用命令与专用 Flash 编程器进行通信。从 Flash 编程器发往 78K0/LF3 的信号称为命令，从 78K0/LF3 发往专用 Flash 编程器的命令称为响应命令。

图 28-14. 通信命令



78K0/LF3 的 Flash 存储器控制命令列表如下。所有这些命令都从编程器发出，78K0/LF3 根据相应的命令进行处理。

表 28-8. Flash 存储器控制命令

类别	命令名称	功能
校验	一次性校验命令	比较特定存储器内容和输入数据。
擦除	片擦除	擦除整个存储器内容。
	Block 擦除	擦除特定区域。
空白检测	Block 空白检测	存储器的一个特定 block 正确擦除，那么就进行检测。
数据写	编程	在 flash 存储器的特定区域写数据。
获取信息	状态	获取当前操作状态 (状态数据)。
	硅标记	获取 78K0/Lx3 信息(例如设备号和存储器配置)。
	获取版本	获取 78K0/Lx3 版本和固件版本。
	校验和	获取特定区域的校验和数据。
安全设置	安全设置	设置安全信息。
其它	复位	用来检测通信的同步状态。
	振荡频率设置	规定振荡频率

78K0/LF3 根据专用 Flash 编程器发出的命令返回一个响应。78K0/LF3 发出的响应列表如下。

表 28-9. 响应命令

响应名称	功能
ACK	响应命令/数据
NAK	响应非法命令/数据

28.8 安全性设置

78K0/LF3 禁止用户程序重写内部 flash 存储器，因此未授权用户就不能更改程序。

以下显示使用安全设定命令能够执行的操作。在设置下一个编程模式时，安全性设置有效。

- 禁止一次性擦除 (片擦除)

该项设置禁止对 Flash 存储器整个 block 进行 block 擦除和一次性擦除(片擦除)。一旦禁止执行一次性擦除(片擦除)命令，所有禁止设置项不能被取消。

注意事项 在对一次性擦除进行安全性设置后，不能再对该设备执行擦除操作。此外，由于禁止执行擦除命令，即使执行了写命令，与已经写到 Flash 存储器中的数据不同的数据也不能被写入，因为禁止擦除命令。

- 禁止 block 擦除

该项设置禁止对 Flash 存储器中指定 block 执行 block 擦除命令。使用一次性擦除（片擦除）命令时可取消禁止设置。

- 禁止写

该项设置禁止对 Flash 存储器整个 block 执行写命令和 block 擦除命令。使用一次性擦除（片擦除）命令时可取消禁止设置。

- 禁止重写引导簇 0

该项设置禁止对 Flash 存储器中引导簇 0(0000H ~ 0FFFH)执行一次性擦除(片擦除)命令、block 擦除命令和写命令。

注意事项 如果对重写引导簇 0 进行了安全性设置，则不能再对该设备的引导簇 0 进行重写。

Flash 存储器在默认设置下，允许一次性擦除(片擦除)、block 擦除、写命令和重写引导簇 0 功能。以上安全性设置仅用于 On-board/Off-board 编程和自编程。各项安全性设置可以结合使用。

通过执行一次性擦除(片擦除)命令，禁止擦除 block 和写入就被清除。

表 28-10 显示了 78K0/LF3 允许使用安全功能时擦除命令与写命令之间的关系。

表 28-10. 允许使用安全功能时命令之间的关系

(1) On-board/off-board 编程期间

有效的安全功能	执行的命令		
	一次性擦除(片擦除)	Block 擦除	写入
禁止一次性擦除(片擦除)	不能一次性擦除	Blocks 不能擦除。	不能执行 ^注 。
禁止 block 擦除	可以一次性擦除		可以执行。
禁止写入			不能执行。
禁止重写引导簇 0	不能一次性擦除	引导簇 0 不能擦除。	引导簇 0 不能写入。

注 确认没有把数据写入已经写入数据的区域。由于禁止使用一次性擦除（片擦除）命令，所以如果数据没有擦除，那么不能写入数据。

(2) 自编程期间

有效的安全功能	执行的命令	
	Block 擦除	写入
禁止一次性擦除(片擦除)	Blocks 可以擦除。	可以执行。
禁止 block 擦除		
禁止写入		
禁止引导簇 0 重写	引导簇 0 不能擦除。	引导簇 0 不能写入。

T 表 28-11 显示了在每一种编程模式下怎样进行安全设置。

表 28-11. 每一种编程模式下的安全设置

(1) On-board/off-board 编程

安全功能	安全设置	怎样禁止安全设置
禁止一次性擦除(片擦除)	通过专用 flash 编程器的 GUI 等进行设置。	设置之后不能禁止。
禁止 block 擦除		执行一次性擦除(片擦除) 命令
禁止写入		
禁止引导簇 0 重写		设置之后不能禁止

(2) 自编程

安全功能	安全设置	怎样禁止安全设置
禁止一次性擦除(片擦除)	由信息库进行设置。	设置之后不能禁止。
禁止 block 擦除		On-board/off-board 编程期间执行执行一次 性擦除(片擦除) 命令(自编程期间不能禁 止)。
禁止写入		
禁止引导簇 0 重写		设置之后不能禁止。

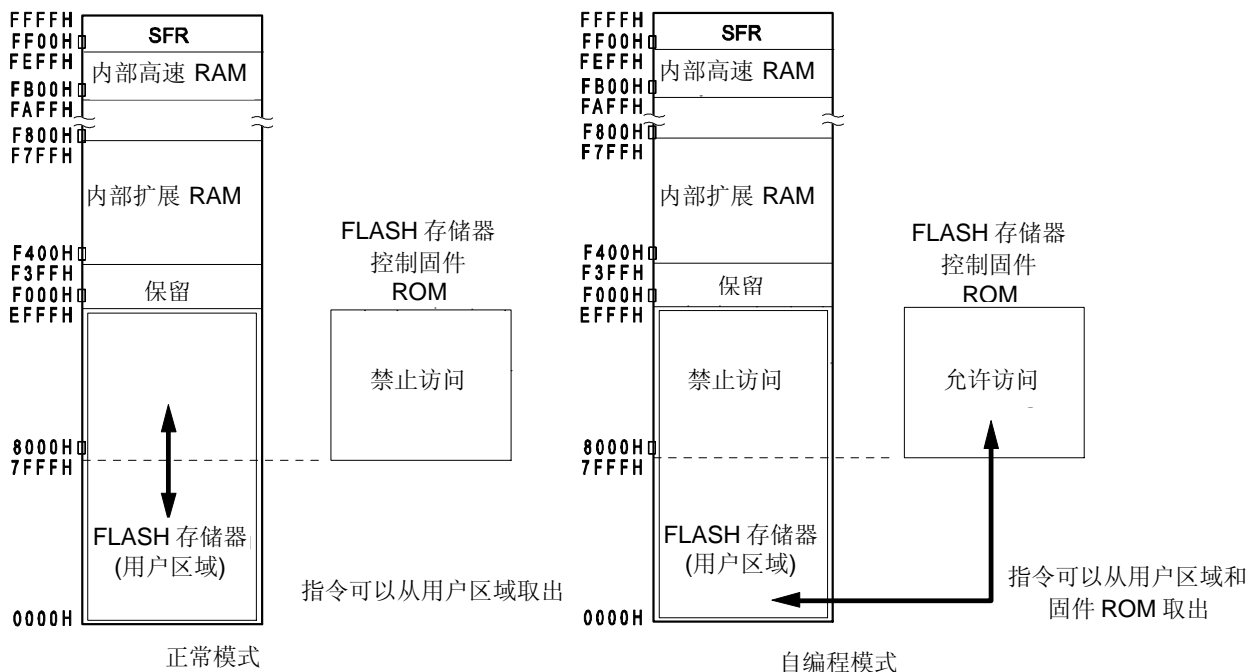
28.9 通过自写入进行 Flash 存储器编程(开发中)

78K0/LF3 支持自编程功能,即可以通过用户程序重写 Flash 存储器。由于该功能允许用户通过使用 78K0/LF3 自编程序示例库重写 flash 存储器,因此可用于对程序升级。

如果自编程期间产生中断,可以暂时停止自编程操作,而去执行中断服务程序。要执行中断服务程序,应在停止自编程操作后恢复正常操作模式,并执行 EI 指令。而在恢复自编程模式后,可以继续自编程操作。

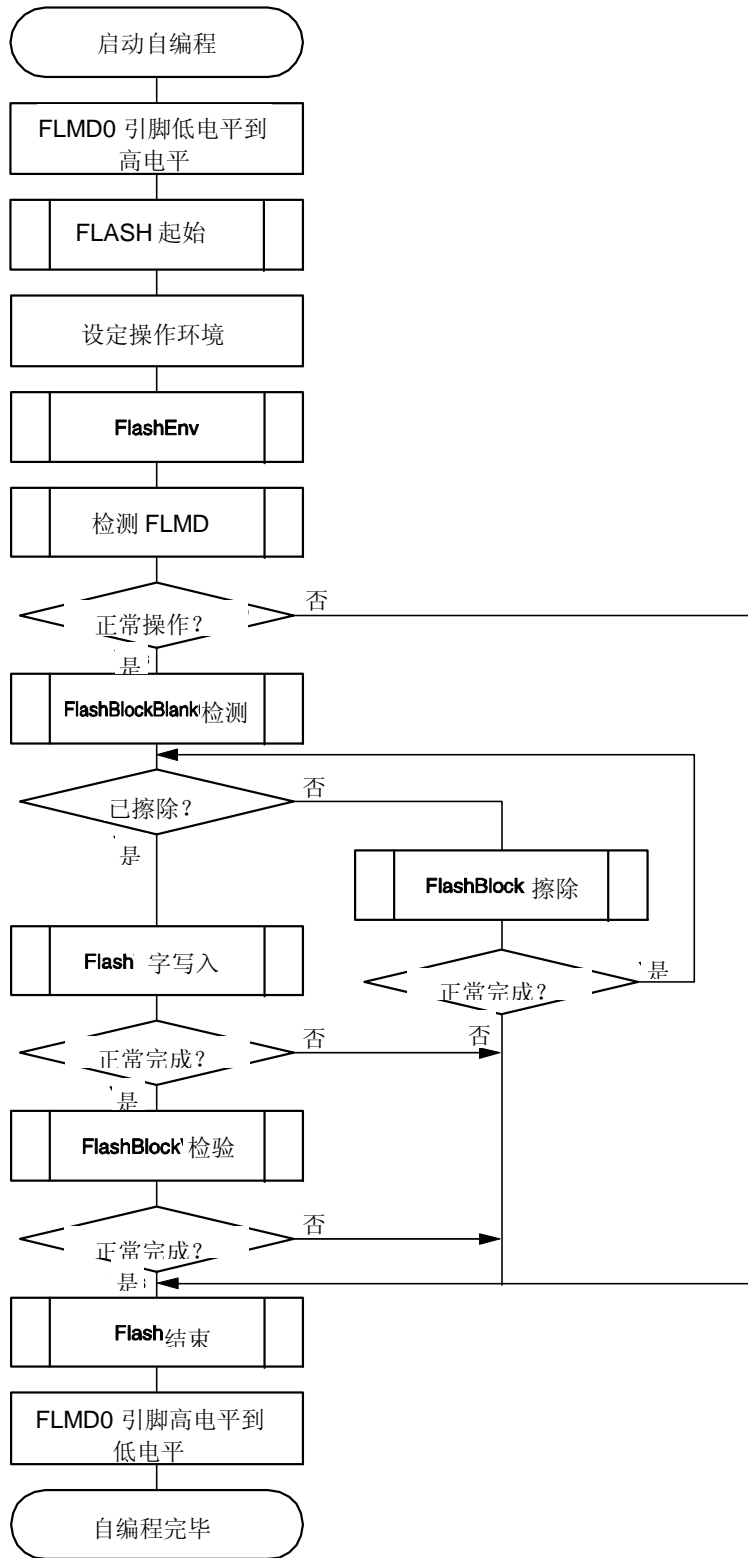
- 注意事项**
1. 当 CPU 使用副系统时钟时不能使用自编程功能。
 2. 自编程期间 FLMD0 引脚应输入高电平。
 3. 在启动自编程之前必须执行 DI 指令。
自编程功能检查中断请求标志 (IF0L, IF0H, IF1L 和 IF1H)。如果产生了中断请求,则停止自编程操作。
 4. 即使在 DI 状态下也可以通过未屏蔽的中断请求停止自编程。要避免这种情况,可以通过使用中断屏蔽标志寄存器(MK0L, MK0H, MK1L 和 MK1H)屏蔽该中断。
 5. 在内部高速振荡时钟下执行自编程。如果 CPU 使用 X1 时钟或外部主系统时钟,则内部高速振荡时钟的振荡稳定等待时间应在自编程期间。

图 28-15. 自编程的操作模式和存储器映射(μ PD78F0445)



下图显示了使用自编程范例库重写 flash 存储器的流程。

图 28-16. 自编程流程 (重写 Flash 编程器)



28.9.1 引导交换功能

如果在自编程期间由于电源失效或其它原因导致重写引导区域的操作失败，则引导区域的数据可能会丢失且不能通过复位重启程序。

使用引导交换功能可以避免这种情况。

在擦除引导簇 0(这是一个引导程序区域)[※]之前，先通过自编程将一个新的引导程序写入引导簇 1。当将该程序正确写入引导簇 1 后，通过使用 78K0/LF3 固件的设置信息功能将引导簇 1 与引导簇 0 的内容交换，这样引导簇 1 就用作引导区域。之后对初始引导程序区域，即引导簇 0 进行擦除或写操作。

这样，即使在重写引导程序区域时出现电源失效，也能够正确执行程序，这是因为程序在复位并再次执行时实行了从引导簇 1 的引导交换。

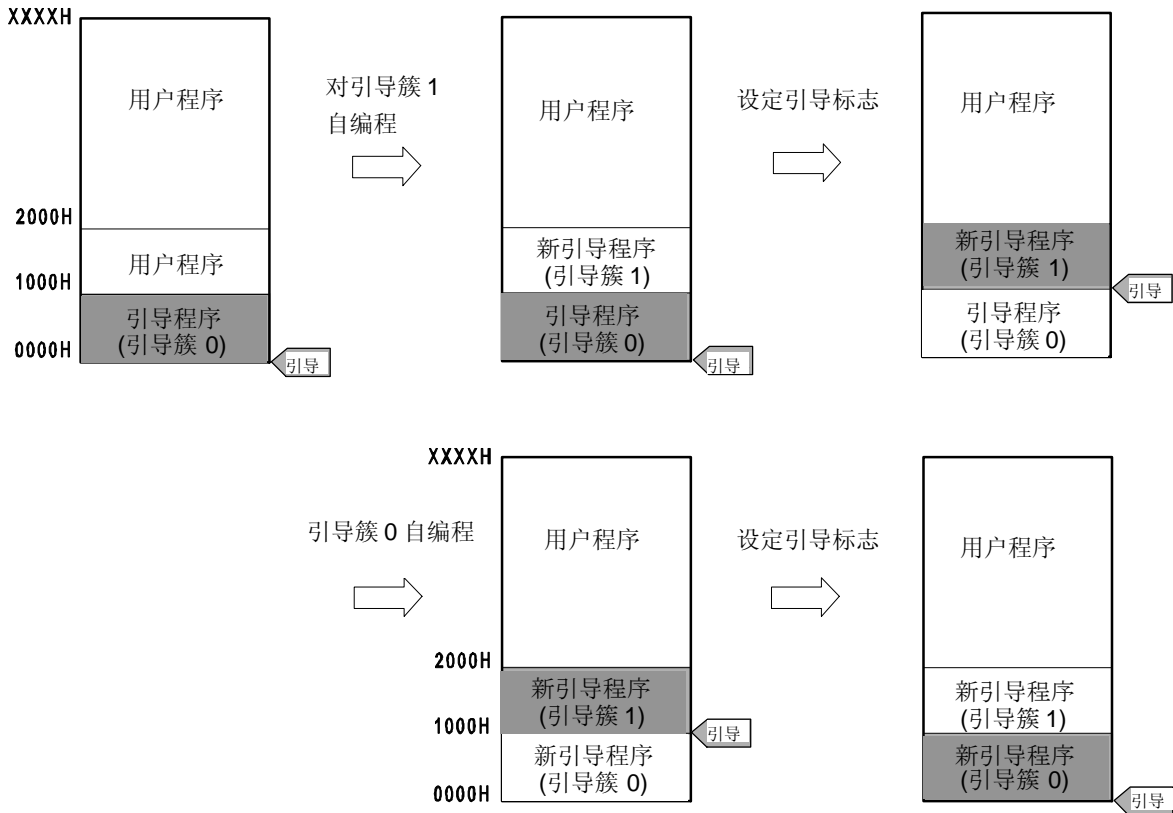
如果已经将程序正确写入引导簇 0，则通过使用 78K0/LF3 固件的设置信息功能恢复初始引导区域。

注 一个引导簇的容量为 4 KB，通过引导交换功能交换引导簇 0 与引导簇 1 的内容。

引导簇 0 (0000H ~ 0FFFH): 初始引导程序区域

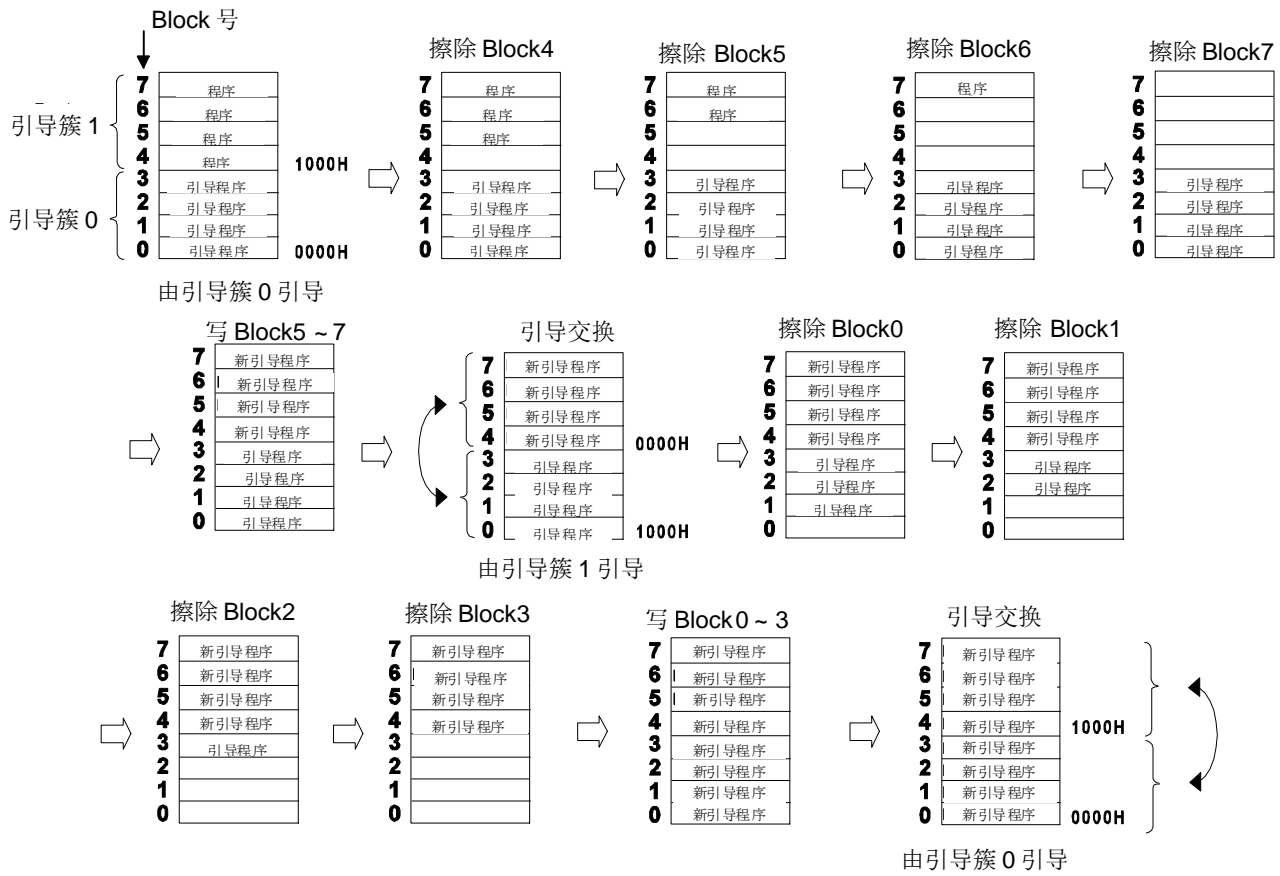
引导簇 1 (1000H ~ 1FFFH): 用于引导交换的区域

图 28-17. 引导交换功能



备注 引导标志设置后，当产生复位时，引导簇 1 变成 0000H ~ 0FFFH。

图 28-18. 执行引导交换的实例

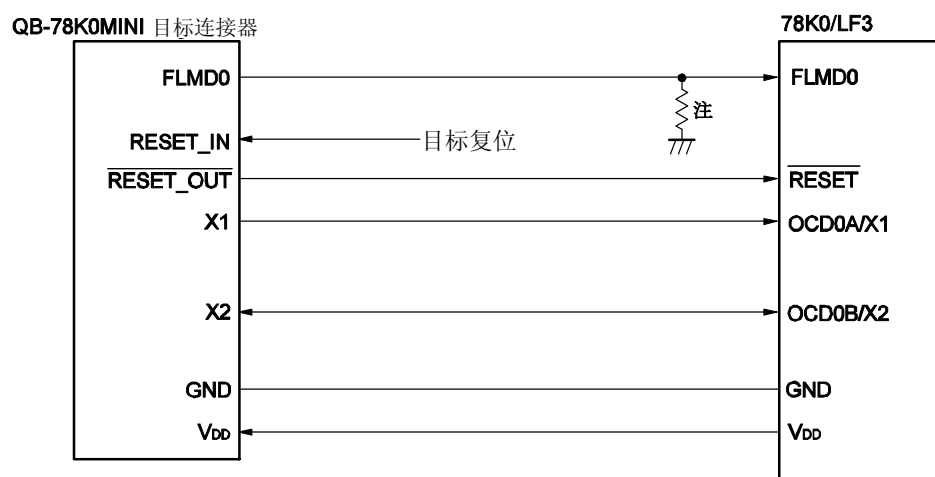


29.1 QB-78K0MINI 与 78K0/LF3 的连接

78K0/LF3 使用 V_{DD} 、FLMD0、 $\overline{\text{RESET}}$ 、OCD0A/X1、OCD0B/X2,和 V_{SS} 引脚，通过片上调试仿真器（QB-78K0MINI）与主机通信。

注意事项 78K0/LF3 具有片上调试功能。由于在使用片上调试功能后产品的稳定性不能得到保证，因此在给定 flash 存储器可重写次数的情况下不要将该产品用于大规模生产。NEC 电子不接受有关该产品的投诉。

图 29-1. QB-78K0MINI 与 78K0/LF3 的连接示例
(当使用 OCD0A/X1 和 OCD0B/X2 时)

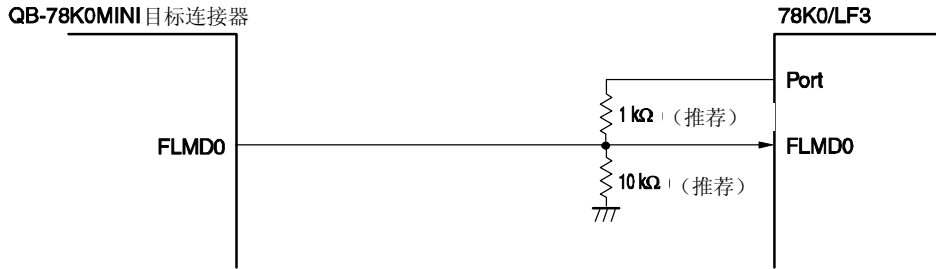


注 下拉电阻值至少应为 470 Ω (推荐使用 10 k Ω)。

注意事项 在片上调试期间从 OCD0A/X1 引脚输入时钟。

当通过片上调试进行自编程时按下列方式连接 FLMD0 引脚。

图 29-2. 通过片上调试进行自编程时 FLMD0 引脚的连接



29.2 片上调试安全 ID

在 78K0/LC3 中，一个片上调试操作控制标志存放在 flash 存储器地址 0084H 中 (参见第二十六章 选项字节)，片上调试安全 ID 设置在地址 0085H ~ 008EH 中。

当使用引导交换功能时，由于 0084H、0085H ~ 008EH 与 1084H 以及 1085H ~ 108EH 的内容被交换，因此预先设置与 1084H 以及 1085H ~ 108EH 的内容相同的值。

如需了解片上调试安全 ID 的详细内容，可参见 QB-78K0MINI 用户手册(U17029E)。

表 29-1. 片上调试安全 ID

地址	片上调试安全 ID
0085H ~ 008EH	10 字节的 ID 代码
1085H ~ 108EH	

第三十章 指令集

78K0/LF3 本章以表格方式列出了 78K0/LF3 的指令集。如需了解每种指令的操作和操作代码，可参阅 **78K/0 系列指令用户手册(U12326E)**。

30.1 操作列表使用规则

30.1.1 操作数标识符和标识方法

根据规范确定的指令操作数标识方法（详情可参见汇编程序编程规范），在每种指令的“操作数”栏列出操作数。如果有两种或两种以上的标识方法，可选其中之一。大写字母和符号#、!、\$ 和 []是关键字，必须按其原样书写。每种符号的含义如下所示。

- #: 立即数标识
- !: 绝对地址标识
- \$: 相对地址标识
- []: 间接地址标识

立即数用来描述一个数值型数据或标号。当使用标号时，注意必须加上符号#、!、\$、和 []。

对应操作数寄存器标识符 r 和 rp，功能名称（X, A, C, 等）或绝对名称（下表括号中的名称：R0, R1, R2 等）都可用于标识。

表 30-1. 操作数标识符和标识方法

标识符	标识方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊功能寄存器符号 ^注
sfrp	特殊功能寄存器符号（仅用于 16 位可操作寄存器偶地址） ^注
saddr	FE20H ~ FF1FH 立即数或标号
saddrp	FE20H ~ FF1FH 立即数或标号（仅用于偶地址）
addr16	0000H ~ FFFFH 立即数或标号 （仅用于 16 位数据传送指令的偶地址）
addr11	0800H ~ 0FFFH 立即数或标号
addr5	0040H ~ 007FH 立即数或标号（仅用于偶地址）
word	16 位立即数或标号
byte	8 位立即数或标号
bit	3 位立即数或标号
RBn	RB0 ~ RB3

注 不能使用这些操作数访问地址 FFD0H ~ FFD7H。

备注 特殊功能寄存器符号参见表 3-8 特殊功能寄存器列表。

30.1.2 操作栏描述

A:	A 寄存器; 8 位累加器
X:	X 寄存器
B:	B 寄存器
C:	C 寄存器
D:	D 寄存器
E:	E 寄存器
H:	H 寄存器
L:	L 寄存器
AX:	AX 寄存器对; 16 位累加器
BC:	BC 寄存器对
DE:	DE 寄存器对
HL:	HL 寄存器对
PC:	程序计数器
SP:	堆栈指针
PSW:	程序状态字
CY:	进位标志
AC:	辅助进位标志
Z:	零标志
RBS:	寄存器 bank 选择标志
IE:	中断请求允许标志
():	括号中的地址或寄存器所指的存储单元的内容
X _H , X _L :	16 位寄存器的高 8 位和低 8 位
∧:	逻辑与 (AND)
∨:	逻辑或 (OR)
⊖:	逻辑异或 (exclusive OR)
—:	数据取反
addr16:	16 位立即数或标号
jdisp8:	带符号的 8 位数据 (偏移量)

30.1.3 标志操作栏的描述

(空):	不受影响
0:	清零
1:	设置为 1
x:	根据结果进行设置/清零
R:	恢复先前保存的值

30.2 操作列表

指令组	助记符	操作数	字节数	时钟		操作	标志	
				注 1	注 2		Z AC CY	
8 位数据传送	MOV	r, #byte	2	4	-	r ← byte		
		saddr, #byte	3	6	7	(saddr) ← byte		
		sfr, #byte	3	-	7	sfr ← byte		
		A, r	注3	1	2	-	A ← r	
		r, A	注3	1	2	-	r ← A	
		A, saddr		2	4	5	A ← (saddr)	
		saddr, A		2	4	5	(saddr) ← A	
		A, sfr		2	-	5	A ← sfr	
		sfr, A		2	-	5	sfr ← A	
		A, !addr16		3	8	9	A ← (addr16)	
		!addr16, A		3	8	9	(addr16) ← A	
		PSW, #byte		3	-	7	PSW ← byte	x x x
		A, PSW		2	-	5	A ← PSW	
		PSW, A		2	-	5	PSW ← A	x x x
		A, [DE]		1	4	5	A ← (DE)	
		[DE], A		1	4	5	(DE) ← A	
		A, [HL]		1	4	5	A ← (HL)	
		[HL], A		1	4	5	(HL) ← A	
		A, [HL + byte]		2	8	9	A ← (HL + byte)	
		[HL + byte], A		2	8	9	(HL + byte) ← A	
		A, [HL + B]		1	6	7	A ← (HL + B)	
		[HL + B], A		1	6	7	(HL + B) ← A	
		A, [HL + C]		1	6	7	A ← (HL + C)	
	[HL + C], A		1	6	7	(HL + C) ← A		
	XCH	A, r	注3	1	2	-	A ↔ r	
		A, saddr		2	4	6	A ↔ (saddr)	
		A, sfr		2	-	6	A ↔ (sfr)	
		A, !addr16		3	8	10	A ↔ (addr16)	
		A, [DE]		1	4	6	A ↔ (DE)	
		A, [HL]		1	4	6	A ↔ (HL)	
		A, [HL + byte]		2	8	10	A ↔ (HL + byte)	
		A, [HL + B]		2	8	10	A ↔ (HL + B)	
		A, [HL + C]		2	8	10	A ↔ (HL + C)	

- 注
1. 当访问内部高速 RAM 时或针对无数据访问的指令
 2. 当访问内部高速 RAM 以外的区域时
 3. “r = A”除外

- 备注
1. 一个指令时钟周期是指由处理器时钟控制寄存器 (PCC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM 程序。

指令组	助记符	操作数	字节数	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
16 位数据 传送	MOVW	rp, #word	3	6	-	rp ← word			
		saddrp, #word	4	8	10	(saddrp) ← word			
		sfrp, #word	4	-	10	sfrp ← word			
		AX, saddrp	2	6	8	AX ← (saddrp)			
		saddrp, AX	2	6	8	(saddrp) ← AX			
		AX, sfrp	2	-	8	AX ← sfrp			
		sfrp, AX	2	-	8	sfrp ← AX			
		AX, rp ^{注 3}	1	4	-	AX ← rp			
		rp, AX ^{注 3}	1	4	-	rp ← AX			
		AX, !addr16	3	10	12	AX ← (addr16)			
		!addr16, AX	3	10	12	(addr16) ← AX			
	XCHW	AX, rp ^{注 3}	1	4	-	AX ↔ rp			
8 位操作	ADD	A, #byte	2	4	-	A, CY ← A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY ← (saddr) + byte	x	x	x
		A, r ^{注 4}	2	4	-	A, CY ← A + r	x	x	x
		r, A	2	4	-	r, CY ← r + A	x	x	x
		A, saddr	2	4	5	A, CY ← A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY ← A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY ← A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY ← A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY ← A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY ← A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY ← A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY ← (saddr) + byte + CY	x	x	x
		A, r ^{注 4}	2	4	-	A, CY ← A + r + CY	x	x	x
		r, A	2	4	-	r, CY ← r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY ← A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY ← A + (addr16) + C	x	x	x
		A, [HL]	1	4	5	A, CY ← A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY ← A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY ← A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY ← A + (HL + C) + CY	x	x	x	

- 注
1. 当访问内部高速 RAM 时或针对无数据访问的指令
 2. 当访问内部高速 RAM 以外的区域时
 3. 仅当 rp = BC, DE 或 HL
 4. “r = A”除外

- 备注
1. 一个指令时钟周期是指由处理器时钟控制寄存器 (PCC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM 程序。

指令组	助记符	操作数	字节数	时钟		操作	标志
				注 1	注 2		Z AC CY
8 位操作	SUB	A, #byte	2	4	-	A, CY ← A - byte	x x x
		saddr, #byte	3	6	8	(saddr), CY ← (saddr) - byte	x x x
		A, r ^{注 3}	2	4	-	A, CY ← A - r	x x x
		r, A	2	4	-	r, CY ← r - A	x x x
		A, saddr	2	4	5	A, CY ← A - (saddr)	x x x
		A, !addr16	3	8	9	A, CY ← A - (addr16)	x x x
		A, [HL]	1	4	5	A, CY ← A - (HL)	x x x
		A, [HL + byte]	2	8	9	A, CY ← A - (HL + byte)	x x x
		A, [HL + B]	2	8	9	A, CY ← A - (HL + B)	x x x
		A, [HL + C]	2	8	9	A, CY ← A - (HL + C)	x x x
	SUBC	A, #byte	2	4	-	A, CY ← A - byte - CY	x x x
		saddr, #byte	3	6	8	(saddr), CY ← (saddr) - byte - CY	x x x
		A, r ^{注 3}	2	4	-	A, CY ← A - r - CY	x x x
		r, A	2	4	-	r, CY ← r - A - CY	x x x
		A, saddr	2	4	5	A, CY ← A - (saddr) - CY	x x x
		A, !addr16	3	8	9	A, CY ← A - (addr16) - CY	x x x
		A, [HL]	1	4	5	A, CY ← A - (HL) - CY	x x x
		A, [HL + byte]	2	8	9	A, CY ← A - (HL + byte) - CY	x x x
		A, [HL + B]	2	8	9	A, CY ← A - (HL + B) - CY	x x x
		A, [HL + C]	2	8	9	A, CY ← A - (HL + C) - CY	x x x
	AND	A, #byte	2	4	-	A ← A ∧ byte	x
		saddr, #byte	3	6	8	(saddr) ← (saddr) ∧ byte	x
		A, r ^{注 3}	2	4	-	A ← A ∧ r	x
		r, A	2	4	-	r ← r ∧ A	x
		A, saddr	2	4	5	A ← A ∧ (saddr)	x
		A, !addr16	3	8	9	A ← A ∧ (addr16)	x
		A, [HL]	1	4	5	A ← A ∧ (HL)	x
		A, [HL + byte]	2	8	9	A ← A ∧ (HL + byte)	x
		A, [HL + B]	2	8	9	A ← A ∧ (HL + B)	x
		A, [HL + C]	2	8	9	A ← A ∧ (HL + C)	x

- 注
1. 当访问内部高速 RAM 或针对无数据访问的指令
 2. 当访问内部高速 RAM 以外的区域时
 3. “r = A”除外

- 备注
1. 一个指令时钟周期是指由处理器时钟控制寄存器 (PCC) 选择的 CPU 时钟 (f_{cpu}) 的一个周期。
 2. 该时钟周期用于内部 ROM 程序。

指令组	助记符	操作数	字节数	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位操作	OR	A, #byte	2	4	-	$A \leftarrow A \vee \text{byte}$		x	
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		x	
		A, r ^{注 3}	2	4	-	$A \leftarrow A \vee r$		x	
		r, A	2	4	-	$r \leftarrow r \vee A$		x	
		A, saddr	2	4	5	$A \leftarrow A \vee (\text{saddr})$		x	
		A, !addr16	3	8	9	$A \leftarrow A \vee (\text{addr16})$		x	
		A, [HL]	1	4	5	$A \leftarrow A \vee (\text{HL})$		x	
		A, [HL + byte]	2	8	9	$A \leftarrow A \vee (\text{HL} + \text{byte})$		x	
		A, [HL + B]	2	8	9	$A \leftarrow A \vee (\text{HL} + B)$		x	
	A, [HL + C]	2	8	9	$A \leftarrow A \vee (\text{HL} + C)$		x		
	XOR	A, #byte	2	4	-	$A \leftarrow A \oplus \text{byte}$		x	
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \oplus \text{byte}$		x	
		A, r ^{注 3}	2	4	-	$A \leftarrow A \oplus r$		x	
		r, A	2	4	-	$r \leftarrow r \oplus A$		x	
		A, saddr	2	4	5	$A \leftarrow A \oplus (\text{saddr})$		x	
		A, !addr16	3	8	9	$A \leftarrow A \oplus (\text{addr16})$		x	
		A, [HL]	1	4	5	$A \leftarrow A \oplus (\text{HL})$		x	
		A, [HL + byte]	2	8	9	$A \leftarrow A \oplus (\text{HL} + \text{byte})$		x	
		A, [HL + B]	2	8	9	$A \leftarrow A \oplus (\text{HL} + B)$		x	
	A, [HL + C]	2	8	9	$A \leftarrow A \oplus (\text{HL} + C)$		x		
	CMP	A, #byte	2	4	-	$A - \text{byte}$	x	x	x
		saddr, #byte	3	6	8	$(\text{saddr}) - \text{byte}$	x	x	x
		A, r ^{注 3}	2	4	-	$A - r$	x	x	x
		r, A	2	4	-	$r - A$	x	x	x
		A, saddr	2	4	5	$A - (\text{saddr})$	x	x	x
		A, !addr16	3	8	9	$A - (\text{addr16})$	x	x	x
		A, [HL]	1	4	5	$A - (\text{HL})$	x	x	x
		A, [HL + byte]	2	8	9	$A - (\text{HL} + \text{byte})$	x	x	x
		A, [HL + B]	2	8	9	$A - (\text{HL} + B)$	x	x	x
	A, [HL + C]	2	8	9	$A - (\text{HL} + C)$	x	x	x	

- 注
1. 当访问内部高速 RAM 或针对无数据访问的指令
 2. 当访问内部高速 RAM 以外的区域时
 3. “r = A”除外

- 备注
1. 一个指令时钟周期是指由处理器时钟控制寄存器（PCC）选择的 CPU 时钟（fcPU）的一个周期。
 2. 该时钟周期用于内部 ROM 程序。

指令组	助记符	操作数	字节数	时钟		操作	标志
				注 1	注 2		Z AC CY
16 位操作	ADDW	AX, #word	3	6	-	AX, CY ← AX + word	x x x
	SUBW	AX, #word	3	6	-	AX, CY ← AX - word	x x x
	CMPW	AX, #word	3	6	-	AX - word	x x x
乘法/ 除法	MULU	X	2	16	-	AX ← A × X	
	DIVUW	C	2	25	-	AX (商), C (余数) ← AX ÷ C	
递增/ 递减	INC	r	1	2	-	r ← r + 1	x x
		saddr	2	4	6	(saddr) ← (saddr) + 1	x x
	DEC	r	1	2	-	r ← r - 1	x x
		saddr	2	4	6	(saddr) ← (saddr) - 1	x x
	INCW	rp	1	4	-	rp ← rp + 1	
	DECW	rp	1	4	-	rp ← rp - 1	
循环	ROR	A, 1	1	2	-	(CY, A ₇ ← A ₀ , A _{m-1} ← A _m) × 1 次	x
	ROL	A, 1	1	2	-	(CY, A ₀ ← A ₇ , A _{m+1} ← A _m) × 1 次	x
	RORC	A, 1	1	2	-	(CY ← A ₀ , A ₇ ← CY, A _{m-1} ← A _m) × 1 次	x
	ROLC	A, 1	1	2	-	(CY ← A ₇ , A ₀ ← CY, A _{m+1} ← A _m) × 1 次	x
	ROR4	[HL]	2	10	12	A ₃₋₀ ← (HL) ₃₋₀ , (HL) ₇₋₄ ← A ₃₋₀ , (HL) ₃₋₀ ← (HL) ₇₋₄	
	ROL4	[HL]	2	10	12	A ₃₋₀ ← (HL) ₇₋₄ , (HL) ₃₋₀ ← A ₃₋₀ , (HL) ₇₋₄ ← (HL) ₃₋₀	
BCD 调整	ADJBA		2	4	-	加法后的十进制调整	x x x
	ADJBS		2	4	-	减法后的十进制调整	x x x
位操作	MOV1	CY, saddr.bit	3	6	7	CY ← (saddr.bit)	x
		CY, sfr.bit	3	-	7	CY ← sfr.bit	x
		CY, A.bit	2	4	-	CY ← A.bit	x
		CY, PSW.bit	3	-	7	CY ← PSW.bit	x
		CY, [HL].bit	2	6	7	CY ← (HL).bit	x
		saddr.bit, CY	3	6	8	(saddr.bit) ← CY	
		sfr.bit, CY	3	-	8	sfr.bit ← CY	
		A.bit, CY	2	4	-	A.bit ← CY	
		PSW.bit, CY	3	-	8	PSW.bit ← CY	x x
[HL].bit, CY	2	6	8	(HL).bit ← CY			

- 注
1. 当访问内部高速 RAM 或针对无数据访问的指令
 2. 当访问内部高速 RAM 以外的区域时

- 备注
1. 一个指令时钟周期是指由处理器时钟控制寄存器 (PCC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM 程序。

指令组	助记符	操作	字节数	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
位操作	AND1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \wedge (\text{saddr.bit})$			×
		CY, sfr.bit	3	–	7	$CY \leftarrow CY \wedge \text{sfr.bit}$			×
		CY, A.bit	2	4	–	$CY \leftarrow CY \wedge A.\text{bit}$			×
		CY, PSW.bit	3	–	7	$CY \leftarrow CY \wedge \text{PSW.bit}$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow CY \wedge (\text{HL}).\text{bit}$			×
	OR1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \vee (\text{saddr.bit})$			×
		CY, sfr.bit	3	–	7	$CY \leftarrow CY \vee \text{sfr.bit}$			×
		CY, A.bit	2	4	–	$CY \leftarrow CY \vee A.\text{bit}$			×
		CY, PSW.bit	3	–	7	$CY \leftarrow CY \vee \text{PSW.bit}$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow CY \vee (\text{HL}).\text{bit}$			×
	XOR1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \oplus (\text{saddr.bit})$			×
		CY, sfr.bit	3	–	7	$CY \leftarrow CY \oplus \text{sfr.bit}$			×
		CY, A.bit	2	4	–	$CY \leftarrow CY \oplus A.\text{bit}$			×
		CY, PSW. bit	3	–	7	$CY \leftarrow CY \oplus \text{PSW.bit}$			×
		CY, [HL].bit	2	6	7	$CY \leftarrow CY \oplus (\text{HL}).\text{bit}$			×
	SET1	saddr.bit	2	4	6	$(\text{saddr.bit}) \leftarrow 1$			
		sfr.bit	3	–	8	$\text{sfr.bit} \leftarrow 1$			
		A.bit	2	4	–	$A.\text{bit} \leftarrow 1$			
		PSW.bit	2	–	6	$\text{PSW.bit} \leftarrow 1$			× × ×
		[HL].bit	2	6	8	$(\text{HL}).\text{bit} \leftarrow 1$			
	CLR1	saddr.bit	2	4	6	$(\text{saddr.bit}) \leftarrow 0$			
		sfr.bit	3	–	8	$\text{sfr.bit} \leftarrow 0$			
		A.bit	2	4	–	$A.\text{bit} \leftarrow 0$			
		PSW.bit	2	–	6	$\text{PSW.bit} \leftarrow 0$			× × ×
		[HL].bit	2	6	8	$(\text{HL}).\text{bit} \leftarrow 0$			
	SET1	CY	1	2	–	$CY \leftarrow 1$			1
	CLR1	CY	1	2	–	$CY \leftarrow 0$			0
NOT1	CY	1	2	–	$CY \leftarrow \neg CY$			×	

- 注
1. 当访问内部高速 RAM 或针对无数据访问的指令
 2. 当访问内部高速 RAM 以外的区域时

- 备注
1. 一个指令时钟周期是指由处理器时钟控制寄存器 (PCC) 选择的 CPU 时钟 (f_{cpu}) 的一个周期。
 2. 该时钟周期用于内部 ROM 程序。

指令组	助记符	操作数	字节数	时钟		操作	标志
				注 1	注 2		Z AC CY
调用/返回	CALL	!addr16	3	7	-	$(SP - 1) \leftarrow (PC + 3)_H, (SP - 2) \leftarrow (PC + 3)_L,$ $PC \leftarrow \text{addr16}, SP \leftarrow SP - 2$	
	CALLF	!addr11	2	5	-	$(SP - 1) \leftarrow (PC + 2)_H, (SP - 2) \leftarrow (PC + 2)_L,$ $PC_{15-11} \leftarrow 00001, PC_{10-0} \leftarrow \text{addr11},$ $SP \leftarrow SP - 2$	
	CALLT	[addr5]	1	6	-	$(SP - 1) \leftarrow (PC + 1)_H, (SP - 2) \leftarrow (PC + 1)_L,$ $PC_H \leftarrow (00000000, \text{addr5} + 1),$ $PC_L \leftarrow (00000000, \text{addr5}),$ $SP \leftarrow SP - 2$	
	BRK		1	6	-	$(SP - 1) \leftarrow PSW, (SP - 2) \leftarrow (PC + 1)_H,$ $(SP - 3) \leftarrow (PC + 1)_L, PC_H \leftarrow (003FH),$ $PC_L \leftarrow (003EH), SP \leftarrow SP - 3, IE \leftarrow 0$	
	RET		1	6	-	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $SP \leftarrow SP + 2$	
	RETI		1	6	-	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $PSW \leftarrow (SP + 2), SP \leftarrow SP + 3$	R R R
	RETB		1	6	-	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $PSW \leftarrow (SP + 2), SP \leftarrow SP + 3$	R R R
堆栈操作	PUSH	PSW	1	2	-	$(SP - 1) \leftarrow PSW, SP \leftarrow SP - 1$	
		rp	1	4	-	$(SP - 1) \leftarrow rp_H, (SP - 2) \leftarrow rp_L,$ $SP \leftarrow SP - 2$	
	POP	PSW	1	2	-	$PSW \leftarrow (SP), SP \leftarrow SP + 1$	R R R
		rp	1	4	-	$rp_H \leftarrow (SP + 1), rp_L \leftarrow (SP),$ $SP \leftarrow SP + 2$	
	MOVW	SP, #word	4	-	10	$SP \leftarrow \text{word}$	
		SP, AX	2	-	8	$SP \leftarrow AX$	
AX, SP		2	-	8	$AX \leftarrow SP$		
无条件转移	BR	!addr16	3	6	-	$PC \leftarrow \text{addr16}$	
		\$addr16	2	6	-	$PC \leftarrow PC + 2 + \text{jdisp8}$	
		AX	2	8	-	$PCH \leftarrow A, PC_L \leftarrow X$	
条件转移	BC	\$addr16	2	6	-	如果 $CY = 1$, 则 $PC \leftarrow PC + 2 + \text{jdisp8}$	
	BNC	\$addr16	2	6	-	如果 $CY = 0$, 则 $PC \leftarrow PC + 2 + \text{jdisp8}$	
	BZ	\$addr16	2	6	-	如果 $Z = 1$, 则 $PC \leftarrow PC + 2 + \text{jdisp8}$	
	BNZ	\$addr16	2	6	-	如果 $Z = 0$, 则 $PC \leftarrow PC + 2 + \text{jdisp8}$	

- 注
1. 当访问内部高速 RAM 或针对无数据访问的指令
 2. 当访问内部高速 RAM 以外的区域时

- 备注
1. 一个指令时钟周期是指由处理器时钟控制寄存器 (PCC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM 程序。

指令组	助记符	操作数	字节数	时钟		操作	标志
				注 1	注 2		Z AC CY
条件转移	BT	saddr.bit, \$addr16	3	8	9	如果 (saddr.bit) = 1, 则 $PC \leftarrow PC + 3 + jdisp8$	
		sfr.bit, \$addr16	4	-	11	如果 sfr.bit = 1, 则 $PC \leftarrow PC + 4 + jdisp8$	
		A.bit, \$addr16	3	8	-	如果 A.bit = 1, 则 $PC \leftarrow PC + 3 + jdisp8$	
		PSW.bit, \$addr16	3	-	9	如果 PSW.bit = 1, 则 $PC \leftarrow PC + 3 + jdisp8$	
		[HL].bit, \$addr16	3	10	11	如果 (HL).bit = 1, 则 $PC \leftarrow PC + 3 + jdisp8$	
	BF	saddr.bit, \$addr16	4	10	11	如果 (saddr.bit) = 0, 则 $PC \leftarrow PC + 4 + jdisp8$	
		sfr.bit, \$addr16	4	-	11	如果 sfr.bit = 0, 则 $PC \leftarrow PC + 4 + jdisp8$	
		A.bit, \$addr16	3	8	-	如果 A.bit = 0, 则 $PC \leftarrow PC + 3 + jdisp8$	
		PSW.bit, \$addr16	4	-	11	如果 PSW.bit = 0, 则 $PC \leftarrow PC + 4 + jdisp8$	
		[HL].bit, \$addr16	3	10	11	如果 (HL).bit = 0, 则 $PC \leftarrow PC + 3 + jdisp8$	
	BTCLR	saddr.bit, \$addr16	4	10	12	$PC \leftarrow PC + 4 + jdisp8$, 如果 (saddr.bit) = 1, 那么复位 (saddr.bit)	
		sfr.bit, \$addr16	4	-	12	$PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 1 then reset sfr.bit	
		A.bit, \$addr16	3	8	-	$PC \leftarrow PC + 3 + jdisp8$, 如果 A.bit = 1, 那么复位 A.bit	
		PSW.bit, \$addr16	4	-	12	$PC \leftarrow PC + 4 + jdisp8$, 如果 PSW.bit = 1, 那么复位 PSW.bit	× × ×
		[HL].bit, \$addr16	3	10	12	$PC \leftarrow PC + 3 + jdisp8$, 如果 (HL).bit = 1, 那么复位 (HL).bit	
DBNZ	B, \$addr16	2	6	-	$B \leftarrow B - 1$, 如果 $B \neq 0$, 那么 $PC \leftarrow PC + 2 + jdisp8$		
	C, \$addr16	2	6	-	$C \leftarrow C - 1$, 如果 $C \neq 0$, 那么 $PC \leftarrow PC + 2 + jdisp8$		
	saddr, \$addr16	3	8	10	$(saddr) \leftarrow (saddr) - 1$, 如果 $(saddr) \neq 0$, 那么 $PC \leftarrow PC + 3 + jdisp8$		
CPU 控制	SEL	Rbn	2	4	-	$RBS1, 0 \leftarrow n$	
	NOP		1	2	-	无操作	
	EI		2	-	6	$IE \leftarrow 1$ (允许中断)	
	DI		2	-	6	$IE \leftarrow 0$ (禁止中断)	
	HALT		2	6	-	设置 HALT 模式	
	STOP		2	6	-	设置 STOP 模式	

- 注
1. 当访问内部高速 RAM 或针对无数据访问的指令
 2. 当访问内部高速 RAM 以外的区域时

- 备注
1. 一个指令时钟周期是指由处理器时钟控制寄存器 (PCC) 选择的 CPU 时钟 (fCPU) 的一个周期。
 2. 该时钟周期用于内部 ROM 程序。

30.3 按寻址类型列出指令

(1) 8 位指令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第 2 操作数 第 1 操作数	#byte	A	r [#]	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	无
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 “r = A”除外

(2) 16 位指令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第 2 操作数 第 1 操作数	#word	AX	rp [※]	sfrp	saddrp	!addr16	SP	无
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW [※]						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 仅当 rp = BC, DE, HL 时使用

(3) 位操作指令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第 2 操作数 第 1 操作数	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	无
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) 调用指令 / 转移指令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第 2 操作数 第 1 操作数	AX	!addr16	!addr11	[addr5]	\$addr16
基本指令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
复合指令					BT BF BTCLR DBNZ

(5) 其它指令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第三十一章 电气特性 (标准产品)

注意事项 78K0/LF3 具有片上调试功能。不要将该产品用于大规模生产，因为在给定 Flash 重写次数的条件下，使用片上调试功能后，产品的可靠性得不到保证。NEC 电子不接受有关该产品的任何投诉。

最大额定值(T_A = 25°C) (1/2)

参数	符号	条件	额定值	单位
供电电压	V _{DD}		-0.5 ~ +6.5	V
	V _{SS}		-0.5 ~ +0.3	V
	AV _{REF} ^{※2}		-0.5 ~ V _{DD} + 0.3 ^{※1}	V
	AV _{SS} ^{※2}		-0.5 ~ +0.3	V
REGC 引脚输入电压	VIREGC		-0.5 ~ +3.6 和 -0.5 ~ V _{DD}	V
输入电压	V _I	P10 ~ P17, P20 ~ P27, P30 ~ P34, P40 ~ P47, P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P120 ~ P124, P130 ~ P133, P140 ~ P143, P150 ~ P153, X1, X2, XT1, XT2, FLMD0, RESET	-0.3 ~ V _{DD} + 0.3 ^{※1}	V
输出电压	V _O		-0.3 ~ V _{DD} + 0.3 ^{※1}	V
模拟输入电压	V _{AN}	ANI0 ~ ANI7 ^{※2} , DS0- ~ DS2- ^{※3} , DS0+ ~ DS2+ ^{※3}	-0.3 ~ AV _{REF} + 0.3 ^{※1} 和 -0.3 ~ V _{DD} + 0.3 ^{※1}	V
	REF+ ^{※3}		-0.5 ~ AV _{REF} + 0.3 ^{※1}	V
	REF- ^{※3}		-0.5 ~ +0.3	V

- 注**
1. 必须小于等于 6.5 V。
 2. 仅限于 μ PD78F045x 和 78F046x。
 3. 仅限于 μ PD78F046x。

注意事项 任何一项参数哪怕是在瞬间超过最大额定值，都会使产品质量受到影响。也就是说，最大额定值是产品濒临物理损坏的临界点，因而，必须保证产品在不超过最大额定值的条件下使用。

备注 除非另外说明，复用功能引脚的特性与端口引脚的相同。

最大额定值($T_A = 25^\circ\text{C}$) (2/2)

参数	符号	条件		额定值	单位
输出电流, 高	I _{OH1}	每一个引脚	P10 ~ P17, P30 ~ P34, P40 ~ P47, P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P120, P130 ~ P133, P140 ~ P143, P150 ~ P153	-10	mA
		所有引脚总和 -35 mA	P10 ~ P17, P30 ~ P34, P40 ~ P47, P120	-25	mA
			P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P130 ~ P133, P140 ~ P143, P150 ~ P153	-10	mA
	I _{OH2}	每一个引脚	P20 ~ P27	-0.5	mA
		所有引脚总和		-2	mA
	输出电流, 低	I _{OL}	每一个引脚	P10 ~ P17, P30 ~ P34, P40 ~ P47, P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P120, P130 ~ P133, P140 ~ P143, P150 ~ P153	30
所有引脚总和 80 mA			P10 ~ P17, P30 ~ P34, P40 ~ P47, P120	40	mA
			P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P130 ~ P133, P140 ~ P143, P150 ~ P153	40	mA
每一个引脚			P20 ~ P27	1	mA
所有引脚总和				5	mA
工作环境温度		T _A	正常操作模式	-40 ~ +85	°C
		flash 存储器编程模式			
存储温度	T _{stg}		-65 ~ +150	°C	

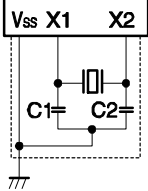
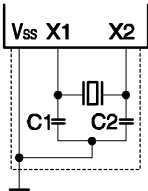
<R>
<R>
<R>
<R>

注意事项 任何一项参数哪怕是在瞬间超过最大额定值, 都会使产品质量受到影响。也就是说, 最大额定值是产品濒临物理损坏的临界点, 因而, 必须保证产品在不超过最大额定值的条件下使用。

备注 除非另外说明, 复用功能引脚的特性与端口引脚的相同。

X1 振荡器特性

(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = AV_{SS} = 0 V)

振荡器	建议使用的电路	参数	条件	MIN.	TYP.	MAX.	单位
陶瓷振荡器		X1 时钟振荡频率 (f _x) ^注	2.7 V ≤ V _{DD} ≤ 5.5 V	2.0		10.0	MHz
			1.8 V ≤ V _{DD} < 2.7 V	2.0		5.0	
晶体振荡器		X1 时钟振荡频率 (f _x) ^注	2.7 V ≤ V _{DD} ≤ 5.5 V	2.0		10.0	MHz
			1.8 V ≤ V _{DD} < 2.7 V	2.0		5.0	

注 表示振荡器的特性。如需了解指令执行时间，可参见 **AC 特性**。

注意事项 1. 在使用 X1 时钟时，上图中被虚线包围的部分的配线应按照如下布线方法布线，以防止连接线电容产生不利影响。

- 连接线越短越好。
 - 连接线不应与其他信号线交叉。
 - 流经的电流变化较大的信号线不要在振荡器周围布线。
 - 要保持振荡器电容器的接地点电压与 V_{SS} 相同。
 - 不要将电容的地信号接入大电流地。
 - 不要从振荡器获取信号。
2. 由于复位后 CPU 使用内部高速振荡时钟进行操作，因此用户要使用振荡稳定时间计数器的状态寄存器 (OSTC) 检测 X1 时钟振荡稳定时间。在充分评估了所使用的振荡器的振荡稳定时间后再确定 OSTC 和振荡稳定时间选择寄存器 (OSTS) 的振荡稳定时间。

备注 振荡器的选择和常数，使用者可选择任一参数的振荡器或由振荡器制造厂商推荐。

内部振荡特性

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = AVSS = 0 V)

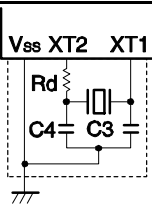
振荡器	参数	条件	MIN.	TYP.	MAX.	单位	
<R> 8 MHz 内部振荡器	内部高速振荡时钟频率 (fRH) ^{# 1, 2}	RSTS = 1	2.5 V ≤ VDD ≤ 5.5 V	7.6	8.0	8.4	MHz
			1.8 V ≤ VDD < 2.5 V	6.75	8.0	8.4	MHz
		RSTS = 0		2.48	5.6	9.86	MHz
<R> 240 kHz 内部振荡器	内部高速振荡时钟频率 (fRL)	2.6 V ≤ VDD ≤ 5.5 V	216	240	264	kHz	
		1.8 V ≤ VDD < 2.6 V	192	240	264	kHz	

- 注 1. 仅表示振荡器的特性。如需了解指令执行时间, 可参见 **AC 特性**。
2. 当设置 HIOTRM = 10H (±0%: 默认) 时

备注 RSTS: 内部振荡模式寄存器(RCM) 的第 7 位

XT1 振荡特性

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = AVSS = 0 V)

振荡器	建议使用的电路	参数	条件	MIN.	TYP.	MAX.	单位
晶体振荡器		XT1 时钟振荡频率 (fxt) [#]		32	32.768	35	kHz

注 仅表示振荡器的特性。如需了解指令执行时间, 可参见 **AC 特性**。

注意事项 1. 在使用 XT1 时钟时, 上图中被虚线包围的部分的配线应按照如下配线方法配线, 以防止连接线电容产生不利影响。

- 连接线越短越好。
- 连接线不应与其他信号线交叉。
- 流经的电流变化较大的信号线不要在振荡器周围布线。
- 要保持振荡器电容器的接地点电压与 VSS 相同。
- 不要将电容的地信号接入大电流地。
- 不要从振荡器获取信号。

2. XT1 振荡器是一个低振幅电路, 用于降低功耗, 但由于比 X1 振荡器更容易受到噪音干扰, 因此在使用 XT1 时钟时应特别注意连线方式。

备注 振荡器的选择和常数, 使用者可选择任一参数的振荡器或由振荡器制造厂商推荐。

DC 特性(1/5)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 5.5 V, AVREF ≤ VDD, VSS = AVSS = 0 V)

参数	符号	条件	MIN.	TYP.	MAX.	单位	
输出电流, 高 ^{注1}	IOH1	P10 ~ P17, P30~ P34, P40 ~ P47, P120 的每一个引脚	4.0 V ≤ VDD ≤ 5.5 V			-3.0	mA
			2.7 V ≤ VDD < 4.0 V			-2.5	mA
			1.8 V ≤ VDD < 2.7 V			-1.0	mA
		P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P130 ~ P133, P140 ~ P143, P150 ~ P153 的每一个引脚	4.0 V ≤ VDD ≤ 5.5 V			-0.1	mA
			2.7 V ≤ VDD < 4.0 V			-0.1	mA
			1.8 V ≤ VDD < 2.7 V			-0.1	mA
		P10 ~ P17, P30 ~ P34, P40 ~ P47, P120 的所有引脚 ^{注3}	4.0 V ≤ VDD ≤ 5.5 V			-20.0	mA
			2.7 V ≤ VDD < 4.0 V			-10.0	mA
			1.8 V ≤ VDD < 2.7 V			-5.0	mA
		P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P130 ~ P133, P140 ~ P143, P150 ~ P153 的所有引脚 ^{注3}	4.0 V ≤ VDD ≤ 5.5 V			-2.8	mA
			2.7 V ≤ VDD < 4.0 V			-2.8	mA
			1.8 V ≤ VDD < 2.7 V			-2.8	mA
		所有引脚 ^{注3}	4.0 V ≤ VDD ≤ 5.5 V			-22.8	mA
			2.7 V ≤ VDD < 4.0 V			-12.8	mA
			1.8 V ≤ VDD < 2.7 V			-7.8	mA
	IOH2	P20 ~ P27 的每一个引脚	AVREF = VDD			-0.1	mA
输出电流, 低 ^{注2}	IOL1	P10 ~ P17, P30~ P34, P40 ~ P47, P120 的每一个引脚	4.0 V ≤ VDD ≤ 5.5 V			8.5	mA
			2.7 V ≤ VDD < 4.0 V			5.0	mA
			1.8 V ≤ VDD < 2.7 V			2.0	mA
		P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P130 ~ P133, P140 ~ P143, P150 ~ P153 的每一个引脚	4.0 V ≤ VDD ≤ 5.5 V			0.4	mA
			2.7 V ≤ VDD < 4.0 V			0.4	mA
			1.8 V ≤ VDD < 2.7 V			0.4	mA
		P10 ~ P17, P30 ~ P34, P40 ~ P47, P120 的所有引脚 ^{注3}	4.0 V ≤ VDD ≤ 5.5 V			20.0	mA
			2.7 V ≤ VDD < 4.0 V			15.0	mA
			1.8 V ≤ VDD < 2.7 V			9.0	mA
		P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P130 ~ P133, P140 ~ P143, P150 ~ P153 的所有引脚 ^{注3}	4.0 V ≤ VDD ≤ 5.5 V			11.2	mA
			2.7 V ≤ VDD < 4.0 V			11.2	mA
			1.8 V ≤ VDD < 2.7 V			11.2	mA
		所有引脚 ^{注3}	4.0 V ≤ VDD ≤ 5.5 V			31.2	mA
			2.7 V ≤ VDD < 4.0 V			26.2	mA
			1.8 V ≤ VDD < 2.7 V			20.2	mA
	IOL2	P20 ~ P27 的每一个引脚	AVREF = VDD			0.4	mA

- 注 1. 即使电流从 VDD 流向输出引脚, 设备操作时的电流值也可以得到保证。
2. 即使电流从输出引脚流向 GND, 设备操作时的电流值也可以得到保证。
3. 占空比=70%时 (输出电流的时间为 0.7 × t, 不输出电流的时间为 0.3 × t, 其中 t 为指定时间)的规定。可通过以下表达式计算占空比不等于 70%时的引脚总的输出电流。
- 当 IOH 的占空比为 n%: 引脚总的输出电流 = (IOH × 0.7)/(n × 0.01)
- <举例> 当占空比为 50%, IOH = 20.0 mA
- 引脚总的输出电流 = (20.0 × 0.7)/(50 × 0.01) = 28.0 mA
- 但是, 允许流入每个引脚的电流不会随占空比而变化。高于最大额定值的电流不能流入引脚。

备注 除非另外说明, 复用功能引脚的特性与端口引脚的相同。

DC 特性(2/5)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 5.5 V, AVREF ≤ VDD, VSS = AVSS = 0 V)

参数	符号	条件	MIN.	TYP.	MAX.	单位
输入电压, 高	V _{IH1}	P10, P16, P17, P32, P80 to P83, P90 ~ P93, P100 ~ P103, P110 ~ P112, P121 ~ P124, P130 ~ P133, P140 ~ P143, P150 ~ P153	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P11 ~ P15, P30, P31, P33, P34, P40 ~ P47, P113, P120, RESET, EXCLK	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20 ~ P27 AV _{REF} = V _{DD}	0.7AV _{REF}		AV _{REF}	V
输入电压, 低	V _{IL1}	P10, P16, P17, P32, P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P112, P121 ~ P124, P130 ~ P133, P140 ~ P143, P150 ~ P153	0		0.3V _{DD}	V
	V _{IL2}	P11 ~ P15, P30, P31, P33, P34, P40 ~ P47, P113, P120, RESET, EXCLK	0		0.2V _{DD}	V
	V _{IL3}	P20 ~ P27 AV _{REF} = V _{DD}	0		0.3AV _{REF}	V
输出电压, 高	V _{OH1}	P10 ~ P17, P30 ~ P34, P40 ~ P47, P120	4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -3.0 mA		V _{DD} - 0.7	V
			2.7 V ≤ V _{DD} < 4.0 V, I _{OH1} = -2.5 mA		V _{DD} - 0.5	V
			1.8 V ≤ V _{DD} < 2.7 V, I _{OH1} = -1.0 mA		V _{DD} - 0.5	V
		P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P130 ~ P133, P140 ~ P143, P150 ~ P153	I _{OH1} = -0.1 mA		V _{DD} - 0.5	V
	V _{OH2}	P20 ~ P27	AV _{REF} = V _{DD} , I _{OH2} = -0.1 mA		V _{DD} - 0.5	V
输出电压, 低	V _{OL1}	P10 ~ P17, P30 ~ P34, P40 ~ P47, P120	4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 8.5 mA		0.7	V
			2.7 V ≤ V _{DD} < 4.0 V, I _{OL1} = 5.0 mA		0.7	V
			1.8 V ≤ V _{DD} < 2.7 V, I _{OL1} = 2.0 mA		0.5	V
			1.8 V ≤ V _{DD} < 2.7 V, I _{OL1} = 1.0 mA		0.5	V
			1.8 V ≤ V _{DD} < 2.7 V, I _{OL1} = 0.5 mA		0.4	V
				P93, P100 ~ P103, P110 ~ P113, P130 ~ P133, P140 ~ P143, P150 ~ P153	I _{OL1} = 0.4 mA	
	V _{OL2}	P20 ~ P27	AV _{REF} = V _{DD} , I _{OL2} = 0.4 mA		0.4	V

备注 除非另外说明, 复用功能引脚的特性与端口引脚的相同。

注意事项 P122/EXCLK 的高电平和低电平输入电压在输入端口模式和外部时钟模式之间变化。

DC 特性 (3/5)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 5.5 V, AVREF ≤ VDD, VSS = AVSS = 0 V)

参数	符号	条件	MIN.	TYP.	MAX.	单位	
输入漏电流, 高	I _{LIH1}	P10 ~ P17, P30 ~ P34, P40 ~ P47, P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P120, P130 ~ P133, P140 ~ P143, P150 ~ P153, FLMD0, RESET	V _I = V _{DD}		1	μA	
	I _{LIH2}	P20 ~ P27	V _I = AV _{REF} = V _{DD}		1	μA	
	I _{LIH3}	P121 ~ 124 (X1, X2, XT1, XT2)	V _I = V _{DD}	I/O 端口模式	1	μA	
				OSC 模式	20	μA	
输入漏电流, 低	I _{LIL1}	P10 ~ P17, P30 ~ P34, P40 ~ P47, P80 ~ P83, P90 ~ P93, P100 ~ P103, P110 ~ P113, P120, P130 ~ P133, P140 ~ P143, P150 ~ P153, FLMD0, RESET	V _I = V _{SS}		-1	μA	
	I _{LIL2}	P20 ~ P27	V _I = V _{SS} , AV _{REF} = V _{DD}		-1	μA	
	I _{LIL3}	P121 ~ 124 (X1, X2, XT1, XT2)	V _I = V _{SS}	I/O 端口模式	-1	μA	
				OSC 模式	-20	μA	
上拉电阻	R _U	V _I = V _{SS}		10	20	100	kΩ
FLMD0 电源电压	V _{IL}	正常操作模式		0		0.2V _{DD}	V
	V _{IH}	自编程模式		0.8V _{DD}		V _{DD}	V

备注 除非另外说明, 复用功能引脚的特性与端口引脚的相同。

DC 特性 (4/5)

(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, AV_{REF} ≤ V_{DD}, V_{SS} = AV_{SS} = 0 V)

参数	符号	条件		MIN.	TYP.	MAX.	单位		
供电电流 ^{注 1}	I _{DD1}	操作模式	f _{XH} = 10 MHz ^{注 2} , V _{DD} = 5.0 V	方波输入		1.6	3.0	mA	
				振荡器连接		2.3	3.4		
			f _{XH} = 10 MHz ^{注 2} , V _{DD} = 3.0 V	方波输入		1.5	2.9	mA	
				振荡器连接		2.2	3.3		
			f _{XH} = 5 MHz ^{注 2} , V _{DD} = 3.0 V	方波输入		0.9	1.7	mA	
				振荡器连接		1.3	2.0		
	f _{XH} = 5 MHz ^{注 2} , V _{DD} = 2.0 V	方波输入		0.7	1.4	mA			
		振荡器连接		1.0	1.6				
	f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注 3}					1.4	2.3	mA	
	f _{SUB} = 32.768 kHz ^{注 4} , V _{DD} = 5.0 V			振荡器连接			6.7	26	μA
	I _{DD2}	HALT 模式	f _{XH} = 10 MHz ^{注 2} , V _{DD} = 5.0 V	方波输入		0.4	1.4	mA	
				振荡器连接		1.0	1.7		
f _{XH} = 5 MHz ^{注 2} , V _{DD} = 3.0 V			方波输入		0.2	0.7	mA		
			振荡器连接		0.5	1.0			
f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注 3}					0.4	1.2	mA		
f _{SUB} = 32.768 kHz ^{注 4} , V _{DD} = 5.0 V			振荡器连接			2.4	22	μA	
I _{DD3} ^{注 5}	STOP 模式	V _{DD} = 5.0 V				1	20	μA	
		V _{DD} = 5.0 V, T _A = -40 ~ +70°C				1	10	μA	

- 注
1. 流入内部供电电源的总电流(V_{DD}), 包括外部操作电流和当输入引脚固定为 V_{DD} 或 V_{SS} 时的输入漏电流。不包括流入上拉电阻的电流和端口的输出电流。
 2. 不包括 8 MHz 内部振荡器、240 kHz 内部振荡器和 XT1 振荡的操作电流和流入 A/D 转换器、看门狗定时器、LVI 电路和 LCD 控制器/驱动器的电流。
 3. 不包括 X1 振荡、XT1 振荡和 240 kHz 内部振荡器的操作电流和流入 A/D 转换器、看门狗定时器、LVI 电路和 LCD 控制器/驱动器的电流。
 4. 不包括 X1 振荡、8 MHz 内部振荡器和 240 kHz 内部振荡器的操作电流和流入 A/D 转换器、看门狗定时器、LVI 电路和 LCD 控制器/驱动器的电流。
 5. 不包括 240 kHz 内部振荡器和 XT1 振荡的操作电流和流入 A/D 转换器、看门狗定时器、LVI 电路和 LCD 控制器/驱动器的电流。

- 备注
1. f_{XH}: 高速系统时钟频率 (X1 时钟振荡频率或外部主系统时钟频率)
 2. f_{RH}: 内部高速振荡时钟频率
 3. f_{SUB}: 副系统时钟频率 (XT1 时钟振荡频率或外部副系统时钟频率)

DC 特性 (5/5)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 5.5 V, AVREF ≤ VDD, VSS = AVSS = 0 V)

参数	符号	条件	MIN.	TYP.	MAX.	单位	
看门狗定时器操作电流	I _{WDT} ^{注 1}	240 kHz 内部低速振荡时钟操作期间		5	10	μA	
LVI 操作电流	I _{LVI} ^{注 2}			9	18	μA	
逐次逼近型 A/D 转换器操作电流	I _{ADC1} ^{注 3}	2.3 V ≤ AVREF ≤ VDD		0.86	1.9	mA	
ΔΣ 型 A/D 转换器操作电流	I _{ADC2} ^{注 3}	2.7 V ≤ AVREF ≤ VDD		1.3	2.4	mA	
LCD 操作电流	I _{LCD1} ^{注 4}	LCD 显示关闭 (LCDON = 0, SCOC = 1)	VDD = 5.0 V		3.0	8.0	μA
			VDD = 3.0 V		2.0	5.0	μA
	I _{LCD2} ^{注 4}	LCD 显示打开 (LCDON = 1, SCOC = 1)	VDD = 5.0 V		3.0	8.0	μA
			VDD = 3.0 V		2.0	5.0	μA

- 注
1. 仅包括流过看门狗定时器（包括 240 kHz 内部振荡器的操作电流）的电流。当看门狗定时器运行在 HALT 模式或 STOP 模式时，78K0/LF3 的电流值通过 I_{WDT} 加 I_{DD2} 或 I_{DD3} 获得。
 2. 仅包括流过 LVI 电路的电流。当 LVI 电路运行在 HALT 模式或 STOP 模式时，78K0/LF3 的电流值通过 I_{LVI} 加 I_{DD2} 或 I_{DD3} 获得。
 3. 仅包括流过 A/D 转换器的电流。当 A/D 转换器运行在停止模式或 HALT 模式时，78K0/LF3 的电流值通过 I_{ADC1}、I_{ADC2} 或 I_{ADC3} 加 I_{DD1} 或 I_{DD2} 获得。
 4. 仅包括流过 LCD 控制器/驱动器的电流。不包括流过 LCD 分压电阻的电流。78K0/LF3 的电流值通过供电电流 (I_{DD1}, I_{DD2} 或 I_{DD3}) 加 LCD 工作电流 (I_{LCD1}, 或 I_{LCD2}) 获得。

AC 特性

(1) 基本操作

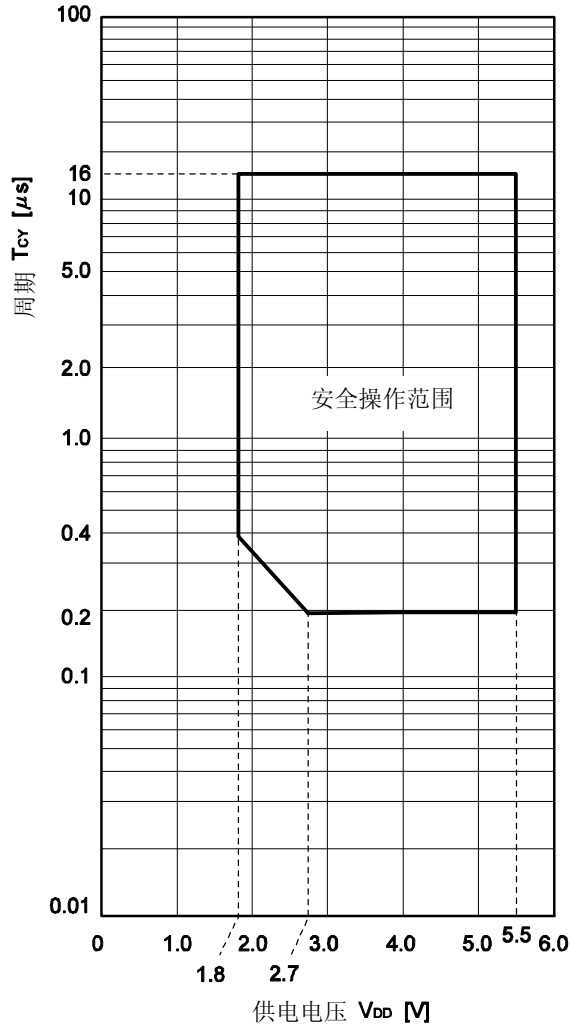
(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = AV_{SS} = 0 V)

参数	符号	条件	MIN.	TYP.	MAX.	单位	
指令周期 (指令最短执行时间)	T _{CY}	主系统时钟 (f _{KP}) 运行	2.7 V ≤ V _{DD} ≤ 5.5 V	0.2		16	μs
			1.8 V ≤ V _{DD} < 2.7 V	0.4		16	μs
		副系统时钟 (f _{SUB}) 运行	114	122	125	μs	
外围硬件时钟频率	f _{PNS}	XSEL = 1	2.7 V ≤ V _{DD} ≤ 5.5 V			10	MHz
			1.8 V ≤ V _{DD} < 2.7 V			5	MHz
		XSEL = 0	2.7 V ≤ V _{DD} ≤ 5.5 V	7.6		8.4	MHz
			1.8 V ≤ V _{DD} < 2.7 V ^{※1}	6.75		8.4	MHz
外部主系统时钟频率	f _{EXCLK}	2.7 V ≤ V _{DD} ≤ 5.5 V	2.0		10.0	MHz	
		1.8 V ≤ V _{DD} < 2.7 V	2.0		5.0	MHz	
外部主系统时钟 输入高电平宽度, 低电平宽度	t _{EXCLKH} , t _{EXCLKL}	2.7 V ≤ V _{DD} ≤ 5.5 V	48		500	ns	
		1.8 V ≤ V _{DD} < 2.7 V	96		500	ns	
TI000 输入高电平宽度, 低电平宽度	t _{TIH0} , t _{TIL0}	2.7 V ≤ V _{DD} ≤ 5.5 V	2/f _{sam} + 0.2 ^{※2}			μs	
		1.8 V ≤ V _{DD} < 2.7 V	2/f _{sam} + 0.5 ^{※2}			μs	
TI50, TI51, TI52 输入频率	f _{TI5}	4.0 V ≤ V _{DD} ≤ 5.5 V	TI50, TI51			10	MHz
			TI52			16	MHz
		2.7 V ≤ V _{DD} < 4.0 V				10	MHz
		1.8 V ≤ V _{DD} < 2.7 V				5	MHz
TI50, TI51, TI52 输入高电平宽度, 低电平宽度	t _{TIH5} , t _{TIL5}	4.0 V ≤ V _{DD} ≤ 5.5 V	TI50, TI51	50			ns
			TI52	31.25			ns
		2.7 V ≤ V _{DD} < 4.0 V		50			ns
		1.8 V ≤ V _{DD} < 2.7 V		100			ns
中断输入高电平宽度, 低电平宽度	t _{INTH} , t _{INTL}		1			μs	
按键返回输入低电平宽度	t _{KR}		250			ns	
RESET 低电平宽度	t _{RSL}		10			μs	

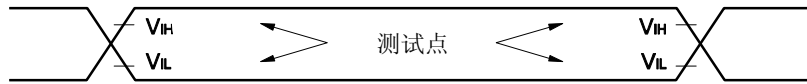
注

1. 主系统时钟频率特性。用外围功能将时钟分频器设置为 f_{RH}/2 或更小。
2. 使用分频模式寄存器 00(PRM00)的位 0 和位 1(PRM000, PRM001)可以选择选择 f_{sam} = f_{PRS}, f_{PRS}/4, f_{PRS}/256。注意当选择 TI000 有效沿作为计数时钟时, f_{sam} = f_{PRS}。

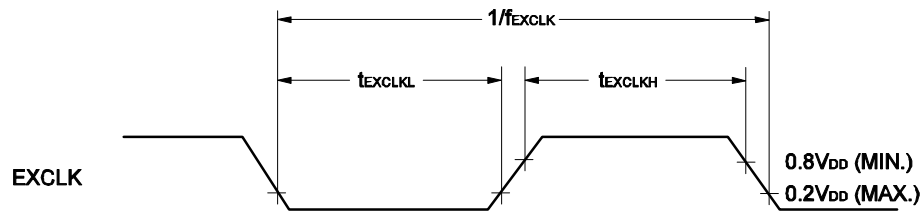
T_{CY} vs. V_{DD} (主系统时钟操作)



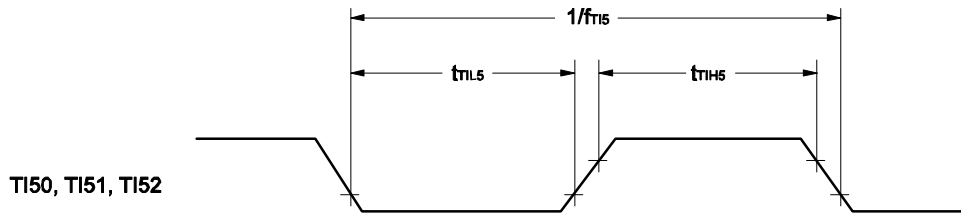
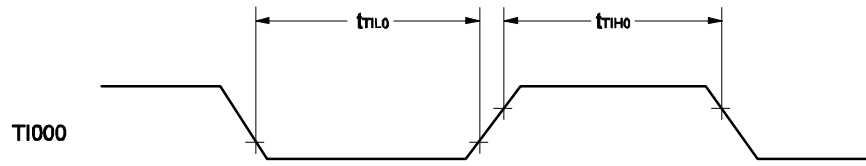
AC 时序测试点(不包括外部主系统时钟)



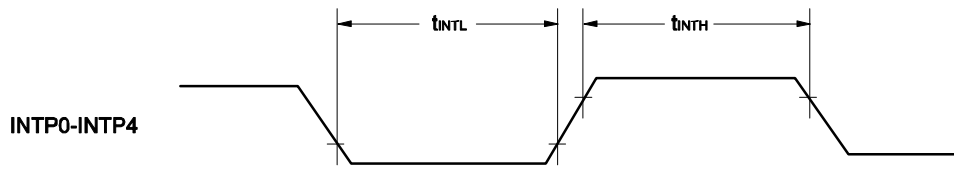
外部主系统时钟时序



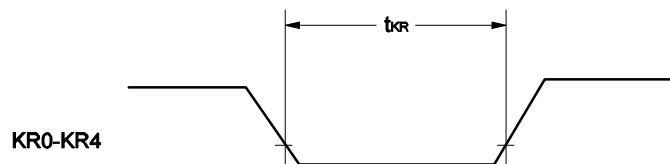
TI 时序



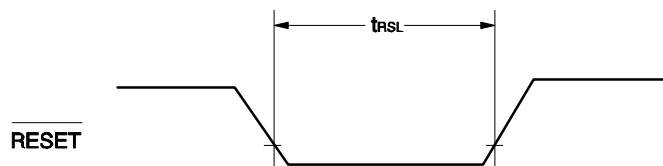
中断请求输入时序



按键中断输入时序



$\overline{\text{RESET}}$ 输入时序



(2) 串行接口

(TA = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = AV_{SS} = 0 V)

参数	符号	条件	MIN.	TYP.	MAX.	单位
传输速率					250	kbps

(3) 串行接口

(TA = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = AV_{SS} = 0 V)

(a) UART6 (专用波特率发生器输出)

参数	符号	条件	MIN.	TYP.	MAX.	单位
传输速率					625	kbps

(b) UART0 (专用波特率发生器输出)

参数	符号	条件	MIN.	TYP.	MAX.	单位
传输速率					625	kbps

(c) CSI10 (主设备模式, $\overline{\text{SCK10}}$... 内部时钟输出)

参数	符号	条件	MIN.	TYP.	MAX.	单位
$\overline{\text{SCK10}}$ 周期时间	t_{KCY1}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	250			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	500			ns
$\overline{\text{SCK10}}$ 高/低电平宽度	t_{KH1} , t_{KL1}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	$t_{\text{KCY1}}/2 - 25$ ‡ 1			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	$t_{\text{KCY1}}/2 - 50$ ‡ 1			ns
SI10 建立时间(到 $\overline{\text{SCK10}}\uparrow$)	t_{SIK1}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	80			ns
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	170			ns
SI10 保持时间 (从 $\overline{\text{SCK10}}\uparrow$)	t_{KSI1}		30			Ns
从 $\overline{\text{SCK10}}\downarrow$ 到 SO10 输出的延迟时间	t_{KSO1}	$C = 50 \text{ pF}$ ‡ 2			40	ns

- 注 1. 使用高速系统时钟 (f_{XH}) 时的取值。
2. C 是 $\overline{\text{SCK10}}$ 和 SO10 输出线的负载电容。

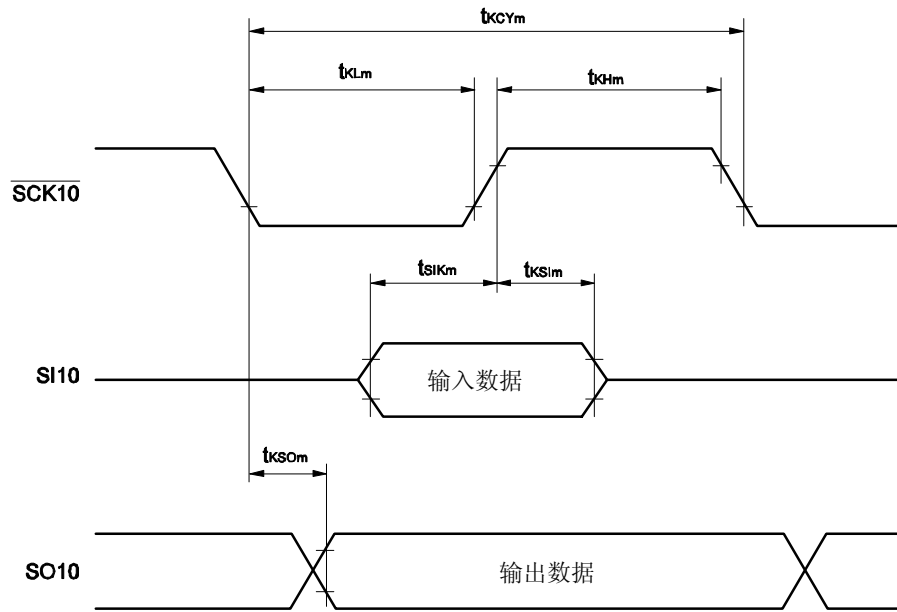
(d) CSI10 (从设备模式, $\overline{\text{SCK10}}$... 外部时钟输入)

参数	符号	条件	MIN.	TYP.	MAX.	单位
$\overline{\text{SCK10}}$ 周期时间	t_{KCY2}		400			ns
$\overline{\text{SCK10}}$ 高/低电平宽度	t_{KH2} , t_{KL2}		$t_{\text{KCY2}}/2$			ns
SI10 建立时间(到 $\overline{\text{SCK10}}\uparrow$)	t_{SIK2}		80			ns
SI10 保持时间 (从 $\overline{\text{SCK10}}\uparrow$)	t_{KSI2}		50			ns
从 $\overline{\text{SCK10}}\downarrow$ 到 SO10 输出的延迟时间	t_{KSO2}	$C = 50 \text{ pF}$ ‡	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		120	ns
			$1.8 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$		165	ns

- 注 C 是 SO10 输出线的负载电容。

串行传送时序

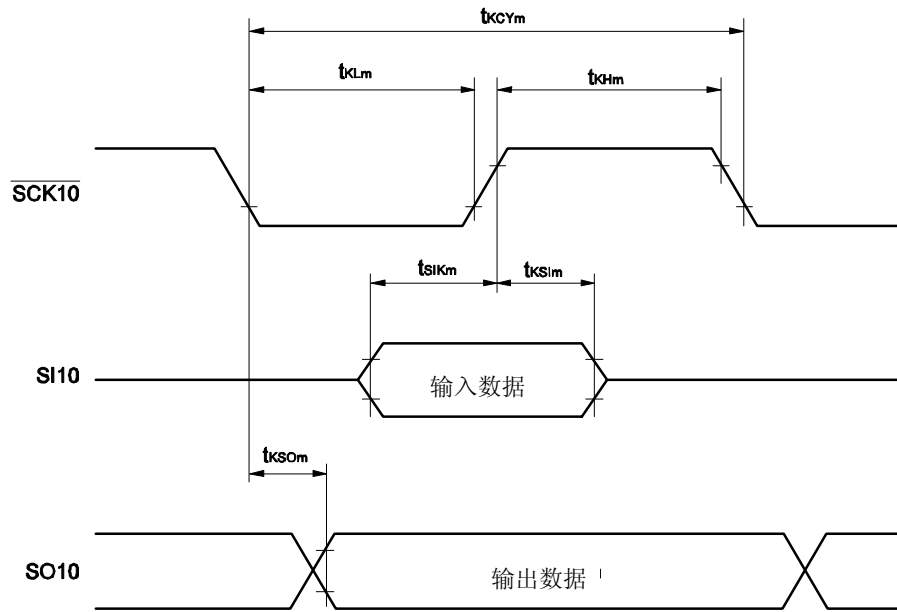
CSI10:



备注 $m = 1, 2$

串行发送时序(1/2)

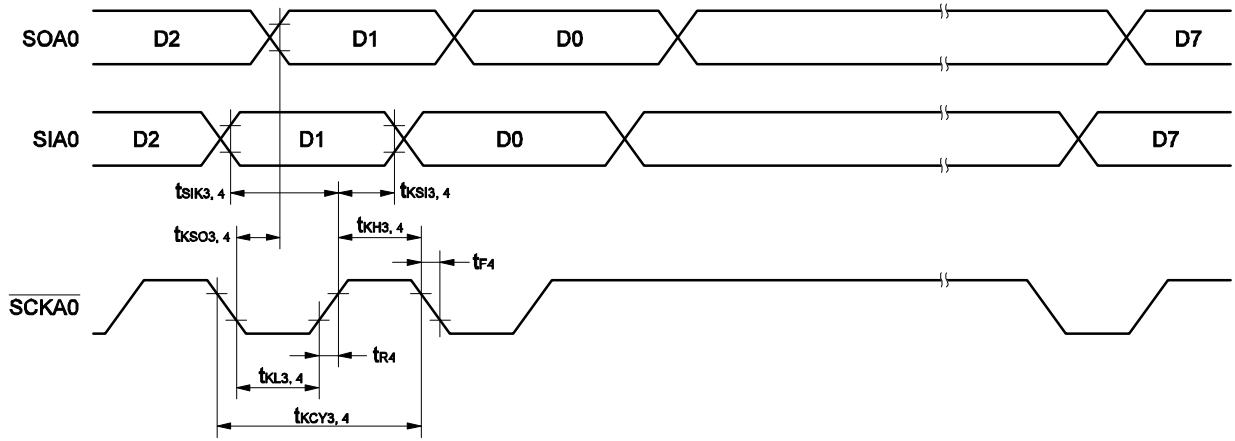
CSI10:



备注 m = 1, 2

串行发送时序 (2/2)

CSIA0:



10 位逐次逼近型 A/D 转换器特性(仅限于 μ PD78F048x 和 78F049x)

(TA = -40 ~ +85°C, 2.3 V ≤ AVREF ≤ VDD ≤ 5.5 V, VSS = AVSS = 0 V)

参数	符号	条件	MIN.	TYP.	MAX.	单位
分辨率	RES				10	bit
总误差 ^{注 1,2}	AINL	4.0 V ≤ AVREF ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ AVREF < 4.0 V			±0.6	%FSR
		2.3 V ≤ AVREF < 2.7 V			±1.2	%FSR
转换时间	tCONV	4.0 V ≤ AVREF ≤ 5.5 V	6.1		36.7	μs
		2.7 V ≤ AVREF < 4.0 V	12.2		36.7	μs
		2.3 V ≤ AVREF < 2.7 V	27		66.6	μs
零度误差 ^{注 1,2}	EzS	4.0 V ≤ AVREF ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ AVREF < 4.0 V			±0.6	%FSR
		2.3 V ≤ AVREF < 2.7 V			±0.6	%FSR
满度误差 ^{注 1,2}	EFS	4.0 V ≤ AVREF ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ AVREF < 4.0 V			±0.6	%FSR
		2.3 V ≤ AVREF < 2.7 V			±0.6	%FSR
积分非线性误差 ^{注 1}	ILE1	4.0 V ≤ AVREF ≤ 5.5 V			±2.5	LSB
		2.7 V ≤ AVREF < 4.0 V			±4.5	LSB
		2.3 V ≤ AVREF < 2.7 V			±6.5	LSB
微分非线性误差 ^{注 1}	DLE1	4.0 V ≤ AVREF ≤ 5.5 V			±1.5	LSB
		2.7 V ≤ AVREF < 4.0 V			±2.0	LSB
		2.3 V ≤ AVREF < 2.7 V			±2.0	LSB
模拟输入电压	VAIN1		AVSS		AVREF	V

- 注 1. 不包括量化误差 (±1/2 LSB)
 2. 该值表示满度的百分比 (%FSR)

16 位 $\Delta\Sigma$ 型 A/D 转换器特性(仅限于 μ PD78F049x) (Target)(T_A = -40 ~ +85°C, 2.7 V ≤ AV_{REF} = REF+ ≤ V_{DD} ≤ 5.5 V, V_{SS} = AV_{SS} = REF- = 0 V)

参数	符号	条件		MIN.	TYP.	MAX.	单位
分辨率	RES			8		16	bit
积分非线性误差(关联精确度)	I _{LF3}	16 位分辨率	差分输入	3.5 V ≤ AV _{REF} ≤ 5.5 V		TBD	LSB
				2.7 V ≤ AV _{REF} < 3.5 V		TBD	LSB
		信号输入			TBD	LSB	
微分非线性误差(关联精确度)	D _{LF3}	16 位分辨率	差分输入	3.5 V ≤ AV _{REF} ≤ 5.5 V		TBD	LSB
				2.7 V ≤ AV _{REF} < 3.5 V		TBD	LSB
		信号输入			TBD	LSB	
偏移量	EOS	16 位分辨率	差分输入			TBD	%FSR
			信号输入			TBD	%FSR
增益误差	GE	16 位分辨率	差分输入			TBD	%
			信号输入			TBD	%
参考电压	REF+				AV _{REF}		V
	REF-				AV _{SS}		V
模拟输入电压	V _{AIN2}	高精度模式关闭		0		REF+	V
		高精度模式打开		0.1REF+		0.9REF+	V

<R>

LCD 特性

(1)电阻分压方式

(a) 静态显示模式($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = 0\text{ V}$)^{註 3}

参数	符号	条件	MIN.	TYP.	MAX.	单位
LCD 驱动电压	V_{LCD}	注 3			V_{DD}	V
LCD 分压电阻 ^{註 1}	R_{LCD}		60	100	150	k Ω
LCD 输出电阻 ^{註 2} (Common)	R_{ODC}				40	k Ω
LCD 输出电阻 ^{註 2} (Segment)	R_{ODS}				200	k Ω

(b) 1/3 偏压方式 ($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = 0\text{ V}$)^{註 3}

参数	符号	条件	MIN.	TYP.	MAX.	单位
LCD 驱动电压	V_{LCD}	注 3			V_{DD}	V
LCD 分压电阻 ^{註 1}	R_{LCD}		60	100	150	k Ω
LCD 输出电阻 ^{註 2} (Common)	R_{ODC}				40	k Ω
LCD 输出电阻 ^{註 2} (Segment)	R_{ODS}				200	k Ω

(c) 1/2 偏压方式($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = 0\text{ V}$)^{註 3}1/4 偏压方式($T_A = -40 \sim +85^\circ\text{C}$, $4.5\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = 0\text{ V}$)^{註 3}

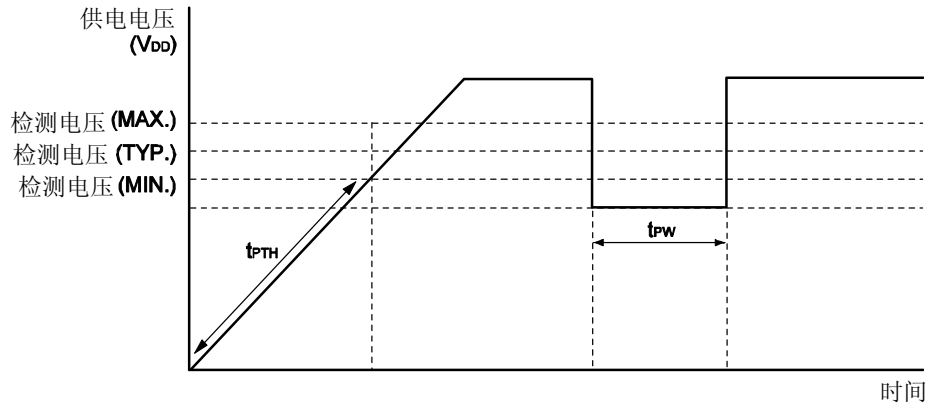
参数	符号	条件	MIN.	TYP.	MAX.	单位
LCD 驱动电压	V_{LCD}	注 3			V_{DD}	V
LCD 分压电阻 ^{註 1}	R_{LCD}		60	100	150	k Ω
LCD 输出电阻 ^{註 2} (Common)	R_{ODC}				40	k Ω
LCD 输出电阻 ^{註 2} (Segment)	R_{ODS}				200	k Ω

- 注
1. 仅对内部分压电阻方式。
 2. 输出电阻是指链接在 V_{LC0} , V_{LC1} , V_{LC2} 和 V_{SS} 引脚之间,和 SEG 和 COM 引脚之间的电阻。
 3. 按照下列条件设置 $VAON$ 。
 - <当设置为静态模式时>
 - 当 $2.0\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 时: $VAON = 0$
 - 当 $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 3.6\text{ V}$ 时: $VAON = 1$
 - <当设置为 1/3 偏压模式时>
 - 当 $2.5\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 时: $VAON = 0$
 - 当 $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 3.6\text{ V}$ 时: $VAON = 1$
 - <当设置为 1/2 偏压模式时>
 - 当 $2.7\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 时: $VAON = 0$
 - 当 $1.8\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 3.6\text{ V}$ 时: $VAON = 1$
 - <当设置为 1/4 偏压模式时>
 - 当 $4.5\text{ V} \leq V_{\text{LCD}} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 时: $VAON = 0$

1.59 V POC 电路特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	MIN.	TYP.	MAX.	单位
检测电压	V_{POC}		1.44	1.59	1.74	V
供电电压上升斜率	t_{PTH}	$V_{DD}: 0\text{ V} \rightarrow V_{POC}$ 变化斜率	0.5			V/ms
最小脉宽	t_{PW}		200			μs

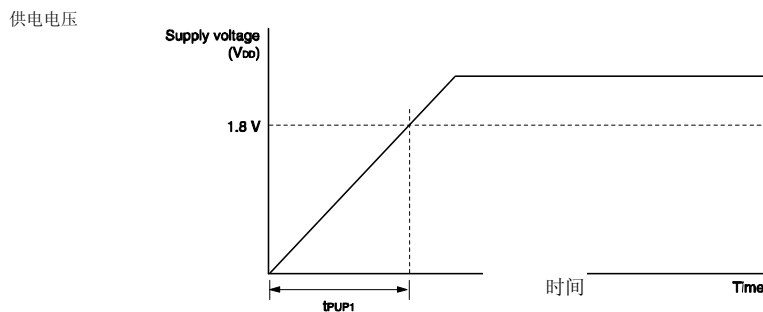
POC 电路时序

供电电压上升时间($T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{ V}$)

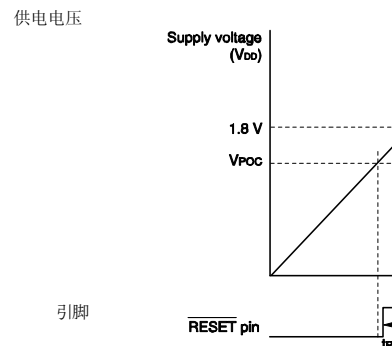
参数	符号	条件	MIN.	TYP.	MAX.	单位
上升至 1.8 V (V_{DD} (MIN.))所需的最长时间 ($V_{DD}: 0\text{ V} \rightarrow 1.8\text{ V}$)	t_{PUP1}	当没有使用 $\overline{\text{RESET}}$ 输入时, POCMODE (选项字节) = 0			3.6	ms
上升至 1.8 V (V_{DD} (MIN.))所需的最长时间 (释放 $\overline{\text{RESET}}$ 输入 $\rightarrow V_{DD}: 1.8\text{ V}$)	t_{PUP2}	当使用 $\overline{\text{RESET}}$ 输入时, POCMODE (选项字节) = 0			1.9	ms

供电电压上升时间时序

- 当没有使用 $\overline{\text{RESET}}$ 引脚输入时



- 当使用 $\overline{\text{RESET}}$ 引脚

2.7 V POC 电路特性($T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	MIN.	TYP.	MAX.	单位
供电电压应用中的检测电压	V_{DDPOC}	POCMODE (选项字节) = 1	2.50	2.70	2.90	V

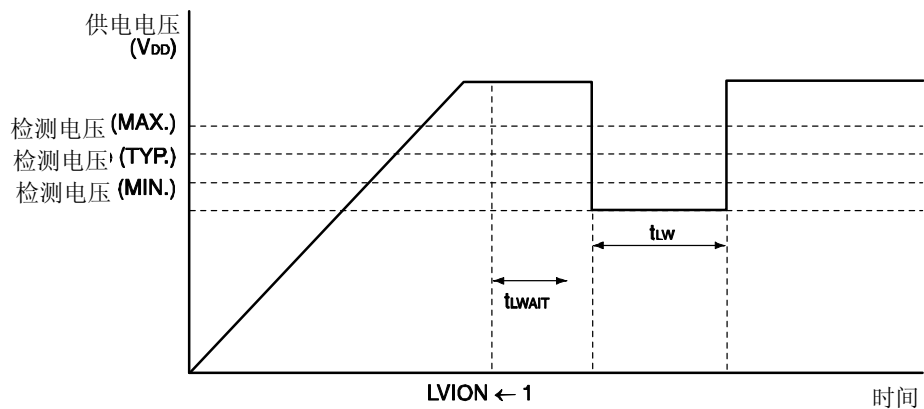
LVI 电路特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{POC} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

参数	符号	条件	MIN.	TYP.	MAX.	单位	
检测电压	供电电压电平	V_{LV10}		4.14	4.24	4.34	V
		V_{LV11}		3.99	4.09	4.19	V
		V_{LV12}		3.83	3.93	4.03	V
		V_{LV13}		3.68	3.78	3.88	V
		V_{LV14}		3.52	3.62	3.72	V
		V_{LV15}		3.37	3.47	3.57	V
		V_{LV16}		3.22	3.32	3.42	V
		V_{LV17}		3.06	3.16	3.26	V
		V_{LV18}		2.91	3.01	3.11	V
		V_{LV19}		2.75	2.85	2.95	V
		V_{LV110}		2.60	2.70	2.80	V
		V_{LV111}		2.45	2.55	2.65	V
		V_{LV112}		2.29	2.39	2.49	V
		V_{LV113}		2.14	2.24	2.34	V
		V_{LV114}		1.98	2.08	2.18	V
		V_{LV115}		1.83	1.93	2.03	V
外部输入引脚 ^{注 1}	EXLVI	$EXLVI < V_{DD}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.11	1.21	1.31	V	
最短脉冲宽度			200			μs	
操作稳定等待时间 ^{注 2}					10	μs	

- 注 1. 使用 EXLVI/P120/INTP0 引脚。
 2. 从设置低电压检测寄存器(LVIM)的第 7 位(LVION)=1 到操作稳定所需的时间。

备注 $V_{LV1(n-1)} > V_{LV1n}$: $n = 1 \sim 15$

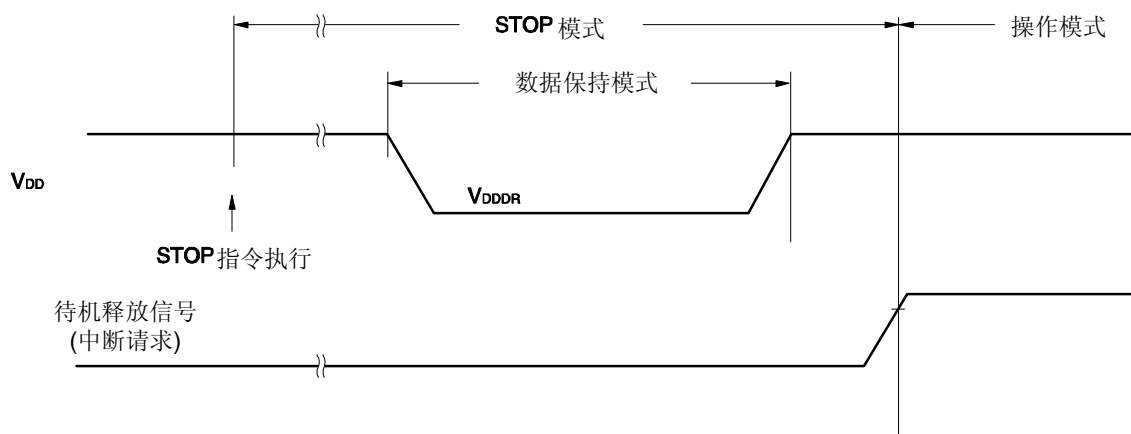
LVI 电路时序



数据存储器在 STOP 模式下低供电电压时的数据保持特性($T_A = -40 \sim +85^\circ\text{C}$)

参数	符号	条件	MIN.	TYP.	MAX.	单位
数据保持供电电压	V_{DDDR}		1.44 ^注		5.5	V

注 该值根据 POC 检测电压而变化。当电压降低时，一直保持该数据直至 POC 复位有效，但当 POC 复位有效时数据不能保持。



Flash 存储器编程特性

($T_A = -40 \sim +85^\circ\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

•基本特性

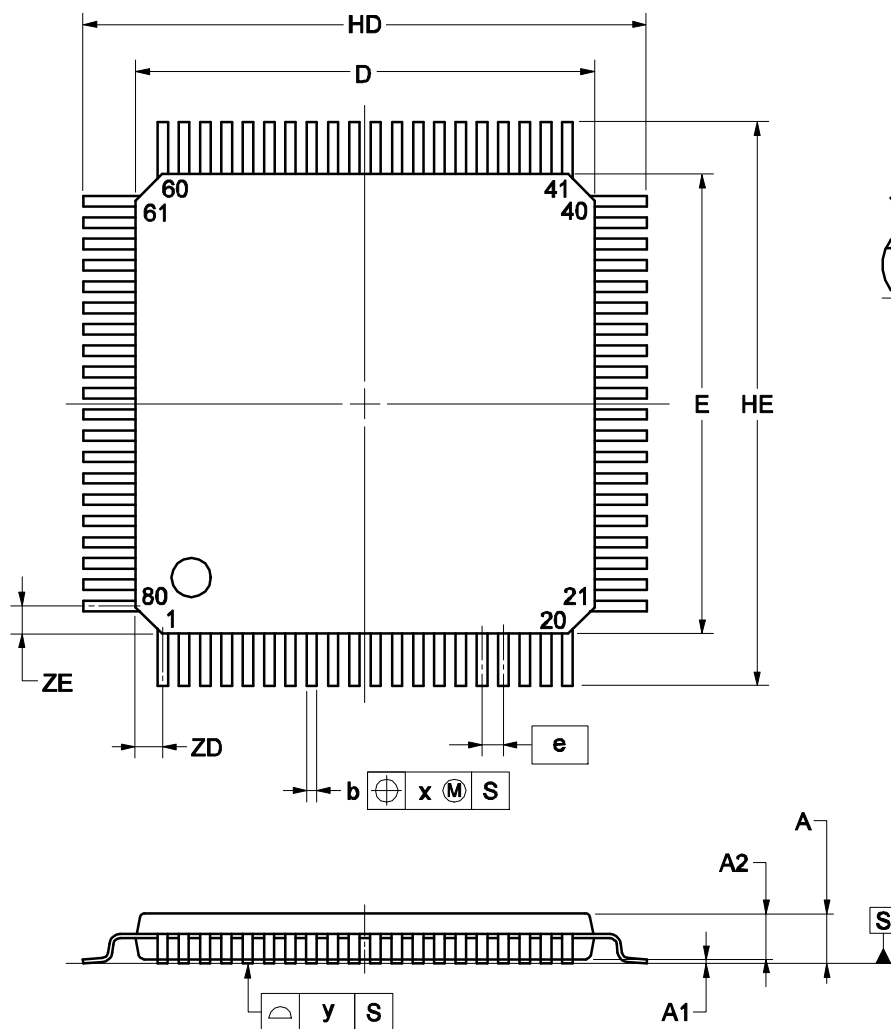
参数	符号	条件	MIN.	TYP.	MAX.	单位
V_{DD} 供电电流	I_{DD}			4.5	11.0	mA
擦除时间 ^{注1}	所有 block	T_{eraca}		20	200	ms
	Block 单元	T_{erasa}		20	200	ms
写时间(8 位)	T_{wrwa}			10	100	μs
每片重写次数	C_{enwr}	保持时间: 15 年 擦除 1 次 + 擦除后写 1 次 = 1 次重写 ^{注2}	1000			次数

- 注 1. 不包括擦除前的预写时间和擦除验证时间 (写回时间)。
2. 在出货后第一次对产品进行写操作时，“擦除 → 写”和“只写”作为一次重写。

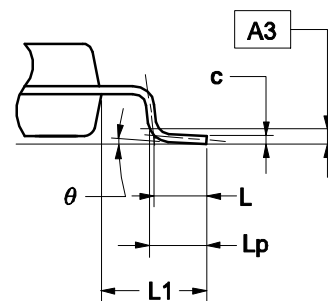
备注 f_{XP}: 主系统时钟振荡频率

<R>

80 引脚塑封 LQFP(密间距)(14×14)



引脚端详图



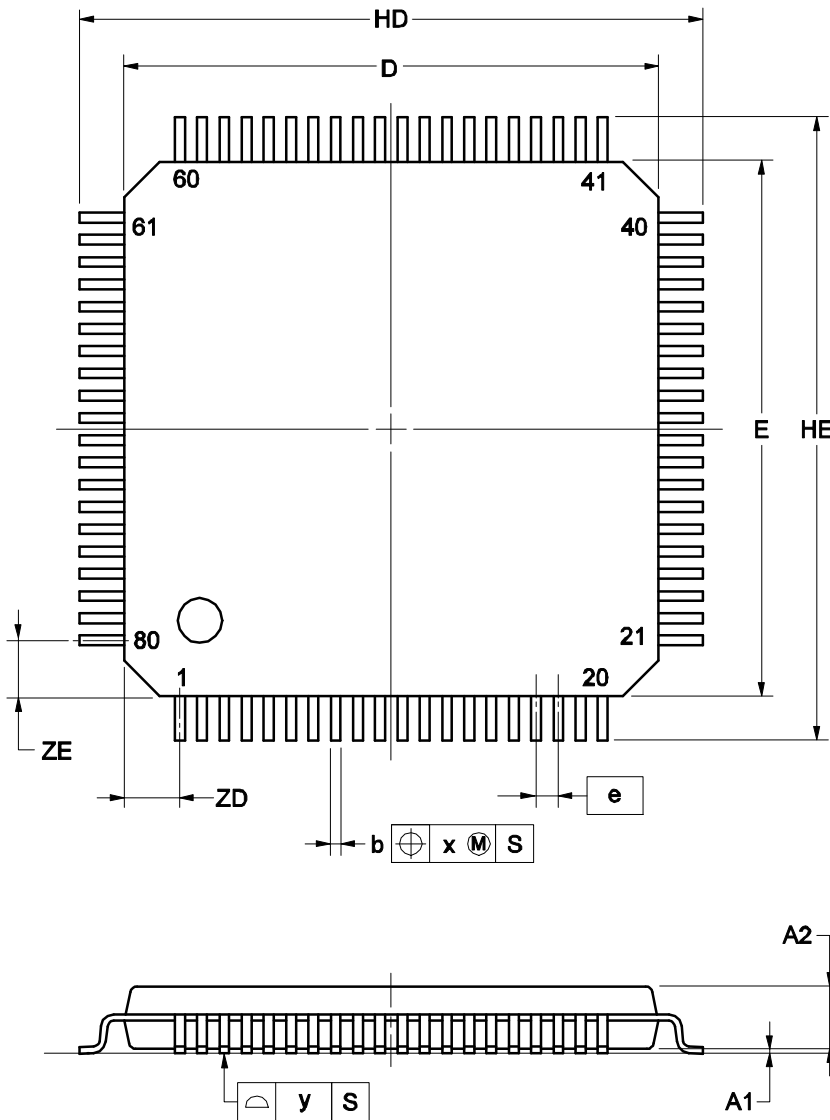
(单位 :mm)

项目	尺寸
D	14.00±0.20□
E	14.00±0.20□
HD	17.20±0.20□
HE	17.20±0.20□
A	1.70 MAX.□
A1	0.125±0.075□
A2	1.40±0.05
A3	0.25
b	0.30 ^{+0.08} / _{-0.04}
c	0.125 ^{+0.075} / _{-0.025}
L	0.80
Lp	0.886±0.15
L1	1.60±0.20
θ	3° ^{+5°} / _{-3°}
e	0.65
x	0.13□
y	0.10□
ZD	0.825□
ZE	0.825
P80GC-65-GAD	

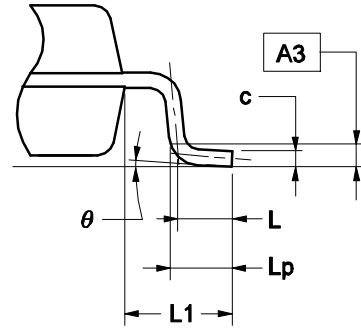
注

该结构在最大使用材料情况下，每条引脚的中心线位于其实际位置的 0.13mm 内

80 引脚塑封 LQFP (12x12)



引脚端详图



(UNIT:mm)

ITEM 项目	DIMENSIONS 尺寸
E	12.00±0.20□
HD	14.00±0.20□
HE	14.00±0.20□
A	1.60 MAX.□
A1	0.10±0.05□
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08□
y	0.08□
ZD	1.25□
ZE	1.25

P80GK-50-GAK

注

该结构在最大使用材料情况下，每条引脚的中心线位于其实际位置的0.08mm内

© NEC Electronics Corporation 2005

33.1 等待注意事项

本产品有两种内部系统总线。

一种是 CPU 总线，另一种是连接低速外围硬件的外设总线。

由于 CPU 总线时钟与外设总线时钟是异步的，因此如果对 CPU 的访问与对外设的访问冲突时，可能会有不期望的非法数据产生。

因此当访问可能会产生冲突的外设时，CPU 反复执行处理，直至出现正确数据。

这样，CPU 并不执行下一条指令，而是等待。如果出现这种情况，指令执行所需的时钟数会依等待的时钟数而增加(如需了解等待时钟数的详细内容，参见表 33-1 和 33-2)。在进行实时操作时必须要注意这一点。

33.2 产生等待的外围硬件

表 33-1 列出了当被 CPU 访问时发出等待请求的寄存器和 CPU 等待的时钟数。

表 33-1. 产生等待的寄存器和 CPU 等待时钟数

外围硬件	寄存器	访问方式	等待时钟数
串行接口 UART0	ASIS0	读	1 个时钟 (恒定)
串行接口 UART6	ASIS6	读	1 个时钟 (恒定)
10-位逐次逼近 型 A/D 转换器	ADM	写	1 ~ 5 个时钟 (当选择 $f_{AD} = f_{PRS}/2$ 时)
	ADS	写	1 ~ 7 个时钟 (当选择 $f_{AD} = f_{PRS}/3$ 时)
	ADPC	写	1 ~ 9 个时钟 (当选择 $f_{AD} = f_{PRS}/4$ 时)
	ADCR	读	2 ~ 13 个时钟 (当选择 $f_{AD} = f_{PRS}/6$ 时) 2 ~ 17 个时钟 (当选择 $f_{AD} = f_{PRS}/8$ 时) 2 ~ 25 个时钟 (当选择 $f_{AD} = f_{PRS}/12$ 时)
上述时钟个数是指在选择相同的源时钟作为 f_{CPU} 和 f_{PRS} 时的值。可以根据以下表达式和条件计算等待时钟的个数。 <计算等待时钟数> • 等待时钟数 = $(2f_{CPU}/f_{AD}) + 1$ * 如果等待时钟的个数 ≤ 0.5 则将小数点以后的部分舍去, 而如果等待时钟的个数 > 0.5 , 则进行四舍五入 f_{AD} : A/D 转换时钟的频率 ($f_{PRS}/2 \sim f_{PRS}/12$) f_{CPU} : CPU 时钟频率 f_{PRS} : 外围硬件时钟频率 f_{XP} : 主系统时钟频率 <等待时钟的最大/最小个数所需的条件> • 最大个数: CPU 的最高速度(f_{XP}), A/D 转换时钟的最低速度($f_{PRS}/12$) • 最小个数: CPU 的最低速度($f_{SUB}/2$), A/D 转换时钟的最高速度($f_{PRS}/2$)			

注意事项 当 CPU 工作在副系统时钟和外围硬件时钟停止的状态下, 不要使用需等待请求的访问模式访问上述寄存器。

备注 这里的时钟是指 CPU 时钟 (f_{CPU})。

表 33-2. RAM 存取产生等待 和等待时钟数目

位置	存取	等待时钟数目
<R> CSIA0 的缓冲 RAM	写	参见如下计算公式 [*]
<计算等待时钟最大数目> • 等待时钟最大数目 = $\frac{5 f_{CPU}}{f_w} + 1$ * 如果等待时钟数乘以 $(1/f_{CPU})$ 小于或等于 t_{CPUL} , 可以忽略分数部分; 如果大于 t_{CPUL} , 应该作为整数处理。 f_w : CSIS0 寄存器($CKS00 = 0: f_{PRS}, CKS00 = 1: f_{PRS}/2$)的 $CKS00$ 位选择基频 f_{CPU} : CPU 时钟频率 t_{CPUL} : CPU 时钟低电平宽度 f_{PRS} : 外围硬件时钟频率		

注意 当 5 个或更多个 CSIA0 工作时钟插入到从 CSIA0 写向 RAM 和从 CPU 写向 RAM 之间时, 将不产生等待时钟。

A.1 重要修改版本

(1/3)

页码	内容	类别
第 1 章 概要		
p. 17	增加“注”到 1.3 订购信息	(d)
p. 18	增加“注意事项 3”到 1.4 引脚配置的(1)中(俯视)	(c)
第 2 章 引脚功能		
p. 52	更改表 2-2.引脚 I/O 电路类型.	(a)
第 3 章 3 CPU 结构		
p. 64	修改 图 3-9. 存储器映射(μPD78F0475, 78F0485)	(a)
p. 65	修改 图 3-10. 存储器映射 (μPD78F0495)	(a)
第 4 章 端口功能		
p. 110	修改图 4-5. P13 的框图	(b)
p. 111	修改图 4-6. P16 的框图	(b)
p. 137	修改图 4-29. 上拉电阻配置寄存器信息	(c)
pp. 142, 143	更改表 4-5. 当使用复用功能时, PFALL, PF2, PF1, ISC,端口模式寄存器和输出锁存的设置	(b)
第 5 章 时钟发生器		
p. 157	更改 5.3 (9) 内部高速振荡器调整寄存器(HIOTRM)	(b, c)
p. 172	增加说明到 表 5-4. CPU 和 外设硬件的时钟供应以及寄存器设置	(c)
p. 178	增加说明到 表 5-6. 更改 CPU 时钟	(c)
第 6 章 16 定时器/事件计数器 00		
全部章节	<ul style="list-style-type: none"> TO00 引脚输出 → TO00 输出 增加框图中 TO00 输出 	(a, c)
p. 192	增加说明到图 6-8 16 位定时器输出控制寄存器 00 (TOC00)的格式	(c)
p. 194	增加“注“1 和 2 和改变”注“3 到图 6-9 重新调节模式寄存器 00 的格式(PRM00)	(b, c)
p. 246	更改图 6-54. 外部 24 位事件计数器的配制框图	(c)
p. 248	更改图 6-55. 外部 24 位事件计数器的工作时序	(a)
第 7 章 8 位定时器/事件计数器 50, 51 和 52		
全部章节	<ul style="list-style-type: none"> TO50 引脚输出 → TO50 输出, TO51 引脚输出 → TO51 输出 增加框图中 TO50, TO51 输出 	(a, c)
p. 261	增加“注“1 和 2 到图 7-6 定时时钟选择寄存器 50 的格式(TCL50)	(b, c)
p. 262	增加“注“1 和 2 到图 7-7 定时时钟选择寄存器 51 的格式(TCL51)	(b, c)
p. 263	增加“注“1 和 2 到图 7-8 定时时钟选择寄存器 51 的格式(TCL52)	(b, c)
p. 265	更改“注意事项“3 和增加“注意事项“4 到图 7-9 8 位定时器模式控制寄存器 50 (TMC50)格式和图 7-10 8 位定时器模式控制寄存器 51 (TMC51) 格式	(b, c)

备注 上表中的修订的“类别”如下

(a): 修改错误, (b): 增加/更改说明, (c): 增加/更改内容和注释, (d): 增加/更改包装, 零件或管理分类, (e): 增加/更改相关文档

页码	内容	类别
第 8 章 8 位定时器 H0, H1, AND H2		
全部章节	全面修改	(a, b, c)
第 10 章 时钟输出/蜂鸣器输出控制器		
p. 333	增加“注“ 1 到图 11-2 时钟输出选择寄存器的格式 (CKS)	(b, c)
第 14 章 串口 UART0		
p. 378	更改 Figure 14-1 Block Diagram of Serial Interface UART0	(b)
p. 383	增加“注“ 1 到图 14-4 波特率发生器控制寄存器 0 (BRGC0)格式	(b, c)
p. 385	更改 14.3 (5) 端口模式控制寄存器 1 (PM1)	(b)
p. 387	更改表 14-2. 寄存器设置和引脚的关系	(b)
p. 394	增加“注“ 1 和 2 到表 14-4 TPS01 和 TPS00 的设定值	(b, c)
第 15 章 串口 UART6		
p. 398	更改 15.1 串口 UART6 功能的说明	(a)
p. 403	更改图 15-4 串口 UART6 框图	(b)
p. 409	增加“注“ 1 和 2 到图 15-8 时钟选择寄存器 6 (CKSR6)格式	(b, c)
p. 414	更改 15.3 (9) 端口模式寄存器 1 (PM1)	(b)
p. 418	更改表 15-2. 寄存器设置和引脚的关系 中的(a)	(b)
p. 433	增加“注“ 1, 2 和 3 到表 15-4 TPS63 到 TPS60 的设定值	(b, c)
第 16 章 串口 CS10		
p. 440	更改图 16-1. 串口 CS10 的框图	(b)
pp. 442, 443	增加“注“ 1 和 2 到图 16-3 串口时钟选择寄存器 10 (CSIC10)格式	(b, c)
第 17 章 串口 CSIA0		
p. 457	更改图 17-1. 串口 CSIA0 的框图	(b)
p. 460	增加“注“ 2 和 3 到图 17-3.串口状态寄存器 0 (CSIS0)的格式	(b, c)
第 18 章 LCD 控制器/驱动器		
p. 494	更改 18.3 (2) LCD 显示模式寄存器(LCDM)中的“注“ 2	(b)
p. 497	更改 18.4 设置 LCD 控制器/驱动器中的“注“	(b)
第 19 章 曼彻斯特编码发生器		
p. 526	增加“注“ 1 和 2 到图 19-5. 控制寄存器 1 (MC0CTL1)格式	(b, c)
p. 530	增加“注“ 1 和 2 到 19.4.2 (b) MCG 控制寄存器 1 (MC0CTL1)	(b, c)
第 21 章 中断功能		
p. 568	改变表 21-1. 中断源列表中的“注“ 4	(c)
p. 573	改变“注“ 2 和增加“注“ 4, 5 和 6 到表 21-2 相应的中断请求源标志	(c)
第 22 章 按键中断功能		
p. 588	改变图 22-2 按键返回模式寄存器 (KRM) 格式的“注意事项“ 1	(a)
第 23 章 备用功能		
p. 589	增加说明到 23.1.1 备用功能中的“注意事项“ 3	(c)

备注 上表中的修订的“类别”如下

(a): 修改错误, (b): 增加/更改说明, (c): 增加/更改内容和注释, (d): 增加/更改包装, 零件或管理分类, (e): 增加/更改相关文档

页码	内容	类别
第 26 章 低压检测器		
p. 620	更改 26.3 (1) 低压检测寄存器 (LVIM) 的说明	(c)
pp. 621, 622	增加 “注 “ 1 和 4 和 “注意事项 “ 3 和 4 到 图 26-2 低压检测寄存器格式 (LVIM)	(c)
p. 622	改变 26.3 (2) 低压检测等级选择寄存器 (LVIS) 的说明	(c)
p. 622	增加 “注 “和 “注意事项 “ 4 到 图 26-3) 低压检测等级选择寄存(LVIS)格式	(c)
pp. 630, 631	增加 “注 “3 到 图 26-7 低压检测器中断信号发生 (检测供电电压 V _{DD}) 的时序	(c)
p. 633	增加 “注 “ 3 到 图 26-8 低压检测器中断信号发生 (检测外部输入引脚输入电压电平 (EXLVI)) 的时序	(c)
pp. 635, 636	更改图 26-9 复位释放之后软件处理的事例	(c)
第 28 章 FLASH 存储器		
p. 661	更改和增加 “备注 “到图 28-17 引导交换功能	(c)
p. 662	更改 图 28-18 执行引导交换的事例	(c)
第 31 章 ELECTRICAL SPECIFICATIONS (标准产品)		
全部章节	根据目标规格, 更改正式规格	(b)
第 33 章 CAUTIONS FOR WAIT		
p. 704	增加说明到表 33-1. 产生等待和 CPU 等待时钟树目寄存器	(b)
p. 704	更改 表 33-2. 产生等待和 CPU 等待时钟树目寄存器的 RAM 存取	(c)
附录修订历史		
p. 705	增加附录	(c)

上表中的修订的“类别”如下

(a): 修改错误, (b): 增加/更改说明, (c): 增加/更改内容和注释, (d): 增加/更改包装, 零件或管理分类, (e): 增加/更改相关文档

