

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザース・マニュアル

V850E/MA3

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

μPD703131BY

μPD703134BY

μPD703132BY

μPD703136BY

μPD703133BY

μPD70F3134BY

資料番号 U16397JJ4V0UD00 (第4版)

発行年月 September 2008 NS

© NEC Electronics Corporation 2002, 2008

〔メモ〕

目次要約

第1章	イントロダクション	...	20
第2章	端子機能	...	35
第3章	CPU機能	...	51
第4章	ポート機能	...	91
第5章	バス制御機能	...	199
第6章	メモリ・アクセス制御機能	...	254
第7章	クロック・ジェネレータ	...	318
第8章	16ビット・タイマ/イベント・カウンタP (TMP)	...	329
第9章	16ビット・タイマ/イベント・カウンタQ (TMQ)	...	426
第10章	16ビット・インターバル・タイマD (TMD)	...	534
第11章	16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (TMENC1)	...	544
第12章	モータ制御機能	...	573
第13章	ウォッチドッグ・タイマ機能	...	634
第14章	A/Dコンバータ	...	641
第15章	D/Aコンバータ	...	680
第16章	アシンクロナス・シリアル・インタフェースA (UARTA)	...	685
第17章	クロック同期式シリアル・インタフェースB (CSIB)	...	717
第18章	I2Cバス	...	763
第19章	DMA機能 (DMAコントローラ)	...	842
第20章	割り込み/例外処理機能	...	897
第21章	スタンバイ機能	...	939
第22章	リセット機能	...	951
第23章	ROMコレクション機能	...	956
第24章	オンチップ・デバッグ機能 (DCU)	...	961
第25章	フラッシュ・メモリ	...	976
第26章	電気的特性	...	997
第27章	外形図	...	1050
第28章	半田付け推奨条件	...	1052
付録A	レジスタ索引	...	1054
付録B	命令セット一覧	...	1063
付録C	改版履歴	...	1072

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD70F3134BY

ユーザ判定品 : μ PD703131BY, 703132BY, 703133BY, 703134BY, 703136BY

- 本資料に記載されている内容は2008年9月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

はじめに

- 対象者** このマニュアルは、V850E/MA3の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すV850E/MA3のハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850E/MA3のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850E1 ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録A レジスタ索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850E1 **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

V850E/MA3の電気的特性を知りたいとき

第26章 電気的特性を参照してください。

一通りV850E/MA3の機能を理解しようとするとき

目次に従ってお読みください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるビットは、そのビット名称がデバイス・ファイルで予約語として定義されています。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラでは正しく認識できませんので、注意してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

- 凡 例** データ表記の重み：左が上位桁，右が下位桁
- アクティブ・ロウの表記：xxx（端子，信号名称に上線）
- メモリ・マップのアドレス：上部 - 上位，下部 - 下位
- 注：本文中に付けた注の説明
- 注意：気を付けて読んでいただきたい内容
- 備考：本文の補足説明
- 数の表記：2進数 ... xxxxまたはxxxxB
- 10進数 ... xxxx
- 16進数 ... xxxxH
- 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
- K（キロ）... $2^{10} = 1024$
- M（メガ）... $2^{20} = 1024^2$
- G（ギガ）... $2^{30} = 1024^3$
- データ・タイプ：ワード ... 32ビット
- ハーフワード ... 16ビット
- バイト ... 8ビット

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850E/MA3に関する資料

資料名	資料番号
V850E1 ユーザーズ・マニュアル アーキテクチャ編	U14559J
V850E/MA3 ユーザーズ・マニュアル ハードウェア編	このマニュアル
V850E/MA1, V850E/MA2, V850E/MA3, V850E/ME2 アプリケーション・ノート PCIホスト・ブリッジ・マクロ編	U17121J
V850シリーズによるインバータ制御 アプリケーション・ノート ゼロクロス検出による120度通電方式制御編	U17209J
V850シリーズによるインバータ制御 アプリケーション・ノート ホール・センサによるベクトル制御編	U17338J

開発ツールに関する資料（ユーザーズ・マニュアル）

資料名	資料番号	
IE-V850E1-CD-NW (PCMCIAカード型オンチップ・デバッグ・エミュレータ)	U16647J	
QB-V850EMA3 (インサーキット・エミュレータ)	U17903J	
QB-V850MINI (オンチップ・デバッグ・エミュレータ)	U17638J	
QB-MINI2 (プログラミング機能付きオンチップ・デバッグ・エミュレータ)	U18371J	
QB-Programmer (プログラミングGUI)	操作編 U18527J	
CA850 (Ver.3.20) (Cコンパイラ・パッケージ)	操作編	U18512J
	C言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ (Ver.6.30) (プロジェクト・マネージャ)	U18416J	
ID850QB (Ver.3.40) (統合デバッガ)	操作編 U18604J	
RX850 (Ver.3.20) (リアルタイムOS)	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro (Ver.3.21) (リアルタイムOS)	基礎編	U18165J
	内部構造編	U18164J
	タスク・デバッガ編	U17422J
RX850V4 (Ver.4.22) (リアルタイムOS)	機能編	U16643J
	内部構造編	U16644J
	タスク・デバッガ編	U16811J
AZ850 (Ver.3.30) (システム・パフォーマンス・アナライザ)	U17423J	
AZ850V4 (Ver.4.10) (システム・パフォーマンス・アナライザ)	U17093J	
RX-NET (Ver.2.00) (TCP/IPライブラリ)	U15083J	
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	

目 次

第1章 イン트로ダクション ... 20

- 1.1 概 説 ... 20
- 1.2 特 徴 ... 22
- 1.3 応用分野 ... 24
- 1.4 オーダ情報 ... 25
- 1.5 端子接続図 ... 26
- 1.6 機能ブロック構成 ... 31
 - 1.6.1 内部ブロック図 ... 31
 - 1.6.2 内部ユニット ... 32

第2章 端子機能 ... 35

- 2.1 端子機能一覧 ... 35
- 2.2 端子状態 ... 45
- 2.3 端子の入出力回路タイプと未使用時の処理 ... 46
- 2.4 端子の入出力回路 ... 50

第3章 CPU機能 ... 51

- 3.1 特 徴 ... 51
- 3.2 CPUレジスタ・セット ... 52
 - 3.2.1 プログラム・レジスタ・セット ... 53
 - 3.2.2 システム・レジスタ・セット ... 54
- 3.3 動作モード ... 61
 - 3.3.1 動作モード ... 61
 - 3.3.2 動作モード指定 ... 61
- 3.4 アドレス空間 ... 62
 - 3.4.1 CPUアドレス空間 ... 62
 - 3.4.2 イメージ ... 63
 - 3.4.3 CPUアドレス空間のラップ・アラウンド ... 64
 - 3.4.4 メモリ・マップ ... 65
 - 3.4.5 領 域 ... 66
 - 3.4.6 外部メモリ拡張 ... 71
 - 3.4.7 アドレス空間の推奨使用方法 ... 71
 - 3.4.8 内蔵周辺I/Oレジスタ ... 74
 - 3.4.9 特定レジスタ ... 85
 - 3.4.10 システム・ウエイト・コントロール・レジスタ (VSWC) ... 89
 - 3.4.11 注意事項 ... 89

第4章 ポート機能 ... 91

- 4.1 特 徴 ... 91
- 4.2 ポートの基本構成 ... 92

4.3	ポートの構成	...	93
4.3.1	ポート0	...	97
4.3.2	ポート1	...	106
4.3.3	ポート2	...	113
4.3.4	ポート3	...	124
4.3.5	ポート4	...	135
4.3.6	ポート5	...	142
4.3.7	ポート7	...	146
4.3.8	ポート8	...	149
4.3.9	ポートAL	...	151
4.3.10	ポートAH	...	155
4.3.11	ポートDL	...	158
4.3.12	ポートCS	...	162
4.3.13	ポートCT	...	167
4.3.14	ポートCM	...	172
4.3.15	ポートCD	...	177
4.3.16	ポートBD	...	181
4.4	ポート端子を兼用端子として使用する場合の設定	...	184
4.5	ノイズ除去回路	...	194
4.5.1	割り込み入力端子	...	194
4.5.2	タイマENC1入力端子	...	195
4.5.3	タイマP, タイマQ入力端子	...	195
4.6	注意事項	...	196
4.6.1	ポート端子設定上の注意事項	...	196
4.6.2	ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	...	197
4.6.3	ヒステリシス特性について	...	198

第5章 バス制御機能 ... 199

5.1	特 徴	...	199
5.2	バス制御端子	...	199
5.2.1	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	...	203
5.3	メモリ・ブロック機能	...	204
5.3.1	チップ・セレクト制御機能	...	205
5.4	バス・サイクル・タイプ制御機能	...	208
5.4.1	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)	...	209
5.4.2	チップ・セレクト信号ディレイ制御レジスタ (CSDC)	...	211
5.5	バス・アクセス	...	213
5.5.1	アクセス・クロック数	...	213
5.5.2	バス・サイジング機能	...	214
5.5.3	エンディアン制御機能	...	215
5.5.4	NECエレクトロニクス製開発ツールにおけるビッグ・エンディアン形式の使用制限	...	216
5.5.5	バス幅	...	218
5.6	ライト・バッファ機能	...	229
5.7	バス・クロック制御機能	...	231
5.8	ウェイト機能	...	232
5.8.1	プログラマブル・ウェイト機能	...	232

- 5.8.2 外部ウエイト機能 ... 238
- 5.8.3 プログラマブル・ウエイトと外部ウエイトの関係 ... 238
- 5.8.4 ウエイト機能が有効なバス・サイクル ... 239
- 5.9 アイドル・ステート挿入機能 ... 240
- 5.10 バス・ホールド機能 ... 243
 - 5.10.1 機能概要 ... 243
 - 5.10.2 バス・ホールド手順 ... 244
 - 5.10.3 パワー・セーブ・モード時の動作 ... 244
 - 5.10.4 バス・ホールド・タイミング ... 245
 - 5.10.5 バス・ホールド・タイミング (SRAM) ... 246
 - 5.10.6 バス・ホールド・タイミング (SDRAM) ... 248
- 5.11 バスの優先順位 ... 252
- 5.12 境界動作条件 ... 253
 - 5.12.1 プログラム空間 ... 253
 - 5.12.2 データ空間 ... 253

第6章 メモリ・アクセス制御機能 ... 254

- 6.1 SRAM, 外部ROM, 外部I/Oインタフェース ... 254
 - 6.1.1 特徴 ... 254
 - 6.1.2 SRAMの接続 ... 255
 - 6.1.3 SRAM, 外部ROM, 外部I/Oアクセス ... 257
- 6.2 ページROMコントローラ (ROMC) ... 274
 - 6.2.1 特徴 ... 274
 - 6.2.2 ページROMの接続 ... 275
 - 6.2.3 オンページ ... 276
 - 6.2.4 ページROMコンフィギュレーション・レジスタ (PRC) ... 276
 - 6.2.5 ページROMアクセス ... 277
- 6.3 DRAMコントローラ (SDRAM) ... 280
 - 6.3.1 特徴 ... 280
 - 6.3.2 SDRAMの接続 ... 280
 - 6.3.3 アドレス・マルチプレクス機能 ... 281
 - 6.3.4 SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) ... 286
 - 6.3.5 SDRAMアクセス ... 289
 - 6.3.6 リフレッシュ制御機能 ... 310
 - 6.3.7 セルフ・リフレッシュ制御機能 ... 314
 - 6.3.8 SDRAM初期化シーケンス ... 316

第7章 クロック・ジェネレータ ... 318

- 7.1 概要 ... 318
- 7.2 構成 ... 319
- 7.3 制御レジスタ ... 321
- 7.4 動作 ... 326
 - 7.4.1 各クロックの動作 ... 326
 - 7.4.2 外部クロック入力機能 ... 326
- 7.5 PLL機能 ... 327
 - 7.5.1 概要 ... 327

- 7.5.2 内部システム・クロックの選択 ... 327
- 7.5.3 PLLモード ... 328
- 7.5.4 クロック・スルー・モード ... 328

第8章 16ビット・タイマ/イベント・カウンタP (TMP) ... 329

- 8.1 概要 ... 329
- 8.2 機能 ... 329
- 8.3 構成 ... 330
- 8.4 レジスタ ... 333
- 8.5 タイマ出力動作説明 ... 345
- 8.6 動作 ... 346
 - 8.6.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000) ... 353
 - 8.6.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001) ... 365
 - 8.6.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010) ... 374
 - 8.6.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011) ... 386
 - 8.6.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100) ... 393
 - 8.6.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101) ... 402
 - 8.6.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110) ... 420

第9章 16ビット・タイマ/イベント・カウンタQ (TMQ) ... 426

- 9.1 概要 ... 426
- 9.2 機能 ... 426
- 9.3 構成 ... 427
- 9.4 レジスタ ... 431
- 9.5 タイマ出力動作説明 ... 446
- 9.6 動作 ... 447
 - 9.6.1 インターバル・タイマ・モード (TQ0MD2-TQ0MD0ビット = 000) ... 454
 - 9.6.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001) ... 465
 - 9.6.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010) ... 475
 - 9.6.4 ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011) ... 488
 - 9.6.5 PWM出力モード (TQ0MD2-TQ0MD0ビット = 100) ... 497
 - 9.6.6 フリー・ランニング・タイマ・モード (TQ0MD2-TQ0MD0ビット = 101) ... 508
 - 9.6.7 パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110) ... 528

第10章 16ビット・インターバル・タイマD (TMD) ... 534

- 10.1 特徴 ... 534
- 10.2 機能概要 ... 534
- 10.3 構成 ... 535
 - 10.3.1 タイマD0-D3 (TMD0-TMD3) ... 536
 - 10.3.2 コンペア・レジスタD0-D3 (CMD0-CMD3) ... 537
- 10.4 制御レジスタ ... 539
- 10.5 動作 ... 540
 - 10.5.1 コンペア動作 ... 540
- 10.6 使用例 ... 542
- 10.7 注意事項 ... 543

第11章 16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (TMENC1) ... 544

- 11.1 機能 ... 544
- 11.2 特徴 ... 544
- 11.3 構成 ... 546
- 11.4 制御レジスタ ... 549
- 11.5 動作 ... 560
 - 11.5.1 汎用タイマ・モードでの動作 ... 560
 - 11.5.2 UDCモードでの動作 ... 562
- 11.6 内部動作補足説明 ... 569
 - 11.6.1 UDCモードBでのカウント値クリア動作について ... 569
 - 11.6.2 転送動作について ... 571
 - 11.6.3 コンペア一致による割り込み要求信号出力について ... 572
 - 11.6.4 UBD10フラグ (STATUS10レジスタのビット0) の動作について ... 572

第12章 モータ制御機能 ... 573

- 12.1 機能概要 ... 573
- 12.2 構成 ... 574
- 12.3 制御レジスタ ... 578
- 12.4 動作 ... 588
 - 12.4.1 システム概要説明 ... 588
 - 12.4.2 デッド・タイム制御 (逆相波信号の生成) ... 593
 - 12.4.3 割り込み間引き機能 ... 600
 - 12.4.4 転送機能付きレジスタの書き換え操作 ... 607
 - 12.4.5 A/D変換開始トリガ信号出力用TMP2の同調動作 ... 625
 - 12.4.6 A/D変換開始トリガ出力機能 ... 629

第13章 ウォッチドッグ・タイマ機能 ... 634

- 13.1 機能 ... 634
- 13.2 構成 ... 635
- 13.3 制御レジスタ ... 636
- 13.4 動作 ... 639
 - 13.4.1 ウォッチドッグ・タイマとしての動作 ... 639
 - 13.4.2 インターバル・タイマとしての動作 ... 640

第14章 A/Dコンバータ ... 641

- 14.1 特徴 ... 641
- 14.2 構成 ... 642
- 14.3 制御レジスタ ... 645
- 14.4 動作 ... 653
 - 14.4.1 基本動作 ... 653
 - 14.4.2 動作モードとトリガ・モード ... 654
- 14.5 ソフトウェア・トリガ・モード時の動作 ... 659
 - 14.5.1 セレクト・モードの動作 ... 659
 - 14.5.2 スキャン・モードの動作 ... 661

14.6	タイマ・トリガ・モード時の動作	...	662
14.6.1	セレクト・モードの動作	...	663
14.6.2	スキャン・モードの動作	...	665
14.7	外部トリガ・モード時の動作	...	668
14.7.1	セレクト・モードの動作	...	668
14.7.2	スキャン・モードの動作	...	671
14.8	動作上の注意事項	...	673
14.8.1	変換動作の停止	...	673
14.8.2	タイマ/外部トリガの間隔	...	673
14.8.3	スタンバイ・モード時の動作	...	673
14.8.4	タイマ・トリガ・モード時のタイマ割り込み要求信号	...	674
14.8.5	A/D変換時間	...	674
14.8.6	安定時間	...	675
14.8.7	A/D変換結果のばらつき	...	675
14.8.8	A/D変換のヒステリシス特性	...	675
14.9	A/Dコンバータ特性表の読み方	...	676

第15章 D/Aコンバータ ... 680

15.1	機能	...	680
15.2	構成	...	680
15.3	制御レジスタ	...	681
15.4	動作	...	683
15.4.1	通常モード時の動作	...	683
15.4.2	リアルタイム出力モード時の動作	...	683
15.4.3	使用上の注意点	...	684

第16章 アシンクロナス・シリアル・インタフェースA (UARTA) ... 685

16.1	UARTAとほかのシリアル・インタフェースのモード切り替え	...	685
16.1.1	UARTA0とCSIB0, UARTA1とCSIB1, UARTA2とCSIB2のモード切り替え	...	685
16.1.2	UARTA3とI ² Cのモード切り替え	...	688
16.2	特徴	...	689
16.3	構成	...	690
16.4	制御レジスタ	...	693
16.5	割り込み要求信号	...	699
16.6	動作	...	700
16.6.1	データ・フォーマット	...	700
16.6.2	UART送信	...	702
16.6.3	連続送信の手順説明	...	703
16.6.4	UART受信	...	705
16.6.5	受信エラー	...	706
16.6.6	パリティの種類と動作	...	707
16.6.7	受信データのノイズ・フィルタ	...	708
16.7	専用ポー・レート・ジェネレータ	...	709
16.8	注意事項	...	716

第17章 クロック同期式シリアル・インタフェースB (CSIB) ... 717

- 17.1 CSIBとほかのシリアル・インタフェースのモード切り替え ... 717
 - 17.1.1 UARTA0とCSIB0, UARTA1とCSIB1, UARTA2とCSIB2のモード切り替え ... 717
- 17.2 特 徴 ... 717
- 17.3 構 成 ... 720
- 17.4 制御レジスタ ... 722
- 17.5 動 作 ... 729
 - 17.5.1 シングル転送モード(マスタ・モード, 送信モード) ... 729
 - 17.5.2 シングル転送モード(マスタ・モード, 受信モード) ... 731
 - 17.5.3 シングル転送モード(マスタ・モード, 送受信モード) ... 733
 - 17.5.4 シングル転送モード(スレーブ・モード, 送信モード) ... 735
 - 17.5.5 シングル転送モード(スレーブ・モード, 受信モード) ... 737
 - 17.5.6 シングル転送モード(スレーブ・モード, 送受信モード) ... 739
 - 17.5.7 連続転送モード(マスタ・モード, 送信モード) ... 741
 - 17.5.8 連続転送モード(マスタ・モード, 受信モード) ... 743
 - 17.5.9 連続転送モード(マスタ・モード, 送受信モード) ... 746
 - 17.5.10 連続転送モード(スレーブ・モード, 送信モード) ... 750
 - 17.5.11 連続転送モード(スレーブ・モード, 受信モード) ... 752
 - 17.5.12 連続転送モード(スレーブ・モード, 送受信モード) ... 755
 - 17.5.13 受信エラー ... 759
 - 17.5.14 クロック・タイミング ... 760
- 17.6 出力端子 ... 762

第18章 I²Cバス ... 763

- 18.1 UARTA3とI²Cのモード切り替え ... 764
- 18.2 特 徴 ... 765
- 18.3 構 成 ... 768
- 18.4 レジスタ ... 770
- 18.5 機 能 ... 786
 - 18.5.1 端子構成 ... 786
- 18.6 I²Cバスの定義および制御方法 ... 787
 - 18.6.1 スタート・コンディション ... 787
 - 18.6.2 アドレス ... 788
 - 18.6.3 転送方向指定 ... 789
 - 18.6.4 アクノリッジ (ACK) ... 790
 - 18.6.5 ストップ・コンディション ... 791
 - 18.6.6 ウェイト ... 792
 - 18.6.7 ウェイト解除方法 ... 794
- 18.7 I²C割り込み要求信号 (INTIIC) ... 795
 - 18.7.1 マスタ動作 ... 795
 - 18.7.2 スレーブ動作(スレーブ・アドレス受信時(アドレス一致)) ... 798
 - 18.7.3 スレーブ動作(拡張コード受信時) ... 802
 - 18.7.4 通信不参加の動作 ... 806
 - 18.7.5 アービトレーション負けの動作(アービトレーション負けのあと, スレーブとして動作) ... 807
 - 18.7.6 アービトレーション負けの動作(アービトレーション負けのあと, 不参加) ... 809
- 18.8 割り込み要求信号 (INTIIC) 発生タイミングおよびウェイト制御 ... 816

18.9	アドレスの一致検出方法	...	817
18.10	エラーの検出	...	817
18.11	拡張コード	...	818
18.12	アービトレーション	...	819
18.13	ウエイク・アップ機能	...	820
18.14	通信予約	...	821
18.14.1	通信予約機能許可の場合 (IICF.IICRSVビット = 0)	...	821
18.14.2	通信予約機能禁止の場合 (IICF.IICRSVビット = 1)	...	825
18.15	注意事項	...	826
18.16	通信動作	...	827
18.16.1	シングルマスタ・システム動作でのマスタ動作	...	828
18.16.2	マルチマスタ・システムでのマスタ動作	...	829
18.16.3	スレーブ動作	...	832
18.17	データ通信のタイミング	...	835

第19章 DMA機能 (DMAコントローラ) ... 842

19.1	特徴	...	842
19.2	構成	...	843
19.3	制御レジスタ	...	844
19.3.1	DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)	...	844
19.3.2	DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)	...	846
19.3.3	DMA転送カウント・レジスタ0-3 (DBC0-DBC3)	...	848
19.3.4	DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)	...	849
19.3.5	DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)	...	851
19.3.6	DMAターミナル・カウント出力コントロール・レジスタ (DIOC)	...	853
19.3.7	DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)	...	854
19.3.8	DMAインタフェース・コントロール・レジスタ (DIFC)	...	857
19.3.9	DMAAK幅調整レジスタ (DAKW)	...	858
19.4	転送モード	...	859
19.4.1	シングル転送モード	...	859
19.4.2	シングルステップ転送モード	...	861
19.4.3	ブロック転送モード	...	862
19.5	転送タイプ	...	863
19.5.1	2サイクル転送	...	863
19.5.2	フライバイ転送	...	880
19.6	転送対象	...	884
19.6.1	転送の種類と転送対象	...	884
19.6.2	DMA転送時の外部バス・サイクル	...	886
19.7	DMAチャンネルの優先順位	...	886
19.8	ネクスト・アドレス設定機能	...	887
19.9	DMA転送起動要因	...	889
19.10	DMA転送完了時のターミナル・カウント出力	...	890
19.11	強制中断	...	891
19.12	強制終了	...	892
19.13	DMA転送に関する各種時間	...	893
19.14	DMA要求に対する応答時間の最大値	...	894
19.15	注意事項	...	895
19.15.1	中断要因	...	895

19.16 DMA転送の終了 ... 896

第20章 割り込み / 例外処理機能 ... 897

- 20.1 特 徴 ... 897
- 20.2 ノンマスカブル割り込み ... 901
 - 20.2.1 動 作 ... 904
 - 20.2.2 復 帰 ... 905
 - 20.2.3 ノンマスカブル割り込みステータス・フラグ (NP) ... 906
- 20.3 マスカブル割り込み ... 907
 - 20.3.1 動 作 ... 907
 - 20.3.2 復 帰 ... 909
 - 20.3.3 マスカブル割り込みの優先順位 ... 910
 - 20.3.4 割り込み制御レジスタ (xxICn) ... 914
 - 20.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3) ... 917
 - 20.3.6 インサースervice・プライオリティ・レジスタ (ISPR) ... 919
 - 20.3.7 マスカブル割り込みステータス・フラグ (ID) ... 920
- 20.4 外部割り込み要求入力端子 (NMI, INTPn) ... 921
 - 20.4.1 ノイズ除去 ... 921
 - 20.4.2 エッジ検出 ... 921
- 20.5 ソフトウェア例外 ... 928
 - 20.5.1 動 作 ... 928
 - 20.5.2 復 帰 ... 929
 - 20.5.3 例外ステータス・フラグ (EP) ... 930
- 20.6 例外トラップ ... 931
 - 20.6.1 不正命令コード ... 931
 - 20.6.2 デバッグ・トラップ ... 933
- 20.7 多重割り込み処理制御 ... 935
- 20.8 割り込み応答時間 ... 937
- 20.9 CPUが割り込みを受け付けない期間 ... 938
- 20.10 注意事項 ... 938

第21章 スタンバイ機能 ... 939

- 21.1 概 要 ... 939
- 21.2 制御レジスタ ... 941
- 21.3 HALTモード ... 942
 - 21.3.1 設定および動作状態 ... 942
 - 21.3.2 HALTモードの解除 ... 942
- 21.4 IDLEモード ... 944
 - 21.4.1 設定および動作状態 ... 944
 - 21.4.2 IDLEモードの解除 ... 944
- 21.5 ソフトウェアSTOPモード ... 946
 - 21.5.1 設定および動作状態 ... 946
 - 21.5.2 ソフトウェアSTOPモードの解除 ... 946
- 21.6 発振安定時間の確保 ... 948
- 21.7 IDLE/ソフトウェアSTOPモードへの移行, 復帰手順 ... 949

第22章 リセット機能 ... 951

- 22.1 概 要 ... 951
- 22.2 構 成 ... 951
- 22.3 制御レジスタ ... 952
- 22.4 動 作 ... 953

第23章 ROMコレクション機能 ... 956

- 23.1 概 要 ... 956
- 23.2 制御レジスタ ... 957
- 23.3 ROMコレクションの動作とプログラムの流れ ... 959

第24章 オンチップ・デバッグ機能 (DCU) ... 961

- 24.1 機能概要 ... 961
 - 24.1.1 オンチップ・デバッグ・ユニットの種類 ... 961
 - 24.1.2 デバッグ機能 ... 961
 - 24.1.3 ROMセキュリティ機能 ... 963
- 24.2 オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替え ... 965
- 24.3 N-Wire型エミュレータとの接続 ... 966
 - 24.3.1 KEL社製コネクタ ... 966
 - 24.3.2 AMP社製コネクタ ... 970
- 24.4 注意事項 ... 975

第25章 フラッシュ・メモリ ... 976

- 25.1 特 徴 ... 976
- 25.2 フラッシュ・メモリ・プログラマによる書き込み方法 ... 977
- 25.3 プログラミング環境 ... 984
- 25.4 通信方式 ... 984
- 25.5 端子処理 ... 988
 - 25.5.1 MODE1端子 ... 988
 - 25.5.2 シリアル・インタフェース端子 ... 988
 - 25.5.3 $\overline{\text{RESET}}$ 端子 ... 991
 - 25.5.4 NMI端子 ... 992
 - 25.5.5 MODE0, MODE1端子 ... 992
 - 25.5.6 ポート端子 ... 992
 - 25.5.7 その他の信号端子 ... 992
 - 25.5.8 電 源 ... 992
- 25.6 プログラミング方法 ... 993
 - 25.6.1 フラッシュ・メモリ制御 ... 993
 - 25.6.2 フラッシュ・メモリ・プログラミング・モード ... 994
 - 25.6.3 通信方式の選択 ... 994
 - 25.6.4 通信コマンド ... 995
 - 25.6.5 電源遮断処理 ... 996

第26章	電気的特性	...	997
26.1	通常動作モード	...	997
26.2	電源投入/電源遮断シーケンス	...	1046
26.3	フラッシュ・メモリ・プログラミング・モード (μ PD70F3134BYのみ)	...	1048
第27章	外形図	...	1050
第28章	半田付け推奨条件	...	1052
付録A	レジスタ索引	...	1054
付録B	命令セット一覧	...	1063
B.1	凡例	...	1063
B.2	インストラクション・セット (アルファベット順)	...	1066
付録C	改版履歴	...	1072
C.1	本版で改訂された主な箇所	...	1072
C.2	前版までの改版履歴	...	1074

第1章 イントロダクション

V850E/MA3は、NECエレクトロニクスのシングルチップ・マイクロコントローラ「V850マイコン」の1製品です。この章では、V850E/MA3の概要を簡単に説明します。

1.1 概 説

V850E/MA3は、システム・オン・チップ時代のシステムLSIの核となるCPUコアとして新たに開発したASIC用32ビットRISC型CPUコア「V850E1 CPU」を搭載した32ビット・シングルチップ・マイクロコントローラです。ROM、RAM、および、各種メモリ・コントローラ、DMAコントローラ、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータ、D/Aコンバータ、ROMコレクション、オンチップ・デバッグなどの周辺機能を内蔵し、大容量データ処理と高度なリアルタイム制御を実現します。

(1) 「V850E1 CPU」搭載

「V850E1 CPU」は、V850シリーズ搭載のCPUコア「V850 CPU」に対し、外部バス・インタフェースの性能を強化し、C言語のswitch文処理、テーブル・ルックアップの分岐、スタック・フレームの生成/削除、データ変換など、主に高級言語に対応した命令などを追加することにより、制御系だけではなく、データ処理系にも対応したCPUコアです。

なお、命令コードは、V850 CPUに対して、オブジェクト・コード・レベルでの上位互換性を持たせているため、V850 CPU搭載システムのソフトウェア資産をそのまま使用できます。

(2) 外部メモリ・インタフェース機能

外部メモリ・インタフェースとして、セパレート構成のアドレス・バス（26ビット）、マルチプレクス構成のアドレス/データ・バス（16ビット）とSDRAM、ROM用インタフェースのほか、ページROMなどに直結できる各種メモリ・コントローラを内蔵しているため、システム性能を向上するとともにアプリケーション・システムの部品点数を削減できます。

また、DMAコントローラにより、外部メモリ間の転送と並行してCPU内部の演算やデータ転送を行えるため、画像データや音声データなどの大容量データ処理が可能となるうえ、内蔵のROMとRAMを使用した高速な命令実行により、モータ制御、通信制御などのリアルタイム制御も同時に実現できます。

(3) フラッシュ・メモリ内蔵（フラッシュ・メモリ内蔵品のみ（表1-1参照））

フラッシュ・メモリ内蔵品（フラッシュ・メモリ内蔵品のみ（表1-1参照））は、高速アクセス可能なフラッシュ・メモリを内蔵しており、アプリケーション・システム上にV850E/MA3を実装したままプログラムの書き換えが行えるため、システム開発期間の短縮が実現できます。また、システム出荷後のメンテナンス性を飛躍的に向上させることができます。

(4) 充実したミドルウェア，開発環境製品群

V850E/MA3はJPEG, JBIG, MH/MR/MMRなどのミドルウェアを高速実行できます。また，音声認識，音声合成などの処理を実現するミドルウェアも用意されているので，これらのミドルウェアと組み合わせることにより，マルチメディア・システムを容易に実現できます。

また，最適化Cコンパイラ，デバッガ，インサーキット・エミュレータ，シミュレータ，システム・パフォーマンス・アナライザなどの統合された開発環境も用意しています。

次にV850E/MA3の製品一覧を示します。

表1 - 1 V850E/MA3の製品一覧

製品名	ROM		RAM サイズ	I ² Cバス 内蔵	マスクブル割り込み		ノンマスクブル 割り込み
	種類	サイズ			外部	内部	
μ PD703131BY	マスクROM	256 Kバイト	16 Kバイト	あり	25	50	2
μ PD703132BY			32 Kバイト				
μ PD703133BY		512 Kバイト	16 Kバイト				
μ PD703134BY			32 Kバイト				
μ PD703136BY		256 Kバイト	8 Kバイト				
μ PD70F3134BY	フラッシュ・メモリ	512 Kバイト	32 Kバイト				

備考 このマニュアルでは，V850E/MA3の品名を次のように記載しています。

- ・マスクROM内蔵品

μ PD703131BY, 703132BY, 703133BY, 703134BY, 703136BY

- ・フラッシュ・メモリ内蔵品

μ PD70F3134BY

1.2 特 徴

最小命令実行時間	12.5 ns (内部80 MHz動作時)
汎用レジスタ	32ビット×32本
CPUの特徴	乗算命令 (16×16 → 32) : 1-2クロック 乗算命令 (32×32 → 64) : 1-2クロック 飽和演算命令 (オーバフロー/アンダフロー検出機能付き) 32ビット・シフト命令 : 1クロック ビット操作命令 ロング/ショート形式を持つロード/ストア命令 符号付きロード命令
メモリ空間	256 Mバイト・リニア・アドレス空間 (プログラム/データ共有) チップ・セレクト出力機能 : 8空間 メモリ・ブロック分割機能 : 2 M, 64 Mバイト/ブロック
・内蔵メモリ	RAM : 8 K/16 K/32 Kバイト (表1 - 1参照) マスクROM : 256 K/512 Kバイト (表1 - 1参照) フラッシュ・メモリ : 512 Kバイト (表1 - 1参照)
・外部バス・インタフェース	セパレート・バス/マルチプレクス・バス出力選択可能 8/16ビット・データ・バス・サイジング機能 外部バス分周機能 : 1, 2, 3, 4分周 (50 MHz (MAX.)) ウェイト機能 <ul style="list-style-type: none"> ・プログラマブル・ウェイト機能 ・外部ウェイト機能 アイドル・ステート機能 バス・ホールド機能 アドレス・セットアップ・ウェイト機能 エンディアン制御機能
・メモリ・アクセス制御	DRAMコントローラ (SDRAMに対応) ページROMコントローラ
割り込み/例外	ノンマスカブル割り込み : 2要因 (外部 : 1要因, 内部 : 1要因) マスカブル割り込み : 74/75要因 (外部 : 25要因, 内部 : 49/50要因 (表1 - 1参照)) ソフトウェア例外 : 32要因 例外トラップ : 2要因

DMAコントローラ

4チャンネル構成

転送単位 : 8ビット / 16ビット

最大転送回数 : 65536 (2^{16}) 回

転送タイプ : フライバイ (1サイクル) 転送 / 2サイクル転送

転送モード : シングル転送 / シングルステップ転送 / ブロック転送

転送対象 : メモリ メモリ, メモリ I/O

転送要求 : 外部要求 / 内蔵周辺I/O / ソフトウェア

DMA転送終了 (ターミナル・カウント) 出力信号

ネクスト・アドレス設定機能

I/Oライン

合計 : 112

タイマ / カウンタ機能

16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ / 汎用タイマ (TMENC) : 1 ch

16ビット・インターバル・タイマD (TMD) : 4 ch

16ビット・タイマ / イベント・カウンタQ (TMQ) : 1 ch

16ビット・タイマ / イベント・カウンタP (TMP) : 3 ch

モータ制御機能 (使用タイマ TMQ : 1 ch (TMQ0), TMP : 1 ch (TMP2))

16ビット精度のデッド・タイム付き6相PWM機能 : 1 ch

ハイ・インピーダンス出力制御機能

タイマ同調動作機能

任意の周期設定機能

任意のデッド・タイム設定機能

ウォッチドッグ・タイマ : 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA (UARTA)

クロック同期式シリアル・インタフェースB (CSIB)

I²Cバス・インタフェース (I²C)

CSIB/UARTA : 3ch

UARTA/I²C : 1ch

A/Dコンバータ

10ビット分解能A/Dコンバータ : 8ch

D/Aコンバータ

8ビット分解能 : 2ch

ROMコレクション

4箇所修正可能

オンチップ・デバッグ機能

クロツク・ジェネレータ

PLLクロツク・シンセサイザによる1.25, 2.5, 5, 10通倍機能 (入力クロツク : 4~8 MHz)
外部クロツク入力機能 (入力クロツク : 5~25 MHz)

パワー・セーブ機能

HALT / IDLE / ソフトウエアSTOPモード

パッケージ

144ピン・プラスチックLQFP (ファインピツチ) (20×20)
161ピン・プラスチックFBGA (13×13)

CMOS構造

完全スタティック回路

1.3 応用分野

各種プリンタ, DVDプレーヤ, インバータ, サーボ, NC工作機, PPC, ロボット制御, 情報家電など

1.4 オーダ情報

品名	パッケージ	内蔵ROM
μPD703131BYGJ-xxx-UEN-A	144ピン・プラスチックLQFP (ファインピッチ) (20×20)	マスクROM (256 Kバイト)
μPD703132BYGJ-xxx-UEN-A	"	"
μPD703133BYGJ-xxx-UEN-A	"	マスクROM (512 Kバイト)
μPD703134BYGJ-xxx-UEN-A	"	"
μPD703136BYGJ-xxx-UEN-A	"	マスクROM (256 Kバイト)
μPD703131BYF1-xxx-EN4-A	161ピン・プラスチックFBGA (13×13)	マスクROM (256 Kバイト)
μPD703132BYF1-xxx-EN4-A	"	"
μPD703133BYF1-xxx-EN4-A	"	マスクROM (512 Kバイト)
μPD703134BYF1-xxx-EN4-A	"	"
μPD703136BYF1-xxx-EN4-A	"	マスクROM (256 Kバイト)
μPD70F3134BYGJ-UEN-A	144ピン・プラスチックLQFP (ファインピッチ) (20×20)	フラッシュ・メモリ (512 Kバイト)
μPD70F3134BYF1-EN4-A	161ピン・プラスチックFBGA (13×13)	"

備考1. xxxはROMコード番号です。

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

1.5 端子接続図

・144ピン・プラスチックLQFP（ファインピッチ）（20×20）

μ PD703131BYGJ-xxx-UEN-A

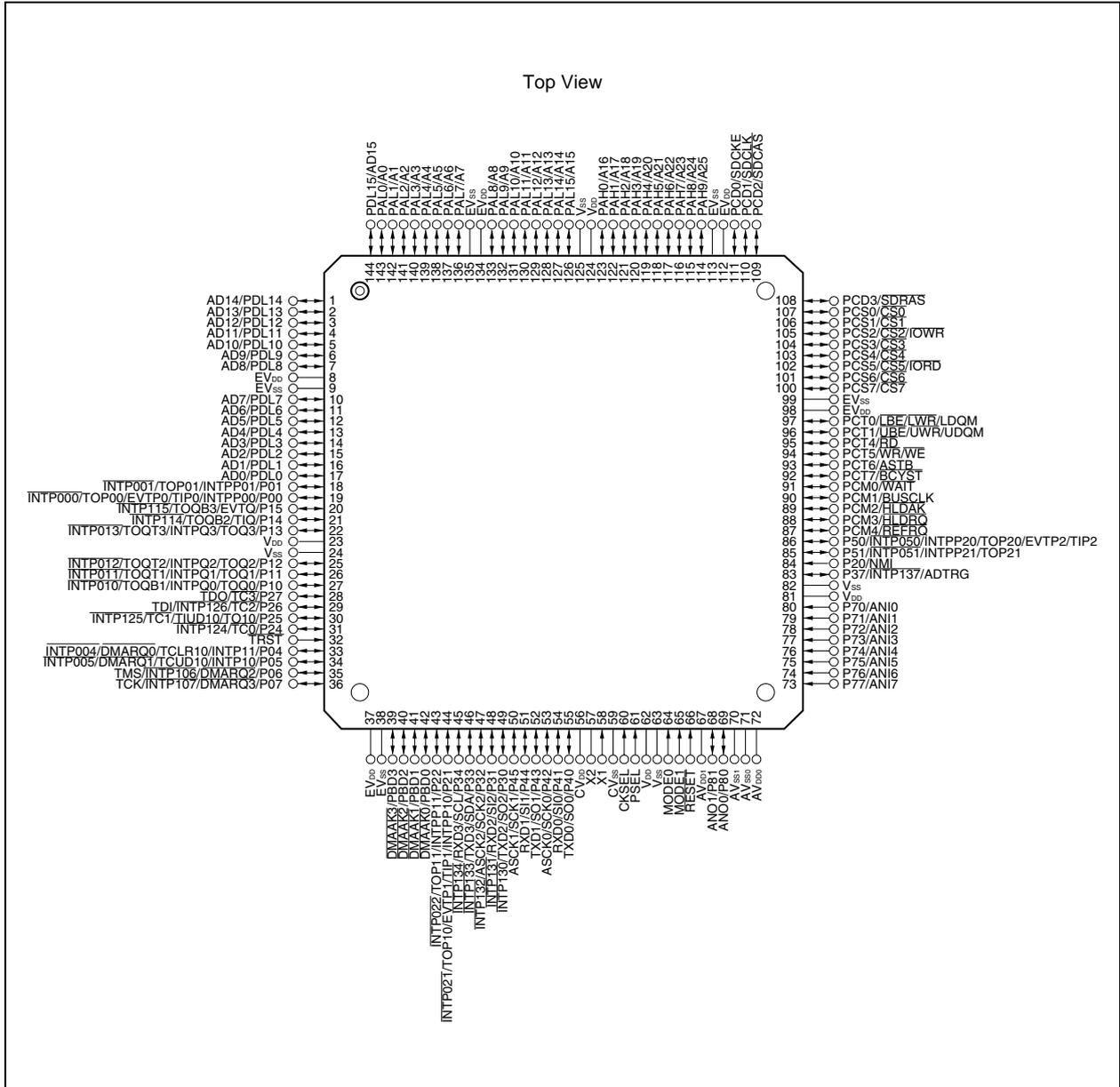
μ PD703133BYGJ-xxx-UEN-A

μ PD703136BYGJ-xxx-UEN-A

μ PD703132BYGJ-xxx-UEN-A

μ PD703134BYGJ-xxx-UEN-A

μ PD70F3134BYGJ-UEN-A



・161ピン・プラスチックFBGA (13×13)

μ PD703131BYF1-xxx-EN4-A

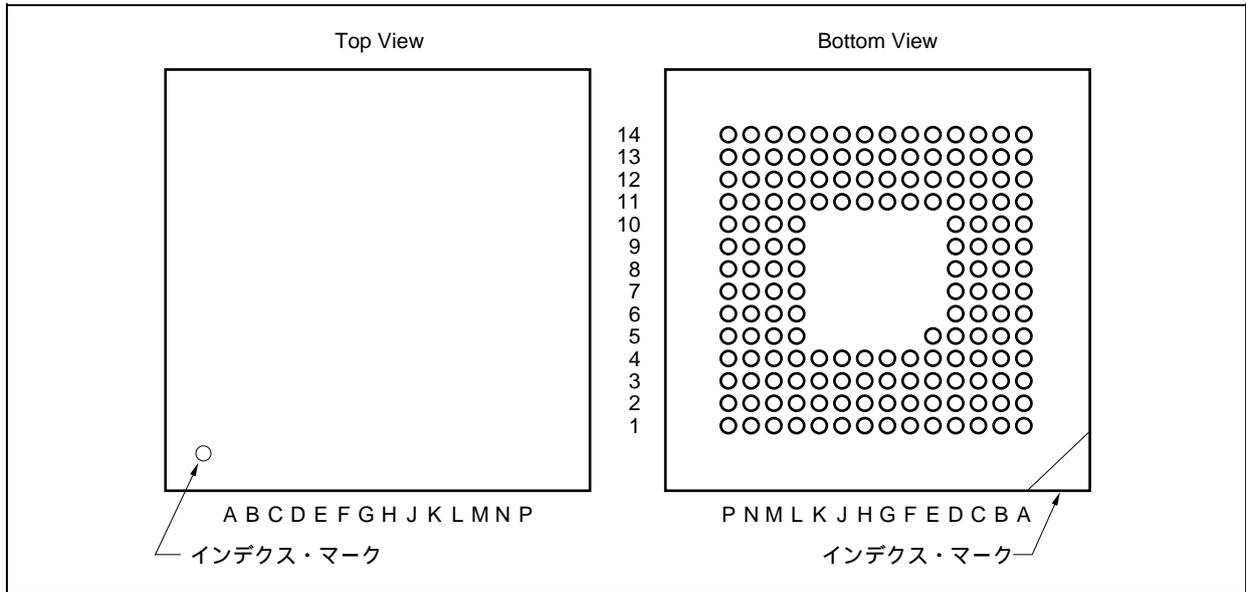
μ PD703133BYF1-xxx-EN4-A

μ PD703136BYF1-xxx-EN4-A

μ PD703132BYF1-xxx-EN4-A

μ PD703134BYF1-xxx-EN4-A

μ PD70F3134BYF1-EN4-A



(1/2)

ピン番号	名称	ピン番号	名称	ピン番号	名称
A1	EV _{SS}	B10	A21/PAH5	D5	A6/PAL6
A2	AD15/PDL15	B11	A25/PAH9	D6	A10/PAL10
A3	A2/PAL2	B12	SDCLK/PCD1	D7	A14/PAL14
A4	A5/PAL5	B13	$\overline{CS1}$ /PCS1	D8	A16/PAH0
A5	EV _{SS}	B14	EV _{SS}	D9	A20/PAH4
A6	A9/PAL9	C1	EV _{SS}	D10	A23/PAH7
A7	A12/PAL12	C2	AD9/PDL9	D11	SDCKE/PCD0
A8	A15/PAL15	C3	AD13/PDL13	D12	$\overline{CS0}$ /PCS0
A9	A17/PAH1	C4	A1/PAL1	D13	$\overline{CS5}$ / \overline{IORD} /PCS5
A10	-	C5	A7/PAL7	D14	EV _{SS}
A11	A24/PAH8	C6	EV _{DD}	E1	AD5/PDL5
A12	EV _{DD}	C7	A11/PAL11	E2	AD7/PDL7
A13	\overline{SDCAS} /PCD2	C8	V _{DD}	E3	AD8/PDL8
A14	\overline{SDRAS} /PCD3	C9	A19/PAH3	E4	AD11/PDL11
B1	EV _{SS}	C10	A22/PAH6	E5	-
B2	AD12/PDL12	C11	EV _{SS}	E11	$\overline{CS6}$ /PCS6
B3	A0/PAL0	C12	$\overline{CS3}$ /PCS3	E12	$\overline{CS4}$ /PCS4
B4	A4/PAL4	C13	$\overline{CS2}$ / \overline{IOWR} /PCS2	E13	$\overline{CS7}$ /PCS7
B5	EV _{SS}	C14	EV _{SS}	E14	EV _{SS}
B6	A8/PAL8	D1	EV _{SS}	F1	AD2/PDL2
B7	A13/PAL13	D2	AD10/PDL10	F2	AD3/PDL3
B8	V _{SS}	D3	AD14/PDL14	F3	AD4/PDL4
B9	A18/PAH2	D4	A3/PAL3	F4	EV _{DD}

ピン番号	名称	ピン番号	名称	ピン番号	名称
F11	RD/PCT4	L6	ASCK2/SCK2/INTP132/P32	P5	EV _{ss}
F12	EV _{DD}	L7	ASCK1/SCK1/P45	P6	RXD1/SI1/P44
F13	LBE/LWR/LDQM/PCT0	L8	TXD0/SO0/P40	P7	RXD0/SI0/P41
F14	UBE/UWR/UDQM/PCT1	L9	MODE0	P8	PSEL
G1	TOP01/INTP001/INTPP01/P01	L10	AV _{DD0}	P9	CV _{DD}
G2	TOP00/INTP000/EVTP0/TIP0/INTPP00/P00	L11	ANI7/P77	P10	X1
G3	AD0/PDL0	L12	ANI4/P74	P11	-
G4	AD6/PDL6	L13	ANI3/P73	P12	RESET
G11	WAIT/PCM0	L14	ANI2/P72	P13	ANO0/P80
G12	WR/WE/PCT5	M1	EV _{ss}	P14	-
G13	BCYST/PCT7	M2	DMARQ1/TCUD10/INTP10/INTP005/P05		
G14	ASTB/PCT6	M3	DMARQ0/INTP11/TCLR10/INTP004/P04		
H1	TOQB3/INTP115/EVTQ/P15	M4	DMAAK2/PBD2		
H2	TOQB2/INTP114/TIQ/P14	M5	RXD3/SCL/INTP134/P34		
H3	TOQT3/INTP013/INTPQ3/TOQ3/P13	M6	RXD2/SI2/INTP131/P31		
H4	AD1/PDL1	M7	TXD1/SO1/P43		
H11	REFRQ/PCM4	M8	V _{DD}		
H12	HLDRQ/PCM3	M9	CKSEL		
H13	HLDK/PCM2	M10	MODE1		
H14	BUSCLK/PCM1	M11	AV _{SS0}		
J1	V _{DD}	M12	ANI6/P76		
J2	TOQT2/INTP012/INTPQ2/TOQ2/P12	M13	ANI5/P75		
J3	TOQB1/INTP010/INTPQ0/TOQ0/P10	M14	-		
J4	V _{SS}	N1	EV _{ss}		
J11	ADTRG/INTP137/P37	N2	DMARQ3/TCK/INTP107/P07		
J12	TOP21/INTPP21/INTP051/P51	N3	DMAAK3/PBD3		
J13	TOP20/INTPP20/EVTP2/TIP2/INTP050/P50	N4	DMAAK0/PBD0		
J14	NMI/P20	N5	TXD3/SDA/INTP133/P33		
K1	TOQT1/INTP011/INTPQ1/TOQ1/P11	N6	TXD2/SO2/INTP130/P30		
K2	TC3/TDO/P27	N7	ASCK0/SCK0/P42		
K3	TC0/INTP124/P24	N8	V _{SS}		
K4	TC2/TDI/INTP126/P26	N9	X2		
K11	ANI1/P71	N10	CV _{SS}		
K12	ANI0/P70	N11	ANO1/P81		
K13	V _{SS}	N12	AV _{SS1}		
K14	V _{DD}	N13	AV _{DD1}		
L1	EV _{ss}	N14	-		
L2	TC1/TIUD10/TO10/INTP125/P25	P1	EV _{DD}		
L3	DMARQ2/TMS/INTP106/P06	P2	EV _{SS}		
L4	TRST	P3	DMAAK1/PBD1		
L5	TOP11/INTPP11/INTP022/P22	P4	TOP10/INTPP10/EVTP1/TIP1/INTP021/P21		

備考 A10, E5, M14, N14, P11, P14の端子は、オープンにしてください。

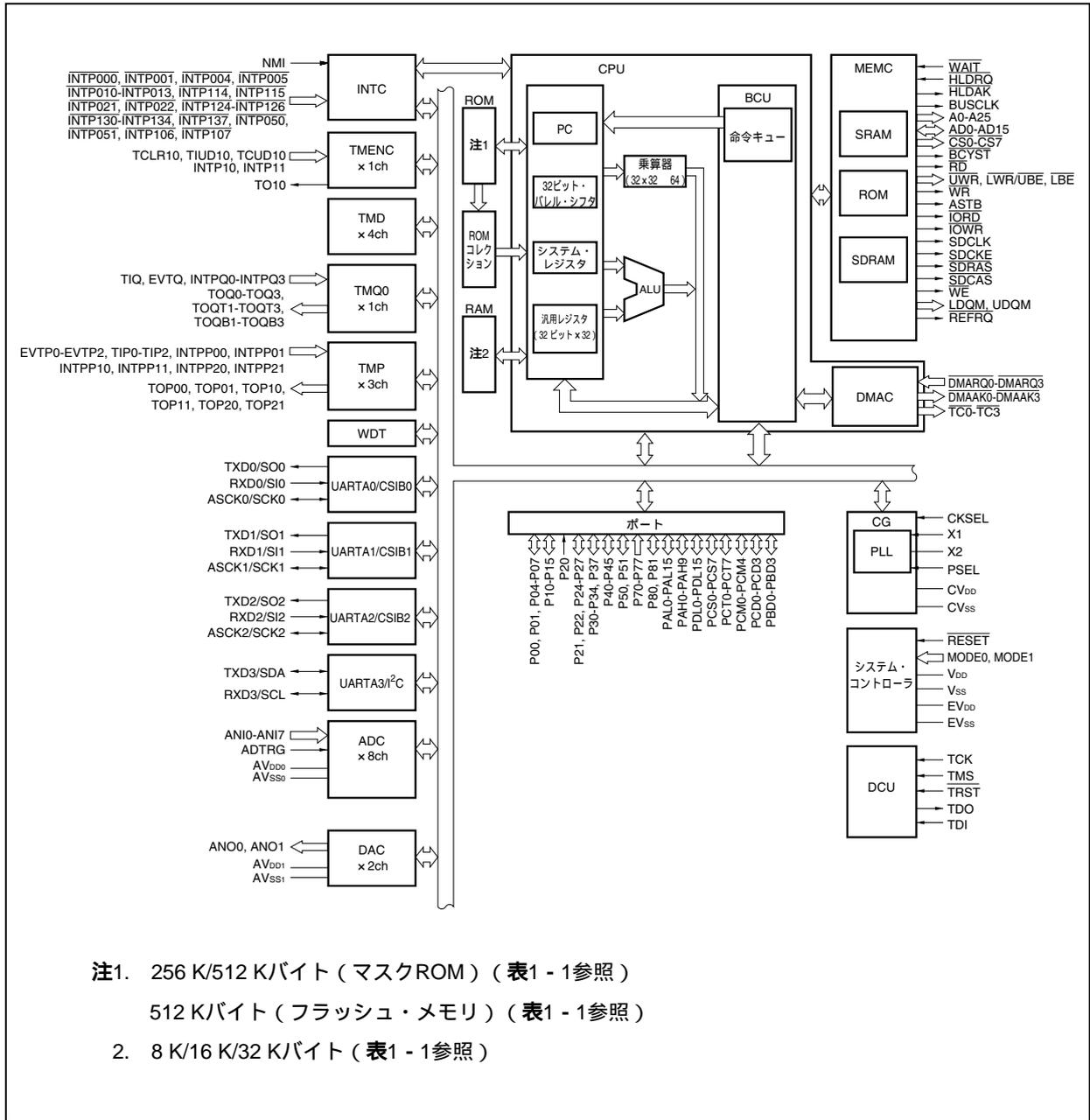
端子名称

A0-A25	: Address Bus	LDQM	: Lower DQ Mask Enable
AD0-AD15	: Address/Data Bus	$\overline{\text{LWR}}$: Lower Byte Write Strobe
ADTRG	: A/D Trigger Input	MODE0, MODE1	: Mode
ANI0-ANI7	: Analog Input	NMI	: Non-maskable Interrupt Request
ANO0, ANO1	: Analog Output	P00, P01, P04-P07	: Port 0
ASCK0-ASCK2	: Asynchronous Serial Clock	P10-P15	: Port 1
ASTB	: Address Strobe	P20-P22, P24-P27	: Port 2
AV _{DD0} , AV _{DD1}	: Analog Power Supply	P30-P34, P37	: Port 3
AV _{SS0} , AV _{SS1}	: Analog Ground	P40-P45	: Port 4
$\overline{\text{BCYST}}$: Bus Cycle Start Timing	P50, P51	: Port 5
BUSCLK	: Bus Clock Output	P70-P77	: Port 7
CKSEL	: Clock Generator	P80, P81	: Port 8
	Operating Mode Select	PAH0-PAH9	: Port AH
$\overline{\text{CS0-CS7}}$: Chip Select	PAL0-PAL15	: Port AL
CV _{DD}	: Power Supply for Clock Generator	PBD0-PBD3	: Port BD
CV _{SS}	: Ground for Clock Generator	PCD0-PCD3	: Port CD
$\overline{\text{DMAAK0-DMAAK3}}$: DMA Acknowledge	PCM0-PCM4	: Port CM
$\overline{\text{DMARQ0-DMARQ3}}$: DMA Request	PCS0-PCS7	: Port CS
EV _{DD}	: Power Supply for External Pins	PCT0, PCT1,	: Port CT
EV _{SS}	: Ground for External Pins	PCT4-PCT7	
EVTP0-EVTP2, EVTQ	: Timer Event Count Input	PDL0-PDL15	: Port DL
$\overline{\text{HLD\text{A}K}}$: Hold Acknowledge	PSEL	: PLL Select
$\overline{\text{HLDR\text{Q}}}$: Hold Request	$\overline{\text{RD}}$: Read Strobe
$\overline{\text{INTP000}}$, $\overline{\text{INTP001}}$,	: External Interrupt Input	$\overline{\text{REFRQ}}$: Refresh Request
$\overline{\text{INTP004}}$, $\overline{\text{INTP005}}$,		$\overline{\text{RESET}}$: Reset
$\overline{\text{INTP010}}$ - $\overline{\text{INTP013}}$,		RXD0-RXD3	: Receive Data
$\overline{\text{INTP021}}$, $\overline{\text{INTP022}}$,		SCK0-SCK2	: Serial Clock
$\overline{\text{INTP050}}$, $\overline{\text{INTP051}}$,		SCL	: Serial Clock
$\overline{\text{INTP106}}$, $\overline{\text{INTP107}}$,		SDA	: Serial Data
$\overline{\text{INTP114}}$ - $\overline{\text{INTP115}}$,		$\overline{\text{SDCAS}}$: SDRAM Column Address Strobe
$\overline{\text{INTP124}}$ - $\overline{\text{INTP126}}$,		SDCKE	: SDRAM Clock Enable
$\overline{\text{INTP130}}$ - $\overline{\text{INTP134}}$,		SDCLK	: SDRAM Clock Output
$\overline{\text{INTP137}}$		$\overline{\text{SDRAS}}$: SDRAM Row Address Strobe
INTP10, INTP11,	: Timer Input	SI0-SI2	: Serial Input
INTPP00, INTPP01,		SO0-SO2	: Serial Output
INTPP10, INTPP11,		$\overline{\text{TC0-TC3}}$: Terminal Count Signal
INTPP20, INTPP21,		TCK	: Debug Clock
INTPQ0-INTPQ3		TCLR10	: Timer Clear
$\overline{\text{IORD}}$: I/O Read Strobe	TCUD10	: Timer Control Pulse Input
$\overline{\text{IOWR}}$: I/O Write Strobe	TDI	: Debug Data Input
$\overline{\text{LBE}}$: Lower Byte Enable	TDO	: Debug Data Output

TIP0-TIP3, TIQ	: Timer Trigger Input
TIUD10	: Timer Count Pulse Input
TMS	: Debug Mode Select
TO10, TOP00, TOP01,	: Timer Output
TOP10, TOP11, TOP20,	
TOP21, TOQ0-TOQ3,	
TOQT1-TOQT3,	
TOQB1-TOQB3	
$\overline{\text{TRST}}$: Debug Reset
TXD0-TXD3	: Transmit Data
$\overline{\text{UBE}}$: Upper Byte Enable
UDQM	: Upper DQ Mask Enable
$\overline{\text{UWR}}$: Upper Byte Write Strobe
V_{DD}	: Power Supply
V_{SS}	: Ground
$\overline{\text{WAIT}}$: Wait
$\overline{\text{WE}}$: Write Enable
$\overline{\text{WR}}$: Write Strobe
X1, X2	: Crystal

1.6 機能ブロック構成

1.6.1 内部ブロック図



1.6.2 内部ユニット

(1) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器(16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット), バレル・シフタ(32ビット)などの専用ハードウェアを内蔵し, 複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット(BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは, CPU内部の命令キューに取り込まれます。

BCUは, メモリ・コントローラ(MEMC), DMAコントローラ(DMAC)を制御し, 外部メモリへのアクセスやDMA転送を行います。

(a) メモリ・コントローラ(MEMC)

SRAM, 外部ROM, 外部I/O, ページROM, SDRAMのアクセス制御を行います。

(i) SRAM, 外部ROM, 外部I/Oインタフェース

SRAM, 外部ROM, 外部I/Oのアクセスに対応します。

SRAMと外部ROMインタフェースは, セパレート・バス・モードまたはマルチプレクス・バス・モードの選択ができます。

(ii) SDRAMコントローラ

$\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$, $\overline{\text{UDQM}}$, $\overline{\text{LDQM}}$ 信号の生成とSDRAMへのアクセス制御を行います。

CASレーテンシ1, 2, 3に対応しており, パースト長は1固定です。

(iii) ページROMコントローラ

ページ・アクセス機能付きROMへのアクセスに対応します。

直前のバス・サイクルとの比較を行い, 通常アクセス(オフページ)/ページ・アクセス(オンページ)のウエイト制御を行います。

(b) DMAコントローラ(DMAC)

CPUの代わりに, メモリ, I/O間でのデータの転送を行います。

アドレス・モードには, フライバイ(1サイクル転送), 2サイクル転送があります。バス・モードには, シングル転送, シングルステップ転送, ブロック転送の3種類があります。

(3) ROM

x0000000H-x003FFFFH/x0000000H-x007FFFFH番地にマッピングされる256 K/512 KバイトのマスクROMまたはフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。

(4) RAM

xFFFD000H-xFFFEFFFH/xFFFB000H-xFFFEFFFH/xFFF7000H-xFFFEFFFH番地にマッピングされる
8 K/16 K/32 KバイトのRAMです。

命令フェッチ時、データ・アクセス時にCPUから1クロックでアクセスできます。

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア、および外部からのハードウェア割り込み要求 (NMI, INTP_n) を処理します (n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137)。これらの割り込み要求は、8レベルの割り込み優先順位が指定でき、多重処理制御ができます。

(6) クロック・ジェネレータ (CG)

クロック・ジェネレータの基本動作として、PLLモードとクロック・スルー・モードの2種類を備えています。4種類 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8) のクロックを生成して、そのうちの1つをCPUの動作クロック (f_{CPU}) として供給します。

(7) タイマ/カウンタ (TMQ, TMP, TMD, TMENC)

16ビット・タイマ/イベント・カウンタQ (TMQ) を1チャンネル、16ビット・タイマ/イベント・カウンタP (TMP) を3チャンネル、16ビット・インターバル・タイマD (TMD) を4チャンネル、16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (TMENC) を1チャンネル内蔵しています。パルス間隔や周波数の計測、モータ制御用インバータ機能、プログラマブルなパルスの出力ができます。

(8) ウォッチドッグ・タイマ (WDT)

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。
インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は、オーバフローでノンマスクブル割り込み要求信号 (INTWDT) を発生します。インターバル・タイマとして使用する場合は、オーバフローでマスクブル割り込み要求信号 (INTWDTM) を発生します。

(9) シリアル・インタフェース

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA)、クロック同期式シリアル・インタフェースB (CSIB)、I²Cバス・インタフェース (I²C) を内蔵しています。このうち3チャンネルはUARTAとCSIBの切り替えが可能で、1チャンネルはUARTAとI²Cの切り換えが可能です。

UARTAは、TXD_n, RXD_n端子によりデータ転送を行います (n = 0-3)。

CSIBは、SON, SIN, SCK_n端子によりデータ転送を行います (n = 0-2)。

I²Cは、SCL, SDA端子によりデータ転送を行います。

(10) A/Dコンバータ (ADC)

8本のアナログ入力端子を持つ高速10ビットA/Dコンバータです。

(11) D/Aコンバータ (DAC)

8ビット分解能のD/Aコンバータを2チャンネル内蔵しています。R-2Rラダー方式です。

(12) ROMコレクション

マスクROMまたはフラッシュ・メモリ内のプログラムの一部を内蔵RAMのプログラムへ置き換えて実行する機能です。4箇所修正可能です。

(13) オンチップ・デバッグ機能 (DCU)

N-Wire型エミュレータを介したオンチップ・デバッグ機能を内蔵しています。

(14) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
ポート0	6ビット入出力	タイマ/カウンタ入出力, 外部割り込み入力, DMAコントローラ入力, デバッグ入力
ポート1	6ビット入出力	タイマ/カウンタ入出力, 外部割り込み入力
ポート2	1ビット入力, 6ビット入出力	NMI入力, タイマ/カウンタ入出力, 外部割り込み入力, DMAコントローラ出力, デバッグ入出力
ポート3	6ビット入出力	シリアル・インタフェース入出力, 外部割り込み入力, A/Dコンバータ外部トリガ入力
ポート4	6ビット入出力	シリアル・インタフェース入出力
ポート5	2ビット入出力	タイマ/カウンタ入出力, 外部割り込み入力
ポート7	8ビット入力	A/Dコンバータ入力
ポート8	2ビット入力	D/Aコンバータ出力
ポートAL	16ビット入出力	外部アドレス・バス
ポートAH	10ビット入出力	外部アドレス・バス
ポートDL	16ビット入出力	外部アドレス/データ・バス
ポートCS	8ビット入出力	外部バス・インタフェース制御信号出力
ポートCT	6ビット入出力	外部バス・インタフェース制御信号出力
ポートCM	5ビット入出力	ウェイト挿入信号入力, 外部バス・インタフェース制御信号入出力
ポートCD	4ビット入出力	外部バス・インタフェース制御信号出力
ポートBD	4ビット入出力	DMAコントローラ出力

第2章 端子機能

V850E/MA3の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

2.1 端子機能一覧

(1) ポート端子

(1/4)

端子名称	ピン番号		入出力	機 能	兼用端子
	GJ	F1			
P00	19	G2	入出力	ポート0 6ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能	TOP00/ $\overline{\text{INTP000}}$ /EVTP0/TIP0/ $\overline{\text{INTPP00}}$
P01	18	G1			TOP01/ $\overline{\text{INTP001}}$ / $\overline{\text{INTPP01}}$
P04	33	M3			$\overline{\text{DMARQ0}}$ / $\overline{\text{INTP11}}$ / $\overline{\text{TCLR10}}$ / $\overline{\text{INTP004}}$
P05	34	M2			$\overline{\text{DMARQ1}}$ / $\overline{\text{TCUD10}}$ / $\overline{\text{INTP10}}$ / $\overline{\text{INTP005}}$
P06	35	L3			$\overline{\text{DMARQ2}}$ / $\overline{\text{TMS}}$ / $\overline{\text{INTP106}}$
P07	36	N2			$\overline{\text{DMARQ3}}$ / $\overline{\text{TCK}}$ / $\overline{\text{INTP107}}$
P10	27	J3			入出力
P11	26	K1	TOQT1/ $\overline{\text{INTP011}}$ / $\overline{\text{INTPQ1}}$ /TOQ1		
P12	25	J2	TOQT2/ $\overline{\text{INTP012}}$ / $\overline{\text{INTPQ2}}$ /TOQ2		
P13	22	H3	TOQT3/ $\overline{\text{INTP013}}$ / $\overline{\text{INTPQ3}}$ /TOQ3		
P14	21	H2	TOQB2/ $\overline{\text{INTP114}}$ /TIQ		
P15	20	H1	TOQB3/ $\overline{\text{INTP115}}$ /EVTQ		
P20	84	J14	入力	ポート2	
P21	44	P4	入出力	P20は入力専用ポート 有効エッジが入力されると、NMI入力として動作します。 また、P2レジスタのビット0でNMI入力の状態を示します。 P21, P22, P24-P27は6ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能	TOP10/ $\overline{\text{INTP10}}$ /EVTP1/TIP1/ $\overline{\text{INTP021}}$
P22	43	L5			TOP11/ $\overline{\text{INTP11}}$ / $\overline{\text{INTP022}}$
P24	31	K3			$\overline{\text{TC0}}$ / $\overline{\text{INTP124}}$
P25	30	L2			$\overline{\text{TC1}}$ / $\overline{\text{TIUD10}}$ / $\overline{\text{TO10}}$ / $\overline{\text{INTP125}}$
P26	29	K4			$\overline{\text{TC2}}$ / $\overline{\text{TDI}}$ / $\overline{\text{INTP126}}$
P27	28	K2			$\overline{\text{TC3}}$ / $\overline{\text{TDO}}$
P30	49	N6			入出力
P31	48	M6	RXD2/ $\overline{\text{SI2}}$ / $\overline{\text{INTP131}}$		
P32	47	L6	ASCK2/ $\overline{\text{SCK2}}$ / $\overline{\text{INTP132}}$		
P33	46	N5	TXD3/ $\overline{\text{SDA}}$ / $\overline{\text{INTP133}}$		
P34	45	M5	RXD3/ $\overline{\text{SCL}}$ / $\overline{\text{INTP134}}$		
P37	83	J11	ADTRG/ $\overline{\text{INTP137}}$		

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

端子名称	ピン番号		入出力	機能	兼用端子
	GJ	F1			
P40	55	L8	入出力	ポート4 6ビット入出力ポート 1ビット単位で入力データのリード/出力データの ライトが可能	TXD0/SO0
P41	54	P7			RXD0/SI0
P42	53	N7			ASCK0/SCK0
P43	52	M7			TXD1/SO1
P44	51	P6			RXD1/SI1
P45	50	L7			ASCK1/SCK1
P50	86	J13	入出力	ポート5 2ビット入出力ポート 1ビット単位で入力データのリード/出力データの ライトが可能	TOP20/INTPP20/EVTP2/TIP2/INTP050
P51	85	J12			TOP21/INTPP21/INTP051
P70	80	K12	入力	ポート7 8ビット入力専用ポート	ANI0
P71	79	K11			ANI1
P72	78	L14			ANI2
P73	77	L13			ANI3
P74	76	L12			ANI4
P75	75	M13			ANI5
P76	74	M12			ANI6
P77	73	L11			ANI7
P80	69	P13	入力	ポート8 2ビット入力専用ポート	ANO0
P81	68	N11			ANO1
PAL0	143	B3	入出力	ポートAL 8/16ビット入出力ポート 1ビット単位で入力データのリード/出力データの ライトが可能	A0
PAL1	142	C4			A1
PAL2	141	A3			A2
PAL3	140	D4			A3
PAL4	139	B4			A4
PAL5	138	A4			A5
PAL6	137	D5			A6
PAL7	136	C5			A7
PAL8	133	B6			A8
PAL9	132	A6			A9
PAL10	131	D6			A10
PAL11	130	C7			A11
PAL12	129	A7			A12
PAL13	128	B7			A13
PAL14	127	D7			A14
PAL15	126	A8	A15		

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

端子名称	ピン番号		入出力	機能	兼用端子
	GJ	F1			
PAH0	123	D8	入出力	ポートAH 8/10ビット入出力ポート 1ビット単位で入力データのリード/出力データの ライトが可能	A16
PAH1	122	A9			A17
PAH2	121	B9			A18
PAH3	120	C9			A19
PAH4	119	D9			A20
PAH5	118	B10			A21
PAH6	117	C10			A22
PAH7	116	D10			A23
PAH8	115	A11			A24
PAH9	114	B11			A25
PDL0	17	G3	入出力	ポートDL 8/16ビット入出力ポート 1ビット単位で入力データのリード/出力データの ライトが可能	AD0
PDL1	16	H4			AD1
PDL2	15	F1			AD2
PDL3	14	F2			AD3
PDL4	13	F3			AD4
PDL5	12	E1			AD5
PDL6	11	G4			AD6
PDL7	10	E2			AD7
PDL8	7	E3			AD8
PDL9	6	C2			AD9
PDL10	5	D2			AD10
PDL11	4	E4			AD11
PDL12	3	B2			AD12
PDL13	2	C3			AD13
PDL14	1	D3			AD14
PDL15	144	A2			AD15
PCS0	107	D12	入出力	ポートCS 8ビット入出力ポート 1ビット単位で入力データのリード/出力データの ライトが可能	$\overline{\text{CS0}}$
PCS1	106	B13			$\overline{\text{CS1}}$
PCS2	105	C13			$\overline{\text{CS2/IOWR}}$
PCS3	104	C12			$\overline{\text{CS3}}$
PCS4	103	E12			$\overline{\text{CS4}}$
PCS5	102	D13			$\overline{\text{CS5/IORD}}$
PCS6	101	E11			$\overline{\text{CS6}}$
PCS7	100	E13			$\overline{\text{CS7}}$
PCT0	97	F13	入出力	ポートCT 6ビット入出力ポート 1ビット単位で入力データのリード/出力データの ライトが可能	$\overline{\text{LBE/LWR/LDQM}}$
PCT1	96	F14			$\overline{\text{UBE/UWR/UDQM}}$
PCT4	95	F11			$\overline{\text{RD}}$
PCT5	94	G12			$\overline{\text{WR/WE}}$
PCT6	93	G14			$\overline{\text{ASTB}}$
PCT7	92	G13			$\overline{\text{BCYST}}$

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

端子名称	ピン番号		入出力	機 能	兼用端子
	GJ	F1			
PCM0	91	G11	入出力	ポートCM 5ビット入出力ポート 1ビット単位で入力データのリード / 出力データの ライトが可能	WAIT
PCM1	90	H14			BUSCLK
PCM2	89	H13			HLD \overline{AK}
PCM3	88	H12			HLD \overline{RQ}
PCM4	87	H11			REF \overline{RQ}
PCD0	111	D11	入出力	ポートCD 4ビット入出力ポート 1ビット単位で入力データのリード / 出力データの ライトが可能	SDCKE
PCD1	110	B12			SDCLK
PCD2	109	A13			SDCAS
PCD3	108	A14			SDRAS
PBD0	42	N4	入出力	ポートBD 4ビット入出力ポート 1ビット単位で入力データのリード / 出力データの ライトが可能	DMAAK0
PBD1	41	P3			DMAAK1
PBD2	40	M4			DMAAK2
PBD3	39	N3			DMAAK3

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(2) ポート以外の端子

(1/6)

端子名称	ピン番号		入出力	機能	兼用端子
	GJ	F1			
A0	143	B3	出力	外部メモリに対する26ビット・アドレス・バス	PAL0
A1	142	C4			PAL1
A2	141	A3			PAL2
A3	140	D4			PAL3
A4	139	B4			PAL4
A5	138	A4			PAL5
A6	137	D5			PAL6
A7	136	C5			PAL7
A8	133	B6			PAL8
A9	132	A6			PAL9
A10	131	D6			PAL10
A11	130	C7			PAL11
A12	129	A7			PAL12
A13	128	B7			PAL13
A14	127	D7			PAL14
A15	126	A8			PAL15
A16	123	D8			PAH0
A17	122	A9			PAH1
A18	121	B9			PAH2
A19	120	C9			PAH3
A20	119	D9			PAH4
A21	118	B10			PAH5
A22	117	C10			PAH6
A23	116	D10			PAH7
A24	115	A11			PAH8
A25	114	B11			PAH9
AD0	17	G3	入出力	外部メモリに対する16ビット・アドレス/データ・バス	PDL0
AD1	16	H4			PDL1
AD2	15	F1			PDL2
AD3	14	F2			PDL3
AD4	13	F3			PDL4
AD5	12	E1			PDL5
AD6	11	G4			PDL6
AD7	10	E2			PDL7
AD8	7	E3			PDL8
AD9	6	C2			PDL9
AD10	5	D2			PDL10
AD11	4	E4			PDL11

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

端子名称	ピン番号		入出力	機能	兼用端子
	GJ	F1			
AD12	3	B2	入出力	外部メモリに対する16ビット・アドレス/データ・バス	PDL12
AD13	2	C3			PDL13
AD14	1	D3			PDL14
AD15	144	A2			PDL15
ADTRG	83	J11	入力	A/Dコンバータ外部トリガ入力	INTP137/P37
ANI0	80	K12	入力	A/Dコンバータへのアナログ入力	P70
ANI1	79	K11			P71
ANI2	78	L14			P72
ANI3	77	L13			P73
ANI4	76	L12			P74
ANI5	75	M13			P75
ANI6	74	M12			P76
ANI7	73	L11			P77
ANO0	69	P13	出力	D/Aコンバータ用アナログ出力	P80
ANO1	68	N11			P81
ASCK0	53	N7	入力	UARTA0-UARTA2のシリアル・ポーレート・クロック入力	SCK0/P42
ASCK1	50	L7			SCK1/P45
ASCK2	47	L6			SCK2/INTP132/P32
ASTB	93	G14	出力	外部データ・バスのアドレス・ストロブ出力	PCT6
AV _{DD0}	72	L10	-	A/Dコンバータ用正電源供給 (3.3V)	-
AV _{DD1}	67	N13	-	D/Aコンバータ用正電源供給 (3.3V)	-
AV _{SS0}	71	M11	-	A/Dコンバータ用グラウンド電位	-
AV _{SS1}	70	N12	-	D/Aコンバータ用グラウンド電位	-
BCYST	92	G13	出力	バス・サイクル・スタート出力	PCT7
BUSCLK	90	H14	出力	バス・クロック出力	PCM1
CKSEL	60	M9	入力	クロック・ジェネレータの動作モード指定	-
CS ₀	107	D12	出力	チップ・セレクト出力	PCS0
CS ₁	106	B13			PCS1
CS ₂	105	C13			PCS2/IOWR
CS ₃	104	C12			PCS3
CS ₄	103	E12			PCS4
CS ₅	102	D13			PCS5/IORD
CS ₆	101	E11			PCS6
CS ₇	100	E13			PCS7
CV _{DD}	56	P9	-	OSC端子用正電源供給 (3.3V)	-
CV _{SS}	59	N10	-	OSC端子用グラウンド電位	-
DMAAK ₀	42	N4	出力	DMA転送アクノリッジ出力	PBD0
DMAAK ₁	41	P3			PBD1
DMAAK ₂	40	M4			PBD2
DMAAK ₃	39	N3			PBD3

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

端子名称	ピン番号		入出力	機 能	兼用端子
	GJ	F1			
DMARQ0	33	M3	入力	DMA転送要求入力	INTP11/TCLR10/INTP004/P04
DMARQ1	34	M2			TCUD10/INTP10/INTP005/P05
DMARQ2	35	L3			TMS/INTP106/P06
DMARQ3	36	N2			TCK/INTP107/P07
EV _{DD}	注1	注1	-	外部端子用正電源供給 (3.3 V)	-
EV _{SS}	注2	注2	-	外部端子用グラウンド電位	-
EVTP0	19	G2	入力	TMP0-TMP2の外部イベント・カウント入力	TOP00/INTP000/TIP0/INTPP00/P00
EVTP1	44	P4			TOP10/INTPP10/TIP1/INTP021/P21
EVTP2	86	J13			TOP20/INTPP20/TIP2/INTP050/P50
EVTQ	20	H1	入力	TMQ0の外部イベント・カウント入力	TOQB3/INTP115/P15
HLDAK	89	H13	出力	バス・ホールド・アクノリッジ出力	PCM2
HLDRQ	88	H12	入力	バス・ホールド要求入力	PCM3
INTP10	34	M2	入力	TMENC10の外部キャプチャ・トリガ入力	DMARQ1/TCUD10/INTP005/P05
INTP11	33	M3			DMARQ0/TCLR10/INTP004/P04
INTP000	19	G2	入力	外部マスカブル割り込み要求入力	TOP00/EVTP0/TIP0/INTPP00/P00
INTP001	18	G1			TOP01/INTPP01/P01
INTP004	33	M3			DMARQ0/INTP11/TCLR10/P04
INTP005	34	M2			DMARQ1/TCUD10/INTP10/P05
INTP106	35	L3			DMARQ2/TMS/P06
INTP107	36	N2			DMARQ3/TCK/P07
INTP010	27	J3			TOQB1/INTPQ0/TOQ0/P10
INTP011	26	K1			TOQT1/INTPQ1/TOQ1/P11
INTP012	25	J2			TOQT2/INTPQ2/TOQ2/P12
INTP013	22	H3			TOQT3/INTPQ3/TOQ3/P13
INTP114	21	H2			TOQB2/TIQ/P14
INTP115	20	H1			TOQB3/EVTQ/P15
INTP021	44	P4			TOP10/INTPP10/EVTP1/TIP1/P21
INTP022	43	L5			TOP11/INTPP11/P22
INTP124	31	K3			TC0/P24
INTP125	30	L2			TC1/TIUD10/TO10/P25
INTP126	29	K4			TC2/TDI/P26
INTP130	49	N6			TXD2/SO2/P30
INTP131	48	M6			RXD2/SI2/P31
INTP132	47	L6			ASCK2/SCK2/P32

注1. GJ : 8, 37, 98, 112, 134

F1 : A12, C6, F4, F12, P1

2. GJ : 9, 38, 99, 113, 135

F1 : A1, A5, B1, B5, B14, C1, C11, C14, D1, D14, E14, L1, M1, N1, P2, P5

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

端子名称	ピン番号		入出力	機 能	兼用端子
	GJ	F1			
$\overline{\text{INTP133}}$	46	N5	入力	外部マスカブル割り込み要求入力	TXD3/SDA/P33
$\overline{\text{INTP134}}$	45	M5			RXD3/SCL/P34
$\overline{\text{INTP137}}$	83	J11			ADTRG/P37
$\overline{\text{INTP050}}$	86	J13			TOP20/INTP20/EVTP2/TIP2/P50
$\overline{\text{INTP051}}$	85	J12			TOP21/INTP21/P51
INTPP00	19	G2	入力	TMP0-TMP2の外部キャプチャ・トリガ入力	TOP00/ $\overline{\text{INTP000}}$ /EVTP0/TIP0/P00
INTPP01	18	G1			TOP01/ $\overline{\text{INTP001}}$ /P01
INTPP10	44	P4			TOP10/EVTP1/TIP1/ $\overline{\text{INTP021}}$ /P21
INTPP11	43	L5			TOP11/ $\overline{\text{INTP022}}$ /P22
INTPP20	86	J13			TOP20/EVTP2/TIP2/ $\overline{\text{INTP050}}$ /P50
INTPP21	85	J12			TOP21/ $\overline{\text{INTP051}}$ /P51
INTPQ0	27	J3	入力	TMQ0の外部キャプチャ・トリガ入力	TOQB1/ $\overline{\text{INTP010}}$ /TOQ0/P10
INTPQ1	26	K1			TOQT1/ $\overline{\text{INTP011}}$ /TOQ1/P11
INTPQ2	25	J2			TOQT2/ $\overline{\text{INTP012}}$ /TOQ2/P12
INTPQ3	22	H3			TOQT3/ $\overline{\text{INTP013}}$ /TOQ3/P13
$\overline{\text{IORD}}$	102	D13	出力	I/Oリード・ストロブ出力	PCS5/ $\overline{\text{CS5}}$
$\overline{\text{IOWR}}$	105	C13	出力	I/Oライト・ストロブ出力	PCS2/ $\overline{\text{CS2}}$
$\overline{\text{LBE}}$	97	F13	出力	外部データ・バスのバイト・イネーブル出力(D0-D7)	PCT0/ $\overline{\text{LWR}}$ / $\overline{\text{LDQM}}$
$\overline{\text{LDQM}}$	97	F13	出力	SDRAM用入出力マスク信号出力(D0-D7)	PCT0/ $\overline{\text{LBE}}$ / $\overline{\text{LWR}}$
$\overline{\text{LWR}}$	97	F13	出力	外部データ・バスのライト・ストロブ出力(D0-D7)	PCT0/ $\overline{\text{LBE}}$ / $\overline{\text{LDQM}}$
MODE0	64	L9	入力	動作モードを指定	-
MODE1	65	M10			-
NMI	84	J14	入力	ノンマスカブル割り込み要求入力	P20
PSEL	61	P8	入力	PLLモード時の入力周波数選択信号入力	-
$\overline{\text{RD}}$	95	F11	出力	外部データ・バスのリード・ストロブ出力	PCT4
$\overline{\text{REFRQ}}$	87	H11	出力	SDRAM用リフレッシュ要求出力	PCM4
$\overline{\text{RESET}}$	66	P12	入力	システム・リセット入力	-
RXD0	54	P7	入力	UARTA0-UARTA3のシリアル受信データ入力	SI0/P41
RXD1	51	P6			SI1/P44
RXD2	48	M6			SI2/ $\overline{\text{INTP131}}$ /P31
RXD3	45	M5			SCL/ $\overline{\text{INTP134}}$ /P34
SCK0	53	N7	入出力	CSIB0-CSIB2のシリアル・クロック入出力	ASCK0/P42
SCK1	50	L7			ASCK1/P45
SCK2	47	L6			ASCK2/ $\overline{\text{INTP132}}$ /P32
SCL	45	M5	入出力	I ² Cのシリアル・クロック入出力	RXD3/ $\overline{\text{INTP134}}$ /P34
SDA	46	N5	入出力	I ² Cのデータ入出力	TXD3/ $\overline{\text{INTP133}}$ /P33
$\overline{\text{SDCAS}}$	109	A13	出力	SDRAM用カラム・アドレス・ストロブ出力	PCD2
SDCKE	111	D11	出力	SDRAM用クロック・イネーブル出力	PCD0
SDCLK	110	B12	出力	SDRAM用クロック出力	PCD1

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

端子名称	ピン番号		入出力	機能	兼用端子
	GJ	F1			
SDRAS	108	A14	出力	SDRAM用口ウ・アドレス・ストロブ出力	PCD3
SI0	54	P7	入力	CSIB0-CSIB2のシリアル受信データ入力	RXD0/P41
SI1	51	P6			RXD1/P44
SI2	48	M6			RXD2/INTP131/P31
SO0	55	L8	出力	CSIB0-CSIB2のシリアル送信データ出力	TXD0/P40
SO1	52	M7			TXD1/P43
SO2	49	N6			TXD2/INTP130/P30
TC0	31	K3	出力	DMA転送終了(ターミナル・カウント)出力	INTP124/P24
TC1	30	L2			TIUD10/TO10/INTP125/P25
TC2	29	K4			TDI/INTP126/P26
TC3	28	K2			TDO/P27
TCK	36	N2	入力	N-Wire型エミュレータ用デバッグ・クロック入力	DMARQ3/INTP107/P07
TCLR10	33	M3	入力	TMENC10のクリア信号入力	DMARQ0/INTP11/INTP004/P04
TCUD10	34	M2	入力	TMENC10のカウント動作切り換え信号	DMARQ1/INTP10/INTP005/P05
TDI	29	K4	入力	N-Wire型エミュレータ用デバッグ・データ入力	TC2/INTP126/P26
TDO	28	K2	出力	N-Wire型エミュレータ用デバッグ・データ出力	TC3/P27
TIP0	19	G2	入力	TMP0-TMP2の外部タイマ・トリガ入力	TOP00/INTP000/EVTP0/INTPP00/P00
TIP1	44	P4			TOP10/INTPP10/EVTP1/INTP021/P21
TIP2	86	J13			TOP20/INTPP20/EVTP2/INTP050/P50
TIQ	21	H2	入力	TMQ0の外部タイマ・トリガ入力	TOQB2/INTP114/P14
TIUD10	30	L2	入力	TMENC10の外部カウント・クロック入力	TC1/TO10/INTP125/P25
TMS	35	L3	入力	N-Wire型エミュレータ用デバッグ・モード・セレクト	DMARQ2/INTP106/P06
TO10	30	L2	出力	TMENC10のパルス信号出力	TC1/TIUD10/INTP125/P25
TOP00	19	G2	出力	TMP0-TMP2のパルス信号出力	INTP000/EVTP0/TIP0/INTPP00/P00
TOP01	18	G1			INTP001/INTPP01/P01
TOP10	44	P4			INTPP10/EVTP1/TIP1/INTP021/P21
TOP11	43	L5			INTPP11/INTP022/P22
TOP20	86	J13			INTPP20/EVTP2/TIP2/INTP050/P50
TOP21	85	J12			INTPP21/INTP051/P51
TOQ0	27	J3	出力	TMQ0のパルス信号出力	TOQB1/INTP010/INTPQ0/P10
TOQ1	26	K1			TOQT1/INTP011/INTPQ1/P11
TOQ2	25	J2			TOQT2/INTP012/INTPQ2/P12
TOQ3	22	H3			TOQT3/INTP013/INTPQ3/P13

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

端子名称	ピン番号		入出力	機能	兼用端子
	GJ	F1			
TOQB1	27	J3	出力	6相PWM用パルス信号出力	INTP010/INTPQ0/TOQ0/P10
TOQB2	21	H2			INTP114/TIQ/P14
TOQB3	20	H1			INTP115/EVTQ/P15
TOQT1	26	K1			INTP011/INTPQ1/TOQ1/P11
TOQT2	25	J2			INTP012/INTPQ2/TOQ2/P12
TOQT3	22	H3			INTP013/INTPQ3/TOQ3/P13
TRST	32	L4			入力
TXD0	55	L8	出力	UARTA0-UARTA3のシリアル送信データ出力	SO0/P40
TXD1	52	M7			SO1/P43
TXD2	49	N6			SO2/INTP130/P30
TXD3	46	N5			SDA/INTP133/P33
UBE	96	F14	出力	外部データ・バスのバイト・イネーブル出力 (D8-D15)	PCT1/ŪWR/UDQM
UDQM	96	F14	出力	SDRAM用入出力マスク信号出力 (D8-D15)	PCT1/UBE/ŪWR
ŪWR	96	F14	出力	外部データ・バスのライト・ストロープ出力 (D8-D15)	PCT1/UBE/UDQM
V _{DD}	注1	注1	-	内部ユニット用正電源供給 (2.5 V)	-
V _{SS}	注2	注2	-	内部ユニット用グランド電位	-
WAIT	91	G11	入力	外部ウエイト要求入力	PCM0
WE	94	G12	出力	SDRAM用ライト・イネーブル出力	PCT5/WR
WR	94	G12	出力	外部データ・バスのライト・ストロープ出力	PCT5/WE
X1	58	P10	入力	システム・クロック発振用クリスタル接続 / 外部クロック入力 (X2は外部クロック入力時オープン)	-
X2	57	N9	-		-

注1. GJ : 23, 62, 81, 124

F1 : C8, J1, K14, M8

2. GJ : 24, 63, 82, 125

F1 : B8, J4, K13, N8

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

2.2 端子状態

リセット時，パワー・セーブ・モード（HALT，IDLE，ソフトウェアSTOPモード）時，DMA転送時，リフレッシュ時，バス・ホールド（TH）時での各端子の状態を次に示します。

端子	動作状態	リセット (シングルチップ・ モード)	IDLEモード/ ソフトウェア STOPモード	HALTモード/ DMA転送中/ リフレッシュ	バス・ホールド (TH) ^{注2}
A0-A15 (PAL0-PAL15)		Hi-Z	Hi-Z	動作	Hi-Z
A16-A25 (PAH0-PAH9)		Hi-Z	Hi-Z	動作	Hi-Z
AD0-AD15 (PDL0-PDL15)		Hi-Z	Hi-Z	動作	Hi-Z
CS0-CS7 (PCS0-PCS7)		Hi-Z	SELF	動作	Hi-Z
IOWR (PCS2)		-	H	動作	Hi-Z
IORD (PCS5)		-	H	動作	Hi-Z
LWR, UWR (PCT0, PCT1)		Hi-Z	H	動作	Hi-Z
LBE, UBE (PCT0, PCT1)		-	H	動作	Hi-Z
LDQM, UDQM (PCT0, PCT1)		-	H	動作	Hi-Z
RD (PCT4)		Hi-Z	H	動作	Hi-Z
WR (PCT5)		Hi-Z	H	動作	Hi-Z
WE (PCT5)		-	H	動作	Hi-Z
ASTB (PCT6)		Hi-Z	H	動作	Hi-Z
BCYST (PCT7)		Hi-Z	H	動作	Hi-Z
WAIT (PCM0)		Hi-Z	入力非サンプリング	動作	入力非サンプリング
BUSCLK (PCM1)		Hi-Z	L	動作	動作
HLDK (PCM2)		Hi-Z	H	動作	L
HLDRQ (PCM3)		Hi-Z	入力非サンプリング	動作	動作
REFRQ (PCM4)		Hi-Z	L ^{注1}	動作	動作
SDCKE (PCD0)		Hi-Z	L	動作	H
SDCLK (PCD1)		Hi-Z	L	動作	動作
SDCAS (PCD2)		Hi-Z	SELF	動作	Hi-Z
SDRAS (PCD3)		Hi-Z	SELF	動作	Hi-Z
DMAAK0-DMAAK3 (PBD0-PBD3)		Hi-Z	H	動作	H

注1. SDRAMコントローラ未使用時は，ハイ・レベル（H）

2. ポート・モードに指定した端子は，直前の状態を保持します。

備考 Hi-Z : ハイ・インピーダンス

H : ハイ・レベル出力

L : ロウ・レベル出力

SELF : SDRAMに接続している場合は，セルフ・リフレッシュ状態

2.3 端子の入出力回路タイプと未使用時の処理

抵抗を介してEV_{DD}またはEV_{SS}に接続する場合、1-10 kΩの抵抗を接続することをお勧めします。

(1/4)

端子	兼用端子名	ピン番号		入出力回路 タイプ	推奨接続方法		
		GJ	F1				
P00	TOP00/ $\overline{\text{INTP000}}$ /EVTP0/TIP0/ $\overline{\text{INTPP00}}$	19	G2	5-K	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。		
P01	TOP01/ $\overline{\text{INTP001}}$ /INTPP01	18	G1				
P04	$\overline{\text{DMARQ0}}$ / $\overline{\text{INTP11}}$ /TCLR10/ $\overline{\text{INTP004}}$	33	M3				
P05	$\overline{\text{DMARQ1}}$ /TCUD10/ $\overline{\text{INTP10}}$ / $\overline{\text{INTP005}}$	34	M2				
P06	$\overline{\text{DMARQ2}}$ /TMS/ $\overline{\text{INTP106}}$	35	L3				
P07	$\overline{\text{DMARQ3}}$ /TCK/ $\overline{\text{INTP107}}$	36	N2				
P10	TOQB1/ $\overline{\text{INTP010}}$ / $\overline{\text{INTPQ0}}$ /TOQ0	27	J3				
P11	TOQT1/ $\overline{\text{INTP011}}$ / $\overline{\text{INTPQ1}}$ /TOQ1	26	K1				
P12	TOQT2/ $\overline{\text{INTP012}}$ / $\overline{\text{INTPQ2}}$ /TOQ2	25	J2				
P13	TOQT3/ $\overline{\text{INTP013}}$ / $\overline{\text{INTPQ3}}$ /TOQ3	22	H3				
P14	TOQB2/ $\overline{\text{INTP114}}$ /TIQ	21	H2				
P15	TOQB3/ $\overline{\text{INTP115}}$ /EVTQ	20	H1				
P20	NMI	84	J14			2	個別に抵抗を介してEV _{SS} に接続してください。
P21	TOP10/ $\overline{\text{INTPP10}}$ /EVTP1/TIP1/ $\overline{\text{INTP021}}$	44	P4			5-K	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。
P22	TOP11/ $\overline{\text{INTPP11}}$ / $\overline{\text{INTP022}}$	43	L5				
P24	$\overline{\text{TC0}}$ / $\overline{\text{INTP124}}$	31	K3				
P25	$\overline{\text{TC1}}$ /TIUD10/TO10/ $\overline{\text{INTP125}}$	30	L2				
P26	$\overline{\text{TC2}}$ /TDI/ $\overline{\text{INTP126}}$	29	K4				
P27	$\overline{\text{TC3}}$ /TDO	28	K2	5			
P30	TXD2/SO2/ $\overline{\text{INTP130}}$	49	N6	5-K	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。		
P31	RXD2/SI2/ $\overline{\text{INTP131}}$	48	M6				
P32	ASCK2/SCK2/ $\overline{\text{INTP132}}$	47	L6				
P33	TXD3/SDA/ $\overline{\text{INTP133}}$	46	N5				
P34	RXD3/SCL/ $\overline{\text{INTP134}}$	45	M5				
P37	ADTRG/ $\overline{\text{INTP137}}$	83	J11				
P40	TXD0/SO0	55	L8	5	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。		
P41	RXD0/SI0	54	P7	5-K			
P42	ASCK0/SCK0	53	N7	5			
P43	TXD1/SO1	52	M7	5-K			
P44	RXD1/SI1	51	P6	5			
P45	ASCK1/SCK1	50	L7	5-K			

備考 GJ：144ピン・プラスチックLQFP（ファインピッチ）（20×20）

F1：161ピン・プラスチックFBGA（13×13）

端子	兼用端子名	ピン番号		入出力回路 タイプ	推奨接続方法
		GJ	F1		
P50	TOP20/INTPP20/EVTP2/TIP2/INTP050	86	J13	5-K	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。
P51	TOP21/INTPP21/INTP051	85	J12		
P70	ANI0	80	K12	9	個別に抵抗を介してAV _{DD0} またはAV _{SS0} に接続してください。
P71	ANI1	79	K11		
P72	ANI2	78	L14		
P73	ANI3	77	L13		
P74	ANI4	76	L12		
P75	ANI5	75	M13		
P76	ANI6	74	M12		
P77	ANI7	73	L11		
P80	ANO0	69	P13	34	個別に抵抗を介してAV _{DD1} またはAV _{SS1} に接続してください。
P81	ANO1	68	N11		
PAL0	A0	143	B3	5	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。
PAL1	A1	142	C4		
PAL2	A2	141	A3		
PAL3	A3	140	D4		
PAL4	A4	139	B4		
PAL5	A5	138	A4		
PAL6	A6	137	D5		
PAL7	A7	136	C5		
PAL8	A8	133	B6		
PAL9	A9	132	A6		
PAL10	A10	131	D6		
PAL11	A11	130	C7		
PAL12	A12	129	A7		
PAL13	A13	128	B7		
PAL14	A14	127	D7		
PAL15	A15	126	A8		
PAH0	A16	123	D8		
PAH1	A17	122	A9		
PAH2	A18	121	B9		
PAH3	A19	120	C9		
PAH4	A20	119	D9		
PAH5	A21	118	B10		
PAH6	A22	117	C10		
PAH7	A23	116	D10		
PAH8	A24	115	A11		
PAH9	A25	114	B11		

備考 GJ：144ピン・プラスチックLQFP（ファインピッチ）（20×20）

F1：161ピン・プラスチックFBGA（13×13）

端子	兼用端子名	ピン番号		入出力回路 タイプ	推奨接続方法
		GJ	F1		
PDL0	AD0	17	G3	5	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。
PDL1	AD1	16	H4		
PDL2	AD2	15	F1		
PDL3	AD3	14	F2		
PDL4	AD4	13	F3		
PDL5	AD5	12	E1		
PDL6	AD6	11	G4		
PDL7	AD7	10	E2		
PDL8	AD8	7	E3		
PDL9	AD9	6	C2		
PDL10	AD10	5	D2		
PDL11	AD11	4	E4		
PDL12	AD12	3	B2		
PDL13	AD13	2	C3		
PDL14	AD14	1	D3		
PDL15	AD15	144	A2		
PCS0	$\overline{CS0}$	107	D12		
PCS1	$\overline{CS1}$	106	B13		
PCS2	$\overline{CS2}/\overline{IOWR}$	105	C13		
PCS3	$\overline{CS3}$	104	C12		
PCS4	$\overline{CS4}$	103	E12		
PCS5	$\overline{CS5}/\overline{IORD}$	102	D13		
PCS6	$\overline{CS6}$	101	E11		
PCS7	$\overline{CS7}$	100	E13		
PCT0	$\overline{LBE}/\overline{LWR}/\overline{LDQM}$	97	F13		
PCT1	$\overline{UBE}/\overline{UWR}/\overline{UDQM}$	96	F14		
PCT4	\overline{RD}	95	F11		
PCT5	$\overline{WR}/\overline{WE}$	94	G12		
PCT6	\overline{ASTB}	93	G14		
PCT7	\overline{BCYST}	92	G13		
PCM0	\overline{WAIT}	91	G11		
PCM1	\overline{BUSCLK}	90	H14		
PCM2	\overline{HLDK}	89	H13		
PCM3	\overline{HLDRQ}	88	H12		
PCM4	\overline{REFRQ}	87	H11		
PCD0	\overline{SDCKE}	111	D11		
PCD1	\overline{SDCLK}	110	B12		
PCD2	\overline{SDCAS}	109	A13		
PCD3	\overline{SDRAS}	108	A14		

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

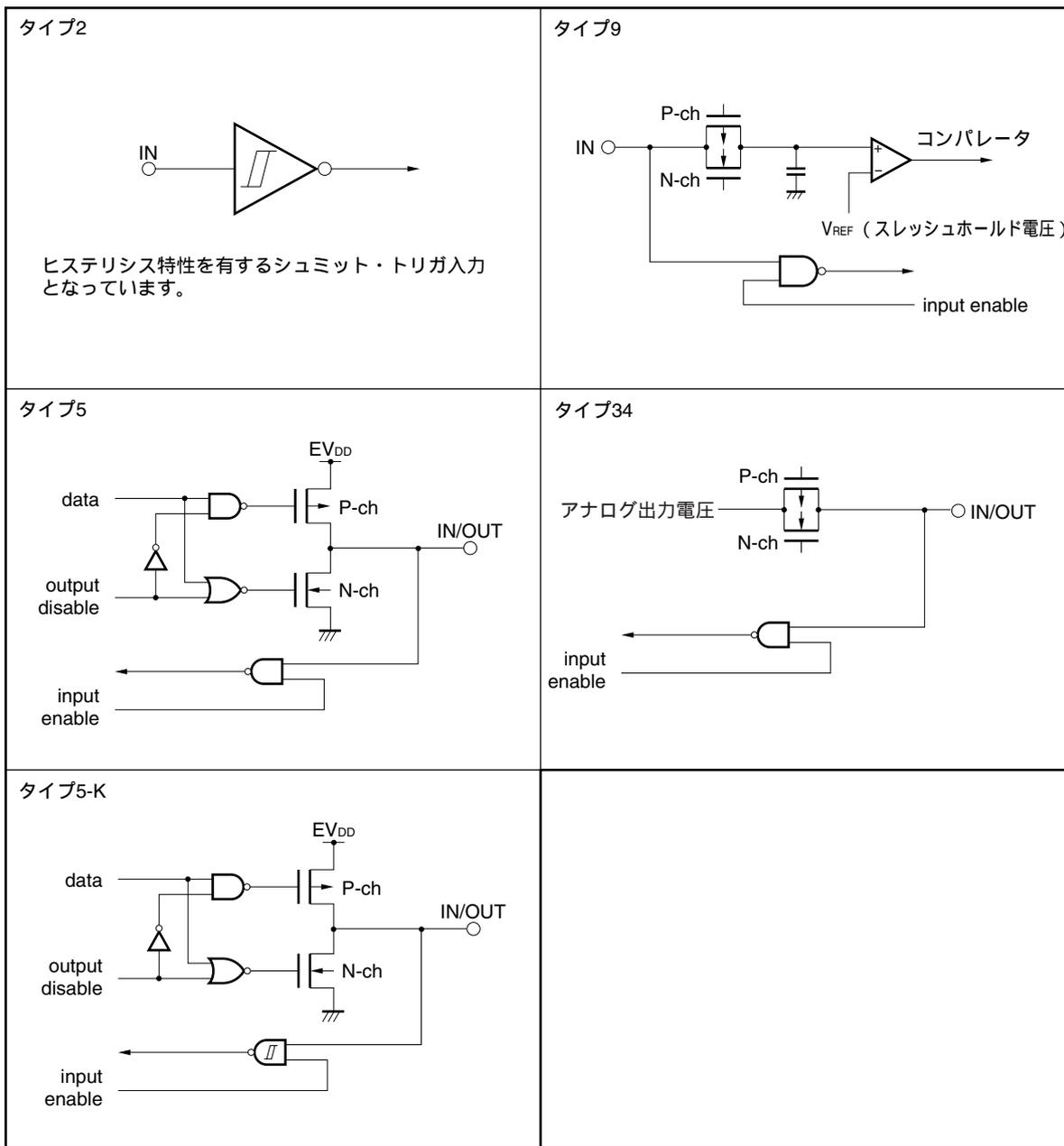
F1 : 161ピン・プラスチックFBGA (13×13)

端子	兼用端子名	ピン番号		入出力回路 タイプ	推奨接続方法
		GJ	F1		
PBD0	DMAAK0	42	N4	5	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。
PBD1	DMAAK1	41	P3		
PBD2	DMAAK2	40	M4		
PBD3	DMAAK3	39	N3		
TRST	-	32	L4	2	個別に抵抗を介してEV _{SS} に接続してください。
RESET	-	66	P12		-
MODE0	-	64	L9		-
MODE1	-	65	M10		-
PSEL	-	61	P8		-
CKSEL	-	60	M9		-
X2	-	57	N9		-

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

2.4 端子の入出力回路



注意 タイプ2, タイプ5-Kは、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

第3章 CPU機能

V850E/MA3のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間：12.5 ns（内部80 MHz動作時）

メモリ空間 プログラム空間：64 Mバイト・リニア

 データ空間 ：4 Gバイト・リニア

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

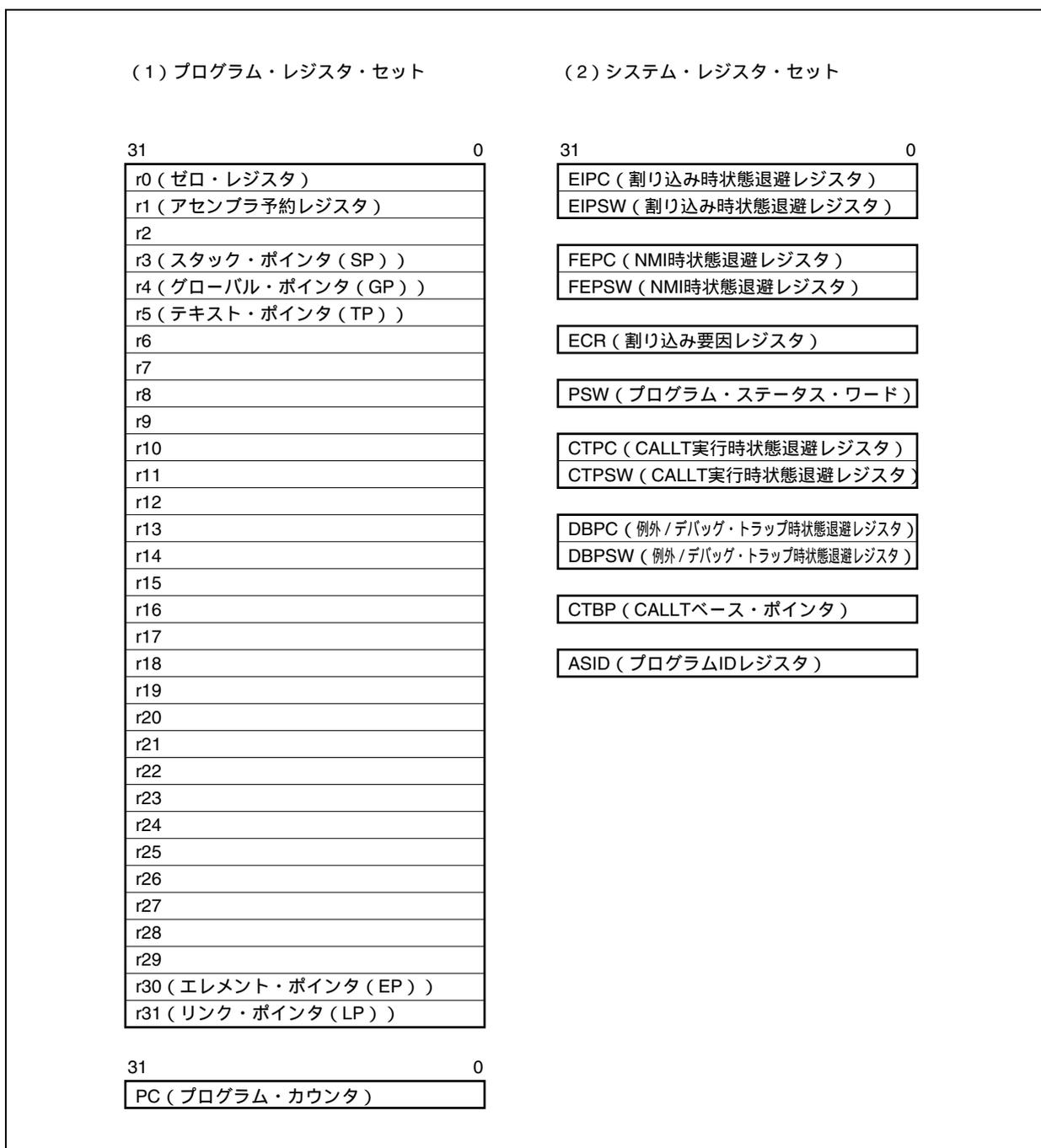
- ・ SET1
- ・ CLR1
- ・ NOT1
- ・ TST1

3.2 CPUレジスタ・セット

V850E/MA3のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1 ユーザーズ・マニュアル アーキテクチャ編を参照してください。

図3-1 CPUレジスタ・セット



3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 汎用レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21, 22	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
23	プログラムIDレジスタ (ASID)		
24-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. このレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

注意 LDSR命令によりEIPCかFEPC, またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます (PCのビット0を0固定してあるため)。EIPC, FEPC, CTPCに値を設定する場合は、偶数値 (ビット0 = 0) を設定してください。

備考 : アクセス可能

x : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

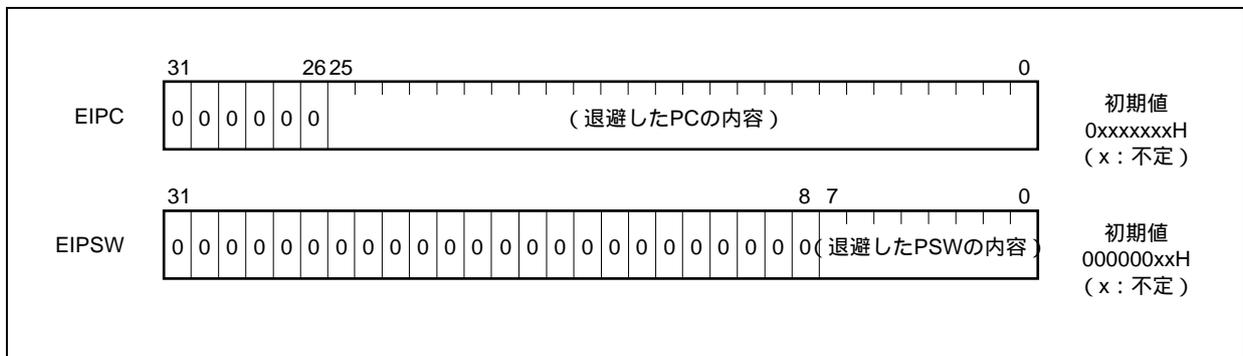
EIPCには、一部の命令 (20.9 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

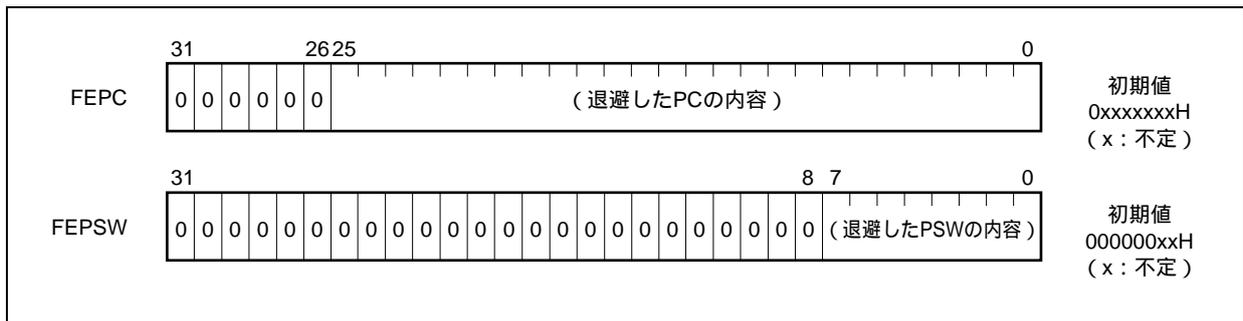
ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)



ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み許可 (EI) 1: 割り込み禁止 (DI)
4	SAT ^注	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

備考 注の説明は次ページに記載しています。

注 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)

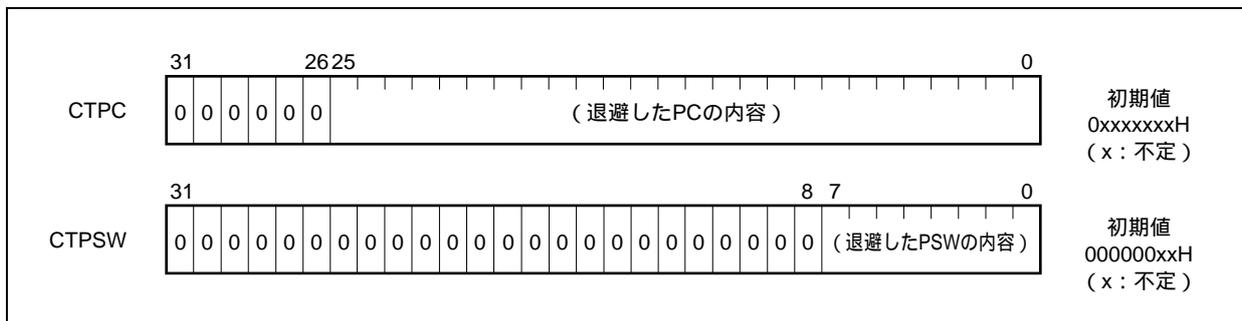
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外/デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外/デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ、またはデバッグ・トラップが発生すると、プログラム・カウンタ(PC)の内容がDBPCに、プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

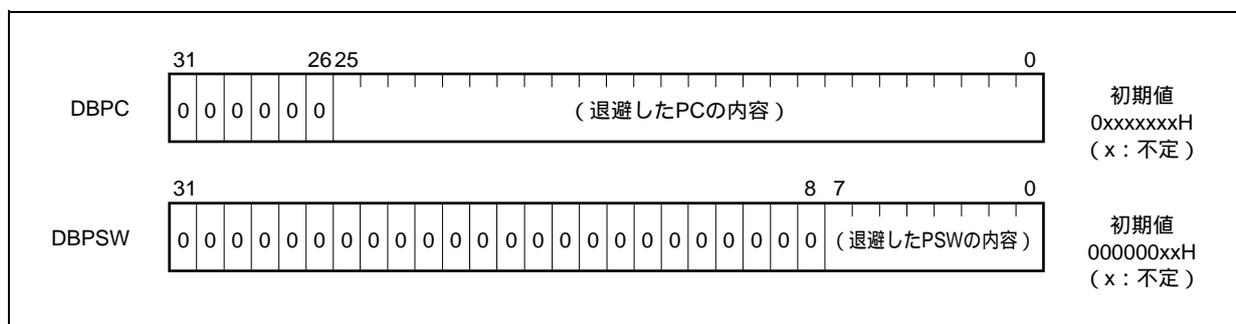
DBPCに退避される内容は、例外トラップ、またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには、現在のPSWの内容が退避されます。

このレジスタへのリード/ライトはDBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間のみ可能です。

なお、DBPCのビット31-26とDBPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。

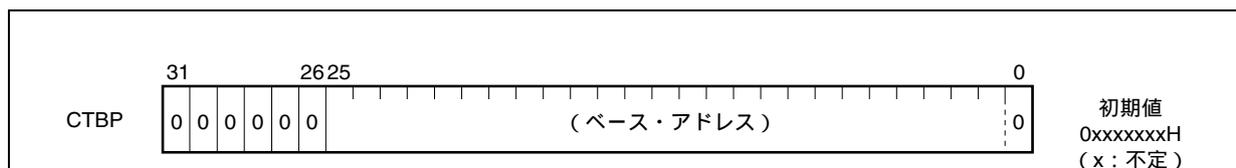
DBRET命令により、DBPCの値はPCへ、DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は、テーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお、ビット31-26は、将来の機能拡張のために予約されています(“0”に固定)。

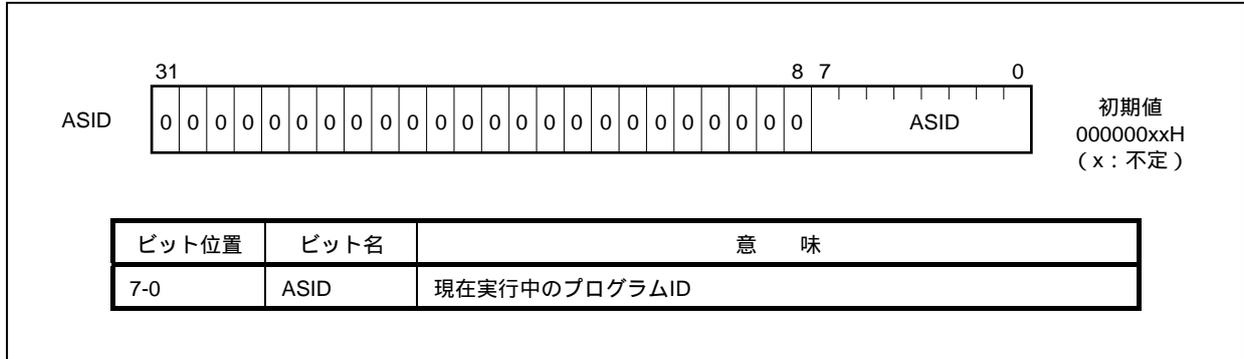


(8) プログラムIDレジスタ (ASID)

現在進行中のプログラムIDを設定します。

なお、ビット31-8は、将来の機能拡張のために予約されています(0に固定)。

注意 V850E/MA3を使用する場合、その初期化ルーチンの最初にASIDレジスタを00Hに初期化してください。



3.3 動作モード

3.3.1 動作モード

V850E/MA3は次に示す動作モードを備えます。モードの指定はMODE0, MODE1端子により行います。

(1) 通常動作モード

(a) シングルチップ・モード

内蔵ROMへのアクセスが可能になります。

シングルチップ・モードでは、システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。命令によりPMCAL, PMCAH, PMCDL, PMCCS, PMCCT, PMCCM, PMCCDレジスタを兼用機能に設定することにより、外部メモリ領域に外部デバイスを接続できます。

(2) フラッシュ・メモリ・プログラミング・モード (フラッシュ・メモリ内蔵品のみ (表1-1参照))

このモードを指定すると、フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラミングが可能になります。

3.3.2 動作モード指定

MODE0, MODE1端子の状態により、動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし、動作中に変更した場合の動作は保証しません。

MODE1	MODE0	動作モード	備考
L	L	通常動作モード (シングルチップ・モード)	内蔵ROM領域を000000Hから配置
H	L	フラッシュ・メモリ・プログラミング・モード ^注	-
上記以外		設定禁止	

注 フラッシュ・メモリ内蔵品のみ (表1-1参照)

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

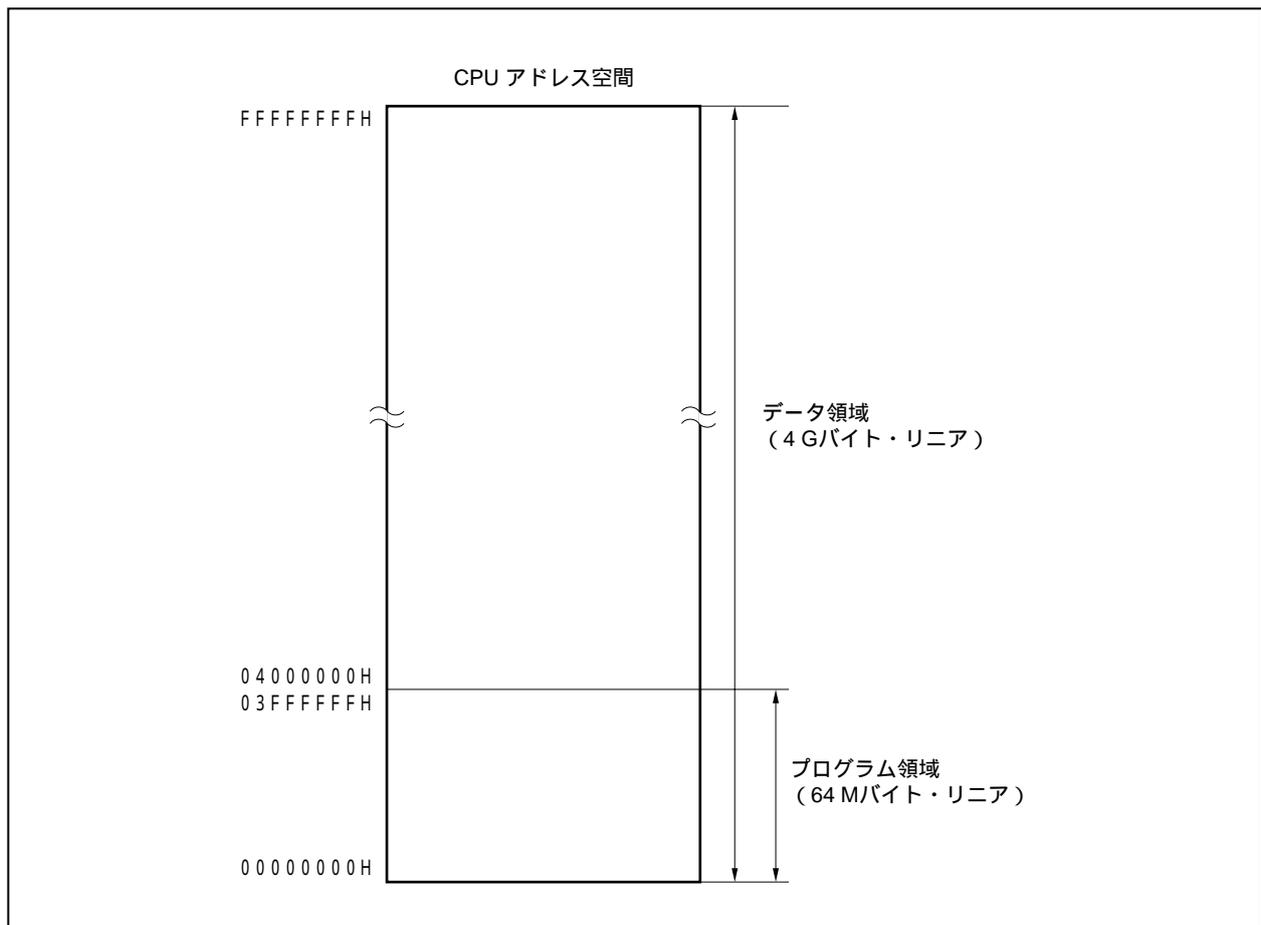
3.4 アドレス空間

3.4.1 CPUアドレス空間

V850E/MA3のCPUは、32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図3 - 2にCPUアドレス空間を示します。

図3 - 2 CPUアドレス空間

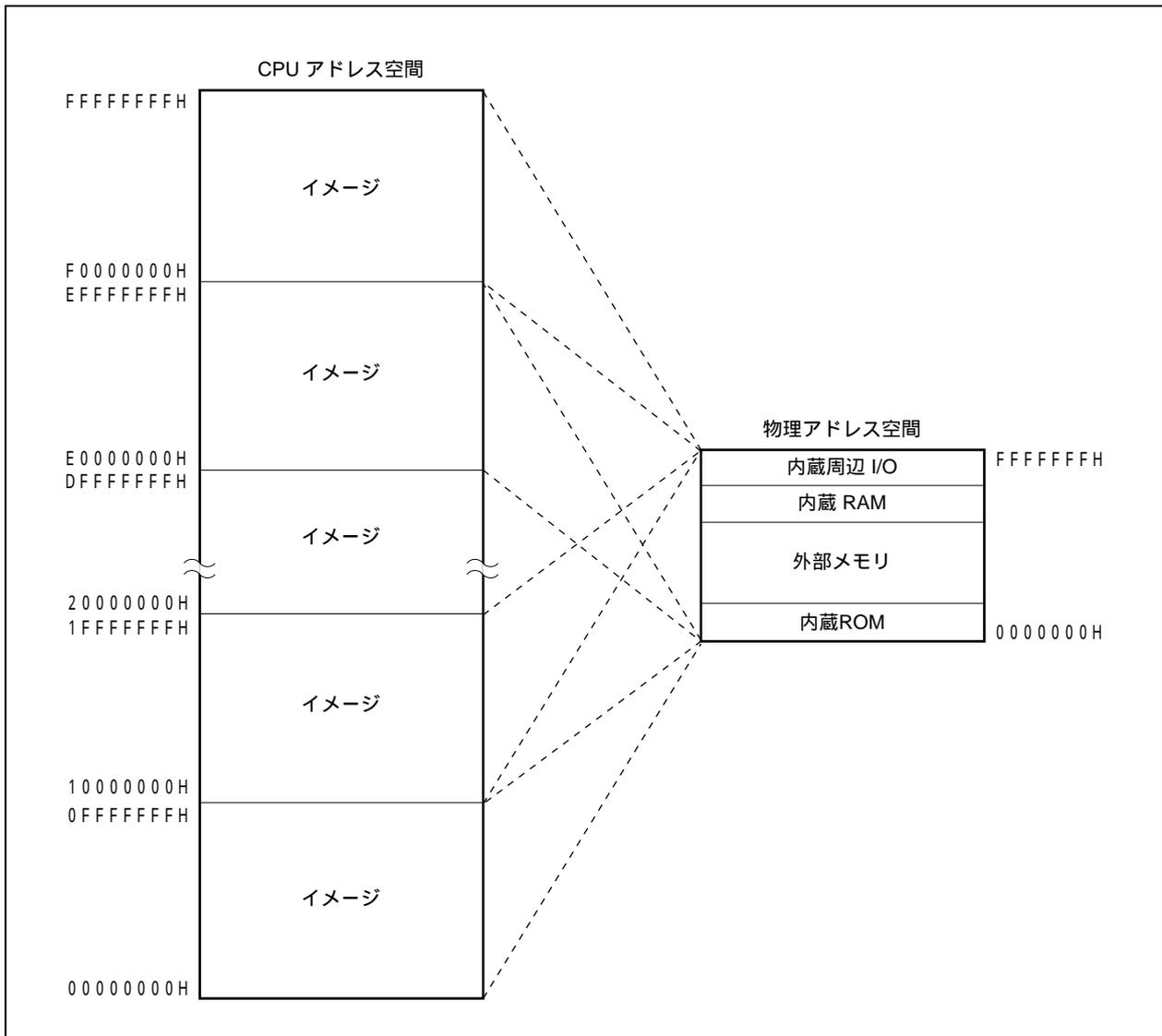


3.4.2 イメージ

4 GバイトのCPUアドレス空間には、256 Mバイトの物理アドレス空間が16個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット28がどのような値でも、同じ256 Mバイトの物理アドレス空間をアクセスします。図3 - 3にアドレス空間上のイメージを示します。

物理アドレスのx0000000H番地が、CPUアドレスの00000000H番地のほかに、10000000H番地、20000000H番地、...、E0000000H番地、F0000000H番地に見えます。

図3 - 3 アドレス空間上のイメージ



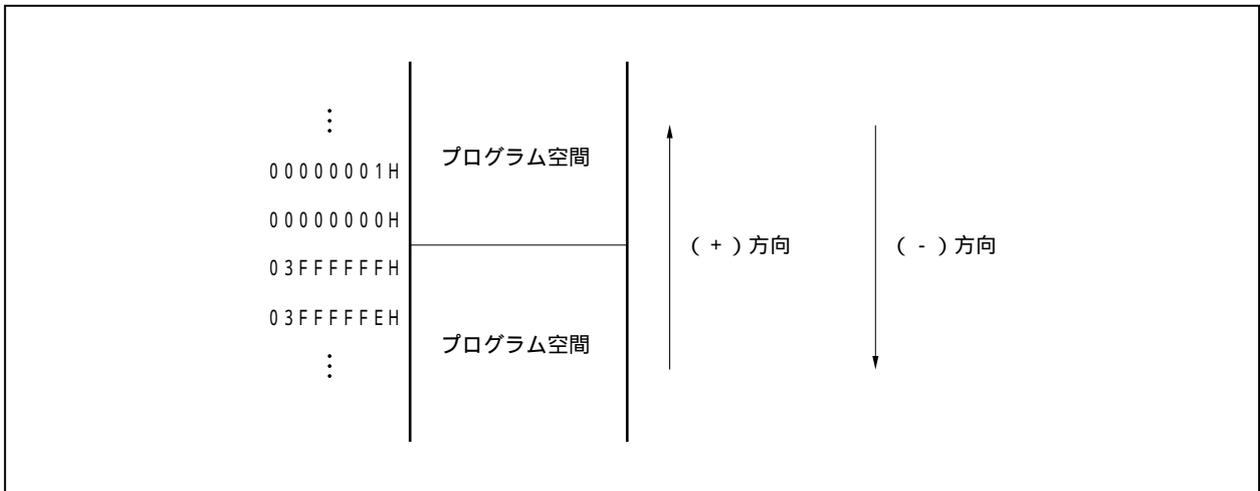
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限の03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

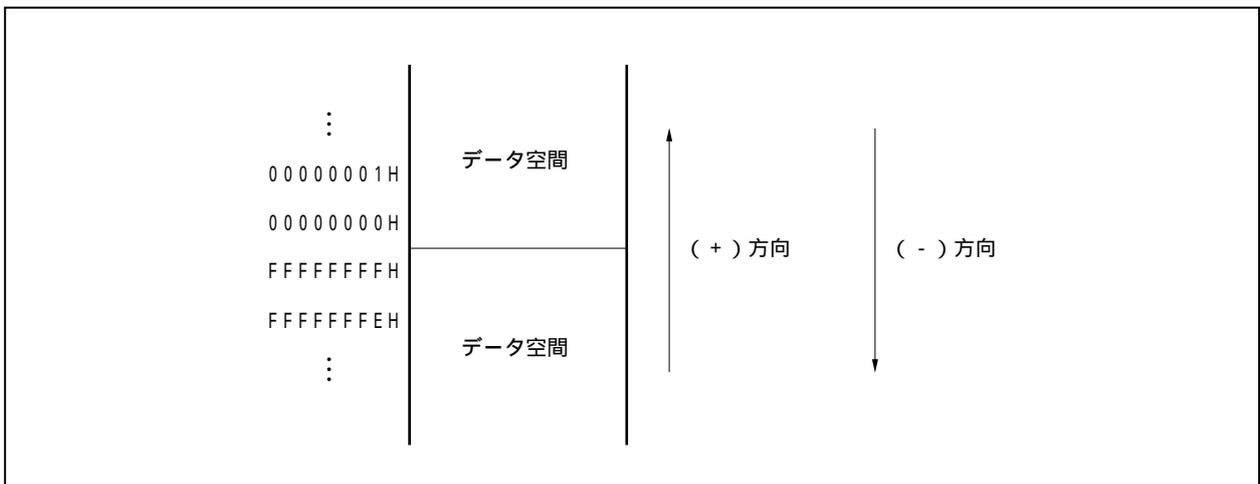
注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、0FFFFFF00H-0FFFFFFFHのイメージが見えます。この領域はアクセス禁止です。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

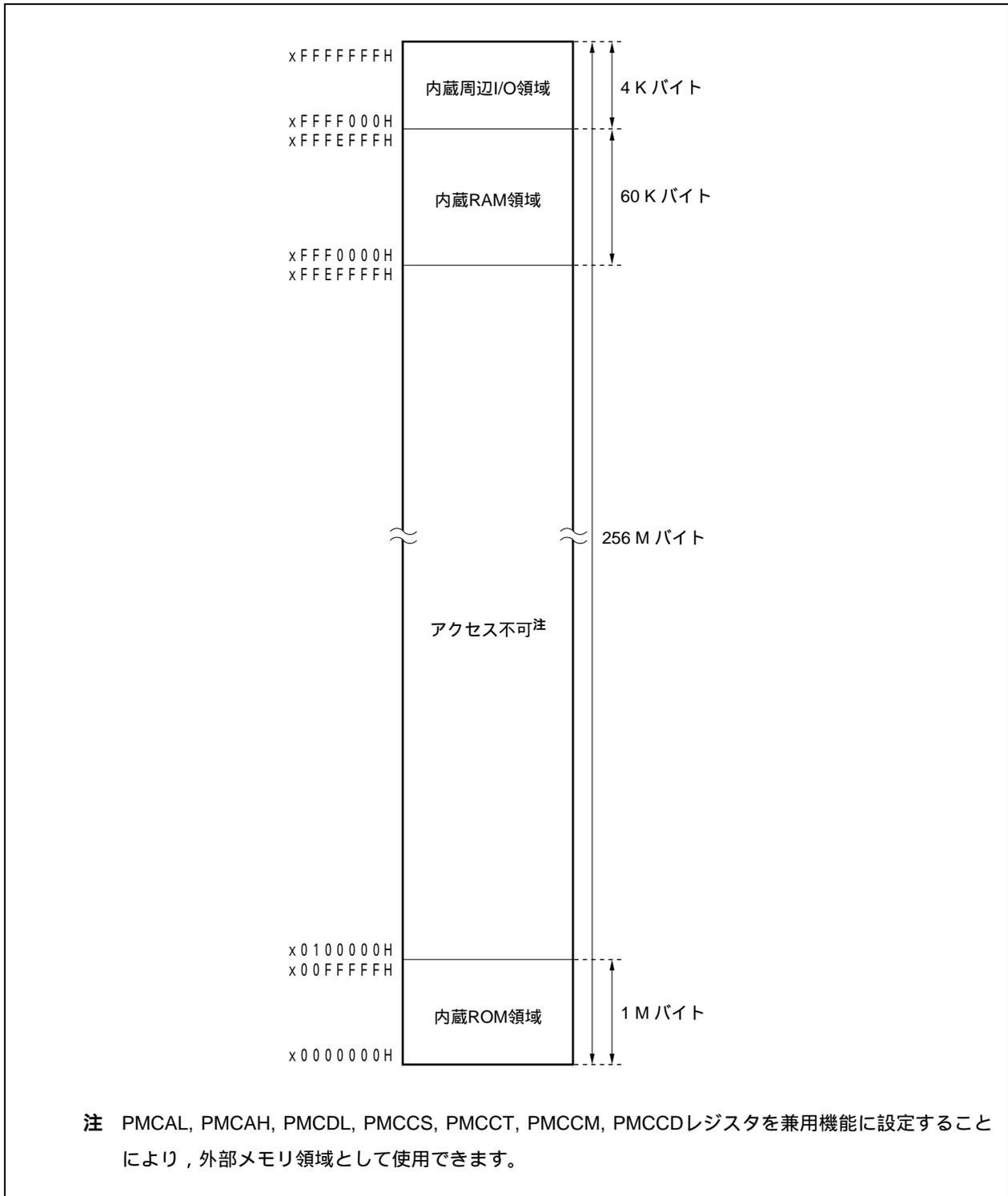
したがって、データ空間の上限のFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.4 メモリ・マップ

V850E/MA3では、図3-4に示すように各領域を予約しています。

図3-4 メモリ・マップ



3.4.5 領域

(1) 内蔵ROM領域

内蔵ROM領域は、0000000H-00FFFFFFH番地の1 Mバイトが予約されています。

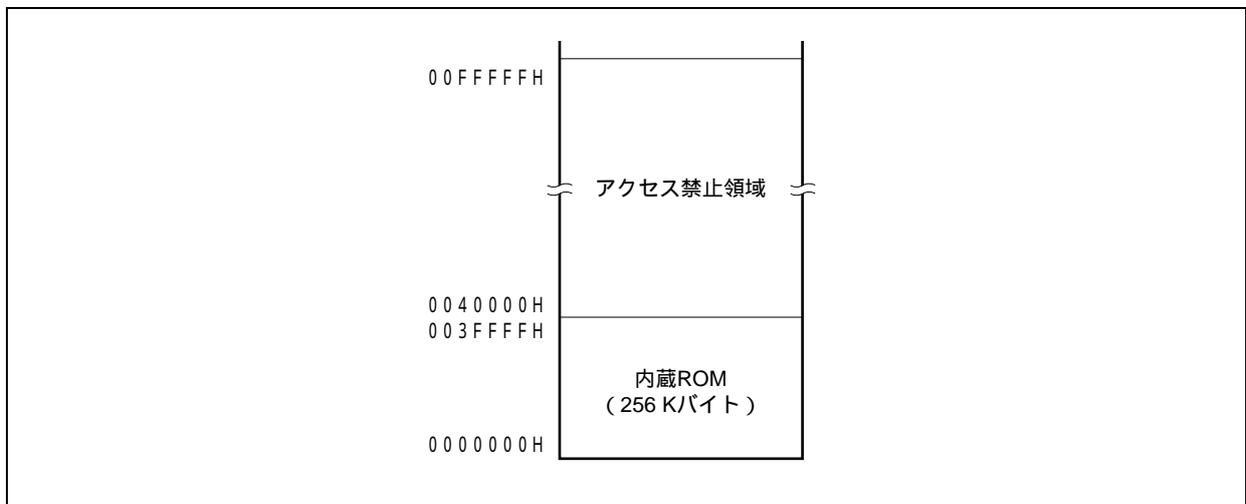
(a) 内蔵ROM (256 Kバイト)

次の製品には0000000Hから003FFFFFH番地に256 Kバイト実装しています。

0040000Hから00FFFFFFH番地はアクセス禁止領域です。

・ μ PD703131BY, 703132BY, 703136BY

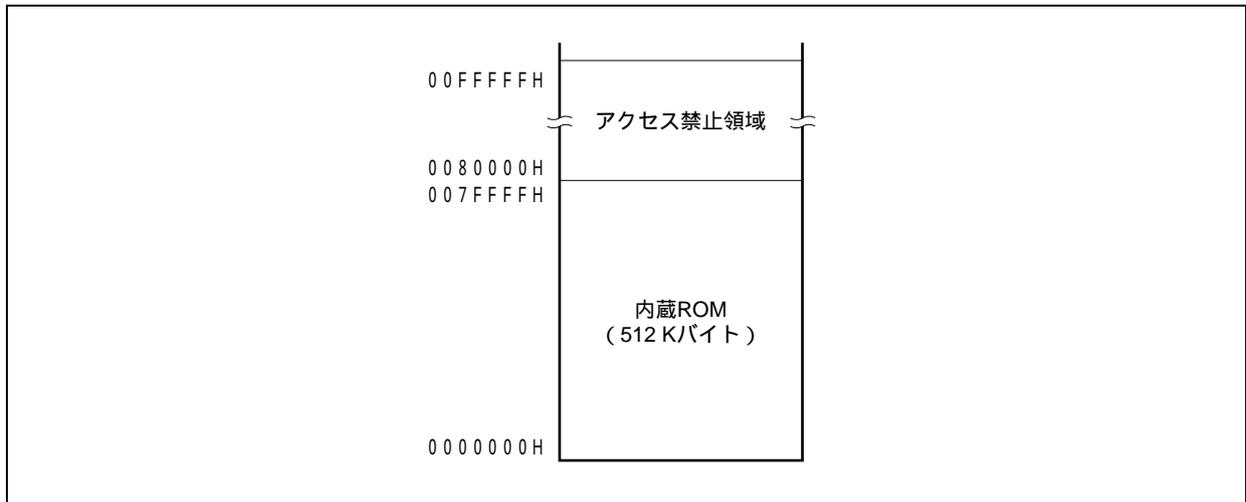
図3 - 5 内蔵ROM領域 (256 Kバイト)



(b) 内蔵ROM (512 Kバイト)

次の製品には0000000Hから007FFFFH番地に512 Kバイト実装しています。
0080000Hから00FFFFFFH番地はアクセス禁止領域です。

・ μ PD703133BY, 703134BY, 70F3134BY

図3 - 6 内蔵ROM領域 (512 Kバイト)

(2) 内蔵RAM領域

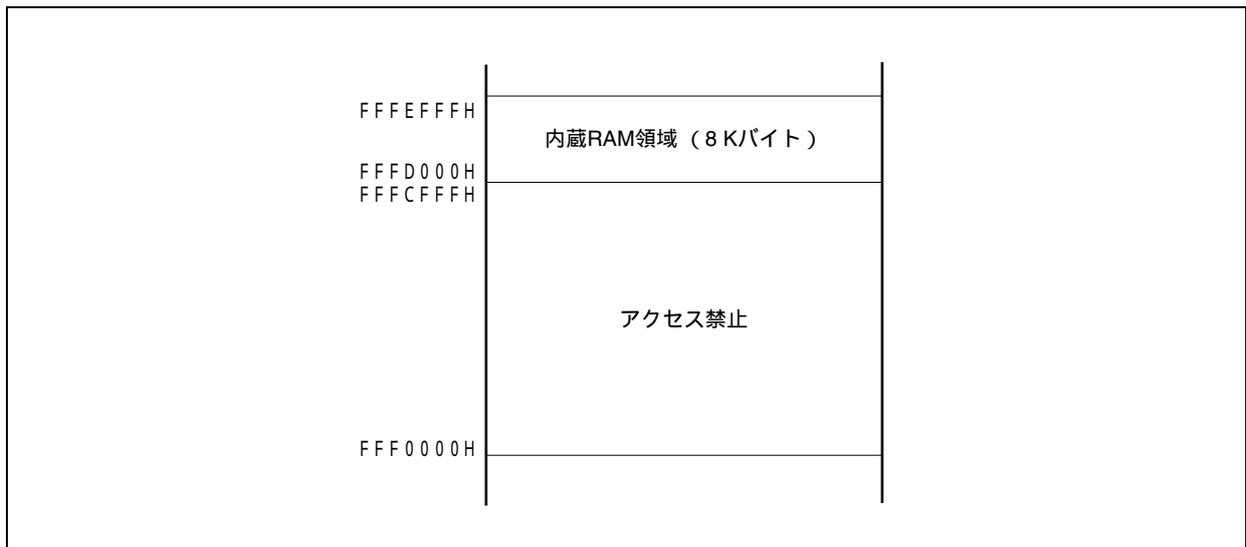
内蔵RAM領域は、FFF0000H-FFFEFFFH番地の60 Kバイトが予約されています。

(a) 内蔵RAM (8 Kバイト)

次の製品にはFFFD000HからFFFEFFFH番地に8 Kバイト実装しています。

FFF0000HからFFFCFFFH番地はアクセス禁止領域です。

・ μ PD703136BY

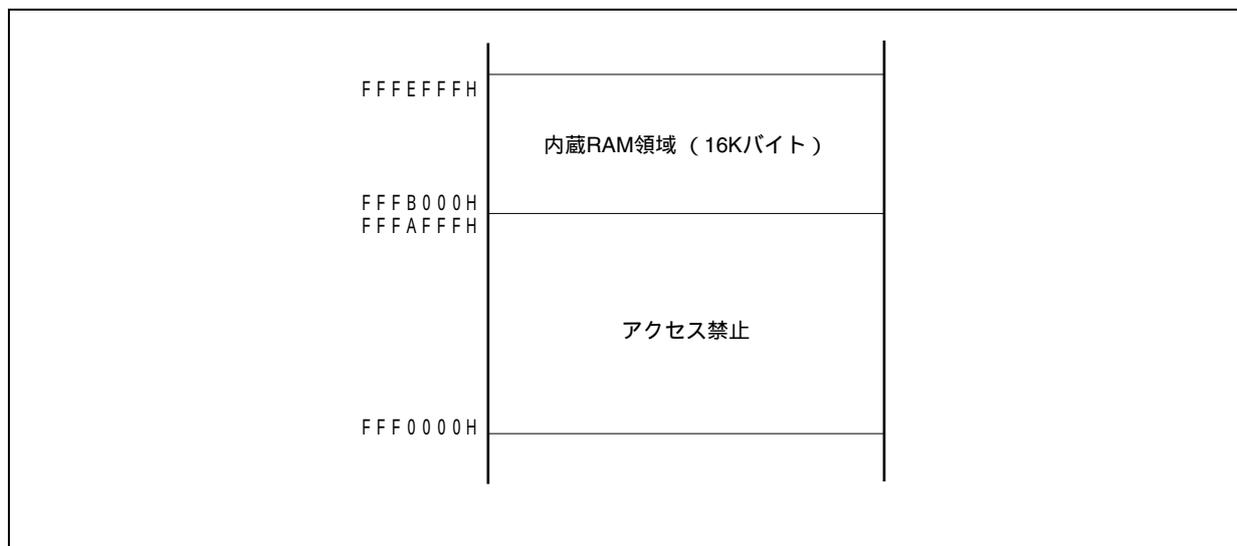
図3 - 7 内蔵RAM領域 (8 Kバイト)

(b) 内蔵RAM (16 Kバイト)

次の製品にはFFFB000HからFFFEFFFH番地に16 Kバイト実装しています。
FFF0000HからFFFAFFFH番地はアクセス禁止領域です。

・ μ PD703131BY, 703133BY

図3 - 8 内蔵RAM領域 (16 Kバイト)

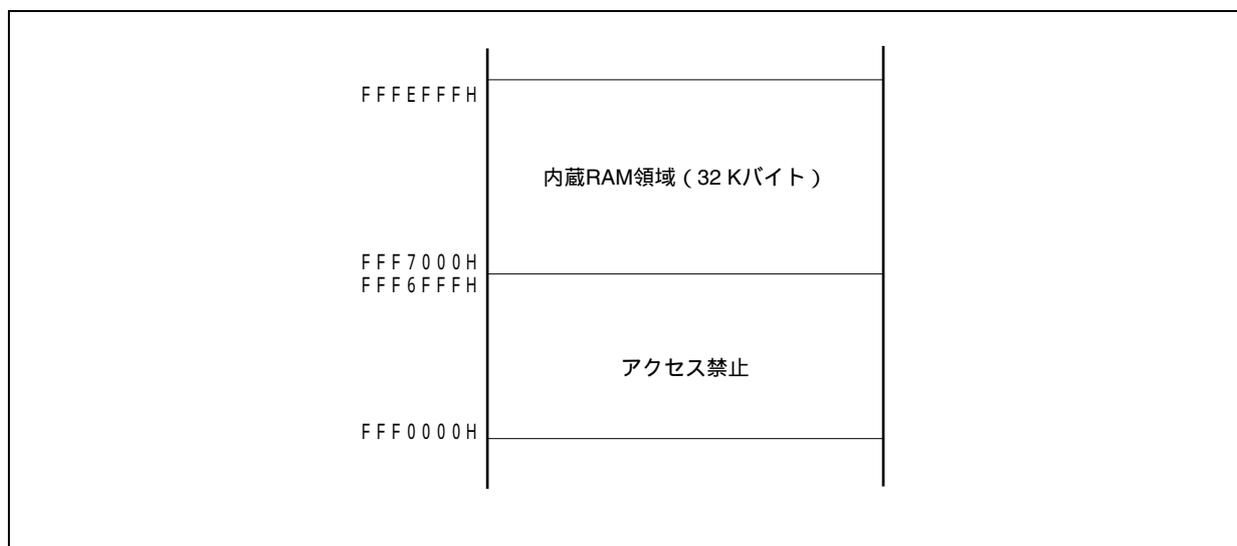


(c) 内蔵RAM (32 Kバイト)

次の製品にはFFF7000HからFFFEFFFH番地に32 Kバイト実装しています。
FFF0000HからFFF6FFFH番地はアクセス禁止領域です。

・ μ PD703132BY, 703134BY, 70F3134BY

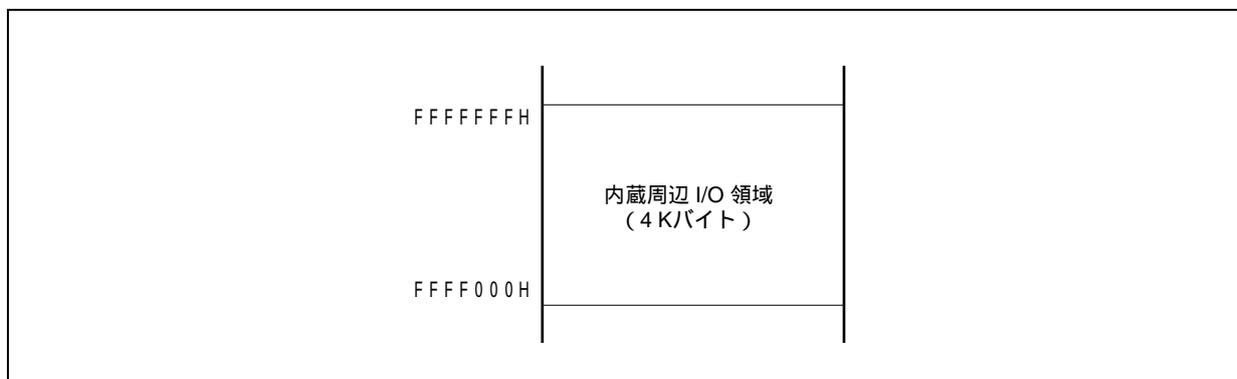
図3 - 9 内蔵RAM領域 (32 Kバイト)



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域としてFFFFFF00H-FFFFFFFH番地の4 Kバイトを実装しています。
3FFF000H-3FFFFFFFH番地[※]には、FFFFFF00H-FFFFFFFH番地のイメージが見えます。

注 3FFF000H-3FFFFFFFH番地はアクセス禁止です。内蔵周辺I/Oをアクセスするときには
FFFFFF00H-FFFFFFFH番地を指定してください。



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた内蔵周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** V850E/MA3では、レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
 3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。
転送元、転送先のアドレスには、必ずFFFFFF00H-FFFFFFFHのアドレスを指定してください。

(4) 外部メモリ領域

外部メモリ領域として256 Mバイトあります。下位64 Mバイトはプログラム/データ領域として使用できます。上位192 Mバイトはデータ領域として使用できます。

外部メモリ領域へのアクセスは、各メモリ・ブロックごとに割り当てられたチップ・セレクト信号を使用します(CSC0, CSC1レジスタで設定したCS単位で行います)。

なお、内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域に対しては、外部メモリ領域としてアクセスすることはできません。

3.4.6 外部メモリ拡張

PMCnレジスタを兼用機能に設定することにより、ポートAL, AH, DL, CS, CT, CM, CDの各端子を用いて外部メモリ空間に外部デバイスを接続することができます。各レジスタの設定は、PMCnレジスタにより、ポートAL, AH, DL, CS, CT, CM, CDの各端子を兼用機能に選択することで行います（n = AL, AH, DL, CS, CT, CM, CD）。

なお、リセット時は、内蔵ROM領域へのアクセスを行うため、ポートAL, AH, DL, CS, CT, CM, CDの各端子がポート・モードになり、外部デバイスは使用できません。

外部メモリを使用するためには、PMCnレジスタの設定を行ってください。

3.4.7 アドレス空間の推奨使用方法

V850E/MA3のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトの領域には、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

プログラム・カウンタ（PC）は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

V850E/MA3では、4 GバイトのCPUアドレス空間に256 Mバイトの物理アドレス空間が16個のイメージとして見えるため、この26ビット・アドレスの最上位ビット（ビット25）を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。

ゼロ・レジスタ (r0) はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

例 μPD703132BYの場合

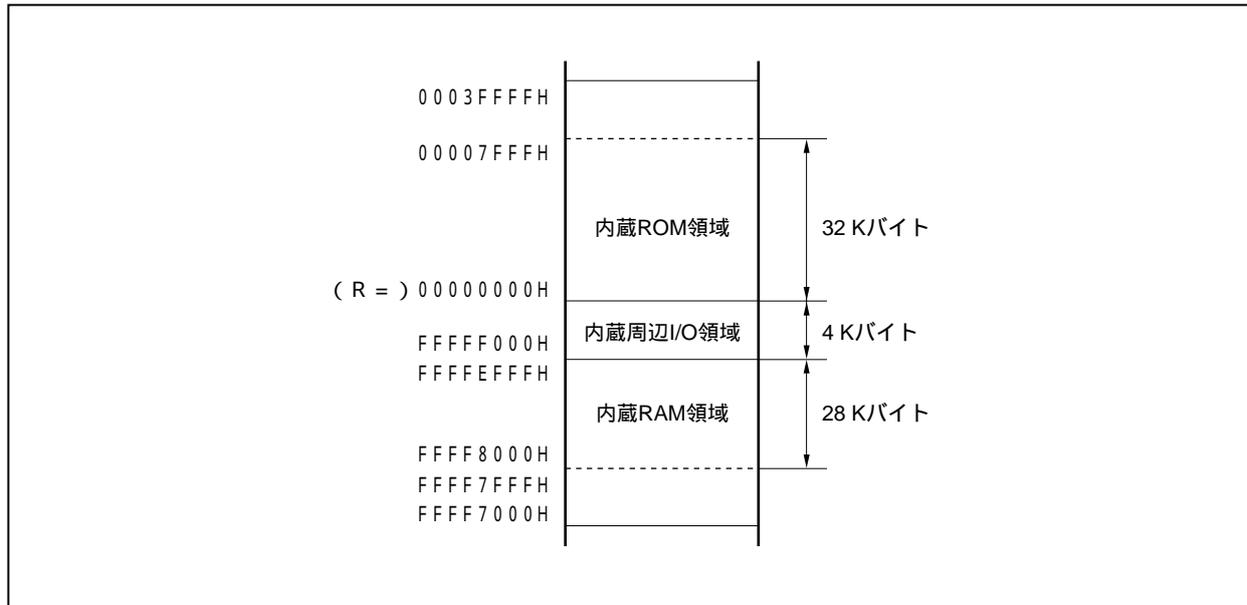
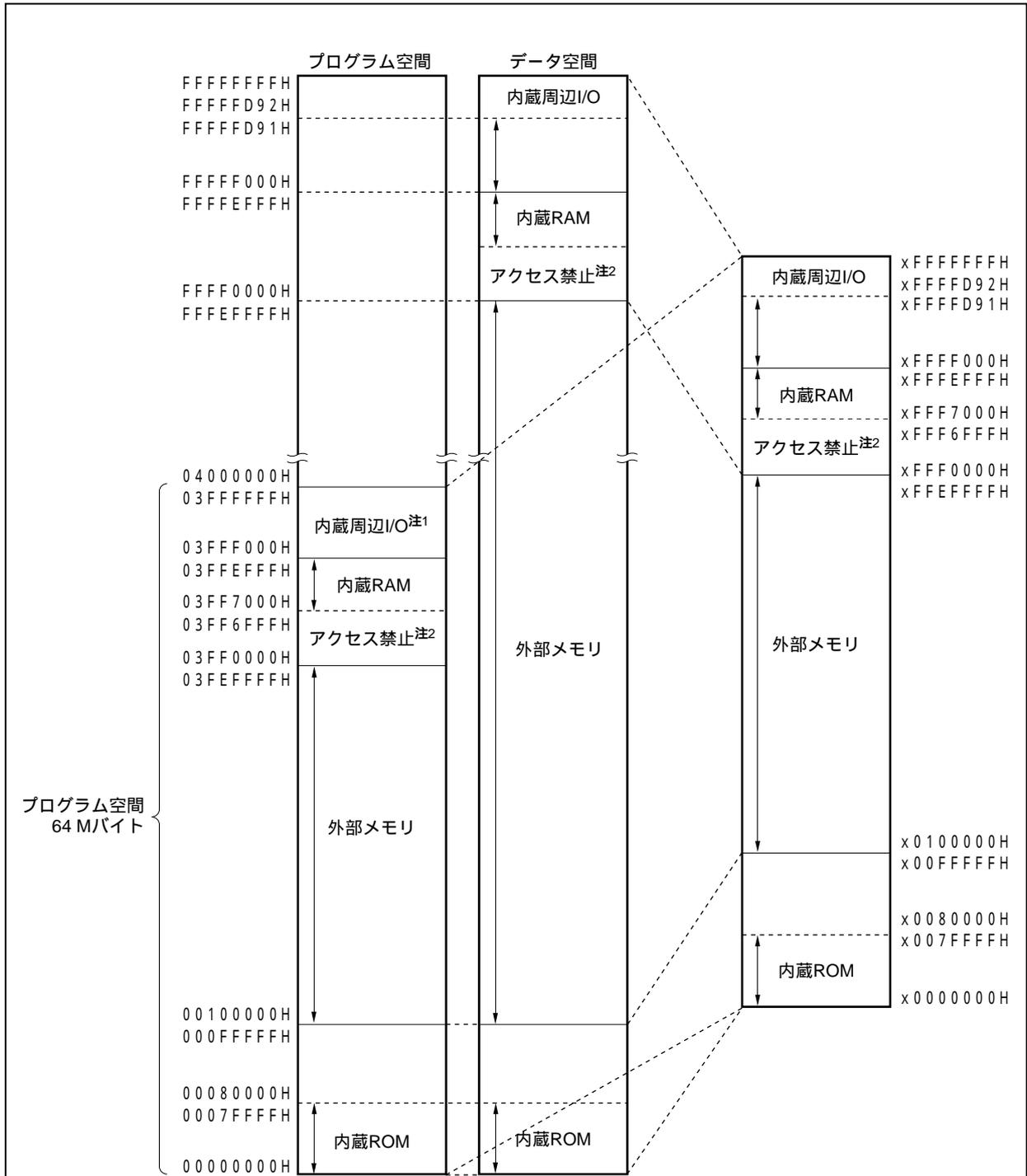


図3 - 10 推奨メモリ・マップ



注1. この領域はアクセス禁止です。内蔵周辺I/OをアクセスするときにはFFFFF000H-FFFFFFFH番地を指定してください。

2. アクセス禁止領域にアクセスした場合の動作は保証しません。

備考1. ↑ は推奨使用領域です。

2. この図は、μPD703134BYをシングルチップ・モードに設定し、外部拡張モードを使用した場合の推奨メモリ・マップです。

3.4.8 内蔵周辺I/Oレジスタ

(1/11)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF00H	ポートALレジスタ	PAL	R/W				不定
FFFFFF00H	ポートALLレジスタ	PALL	R/W				不定
FFFFFF01H	ポートALHレジスタ	PALH	R/W				不定
FFFFFF02H	ポートAHレジスタ	PAH	R/W				不定
FFFFFF02H	ポートAHLレジスタ	PAHL	R/W				不定
FFFFFF03H	ポートAHHレジスタ	PAHH	R/W				不定
FFFFFF04H	ポートDLレジスタ	PDL	R/W				不定
FFFFFF04H	ポートDLLレジスタ	PDLL	R/W				不定
FFFFFF05H	ポートDLHレジスタ	PDLH	R/W				不定
FFFFFF08H	ポートCSレジスタ	PCS	R/W				不定
FFFFFF0AH	ポートCTレジスタ	PCT	R/W				不定
FFFFFF0CH	ポートCMレジスタ	PCM	R/W				不定
FFFFFF0EH	ポートCDレジスタ	PCD	R/W				不定
FFFFFF012H	ポートBDレジスタ	PBD	R/W				不定
FFFFFF020H	ポートALモード・レジスタ	PMAL	R/W				FFFFH
FFFFFF020H	ポートALモード・レジスタL	PMALL	R/W				FFH
FFFFFF021H	ポートALモード・レジスタH	PMALH	R/W				FFH
FFFFFF022H	ポートAHモード・レジスタ	PMAH	R/W				FFFFH
FFFFFF022H	ポートAHモード・レジスタL	PMAHL	R/W				FFH
FFFFFF023H	ポートAHモード・レジスタH	PMAHH	R/W				FFH
FFFFFF024H	ポートDLモード・レジスタ	PMDL	R/W				FFFFH
FFFFFF024H	ポートDLモード・レジスタL	PMDLL	R/W				FFH
FFFFFF025H	ポートDLモード・レジスタH	PMDLH	R/W				FFH
FFFFFF028H	ポートCSモード・レジスタ	PMCS	R/W				FFH
FFFFFF02AH	ポートCTモード・レジスタ	PMCT	R/W				FFH
FFFFFF02CH	ポートCMモード・レジスタ	PMCM	R/W				FFH
FFFFFF02EH	ポートCDモード・レジスタ	PMCD	R/W				FFH
FFFFFF032H	ポートBDモード・レジスタ	PMBD	R/W				FFH
FFFFFF040H	ポートALモード・コントロール・レジスタ	PMCAL	R/W				0000H
FFFFFF040H	ポートALモード・コントロール・レジスタL	PMCALL	R/W				00H
FFFFFF041H	ポートALモード・コントロール・レジスタH	PMCALH	R/W				00H
FFFFFF042H	ポートAHモード・コントロール・レジスタ	PMCAH	R/W				0000H
FFFFFF042H	ポートAHモード・コントロール・レジスタL	PMCAHL	R/W				00H
FFFFFF043H	ポートAHモード・コントロール・レジスタH	PMCAHH	R/W				00H
FFFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL	R/W				0000H
FFFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL	R/W				00H
FFFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS	R/W				00H
FFFFFF049H	ポートCSファンクション・コントロール・レジスタ	PFCCS	R/W				00H
FFFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT	R/W				00H
FFFFFF04BH	ポートCTファンクション・コントロール・レジスタ	PFCCT	R/W				00H
FFFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM	R/W				00H
FFFFFF04EH	ポートCDモード・コントロール・レジスタ	PMCCD	R/W				00H
FFFFFF052H	ポートBDモード・コントロール・レジスタ	PMCBD	R/W				00H
FFFFFF060H	チップ・エリア選択コントロール・レジスタ0	CSC0	R/W				2C11H
FFFFFF062H	チップ・エリア選択コントロール・レジスタ1	CSC1	R/W				2C11H
FFFFFF068H	エンディアン・コンフィギュレーション・レジスタ	BEC	R/W				0000H
FFFFFF06EH	システム・ウエイト・コントロール・レジスタ	VSWC	R/W				77H
FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W				不定
FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W				不定
FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W				不定
FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W				不定
FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W				不定
FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H	R/W				不定
FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W				不定
FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W				不定
FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W				不定
FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W				不定
FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W				不定
FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W				不定
FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W				不定
FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H	R/W				不定
FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W				不定
FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W				不定
FFFFFF0C0H	DMA転送カウント・レジスタ0	DBC0	R/W				不定
FFFFFF0C2H	DMA転送カウント・レジスタ1	DBC1	R/W				不定
FFFFFF0C4H	DMA転送カウント・レジスタ2	DBC2	R/W				不定
FFFFFF0C6H	DMA転送カウント・レジスタ3	DBC3	R/W				不定
FFFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0	R/W				0000H
FFFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1	R/W				0000H
FFFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2	R/W				0000H
FFFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3	R/W				0000H
FFFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0	R/W				00H
FFFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W				00H
FFFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2	R/W				00H
FFFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF100H	割り込みマスク・レジスタ0	IMR0	R/W				FFFFH
FFFFFF100H	割り込みマスク・レジスタ0L	IMR0L	R/W				FFH
FFFFFF101H	割り込みマスク・レジスタ0H	IMR0H	R/W				FFH
FFFFFF102H	割り込みマスク・レジスタ1	IMR1	R/W				FFFFH
FFFFFF102H	割り込みマスク・レジスタ1L	IMR1L	R/W				FFH
FFFFFF103H	割り込みマスク・レジスタ1H	IMR1H	R/W				FFH
FFFFFF104H	割り込みマスク・レジスタ2	IMR2	R/W				FFFFH
FFFFFF104H	割り込みマスク・レジスタ2L	IMR2L	R/W				FFH
FFFFFF105H	割り込みマスク・レジスタ2H	IMR2H	R/W				FFH
FFFFFF106H	割り込みマスク・レジスタ3	IMR3	R/W				FFFFH
FFFFFF106H	割り込みマスク・レジスタ3L	IMR3L	R/W				FFH
FFFFFF107H	割り込みマスク・レジスタ3H	IMR3H	R/W				FFH
FFFFFF110H	割り込み制御レジスタ0	WDTIC	R/W				47H
FFFFFF112H	割り込み制御レジスタ1	P00IC0	R/W				47H
FFFFFF114H	割り込み制御レジスタ2	P00IC1	R/W				47H
FFFFFF116H	割り込み制御レジスタ3	P00IC4	R/W				47H
FFFFFF118H	割り込み制御レジスタ4	P00IC5	R/W				47H
FFFFFF11AH	割り込み制御レジスタ5	P10IC6	R/W				47H
FFFFFF11CH	割り込み制御レジスタ6	P10IC7	R/W				47H
FFFFFF11EH	割り込み制御レジスタ7	P01IC0	R/W				47H
FFFFFF120H	割り込み制御レジスタ8	P01IC1	R/W				47H
FFFFFF122H	割り込み制御レジスタ9	P01IC2	R/W				47H
FFFFFF124H	割り込み制御レジスタ10	P01IC3	R/W				47H
FFFFFF126H	割り込み制御レジスタ11	P11IC4	R/W				47H
FFFFFF128H	割り込み制御レジスタ12	P11IC5	R/W				47H
FFFFFF12AH	割り込み制御レジスタ13	P02IC1	R/W				47H
FFFFFF12CH	割り込み制御レジスタ14	P02IC2	R/W				47H
FFFFFF12EH	割り込み制御レジスタ15	P12IC4	R/W				47H
FFFFFF130H	割り込み制御レジスタ16	P12IC5	R/W				47H
FFFFFF132H	割り込み制御レジスタ17	P12IC6	R/W				47H
FFFFFF134H	割り込み制御レジスタ18	P13IC0	R/W				47H
FFFFFF136H	割り込み制御レジスタ19	P13IC1	R/W				47H
FFFFFF138H	割り込み制御レジスタ20	P13IC2	R/W				47H
FFFFFF13AH	割り込み制御レジスタ21	P13IC3	R/W				47H
FFFFFF13CH	割り込み制御レジスタ22	P13IC4	R/W				47H
FFFFFF13EH	割り込み制御レジスタ23	P13IC7	R/W				47H
FFFFFF140H	割り込み制御レジスタ24	P05IC0	R/W				47H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF142H	割り込み制御レジスタ25	P05IC1	R/W				47H
FFFFFF144H	割り込み制御レジスタ26	CMICD0	R/W				47H
FFFFFF146H	割り込み制御レジスタ27	CMICD1	R/W				47H
FFFFFF148H	割り込み制御レジスタ28	CMICD2	R/W				47H
FFFFFF14AH	割り込み制御レジスタ29	CMICD3	R/W				47H
FFFFFF14CH	割り込み制御レジスタ30	CM10IC0	R/W				47H
FFFFFF14EH	割り込み制御レジスタ31	CM10IC1	R/W				47H
FFFFFF150H	割り込み制御レジスタ32	OVPIC0	R/W				47H
FFFFFF152H	割り込み制御レジスタ33	OVQIC	R/W				47H
FFFFFF154H	割り込み制御レジスタ34	OVPIC1	R/W				47H
FFFFFF156H	割り込み制御レジスタ35	OVPIC2	R/W				47H
FFFFFF158H	割り込み制御レジスタ36	DMAIC0	R/W				47H
FFFFFF15AH	割り込み制御レジスタ37	DMAIC1	R/W				47H
FFFFFF15CH	割り込み制御レジスタ38	DMAIC2	R/W				47H
FFFFFF15EH	割り込み制御レジスタ39	DMAIC3	R/W				47H
FFFFFF160H	割り込み制御レジスタ40	SEIC0	R/W				47H
FFFFFF162H	割り込み制御レジスタ41	SRIC0	R/W				47H
FFFFFF164H	割り込み制御レジスタ42	STIC0	R/W				47H
FFFFFF166H	割り込み制御レジスタ43	SEIC1	R/W				47H
FFFFFF168H	割り込み制御レジスタ44	SRIC1	R/W				47H
FFFFFF16AH	割り込み制御レジスタ45	STIC1	R/W				47H
FFFFFF16CH	割り込み制御レジスタ46	SEIC2	R/W				47H
FFFFFF16EH	割り込み制御レジスタ47	SRIC2	R/W				47H
FFFFFF170H	割り込み制御レジスタ48	STIC2	R/W				47H
FFFFFF172H	割り込み制御レジスタ49	SEIC3	R/W				47H
FFFFFF174H	割り込み制御レジスタ50	SRIC3	R/W				47H
FFFFFF176H	割り込み制御レジスタ51	STIC3	R/W				47H
FFFFFF178H	割り込み制御レジスタ52	ADIC	R/W				47H
FFFFFF1FAH	インサース・プライオリティ・レジスタ	ISPR	R				00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFFFF200H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W				00H
FFFFFF201H	A/Dコンバータ・モード・レジスタ1	ADM1	R/W				07H
FFFFFF202H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W				02H
FFFFFF210H	A/D変換結果レジスタ0 (10BIT)	ADCR0	R				0000H
FFFFFF212H	A/D変換結果レジスタ1 (10BIT)	ADCR1	R				0000H
FFFFFF214H	A/D変換結果レジスタ2 (10BIT)	ADCR2	R				0000H
FFFFFF216H	A/D変換結果レジスタ3 (10BIT)	ADCR3	R				0000H
FFFFFF218H	A/D変換結果レジスタ4 (10BIT)	ADCR4	R				0000H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF21AH	A/D変換結果レジスタ5 (10BIT)	ADCR5	R				0000H
FFFFFF21CH	A/D変換結果レジスタ6 (10BIT)	ADCR6	R				0000H
FFFFFF21EH	A/D変換結果レジスタ7 (10BIT)	ADCR7	R				0000H
FFFFFF220H	A/D変換結果レジスタ0H (8BIT)	ADCR0H	R				00H
FFFFFF221H	A/D変換結果レジスタ1H (8BIT)	ADCR1H	R				00H
FFFFFF222H	A/D変換結果レジスタ2H (8BIT)	ADCR2H	R				00H
FFFFFF223H	A/D変換結果レジスタ3H (8BIT)	ADCR3H	R				00H
FFFFFF224H	A/D変換結果レジスタ4H (8BIT)	ADCR4H	R				00H
FFFFFF225H	A/D変換結果レジスタ5H (8BIT)	ADCR5H	R				00H
FFFFFF226H	A/D変換結果レジスタ6H (8BIT)	ADCR6H	R				00H
FFFFFF227H	A/D変換結果レジスタ7H (8BIT)	ADCR7H	R				00H
FFFFFF288H	A/Dトリガ選択レジスタ	ADTS	R/W				01H
FFFFFF2C0H	D/A変換値設定レジスタ0	DA0CS0	R/W				00H
FFFFFF2C1H	D/A変換値設定レジスタ1	DA0CS1	R/W				00H
FFFFFF2C2H	D/Aコンバータ・モード・レジスタ	DA0M	R/W				00H
FFFFFF400H	ポート0レジスタ	P0	R/W				不定
FFFFFF402H	ポート1レジスタ	P1	R/W				不定
FFFFFF404H	ポート2レジスタ	P2	R/W				不定
FFFFFF406H	ポート3レジスタ	P3	R/W				不定
FFFFFF408H	ポート4レジスタ	P4	R/W				不定
FFFFFF40AH	ポート5レジスタ	P5	R/W				不定
FFFFFF40EH	ポート7レジスタ	P7	R				不定
FFFFFF410H	ポート8レジスタ	P8	R				不定
FFFFFF420H	ポート0モード・レジスタ	PM0	R/W				FFH
FFFFFF422H	ポート1モード・レジスタ	PM1	R/W				FFH
FFFFFF424H	ポート2モード・レジスタ	PM2	R/W				FFH
FFFFFF426H	ポート3モード・レジスタ	PM3	R/W				FFH
FFFFFF428H	ポート4モード・レジスタ	PM4	R/W				FFH
FFFFFF42AH	ポート5モード・レジスタ	PM5	R/W				FFH
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0	R/W				00H
FFFFFF442H	ポート1モード・コントロール・レジスタ	PMC1	R/W				00H
FFFFFF444H	ポート2モード・コントロール・レジスタ	PMC2	R/W				01H
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3	R/W				00H
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4	R/W				00H
FFFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5	R/W				00H
FFFFFF44EH	ポート7モード・コントロール・レジスタ	PMC7	R/W				00H
FFFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0	R/W				00H
FFFFFF462H	ポート1ファンクション・コントロール・レジスタ	PFC1	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF464H	ポート2ファンクション・コントロール・レジスタ	PFC2	R/W				00H
FFFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3	R/W				00H
FFFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4	R/W				00H
FFFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5	R/W				00H
FFFFFF480H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCT0	R/W				8888H
FFFFFF482H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCT1	R/W				8888H
FFFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0	R/W				7777H
FFFFFF486H	データ・ウェイト・コントロール・レジスタ1	DWC1	R/W				7777H
FFFFFF488H	バス・サイクル・コントロール・レジスタ	BCC	R/W				FFFFH
FFFFFF48AH	アドレス・セットアップ・ウェイト・コントロール・レジスタ	ASC	R/W				FFFFH
FFFFFF48CH	バス・サイクル・ピリオド・コントロール・レジスタ	BCP	R/W				00H
FFFFFF48EH	ローカル・バス・サイジング・コントロール・レジスタ	LBS	R/W				5555H
FFFFFF494H	DMAフライバイ転送ウェイト・コントロール・レジスタ	FWC	R/W				7777H
FFFFFF496H	DMAフライバイ転送アイドル・コントロール・レジスタ	FIC	R/W				3333H
FFFFFF498H	バス・モード・コントロール・レジスタ	BMC	R/W				01H
FFFFFF49AH	ページROMコンフィギュレーション・レジスタ	PRC	R/W				7000H
FFFFFF49CH	ライト・アクセス同期制御レジスタ	WAS	W				00H
FFFFFF49EH	アドレス・ホールド・ウェイト・コントロール・レジスタ	AHC	R/W				FFFFH
FFFFFF4A4H	SDRAMコンフィギュレーション・レジスタ1	SCR1	R/W				30C0H
FFFFFF4A6H	SDRAMリフレッシュ・コントロール・レジスタ1	RFS1	R/W				0000H
FFFFFF4ACH	SDRAMコンフィギュレーション・レジスタ3	SCR3	R/W				30C0H
FFFFFF4AEH	SDRAMリフレッシュ・コントロール・レジスタ3	RFS3	R/W				0000H
FFFFFF4B0H	SDRAMコンフィギュレーション・レジスタ4	SCR4	R/W				30C0H
FFFFFF4B2H	SDRAMリフレッシュ・コントロール・レジスタ4	RFS4	R/W				0000H
FFFFFF4B8H	SDRAMコンフィギュレーション・レジスタ6	SCR6	R/W				30C0H
FFFFFF4BAH	SDRAMリフレッシュ・コントロール・レジスタ6	RFS6	R/W				0000H
FFFFFF540H	タイマD0	TMD0	R				0000H
FFFFFF542H	コンペア・レジスタD0	CMD0	R/W				0000H
FFFFFF544H	タイマ・モード・コントロール・レジスタD0	TMCD0	R/W				00H
FFFFFF550H	タイマD1	TMD1	R				0000H
FFFFFF552H	コンペア・レジスタD1	CMD1	R/W				0000H
FFFFFF554H	タイマ・モード・コントロール・レジスタD1	TMCD1	R/W				00H
FFFFFF560H	タイマD2	TMD2	R				0000H
FFFFFF562H	コンペア・レジスタD2	CMD2	R/W				0000H
FFFFFF564H	タイマ・モード・コントロール・レジスタD2	TMCD2	R/W				00H
FFFFFF570H	タイマD3	TMD3	R				0000H
FFFFFF572H	コンペア・レジスタD3	CMD3	R/W				0000H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF574H	タイマ・モード・コントロール・レジスタD3	TMCD3	R/W				00H
FFFFFF5C0H	タイマENC10	TMENC10	R/W				0000H
FFFFFF5C2H	コンペア・レジスタ100	CM100	R/W				0000H
FFFFFF5C4H	コンペア・レジスタ101	CM101	R/W				0000H
FFFFFF5C6H	キャプチャ/コンペア・レジスタ100	CC100	R/W				0000H
FFFFFF5C8H	キャプチャ/コンペア・レジスタ101	CC101	R/W				0000H
FFFFFF5CAH	キャプチャ/コンペア・コントロール・レジスタ10	CCR10	R/W				00H
FFFFFF5CBH	タイマ・ユニット・モード・レジスタ10	TUM10	R/W				00H
FFFFFF5CCH	タイマ・コントロール・レジスタ10	TMC10	R/W				00H
FFFFFF5CDH	有効エッジ選択レジスタ10	SESA10	R/W				00H
FFFFFF5CEH	プリスケラ・モード・レジスタ10	PRM10	R/W				07H
FFFFFF5CFH	ステータス・レジスタ10	STATUS10	R				00H
FFFFFF600H	TMQ0制御レジスタ0	TQ0CTL0	R/W				00H
FFFFFF601H	TMQ0制御レジスタ1	TQ0CTL1	R/W				00H
FFFFFF602H	TMQ0I/O制御レジスタ0	TQ0IOC0	R/W				00H
FFFFFF603H	TMQ0I/O制御レジスタ1	TQ0IOC1	R/W				00H
FFFFFF604H	TMQ0I/O制御レジスタ2	TQ0IOC2	R/W				00H
FFFFFF605H	TMQ0オプション・レジスタ0	TQ0OPT0	R/W				00H
FFFFFF606H	TMQ0キャプチャ/コンペア・レジスタ0	TQ0CCR0	R/W				0000H
FFFFFF608H	TMQ0キャプチャ/コンペア・レジスタ1	TQ0CCR1	R/W				0000H
FFFFFF60AH	TMQ0キャプチャ/コンペア・レジスタ2	TQ0CCR2	R/W				0000H
FFFFFF60CH	TMQ0キャプチャ/コンペア・レジスタ3	TQ0CCR3	R/W				0000H
FFFFFF60EH	TMQ0カウンタ・リード・バッファ・レジスタ	TQ0CNT	R				0000H
FFFFFF620H	TMQ0オプション・レジスタ1	TQ0OPT1	R/W				00H
FFFFFF621H	TMQ0オプション・レジスタ2	TQ0OPT2	R/W				00H
FFFFFF622H	TMQ0 I/O制御レジスタ3	TQ0IOC3	R/W				A8H
FFFFFF624H	TMQ0デッド・タイム・コンペア・レジスタ	TQ0DTC	R/W				0000H
FFFFFF630H	ハイ・インピーダンス出力制御レジスタ0	HZA0CTL0	R/W				00H
FFFFFF631H	ハイ・インピーダンス出力制御レジスタ1	HZA0CTL1	R/W				00H
FFFFFF640H	TMP0制御レジスタ0	TP0CTL0	R/W				00H
FFFFFF641H	TMP0制御レジスタ1	TP0CTL1	R/W				00H
FFFFFF642H	TMP0I/O制御レジスタ0	TP0IOC0	R/W				00H
FFFFFF643H	TMP0I/O制御レジスタ1	TP0IOC1	R/W				00H
FFFFFF644H	TMP0I/O制御レジスタ2	TP0IOC2	R/W				00H
FFFFFF645H	TMP0オプション・レジスタ0	TP0OPT0	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF646H	TMP0キャプチャ/コンペア・レジスタ0	TP0CCR0	R/W				0000H
FFFFFF648H	TMP0キャプチャ/コンペア・レジスタ1	TP0CCR1	R/W				0000H
FFFFFF64AH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R				0000H
FFFFFF660H	TMP1制御レジスタ0	TP1CTL0	R/W				00H
FFFFFF661H	TMP1制御レジスタ1	TP1CTL1	R/W				00H
FFFFFF662H	TMP1I/O制御レジスタ0	TP1IOC0	R/W				00H
FFFFFF663H	TMP1I/O制御レジスタ1	TP1IOC1	R/W				00H
FFFFFF664H	TMP1I/O制御レジスタ2	TP1IOC2	R/W				00H
FFFFFF665H	TMP1オプション・レジスタ0	TP1OPT0	R/W				00H
FFFFFF666H	TMP1キャプチャ/コンペア・レジスタ0	TP1CCR0	R/W				0000H
FFFFFF668H	TMP1キャプチャ/コンペア・レジスタ1	TP1CCR1	R/W				0000H
FFFFFF66AH	TMP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R				0000H
FFFFFF680H	TMP2制御レジスタ0	TP2CTL0	R/W				00H
FFFFFF681H	TMP2制御レジスタ1	TP2CTL1	R/W				00H
FFFFFF682H	TMP2I/O制御レジスタ0	TP2IOC0	R/W				00H
FFFFFF683H	TMP2I/O制御レジスタ1	TP2IOC1	R/W				00H
FFFFFF684H	TMP2I/O制御レジスタ2	TP2IOC2	R/W				00H
FFFFFF685H	TMP2オプション・レジスタ0	TP2OPT0	R/W				00H
FFFFFF686H	TMP2キャプチャ/コンペア・レジスタ0	TP2CCR0	R/W				0000H
FFFFFF688H	TMP2キャプチャ/コンペア・レジスタ1	TP2CCR1	R/W				0000H
FFFFFF68AH	TMP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R				0000H
FFFFFF6C0H	発振安定時間選択レジスタ	OSTS	R/W				01H
FFFFFF6C1H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS	R/W				00H
FFFFFF6C2H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM	R/W				00H
FFFFFF700H	ポート0ファンクション・コントロール拡張レジスタ	PFCE0	R/W				00H
FFFFFF702H	ポート1ファンクション・コントロール拡張レジスタ	PFCE1	R/W				00H
FFFFFF704H	ポート2ファンクション・コントロール拡張レジスタ	PFCE2	R/W				00H
FFFFFF706H	ポート3ファンクション・コントロール拡張レジスタ	PFCE3	R/W				00H
FFFFFF70AH	ポート5ファンクション・コントロール拡張レジスタ	PFCE5	R/W				00H
FFFFFF802H	システム・ステータス・レジスタ	SYS	R/W				00H
FFFFFF804H	チップ・セレクト信号ディレイ制御レジスタ	CSDC	R/W				00H
FFFFFF810H	DMAトリガ要因レジスタ0	DTFR0	R/W	注1			00H
FFFFFF812H	DMAトリガ要因レジスタ1	DTFR1	R/W	注1			00H
FFFFFF814H	DMAトリガ要因レジスタ2	DTFR2	R/W	注1			00H
FFFFFF816H	DMAトリガ要因レジスタ3	DTFR3	R/W	注1			00H
FFFFFF820H	パワー・セーブ・モード・レジスタ	PSMR	R/W				00H
FFFFFF822H	クロック・コントロール・レジスタ	CKC	R/W				00H
FFFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W				00H
FFFFFF82AH	ウォッチドッグ・タイマ・リセット・ステータス・レジスタ	WDRES	R/W	注2			00H

注1. 7ビット目のみビット操作可能です。

2. リード時のみ1ビット操作可能です。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF840H	コレクション・アドレス・レジスタ0	CORAD0	R/W					00000000H
FFFFFF840H	コレクション・アドレス・レジスタ0L	CORAD0L	R/W					0000H
FFFFFF842H	コレクション・アドレス・レジスタ0H	CORAD0H	R/W					0000H
FFFFFF844H	コレクション・アドレス・レジスタ1	CORAD1	R/W					00000000H
FFFFFF844H	コレクション・アドレス・レジスタ1L	CORAD1L	R/W					0000H
FFFFFF846H	コレクション・アドレス・レジスタ1H	CORAD1H	R/W					0000H
FFFFFF848H	コレクション・アドレス・レジスタ2	CORAD2	R/W					00000000H
FFFFFF848H	コレクション・アドレス・レジスタ2L	CORAD2L	R/W					0000H
FFFFFF84AH	コレクション・アドレス・レジスタ2H	CORAD2H	R/W					0000H
FFFFFF84CH	コレクション・アドレス・レジスタ3	CORAD3	R/W					00000000H
FFFFFF84CH	コレクション・アドレス・レジスタ3L	CORAD3L	R/W					0000H
FFFFFF84EH	コレクション・アドレス・レジスタ3H	CORAD3H	R/W					0000H
FFFFFF880H	コレクション・コントロール・レジスタ	CORCN	R/W					00H
FFFFFF8A0H	DMAターミナル・カウント出力コントロール・レジスタ	DTOC	R/W					01H
FFFFFF8A8H	DMAインタフェース・コントロール・レジスタ	DIFC	R/W					00H
FFFFFF8ACH	DMAAK幅調整レジスタ	DAKW	R/W					00H
FFFFFFA00H	UARTA0制御レジスタ0	UA0CTL0	R/W					10H
FFFFFFA01H	UARTA0制御レジスタ1	UA0CTL1	R/W					00H
FFFFFFA02H	UARTA0制御レジスタ2	UA0CTL2	R/W					FFH
FFFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0	R/W					14H
FFFFFFA04H	UARTA0状態レジスタ	UA0STR	R/W					00H
FFFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R					FFH
FFFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W					FFH
FFFFFFA10H	UARTA1制御レジスタ0	UA1CTL0	R/W					10H
FFFFFFA11H	UARTA1制御レジスタ1	UA1CTL1	R/W					00H
FFFFFFA12H	UARTA1制御レジスタ2	UA1CTL2	R/W					FFH
FFFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0	R/W					14H
FFFFFFA14H	UARTA1状態レジスタ	UA1STR	R/W					00H
FFFFFFA16H	UARTA1受信データ・レジスタ	UA1RX	R					FFH
FFFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W					FFH
FFFFFFA20H	UARTA2制御レジスタ0	UA2CTL0	R/W					10H
FFFFFFA21H	UARTA2制御レジスタ1	UA2CTL1	R/W					00H
FFFFFFA22H	UARTA2制御レジスタ2	UA2CTL2	R/W					FFH
FFFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0	R/W					14H
FFFFFFA24H	UARTA2状態レジスタ	UA2STR	R/W					00H
FFFFFFA26H	UARTA2受信データ・レジスタ	UA2RX	R					FFH
FFFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W					FFH
FFFFFFA30H	UARTA3制御レジスタ0	UA3CTL0	R/W					10H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFFA31H	UARTA3制御レジスタ1	UA3CTL1	R/W					00H
FFFFFFA32H	UARTA3制御レジスタ2	UA3CTL2	R/W					FFH
FFFFFFA33H	UARTA3オプション制御レジスタ0	UA3OPT0	R/W					14H
FFFFFFA34H	UARTA3状態レジスタ	UA3STR	R/W					00H
FFFFFFA36H	UARTA3受信データ・レジスタ	UA3RX	R					FFH
FFFFFFA37H	UARTA3送信データ・レジスタ	UA3TX	R/W					FFH
FFFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0	R/W					F3H
FFFFFFC02H	外部割り込み立ち下がりエッジ指定レジスタ1	INTF1	R/W					3FH
FFFFFFC04H	外部割り込み立ち下がりエッジ指定レジスタ2	INTF2	R/W					76H
FFFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3	R/W					9FH
FFFFFFC0AH	外部割り込み立ち下がりエッジ指定レジスタ5	INTF5	R/W					03H
FFFFFFC1EH	NMI立ち下がりエッジ指定レジスタ	NMIF	R/W					00H
FFFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0	R/W					00H
FFFFFFC22H	外部割り込み立ち上がりエッジ指定レジスタ1	INTR1	R/W					00H
FFFFFFC24H	外部割り込み立ち上がりエッジ指定レジスタ2	INTR2	R/W					00H
FFFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3	R/W					00H
FFFFFFC2AH	外部割り込み立ち上がりエッジ指定レジスタ5	INTR5	R/W					00H
FFFFFFC3EH	NMI立ち上がりエッジ指定レジスタ	NMIR	R/W					00H
FFFFFFD00H	CSIB0制御レジスタ0	CB0CTL0	R/W					01H
FFFFFFD01H	CSIB0制御レジスタ1	CB0CTL1	R/W					00H
FFFFFFD02H	CSIB0制御レジスタ2	CB0CTL2	R/W					00H
FFFFFFD03H	CSIB0状態レジスタ	CB0STR	R/W					00H
FFFFFFD04H	CSIB0受信データ・レジスタ(16ビット)	CB0RX	R					0000H
FFFFFFD04H	CSIB0受信データ・レジスタL(8ビット)	CB0RXL	R					00H
FFFFFFD06H	CSIB0送信データ・レジスタ(16ビット)	CB0TX	R/W					0000H
FFFFFFD06H	CSIB0送信データ・レジスタL(8ビット)	CB0TXL	R/W					00H
FFFFFFD10H	CSIB1制御レジスタ0	CB1CTL0	R/W					01H
FFFFFFD11H	CSIB1制御レジスタ1	CB1CTL1	R/W					00H
FFFFFFD12H	CSIB1制御レジスタ2	CB1CTL2	R/W					00H
FFFFFFD13H	CSIB1状態レジスタ	CB1STR	R/W					00H
FFFFFFD14H	CSIB1受信データ・レジスタ(16ビット)	CB1RX	R					0000H
FFFFFFD14H	CSIB1受信データ・レジスタL(8ビット)	CB1RXL	R					00H
FFFFFFD16H	CSIB1送信データ・レジスタ(16ビット)	CB1TX	R/W					0000H
FFFFFFD16H	CSIB1送信データ・レジスタL(8ビット)	CB1TXL	R/W					00H
FFFFFFD20H	CSIB2制御レジスタ0	CB2CTL0	R/W					01H
FFFFFFD21H	CSIB2制御レジスタ1	CB2CTL1	R/W					00H
FFFFFFD22H	CSIB2制御レジスタ2	CB2CTL2	R/W					00H
FFFFFFD23H	CSIB2状態レジスタ	CB2STR	R/W					00H
FFFFFFD24H	CSIB2受信データ・レジスタ(16ビット)	CB2RX	R					0000H
FFFFFFD24H	CSIB2受信データ・レジスタL(8ビット)	CB2RXL	R					00H
FFFFFFD26H	CSIB2送信データ・レジスタ(16ビット)	CB2TX	R/W					0000H
FFFFFFD26H	CSIB2送信データ・レジスタL(8ビット)	CB2TXL	R/W					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFD80H	IICシフト・レジスタ	IIC	R/W				00H
FFFFFFD82H	IICコントロール・レジスタ	IICC	R/W				00H
FFFFFFD83H	スレーブ・アドレス・レジスタ	SVA	R/W				00H
FFFFFFD84H	IICクロック選択レジスタ	IICCL	R/W				00H
FFFFFFD85H	IIC機能拡張レジスタ	IICX	R/W				00H
FFFFFFD86H	IIC状態レジスタ	IICS	R				00H
FFFFFFD8AH	IICフラグ・レジスタ	IICF	R/W				00H
FFFFFFD90H	プリスケアラ・モード・レジスタ	PRSM	R/W				00H
FFFFFFD91H	プリスケアラ・コンペア・レジスタ	PRSCM	R/W				00H

3.4.9 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/MA3には次の5つの特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・クロック・コントロール・レジスタ (CKC)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・ウォッチドッグ・タイマ・リセット・ステータス・レジスタ (WDRES)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、コマンド・レジスタ (PRCMD) があり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はシステム・ステータス・レジスタ (SYS) に報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

〔記述例〕CKCレジスタの場合（システム・クロックの設定）

```
MOV      0x03, r10
ST.B    r10, PRCMD [r0]    ;PRCMDレジスタ書き込み
ST.B    r10, CKC [r0]     ;CKCレジスタ設定
```

(next instruction)

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** PRCMDレジスタに対するストア命令では、割り込みを受け付けません。これは、プログラムで上記 `MOV`、`ST.B` を連続したストア命令で行うことを前提としているためです。`MOV`、`ST.B` の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります。
2. PRCMDレジスタへ書き込むデータはダミーですが、ストア命令により特定レジスタへの設定（例 `ST.B r10, PRCMD [r0]`）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例 `MOV r10, r0`）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。また、ビット操作命令により特定レジスタへの設定（例 `CLR1 0, WDRES [r0]`）の場合の例を次に示します。

```
CLR1 0, WDRES [r0]
```

3. この処理を行う前に、すべてのDMA転送を終了させてください。
4. IDLEモード、ソフトウェアSTOPモードに移行する場合（PSC.STBビット = 1）には、21. 7 IDLE/ソフトウェアSTOPモードへの移行、復帰手順を参照してください。

(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定期レジスタ (PSCレジスタ) への書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です (リードした場合、不定データを読み出します)。

リセット時：不定 W アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H								
	7	6	5	4	3	2	1	①									
SYS	0	0	0	0	0	0	0	0	PRERR								
PRERR	プロテクション・エラーの検出																
0	プロテクション・エラーは発生していない																
1	プロテクション・エラーが発生している																

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3. 4. 9 (1) **特定レジスタへのデータ設定**で示す を行わずに を行なったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行なったとき (3. 4. 9 (1) **特定レジスタへのデータ設定**で示す が特定レジスタでなかったとき)。
- (iii) PRERRフラグに1を書き込んだとき。

備考 WDTMレジスタ以外の特定レジスタ (PCC, PSC, CKC, WDRESレジスタ) は、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など (内蔵RAMへのアクセスなど) を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.10 システム・ウエイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

V850E1 CPUコアの内蔵周辺I/Oレジスタへのアクセスは基本的に3クロックですが、V850E/MA3ではその3クロックに加えてウエイトが必要です。使用する動作周波数に応じて、VSWCレジスタに次に示す値を設定してください。

8ビット単位でリード/ライト可能です (アドレス: FFFFF06EH, 初期値: 77H)。

動作周波数 (f _{CPU})	VSWC設定値	内蔵周辺I/Oレジスタ・アクセスに対するウエイト数
5 MHz < f _{CPU} < 33 MHz	11H	2
33 MHz < f _{CPU} < 50 MHz	12H	3
50 MHz < f _{CPU} < 80 MHz	24H	6

備考 内蔵周辺機能の状態を示すステータス・フラグを含んだレジスタ (STATUS10レジスタなど) やタイムのカウント値を示すレジスタ (TMENC10など) などへのアクセスにおいてフラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合、レジスタ・アクセスへのリトライ動作が発生します。このため、通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。

3.4.11 注意事項

(1) 最初に設定するレジスタ

V850E/MA3を使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウエイト・コントロール・レジスタ (VSWC)
(3.4.10 システム・ウエイト・コントロール・レジスタ (VSWC) 参照)
- ・クロック・コントロール・レジスタ (CKC)
(7.3(2) クロック・コントロール・レジスタ (CKC) 参照)
- ・プログラムIDレジスタ (ASID)
(3.2.2(8) プログラムIDレジスタ (ASID) 参照)

VSWC, CKC, ASIDレジスタを設定したあとに、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあとに、次に示す順に各レジスタの初期設定を行ってください。

ポート関連のレジスタの設定により、各端子を兼用機能に設定してください。

CSCnレジスタの設定により、チップ・セレクト空間を確定してください (n = 0, 1)。

BCTnレジスタの設定により、各チップ・セレクト空間のメモリの種類を確定してください。

(2) sld命令と割り込み競合に関する制限事項

(a) 内 容

次の命令<1>の事項が完了する前に、後続のsld命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10	< >のld命令の実行が完了する前に、< >のsld命令の直前のmov命令
・	< >のデコード動作と割り込み要求が競合した場合、< >のld命令の実
・	行結果がレジスタに格納されないことがあります。
< > mov r10, r28	
< > sld.w 0x28, r10	

(b) 回 避 策

コンパイラ (CA850) 使用時

CA850はVer.2.61以降を使用してください。該当命令シーケンスの生成を自動的に抑止します。

アセンブラでの対策

命令< >の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld命令の直前にnop命令を入れる。
- ・ sld命令のディスティネーション・レジスタと同じレジスタを、sld命令の直前で実行する上記< >の命令で使用しない。

第4章 ポート機能

4.1 特 徴

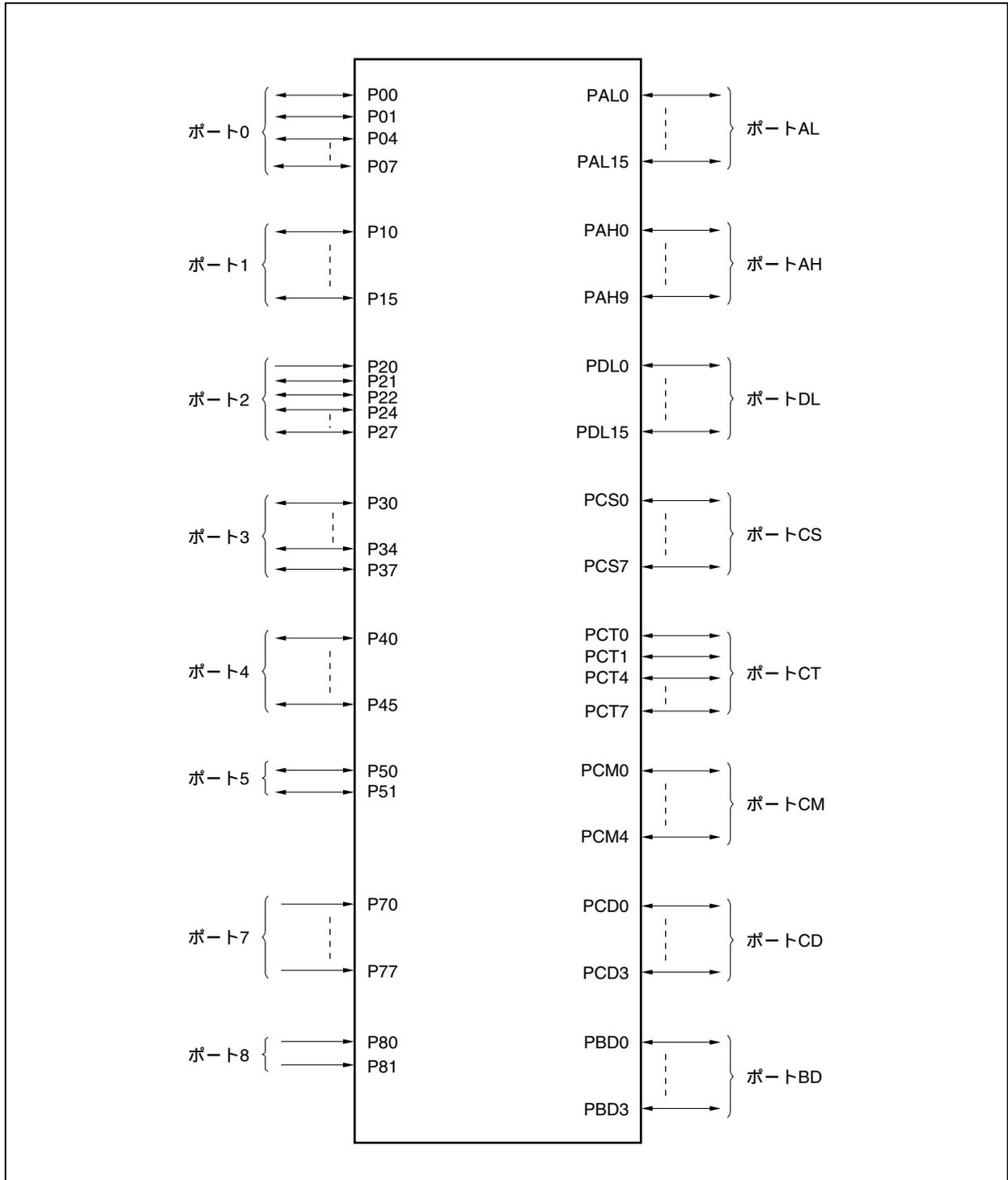
入出力ポート : 112本

1ビット単位で入力 / 出力指定可能

4.2 ポートの基本構成

V850E/MA3は、ポート0-5, 7, 8, AL, AH, DL, CS, CT, CM, CD, BDの合計112本の入出力ポートを内蔵しています。ポートの構成を次に示します。

図4-1 ポートの構成図



4.3 ポートの構成

表4-1 ポートの構成

項目	構成
制御レジスタ	ポートnレジスタ (Pn : n = 0-5, 7, 8, AL, AH, DL, CS, CT, CM, CD, BD) ポートnモード・レジスタ (PMn : n = 0-5, AL, AH, DL, CS, CT, CM, CD, BD) ポートnモード・コントロール・レジスタ (PMCn : n = 0-5, 7, AL, AH, DL, CS, CT, CM, CD, BD) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0-5, CS, CT) ポート1ファンクション・コントロール拡張レジスタ (PFCEn : n = 0-3, 5)
ポート	入力専用 : 11本 入出力 : 101本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

リセット時：不定 R/W								
	7	6	5	7	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
	出力データの制御 (出力モード時)							
Pnm								
0	0を出力							
1	1を出力							

各レジスタの設定によって、Pnレジスタへの書き込みや読み出しは次のようになります。

表4-2 Pnレジスタへの書き込み/読み出しについて

PMCnレジスタの設定	PMnレジスタの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
ポート・モード (PMCnmビット = 0)	出力モード (PMnmビット = 0)	出力ラッチに対して書き込みます ^注 。 出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
	入力モード (PMnmビット = 1)	出力ラッチに対して書き込みます ^注 。 端子の状態には影響ありません。	端子状態を読み出します。
兼用機能モード (PMCnmビット = 1)	出力モード (PMnmビット = 0)	出力ラッチに対して書き込みます ^注 。 端子の状態には影響ありません。	兼用機能の出力状態を読み出します。
	入力モード (PMnmビット = 1)	端子は兼用機能として動作します。	端子状態を読み出します。

注 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: FFH R/W

	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0

PMnm	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

(3) ポートnモード・コントロール・レジスタ (PMCn)

ポート・モード/兼用機能を指定します。

PMCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: 00H^注 R/W

	7	6	5	4	3	2	1	0
PMCn	PMCn7	PMCn6	PMCn5	PMCn4	PMCn3	PMCn2	PMCn1	PMCn0

PMCnm	動作モードの指定
0	ポート・モード
1	兼用機能

注 PMC2レジスタのみ01H

(4) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(5) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W

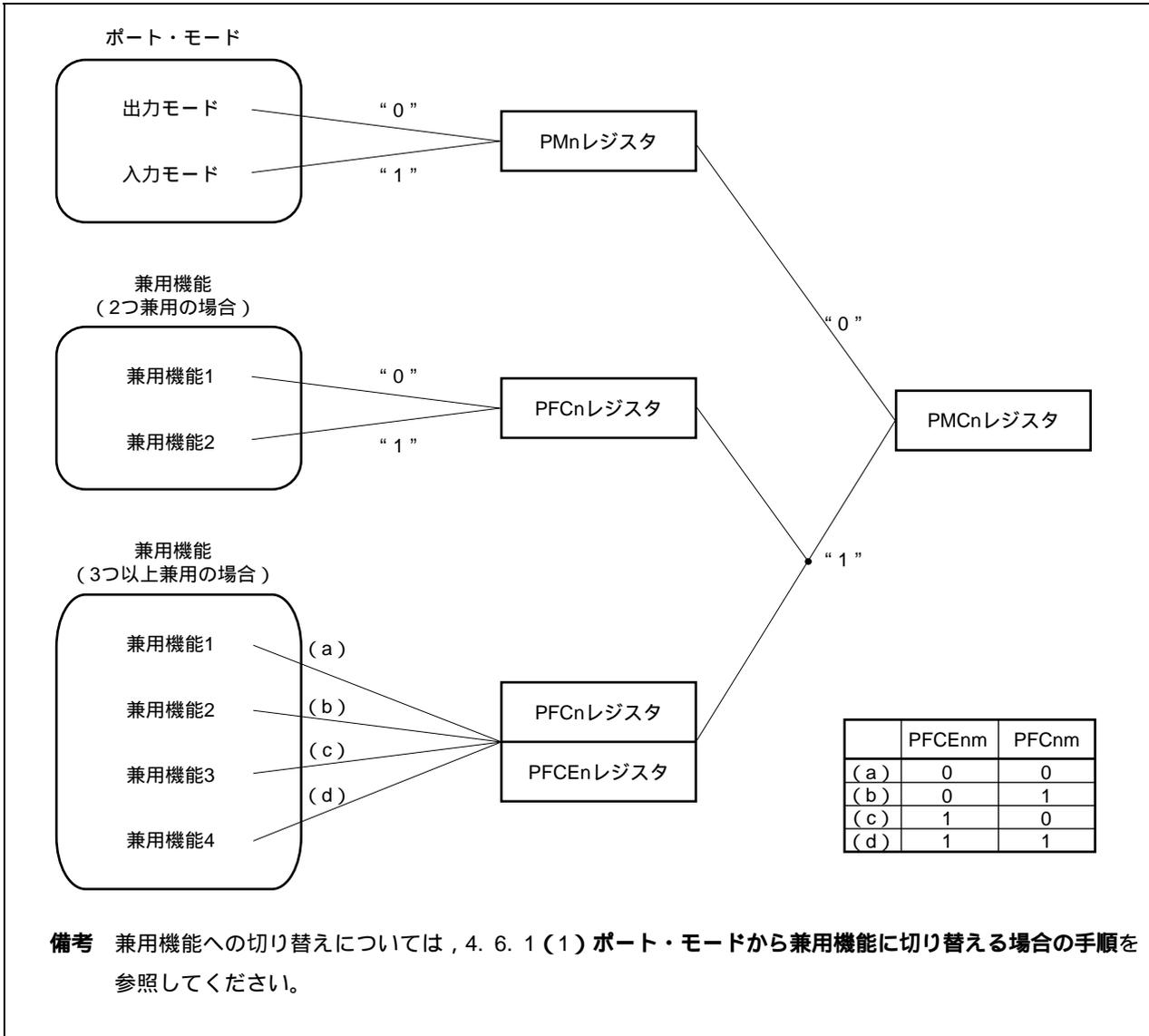
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(6) ポートの設定

ポートの設定は、次のように設定してください。

図4-2 各レジスタの設定と端子の機能



4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できます。

ポート0は、次に示す端子と兼用しています。

表4-3 ポート0の兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
P00	19	G2	INTP000/TOP00/EVTP0/TIP0/INTPP00	入出力
P01	18	G1	INTP001/TOP01/INTPP01	
P04	33	M3	INTP004/DMARQ0/INTP11/TCLR10	
P05	34	M2	INTP005/DMARQ1/INTP10/TCUD10	
P06	35	L3	INTP106/DMARQ2/TMS ^注	
P07	36	N2	INTP107/DMARQ3/TCK ^注	

注 TMS, TCK端子はオンチップ・デバッグ用の端子です。P06, P07端子をP06/INTP106/DMARQ2, P07/INTP107/DMARQ3として使用する場合は、TRST端子に必ずロウ・レベルを入力してください。TRST端子にハイ・レベルを入力した場合、P0レジスタ, PM0レジスタ, PMC0レジスタ, PFC0レジスタで設定した値は無効となり、TMS, TCK端子として機能します。

注意 P00, P01, P04-P07は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポート0レジスタ (P0)

リセット時：不定 R/W アドレス：FFFFFF400H

	7	6	5	4	3	2	1	0
P0	P07	P06	P05	P04	0	0	P01	P00

P0n	出力データの制御 (出力モード時) (n = 0, 1, 4-7)
0	0を出力
1	1を出力

(b) ポート0モード・レジスタ (PM0)

リセット時：FFH R/W アドレス：FFFFFF420H

	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	1	1	PM01	PM00

PM0n	入出力モードの制御 (ポート・モード時) (n = 0, 1, 4-7)
0	出力モード
1	入力モード

(c) ポート0モード・コントロール・レジスタ (PMC0)

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	PMC07	PMC06	PMC05	PMC04	0	0	PMC01	PMC00
	PMC07	P07端子の動作モードの指定						
	0	入出力ポート						
	1	INTP107入力 / DMARQ3入力						
	PMC06	P06端子の動作モードの指定						
	0	入出力ポート						
	1	INTP106入力 / DMARQ2入力						
	PMC05	P05端子の動作モードの指定						
	0	入出力ポート						
	1	INTP005入力 / DMARQ1入力 / INTP10入力 / TCUD10入力						
	PMC04	P04端子の動作モードの指定						
	0	入出力ポート						
	1	INTP004入力 / DMARQ0入力 / INTP11入力 / TCLR10入力						
	PMC01	P01端子の動作モードの指定						
	0	入出力ポート						
	1	INTP001入力 / TOP01出力 / INTPP01入力						
	PMC00	P00端子の動作モードの指定						
	0	入出力ポート						
	1	INTP000入力 / TOP00出力 / EVTP0入力 / TIP0入力 / INTPP00入力						

注意 P06/INTP106/DMARQ2はN-Wire制御信号TMSと、P07/INTP107/DMARQ3はN-Wire制御信号TCKと兼用しています。この兼用機能は、N-Wire型エミュレータ使用時には、デバッグできません。

(d) ポート0ファンクション・コントロール拡張レジスタ (PFCE0)

リセット時 : 00H R/W アドレス : FFFFF700H

	7	6	5	4	3	2	1	0
PFCE0	0	0	PFCE05	PFCE04	0	0	PFCE01	PFCE00

備考 兼用機能の指定については、4.3.1(1)(f) ポート0の兼用機能の設定を参照してください。

(e) ポート0ファンクション・コントロール・レジスタ (PFC0)

リセット時 : 00H R/W アドレス : FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	PFC07	PFC06	PFC05	PFC04	0	0	PFC01	PFC00

備考 兼用機能の指定については、4.3.1(1)(f) ポート0の兼用機能の設定を参照してください。

(f) ポート0の兼用機能の設定

PFC07	P07端子の兼用機能の指定	
0	INTP107入力	
1	DMARQ3入力	

PFC06	P06端子の兼用機能の指定	
0	INTP106入力	
1	DMARQ2入力	

PFCE05	PFC05	P05端子の兼用機能の指定
0	0	INTP005入力
0	1	DMARQ1入力
1	0	INTP10入力/TCUD10入力
1	1	設定禁止

PFCE04	PFC04	P04端子の兼用機能の指定
0	0	INTP004入力
0	1	DMARQ0入力
1	0	INTP11入力/TCLR10入力
1	1	設定禁止

PFCE01	PFC01	P01端子の兼用機能の指定
0	0	INTP001入力
0	1	TOP01出力
1	0	INTPP01入力
1	1	設定禁止

PFCE00	PFC00	P00端子の兼用機能の指定
0	0	INTP000入力
0	1	TOP00出力
1	0	EVTP0入力 / TIP0入力 / INTPP00入力
1	1	設定禁止

(2) ブロック図

図4-3 P00端子のブロック図

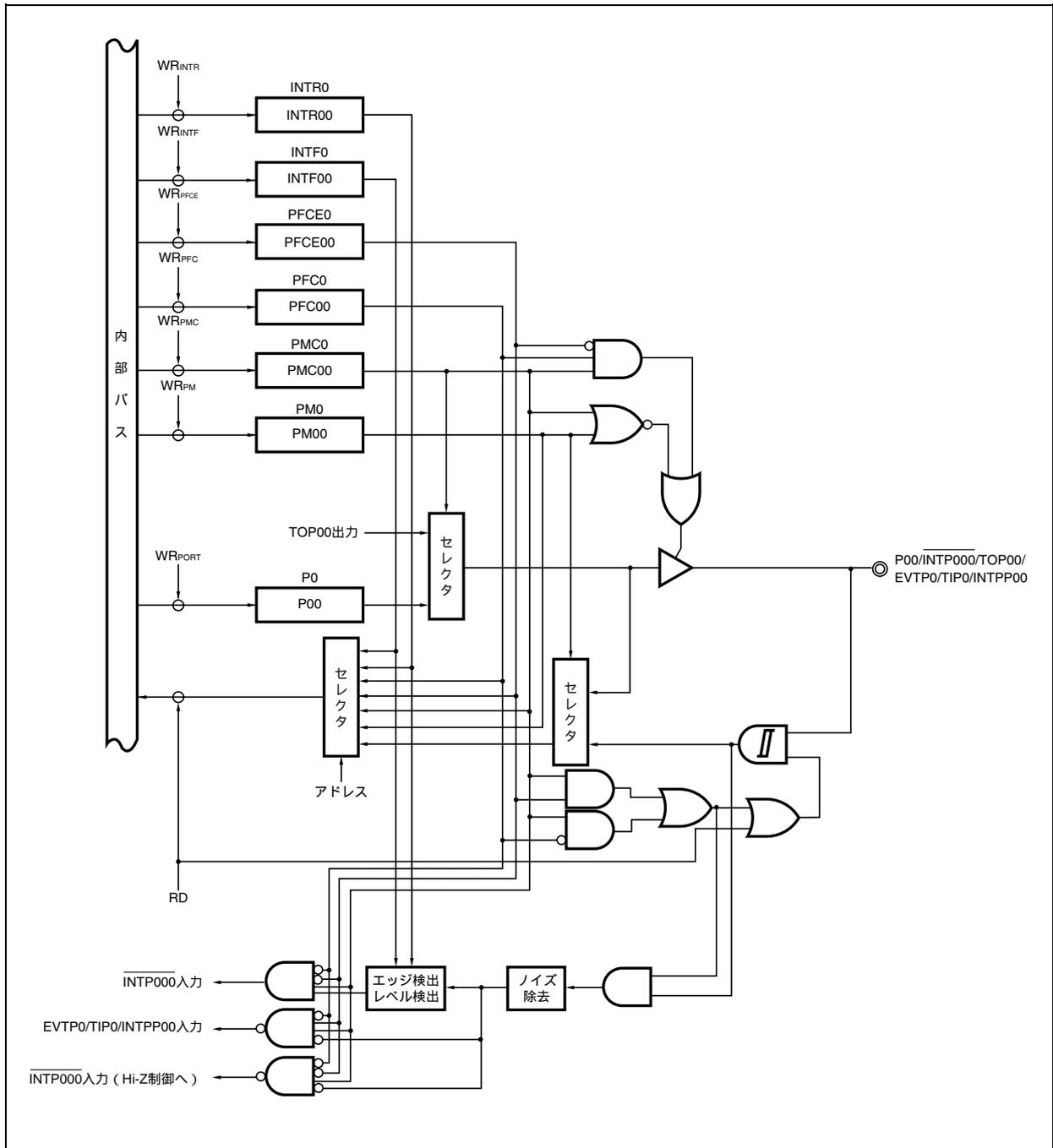


図4 - 4 P01端子のブロック図

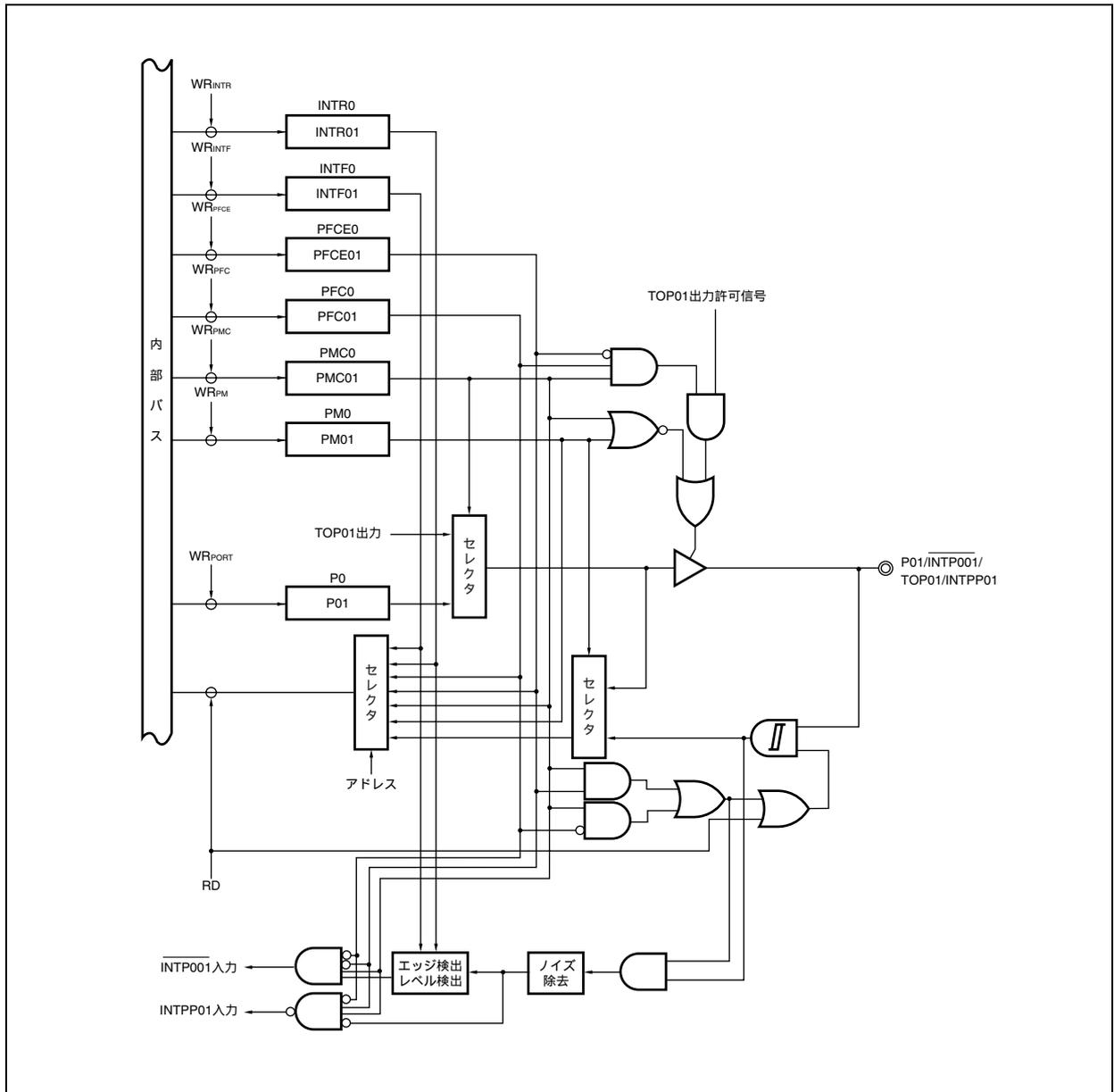


図4 - 5 P04, P05端子のブロック図

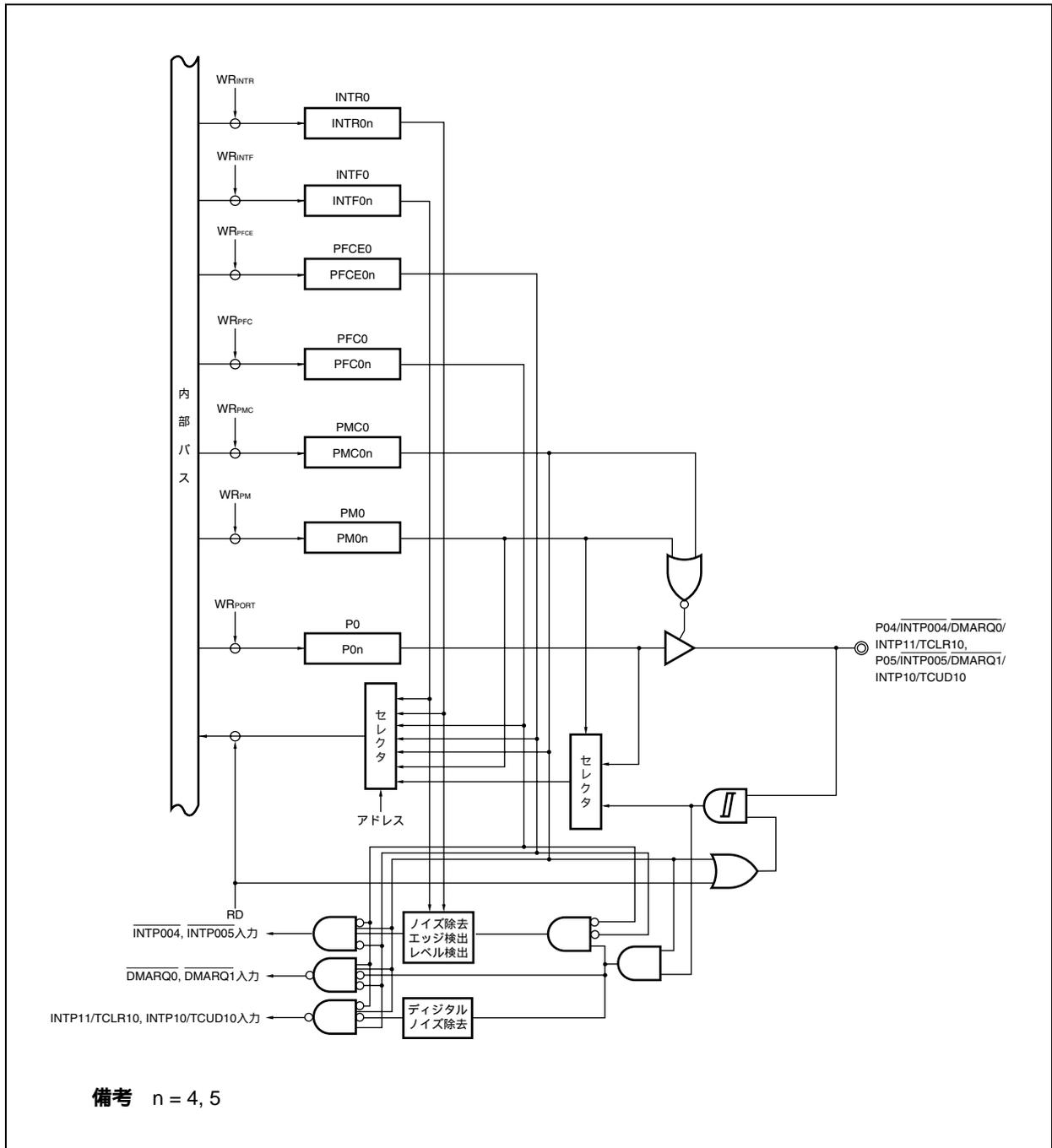
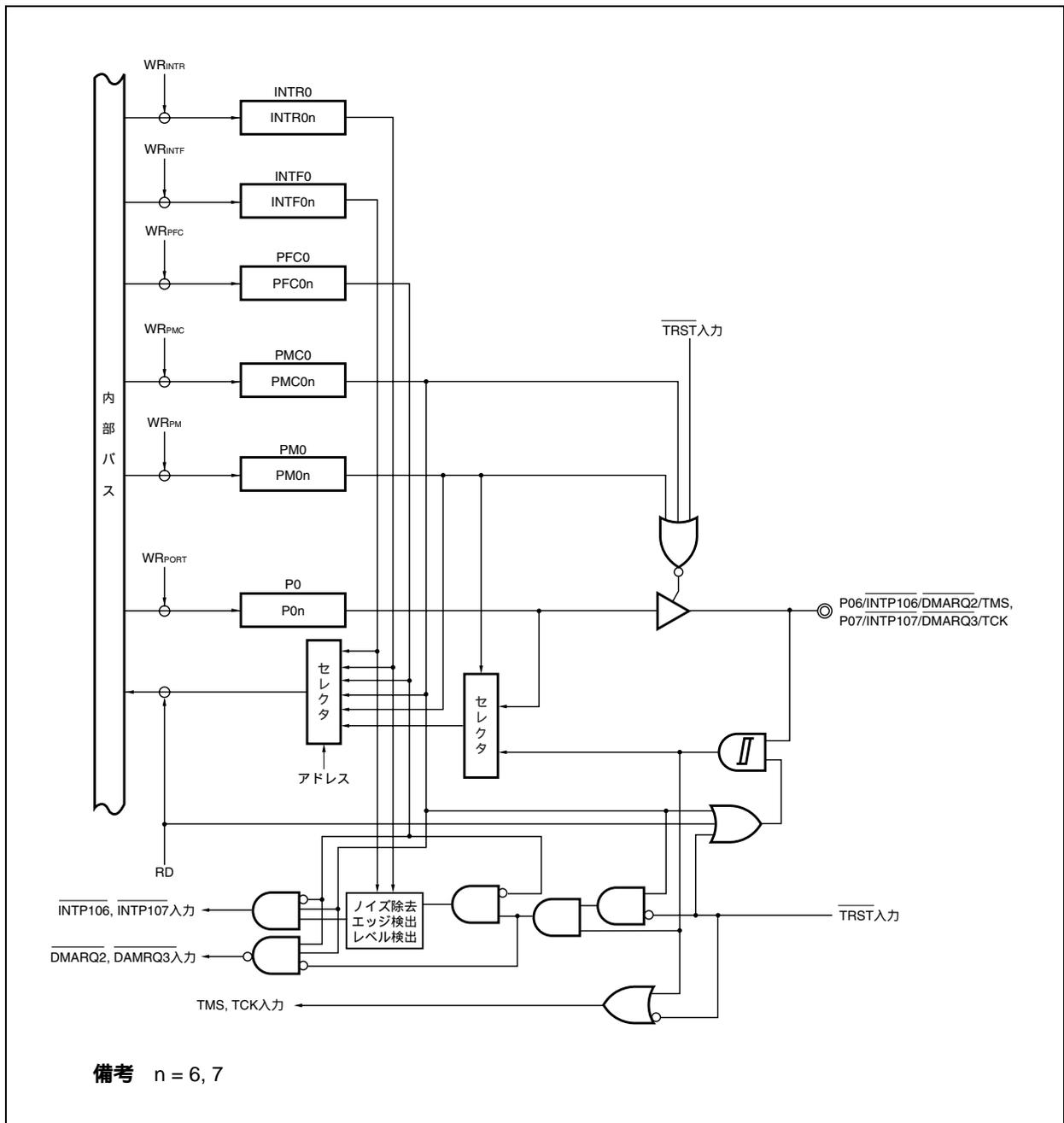


図4 - 6 P06, P07端子のブロック図



備考 n = 6, 7

4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できます。

ポート1は、次に示す端子と兼用しています。

表4-4 ポート1の兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
P10	27	J3	INTP010/TOQB1/INTPQ0/TOQ0	入出力
P11	26	K1	INTP011/TOQT1/INTPQ1/TOQ1	
P12	25	J2	INTP012/TOQT2/INTPQ2/TOQ2	
P13	22	H3	INTP013/TOQT3/INTPQ3/TOQ3	
P14	21	H2	INTP114/TOQB2/TIQ	
P15	20	H1	INTP115/TOQB3/EVTQ	

注意 P10-P15は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポート1レジスタ (P1)

リセット時：不定 R/W アドレス：FFFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	P15	P14	P13	P12	P11	P10

P1n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(b) ポート1モード・レジスタ (PM1)

リセット時：FFH R/W アドレス：FFFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	入出力モードの制御 (ポート・モード時) (n = 0-5)
0	出力モード
1	入力モード

(c) ポート1モード・コントロール・レジスタ (PMC1)

リセット時：00H R/W アドレス：FFFFFF442H

	7	6	5	4	3	2	1	0
PMC1	0	0	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10
PMC15	P15端子の動作モードの指定							
0	入出力ポート							
1	INTP115入力 / TOQB3出力 / EVTQ入力							
PMC14	P14端子の動作モードの指定							
0	入出力ポート							
1	INTP114入力 / TOQB2出力 / TIQ入力							
PMC13	P13端子の動作モードの指定							
0	入出力ポート							
1	INTP013入力 / TOQT3出力 / INTPQ3入力 / TOQ3出力							
PMC12	P12端子の動作モードの指定							
0	入出力ポート							
1	INTP012入力 / TOQT2出力 / INTPQ2入力 / TOQ2出力							
PMC11	P11端子の動作モードの指定							
0	入出力ポート							
1	INTP011入力 / TOQT1出力 / INTPQ1入力 / TOQ1出力							
PMC10	P10端子の動作モードの指定							
0	入出力ポート							
1	INTP010入力 / TOQB1出力 / INTPQ0入力 / TOQ0出力							

(d) ポート1ファンクション・コントロール拡張レジスタ (PFCE1)

リセット時 : 00H R/W アドレス : FFFFF702H

	7	6	5	4	3	2	1	0
PFCE1	0	0	PFCE15	PFCE14	PFCE13	PFCE12	PFCE11	PFCE10

備考 兼用機能の指定については、4.3.2(1)(f) **ポート1の兼用機能の設定**を参照してください。

(e) ポート1ファンクション・コントロール・レジスタ (PFC1)

リセット時 : 00H R/W アドレス : FFFFF462H

	7	6	5	4	3	2	1	0
PFC1	0	0	PFC15	PFC14	PFC13	PFC12	PFC11	PFC10

備考 兼用機能の指定については、4.3.2(1)(f) **ポート1の兼用機能の設定**を参照してください。

(f) ポート1の兼用機能の設定

PFCE15	PFC15	P15端子の兼用機能の指定
0	0	$\overline{\text{INTP115}}$ 入力
0	1	TOQB3出力
1	0	EVTQ入力
1	1	設定禁止

PFCE14	PFC14	P14端子の兼用機能の指定
0	0	$\overline{\text{INTP114}}$ 入力
0	1	TOQB2出力
1	0	TIQ入力
1	1	設定禁止

PFCE13	PFC13	P13端子の兼用機能の指定
0	0	$\overline{\text{INTP013}}$ 入力
0	1	TOQT3出力
1	0	INTPQ3入力
1	1	TOQ3出力

PFCE12	PFC12	P12端子の兼用機能の指定
0	0	$\overline{\text{INTP012}}$ 入力
0	1	TOQT2出力
1	0	INTPQ2入力
1	1	TOQ2出力

PFCE11	PFC11	P11端子の兼用機能の指定
0	0	$\overline{\text{INTP011}}$ 入力
0	1	TOQT1出力
1	0	INTPQ1入力
1	1	TOQ1出力

PFCE10	PFC10	P10端子の兼用機能の指定
0	0	$\overline{\text{INTP010}}$ 入力
0	1	TOQB1出力
1	0	INTPQ0入力
1	1	TOQ0出力

(2) ブロック図

図4 - 7 P10-P13端子のブロック図

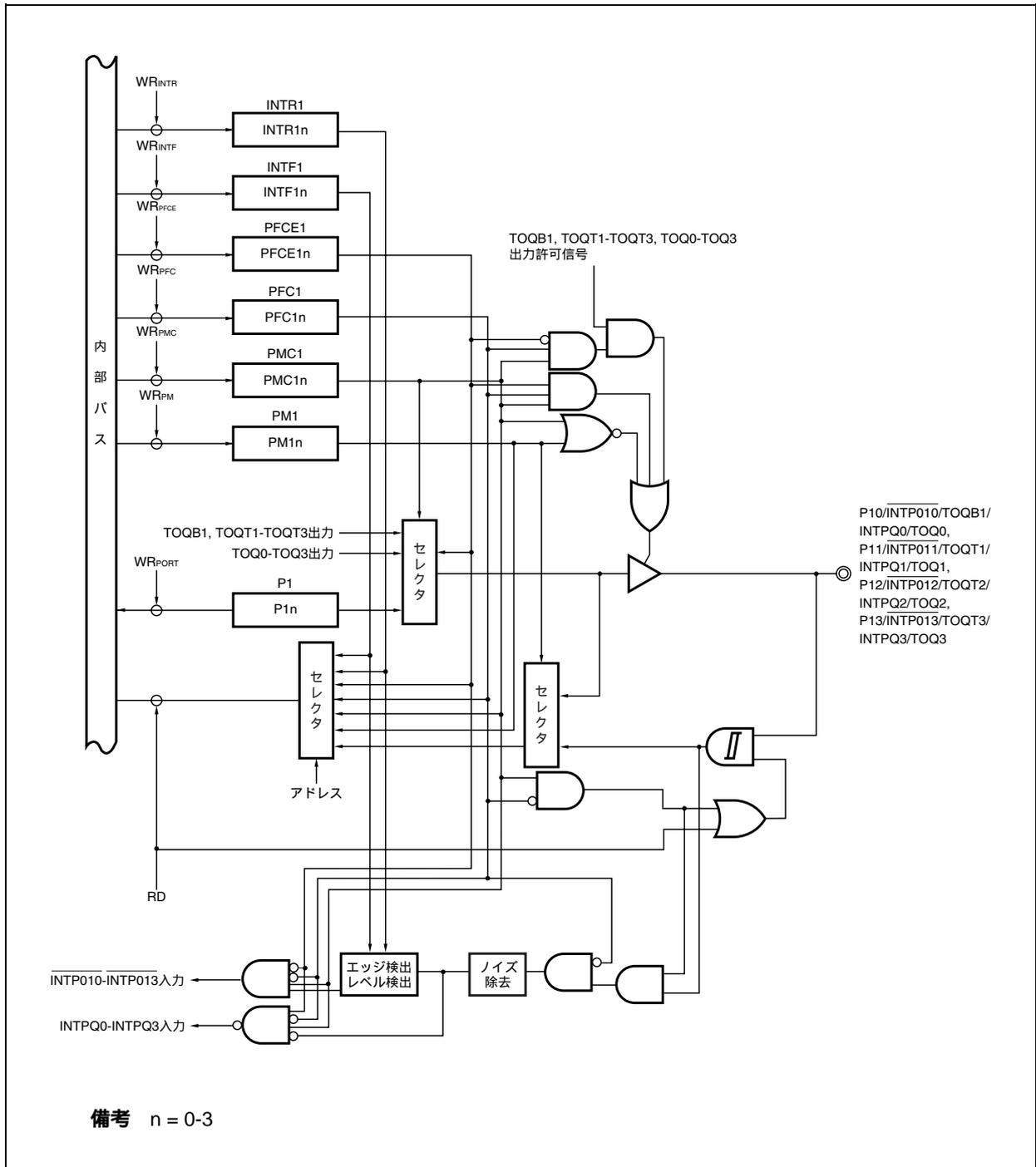
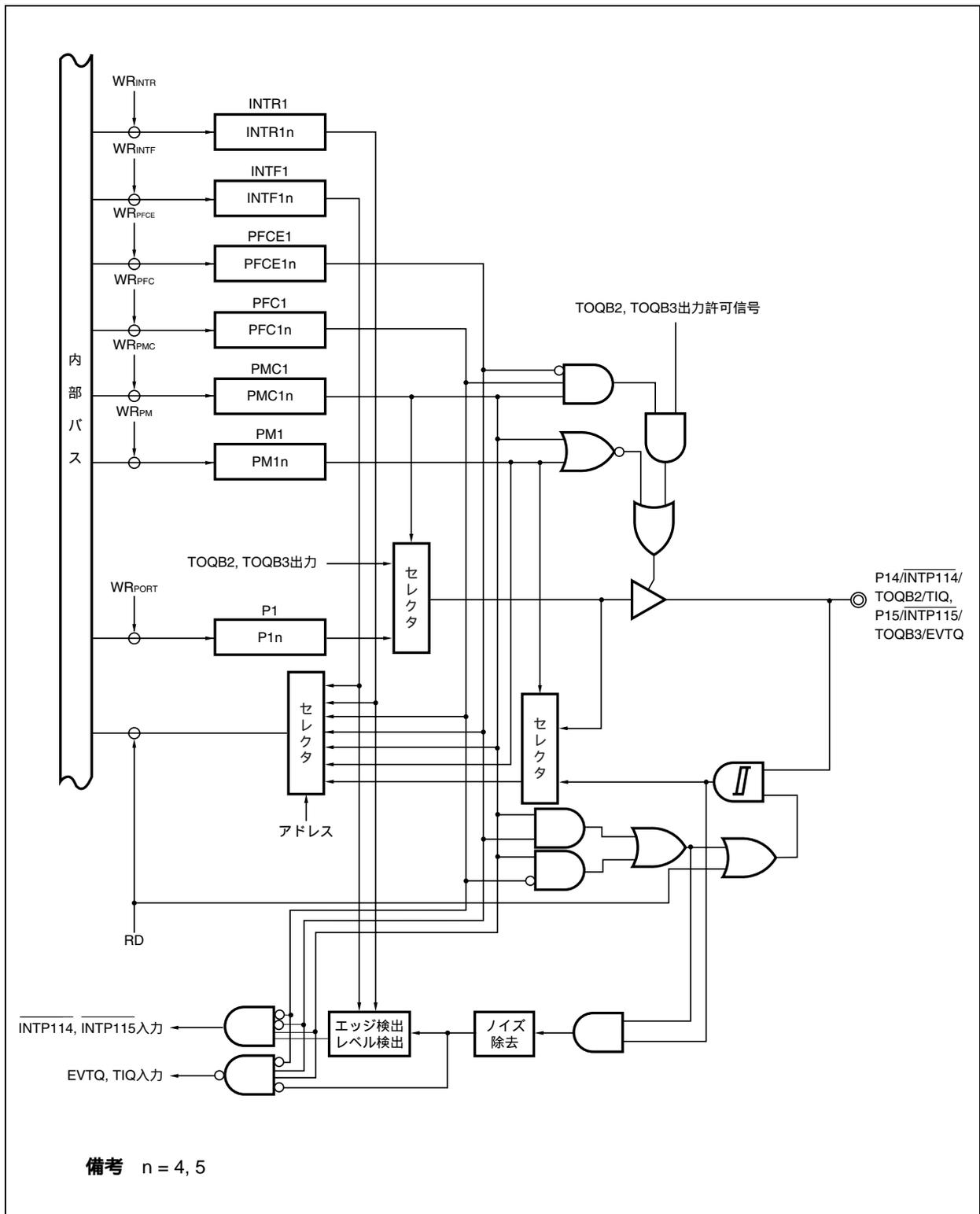


図4 - 8 P14, P15端子のブロック図



4.3.3 ポート2

ポート2は、入力専用端子であるP20を除き、1ビット単位で入出力を制御できます。

P20は常時NMI端子として機能します。P2.P20ビットのリードにより、NMI端子のレベルを読み出します。

ポート2は、次に示す端子と兼用しています。

表4-5 ポート2の兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
P20	84	J14	NMI	入力
P21	44	P4	INTP021/TOP10/EVTP1/TIP1/INTPP10	入出力
P22	43	L5	INTP022/TOP11/INTPP11	
P24	31	K3	INTP124/TC0	
P25	30	L2	INTP125/TC1/TIUD10/TO10	
P26	29	K4	INTP126/TC2/TDI ^注	
P27	28	K2	TC3/TDO ^注	

注 TDI, TDO端子はオンチップ・デバッグ用の端子です。P26, P27端子をP26/INTP126/TC2, P27/TC3として使用する場合は、 $\overline{\text{TRST}}$ 端子に必ずロウ・レベルを入力してください。 $\overline{\text{TRST}}$ 端子にハイ・レベルを入力した場合、P2レジスタ, PM2レジスタ, PMC2レジスタ, PFC2レジスタで設定した値は無効となり、TDI, TDO端子として機能します。

注意 P20-P22, P24-P26は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポート2レジスタ (P2)

リセット時：不定 R/W アドレス：FFFFFF404H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	0	P22	P21	P20

P2n	出力データの制御 (出力モード時) (n = 0-2, 4-7)
0	0を出力
1	1を出力

(b) ポート2モード・レジスタ (PM2)

リセット時：FFH R/W アドレス：FFFFFF424H

	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	1	PM22	PM21	1

PM2n	入出力モードの制御 (ポート・モード時) (n = 1, 2, 4-7)
0	出力モード
1	入力モード

(c) ポート2モード・コントロール・レジスタ (PMC2)

リセット時：01H R/W アドレス：FFFFFF444H

	7	6	5	4	3	2	1	0
PMC2	PMC27	PMC26	PMC25	PMC24	0	PMC22	PMC21	1
	P27端子の動作モードの指定							
	0	入出力ポート						
	1	TC3出力						
	P26端子の動作モードの指定							
	0	入出力ポート						
	1	INTP126入力 / TC2出力						
	P25端子の動作モードの指定							
	0	入出力ポート						
	1	INTP125入力 / TC1出力 / TIUD10入力 / TO10出力						
	P24端子の動作モードの指定							
	0	入出力ポート						
	1	INTP124入力 / TC0出力						
	P22端子の動作モードの指定							
	0	入出力ポート						
	1	INTP022入力 / TOP11出力 / INTPP11入力						
	P21端子の動作モードの指定							
	0	入出力ポート						
	1	INTP021入力 / TOP10出力 / EVTP1入力 / TIP1入力 / INTPP10入力						

注意 P26/INTP126/TC2はN-Wire制御信号TDIと、P27/TC3はN-Wire制御信号TDOと兼用しています。この兼用機能は、N-Wire型エミュレータ使用時には、デバッグできません。

(d) ポート2ファンクション・コントロール拡張レジスタ (PFCE2)

リセット時 : 00H R/W アドレス : FFFFF704H

	7	6	5	4	3	2	1	0
PFCE2	0	0	PFCE25	0	0	PFCE22	PFCE21	0

備考 兼用機能の指定については、4.3.3(1)(f) **ポート2の兼用機能の設定**を参照してください。

(e) ポート2ファンクション・コントロール・レジスタ (PFC2)

リセット時 : 00H R/W アドレス : FFFFF464H

	7	6	5	4	3	2	1	0
PFC2	0	PFC26	PFC25	PFC24	0	PFC22	PFC21	0

備考 兼用機能の指定については、4.3.3(1)(f) **ポート2の兼用機能の設定**を参照してください。

(f) ポート2の兼用機能の設定

PFC26	P26端子の兼用機能の指定	
0	INTP126入力	
1	TC2出力	

PFCE25	PFC25	P25端子の兼用機能の指定
0	0	INTP125入力
0	1	TC1出力
1	0	TIUD10入力
1	1	TO10出力

PFC24	P24端子の兼用機能の指定	
0	INTP124入力	
1	TC0出力	

PFCE22	PFC22	P22端子の兼用機能の指定
0	0	INTP022入力
0	1	TOP11出力
1	0	INTPP11入力
1	1	設定禁止

PFCE21	PFC21	P21端子の兼用機能の指定
0	0	INTP021入力
0	1	TOP10出力
1	0	EVTP1入力/TIP1入力/INTPP10入力
1	1	設定禁止

(2) ブロック図

図4 - 9 P20端子のブロック図

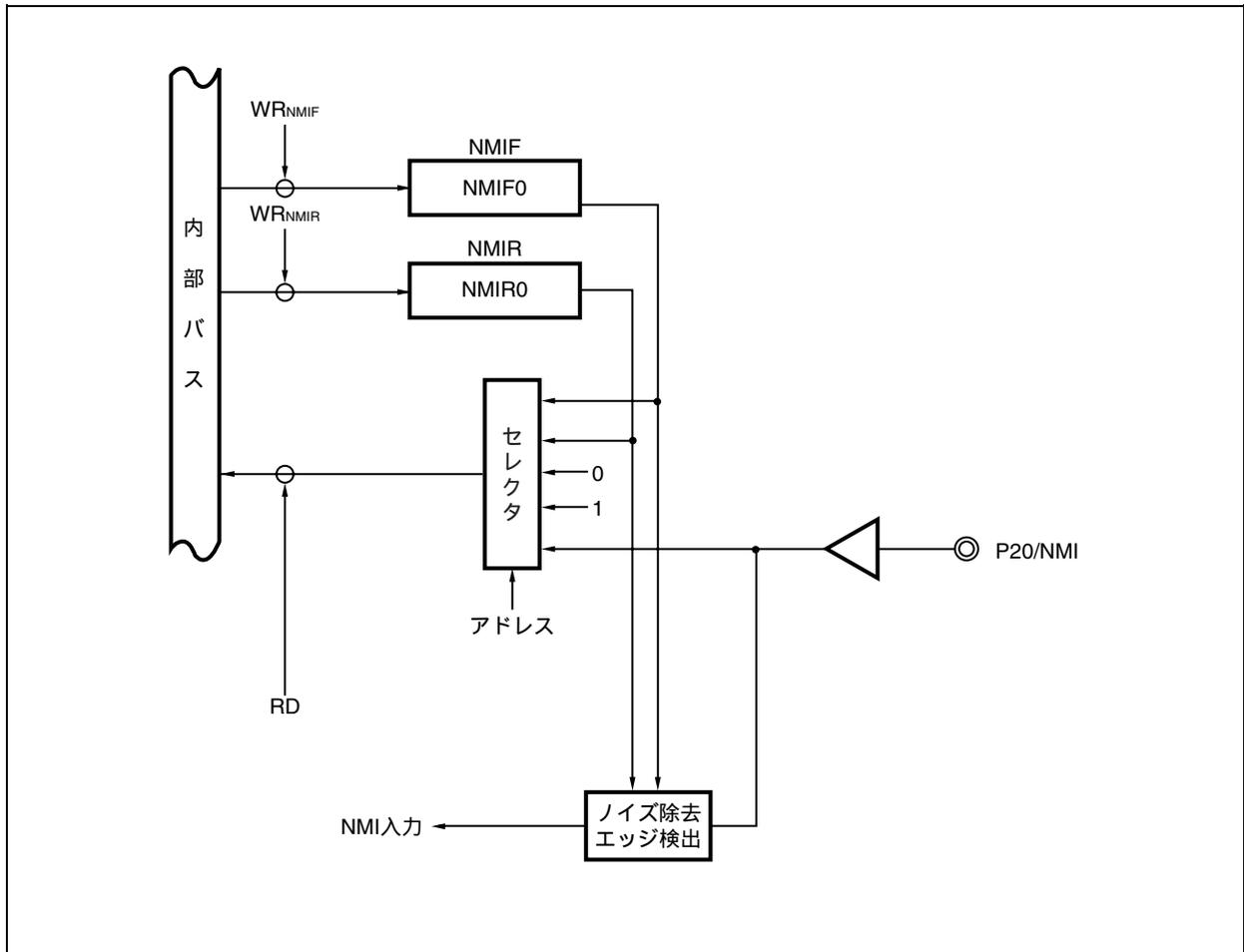


図4 - 10 P21, P22端子のブロック図

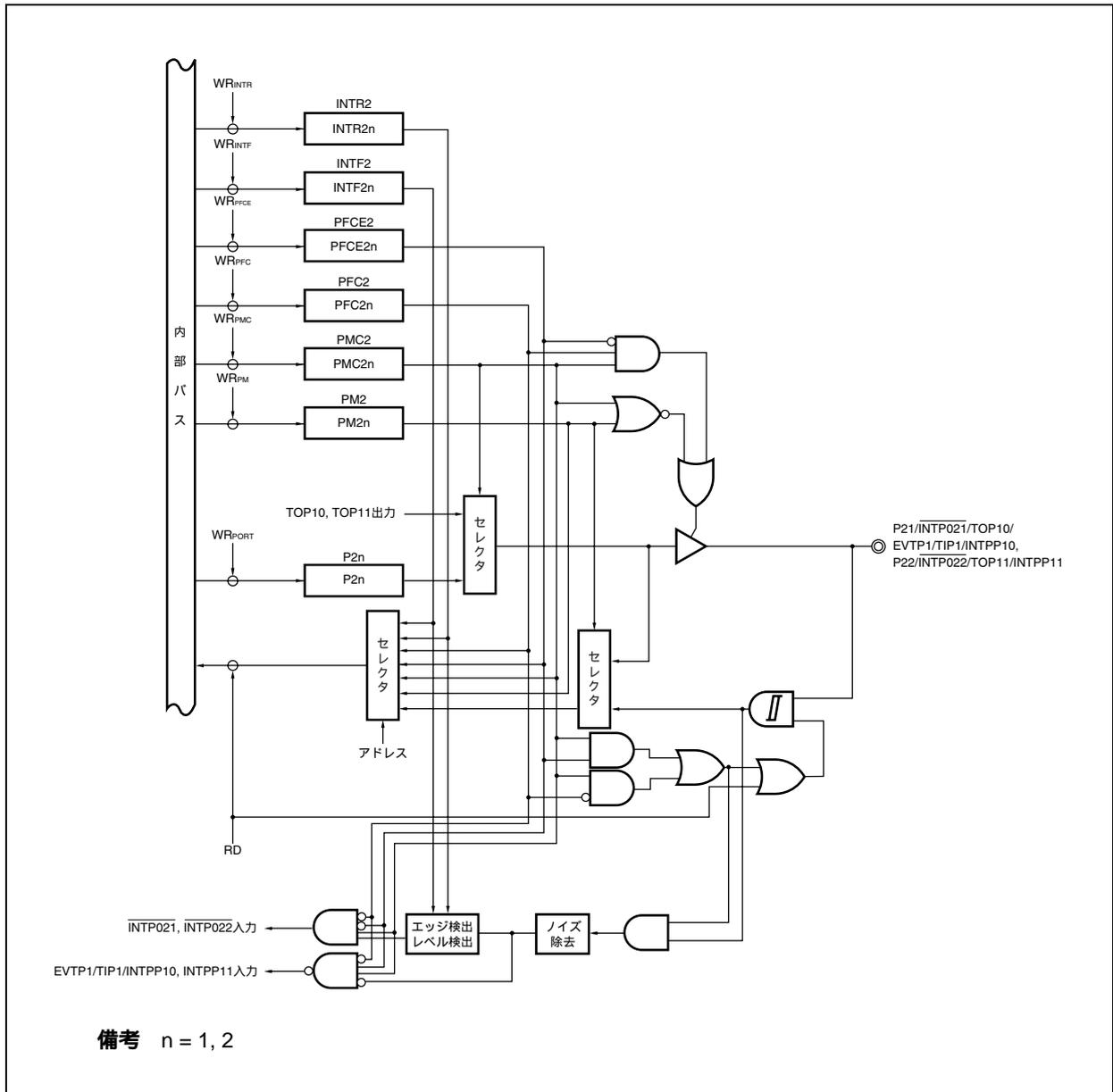


図4 - 11 P24端子のブロック図

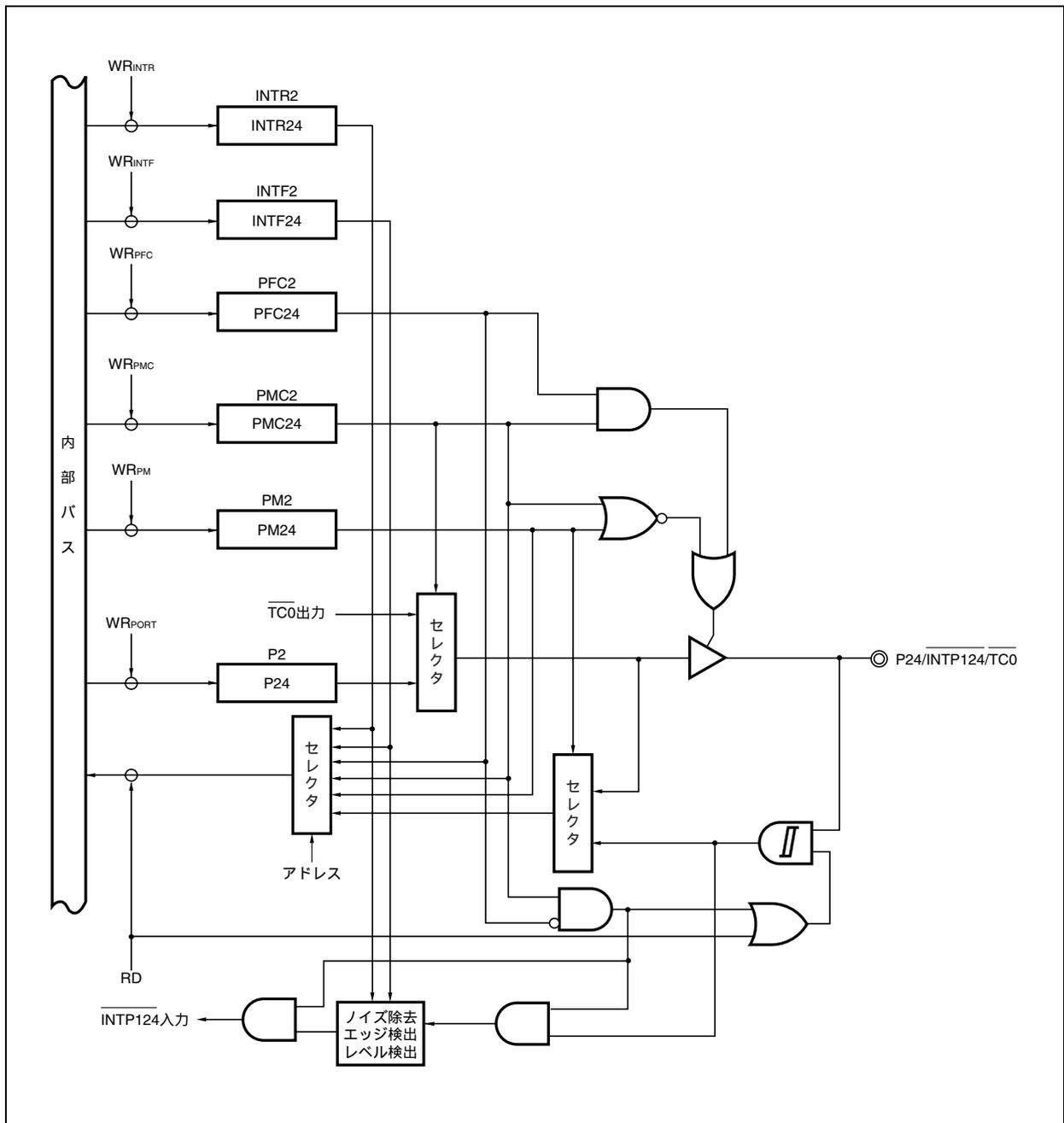


図4 - 12 P25端子のブロック図

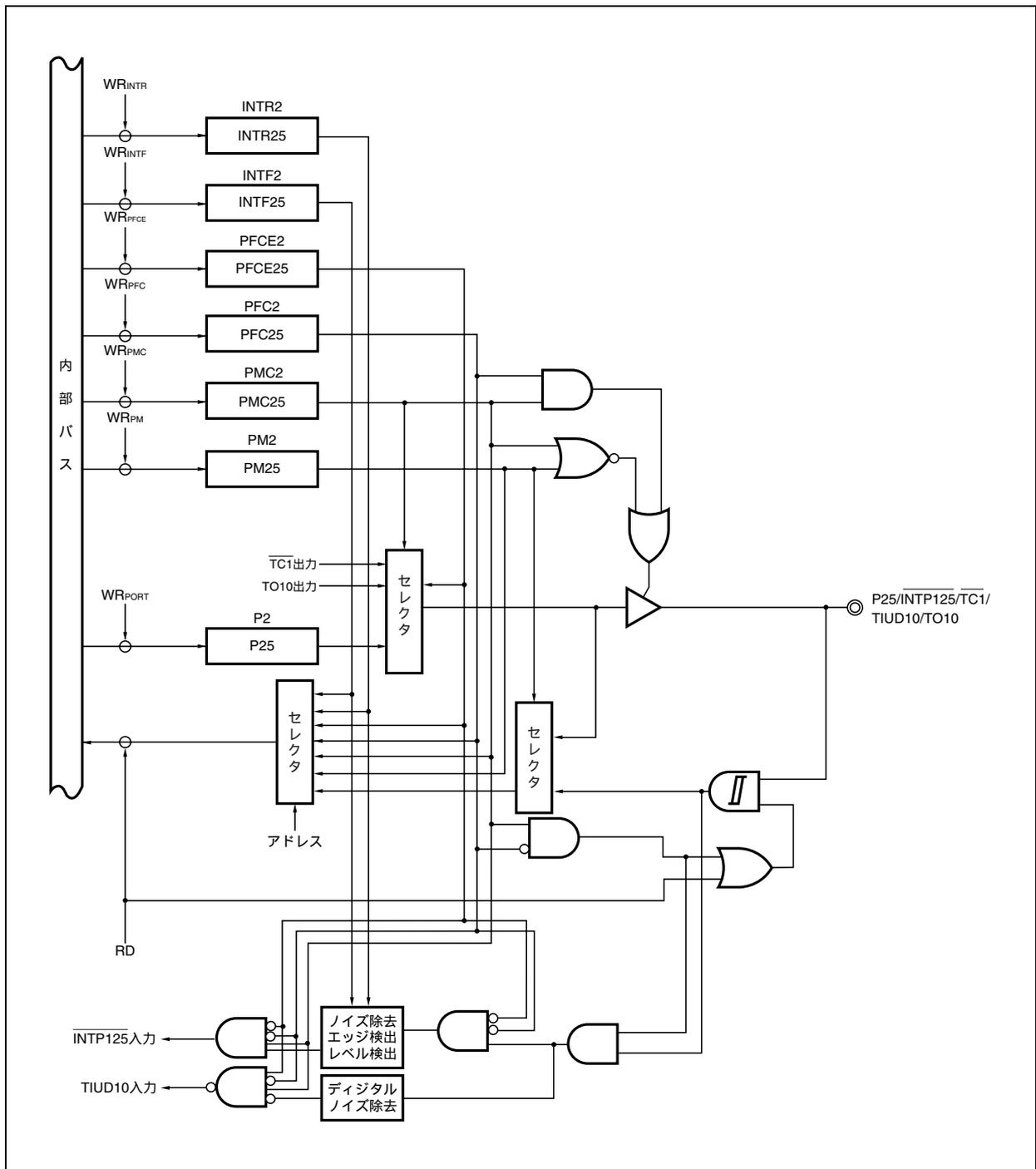


図4 - 13 P26端子のブロック図

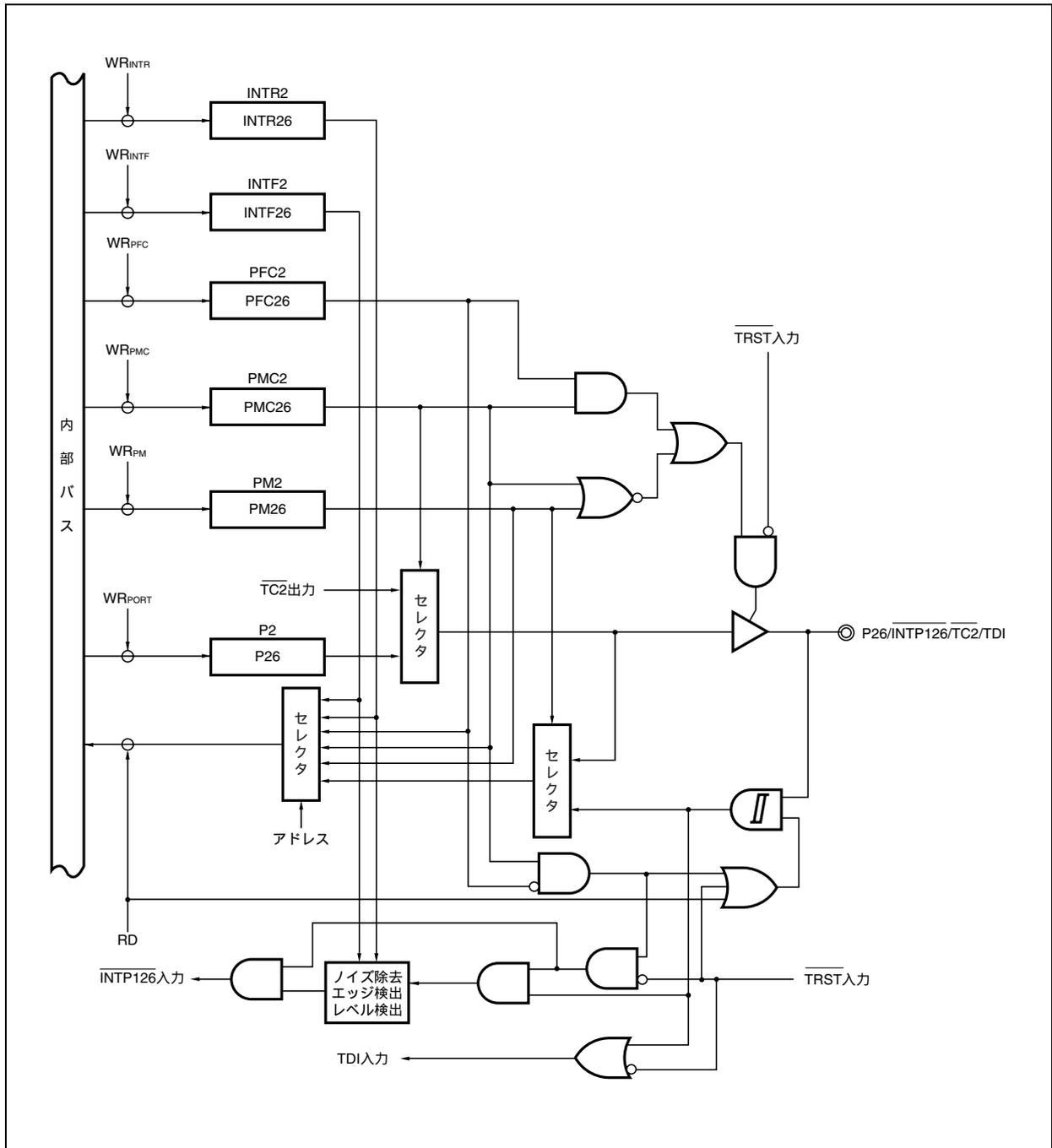
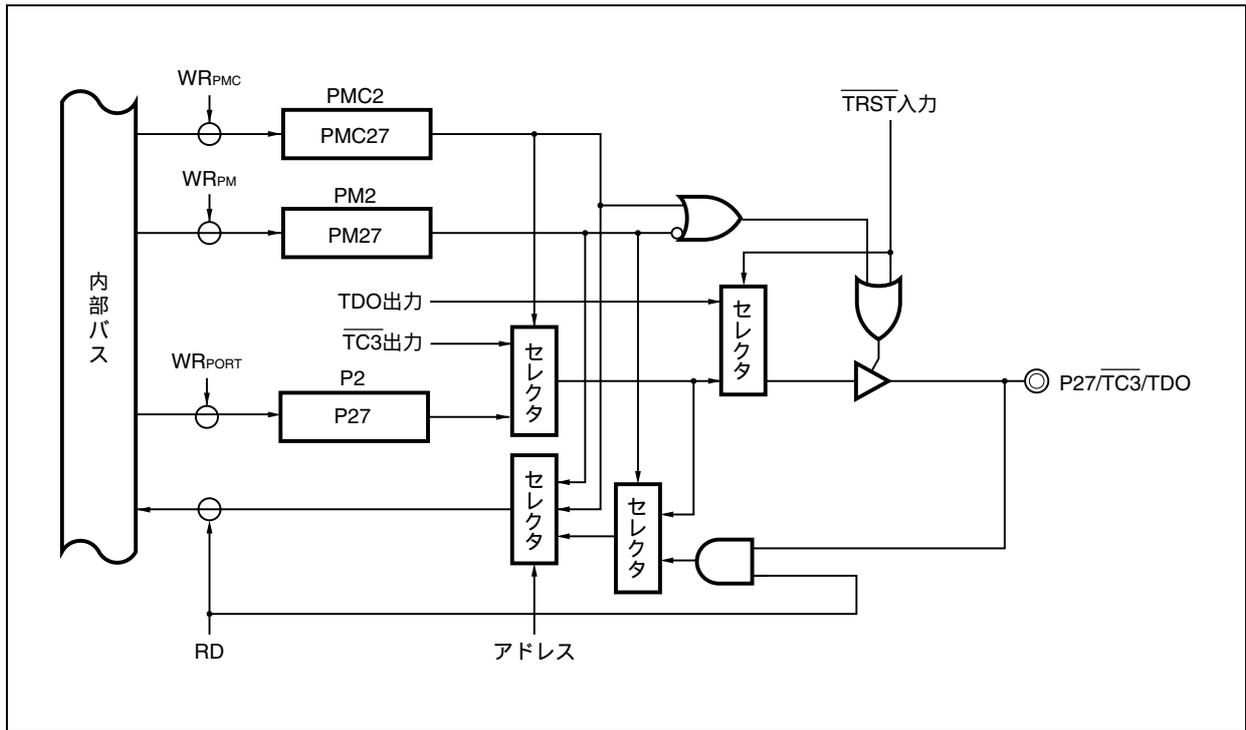


図4 - 14 P27端子のブロック図



4.3.4 ポート3

ポート3は1ビット単位で入出力を制御できます。

ポート3は、次に示す端子と兼用しています。

表4-6 ポート3の兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
P30	49	N6	INTP130/TXD2/SO2	入出力
P31	48	M6	INTP131/RXD2/SI2	
P32	47	L6	INTP132/ASCK2/SCK2	
P33	46	N5	INTP133/TXD3/SDA ^注	
P34	45	M5	INTP134/RXD3/SCL ^注	
P37	83	J11	INTP137/ADTRG	

注 SDA, SCL端子として使用する場合、端子は擬似オープン・ドレイン出力（P-ch側が常にオフ）になります。

注意 P30-P34, P37は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GJ : 144ピン・プラスチックLQFP（ファインピッチ）（20×20）

F1 : 161ピン・プラスチックFBGA（13×13）

(1) レジスタ

(a) ポート3レジスタ (P3)

リセット時：不定 R/W アドレス：FFFFFF406H

	7	6	5	4	3	2	1	0
P3	P37	0	0	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-4, 7)
0	0を出力
1	1を出力

(b) ポート3モード・レジスタ (PM3)

リセット時：FFH R/W アドレス：FFFFFF426H

	7	6	5	4	3	2	1	0
PM3	PM37	1	1	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (ポート・モード時) (n = 0-4, 7)
0	出力モード
1	入力モード

(c) ポート3モード・コントロール・レジスタ (PMC3)

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	0	0	PMC34	PMC33	PMC32	PMC31	PMC30
	PMC37	P37端子の動作モードの指定						
	0	入出力ポート						
	1	INTP137 $\overline{\text{I}}$ 入力 / ADTRG入力						
	PMC34	P34端子の動作モードの指定						
	0	入出力ポート						
	1	INTP134 $\overline{\text{I}}$ 入力 / RXD3入力 / SCL I 入出力						
	PMC33	P33端子の動作モードの指定						
	0	入出力ポート						
	1	INTP133 $\overline{\text{I}}$ 入力 / TXD3出力 / SDA I 入出力						
	PMC32	P32端子の動作モードの指定						
	0	入出力ポート						
	1	INTP132 $\overline{\text{I}}$ 入力 / ASCK2入力 / SCK2入出力						
	PMC31	P31端子の動作モードの指定						
	0	入出力ポート						
	1	INTP131 $\overline{\text{I}}$ 入力 / RXD2入力 / SI2入力						
	PMC30	P30端子の動作モードの指定						
	0	入出力ポート						
	1	INTP130 $\overline{\text{I}}$ 入力 / TXD2出力 / SO2出力						

注 SDA, SCL端子として使用する場合、端子は擬似オープン・ドレーン出力（P-ch側が常にオフ）になります。

(d) ポート3ファンクション・コントロール拡張レジスタ (PFCE3)

リセット時 : 00H R/W アドレス : FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	0	0	0	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30

備考 兼用機能の指定については、4.3.4(1)(f) **ポート3の兼用機能の設定**を参照してください。

(e) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時 : 00H R/W アドレス : FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	0	0	PFC34	PFC33	PFC32	PFC31	PFC30

備考 兼用機能の指定については、4.3.4(1)(f) **ポート3の兼用機能の設定**を参照してください。

(f) ポート3の兼用機能の設定

PFCE34	PFC34	P34端子の兼用機能の指定
0	0	$\overline{\text{INTP134}}$ 入力
0	1	RXD3入力
1	0	SCL ^注 入出力
1	1	設定禁止

PFCE33	PFC33	P33端子の兼用機能の指定
0	0	$\overline{\text{INTP133}}$ 入力
0	1	TXD3出力
1	0	SDA ^注 入出力
1	1	設定禁止

PFCE32	PFC32	P32端子の兼用機能の指定
0	0	$\overline{\text{INTP132}}$ 入力
0	1	ASCK2入力
1	0	SCK2入出力
1	1	設定禁止

PFCE31	PFC31	P31端子の兼用機能の指定
0	0	$\overline{\text{INTP131}}$ 入力
0	1	RXD2入力
1	0	SI2入力
1	1	設定禁止

PFCE30	PFC30	P30端子の兼用機能の指定
0	0	$\overline{\text{INTP130}}$ 入力
0	1	TXD2出力
1	0	SO2出力
1	1	設定禁止

注 SDA, SCL端子として使用する場合、端子は擬似オープン・ドレーン出力（P-ch側が常にオフ）になります。

(2) ブロック図

図4 - 15 P30端子のブロック図

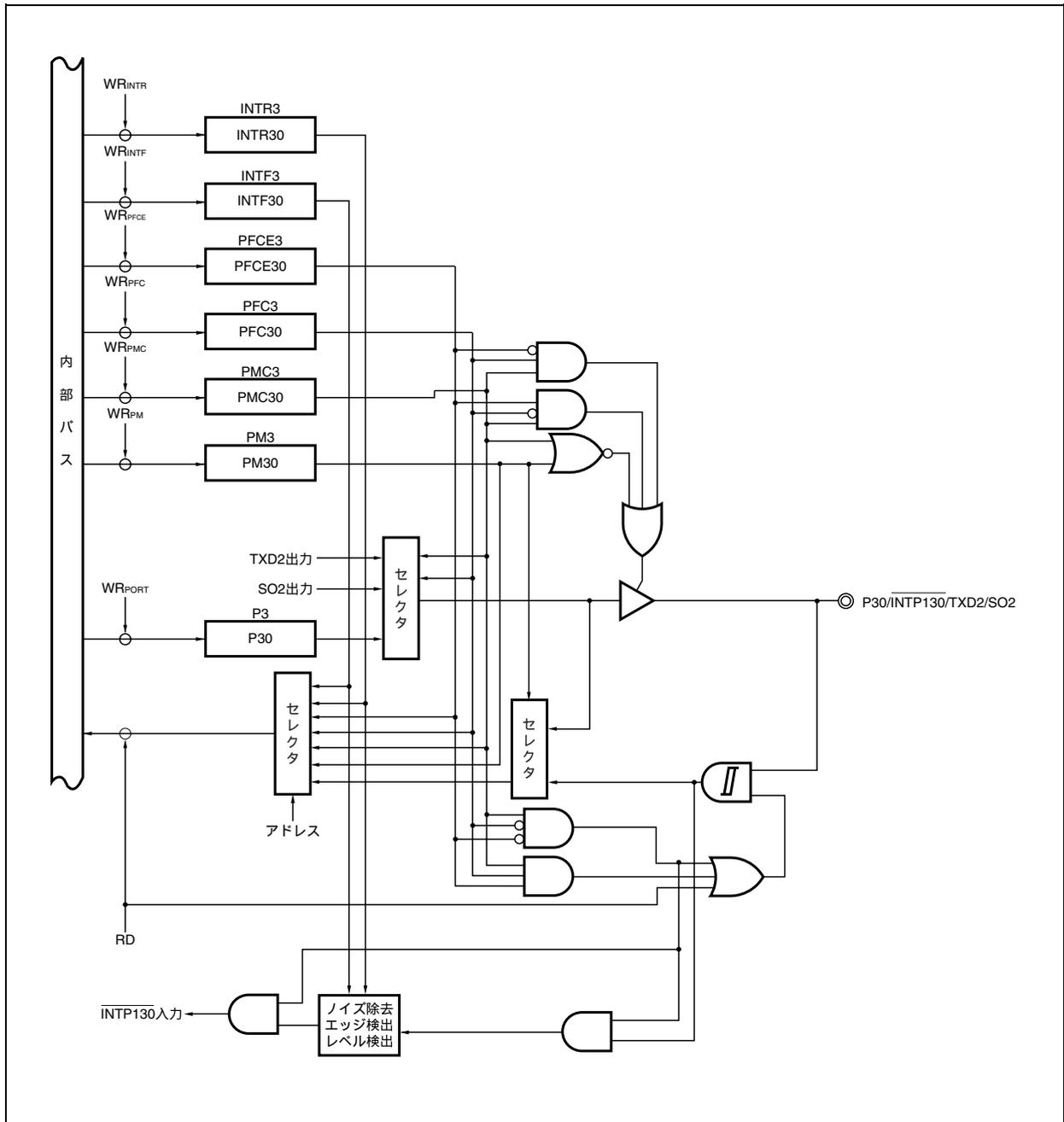


図4 - 16 P31端子のブロック図

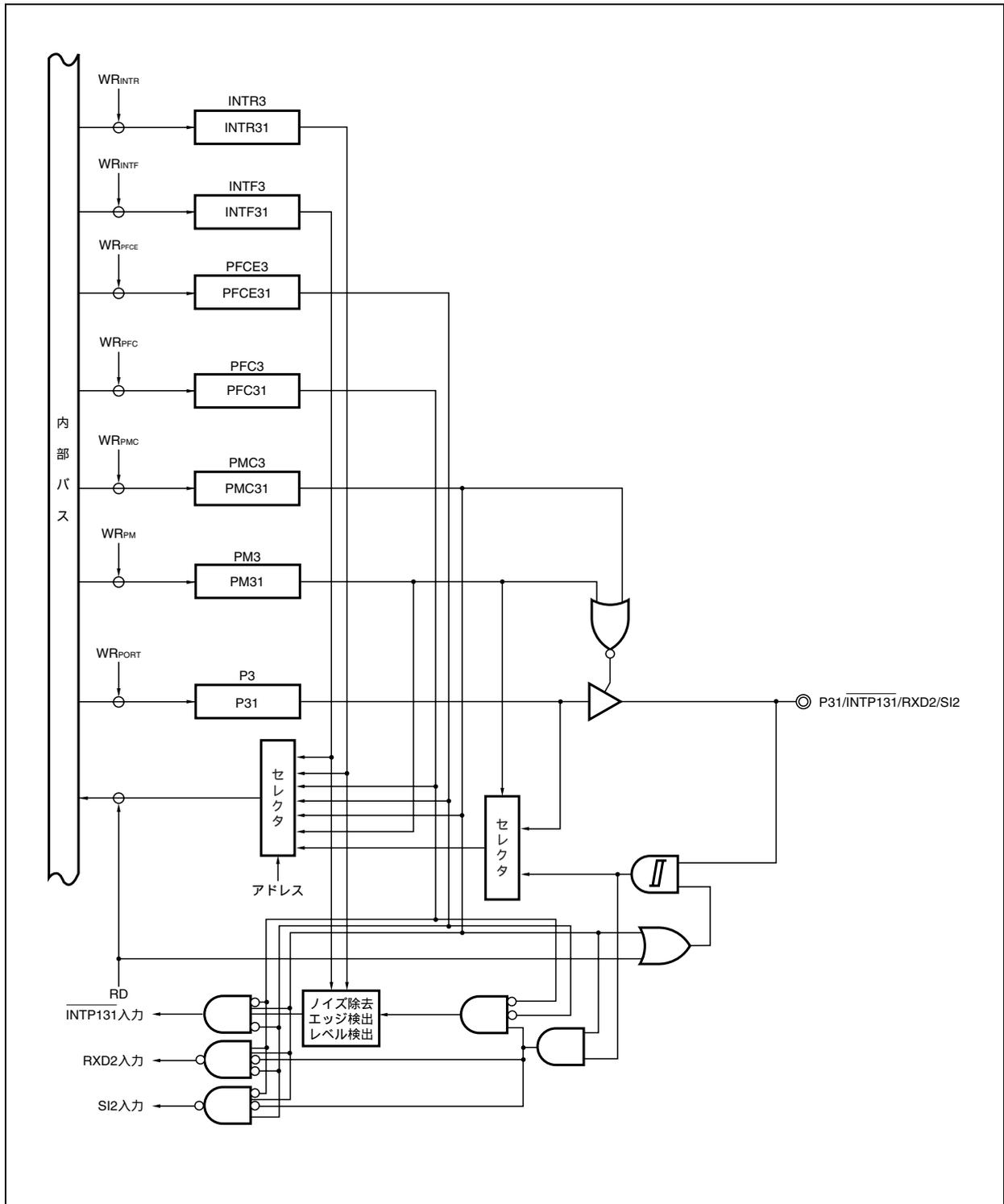


図4 - 17 P32端子のブロック図

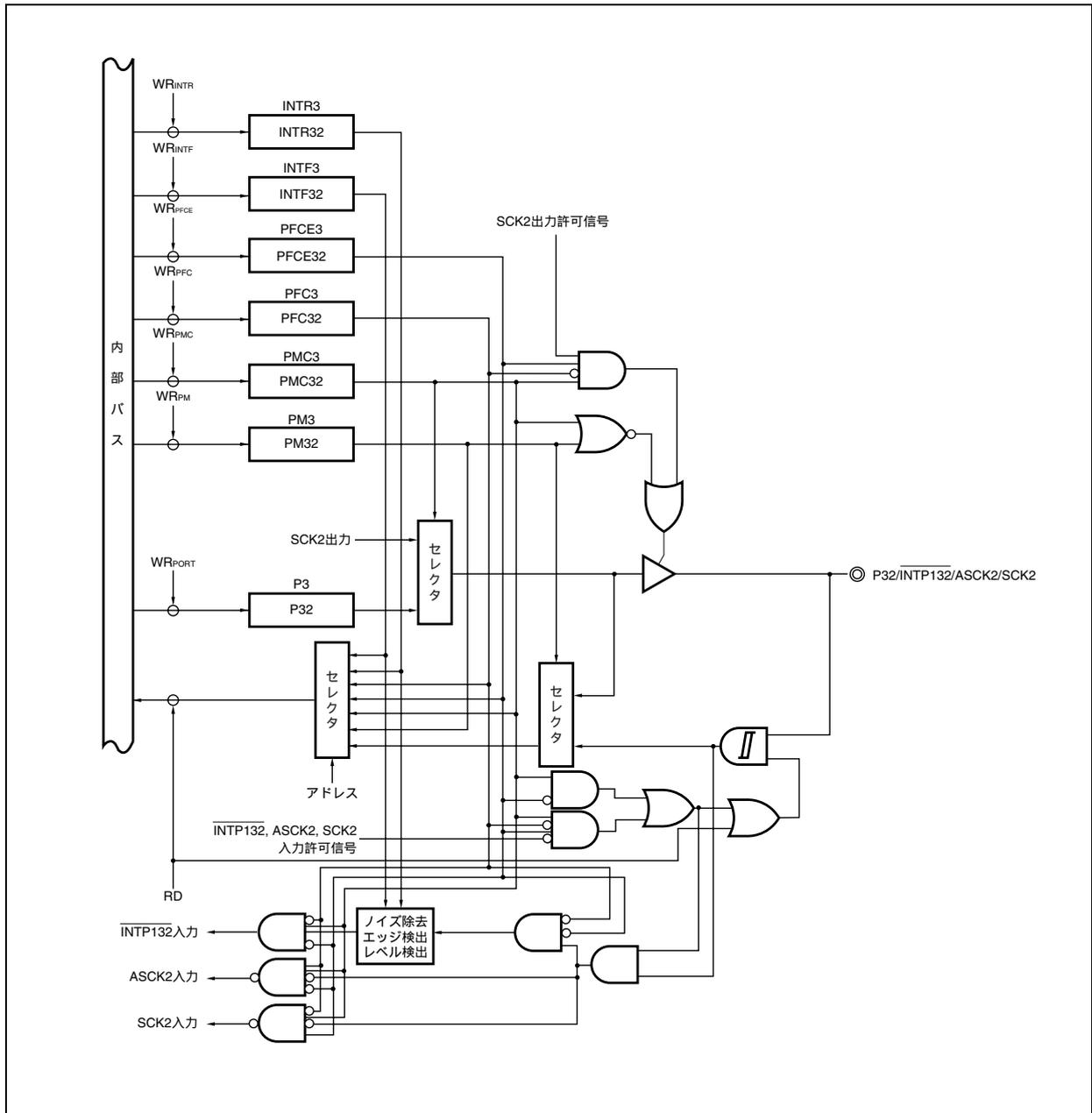


図4 - 18 P33端子のブロック図

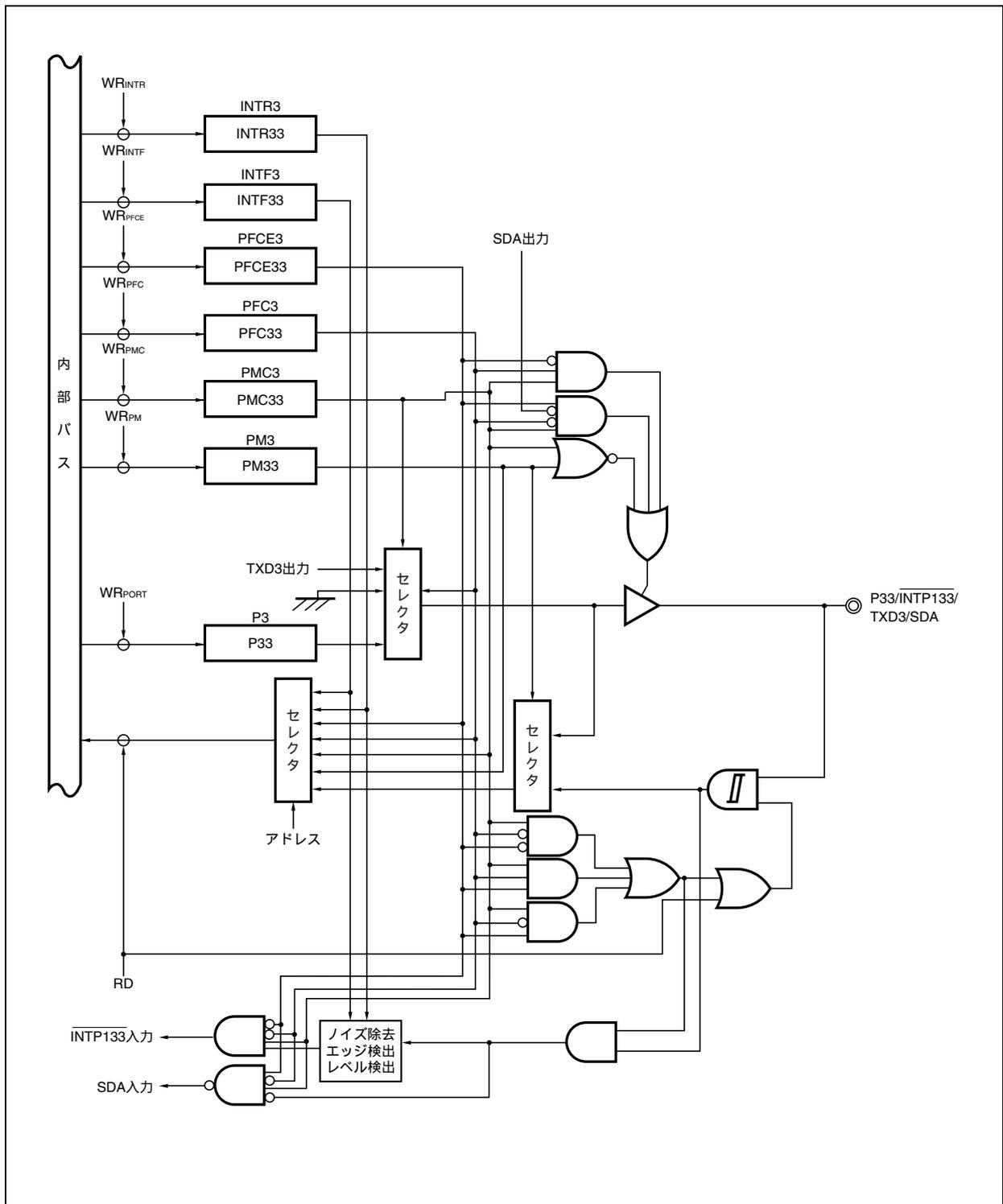


図4 - 19 P34端子のブロック図

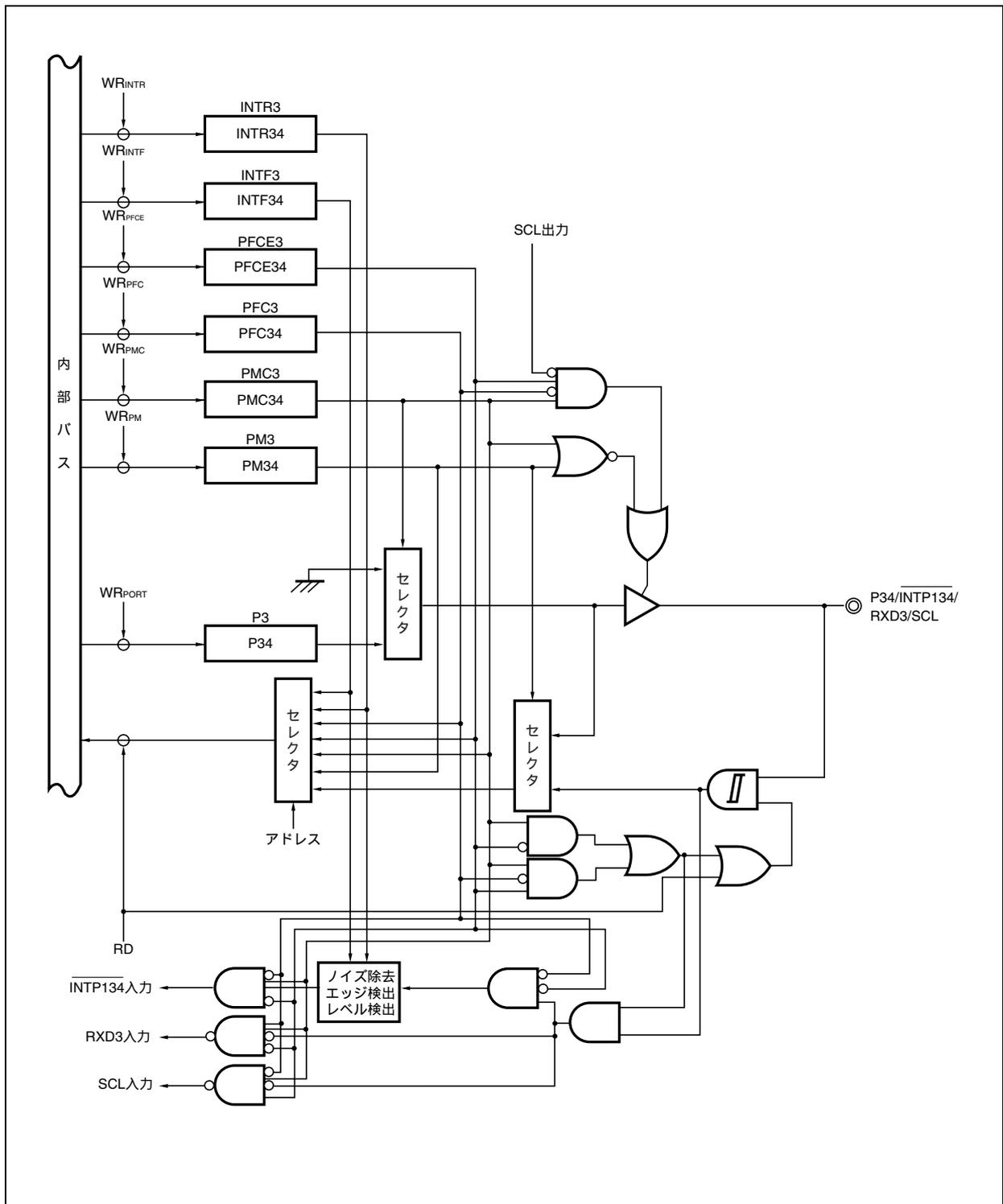
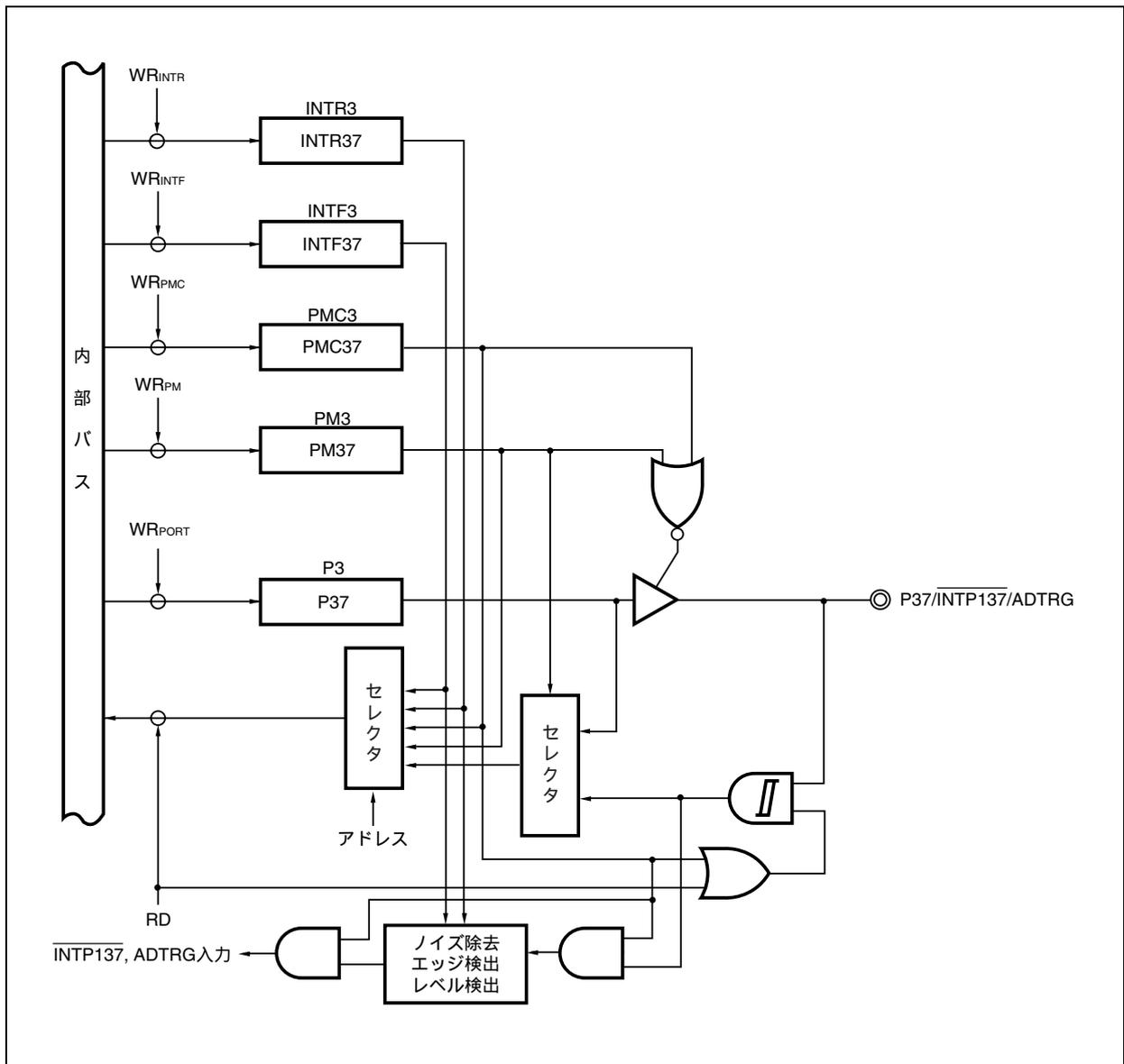


図4 - 20 P37端子のブロック図



4.3.5 ポート4

ポート4は1ビット単位で入出力を制御できます。

ポート4は、次に示す端子と兼用しています。

表4-7 ポート4の兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
P40	55	L8	SO0/TXD0	入出力
P41	54	P7	SI0/RXD0	
P42	53	N7	SCK0/ASCK0	
P43	52	M7	SO1/TXD1	
P44	51	P6	SI1/RXD1	
P45	50	L7	SCK1/ASCK1	

注意 P41, P42, P44, P45は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポート4レジスタ (P4)

リセット時：不定 R/W アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	P45	P44	P43	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(b) ポート4モード・レジスタ (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	入出力モードの制御 (ポート・モード時) (n = 0-5)
0	出力モード
1	入力モード

(c) ポート4モード・コントロール・レジスタ (PMC4)

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40
PMC45	P45端子の動作モードの指定							
0	入出力ポート							
1	SCK1入出力 / ASCK1入力							
PMC44	P44端子の動作モードの指定							
0	入出力ポート							
1	SI1入力 / RXD1入力							
PMC43	P43端子の動作モードの指定							
0	入出力ポート							
1	SO1出力 / TXD1出力							
PMC42	P42端子の動作モードの指定							
0	入出力ポート							
1	SCK0入出力 / ASCK0入力							
PMC41	P41端子の動作モードの指定							
0	入出力ポート							
1	SI0入力 / RXD0入力							
PMC40	P40端子の動作モードの指定							
0	入出力ポート							
1	SO0出力 / TXD0出力							

(d) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時 : 00H R/W アドレス : FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40
PFC45	P45端子の兼用機能の指定							
0	SCK1入出力							
1	ASCK1入力							
PFC44	P44端子の兼用機能の指定							
0	SI1入力							
1	RXD1入力							
PFC43	P43端子の兼用機能の指定							
0	SO1出力							
1	TXD1出力							
PFC42	P42端子の兼用機能の指定							
0	SCK0入出力							
1	ASCK0入力							
PFC41	P41端子の兼用機能の指定							
0	SI0入力							
1	RXD0入力							
PFC40	P40端子の兼用機能の指定							
0	SO0出力							
1	TXD0出力							

(2) ブロック図

図4 - 21 P40, P43端子のブロック図

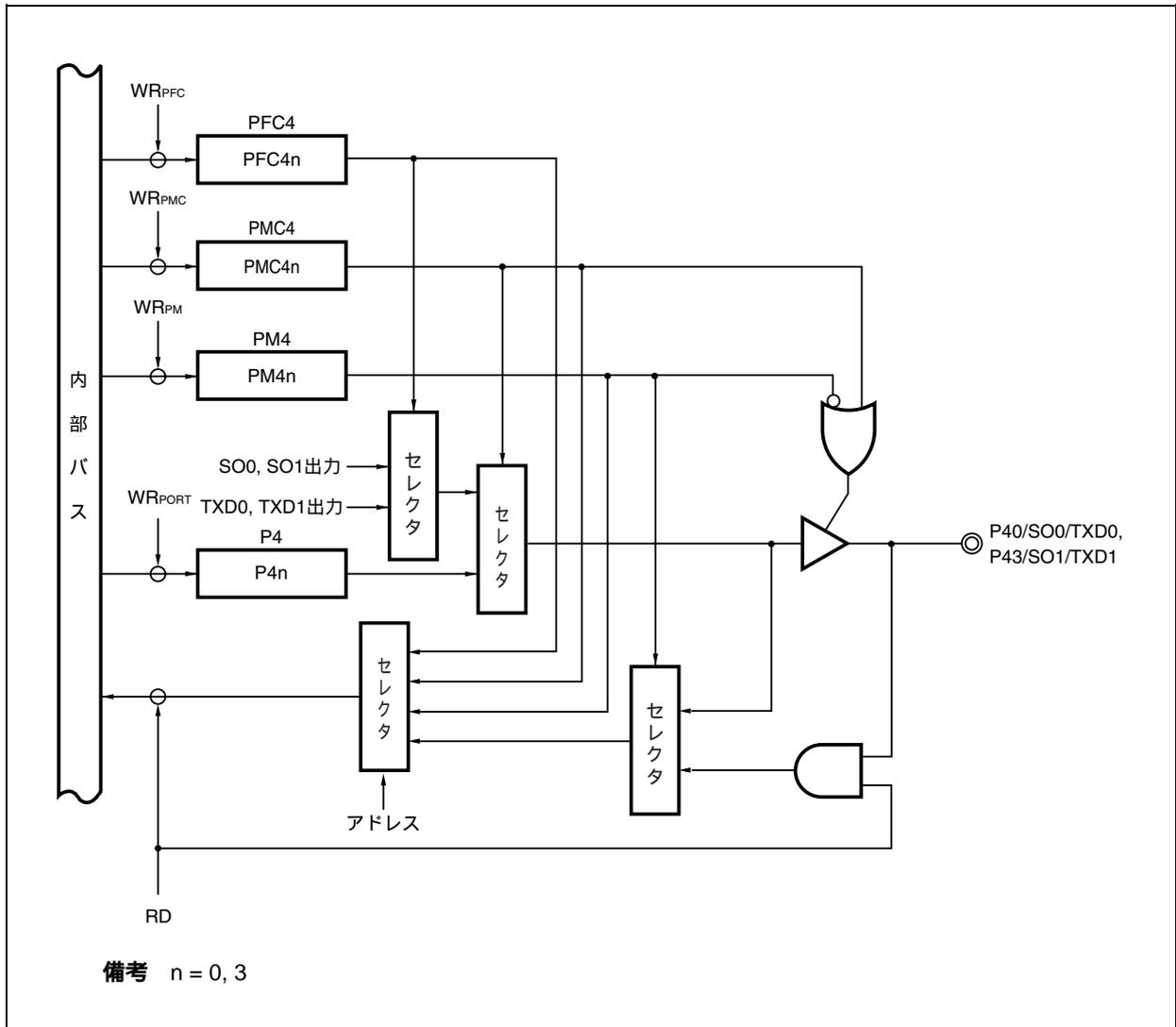


図4 - 22 P41, P44端子のブロック図

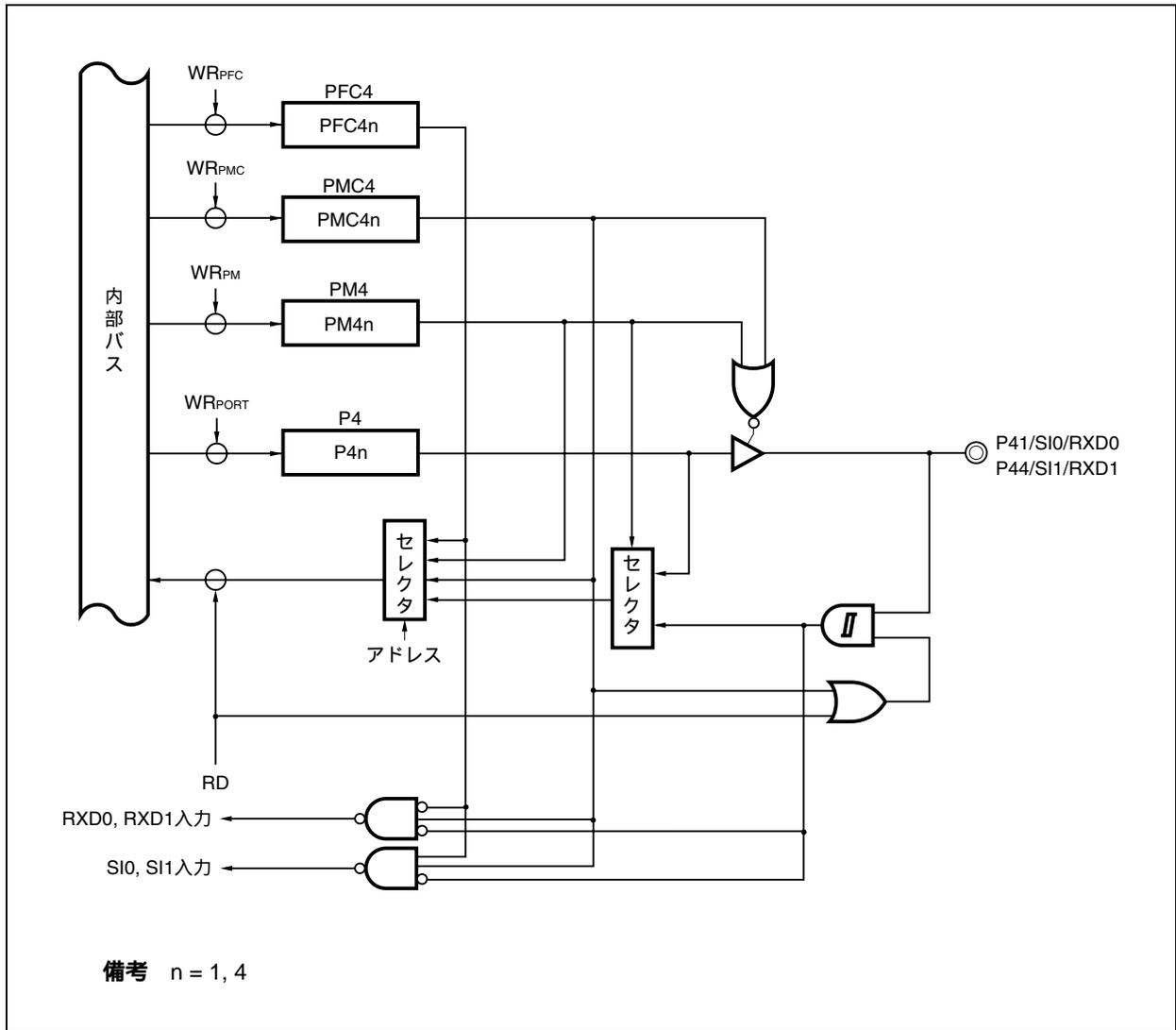
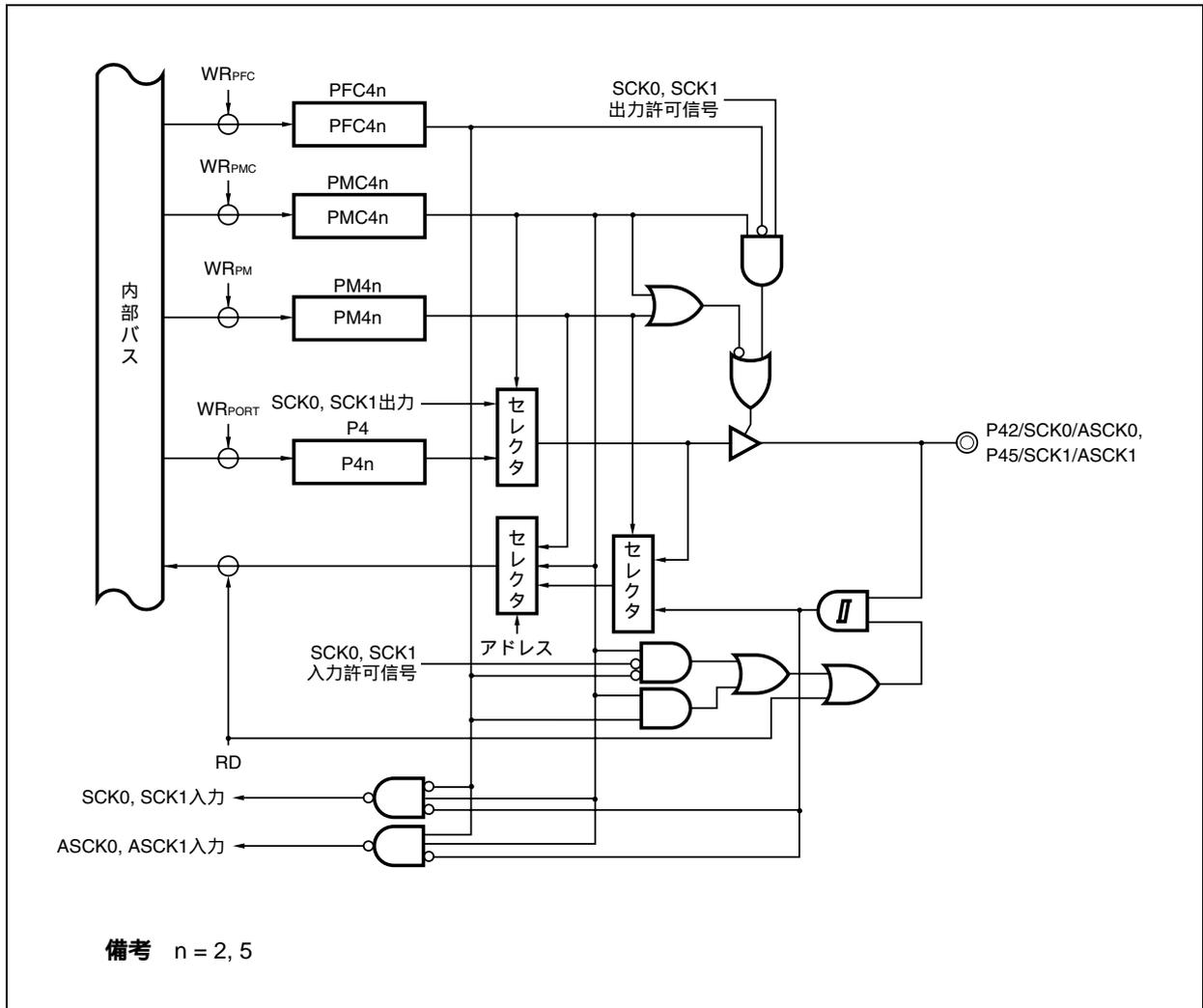


図4 - 23 P42, P45端子のブロック図



4.3.6 ポート5

ポート5は1ビット単位で入出力を制御できます。

ポート5は、次に示す端子と兼用しています。

表4-8 ポート5の兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
P50	86	J13	INTP050/TOP20/EVTP2/TIP2/INTPP20	入出力
P51	85	J12	INTP051/TOP21/INTPP21	

注意 P50, P51は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポート5レジスタ (P5)

リセット時：不定 R/W アドレス：FFFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	0	0	0	0	0	P51	P50

P5n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

(b) ポート5モード・レジスタ (PM5)

リセット時：FFH R/W アドレス：FFFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	1	1	1	1	PM51	PM50

PM5n	入出力モードの制御 (ポート・モード時) (n = 0, 1)
0	出力モード
1	入力モード

(c) ポート5モード・コントロール・レジスタ (PMC5)

リセット時：00H R/W アドレス：FFFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	0	0	0	0	PMC51	PMC50

PMC51	P51端子の動作モードの指定	
0	入出力ポート	
1	INTP051入力 / TOP21出力 / INTPP21入力	

PMC50	P50端子の動作モードの指定	
0	入出力ポート	
1	INTP050入力 / TOP20出力 / EVTP2入力 / TIP2入力 / INTPP20入力	

(d) ポート5ファンクション・コントロール拡張レジスタ (PFCE5)

リセット時：00H R/W アドレス：FFFFFF70AH

	7	6	5	4	3	2	1	0
PFCE5	0	0	0	0	0	0	PFCE51	PFCE50

備考 兼用機能の指定については、4.3.6(1)(f) ポート5の兼用機能の設定を参照してください。

(e) ポート5ファンクション・コントロール・レジスタ (PFC5)

リセット時：00H R/W アドレス：FFFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	0	0	0	0	PFC51	PFC50

備考 兼用機能の指定については、4.3.6(1)(f) ポート5の兼用機能の設定を参照してください。

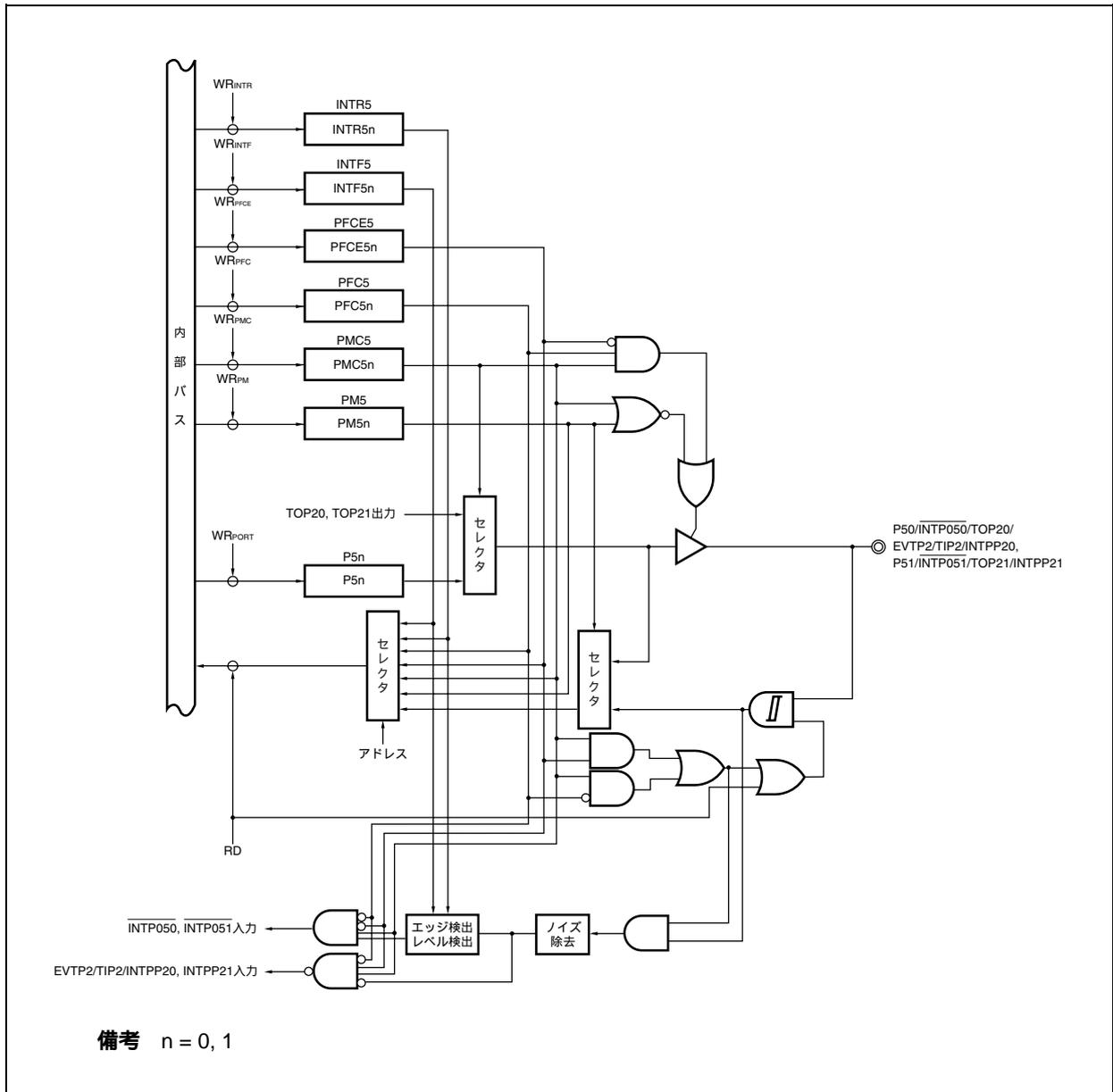
(f) ポート5の兼用機能の設定

PFCE51	PFC51	P51端子の兼用機能の指定
0	0	INTP051入力
0	1	TOP21出力
1	0	INTPP21入力
1	1	設定禁止

PFCE50	PFC50	P50端子の兼用機能の指定
0	0	INTP050入力
0	1	TOP20出力
1	0	EVTP2入力/TIP2入力/INTPP20入力
1	1	設定禁止

(2) ブロック図

図4 - 24 P50, P51端子のブロック図



備考 n = 0, 1

4.3.7 ポート7

ポート7は全端子が入力に固定です。

ポート7は、次に示す端子と兼用しています。

表4-9 ポート7の兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
P70	80	K12	ANI0	入力
P71	79	K11	ANI1	
P72	78	L14	ANI2	
P73	77	L13	ANI3	
P74	76	L12	ANI4	
P75	75	M13	ANI5	
P76	74	M12	ANI6	
P77	73	L11	ANI7	

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポート7レジスタ (P7)

リセット時：不定 R アドレス：FFFFFF40EH

	7	6	5	4	3	2	1	0
P7	P77	P76	P75	P74	P73	P72	P71	P70

P7n	入力データの読み出し (n = 0-7)
0	0を入力
1	1を入力

注意 A/D変換中に、P7レジスタをリードしないでください。

(b) ポート7モード・コントロール・レジスタ (PMC7)

リセット時：00H R/W アドレス：FFFFFF44EH

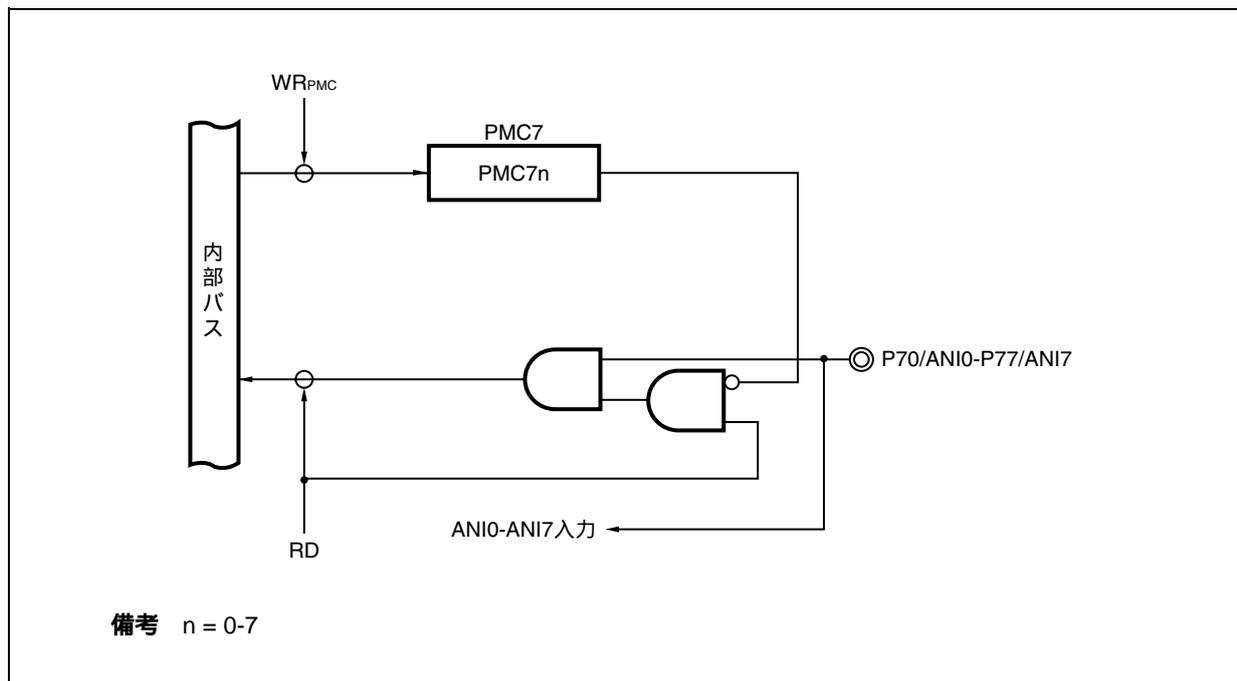
	7	6	5	4	3	2	1	0
PMC7	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70

PMC7n	P7n端子の動作モードの指定 (n = 0-7)
0	入力ポート
1	ANIn入力

注意 A/D変換中に、ポート・モードに変更しないでください。

(2) ブロック図

図4 - 25 P70-P77端子のブロック図



4.3.8 ポート8

ポート8は全端子が入力に固定です。

ポート8は、次に示す端子と兼用しています。

表4 - 10 ポート8の兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
P80	69	P13	ANO0	入力
P81	68	N11	ANO1	

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポート8レジスタ (P8)

リセット時 : 不定 R アドレス : FFFFFFF410H

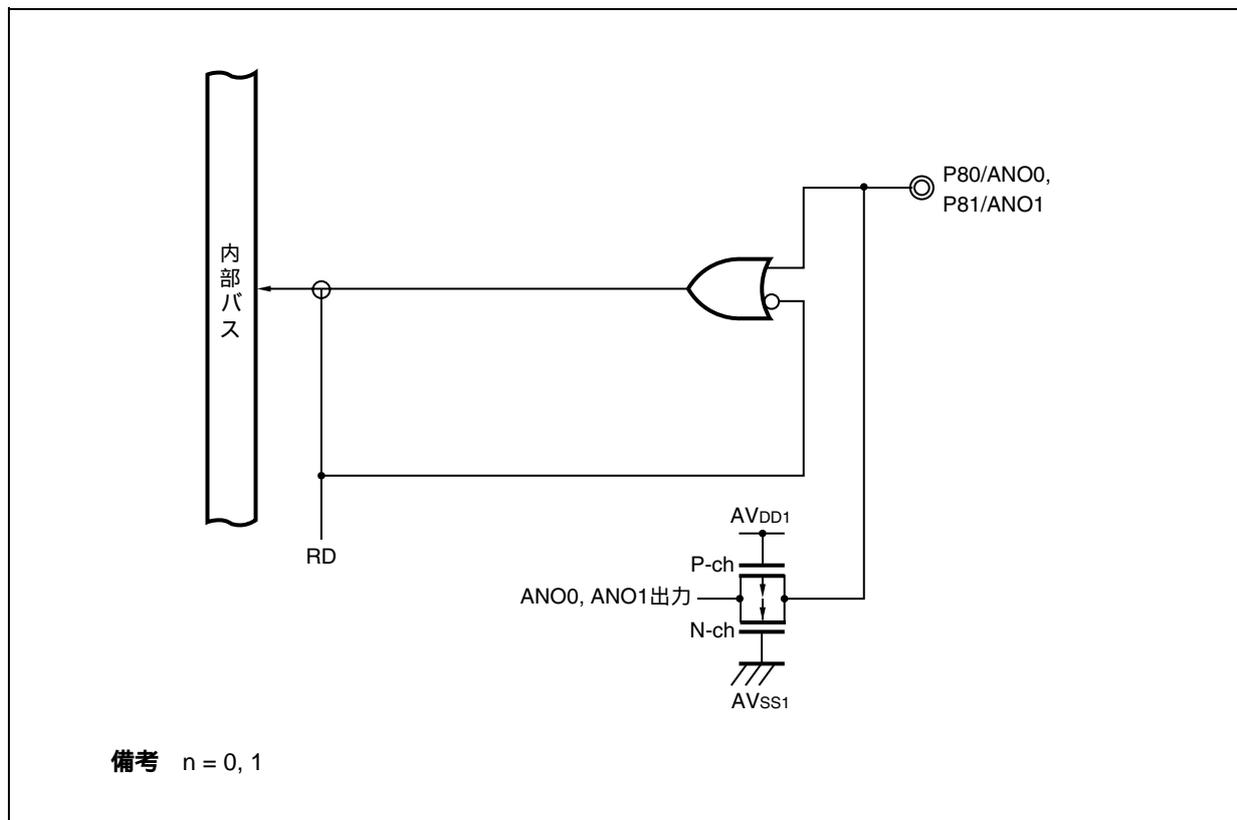
	7	6	5	4	3	2	1	0
P8	0	0	0	0	0	0	P81	P80

P8n	入力データの読み出し (n = 0, 1)
0	0を入力
1	1を入力

注意 D/A変換動作中に、P8レジスタをリードしないでください。入力ポートとして使用する場合は、必ずD/A変換動作を停止してください。

(2) ブロック図

図4 - 26 P80, P81端子のブロック図



4.3.9 ポートAL

ポートALは1ビット単位で入出力を制御できます。

ポートALは、次に示す端子と兼用しています。

表4 - 11 ポートALの兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
PAL0	143	B3	A0	入出力
PAL1	142	C4	A1	
PAL2	141	A3	A2	
PAL3	140	D4	A3	
PAL4	139	B4	A4	
PAL5	138	A4	A5	
PAL6	137	D5	A6	
PAL7	136	C5	A7	
PAL8	133	B6	A8	
PAL9	132	A6	A9	
PAL10	131	D6	A10	
PAL11	130	C7	A11	
PAL12	129	A7	A12	
PAL13	128	B7	A13	
PAL14	127	D7	A14	
PAL15	126	A8	A15	

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポートALレジスタ (PAL)

リセット時：不定 R/W アドレス：PAL FFFFF000H,
PALL FFFFF000H, PALH FFFFF001H

	15	14	13	12	11	10	9	8
PAL (PALH ^注)	PAL15	PAL14	PAL13	PAL12	PAL11	PAL10	PAL9	PAL8

	7	6	5	4	3	2	1	0
(PALL)	PAL7	PAL6	PAL5	PAL4	PAL3	PAL2	PAL1	PAL0

PALn	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

注 PALレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PALHレジスタのビット0-7として指定してください。

備考 PALレジスタは、16ビット単位でリード/ライト可能です。
ただし、PALレジスタの上位8ビットをPALHレジスタ、下位8ビットをPALLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(b) ポートALモード・レジスタ (PMAL)

リセット時：FFFFH R/W アドレス：PMAL FFFFF020H,
PMALL FFFFF020H, PMALH FFFFF021H

	15	14	13	12	11	10	9	8
PMAL (PMALH ^注)	PMAL15	PMAL14	PMAL13	PMAL12	PMAL11	PMAL10	PMAL9	PMAL8
	7	6	5	4	3	2	1	0
(PMALL)	PMAL7	PMAL6	PMAL5	PMAL4	PMAL3	PMAL2	PMAL1	PMAL0
PMALn	入出力モードの指定 (ポート・モード時) (n = 0-15)							
0	出力モード							
1	入力モード							

注 PMALレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMALHレジスタのビット0-7として指定してください。

備考 PMALレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMALレジスタの上位8ビットをPMALHレジスタ、下位8ビットをPMALLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(c) ポートALモード・コントロール・レジスタ (PMCAL)

リセット時：0000H R/W アドレス：PMCAL FFFFF040H,
PMCALL FFFFF040H, PMCALH FFFFF041H

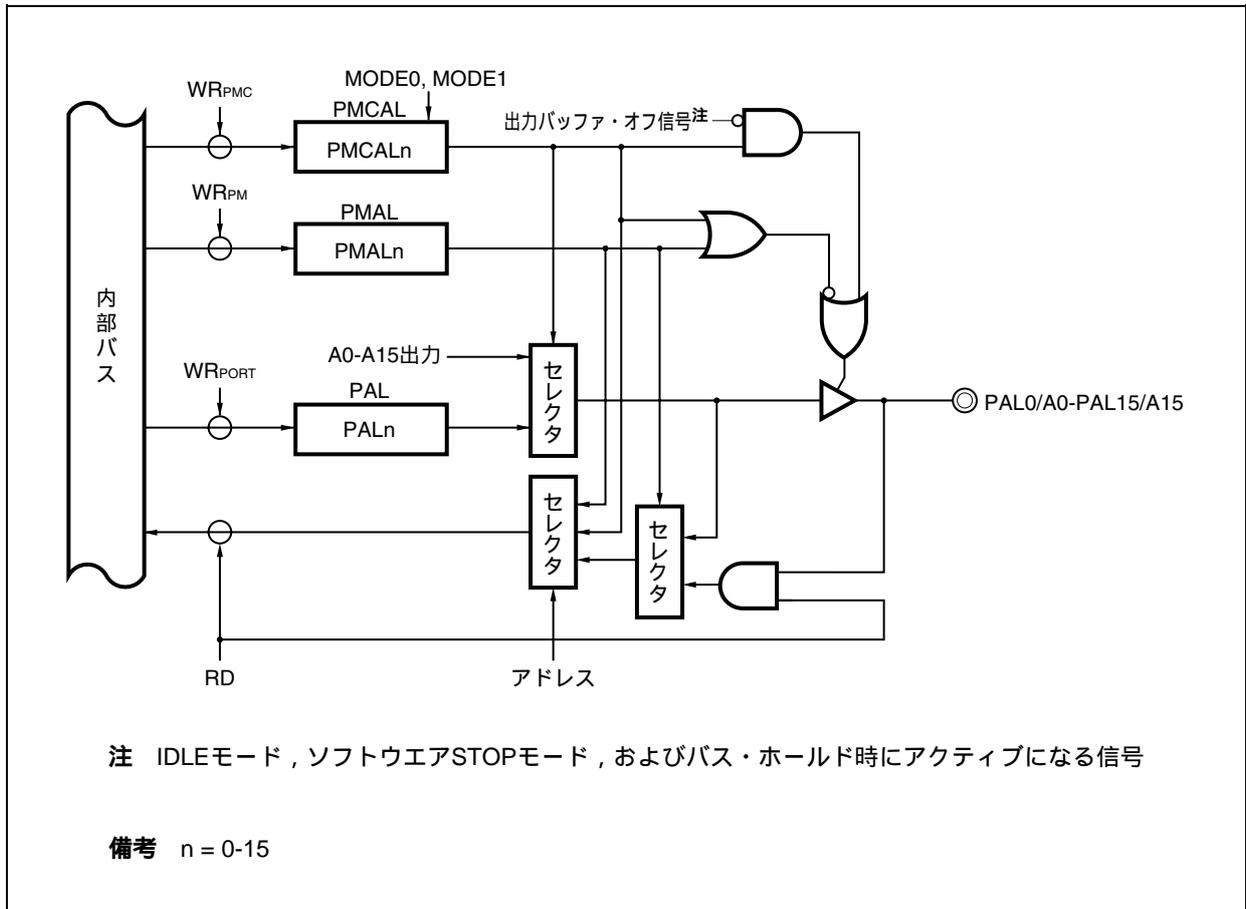
	15	14	13	12	11	10	9	8
PMCAL (PMCALH ^注)	PMCAL15	PMCAL14	PMCAL13	PMCAL12	PMCAL11	PMCAL10	PMCAL9	PMCAL8
	7	6	5	4	3	2	1	0
(PMCALL)	PMCAL7	PMCAL6	PMCAL5	PMCAL4	PMCAL3	PMCAL2	PMCAL1	PMCAL0
PMCALn	PALn端子の動作モードの指定 (n = 0-15)							
0	入出力ポート							
1	An出力							

注 PMCALレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCALHレジスタのビット0-7として指定してください。

備考 PMCALレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMCALレジスタの上位8ビットをPMCALHレジスタ、下位8ビットをPMCALLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ブロック図

図4 - 27 PAL0-PAL15端子のブロック図



4.3.10 ポートAH

ポートAHは1ビット単位で入出力を制御できます。

ポートAHは、次に示す端子と兼用しています。

表4 - 12 ポートAHの兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
PAH0	123	D8	A16	入出力
PAH1	122	A9	A17	
PAH2	121	B9	A18	
PAH3	120	C9	A19	
PAH4	119	D9	A20	
PAH5	118	B10	A21	
PAH6	117	C10	A22	
PAH7	116	D10	A23	
PAH8	115	A11	A24	
PAH9	114	B11	A25	

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポートAHレジスタ (PAH)

リセット時 : 不定 R/W アドレス : PAH FFFFF002H,
PAHL FFFFF002H, PAHH FFFFF003H

	15	14	13	12	11	10	9	8
PAH (PAHH ^注)	0	0	0	0	0	0	PAH9	PAH8

	7	6	5	4	3	2	1	0
(PAHL)	PAH7	PAH6	PAH5	PAH4	PAH3	PAH2	PAH1	PAH0

PAHn	出力データの制御 (出力モード時) (n = 0-9)
0	0を出力
1	1を出力

注 PAHレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PAHHレジスタのビット0-7として指定してください。

備考 PAHレジスタは、16ビット単位でリード/ライト可能です。

ただし、PAHレジスタの上位8ビットをPAHHレジスタ、下位8ビットをPAHLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(b) ポートAHモード・レジスタ (PMAH)

リセット時: FFFFH R/W アドレス: PMAH FFFF022H,
PMAHL FFFF022H, PMAHH FFFF023H

	15	14	13	12	11	10	9	8
PMAH (PMAHH ^注)	1	1	1	1	1	1	PMAH9	PMAH8
	7	6	5	4	3	2	1	0
(PMAHL)	PMAH7	PMAH6	PMAH5	PMAH4	PMAH3	PMAH2	PMAH1	PMAH0
PMAHn	入出力モードの制御 (ポート・モード時) (n = 0-9)							
0	出力モード							
1	入力モード							

注 PMAHレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMAHHレジスタのビット0-7として指定してください。

備考 PMAHレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMAHレジスタの上位8ビットをPMAHHレジスタ、下位8ビットをPMAHLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(c) ポートAHモード・コントロール・レジスタ (PMCAH)

リセット時: 0000H R/W アドレス: PMCAH FFFF042H,
PMCAHL FFFF042H, PMCAHH FFFF043H

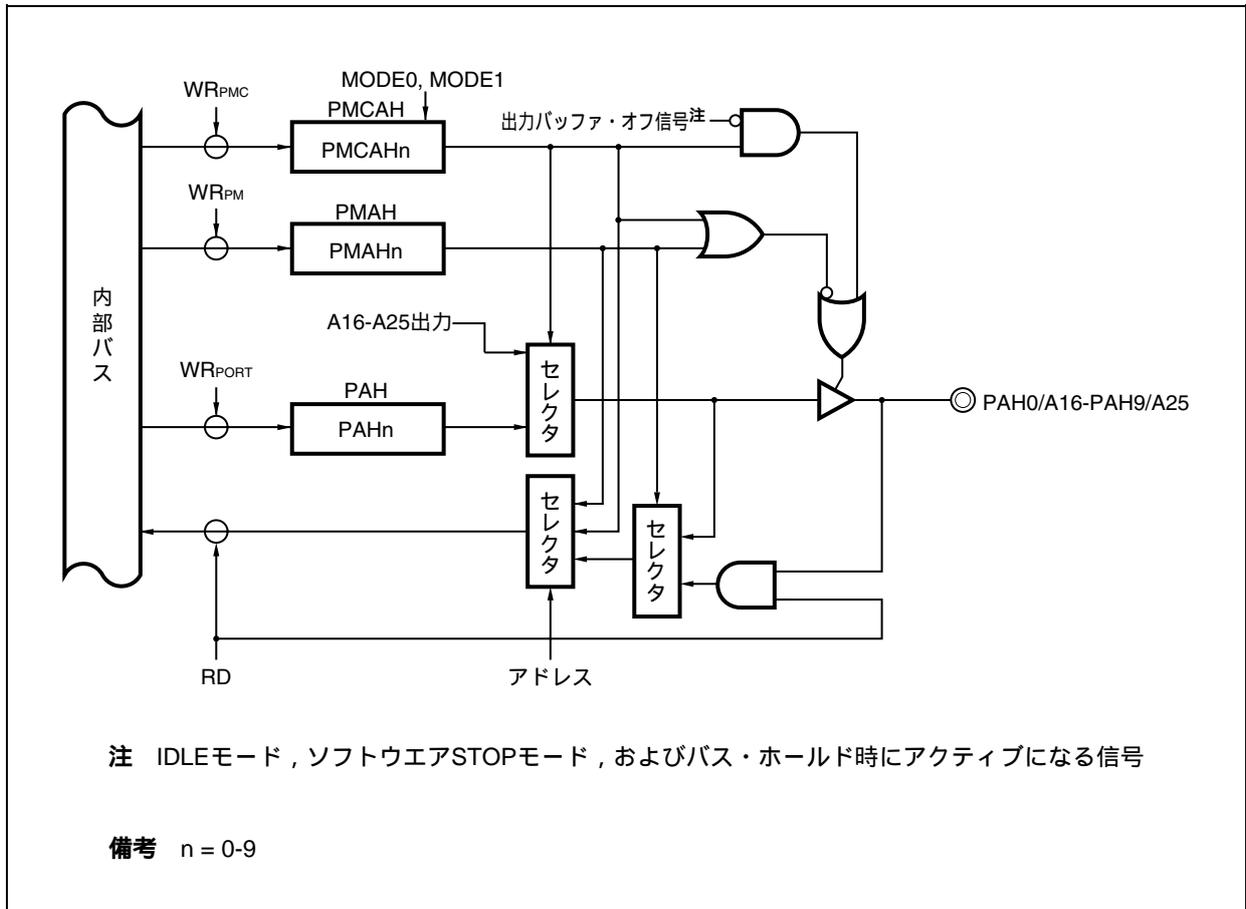
	15	14	13	12	11	10	9	8
PMCAH (PMCAHH ^注)	0	0	0	0	0	0	PMCAH9	PMCAH8
	7	6	5	4	3	2	1	0
(PMCAHL)	PMCAH7	PMCAH6	PMCAH5	PMCAH4	PMCAH3	PMCAH2	PMCAH1	PMCAH0
PMCAHn	PAHn端子の動作モードの指定 (n = 0-9)							
0	入出力ポート							
1	Am出力 (m = 16-25)							

注 PMCAHレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCAHHレジスタのビット0-7として指定してください。

備考 PMCAHレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMCAHレジスタの上位8ビットをPMCAHHレジスタ、下位8ビットをPMCAHLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ブロック図

図4 - 28 PAH0-PAH9端子のブロック図



4.3.11 ポートDL

ポートDLは1ビット単位で入出力を制御できます。

ポートDLは、次に示す端子と兼用しています。

表4 - 13 ポートDLの兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
PDL0	17	G3	AD0	入出力
PDL1	16	H4	AD1	
PDL2	15	F1	AD2	
PDL3	14	F2	AD3	
PDL4	13	F3	AD4	
PDL5	12	E1	AD5	
PDL6	11	G4	AD6	
PDL7	10	E2	AD7	
PDL8	7	E3	AD8	
PDL9	6	C2	AD9	
PDL10	5	D2	AD10	
PDL11	4	E4	AD11	
PDL12	3	B2	AD12	
PDL13	2	C3	AD13	
PDL14	1	D3	AD14	
PDL15	144	A2	AD15	

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポートDLレジスタ (PDL)

リセット時：不定 R/W アドレス：PDL FFFFF004H,
PDLL FFFFF004H, PDLH FFFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH ^注)	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8

	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

注 PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。

備考 PDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(b) ポートDLモード・レジスタ (PMDL)

リセット時：FFFFH R/W アドレス：PMDL FFFFF024H,
PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH ^注)	PMDL15	PMDL14	PMDL13	PMDL12	PDAL11	PDAL10	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0
PMDLn	入出力モードの制御 (ポート・モード時) (n = 0-15)							
0	出力モード							
1	入力モード							

注 PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

備考 PMDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(c) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時：0000H R/W アドレス：PMCDL FFFFF044H,
PMCDLL FFFFF044H, PMCDLH FFFFF045H

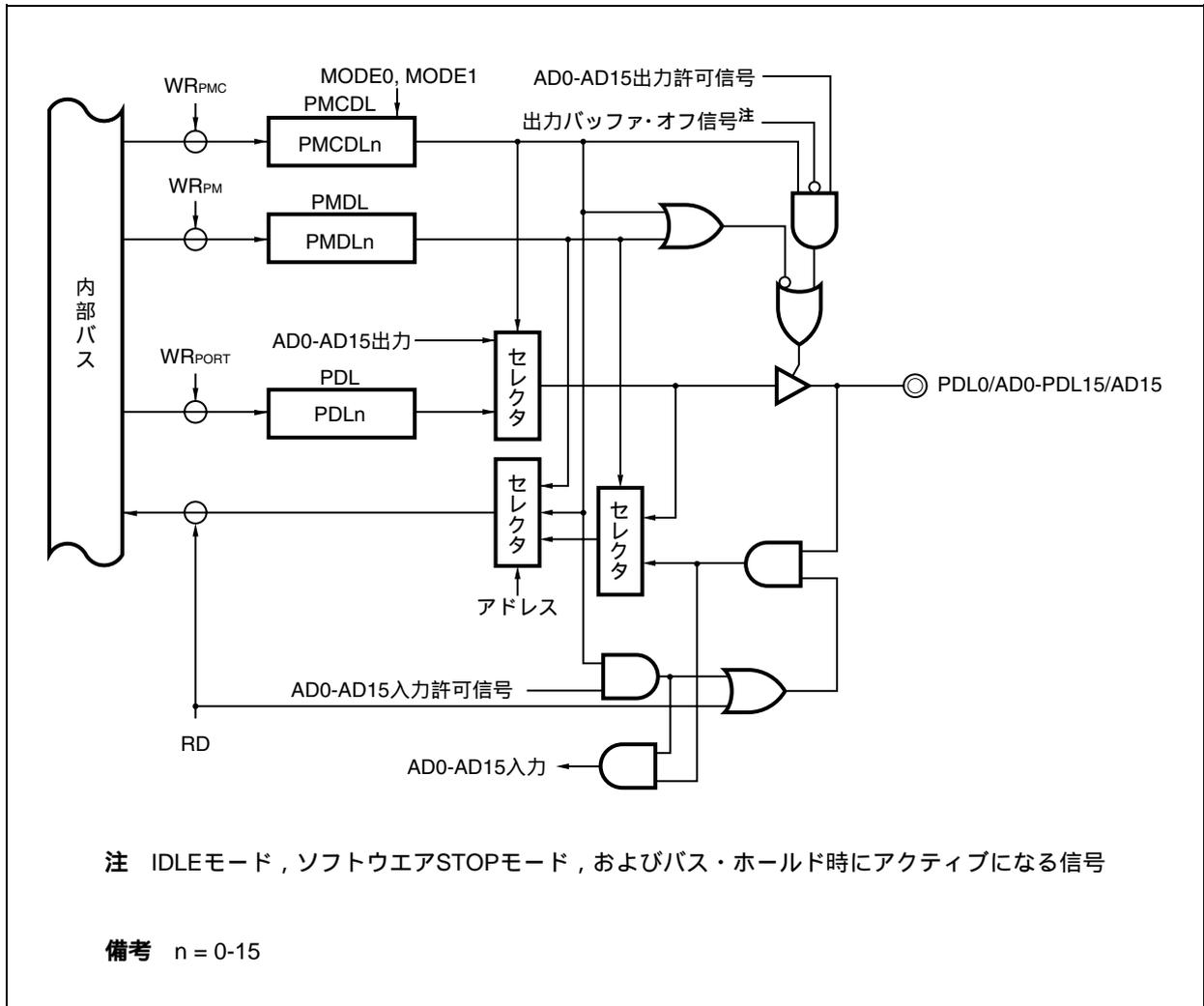
	15	14	13	12	11	10	9	8
PMCDL (PMCDLH ^注)	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8
	7	6	5	4	3	2	1	0
(PMCDLL)	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0
PMCDLn	PDLn端子の動作モードの指定 (n = 0-15)							
0	入出力ポート							
1	ADn入出力							

注 PMCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。

備考 PMCDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMCDLレジスタの上位8ビットをPMCDLHレジスタ、下位8ビットをPMCDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ブロック図

図4 - 29 PDL0-PDL15端子のブロック図



4.3.12 ポートCS

ポートCSは1ビット単位で入出力を制御できます。

ポートCSは、次に示す端子と兼用しています。

表4 - 14 ポートCSの兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
PCS0	107	D12	$\overline{CS0}$	入出力
PCS1	106	B13	$\overline{CS1}$	
PCS2	105	C13	$\overline{CS2/IOWR}$	
PCS3	104	C12	$\overline{CS3}$	
PCS4	103	E12	$\overline{CS4}$	
PCS5	102	D13	$\overline{CS5/IORD}$	
PCS6	101	E11	$\overline{CS6}$	
PCS7	100	E13	$\overline{CS7}$	

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポートCSレジスタ (PCS)

リセット時：不定 R/W アドレス：FFFFFF08H

	7	6	5	4	3	2	1	0
PCS	PCS7	PCS6	PCS5	PCS4	PCS3	PCS2	PCS1	PCS0

PCS _n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(b) ポートCSモード・レジスタ (PMCS)

リセット時：FFH R/W アドレス：FFFFFF028H

	7	6	5	4	3	2	1	0
PMCS	PMCS7	PMCS6	PMCS5	PMCS4	PMCS3	PMCS2	PMCS1	PMCS0

PMCS _n	入出力モードの制御 (ポート・モード時) (n = 0-7)
0	出力モード
1	入力モード

(c) ポートCSモード・コントロール・レジスタ (PMCCS)

リセット時：00H R/W アドレス：FFFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	PMCCS7	PMCCS6	PMCCS5	PMCCS4	PMCCS3	PMCCS2	PMCCS1	PMCCS0
	PCS7端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{CS}}7$ 出力						
	PCS6端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{CS}}6$ 出力						
	PCS5端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{CS}}5$ 出力 / $\overline{\text{IORD}}$ 出力						
	PCS4端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{CS}}4$ 出力						
	PCS3端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{CS}}3$ 出力						
	PCS2端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{CS}}2$ 出力 / $\overline{\text{IOWR}}$ 出力						
	PCS1端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{CS}}1$ 出力						
	PCS0端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{CS}}0$ 出力						

(d) ポートCSファンクション・コントロール・レジスタ (PFCCS)

リセット時 : 00H R/W アドレス : FFFFF049H

	7	6	5	4	3	2	1	0
PFCCS	0	0	PFCCS5	0	0	PFCCS2	0	0

PFCCS5	PCS5端子の兼用機能の指定
0	$\overline{CS5}$ 出力
1	\overline{IORD} 出力

PFCCS2	PCS2端子の兼用機能の指定
0	$\overline{CS2}$ 出力
1	\overline{IOWR} 出力

(2) ブロック図

図4 - 30 PCS0, PCS1, PCS3, PCS4, PCS6, PCS7端子のブロック図

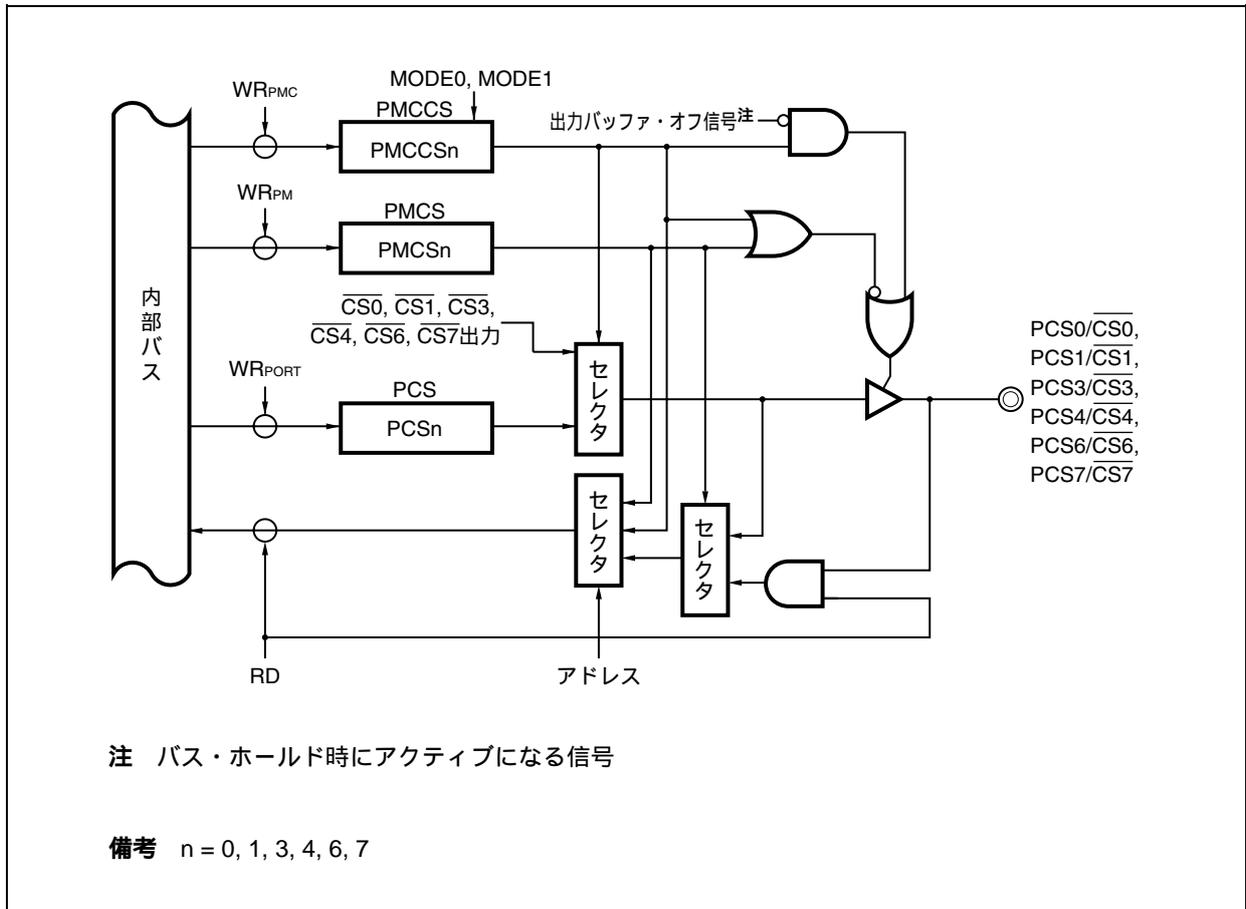
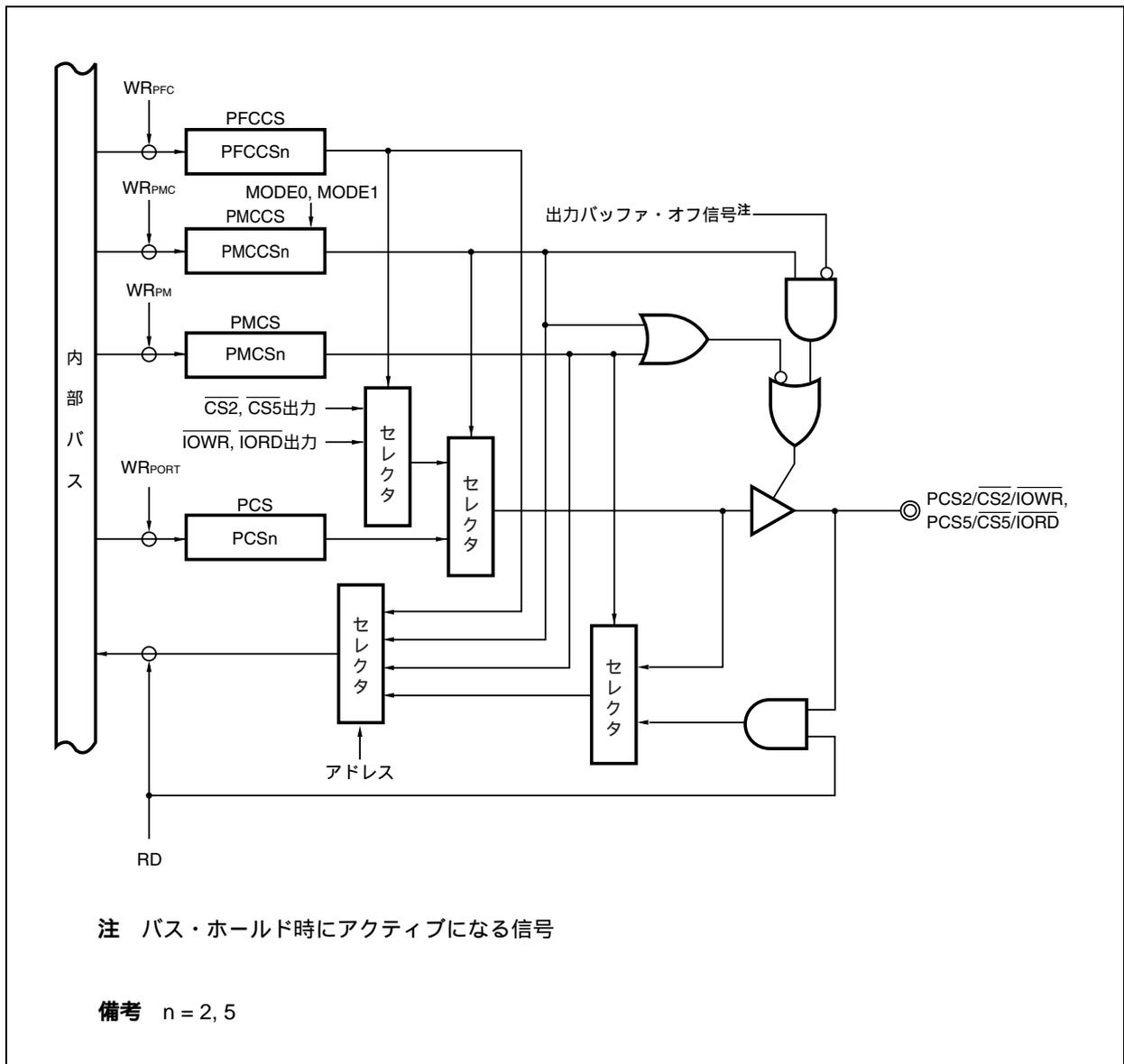


図4 - 31 PCS2, PCS5端子のブロック図



4.3.13 ポートCT

ポートCTは1ビット単位で入出力を制御できます。

ポートCTは、次に示す端子と兼用しています。

表4 - 15 ポートCTの兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
PCT0	97	F13	LWR/LDQM/LBE	入出力
PCT1	96	F14	UWR/UDQM/UBE	
PCT4	95	F11	RD	
PCT5	94	G12	WR/WE	
PCT6	93	G14	ASTB	
PCT7	92	G13	BCYST	

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポートCTレジスタ (PCT)

リセット時：不定 R/W アドレス：FFFFFF00AH

	7	6	5	4	3	2	1	0
PCT	PCT7	PCT6	PCT5	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御 (出力モード時) (n = 0, 1, 4-7)
0	0を出力
1	1を出力

(b) ポートCTモード・レジスタ (PMCT)

リセット時：FFH R/W アドレス：FFFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	PMCT7	PMCT6	PMCT5	PMCT4	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御 (ポート・モード時) (n = 0, 1, 4-7)
0	出力モード
1	入力モード

(c) ポートCTモード・コントロール・レジスタ (PMCCT)

リセット時：00H R/W アドレス：FFFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	PMCCT7	PMCCT6	PMCCT5	PMCCT4	0	0	PMCCT1	PMCCT0
	PCT7端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{BCYST}}$ 出力						
	PCT6端子の動作モードの指定							
	0	入出力ポート						
	1	ASTB出力						
	PCT5端子の動作モードの指定							
	0	入出力ポート						
	1	WR出力 / $\overline{\text{WE}}$ 出力						
	PCT4端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{RD}}$ 出力						
	PCT1端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{UWR}}$ 出力 / $\overline{\text{UDQM}}$ 出力 / $\overline{\text{UBE}}$ 出力						
	PCT0端子の動作モードの指定							
	0	入出力ポート						
	1	$\overline{\text{LWR}}$ 出力 / $\overline{\text{LDQM}}$ 出力 / $\overline{\text{LBE}}$ 出力						

(d) ポートCTファンクション・コントロール・レジスタ (PFCCT)

リセット時：00H R/W アドレス：FFFFFF04BH

	7	6	5	4	3	2	1	0
PFCCT	0	0	0	0	0	0	PFCCT1	PFCCT0

PFCCT1	PCT1端子の兼用機能の指定
0	$\overline{\text{UWR}}$ 出力 / $\overline{\text{UDQM}}$ 出力 ^{注1}
1	$\overline{\text{UBE}}$ 出力 / $\overline{\text{UDQM}}$ 出力 ^{注1}

PFCCT0	PCT0端子の兼用機能の指定
0	$\overline{\text{LWR}}$ 出力 / $\overline{\text{LDQM}}$ 出力 ^{注2}
1	$\overline{\text{LBE}}$ 出力 / $\overline{\text{LDQM}}$ 出力 ^{注2}

- 注1. $\overline{\text{UWR}}$ 出力と $\overline{\text{UDQM}}$ 出力，および $\overline{\text{UBE}}$ 出力と $\overline{\text{UDQM}}$ 出力は各対象となるメモリにアクセスすることにより，自動的に切り替わります。
2. $\overline{\text{LWR}}$ 出力と $\overline{\text{LDQM}}$ 出力，および $\overline{\text{LBE}}$ 出力と $\overline{\text{LDQM}}$ 出力は各対象となるメモリにアクセスすることにより，自動的に切り替わります。

注意 $\overline{\text{xDQM}}$ 信号は， $\overline{\text{xWR}}$ 出力 / $\overline{\text{xDQM}}$ 出力を選択した場合と， $\overline{\text{xBE}}$ 出力 / $\overline{\text{xDQM}}$ 出力を選択した場合で，タイミングが異なります。ただし，SDRAMに対しては，どちらを選択しても問題なく接続できます。 $\overline{\text{xDQM}}$ 信号の出力タイミングについては，6.3.5 SDRAMアクセスのタイミング図（図6-12）を参照してください（x = U, L）。

(2) ブロック図

図4 - 32 PCT0, PCT1端子のブロック図

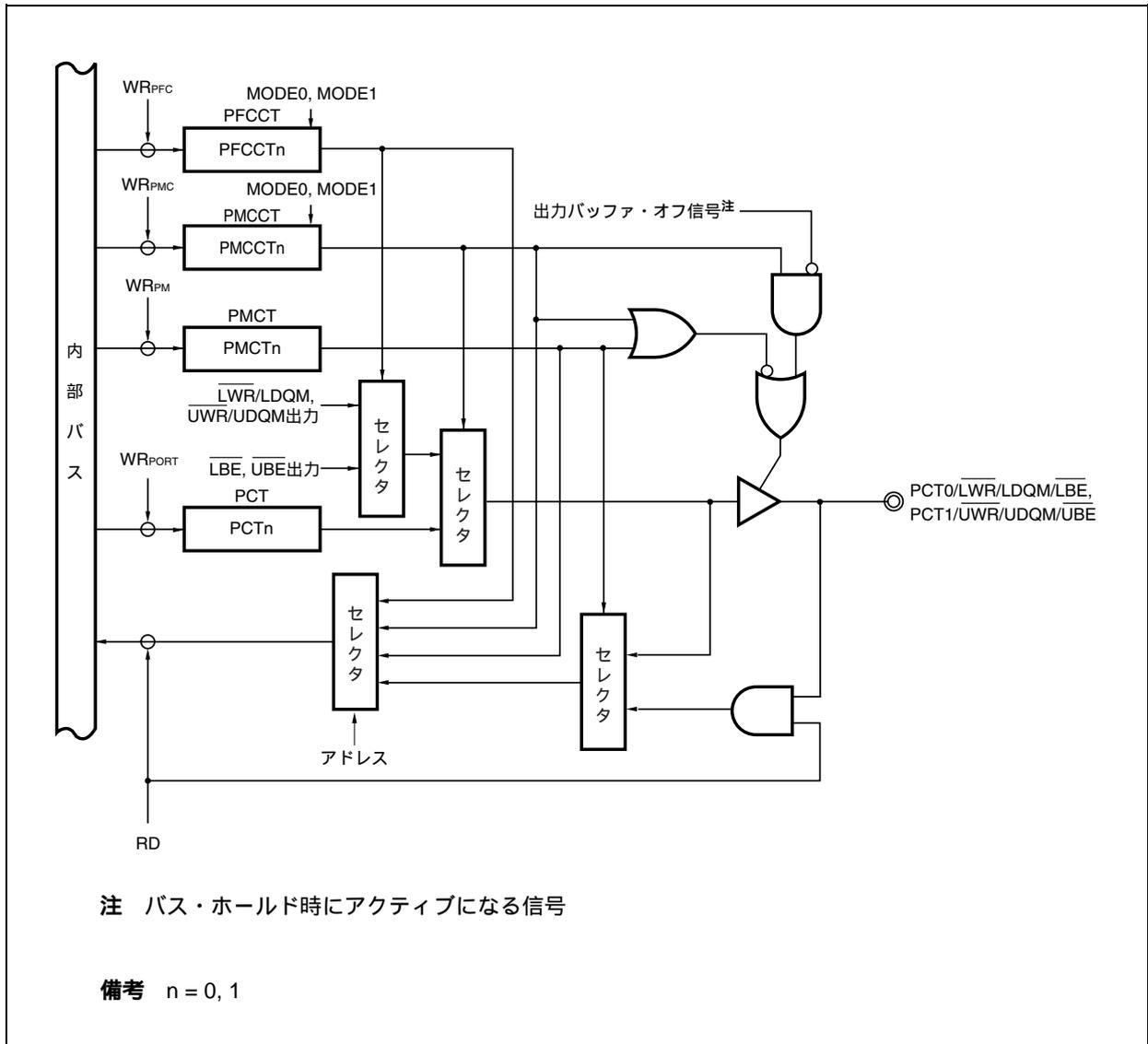
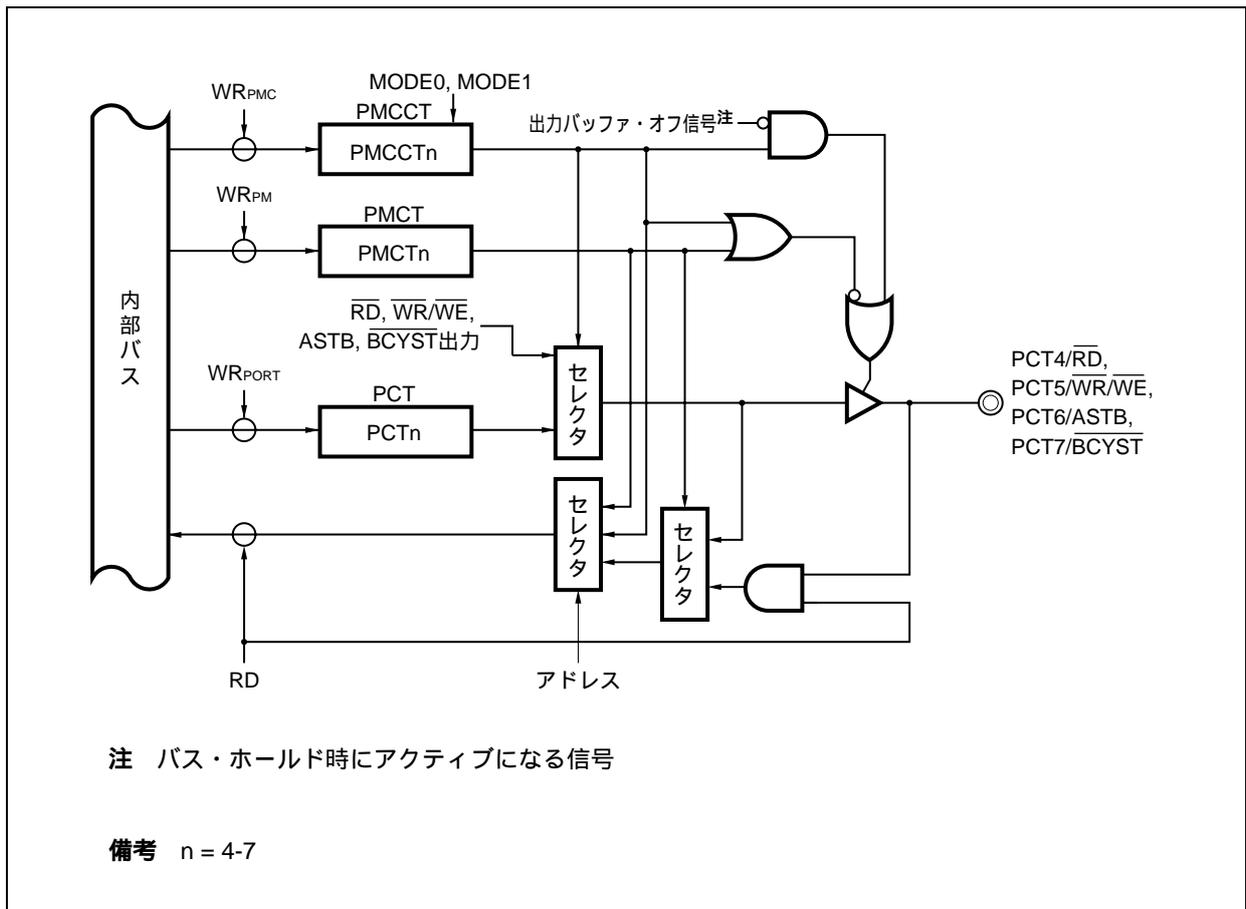


図4 - 33 PCT4-PCT7端子のブロック図



4.3.14 ポートCM

ポートCMは1ビット単位で入出力を制御できます。

ポートCMは、次に示す端子と兼用しています。

表4 - 16 ポートCMの兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
PCM0	91	G11	WAIT	入出力
PCM1	90	H14	BUSCLK	
PCM2	89	H13	HLD $\overline{\text{AK}}$	
PCM3	88	H12	HLD $\overline{\text{RQ}}$	
PCM4	87	H11	REFRQ	

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポートCMレジスタ (PCM)

リセット時：不定 R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	PCM4	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御 (出力モード時) (n = 0-4)
0	0を出力
1	1を出力

(b) ポートCMモード・レジスタ (PMCM)

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	PMCM4	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御 (ポート・モード時) (n = 0-4)
0	出力モード
1	入力モード

(c) ポートCMモード・コントロール・レジスタ (PMCCM)

リセット時 : 00H R/W アドレス : FFFFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	PMCCM4	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM4	PCM4端子の動作モードの指定	
0	入出力ポート	
1	REFRQ出力	

PMCCM3	PCM3端子の動作モードの指定	
0	入出力ポート	
1	HLDRQ入力	

PMCCM2	PCM2端子の動作モードの指定	
0	入出力ポート	
1	HLDAK出力	

PMCCM1	PCM1端子の動作モードの指定	
0	入出力ポート	
1	BUSCLK出力	

PMCCM0	PCM0端子の動作モードの指定	
0	入出力ポート	
1	WAIT入力	

(2) ブロック図

図4 - 34 PCM0, PCM3端子のブロック図

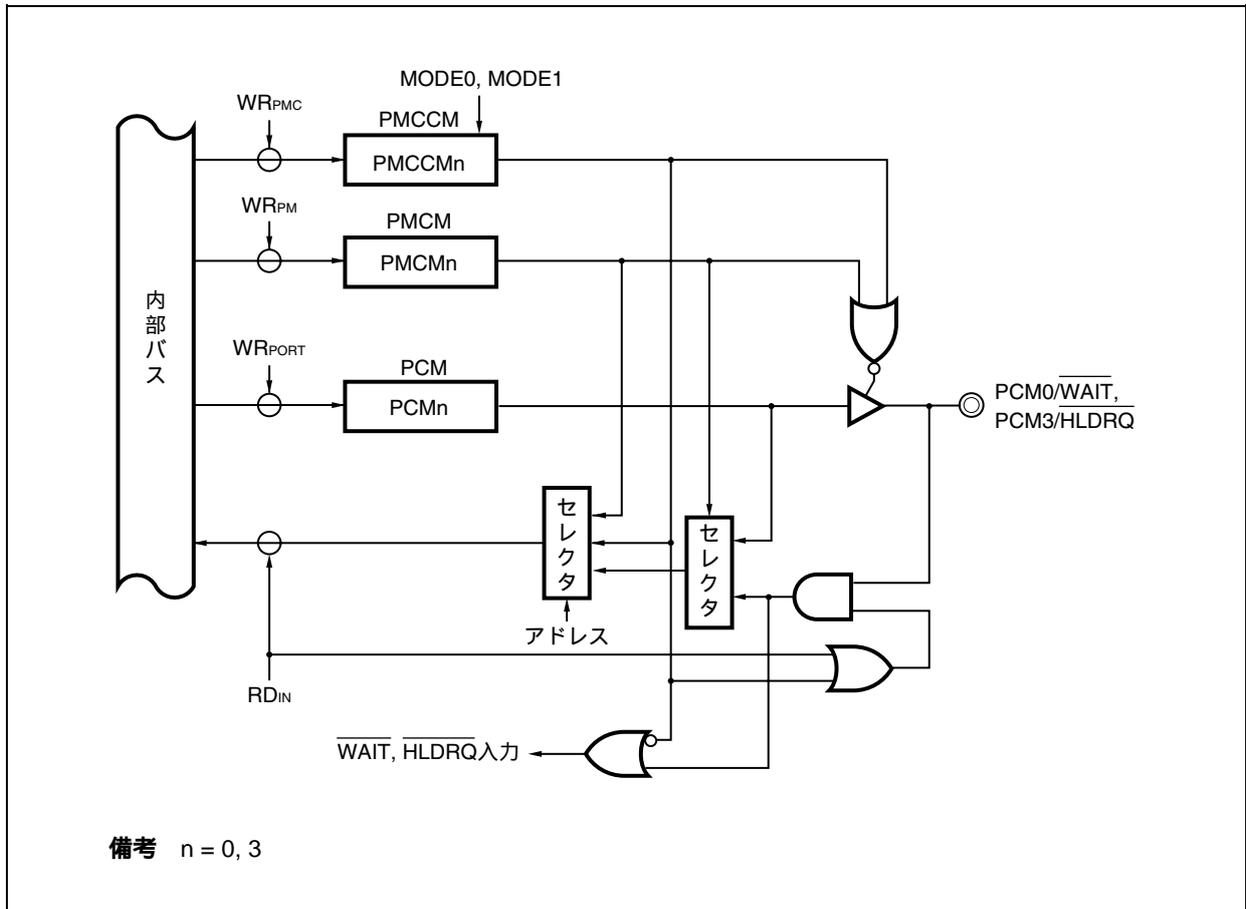


図4 - 35 PCM1端子のブロック図

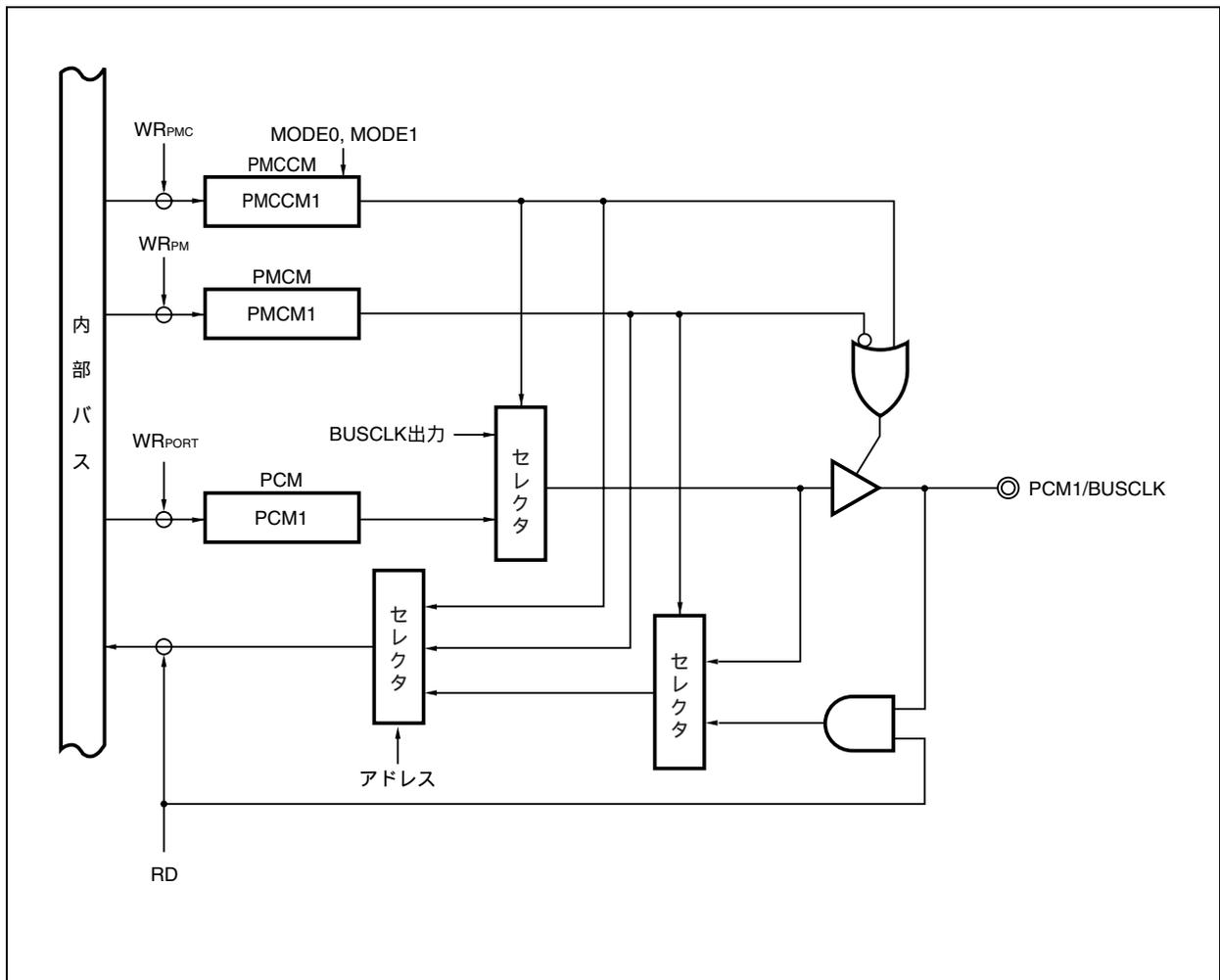
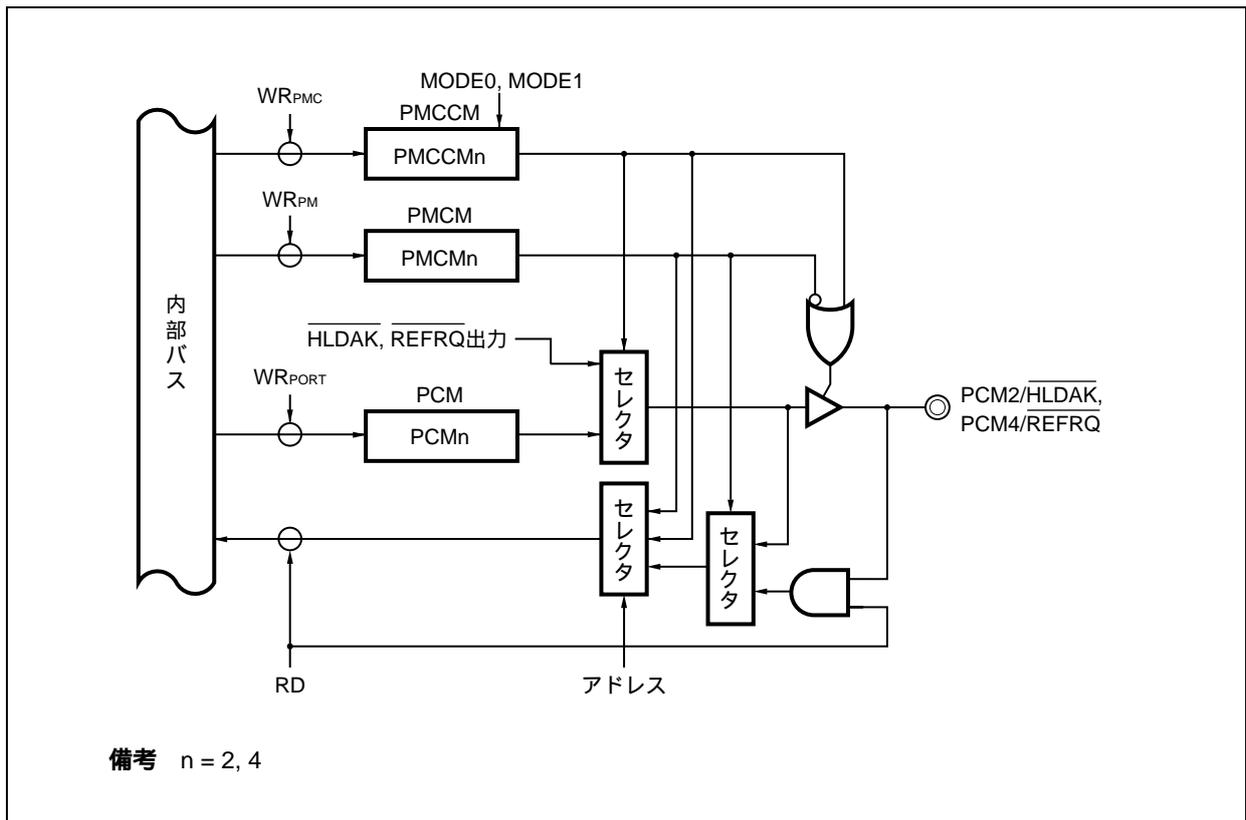


図4 - 36 PCM2, PCM4端子のブロック図



4.3.15 ポートCD

ポートCDは1ビット単位で入出力を制御できます。

ポートCDは、次に示す端子と兼用しています。

表4 - 17 ポートCDの兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
PCD0	111	D11	SDCKE	入出力
PCD1	110	B12	SDCLK	
PCD2	109	A13	$\overline{\text{SDCAS}}$	
PCD3	108	A14	$\overline{\text{SDRAS}}$	

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポートCDレジスタ (PCD)

リセット時 : 不定 R/W アドレス : FFFFF00EH

	7	6	5	4	3	2	1	0
PCD	0	0	0	0	PCD3	PCD2	PCD1	PCD0

PCDn	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(b) ポートCDモード・レジスタ (PMCD)

リセット時 : FFH R/W アドレス : FFFFF02EH

	7	6	5	4	3	2	1	0
PMCD	1	1	1	1	PMCD3	PMCD2	PMCD1	PMCD0

PMCDn	入出力モードの制御 (ポート・モード時) (n = 0-3)
0	出力モード
1	入力モード

(c) ポートCDモード・コントロール・レジスタ (PMCCD)

リセット時 : 00H R/W アドレス : FFFFF04EH

	7	6	5	4	3	2	1	0
PMCCD	0	0	0	0	PMCCD3	PMCCD2	PMCCD1	PMCCD0

PMCCD3	PCD3端子の動作モードの指定	
0	入出力ポート	
1	SDRAS出力	

PMCCD2	PCD2端子の動作モードの指定	
0	入出力ポート	
1	SDCAS出力	

PMCCD1	PCD1端子の動作モードの指定	
0	入出力ポート	
1	SDCLK出力	

PMCCD0	PCD0端子の動作モードの指定	
0	入出力ポート	
1	SDCKE出力	

(2) ブロック図

図4 - 37 PCD0, PCD1端子のブロック図

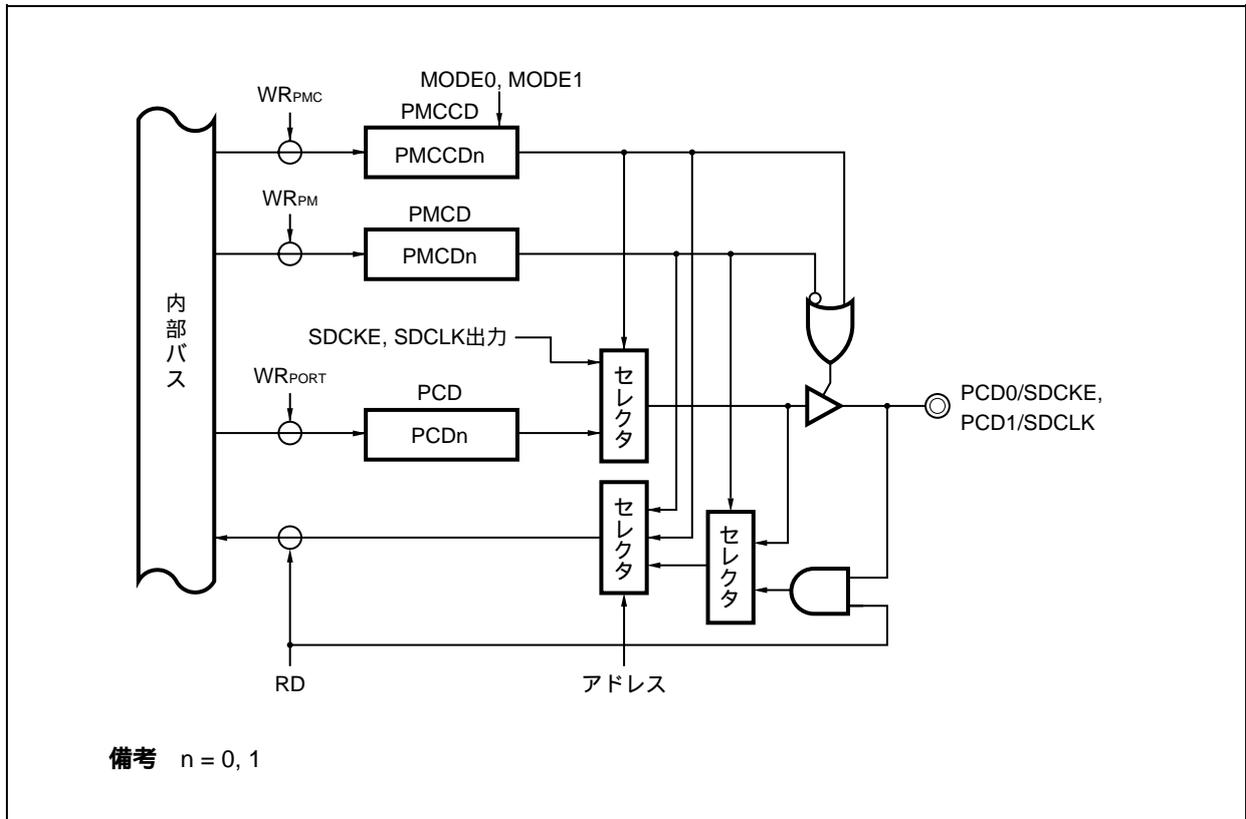
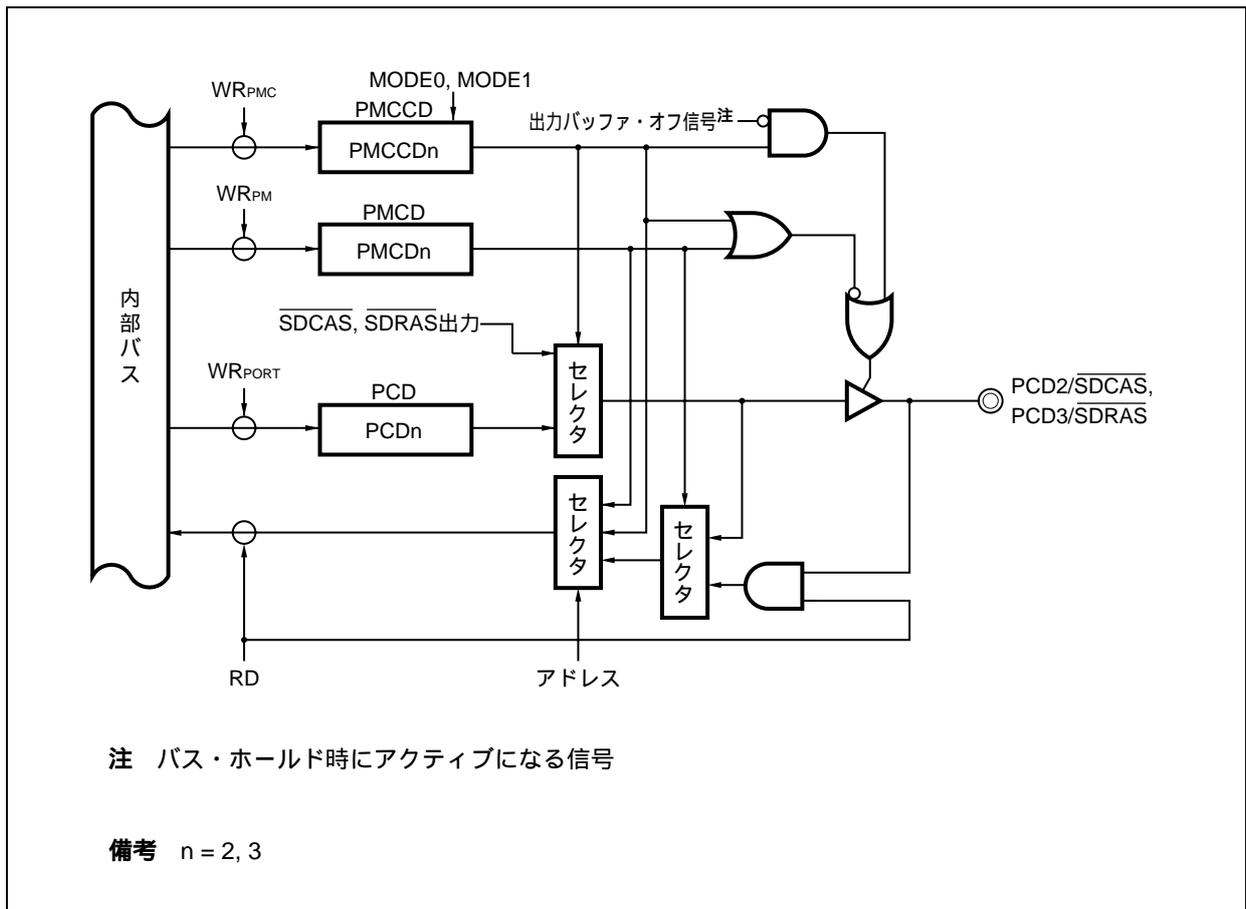


図4 - 38 PCD2, PCD3端子のブロック図



4.3.16 ポートBD

ポートBDは1ビット単位で入出力を制御できます。

ポートBDは、次に示す端子と兼用しています。

表4 - 18 ポートBDの兼用端子

端子名	ピン番号		兼用端子名	入出力
	GJ	F1		
PBD0	42	N4	$\overline{\text{DMAAK0}}$	入出力
PBD1	41	P3	$\overline{\text{DMAAK1}}$	
PBD2	40	M4	$\overline{\text{DMAAK2}}$	
PBD3	39	N3	$\overline{\text{DMAAK3}}$	

備考 GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(1) レジスタ

(a) ポートBDレジスタ (PBD)

リセット時 : 不定 R/W アドレス : FFFFF012H

	7	6	5	4	3	2	1	0
PBD	0	0	0	0	PBD3	PBD2	PBD1	PBD0

PBDn	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(b) ポートBDモード・レジスタ (PMBD)

リセット時 : FFH R/W アドレス : FFFFF032H

	7	6	5	4	3	2	1	0
PMBD	1	1	1	1	PMBD3	PMBD2	PMBD1	PMBD0

PMBDn	入出力モードの制御 (ポート・モード時) (n = 0-3)
0	出力モード
1	入力モード

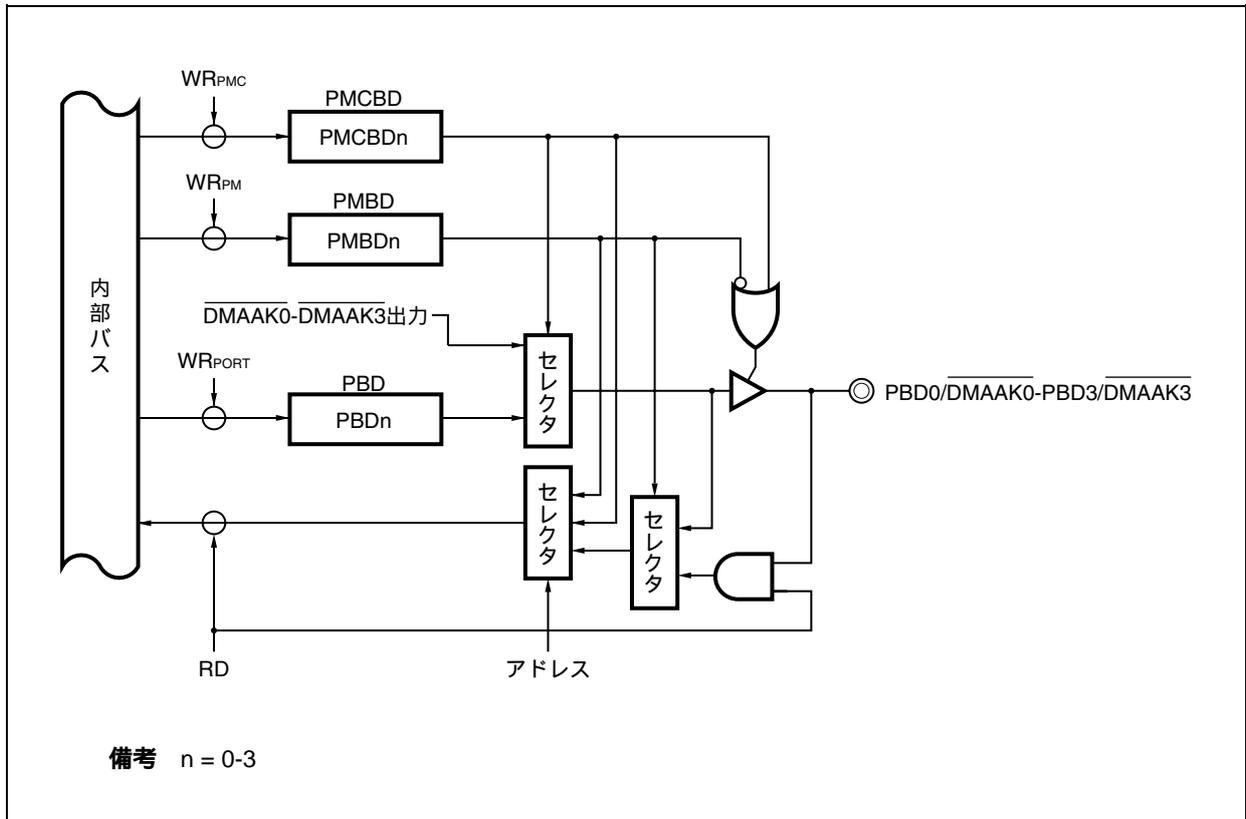
(c) ポートBDモード・コントロール・レジスタ (PMCBD)

リセット時：00H R/W アドレス：FFFFFF052H

	7	6	5	4	3	2	1	0
PMCBD	0	0	0	0	PMCBD3	PMCBD2	PMCBD1	PMCBD0
PMCBD3	PBD3端子の動作モードの指定							
0	入出力ポート							
1	DMAAK3出力							
PMCBD2	PBD2端子の動作モードの指定							
0	入出力ポート							
1	DMAAK2出力							
PMCBD1	PBD1端子の動作モードの指定							
0	入出力ポート							
1	DMAAK1出力							
PMCBD0	PBD0端子の動作モードの指定							
0	入出力ポート							
1	DMAAK0出力							

(2) ブロック図

図4 - 39 PBD0-PBD3端子のブロック図



4.4 ポート端子を兼用端子として使用する場合の設定

ポート端子を兼用端子として使用する場合、表4 - 19のように設定してください。

表4 - 19 ポート端子を兼用端子として使用する場合 (1/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P00	$\overline{\text{INTP000}}$	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 0	PFC00 = 0	INTR00 (INTR0), INTF00 (INTF0)
	TOP00	出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 0	PFC00 = 1	
	EVTP0	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 1	PFC00 = 0	
	TIP0	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 1	PFC00 = 0	
	INTPP00	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 1	PFC00 = 0	
P01	$\overline{\text{INTP001}}$	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 0	PFC01 = 0	INTR01 (INTR0), INTF01 (INTF0)
	TOP01	出力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 0	PFC01 = 1	
	INTPP01	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 1	PFC01 = 0	
P04	$\overline{\text{INTP004}}$	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 0	PFC04 = 0	INTR04 (INTR0), INTF04 (INTF0)
	$\overline{\text{DMARQ0}}$	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 0	PFC04 = 1	
	INTP11	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 1	PFC04 = 0	
	TCLR10	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 1	PFC04 = 0	
P05	$\overline{\text{INTP005}}$	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 0	PFC05 = 0	INTR05 (INTR0), INTF05 (INTF0)
	$\overline{\text{DMARQ1}}$	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 0	PFC05 = 1	
	INTP10	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 1	PFC05 = 0	
	TCUD10	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 1	PFC05 = 0	

表4 - 19 ポート端子を兼用端子として使用する場合 (2/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P06	$\overline{\text{INTP106}}$	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	-	PFC06 = 0	INTR06 (INTR0), INTF06 (INTF0)
	$\overline{\text{DMARQ2}}$	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	-	PFC06 = 1	
	TMS ^注	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 設定不要	-	PFC06 = 設定不要	
P07	$\overline{\text{INTP107}}$	入力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 1	-	PFC07 = 0	INTR07 (INTR0), INTF07 (INTF0)
	$\overline{\text{DMARQ3}}$	入力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 1	-	PFC07 = 1	
	TCK ^注	入力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 設定不要	-	PFC07 = 設定不要	
P10	$\overline{\text{INTP010}}$	入力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 0	PFC10 = 0	INTR10 (INTR1), INTF10 (INTF1)
	TOQB1	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 0	PFC10 = 1	
	INTPQ0	入力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 1	PFC10 = 0	
	TOQ0	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 1	PFC10 = 1	
P11	$\overline{\text{INTP011}}$	入力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 0	PFC11 = 0	INTR11 (INTR1), INTF11 (INTF1)
	TOQT1	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 0	PFC11 = 1	
	INTPQ1	入力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 1	PFC11 = 0	
	TOQ1	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 1	PFC11 = 1	
P12	$\overline{\text{INTP012}}$	入力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 0	PFC12 = 0	INTR12 (INTR1), INTF12 (INTF1)
	TOQT2	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 0	PFC12 = 1	
	INTPQ2	入力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 1	PFC12 = 0	
	TOQ2	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 1	PFC12 = 1	
P13	$\overline{\text{INTP013}}$	入力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	PFCE13 = 0	PFC13 = 0	INTR13 (INTR1), INTF13 (INTF1)
	TOQT3	出力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	PFCE13 = 0	PFC13 = 1	
	INTPQ3	入力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	PFCE13 = 1	PFC13 = 0	
	TOQ3	出力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	PFCE13 = 1	PFC13 = 1	

注 TMS, TCK端子はオンチップ・デバッグ用の端子です。P06, P07端子をP06/ $\overline{\text{INTP106}}$ / $\overline{\text{DMARQ2}}$, P07/ $\overline{\text{INTP107}}$ / $\overline{\text{DMARQ3}}$ として使用する場合は、 $\overline{\text{TRST}}$ 端子に必ずロウ・レベルを入力してください。 $\overline{\text{TRST}}$ 端子にハイ・レベルを入力した場合、P0レジスタ, PM0レジスタ, PMC0レジスタ, PFC0レジスタで設定した値は無効となり、TMS, TCK端子として機能します。

表4 - 19 ポート端子を兼用端子として使用する場合 (3/9)

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCEnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCEnxビット	PFCnxビット	
P14	INTP114	入力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	PFCE14 = 0	PFC14 = 0	INTR14 (INTR1), INTF14 (INTF1)
	TOQB2	出力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	PFCE14 = 0	PFC14 = 1	
	TIQ	入力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	PFCE14 = 1	PFC14 = 0	
P15	INTP115	入力	P15 = 設定不要	PM15 = 設定不要	PMC15 = 1	PFCE15 = 0	PFC15 = 0	INTR15 (INTR1), INTF15 (INTF1)
	TOQB3	出力	P15 = 設定不要	PM15 = 設定不要	PMC15 = 1	PFCE15 = 0	PFC15 = 1	
	EVTQ	入力	P15 = 設定不要	PM15 = 設定不要	PMC15 = 1	PFCE15 = 1	PFC15 = 0	
P20	NMI	入力	P20 = 設定不要	-	-	-	-	NMIF0 (NMIF), NMIR0 (NMIR)
P21	INTP021	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 0	INTR21 (INTR2), INTF21 (INTF2)
	TOP10	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 1	
	EVTTP1	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 1	PFC21 = 0	
	TIP1	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 1	PFC21 = 0	
	INTPP10	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 1	PFC21 = 0	
P22	INTP022	入力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 0	PFC22 = 0	INTR22 (INTR2), INTF22 (INTF2)
	TOP11	出力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 0	PFC22 = 1	
	INTPP11	入力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 1	PFC22 = 0	
P24	INTP124	入力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	-	PFC24 = 0	INTR24 (INTR2), INTF24 (INTF2)
	TC0	出力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	-	PFC24 = 1	
P25	INTP125	入力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	PFCE25 = 0	PFC25 = 0	INTR25 (INTR2), INTF25 (INTF2)
	TC1	出力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	PFCE25 = 0	PFC25 = 1	
	TIUD10	入力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	PFCE25 = 1	PFC25 = 0	
	TO10	出力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	PFCE25 = 1	PFC25 = 1	

表4 - 19 ポート端子を兼用端子として使用する場合 (4/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P26	$\overline{\text{INTP126}}$	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	-	PFC26 = 0	INTR26 (INTR2), INTF26 (INTF2)
	$\overline{\text{TC2}}$	出力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	-	PFC26 = 1	
	$\overline{\text{TDI}}$ ^{注1}	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 設定不要	-	PFC26 = 設定不要	
P27	$\overline{\text{TC3}}$	出力	P27 = 設定不要	PM27 = 設定不要	PMC27 = 1	-	-	
	$\overline{\text{TDO}}$ ^{注1}	出力	P27 = 設定不要	PM27 = 設定不要	PMC27 = 設定不要	-	-	
P30	$\overline{\text{INTP130}}$	入力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 0	PFC30 = 0	INTR30 (INTR3), INTF30 (INTF3)
	$\overline{\text{TXD2}}$	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 0	PFC30 = 1	
	$\overline{\text{SO2}}$	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 1	PFC30 = 0	
P31	$\overline{\text{INTP131}}$	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 0	PFC31 = 0	INTR31 (INTR3), INTF31 (INTF3)
	$\overline{\text{RXD2}}$	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 0	PFC31 = 1	
	$\overline{\text{SI2}}$	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 1	PFC31 = 0	
P32	$\overline{\text{INTP132}}$	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0	INTR32 (INTR3), INTF32 (INTF3)
	$\overline{\text{ASCK2}}$	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 1	
	$\overline{\text{SCK2}}$	入出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0	
P33	$\overline{\text{INTP133}}$	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 0	INTR33 (INTR3), INTF33 (INTF3)
	$\overline{\text{TXD3}}$	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 1	
	$\overline{\text{SDA}}$ ^{注2}	入出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 1	PFC33 = 0	
P34	$\overline{\text{INTP134}}$	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 0	INTR34 (INTR3), INTF34 (INTF3)
	$\overline{\text{RXD3}}$	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 1	
	$\overline{\text{SCL}}$ ^{注2}	入出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 0	
P37	$\overline{\text{INTP137}}$	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	-	-	INTR37 (INTR3), INTF37 (INTF3)
	$\overline{\text{ADTRG}}$	出力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	-	-	

- 注1. TDI, TDO端子はオンチップ・デバッグ用の端子です。P26, P27端子をP26/ $\overline{\text{INTP126}}$ / $\overline{\text{TC2}}$, P27/ $\overline{\text{TC3}}$ として使用する場合は、 $\overline{\text{TRST}}$ 端子に必ずロウ・レベルを入力してください。
 $\overline{\text{TRST}}$ 端子にハイ・レベルを入力した場合、P2レジスタ, PM2レジスタ, PMC2レジスタ, PFC2レジスタで設定した値は無効となり、TDI, TDO端子として機能します。
2. SDA, SCL端子として使用する場合、端子は擬似オープン・ドレイン出力 (P-ch側が常にオフ) になります。

表4 - 19 ポート端子を兼用端子として使用する場合 (5/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P40	SO0	出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 0	
	TXD0	出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 1	
P41	SI0	入力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 0	
	RXD0	入力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 1	
P42	SCK0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	PFC42 = 0	
	ASCK0	入力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	PFC42 = 1	
P43	SO1	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	-	PFC43 = 0	
	TXD1	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	-	PFC43 = 1	
P44	SI1	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	-	PFC44 = 0	
	RXD1	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	-	PFC44 = 1	
P45	SCK1	入出力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	-	PFC45 = 0	
	ASCK1	入力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	-	PFC45 = 1	
P50	INTP050	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 0	INTR50 (INTR5) , INTF50 (INTF5)
	TOP20	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	
	EVTP2	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0	
	TIP2	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0	
	INTPP20	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0	
P51	INTP051	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 0	INTR51 (INTR5) , INTF51 (INTF5)
	TOP21	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	
	INTPP21	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 0	

表4 - 19 ポート端子を兼用端子として使用する場合 (6/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P70	ANI0	入力	P70 = 設定不要	-	PMC70 = 1	-	-	
P71	ANI1	入力	P71 = 設定不要	-	PMC71 = 1	-	-	
P72	ANI2	入力	P72 = 設定不要	-	PMC72 = 1	-	-	
P73	ANI3	入力	P73 = 設定不要	-	PMC73 = 1	-	-	
P74	ANI4	入力	P74 = 設定不要	-	PMC74 = 1	-	-	
P75	ANI5	入力	P75 = 設定不要	-	PMC75 = 1	-	-	
P76	ANI6	入力	P76 = 設定不要	-	PMC76 = 1	-	-	
P77	ANI7	入力	P77 = 設定不要	-	PMC77 = 1	-	-	
P80	ANO0	出力	P80 = 設定不要	-	-	-	-	
P81	ANO1	出力	P81 = 設定不要	-	-	-	-	
PAL0	A0	出力	PAL0 = 設定不要	PMAL0 = 設定不要	PMCAL0 = 1	-	-	
PAL1	A1	出力	PAL1 = 設定不要	PMAL1 = 設定不要	PMCAL1 = 1	-	-	
PAL2	A2	出力	PAL2 = 設定不要	PMAL2 = 設定不要	PMCAL2 = 1	-	-	
PAL3	A3	出力	PAL3 = 設定不要	PMAL3 = 設定不要	PMCAL3 = 1	-	-	
PAL4	A4	出力	PAL4 = 設定不要	PMAL4 = 設定不要	PMCAL4 = 1	-	-	
PAL5	A5	出力	PAL5 = 設定不要	PMAL5 = 設定不要	PMCAL5 = 1	-	-	
PAL6	A6	出力	PAL6 = 設定不要	PMAL6 = 設定不要	PMCAL6 = 1	-	-	
PAL7	A7	出力	PAL7 = 設定不要	PMAL7 = 設定不要	PMCAL7 = 1	-	-	
PAL8	A8	出力	PAL8 = 設定不要	PMAL8 = 設定不要	PMCAL8 = 1	-	-	
PAL9	A9	出力	PAL9 = 設定不要	PMAL9 = 設定不要	PMCAL9 = 1	-	-	
PAL10	A10	出力	PAL10 = 設定不要	PMAL10 = 設定不要	PMCAL10 = 1	-	-	
PAL11	A11	出力	PAL11 = 設定不要	PMAL11 = 設定不要	PMCAL11 = 1	-	-	
PAL12	A12	出力	PAL12 = 設定不要	PMAL12 = 設定不要	PMCAL12 = 1	-	-	

表4 - 19 ポート端子を兼用端子として使用する場合 (7/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PAL13	A13	出力	PAL13 = 設定不要	PMAL13 = 設定不要	PMCAL13 = 1	-	-	
PAL14	A14	出力	PAL14 = 設定不要	PMAL14 = 設定不要	PMCAL14 = 1	-	-	
PAL15	A15	出力	PAL15 = 設定不要	PMAL15 = 設定不要	PMCAL15 = 1	-	-	
PAH0	A16	出力	PAH0 = 設定不要	PMAH0 = 設定不要	PMCAH0 = 1	-	-	
PAH1	A17	出力	PAH1 = 設定不要	PMAH1 = 設定不要	PMCAH1 = 1	-	-	
PAH2	A18	出力	PAH2 = 設定不要	PMAH2 = 設定不要	PMCAH2 = 1	-	-	
PAH3	A19	出力	PAH3 = 設定不要	PMAH3 = 設定不要	PMCAH3 = 1	-	-	
PAH4	A20	出力	PAH4 = 設定不要	PMAH4 = 設定不要	PMCAH4 = 1	-	-	
PAH5	A21	出力	PAH5 = 設定不要	PMAH5 = 設定不要	PMCAH5 = 1	-	-	
PAH6	A22	出力	PAH6 = 設定不要	PMAH6 = 設定不要	PMCAH6 = 1	-	-	
PAH7	A23	出力	PAH7 = 設定不要	PMAH7 = 設定不要	PMCAH7 = 1	-	-	
PAH8	A24	出力	PAH8 = 設定不要	PMAH8 = 設定不要	PMCAH8 = 1	-	-	
PAH9	A25	出力	PAH9 = 設定不要	PMAH9 = 設定不要	PMCAH9 = 1	-	-	
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-	
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-	
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-	
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-	
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-	
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-	
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-	
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-	
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-	
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-	

表4 - 19 ポート端子を兼用端子として使用する場合 (8/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-	
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-	
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-	
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-	
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	-	
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	-	
PCS0	$\overline{CS0}$	出力	PCS0 = 設定不要	PMCS0 = 設定不要	PMCCS0 = 1	-	-	
PCS1	$\overline{CS1}$	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	-	-	
PCS2	$\overline{CS2}$	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	-	PFCCS2 = 0	
	\overline{IOWR}	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	-	PFCCS2 = 1	
PCS3	$\overline{CS3}$	出力	PCS3 = 設定不要	PMCS3 = 設定不要	PMCCS3 = 1	-	-	
PCS4	$\overline{CS4}$	出力	PCS4 = 設定不要	PMCS4 = 設定不要	PMCCS4 = 1	-	-	
PCS5	$\overline{CS5}$	出力	PCS5 = 設定不要	PMCS5 = 設定不要	PMCCS5 = 1	-	PFCCS5 = 0	
	\overline{IORD}	出力	PCS5 = 設定不要	PMCS5 = 設定不要	PMCCS5 = 1	-	PFCCS5 = 1	
PCS6	$\overline{CS6}$	出力	PCS6 = 設定不要	PMCS6 = 設定不要	PMCCS6 = 1	-	-	
PCS7	$\overline{CS7}$	出力	PCS7 = 設定不要	PMCS7 = 設定不要	PMCCS7 = 1	-	-	
PCT0	\overline{LWR}	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCT0 = 1	-	PFCCT0 = 0, 注	
	\overline{LDQM}	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCT0 = 1	-	PFCCT0 = 0/1, 注	
	\overline{LBE}	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCT0 = 1	-	PFCCT0 = 1, 注	
PCT1	\overline{UWR}	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCT1 = 1	-	PFCCT1 = 0, 注	
	\overline{UDQM}	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCT1 = 1	-	PFCCT1 = 0/1, 注	
	\overline{UBE}	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCT1 = 1	-	PFCCT1 = 1, 注	

注 \overline{xWR} 出力と \overline{xDQM} 出力, および \overline{xBE} 出力と \overline{xDQM} 出力は各対象となるメモリにアクセスすることにより,自動的に切り替わります (x = U, L)。

表4 - 19 ポート端子を兼用端子として使用する場合 (9/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PCT4	\overline{RD}	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCT4 = 1	-	-	
PCT5	\overline{WR}	出力	PCT5 = 設定不要	PMCT5 = 設定不要	PMCCT5 = 1	-	-	
	\overline{WE}	出力	PCT5 = 設定不要	PMCT5 = 設定不要	PMCCT5 = 1	-	-	
PCT6	\overline{ASTB}	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCT6 = 1	-	-	
PCT7	\overline{BCYST}	出力	PCT7 = 設定不要	PMCT7 = 設定不要	PMCCT7 = 1	-	-	
PCM0	\overline{WAIT}	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	-	
PCM1	\overline{BUSCLK}	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	-	-	
PCM2	\overline{HLDK}	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	-	-	
PCM3	\overline{HLDRQ}	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	-	-	
PCM4	\overline{REFRQ}	出力	PCM4 = 設定不要	PMCM4 = 設定不要	PMCCM4 = 1	-	-	
PCD0	\overline{SDCKE}	出力	PCD0 = 設定不要	PMCD0 = 設定不要	PMCCD0 = 1	-	-	
PCD1	\overline{SDCLK}	出力	PCD1 = 設定不要	PMCD1 = 設定不要	PMCCD1 = 1	-	-	
PCD2	\overline{SDCAS}	出力	PCD2 = 設定不要	PMCD2 = 設定不要	PMCCD2 = 1	-	-	
PCD3	\overline{SDRAS}	出力	PCD3 = 設定不要	PMCD3 = 設定不要	PMCCD3 = 1	-	-	
PBD0	$\overline{DMAAK0}$	出力	PBD0 = 設定不要	PMBD0 = 設定不要	PMCBD0 = 1	-	-	
PBD1	$\overline{DMAAK1}$	出力	PBD1 = 設定不要	PMBD1 = 設定不要	PMCBD1 = 1	-	-	
PBD2	$\overline{DMAAK2}$	出力	PBD2 = 設定不要	PMBD2 = 設定不要	PMCBD2 = 1	-	-	
PBD3	$\overline{DMAAK3}$	出力	PBD3 = 設定不要	PMBD3 = 設定不要	PMCBD3 = 1	-	-	

4.5 ノイズ除去回路

4.5.1 割り込み入力端子

NMI ,およびポートの兼用機能において有効エッジ入力で動作する端子には ,次に示すノイズ除去時間確保のためのタイミング制御回路が付加されています。これらの除去時間未満で変化する信号入力は内部で受け付けられません。

表4 - 20 割り込み入力端子のノイズ除去時間

対象端子	ノイズ除去時間
NMI	アナログ・ディレイ (80 ns (TYP.))
INTP000	
INTP001	
INTP004	
INTP005	
INTP010	
INTP011	
INTP012	
INTP013	
INTP021	
INTP022	
INTP050	
INTP051	
INTP106	
INTP107	
INTP114	
INTP115	
INTP124	
INTP125	
INTP126	
INTP130	
INTP131	
INTP132	
INTP133	
INTP134	
INTP137	

注意1. 上記のノンマスクابل/マスクابل割り込み端子はスタンバイ・モードの解除に使用します。スタンバイ・モードでは内部システム・クロックは停止しているため、クロック制御のタイミング回路を採用していません。

2. ノイズ除去回路は兼用機能時だけ有効です。

4.5.2 タイマENC1入力端子

タイマENC1において有効エッジ入力で動作する端子には、次に示すクロック・サンプリングによるノイズ・フィルタが付いています。これらの除去時間未満で変化する信号入力は内部で受け付けられません。

表4 - 21 タイマENC1入力端子のノイズ除去時間

対象端子	ノイズ除去時間
INTP10/TCUD10 INTP11/TCLR10 TIUD10	$f_{xx} \times 3$

注意1. 上記端子のノイズ・フィルタはクロック・サンプリングを用いているため、CPUクロック停止時には入力信号を受け付けられません。

2. ノイズ除去回路はINTP10/TCUD10, INTP11/TCLR10, TIUD10として使用している場合だけ有効です。

4.5.3 タイマP, タイマQ入力端子

タイマP, タイマQにおいて有効エッジ入力で動作する端子には、次に示すノイズ除去時間確保のためのタイミング制御回路が付加されています。これらの除去時間未満で変化する信号入力は内部で受け付けられません。

表4 - 22 タイマP, タイマQ入力端子のノイズ除去時間

対象端子	ノイズ除去時間
EVTP0/TIP0/INTPP00 INTPP01 EVTP1/TIP1/INTPP10 INTPP11 EVTP2/TIP2/INTPP20 INTPP21	アナログ・ディレイ (80 ns (TYP.))
INTPQ0 INTPQ1 INTPQ2 INTPQ3 EVTQ TIQ	

注意 ノイズ除去回路は兼用機能時だけ有効です。

4.6 注意事項

4.6.1 ポート端子設定上の注意事項

(1) ポート・モードから兼用機能に切り替える場合の手順

兼用機能時に、出力または入出力端子として動作するポートを兼用機能に切り替える場合は、必ず次に示す手順で設定を行ってください（ポート8は除く）。

兼用機能で出力する信号のインアクティブ・レベルをポートnの該当するビットに設定します（ $n = 0-5, 7, AL, AH, DL, CS, CT, CM, CD, BD$ ）。

ポートnモード・コントロール・レジスタ（PMcN）により、兼用機能に切り替えます。

上記のを行わない場合は、ポート・モードから兼用機能に切り替える際にポートnの内容が一瞬出力されることがあります。

(2) 外部割り込み入力端子の切り替え

ポート・モードから外部割り込み入力（ \overline{INTPa} ）に切り替える場合、誤った有効エッジ検出により外部割り込み入力が発生する可能性があります。対象の割り込み制御レジスタの割り込みマスク・フラグで割り込み処理を禁止（保留）状態（xxlCn.xxMKnビット = 1）にして、次の手順で行ってください。

- (1) PFCEレジスタの設定
- (2) PFCレジスタの設定
- (3) PMCレジスタの設定^注
- (4) INTF, INTRレジスタの設定^注
- (5) 割り込み要求フラグをクリア（xxlCn.xxIFnビット = 0）^注
- (6) 割り込みマスク・フラグを解除（xxlCn.xxMKnビット = 0）

注 (3) - (5) までは500 ns以上間隔を空けてください。

また、(3)のPMCレジスタを切り替えてから、端子のレベル信号が内部に達するまで、外部割り込み入力端子（ \overline{INTPa} ）のアナログ・ノイズ除去回路により、80 ns（TYP.）かかります。

備考1. 外部割り込み入力（ \overline{INTPa} ）から、ポート・モードおよび他の兼用機能に切り替える場合には、外部割り込み入力をxxlCn.xxMKnビットでマスクしてから行ってください。

2. xx : 各周辺ユニット識別名称（表20 - 2参照）

n : 周辺ユニット番号（表20 - 2参照）

a = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137

4.6.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対してビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える（兼用機能からポート・モードへの切り替えも含む）前には、出力ラッチの値を書き直す（ST/SST命令使用）ことを推奨します。

<例> PCS0端子は出力ポート、PCS1-PCS7端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、PCS0端子の出力をビット操作命令により“ロウ・レベル”“ハイ・レベル”とすると、ポート・ラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はV850E/MA3内部で、次の順序で行われます。

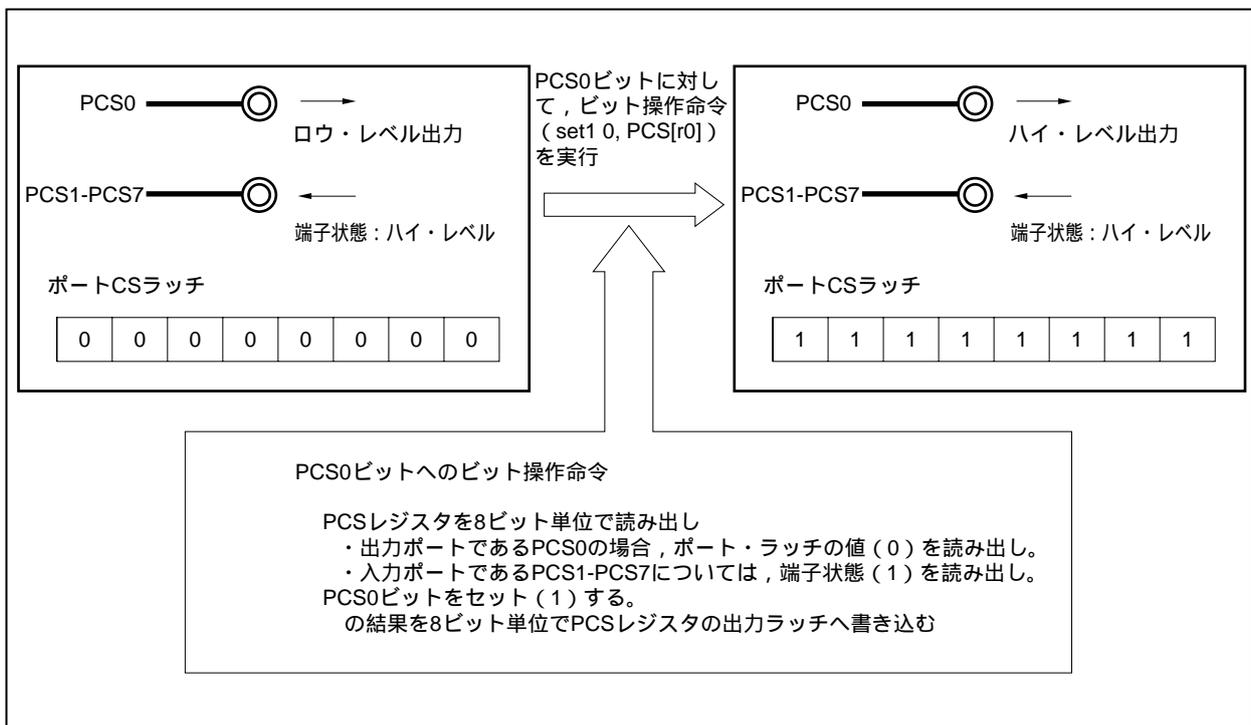
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるPCS0端子は出力ラッチの値（0）を読み出しますが、入力ポートであるPCS1-PCS7端子は端子状態を読み出します。このときPCS1-PCS7端子の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4 - 40 ビット操作命令（PCS0端子の場合）



4.6.3 ヒステリシス特性について

ポート・モードでは、次のポートはヒステリシス特性を持ちません。

P00, P01, P04-P07

P10-P15

P20-P22, P24-P26

P30-P34, P37

P41, P42, P44, P45

P50, P51

第5章 バス制御機能

V850E/MA3は、外部にROM、RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

5.1 特 徴

- 16ビット/8ビット・データ・バス・サイジング機能
- 8空間のチップ・セレクト機能
- ウェイト機能
 - ・各メモリ・ブロックごとに最大7ステートのプログラマブル・ウェイト機能
 - ・ $\overline{\text{WAIT}}$ 端子による外部ウェイト機能
- アイドル・ステート挿入機能
- バス使用権調停機能
- バス・ホールド機能
- ポートとの兼用端子で、外部デバイスに接続可能
- セパレート・バス・モード/マルチプレクス・バス・モード選択可能

5.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

バス制御端子 (兼用機能時の機能)	ポート・モード時の機能	ポート・モード/兼用機能の切り替えを行うレジスタ
アドレス/データ・バス (AD0-AD15)	PDL0-PDL15 (ポートDL)	PMCDL
アドレス・バス (A0-A15)	PAL0-PAL15 (ポートAL)	PMCAL
アドレス・バス (A16-A25)	PAH0-PAH9 (ポートAH)	PMCAH
チップ・セレクト ($\overline{\text{CS0}}$ - $\overline{\text{CS7}}$, $\overline{\text{IOWR}}$, $\overline{\text{IORD}}$)	PCS0-PCS7 (ポートCS)	PMCCS
SDRAM同期コントロール ($\overline{\text{SDCKE}}$, $\overline{\text{SDCLK}}$)	PCD0, PCD1 (ポートCD)	PMCCD
SDRAMコントロール ($\overline{\text{SDCAS}}$, $\overline{\text{SDRAS}}$)	PCD2, PCD3 (ポートCD)	
リード/ライト制御 ($\overline{\text{LBE}}$ / $\overline{\text{LWR}}$ / $\overline{\text{LDQM}}$, $\overline{\text{UBE}}$ / $\overline{\text{UWR}}$ / $\overline{\text{UDQM}}$, $\overline{\text{RD}}$, $\overline{\text{WR}}$ / $\overline{\text{WE}}$)	PCT0, PCT1, PCT4, PCT5 (ポートCT)	PMCCCT
アドレス・ストロープ制御 ($\overline{\text{ASTB}}$)	PCT6 (ポートCT)	
バス・サイクル・スタート ($\overline{\text{BCYST}}$)	PCT7 (ポートCT)	
外部ウェイト制御 ($\overline{\text{WAIT}}$)	PCM0 (ポートCM)	PMCCM
バス・クロック ($\overline{\text{BUSCLK}}$)	PCM1 (ポートCM)	
バス・ホールド制御 ($\overline{\text{HLDRQ}}$, $\overline{\text{HLDAK}}$)	PCM2, PCM3 (ポートCM)	
SDRAMリフレッシュ制御 ($\overline{\text{REFRQ}}$)	PCM4 (ポートCM)	

(1) A0-A15

外部アドレス時のアドレス・バスで、26ビット・アドレスの下位16ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートのBUSCLK信号の立ち上がりに同期して変化します。アイドル・ステート (TI) では直前のバス・サイクルのアドレスを保持しています。

(2) A16-A25

外部アドレス時のアドレス・バスで、26ビット・アドレスの上位10ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートのBUSCLK信号の立ち上がりに同期して変化します。アイドル・ステート (TI) では直前のバス・サイクルのアドレスを保持しています。

(3) AD0-AD15

外部アドレス時のアドレス/データのマルチプレクス・バスです。マルチプレクス・バス・モード時はアドレス出力またはデータ入出力、セパレート・バス・モード時はデータ入出力となります。

(4) $\overline{CS0}$ - $\overline{CS7}$

SRAM, 外部ROM, 外部周辺I/O, ページROM, SDRAM領域に対するチップ・セレクト信号出力端子です。

メモリ・ブロックnに対して \overline{CSn} 信号が割り当てられています (n = 0-7)。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。

アイドル・ステート (TI) では、インアクティブになります。

(5) \overline{IOWR}

DMAフライバイ転送時の外部I/O用ライト・ストロブ信号出力端子です。実行中のバス・サイクルが、DMAフライバイ転送時の外部I/Oに対するライト・サイクルであることを示します。

なお、この信号はバス・サイクル・ピリオド・コントロール・レジスタ (BCP) のIOENビットをセット (1) することにより、通常のSRAM, 外部ROM, 外部I/Oサイクルの場合でも出力することができます。

(6) \overline{IORD}

DMAフライバイ転送時の外部I/O用リード・ストロブ信号出力端子です。実行中のバス・サイクルが、DMAフライバイ転送時の外部I/Oに対するリード・サイクルであることを示します。

なお、この信号はBCPレジスタのIOENビットをセット (1) することにより、通常のSRAM, 外部ROM, 外部I/Oサイクルの場合でも出力することができます。

(7) \overline{LWR}

実行中のバス・サイクルが、SRAM, 外部ROM, 外部周辺I/O領域に対するライト・サイクルであることを示すストロブ信号出力端子です。

データ・バスは下位バイト (D0-D7) が有効になります。バス・サイクルが下位のメモリ・ライトならば、T1ステートのBUSCLK信号の立ち下がりでアクティブになり、T2ステートのBUSCLK信号の立ち下がりでインアクティブになります (セパレート・バス・モード時)。

(8) $\overline{\text{UWR}}$

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O領域に対するライト・サイクルであることを示すストロブ信号出力端子です。

データ・バスは上位バイト (D8-D15) が有効になります。バス・サイクルが上位のメモリ・ライトならば、T1ステートのBUSCLK信号の立ち下がりでアクティブになり、T2ステートのBUSCLK信号の立ち下がりでインアクティブになります (セパレート・バス・モード時)。

(9) LDQM

SDRAMに対するデータ・バスの制御信号出力端子です。データ・バスは下位バイト (D0-D7) が有効になります。リード時はSDRAMの出力ディスエーブル制御を行い、ライト時はSDRAMのバイト・マスク制御を行います。

(10) UDQM

SDRAMに対するデータ・バスの制御信号出力端子です。データ・バスは上位バイト (D8-D15) が有効になります。リード時はSDRAMの出力ディスエーブル制御を行い、ライト時はSDRAMのバイト・マスク制御を行います。

(11) $\overline{\text{LBE}}$

外部データ・バスの下位バイト (D0-D7) のイネーブル信号出力端子です。

(12) $\overline{\text{UBE}}$

外部データ・バスの上位バイト (D8-D15) のイネーブル信号出力端子です。

(13) $\overline{\text{RD}}$

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O、ページROM領域に対するリード・サイクルであることを示すストロブ信号出力端子です。

(14) $\overline{\text{WE}}$

実行中のバス・サイクルが、SDRAM領域に対するライト・サイクルであることを示すイネーブル信号出力端子です。

(15) $\overline{\text{WR}}$

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O領域に対するライト・サイクルであることを示すストロブ信号出力端子です。

T1ステートのBUSCLK信号の立ち下がりでアクティブになり、T2ステートのBUSCLK信号の立ち下がりでインアクティブになります (セパレート・バス・モード時)。

(16) ASTB

外部アドレス・バスのラッチ・ストロブ信号出力端子です。

出力は、バス・サイクルのT1ステートのBUSCLK信号の立ち下がりに同期してロウ・レベルになり、T3ステートのBUSCLK信号の立ち下がりに同期してハイ・レベルになります。

(17) $\overline{\text{BCYST}}$

バス・サイクルの開始を示すステータス信号出力端子です。各サイクルの開始から1クロック間、アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

(18) $\overline{\text{WAIT}}$

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で、BUSCLK信号に対する非同期入力が可能です。BUSCLK信号の立ち上がりでサンプリングします (セパレート・バス・モード時)。サンプリング・タイミングにおける設定 / 保持時間を満たさないときはウエイト挿入が行われなことがあるあります。

(19) $\overline{\text{HLD\!AK}}$

V850E/MA3がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になり、外部バス・マスタにバスの使用权を渡します。

(20) $\overline{\text{HLDRQ}}$

外部デバイスがV850E/MA3に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、BUSCLKに対して非同期入力が可能です。この端子がアクティブになると、V850E/MA3は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、 $\overline{\text{HLD\!AK}}$ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、 $\overline{\text{HLD\!AK}}$ 信号が出力されるまで、 $\overline{\text{HLDRQ}}$ 信号をアクティブに保ってください。

(21) $\overline{\text{REFRQ}}$

SDRAMに対するリフレッシュ要求信号出力端子です。

この信号は、リフレッシュ・サイクル期間中、アクティブになります。また、バス・ホールド時は、リフレッシュ要求が発生するとアクティブになり、外部バス・マスタに対し、リフレッシュ要求が発生したことを通知します。

(22) BUSCLK

外部バス・インタフェース用クロック出力端子です。

(23) SDCKE

SDRAMのクロック・イネーブル出力信号です。セルフ・リフレッシュ、スタンバイ・モード時は、インアクティブになります。

(24) SDCLK

SDRAM専用のクロック出力信号です。必ずBUSCLKと同じ周波数が出力されます。

(25) $\overline{\text{SDCAS}}$

SDRAMに対するコマンド出力信号です。

(26) $\overline{\text{SDRAS}}$

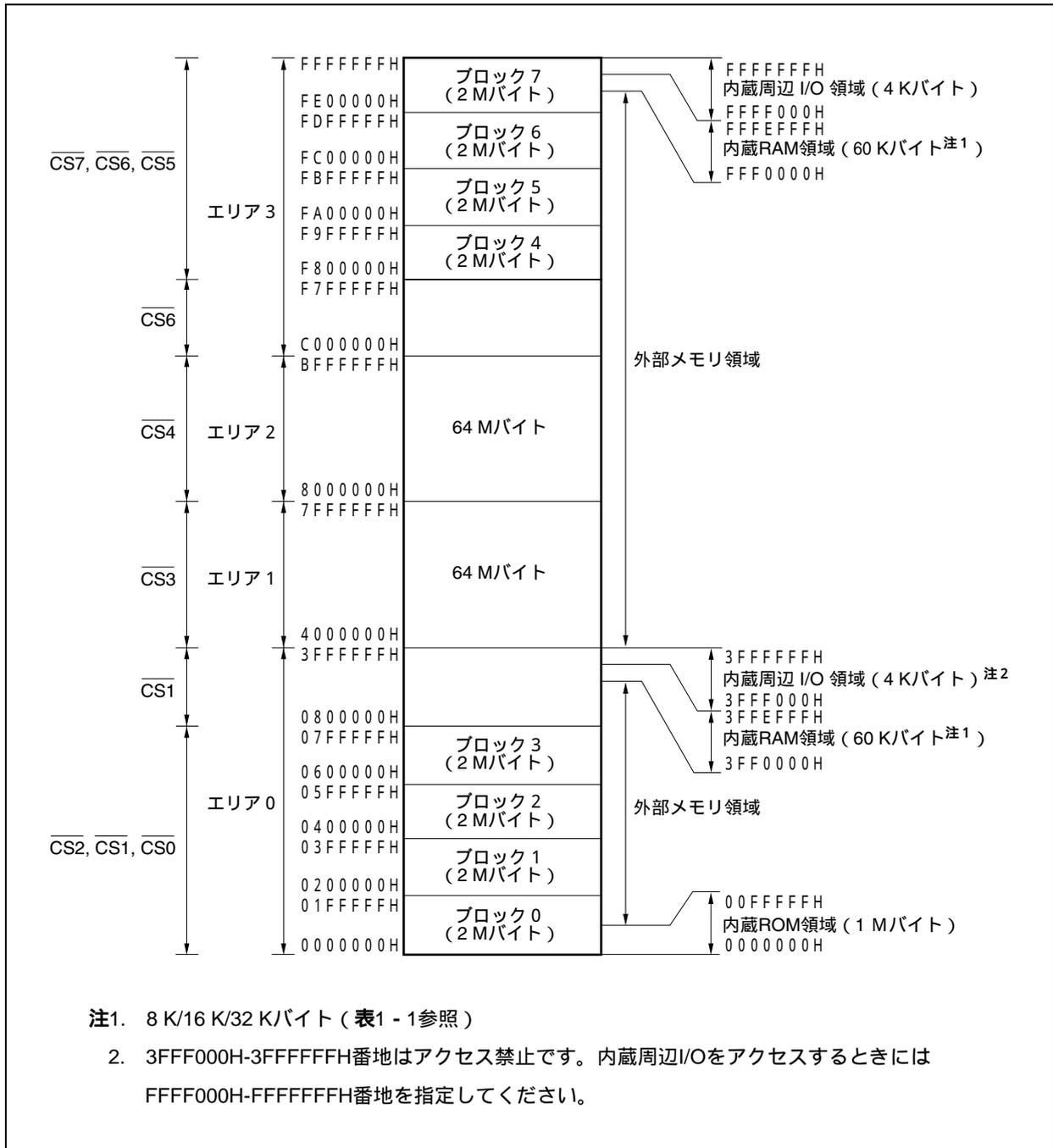
SDRAMに対するコマンド出力信号です。

5.2.1 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態

内蔵ROM，内蔵RAM，内蔵周辺I/Oのアクセス時には，アドレス・バスはロウ・レベルを出力します。データ・バスは，出力されずハイ・インピーダンス状態になります。外部バス制御信号は，インアクティブ状態になります。

5.3 メモリ・ブロック機能

256 Mバイトのメモリ空間は2 Mバイト単位のメモリ・ブロック, 64 Mバイト単位のメモリ・エリアに分割され, 各CS_n空間ごとにプログラマブル・ウエイト機能, バス・サイクル動作モードなどを独立に制御できます(n = 0-7)。ただし, プログラム領域として使用できる領域は, 0000000H-3FFFFFFHの64 Mバイトの空間です。



5.3.1 チップ・セレクト制御機能

CSC0, CSC1レジスタにより,各メモリ・ブロックを分割し,チップ・セレクト信号を制御することができます。

チップ・セレクト制御機能により,メモリ・ブロックを分割することで,メモリ空間を有効に利用できます。優先順位を次に示します。

(1) チップ・エリア選択コントロール・レジスタ0,1 (CSC0, CSC1)

16ビット単位でリード/ライトできます。各ビットをセット(1)すると有効になります。

同じブロックに別々のチップ・セレクト信号出力を設定した場合,次のように優先順位が制御されます。

$$\text{CSC0} : \overline{\text{CS0}} > \overline{\text{CS2}} > \overline{\text{CS1}}$$
$$\text{CSC1} : \overline{\text{CS7}} > \overline{\text{CS5}} > \overline{\text{CS6}}$$

CSC0.CS0n, CS2nビット = 00に設定した場合,該当するブロックには $\overline{\text{CS1}}$ が出力されます(n = 0-3)。

同様にCSC1.CS5n, CS7nビット = 00に設定した場合,該当するブロックには $\overline{\text{CS6}}$ が出力されます(n = 0-3)。

リセットにより2C11Hになります。

注意 CSC0, CSC1レジスタへの書き込みはリセット後に行ってください。書き込み後は,値を変更しないでください。

リセット時：2C11H R/W アドレス：CSC0 FFFF060H, CSC1 FFFF062H

	15	14	13	12	11	10	9	8
CSC0	CS33	CS32	CS31	CS30	CS23	CS22	CS21	CS20
	7	6	5	4	3	2	1	0
	CS13	CS12	CS11	CS10	CS03	CS02	CS01	CS00
	15	14	13	12	11	10	9	8
CSC1	CS43	CS42	CS41	CS40	CS53	CS52	CS51	CS50
	7	6	5	4	3	2	1	0
	CS63	CS62	CS61	CS60	CS73	CS72	CS71	CS70

注意 CSnmビットについては表5 - 1 チップ・セレクト信号 (\overline{CSn}) の指定を参照してください ($n = 0-7, m = 0-3$)。

表5 - 1 チップ・セレクト信号 (\overline{CSn}) の指定

CSnm ビット	CS動作
CS00	ブロック0アクセス時, $\overline{CS0}$ 出力
CS01	ブロック1アクセス時, $\overline{CS0}$ 出力
CS02	ブロック2アクセス時, $\overline{CS0}$ 出力
CS03	ブロック3アクセス時, $\overline{CS0}$ 出力
CS10-CS13	設定は意味を持ちません。
CS20	ブロック0アクセス時, $\overline{CS2}$ 出力
CS21	ブロック1アクセス時, $\overline{CS2}$ 出力
CS22	ブロック2アクセス時, $\overline{CS2}$ 出力
CS23	ブロック3アクセス時, $\overline{CS2}$ 出力
CS30-CS33	設定は意味を持ちません。
CS40-CS43	設定は意味を持ちません。
CS50	ブロック7アクセス時, $\overline{CS5}$ 出力
CS51	ブロック6アクセス時, $\overline{CS5}$ 出力
CS52	ブロック5アクセス時, $\overline{CS5}$ 出力
CS53	ブロック4アクセス時, $\overline{CS5}$ 出力
CS60-CS63	設定は意味を持ちません。
CS70	ブロック7アクセス時, $\overline{CS7}$ 出力
CS71	ブロック6アクセス時, $\overline{CS7}$ 出力
CS72	ブロック5アクセス時, $\overline{CS7}$ 出力
CS73	ブロック4アクセス時, $\overline{CS7}$ 出力

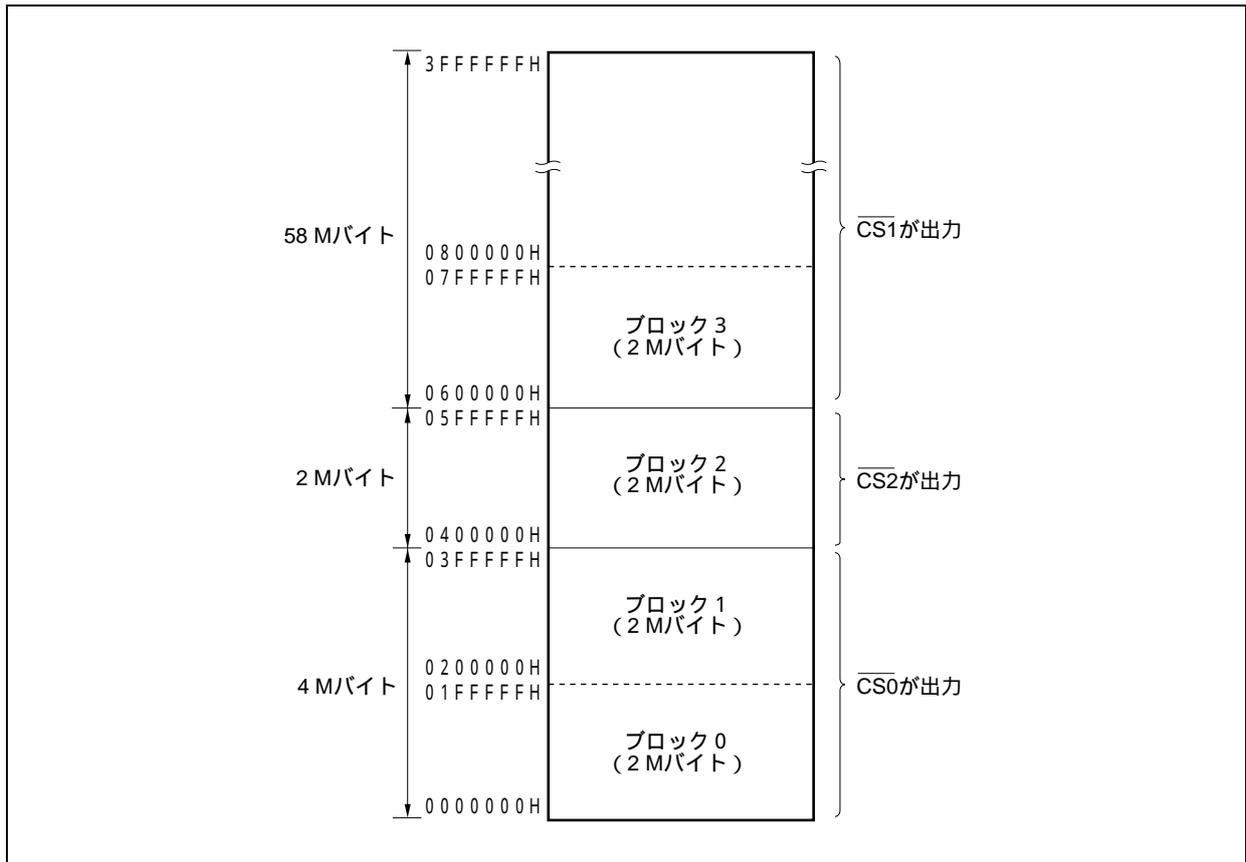
注意 CSnmビットをセット(1)にすることにより, チップ・セレクト信号 (\overline{CSn}) を有効にします ($n = 0-7, m = 0-3$)。

次にCSC0レジスタに0703Hを設定した場合のエリア0に対して有効になる \overline{CS} 信号を示します。

CSC0レジスタに0703Hを設定した場合、ブロック0、ブロック1ともに $\overline{CS0}$ 、 $\overline{CS2}$ 出力になっていますが、 $\overline{CS2}$ より $\overline{CS0}$ の方が優先順位が高いため、ブロック0、ブロック1のアドレスをアクセスした場合は $\overline{CS0}$ が出力されます。

ブロック3のアドレスをアクセスした場合は、CSC0.CS03、CS23ビット = 00であるため、 $\overline{CS1}$ が出力されます。

図5 - 1 CSC0レジスタに0703Hを設定した場合の例



5.4 バス・サイクル・タイプ制御機能

V850E/MA3は、次のような外部デバイスを各メモリ・ブロックごとに直結できます。

SRAM, 外部ROM, 外部I/O

ページROM

SDRAM

接続する外部デバイスは、BCT0, BCT1レジスタで指定します。

5.4.1 バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)

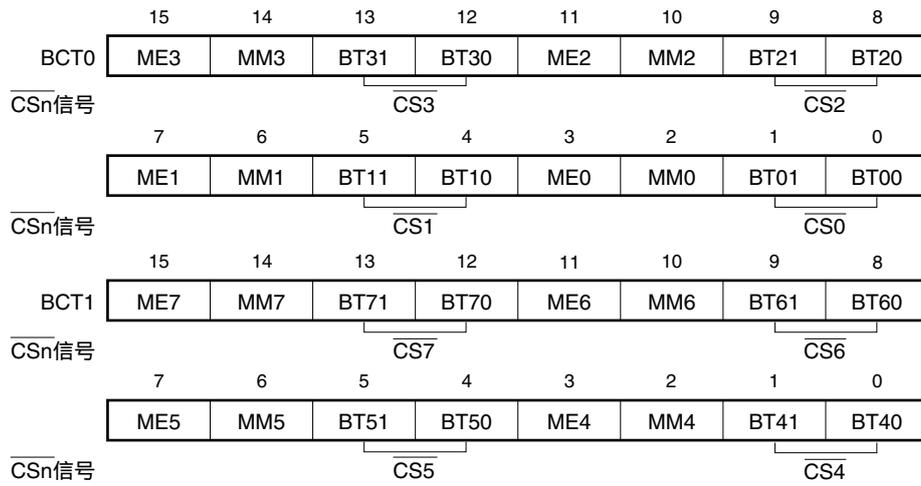
(1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)

16ビット単位でリード/ライト可能です。

リセットにより8888Hになります。

- 注意1. BCT0, BCT1レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください(ただし、MEnビットの値は変更できます)。また、BCT0, BCT1レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。
2. 外部I/O, ページROM, SDRAMを接続する場合は、そのCSn空間のバス・モードをセパレート・バス・モードに設定してください(n = 0-7)。
 3. マルチプレクス・バス・モードに設定されたCSn空間へのアクセスでは、 $\overline{\text{IORD}}$, $\overline{\text{IOWR}}$ 信号を使用しないでください(n = 0-7)。
 4. マルチプレクス・バス・モードとセパレート・バス・モードを併用するシステムでは、マルチプレクス・バス・モードに設定されたCSn空間に対応するアドレス・セットアップ・ウエイト・ステート数を1以上に設定してください(n = 0-7)。

リセット時：8888H R/W アドレス：BCT0 FFFFF480H, BCT1 FFFFF482H



ME _n	各CSn空間のメモリ・コントローラの動作許可 (n = 0-7)
0	動作禁止
1	動作許可

MM _n	各CSn空間のバス・モードの指定 (n = 0-7)
0	セパレート・バス・モード
1	マルチプレクス・バス・モード

BT _{n1}	BT _{n0}	CSn信号に接続する外部デバイスの指定 (n = 0-7)
0	0	SRAM, 外部I/O
0	1	ページROM
1	0	設定禁止
1	1	n = 1, 3, 4, 6の場合：SDRAM n = 0, 2, 5, 7の場合：設定禁止

5.4.2 チップ・セレクト信号ディレイ制御レジスタ (CSDC)

(1) チップ・セレクト信号ディレイ制御レジスタ (CSDC)

SDRAMアクセス直後に、SRAM(外部I/O含む)インタフェースの外部デバイスに対するアクセスが発生した場合、SRAM(外部I/O含む)インタフェースの外部デバイスに対して誤書き込みが発生する可能性があります。このように、SDRAMとSRAM(外部I/O含む)インタフェースの外部デバイスの両方を使用するシステム構成で誤書き込みが発生する可能性がある場合には、CSDCレジスタでSRAM(外部I/O含む)の \overline{CSn} 信号の立ち下がりタイミングを1クロック遅らせることで、誤書き込みを防止します($n=0, 4, 6, 7$)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1.** 誤書き込みが発生する可能性のある外部デバイスは、必ず $\overline{CS0}$ 、 $\overline{CS4}$ 、 $\overline{CS6}$ 、 $\overline{CS7}$ のいずれかの \overline{CSn} 空間に配置してください。また、該当する \overline{CSn} 空間のメモリの種類をSRAM(BCT0, BCT1 レジスタ.BTn1, BTn0ビット = 00) に設定してください ($n=0, 4, 6, 7$)。
2. CSDCnビットをセット(1)する \overline{CSn} 空間に対しては、必ずASCレジスタでアドレス・セットアップ・ウエイトを1ウエイト以上(必要なウエイト数+1)挿入してください ($n=0, 4, 6, 7$)。
 3. 現在実行中のプログラムが配置された \overline{CSn} 空間に対するCSDCnビットの変更は行わないでください ($n=0, 4, 6, 7$)。

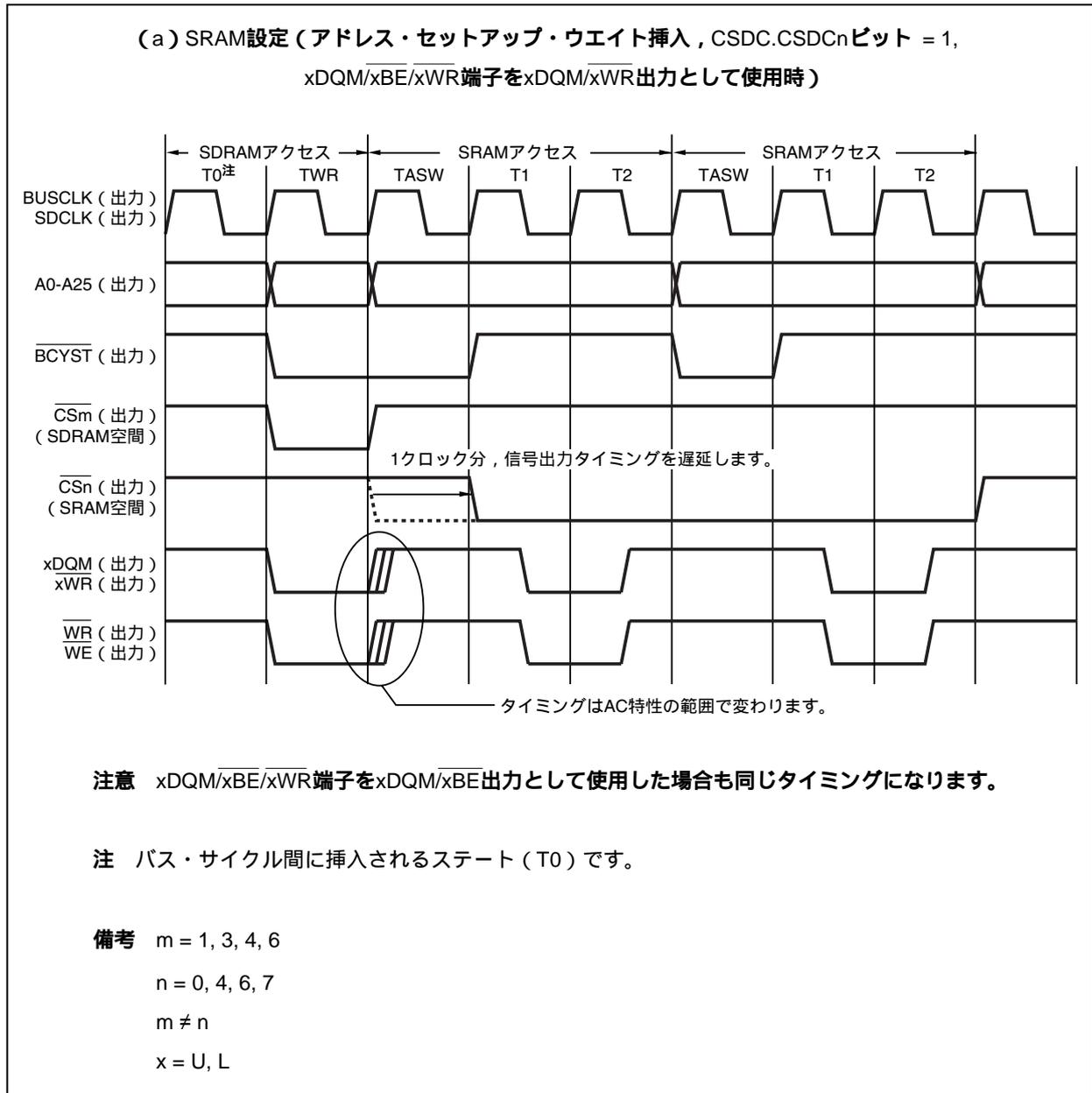
リセット時：00H R/W アドレス：FFFFFF804H

	7	6	5	4	3	2	1	0
CSDC	CSDC7	CSDC6	0	CSDC4	0	0	0	CSDC0

備考 CSDCnビットをセット(1)すると、対応する \overline{CSn} 信号の立ち下がりタイミングを1クロック遅らせませす ($n=0, 4, 6, 7$)。なお、 \overline{CSn} 信号以外の出力タイミングは変わりません。

CSDC.CSDCnビットをセット(1)した場合のタイミング・チャート例を次に示します。

図5-2 SDRAMアクセス直後のSRAMアクセス・タイミング例
 (SDRAMアクセス後SRAMアクセスが2回続いた場合)



5.5 バス・アクセス

5.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

バス・サイクル形態 リソース (バス幅)	命令フェッチ	オペランド・データ・アクセス
内蔵ROM (32ビット)	1	7
内蔵RAM (32ビット)	1 ^注	1

注 データ・アクセスと競合した場合は2

備考 単位はクロック/アクセスです。

5.5.2 バス・サイジング機能

バス・サイジング機能により、各CS空間ごとのデータ・バス幅を制御できます。データ・バス幅は、LBSレジスタで設定します。

(1) ローカル・バス・サイジング・コントロール・レジスタ (LBS)

16ビット単位でリード/ライト可能です。

リセットにより5555Hになります。

- 注意1.** LBSレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、LBSレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。
- 2.** 8ビット・バス幅の場合、次に示す信号のみアクティブになります。
 LWR : SRAM, 外部ROM, 外部I/Oアクセス (ライト・サイクル) の場合

リセット時 : 5555H R/W アドレス : FFFFF48EH

	15	14	13	12	11	10	9	8
LBS	0	LB70	0	LB60	0	LB50	0	LB40
CSn信号	CS7		CS6		CS5		CS4	
	7	6	5	4	3	2	1	0
	0	LB30	0	LB20	0	LB10	0	LB00
CSn信号	CS3		CS2		CS1		CS0	

LBn0	各CSn空間のデータ・バス幅の指定 (n = 0-7)
0	8ビット
1	16ビット

注意 ビット15, 13, 11, 9, 7, 5, 3, 1には、必ず0を設定してください。1を設定した場合の動作は保証できません。

5.5.3 エンディアン制御機能

エンディアン制御機能により、チップ・セレクト信号 ($\overline{CS0}$ - $\overline{CS7}$) で選択されるCS空間ごとにメモリ内のワード・データをビッグ・エンディアン形式、リトル・エンディアン形式のどちらで処理するかを設定できます。エンディアン形式の切り替えは、BECレジスタで設定します。

注意 次に示す領域についてはリトル・エンディアン形式固定になるので、BECレジスタの設定は無効になります。

- ・内蔵周辺I/O領域
- ・内蔵ROM領域
- ・内蔵RAM領域
- ・外部メモリのプログラム・フェッチ領域

(1) エンディアン・コンフィギュレーション・レジスタ (BEC)

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 BECレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。

リセット時：0000H R/W アドレス：FFFFF068H

	15	14	13	12	11	10	9	8
BEC	0	BE70	0	BE60	0	BE50	0	BE40
\overline{CSn} 信号	$\overline{CS7}$		$\overline{CS6}$		$\overline{CS5}$		$\overline{CS4}$	
	7	6	5	4	3	2	1	0
	0	BE30	0	BE20	0	BE10	0	BE00
\overline{CSn} 信号	$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$	

BEn0	各CSn空間のエンディアン形式の指定 (n = 0-7)
0	リトル・エンディアン形式
1	ビッグ・エンディアン形式

注意 ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。1を設定した場合の動作は保証できません。

図5-3 ワード内のビッグ・エンディアン・アドレス

31	24 23	16 15	8 7	0
0008H	0009H	000AH	000BH	
0004H	0005H	0006H	0007H	
0000H	0001H	0002H	0003H	

図5-4 ワード内のリトル・エンディアン・アドレス

31	24 23	16 15	8 7	0
000BH	000AH	0009H	0008H	
0007H	0006H	0005H	0004H	
0003H	0002H	0001H	0000H	

5.5.4 NECエレクトロニクス製開発ツールにおけるビッグ・エンディアン形式の使用制限

(1) デバッガ (ID850QB) 使用時

メモリ・ウィンドウの表示だけビッグ・エンディアン形式に対応します。

(2) コンパイラ (CA850) 使用時

(a) C言語上の制限

(i) ビッグ・エンディアン空間に配置する(される)変数には次に示す制限があります。

- ・ unionが使えない。
- ・ bitfieldが使えない。
- ・ キャストによる(アクセス・サイズを変更)アクセスが使えない。
- ・ 初期値あり変数が使えない。

(ii) 最適化によりアクセス・サイズの変更が起こる可能性があるので、次に示す最適化抑止オプションを指定する必要があります。

- ・ 広域最適化部 (opt850) 用 - Wo, - XTb
- ・ 機種依存最適化部 (impr850) 用 - Wi, + arg_reg_opt = OFF, + stld_trans_opt = OFF

ただし、キャストとしてアクセス、またはマスク/シフトしてアクセスという使い方をしていない場合は、上記の最適化抑止オプションの指定は不要になります。

注 次に示す最適化が起こるようなパターンの使い方がないことが条件となります。ただし、おのおの（特に機種依存最適化部）のパターンが組み合わさった状態など、ユーザ側での完璧なチェックは非常に困難になります。したがって、上記の最適化抑止オプションの指定を推奨します。

【広域最適化部関連】

- ・ bit orを使用した1ビット・セット

```
int i;
i ^= 1;
```

- ・ bit andを使用した1ビット・クリア

```
i &= ~1;
```

- ・ bit xorを使用した1ビット・ノット

```
i ^= 1;
```

- ・ bit andを使用した1ビット・テスト

```
if(i & 1);
```

【機種依存最適化部関連】

同一の変数を異なるサイズでアクセスするような使い方

- ・ キャスト
- ・ マスク
- ・ シフト

```
例 int i, *ip;
char c;
:
c = *((char*)ip);
:
c = 0xff & i;
:
i = (i<<24) >>24;
```

(b) アセンブリ言語上の制限

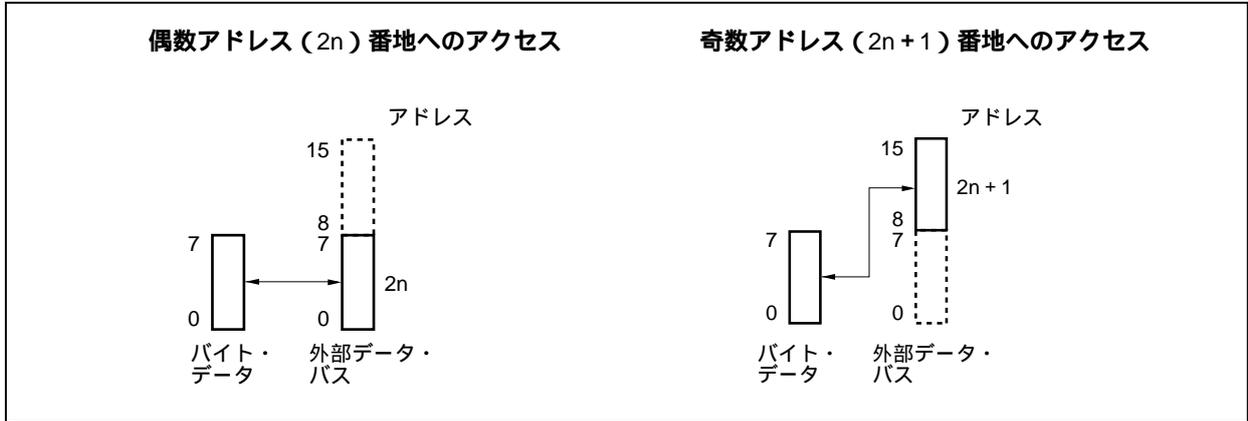
ビッグ・エンディアン空間に配置する変数にはバイト・サイズ以外の領域確保疑似命令（.hword, .word, .float, .shword）が使用できません。

5.5.5 バス幅

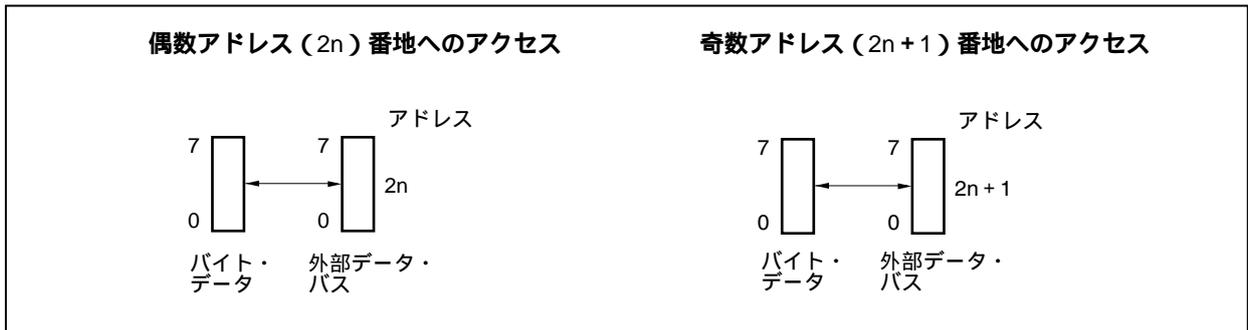
V850E/MA3が内蔵周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの低位側から順番にアクセスを行います。

(1) バイト・アクセス (8ビット)

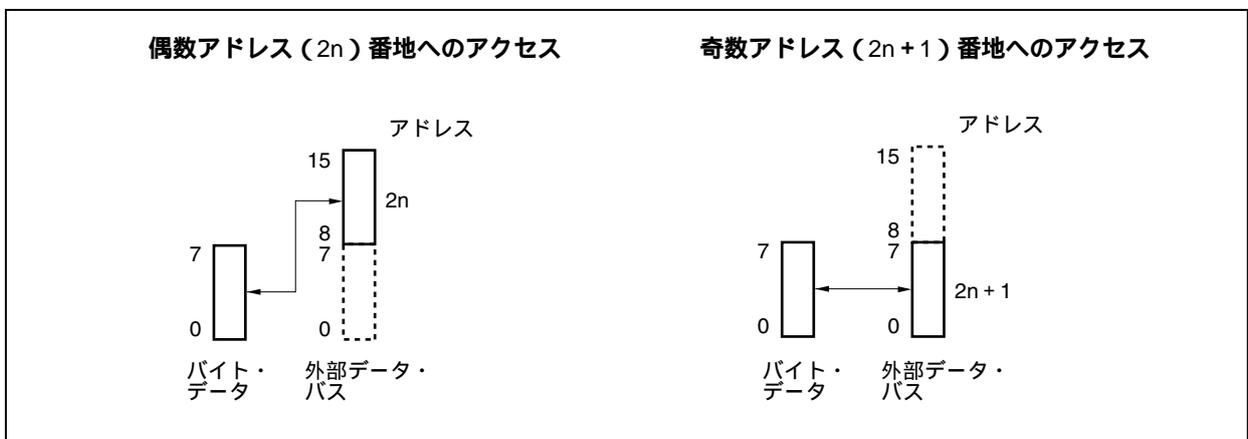
(a) 16ビット・データ・バス幅のとき (リトル・エンディアン)



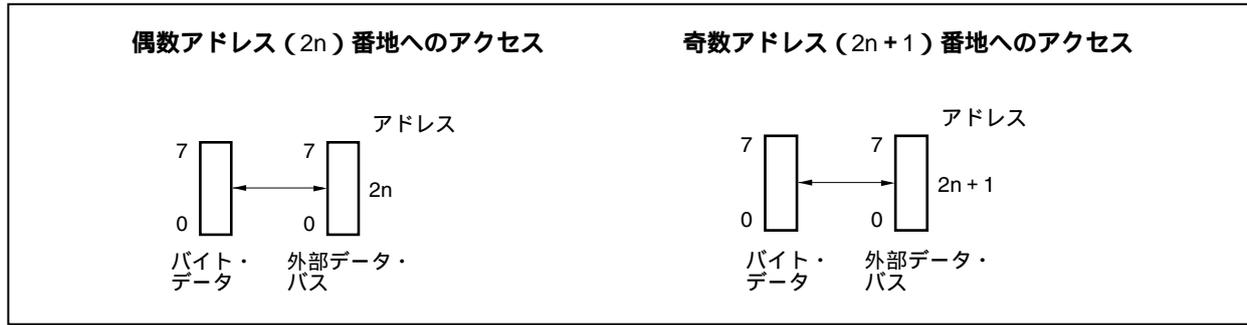
(b) 8ビット・データ・バス幅のとき (リトル・エンディアン)



(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン)

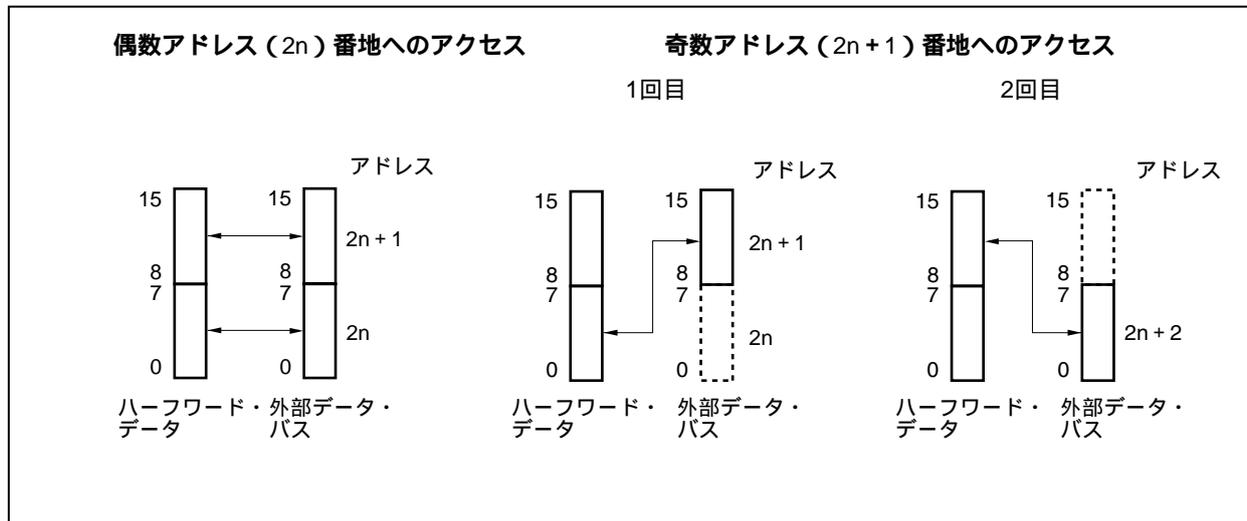


(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン)

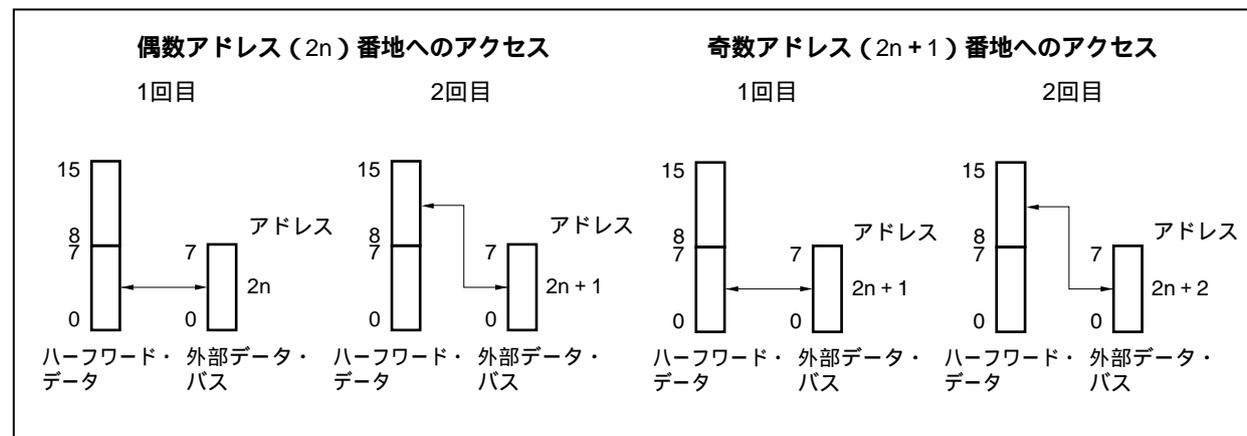


(2) ハーフワード・アクセス (16ビット)

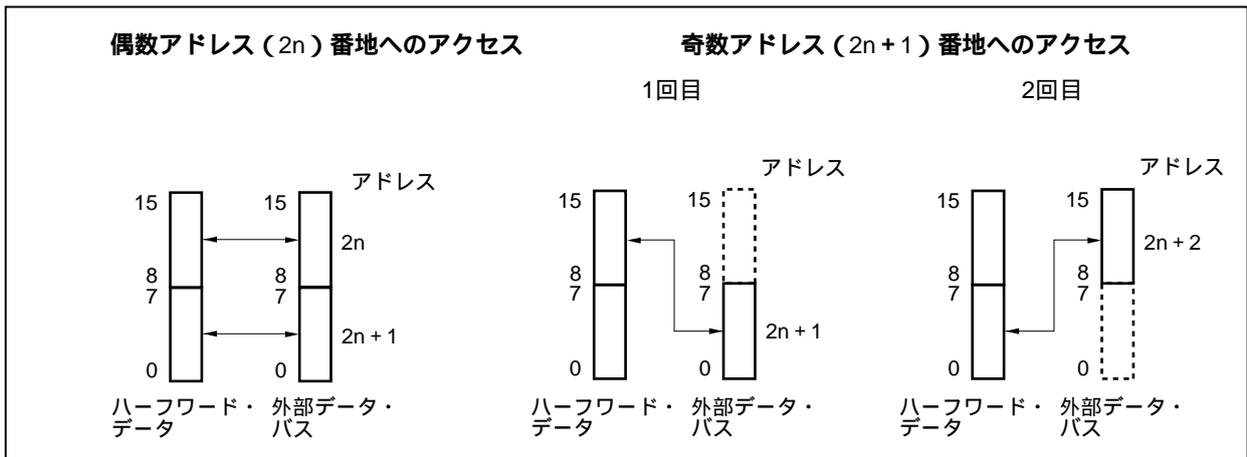
(a) 16ビット・データ・バス幅のとき (リトル・エンディアン)



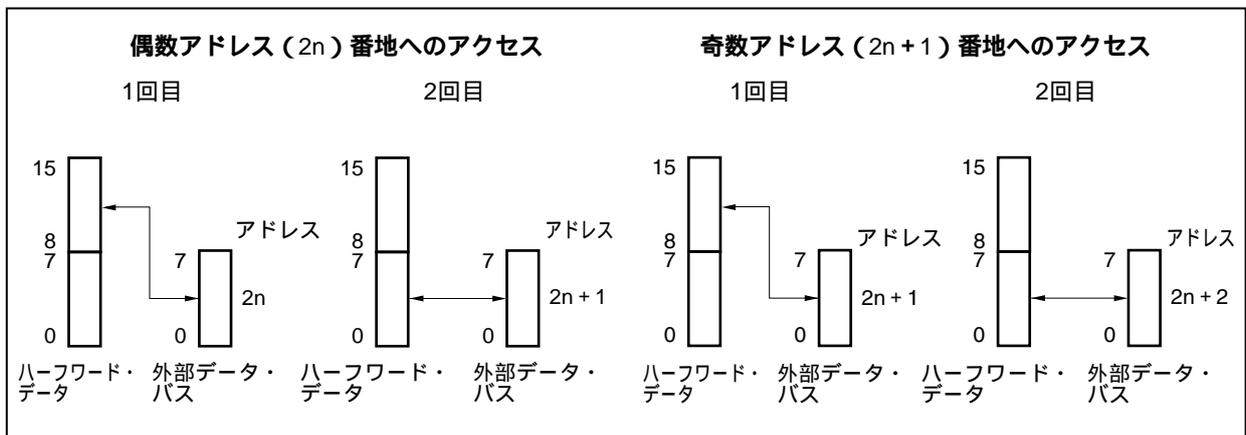
(b) 8ビット・データ・バス幅のとき (リトル・エンディアン)



(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン)

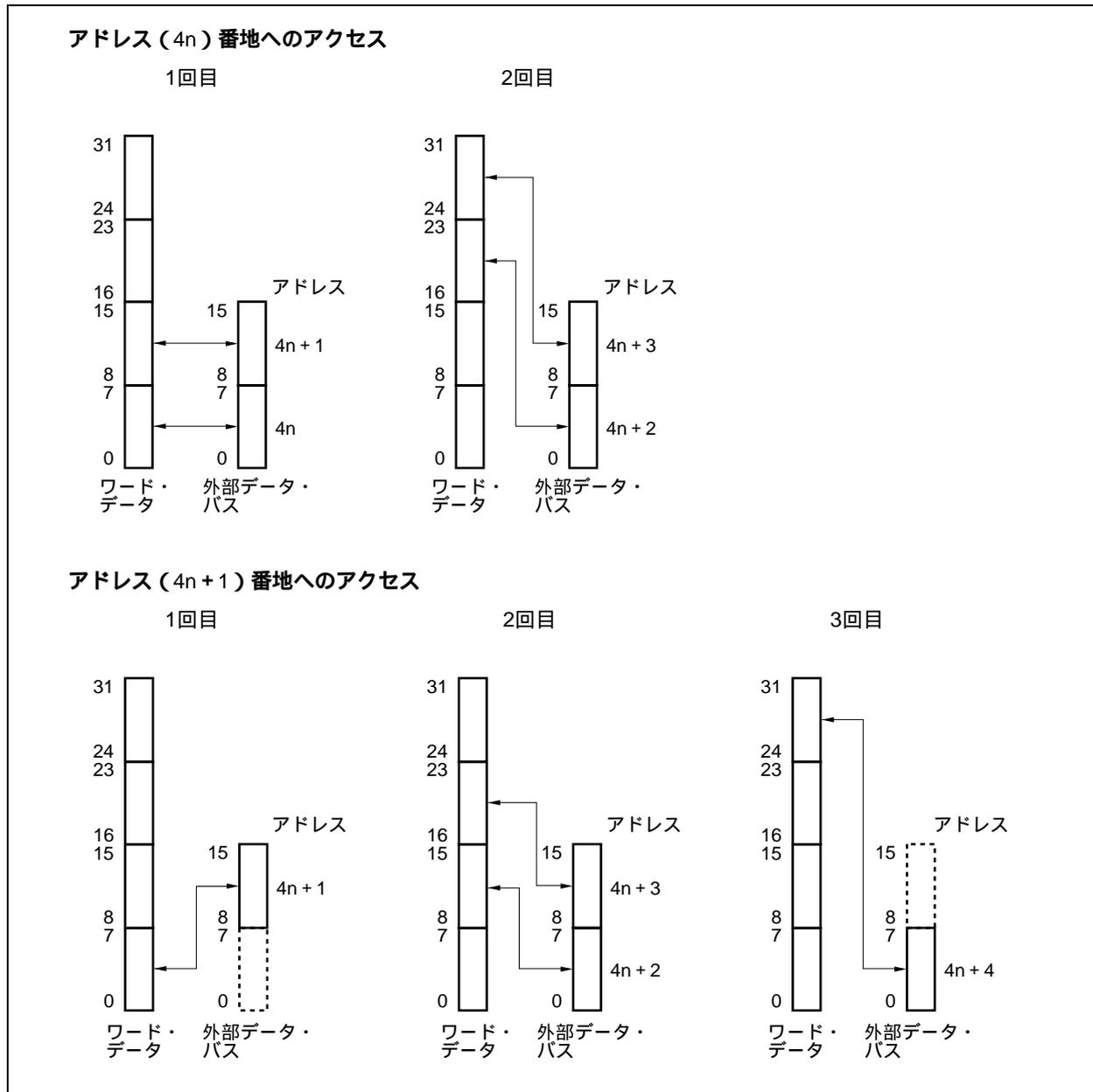


(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン)



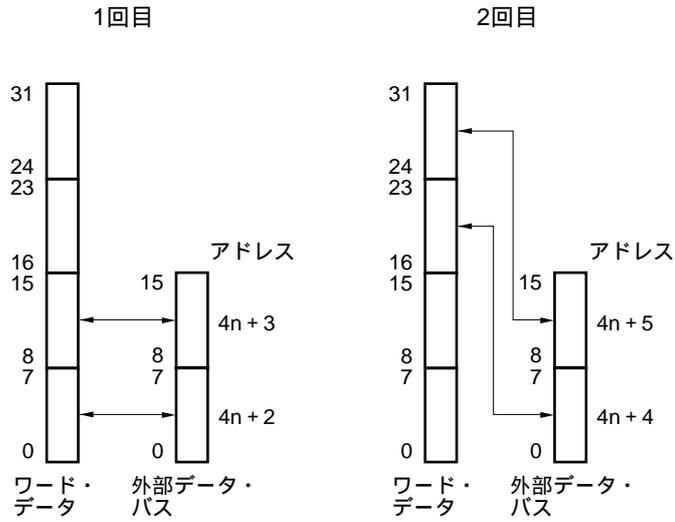
(3) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (リトル・エンディアン) (1/2)

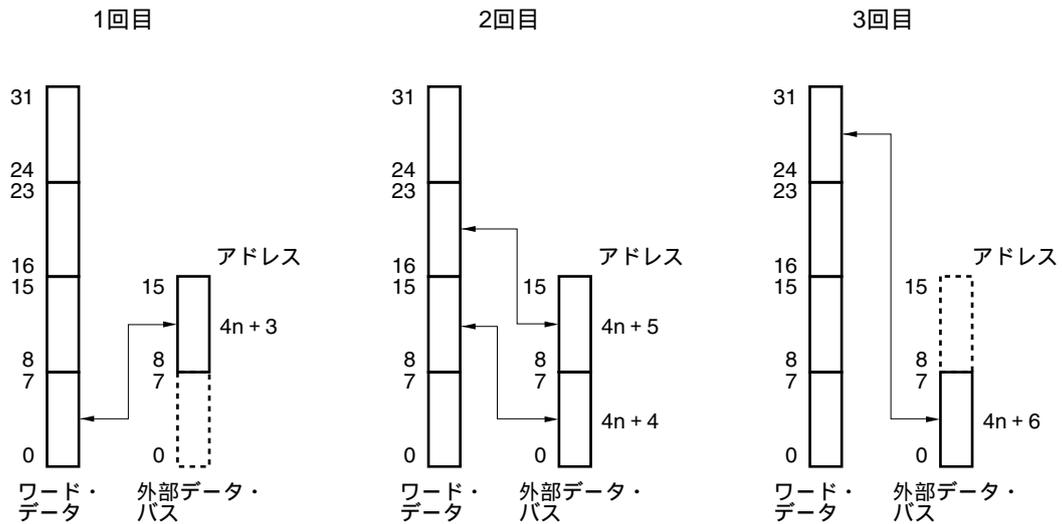


(a) 16ビット・データ・バス幅のとき (リトル・エンディアン) (2/2)

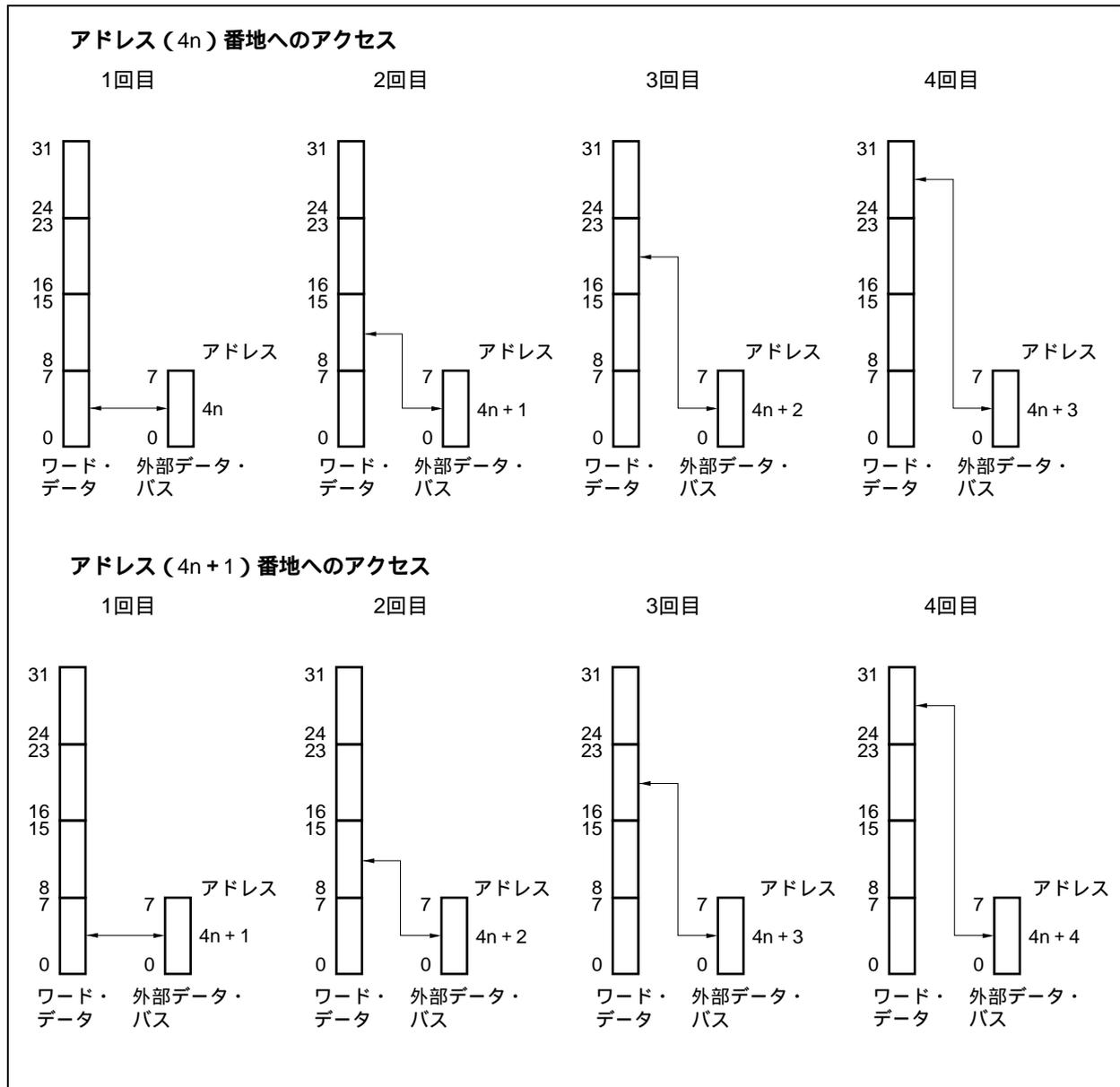
アドレス $(4n+2)$ 番地へのアクセス



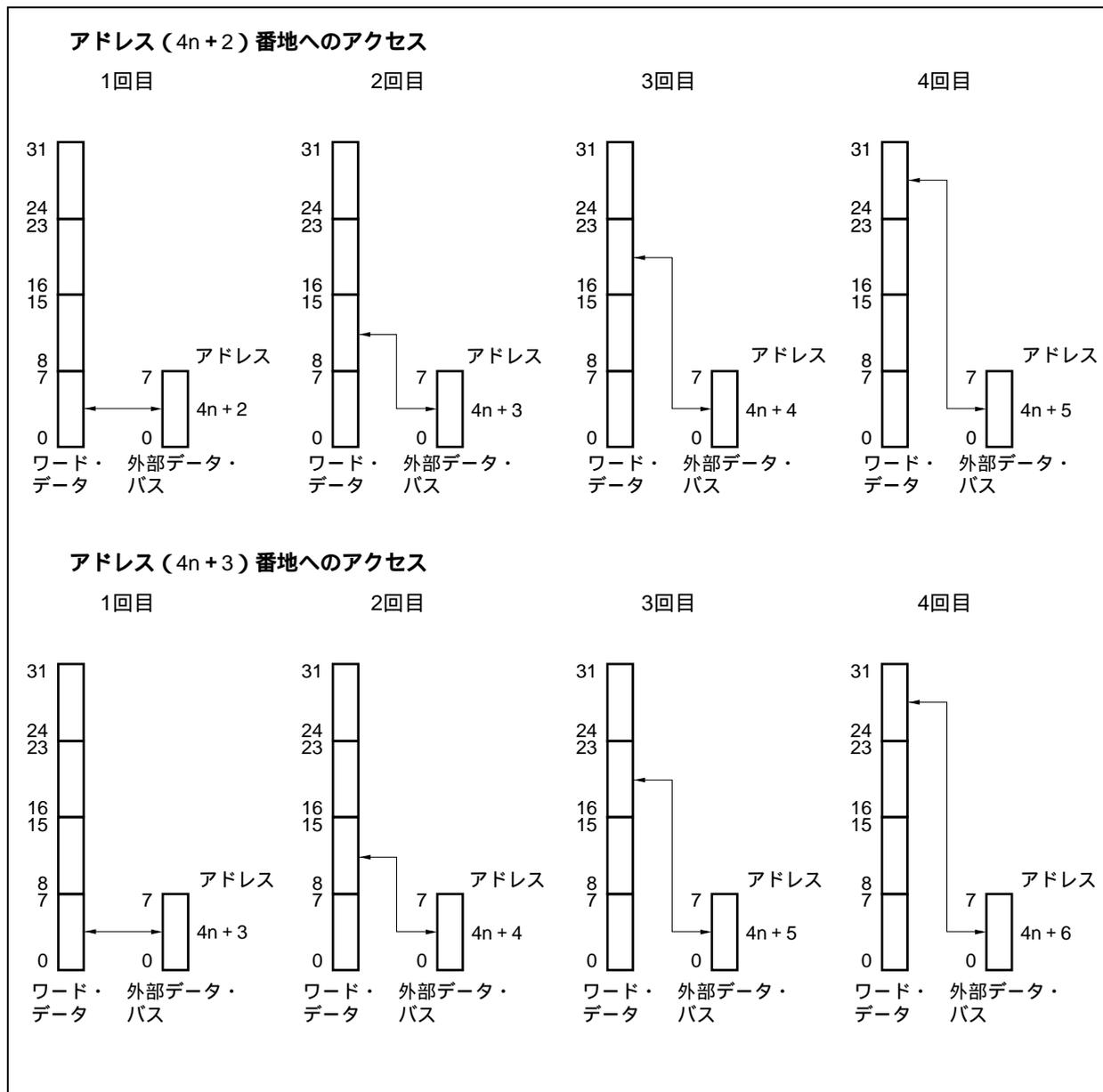
アドレス $(4n+3)$ 番地へのアクセス



(b) 8ビット・データ・バス幅のとき (リトル・エンディアン) (1/2)

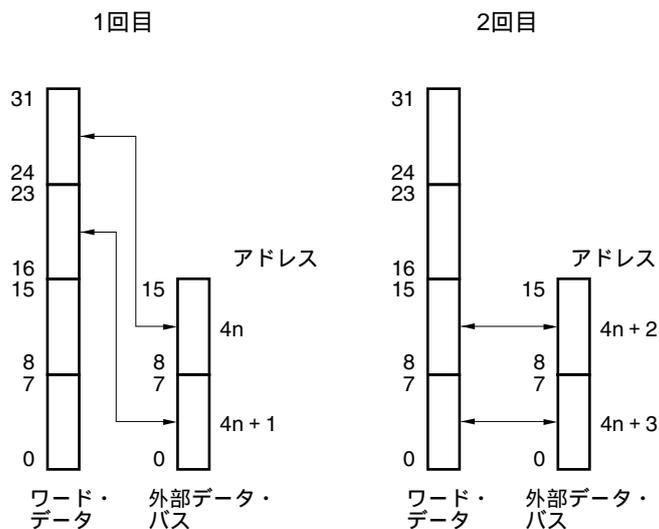


(b) 8ビット・データ・バス幅のとき (リトル・エンディアン) (2/2)

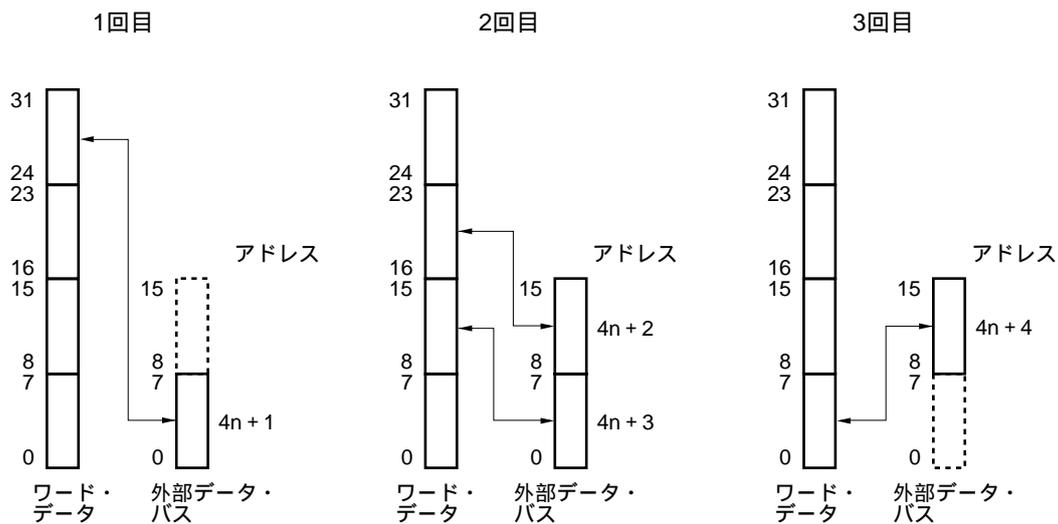


(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン) (1/2)

アドレス (4n) 番地へのアクセス

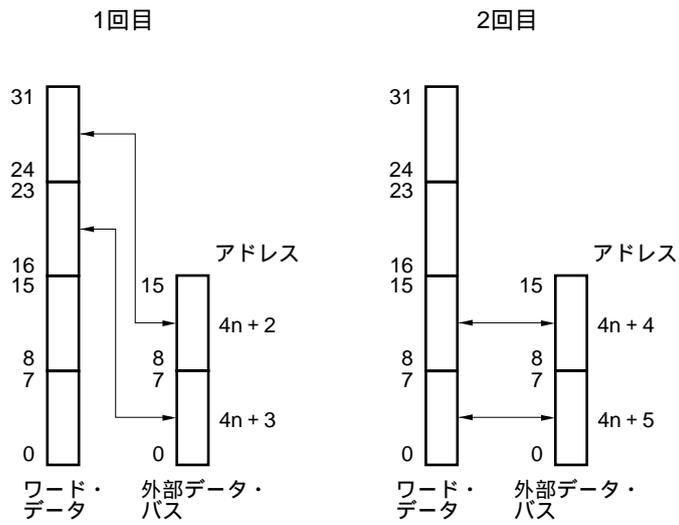


アドレス (4n+1) 番地へのアクセス

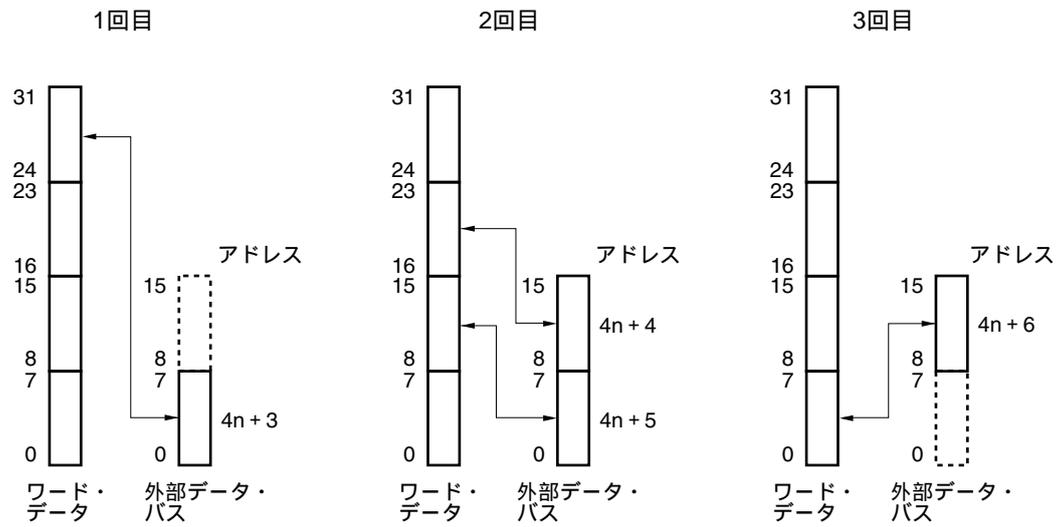


(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン) (2/2)

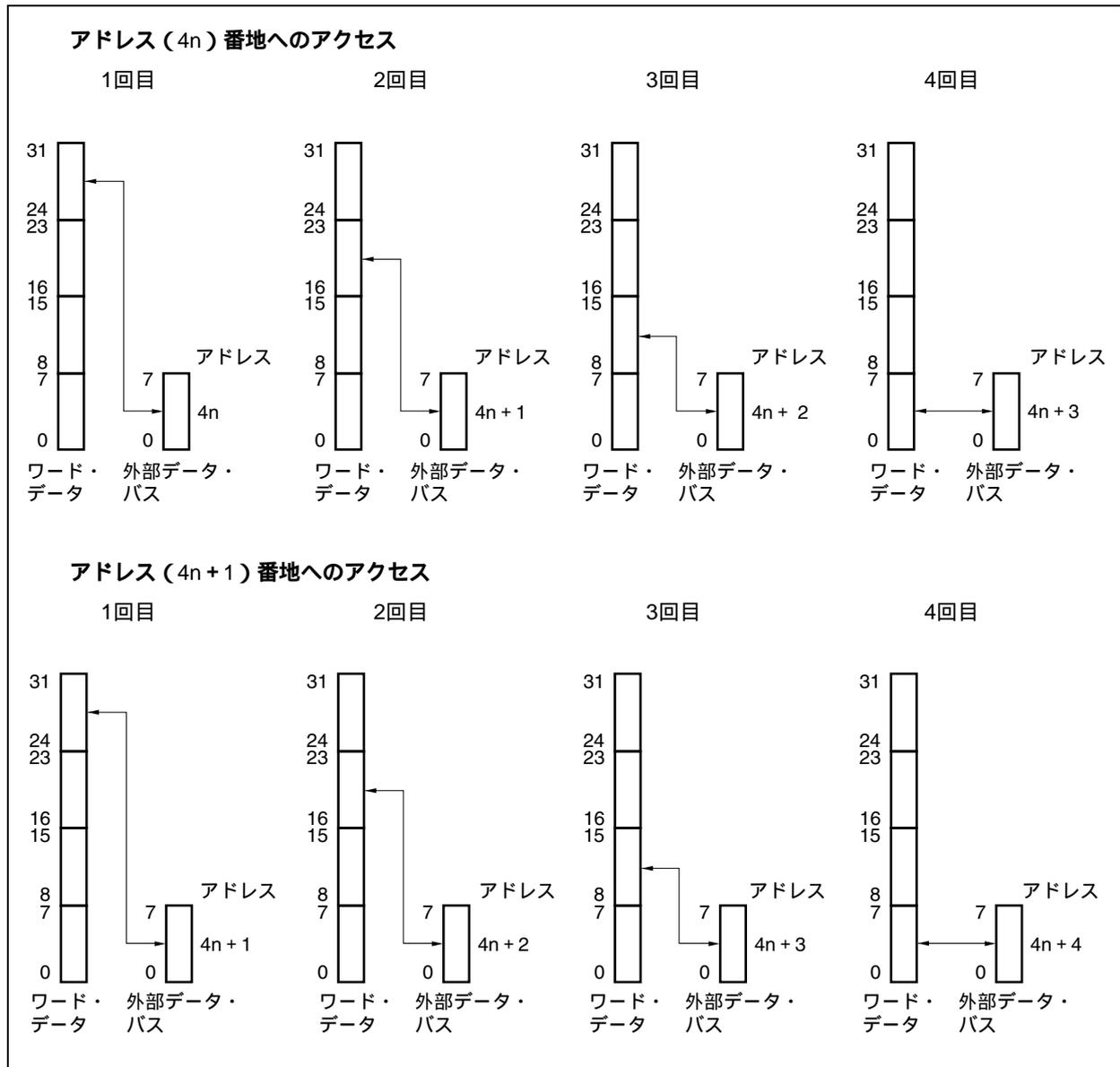
アドレス $(4n+2)$ 番地へのアクセス



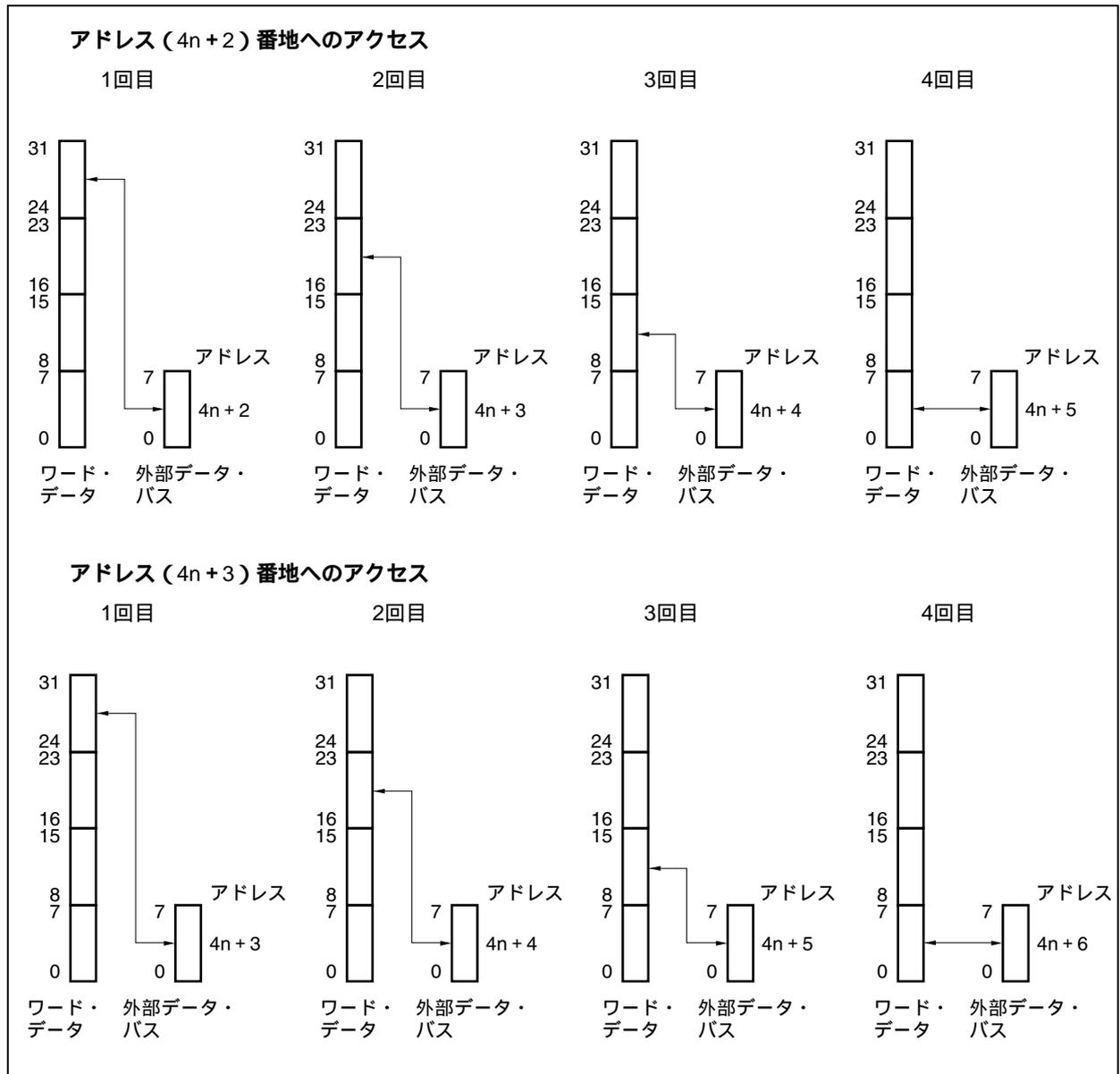
アドレス $(4n+3)$ 番地へのアクセス



(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン) (1/2)



(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン) (2/2)



5.6 ライト・バッファ機能

V850E/MA3は4ワード分(128ビット)のライト・バッファを内蔵しています。ライト・バッファは、外部バスが占有されている状態^注で、ライト・サイクルが実行できない場合に、ライト・バッファにデータを格納する機能であり、ライト・バッファがフルになるまでは次の命令を先行的に実行します。ライト・バッファは、すべての外部メモリ領域に対して有効であり、ライト・バッファがフルの状態ではライト要求が発生した場合は、ライト・バッファに空きができるまで次の命令実行を保留します。

ライト・バッファにデータを格納中(外部メモリに対してのライト動作が完了していないとき)は、DMAフライバイ要求およびバス・ホールド要求は、受け付けられません(ライト・バッファのデータをすべて外部メモリに書き込んだあと、DMAフライバイ要求およびバス・ホールド要求を受け付け、許可信号を発生します)。

注 外部バスが占有されている状態とは、現在実行中のバス・サイクルのことです。

- 注意1. ライト・バッファは4段構成のため、バイト・ライト実行の場合、4バイト(32ビット)でライト・バッファがフルになります。同様に、アドレス・ミス・アライン・アクセス等でもライト・バッファがフルになる条件は変わりますので、注意してください。
2. 外部デバイスへのライト動作を行うとき、ライト・バッファにより、CPUライト動作が完了しても外部デバイスへのライト動作が実行されていない場合があります。また、CPU動作としては、ライト動作完了後、ライト・バッファにデータが存在しても内蔵周辺I/Oレジスタへのアクセスができません。このため、外部メモリ・サイクルを実行後、その外部メモリ・サイクルの完了を待ってから内蔵周辺I/Oレジスタ値を変更する必要がある場合には、WASレジスタに00Hを書き込んだあとに、値を変更すべき内蔵周辺I/Oレジスタへの書き込みを行ってください。WASレジスタの00Hのライト動作を行わずにWASレジスタ以外の内蔵周辺I/Oレジスタへの書き込みを行う場合には、外部メモリ・サイクル終了前にレジスタ値が変更される可能性があります。
 3. ライト・バッファにデータが存在するときに外部デバイスへのリード・アクセスが発生した場合には、ライト・バッファ内のすべてのデータに対する外部デバイスへのライト動作を実行したあとに外部デバイスへのリード動作が実行されます。
 4. 外部デバイスへのライト動作を行う2サイクル転送時には、ライト・バッファにより、DCHCn.TCnビット = 1 (DMA転送完了) が読み出されても、外部デバイスへのライト動作が完了していない場合があります (n = 0-3)。DMA転送の完了(外部デバイスへのライト動作の完了)を待ってから、内蔵周辺I/Oレジスタの値を変更する必要がある場合には、次のいずれかの動作を行ってください。

- $\overline{\text{TCn}}$ 信号をモニタしてください($\overline{\text{TCn}}$ 信号は外部デバイスへのライト動作に同期してアクティブになります)。
- DCHCn.TCnビットのセット(1)を検出後、WASレジスタに00Hの書き込みを行ったあとで、内蔵周辺I/Oレジスタの値を変更してください。WASレジスタの00Hのライト動作を行わずにWASレジスタ以外の内蔵周辺I/Oレジスタの値を変更した場合には、DMA転送が完了する前に内蔵周辺I/Oレジスタの値が変更されることがあります。

(1) ライト・アクセス同期制御レジスタ (WAS)

外部デバイスへのライト動作を行うとき、ライト・バッファにより、CPUのライト動作が完了しても外部デバイスへのライト動作が実行されていない場合があります。WASレジスタは、このライト・バッファ内のすべてのデータに対する外部デバイスへのライト実行を完了させるレジスタです。詳細は5.6 ライト・バッファ機能を参照してください。

8ビット単位でライトのみ可能です。

リセット時：不定 W アドレス：FFFFFF49CH

	7	6	5	4	3	2	1	0
WAS	0	0	0	0	0	0	0	0

注意 WASレジスタには必ず00Hを書き込んでください。00H以外の値を書き込んだ場合の動作は保証できません。

5.7 バス・クロック制御機能

(1) バス・モード・コントロール・レジスタ (BMC)

BMCレジスタは、内部システム・クロックに対するバス・クロック (BUSCLK) の分周比を設定します。

BMCレジスタへの書き込み時は、一度BUSCLKがロウ・レベルで停止します。BUSCLKは、停止したあとに設定した分周クロックで動作を再開します。BUSCLK停止時は、SDRAMのRFSnレジスタの動作も停止します (n = 1, 3, 4, 6)。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

注意1. BMCレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。

- BMCレジスタへの書き込みは、必ずVSWCレジスタをx7Hに設定したあとで行ってください (x : BMCレジスタ設定値変更前のVSWCレジスタの値)。BMCレジスタ設定値変更後、再びVSWCレジスタ値をBMCレジスタ設定値変更前の値に再設定してください。

[設定手順]

VSWCレジスタの設定値を退避する。

VSWCレジスタをx7Hに設定する(x : BMCレジスタ設定値変更前のVSWCレジスタの値)。

BMCレジスタを設定する。

(この間にBUSCLKがいったん停止)

退避したVSWCレジスタの設定値を復帰する。

- V850E/MA3の外部バス・インタフェースの最大動作周波数は、50 MHzです。この周波数を越えるようなバス・クロック (BUSCLK) の設定、および設定シーケンスを行わないでください。

リセット時 : 01H R/W アドレス : FFFFF498H

	7	6	5	4	3	2	1	0
BMC	0	0	0	0	0	0	CKM1	CKM0

CKM1	CKM0	f _{CLK} に対するBUSCLKの分周比の指定
0	0	f _{CLK}
0	1	f _{CLK} /2
1	0	f _{CLK} /3
1	1	f _{CLK} /4

注意 ビット7-2には、必ず0を設定してください。1を設定した場合の動作は保証できません。

備考 f_{CLK} : 内部システム・クロック

5.8 ウェイト機能

5.8.1 プログラマブル・ウェイト機能

(1) データ・ウェイト・コントロール・レジスタ0, 1 (DWC0, DWC1)

低速メモリ, I/Oに対するインタフェースを容易に実現させることを目的とし, 各CS空間ごとに起動されるバス・サイクル[※]に対し, 最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は, DWC0, DWC1レジスタでプログラマブルに指定可能です。システム・リセット直後は, 全ブロックに対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

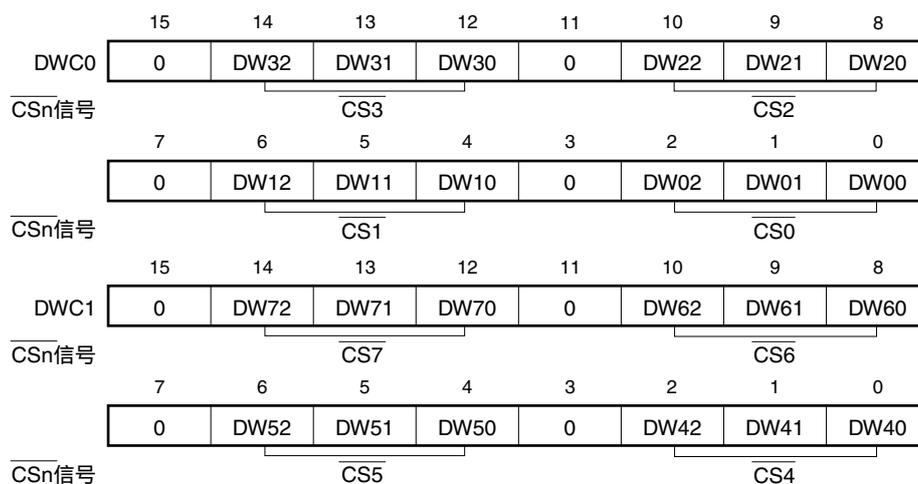
注	セパレート・バス・モード時	: SRAMリード/ライト・サイクル ページROMリード・サイクル (オフページ)
	マルチプレクス・バス・モード時	: SRAMリード/ライト・サイクル

注意1. 内蔵ROM領域, 内蔵RAM領域は, プログラマブル・ウェイトの対象外で, 常にノー・ウェイト・アクセスを行います。

内蔵周辺I/O領域は, プログラマブル・ウェイトの対象外で, 各周辺機能からのウェイト制御だけ行われます。

- 次の場合, DWC0, DWC1レジスタの設定は無効となります (ウェイト制御は各メモリ・コントローラごとに行います)。
 - ・ページROMのオンページ・アクセス
 - ・SDRAMアクセス
- DWC0, DWC1レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, DWC0, DWC1レジスタの初期設定が終わるまでは, 外部メモリ領域をアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。

リセット時 : 7777H R/W アドレス : DWC0 FFFFF484H, DWC1 FFFFF486H



DWn2	DWn1	DWn0	各CSn空間の挿入ウェイト・ステート数指定 (n = 0-7)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

(2) アドレス・セットアップ・ウエイト・コントロール・レジスタ (ASC)

V850E/MA3は、セパレート・モード時にはSRAMサイクルに対するリード/ライト・サイクル、およびページROMサイクルに対するリード・サイクルの始めに、マルチプレクス・バス・モード時にはSRAMに対するリード/ライト・サイクルの始めにアドレス・セットアップ・ウエイト・ステートを挿入できます (SDRAMサイクルではASCレジスタの設定は無効です)。

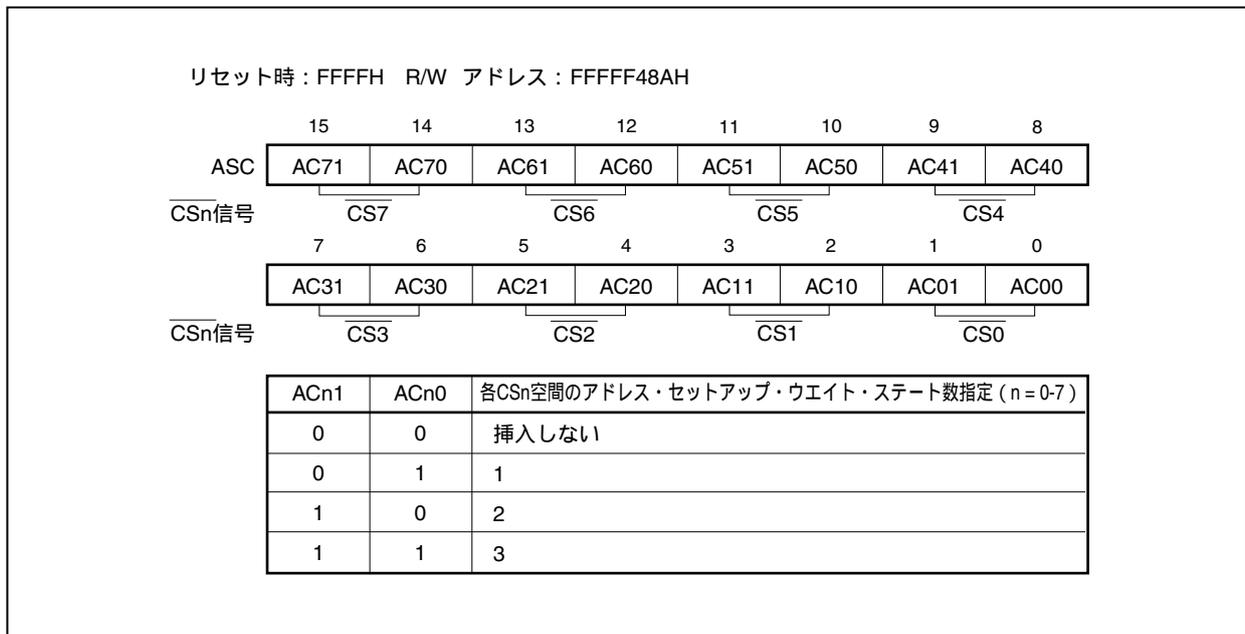
アドレス・セットアップ・ウエイト・ステート数は、ASCレジスタでCS空間ごとに設定できます。

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

注意1. 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウエイト挿入の対象外になります。

2. アドレス・セットアップ・ウエイトでは、 $\overline{\text{WAIT}}$ 端子による外部ウエイト機能は無効です。
3. ASCレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。
4. DMAフライバイ転送時にはアドレス・セットアップ・ウエイト設定値は有効です。



(3) アドレス・ホールド・ウエイト・コントロール・レジスタ (AHC)

AHCレジスタは、マルチプレクス・バス・モード時のSRAMサイクルに対するリード/ライト・サイクルのT1サイクルとT2サイクルの間にアドレス・ホールド・ウエイト・ステートを挿入できます。

アドレス・ホールド・ウエイト・ステート数は、AHCレジスタでCS空間ごとに設定できます。

16ビット単位でリード/ライト可能です。

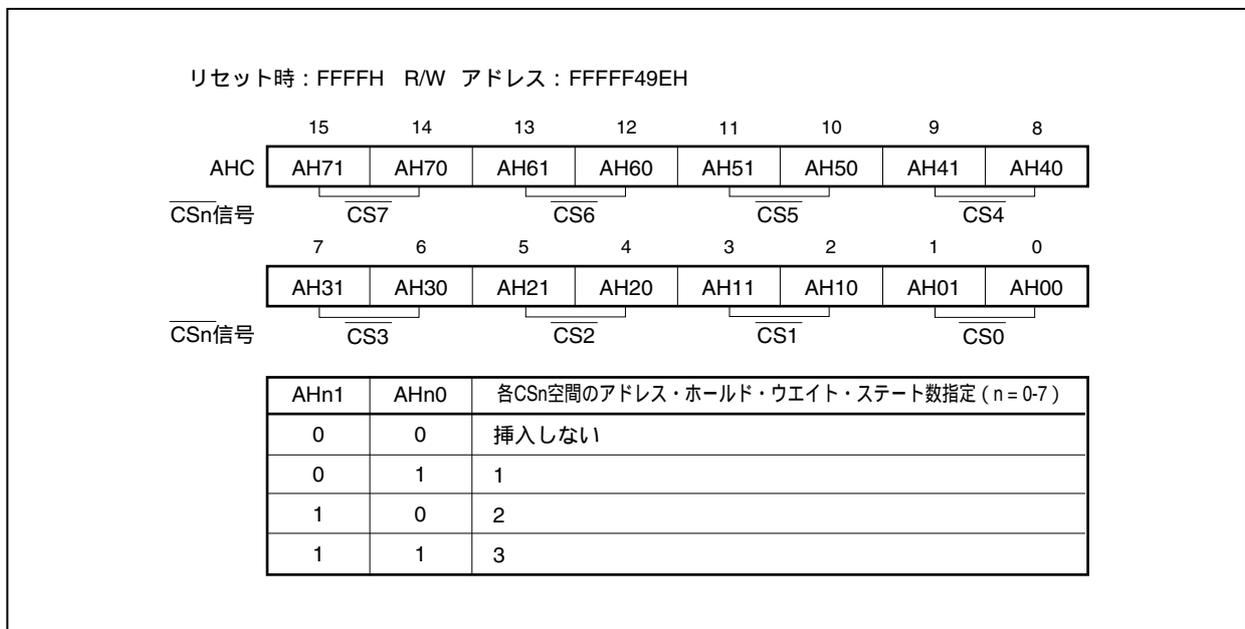
リセットによりFFFFHになります。

注意1. 内蔵ROM領域，内蔵RAM領域，内蔵周辺I/O領域は，アドレス・ホールド・ウエイト挿入の対象外になります。

2. AHCレジスタの設定は，マルチプレクス・バス・モード時のみ有効です。

3. アドレス・ホールド・ウエイトでは， $\overline{\text{WAIT}}$ 端子による外部ウエイト機能は無効です。

4. AHCレジスタへの書き込みはリセット後に行ってください。書き込み後は，値を変更しないでください。



(4) バス・サイクル・ピリオド・コントロール・レジスタ (BCP)

V850E/MA3は、SRAM、外部ROM、外部I/Oサイクルにおける $\overline{\text{IORD}}$ 、 $\overline{\text{IOWR}}$ の動作の許可 / 禁止を設定できます。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

- 注意1.** SRAM、外部ROM、外部I/Oを対象としたフライバイのDMA転送時には、IOENビットの設定にかかわらず $\overline{\text{IORD}}$ 、 $\overline{\text{IOWR}}$ 信号が出力されます。
ページROMサイクルでは、IOENビットの設定は意味を持ちません。
- 2.** BCPレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。

リセット時 : 00H R/W アドレス : FFFFFFF48CH

	7	6	5	4	3	2	1	0
BCP	0	0	0	0	IOEN	0	0	0

IOEN	SRAM、外部ROM、外部I/Oサイクル時の $\overline{\text{IORD}}$ 、 $\overline{\text{IOWR}}$ の動作許可
0	$\overline{\text{IORD}}$ 、 $\overline{\text{IOWR}}$ の動作禁止
1	$\overline{\text{IORD}}$ 、 $\overline{\text{IOWR}}$ の動作許可

注意 ビット7-4, 2-0には必ず0を設定してください。1を設定した場合の動作は保証できません。

(5) DMAフライバイ転送ウエイト・コントロール・レジスタ (FWC)

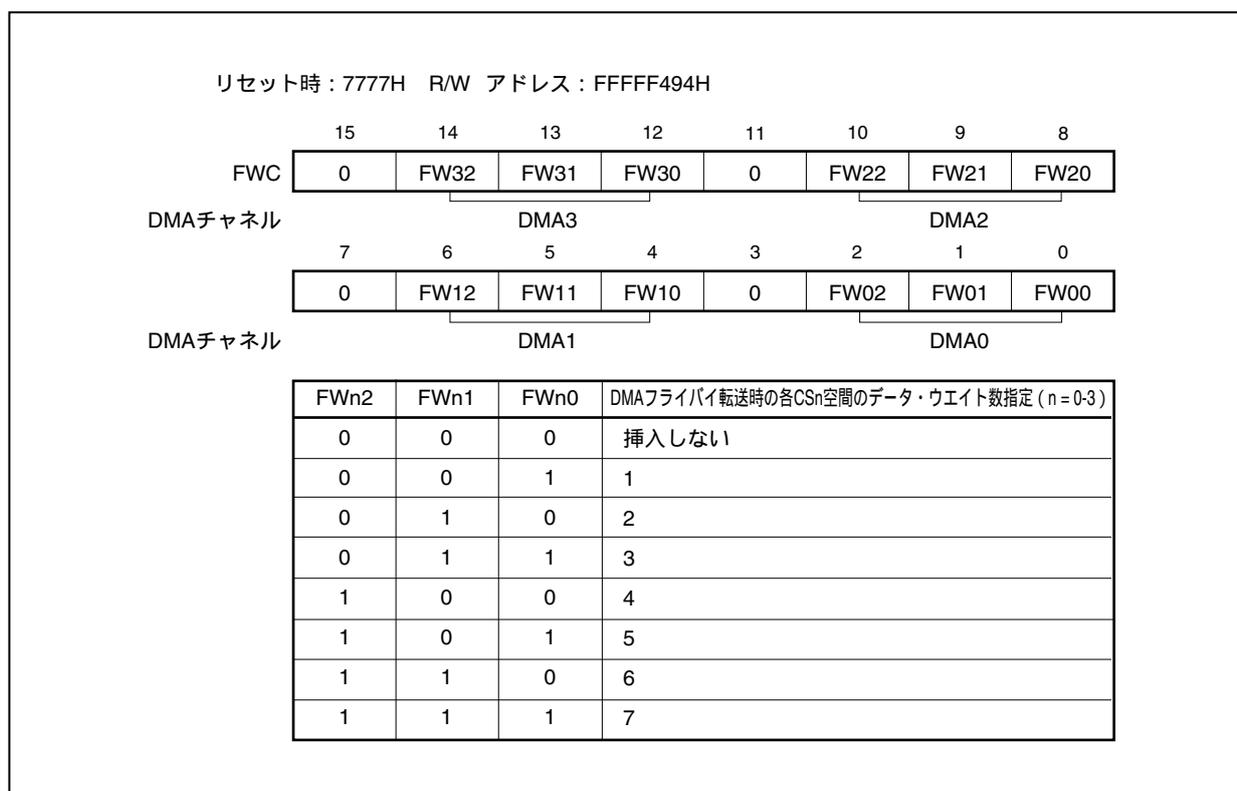
FWCレジスタは、DMAフライバイ転送時のデータ・ウエイト数をチャンネルnごとに設定します(n = 0-3)。DMAフライバイ転送時は、このレジスタの設定値が有効となり、DWC0, DWC1, PRCレジスタの設定値は無効となります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

注意1. 内蔵ROM領域、内蔵RAM領域は、プログラマブル・ウエイトの対象外で、常にノー・ウエイト・アクセスを行います。また、内蔵周辺I/O領域も、プログラマブル・ウエイトの対象外で、各周辺機能からのウエイト制御だけ行われます。

2. FWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。



5.8.2 外部ウエイト機能

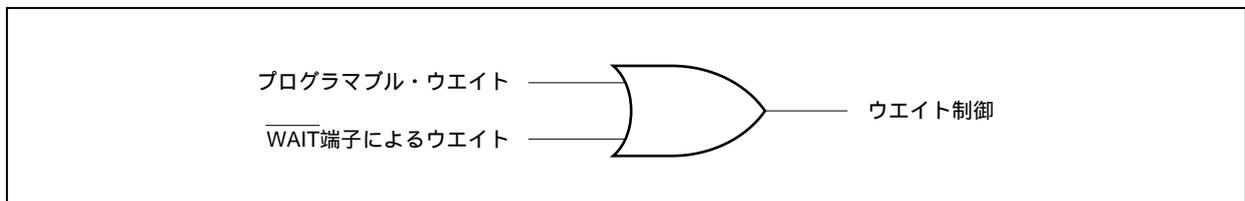
極端に遅いメモリや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、BUSCLKに対する非同期入力が可能で、バス・サイクルのT1、TWステート直後のBUSCLK信号の立ち上がりでサンプリングします。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

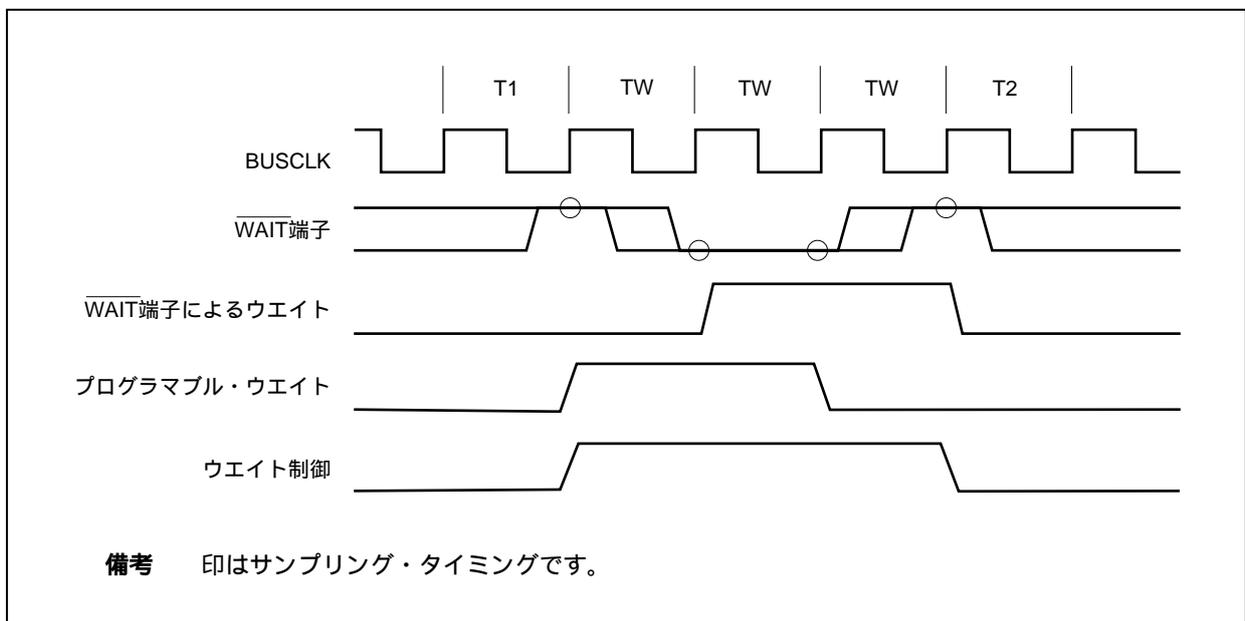
5.8.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図5-5 ウエイト挿入例



5.8.4 ウェイト機能が有効なバス・サイクル

V850E/MA3は、各メモリ・ブロックごとに指定した各種のメモリのタイプに応じて、ウェイト数を指定できます。ウェイト機能が有効なバス・サイクルとウェイト設定を行うレジスタを次に示します。

表5-2 ウェイト機能が有効なバス・サイクル

(a) セバレート・バス・モード時

バス・サイクル	ウェイトの種類	プログラマブル・ウェイトの設定			WAIT端子 によるウ ェイト	
		レジスタ	ビット	ウエイ ト数		
SRAM, 外部ROM, 外部I/Oサイク ル	アドレス・セットアップ・ウエイ ト	ASC	ACn1, ACn0	0-3	× (無効)	
	データ・ウェイト	DWC0, DWC1	DWn2-DWn0	0-7	(有効)	
ページROMサイクル	アドレス・セットアップ・ウエイ ト	ASC	ACn1, ACn0	0-3	× (無効)	
	オフページ	データ・アクセス・ウェイト	DWC0, DWC1	DWn2-DWn0	0-7	(有効)
	オンページ	データ・アクセス・ウェイト	PRC	PRW2-PRW0	0-7	(有効)
SDRAMサイクル	ロウ・アドレス・プリチャージ	SCRm	BCWm1, BCWm0	1-3	× (無効)	
DMAフラ イバイ転 送サイク ル	外部I/O SRAM フライバイ転送ウェイト	FWC	FWa2-FWa0	0-7	(有効)	
	アドレス・セットアップ・ウエイ ト	ASC	ACn1, ACn0	0-3	× (無効)	

(b) マルチプレクス・バス・モード時

バス・サイクル	ウェイトの種類	プログラマブル・ウェイトの設定			WAIT端子 によるウ ェイト
		レジスタ	ビット	ウエイ ト数	
SRAM, 外部ROMサイクル	アドレス・セットアップ・ウエイ ト	ASC	ACn1, ACn0	0-3	× (無効)
	アドレス・ホールド・ウェイト	AHC	AHn1, AHn0	0-3	× (無効)
	データ・アクセス・ウェイト	DWC0, DWC1	DWn2-DWn0	0-7	(有効)

備考 n = 0-7

m = 1, 3, 4, 6

a = 0-3

5.9 アイドル・ステート挿入機能

(1) バス・サイクル・コントロール・レジスタ (BCC)

低速メモリに対するインタフェースを容易に実現させることを目的とし、各CS空間ごとにリード・アクセス時のメモリのデータ出力フロート遅延時間を確保するために、起動されるバス・サイクルに対し、T2ステート後に設定された数のアイドル・ステート (TI) を挿入可能です。T2ステートの次のバス・サイクルは、挿入されたアイドル・ステートのあとから開始します。

アイドル・ステートは次に示すタイミングで挿入されます。

(a) セバレート・バス・モード時

- ・ SRAM, 外部I/O, 外部ROMに対するリード・サイクル後, ライト・サイクル後
- ・ ページROMに対するリード・サイクル後
- ・ SDRAMに対するリード・サイクル後

(b) マルチプレクス・バス・モード時

- ・ SRAM, 外部ROMに対するリード・サイクル後, ライト・サイクル後

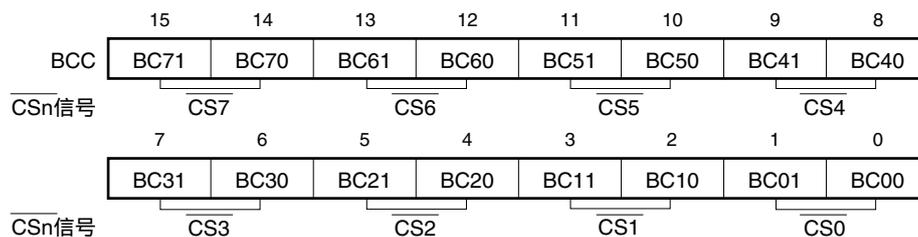
アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに指定可能です。システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。アイドル・ステート挿入時のタイミングは第6章の各メモリのアクセス・タイミングを参照してください。

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

- 注意1.** 内蔵ROM領域, 内蔵RAM領域, 内蔵周辺I/O領域は, アイドル・ステート挿入の対象外になります。
2. BCCレジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, BCCレジスタの初期設定が終わるまでは, 外部メモリ領域をアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。
 3. アイドル・ステート時にチップ・セレクト信号(\overline{CSn})はアクティブにはなりません($n = 0-7$)。

リセット時：FFFFH R/W アドレス：FFFFFF488H



BCn1	BCn0	各CSn空間のアイドル・ステート数指定 (n = 0-7)
0	0	挿入しない
0	1	1
1	0	2
1	1	3

(2) DMAフライバイ転送アイドル・コントロール・レジスタ (FIC)

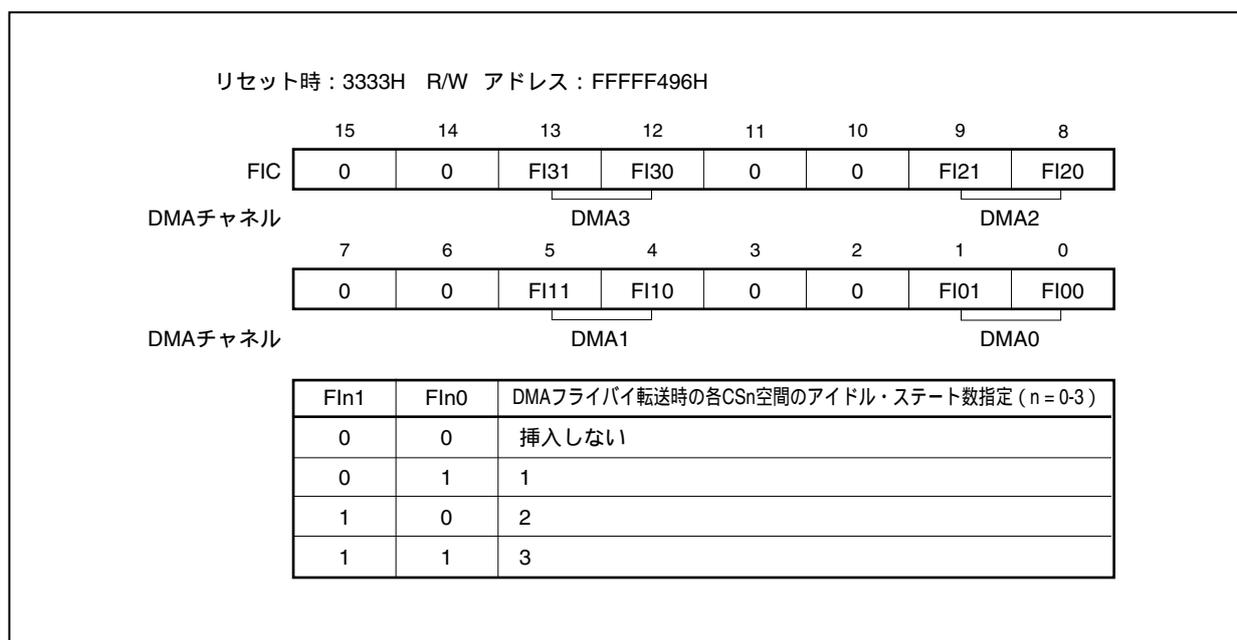
FICレジスタは、DMAフライバイ転送時のアイドル・ステート数をDMAチャンネルnごとに設定します(n = 0-3)。アイドル・ステートはDMAフライバイ転送の最後で挿入されます。DMAフライバイ転送時は、このレジスタの設定値が有効となり、バス・サイクル・コントロール・レジスタ (BCC) の設定値は無効となります。

16ビット単位でリード/ライト可能です。

リセットにより3333Hになります。

注意1. 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。

2. FICレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。



5.10 バス・ホールド機能

5.10.1 機能概要

PCM2, PCM3端子が兼用機能に設定されていれば、 $\overline{\text{HLDAK}}$ 、 $\overline{\text{HLDRQ}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると、外部アドレス/データ・バス、各種ストロブ端子をハイ・インピーダンス状態にし、解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば、再びこれらの端子の駆動を開始します。

バス・ホールド期間中は、外部メモリ・アクセスまたは内蔵周辺I/Oレジスタへのアクセスがあるまで、V850E/MA3の内部動作を継続します。

バス・ホールド状態は、 $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。 $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になってから、 $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になるまでの時間は最短で2クロックです。

マルチプロセッサ構成など、バス・マスタが複数存在するようなシステムを構成できます。

状態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間
			3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

注意1. バス・ホールド中に外部のバス・マスタがSDRAMをアクセスする場合

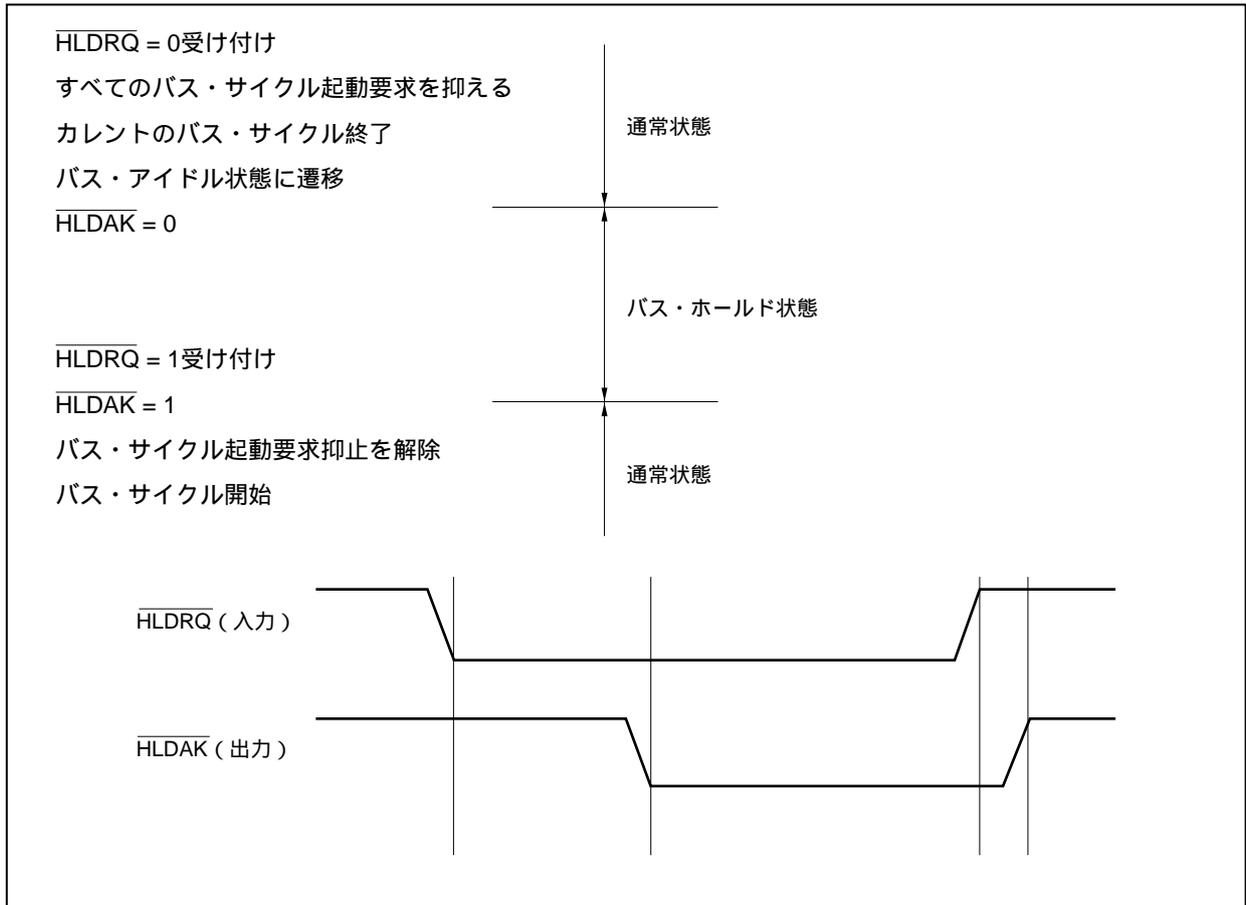
必ず外部のバス・マスタがオール・バンク・プリチャージ・コマンドを実行するようにしてください。

バス・ホールド状態を解除する場合は、CPUが必ずオール・バンク・プリチャージ・コマンドを実行します。また、バス・ホールド中に外部のバス・マスタはSDRAMのコマンド・レジスタの値を変更しないでください。

- リセット期間中の $\overline{\text{HLDRQ}}$ 機能は無効です。RESET端子と $\overline{\text{HLDRQ}}$ 端子を同時にアクティブにしたあとRESET端子をインアクティブにした直後に、 $\overline{\text{HLDAK}}$ 端子がアクティブになるか、または1クロック・アドレス・サイクルが挿入されてから $\overline{\text{HLDAK}}$ 端子がアクティブになります。V850E/MA3以外のバス・マスタが外部接続されているときには、パワーオン時のアービトレーションをRESET信号にて行ってください。

5.10.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



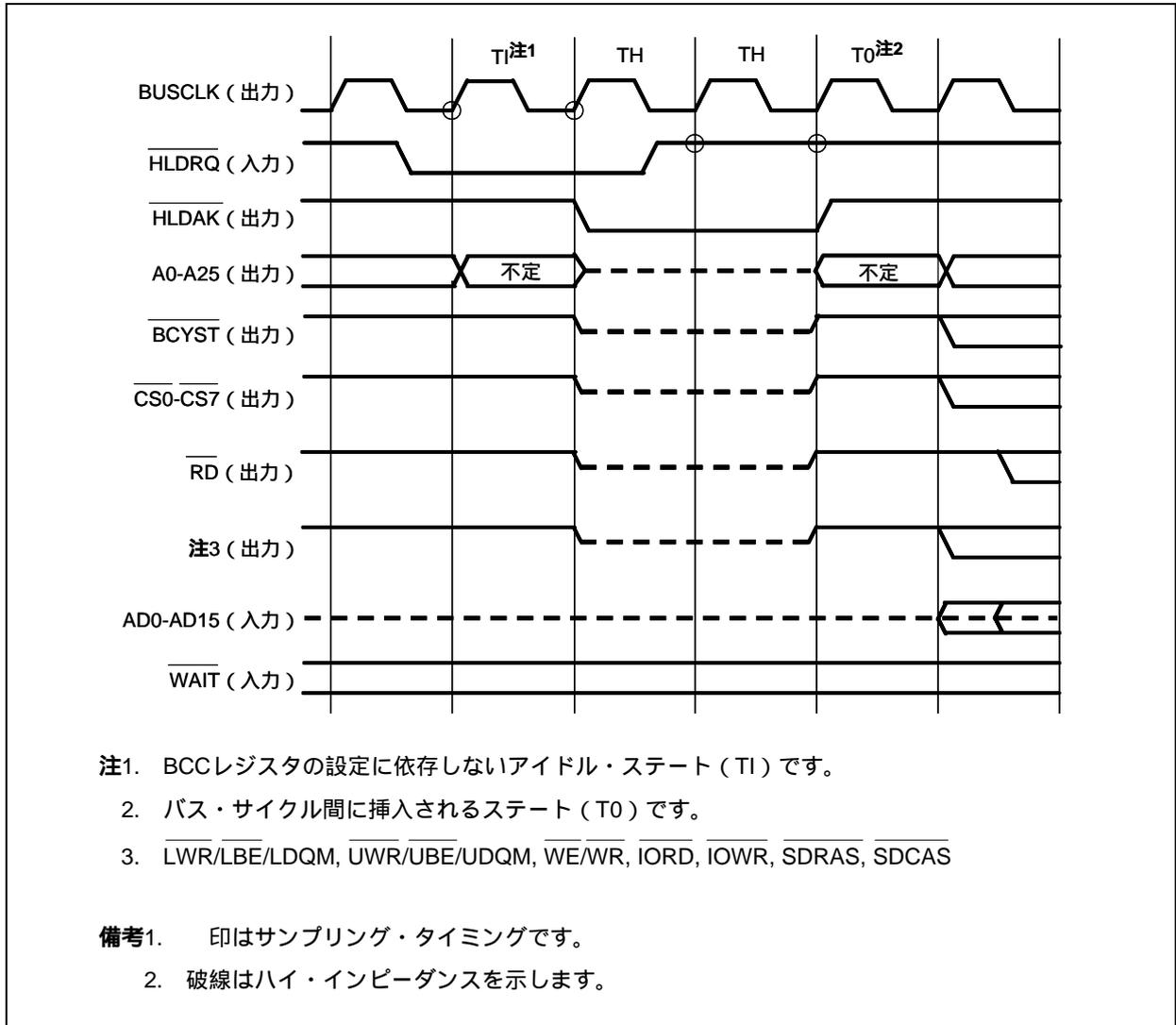
5.10.3 パワー・セーブ・モード時の動作

ソフトウェアSTOPモード期間中およびIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDAR}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDAR}}$ 端子もインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

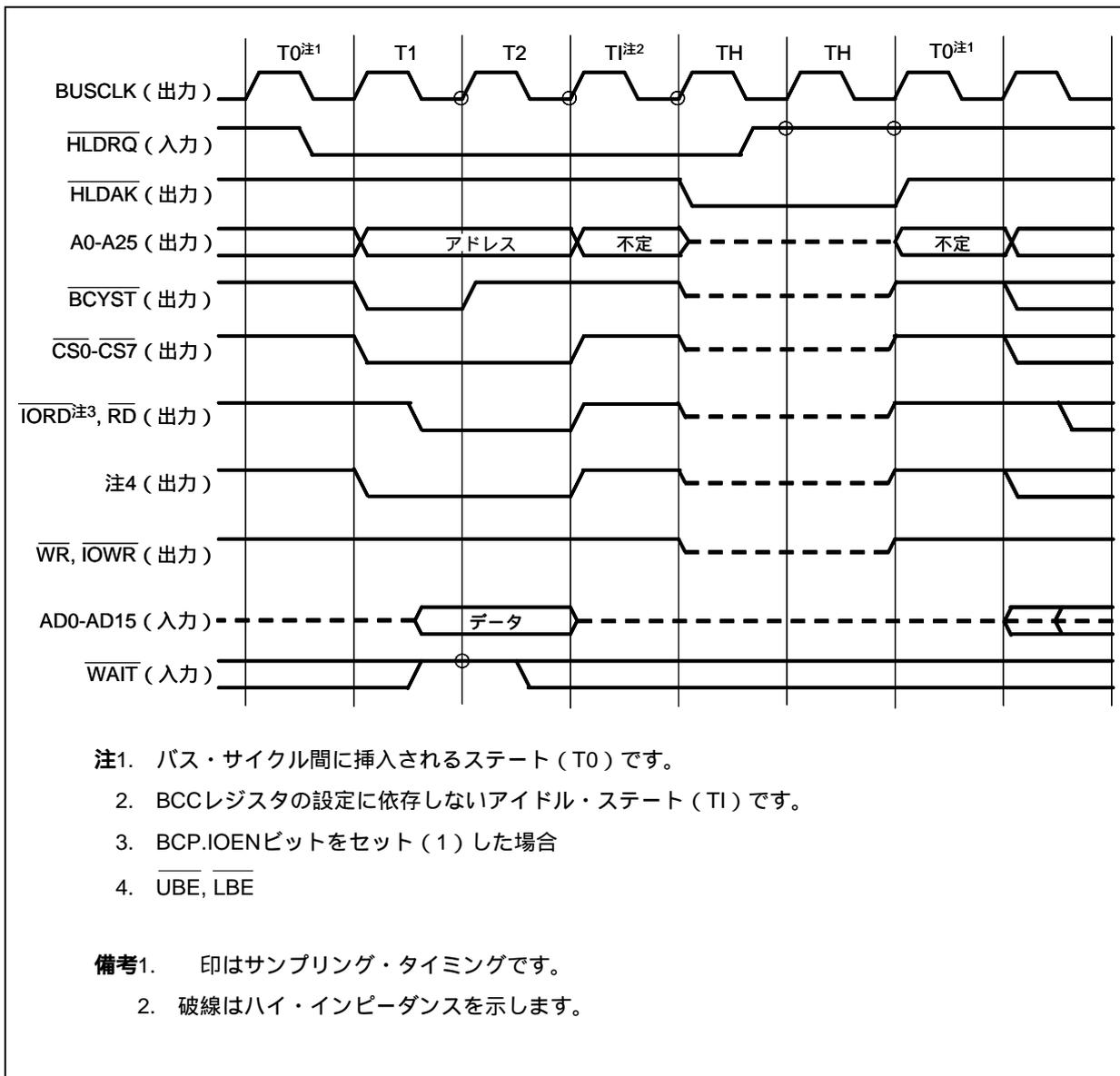
5.10.4 バス・ホールド・タイミング

(1) バス・サイクルが発生していない状態でバス・ホールド要求があった場合 (BMCレジスタ = 01H)

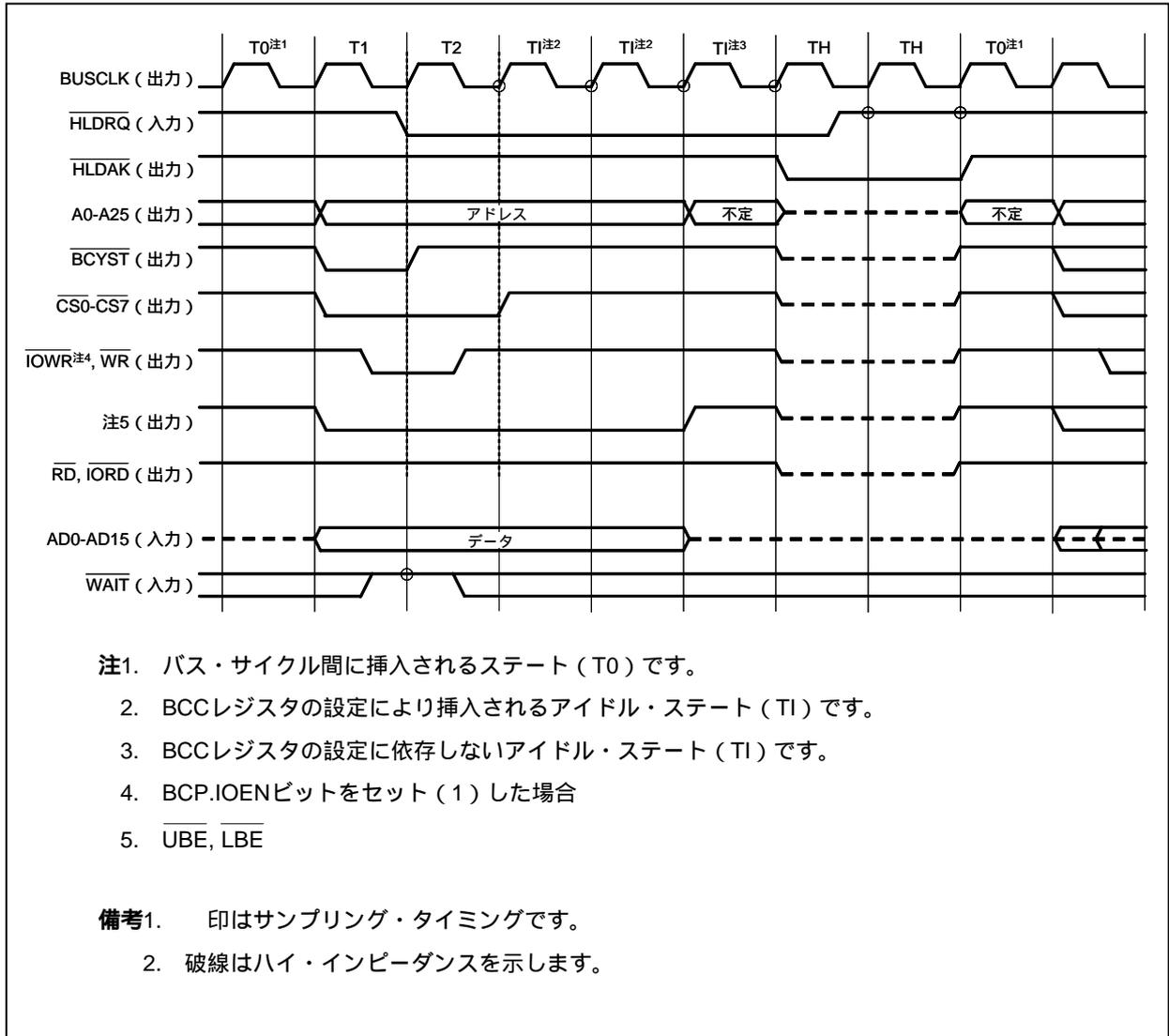


5.10.5 バス・ホールド・タイミング (SRAM)

(1) SRAM (リード時, アイドル・ステート挿入なし, BMCレジスタ = 01H)

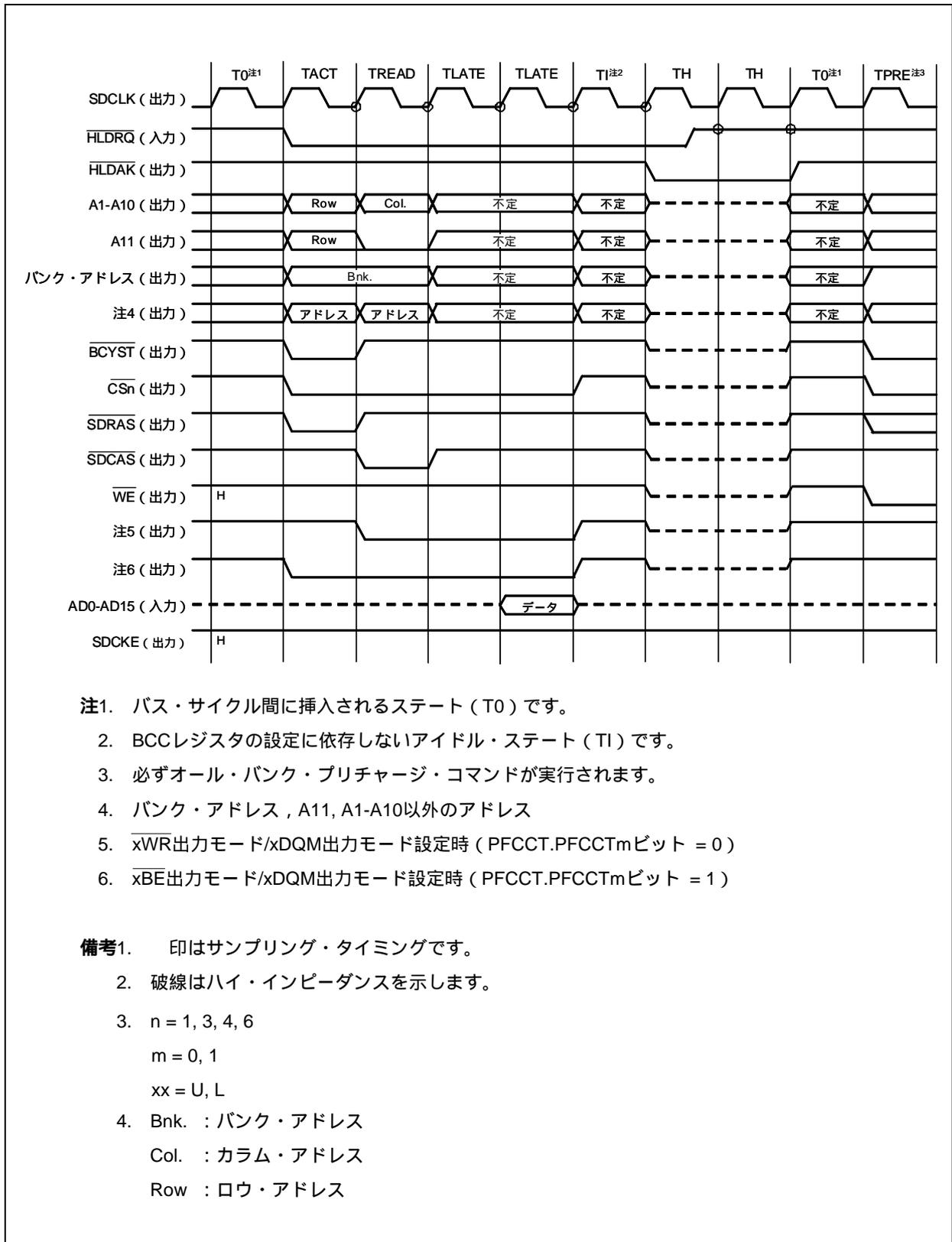


(2) SRAM (ライト時, アイドル・ステートを2ステート挿入, BMCレジスタ = 01H)



5.10.6 バス・ホールド・タイミング (SDRAM)

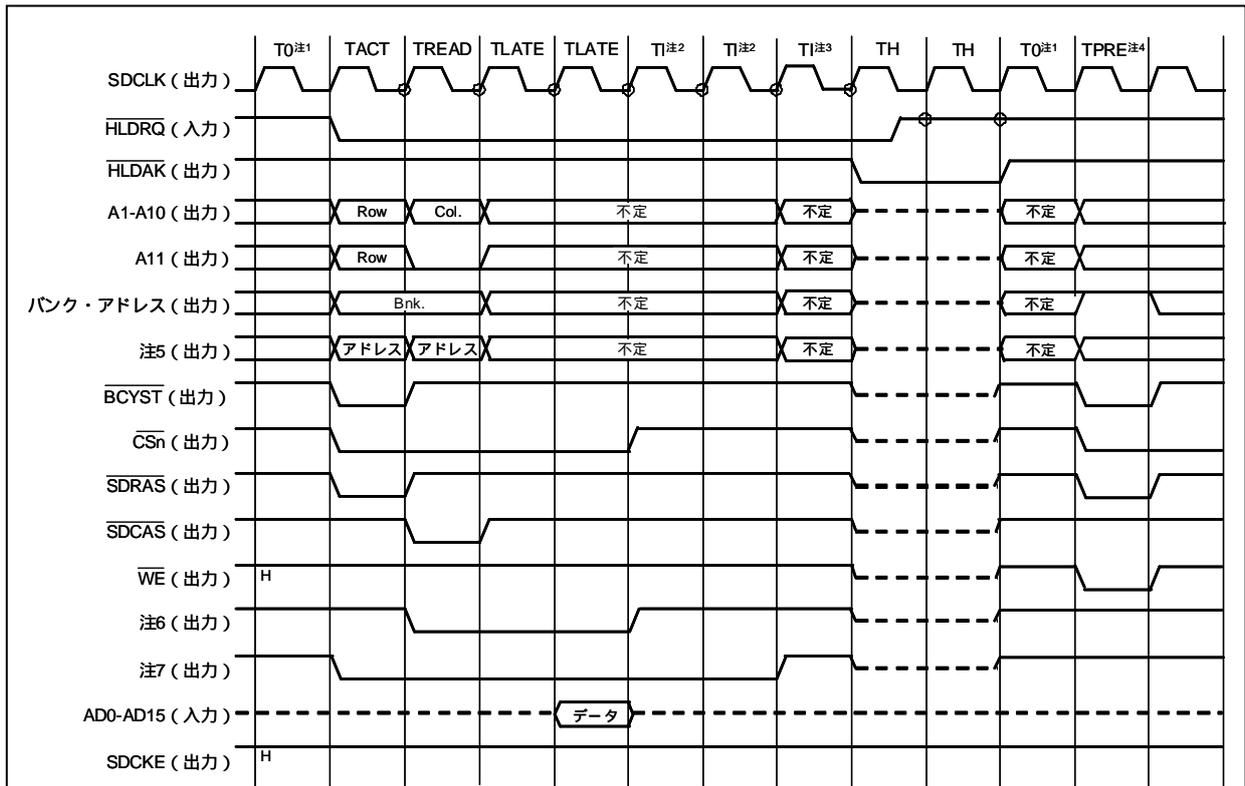
(1) SDRAM (リード時, レーテンシ = 2の場合, アイドル・ステート挿入なし, 16ビット・バス幅ハーフワード・アクセス, BMCレジスタ = 01H)



- 注1. バス・サイクル間に挿入されるステート (T₀) です。
- 2. BCCレジスタの設定に依存しないアイドル・ステート (T_I) です。
- 3. 必ずオール・バンク・プリチャージ・コマンドが実行されます。
- 4. バンク・アドレス, A11, A1-A10以外のアドレス
- 5. \overline{xWR} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 0)
- 6. \overline{xBE} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 1)

- 備考1. 印はサンプリング・タイミングです。
- 2. 破線はハイ・インピーダンスを示します。
- 3. n = 1, 3, 4, 6
m = 0, 1
xx = U, L
- 4. Bnk. : バンク・アドレス
Col. : カラム・アドレス
Row : ロウ・アドレス

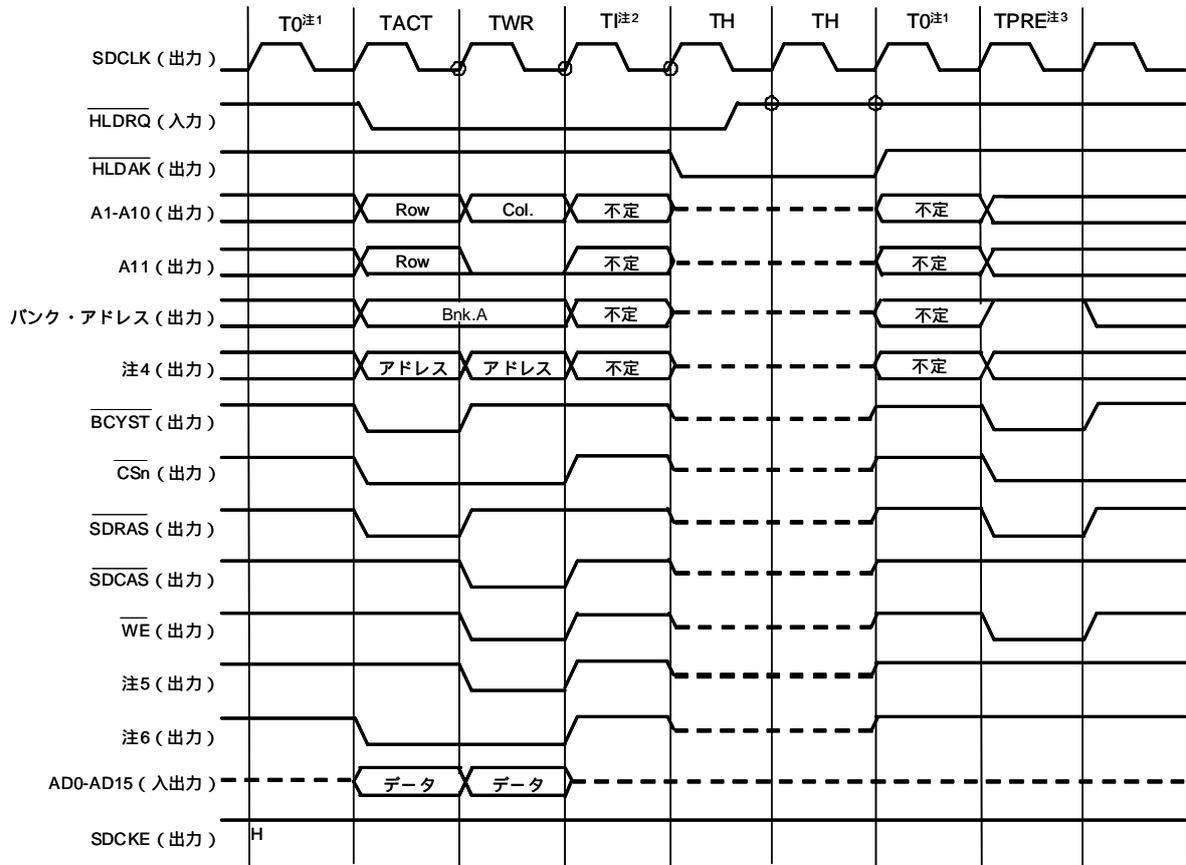
(2) SDRAM (リード時, レーテンシ = 2の場合, アイドル・ステートを2ステート挿入, 16ビット・バス幅
 フワード・アクセス, BMCレジスタ = 01H)



- 注1. バス・サイクル間に挿入されるステート (T0) です。
2. BCCレジスタの設定により挿入されるアイドル・ステート (T1) です。
3. BCCレジスタの設定に依存しないアイドル・ステート (T1) です。
4. 必ずオール・バンク・プリチャージ・コマンドが実行されます。
5. バンク・アドレス, A11, A1-A10以外のアドレス
6. \overline{xWR} 出力モード/ $xDQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 0)
7. \overline{xBE} 出力モード/ $xDQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 1)

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。
3. $n = 1, 3, 4, 6$
 $m = 0, 1$
 $x = U, L$
4. Bnk. : バンク・アドレス
 Col. : カラム・アドレス
 Row : ロウ・アドレス

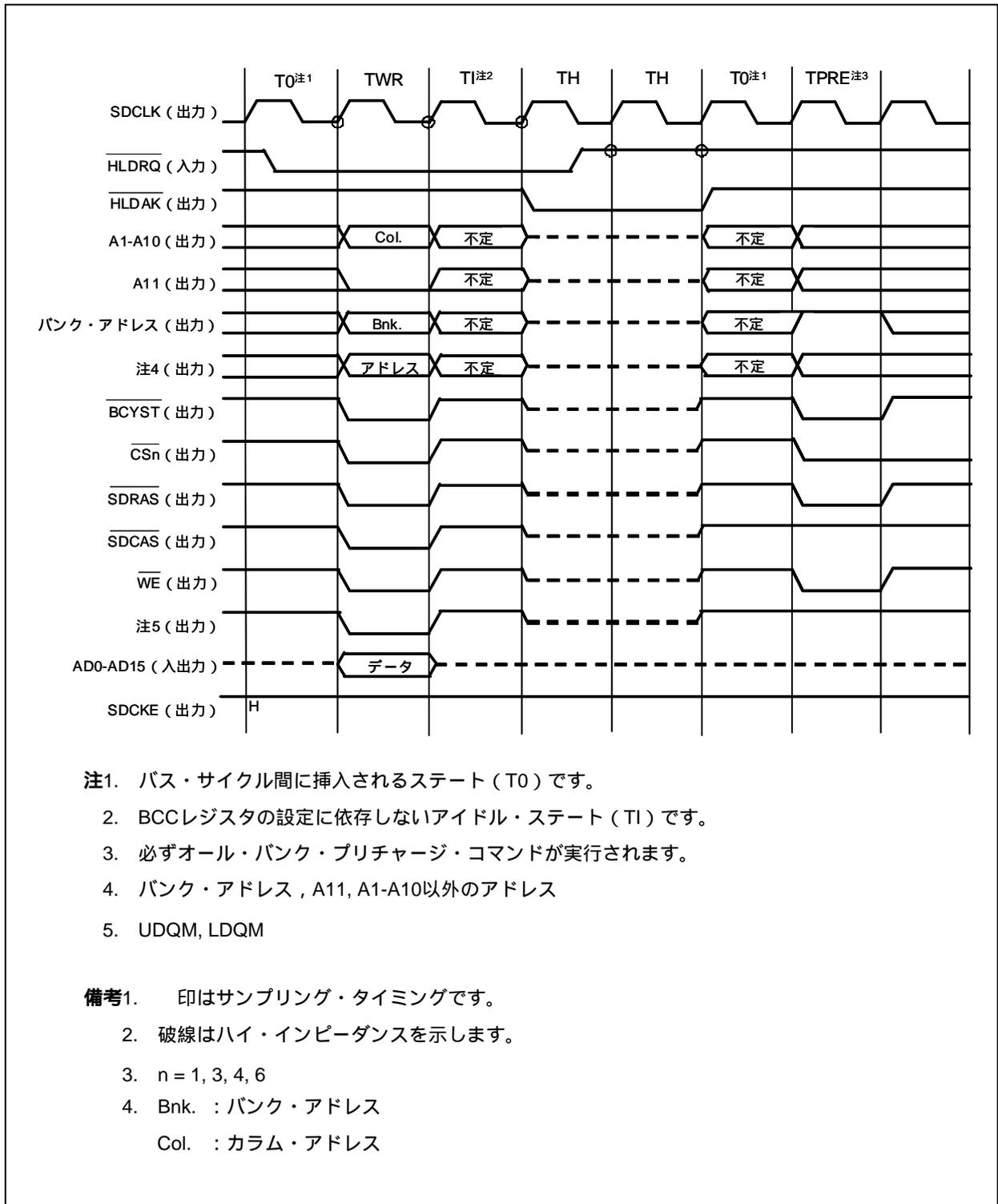
(3) SDRAM (ライト時, BMCレジスタ = 01H)



- 注1. バス・サイクル間に挿入されるステート (T0) です。
2. BCCレジスタの設定に依存しないアイドル・ステート (TI) です。
3. 必ずオール・バンク・プリチャージ・コマンドが実行されます。
4. バンク・アドレス, A11, A1-A10以外のアドレス
5. xWR出力モード/xDQM出力モード設定時 (PFCCT.PFCCTmビット = 0)
6. xBE出力モード/xDQM出力モード設定時 (PFCCT.PFCCTmビット = 1)

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。
3. n = 1, 3, 4, 6
m = 0, 1
x = U, L
4. Bnk. : バンク・アドレス
Col. : カラム・アドレス
Row : ロウ・アドレス

(4) SDRAM (ライト時, BMCレジスタ = 01H, オンページ・アクセス中にバス・ホールド要求が受け付けられた場合)



5.11 バスの優先順位

外部バス・サイクルには、バス・ホールド、命令フェッチ、オペランド・データ・アクセス、DMAサイクル、リフレッシュ・サイクルの5つがあります。

優先順位はバス・ホールドが最も高く、リフレッシュ・サイクル、DMAサイクル、オペランド・データ・アクセス、命令フェッチの順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

表5-3 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	リフレッシュ・サイクル	SDRAMコントローラ
	DMAサイクル	DMAコントローラ
	オペランド・データ・アクセス	CPU
	命令フェッチ	CPU

5.12 境界動作条件

5.12.1 プログラム空間

内蔵周辺I/O領域への分岐は行わないでください。分岐を行った場合、不定データをフェッチし、外部メモリからのフェッチなどは行いません。

5.12.2 データ空間

V850E/MA3はアドレス・ミス・アライン機能を内蔵しています。

この機能により、データの形式（ワード・データ、ハーフワード・データ）にかかわらず、すべてのアドレスに対してデータを配置できます。ただし、ワード・データ、ハーフワード・データの場合、データが境界整理していないと、バス・サイクルが最低2回は発生し、バス効率が低下します。

(1) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき、バイト長のバス・サイクルを2回生成します。

(2) ワード長のデータ・アクセスの場合

(a) アドレスの最下位ビットが1のとき、バイト長のバス・サイクル、ハーフワード長のバス・サイクル、バイト長のバス・サイクルの順でバス・サイクルを生成します。

(b) アドレスの下位2ビットが10のとき、ハーフワード長のバス・サイクルを2回生成します。

第6章 メモリ・アクセス制御機能

6.1 SRAM , 外部ROM , 外部I/Oインタフェース

6.1.1 特 徴

SRAMへのアクセスは最小2ステート

DWC0, DWC1レジスタ (DMAフライバイ転送時: FWCレジスタ) の設定により, 最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

$\overline{\text{WAIT}}$ 端子の入力により, データ・ウエイトを制御可能

BCCレジスタ (DMAフライバイ転送時: FICレジスタ) の設定により, リード/ライト・サイクルのあとに最大3ステートのアイドルを挿入可能

ASCレジスタの設定により, 最大3ステートのアドレス・セットアップ・ウエイトを挿入可能

DMAフライバイ転送を起動可能 (SRAM 外部I/O, 外部I/O SRAM)

セパレート・バス・モード/マルチプレクス・バス・モードに対応

6.1.2 SRAMの接続

SRAMとの接続例は次のようになります。

図6-1 SRAMとの接続例（セパレート・バス・モード時）

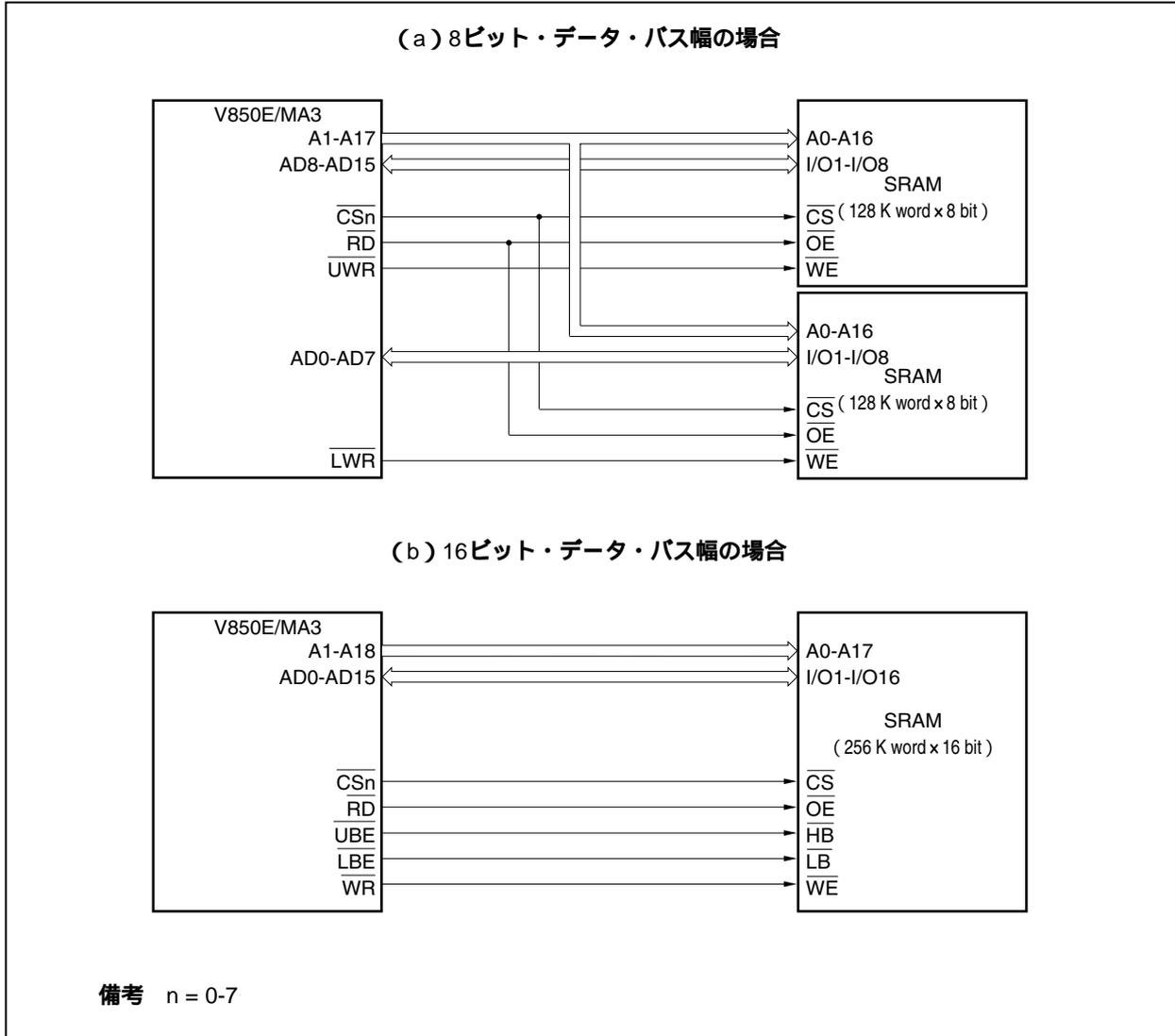
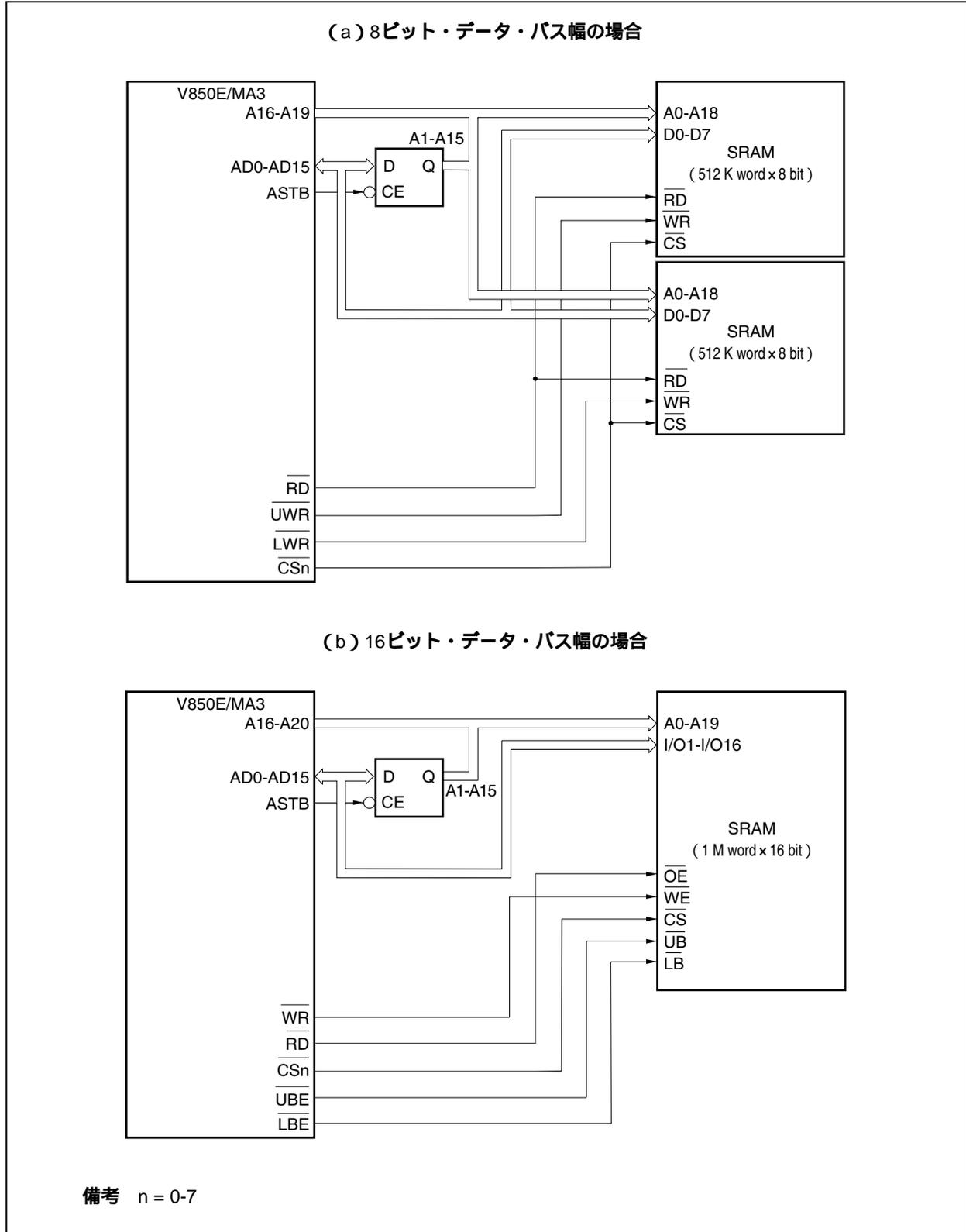


図6-2 SRAMとの接続例 (マルチプレクス・バス・モード時)



6.1.3 SRAM, 外部ROM, 外部I/Oアクセス

(1) セパレート・バス・モード時のタイミング

図6-3 SRAM, 外部ROM, 外部I/Oアクセス・タイミング(セパレート・バス・モード時)(1/12)

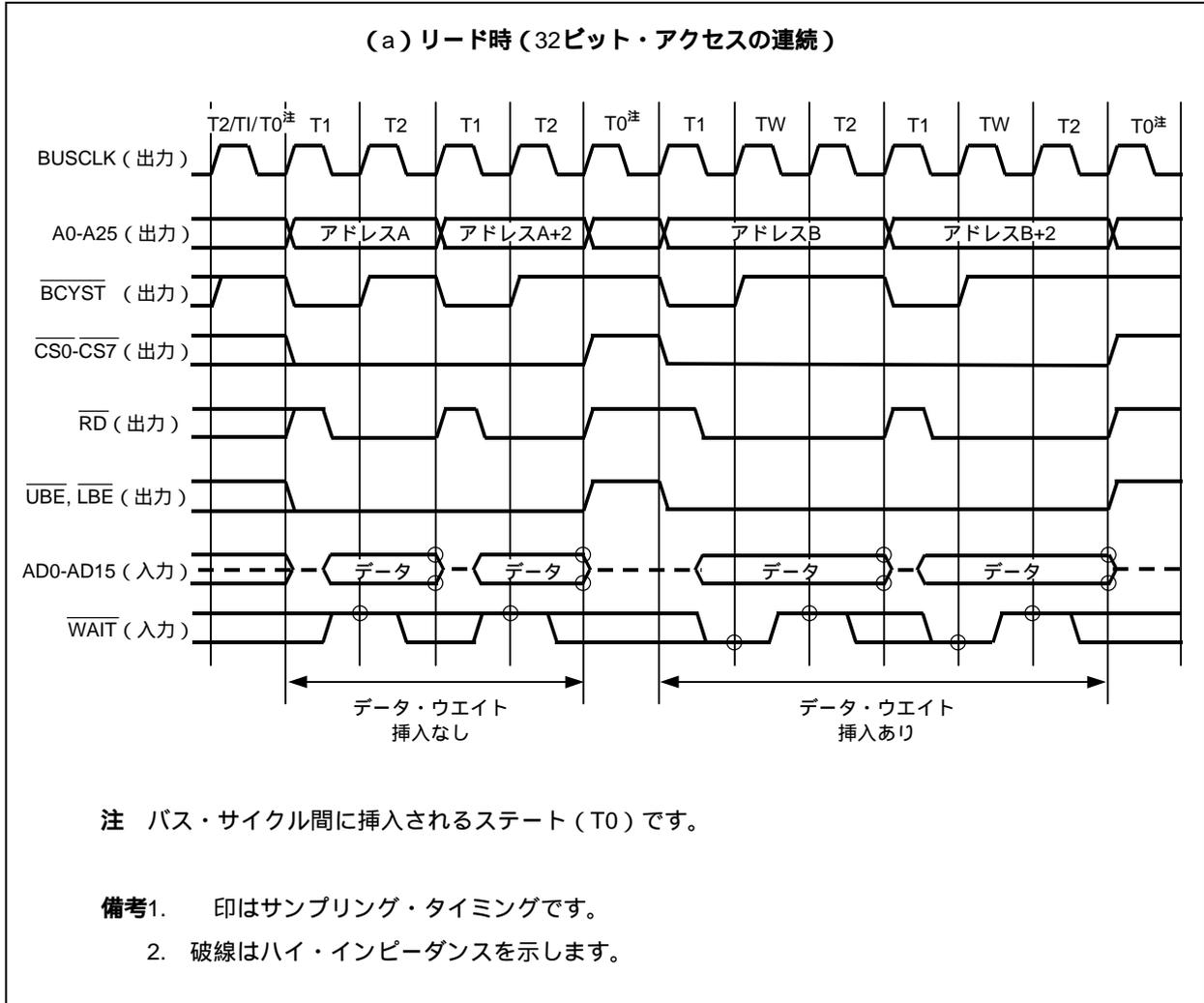


図6-3 SRAM, 外部ROM, 外部I/Oアクセス・タイミング(セパレート・バス・モード時)(2/12)

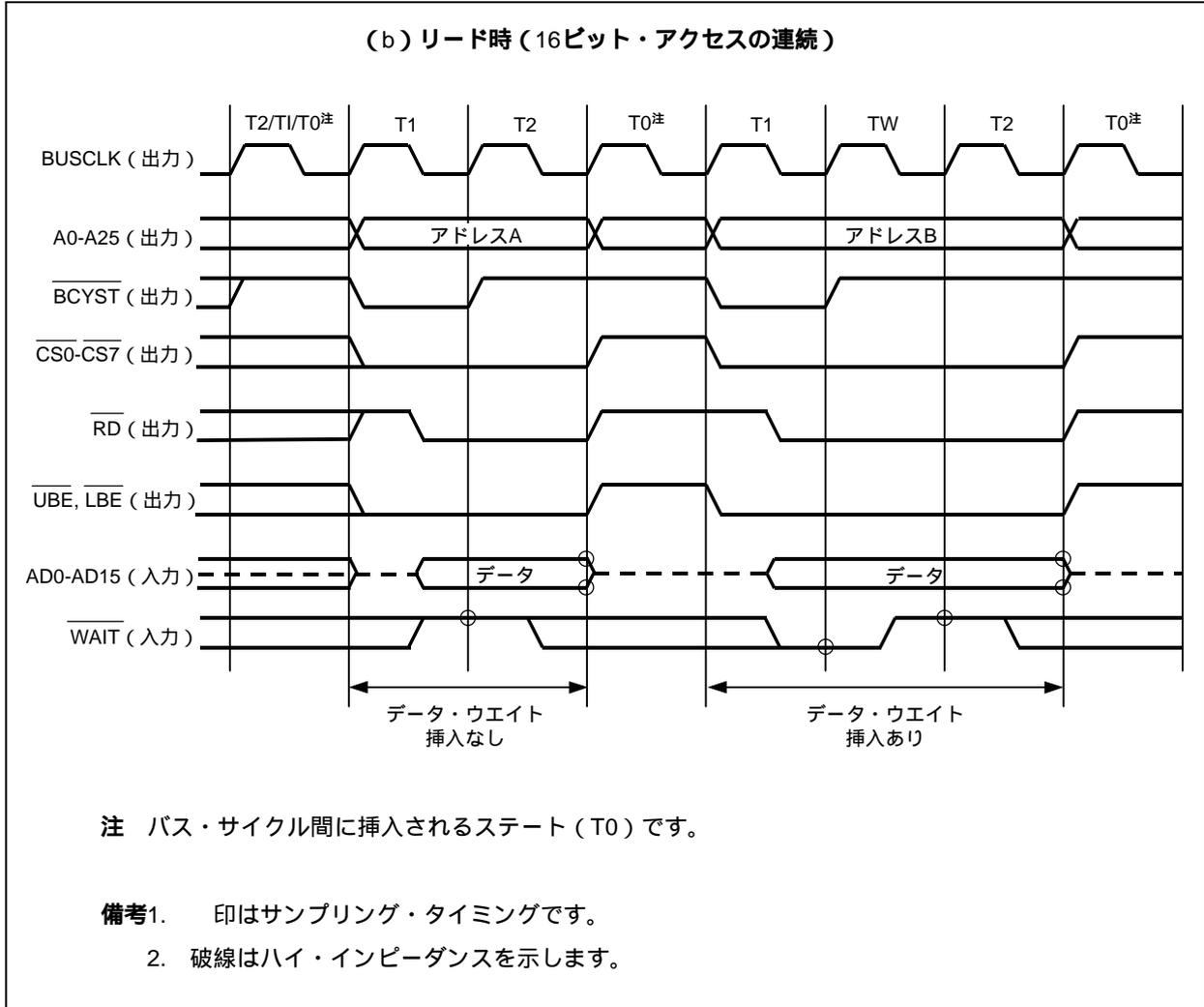


図6-3 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (セパレート・バス・モード時) (3/12)

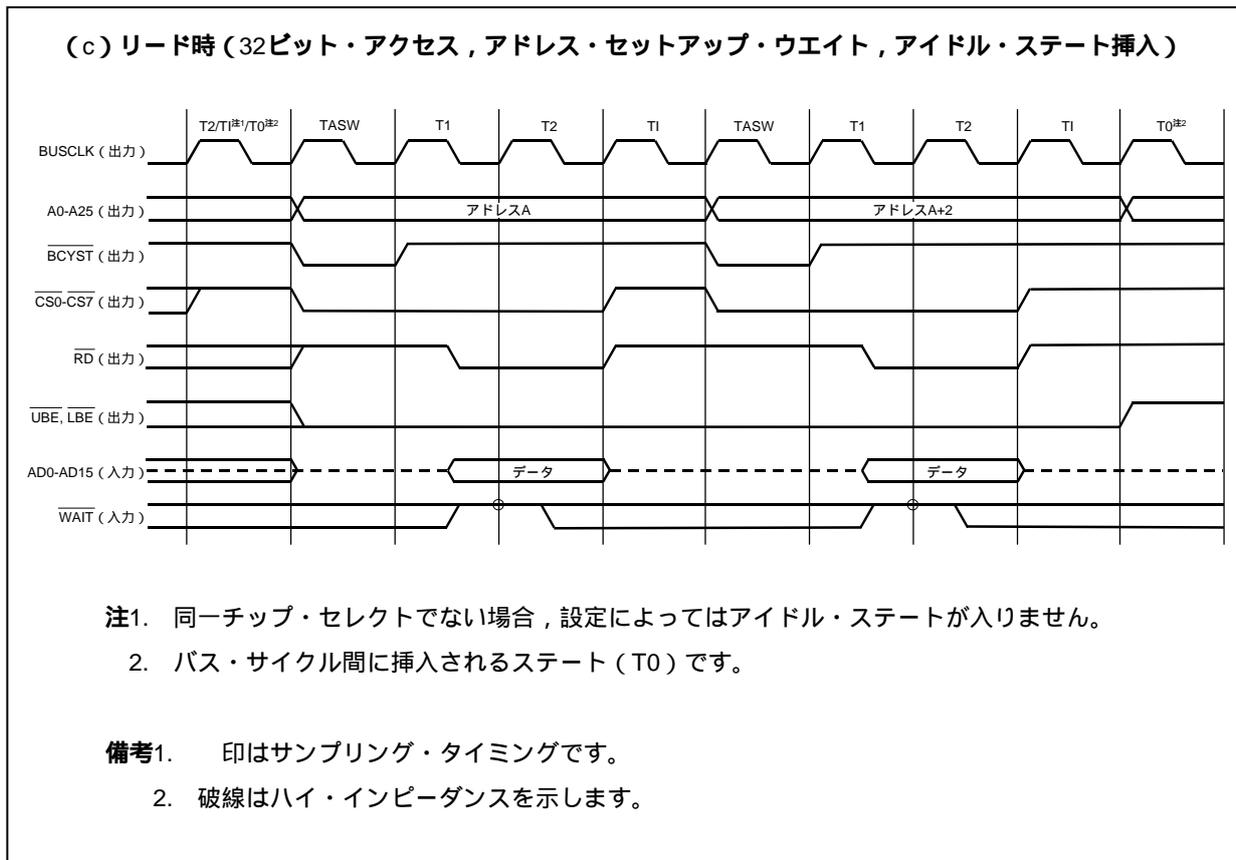


図6-3 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (セパレート・バス・モード時) (4/12)

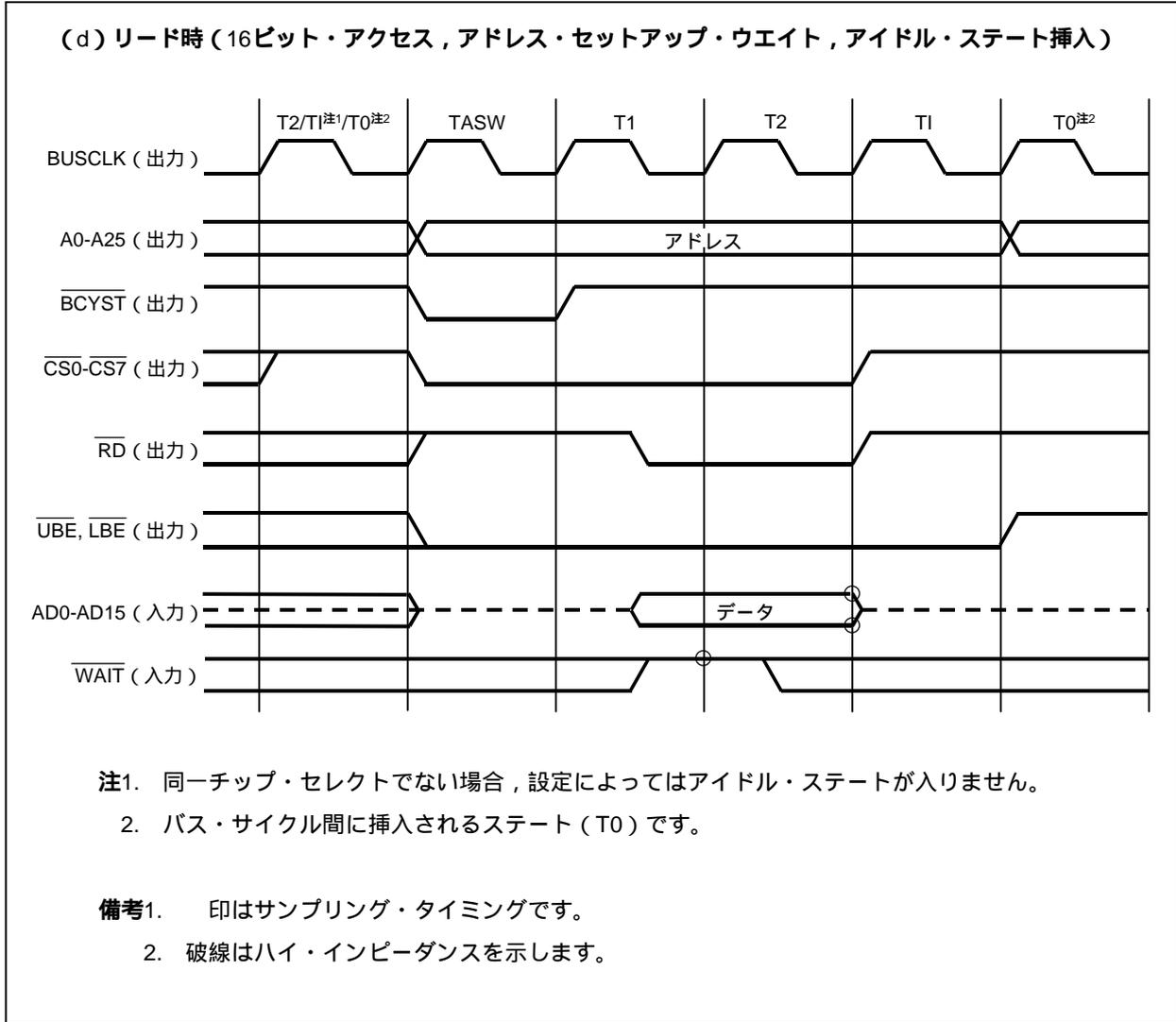


図6-3 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (セパレート・バス・モード時) (5/12)

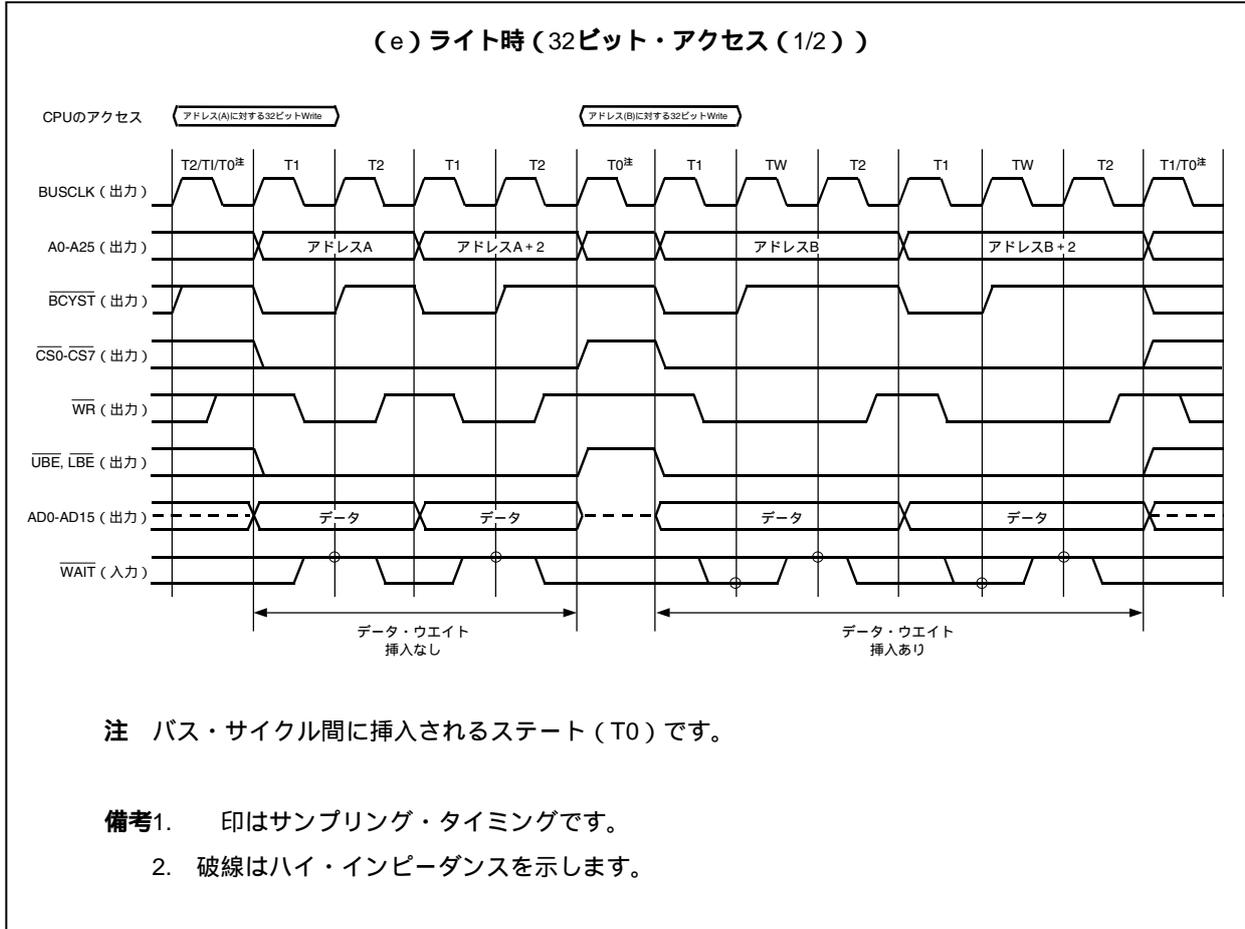


図6-3 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (セパレート・バス・モード時) (6/12)

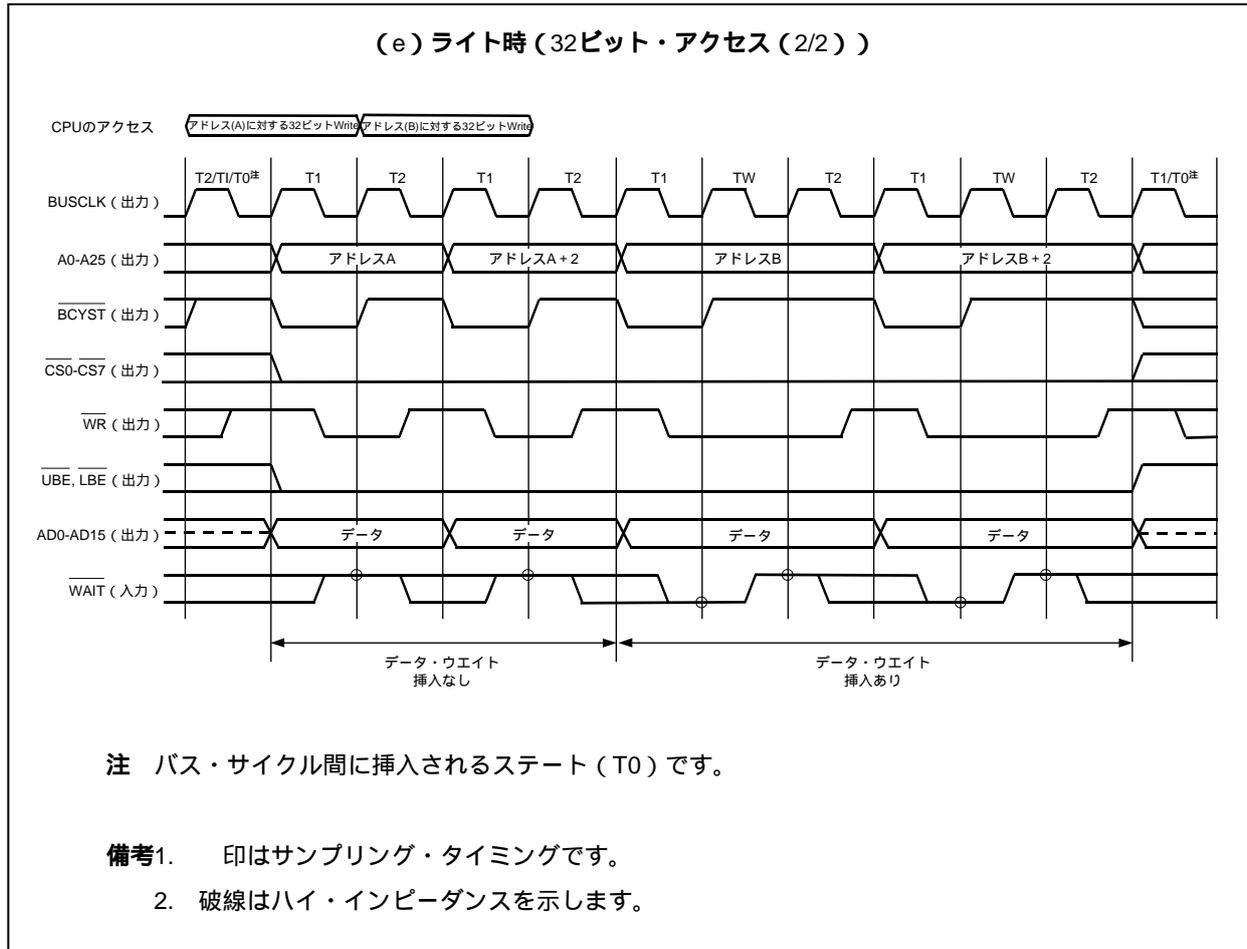


図6-3 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (セパレート・バス・モード時) (7/12)

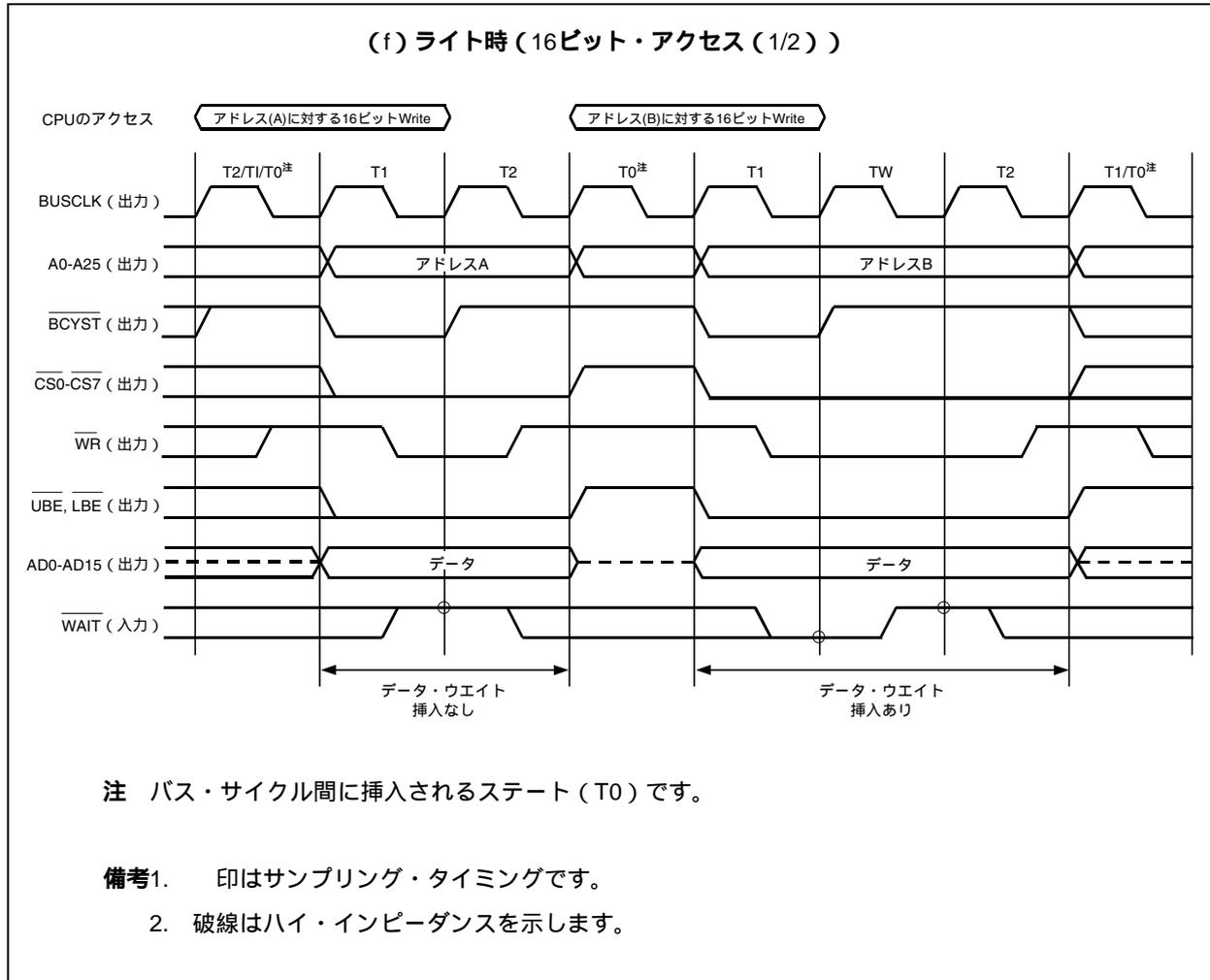


図6-3 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (セパレート・バス・モード時) (8/12)

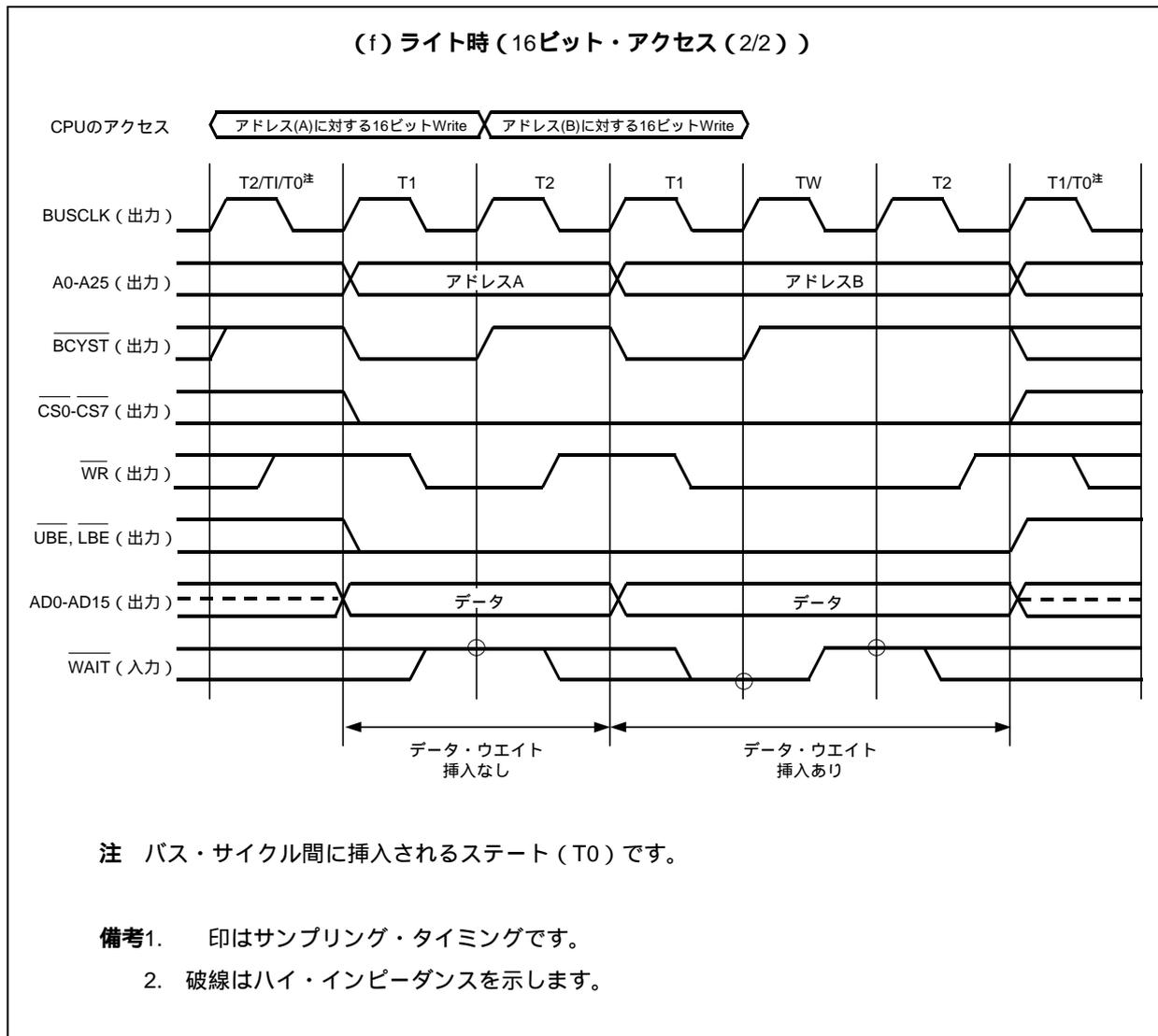


図6-3 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (セパレート・バス・モード時) (9/12)

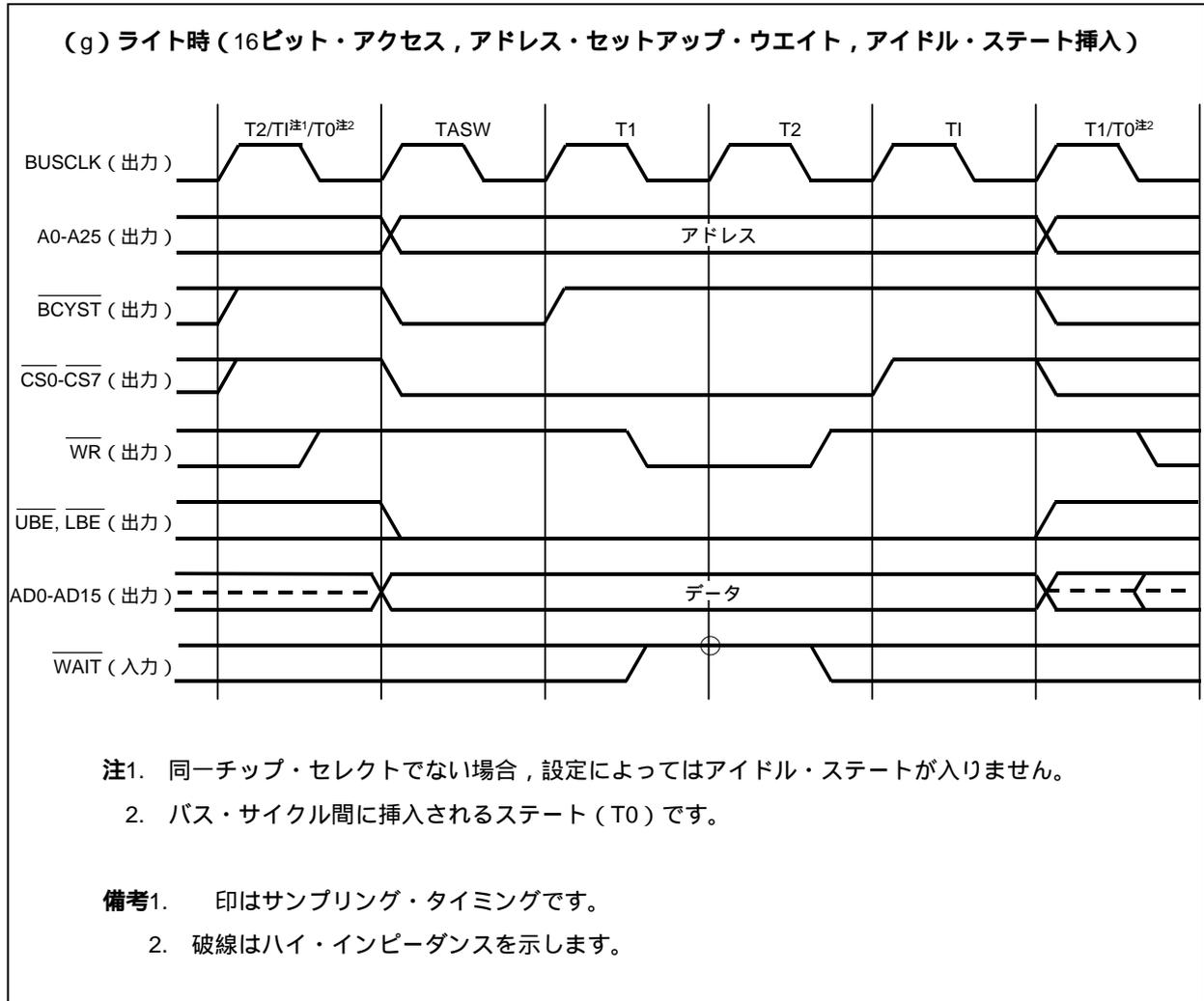


図6 - 3 SRAM , 外部ROM , 外部I/Oアクセス・タイミング(セパレート・バス・モード時) (10/12)

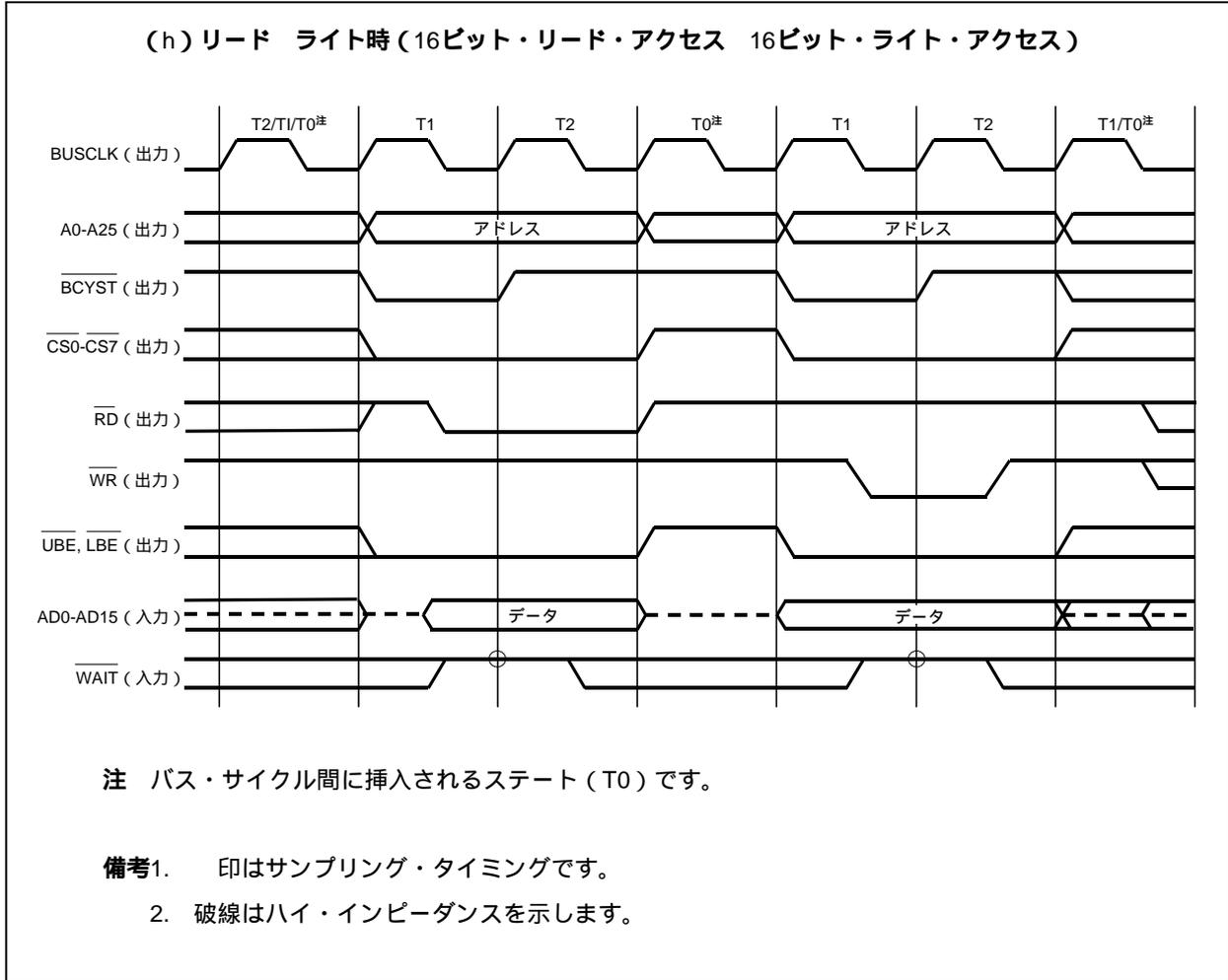


図6 - 3 SRAM , 外部ROM , 外部I/Oアクセス・タイミング (セパレート・バス・モード時) (11/12)

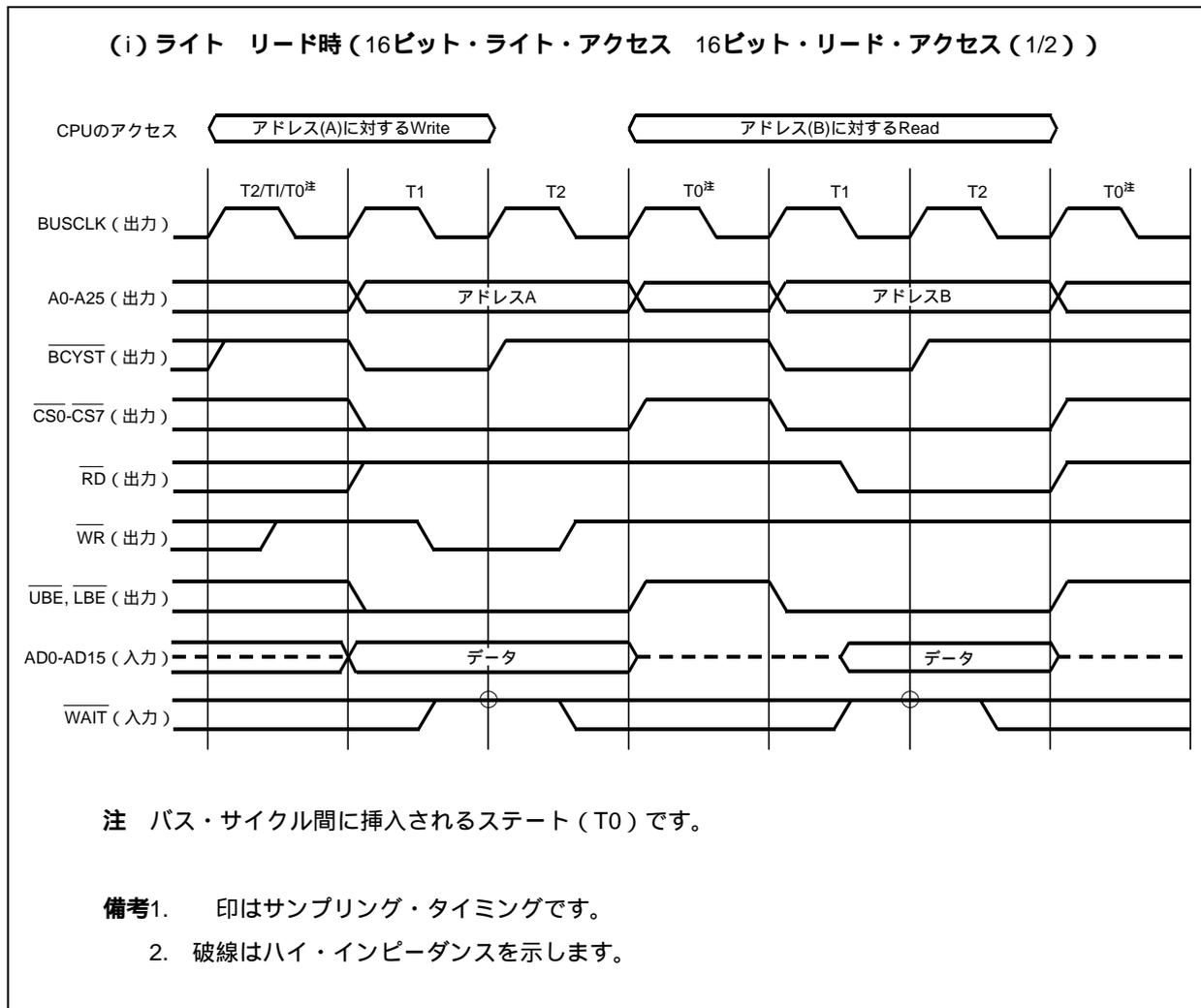
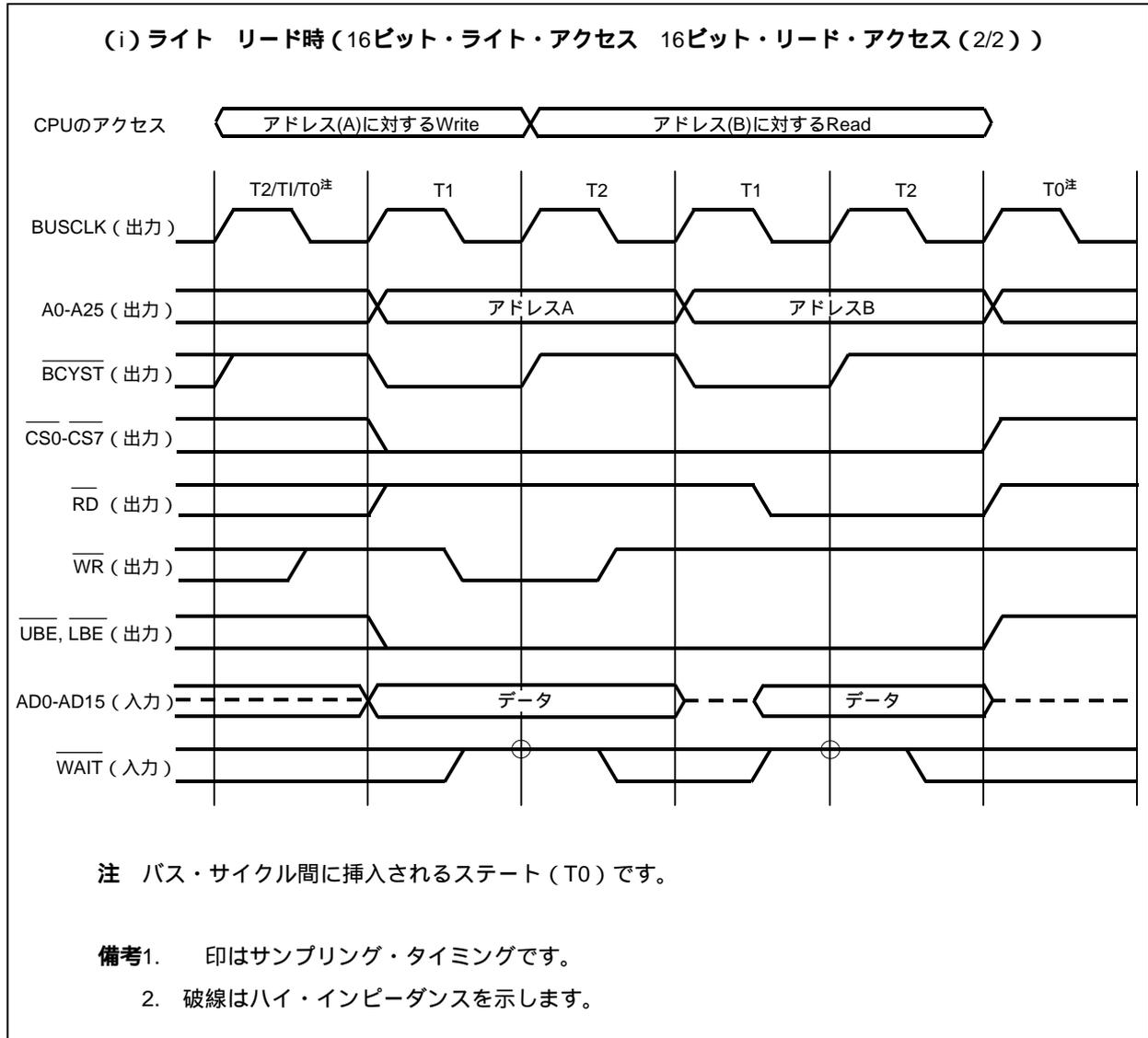


図6 - 3 SRAM , 外部ROM , 外部I/Oアクセス・タイミング(セパレート・バス・モード時) (12/12)



(2) マルチプレクス・バス・モード時のタイミング

図6-4 SRAM, 外部ROMアクセス・タイミング (マルチプレクス・バス・モード時) (1/5)

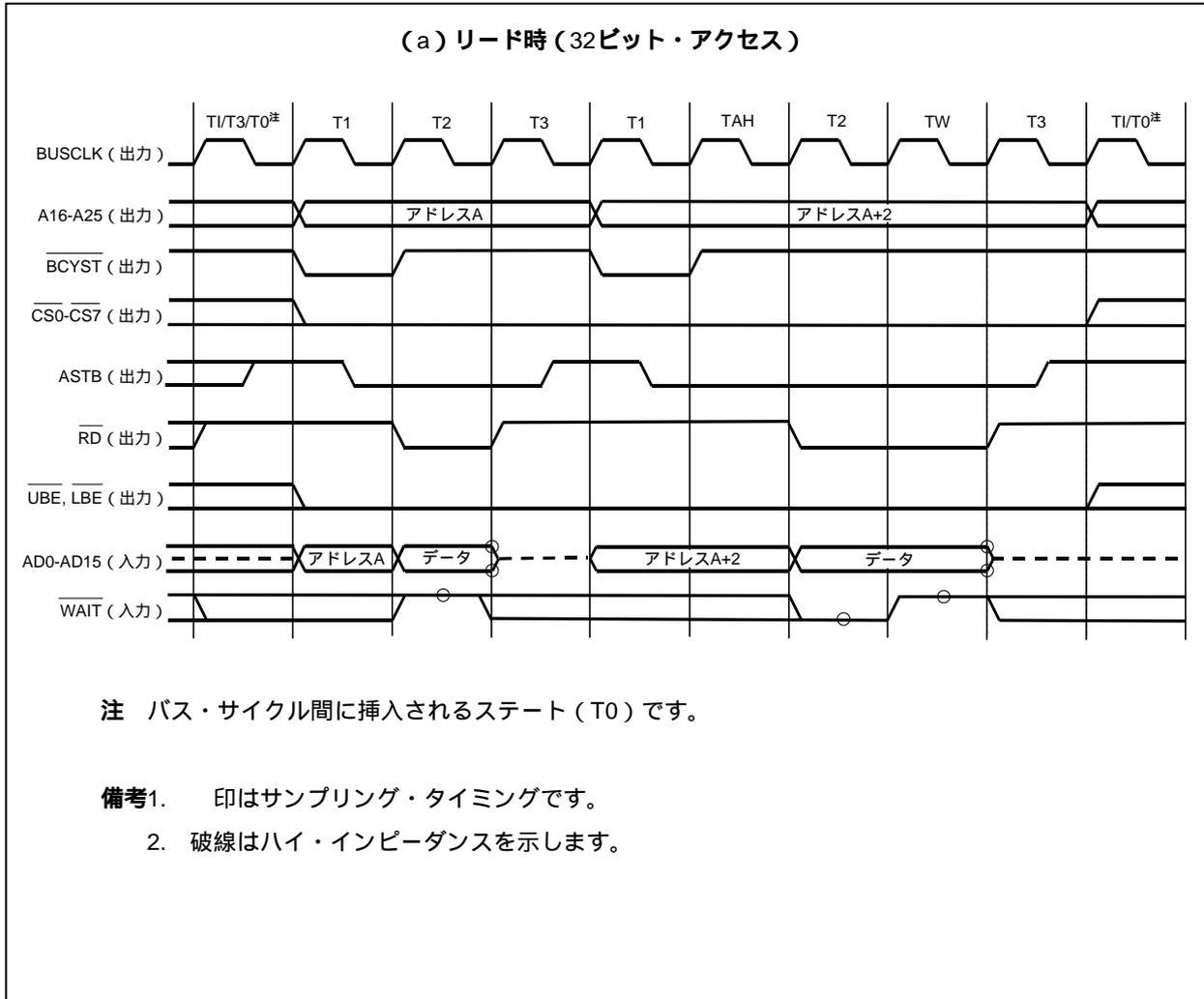


図6-4 SRAM, 外部ROMアクセス・タイミング(マルチプレクス・バス・モード時)(2/5)

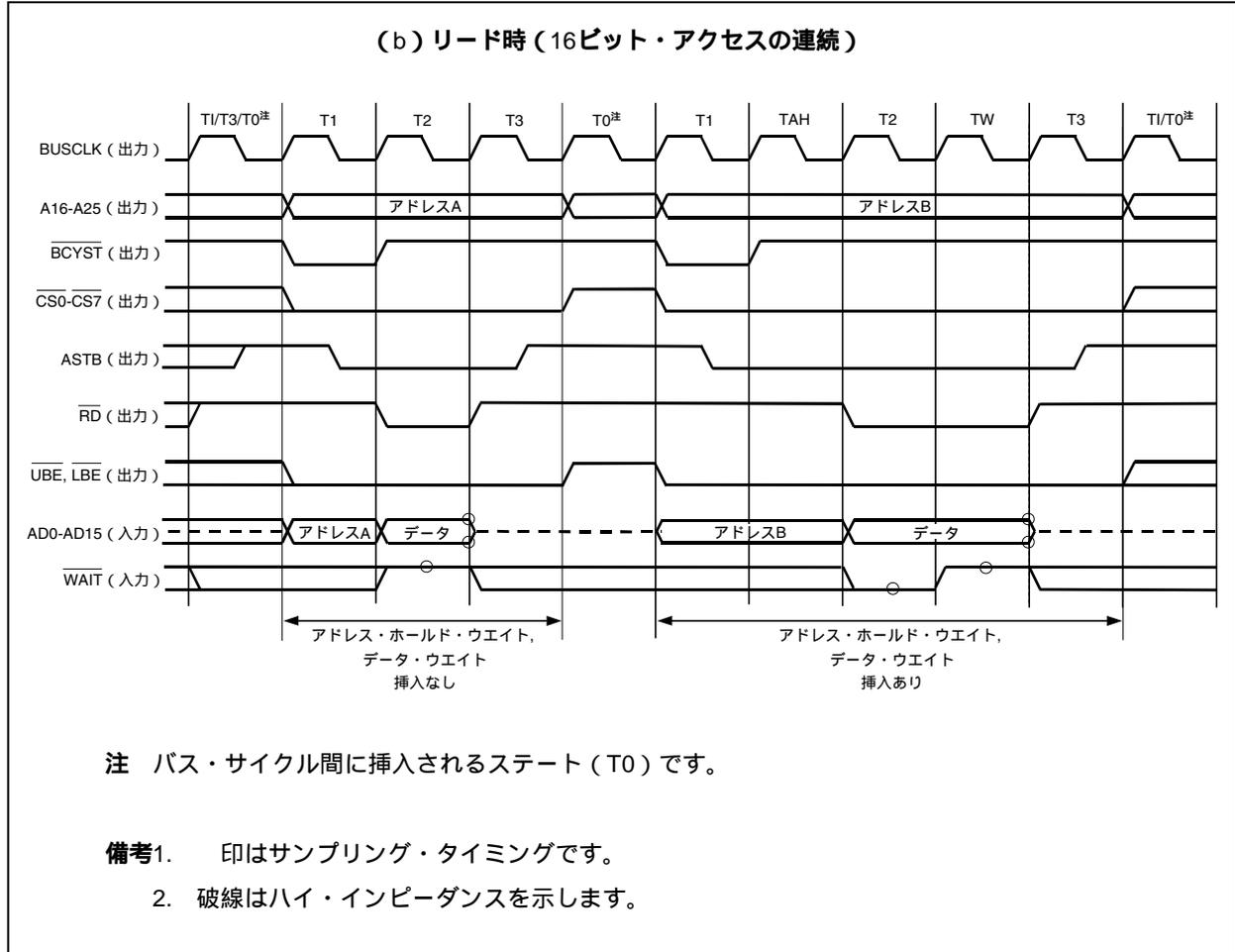


図6-4 SRAM, 外部ROMアクセス・タイミング(マルチプレクス・バス・モード時)(3/5)

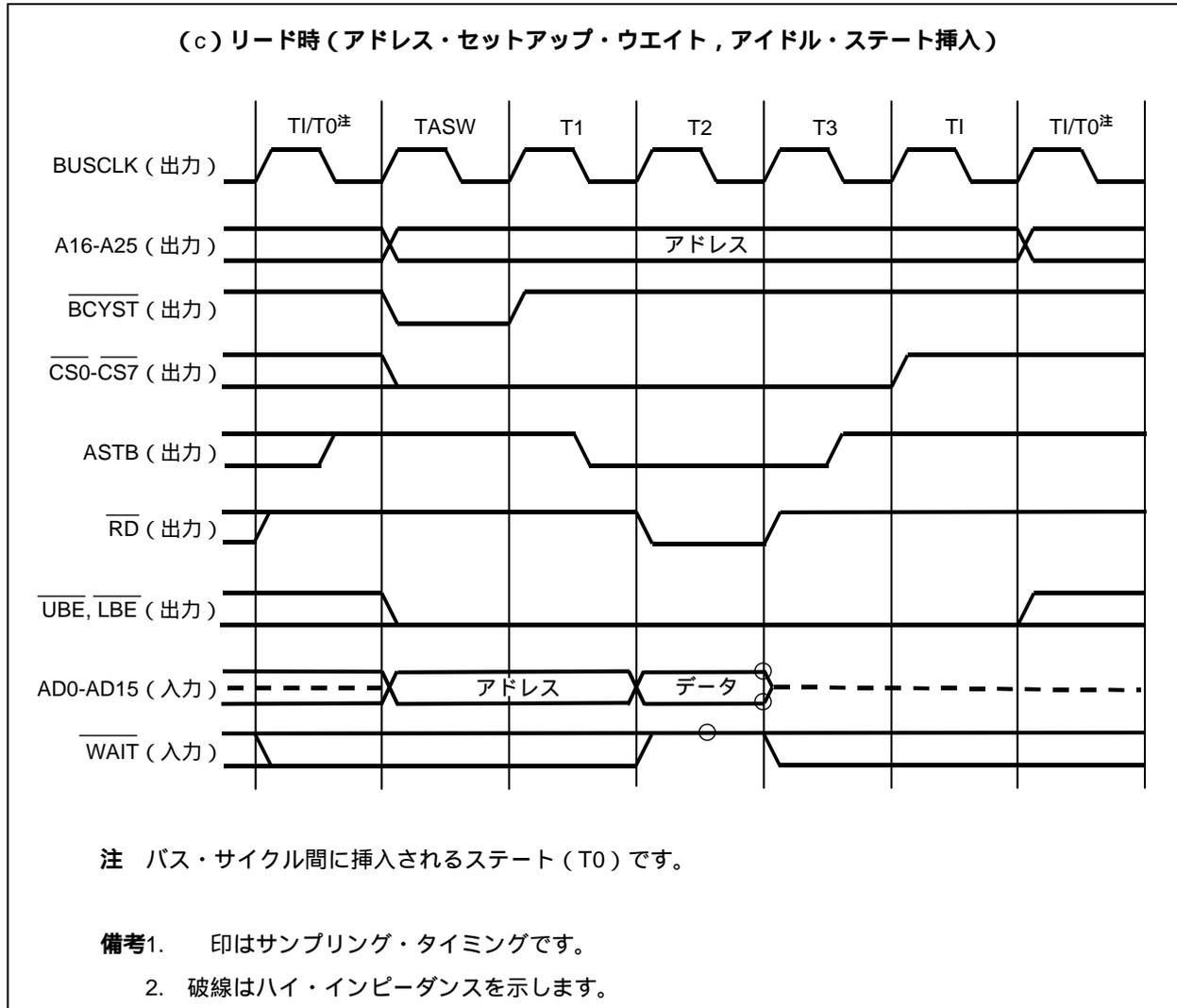


図6 - 4 SRAM , 外部ROMアクセス・タイミング (マルチプレクス・バス・モード時) (4/5)

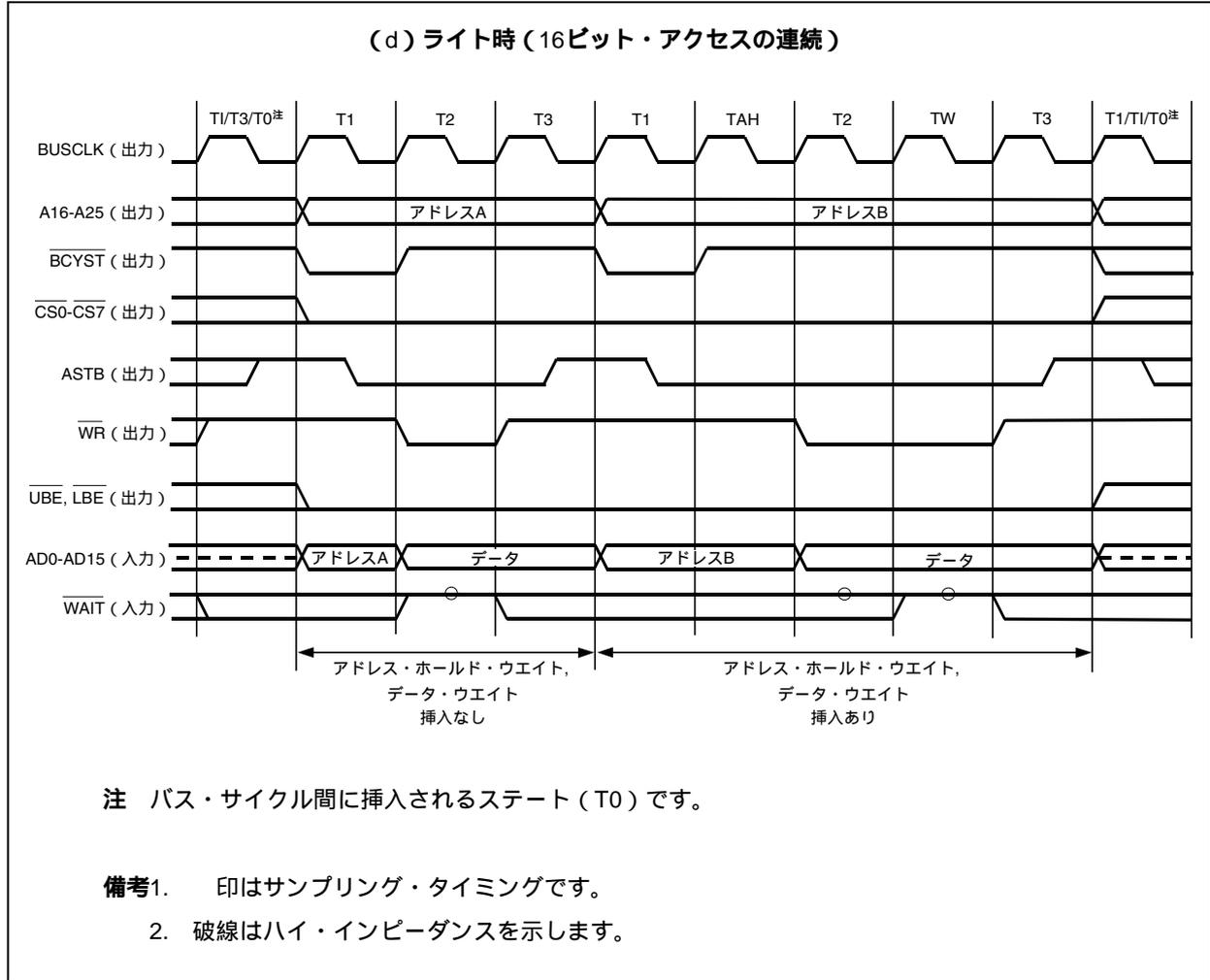
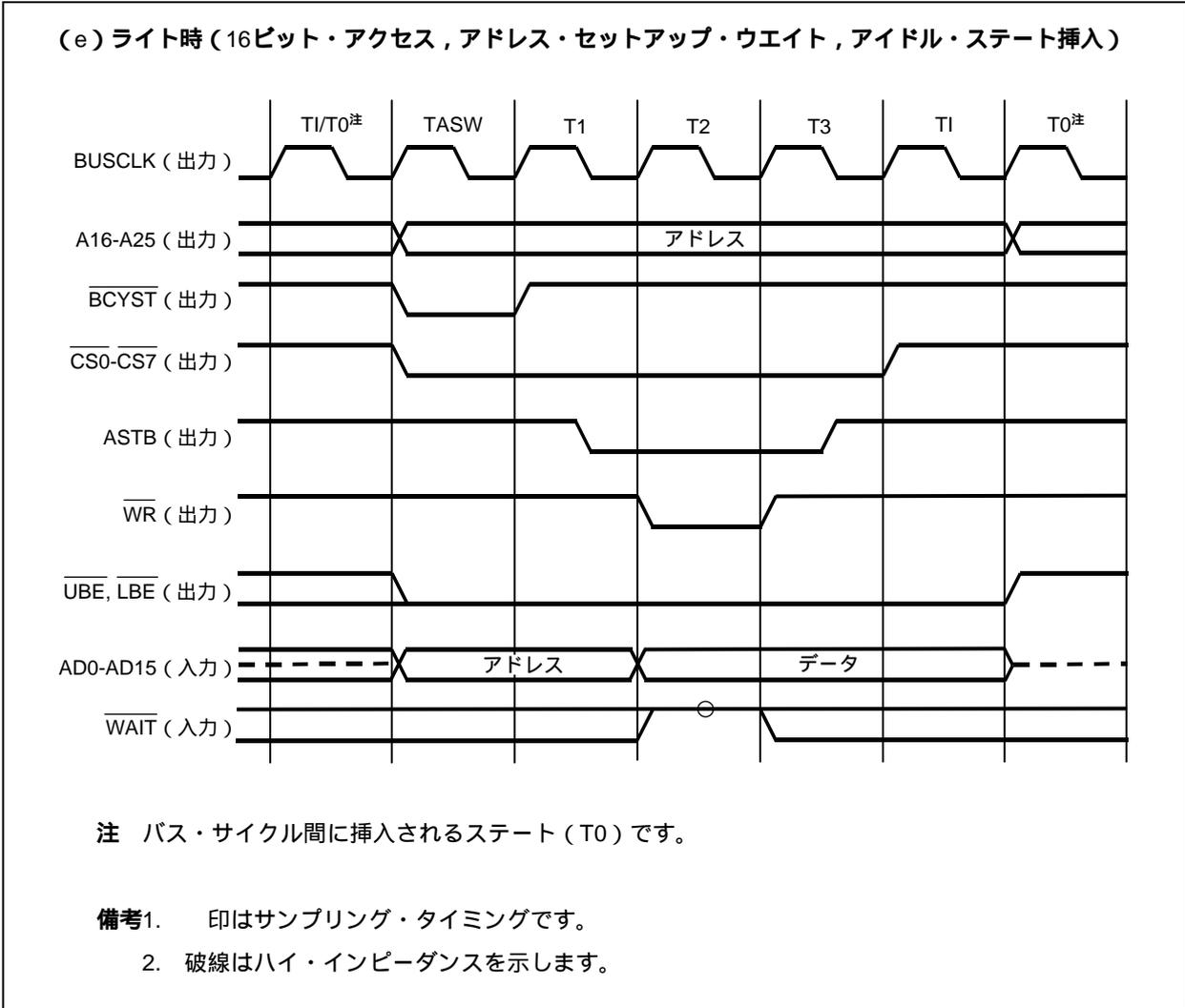


図6-4 SRAM, 外部ROMアクセス・タイミング(マルチプレクス・バス・モード時)(5/5)



6.2 ページROMコントローラ (ROMC)

ページROMコントローラ (ROMC) は、ページ・アクセス機能付きROM (ページROM) へのアクセスに対応しています。

6.2.1 特 徴

8ビット / 16ビット・ページROMと直接接続可能

ページROMへのアクセスは最小2ステート

オンページ判断機能

次に示すレジスタの設定により、最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

オンページ・サイクル時 : PRCレジスタ

オフページ・サイクル時 : DWC0, DWC1レジスタ

DMAフライバイ・サイクル時 : FWCレジスタ

WAIT端子の入力により、ウエイトを制御可能

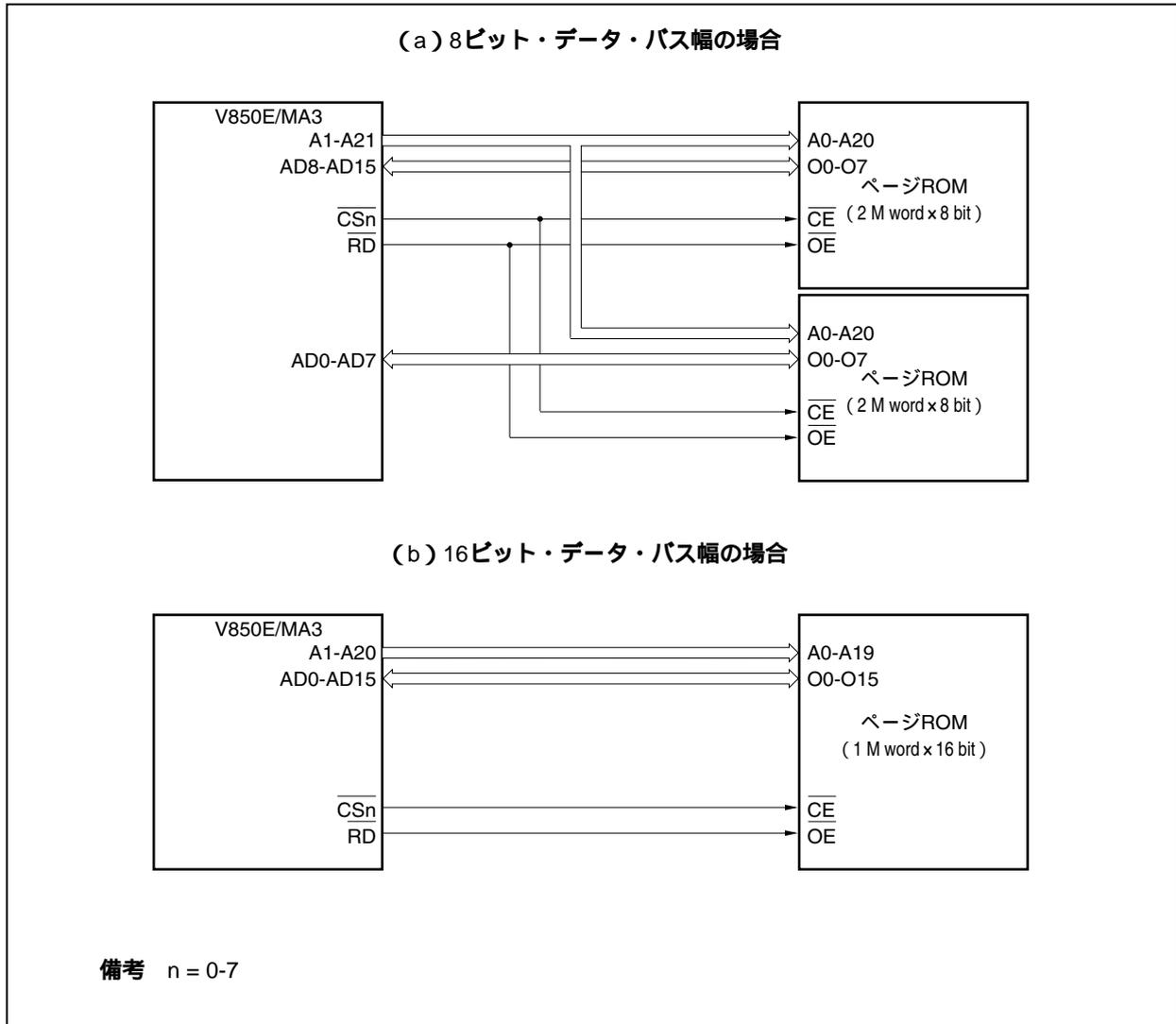
DMAフライバイ・サイクルを起動可能 (ページROM 外部I/O)

ページROMが配置されたCSn空間にライト・サイクルの要求があった場合は、SRAMライト・サイクルを起動 (n = 0-7)

6.2.2 ページROMの接続

ページROMとの接続例は次のようになります。

図6-5 ページROMとの接続例



6.2.3 オンページ

ページROMサイクルのオンページ・アクセスは、次の条件で発生します。

- ・8ビット・バス幅のハーフワード・アクセス時
偶数アドレス境界からの16ビット・アクセス〔オフページ オンページ〕
- ・8ビット・バス幅のワード・アクセス時
ワード境界からの32ビット・アクセス〔オフページ オンページ オンページ オンページ〕
ハーフワード境界からの32ビット・アクセス〔オフページ オンページ オフページ オンページ〕
奇数アドレスからの32ビット・アクセス〔オフページ オフページ オンページ オフページ〕
- ・16ビット・バス幅のワード・アクセス時
ワード境界からの32ビット・アクセス〔オフページ オンページ〕

6.2.4 ページROMコンフィギュレーション・レジスタ (PRC)

オンページ・サイクル時のウエイト・ステートを設定します。接続するページROMのオンページ・アクセス時間に応じて、システム・クロックに応じたウエイト数を設定します。

16ビット単位でリード/ライト可能です。

リセットにより7000Hになります。

注意 PRCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、PRCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

リセット時：7000H R/W アドレス：FFFFFF49AH

	15	14	13	12	11	10	9	8
PRC	0	PRW2	PRW1	PRW0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0

PRW2	PRW1	PRW0	オンページ・アクセス時にシステム・クロックに応じたウエイト数指定
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

- 注意1.** オフページ時には、DWC0, DWC1レジスタで設定するウエイトが挿入されます。
- 2.** ビット15, 11-0には必ず0を設定してください。1を設定した場合の動作は保証できません。

6.2.5 ページROMアクセス

図6-6 ページROMアクセス・タイミング (1/3)

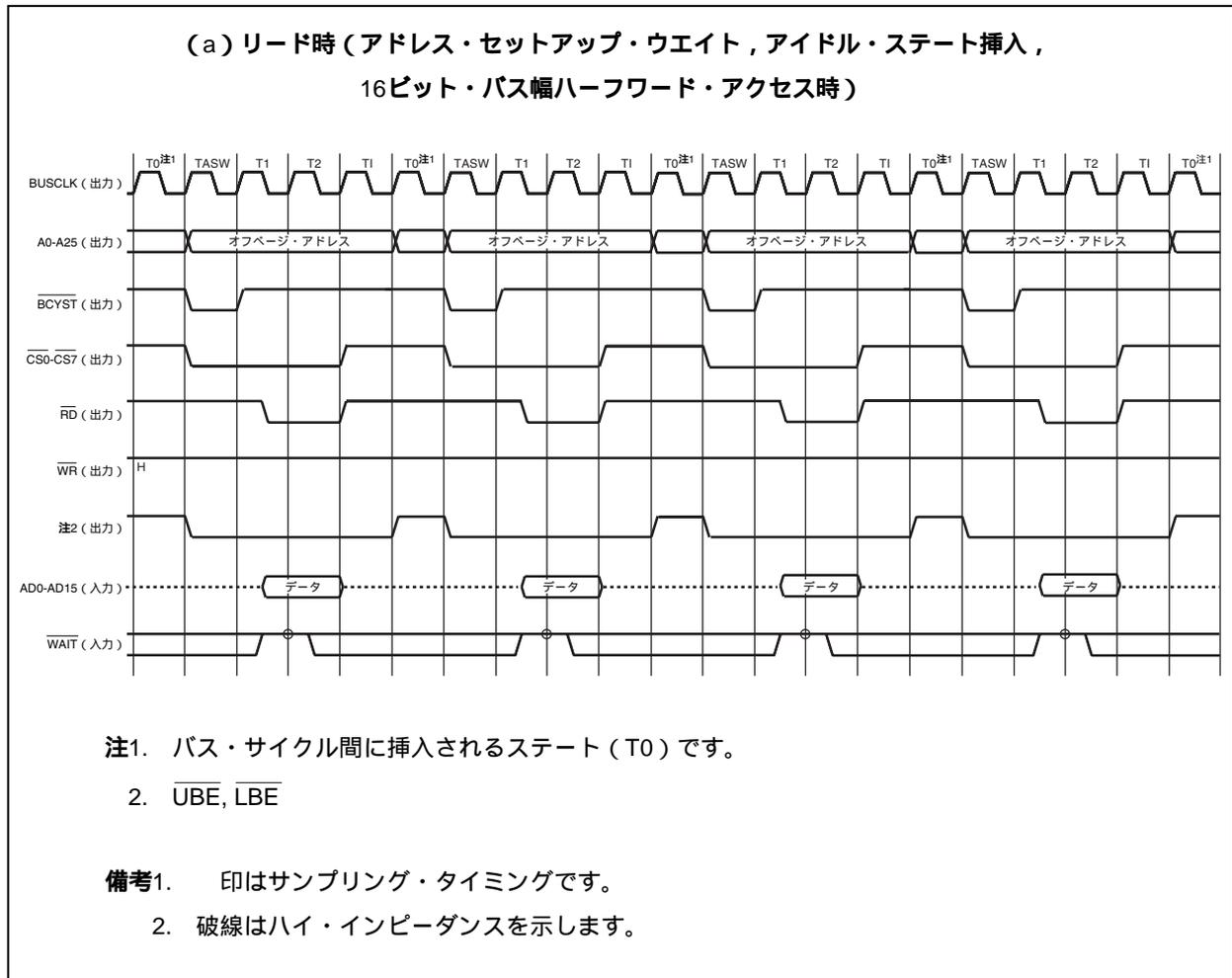


図6 - 6 ページROMアクセス・タイミング (2/3)

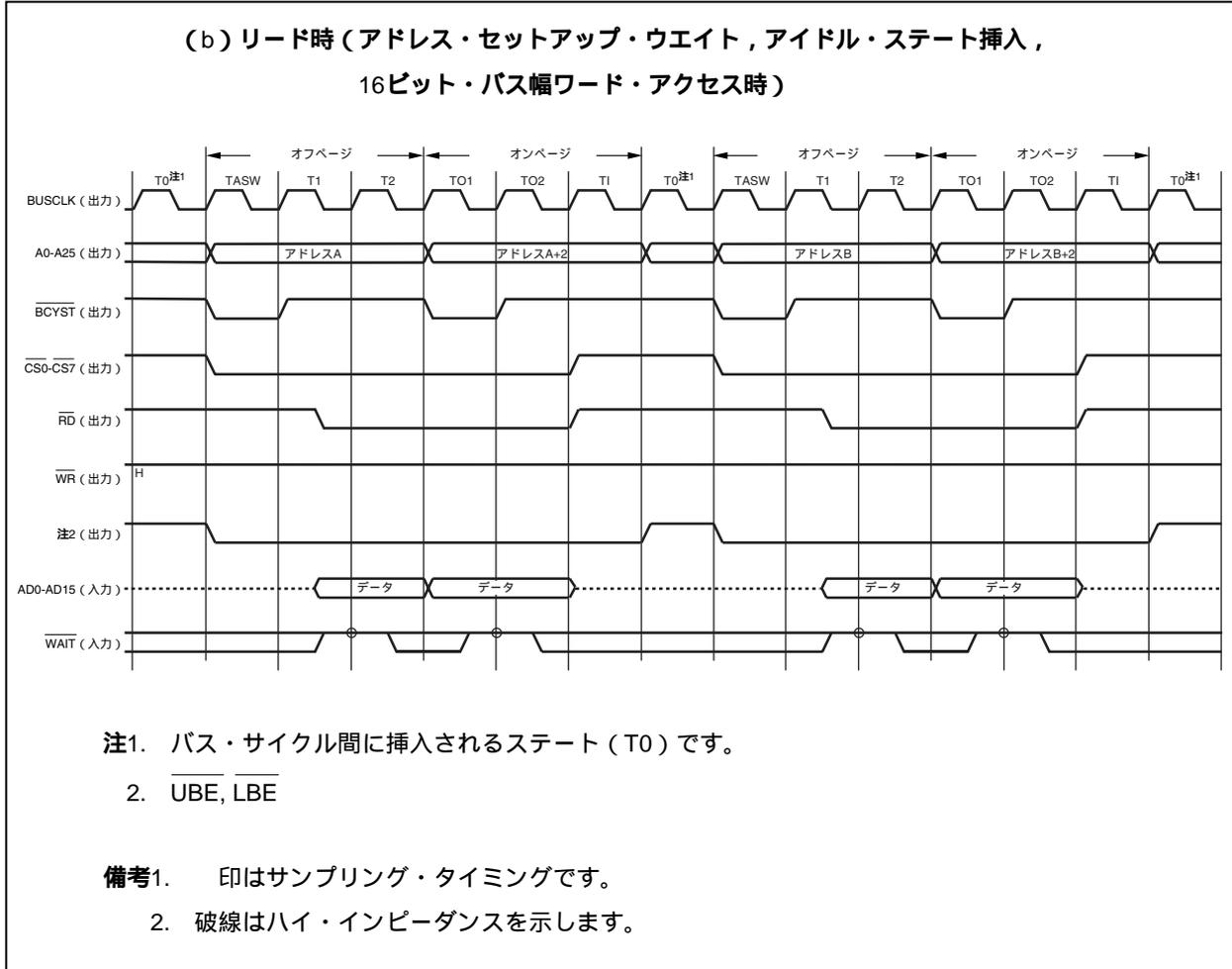
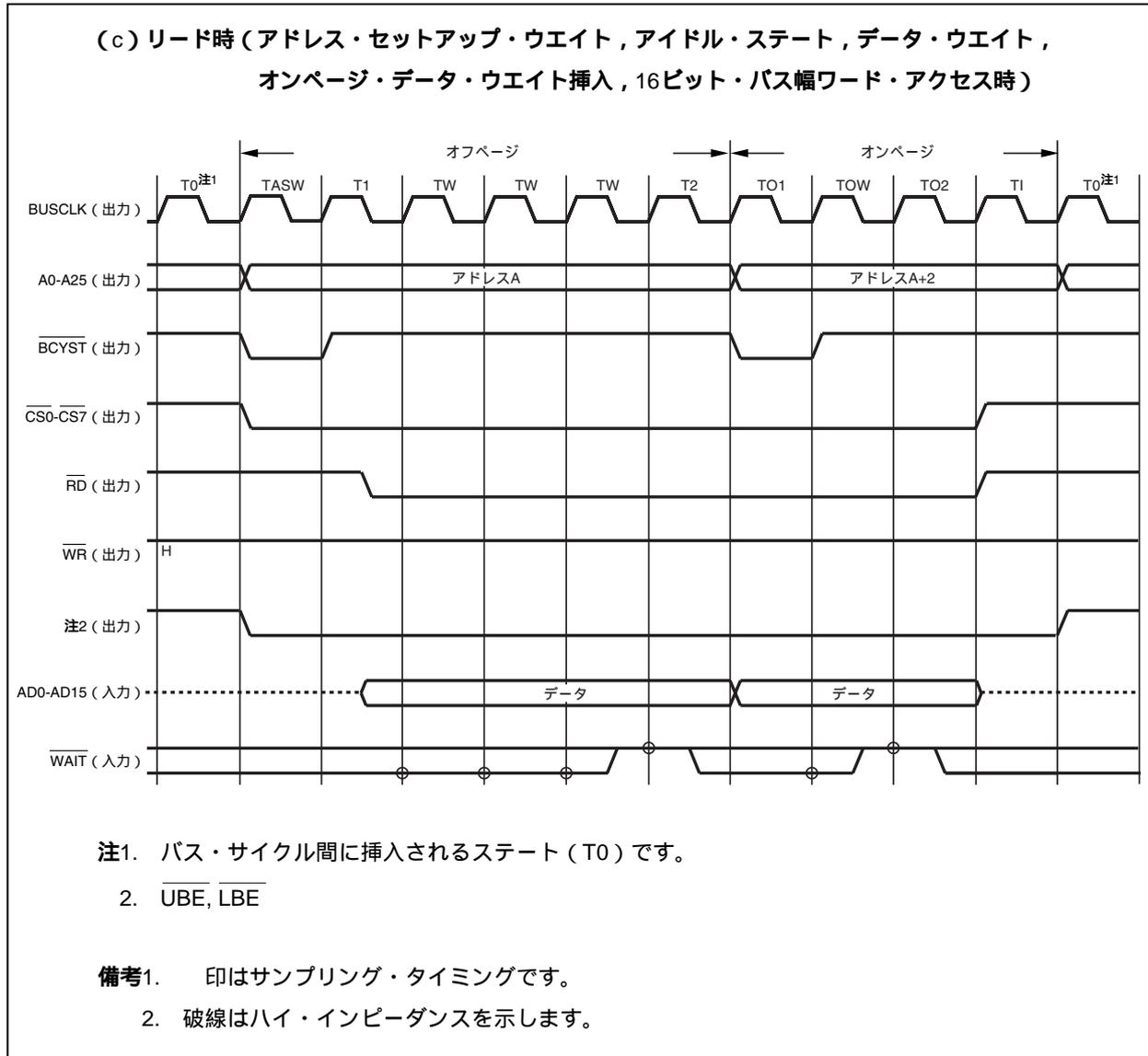


図6-6 ページROMアクセス・タイミング (3/3)



6.3 DRAMコントローラ (SDRAM)

6.3.1 特 徴

バースト長：1

ラップ・タイプ：シーケンシャル

CASレーテンシ：1, 2, 3をサポート

4種類のSDRAMを4つのメモリ・ブロック空間に割り当て可能

ロウ/カラム・アドレスのマルチプレクス幅の切り替え可能

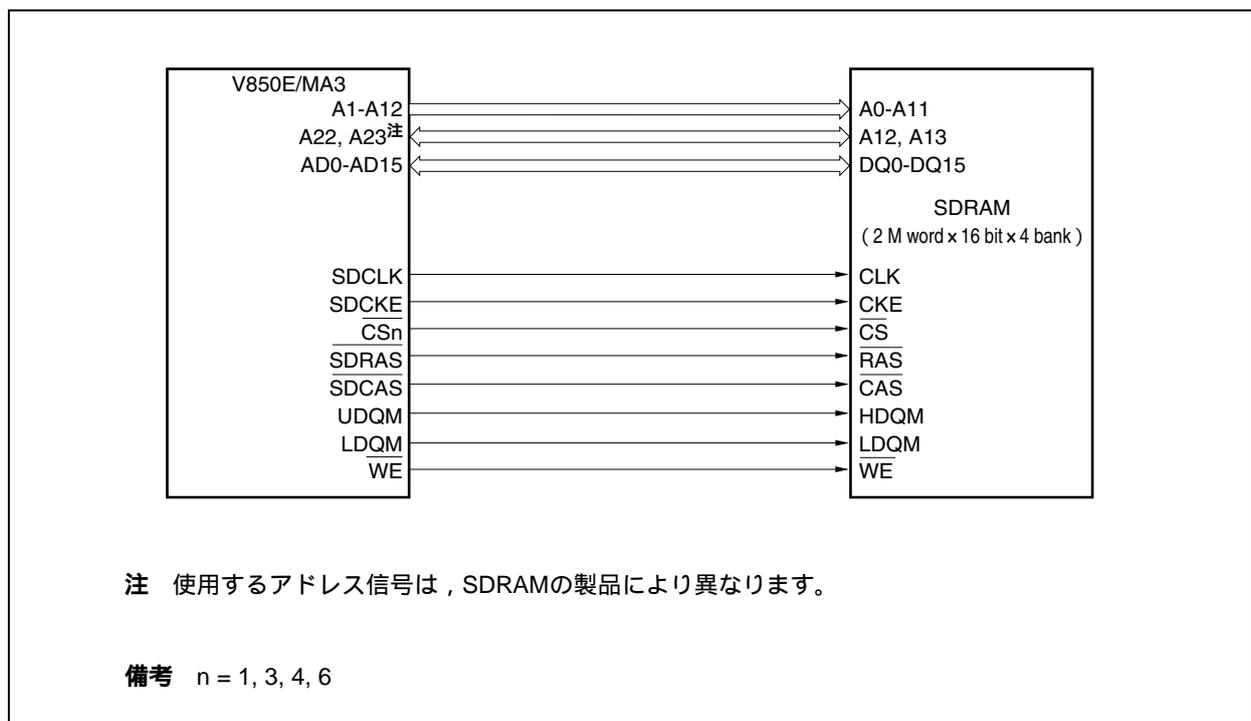
バンク・アクティブ・コマンドとリード/ライト・コマンド間でウエイト (0-3ウエイト) 挿入可能

CBR (オート) リフレッシュ, セルフ・リフレッシュをサポート

6.3.2 SDRAMの接続

SDRAMとの接続例を次に示します。

図6-7 SDRAMとの接続例



6.3.3 アドレス・マルチプレクス機能

SCRn.SAWn0, SAWn1ビットの値によりSDRAMサイクルでのロウ・アドレスの出力は、図6-8(a)のようにアドレスがマルチプレクスします (n = 1, 3, 4, 6)。SCRn.SSON1, SSON1ビットの値によりSDRAMサイクルでのカラム・アドレス出力は、図6-8(b)のようにアドレスがマルチプレクスします (n = 1, 3, 4, 6)。図6-8(a), (b)で、a0-a25はCPUから出力されたアドレスを、A0-A25はV850E/MA3のアドレス端子を示しています。

図6-8 ロウ・アドレス, カラム・アドレスの出力 (1/2)

(a) ロウ・アドレスの出力	
アドレス端子	A25-A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0
ロウ・アドレス (SAWn1, SAWn0ビット = 11)	a25-a18 a17 a16 a15 a25 a24 a23 a22 a21 a20 a19 a18 a17 a16 a15 a14 a13 a12 a11
ロウ・アドレス (SAWn1, SAWn0ビット = 10)	a25-a18 a17 a16 a25 a24 a23 a22 a21 a20 a19 a18 a17 a16 a15 a14 a13 a12 a11 a10
ロウ・アドレス (SAWn1, SAWn0ビット = 01)	a25-a18 a17 a25 a24 a23 a22 a21 a20 a19 a18 a17 a16 a15 a14 a13 a12 a11 a10 a9
ロウ・アドレス (SAWn1, SAWn0ビット = 00)	a25-a18 a25 a24 a23 a22 a21 a20 a19 a18 a17 a16 a15 a14 a13 a12 a11 a10 a9 a8
備考 n = 1, 3, 4, 6	
(b) カラム・アドレスの出力 (オール・バンク・プリチャージ・コマンド時)	
アドレス端子	A25-A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0
カラム・アドレス (SSOn1, SSON0ビット = 00)	a25-a18 a17 a16 a15 a14 a13 a12 a11 1 a9 a8 a7 a6 a5 a4 a3 a2 a1 a0
カラム・アドレス (SSOn1, SSON0ビット = 01)	a25-a18 a17 a16 a15 a14 a13 a12 1 a10 a9 a8 a7 a6 a5 a4 a3 a2 a1 a0
備考 n = 1, 3, 4, 6	
(c) カラム・アドレスの出力 (レジスタ・ライト・コマンド時)	
アドレス端子	A25-A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0
カラム・アドレス (SSOn1, SSON0ビット = 00)	0 0 0 0 0 0 0 0 0 0 0 0 0 LTM2 LTM1 LTM0 0 0 0 0
カラム・アドレス (SSOn1, SSON0ビット = 01)	0 0 0 0 0 0 0 0 0 0 0 0 LTM2 LTM1 LTM0 0 0 0 0 0
備考 n = 1, 3, 4, 6	

図6 - 8 ロー・アドレス , カラム・アドレスの出力 (2/2)

(d) カラム・アドレスの出力 (リード/ライト・コマンド時)

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
カラム・アドレス (SSOn1, SSOn0ビット = 00)	a25-a18	a17	a16	a15	a14	a12	a11	a10	0	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
カラム・アドレス (SSOn1, SSOn0ビット = 01)	a25-a18	a17	a16	a15	a14	a12	a11	0	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

備考 n = 1, 3, 4, 6

(1) 各アドレスの出力, およびSDRAMの接続

データ・バス幅 (8ビット, 16ビット) ごとに, SCRnレジスタの設定内容, 物理アドレス, V850E/MA3からのアドレス出力, V850E/MA3とSDRAMの接続を次に示します。

(a) 8ビット・データ・バス幅時

8ビット・データ・バス幅時に64 MビットSDRAM (2 Mワード×8ビット×4バンク) を接続する例を次に示します。

・ SCRnレジスタ設定内容

SSOn1, SSOn0ビット = 00 : データ・バス幅 = 8ビット

RAWn1, RAWn0ビット = 01 : ロウ・アドレス幅 = 12ビット

SAWn1, SAWn0ビット = 01 : カラム・アドレス幅 = 9ビット

・ 物理アドレス

A22, A21 : バンク・アドレス

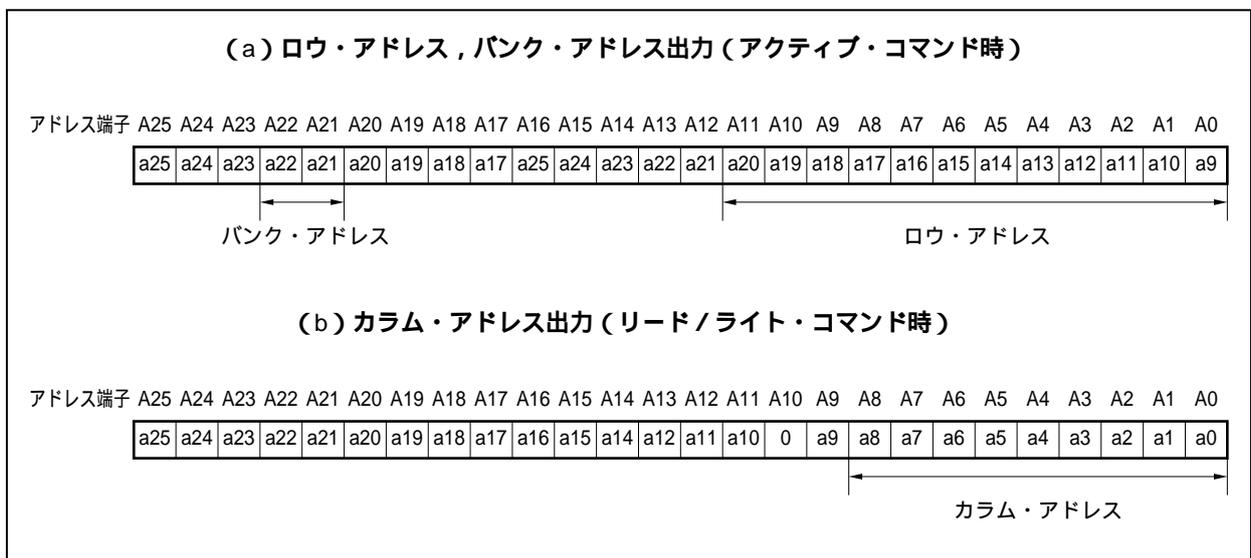
A20-A9 : ロウ・アドレス

A8-A0 : カラム・アドレス

・ V850E/MA3からのアドレス出力

A22, A21 : バンク・アドレス

A11-A0 : ロウ・アドレス (12ビット) , カラム・アドレス (9ビット)



・ V850E/MA3とSDRAMの接続

A22, A21 (V850E/MA3) BA0 (A13) , BA1 (A12) (SDRAM)

A11-A0 (V850E/MA3) A11-A0 (SDRAM)

(b) 16ビット・データ・バス幅時

16ビット・データ・バス幅時に512 MビットSDRAM (8 Mワード×16ビット×4バンク) を接続する例を次に示します。

・SCRnレジスタ設定内容

SSOn1, SSOn0ビット = 01 : データ・バス幅 = 16ビット

RAWn1, RAWn0ビット = 10 : ロウ・アドレス幅 = 13ビット

SAWn1, SAWn0ビット = 10 : カラム・アドレス幅 = 10ビット

・物理アドレス

A25, A24 : バンク・アドレス

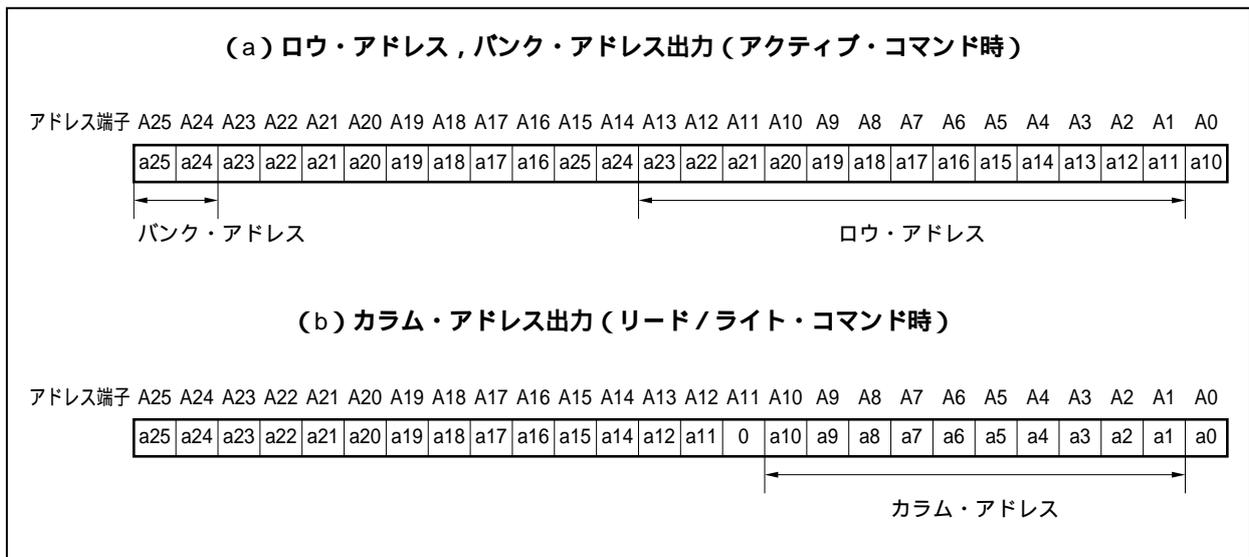
A23-A11 : ロウ・アドレス

A10-A1 : カラム・アドレス

・V850E/MA3からのアドレス出力

A25, A24 : バンク・アドレス

A13-A1 : ロウ・アドレス (13ビット) , カラム・アドレス (10ビット)



・V850E/MA3とSDRAMの接続

A25, A24 (V850E/MA3) BA0 (A14) , BA1 (A13) (SDRAM)

A13-A1 (V850E/MA3) A12-A0 (SDRAM)

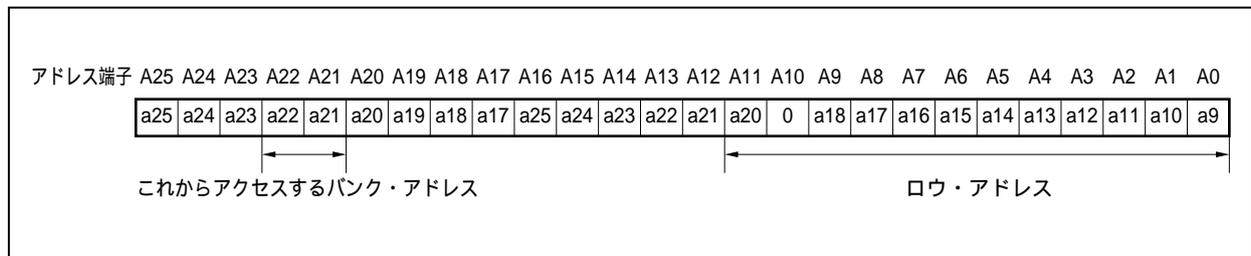
(2) バンク・アドレス出力

V850E/MA3はバンク・プリチャージ・コマンドとして、ページ・チェンジ直後のロウ・アドレス出力時にこれからアクセスを行うバンクに対してプリチャージを行います。また、バンク・チェンジ後はカラム・アドレス出力時に前回アクセスしたバンクに対してプリチャージを行います。したがって、ロウ・アドレス出力時も、カラム・アドレス出力時もバンク・プリチャージが行われるため、6.3.3(1)(a)8ビット・データ・バス幅時で示す内容で接続を行う場合、常にV850E/MA3のバンク・アドレスを出力する端子(A22, A21)をSDRAMのバンク・アドレス端子(A13, A12)に接続してください。

6.3.3(1)(a)8ビット・データ・バス幅時で示す内容で接続を行う場合のページ・チェンジおよびバンク・チェンジ時のバンク・プリチャージ・コマンドのアドレス出力例を次に示します。

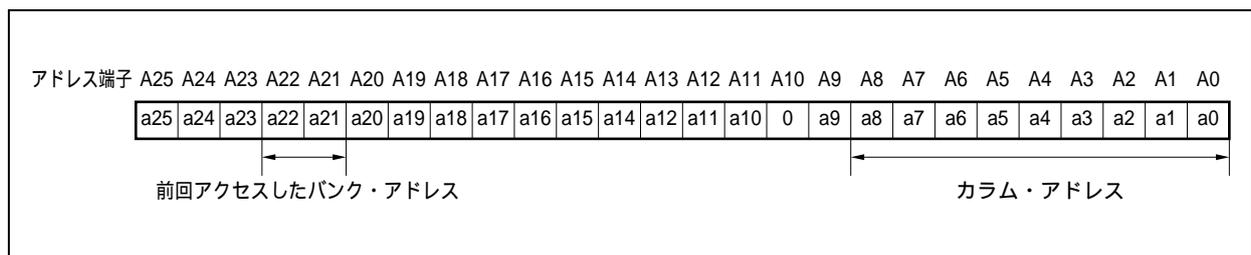
(a) ページ・チェンジ時(8ビット・データ・バス幅時)

ページ・チェンジ時のバンク・プリチャージ・コマンドのアドレス出力は、A11, A9-A0端子にこれからアクセスする物理アドレス(a20, a18-a9), A10端子に0(ロウ・レベル出力), A22, A21端子にこれからアクセスするバンク・アドレス(a22, a21)を出力します。



(b) バンク・チェンジ時(8ビット・データ・バス幅時)

バンク・チェンジ時のバンク・プリチャージ・コマンドのアドレス出力は、A8-A0端子にこれからアクセスする物理アドレス(a8-a0), A22, A21端子に前回アクセスしたバンク・アドレス(a22, a21)を出力します。



プリチャージ・モードを決定するビット(A10: 8ビット・データ・バス幅, A11: 16ビット・データ・バス幅, A12: 32ビット・データ・バス幅)は、オール・バンク・プリチャージ・コマンド時はハイ・レベル、それ以外のプリチャージではロウ・レベルを出力します。

6.3.4 SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6)

ウエイト数やアドレス・マルチプレクス幅を設定します。SCRnレジスタはCSnに対応しています(n = 1, 3, 4, 6)。たとえば、CS1にSDRAMを接続する場合はSCR1レジスタを設定してください。

16ビット単位でリード/ライト可能です。WCFnビットはリードのみ可能です。

リセットにより30C0Hになります。

- 注意1.** レジスタ・ライト・オペレーションの実行前は、SDRAMリード/ライト・サイクルは発生しません。SCRnレジスタの値をリードし、WCFnビットがセット(1)されていることを確認してから、SDRAMにアクセスしてください。
2. SDRAMにアクセスしたあとに再度SCRnレジスタに書き込みを行う場合には、BCT0, BCT1.MEnビットを一度クリア(0)し、次に再びセット(1)したあとアクセスしてください(n = 1, 3, 4, 6)。
 3. SCRnレジスタに書き込む命令を連続して実行しないでください。SCRnレジスタに書き込む命令と命令の間には、必ずほかの命令を入れて実行してください。
 4. SDRAMアクセスは、すべてのSCRnレジスタの設定が終わってから開始してください。また、SCRnレジスタを設定する前にRFSnレジスタを設定してください(n = 1, 3, 4, 6)。

リセット時 : 30C0H R/W アドレス : SCR1 FFFFF4A4H, SCR3 FFFFF4ACH,
SCR4 FFFFF4B0H, SCR6 FFFFF4B8H

	15	14	13	12	11	10	9	8
SCRn	0	LTMn2	LTMn1	LTMn0	0	0	0	WCFn
(n = 1, 3, 4, 6)	7	6	5	4	3	2	1	0
	BCWn1	BCWn0	SSOn1	SSOn0	RAWn1	RAWn0	SAWn1	SAWn0

LTMn2	LTMn1	LTMn0	リード時のCASレーテンシの値を指定
0	0	1	1
0	1	0	2
0	1	1	3
その他			設定禁止

WCFn	SCRnレジスタ設定後のSDRAMIに対するレジスタ・ライト・コマンド完了フラグ
0	設定未完了
1	設定完了
レジスタ・ライト・コマンドが発生すると、セット (1) されます。	

BCWn1	BCWn0	挿入ウエイト・ステート数指定
0	0	設定禁止
0	1	1
1	0	2
1	1	3
バンク・アクティブ・コマンドからリード/ライト・コマンド, またはプリチャージ・コマンドからバンク・アクティブ・コマンドまでのウエイト・ステート数を指定します。		

注意 ビット15, 11-9には, 必ず0を設定してください。1を設定した場合の動作は保証できません。

備考 n = 1, 3, 4, 6

SSOn1	SSOn0	オンページ判断時のアドレス・シフト幅の指定
0	0	0ビット (外部データ・バス幅: 8ビット)
0	1	1ビット (外部データ・バス幅: 16ビット) 注
1	0	設定禁止
1	1	設定禁止

外部データ・バス幅が16ビットに設定されている場合は、システムは下位アドレス (A0) を使用しません。CSnに対応したLBSレジスタの内容に合わせて設定してください。

RAWn1	RAWn0	ロウ・アドレス幅の指定
0	0	11ビット
0	1	12ビット
1	0	13ビット注
1	1	設定禁止

SAWn1	SAWn0	SDRAMアクセス時のアドレス・マルチプレクス幅 (カラム・アドレス幅) の指定
0	0	8ビット
0	1	9ビット
1	0	10ビット
1	1	11ビット注

注 次に示す設定は、アドレスの上限を超えるので設定禁止です。

SSOn1	SSOn0	RAWn1	RAWn0	SAWn1	SAWn0	設定内容
0	1	1	0	1	1	データ・バス幅 : 16ビット ロウ・アドレス幅 : 13ビット カラム・アドレス幅 : 11ビット

備考 n = 1, 3, 4, 6

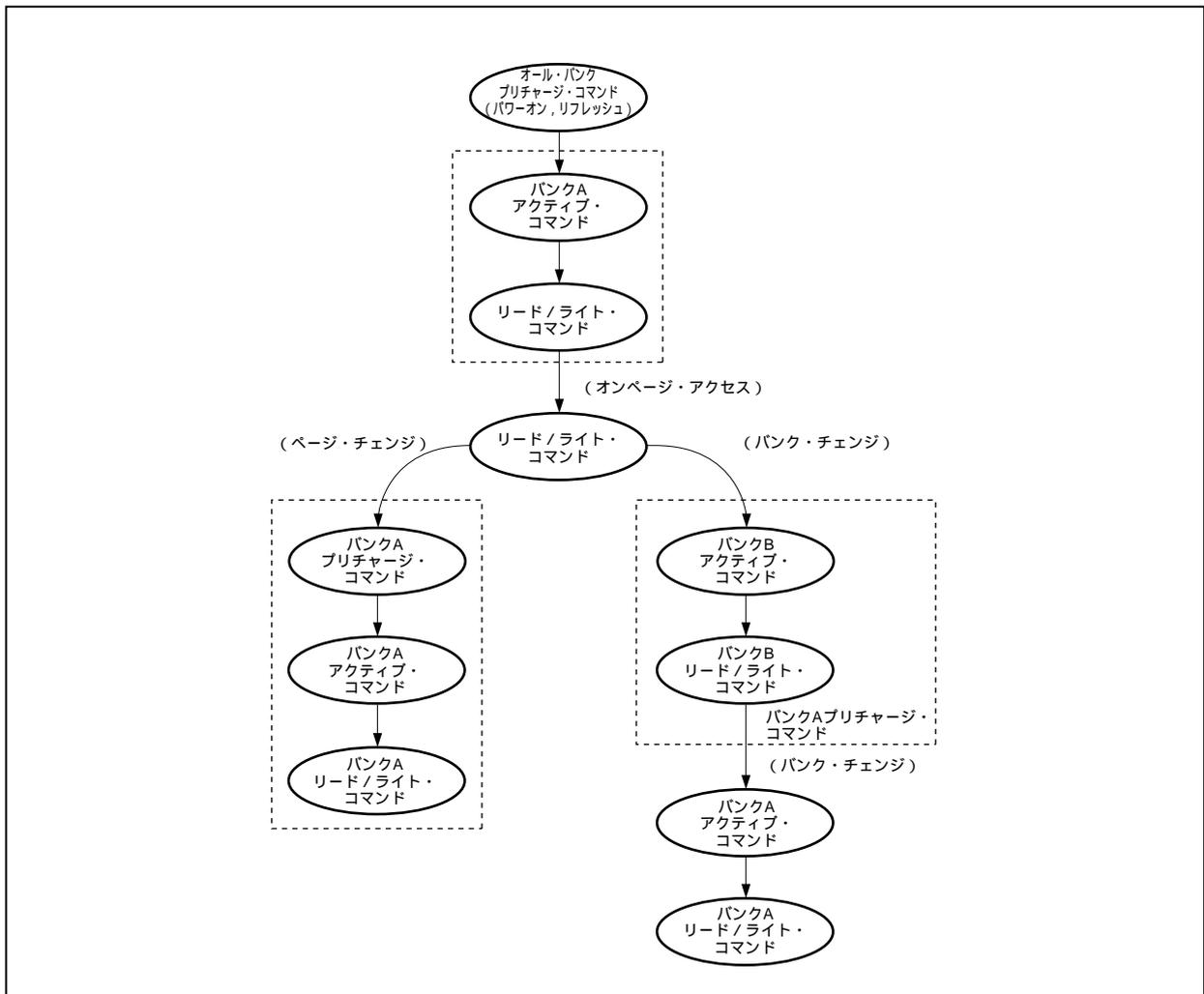
6.3.5 SDRAMアクセス

パワーオン時やリフレッシュ時は、SDRAMに対して必ずオール・バンク・プリチャージ・コマンドが発行されます。したがって、このあとにSDRAMをアクセスする場合は、アクティブ・コマンド、リード/ライト・コマンドが順に発行されます（図6-9の）。

次にページ・チェンジが発生した場合は、プリチャージ・コマンド、アクティブ・コマンド、リード/ライト・コマンドが順に発行されます（図6-9の）。

また、バンク・チェンジが発生した場合は、次にアクセスするバンクに対するアクティブ・コマンド、リード/ライト・コマンドが順に発行され、リード/ライト・コマンドの直後に現在アクセスしているバンクの直前にアクセスしていたバンクに対するプリチャージ・コマンドが発行されます（図6-9の）。

図6-9 SDRAMアクセスの状態遷移



(1) SDRAMシングル・リード・サイクル

SDRAMシングル・リード・サイクルは、SDRAM領域へのロード命令(LD)実行または、命令フェッチ、2サイクルDMA転送でSDRAMをリードするサイクルです。

SDRAMシングル・リード・サイクルでは、SDRAMに対してアクティブ・コマンド(ACT)、リード・コマンド(RD)が順に発行されます。ただし、オンページ・アクセス時は、リード・コマンドのみが発行され、プリチャージ・コマンド、アクティブ・コマンドは発行されません。また、同一のバンクでページ・チェンジした場合は、アクティブ・コマンドの前にプリチャージ・コマンド(PRE)が発行されます。

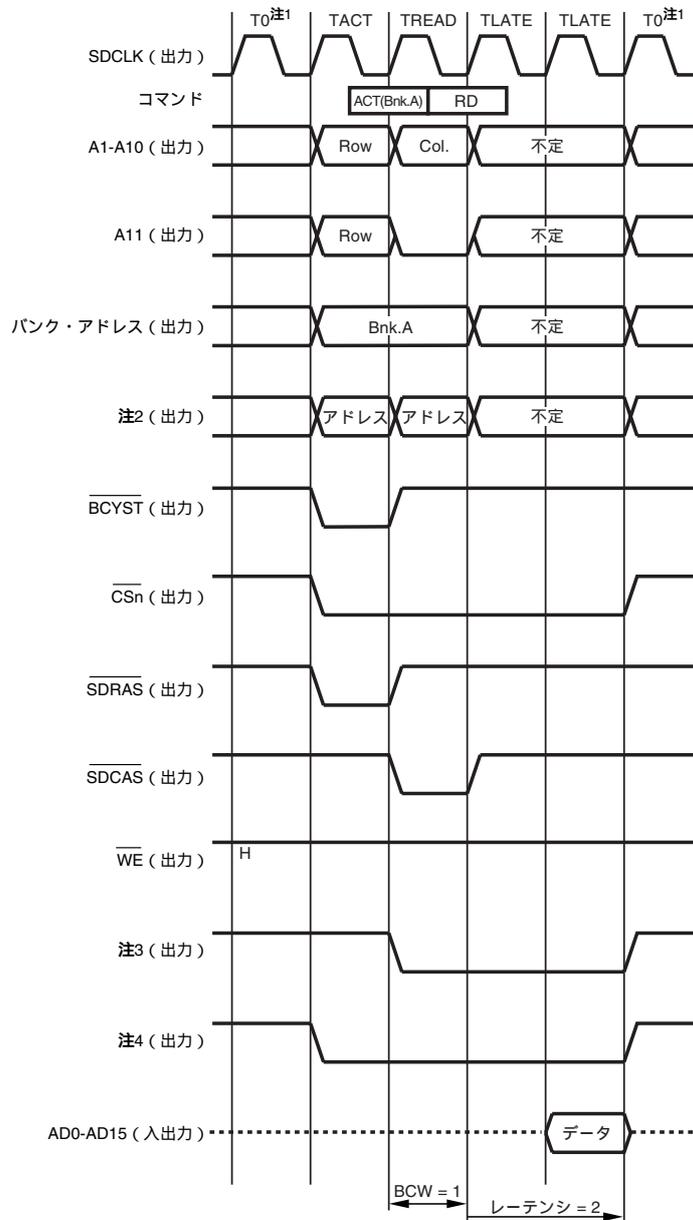
CPUから起動されたすべてのリード・コマンドの直前には、必ず1ステートのT0サイクルが挿入されます。

リード・サイクルのあとには、BCCレジスタで設定されたアイドル・ステート数(TI)が挿入されます(BCC.BCn1, BCn0ビット = 00の場合は挿入されません)(n = 1, 3, 4, 6)。次にSDRAMシングル・リード・サイクルのタイミングを示します。

注意 SDRAMに対するリード・アクセス後にSRAM、外部I/Oに対するライト・アクセスを行う場合、SDRAMのデータ出力フロート遅延時間によってはデータが衝突する可能性があります。このような場合には、BCCレジスタの設定によりSDRAM空間にアイドル・ステートを挿入してデータの衝突を回避してください。

図6 - 10 SDRAMシングル・リード・サイクル (1/5)

(a) オフページ・アクセス時 (レーテンシ = 2, BCW = 1, 16ビット・バス幅ハーフワード・アクセス時)



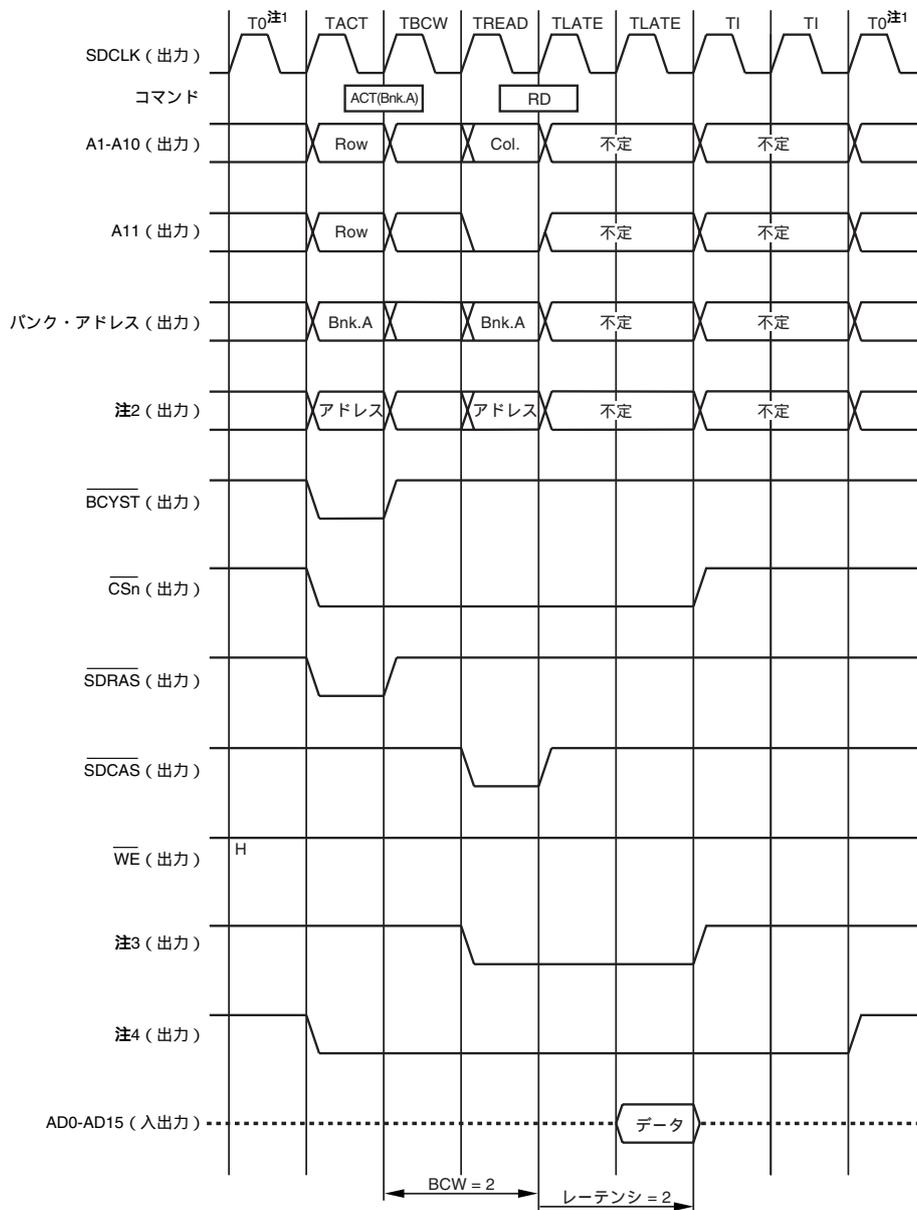
- 注1. バス・サイクル間に挿入されるステート (T0) です。
2. バンク・アドレス, A1-A10, A11以外のアドレス
 3. \overline{xWR} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 0)
 4. \overline{xBE} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
3. Bnk. : バンク・アドレス
Col. : カラム・アドレス
Row : ロウ・アドレス

図6 - 10 SDRAMシングル・リード・サイクル (2/5)

(b) オフページ・アクセス時 (レーテンシ = 2, BCW = 2, アイドル・ステート2, 16ビット・バス幅
 ハーフワード・アクセス時)



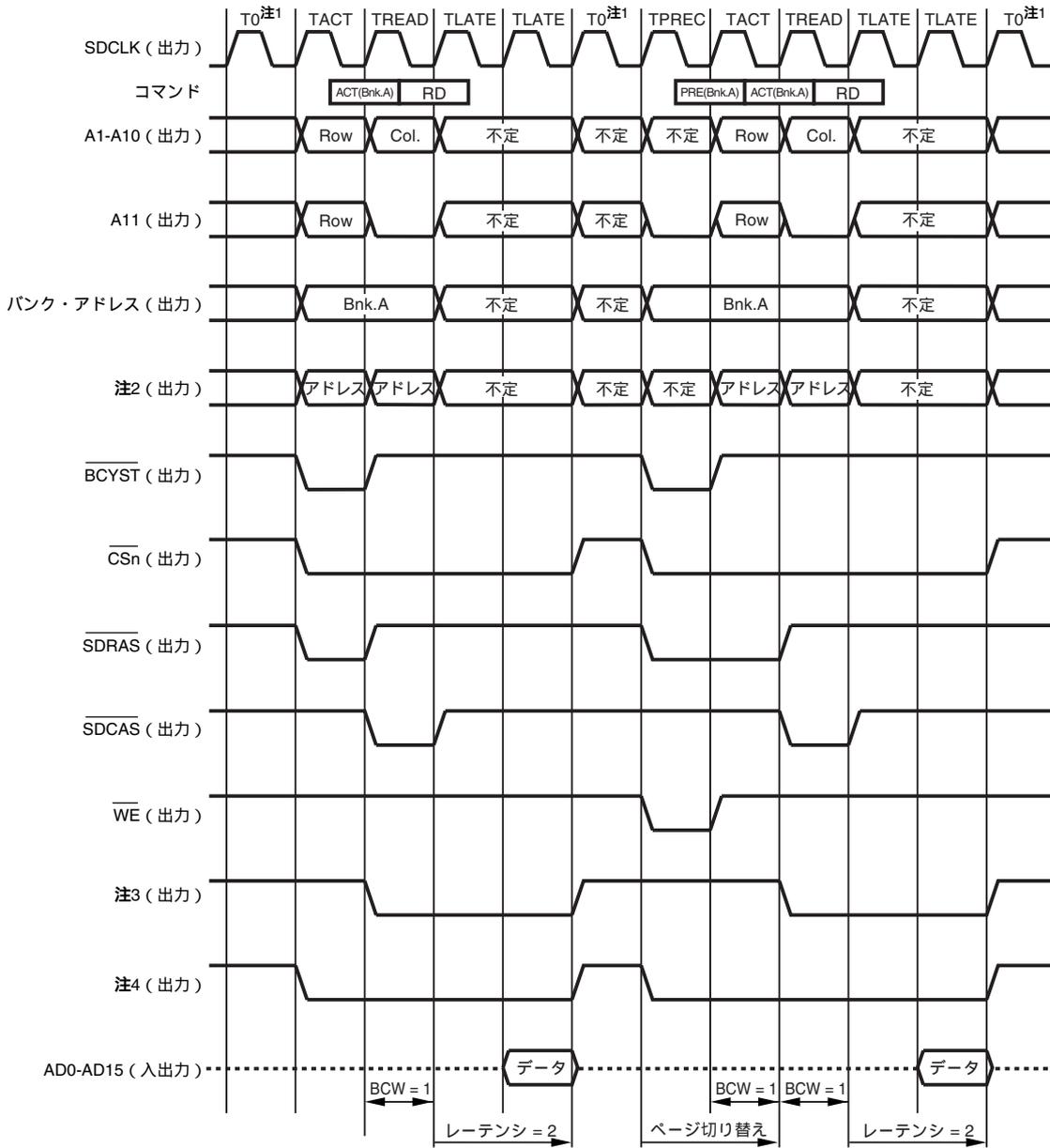
- 注1. バス・サイクル間に挿入されるステート (T0) です。
 2. バンク・アドレス, A1-A10, A11以外のアドレス
 3. \overline{xWR} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 0)
 4. \overline{xBE} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
 3. Bnk. : バンク・アドレス
 Col. : カラム・アドレス
 Row : ロウ・アドレス

図6 - 10 SDRAMシングル・リード・サイクル (3/5)

(c) オフページ・アクセス時 (レーテンシ = 2, ページ・チェンジ, BCW = 1, 16ビット・バス幅
ハーフワード・アクセス時)

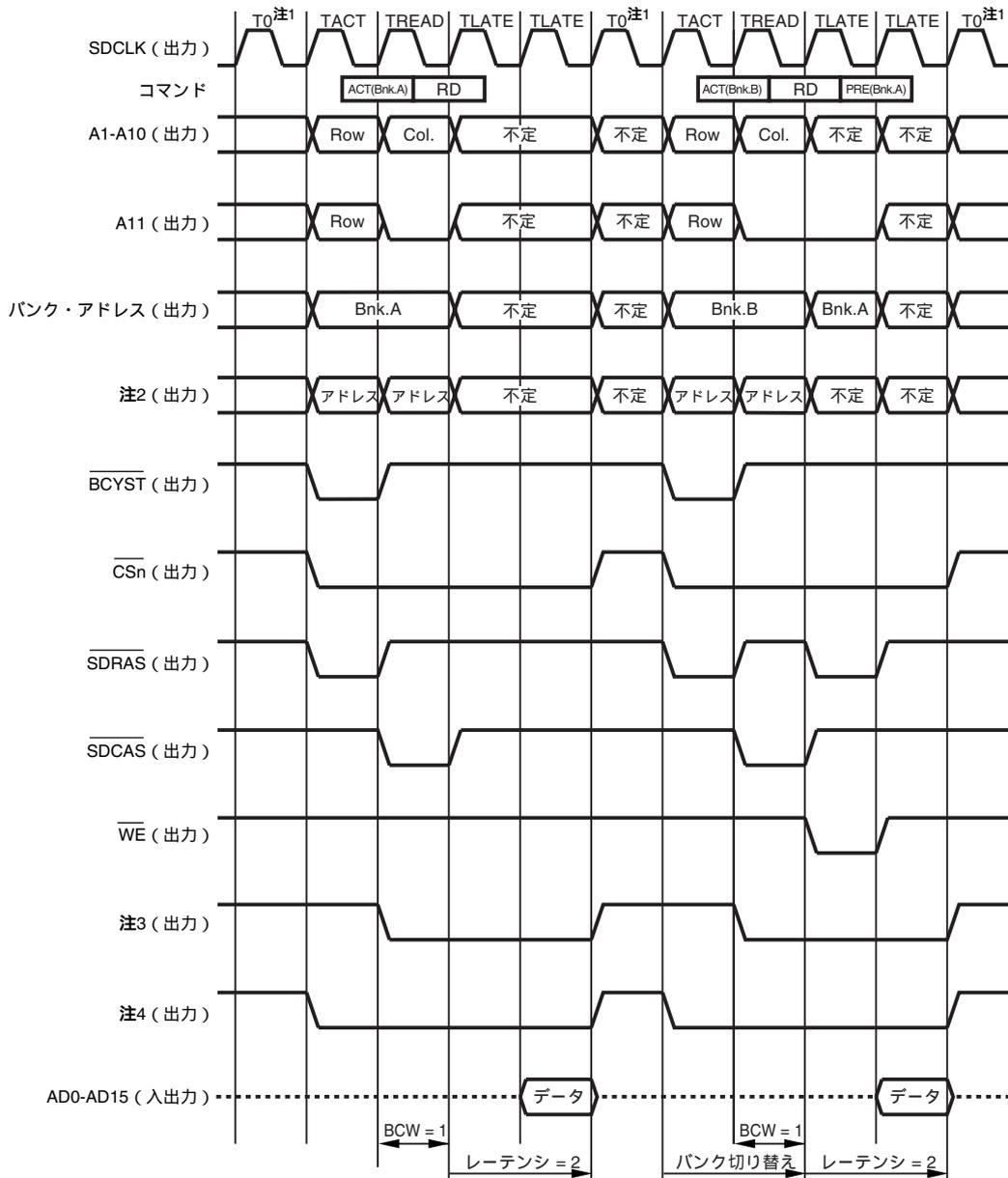


- 注1. バス・サイクル間に挿入されるステート (T0) です。
 2. バンク・アドレス, A1-A10, A11以外のアドレス
 3. \overline{xWR} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 0)
 4. \overline{xBE} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 1)

- 備考1. 破線はハイ・インピーダンスを示します。
 2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
 3. Bnk. : バンク・アドレス
 Col. : カラム・アドレス
 Row : ロウ・アドレス

図6 - 10 SDRAMシングル・リード・サイクル (4/5)

(d) オフページ・アクセス時 (レーテンシ = 2, バンク・チェンジ, BCW = 1, 16ビット・バス幅
ハーフワード・アクセス時)



注1. バス・サイクル間に挿入されるステート (T0) です。

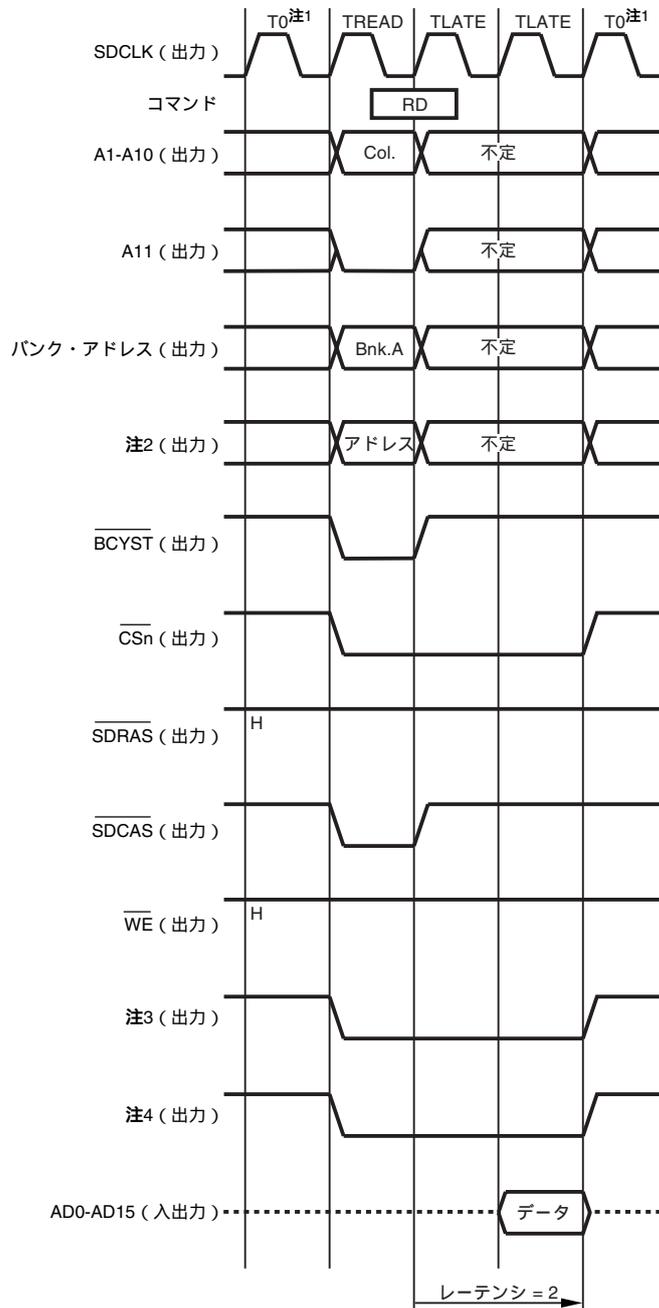
2. バンク・アドレス, A1-A10, A11以外のアドレス
3. xWR出力モード/xDQM出力モード設定時 (PFCCT.PFCCTmビット = 0)
4. xBE出力モード/xDQM出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
3. Bnk. : バンク・アドレス
Col. : カラム・アドレス
Row : ロウ・アドレス

図6 - 10 SDRAMシングル・リード・サイクル (5/5)

(e) オンページ・アクセス時 (レーテンシ = 2, 16ビット・バス幅ハーフワード・アクセス時)



- 注1. バス・サイクル間に挿入されるステート (T0) です。
- 2. バンク・アドレス, A1-A10, A11以外のアドレス
- 3. \overline{xWR} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 0)
- 4. \overline{xBE} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 1)

- 備考1. 破線はハイ・インピーダンスを示します。
- 2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
- 3. Bnk. : バンク・アドレス
Col. : カラム・アドレス

(2) SDRAMシングル・ライト・サイクル

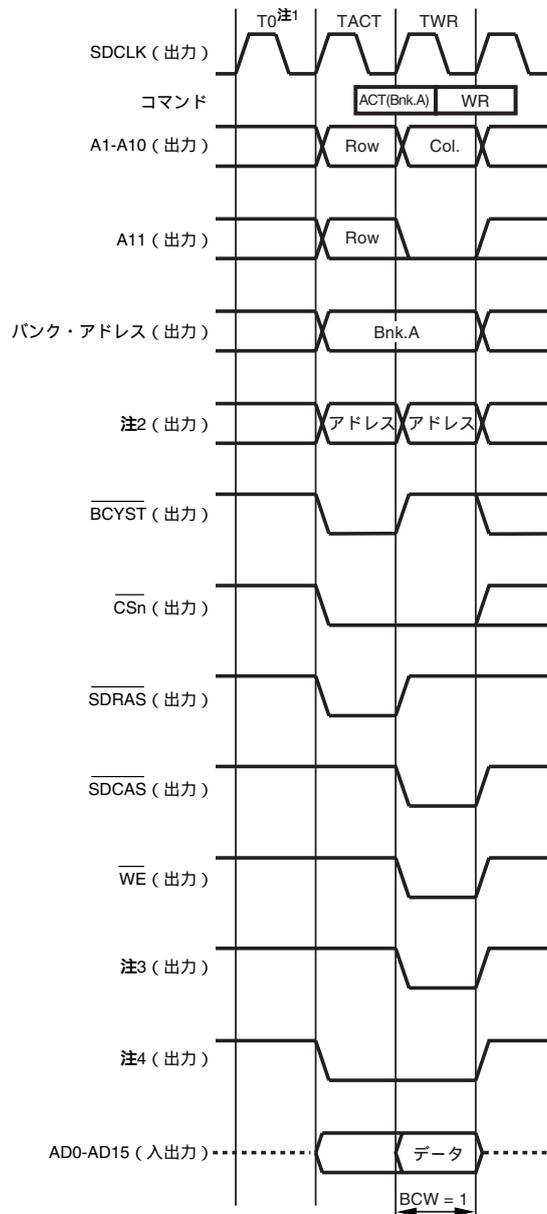
SDRAMシングル・ライト・サイクルは、SDRAM領域へのライト命令 (ST) 実行または、2サイクルDMA転送でSDRAMへライトするサイクルです。

SDRAMシングル・ライト・サイクルでは、SDRAMに対してアクティブ・コマンド (ACT)、ライト・コマンド (WR) が順に発行されます。ただし、オンページ・アクセス時は、ライト・コマンドのみが発行され、プリチャージ・コマンド、アクティブ・コマンドは発行されません。また、同一のバンクでページ・チェンジした場合は、アクティブ・コマンドの前にプリチャージ・コマンド (PRE) が発行されます。

次にSDRAMシングル・ライト・サイクルのタイミングを示します。

図6 - 11 SDRAMシングル・ライト・サイクル (1/6)

(a) オフページ・アクセス時 (BCW = 1, 16ビット・バス幅ハーフワード・アクセス時)



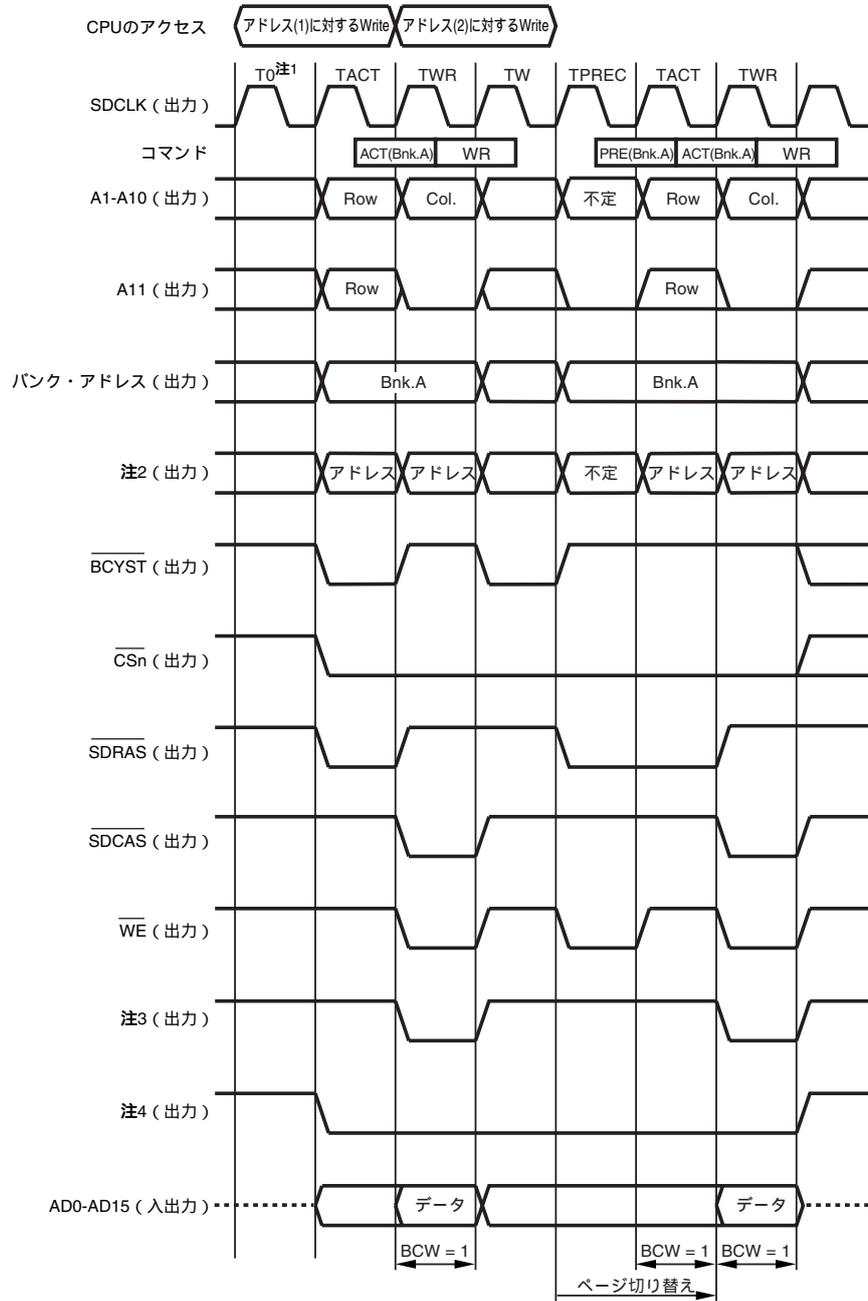
- 注1. バス・サイクル間に挿入されるステート (T0) です。
2. バンク・アドレス, A1-A10, A11以外のアドレス
 3. \overline{xWR} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 0)
 4. \overline{xBE} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
3. Bnk. : バンク・アドレス
Col. : カラム・アドレス
Row : ロウ・アドレス

図6 - 11 SDRAMシングル・ライト・サイクル (2/6)

(b) オフページ・アクセス時 (BCW = 1, ページ・チェンジ, 16ビット・バス幅ハーフワード・アクセス時) (1/2)



注1. バス・サイクル間に挿入されるステート (T0) です。

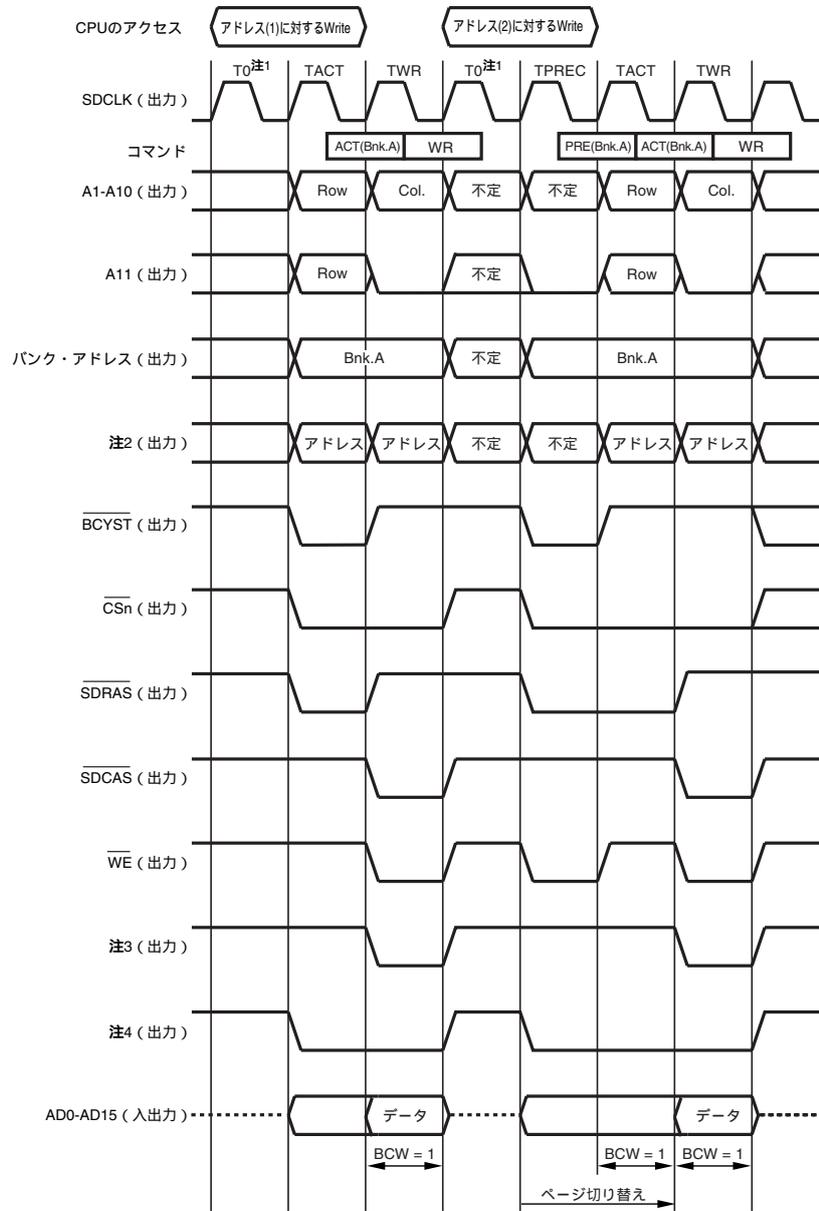
2. バンク・アドレス, A1-A10, A11以外のアドレス
3. \overline{xWR} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 0)
4. \overline{xBE} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
3. Bnk. : バンク・アドレス
Col. : カラム・アドレス
Row : ロウ・アドレス

図6 - 11 SDRAMシングル・ライト・サイクル (3/6)

(b) オフページ・アクセス時 (BCW = 1, ページ・チェンジ, 16ビット・バス幅ハーフワード・アクセス時) (2/2)

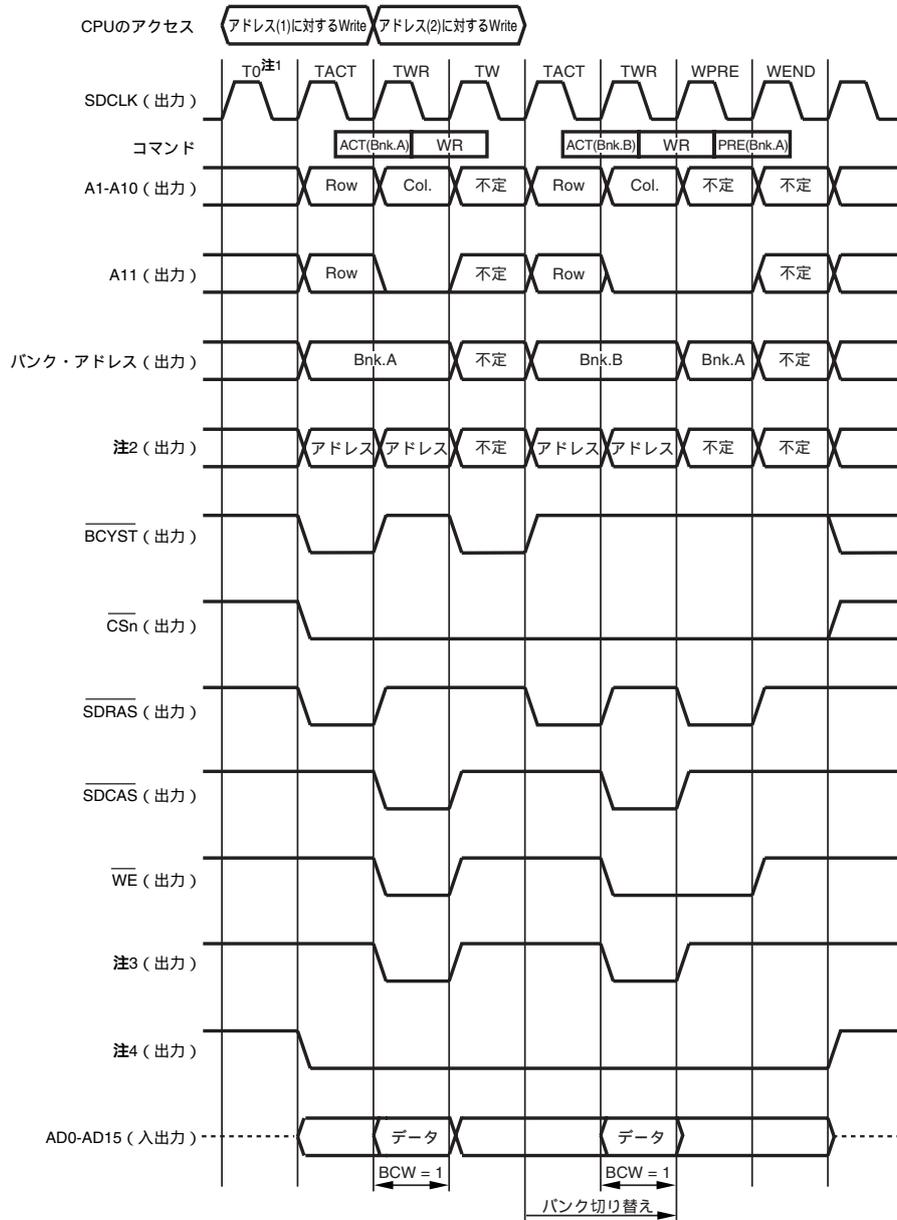


- 注1. バス・サイクル間に挿入されるステート (T0) です。
2. バンク・アドレス, A1-A10, A11以外のアドレス
3. \overline{xWR} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 0)
4. \overline{xBE} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 1)

- 備考1. 破線はハイ・インピーダンスを示します。
2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
3. Bnk. : バンク・アドレス
Col. : カラム・アドレス
Row : ロウ・アドレス

図6 - 11 SDRAMシングル・ライト・サイクル(4/6)

(c) オフページ・アクセス時(BCW = 1, バンク・チェンジ, 16ビット・バス幅ハーフワード・アクセス時) (1/2)



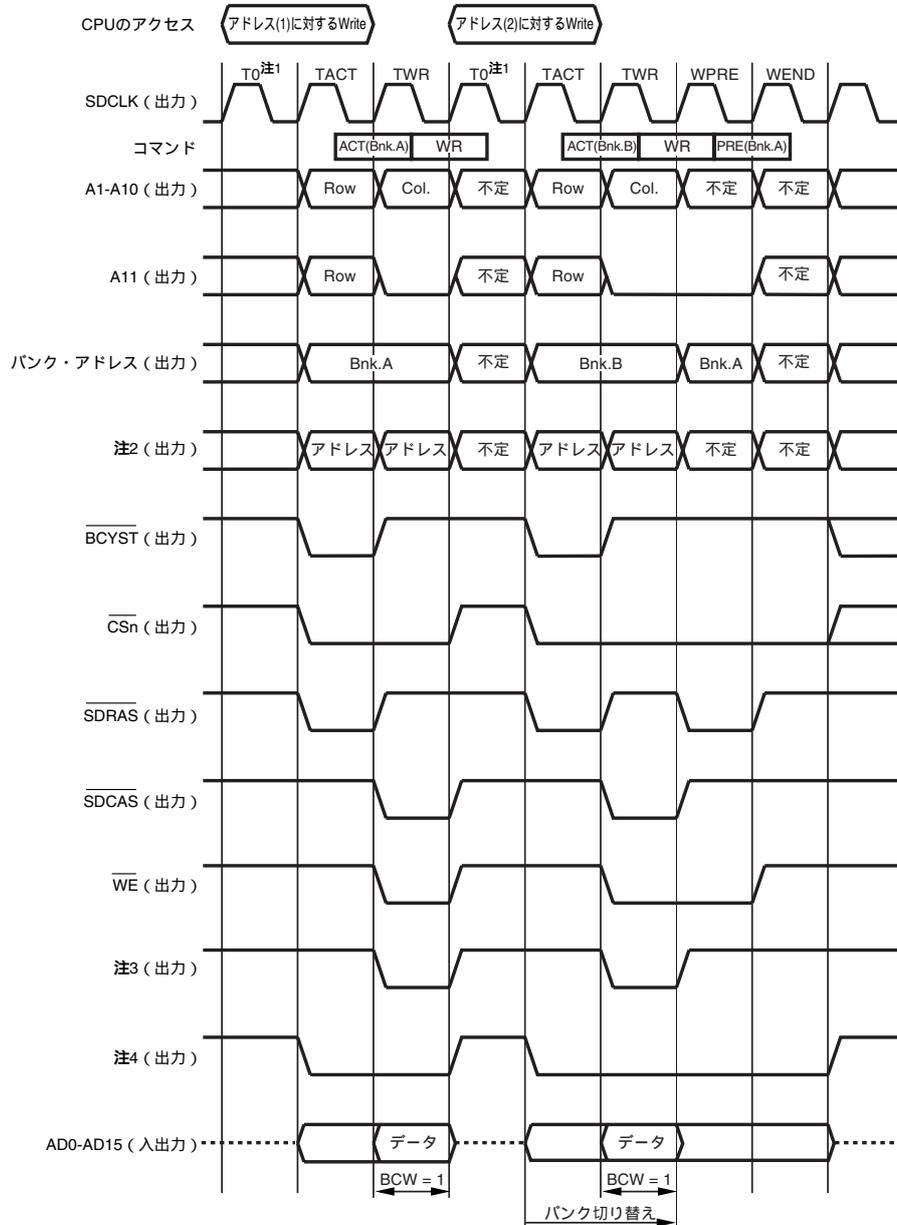
- 注1. バス・サイクル間に挿入されるステート (T0) です。
- バンク・アドレス, A1-A10, A11以外のアドレス
 - \overline{xWR} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 0)
 - \overline{xBE} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

- $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
- Bnk. : バンク・アドレス
- Col. : カラム・アドレス
- Row : ロウ・アドレス

図6 - 11 SDRAMシングル・ライト・サイクル (5/6)

(c) オフページ・アクセス時 (BCW = 1, バンク・チェンジ, 16ビット・バス幅ハーフワード・アクセス時) (2/2)



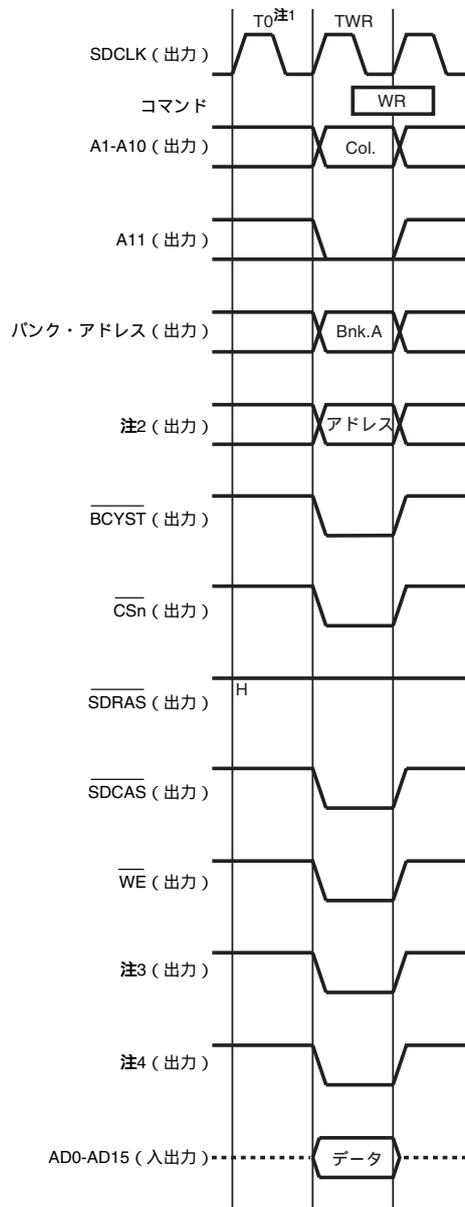
- 注1. バス・サイクル間に挿入されるステート (T0) です。
2. バンク・アドレス, A1-A10, A11以外のアドレス
 3. \overline{xWR} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 0)
 4. \overline{xBE} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
3. Bnk. : バンク・アドレス
Col. : カラム・アドレス
Row : ロウ・アドレス

図6 - 11 SDRAMシングル・ライト・サイクル (6/6)

(d) オンページ・アクセス時 (16ビット・バス幅ハーフワード・アクセス時)



- 注1. バス・サイクル間に挿入されるステート (T0) です。
2. バンク・アドレス, A1-A10, A11以外のアドレス
3. \overline{xWR} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 0)
4. \overline{xBE} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 1)

- 備考1. 破線はハイ・インピーダンスを示します。
2. $n = 1, 3, 4, 6$, $m = 0, 1$, $x = U, L$
3. Bnk. : バンク・アドレス
Col. : カラム・アドレス

(3) SDRAMアクセス・タイミングの制御

SDRAMアクセス・タイミングは、SCRnレジスタで制御することができます (n = 1, 3, 4, 6)。

詳細は6. 3. 4 SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6)を参照してください。

注意 SDRAMアクセス時は、 $\overline{\text{WAIT}}$ 端子によるウェイト制御はできません。

(a) バンク・アクティブ・コマンドからリード/ライト・コマンドのウェイト数

SCRn.BCWn1, BCWn0ビットで、バンク・アクティブ・コマンドを発行してから、リード/ライト・コマンドを発行するまでのウェイト・ステート数を設定できます。

BCWn1, BCWn0ビット = 01 : 1ウェイト

BCWn1, BCWn0ビット = 10 : 2ウェイト

BCWn1, BCWn0ビット = 11 : 3ウェイト

(b) プリチャージ・コマンドからバンク・アクティブ・コマンドのウェイト数

SCRn.BCWn1, BCWn0ビットで、プリチャージ・コマンドを発行してから、バンク・アクティブ・コマンドを発行するまでのウェイト・ステート数を設定できます。

BCWn1, BCWn0ビット = 01 : 1ウェイト

BCWn1, BCWn0ビット = 10 : 2ウェイト

BCWn1, BCWn0ビット = 11 : 3ウェイト

(c) リード時のCASレーテンシの設定

SCRn.LTMn2-LTMn0ビットで、リード時のCASレーテンシを設定できます。

LTMn2-LTMn0ビット = 001 : レーテンシ = 1

LTMn2-LTMn0ビット = 010 : レーテンシ = 2

LTMn2-LTMn0ビット = 011 : レーテンシ = 3

(d) リフレッシュ・コマンドから次のコマンドのウェイト数

SCRn.BCWn1, BCWn0ビットで、リフレッシュ・コマンドを発行してから、次のコマンドを発行するまでのウェイト・ステート数を設定できます。リフレッシュ・コマンドから次のコマンドを発行するまでのウェイト・ステート数は、BCWn1, BCWn0ビットの設定値の4倍になります。

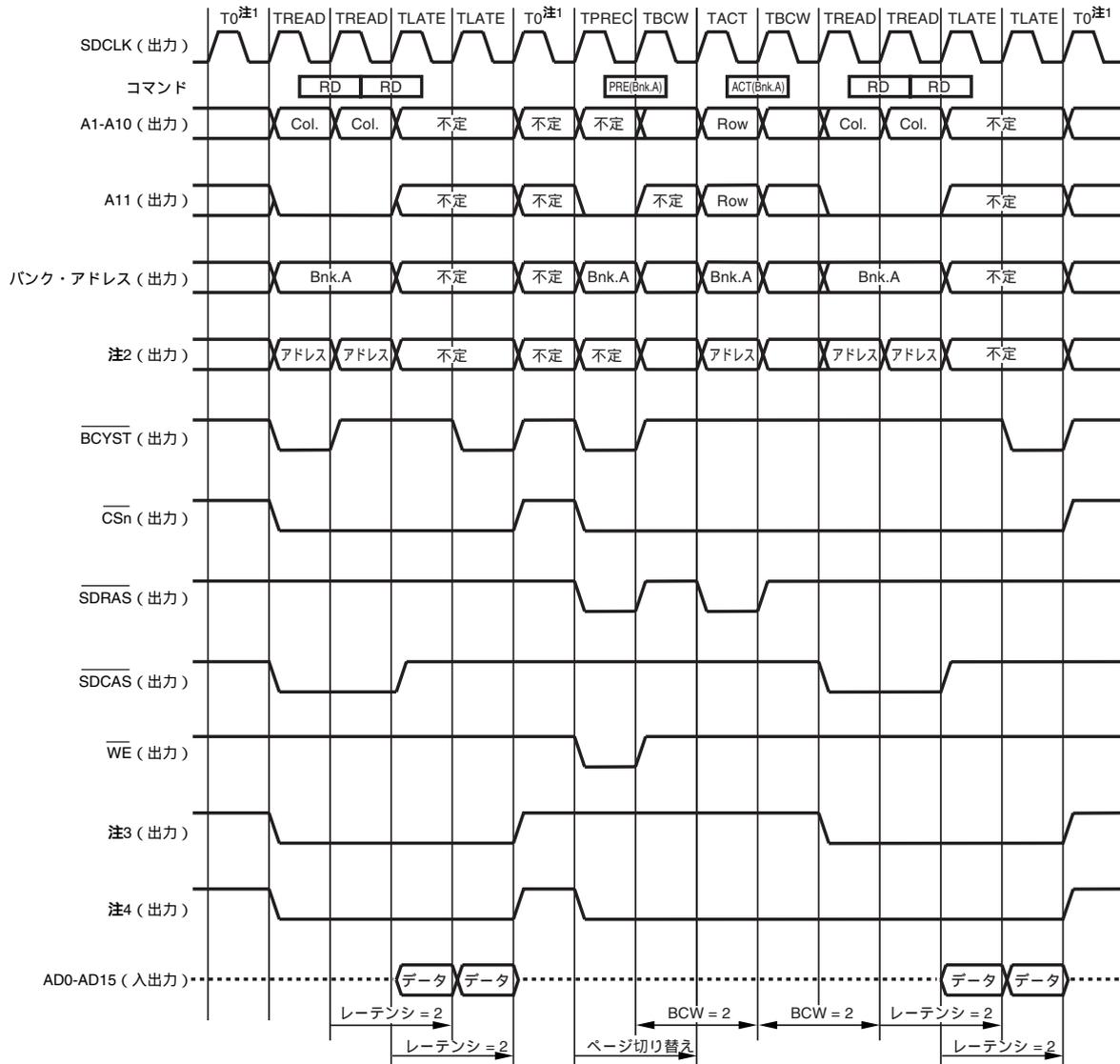
BCWn1, BCWn0ビット = 01 : 4ウェイト

BCWn1, BCWn0ビット = 10 : 8ウェイト

BCWn1, BCWn0ビット = 11 : 12ウェイト

図6-12 SDRAMアクセス・タイミング (1/6)

(a) リード時 (オンページ ページ・チェンジ, 16ビット・バス幅ワード・アクセス時,
BCW = 2, レーテンシ = 2)

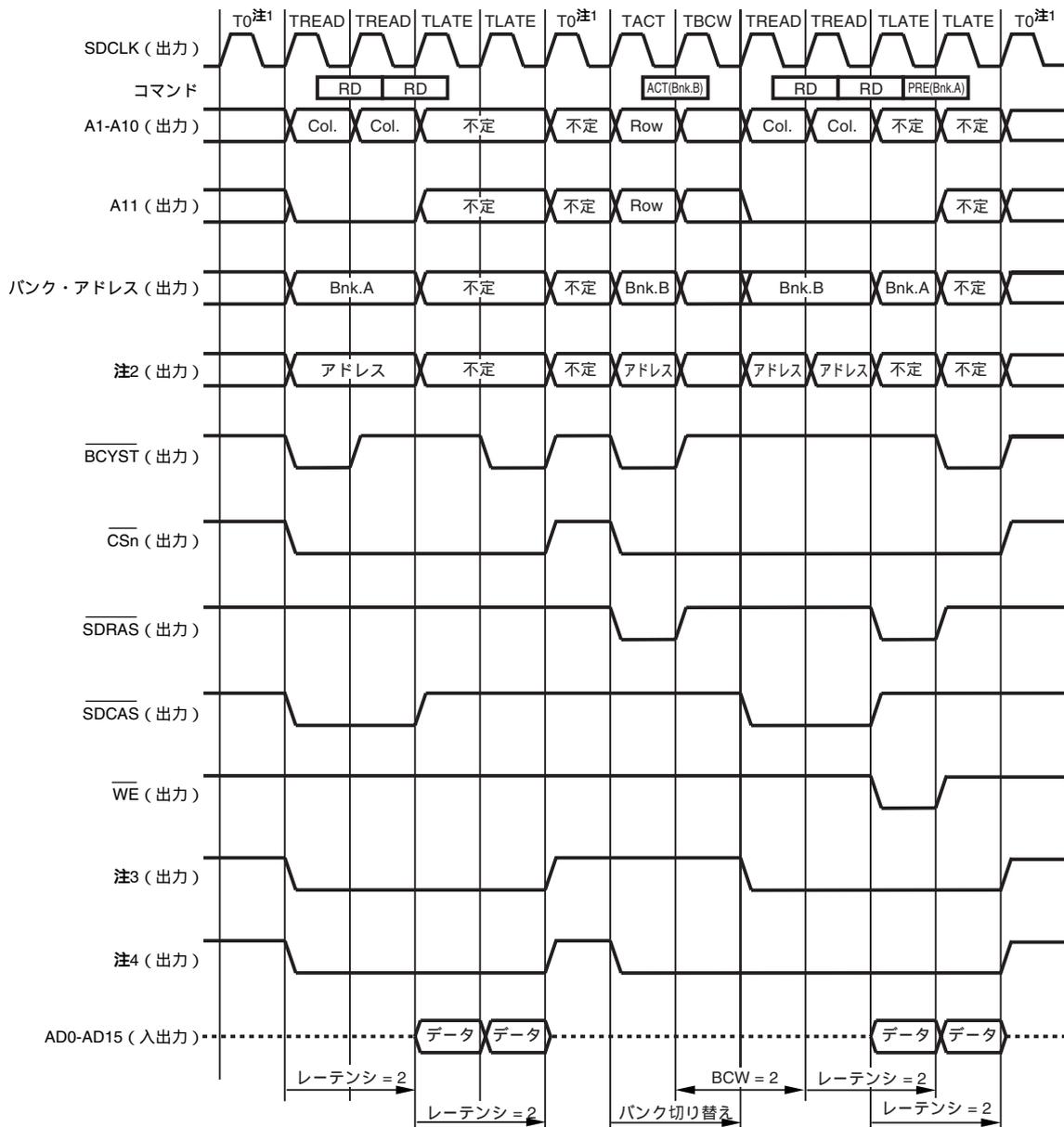


- 注1. バス・サイクル間に挿入されるステート (T0) です。
 2. バンク・アドレス, A1-A10, A11以外のアドレス
 3. \overline{xWR} 出力モード/ $xDQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 0)
 4. \overline{xBE} 出力モード/ $xDQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 1)

- 備考1. 破線はハイ・インピーダンスを示します。
 2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
 3. Bnk. : バンク・アドレス
 Col. : カラム・アドレス
 Row : ロウ・アドレス

図6-12 SDRAMアクセス・タイミング (2/6)

(b) リード時 (オンページ バンク・チェンジ, 16ビット・バス幅ワード・アクセス時,
BCW = 2, レーテンシ = 2)



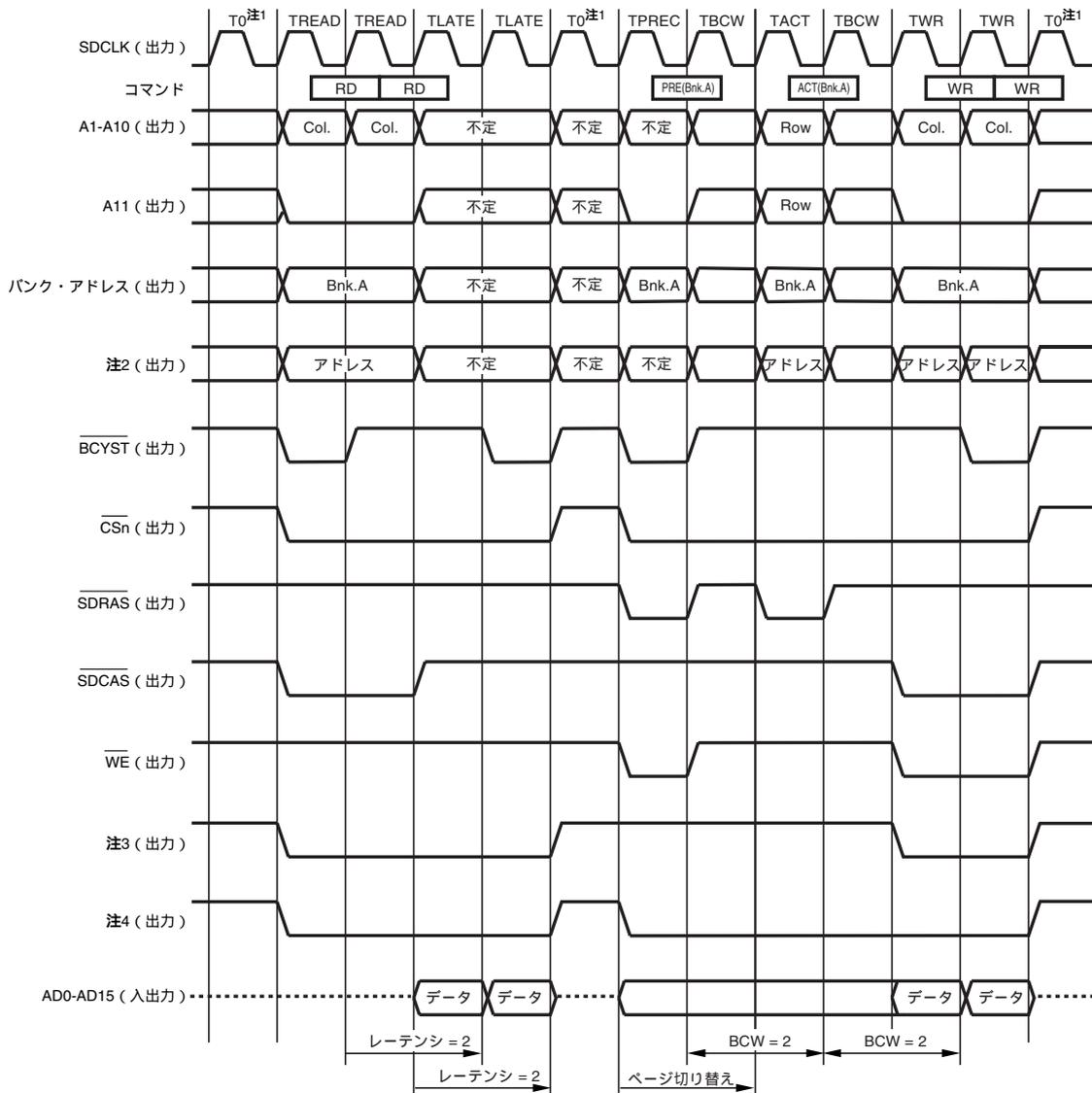
- 注1. バス・サイクル間に挿入されるステート (T0) です。
 2. バンク・アドレス, A1-A10, A11以外のアドレス
 3. \overline{xWR} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 0)
 4. \overline{xBE} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. n = 1, 3, 4, 6, m = 0, 1, x = U, L
 3. Bnk. : バンク・アドレス
 Col. : カラム・アドレス
 Row : ロウ・アドレス

図6-12 SDRAMアクセス・タイミング (3/6)

(C) リード ライト時 (オンページ ページ・チェンジ, 16ビット・バス幅ワード・アクセス時,
BCW = 2, レーテンシ = 2)



注1. バス・サイクル間に挿入される状態 (T₀) です。

2. バンク・アドレス, A1-A10, A11以外のアドレス

3. \overline{xWR} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 0)

4. \overline{xBE} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. n = 1, 3, 4, 6, m = 0, 1, x = U, L

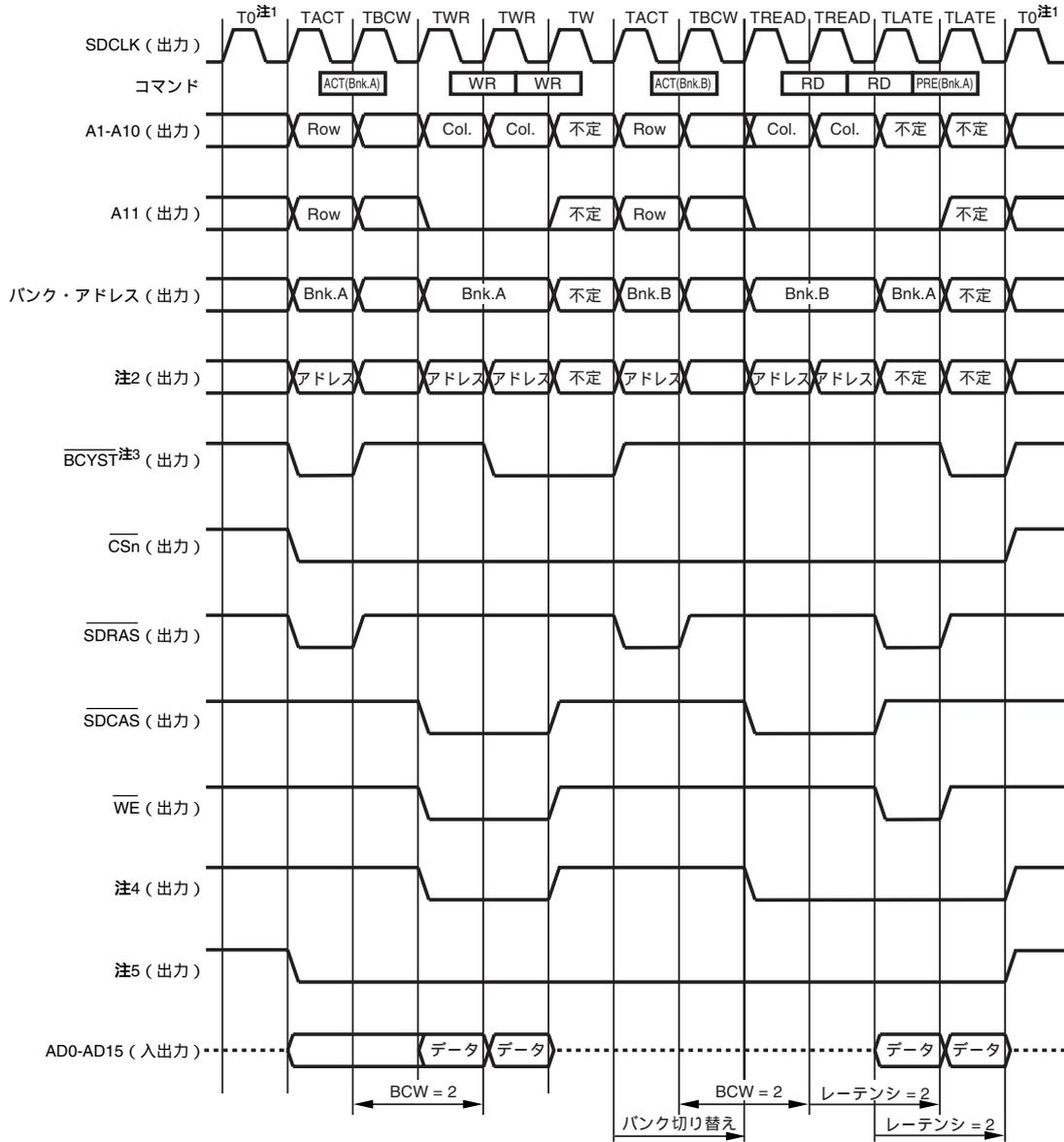
3. Bnk. : バンク・アドレス

Col. : カラム・アドレス

Row : ロウ・アドレス

図6 - 12 SDRAMアクセス・タイミング (4/6)

(d) ライト リード時 (バンク・チェンジ, 16ビット・バス幅ワード・アクセス時,
BCW = 2, レーテンシ = 2)



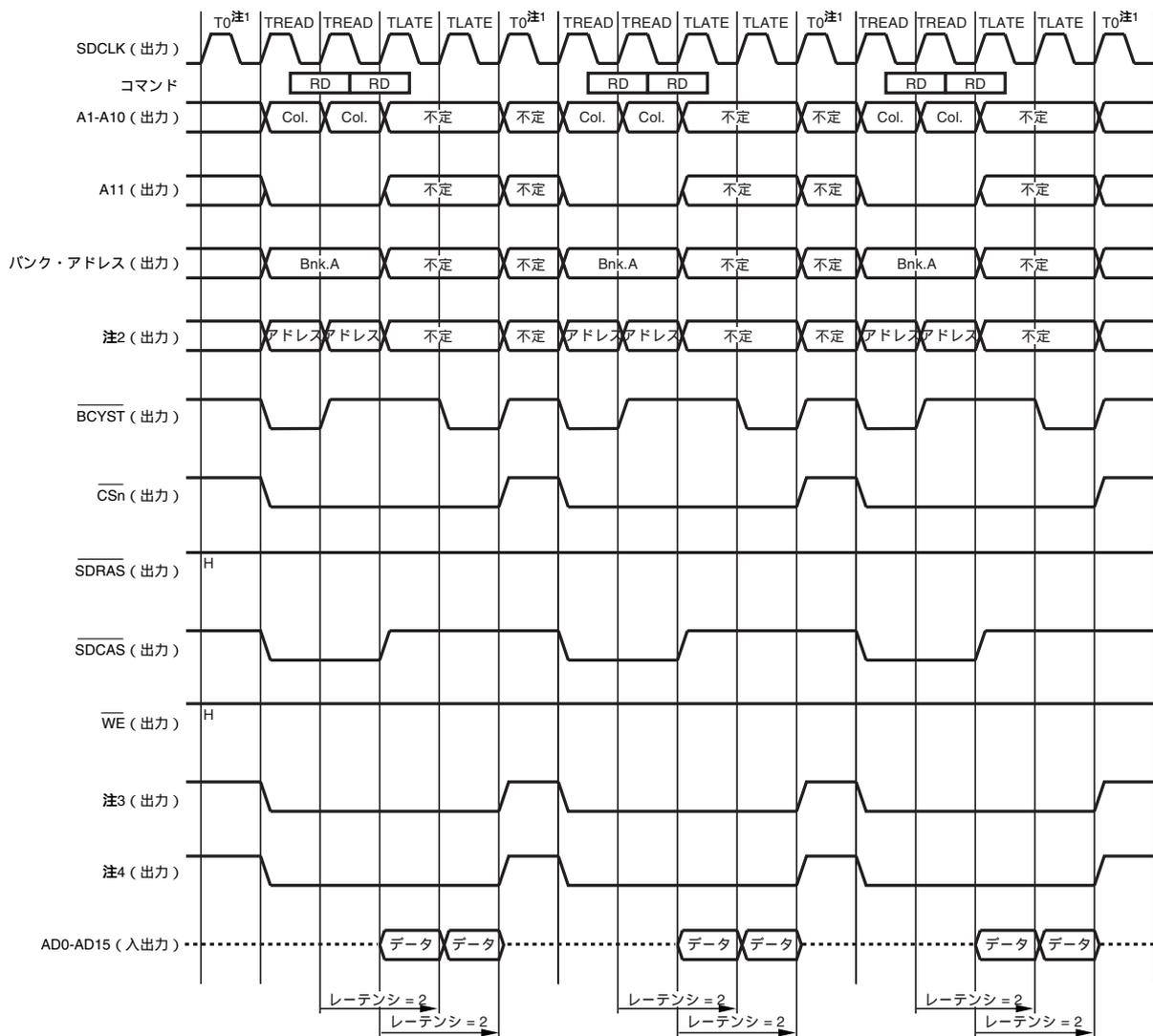
- 注1. バス・サイクル間に挿入されるステート (T0) です。
 2. バンク・アドレス, A1-A10, A11以外のアドレス
 3. $\overline{\text{BCYST}}$ が連続してロウ・レベル出力する場合には, グリッチが発生することがあります。
 4. $\overline{\text{xWR}}$ 出力モード/ $\overline{\text{xDQM}}$ 出力モード設定時 (PFCCT.PFCCTmビット = 0)
 5. $\overline{\text{xBE}}$ 出力モード/ $\overline{\text{xDQM}}$ 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
 3. Bnk. : バンク・アドレス
 Col. : カラム・アドレス
 Row : ロウ・アドレス

図6-12 SDRAMアクセス・タイミング (5/6)

(e) リード時 (オンページ連続アクセス, 16ビット・バス幅ワード・アクセス時, レーテンシ = 2)



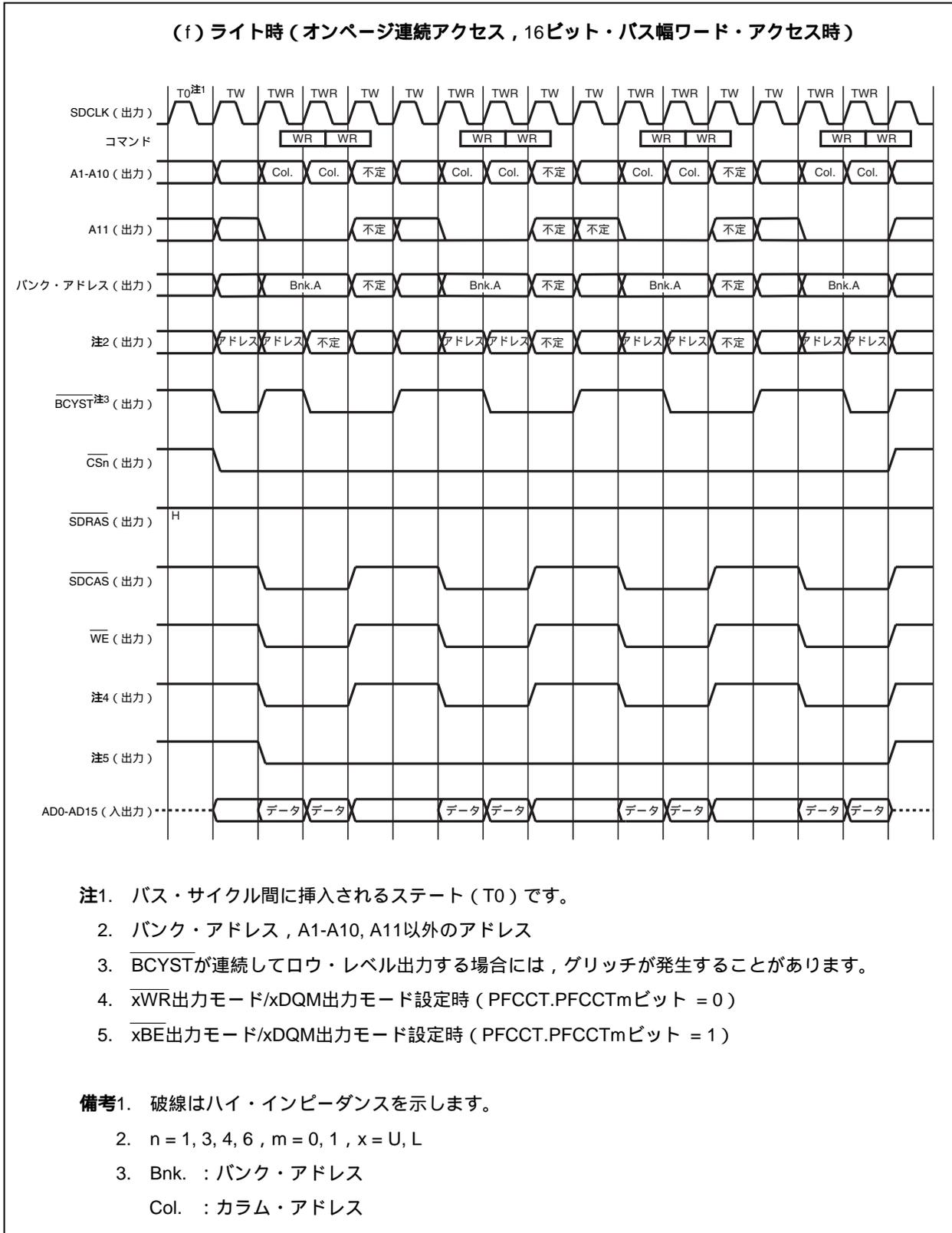
注1. バス・サイクル間に挿入されるステート (T0) です。

2. バンク・アドレス, A1-A10, A11以外のアドレス
3. \overline{xWR} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 0)
4. \overline{xBE} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$
3. Bnk. : バンク・アドレス
- Col. : カラム・アドレス

図6 - 12 SDRAMアクセス・タイミング (6/6)



6.3.6 リフレッシュ制御機能

V850E/MA3は、リフレッシュ・サイクルを生成できます。リフレッシュ・サイクルの設定は、RFS1, RFS3, RFS4, RFS6レジスタで行います。RFSnレジスタはCSnに対応しています (n = 1, 3, 4, 6)。たとえば、CS1にSDRAMを接続する場合はRFS1レジスタを設定してください。

ほかのバス・マスタが外部バスを占有している場合は、DRAMコントローラは、外部バスを占有できません。その場合、DRAMコントローラは、 $\overline{\text{REFRQ}}$ 信号をアクティブ(ロウ・レベル)にして、バス・マスタにリフレッシュ要求を行います。

リフレッシュ期間中、アドレス・バスは、リフレッシュ・サイクルの直前の状態を保持します。

(1) SDRAMリフレッシュ・コントロール・レジスタ1, 3, 4, 6 (RFS1, RFS3, RFS4, RFS6)

リフレッシュの許可/禁止、リフレッシュ間隔を設定します。リフレッシュ間隔は次の計算式により求められます。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{リフレッシュ・カウント} \cdot \text{クロック} (T_{\text{RCY}}) \times \text{インターバル・ファクタ}$$

リフレッシュ・カウント・クロック、インターバル・ファクタは、それぞれRFSn.RCCn1, RCCn0ビット、RIN5n-RIN0nビットにより求めます。

なお、nはSCR1, SCR3, SCR4, SCR6レジスタのレジスタ番号(1, 3, 4, 6)に対応します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意1. RFSnレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。ただし、CKCレジスタ、またはPCCレジスタの設定値(内部システム・クロック(f_{CLK}))を変更することで、SDRAMのリフレッシュ間隔も変更する必要がある場合のみRFSnレジスタの設定値を変更できます。RFSnレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

2. RFSnレジスタの設定を変更する場合は、次の手順で行ってください (n = 1, 3, 4, 6)。

BCTm.MEnビットをクリア(0)する (m = 0, 1, n = 1, 3, 4, 6)。

RFSn.RENnビットをクリア(0)する。

クロック周期を変更する。

MEnビットをセット(1)する。

RFSnレジスタに新たなリフレッシュ間隔を設定する。RENnビットには0を設定する。

SCRnレジスタに、現在SCRnレジスタに設定されている値と同じ値を書き込む。

SCRn.WCFnビットがセット(1)状態であることを確認後に、RENnビットをセット(1)する。RENnビット以外のビットには で設定した値をそのまま書き込む。

SDRAMアクセス可能。

なお、クロック周期の変更については、7.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)、7.3(2)クロック・コントロール・レジスタ(CKC)を参照してください。

3. リフレッシュ間隔を切り替える場合、切り替えの間でもリフレッシュが十分間に合うような値を考慮して設定してください。詳細については、6.3.6(1)(a)リフレッシュ間隔変更時の注意事項を参照してください。

リセット時：0000H R/W アドレス：RFS1 FFFFF4A6H, RFS3 FFFFF4AEH,
RFS4 FFFFF4B2H, RFS6 FFFFF4BAH

	15	14	13	12	11	10	9	8
RFSn	RENn	0	0	0	0	0	RCCn1	RCCn0
(n = 1, 3, 4, 6)	7	6	5	4	3	2	1	0
	0	0	RINn5	RINn4	RINn3	RINn2	RINn1	RINn0

RENn	CBR (オート) リフレッシュの許可指定
0	リフレッシュ禁止
1	リフレッシュ許可

RCCn1	RCCn0	リフレッシュ・カウント・クロック (TRCY) の指定
0	0	32/BUSCLK
0	1	128/BUSCLK
1	0	256/BUSCLK
1	1	設定禁止

RINn5	RINn4	RINn3	RINn2	RINn1	RINn0	インターバル・ファクタ
0	0	0	0	0	0	1
0	0	0	0	0	1	2
⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	0	63
1	1	1	1	1	1	64

RINn5-RINn0ビットでリフレッシュ・タイミング生成用インターバル・タイムのインターバル・ファクタを設定します。

表6 - 1 インターバル・ファクタの設定例

リフレッシュ間隔の規定値 (μs)	リフレッシュ・カウント・クロック (TRCY)	インターバル・ファクタの値 ^{注1, 2}		
		BUSCLK = 30 MHz	BUSCLK = 40 MHz	BUSCLK = 50 MHz
15.6	32/BUSCLK	14 (14.9)	19 (15.2)	24 (15.4)
	128/BUSCLK	3 (12.8)	4 (12.8)	6 (15.4)
	256/BUSCLK	1 (8.5)	2 (12.8)	3 (15.4)
7.8	32/BUSCLK	7 (7.5)	9 (7.2)	12 (7.7)
	128/BUSCLK	1 (4.3)	2 (6.4)	3 (7.7)
	256/BUSCLK	-	1 (6.4)	1 (5.1)

注1. インターバル・ファクタは、RFSn.RINn0-RINn5ビットで設定します (n = 1, 3, 4, 6)。

2. かっこ内はリフレッシュ間隔の計算値 (μs) です。

$$\text{リフレッシュ間隔} (\mu s) = \text{リフレッシュ・カウント・クロック} (TRCY) \times \text{インターバル・ファクタ}$$

V850E/MA3は、CBR (オート) リフレッシュ・サイクル、セルフ・リフレッシュ・サイクルを自動的に発生することができます。

(a) リフレッシュ間隔変更時の注意事項

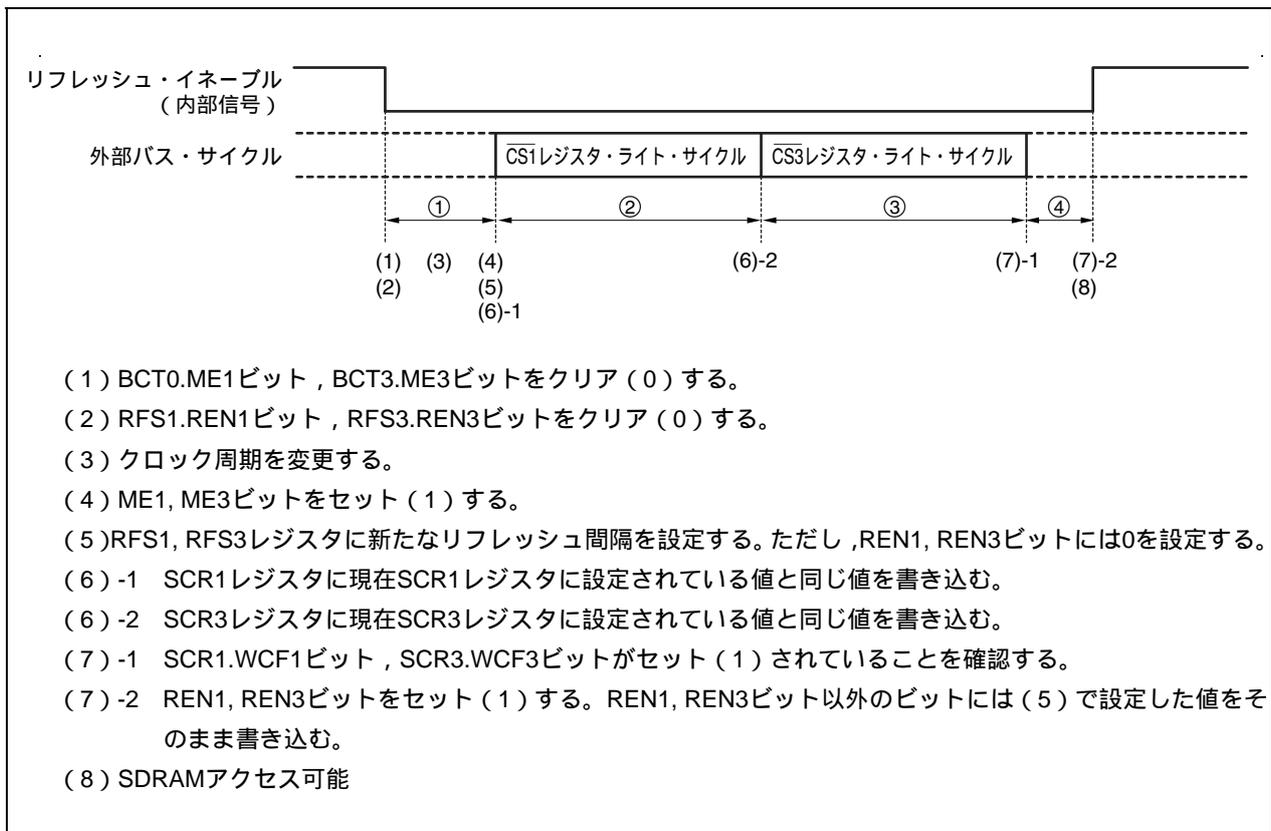
図6 - 13は、 $\overline{CS1}$ と $\overline{CS3}$ にSDRAMが接続されている場合の、リフレッシュ間隔変更時の内部状態と外部バス状態を示しています。この場合、 $\overline{CS1}$ のSDRAMは、 t_{11} 、 t_{12} の期間、 $\overline{CS3}$ のSDRAMは、 t_{31} 、 t_{32} の期間、リフレッシュが行われません。

t_{11} 、 t_{12} の時間は、内部システム・バスの使用状況や外部からのバス・ホールド要求などの要因により、増減することがあります。また、 t_{31} 、 t_{32} の時間は、RFSnレジスタの設定値により増減します。

したがって、リフレッシュ間隔を変更する場合には、図6 - 13の① - ④のリフレッシュが行われない時間を考慮した値を設定する必要があります。また、1つの \overline{CS} 領域にだけSDRAMを接続する場合でも、図6 - 13の①、②の期間を考慮して、リフレッシュ間隔値を変更する必要があります。

- 注意1. レジスタ・ライト・サイクルでは、RENnビットの設定値に関わらず、リフレッシュ・コマンドが8回発行されます (n = 1, 3, 4, 6)。
- 2. RENnビットに0が設定されている期間は、 \overline{REFRQ} 信号は動作しないので、外部バス・マスタが \overline{REFRQ} 信号を参照している場合は注意してください。
- 3. BCTm.MEnビットに0が設定されている期間は、IDLEモード、ソフトウェアSTOPモードに移行した場合でも、セルフ・リフレッシュ状態へは移行しません (m = 0のときn = 1, 3, m = 1のときn = 4, 6)。

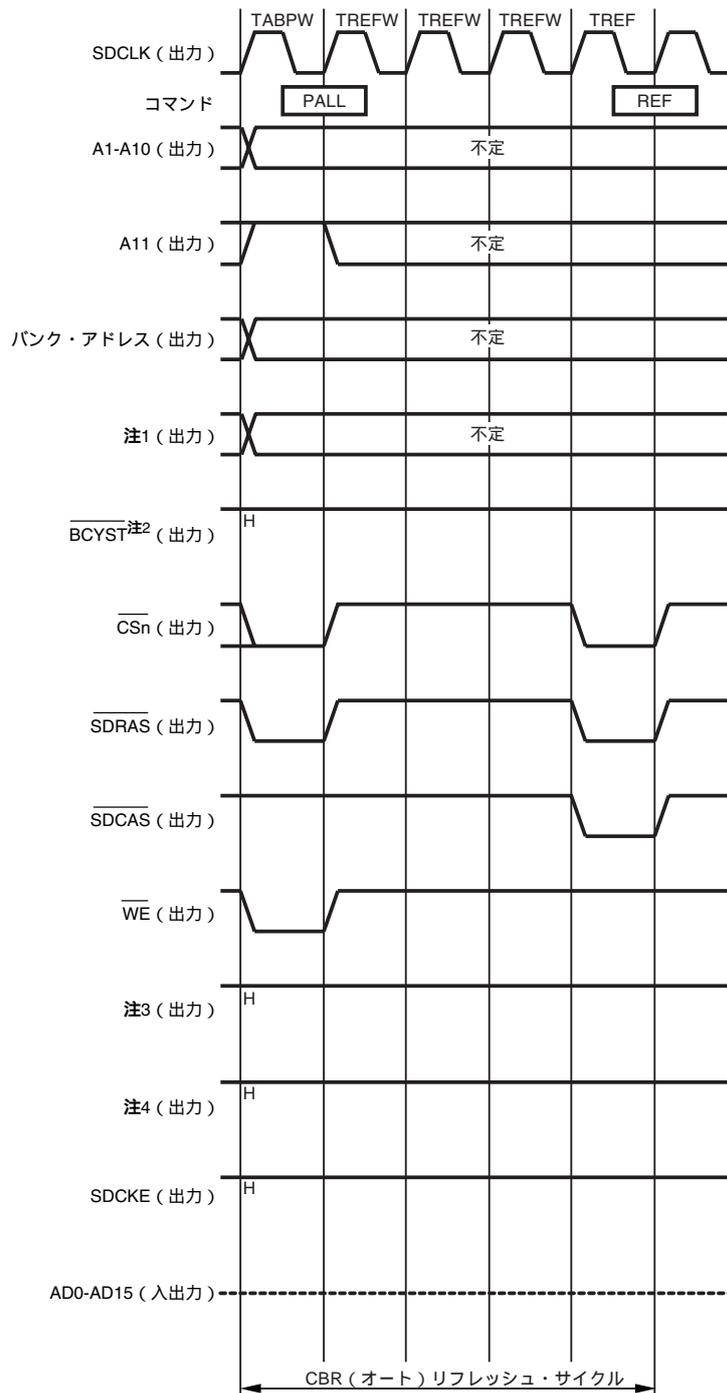
図6 - 13 リフレッシュ間隔変更時の内部状態と外部バス状態 ($\overline{CS1}$ と $\overline{CS3}$ にSDRAMが接続された場合)



(2) CBR (オート) リフレッシュ・サイクル

CBR (オート) リフレッシュ・サイクルは、全バンクのプリチャージ・コマンド (PALL) を発行したあと、4クロック後にオート・リフレッシュ・コマンド (REF) が発行されます。

図6 - 14 CBR (オート) リフレッシュ・サイクル (16ビット・バス幅)



注1. バンク・アドレス, A1-A10, A11以外のアドレス

2. CBR (オート) リフレッシュ・サイクルで \overline{BCYST} をハイ・レベル出力しているときに, グリッチが発生することがあります。
3. \overline{xWR} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 0)
4. \overline{xBE} 出力モード/ $\overline{x}DQM$ 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$

6.3.7 セルフ・リフレッシュ制御機能

IDLEモード，ソフトウェアSTOPモードに移行した場合，DRAMコントローラは，セルフ・リフレッシュ・サイクルを生成します。

注意 セルフ・リフレッシュに移行した場合でも内蔵ROM，内蔵RAMにアクセスできます。ただし，内蔵周辺I/Oレジスタ，または外部デバイスへのアクセスはセルフ・リフレッシュが解除されるまで保留されます。

セルフ・リフレッシュ・サイクルの解除は，次の方法で行います。

(1) NMI入力による解除

(a) IDLEモードでのセルフ・リフレッシュ・サイクルの場合

ただちに $\overline{\text{SDRAS}}$ ， $\overline{\text{SDCAS}}$ 信号をインアクティブにし，セルフ・リフレッシュ・サイクルを解除します。

(b) ソフトウェアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから $\overline{\text{SDRAS}}$ ， $\overline{\text{SDCAS}}$ 信号をインアクティブにし，セルフ・リフレッシュ・サイクルを解除します。

(2) INTp_n入力による解除 (n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137)

(a) IDLEモードでのセルフ・リフレッシュ・サイクルの場合

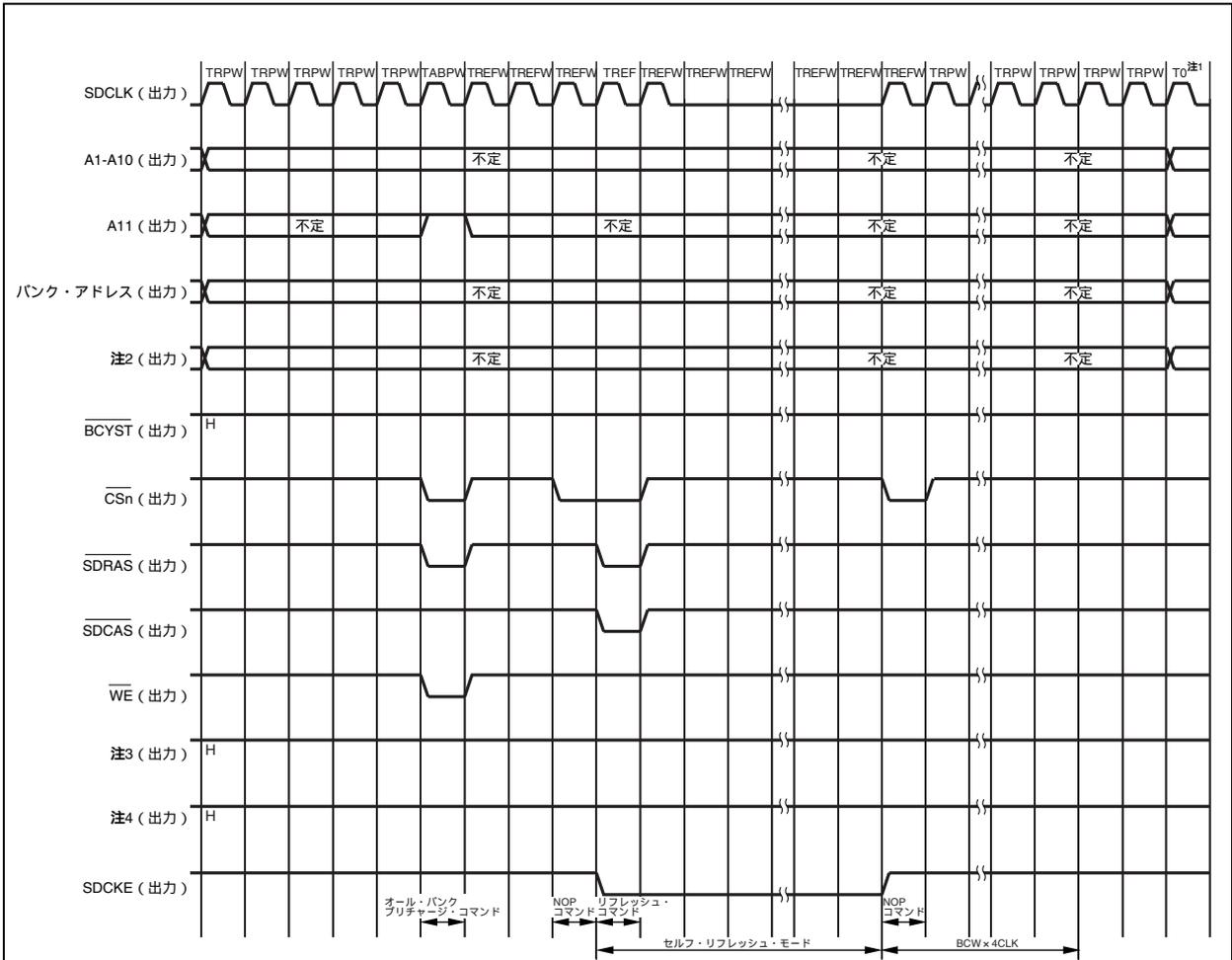
ただちに $\overline{\text{SDRAS}}$ ， $\overline{\text{SDCAS}}$ 信号をインアクティブにし，セルフ・リフレッシュ・サイクルを解除します。

(b) ソフトウェアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから $\overline{\text{SDRAS}}$ ， $\overline{\text{SDCAS}}$ 信号をインアクティブにし，セルフ・リフレッシュ・サイクルを解除します。

(3) $\overline{\text{RESET}}$ 入力による解除

図6-15 セルフ・リフレッシュ・タイミング (16ビット・バス幅)



注1. バス・サイクル間に挿入されるステート (T0) です。

2. バンク・アドレス, A1-A10, A11以外のアドレス
3. \overline{xWR} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 0)
4. \overline{xBE} 出力モード/ \overline{xDQM} 出力モード設定時 (PFCCT.PFCCTmビット = 1)

備考1. $BCW \times 4CLK = SCRn.BCWn1, BCWn0$ ビットで設定したウエイト・ステート数 $\times 4CLK$ 分のウエイトが挿入されます。

2. $n = 1, 3, 4, 6, m = 0, 1, x = U, L$

6.3.8 SDRAM初期化シーケンス

電源投入時にはSDRAMを初期化してください。SDRAMの初期化は次の手順で行ってください。

(1) SDRAMのレジスタを設定してください (SDRAMコンフィギュレーション・レジスタn (SCRn) , SDRAMリフレッシュ・コントロール・レジスタn (RFSn) 以外)。

- ・バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)
- ・バス・サイクル・コントロール・レジスタ (BCC)

(2) SDRAMリフレッシュ・コントロール・レジスタ1, 3, 4, 6 (RFS1, RFS3, RFS4, RFS6) のRENnビット以外を設定してください。RENnビットには0を設定してください。

(3) SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) を設定してください。SCRnレジスタに書き込みを行うと、SDRAMに対して次のコマンドが順に発行されます。

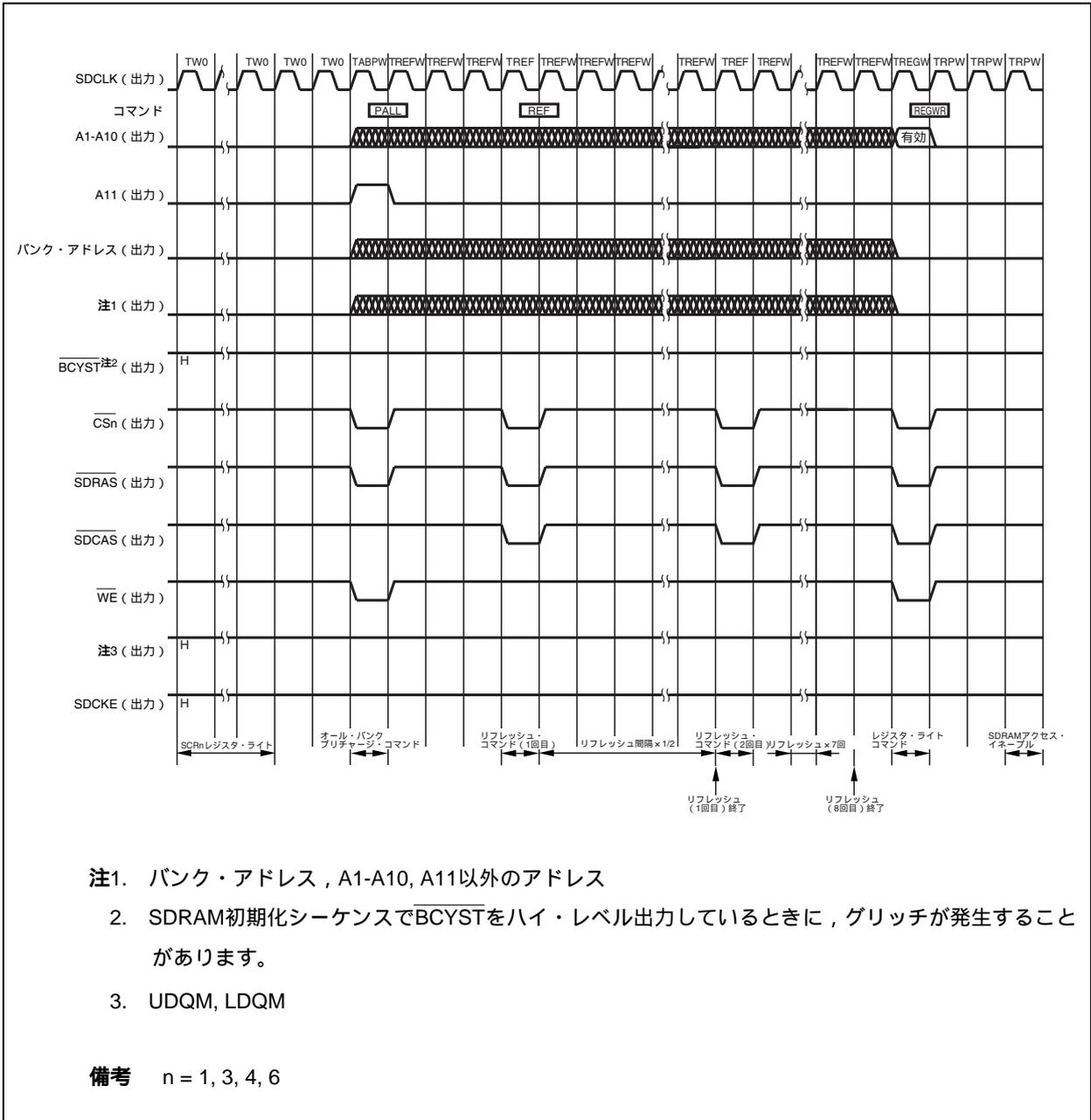
- ・全バンク・プリチャージ・コマンド
- ・リフレッシュ・コマンド×8回
- ・モード・レジスタを設定するコマンド

(4) すべてのSDRAM初期化完了をSCRn.WCFnビットで確認したあと、RFSn.RENnビットに1を設定してください。RENnビット以外のビットには、(2)で設定した値をそのまま設定してください。

注意 SDRAMの初期化が完了するまで、UDQM, LDQM端子の出力レベルをハイ・レベルにする必要がある場合には、SDRAMの初期化が完了するまでは、PFCCT.PFCCT1, PFCCT0ビットの設定値の変更および外部デバイスへのライト動作を行わないでください。

次にSDRAMレジスタ・ライト動作のタイミングの例を示します。

図6-16 SDRAMレジスタ・ライト動作タイミング (16ビット・バス幅)



第7章 クロック・ジェネレータ

7.1 概 要

クロック・ジェネレータの概要を次に示します。

発振回路

- ・ $f_x = 4 \sim 8$ MHz (PLLモード時)
- ・ $f_x = 5 \sim 25$ MHz (クロック・スルー・モード時)

PLL (Phase Locked Loop) による逡倍機能 (1.25/2.5/5/10逡倍から選択可能)

- ・ クロック・スルー・モード / PLLモード選択可能

内部システム・クロックの生成

- ・ 4段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$)

周辺クロックの生成

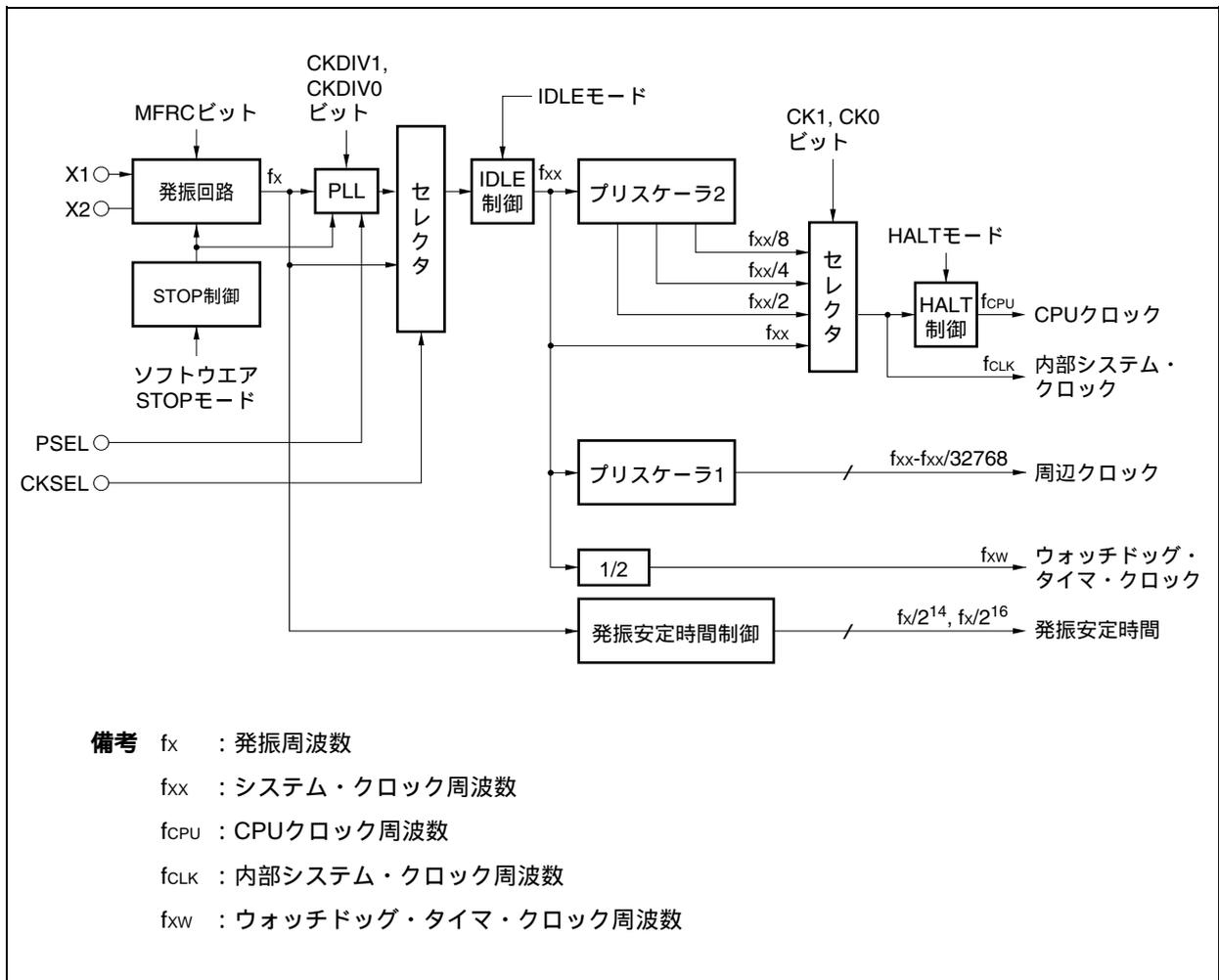
発振安定時間の選択

備考 f_x : 発振周波数

f_{xx} : システム・クロック

7.2 構 成

図7-1 クロック発生回路



(1) 発振回路

次の周波数 (f_x) を発振します。

- ・ $f_x = 4 \sim 8$ MHz (PLLモード時)
- ・ $f_x = 5 \sim 25$ MHz (クロック・スルー・モード時)

(2) STOP制御

発振回路の発振を停止する制御信号を生成します。

ソフトウェアSTOPモード時、発振回路の発振を停止します。

(3) IDLE制御

発振回路以外へのクロック供給を停止する制御信号を生成します。

IDLEモード時、発振回路以外へのクロック供給を停止します。

(4) HALT制御

CPUクロック (f_{CPU}) だけを停止させます。

(5) PLL

発振回路で生成するクロック (f_x) を1.25/2.5/5/10通倍します。

CKSEL端子入力により、 f_x をそのまま出力するクロック・スルー・モードと、通倍クロックを出力するPLLモードを選択します。

また、周波数帯によってPSEL端子を切り替えてください。

(6) プリスケーラ1

内蔵周辺機能に供給するクロック ($f_{xx} - f_{xx}/32768$) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP2, TMQ0, TMD0-TMD3, TMENC10, UARTA0-UARTA3, CSIB0-CSIB2, I²C, ADC, DAC

(7) プリスケーラ2

システム・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU}) と内部システム・クロック (f_{CLK}) を生成するセクタに、プリスケーラ2で生成したクロック ($f_{xx} - f_{xx}/8$) を供給します。

なお、 f_{CLK} は、INTC、ROMコレクション、ROM、RAMブロックに供給するクロックです。

(8) 発振安定時間制御

割り込み要求信号によるソフトウェアSTOPモード解除後の発振が安定するまでの時間をカウントします。

$2^{14}/f_x$ と $2^{16}/f_x$ から選択できます。

7.3 制御レジスタ

クロック・ジェネレータを制御するレジスタには、次の5種類があります。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・クロック・コントロール・レジスタ (CKC)
- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・パワー・セーブ・モード・レジスタ (PSMR)
- ・発振安定時間選択レジスタ (OSTS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.9 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF828H

	7	6	⑤	4	3	2	1	0
PCC	0	0	MFRC	0	0	0	CK1	CK0

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する (X1, X2端子に発振子を接続する)
1	使用しない (X1端子に外部クロックを接続する)

CK1	CK0	クロックの選択 (f _{CLK} , f _{CPU})
0	0	f _{xx}
0	1	f _{xx} /2
1	0	f _{xx} /4
1	1	f _{xx} /8

注意1. ビット2-4, 6, 7には、必ず0を設定してください。

2. CK1, CK0ビットを設定したあと、10 CPUクロック (f_{CPU}) 以内に切り替わります。

(2) クロック・コントロール・レジスタ (CKC)

CKCレジスタは、PLLモード時にシステム・クロック (f_{xx}) を制御する8ビットのレジスタです。プログラムの暴走などによって誤って容易に書き換えられないように、特定のシーケンスの組み合わせによってだけ書き込みができます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 クロック・スルー・モード時は、CKDIV1, CKDIV0ビットを変更しないでください。

リセット時：00H R/W アドレス：FFFFFF822H

	7	6	5	4	3	2	1	0
CKC	0	0	0	0	0	0	CKDIV1	CKDIV0

CKDIV1	CKDIV0	システム・クロック (f_{xx})
0	0	$1.25 \times f_x$
0	1	$2.5 \times f_x$
1	0	$5 \times f_x$
1	1	$10 \times f_x$

- 注意1.** CKDIV1, CKDIV0ビットを設定したあと、10システム・クロック (f_{xx}) 以内に切り替わります。
- 2.** ビット2-7には、必ず0を設定してください。

備考 f_x : 発振周波数

例 クロック・ジェネレータの設定

動作モード	CKSEL端子	CKCレジスタ		入力クロック (f_x)	システム・クロック (f_{xx})
		CKDIV1ビット	CKDIV0ビット		
クロック・スルー・モード	ハイ・レベル入力	x	x	25 MHz	25 MHz
PLLモード	ロウ・レベル入力	0	0	8 MHz	10 MHz
		0	1	8 MHz	20 MHz
		1	0	8 MHz	40 MHz
		1	1	8 MHz	80 MHz

備考 x : 任意

(3) パワー・セーブ・コントロール・レジスタ (PSC)

PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.9 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF1FEH

	7	6	⑤	④	3	2	①	0
PSC	0	0	NMIM	INTM	0	0	STB	0

NMIM	NMI端子からのノンマスクابل割り込み要求 (NMI) の制御 ^{注1}
0	NMI要求によるスタンバイ・モード解除許可
1	NMI要求によるスタンバイ・モード解除禁止

INTM	すべてのマスクابل割り込み要求 (INTxx ^{注2}) の制御 ^{注1}
0	INTxx要求によるスタンバイ・モード解除許可
1	INTxx要求によるスタンバイ・モード解除禁止

STB	動作モードの設定 ^{注3}
0	通常モード
1	スタンバイ・モード

注1. 設定はIDLEモード/ソフトウェアSTOPモード時のみ有効です。

2. 詳細は、表20 - 1 割り込み要因一覧を参照してください。

3. 設定手順については、21.7 IDLE/ソフトウェアSTOPモードへの移行、復帰手順を参照してください。

注意1. ビット0, 2, 3, 6, 7には、必ず0を設定してください。

2. IDLEモードおよびソフトウェアSTOPモードに設定する場合には、まずPSMR.PSMビットを設定してから、STBビット = 1にしてください。

(4) パワー・セーブ・モード・レジスタ (PSMR)

PSMRレジスタは、パワー・セーブ・モード時の動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM

PSM	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード
1	ソフトウェアSTOPモード

注意1. ビット1-7には、必ず0を設定してください。

2. PSMビットは、PSC.STBビット = 1のときのみ有効です。

(5) 発振安定時間選択レジスタ (OSTS)

OSTSレジスタは、割り込み要求信号によりソフトウェアSTOPモードを解除してから、発振が安定するまでの発振安定時間を選択するレジスタです。

8ビット単位でリード/ライト可能です。

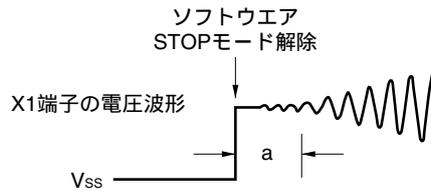
リセットにより01Hになります。

リセット時 : 01H R/W アドレス : FFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	0	0	OSTS0

OSTS0	発振安定時間の選択		
	fx		
		8 MHz	6 MHz
0	$2^{14}/f_x$	2.048 ms	2.731 ms
1	$2^{16}/f_x$	8.192 ms	10.923 ms

注意1. ウェイト時間は、ソフトウェアSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含まれません。



2. 発振子を使用する場合、OSTSレジスタは01Hのみを設定してください。
3. ビット1-7には、必ず0を設定してください。
4. $\overline{\text{RESET}}$ 端子入力によりソフトウェアSTOPモードを解除する場合は、発振安定時間は確保されないため、発振安定時間を $\overline{\text{RESET}}$ 端子入力のロウ・レベル幅で確保してください。

備考 fx : 発振周波数

7.4 動作

7.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表7-1 各クロックの動作状態

クロック・ソース		パワー・セーブ・モード	発振回路 (fx)	PLL	内部システム・ クロック (fCLK)	周辺クロック (fx-fxx/32768)	CPUクロック (fCPU)	ウォッチドッグ・ タイマ・クロック (fxw)
PLLモード	発振子による 発振	通常動作時						
		HALTモード					×	
		IDLEモード			×	×	×	×
		ソフトウェアSTOPモード	×	×	×	×	×	×
		発振安定期間			×	×	×	
		リセット期間			×	×	×	×
	外部クロック	通常動作時		×				
		HALTモード		×				×
		IDLEモード		×		×	×	×
		ソフトウェアSTOPモード	×	×	×	×	×	×
		発振安定期間	×		×	×	×	
		リセット期間	×	×	×	×	×	×
クロック・ス ルー・モード	外部クロック	通常動作時	×	×				
		HALTモード	×	×			×	
		IDLEモード	×	×	×	×	×	×
		ソフトウェアSTOPモード	×	×	×	×	×	×
		発振安定期間	×	×	×	×	×	
		リセット期間	×	×	注	注	注	注

注 リセット期間中、クロックは供給されるが、CPUおよび全周辺機能の動作は停止します。

備考 : 動作

× : 停止

7.4.2 外部クロック入力機能

発振回路には、外部クロックを直接入力することができます。この場合、X1端子だけにクロック信号を入力してください(X2端子はオープンにしてください)。PCC.MFRCビット = 1(帰還抵抗カット)としてください。ただし、外部クロック・モード時でも、発振安定時間は挿入されます。

7.5 PLL機能

7.5.1 概要

CPUおよび内蔵周辺機能の動作クロックを、発振周波数の1.25/2.5/5/10逡倍出力と、クロック・スルー・モードに切り替えることができます。

PLL機能使用時 : 入力クロック = 4 ~ 8 MHz (出力5 ~ 80 MHz)

クロック・スルー・モード : 入力クロック = 5 ~ 25 MHz (出力5 ~ 25 MHz)

7.5.2 内部システム・クロックの選択

V850E/MA3は、CKSEL、PSEL端子の入力、およびCKCレジスタの設定によって、システム・クロックを選択します。

次にシステム・クロックの選択を示します。

表7-2 システム・クロックの選択

CKSEL	PSEL	入力クロックの選択		入力クロック 周波数 (fx)	CKCレジスタ		システム・クロック 周波数 (fxx)
					CKDIV1	CKDIV0	
L	L	PLLモード	低周波数 モード	4.0 MHz ~ 5.5 MHz	0	0	5 MHz ~ 6.875 MHz
					0	1	10 MHz ~ 13.75 MHz
					1	0	20 MHz ~ 27.5 MHz
					1	1	40 MHz ~ 55 MHz
L	H	PLLモード	高周波数 モード	5.5 MHz ~ 8.0 MHz	0	0	6.875 MHz ~ 10 MHz
					0	1	13.75 MHz ~ 20 MHz
					1	0	27.5 MHz ~ 40 MHz
					1	1	55 MHz ~ 80 MHz
H	x	クロック・スルー・モード		5.0 MHz ~ 25.0 MHz	x	x	5 MHz ~ 25 MHz

注意 CKSEL、PSEL端子の入力レベルは、リセット期間中に固定させて、動作中にはレベルを変化させないでください。変化させた場合は動作を保証しません。

備考 x : 任意

7.5.3 PLLモード

PLLモードでは、発振周波数 (f_x) をPLLにより逡倍し、システム・クロック (f_{xx}) を生成します。 f_{xx} は、クロック・コントロール・レジスタ (CKC) の設定によって、 f_x の1.25, 2.5, 5, 10倍から選択できます。発振周波数 (f_x) の値によって、PSEL端子入力をハイ・レベルまたはロウ・レベルに固定してください。

PLLモードでは、発振回路からのクロックがPLLに入力され、所定の周波数でフェーズ・ロックし安定するまでのロックアップ時間 (周波数安定時間) を経てから、安定した周波数のクロックを内部に供給する必要があります。V850E/MA3では、リセット解除後のロックアップ時間を自動的に確保しています。リセット解除後のロックアップ時間は次のとおりです。

$$\text{ロックアップ時間} = 2^{14} / f_x + \quad = \text{約}2.048 \text{ ms} (f_x = 8 \text{ MHz}) \sim \text{約}4.096 \text{ ms} (f_x = 4 \text{ MHz})$$

7.5.4 クロック・スルー・モード

クロック・スルー・モードでは、発振周波数 (f_x) と同じ周波数のシステム・クロック (f_{xx}) を生成します。V850E/MA3では、リセット解除後、CPUが動作を開始するまでに、次の時間がかかります。

$$\text{CPU動作開始時間} = 2^{16} / f_x + \quad = \text{約}2.62144 \text{ ms} (f_x = 25 \text{ MHz}) \sim \text{約}13.1072 \text{ ms} (f_x = 5 \text{ MHz})$$

第8章 16ビット・タイマ/イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ/イベント・カウンタです。
V850E/MA3は、TMP0-TMP2を内蔵しています。

8.1 概 要

TMPnの概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 2本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・タイマ出力端子	: 2本

備考 n = 0-2

8.2 機 能

TMPnの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・タイマ同調動作機能 (TMP2のみ)

備考 n = 0-2

8.3 構成

TMPnは、次のハードウェアで構成されています。

表8 - 1 TMPnの構成

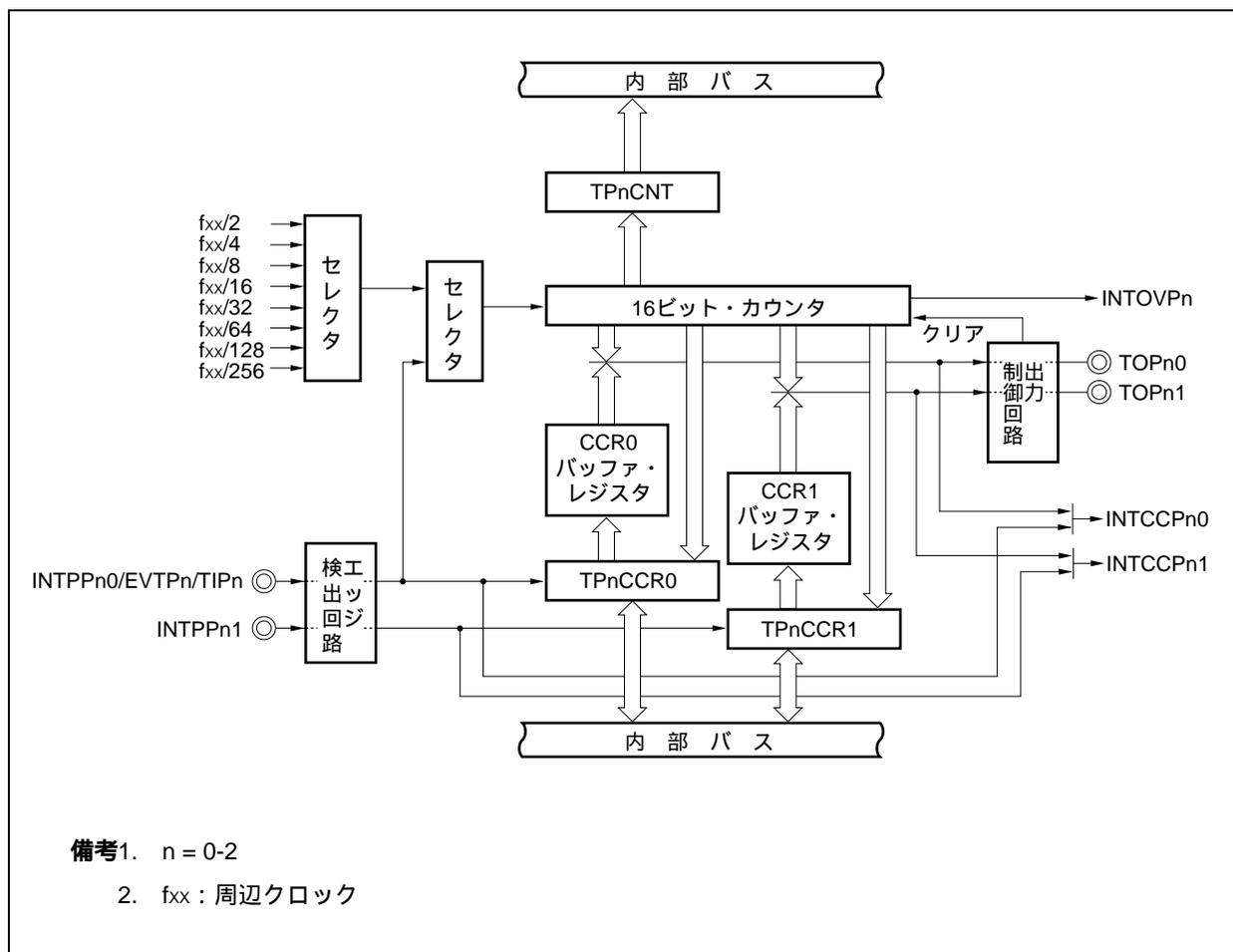
項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	計12本 (INTPP00, INTPP01, INTPP10, INTPP11, INTPP20, INTPP21, EVTP0-EVTP2, TIP0-TIP2端子) ^注
タイマ出力	計6本 (TOP00, TOP01, TOP10, TOP11, TOP20, TOP21端子) ^注
制御レジスタ	TMPn制御レジスタ0, 1 (TPnCTL0, TPnCTL1) TMPnI/O制御レジスタ0-2 (TPnIOC0-TPnIOC2) TMPnオプション・レジスタ0 (TPnOPT0)

注 INTPPn0/EVTPn/TIPn端子には、キャプチャ・トリガ入力端子 (INTPPn0)、外部イベント・カウンタ入力端子 (EVTPn)、外部トリガ入力端子 (TIPn)、タイマ出力端子 (TOPn0) が兼用されています。

INTPPn1端子には、キャプチャ・トリガ入力端子 (INTPPn1)、タイマ出力端子 (TOPn1) が兼用されています。

備考 n = 0-2

図8 - 1 TMPnのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPnCNTレジスタでリードできます。

TPnCTL0.TPnCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTPnCNTレジスタをリードすると0000Hがリードされます。

リセット時にはTPnCEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき、TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTCCPn0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTPnCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき、TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTCCPn1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTPnCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

INTPPn0/EVTPn/TIPn, INTPPn1端子に入力される有効エッジを検出します。有効エッジは、TPnIOC1, TPnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOPn0, TOPn1端子の出力を制御します。TOPn0, TOPn1端子の出力は、TPnIOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

8.4 レジスタ

(1) TMPn制御レジスタ0 (TPnCTL0)

TPnCTL0レジスタは、TMPnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TP0CTL0 FFFFF640H, TP1CTL0 FFFFF660H,
TP2CTL0 FFFFF680H

	⑦	6	5	4	3	2	1	0
TPnCTL0 (n = 0-2)	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0

TPnCE	TMPnの動作の制御
0	TMPn動作禁止 (TMPnを非同期にリセット注)
1	TMPn動作許可。TMPn動作開始

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択
0	0	0	fxx/2
0	0	1	fxx/4
0	1	0	fxx/8
0	1	1	fxx/16
1	0	0	fxx/32
1	0	1	fxx/64
1	1	0	fxx/128
1	1	1	fxx/256

注 TPnOPT0.TPnOVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOPn0, TOPn1端子) もTPnIOC0レジスタの設定状態に16ビット・カウンタと同時にリセットされます。

注意1. TPnCKS2-TPnCKS0ビットは、TPnCEビット = 0のときに設定してください。

TPnCEビットを“0”から“1”に設定するときも、同時にTPnCKS2-TPnCKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fxx：周辺クロック

(2) TMPn制御レジスタ1 (TPnCTL1)

TPnCTL1レジスタは、TMPnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TP0CTL1 FFFFFFF641H, TP1CTL1 FFFFFFF661H,
TP2CTL1 FFFFFFF681H

TPnCTL1 (n = 0-2)	7	6	5	4	3	2	1	0
	TP2SYE ^注	TPnEST	TPnEEE	0	0	TPnMD2	TPnMD1	TPnMD0

TP2SYE ^注	動作モードの選択
0	TMP2単体モード使用
1	同調動作モード (12. 4. 5参照)
同調動作時のTMP2は、A/DコンバータのA/D変換開始トリガ要因としてのみ使用できます。同調動作モードは、常に、TMQ0と同期して動作します。	

TPnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TPnESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 ：TPnESTビットへの“1”ライトをトリガとして、PWM波形を出力
TPnESTビットのリード値は常に0です。	

TPnEEE	カウント・クロックの選択
0	外部イベント・カウント入力 (EVTPn端子) での動作禁止 (TPnCTL0.TPnCKS0-TPnCKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (EVTPn端子) での動作許可 (外部イベント・カウント入力信号 (EVTPn端子) の有効エッジごとにカウント動作を行う)
TPnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

注 TMP2のみ設定可能です。TMP0, TMP1のビット7には必ず0を設定してください。

同調動作モードの詳細は第12章 **モータ制御機能**を参照してください。

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1.** TPnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 外部イベント・カウント・モードのときは、TPnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
 - TP2SYE, TPnEEE, TPnMD2-TPnMD0ビットは、TPnCTL0.TPnCEビット = 0のときに設定してください(TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。
 - ビット3, 4には必ず0を設定してください。

(3) TMPnI/O制御レジスタ0 (TPnIOC0)

TPnIOC0レジスタは、タイマ出力 (TOPn0, TOPn1端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC0 FFFFF642H, TP1IOC0 FFFFF662H,
TP2IOC0 FFFFF682H

	7	6	5	4	3	②	1	①
TPnIOC0 (n = 0-2)	0	0	0	0	TPnOL1	TPnOE1	TPnOL0	TPnOE0

TPnOL1	TOPn1端子出力レベルの設定 ^注
0	TOPn1端子ハイ・レベル・スタート
1	TOPn1端子ロウ・レベル・スタート

TPnOE1	TOPn1端子出力の設定
0	タイマ出力禁止 ・TPnOL1ビット = 0のときTOPn1端子からロウ・レベルを出力 ・TPnOL1ビット = 1のときTOPn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn1端子からパルスを出力)

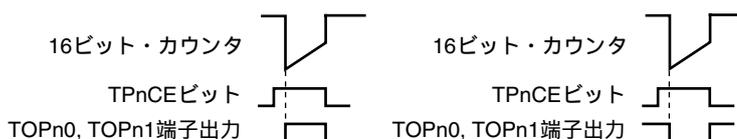
TPnOL0	TOPn0端子出力レベルの設定 ^注
0	TOPn0端子ハイ・レベル・スタート
1	TOPn0端子ロウ・レベル・スタート

TPnOE0	TOPn0端子出力の設定
0	タイマ出力禁止 ・TPnOL0ビット = 0のときTOPn0端子からロウ・レベルを出力 ・TPnOL0ビット = 1のときTOPn0端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn0端子からパルスを出力)

注 TPnOLaビットの指定によるタイマ出力端子 (TOPn0, TOPn1) の出力レベルを次に示します (a = 0, 1)。

・TPnOLaビット = 0の場合

・TPnOLaビット = 1の場合



注意1. ポート設定がTOPn0, TOPn1出力設定の場合, TPnIOC0レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。

2. TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは, TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TPnCEビットをクリア (0) してから再設定してください。

3. TPnCEビット = 0, TPnOE0ビット = 0, TPnOE1ビット = 0の状態において, TPnOL0ビット, TPnOL1ビットを操作した場合でも, TOPn0, TOPn1端子の出力レベルは変化します。

(4) TMPnI/O制御レジスタ1 (TPnIOC1)

TPnIOC1レジスタは、キャプチャ・トリガ入力信号 (INTPPn0, INTPPn1端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC1 FFFFFFF643H, TP1IOC1 FFFFFFF663H,
TP2IOC1 FFFFFFF683H

	7	6	5	4	3	2	1	0
TPnIOC1	0	0	0	0	TPnIS3	TPnIS2	TPnIS1	TPnIS0

(n = 0-2)

TPnIS3	TPnIS2	キャプチャ・トリガ入力信号 (INTPPn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnIS1	TPnIS0	キャプチャ・トリガ入力信号 (INTPPn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1. TPnIS3-TPnIS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。

2. TPnIS3-TPnIS0ビットは、フリー・ランニング・タイマ・モード (TPnOPT0.TPnCCS1, TPnCCS0ビット = 11時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

(5) TMPnI/O制御レジスタ2 (TPnIOC2)

TPnIOC2レジスタは、外部イベント・カウント入力信号 (EVTPn端子)、外部トリガ入力信号 (TIPn端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC2 FFFFF644H, TP1IOC2 FFFFF664H,
TP2IOC2 FFFFF684H

	7	6	5	4	3	2	1	0
TPnIOC2	0	0	0	0	TPnEES1	TPnEES0	TPnETS1	TPnETS0

(n = 0-2)

TPnEES1	TPnEES0	外部イベント・カウント入力信号 (EVTPn端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnETS1	TPnETS0	外部トリガ入力信号 (TIPn端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは、
TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
2. TPnEES1, TPnEES0ビットは、TPnCTL1.TPnEEEビット = 1、または、外部イベント・カウント・モード (TPnCTL1.TPnMD2-TPnMD0ビット = 001) に設定したときのみ有効です。
3. TPnETS1, TPnETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(6) TMPnオプション・レジスタ0 (TPnOPT0)

TPnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0OPT0 FFFFF645H, TP1OPT0 FFFFF665H,
TP2OPT0 FFFFF685H

	7	6	5	4	3	2	1	①
TPnOPT0 (n = 0-2)	0	0	TPnCCS1	TPnCCS0	0	0	0	TPnOVF

TPnCCS1	TPnCCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TPnCTL0.TPnCEビット = 0によりクリア)
TPnCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnCCS0	TPnCCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TPnCTL0.TPnCEビット = 0によりクリア)
TPnCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバフロー検出フラグ
セット (1)	オーバフロー発生
リセット (0)	TPnOVFビットへの0書き込みまたはTPnCTL0.TPnCEビット = 0
<ul style="list-style-type: none"> TPnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバフローするときセット (1) されます。 TPnOVFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTOVFn) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTOVFn信号は発生しません。 TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても、TPnOVFビットはクリア (0) されません。 INTOVFn信号発生後、TPnOVFビットをクリア (0) する場合は、必ずTPnOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 TPnOVFビットはリード/ライト可能ですが、ソフトウェアでTPnOVFビットをセット (1) することはできません。1をライトしてもTMPnの動作に影響はありません。 	

- 注意1. TPnCCS1, TPnCCS0ビットは、TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
2. ビット1-3, 6, 7には必ず0を設定してください。

(7) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

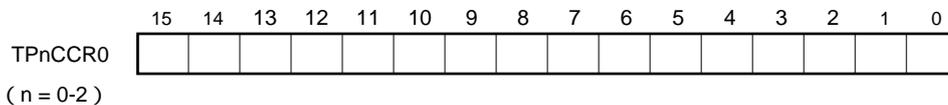
TPnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : TP0CCR0 FFFFF646H, TP1CCR0 FFFFF666H,
TP2CCR0 FFFFF686H



(a) コンペア・レジスタとしての機能

TPnCCR0レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTCCPn0) を発生し、TOPn0端子出力を許可している場合、TOPn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TPnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TPnCTL0.TPnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (INTPPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (INTPPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR0レジスタのリードが競合しても、TPnCCR0レジスタは正しい値をリードできます。

TPnCTL0.TPnCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 n = 0-2

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TPnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、8.6(2) **随時書き込みと一斉書き込み**を参照してください。

(8) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

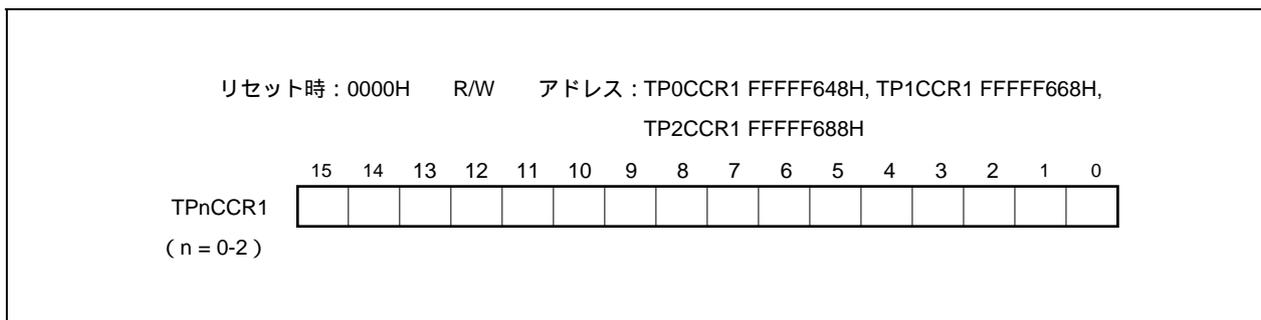
TPnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TPnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(a) コンペア・レジスタとしての機能

TPnCCR1レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTCCPn1) を発生し、TOPn1端子出力を許可している場合、TOPn1端子出力を反転します。

TPnCTL0.TPnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (INTPPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (INTPPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR1レジスタのリードが競合しても、TPnCCR1レジスタは正しい値をリードできます。

TPnCTL0.TPnCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 n = 0-2

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TPnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、8.6(2)随時書き込みと一斉書き込みを参照してください。

(9) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

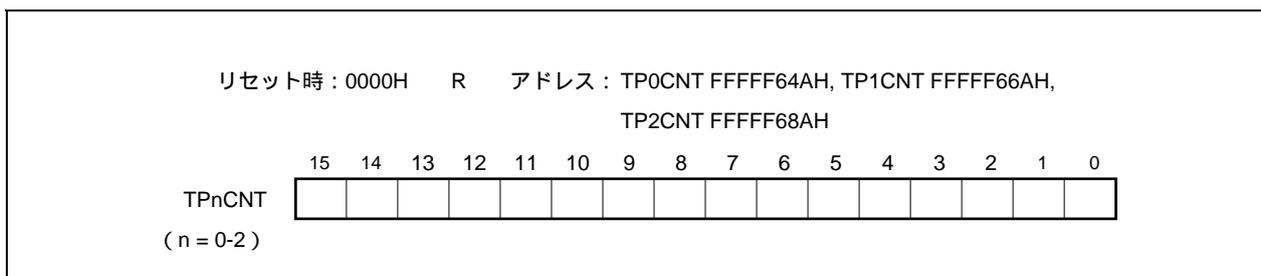
TPnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TPnCEビット = 0のとき、TPnCNTレジスタは0000Hになります。このときにTPnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。

リセットによりTPnCEビット = 0になり、TPnCNTレジスタは0000Hになります。



8.5 タイマ出力動作説明

次にTOPn0, TOPn1端子の動作、および出力レベルを示します。

表8 - 4 各モードによるタイマ出力制御

動作モード	TOPn1端子	TOPn0端子
インターバル・タイマ・モード	PWM出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	PWM出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	

備考 n = 0-2

表8 - 5 タイマ出力制御ビットによるTOPn0, TOPn1端子の真理値表

TPnIOC0.TPnOLaビット	TPnIOC0.TPnOEaビット	TPnCTL0.TPnCEビット	TOPna端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル、 カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル、 カウント開始後はロウ・レベル

備考 n = 0-2

a = 0, 1

8.6 動作

TMPn には次のような機能があります。

動作	TPnCTL1.TPnESTビット (ソフトウェア・トリガ・ビット)	TIPn端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^注	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^注	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^注	無効	無効	キャプチャ専用	対象外

注 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット = 0に設定) してください。

備考 n = 0-2

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 n = 0-3

(a) カウント開始動作

TMPnの16ビット・カウンタは、すべてのモードで初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTCCPn0, INTCCPn1割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバフローが発生すると、TPnOPT0.TPnOVFビットがセット(1)され、割り込み要求信号(INTOVPn)が発生します。なお、次の条件ではINTOVPn信号は発生しません。

- ・ カウント動作開始直後
- ・ コンペア値がFFFFHで一致&クリアされた場合
- ・ パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号(INTOVPn)発生後は、必ずオーバフロー・フラグ(TPnOVFビット)が“1”にセットされているのを確認してください。

(d) カウント動作中のカウンタ・リード動作

TMPnでは、TPnCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TPnCTL0.TPnCEビット = 1のときは、TPnCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TPnCEビット = 0のときは、16ビット・カウンタがFFFFHで、TPnCNTレジスタが0000Hです。

(e) 割り込み動作

TMPnでは、次の3種類の割り込み要求信号を発生します。

- ・ INTCCPn0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号、およびTPnCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTCCPn1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号、およびTPnCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTOVPn割り込み : オーバフロー割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TMPnでは、タイマ動作中 (TPnCTL0.TPnCEビット = 1) でもTPnCCR0, TPnCCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTPnCCR0, TPnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います (n = 0-2)。

図8-2 随時書き込みの基本動作フロー・チャート

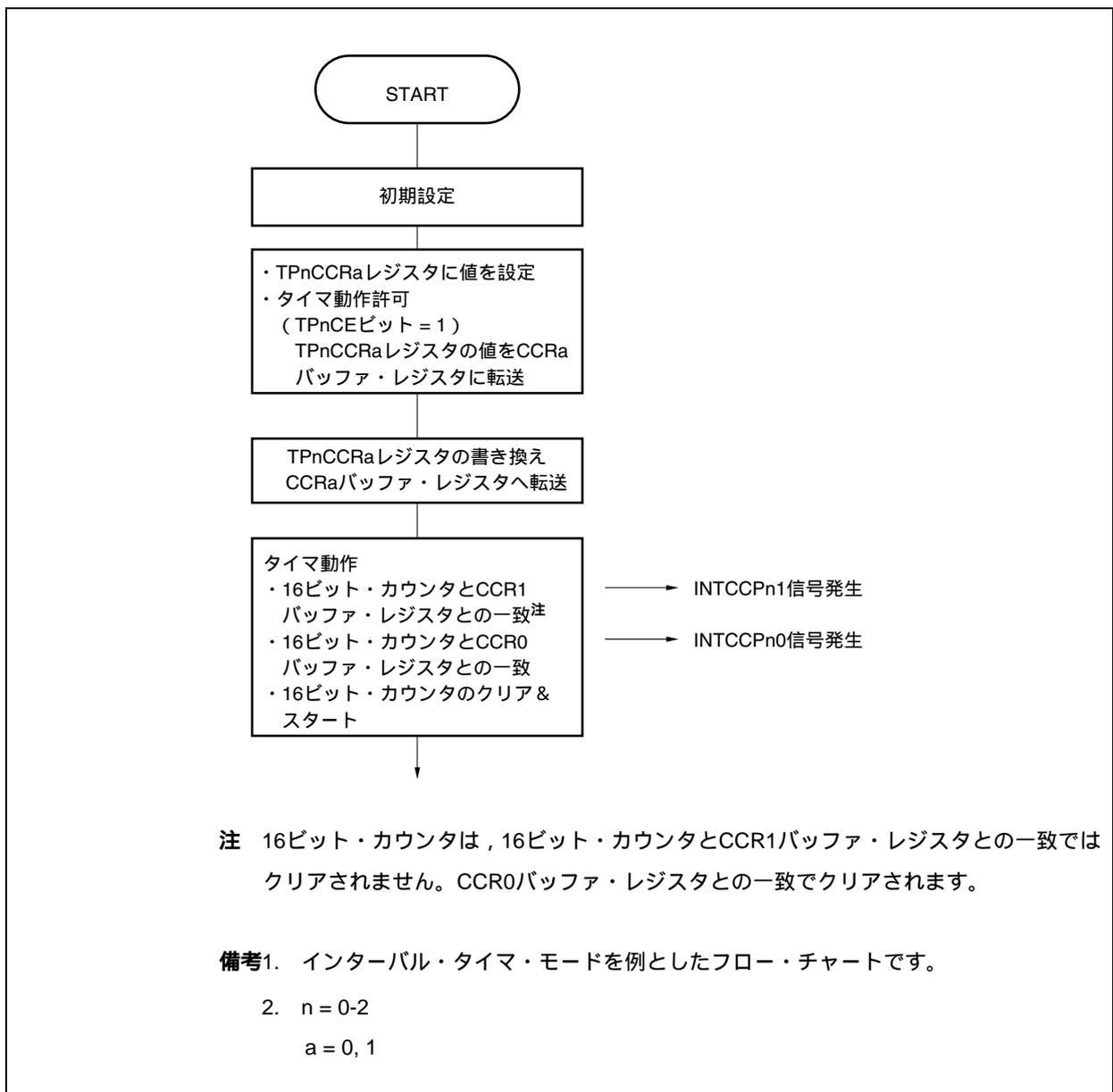
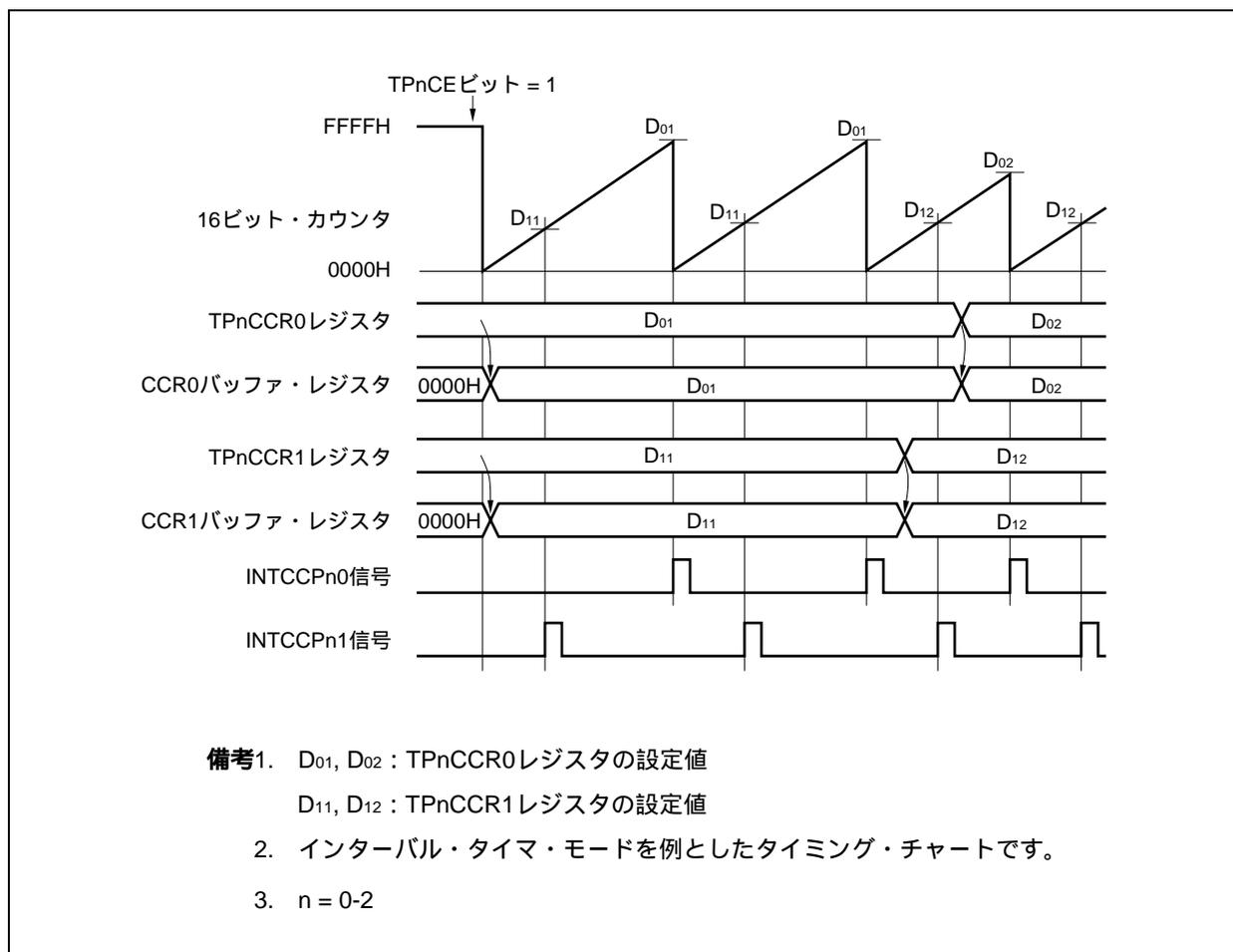


図8 - 3 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中にTPnCCR0, TPnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTPnCCR1レジスタへの書き込みとなります。TPnCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TPnCCR0, TPnCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0, CCR1バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTPnCCR0レジスタを書き換え、次にTPnCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TPnCCR0, TPnCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TPnCCR0レジスタの値だけ書き換えたい場合でも、TPnCCR1レジスタに同値(すでに設定したTPnCCR1レジスタと同じ値)を書き込んでください。

図8 - 4 一斉書き込みの基本動作フロー・チャート

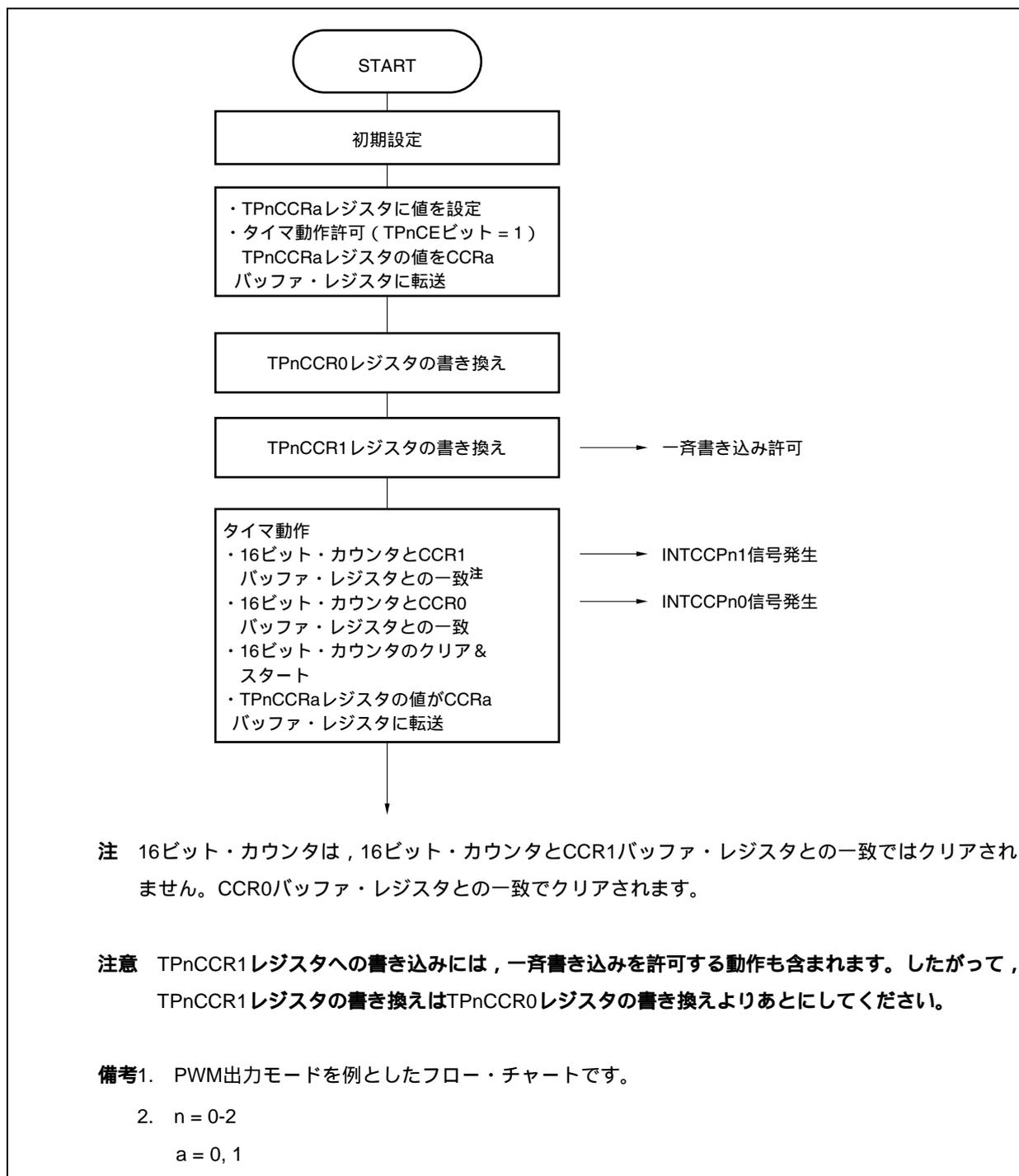
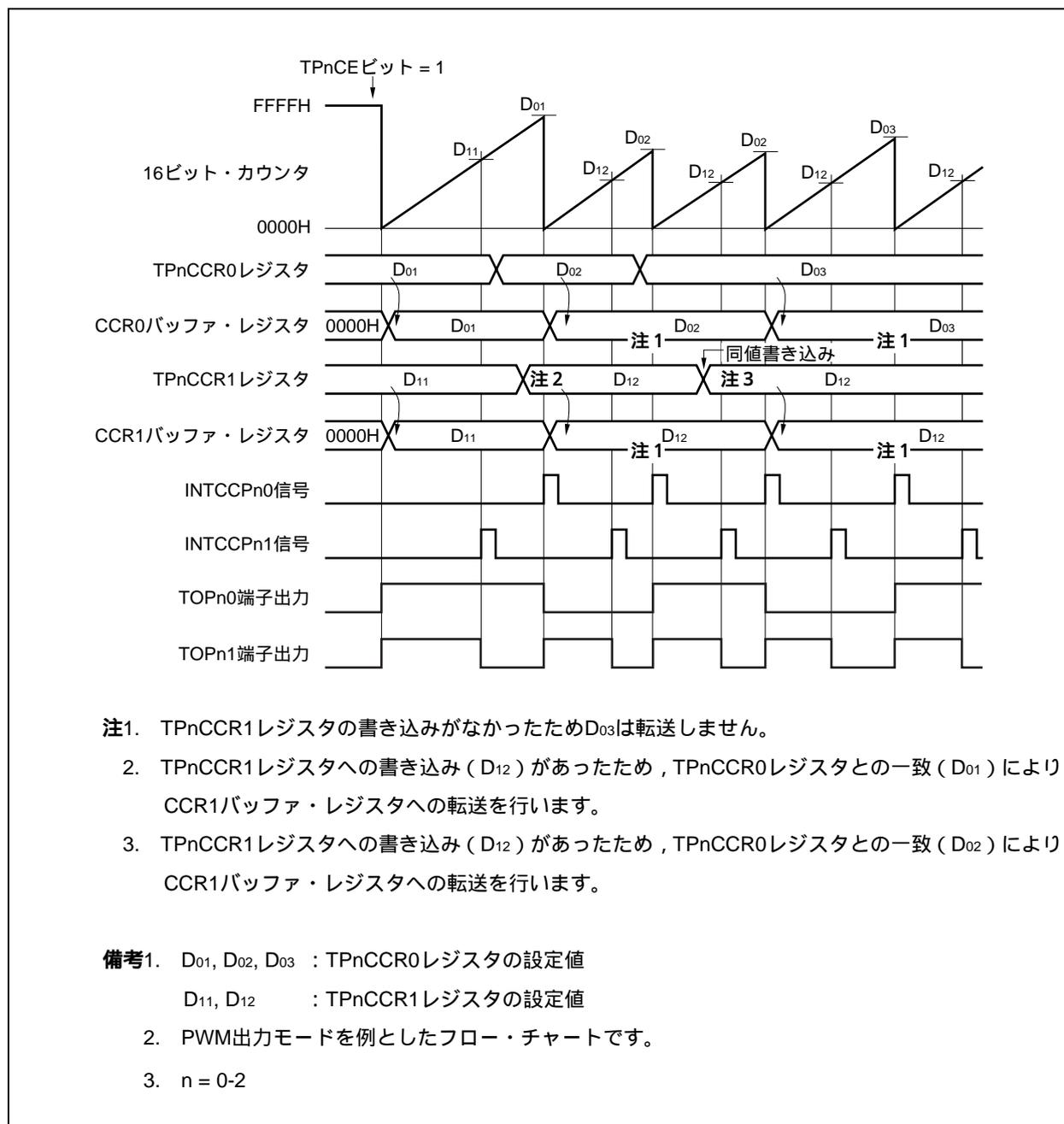


図8 - 5 一斉書き込みのタイミング



8.6.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)

インターバル・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することで、TPnCCR0レジスタで設定したインターバル間隔にて割り込み要求信号(INTCCPn0)を発生します。また、TOPn0端子から、インターバル間隔を半周期とする50%デューティのPWM波形を出力できます。

インターバル・タイマ・モードでは、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタでは、TPnCCR1レジスタの設定値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTCCPn1)が発生します。また、TOPn1端子から、INTCCPn1信号の発生タイミングにより反転する50%デューティのPWM波形を出力できます。

なお、TPnCCR0, TPnCCR1レジスタのタイマ動作中の書き換えは可能です。

図8-6 インターバル・タイマの構成図

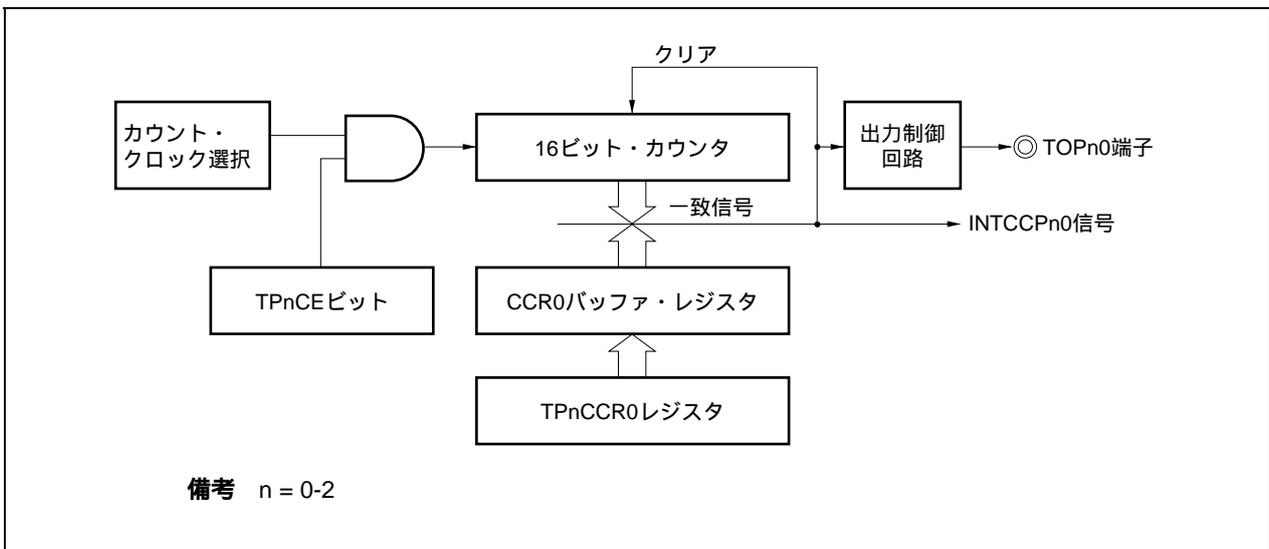
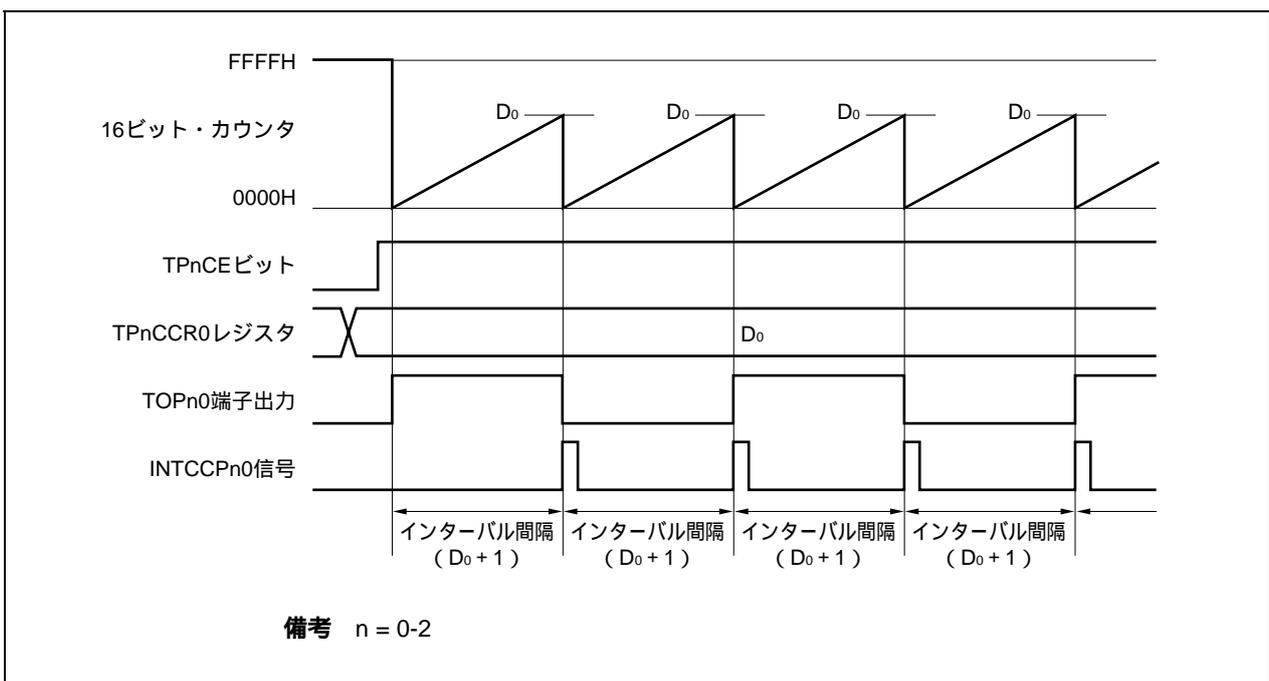


図8-7 インターバル・タイマ・モード動作の基本タイミング



TPnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOPn0端子出力を反転します。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOPn0端子出力を反転させて、コンペア一致割り込み要求信号 (INTCCPn0) を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TPnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-2

図8 - 8 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/3)

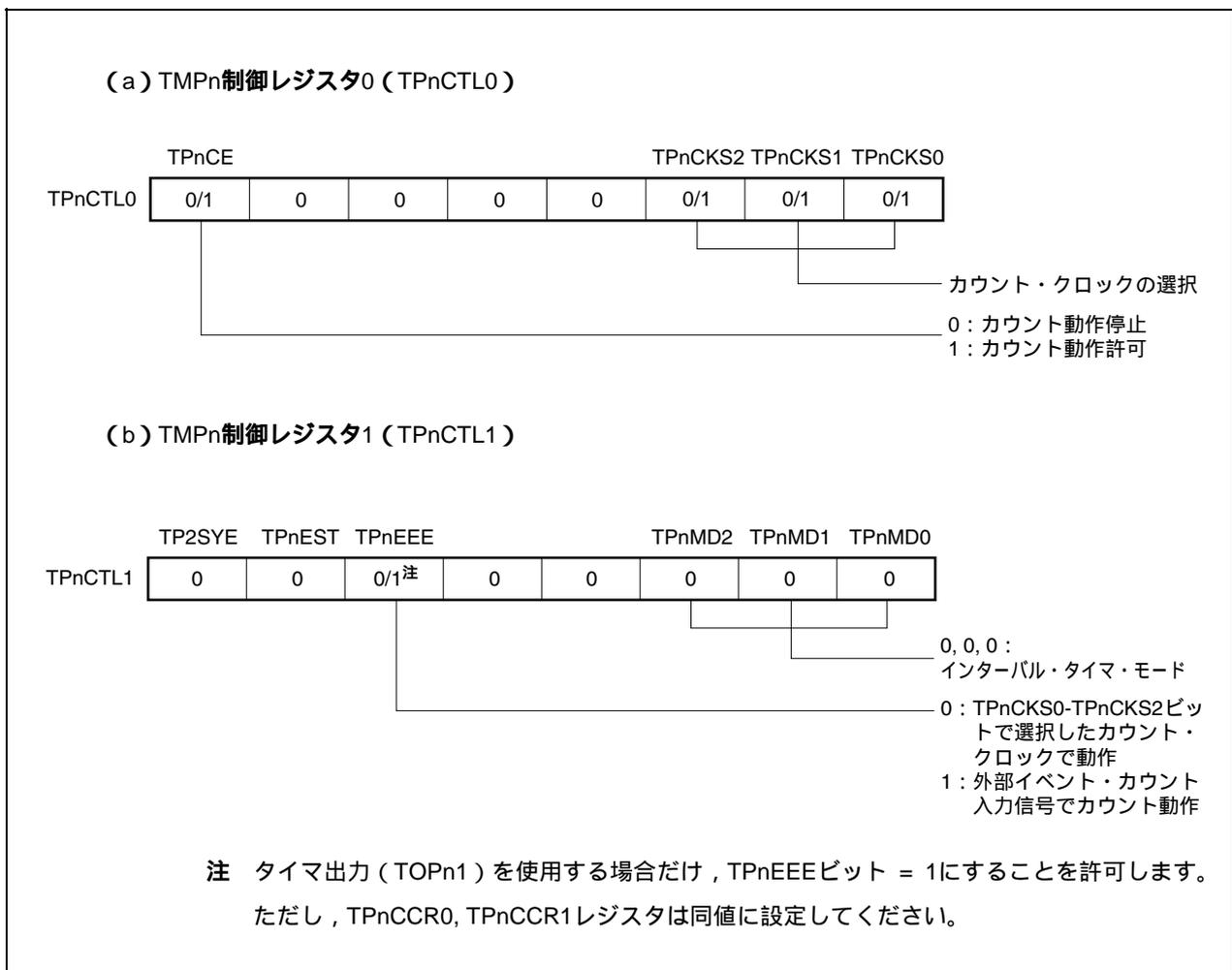


図8 - 8 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

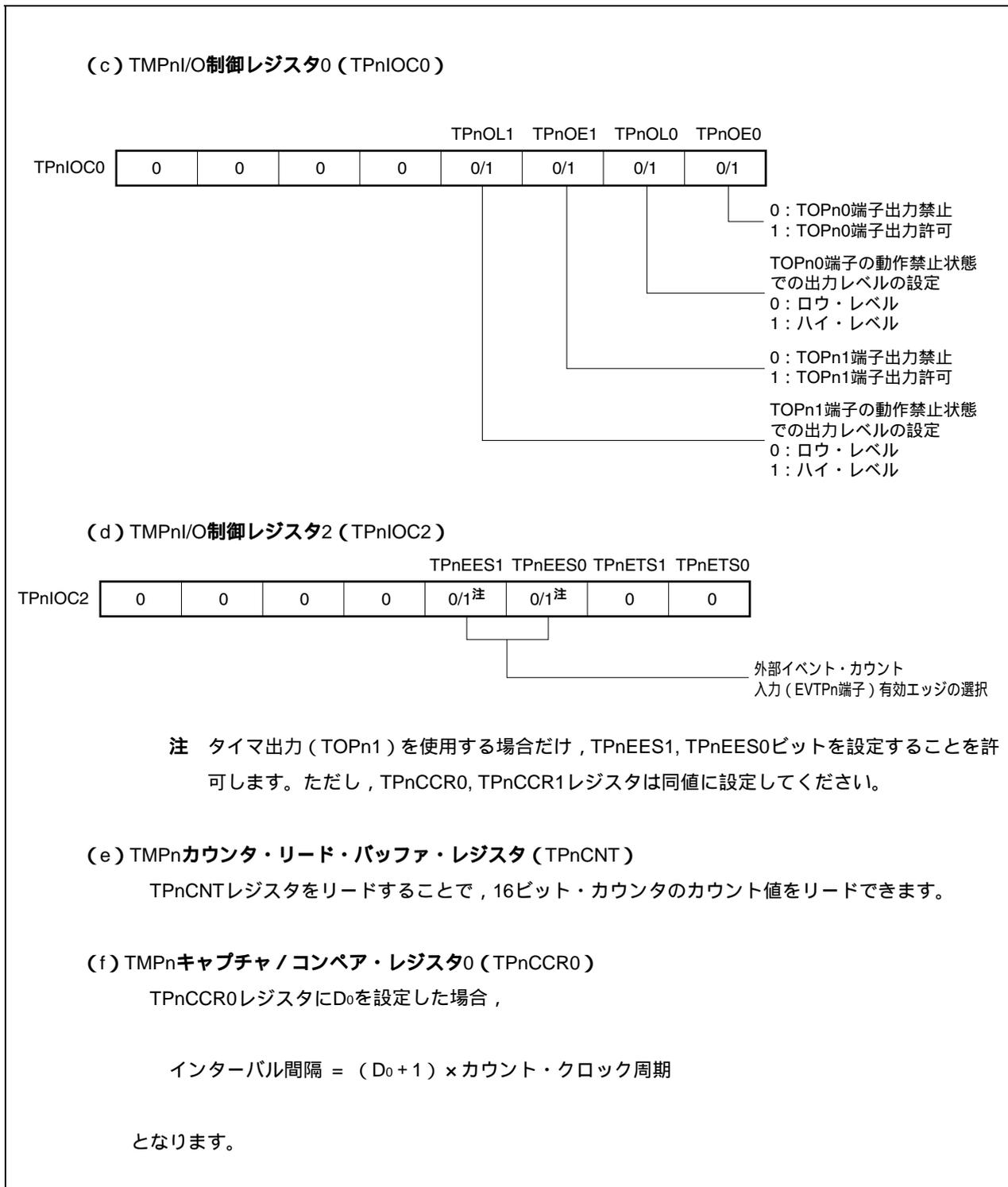


図8 - 8 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

(g) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

インターバル・タイマ・モードでは、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、TOPn1端子出力を反転し、コンペア一致割り込み要求信号 (INTCCPn1) が発生します。

TPnCCR0レジスタの設定値と同じ値を設定することにより、TOPn1端子から50 %デューティのPWM波形を出力できます。

TP0CCR1-TP2CCR1レジスタを使用しない場合には、TP0CCR1-TP2CCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (P00IC1.P00MK1, P02IC2.P02MK2, P05IC1.P05MK1) でマスク設定してください。

備考1. TMPn/I/O制御レジスタ1 (TPnIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、インターバル・タイマ・モードでは使用しません。

2. n = 0-2

(1) インターバル・タイマ・モード動作フロー

図8-9 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

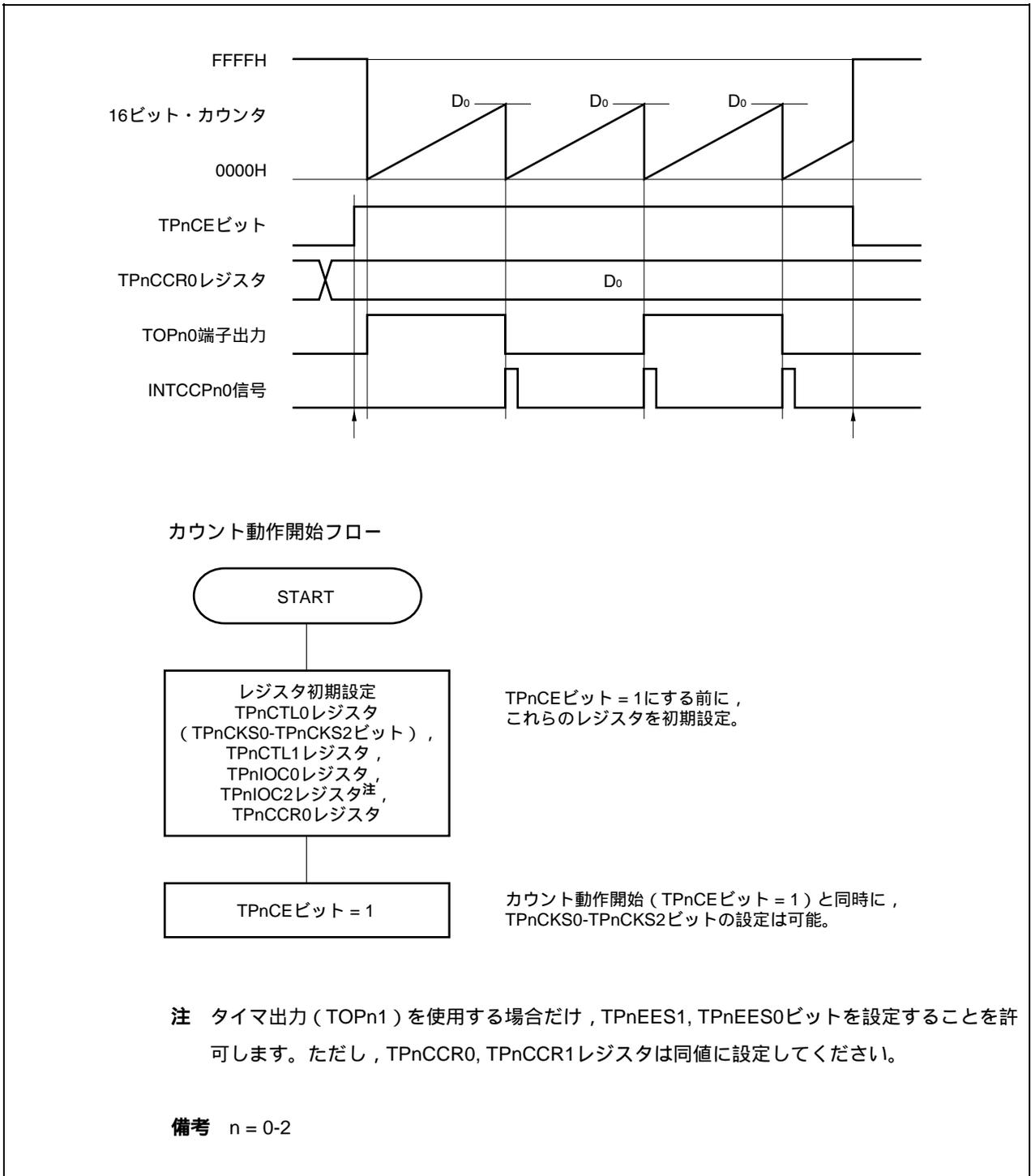
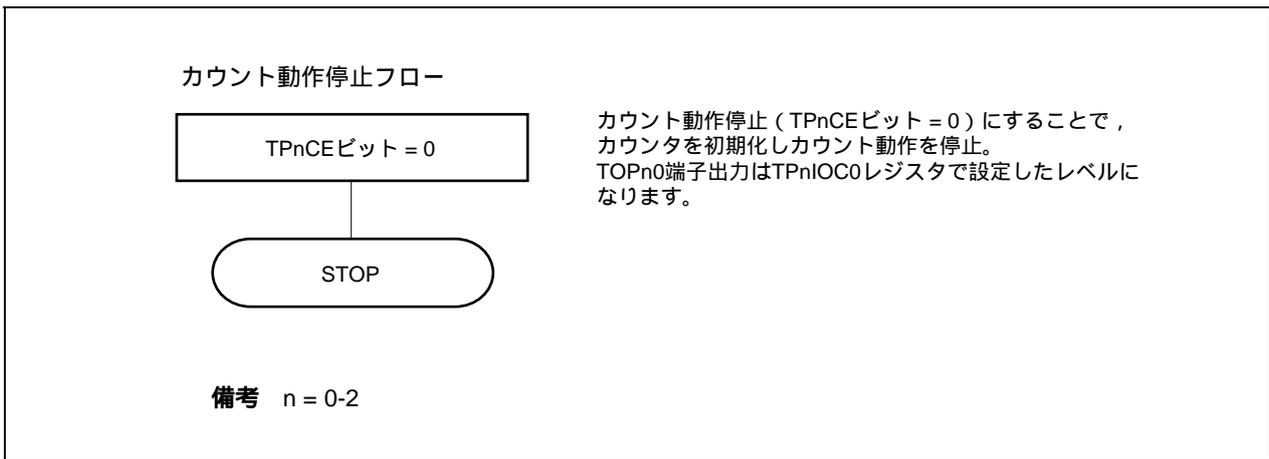


図8-9 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

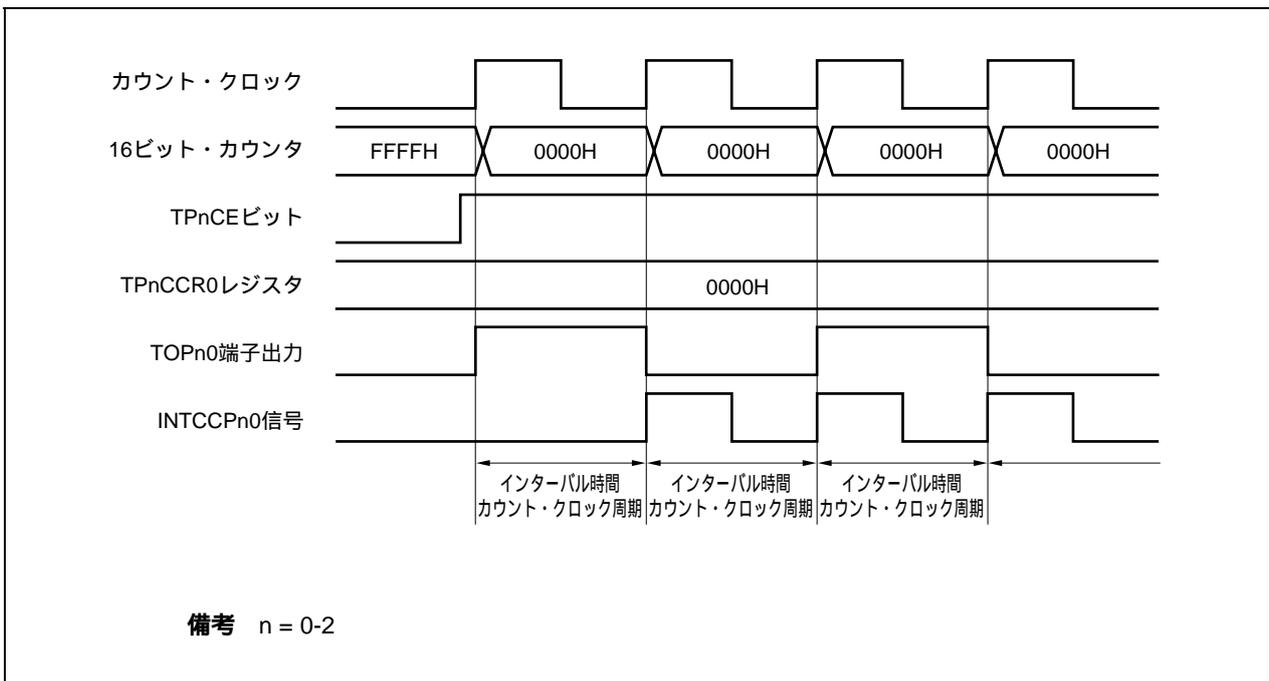


(2) インターバル・タイマ・モード動作タイミング

(a) TPnCCR0レジスタに0000Hを設定した場合の動作

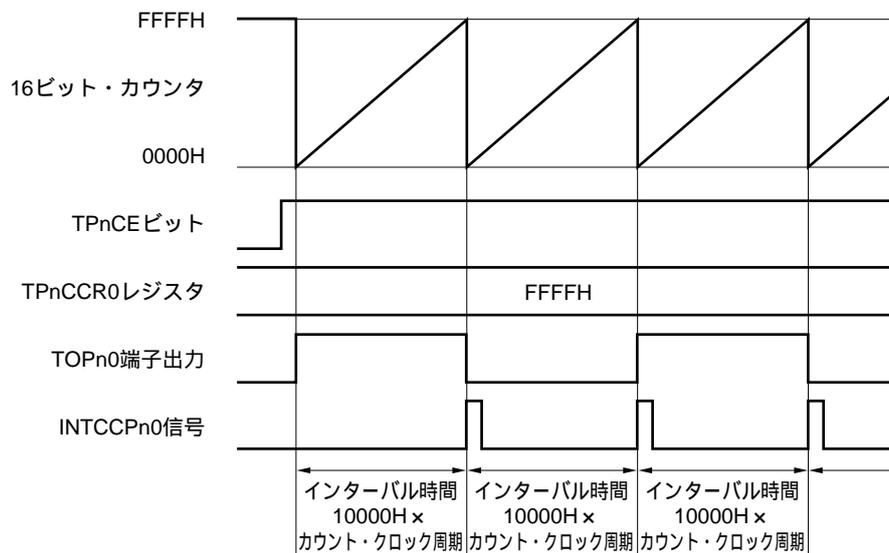
TPnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTCCPn0信号を発生し、TOPn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TPnCCR0レジスタにFFFFHを設定した場合の動作

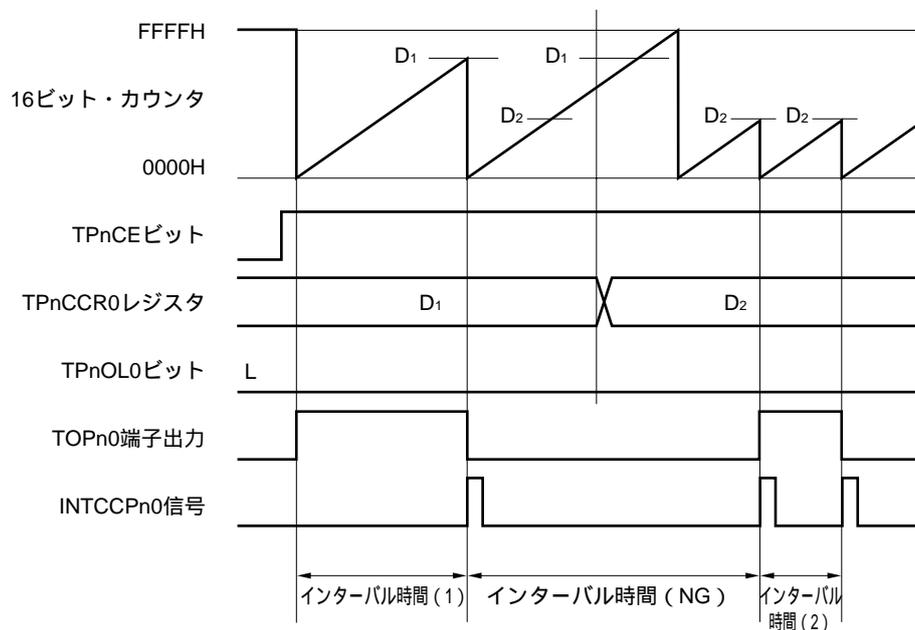
TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTCCPn0信号を発生し、TOPn0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTOVPn) は発生せず、オーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されません。



備考 n = 0-2

(c) TPnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



- 備考1.** インターバル時間(1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間(NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間(2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2. $n = 0-2$

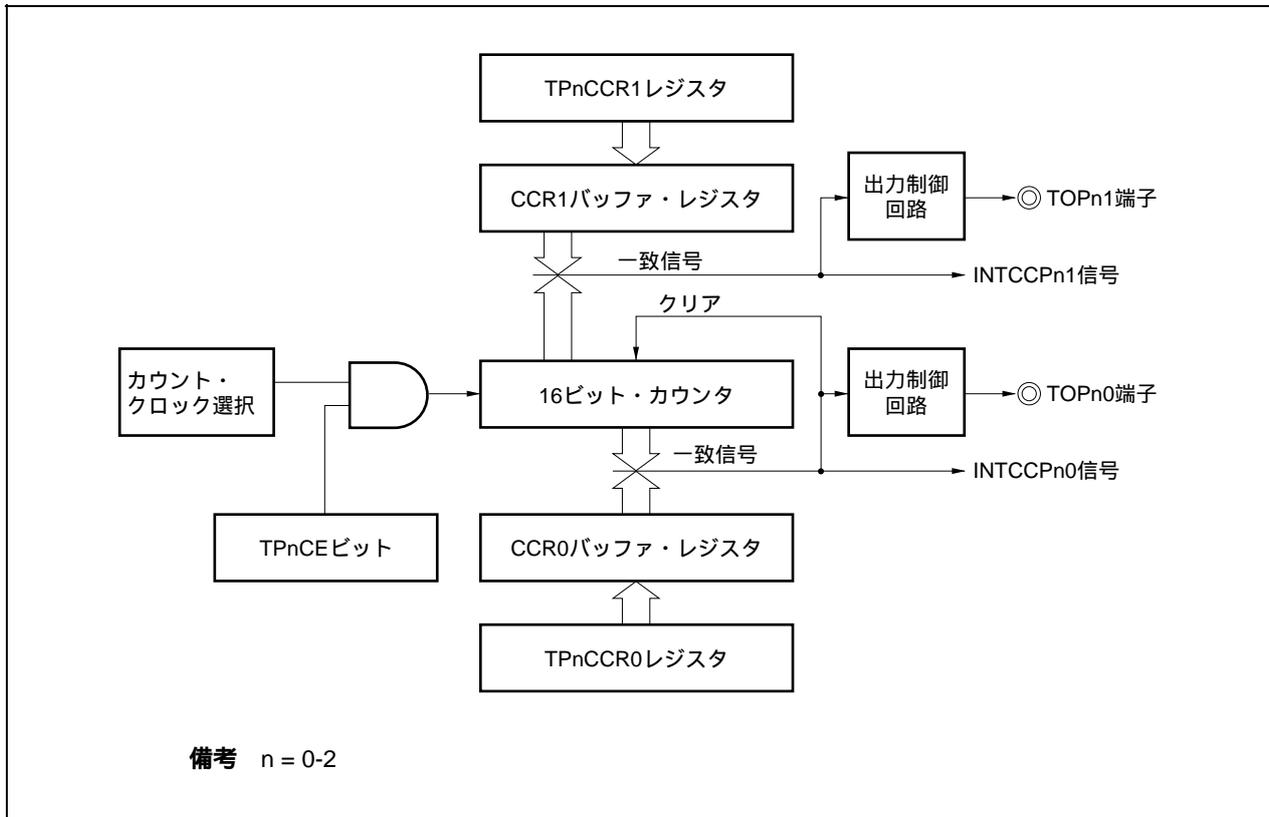
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TPnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTCCPn0信号を発生しTOPn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTCCPn0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTCCPn0信号が発生する場合があります。

(d) TPnCCR1レジスタの動作

図8 - 10 TPnCCR1レジスタの構成図



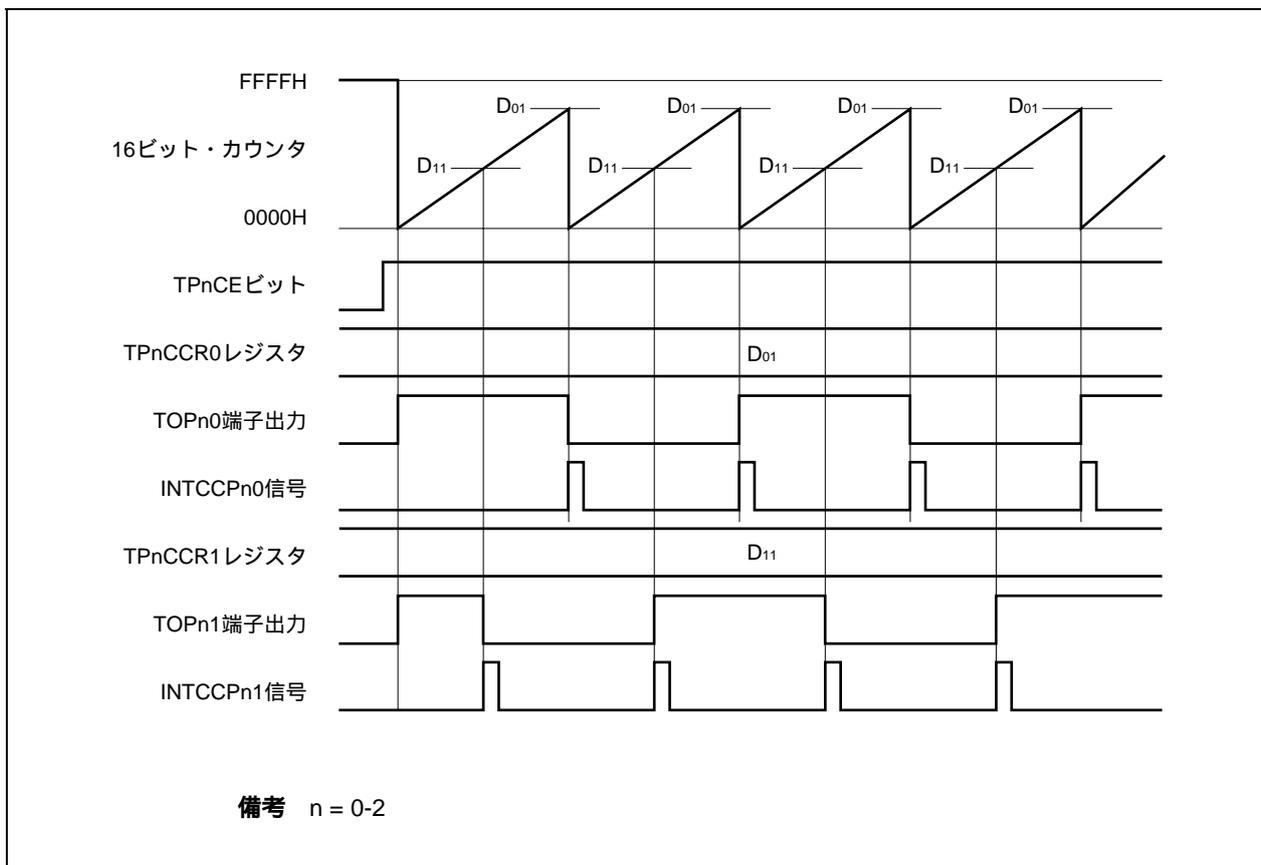
TPnCCR1レジスタにTPnCCR0レジスタの設定値と同じ値を設定すると、INTCCPn0信号と同じタイミングでINTCCPn1信号が発生し、TOPn1端子出力が反転します。すなわち、TOPn1端子から50 % デューティのPWM波形を出力できます。

TPnCCR0レジスタの設定値とは異なる値をTPnCCR1レジスタに設定した場合の動作を次に示します。

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTCCPn1信号が発生します。また、同じタイミングでTOPn1端子出力は反転します。

TOPn1端子出力は、最初に短い幅のパルスを出力したあと、50 % デューティのPWM波形を出力します。

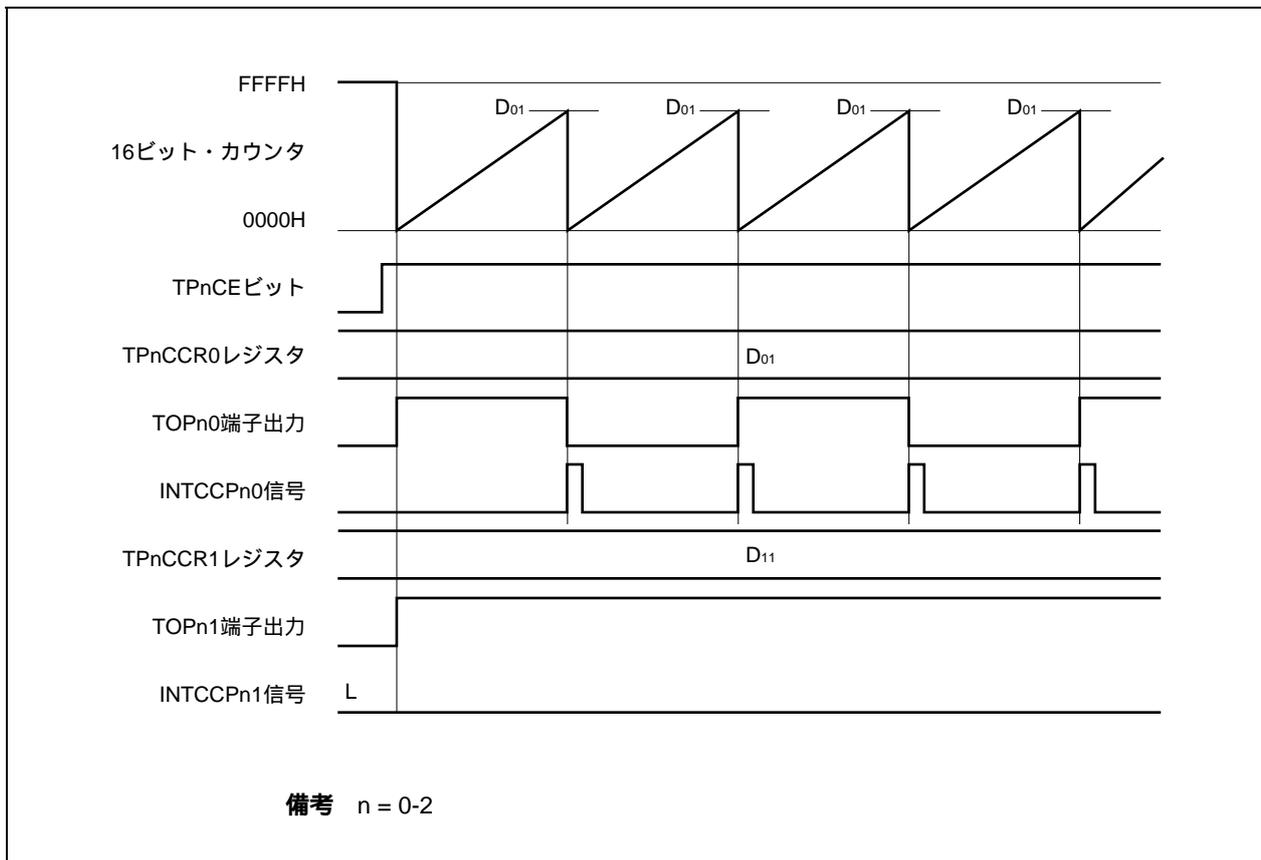
図8 - 11 D₀₁ D₁₁の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTCCPn1信号は発生しません。また、TOPn1端子出力も変化しません。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図8 - 12 D₀₁ < D₁₁の場合のタイミング図



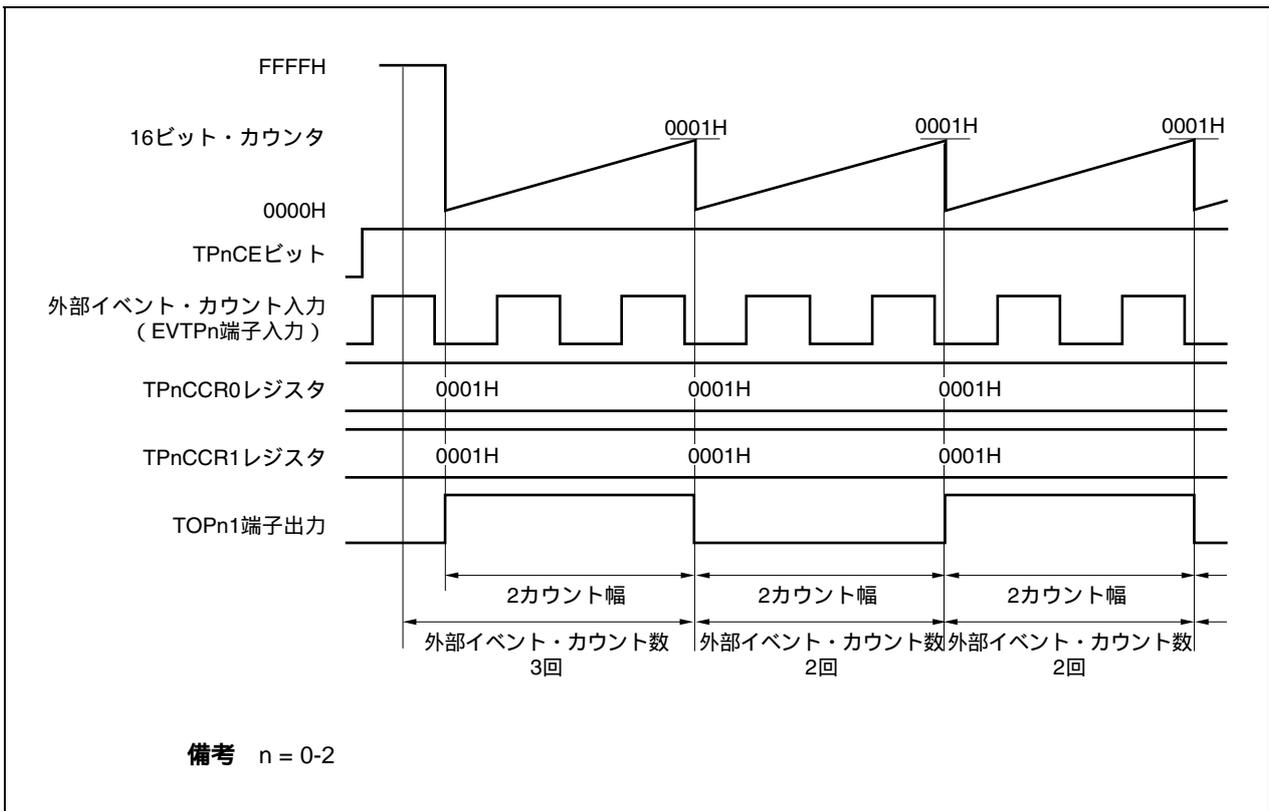
(3) 外部イベント・カウント入力 (EVTPn) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (EVTPn) の有効エッジで16ビット・カウンタをカウントする場合、TPnCEビットを0から1に設定した直後に、16ビット・カウンタをFFFFHから0000Hにクリアするために、1回の外部イベント・カウント入力の有効エッジが必要です。

TPnCCR0, TPnCCR1レジスタに0001Hを設定 (同値設定) すると、16ビット・カウンタの2カウントごとにTOPn1端子の出力を反転します。

外部イベント・カウント入力でタイマ出力 (TOPn1) を使用する場合だけ、インターバル・タイマ・モード時にTPnCTL1.TPnEEEビット = 1の設定が可能です。



8.6.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)

外部イベント・カウント・モードは、TPnCTL0.TPnCEビットをセット(1)することで、外部イベント・カウント入力(EVTPn)の有効エッジをカウントし、TPnCCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTCCPn0)を発生します。TOPn0, TOPn1端子は使用できません。外部イベント・カウント入力でTOPn1端子を使用する場合は、インターバル・タイマ・モード時にTPnCTL1.TPnEEEビット = 1に設定してください(8.6.1(3)外部イベント・カウント入力(EVTPn)による動作参照)。

外部イベント・カウント・モードでは、TPnCCR1レジスタは使用しません。

注意 外部イベント・カウント・モードでは、TPnCCR0, TPnCCR1レジスタに0000Hを設定することは禁止します。

図8-13 外部イベント・カウント・モードの構成図

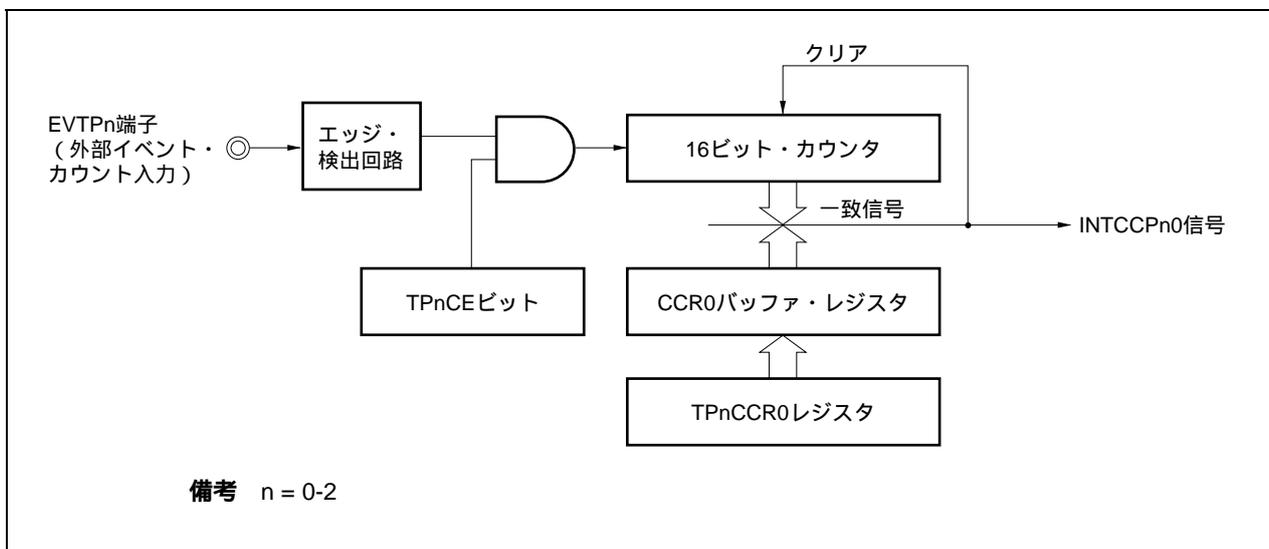
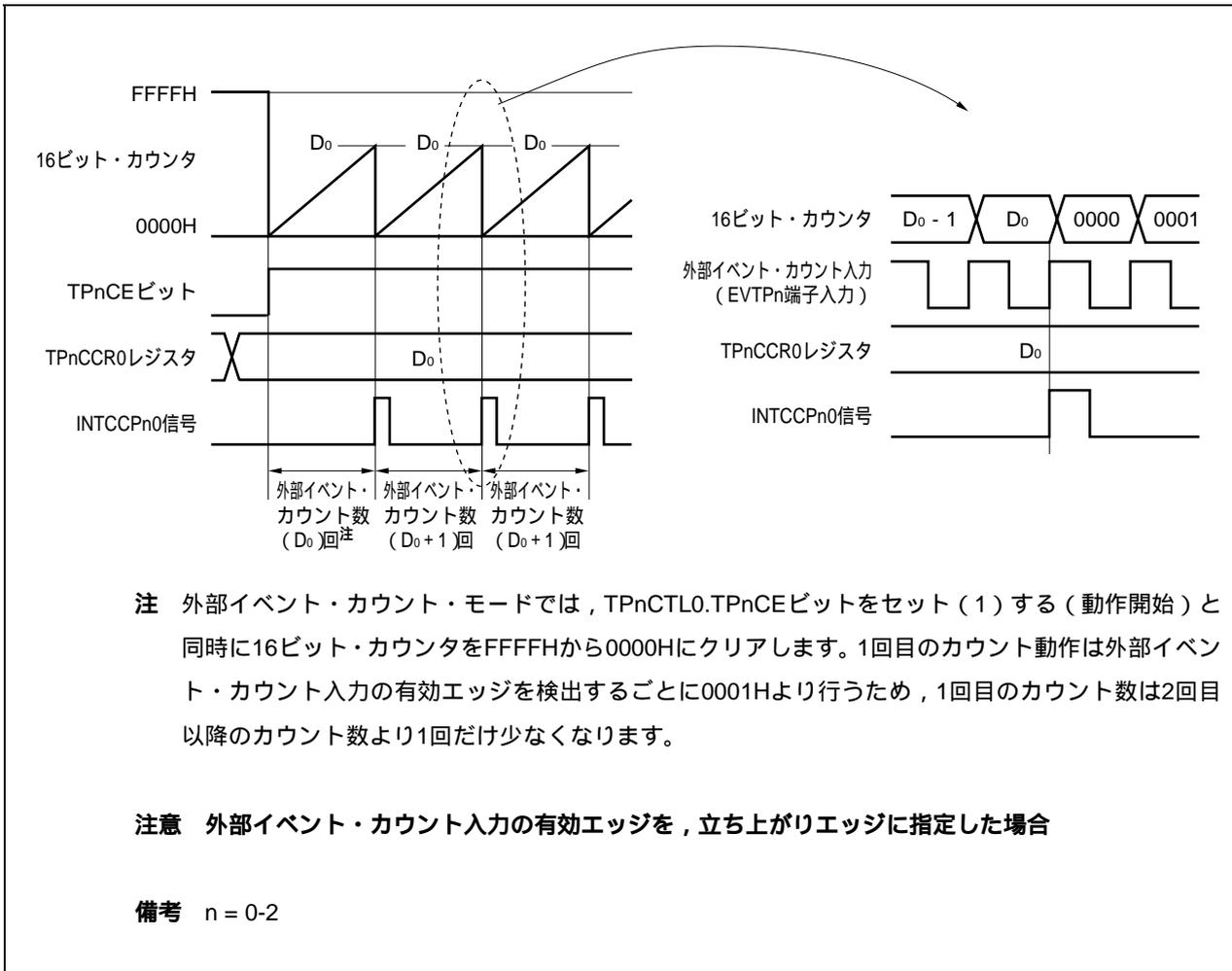


図8 - 14 外部イベント・カウント・モードの基本タイミング



TPnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することによりカウント動作を行います。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTCCPn0) を発生します。

INTCCPn0信号の発生は、1回目のINTCCPn0信号の場合は外部イベント・カウント入力の有効エッジを (TPnCCR0レジスタに設定した値) 回検出で発生し、2回目以降のINTCCPn0信号の場合は外部イベント・カウント入力の有効エッジを (TPnCCR0レジスタに設定した値 + 1) 回検出することにより発生します。

図8 - 15 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

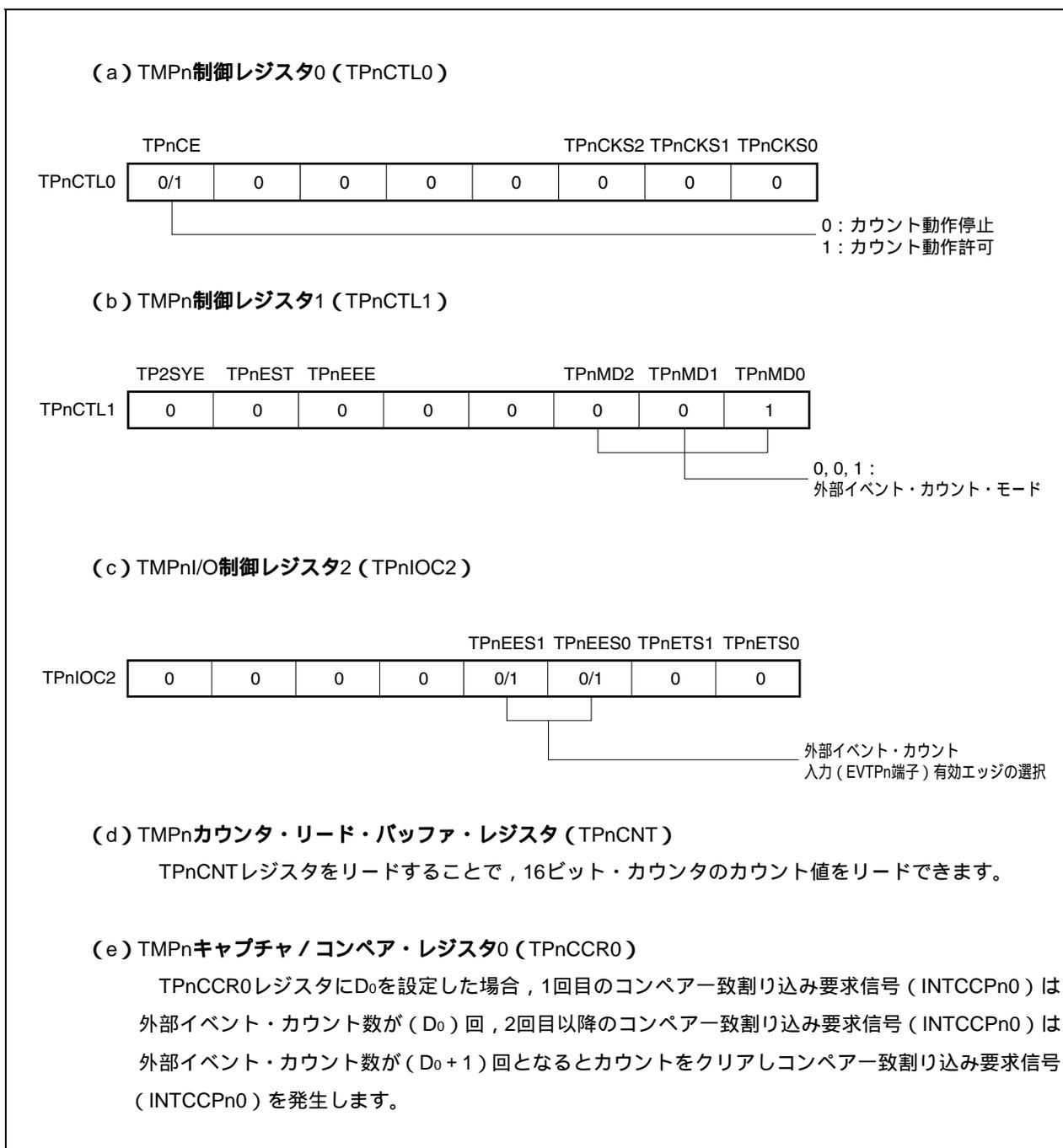


図8 - 15 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

外部イベント・カウント・モードでは、TPnCCR1レジスタは使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTCCPn1) が発生します。

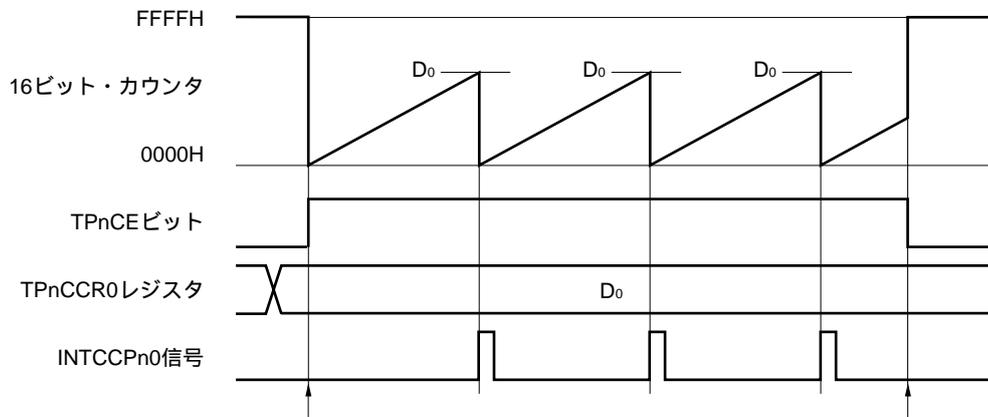
TP0CCR1-TP2CCR1レジスタを使用しない場合には、TP0CCR1-TP2CCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (P00IC1.P00MK1, P02IC2.P02MK2, P05IC1.P05MK1) でマスク設定してください。

備考1. TMPnI/O制御レジスタ0 (TPnIOC0) , TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、外部イベント・カウント・モードでは使用しません。

2. n = 0-2

(1) 外部イベント・カウント・モード動作フロー

図8 - 16 外部イベント・カウント・モード使用時のソフトウェア処理フロー

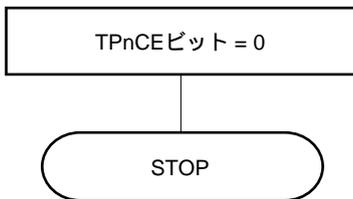


カウント動作開始フロー



TPnCEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作停止フロー



カウント動作停止 (TPnCEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

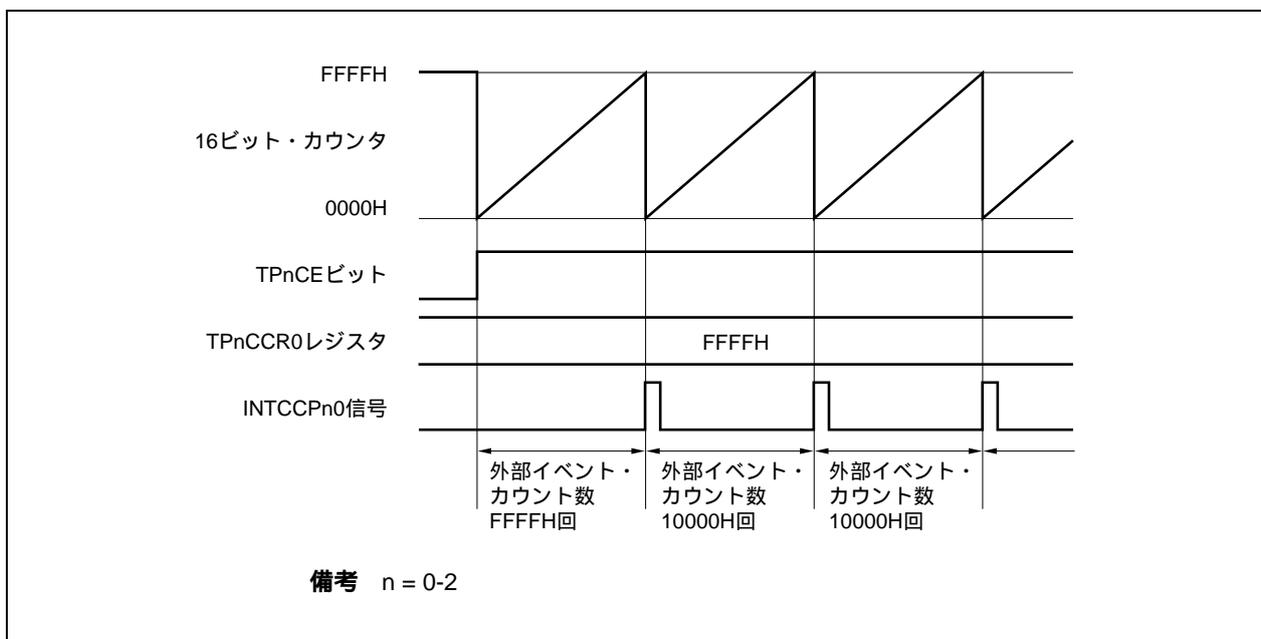
備考 n = 0-2

(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モードでは、TPnCCR0, TPnCCR1レジスタに0000Hを設定することは禁止します。
2. 外部イベント・カウント・モード時、タイマ出力 (TOPn0, TOPn1) は使用禁止です。外部イベント・カウント入力 (EVTPn) でタイマ出力 (TOPn1) を使用する場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TPnCTL1. TPnEEEビット = 1) に設定してください (8.6.1 (3) 外部イベント・カウント入力 (EVTPn) による動作参照)。

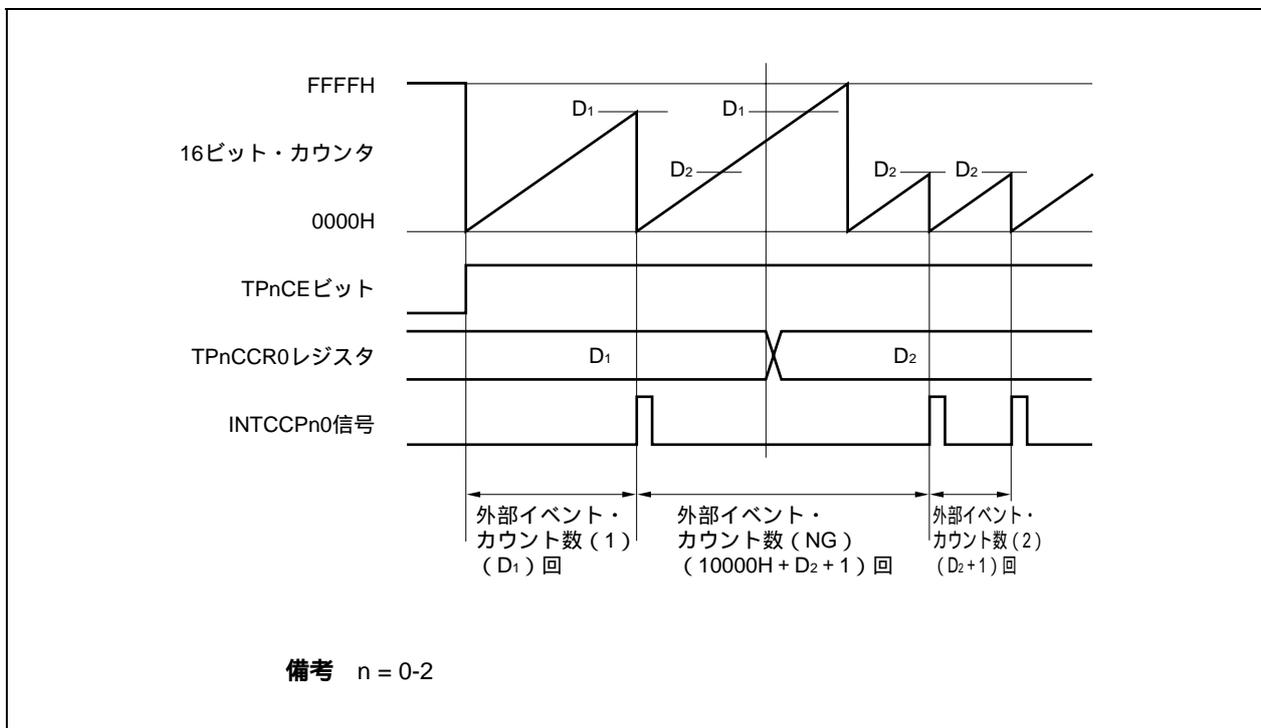
(a) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTCCPn0信号を発生します。このとき、TPnOPT0.TPnOVFビットはセットされません。



(b) TPnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



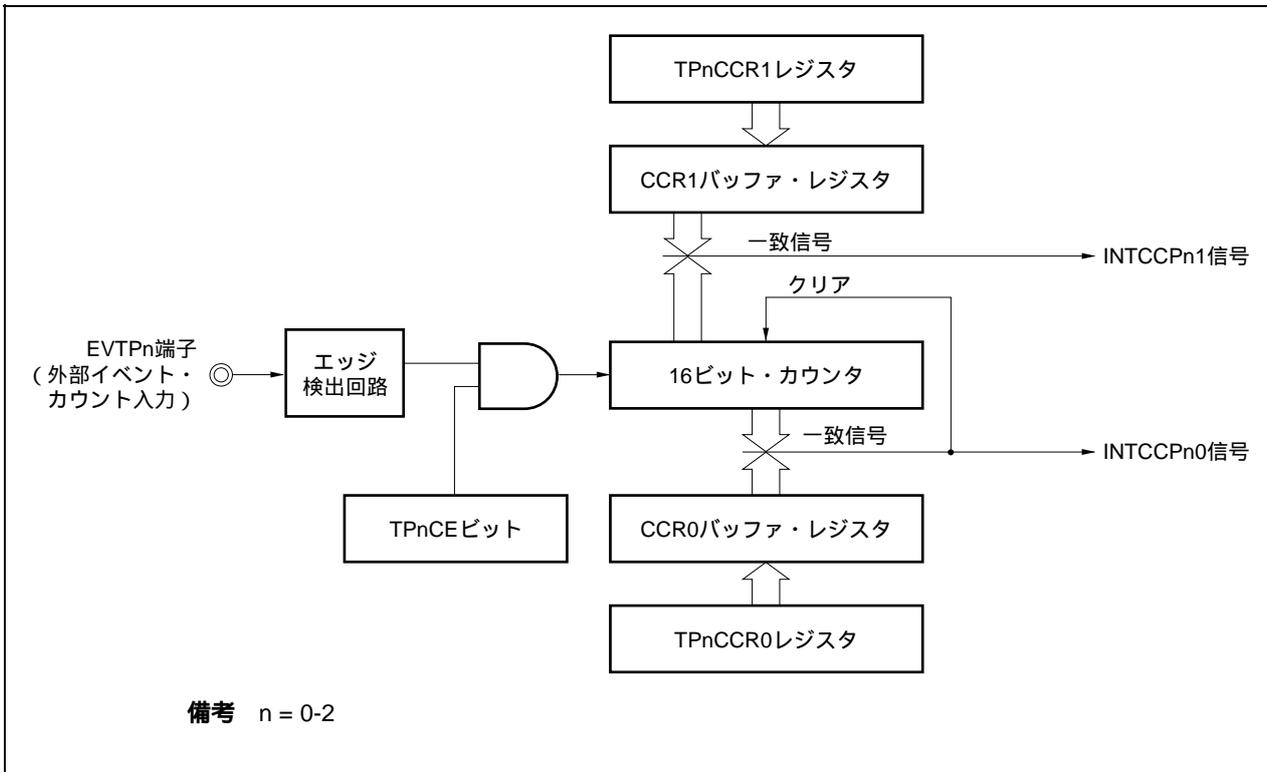
カウント値がD₂よりも大きくD₁よりも小さい状態において、TPnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTCCPn0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁ + 1)回」または「(D₂ + 1)回」の有効エッジ数でINTCCPn0信号は発生せずに、「(10000H + D₂ + 1)回」の有効エッジ数でINTCCPn0信号が発生する場合があります。

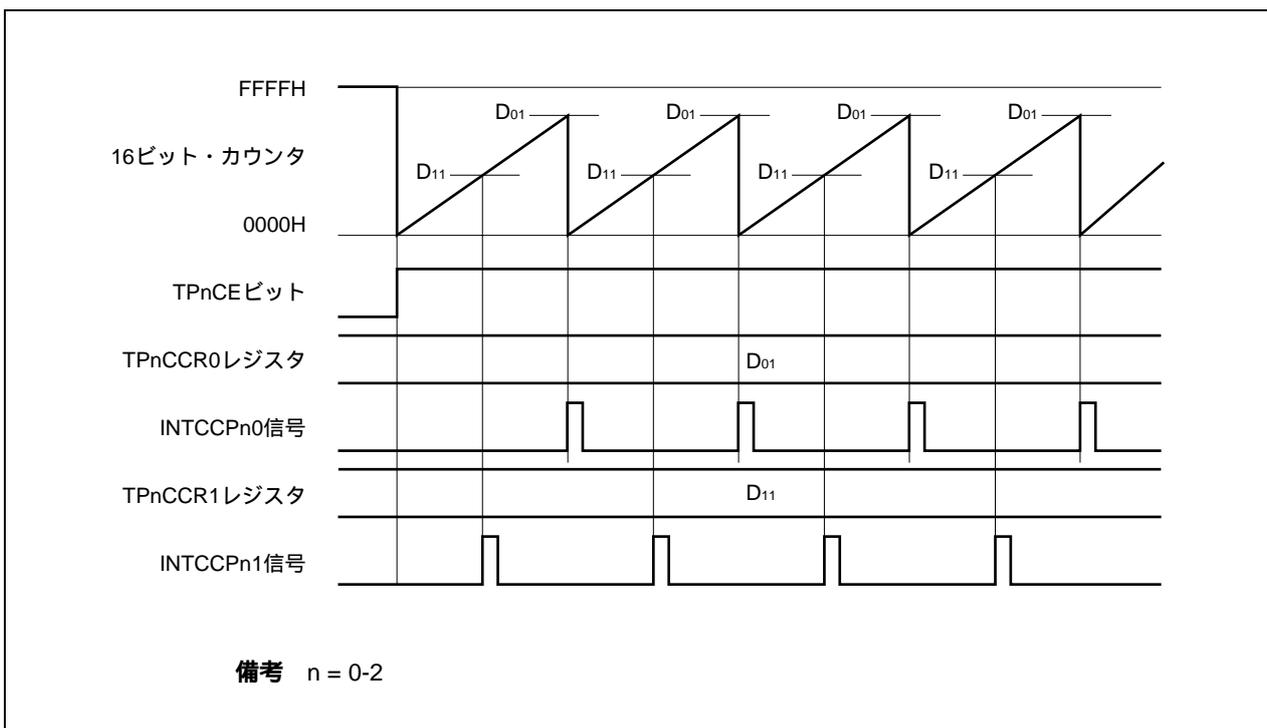
(c) TPnCCR1レジスタの動作

図8 - 17 TPnCCR1レジスタ1の構成図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTCCPn1信号が発生します。

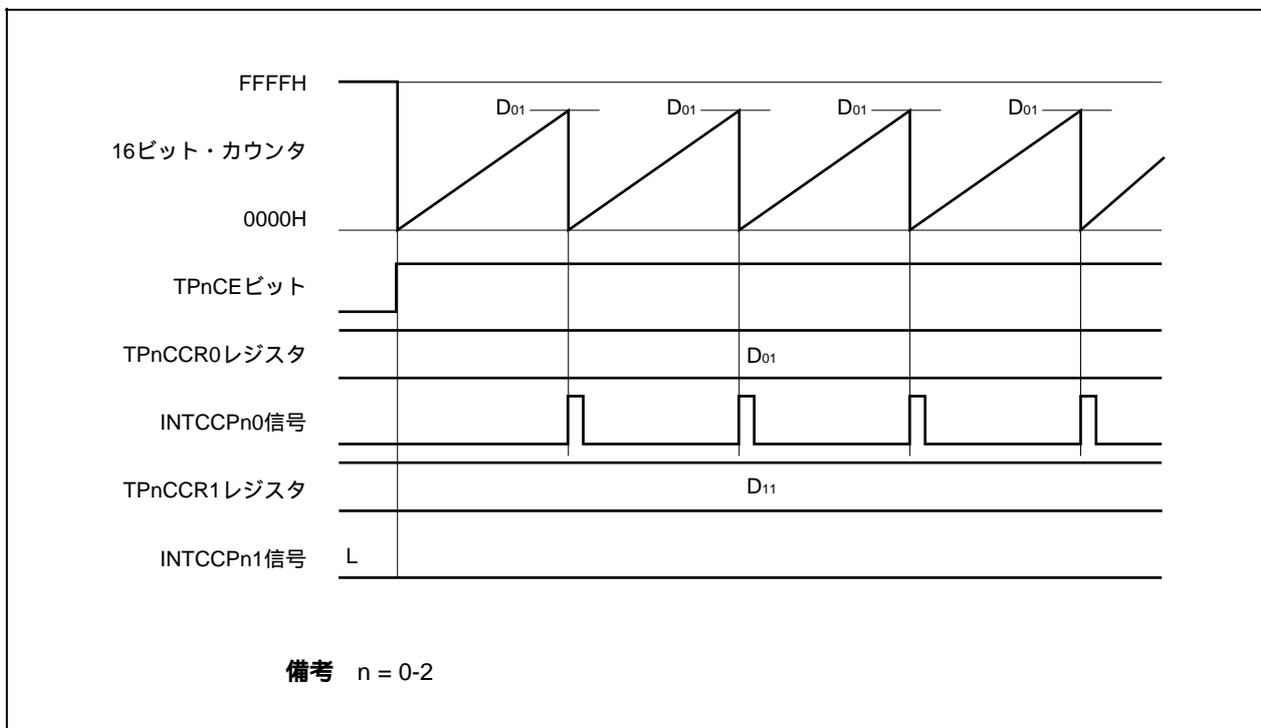
図8 - 18 D₀₁ D₁₁の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTCCPn1信号は発生しません。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図8 - 19 D₀₁ < D₁₁の場合のタイミング図



8. 6. 3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)

外部トリガ・パルス出力モードは, TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり, 外部トリガ入力 (TIPn) の有効エッジを検出すると, カウント動作を開始し, TOPn1端子からPWM波形を出力します。

外部トリガ入力の代わりに, ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合, TOPn0端子から, TPnCCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力できます。

図8 - 20 外部トリガ・パルス出力モードの構成図

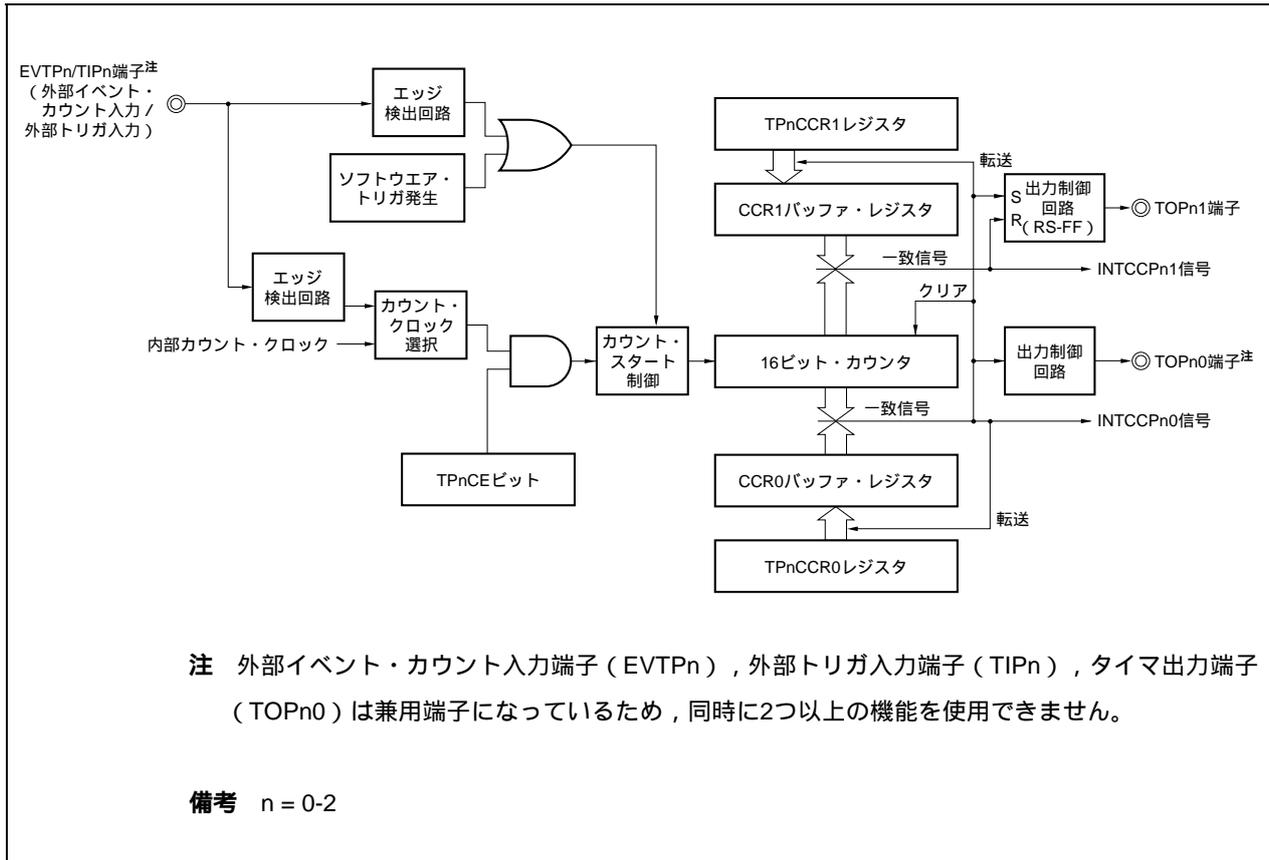
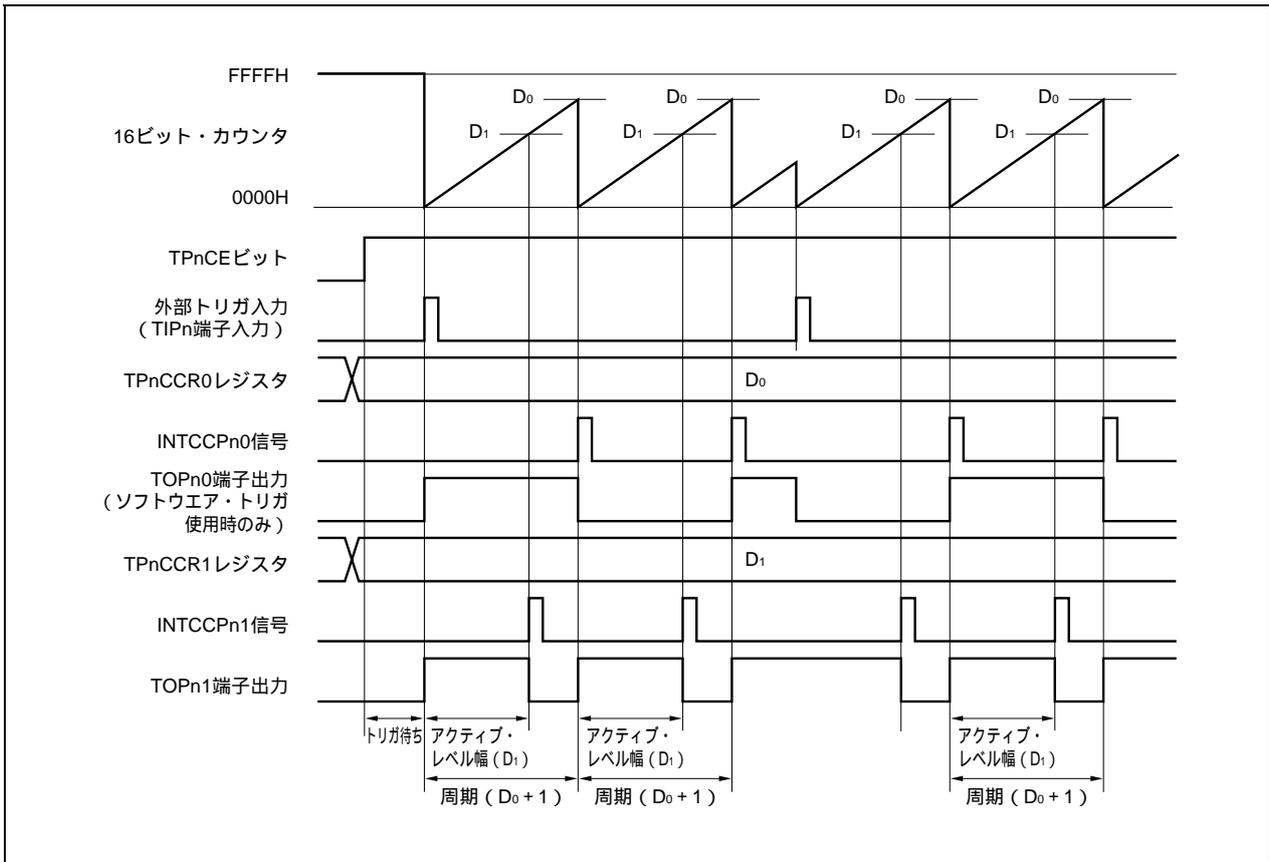


図8 - 21 外部トリガ・パルス出力モードの基本タイミング



TPnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOPn0端子出力は反転します。TOPn1端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

コンパレー一致割り込み要求信号(INTCCPn0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号(INTCCPn1)は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

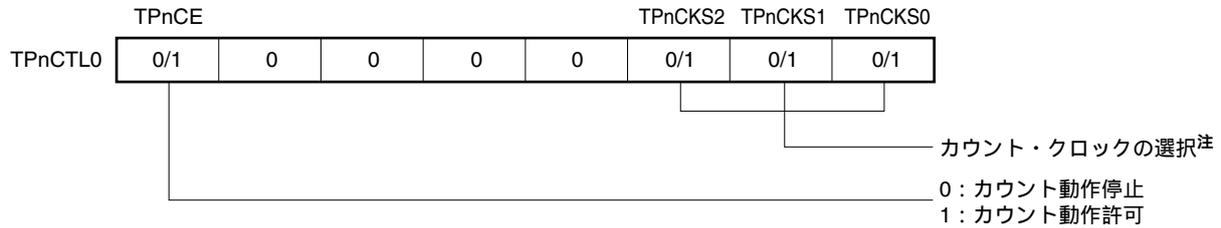
TPnCCRnレジスタに設定した値は、16ビット・カウンタのカウント値とCCRnバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRnバッファ・レジスタに転送されます。

トリガには、外部トリガ入力(TIPn)の有効エッジ、またはソフトウェア・トリガ(TPnCTL1.TPnESTビット)のセット(1)があります。

備考 n = 0-2, a = 0, 1

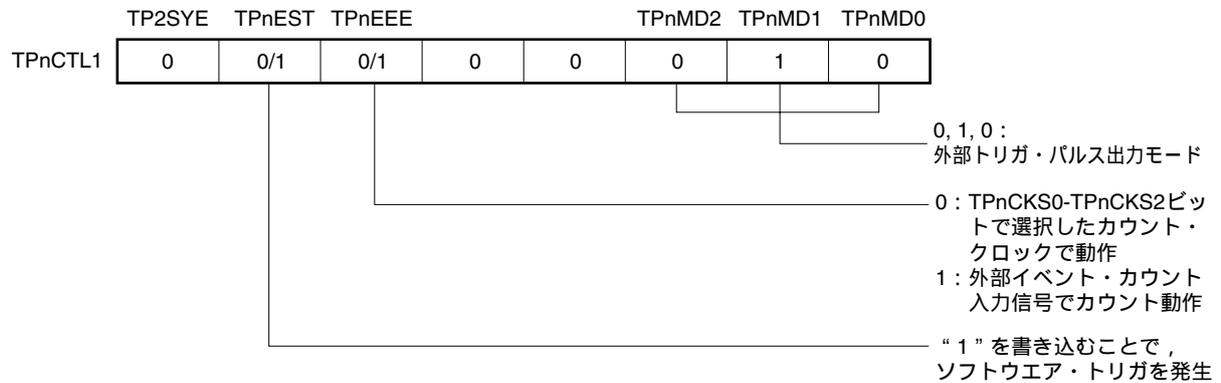
図8 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)

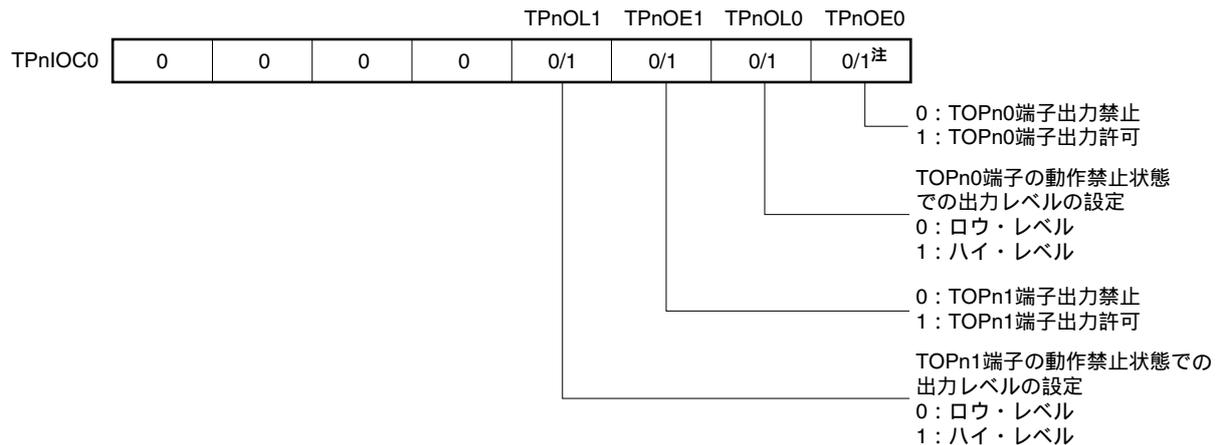


注 TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

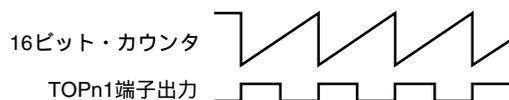
(b) TMPn制御レジスタ1 (TPnCTL1)



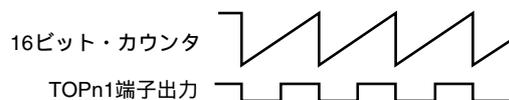
(c) TMPn/O制御レジスタ0 (TPnIOC0)



・ TPnOL1ビット = 0の場合

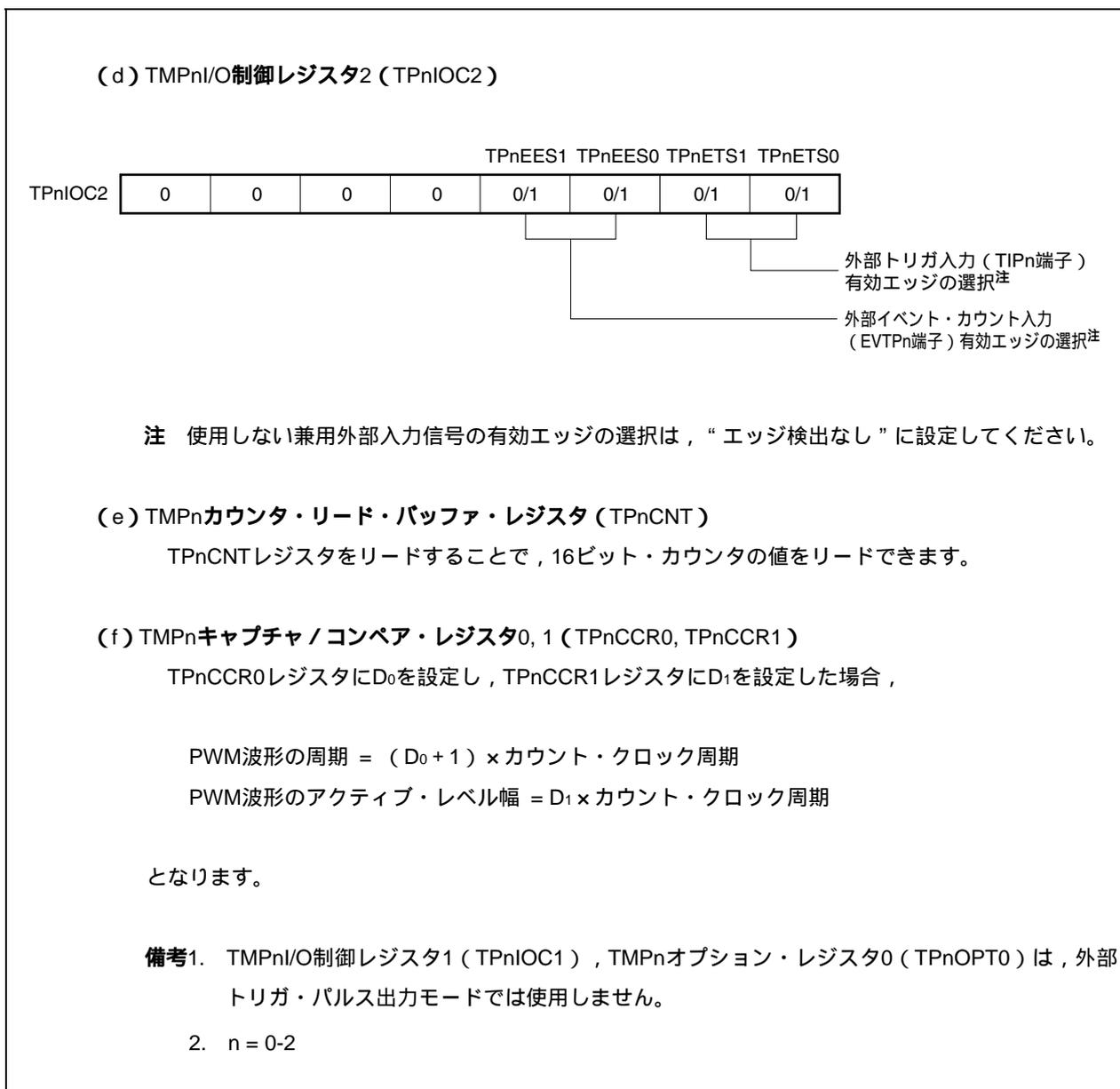


・ TPnOL1ビット = 1の場合



注 外部トリガ・パルス出力モードでTOPn0端子を使用しない場合は“0”に設定してください。

図8 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) 外部トリガ・パルス出力モード動作フロー

図8 - 23 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

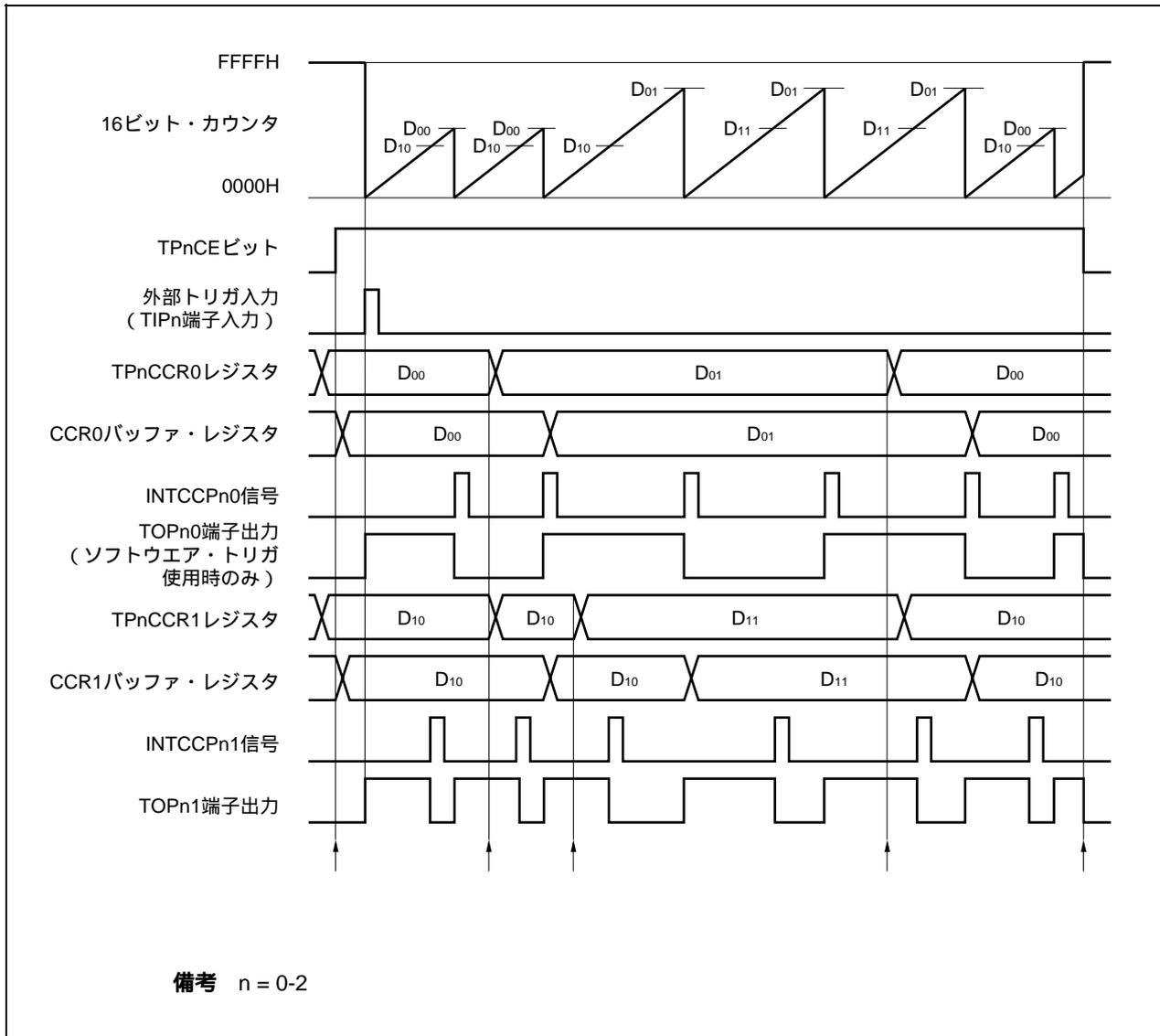
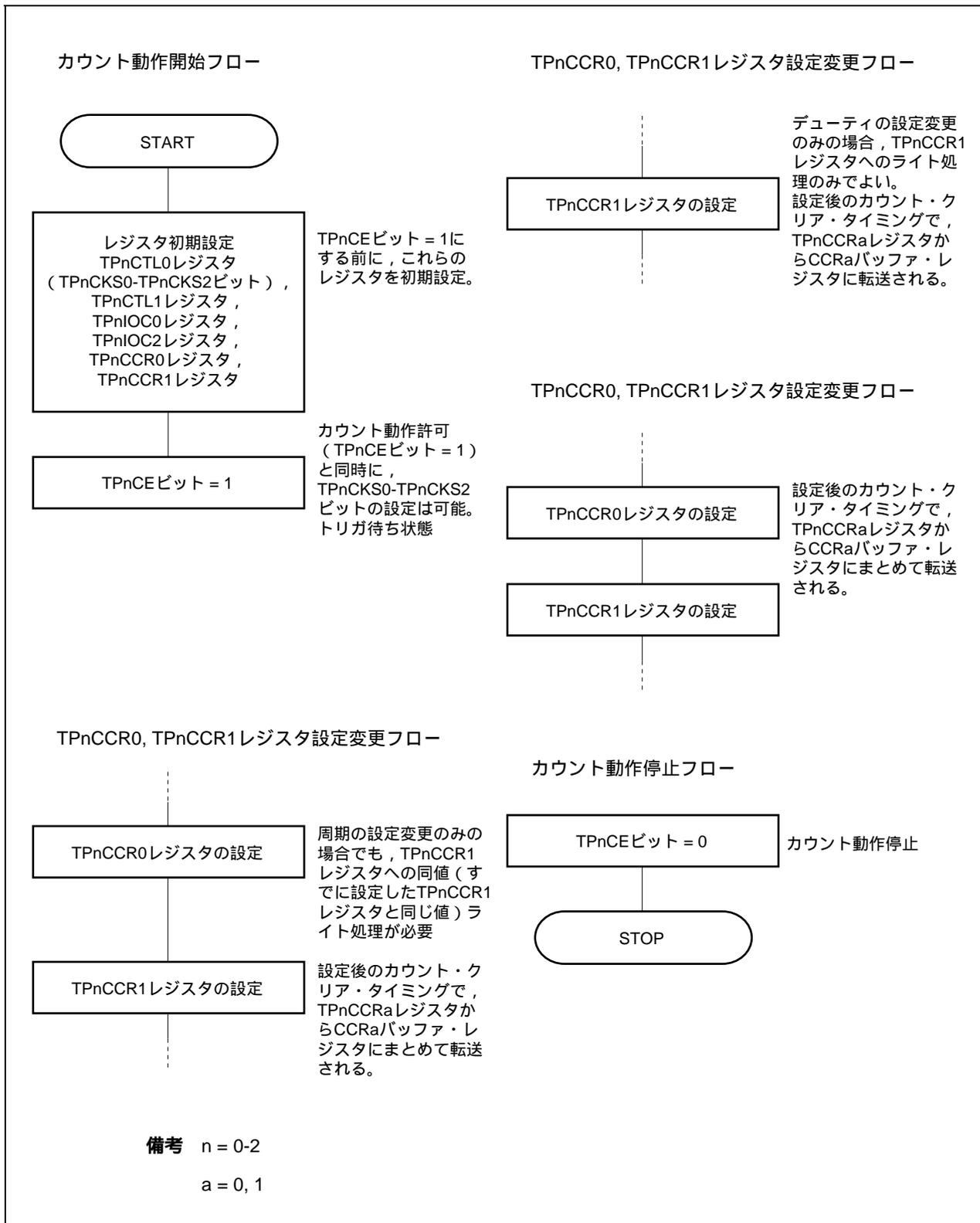


図8 - 23 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

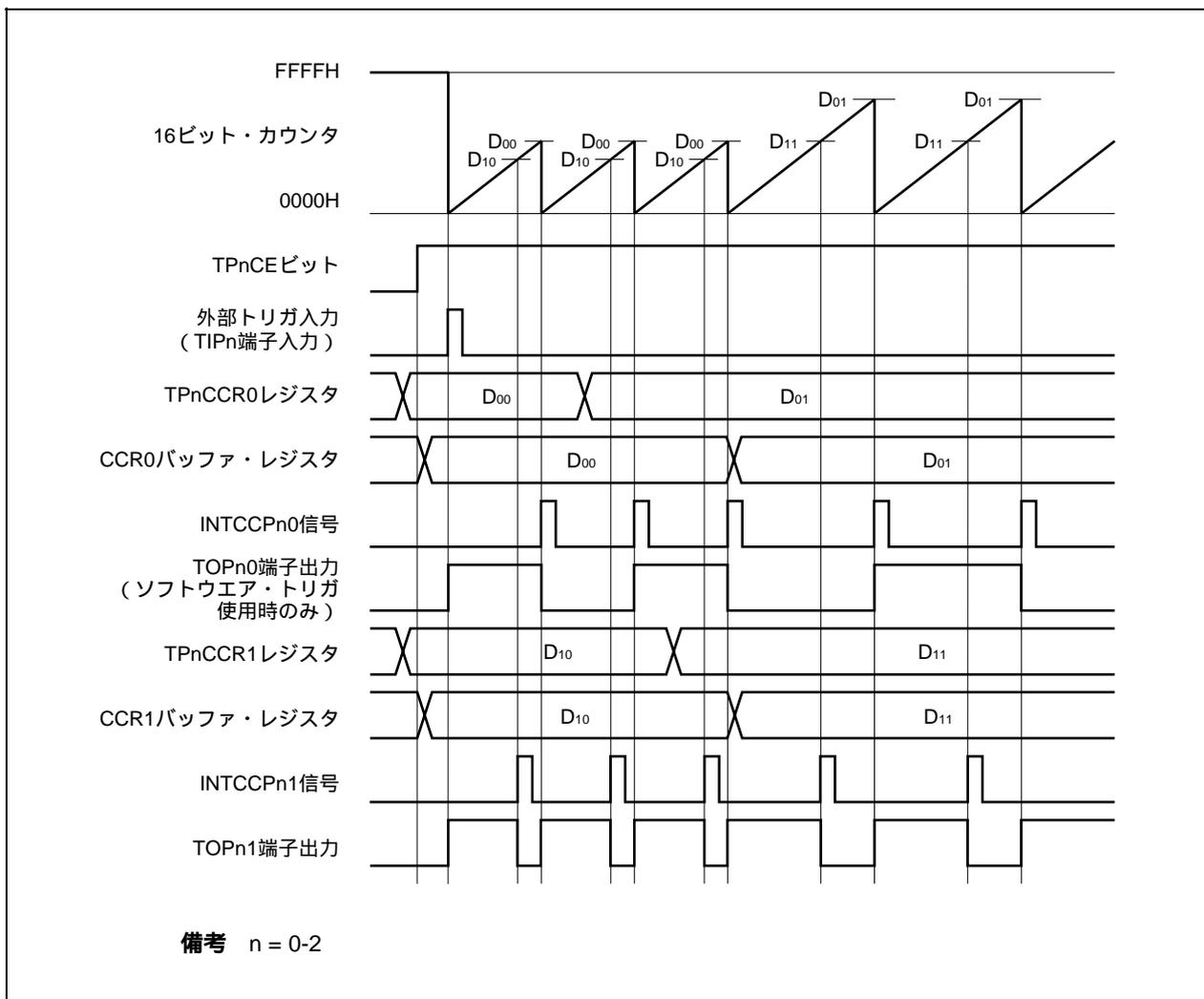


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRaレジスタの書き換えを行う場合には、INTCCPn0信号を検出後に書き換えてください。



TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値（すでに設定したTPnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

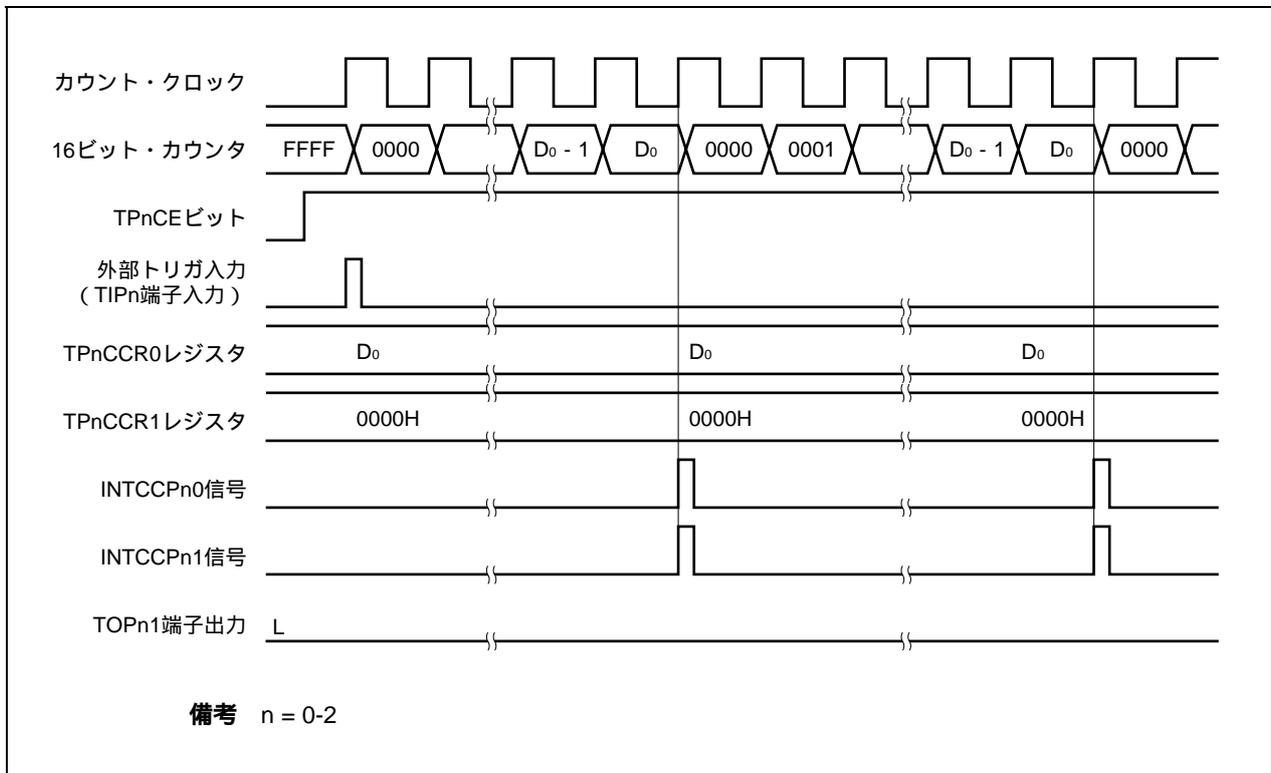
また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTCCPn0信号の発生後に行ってください。これを守れない場合には、TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TPnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-2

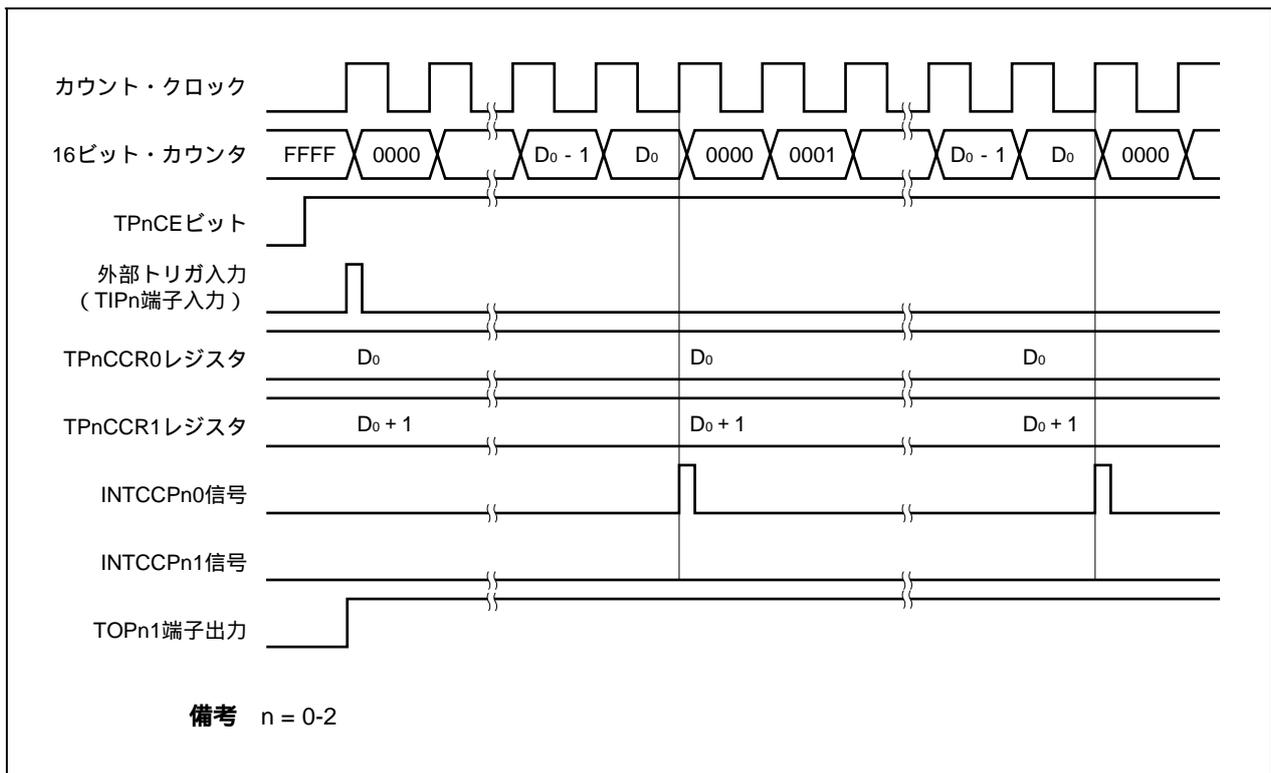
a = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TPnCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ, INTCCPn0信号とINTCCPn1信号が発生します。

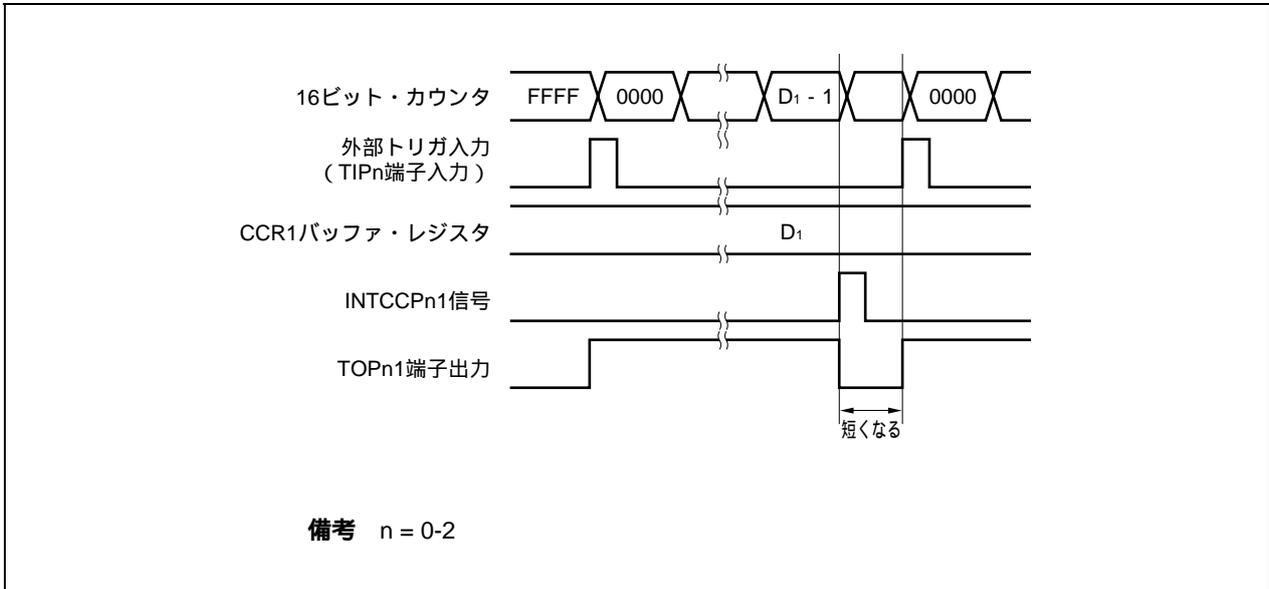


100 % 波形を出力するためには, TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。

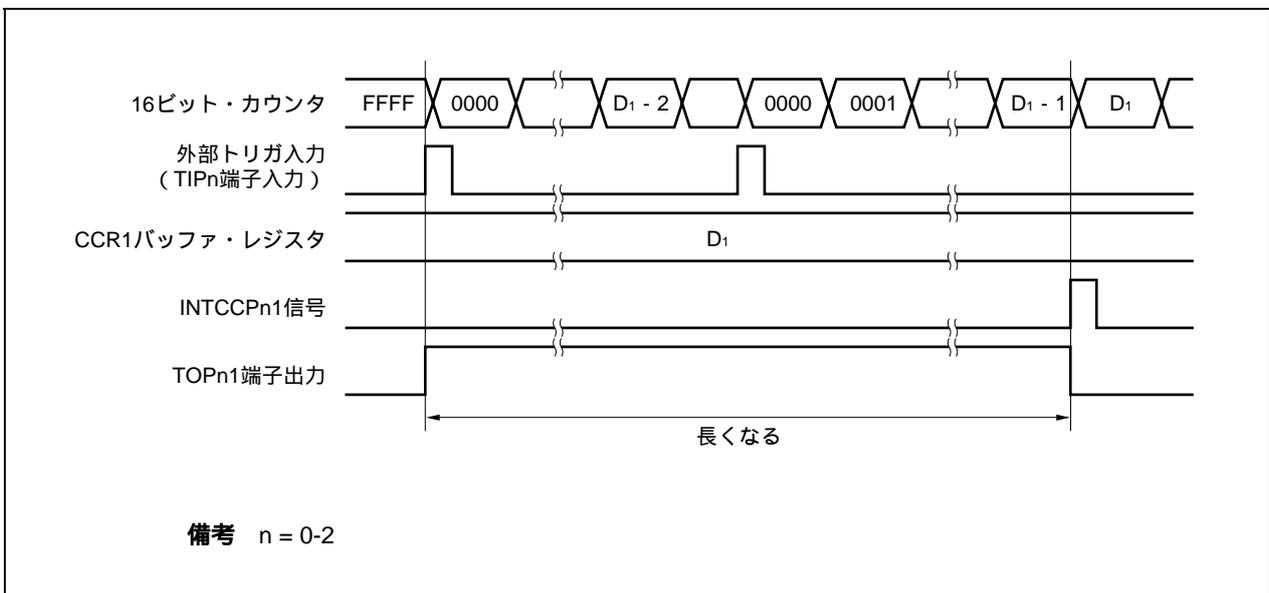


(c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

INTCCPn1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

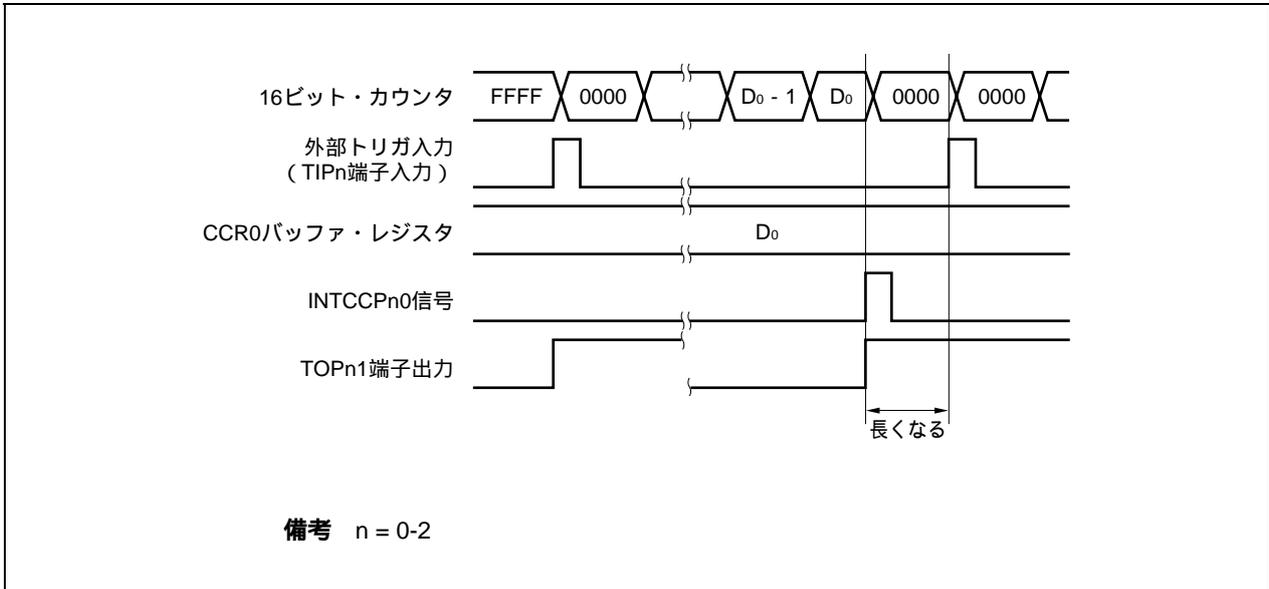


INTCCPn1信号発生直前にトリガを検出した場合には、INTCCPn1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOPn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

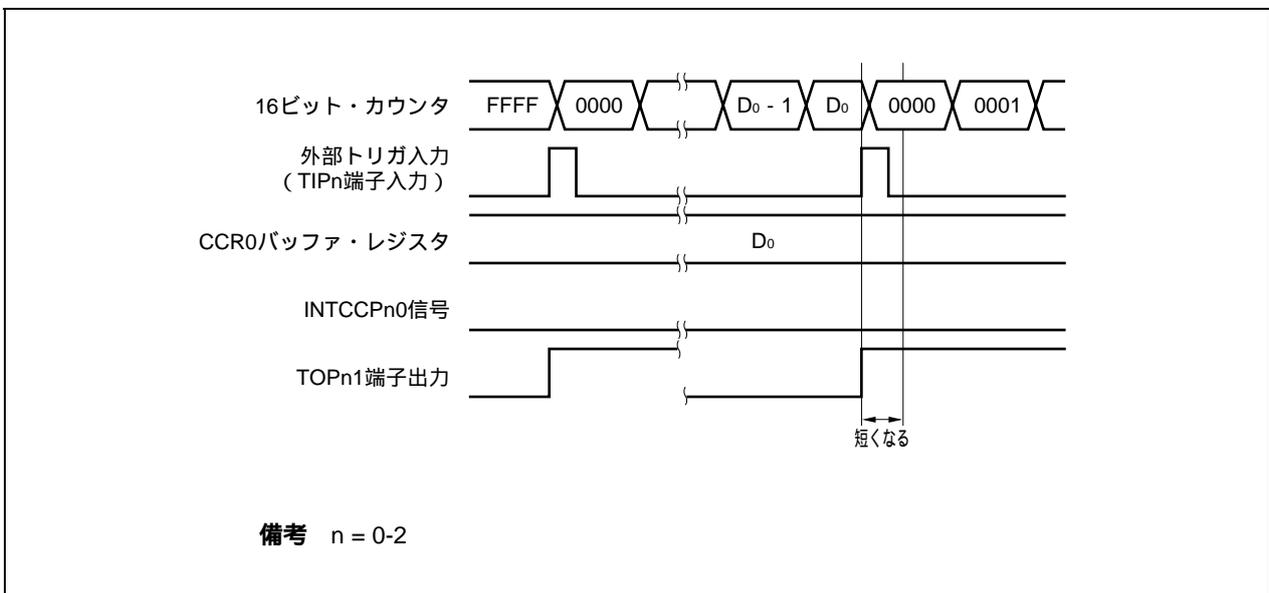


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTCCPn0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOPn1端子出力のアクティブ期間が、INTCCPn0信号発生からトリガ検出までの分だけ長くなります。

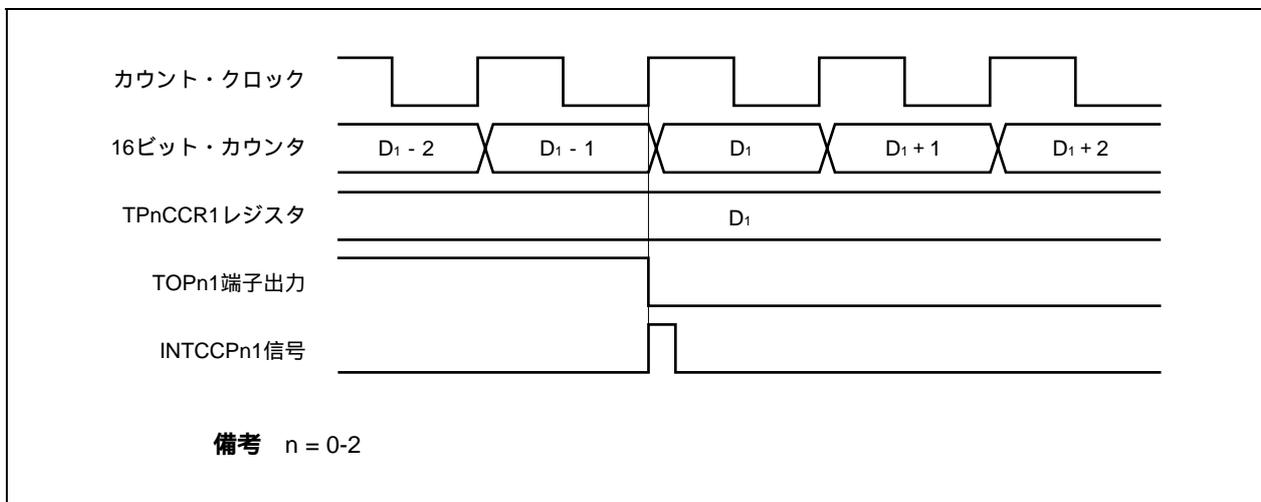


INTCCPn0信号発生直前にトリガを検出した場合、INTCCPn0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTCCPn1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTCCPn1信号の発生タイミングは、ほかのモードのINTCCPn1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTCCPn1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

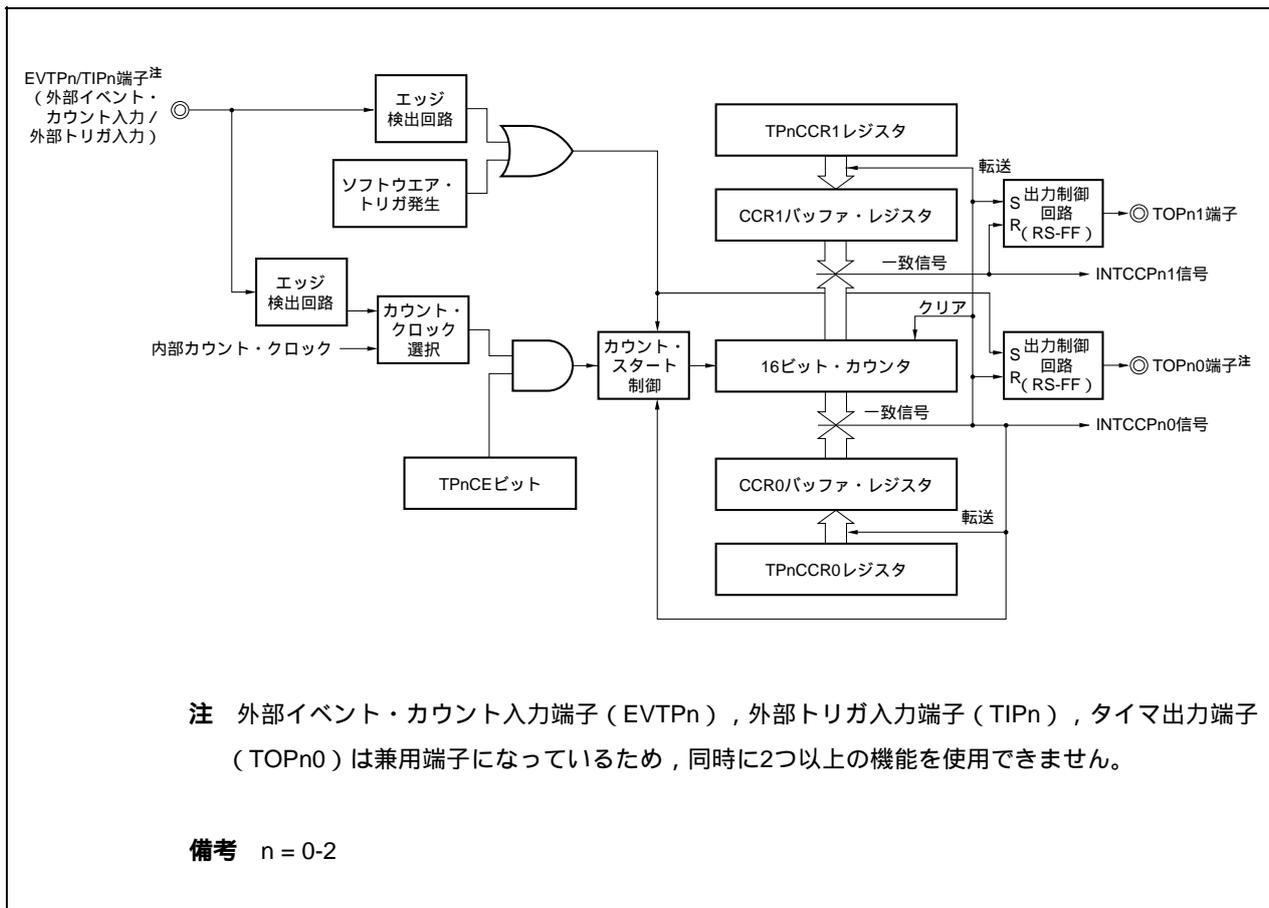
しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.6.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)

ワンショット・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からワンショット・パルスを出力します。

外部トリガ入力(TIPn)の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOPn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

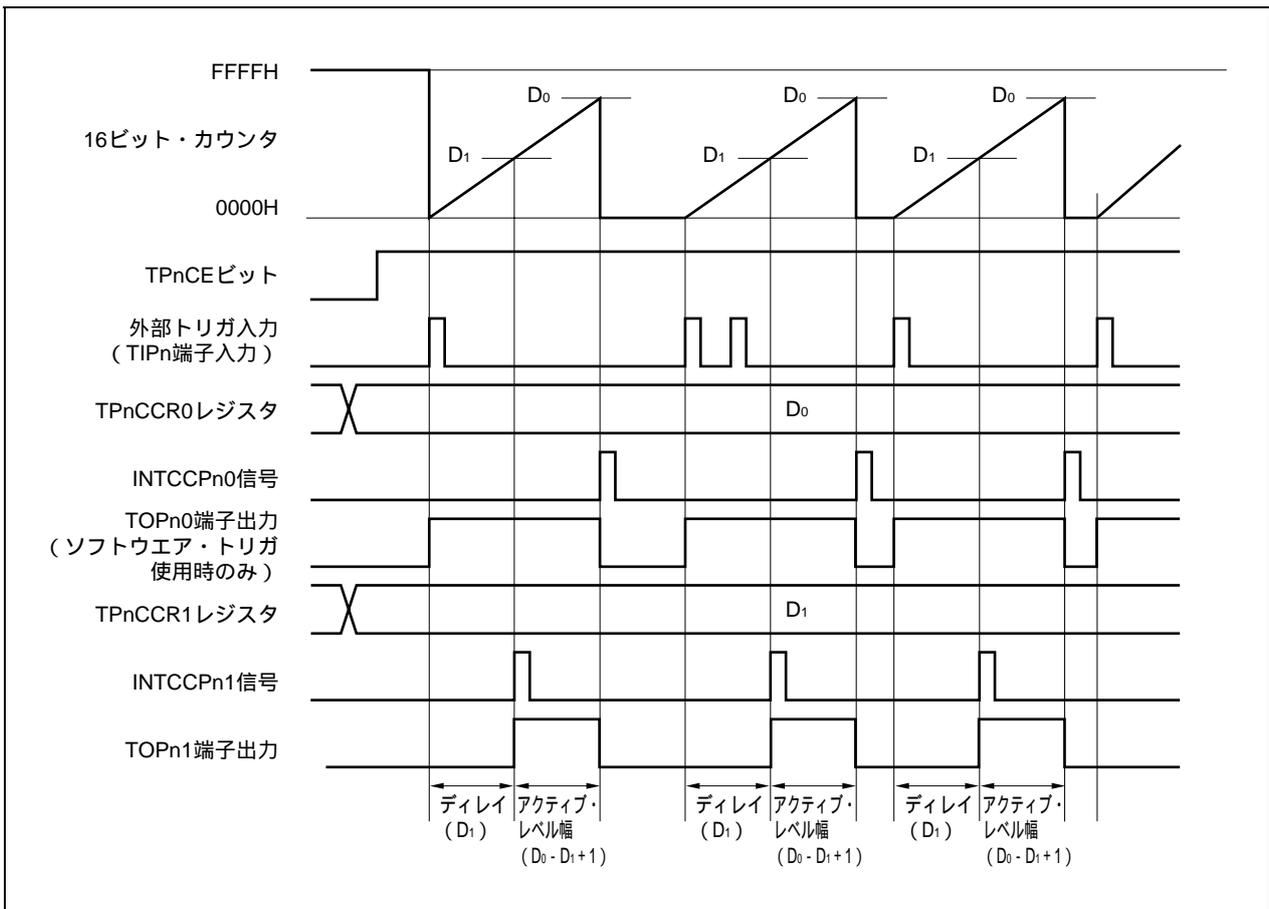
図8-24 ワンショット・パルス出力モードの構成図



注 外部イベント・カウント入力端子 (EVTp), 外部トリガ入力端子 (TIPn), タイマ出力端子 (TOPn0) は兼用端子になっているため、同時に2つ以上の機能を使用できません。

備考 n = 0-2

図8 - 25 ワンショット・パルス出力モードの基本タイミング



TPnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウンタ動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウンタ動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TPnCCR0レジスタの設定値} - \text{TPnCCR1レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

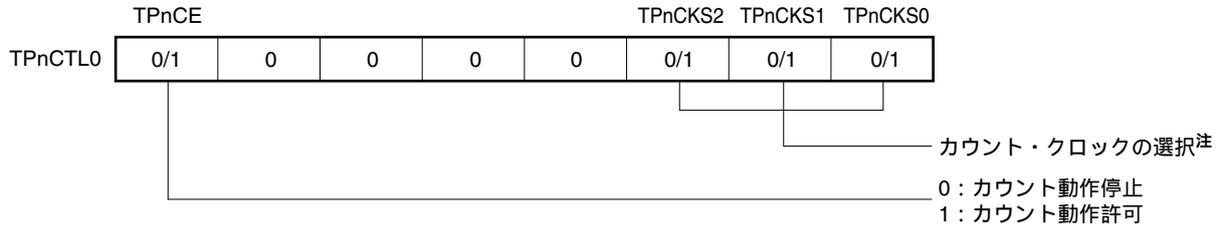
コンペアー一致割り込み要求信号 (INTCCRn0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生します。コンペアー一致割り込み要求信号 (INTCCRn1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TIPn端子) の有効エッジ、またはソフトウェア・トリガ (TPnCTL1.TPnESTビット) のセット(1)があります。

備考 n = 0-2

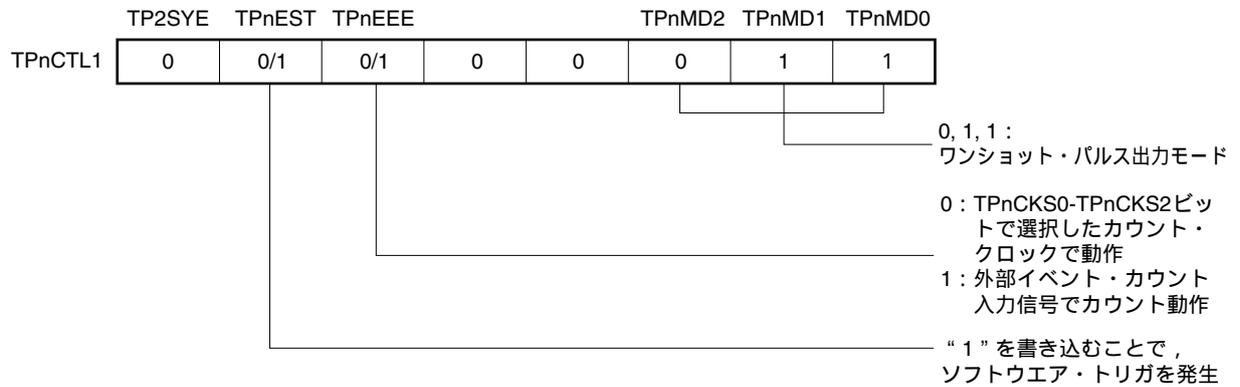
図8 - 26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)

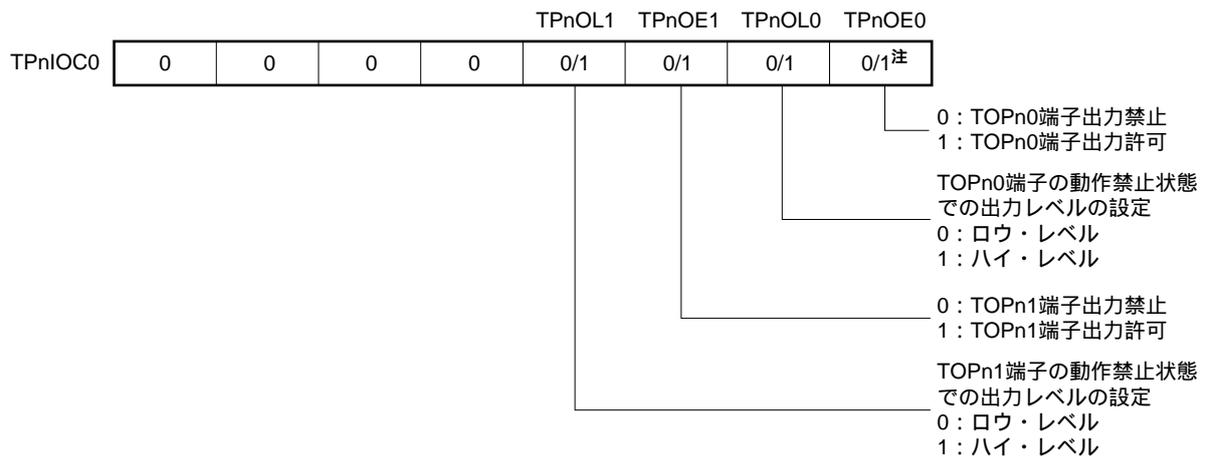


注 TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

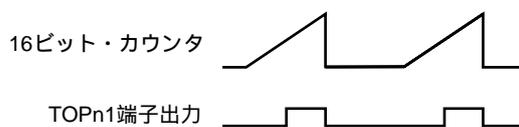
(b) TMPn制御レジスタ1 (TPnCTL1)



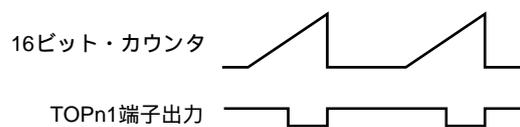
(c) TMPn/O制御レジスタ0 (TPnIOC0)



・ TPnOL1ビット = 0の場合



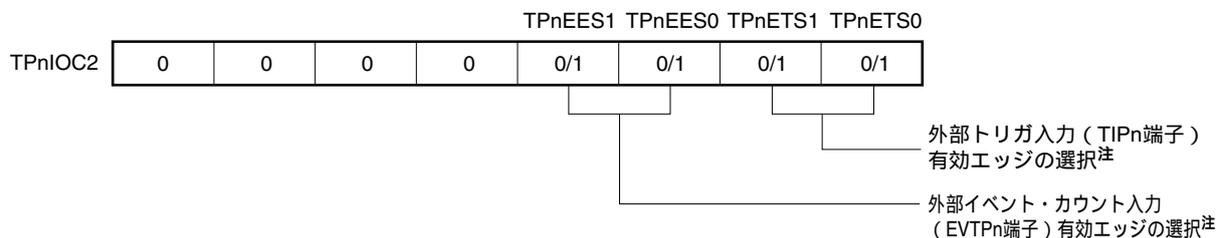
・ TPnOL1ビット = 1の場合



注 ワンショット・パルス出力モードでTOPn0端子を使用しない場合は“0”に設定してください。

図8 - 26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

(d) TMPnI/O制御レジスタ2 (TPnIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TPnCCR0レジスタにD₀を設定し、TPnCCR1レジスタにD₁を設定した場合、

$$\text{ワンショット・パルスのアクティブ・レベル幅} = (D_1 - D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{ワンショット・パルスの出力ディレイ期間} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

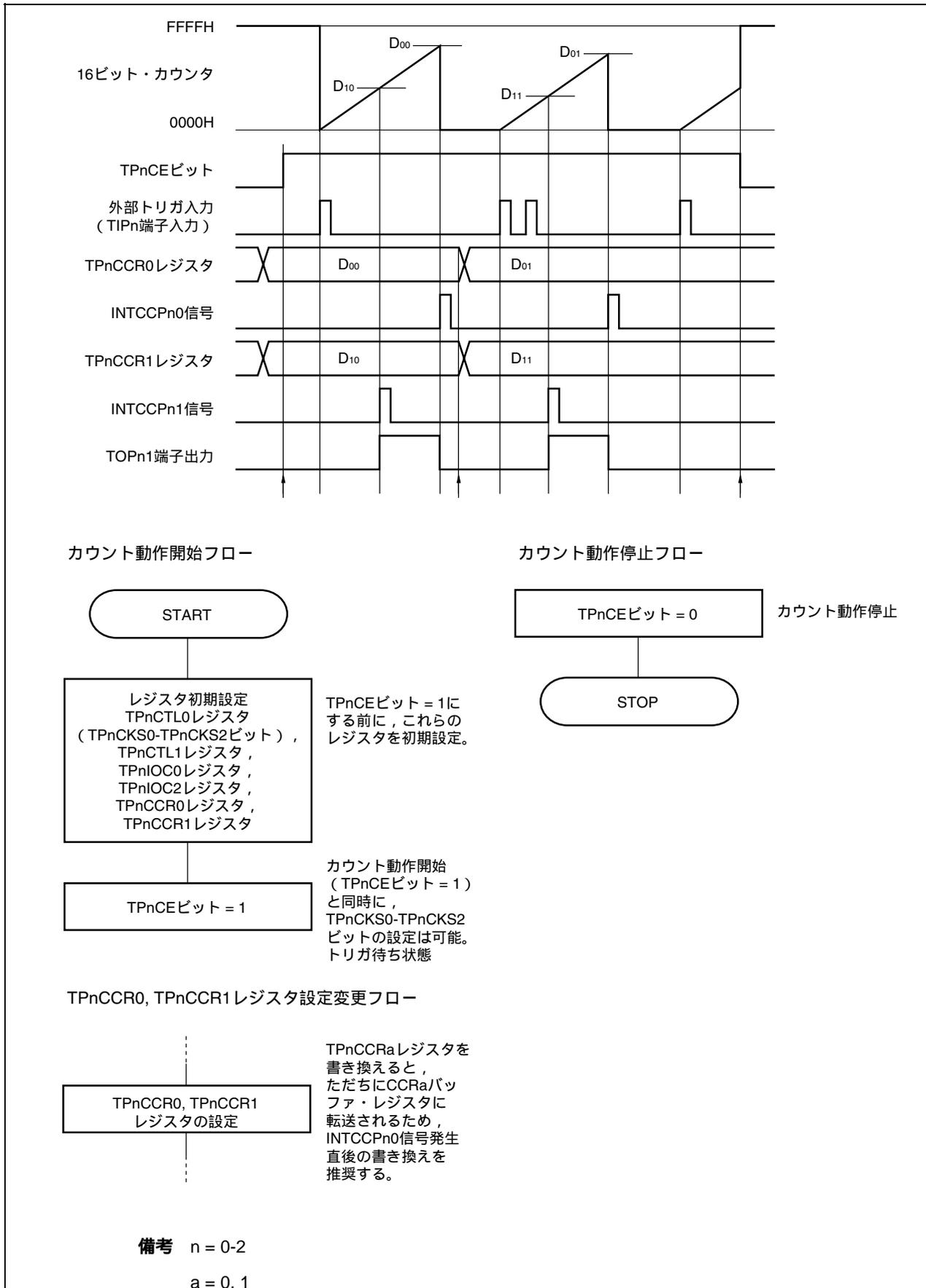
となります。

備考1. TMPnI/O制御レジスタ1 (TPnIOC1)，TMPnオプション・レジスタ0 (TPnOPT0) は，ワンショット・パルス出力モードでは使用しません。

2. n = 0-2

(1) ワンショット・パルス出力モード動作フロー

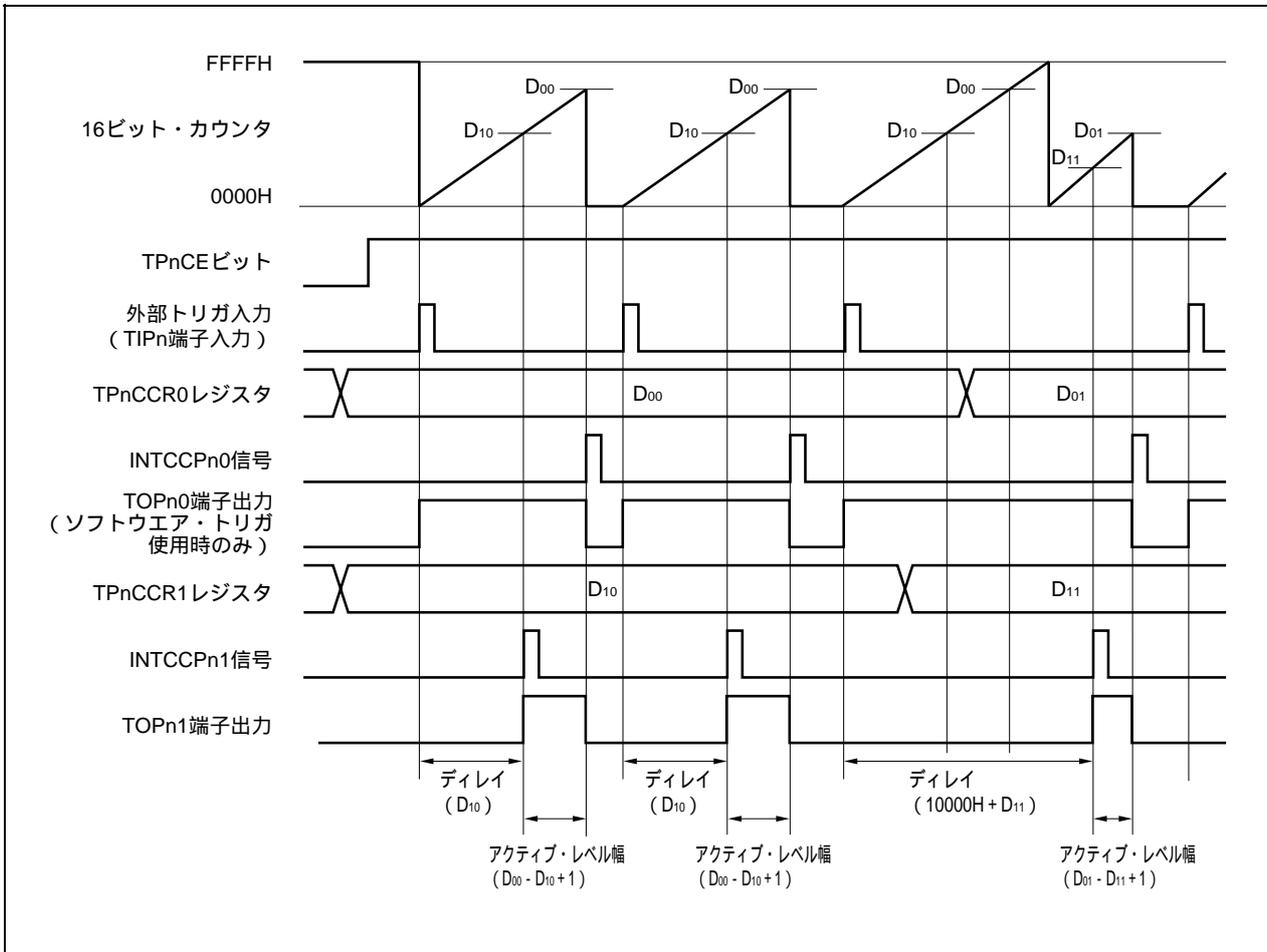
図8-27 ワンショット・パルス出力モード使用時のソフトウェア処理フロー



(2) ワンショット・パルス出力モード動作タイミング

(a) TPnCCRaレジスタの書き換えに関する注意事項

カウント動作中にTPnCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



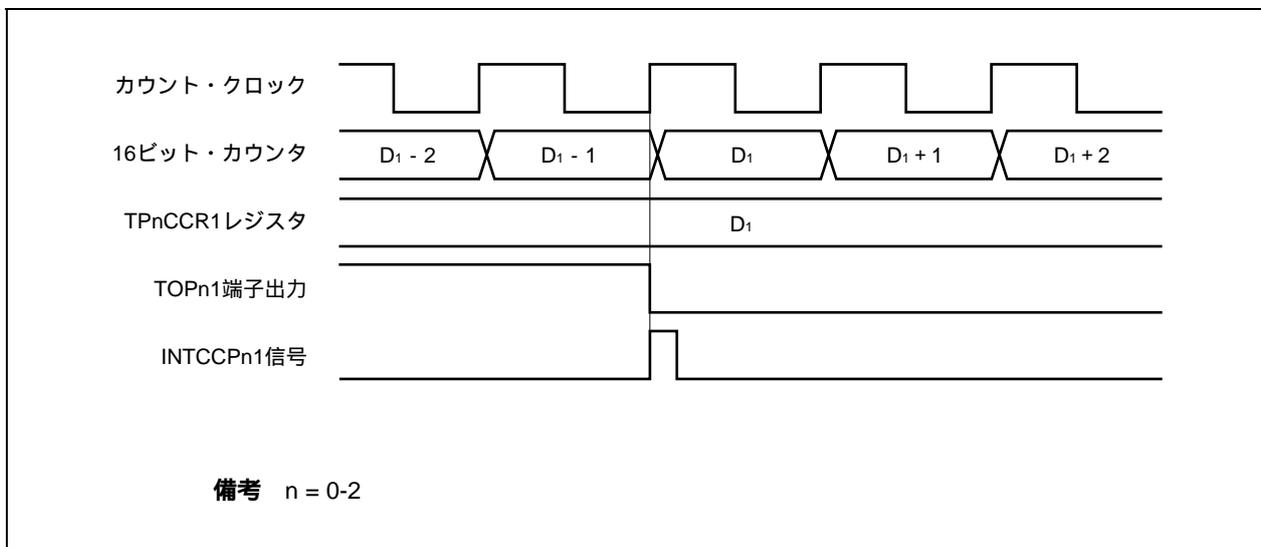
TPnCCR0レジスタをD₀₀からD₀₁に、TPnCCR1レジスタをD₁₀からD₁₁に書き換える場合において、D₀₀ > D₀₁、D₁₀ > D₁₁の状態では、16ビット・カウンタのカウンタ値がD₁₁よりも大きくD₁₀よりも小さい状態のときTPnCCR1レジスタを書き換え、カウンタ値がD₀₁よりも大きくD₀₀よりも小さい状態でTPnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D₁₁との一致でINTCCPn1信号を発生してTOPn1端子出力をアクティブ・レベルにし、D₀₁との一致でINTCCPn0信号を発生してTOPn1端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0-2, a = 0, 1

(b) コンペアー一致割り込み要求信号 (INTCCPn1) の発生タイミング

ワンショット・パルス出力モードにおけるINTCCPn1信号の発生タイミングは、ほかのモードのINTCCPn1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTCCPn1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.6.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100)

PWM出力モードは、TPnCTL0.TPnCEビットをセット (1) することで、TOPn1端子からPWM波形を出力します。

また、TOPn0端子から、TPnCCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力します。

図8 - 28 PWM出力モードの構成図

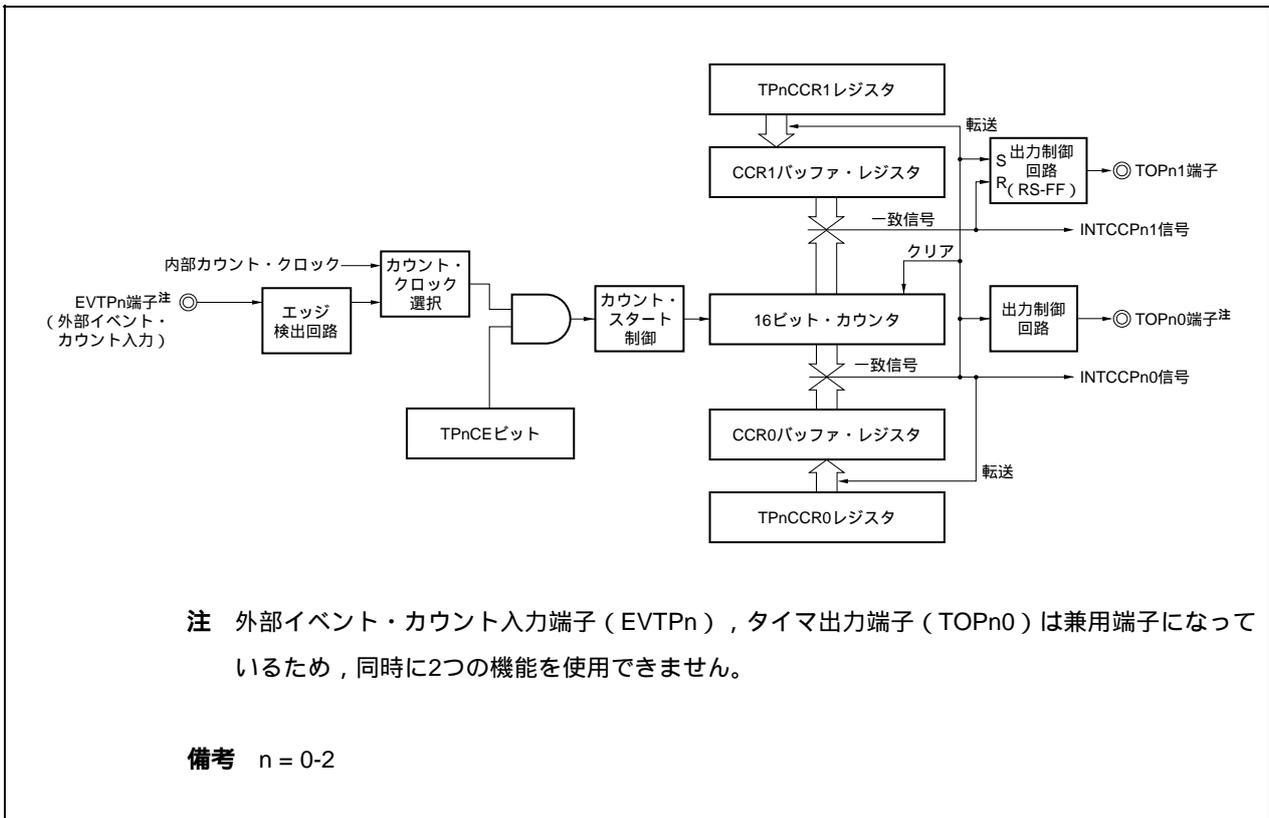
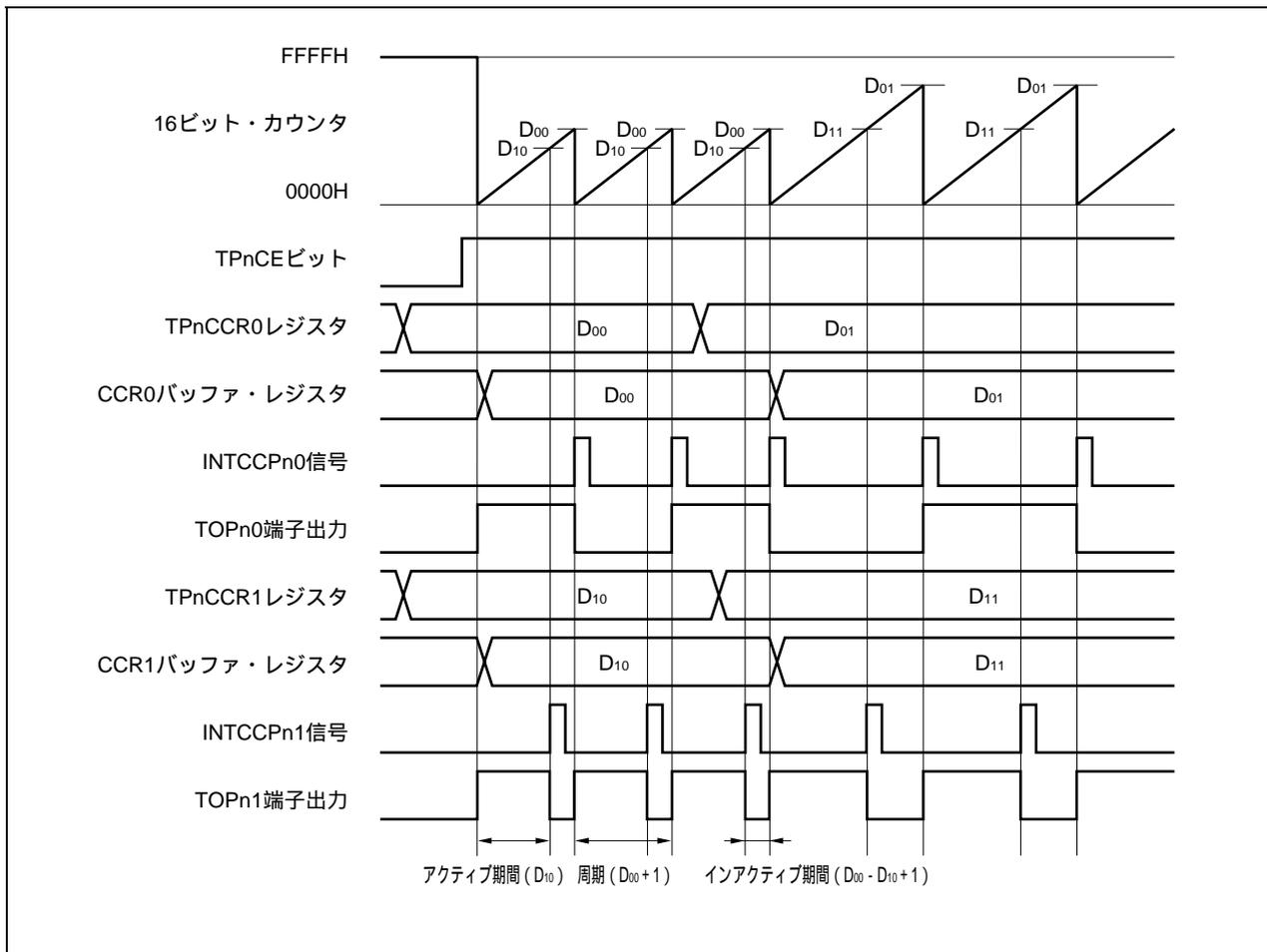


図8 - 29 PWM出力モードの基本タイミング



TPnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

動作中にTPnCCRaレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTCCPn0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTCCPn1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRaレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

備考 n = 0-2, a = 0, 1

図8 - 30 PWM出力モード動作時のレジスタ設定内容 (1/2)

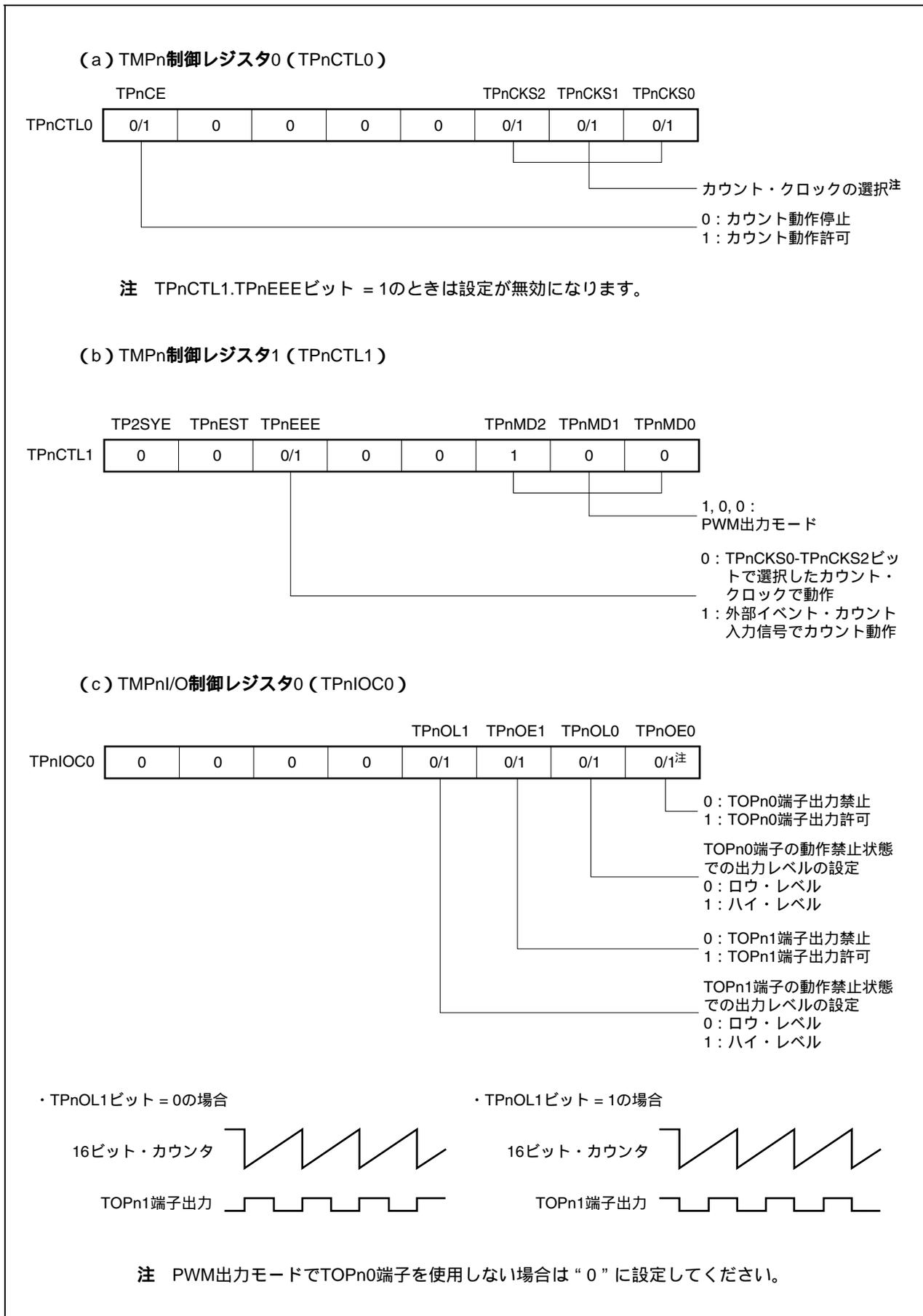
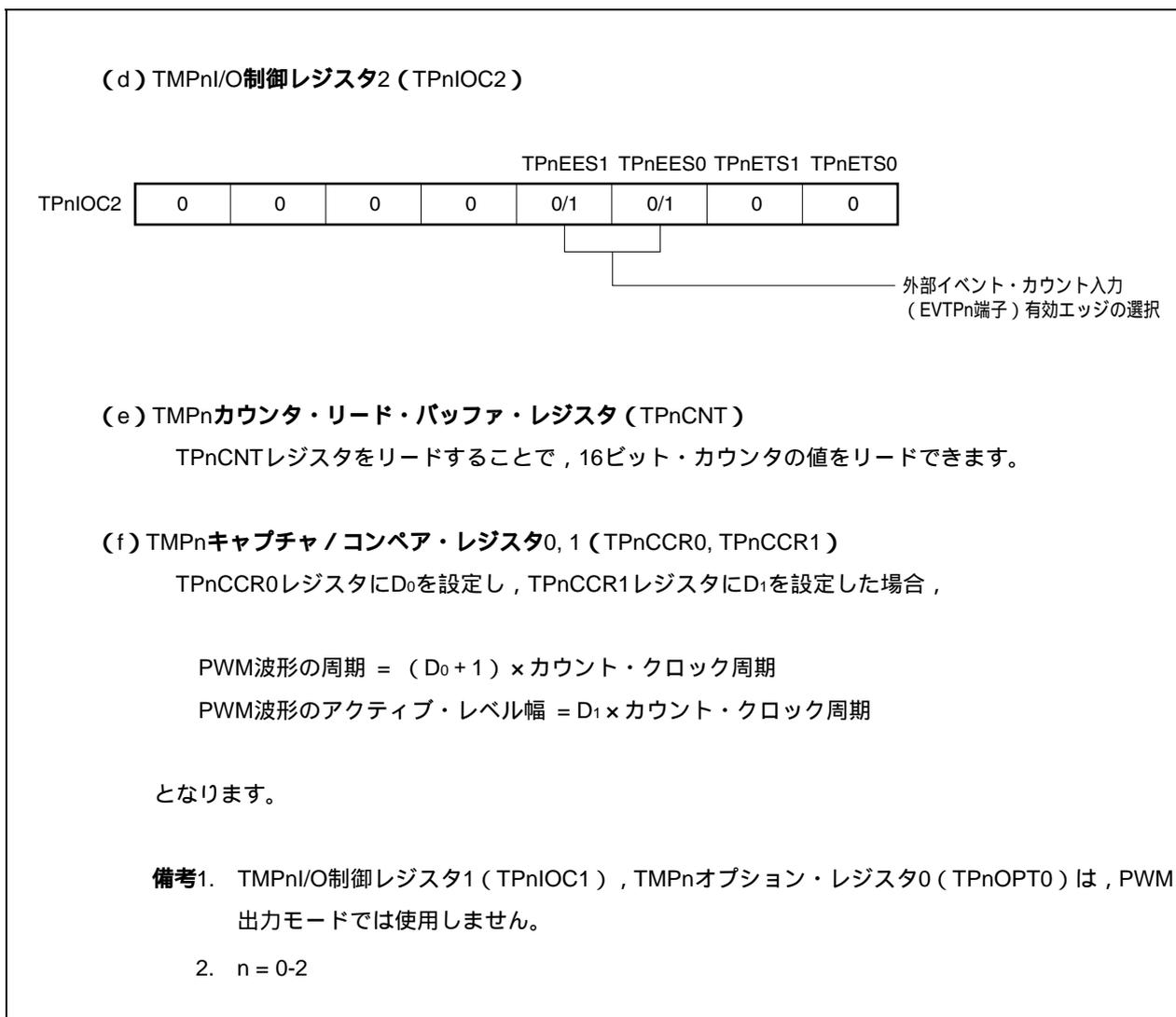


図8 - 30 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図8 - 31 PWM出力モード使用時のソフトウェア処理フロー (1/2)

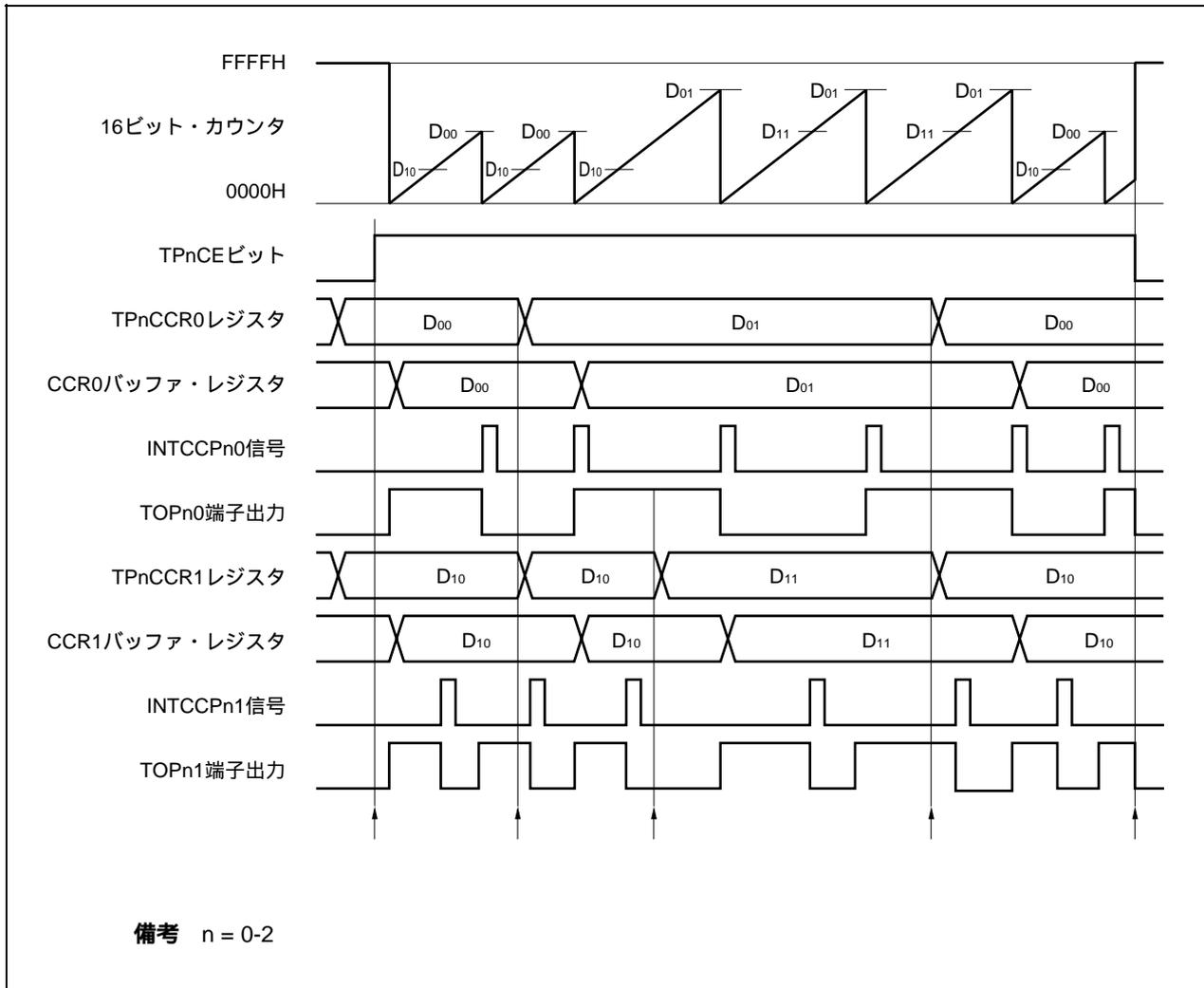
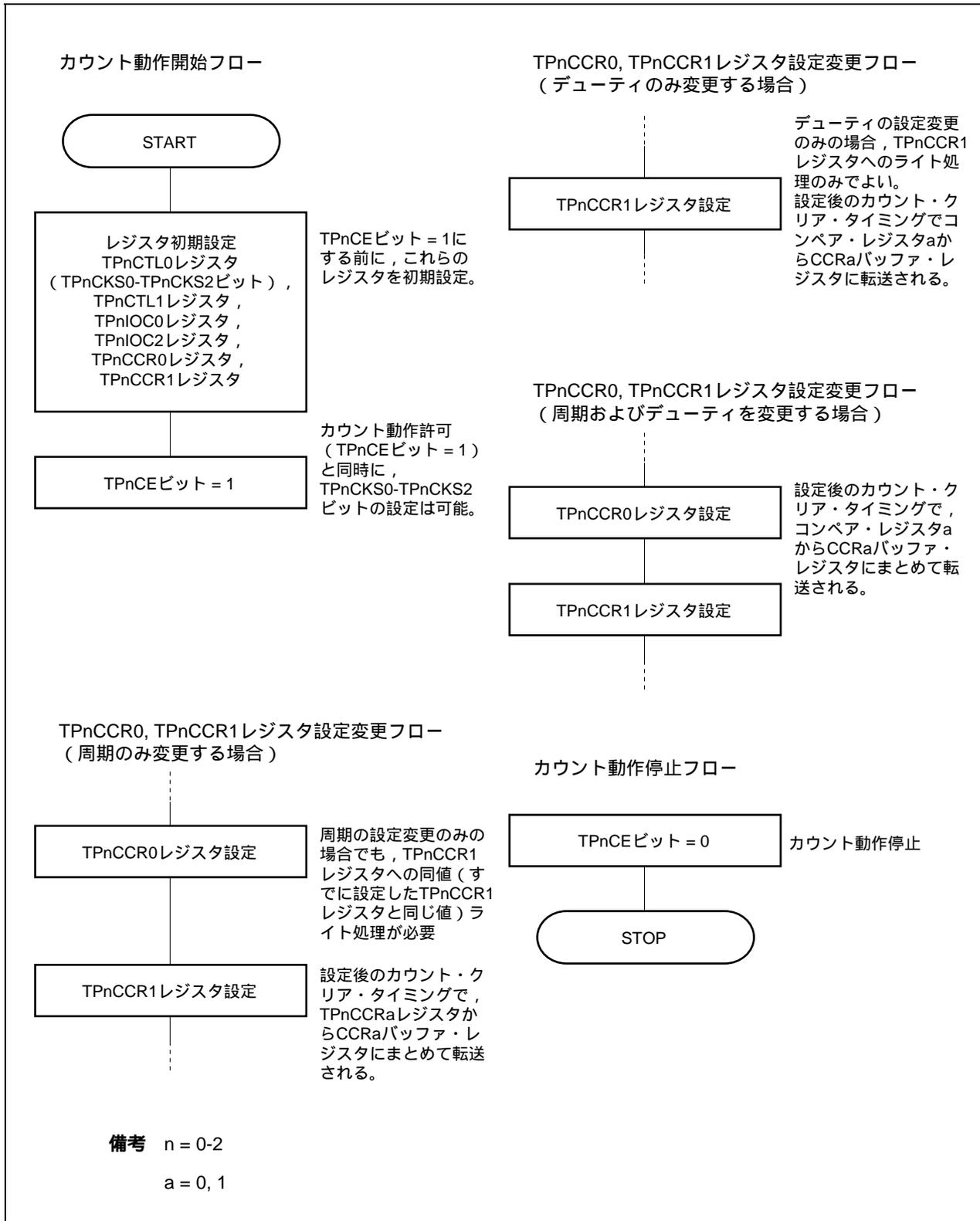


図8 - 31 PWM出力モード使用時のソフトウェア処理フロー (2/2)

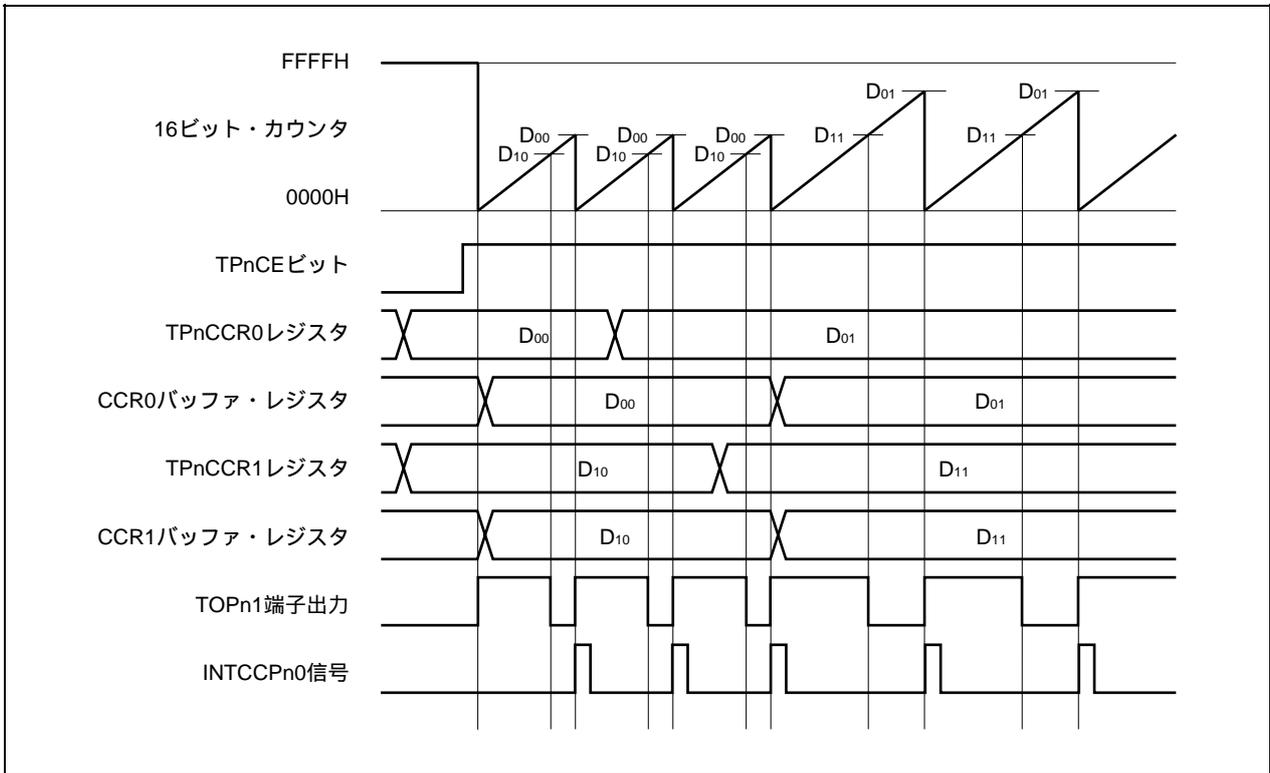


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRaレジスタの書き換えを行う場合には、INTCCPn1信号を検出後に書き換えてください。



TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値（すでに設定したTPnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

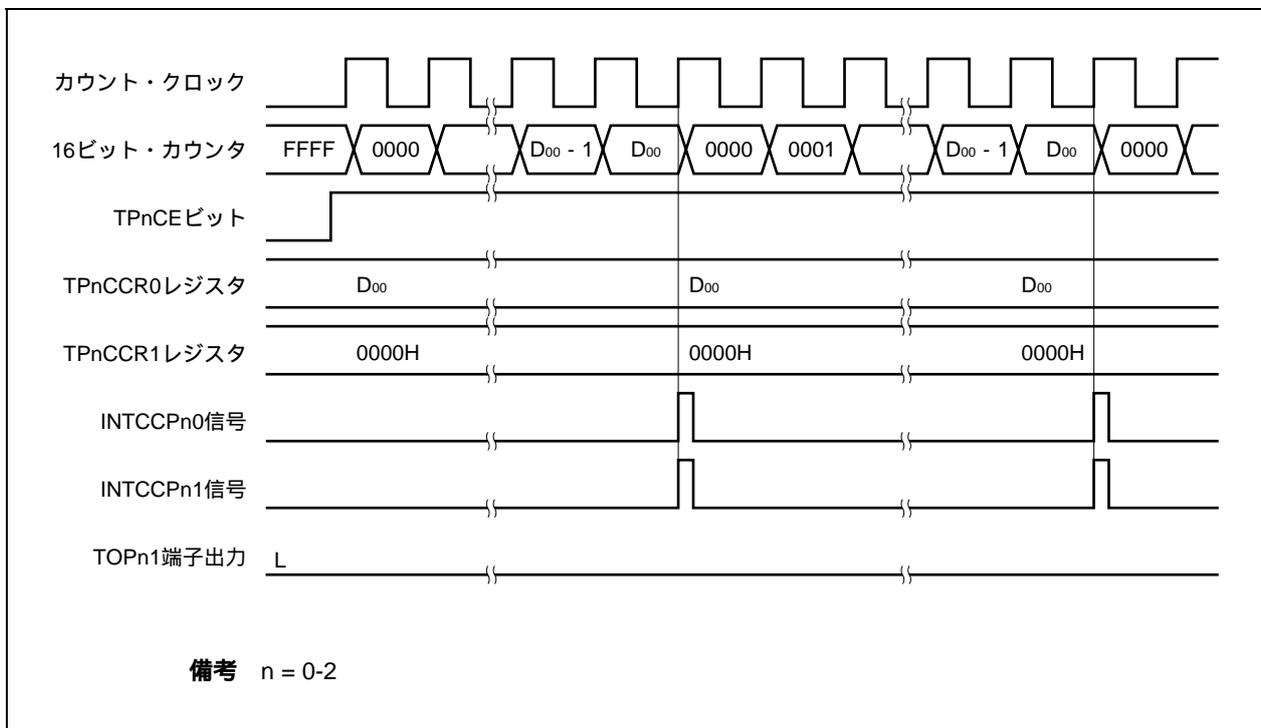
TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTCCPn1信号の発生後に行ってください。これを守れない場合には、TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TPnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

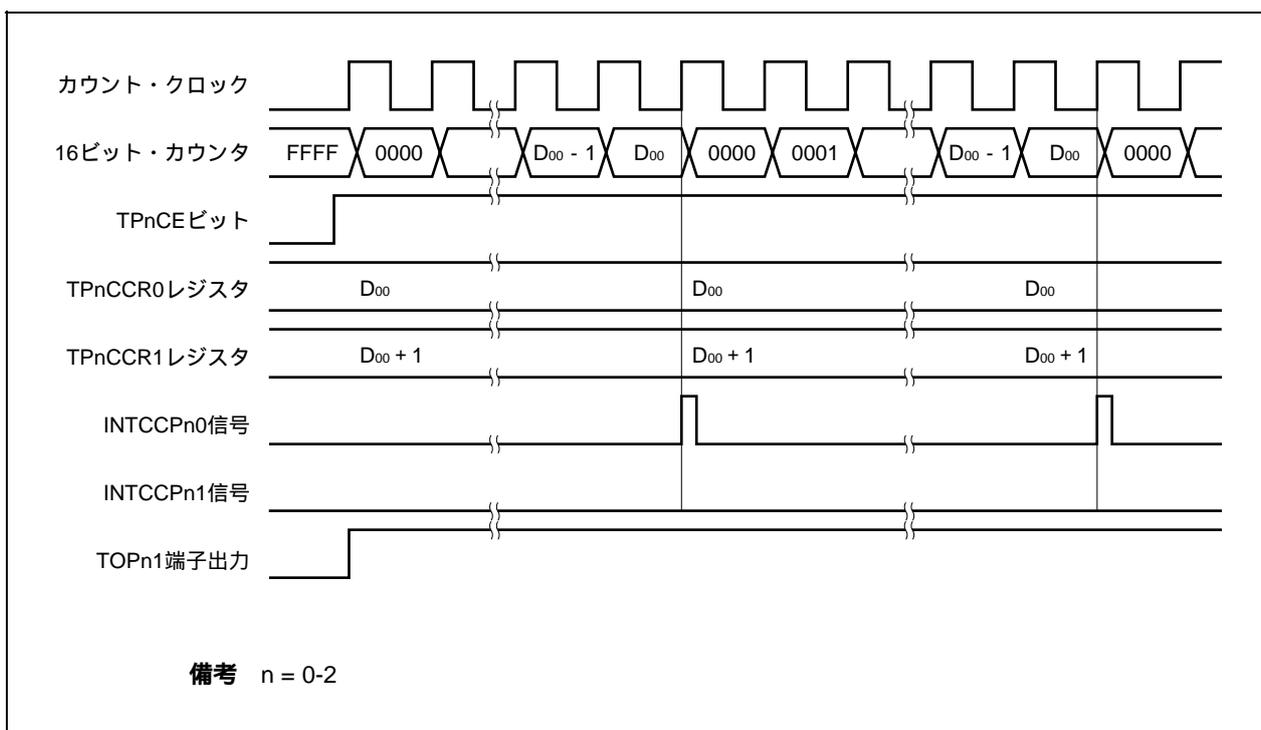
備考 $n = 0-2, a = 0, 1$

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TPnCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ, INTCCPn0信号とINTCCPn1信号が発生します。

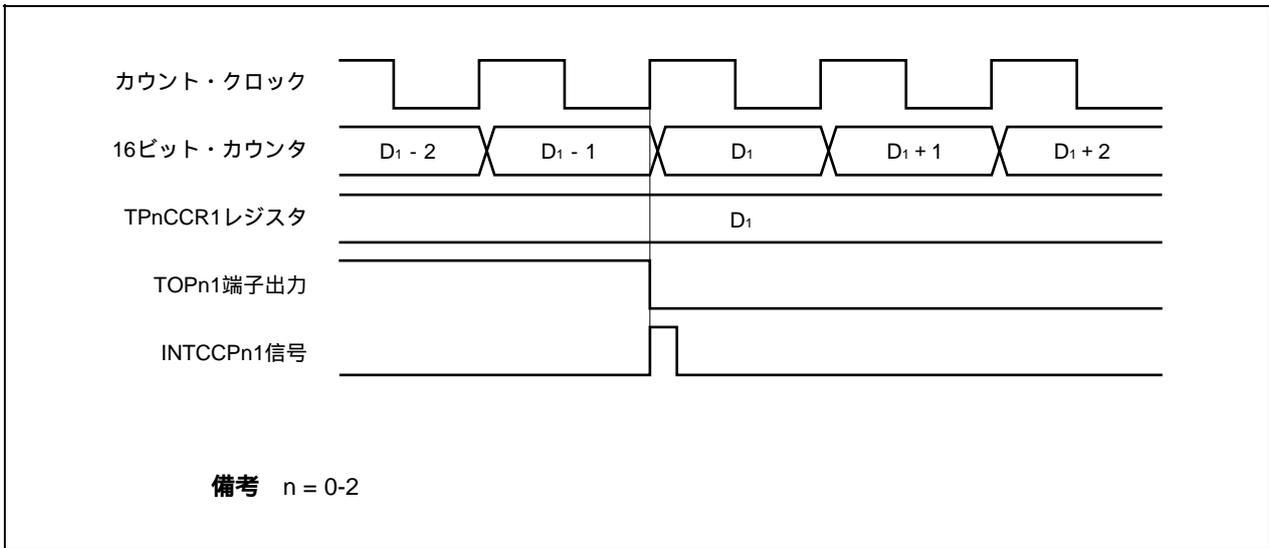


100 % 波形を出力するためには, TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTCCPn1) の発生タイミング

PWM出力モードにおけるINTCCPn1信号の発生タイミングは、ほかのモードのINTCCPn1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



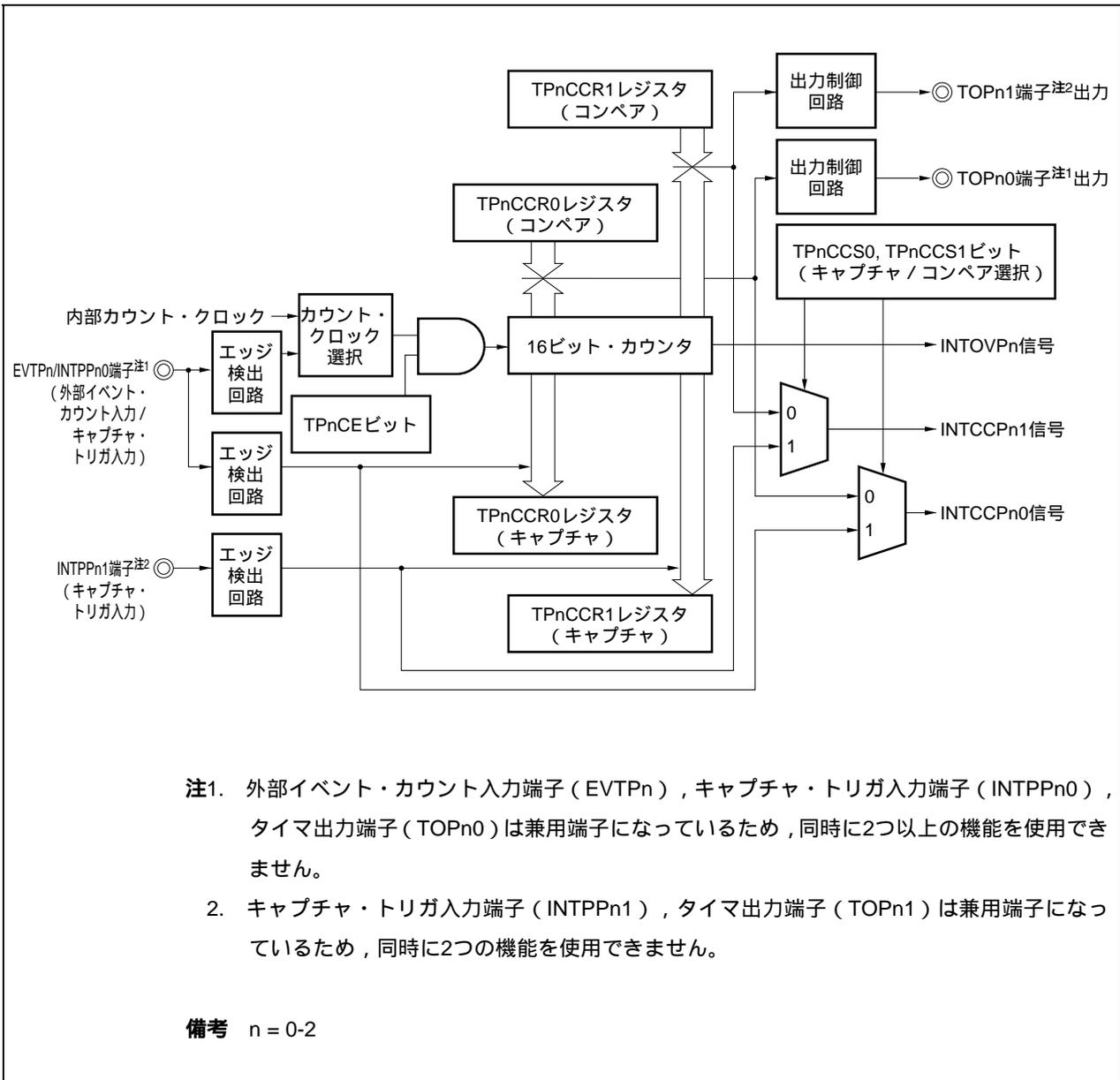
通常、INTCCPn1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.6.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始します。このときのTPnCCR0, TPnCCR1レジスタの動作は、TPnOPT0.TPnCCS0, TPnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図8-32 フリー・ランニング・タイマ・モードの構成図



- 注1. 外部イベント・カウント入力端子 (EVTPn), キャプチャ・トリガ入力端子 (INTPPn0), タイマ出力端子 (TOPn0) は兼用端子になっているため、同時に2つ以上の機能を使用できません。
2. キャプチャ・トリガ入力端子 (INTPPn1), タイマ出力端子 (TOPn1) は兼用端子になっているため、同時に2つの機能を使用できません。

備考 n = 0-2

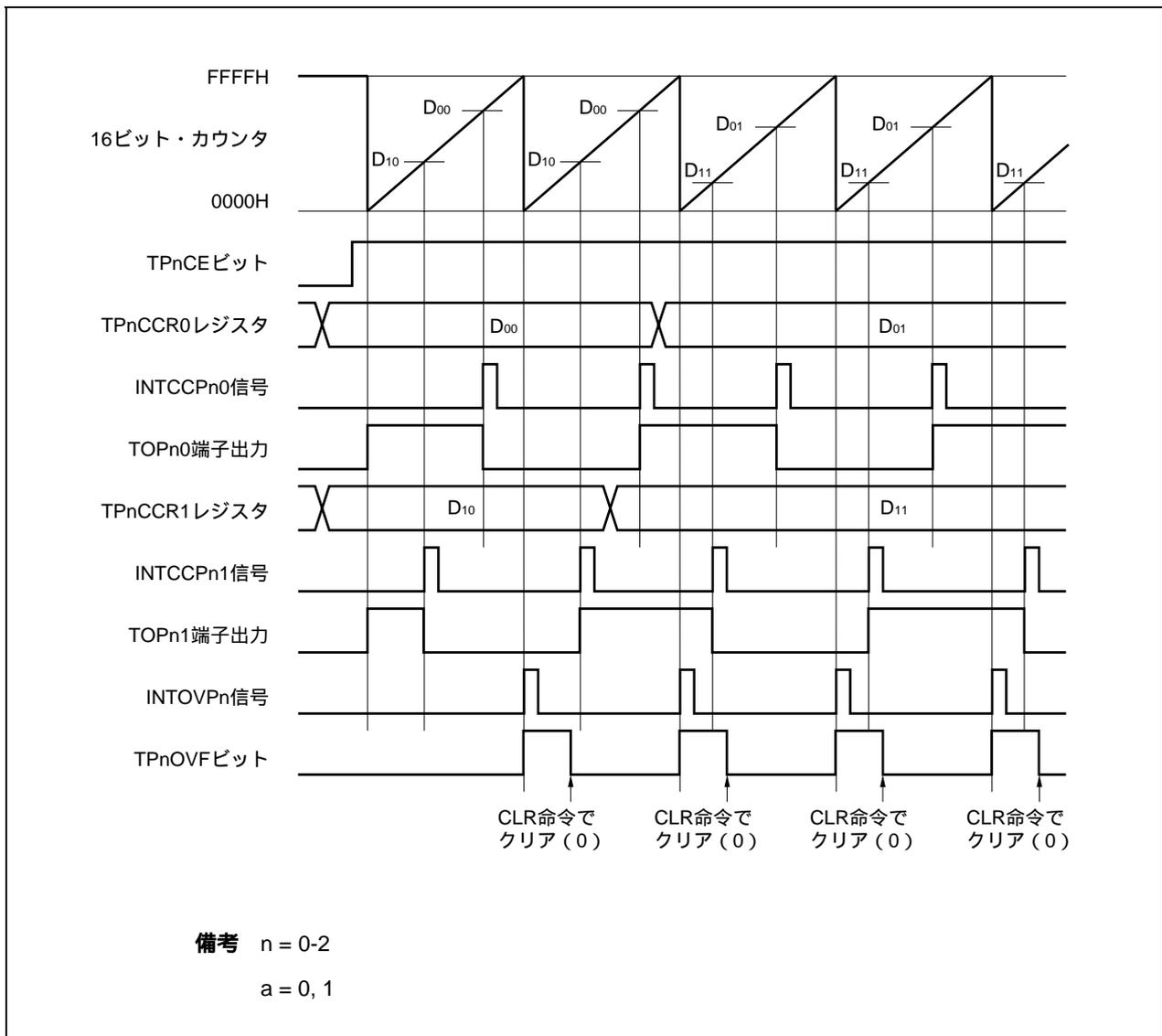
・コンペア動作

TPnCEビットをセット(1)することで,カウント動作を開始し, TOPn0, TOPn1端子出力を反転します。その後, 16ビット・カウンタのカウント値とTPnCCRaレジスタの設定値が一致すると, コンペア一致割り込み要求信号 (INTCCPna) を発生し, TOPn0, TOPn1端子出力を反転します。

16ビット・カウンタは, カウント・クロックに同期してカウント動作を続け, FFFFHまでカウントすると, 次のクロックでオーバーフロー割り込み要求信号 (INTOVPn) を発生するとともに, 0000Hにクリアしカウント動作を継続します。また, このときオーバーフロー・フラグ (TPnOPT0.TPnOVFビット) もセット(1) されます。オーバーフロー・フラグがセット(1) されているのを確認してからソフトウェアでCLR命令を実行してクリア(0) してください。

TPnCCRaレジスタは, カウント動作中の書き換えを許可しています。書き換えした場合, 随時書き込みにより値が即反映され, カウント値と比較されます。

図8 - 33 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



・キャプチャ動作

TPnCEビットをセット (1) することで、カウント動作を開始します。その後、INTPPna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRaレジスタに格納し、キャプチャ割り込み要求信号 (INTCCPna) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTOVPn) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されていることを確認してからソフトウェアでCLR命令を実行してクリア (0) してください。

図8 - 34 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

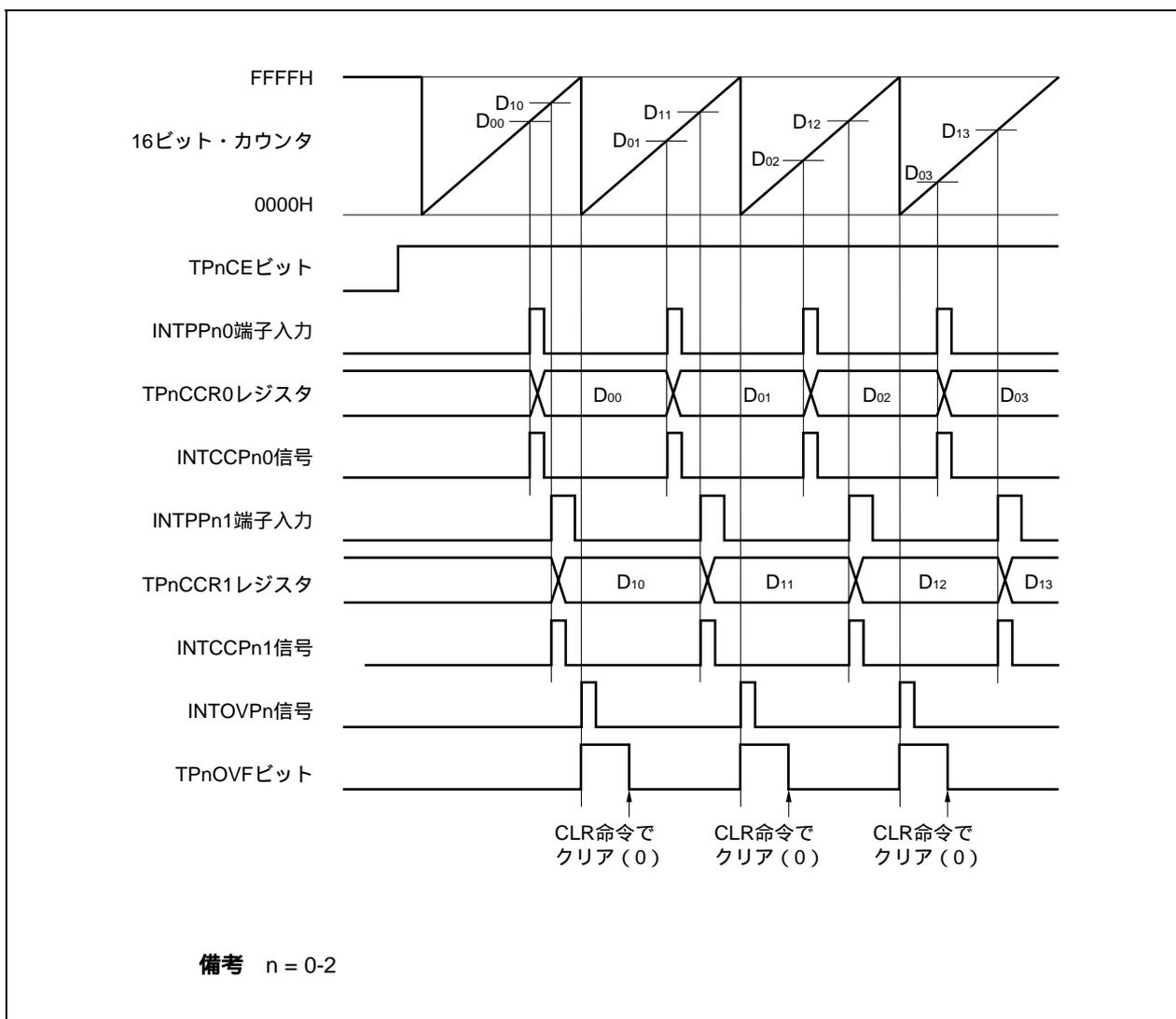


図8 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

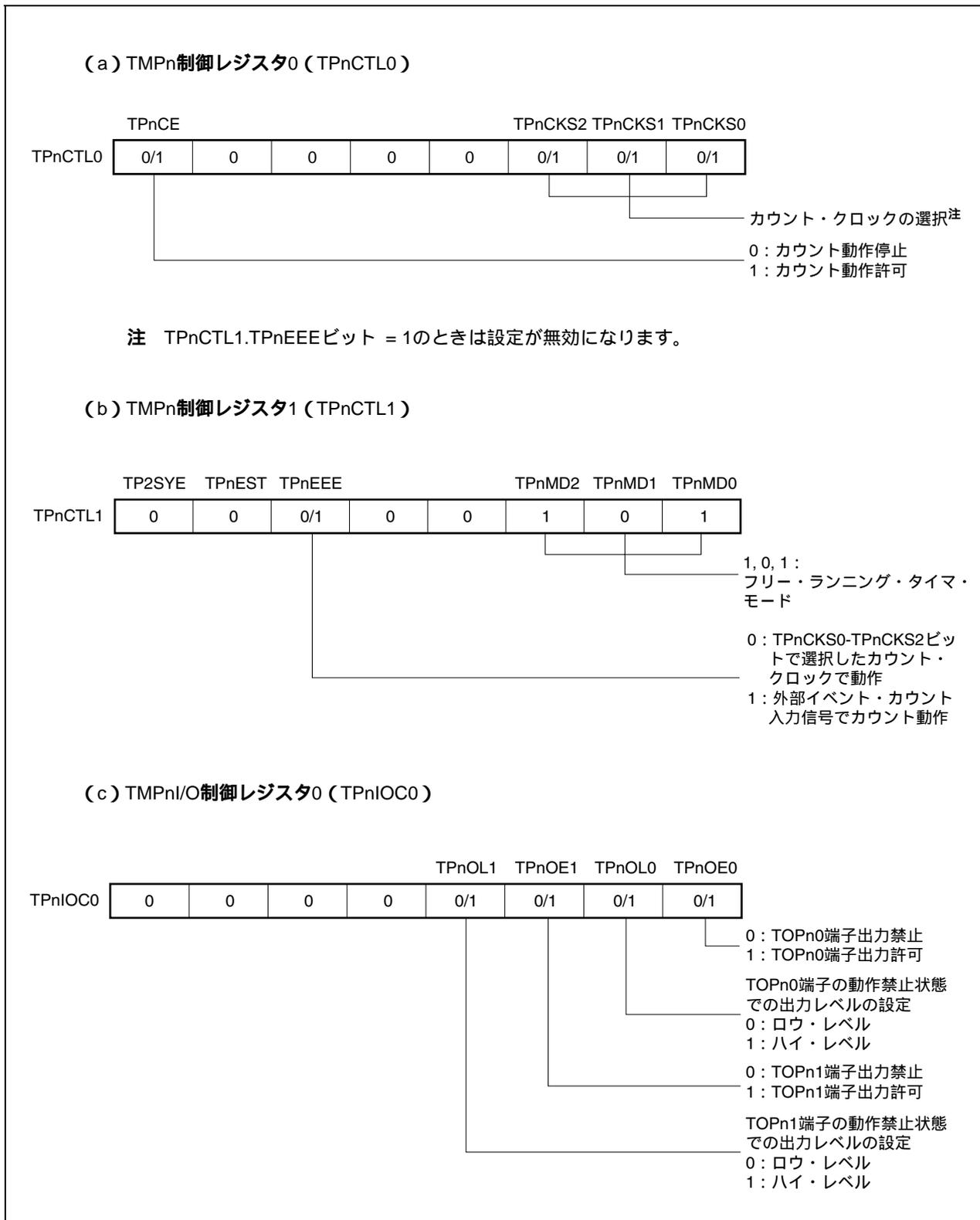
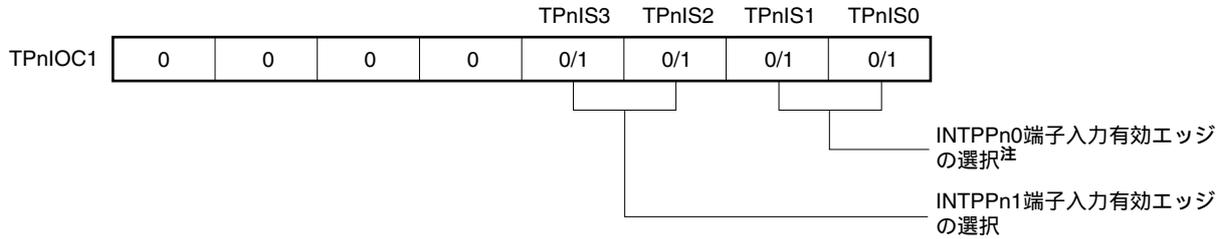


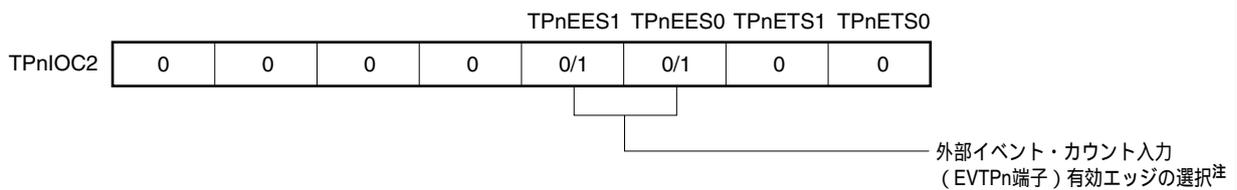
図8 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

(d) TMPnI/O制御レジスタ1 (TPnIOC1)



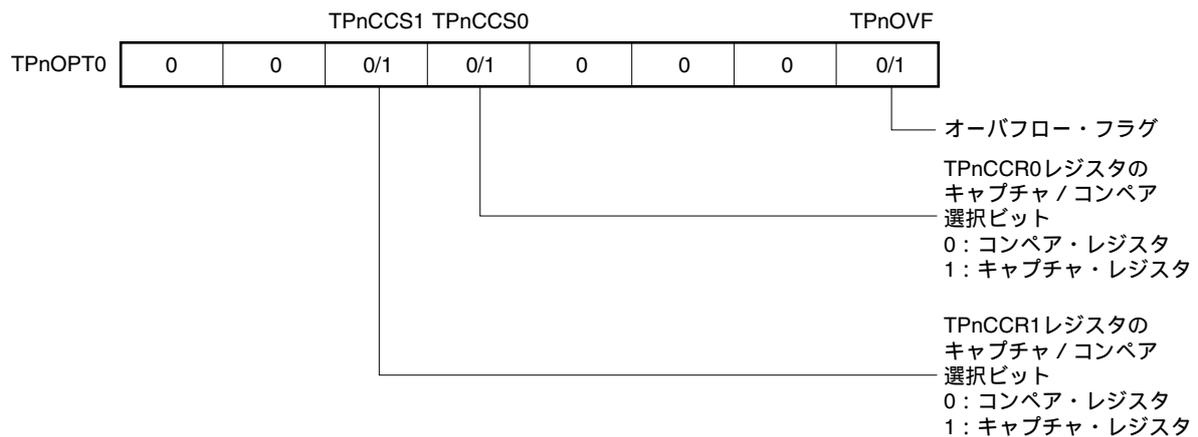
注 使用しない兼用外部入力信号の有効エッジの選択は、“エッジ検出なし”に設定してください。

(e) TMPnI/O制御レジスタ2 (TPnIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は、“エッジ検出なし”に設定してください。

(f) TMPnオプション・レジスタ0 (TPnOPT0)



(g) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

図8 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TPnOPT0.TPnCCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、INTPPna端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TPnCCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTCCPna信号を発生し、TOPn0, TOPn1端子出力を反転します。

備考 n = 0-2, a = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図8 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

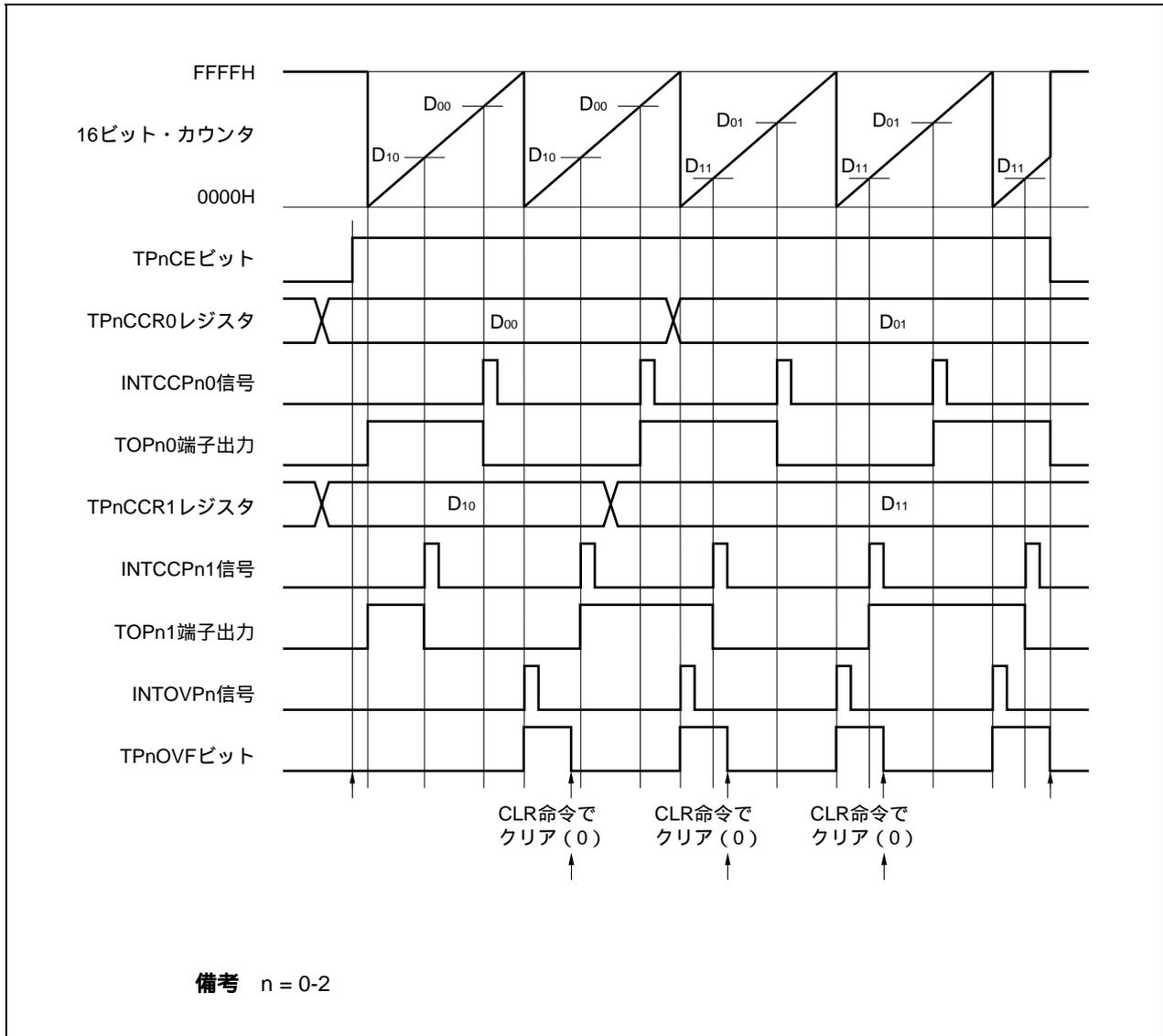
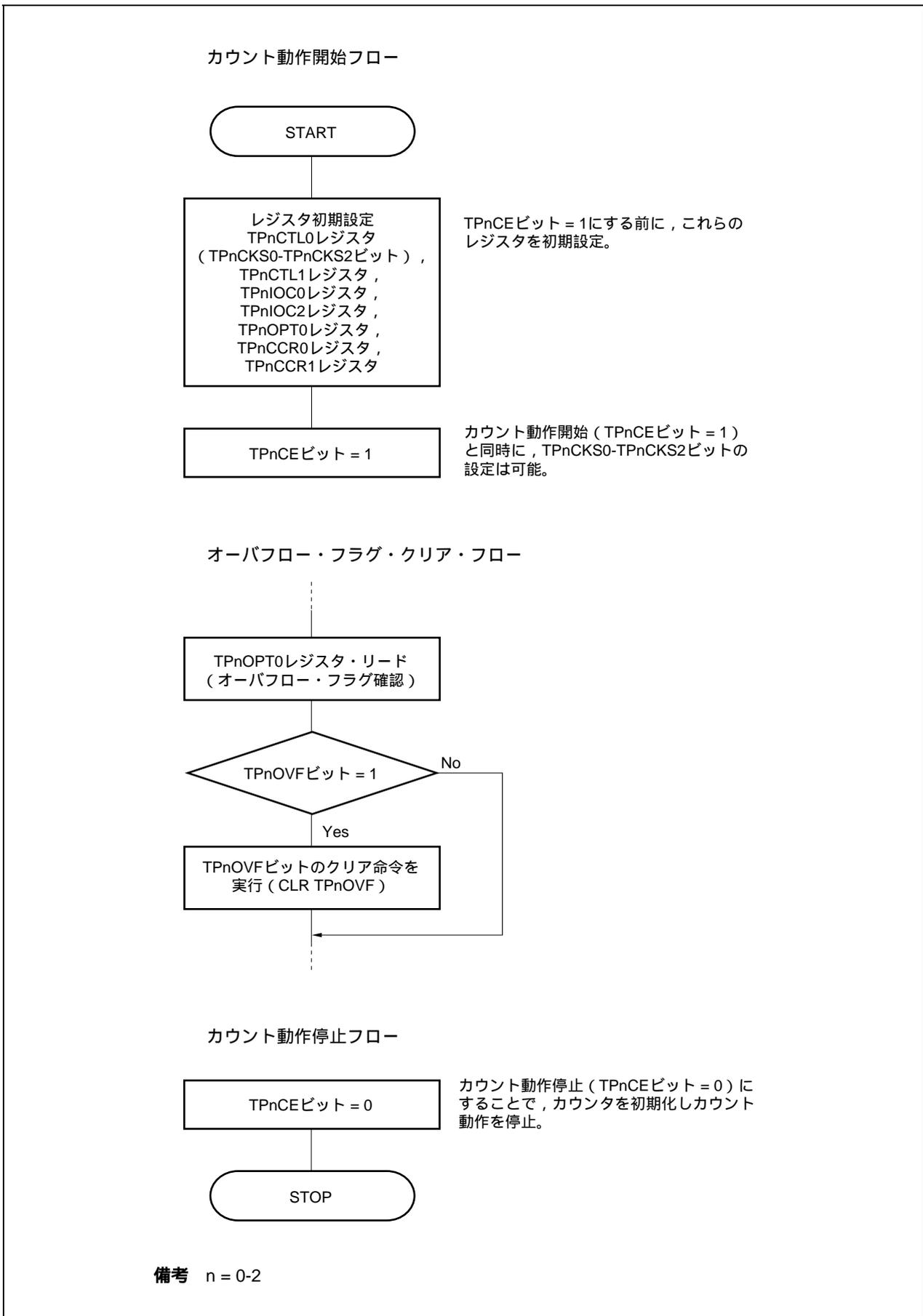


図8 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図8 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

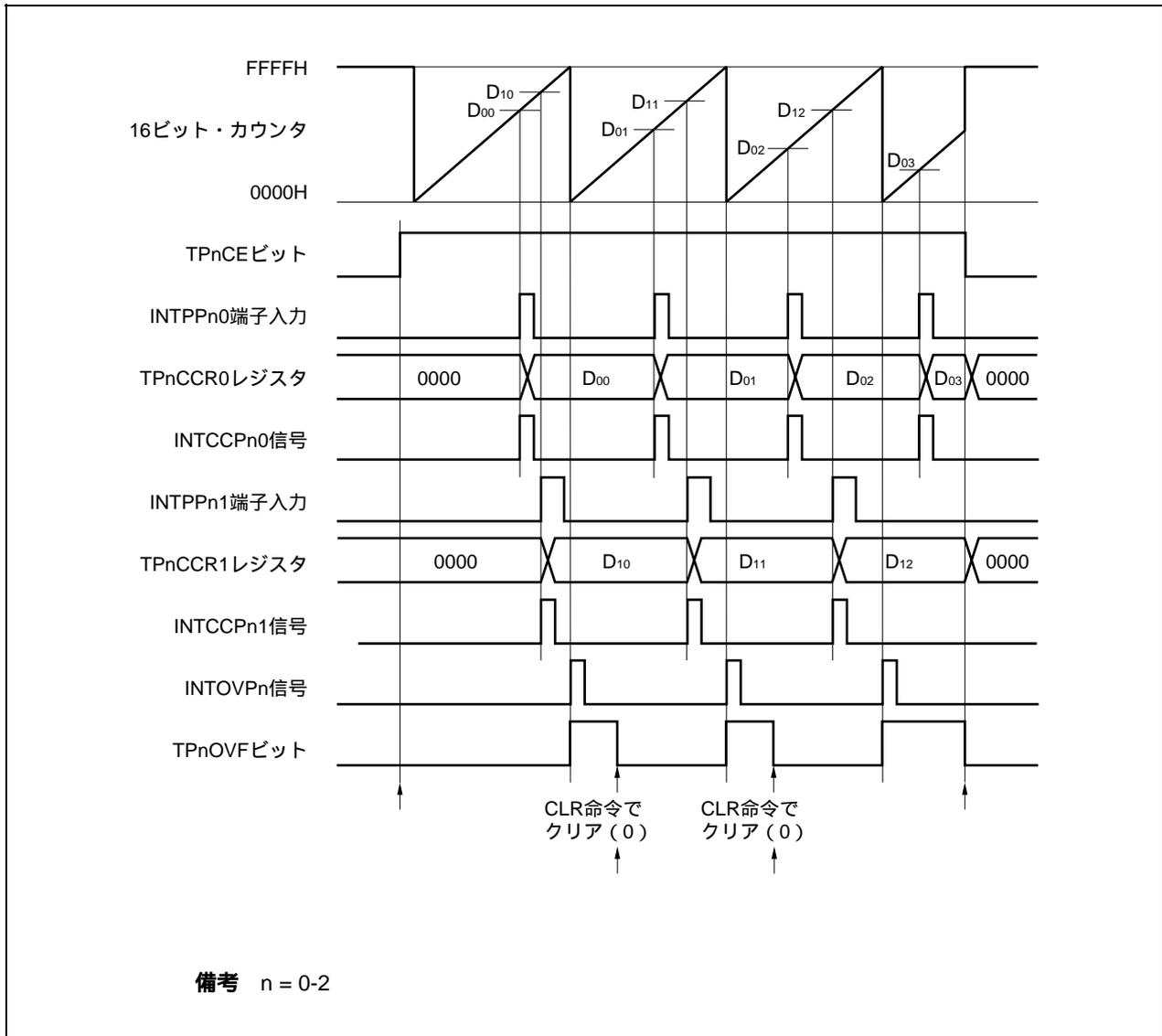
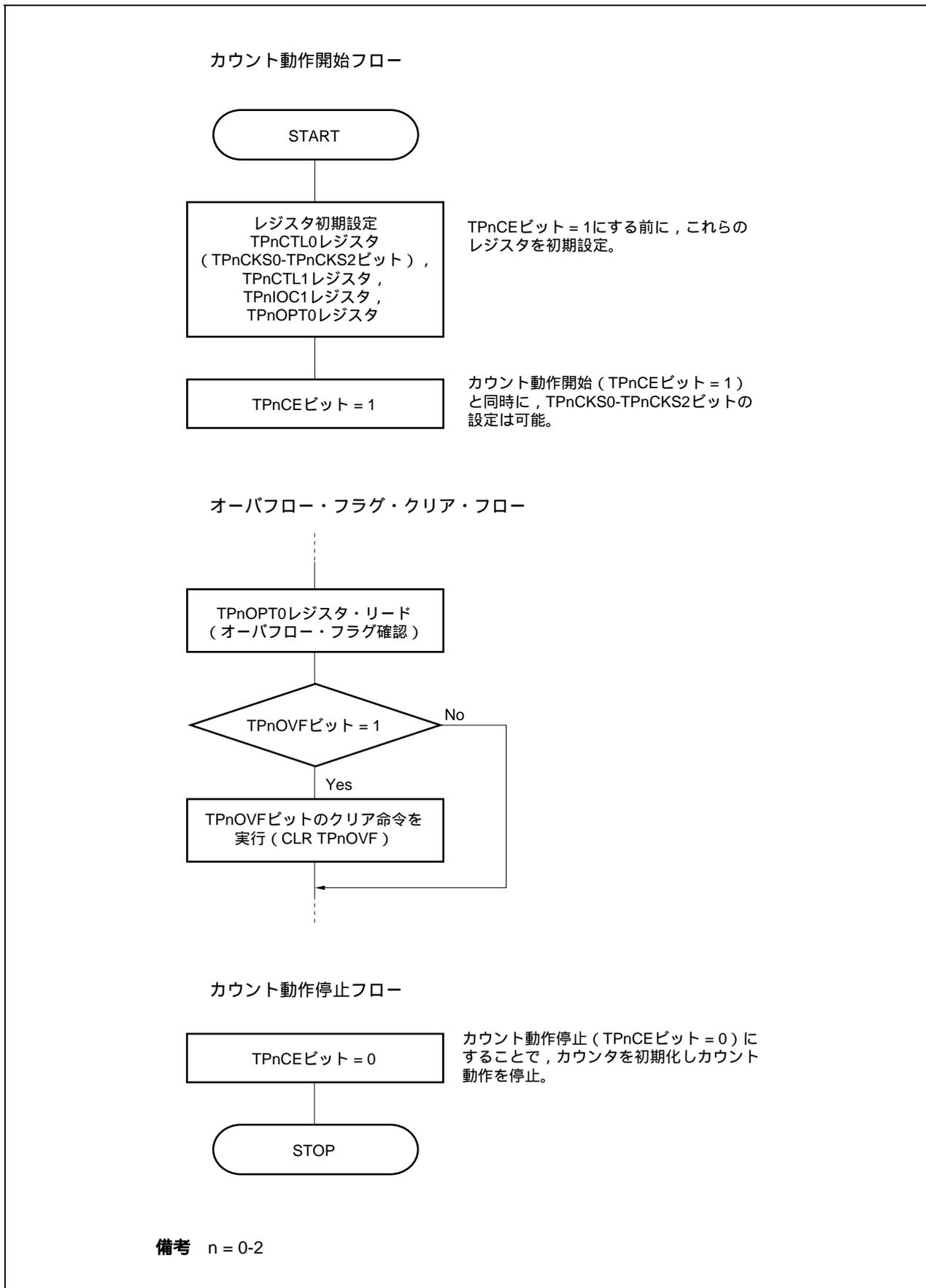


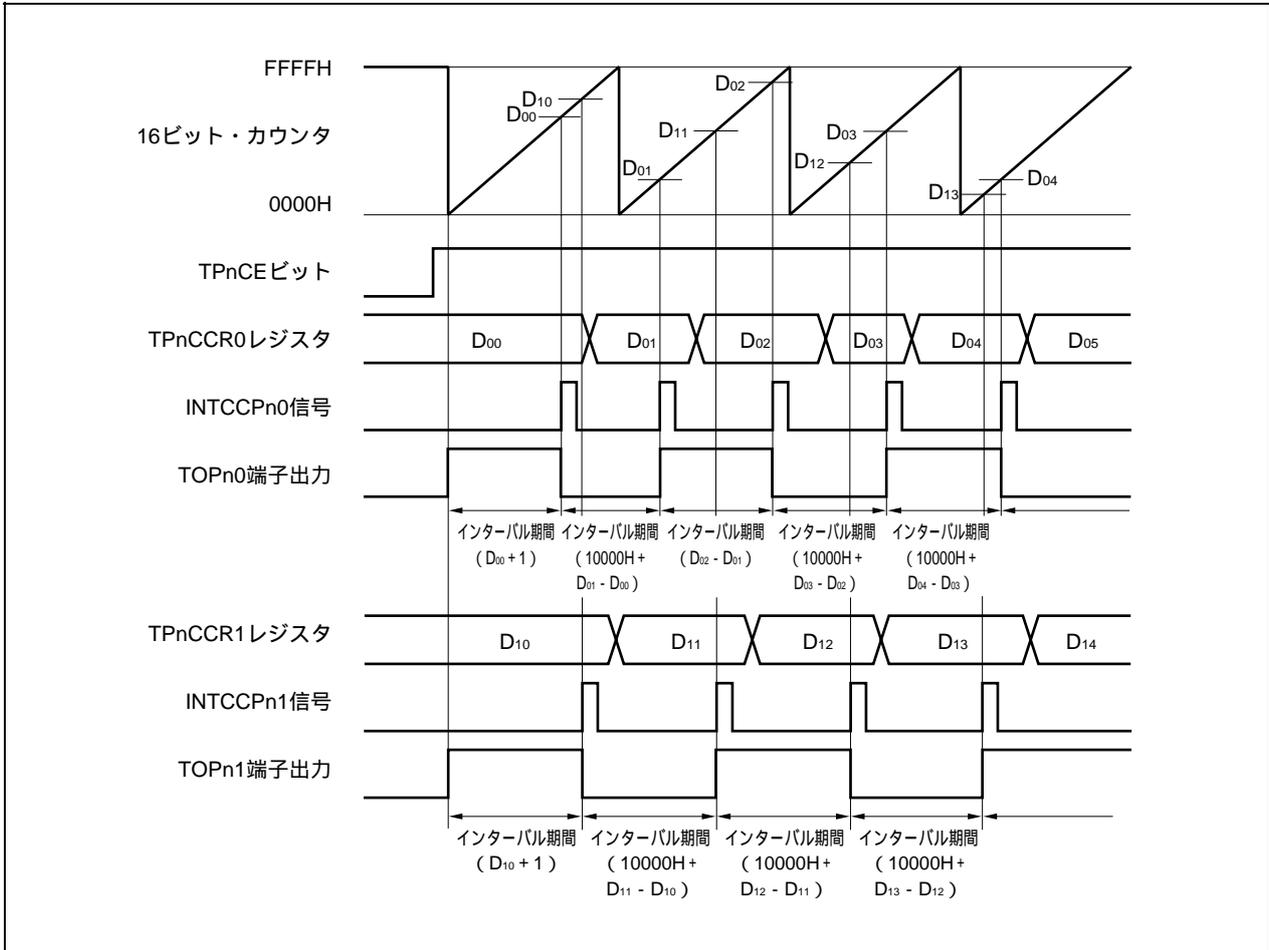
図8 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TPnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTCCPna信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTCCPna信号を検出したときの割り込み処理中に、対応するTPnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_a ”とすると、次のように求められます。

コンペア・レジスタ初期値 : $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

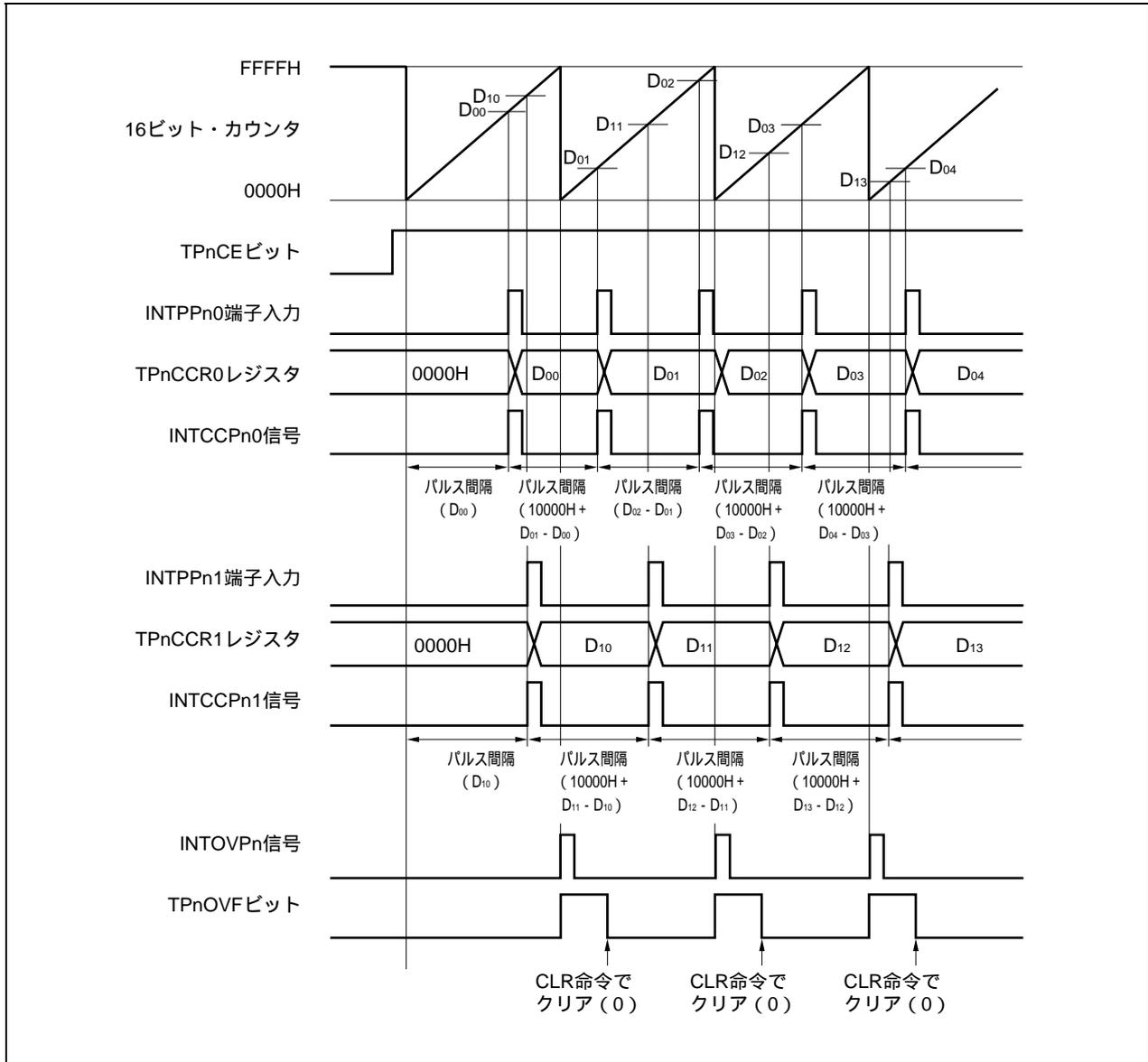
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 n = 0-2

a = 0, 1

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TPnCCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTCCPna信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

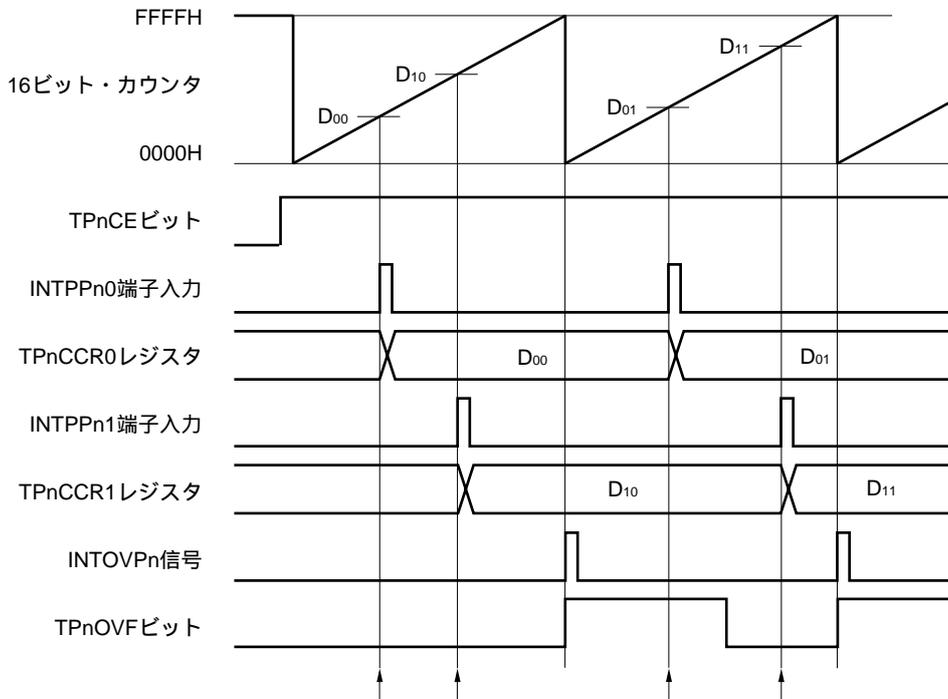
パルス幅測定を行う場合、INTCCPna信号に同期してTPnCCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 n = 0-2
a = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TPnCCR0レジスタをリードする (INTPPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (INTPPn1端子入力の初期値設定)。

TPnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

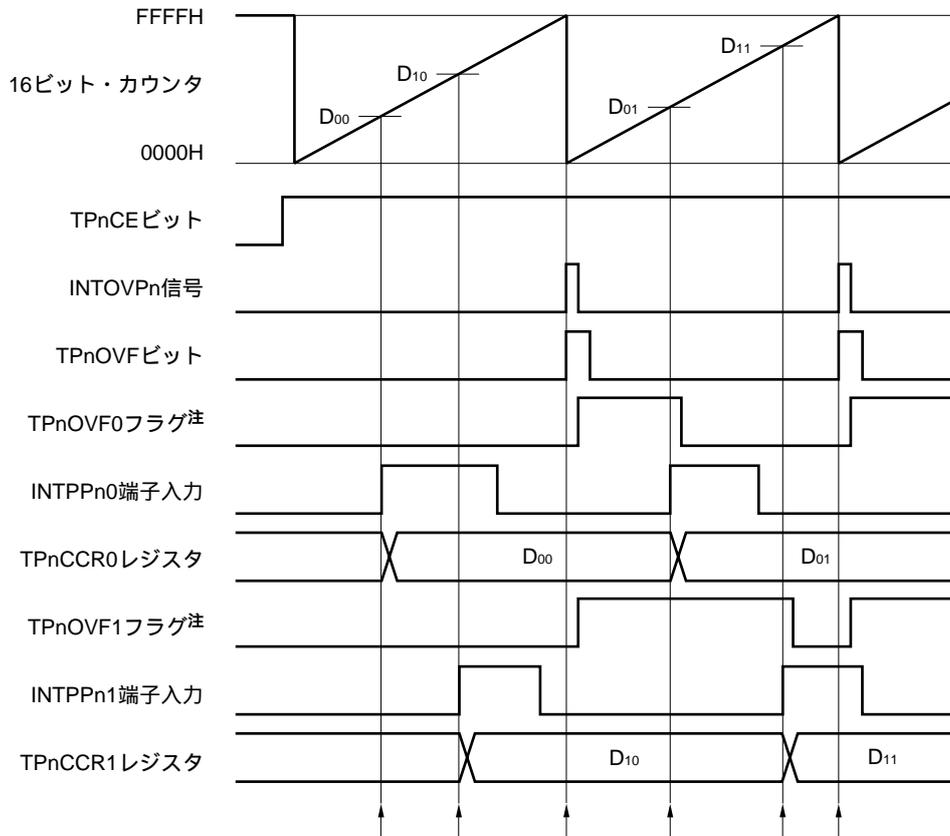
オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

備考 n = 0-2

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (INTPPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (INTPPn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TPnOVF0, TPnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TPnCCR0レジスタをリードする。

TPnOVF0フラグをリードする。 TPnOVF0フラグが“1”だった場合、クリア (0) する。

TPnOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPnCCR1レジスタをリードする。

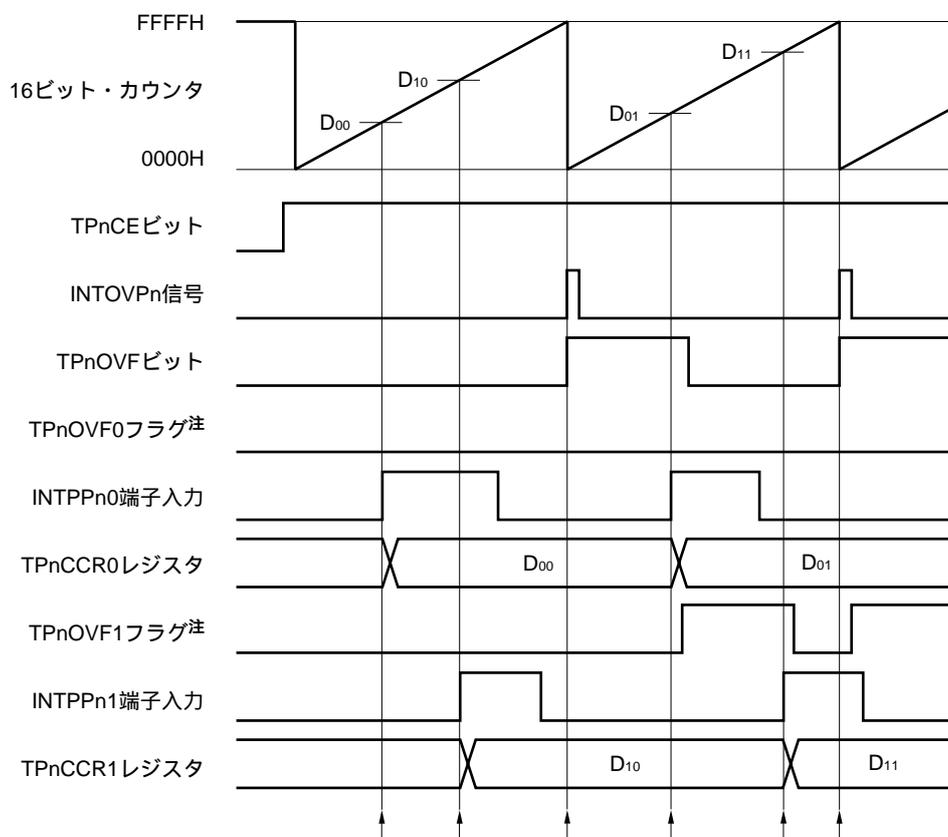
TPnOVF1フラグをリードする。 TPnOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTPnOVF0フラグであり、TPnOVF1フラグは“1”のまま)。

TPnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

備考 n = 0-2

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (INTPPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (INTPPn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TPnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TPnOVF1フラグのみをセット(1)し、オーバーフロー・フラグをクリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア(0)されているので“0”がリードされる。

TPnOVF1フラグをリードする。TPnOVF1フラグが“1”だった場合、クリア(0)する。

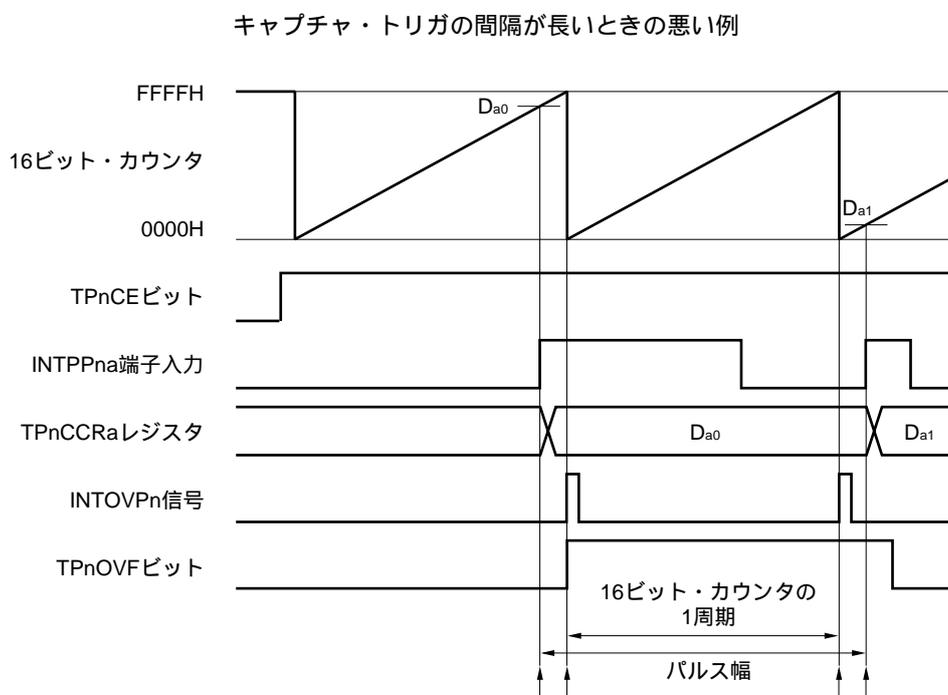
TPnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

備考 n = 0-2

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TPnCCRaレジスタをリードする (INTPPna端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TPnCCRaレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{a1} - D_{a0})$ で求められます (NG)。

実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になるはずですが。

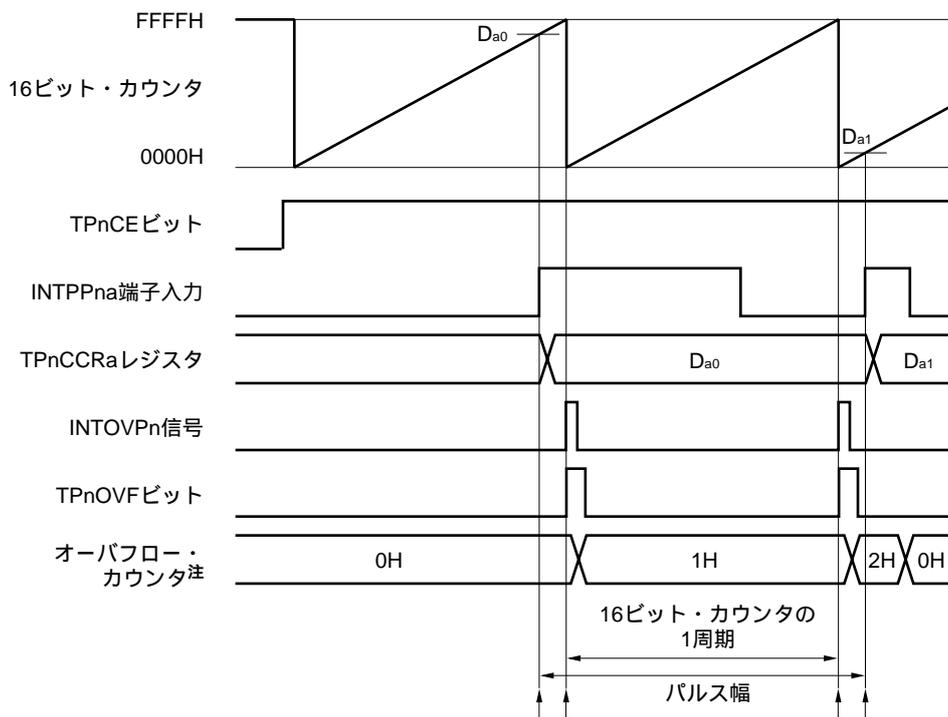
備考 $n = 0-2$

$a = 0, 1$

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCRaレジスタをリードする (INTPPna端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TPnCCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが “N” のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 n = 0-2

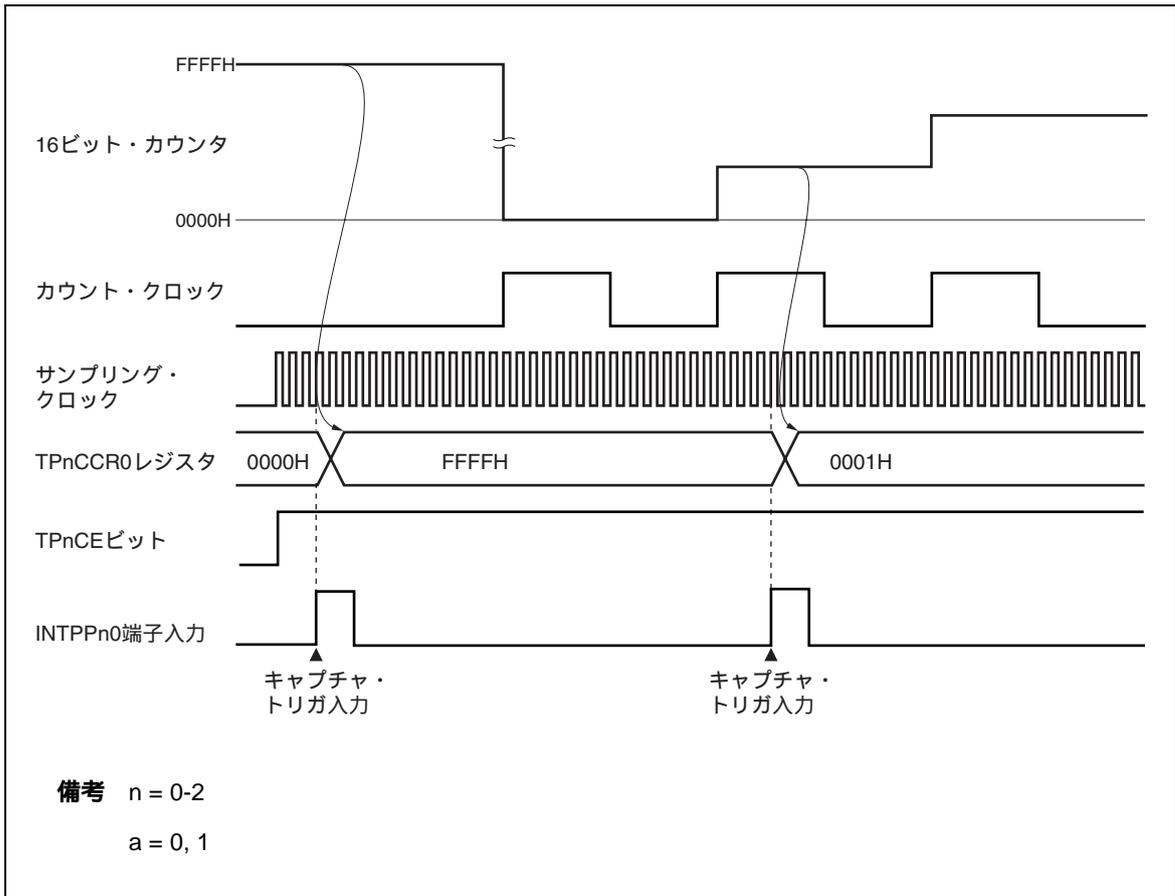
a = 0, 1

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビット = 1をリードしたあとにTPnOVFビットをCLR命令でクリア (0) する方法と、TPnOVFビット = 1をリードしたあとにTPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) キャプチャ動作の注意事項

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPnCTL0.TPnCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPnCCRaレジスタに0000HではなくFFFFHがキャプチャされる場合があります。



8.6.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)

パルス幅測定モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始し、INTPPna端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTPnCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTCCPna) が発生したあと、TPnCCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図8-39のような場合は、キャプチャ・トリガ入力端子としてINTPPn0, INTPPn1端子のいずれか1本を使用し、使用しない端子はTPnIOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部イベント・カウント入力信号 (EVTPn端子) を使用するときは、EVTPn端子はキャプチャ・トリガ入力信号 (INTPPn0端子) と兼用端子になっているため、INTPPn1端子のパルス幅を測定してください。このとき、TPnIOC1.TPnIS1, TPnIS0ビット = 00 (キャプチャ・トリガ入力 (INTPPn0端子) : エッジ検出なし) に設定してください。

図8-38 パルス幅測定モードの構成図

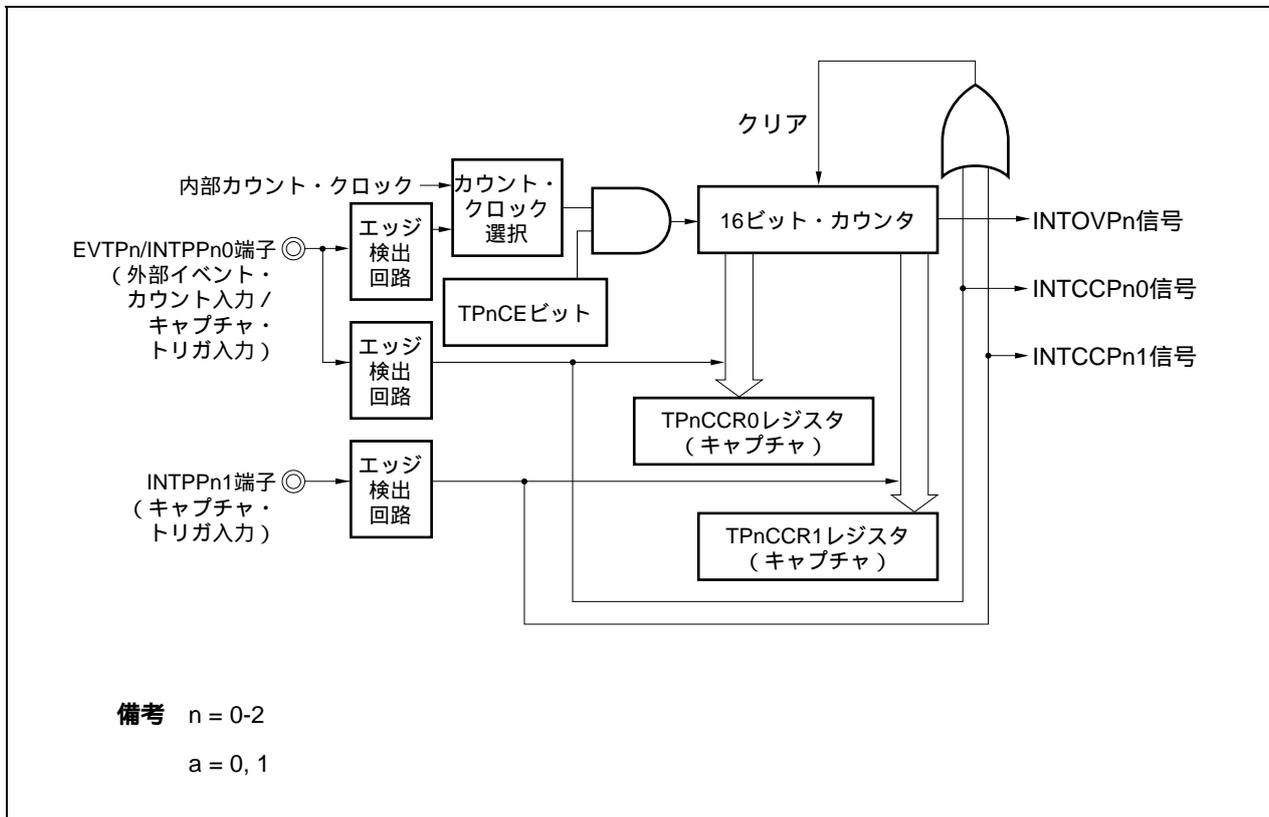
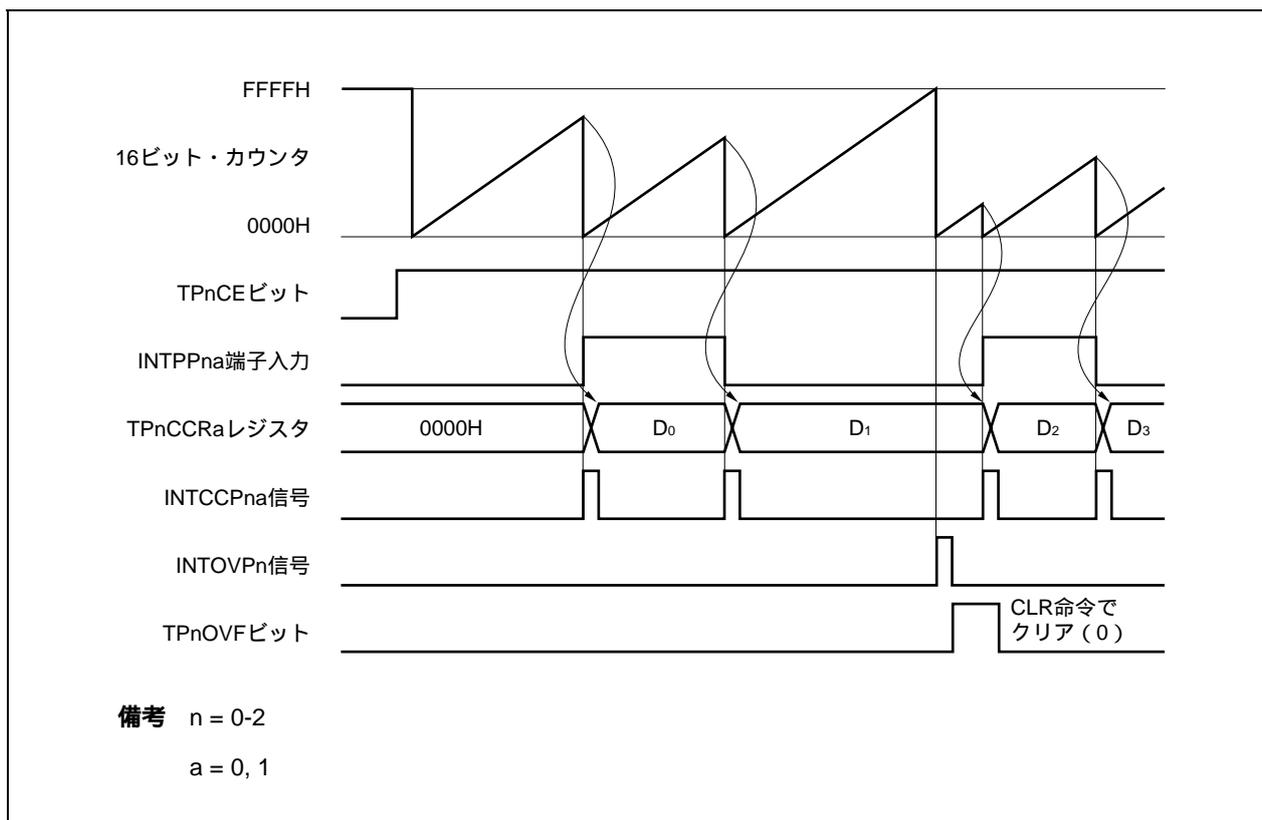


図8 - 39 パルス幅測定モードの基本タイミング



TPnCEビットをセット(1)することで、カウント動作を開始します。その後、INTPPna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTCCPna)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = D_n \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTOVPn)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

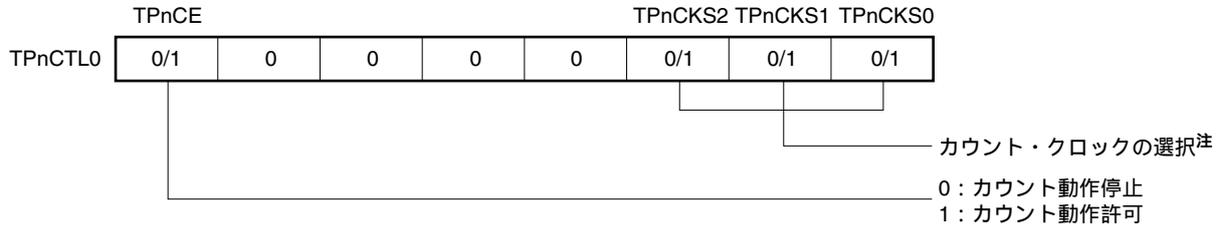
$$\text{パルス幅} = (10000H \times \text{TPnOVFビットがセット(1)された回数} + D_n) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-2

a = 0, 1

図8 - 40 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)

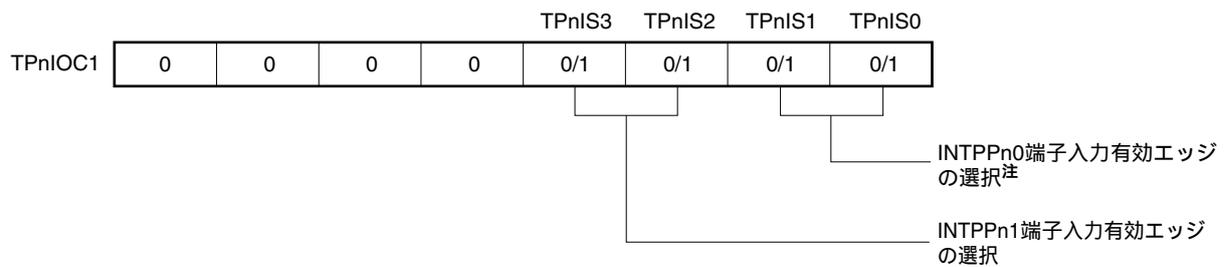


注 TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

(b) TMPn制御レジスタ1 (TPnCTL1)



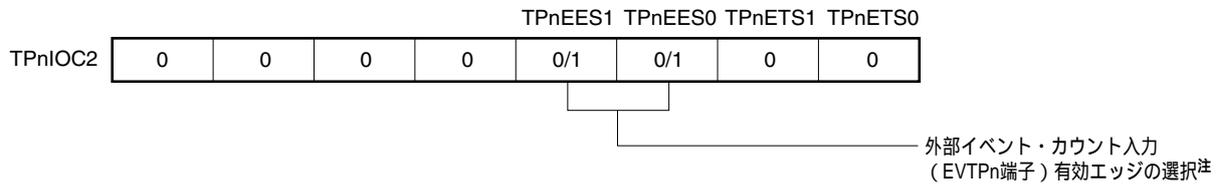
(c) TMPnI/O制御レジスタ1 (TPnIOC1)



注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

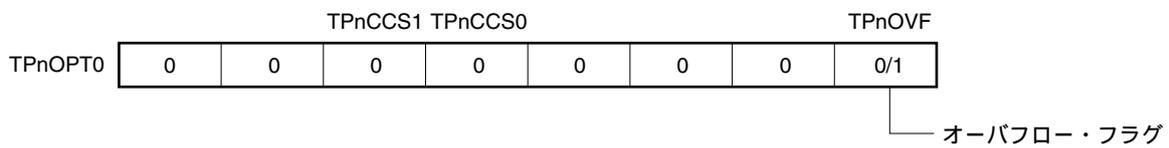
図8 - 40 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(d) TMPnI/O制御レジスタ2 (TPnIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(e) TMPnオプション・レジスタ0 (TPnOPT0)



(f) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

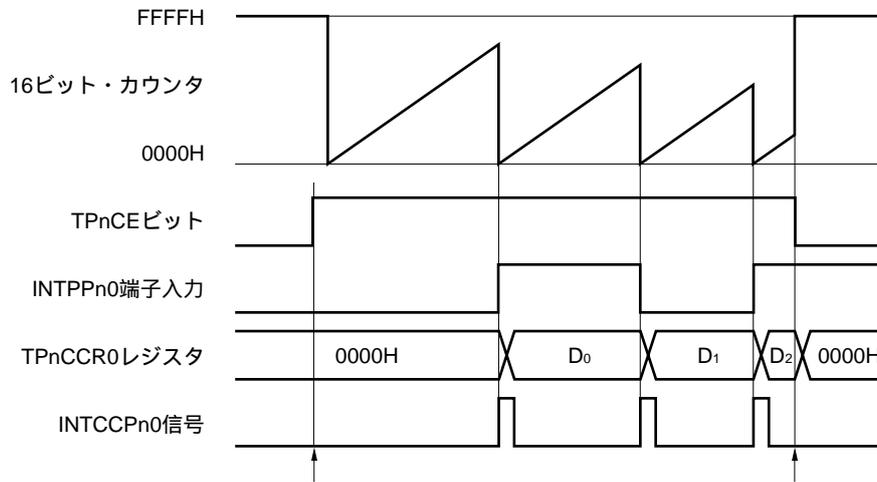
INTPPn0, INTPPn1端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

備考1. パルス幅測定モードでは、TMPnI/O制御レジスタ0 (TPnIOC0) は使用しません。

2. n = 0-2

(1) パルス幅測定モード動作フロー

図8 - 41 パルス幅測定モード使用時のソフトウェア処理フロー



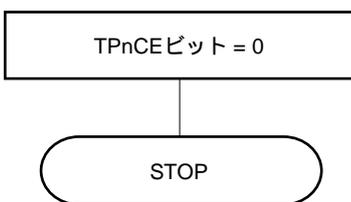
カウント動作開始フロー



TPnCEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作開始 (TPnCEビット = 1) と同時に、
TPnCKS0-TPnCKS2ビットの設定は可能。

カウント動作停止フロー



カウント動作停止 (TPnCEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

備考 n = 0-2

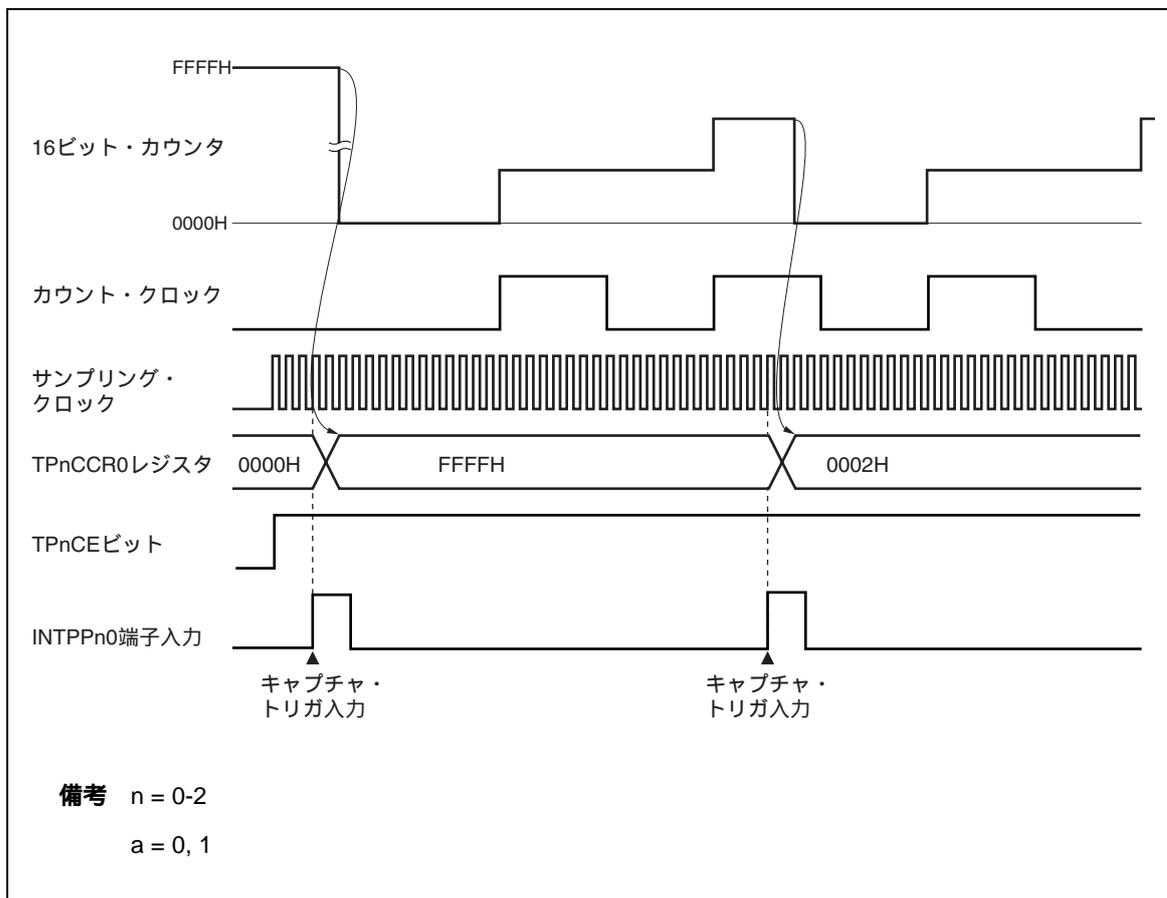
(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビット = 1をリードしたあとにTPnOVFビットをCLR命令でクリア (0) する方法と、TPnOVFビット = 1をリードしたあとにTPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) キャプチャ動作の注意事項

カウント・クロックとして遅いクロックを選択した場合、TPnCTL0.TPnCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPnCCRaレジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第9章 16ビット・タイマ/イベント・カウンタQ (TMQ)

タイマQ (TMQ) は、16ビットのタイマ/イベント・カウンタです。
V850E/MA3は、TMQ0を内蔵しています。

9.1 概 要

TMQ0の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 4本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 4本
・キャプチャ/コンペア一致割り込み要求信号	: 4本
・タイマ出力端子 ^注	: 4本

注 TMQ0の出力端子数です。TMQOP0の出力端子は含みません。TMQOP0の出力端子についての詳細は、
第12章 モータ制御機能を参照してください。

9.2 機 能

TMQ0の機能を次に示します。

- ・6相PWM出力^注
- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

注 TMQOP0と接続して使用します。詳細は、**第12章 モータ制御機能**を参照してください。

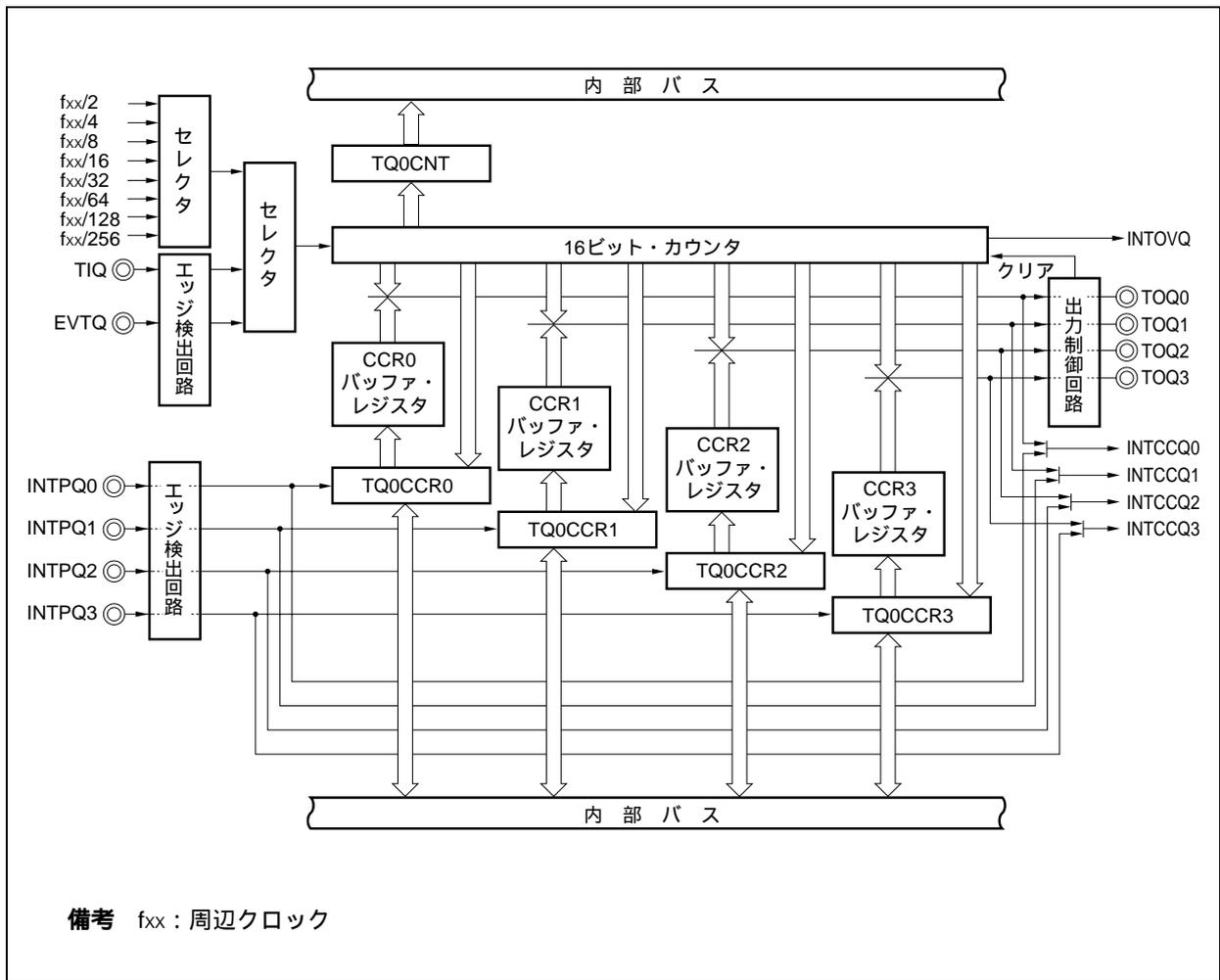
9.3 構成

TMQ0は、次のハードウェアで構成されています。

表9 - 1 TMQ0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3) CCR0-CCR3バッファ・レジスタ
タイマ入力	計6本 (TIQ, EVTQ, INTPQ0-INTPQ3端子)
タイマ出力	計4本 (TOQ0-TOQ3端子)
制御レジスタ	TMQ0制御レジスタ0, 1 (TQ0CTL0, TQ0CTL1) TMQ0I/O制御レジスタ0-2 (TQ0IOC0-TQ0IOC2) TMQ0オプション・レジスタ0 (TQ0OPT0)

図9 - 1 TMQ0のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TQ0CNTレジスタでリードできます。

TQ0CTL0.TQ0CEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTQ0CNTレジスタをリードすると0000Hがリードされます。

リセット時にはTQ0CEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR0レジスタをコンペア・レジスタとして使用するとき、TQ0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTCCQ0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQ0CCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR1レジスタをコンペア・レジスタとして使用するとき、TQ0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTCCQ1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQ0CCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR2レジスタをコンペア・レジスタとして使用するとき、TQ0CCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTCCQ2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQ0CCR2レジスタが0000Hになり、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR3レジスタをコンペア・レジスタとして使用するとき、TQ0CCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTCCQ3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQ0CCR3レジスタが0000Hになり、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIQ, EVTQ, INTPQ0-INTPQ3端子に入力される有効エッジを検出します。有効エッジは、TQ0IOC1, TQ0IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOQ0-TOQ3端子の出力を制御します。TOQ0-TOQ3端子の出力は、TQ0IOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

9.4 レジスタ

(1) TMQ0制御レジスタ0 (TQ0CTL0)

TQ0CTL0レジスタは、TMQ0の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TQ0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：FFFFFF600H

	⑦	6	5	4	3	2	1	0
TQ0CTL0	TQ0CE	0	0	0	0	TQ0CKS2	TQ0CKS1	TQ0CKS0

TQ0CE	TMQ0の動作の制御
0	TMQ0動作禁止 (TMQ0を非同期にリセット ^注)
1	TMQ0動作許可。TMQ0動作開始

TQ0CKS2	TQ0CKS1	TQ0CKS0	内部カウント・クロックの選択
0	0	0	fx/2
0	0	1	fx/4
0	1	0	fx/8
0	1	1	fx/16
1	0	0	fx/32
1	0	1	fx/64
1	1	0	fx/128
1	1	1	fx/256

注 TQ0OPT0.TQ0OVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOQ0-TOQ3端子) もTQ0IOC0レジスタの設定状態に16ビット・カウンタと同時にリセットされます。

注意1. TQ0CKS2-TQ0CKS0ビットは、TQ0CEビット = 0のときに設定してください。TQ0CEビットを“0”から“1”に設定するときも、同時にTQ0CKS2-TQ0CKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fxx：周辺クロック

(2) TMQ0制御レジスタ1 (TQ0CTL1)

TQ0CTL1レジスタは、TMQ0の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFF601H

	7	6	5	4	3	2	1	0
TQ0CTL1	0	TQ0EST	TQ0EEE	0	0	TQ0MD2	TQ0MD1	TQ0MD0

TQ0EST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TQ0ESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 ：TQ0ESTビットへの“1”ライトをトリガとして、PWM波形を出力
TQ0ESTビットのリード値は常に0です。	

TQ0EEE	カウント・クロックの選択
0	外部イベント・カウント入力 (EVTQ端子) での動作禁止 (TQ0CTL0.TQ0CKS0-TQ0CKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (EVTQ端子) での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)
TQ0EEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TQ0MD2	TQ0MD1	TQ0MD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	6相PWM出力モード ^注

注 6相PWM出力モードはTMQ0単体では使用できません。詳細は、第12章モータ制御機能を参照してください。

- 注意**1. TQ0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. 外部イベント・カウント・モードのときは、TQ0EEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
3. TQ0EEE, TQ0MD2-TQ0MD0ビットは、TQ0CTL0.TQ0CEビット = 0のときに設定してください(TQ0CEビット = 1のときの同値書き込みは可能)。TQ0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQ0CEビットをクリア(0)してから再設定してください。
4. ビット3, 4, 7は必ず0を設定してください。

(3) TMQ0I/O制御レジスタ0 (TQ0IOC0)

TQ0IOC0レジスタは、タイマ出力 (TOQ0-TOQ3, TOQT1-TOQT3端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF602H

	7	⑥	5	④	3	②	1	①
TQ0IOC0	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0

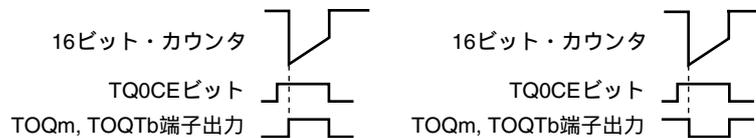
TQ0OLm	TOQm, TOQTb端子出力レベルの設定 ^注 (m = 0-3, b = 1-3)
0	TOQm, TOQTb端子ハイ・レベル・スタート
1	TOQm, TOQTb端子ロウ・レベル・スタート

TQ0OEm	TOQm, TOQTb端子出力の設定 (m = 0-3, b = 1-3)
0	タイマ出力禁止 ・ TQ0OLmビット = 0のときTOQm, TOQTb端子からロウ・レベルを出力 ・ TQ0OLmビット = 1のときTOQm, TOQTb端子からハイ・レベルを出力
1	タイマ出力許可 (TOQm, TOQTb端子からパルスを出力)

注 TQ0OLmビットの指定によるタイマ出力端子 (TOQm, TOQTb) の出力レベルを次に示します。

・ TQ0OLmビット = 0の場合

・ TQ0OLmビット = 1の場合



注意1. ポート設定がTOQm, TOQTb出力設定の場合、TQ0IOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。

2. TQ0OLm, TQ0OEmビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。

3. TQ0CEビット = 0, TQ0OEmビット = 0の状態において、TQ0OLmビットを操作した場合でも、TOQm, TOQTb端子の出力レベルは変化しません。

4. 6相PWM出力モード時にTOQTb端子出力およびA/DコンバータのA/D変換開始トリガ信号を発生させる場合には、必ずTQ0IOC0レジスタでTOQTb端子出力モードの設定をしてください。ただし、TQ0OL0, TQ0OE0ビットは必ずTQ0OL0ビット = 0, TQ0OE0ビット = 1に設定してください (b = 1-3)。

備考 m = 0-3

(4) TMQ0I/O制御レジスタ1 (TQ0IOC1)

TQ0IOC1レジスタは、キャプチャ・トリガ入力信号 (INTPQ0-INTPQ3端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF603H

	7	6	5	4	3	2	1	0
TQ0IOC1	TQ0IS7	TQ0IS6	TQ0IS5	TQ0IS4	TQ0IS3	TQ0IS2	TQ0IS1	TQ0IS0

TQ0IS7	TQ0IS6	キャプチャ・トリガ入力信号 (INTPQ3端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS5	TQ0IS4	キャプチャ・トリガ入力信号 (INTPQ2端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS3	TQ0IS2	キャプチャ・トリガ入力信号 (INTPQ1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS1	TQ0IS0	キャプチャ・トリガ入力信号 (INTPQ0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1. TQ0IS7-TQ0IS0ビットは、TQ0CTL0.TQ0CEビット=0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
2. TQ0IS7-TQ0IS0ビットは、フリー・ランニング・タイマ・モード (TQ0OPT0.TQ0CCSmビット = 1時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMQ0I/O制御レジスタ2 (TQ0IOC2)

TQ0IOC2レジスタは、外部イベント・カウント入力信号 (EVTQ端子)、外部トリガ入力信号 (TIQ端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF604H

	7	6	5	4	3	2	1	0
TQ0IOC2	0	0	0	0	TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0

TQ0EES1	TQ0EES0	外部イベント・カウント入力信号 (EVTQ端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0ETS1	TQ0ETS0	外部トリガ入力信号 (TIQ端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0EES1, TQ0EES0, TQ0ETS1, TQ0ETS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
2. TQ0EES1, TQ0EES0ビットは、TQ0CTL1.TQ0EEEビット = 1、または外部イベント・カウント・モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 001) に設定したときのみ有効です。
3. TQ0ETS1, TQ0ETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(6) TMQ0オプション・レジスタ0 (TQ0OPT0)

TQ0OPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF605H

	⑦	⑥	⑤	④	3	②	①	①
TQ0OPT0	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0	0	TQ0CMS ^注	TQ0CUF ^注	TQ0OVF

TQ0CCSm	TQ0CCRmレジスタのキャプチャ/コンペア選択 (m = 0-3)
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TQ0CTL0.TQ0CEビット = 0によりクリア)
TQ0CCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TQ0OVF	TMQ0のオーバフロー・フラグ
セット (1)	オーバフロー発生
リセット (0)	TQ0OVFビットへの0書き込みまたはTQ0CTL0.TQ0CEビット = 0
<ul style="list-style-type: none"> ・ TQ0OVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFFFHから0000Hにオーバフローするときセット (1) されます。 ・ TQ0OVFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTOVQ) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTOVQ信号は発生しません。 ・ TQ0OVFビット = 1のときにTQ0OVFビットまたはTQ0OPT0レジスタをリードしてもTQ0OVFビットはクリア (0) されません。 ・ INTOVQ信号発生後、TQ0OVFビットをクリア (0) する場合は、必ずTQ0OVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 ・ TQ0OVFビットはリード/ライト可能ですが、ソフトウェアでTQ0OVFビットをセット (1) することはできません。1をライトしてもTMQ0の動作に影響はありません。 	

注 TQ0CMS, TQ0CUFビットの詳細は、第12章 モータ制御機能を参照してください。

注意1. TQ0CCS3-TQ0CCS0ビットは、TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。

2. ビット3には必ず0を設定してください。

(7) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TQ0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス：FFFFFF606H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CCR0																

(a) コンペア・レジスタとしての機能

TQ0CCR0レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTCCQ0) を発生し、TOQ0端子出力を許可している場合、TOQ0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TQ0CCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TQ0CTL0.TQ0CEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (INTPQ0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (INTPQ0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR0レジスタのリードが競合しても、TQ0CCR0レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表9 - 2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、9.6(2)随時書き込みと一斉書き込みを参照してください。

(8) TMQ0キャプチャ/コンペア・レジスタ1 (TQ0CCR1)

TQ0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TQ0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス：FFFFFF608H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CCR1																

(a) コンペア・レジスタとしての機能

TQ0CCR1レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTCCQ1) を発生し、TOQ1端子出力を許可している場合、TOQ1端子出力を反転します。

TQ0CTL0.TQ0CEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (INTPQ1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (INTPQ1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR1レジスタのリードが競合しても、TQ0CCR1レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表9 - 3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、9.6(2)随時書き込みと一斉書き込みを参照してください。

(9) TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2)

TQ0CCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TQ0CCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR2レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(a) コンペア・レジスタとしての機能

TQ0CCR2レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTCCQ2) を発生し、TOQ2端子出力を許可している場合、TOQ2端子出力を反転します。

TQ0CTL0.TQ0CEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (INTPQ2端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (INTPQ2端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR2レジスタのリードが競合しても、TQ0CCR2レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表9 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、9.6(2)随時書き込みと一斉書き込みを参照してください。

(10) TMQ0キャプチャ/コンペア・レジスタ3 (TQ0CCR3)

TQ0CCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TQ0CCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR3レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(a) コンペア・レジスタとしての機能

TQ0CCR3レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTCCQ3) を発生し、TOQ3端子出力を許可している場合、TOQ3端子出力を反転します。

TQ0CTL0.TQ0CEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (INTPQ3端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (INTPQ3端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR3レジスタのリードが競合しても、TQ0CCR3レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表9 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、9.6(2)随時書き込みと一斉書き込みを参照してください。

(11) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

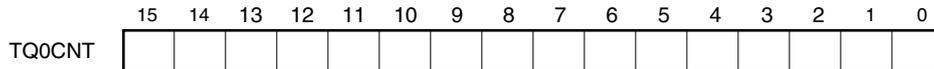
TQ0CTL0.TQ0CEビット = 1のときにTQ0CNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TQ0CEビット = 0のとき、TQ0CNTレジスタは0000Hになります。このときにTQ0CNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。

リセットによりTQ0CEビット = 0になり、TQ0CNTレジスタは0000Hになります。

リセット時 : 0000H R アドレス : FFFFF60EH



9.5 タイマ出力動作説明

次にTOQ0-TOQ3端子の動作，および出力レベルを示します。

表9 - 6 各モードによるタイマ出力制御

動作モード	TOQ0端子	TOQ1端子	TOQ2端子	TOQ3端子
インターバル・タイマ・モード	PWM出力			
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード	PWM出力	外部トリガ・パルス出力		
ワンショット・パルス出力モード		ワンショット・パルス出力		
PWM出力モード		PWM出力		
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)			
パルス幅測定モード	なし			

表9 - 7 タイマ出力制御ビットによるTOQ0-TOQ3端子の真理値表

TQ0IOC0.TQ0OLaビット	TQ0IOC0.TQ0OEaビット	TQ0CTL0.TQ0CEビット	TOQa端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始後はロウ・レベル

備考 a = 0-3

9.6 動作

TMQ0には次のような機能があります。

動作	TQ0CTL1.TQ0ESTビット (ソフトウェア・トリガ・ビット)	TIQ端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

(a) カウント開始動作

TMQ0の16ビット・カウンタは、すべてのモードで初期値FFFFHからカウントを開始します。カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウントはクリア動作ではありません。したがって、INTCCQm割り込み信号は発生しません (m = 0-3)。

(c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバフローが発生すると、TQ0OPT0.TQ0OVFビットがセット (1) され、割り込み要求信号 (INTOVQ) が発生します。なお、次の条件ではINTOVQ信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号 (INTOVQ) 発生後は、必ずオーバフロー・フラグ (TQ0OVFビット) が "1" にセットされているのを確認してください。

(d) カウンタ動作中のカウンタ・リード動作

TMQ0では、TQ0CNTレジスタにより、カウンタ動作中の16ビット・カウンタの値をリードできません。

TQ0CTL0.TQ0CEビット = 1のときは、TQ0CNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TQ0CEビット = 0のときは、16ビット・カウンタがFFFFHで、TQ0CNTレジスタが0000Hです。

(e) 割り込み動作

TMQ0では、次の5種類の割り込み要求信号を発生します。

- ・ INTCCQ0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号、およびTQ0CCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTCCQ1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号、およびTQ0CCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTCCQ2割り込み : CCR2バッファ・レジスタの一致割り込み要求信号、およびTQ0CCR2レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTCCQ3割り込み : CCR3バッファ・レジスタの一致割り込み要求信号、およびTQ0CCR3レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTOVQ割り込み : オーバフロー割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TMQ0では、タイマ動作中 (TQ0CTL0.TQ0CEビット = 1) でもTQ0CCR0-TQ0CCR3レジスタの書き換えを許可していますが、モードによってCCR0-CCR3バッファ・レジスタへの書き込み方法(随時書き込み、一斉書き込み)が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTQ0CCR0-TQ0CCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を随時行います。

図9-2 随時書き込みの基本動作フロー・チャート

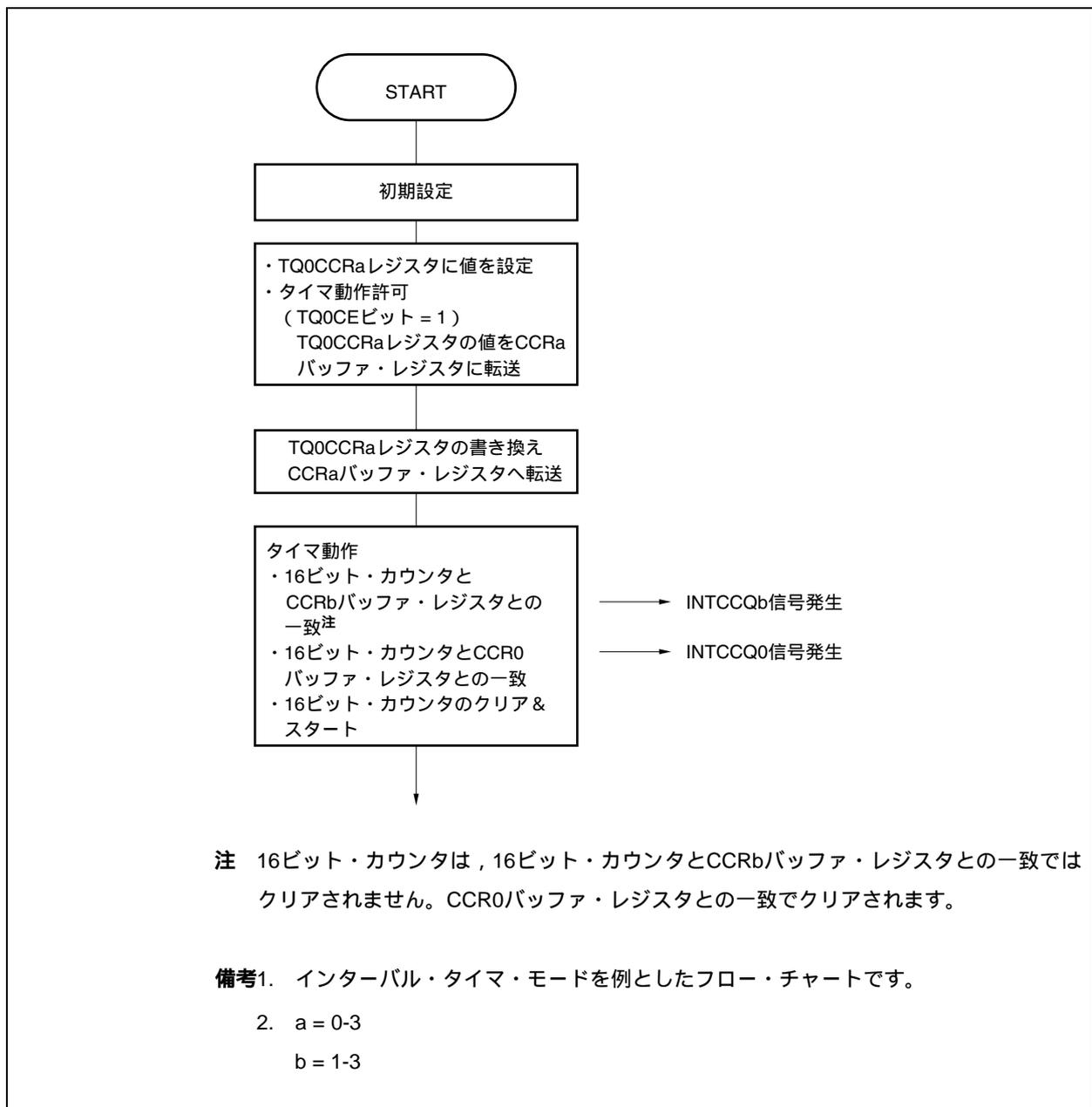
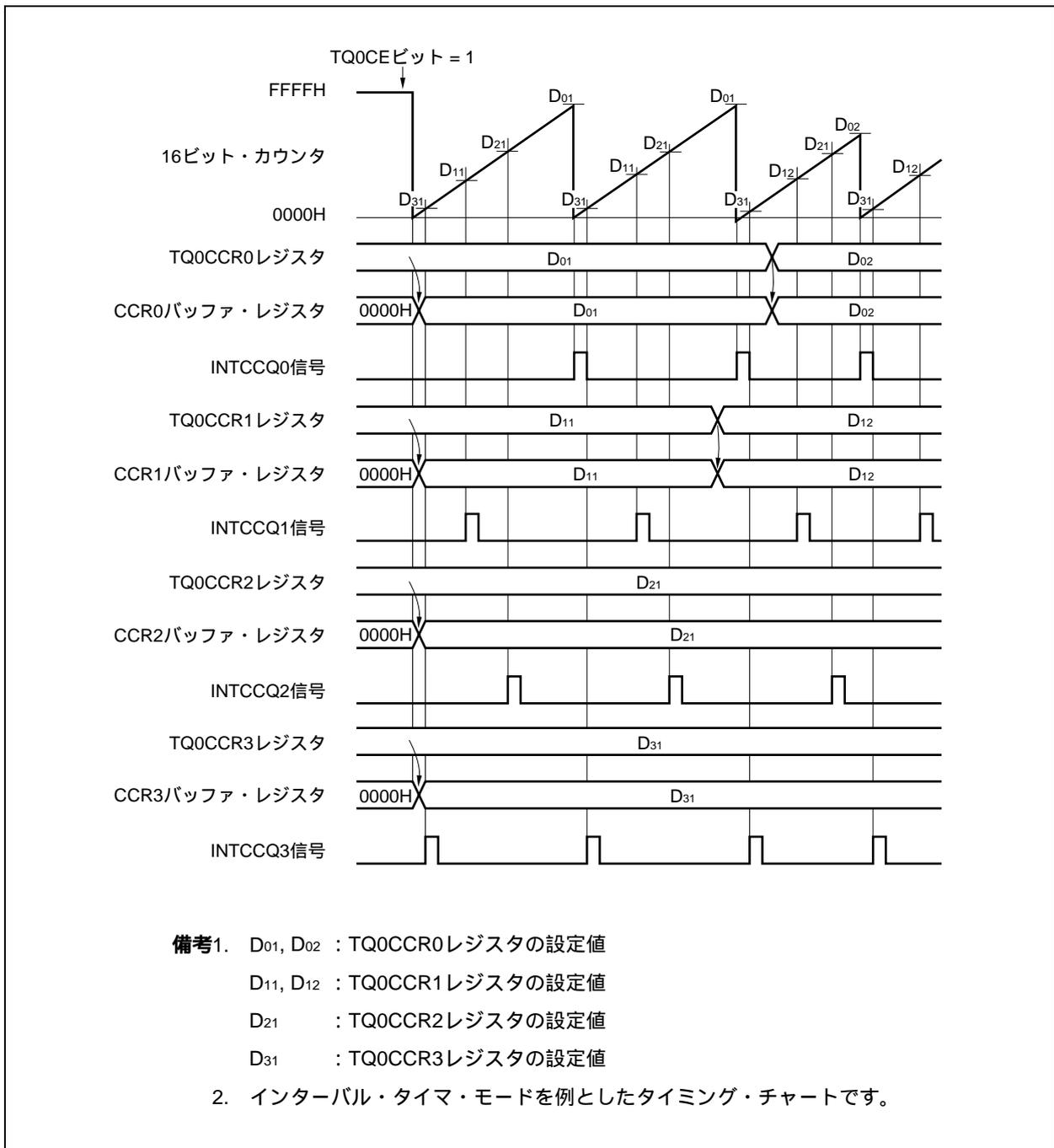


図9 - 3 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中にTQ0CCR0-TQ0CCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTQ0CCR1レジスタへの書き込みとなります。TQ0CCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TQ0CCR0-TQ0CCR3レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0-CCR3バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTQ0CCR0レジスタを書き換え、最後にTQ0CCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TQ0CCR0-TQ0CCR3レジスタの値はCCR0-CCR3バッファ・レジスタに転送されます。なお、TQ0CCR0、TQ0CCR2、TQ0CCR3レジスタのいずれかの値だけ書き換えたい場合でも、TQ0CCR1レジスタに同値(すでに設定したTQ0CCR1レジスタと同じ値)を書き込んでください。

図9-4 一斉書き込みの基本動作フロー・チャート

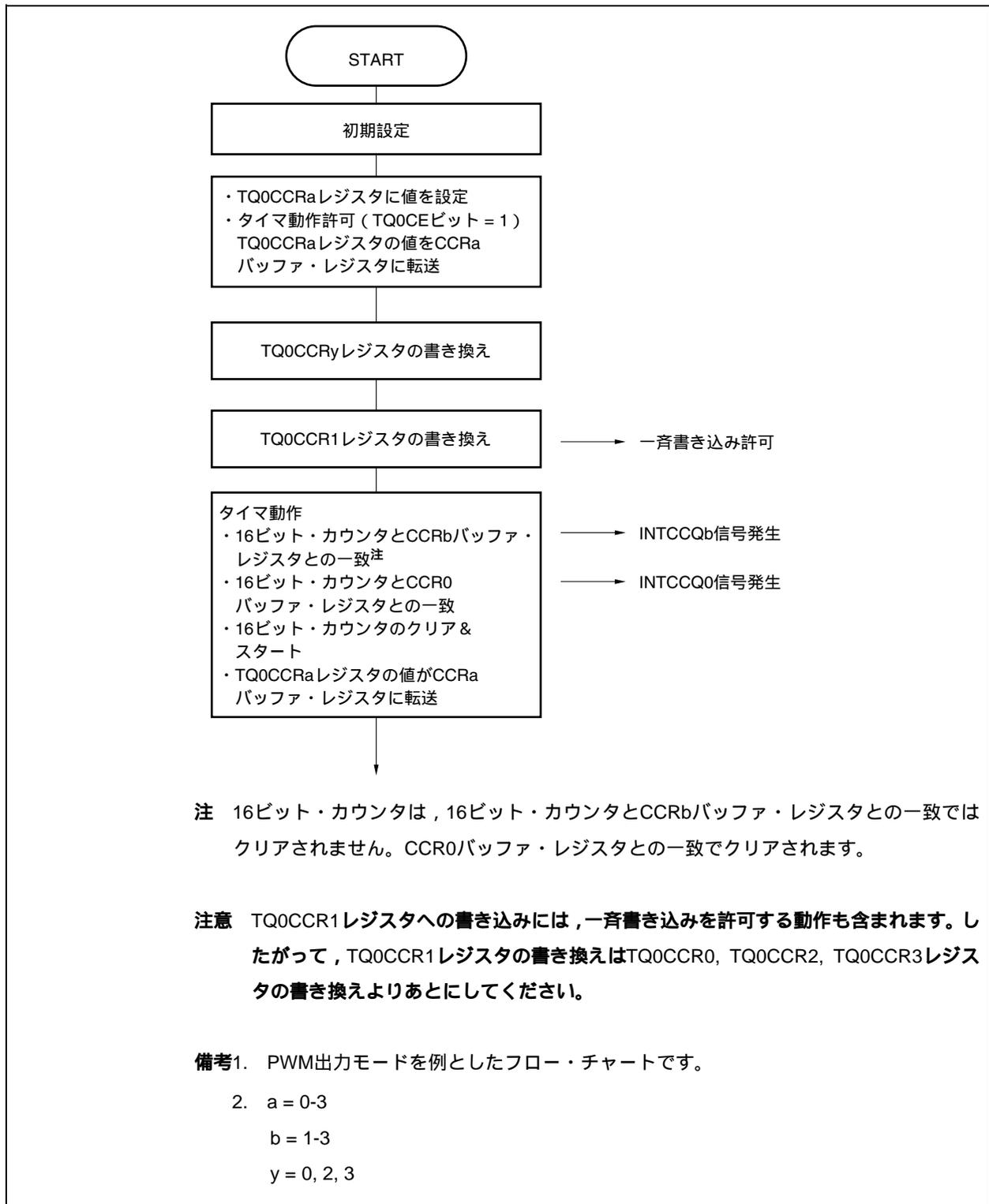
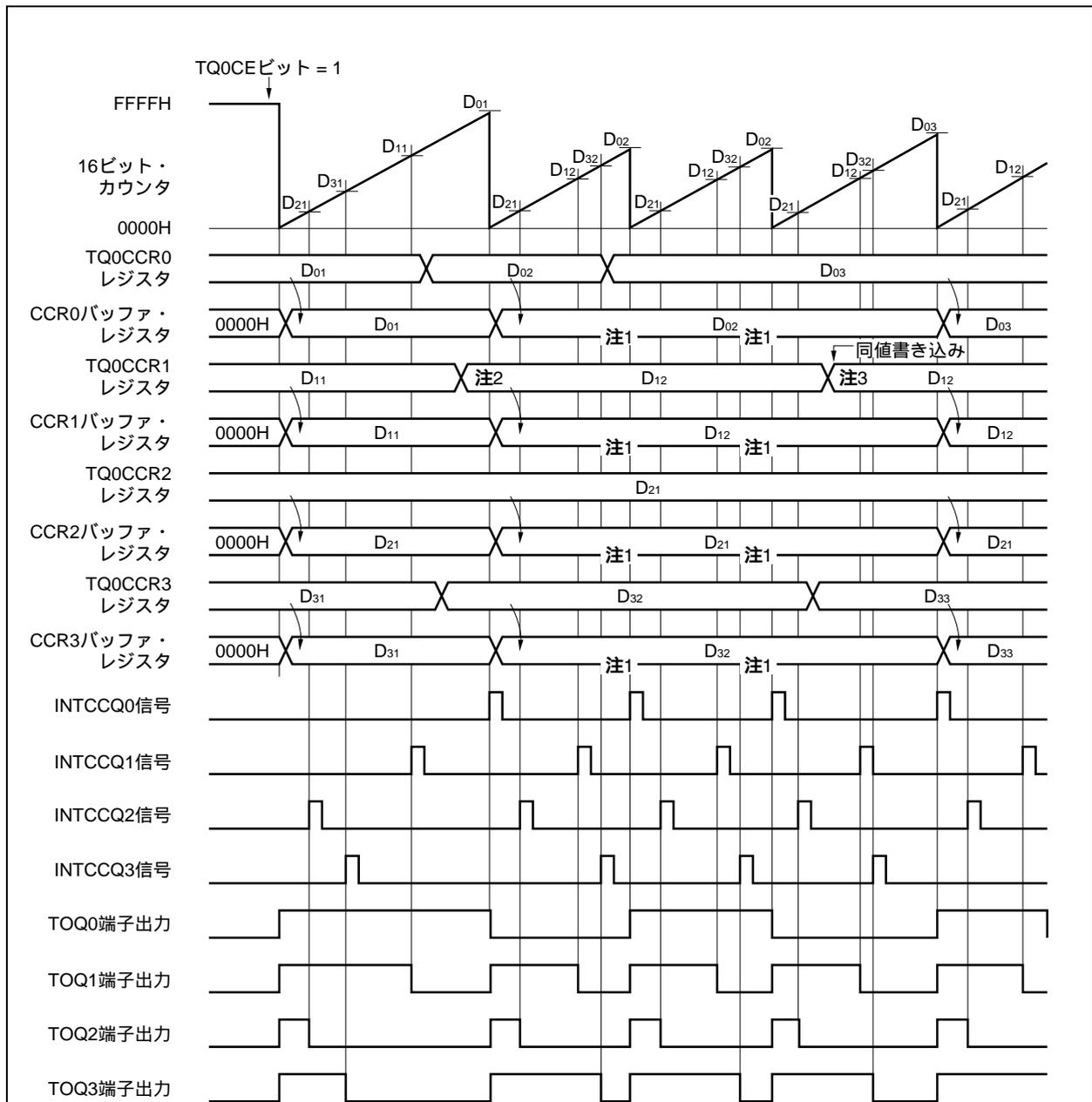


図9 - 5 一斉書き込みのタイミング



- 注1. TQ0CCR1レジスタの書き込みがなかったためD02は転送しません。
2. TQ0CCR1レジスタへの書き込み (D12) があったため, TQ0CCR0レジスタとの一致 (D01) により, CCR1バッファ・レジスタへの転送を行います。
 3. TQ0CCR1レジスタへの書き込み (D12) があったため, TQ0CCR0レジスタとの一致 (D12) により, CCR1バッファ・レジスタへの転送を行います。

- 備考1. D01, D02, D03 : TQ0CCR0レジスタの設定値
 D11, D12 : TQ0CCR1レジスタの設定値
 D21 : TQ0CCR2レジスタの設定値
 D31, D32, D33 : TQ0CCR3レジスタの設定値
2. PWM出力モードを例としたフロー・チャートです。

9.6.1 インターバル・タイマ・モード (TQ0MD2-TQ0MD0ビット = 000)

インターバル・タイマ・モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、TQ0CCR0レジスタで設定したインターバル間隔にて割り込み要求信号 (INTCCQ0) を発生します。また、TOQ0端子から、インターバル間隔を半周期とする50 %デューティのPWM波形を出力できます。

インターバル・タイマ・モードでは、TQ0CCR1-TQ0CCR3レジスタを使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタでは、TQ0CCR1-TQ0CCR3レジスタの設定値がCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTCCQ1-INTCCQ3) が発生します。また、TOQ1-TOQ3端子から、INTCCQ1-INTCCQ3信号の発生タイミングで反転する50 %デューティのPWM波形を出力できます。

なお、TQ0CCR1-TQ0CCR3レジスタのタイマ動作中の書き換えは可能です。

図9 - 6 インターバル・タイマの構成図

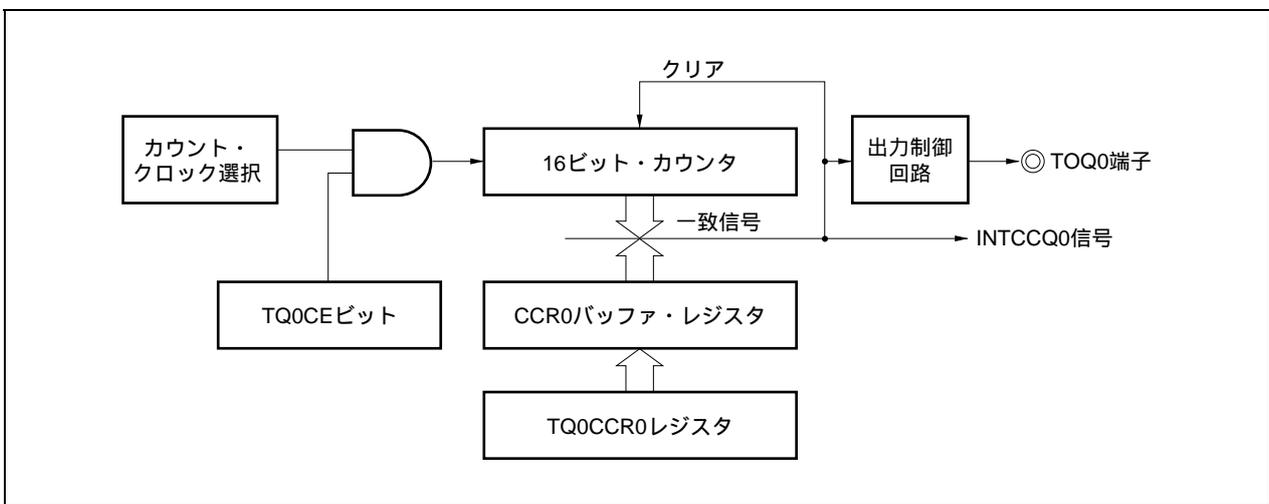
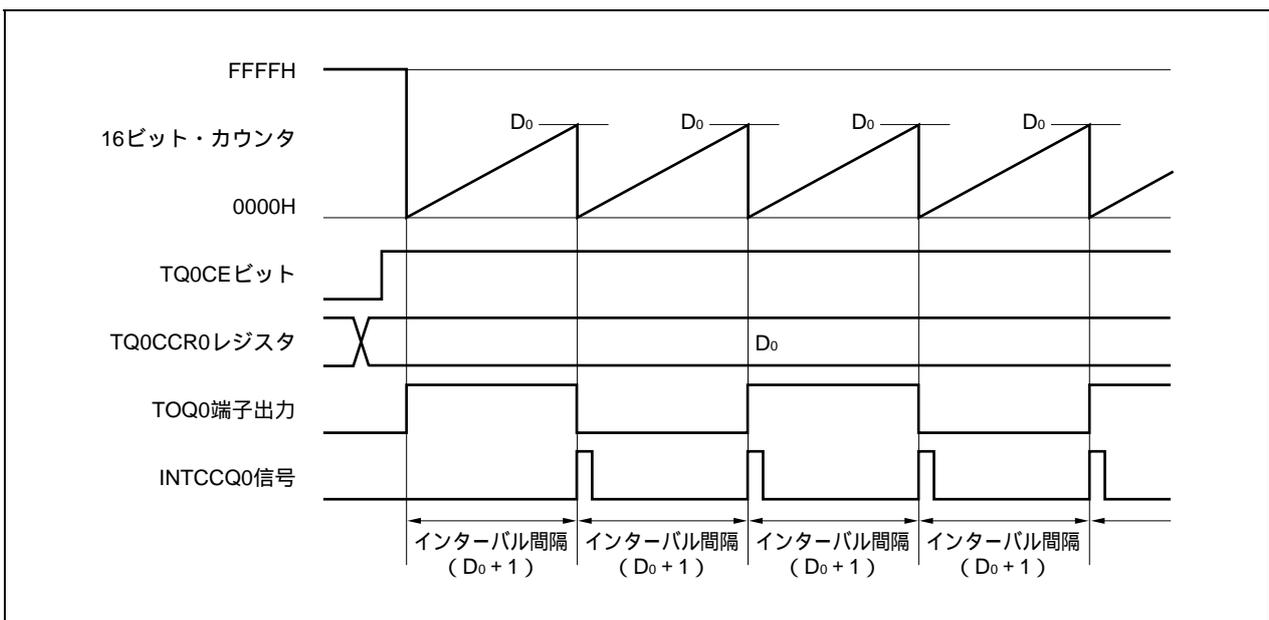


図9 - 7 インターバル・タイマ・モード動作の基本タイミング



TQ0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOQ0端子出力を反転します。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOQ0端子出力を反転させて、コンペアー一致割り込み要求信号(INTCCQ0)を発生します。

インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TQ0CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図9-8 インターバル・タイマ・モード動作時のレジスタ設定内容(1/3)

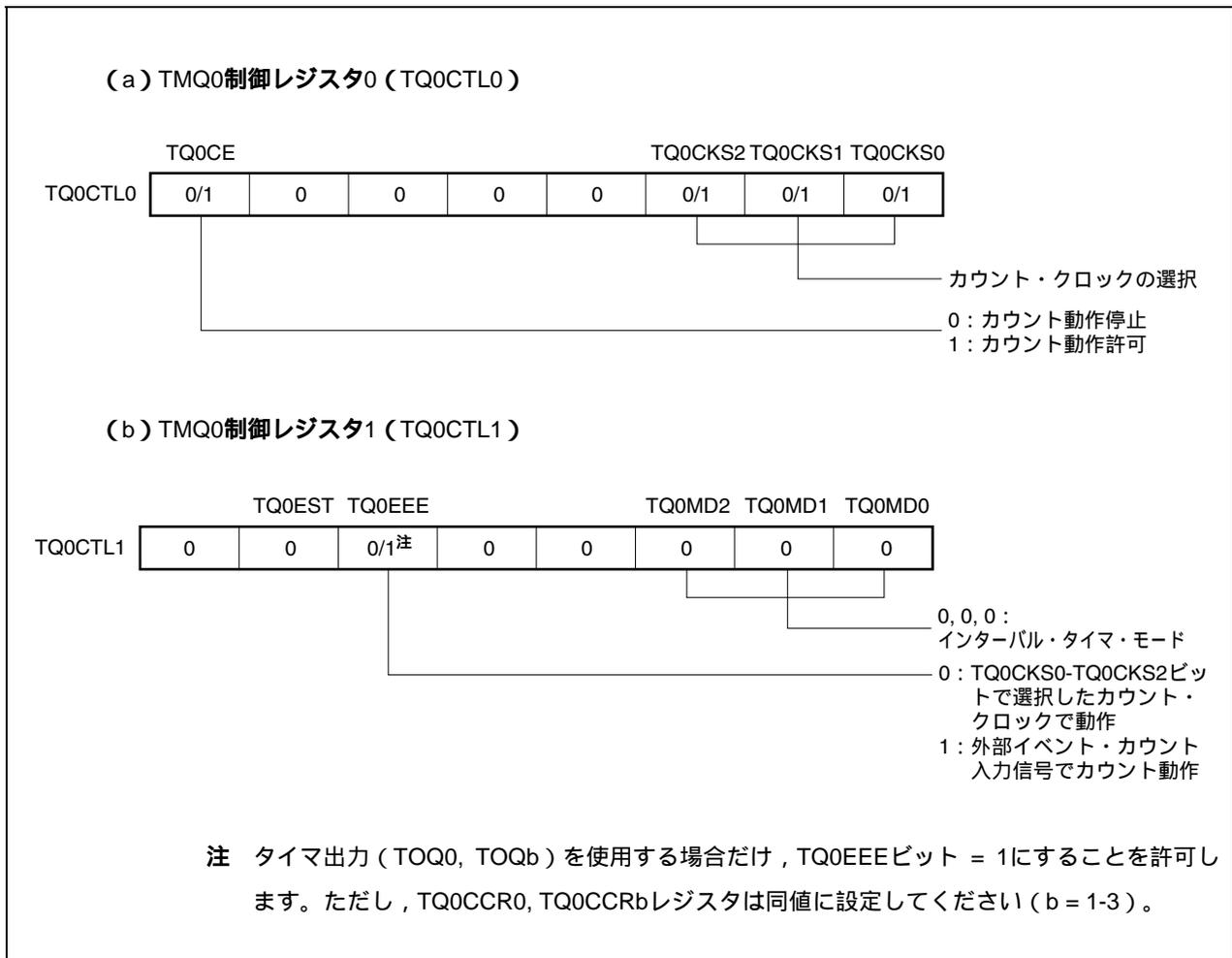
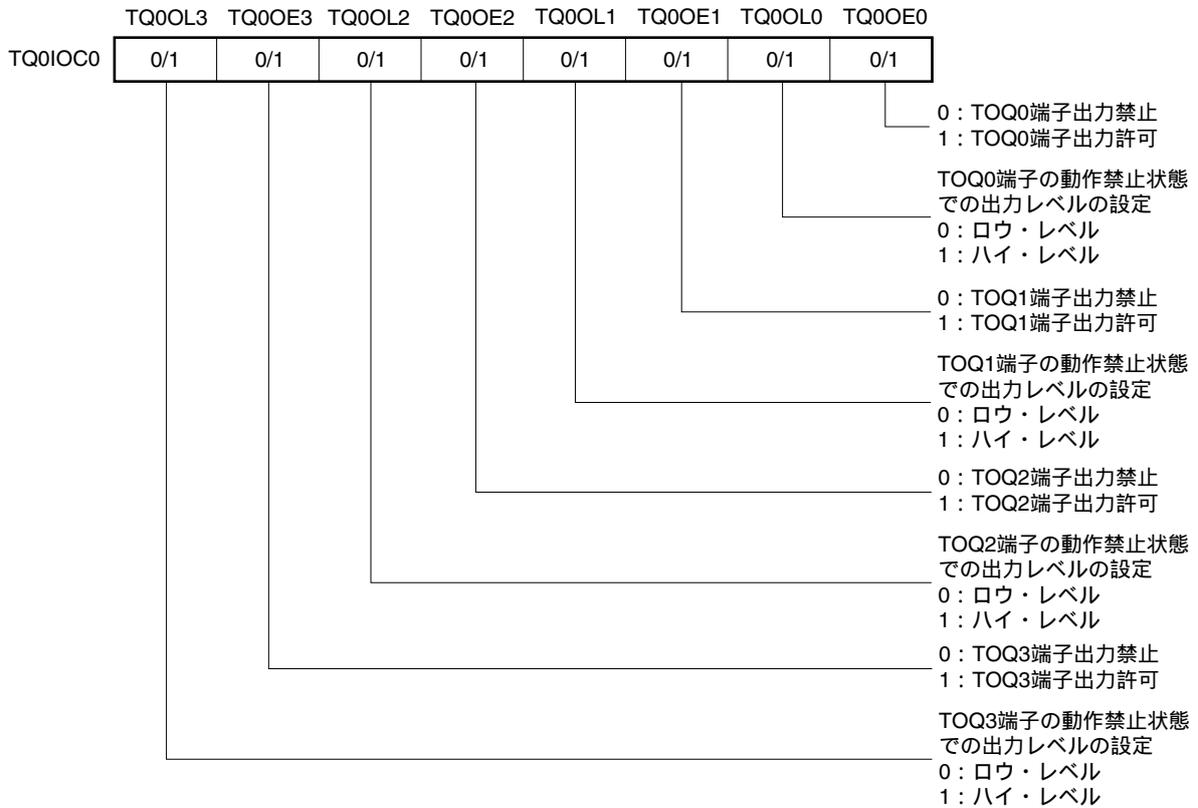
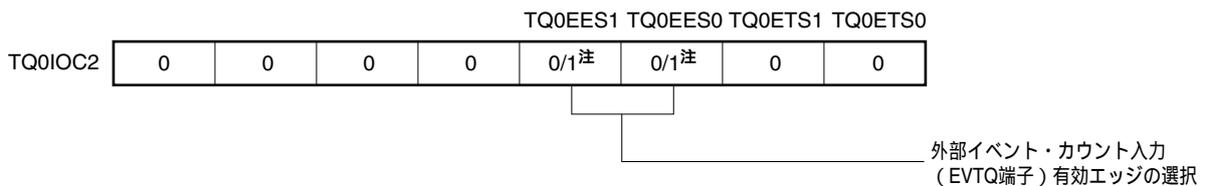


図9 - 8 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



注 タイマ出力 (TOQ0-TOQ3) を使用する場合だけ, TQ0EES1, TQ0EES0ビットを設定することを許可します。ただし, TQ0CCR0-TQ0CCR3レジスタは同値に設定してください。

(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで, 16ビット・カウンタのカウンタ値をリードできます。

(f) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタにD₀を設定した場合,

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

図9 - 8 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

(g) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)

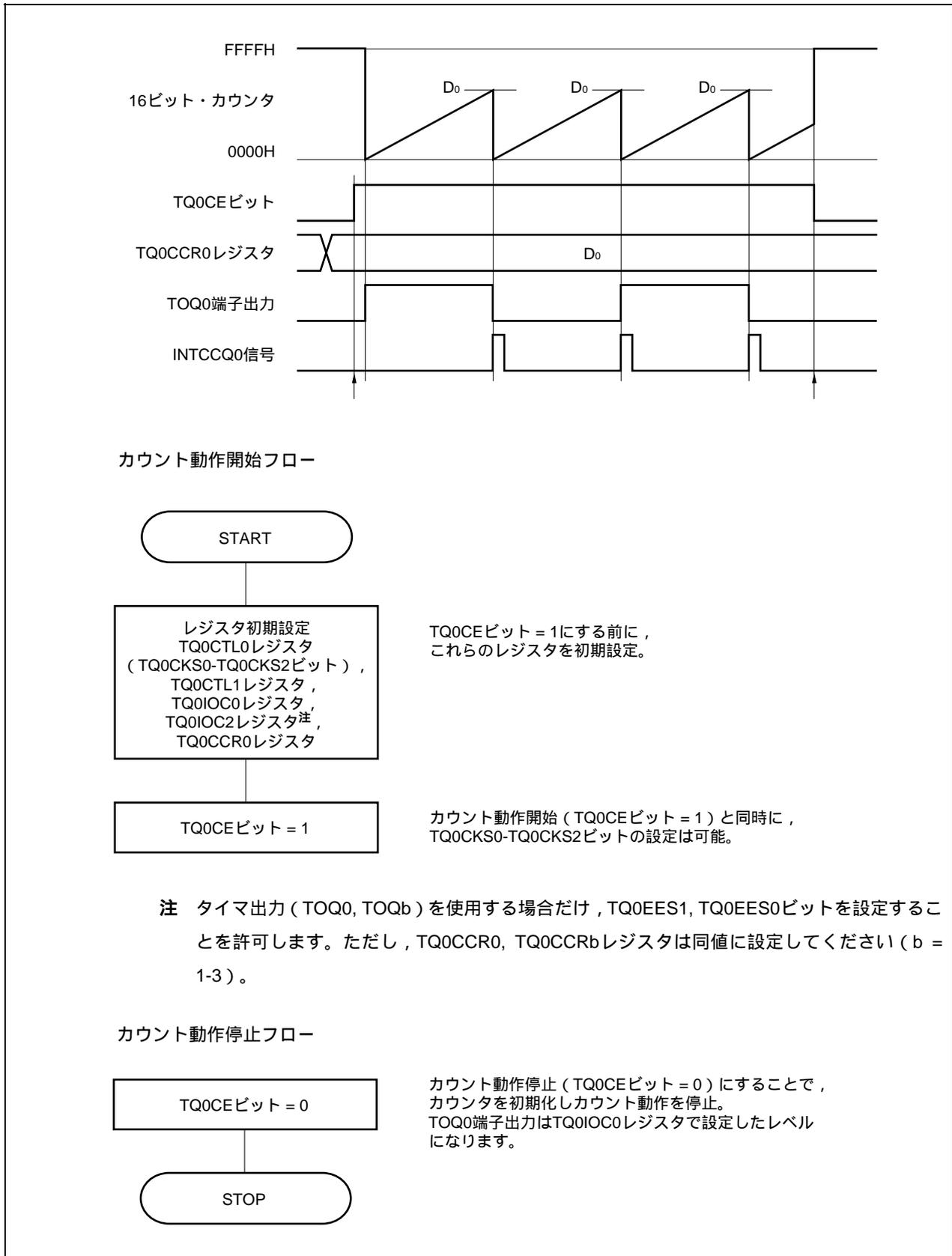
インターバル・タイマ・モードでは、TQ0CCR1-TQ0CCR3レジスタを使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTCCQ1-INTCCQ3) が発生します。

TQ0CCR1-TQ0CCR3レジスタを使用しない場合には、TQ0CCR1-TQ0CCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (P01IC1.P01MK1-P01IC3.P01MK3) でマスク設定してください。

備考 TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、インターバル・タイマ・モードでは使用しません。

(1) インターバル・タイマ・モード動作フロー

図9 - 9 インターバル・タイマ・モード使用時のソフトウェア処理フロー

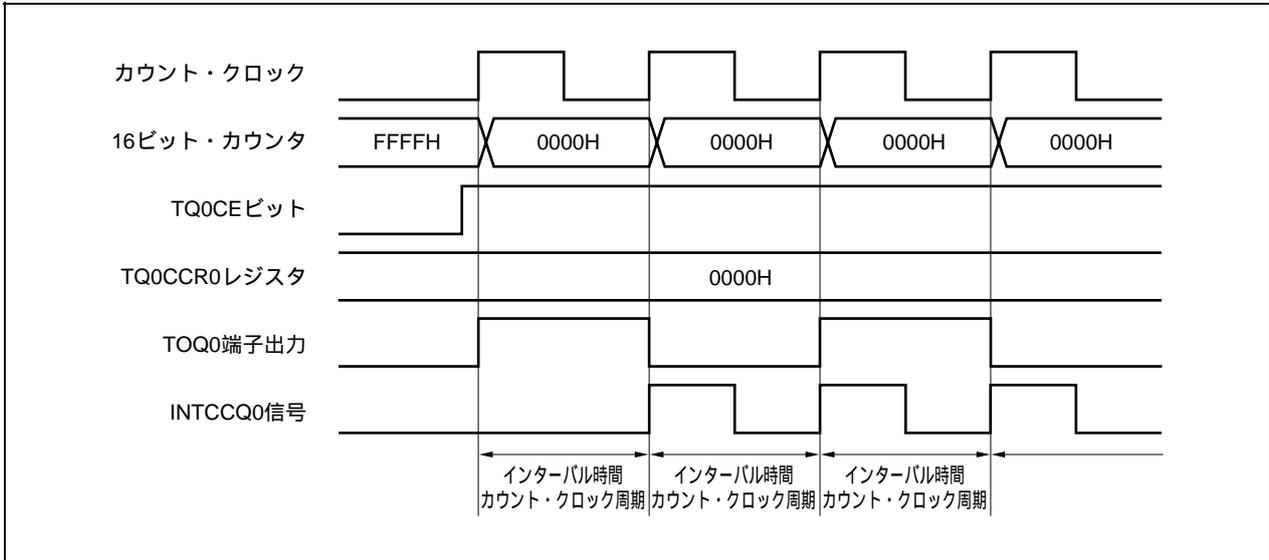


(2) インターバル・タイマ・モード動作タイミング

(a) TQ0CCR0レジスタに0000Hを設定した場合の動作

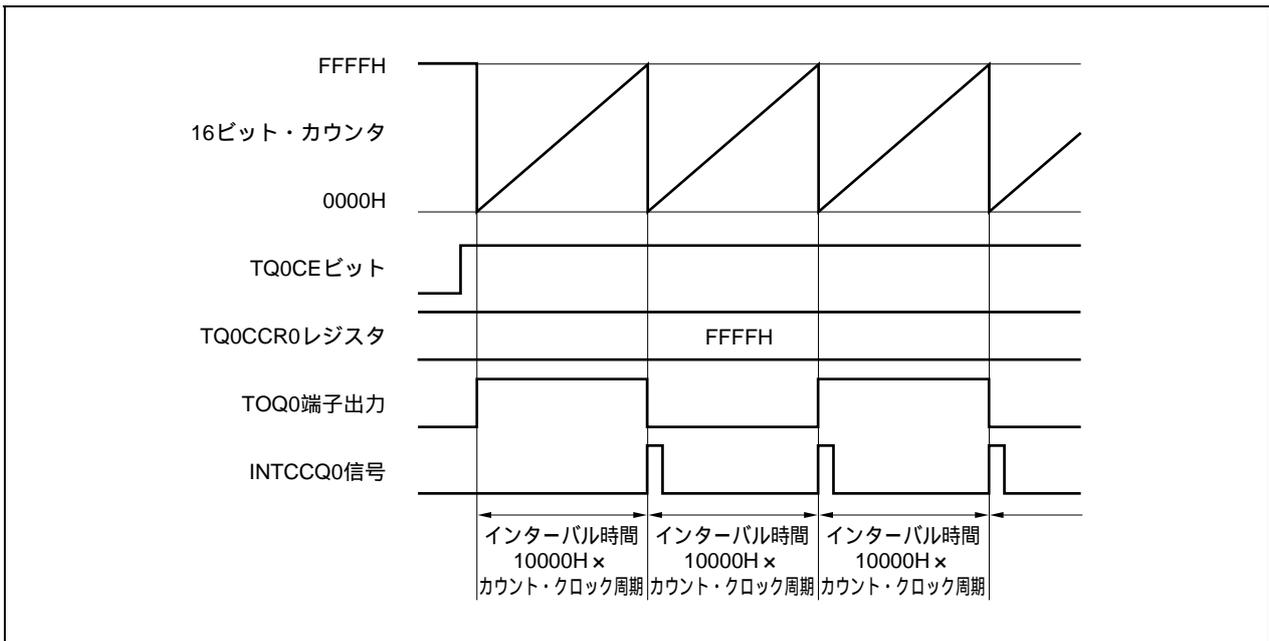
TQ0CCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTCCQ0信号を発生し、TOQ0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



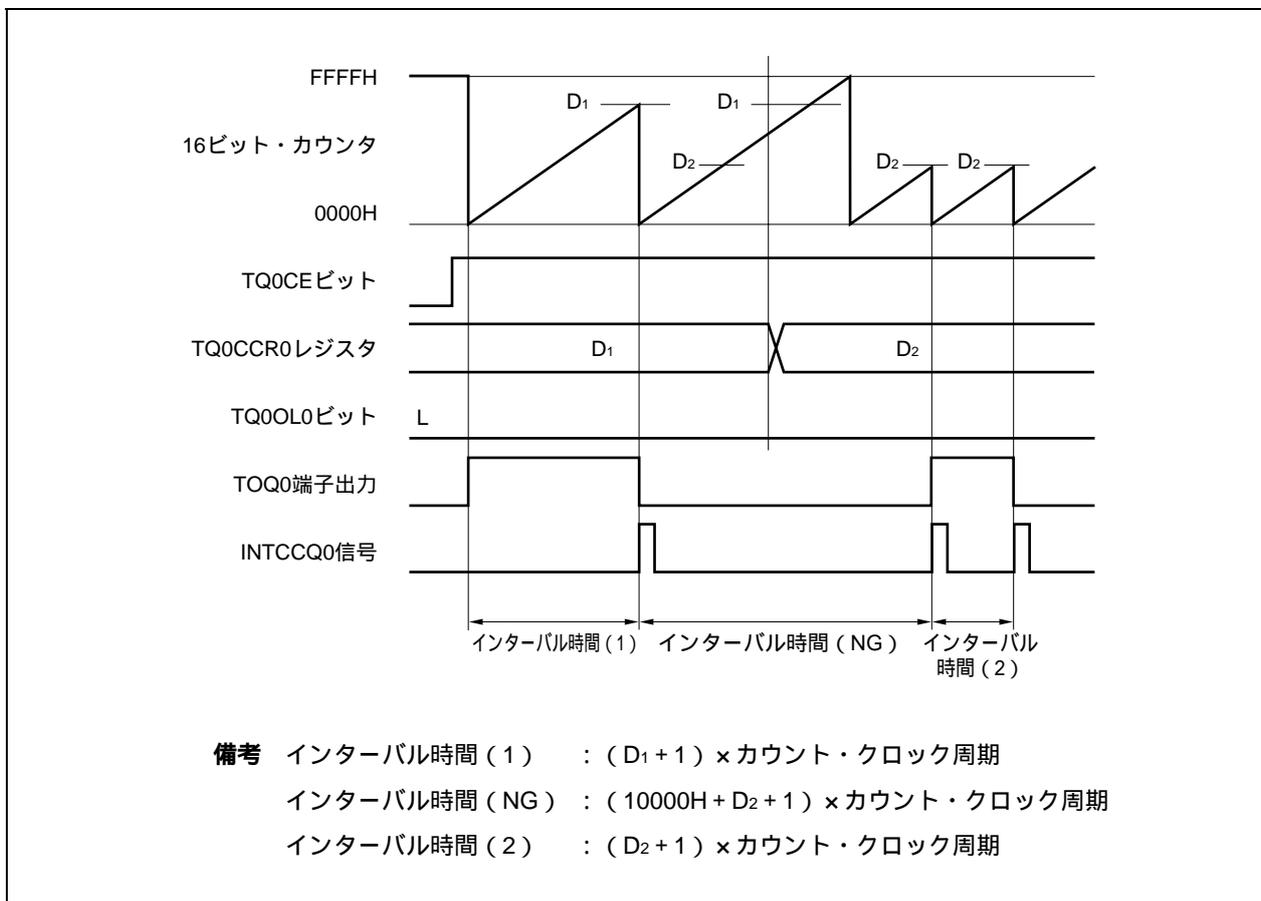
(b) TQ0CCR0レジスタにFFFFHを設定した場合の動作

TQ0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTCCQ0信号を発生し、TOQ0端子の出力を反転します。このとき、オーバーフロー割り込み要求信号 (INTOVQ) は発生せず、オーバーフロー・フラグ (TQ0OPT0.TQ0OVFビット) もセット (1) されません。



(c) TQ0CCR0レジスタの書き換えに関する注意事項

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



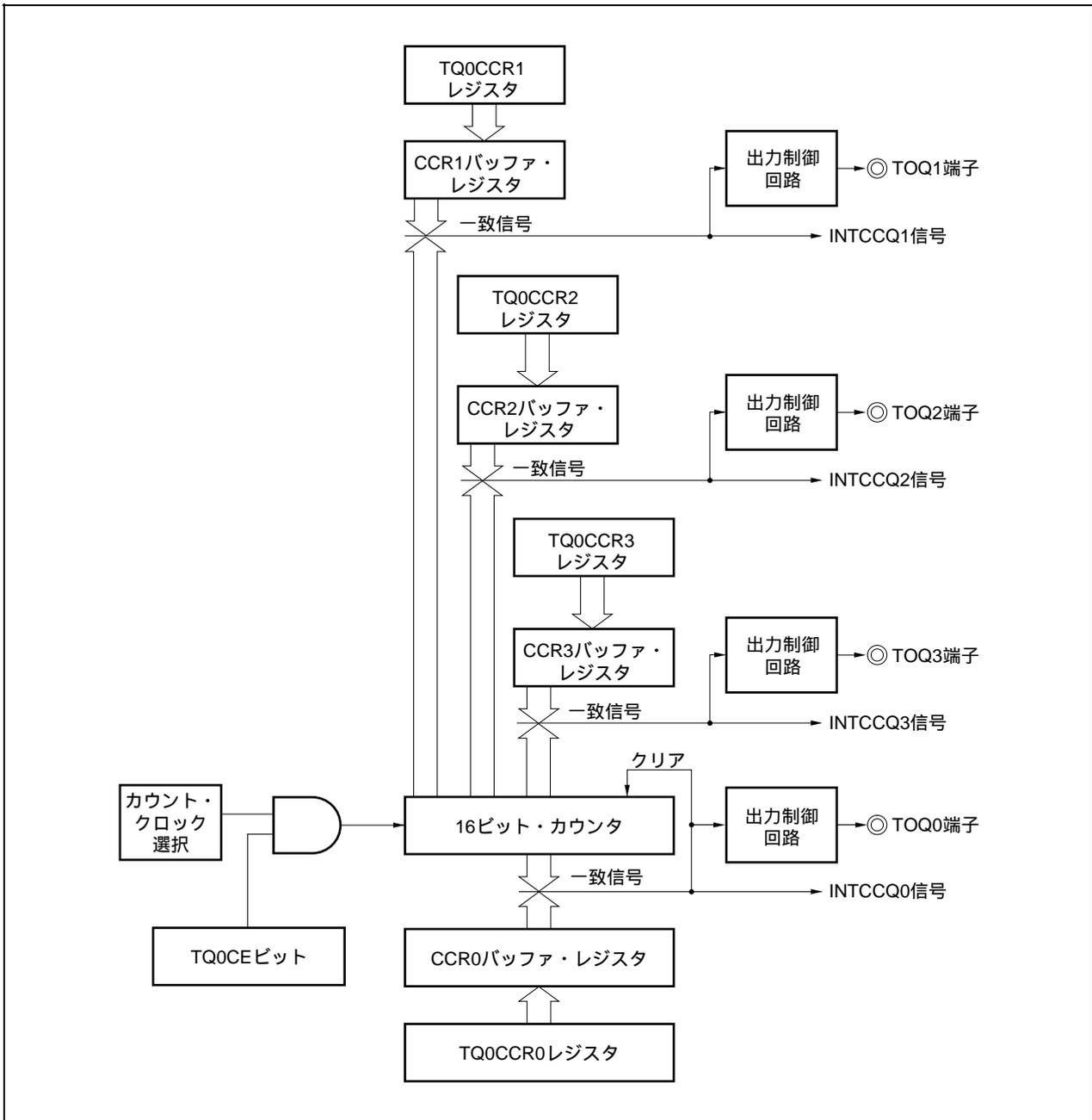
カウント値がD₂よりも大きくD₁よりも小さい状態において、TQ0CCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTCCQ0信号を発生しTOQ0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTCCQ0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTCCQ0信号が発生する場合があります。

(d) TQ0CCR1-TQ0CCR3レジスタの動作

図9 - 10 TQ0CCR1-TQ0CCR3レジスタの構成図

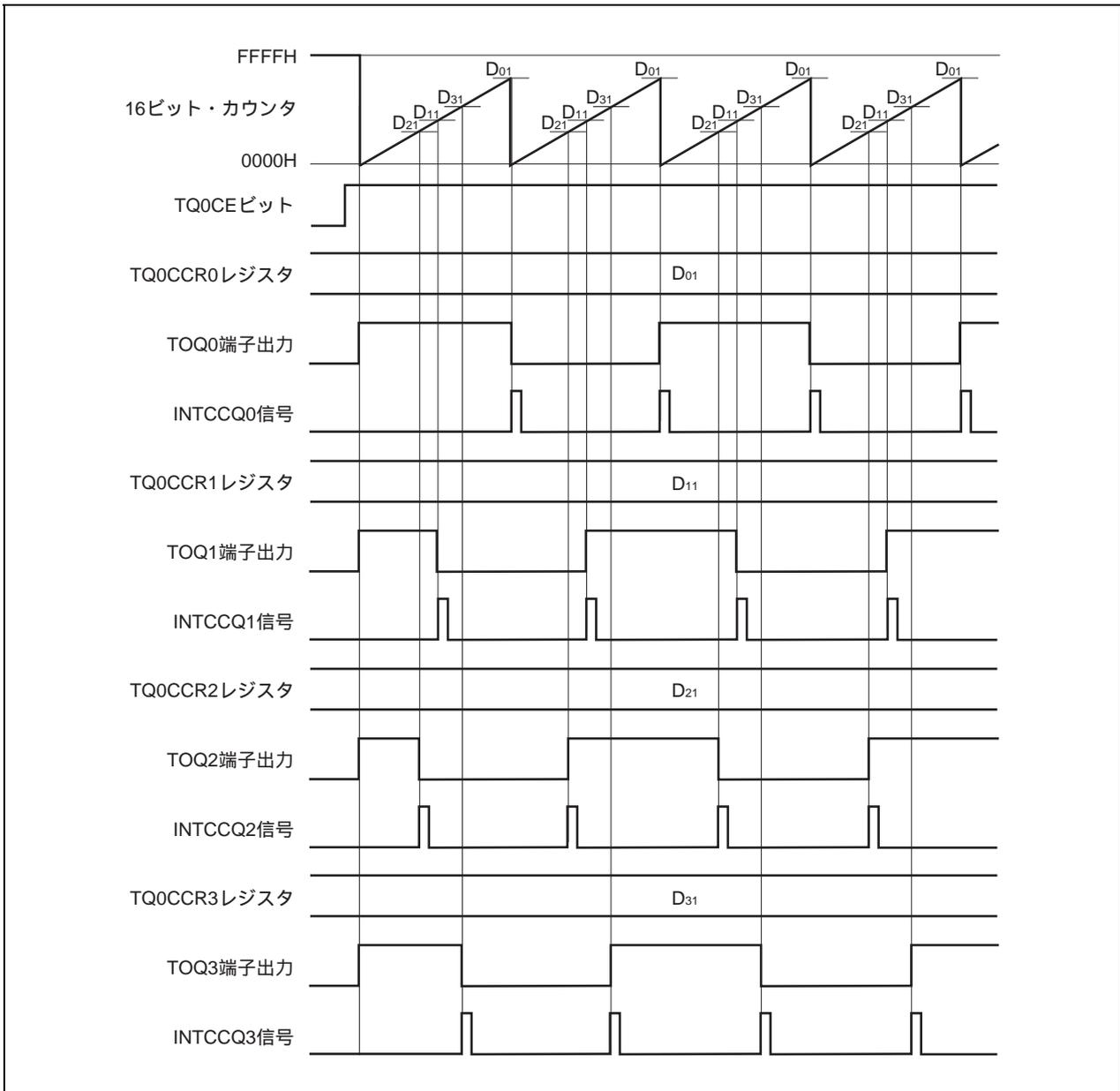


TQ0CCRbレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTCCQb信号が発生します。また、同じタイミングでTOQb端子出力は反転します。

TOQb端子出力は、TOQ0端子出力と同じ周期の50 %デューティのPWM波形を出力します。

備考 b = 1-3

図9 - 11 D₀₁ D_{b1}の場合のタイミング図

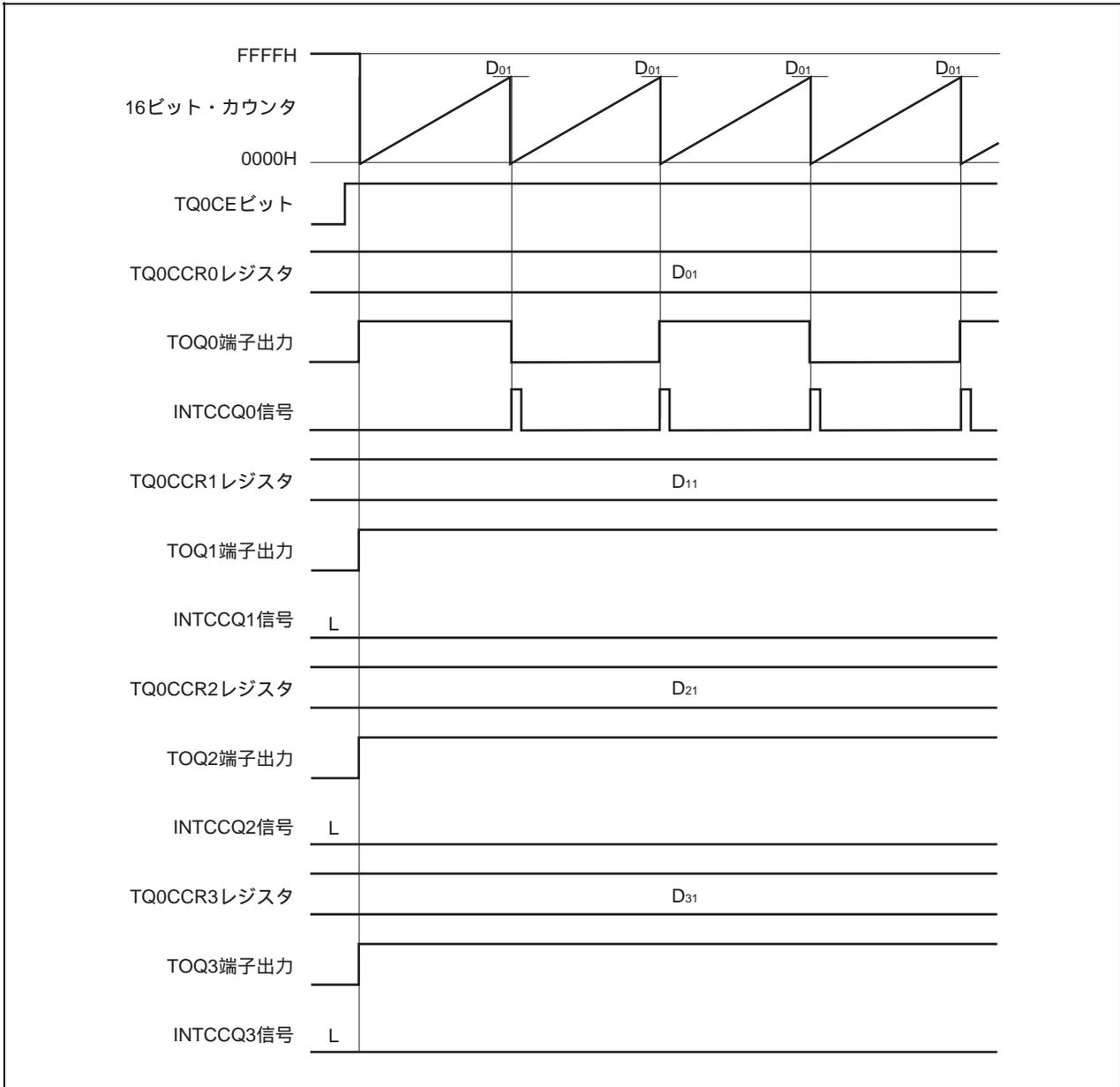


TQ0CCRbレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値が一致しないので、INTCCQb信号は発生しません。また、TOQb端子出力も変化しません。

TQ0CCRbレジスタを使用しない場合には、TQ0CCRbレジスタの設定値をFFFFHに設定することを推奨します。

備考 b = 1-3

図9 - 12 D₀₁ < D_{b1}の場合のタイミング図



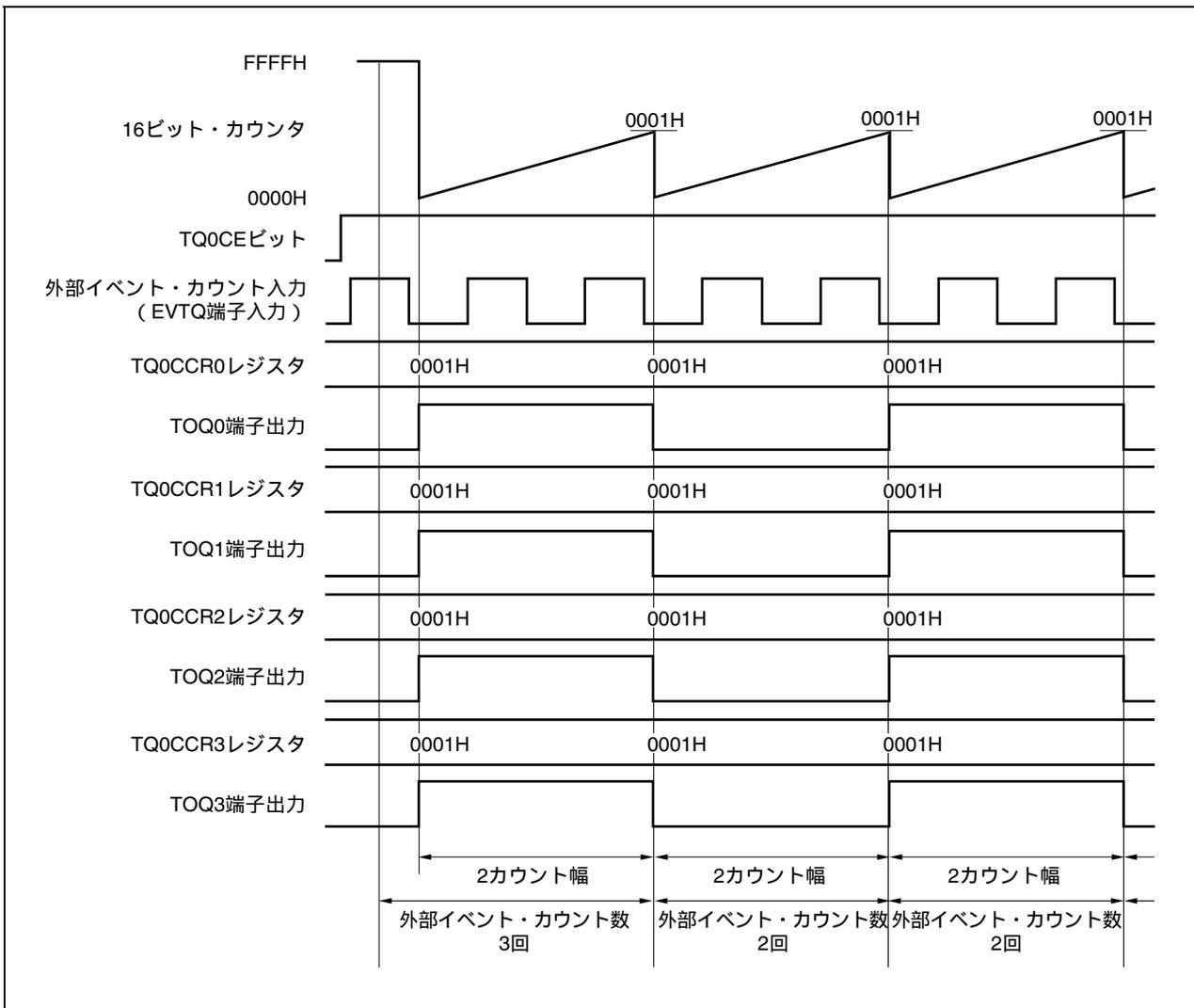
(3) 外部イベント・カウント入力 (EVTQ) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (EVTQ) の有効エッジで16ビット・カウンタをカウントする場合、TQ0CEビットを0から1に設定した直後に、16ビット・カウンタをFFFFHから0000Hにクリアするために、1回の外部イベント・カウント入力の有効エッジが必要です。

TQ0CCR0, TQ0CCRbレジスタに0001Hを設定 (同値設定) すると、16ビット・カウンタの2カウントごとにTOQ0, TOQb端子の出力を反転します (b = 1-3)。

外部イベント・カウント入力でタイマ出力 (TOQ0, TOQb) を使用する場合だけ、インターバル・タイマ・モード時にTQ0CTL0.TQ0EEEビット = 1の設定が可能です。



9.6.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)

外部イベント・カウント・モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、外部イベント・カウント入力 (EVTQ) の有効エッジをカウントし、TQ0CCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号 (INTCCQ0) を発生します。また、TOQ0-TOQ3端子は使用できません。外部イベント・カウント入力でTOQ0-TOQ3端子を使用する場合は、インターバル・タイマ・モード時にTQ0CTL1.TQ0EEEビット = 1に設定してください(9.6.1(3) 外部イベント・カウント入力 (EVTQ) による動作参照)。

外部イベント・カウント・モードでは、TQ0CCR1-TQ0CCR3レジスタは使用しません。

注意 外部イベント・カウント・モードでは、TQ0CCR0-TQ0CCR3レジスタに0000Hを設定することは禁止します。

図9 - 13 外部イベント・カウント・モードの構成図

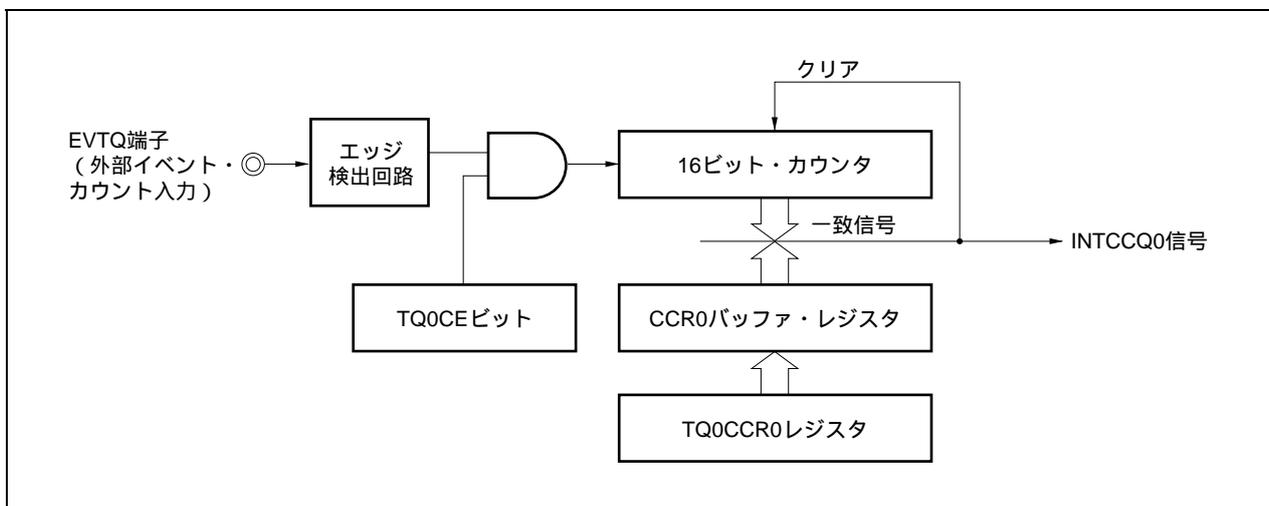
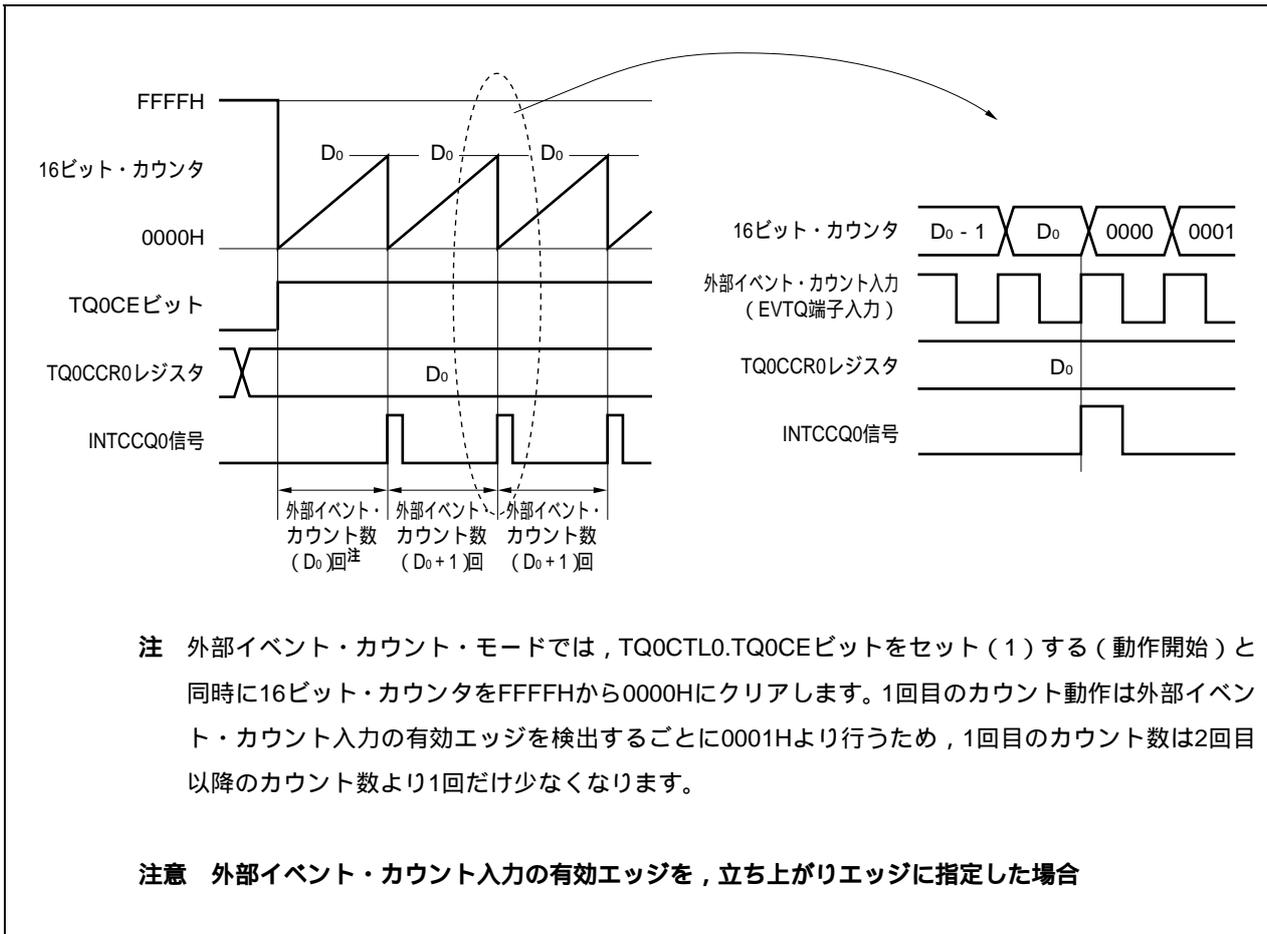


図9 - 14 外部イベント・カウント・モードの基本タイミング



TQ0CEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウント動作を行います。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTCCQ0)を発生します。

INTCCQ0信号の発生は、1回目のINTCCQ0信号の場合は外部イベント・カウント入力の有効エッジを(TQ0CCR0レジスタに設定した値)回検出で発生し、2回目以降のINTCCQ0信号の場合は外部イベント・カウント入力の有効エッジを(TQ0CCR0レジスタに設定した値+1)回検出することに発生します。

図9-15 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

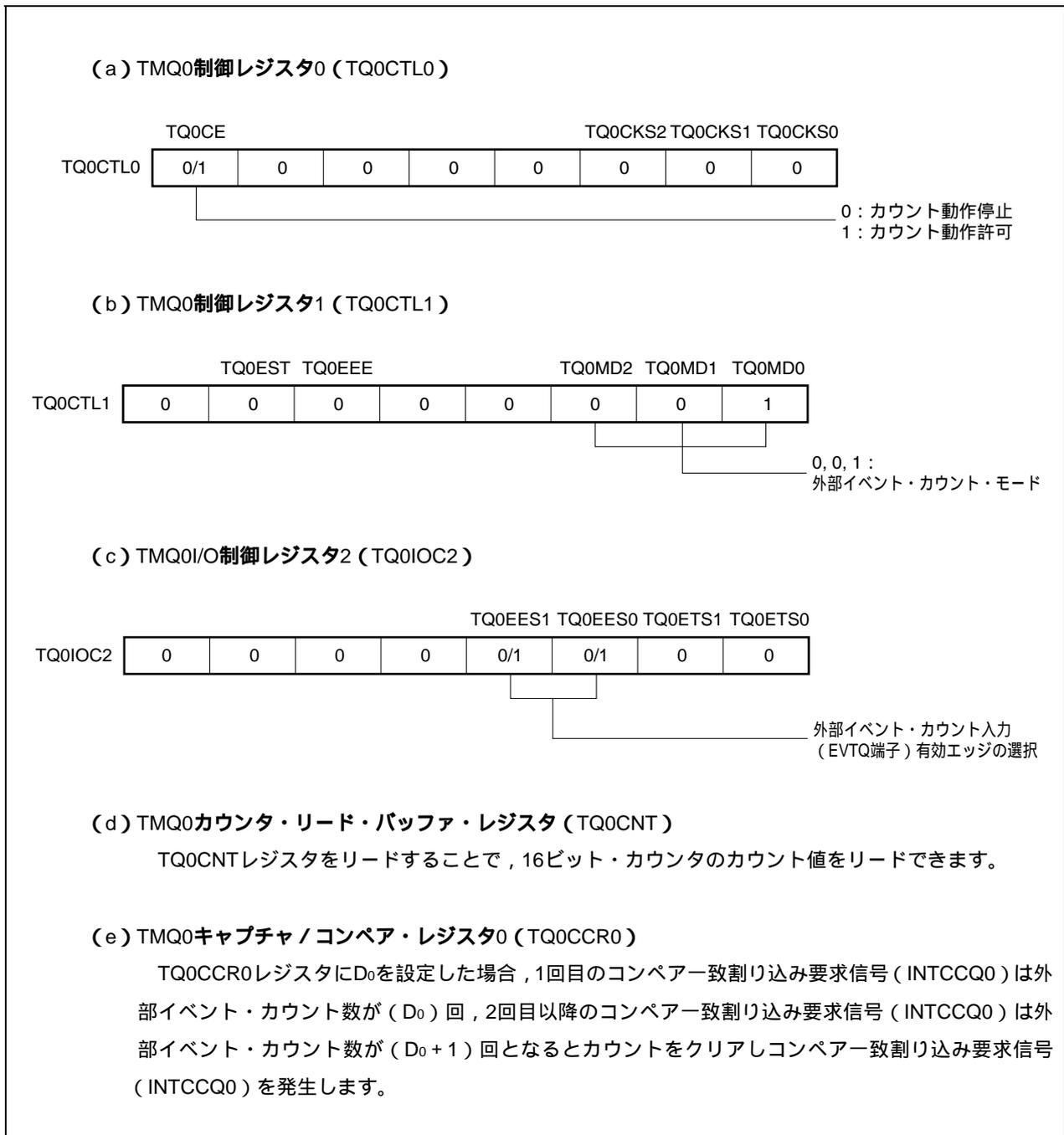


図9 - 15 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)

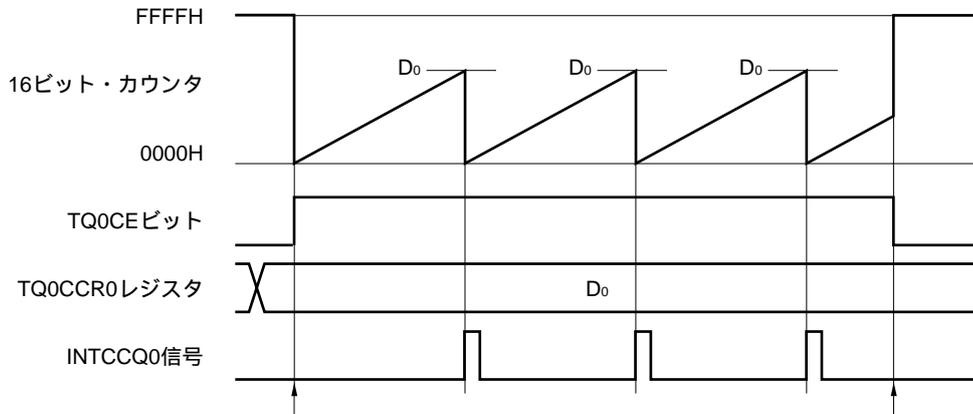
外部イベント・カウント・モードでは、TQ0CCR1-TQ0CCR3レジスタは使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTCCQ1-INTCCQ3) が発生します。

TQ0CCR1-TQ0CCR3レジスタを使用しない場合には、TQ0CCR1-TQ0CCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (P01IC1.P01MK1-P01IC3.P01MK3) でマスク設定してください。

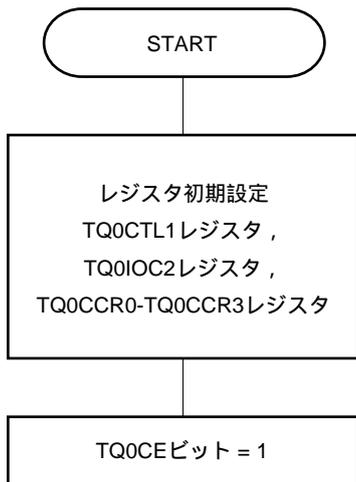
備考 TMQ0I/O制御レジスタ0 (TQ0IOC0) , TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

図9 - 16 外部イベント・カウント・モード使用時のソフトウェア処理フロー

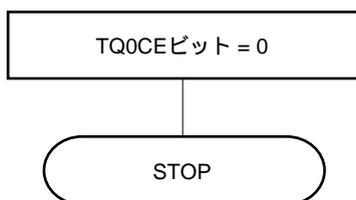


カウント動作開始フロー



TQ0CEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作停止フロー



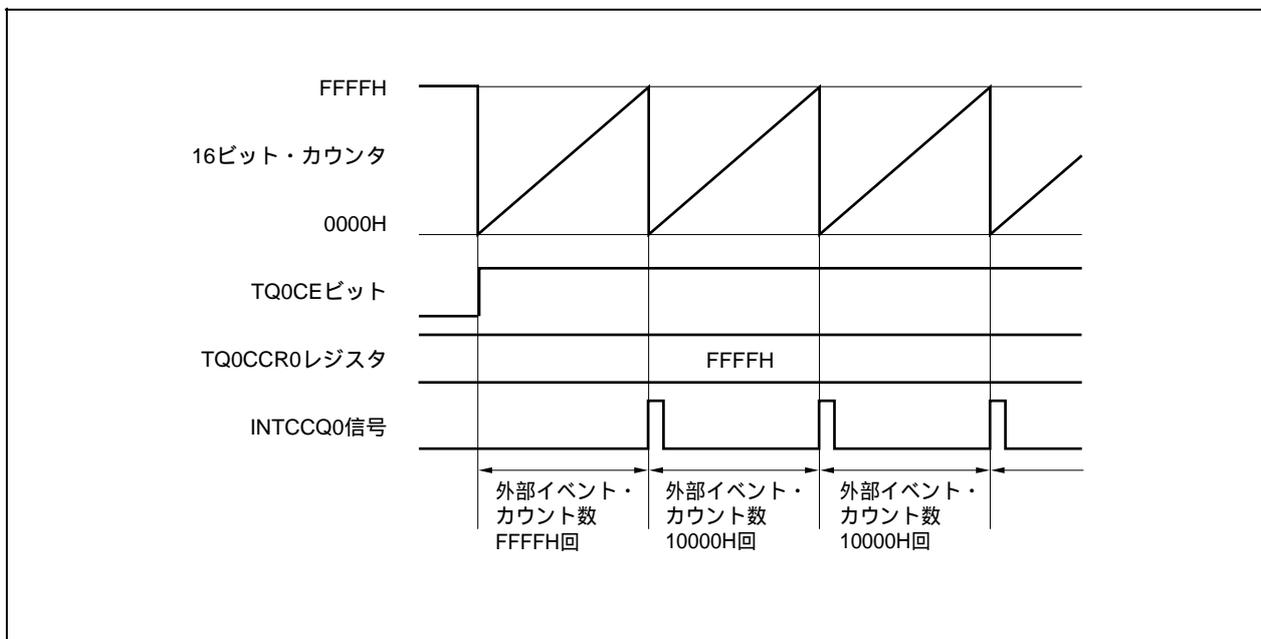
カウント動作停止 (TQ0CEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モードでは、TQ0CCR0-TQ0CCR3レジスタに0000Hを設定することは禁止です。
2. 外部イベント・カウント・モード時、タイマ出力 (TOQ0-TOQ3) は使用禁止です。外部イベント・カウント入力 (EVTQ) でタイマ出力 (TOQ0, TOQb) を使用する場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TQ0CTL1.TQ0EEEビット = 1) に設定してください (9. 6. 1 (3) 外部イベント・カウント入力 (EVTQ) による動作参照) (b = 1-3)。

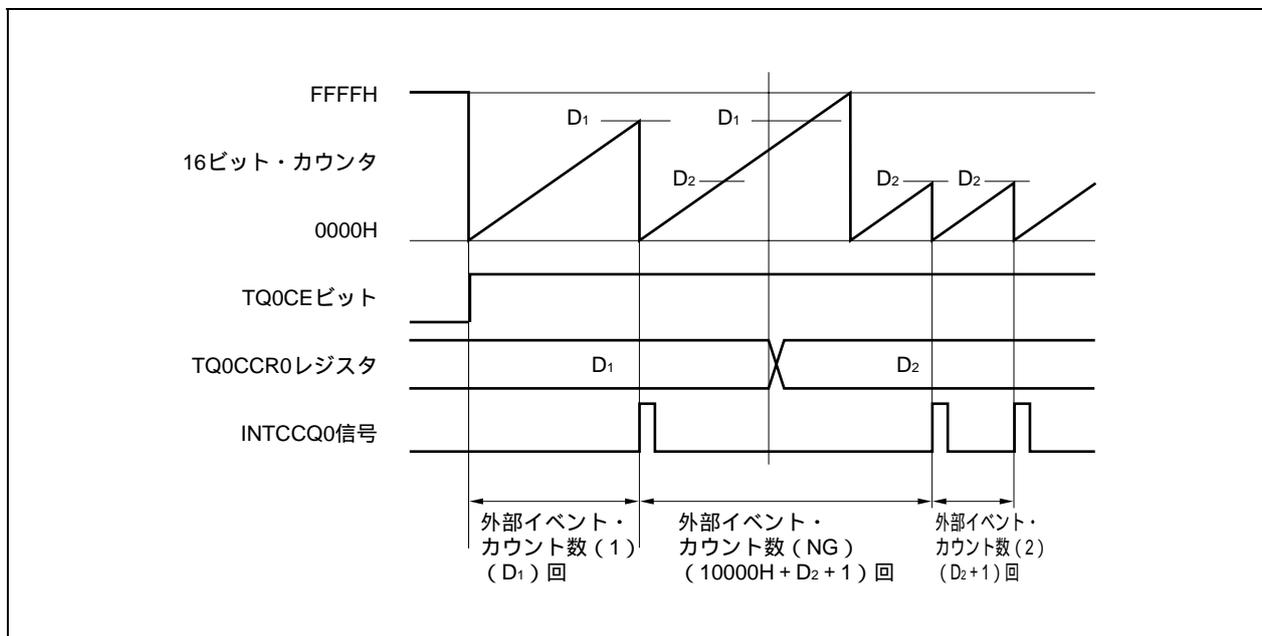
(a) TQ0CCR0レジスタにFFFFHを設定した場合の動作

TQ0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTCCQ0信号を発生します。このとき、TQ0OPT0.TQ0OVFビットはセットされません。



(b) TQ0CCR0レジスタの書き換えに関する注意事項

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



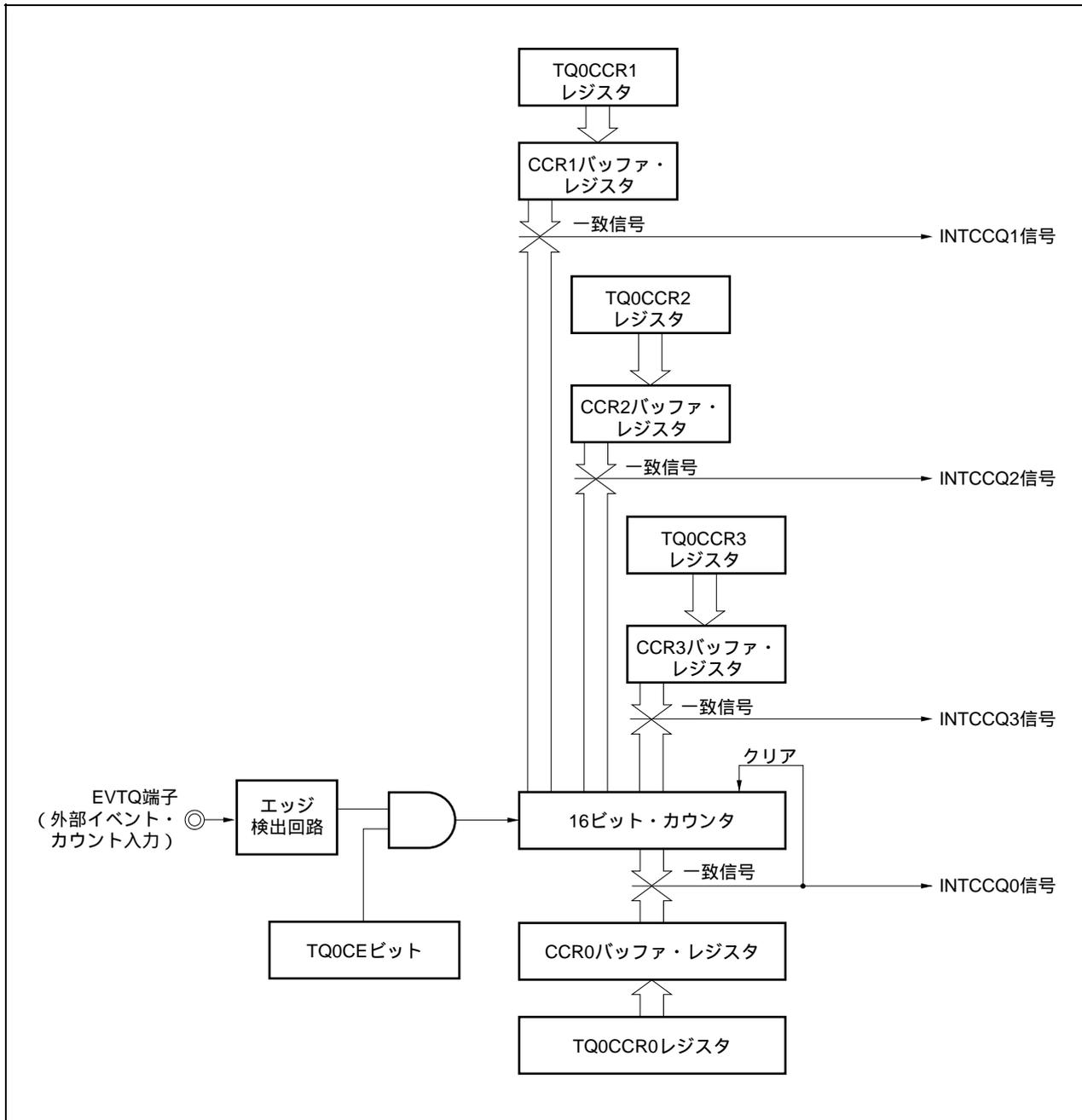
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TQ0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTCCQ0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数でINTCCQ0信号は発生せず、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTCCQ0信号が発生する場合があります。

(c) TQ0CCR1-TQ0CCR3レジスタの動作

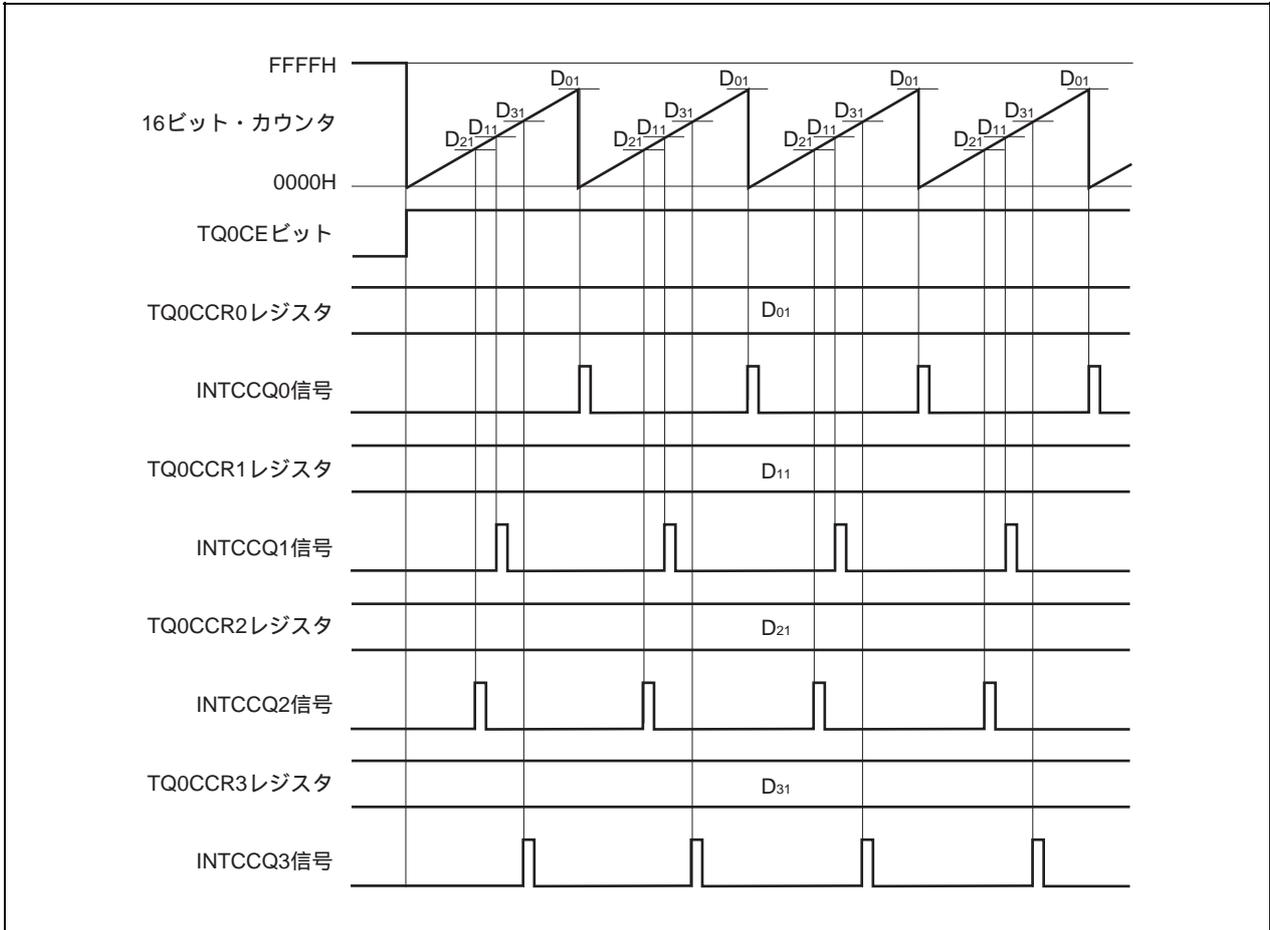
図9 - 17 TQ0CCR1-TQ0CCR3レジスタの構成図



TQ0CCRbレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTCCQb信号が発生します。

備考 b = 1-3

図9 - 18 D₀₁ D_{b1}の場合のタイミング図

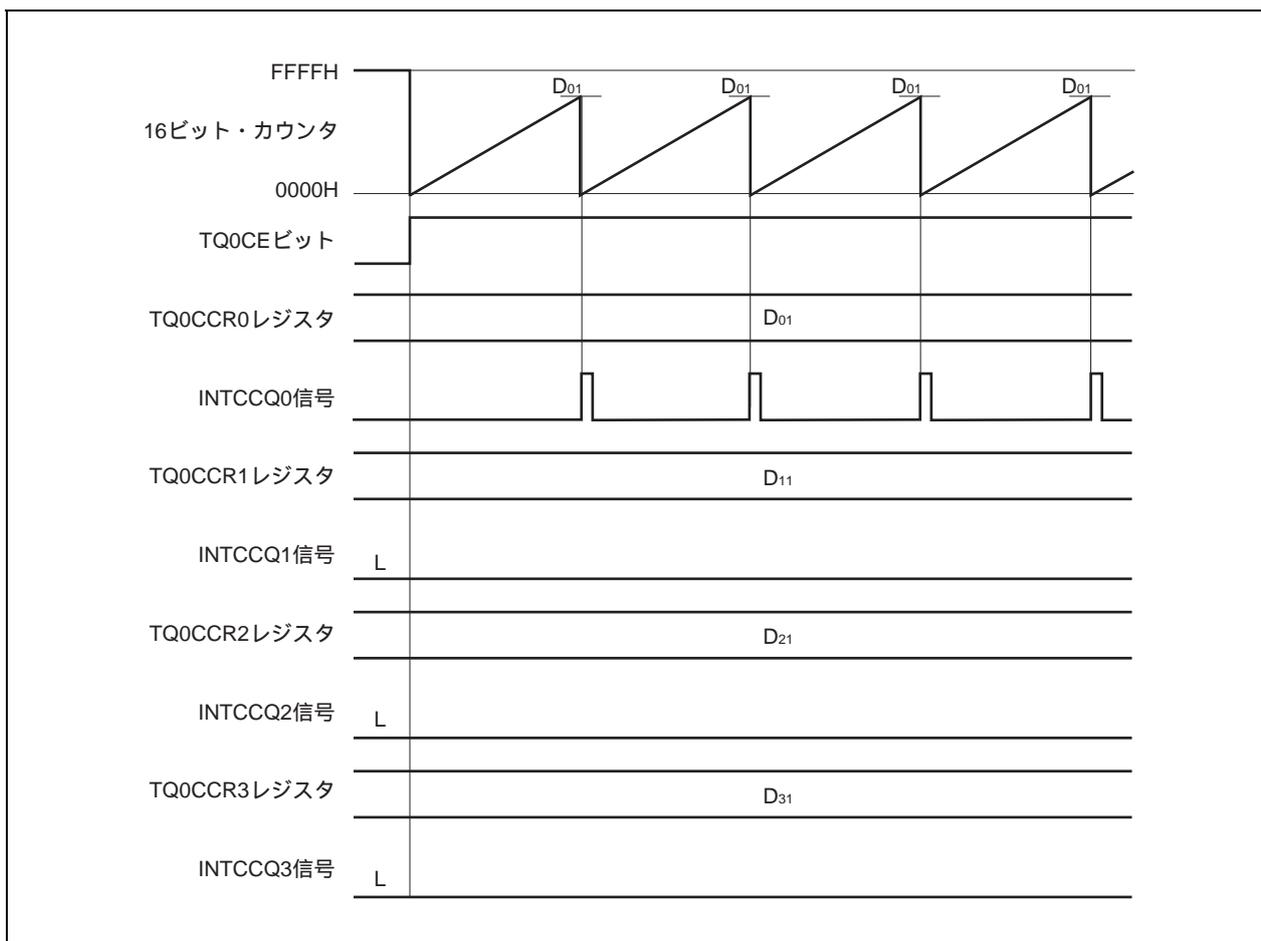


TQ0CCRbレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値が一致しないので、INTCCQb信号は発生しません。

TQ0CCRbレジスタを使用しない場合には、TQ0CCRbレジスタの設定値をFFFFHに設定することを推奨します。

備考 b = 1-3

図9 - 19 D₀₁ < D_{b1}の場合のタイミング図



9.6.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)

外部トリガ・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TIQ) の有効エッジを検出すると、カウント動作を開始し、TOQ1-TOQ3端子から最大3相のPWM波形を出力します。また、TOQ0端子から、TQ0CCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力できます。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。

図9 - 20 外部トリガ・パルス出力モードの構成図

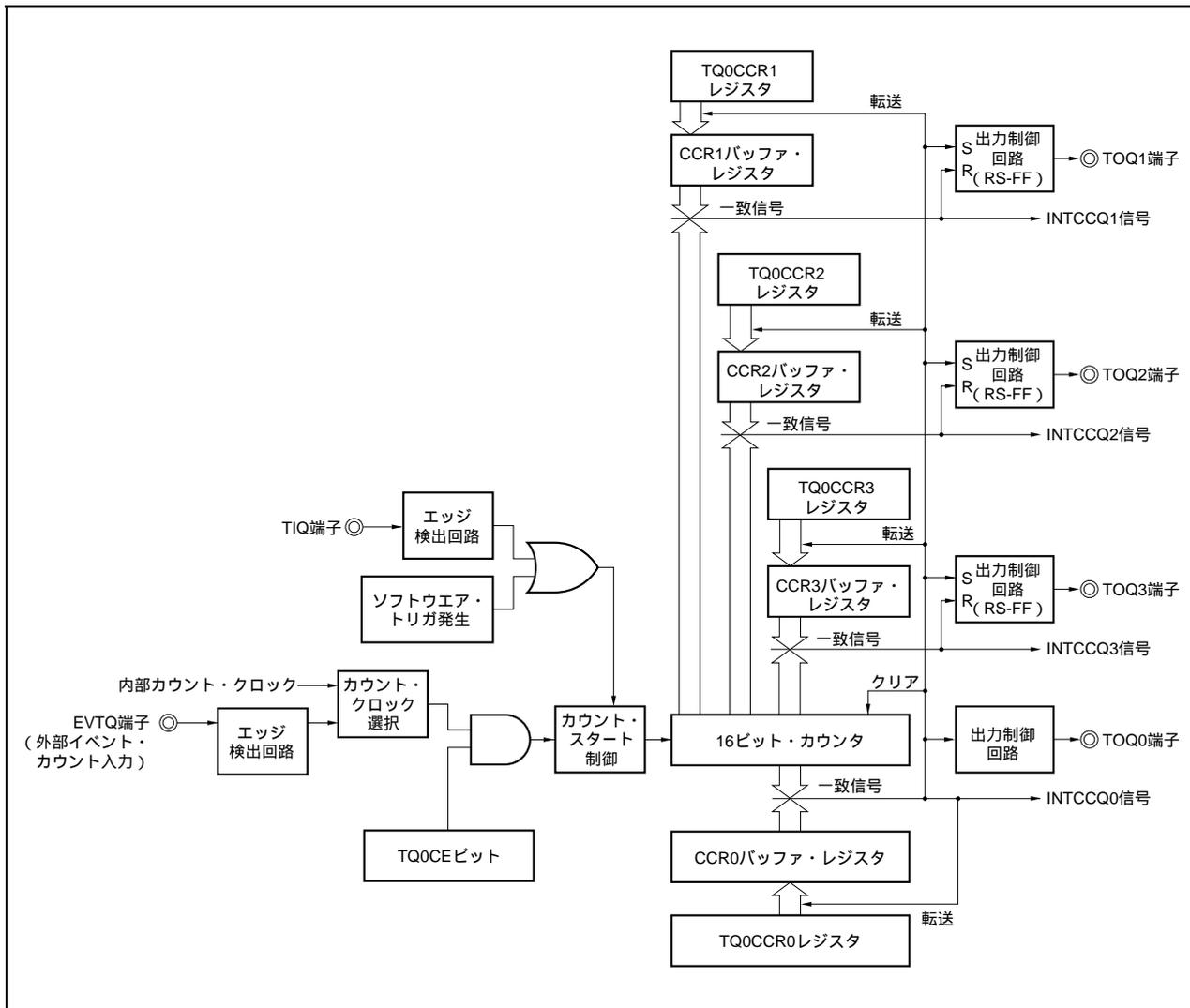
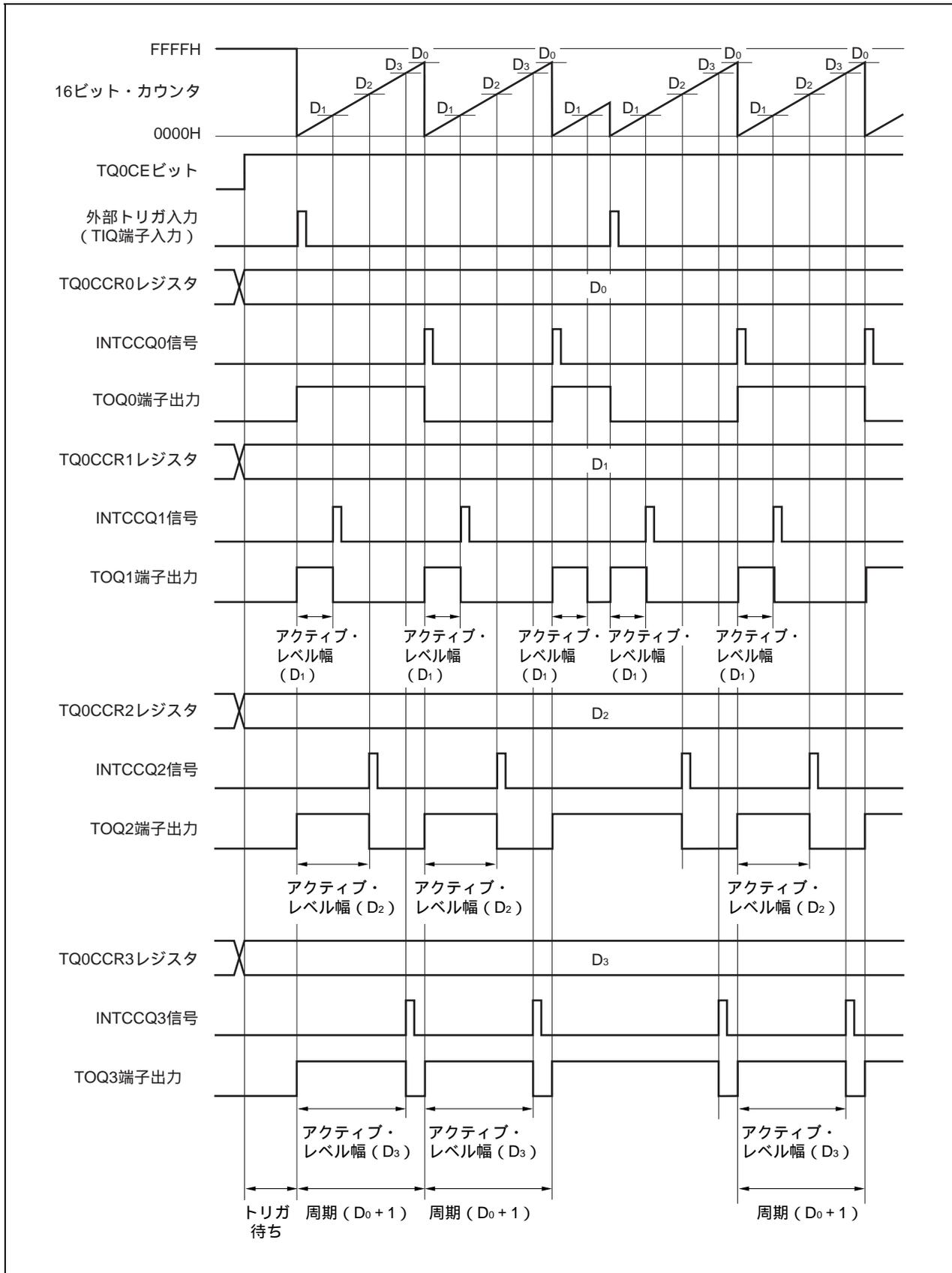


図9 - 21 外部トリガ・パルス出力モードの基本タイミング



TQ0CEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0b端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします (TQ0Q端子出力は反転します。TQ0b端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\begin{aligned} \text{アクティブ・レベル幅} &= (\text{TQ0CCRbレジスタの設定値}) \times \text{カウント・クロック周期} \\ \text{周期} &= (\text{TQ0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期} \\ \text{デューティ} &= (\text{TQ0CCRbレジスタの設定値}) / (\text{TQ0CCR0レジスタの設定値} + 1) \end{aligned}$$

コンペアー一致割り込み要求信号 (INTCCQ0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTCCQb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

TQ0CCRaレジスタに設定した値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

トリガには、外部トリガ入力 (TIQ) の有効エッジ、またはソフトウェア・トリガ (TQ0CTL1.TQ0ESTビット) のセット (1) があります。

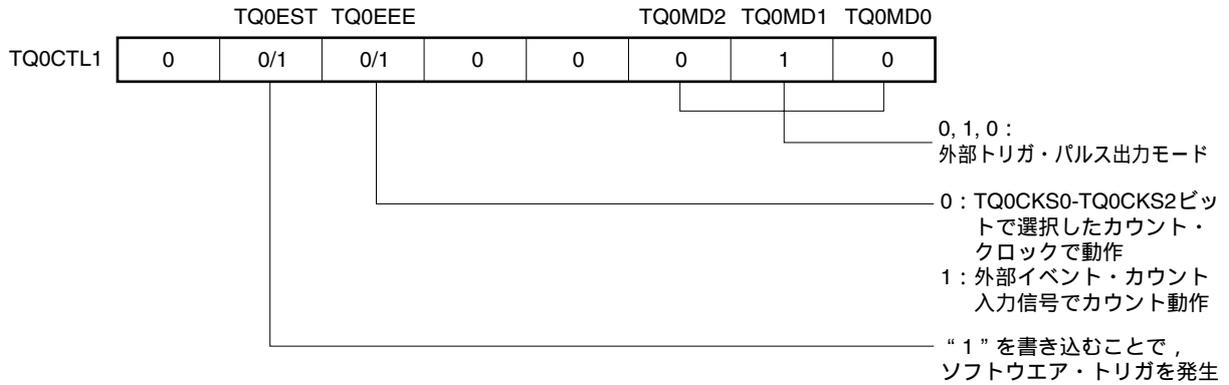
備考 a = 0-3
b = 1-3

図9 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

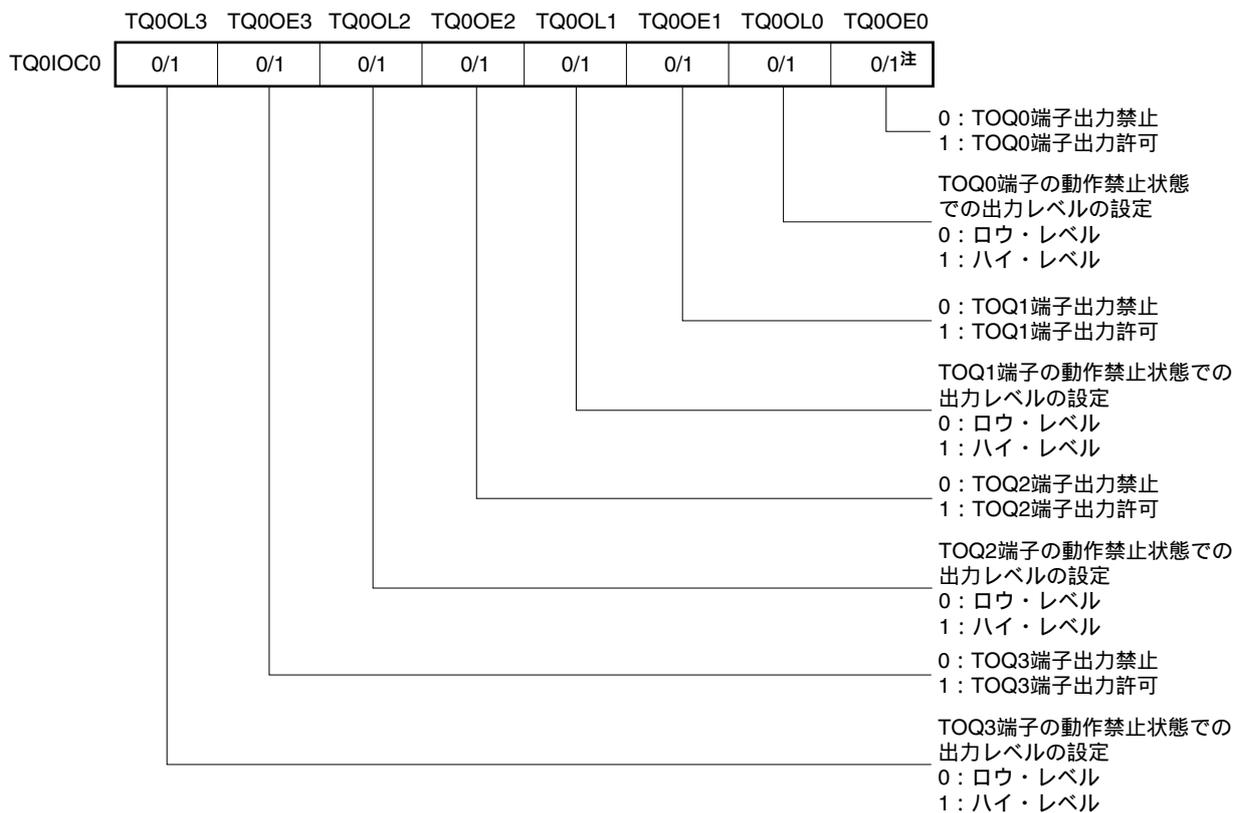


図9 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

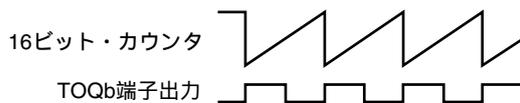
(b) TMQ0制御レジスタ1 (TQ0CTL1)



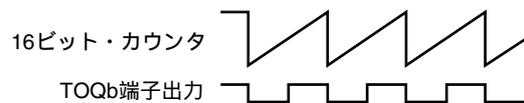
(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)



・ TQ0OLbビット = 0の場合



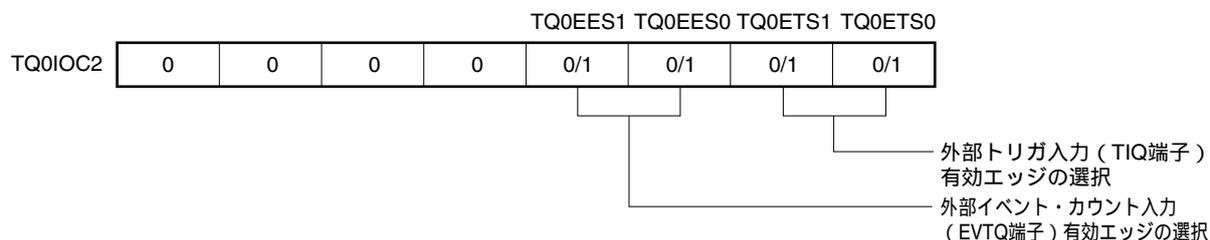
・ TQ0OLbビット = 1の場合



注 外部トリガ・パルス出力モードでTOQ0端子を使用しない場合は“ 0 ” に設定してください。

図9 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタにD₀を設定し、TQ0CCR1レジスタにD₁を、TQ0CCR2レジスタにD₂を、TQ0CCR3レジスタにD₃を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQ1端子からのPWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQ2端子からのPWM波形のアクティブ・レベル幅} = D_2 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQ3端子からのPWM波形のアクティブ・レベル幅} = D_3 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考 TMQ0I/O制御レジスタ1 (TQ0IOC1)、TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部トリガ・パルス出力モードでは使用しません。

(1) 外部トリガ・パルス出力モード動作フロー

図9 - 23 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

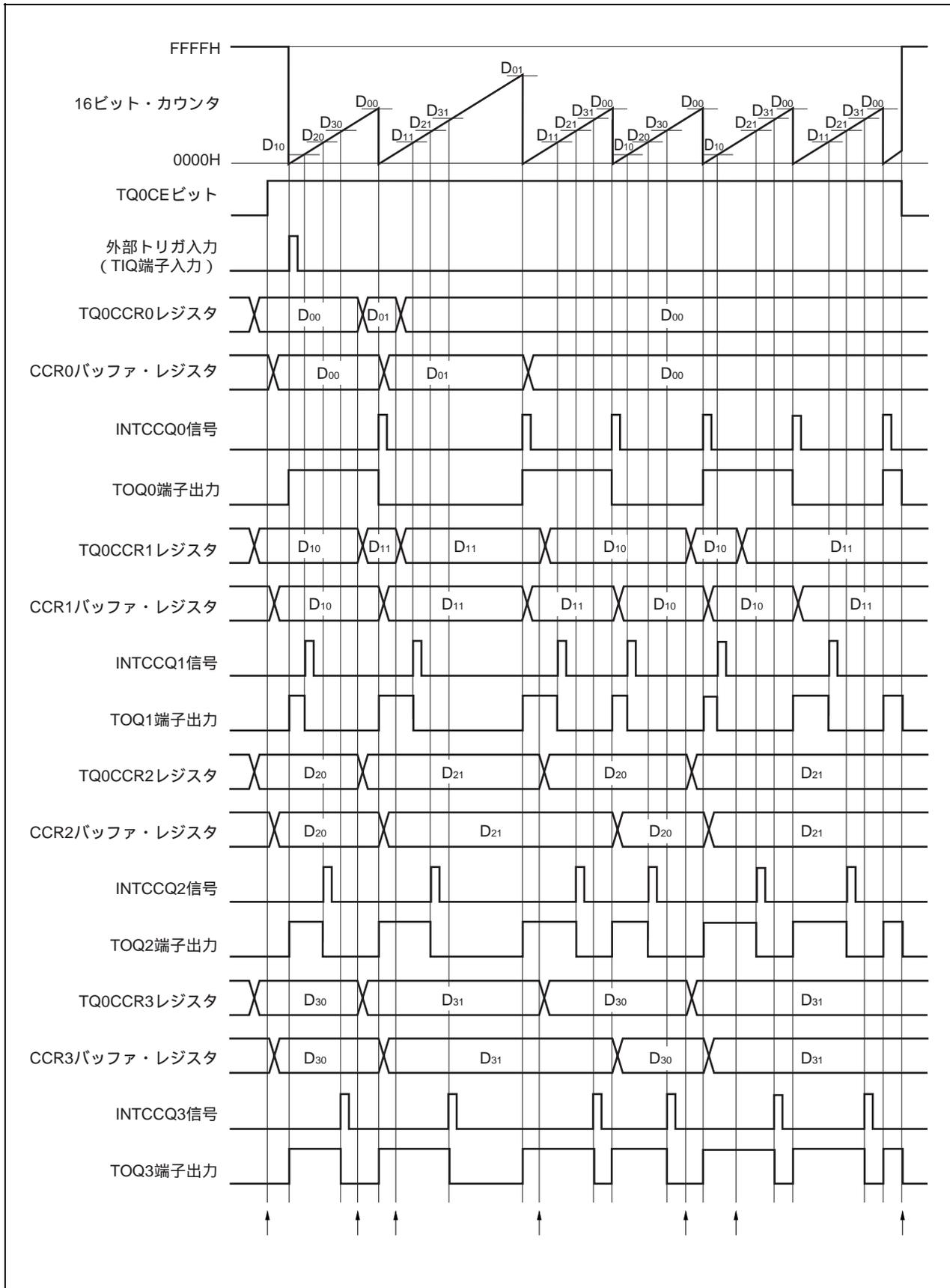
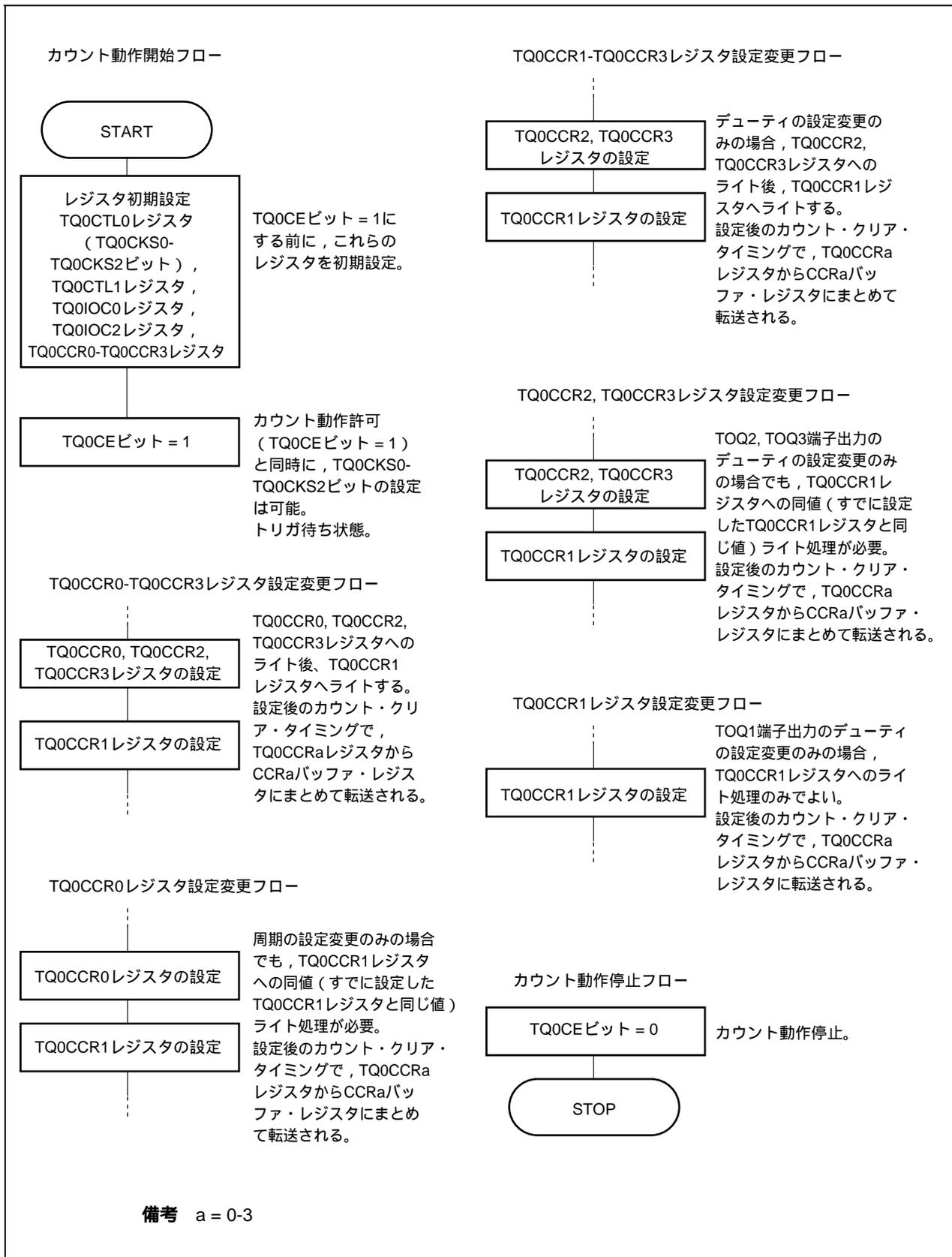


図9 - 23 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)



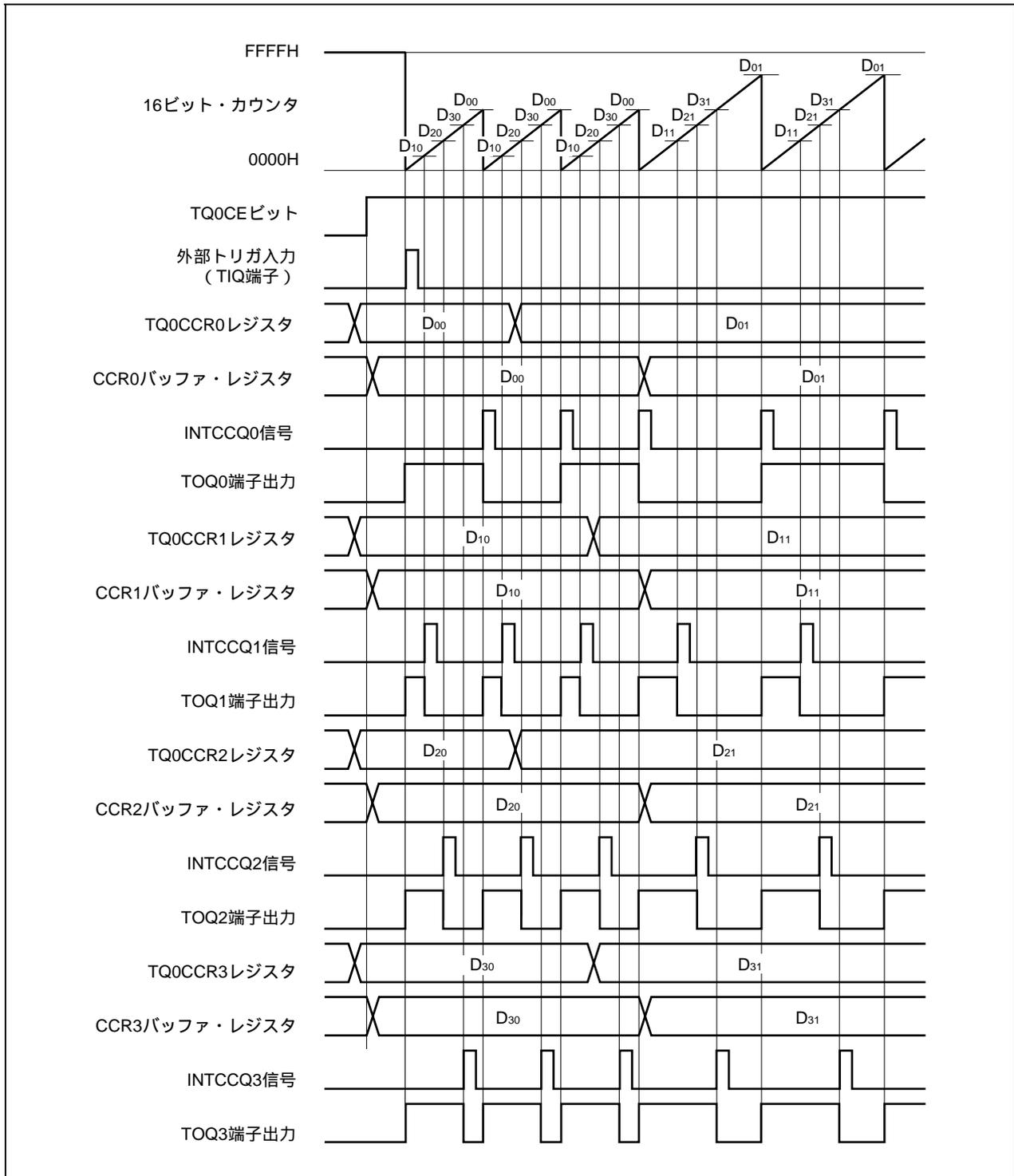
(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRbレジスタの書き換えを行う場合には、INTCCQ0信号を検出後に書き換えてください。

備考 b = 1-3



TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ1端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ2, TOQ3端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

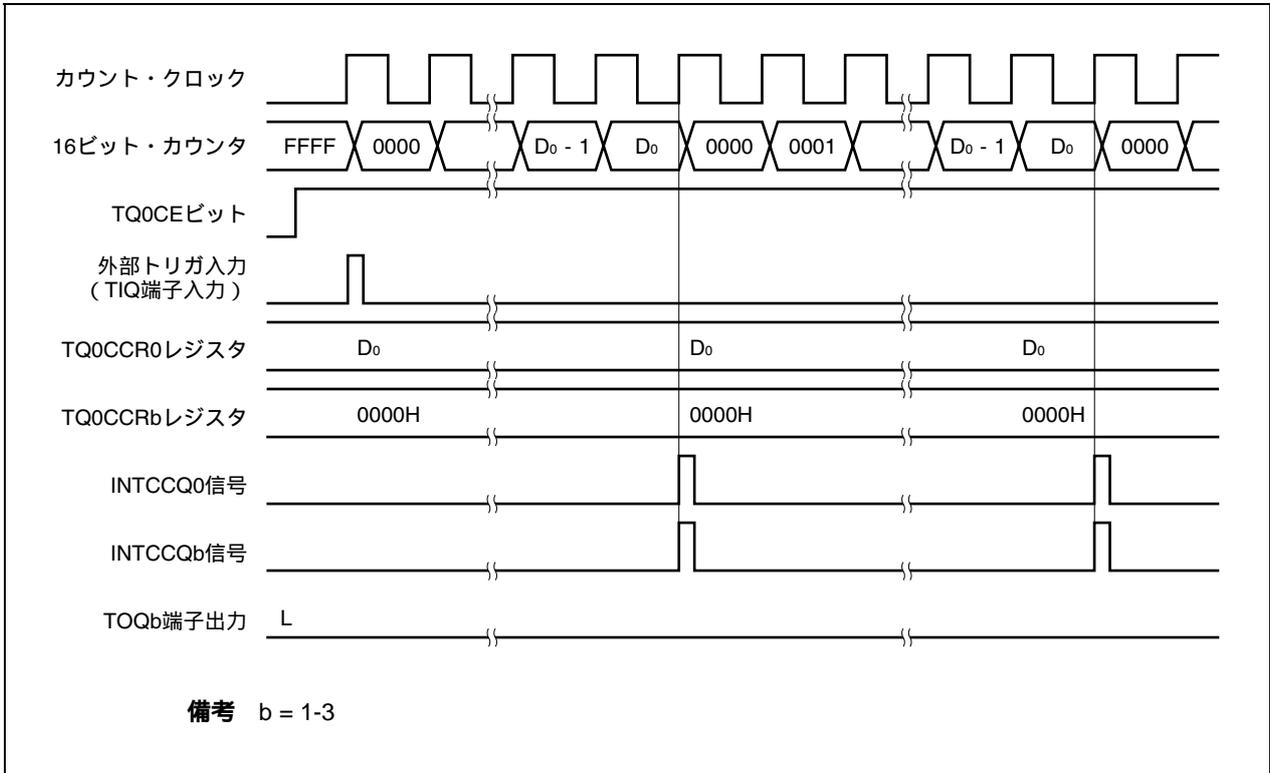
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTCCQ0信号の発生後に行ってください。これを守れない場合には、TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TQ0CCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

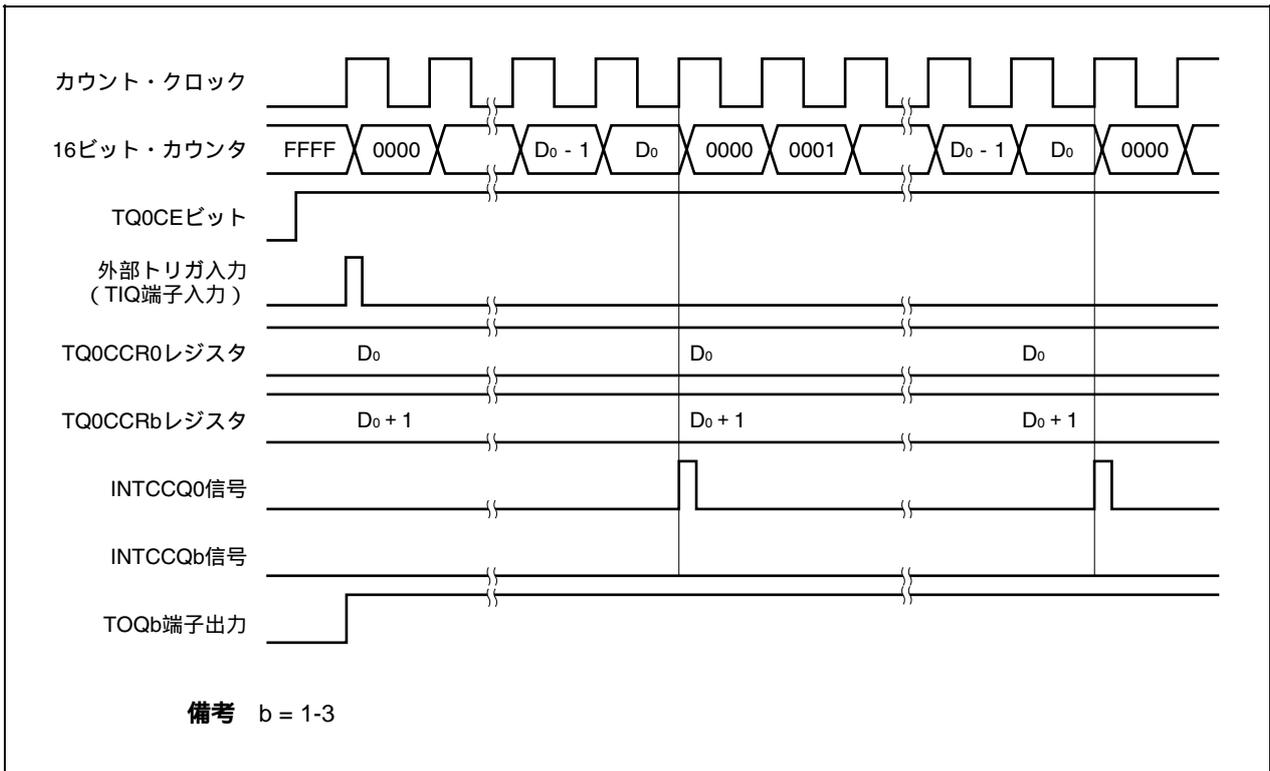
備考 a = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TQ0CCRbレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTCCQ0信号とINTCCQb信号が発生します。

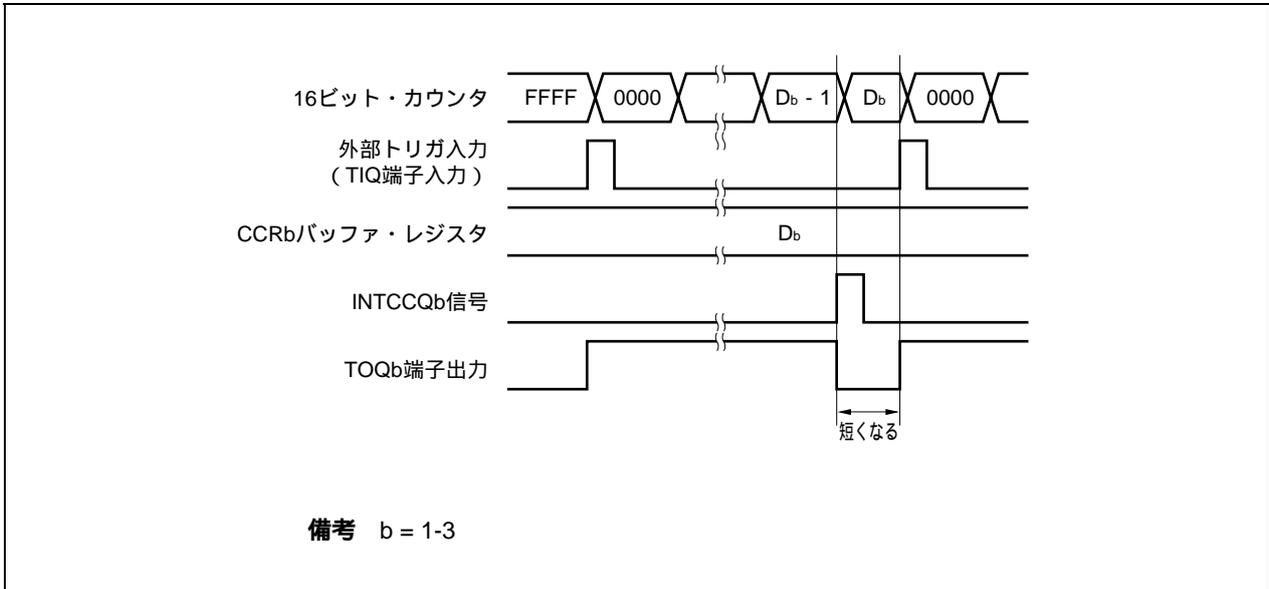


100 % 波形を出力するためには、TQ0CCRbレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

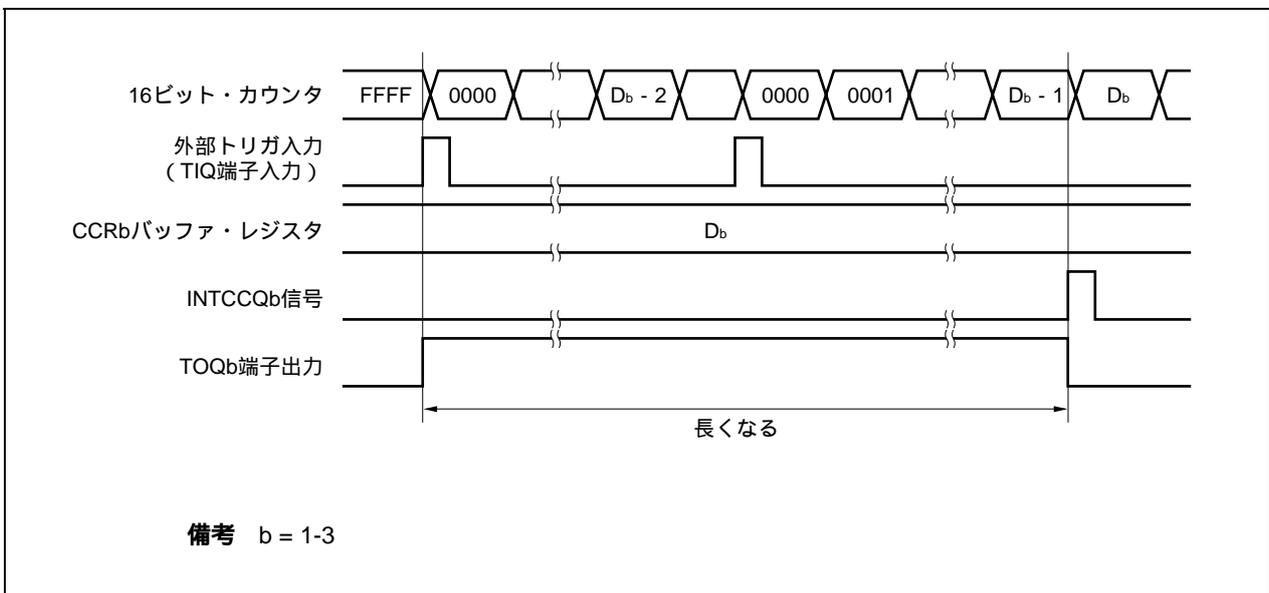


(c) トリガ検出とCCRbバッファ・レジスタとの一致の競合

INTCCQb信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOQb端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

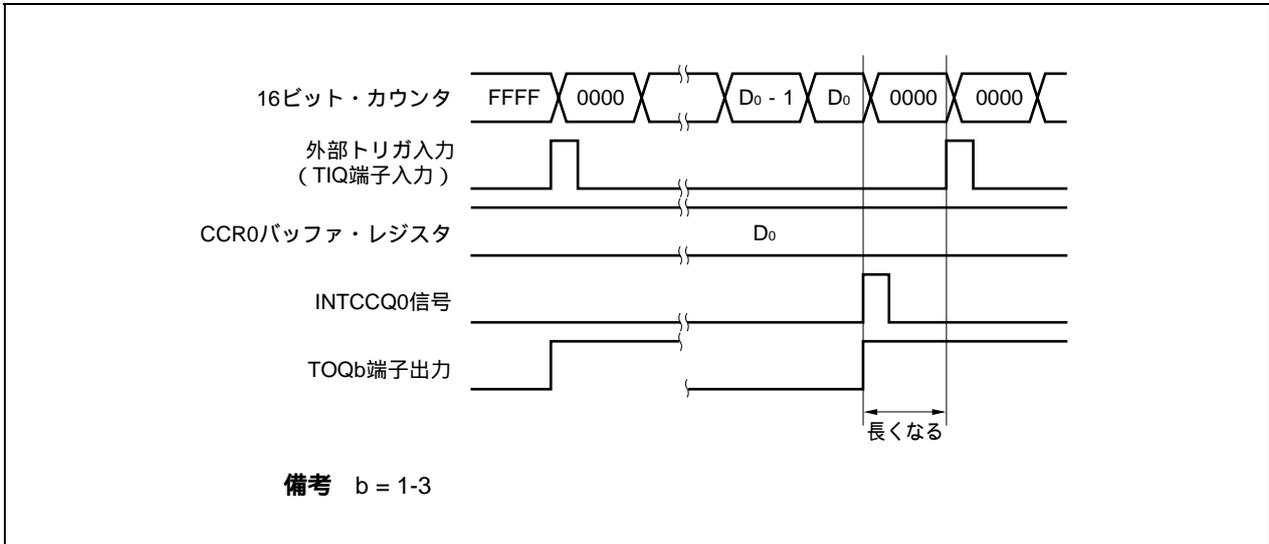


INTCCQb信号発生直前にトリガを検出した場合には、INTCCQb信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOQb端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

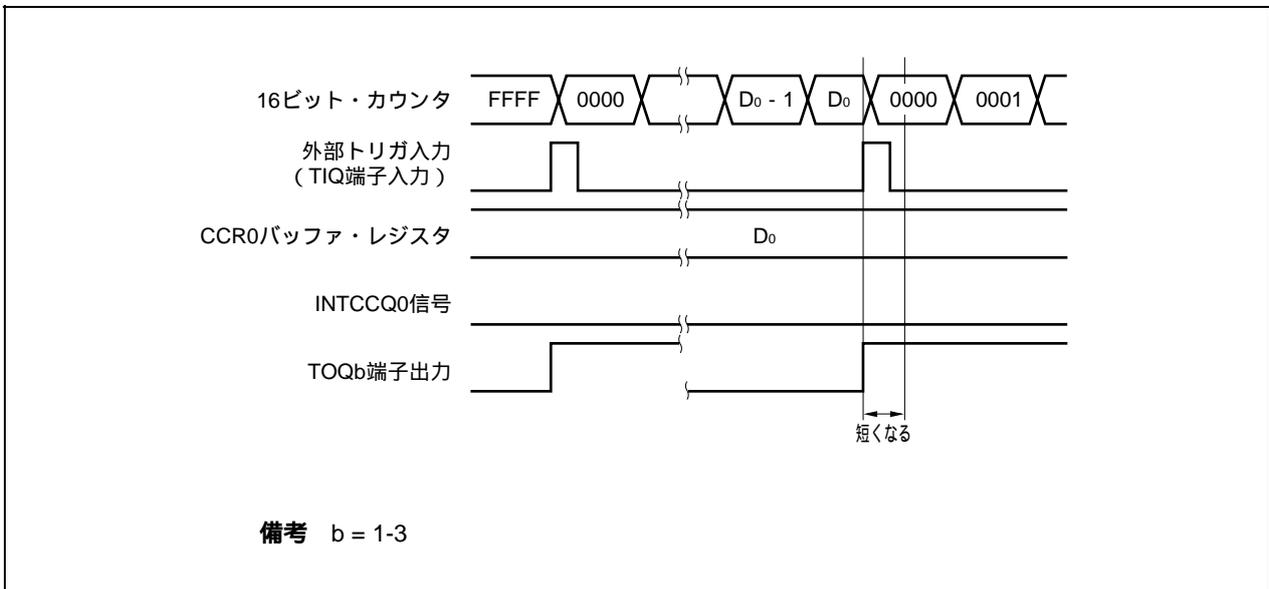


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTCCQ0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOQb端子出力のアクティブ期間が、INTCCQ0信号発生からトリガ検出までの分だけ長くなります。

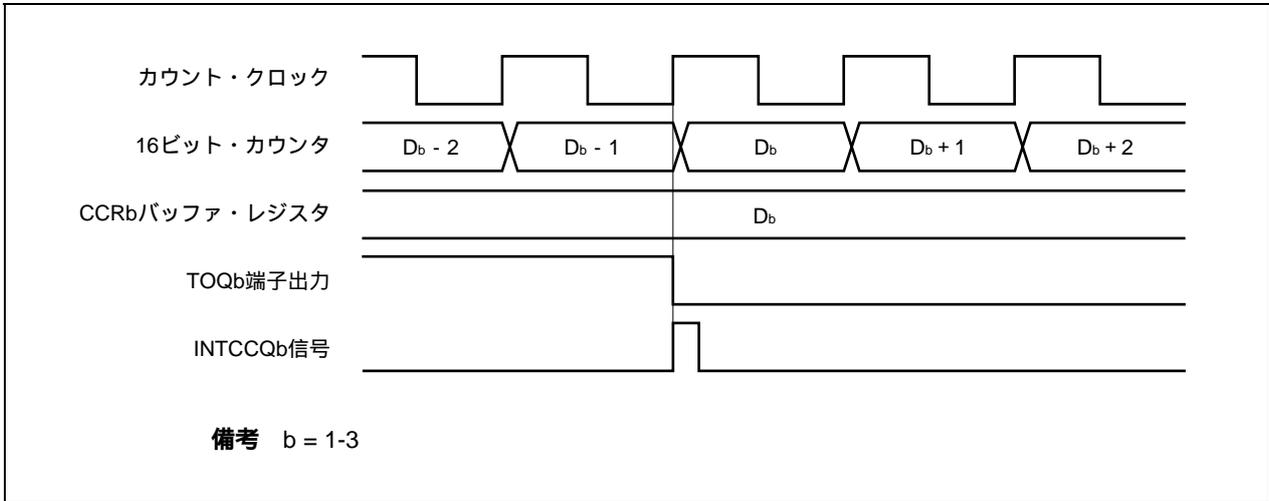


INTCCQ0信号発生直前にトリガを検出した場合、INTCCQ0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOQb端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTCCQb) の発生タイミング

外部トリガ・パルス出力モードにおけるINTCCQb信号の発生タイミングは、ほかのモードのINTCCQb信号と異なり、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値との一致と同時に発生します。



通常、INTCCQb信号は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQb端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

9.6.4 ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)

ワンショット・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力(TIQ)の有効エッジを検出すると、カウント動作を開始し、TOQ1-TOQ3端子からワンショット・パルスを出力します。TOQ0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。

図9-24 ワンショット・パルス出力モードの構成図

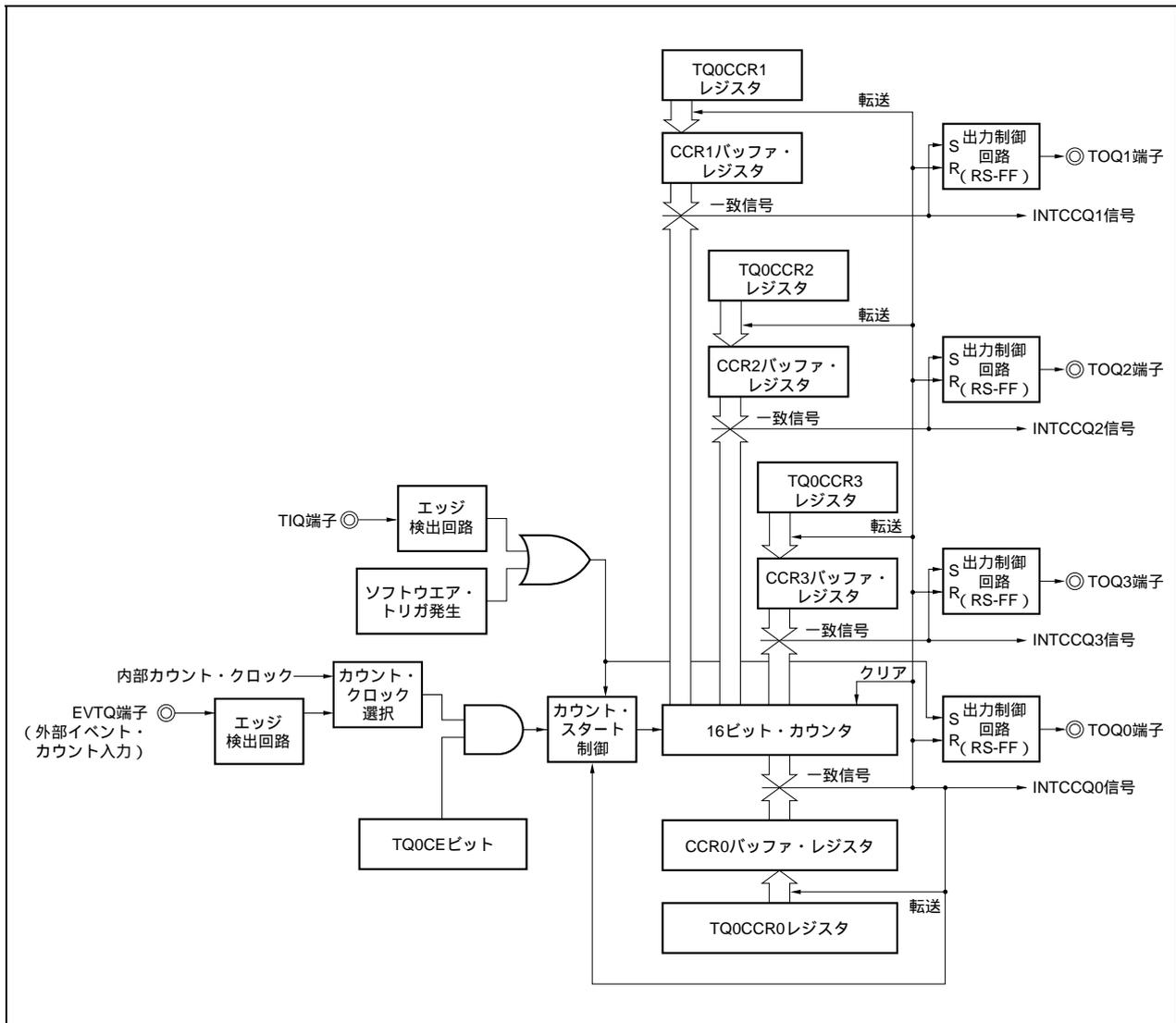
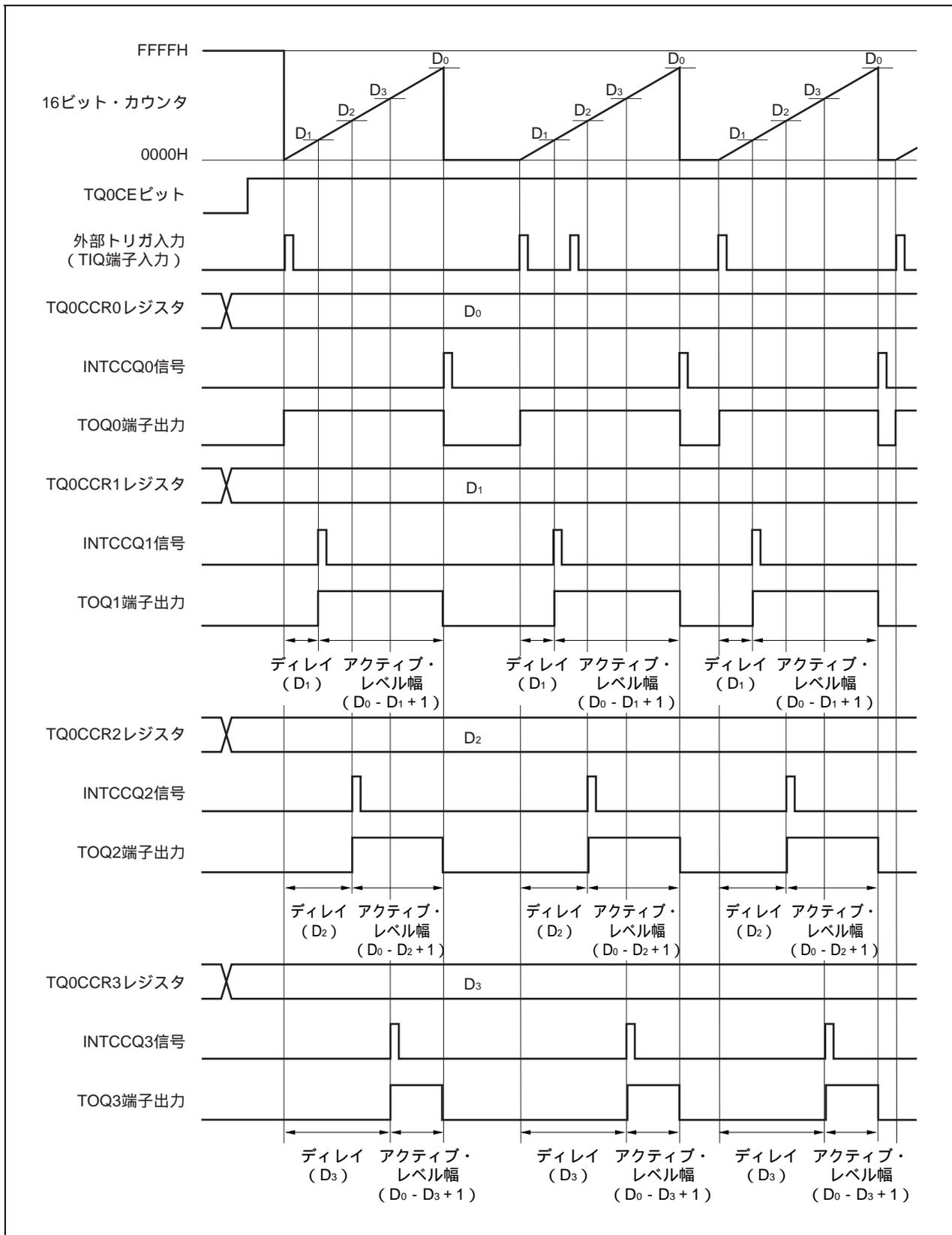


図9 - 25 ワンショット・パルス出力モードの基本タイミング



TQ0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0b端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TQ0CCRbレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TQ0CCR0レジスタの設定値} - \text{TQ0CCRbレジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

コンペアー一致割り込み要求信号 (INTCCQ0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTCCQb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TIQ端子) の有効エッジ、またはソフトウェア・トリガ (TQ0CTL1.TQ0ESTビット) のセット(1)があります。

備考 b = 1-3

図9 - 26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

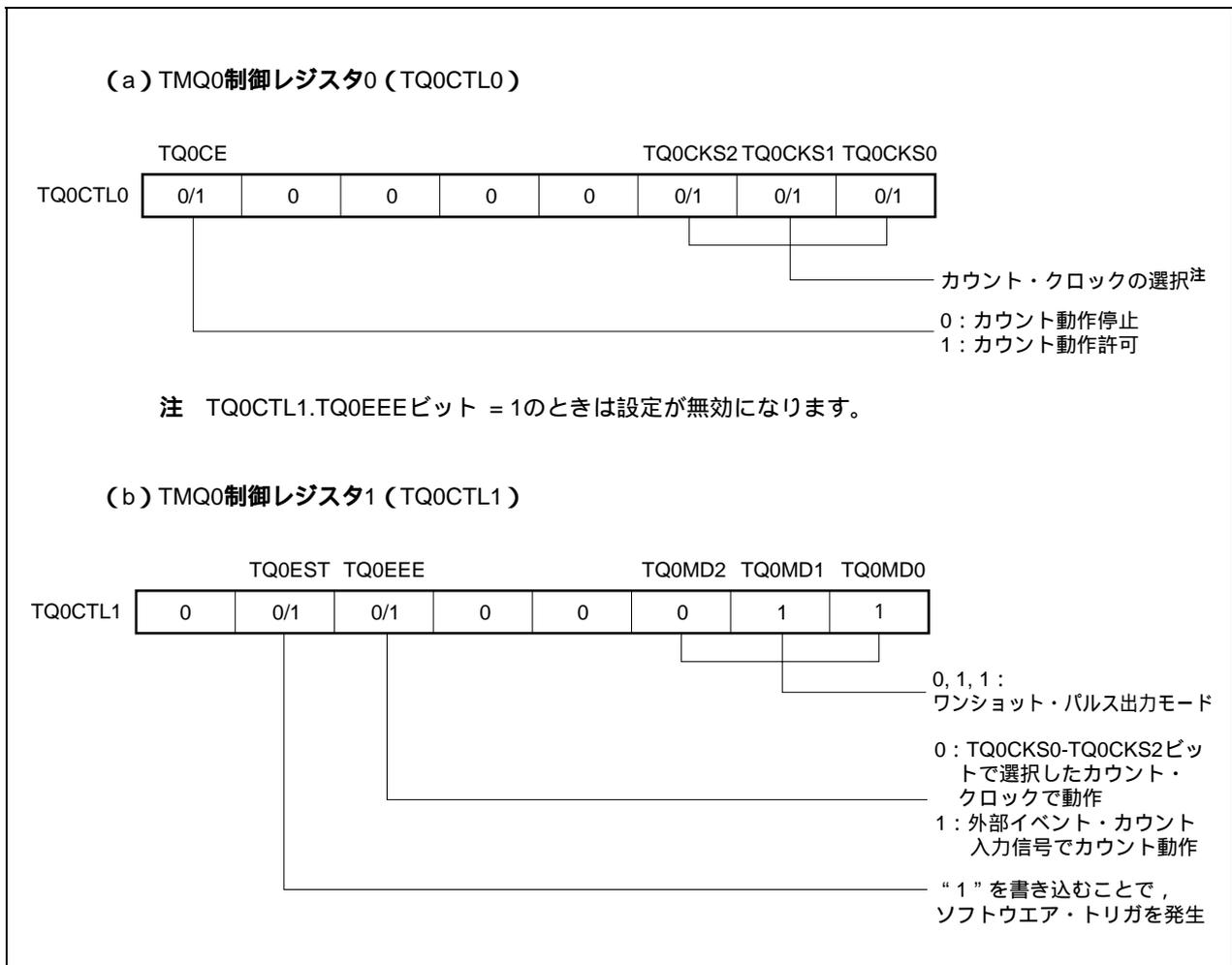
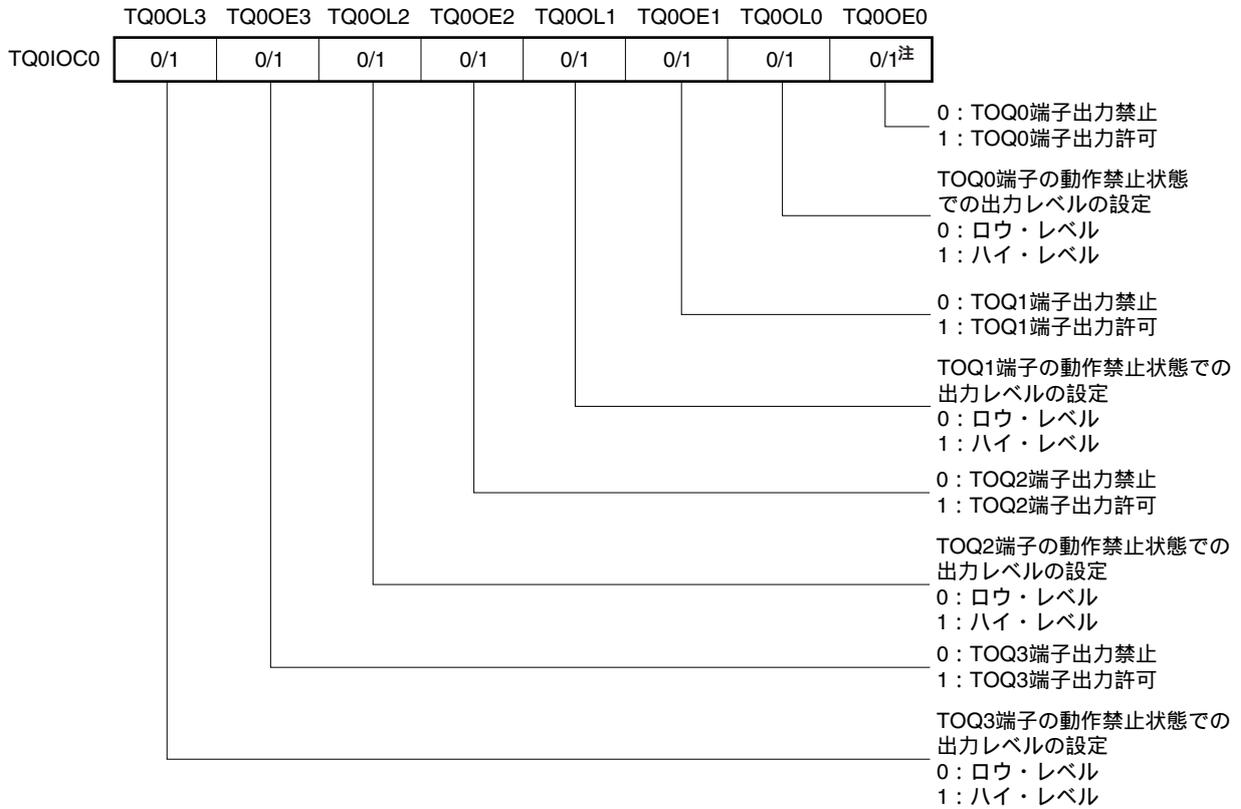


図9 - 26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)

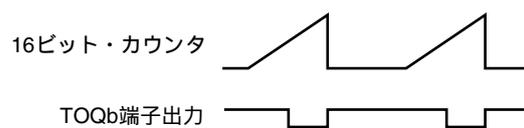


注 ワンショット・パルス出力モードでTOQ0端子を使用しない場合は“0”に設定してください。

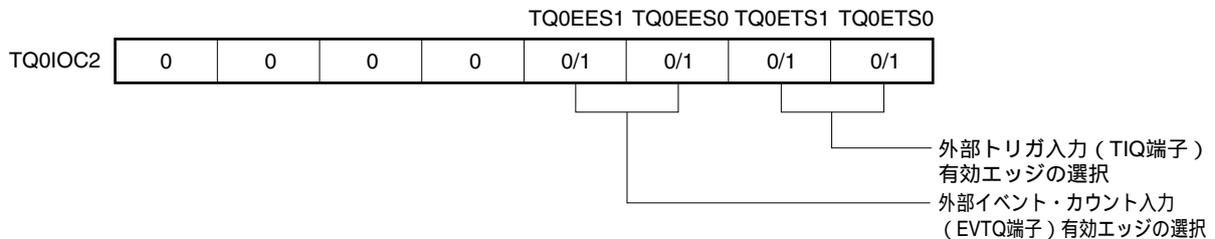
・ TQ0OLbビット = 0の場合



・ TQ0OLbビット = 1の場合



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

図9 - 26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタに D_0 を設定し, TQ0CCRBレジスタに D_b を設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = $(D_b - D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$

ワンショット・パルスの出力ディレイ期間 = $D_b \times \text{カウント} \cdot \text{クロック周期}$

となります。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は, ワンショット・パルス出力モードでは使用しません。

2. $b = 1-3$

(1) ワンショット・パルス出力モード動作フロー

図9 - 27 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

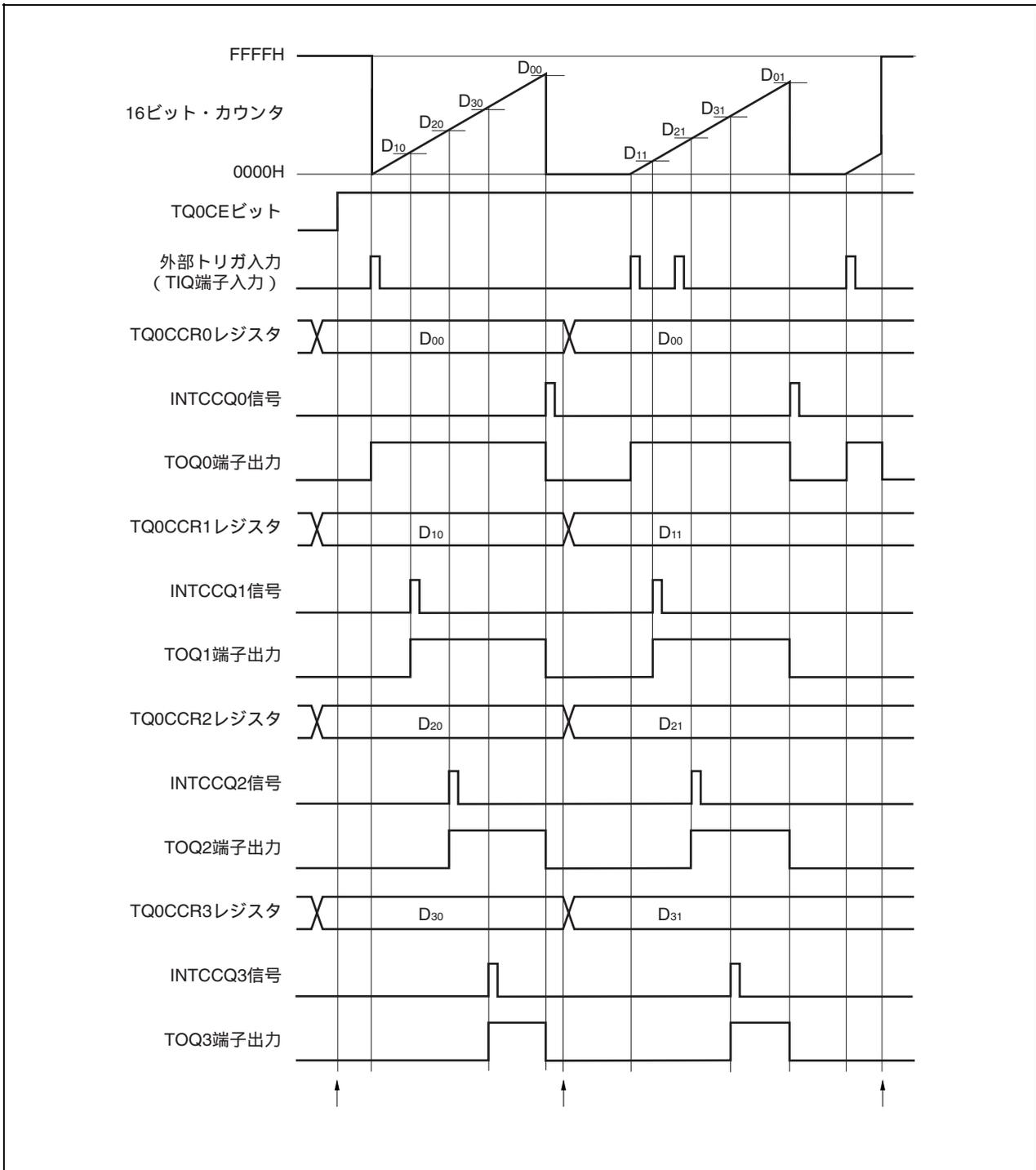
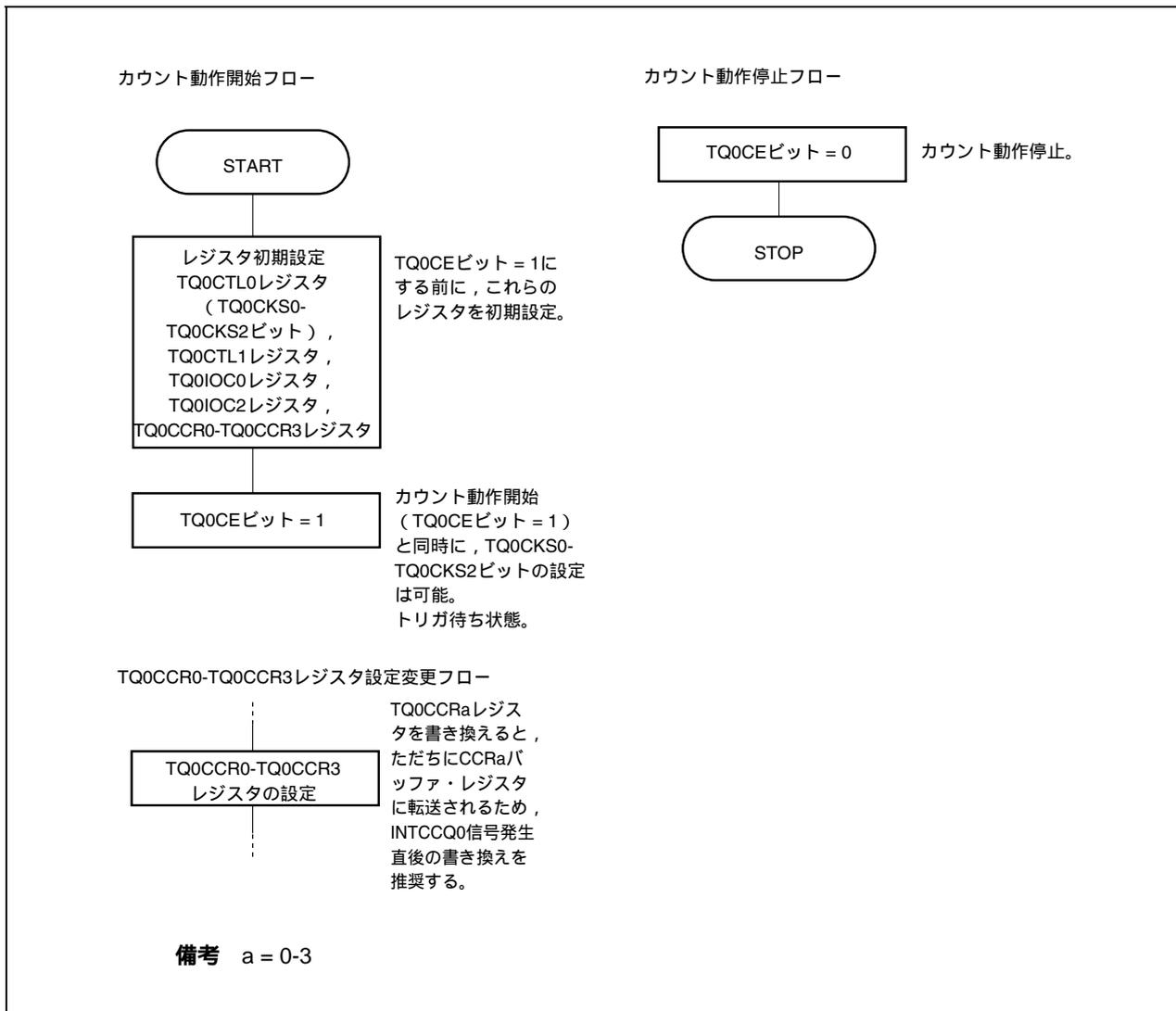


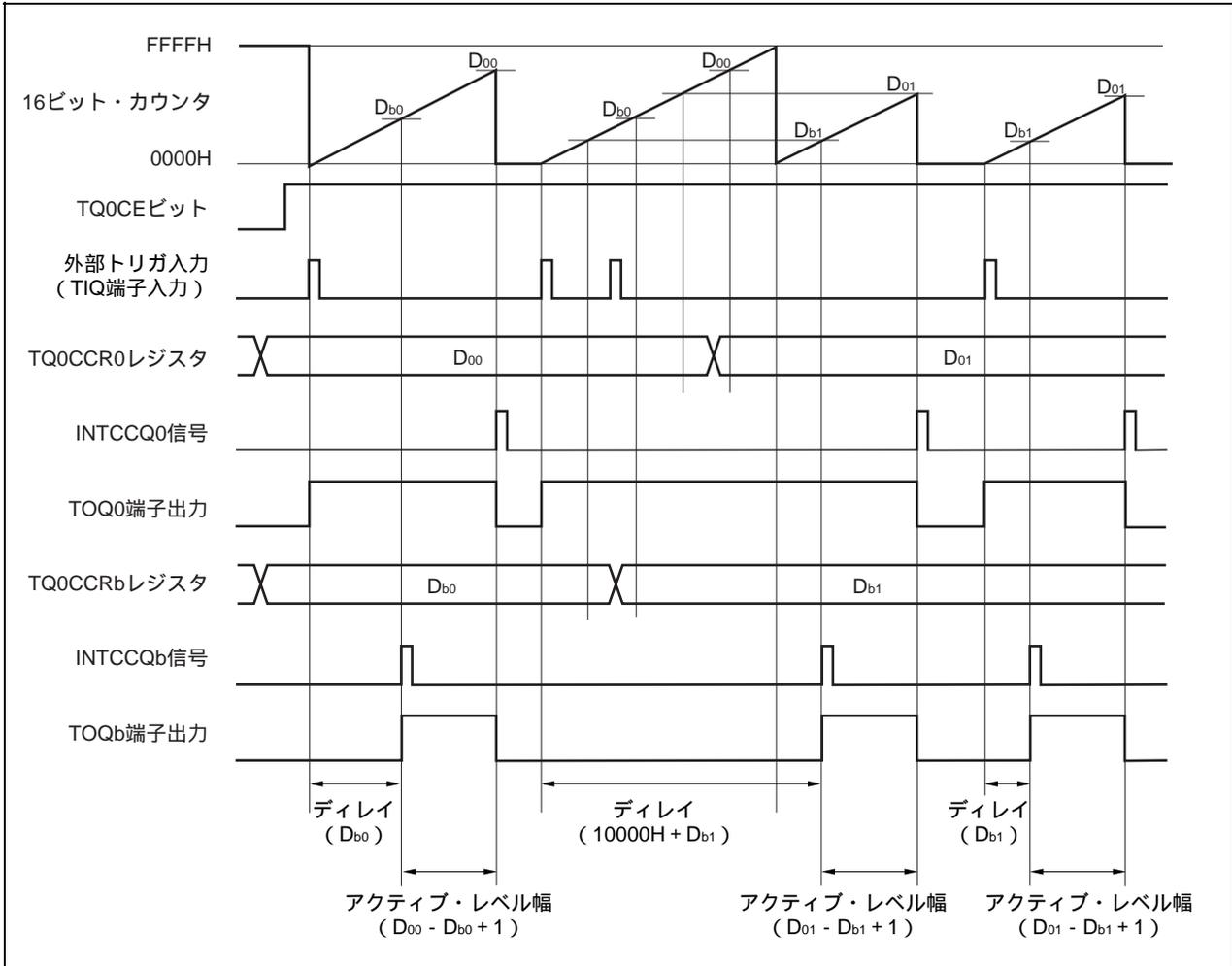
図9 - 27 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)



(2) ワンショット・パルス出力モード動作タイミング

(a) TQ0CCR_aレジスタの書き換えに関する注意事項

カウント動作中にTQ0CCR₀レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



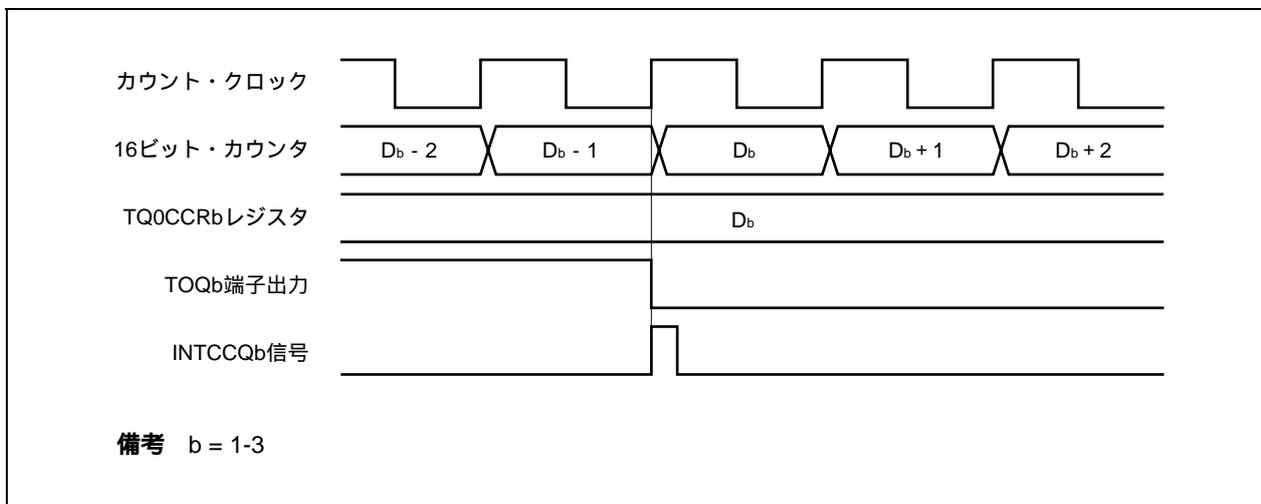
TQ0CCR₀レジスタをD₀₀からD₀₁に、TQ0CCR_bレジスタをD_{b0}からD_{b1}に書き換える場合において、D₀₀ > D₀₁, D_{b0} > D_{b1}の状態では、16ビット・カウンタのカウント値がD_{b1}よりも大きくD_{b0}よりも小さい状態のときTQ0CCR_bレジスタを書き換え、カウント値がD₀₁よりも大きくD₀₀よりも小さい状態でTQ0CCR₀レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D_{b1}との一致でINTCCQ_b信号を発生してTOQ_b端子出力をアクティブ・レベルにし、D₀₁との一致でINTCCQ₀信号を発生してTOQ₀端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 a = 0-3, b = 1-3

(b) コンペアー一致割り込み要求信号 (INTCCQb) の発生タイミング

ワンショット・パルス出力モードにおけるINTCCQb信号の発生タイミングは、ほかのモードのINTCCQb信号と異なり、16ビット・カウンタのカウント値とTQ0CCRbレジスタの値との一致と同時に発生します。



通常、INTCCQb信号は、16ビット・カウンタのカウント値とTQ0CCRbレジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQb端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

9.6.5 PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)

PWM出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、TOQ1-TOQ3端子からPWM波形を出力します。

また、TOQ0端子から、TQ0CCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力します。

図9-28 PWM出力モードの構成図

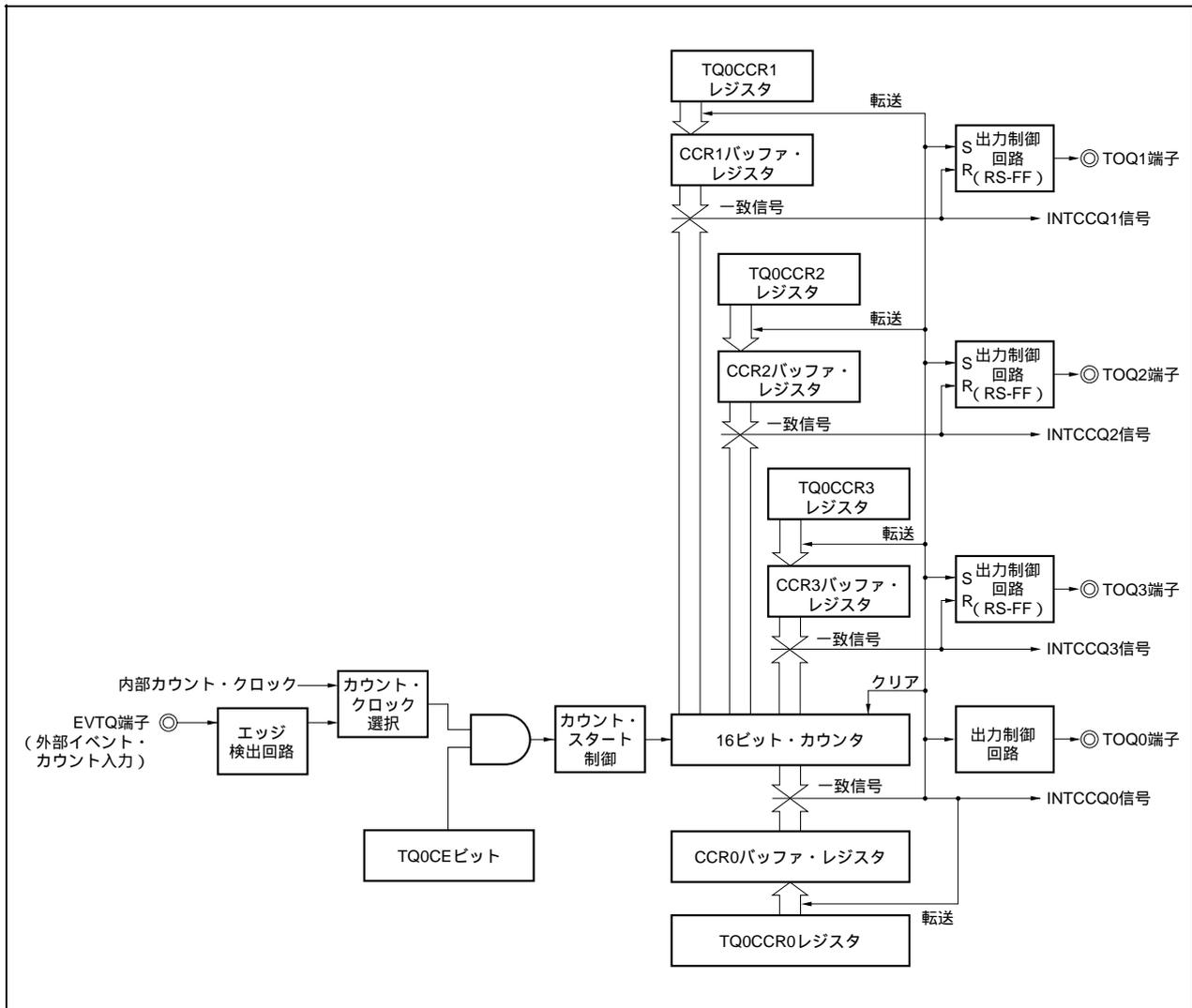
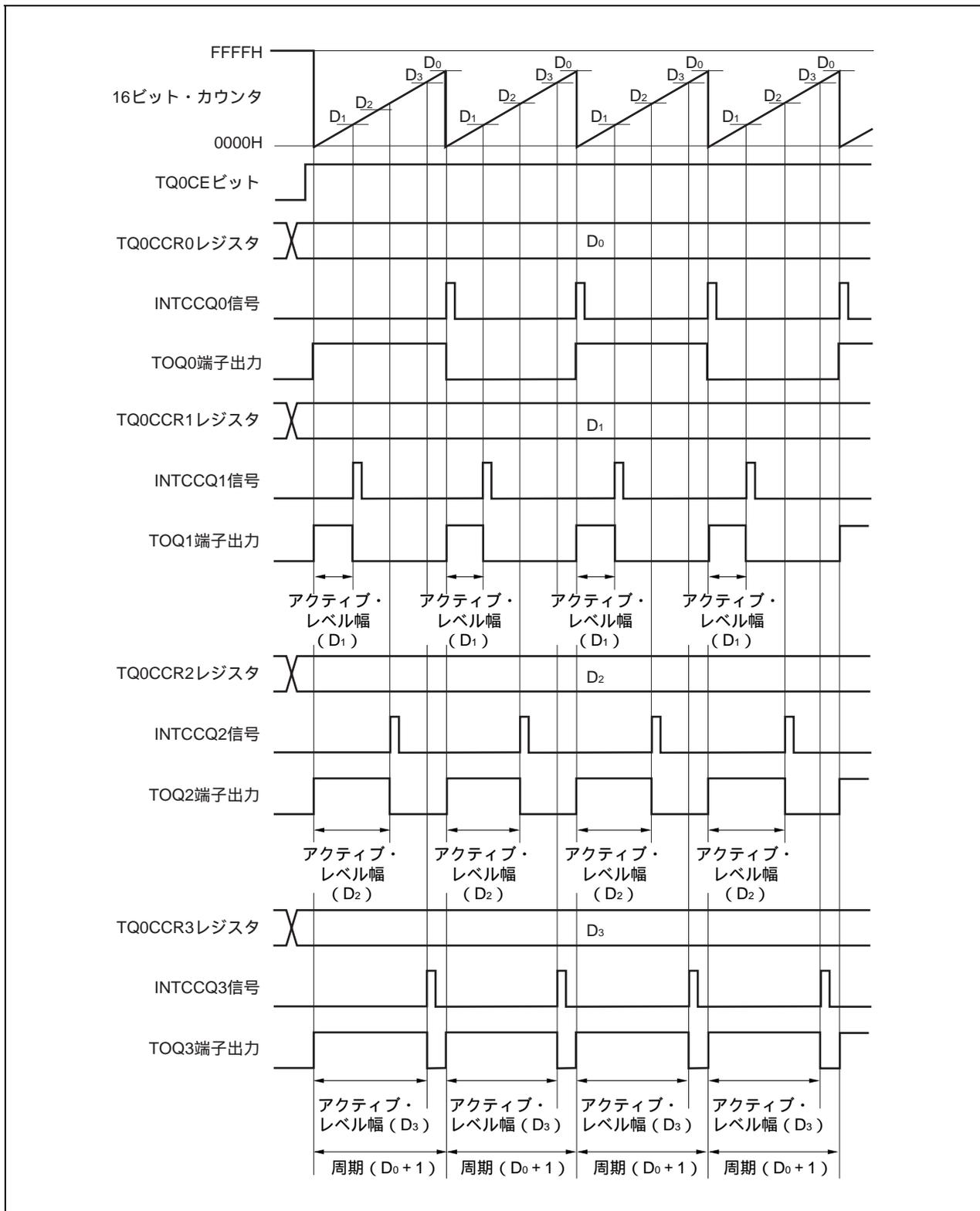


図9 - 29 PWM出力モードの基本タイミング



TQ0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0b端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TQ0CCRbレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TQ0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TQ0CCRbレジスタの設定値}) / (\text{TQ0CCR0レジスタの設定値} + 1)$$

動作中にTQ0CCRaレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTCCQ0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTCCQb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

備考 a = 0-3

b = 1-3

図9 - 30 PWM出力モード動作時のレジスタ設定内容 (1/3)

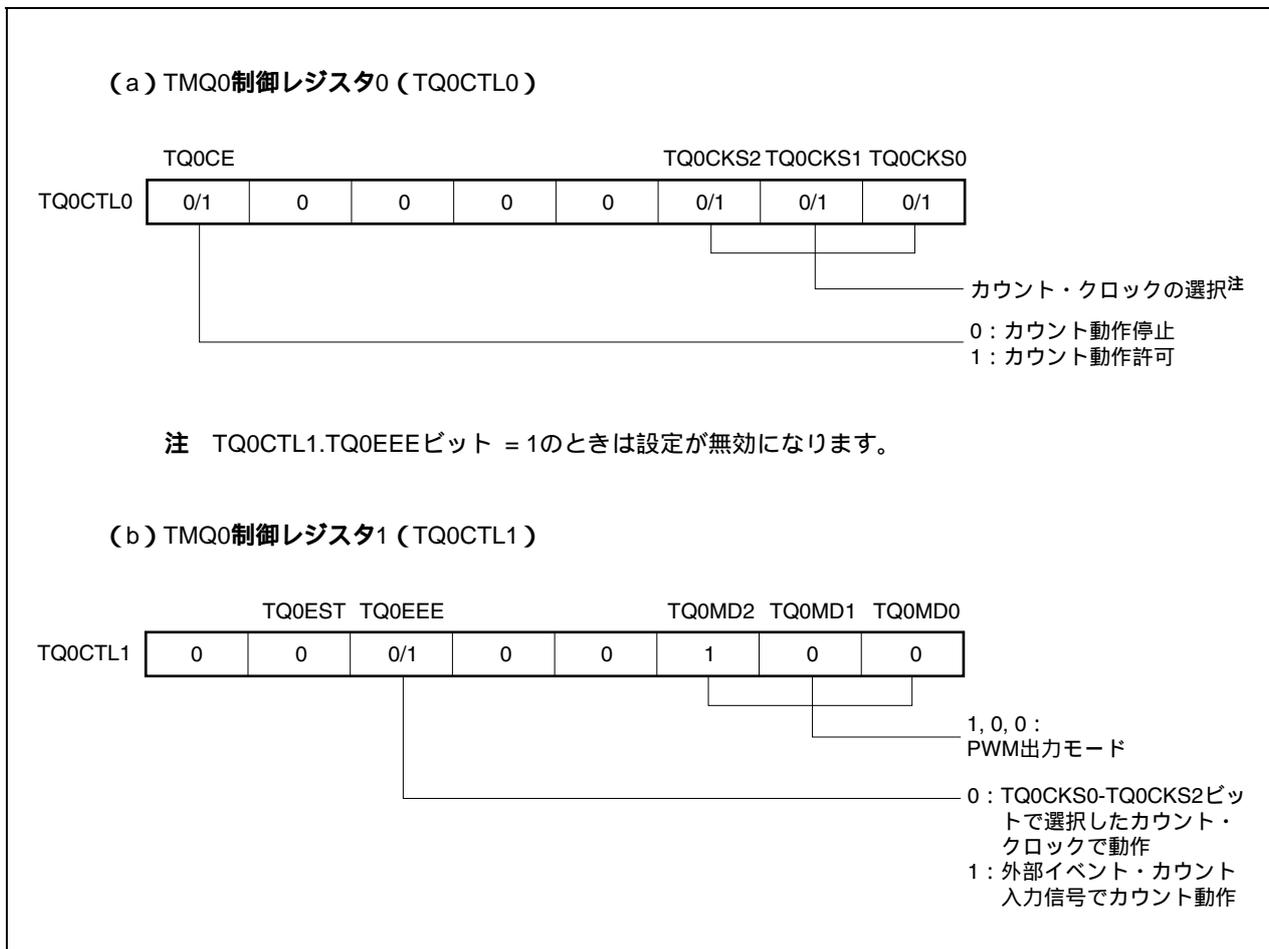


図9 - 30 PWM出力モード動作時のレジスタ設定内容 (2/3)

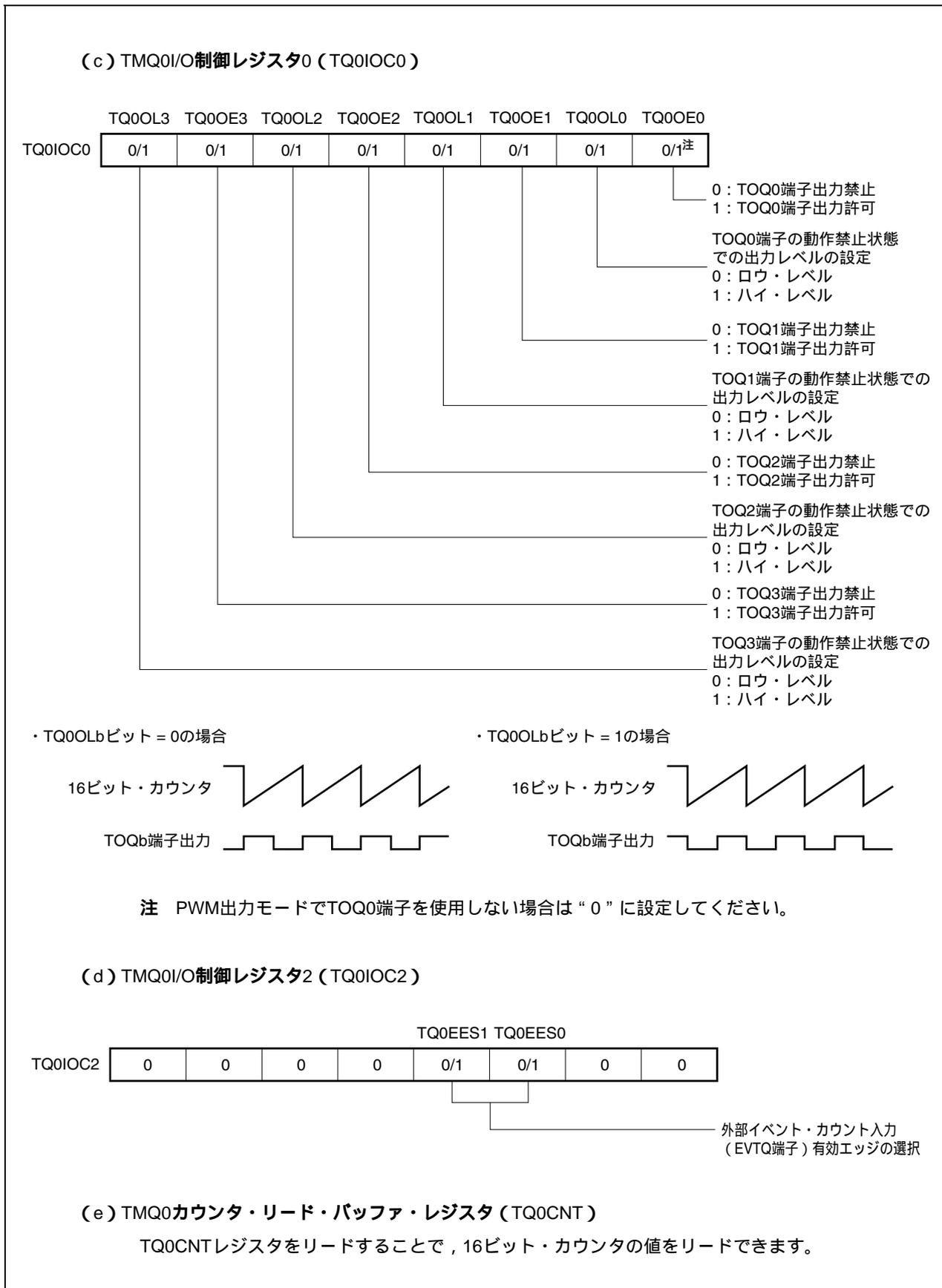


図9 - 30 PWM出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタにD₀を設定し, TQ0CCRbレジスタにD_bを設定した場合,

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_b \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考 TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は, PWM出力モードでは使用しません。

(1) PWM出力モード動作フロー

図9 - 31 PWM出力モード使用時のソフトウェア処理フロー (1/2)

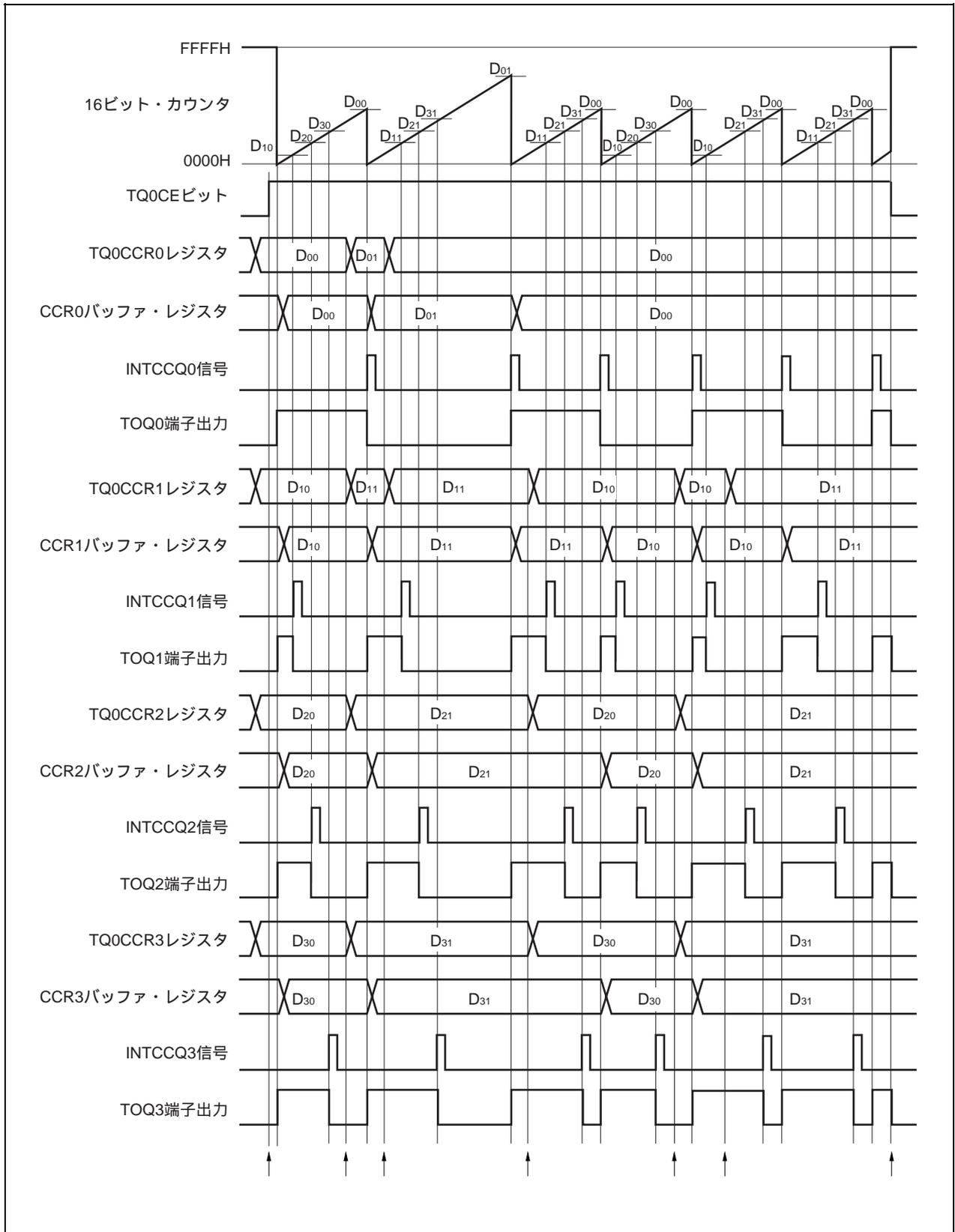
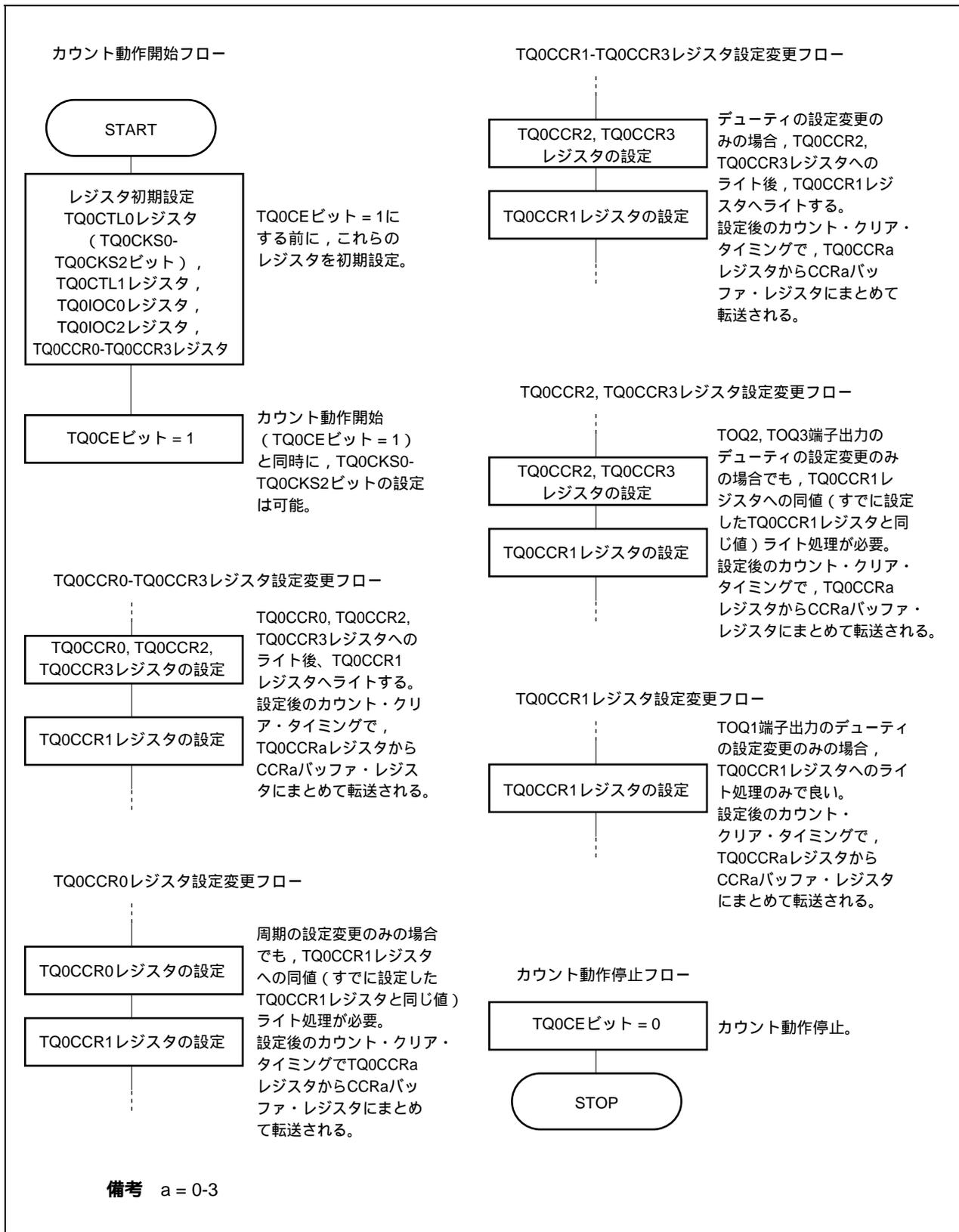


図9 - 31 PWM出力モード使用時のソフトウェア処理フロー (2/2)

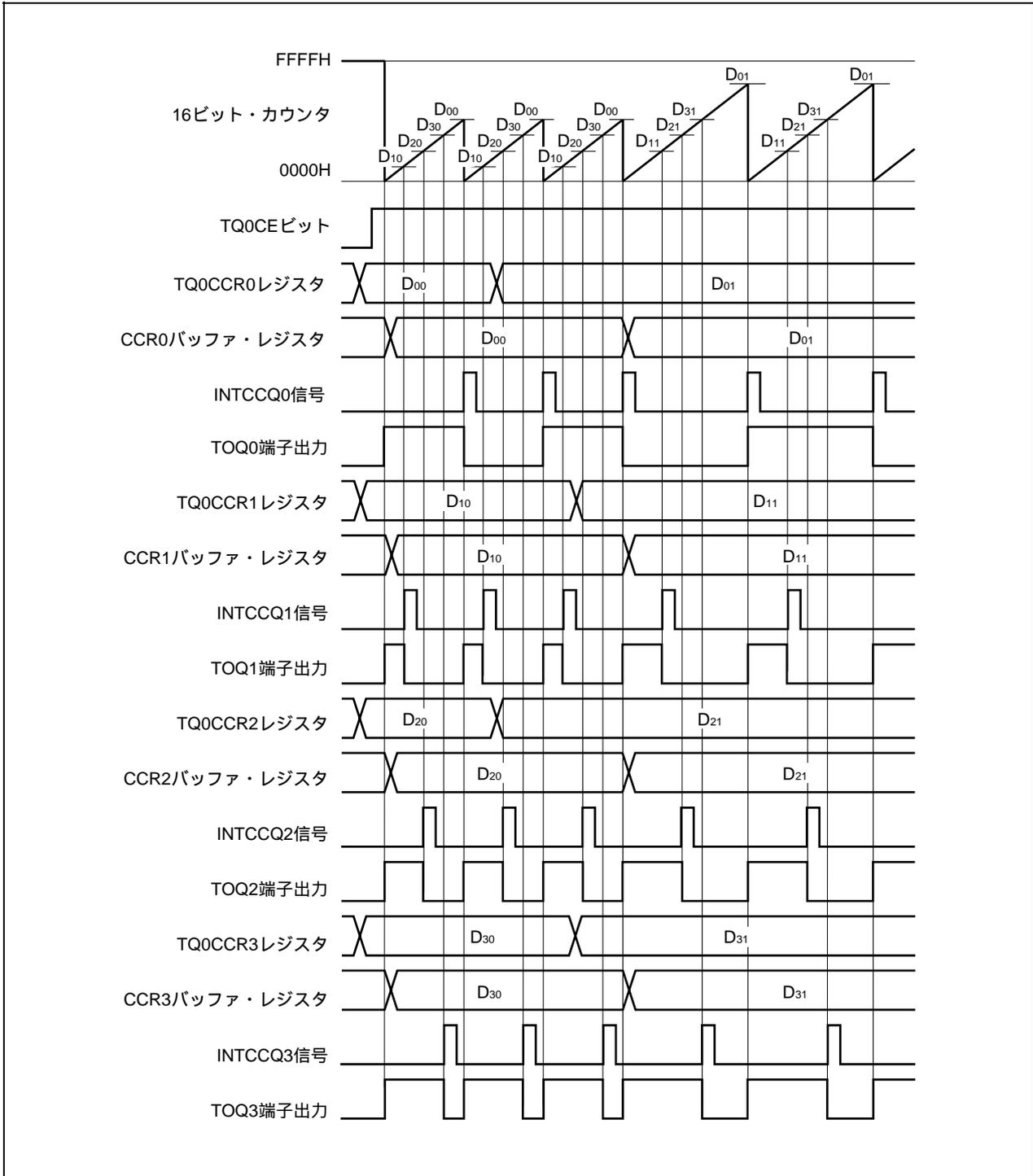


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRaレジスタの書き換えを行う場合には、INTCCQ1信号を検出後に書き換えてください。



TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ1端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ2, TOQ3端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

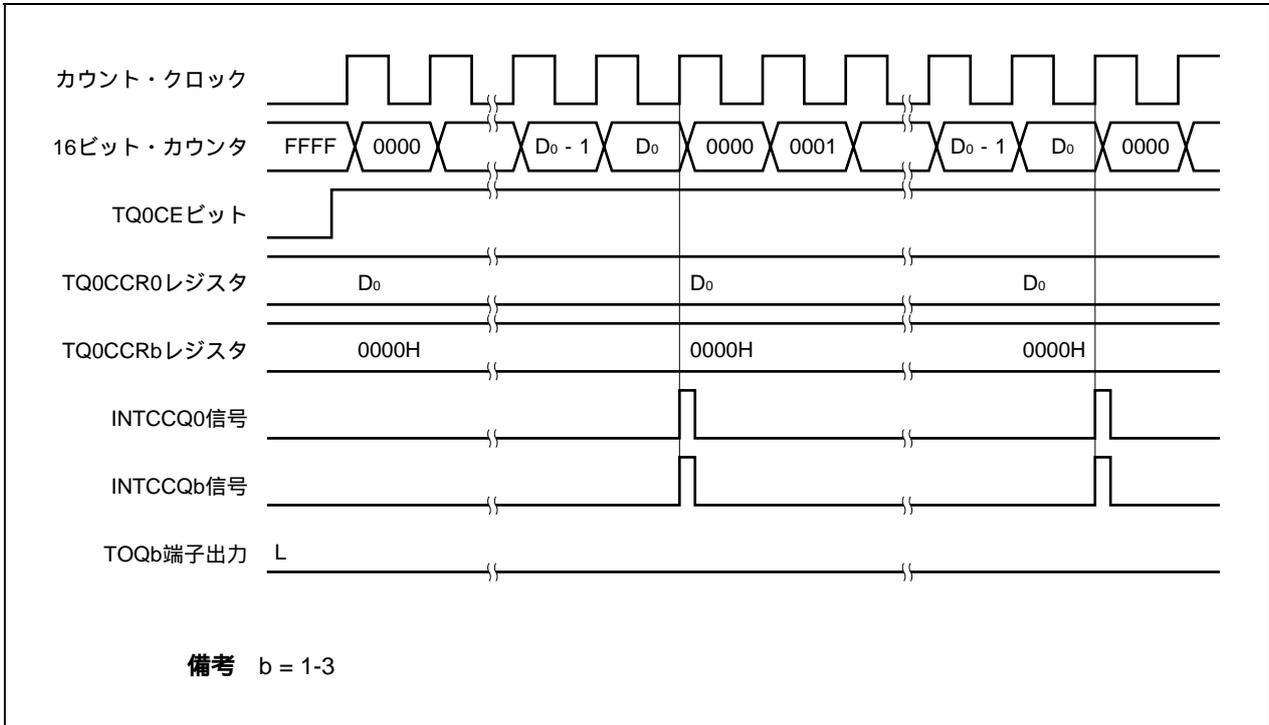
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTCCQ0信号の発生後に行ってください。これを守れない場合には、TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TQ0CCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

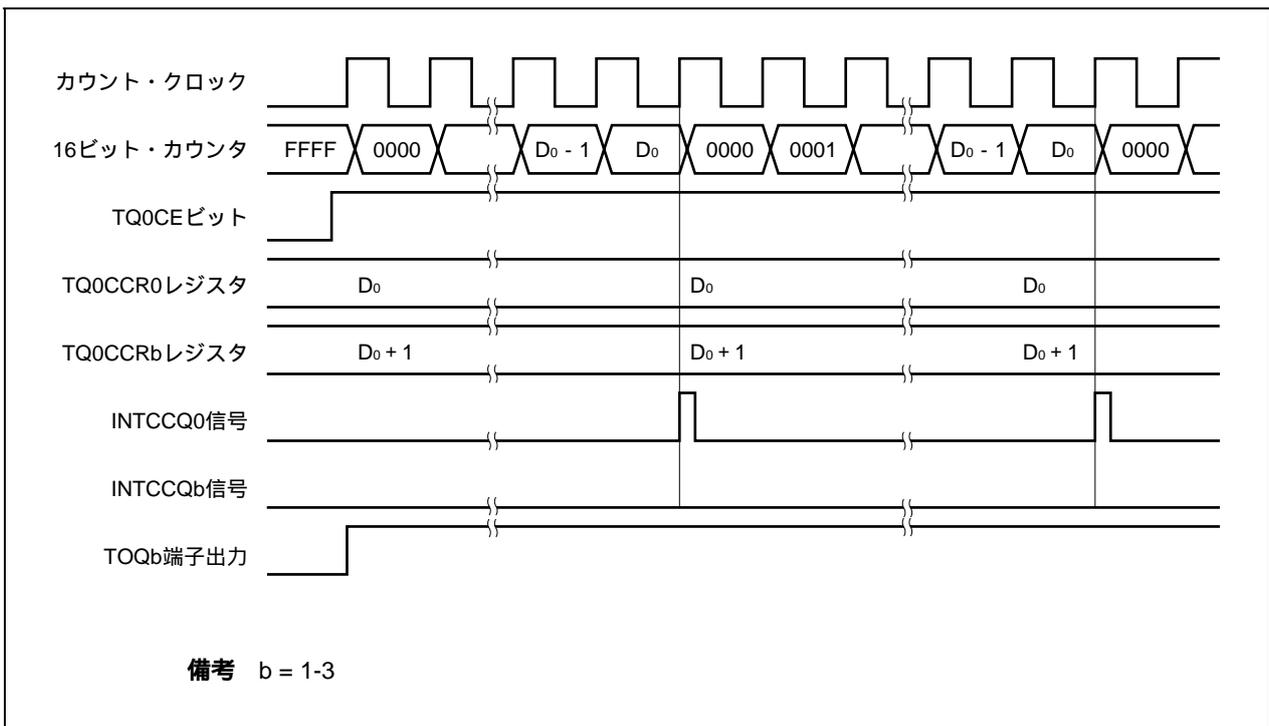
備考 a = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TQ0CCRbレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTCCQ0信号とINTCCQb信号が発生します。

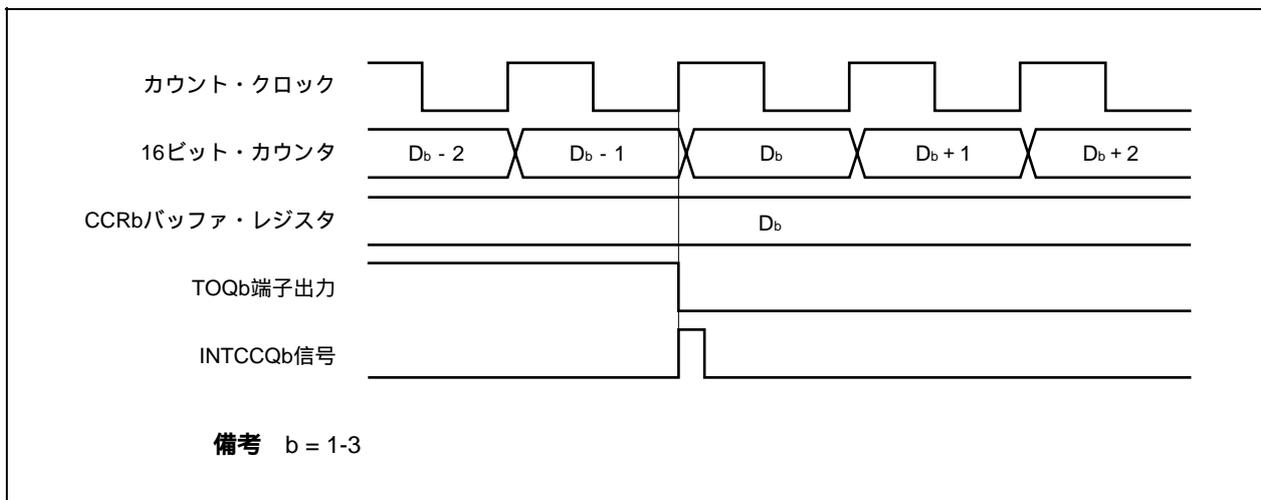


100 % 波形を出力するためには、TQ0CCRbレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTCCQb) の発生タイミング

PWM出力モードにおけるINTCCQb信号の発生タイミングは、ほかのモードのINTCCQb信号と異なり、16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値との一致と同時に発生します。



通常、INTCCQb信号は、16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値との一致後、次のカウント・アップに同期して発生します。

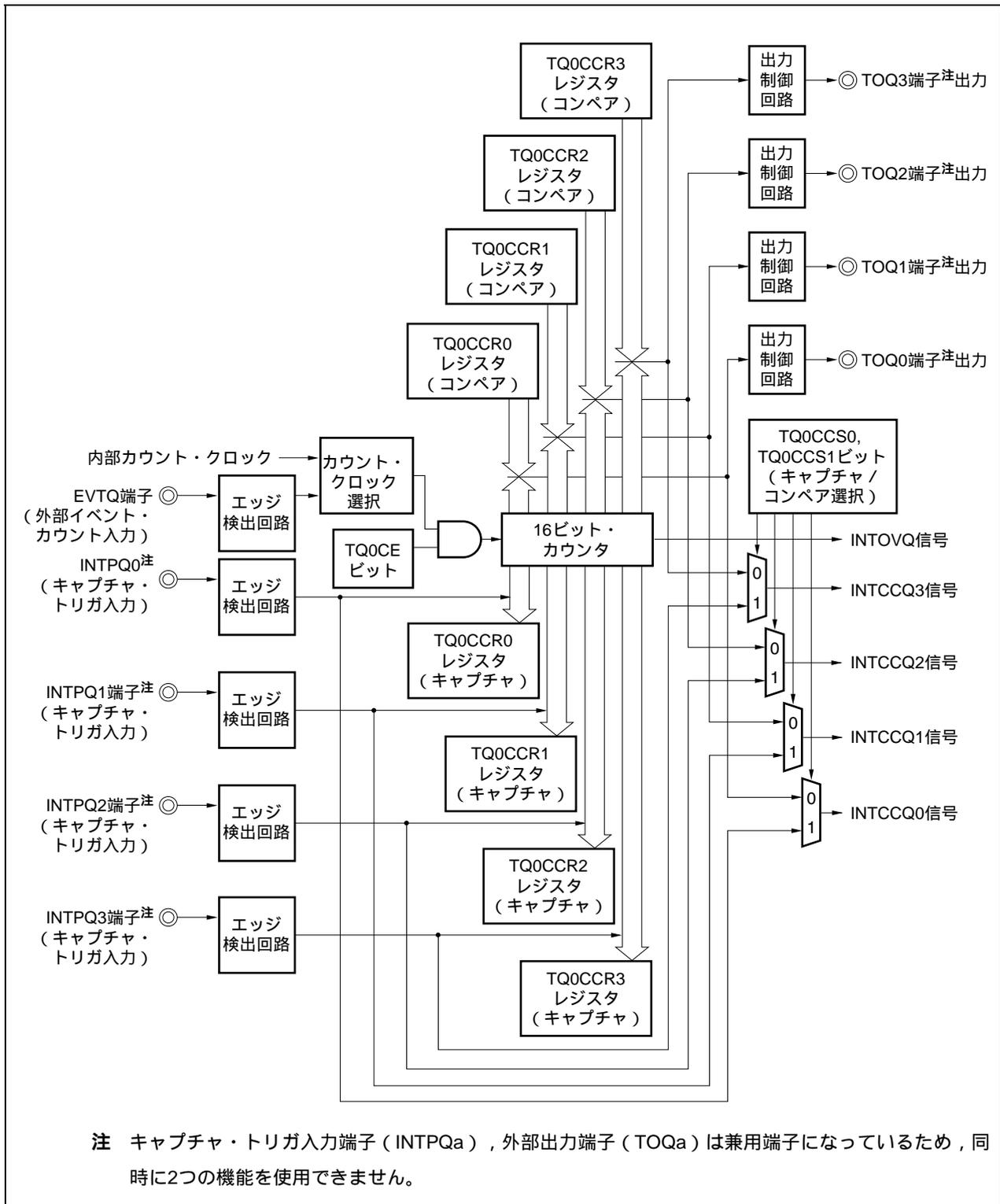
しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOQb端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

9.6.6 フリー・ランニング・タイマ・モード (TQ0MD2-TQ0MD0ビット = 101)

フリー・ランニング・タイマ・モードは、TQ0CTL0.TQ0CEビットをセット(1)することでカウント動作を開始します。このときのTQ0CCRaレジスタの動作は、TQ0OPT0.TQ0CCSaビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

備考 a = 0-3

図9-32 フリー・ランニング・タイマ・モードの構成図



・コンペア動作

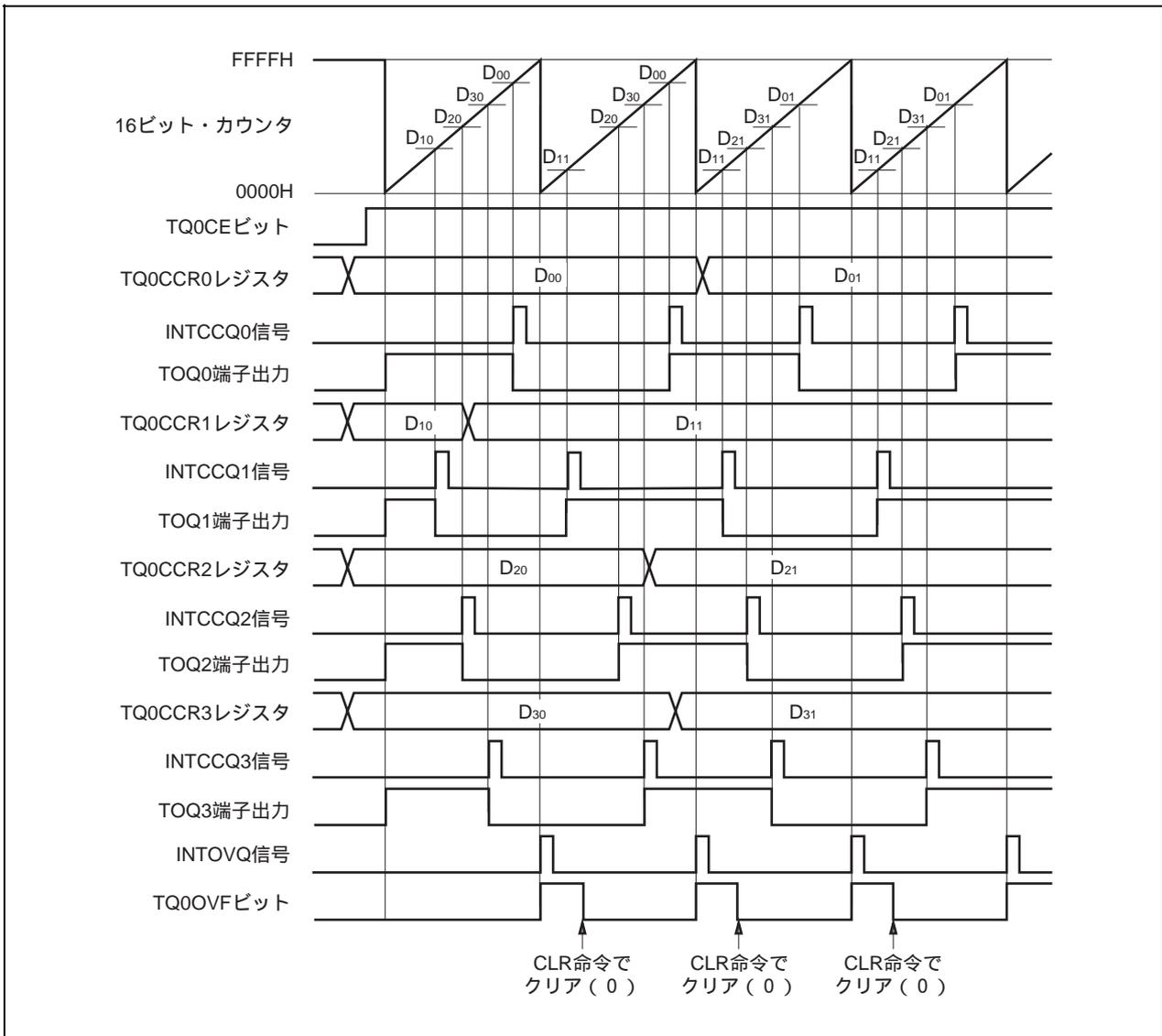
TQ0CEビットをセット(1)することで、カウント動作を開始し、TOQ0-TOQ3端子出力を反転します。その後、16ビット・カウンタのカウント値とTQ0CCRaレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTCCQa)を発生し、TOQa端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTOVQ)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TQ0OPT0.TQ0OVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

TQ0CCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えした場合、随時書き込みにより値が即反映され、カウント値と比較されます。

備考 a = 0-3

図9 - 33 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



・キャプチャ動作

TQ0CEビットをセット(1)することで、カウント動作を開始します。その後、INTPQa端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRaレジスタに格納し、キャプチャ割り込み要求信号(INTCCQa)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTOVQ)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TQ0OVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されていることを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

備考 a = 0-3

図9-34 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

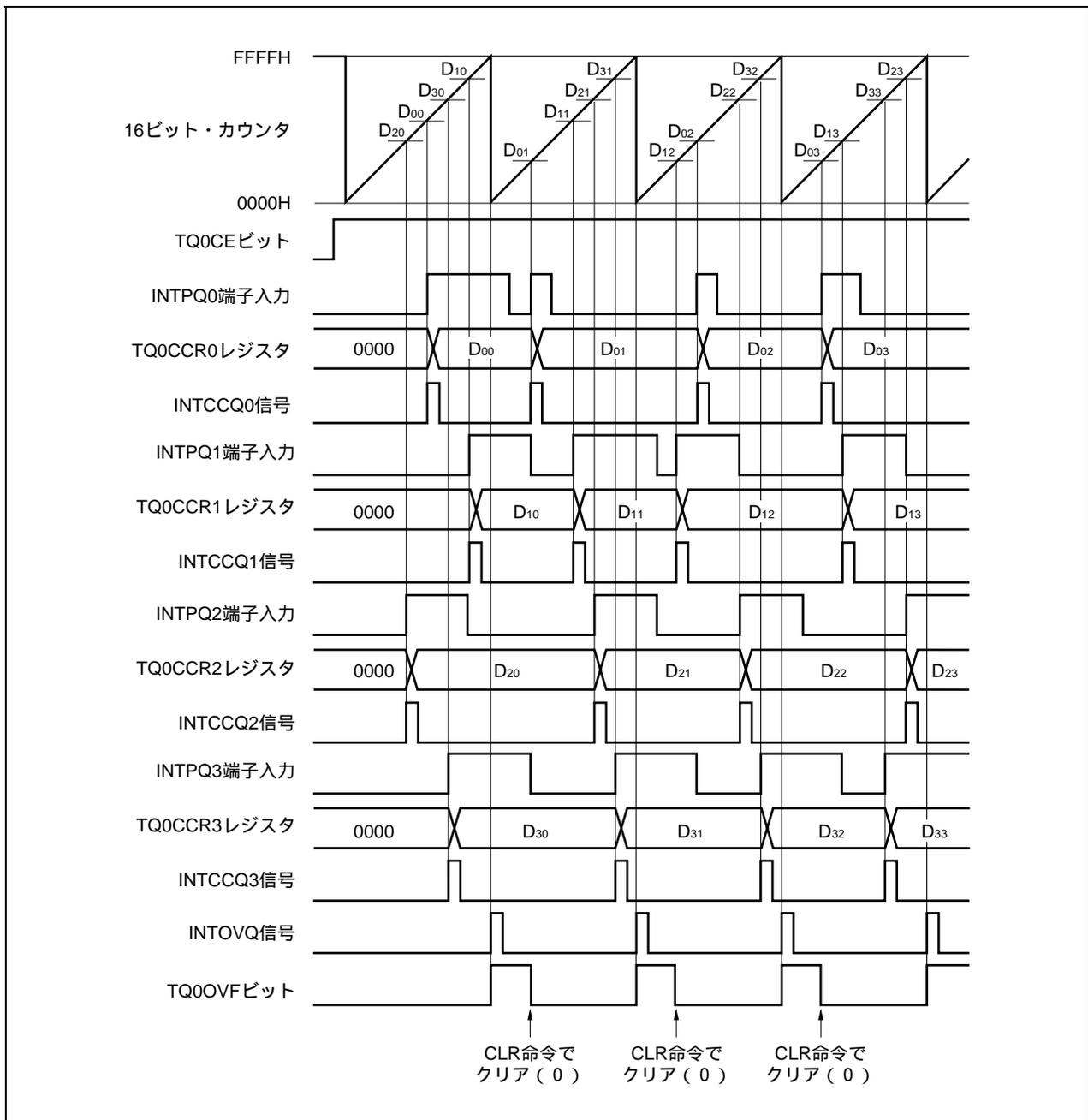
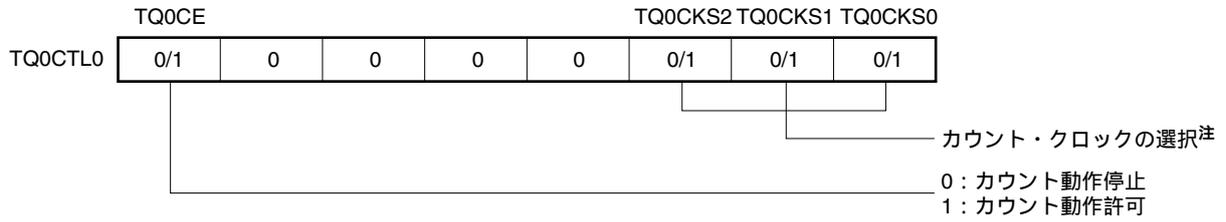


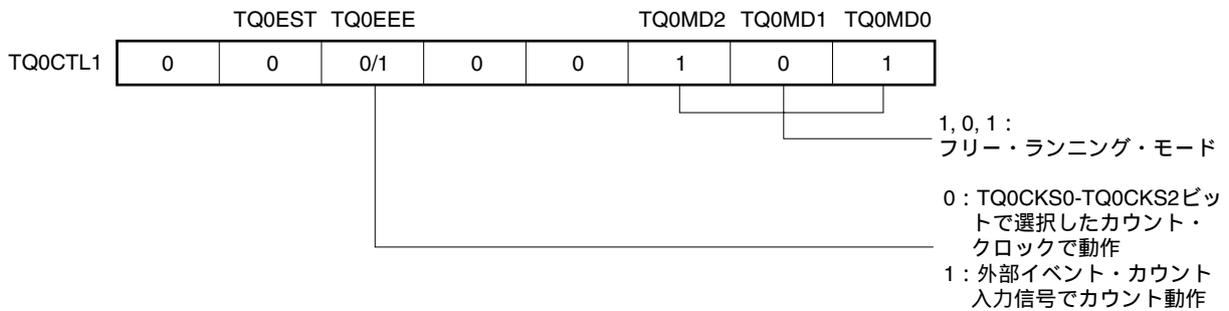
図9 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

(a) TMQ0制御レジスタ0 (TQ0CTL0)



注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

(b) TMQ0制御レジスタ1 (TQ0CTL1)



(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)

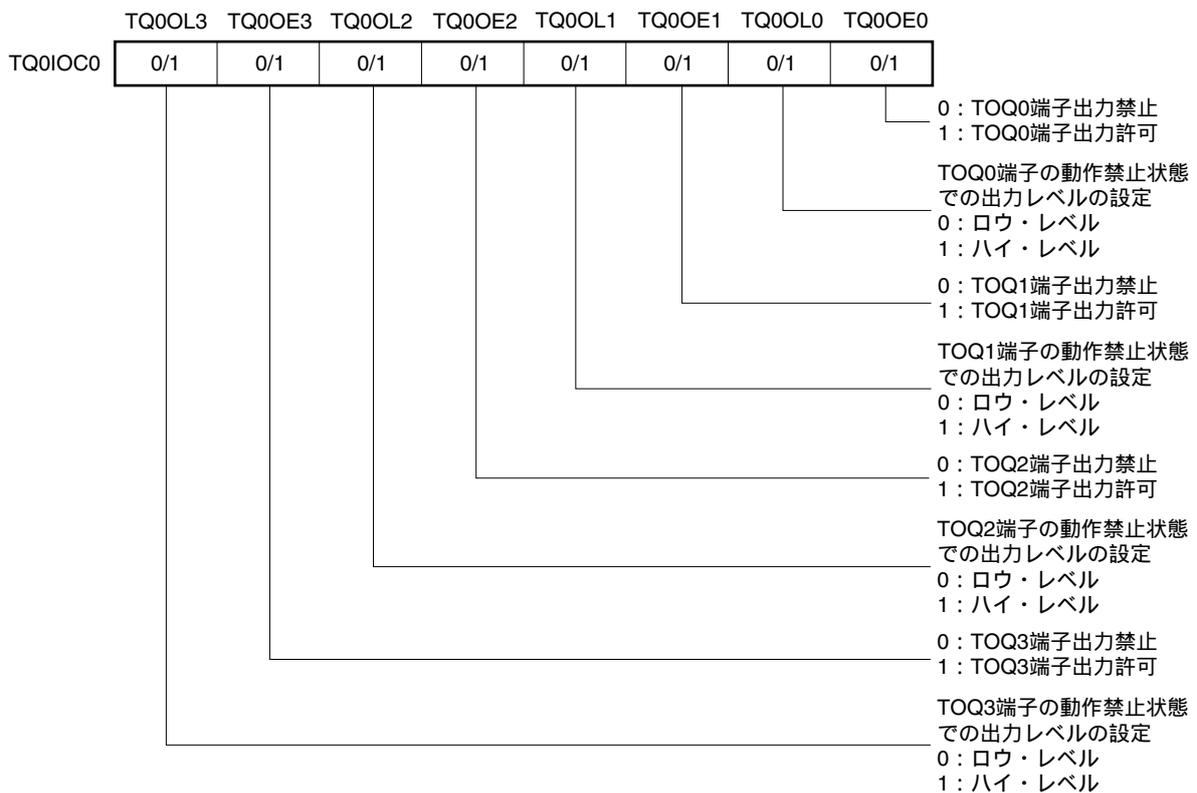
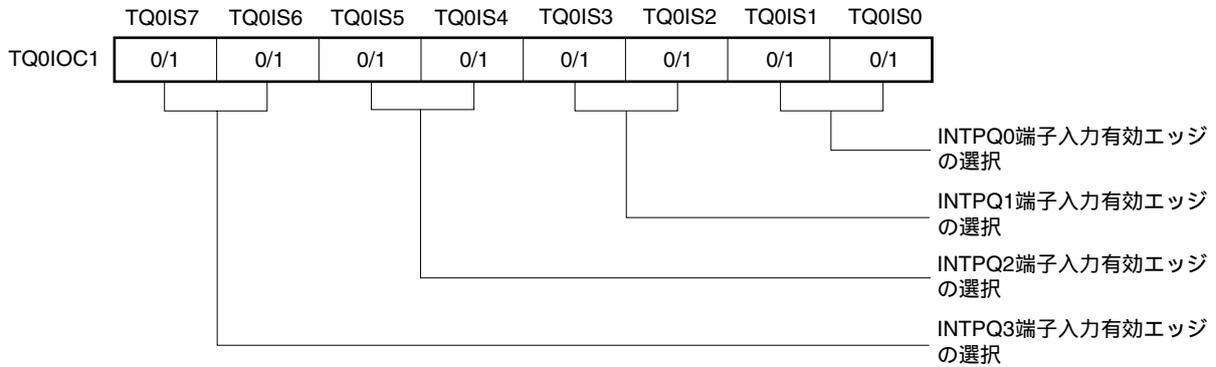
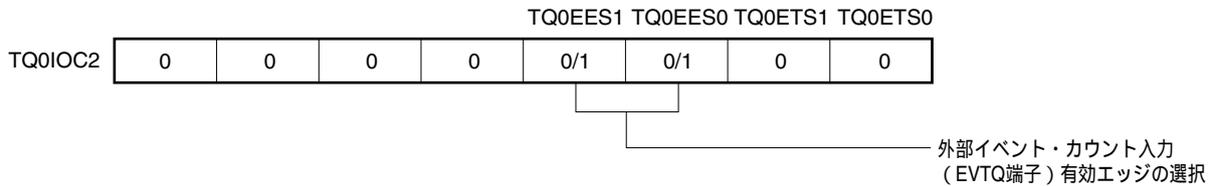


図9 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

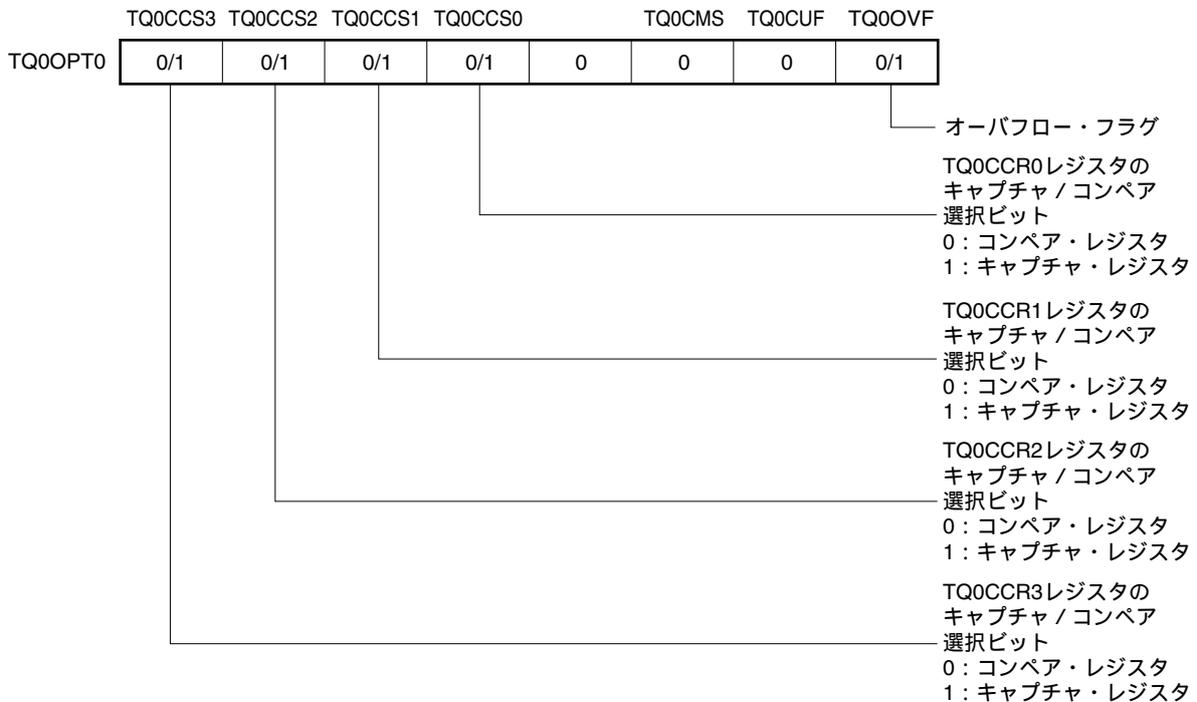
(d) TMQ0I/O制御レジスタ1 (TQ0IOC1)



(e) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(f) TMQ0オプション・レジスタ0 (TQ0OPT0)



(g) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

図9 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0OPT0.TQ0CCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、INTPQa端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TQ0CCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTCCQa信号を発生し、TOQa端子出力を反転します。

備考 a = 0-3

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図9 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

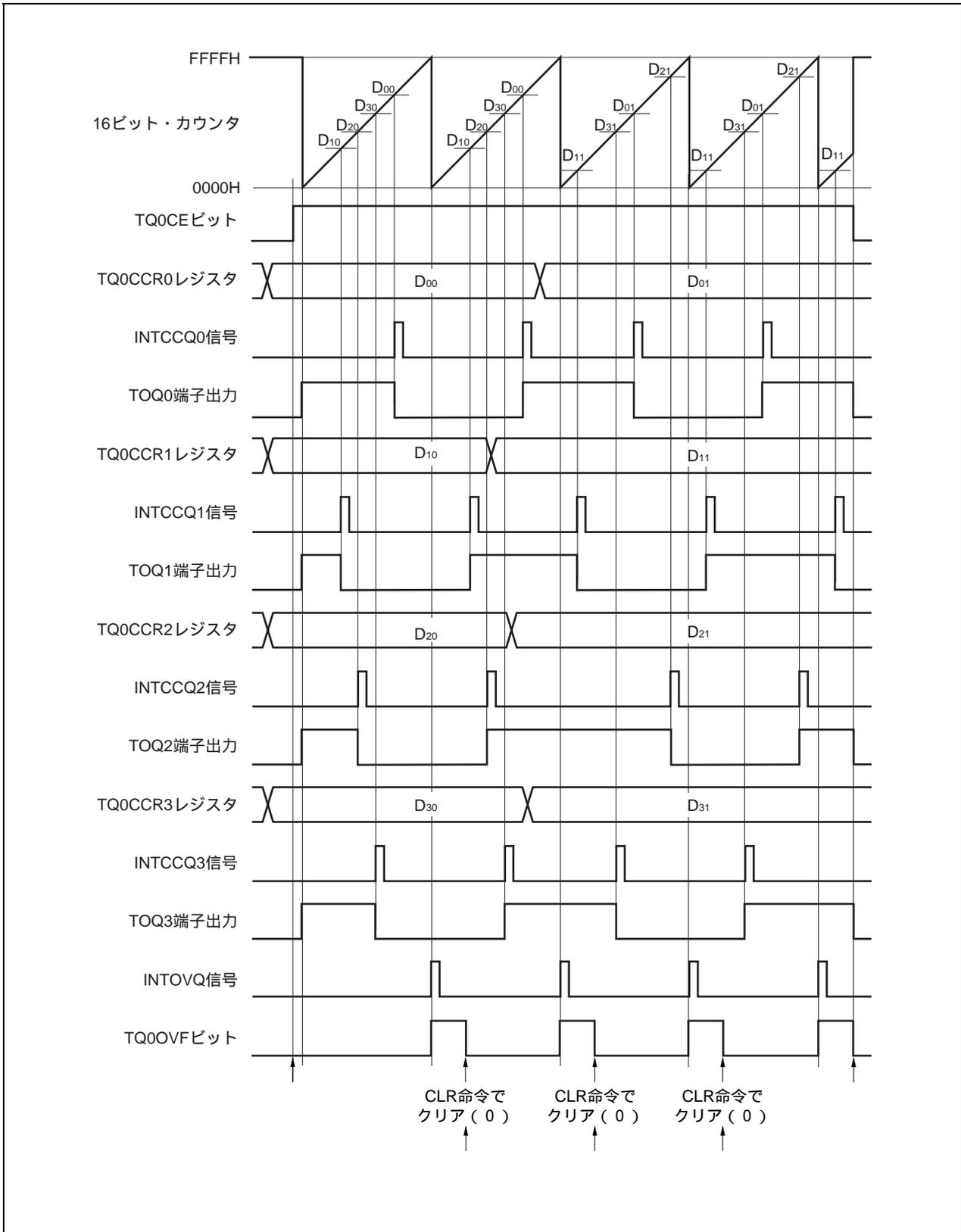
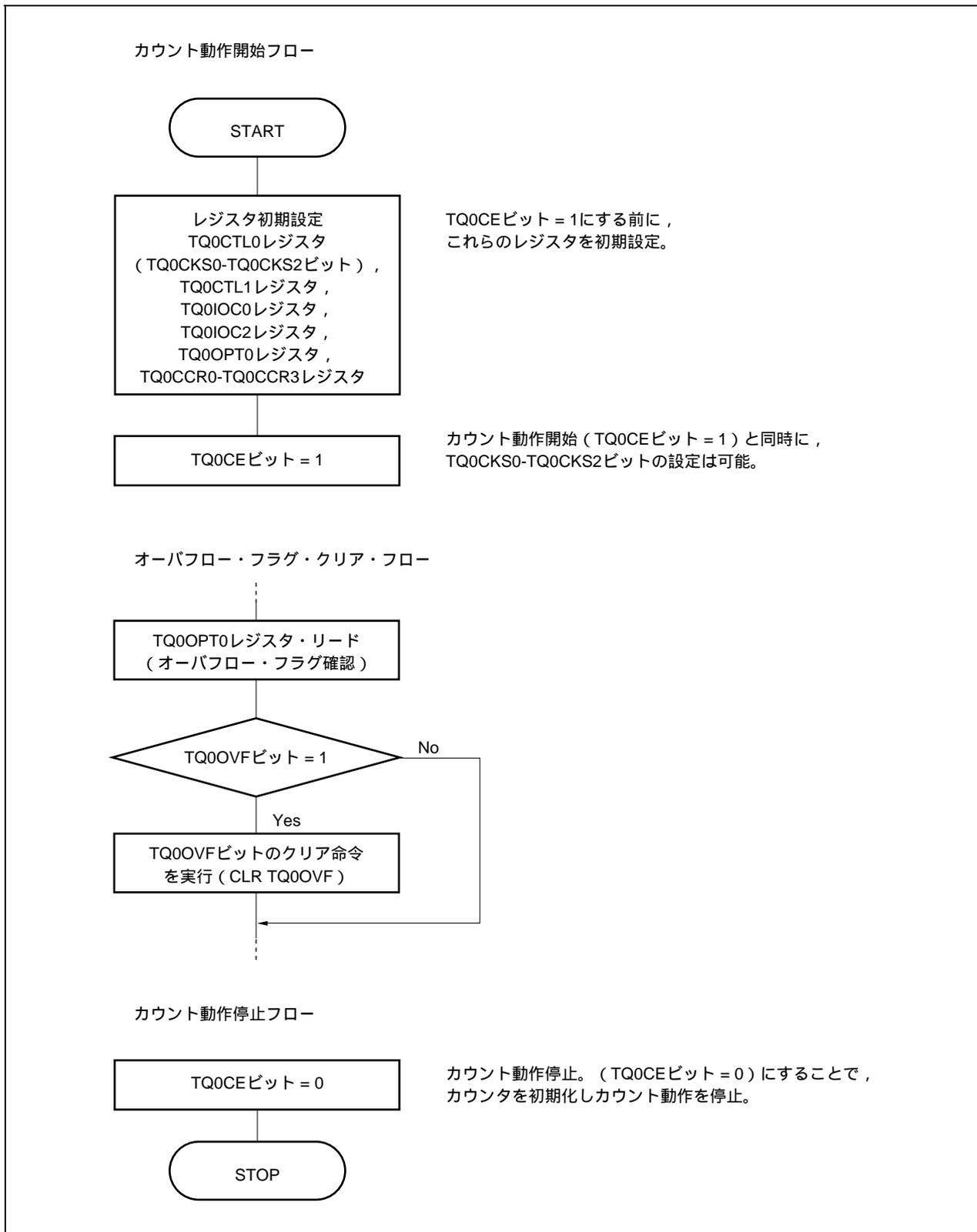


図9 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図9 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

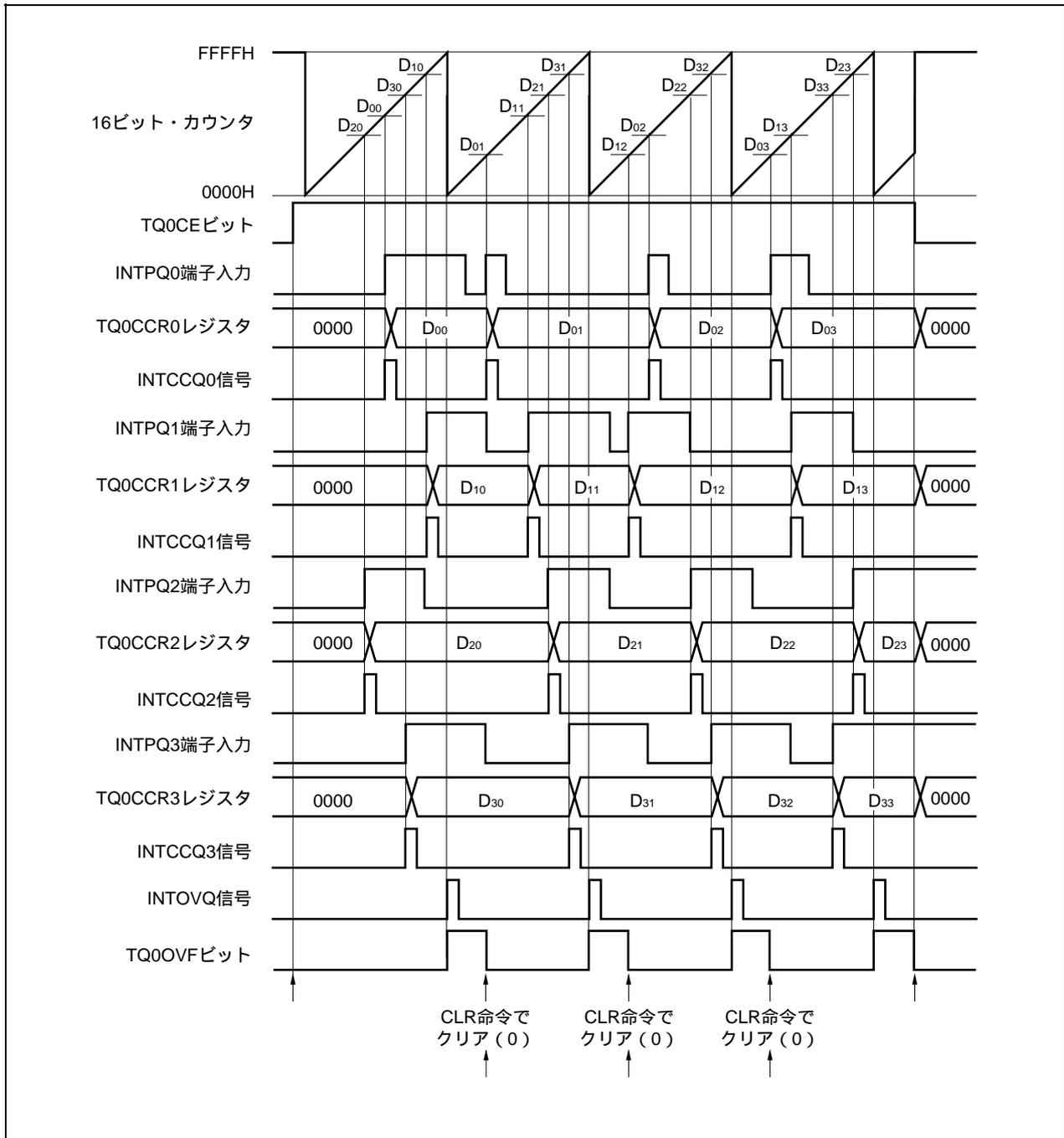
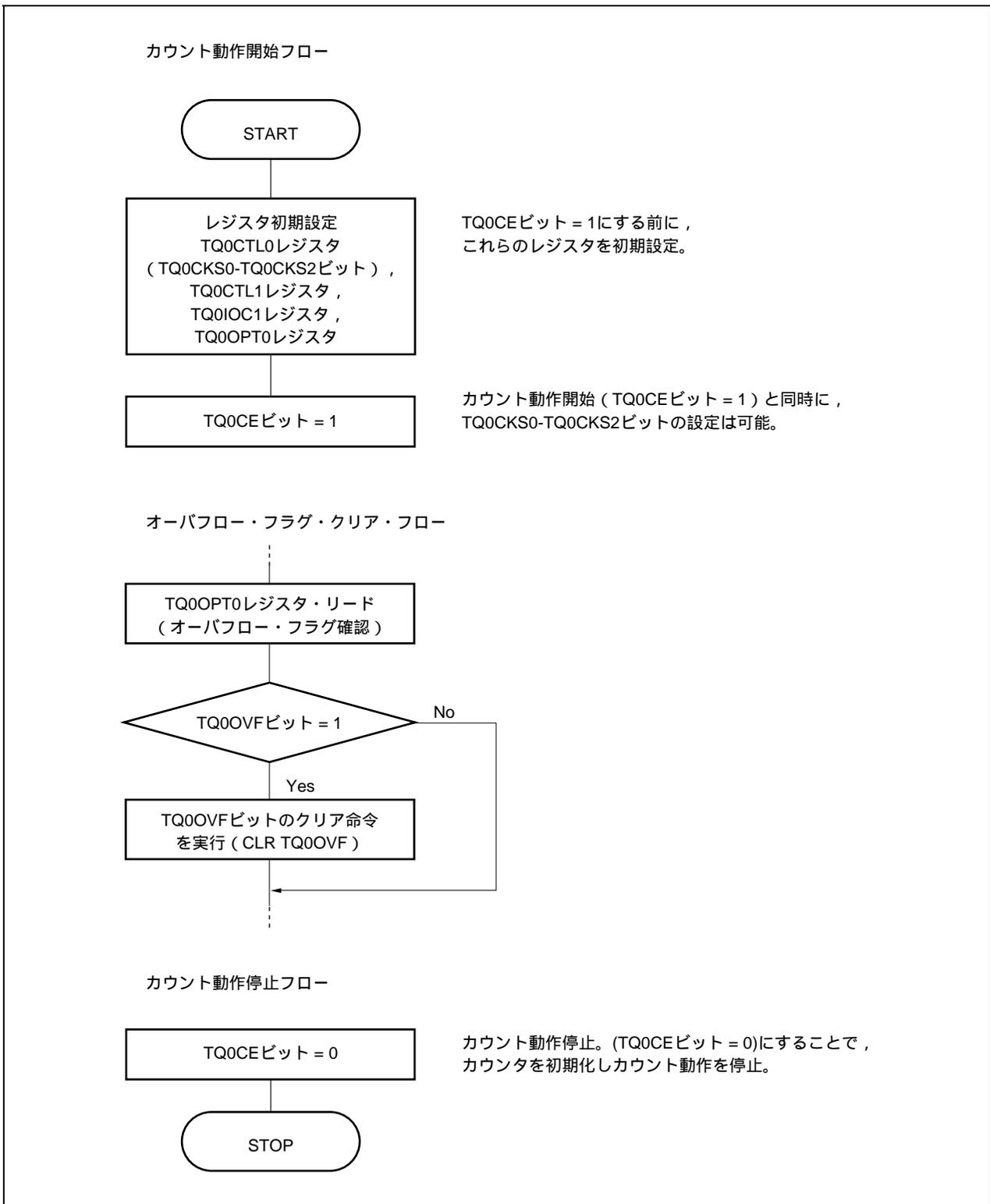


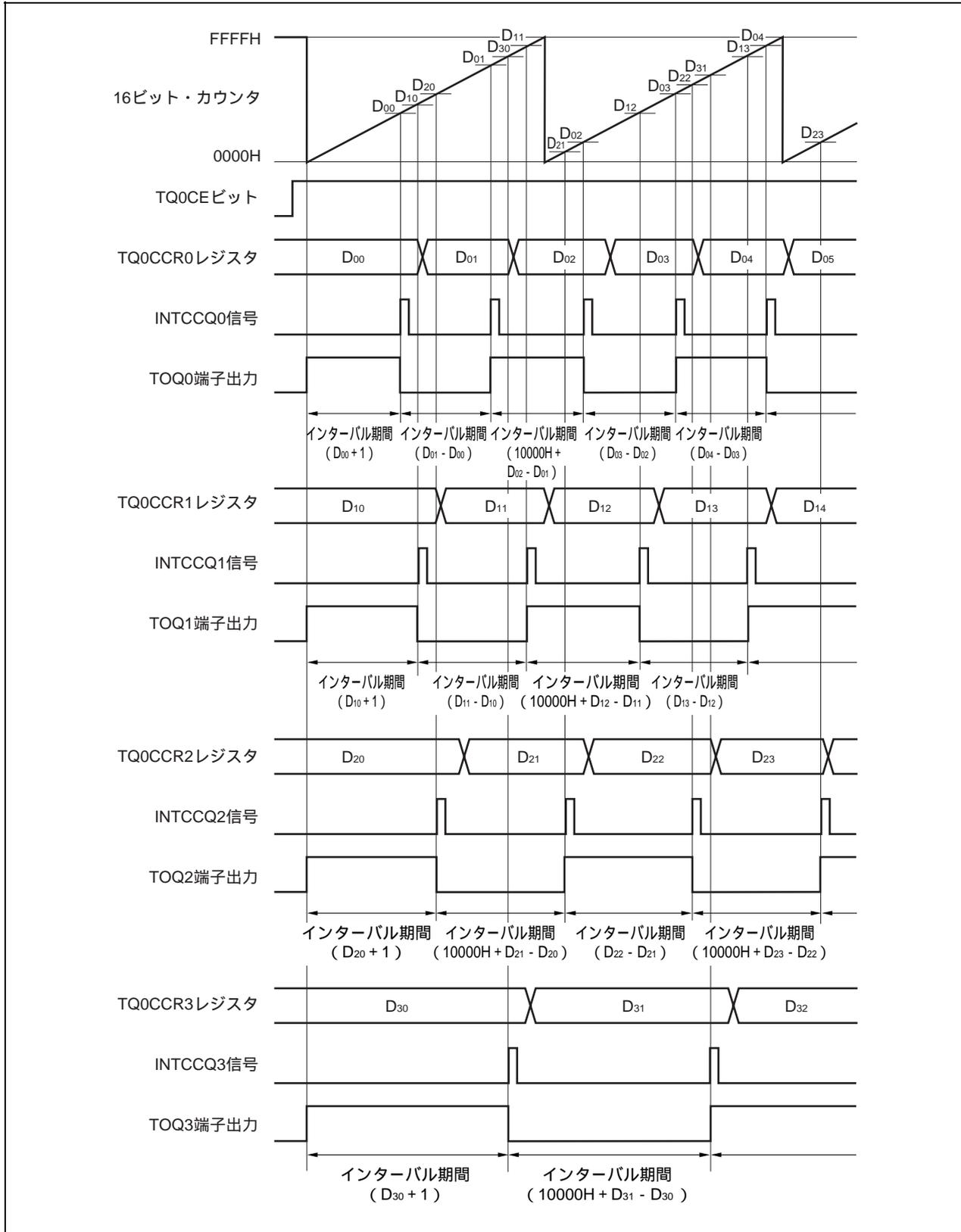
図9 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TQ0CCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTCCQa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTCCQa信号を検出したときの割り込み処理中に、対応するTQ0CCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_a ” とすると、次のように求められます。

コンペア・レジスタ初期値： $D_a - 1$

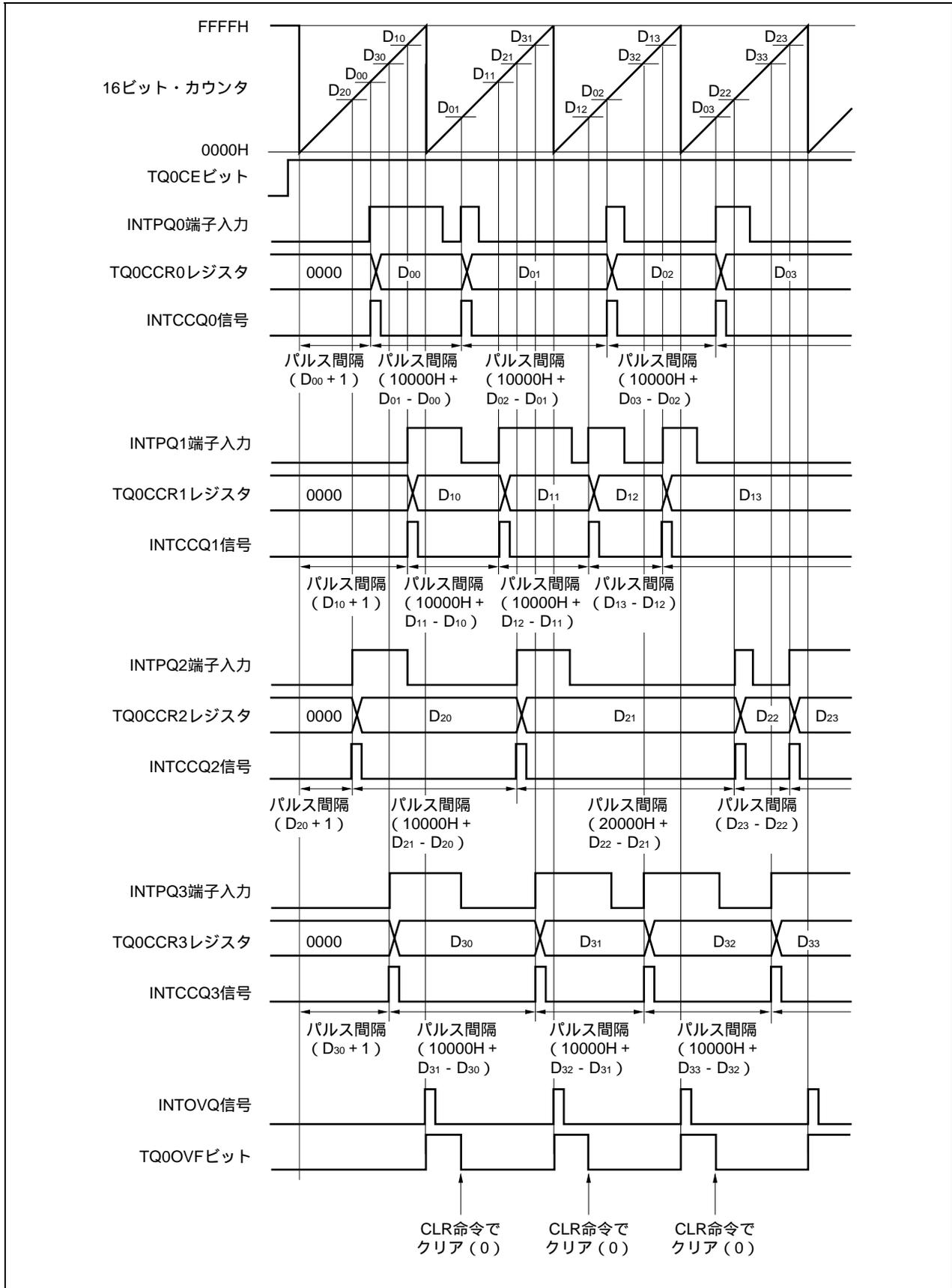
2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 a = 0-3

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TQ0CCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTCCQa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



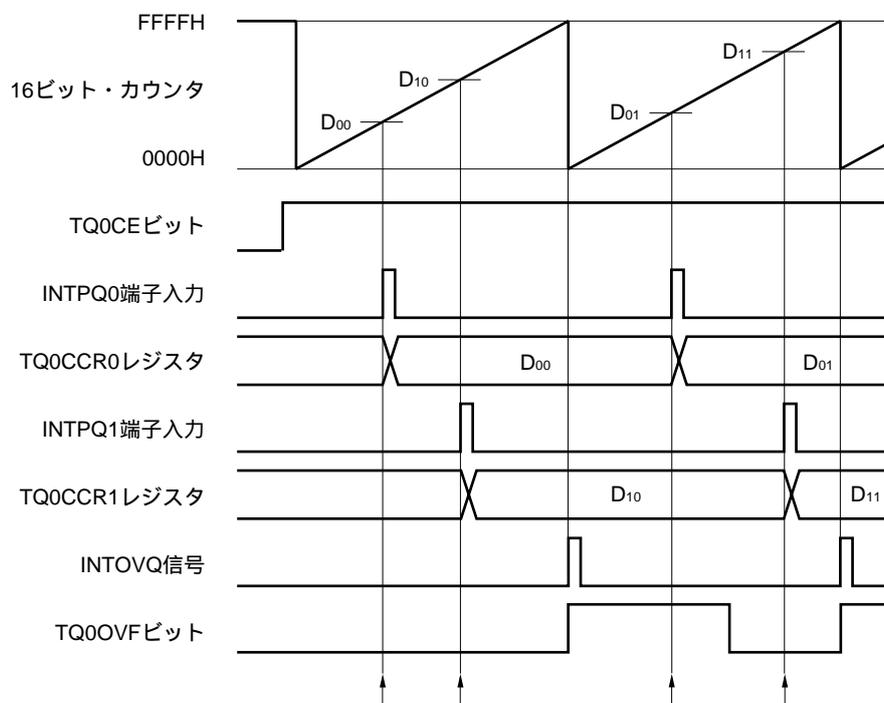
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。
パルス幅測定を行う場合、INTCCQa信号に同期してTQ0CCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 a = 0-3

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCR0レジスタをリードする (INTPQ0端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (INTPQ1端子入力の初期値設定)。

TQ0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TQ0CCR1レジスタをリードする。

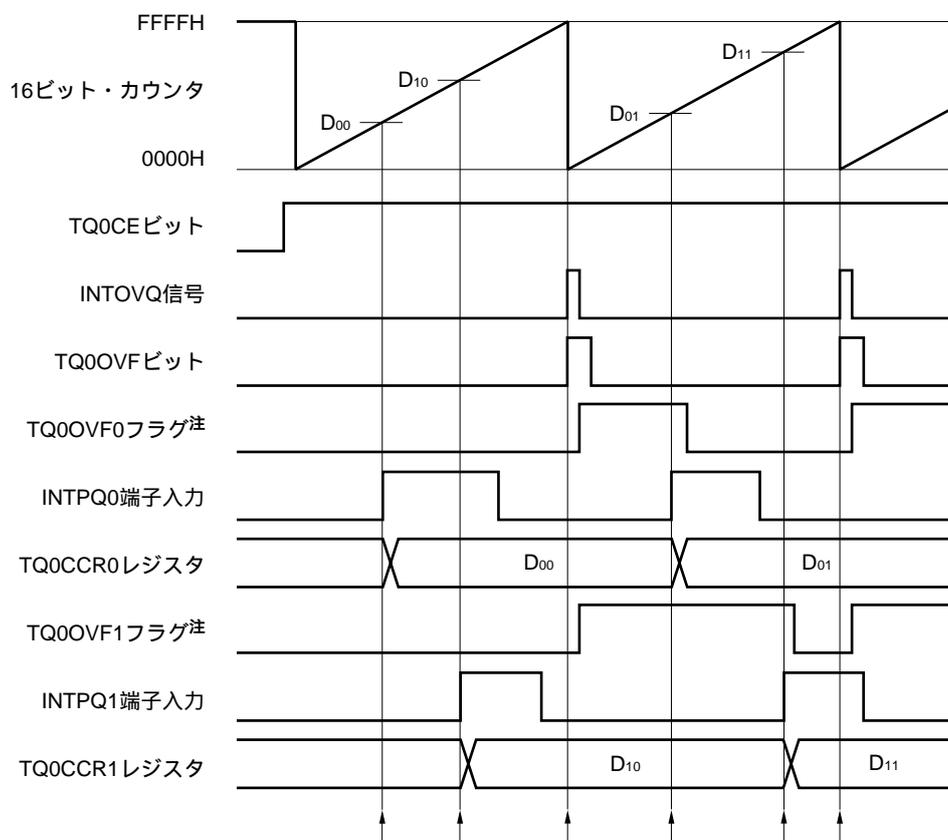
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする (INTPQ0端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (INTPQ1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TQ0OVF0, TQ0OVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TQ0CCR0レジスタをリードする。

TQ0OVF0フラグをリードする。 TQ0OVF0フラグが“1”だった場合、クリア (0) する。

TQ0OVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

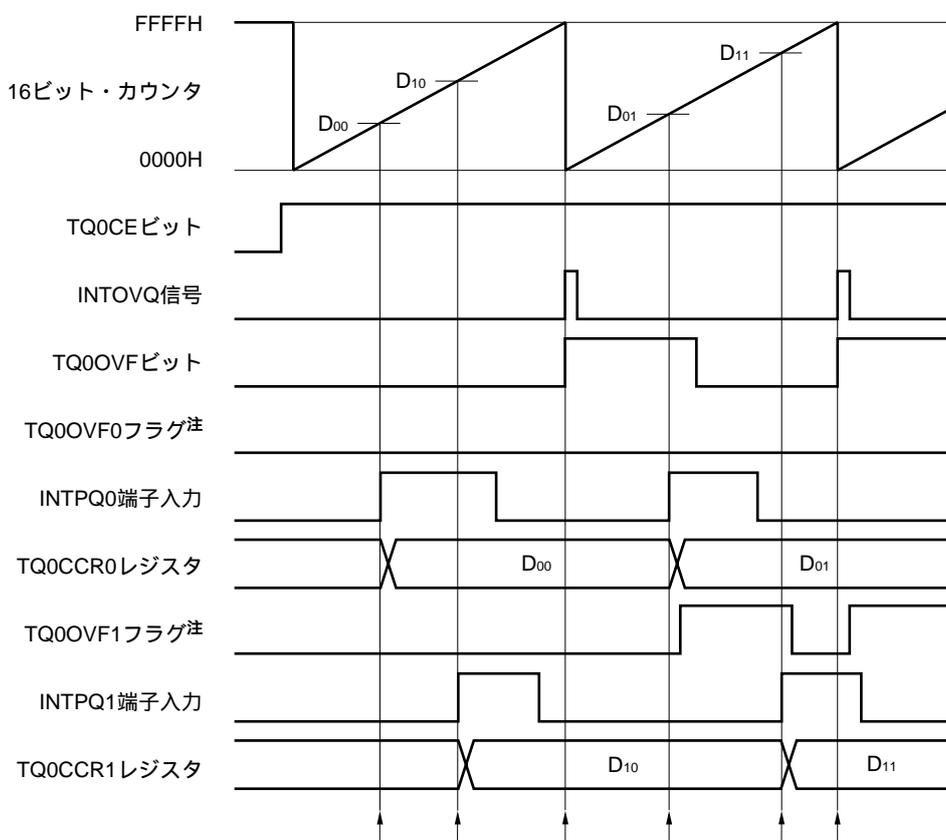
TQ0CCR1レジスタをリードする。

TQ0OVF1フラグをリードする。 TQ0OVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTQ0OVF0フラグであり、TQ0OVF1フラグは“1”のまま)。

TQ0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする（INTPQ0端子入力の初期値設定）。

TQ0CCR1レジスタをリードする（INTPQ1端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TQ0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TQ0OVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TQ0CCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

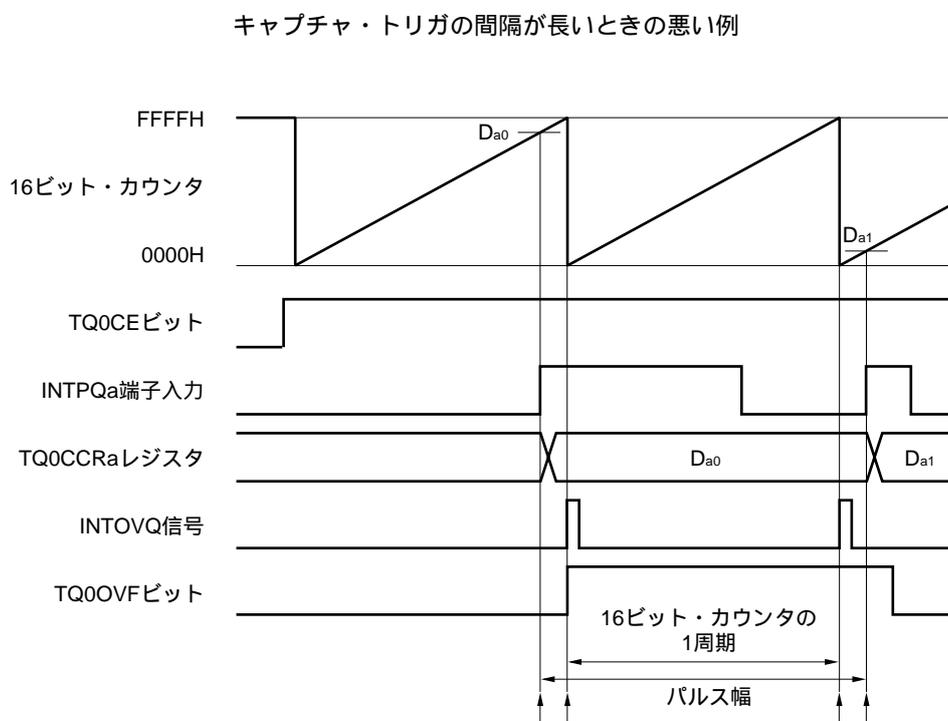
TQ0OVF1フラグをリードする。TQ0OVF1フラグが“1”だった場合、クリア（0）する。

TQ0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます（OK）。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCR_aレジスタをリードする (INTPQ_a端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TQ0CCR_aレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{a1} - D_{a0})$ で求められます (NG)。

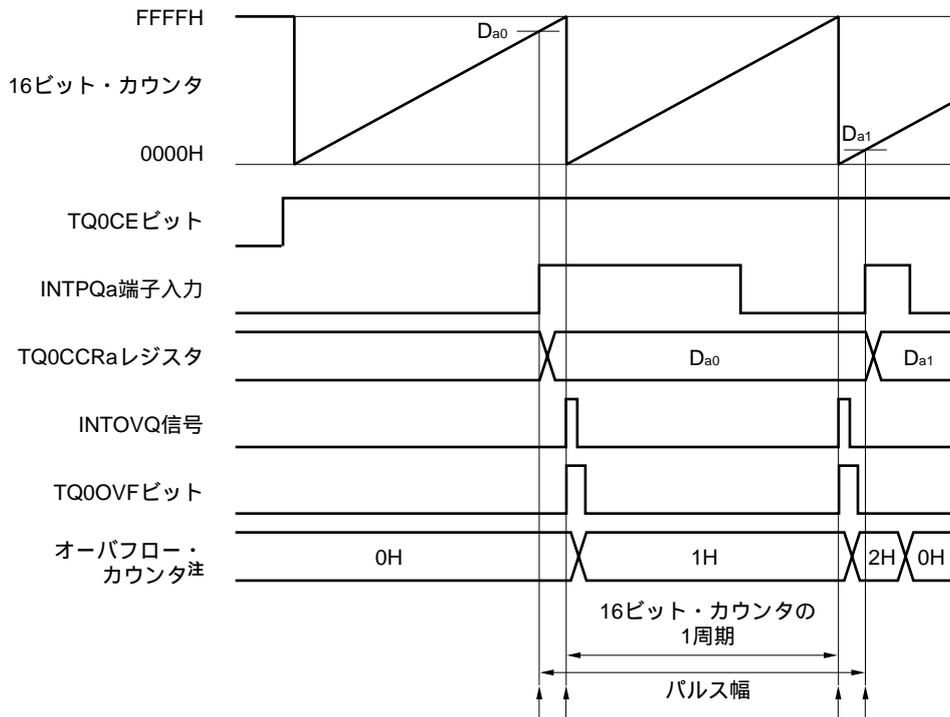
実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になるはずですが。

備考 a = 0-3

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCRaレジスタをリードする (INTPQa端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TQ0CCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

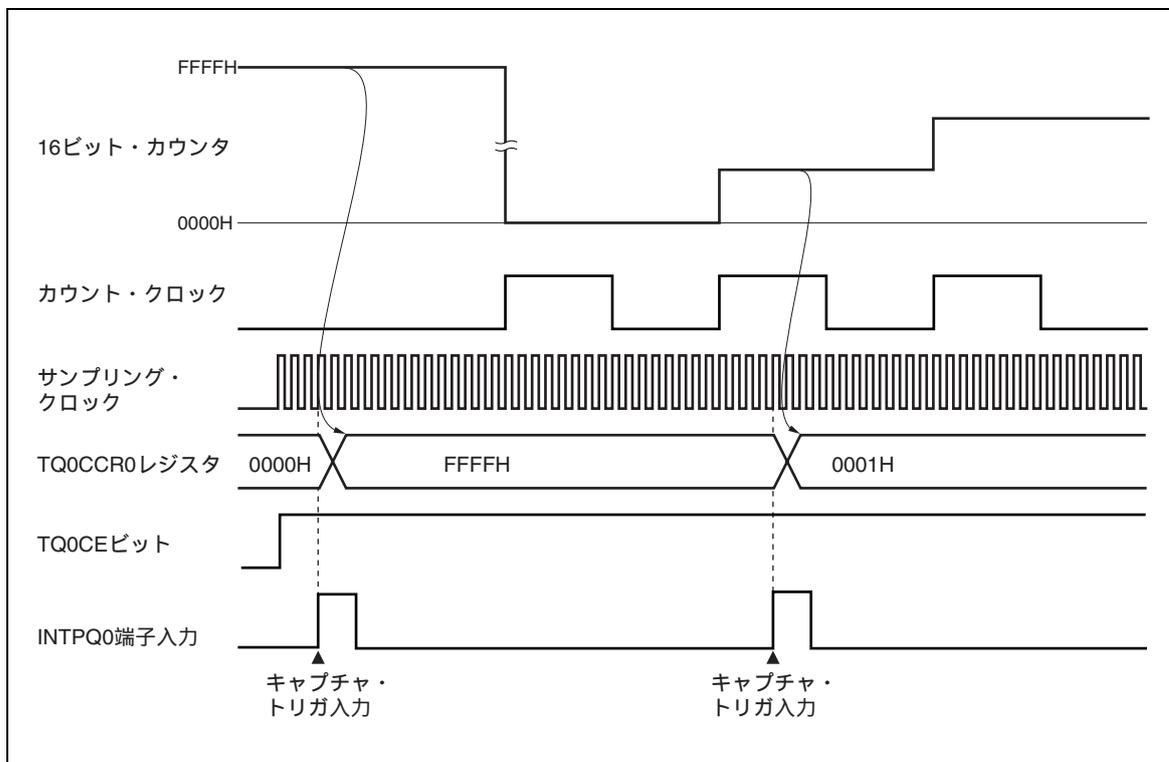
備考 a = 0-3

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQ0OVFビット = 1をリードしたあとにTQ0OVFビットをCLR命令でクリア (0) する方法と、TQ0OVFビット = 1をリードしたあとにTQ0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) キャプチャ動作の注意事項

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TQ0CTL0.TQ0CEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCRaレジスタに0000HではなくFFFFHがキャプチャされる場合があります(a = 0-3)。



9.6.7 パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)

パルス幅測定モードは、TQ0CTL0.TQ0CEビットをセット(1)することでカウント動作を開始し、INTPQa端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTQ0CCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTCCQa) が発生したあと、TQ0CCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図9 - 39のような場合は、キャプチャ・トリガ入力端子としてINTPQ0-INTPQ3端子のいずれか1本を使用し、使用しない端子はTQ0IOC1レジスタで“エッジ検出なし”に設定してください。

備考 a = 0-3

図9 - 38 パルス幅測定モードの構成図

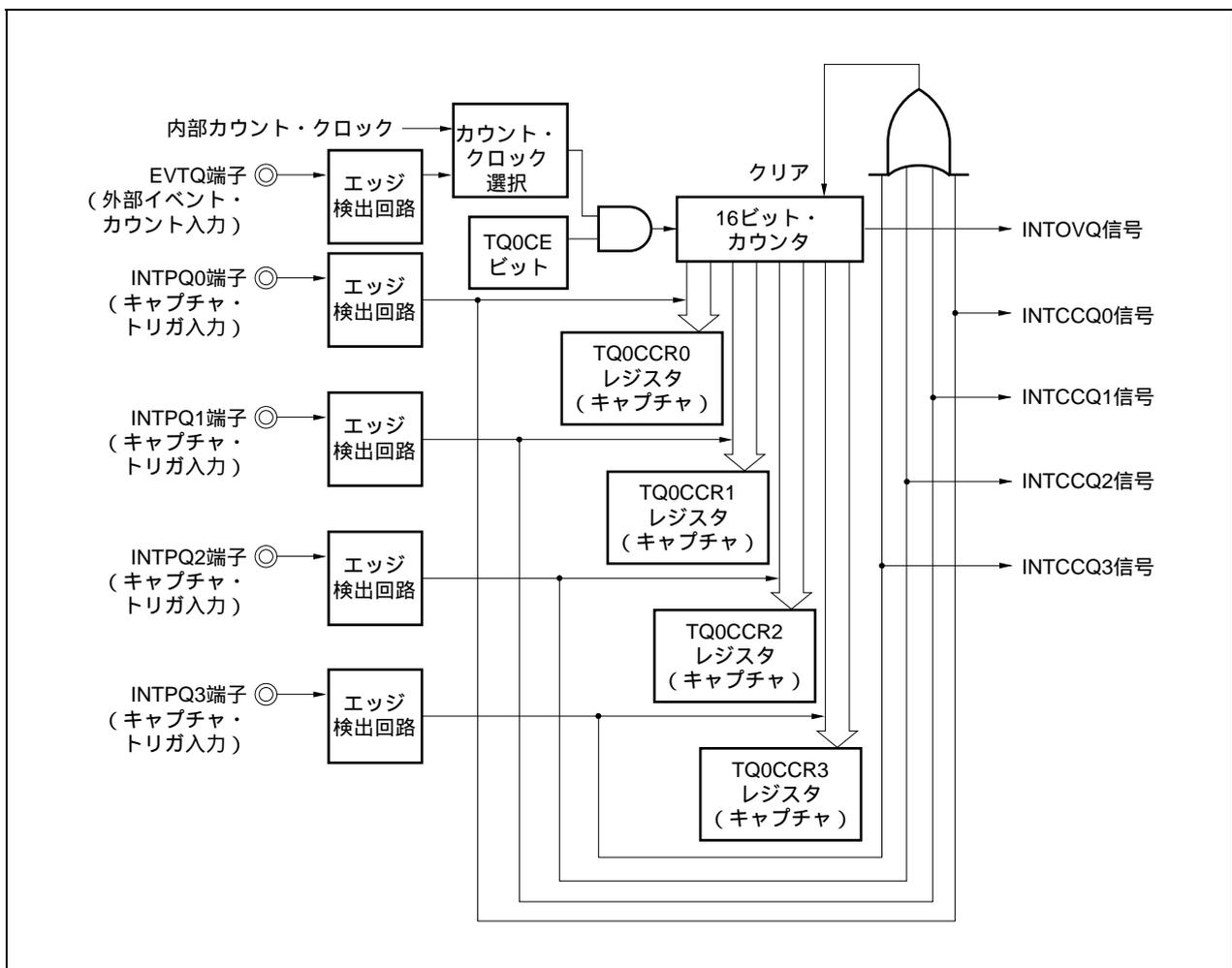
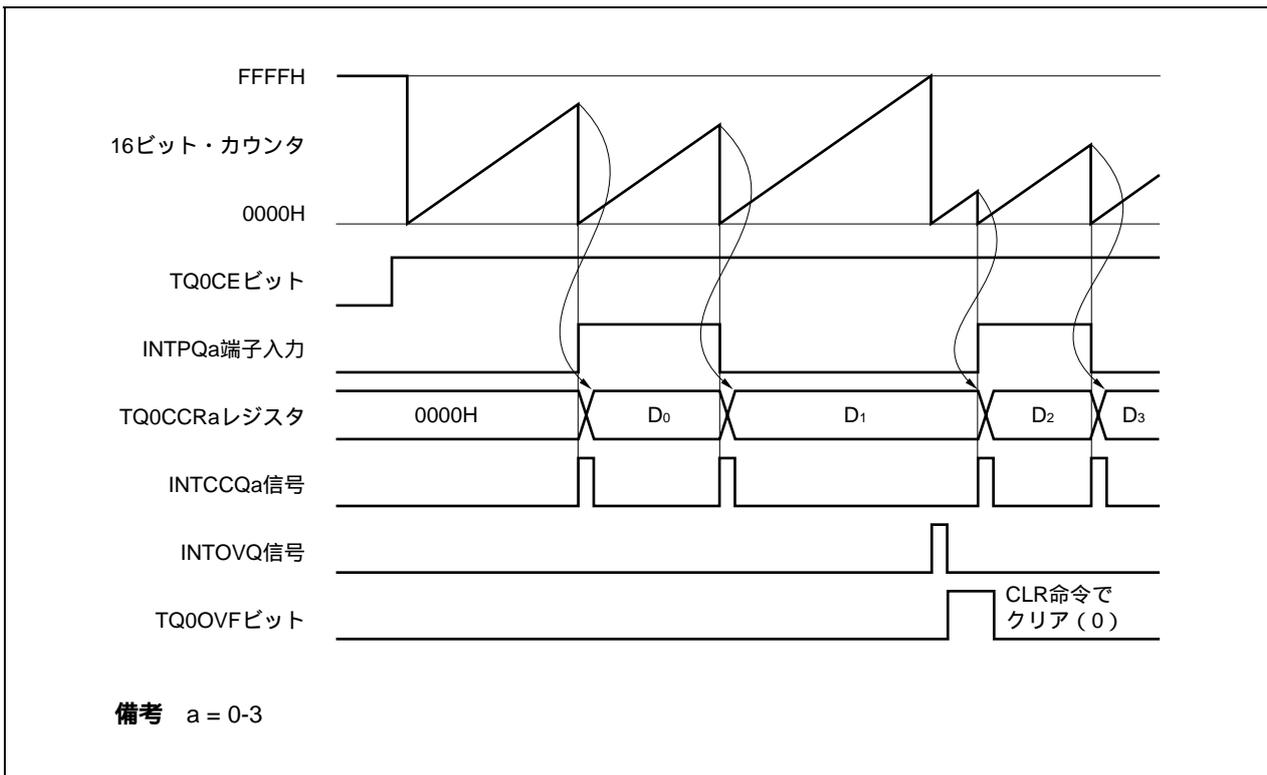


図9 - 39 パルス幅測定モードの基本タイミング



TQ0CEビットをセット(1)することで、カウント動作を開始します。その後、INTPQa端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTCCQa)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = D_N \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTOVQ)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TQ0OPT0.TQ0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000H \times \text{TQ0OVFビットがセット(1)された回数} + D_N) \times \text{カウント} \cdot \text{クロック周期}$$

備考 a = 0-3

図9 - 40 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

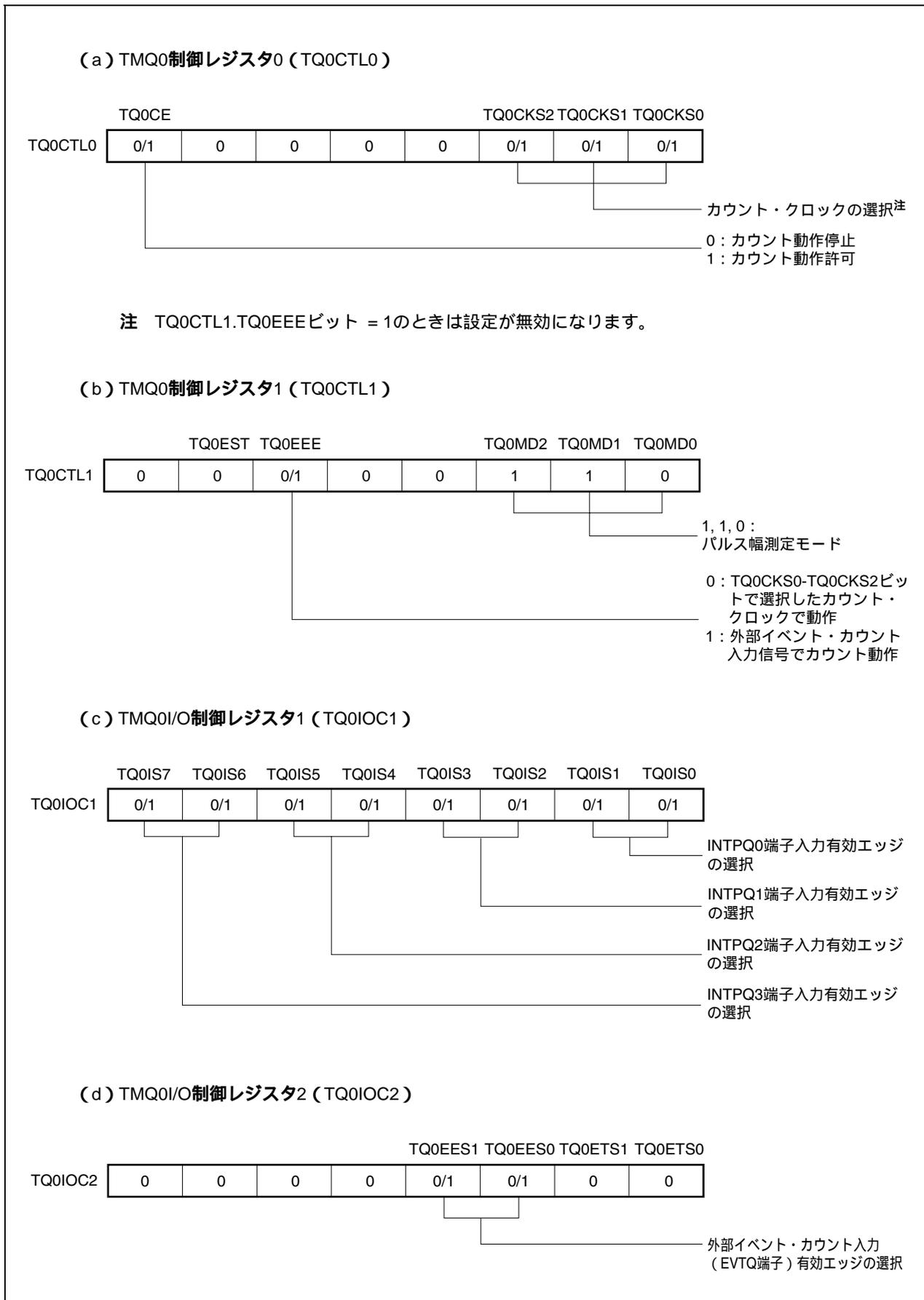


図9 - 40 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMQ0オプション・レジスタ0 (TQ0OPT0)

	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0				TQ0OVF
TQ0OPT0	0	0	0	0	0	0	0	0/1

└─ オーフロー・フラグ

(f) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

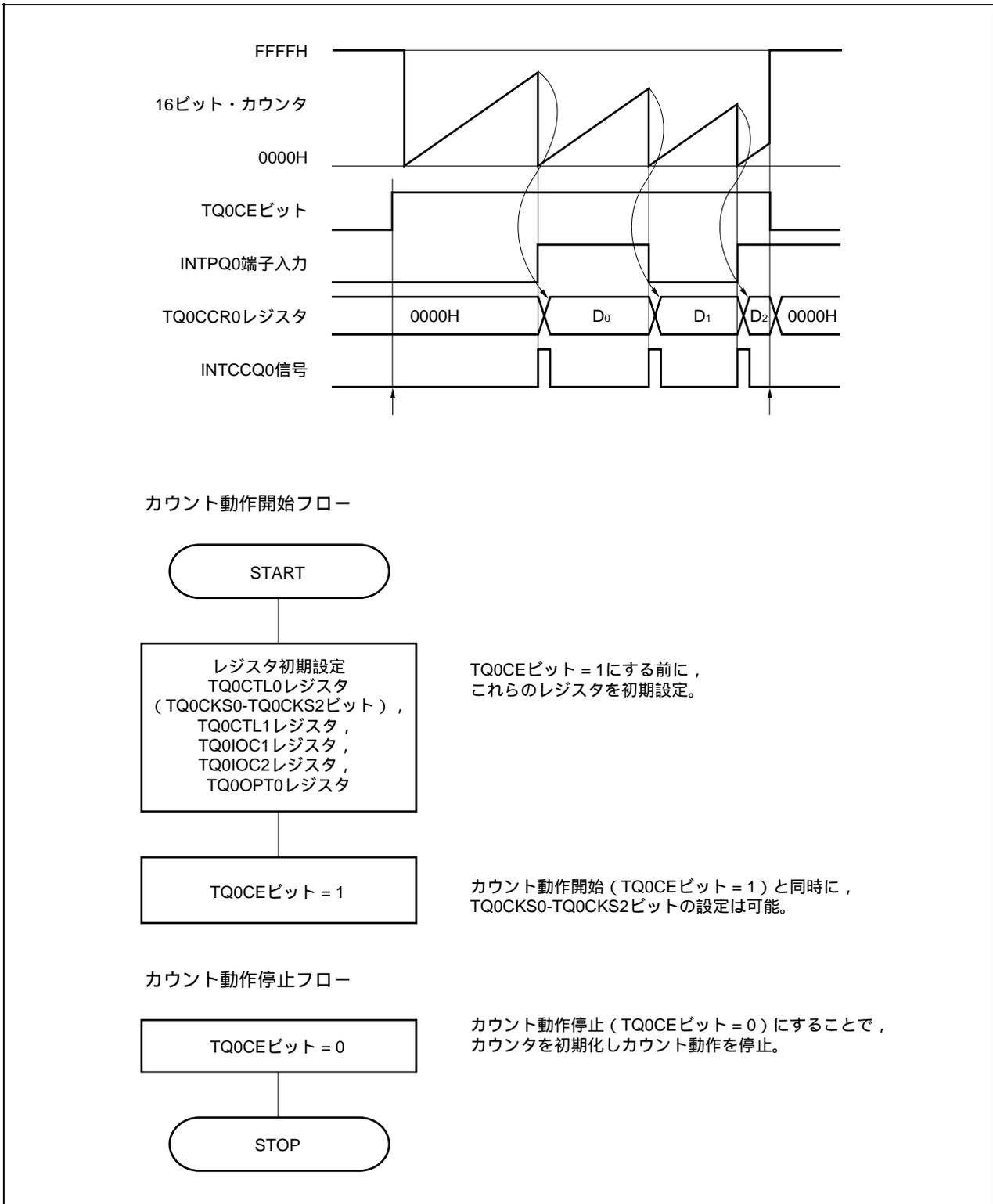
INTPQa端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

備考1. パルス幅測定モードでは、TMQ0I/O制御レジスタ0 (TQ0IOC0) は使用しません。

2. a = 0-3

(1) パルス幅測定モード動作フロー

図9 - 41 パルス幅測定モード使用時のソフトウェア処理フロー



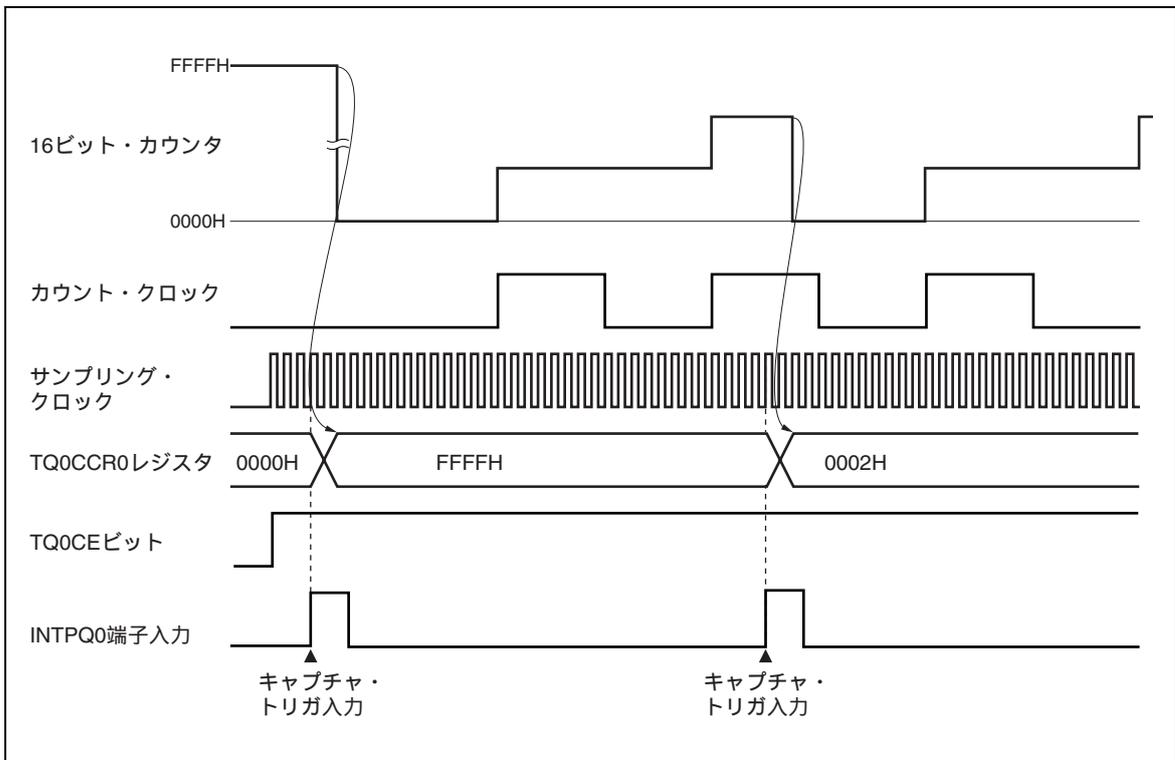
(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQ0OVFビット = 1をリードしたあとにTQ0OVFビットをCLR命令でクリア (0) する方法と、TQ0OVFビット = 1をリードしたあとにTQ0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) 注意事項

カウント・クロックとして遅いクロックを選択した場合、TQ0CTL0.TQ0CEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCRaレジスタに0000HではなくFFFFHがキャプチャされる場合があります (a = 0-3)。



第10章 16ビット・インターバル・タイマD (TMD)

タイマD (TMD) は、16ビットのインターバル・タイマです。
V850E/MA3は、TMD0-TMD3を内蔵しています。

10.1 特 徴

TMDは、16ビットのインターバル・タイマとして機能します。

10.2 機能概要

16ビット・インターバル・タイマ：4チャンネル
コンペア・レジスタ：4本
割り込み要求ソース：4要因
カウント・クロックは周辺クロックの分周から選択

10.3 構成

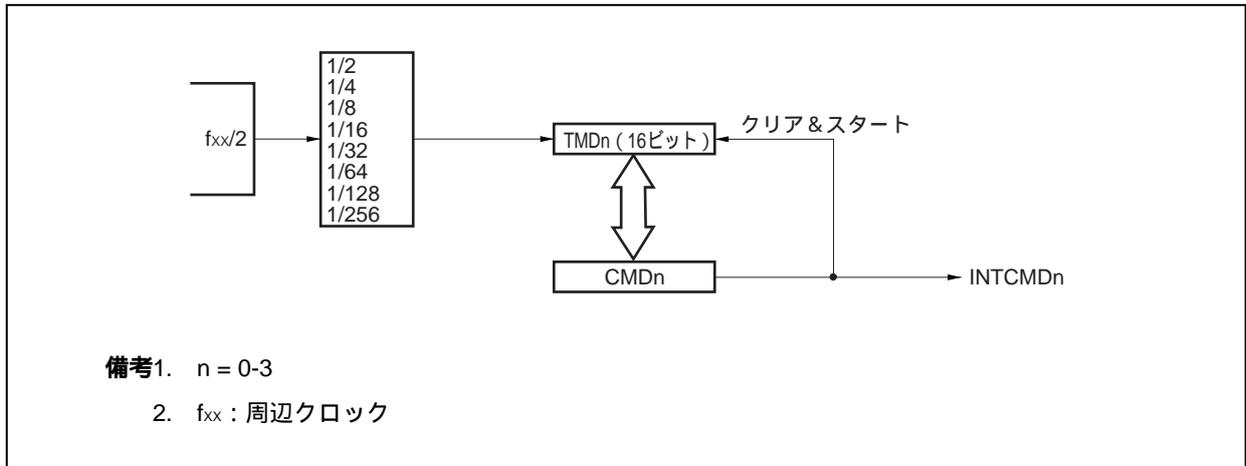
表10-1 タイマDの構成一覧

タイマ	カウント・クロック	レジスタ	リード/ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマD	f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /32, f _{xx} /64, f _{xx} /128, f _{xx} /256, f _{xx} /512	TMD0	リード	-	-	-	-
		CMD0	リード/ライト	INTCMD0	-	-	-
		TMD1	リード	-	-	-	-
		CMD1	リード/ライト	INTCMD1	-	-	-
		TMD2	リード	-	-	-	-
		CMD2	リード/ライト	INTCMD2	-	-	D/Aリアルタイム出力モード時の出力トリガ
		TMD3	リード	-	-	-	-
		CMD3	リード/ライト	INTCMD3	-	-	D/Aリアルタイム出力モード時の出力トリガ

備考 f_{xx} : 周辺クロック

S/R : セット/リセット

図10-1 タイマDのブロック図



10.3.1 タイマD0-D3 (TMD0-TMD3)

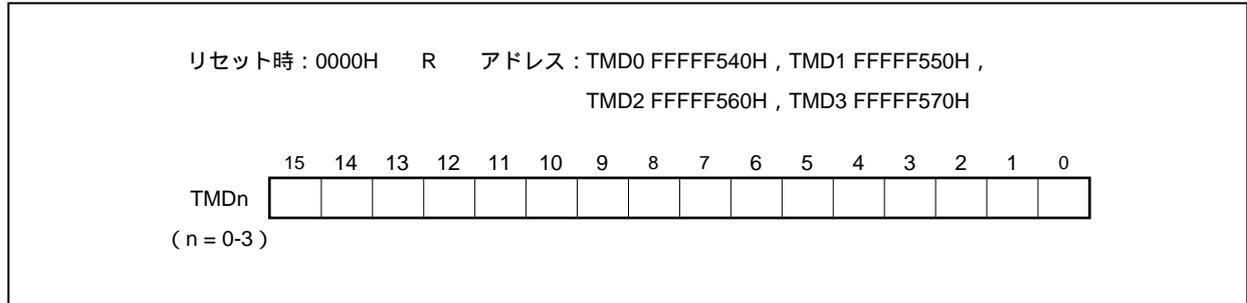
TMDnレジスタは、16ビット・タイマです。主に、ソフトウェアのためのインターバル・タイマとして利用されます ($n = 0-3$)。

TMDnレジスタのスタートおよびストップは、TMCDn.TMDCEnビットによって制御します ($n = 0-3$)。

カウント・クロックは、プリスケラによる分周を、TMCDn.CSn0-CSn2ビットにより $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$ から選択できます (f_{xx} : 周辺クロック)。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。



TMDnレジスタが0000Hになる条件を次に示します ($n = 0-3$)。

リセット入力

TMCDn.TMDCAEnビット = 0

TMCDn.TMDCEnビット = 0

TMDnレジスタとCMDnレジスタの一致

オーバフロー

- 注意1.** TMDCAEnビットをクリア (0) すると、非同期でリセットされます。
2. TMDCEnビットをクリア (0) すると、周辺クロックに同期してリセットされます。CMDnレジスタとの一致後、オーバフロー後も同様です。
 3. タイマ動作中はカウント・クロックを変更しないでください。書き換えるときは、TMDCEnビットをクリア (0) したあとに書き換えてください。
 4. TMDCEnビットに設定後、設定値が内部に伝わるまで最大4周辺クロックかかります。したがって、カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。
 5. コンペア一致が発生したあと、タイマは次のカウント・クロックでクリアされるため、分周比が大きいつきは、一致割り込み発生直後にタイマの値を読み出しても、タイマの値が0でない場合があります。
 6. TMDnレジスタの状態を初期化し、再度カウントを始める場合、4周辺クロック経過後にTMDCEnビットをセット (1) してください。

10.3.2 コンペア・レジスタD0-D3 (CMD0-CMD3)

CMDnレジスタは、TMDnレジスタのカウント値との比較を行い、一致すると割り込み要求信号 (INTCMDn) を発生します。この一致に同期してTMDnレジスタをクリアします。TMCDn.TMDCAEnビットを0にすると、非同期にリセットがかかり初期化されます (n = 0-3)。

CMDnレジスタはマスタ/スレーブ構成になっています。CMDnレジスタにライトすると、まず、マスタ・レジスタにライトされ、続いてマスタ・レジスタのデータがスレーブ・レジスタに転送されます。コンペア動作においては、スレーブ・レジスタの値とTMDnレジスタのカウント値を比較します。CMDnレジスタをリードした場合は、マスタ側の値が読み出されます。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

- 注意1.** CMDnレジスタへのライト動作は、CMDnレジスタに設定した値が内部に伝わるまで4周辺クロックかかります。CMDnレジスタに連続して書き込みを行う場合、4周辺クロック以上の時間間隔を確保してください。
- 2.** CMDnレジスタの書き換えは、TMDnレジスタの1周期 (0000HからTMDnレジスタとCMDnレジスタが一致してINTCMDn信号が発生するまで) に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCMDnレジスタを書き換えしないでください。
- 3.** TMDnレジスタ動作中、そのカウンタ値以下の値をCMDnレジスタに書き込むと、オーバフローしたあとINTCMDn信号が発生するため注意してください (図10 - 2参照)。

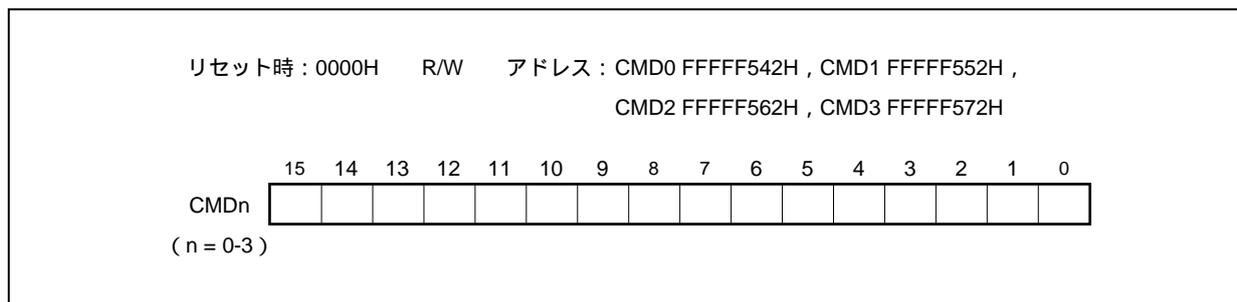
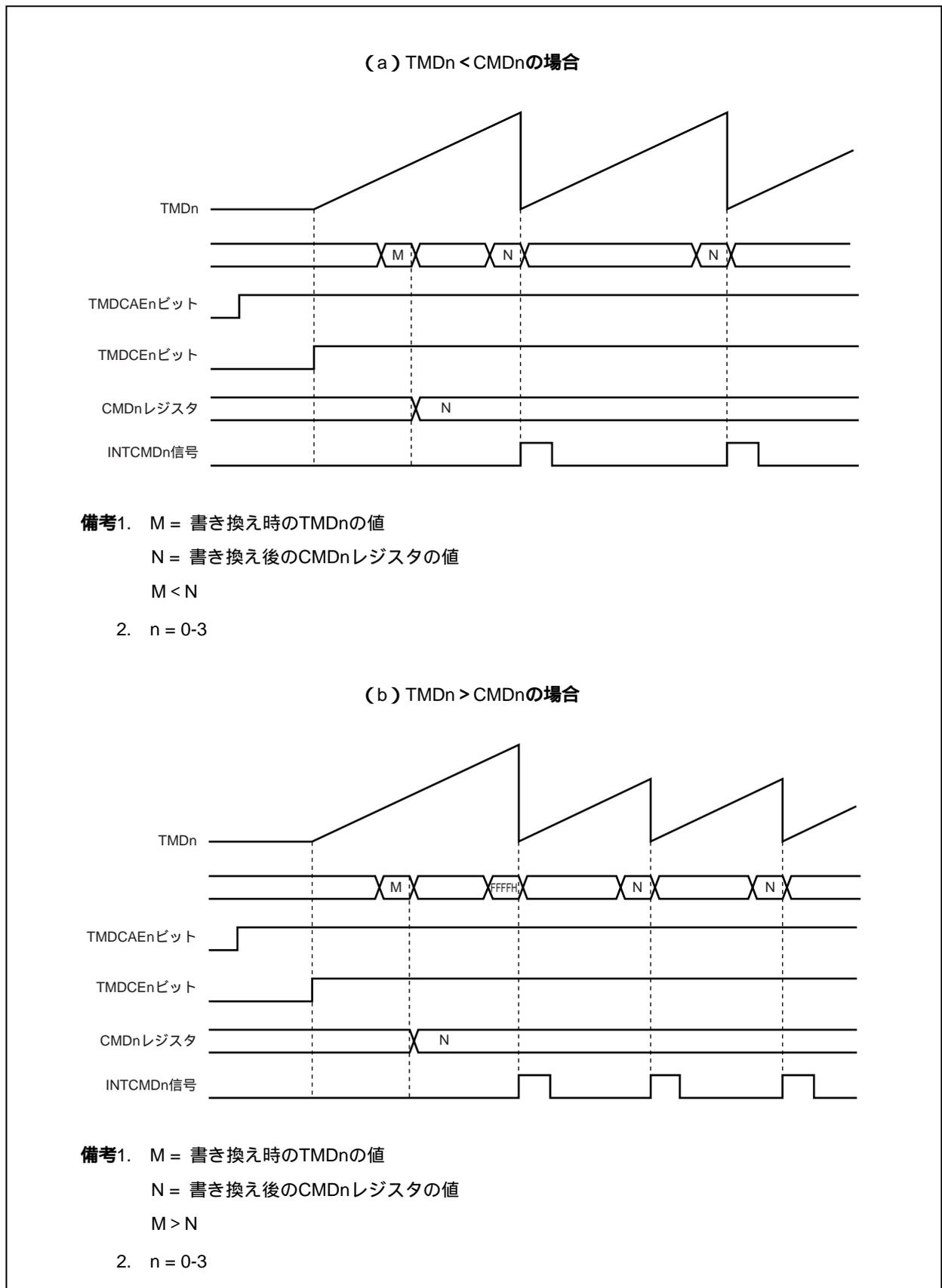


図10 - 2 TMDn動作中のタイミング例



10.4 制御レジスタ

(1) タイマ・モード・コントロール・レジスタD0-D3 (TMCD0-TMCD3)

TMCDnレジスタは、タイマDnの動作を制御するレジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 TMDCAEnビットとその他のビットは同時にはセットできません。必ずTMDCAEnビットをセットしたあとにその他のビットおよびその他のTMDnユニットのレジスタを設定してください。

リセット時：00H R/W アドレス：TMCD0 FFFFF544H, TMCD1 FFFFF554H,
TMCD2 FFFFF564H, TMCD3 FFFFF574H

	7	6	5	4	3	2	①	②
TMCDn (n = 0-3)	0	CSn2	CSn1	CSn0	0	0	TMDCEn	TMDCAEn

CSn2	CSn1	CSn0	内部カウント・クロックの選択
0	0	0	fxx/4
0	0	1	fxx/8
0	1	0	fxx/16
0	1	1	fxx/32
1	0	0	fxx/64
1	0	1	fxx/128
1	1	0	fxx/256
1	1	1	fxx/512

タイマ動作中にCSn2-CSn0ビットを変更しないでください。変更する場合にはTMDCEnビット = 0にしてから行ってください。動作中に書き換えた場合、その動作は保証できません。

TMDCEn	タイマDnの動作の制御
0	カウント動作禁止 (0000Hで停止し、動作しません)
1	カウント動作許可

TMDCEnビットはコンペア動作で一致を検出してもクリアされません。カウント動作を停止する場合は、TMDCEnビットをクリアしてください。

TMDCAEn	カウント・クロックの制御
0	TMDnユニット全体を非同期にリセット。TMDnユニットへのクロック供給を停止。
1	クロックをTMDnユニットへ供給

- ・ TMDCAEnビット = 0にすると、TMDnユニットを非同期にリセットすることができます。
- ・ TMDCAEnビット = 0の場合は、TMDnユニットはリセット状態なので、TMDnを動作させる場合には、まずTMDCAEnビット = 1にしてください。
- ・ TMDCAEnビットを1から0にした場合は、TMDnユニットのすべてのレジスタが初期化されます。再度TMDCAEnビット = 1にする場合には、TMDCAEnビット = 1設定後、必ずTMDnユニットのすべてのレジスタを再設定してください。

備考 fxx : 周辺クロック

10.5 動作

10.5.1 コンペア動作

タイマD_nでは、コンペア・レジスタ (CMD_n) に設定した値とTMD_nレジスタのカウンタ値を比較するコンペア動作を行います。

コンペア動作で一致を検出すると割り込み要求信号 (INTCMD_n) を発生します。割り込み要求信号発生により、次のカウンタ・タイミングでTMD_nレジスタはクリア (0) されます。この機能により、タイマDをインターバル・タイマとして使用します。

CMD_nレジスタには0を設定することもできます。この場合はオーバフローしてTMD_nレジスタが0になるとともに一致を検出しINTCMD_n信号が発生します。次のカウンタ・タイミングでTMD_nレジスタの値をクリア (0) しますが、この一致では、INTCMD_n信号は発生しません。

備考 n = 0-3

図10-3 TMD0コンペア動作例 (1/2)

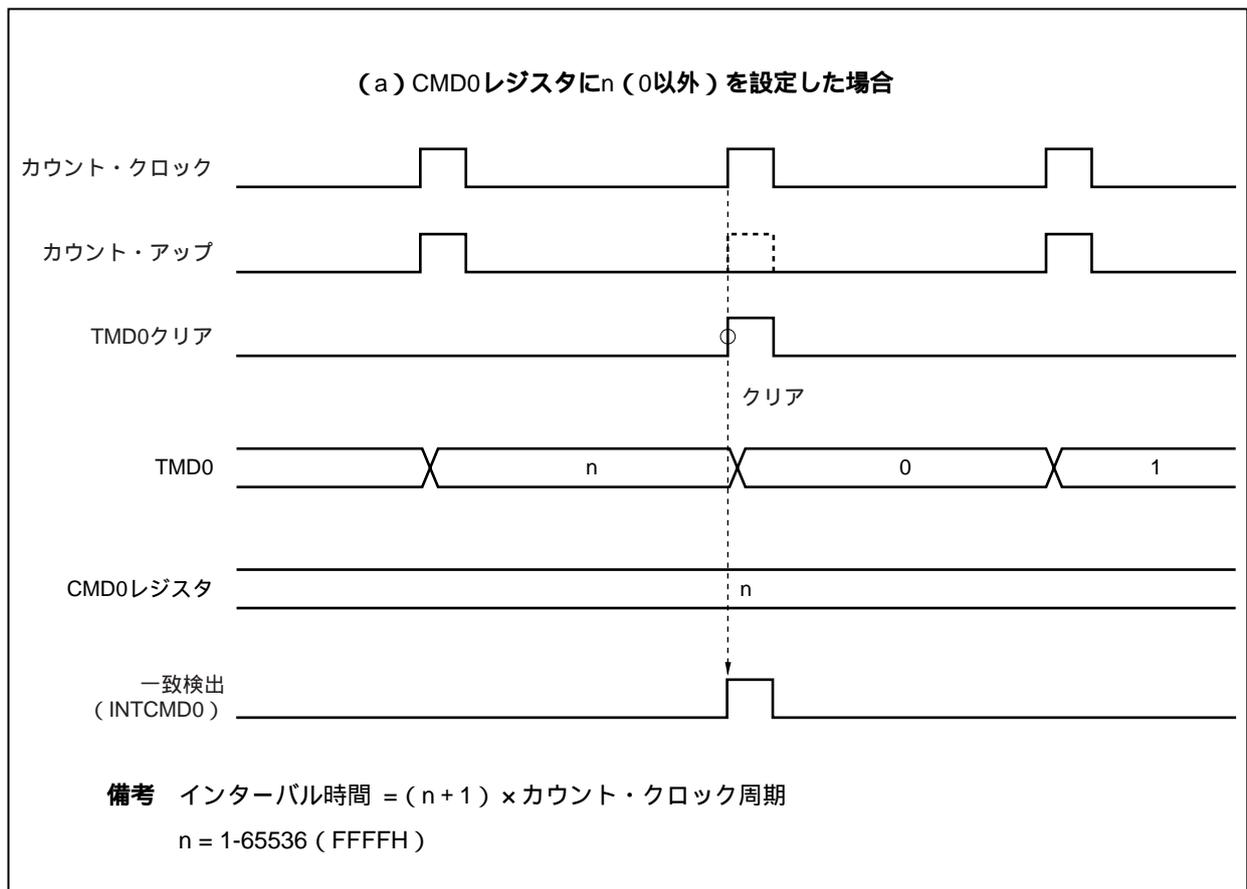
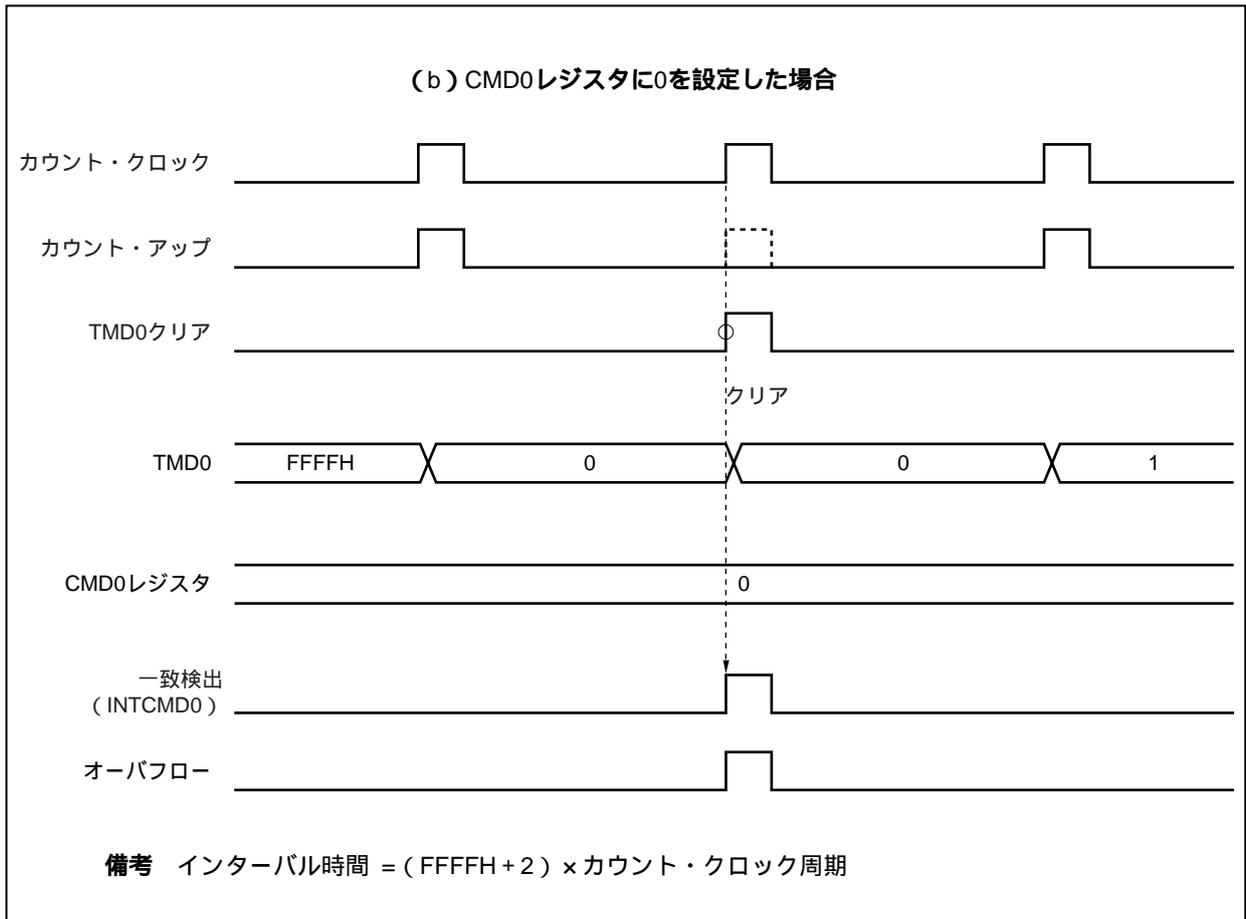


図10 - 3 TMD0コンペア動作例 (2/2)



10.6 使用例

(1) インターバル・タイマ

16ビット精度でインターバル・タイマとして使用する例について説明します。

同一間隔で割り込み要求信号 (INTCMDn) を出力します (図10-3 TMD0コンペア動作例参照)。設定方法を次に示します (n = 0-3)。

TMCDn.TMDCAEnビットをセット (1) します。

各レジスタの設定を行います。

- ・ TMCDn.CSn0-CSn2ビットでカウント・クロックを選択します。
- ・ CMDnレジスタにコンペア値を設定します。

TMCDn.TMDCEnビットをセット (1) し、カウントをスタートさせます。

TMDnレジスタとCMDnレジスタの値が一致すると、INTCMDn信号が発生します。

以後、同一間隔でINTCMDn信号が発生します。

備考 n = 0-3

10.7 注意事項

タイマDについての注意事項を次に示します。

- (1) TMDnを動作させる場合には、最初にTMCDn.TMDCAEnビットをセット(1)してください。
- (2) TMCDn.TMDCEnビットに設定後、設定した値が内部に伝わるまでに最大4周辺クロックかかります。カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。
- (3) TMDnレジスタの状態を初期化し再度カウントを開始する場合、TMDCEnビットをクリア(0)し、4周辺クロックを経過したら、TMDCEnビットをセット(1)してください。
- (4) CMDnレジスタに設定した値が内部に伝わるまでに最大4周辺クロックかかります。CMDnレジスタに連続して書き込みを行う場合、4周辺クロック以上の時間を確保してください。
- (5) タイマ/カウンタ動作中のCMDnレジスタの書き換えは、タイマ/カウンタの1周期(0000HからTMDnレジスタとCMDnレジスタが一致してINTCMDn信号が発生するまで)に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCMDnレジスタを書き換えしないでください。
- (6) タイマ動作中はカウント・クロックを変更できません。書き換えは、TMDCEnビットをクリア(0)したあとに行ってください。動作中に書き換えた場合の動作は保証できません。
- (7) TMDnレジスタが動作中、そのカウンタ値以下の値をCMDnレジスタに書き込むと、オーバフローしたあとINTCMDn信号が発生します。

備考 n = 0-3

第11章 16ビット・2相エンコーダ入力用アップ/ ダウン・カウンタ / 汎用タイマ (TMENC1)

タイマENC1 (TMENC1) は、16ビットの2相エンコーダ入力用アップ/ダウン・カウンタ / 汎用タイマです。
V850E/MA3は、TMENC10を内蔵しています。

11.1 機 能

タイマENC1 (TMENC1) の機能を次に示します。

- ・汎用タイマ・モード (11.5.1 汎用タイマ・モードでの動作参照)
フリー・ランニング・タイマ
タイマ出力
- ・アップ/ダウン・カウンタ・モード (11.5.2 UDCモードでの動作参照)
UDCモードA (モード1, モード2, モード3, モード4)
UDCモードB (モード1, モード2, モード3, モード4)

11.2 特 徴

- 16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ / 汎用タイマ : 1チャンネル
- コンペア・レジスタ : 2本
- キャプチャ / コンペア・レジスタ : 2本
- 割り込み要求ソース
 - ・キャプチャ / コンペア一致割り込み要求 : 2種
 - ・コンペア一致割り込み要求 : 2種
- キャプチャ要求信号 : 2種
 - ・キャプチャ / コンペア・レジスタに対応するINTP10, INTP11端子の有効エッジをキャプチャ・トリガとして、TMENC10の値をラッチすることが可能です。
- カウント・クロックはプリスケアラによる分周から選択
- タイマ出力機能
- 汎用タイマ・モード時に16ビット分解能のタイマ出力をTO10端子より出力可能

タイマ・クリア

使用するモードに応じて次のようにタイマ・クリア動作を行います。

- (a) 汎用タイマ・モード時：CM100レジスタ設定値との一致でタイマ・クリア動作が可能です。
- (b) アップ/ダウン・カウント・モード：タイマ・クリア動作を次の4つの条件から選択可能です。
 - (i) TMENC10がアップ・カウント中にCM100レジスタ設定値との一致でタイマ・クリア動作を行い、TMENC10がダウン・カウント中にCM101レジスタ設定値との一致でタイマ・クリア動作を行います。
 - (ii) 外部入力のみでタイマ・クリア動作を行います。
 - (iii) TMENC10のカウント値とCM100レジスタ設定値との一致でタイマ・クリア動作を行います。
 - (iv) 外部入力およびTMENC10のカウント値とCM100レジスタ設定値との一致でタイマ・クリア動作を行います。

外部パルス出力 (TO10) : 1本

11.3 構成

次に基本構成を示します。

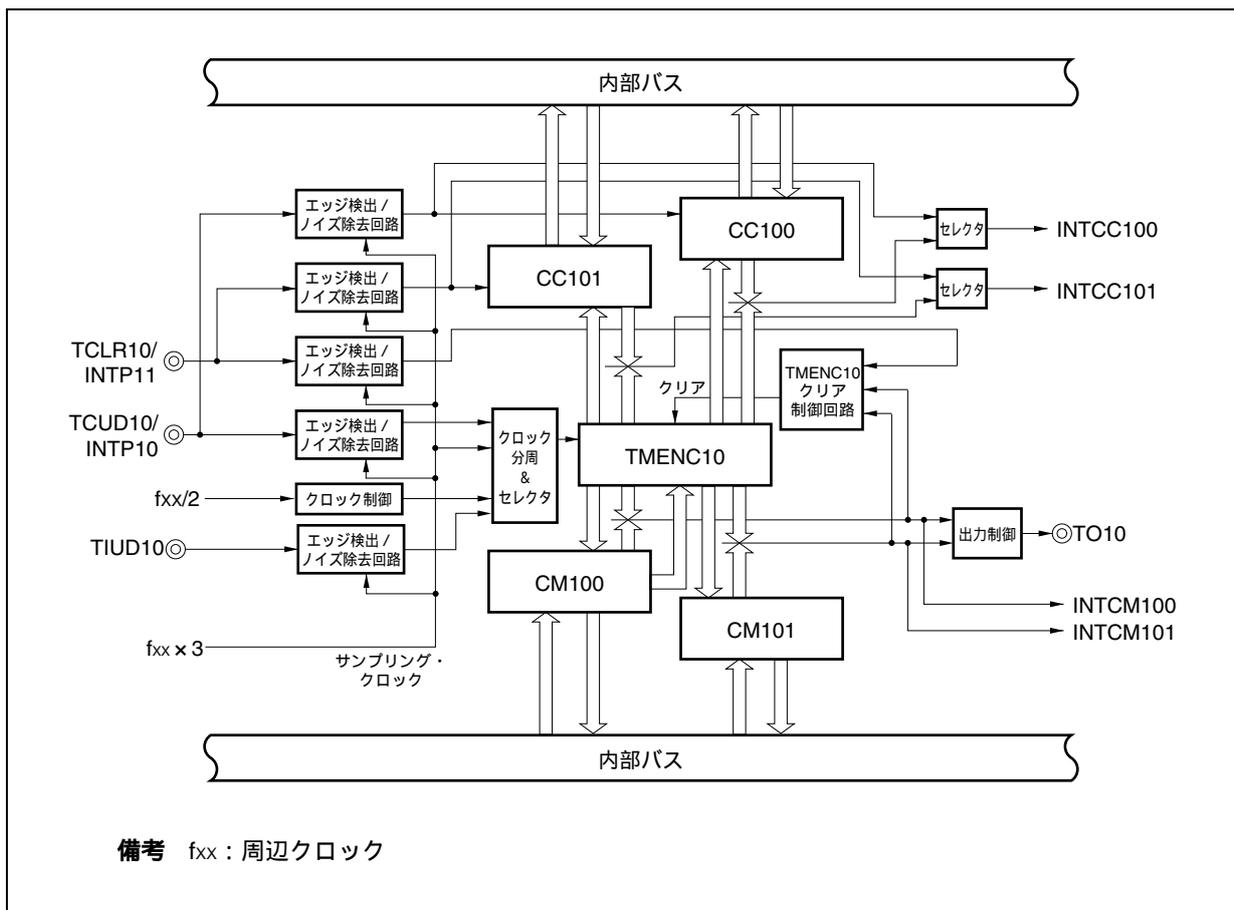
表11-1 タイマENC1の構成一覧

タイマ	カウント・クロック	レジスタ	リード/ライト	発生する割り込み要求信号	キャプチャ・トリガ
タイマ ENC1	fxx/4, fxx/8, fxx/16, fxx/32, fxx/64, fxx/128, fxx/256	TMENC10	リード/ライト	-	-
		CM100	リード/ライト	INTCM100	-
		CM101	リード/ライト	INTCM101	-
		CC100	リード/ライト	INTCC100	INTP10
		CC101	リード/ライト	INTCC101	INTP11

備考 fxx : 周辺クロック

図11-1にタイマENC1のブロック図を示します。

図11-1 タイマENC1のブロック図



(1) タイマENC10 (TMENC10)

TMENC10は汎用タイマ (汎用モード時) および2相エンコーダ入力用アップ/ダウン・カウンタ (UDCモード時) として機能します。

動作モードが汎用モード時にはアップ・カウント, UDCモード時にはアップ/ダウン・カウントを行います。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

- 注意1.** TMENC10へのライト動作は, TMC10.CE101ビット = 0(カウント動作禁止)時のみ許可します。
2. TMENC10の連続読み出しは禁止します。TMENC10の連続読み出しを行った場合, 2回目の読み出し値が実際の値と異なる可能性があります。TMENC10を2回読み出す必要がある場合は, 必ず1回目と2回目の間にほかのレジスタを読み出してください。
3. TMENC10, CC100, CC101レジスタとSTATUS10レジスタは同値書き込みを禁止します。CCR10, TUM10, TMC10, SESA10, PRM10レジスタとCM100, CM101レジスタは同値書き込みを許可します (カウント動作中においても同値書き込みを保証します)。



TMENC10のスタートおよびストップは, TMC10.CE101ビットによって制御します。

TMENC10の動作には次に示す2つのモードがあります。

(a) 汎用タイマ・モード

汎用タイマ・モードでは, 16ビットのインターバル・タイマ, フリー・ランニング・タイマ, またはタイマ出力用として動作します。

ソフトウェアで選択されたクロックをもとに, カウント動作を行います。カウント・クロックはプリスケラによる分周をPRM10.PRM102-PRM100ビットにより, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$ から選択できます (f_{xx} : 周辺クロック)。

(b) アップ/ダウン・カウンタ・モード (UDCモード)

UDCモードでは, 16ビットのアップ/ダウン・カウンタとして動作します。TCUD10, TIUD10の入力信号をもとにカウント動作を行います。なお, このモードは, TMENC10のクリア条件により, UDCモードAとUDCモードBの2種類のモードがあります。

- 注意1.** TCUD10端子とINTP10端子は兼用構成となります。このため, UDCモード時には, TCUD10端子が使用されるため, INTP10端子による外部キャプチャ機能は使用できません。
2. TCLR10端子とINTP11端子は兼用構成となります。このため, UDCモードA時にTCLR10入力を使用する場合には, INTP11端子による外部キャプチャ機能は使用できません。

TMENC10が動作中にクリアされる条件は動作モードにより次のように分類できます。

表11 - 2 タイマENC1 (TMENC10) のクリア条件

動作モード	TUM10レジスタ		TMC10レジスタ			TMENC10のクリア
	T1CMD0 ビット	MSEL0 ビット	ENMD10 ビット	CLR101 ビット	CLR100 ビット	
汎用タイマ・モード	0	0	0	×	×	クリア動作を行わない (フリー・ランニング・タイマ)
			1	×	×	CM100レジスタ設定値と一致でクリア
UDCモードA	1	0	×	0	0	TCLR10入力のみでクリア
			×	0	1	アップ・カウント中のCM100レジスタ設定値との一致でクリア
			×	1	0	TCLR10入力もしくはアップ・カウント中のCM100レジスタ設定値との一致でクリア
			×	1	1	クリア動作を行わない
UDCモードB	1	1	×	×	×	アップ・カウント中のCM100レジスタ設定値との一致でクリアもしくはダウン・カウント中のCM101レジスタ設定値との一致でクリア
上記設定以外						設定禁止

備考 × : 該当ビットの設定値は無視されることを示します。

11.4 制御レジスタ

(1) タイマ・ユニット・モード・レジスタ10 (TUM10)

TUM10レジスタは、TMENC10の動作モード指定、タイマ出力端子の動作制御などを行う8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1.** TMENC10動作中 (TMC10.CE101ビット = 1) にTUM10レジスタの内容を変更することは禁止します。
- 2.** T1CMD0ビット = 0 (汎用タイマ・モード) 時に、MSEL0ビット = 1 (UDCモードB) の設定は禁止します。

リセット時：00H R/W アドレス：FFFFFF5CBH									
	7	6	5	4	3	2	1	0	
TUM10	T1CMD0	0	0	0	TOE100	ALVT100	0	MSEL0	
T1CMD0		TMENC10の動作モード指定							
0		汎用タイマ・モード (アップ・カウント)							
1		UDCモード (アップ/ダウン・カウント)							
TOE100		タイマ出力 (TO10) の許可指定							
0		出力禁止							
1		出力許可							
T1CMD0ビット = 1 (UDCモード) のときは、TOE100ビットの指定にかかわらず、タイマ出力は行いません。その際タイマ出力は、ALVT100ビットの設定レベルの逆相レベルを出力します。									
ALVT100		タイマ出力 (TO10) のアクティブ・レベル指定							
0		アクティブ・レベルはハイ・レベル							
1		アクティブ・レベルはロウ・レベル							
T1CMD0ビット = 1 (UDCモード) のときは、TOE100ビットの指定にかかわらず、タイマ出力は行いません。その際タイマ出力は、ALVT100ビットの設定レベルの逆相レベルを出力します。									
MSEL0		UDCモード (アップ/ダウン・カウント) 時の動作を指定します。							
0		UDCモードA TMENC10は、TMC10.CLR101, CLR100ビットの設定によるクリアが可能							
1		UDCモードB TMENC10は次の場合にクリア動作を行います。 ・TMENC10がアップ・カウント中のCM100レジスタとの一致でクリア ・TMENC10がダウン・カウント中のCM101レジスタとの一致でクリア							
UDCモードB設定時は、TMC10.ENMD10, CLR101, CLR100ビットは無効になります。									

(2) タイマ・コントロール・レジスタ10 (TMC10)

TMC10レジスタは、TMENC10の動作許可/禁止、転送およびタイマ・クリア動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 TMENC10動作中 (CE101ビット = 1) にCE101ビット以外のTMC10レジスタの内容を変更することは禁止します。

リセット時 : 00H R/W アドレス : FFFFF5CCH

	7	⑥	5	4	3	2	1	0
TMC10	0	CE101	0	0	RLEN10	ENMD10	CLR101	CLR100

CE101	TMENC10の動作制御
0	カウント動作禁止
1	カウント動作許可

RLEN10	CM100レジスタからTMENC10への転送動作の指定
0	転送動作禁止
1	転送動作許可

・ RLEN10 = 1のとき, TMENC10のアンダフローによりTMENC10にはCM100レジスタに設定されている値が転送されます。

・ RLEN10ビットはUDCモードA時 (TUM10.T1CMD0ビット = 1, MSEL0ビット = 0) のみ有効です。汎用タイマ・モード時 (T1CMD0 = 0) およびUDCモードB時 (T1CMD0ビット = 1, MSEL0ビット = 1) は, RLEN10ビットをセット (1) しても転送動作は行いません。

ENMD10	汎用タイマ・モード時のTMENC10のクリア動作の制御
0	クリア禁止 (フリー・ランニング・モード) TMENC10はCM100レジスタと一致してもクリア動作は行いません。
1	クリア許可 TMENC10はCM100レジスタと一致するとクリア動作を行います。

UDCモード (TUM10.T1CMD0ビット = 1) のとき, ENMD10ビットの設定は無効になります。

CLR101	CLR100	TMENC10のクリア要因の指定
0	0	外部入力 (TCLR10) のみでクリア
0	1	TMENC10カウント値とCM100レジスタ設定値との一致でクリア
1	0	TCLR10入力もしくは, TMENC10カウント値とのCM100レジスタ設定値との一致でクリア
1	1	クリアなし

・ TMENC10カウント値とCM100レジスタ設定値との一致によるクリアは, TMENC10がアップ・カウント動作時のみ有効です (TMENC10がダウン・カウント中の場合は, TMENC10クリア動作は行いません)。

・ 汎用タイマ・モード (TUM10.T1CMD0ビット = 0) のとき, CLR101, CLR100ビットの設定は無効となります。

・ UDCモードB (TUM10.MSEL0ビット = 1) のとき, CLR101, CLR100ビットの設定は無効となります。

・ CLR101, CLR100ビットでTCLR10でのクリアを有効にした場合, CE101ビットが1, 0いずれの場合でもクリアされます。

(3) キャプチャ/コンペア・コントロール・レジスタ10 (CCR10)

CCR10レジスタは, CC100, CC101レジスタの動作モードを指定します。

8ビット単位でリード/ライト可能です。

リセットにより00Hなります。

- 注意1. TMENC10動作中 (TMC10.CE101ビット = 1) にCCR10レジスタを書き換えることは禁止します。
2. TCUD10端子とINTP10端子は兼用構成となります。このため, UDCモード時には, TCUD10端子が使用されるため, INTP10端子による外部キャプチャ機能は使用できません。
 3. TCLR10端子とINTP11端子は兼用構成となります。このため, UDCモードA時にTCLR10入力を使用する場合には, INTP11端子による外部キャプチャ機能は使用できません。

リセット時: 00H R/W アドレス: FFFFF5CAH

	7	6	5	4	3	2	1	0
CCR10	0	0	0	0	0	0	CMS01	CMS00

CMS01	CC101レジスタの動作モード指定
0	キャプチャ・レジスタとして動作
1	コンペア・レジスタとして動作

CMS00	CC100レジスタの動作モード指定
0	キャプチャ・レジスタとして動作
1	コンペア・レジスタとして動作

(4) 有効エッジ選択レジスタ10 (SESA10)

SESA10レジスタは, 外部端子による外部割り込み要求信号 (INTP10, INTP11, TIUD10, TCUD10, TCLR10) の有効エッジを指定するレジスタです。

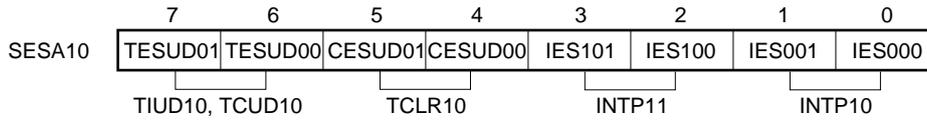
有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, または立ち上がり/立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. TMENC10動作中 (TMC10.CE101ビット = 1) にSESA10レジスタの各ビットを変更することは禁止します。
2. INTP10, INTP11, TIUD10, TCUD10, TCLR10端子のトリガ・モードを設定する場合はPMC0, PMC2レジスタを設定したあとで行ってください。SESA10レジスタを設定したあとでPMC0, PMC2レジスタの設定を行うと, PMC0, PMC2レジスタの設定タイミングで不正な割り込みや誤カウント, 誤クリアが発生することがあります。

リセット時 : 00H R/W アドレス : FFFFF5CDH



TESUD01	TESUD00	TIUD10,TCUD10端子の有効エッジの指定
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり両エッジ

・ TESUD01, TESUD00ビットは、UDCモードA, UDCモードB時のみ設定が有効です。
 ・ TMENC10の動作がモード4に設定されている場合 (PRM10.PRM102-PRM100ビットで指定) には、TIUD10, TCUD10端子に対する有効エッジの指定 (TESUD01, TESUD00ビット) は無効です。

CESUD01	CESUD00	TCLR10端子の有効エッジの指定
0	0	立ち下がリエッジ (エッジ検出後、TMENC10をクリア)
0	1	立ち上がリエッジ (エッジ検出後、TMENC10をクリア)
1	0	ロウ・レベル (TMENC10はクリアを保持)
1	1	ハイ・レベル (TMENC10はクリアを保持)

・ CESUD01, CESUD00ビットは、UDCモードA時のみ、設定が有効です。

IES101	IES100	INTP11端子の有効エッジの指定
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり両エッジ

IES001	IES000	INTP10端子の有効エッジの指定
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり両エッジ

(5) プリスケーラ・モード・レジスタ10 (PRM10)

PRM10レジスタは、次の選択を行うレジスタです。

- ・汎用タイマ・モード (TUM10.T1CMD0ビット = 0) 時のカウント・クロックを選択します。
- ・UDCモード時 (TUM10.T1CMD0ビット = 1) 時にカウント動作モードを選択します。

8ビット単位でリード/ライト可能です。

リセットにより07Hになります。

注意1. TMENC10動作中 (TMC10.CE101ビット = 1) にPRM10レジスタを書き換えることは禁止します。

2. UDCモード (TUM10.T1CMD0ビット = 1) のとき, PRM102ビット = 0の設定は禁止します。

3. TMENC10動作がモード4に指定されている場合には, TIUD10, TCUD10端子に対する有効エッジの指定は無効となります。

リセット時 : 07H R/W アドレス : FFFFF5CEH

	7	6	5	4	3	2	1	0
PRM10	0	0	0	0	0	PRM102	PRM101	PRM100

PRM102	PRM101	PRM100	T1CMD0 = 0	T1CMD0 = 1	
			カウント・クロック	カウント・クロック	UDCモード
0	0	0	設定禁止	設定禁止	
0	0	1	fxx/4		
0	1	0	fxx/8		
0	1	1	fxx/16		
1	0	0	fxx/32	TIUD10	モード1
1	0	1	fxx/64		モード2
1	1	0	fxx/128		モード3
1	1	1	fxx/256		モード4

備考 fxx : 周辺クロック

(a) 汎用タイマ・モード (TUM10.T1CMD0ビット = 0) 時

カウント・クロックはPRM102-PRM100ビットで指定します。

(b) UDCモード (TUM10.T1CMD0ビット = 1) 時

UDCモード時のTMENC10のカウンタ要因を次に示します。

動作モード	TMENC10の動作
モード1	TCUD10 = ハイ・レベルのとき, ダウン・カウント TCUD10 = ロウ・レベルのとき, アップ・カウント
モード2	TIUD10入力の有効エッジ検出でアップ・カウント TCUD10入力の有効エッジ検出でダウン・カウント
モード3	TCUD10 = ハイ・レベルのとき, TIUD10入力の有効エッジ検出でアップ・カウント TCUD10 = ロウ・レベルのとき, TIUD10入力の有効エッジ検出でダウン・カウント
モード4	TIUD10入力の両エッジおよびTCUD10入力の両エッジ検出で自動判別

(6) ステータス・レジスタ10 (STATUS10)

STATUS10レジスタは、TMENC10の動作状態を示すレジスタです。

8/1ビット単位でリードだけ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス： FFFFF5CFH

	7	6	5	4	3	②	①	①
STATUS10	0	0	0	0	0	UDF10	OVF10	UBD10

UDF10	TMENC10のアンダフロー・フラグ
0	TMENC10のカウンタ・アンダフロー発生なし
1	TMENC10のカウンタ・アンダフロー発生あり
UDF10ビットは、CPUからSTATUS10レジスタへのリード・アクセス終了後にクリア(0)されます。 アンダフロー発生とこのレジスタのリードが競合した場合、UDF10 = 1がセット(1)されないことがあります。	

OVF10	TMENC10のオーバーフロー・フラグ
0	TMENC10のカウンタ・オーバーフロー発生なし
1	TMENC10のカウンタ・オーバーフロー発生あり
OVF10ビットは、CPUからSTATUS10レジスタへのリード・アクセス終了後にクリア(0)されます。 オーバーフロー発生とこのレジスタのリードが競合した場合、OVF10 = 1がセット(1)されないことがあります。	

UBD10	TMENC10のアップ/ダウン・カウンタ動作状態
0	TMENC10のアップ・カウンタ動作中
1	TMENC10のダウン・カウンタ動作中
UBD10ビットはモードにより次のようになります。 ・汎用タイマ・モード (TUM10.T1CMD0ビット = 0) 時 UBD10ビットは“0”固定です。 ・UDCモード (TUM10.T1CMD0ビット = 1) 時 TMENC10のアップ/ダウン状態を表示します。	

(7) コンペア・レジスタ100 (CM100)

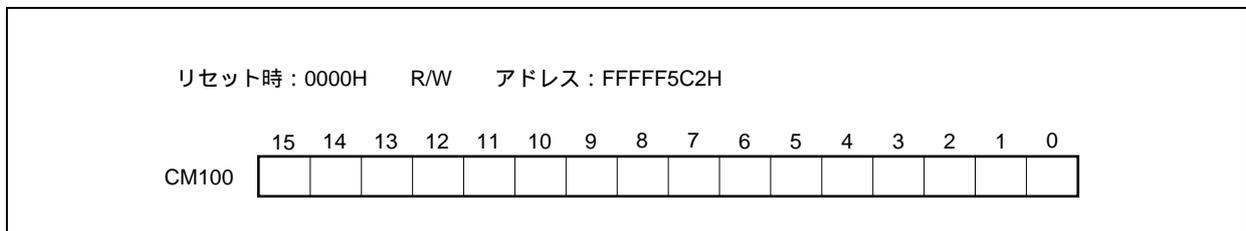
CM100レジスタは、16ビットのレジスタで、TMENC10と常に比較動作を行い、一致を検出すると割り込み要求信号を発生します。次に各モードでの割り込み要求信号発生タイミングを示します。

- ・汎用タイマ・モード (TUM10.T1CMD0ビット = 0) , UDCモードA (TUM10.MSEL0ビット = 0) 時は、一致検出により割り込み要求信号 (INTCM100) を発生します。
- ・UDCモードB (TUM10.MSEL0ビット = 1) 時は、アップ・カウント中の一致検出時のみ割り込み要求信号 (INTCM100) を発生します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 TMC10.CE101ビット = 1のときには、CM100レジスタの値を書き換えることは禁止します。



(8) コンペア・レジスタ101 (CM101)

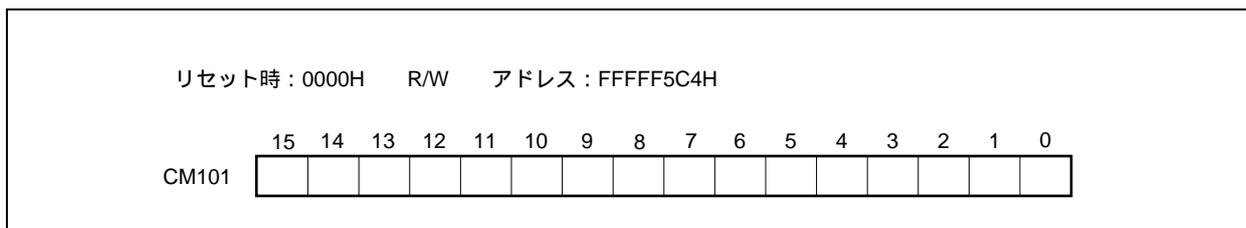
CM101レジスタは、16ビットのレジスタで、TMENC10と常に比較動作を行い、一致を検出すると割り込み要求信号を発生します。次に各モードでの割り込み要求信号発生タイミングを示します。

- ・汎用タイマ・モード (TUM10.T1CMD0ビット = 0) , UDCモードA (TUM10.MSEL0ビット = 0) 時は、一致検出により割り込み要求信号 (INTCM101) を発生します。
- ・UDCモードB (TUM10.MSEL0ビット = 1) 時は、ダウン・カウント中の一致検出時のみ割り込み要求信号 (INTCM101) を発生します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 TMC10.CE101ビット = 1のときには、CM101レジスタの値を書き換えることは禁止します。



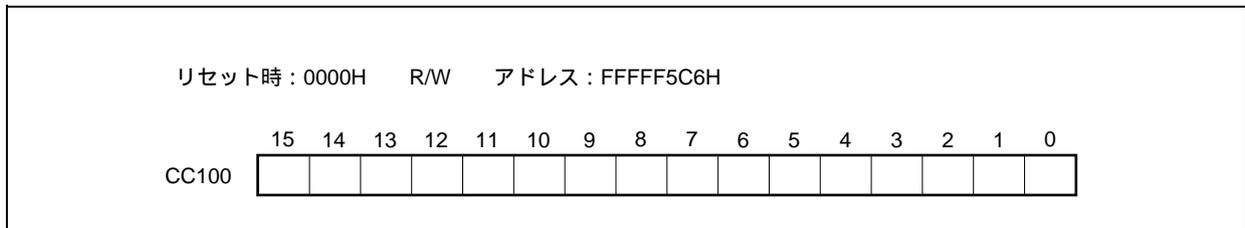
(9) キャプチャ/コンペア・レジスタ100 (CC100)

CC100レジスタは、16ビットのレジスタです。CCR10レジスタの指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

- 注意1.** キャプチャ・レジスタ時 (CCR10.CMS00ビット = 0) には、ライト・アクセスを禁止します。
2. コンペア・レジスタ時 (CCR10.CMS00ビット = 1) でTMENC10動作中 (TMC10.CE101ビット = 1) には、CC100レジスタ値を書き換えることを禁止します。
 3. TMENC10停止中 (TMC10.CE101ビット = 0) は、キャプチャ・トリガは無効になります。
 4. 動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は、再度新規のコンペア値を設定し直してください。
 5. CC100レジスタの連続読み出しは禁止します。CC100レジスタの連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。CC100レジスタを2回読み出す必要がある場合は、必ず1回目と2回目の間にほかのレジスタを読み出ししてください。

**(a) キャプチャ・レジスタに設定**

キャプチャ・レジスタに設定した場合は、対応する外部割り込み要求信号 (INTP10) の有効エッジをキャプチャ・トリガとして検出します。TMENC10はキャプチャ・トリガに同期して、カウント値をラッチします (キャプチャ動作)。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

また、外部割り込み要求信号の有効エッジ指定 (立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジ) は、SESA10レジスタにより選択できます。

キャプチャ・レジスタに指定したときは、INTP10信号の有効エッジ検出で割り込みを発生します。

注意 TCUD10端子とINTP10端子は兼用構成となります。このため、JDCモード時には、TCUD10端子が使用されるため、INTP10端子による外部キャプチャ機能は使用できません。

(b) コンペア・レジスタに設定

コンペア・レジスタに設定した場合、常にTMENC10とCC100レジスタの値の比較動作を行い、一致を検出すると割り込み要求信号 (INTCC100) を発生します。

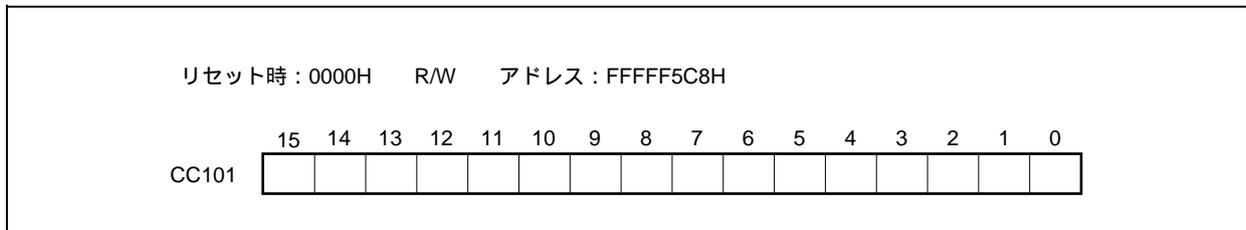
(10) キャプチャ/コンペア・レジスタ101 (CC101)

CC101レジスタは、16ビットのレジスタです。CCR10レジスタの指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

- 注意1.** キャプチャ・レジスタ時(CCR10.CMS01ビット = 0)には、ライト・アクセスを禁止します。
2. コンペア・レジスタ時 (CCR10.CMS01ビット = 1) でTMENC10動作中 (TMC10.CE101ビット = 1) には、CC101レジスタ値を書き換えることは禁止します。
 3. TMENC10停止中 (TMC10.CE101ビット = 0) は、キャプチャ・トリガは無効になります。
 4. 動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は、再度新規のコンペア値を設定し直してください。
 5. CC101レジスタの連続読み出しは禁止します。CC101レジスタの連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。CC101レジスタを2回読み出す必要がある場合は、必ず1回目と2回目の間にほかのレジスタを読み出ししてください。



(a) キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は、対応する外部割り込み要求信号 (INTP11) の有効エッジをキャプチャ・トリガとして検出します。TMENC10はキャプチャ・トリガに同期して、カウント値をラッチします (キャプチャ動作)。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

また、外部割り込み要求信号の有効エッジ指定 (立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジ) は、SESA10レジスタにより選択できます。

キャプチャ・レジスタに指定したときは、INTP11信号の有効エッジ検出で割り込みを発生します。

注意 TCLR10端子とINTP11端子は兼用構成となります。このため、UDCモードA時にTCLR10入力を使用する場合には、INTP11端子による外部キャプチャ機能は使用できません。

(b) コンペア・レジスタに設定

コンペア・レジスタに設定した場合、常にTMENC10とCC101レジスタの値の比較動作を行い、一致を検出すると割り込み要求信号 (INTCC101) を発生します。

11.5 動作

11.5.1 汎用タイマ・モードでの動作

TMENC10は、汎用タイマ・モードでは次に示す動作ができます。

(1) インターバル動作 (TMC10.ENMD10ビット = 1のとき)

TMENC10とCM100レジスタは常に比較動作を行い、一致を検出するとINTCM100割り込み要求信号を発生します。一致の次のカウント・クロックでTMENC10をクリア (0000H) します。さらに次のカウント・クロックが入ると、TMENC10は0001Hにカウント・アップされます。

インターバル周期は次に示す式で計算できます。

$$\text{インターバル周期} = (\text{CM100レジスタ値} + 1) \times \text{TMENC10のカウント・クロック・レート}$$

(2) フリー・ランニング動作 (TMC10.ENMD10ビット = 0のとき)

TMENC10は、0000HからFFFFHまでフル・カウントし、STATUS10.OVF10ビットがセット (1) 後、次のカウント・クロックで0000Hになり、カウントを続行します。

フリー・ランニング周期は次に示す式で計算できます。

$$\text{フリー・ランニング周期} = 65536 \times \text{TMENC10のカウント・クロック・レート}$$

(3) コンペア機能

TMENC10は、コンペア・レジスタ (CM100, CM101) を2チャンネル、キャプチャ/コンペア・レジスタ (CC100, CC101) を2チャンネル接続しています。

TMENC10カウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み要求信号 (INTCM100, INTCM101, INTCC100[※], INTCC101[※]) が出力されます。特にインターバル動作時には、INTCM100発生タイミングで、TMENC10がクリアされます。

注 CC100, CC101レジスタがコンペア・レジスタ・モードに設定されているときに一致割り込み要求信号を発生します。

(4) キャプチャ機能

TMENC10は、キャプチャ/コンペア・レジスタ (CC100, CC101) を2チャンネル接続しています。

CC100, CC101レジスタがキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してTMENC10の値をキャプチャします。

キャプチャ・トリガ信号に指定されたINTP10, INTP11入力信号の有効エッジにより割り込み要求信号 (INTCC100, INTCC101) を発生します。

表11-3 16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号

キャプチャ・レジスタ	キャプチャ・トリガ信号
CC100	INTP10
CC101	INTP11

備考 CC100, CC101レジスタはキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは、CCR10レジスタで指定します。

キャプチャ・トリガの有効エッジは、SESA10レジスタにより指定します。立ち上がり/立ち下がりの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

注意 INTP10, INTP11の割り込みタイミングは規格の範囲を守ってください(第26章 電気的特性参照)。

(5) タイマ出力動作

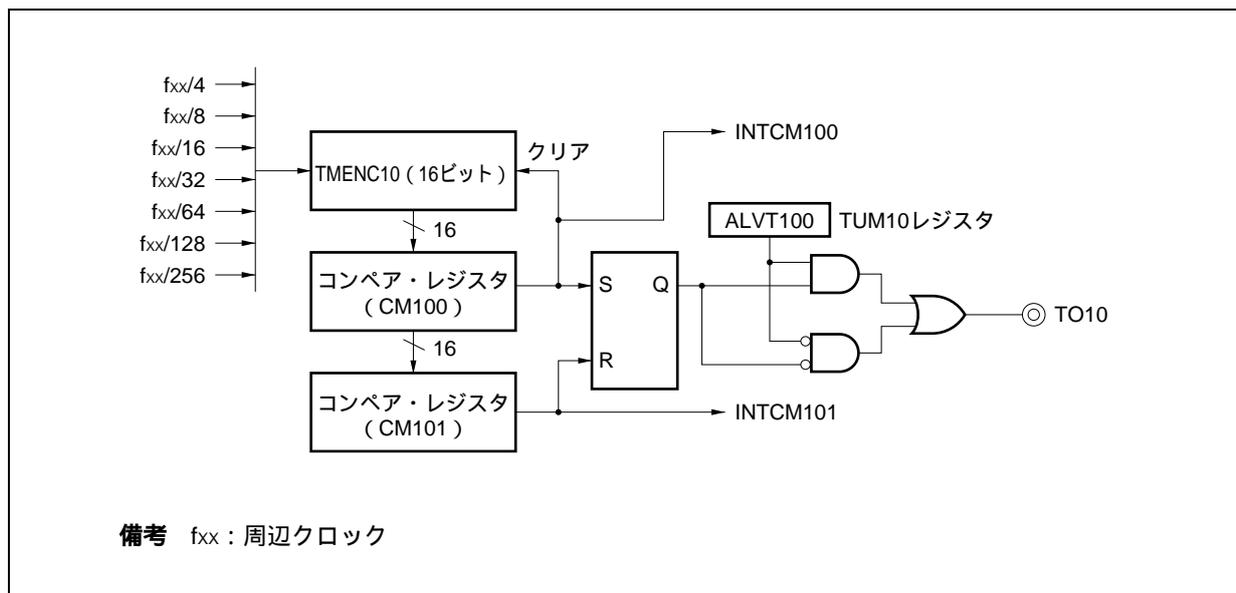
TUM10レジスタによりTMENC10を汎用タイマ・モード(T1CMD0ビット = 0)に設定することで、TO10端子からタイマ出力動作をします。

タイマ出力動作中は、周期およびデューティ (CM100, CM101レジスタ) の書き換えはできません。

また、分解能は16ビットで、カウント・クロックは7種類の内部クロック (fxx/4, fxx/8, fxx/16, fxx/32, fxx/64, fxx/128, fxx/256) から選択できます。

注意 TMENC10のカウント・クロックは必ず10 MHz以下で設定してください。

図11-2 TMENC10のブロック図 (タイマ出力動作時)

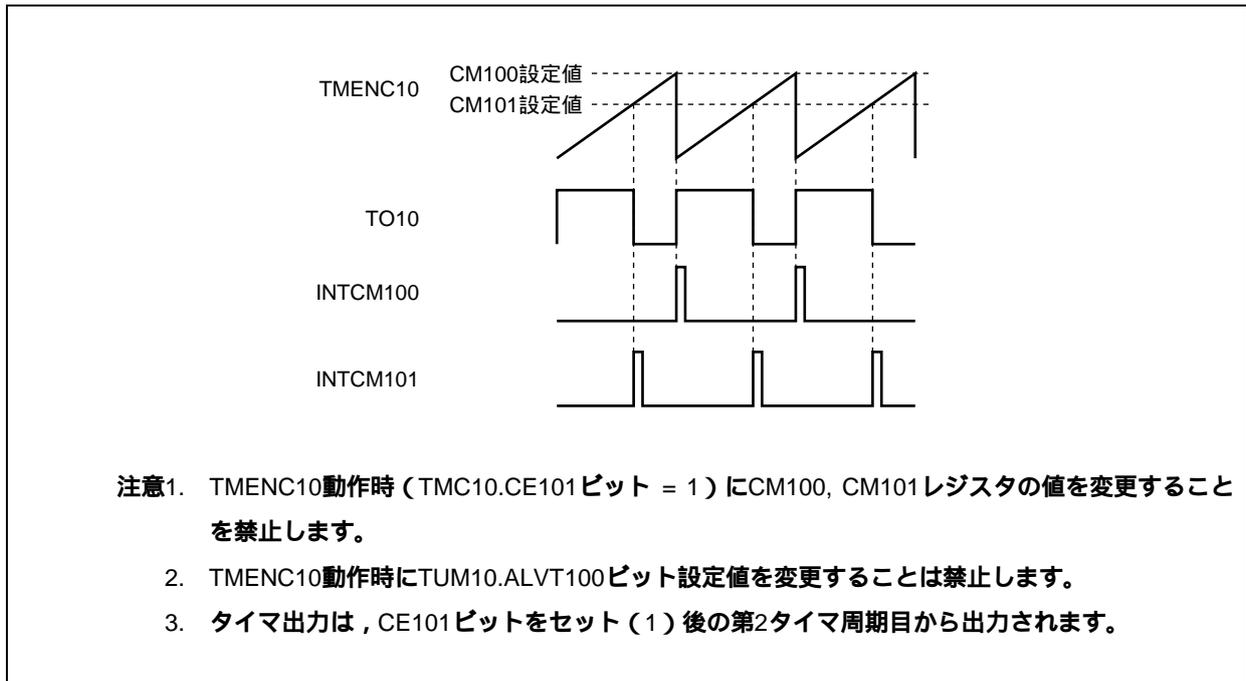


(a) 動作説明

CM100レジスタは、タイマ出力の周期を設定するコンペア・レジスタです。TMENC10と一致するとINTCM100割り込み要求信号を発生します。コンペア一致したことをハードウェアで保持し、一致の次のカウント・クロックでTMENC10をクリアします。

CM101レジスタは、タイマ出力のデューティを設定するコンペア・レジスタです。タイマ周期で必要なデューティを設定してください。

図11 - 3 タイマ出力例 (ALVT100ビット = 0設定時)



11.5.2 UDCモードでの動作

(1) UDCモードでの動作概要

UDCモード (TUM10.T1CMD0ビット = 1) 時のTMENC10へのカウント・クロックは、TIUD10, TCUD10端子からの外部入力のみとなります。UDCモード時のアップ/ダウン・カウント判定は、PRM10レジスタ設定に従ったTIUD10, TCUD10端子入力の位相差により決定します (選択肢は合計4種類存在します)。

表11 - 4 UDCモードのカウンタ動作一覧

PRM10レジスタ			動作 モード	TMENC10の動作
PRM102	PRM101	PRM100		
1	0	0	モード1	TCUD10 = ハイ・レベルのとき, ダウン・カウント TCUD10 = ロウ・レベルのとき, アップ・カウント
1	0	1	モード2	TIUD10入力の有効エッジ検出でアップ・カウント TCUD10入力の有効エッジ検出でダウン・カウント
1	1	0	モード3	TCUD10 = ハイ・レベルのとき, TIUD10入力の有効エッジ検出でアップ・カウント TCUD10 = ロウ・レベルのとき, TIUD10入力の有効エッジ検出でダウン・カウント
1	1	1	モード4	TIUD10入力の両エッジおよびTCUD10入力の両エッジ検出で自動判別

さらにUDCモードでは, TMENC10のクリア条件により, 2種類のモードに分かれます (両モードとも, TIUD10, TCUD10入力でのみカウンタ動作を行います)。

・UDCモードA (TUM10.T1CMD0ビット = 1, MSEL0ビット = 0)

TMENC10のクリア要因を外部クリア入力 (TCLR10) のみか, アップ・カウント中のTMENC10のカウント値とCM100レジスタ設定値との一致信号か, または, 両信号の論理和 (OR) かをTMC10.CLR101, CLR100ビットによって選択可能です。

また, TMENC10は, 自己のアンダフロー発生タイミングでCM100レジスタの値を転送できます。

・UDCモードB (TUM10.T1CMD0ビット = 1, MSEL0ビット = 1)

TMENC10のカウント値とCM100レジスタ設定値が一致後のTMENC10の状態を次に示します。

アップ・カウントの場合, TMENC10をクリア (0000H) し, INTCM100割り込み要求信号を発生します。

ダウン・カウントの場合, TMENC10カウント値をデクリメント (-1) します。

TMENC10のカウント値とCM101レジスタ設定値が一致後のTMENC10の状態を次に示します。

アップ・カウントの場合, TMENC10カウント値をインクリメント (+1) します。

ダウン・カウントの場合, TMENC10をクリア (0000H) し, INTCM101割り込み要求信号を発生します。

(2) UDCモードでのアップ/ダウン・カウンタ動作

UDCモード時のTMENC10のアップ/ダウン・カウンタ判定は, PRM10レジスタ設定に従ったTIUD10, TCUD10端子入力の位相差により決定します。次に具体的な動作を示します。

(a) モード1 (PRM10.PRM102ビット = 1, PRM101ビット = 0, PRM100ビット = 0)

モード1では, TIUD10端子の有効エッジを検出したときに, TCUD10端子レベルの条件によりカウンタは次のようになります。

- ・TCUD10端子 = ハイ・レベルの場合, TMENC10をダウン・カウントします。
- ・TCUD10端子 = ロウ・レベルの場合, TMENC10をアップ・カウントします。

図11 - 4 モード1 (TIUD10端子の有効エッジが立ち上がりエッジ指定の場合)

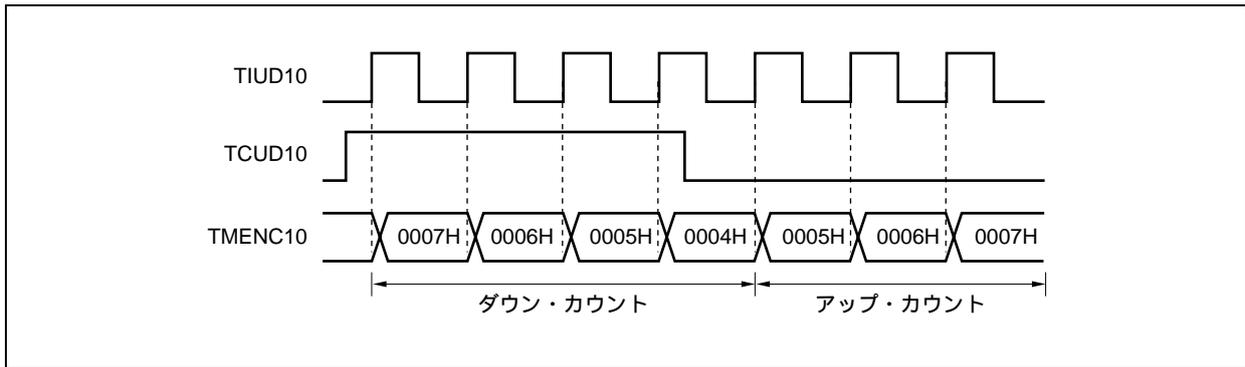
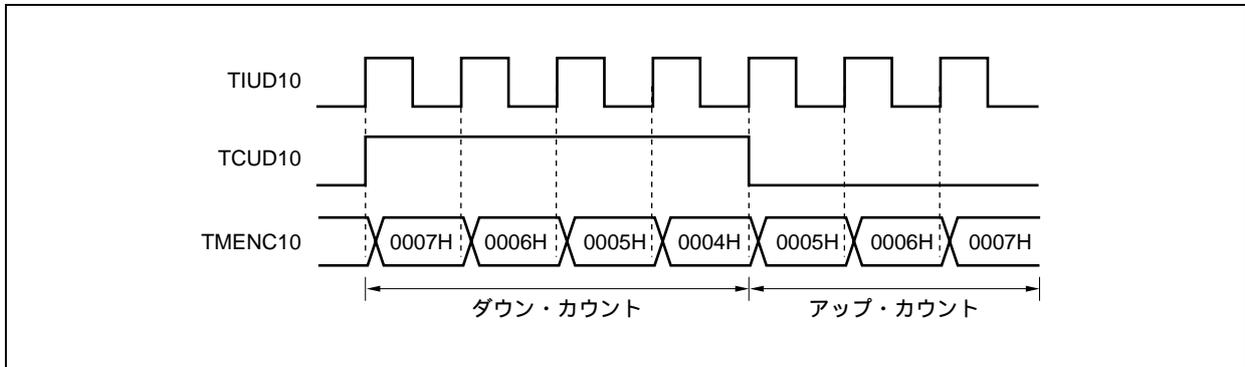


図11 - 5 モード1 (TIUD10端子の有効エッジが立ち上がりエッジ指定の場合)
: TIUD10, TCUD10端子のエッジが同時タイミングのとき



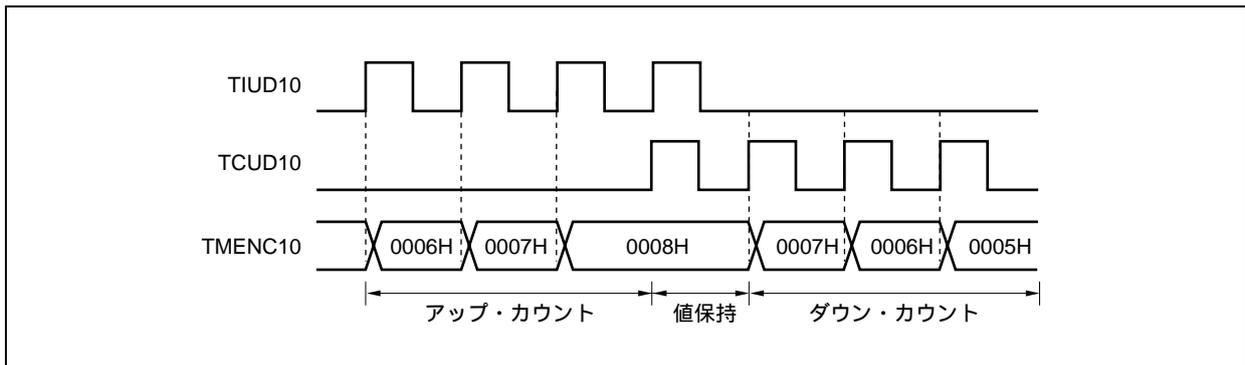
(b) モード2 (PRM10.PRM102ビット = 1, PRM101ビット = 0, PRM100ビット = 1)

モード2でのカウンタの条件は次のようになります。

- ・ TIUD10端子の有効エッジを検出した場合、TMENC10をアップ・カウントします。
- ・ TCUD10端子の有効エッジを検出した場合、TMENC10をダウン・カウントします。

注意 TIUD10端子とTCUD10端子にカウンタ・クロックが同時に入力した場合には、カウンタ動作を行わず、直前の値は保持します。

図11 - 6 モード2 (TIUD10, TCUD10端子の有効エッジが立ち上がりエッジ指定の場合)



(c) モード3 (PRM10.PRM102 = 1, PRM101 = 1, PRM100 = 0)

モード3は、TIUD10端子とTCUD10端子が90°の位相差を持つ2相信号を入力すると、TIUD10端子の有効エッジ入力でTCUD10端子のレベルをサンプリングします (図11-7参照)。

TIUD10端子の有効エッジ入力でサンプリングしたTCUD10端子レベルがロウ・レベルの場合、TMENC10はTIUD10端子の有効エッジ入力でダウン・カウントします。

TIUD10端子の有効エッジ入力でサンプリングしたTCUD10端子レベルがハイ・レベルの場合、TMENC10はTIUD10端子の有効エッジ入力でアップ・カウントします。

図11-7 モード3 (TIUD10端子の有効エッジが立ち上がりエッジ指定の場合)

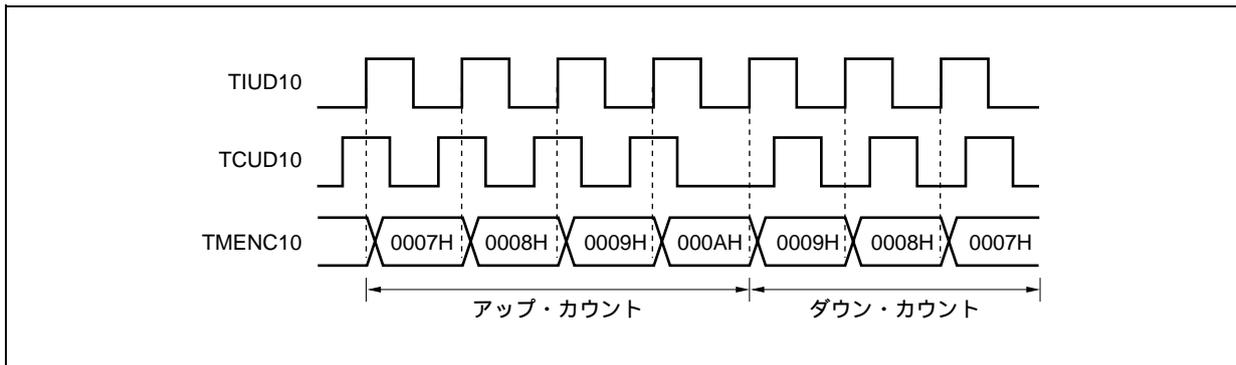
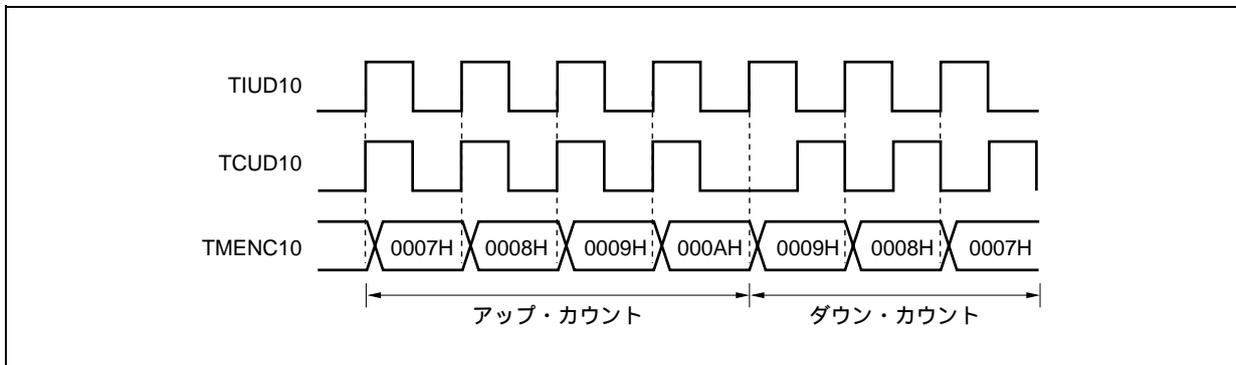


図11-8 モード3 (TIUD10端子の有効エッジが立ち上がりエッジ指定の場合)
: TIUD10, TCUD10端子のエッジが同時タイミングのとき

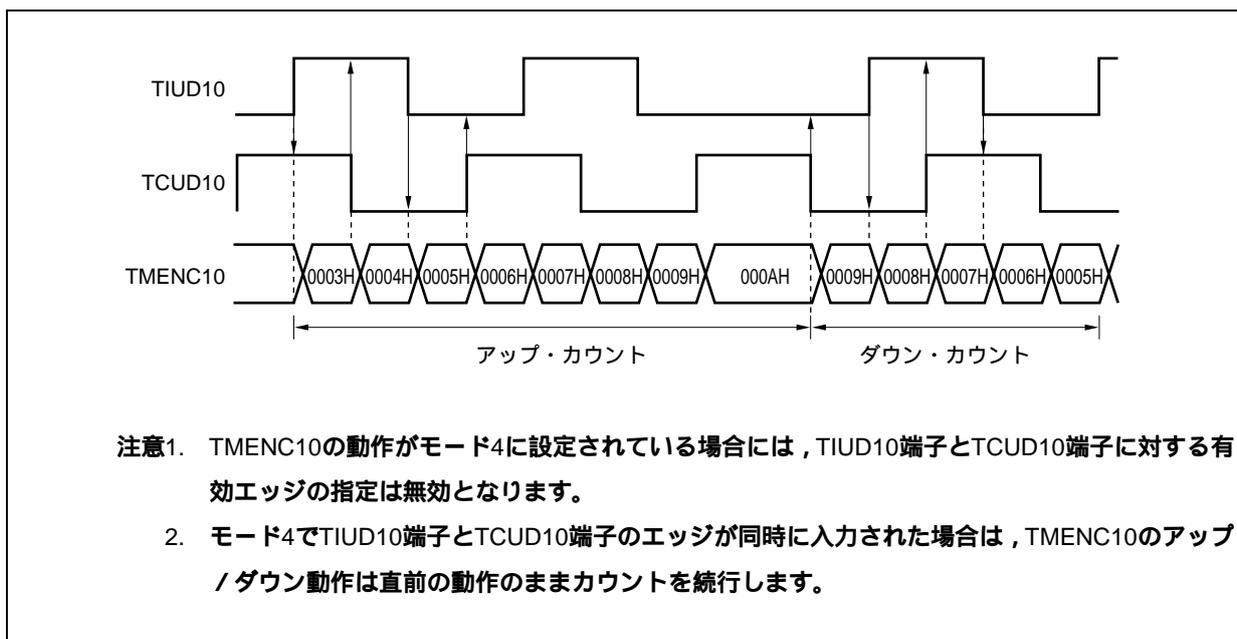


(d) モード4 (PRM10.PRM102 = 1, PRM101 = 1, PRM100 = 1)

モード4は、TIUD10端子とTCUD10端子に位相がシフトした2相信号を入力すると、図11-9に示すタイミングで自動的にアップ/ダウン動作を判別し、カウントを実行します。

モード4では、TIUD10端子とTCUD10端子に入力される2相信号をそれぞれの立ち上がり、立ち下がり両エッジでカウントします。したがって、TMENC10は、入力信号の1サイクル当たり4回カウントします(4逓倍カウント)。

図11-9 モード4



- 注意1. TMENC10の動作がモード4に設定されている場合には、TIUD10端子とTCUD10端子に対する有効エッジの指定は無効となります。
2. モード4でTIUD10端子とTCUD10端子のエッジが同時に入力された場合は、TMENC10のアップ/ダウン動作は直前の動作のままカウントを続行します。

(3) UDCモードAの動作

(a) インターバル動作

TMENC10カウント値とCM100レジスタ設定値が一致後の次のカウント・クロックでの動作を示します。

- ・アップ・カウントの場合、TMENC10をクリア (0000H) し、INTCM100割り込み要求信号を発生します。
- ・ダウン・カウントの場合、TMENC10カウント値をデクリメント (-1) し、INTCM100割り込み要求信号を発生します。

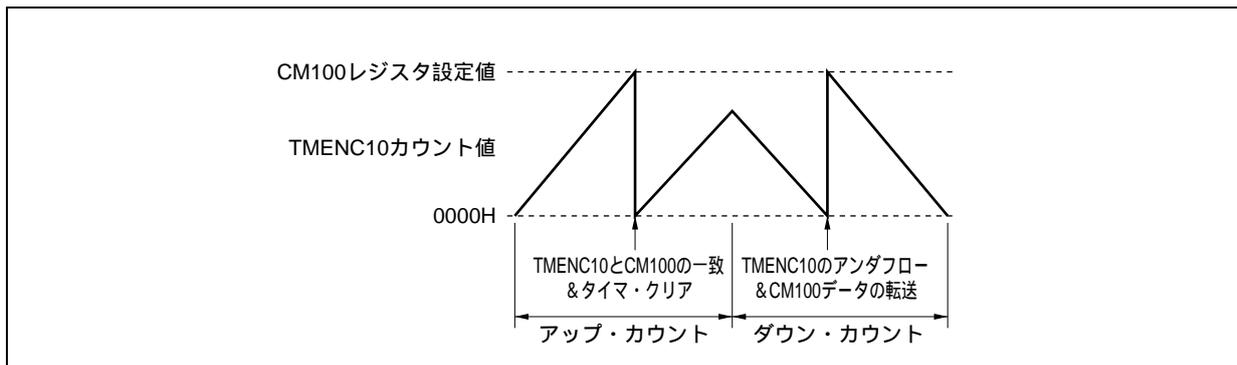
備考 インターバル動作は、転送動作と組み合わせることもできます。

(b) 転送動作

TMC10.RLEN10ビット = 1の場合、ダウン・カウント中にTMENC10 = 0000Hとなると、次のカウント・クロックでCM100レジスタ設定値をTMENC10へ転送します。

- 備考1. 転送の許可/禁止は、TMC10.RLEN10ビットで設定できます。
- 2. 転送動作は、インターバル動作と組み合わせることもできます。

図11 - 10 インターバル動作と転送動作を組み合わせたときのTMENC10動作例



(c) コンペア機能

TMENC10は、コンペア・レジスタ (CM100, CM101) を2チャンネル、キャプチャ/コンペア・レジスタ (CC100, CC101) を2チャンネル接続しています。

TMENC10カウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み要求信号 (INTCM100, INTCM101, INTCC100[※], INTCC101[※]) が出力されます。

注 CC100, CC101レジスタがコンペア・レジスタ・モードに設定されているときに一致割り込み要求信号を発生します。

(d) キャプチャ機能

TMENC10は、キャプチャ/コンペア・レジスタ (CC100, CC101) を2チャンネル接続しています。

CC100, CC101レジスタがキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してTMENC10の値をキャプチャします。

また、有効エッジ検出により、キャプチャ割り込み要求信号 (INTCC100, INTCC101) を発生します。

(4) UDCモードBの動作

(a) 基本動作

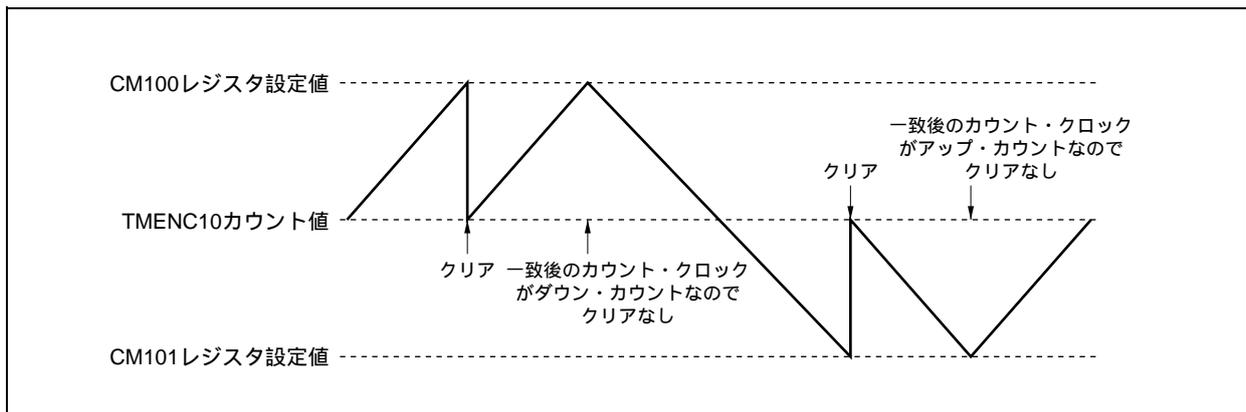
TMENC10がUDCモードBのとき、TMENC10カウント値とCM100レジスタ設定値が一致後の次のカウント・クロックでの動作を示します。

- ・アップ・カウントの場合、TMENC10をクリア (0000H) し、INTCM100割り込み要求信号を発生します。
- ・ダウン・カウントの場合、TMENC10カウント値をデクリメント (-1) します。

TMENC10がUDCモードBのとき、TMENC10カウント値とCM101レジスタ設定値が一致後の次のカウント・クロックでの動作を示します。

- ・アップ・カウントの場合、TMENC10カウント値をインクリメント (+1) します。
- ・ダウン・カウントの場合、TMENC10をクリア (0000H) し、INTCM101割り込み要求信号を発生します。

図11 - 11 UDCモード時のTMENC10動作例



(b) コンペア機能

TMENC10は、コンペア・レジスタ (CM100, CM101) を2チャンネル、キャプチャ/コンペア・レジスタ (CC100, CC101) を2チャンネル接続しています。

TMENC10カウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み要求信号 (INTCM100 (アップ・カウント中のみ), INTCM101 (ダウン・カウント中のみ), INTCC100^註, INTCC101^註) が出力されます。

注 CC100, CC101レジスタがコンペア・レジスタ・モードに設定されているときに一致割り込み要求信号を発生します。

(c) キャプチャ機能

TMENC10は、キャプチャ/コンペア・レジスタ (CC100, CC101) を2チャンネル接続しています。

CC100, CC101レジスタがキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してTMENC10の値をキャプチャします。また、有効エッジ検出により、キャプチャ割り込み要求信号 (INTCC100, INTCC101) を発生します。

11.6 内部動作補足説明

11.6.1 UDCモードBでのカウント値クリア動作について

TMENC10がUDCモードBのとき、カウント値がクリアされる条件を次に示します。

- ・ TMENC10がアップ・カウント中にCM100レジスタとの一致でカウント値がクリア
- ・ TMENC10がダウン・カウント中にCM101レジスタとの一致でカウント値がクリア

図11 - 12 TMENC10カウント値とCM100レジスタ設定値との一致後のクリア動作

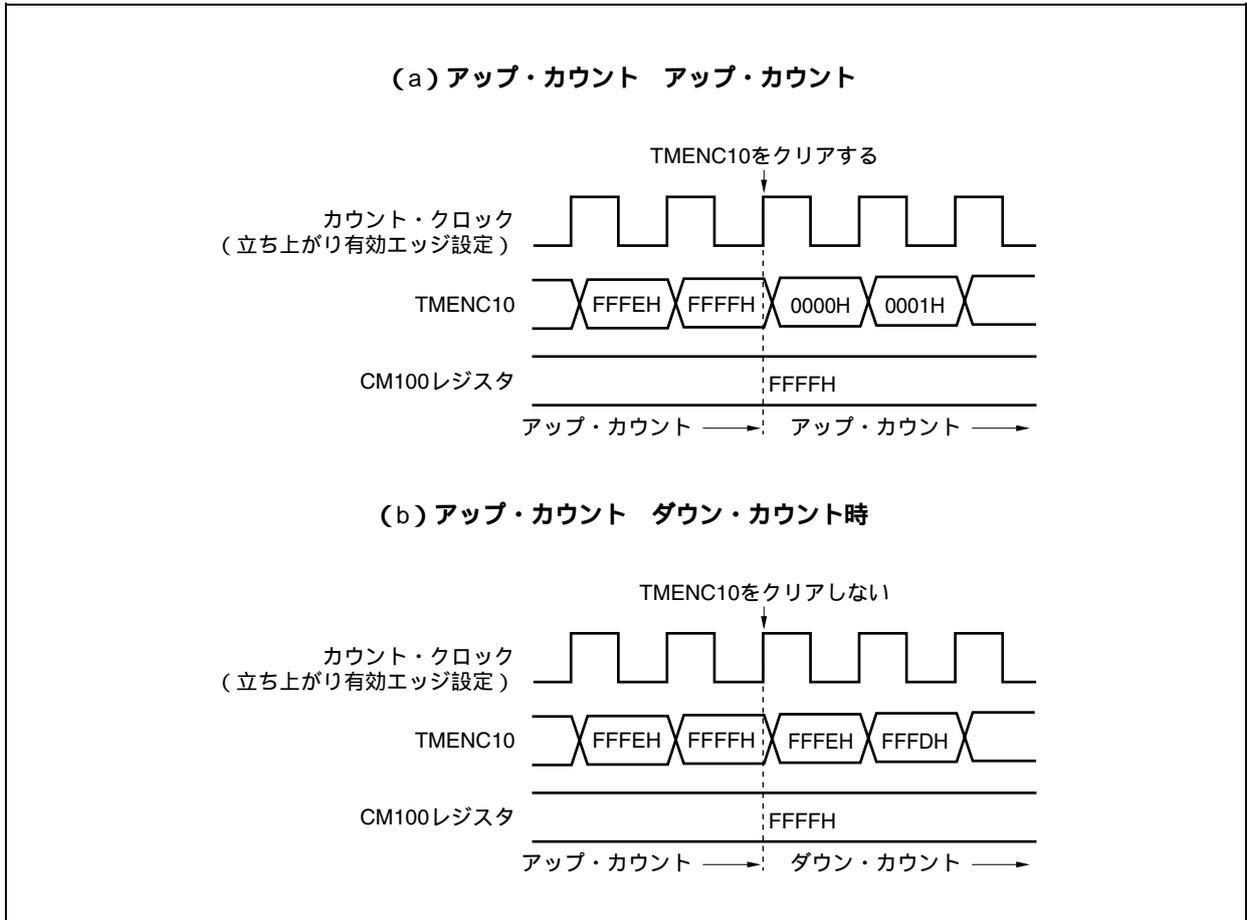
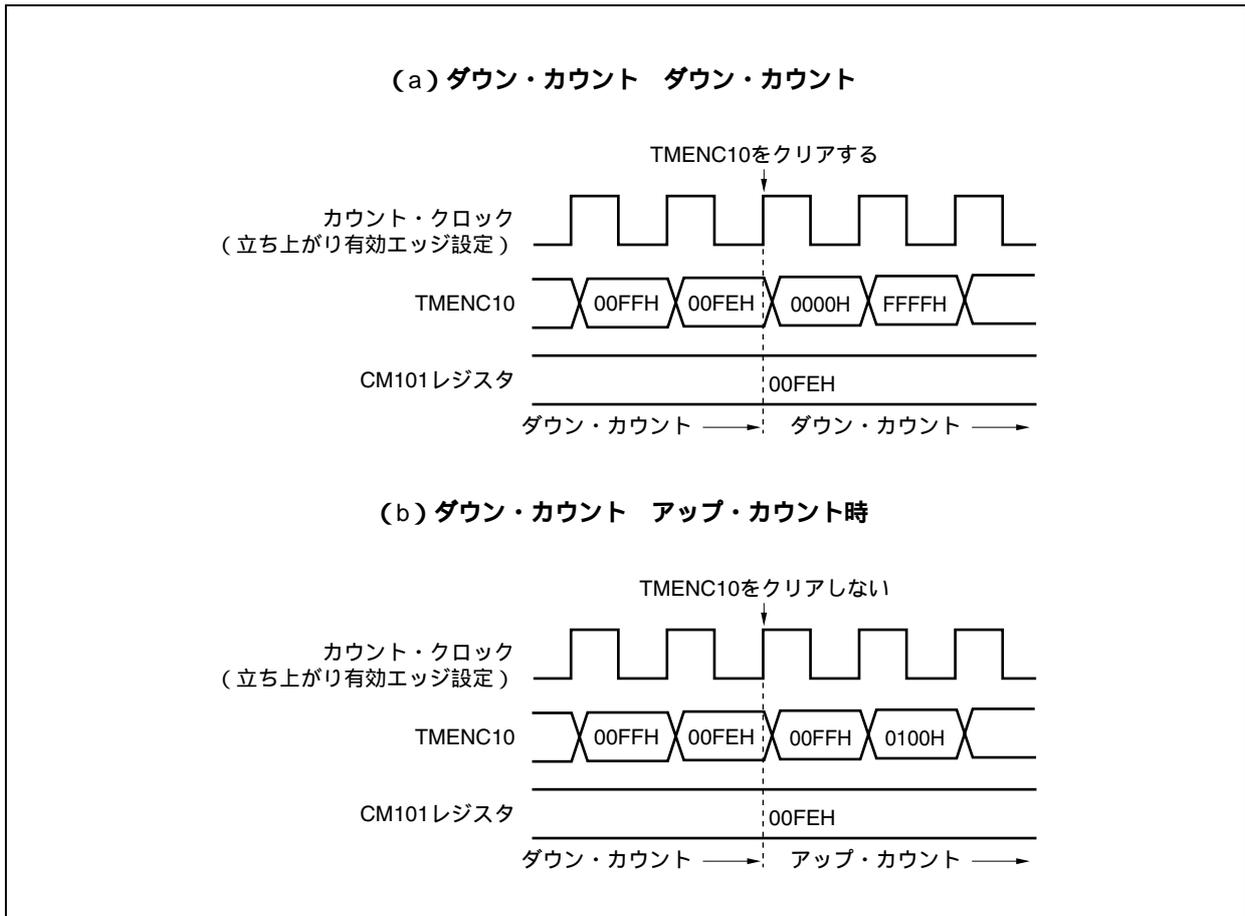


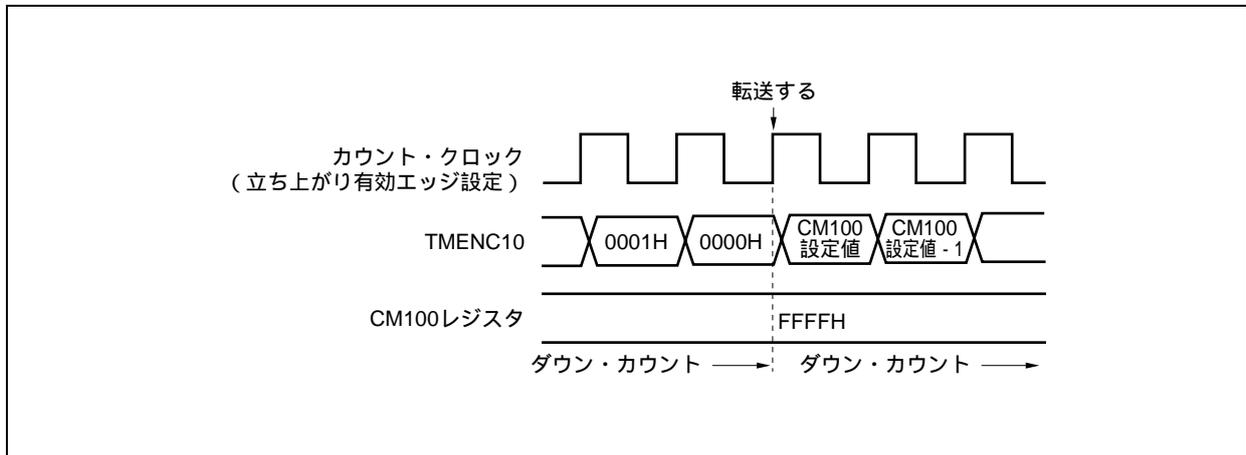
図11 - 13 TMENC10カウント値とCM101レジスタ設定値との一致後のクリア動作



11.6.2 転送動作について

UDCモードAでTMC10.RLEN10ビット = 1の場合、ダウン・カウント中にTMENC10 = 0000Hとなると、次のカウント・クロックでCM100レジスタ設定値をTMENC10へ転送します。ただし、アップ・カウント中には転送動作は行われません。

図11 - 14 転送動作時の内部動作



11.6.3 コンペア一致による割り込み要求信号出力について

CM100, CM101, CC100[※], CC101[※]レジスタ設定値とTMENC10カウント値が一致した場合、割り込み要求信号を出力します。そのときのタイミングを次に示します。

注 CC100, CC101レジスタがコンペア・レジスタ・モードに設定されている場合

図11 - 15 コンペア一致による割り込み要求信号出力
(動作モード：汎用タイマ・モード, カウント・クロック： $f_{xx}/4$ 設定時のCM101)

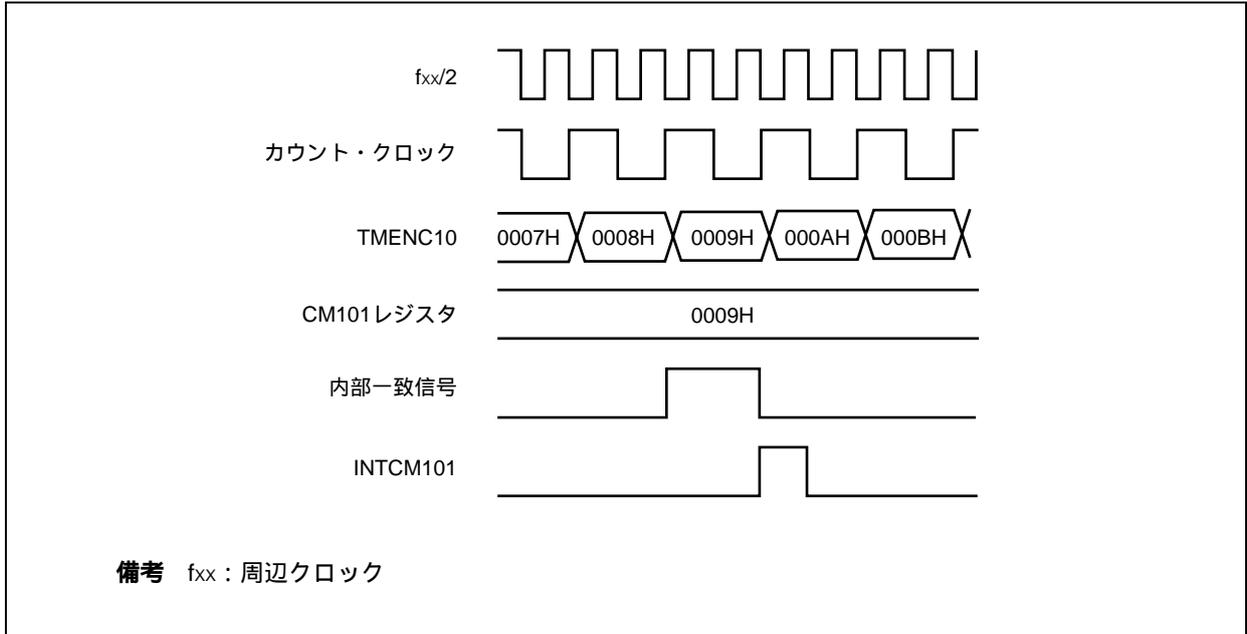
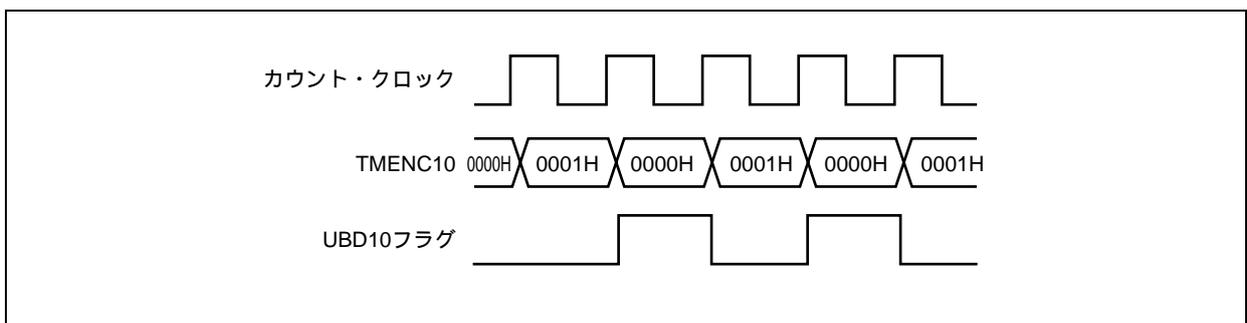


図11 - 15のように割り込み要求信号は、TMENC10カウント値と該当するコンペア・レジスタ設定値とが一致後の次のカウント・クロック時に出力されます。

11.6.4 UBD10フラグ (STATUS10レジスタのビット0) の動作について

UDCモード (TUM10.T1CMD0ビット = 1のとき) において、1内部動作クロックごとにTMENC10がアップ/ダウンを繰り返すとき、UBD10フラグは次のように変化します。

図11 - 16 UBD10フラグの動作



第12章 モータ制御機能

12.1 機能概要

タイマQ0 (TMQ0) と TMQ0 オプション (TMQOP0) によりモータ制御用のインバータ機能として使用します。またタイマP2 (TMP2) と同調動作を行い、TMP2 のコンペア一致タイミングで、A/DコンバータのA/D変換を起動することができます。モータ制御機能は、次のような動作を行うことができます。

- ・ 16ビット精度の6相PWM出力機能 (デッド・タイム付き, 上アームおよび下アーム用)
- ・ タイマ同調動作機能 (TMP2と同調動作可能)
- ・ 任意の周期設定機能
(山割り込み, 谷割り込みでの動作中の変更可能)
- ・ コンペア・レジスタ書き換え: 随時書き換え / 一斉書き換え / 間欠一斉書き換え選択機能
(TMQ0動作中の変更可能)
- ・ 割り込みおよび転送間引き機能
- ・ 任意のデッド・タイム設定機能
- ・ A/DコンバータのA/Dトリガの任意タイミング機能
(4種類のタイミング生成が可能)
- ・ 0 %出力と100 %出力が可能
- ・ 山割り込み, 谷割り込みでの0 %,100 %出力切り替え可能
- ・ 強制出力停止機能
 - ・ 外部端子入力 ($\overline{\text{INTP000}}$) による有効エッジ検出時

12.2 構成

モータ制御は次のハードウェアで構成されています。

項目	構成
タイマ・レジスタ	デッド・タイム・カウンタ m
コンペア・レジスタ	TMQ0デッド・タイム・コンペア・レジスタ (TQ0DTCレジスタ)
制御レジスタ	TMQ0オプション・レジスタ0 (TQ0OPT0) TMQ0オプション・レジスタ1 (TQ0OPT1) TMQ0オプション・レジスタ2 (TQ0OPT2) TMQ0I/O制御レジスタ3 (TQ0IOC3) ハイ・インピーダンス出力制御レジスタ0, 1 (HZA0CTL0, HZA0CTL1)

備考 $m = 0-3$

- ・ TMQ0の出力 (TOQ1, TOQ2, TOQ3) を使用し、デッド・タイム付きの6相PWM出力が可能です。
- ・ 6相PWM出力の出力レベルは個別に設定できます。
- ・ TMQ0の16ビット・タイマ・カウンタは、アップ/ダウンの三角波カウントを行います。アンダフロー発生時と周期一致発生時に割り込みを発生しますが、最大31回までの割り込み発生を間引くことができます。
- ・ TMP2は、TMQ0とカウント動作を同時に行うことができます (タイマ同調動作機能)。TMP2は、2種類のA/Dトリガ・ソース (INTCCP20, INTCCP21) が生成でき、TMQ0のアンダフロー割り込み (INTOVQ) と周期一致割り込み (INTCCQ0) の2種類と合わせ、合計4種類の設定ができます。

図12 - 1 モータ制御のブロック図

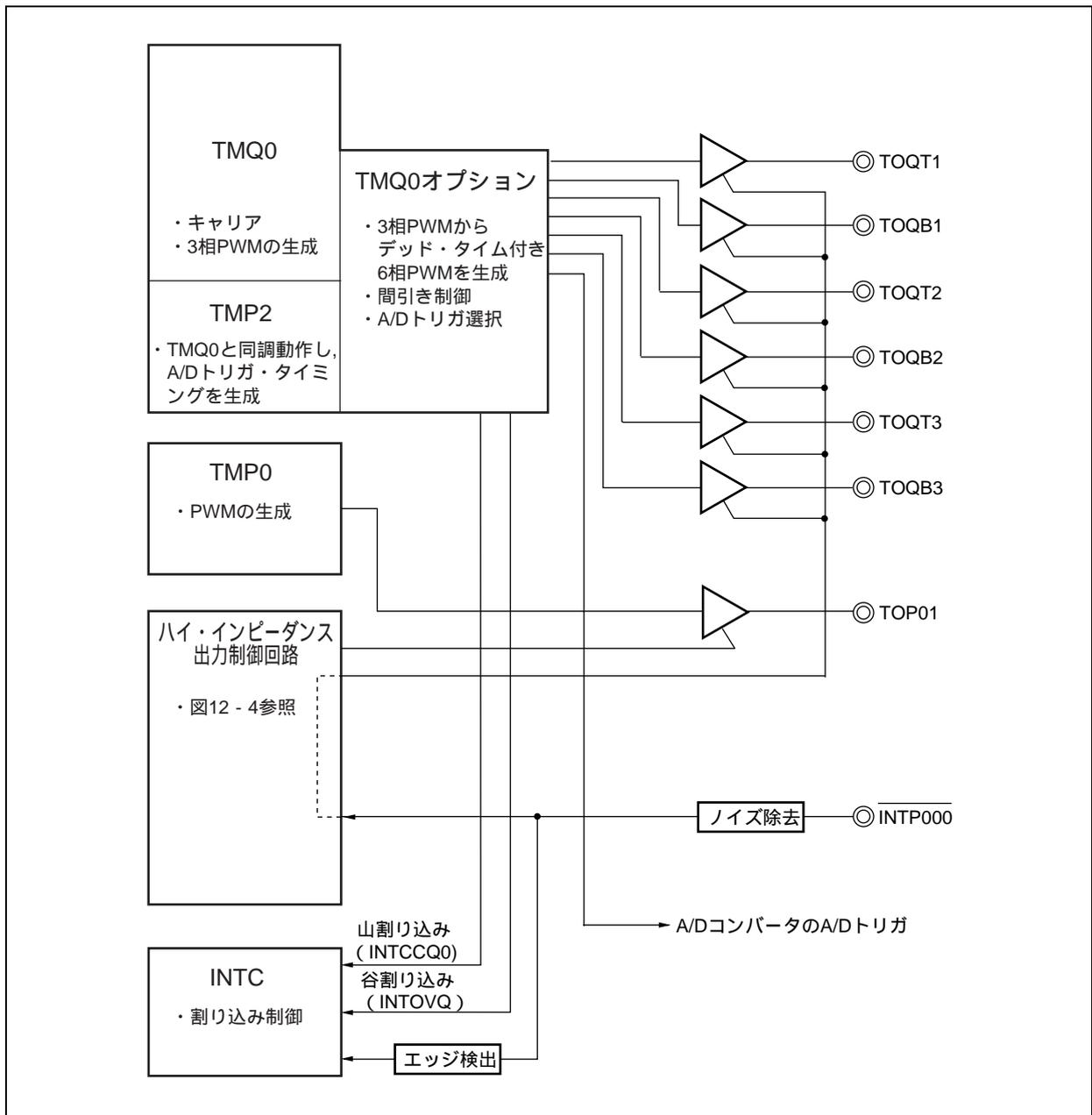
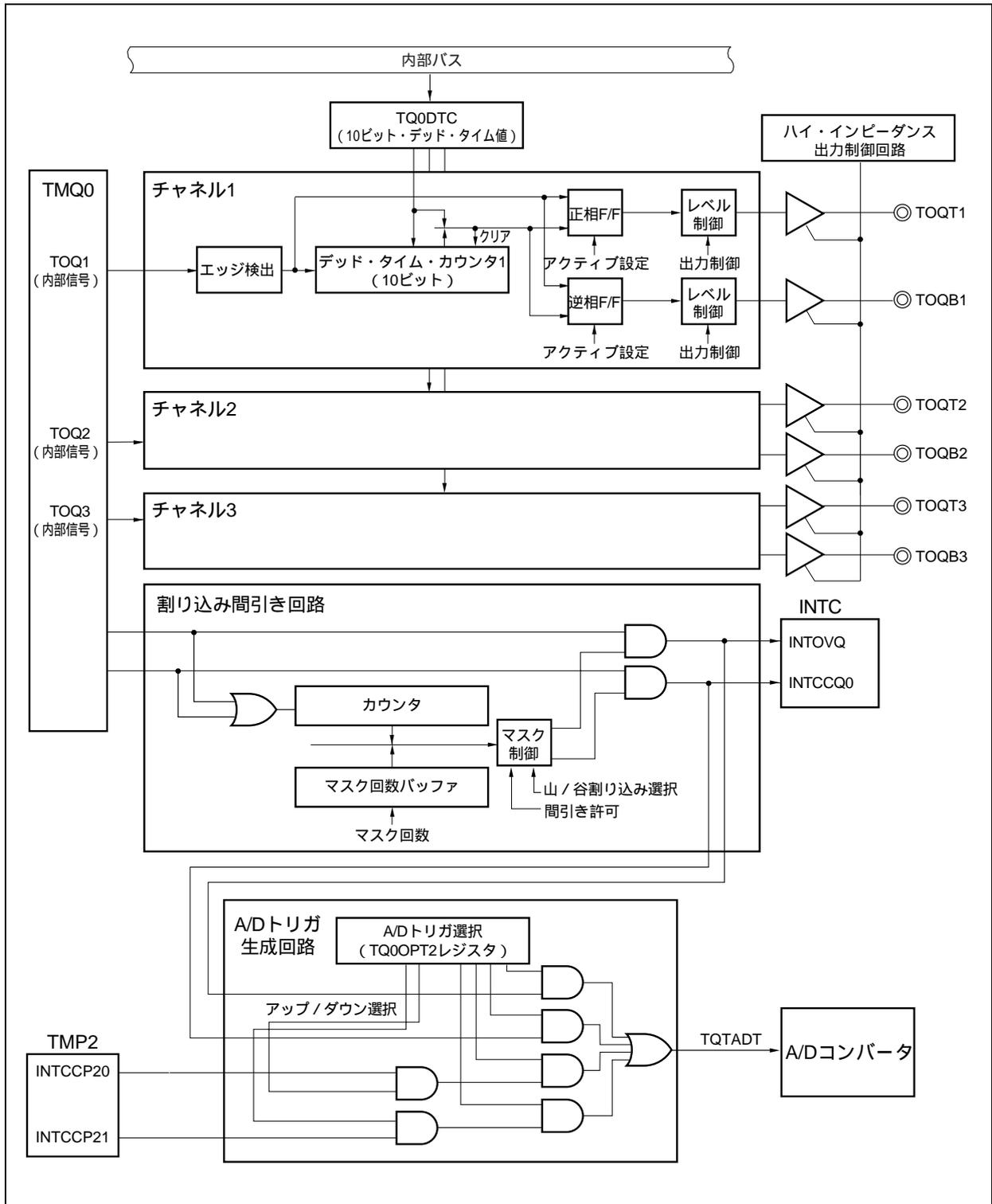


図12-2 TMQ1オプション



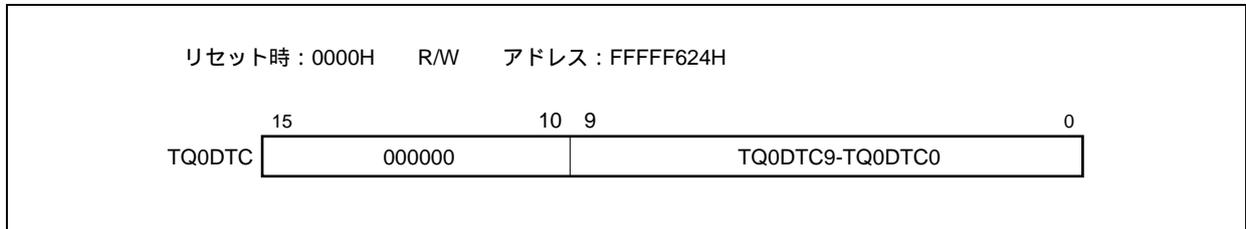
(1) TMQ0デッド・タイム・コンペア・レジスタ (TQ0DTC)

TQ0DTCレジスタは、デッド・タイム値を指定する10ビットのコンペア・レジスタです。

TQ0CTL0.TQ0CEビット = 1のとき、TQ0DTCレジスタの書き換えは禁止です。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(2) デッド・タイム・カウンタ1-3

デッド・タイム・カウンタはデッド・タイムをカウントする10ビットのカウント・レジスタです。

TMQ0のTOQm出力信号の立ち上がり/立ち下がりエッジにより、クリア/カウント・アップ動作を行い、TQ0DTCレジスタとの一致でクリア&ストップします。カウント・クロックはTMQ0のTQ0CTL0.TQ0CKS2-TQ0CKS0ビットで設定したカウント・クロックと同じカウント・クロックです。

備考1. TQ0OPT2.TQ0DTMビット = 1とした場合は、動作が異なります。詳細は、12.4.2(4) **デッド・タイム幅の自動縮小機能 (TQ0OPT2.TQ0DTMビット = 1)** を参照してください。

2. m = 1-3

12.3 制御レジスタ

(1) TMQ0オプション・レジスタ0 (TQ0OPT0)

タイマQ0オプション機能を制御する8ビットのレジスタです。
 8/1ビット単位でリード/ライト可能です。ただしTQ0CUFビットはリードのみ可能です。
 リセットにより00Hになります。

注意 TQ0CMS, TQ0CUFビットは6相PWM出力モード時のみ設定可能です。TMQ0単体では必ず“0”を設定してください。

リセット時：00H R/W アドレス：FFFFFF605H

	7	6	5	4	3	②	①	①
TQ0OPT0	0	0	0	0	0	TQ0CMS	TQ0CUF	TQ0OVF ^注

TQ0CMS	コンペア・レジスタの書き換えモード選択
0	一斉書き換えモード指定 (転送動作指定)
1	随時書き換えモード指定
・ TQ0CMSビットは、6相PWM出力モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 111) 設定時のみ有効です。それ以外のモードでは、TQ0CMSビット = 0としてください。 ・ TQ0CMSビットは、タイマ動作中 (TQ0CTL0.TQ0CEビット = 1) の書き換えが可能です。 ・ 一斉書き込みモード選択時、対象になるレジスタは次のとおりです。 TQ0CCR0-TQ0CCR3, TP2CCR0, TP2CCR1, TQ0OPT1レジスタ	

TQ0CUF	タイマQ0のアップ・カウント/ダウン・カウント・フラグ
0	タイマQ0がアップ・カウント中
1	タイマQ0がダウン・カウント中
TQ0CUFビットは、6相PWM出力モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 111) 設定時のみ有効です。	

注 TQ0OVFビットの詳細は、第9章 16ビット・タイマ/イベント・カウンタQ (TMQ) を参照してください。

注意 ビット7-3には必ず“0”を設定してください。

(2) TMQ0オプション・レジスタ1 (TQ0OPT1)

タイマQ0オプション機能から発生する割り込み要求信号を制御する8ビットのレジスタです。

TQ0CTL0.TQ0CEビット = 1のときも、TQ0OPT1レジスタの書き換えができます。

書き換え方法は、TQ0OPT0.TQ0CMSビットにより、一斉書き込みモードと随時書き込みモードの2種類を選択できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF620H

	⑦	⑥	5	4	3	2	1	0
TQ0OPT1	TQ0ICE	TQ0IOE	0	TQ0ID4	TQ0ID3	TQ0ID2	TQ0ID1	TQ0ID0

TQ0ICE	山割り込み (INTCCQ0信号) 許可
0	INTCCQ0信号を使用しない (割り込み間引きのカウンタ信号としない)
1	INTCCQ0信号を使用する (割り込み間引きのカウンタ信号とする)

TQ0IOE	谷割り込み (INTOVQ信号) 許可
0	INTOVQ信号を使用しない (割り込み間引きのカウンタ信号としない)
1	INTOVQ信号を使用する (割り込み間引きのカウンタ信号とする)

TQ0ID4	TQ0ID3	TQ0ID2	TQ0ID1	TQ0ID0	割り込み回数の選択
0	0	0	0	0	間引きなし (すべての割り込みを出力)
0	0	0	0	1	1マスク (2回に1回の割り込みを出力)
0	0	0	1	0	2マスク (3回に1回の割り込みを出力)
0	0	0	1	1	3マスク (4回に1回の割り込みを出力)
:	:	:	:	:	:
1	1	1	0	0	28マスク (29回に1回の割り込みを出力)
1	1	1	0	1	29マスク (30回に1回の割り込みを出力)
1	1	1	1	0	30マスク (31回に1回の割り込みを出力)
1	1	1	1	1	31マスク (32回に1回の割り込みを出力)

(3) TMQ0オプション・レジスタ2 (TQ0OPT2)

タイマQ0オプション機能を制御する8ビットのレジスタです。

TQ0CTL0.TQ0CEビット = 1のときも, TQ0OPT2レジスタの書き換えが可能です。ただし, TQ0DTMビットはTQ0CEビット = 1のとき, 書き換え禁止です。同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時: 00H R/W アドレス: FFFFFFF621H

	⑦	⑥	⑤	④	③	②	①	①
TQ0OPT2	TQ0RDE	TQ0DTM	TQ0ATM3	TQ0ATM2	TQ0AT3	TQ0AT2	TQ0AT1	TQ0AT0

TQ0RDE	転送間引き許可
0	転送の間引きなし(山, 谷で毎回転送タイミングが発生)
1	TQ0OPT1レジスタで設定した割り込み間引きと同じ間隔で転送を間引く。

TQ0DTM	デッド・タイム・カウンタ動作モード選択
0	通常のアップ・カウントを行い, TMQ0のTOQm出力が狭間隔 (TOQm出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタをクリアし再カウントを行う。
1	通常のアップ・カウントを行い, TMQ0のTOQm出力が狭間隔 (TOQm出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタはダウン・カウント動作に切り替わり, デッド・タイム制御幅が自動的に狭くなる。

TQ0DTMビットは, タイマ動作中の書き換えは禁止です。誤って書き換えた場合は, 一度TQ0CEビット = 0にしてタイマ動作を停止してから, 再度設定を行ってください。

TQ0ATM3	TQ0ATM3モード選択
0	INTCCP21割り込みのA/Dトリガ信号 (TQTADT) をアップ・カウント時に出力
1	INTCCP21割り込みのA/Dトリガ信号 (TQTADT) をダウン・カウント時に出力

TQ0ATM2	TQ0ATM2モード選択
0	INTCCP20割り込みのA/Dトリガ信号 (TQTADT) をアップ・カウント時に出力
1	INTCCP20割り込みのA/Dトリガ信号 (TQTADT) をダウン・カウント時に出力

注意 割り込み間引きを使用する場合(TQ0OPT1.TQ0ID4-TQ0ID0ビット = 00000以外) には, 必ずTQ0RDEビット = 1に設定してください。

このため, 割り込みと転送は同じタイミングで発生します。別々の設定はできません。別々の設定を行った場合 (TQ0RDEビット = 0) は転送が正常には行われません。

備考 m = 1-3

TQ0AT3 ^注	A/Dトリガ出力制御3
0	INTCCP21割り込みのA/Dトリガ信号 (TQTADT) の出力禁止
1	INTCCP21割り込みのA/Dトリガ信号 (TQTADT) の出力許可

TQ0AT2 ^注	A/Dトリガ出力制御2
0	INTCCP20割り込みのA/Dトリガ信号 (TQTADT) の出力禁止
1	INTCCP20割り込みのA/Dトリガ信号 (TQTADT) の出力許可

TQ0AT1 ^注	A/Dトリガ出力制御1
0	INTCCQ0 (山割り込み) のA/Dトリガ信号 (TQTADT) の出力禁止
1	INTCCQ0 (山割り込み) のA/Dトリガ信号 (TQTADT) の出力許可

TQ0AT0 ^注	A/Dトリガ出力制御0
0	INTOVQ (谷割り込み) のA/Dトリガ信号 (TQTADT) の出力禁止
1	INTOVQ (谷割り込み) のA/Dトリガ信号 (TQTADT) の出力許可

注 TQ0AT3-TQ0AT0ビットの設定については、**第14章 A/Dコンバータ**を参照してください。

(4) TMQ0I/O制御レジスタ3 (TQ0IOC3)

タイマQ0オプション機能の出力を制御する8ビットのレジスタです。

TOQm端子を出力するためには、TQ0IOC0.TQ0OEmビット = 1に設定してからTQ0IOC3レジスタを設定してください。

TQ0CTL0.TQ0CEビット = 0のときのみ、TQ0IOC3レジスタの書き換えが可能です。

TQ0CTL0.TQ0CEビット = 1のとき、TQ0IOC3レジスタの各ビットの書き換えは禁止です。

TQ0CTL0.TQ0CEビット = 1のとき、TQ0IOC3レジスタの各ビットの同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットによりA8Hになります。

注意 6相PWM出力モード以外のモードでタイマを使用する場合はTQ0IOC3レジスタの値はリセット値 (A8H) に設定してください。

備考 TOQm端子の出力レベルの設定は、TQ0IOC0レジスタで行ってください。

リセット時 : A8H R/W アドレス : FFFF622H								
	⑦	⑥	⑤	④	③	②	1	0
TQ0IOC3	TQ0OLB3	TQ0OEB3	TQ0OLB2	TQ0OEB2	TQ0OLB1	TQ0OEB1	0	0
	TQ0OLBm	TOQBm端子出力レベルの設定 (m = 1-3)						
	0	TOQBm端子出力反転禁止						
	1	TOQBm端子出力反転許可						
	TQ0OEBm	TOQBm端子出力の設定 (m = 1-3)						
	0	TOQBm端子出力禁止 ・ TQ0OLBmビット = 0 のときTOQBm端子からロウ・レベルを出力 ・ TQ0OLBmビット = 1 のときTOQBm端子からハイ・レベルを出力						
	1	TOQBm端子出力許可						

(a) TOQTm, TOQBm端子出力

TOQTm端子出力は, TQ0IOC0.TQ0OLm, TQ0OEmビットによって制御されます。TOQBm端子出力は, TQ0IOC3.TQ0OLBm, TQ0OEBmビットによって制御されます。

6相PWM出力モードにおける各設定でのタイマ出力を次に示します。

図12 - 3 TOQTm, TOQBm端子出力制御

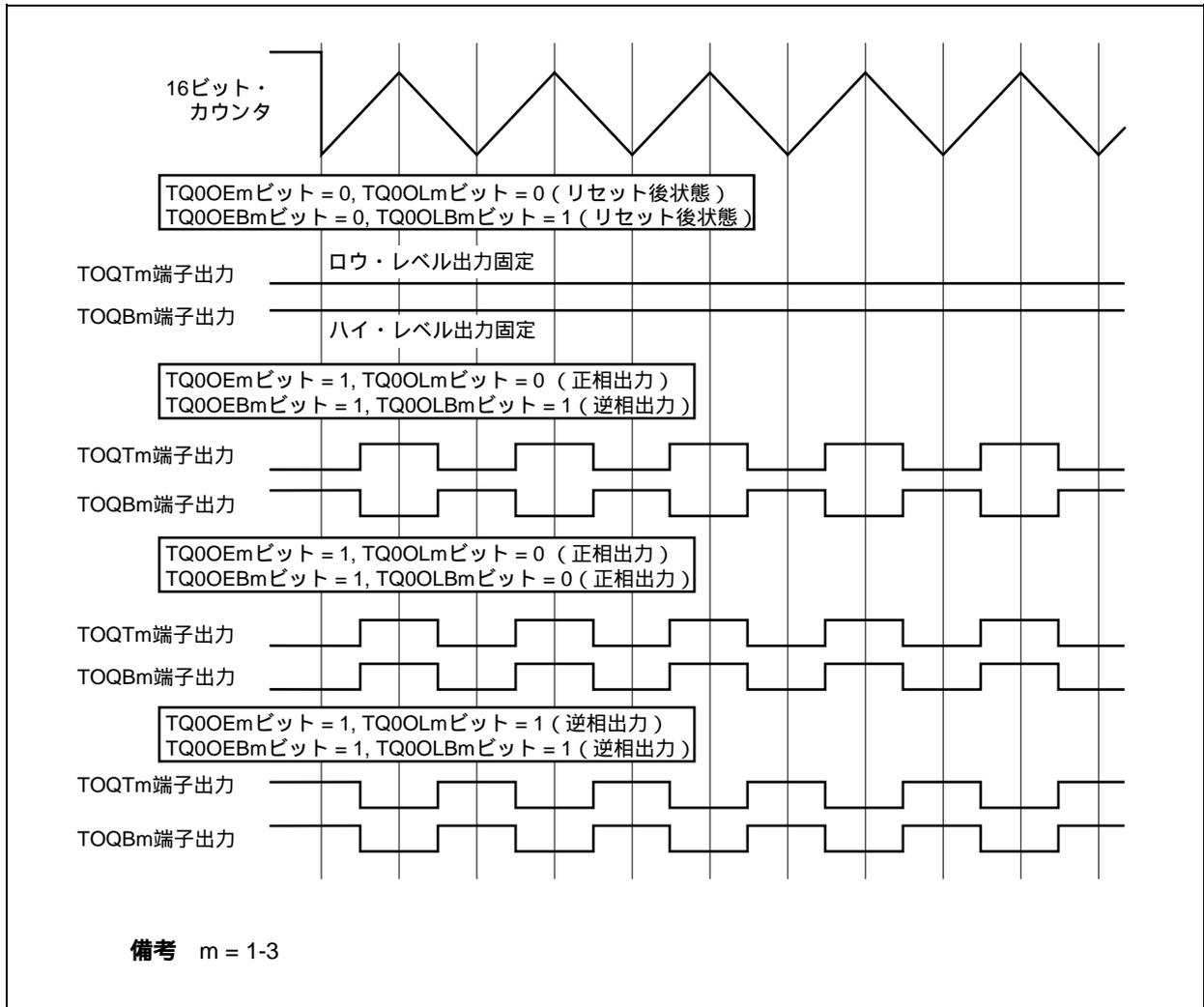


表12 - 1 TOQTm端子出力

TQ0OLmビット	TQ0OEmビット	TQ0CEビット	TOQTm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOQTm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOQTm逆相出力

備考 m = 1-3

表12 - 2 TOQBm端子出力

TQ0OLBmビット	TQ0OEBmビット	TQ0CEビット	TOQBm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOQBm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOQBm逆相出力

備考 m = 1-3

(5) ハイ・インピーダンス出力制御レジスタ00, 01 (HZA0CTLn)

HZA0CTLnレジスタは、出力バッファのハイ・インピーダンス制御をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしHZA0DCF1ビットは、リードのみ可能で、ライト動作を行っても書き込みません。

16ビット・アクセスは、できません。

リセットにより00Hになります。

HZA0CTLnレジスタは、常時ソフトウェアでの同値書き込みが可能です。

検出要因/制御レジスタの関係を次に示します。

ハイ・インピーダンス制御対象端子	ハイ・インピーダンス制御要因 (外部端子)	制御レジスタ
TOP01/P01出力時	INTP000	HZA0CTL0
TOQB1/TOQ0/P10出力時		HZA0CTL1
TOQT1/TOQ1/P11出力時		
TOQT2/TOQ2/P12出力時		
TOQT3/TOQ3/P13出力時		
TOQB2/P14出力時		
TOQB3/P15出力時		

注意 ハイ・インピーダンス制御が行なわれるのは、対象端子を出力端子として設定している場合に対象となります (タイマ出力以外の出力設定の場合も対象です)。

リセット時：00H R/W アドレス：HZA0CTL0 FFFF630H, HZA0CTL1 FFFF631H

	⑦	⑥	5	4	③	②	1	①
HZA0CTLn	HZA0DCEn	HZA0DCMn	HZA0DCNn	HZA0DCPn	HZA0DCTn	HZA0DCCn	0	HZA0DCFn

(n = 0, 1)

HZA0DCEn	ハイ・インピーダンス出力の制御
0	ハイ・インピーダンス出力制御動作禁止。対象端子出力可能
1	ハイ・インピーダンス出力制御動作許可

HZA0DCMn	HZA0DCCnビットによるハイ・インピーダンス解除の条件
0	INTP000端子入力に関係なく、HZA0DCCnビットの設定が有効
1	INTP000端子入力が異常検出したレベル（アクティブ・レベル）を保持している期間はHZA0DCCnビットの設定が無効。
HZA0DCMnビットを書き換える場合はHZA0DCEnビット = 0のとき行ってください。	

HZA0DCNn	HZA0DCPn	INTP000端子の入力エッジ指定
0	0	有効エッジなし（INTP000端子入力によるHZA0DCFnビットのセット禁止）
0	1	INTP000端子の入力の立ち上がりエッジを有効 （立ち上がりエッジ入力で異常検出）
1	0	INTP000端子の入力の立ち下がりエッジを有効 （立ち下がりエッジ入力で異常検出）
1	1	設定禁止

- ・ HZA0DCNn, HZA0DCPnビットを書き換える場合はHZA0DCEnビット = 0のとき行ってください。
- ・ ハイ・インピーダンス出力制御は動作許可（HZA0DCEnビット = 1）後に有効エッジが入力された場合に行われます。したがって、動作許可する時点でINTP000端子がアクティブ・レベルである場合は、ハイ・インピーダンス出力制御は行われません。

HZA0DCTn	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	ソフトウェアで対象端子をハイ・インピーダンスにして、HZA0DCFnビットがセット（1）されます。

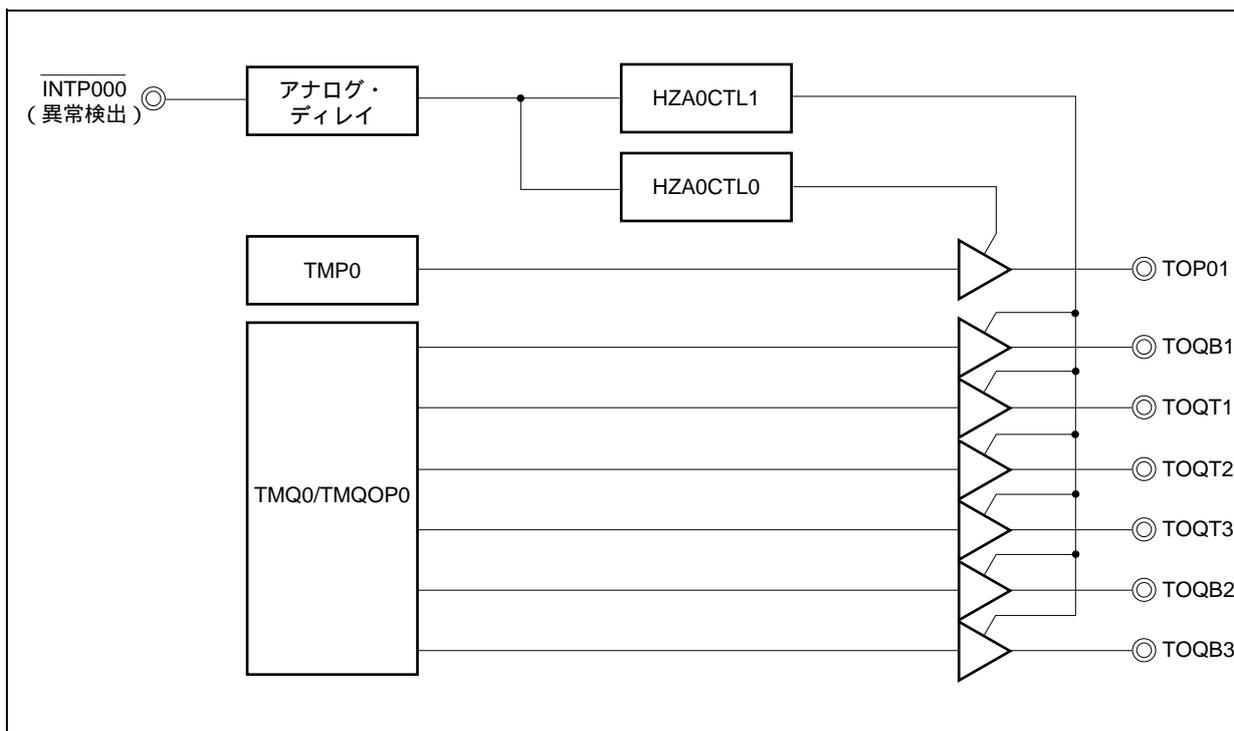
- ・ INTP000端子に異常を示すエッジが入力（HZA0DCNn, HZA0DCPnビットの設定により検出）された場合、HZA0DCTnビットに1を設定しても無効です。
- ・ HZA0DCTnビットはソフトウェア・トリガ・ビットなのでリードすると必ず0が読み出されます。
- ・ HZA0DCEnビット = 0のとき、HZA0DCTnビットに1を設定しても無効です。
- ・ HZA0DCTnビットとHZA0DCCnビットを同時に1に設定することは禁止です。

HZA0DCCn	ハイ・インピーダンス出力制御クリア・ビット
0	非動作
1	ハイ・インピーダンス状態の対象端子をソフトウェアで出力許可状態にして、HZA0DCF _n ビットがクリア(0)されます。

・ HZA0DCMビット = 0 のとき、 $\overline{\text{INTP000}}$ 端子の状態にかかわらず対象端子の出力が可能です。
 ・ HZA0DCMビット = 1 のとき、 $\overline{\text{INTP000}}$ 端子に異常を示すエッジが入力 (HZA0DCN_n, HZA0DCP_nビットの設定により検出) された場合、HZA0DCC_nビットに1を設定しても無効です。
 ・ HZA0DCC_nビットはリードすると必ず0が読み出されます。
 ・ HZA0DCE_nビット = 0 のとき、HZA0DCC_nビットに1を設定しても無効です。
 ・ HZA0DCT_nビットとHZA0DCC_nビットを同時に1に設定することは禁止です。

HZA0DCF _n	ハイ・インピーダンス出力状態フラグ
クリア(0)	対象端子の出力が可能状態であることを示します。 ・ HZA0DCE _n ビット = 0によりクリア(0)されます。 ・ HZA0DCC _n ビット = 1によりクリア(0)されます。
セット(1)	対象端子の出力がハイ・インピーダンス状態であることを示します。 ・ HZA0DCT _n ビット = 1によりセット(1)されます。 ・ $\overline{\text{INTP000}}$ 端子に異常を示すエッジが入力 (HZA0DCN _n , HZA0DCP _n ビットの設定により検出) された場合、セット(1)されます。

図12 - 4 ハイ・インピーダンス出力制御回路構成



(a) 設定手順

(i) ハイ・インピーダンス制御動作を設定する方法

- <1> HZA0DCMn, HZA0DCNn, HZA0DCPnビットの設定
- <2> HZA0DCEnビット = 1 (ハイ・インピーダンス制御の許可)

(ii) ハイ・インピーダンス制御許可設定後に変更する方法

- <1> HZA0DCEnビット = 0 (ハイ・インピーダンス制御動作の停止)。
- <2> HZA0DCMn, HZA0DCNn, HZA0DCPnビットの変更設定。
- <3> HZA0DCEnビット = 1 (ハイ・インピーダンス制御の再許可)。

(iii) 端子がハイ・インピーダンス状態のとき、出力を再開する方法

HZA0DCMnビット = 1の場合、 $\overline{\text{INTP000}}$ 端子の有効エッジ検出後、ハイ・インピーダンス状態の解除のためHZA0DCCnビットに1をセットしますが、 $\overline{\text{INTP000}}$ 端子の入力レベルがインアクティブ状態のときにセットしなければハイ・インピーダンス状態の解除はできません。

- <1> HZA0DCCnビット = 1 (ハイ・インピーダンス状態の解除命令信号)。
- <2> HZA0DCFnビットをリードし、フラグの状態を確認。
- <3> HZA0DCFnビット = 1ならば<1> の操作に戻る。 $\overline{\text{INTP000}}$ 端子の入力レベルの確認が必要。HZA0DCFnビット = 0ならば端子出力可能。

(iv) ソフトウェアにより端子をハイ・インピーダンスにする方法

ソフトウェアによりHZA0DCTnビット = 1を設定し、端子をハイ・インピーダンスにするには、 $\overline{\text{INTP000}}$ 端子の入力レベルがインアクティブ状態のときにセットしなければなりません。次の手順は、HZA0DCMnビットの設定に依存しない例です。

- <1> HZA0DCTnビット = 1 (ハイ・インピーダンス出力命令)。
- <2> HZA0DCFnビットをリードし、フラグの状態を確認。
- <3> HZA0DCFnビット = 0ならば<1>の操作に戻る。 $\overline{\text{INTP000}}$ 端子の入力レベルの確認が必要。HZA0DCFnビット = 1ならばハイ・インピーダンス状態。

ただし、HZA0DCPnビット = 0, HZA0DCNnビット = 0に設定し、 $\overline{\text{INTP000}}$ 端子入力を使用しない場合は、HZA0DCTnビットに1をセットすることでハイ・インピーダンス状態になります。

12.4 動作

12.4.1 システム概要説明

(1) 6相PWM出力概要

6相PWM出力モードは、6相PWM出力波形を生成するためにTMQ0とTMQ0オプションを組み合わせで使用します。

6相PWM出力モードはTMQ0のTQ0CTL1.TQ0MD2-TQ0MD0ビットを“111”に設定することにより有効となります。

基本3相波生成用にTMQ0の1本の16ビット・カウンタと4本の16ビット・コンペア・レジスタを使用します。

コンペア・レジスタの機能は次のとおりです。

また、A/Dコンバータの変換開始トリガ・ソース用に、TMP2はTMQ0と同調動作を行うことができます。

コンペア・レジスタ	機能	設定可能範囲
TQ0CCR0レジスタ	周期の設定	0002H m FFFE _H
TQ0CCR1レジスタ	U相の出力幅の指定	0000H i m+1
TQ0CCR2レジスタ	V相の出力幅の指定	0000H j m+1
TQ0CCR3レジスタ	W相の出力幅の指定	0000H k m+1

備考 m = TQ0CCR0レジスタの設定値

i = TQ0CCR1レジスタの設定値

j = TQ0CCR2レジスタの設定値

k = TQ0CCR3レジスタの設定値

生成された基本3相波を3本の10ビット・デッド・タイム・カウンタと1本のコンペア・レジスタでデッド・タイム間隔生成を行って、基本3相波の逆相波を作り、6相PWM出力波形(U, \bar{U} , V, \bar{V} , W, \bar{W})を生成します。

基本3相波生成用の16ビット・カウンタは、アップ/ダウン・カウント動作を行います。動作開始後はアップ・カウント動作を行い、TQ0CCR0レジスタに設定された周期値と一致するとダウン・カウント動作に切り替わります。次に0001Hとの一致が起こると再びアップ・カウント動作に切り替わります。つまりTQ0CCR0レジスタに設定した値+1の2倍の値がキャリア周期となります。

デッド・タイム間隔生成用の10ビットのデッド・タイム・カウンタ1-3は、アップ・カウント動作を行うので、TMQ0デッド・タイム・コンペア・レジスタ(TQ0DTC)に設定した値がデッド・タイム値そのものになります。また、カウンタは3本ありデッド・タイム生成をU相、V相、W相に対し独立に行うことができますが、デッド・タイム値の指定レジスタ(TQ0DTC)は1本であるため、3相とも同じデッド・タイム値となります。

図12 - 5 6相PWM出力モードの概要

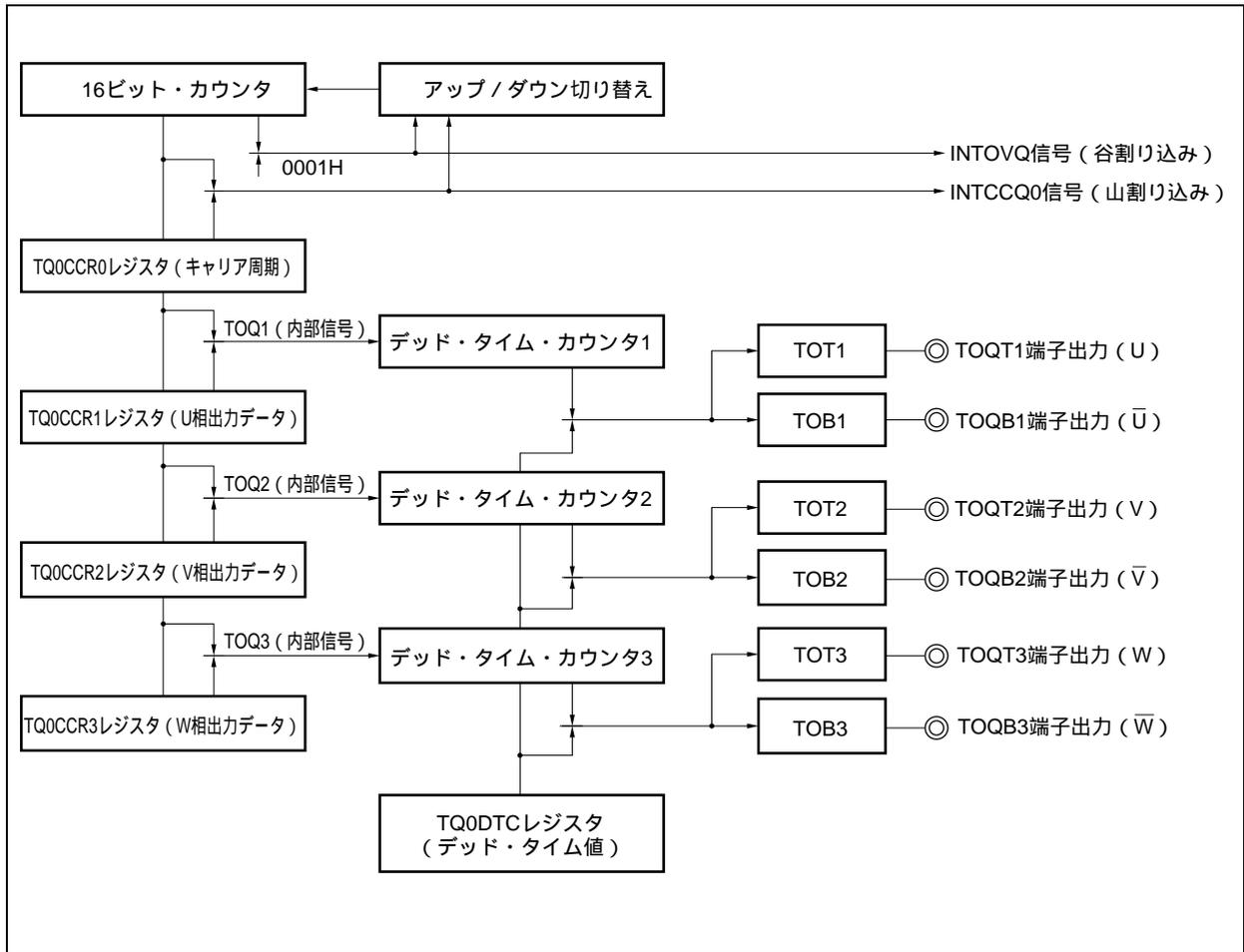
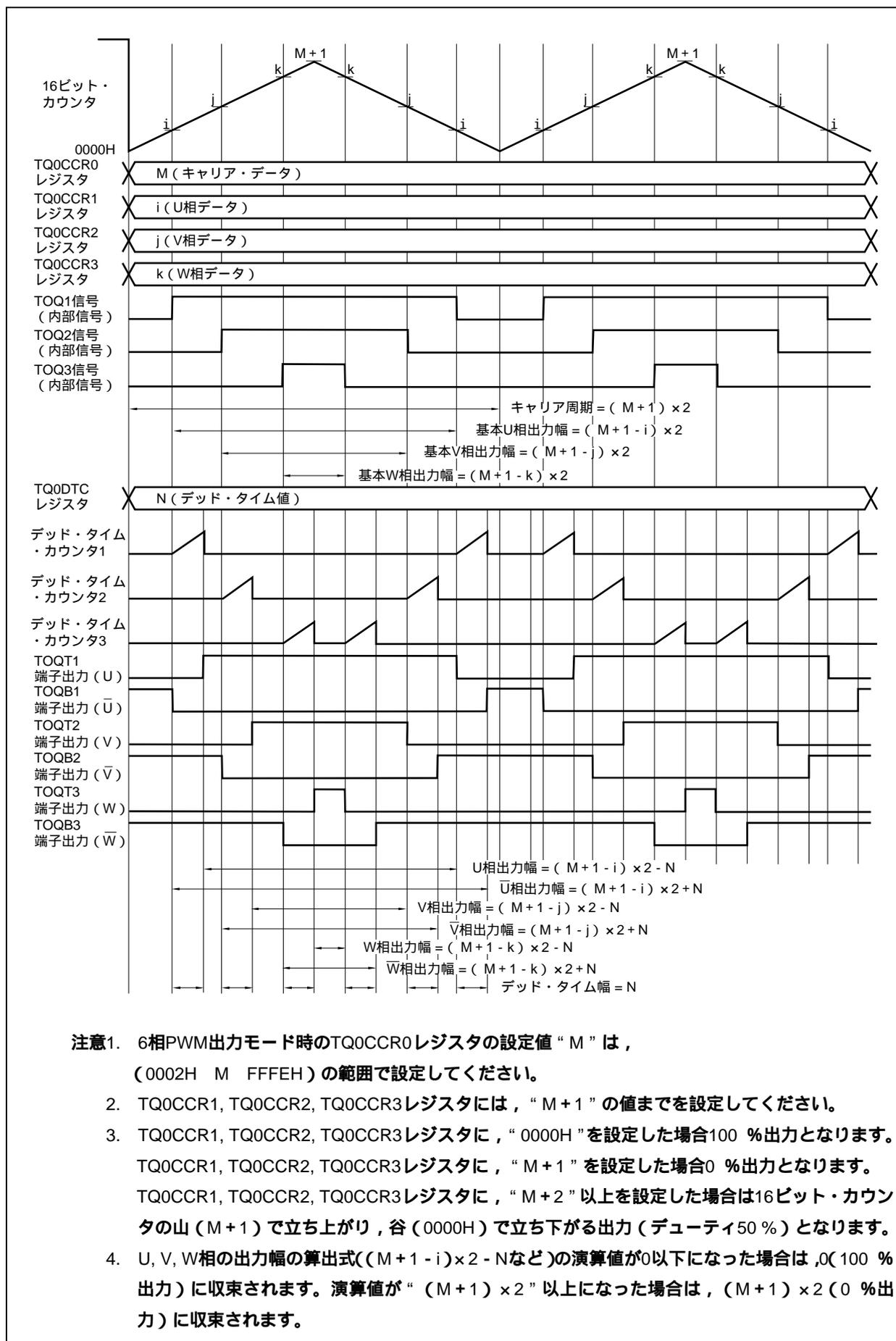


図12-6 6相PWM出力モードのタイミング図



(2) 割り込み要求

割り込み要求は、INTCCQ0（山割り込み）とINTOVQ（谷割り込み）の2種類あります。

INTCCQ0, INTOVQは、TQ0OPT1レジスタで割り込み要求を間引くことができます。

割り込み間引きに関する詳細は、12. 4. 3 **割り込み間引き機能**を参照してください。

- ・ INTCCQ0（山割り込み） : アップ・カウント時の16ビット・カウンタの値とTQ0CCR0レジスタの値との一致割り込み
- ・ INTOVQ（谷割り込み） : ダウン・カウント時の16ビット・カウンタの値と0001Hの一致割り込み

(3) タイマ動作中のレジスタの書き換えについて

次のレジスタには、バッファ・レジスタがあり、随時書き換え、一斉書き換え、間欠一斉書き換えのいずれかの方法で書き換えができます。

関係ユニット	レジスタ
タイマP2	TMP2キャプチャ/コンペア・レジスタ0 (TP2CCR0) TMP2キャプチャ/コンペア・レジスタ1 (TP2CCR1)
タイマQ0	TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0) TMQ0キャプチャ/コンペア・レジスタ1 (TQ0CCR1) TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2) TMQ0キャプチャ/コンペア・レジスタ3 (TQ0CCR3)
タイマQ0オプション	TMQ0オプション・レジスタ1 (TQ0OPT1)

コンペア・レジスタの転送機能に関する詳細は、12. 4. 4 **転送機能付きレジスタの書き換え操作**を参照してください。

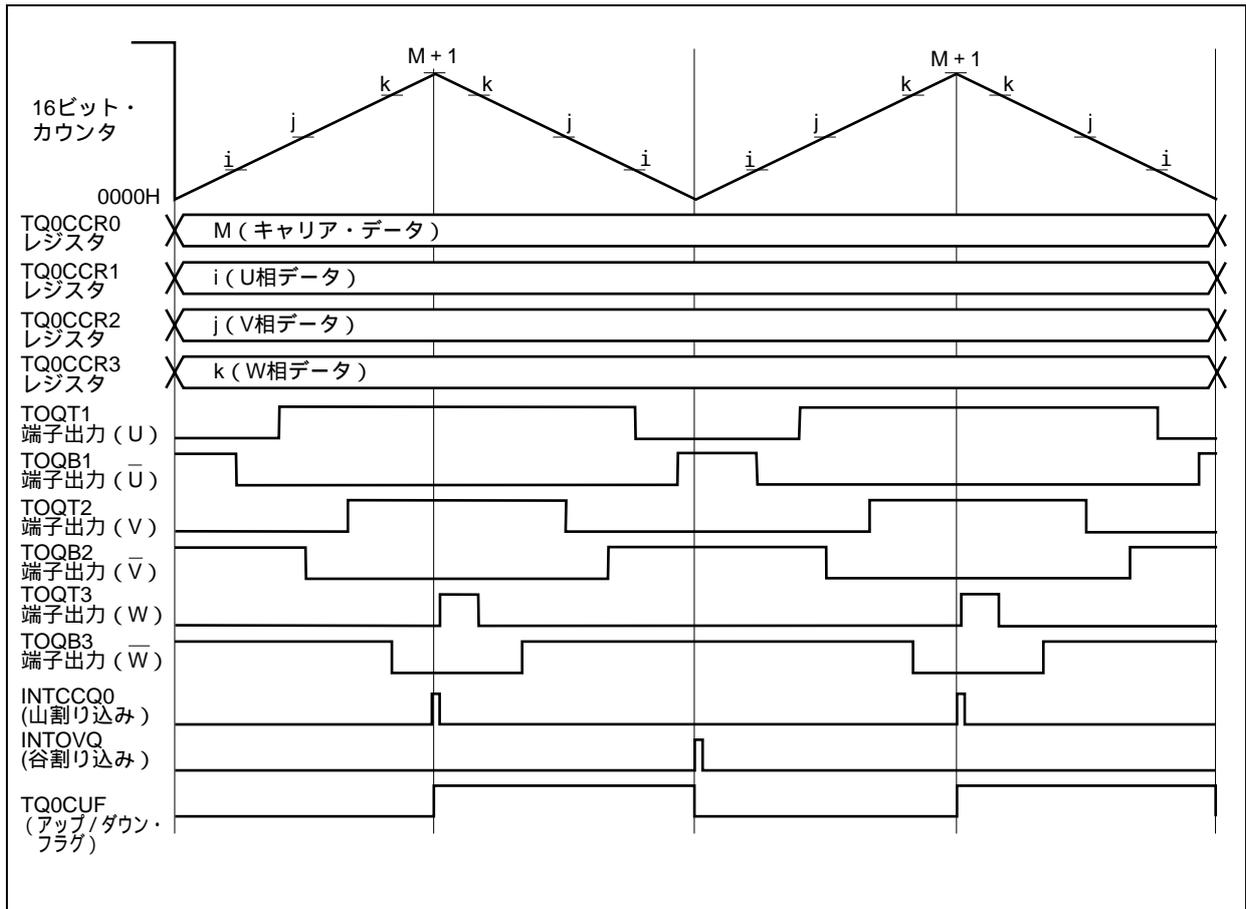
(4) 16ビット・カウンタのアップ/ダウン・カウント動作

16ビット・カウンタの動作状態は、TMQ0オプション・レジスタ0 (TQ0OPT0) のTQ0CUFビットにより確認できます。

TQ0CUFビットの状態	16ビット・カウンタの状態	16ビット・カウンタの値の範囲
TQ0CUFビット = 0	アップ・カウント	0000H - m
TQ0CUFビット = 1	ダウン・カウント	(m + 1) - 0001H

備考 m = TQ0CCR0レジスタの設定値

図12-7 割り込みとアップ/ダウン・フラグ



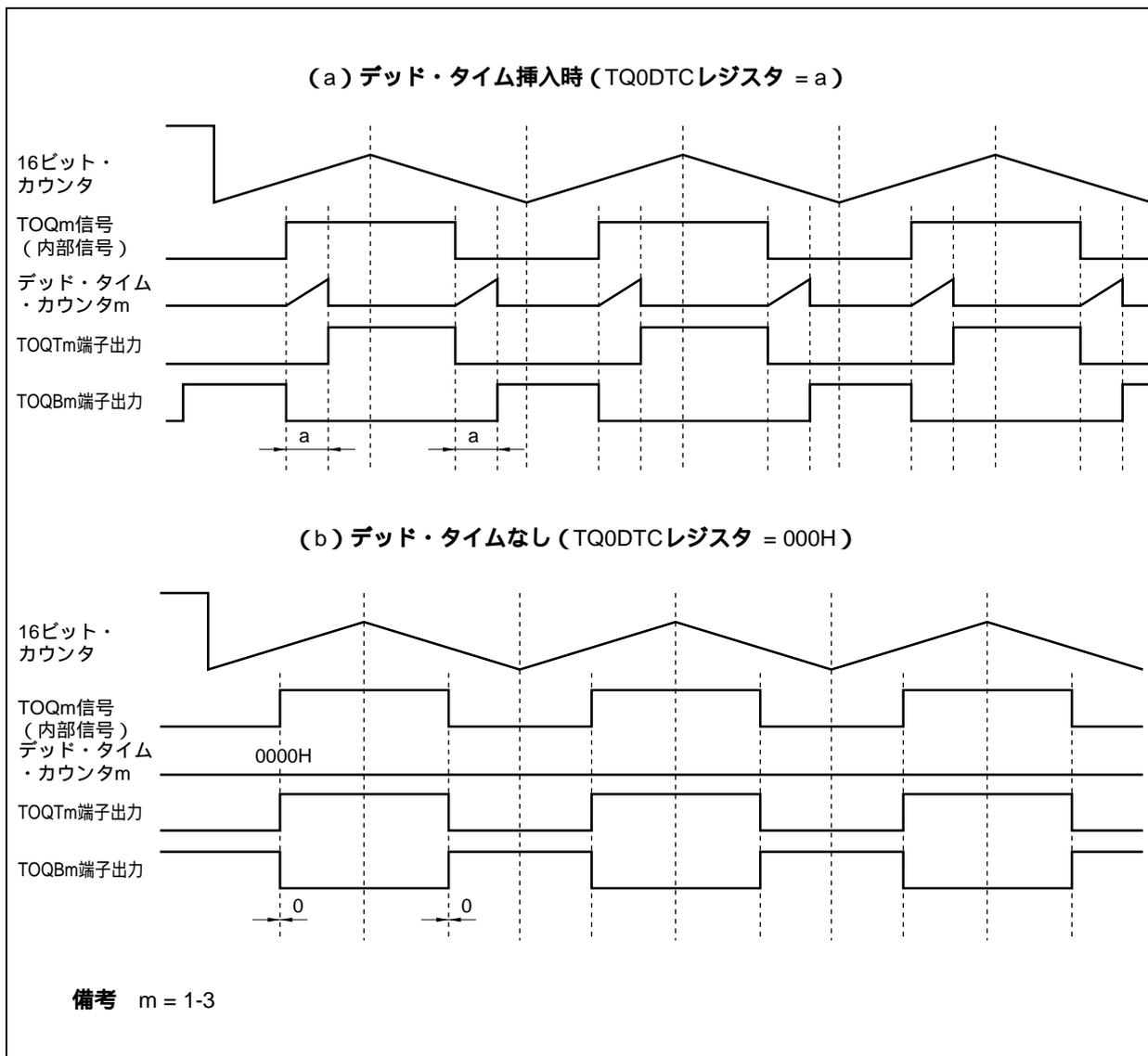
12.4.2 デッド・タイム制御 (逆相波信号の生成)

(1) デッド・タイム制御機構

6相PWM出力モードではデューティ用の設定レジスタはコンペア・レジスタ1-3 (TQ0CCR1, TQ0CCR2, TQ0CCR3) とし、周期用の設定レジスタはコンペア・レジスタ0 (TQ0CCR0) となります。この4種類のレジスタを設定し、TMQを動作させることでデューティ可変型の3種類のPWM出力波形 (基本3相波) を生成します。この3種類のPWM出力波形をタイマQオプション・ユニット (TMQOP0) で受け、デッド・タイムを付加した反転信号を作成することで、3組6本のPWM波形を生成します。

TMQOP0ユニットは、TMQ0のカウント・クロックに同期して動作する3本の10ビット・カウンタ (デッド・タイム・カウンタ1-3) とデッド・タイムの時間を指定するTMQ0デッド・タイム・コンペア・レジスタ (TQ0DTC) で構成されます。TQ0DTCレジスタに“a”を設定するとデッド・タイム値は“a”となり、正相波と逆相波の間に“a”の間隔が作られます。

図12-8 デッド・タイム付加後のPWM出力波形 (1)



(2) 0 % / 100 %のPWM出力

V850E/MA3は、PWM出力の0 %波形出力、および100 %波形出力が可能です。

0 %波形出力は、TOQ_{Tm}端子からロウ・レベルを出力し続けます。100 %波形はTOQ_{Tm}端子からハイ・レベルを出力し続けます。

0 %波形は、TQ0CCR0レジスタ = Mの場合、TQ0CCR_mを“M + 1”に設定することにより出力されません。

100 %波形は、TQ0CCR_mレジスタを“0000H”に設定することにより出力されます。

なお、タイマ動作中にTQ0CCR_mレジスタの書き換えは許可されており、山割り込み (INTCCQ0) および谷割り込み (INTOVQ) のポイントで、0 %波形出力 / 100 %波形出力に切り替えられます。

備考 m = 1-3

図12 - 9 0 %PWM出力波形図 (デッド・タイムなし)

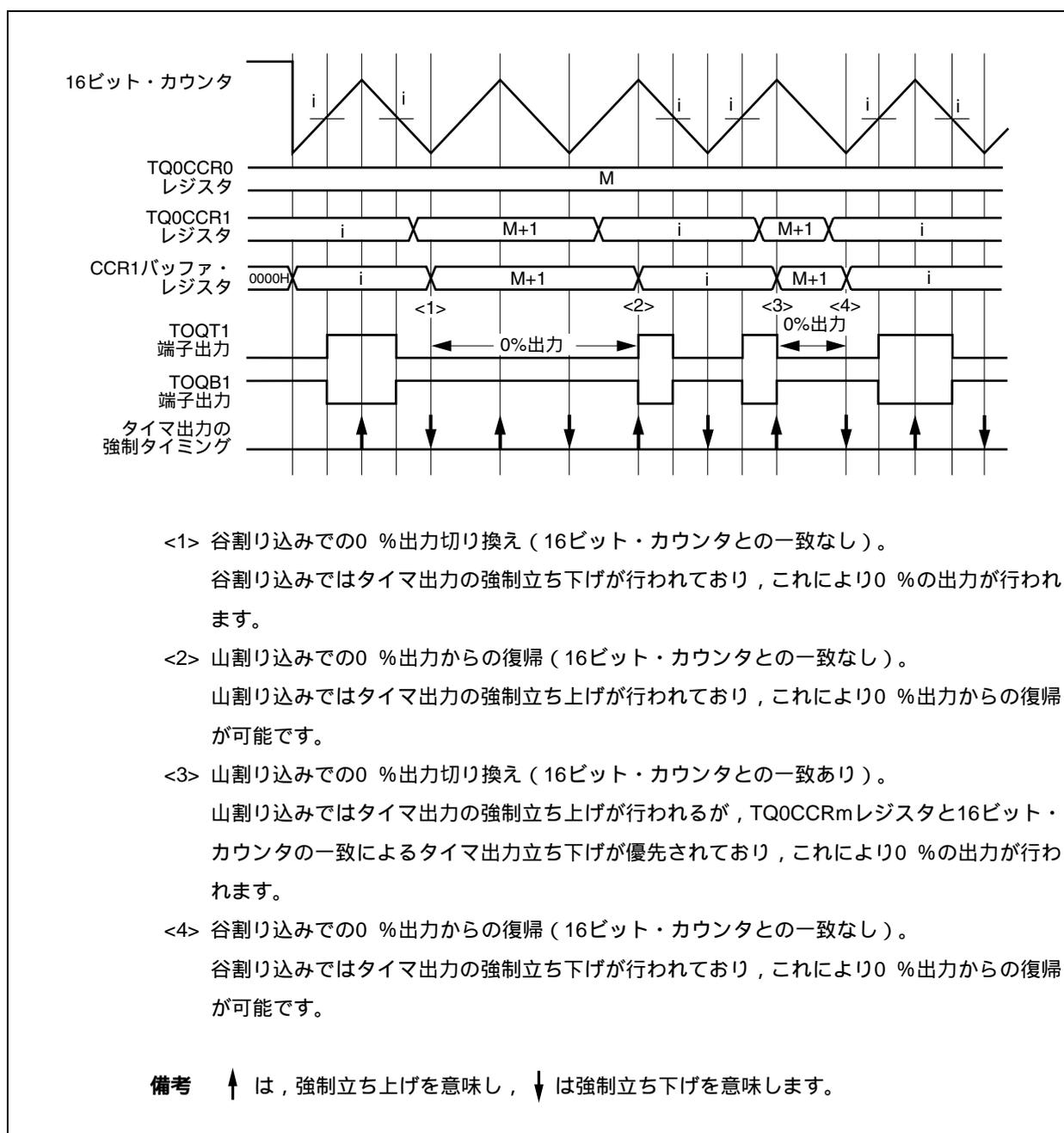


図12 - 10 100 %PWM出力波形図(デッド・タイムなし)

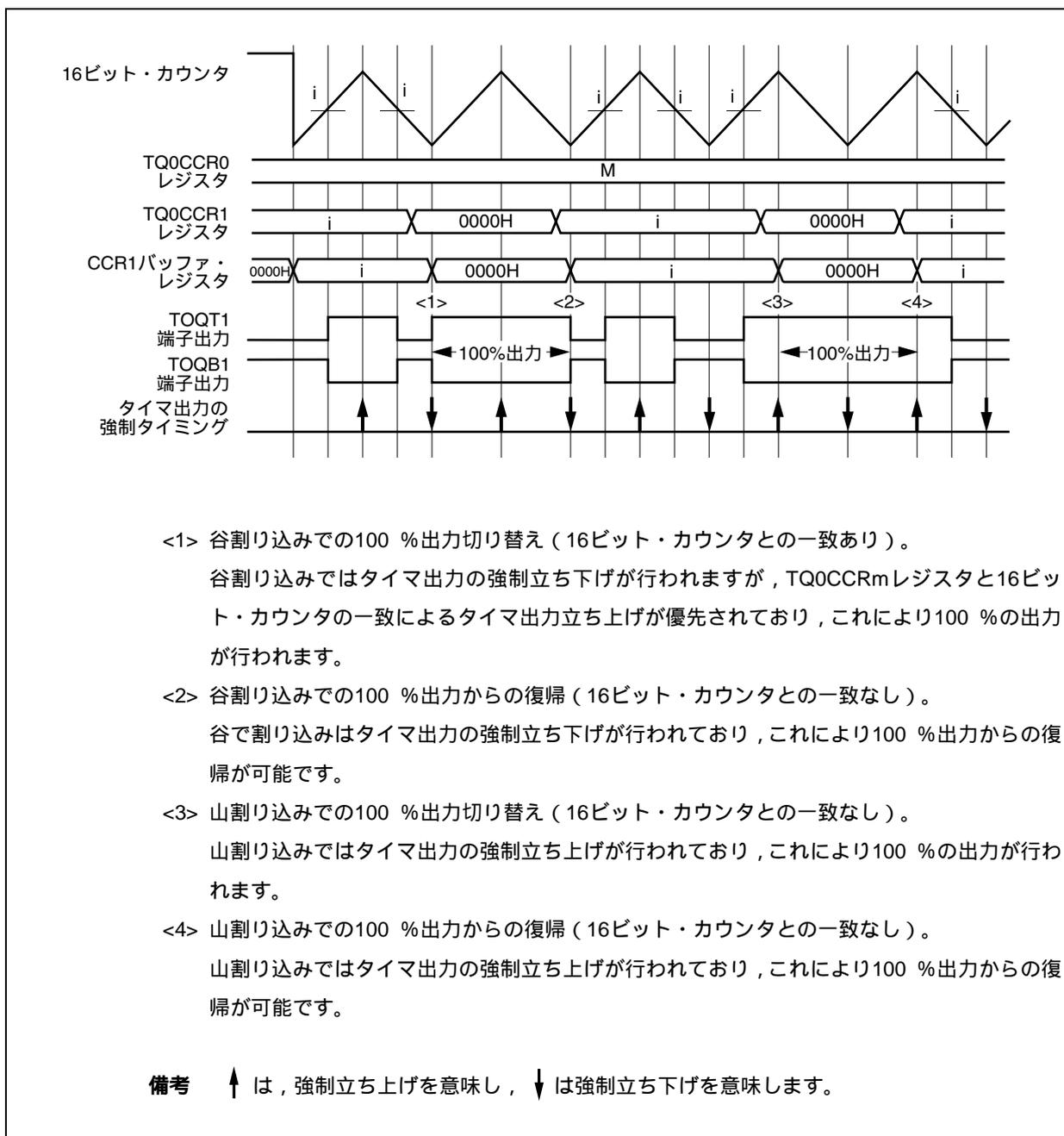
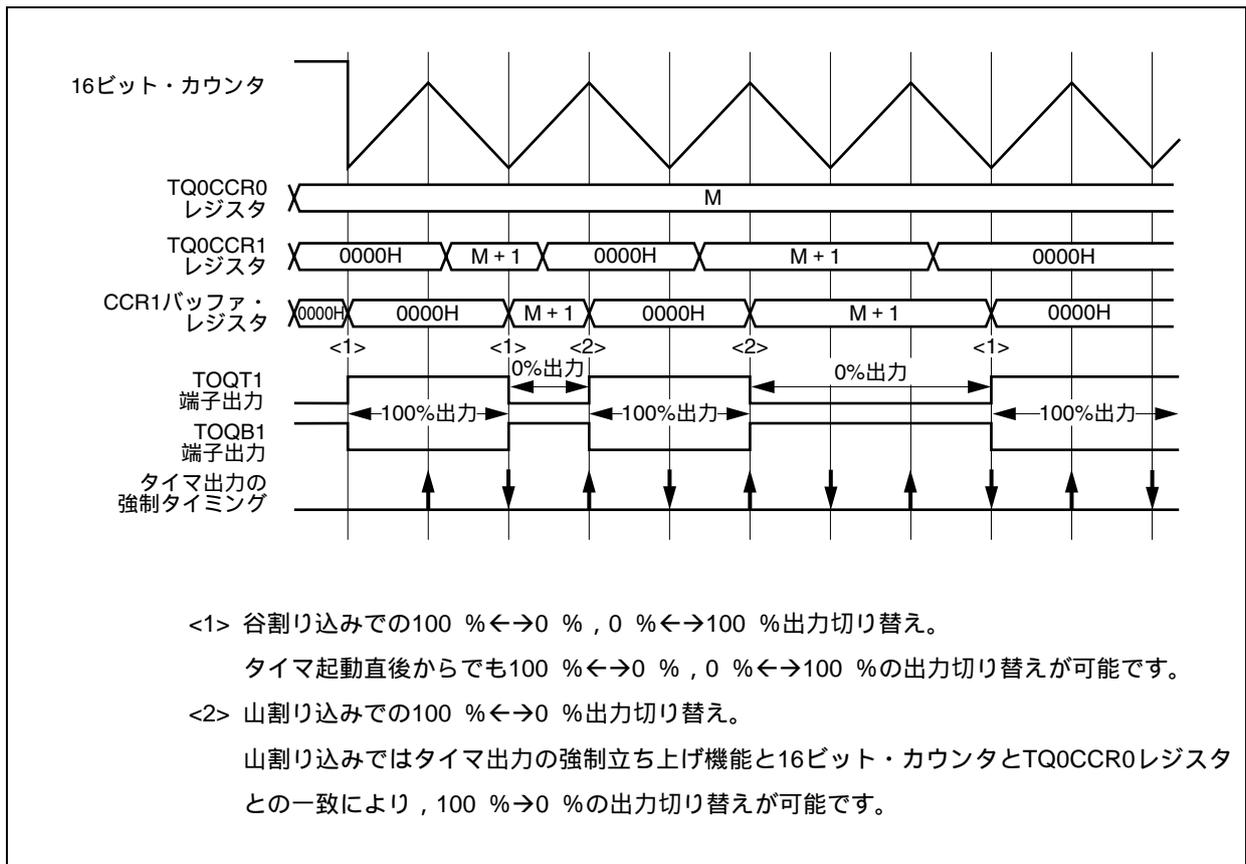


図12-11 0%から100% , 100%から0%のPWM出力波形図(デッド・タイムなし)

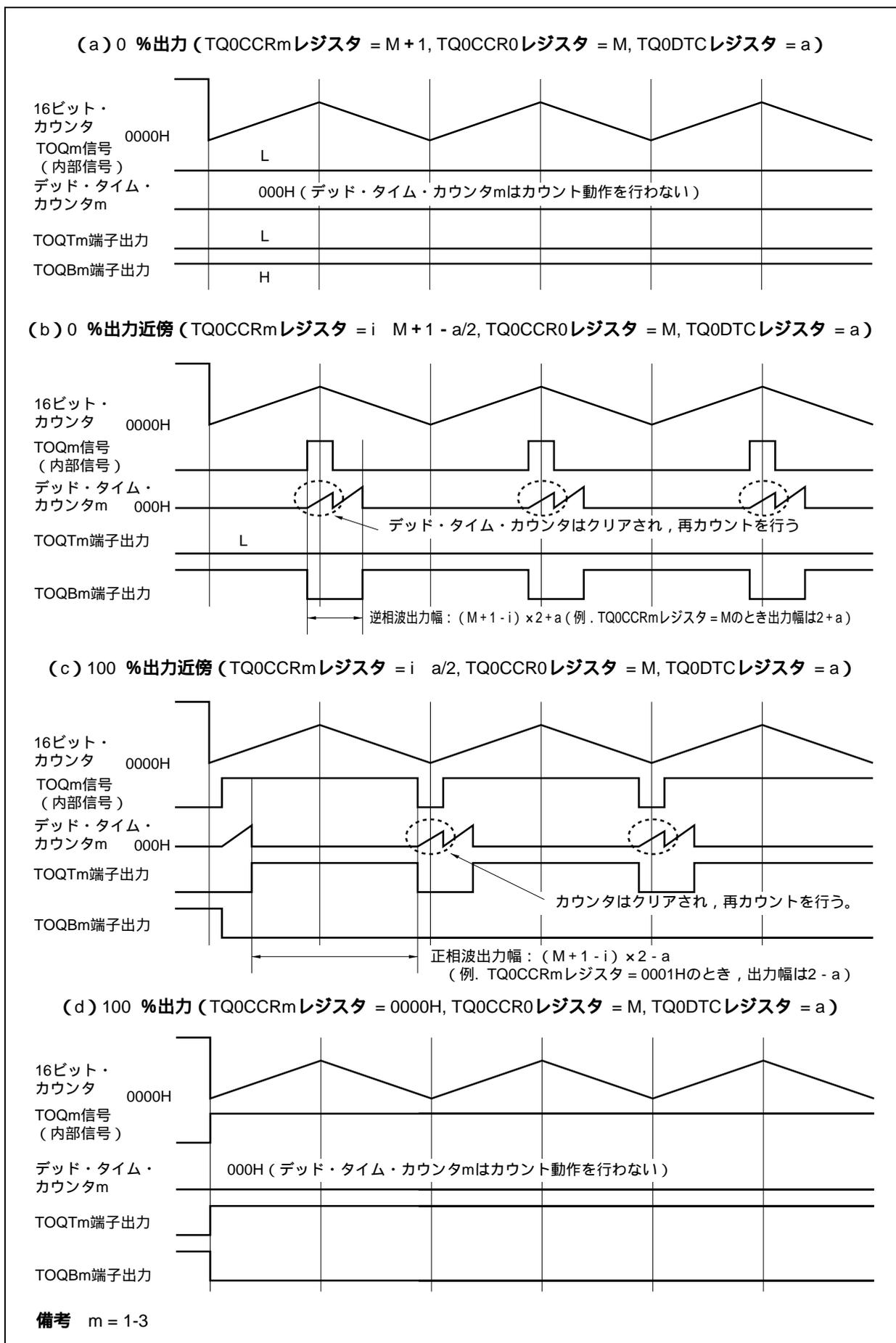


(3) 0% , 100%出力近傍の出力波形

デッド・タイム・カウント中にコンペア・レジスタと16ビット・カウンタとの一致割り込みが発生した場合 , デッド・タイム・カウンタはクリアされ , 再びカウント動作をします。

0% , 100%出力の近傍でのデッド・タイム制御の出力波形を次に示します。

図12-12 デッド・タイム付加後のPWM出力波形(2)



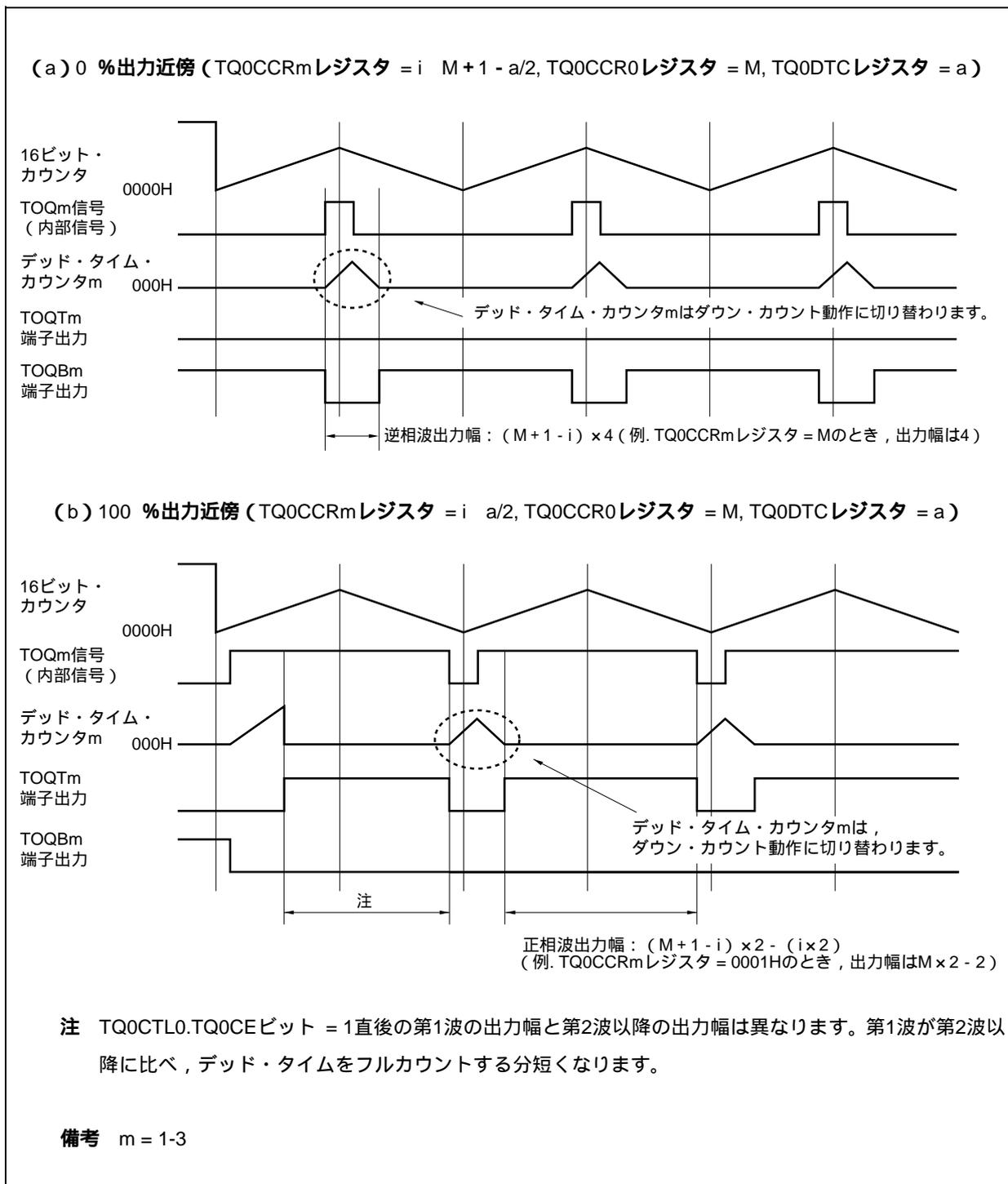
(4) デッド・タイム幅の自動縮小機能 (TQ0OPT2.TQ0DTMビット = 1)

TQ0OPT2.TQ0DTMビットを“1”に設定することにより、0%出力近傍/100%出力近傍でのデッド・タイム幅を自動で縮小ができます。

TQ0DTMビット = 1に設定することにより、デッド・タイム・カウント中に再度のタイマQのTOQm(内部信号)出力変化が起こった場合、カウンタ・クリア動作は行わず、デッド・タイム・カウンタはダウン・カウント動作に切り替わります。

TQ0DTMビット = 1に設定した場合のタイミング・チャートを次に示します。

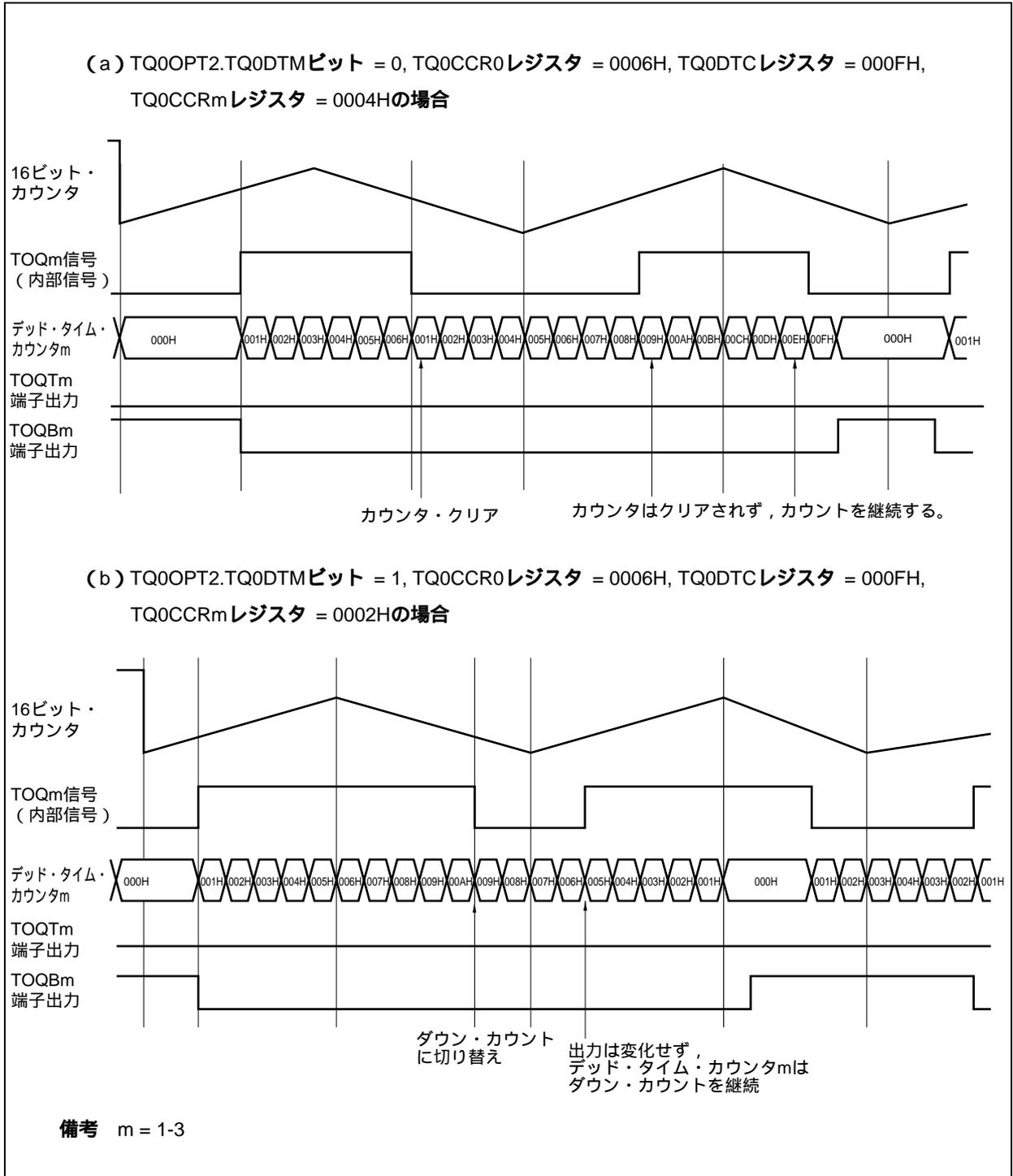
図12-13 デッド・タイム・カウンタmの動作(1)



(5) 異常設定時のデッド・タイム制御

通常使用であれば、デッド・タイム・カウント中に再度のTMQ0のTOQm (内部信号) 出力変化が起こるのは1度だけで、0%、100%出力の近傍のみです。ここでは、TQ0CCR0レジスタ(キャリア周期)とTQ0DTCレジスタ(デッド・タイム値)の設定を誤り異常な設定をした場合の動作を示します。異常設定をすると、デッド・タイム・カウント中に2, 3度のTMQ0のTOQm (内部信号) 出力変化が起こります。この場合の6相PWM出力波形の出力例を示します。

図12-14 デッド・タイム・カウンタmの動作(2)



12.4.3 割り込み間引き機能

- ・間引き対象割り込みは、INTCCQ0（山割り込み）とINTOVQ（谷割り込み）です。
- ・TQ0OPT1.TQ0ICEビットで、INTCCQ0割り込みの出力許可と間引きカウント対象指定を行います。
- ・TQ0OPT1.TQ0IOEビットで、INTOVQ割り込みの出力許可と間引きカウント対象指定を行います。
- ・TQ0OPT1.TQ0ID4-TQ0ID0ビットで、間引きカウント対象に指定された割り込みの間引きカウント数の指定を行います。
指定した間引きカウント数分、割り込みはマスクされ、次の割り込みタイミングで割り込みが発生します。
- ・TQ0OPT2.TQ0RDEビットで、転送の間引きあり/なしが指定可能です。
間引きありに指定した場合は、間引き後の割り込み出力と同タイミングにて転送が実行されます。
間引きなしに指定した場合は、TQ0CCR1レジスタ書き込み後の転送タイミングで転送が実行されます。
- ・TQ0OPT0.TQ0CMSビットで、一斉書き換え/随時書き換えが指定可能。
TQ0CMSビット = 0のときは転送に同期してレジスタ値が更新されますが、TQ0CMSビット = 1のときは書き込み後、ただちにレジスタ値が更新されます。
転送タイミングは、割り込み間引きタイミングに同期して、TQ0CCRmレジスタからCCRmバッファ・レジスタに転送されます。

注意 一斉書き換えモード（転送モード）で割り込み間引き機能を使用する場合には、必ず間欠一斉書き換えモード（転送間引きモード）で行ってください。

(1) 割り込み間引き動作

図12 - 15 TQ0OPT1.TQ0ICEビット = 1, TQ0IOEビット = 1, TQ0OPT2.TQ0RDEビット = 1での
割り込み間引き動作 (山/谷割り込み出力)

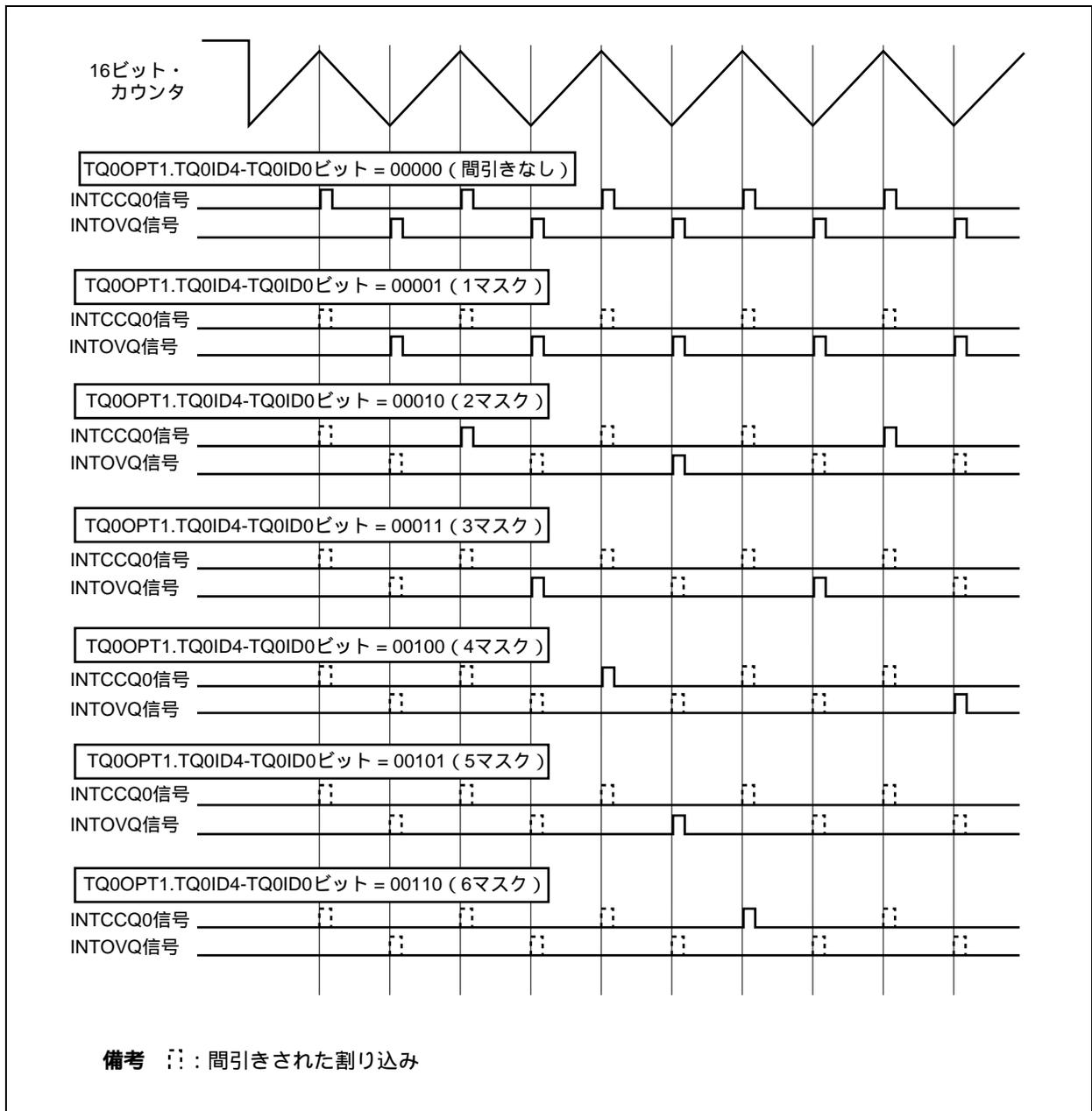


図12 - 16 TQ0OPT1.TQ0ICEビット = 1, TQ0IOEビット = 0, TQ0OPT2.TQ0RDEビット = 1での
割り込み間引き動作（山割り込みのみ出力）

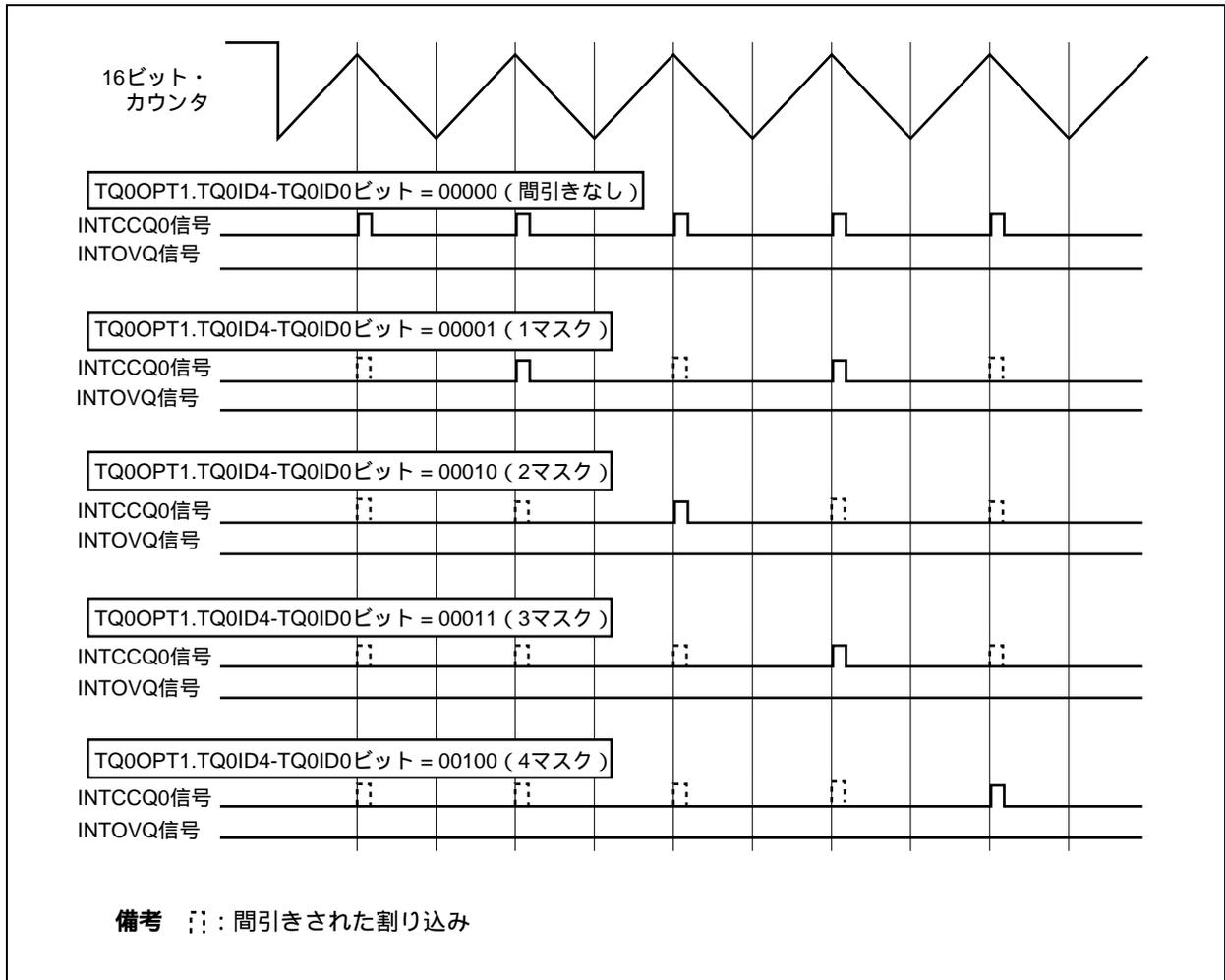
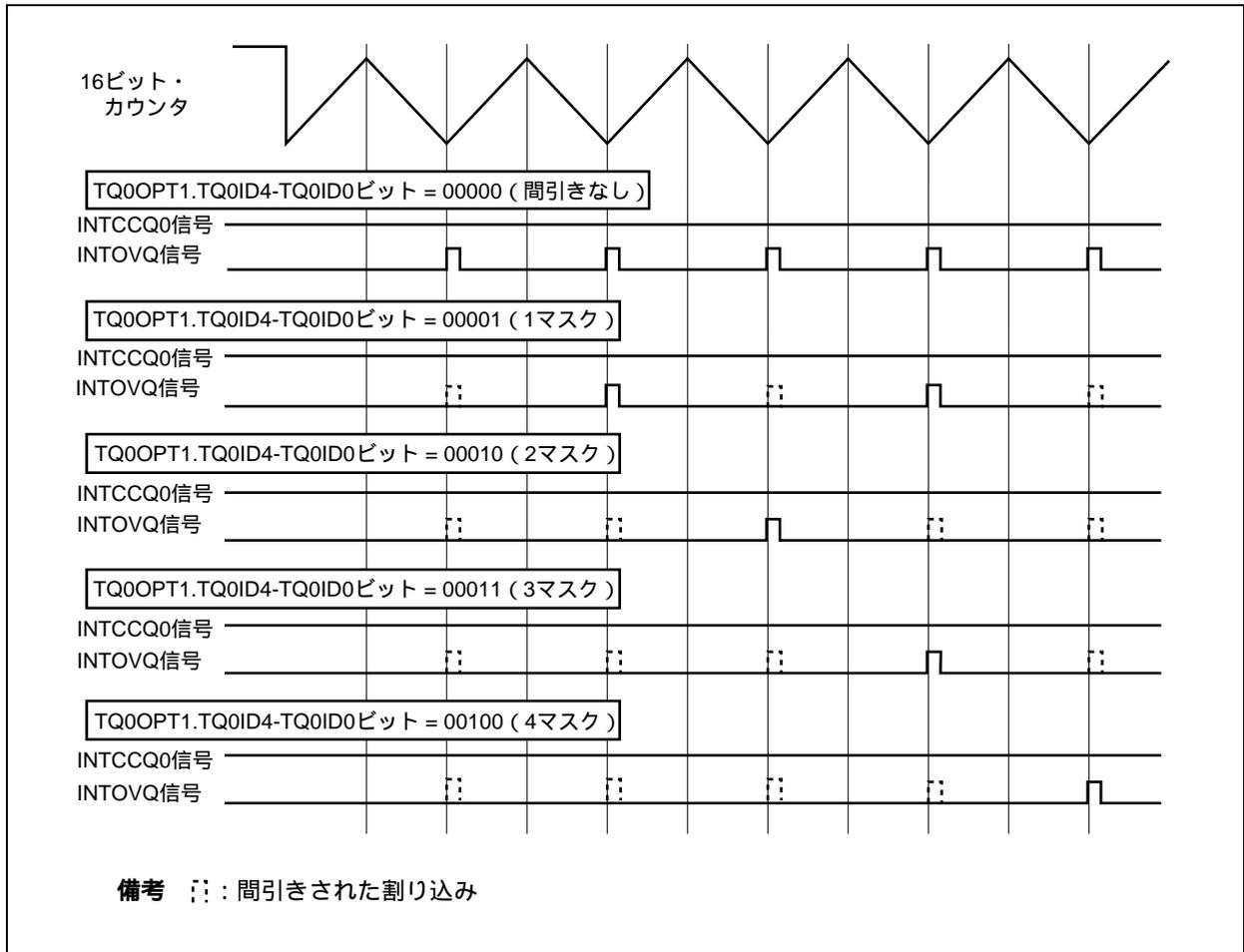


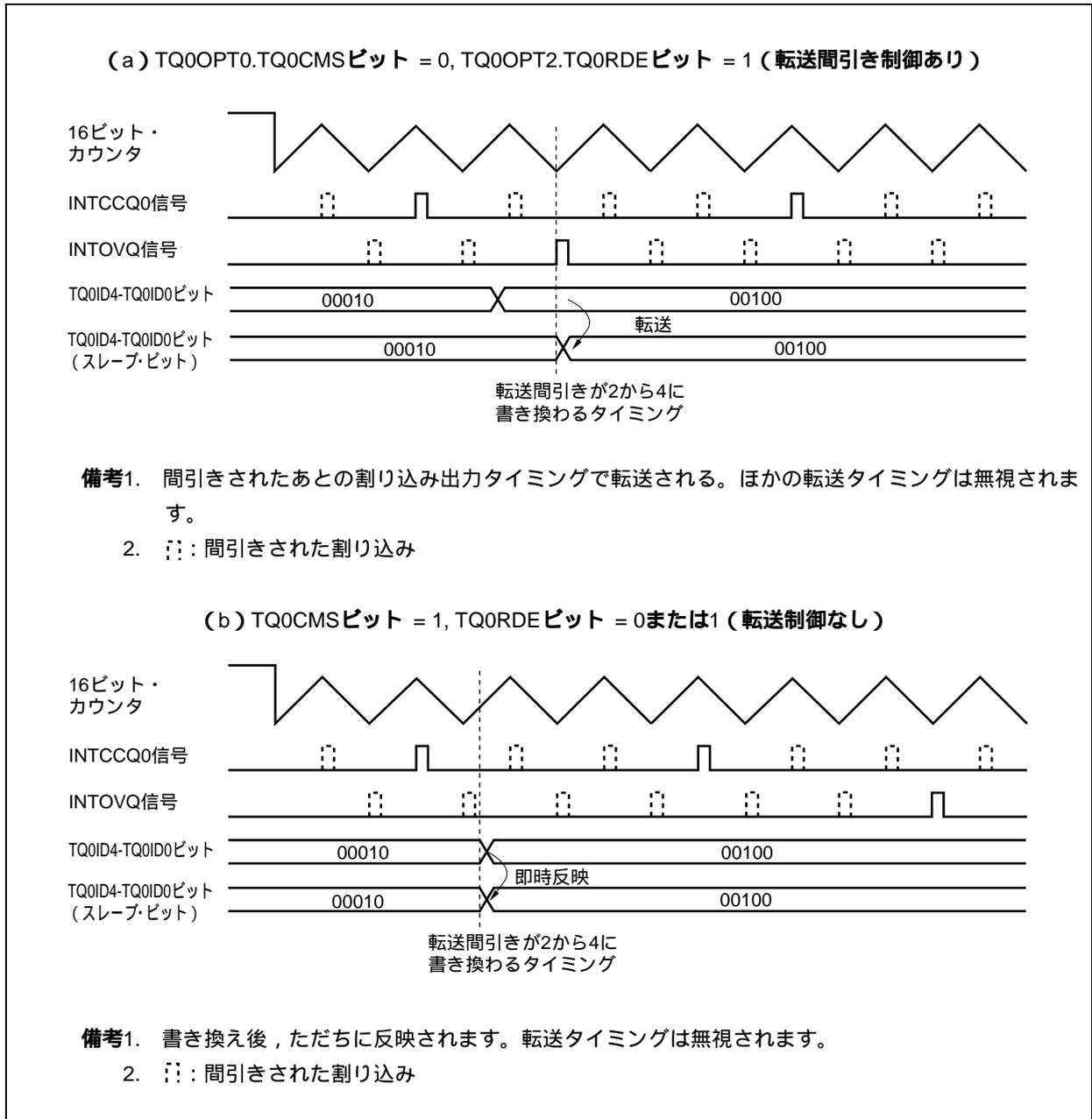
図12 - 17 TQ0OPT1.TQ0ICEビット = 0, TQ0IOEビット = 1, TQ0OPT2.TQ0RDEビット = 1での
割り込み間引き動作（谷割り込みのみ出力）



(2) 山割り込み (INTCCQ0) と谷割り込み (INTOVQ) を交互出力する場合

山割り込みと谷割り込みを交互に出力するにはTQ0OPT1.TQ0ICE, TQ0IOEビットをともに“1”に設定してください。

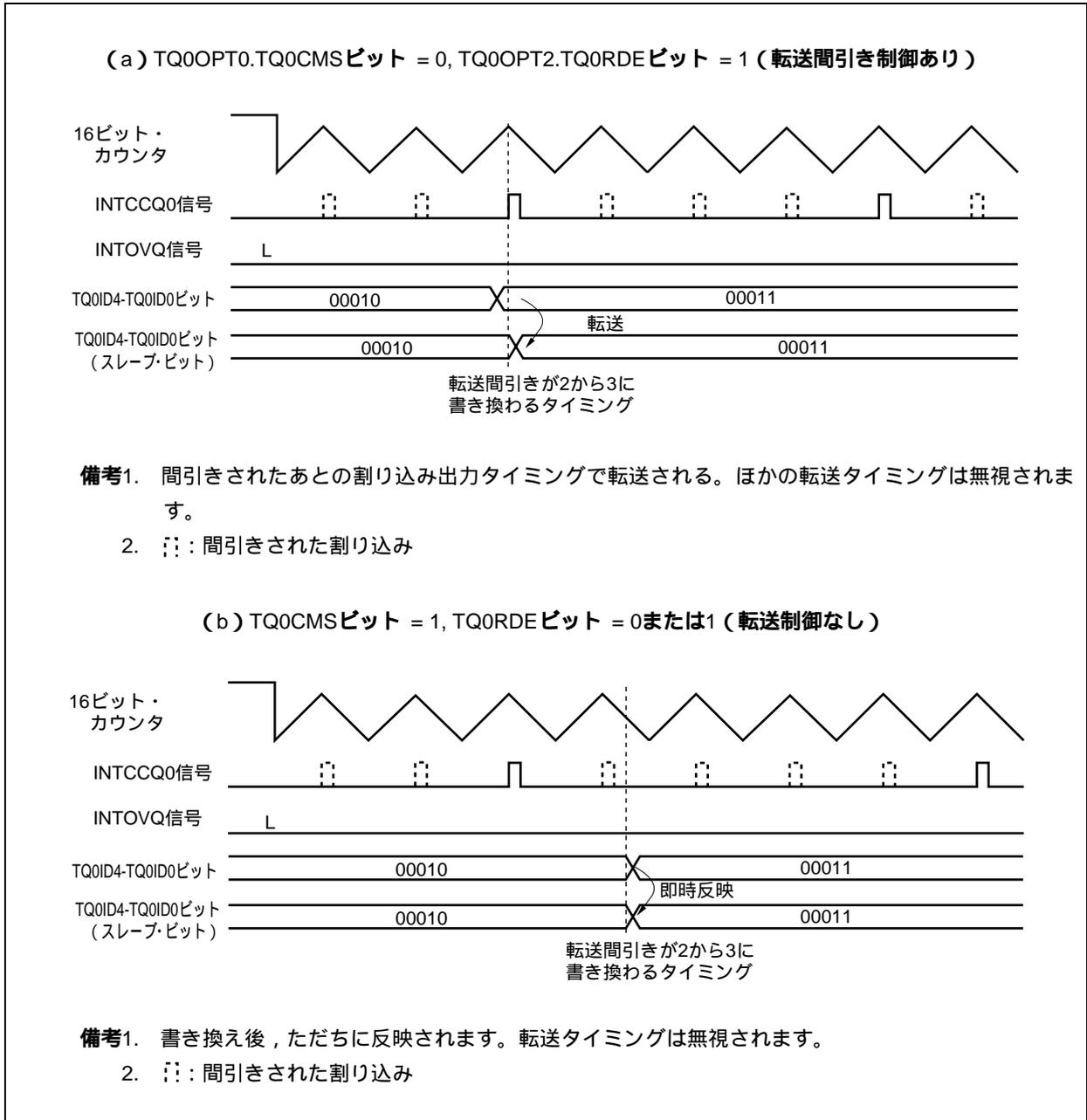
図12 - 18 山 / 谷割り込み出力



(3) 山割り込み (INTCCQ0) のみを出力する場合

TQ0OPT1.TQ0ICEビット = 1, TQ0IOEビット = 0に設定してください。

図12 - 19 山割り込み出力



(4) 谷割り込み (INTOVQ) のみを出力する場合

TQ0OPT1.TQ0ICEビット = 0, TQ0IOEビット = 1に設定してください。

図12 - 20 谷割り込み出力



12.4.4 転送機能付きレジスタの書き換え操作

モータ制御に使用し、転送機能があるレジスタは次の7種類です。それぞれにバッファ・レジスタがあります。

- ・ TQ0CCR0 : 16ビット・カウンタ (TMQ) の周期指定用レジスタ
- ・ TQ0CCR1 : TOQT1 (U) , TOQB1 (\bar{U}) のデューティ指定用レジスタ
- ・ TQ0CCR2 : TOQT2 (V) , TOQB2 (\bar{V}) のデューティ指定用レジスタ
- ・ TQ0CCR3 : TOQT3 (W) , TOQB3 (\bar{W}) のデューティ指定用レジスタ
- ・ TQ0OPT1 : 割り込み間引き指定用レジスタ
- ・ TP2CCR0 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTMP2)
- ・ TP2CCR1 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTMP2)

また、転送機能があるレジスタには、次の3種類の書き換えモードがあります。

・ 随時書き換えモード

TQ0OPT0.TQ0CMSビット = 1で設定します。TQ0OPT2.TQ0RDEビットの設定は無視されます。

このモードでは、各コンペア・レジスタが独立して更新動作を行い、各コンペア・レジスタに書き込むと即時に書き込み値が更新されます。

・ 一斉書き換えモード (転送モード)

TQ0OPT0.TQ0CMSビット = 0, TQ0OPT1.TQ0ID4-TQ0ID0ビット = 00000, TQ0OPT2.TQ0RDEビット = 0で設定します。

TQ0CCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTQ0CCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送タイミングは、割り込みとは関係なく毎回の山 (16ビット・カウンタとTQ0CCR0レジスタの一致) タイミングと谷 (16ビット・カウンタと0001Hの一致) タイミングです。

・ 間欠一斉書き換えモード (転送間引きモード)

TQ0OPT0.TQ0CMSビット = 0, TQ0OPT2.TQ0RDEビット = 1で設定します。

TQ0CCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTQ0CCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送は、TQ0OPT1レジスタで指定した割り込み間引きにあわせて転送タイミングも間引かれ、間引かれたあとの山割り込み (16ビット・カウンタとTQ0CCR0の一致) タイミング、または谷割り込み (16ビット・カウンタと0001Hの一致) タイミングにより7つのレジスタに対して一斉に行われます。

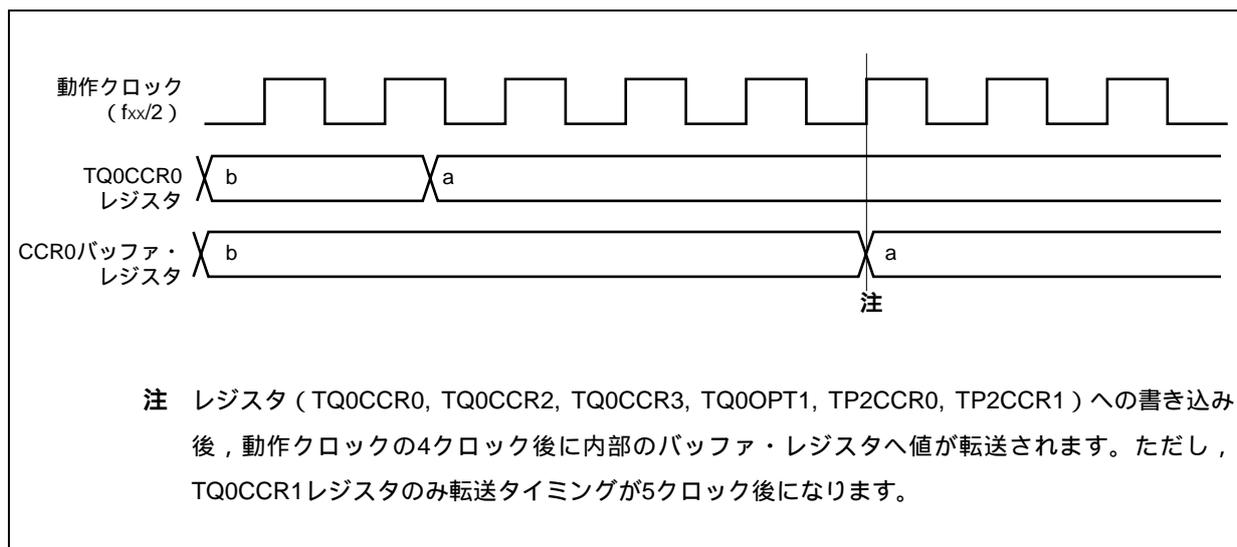
割り込み間引き機能についての詳細は、12.4.3 **割り込み間引き機能**を参照してください。

(1) 随時書き換えモード

TQ0OPT0.TQ0CMSビット = 1で設定します。TQ0OPT2.TQ0RDEビットの設定は無視されます。

各転送機能付きレジスタへの書き込み値が、すぐに内部のバッファ・レジスタに転送されカウンタ値との比較対象になるモードです。このモードではTQ0CCRmと16ビット・カウンタの一致が発生後に書き換ええると、一度一致が発生したあとの再度の一致は無視されるので書き換え値は反映されません。アップ・カウント中に書き換えた場合はダウン・カウントに切り替わったあとの一致で有効になります。

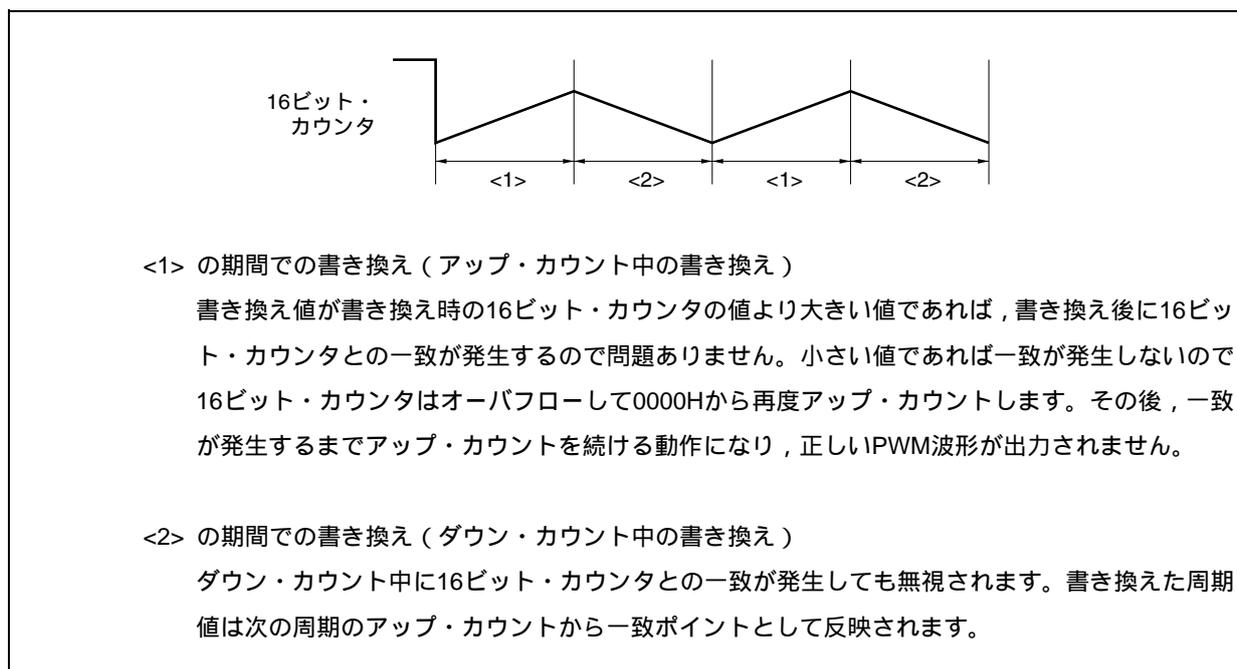
図12 - 21 書き換え値の反映タイミング



(a) TQ0CCR0レジスタの書き換え

TQ0CCR0レジスタを随時書き換えモードで書き換えても、すぐには値が反映されない場合があります。

図12 - 22 TQ0CCR0レジスタの書き換え例



(b) TQ0CCRmレジスタの書き換え

図12 - 24に16ビット・カウンタとTQ0CCRmレジスタが一致する前に書き換えた場合のタイミング (図12 - 23の<1>) を, 図12 - 25に16ビット・カウンタとTQ0CCRmレジスタが一致したあとに書き換えた場合のタイミング (図12 - 23の<2>) を示します。

図12 - 23 16ビット・カウンタとTQ0CCRmレジスタの基本動作

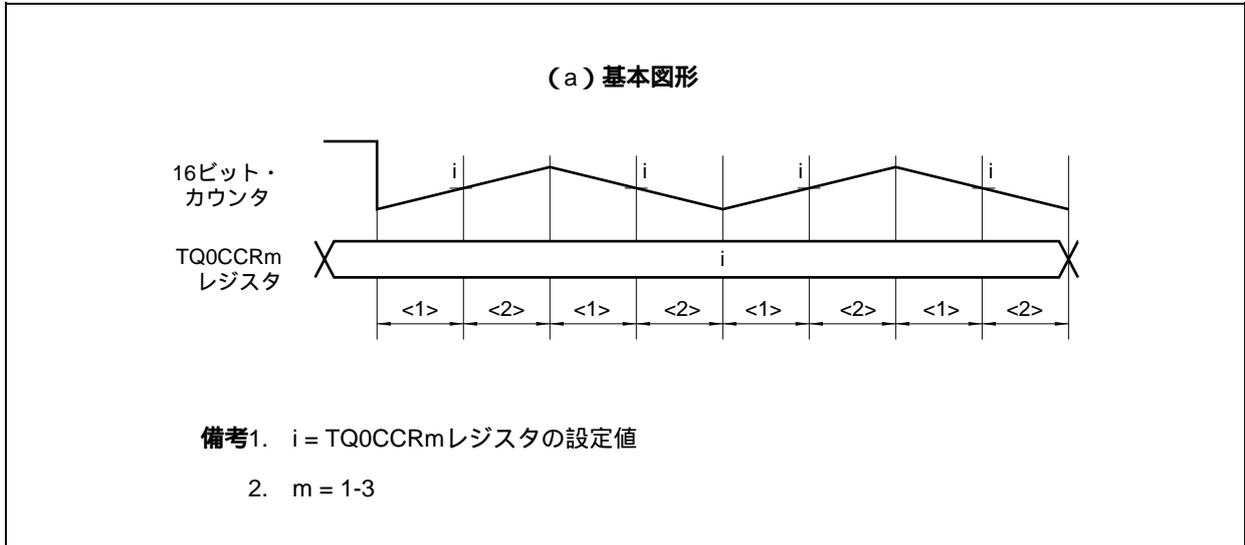
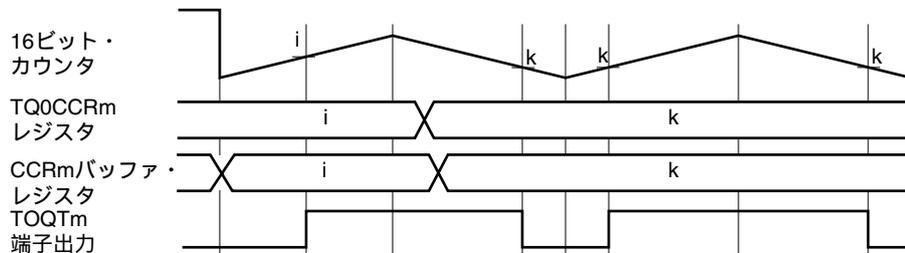


図12-24 TQ0CCR1-TQ0CCR3レジスタの書き換え例（一致発生前の書き換え）

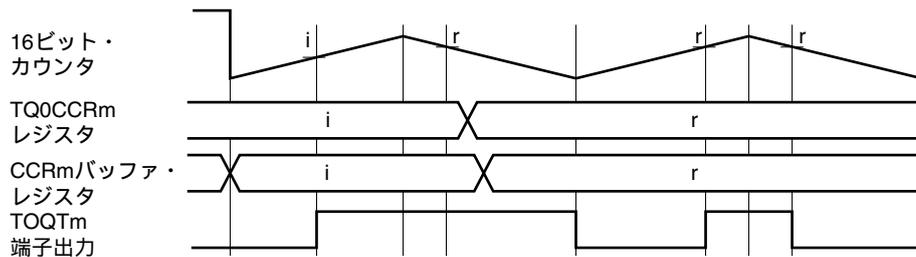
(a)

TQ0CCRmレジスタと16ビット・カウンタの一致が発生する前に書き換えると、書き換え後に16ビット・カウンタとの一致が発生するので書き換え値が即時に反映されます。



(b)

一致が発生する前でも、16ビット・カウンタより小さい値（ダウン・カウント時は大きい値）を書き込んだ場合は一致が発生しないので次のような出力波形となります。



一致が発生しない場合は、TOQm端子出力は変化しません。ただし、16ビット・カウンタとTQ0CCRmレジスタとの一致が発生しなくても山割り込み時ではハイ・レベルに、谷割り込み時ではロウ・レベルにTOQm端子出力は強制変化します。

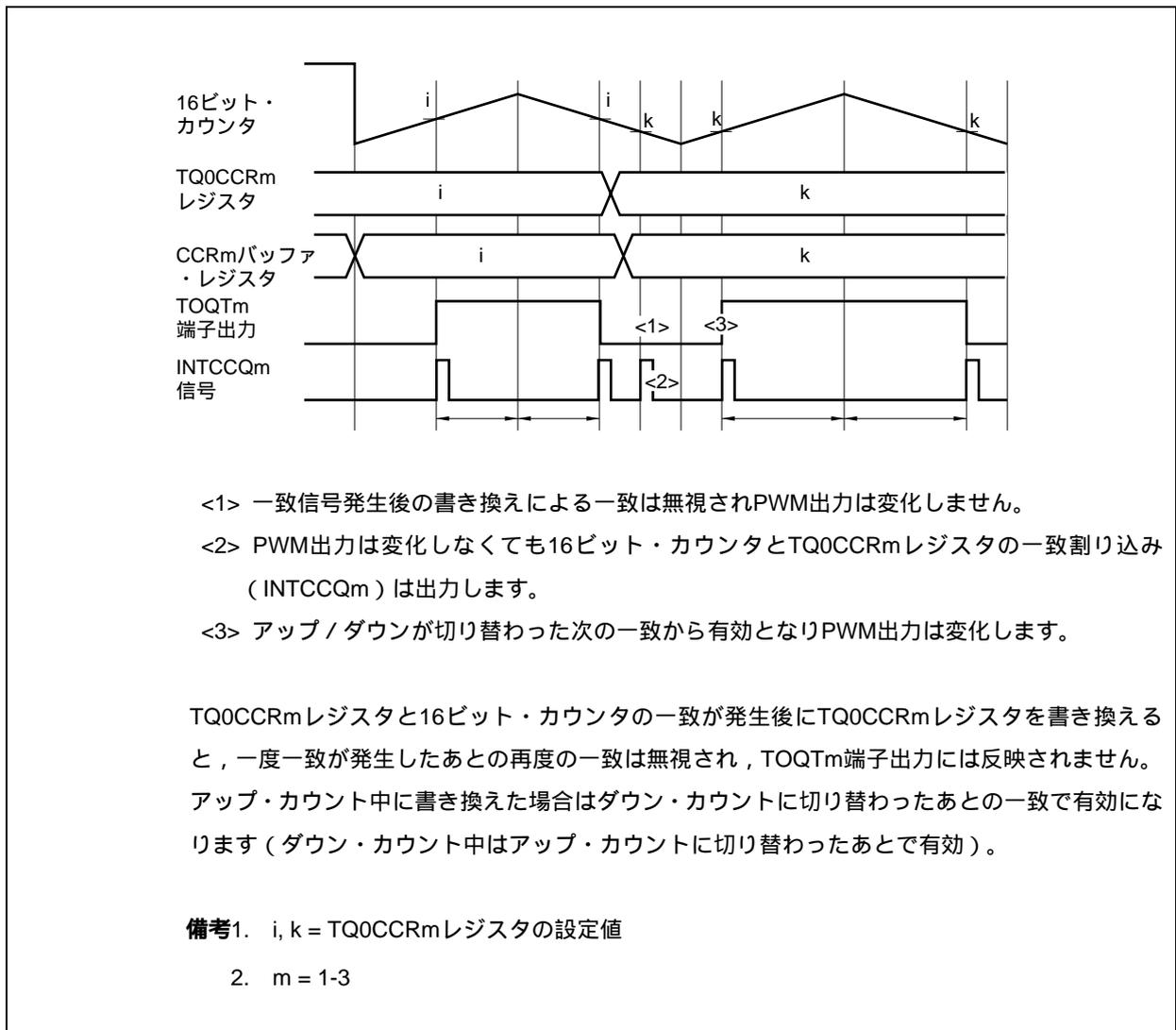
これは、0 %出力、100 %出力のために設けられている機能です。

詳細は12.4.2(2)0 % / 100 %のPWM出力を参照してください。

備考1. i, r, k = TQ0CCRmレジスタの設定値

2. m = 1-3

図12 - 25 TQ0CCR1-TQ0CCR3レジスタの書き換え例（一致発生後の書き換え）



(c) TQ0OPT1レジスタの書き換え

TQ0OPT1レジスタへの書き込みで割り込み間引きカウンタはクリアされます。割り込み間引きカウンタがクリアされることにより、それまで計測していた割り込み発生数は破棄されるので、一時的に割り込み発生間隔が長くなるので注意してください。

この動作を避けるためには、間欠一斉書き換えモード（転送間引きモード）での書き換えをしてください。

TQ0OPT1レジスタへの書き換えについての詳細は、12. 4. 3 **割り込み間引き機能**を参照してください。

(2) 一斉書き換えモード (転送モード)

TQ0OPT0.TQ0CMSビット = 0, TQ0OPT1.TQ0ID4-TQ0ID0ビット = 00000, TQ0OPT2.TQ0RDEビット = 0で設定します。

各コンペア・レジスタへの書き込み値が、転送タイミングで一斉に内部のバッファ・レジスタに転送され、カウンタ値との比較対象になるモードです。

(a) 書き換え操作手順

TQ0CCR1レジスタへの書き込みが行われると、TQ0CCR0-TQ0CCR3, TQ0OPT1, TP2CCR0, TP2CCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TQ0CCR1レジスタへの書き込みは最後に行ってください。また、TQ0CCR1レジスタへの書き込み後は、転送タイミング(山(16ビット・カウンタとTQ0CCR0レジスタの一致)タイミング、または谷(16ビット・カウンタと0001Hの一致)タイミング)が発生するまで、レジスタへの書き込みは禁止です。操作手順を次に示します。

TQ0CCR0, TQ0CCR2, TQ0CCR3, TQ0OPT1, TP2CCR0, TP2CCR1レジスタの書き換え
書き換えが必要ないレジスタは書き換え不要です。

TQ0CCR1レジスタの書き換え

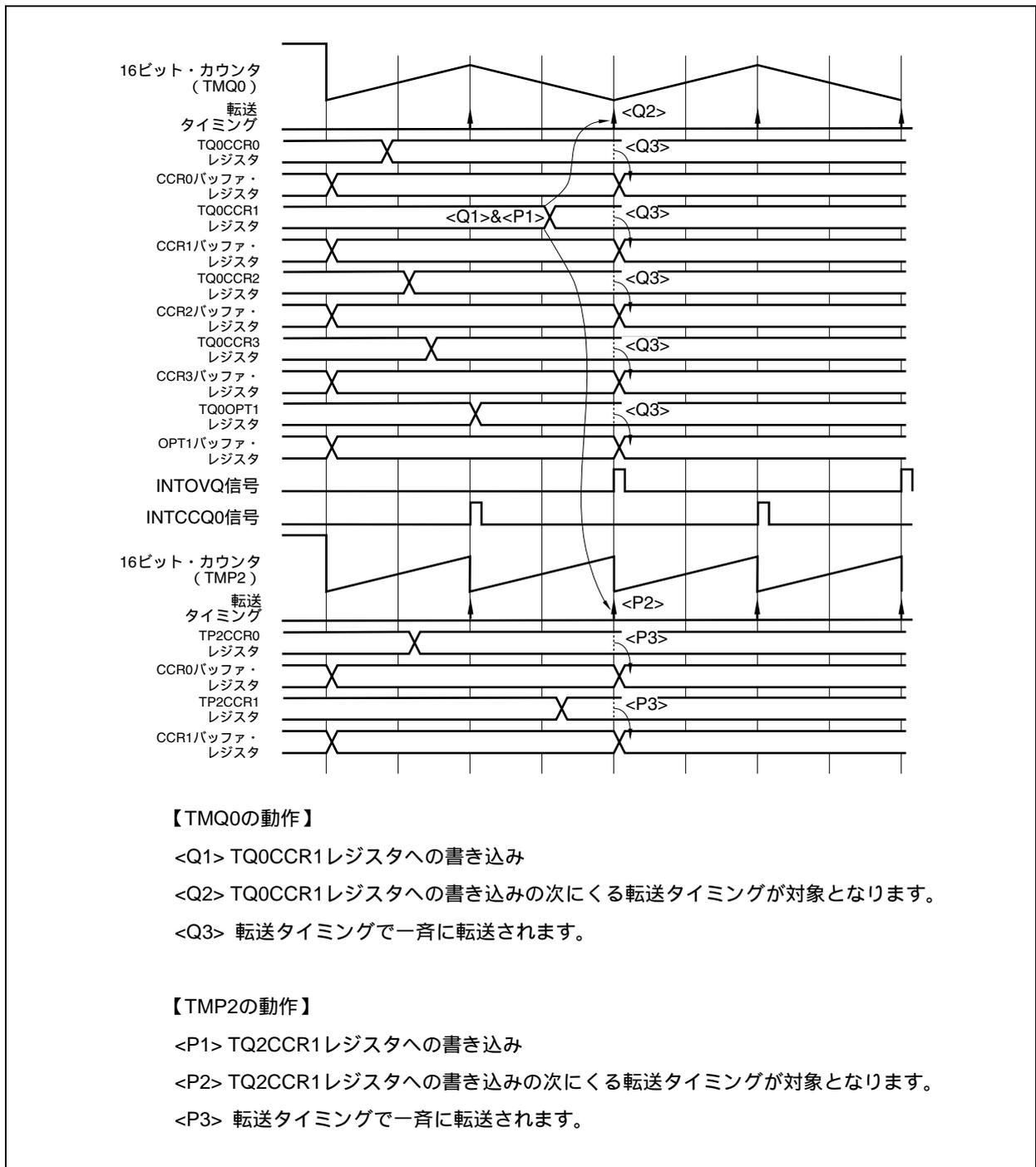
TQ0CCR1レジスタを書き換える必要がない場合でも、同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTOVQまたはINTCCQ0割り込みの発生を確認してから次の書き換えをしてください。

に戻る

図12 - 26 一斉書き込みモードの基本動作



(b) TQ0CCR0レジスタの書き換え

TQ0CCR0レジスタを一斉書き換えモードで書き換える場合、転送が山（16ビット・カウンタとTQ0CCR0レジスタの一致）タイミング、谷（16ビット・カウンタと0001Hの一致）タイミングのどちらで起こるかにより出力波形が変わります。通常は、ダウン・カウント中に書き換えを行い、転送タイミングが谷タイミングのときに転送する操作を推奨します。

図12 - 28にアップ・カウント中（図12 - 27の<1>の期間）のTQ0CCR0レジスタの書き換え例を、図12 - 29にダウン・カウント中（図12 - 27の<2>の期間）のTQ0CCR0レジスタの書き換え例を示します。

図12 - 27 16ビット・カウンタの基本動作

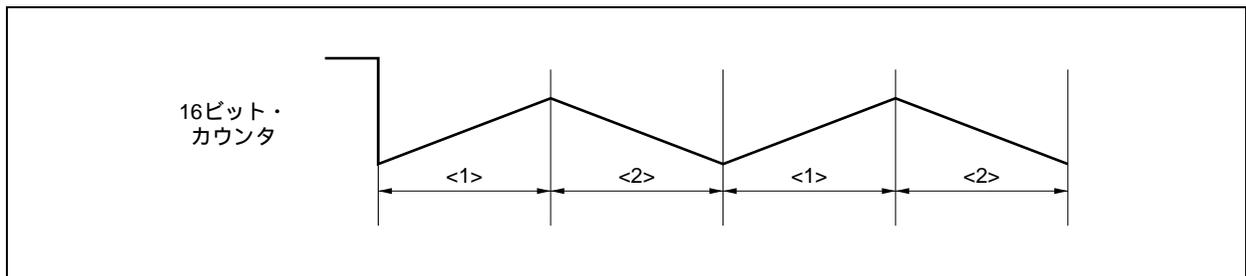


図12 - 28の転送タイミングは山タイミングのポイントになるので、ダウン・カウント側は周期が変わり非対称の三角波波形を出力します。また、周期が変化するので、デューティ比（電圧データ値）も書き換えてください。

図12 - 28 TQ0CCR0レジスタの書き換え例（アップ・カウント時）

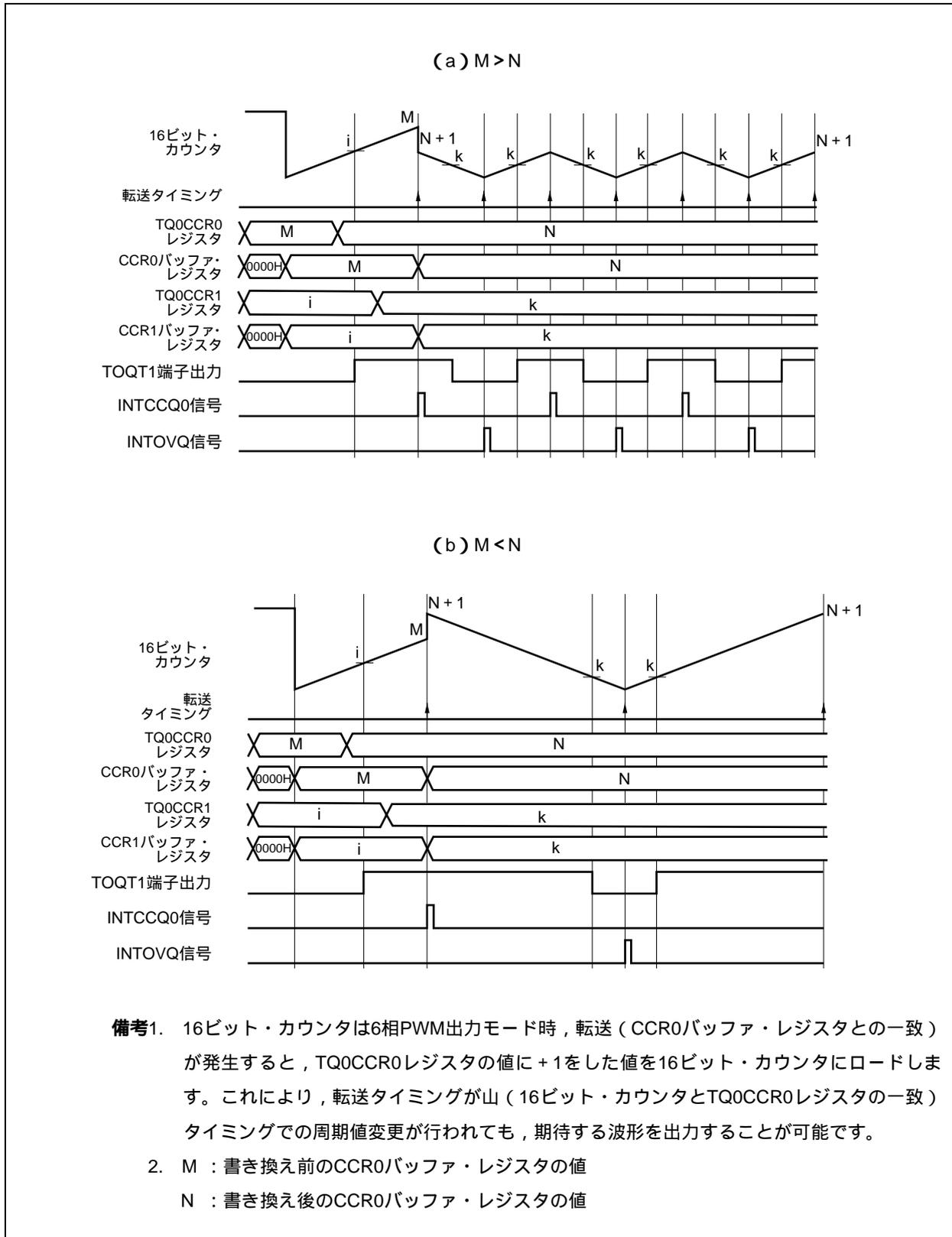
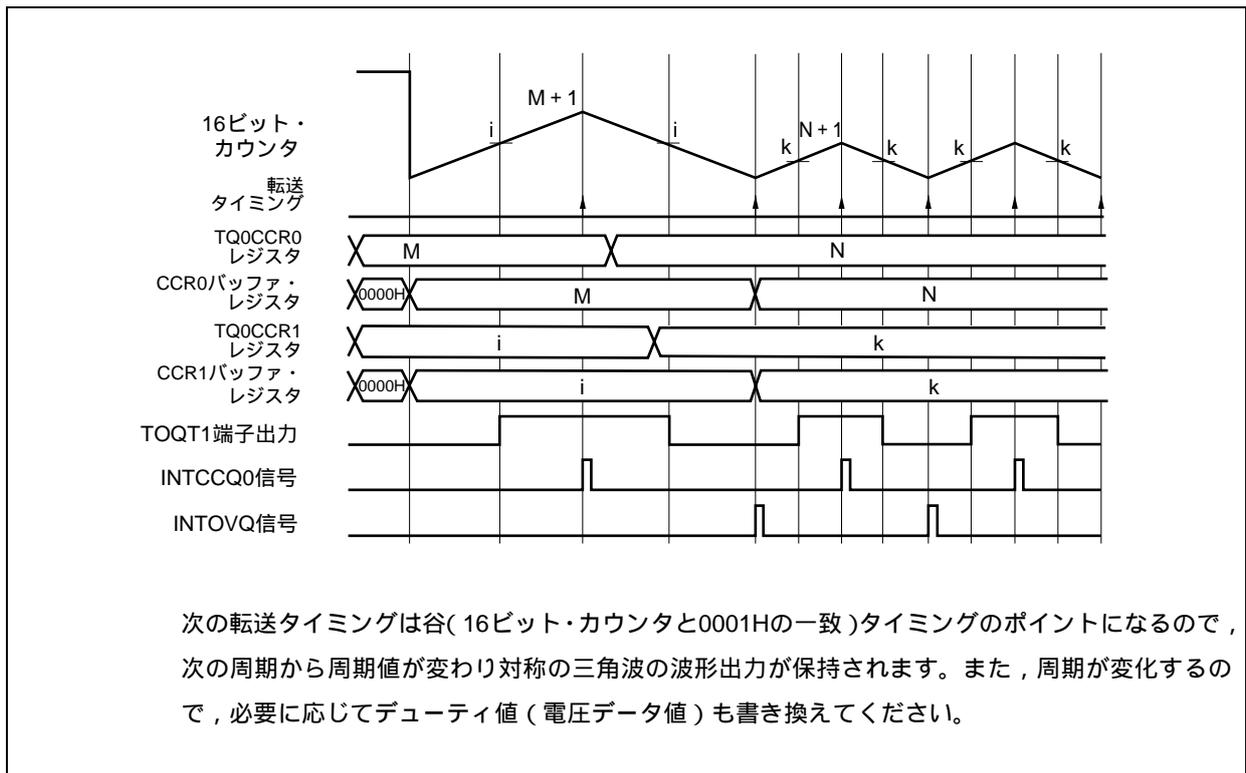
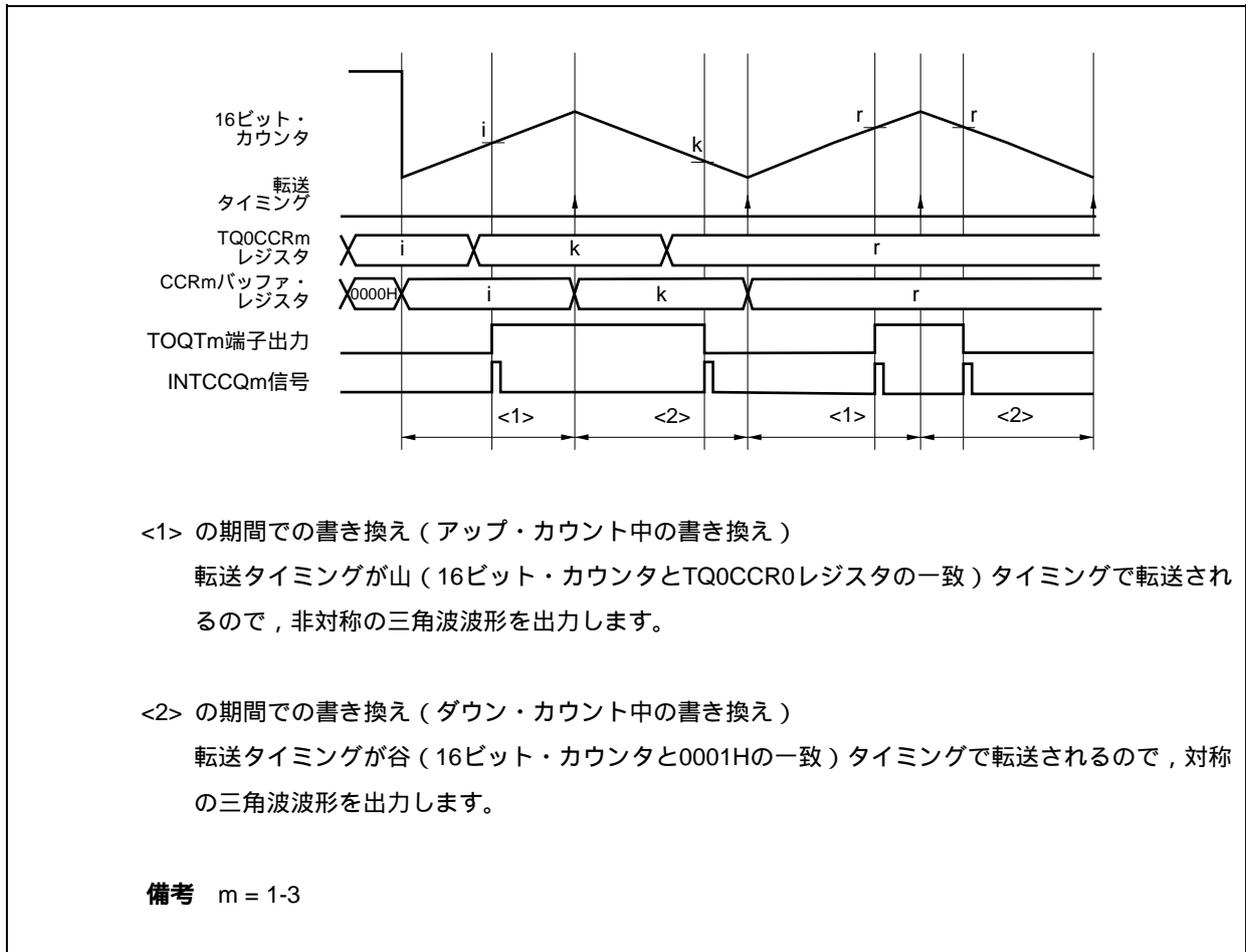


図12 - 29 TQ0CCR0レジスタの書き換え例 (ダウン・カウント時)



(c) TQ0CCRmレジスタの書き換え

図12 - 30 TQ0CCRmレジスタの書き換え例



(d) TQ0OPT1レジスタの転送

TQ0OPT1.TQ0ID4-TQ0ID0ビット = 00000以外の値は設定しないでください。割り込み間引き機能を使用する場合は、間欠一斉書き換えモード（転送間引きモード）で書き換えてください。

TQ0OPT1レジスタへの書き換えについての詳細は、12. 4. 3 **割り込み間引き機能**を参照してください。

(3) 間欠一斉書き換えモード (転送間引きモード)

TQ0OPT0.TQ0CMSビット = 0, TQ0OPT2.TQ0RDEビット = 1で設定します。

各コンペア・レジスタへの書き込み値が、間引きされたあとの転送タイミングで一斉に内部のバッファ・レジスタに転送されカウンタ値との比較対象になるモードです。転送タイミングは、割り込み間引きによる割り込み発生 (INTCCQ0, INTOVQ) タイミングになります。

割り込み間引き機能についての詳細は、12. 4. 3 **割り込み間引き機能**を参照してください。

(a) 書き換え操作手順

TQ0CCR1レジスタへの書き込みが行われるとTQ0CCR0-TQ0CCR3, TQ0OPT1, TP2CCR0, TP2CCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TQ0CCR1レジスタへの書き込みは最後に行ってください。また、TQ0CCR1レジスタへの書き込み後は、転送タイミングが発生するまで (INTCCQ0, INTOVQの割り込み発生まで) レジスタへの書き込みは禁止です。操作手順を次に示します。

TQ0CCR0, TQ0CCR2, TQ0CCR3, TQ0OPT1, TP2CCR0, TP2CCR1レジスタの書き換え
書き換えが必要ないレジスタは書き換え不要です。

TQ0CCR1レジスタの書き換え

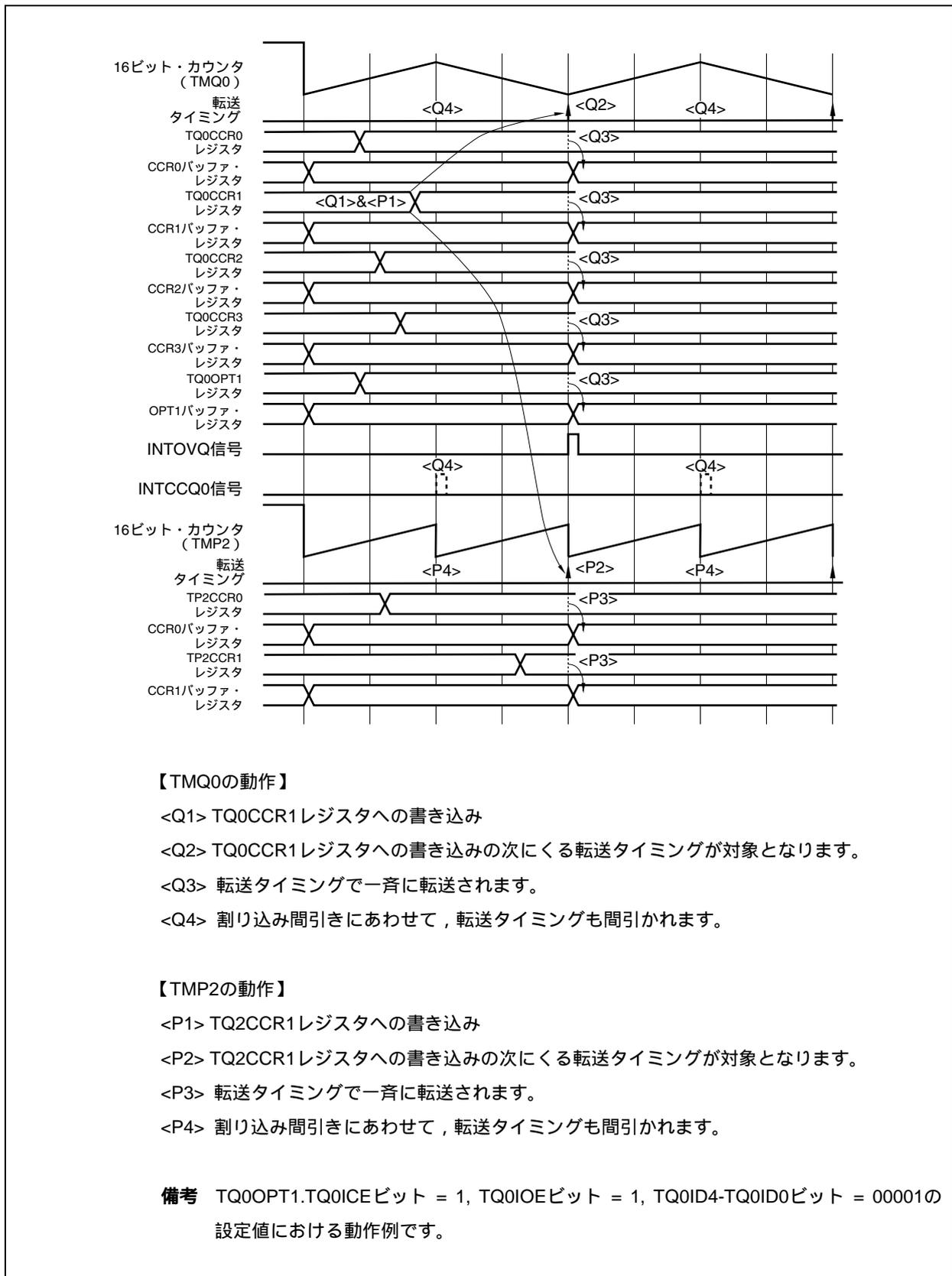
TQ0CCR1レジスタを書き換える必要がない場合でも同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTCCQ0またはINTOVQの割り込み発生を確認してから次の書き換えをしてください。

に戻る

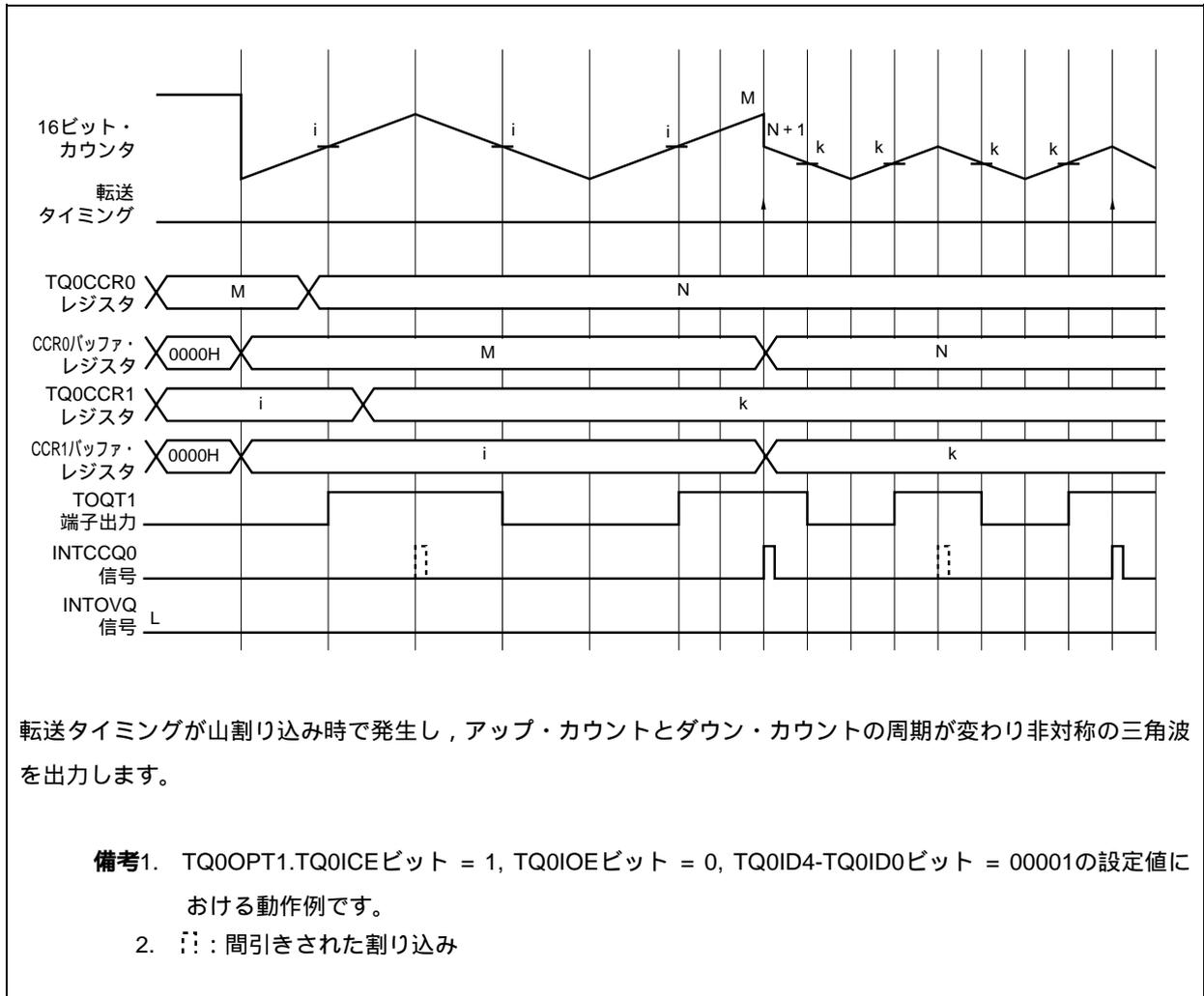
図12-31 間欠一斉書き込みモードの基本動作



(b) TQ0CCR0レジスタの書き換え

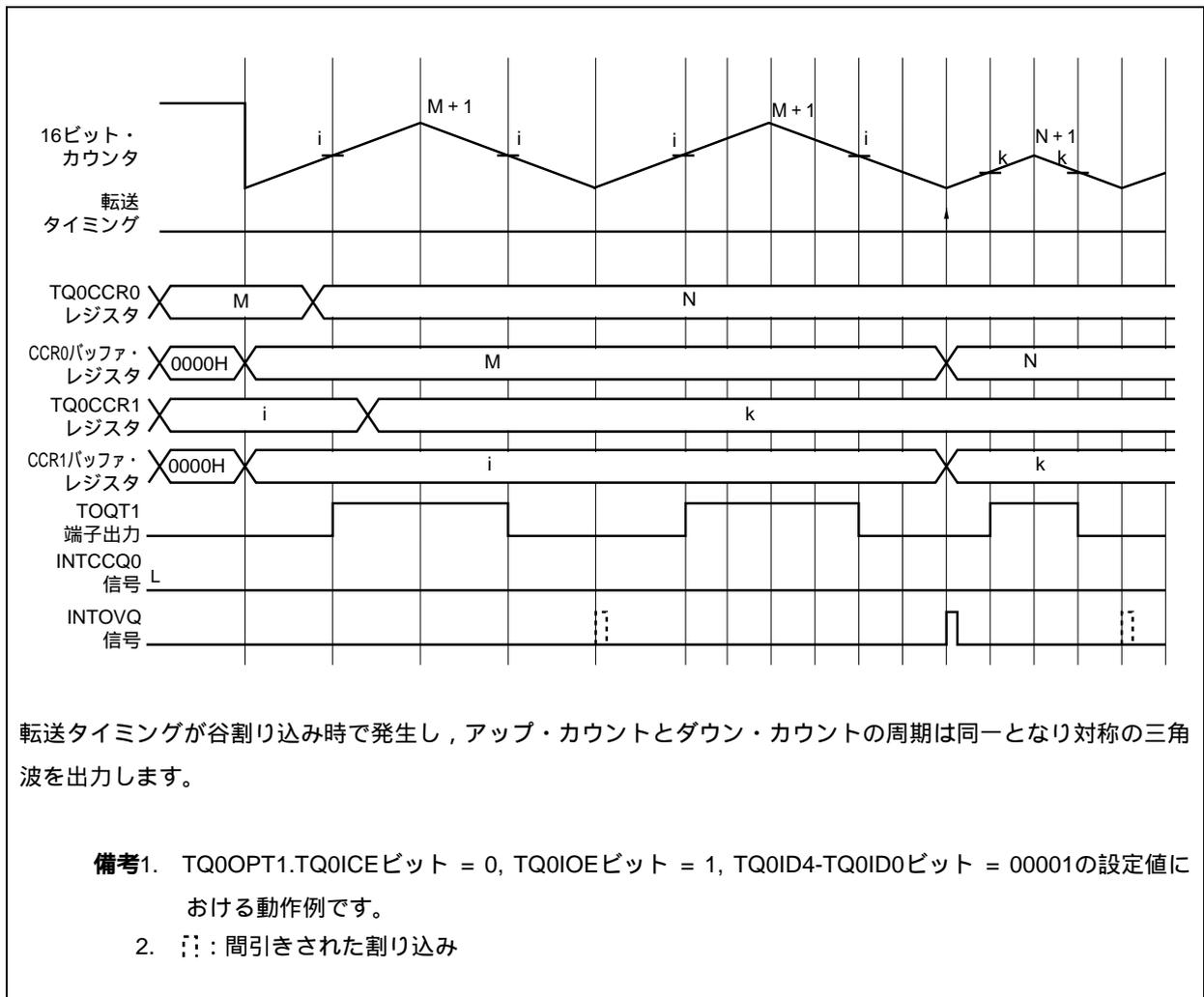
TQ0CCR0レジスタを間欠一斉書き換えモードで書き換える場合、割り込み間引き設定で山/谷割り込み発生をどこに指定しているかで出力波形が変わります。次に割り込み間引き設定での出力波形の変化を示します。

図12 - 32 TQ0CCR0レジスタの書き換え（山割り込みを設定時）



転送タイミングが山割り込み時で発生し、アップ・カウントとダウン・カウントの周期が変わり非対称の三角波を出力します。

図12 - 33 TQ0CCR0レジスタの書き換え（谷割り込みを設定時）



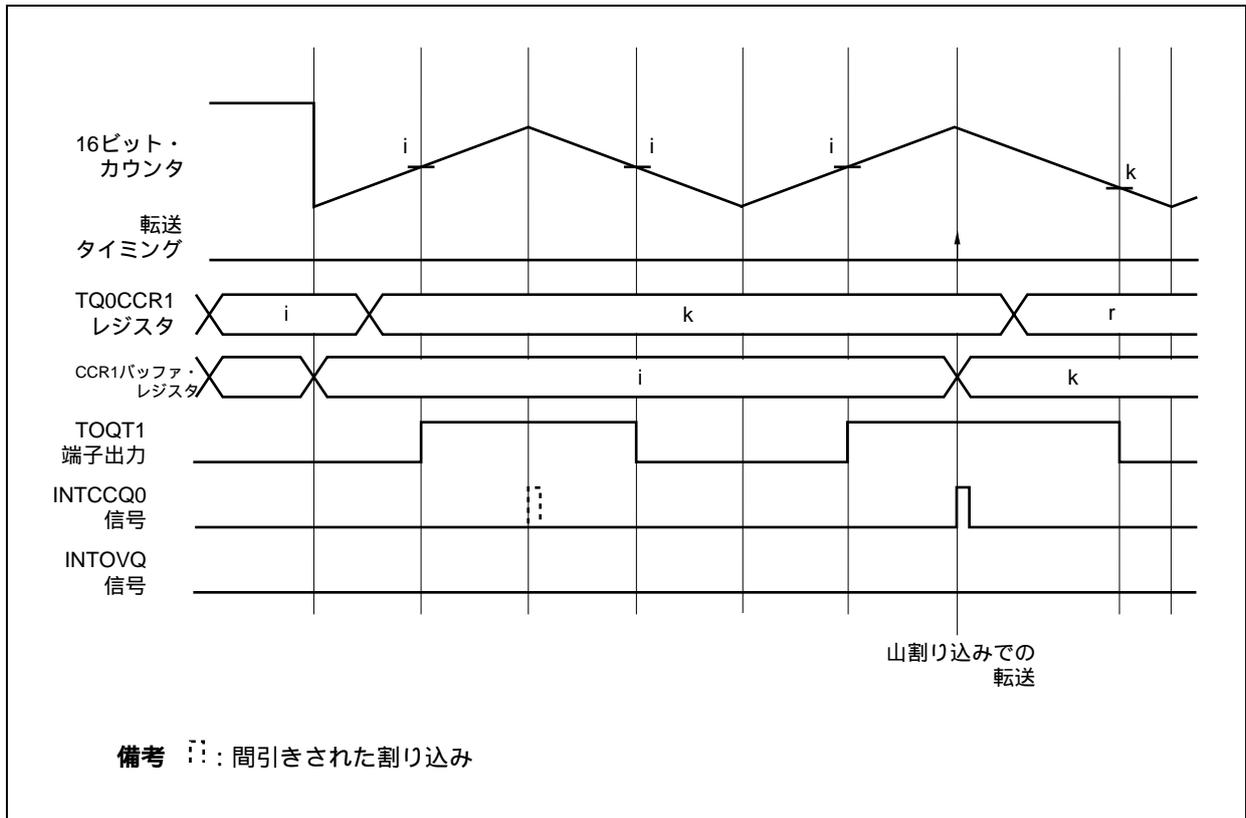
(c) TQ0CCR1-TQ0CCR3レジスタの書き換え

- ・山割り込みを設定した場合に山で転送された場合

山の転送タイミングで転送されるので、非対称の三角波波形を出力します。

図12 - 34 TQ0CCR1レジスタの書き換え

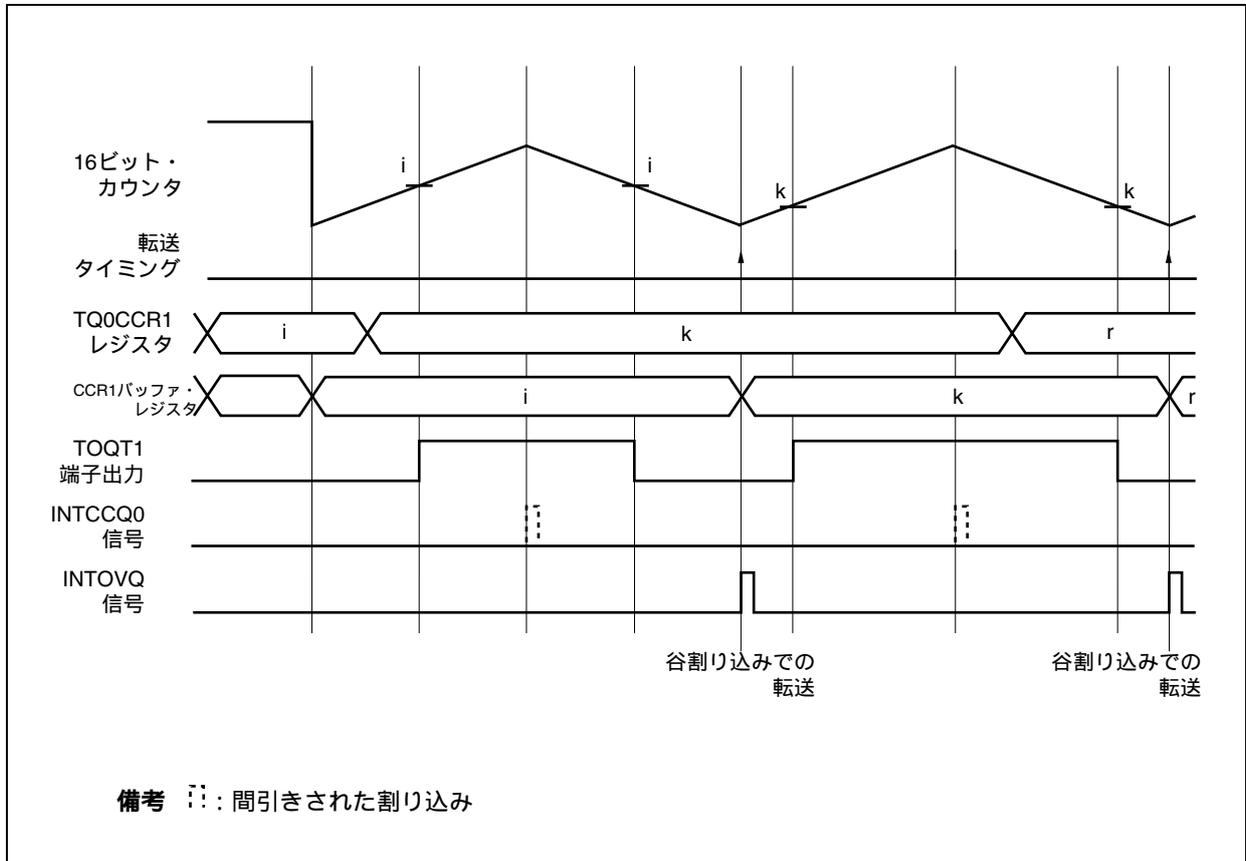
(TQ0OPT1.TQ0ICEビット = 1, TQ0IOEビット = 0, TQ0ID4-TQ0ID0ビット = 00001の場合)



- ・谷割り込みを設定した場合に谷で転送された場合
谷の転送タイミングで転送されるので、対称の三角波波形を出力します。

図12 - 35 TQ0CCR1レジスタの書き換え

(TQ0OPT1.TQ0ICEビット = 1, TQ0IOEビット = 1, TQ0ID4-TQ0ID0ビット = 00001の場合)



(d) TQ0OPT1レジスタの書き換え

割り込み間引きカウンタが一致したときに、新しい割り込み間引き値が転送されるため、次から設定した間隔で割り込みが発生します。

TQ0OPT1レジスタへの書き換えについての詳細は、12. 4. 3 割り込み間引き機能を参照してください。

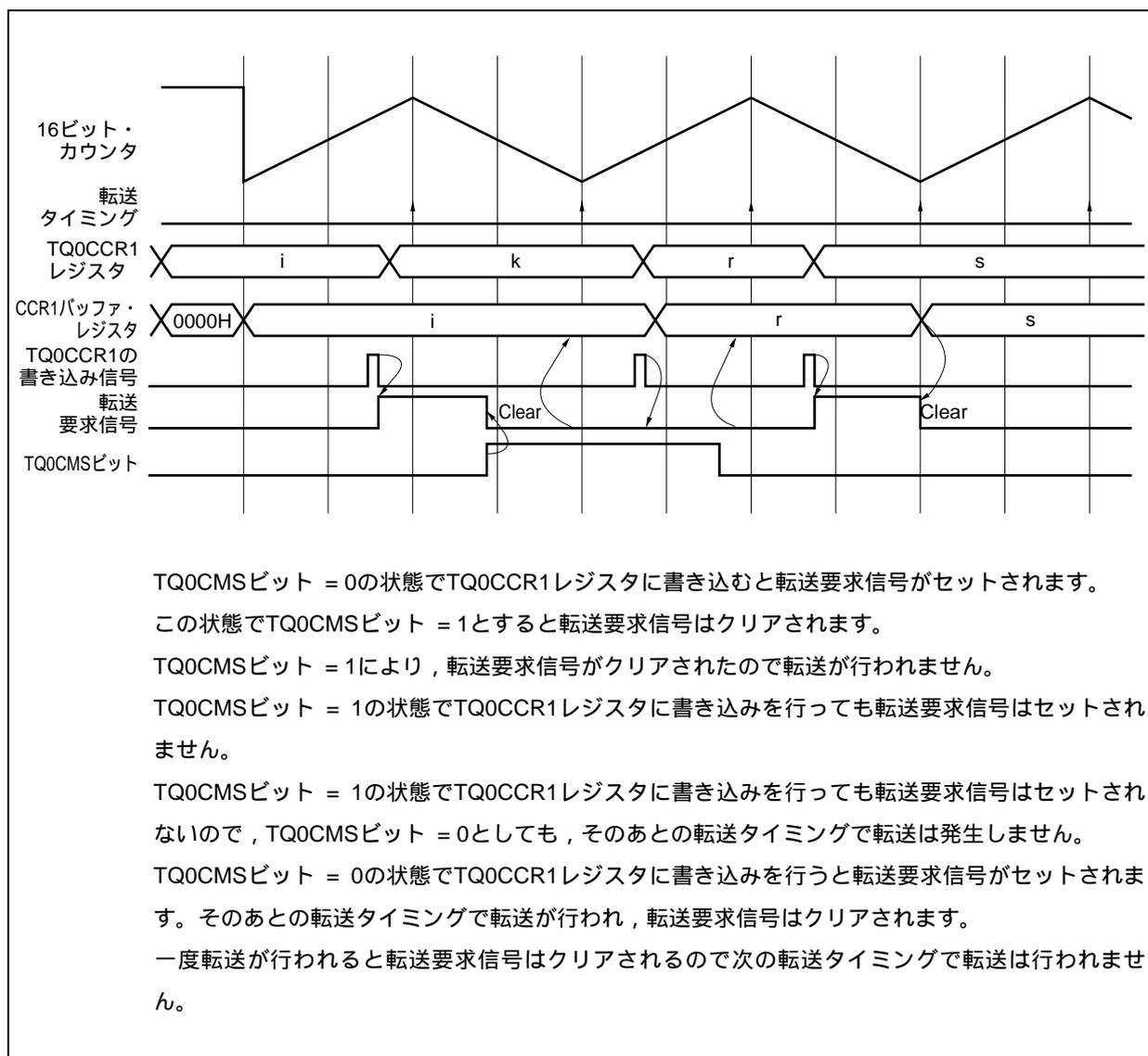
(4) TQ0OPT0.TQ0CMSビットの書き換え

TQ0CMSビットは、随時書き換えモードと一斉書き換えモードの切り替えができます。また、タイマ動作中 (TQ0CTL0.TQ0CEビット = 1) の書き換えが可能です。図12 - 31で示す動作および注意が必要です。

TQ0CMSビット = 0の状態ではTQ0CCR1レジスタに書き込むと転送要求信号 (内部信号) がセットされます。

転送要求信号がセットされていると、次の転送タイミングで転送を行い、転送要求信号がクリアされます。この転送要求信号は、TQ0CMSビット = 1によってもクリアされます。

図12 - 36 TQ0CMSビットの書き換え



12.4.5 A/D変換開始トリガ信号出力用TMP2の同調動作

6相PWM出力モードで使用する場合の、TMP2およびTMQ0の同調動作について示します。

6相PWM出力モードでは、TMQ0をマスタとし、TMP2をスレーブとして同調動作を行い、A/D変換開始トリガ・ソースとしてTMP2のINTCCP20、INTCCP21信号とTMQ0のINTCCQ0、INTOVQ信号でA/Dコンバータの変換開始トリガ信号を設定できます。

(1) 同調動作開始手順

同調動作を行わせるためのTMP2、TMQ0のレジスタの設定手順を次に示します。

(a) TMP2レジスタ設定 (TMQ0、TMP2は動作停止状態 (TQ0CTL0.TQ0CEビット = 0, TP2CTL0.TP2CEビット = 0) にしてください)

- ・ TP2CTL1レジスタ = 85Hに設定
(同調動作スレーブ・モード, フリー・ランニング・タイマ・モードに設定)
- ・ TP2IOC0-TP2IOC2レジスタ = 00Hに設定 (TMP2用の入出力機能は使用しません)
- ・ TP2OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択)
- ・ TP2CCR0, TP2CCR1レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(b) TMQ0レジスタ設定

- ・ TQ0CTL1レジスタ = 07Hに設定 (マスタ・モード, 6相PWM出力モードに設定)
- ・ TQ0IOC0レジスタに適切な値を設定 (TOQT1-TOQT3の出力モードを設定)
ただし、TQ0OL0, TQ0OE0ビットは必ずTQ0OL0ビット = 0, TQ0OE0ビット = 1に設定 (正相の出力許可) してください。この設定を行わない場合は、山割り込み (INTCCQ0)、谷割り込み (INTOVQ) が発生しないためA/Dコンバータの変換開始トリガ信号が正常に発生しません。
- ・ TQ0IOC1, TQ0IOC2レジスタ = 00Hに設定 (TMQ0のINTPQ0-INTPQ3, EVTQ, TIQ端子は使用しない)
- ・ TQ0OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択)
- ・ TQ0CCR0-TQ0CCR3レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)
- ・ TQ0CTL0レジスタ = 0xHに設定 (TQ0CEビットは0, TMQ0の動作クロックを設定)
TQ0CTL0レジスタで設定したTMQ0の動作クロックは、TMP2にも供給され、同じタイミングでカウント動作を行います。TP2CTL0レジスタで設定したTMP2の動作クロックは無視されます。

(c) TMQOP0 (TMQ0オプション) レジスタ設定

- ・ TQ0OPT1, TQ0OPT2レジスタに適切な値を設定
- ・ TQ0IOC3レジスタに適切な値を設定 (TOQB1-TOQB3の出力モードを設定)
- ・ TQ0DTCレジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(d) 兼用機能設定

- ・ ポート・コントロール・モードにより、ポートを兼用機能にする。

(e) TP2CEビット = 1に設定し、直後にTQ0CEビット = 1に設定し、6相PWM出力動作を開始
 動作中におけるTQ0CTL0, TQ0CTL1, TQ0IOC1, TQ0IOC2, TP2CTL0, TP2CTL1,
 TP2IOC0-TP2IOC2レジスタの書き換えは禁止です。書き換えた場合の動作、およびPWM出力波形は
 保証できません。ただし、TQ0CTL0.TQ0CEビット = 0にするためのTQ0CEビットの書き換えは許可
 します。また、TP2CTL0.TP2CEビット = 1としたあとTQ0CEビット = 1とするまでは、ほかのTMQ0,
 TMP2, TMQ0オプションの各レジスタ操作（読み出し / 書き込み）は一切禁止です。

注意 6相PWMモードでTMP2を同調動作させるときはTOP20, TOP21端子出力は禁止です。
 TP2IOC0.TP2OE0, TP2OE1ビットは“0”に設定してください。

(2) 同調動作解除手順

同調動作を解除し、6相PWM出力モードを終了するためのTMP2, TMQ0レジスタの設定手順を次に示し
 ます。

TQ0CTL0.TQ0CEビット = 0に設定し、タイマ動作を停止
 TP2CTL0.TP2CEビット = 0に設定し、TMP2は分離可能状態
 TQ0IOC0, TP2IOC0レジスタによりタイマ出力を停止
 TP2CTL1.TP2SYEビット = 0に設定し、同調動作を解除

注意 TQ0CEビット = 0としたあとTP2CEビット = 0とするまでは、ほかのTMQ0, TMP2, TMQ0
 オプションの各レジスタ操作（読み出し / 書き込み）は一切禁止です。

(3) TMP2を同調動作させない場合について

A/Dコンバータの変換開始トリガ・ソースとしてTMP2の一致割り込み信号が必要ない場合は、TMP2を
 同調動作させず単独動作させて別機能のタイマとして使用できます。この場合、6相PWM出力モードにお
 いて、A/D変換開始トリガ・ソースとしてTMP2の一致割り込み信号を使用しないため、TQ0OPT2.TQ0AT3,
 TQ0AT2ビットは00固定にして使用してください。

ほかの制御ビットは、TMP2を同調動作させた場合と同様に使用できます。

TMP2を同調動作させていない場合、TMP2のコンペア・レジスタ（TP2CCR0, TP2CCR1）は、
 TQ0OPT0.TQ0CMSビット、TQ0OPT2.TQ0RDEビットの設定による影響を受けません。TMP2を同調動作
 させない場合の初期設定手順は、12.4.5(1) 同調動作開始手順に示した手順の(b)-(e)を行ってくだ
 さい。(a)は同調動作させるTMP2の設定なので不要です。

(4) 同調動作時のTMP2の基本動作

TMP2の16ビット・カウンタは、アップ・カウント動作のみを行います。TQ0CCR0レジスタによる周期設定値でTMP2の16ビット・カウンタがクリアされ0000Hから再カウントを行います。したがって、TMQ0の16ビット・カウンタがアップ・カウント時はTMP2の16ビット・カウンタと同値ですが、ダウン・カウント時はTMP2のカウント値は同じではありません。

・ TMQ0がアップ・カウント時 (同値)

TMQ0の16ビット・カウンタ : 0000H M (アップ・カウント)

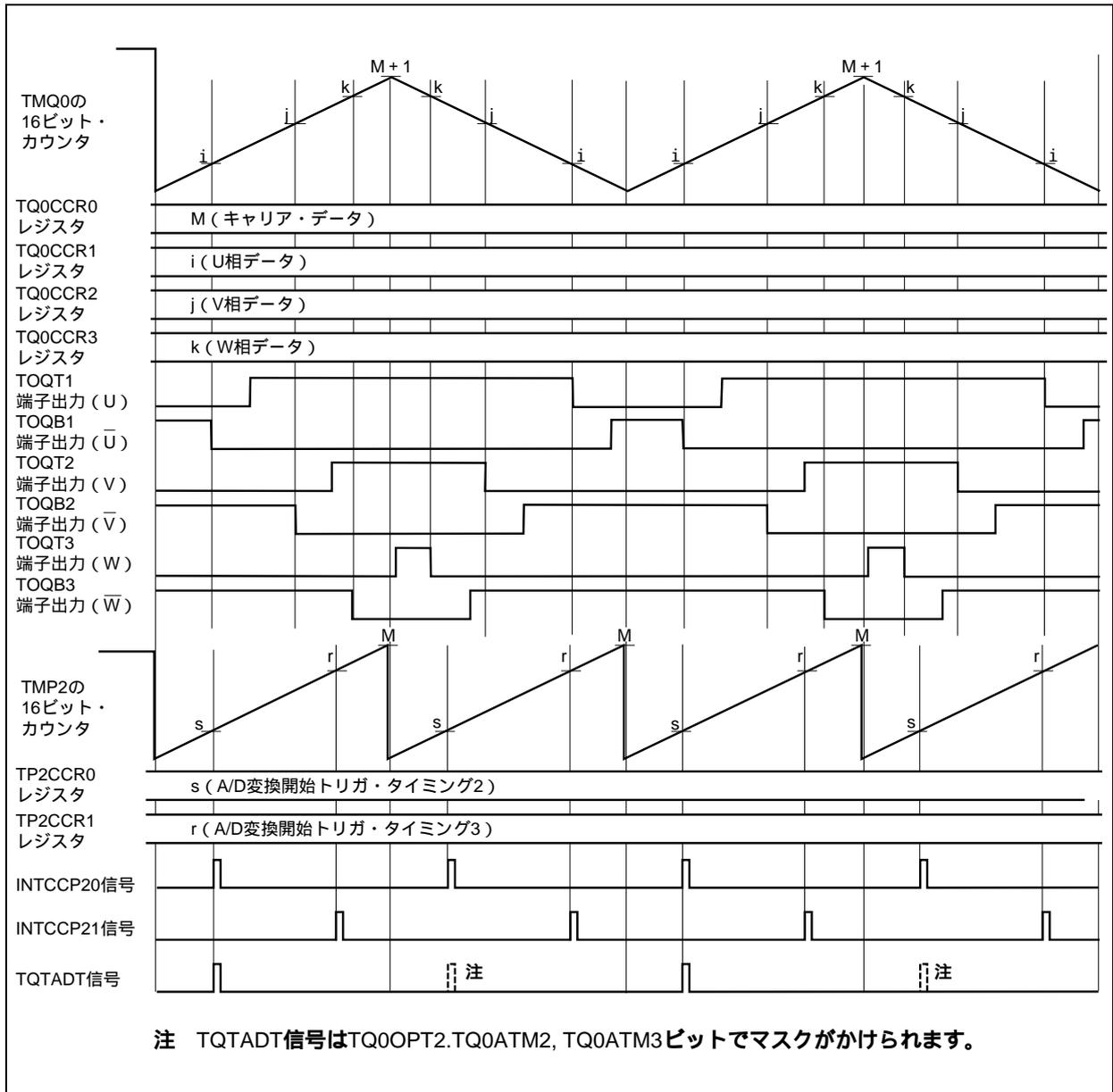
TMP2の16ビット・カウンタ : 0000H M (アップ・カウント)

・ TMQ0がダウン・カウント時 (同値でない)

TMQ0の16ビット・カウンタ : M+1 0001H (ダウン・カウント)

TMP2の16ビット・カウンタ : 0000H M (アップ・カウント)

図12 - 37 同調動作時のTMP2



12.4.6 A/D変換開始トリガ出力機能

V850E/MA3には、4つのトリガ・ソース（INTOVQ, INTCCQ0, INTCCP20, INTCCP21）を自由に選択して、A/Dの変換開始トリガ信号（TQTADT）を生成する機能があります。

トリガ・ソースは、TQ0OPT2.TQ0AT0-TQ0AT3ビットで指定します。

- ・ TQ0AT0ビット = 1 : INTOVQ（カウンタ・アンダフロー）発生時にA/D変換開始トリガ信号を発生
- ・ TQ0AT1ビット = 1 : INTCCQ0（周期一致）発生時にA/D変換開始トリガ信号を発生
- ・ TQ0AT2ビット = 1 : INTCCP20（同調動作TMP2のTP2CCR0との一致）発生時にA/D変換開始トリガ信号を発生
- ・ TQ0AT3ビット = 1 : INTCCP21（同調動作TMP2のTP2CCR1との一致）発生時にA/D変換開始トリガ信号を発生

TQ0AT0-TQ0AT3ビットにより選択されたA/D変換開始トリガ信号は、すべてORされて出力されるため、複数のトリガ・ソースを同時に指定できます。

TQ0AT0,TQ0AT1によって選択されるINTOVQ, INTCCQ0信号は割り込み間引き後の信号となります。

したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル（TQ0OPT1.TQ0ICE, TQ0IOEビット）を許可にしていけない場合は、A/D変換開始トリガ信号も出力されません。

TMP2からのトリガ・ソース（INTCCP20, INTCCP21）は、TQ0AT2, TQ0AT3ビットの設定により、16ビット・カウンタのアップ・カウント/ダウン・カウントの状態によって、A/D変換開始トリガ信号をマスクする機能があります。

- ・ TQ0ATM2ビット : TQ0AT2ビットに対応し、TMP2のINTCCP20（一致割り込み信号）を制御
 - ・ TQ0ATM2ビット = 0 : 16ビット・カウンタがアップ・カウント時（TQ1OPT0.TQ0CUFビット = 0）にA/D変換開始トリガ信号を出力し、ダウン・カウント時（TQ0CUFビット = 1）はA/D変換開始トリガ信号を出力しない。
 - ・ TQ0ATM2ビット = 1 : 16ビット・カウンタがダウン・カウント時（TQ0CUFビット = 1）にA/D変換開始トリガ信号を出力し、アップ・カウント時（TQ0CUFビット = 0）はA/D変換開始トリガ信号を出力しない。
- ・ TQ0ATM3ビット : TQ0AT3ビットに対応し、TMP2のINTCCP21（一致割り込み信号）を制御
 - ・ TQ0ATM3ビット = 0 : 16ビット・カウンタがアップ・カウント時（TQ0CUFビット = 0）にA/D変換開始トリガ信号を出力し、ダウン・カウント時（TQ0CUFビット = 1）はA/D変換開始トリガ信号を出力しない。
 - ・ TQ0ATM3ビット = 1 : 16ビット・カウンタがダウン・カウント時（TQ0CUFビット = 1）にA/D変換開始トリガ信号を出力し、アップ・カウント時（TQ0CUFビット = 0）はA/D変換開始トリガ信号を出力しない。

TQ0ATM3, TQ0ATM2, TQ0AT3-TQ0AT0ビットは、タイマ動作中の書き換えができます。タイマ動作中にA/D変換開始トリガ信号の設定ビットを書き換えると、即時にA/D変換開始トリガ信号の出力状態に反映されます。これらの制御ビットは、転送機能を持たず、随時書き換えモードのみ可能です。

- 注意1. TQ0AT2, TQ0AT3ビットの設定におけるA/Dの変換開始トリガ信号出力は, TMP2がTMQ0のスレープ・タイマとして同調動作している場合にかぎり利用できます。TMQ0, TMP2が同調動作を行っていない場合, および6相PWM出力モード以外で使用している場合は, 出力を保証できません。
2. 16ビット・カウンタのアップ/ダウン・カウントの状態判定には, TOQ0信号出力を内部で利用しています。したがって, TQ0IOC0.TQ0OL0ビット = 0, TQ0OE0ビット = 1に設定し, TOQ0端子出力を有効にしてください。

図12 - 38 A/D変換開始トリガ (TQTADT) 信号出力例 (TQ0OPT1.TQ0ICEビット = 1, TQ0IOEビット = 1, TQ0ID4-TQ0ID0ビット = 00000 : 割り込み間引きなし)

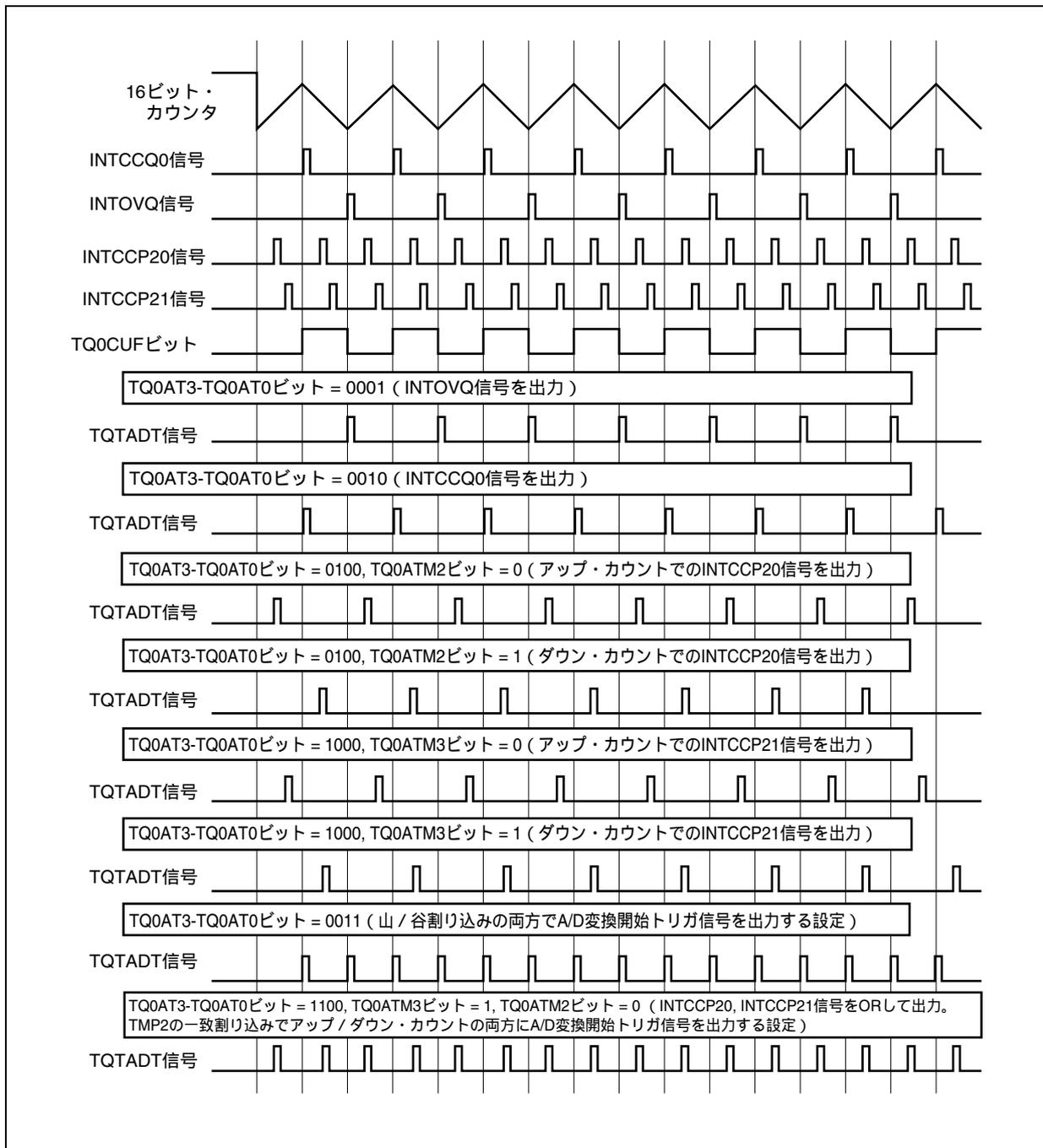


図12 - 39 A/D変換開始トリガ (TQTADT) 信号出力例 (TQ0OPT1.TQ0ICEビット = 0, TQ0IOEビット = 1, TQ0ID4-TQ0ID0ビット = 00010 : 割り込み間引きあり) (1)

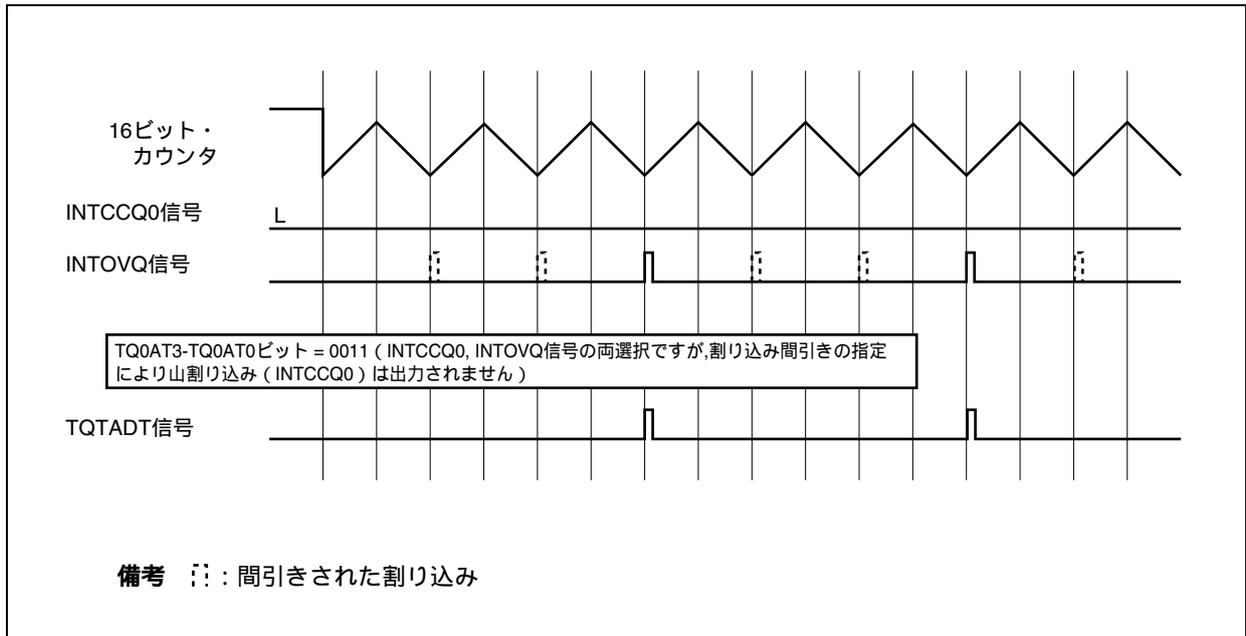
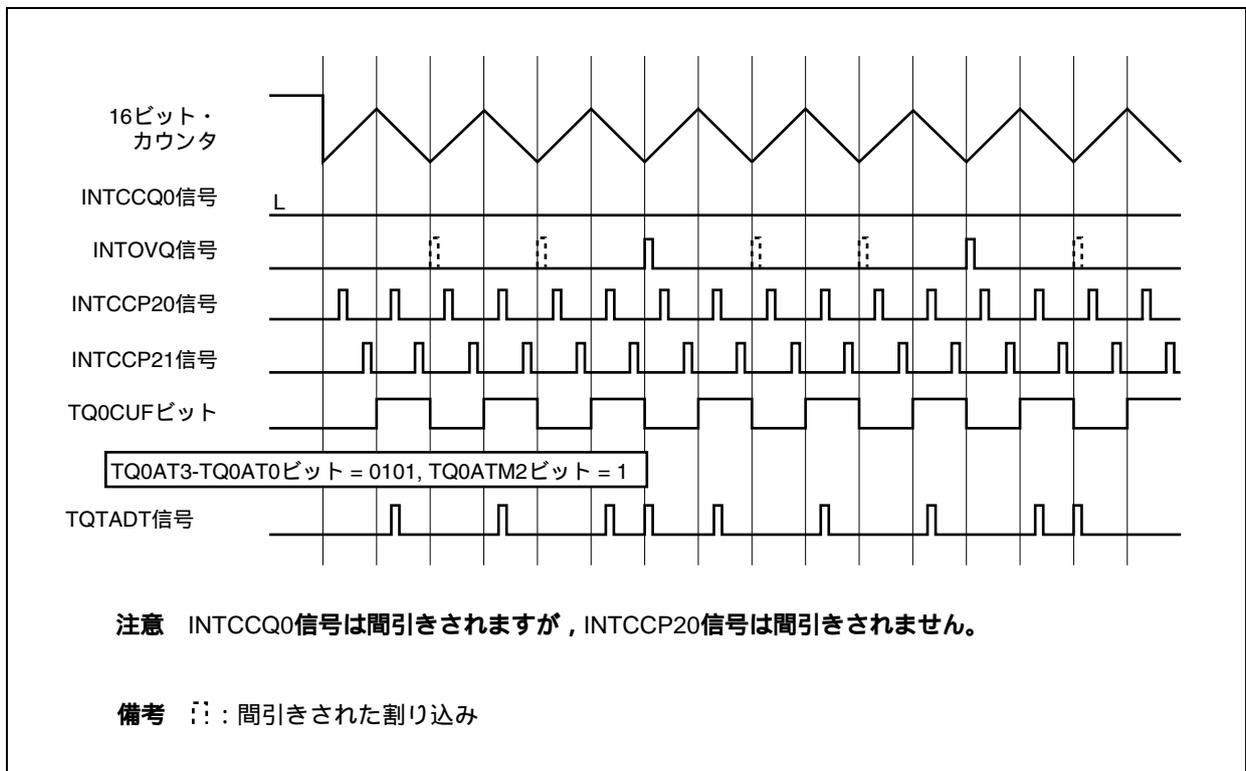


図12 - 40 A/D変換開始トリガ (TQTADT) 信号出力例 (TQ0OPT1.TQ0ICEビット = 0, TQ0IOEビット = 1, TQ0ID4-TQ0ID0ビット = 00010 : 割り込み間引きあり) (2)



(1) 境界条件での動作 (16ビット・カウンタとINTCCP20信号の一致発生時の動作説明)

表12 - 3 TQ0CCR0レジスタ = M, TQ0AT2ビット = 1, TQ0ATM2ビット = 0 (アップ・カウント期間選択) の動作

TP2CCR0レジスタの値	TMQ0の16ビット・カウンタの値	TMP2の16ビット・カウンタの値	TMQ0の16ビット・カウンタの状態	INTCCP20信号によるTQTADT信号の出力
0000H	0000H	0000H	-	出力する
0000H	M + 1	0000H	-	出力しない
0001H	0001H	0001H	アップ・カウント	出力する
0001H	M	0001H	ダウン・カウント	出力しない
M	M	M	アップ・カウント	出力する
M	0001H	M	ダウン・カウント	出力しない

表12 - 4 TQ0CCR0レジスタ = M, TQ0AT2ビット = 1, TQ0ATM2ビット = 1 (ダウン・カウント期間選択) の動作

TP2CCR0レジスタの値	TMQ0の16ビット・カウンタの値	TMP2の16ビット・カウンタの値	TMQ0の16ビット・カウンタの状態	INTCCP20信号によるTQTADT信号の出力
0000H	0000H	0000H	-	出力しない
0000H	M + 1	0000H	-	出力する
0001H	0001H	0001H	アップ・カウント	出力しない
0001H	M	0001H	ダウン・カウント	出力する
M	M	M	アップ・カウント	出力しない
M	0001H	M	ダウン・カウント	出力する

注意 TP2CCRmレジスタは、TQ0CCR0レジスタ = Mのとき、“0”から“M”までの設定を許可します。“M + 1”以上は設定禁止です。

“M + 1”以上の値を設定した場合は、TMP2の16ビット・カウンタは“M”でクリアされるため、TQTADT信号は出力されません。

第13章 ウォッチドッグ・タイマ機能

13.1 機 能

ウォッチドッグ・タイマには、次の動作モードがあります。

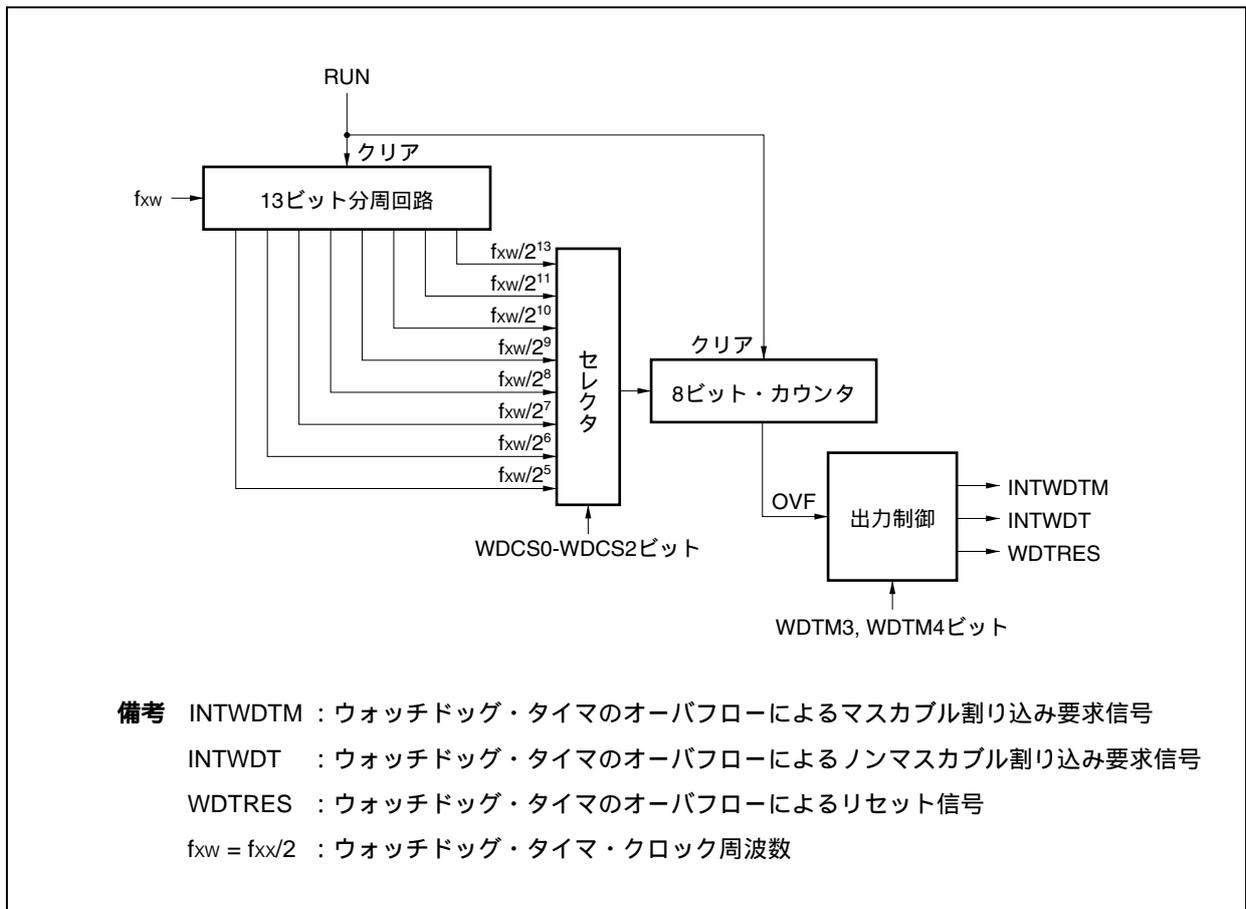
- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

上記動作モードにより、次の機能を実現します。

- ・ウォッチドッグ・タイマのオーバーフローによる、ノンマスクブル割り込み要求信号 (INTWDT) を発生する。
- ・ウォッチドッグ・タイマのオーバーフローによる、システム・リセット信号 (WDTRES) を発生する。
- ・インターバル・タイマのオーバーフローによる、マスクブル割り込み要求信号 (INTWDTM) を発生する。

備考 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、WDTMレジスタで選択してください。

図13 - 1 ウォッチドッグ・タイマのブロック図



13.2 構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表13 - 1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ウォッチドッグ・タイマ・リセット・ステータス・レジスタ (WDRES)

13.3 制御レジスタ

ウォッチドッグ・タイマを制御するレジスタを次に示します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・ウォッチドッグ・タイマ・リセット・ステータス・レジスタ (WDRES)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF6C1H

7	6	5	4	3	2	1	0
0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間	f _{xx}	
				80 MHz	60 MHz
				0	0
0	0	1	$2^{15}/f_{xx}$	409.6 μs	546.1 μs
0	1	0	$2^{16}/f_{xx}$	819.2 μs	1.092 ms
0	1	1	$2^{17}/f_{xx}$	1.638 ms	2.185 ms
1	0	0	$2^{18}/f_{xx}$	3.277 ms	4.369 ms
1	0	1	$2^{19}/f_{xx}$	6.554 ms	8.738 ms
1	1	0	$2^{20}/f_{xx}$	13.11 ms	17.48 ms
1	1	1	$2^{22}/f_{xx}$	52.43 ms	69.91 ms

備考 f_{xw} = f_{xx}/2 : ウォッチドッグ・タイマ・クロック周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。

このレジスタは特定レジスタです。特定のシーケンスによってのみ書き込みができます(3.4.9 特定レジスタ参照)。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF6C2H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 ^{注1}
0	カウントを停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	インターバル・タイマ・モード
0	1	(オーバーフロー発生時，マスカブル割り込みINTWDTM発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込みINTWDT発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作WDTRESを起動)

注1. RUNビットは，一度セット(1)されると，ソフトウェアでクリア(0)することはできません。

したがって，カウントを開始すると，リセット以外で停止させることはできません。

2. WDTM4, WDTM3ビットは，RUNビットが一度セット(1)されると，ソフトウェアでクリア(0)することはできません。これらのビットをクリアするには，リセットのみが有効です。

(3) ウォッチドッグ・タイマ・リセット・ステータス・レジスタ (WDRES)

V850E/MA3がリセットされたとき、ウォッチドッグ・タイマによるリセット (WDTRES) かどうかをWDRESレジスタで確認できます。

WDRESレジスタは、特定レジスタです。WDTRESのステータスを示します。

ライト時は8ビット単位のみ、リード時は8/1ビット単位で設定します。

WDRESレジスタへ書き込みを行う場合は、PRCMDレジスタをコマンド・レジスタとする特定シーケンスによる書き込みが必要になります。不正なシーケンスによる書き込みを行うと、書き込みが無効となると共にプロテクト・エラー (SYS.PRERRビット) がセット (1) され、書き込み動作は行われません。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFF82AH

	7	6	5	4	3	2	1	①
WDRES	0	0	0	0	0	0	0	WRESF

WRESF	WDTRES検出フラグ
0	WDTRES発生なし
1	WDTRES発生あり
セット (1) 条件：ウォッチドッグ・タイマ (WDT) のオーバーフローによるリセット発生 クリア (0) 条件：命令での“0”書き込み、または $\overline{\text{RESET}}$ 端子入力 WRESFビットへの書き込みは“0”書き込みのみ有効です。	

注意 WRESFビットへの“0”書き込みは、フラグ・セットとの競合を避けるためWRESFビット = 1を確認 (読み出し) 後に行ってください。

備考 WRESFビットはR/W可能となっていますが、“0”ライトによるクリアのみ可能で“1”ライトによる動作はできません。

13.4 動作

13.4.1 ウォッチドッグ・タイマとしての動作

WDTM.WDTM4ビットに“1”を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

WDCS.WDCS2-WDCS0ビットでウォッチドッグ・タイマのカウント・クロック（暴走検出時間間隔）を選択できます。WDTM.RUNビットに“1”を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNビットに再度“1”を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNビットに“1”がセットされず、暴走検出時間を越えてしまった場合は、WDTM.WDTM3ビットの値によりリセット（WDTRES）もしくはノンマスカブル割り込み要求信号（INTWDT）が発生します。

ウォッチドッグ・タイマは、ソフトウェアSTOPモード時とIDLEモード時は動作を停止します。したがって、ソフトウェアSTOPモードやIDLEモードに入る前にRUNビットを“1”に設定し、ウォッチドッグ・タイマをクリアしてください。

表13-2 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間	
	80 MHz	60 MHz
$2^{14}/f_{xx}$	204.8 μ s	273.1 μ s
$2^{15}/f_{xx}$	409.6 μ s	546.1 μ s
$2^{16}/f_{xx}$	819.2 μ s	1.092 ms
$2^{17}/f_{xx}$	1.638 ms	2.185 ms
$2^{18}/f_{xx}$	3.277 ms	4.369 ms
$2^{19}/f_{xx}$	6.554 ms	8.738 ms
$2^{20}/f_{xx}$	13.11 ms	17.48 ms
$2^{22}/f_{xx}$	52.43 ms	69.91 ms

備考 $f_{xw} = f_{xx}/2$: ウォッチドッグ・タイマ・クロック周波数

13.4.2 インターバル・タイマとしての動作

WDTM.WDTM4ビットに“0”を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、WDTICレジスタの割り込みマスク・フラグ(WDTMK)と優先順位指定フラグ(WDTPR0-WDTPR2)が有効となり、マスカブル割り込み要求信号(INTWDTM)を発生させることができます。INTWDTM信号のデフォルト優先順位は、マスカブル割り込み要求信号の中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、ソフトウェアSTOPモード時とIDLEモード時は動作を停止します。

注意 一度WDTM4ビットに“1”を設定(ウォッチドッグ・タイマ・モードを選択する)し、RUNビットをセット(1)すると、リセットされないかぎり、インターバル・タイマ・モードに変更はできません。

表13-3 インターバル・タイマのインターバル時間

クロック	インターバル時間	
	80 MHz	60 MHz
$2^{14}/f_{xx}$	204.8 μ s	273.1 μ s
$2^{15}/f_{xx}$	409.6 μ s	546.1 μ s
$2^{16}/f_{xx}$	819.2 μ s	1.092 ms
$2^{17}/f_{xx}$	1.638 ms	2.185 ms
$2^{18}/f_{xx}$	3.277 ms	4.369 ms
$2^{19}/f_{xx}$	6.554 ms	8.738 ms
$2^{20}/f_{xx}$	13.11 ms	17.48 ms
$2^{22}/f_{xx}$	52.43 ms	69.91 ms

備考 $f_{wx} = f_{xx}/2$: ウォッチドッグ・タイマ・クロック周波数

第14章 A/Dコンバータ

14.1 特 徴

アナログ入力：8チャンネル

10ビットA/Dコンバータ内蔵

A/D変換結果レジスタ（ADCR0-ADCR7）内蔵

10ビット×8本

A/D変換トリガ・モード

ソフトウェア・トリガ・モード

タイマ・トリガ・モード

外部トリガ・モード

A/D変換動作モード

セレクト・モード

スキャン・モード

バッファ・モード

1バッファ・モード

4バッファ・モード

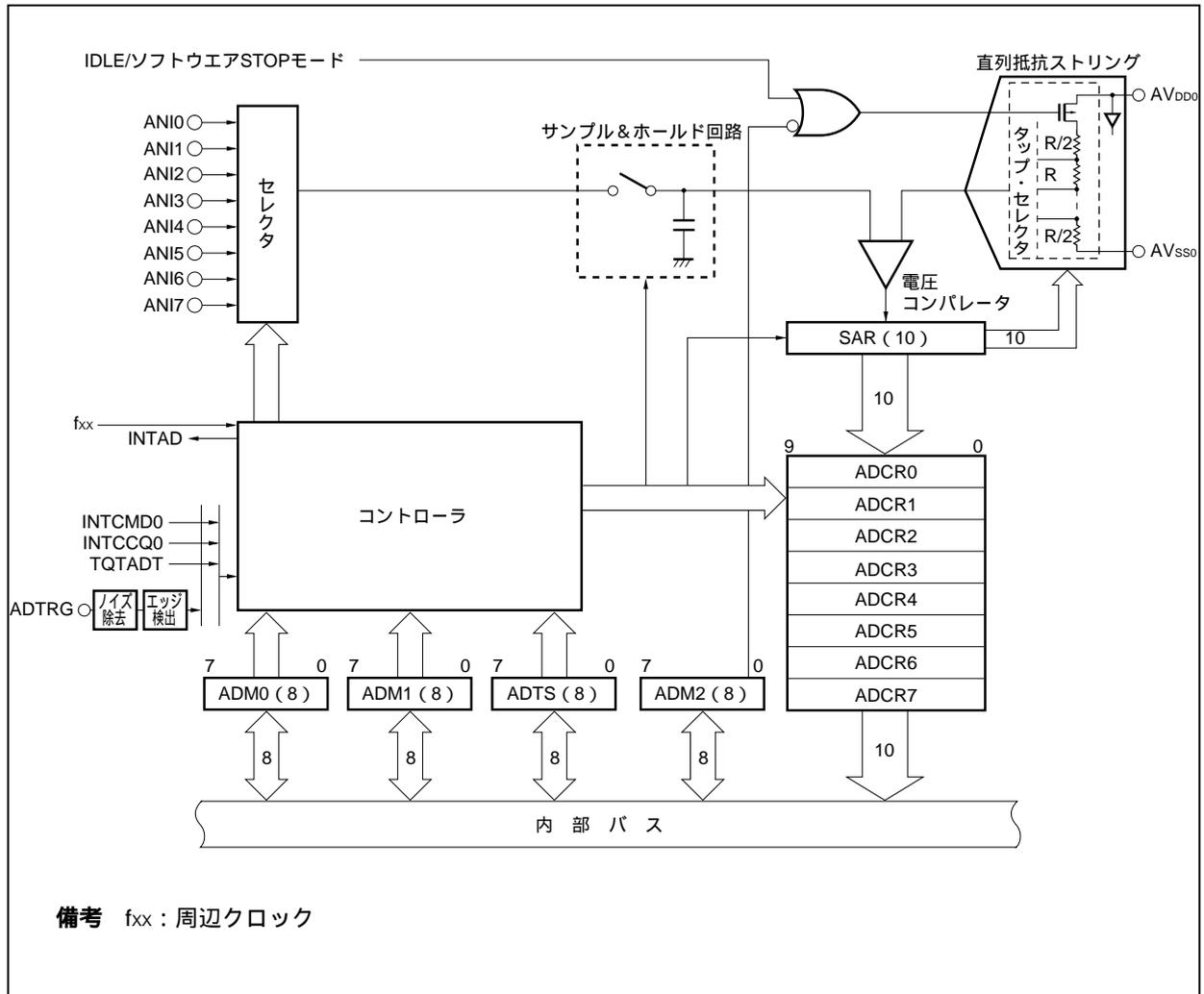
逐次変換方式

内部システム・クロック（ f_{xx} ）10 MHz以上で動作可能

14.2 構成

次にブロック図を示します。

図14 - 1 A/Dコンバータのブロック図



注意1. アナログ入力端子 (ANI0-ANI7) およびA/Dコンバータ電源電圧端子 (AV_{DD0}) にノイズがある場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
- ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

注意2. A/Dコンバータの入力端子として使用している端子には、 AV_{SS0} - AV_{DD0} の範囲外の電圧が加わらないようにしてください。

3. 周辺クロック (f_{xx}) が10 MHz以上のとき動作可能です。

A/Dコンバータは、次のハードウェアで構成しています。

表14 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	ANI0-ANI7 (合計8チャンネル)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0-7 (ADCR0-ADCR7) A/D変換結果レジスタ0H-7H (ADCR0H-ADCR7H)
制御レジスタ	A/Dコンバータ・モード・レジスタ0 (ADM0) A/Dコンバータ・モード・レジスタ1 (ADM1) A/Dコンバータ・モード・レジスタ2 (ADM2) A/Dトリガ選択レジスタ (ADTS)

(1) セレクタ

ADM0, ADM1レジスタで設定したモードに従ってアナログ入力端子 (ANI0-ANI7) を選択し、サンプル&ホールド回路に送ります。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、電圧コンパレータに送ります。なお、A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) 電圧コンパレータ

入力されたアナログ入力電圧と直列抵抗ストリングの電圧タップの出力電圧を比較します。

(4) 直列抵抗ストリング

直列抵抗ストリングは、アナログ入力電圧と一致する電圧を発生させるためのものです。

直列抵抗ストリングは、A/Dコンバータ用の電源電圧端子 (AV_{DD0}) とA/Dコンバータ用のグランド端子 (AV_{SS0}) 間に接続されています。2端子間を1024の等価な電圧ステップにするため、等価な抵抗1023個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは、逐次変換レジスタ (SAR) で制御されるタップ・セレクタによって選択します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARは、直列抵抗ストリングからの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する10ビット・レジスタです。

SARの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARの内容 (変換結果) は、A/D変換結果レジスタ n (ADCR n) に保持されます ($n = 0-7$)。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(6) A/D変換結果レジスタ n (ADCR n : A/D Conversion Result Register n)

ADCR n レジスタは、A/D変換結果を保持する10ビット・レジスタです ($n = 0-7$)。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされ、変換結果をADCR n レジスタの下位10ビットに格納します。上位6ビットは常に0です。

(7) A/Dコンバータ・モード・レジスタ0 (ADM0)

アナログ入力端子の選択、動作モードの指定、および変換動作の制御を行うレジスタです。

(8) A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換するアナログ入力の変換動作時間の指定、トリガ・モードの指定を行うレジスタです。

(9) A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータのリセット、クロックの制御を行うレジスタです。

(10) A/Dトリガ選択レジスタ (ADTS)

タイマ・トリガ入力の指定を行うレジスタです。

(11) コントローラ

ADM0-ADM2, ADTSレジスタに設定したモードに従って、アナログ入力端子の選択、サンプル&ホールド回路の動作タイミングの生成、変換トリガの制御を行います。

(12) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{DD0} 以上、 AV_{SS0} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(13) AV_{DD0} 端子

A/Dコンバータの正電源供給と基準電圧を入力するための端子を兼用しています。 AV_{DD0} - AV_{SS0} 間に加えられる電圧に基づいてANIn端子に入力される信号をデジタル信号に変換します。

A/Dコンバータを使用しない場合でも、 AV_{DD0} 端子は常に EV_{DD} 端子と同電位で使用してください。また、 AV_{DD0} 端子はスタンバイ状態でも電源を落とさないでください。

(14) AV_{SS0} 端子

A/Dコンバータのグランド端子です。 AV_{SS0} 端子は常に EV_{SS} と同電位で使用してください。

14.3 制御レジスタ

A/Dコンバータは次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0-2 (ADM0-ADM2)
- ・ A/Dトリガ選択レジスタ (ADTS)

また、次のレジスタも使用します。

- ・ A/D変換結果レジスタ0-7 (ADCR0-ADCR7)
- ・ A/D変換結果レジスタ0H-7H (ADCR0H-ADCR7H)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

ADM0レジスタは、アナログ入力端子の選択、動作モードの指定、および変換動作の制御を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただし、A/D変換動作中にADM0レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。また、ビット6はリードのみ可能です。ビット6に書き込みを行った場合、書き込みは無視されます。

リセットにより00Hになります。

- 注意1.** タイマ/外部トリガ・モード時でADCEビットが1のときは、トリガ信号待機状態になります。ADCEビットをクリアするには、0を書き込むか、ADM2.ADCAEビットをクリア(0)するか、V850E/MA3をリセットしてください。
ソフトウェア・トリガ・モードでは、ADCEビットに1を書き込むことが変換のトリガになります。動作後、ADCEビットをクリアせずにタイマ/外部トリガ・モードに変更した場合、レジスタ変更直後からトリガ入力の待機状態になります。
- ソフトウェア・トリガ・モード時にADCEビット = 1にしてから、ADCSビット = 1になるまで7-9クロックかかります。

リセット時：00H R/W アドレス：FFFFFF200H

	⑦	⑥	5	4	3	2	1	0
ADM0	ADCE	ADCS	BS	MS	0	ANIS2	ANIS1	ANIS0

ADCE	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADCS	A/Dコンバータのステータス
0	A/D変換停止中
1	A/D変換動作中

BS	バッファ・モードの指定
0	1バッファ・モード
1	4バッファ・モード

MS	動作モードの指定
0	スキャン・モード
1	セレクト・モード

注意 ANIS2-ANIS0ビットについては表14-2 アナログ入力端子の指定を参照してください。

表14-2 アナログ入力端子の指定

ANIS2	ANIS1	ANIS0	セレクト・モード		スキャン・モード	
			ソフトウェア・トリガ・モード	タイマ/外部トリガ・モード ^注	ソフトウェア・トリガ・モード	タイマ/外部トリガ・モード
0	0	0	ANI0	ANI0	ANI0	1回
0	0	1	ANI1	ANI1	ANI0, ANI1	2回
0	1	0	ANI2	ANI2	ANI0-ANI2	3回
0	1	1	ANI3	ANI3	ANI0-ANI3	4回
1	0	0	ANI4	設定禁止	ANI0-ANI4	4回 + ANI4
1	0	1	ANI5	設定禁止	ANI0-ANI5	4回 + ANI4, ANI5
1	1	0	ANI6	設定禁止	ANI0-ANI6	4回 + ANI4-ANI6
1	1	1	ANI7	設定禁止	ANI0-ANI7	4回 + ANI4-ANI7

注 セレクト・モード時のタイマ/外部トリガ・モードで指定できるアナログ入力端子は、ANI0-ANI3端子です。したがって、ANIS2ビット = 1に設定した場合、A/D変換動作は行いません。

(2) A/Dコンバータ・モード・レジスタ1 (ADM1)

ADM1レジスタは、変換動作時間の指定、トリガ・モードの指定を行う8ビット・レジスタです。

8ビット単位でリード/ライト可能です。ただし、A/D変換動作中にADM1レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

リセットにより07Hになります。

注意1. トリガ入力からA/D変換開始までは、次に示すクロック数がかかります。

ソフトウェア・トリガ・モード時	: 9-11クロック
タイマ/外部トリガ・モード時	: 5-7クロック

- トリガ入力は、14.8.5 A/D変換時間の最小のトリガ・インターバル以上の間隔で入力してください。

リセット時：07H R/W アドレス：FFFFFF201H

	7	6	5	4	3	2	1	0
ADM1	0	TRG2	TRG1	0	0	FR2	FR1	FR0

TRG2	TRG1	トリガ・モードの指定
0	0	ソフトウエア・トリガ・モード
0	1	タイマ・トリガ・モード ^{注1}
1	0	設定禁止
1	1	外部トリガ・モード ^{注2}

- 注1. タイマ・トリガ・モード時のトリガの指定は、ADTSレジスタで行います。
2. 外部トリガ・モード時のトリガ（ADTRG端子）の有効エッジ指定は、INTR3.INTR37ビットとINTF3.INTF37ビットで行います（20.4.2（5）外部割り込み立ち上がりエッジ指定レジスタ3（INTR3）、外部割り込み立ち下がりエッジ指定レジスタ3（INTF3）参照）。また、INTR37, INTF37ビットの設定をレベル検出（ロウ・レベル検出）にはしないでください。

- 注意1. FR2-FR0ビットについては表14-3 変換動作時間を参照してください。
2. ビット3, 4, 7には、必ず0を設定してください。

表14-3 変換動作時間

FR2	FR1	FR0	変換クロック数	変換動作時間 ^注			
				f _{xx} = 80 MHz	f _{xx} = 66.7 MHz	f _{xx} = 50 MHz	f _{xx} = 10 MHz
0	0	0	52	設定禁止	設定禁止	設定禁止	5.20 μs
0	0	1	104	設定禁止	設定禁止	設定禁止	設定禁止
0	1	0	156	設定禁止	2.34 μs	3.12 μs	設定禁止
0	1	1	208	2.60 μs	3.12 μs	4.16 μs	設定禁止
1	0	0	260	3.25 μs	3.90 μs	5.20 μs	設定禁止
1	0	1	312	3.90 μs	4.68 μs	設定禁止	設定禁止
1	1	0	364	4.55 μs	設定禁止	設定禁止	設定禁止
1	1	1	416	5.20 μs	設定禁止	設定禁止	設定禁止

注 変換動作時間は目標値です。変換動作時間が2.34 ~ 5.20 μsになるように設定してください。
 なお、f_{xx} < 10 MHzでは、A/Dコンバータを使用できません。

備考 f_{xx} : 周辺クロック

(3) A/Dコンバータ・モード・レジスタ2 (ADM2)

ADM2レジスタは、A/Dコンバータのリセット、クロックの制御を行う8ビット・レジスタです。8/1ビット単位でリード/ライト可能です。ただし、ビット1はリードのみ可能です。リセットにより02Hになります。

- 注意1. ADCAEビットをクリア(0)すると、ADM0.ADCE, ADCSビットは自動的にクリア(0)されます(ADCAEビット = 0の場合は、ADCEビットをセット(1)できません)。そのほかのレジスタは初期化されません。
2. リセット解除後は、A/Dコンバータはリセット状態になります。A/Dコンバータを動作させる場合は、必ずADM0, ADM1レジスタを設定したあとに、ADCAEビットをセット(1)してください。

リセット時：02H R/W アドレス：FFFFFF202H

	7	6	5	4	3	2	①	②
ADM2	0	0	0	0	0	0	ADNCS	ADCAE

ADNCS	A/D変換無効のステータス
0	A/D変換可能状態
1	A/D変換無効状態

・ A/D未使用状態、IDLE/ソフトウェアSTOPモード時、IDLE/ソフトウェアSTOPモード解除後およびADCAEビットをセット(1)した後の安定時間^注内はセットされます。

・ ソフトウェア・トリガ・モードの場合、ADM0.ADCEビットをセット(1)しても、安定時間内は変換開始がウエイトされます。

・ タイマ/外部トリガ・モードの場合、安定時間内にトリガが入力されても無視されます。

ADCAE	A/Dコンバータの動作制御
0	A/Dコンバータへのクロック供給停止、A/Dコンバータ・リセット状態
1	A/Dコンバータへのクロック供給、A/Dコンバータ動作許可状態

注 A/Dコンバータへのクロック供給開始後、アナログ回路の安定時間が必要です。V850E/MA3ではハードウェアで安定時間を確保しています。安定時間については、14. 8. 6 安定時間を参照してください。

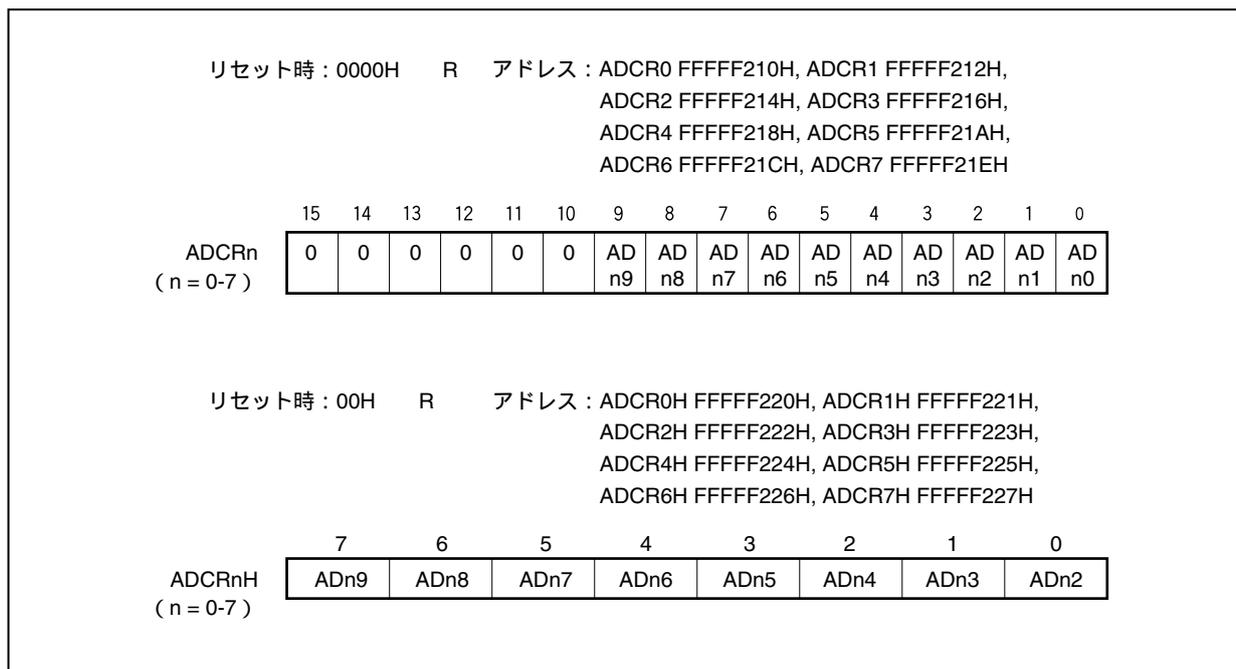
(4) A/D変換結果レジスタ0-7, 0H-7H (ADCR0-ADCR7, ADCR0H-ADCR7H)

ADCRnレジスタは、A/D変換の結果を保持する10ビット・レジスタです。8本の10ビット・レジスタを備えています。

16/8ビット単位でリードのみ可能です。A/D変換結果を16ビット単位でリードする場合はADCRnレジスタを、上位8ビットをリードする場合はADCRnHレジスタを指定します (n = 0-7)。

ADCRnレジスタからA/D変換結果の10ビット・データを読み出す場合には、下位の10ビットだけが有効となり、上位6ビットは常に0です。

リセットによりADCRnレジスタは0000H, ADCRnHレジスタは00Hになります。



各アナログ入力端子とADCRnレジスタの対応 (4バッファ・モードを除く) を次に示します。

アナログ入力端子	ADCRnレジスタ
ANI0	ADCR0, ADCR0H
ANI1	ADCR1, ADCR1H
ANI2	ADCR2, ADCR2H
ANI3	ADCR3, ADCR3H
ANI4	ADCR4, ADCR4H
ANI5	ADCR5, ADCR5H
ANI6	ADCR6, ADCR6H
ANI7	ADCR7, ADCR7H

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタn (ADCRn)) には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{IN}}{AV_{DD0}} \times 1024 + 0.5 \right)$$

または,

$$\left(ADCR - 0.5 \right) \times \frac{AV_{DD0}}{1024} < V_{IN} < \left(ADCR + 0.5 \right) \times \frac{AV_{DD0}}{1024}$$

INT () : () 内の値の整数部を返す関数

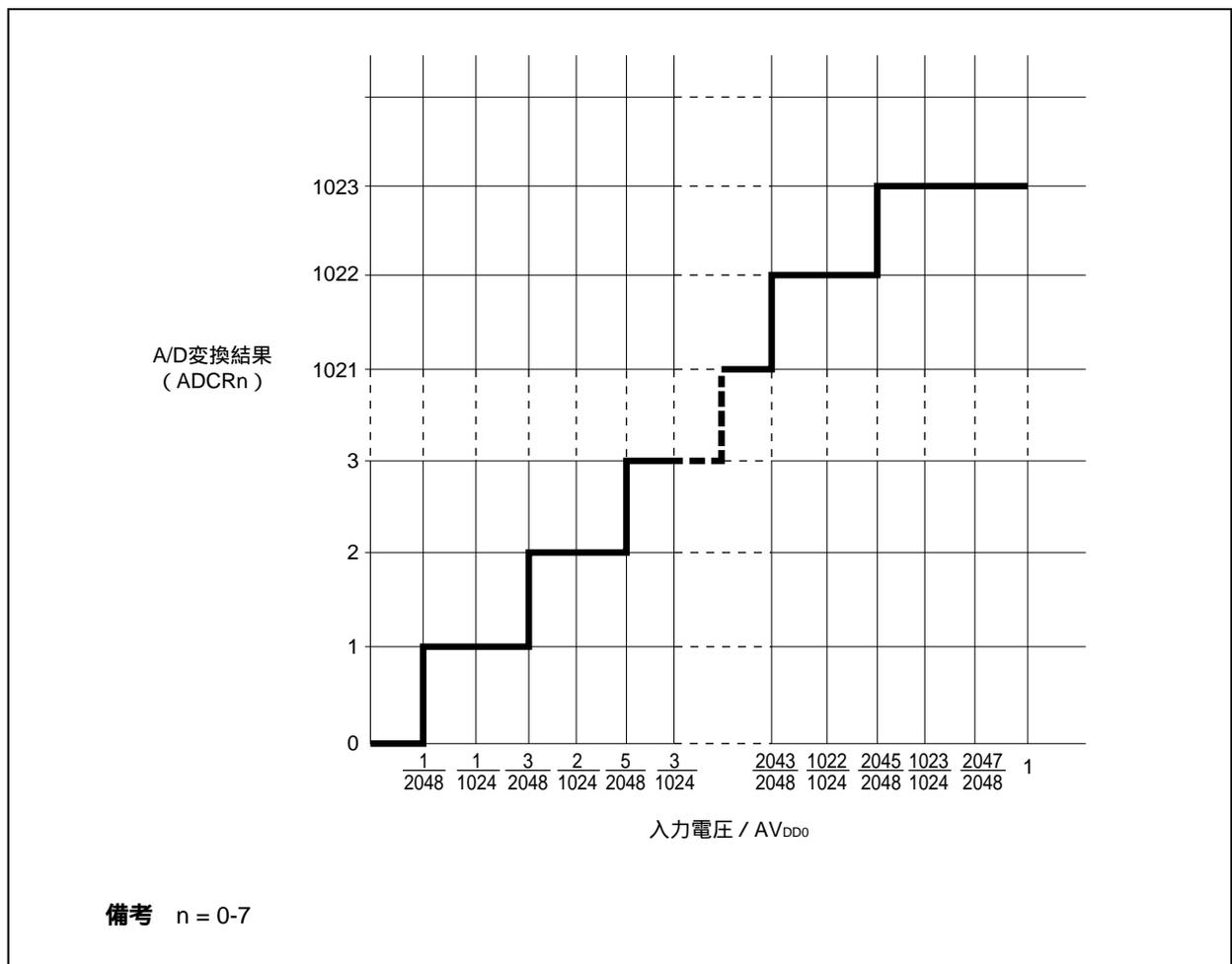
V_{IN} : アナログ入力電圧

AV_{DD0} : AV_{DD0} 端子電圧

ADCR : A/D変換結果レジスタn (ADCRn) の値

次にアナログ入力電圧とA/D変換結果の関係を示します。

図14 - 2 アナログ入力電圧とA/D変換結果の関係



(5) A/Dトリガ選択レジスタ (ADTS)

ADTSレジスタは、タイマ・トリガの入力を選択します。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時：01H R/W アドレス：FFFFFF288H

	7	6	5	4	3	②	①	①
ADTS	0	0	0	0	0	TMS2	TMS1	TMS0

TMS2	タイマ・トリガ信号 (INTCMD0) 許可
0	INTCMD0信号を使用しない
1	INTCMD0信号を使用する

TMS1	タイマ・トリガ信号 (INTCCQ0) 許可
0	INTCCQ0信号を使用しない
1	INTCCQ0信号を使用する

TMS0	タイマ・トリガ信号 (TQTADT ^注) 許可
0	TQTADT信号 ^注 を使用しない
1	TQTADT信号 ^注 を使用する

注 TQTADT信号は、TQ0OPT2.TQ0AT0-TQ0AT3ビットで設定します。

注意1. A/D変換動作中にADTSレジスタへの書き込みをしないでください。

2. モータ制御機能の割り込み要求信号(TQTADT)をタイマ・トリガ入力に選択するときは、TMS0ビットをセット(1)してください。タイマ・トリガ入力に選択できるモータ制御機能の割り込み要求信号を次に示します(複数選択できます)。

- ・タイマQ0 (6相PWM出力モード時(タイマP2と同調動作しない場合を含む))

TQ0AT0ビット = 1 : INTOVQ信号(ダウン・カウント時の16ビット・カウンタの値と0001Hの一致割り込み)

TQ0AT1ビット = 1 : INTCCQ0信号(アップ・カウント時の16ビット・カウンタの値とTQ0CCR0レジスタの値との一致割り込み)

- ・タイマP2 (6相PWM出力モードのタイマQ0と同調動作時のみ)

TQ0AT2ビット = 1 : INTCCP20信号(同調動作時のタイマP2とTP2CCR0レジスタの値との一致割り込み)

TQ0AT3ビット = 1 : INTCCP21信号(同調動作時のタイマP2とTP2CCR1レジスタの値との一致割り込み)

14.4 動作

14.4.1 基本動作

A/D変換は次の手順で行います。

- (1) アナログ入力端子の選択、動作モード、トリガ・モードなどを、ADM0, ADM1レジスタで指定します^{注1}。
ADM1.FR0-FR2ビットの指定により、安定待ち時間の設定が決まります。
- (2) ADM2.ADCAEビットをセット(1)します^{注2}。
ADCAEビットを0 1にしたとき、安定待ち時間のカウントを開始します。
- (3) ソフトウェア・トリガ・モード時は、ADM0.ADCEビットをセット(1)すると、安定待ち時間経過後、A/D変換を開始します。タイマ/外部トリガ・モード時は、ADCEビットをセット(1)すると、安定待ち時間内はトリガを無視し、安定待ち時間経過後にトリガ待機状態になります^{注3}。
- (4) 直列抵抗ストリングの電圧タップから発生した電圧と、アナログ入力電圧をコンパレータで比較します。
- (5) 10ビットの比較が終了したとき、逐次変換レジスタ(SAR)には、有効なデジタル値の結果が残り、その値がADCRnレジスタに転送されて変換結果を格納します。指定した回数のA/D変換が終了したとき、A/D変換終了割り込み要求信号(INTAD)を発生します(n=0-7)。

注1. A/D変換動作中にADM0-ADM2レジスタに書き込みを行った場合、ADCRnレジスタに変換結果が格納されません。変更前のA/D変換動作は初期化され、最初から変換動作をやり直します。

なお、ADCAEビットをクリア(0)した場合、A/Dコンバータへのクロック供給が停止し、変更前のA/D変換動作を初期化し、ADCEビットがクリア(0)されます。また、ADM0.ADCSビットを読み出すと、0がリードされます。

2. ADCAEビットをセット(1)したあとの安定待ち時間中にADM1レジスタを設定すると、安定待ち時間がリセットされ、FR0-FR2ビットの値によって安定待ち時間が発生します。
3. タイマ/外部トリガ・モードの場合、ADCEビットをセット(1)すると、トリガ待機状態に遷移します。また、A/D変換動作はトリガ信号によって起動され、A/D変換動作が終了するとトリガ待機状態に戻ります。

14.4.2 動作モードとトリガ・モード

A/Dコンバータは、動作モード、トリガ・モードの指定により多彩な変換動作を指定できます。動作モード、トリガ・モードは、ADM0, ADM1レジスタで設定します。

動作モード、トリガ・モードの関係を次に示します。

トリガ・モード	動作モード		設定値		アナログ入力端子
			ADM0	ADM1	
ソフトウェア・トリガ	セレクト	1パルファ	XX010XXXB	000X0XXXB	ANI0-ANI7
		4パルファ	XX110XXXB	000X0XXXB	
	スキャン		XXX00XXXB	000X0XXXB	
タイマ・トリガ	セレクト	1パルファ	XX010XXXB	00100XXXB	ANI0-ANI3
		4パルファ	XX110XXXB	00100XXXB	
	スキャン		XXX00XXXB	00100XXXB	ANI0-ANI7
外部トリガ	セレクト	1パルファ	XX010XXXB	01100XXXB	ANI0-ANI3
		4パルファ	XX110XXXB	01100XXXB	
	スキャン		XXX00XXXB	01100XXXB	ANI0-ANI7

(1) トリガ・モード

A/D変換動作の開始タイミングとなるトリガ・モードには、ソフトウェア・トリガ・モード、タイマ・トリガ・モード、外部トリガ・モードの3通りがあります。

(a) ソフトウェア・トリガ・モード

ANI0-ANI7端子のうちADM0.ANIS0-ANIS2ビットで指定されたアナログ入力端子について、ADM0.ADCEビットをセット(1)することでA/D変換開始タイミングとして使用するモードです。

(b) タイマ・トリガ・モード

ANI0-ANI7端子のうちANIS0-ANIS2ビットで指定されたアナログ入力端子について、タイマ(タイマQ0, タイマD0, またはモータ制御機能)のいずれかをA/D変換開始タイミングとして使用するモードです。ADTSレジスタにより選択されたタイマ割り込み要求信号をA/Dのトリガとして選択できます。

ANI0-ANI3端子はセレクト・モードでもスキャン・モードでも指定できますが、ANI4-ANI7端子はセレクト・モードでは指定できません。また、スキャン・モード時は、4回目のトリガが発生すると、ANI3端子からの入力を変換後、連続してANI4-ANI7端子の変換を開始します。

タイマ・トリガの発生により、アナログ入力変換タイミングを生成します。

(c) 外部トリガ・モード

ANI0-ANI7端子のうちANIS0-ANIS2ビットで指定されたアナログ入力端子について、ADTRG端子をA/D変換開始タイミングとして使用するモードです。

ANI0-ANI3端子はセレクト・モードでもスキャン・モードでも指定できますが、ANI4-ANI7端子はセレクト・モードでは指定できません。また、スキャン・モード時は、4回目のトリガが発生すると、ANI3端子からの入力を変換後、連続してANI4-ANI7端子の変換を開始します。

(2) 動作モード

動作モードには、AN10-AN17端子を設定するモードとして、セレクト・モード、スキャン・モードの2通りがあります。セレクト・モードには、サブモードとして、1バッファ・モードと4バッファ・モードがあります。これらのモードは、ADM0レジスタで設定します。

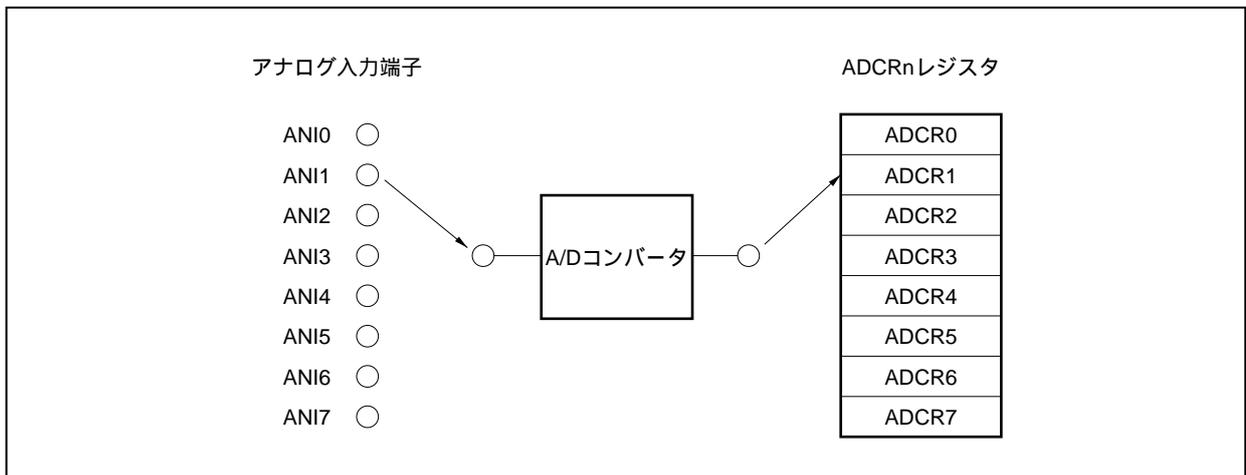
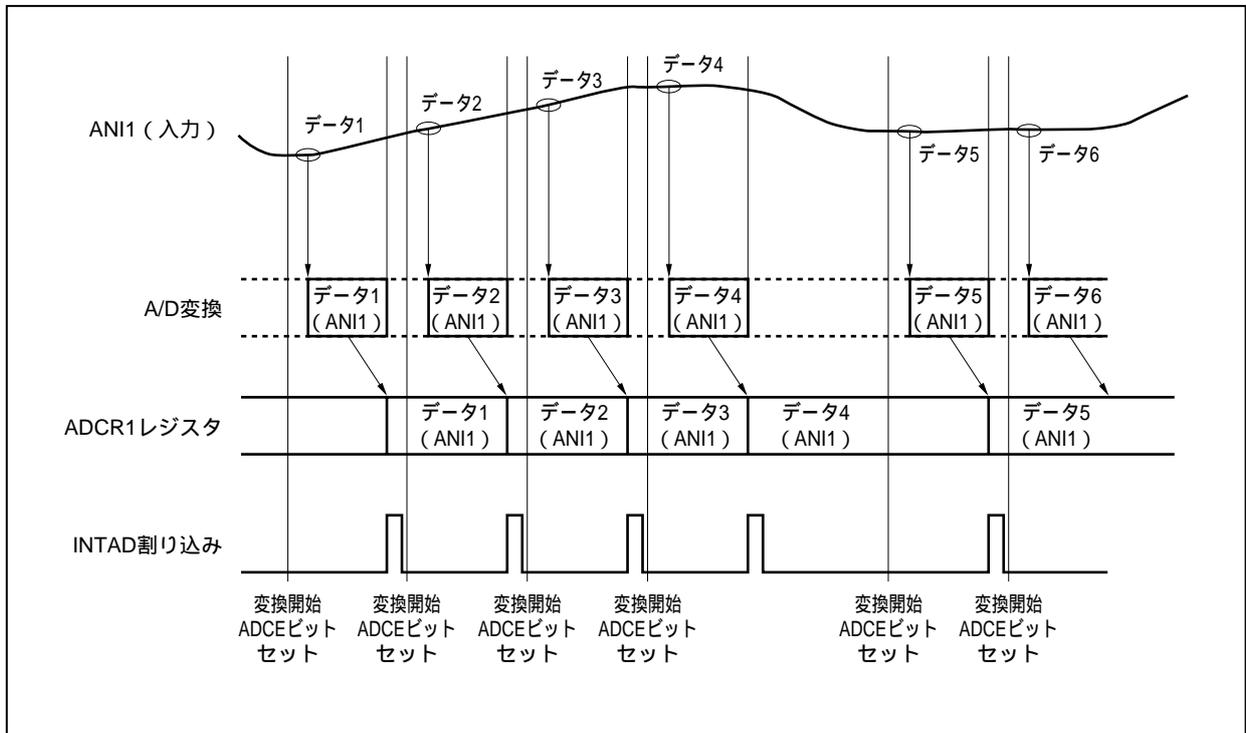
(a) セレクト・モード

ADM0レジスタで指定される1つのアナログ入力端子の電圧をA/D変換します。変換結果は、アナログ入力端子 (ANIn) に対応したADCRnレジスタに格納します。このモードでは、A/D変換結果の格納方法として、1バッファ・モードと4バッファ・モードを備えています (ソフトウェア・トリガ・モード: $n = 0-7$, タイマ/外部トリガ・モード: $n = 0-3$)。

・1バッファ・モード

ADM0レジスタで指定される1つのアナログ入力端子の電圧をA/D変換します。変換結果は、アナログ入力端子 (ANIn) に対応したADCRnレジスタに格納します。ANIn端子とADCRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み要求信号 (INTAD) が発生します。

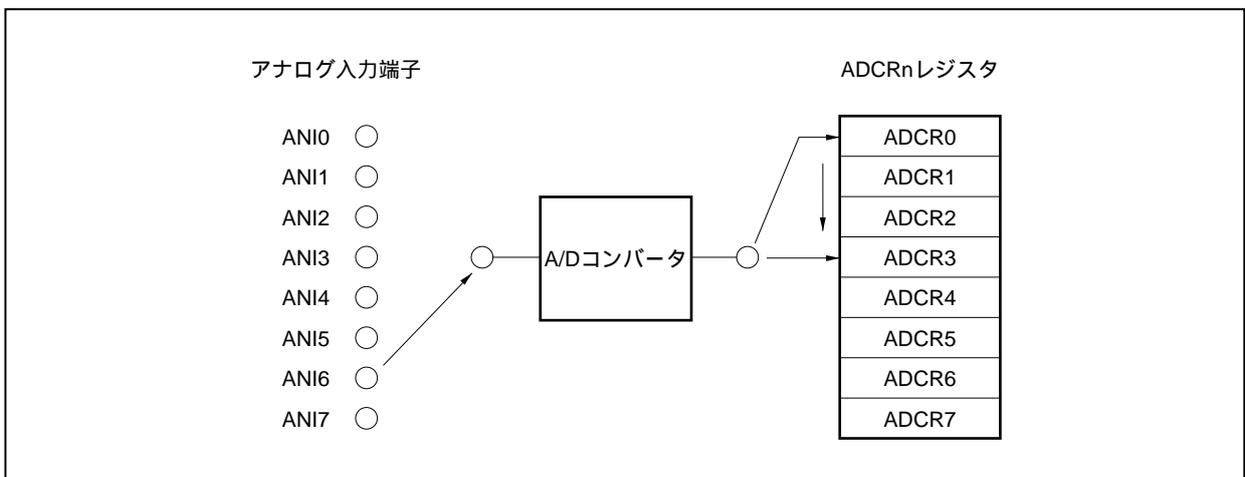
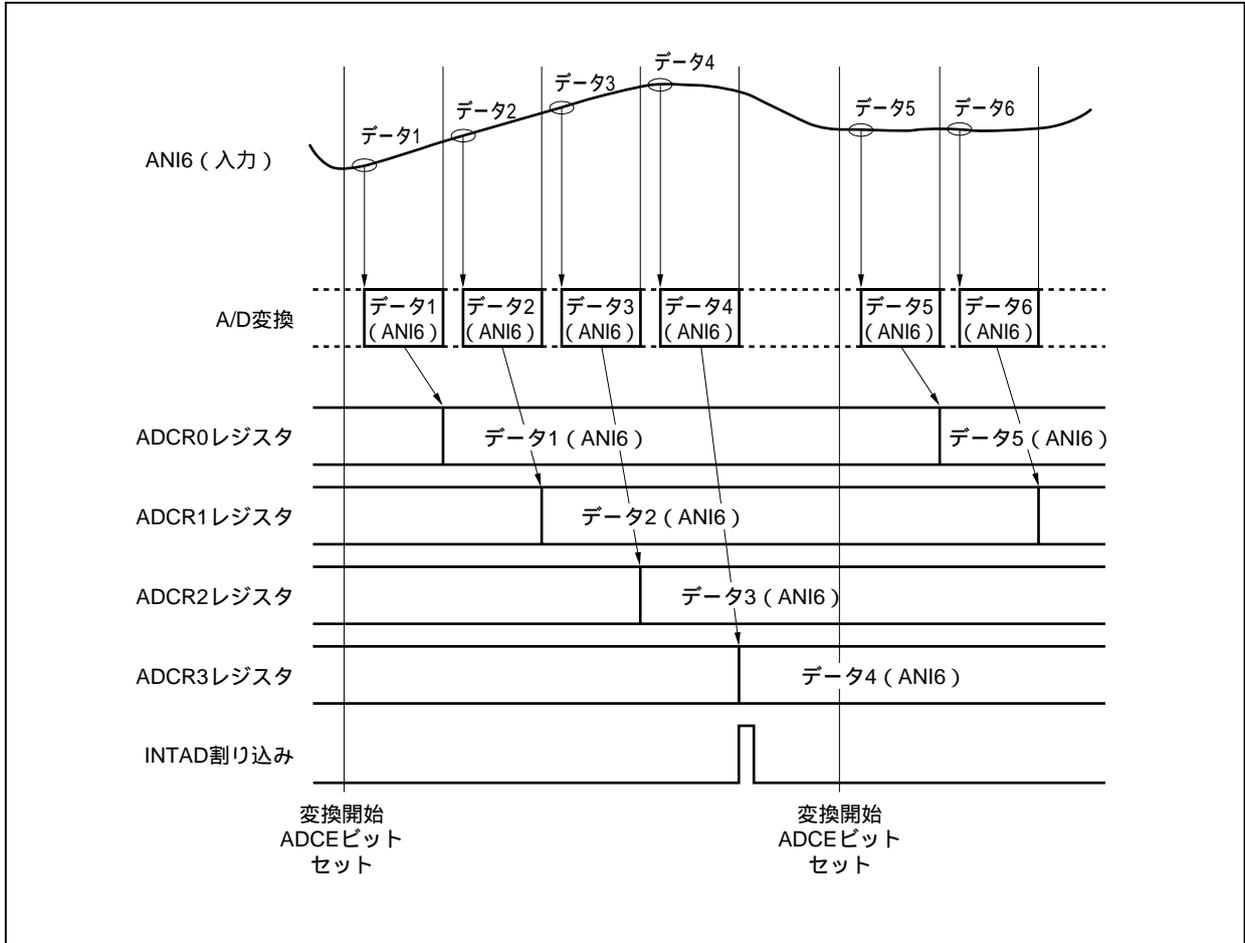
図14 - 3 セレクト・モードの動作タイミング例：1バッファ・モード (ANI1)



・4バッファ・モード

1つのアナログ入力端子の電圧を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。A/D変換終了割り込み要求信号（INTAD）は、4回のA/D変換が終了したときに発生します。

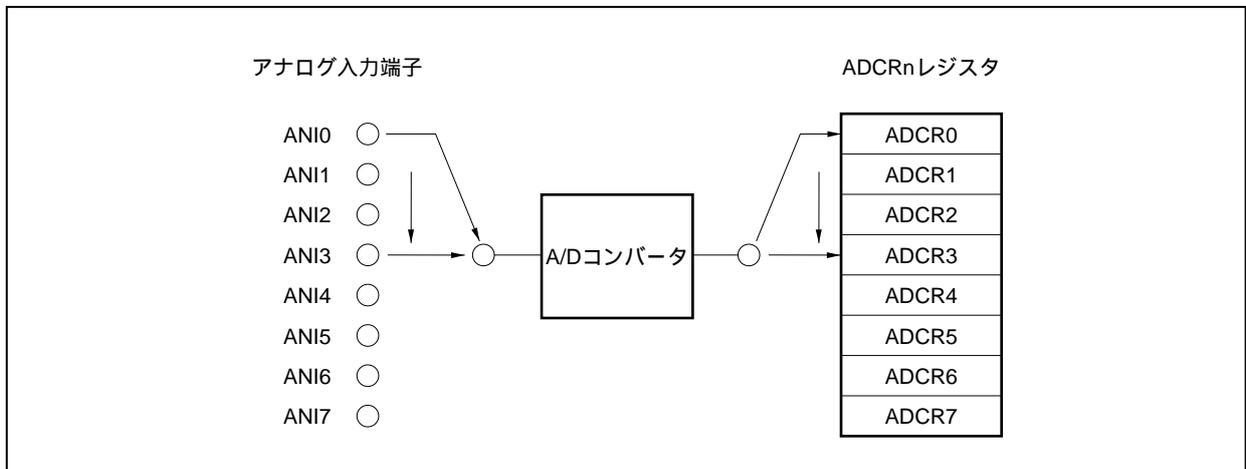
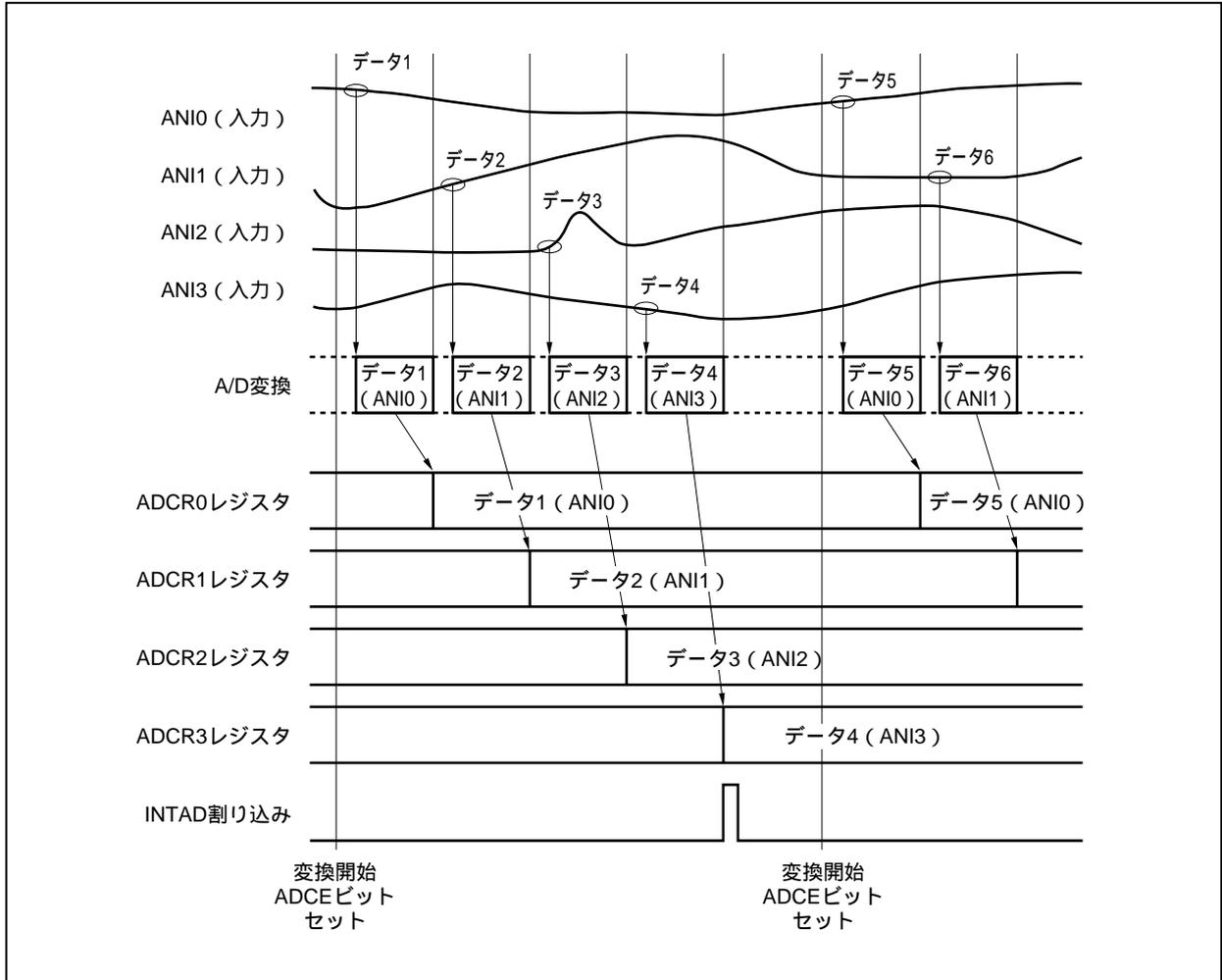
図14 - 4 セレクト・モードの動作タイミング例：4バッファ・モード（ANI6）



(b) スキャン・モード

ANI0端子から，ADM0レジスタで指定したアナログ入力端子（ANIn）までを順に選択し，A/D変換します。A/D変換結果は，アナログ入力端子（ANIn）に対応したADCRnレジスタに格納します（n = 0-7）。指定したアナログ入力端子の変換が終了するとA/D変換終了割り込み要求信号（INTAD）が発生します。

図14 - 5 スキャン・モードの動作タイミング例：4チャンネル・スキャン（ANI0-ANI3）



14.5 ソフトウェア・トリガ・モード時の動作

ADM0.ADCEビットをセット(1)すると、A/D変換を開始します。

14.5.1 セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力端子の電圧をA/D変換します。変換結果は、A/D変換結果レジスタn (ADCRn)に格納します。セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードをサポートしています(n=0-7)。

(1) 1バッファ・モード(ソフトウェア・トリガ・セレクト1バッファ)

1つのアナログ入力端子の電圧を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。アナログ入力端子(ANIn)とADCRnレジスタは1対1に対応しています。

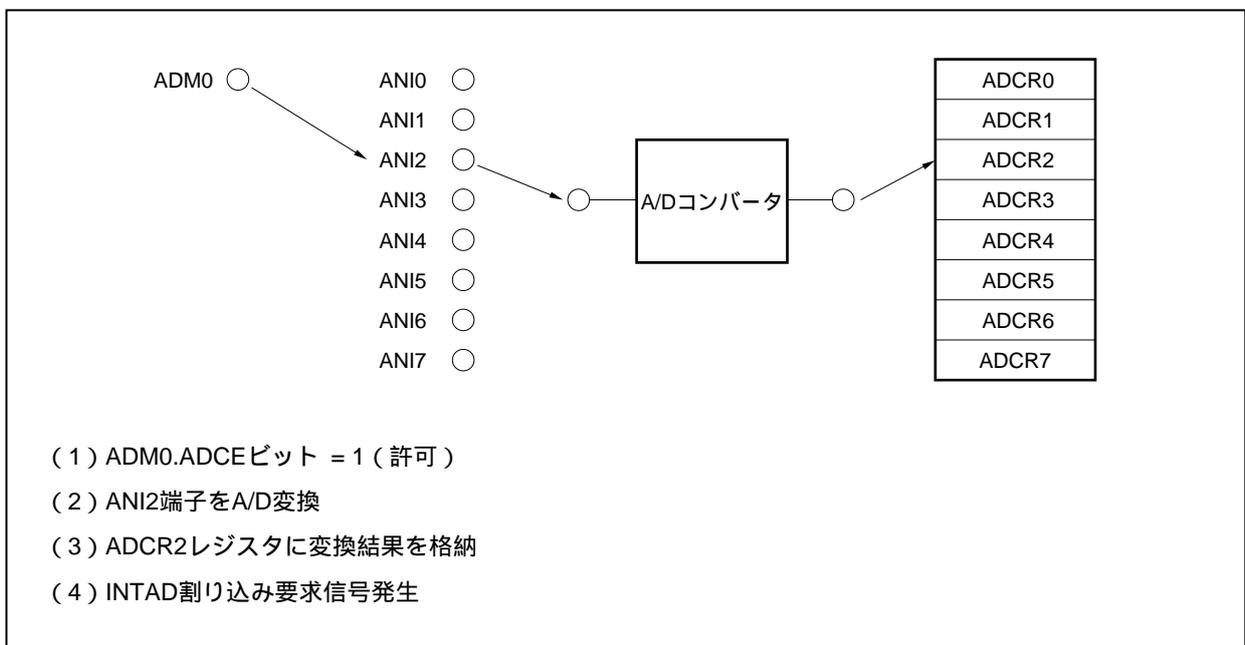
1回のA/D変換終了ごとにA/D変換終了割り込み要求信号(INTAD)を発生し、A/D変換を終了します。

アナログ入力端子	A/D変換結果レジスタ
ANIn	ADCRn

ADM0.ADCEビットをセット(1)すると、A/D変換を再起動できます。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

図14-6 1バッファ・モード(ソフトウェア・トリガ・セレクト1バッファ)の動作例



(2) 4バッファ・モード (ソフトウェア・トリガ・セレクト4バッファ)

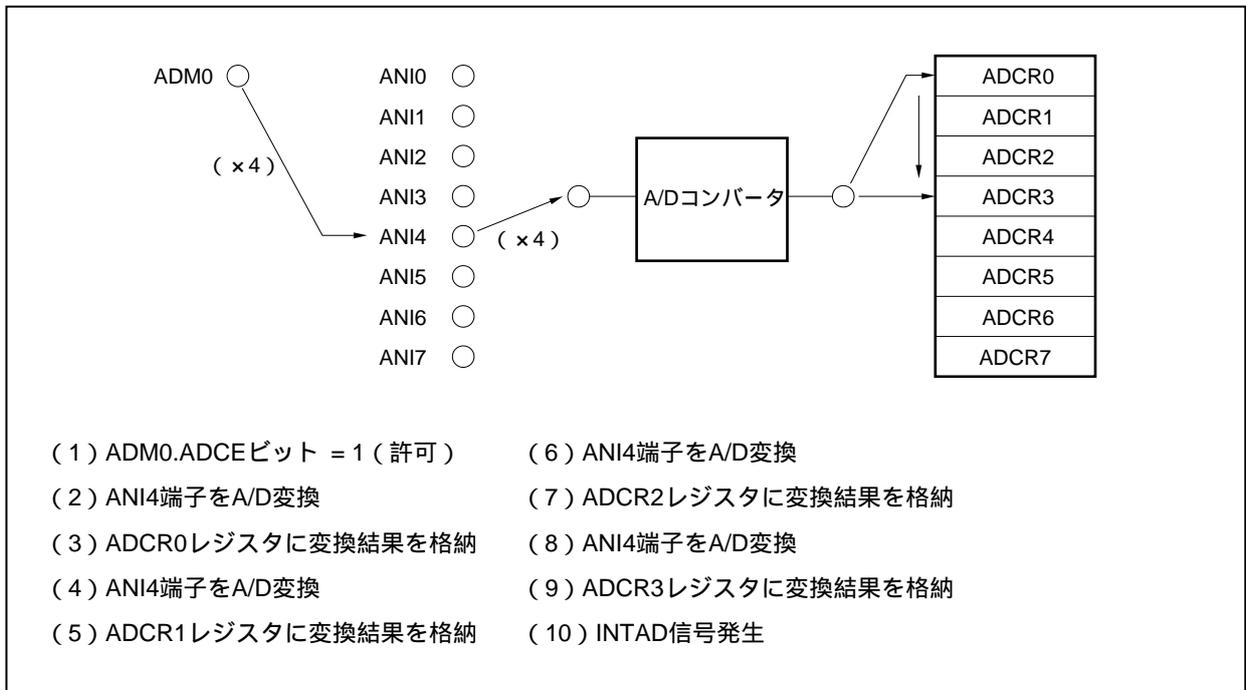
1つのアナログ入力端子の電圧を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。
4回のA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) を発生し、A/D変換を終了します。

アナログ入力端子	A/D変換結果レジスタ
ANIn	ADCR0
ANIn	ADCR1
ANIn	ADCR2
ANIn	ADCR3

ADM0.ADCEビットをセット (1) すると、A/D変換を再起動できます。

A/D変換結果の平均を求めるような応用に最適です。

図14 - 7 4バッファ・モード (ソフトウェア・トリガ・セレクト4バッファ) の動作例



14.5.2 スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力端子 (ANIn) までを順に選択し、A/D変換します。A/D変換結果をアナログ入力端子に対応したADCRnレジスタに格納します (n = 0-7)。

指定したアナログ入力端子の変換をすべて終了すると、A/D変換終了割り込み要求信号 (INTAD) を発生し、A/D変換を終了します。

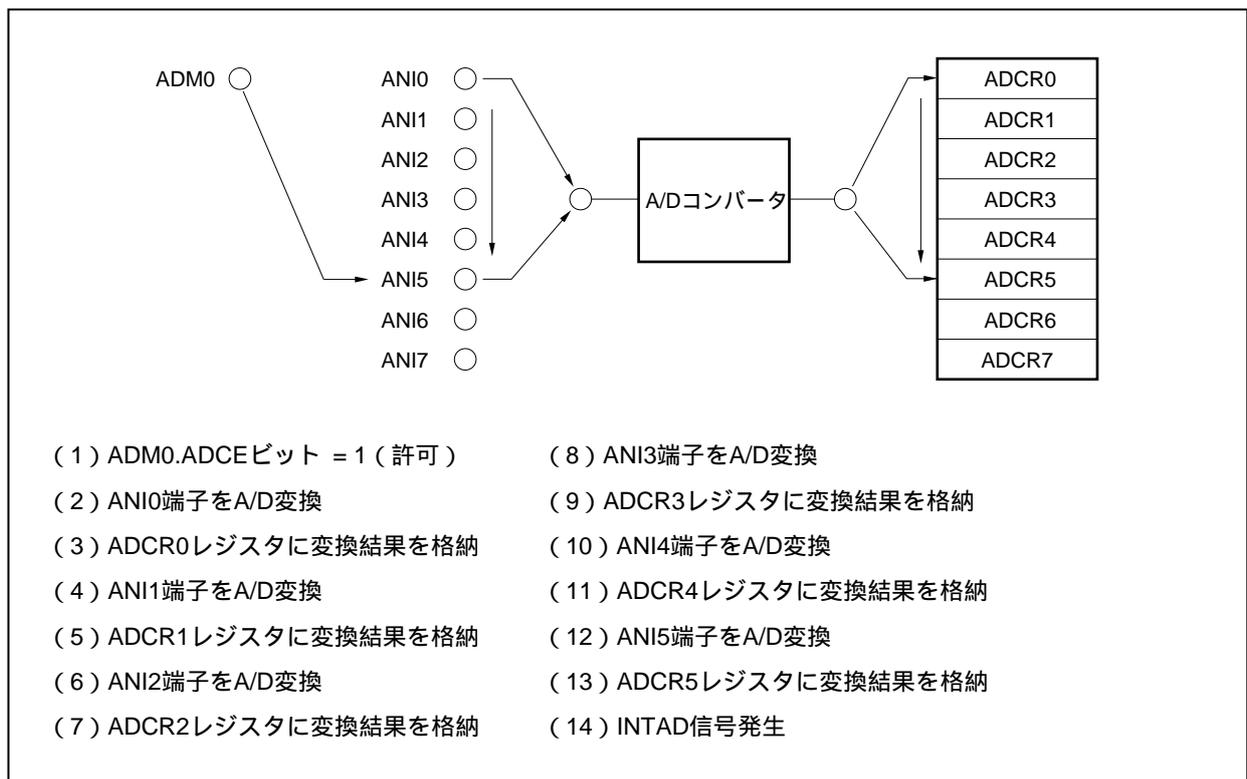
アナログ入力端子	A/D変換結果レジスタ
ANI0	ADCR0
ANIn ^注	ADCRn

注 ADM0.ANIS0-ANIS2ビットで設定

ADM0.ADCEビットをセット (1) すると、A/D変換を再起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

図14 - 8 スキャン・モード (ソフトウェア・トリガ・スキャン) の動作例



14.6 タイマ・トリガ・モード時の動作

A/Dコンバータは、ADTSレジスタで選択したタイマの割り込み要求信号で、最大4チャンネルのアナログ入力 (ANI0-ANI3) に対して変換タイミングを設定できます。

A/D変換のトリガ指定用タイマには、タイマQ0、タイマD0、またはモータ制御機能を使用できます。

タイマの指定に応じて、次の2つのモードがあります。

(1) ワンショット・モード

ワンショット・モードを使用するには、ADTS.TMS1ビットをセット(1)し、タイマQ0をワンショット・パルス・モードに設定します。

16ビット・カウンタの値とTQ0CCR0レジスタの設定値が一致すると、割り込み要求信号 (INTCCQ0) を発生し、16ビット・カウンタは0000Hにクリアされ、停止します。そのあとタイマQ0はINTCCQ0信号を発生しないため、A/Dトリガ信号も発生せず、A/DコンバータはA/D変換待機状態になります。

タイマQ0を再起動するとA/Dトリガ信号が発生します。

ワンショット・モードは、A/D変換の周期がタイマQ0の周期より長い場合に使用します。

(2) ループ・モード

ループ・モードを使用する場合を次に示します。

- ・タイマQ0をインターバル・タイマ・モードで使用する (ADTS.TMS1ビット = 1にする)
- ・モータ制御機能の山割り込み / 谷割り込み
- ・モータ制御機能と同調動作するタイマP2をフリー・ランニング・モードで使用する
- ・タイマD0

タイマから繰り返し割り込み要求信号が出力され、A/D変換も繰り返し行われます。

モータ制御機能のTQ0OPT2.TQ0AT0-TQ0AT3ビットの設定により、複数のタイマ割り込み要求信号をA/D変換のトリガに使用できます。このとき、タイマ割り込み要求信号の発生間隔が表14-5 **タイマ・トリガ・モード、外部トリガ・モードでの変換時間**で示す最小のトリガ・インターバルよりも短くならないように注意してください。最小のトリガ・インターバルよりも短い間隔で割り込み要求信号が発生しても無視されてしまいます。

14.6.1 セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力端子の電圧をA/D変換します。変換結果は、ADCRnレジスタに格納します。セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードの2通りがあります (n = 0-3)。

(1) 1バッファ・モードの動作 (タイマ・トリガ・セレクト1バッファ)

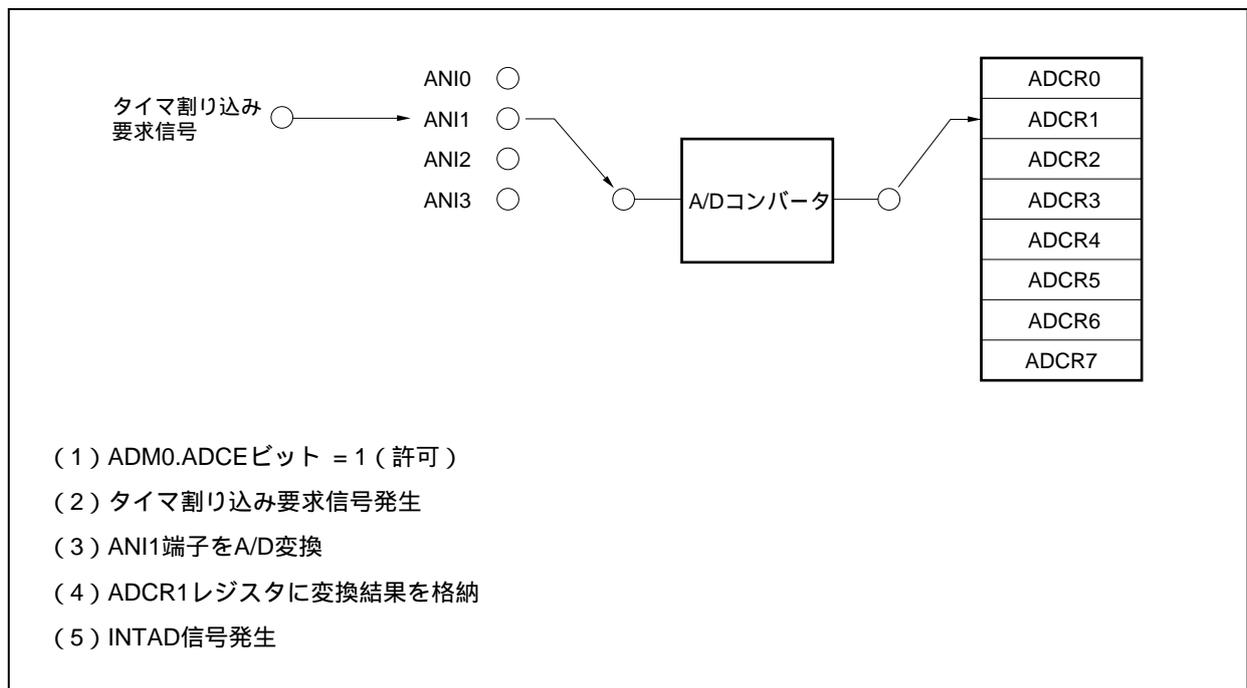
タイマからの信号をトリガとして、1つのアナログ入力端子の電圧を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。1回のA/D変換ごとにA/D変換終了割り込み要求信号 (INTAD) を発生し、A/D変換を終了します (n = 0-3)。

トリガ	アナログ入力端子	A/D変換結果レジスタ
タイマ・トリガ信号	ANIn	ADCRn

ワンショット・モードの場合は、1回の変換でA/D変換を終了します。A/D変換を再起動するには、TQ0CTL0.TQ0CEビットをセット (1) することで、タイマQ0を再起動してください。

ループ・モードの場合は、ADM0.ADCEビットをクリア (0) するか、ADM2.ADCAEビットをクリア (0) しないかぎり、タイマ割り込み要求信号が発生するごとにA/D変換を繰り返します。

図14-9 1トリガ・モード (タイマ・トリガ・セレクト1バッファ) の動作例



(2) 4バッファ・モードの動作 (タイマ・トリガ・セレクト4バッファ)

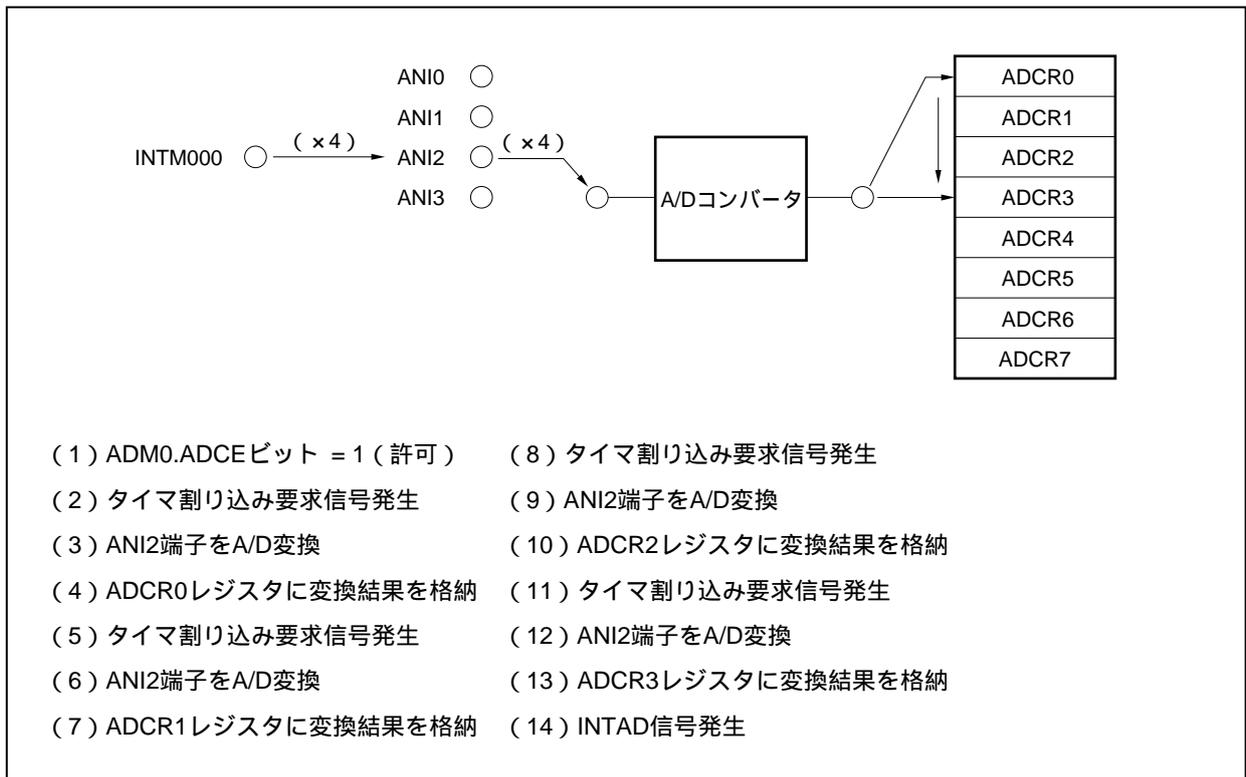
タイマ割り込み要求信号をトリガとして、1つのアナログ入力端子の電圧を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。A/D変換が4回終了するとA/D変換終了割り込み要求信号 (INTAD) を発生し、A/D変換を終了します。

A/D変換結果の平均を求めるといった応用に最適です。

トリガ	アナログ入力端子	A/D変換結果レジスタ
タイマ割り込み要求信号	ANIn	ADCR0
タイマ割り込み要求信号	ANIn	ADCR1
タイマ割り込み要求信号	ANIn	ADCR2
タイマ割り込み要求信号	ANIn	ADCR3

ワンショット・モードに設定しており、タイマ割り込み要求信号 (INTCCQ0) の発生が4回未満のときは、INTAD信号は発生せず待機状態となります。

図14 - 10 1トリガ・モード (タイマ・トリガ・セレクト4バッファ) の動作例



14.6.2 スキャン・モードの動作

タイマ割り込み要求信号をトリガとして、ANI0端子からADM0レジスタで指定されるアナログ入力端子 (ANIn) までを順に選択し、A/D変換します。A/D変換結果はアナログ入力端子に対応したADCRnレジスタに格納します (n = 0-7)。

変換動作は、まずアナログ入力端子の下位4チャンネル (ANI0-ANI3) を指定された回数分A/D変換します。ADM0レジスタで、アナログ入力端子の下位4チャンネル (ANI0-ANI3) までをスキャンするように設定した場合は、設定した回数のA/D変換が終了するとA/D変換終了割り込み要求信号 (INTAD) を発生し、A/D変換を終了します。

ADM0レジスタで、アナログ入力端子の上位4チャンネル (ANI4-ANI7) までをスキャンするように設定した場合は、下位4チャンネルの変換が終了したあと、ソフトウェア・トリガ・モードに移行して残りのA/D変換を行います。変換結果はアナログ入力端子に対応したADCRnレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了するとINTAD信号を発生し、A/D変換を終了します (n = 0-7)。

トリガ	アナログ入力端子	A/D変換結果レジスタ
タイマ割り込み要求信号	ANI0	ADCR0
タイマ割り込み要求信号	ANI1	ADCR1
タイマ割り込み要求信号	ANI2	ADCR2
タイマ割り込み要求信号	ANI3	ADCR3
(ソフトウェア・トリガ・モード)	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

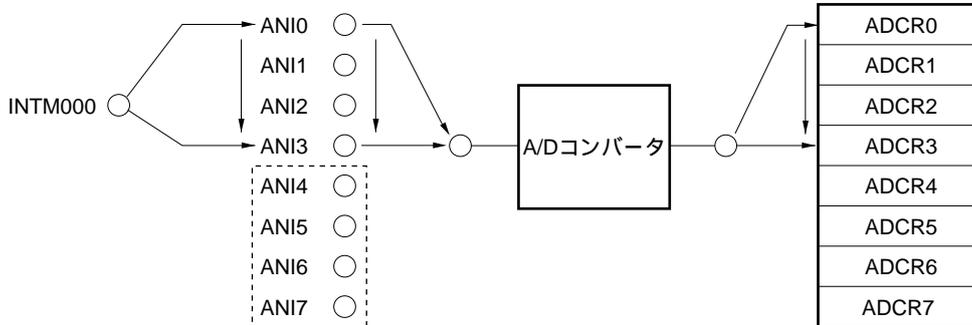
ADM0.ADCEビットが1の間にタイマ割り込み要求信号が発生すると、A/D変換が再起動します。

ワンショット・モードに設定されており、タイマ割り込み要求信号の発生が指定された変換数未満のときADCEビットを1に設定すると、INTAD信号は発生せず待機状態となります。

ソフトウェア・トリガ・モードに移行した状態では、タイマ割り込み要求信号が発生しても無視します。複数のアナログ入力端子を常時監視するような応用に最適です。

図14 - 11 タイマ・トリガ・スキャンの動作例

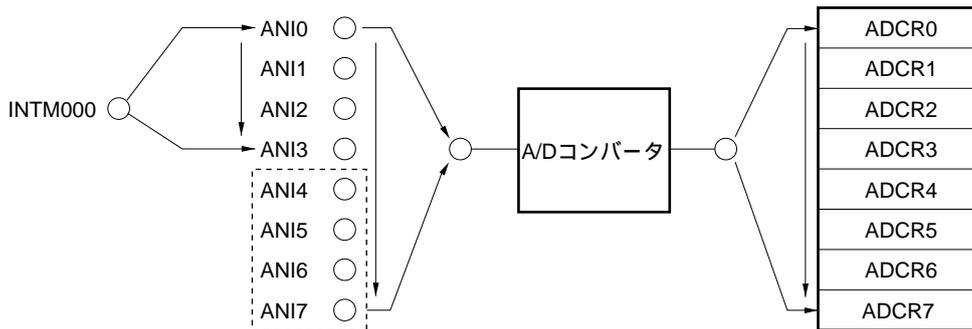
(a) ANI0-ANI3端子をスキャンする設定にした場合



- (1) ADM0.ADCEビット = 1 (許可)
- (2) タイマ割り込み要求信号発生
- (3) ANI0端子をA/D変換
- (4) ADCR0レジスタに変換結果を格納
- (5) タイマ割り込み要求信号発生
- (6) ANI1端子をA/D変換
- (7) ADCR1レジスタに変換結果を格納
- (8) タイマ割り込み要求信号発生
- (9) ANI2端子をA/D変換
- (10) ADCR2レジスタに変換結果を格納
- (11) タイマ割り込み要求信号発生
- (12) ANI3端子をA/D変換
- (13) ADCR3レジスタに変換結果を格納
- (14) INTAD信号発生

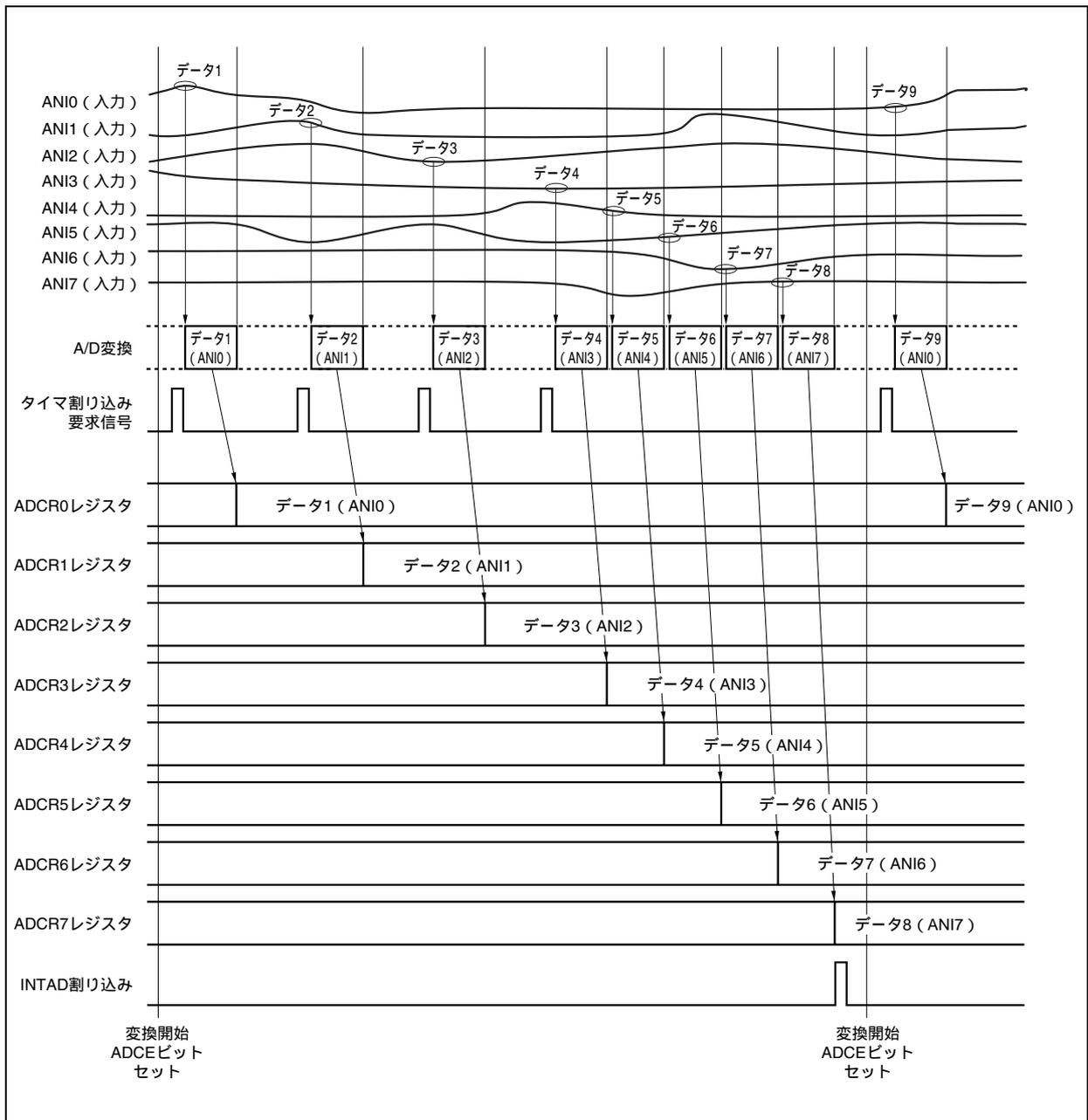
注意 破線内のアナログ入力端子は、タイマ割り込み要求信号をトリガとして使用できません。ANI0-ANI7端子までスキャンするように設定した場合は、ANI4-ANI7端子はソフトウェア・トリガ・モードでの変換となります ((b) 参照)。

(b) ANI0-ANI7端子をスキャンする設定にした場合



- (1) - (13) (a) と同様
- (14) ANI4端子をA/D変換
- (15) ADCR4レジスタに変換結果を格納
- (16) ANI5端子をA/D変換
- (17) ADCR5レジスタに変換結果を格納
- (18) ANI6端子をA/D変換
- (19) ADCR6レジスタに変換結果を格納
- (20) ANI7端子をA/D変換
- (21) ADCR7レジスタに変換結果を格納
- (22) INTAD信号発生

図14 - 12 タイマ・トリガ・スキャンの動作タイミング例：8チャンネル・スキャン (ANI0-ANI7)



14.7 外部トリガ・モード時の動作

外部トリガ・モードでは、アナログ入力端子 (ANI0-ANI7) をADTRG端子の入力タイミングでA/D変換します。

ADTRG端子はP37/INTP137端子と兼用になっています。外部トリガ・モードにするにはPMC3.PMC37ビットを1に、ADM1.TRG2, TRG1ビットを11にしてください。

外部トリガ・モード時の外部入力信号の有効エッジは、INTR3.INTR37ビットとINTF3.INTF37ビットで、立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのどれかに指定できます (20. 4. 2 (5) 外部割り込み立ち上がりエッジ指定レジスタ3 (INTR3) , 外部割り込み立ち下がりエッジ指定レジスタ3 (INTF3) 参照) 。 ADTRG端子として使用するときには、レベル検出に設定しないでください。

14.7.1 セレクト・モードの動作

ADM0レジスタで指定する1つのアナログ入力端子 (ANI0-ANI3) の電圧をA/D変換します。変換結果は、ADCRnレジスタに格納します。セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードの2通りがあります (n = 0-3) 。

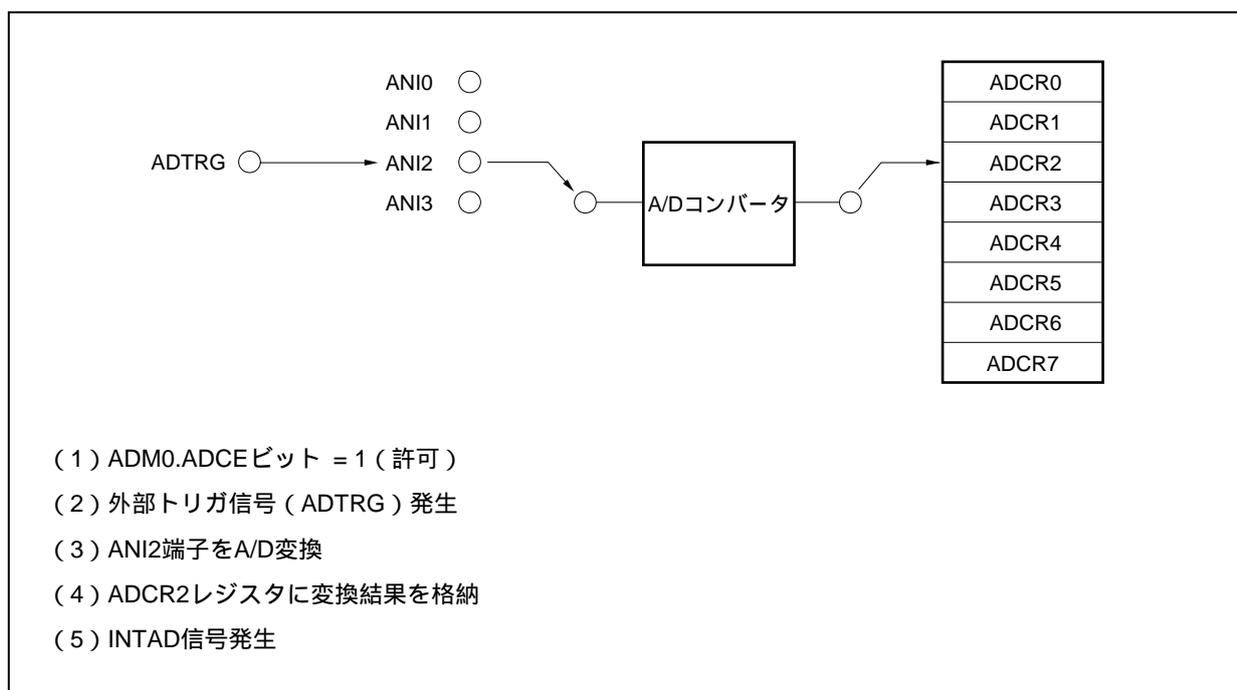
(1) 1バッファ・モード (外部トリガ・セレクト1バッファ)

ADTRG信号をトリガとして1つのアナログ入力端子の電圧を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。アナログ入力端子 (ANIn) とADCRnレジスタは1対1に対応しています。1回のA/D変換ごとにA/D変換終了割り込み要求信号 (INTAD) を発生し、A/D変換を終了します。

トリガ	アナログ入力端子	A/D変換結果レジスタ
ADTRG信号	ANIn	ADCRn

ADM0.ADCEビットが1の間は、ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。1回のA/D変換ごとに結果を読み出すような応用に最適です。

図14 - 13 1バッファ・モード (外部トリガ・セレクト1バッファ) の動作例



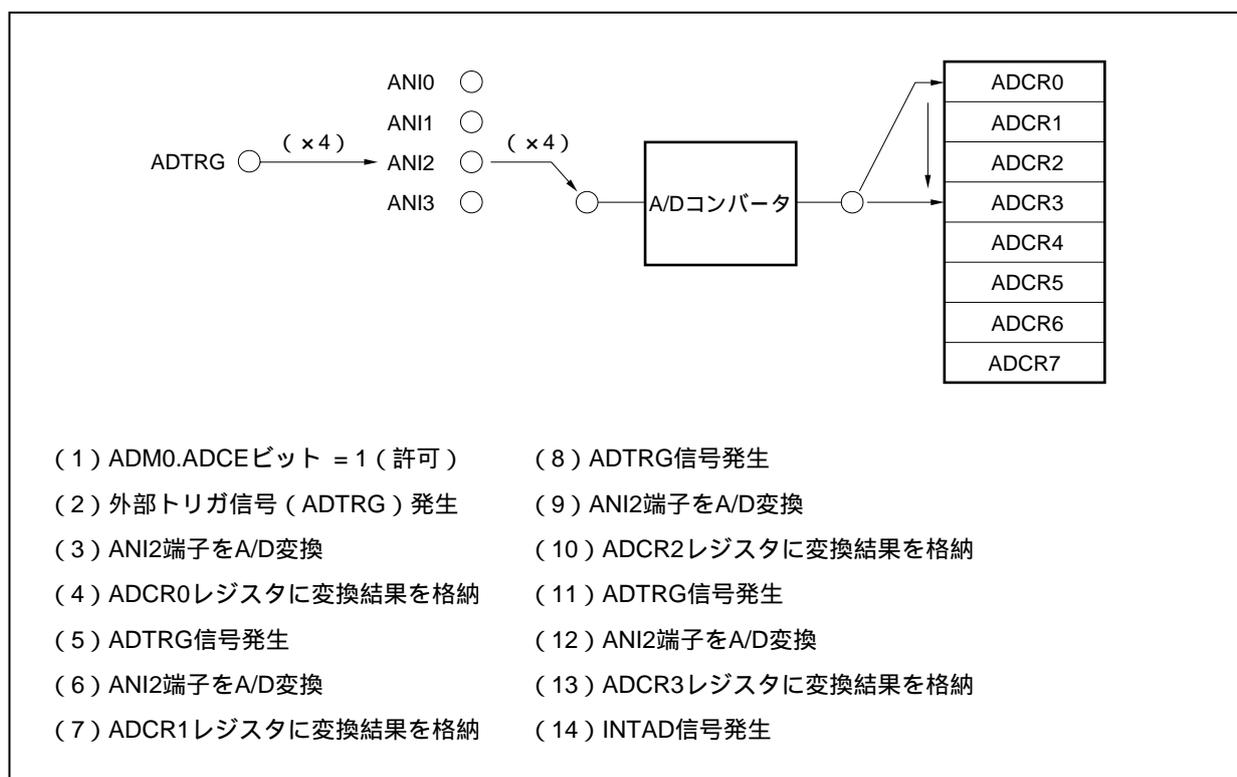
(2) 4バッファ・モード (外部トリガ・セレクト4バッファ)

ADTRG信号をトリガとして1つのアナログ入力端子の電圧を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。4回のA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) を発生し、A/D変換を終了します。

トリガ	アナログ入力端子	A/D変換結果レジスタ
ADTRG信号	ANIn	ADCR0
ADTRG信号	ANIn	ADCR1
ADTRG信号	ANIn	ADCR2
ADTRG信号	ANIn	ADCR3

ADM0.ADCEビットが1の間は、ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。A/D変換結果の平均を求めるような応用に最適です。

図14 - 14 4バッファ・モード (外部トリガ・セレクト4バッファ) の動作例



14.7.2 スキャン・モードの動作

ADTRG信号をトリガとして、ANI0端子からA/Dコンバータ・モード・レジスタ0 (ADM0) で指定されるアナログ入力端子までを順に選択し、A/D変換します。A/D変換結果はアナログ入力端子に対応したA/D変換結果レジスタn (ADCRn) に格納します (n = 0-7)。

ADM0レジスタで、アナログ入力端子の下位4チャンネル (ANI0-ANI3) までをスキャンするように設定した場合は、設定した回数のA/D変換が終了するとA/D変換終了割り込み要求信号 (INTAD) を発生し、A/D変換を終了します。

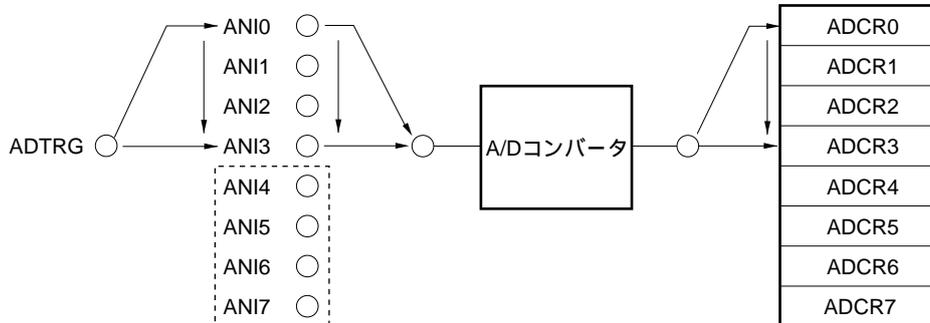
ADM0レジスタで、アナログ入力端子の上位4チャンネル (ANI4-ANI7) までをスキャンするように設定した場合は、下位4チャンネルの変換が終了したあと、ソフトウェア・トリガ・モードに移行して残りのA/D変換を行います。変換結果はアナログ入力端子に対応したADCRnレジスタに格納します (n = 0-7)。

トリガ	アナログ入力端子	A/D変換結果レジスタ
ADTRG信号	ANI0	ADCR0
ADTRG信号	ANI1	ADCR1
ADTRG信号	ANI2	ADCR2
ADTRG信号	ANI3	ADCR3
(ソフトウェア・トリガ・モード)	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

指定したアナログ入力端子の変換をすべて終了すると、INTAD信号を発生し、A/D変換を終了します。ADM0.ADCEビットが1の間にADTRG端子にトリガを入力すると、再度A/D変換を起動できます。ソフトウェア・トリガ・モードに移行した状態では、次のトリガが入力されても無視します。複数のアナログ入力を常時監視するような応用に最適です。

図14 - 15 スキャン・モード (外部トリガ・スキャン) の動作例

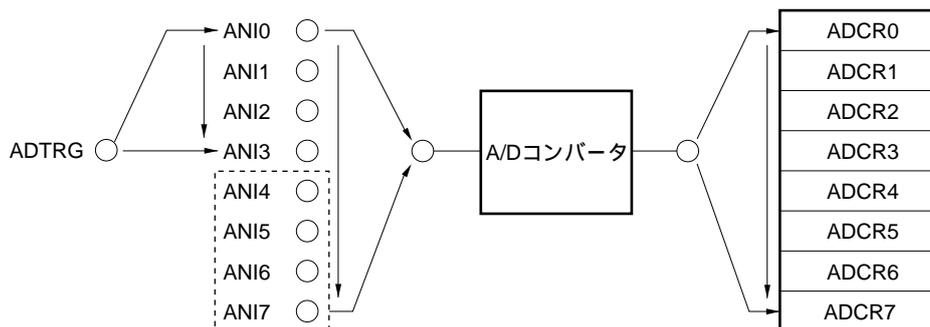
(a) ANI0-ANI3端子をスキャンする設定にした場合



- | | |
|---------------------------|------------------------|
| (1) ADM0.ADCEビット = 1 (許可) | (8) ADTRG信号発生 |
| (2) 外部トリガ信号 (ADTRG) 発生 | (9) ANI2端子をA/D変換 |
| (3) ANI0端子をA/D変換 | (10) ADCR2レジスタに変換結果を格納 |
| (4) ADCR0レジスタに変換結果を格納 | (11) ADTRG信号発生 |
| (5) ADTRG信号発生 | (12) ANI3端子をA/D変換 |
| (6) ANI1端子をA/D変換 | (13) ADCR3レジスタに変換結果を格納 |
| (7) ADCR1レジスタに変換結果を格納 | (14) INTAD信号発生 |

注意 破線内のアナログ入力端子は、ADTRG端子をトリガとして使用できません。ANI0-ANI7端子までスキャンするように設定した場合は、ANI4-ANI7端子はソフトウェア・トリガ・モードでの変換となります ((b) 参照)。

(b) ANI0-ANI7端子をスキャンする設定にした場合



- | | |
|------------------------|------------------------|
| (1) - (13) (a) と同様 | (18) ANI6端子をA/D変換 |
| (14) ANI4端子をA/D変換 | (19) ADCR6レジスタに変換結果を格納 |
| (15) ADCR4レジスタに変換結果を格納 | (20) ANI7端子をA/D変換 |
| (16) ANI5端子をA/D変換 | (21) ADCR7レジスタに変換結果を格納 |
| (17) ADCR5レジスタに変換結果を格納 | (22) INTAD信号発生 |

14.8 動作上の注意事項

14.8.1 変換動作の停止

変換動作中にADM0.ADCEビットに0を書き込むと変換動作を停止し、ADCRnレジスタへの変換結果を格納しません ($n = 0-7$)。

14.8.2 タイマ/外部トリガの間隔

タイマ/外部トリガ・モード時のトリガのインターバル(入力時間の間隔)は、表14-5 **タイマ・トリガ・モード、外部トリガ・モードでの変換時間**を参照してください。

(1) インターバル = 0の場合

複数のトリガが同時に入力された場合、ANIn端子番号(n)が小さいアナログ入力端子を変換します。同時入力されたほかのトリガ信号は無視され、トリガ入力回数もカウントしません。したがって、割り込み要求信号(INTAD)の発生、ADCRnレジスタへの結果の格納は異常となりますので注意してください($n = 0-7$)。

(2) $0 < \text{インターバル} < \text{A/D変換動作時間}$ の場合

変換動作中にタイマ/外部トリガが入力された場合、変換動作を中断し、最後に入力されたタイマ/外部トリガに従って変換を開始します。

変換動作を中断した場合、ADCRnレジスタに変換結果は格納されず、トリガ入力回数のカウントも行われません。したがって、INTAD信号の発生、ADCRnレジスタへの結果の格納は異常となりますので注意してください($n = 0-7$)。

(3) インターバル \geq A/D変換動作時間の場合

トリガ入力回数のカウントは行われ、INTAD信号の発生、変換が終了した値のADCRnレジスタの格納は正しく行われます。インターバル \geq A/D変換時間となるように設計してください。

14.8.3 スタンバイ・モード時の動作

(1) HALTモード

A/D変換動作を継続します。

(2) IDLEモード、ソフトウェアSTOPモード

A/Dコンバータへのクロック供給が止まるため、変換動作は行われません。

NMI入力やマスカブル割り込み要求信号入力端子^注で解除した場合、ADM0-ADM2レジスタとADCRnレジスタは値を保持します。ただし、変換動作中にIDLEモード、ソフトウェアSTOPモードに設定した場合、変換動作は中断します。NMI入力やマスカブル割り込み要求信号入力端子^注で解除した場合、変換を再開します。このとき、割り込み要求信号(INTAD)が発生することがありますが、ADCRnレジスタに書き込まれる変換結果は不定となります($x = 0-3, n = 0-7$)。

注 INTP000, INTP001, INTP004, INTP005, INTP010-INTP013, INTP021, INTP022, INTP050, INTP051, INTP106, INTP107, INTP114, INTP115, INTP124-INTP126, INTP130-INTP134, INTP137端子

14.8.4 タイマ・トリガ・モード時のタイマ割り込み要求信号

タイマ割り込み要求信号がA/D変換開始のトリガとなり、変換動作を開始します。このとき、タイマ割り込み要求信号は、CPUに対する割り込みとしても機能します。CPUに対する割り込みを発生させないためには、割り込み制御レジスタのマスク・ビットで割り込みを禁止してください。

14.8.5 A/D変換時間

(1) ソフトウェア・トリガ・モードでの変換時間

ソフトウェア・トリガ・モードでの変換時間を次に示します。

表14-4 ソフトウェア・トリガ・モードでの変換時間

FR2	FR1	FR0	変換クロック数	初期化クロック数	最小のトリガ・インターバル ^注
0	0	0	52	11	63
0	0	1	104	22	126
0	1	0	156	33	189
0	1	1	208	44	252
1	0	0	260	55	315
1	0	1	312	66	378
1	1	0	364	77	441
1	1	1	416	88	504

注 ターゲット

(2) タイマ・トリガ・モード，外部トリガ・モードでの変換時間

タイマ・トリガ・モード，外部トリガ・モードでの変換時間を次に示します。

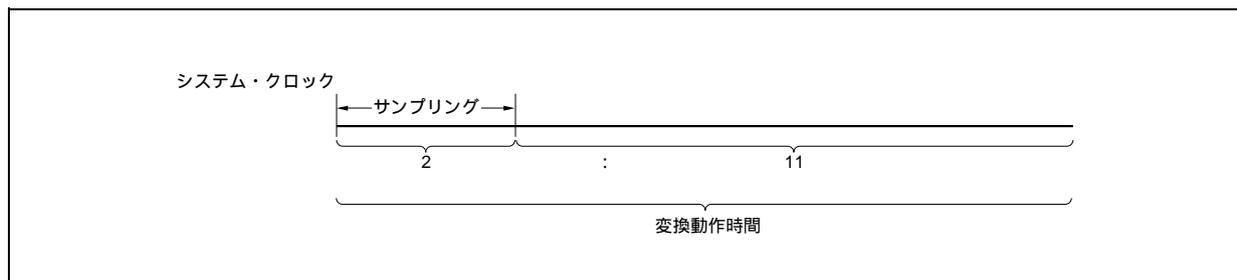
外部トリガ・モードのときは、次に示すA/D時間以外に、ノイズ除去のためのアナログ・ディレイ（80 ns（TYP.））の遅延時間が必要です。

表14-5 タイマ・トリガ・モード，外部トリガ・モードでの変換時間

FR2	FR1	FR0	変換クロック数	初期化クロック数	最小のトリガ・インターバル ^注
0	0	0	52	9	61
0	0	1	104	18	122
0	1	0	156	27	183
0	1	1	208	36	244
1	0	0	260	45	305
1	0	1	312	54	366
1	1	0	364	63	427
1	1	1	416	72	488

注 ターゲット

図14 - 16 A/D変換動作時間の概要



14. 8. 6 安定時間

ADM2.ADCAEビットをセット(1)することによるA/Dコンバータへのクロック供給開始直後、およびIDLE/ソフトウェアSTOPモードを解除した場合、アナログ回路の安定時間の確保が必要です。

このように、A/D起動時に正しくA/D変換するためには、A/D変換時間以外にアナログ回路の安定時間を加えた時間が必要です。V850E/MA3では、ハードウェアで安定時間を確保しています。安定時間は、表14 - 6 安定時間に示すとおりです。ソフトウェア・トリガ・モードの場合、安定時間が経過するまでトリガが待たされます。タイマ・トリガ・モードおよび外部トリガ・モードの場合、安定時間内にトリガが入力されても無視し、安定時間経過後、あらためてトリガ入力を待ちます。

表14 - 6 安定時間

FR2	FR1	FR0	安定時間クロック数
0	0	0	31
0	0	1	60
0	1	0	89
0	1	1	118
1	0	0	147
1	0	1	176
1	1	0	205
1	1	1	234

14. 8. 7 A/D変換結果のばらつき

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

14. 8. 8 A/D変換のヒステリシス特性

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換

結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

14.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{DD0} - 0) / 100 \\ &= AV_{DD0} / 100 \end{aligned}$$

分解能10ビットのとき、1LSBは次のようになります。

$$\begin{aligned} 1LSB &= 1/2^{10} = 1/1024 \\ &= 0.098\%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

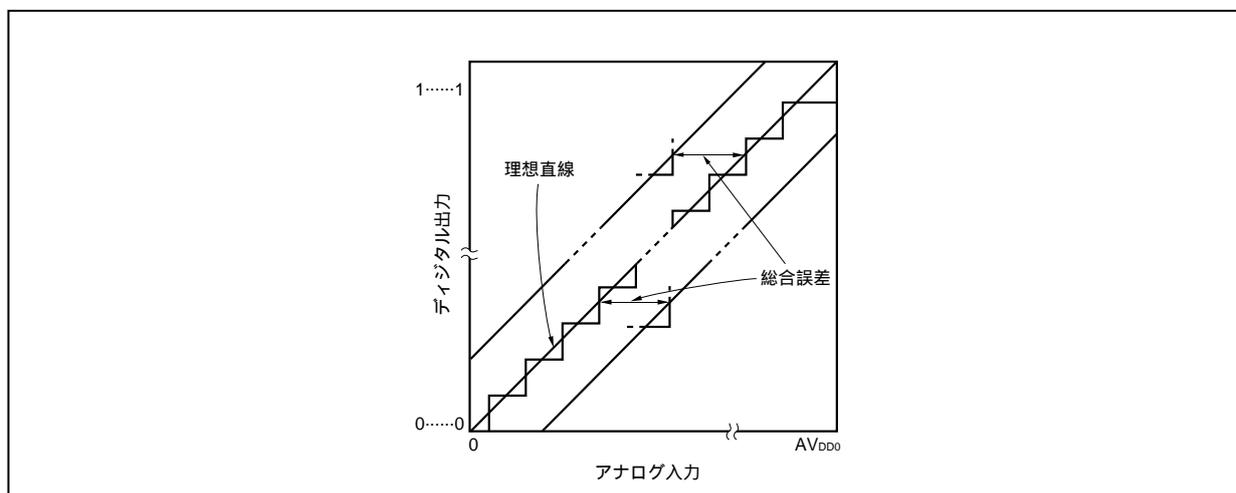
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図14 - 17 総合誤差

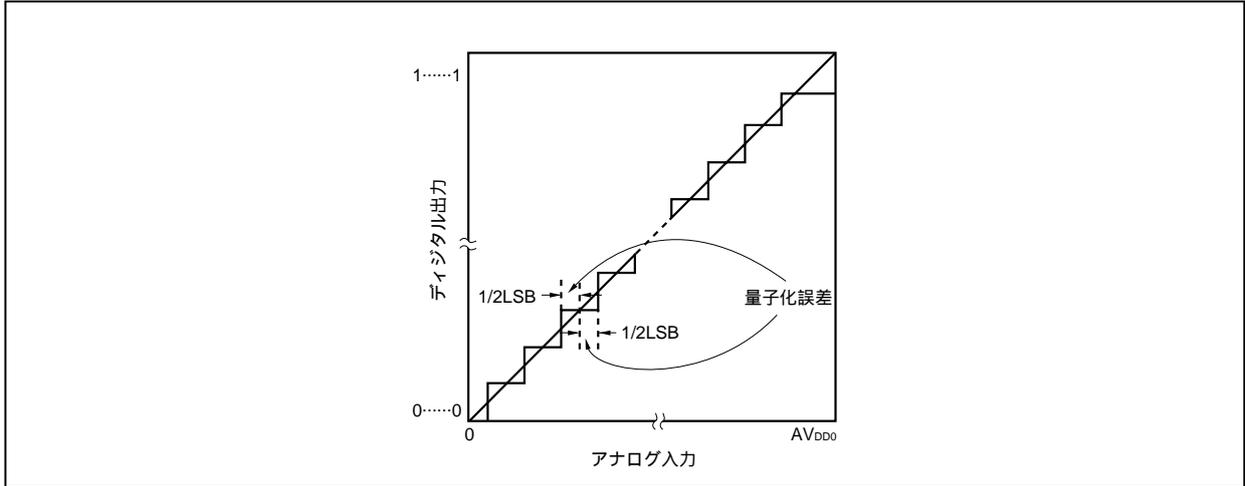


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

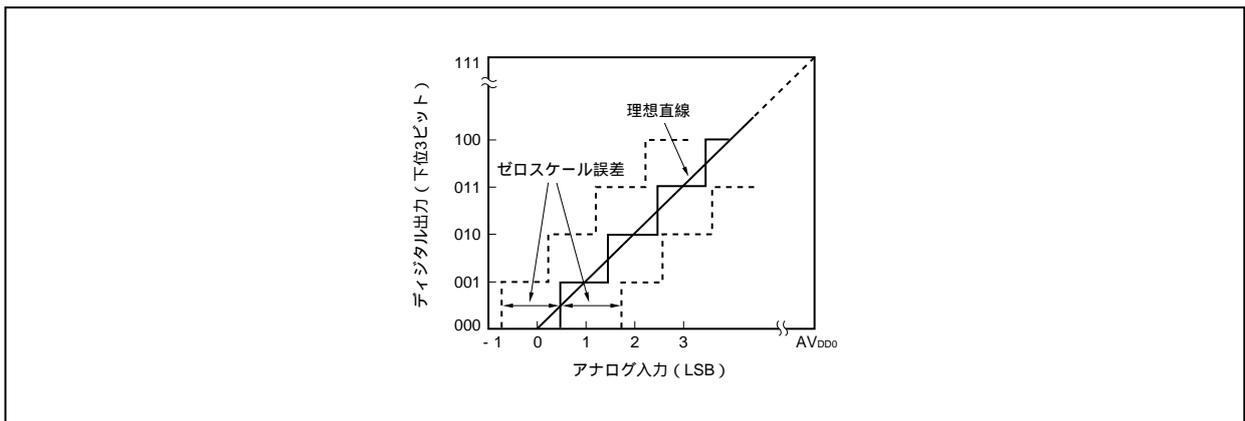
図14 - 18 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2\text{LSB}$) との差を表します。

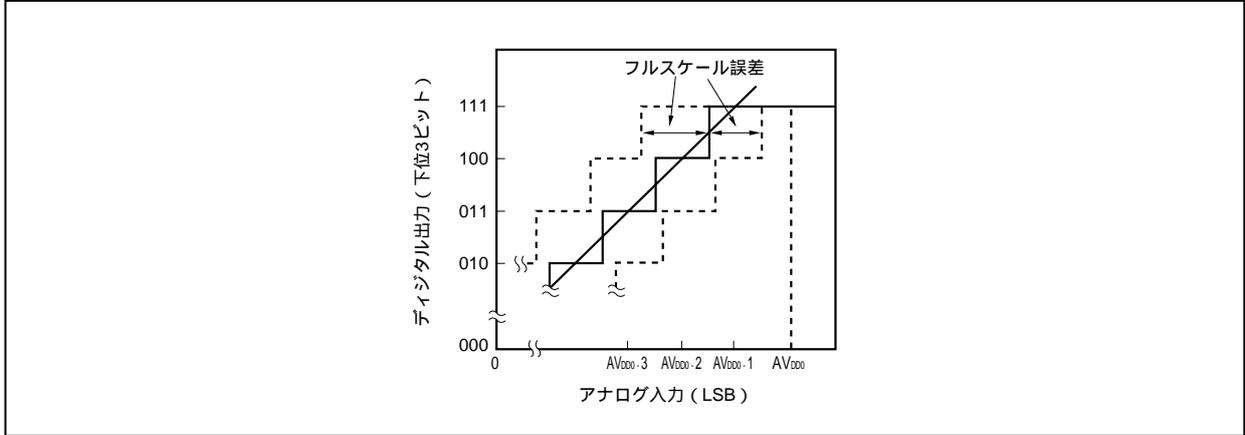
図14 - 19 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2LSB）との差を表します。

図14 - 20 フルスケール誤差

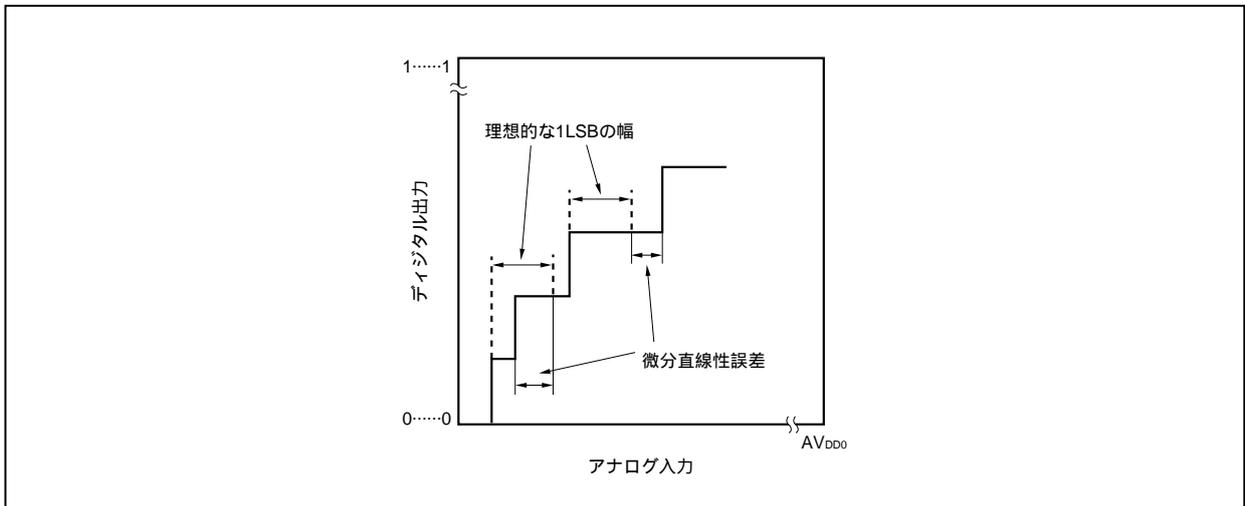


(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

同一チャネルのアナログ入力端子に印加する電圧を AV_{SS0} から AV_{DD0} まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャネルを使用する場合は、14.9(2)総合誤差を参照してください。

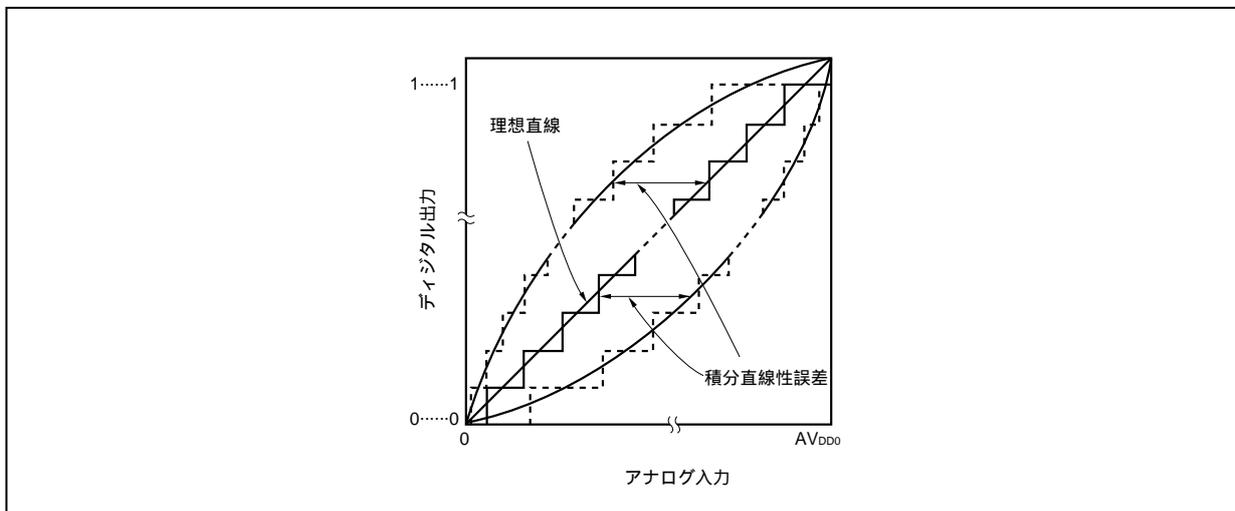
図14 - 21 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図14 - 22 積分直線性誤差



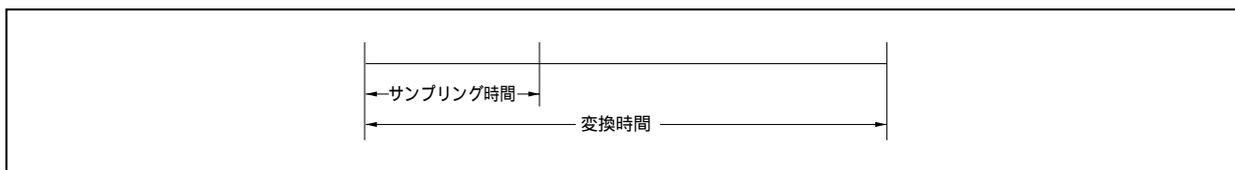
(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図14 - 23 サンプリング時間



第15章 D/Aコンバータ

15.1 機能

D/Aコンバータには、次のような機能があります。

8ビット分解能 × 2ch (DAC0, DAC1)

R-2Rラダー方式

セトリング・タイム : 3 μs (MAX.)

アナログ出力電圧 : $AV_{DD1} \times m/256$ ($m = 0-255$; DA0CSnレジスタに設定した値)

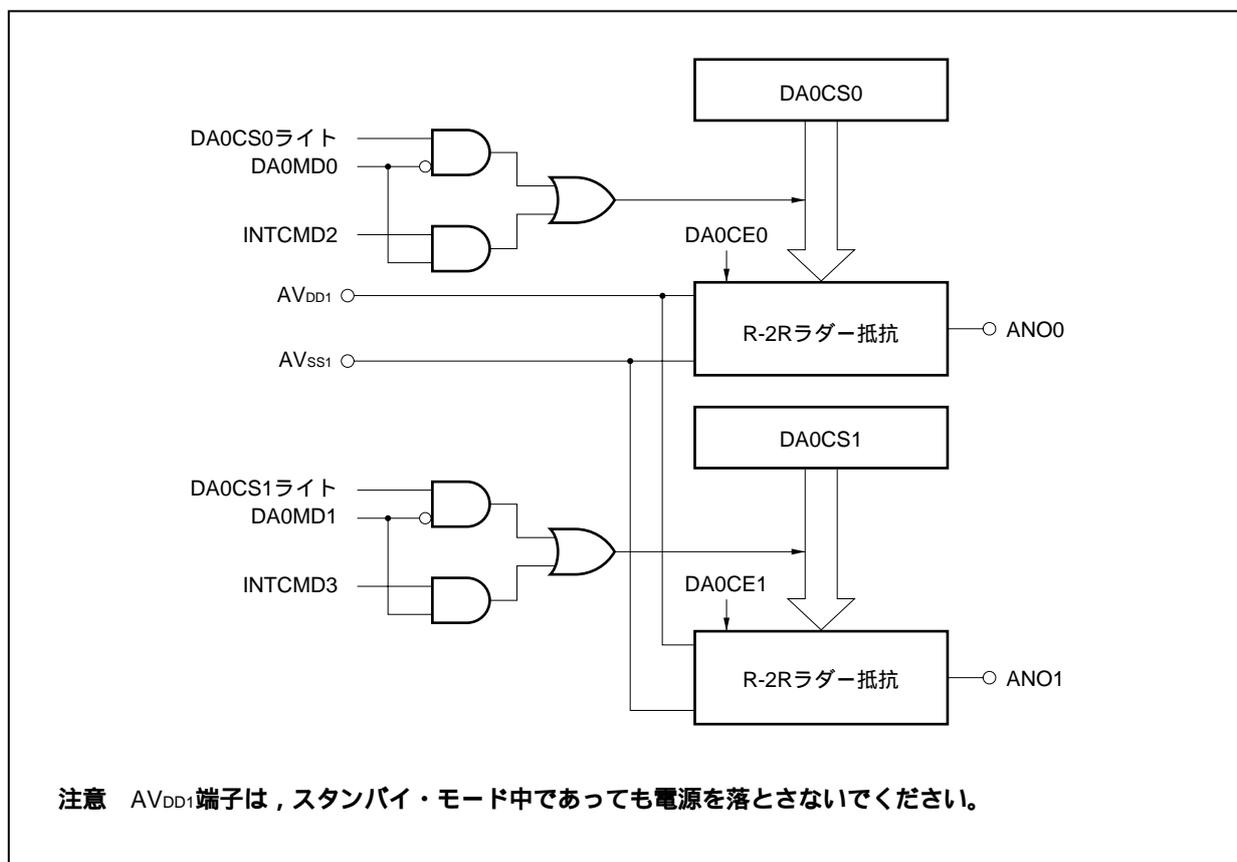
動作モード : 通常モード / リアルタイム出力モード

備考 n = 0, 1

15.2 構成

次にD/Aコンバータの構成について示します。

図15 - 1 D/Aコンバータのブロック図



D/Aコンバータは、次のハードウェアで構成されています。

表15 - 1 D/Aコンバータの構成

項目	構成
制御レジスタ	D/Aコンバータ・モード・レジスタ (DA0M) D/A変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

15.3 制御レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- ・ D/Aコンバータ・モード・レジスタ (DA0M)
- ・ D/A変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

(1) D/Aコンバータ・モード・レジスタ (DA0M)

DA0Mレジスタは、D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF2C2H

	7	6	5	4	3	2	1	0
DA0M	0	0	DA0CE1	DA0CE0	0	0	DA0MD1	DA0MD0

DA0CE _n	D/Aコンバータの動作許可 / 禁止制御 (n = 0, 1)
0	動作禁止
1	動作許可

DA0MD _n	D/Aコンバータの動作モードの選択 (n = 0, 1)
0	通常モード
1	リアルタイム出力モード注

注 リアルタイム出力モード (DA0MD_nビット=1) 時の出力トリガは、次のとおりです。

・ n = 0 のとき：INTCMD2信号 (第10章 16ビット・インターバル・タイマD (TMD) 参照)

・ n = 1 のとき：INTCMD3信号 (第10章 16ビット・インターバル・タイマD (TMD) 参照)

注意 D/A変換停止 (DA0CE_nビット = 0) 時の出力は、ハイ・インピーダンス状態になります。

(2) D/A変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

DA0CSnレジスタは、ANOn端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス： DA0CS0 FFFFF2C0H, DA0CS1 FFFFF2C1H

	7	6	5	4	3	2	1	0
DA0CSn (n = 0, 1)	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

注意1. リアルタイム出力モード (DA0M.DA0MDnビット=1) のとき、INTCMD2/INTCMD3信号が発生する前に、DA0CSnレジスタを設定してください。INTCMD2/INTCMD3信号発生でD/A変換を開始します。

2. DA0CSnレジスタを設定後に、DA0M.DAnCE1ビットをセット(1)してください。

15.4 動作

15.4.1 通常モード時の動作

DA0CSnレジスタへのライト動作を起動トリガとして、D/A変換を行います。
次に、その設定方法を示します。

DA0M.DA0MDnビット=0（通常モード）に設定します。

DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。

以上、を初期設定として行います。

DA0M.DA0CEnビット=1（D/A変換動作許可）に設定します。

これによりD/A変換が開始します。

以降、D/A変換を行う場合は、DA0CSnレジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

備考 n = 0, 1

15.4.2 リアルタイム出力モード時の動作

タイマD2、タイマD3（TMD2, TMD3）の割り込み要求信号（INTCMD2, INTCMD3）を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

DA0M.DA0MDnビット=1（リアルタイム出力モード）に設定します。

DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。

DA0M.DA0CEnビット=1（D/A変換動作許可）に設定します。

以上、を初期設定として行います。

タイマD2、タイマD3（TMD2, TMD3）を動作させます。

INTCMD2, INTCMD3信号が発生すると、D/A変換を開始します。

以降、D/A変換を行う場合は、INTCMD2, INTCMD3信号が発生させます。

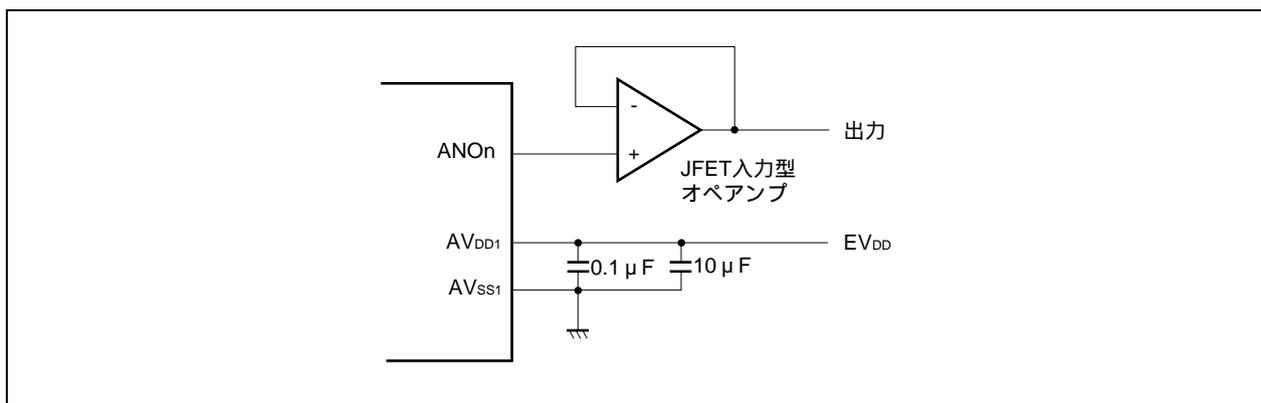
なお、次のD/A変換を行う（INTCMD2, INTCMD3信号が発生する）前までに、DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定してください。

15.4.3 使用上の注意点

D/Aコンバータを使用する際の注意事項を次に示します。

- (1) リアルタイム出力モード時、トリガ信号が出ている間にDA0CSnレジスタの設定値を変更しないでください。
- (2) 動作モードを切り替える場合は、必ずDA0M.DA0CEnビット = 0にしたあとに行ってください。
- (3) P80/ANO0, P81/ANO1端子をポートとして使用する場合は、レベル変化の少ないポート入力として使用してください。
- (4) AV_{DD1}の電源投入および電源切断は、EV_{DD}と同じタイミングで行ってください。
- (5) D/Aコンバータの出力インピーダンスが高いため、ANOn端子 (n = 0, 1) から電流を取り出すことはできません。2 MΩ以下の抵抗を接続する場合には、抵抗とANOn端子の間にJFET入力型オペアンプを挿入してください。

図15 - 2 外部端子の接続例



- (6) D/Aコンバータは、IDLEモードまたはソフトウェアSTOPモード時に端子状態を保持します。消費電力を低減する場合には、DA0M.DA0CEnビット = 0にしてください。なお、DA0CEnビット = 0時のANOn端子はハイ・インピーダンスになります。

第16章 アシクロナス・シリアル・インタフェースA(UARTA)

16.1 UARTAとほかのシリアル・インタフェースのモード切り替え

16.1.1 UARTA0とCSIB0, UARTA1とCSIB1, UARTA2とCSIB2のモード切り替え

V850E/MA3では、UARTA0とCSIB0, UARTA1とCSIB1, UARTA2とCSIB2は端子が兼用になっており、同時に使用することはできません。UARTA0とCSIB0, UARTA1とCSIB1の切り替えは、あらかじめPMC4, PFC4レジスタを、UARTA2とCSIB2の場合はPMC3, PFC3, PFCE3レジスタを設定する必要があります。

注意 UARTA0またはCSIB0, UARTA1またはCSIB1, UARTA2またはCSIB2において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16 - 1 UARTA0とCSIB0, UARTA1とCSIB1のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40

リセット時：00H R/W アドレス：FFFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40

PMC45	PFC45	P45端子の兼用機能の指定
0	x	入出力ポート
1	0	SCK1入出力
1	1	ASCK1入力

PMC44	PFC44	P44端子の兼用機能の指定
0	x	入出力ポート
1	0	SI1入力
1	1	RXD1入力

PMC43	PFC43	P43端子の兼用機能の指定
0	x	入出力ポート
1	0	SO1出力
1	1	TXD1出力

PMC42	PFC42	P42端子の兼用機能の指定
0	x	入出力ポート
1	0	SCK0入出力
1	1	ASCK0入力

PMC41	PFC41	P41端子の兼用機能の指定
0	x	入出力ポート
1	0	SI0入力
1	1	RXD0入力

PMC40	PFC40	P40端子の兼用機能の指定
0	x	入出力ポート
1	0	SO0出力
1	1	TXD0出力

備考 x = don't care

図16 - 2 UARTA2とCSIB2のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	0	0	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：00H R/W アドレス：FFFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	0	0	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時：00H R/W アドレス：FFFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	0	0	0	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30

PMC34	PFCE34	PFC34	P34端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	RXD3入力
1	1	0	SCL ^注 入出力

PMC33	PFCE33	PFC33	P33端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	TXD3出力
1	1	0	SDA ^注 入出力

PMC32	PFCE32	PFC32	P32端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	ASCK2入力
1	1	0	SCK2入出力

PMC31	PFCE31	PFC31	P31端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	RXD2入力
1	1	0	SI2入力

PMC30	PFCE30	PFC30	P30端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	TXD2出力
1	1	0	SO2出力

注 SDA, SCL端子として使用する場合、端子は擬似オープン・ドレイン出力（P-ch側が常にオフ）になります。

備考 x = don't care

16.1.2 UARTA3とI²Cのモード切り替え

V850E/MA3では、UARTA3とI²Cは端子が兼用になっており、同時に使用することはできません。UARTA3とI²Cの切り替えは、あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

注意 UARTA3またはI²Cにおいて、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16 - 3 UARTA3とI²Cのモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	0	0	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：00H R/W アドレス：FFFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	0	0	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時：00H R/W アドレス：FFFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	0	0	0	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30

PMC34	PFCE34	PFC34	P34端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	RXD3入力
1	1	0	SCL ^注 入出力

PMC33	PFCE33	PFC33	P33端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	TXD3出力
1	1	0	SDA ^注 入出力

注 SDA, SCL端子として使用する場合、端子は擬似オープン・ドレーン出力（P-ch側が常にオフ）になります。

備考 x = don't care

16.2 特 徴

転送速度 300 bps ~ 5 Mbps (周辺クロック (f_{xx}) : 80 MHz , 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTA受信データ・レジスタn (UAnRX) 内蔵

UARTA送信データ・レジスタn (UAnTX) 内蔵

2端子構成 TXDn : 送信データの出力端子

RXDn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 3種類

- ・受信エラー割り込み (INTSEn) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信完了割り込み (INTSRn) : 受信許可状態において、シリアル転送完了後、シフト・レジスタからUAnRXレジスタへ受信データを転送すると発生
- ・送信許可割り込み (INTSTn) : 送信許可状態において、UAnTXレジスタからシフト・レジスタへ送信データを転送すると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

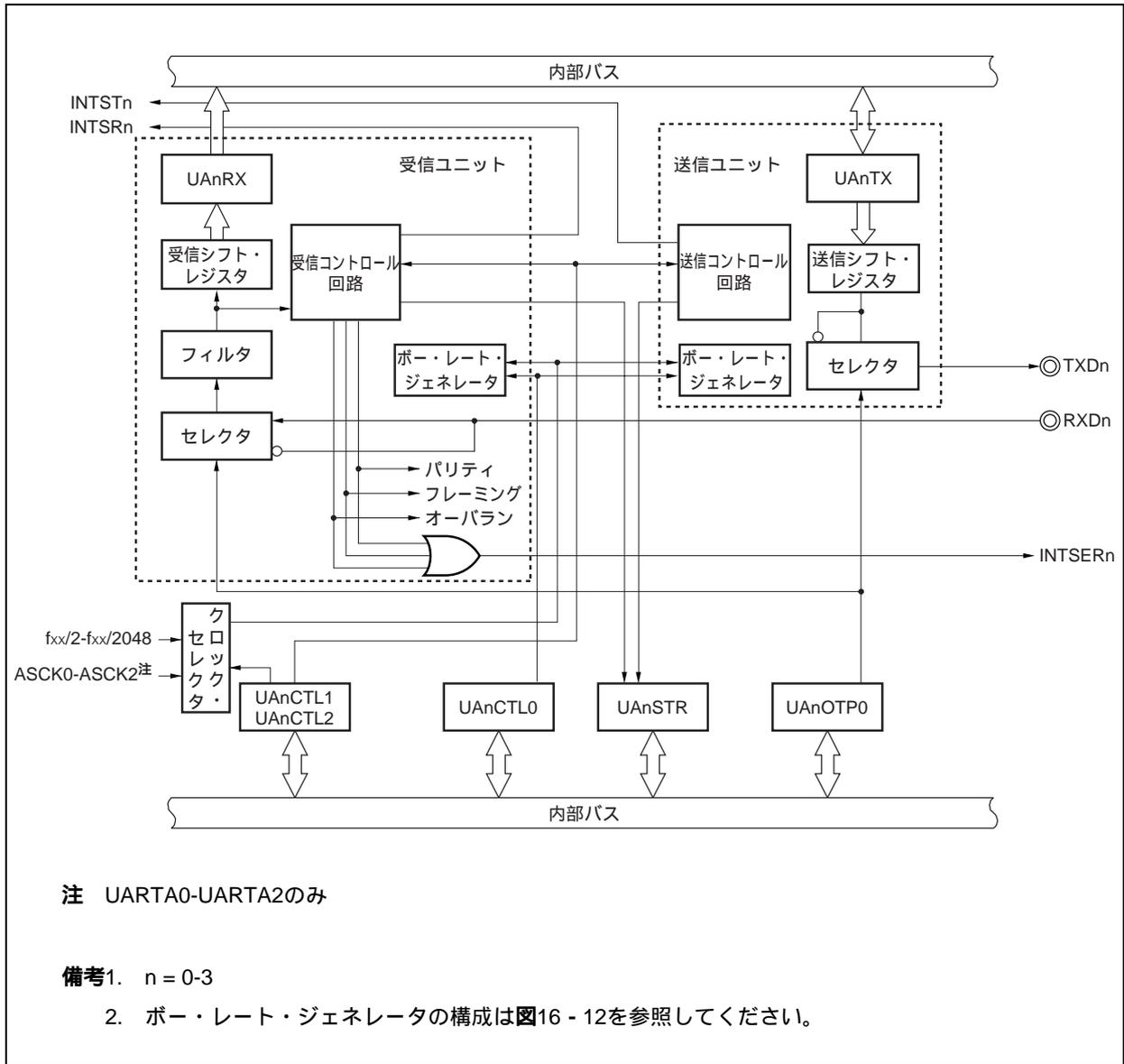
送受信データの反転入出力が可能

備考 n = 0-3

16.3 構成

次にUARTAnのブロック図を示します。

図16 - 4 UARTAnのブロック図



UARTAnは、次のハードウェアで構成されています。

表16 - 1 UARTAnの構成

項 目	構 成
レジスタ	UARTAn制御レジスタ0 (UAnCTL0) UARTAn制御レジスタ1 (UAnCTL1) UARTAn制御レジスタ2 (UAnCTL2) UARTAnオプション制御レジスタ0 (UAnOPT0) UARTAn状態レジスタ (UAnSTR) UARTAn受信シフト・レジスタ UARTAn受信データ・レジスタ (UAnRX) UARTAn送信シフト・レジスタ UARTAn送信データ・レジスタ (UAnTX)

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnの動作を指定する8ビット・レジスタです。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロック (f_{CLK}) を選択する8ビット・レジスタです。

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボー・レート制御する8ビット・レジスタです。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送を制御する8ビット・レジスタです。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) されます。

(6) UARTAn受信シフト・レジスタ

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(7) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます (LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信完了割り込み要求信号 (INTSRn) が発生します。

(8) UARTAn送信シフト・レジスタ

UARTAn送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると、UARTAn送信シフト・レジスタのデータをTXDn端子から出力します。

このレジスタは直接操作することはできません。

(9) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる (UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される) と、送信許可割り込み要求信号 (INTSTn) を発生します。

16.4 制御レジスタ

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時：10H R/W アドレス：UA0CTL0 FFFFFFFA00H, UA1CTL0 FFFFFFFA10H,
UA2CTL0 FFFFFFFA20H, UA3CTL0 FFFFFFFA30H

	⑦	⑥	⑤	④	3	2	1	0
UAnCTL0 (n = 0-3)	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL

UAnPWR	UARTAnの動作の制御
0	UARTAn動作禁止 (UARTAnを非同期にリセット)
1	UARTAn動作許可

UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア (0) すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0. UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。

UAnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- ・ 起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。
- ・ 送信ユニットを初期化する場合は、UAnTXEビットをクリア (0) して、基本クロック (f_{CLK}) の2周期分の時間を経過してから、再びUAnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては16.7 (1) (a) **基本クロック**参照)。
- ・ 動作許可 (UAnPWRビット = 1) した場合には、UAnTXE = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから送信動作が許可状態になります。
- ・ UAnPWRビット = 0にすると、UAnTXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnTXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、送信動作は許可状態になります。

UAnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

・起動時はUAnPWRビット = 1にしてから、UAnRXEビット = 1としてください。
 ・受信ユニットの状態を初期化する場合は、UAnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 16.7 (1) (a) **基本クロック**参照)。
 ・動作許可 (UAnPWRビット = 1) した場合には、UAnRXE = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから受信動作が許可状態になります。
 ・UAnPWRビット = 0にすると、UAnRXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnRXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、受信動作は許可状態になります。

UAnDIR ^注	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

UAnPS1 ^注	UAnPS0 ^注	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

受信時に「0パリティとして受信」を選択した場合、パリティ判定を行いません。したがって、UAnSTR.UAnPEビットはセットされないため、パリティ・エラーによるエラー割り込みも発生しません。

UAnCL ^注	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

UAnSL ^注	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

受信データのストップ・ビットは、UAnSLビットの値に関わらず、最初の1ビットのみチェックします。

注 UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。ただし、同時にUAnPWR, UAnTXE, UAnRXEビットのいずれか、またはすべてを1とするのは可能です。

備考 パリティについての詳細は、16.6.6 **パリティの種類と動作**を参照してください。

(2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は、16.7 (2) UARTAn制御レジスタ1 (UAnCTL1) を参照してください。

(3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は、16.7 (3) UARTAn制御レジスタ2 (UAnCTL2) を参照してください。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

リセット時：14H R/W アドレス：UA0OPT0 FFFFFFFA03H, UA1OPT0 FFFFFFFA13H,
UA2OPT0 FFFFFFFA23H, UA3OPT0 FFFFFFFA33H

	7	6	5	4	3	2	1	0
UAnOPT0 (n = 0-3)	0	0	0	1	0	1	UAnTDL	UAnRDL

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力
<ul style="list-style-type: none"> ・ UAnTDLビットによりTXDn端子の出力レベルを反転できます。 ・ UAnCTL0.UAnPWRビット = 0またはUAnCTL0.UAnTXEビット = 0のとき設定できます。 	

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力
<ul style="list-style-type: none"> ・ UAnRDLビットによりRXDn端子の入力レベルを反転できます。 ・ UAnPWRビット = 0またはUAnCTL0.UAnRXEビット = 0のとき設定できます。 ・ UAnRDLビット = 1 (受信データ反転入力) と設定した場合は、必ず受信開始時にデータ受信端子をUART受信用端子 (RXDn) に設定してから、受信許可 (UAnCTL0.UAnRXEビット = 1) にする必要があります。受信許可後に端子モードを変更すると、そのときの端子レベルがハイ・レベルの場合にはスタート・ビットを誤検出します。 	

注意 ビット3, 5-7には必ず0を、ビット2, 4には必ず1を設定してください。
それ以外の値を設定した場合の動作は保証できません。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE, UAnFE, UAnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません(“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UAnSTRレジスタ	<ul style="list-style-type: none"> ・リセット時 ・UAnCTL0.UAnPWRビット = 0
UAnTSFビット	<ul style="list-style-type: none"> ・UAnCTL0.UAnTXEビット = 0
UAnPE, UAnFE, UAnOVEビット	<ul style="list-style-type: none"> ・0の書き込み ・UAnCTL0.UAnRXEビット = 0

リセット時：00H R/W アドレス：UA0STR FFFFFFFA04H, UA1STR FFFFFFFA14H,
UA2STR FFFFFFFA24H, UA3STR FFFFFFFA34H

	⑦	6	5	4	3	②	①	①
UAnSTR (n = 0-3)	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

UAnTSF	転送状態フラグ
0	・ UAnPWRビット = 0, またはUAnTXEビット = 0に設定したとき ・ 転送完了後に, UAnTXレジスタに次のデータ転送がなかったとき
1	UAnTXレジスタへの書き込み
連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。 送信ユニットの初期化を行う場合には, UAnTSFビット = 0になっていることを確認してから初期化を行ってください。UAnTSFビット = 1の状態での初期化を行った場合の送信データは保証できません。	

UAnPE	パリティ・エラー・フラグ
0	・ UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・ “0” をライトしたとき
1	受信時, データのパリティとパリティ・ビットが一致しないとき
・ UAnPEビットの動作は, UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。 ・ UAnPEビットはリード/ライト可能となっておりますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。	

UAnFE	フレーミング・エラー・フラグ
0	・ UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・ “0” をライトしたとき
1	受信時, ストップ・ビットが検出されないとき
・ 受信データのストップ・ビットは, UAnCTL0.UAnSLビットの値に関わらず, 最初の1ビットのみチェックします。 ・ UAnFEビットはリード/ライト可能となっておりますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。	

UAnOVE	オーバラン・エラー・フラグ
0	・ UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・ “0” をライトしたとき
1	UAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき
・ オーバラン・エラーが発生したとき, 次の受信データはUAnRXレジスタに書き込まれず, データは破棄されます。 ・ UAnOVEビットはリード/ライト可能となっておりますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。	

(6) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、UARTAn受信シフト・レジスタで変換したパラレル・データを格納するための8ビットのバッファ・レジスタです。

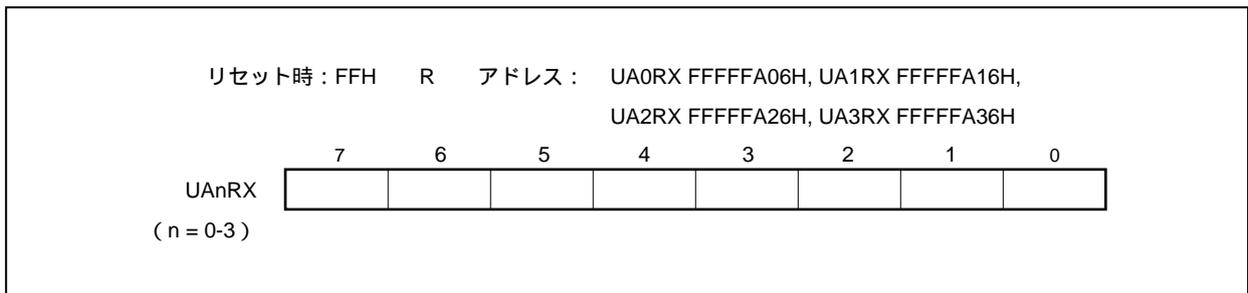
1バイト・データの受信完了によりUARTAn受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。このタイミングで受信完了割り込み要求信号 (INTSRn) を発生します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのビット6-0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのビット7-1に転送されLSBは必ず“0”になります。

オーバラン・エラーが発生した場合(UAnSTR.UAnOVEビット = 1)は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。



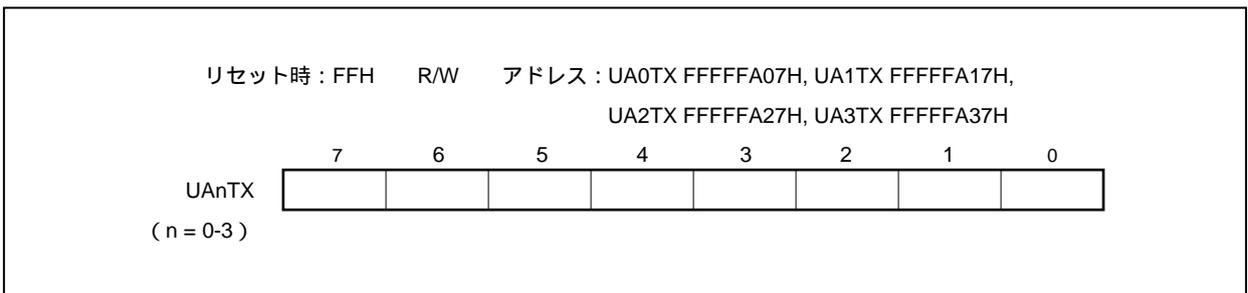
(7) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、送信データを設定するための8ビット・レジスタです。

送信許可状態 (UAnCTL0.UAnTXEビット = 1) のときに、UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号 (INTSTn) を発生します。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



16.5 割り込み要求信号

UARTAnからは次の3種類の割り込み要求信号を発生します。

- ・受信エラー割り込み要求信号 (INTSERn)
- ・受信完了割り込み要求信号 (INTSRn)
- ・送信許可割り込み要求信号 (INTSTn)

これら3種類の割り込み要求信号のデフォルト優先順位は受信エラー割り込み要求信号が最も高く、受信完了割り込み要求信号、送信許可割り込み要求信号の順に低くなります。

表16 - 2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	高
受信完了	
送信許可	低

(1) 受信エラー割り込み要求信号 (INTSERn)

受信許可状態中で、UAnSTRレジスタで説明した3種類の受信エラー(パリティ・エラー、フレーミング・エラー、オーバラン・エラー)の論理和 (OR) で受信エラー割り込み要求信号を発生します。

(2) 受信完了割り込み要求信号 (INTSRn)

受信許可状態中で、UARTAn受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

(3) 送信許可割り込み要求信号 (INTSTn)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

16.6 動作

16.6.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

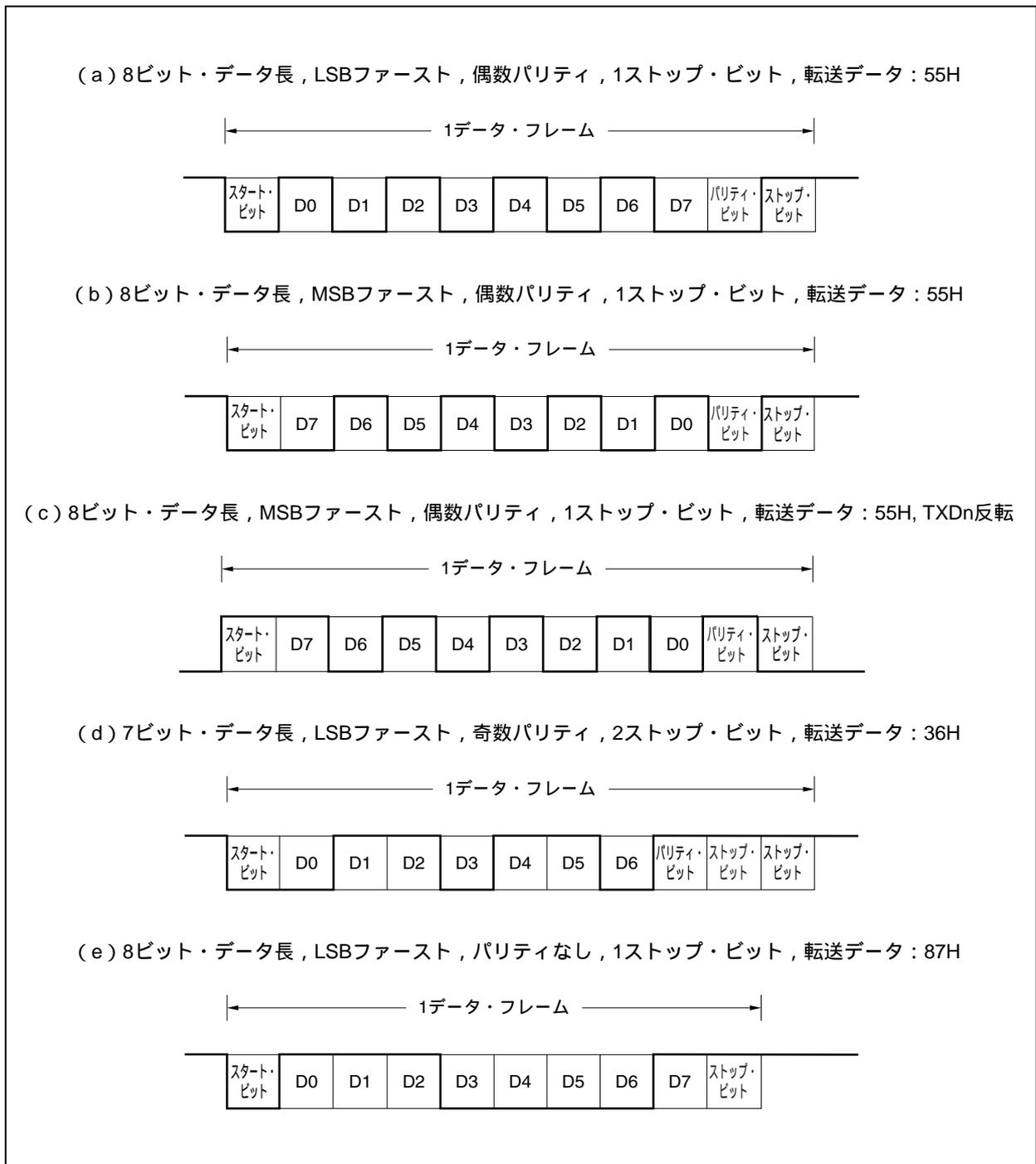
送受信データのフォーマットは図16-5に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDn端子のUARTAn出力/反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット 1ビット/2ビット

図16-5 UARTAの送受信データのフォーマット



16.6.2 UART送信

まず、UARTAnの基本クロックをUAnCTL1レジスタで、ボー・レート・クロックをUAnCTL2レジスタで、送信データの出力レベルをUAnOPT0レジスタでそれぞれ設定します。さらに転送方向、パリティ、データ・キャラクター長、ストップ・ビット長をUAnCTL0レジスタで設定します。

UAnCTL0.UAnPWRビット = 1とすることにより、TXDn端子からハイ・レベルを出力します。

次に、UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり、UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加します。

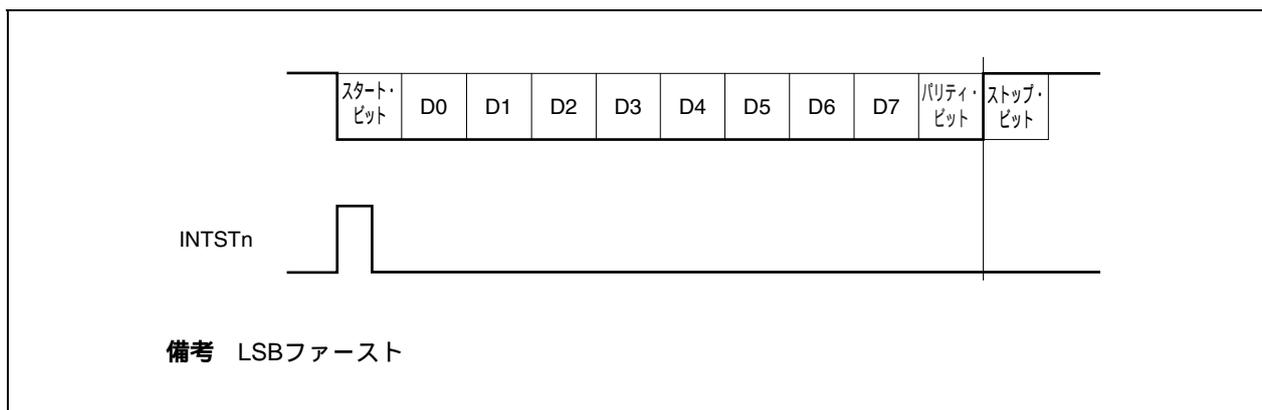
なお、UARTAnにはCTS（送信許可信号）入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により、UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号（INTSTn）を発生し、そのあとUARTAn送信シフト・レジスタから順次、TXDn端子に出力します。INTSTn信号が発生することで、UAnTXレジスタに次の転送データの書き込みを許可します。

備考 n = 0-3

図16 - 6 UART送信



16.6.3 連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTSTn) で判断できます。次に送信するデータを、転送中にUAnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

注意 連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認して初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

備考 n = 0-3

図16-7 連続送信の処理フロー

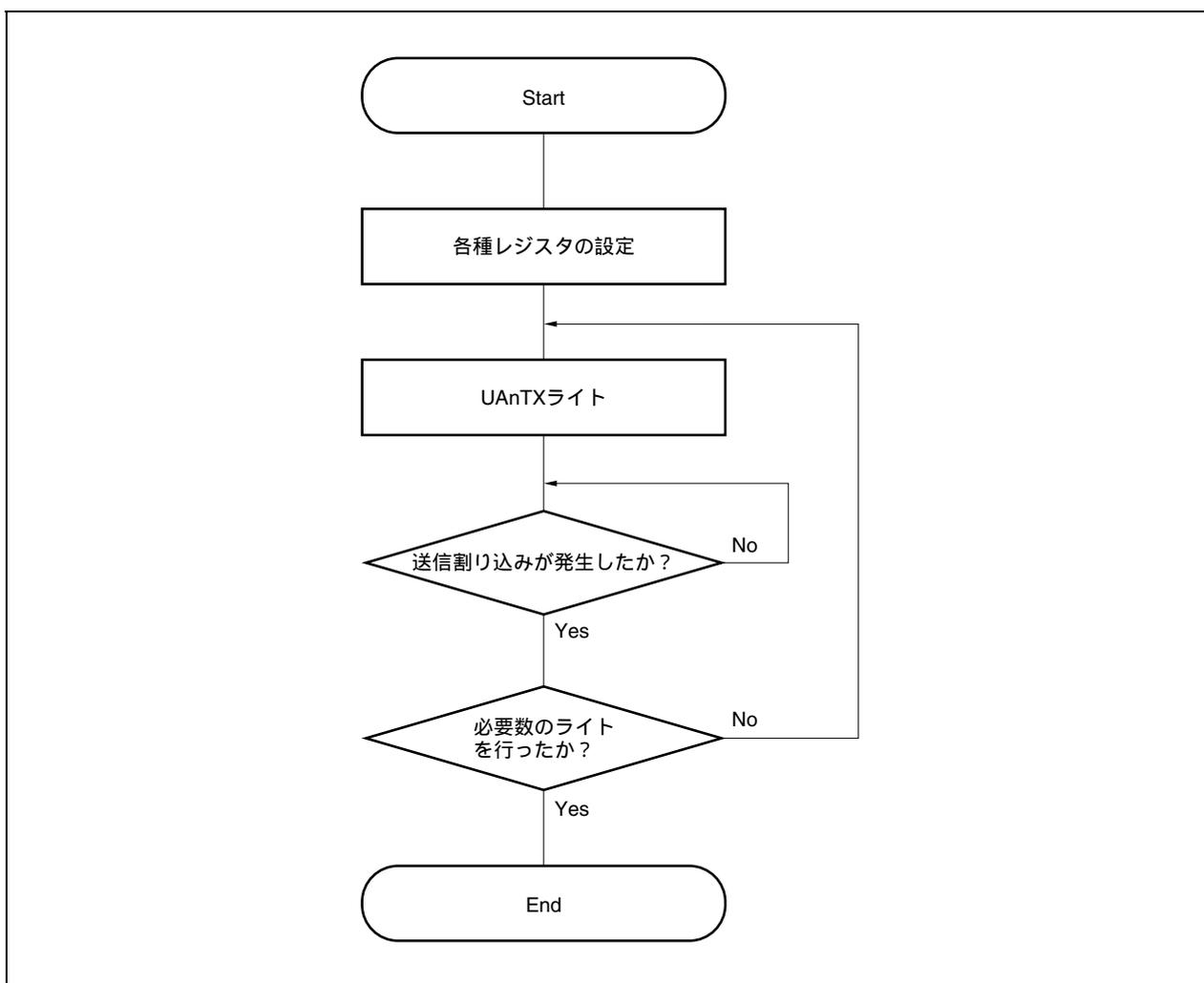
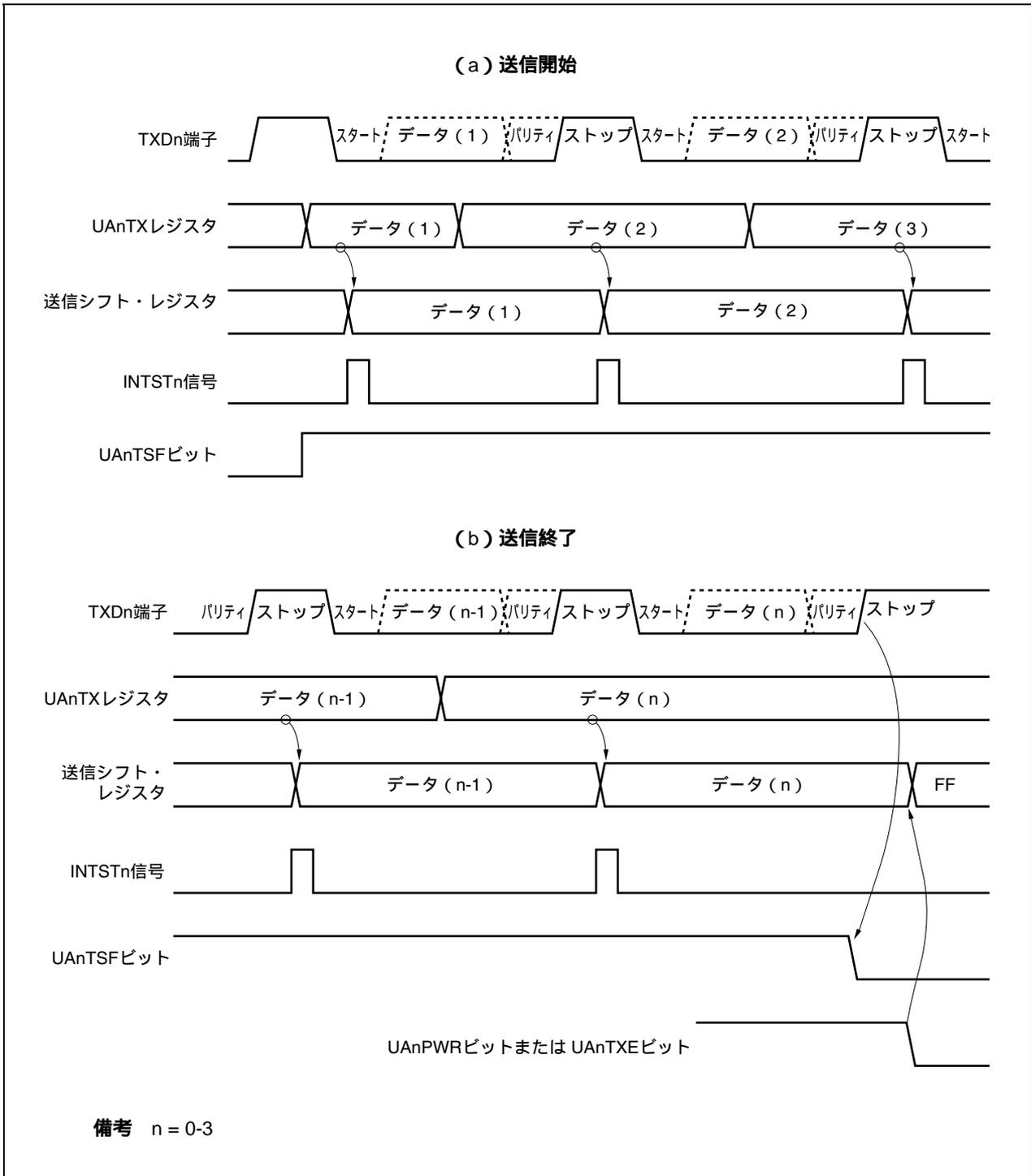


図16-8 連続送信動作のタイミング



16.6.4 UART受信

まず、UARTAnの基本クロックをUAnCTL1レジスタで、ポー・レート・クロックをUAnCTL2レジスタで、受信データの入力レベルをUAnOPT0レジスタでそれぞれ設定します。さらに転送方向、パリティ、データ・キャラクター長、ストップ・ビット長をUAnCTL0レジスタで設定します。

UAnCTL0.UAnPWRビット = 1にして、次にUAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDn端子をモニタし、スタート・ビットの検出を行います。

なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

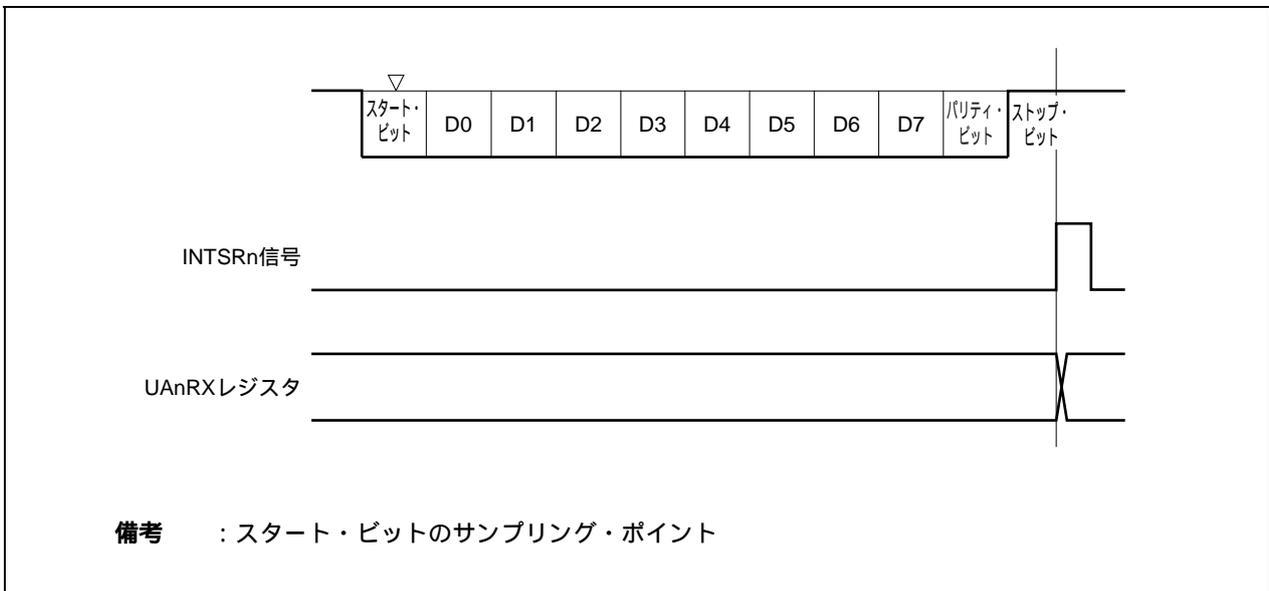
まずRXDn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたポー・レートにあわせて、シリアル・データを順次、UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信完了割り込み要求信号 (INTSRn) を発生すると同時に、UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし、オーバラン・エラーが発生した場合 (UAnSTR.UAnOVEビット = 1)、そのときの受信データはUAnRXレジスタに書き込まれずに破棄されます。

受信途中に、パリティ・エラー (UAnSTR.UAnPEビット = 1)、フレーミング・エラー (UAnSTR.UAnFEビット = 1) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信完了後にINTSERn信号を発生します。

備考 n = 0-3

図16 - 9 UART受信



- 注意1. 受信エラー発生時にも，UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと，次のデータ受信にオーバーラン・エラーが発生し，いつまでも受信エラーの状態が続くことになります。
2. 受信時は，常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは，無視されます。
 3. 受信終了時は，受信完了割り込み要求信号 (INTSRn) 発生後，UAnRXレジスタを読み出してから UAnPWRビット = 0またはUAnRXEビット = 0としてください。INTSRn信号が発生する前に UAnPWRビット = 0またはUAnRXEビット = 0とした場合，UAnRXレジスタのリード値は保証できません。
 4. UARTAnの受信完了処理 (INTSRn信号の発生) と，UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合，UAnRXレジスタにデータを格納していないにもかかわらず，INTSRn信号が発生することがあります。INTSRn信号の発生を待たずに受信終了を行うときには，必ず割り込みマスク・フラグ (SRICn.SRMKn) をセット (1) してから，UAnPWRビット = 0またはUAnRXEビット = 0とし，さらに割り込み要求フラグ (SRICn.SRIFn) をクリア (0) してください。

16.6.5 受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され，受信エラー割り込み要求信号 (INTSERn) を発生します。

UAnSTRレジスタの内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは，“0” ライトによりクリアしてください。

注意 受信完了割り込み要求信号 (INTSRn) と受信エラー割り込み要求信号 (INTSERn) は同時に発生しません。正常受信終了時にはINTSRn信号が発生します。受信エラー時にはINTSERn信号が発生し，INTSRn信号は発生しません。

備考 n = 0-3

・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバーラン・エラー	UAnRXレジスタからデータを読み出す前に次のデータ受信が完了

16.6.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

16.6.7 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロック (f_{CLK}) でRXDn端子をサンプリングします。

サンプリング値が同じ値を2回取ると,一致検出器の出力が変化し,入力データとしてサンプリングされます。したがって,2クロック幅以下のデータはノイズとして判断され,内部回路には伝わりません(図16-11参照)。基本クロックについては16.7(1)(a)基本クロックを参照してください。

また,回路は図16-10のようにになっているので,受信動作の内部での処理は,外部の信号状態より3クロック分遅れて動作することになります。

備考 n = 0-3

図16-10 ノイズ・フィルタ回路

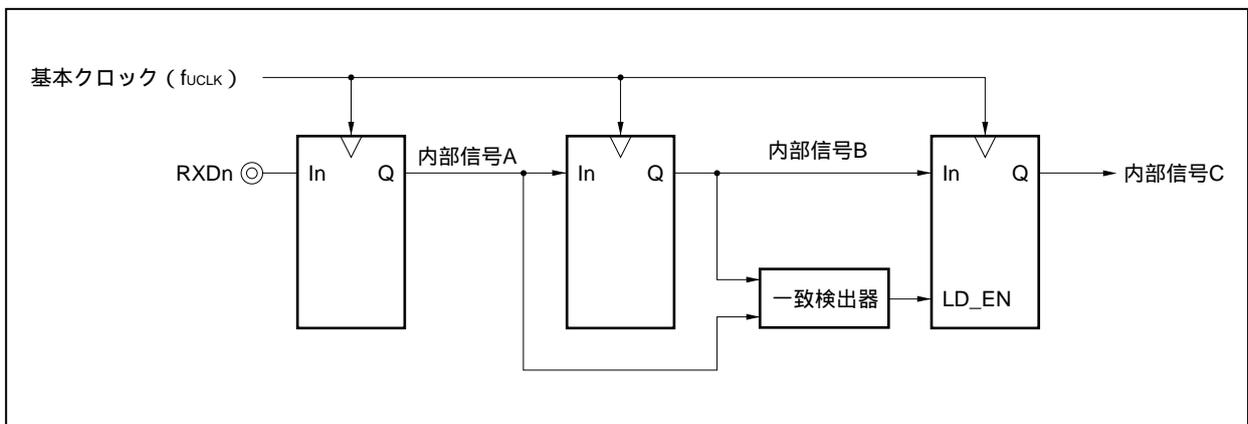
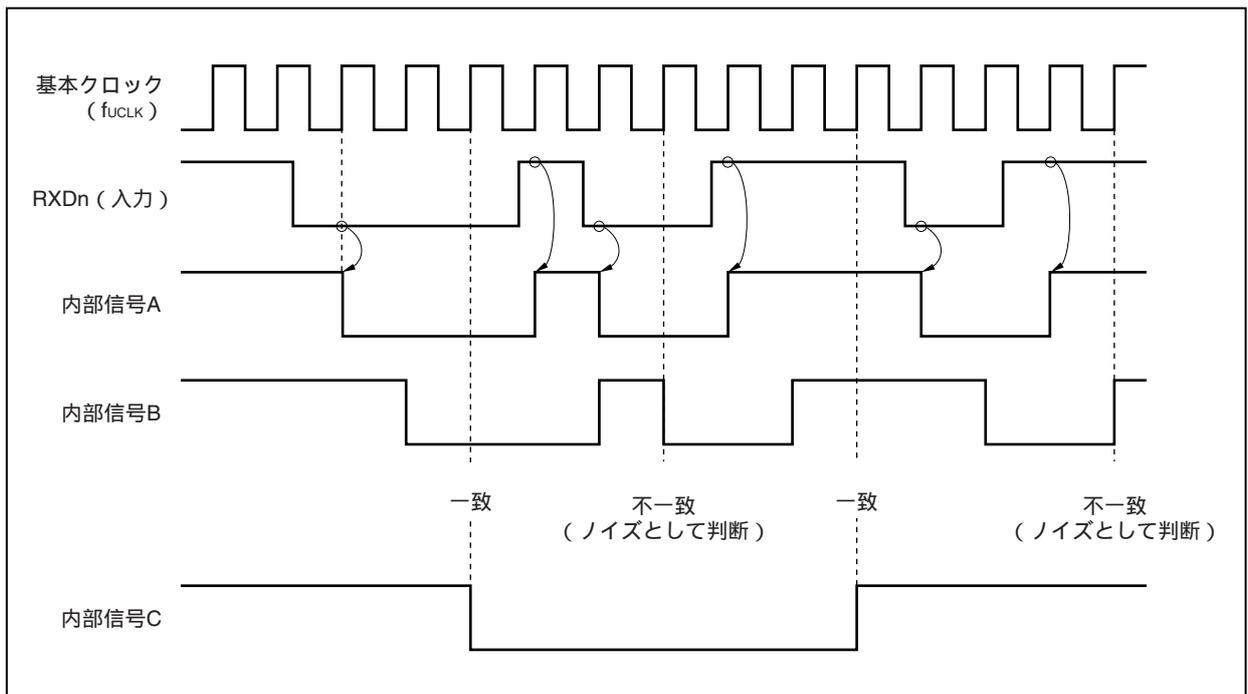


図16-11 ノイズとして判断されるRXDn信号のタイミング



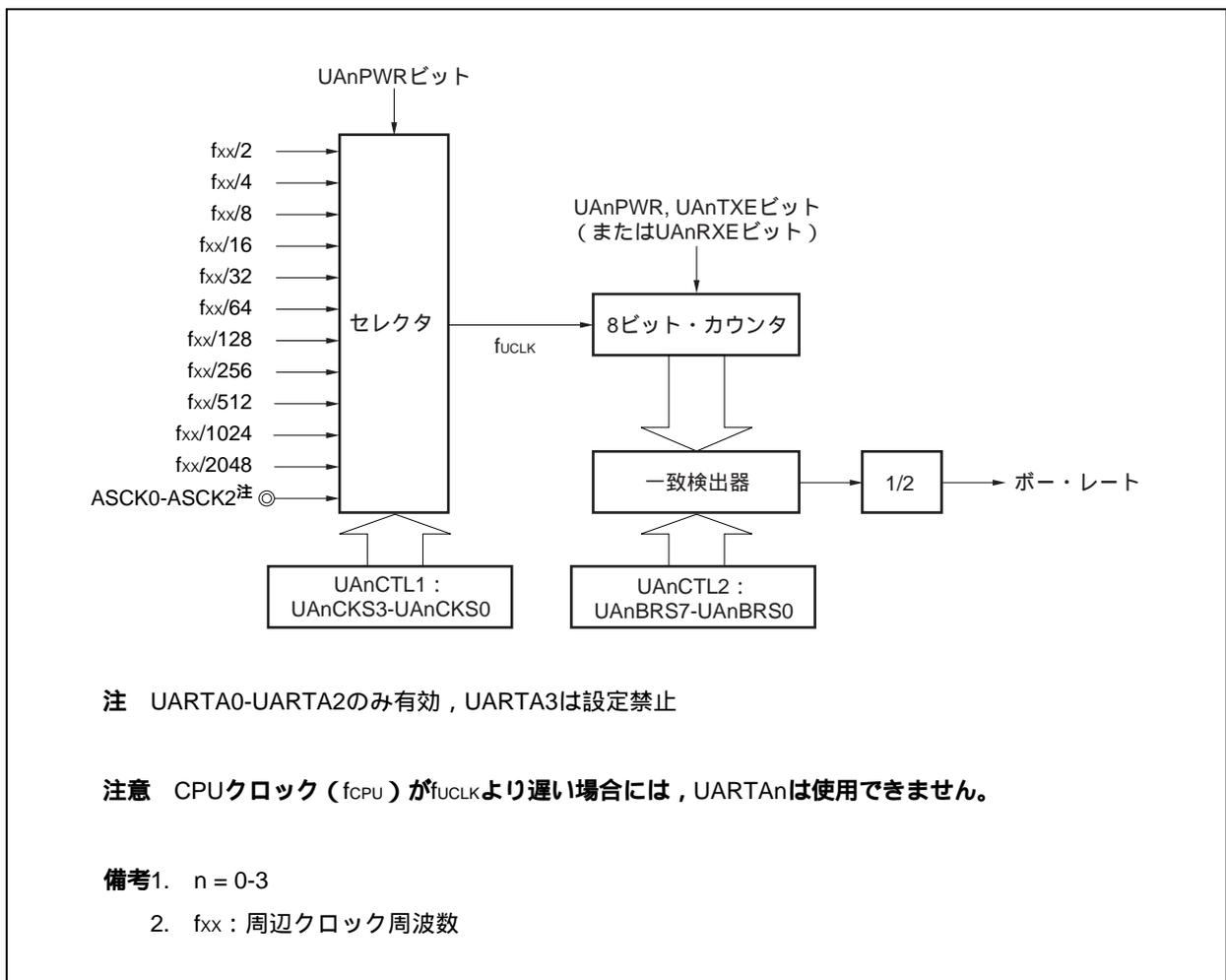
16.7 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図16 - 12 ポー・レート・ジェネレータの構成



(a) 基本クロック

$UAnCTL0.UAnPWR$ ビット = 1のとき， $UAnCTL1.UAnCKS3-UAnCKS0$ ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (f_{UCLK}) と呼びます。 $UAnPWR$ ビット = 0のときは， f_{UCLK} はロウ・レベルに固定となります。

(b) シリアル・クロックの生成

$UAnCTL1$ レジスタと $UAnCTL2$ レジスタの設定により，シリアル・クロックを生成できます。 $UAnCTL1.UAnCKS3-UAnCKS0$ ビットにより，基本クロック (f_{UCLK}) を選択します。 $UAnCTL2.UAnBRS7-UAnBRS0$ ビットにより，8ビット・カウンタの分周値を設定できます。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：UA0CTL1 FFFFFFFA01H, UA1CTL1 FFFFFFFA11H,
 UA2CTL1 FFFFFFFA21H, UA3CTL1 FFFFFFFA31H

	7	6	5	4	3	2	1	0
UAnCTL1 (n = 0-3)	0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック (f _{UCLK}) の選択
0	0	0	0	f _{xx} /2
0	0	0	1	f _{xx} /4
0	0	1	0	f _{xx} /8
0	0	1	1	f _{xx} /16
0	1	0	0	f _{xx} /32
0	1	0	1	f _{xx} /64
0	1	1	0	f _{xx} /128
0	1	1	1	f _{xx} /256
1	0	0	0	f _{xx} /512
1	0	0	1	f _{xx} /1024
1	0	1	0	f _{xx} /2048
1	0	1	1	外部クロック ^注 (ASCK0-ASCK2端子)
その他				設定禁止

注 UARTA0-UARTA2のみ有効，UARTA3は設定禁止

備考 f_{xx} : 周辺クロック周波数

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

注意 UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UA0CTL2 FFFFA02H, UA1CTL2 FFFFA12H,
UA2CTL2 FFFFA22H, UA3CTL2 FFFFA32H

	7	6	5	4	3	2	1	0	
UAnCTL2	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	
(n = 0-3)									

UAn BRS7	UAn BRS6	UAn BRS5	UAn BRS4	UAn BRS3	UAn BRS2	UAn BRS1	UAn BRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	f _{uclk} /4
0	0	0	0	0	1	0	1	5	f _{uclk} /5
0	0	0	0	0	1	1	0	6	f _{uclk} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{uclk} /252
1	1	1	1	1	1	0	1	253	f _{uclk} /253
1	1	1	1	1	1	1	0	254	f _{uclk} /254
1	1	1	1	1	1	1	1	255	f _{uclk} /255

備考 f_{uclk} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \text{ [bps]}$$

f_{UCLK} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

k : UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

(5) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内になしてください。

2. 受信時のボー・レート誤差は、(7) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 周辺クロック周波数 = 80 MHz = 80,000,000 Hz

UAnCTL1.UAnCKS3-UAnCKS0ビットの設定値 = 0001B ($f_{\text{UCLK}} = 20,000,000$ Hz)

UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 = 01000001B ($k = 65$)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 20000000 / (2 \times 65) \\ &= 153846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846/153600 - 1) \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

(6) ボー・レート設定例

表16-3 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f _{xx} = 80 MHz			f _{xx} = 66 MHz			f _{xx} = 50 MHz		
	f _{uCLK}	k	ERR (%)	f _{uCLK}	k	ERR (%)	f _{uCLK}	k	ERR (%)
300	f _{xx} /1024	130	0.16	f _{xx} /512	215	- 0.07	f _{xx} /512	163	- 0.15
600	f _{xx} /512	130	0.16	f _{xx} /256	215	- 0.07	f _{xx} /256	163	- 0.15
1200	f _{xx} /256	130	0.16	f _{xx} /128	215	- 0.07	f _{xx} /128	163	- 0.15
2400	f _{xx} /128	130	0.16	f _{xx} /64	215	- 0.07	f _{xx} /64	163	- 0.15
4800	f _{xx} /64	130	0.16	f _{xx} /32	215	- 0.07	f _{xx} /32	163	- 0.15
9600	f _{xx} /32	130	0.16	f _{xx} /16	215	- 0.07	f _{xx} /16	163	- 0.15
19200	f _{xx} /16	130	0.16	f _{xx} /8	215	- 0.07	f _{xx} /8	163	- 0.15
31250	f _{xx} /8	160	0.00	f _{xx} /8	132	0.00	f _{xx} /4	200	0.00
38400	f _{xx} /8	130	0.16	f _{xx} /4	215	- 0.07	f _{xx} /4	163	- 0.15
76800	f _{xx} /4	130	0.16	f _{xx} /2	215	- 0.07	f _{xx} /2	163	- 0.15
153600	f _{xx} /2	130	0.16	f _{xx} /2	107	0.39	f _{xx} /2	81	0.47
250000	f _{xx} /2	80	0.00	f _{xx} /2	66	0.00	f _{xx} /2	50	0.00
312500	f _{xx} /2	64	0.00	f _{xx} /2	53	- 0.377	f _{xx} /2	40	0.00
2000000	f _{xx} /2	10	0.00	-	-	-	-	-	-
5000000	f _{xx} /2	4	0.00	-	-	-	-	-	-

備考 f_{xx} : 周辺クロック周波数

f_{uCLK} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-3)

ERR : ボー・レート誤差 [%]

(7) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図16 - 13 受信時の許容ボー・レート範囲

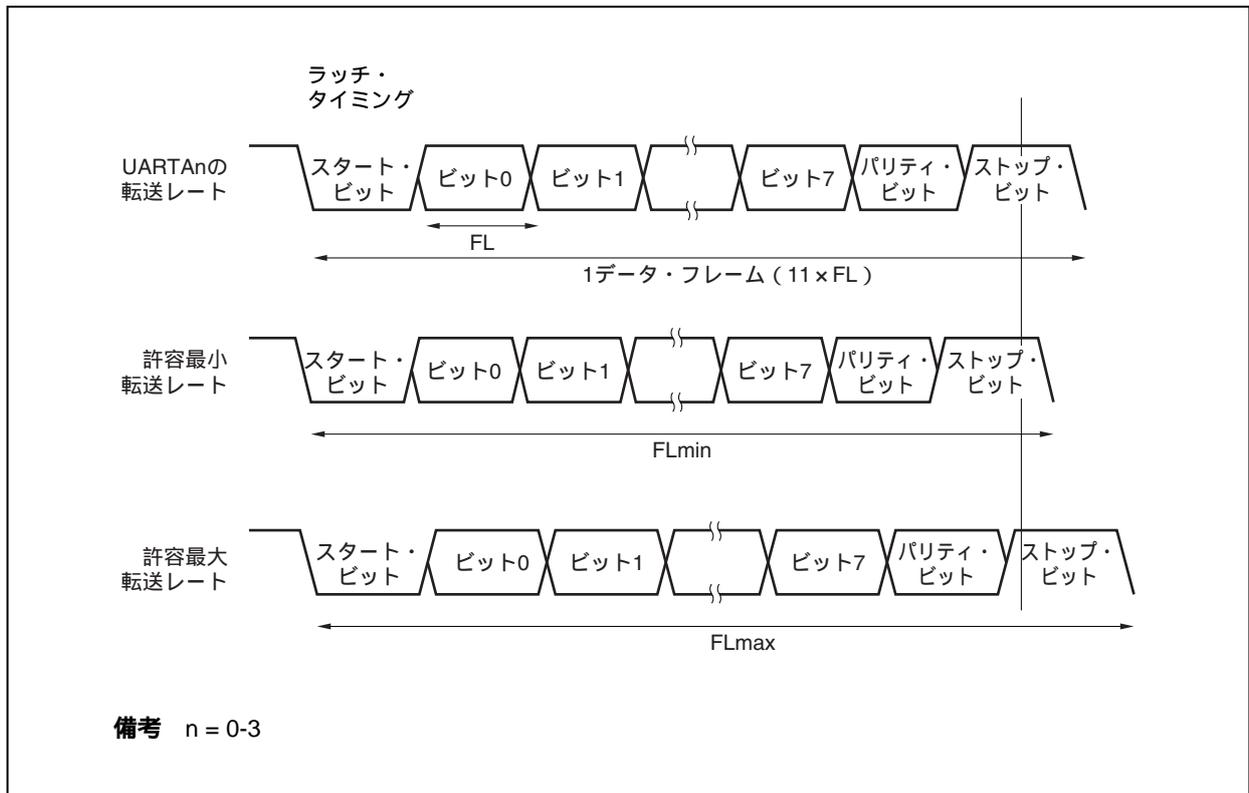


図16 - 13に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTAnのボー・レート (n = 0-3)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-3)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表16 - 4 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

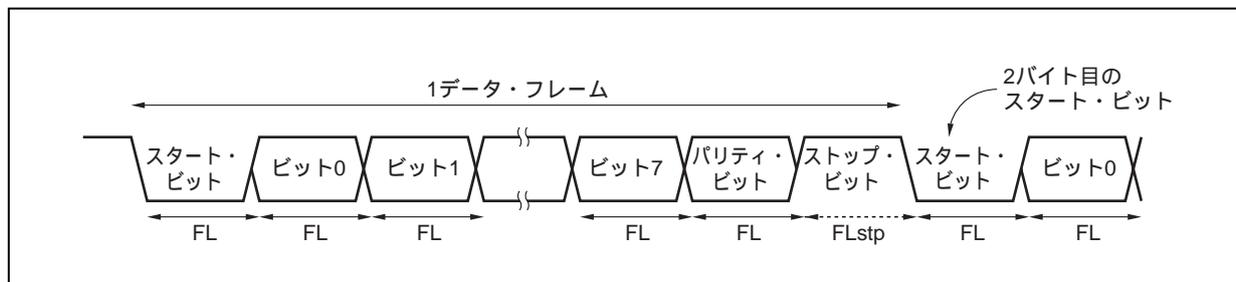
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-3)

(8) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図16 - 14 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f_{CLK}とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{CLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / f_{CLK})$$

16.8 注意事項

UARTAnへの供給クロックが停止する場合（例：IDLE, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXE, UAnTXEビット = 000とし、回路を初期化してください。

備考 n = 0-3

第17章 クロック同期式シリアル・インタフェースB (CSIB)

17.1 CSIBとほかのシリアル・インタフェースのモード切り替え

17.1.1 UARTA0とCSIB0, UARTA1とCSIB1, UARTA2とCSIB2のモード切り替え

V850E/MA3では、UARTA0とCSIB0, UARTA1とCSIB1, UARTA2とCSIB2は端子が兼用になっており、同時に使用することはできません。UARTA0とCSIB0, UARTA1とCSIB1の切り替えは、あらかじめPMC4, PFC4レジスタを、UARTA2とCSIB2の場合はPMC3, PFC3, PFCE3レジスタを設定する必要があります。

注意 UARTA0またはCSIB0, UARTA1またはCSIB1, UARTA2またはCSIB2において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

17.2 特 徴

転送速度：10 Mbps (内部クロック使用時)
マスタ・モードとスレーブ・モードを選択可能
8-16ビット転送，3線式シリアル・インタフェース
割り込み要求信号 (INTCSIERn, INTCSIRn, INTCSITn)
シリアル・クロックとデータのフェーズ切り替えが可能
転送データ長を8-16ビットに1ビット単位で選択可能
転送データのMSB先頭/LSB先頭を切り替え可能
3線式 SOn : シリアル・データ出力
 SIn : シリアル・データ入力
 SCKn : シリアル・クロック入出力
送信モード，受信モード，送受信モードを指定可能

備考 n = 0-2

図17 - 1 UARTA0とCSIB0, UARTA1とCSIB1のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40

リセット時 : 00H R/W アドレス : FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40

PMC45	PFC45	P45端子の兼用機能の指定
0	x	入出力ポート
1	0	SCK1入出力
1	1	ASCK1入力

PMC44	PFC44	P44端子の兼用機能の指定
0	x	入出力ポート
1	0	SI1入力
1	1	RXD1入力

PMC43	PFC43	P43端子の兼用機能の指定
0	x	入出力ポート
1	0	SO1出力
1	1	TXD1出力

PMC42	PFC42	P42端子の兼用機能の指定
0	x	入出力ポート
1	0	SCK0入出力
1	1	ASCK0入力

PMC41	PFC41	P41端子の兼用機能の指定
0	x	入出力ポート
1	0	SI0入力
1	1	RXD0入力

PMC40	PFC40	P40端子の兼用機能の指定
0	x	入出力ポート
1	0	SO0出力
1	1	TXD0出力

備考 x = don't care

図17-2 UARTA2とCSIB2のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	0	0	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：00H R/W アドレス：FFFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	0	0	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時：00H R/W アドレス：FFFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	0	0	0	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30

PMC34	PFCE34	PFC34	P34端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	RXD3入力
1	1	0	SCL ^注 入出力

PMC33	PFCE33	PFC33	P33端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	TXD3出力
1	1	0	SDA ^注 入出力

PMC32	PFCE32	PFC32	P32端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	ASCK2入力
1	1	0	SCK2入出力

PMC31	PFCE31	PFC31	P31端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	RXD2入力
1	1	0	SI2入力

PMC30	PFCE30	PFC30	P30端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	TXD2出力
1	1	0	SO2出力

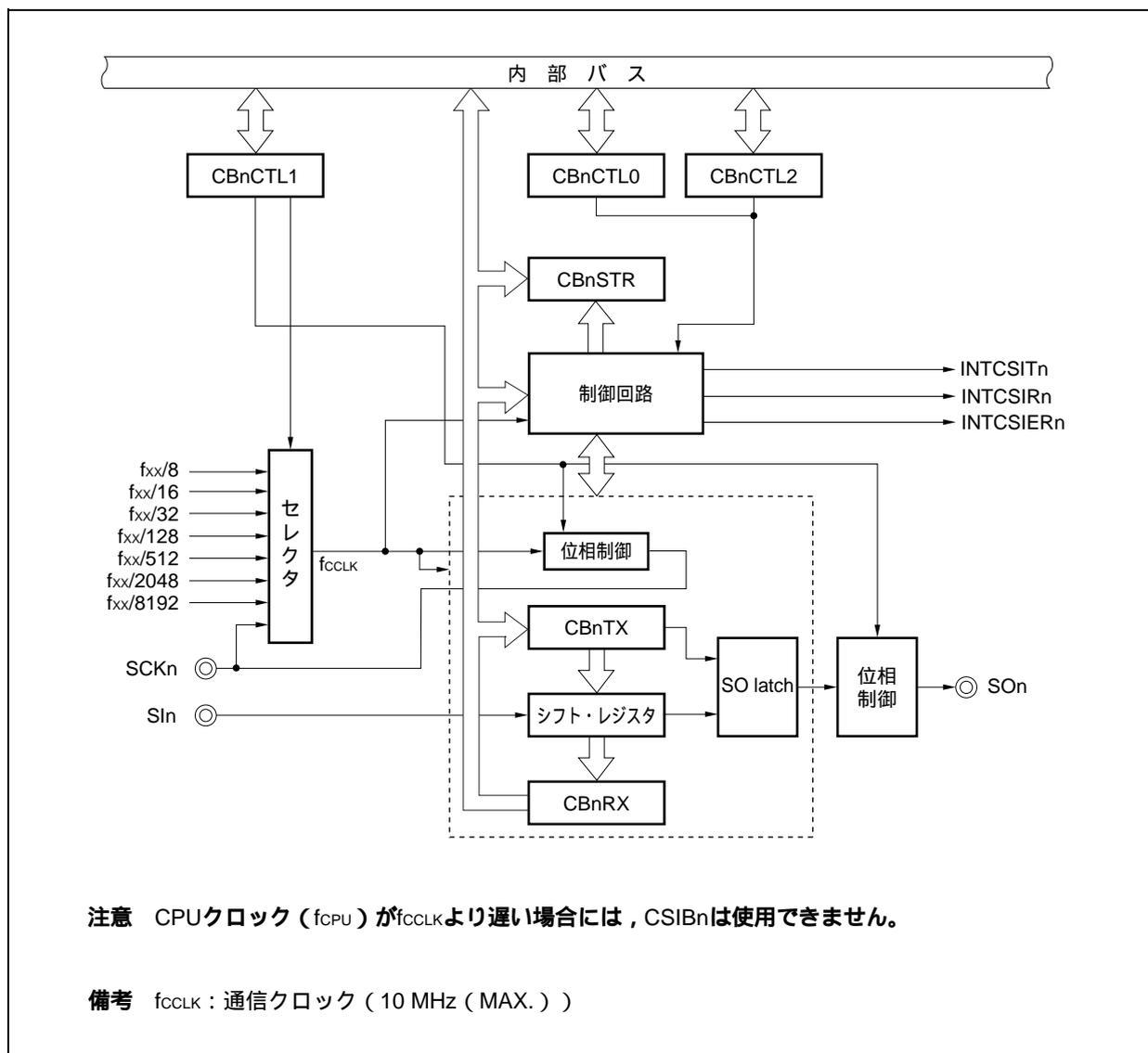
注 SDA, SCL端子として使用する場合、端子は擬似オープン・ドレイン出力（P-ch側が常にオフ）になります。

備考 x = don't care

17.3 構成

次にCSIBnのブロック図を示します。

図17-3 CSIBnのブロック図



CSIBnは、次のハードウェアで構成されています。

表17-1 CSIBnの構成

項目	構成
レジスタ	CSIBn受信データ・レジスタ (CBnRX) CSIBn送信データ・レジスタ (CBnTX)
制御レジスタ	CSIBn制御レジスタ0 (CBnCTL0) CSIBn制御レジスタ1 (CBnCTL1) CSIBn制御レジスタ2 (CBnCTL2) CSIBn状態レジスタ (CBnSTR)

(1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

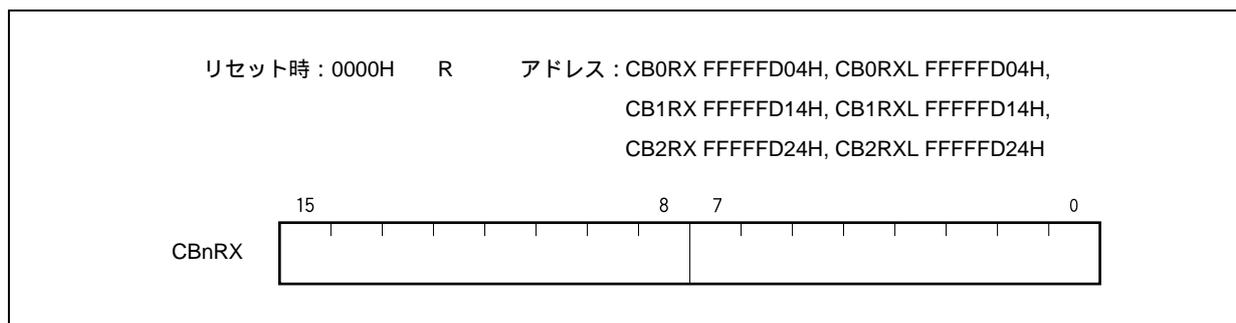
16ビット単位でリードのみ可能です。

受信許可状態中に、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) しても初期化されます。



(2) CSIBn送信データ・レジスタ (CBnTX)

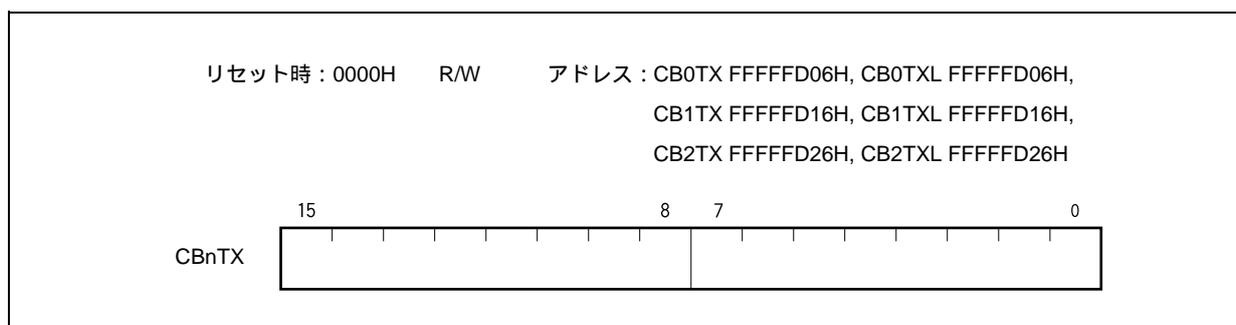
CBnTXレジスタは、CSIBnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信許可状態のときは、CBnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CBnTXレジスタの下位8ビットをCBnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



備考 通信開始条件について

送信モード (CBnTXEビット = 1, CBnRXEビット = 0) : CBnTXレジスタへのライト

送受信モード (CBnTXEビット = 1, CBnRXEビット = 1) : CBnTXレジスタへのライト

受信モード (CBnTXEビット = 0, CBnRXEビット = 1) : CBnRXレジスタのリード

17.4 制御レジスタ

CSIBnを制御するレジスタには、次のものがあります。

- ・ CSIBn制御レジスタ0 (CBnCTL0)
- ・ CSIBn制御レジスタ1 (CBnCTL1)
- ・ CSIBn制御レジスタ2 (CBnCTL2)
- ・ CSIBn状態レジスタ (CBnSTR)

(1) CSIBn制御レジスタ0 (CBnCTL0)

CSIBnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/2)

リセット時：01H R/W アドレス：CB0CTL0 FFFFFFFD00H, CB1CTL0 FFFFFFFD10H,
CB2CTL0 FFFFFFFD20H

	⑦	⑥	⑤	④	3	2	1	①
CBnCTL0 (n = 0-2)	CBnPWR	CBnTXE ^注	CBnRXE ^注	CBnDIR ^注	0	0	CBnTMS ^注	CBnSCE

CBnPWR	CSIBn動作禁止 / 許可の指定
0	CSIBn動作禁止, CBnSTRレジスタをリセットする
1	CSIBn動作許可
・ CBnPWRビットはCSIBnの動作の制御と内部回路のリセットを行います。	

CBnTXE ^注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CBnTXEビット = 0のとき, SOn出力はロウ・レベルとなります。	

CBnRXE ^注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CBnRXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信完了割り込みは出力されず, 受信データ (CBnRXレジスタ) は更新されません。	

注 CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

注意 ビット3, 2には必ず0を設定してください。

CBnDIR ^{注1}	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CBnTMS ^{注1}	転送モードの指定
0	シングル転送モード
1	連続転送モード

・通信タイプ2, 4 (CBnCTL1.CBnDAPビット = 1) でシングル送信 / 送受信モードを使用する場合, CBnSTR.CBnTSFビット = 0であることを確認したあとにCBnTXレジスタに転送データを書き込んでください。

・DMAを使用する場合は, 連続転送モードを使用してください。

CBnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
(a) シングル受信モード
受信データ (CBnRXレジスタ) のリードを行う前にCBnSCEビットを“0”に設定してください^{注2}。

(b) 連続受信モード時
最終データの受信を完了する1通信クロック前までにCBnSCEビットを“0”に設定してください^{注3}。

・スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
(a) シングル受信モード, 連続受信モード時
CBnSCEビットは“1”に設定してください^{注4}。

・シングル送信 / 送受信モード, 連続送信 / 送受信モード時
CBnSCEビットの機能は無効です。“1”に設定することを推奨します。

- 注1. CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。
2. CBnSCEビットが“1”のままリードした場合, 次回の通信動作が起動されません。
3. 最終データの受信を完了する1通信クロック前までにCBnSCEビットを“0”にしない場合, 自動的に次回の通信動作が起動されます。
なお, 最終データのリード後に再び通信動作を起動したい場合, CBnSCEビットを“1”に設定し, CBnRXレジスタをダミー・リードします。
4. 受信を開始する場合には, ダミー・リードが必要です。

(a) CBnSCEビットの使用方法

(i) シングル受信モード時

INTCSIRn割り込み処理で最終データの受信が完了している場合は、CBnSCEビット = 0にしてから、CBnRXレジスタを読み出します。

最終データの受信完了後、受信を禁止する場合は、CBnSTR.CBnTSFビットが“0”であることを確認したあと、CBnPWRビット = 0, CBnRXEビット = 0にします。続けて受信する場合は、CBnSCEビット = 1にして、CBnRXレジスタのダミー・リードにより次の受信動作を開始します。

(ii) 連続受信モード時

最終受信1つ前の受信によるINTCSIRn割り込み処理で最終データの受信中にCBnSCEビット = 0にしてから、CBnRXレジスタを読み出します。

最終受信のINTCSIRn信号を受けて、CBnRXレジスタにより最終データを読み出します。

最終データの受信完了後、受信を禁止する場合は、CBnSTR.CBnTSFビットが“0”であることを確認したあと、CBnPWRビット = 0, CBnRXEビット = 0にします。続けて受信する場合は、CBnSCEビット = 1にして、CBnRXレジスタのダミー・リードにより次の受信動作を開始します。

注意 連続受信の場合、ダミー・リードで受信を開始したあと、CBnSCEビット = 0設定時に実行中の受信が完了するまでシリアル・クロックは停止しません。

(2) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL1レジスタは、CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL1 FFFFFFFD01H, CB1CTL1 FFFFFFFD11H,
CB2CTL1 FFFFFFFD21H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

(n = 0-2)

	CBnCKP	CBnDAP	SCKnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック (fcCLK)	モード
0	0	0	$f_{xx}/8$	マスタ・モード
0	0	1	$f_{xx}/16$	マスタ・モード
0	1	0	$f_{xx}/32$	マスタ・モード
0	1	1	$f_{xx}/128$	マスタ・モード
1	0	0	$f_{xx}/512$	マスタ・モード
1	0	1	$f_{xx}/2048$	マスタ・モード
1	1	0	$f_{xx}/8192$	マスタ・モード
1	1	1	外部クロック (SCKn)	スレーブ・モード

注意 fcCLKは10 MHz以下に設定してください。

(3) CSIBn制御レジスタ2 (CBnCTL2)

CSIBnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE, CBnRXEビット = 0の場合のみ書き換えを許可します。

リセット時：00H R/W アドレス：CB0CTL2 FFFFFFFD02H, CB1CTL2 FFFFFFFD12H,
CB2CTL2 FFFFFFFD22H

	7	6	5	4	3	2	1	0
CBnCTL2	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

(n = 0-2)

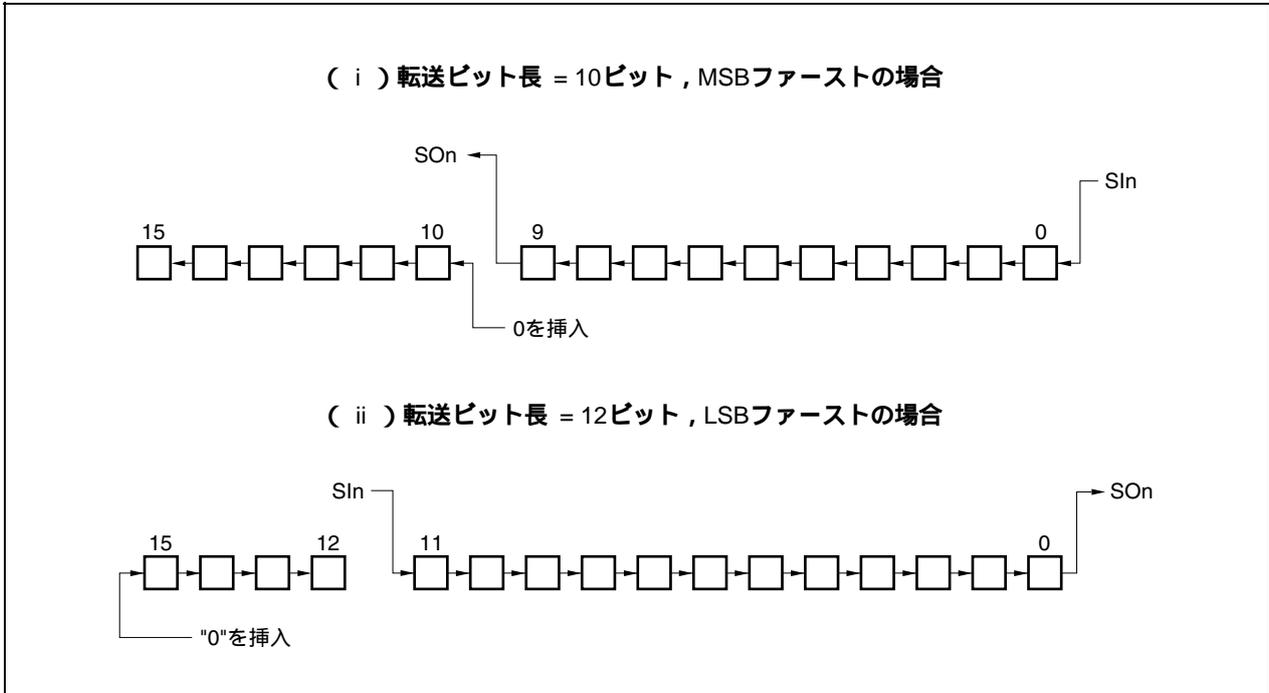
CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	×	×	×	16ビット

備考 転送ビット数が8/16ビットではない場合には、CBnTX, CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

(a) 転送データ長変更機能

CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CBnTX, CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。



(4) CSIBn状態レジスタ (CBnSTR)

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) する場合も初期化されます。

リセット時：00H R/W アドレス：CB0STR FFFFFFFD03H, CB1STR FFFFFFFD13H,
CB2STR FFFFFFFD23H

	⑦	6	5	4	3	2	1	①
CBnSTR (n = 0-2)	CBnTSF	0	0	0	0	0	0	CBnOVE

CBnTSF	通信状態フラグ
0	通信停止
1	通信中
・送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。 受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。 転送終了時、クロックの最後のエッジでクリア (0) されます。	

CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり
・受信時もしくは受信動作完了後に、CBnRXレジスタの値をCPUリードせずに次の 受信が完了した場合、オーバラン・エラーとする。 CBnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。 ・CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセット されません	

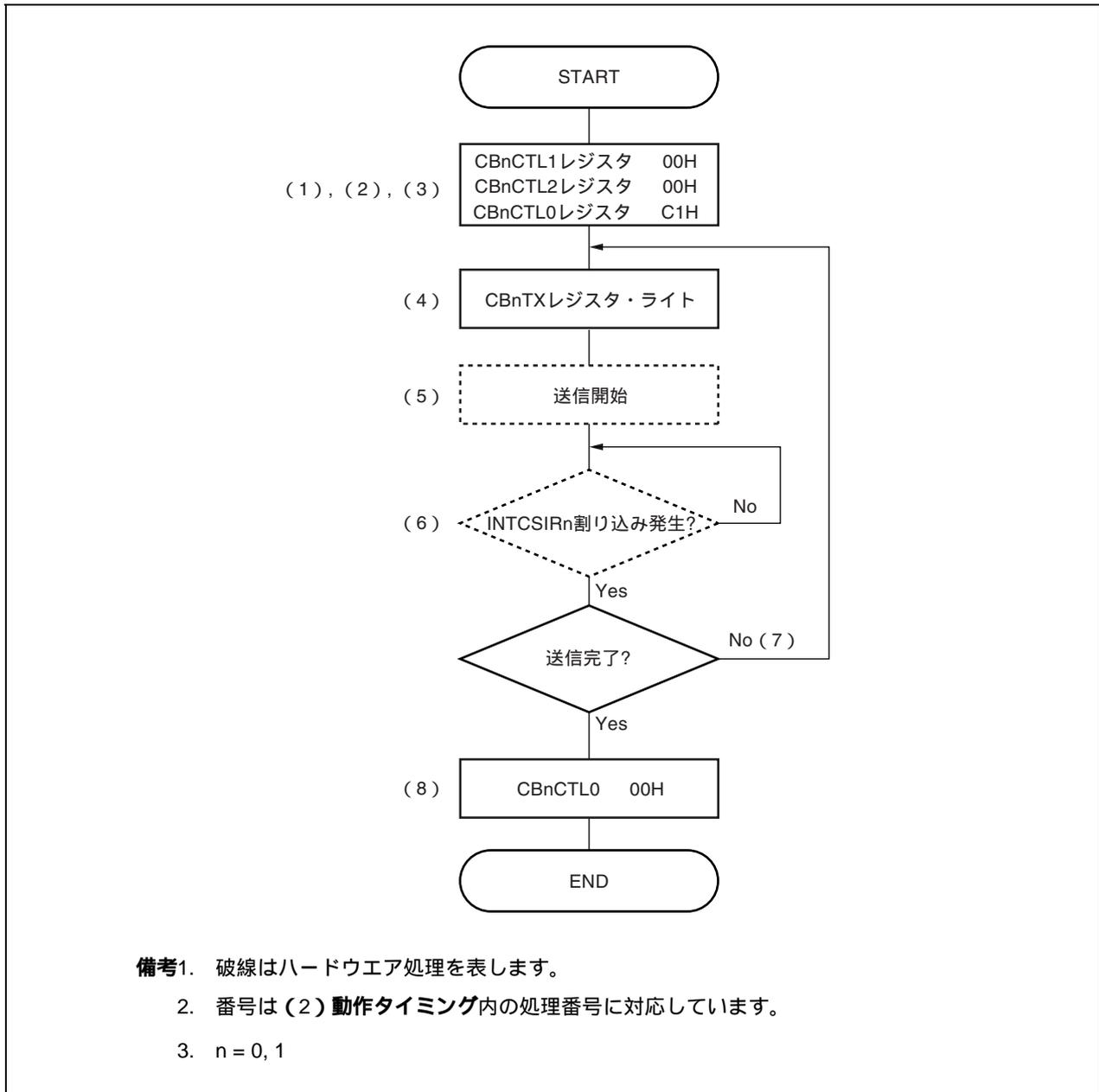
注意 シングル転送モードでは、CBnTSFビット = 1の状態ではCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。
 たとえば、INTCSIRn信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んで、CBnTSFビット = 1のため書き込んだデータの転送は行われません。
 このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

17.5 動作

17.5.1 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{xx}/8$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー

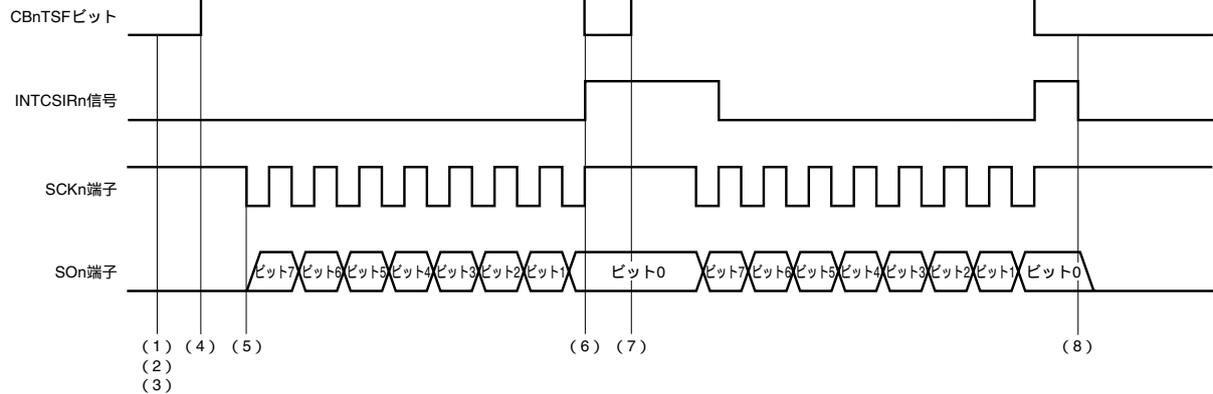


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. $n = 0, 1$

(2) 動作タイミング



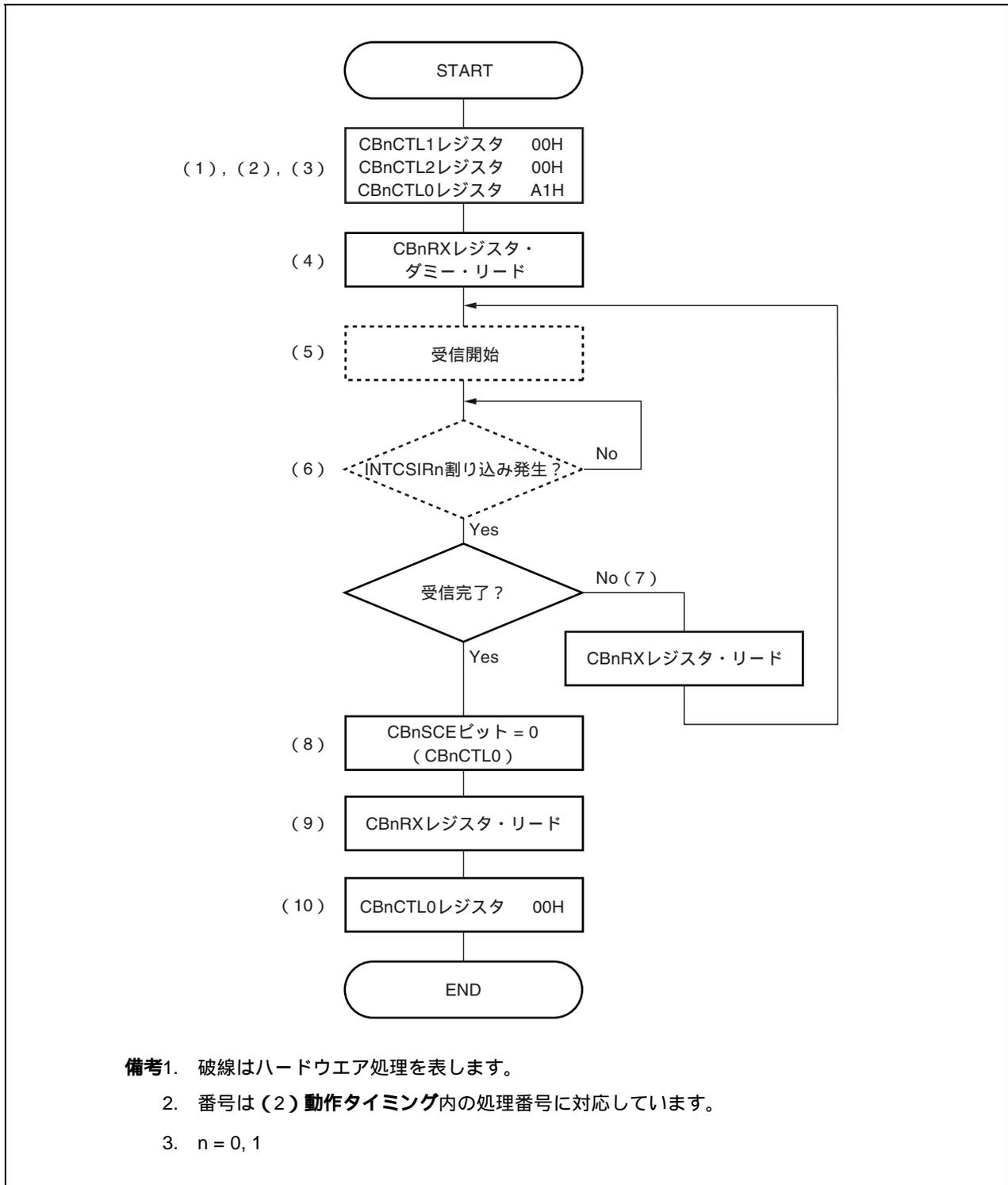
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/8$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、送信を開始します。
- (5) 送信が開始されると、SCKn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCSIRn) を発生し、CBnTSFビットをクリア(0)する。
- (7) 続けて送信を行う場合は、INTCSIRn信号発生後、再びCBnTXレジスタに送信データをライトすることで次の送信を開始する。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

備考 n = 0, 1

17.5.2 シングル転送モード (マスタ・モード, 受信モード)

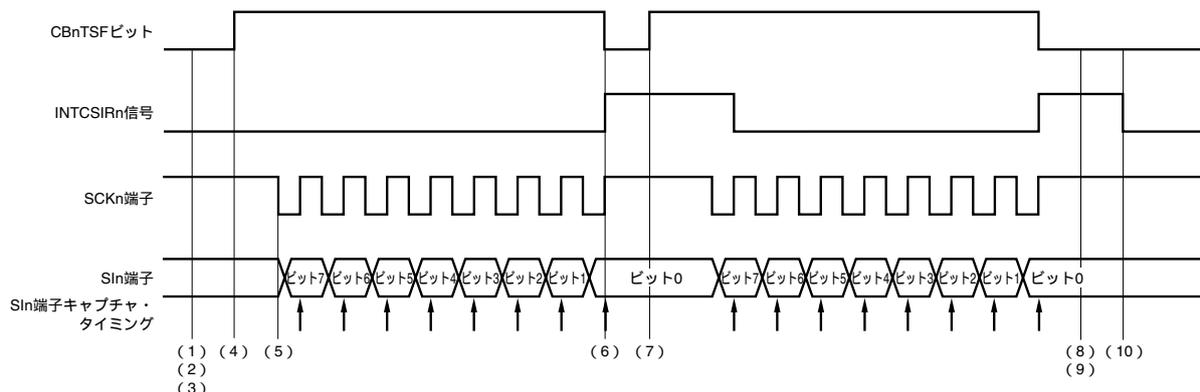
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/8$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. $n = 0, 1$

(2) 動作タイミング



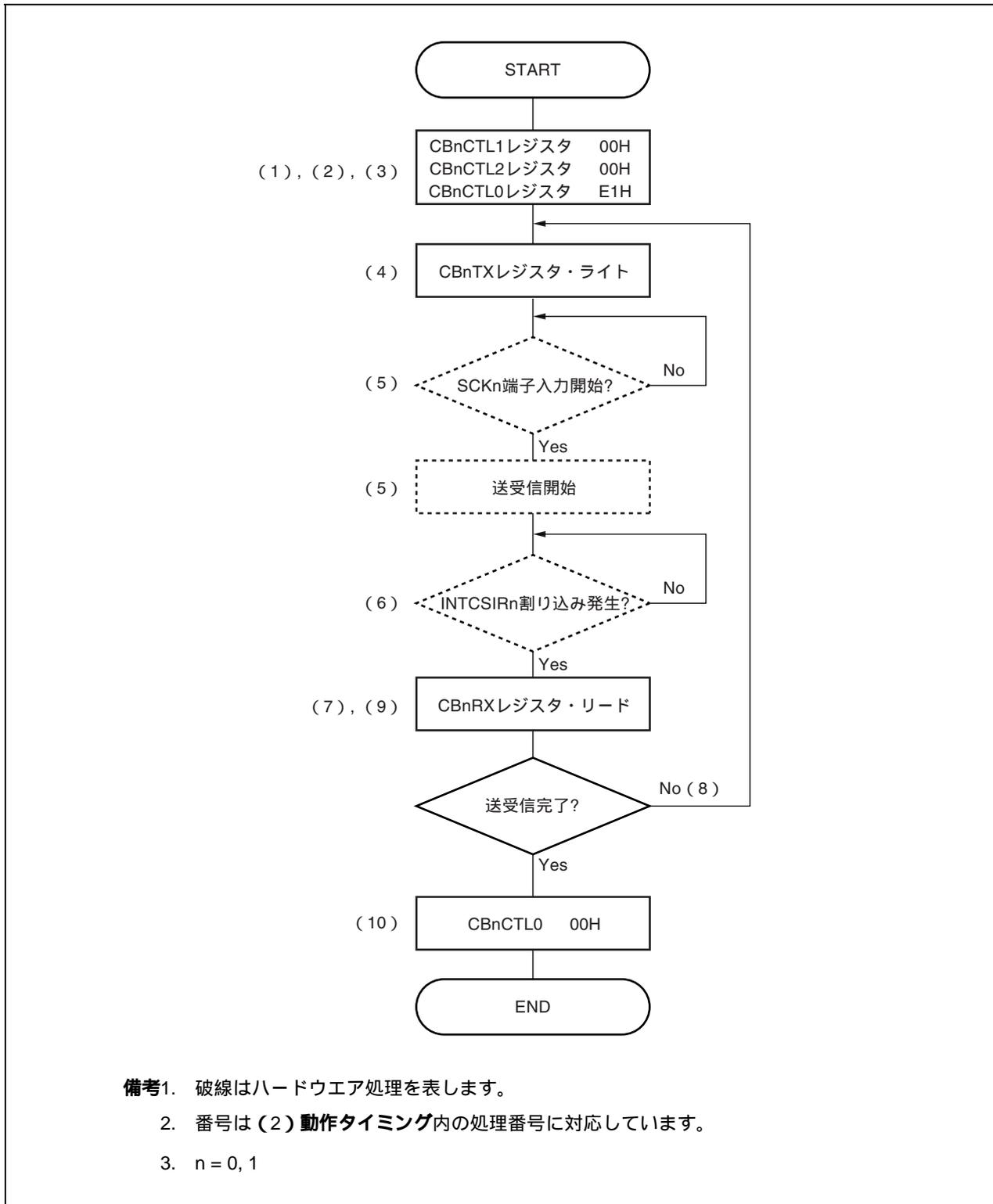
- (1) CnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ($f_{\text{CCLK}} = f_{\text{xx}}/8$)、マスタ・モードを選択する。
- (2) CnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CnCTL0レジスタにA1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CnRXレジスタをダミー・リードすることで、CnSTR.CnTSFビットがセット(1)され、受信を開始します。
- (5) 受信が開始されると、SCKn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIn端子の受信データをキャプチャする。
- (6) CnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCSIRn) を発生し、CnTSFビットをクリア(0)する。
- (7) 続けて受信を行う場合は、INTCSIRn信号発生後、CnCTL0.CnSCEビット = 1のまま、CnRXレジスタをリードする。
- (8) 次の受信を開始させずにCnRXレジスタをリードする場合には、CnSCEビット = 0をライトする。
- (9) CnRXレジスタをリードする。
- (10) 受信を完了する場合は、CnCTL0.CnPWRビット = 0、CnCTL0.CnRXEビット = 0をライトする。

備考 $n = 0, 1$

17.5.3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = f_{xx}/8 (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー

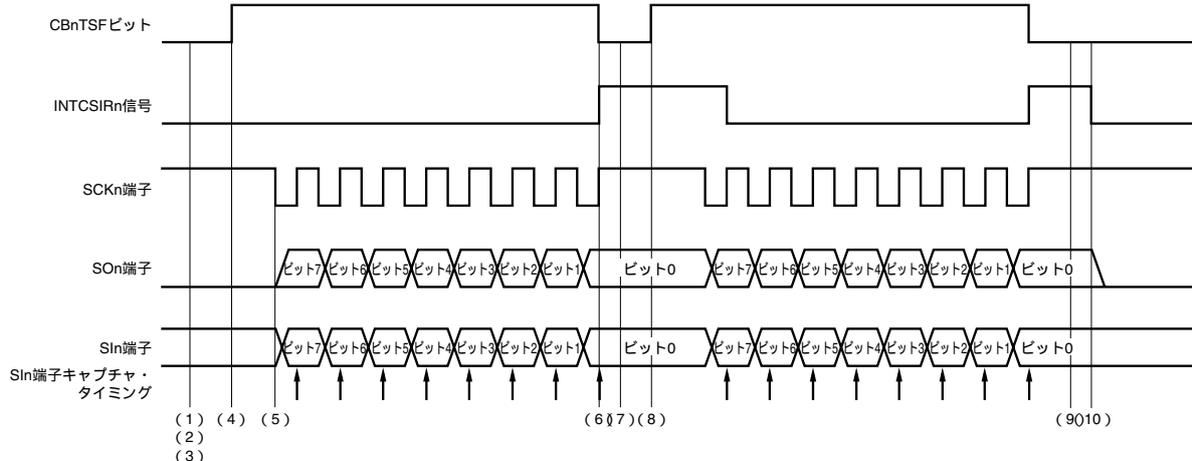


備考1. 破線はハードウェア処理を表します。

2. 番号は (2) 動作タイミング内の処理番号に対応しています。

3. n = 0, 1

(2) 動作タイミング



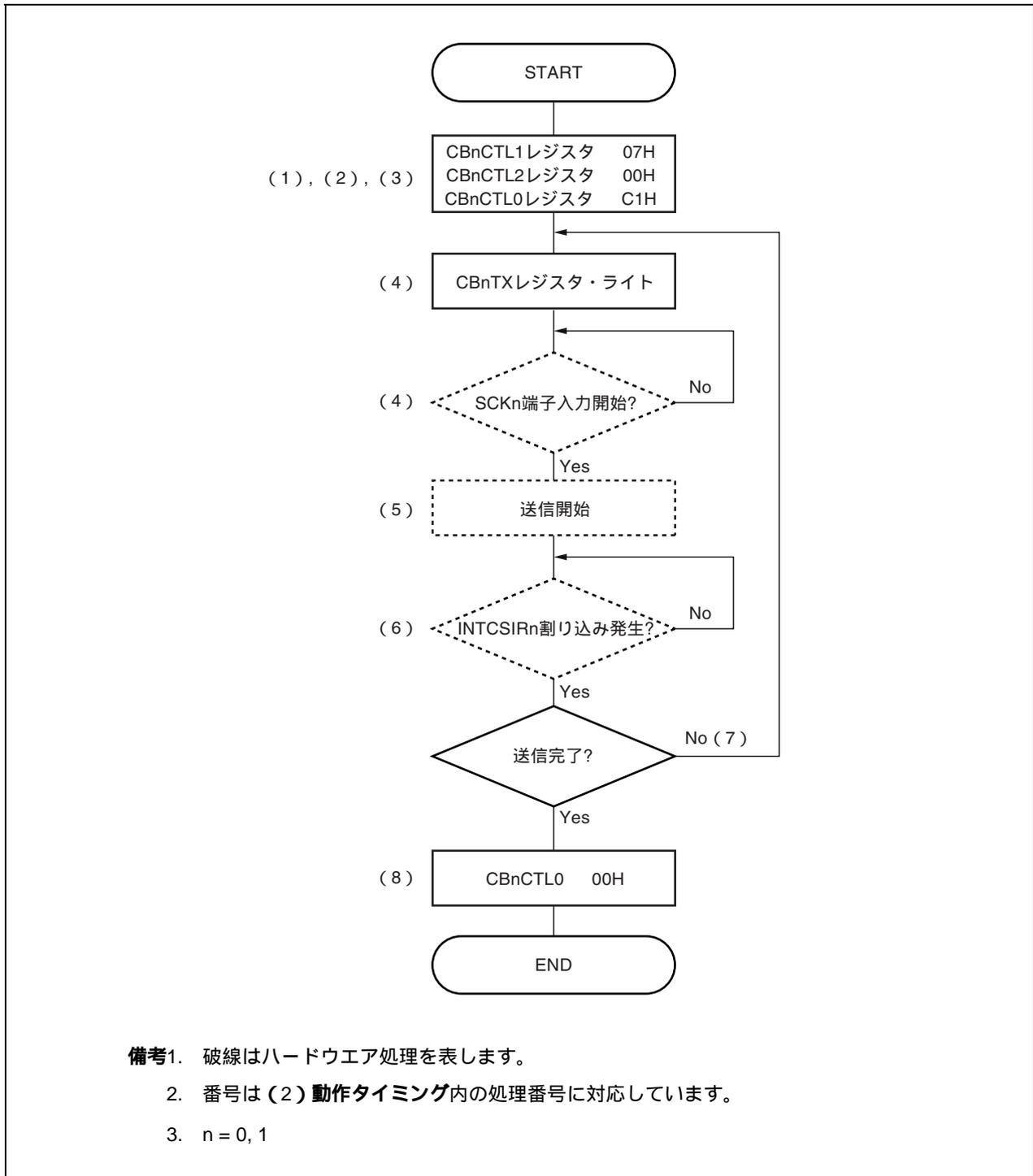
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/8$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送受信を開始します。
- (5) 送受信が開始されると、SCKn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOn端子に送信データを出力し、SIn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCSIRn) を発生し、CBnTSFビットをクリア (0) する。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCBnTXレジスタに送信データをライトする。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

17.5.4 シングル転送モード (スレーブ・モード, 送信モード)

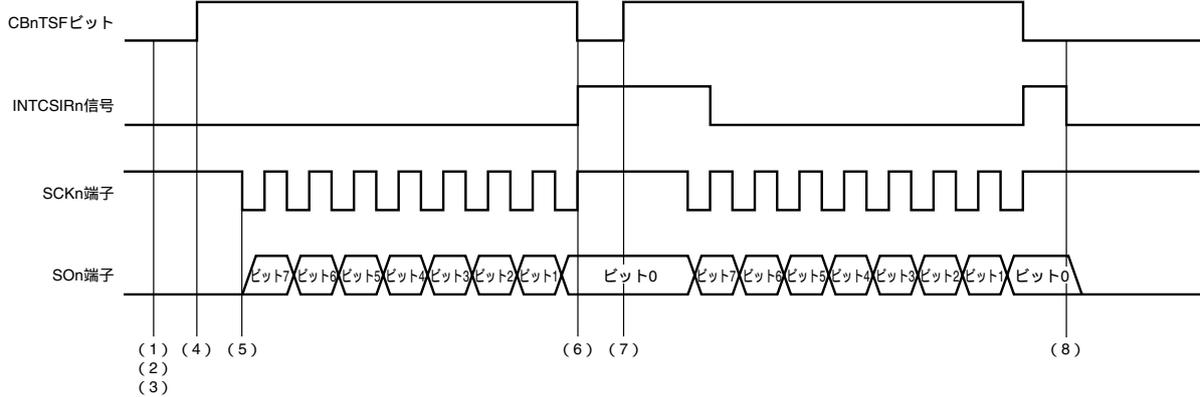
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック (fcCLK) =外部クロック (SCKn) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0, 1

(2) 動作タイミング



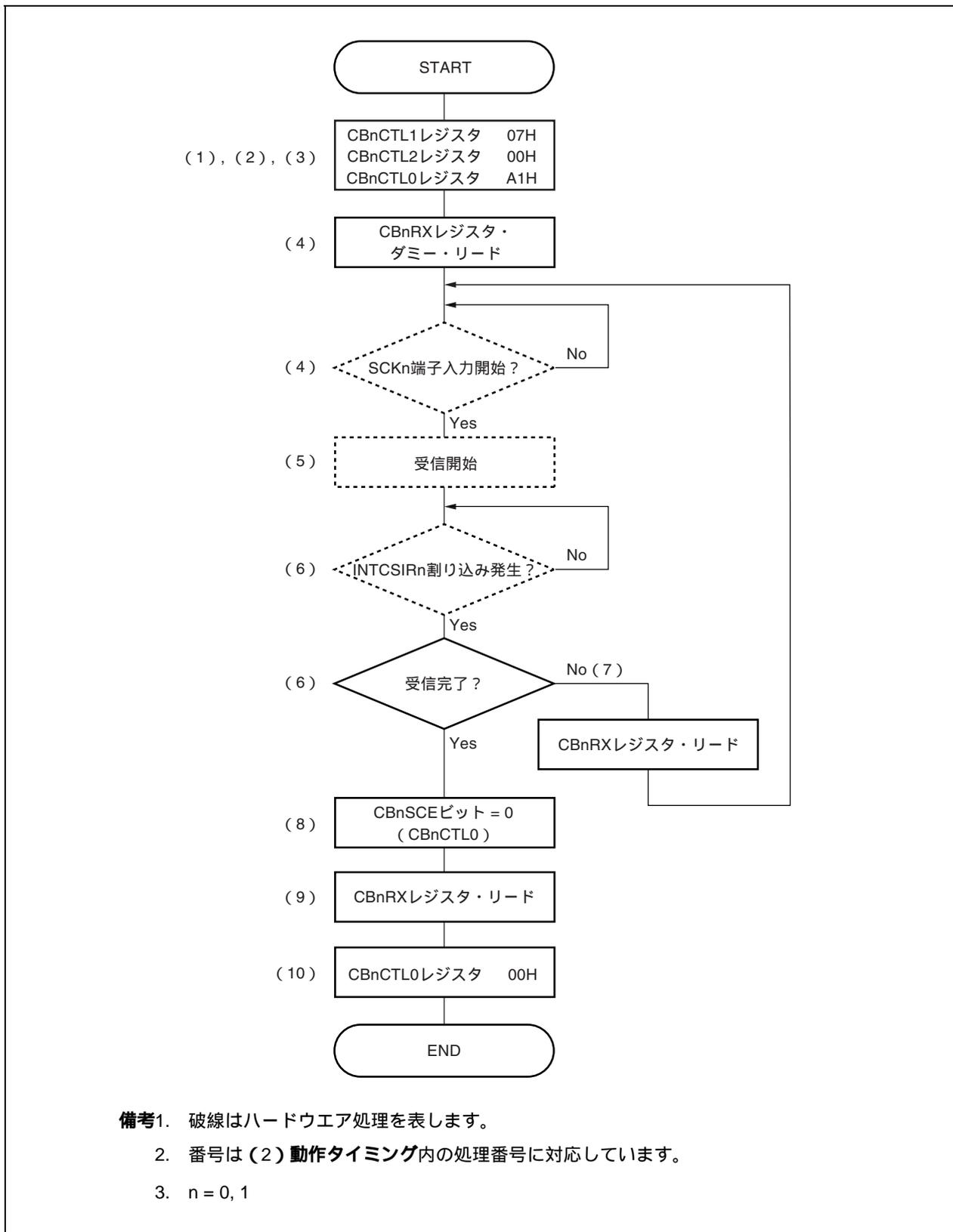
- (1) CBnCTL1レジスタに07Hをライトし,通信タイプ1,通信クロック(f_{CLK}) = 外部クロック(SCKn),スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし,転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし,通信クロック(f_{CLK})を動作許可状態にすると同時に,送信モード,MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで,CBnSTR.CBnTSFビットがセット(1)され,シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると,シリアル・クロックに同期してSOn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると,シリアル・クロックの出力と送信データの出力を停止し,シリアル・クロックの最終エッジで,受信完了割り込み要求信号(INTCSIRn)を発生し,CBnTSFビットをクリア(0)する。
- (7) 続けて送信を行う場合は,INTCSIRn信号発生後,再びCBnTXレジスタに送信データをライトし,シリアル・クロックの入力を待つ。
- (8) 送信を完了する場合は,CBnCTL0.CBnPWRビット = 0,CBnCTL0.CBnTXEビット = 0をライトする。

備考 n = 0, 1

17.5.5 シングル転送モード (スレーブ・モード, 受信モード)

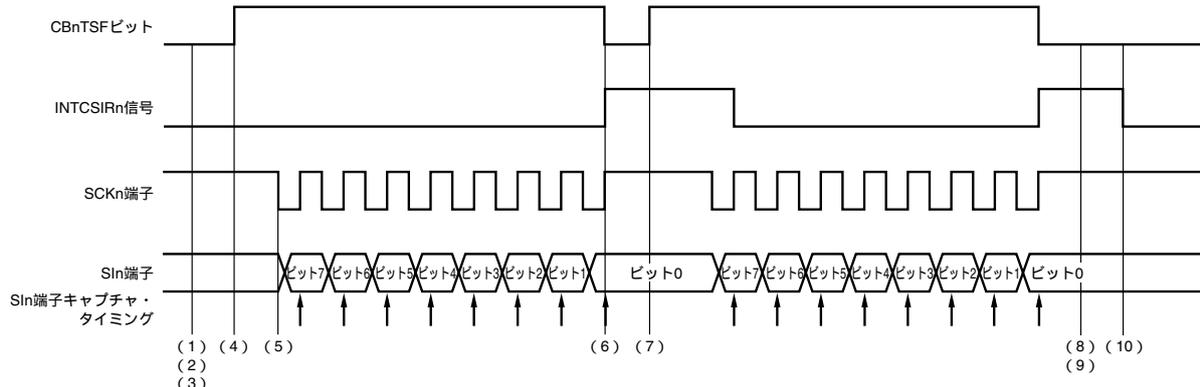
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{cCLK}) = 外部クロック(SCK_n) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
- 2. 番号は(2)動作タイミング内の処理番号に対応しています。
- 3. n = 0, 1

(2) 動作タイミング



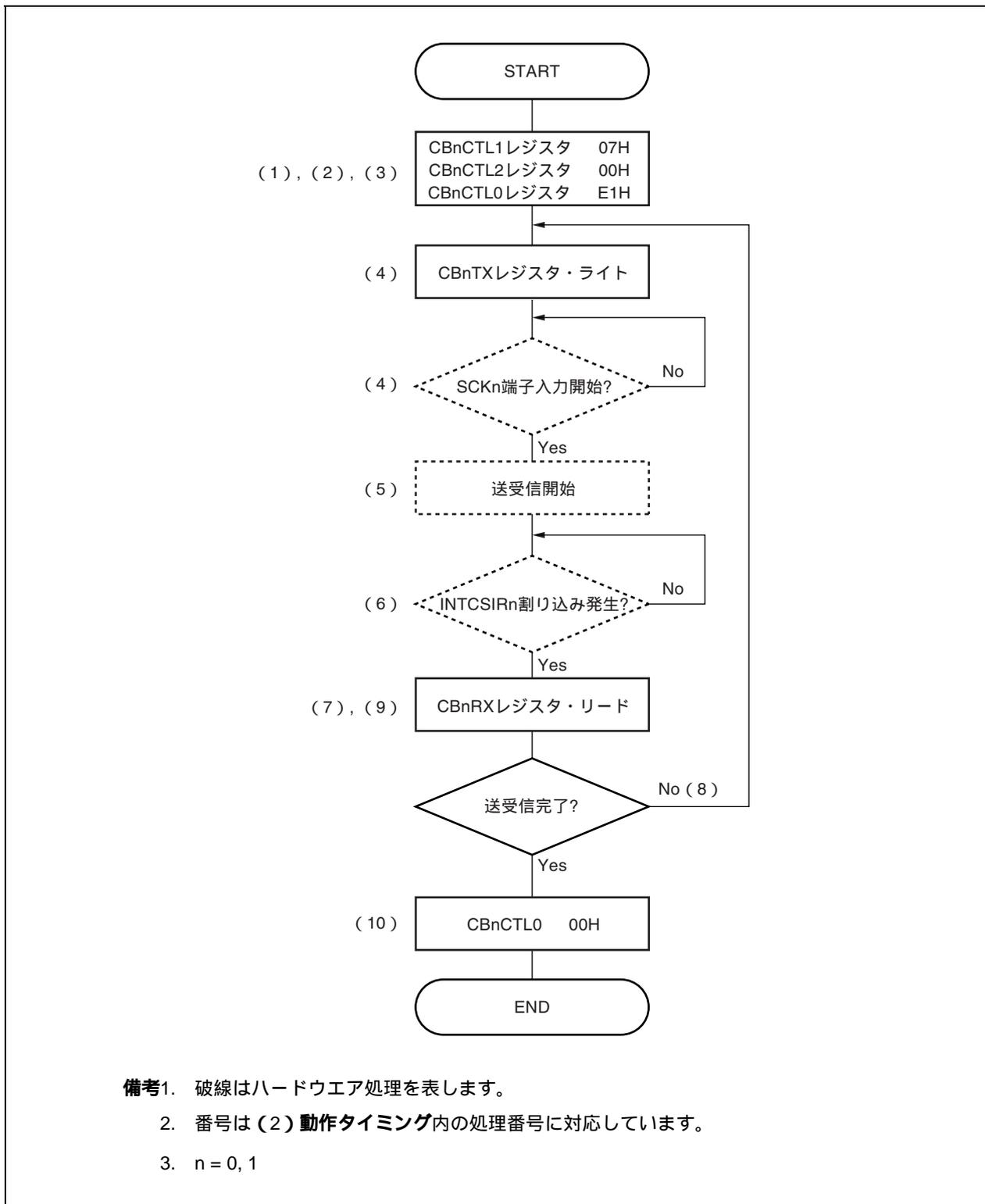
- (1) CnBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック(f_{CCLK}) = 外部クロック(SCKn)、スレーブ・モードを選択する。
- (2) CnBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CnBnCTL0レジスタにA1Hをライトし、通信クロック(f_{CCLK})を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CnBnRXレジスタをダミー・リードすることで、CnBnSTR.CnBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIn端子の受信データをキャプチャする。
- (6) CnBnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号(INTCSIRn)を発生し、CnBnTSFビットをクリア(0)する。
- (7) 続けて受信を行う場合は、INTCSIRn信号発生後、CnBnCTL0.CnBnSCEビット = 1のまま、CnBnRXレジスタをリードし、シリアル・クロックの入力を待つ。
- (8) 受信を完了する場合は、CnBnSCEビット = 0をライトする。
- (9) CnBnRXレジスタをリードする。
- (10) 受信を完了する場合は、CnBnCTL0.CnBnPWRビット = 0, CnBnCTL0.CnBnRXEビット = 0をライトする。

備考 n = 0, 1

17.5.6 シングル転送モード (スレーブ・モード, 送受信モード)

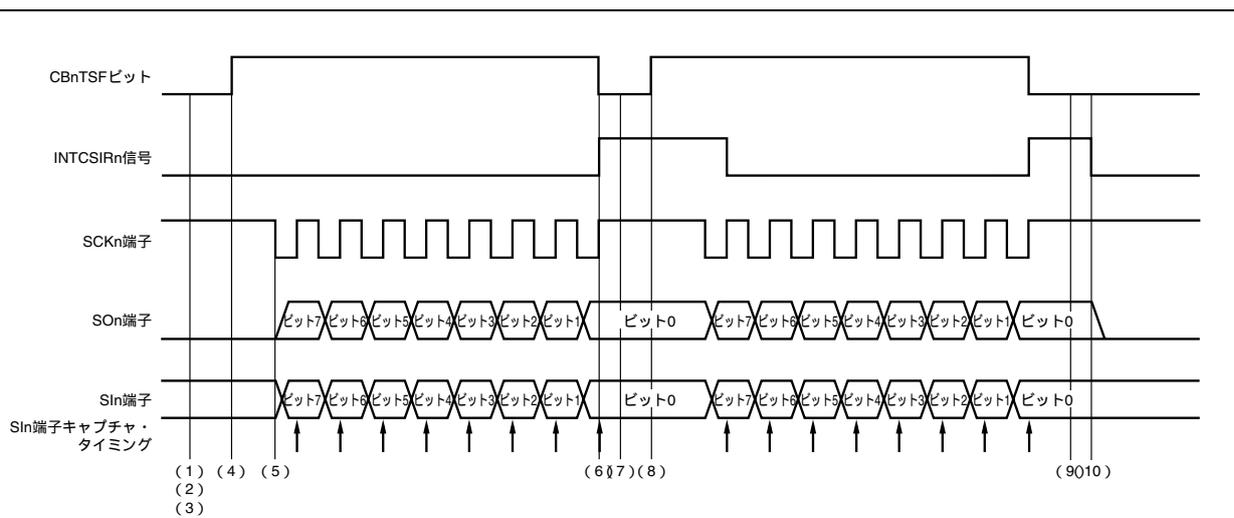
MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (fCCLK) = 外部クロック (SCKn) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は (2) 動作タイミング内の処理番号に対応しています。
 3. n = 0, 1

(2) 動作タイミング



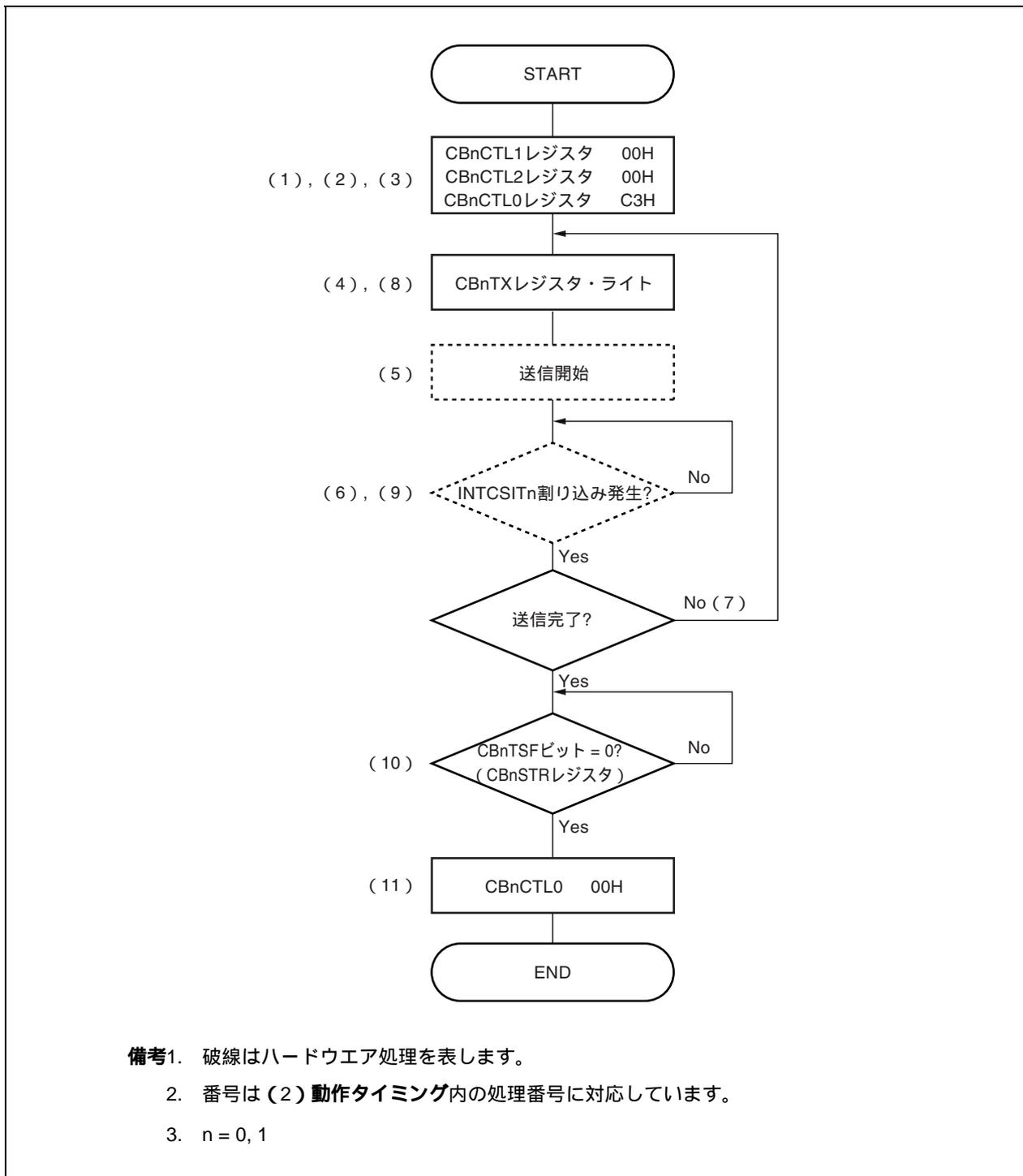
- (1) CBnCTL1レジスタに07Hをライトし,通信タイプ1,通信クロック(f_{cCLK}) = 外部クロック(SCKn),スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし,転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし,通信クロック(f_{cCLK})を動作許可状態にすると同時に,送受信モード,MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで,CBnSTR.CBnTSFビットがセット(1)され,シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると,シリアル・クロックに同期してSOn端子に送信データを出力し,SIn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると,シリアル・クロックの出力,送信データの出力,データ・キャプチャを停止し,シリアル・クロックの最終エッジで,受信完了割り込み要求信号(INTCSIRn)を発生し,CBnTSFビットをクリア(0)する。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は,再びCBnTXレジスタに送信データをライトし,シリアル・クロックの入力を待つ。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は,CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

17.5.7 連続転送モード (マスタ・モード, 送信モード)

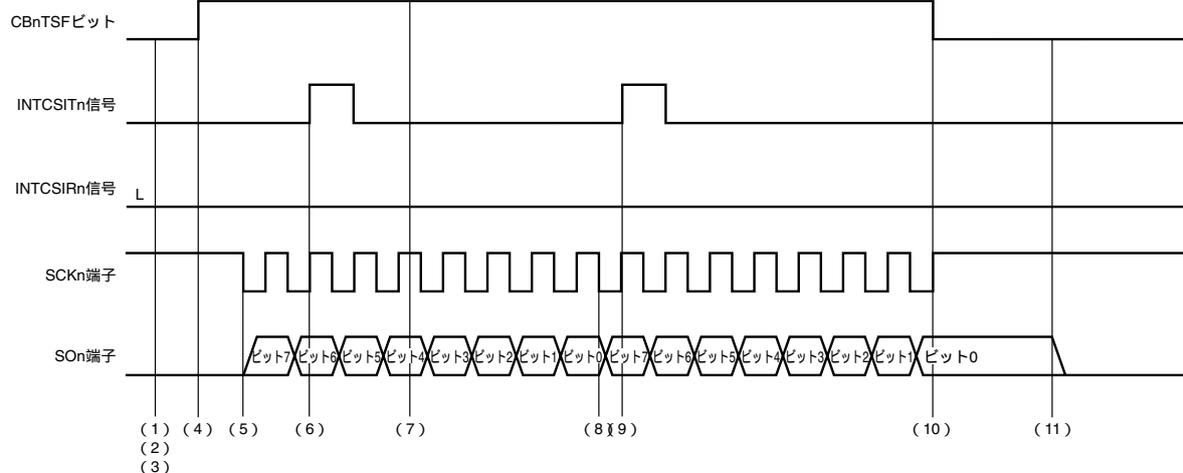
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CCLK}) = $f_x/8$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. $n = 0, 1$

(2) 動作タイミング



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/8$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送信を開始します。
- (5) 送信が開始されると、SCKn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSO端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCSITn) が発生する。
- (7) 続けて送信を行う場合は、INTCSITn信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCSITn信号が発生する。現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、SCKn端子へのシリアル・クロック出力を停止し、CBnTSFビットをクリア (0) する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

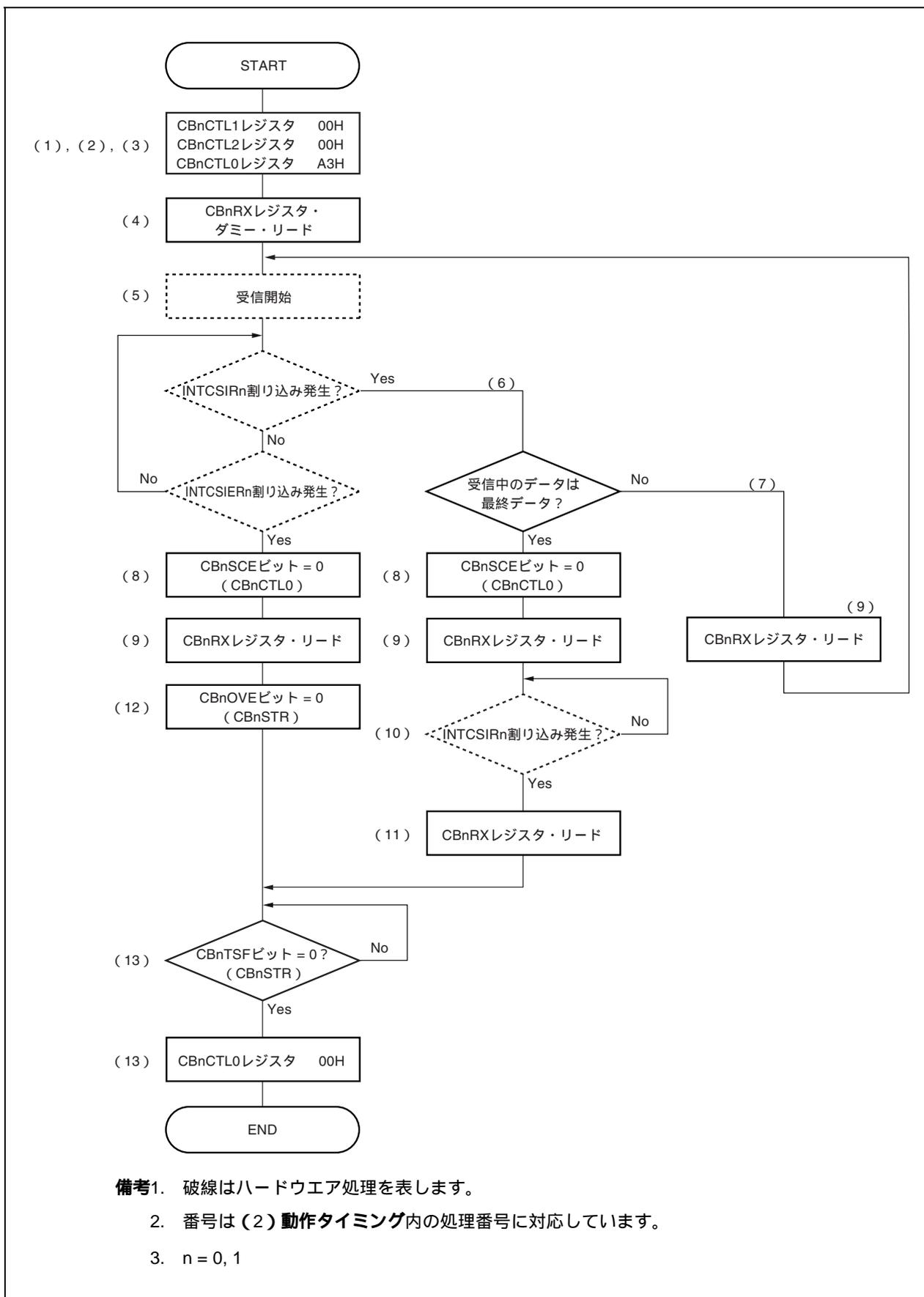
注意 連続送信モードでは、受信完了割り込み要求信号 (INTCSIRn) は発生しません。

備考 n = 0, 1

17.5.8 連続転送モード (マスタ・モード, 受信モード)

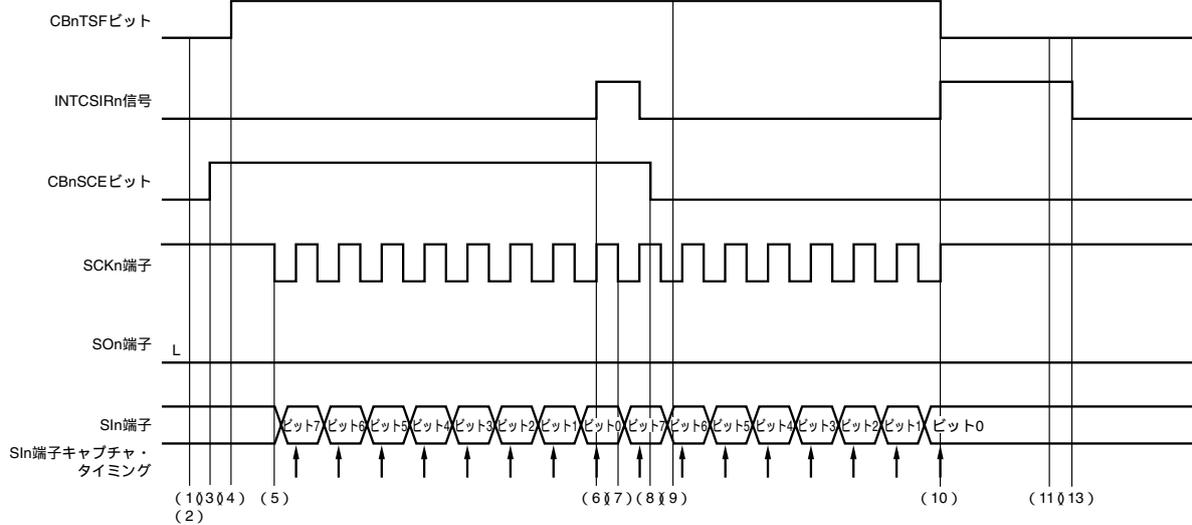
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{xx}}/8$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0, 1

(2) 動作タイミング



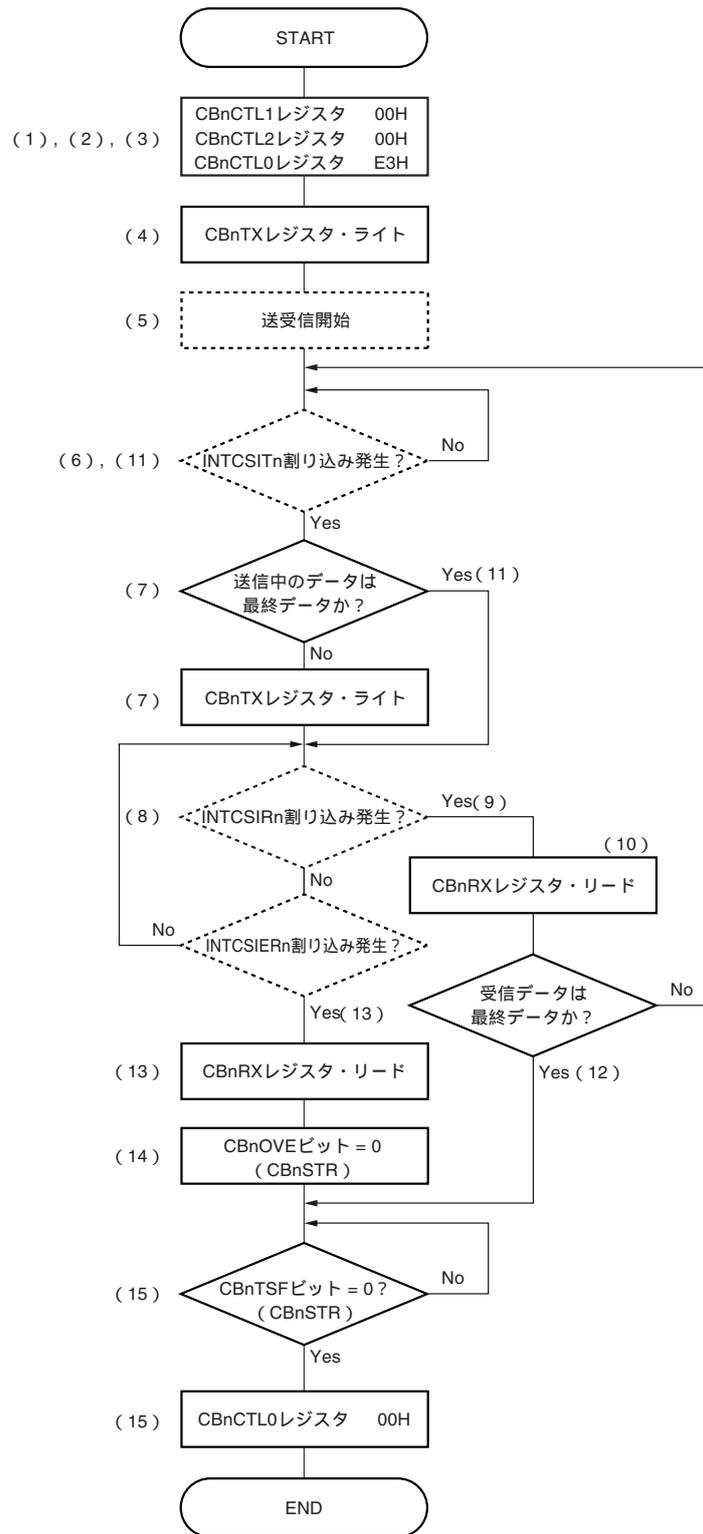
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{\text{xx}}/8$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、受信を開始します。
- (5) 受信が開始されると、SCKn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCSIRn) が発生し、CBnRXレジスタのリードが可能になる。
- (7) 通信完了時にCBnCTL0.CBnSCEビット = 1だと、通信完了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を完了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると、INTCSIRn信号が発生し、CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると、SCKn端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア(0)し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

17.5.9 連続転送モード (マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{X}}/8$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

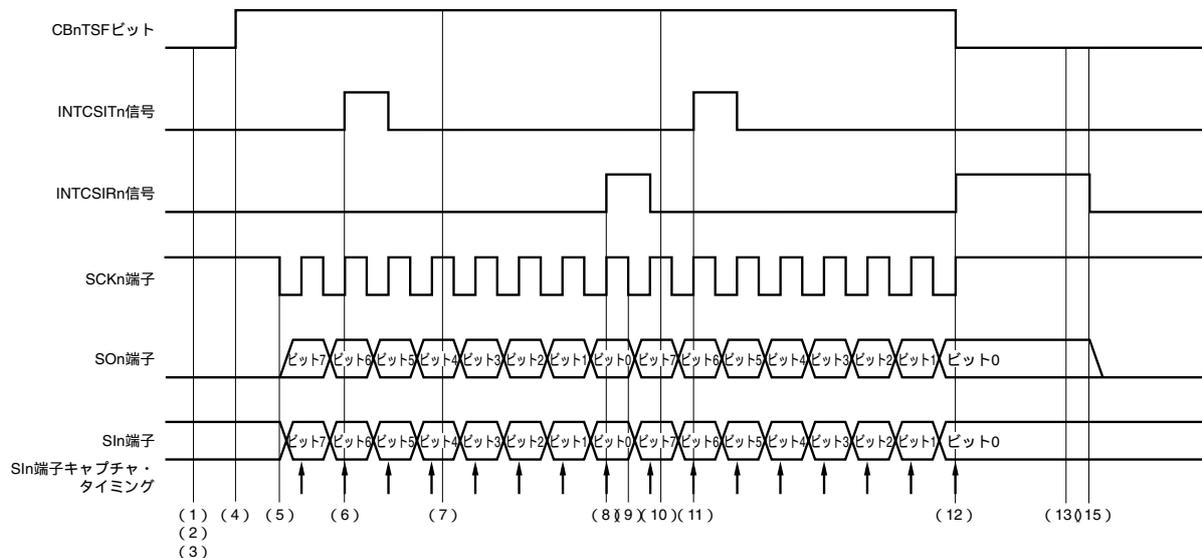
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. n = 0, 1

(2) 動作タイミング

(1/2)



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{\text{xx}}/8$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、送受信を開始します。
- (5) 送受信が開始されると、SCKn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOn端子に送信データを出力し、SIn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCSITn) が発生する。
- (7) 続けて送受信を行う場合は、INTCSITn信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) 1回の送受信が完了すると、受信完了割り込み要求信号 (INTCSIRn) が発生し、CBnRXレジスタのリードが可能になる。
- (9) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (10) CBnRXレジスタをリードする。

備考 n = 0, 1

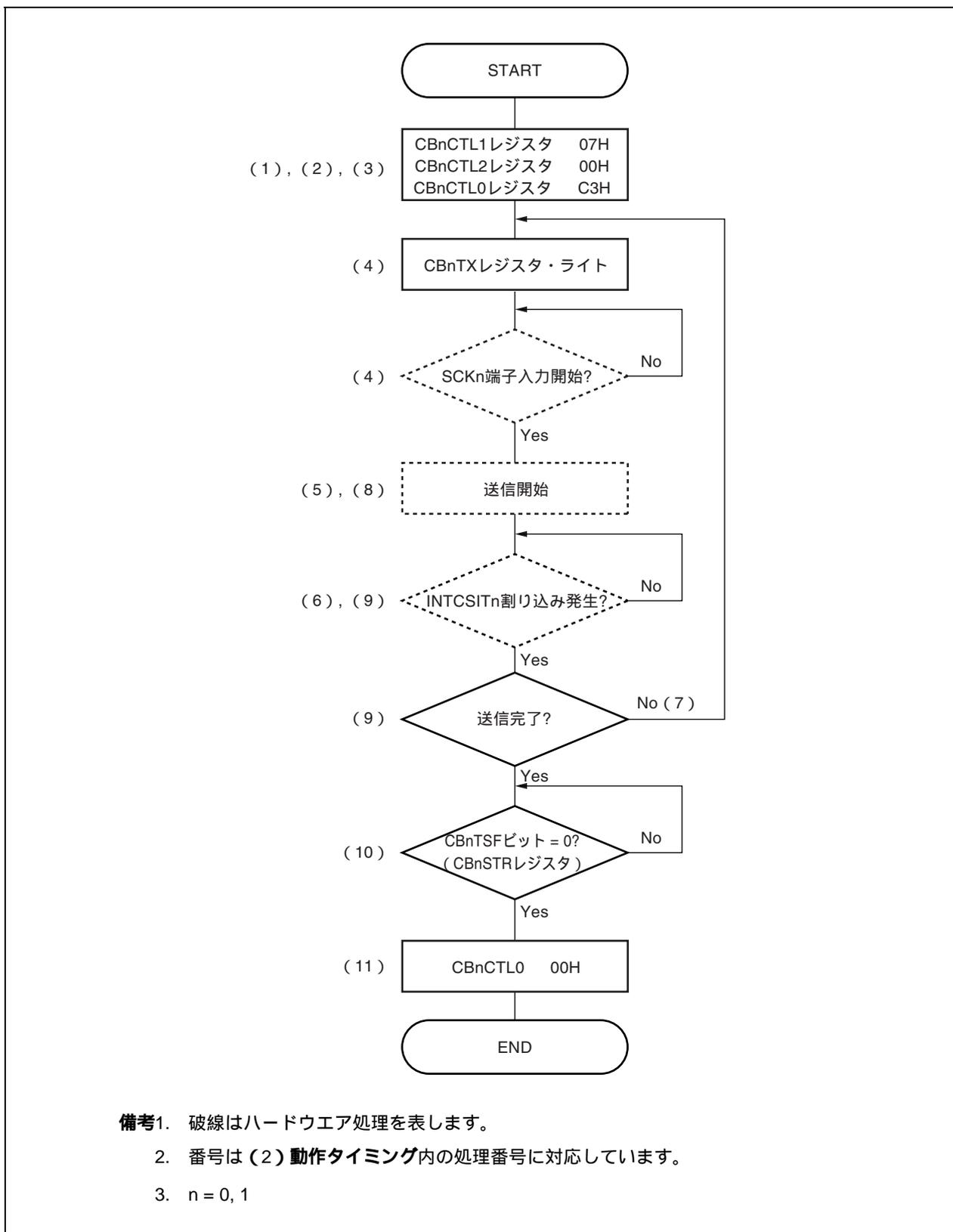
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCSITn信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、SCKn端子へのシリアル・クロック出力を停止し、CBnTSFビットをクリア(0)する。
- (13) 受信エラー割り込み要求信号(INTCSIERn)発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

17.5.10 連続転送モード (スレーブ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{cCLK}) = 外部クロック(SCK_n) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー

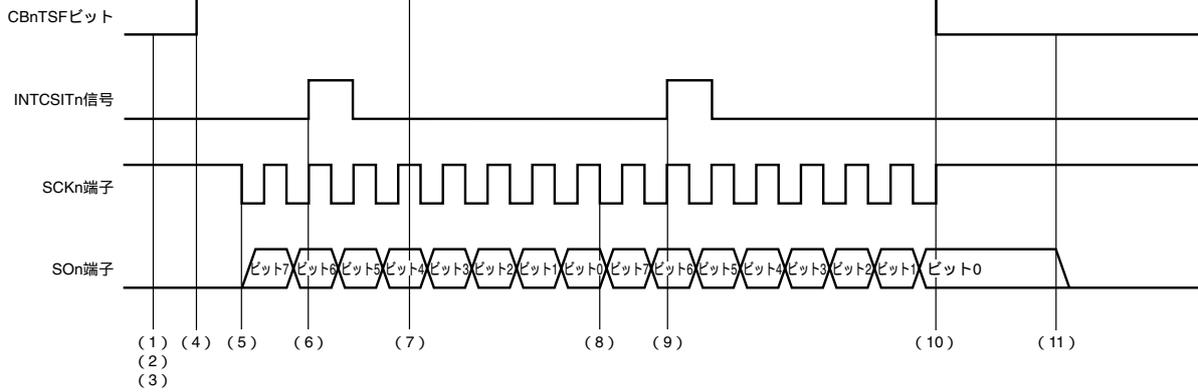


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. n = 0, 1

(2) 動作タイミング



- (1) CBnCTL1レジスタに07Hをライトし,通信タイプ1,通信クロック(f_{CCLK}) = 外部クロック(SCKn),スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし,転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし,通信クロック(f_{CCLK})を動作許可状態にすると同時に,送信モード,MSBファースト,連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで,CBnSTR.CBnTSFビットがセット(1)され,シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると,シリアル・クロックに同期してSOn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し,CBnTXレジスタへのライトが可能になると,送信許可割り込み要求信号(INTCSITn)が発生する。
- (7) 続けて送信を行う場合は,INTCSITn信号発生後,再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると,連続送信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し,CBnTXレジスタへのライトが可能になるとINTCSITn信号が発生する。現送信で連続送信を完了する場合は,CBnTXレジスタへのライトを行わない。
- (10) CBnTXレジスタへライトされていない状態で,CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると,CBnTSFビットをクリア(0)し,送信を終了する。
- (11) 送信許可状態を解除する場合は,CBnTSFビット = 0を確認後,CBnCTL0.CBnPWRビット = 0,CBnCTL0.CBnTXEビット = 0をライトする。

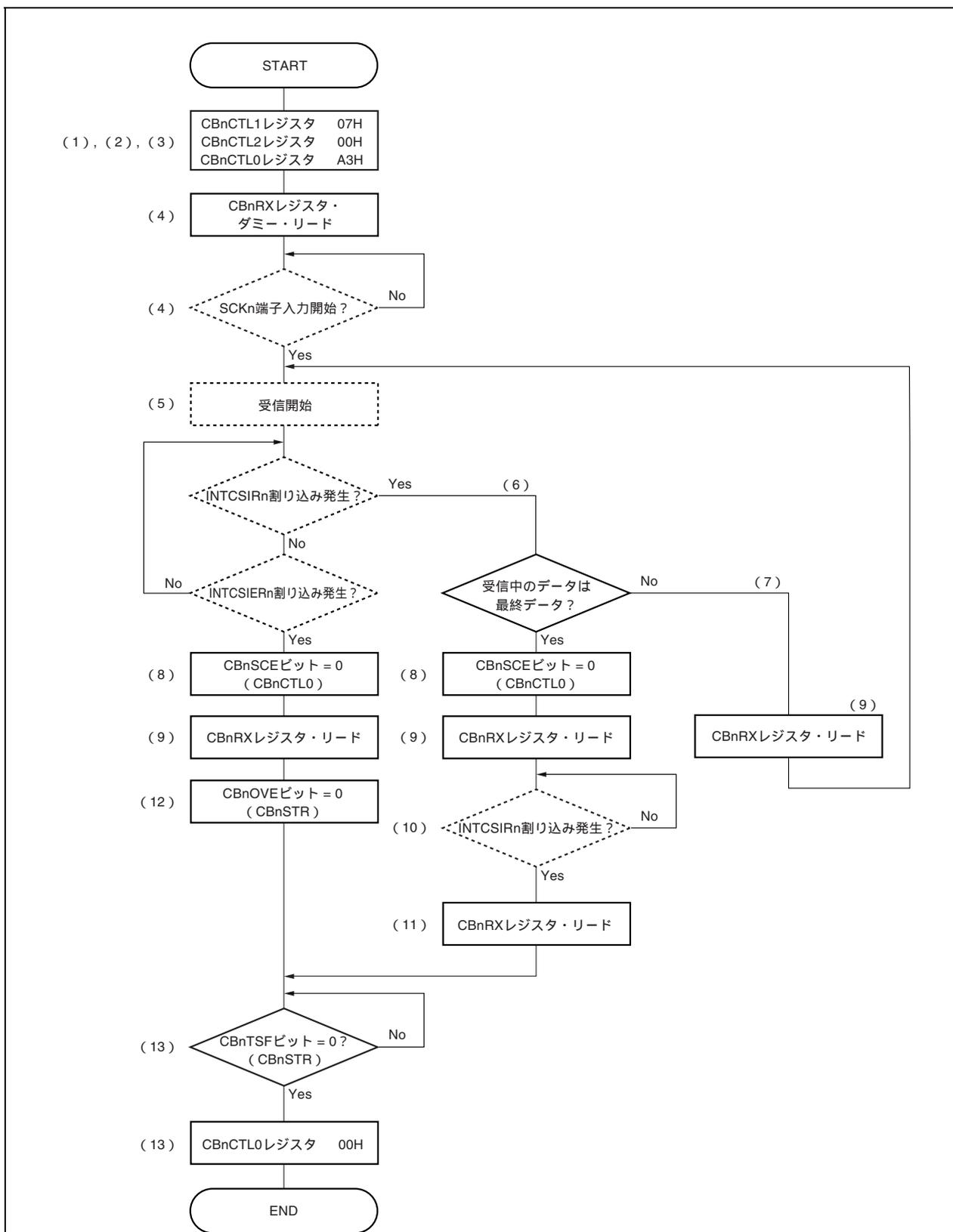
注意 連続送信モードでは,受信完了割り込み要求信号(INTCSIRn)は発生しません。

備考 n = 0, 1

17.5.11 連続転送モード (スレーブ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = 外部クロック (SCK_n) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー

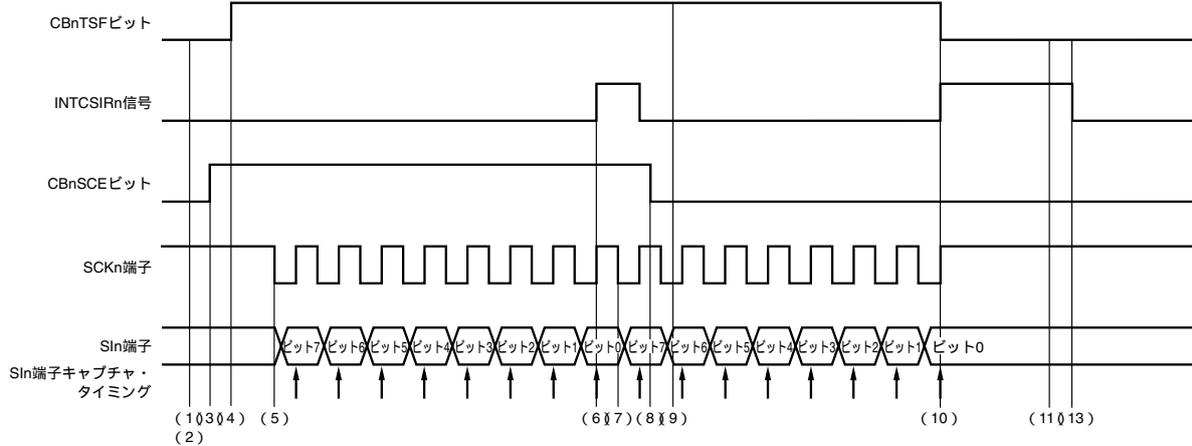


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. n = 0, 1

(2) 動作タイミング



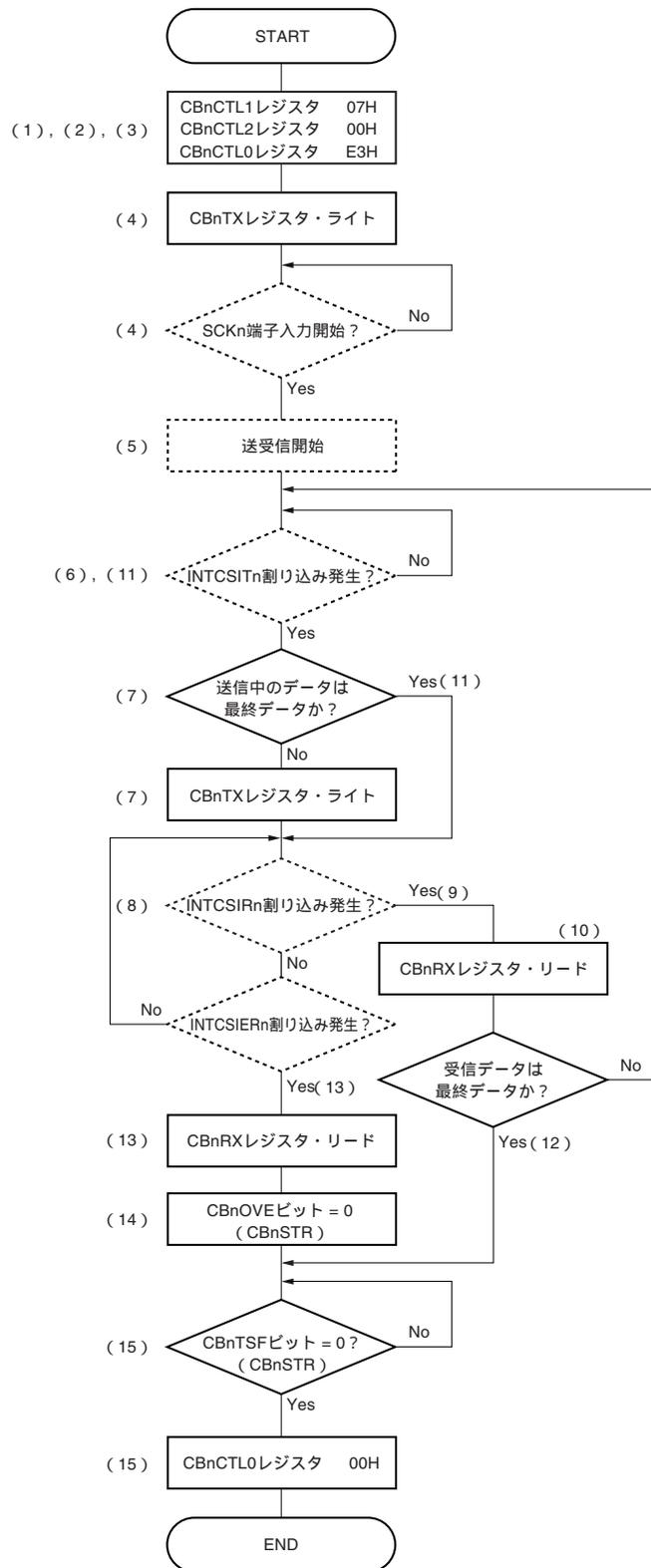
- (1) CBnCTL1レジスタに07Hをライトし,通信タイプ1,通信クロック(f_{cCLK}) = 外部クロック(SCKn),スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし,転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし,通信クロック(f_{cCLK})を動作許可状態にすると同時に,受信モード,MSBファースト,連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで,CBnSTR.CBnTSFビットがセット(1)され,シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると,シリアル・クロックに同期してSIn端子の受信データをキャプチャする。
- (6) 受信が完了すると,受信完了割り込み要求信号(INTCSIRn)が発生し,CBnRXレジスタのリードが可能になる。
- (7) CBnCTL0.CBnSCEビット = 1状態でシリアル・クロックが入力されると,連続して受信動作を開始する。
- (8) 現受信で連続受信を完了する場合は,CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると,INTCSIRn信号が発生し,CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると,CBnTSFビットをクリア(0)し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は,CBnSTR.CBnOVEビット = 0をライトして,エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は,CBnTSFビット = 0を確認後,CBnCTL0.CBnPWRビット = 0,CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

17.5.12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CCLK}) = 外部クロック(SCK_n) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

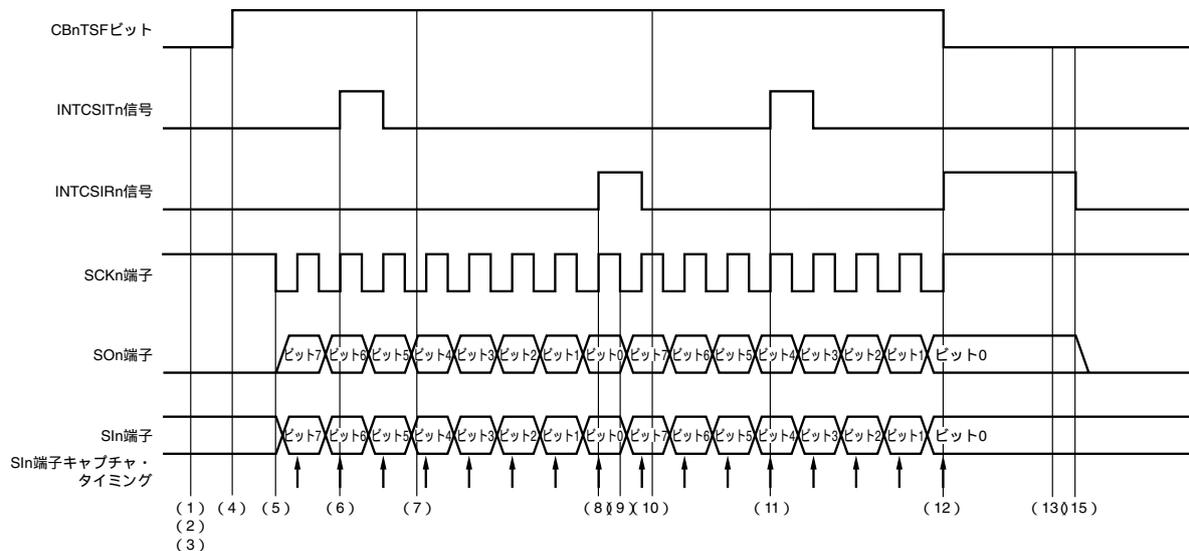
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. n = 0, 1

(2) 動作タイミング

(1/2)



- (1) CBnCTL1レジスタに07Hをライトし,通信タイプ1,通信クロック(f_{CLK}) = 外部クロック(SCKn),スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし,転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし,通信クロック(f_{CLK})を動作許可状態にすると同時に,送受信モード,MSBファースト,連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで,CBnSTR.CBnTSFビットがセット(1)され,シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると,シリアル・クロックに同期してSOn端子に送信データを出力し,SIn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し,CBnTXレジスタへのライトが可能になると,送信許可割り込み要求信号(INTCSITn)が発生する。
- (7) 続けて送信を行う場合は,INTCSITn信号発生後,再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると,受信完了割り込み要求信号(INTCSIRn)を発生し,CBnRXレジスタのリードが可能になる。
- (9) 続けてシリアル・クロックが入力されると,連続送受信を開始する。
- (10) CBnRXレジスタをリードする。
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し,CBnTXレジスタへのライトが可能になるとINTCSITn信号が発生する。現送受信で連続送受信を完了する場合は,CBnTXレジスタへのライトを行わない。

備考 n = 0, 1

- (12) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCSIRn信号が発生し、CBnTSFビットをクリア(0)し、送受信を終了する。
- (13) 受信エラー割り込み要求信号 (INTCSIERn) 発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

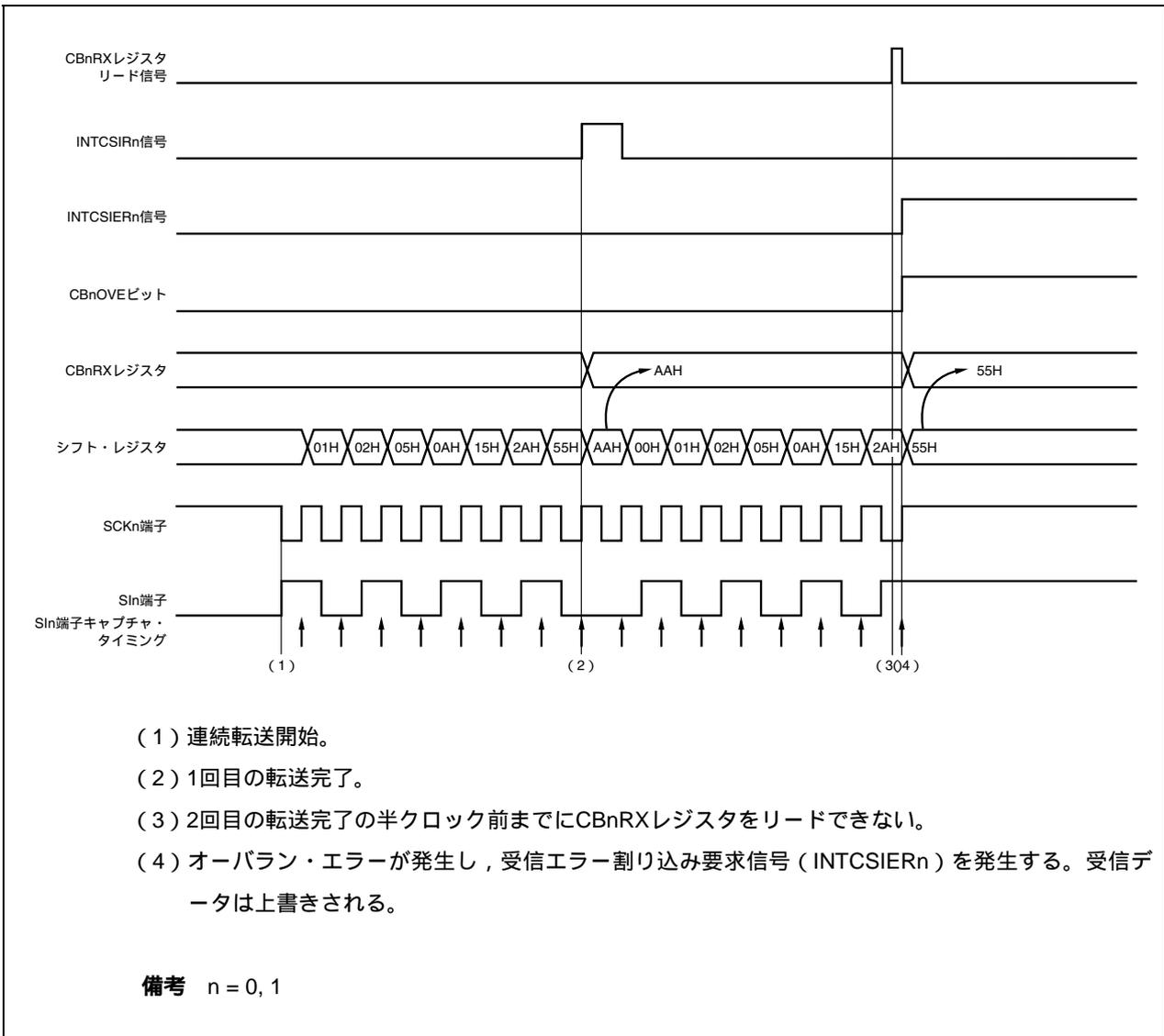
17.5.13 受信エラー

連続転送モード時に受信許可 (CBnCTL0.CBnRXEビット = 1) で転送を行う場合、受信完了割り込み要求信号 (INTCSIRn) 発生後、CBnRXレジスタをリードする前に次の受信動作が完了すると受信エラー割り込み要求信号 (INTCSIERn) が発生し、オーバーラン・エラー・フラグ (CBnSTR.CBnOVE) がセット (1) されます。

オーバーラン・エラーが発生した場合でも、CBnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCBnRXレジスタをリードしないと、次の受信完了で再びINTCSIERn信号が発生します。

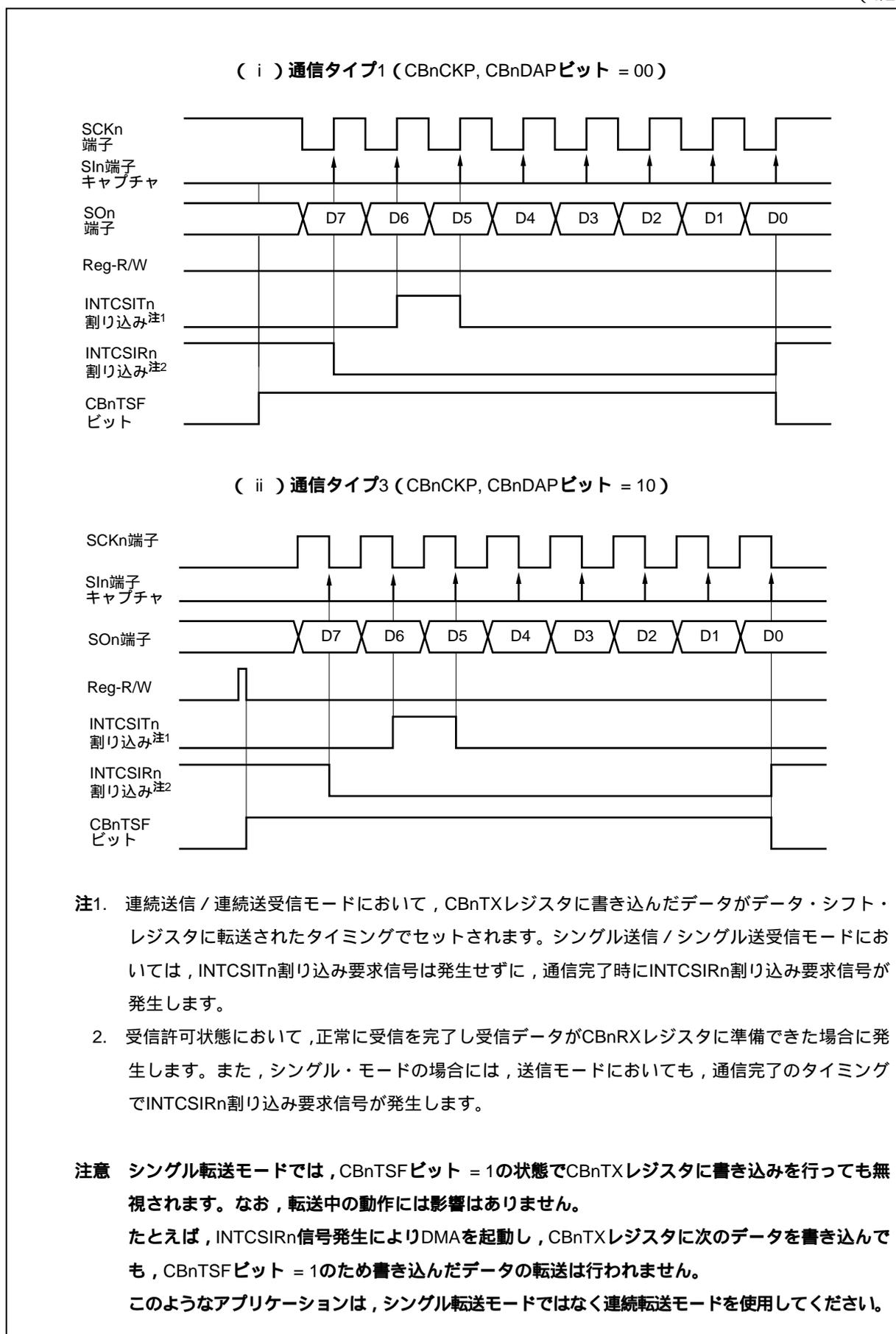
オーバーラン・エラーを回避するためには、INTCSIRn信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までにCBnRXレジスタのリードを完了してください。

(1) 動作タイミング

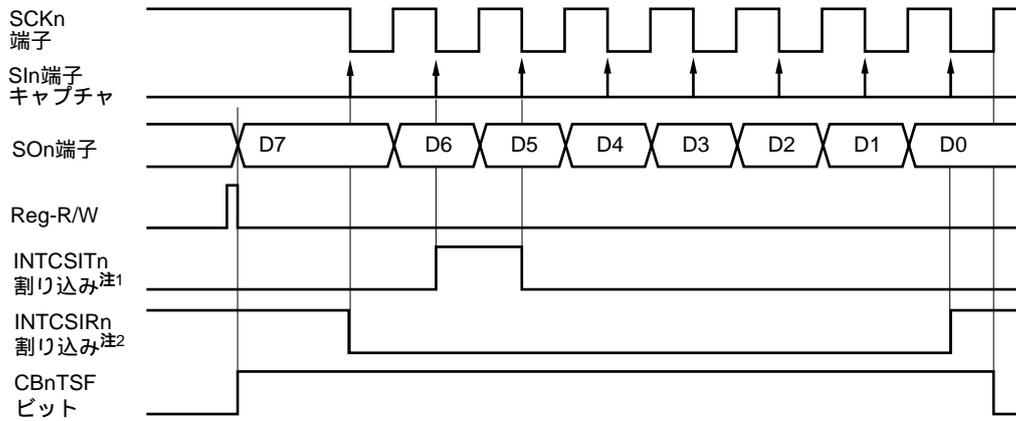


17.5.14 クロック・タイミング

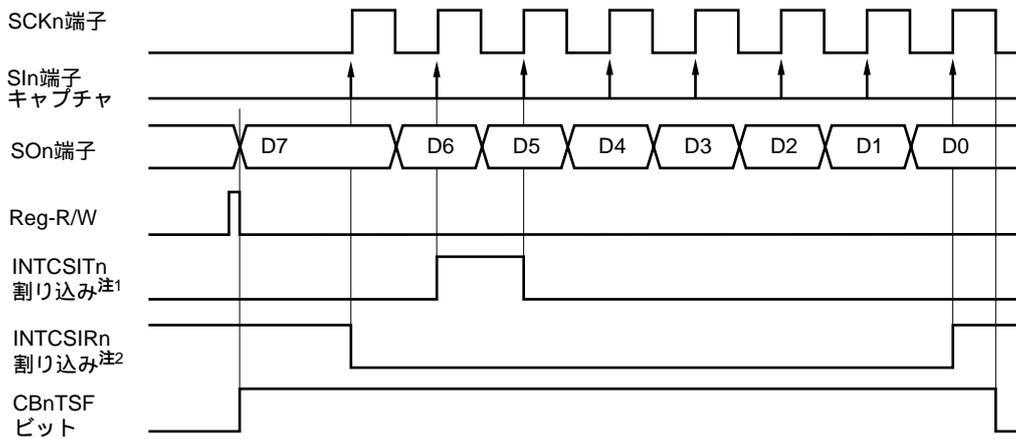
(1/2)



(iii) 通信タイプ2 (CBnCKP, CBnDAPビット = 01)



(iv) 通信タイプ4 (CBnCKP, CBnDAPビット = 11)



注1. 連続送信/連続送受信モードにおいて、CBnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信/シングル送受信モードにおいては、INTCSITn割り込み要求信号は発生せずに、通信完了時にINTCSIRn割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を完了し受信データがCBnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCSIRn割り込み要求信号が発生します。

注意 シングル転送モードでは、CBnTSFビット = 1の状態ではCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCSIRn信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

17.6 出力端子

(1) SCKn端子

CSIBn動作禁止 (CBnCTL0.CBnPWRビット = 0) のとき, SCKn端子出力状態は次のようになります。

CBnCKP	CBnCKS2	CBnCKS1	CBnCKS0	SCKn端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考 CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えるとSCKn端子の出力が変化します。

(2) SOn端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき, SOn端子出力状態は次のようになります。

CBnTXE	CBnDAP	CBnDIR	SOn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOnラッチの値 (ロウ・レベル)
	1	0	CBnTXの値 (MSB)
		1	CBnTXの値 (LSB)

備考1. CBnCTL0.CBnTXE, CBnDIRビット, CBnCTL1.CBnDAPビットのいずれかを書き換えるとSOn端子の出力が変化します。

2. x: 任意

第18章 I²Cバス

この機能を使用する場合は、P33/SDA, P34/SCL端子をSDA, SCL端子に設定してください。設定すると、自動的に擬似オープン・ドレイン出力（P-ch側が常にオフ）になります。

V850E/MA3は、I²Cバスを1チャンネル搭載しています。

18.1 UARTA3とI²Cのモード切り替え

V850E/MA3では, UARTA3とI²Cは端子が兼用になっており, 同時に使用することはできません。UARTA3とI²Cの切り替えは, あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

注意 UARTA3またはI²Cにおいて, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図18 - 1 UARTA3とI²Cのモード切り替え設定

リセット時: 00H R/W アドレス: FFFFF446H								
7	6	5	4	3	2	1	0	
PMC3	PMC37	0	0	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時: 00H R/W アドレス: FFFFF466H								
7	6	5	4	3	2	1	0	
PFC3	0	0	0	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時: 00H R/W アドレス: FFFFF706H								
7	6	5	4	3	2	1	0	
PFCE3	0	0	0	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30

PMC34	PFCE34	PFC34	P34端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	RXD3入力
1	1	0	SCL ^注 入出力

PMC33	PFCE33	PFC33	P33端子の兼用機能の指定
0	x	x	入出力ポート
1	0	1	TXD3出力
1	1	0	SDA ^注 入出力

注 SDA, SCL端子として使用する場合, 端子は擬似オープン・ドレーン出力 (P-ch側が常にオフ) になります。

備考 x = don't care

18.2 特 徴

I²Cには、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

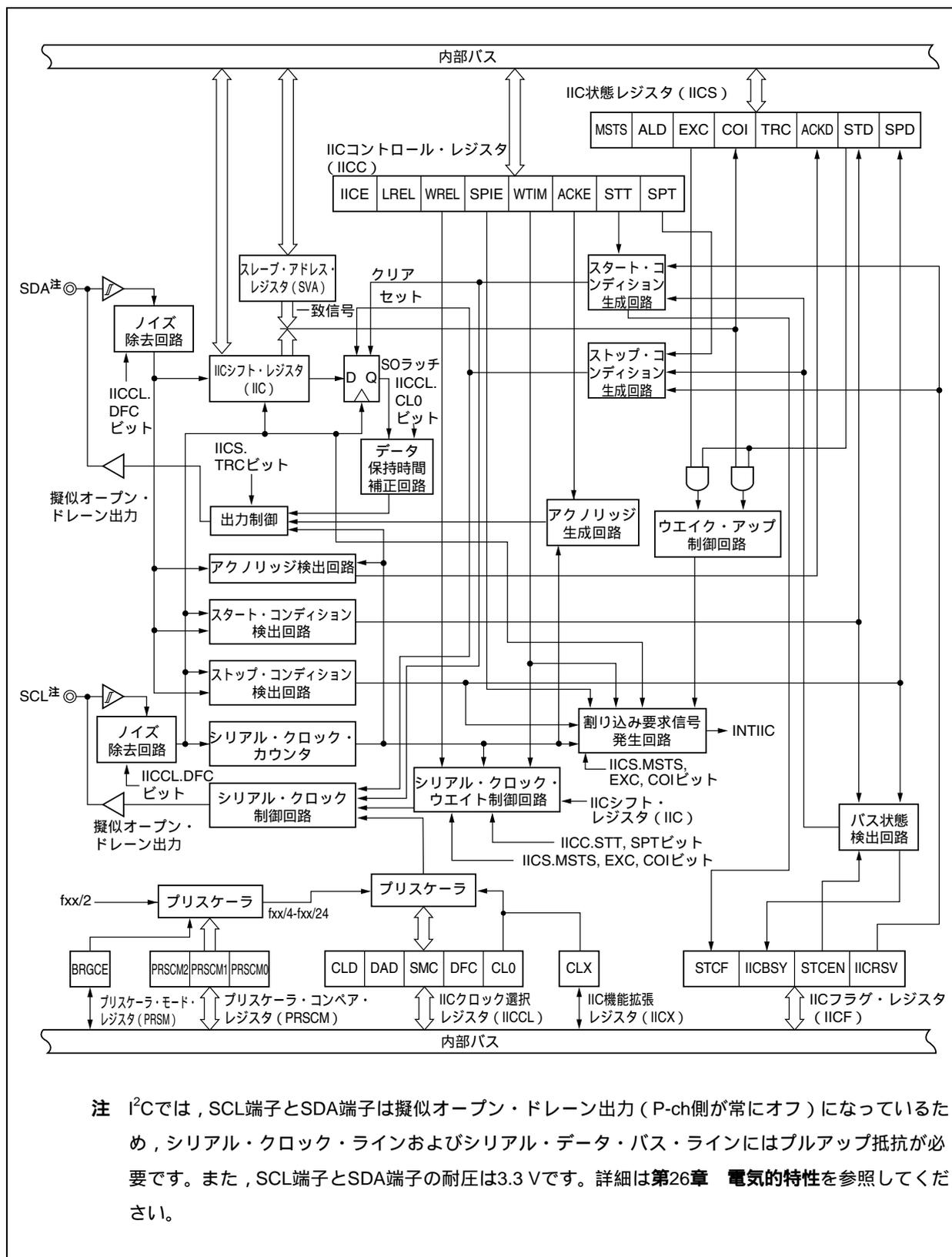
(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL) とシリアル・データ・バス (SDA) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

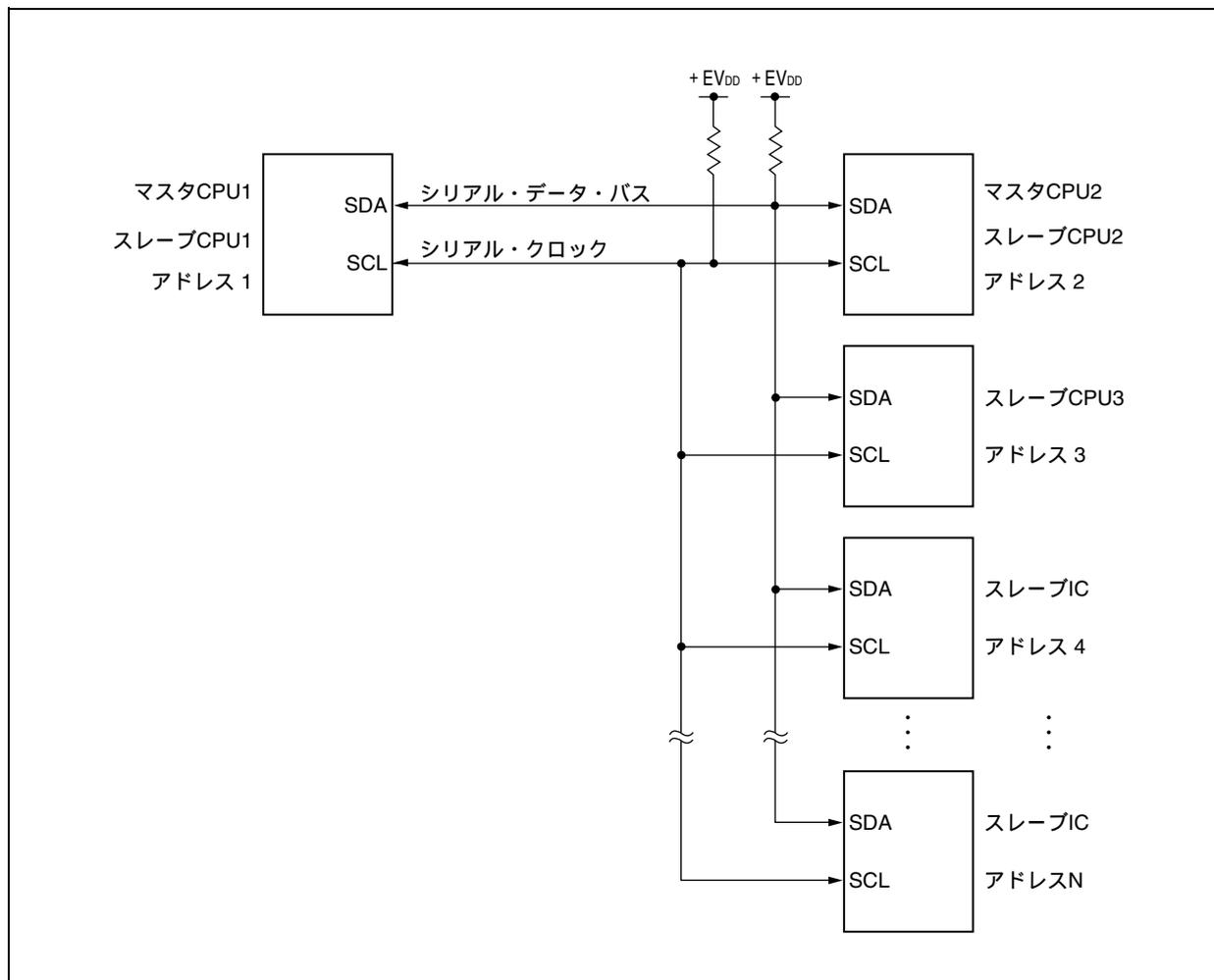
I²Cでは、SCL端子とSDA端子は擬似オープン・ドレーン出力 (P-ch側が常にオフ) になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。また、SCL端子とSDA端子の耐圧は3.3 Vです。詳細は第26章 **電気的特性**を参照してください。

図18-2 I²Cのブロック図



次にシリアル・バス構成例を示します。

図18 - 3 I²Cバスによるシリアル・バス構成例



18.3 構成

I²Cは、次のハードウェアで構成されています。

表18 - 1 I²Cの構成

項 目	構 成
レジスタ	IICシフト・レジスタ (IIC) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	IICコントロール・レジスタ (IICC) IIC状態レジスタ (IICS) IICフラグ・レジスタ (IICCF) IICクロック選択レジスタ (IICCL) IIC機能拡張レジスタ (IICX) プリスケアラ・モード・レジスタ (PRSM) プリスケアラ・コンペア・レジスタ (PRSCM)

(1) IICシフト・レジスタ (IIC)

IICレジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICレジスタは送信および受信の両方に使用されます。

IICレジスタに対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタ (SVA)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは、SDA端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

SVAレジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に、割り込み要求信号 (INTIIC) を発生させる回路です。

(5) プリスケアラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIIC) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・ シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICC.WTIMビットで設定)
- ・ ストップ・コンディション検出による割り込み発生 (IICC.SPIEビットで設定)

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

IICC.STTビットがセットされるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICF.IICRSVビット = 1) で、かつバスが解放されていない (IICF.IICBSYビット = 1) 場合には、スタート・コンディション要求は無視し、IICF.STCFビットをセット (1) します。

(13) ストップ・コンディション生成回路

IICC.SPTビットがセットされるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、IICF.STCENビットにより、バス状態検出回路の初期状態を設定してください。

18.4 レジスタ

I²Cは、次のレジスタで制御します。

- ・ IICコントロール・レジスタ (IICC)
- ・ IIC状態レジスタ (IICS)
- ・ IICフラグ・レジスタ (IICF)
- ・ IICクロック選択レジスタ (IICCL)
- ・ IIC機能拡張レジスタ (IICX)
- ・ プリスケアラ・モード・レジスタ (PRSM)
- ・ プリスケアラ・コンペア・レジスタ (PRSCM)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ (IIC)
- ・ スレーブ・アドレス・レジスタ (SVA)

備考 兼用端子の設定は表4 - 19 **ポート端子を兼用端子として使用する場合**を参照してください。

(1) IICコントロール・レジスタ (IICC)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。ただし, SPIE, WTIM, ACKEビットは, IICEビット = 0のとき, またはウェイト期間中に設定してください。IICEビットを“0”から“1”に設定するときに, 同時にこれらのビットを設定できます。

リセットにより00Hになります。

(1/4)

リセット時: 00H R/W アドレス: FFFFFFFD82H

	⑦	⑥	⑤	④	③	②	①	①
IICC	IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT

IICE	I ² C動作許可/禁止の指定
0	動作停止。IICSレジスタをリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットをセット(1)するときは, 必ずSCL, SDAラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICEビット = 0)	セットされる条件 (IICEビット = 1)
・命令によるクリア ・リセット時	・命令によるセット

LREL ^{注2}	通信退避
0	通常動作。
1	現在行っている通信から退避し, 待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL, SDAラインはハイ・インピーダンス状態になる。 STT, SPTビット, IICS.MSTS, EXC, COI, TRC, ACKD, STDビットがクリア(0)される。
次の通信参加条件が満たされるまでは, 通信から退避した待機状態となる。 ストップ・コンディション検出後, マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELビット = 0)	セットされる条件 (LRELビット = 1)
・実行後, 自動的にクリア ・リセット時	・命令によるセット

注1. リセットされるのはIICSレジスタ, IICF.STCF, IICBSYビット, IICCL.CLD, DADビットです。

2. IICEビット = 0により, このフラグの信号を無効にします。

注意 SCLラインがハイ・レベル, SDAラインがロウ・レベルの状態, I²Cを動作許可 (IICEビット = 1) した場合, 直後にスタート・コンディションを検出してしまいます。I²Cを動作許可 (IICEビット = 1) したあと, 表18 - 2で示すウェイト時間後にビット操作命令によりLRELビットをセット(1)してください。

WREL ^注	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリア(0)される。	
クリアされる条件 (WRELビット = 0)		セットされる条件 (WRELビット = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

SPIE ^注	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEビット = 0)		セットされる条件 (SPIEビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

WTIM ^注	ウェイトおよび割り込み要求発生制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりウェイトに入ります。		
クリアされる条件 (WTIMビット = 0)		セットされる条件 (WTIMビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

ACKE ^注	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAラインをロウ・レベルにする。	
スレーブでアドレス受信のときは、ACKEビットの設定は無効です。この場合、アドレスが一致したときはアクノリッジを生成します。 ただし、拡張コードを受信するときは、ACKEビットの設定は有効になります。拡張コードを受信するシステムでは、ACKEビットの設定をしてください。		
クリアされる条件 (ACKEビット = 0)		セットされる条件 (ACKEビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICEビット = 0により、このフラグの信号を無効にします。

STT	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（ストップ状態）： スタート・コンディションを生成する（マスタとしての起動）。SCLラインがハイ・レベルの状態 でSDAラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成 する。そのあと、規格の時間を確保し、SCLラインをロウ・レベルにする（ウエイト状態）。</p> <p>第三者が通信中のとき： ・通信予約機能許可の場合（IICF.IICRSVビット = 0） スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放さ れたあと、自動的にスタート・コンディションを生成する。</p> <p>・通信予約機能禁止の場合（IICRSVビット = 1） IICF.STCFビットをセット（1）し、STTビットにセット（1）した情報をクリアする。ス タート・コンディションは生成しない。</p> <p>ウエイト状態（マスタ時）： ウエイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEビット = 0に設定し、受信の最後であることを スレーブに伝えたあとにだけセット（1）可能です。</p> <p>マスタ送信の場合：アクリッジ期間中は、正常にスタート・コンディションが生成されないことがありま す。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <p>・SPTビットと同時にセット（1）することは禁止です。 ・STTビットをセット（1）後、クリア（0）される前に、再度セット（1）することは禁止です。</p>	
クリアされる条件（STTビット = 0）	セットされる条件（STTビット = 1）
<ul style="list-style-type: none"> ・通信予約禁止状態でのSTTビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成によるク リア ・LRELビット = 1（通信退避）によるクリア ・IICEビット = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

備考 STTビットは、データ設定後に読み出すと0になっています。

SPT	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAラインをロウ・レベルにしたあと、SCLラインをハイ・レベルにするか、またはSCL端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> ・STTビットと同時にセット（1）することは禁止です。 ・SPTビットのセット（1）は、マスタのときのみ行ってください^注。 ・WTIMビット = 0設定時に、8クロック出力後のウエイト期間中にSPTビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMビット = 0 1にセットし、9クロック目出力後のウエイト期間中にSPTビットをセット（1）してください。 ・SPTビットをセット（1）後、クリア（0）される前に、再度セット（1）することは禁止です。 					
<table border="1"> <thead> <tr> <th>クリアされる条件（SPTビット = 0）</th> <th>セットされる条件（SPTビット = 1）</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELビット = 1（通信退避）によるクリア ・IICEビット = 0（動作停止）のとき ・リセット時 </td> <td> <ul style="list-style-type: none"> ・命令によるセット </td> </tr> </tbody> </table>		クリアされる条件（SPTビット = 0）	セットされる条件（SPTビット = 1）	<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELビット = 1（通信退避）によるクリア ・IICEビット = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット
クリアされる条件（SPTビット = 0）	セットされる条件（SPTビット = 1）				
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELビット = 1（通信退避）によるクリア ・IICEビット = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット 				

注 SPTビットのセット（1）は、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPTビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、18.15 **注意事項**を参照してください。

注意 IICS.TRCビット = 1のとき、9クロック目にWRELビットをセット（1）してウエイト解除すると、TRCビットをクリア（0）してSDAラインをハイ・インピーダンスにします。

備考 SPTビットは、データ設定後に読み出すと0になっています。

ウェイト時間は、表18 - 2に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICCL.SMC, CL0ビット, IICX.CLXビット, PRSCM.PRSCM2-PRSCM0ビットの組み合わせにより、設定できます。

表18 - 2 ウェイト時間

IICX ビット0 CLX	IICCL		PRSCM レジスタ	分周 クロック	ウェイト時間
	ビット3 SMC	ビット0 CL0			
	0	0			
0	0	0	02H	f _{xx} /8	24クロック
0	0	0	03H	f _{xx} /12	36クロック
0	0	0	04H	f _{xx} /16	48クロック
0	0	0	05H	f _{xx} /20	60クロック
0	0	0	06H	f _{xx} /24	72クロック
0	0	1	01H	f _{xx} /4	12クロック
0	0	1	02H	f _{xx} /8	24クロック
0	0	1	03H	f _{xx} /12	36クロック
0	0	1	04H	f _{xx} /16	48クロック
0	1	x	01H	f _{xx} /4	12クロック
0	1	x	02H	f _{xx} /8	24クロック
0	1	x	03H	f _{xx} /12	36クロック
0	1	x	04H	f _{xx} /16	48クロック
0	1	x	05H	f _{xx} /20	60クロック
1	1	x	01H	f _{xx} /4	12クロック
1	1	x	02H	f _{xx} /8	24クロック
1	1	x	03H	f _{xx} /12	36クロック
1	1	x	04H	f _{xx} /16	48クロック
1	1	x	05H	f _{xx} /20	60クロック
上記以外				設定禁止	

備考 x : Don't care

(2) IIC状態レジスタ (IICS)

I²Cのステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です。ただし、IICSレジスタはIICC.STTビット = 1のとき、またはウェイト期間中だけリード可能です。

リセットにより00Hになります。

(1/3)

リセット時：00H R アドレス：FFFFFFD86H

	⑦	⑥	⑤	④	③	②	①	①
IICS	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD

MSTS	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTSビット = 0)		セットされる条件 (MSTSビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALDビット = 1 (アービトレーション負け) のとき ・IICC.LRELビット = 1 (通信退避) によるクリア ・IICC.IICEビット = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSビットがクリア (0) される。	
クリアされる条件 (ALDビット = 0)		セットされる条件 (ALDビット = 1)
<ul style="list-style-type: none"> ・IICSレジスタ読み出し後、自動的にクリア^注 ・IICEビット = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

EXC	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXCビット = 0)		セットされる条件 (EXCビット = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELビット = 1 (通信退避) によるクリア ・IICEビット = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが “0000” または “1111” のとき (8クロック目の立ち上がりでセット)

注 IICSレジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

COI	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COIビット = 0)	セットされる条件 (COIビット = 1)
	<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELビット = 1 (通信退避) によるクリア ・IICEビット = 1 0 (動作停止) のとき ・リセット時 	受信アドレスが自局アドレス (SVAレジスタ) と一致したとき (8クロック目の立ち上がりでセット)

TRC	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAラインをハイ・インピーダンスにする。	
1	送信状態。SDAラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
	クリアされる条件 (TRCビット = 0)	セットされる条件 (TRCビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELビット = 1 (通信退避) によるクリア ・IICEビット = 1 0 (動作停止) のとき ・IICC.WRELビット = 1 (ウエイト解除) によるクリア^注 ・ALDビット = 0 1 (アービトレーション負け) のとき ・リセット時 マスタの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・スタート・コンディション検出時 通信不参加の場合	マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき

ACKD	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKDビット = 0)	セットされる条件 (ACKDビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELビット = 1 (通信退避) によるクリア ・IICEビット = 1 0 (動作停止) のとき ・リセット時 	SCL端子の9クロック目の立ち上がり時にSDA端子がロウ・レベルであったとき

注 IICS.TRCSビット = 1のとき, 9クロック目にIICC.WRELビットをセット (1) してウエイトを解除すると, TRCSビットをクリア (0) してSDAラインをハイ・インピーダンスにします。

STD	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STDビット = 0)	セットされる条件 (STDビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELビット = 1 (通信退避) によるクリア ・IICEビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPDビット = 0)	セットされる条件 (SPDビット = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

(3) IICフラグ・レジスタ (IICF)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、STCF, IICBSYビットはリードのみ可能です。

IICRSVビットにより通信予約機能の禁止/許可を設定します (18.14 通信予約参照)。

また、STCENビットにより、IICBSYビットの初期値を設定します (18.15 注意事項参照)。

IICRSV, STCENビットは、I²Cが動作禁止 (IICC.IICEビット = 0) のときのみ書き込み可能です。動作許可後、IICFレジスタは読み出し可能となります。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：FFFFFFD8AH

	⑦	⑥	5	4	3	2	①	①
IICF	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	IICC.STTクリア・フラグ
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTTフラグ・クリア
クリアされる条件 (STCFビット = 0)	
<ul style="list-style-type: none"> ・ IICC.STTビット = 1によるクリア ・ IICEビット = 0のとき ・ リセット時 	
セットされる条件 (STCFビット = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSVビット = 1) 設定時にスタート・コンディション発行できず, STTビットがクリア (0) されたとき 	

IICBSY	I ² Cバス状態フラグ
0	バス解放状態 (STCENビット = 1時の通信初期状態)
1	バス通信状態 (STCENビット = 0時の通信初期状態)
クリアされる条件 (IICBSYビット = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICEビット = 0のとき ・ リセット時 	
セットされる条件 (IICBSYビット = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCENビット = 0時のIICC.IICEビットのセット 	

STCEN	初期スタート許可トリガ
0	動作許可 (IICEビット = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成許可。
1	動作許可 (IICEビット = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成許可。
クリアされる条件 (STCENビット = 0)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCENビット = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSV	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止
クリアされる条件 (IICRSVビット = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSVビット = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はリード・オンリーです。

- 注意1. STCENビットへの書き込みは動作停止 (IICEビット = 0) 時のみ行ってください。
2. STCENビット = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSYビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STTビット = 1) する場合は他の通信を破壊しないように第3者の通信が行われていないことを確認する必要があります。
3. IICRSVビットへの書き込みは動作停止 (IICEビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ (IICCL)

I²Cの転送クロックを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CLD, DADビットはリードのみ可能です。SMC, CL0ビットの設定は、IICX.CLXビットとPRSCM.PRSCM2-PRSCM0ビットを組み合わせ設定します(18.4(8) I²Cの転送クロックの設定方法参照)。

IICCLレジスタは、IICC.IICEビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：FFFFFFD84H

	7	6	⑤	④	3	2	1	0
IICCL	0	0	CLD	DAD	SMC	DFC	0	CL0

CLD	SCL端子のレベル検出 (IICC.IICEビット = 1のときのみ有効)
0	SCL端子がロウ・レベルであることを検出
1	SCL端子がハイ・レベルであることを検出
クリアされる条件 (CLDビット = 0)	セットされる条件 (CLDビット = 1)
<ul style="list-style-type: none"> ・ SCL端子がロウ・レベルのとき ・ IICEビット = 0 (動作停止) のとき ・ リセット時 	<ul style="list-style-type: none"> ・ SCL端子がハイ・レベルのとき

DAD	SDA端子のレベル検出 (IICEビット = 1のときのみ有効)
0	SDA端子がロウ・レベルであることを検出
1	SDA端子がハイ・レベルであることを検出
クリアされる条件 (DADビット = 0)	セットされる条件 (DADビット = 1)
<ul style="list-style-type: none"> ・ SDA端子がロウ・レベルのとき ・ IICEビット = 0 (動作停止) のとき ・ リセット時 	<ul style="list-style-type: none"> ・ SDA端子がハイ・レベルのとき

SMC	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFC	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。 高速モード時はDFCビットのセット/クリアにより、転送クロックが変化することはありません。 デジタル・フィルタは、高速モード時にノイズ除去のために使用します。	

注 ビット4, ビット5はリード・オンリーです。

注意 ビット1, 6, 7には、必ず0を設定してください。

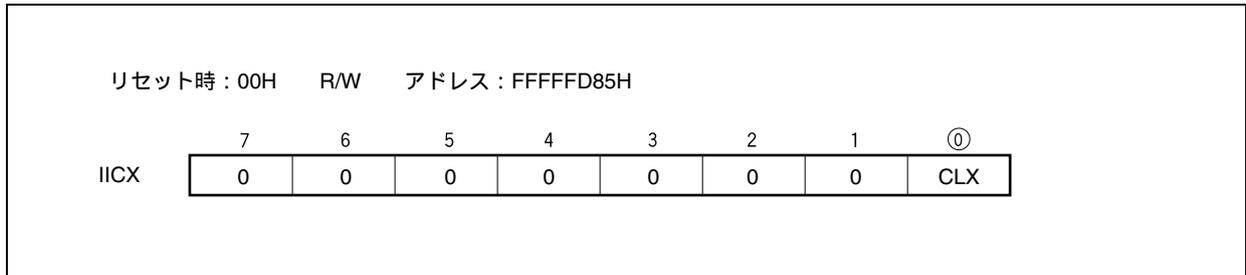
(5) IIC機能拡張レジスタ (IICX)

I²Cの機能拡張を設定するレジスタです (高速モード時のみ有効)。

8/1ビット単位でリード/ライト可能です。CLXビットの設定は、IICCL.SMC, CL0ビットとPRSCM.PRSCM2-PRSCM0ビットを組み合わせで設定します (18.4(8)I²Cの転送クロックの設定方法参照)。

IICXレジスタは、IICC.IICEビット = 0のときに設定してください。

リセットにより00Hになります。



(6) プリスケアラ・モード・レジスタ (PRSM)

I²Cのポー・レート信号の生成を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。



(7) プリスケアラ・コンペア・レジスタ (PRSCM)

I²Cの分周クロックを制御するレジスタです。

8ビット単位でリード/ライト可能です。PRSCM2-PRSCM0ビットの設定は、IICCL.SMC, CL0ビット, IICX.CLXビットを組み合わせで設定します (18.4 (8) I²Cの転送クロックの設定方法参照)。

PRSCMレジスタは、IICC.IICEビット = 0のときに設定してください。

リセットにより00Hなります。

リセット時: 00H R/W アドレス: FFFFFFFD91H

	7	6	5	4	3	2	1	0
PRSCM	0	0	0	0	0	PRSCM2	PRSCM1	PRSCM0

- 注意1. 送信動作中にPRSCMレジスタを書き換えないでください。
2. PRSM.BRGCEビットに“1”を設定する前にPRSCMレジスタの設定を行ってください。
3. ビット3-7には必ず0を設定してください。

(8) I²Cの転送クロックの設定方法

I²Cの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_r + t_f)$$

m = 48, 96, 144, 176, 192, 240, 288, 344, 352, 384, 480, 528, 688, 704, 880, 1032, 1056, 1376 (表 18-3 選択クロックの設定参照)

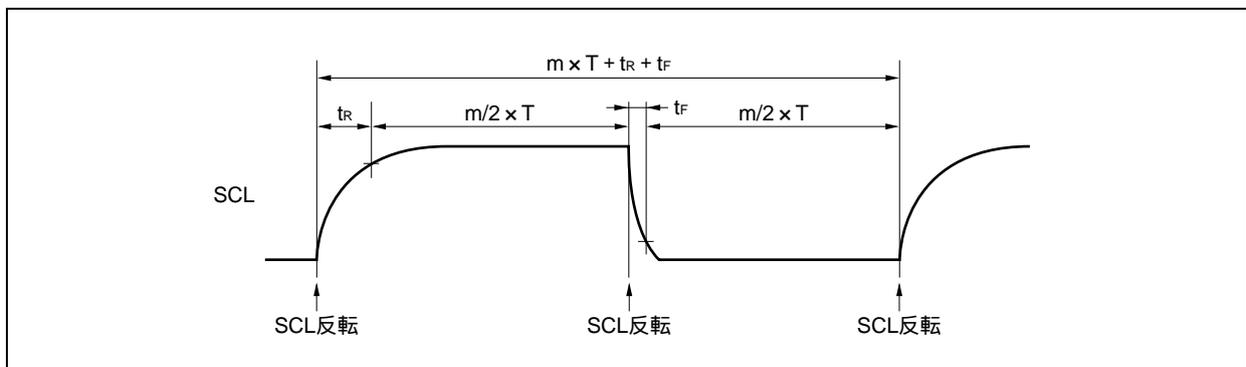
T : 1/f_{xx}

t_r : SCL立ち上がり時間

t_f : SCL立ち下がり時間

たとえば、f_{xx} = 80 MHz, m = 880, t_r = 200 ns, t_f = 50 nsの場合のI²Cの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (880 \times 12.5 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 88.9 \text{ kHz}$$



選択クロックは、IICCL.SMC, CL0ビット, IICX.CLXビット, PRSCM.PRSCM2-PRSCM0ビットを組み合わせで設定します。

表18 - 3 選択クロックの設定

IICX	IICCL		PRSCM レジスタ	分周 クロック	転送クロック (f _{xx} /m)	設定可能な 周辺クロック 周波数 (f _{xx}) の範囲	動作モード	
	ビット0	ビット3						ビット0
	CLX	SMC						CL0
0	0	0	01H	f _{xx} /4	f _{xx} /176	10.00 MHz ~ 16.76 MHz	標準モード (SMCビット = 0)	
0	0	0	02H	f _{xx} /8	f _{xx} /352	20.00 MHz ~ 33.52 MHz		
0	0	0	03H	f _{xx} /12	f _{xx} /528	24.00 MHz ~ 50.28 MHz		
0	0	0	04H	f _{xx} /16	f _{xx} /704	32.00 MHz ~ 67.04 MHz		
0	0	0	05H	f _{xx} /20	f _{xx} /880	40.00 MHz ~ 80.00 MHz		
0	0	0	06H	f _{xx} /24	f _{xx} /1056	48.00 MHz ~ 80.00 MHz		
0	0	1	01H	f _{xx} /4	f _{xx} /344	16.76 MHz ~ 33.52 MHz		
0	0	1	02H	f _{xx} /8	f _{xx} /688	33.52 MHz ~ 67.04 MHz		
0	0	1	03H	f _{xx} /12	f _{xx} /1032	50.28 MHz ~ 80.00 MHz		
0	0	1	04H	f _{xx} /16	f _{xx} /1376	67.04 MHz ~ 80.00 MHz		
0	1	x	01H	f _{xx} /4	f _{xx} /96	16.00 MHz ~ 33.52 MHz	高速モード (SMCビット = 1)	
0	1	x	02H	f _{xx} /8	f _{xx} /192	32.00 MHz ~ 67.04 MHz		
0	1	x	03H	f _{xx} /12	f _{xx} /288	48.00 MHz ~ 80.00 MHz		
0	1	x	04H	f _{xx} /16	f _{xx} /384	64.00 MHz ~ 80.00 MHz		
0	1	x	05H	f _{xx} /20	f _{xx} /480	80.00 MHz ~ 80.00 MHz		
1	1	x	01H	f _{xx} /4	f _{xx} /48	16.00 MHz ~ 16.76 MHz		
1	1	x	02H	f _{xx} /8	f _{xx} /96	32.00 MHz ~ 33.52 MHz		
1	1	x	03H	f _{xx} /12	f _{xx} /144	48.00 MHz ~ 50.28 MHz		
1	1	x	04H	f _{xx} /16	f _{xx} /192	64.00 MHz ~ 67.04 MHz		
1	1	x	05H	f _{xx} /20	f _{xx} /240	80.00 MHz ~ 80.00 MHz		
上記以外				設定禁止				

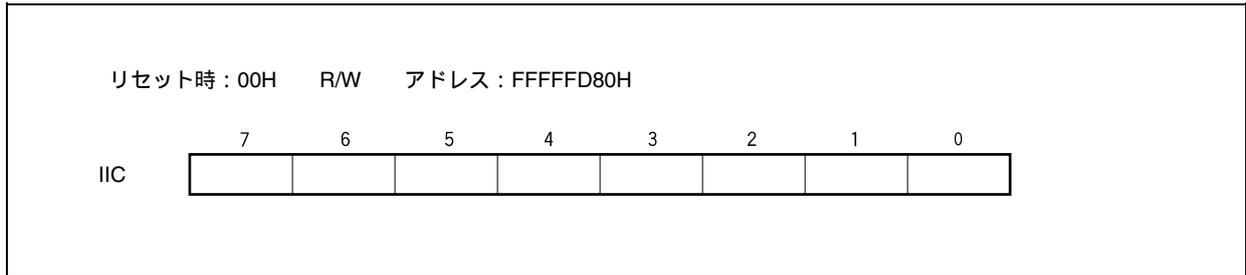
備考 x : Don't care

(9) IICシフト・レジスタ (IIC)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIICレジスタへデータを書き込まないでください。

IICレジスタには、ウエイト期間中にだけアクセス(リード/ライト)してください。ウエイト期間中を除く通信状態でのIICレジスタのアクセスは禁止です。ただし、マスタになる場合は、送信トリガ・ビット(IICC.STT)をセット(1)したあと、1回ライトできます。

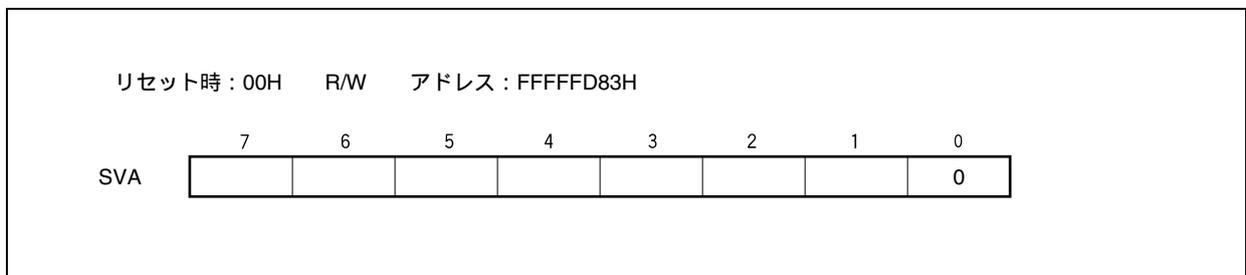
ウエイト期間中のIICレジスタへの書き込みにより、ウエイトを解除しデータ転送を開始します。リセットにより00Hになります。

**(10) スレーブ・アドレス・レジスタ (SVA)**

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。ただし、IICS.STDビット = 1(スタート・コンディション検出)のときの書き換えは禁止です。

8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。

リセットにより00Hになります。



18.5 機能

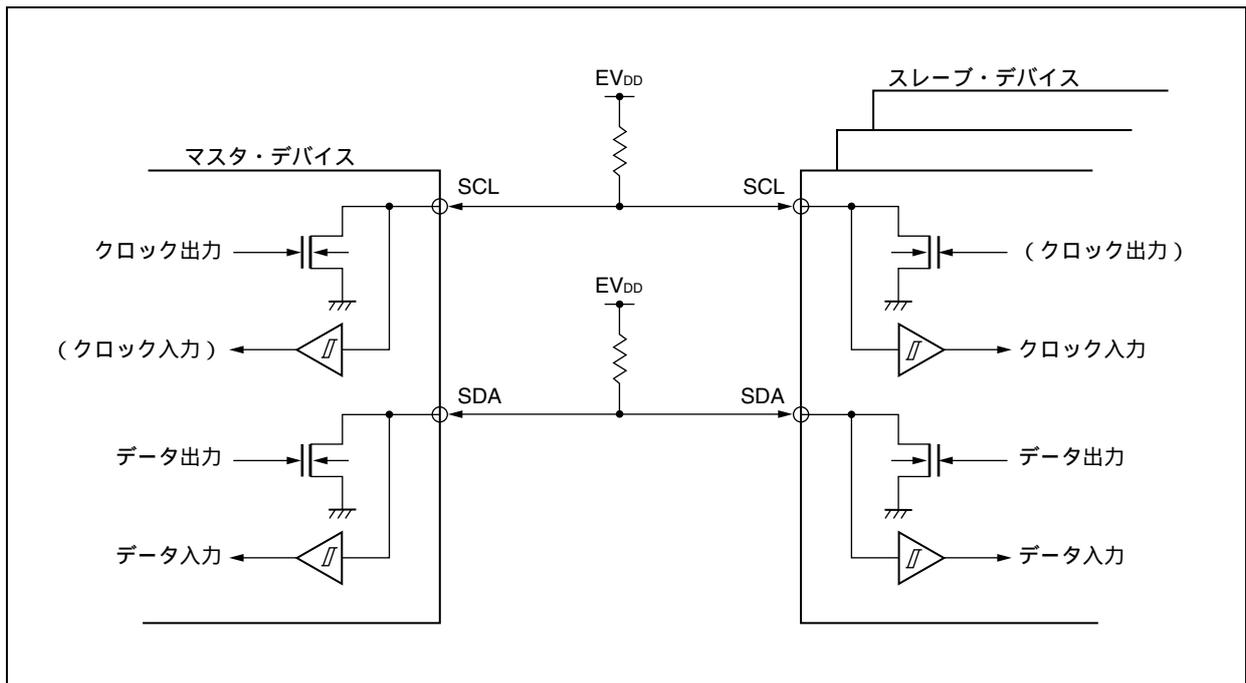
18.5.1 端子構成

シリアル・クロック端子 (SCL) と、シリアル・データ・バス端子 (SDA) の構成は、次のようになっています。

- SCL ... シリアル・クロックを入出力するための端子。
 マスタ、スレーブともに、出力は擬似オープン・ドレイン (P-ch側が常にオフ)。入力はシュミット入力。
- SDA ... シリアル・データの入出力兼用端子。
 マスタ、スレーブともに、出力は擬似オープン・ドレイン (P-ch側が常にオフ)。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力が擬似オープン・ドレイン (P-ch側が常にオフ) のため、外部にプルアップ抵抗が必要となります。

図18-4 端子構成図

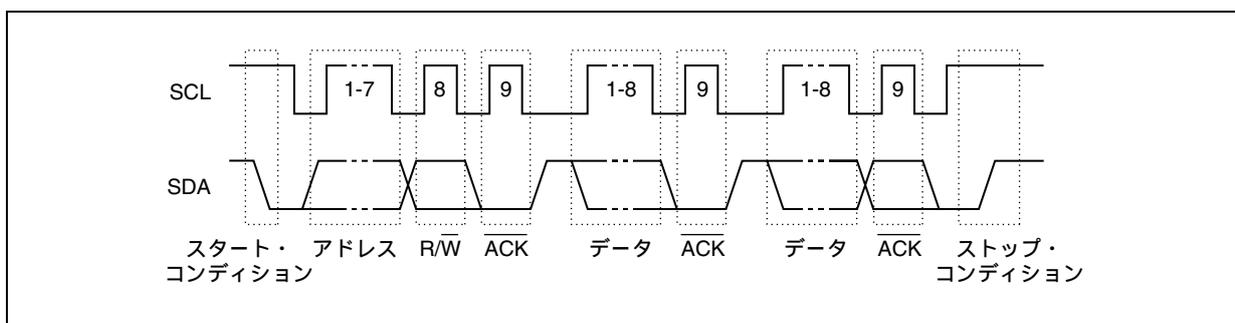


18.6 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、生成される状態の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図18-5 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

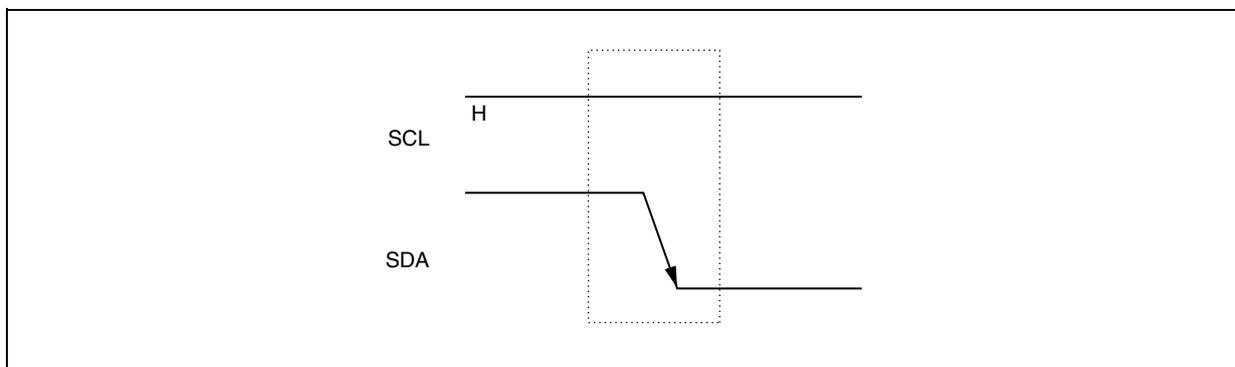
アクノリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が生成します)。

シリアル・クロック (SCL) は、マスタが出力し続けます。ただし、スレーブはSCLのロウ・レベル期間を延長し、ウエイトを挿入できます。

18.6.1 スタート・コンディション

SCL端子がハイ・レベルのときに、SDA端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL端子、SDA端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図18-6 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (IICS.SPDビット = 1) のときにIICC.STTビットをセット (1) すると生成されます。また、スタート・コンディションを検出すると、IICS.STDビットがセット (1) されます。

注意 他のデバイス同士が通信中にV850E/MA3のIICC.IICEビットをセット(1)した場合、通信ラインの状態によって、スタート・コンディションを検出することがあります。IICEビットをセット(1)するときは、必ずSCL, SDAラインがハイ・レベルの状態で行ってください。

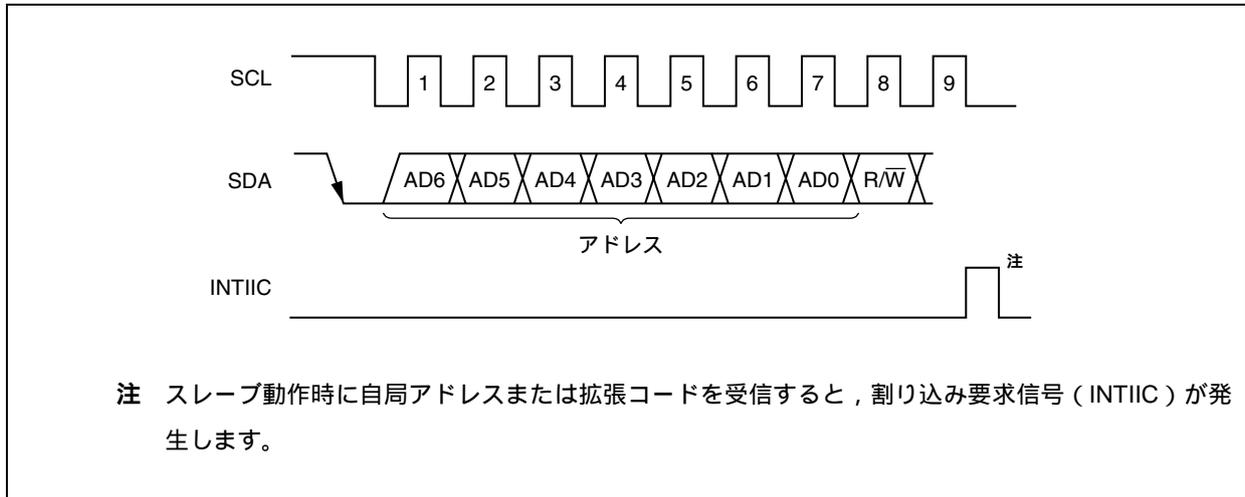
18.6.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVAレジスタと一致しているかを調べます。このとき、7ビット・データとSVAレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図18-7 アドレス



アドレスは、スレーブのアドレスと18.6.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICレジスタに書き込むと出力します。また、受信したアドレスはIICレジスタに書き込まれます。

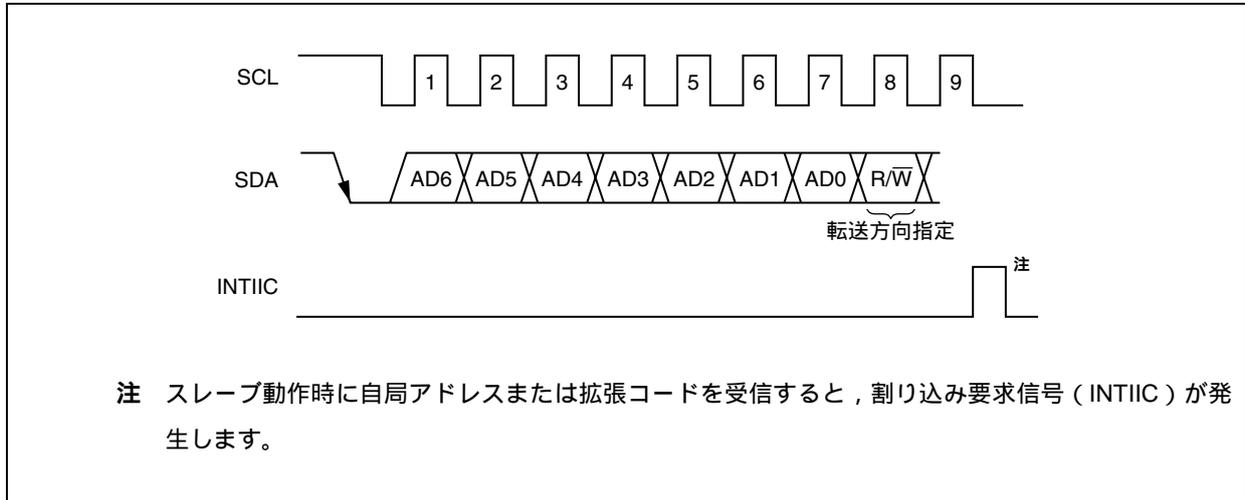
なお、スレーブのアドレスは、IICレジスタの上位7ビットに割り当てられます。

18.6.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図18 - 8 転送方向指定



18.6.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICS.ACKDビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

アドレス指定した受信側が存在しない。

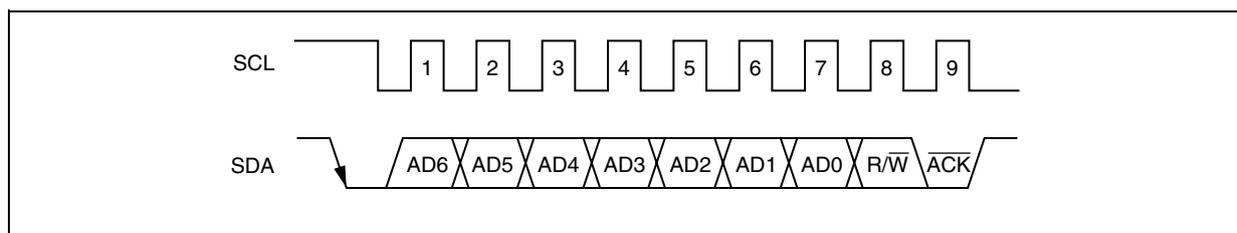
アクノリッジ生成は、受信側が9クロック目にSDAラインをロウ・レベルにすることによって行われます（正常受信）。

IICC.ACKEビットをセット（1）することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS.TRCビットが設定されます。受信（TRCビット = 0）の場合は、通常、ACKEビットをセット（1）してください。

スレーブ受信動作時（TRCビット = 0）にデータを受信できなくなったとき、ACKEビットをクリア（0）し、マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRCビット = 0）に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEビットをクリア（0）してください。これによって、スレーブ送信側にデータの終わりを知らせず（送信停止）。

図18-9 アクノリッジ (ACK)



自局アドレス受信時は、ACKEビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません（NACK）。

拡張コード受信時は、あらかじめACKEビットをセット（1）しておくことによってアクノリッジを生成します。データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

- ・8クロック・ウェイト選択時（IICC.WTIMビット = 0）：

ウェイト解除を行う前にACKEビットをセット（1）することによって、SCL端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。

- ・9クロック・ウェイト選択時（WTIMビット = 1）：

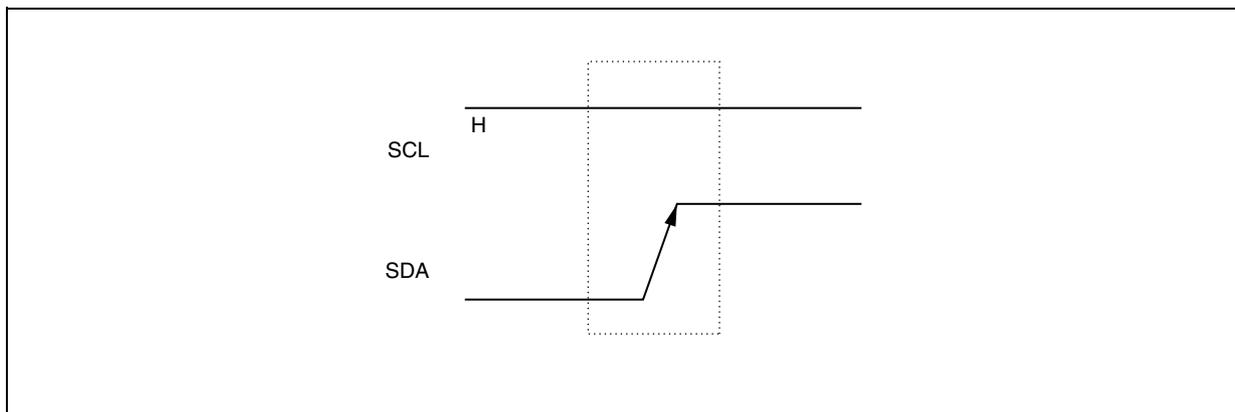
あらかじめACKEビットをセット（1）することによって、アクノリッジを生成します。

18.6.5 ストップ・コンディション

SCL端子がハイ・レベルのときに、SDA端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図18 - 10 ストップ・コンディション



ストップ・コンディションは、IICC.SPTビットをセット(1)すると発生します。また、ストップ・コンディションを検出するとIICS.SPDビットがセット(1)され、IICC.SPIEビットがセット(1)されている場合には割り込み要求信号(INTIIC)が発生します。

18.6.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCL端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図18 - 11 ウェイト (1/2)

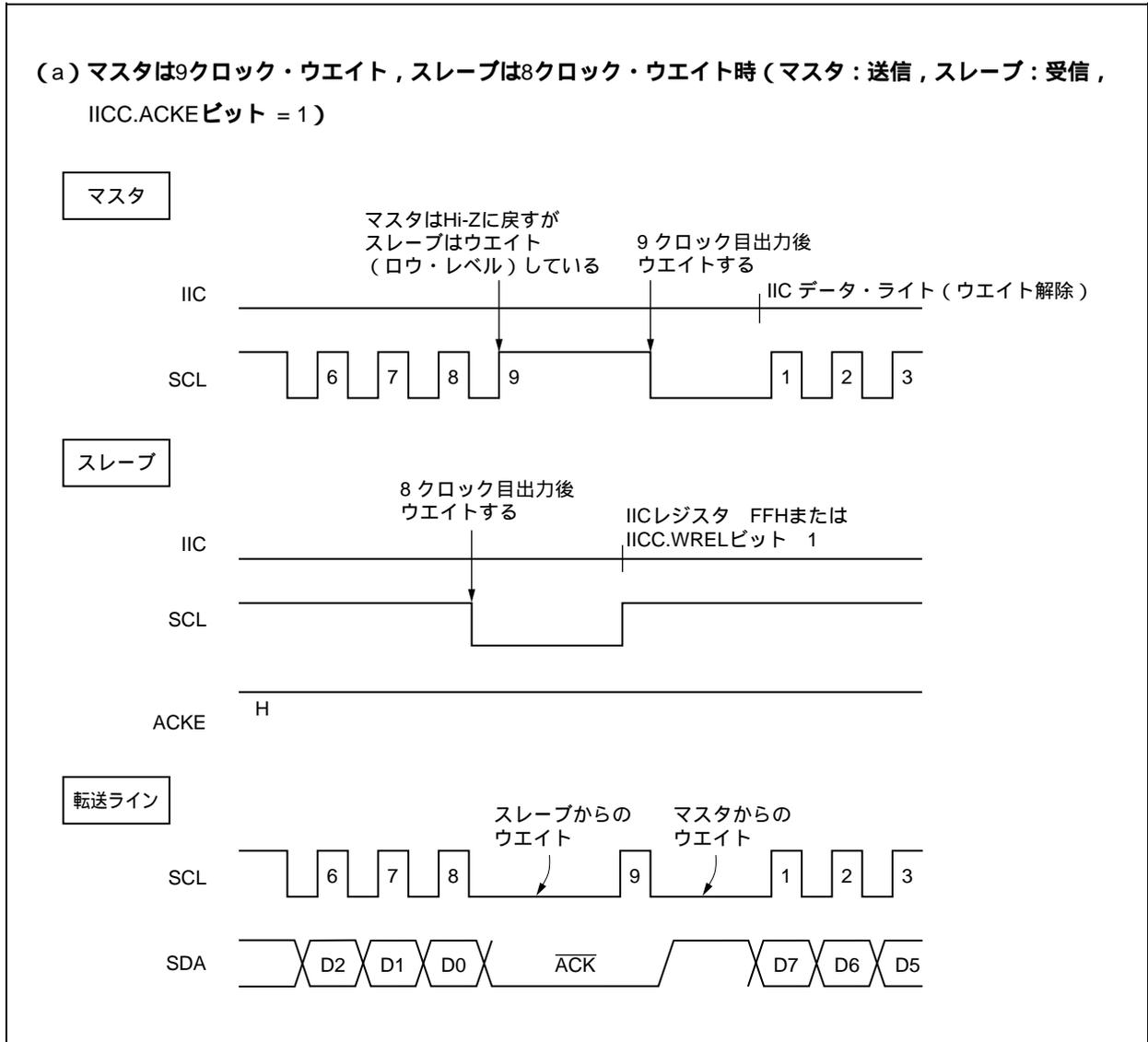
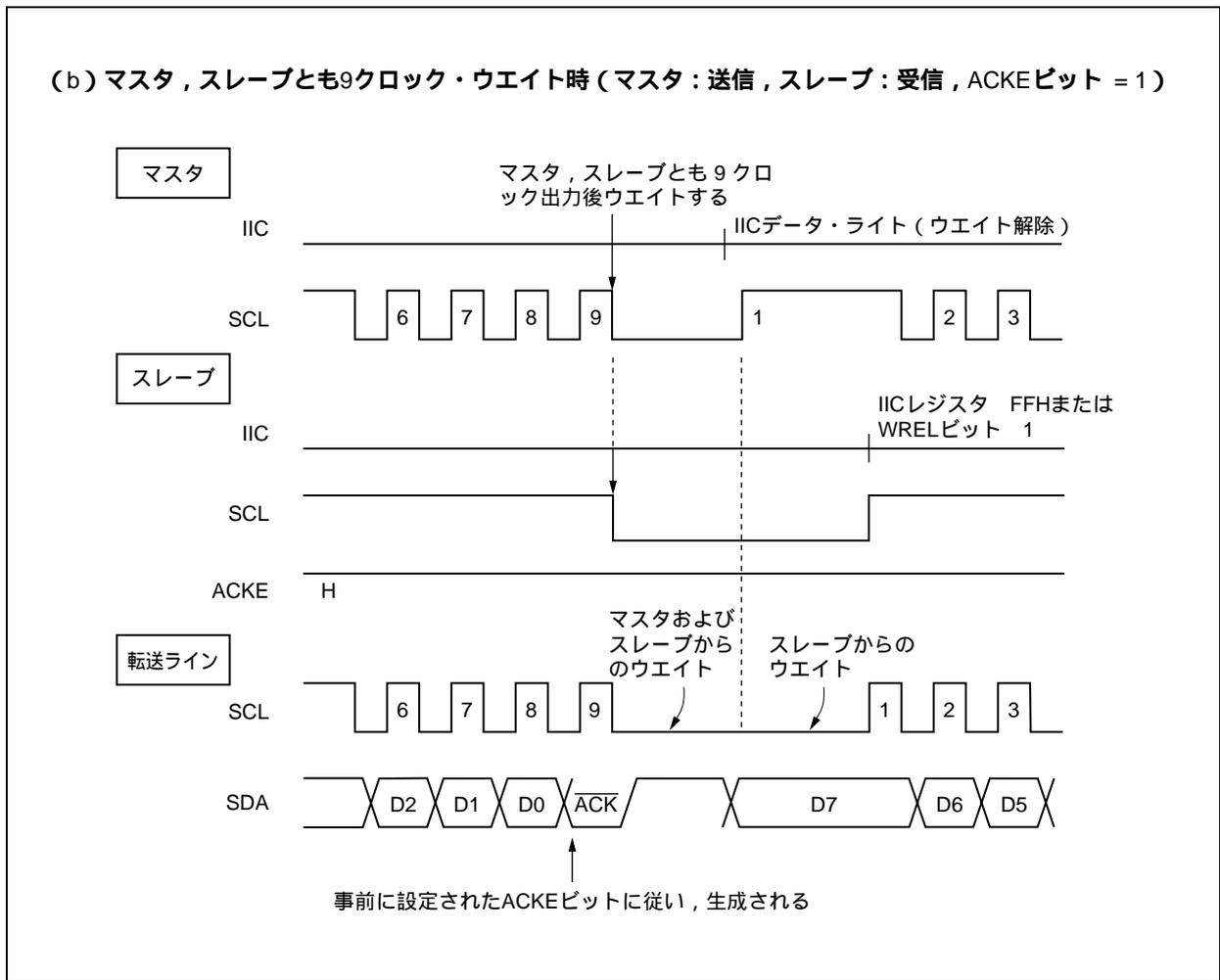


図18 - 11 ウェイト (2/2)



スタート・コンディション生成後,自動的にウェイト状態になります。また, IICC.WTIMビットの設定により自動的にウェイト状態になります。

通常,受信側はWRELビット=1またはIICレジスタ FFHライトにするとウェイトを解除し,送信側はIICレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は,次の方法でもウェイトを解除できます。

- ・ IICC.STTビット= 1
- ・ IICC.SPTビット= 1

18.6.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICレジスタへのデータ書き込み
- ・ IICC.WRELビットのセット（ウェイト解除）
- ・ IICC.STTビットのセット（スタート・コンディションの生成）^注
- ・ IICC.SPTビットのセット（ストップ・コンディションの生成）^注

注 マスタのみ

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し通信が再開されます。

ウェイトを解除してデータ（アドレスを含む）を送信する場合には、IICレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、WRELビットをセット（1）してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STTビットをセット（1）してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPTビットをセット（1）してください。

1回のウェイト状態に対して、1回だけ解除処理を実行してください。

たとえば、WRELビットにセット（1）によるウェイト解除後、IICレジスタへのデータ書き込みを実施した場合には、SDAラインの変化タイミングとIICレジスタへの書き込みタイミングの競合により、SDAラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICC.IICEビットをクリア（0）すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICC.LRELビットをセット（1）すると通信から退避するので、ウェイトを解除できます。

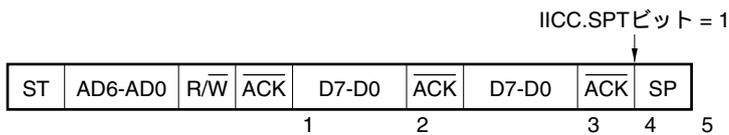
18.7 I²C割り込み要求信号 (INTIIC)

次に、INTIIC割り込み要求信号発生タイミングと、INTIIC信号タイミングでのIICSレジスタの値を示します。

18.7.1 マスタ動作

(1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

IICC.WTIMビット = 0のとき

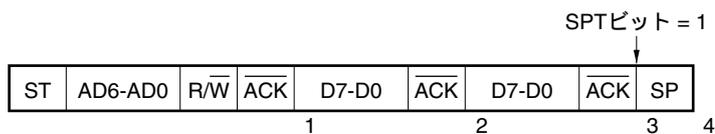


- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000X000B
- 3 : IICSレジスタ = 1000X000B (WTIMビット = 1^注)
- 4 : IICSレジスタ = 1000XX00B
- 5 : IICSレジスタ = 00000001B

注 ストップ・コンディションを生成するために、WTIMビットをセット(1)し、割り込み要求信号 (INTIIC) の発生タイミングを変更してください。

備考 必ず発生
IICC.SPIEビット = 1のときだけ発生
X 任意

WTIMビット = 1のとき

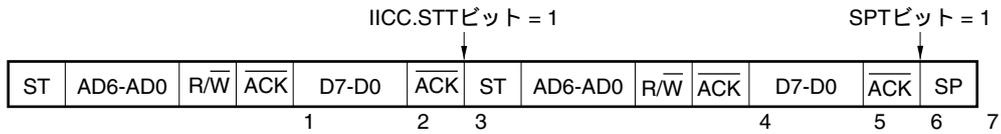


- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000X100B
- 3 : IICSレジスタ = 1000XX00B
- 4 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

WTIMビット = 0のとき

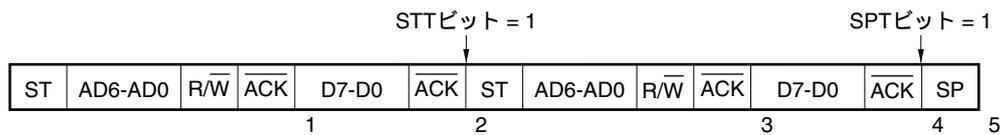


- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000X000B (WTIMビット = 1^{注1})
- 3 : IICSレジスタ = 1000XX00B (WTIMビット = 0^{注2})
- 4 : IICSレジスタ = 1000X110B
- 5 : IICSレジスタ = 1000X000B (WTIMビット = 1^{注3})
- 6 : IICSレジスタ = 1000XX00B
- 7 : IICSレジスタ = 00000001B

- 注1. スタート・コンディションを生成するために、WTIMビットをセット(1)し、割り込み要求信号 (INTIIC) の発生タイミングを変更してください。
- 2. 設定を元に戻すためにWTIMビットをクリア(0)します。
- 3. ストップ・コンディションを生成するために、WTIMビットをセット(1)し、割り込み要求信号 (INTIIC) の発生タイミングを変更してください。

- 備考** 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき

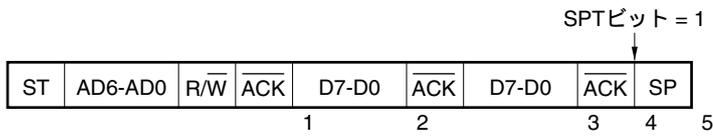


- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000XX00B
- 3 : IICSレジスタ = 1000X110B
- 4 : IICSレジスタ = 1000XX00B
- 5 : IICSレジスタ = 00000001B

- 備考** 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIMビット = 0のとき

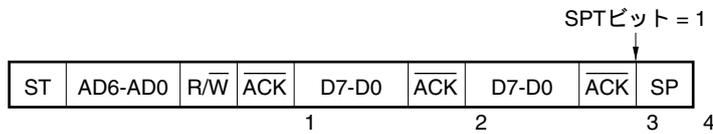


- 1 : IICSレジスタ = 1010X110B
- 2 : IICSレジスタ = 1010X000B
- 3 : IICSレジスタ = 1010X000B (WTIMビット = 1^注)
- 4 : IICSレジスタ = 1010XX00B
- 5 : IICSレジスタ = 00000001B

注 ストップ・コンディションを生成するために、WTIMビットをセット(1)し、割り込み要求信号(INTIIC)の発生タイミングを変更してください。

- 備考**
- 必ず発生
 - SPIEビット = 1のときだけ発生
 - X 任意

WTIMビット = 1のとき



- 1 : IICSレジスタ = 1010X110B
- 2 : IICSレジスタ = 1010X100B
- 3 : IICSレジスタ = 1010XX00B
- 4 : IICSレジスタ = 00000001B

- 備考**
- 必ず発生
 - SPIEビット = 1のときだけ発生
 - X 任意

18.7.2 スレーブ動作（スレーブ・アドレス受信時（アドレス一致））

(1) Start ~ Address ~ Data ~ Data ~ Stop

IICC.WTIMビット = 0のとき

ST	AD6-AD0	R \bar{W}	\bar{ACK}	D7-D0	\bar{ACK}	D7-D0	\bar{ACK}	SP
				1	2		3	4

1 : IICSレジスタ = 0001X110B

2 : IICSレジスタ = 0001X000B

3 : IICSレジスタ = 0001X000B

4 : IICSレジスタ = 00000001B

備考 必ず発生

IICC.SPIEビット = 1のときだけ発生

X 任意

WTIMビット = 1のとき

ST	AD6-AD0	R \bar{W}	\bar{ACK}	D7-D0	\bar{ACK}	D7-D0	\bar{ACK}	SP
				1	2		3	4

1 : IICSレジスタ = 0001X110B

2 : IICSレジスタ = 0001X100B

3 : IICSレジスタ = 0001XX00B

4 : IICSレジスタ = 00000001B

備考 必ず発生

SPIEビット = 1のときだけ発生

X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

- 1 : IICSレジスタ = 0001X110B
- 2 : IICSレジスタ = 0001X000B
- 3 : IICSレジスタ = 0001X110B
- 4 : IICSレジスタ = 0001X000B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, アドレス一致)

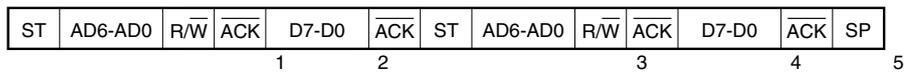
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

- 1 : IICSレジスタ = 0001X110B
- 2 : IICSレジスタ = 0001XX00B
- 3 : IICSレジスタ = 0001X110B
- 4 : IICSレジスタ = 0001XX00B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

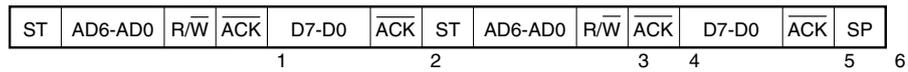
WTIMビット = 0のとき (リスタート後, 拡張コード受信)



- 1 : IICSレジスタ = 0001X110B
- 2 : IICSレジスタ = 0001X000B
- 3 : IICSレジスタ = 0010X010B
- 4 : IICSレジスタ = 0010X000B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, 拡張コード受信)



- 1 : IICSレジスタ = 0001X110B
- 2 : IICSレジスタ = 0001XX00B
- 3 : IICSレジスタ = 0010X010B
- 4 : IICSレジスタ = 0010X110B
- 5 : IICSレジスタ = 0010XX00B
- 6 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICSレジスタ = 0001X110B

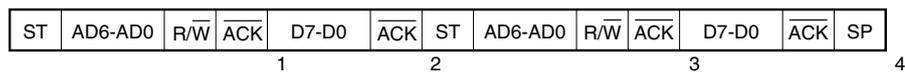
2 : IICSレジスタ = 0001X000B

3 : IICSレジスタ = 00000110B

4 : IICSレジスタ = 00000001B

- 備考** 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICSレジスタ = 0001X110B

2 : IICSレジスタ = 0001XX00B

3 : IICSレジスタ = 00000110B

4 : IICSレジスタ = 00000001B

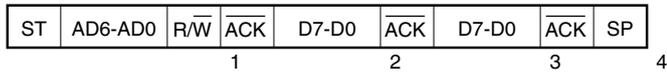
- 備考** 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

18.7.3 スレーブ動作（拡張コード受信時）

拡張コード受信時は常に通信に参加しています。

(1) Start ~ Code ~ Data ~ Data ~ Stop

IICC.WTIMビット = 0のとき



1 : IICSレジスタ = 0010X010B

2 : IICSレジスタ = 0010X000B

3 : IICSレジスタ = 0010X000B

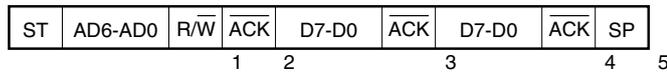
4 : IICSレジスタ = 00000001B

備考 必ず発生

IICC.SPIEビット = 1のときだけ発生

X 任意

WTIMビット = 1のとき



1 : IICSレジスタ = 0010X010B

2 : IICSレジスタ = 0010X110B

3 : IICSレジスタ = 0010X100B

4 : IICSレジスタ = 0010XX00B

5 : IICSレジスタ = 00000001B

備考 必ず発生

SPIEビット = 1のときだけ発生

X 任意

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

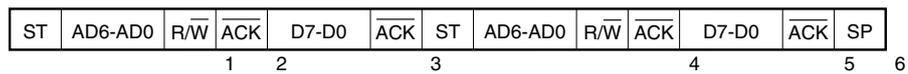
WTIMビット = 0のとき (リスタート後, アドレス一致)



- 1 : IICSレジスタ = 0010X010B
- 2 : IICSレジスタ = 0010X000B
- 3 : IICSレジスタ = 0001X110B
- 4 : IICSレジスタ = 0001X000B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, アドレス一致)



- 1 : IICSレジスタ = 0010X010B
- 2 : IICSレジスタ = 0010X110B
- 3 : IICSレジスタ = 0010XX00B
- 4 : IICSレジスタ = 0001X110B
- 5 : IICSレジスタ = 0001XX00B
- 6 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

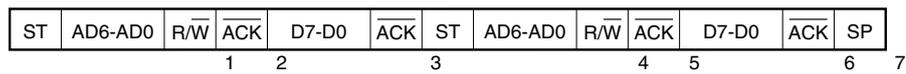
WTIMビット = 0のとき (リスタート後, 拡張コード受信)



- 1 : IICSレジスタ = 0010X010B
- 2 : IICSレジスタ = 0010X000B
- 3 : IICSレジスタ = 0010X010B
- 4 : IICSレジスタ = 0010X000B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, 拡張コード受信)



- 1 : IICSレジスタ = 0010X010B
- 2 : IICSレジスタ = 0010X110B
- 3 : IICSレジスタ = 0010XX00B
- 4 : IICSレジスタ = 0010X010B
- 5 : IICSレジスタ = 0010X110B
- 6 : IICSレジスタ = 0010XX00B
- 7 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICSレジスタ = 0010X010B

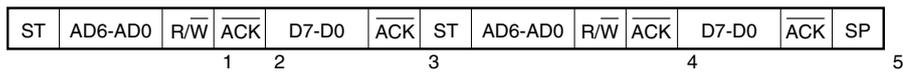
2 : IICSレジスタ = 0010X000B

3 : IICSレジスタ = 00000110B

4 : IICSレジスタ = 00000001B

- 備考** 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICSレジスタ = 0010X010B

2 : IICSレジスタ = 0010X110B

3 : IICSレジスタ = 0010XX00B

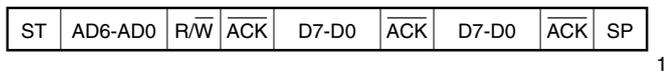
4 : IICSレジスタ = 00000110B

5 : IICSレジスタ = 00000001B

- 備考** 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

18.7.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop



1 : IICSレジスタ = 0000001B

備考 IICC.SPIEビット = 1のときだけ発生

18.7.5 アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は、INTIIC割り込み発生ごとにアービトレーション結果を確認するためのIICS.MSTSビットをリードしてください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

IICC.WTIMビット = 0のとき

ST	AD6-AD0	R \bar{W}	$\bar{A}CK$	D7-D0	$\bar{A}CK$	D7-D0	$\bar{A}CK$	SP
			1	2	3	4		

1 : IICSレジスタ = 0101X110B

2 : IICSレジスタ = 0001X000B

3 : IICSレジスタ = 0001X000B

4 : IICSレジスタ = 00000001B

備考 必ず発生

IICC.SPIEビット = 1のときだけ発生

X 任意

WTIMビット = 1のとき

ST	AD6-AD0	R \bar{W}	$\bar{A}CK$	D7-D0	$\bar{A}CK$	D7-D0	$\bar{A}CK$	SP
			1	2	3	4		

1 : IICSレジスタ = 0101X110B

2 : IICSレジスタ = 0001X100B

3 : IICSレジスタ = 0001XX00B

4 : IICSレジスタ = 00000001B

備考 必ず発生

SPIEビット = 1のときだけ発生

X 任意

(2) 拡張コード送信中にアービトレーションに負けた場合

WTIMビット = 0のとき

ST	AD6-AD0	R \overline{W}	\overline{ACK}	D7-D0	\overline{ACK}	D7-D0	\overline{ACK}	SP
		1		2		3		4

1 : IICSレジスタ = 0110X010B

2 : IICSレジスタ = 0010X000B

3 : IICSレジスタ = 0010X000B

4 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき

ST	AD6-AD0	R \overline{W}	\overline{ACK}	D7-D0	\overline{ACK}	D7-D0	\overline{ACK}	SP
		1	2		3		4	5

1 : IICSレジスタ = 0110X010B

2 : IICSレジスタ = 0010X110B

3 : IICSレジスタ = 0010X100B

4 : IICSレジスタ = 0010XX00B

5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

18.7.6 アービトレーション負けの動作(アービトレーション負けのあと,不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIIC割り込み発生ごとにアービトレーション結果を確認するためのIICS.MSTSビットをリードしてください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

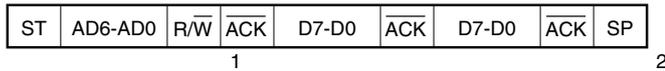


1 : IICSレジスタ = 01000110B

2 : IICSレジスタ = 00000001B

備考 必ず発生
IICC.SPIEビット = 1のときだけ発生

(2) 拡張コード送信中にアービトレーションに負けた場合



1 : IICSレジスタ = 0110X010B

ソフトウェアでIICC.LRELビット = 1を設定

2 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

(3) データ転送時にアービトレーションに負けた場合

IICC.WTIMビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2			3

1 : IICSレジスタ = 10001110B

2 : IICSレジスタ = 01000000B

3 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生

WTIMビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2			3

1 : IICSレジスタ = 10001110B

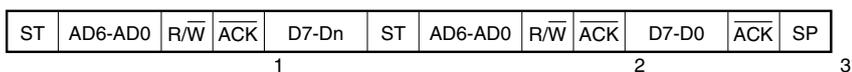
2 : IICSレジスタ = 01000100B

3 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生

(4) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 アドレス不一致)



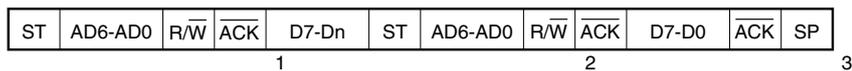
1 : IICSレジスタ = 1000X110B

2 : IICSレジスタ = 01000110B

3 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

拡張コード



1 : IICSレジスタ = 1000X110B

2 : IICSレジスタ = 0110X010B

ソフトウェアでLRELビット = 1を設定

3 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

(5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/ \overline{W}	\overline{ACK}	D7-Dn	SP
			1		2

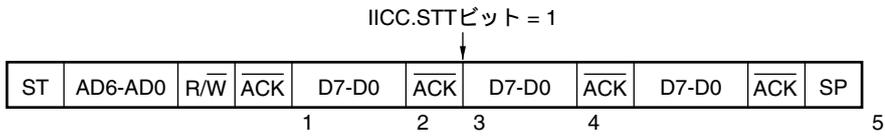
1 : IICSレジスタ = 1000X110B

2 : IICSレジスタ = 01000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

(6) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

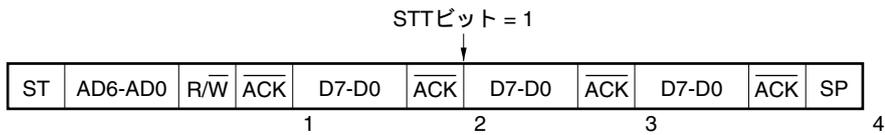
WTIMビット = 0のとき



- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000X000B (IICC.WTIMビット = 1)
- 3 : IICSレジスタ = 1000XX00B (WTIMビット = 0)
- 4 : IICSレジスタ = 01000000B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

WTIMビット = 1のとき



- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000X100B
- 3 : IICSレジスタ = 01000100B
- 4 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

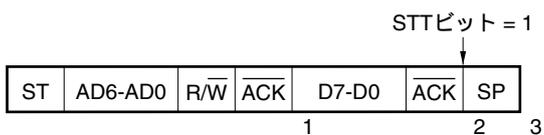
WTIMビット = 0のとき



- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000X000B (IICC.WTIMビット = 1)
- 3 : IICSレジスタ = 1000XX00B (WTIMビット = 0)
- 4 : IICSレジスタ = 01000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

WTIMビット = 1のとき

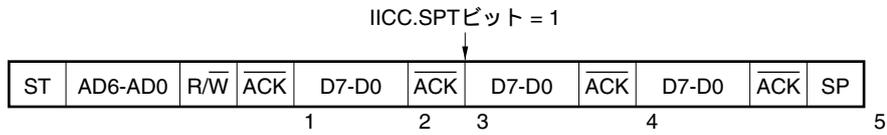


- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000XX00B
- 3 : IICSレジスタ = 01000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

(8) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

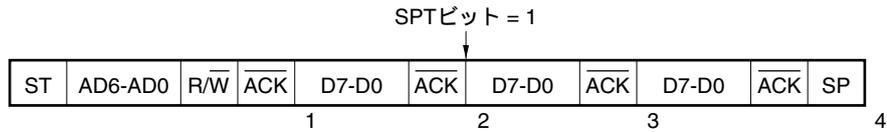
WTIMビット = 0のとき



- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000X000B (IICC.WTIMビット = 1)
- 3 : IICSレジスタ = 1000X100B (WTIMビット = 0)
- 4 : IICSレジスタ = 01000100B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき



- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000X100B
- 3 : IICSレジスタ = 01000100B
- 4 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

18.8 割り込み要求信号 (INTIIC) 発生タイミングおよびウェイト制御

IICC.WTIMビットの設定で、次に示すタイミングでINTIIC信号が発生して、ウェイト制御を行います。

表18 - 4 INTIIC信号発生タイミングおよびウェイト制御

WTIMビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIIC信号およびウェイトは、SVAレジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICC.ACKEビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC信号が発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIIC信号が発生しますが、ウェイトは発生しません。

2. SVAレジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC信号もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICCレジスタへのデータ書き込み
- ・ IICC.WRELビットのセット (ウェイト解除)
- ・ IICC.STTビットのセット (スタート・コンディションの生成)^注
- ・ IICC.SPTビットのセット (ストップ・コンディションの生成)^注

注 マスタのみ

8クロック・ウェイト選択 (WTIMビット = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

ストップ・コンディションを検出するとINTIIC信号を発生します。

18.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVAレジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAレジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC割り込み要求信号が発生します。

18.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA) の状態が、送信しているデバイスのIICレジスタにも取り込まれるため、送信開始前と送信終了後のIICレジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

18.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC) をセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIIC) を発生します。SVAレジスタに格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVAレジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIIC信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致 : IICS.EXCビット = 1
7ビット・データの一致 : IICS.COIビット = 1

(3) INTIIC信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。スレーブ動作時に拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICC.LRELビット= 1に設定してください。次の通信待機状態となります。

表18 - 5 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

18.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICS.STDビット = 1になる前にIICC.STTビット = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IICS.ALDビット）をセット（1）し、SCL, SDAラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求信号（INTIIC）発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALDビット = 1になっていることで検出します。

割り込み要求信号発生タイミングについては、18.7 I²C割り込み要求信号（INTIIC）を参照してください。

図18 - 12 アービトレーション・タイミング例

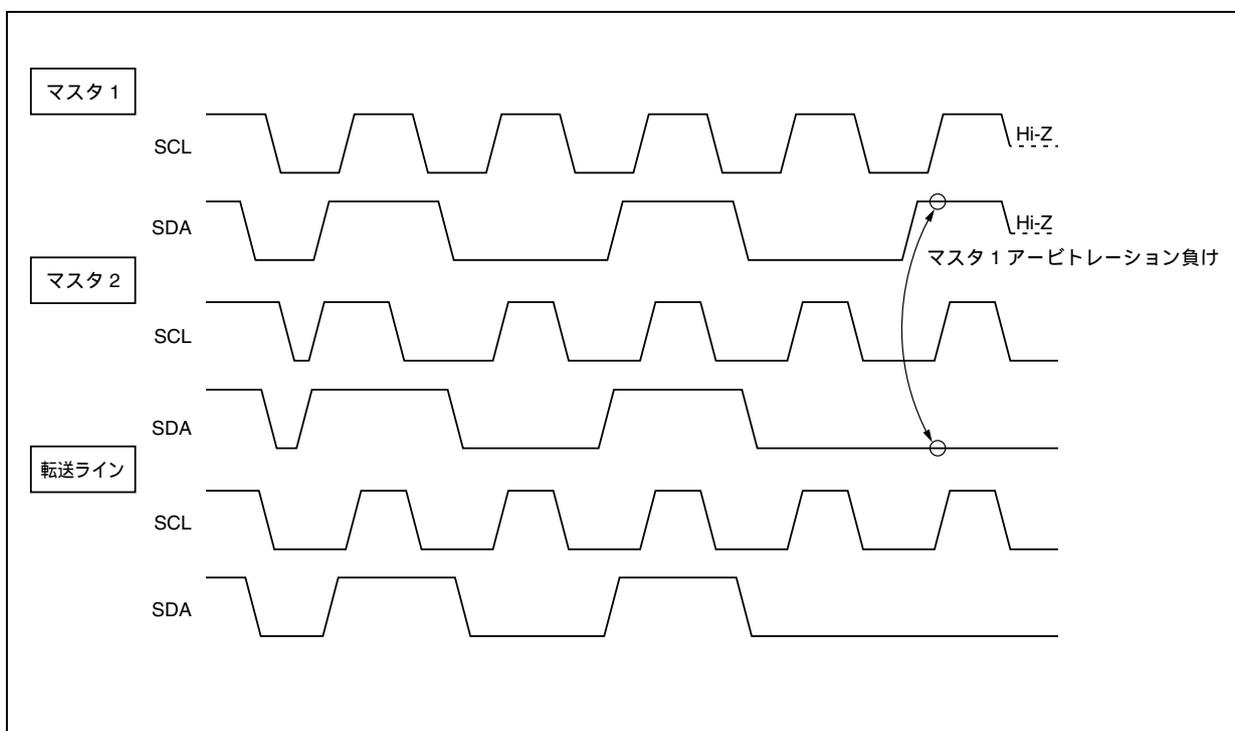


表18 - 6 アービトレーション発生時の状態と割り込み要求信号発生タイミング

アービトレーション発生時の状態	割り込み要求信号発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時(IICC.SPIEビット = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがSDA端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時(SPIEビット = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがSDA端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL端子がロウ・レベル	

注1. IICC.WTIMビット = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求信号を発生します。
WTIMビット = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求信号を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEビット = 1にしてください。

18. 13 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスまたは拡張コードを受信したときに割り込み要求信号(INTIIC)が発生する機能です。アドレスが一致しないときは不要な割り込み要求信号を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ(スタート・コンディションを生成した場合)でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICC.SPIEビットの設定によって, 割り込み要求信号の発生許可/禁止が決定します。

18.14 通信予約

18.14.1 通信予約機能許可の場合 (IICF.IICRSVビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICC.LRELビット = 1でバスを解放した)とき。

バスに不参加の状態、IICC.STTビットをセット(1)すると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICC.SPIEビットをセット(1)し、割り込み要求信号(INTIIC)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IICレジスタにアドレスを書き込むと、自動的にマスタとして通信を開始します。ストップ・コンディションを検出する前に、IICレジスタに書き込んだデータは無効となります。

STTビットをセット(1)したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成
 バスが解放されていないとき(待機状態) … 通信予約

通信予約として動作するかどうかを確認するには、STTビットをセット(1)し、ウェイト時間をとったあと、IICS.MSTSビットを確認することで行います。

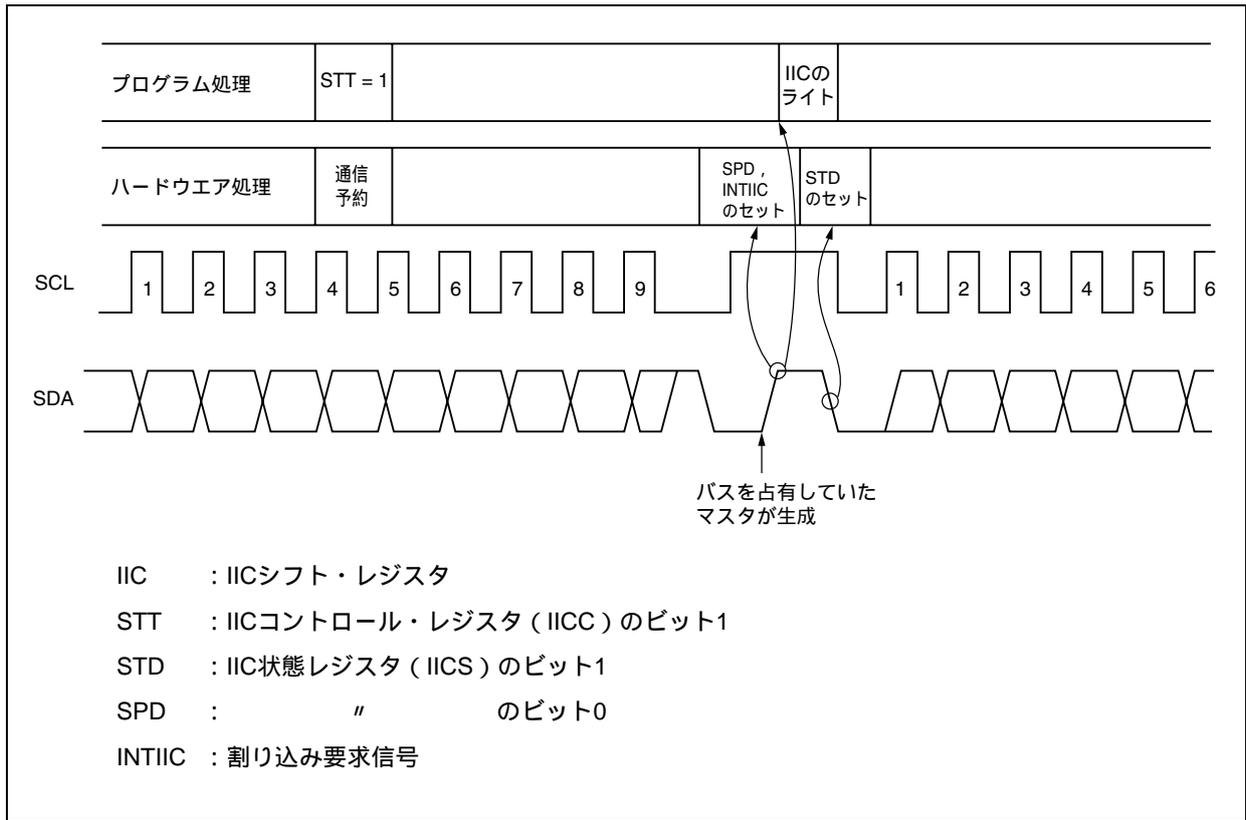
ウェイト時間は、表18-7に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICX.CLX、IICCL.SMC、CL0ビットにより設定できます。

表18 - 7 ウェイト時間

CLXビット	SMCビット	CL0ビット	PRSCMレジスタ	分周クロック	ウェイト時間
0	0	0	01H	f _{xx} /4	92クロック
0	0	0	02H	f _{xx} /8	184クロック
0	0	0	03H	f _{xx} /12	276クロック
0	0	0	04H	f _{xx} /16	368クロック
0	0	0	05H	f _{xx} /20	460クロック
0	0	0	06H	f _{xx} /24	552クロック
0	0	1	01H	f _{xx} /4	172クロック
0	0	1	02H	f _{xx} /8	344クロック
0	0	1	03H	f _{xx} /12	516クロック
0	0	1	04H	f _{xx} /16	688クロック
0	1	1/0	01H	f _{xx} /4	60クロック
0	1	1/0	02H	f _{xx} /8	120クロック
0	1	1/0	03H	f _{xx} /12	180クロック
0	1	1/0	04H	f _{xx} /16	240クロック
0	1	1/0	05H	f _{xx} /20	300クロック
1	1	1/0	01H	f _{xx} /4	36クロック
1	1	1/0	02H	f _{xx} /8	72クロック
1	1	1/0	03H	f _{xx} /12	108クロック
1	1	1/0	04H	f _{xx} /16	144クロック
1	1	1/0	05H	f _{xx} /20	180クロック

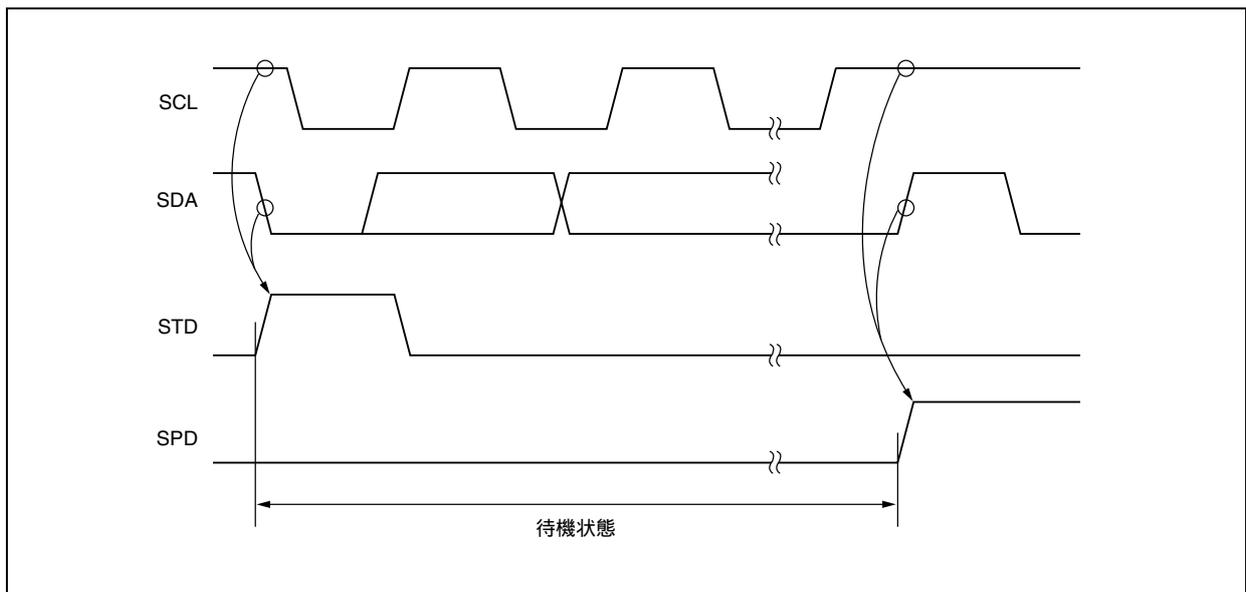
通信予約のタイミングを次に示します。

図18 - 13 通信予約のタイミング



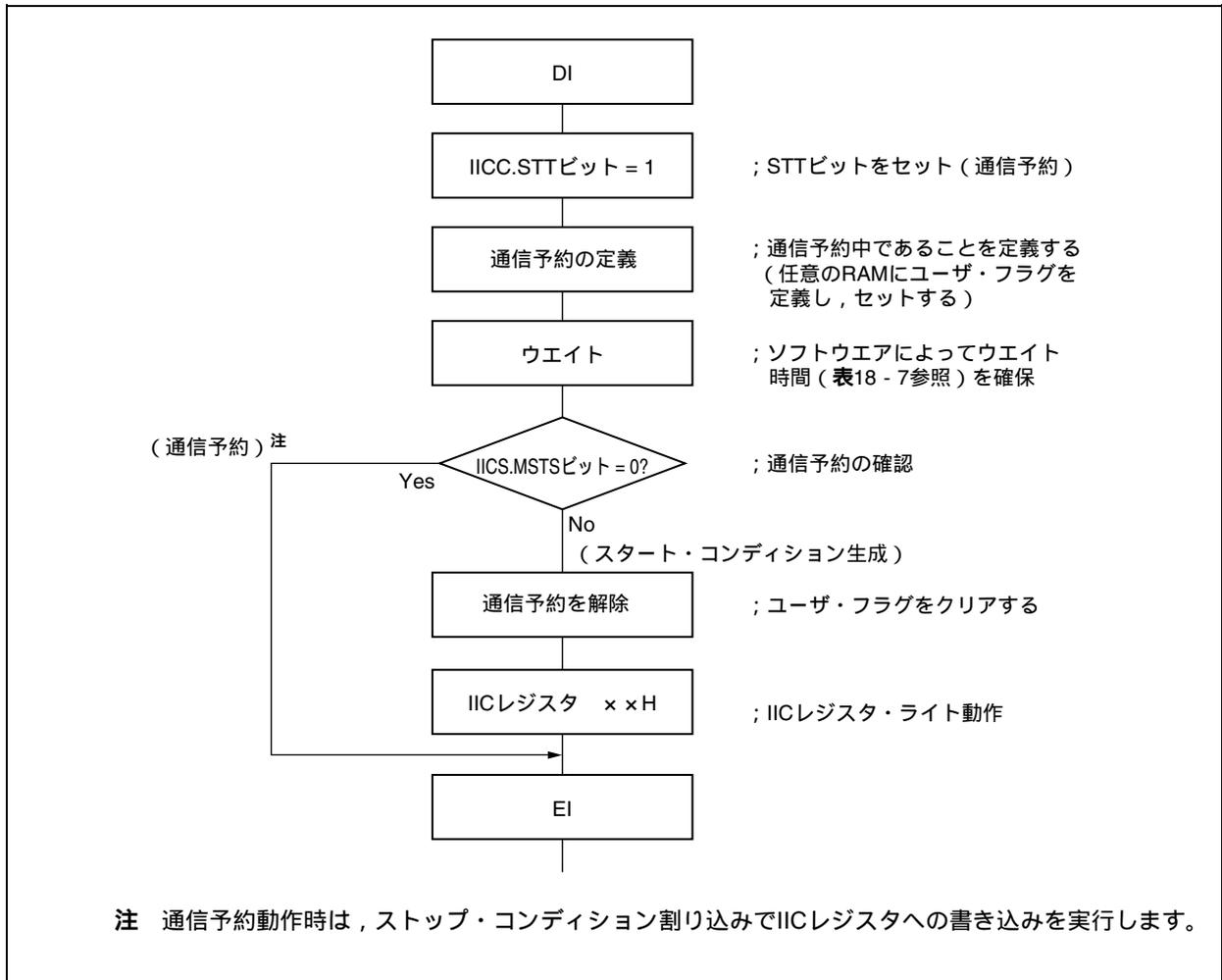
通信予約は次のタイミングで受け付けられます。IICS.STDビット = 1になったあと、ストップ・コンディション検出までにIICC.STTビット = 1で通信予約をします。

図18 - 14 通信予約受け付けタイミング



次に通信予約の手順を示します。

図18 - 15 通信予約の手順



18.14.2 通信予約機能禁止の場合 (IICF.IICRSVビット = 1)

バスが通信中で、この通信に不参加の状態ではIICC.STTビットをセット(1)すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICC.LRELビット = 1でバスを解放した)とき。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICF.STCFフラグを確認することにより行います。STTビット = 1としてからSTCFフラグがセット(1)されるまで表18 - 8に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表18 - 8 ウェイト時間

CL0ビット	PRSCMレジスタ	分周クロック	ウェイト時間
0	01H	f _{xx} /4	12クロック
0	02H	f _{xx} /8	24クロック
0	03H	f _{xx} /12	36クロック
0	04H	f _{xx} /16	48クロック
0	05H	f _{xx} /20	60クロック
0	06H	f _{xx} /24	72クロック
1	01H	f _{xx} /4	12クロック
1	02H	f _{xx} /8	24クロック
1	03H	f _{xx} /12	36クロック
1	04H	f _{xx} /16	48クロック

18.15 注意事項

(1) IICF.STCENビット = 0の場合

I²C動作許可直後、実際のバス状態にかかわらず通信状態 (IICF.IICBSYビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

IICCLレジスタの設定

IICC.IICEビットのセット

IICC.SPTビットのセット

(2) IICF.STCENビット = 1の場合

I²C動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSYビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICC.STTビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) ほかのデバイス同士の通信中にV850E/MA3のIICC.IICEビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICC.IICEビットのセット (1) は、必ずSCL、SDAラインがハイ・レベルの状態で行ってください。

(4) 動作許可 (IICC.IICEビット = 1) する前にIICCL、IICXレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICC.IICEビットをクリア (0) してください。

(5) IICC.STT、SPTビットをセット (1) したあと、クリア (0) される前の再セットは禁止します。

(6) 送信予約をした場合には、IICC.SPIEビットをセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²Cに通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICS.MSTSビットを検出する場合には、SPIEビットをセット (1) する必要はありません。

18.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

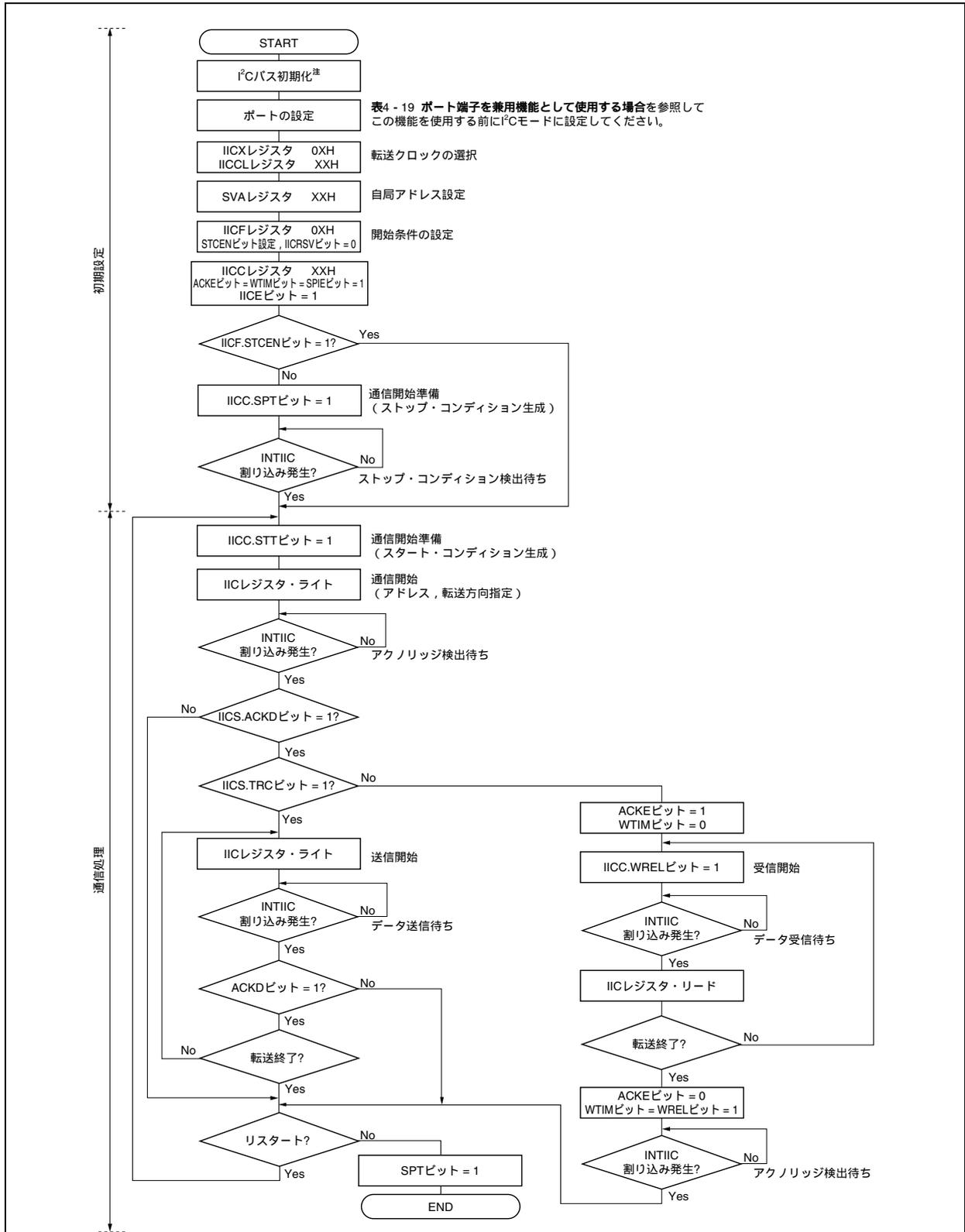
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIIC割り込みの発生を待ちます。INTIIC割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

18.16.1 シングルマスタ・システム動作でのマスタ動作

図18-16 シングルマスタ・システム動作でのマスタ動作

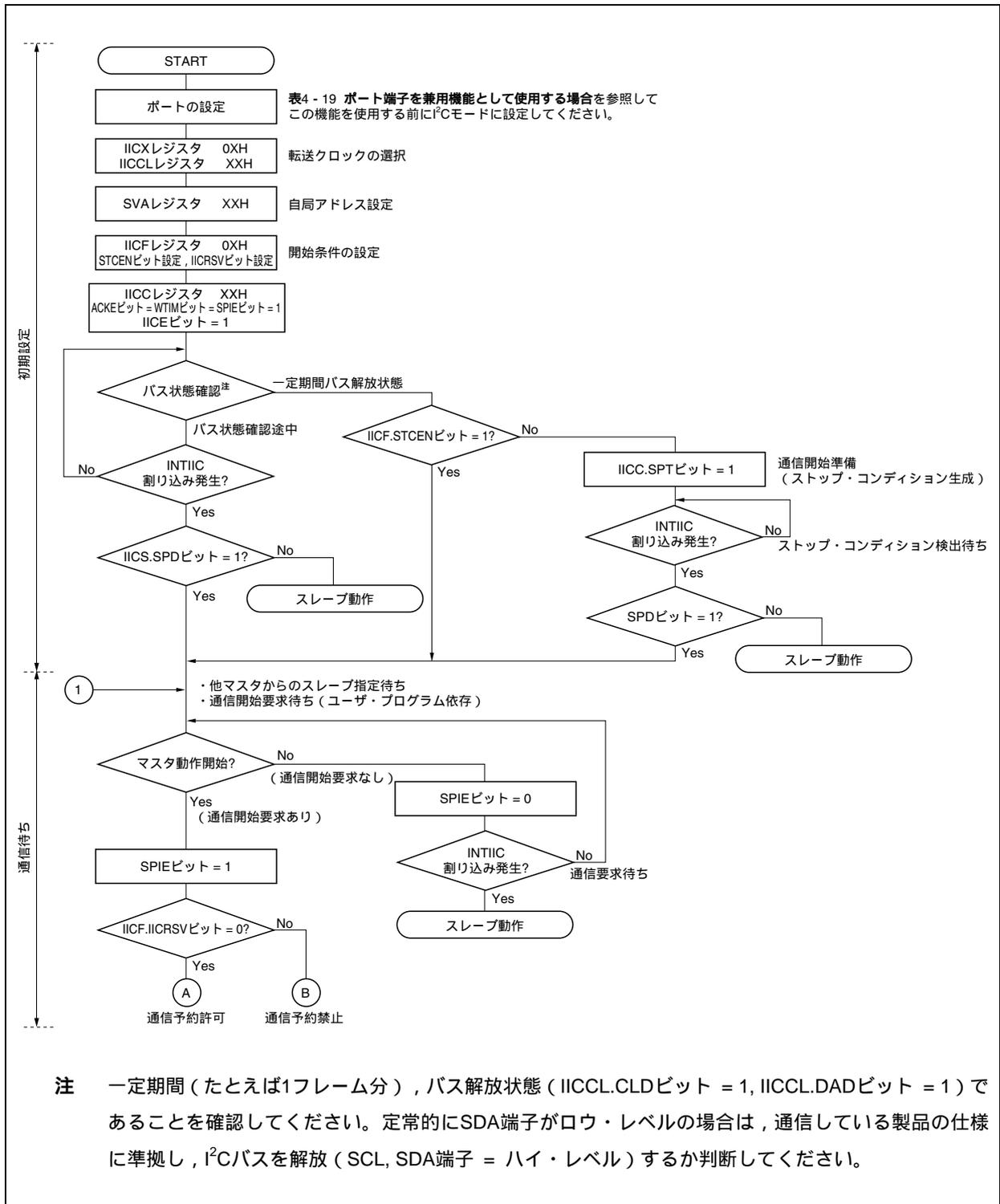


注 通信している製品の仕様に準拠し、I²Cバスを解放（SCL, SDA端子 = ハイ・レベル）してください。たとえば、EEPROMがSDA端子にロウ・レベルを出力した状態であれば、SCL端子を出力ポートに設定し、SDA端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

18.16.2 マルチマスタ・システムでのマスタ動作

図18-17 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間 (たとえば1フレーム分), バス解放状態 (IICCL.CLDビット = 1, IICCL.DADビット = 1) であることを確認してください。定常的にSDA端子がロウ・レベルの場合は, 通信している製品の仕様 に準拠し, I²Cバスを解放 (SCL, SDA端子 = ハイ・レベル) するか判断してください。

図18 - 17 マルチマスタ・システムでのマスタ動作 (2/3)

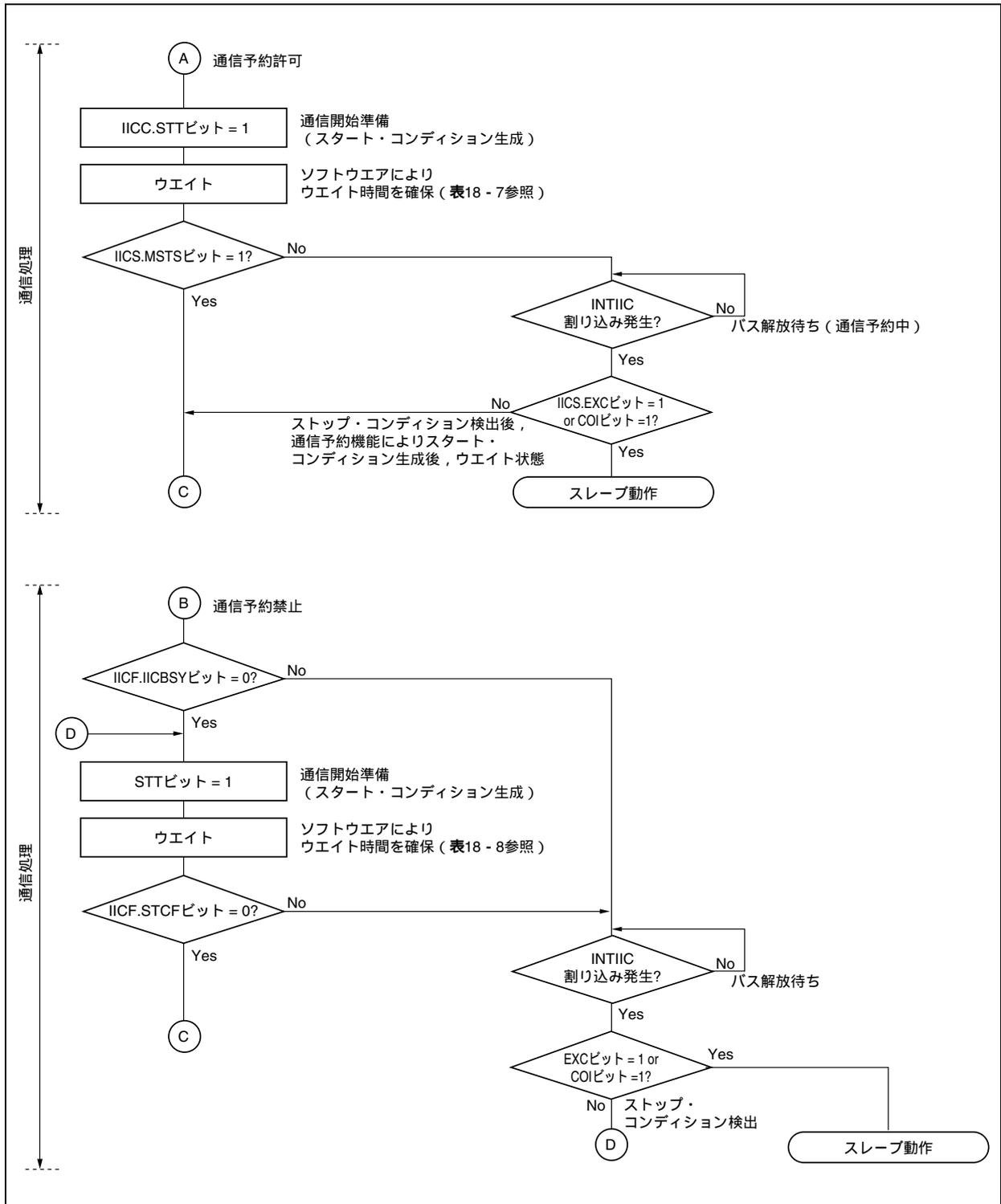
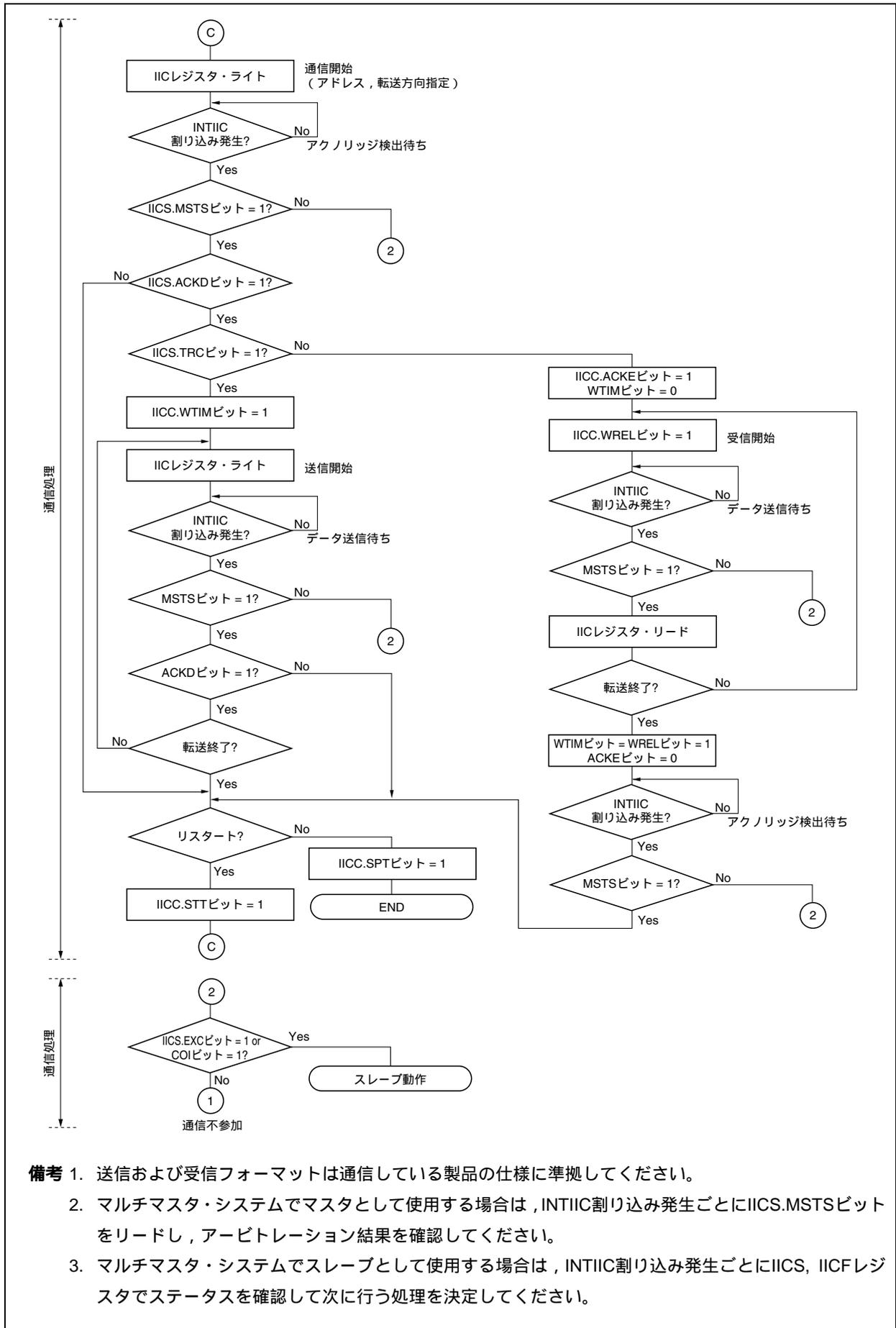


図18 - 17 マルチマスタ・システムでのマスタ動作 (3/3)



- 備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
2. マルチマスタ・システムでマスタとして使用する場合は、INTIIC割り込み発生ごとにIICS.MSTSビットをリードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレープとして使用する場合は、INTIIC割り込み発生ごとにIICS、IICレジスタでステータスを確認して次に行う処理を決定してください。

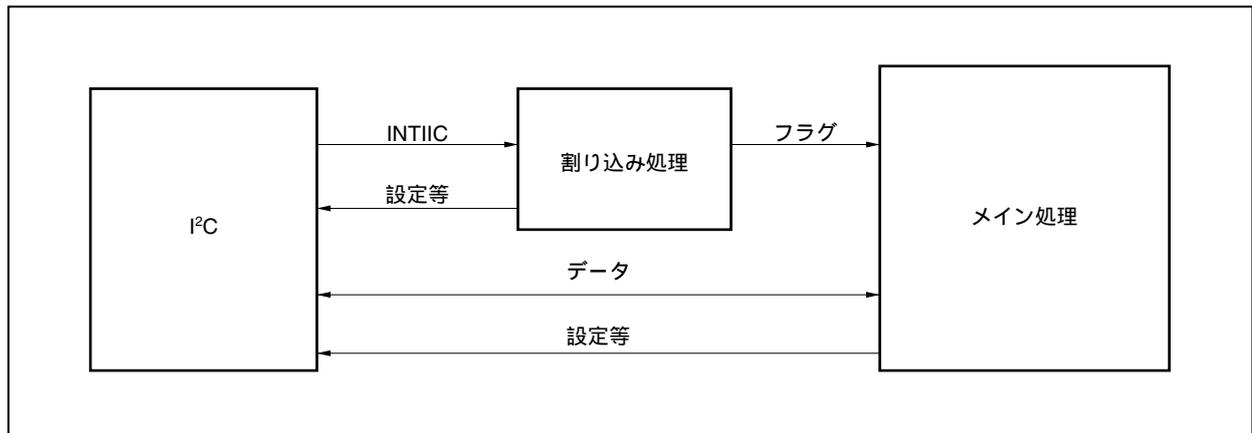
18.16.3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンの動作となります。このためINTIIC割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIIC割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図18 - 18 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIIC信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIIC割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで、IICS.TRCビットの値と同じです。

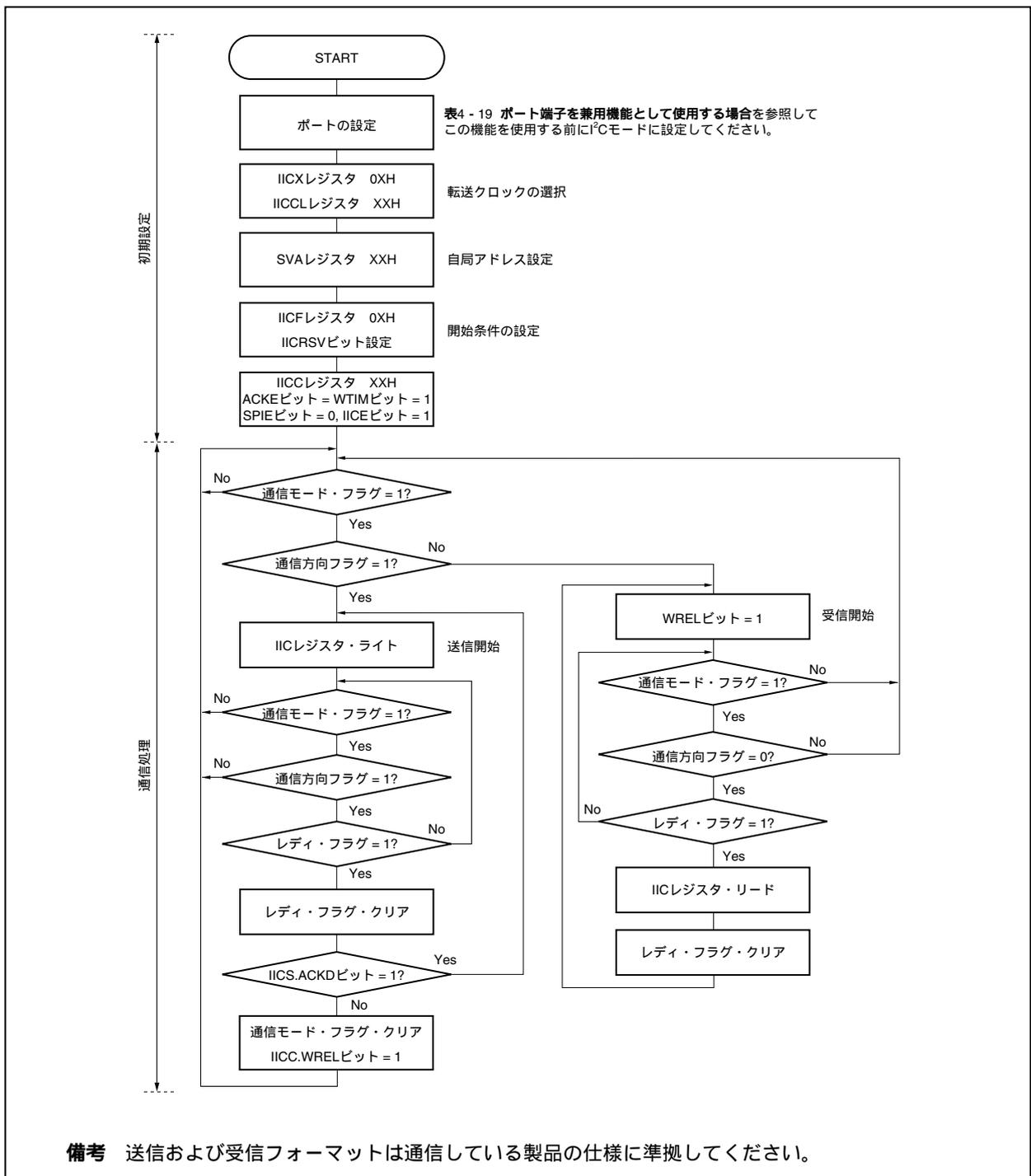
次にスレーブ動作でのメイン処理部の動作を示します。

I²Cを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータ受信し、転送完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図18 - 19 スレーブ動作手順（1）



スレーブのINTIIC割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIIC割り込みではステータスを確認して、次のように行います。

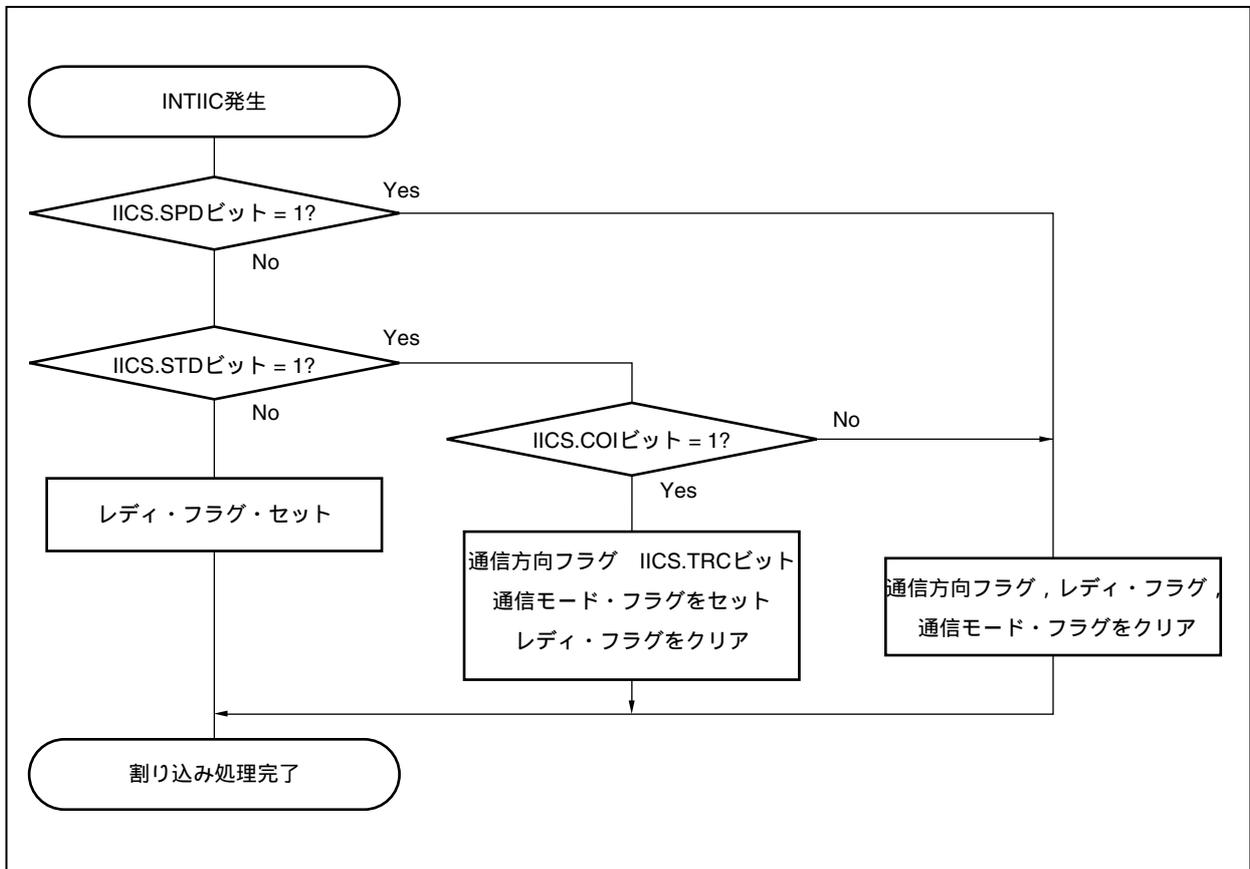
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウエイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図18 - 20 スレーブ動作手順(2)の ~ と対応しています。

図18 - 20 スレーブ動作手順(2)



18. 17 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを生成することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICS.TRCビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック (SCL端子) の立ち下がりに同期してIICレジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA端子からMSBファーストで出力されます。

また、SCL端子の立ち上がりでSDA端子に入力されたデータがIICレジスタに取り込まれます。

データ通信のタイミングを次に示します。

図18 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

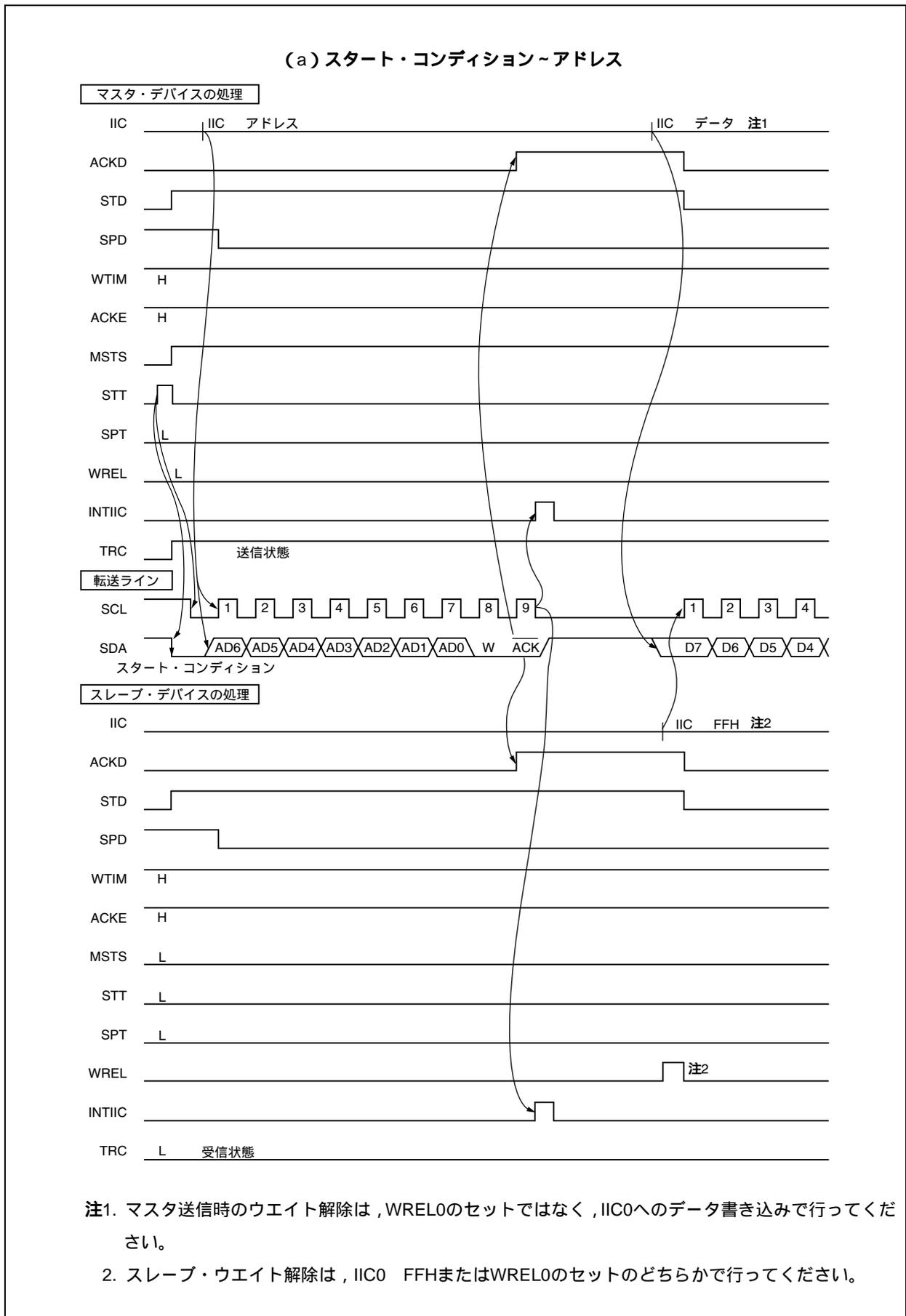


図18 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

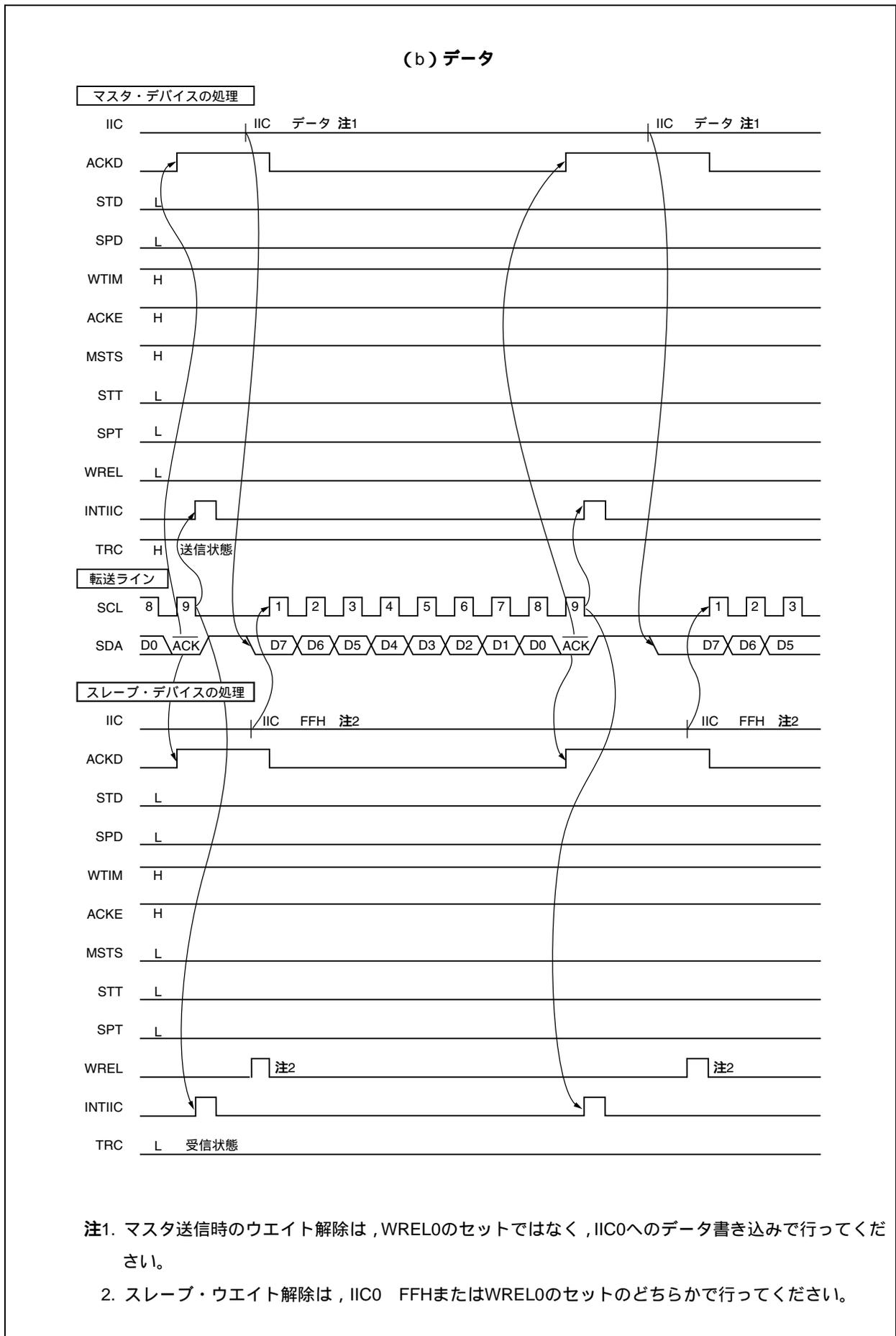


図18-21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

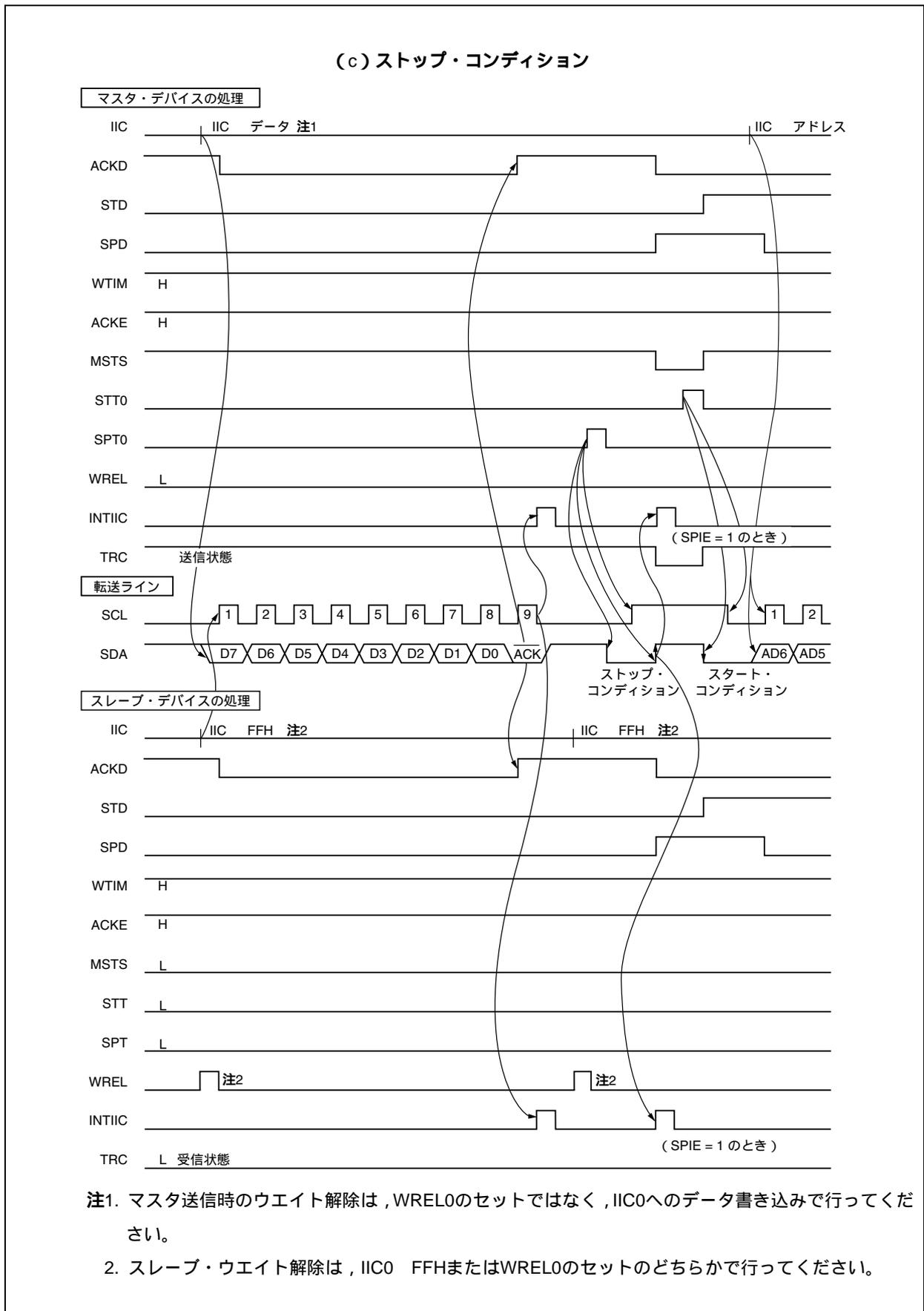


図18 - 22 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロック・ウエイト選択時) (1/3)

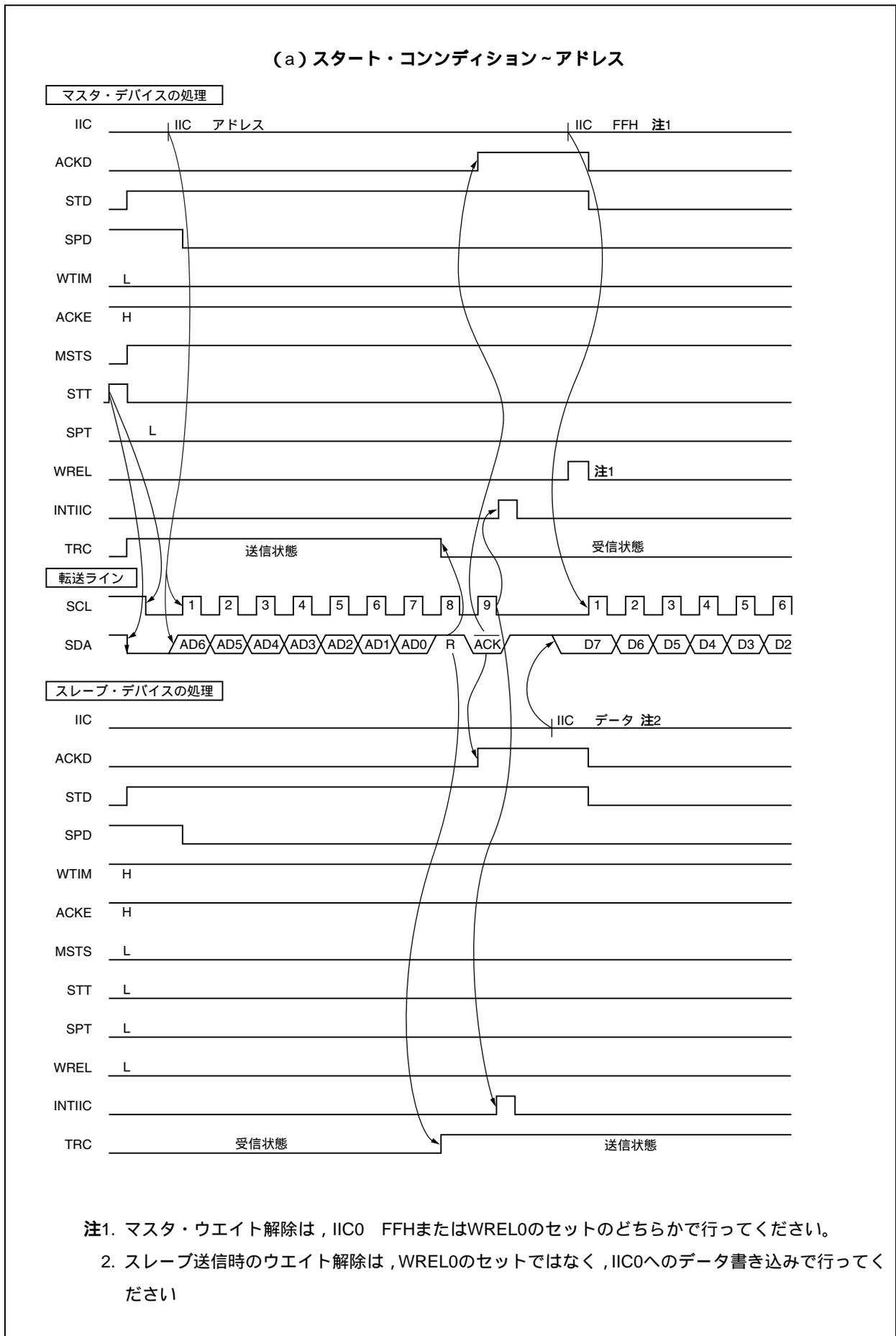


図18-22 スレーブ マスタ通信例 (マスタ:8クロック,スレーブ:9クロック・ウエイト選択時) (2/3)

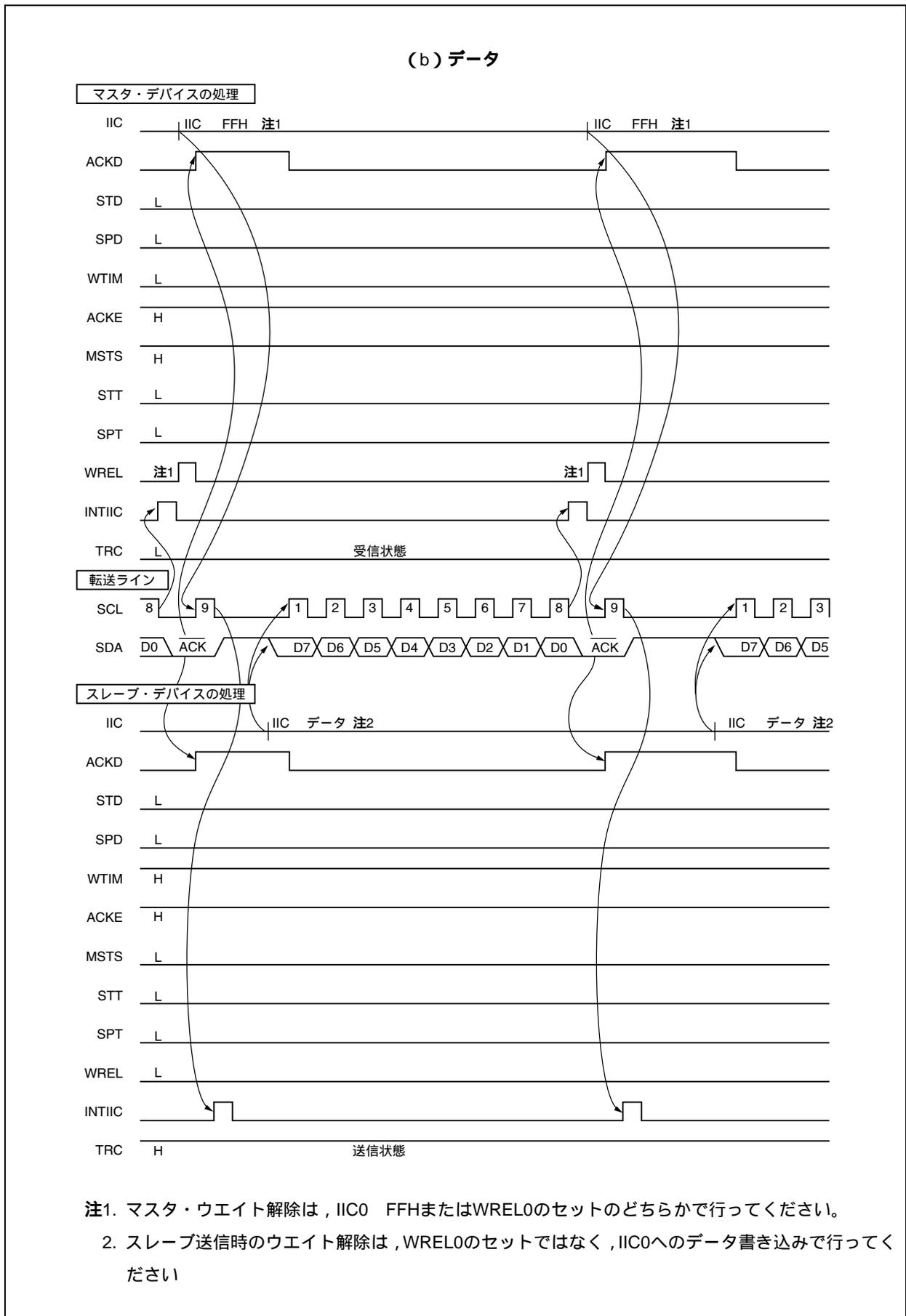
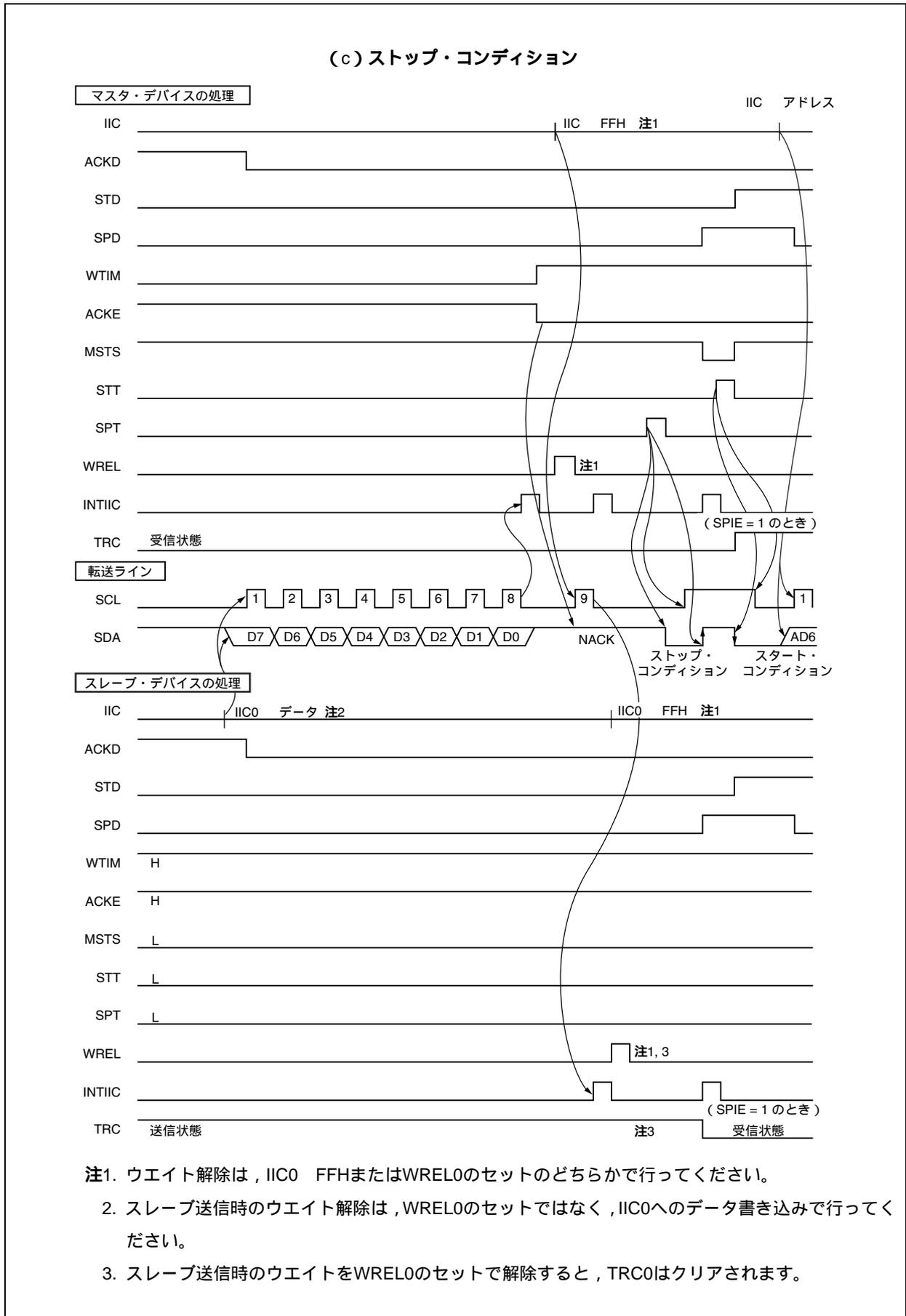


図18-22 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロック・ウエイト選択時) (3/3)



第19章 DMA機能 (DMAコントローラ)

V850E/MA3は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ) からの割り込みによる要求, $\overline{\text{DMARQ0}}\text{-}\overline{\text{DMARQ3}}$ 端子, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ I/O間またはメモリ メモリ間でのデータ転送を制御します (メモリは内蔵RAM, または外部メモリを意味します)。

19.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 (2^{16}) 回

2種類の転送タイプ

- ・フライバイ (1サイクル) 転送 (セパレート・バス・モード時のみ)
- ・2サイクル転送

3種類の転送モード

- ・シングル転送モード
- ・シングルステップ転送モード
- ・ブロック転送モード

転送要求

- ・内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ) からの割り込みによる要求
- ・ $\overline{\text{DMARQ0}}\text{-}\overline{\text{DMARQ3}}$ 端子入力による要求
- ・ソフトウェア・トリガによる要求

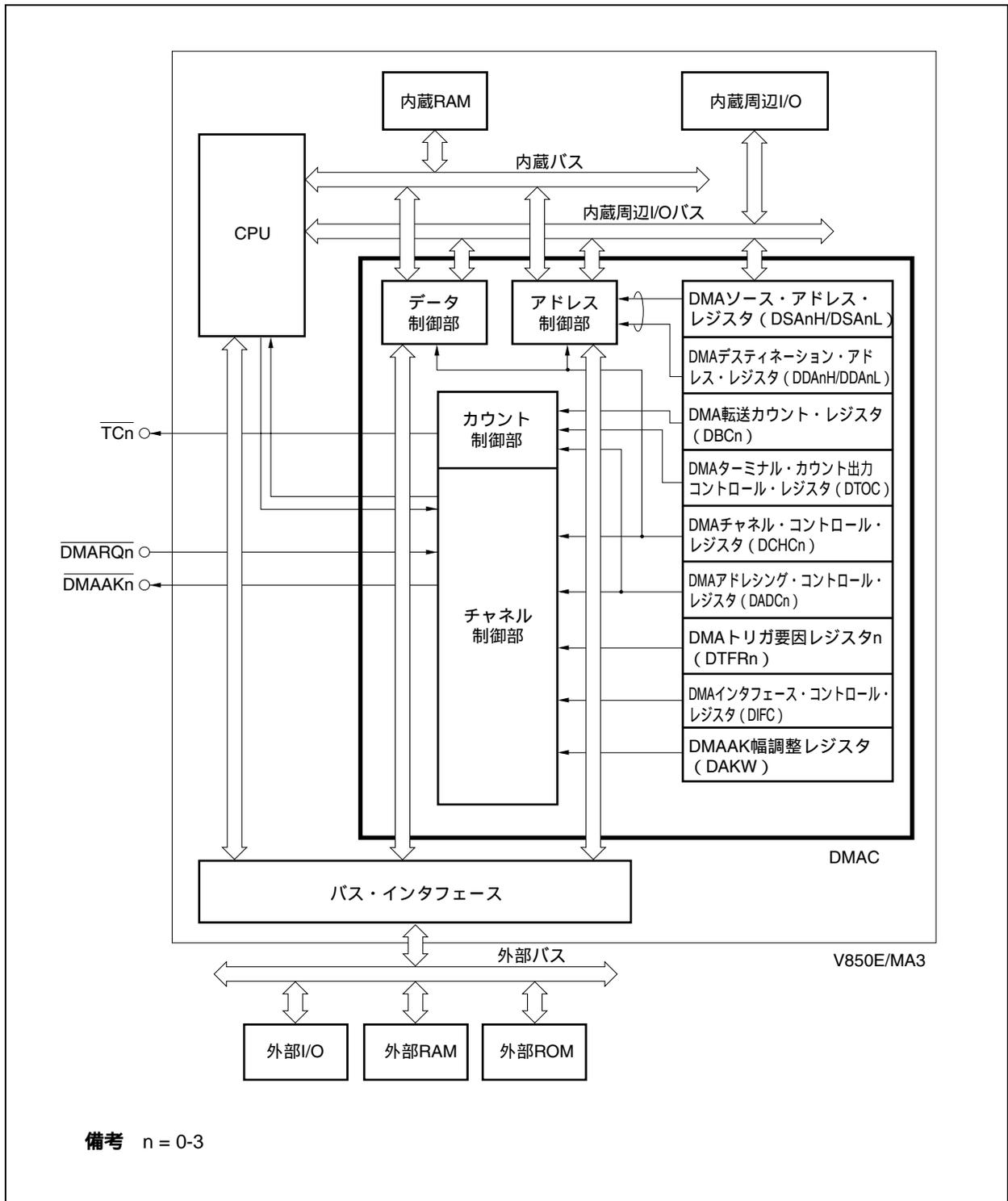
転送対象

- ・メモリ I/O
- ・メモリ メモリ

DMA転送終了出力信号 ($\overline{\text{TC0}}\text{-}\overline{\text{TC3}}$)

ネクスト・アドレス設定機能

19.2 構成



19.3 制御レジスタ

19.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス(28ビット)を設定します(n = 0-3)。このレジスタは,DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

また,このレジスタは,マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので,DMA転送中に新たなDMA転送の転送元アドレスが設定できます(19.8 **ネクスト・アドレス設定機能**参照)。

DADCn.TTYPビットで,フライバイ転送に設定した場合,外部メモリのアドレスはDSAnレジスタで設定します。このとき,DDAnレジスタの設定は無視されます(n = 0-3)。

(1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

注意 ソース・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は,必ずFFFF000H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ(3FFF000H-3FFFFFFH)のアドレスは指定できません。

リセット時: 不定 R/W アドレス: DSA0H FFFFF082H, DSA1H FFFFF08AH,
DSA2H FFFFF092H, DSA3H FFFFF09AH

DSAnH (n = 0-3)	15	14	13	12	11	10	9	8
	IR	0	0	0	SA27	SA26	SA25	SA24
	7	6	5	4	3	2	1	0
	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16

IR	DMA転送元の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

SA27-SA16	DMA転送元のアドレス(A27-A16)を設定します。DMA転送中は,次のDMA転送元アドレスを保持します。フライバイ転送時は,外部メモリのアドレスを保持します。
-----------	---

注意 ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

(2) DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

リセット時：不定		R/W	アドレス：DSA0L FFFFFFF080H, DSA1L FFFFFFF088H, DSA2L FFFFFFF090H, DSA3L FFFFFFF098H							
DSAnL (n = 0-3)	15	14	13	12	11	10	9	8		
	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8		
	7	6	5	4	3	2	1	0		
	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0		
SA15-SA0	DMA転送元のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送元アドレスを保持します。フライバイ転送時は、外部メモリのアドレスを保持します。									

19.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス(28ビット)を設定します(n = 0-3)。このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

また、このレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので、DMA転送中に新たなDMA転送の転送先アドレスが設定できます(19.8 ネットワーク・アドレス設定機能参照)。

DADCn.TTYPビットで、フライバイ転送に設定した場合、このレジスタの設定は無視されます。

(1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

注意 デスティネーション・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は、必ず FFFF000H-FFFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ (3FFF000H-3FFFFFFH)のアドレスは指定できません。

リセット時：不定 R/W アドレス：DDA0H FFFFF086H, DDA1H FFFFF08EH,
DDA2H FFFFF096H, DDA3H FFFFF09EH

	15	14	13	12	11	10	9	8
DDAnH (n = 0-3)	IR	0	0	0	DA27	DA26	DA25	DA24
	7	6	5	4	3	2	1	0
	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16

IR	DMA転送先の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

DA27-DA16	DMA転送先のアドレス (A27-A16) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。フライバイ転送時は無視されます。
-----------	--

注意 ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

(2) DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

リセット時：不定		R/W	アドレス：DDA0L FFFFF084H, DDA1L FFFFF08CH, DDA2L FFFFF094H, DDA3L FFFFF09CH							
DDAnL (n = 0-3)		15	14	13	12	11	10	9	8	
		DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	
		7	6	5	4	3	2	1	0	
		DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	
DA15-DA0	DMA転送先のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。フライバイ転送時は無視されます。									

19.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。DMA転送中は、残りの転送数を保持します。

また、このレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので、DMA転送中に新たなDMA転送の転送回数が設定できます(19.8 **ネクスト・アドレス設定機能**参照)。1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

備考 DMA転送中にDBCnレジスタを書き換えることなくターミナル・カウントが発生したあと、DBCnレジスタを読み出した場合は、DMA転送の直前に設定された値が読み出されます(転送終了後でも0000Hは読み出されません)。

リセット時：不定		R/W	アドレス：DBC0 FFFFFFF0C0H, DBC1 FFFFFFF0C2H, DBC2 FFFFFFF0C4H, DBC3 FFFFFFF0C6H							
DBCn (n = 0-3)		15	14	13	12	11	10	9	8	
		BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	
		7	6	5	4	3	2	1	0	
		BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	
BC15-BC0		転送数の設定 (DMA転送中は残りの転送数を保持)								
0000H		1回の転送, または残り転送数								
0001H		2回の転送, または残り転送数								
:		:								
FFFFH		65536 (2 ¹⁶) 回の転送, または残り転送数								

19.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。DMA動作中はアクセスできません。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意1. DS1, DS0ビットは何ビットのデータを転送するかを設定するレジスタです。

8ビット・データ (DS1, DS0ビット = 00) を設定した場合でも、必ずしも下位データ・バス (AD0-AD7) を使用するわけではありません。

また、転送データ・サイズを16ビットに設定した場合は下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。この場合は奇数アドレスから始まる転送はできません。

2. DADCnレジスタの設定は、対象となるチャネルが次のいずれかのタイミングのときに行ってください (これらのタイミング以外で設定を行った場合の動作は保証しません)。

- ・システム・リセットから最初のDMA転送要求発生までの期間
- ・DMA転送の完了後 (ターミナル・カウント後) から次のDMA転送要求発生までの期間
- ・DMA転送の強制終了後 (DCHCn.INITnビットがセット (1) 後) から次のDMA転送要求発生までの期間

リセット時：0000H R/W アドレス：DADC0 FFFF0D0H, DADC1 FFFF0D2H,
DADC2 FFFF0D4H, DADC3 FFFF0D6H

DADCn (n = 0-3)	15	14	13	12	11	10	9	8
	DS1	DS0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	SAD1	SAD0	DAD1	DAD0	TM1	TM0	TTYP	TDIR

DS1	DS0	DMA転送での転送データ・サイズの設定
0	0	8ビット
0	1	16ビット
1	0	設定禁止
1	1	設定禁止

SAD1	SAD0	DMAチャンネルnの転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	DMAチャンネルnの転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

TM1	TM0	DMA転送時の転送モードの設定
0	0	シングル転送モード
0	1	シングルステップ転送モード
1	0	設定禁止
1	1	ブロック転送モード

TTYP	DMA転送タイプの設定
0	2サイクル転送
1	フライバイ転送

TDIR	I/O	メモリ転送時の転送方向の設定
0	メモリ	I/O (リード)
1	I/O	メモリ (ライト)

設定はフライバイ転送時のみ有効で2サイクル転送時は無視されます。

注意 ビット13-8には必ず0を設定してください。1を設定した場合の動作は保証できません。

19.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを制御する8ビット・レジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です (ただし, ビット7はリードのみ, ビット2, ビット1はライトのみ可能です。ビット2, ビット1をリードした場合は0が読み出されます)。

リセットにより00Hになります。

- 注意1. MLEnビットがセット (1) された状態で転送を完了し, 次の転送要求を, $\overline{\text{DMARQn}}$ 端子入力, または内蔵周辺I/Oからの割り込みで起動するDMA転送 (ハードウェアDMA) で行った場合, 次の転送はTCnビットがセット (1) された状態で実行されます (自動的にクリア (0) されません)。
2. MLEnビットの設定は, 対象となるチャンネルが次のいずれかのタイミングのときに行ってください (これらのタイミング以外で設定を行った場合の動作は保証しません)。

- ・システム・リセットから最初のDMA転送要求発生までの期間
- ・DMA転送の完了後 (ターミナル・カウント後) から次のDMA転送要求発生までの期間
- ・DMA転送の強制終了後 (INITnビットのセット (1) 後) から次のDMA転送要求発生までの期間

3. MLEnビットをセット (1) した状態で, DMA転送の最後の転送サイクル時に強制終了を行ったときは, 転送完了時と同様の動作 (TCnビットのセット (1), $\overline{\text{TCn}}$ 信号の出力) を行います (Ennビットは, MLEnビットの値にかかわらず, 強制終了時にクリア (0) されます)。
この場合, 次のDMA転送要求時は, Ennビットのセット (1) に加え, TCnビットの読み出し (クリア (0)) も必要です。
4. DMA転送完了時 (ターミナル・カウント時) は, Ennビットのクリア (0) TCnビットのセット (1) の順で各ビットの更新が行われます。そのため, TCnビットとEnnビットの状態をポーリングしているような場合, DCHCnレジスタの読み出しタイミングが上記の各ビットの更新途中であると, 「転送未完了, かつ転送禁止」の状態を示す値 (TCnビット = 0, かつEnnビット = 0) が読み出されることがあります (異常動作ではありません)。
5. DMA転送完了後 (ターミナル・カウント後) にTCnビットの読み出し (クリア (0)) の必要がないのは, 次の2つの条件をともに満たす場合だけです。どちらか一方でも条件を満たしていない場合は, 必ず次のDMA転送要求発生までにTCnビットの読み出し (クリア (0)) を行ってください。

- ・DMA転送完了時 (ターミナル・カウント時) にMLEnビットがセット (1) されている。
- ・次のDMA転送起動要因が $\overline{\text{DMARQn}}$ 端子入力, または内蔵周辺I/Oからの割り込み要求の場合 (ハードウェアDMA)。

上記2つの条件を満たさない場合, TCnビットがセット (1) された状態で次のDMA転送要求を発生させたときの動作は保証できません。

リセット時：00H R/W アドレス：DCHC0 FFFFF0E0H, DCHC1 FFFFF0E2H,
DCHC2 FFFFF0E4H, DCHC3 FFFFF0E6H

DCHCn (n = 0-3)		6	5	4	①		
	TCn	0	0	0	MLEn	INITn	STGn

TCn ^{注1}	DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・ビット
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット(1)され、読み出しによりクリア(0)されます。	

MLEn	<p>DMA転送完了時(ターミナル・カウント出力時)に、このビットがセット(1)されていると、Ennビットはクリア(0)されず、DMA転送許可状態のままになります。</p> <p>次のDMA転送起動要因がDMARQn端子入力、または内蔵周辺I/Oからの割り込みの場合(ハードウェアDMA)は、TCnビットを読み出さなくてもDMA転送要求が受け付けられます。次のDMA転送起動要因がSTGnビットのセット(1)の場合(ソフトウェアDMA)は、TCnビットを読み出してクリア(0)すればDMA転送要求が受け付けられます。</p> <p>DMA転送完了時(ターミナル・カウント出力時)に、このビットがクリア(0)されていると、Ennビットはクリア(0)され、DMA転送禁止状態になります。次のDMA転送要求時は、TCnビットの読み出しとEnnビットのセット(1)が必要です。</p>
------	--

INITn ^{注2}	DMA転送中、またはNMI入力による強制中断後にこのビットをセット(1)すると、DMA転送を強制終了します。
---------------------	--

STGn ^{注2}	DMA転送が許可の状態(TCnビット = 0, Ennビット = 1)で、このビットをセット(1)するとDMA転送を開始します。
--------------------	--

Enn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可
<ul style="list-style-type: none"> ・DMA転送が完了するとクリア(0)されます。また、NMI入力や、INITnビットのセット(1)による強制終了時にもクリア(0)されます。 ・Ennビットをセット(1)した場合、DBCnレジスタで設定した転送回数分のDMA転送が完了するか、またはINITnビットでDMA転送を強制終了させるまでは、Ennビットの設定は行わないでください。 	

- 注1. TCnビットはリードのみ可能です。
2. INITn, STGnビットはライトのみ可能です。リードした場合は、0が読み出されます。

注意 ビット6-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

19.3.6 DMAターミナル・カウント出力コントロール・レジスタ (DTCOC)

各DMAチャンネルのターミナル・カウント出力およびNMI入力時のDMA転送を制御する8ビットのレジスタです。各DMAチャンネルのターミナル・カウント信号を共通化し、 $\overline{TC0}$ 端子から出力できます。8ビット単位でリード/ライト可能です。リセットにより01Hになります。

注意 DTCOCレジスタの設定を変更する場合は、必ずすべてのDMA動作を停止してから行ってください。

リセット時：01H R/W アドレス：FFFFFF8A0H

	7	6	5	4	3	2	1	0
DTCOC	DMSTPM	0	0	0	TCO3	TCO2	TCO1	TCO0

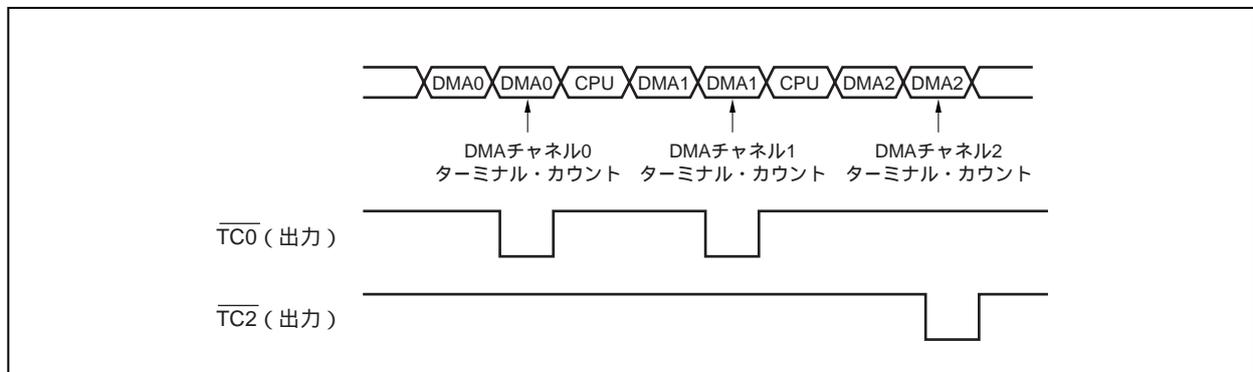
DMSTPM	NMI入力時のDMA転送の制御
0	NMI入力により、DMA動作を強制中断させる。
1	NMI入力により、DMA動作を中断させない。

・ DMSTPMビット = 0の場合、現在実行中のDMAサイクル完了後、すぐにNMIの処理を実行できます。ただし、強制中断されたDMA転送は、DCHCn.INITnビットをセット(1)し、DMA転送を強制終了させたあとに、再度初期化してから実行してください(n=0-3)。

・ DMSTPMビット = 1の場合、ブロック転送モードでは、あらかじめ設定されたDMA転送回数が終了するまでNMI処理を保留します。シングル転送モードおよびシングルステップ転送モードでは、現在実行中のDMAサイクル完了後、NMI処理を実行します。DMAを停止したい場合は、DCHCn.INITnビットをセット(1)し、DMA転送を強制終了させてください(n=0-3)。

TCO3-TCO0	TCO端子状態フラグ
0	TCO端子からチャンネルnのターミナル・カウント信号を出力しない。
1	TCO端子からチャンネルnのターミナル・カウント信号を出力する。

DTCOCレジスタを03Hに設定した場合の例を次に示します。



19.3.7 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oから割り込み要求によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求が、DMA転送の起動要因になります。

8/1ビット単位でリード/ライト可能です。ただし、ビット7 (DFn)は1ビット単位、ビット5-0 (IFCn5-IFCn0)は8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1.** DTFRnレジスタの設定を変更する場合は、必ずDMA動作を停止してから行ってください。
- スタンバイ・モード (IDLE, ソフトウェアSTOPモード) 中に入力された内蔵周辺I/Oからの割り込み要求は、DMA転送の起動要因として保留されます。保留されたDMA起動要因は通常動作モードへ復帰後に実行されます。
 - IFCn5-IFCn0ビットによりDMA転送の起動要因を変更した場合は、必ず直後の命令でDFnビットのクリア (0) を行ってください。
 - たとえば、UARTAの送信許可割り込み要求信号 (INTSTn) をDMA転送の起動要因とする場合、最後の送信データがUARTAn送信シフト・レジスタに転送された時点で発生した割り込み要求信号によるDMA転送の起動要因は保持されたままとなります。このような場合には、DFnビットをクリア (0) してDMA転送起動要因をクリアしてください。

リセット時：00H R/W アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

		6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0
(n = 0-3)								
	DFn ^注	DMA転送要求フラグ						
	0	DMA転送要求なし						
	1	DMA転送要求あり						

注 DFnビットをライトする場合は、0のみ書き込み可能です。

DMA転送を禁止 (NMIによる中断、ソフトウェアによる強制終了を含む) している間に、DMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合には、割り込み発生要因の動作を停止したあとに、DFnビットをクリアしてください (例 シリアル受信の場合、受信を禁止)。なお、次にDMA転送を再開するまでに再度割り込みが発生しないことがアプリケーション上で明確な場合は、割り込み発生要因の動作を停止する必要はありません。

- 注意1.** IFCn5-IFCn0ビットについては、表19-1 DMA起動要因を参照してください。
- ビット6には必ず0を設定してください。1を設定した場合の動作は保証できません。

表19 - 1 DMA起動要因 (1/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止
0	0	0	0	0	1	INTP000/INTCCP00
0	0	0	0	1	0	INTP001/INTCCP01
0	0	0	0	1	1	INTP004/INTCC101
0	0	0	1	0	0	INTP005/INTCC100
0	0	0	1	0	1	INTP106
0	0	0	1	1	0	INTP107
0	0	0	1	1	1	INTP010/INTCCQ0
0	0	1	0	0	0	INTP011/INTCCQ1
0	0	1	0	0	1	INTP012/INTCCQ2
0	0	1	0	1	0	INTP013/INTCCQ3
0	0	1	0	1	1	INTP114
0	0	1	1	0	0	INTP115
0	0	1	1	0	1	INTP021/INTCCP10
0	0	1	1	1	0	INTP022/INTCCP11
0	0	1	1	1	1	INTP124
0	1	0	0	0	0	INTP125
0	1	0	0	0	1	INTP126
0	1	0	0	1	0	INTP130
0	1	0	0	1	1	INTP131
0	1	0	1	0	0	INTP132
0	1	0	1	0	1	INTP133
0	1	0	1	1	0	INTP134
0	1	0	1	1	1	INTP137
0	1	1	0	0	0	INTP050/INTCCP20
0	1	1	0	0	1	INTP051/INTCCP21
0	1	1	0	1	0	INTCMD0
0	1	1	0	1	1	INTCMD1
0	1	1	1	0	0	INTCMD2
0	1	1	1	0	1	INTCMD3
0	1	1	1	1	0	INTCM100
0	1	1	1	1	1	INTCM101
1	0	0	0	0	0	INTOVQ
1	0	0	0	0	1	INTSER0/INTCSIER0
1	0	0	0	1	0	INTSR0/INTCSIR0
1	0	0	0	1	1	INTST0/INTCSIT0
1	0	0	1	0	0	INTSER1/INTCSIER1
1	0	0	1	0	1	INTSR1/INTCSIR1
1	0	0	1	1	0	INTST1/INTCSIT1

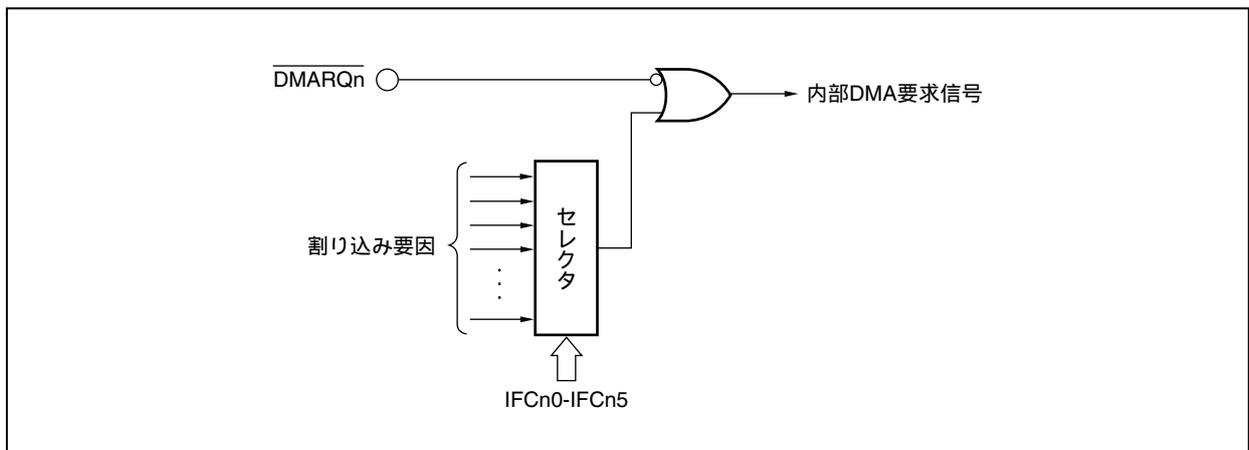
備考 n = 0-3

表19 - 1 DMA起動要因 (2/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	0	1	1	1	INTSER2/INTCSIER2
1	0	1	0	0	0	INTSR2/INTCSIR2
1	0	1	0	0	1	INTST2/INTCSIT2
1	0	1	0	1	0	INTSER3
1	0	1	0	1	1	INTSR3/INTIIC
1	0	1	1	0	0	INTST3
1	0	1	1	0	1	INTAD
その他						設定禁止

備考 n = 0-3

DMARQn信号とDMA転送トリガとなる割り込み要因の関係を次に示します (n = 0-3)。



- 注意1. DMARQn端子をDMA転送の起動要因にする場合、DTFRnレジスタ = 00Hに設定してください。
 割り込み要求をDMA転送の起動要因にする場合、ポート側 (PMC0レジスタなど) でDMARQn信号の入力をマスクしてください。この場合には、DMAの起動とともに割り込み要求も発生します。割り込み要求を発生させたくない場合は、割り込み要求制御レジスタで割り込みをマスクしてください。割り込みをマスクしてもDMAは起動されます。
- スタンバイ・モード (IDLE, ソフトウェアSTOPモード) 中に入力されたDMARQn信号によるDMA転送の起動要求は、DMA転送の起動要因にはなりません。
 - PCC.CK1, CK0ビットの設定により、CPUクロックの周波数を低下させることで各内蔵周辺I/Oのクロックより遅くなった場合には、DMA転送の起動要因が受け付けられない場合があります。

19.3.8 DMAインタフェース・コントロール・レジスタ (DIFC)

各DMAチャンネルの $\overline{\text{DMARQn}}$ 信号のマスク機能 (DMAマスク・モード) を制御する8ビット・レジスタです ($n = 0-3$)。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8A8H

	7	6	5	4	3	2	1	0
DIFC	0	0	0	0	DRMK3	DRMK2	DRMK1	DRMK0

DRMKn	DMAマスク・モードの指定 ($\overline{\text{DMARQn}}$ 信号のマスク・ビット) ($n = 0-3$)
0	$\overline{\text{DMARQn}}$ 信号をマスクしない。
1	DMAAkn信号の立ち下がりから立ち上がりまでの間 $\overline{\text{DMARQn}}$ 信号の入力をマスクする。

注意1. ビット7-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

2. $\overline{\text{DMARQn}}$ 信号のマスク機能 (DMAマスク・モード) は、不用意に2回 $\overline{\text{DMARQn}}$ 信号が発生しないようにするため、サービス中の $\overline{\text{DMARQn}}$ 信号だけをマスクする機能です。 $\overline{\text{DMARQn}}$ 信号と同一チャンネルの $\overline{\text{DMAAkn}}$ 信号がアクティブになったあと、マスク期間だけマスク状態になります。他チャンネルにマスクの影響を与えません。

したがって、優先順位の高い $\overline{\text{DMARQn}}$ 信号だけをマスクすると、マスク期間内であれば、 $\overline{\text{DMARQn}}$ 信号の優先順位に関係なく、他の $\overline{\text{DMARQn}}$ 信号と競合した場合、他の $\overline{\text{DMARQn}}$ 信号を先に受け付けることがあります。

19.3.9 DMAAK幅調整レジスタ (DAKW)

各DMAチャネルのDMAAK \bar{n} 信号のアクティブ幅を制御する8ビット・レジスタです (n = 0-3)。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF8ACH

	7	6	5	4	3	2	1	0
DAKW	0	0	0	0	0	DAKW2	DAKW1	DAKW0

DAKW2	DAKW1	DAKW0	DMAAK \bar{n} 信号のアクティブ拡張幅の指定 (n = 0-3)
0	0	0	0CPUクロック
0	0	1	1CPUクロック
0	1	0	2CPUクロック
0	1	1	3CPUクロック
1	0	0	4CPUクロック
1	0	1	5CPUクロック
1	1	0	6CPUクロック
1	1	1	7CPUクロック

・ DMAAK \bar{n} 信号のアクティブ幅をCPUクロック (f_{cpu}) 同期で引き伸ばします。
 ・ DMAAK \bar{n} 信号のアクティブ幅はBUSCLKの周期より、少なくとも1CPUクロック幅以上大きく設定してください。

注意1. フライバイ転送時は、DAKWレジスタの設定値にかかわらずDMAAK \bar{n} 信号のアクティブ幅は拡張されません。

2. DAKWレジスタの設定値は、DMAAK0-DMAAK3信号のすべてに反映されます。

3. DMAAK \bar{n} 信号のアクティブ幅拡張時に次に示す条件が1つでも該当する場合には、DMAAK \bar{n} 信号のアクティブ拡張幅を付加中に次のDMAAK \bar{n} 信号がアクティブになり、複数のDMAAK \bar{n} 信号のアクティブ・サイクルが1つのDMAAK \bar{n} 信号となるため、実際のDMAサイクル数に対し、DMAAK \bar{n} 信号のアクティブ回数が少なくなることがあります。

・ ブロック転送、シングルステップ転送の場合

・ シングル転送時、DMAAK \bar{n} 信号がインアクティブになる前に次のDMARQ \bar{n} 信号をアクティブにした場合

4. ビット7-3には必ず0を設定してください。1を設定した場合の動作は保証できません。

19.4 転送モード

19.4.1 シングル転送モード

シングル転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先されます。ただし、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は、前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず、CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

図19 - 1から図19 - 4にシングル転送の例を示します。

図19 - 1 シングル転送例1

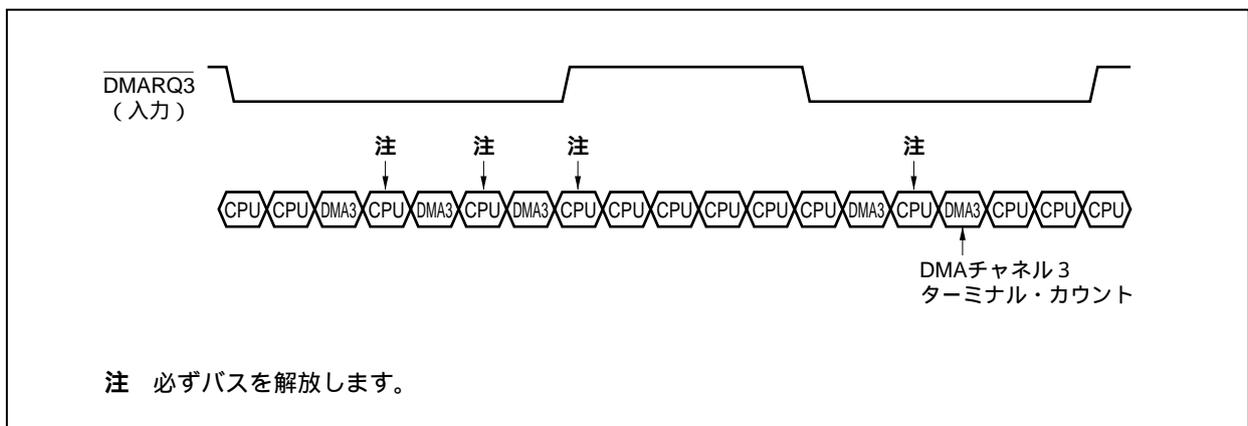


図19 - 2は、優先順位の高いDMA要求が発生した場合のシングル転送の例で、DMAチャンネル0-2はブロック転送、チャンネル3はシングル転送です。

図19 - 2 シングル転送例2

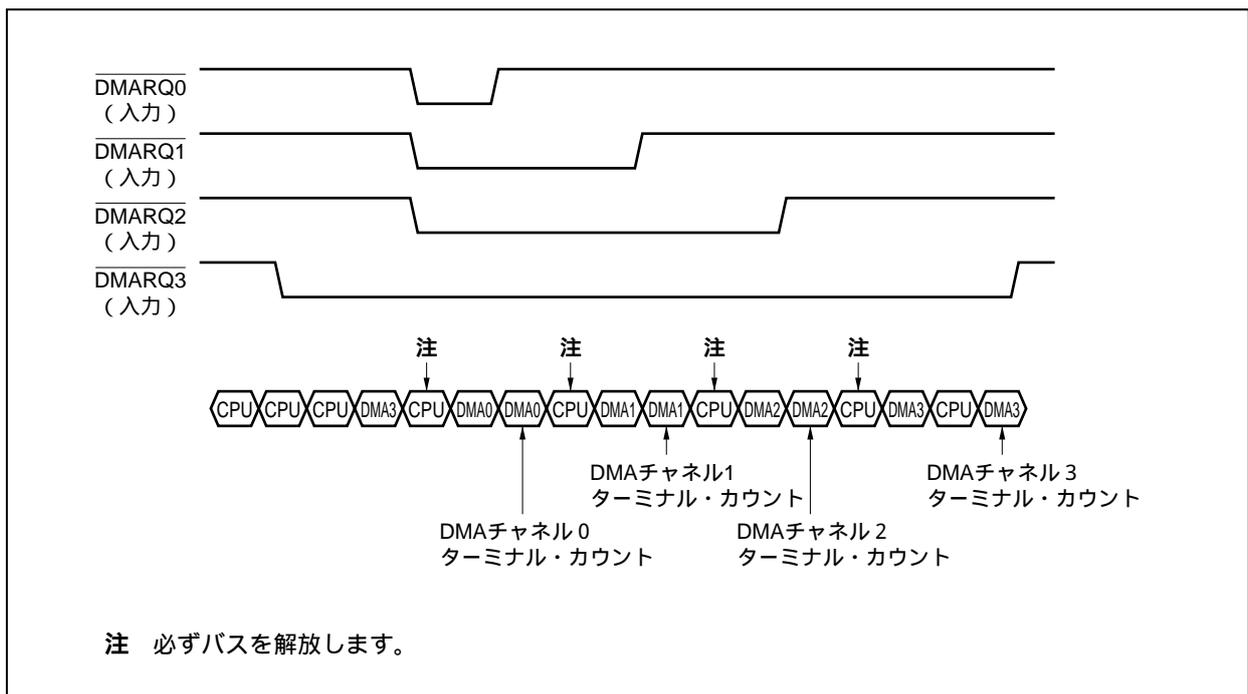


図19 - 3は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で、DMAチャンネル0, 3はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは、2つのDMA転送を交互に行います。

図19 - 3 シングル転送例3

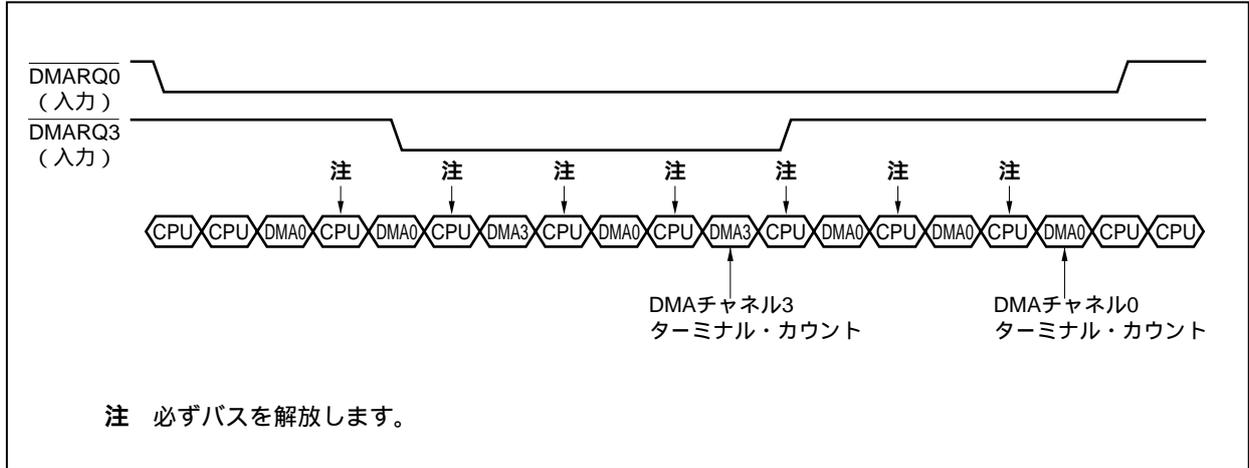
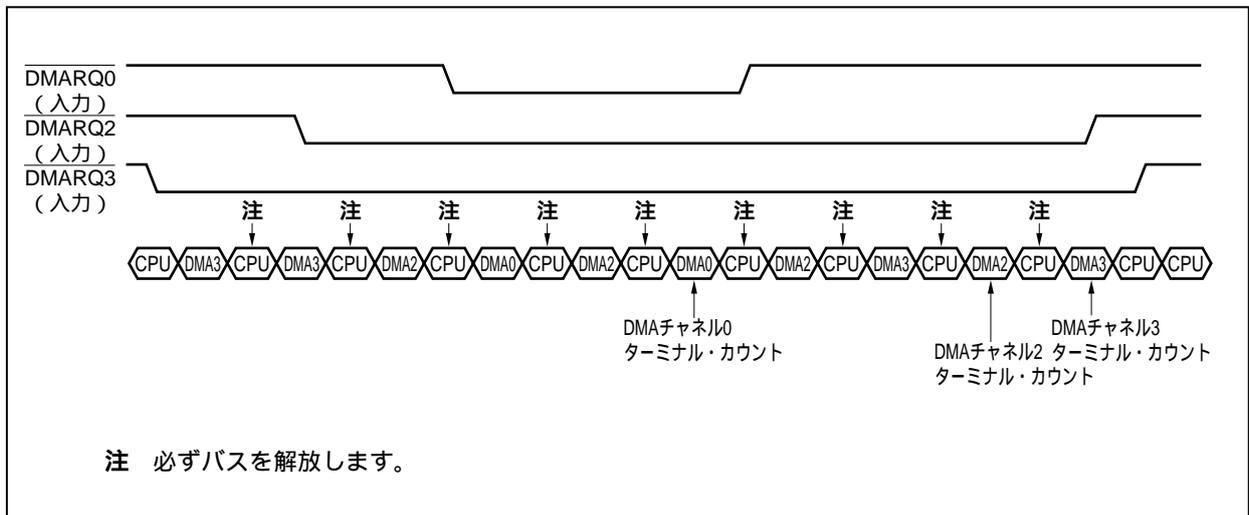


図19 - 4は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求の発生が複数あった場合のシングル転送の例で、DMAチャンネル0, 2, 3はシングル転送です。3つ以上のDMA転送要求信号が同時にアクティブになっているときは、優先順位が高い順から2つのDMA転送を交互に行います。

図19 - 4 シングル転送例4



19.4.2 シングルステップ転送モード

シングルステップ転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。一度、DMA転送要求信号 (DMARQ0-DMARQ3) を受けると、ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

次にシングルステップ転送の例を示します。図19 - 6は、優先順位が高いDMA転送要求が発生した場合のシングルステップ転送モードの例で、DMAチャンネル0, 1ともにシングルステップ転送です。

図19 - 5 シングルステップ転送例1

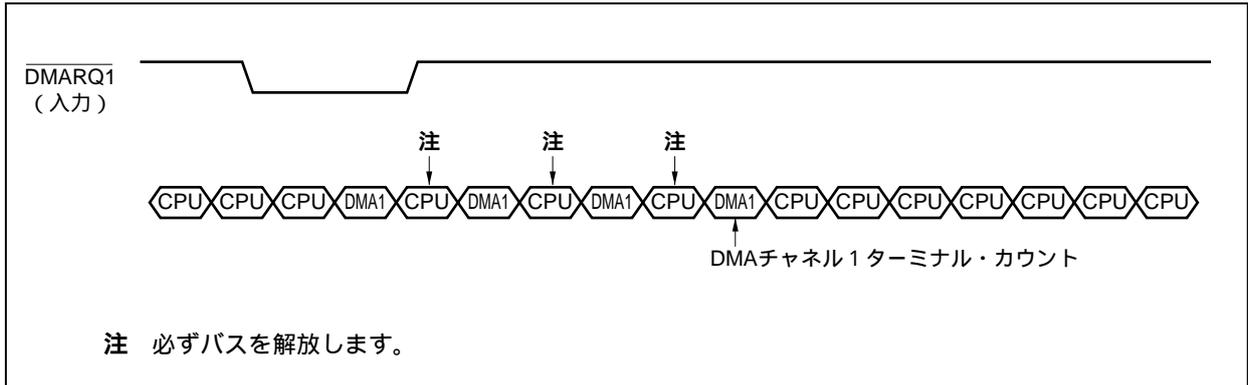
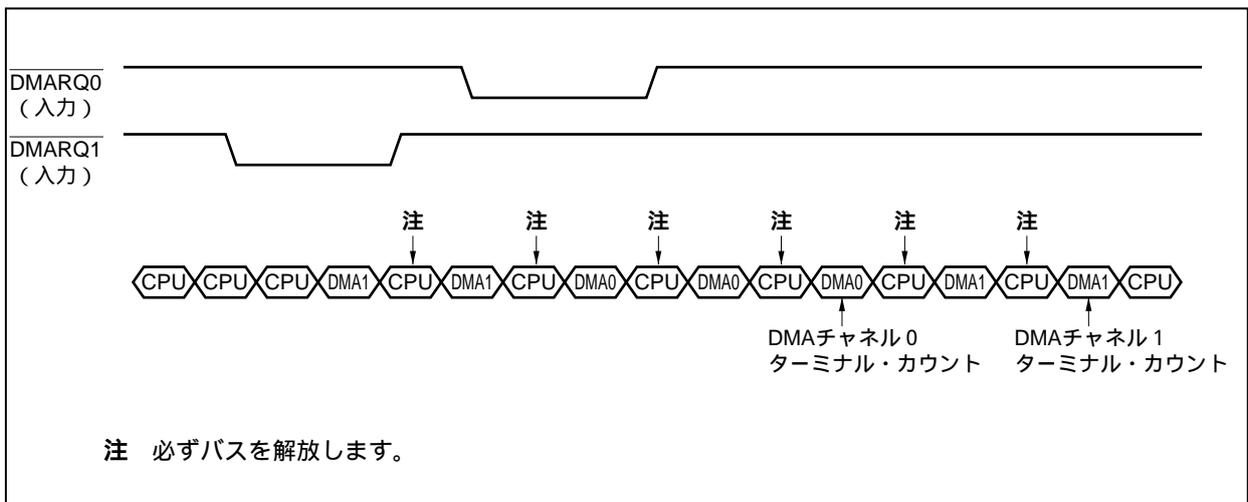


図19 - 6 シングルステップ転送例2



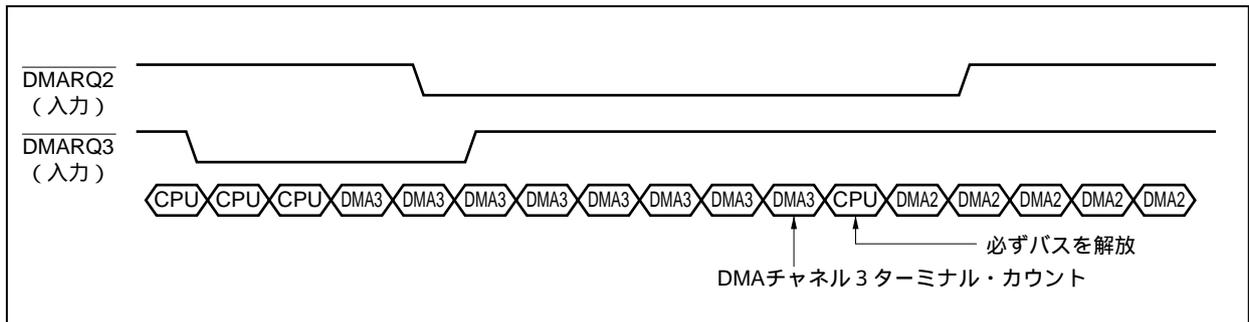
19.4.3 ブロック転送モード

ブロック転送では、転送が開始されると、ターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに、ほかのDMA転送を受け付けます。なお、ブロック転送中はCPUのバス・サイクルが挿入されることはありませんが、バス・ホールドおよびリフレッシュ・サイクルは、ブロック転送中でもDMA転送間に挿入されます。

次にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で、DMAチャンネル2, 3はブロック転送です。

図19 - 7 ブロック転送例



19.5 転送タイプ

19.5.1 2サイクル転送

2サイクル転送は、リード・サイクル (転送元 DMAC)、ライト・サイクル (DMAC 転送先) と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

- 注意1. リード・サイクルとライト・サイクルの間に、必ず1~2クロック分のアイドル・サイクルが挿入されます。
2. 内蔵周辺I/Oから内蔵RAMへの2サイクル転送に関する注意事項は、表19 - 3 転送の種類と転送対象の関係の注意4を参照してください。

ライト・バッファにデータがない場合のDMAのアクセス・タイミングを図19 - 8から図19 - 11に示します。ライト・バッファについては、5.6 ライト・バッファ機能を参照してください。

図19 - 8 2サイクルDMA転送時のSRAM, 外部ROM, 外部I/Oアクセス・タイミング (SRAM 外部I/O) (1/2)
: BMCレジスタ = 01H

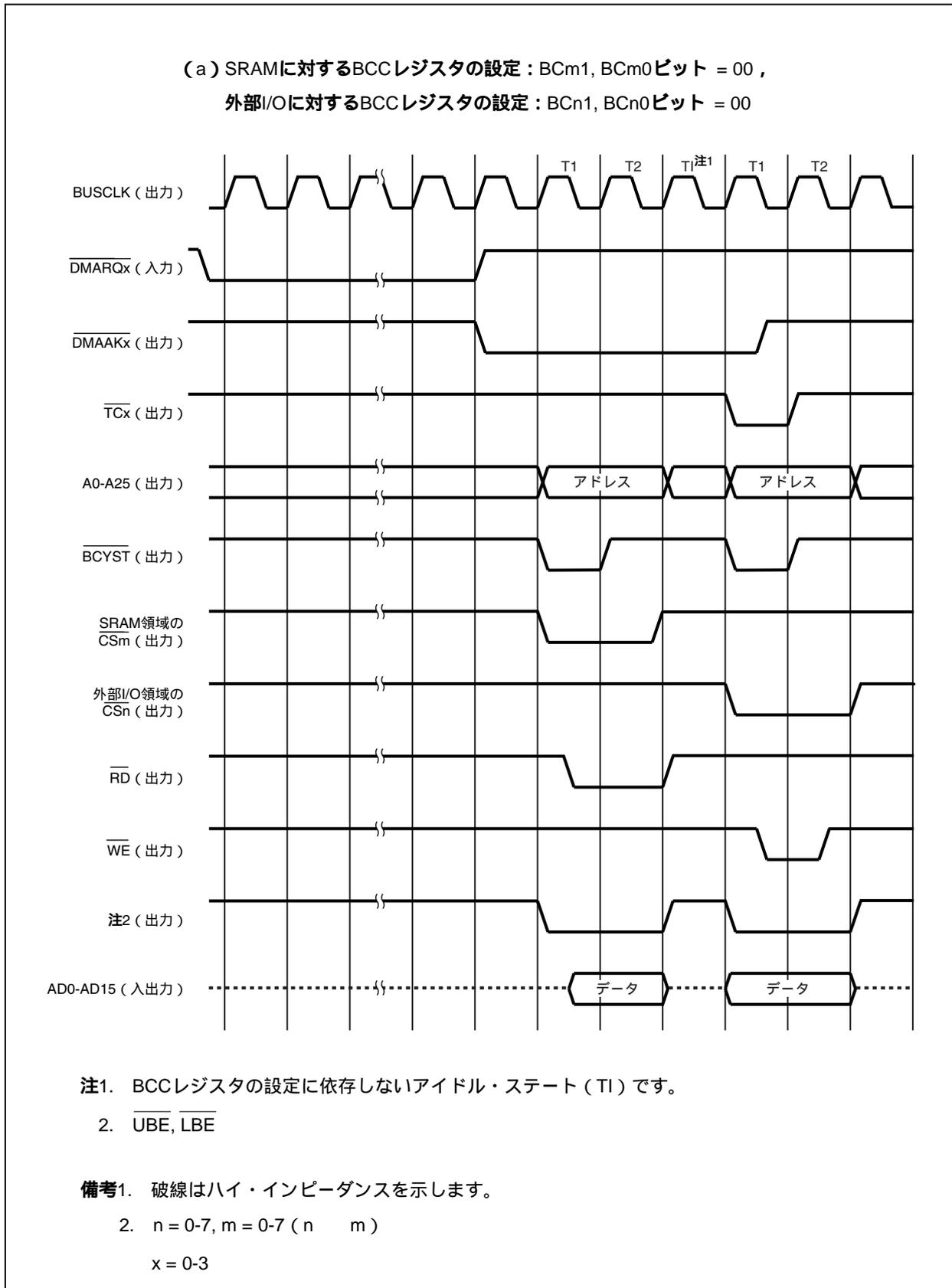


図19 - 8 2サイクルDMA転送時のSRAM, 外部ROM, 外部I/Oアクセス・タイミング (SRAM 外部I/O) (2/2)
: BMCレジスタ = 01H

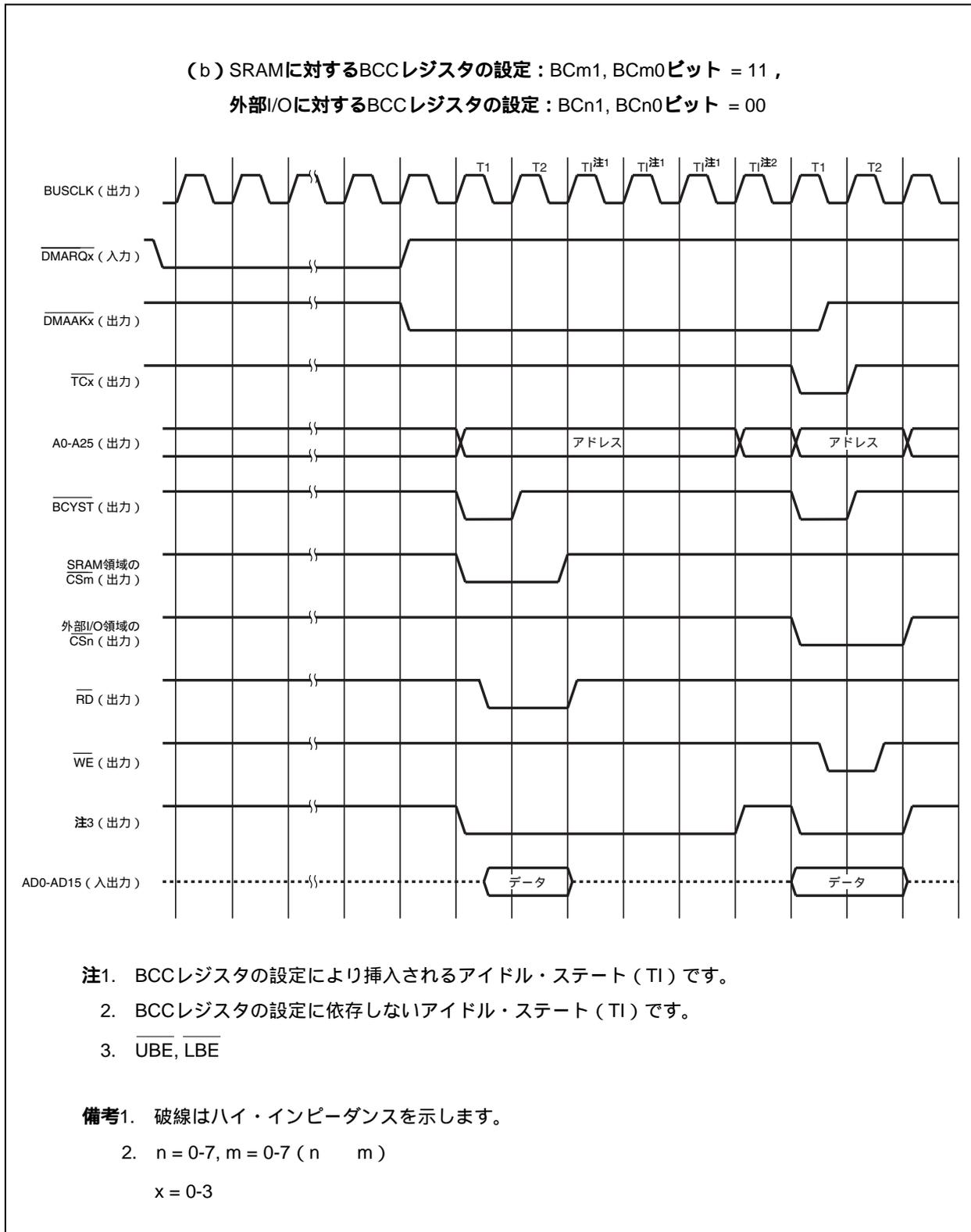


図19 - 9 2サイクルDMA転送時のタイミング (SRAM 外部I/O)

: シングルステップ転送モード時 (SRAMに対するBCCレジスタの設定 : BCm1, BCm0ビット = 00)
 (外部I/Oに対するBCCレジスタの設定 : BCn1, BCn0ビット = 00)

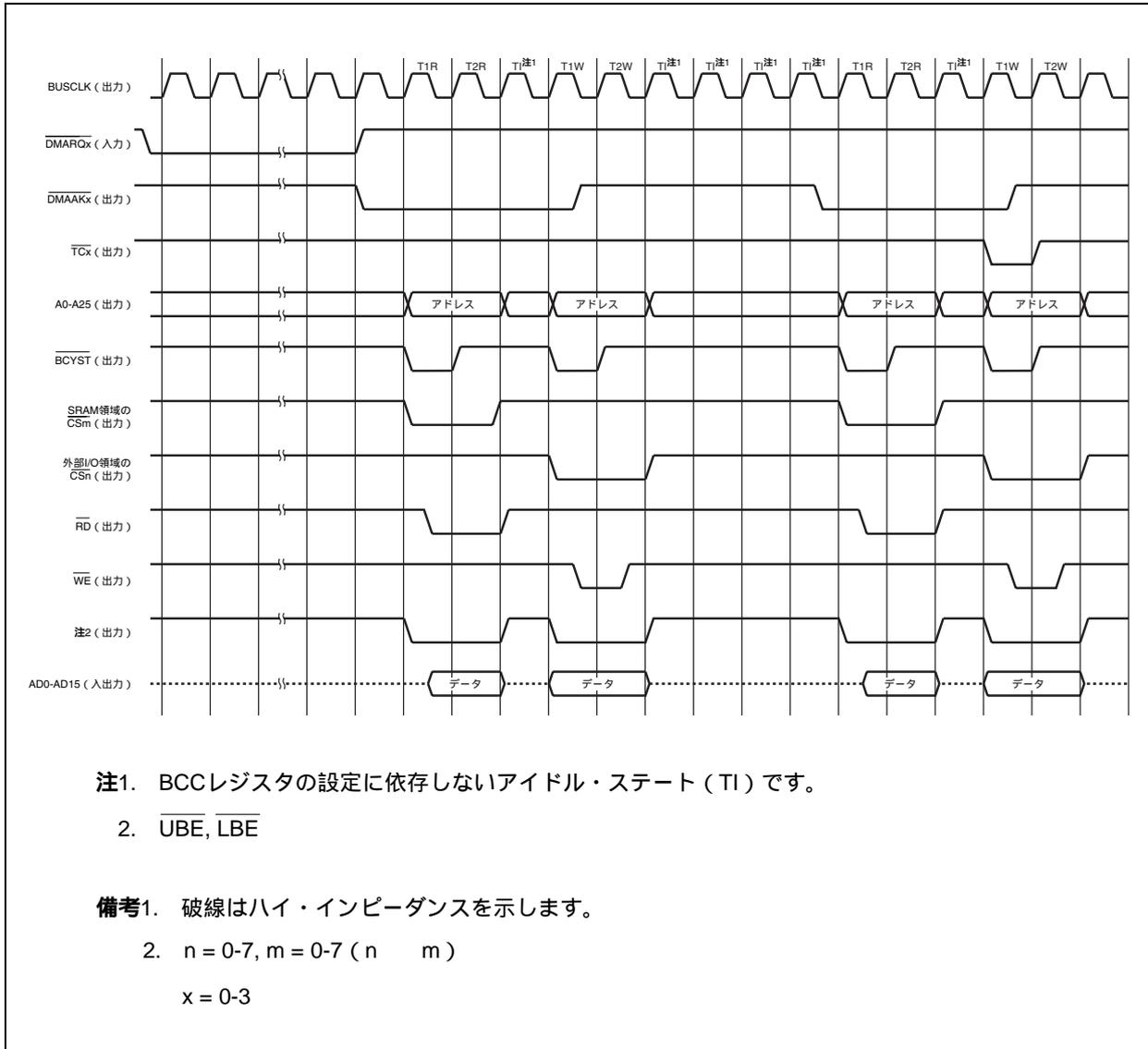
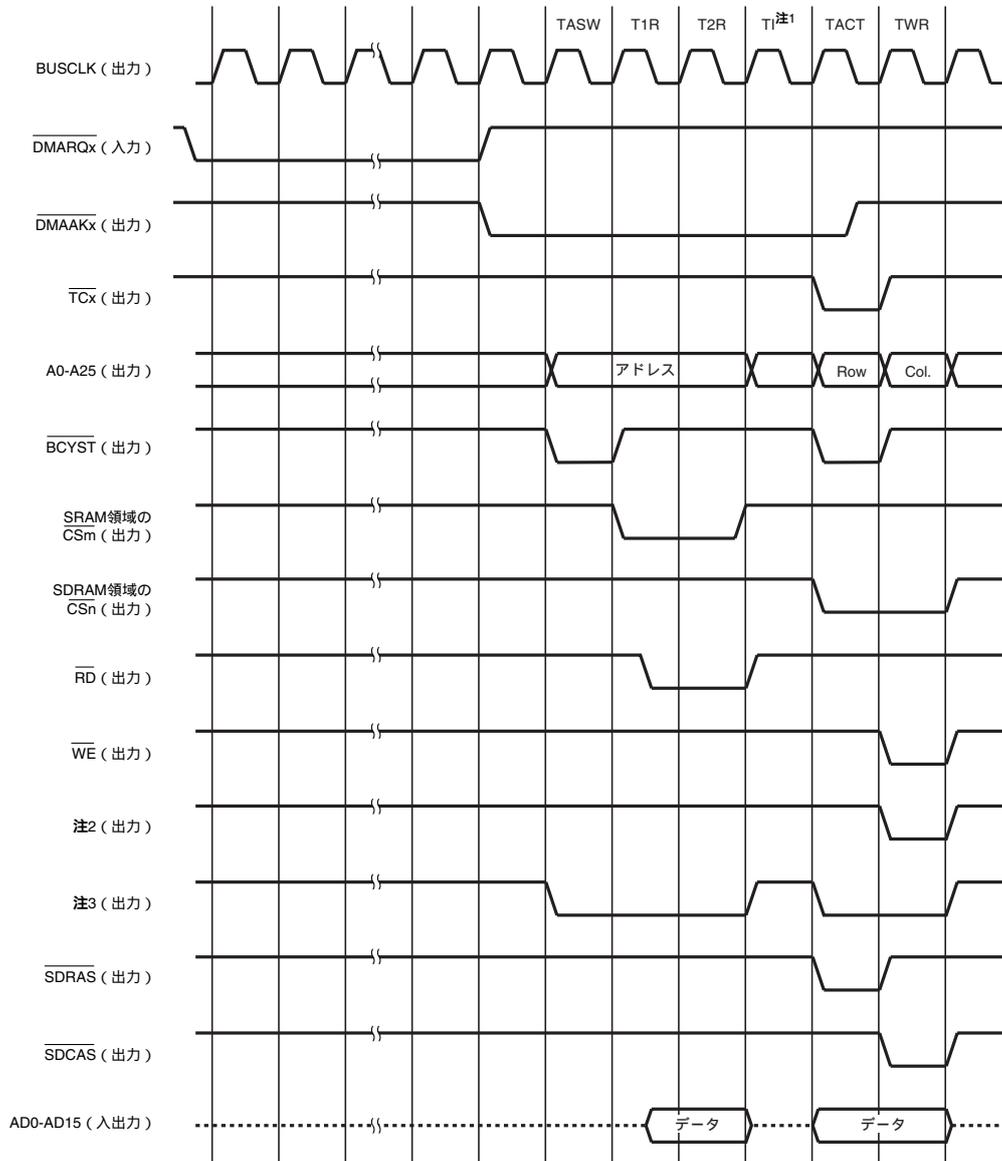


図19 - 10 2サイクルDMA転送時のタイミング (SRAM SDRAM) (1/3)

: BMCレジスタ = 01H

(a) シングル転送モード時 (SRAMに対するCSDCレジスタの設定 : CSDCmビット = 1,
ASCレジスタの設定 : ACm1, ACm0ビット = 01)



注1. BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

2. $\overline{UWE}/\overline{UDQM}$, $\overline{LWE}/\overline{LDQM}$
3. $\overline{UBE}/\overline{UDQM}$, $\overline{LBE}/\overline{LDQM}$

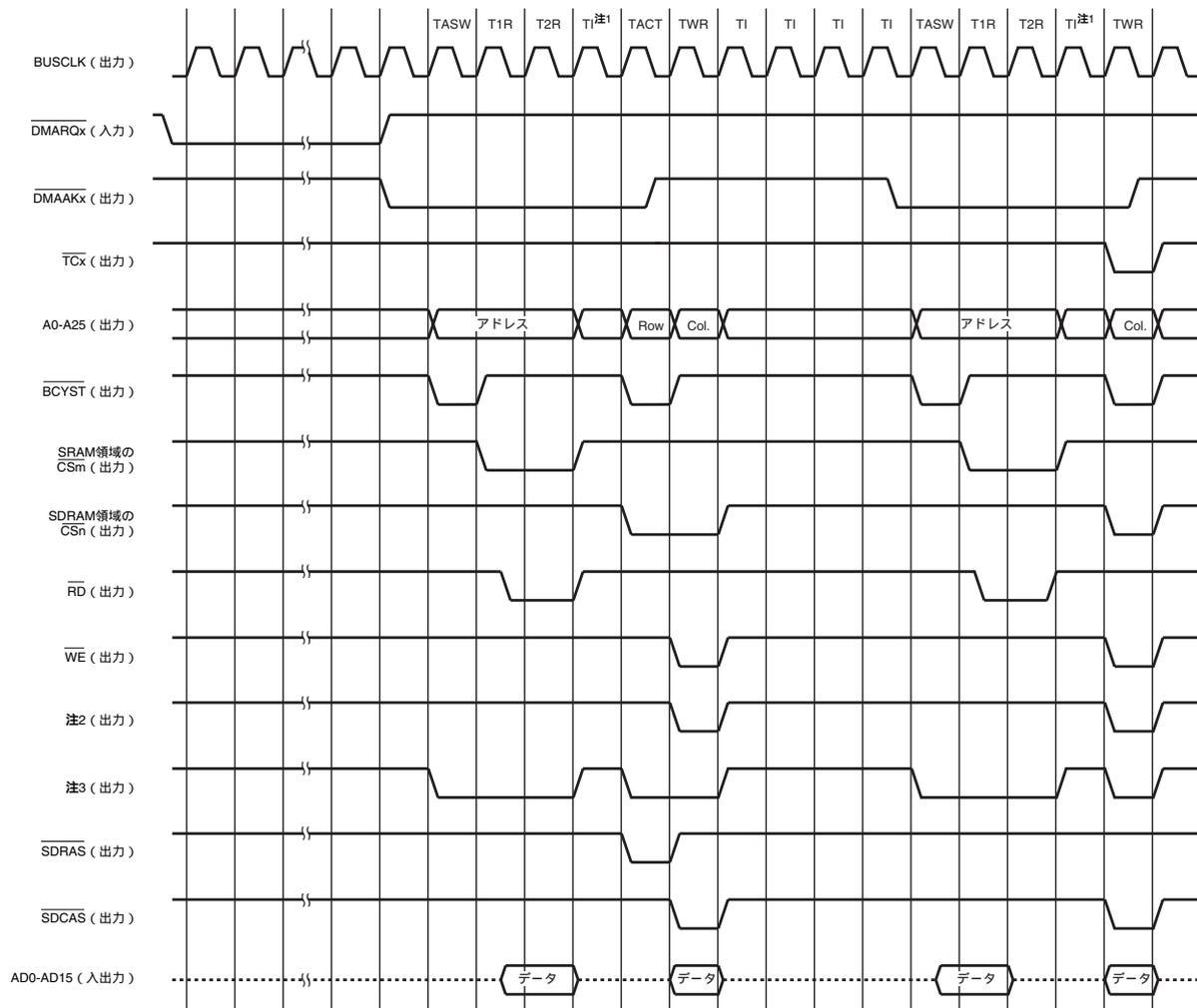
備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6$, $m = 0, 4, 6, 7$ ($n \neq m$), $x = 0-3$
3. Col. : カラム・アドレス
Row : ロウ・アドレス

図19 - 10 2サイクルDMA転送時のタイミング (SRAM SDRAM) (2/3)

: BMCレジスタ = 01H

(b) シングルステップ転送モード時 (SRAMに対するCSDCレジスタの設定 : CSDCmビット = 1,
ASCレジスタの設定 : ACm1, ACm0ビット = 01)



- 注1. BCCレジスタの設定に依存しないアイドル・ステート (TI) です。
2. $\overline{UWE/UDQM}$, $\overline{LWE/LDQM}$
 3. $\overline{UBE/UDQM}$, $\overline{LBE/LDQM}$

- 備考1. 破線はハイ・インピーダンスを示します。
2. $n = 1, 3, 4, 6, m = 0, 4, 6, 7 (n \neq m), x = 0-3$
 3. Col. : カラム・アドレス
Row : ロウ・アドレス

図19 - 10 2サイクルDMA転送時のタイミング (SRAM SDRAM) (3/3)

: BMCレジスタ = 01H

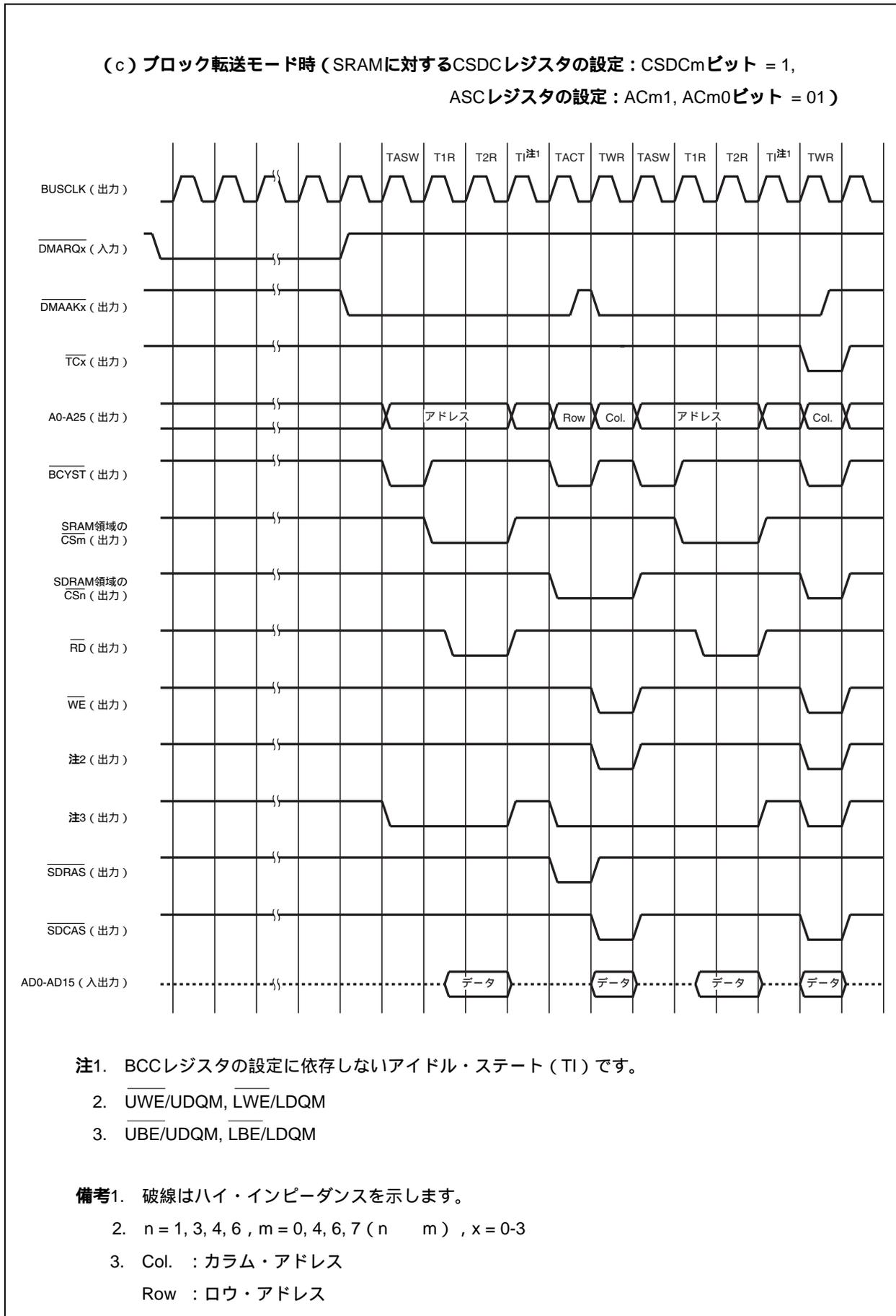


図19 - 11 2サイクルDMA転送時のタイミング (SDRAM SRAM) (1/3)

: BMCレジスタ = 01H

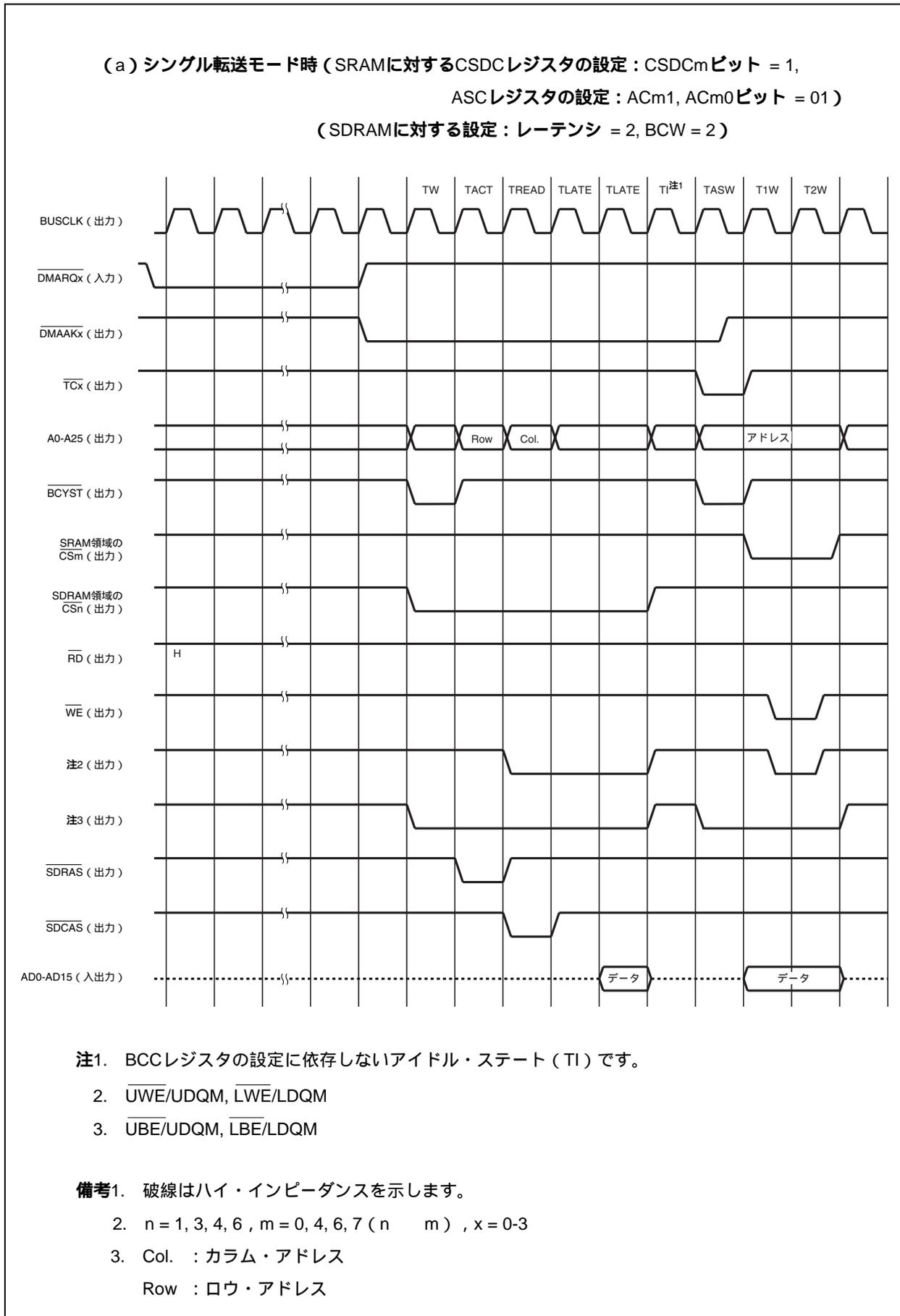
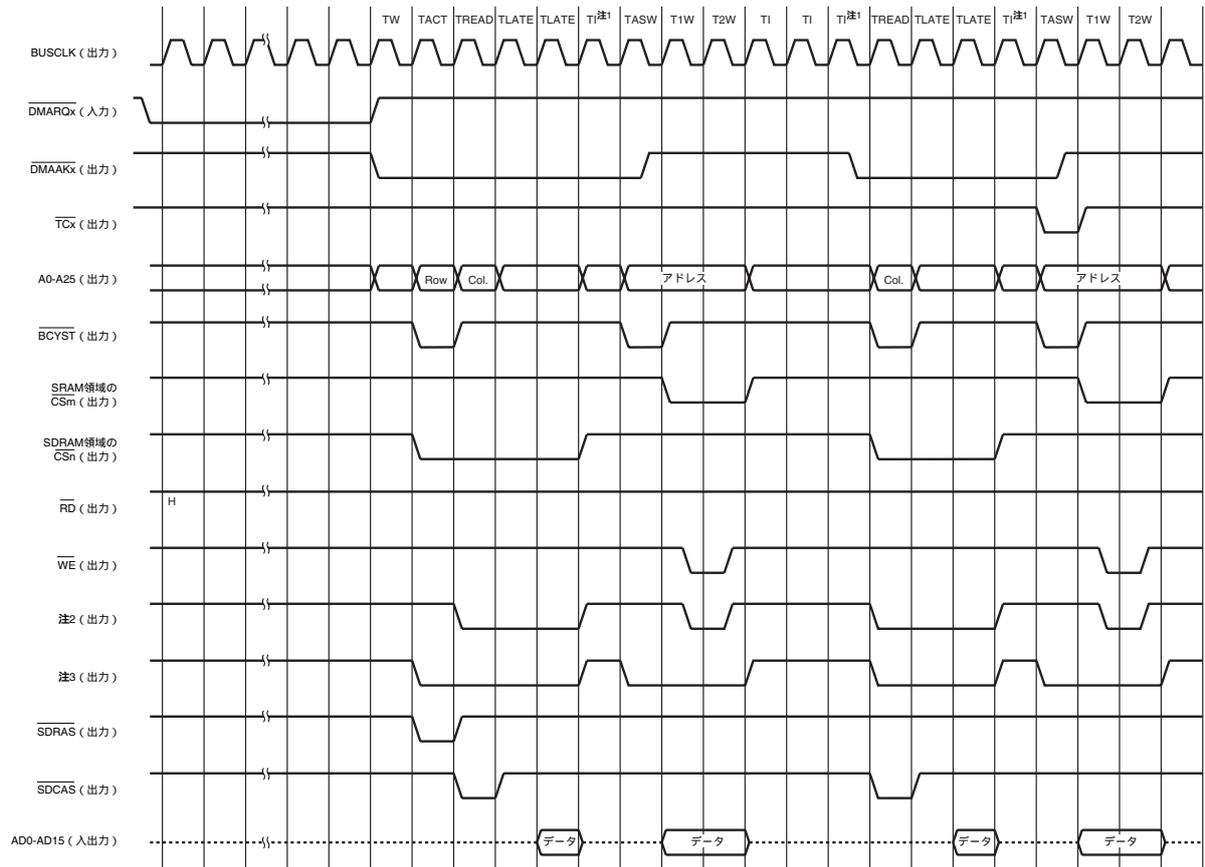


図19 - 11 2サイクルDMA転送時のタイミング (SDRAM SRAM) (2/3)

: BMCレジスタ = 01H

(b) シングルステップ転送モード時 (SRAMに対するCSDCレジスタの設定 : CSDCmビット = 1,
ASCレジスタの設定 : ACm1, ACm0ビット = 01)
(SDRAMに対する設定 : レーテンシ = 2, BCW = 2)



注1. BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

2. $\overline{UWE/UDQM}$, $\overline{LWE/LDQM}$
3. $\overline{UBE/UDQM}$, $\overline{LBE/LDQM}$

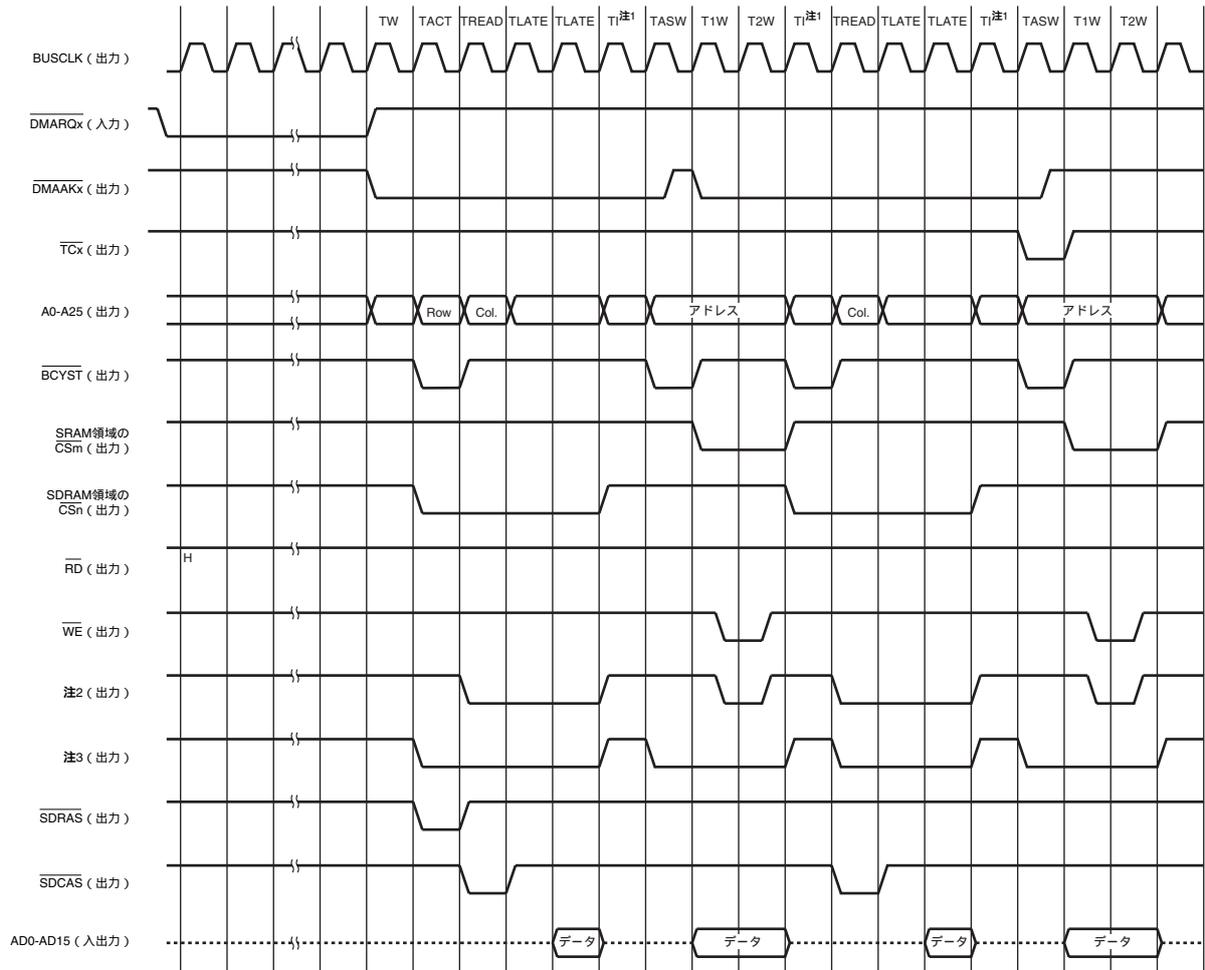
備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6, m = 0, 4, 6, 7 (n \neq m), x = 0-3$
3. Col. : カラム・アドレス
Row : ロウ・アドレス

図19 - 11 2サイクルDMA転送時のタイミング (SDRAM SDRAM) (3/3)

: BMCレジスタ = 01H

(c) ブロック転送モード時 (SRAMに対するCSDCレジスタの設定 : CSDCmビット = 1,
ASCレジスタの設定 : ACm1, ACm0ビット = 01)
(SDRAMに対する設定 : レーテンシ = 2, BCW = 2)



注1. BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

2. $\overline{UWE/UDQM}$, $\overline{LWE/LDQM}$
3. $\overline{UBE/UDQM}$, $\overline{LBE/LDQM}$

備考1. 破線はハイ・インピーダンスを示します。

2. $n = 1, 3, 4, 6$, $m = 0, 4, 6, 7$ ($n \neq m$), $x = 0-3$
3. Col. : カラム・アドレス
Row : ロウ・アドレス

(1) $\overline{\text{DMAAKn}}$ 信号のアクティブ幅

DMAコントローラから出力される $\overline{\text{DMAAKn}}$ 信号のアクティブ幅は、DMAコントローラからのリード動作開始からライト動作完了までです ($n = 0-3$)。ただし、内蔵RAMへのライト/リード・サイクルに対しては、 $\overline{\text{DMAAKn}}$ 信号はアクティブになりません。また、外部メモリへのライト動作は、ライト・バッファにデータが転送された時点で、 $\overline{\text{DMAAKn}}$ 信号のアクティブが終了します。このため、外部I/O/外部メモリへのライトが実行される前に、 $\overline{\text{DMARQn}}/\overline{\text{DMAAKn}}$ 信号とのハンドシェイクが完了する場合があります。たとえば、すでにライト・バッファに3バッファ分の別のデータが格納されている場合、このDMA転送によるデータは、4段目に格納され、 $\overline{\text{DMAAKn}}$ 信号のアクティブが終了します。その後、格納されているデータのライト動作が3回発生したあと、すでにアクティブが終了している $\overline{\text{DMAAKn}}$ 信号の対象となる外部I/O/外部メモリへの転送が実行されます。

(2) $\overline{\text{DMAAKn}}$ 信号のアクティブ幅拡張機能

2サイクル転送時の $\overline{\text{DMAAKn}}$ 信号出力は、内部バス・サイクルに同期して出力され、外部バス・サイクルとは同期しません ($n = 0-3$)。

また、DMA転送対象によっては、 $\overline{\text{DMAAKn}}$ 信号が最短で2内部システム・クロック (f_{CLK}) 分だけしかアクティブにならない構成があります。この場合、内部システム・クロックを分周してバス・クロック (BUSCLK) を使用 (例: BMCレジスタ = 02H: 3分周を設定) していると、 $\overline{\text{DMAAKn}}$ 信号のアクティブをBUSCLKでサンプリングできないことがあります。

この場合は、DAKWレジスタの設定により、 $\overline{\text{DMAAKn}}$ 信号のアクティブ幅を拡張すると、 $\overline{\text{DMAAKn}}$ 信号のアクティブをBUSCLKでサンプリングできます。

なお、2サイクル転送時における $\overline{\text{DMAAKn}}$ 信号のアクティブ幅の最小値を次に示します。

表19-2 2サイクル転送時における $\overline{\text{DMAAKn}}$ 信号のアクティブ幅の最小値

		転送先		
		外部I/O/外部メモリ	内蔵周辺I/O	内蔵RAM
転送元	外部I/O/外部メモリ	リード・サイクル + 4内部システム・クロック	リード・サイクル + (5+i)内部システム・クロック	リード・サイクル + 1内部システム・クロック
	内蔵周辺I/O	(6+i)内部システム・クロック	(7+2i)内部システム・クロック	(3+i)内部システム・クロック
	内蔵RAM	2内部システム・クロック	(3+i)内部システム・クロック	-

注意 $\overline{\text{DMAAKn}}$ 信号のアクティブ幅拡張機能は、2サイクル転送時のみ使用できます ($n = 0-3$)。フライバイ転送時にはDAKWレジスタの設定値にかかわらず $\overline{\text{DMAAKn}}$ 信号のアクティブ幅は拡張されません。フライバイ転送時に使用した場合の動作は保証しません。なお、フライバイ転送時は、バス・サイクルと同期した $\overline{\text{DMAAKn}}$ 信号が出力されます。

備考 i: VSWCレジスタで設定したウエイト数

(3) 2サイクル転送タイミングの概略

ライト・バッファにデータがない場合の2サイクル転送タイミングの概略を次に示します。ライト・バッファについては、5.6 ライト・バッファ機能を参照してください。

図19 - 12 2サイクル転送時のタイミング概略 (SRAM SRAM) : 1分周時 (SRAMの0ウェイト)

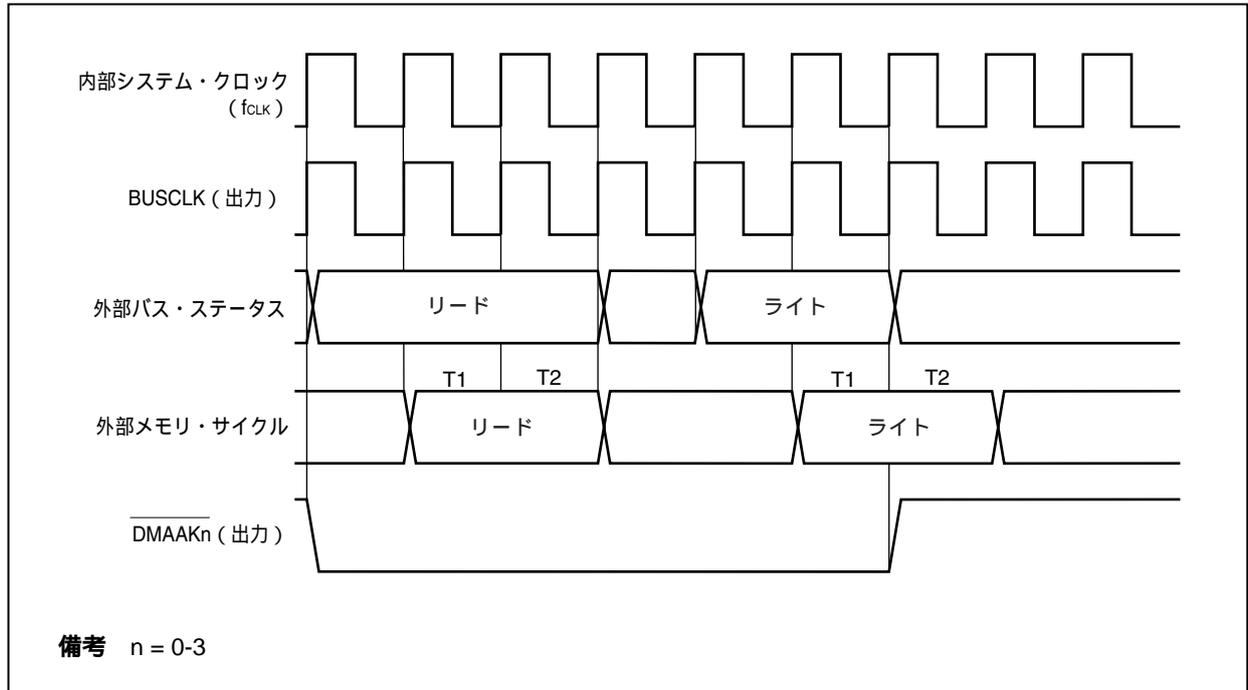


図19 - 14 2サイクル転送時のタイミング概略 (SRAM SRAM) : 3分周時 (SRAMの0ウェイト) (1/2)

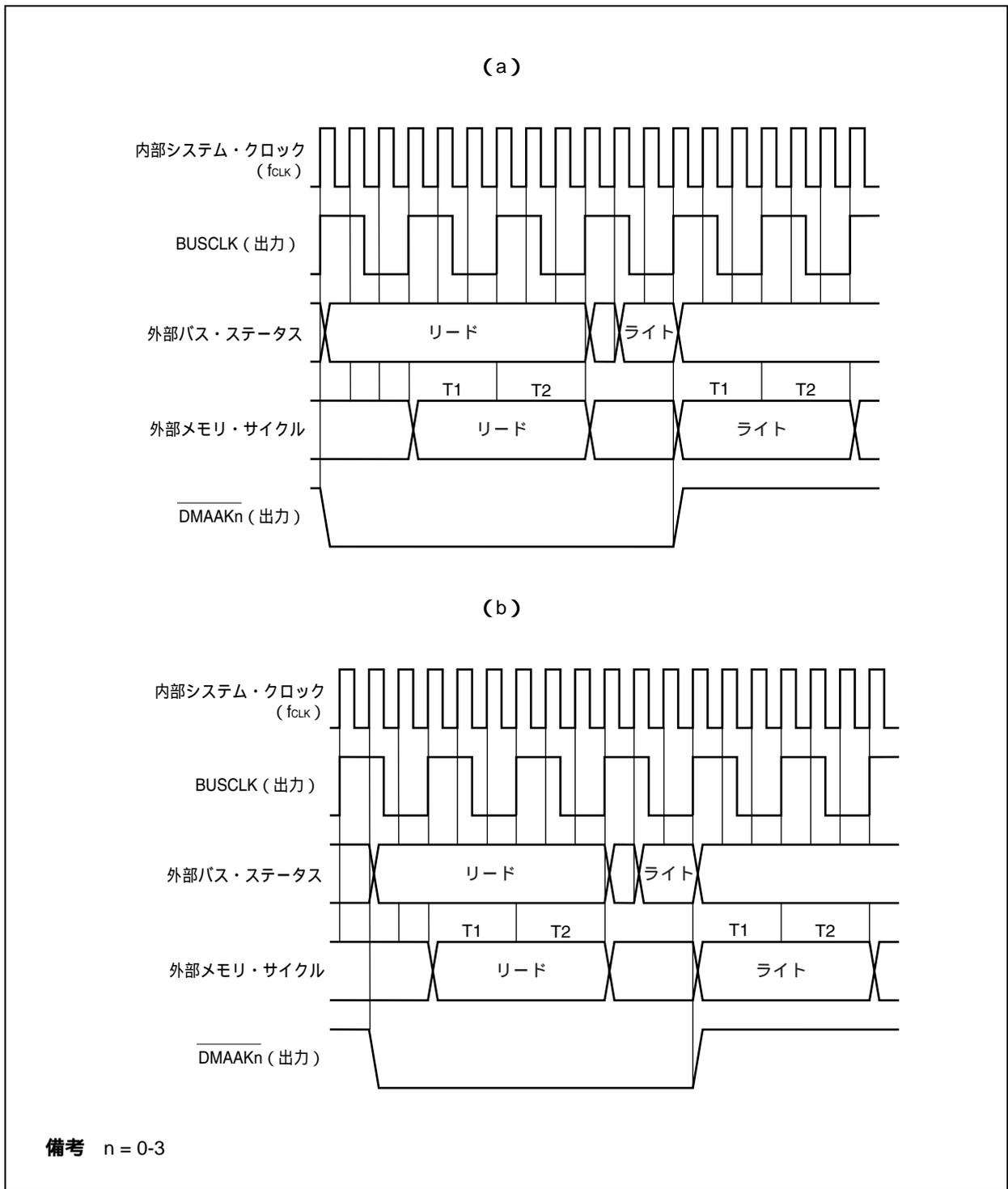


図19 - 14 2サイクル転送時のタイミング概略 (SRAM SRAM) : 3分周時 (SRAMの0ウェイト) (2/2)

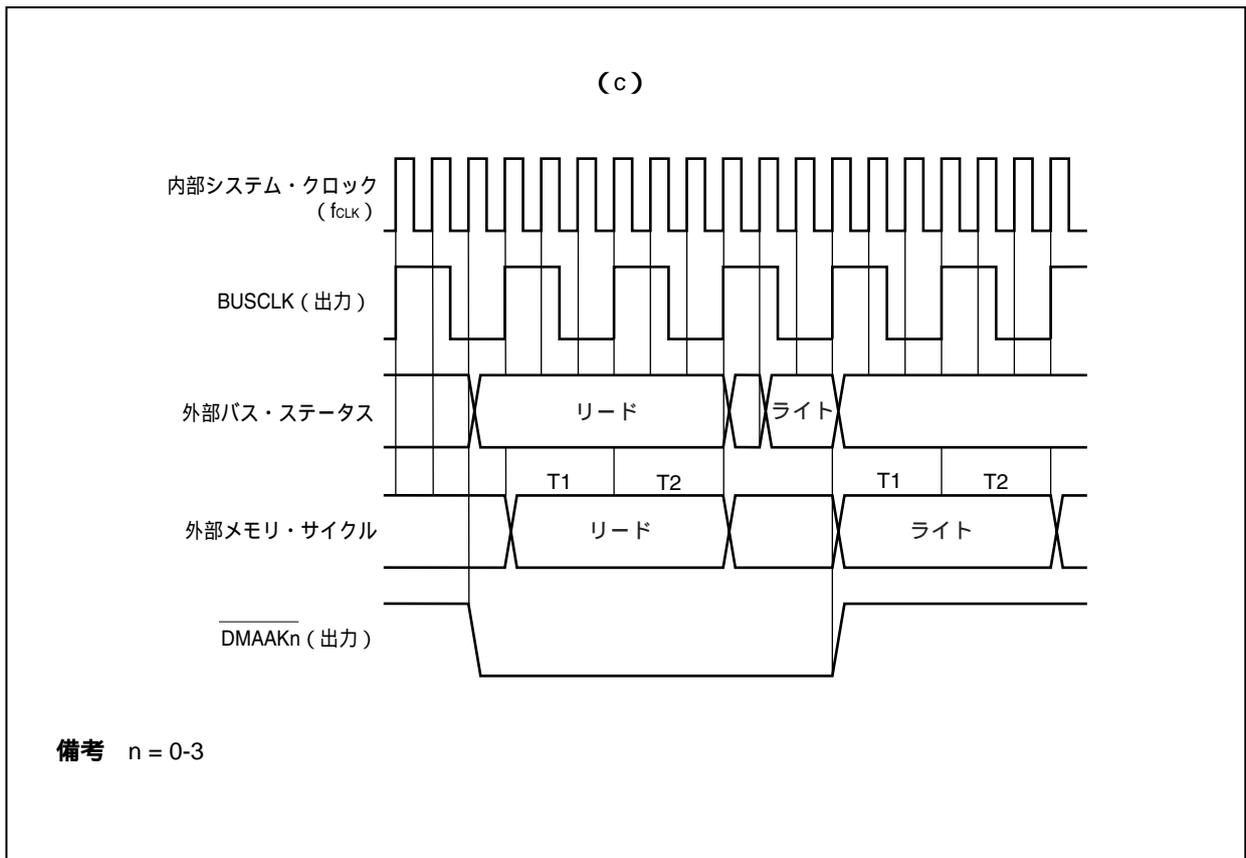


図19 - 15 2サイクル転送時のタイミング概略 (SRAM SRAM) : 4分周時 (SRAMの0ウェイト) (1/2)

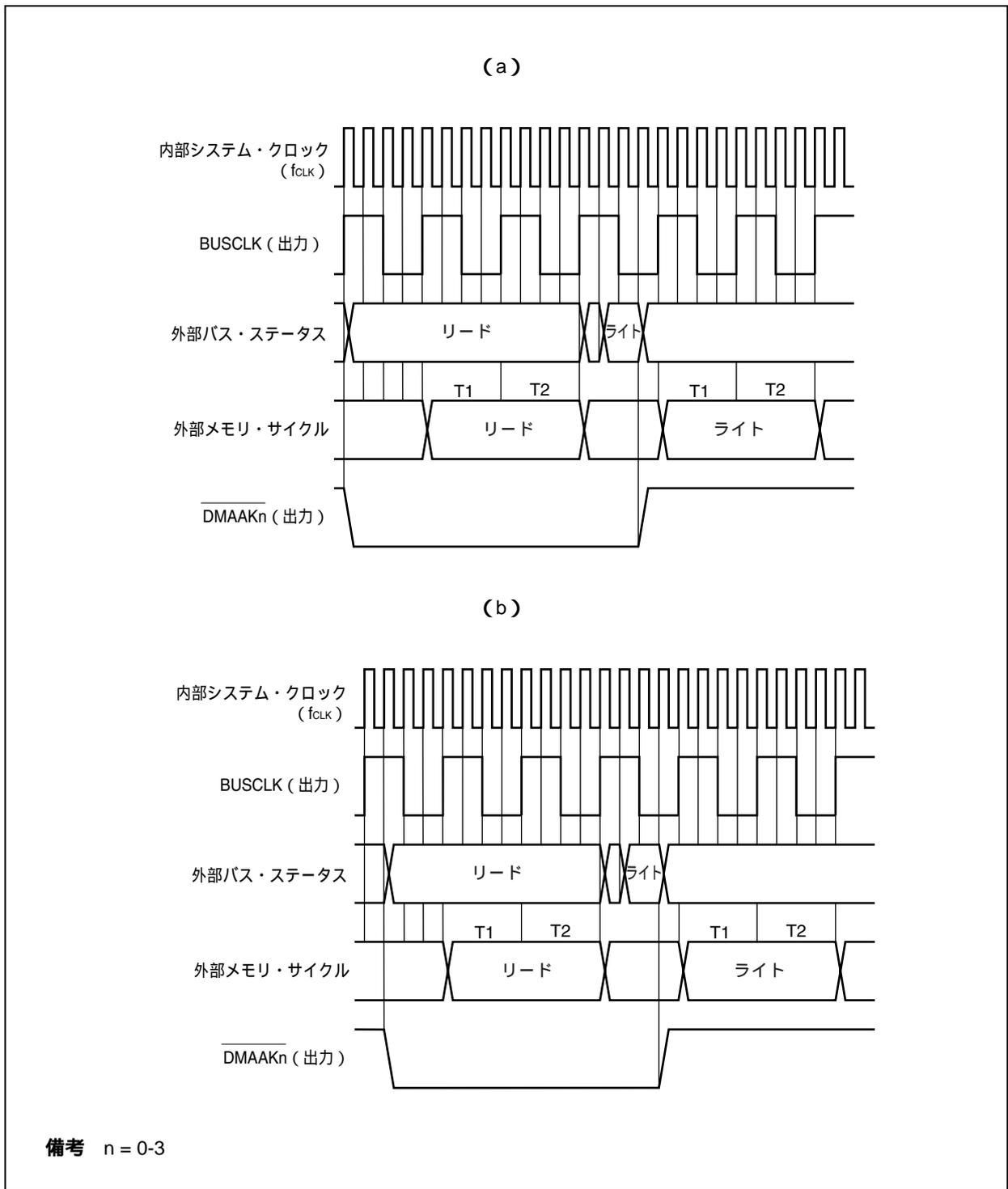
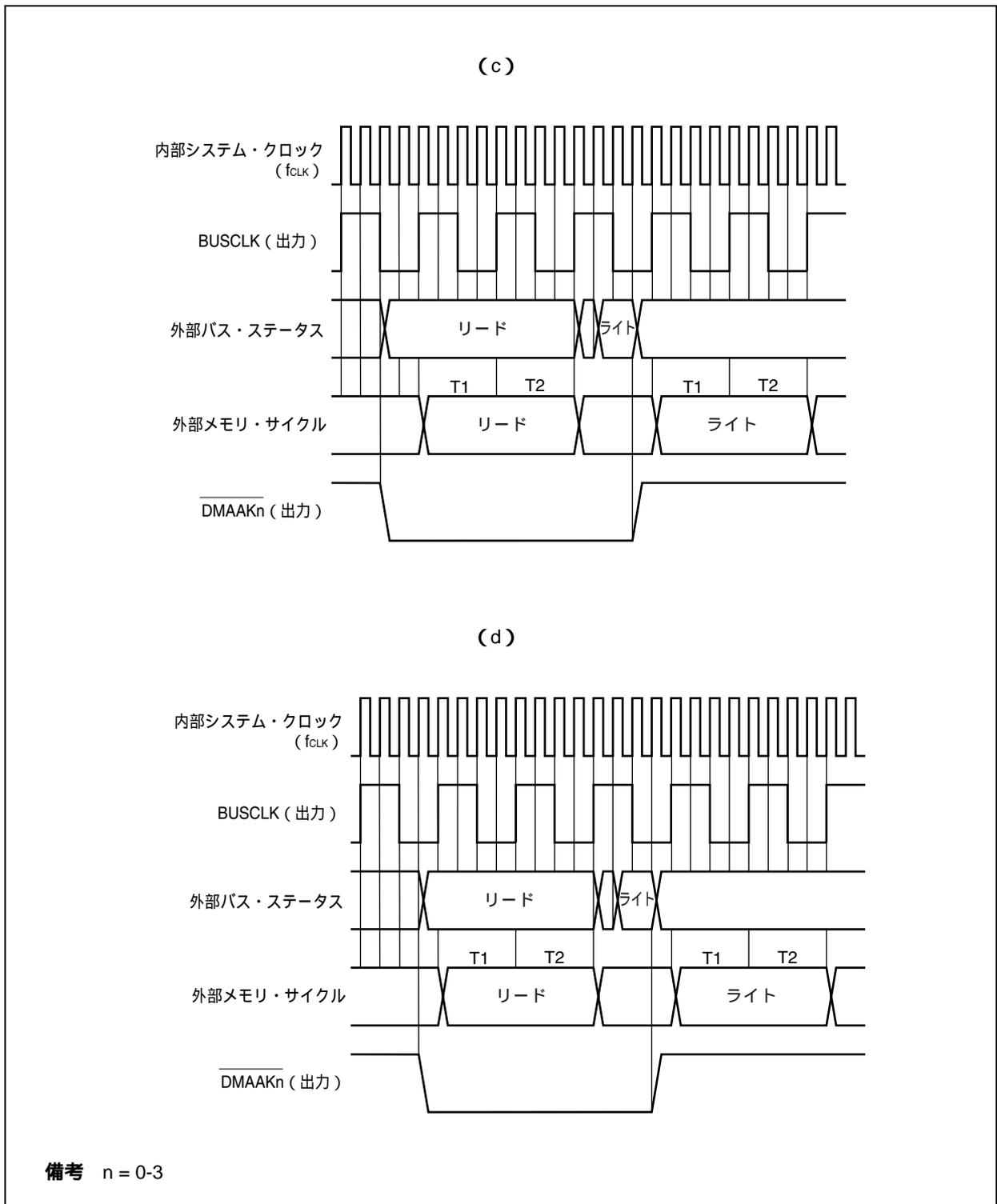


図19 - 15 2サイクル転送時のタイミング概略 (SRAM SRAM) : 4分周時 (SRAMの0ウェイト) (2/2)



19.5.2 フライバイ転送

フライバイ転送は、1サイクルで転送を行うため、転送先、転送元にかかわらず、常にメモリのアドレスを出力し、メモリ、外部I/Oのリード/ライト信号を同時にアクティブにします。このため、外部I/Oは、 $\overline{\text{DMAAK0-DMAAK3}}$ 信号で選択します。セパレート・バス・モード時のみ使用可能です。

外部I/Oに対してDMA転送以外に通常アクセスを行う場合は、 $\overline{\text{CSm}}$ 信号と $\overline{\text{DMAAKx}}$ 信号を外部で論理積し、外部I/Oのチップ・セレクト信号に接続してください ($m = 0-7, x = 0-3$)。外部I/Oに対してDMA転送以外に通常アクセスを行う場合の回路例を次に示します。

注意 メモリをマルチプレクス・バス・モードで接続している場合は、フライバイ転送はできません。
また、SDRAMを転送対象とするフライバイ転送はできません。

図19 - 16 外部I/O-SRAM間のフライバイ転送を行う場合の回路例

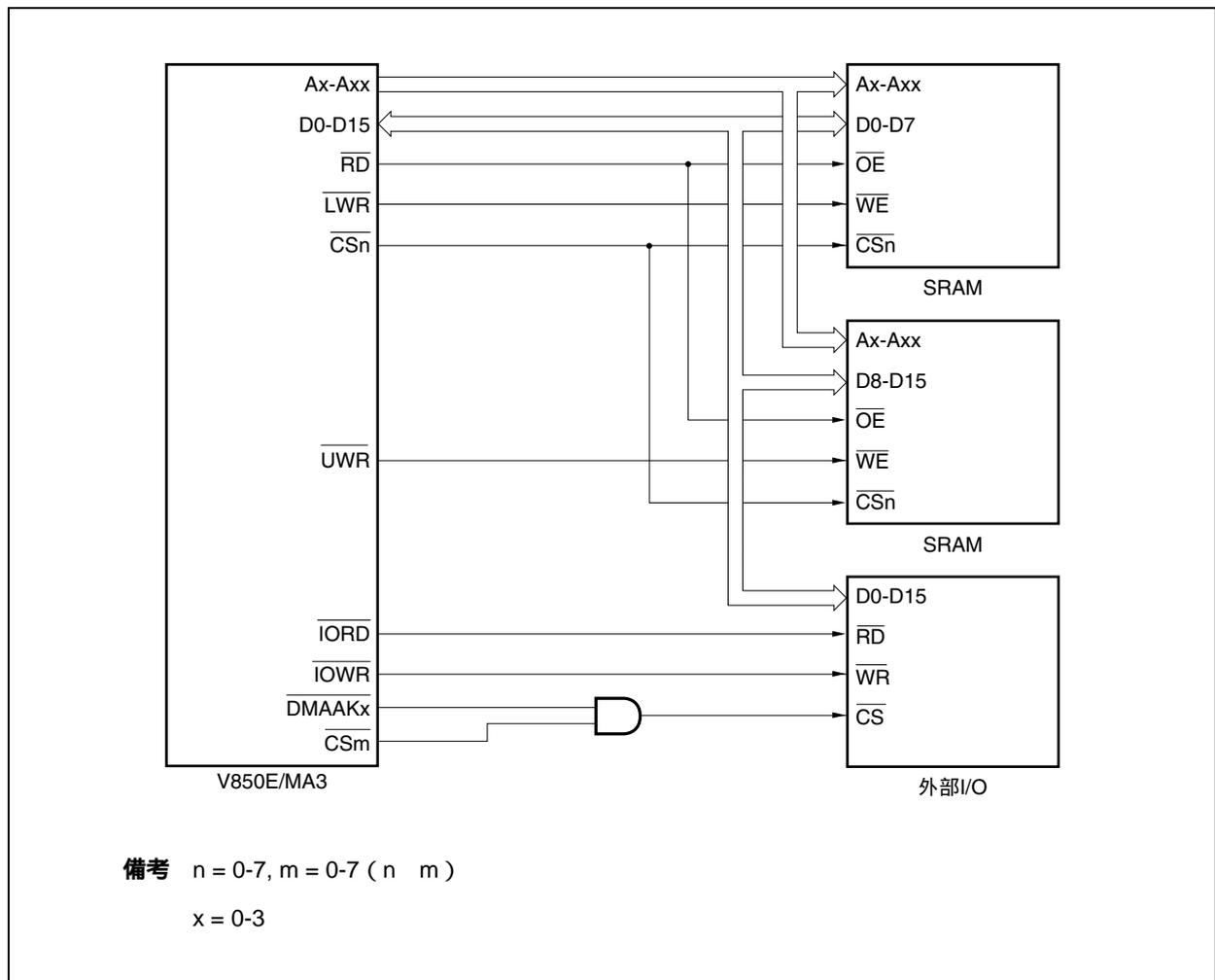


図19 - 17 DMAフライバイ転送時のタイミング (SRAM 外部I/O)
: シングル転送モード時 (TASW = 1 , TI = 1挿入)

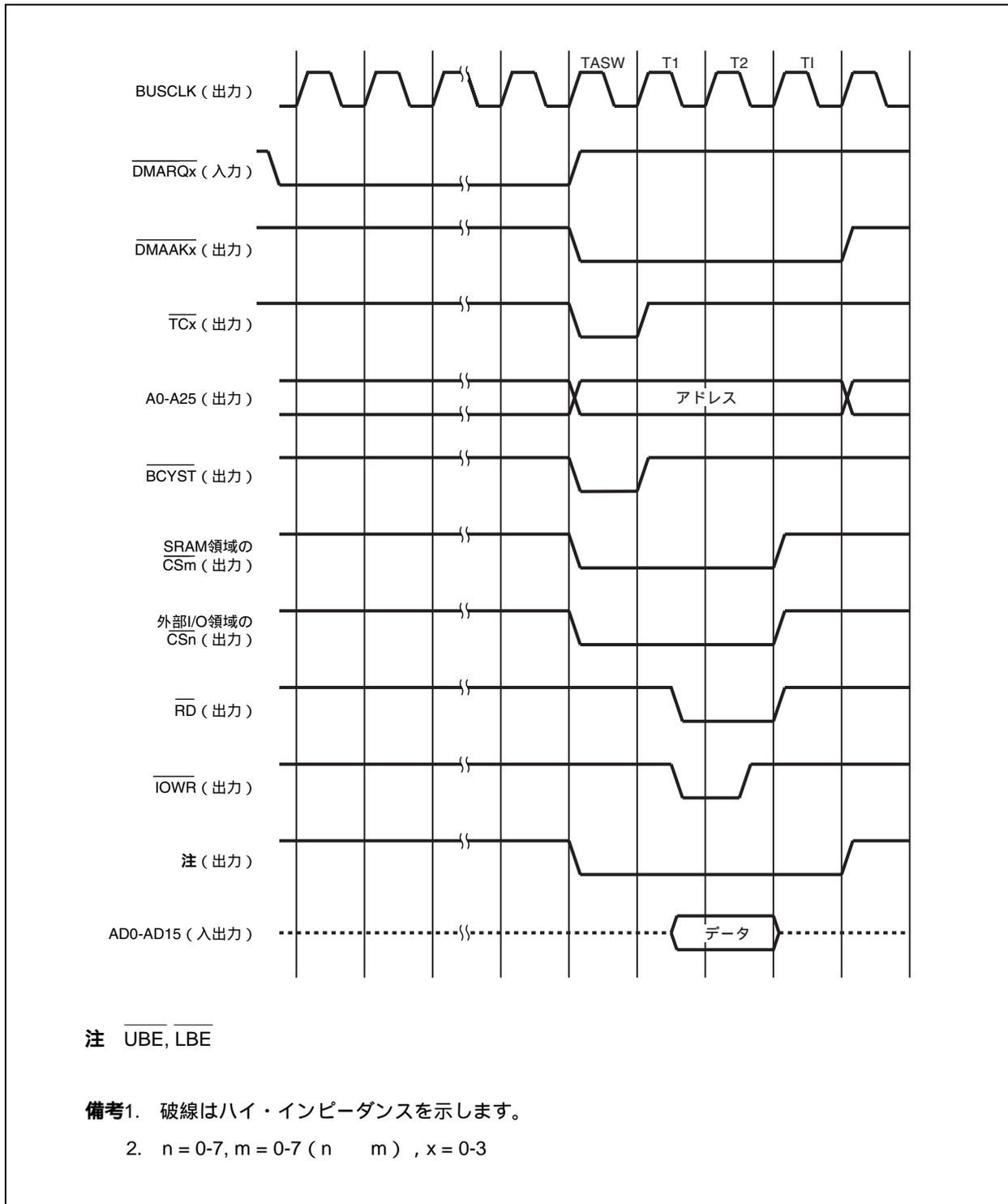


図19 - 18 DMAフライバイ転送時のタイミング (外部I/O SRAM) (1/2)

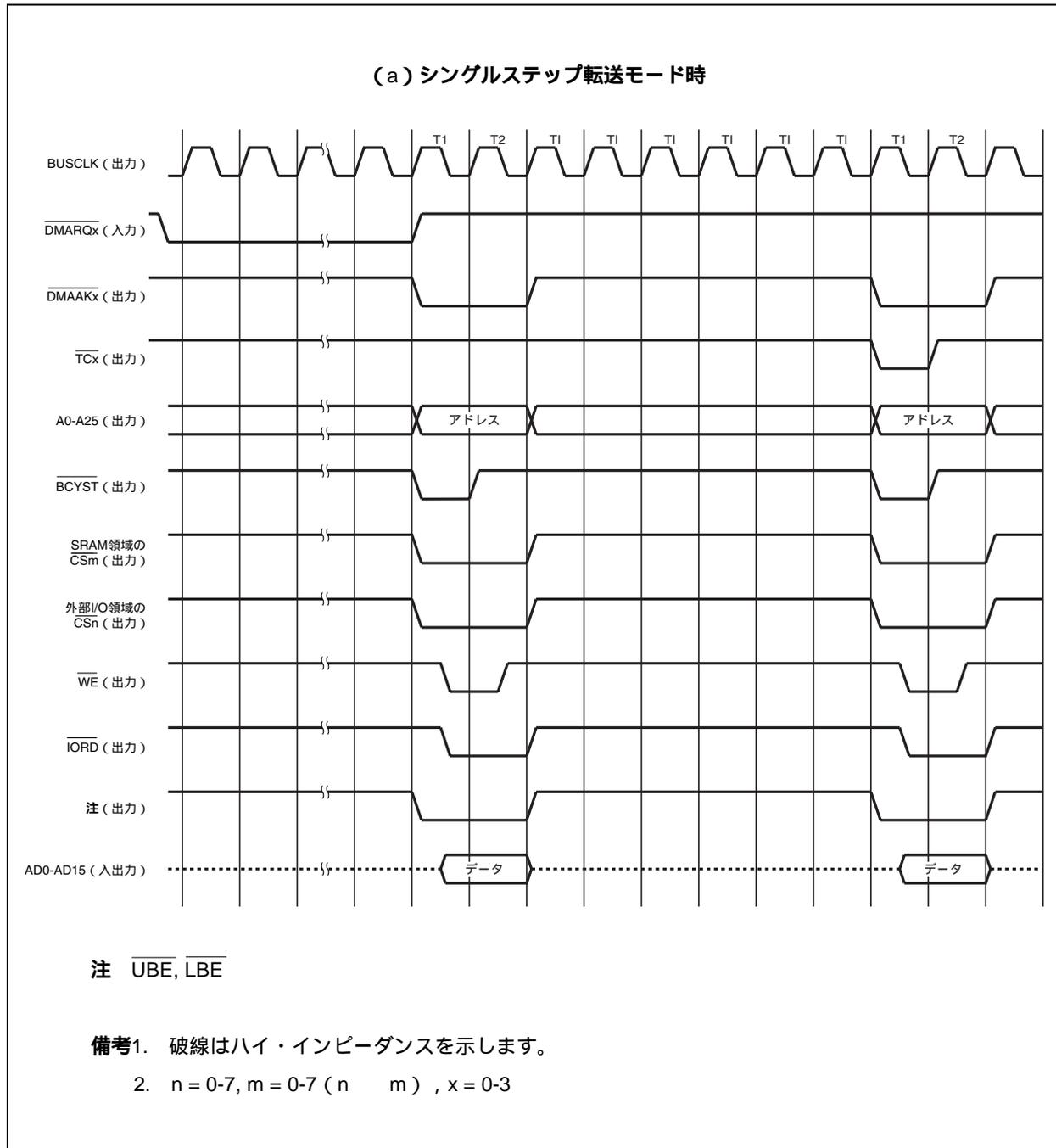
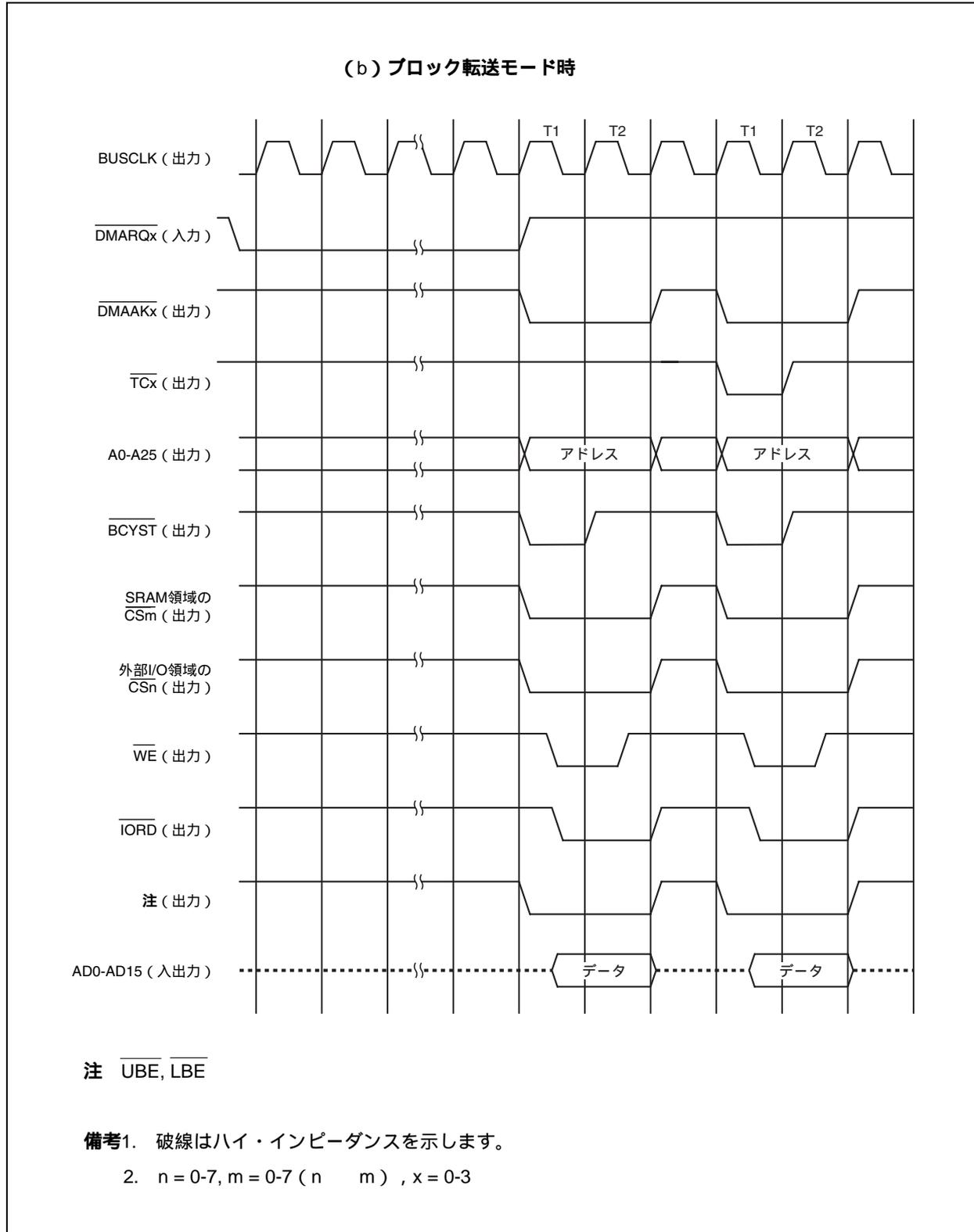


図19 - 18 DMAフライバイ転送時のタイミング (外部I/O SRAM) (2/2)



19.6 転送対象

19.6.1 転送の種類と転送対象

転送の種類と転送対象の関係を次に示します (: 転送可, x : 転送不可)。

表19-3 転送の種類と転送対象の関係

		転送先									
		2サイクル転送の場合					フライバイ転送の場合 ^{注3}				
		内蔵ROM	内蔵周辺I/O ^{注1}	外部I/O	内蔵RAM	外部メモリ	内蔵ROM	内蔵周辺I/O	外部I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O ^{注1}	x				^{注2}	x	x	x	x	x
	外部I/O	x					x	x	x	x	^{注4}
	内蔵RAM	x			x		x	x	x	x	x
	外部メモリ	x	^{注2}			^{注2}	x	x	^{注4}	x	x
	内蔵ROM	x	x	x	x	x	x	x	x	x	x

注1. 転送対象が内蔵周辺I/Oの場合はシングル転送モードのみ使用可能です。

- リトル・エンディアン領域 ビッグ・エンディアン領域の転送もできます。
- セパレート・バス・モード時のみ使用可能です。
- SDRAMを転送対象とするフライバイ転送はできません。

注意1. 表19-3に示す転送先と転送元で、「x」が表記されている組み合わせで転送を行った場合の動作は保証しません。

- フライバイ転送の場合は、転送元と転送先のデータ・バス幅は同じにしてください。
- DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFHを指定することができません。転送元、転送先のアドレスには、必ずFFFF000H-FFFFFFFHのアドレスを指定してください。
- 2サイクルのDMA転送実行時に内蔵周辺I/Oから内蔵RAMへの2サイクルのDMA転送を実行した場合には、最終データ転送終了後のTCn信号出力が1回アクティブになるべきところが2回アクティブになり、かつDMA転送終了割り込み (INTDMA_n) も2回発生することがあります (n = 0-3)。ただし、DMA転送自体は正常に終了します。なお、フライバイ転送時は問題ありません。回避する場合には、TCn信号は使用しないでください。また、余分なDMA転送終了割り込み (INTDMA_n) に対しては、DMA転送終了割り込み処理ルーチン内で、次の<1>、<2>の順に処理を実行してください。<2>の処理実行後、本来実行すべきアプリケーション処理を実行し、割り込みから復帰することにより、2回目のDMA転送終了割り込み (INTDMA_n) 発生を抑えることができます。

<1> WASレジスタに00Hを書き込む。

<2> 現在処理中のDMA転送終了割り込み (INTDMA_n) と同じチャンネルのDMAIC_n.DMAIF_nビットをクリア (0) する (n = 0-3)。

備考 2サイクルのDMA転送で転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

なお、内蔵周辺I/Oレジスタを対象（転送元 / 転送先）とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト（8ビット）転送を指定してください。

16ビット転送の場合

- ・ 16ビット・バス 8ビット・バスへの転送

リード・サイクル（16ビット）が発生し、その後ライト・サイクル（8ビット）が連続して2回発生します。

- ・ 8ビット・バス 16ビット・バスへの転送

リード・サイクル（8ビット）が連続して2回発生し、その後ライト・サイクル（16ビット）が発生します。転送先への書き込みは、リトル・エンディアン時は下位、上位の順で、ビッグ・エンディアン時は上位、下位の順で行われます。

8ビット転送の場合

- ・ 16ビット・バス 8ビット・バスへの転送

リード・サイクル（上位8ビットはハイ・インピーダンス）が発生し、その後ライト・サイクル（8ビット）が発生します。

- ・ 8ビット・バス 16ビット・バスへの転送

リード・サイクル（8ビット）が発生し、その後ライト・サイクル（上位8ビットはハイ・インピーダンス）が発生します。転送先への書き込みは、リトル・エンディアン時は下位、上位の順で、ビッグ・エンディアン時は上位、下位の順で行われます。

19.6.2 DMA転送時の外部バス・サイクル

DMA転送時の外部バス・サイクルを次に示します。

表19-4 DMA転送時の外部バス・サイクル

転送の種類	転送対象	外部バス・サイクル	
2サイクル転送	内蔵周辺I/O, 内蔵RAM	なし	-
	外部I/O	あり	SRAMサイクル
	外部メモリ	あり	BCTレジスタで設定したメモリ・アクセス・サイクル
フライバイ転送	外部メモリ-外部I/O	あり	外部メモリとしてBCTレジスタで設定したメモリ・アクセスのDMAフライバイ転送サイクル

19.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

ブロック転送中は転送するチャネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間中に、ほかの優先順位が高いDMA転送要求が発生した場合は、優先順位が高いDMA転送を行います。

注意 同じ信号を複数のDMARQ_n端子に入力してDMAを起動した場合、優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります (n = 0-3)。

19.8 ネクスト・アドレス設定機能

DSAnH, DSAnL, DDAAnH, DDAAnL, DBCnレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタです ($n = 0-3$)。

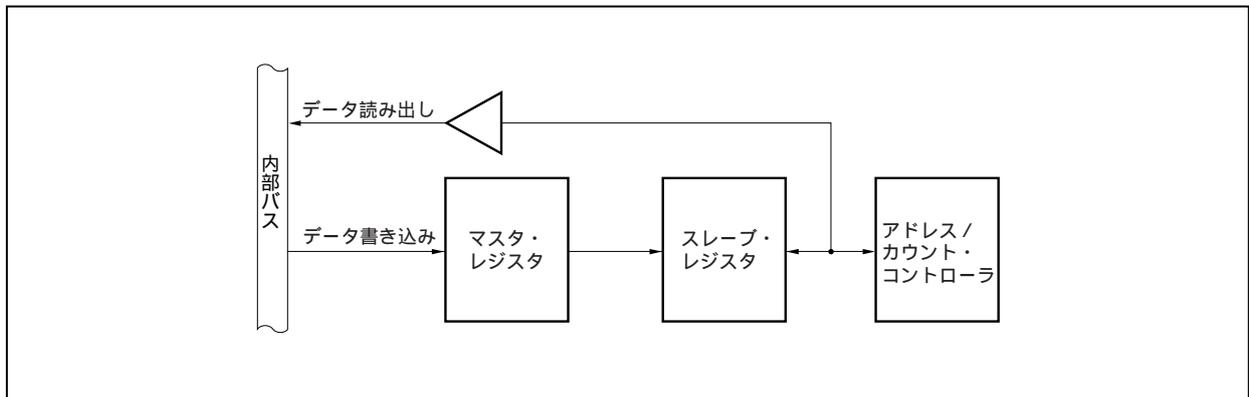
ターミナル・カウントが発生すると、これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって、DMA転送中に、これらのレジスタに対して新たなDMA転送の設定を行えば、転送終了後に、自動的に新たな設定値に更新されます[※]。

注 さらに新たなDMA転送の設定を行う場合は、DMA転送が開始されたことを確認してから行ってください。DMA転送の開始前に新たな設定を行うと、マスタ、スレーブの両レジスタに設定値が上書きされてしまいます。

次にバッファ・レジスタの構成を示します。

図19 - 19 バッファ・レジスタの構成



実際のDMA転送はスレーブ・レジスタの内容に基づいて行われます。

マスタ・レジスタ、スレーブ・レジスタに反映される設定値は、設定を行うタイミング（期間）により、次のように異なります。

(1) システム・リセットから最初のDMA転送開始までの期間

設定値は、マスタ、スレーブの両レジスタに反映されます。

(2) DMA転送中 (DMA転送開始からDMA転送終了までの期間)

設定値は、マスタ・レジスタだけに反映されます。スレーブ・レジスタへは反映されません (スレーブ・レジスタは、次のDMA転送の設定値を保持します)。

ただし、DMA転送終了後、マスタ・レジスタの内容がスレーブ・レジスタに自動的に上書きされます。

なお、この期間に各レジスタの値を読み出すと、スレーブ・レジスタの値が読み出されます。

また、DMA転送が開始されたことを判別するには、DMAAKn信号がアクティブになったことを確認するか、DBCnレジスタを読み出して1回目の転送が行われたことを確認してください (n = 0-3)。

(3) DMA転送終了から次のDMA転送開始までの期間

設定値は、マスタ、スレーブの両レジスタに反映されます。

備考 「DMA転送終了」とは、次のどちらかの場合を示します。

- ・DMA転送の完了 (ターミナル・カウント)
- ・DMA転送の強制終了 (DCHCnレジスタのINITnビットのセット (1))

19.9 DMA転送起動要因

DMA転送の起動要因には、次の3種類があります。

(1) 外部端子 ($\overline{\text{DMARQn}}$) による要求

$\overline{\text{DMARQn}}$ 端子からの要求は、BUSCLK信号の立ち上がりごとにサンプリングされます ($n = 0-3$)。

$\overline{\text{DMARQn}}$ 端子からの要求は、対応するDMAAKn信号がアクティブになるまで保持してください。

DCHCn.Ennビット = 1, TCnビット = 0の状態に設定すると、 $\overline{\text{DMARQn}}$ 信号が有効となります。この状態でDTFRnレジスタに設定している $\overline{\text{DMARQn}}$ 信号がアクティブになると、DMA転送を開始します。

(2) ソフトウェアによる要求

DCHCn.STGn, Enn, TCnビットが次のように設定されると、DMA転送を開始します ($n = 0-3$)。

- ・ STGnビット = 1
- ・ Ennビット = 1
- ・ TCnビット = 0

(3) 内蔵周辺I/Oによる要求

DCHCn.Enn, TCnビットが次のように設定されている状態で、DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると、DMA転送要求を開始します ($n = 0-3$)。

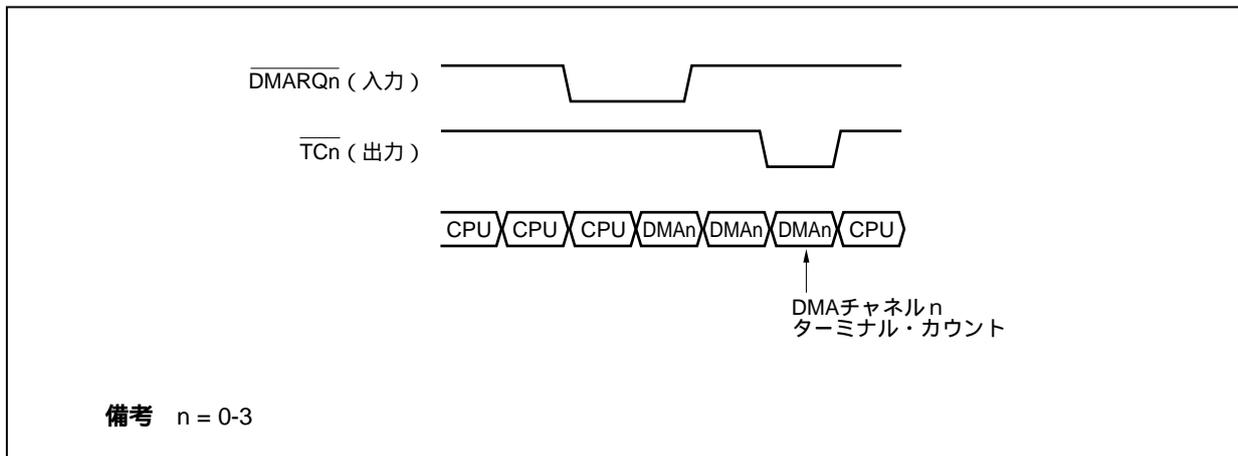
- ・ Ennビット = 1
- ・ TCnビット = 0

19.10 DMA転送完了時のターミナル・カウント出力

最終DMA転送サイクル中、ターミナル・カウント信号 (\overline{TCn}) がBUSCLKの1クロック分アクティブになります ($n = 0-3$)。

\overline{TCn} 信号は、最終DMA転送サイクル中にBCYST信号がアクティブになるクロックでアクティブになります。

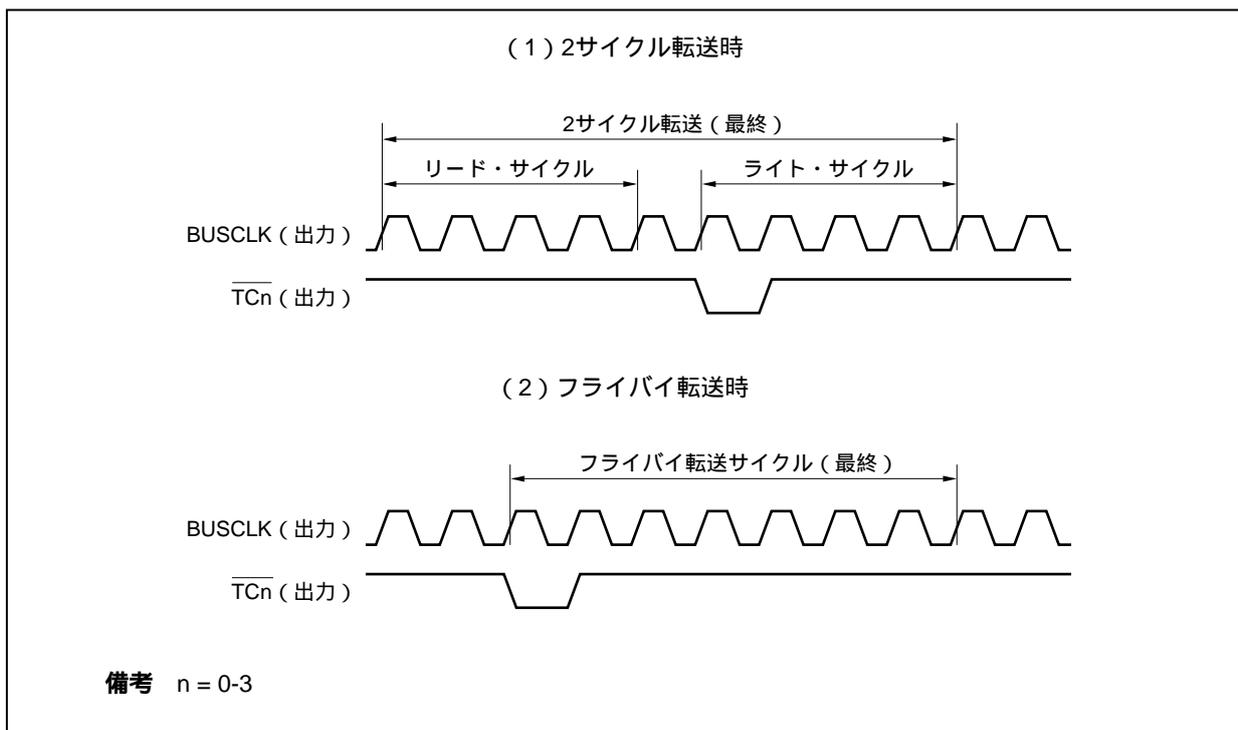
図19 - 20 ターミナル・カウント信号 (\overline{TCn}) タイミング例 (1)



2サイクル転送の場合の \overline{TCn} 信号は、最終DMA転送のライト・サイクルの先頭で1クロック分アクティブになります。

フライバイ転送の場合の \overline{TCn} 信号は、最終DMA転送サイクルの先頭で1クロック分アクティブになります。

図19 - 21 ターミナル・カウント信号 (\overline{TCn}) タイミング例 (2)



19.11 強制中断

DTOC.DMSTPMビット = 0の場合、DMA転送中のNMI入力により、DMA転送を強制的に中断できます。

このときDMACは、すべてのチャンネルのDCHCn.Ennビットをクリア (0) して、DMA転送禁止状態にし、NMI入力時に実行していたDMA転送を完了してから、NMI要求を受け付けます (n = 0-3)。

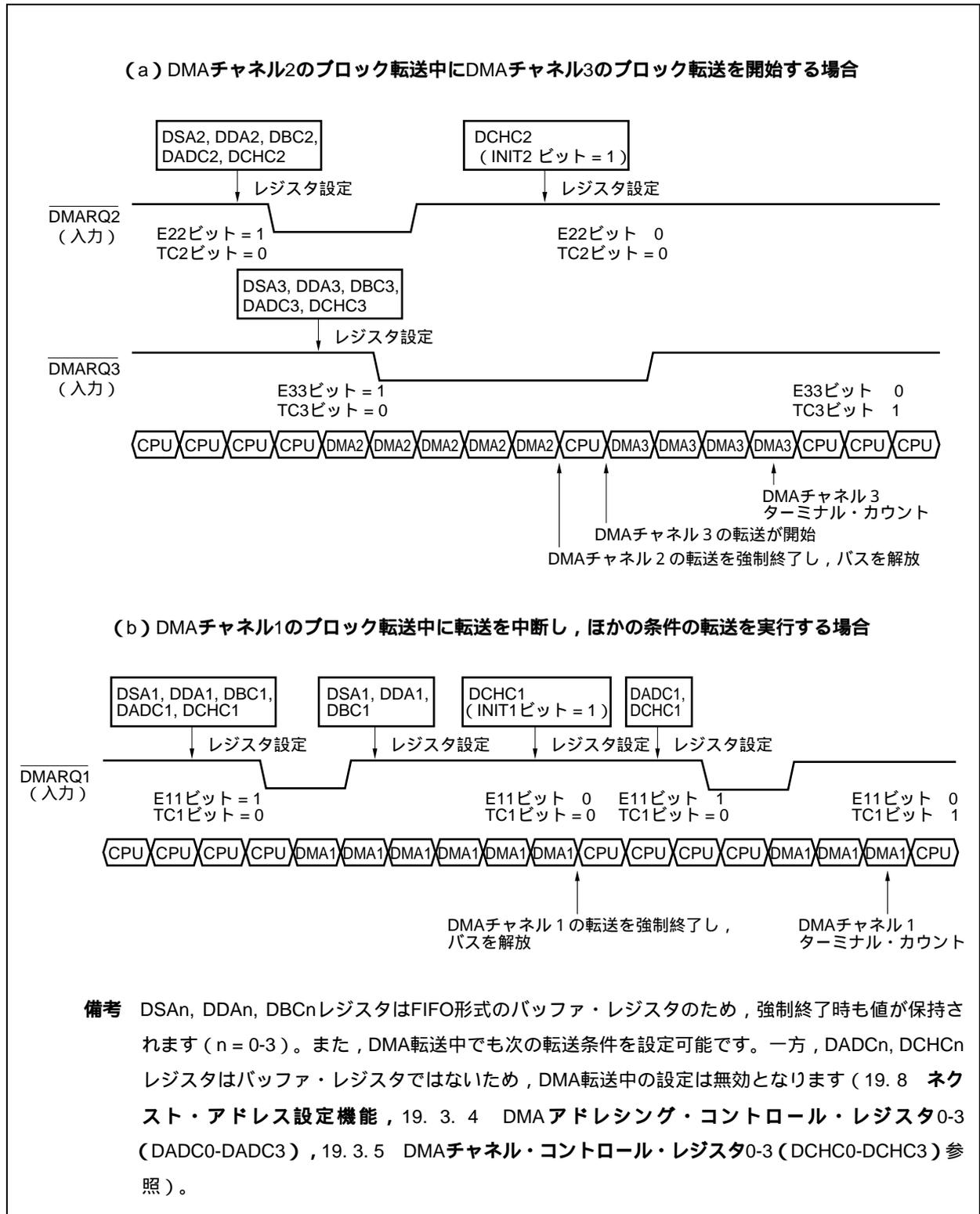
強制中断したDMA転送は、DCHCn.INITnビットでDMAを強制終了させて、初期化してください。

19.12 強制終了

DMA転送は、NMI入力による強制中断のほかに、DCHCn.INITnビットによって強制終了することができます (n = 0-3)。

INITnビットによる強制終了動作の例を次に示します (n = 0-3)

図19 - 22 DMA転送の強制終了例



19.13 DMA転送に関する各種時間

DMA転送前後のオーバーヘッド部分, DMA転送にかかる最小実行内部システム・クロック数を次に示します。外部メモリ・アクセスの場合は, 接続する外部メモリに依存します。

表19 - 5 DMAサイクル中の最小実行内部システム・クロック数

DMAサイクル		最小実行内部システム・クロック数
DMA要求に対する応答時間		4内部システム・クロック ^{注1}
メモリ・アクセス	外部メモリ・アクセス	接続するメモリにより異なります。
	内蔵RAMアクセス	2内部システム・クロック ^{注2}
	内蔵周辺I/Oレジスタ・アクセス	4内部システム・クロック + VSWCレジスタによるウェイト数

注1. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合, ノイズ除去時間が加算されます (n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137)。

2. DMAサイクルの場合は, 2クロックかかります。

また, 各転送モードにおけるDMAサイクル中の最小実行クロックを次に示します。

2サイクル転送

- ・シングル転送: DMA応答時間 () + 転送元メモリ・アクセス () + 1^注 + 転送先メモリ・アクセス ()
- ・ブロック転送: DMA応答時間 () + (転送元メモリ・アクセス () + 1^注 + 転送先メモリ・アクセス ()) × 転送回数

注 DMA転送のリード・サイクルとライト・サイクルの間には, 必ず1クロック挿入されます。ただし, 外部バス・クロックを1分周で使用している場合には, 2クロック挿入されます。

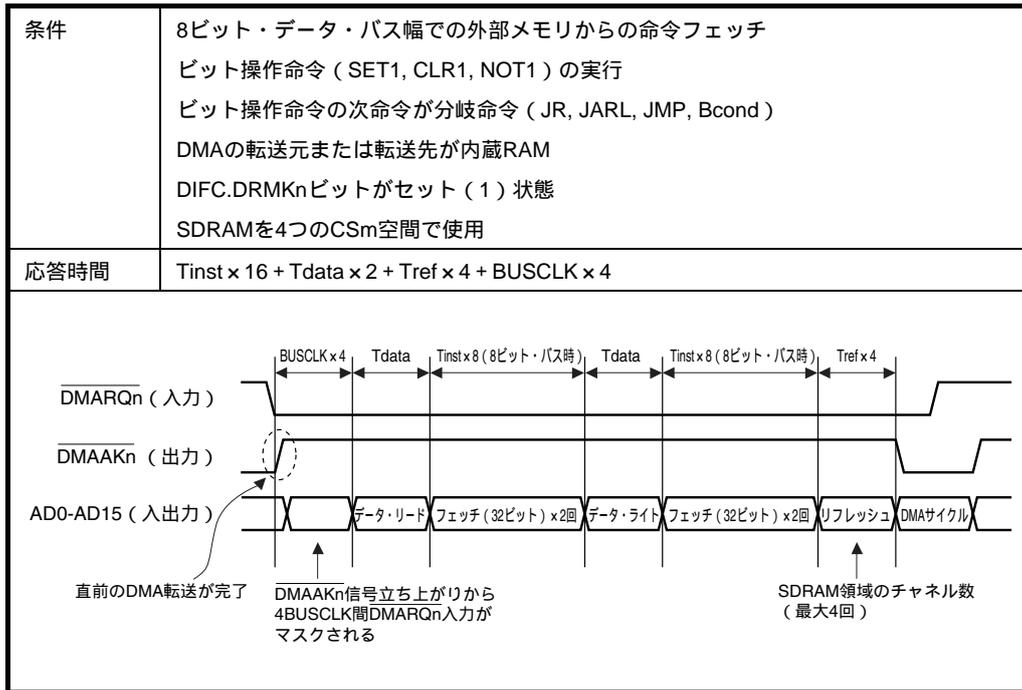
フライバイ転送: DMA応答時間 () + 外部メモリ・アクセス ()

19.14 DMA要求に対する応答時間の最大値

DMA要求に対する応答時間は、次に示す条件のとき最も長くなります（すべてのSDRAMに対するリフレッシュ・サイクルが許可されている状態です）。

注意 次の条件による待ち時間は除きます。

- ・ $\overline{\text{DMARQn}}$ 端子以外の要因で起動するDMA発生
- ・ 外部バス・ホールド



- 備考1.** T_{inst} : 命令フェッチ時の1バス・サイクル当たりのクロック数
 T_{data} : データ・アクセス時の1バス・サイクル当たりのクロック数
 T_{ref} : 1リフレッシュ・サイクル当たりのクロック数
 $\text{BUSCLK} \times 4$: $\overline{\text{DMARQn}}$ 入力のマスク時間
2. $n = 0-3$
 $m = 1, 3, 4, 6$

19. 15 注意事項

(1) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象（外部メモリ、内蔵RAM、内蔵周辺I/O）の領域を越えた場合の動作は保証しません。

(2) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

(3) CPUへのバス・アービトレーション

外部デバイスを対象とするDMA転送の場合、CPUは内蔵ROM、内蔵RAM（DMAの転送対象でない場合）にアクセスできます。

内蔵周辺I/O-内蔵RAM間のDMA転送の場合、CPUは内蔵ROMにアクセスできます。

(4) $\overline{\text{DMARQn}}$ 信号の保持

$\overline{\text{DMARQn}}$ 信号は、 $\overline{\text{DMAAKn}}$ 信号がアクティブになるまで必ずアクティブ・レベルを保持してください（ $n = 0-3$ ）。

(5) $\overline{\text{DMAAKn}}$ 信号出力

転送対象が内蔵RAMの場合、内蔵RAMに対するDMAサイクル中は $\overline{\text{DMAAKn}}$ 信号が出力されません（たとえば、内蔵RAMから外部メモリへの2サイクル転送を行った場合、 $\overline{\text{DMAAKn}}$ 信号は外部メモリに対するDMAのライト・サイクル時のみ出力されます）。

また、転送対象が内蔵周辺I/Oの場合は、内蔵周辺I/Oに対するDMAサイクル中でも $\overline{\text{DMAAKn}}$ 信号は出力されます。

(6) DMAの起動要因

同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられる場合があります。この場合の動作は保証できません。

(7) 内蔵RAMでのプログラム実行とDMA転送

内蔵RAMを対象としたDMA転送と内蔵RAMでの命令実行は同時に行わないでください。

19. 15. 1 中断要因

DMA転送は、次の要因が発生すると中断されます。

バス・ホールド

リフレッシュ・サイクル

DMA転送を中断する要因がなくなると、引き続きDMA転送を再開します。

19.16 DMA転送の終了

DMA転送が終了し、DCHCn.TCnビットがセット(1)されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み (INTDMA_n) を発生します (n = 0-3)。

第20章 割り込み / 例外処理機能

V850E/MA3は、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計77要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850E/MA3では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

20.1 特徴

割り込み

- ・ ノンマスクブル割り込み : 2要因 (外部 : 1要因, 内部 : 1要因)

注意 P20はNMI入力に固定です。PM2, PMC2レジスタの値にかかわらず、P2.P20ビットをリードすると、NMI端子のレベルを読み出します。また、NMI端子の有効エッジの設定は、NMIR, NMIFレジスタで行ってください (初期値 : 立ち下がりエッジ検出)。

・ マスカブル割り込み

外部 : 25要因, 内部 : 49/50要因 (表1 - 1参照)

- ・ 8レベルのプログラマブル優先順位制御 (マスカブル割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外 : 32要因
- ・ 例外トラップ : 2要因 (不正命令コード例外, デバッグ・トラップ)

これらの割り込み要因を表20 - 1に示します。

表20 - 1 割り込み要因一覧 (1/3)

種類	分類	割り込み / 例外要因				ディフォ ルト・ プライオ リティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名称	制御 レジスタ	発生要因	発生 ユニット				
リセット	割り込み	RESET	-	RESET端子入力	端子	-	0000H	00000000H	不定
			-	WDTオーバフロー (WDTRES)	WDT				
ノンマ ス カ プ ル	割り込み	NMI	-	NMI端子有効エッジ入力	端子		0010H	00000010H	nextPC
		INTWDT	-	WDTオーバフロー	WDT		0020H	00000020H	不定
ソフト ウェア 例外	例外	TRAP0n ^{注1}	-	TRAP命令	-	-	004nH	00000040H	nextPC
例外 トラ ップ	例外	TRAP1n ^{注1}	-	TRAP命令	-	-	005nH	00000050H	nextPC
例外 トラ ップ	例外	ILGOP/ DBG0	-	不正命令コード / DBTRAP命令	-	-	0060H	00000060H	nextPC
マ ス カ プ ル	割り込み	INTWDTM	WDTIC	WDTのオーバフロー(インター バル・タイマ・モード)	WDT	0	0080H	00000080H	nextPC
	割り込み	INTP000/ INTCCP00	P00IC0	INTP000端子 / TP0CCR0キャプチャ入力/ コンペア一致	端子 / TMP0	1	0090H	00000090H	nextPC
	割り込み	INTP001/ INTCCP01	P00IC1	INTP001端子 / TP0CCR1キャプチャ入力/ コンペア一致	端子 / TMP0	2	00A0H	000000A0H	nextPC
	割り込み	INTP004/ INTCC101	P00IC4	INTP004端子 / CC101キャプチャ入力/ コンペア一致	端子 / TMENC10	3	00B0H	000000B0H	nextPC
	割り込み	INTP005/ INTCC100	P00IC5	INTP005端子 / CC100キャプチャ入力/ コンペア一致	端子 / TMENC10	4	00C0H	000000C0H	nextPC
	割り込み	INTP106	P10IC6	INTP106端子	端子	5	00D0H	000000D0H	nextPC
	割り込み	INTP107	P10IC7	INTP107端子	端子	6	00E0H	000000E0H	nextPC
	割り込み	INTP010/ INTCCQ0	P01IC0	INTP010端子 / TQ0CCR0キャプチャ入力/ コンペア一致 ^{注2}	端子 / TMQ0	7	00F0H	000000F0H	nextPC
	割り込み	INTP011/ INTCCQ1	P01IC1	INTP011端子 / TQ0CCR1キャプチャ入力/ コンペア一致	端子 / TMQ0	8	0100H	00000100H	nextPC
	割り込み	INTP012/ INTCCQ2	P01IC2	INTP012端子 / TQ0CCR2キャプチャ入力/ コンペア一致	端子 / TMQ0	9	0110H	00000110H	nextPC
	割り込み	INTP013/ INTCCQ3	P01IC3	INTP013端子 / TQ0CCR3キャプチャ入力/ コンペア一致	端子 / TMQ0	10	0120H	00000120H	nextPC
	割り込み	INTP114	P11IC4	INTP114端子	端子	11	0130H	00000130H	nextPC
割り込み	INTP115	P11IC5	INTP115端子	端子	12	0140H	00000140H	nextPC	

注1. nは0-FHの値

2. TMQ0を6相PWM出力モードで使用する場合は、TMQ0オプション (TMQOP0) からのINTCCQ0 (山割り込み) として機能します。

表20 - 1 割り込み要因一覧 (2/3)

種類	分類	割り込み / 例外要因				ディフォ ールト・ プライオ リティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名称	制御 レジスタ	発生要因	発生 ユニット				
マスク ブル	割り込み	INTP021/ INTCCP10	P02IC1	INTP021端子 / TP1CCR0キャプチャ入力/ コンペアー致	端子 / TMP1	13	0150H	00000150H	nextPC
	割り込み	INTP022/ INTCCP11	P02IC2	INTP022端子 / TP1CCR1キャプチャ入力/ コンペアー致	端子 / TMP1	14	0160H	00000160H	nextPC
	割り込み	INTP124	P12IC4	INTP124端子	端子	15	0170H	00000170H	nextPC
	割り込み	INTP125	P12IC5	INTP125端子	端子	16	0180H	00000180H	nextPC
	割り込み	INTP126	P12IC6	INTP126端子	端子	17	0190H	00000190H	nextPC
	割り込み	INTP130	P13IC0	INTP130端子	端子	18	01A0H	000001A0H	nextPC
	割り込み	INTP131	P13IC1	INTP131端子	端子	19	01B0H	000001B0H	nextPC
	割り込み	INTP132	P13IC2	INTP132端子	端子	20	01C0H	000001C0H	nextPC
	割り込み	INTP133	P13IC3	INTP133端子	端子	21	01D0H	000001D0H	nextPC
	割り込み	INTP134	P13IC4	INTP134端子	端子	22	01E0H	000001E0H	nextPC
	割り込み	INTP137	P13IC7	INTP137端子	端子	23	01F0H	000001F0H	nextPC
	割り込み	INTP050/ INTCCP20	P05IC0	INTP050端子 / TP2CCR0キャプチャ入力/ コンペアー致	端子 / TMP2	24	0200H	00000200H	nextPC
	割り込み	INTP051/ INTCCP21	P05IC1	INTP051端子 / TP2CCR1キャプチャ入力/ コンペアー致	端子 / TMP2	25	0210H	00000210H	nextPC
	割り込み	INTCMD0	CMICD0	CMD0コンペアー致	TMD0	26	0220H	00000220H	nextPC
	割り込み	INTCMD1	CMICD1	CMD1コンペアー致	TMD1	27	0230H	00000230H	nextPC
	割り込み	INTCMD2	CMICD2	CMD2コンペアー致	TMD2	28	0240H	00000240H	nextPC
	割り込み	INTCMD3	CMICD3	CMD3コンペアー致	TMD3	29	0250H	00000250H	nextPC
	割り込み	INTCM100	CM10IC0	CM100コンペアー致	TMENC10	30	0260H	00000260H	nextPC
	割り込み	INTCM101	CM10IC1	CM101コンペアー致	TMENC10	31	0270H	00000270H	nextPC
	割り込み	INTOVP0	OVVIC0	TMP0オーバフロー	TMP0	32	0280H	00000280H	nextPC
	割り込み	INTOVQ	OVVIC	TMQ0オーバフロー / アンダフ ロー ^注	TMQ0	33	0290H	00000290H	nextPC
	割り込み	INTOVP1	OVVIC1	TMP1オーバフロー	TMP1	34	02A0H	000002A0H	nextPC
	割り込み	INTOVP2	OVVIC2	TMP2オーバフロー	TMP2	35	02B0H	000002B0H	nextPC
割り込み	INTDMA0	DMAIC0	DMAチャンネル0転送終了	DMA0	36	02C0H	000002C0H	nextPC	
割り込み	INTDMA1	DMAIC1	DMAチャンネル1転送終了	DMA1	37	02D0H	000002D0H	nextPC	
割り込み	INTDMA2	DMAIC2	DMAチャンネル2転送終了	DMA2	38	02E0H	000002E0H	nextPC	
割り込み	INTDMA3	DMAIC3	DMAチャンネル3転送終了	DMA3	39	02F0H	000002F0H	nextPC	
割り込み	INTSER0/ INTCSIER0	SEIC0	UARTA0受信エラー / CSIB0受信エラー	UARTA0/ CSIB0	40	0300H	00000300H	nextPC	

注 TMQ0を6相PWM出力モードで使用する場合は、TMQ0オプション (TMQOP0) からのINTOVQ (谷割り込み) として機能します。

表20 - 1 割り込み要因一覧 (3/3)

種類	分類	割り込み / 例外要因				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット				
マスクブル	割り込み	INTSR0/ INTCSIR0	SRIC0	UARTA0受信終了 / CSIB0受信終了	UARTA0/ CSIB0	41	0310H	00000310H	nextPC
	割り込み	INTST0/ INTCSIT0	STIC0	UARTA0送信許可 / CSIB0送信許可	UARTA0/ CSIB0	42	0320H	00000320H	nextPC
	割り込み	INTSER1/ INTCSIER1	SEIC1	UARTA1受信エラー / CSIB1受信エラー	UARTA1/ CSIB1	43	0330H	00000330H	nextPC
	割り込み	INTSR1/ INTCSIR1	SRIC1	UARTA1受信終了 / CSIB1受信終了	UARTA1/ CSIB1	44	0340H	00000340H	nextPC
	割り込み	INTST1/ INTCSIT1	STIC1	UARTA1送信許可 / CSIB1送信許可	UARTA1/ CSIB1	45	0350H	00000350H	nextPC
	割り込み	INTSER2/ INTCSIER2	SEIC2	UARTA2受信エラー / CSIB2受信エラー	UARTA2/ CSIB2	46	0360H	00000360H	nextPC
	割り込み	INTSR2/ INTCSIR2	SRIC2	UARTA2受信終了 / CSIB2受信終了	UARTA2/ CSIB2	47	0370H	00000370H	nextPC
	割り込み	INTST2/ INTCSIT2	STIC2	UARTA2送信許可 / CSIB2送信許可	UARTA2/ CSIB2	48	0380H	00000380H	nextPC
	割り込み	INTSER3	SEIC3	UARTA3受信エラー	UARTA3	49	0390H	00000390H	nextPC
	割り込み	INTSR3/ INTIIC	SRIC3	UARTA3受信終了 / I ² Cシリアル転送終了	UARTA3/ I ² C	50	03A0H	000003A0H	nextPC
	割り込み	INTST3	STIC3	UARTA3送信許可	UARTA3	51	03B0H	000003B0H	nextPC
	割り込み	INTAD	ADIC	A/D変換終了	ADC	52	03C0H	000003C0H	nextPC

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスクブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み処理起動時に，CPUのEIPC，FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお，次の命令実行中にノンマスクブル / マスクブル割り込みを受け付けた場合の復帰PCはnext PCとはなりません（命令実行中に割り込みを受け付けると実行を中止し，割り込み処理完了後に再実行されます。この場合，中断された命令のアドレスが復帰PCとなります）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは，（復帰PC - 4）で求められます。

20.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

V850E/MA3のノンマスカブル割り込み要求信号には、次の2つがあります。

- ・ NMI端子入力（NMI）
- ・ ウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込み要求信号（INTWDT）

NMI端子の有効エッジは、NMIR, NMIFレジスタにより立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジの3種類から選択できます。

INTWDTはWDTM.WDTM4, WDTM3ビットを“10”と設定することで機能します。

複数のノンマスカブル割り込みが重なって発生した場合は、次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求は無視されます）。

INTWDT > NMI

なお、NMI 処理中に、新たに NMI, INTWDT 要求が発生した場合は次のような処理を行います。

（1）NMI 処理中に、新たに NMI 要求が発生した場合

CPU の PSW.NP ビットの値によらず、新たな NMI 要求は保留されます。保留された NMI 要求は、現在実行中の NMI 処理終了後（RETI 命令実行後）に受け付けられます。ただし、NMI 処理中に、新たに NMI 要求が 2 回以上発生しても、受け付けられる NMI 要求は 1 回だけとなります。

（2）NMI 処理中に、新たに INTWDT 要求が発生した場合

NMI 処理中に PSW.NP ビットがセット(1)されたままであれば、新たな INTWDT 要求は保留されます。保留された INTWDT 要求は、現在実行中の NMI 処理終了後（RETI 命令実行後）に受け付けられます。

NMI 処理中に PSW.NP ビットをクリア(0)すれば、新たに発生した INTWDT 要求が実行されます（NMI 処理は中断されます）。

注意 ノンマスカブル割り込み要求が発生した場合、PC, PSWの値はNMI時状態退避レジスタ（FEPC, FEPSW）に退避されますが、このときRETI命令によって復帰できるのはNMIだけです。INTWDTの場合はRETI命令による復帰はできないため、割り込み処理終了後にシステム・リセットを行ってください。

図20 - 1 ノンマスカブル割り込み要求信号の受け付け動作 (1/2)

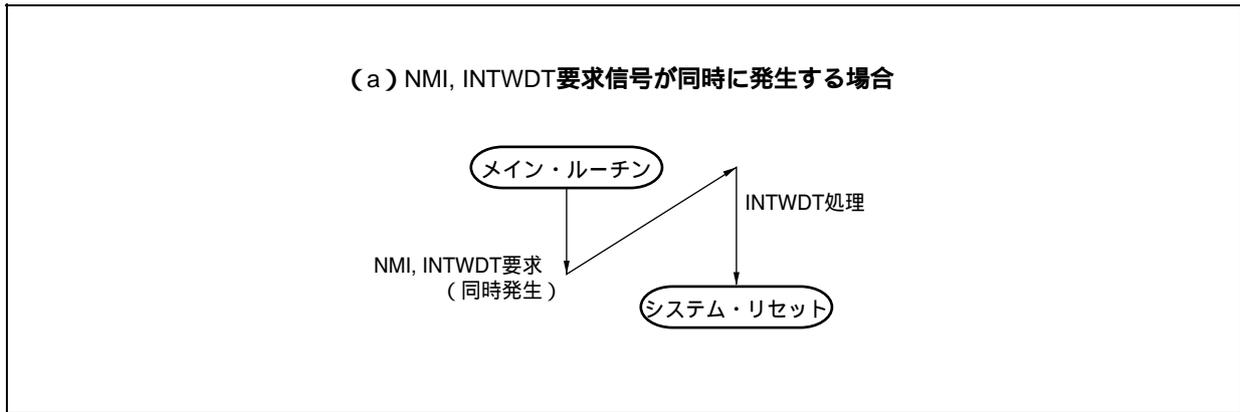
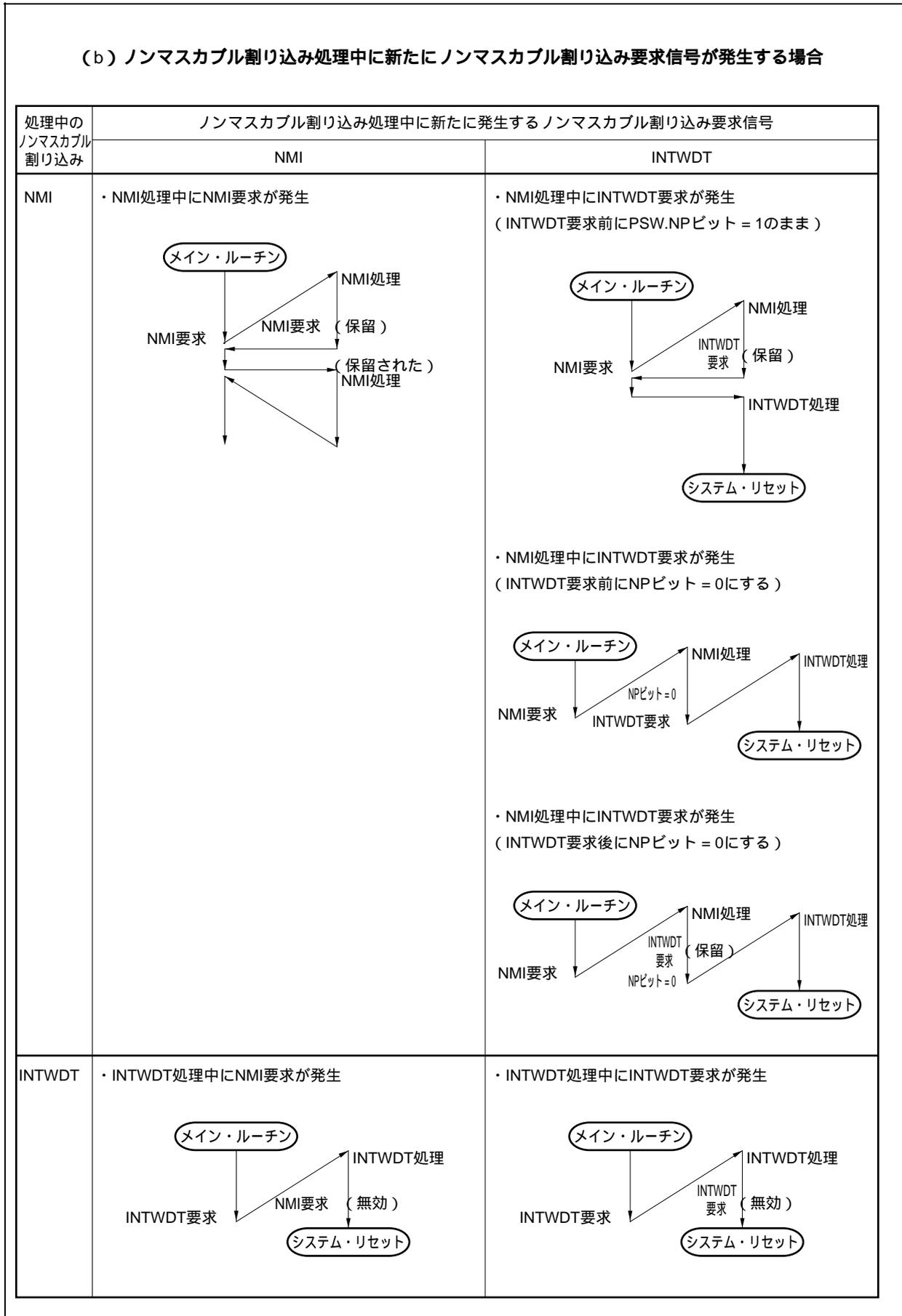


図20 - 1 ノンマスクابل割り込み要求信号の受け付け動作 (2/2)



20.2.1 動作

ノンマスクブル割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

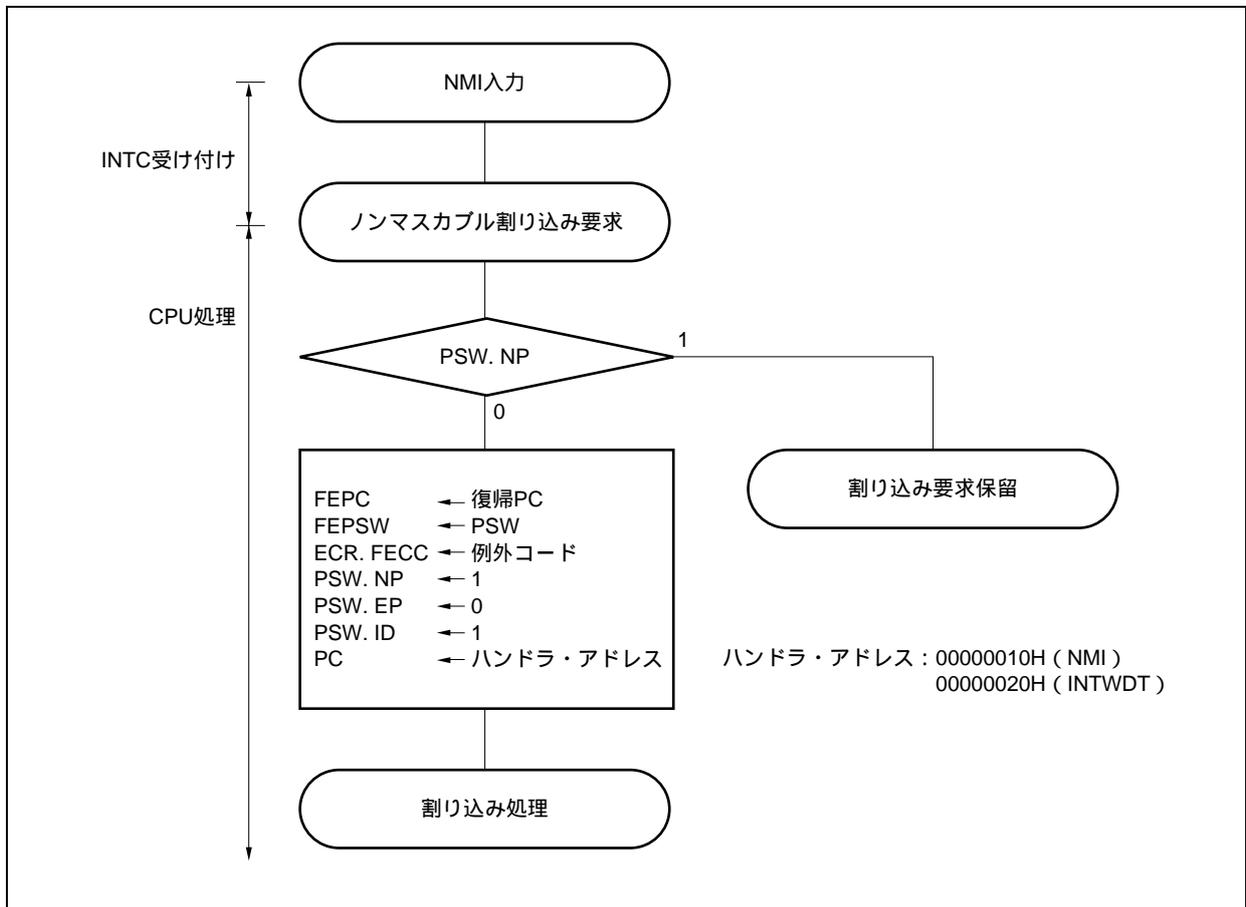
ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

ノンマスクブル割り込み処理形態を次に示します。

図20 - 2 ノンマスクブル割り込みの処理形態



20.2.2 復 帰

(1) NMI入力の場合

NMI処理からの復帰は、RETI命令により行います。

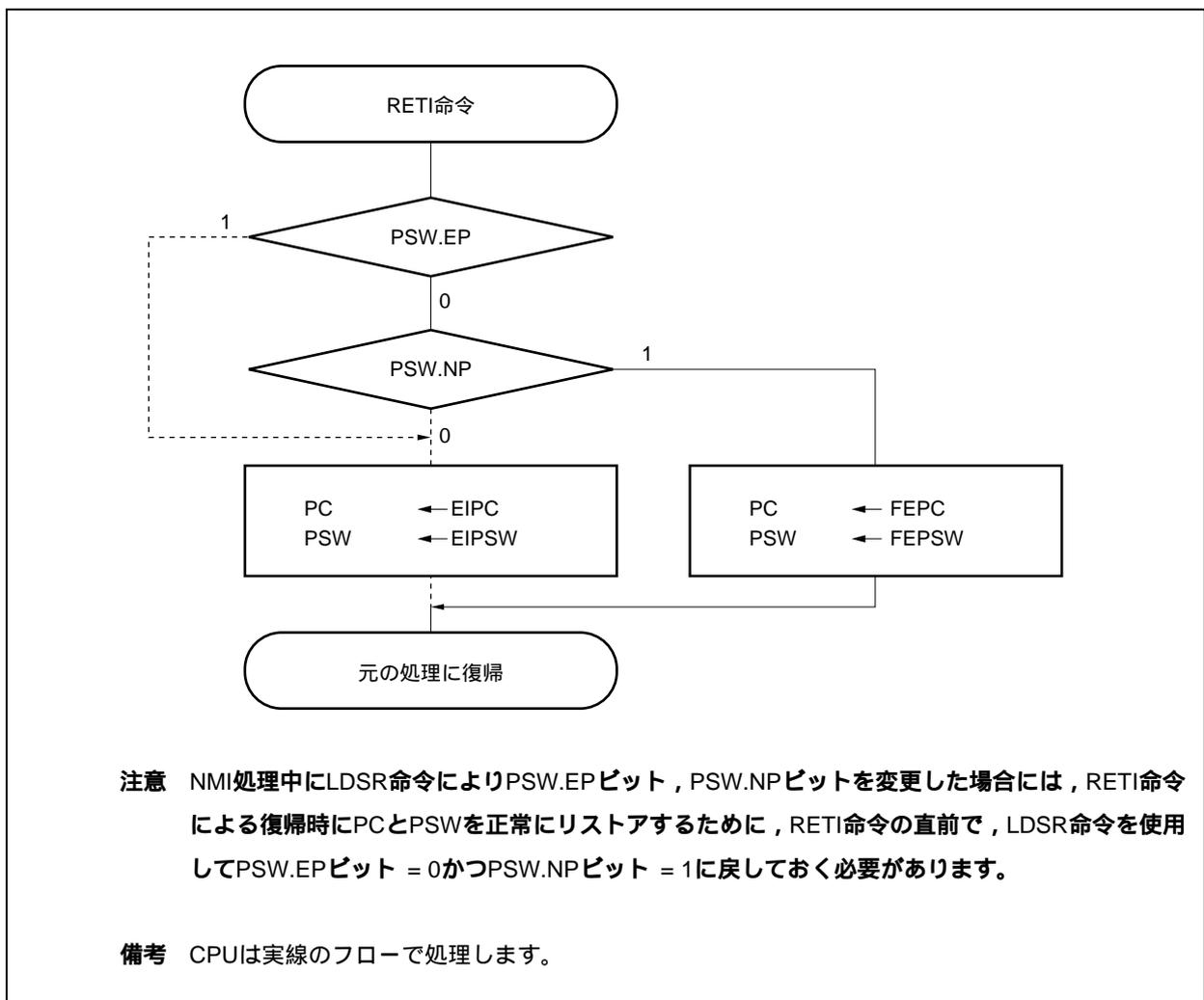
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図20 - 3 RETI命令の処理形態



(2) INTWDT信号の場合

RETI命令による復帰はできません。割り込み処理終了後にシステム・リセットを行ってください。

20.2.3 ノンマスカブル割り込みステータス・フラグ (NP)

NPフラグは、ノンマスカブル割り込みの処理中であることを示すステータス・フラグです。

ノンマスカブル割り込み要求信号を受け付けるとセットされ、ノンマスカブル割り込み要求をマスクして多重割り込みを禁止します。

リセット時 : 00000020H

31		8	7	6	5	4	3	2	1	0
PSW	0	NP	EP	ID	SAT	CY	OV	S	Z	

NP	ノンマスカブル割り込み処理状態
0	ノンマスカブル割り込み処理中でない
1	ノンマスカブル割り込み処理中

20.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、75種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC、EIPSWをメモリ、またはレジスタに退避しRETI命令を実行する前にDI命令を実行して、EIPC、EIPSWを元の値に復帰してください。

20.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

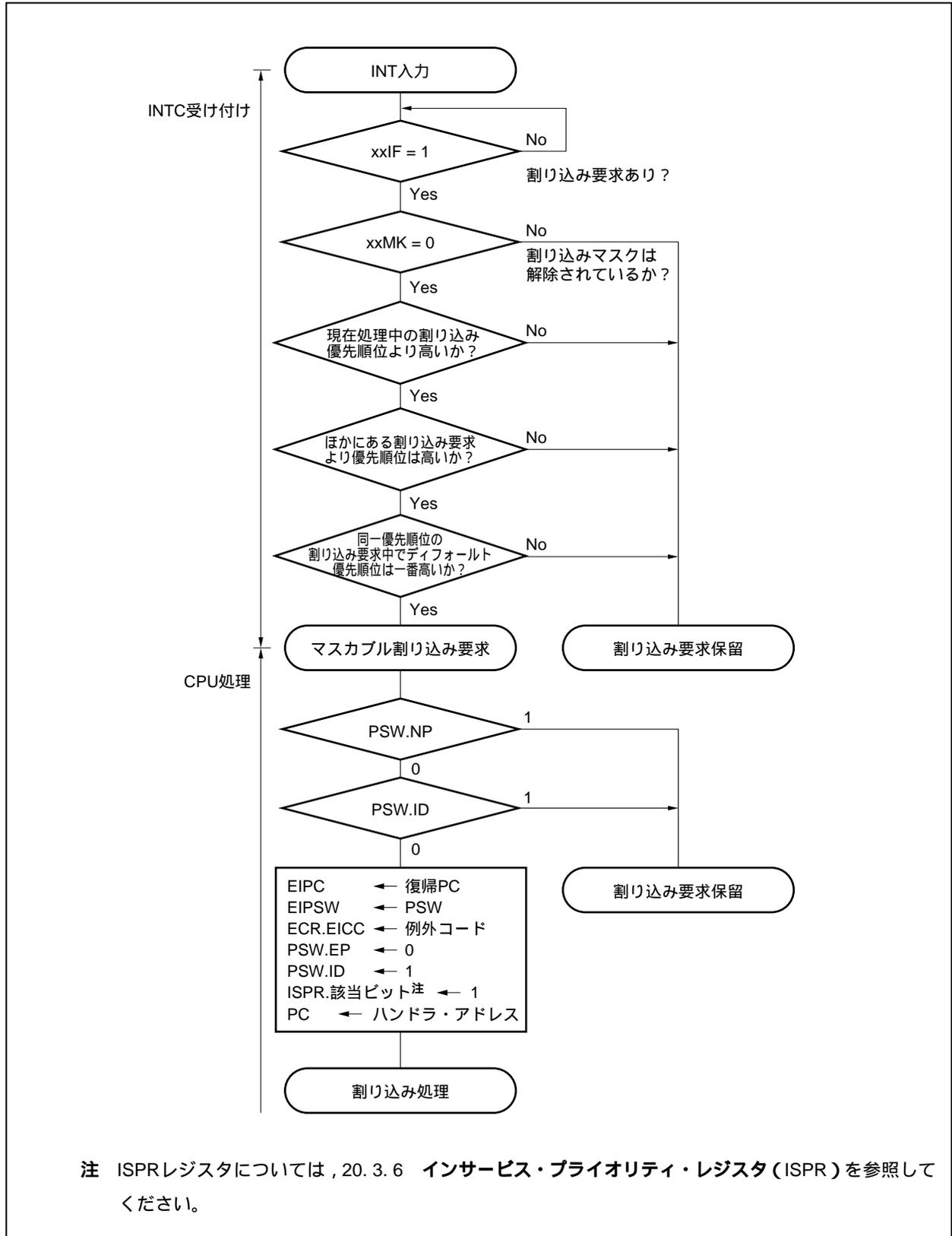
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、割り込みコントローラ（INTC）でマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはPSW.IDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用して、NPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図20 - 4 マスカブル割り込みの処理形態



20.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI命令により行います。

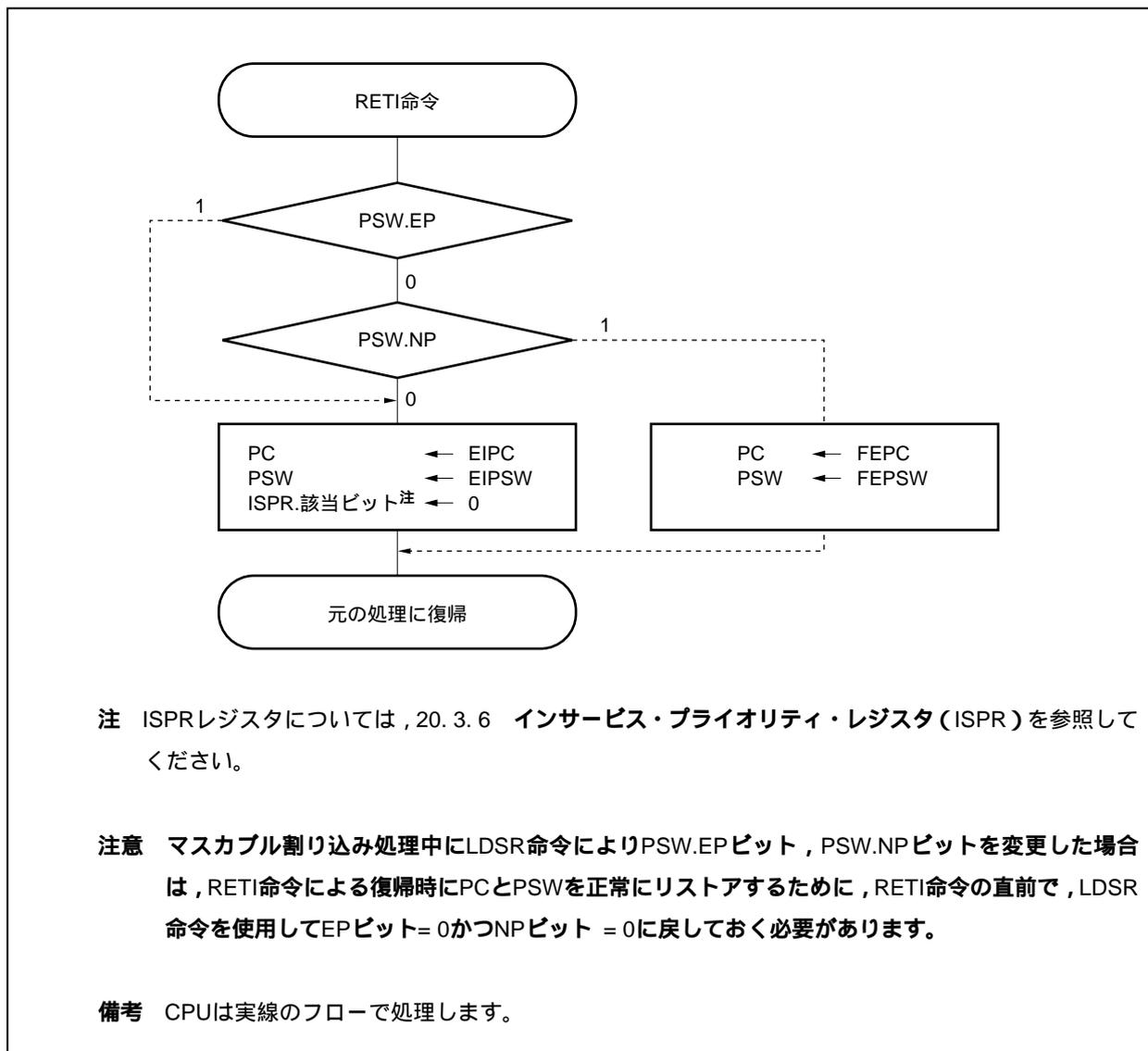
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図20 - 5 RETI命令の処理形態



20.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表20-1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表20-2参照)

n : 周辺ユニット番号 (表20-2参照)

図20 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

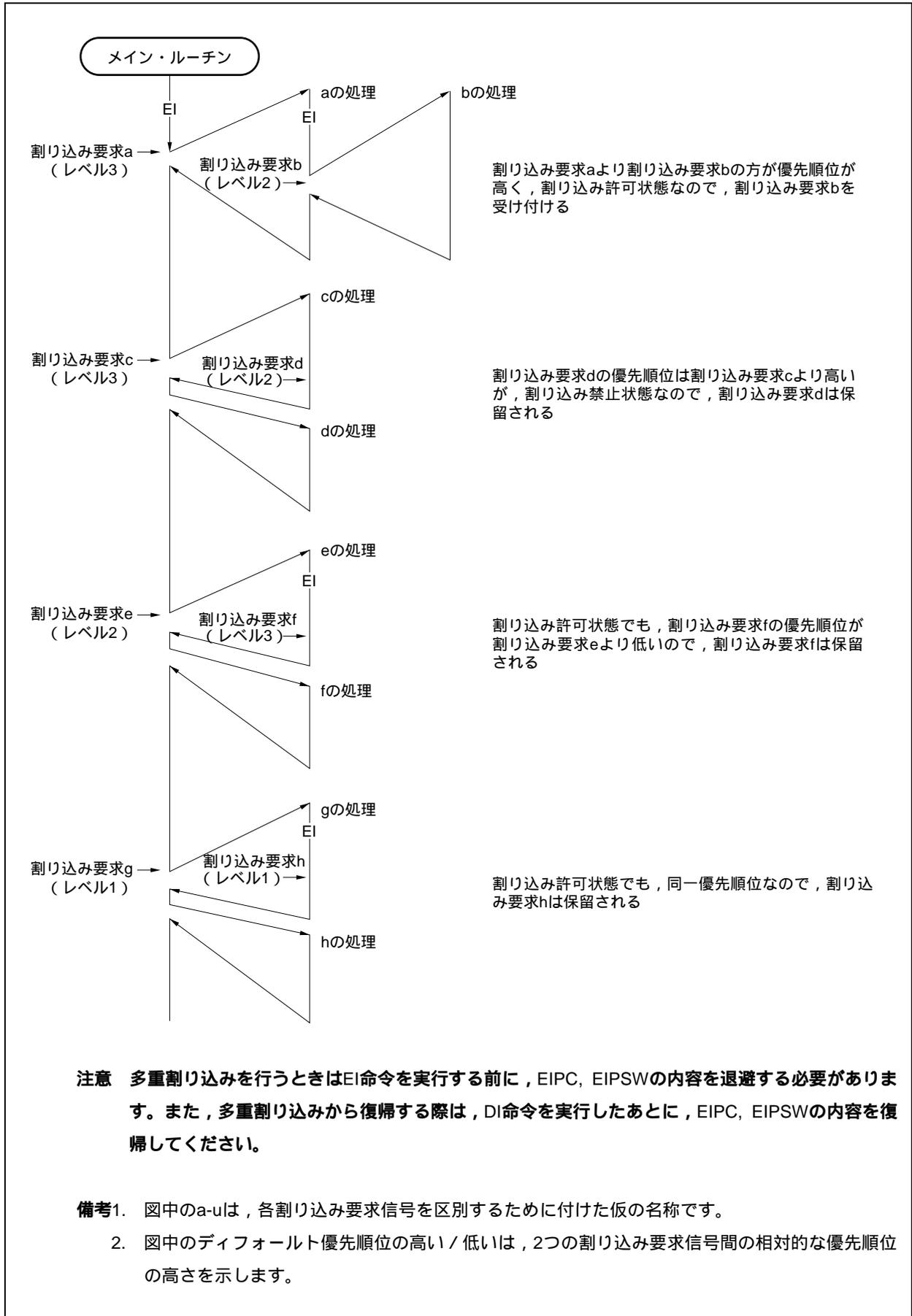


図20 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

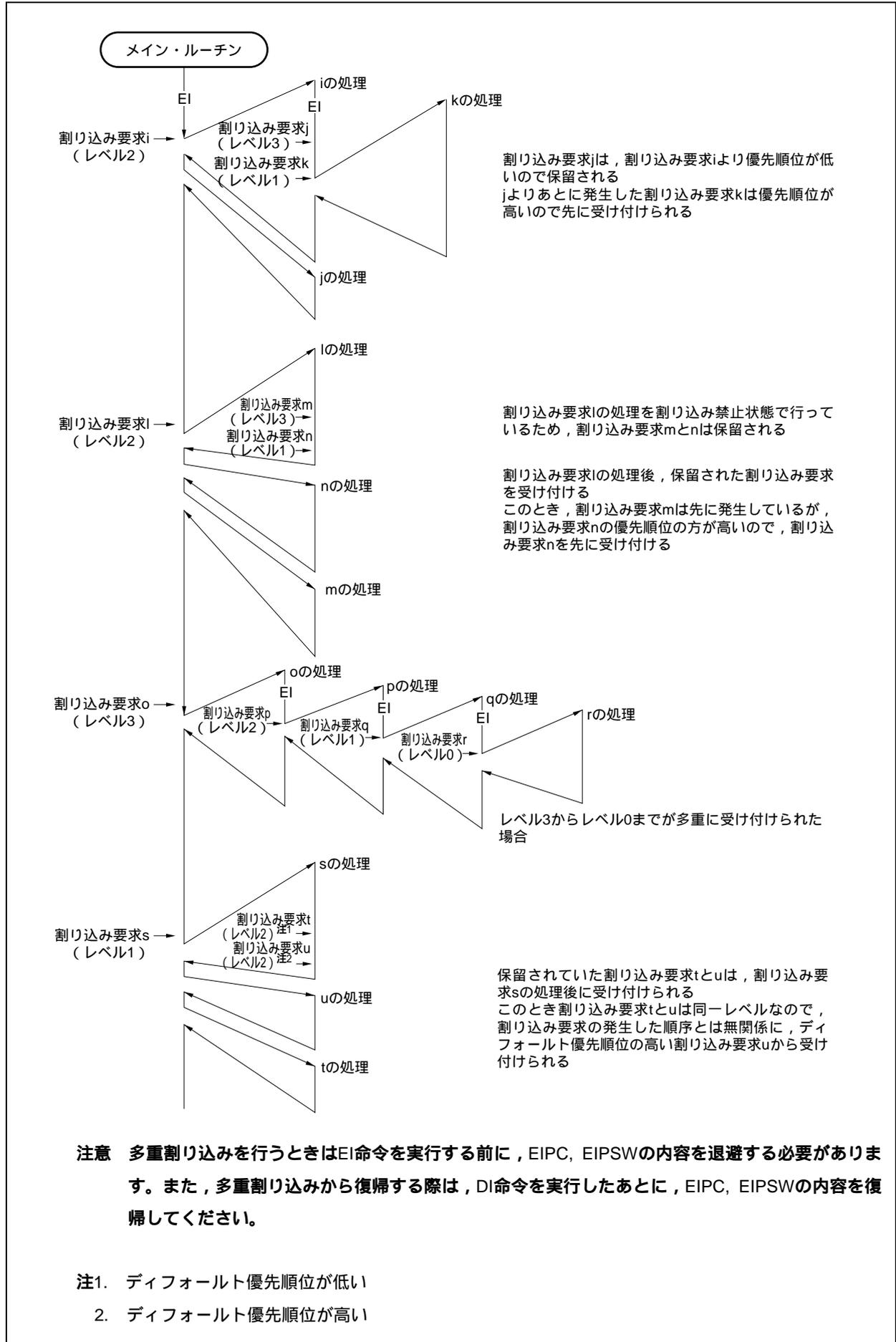
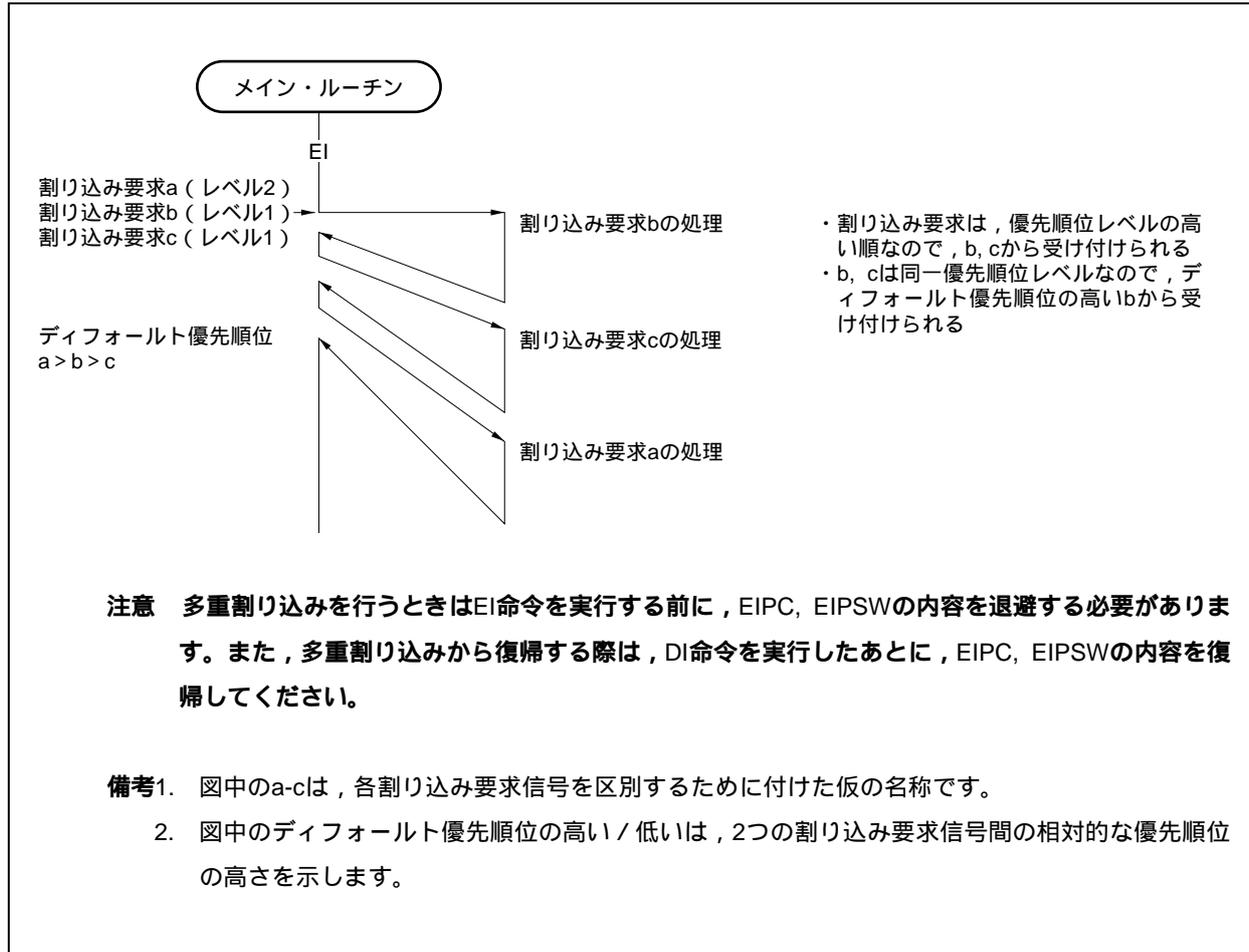


図20 - 7 同時発生した割り込み要求信号の処理例



20.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号 (マスカブル割り込み) ごとに割り当てられ、各割り込みに対する制御条件を設定します。
8/1ビット単位でリード/ライト可能です。
リセットにより47Hになります。

注意 xxICn.xxIFn ビットを読み出す場合は、割り込み禁止(DI)状態で行ってください。割り込み許可(EI)状態でxxIFn ビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

リセット時 : 47H R/W アドレス : FFFFF110H-FFFFFF178H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1 を指定
0	1	0	レベル2 を指定
0	1	1	レベル3 を指定
1	0	0	レベル4 を指定
1	0	1	レベル5 を指定
1	1	0	レベル6 を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

注意 割り込み要求が発生する状態でxxICnレジスタのxxMKnビットを操作する場合は、必ず予約語を使って操作するか、IMRmレジスタのxxMKnビットで操作してください (m = 0-3)。

備考 xx : 各周辺ユニット識別名称 (表20 - 2参照)
n : 周辺ユニット番号 (表20 - 2参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表20 - 2 割り込み制御レジスタのアドレスとビット (1/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	WDTIC	WDTIF	WDTMK	0	0	0	WDTPR2	WDTPR1	WDTPR0
FFFFF112H	P00IC0	P00IF0	P00MK0	0	0	0	P00PR02	P00PR01	P00PR00
FFFFF114H	P00IC1	P00IF1	P00MK1	0	0	0	P00PR12	P00PR11	P00PR10
FFFFF116H	P00IC4	P00IF4	P00MK4	0	0	0	P00PR42	P00PR41	P00PR40
FFFFF118H	P00IC5	P00IF5	P00MK5	0	0	0	P00PR52	P00PR51	P00PR50
FFFFF11AH	P10IC6	P10IF6	P10MK6	0	0	0	P10PR62	P10PR61	P10PR60
FFFFF11CH	P10IC7	P10IF7	P10MK7	0	0	0	P10PR72	P10PR71	P10PR70
FFFFF11EH	P01IC0	P01IF0	P01MK0	0	0	0	P01PR02	P01PR01	P01PR00
FFFFF120H	P01IC1	P01IF1	P01MK1	0	0	0	P01PR12	P01PR11	P01PR10
FFFFF122H	P01IC2	P01IF2	P01MK2	0	0	0	P01PR22	P01PR21	P01PR20
FFFFF124H	P01IC3	P01IF3	P01MK3	0	0	0	P01PR32	P01PR31	P01PR30
FFFFF126H	P11IC4	P11IF4	P11MK4	0	0	0	P11PR42	P11PR41	P11PR40
FFFFF128H	P11IC5	P11IF5	P11MK5	0	0	0	P11PR52	P11PR51	P11PR50
FFFFF12AH	P02IC1	P02IF1	P02MK1	0	0	0	P02PR12	P02PR11	P02PR10
FFFFF12CH	P02IC2	P02IF2	P02MK2	0	0	0	P02PR22	P02PR21	P02PR20
FFFFF12EH	P12IC4	P12IF4	P12MK4	0	0	0	P12PR42	P12PR41	P12PR40
FFFFF130H	P12IC5	P12IF5	P12MK5	0	0	0	P12PR52	P12PR51	P12PR50
FFFFF132H	P12IC6	P12IF6	P12MK6	0	0	0	P12PR62	P12PR61	P12PR60
FFFFF134H	P13IC0	P13IF0	P13MK0	0	0	0	P13PR02	P13PR01	P13PR00
FFFFF136H	P13IC1	P13IF1	P13MK1	0	0	0	P13PR12	P13PR11	P13PR10
FFFFF138H	P13IC2	P13IF2	P13MK2	0	0	0	P13PR22	P13PR21	P13PR20
FFFFF13AH	P13IC3	P13IF3	P13MK3	0	0	0	P13PR32	P13PR31	P13PR30
FFFFF13CH	P13IC4	P13IF4	P13MK4	0	0	0	P13PR42	P13PR41	P13PR40
FFFFF13EH	P13IC7	P13IF7	P13MK7	0	0	0	P13PR72	P13PR71	P13PR70
FFFFF140H	P05IC0	P05IF0	P05MK0	0	0	0	P05PR02	P05PR01	P05PR00
FFFFF142H	P05IC1	P05IF1	P05MK1	0	0	0	P05PR12	P05PR11	P05PR10
FFFFF144H	CMICD0	CMIF0	CMMK0	0	0	0	CMPR02	CMPR01	CMPR00
FFFFF146H	CMICD1	CMIF1	CMMK1	0	0	0	CMPR12	CMPR11	CMPR10
FFFFF148H	CMICD2	CMIF2	CMMK2	0	0	0	CMPR22	CMPR21	CMPR20
FFFFF14AH	CMICD3	CMIF3	CMMK3	0	0	0	CMPR32	CMPR31	CMPR30
FFFFF14CH	CM10IC0	CM10IF0	CM10MK0	0	0	0	CM10PR02	CM10PR01	CM10PR00
FFFFF14EH	CM10IC1	CM10IF1	CM10MK1	0	0	0	CM10PR12	CM10PR11	CM10PR10
FFFFF150H	OVVIC0	OVVIF0	OVVPMK0	0	0	0	OVVPR02	OVVPR01	OVVPR00
FFFFF152H	OVVIC1	OVVIF1	OVVPMK1	0	0	0	OVVPR12	OVVPR11	OVVPR10
FFFFF154H	OVVIC2	OVVIF2	OVVPMK2	0	0	0	OVVPR22	OVVPR21	OVVPR20
FFFFF158H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF15AH	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF15CH	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF15EH	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF160H	SEIC0	SEIF0	SEMK0	0	0	0	SEPR02	SEPR01	SEPR00
FFFFF162H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00

表20 - 2 割り込み制御レジスタのアドレスとビット (2/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF164H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFFF166H	SEIC1	SEIF1	SEMK1	0	0	0	SEPR12	SEPR11	SEPR10
FFFFFF168H	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFFF16AH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFFF16CH	SEIC2	SEIF2	SEMK2	0	0	0	SEPR22	SEPR21	SEPR20
FFFFFF16EH	SRIC2	SRIF2	SRMK2	0	0	0	SRPR22	SRPR21	SRPR20
FFFFFF170H	STIC2	STIF2	STMK2	0	0	0	STPR22	STPR21	STPR20
FFFFFF172H	SEIC3	SEIF3	SEMK3	0	0	0	SEPR32	SEPR31	SEPR30
FFFFFF174H	SRIC3	SRIF3	SRMK3	0	0	0	SRPR32	SRPR31	SRPR30
FFFFFF176H	STIC3	STIF3	STMK3	0	0	0	STPR32	STPR31	STPR30
FFFFFF178H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0

20.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3.xxMKnビットとxxICn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとした場合は、8/1ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

注意 デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

リセット時：FFFFH R/W アドレス：IMR3 FFFFF106H
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^注)	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
(IMR3L)	1	1	1	ADMK	STMK3	SRMK3	SEMK3	STMK2

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^注)	SRMK2	SEMK2	STMK1	SRMK1	SEMK1	STMK0	SRMK0	SEMK0
	7	6	5	4	3	2	1	0
(IMR2L)	DMAMK3	DMAMK2	DMAMK1	DMAMK0	OVPMK2	OVPMK1	OVQMK	OVPMK0

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^注)	CM10MK1	CM10MK0	CMMK3	CMMK2	CMMK1	CMMK0	P05MK1	P05MK0
	7	6	5	4	3	2	1	0
(IMR1L)	P13MK7	P13MK4	P13MK3	P13MK2	P13MK1	P13MK0	P12MK6	P12MK5

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^注)	P12MK4	P02MK2	P02MK1	P11MK5	P11MK4	P01MK3	P01MK2	P01MK1
	7	6	5	4	3	2	1	0
(IMR0L)	P01MK0	P10MK7	P10MK6	P00MK5	P00MK4	P00MK1	P00MK0	WDTMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注 IMR0-IMR3レジスタのビット15-8を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR3Hレジスタのビット7-0として指定してください。

注意 IMR3レジスタのビット15-5 (IMR3Hレジスタのビット7-0, IMR3Lレジスタのビット7-5) には1を設定してください。変更した場合の動作は保証できません。

備考 xx：各周辺ユニット識別名称 (表20 - 2参照)
n：周辺ユニット番号 (表20 - 2参照)

20.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット(1)され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にリセット(0)されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット(0)されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。

リセット時：00H R アドレス：FFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号を受け付け中

備考 n : 0-7 (優先順位のレベル)

20.3.7 マスカブル割り込みステータス・フラグ (ID)

マスカブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止制御情報を記憶します。IDフラグは、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31	8	7	6	5	4	3	2	1	0		
PSW	0				NP	EP	ID	SAT	CY	OV	S	Z

ID	マスカブル割り込み処理の指定 ^注
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止 (保留)

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1)、EI命令でクリア (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また、マスカブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は、xxICn.xxIFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

20.4 外部割り込み要求入力端子 (NMI, $\overline{\text{INTPn}}$)

20.4.1 ノイズ除去

(1) NMI端子のノイズ除去

NMI端子は、アナログ・ディレイによるノイズ除去回路を内蔵しています。ディレイ時間はTyp. 80 nsです。この時間未満で変化する信号入力は、内部で受け付けられません。

(2) $\overline{\text{INTPn}}$ 端子のノイズ除去

$\overline{\text{INTPn}}$ 端子は、アナログ・ディレイによるノイズ除去回路を内蔵しています (n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137)。ディレイ時間はTyp. 80 nsです。この時間未満で変化する信号入力は、内部で受け付けられません。

20.4.2 エッジ検出

NMI, $\overline{\text{INTPn}}$ 端子は、有効エッジをプログラマブルに選択できます (n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137)。また、 $\overline{\text{INTPn}}$ 端子は、レベル・トリガも選択できます。選択できる有効エッジについて次に示します。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・立ち上がり / 立ち下がり両エッジ

エッジ検出されたNMI, $\overline{\text{INTPn}}$ 信号は、割り込み要因になります。

有効エッジおよびレベル・トリガは、NMIR, NMIF, INTR0-INTR3, INTR5, INTF0-INTF3, INTF5レジスタで指定します。

注意 外部割り込み入力 ($\overline{\text{INTPn}}$) から、ポート・モードおよび他の兼用機能に切り替える場合には、外部割り込み入力をxxICa.xxMKaビットでマスクしてから行ってください。

備考 xx : 各周辺ユニット識別名称 (表20 - 2参照)

a : 周辺ユニット番号 (表20 - 2参照)

(1) NMI立ち上がりエッジ指定レジスタ (NMIR) , NMI立ち下がりエッジ指定レジスタ (NMIF)

NMIR, NMIFレジスタは, NMI端子の有効エッジを指定するレジスタです。有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり/立ち下がり両エッジのいずれかに指定できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFFFFC3EH

	7	6	5	4	3	2	1	①
NMIR	0	0	0	0	0	0	0	NMIR0

リセット時: 00H R/W アドレス: FFFFFFFC1EH

	7	6	5	4	3	2	1	①
NMIF	0	0	0	0	0	0	0	NMIF0

備考 有効エッジの指定については表20 - 3を参照してください。

表20 - 3 有効エッジの指定

NMIF0	NMIR0	有効エッジの指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり両エッジ

(2) 外部割り込み立ち上がりエッジ指定レジスタ0 (INTR0) , 外部割り込み立ち下がりエッジ指定レジスタ0 (INTF0)

INTP000, INTP001, INTP004, INTP005, INTP106, INTP107端子のトリガ・モードを指定するレジスタです。有効エッジは、立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットによりINTR0レジスタは00H, INTF0レジスタはF3Hになります。

注意 トリガ・モードを設定する場合は、PMC0レジスタを設定したあとで行ってください。

INTR0, INTF0レジスタを設定したあとでPMC0レジスタの設定を行うと、PMC0レジスタの設定タイミングで不正な割り込みが発生することがあります。

リセット時：00H R/W アドレス：FFFFFC20H

	⑦	⑥	⑤	④	3	2	①	①
INTR0	INTR07	INTR06	INTR05	INTR04	0	0	INTR01	INTR00

リセット時：F3H R/W アドレス：FFFFFC00H

	⑦	⑥	⑤	④	3	2	①	①
INTF0	INTF07	INTF06	INTF05	INTF04	0	0	INTF01	INTF00

備考 有効エッジの指定については表20 - 4を参照してください。

表20 - 4 INTP000, INTP001, INTP004, INTP005, INTP106, INTP107端子の有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 0, 1, 4-7)
0	0	レベル検出 (ロウ・レベル検出) ^注
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注 ある割り込み処理中に、より優先順位の低いレベル検出割り込み要求 (INTPm) が発生し、現在の割り込み処理が終了する前に、新たに発生したレベル検出割り込み (INTPm) がインアクティブになった場合、新たに発生した割り込み (INTPm) の割り込み要求は保留されます (m = 000, 001, 004, 005, 106, 107)。このINTPmの割り込み要求を受け付けたくない場合は、割り込み制御レジスタのPx0IFnビットをクリアしてください。

備考 n = 0, 1, 4-7 : INTP000, INTP001, INTP004, INTP005, INTP106, INTP107端子の制御

(3) 外部割り込み立ち上がりエッジ指定レジスタ1 (INTR1) , 外部割り込み立ち下がりエッジ指定レジスタ1 (INTF1)

INTP010-INTP013, INTP114, INTP115端子のトリガ・モードを指定するレジスタです。有効エッジは、立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットによりINTR1レジスタは00H, INTF1レジスタは3FHになります。

注意 トリガ・モードを設定する場合は、PMC1レジスタを設定したあとで行ってください。

INTR1, INTF1レジスタを設定したあとでPMC1レジスタの設定を行うと、PMC1レジスタの設定タイミングで不正な割り込みが発生することがあります。

リセット時 : 00H R/W アドレス : FFFFC22H

INTR1	7	6	⑤	④	③	②	①	①
	0	0	INTR15	INTR14	INTR13	INTR12	INTR11	INTR10

リセット時 : 3FH R/W アドレス : FFFFC02H

INTF1	7	6	⑤	④	③	②	①	①
	0	0	INTF15	INTF14	INTF13	INTF12	INTF11	INTF10

備考 有効エッジの指定については表20 - 5を参照してください。

表20 - 5 INTP010-INTP013, INTP114, INTP115端子の有効エッジの指定

INTF1n	INTR1n	有効エッジの指定 (n = 0-5)
0	0	レベル検出 (ロウ・レベル検出) ^注
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注 ある割り込み処理中に、より優先順位の低いレベル検出割り込み要求 (INTPm) が発生し、現在の割り込み処理が終了する前に、新たに発生したレベル検出割り込み (INTPm) がインアクティブになった場合、新たに発生した割り込み (INTPm) の割り込み要求は保留されます (m = 010-013, 114, 115)。このINTPmの割り込み要求を受け付けたくない場合は、割り込み制御レジスタのPx1IFnビットをクリアしてください。

備考 n = 0-5 : INTP010-INTP013, INTP114, INTP115端子の制御

(4) 外部割り込み立ち上がりエッジ指定レジスタ2 (INTR2) , 外部割り込み立ち下がりエッジ指定レジスタ2 (INTF2)

INTP021, INTP022, INTP124-INTP126端子のトリガ・モードを指定するレジスタです。有効エッジは、立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットによりINTR2レジスタは00H, INTF2レジスタは76Hになります。

注意 トリガ・モードを設定する場合は、PMC2レジスタを設定したあとで行ってください。

INTR2, INTF2レジスタを設定したあとでPMC2レジスタの設定を行うと、PMC2レジスタの設定タイミングで不正な割り込みが発生することがあります。

リセット時 : 00H R/W アドレス : FFFFC24H

7	⑥	⑤	④	3	②	①	0
0	INTR26	INTR25	INTR24	0	INTR22	INTR21	0

リセット時 : 76H R/W アドレス : FFFFC04H

7	⑥	⑤	④	3	②	①	0
0	INTF26	INTF25	INTF24	0	INTF22	INTF21	0

備考 有効エッジの指定については表20 - 6を参照してください。

表20 - 6 INTP021, INTP022, INTP124-INTP126端子の有効エッジの指定

INTF2n	INTR2n	有効エッジの指定 (n = 1, 2, 4-6)
0	0	レベル検出 (ロウ・レベル検出) ^注
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注 ある割り込み処理中に、より優先順位の低いレベル検出割り込み要求 (INTPm) が発生し、現在の割り込み処理が終了する前に、新たに発生したレベル検出割り込み (INTPm) がインアクティブになった場合、新たに発生した割り込み (INTPm) の割り込み要求は保留されます (m = 021, 022, 124-126)。このINTPmの割り込み要求を受け付けたくない場合は、割り込み制御レジスタのPx2IFnビットをクリアしてください。

備考 n = 1, 2, 4-6 : INTP021, INTP022, INTP124-INTP126端子の制御

(5) 外部割り込み立ち上がりエッジ指定レジスタ3 (INTR3) , 外部割り込み立ち下がりエッジ指定レジスタ3 (INTF3)

INTP130-INTP134, INTP137端子のトリガ・モードを指定するレジスタです。有効エッジは、立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットによりINTR3レジスタは00H, INTF3レジスタは9FHになります。

注意 トリガ・モードを設定する場合は、PMC3レジスタを設定したあとで行ってください。

INTR3, INTF3レジスタを設定したあとでPMC3レジスタの設定を行うと,PMC3レジスタの設定タイミングで不正な割り込みが発生することがあります。

リセット時 : 00H R/W アドレス : FFFFC26H

	⑦	6	5	④	③	②	①	①
INTR3	INTR37	0	0	INTR34	INTR33	INTR32	INTR31	INTR30

リセット時 : 9FH R/W アドレス : FFFFC06H

	⑦	6	5	④	③	②	①	①
INTF3	INTF37	0	0	INTF34	INTF33	INTF32	INTF31	INTF30

備考 有効エッジの指定については表20 - 7を参照してください。

表20 - 7 INTP130-INTP134, INTP137端子の有効エッジの指定

INTF3n	INTR3n	有効エッジの指定 (n = 0-4, 7)
0	0	レベル検出 (ロウ・レベル検出) ^注
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注 ある割り込み処理中に、より優先順位の低いレベル検出割り込み要求 (INTPm) が発生し、現在の割り込み処理が終了する前に、新たに発生したレベル検出割り込み (INTPm) がインアクティブになった場合、新たに発生した割り込み (INTPm) の割り込み要求は保留されます (m = 130-134, 137)。このINTPmの割り込み要求を受け付けたくない場合は、割り込み制御レジスタのP13IFnビットをクリアしてください。

備考 n = 0-4, 7 : INTP130-INTP134, INTP137端子の制御

(6) 外部割り込み立ち上がりエッジ指定レジスタ5 (INTR5) , 外部割り込み立ち下がりエッジ指定レジスタ5 (INTF5)

INTP050, INTP051端子のトリガ・モードを指定するレジスタです。有効エッジは、立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットによりINTR5レジスタは00H, INTF5レジスタは03Hになります。

注意 トリガ・モードを設定する場合は、PMC5レジスタを設定したあとで行ってください。

INTR5, INTF5レジスタを設定したあとでPMC5レジスタの設定を行うと,PMC5レジスタの設定タイミングで不正な割り込みが発生することがあります。

リセット時 : 00H R/W アドレス : FFFFFFFC2AH

INTR5	7	6	5	4	3	2	①	②
	0	0	0	0	0	0	INTR51	INTR50

リセット時 : 03H R/W アドレス : FFFFFFFC0AH

INTF5	7	6	5	4	3	2	①	②
	0	0	0	0	0	0	INTF51	INTF50

備考 有効エッジの指定については表20 - 8を参照してください。

表20 - 8 INTP050, INTP051端子の有効エッジの指定

INTF5n	INTR5n	有効エッジの指定 (n = 0, 1)
0	0	レベル検出 (ロウ・レベル検出) ^注
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注 ある割り込み処理中に、より優先順位の低いレベル検出割り込み要求 (INTPm) が発生し、現在の割り込み処理が終了する前に、新たに発生したレベル検出割り込み (INTPm) がインアクティブになった場合、新たに発生した割り込み (INTPm) の割り込み要求は保留されます (m = 050, 051)。このINTPmの割り込み要求を受け付けたくない場合は、割り込み制御レジスタのP05IFnビットをクリアしてください。

備考 n = 0, 1 : INTP050, INTP051端子の制御

20.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

20.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

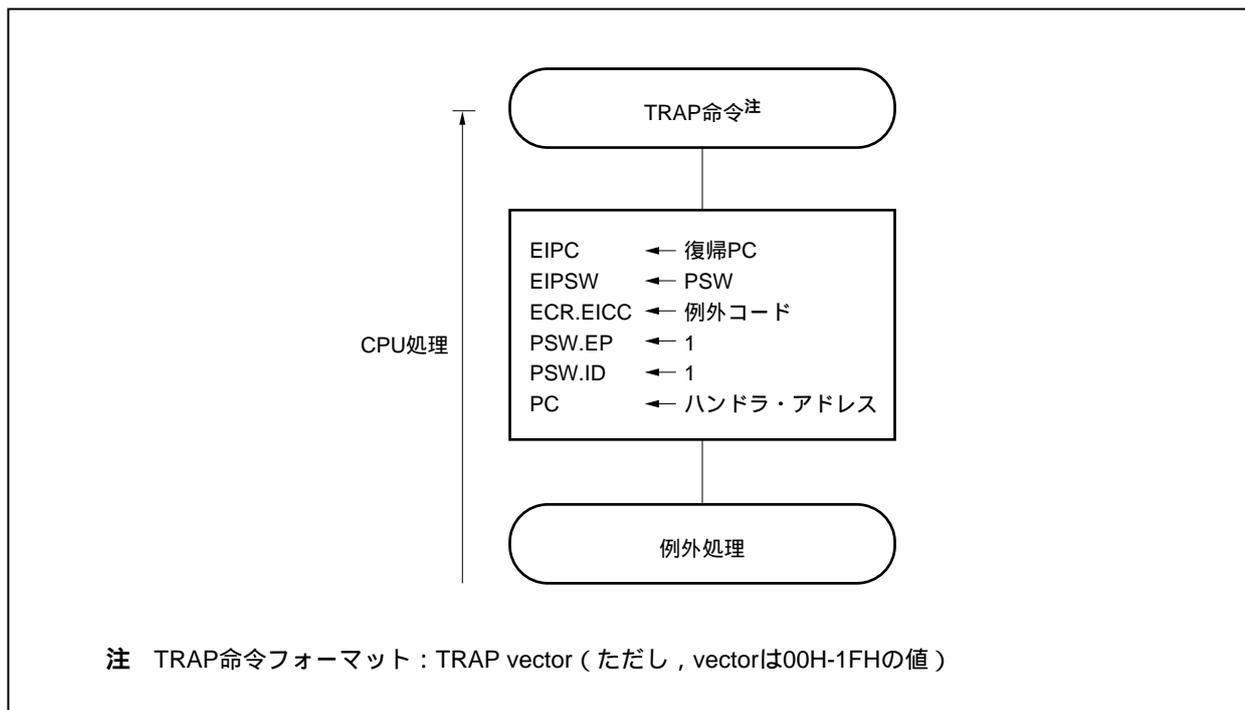
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を、次に示します。

図20 - 8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

20.5.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

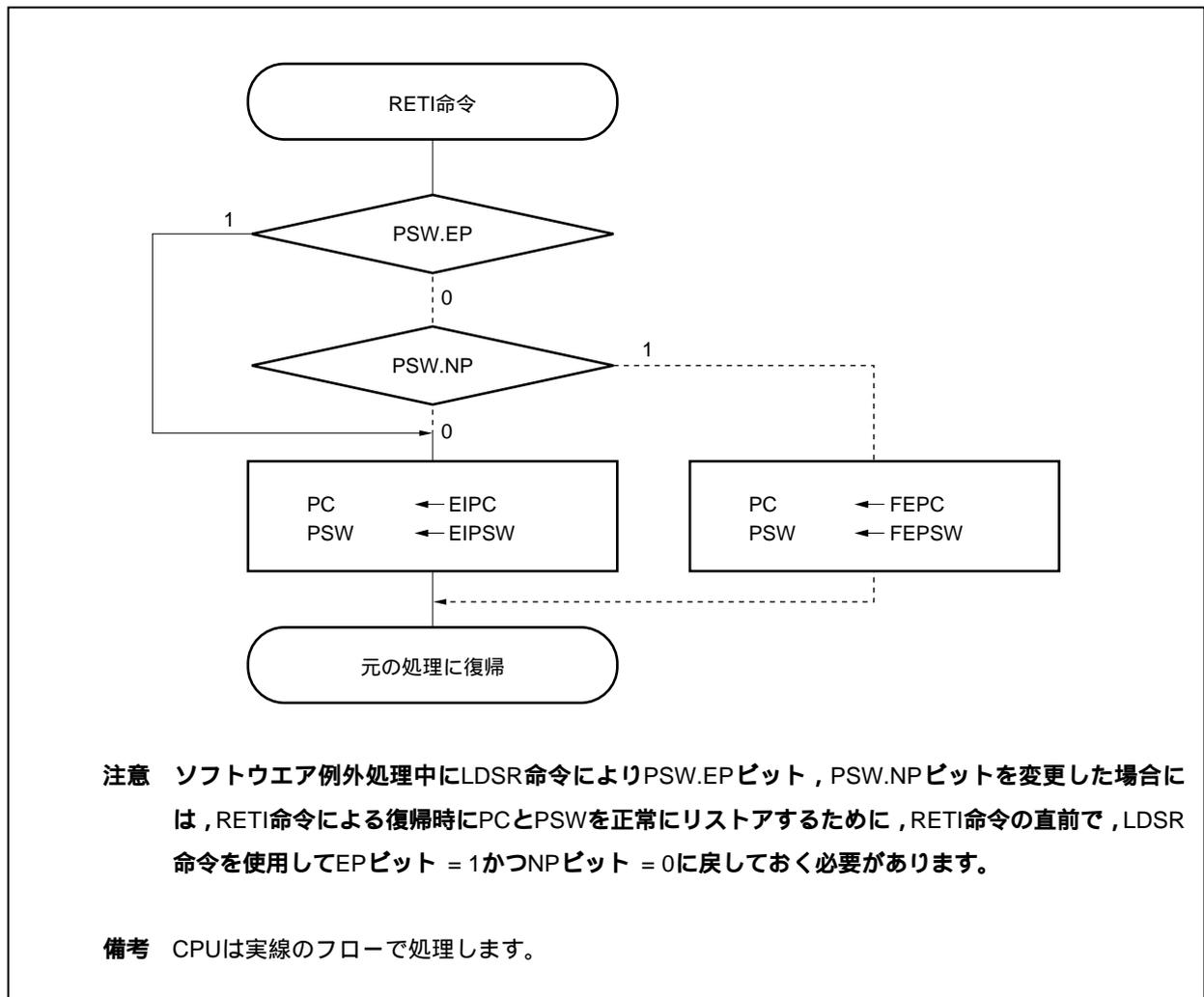
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図20 - 9 RETI命令の処理形態



20.5.3 例外ステータス・フラグ (EP)

EPフラグは、例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。EPフラグは、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	EP	ID	SAT	CY	OV	S	Z

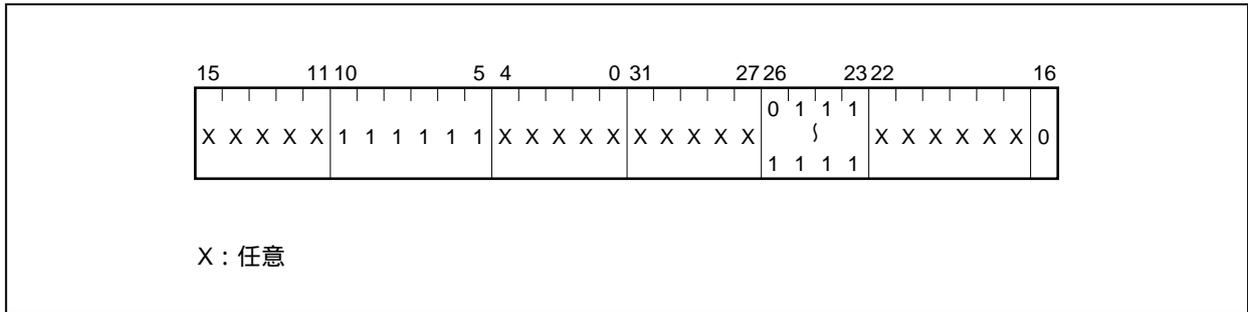
EP	例外処理状態
0	例外処理中でない
1	例外処理中

20.6 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850E/MA3では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

20.6.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

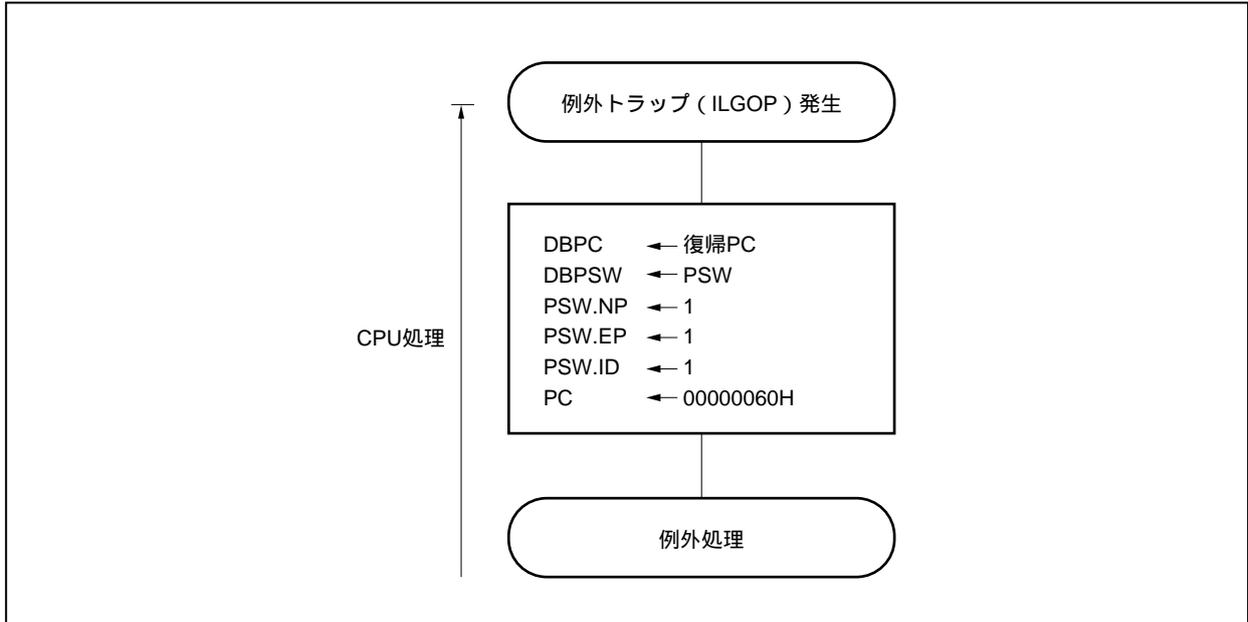
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図20 - 10 例外トラップの処理形態



(2) 復 帰

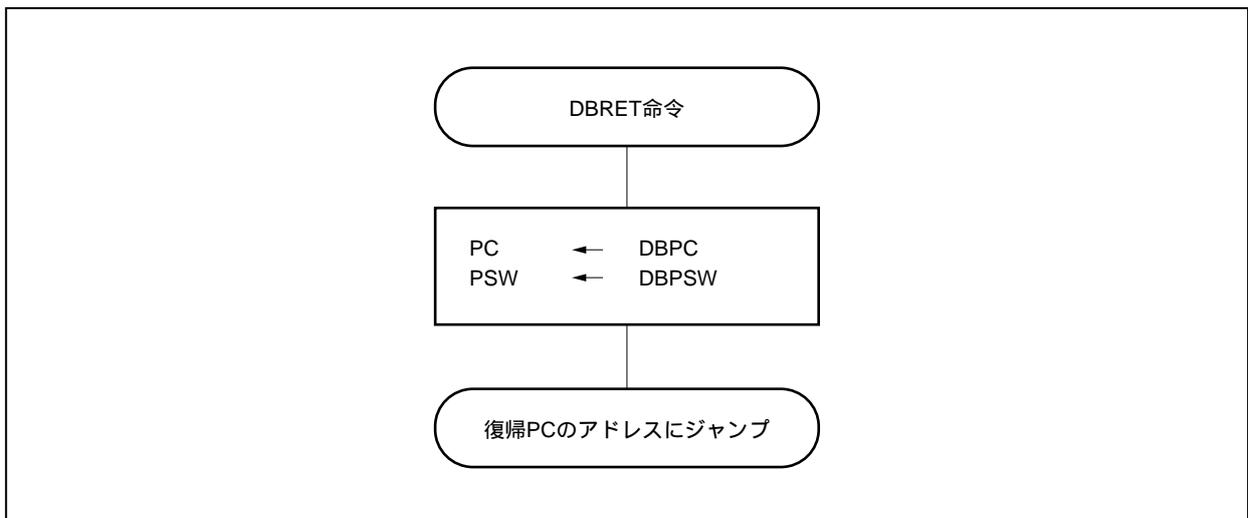
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

例外トラップからの復帰の処理形態を次に示します。

図20 - 11 例外トラップからの復帰の処理形態



20.6.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

(1) 動作

復帰PCをDBPCに退避します。

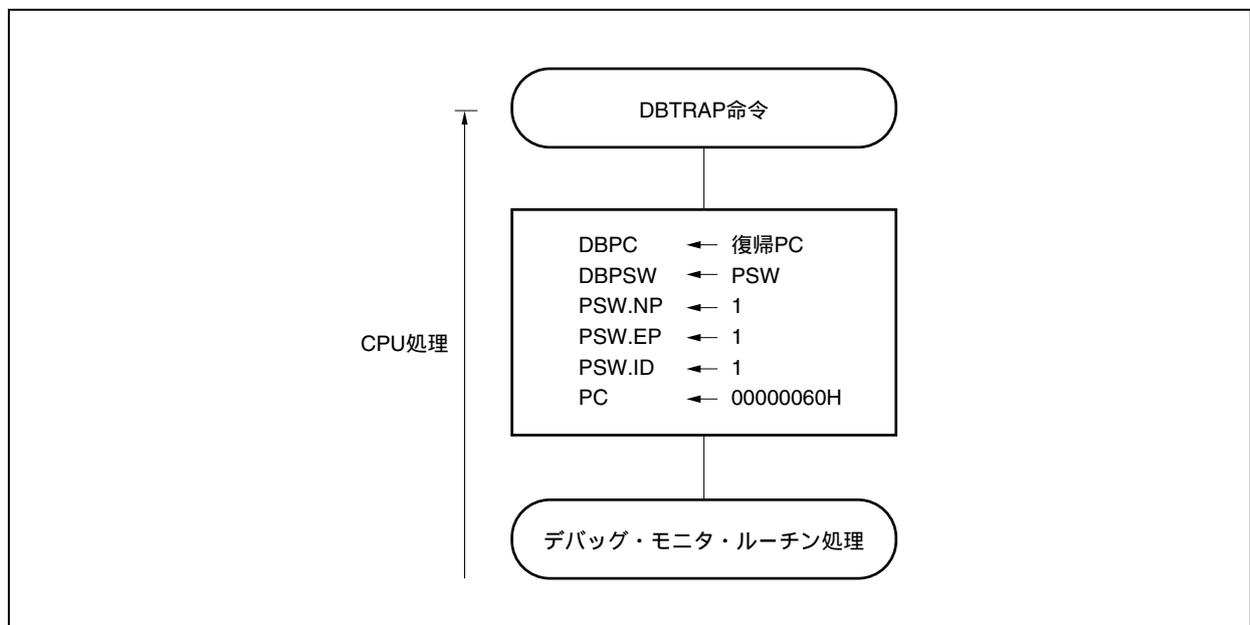
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を次に示します。

図20 - 12 デバッグ・トラップの処理形態



(2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

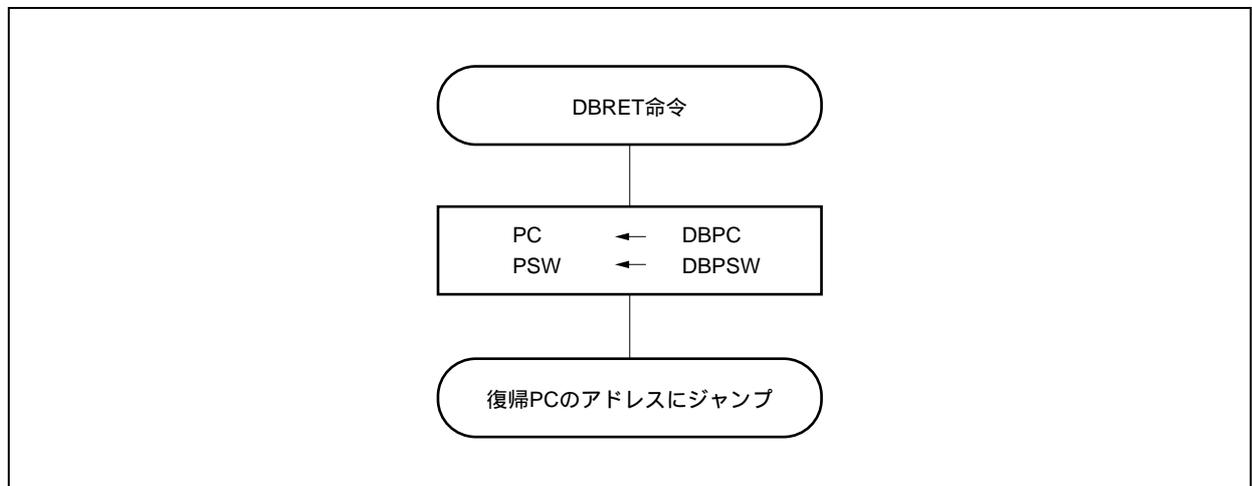
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWへは、DBTRAP命令を実行してからDBRET命令を実行するまでの期間のみアクセスできます。

デバッグ・トラップからの復帰の処理形態を次に示します。

図20 - 13 デバッグ・トラップからの復帰の処理形態



20.7 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求信号があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求信号の受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求信号だった場合は、その割り込み要求信号は保留されます。

マスクブル割り込みの多重処理制御は、割り込み許可状態 (PSW.IDビット = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (IDビット = 0) にする必要があります。

マスクブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスクブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスクブル割り込み要求信号を受け付ける場合

マスクブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令 (割り込み受け付け許可)
...
...
...
...
・ DI命令 (割り込み受け付け禁止)
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

マスクブル割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求信号ごとに0-7までの8レベル(0が最優先)が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求信号ごとに用意されている割り込み要求制御レジスタ($xxICn$)の $xxPRn0$ - $xxPRn2$ ビットで行います。システム・リセット時には、 $xxMKn$ ビットにより割り込み要求信号はマスクされ、 $xxPRn0$ - $xxPRn2$ ビットにより優先順位はレベル7に設定されます。

マスクブル割り込みの優先順位は次のようになります。

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

保留された割り込み要求信号は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスクブル割り込み処理ルーチン内 (RETI命令を実行するまでの期間) では、マスクブル割り込みを受け付けず、保留します。

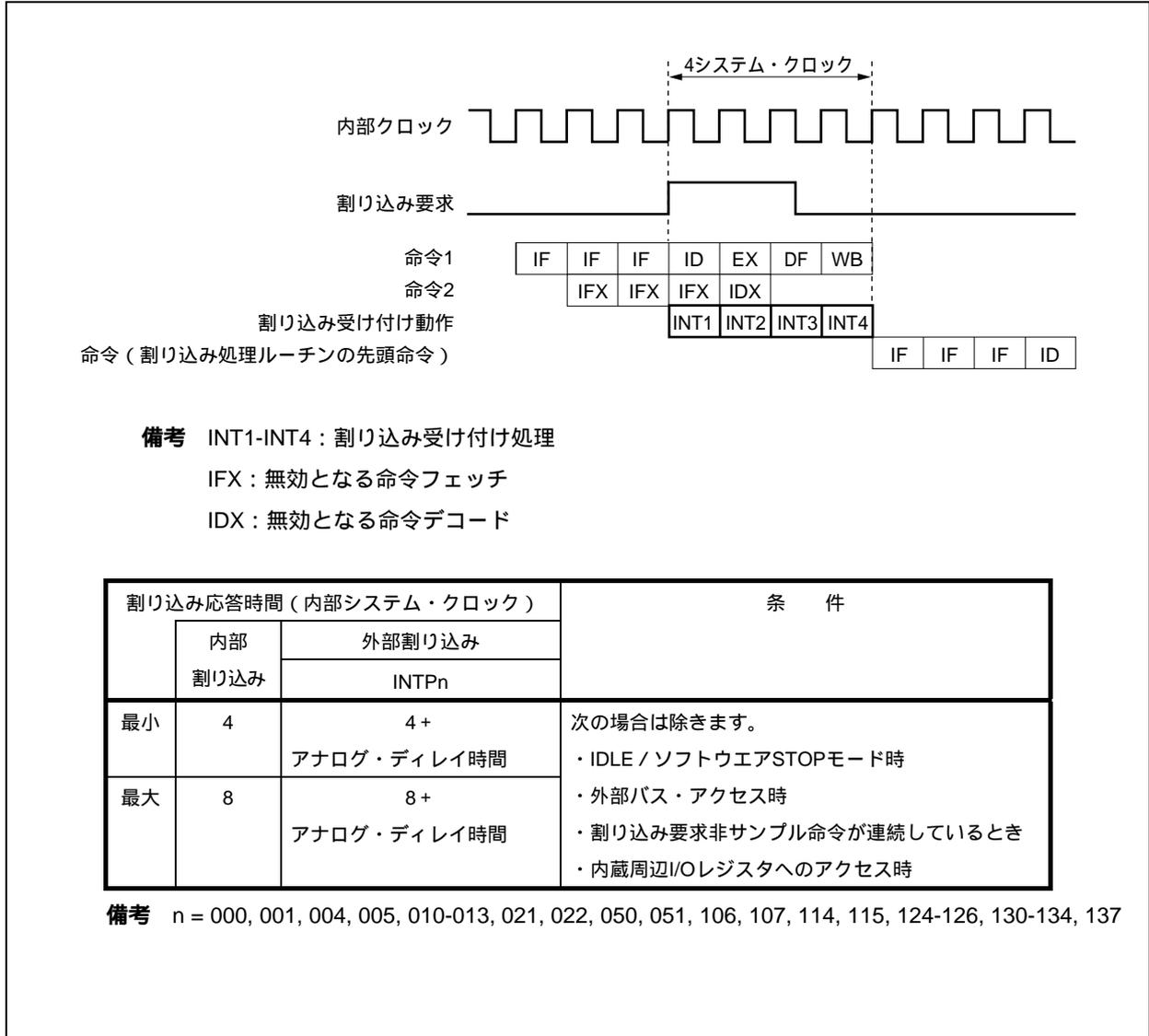
備考 xx : 各周辺ユニット識別名称 (表20 - 2参照)

n : 周辺ユニット番号 (表20 - 2参照)

20.8 割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図20 - 14 割り込み要求受け付け時のパイプライン動作 (概略)



20.9 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・EI命令
- ・DI命令
- ・LDSR reg2, 0x5命令（対PSW）
- ・コマンド・レジスタ（PRCMD）に対するストア命令
- ・次のレジスタに対するストア命令およびSET1, NOT1, CLR1命令
 - ・割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3），
 - ・パワー・セーブ・コントロール・レジスタ（PSC）

20.10 注意事項

（1）INTWDTに関する注意事項

WDTオーバーフローでノンマスクابل割り込み（INTWDT）が発生した場合は、割り込みルーチン内でリセット処理してください。このとき、RETI命令は実行できませんので注意してください。

（2）ポートを外部割り込み入力（ $\overline{\text{INTPn}}$ ）に設定した場合の注意事項

ポートを外部割り込み入力（ $\overline{\text{INTPn}}$ ）に設定した場合には、兼用しているタイマ/カウンタおよびシリアル・インタフェース関連の割り込みは発生しませんので注意してください（ $n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137$ ）。

第21章 スタンバイ機能

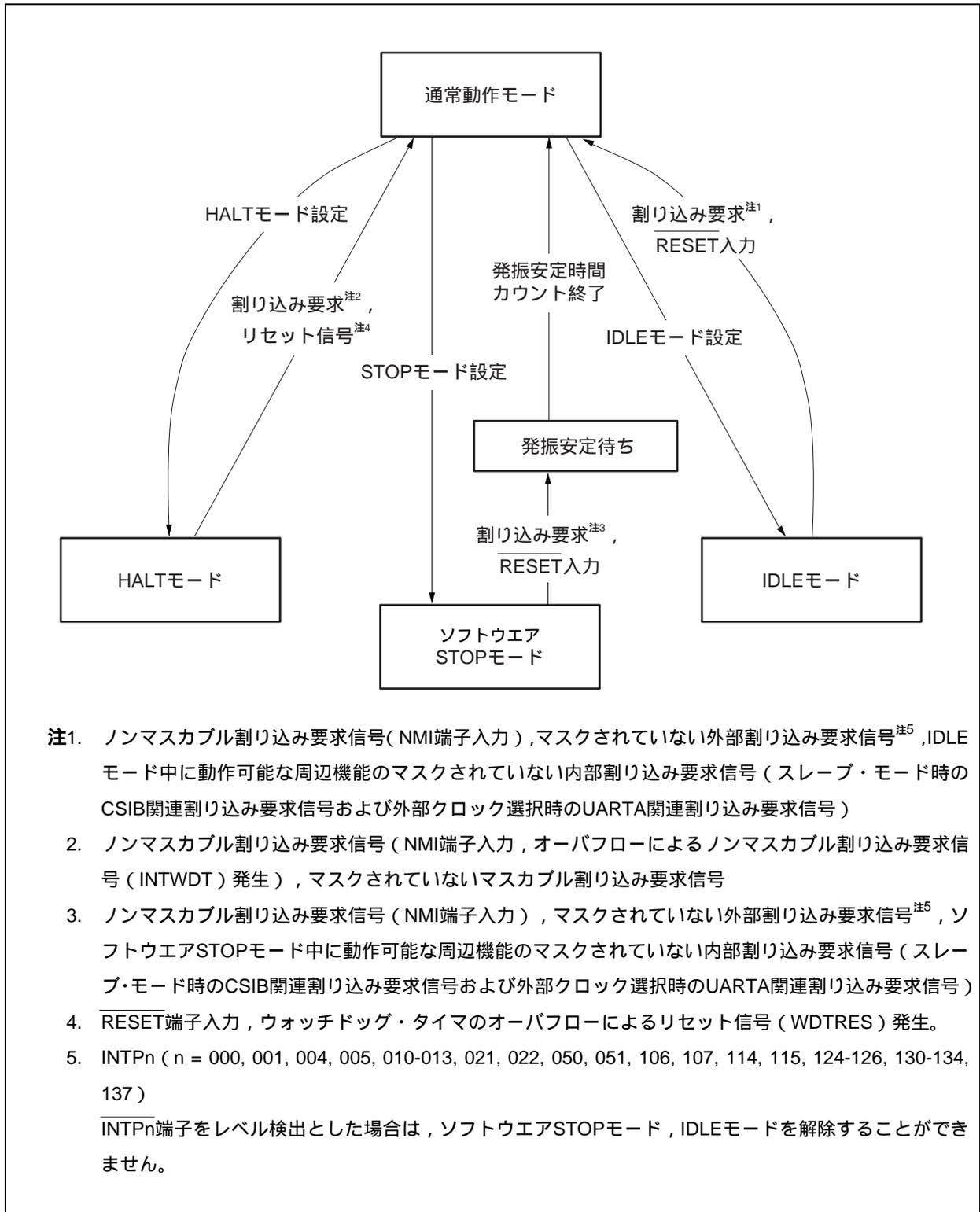
21.1 概 要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表21 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLEモード	発振回路とスレーブ・モード時のCSIBと外部クロック選択時のUARTA以外の内部回路の動作をすべて停止させるモード
ソフトウェアSTOPモード	スレーブ・モード時のCSIBと外部クロック選択時のUARTA以外の内部回路の動作をすべて停止させるモード

図21 - 1 状態遷移図



21.2 制御レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STBビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです(3.4.9 **特定レジスタ**参照)。特定のシーケンスの組み合わせによってだけ書き込みができます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	6	⑤	④	3	2	①	0
PSC	0	0	NMIM	INTM	0	0	STB	0

NMIM	NMI端子からのノンマスクブル割り込み要求 (NMI) の制御 ^{注1}
0	NMI要求によるスタンバイ・モード解除許可
1	NMI要求によるスタンバイ・モード解除禁止

INTM	すべてのマスクブル割り込み要求 (INTxx ^{注2}) の制御 ^{注1}
0	INTxx要求によるスタンバイ・モード解除許可
1	INTxx要求によるスタンバイ・モード解除禁止

STB	動作モードの設定 ^{注3}
0	通常モード
1	スタンバイ・モード

注1. 設定はIDLEモード/ソフトウェアSTOPモード時のみ有効です。

2. 詳細は、表20-1 **割り込み要因一覧**を参照してください。

3. 設定手順については、21.7 **IDLE/ソフトウェアSTOPモードへの移行, 復帰手順**を参照してください。

注意1. ビット0, 2, 3, 6, 7には、必ず0を設定してください。

2. IDLEモードおよびソフトウェアSTOPモードに設定する場合には、まずPSMR.PSMビットを設定してから、STBビット = 1にしてください。

21.3 HALTモード

21.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに移行します。

HALTモードに移行すると、クロック・ジェネレータは動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表21-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減することができます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態で、HALT命令を実行した場合は、HALTモードに移行しますが、保留されている割り込み要求信号によりHALTモードはすぐに解除されます。

21.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（NMI端子入力、オーバフローによるノンマスクابل割り込み要求信号（INTWDT）発生）、マスクされていないマスクابل割り込み要求信号、リセット信号（RESET端子入力、ウォッチドッグ・タイマのオーバフローによるリセット信号（WDTRES）発生）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

（1）ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号（NMI端子入力、オーバフローによるノンマスクابل割り込み要求信号（INTWDT）発生）、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- （a）現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとHALTモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、HALT命令の次の命令から実行を開始します。
- （b）現在処理中の割り込み要求信号よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表21-2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクされていないマスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) RESET端子入力，WDTRES信号発生による解除

通常のリセット動作と同じです。

表21 - 3 HALTモード時の動作状態

HALTモードの設定		動作状態
項目		
クロック・ジェネレータ		動作
システム・クロック (f _{xx})		供給
CPU		動作停止
DMA		動作可能
割り込みコントローラ		動作可能
ROMコレクション		動作可能
タイマ	TMP0-TMP2	動作可能
	TMQ0	動作可能
	TMD0-TMD3	動作可能
	TMENC10	動作可能
ウォッチドッグ・タイマ		動作可能
シリアル・インタフェース	CSIB0-CSIB2	動作可能
	I ² C	動作可能
	UARTA0-UARTA3	動作可能
A/Dコンバータ		動作可能
D/Aコンバータ		動作可能
外部バス・インタフェース		第5章 バス制御機能参照
ポート機能		HALTモード設定前の状態を保持
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持

21.4 IDLEモード

21.4.1 設定および動作状態

通常動作モード時、PSMR.PSMビットをクリア(0)し、PSC.STBビットをセット(1)することにより、IDLEモードに移行します。

IDLEモードに移行すると、クロック・ジェネレータは動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLEモード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表21-5にIDLEモード時の動作状態を示します。

IDLEモードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、クロック・ジェネレータは停止しないので、IDLEモード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

注意 IDLEモードへの移行手順については、21.7 IDLE/ソフトウェアSTOPモードへの移行、復帰手順を参照してください。

21.4.2 IDLEモードの解除

IDLEモードは、ノンマスクابل割り込み要求信号(NMI端子入力)、マスクされていない外部割り込み要求信号($\overline{\text{INTPn}}$ 端子入力)^注、IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレープ・モード時のCSIB関連割り込み要求信号および外部クロック選択時のUARTA関連割り込み要求信号)、 $\overline{\text{RESET}}$ 端子入力により解除されます($n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137$)。

IDLEモードの解除により、通常動作モードに移行します。

注 レベル検出設定時は、IDLEモードを解除することができません。

(1) ノンマスクابل割り込み要求信号(NMI端子入力)、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号(NMI端子入力)、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLEモードに設定した場合は次のようになります。

注意 PSC.INTMビット = 1設定時には、マスクされていないマスクابل割り込み要求信号によるIDLEモードの解除はできません。

- (a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとIDLEモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、IDLE命令の次の命令から実行を開始します。

- (b) 現在処理中の割り込み要求信号よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、IDLEモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表21 - 4 割り込み要求信号によるIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクされていないマスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) RESET端子入力による解除

通常のリセット動作と同じです。

表21 - 5 IDLEモード時の動作状態

IDLEモードの設定		動作状態
項目		
クロック・ジェネレータ		動作
システム・クロック (f _{xx})		供給停止
CPU		動作停止
DMA		動作停止
割り込みコントローラ		動作停止
ROMコレクション		動作停止
タイマ	TMP0-TMP2	動作停止
	TMQ0	動作停止
	TMD0-TMD3	動作停止
	TMENC10	動作停止
ウォッチドッグ・タイマ		動作停止
シリアル・インタフェース	CSIB0-CSIB2	動作クロックにSCKn入力クロック選択時(スレープ・モード時),動作可能(n = 0-2)
	I ² C	動作停止
	UARTA0-UARTA3	動作クロックにASCKn入力クロック選択時(外部クロック選択時),動作可能(n = 0-2)
A/Dコンバータ		動作停止
D/Aコンバータ		動作可能 (IDLEモード設定前の出力値を保持)
外部バス・インタフェース		第5章 バス制御機能参照
ポート機能		IDLEモード設定前の状態を保持
内部データ		CPUのレジスタ,ステータス,データ,内蔵RAMなどの内部データはすべてIDLEモード設定前の状態を保持

21.5 ソフトウェアSTOPモード

21.5.1 設定および動作状態

通常動作モード時、PSMR.PSMビットをセット(1)し、PSC.STBビットをセット(1)することにより、ソフトウェアSTOPモードに移行します。

ソフトウェアSTOPモードに移行するとクロック・ジェネレータは動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はソフトウェアSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表21-7にソフトウェアSTOPモード時の動作状態を示します。

ソフトウェアSTOPモードは、クロック・ジェネレータの動作が停止するので、IDLEモードよりさらに低消費電力を実現できます。また、外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます。

注意 ソフトウェアSTOPモードへの移行手順については、21.7 IDLE/ソフトウェアSTOPモードへの移行、復帰手順を参照してください。

21.5.2 ソフトウェアSTOPモードの解除

ソフトウェアSTOPモードは、ノンマスクابل割り込み要求信号(NMI端子入力)、マスクされていない外部割り込み要求信号($\overline{\text{INTPn}}$ 端子入力)^注、ソフトウェアSTOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレーブ・モード時のCSIB関連割り込み要求信号および外部クロック選択時のUARTA関連割り込み要求信号)、 $\overline{\text{RESET}}$ 端子入力により解除されます(n = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137)。

ソフトウェアSTOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

注 レベル検出設定時は、ソフトウェアSTOPモードを解除することができません。

(1) ノンマスクابل割り込み要求信号(NMI端子入力)、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号(NMI端子入力)、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でソフトウェアSTOPモードに設定した場合は次のようになります。

注意 PSC.INTMビット = 1設定時には、マスクされていないマスクابل割り込み要求信号によるソフトウェアSTOPモードの解除はできません。

- (a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとソフトウェアSTOPモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、STOP命令の次の命令から実行を開始します。

(b) 現在処理中の割り込み要求信号よりも優先順位が高い割り込み要求信号（ノンマスクブル割り込み要求信号を含む）が発生すると、ソフトウェアSTOPモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表21 - 6 割り込み要求信号によるソフトウェアSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスクされていないマスクブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	発振安定時間確保後, 次の命令を実行

(2) RESET端子入力による解除

通常のリセット動作と同じです。

表21 - 7 ソフトウェアSTOPモード時の動作状態

ソフトウェアSTOPモードの設定		動作状態
項目		
クロック・ジェネレータ		動作停止
システム・クロック (f _{xx})		供給停止
CPU		動作停止
DMA		動作停止
割り込みコントローラ		動作停止
ROMコレクション		動作停止
タイマ	TMP0-TMP2	動作停止
	TMQ0	動作停止
	TMD0-TMD3	動作停止
	TMENC10	動作停止
ウォッチドッグ・タイマ		動作停止
シリアル・インタフェース	CSIB0-CSIB2	動作クロックにSCKn入力クロック選択時(スレーブ・モード時), 動作可能(n = 0-2)
	I ² C	動作停止
	UARTA0-UARTA3	動作クロックにASCKn入力クロック選択時(外部クロック選択時), 動作可能(n = 0-2)
A/Dコンバータ		動作停止
D/Aコンバータ		動作可能(ソフトウェアSTOP設定前の出力値を保持)
外部バス・インタフェース		第5章 バス制御機能参照
ポート機能		ソフトウェアSTOPモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてソフトウェアSTOPモード設定前の状態を保持

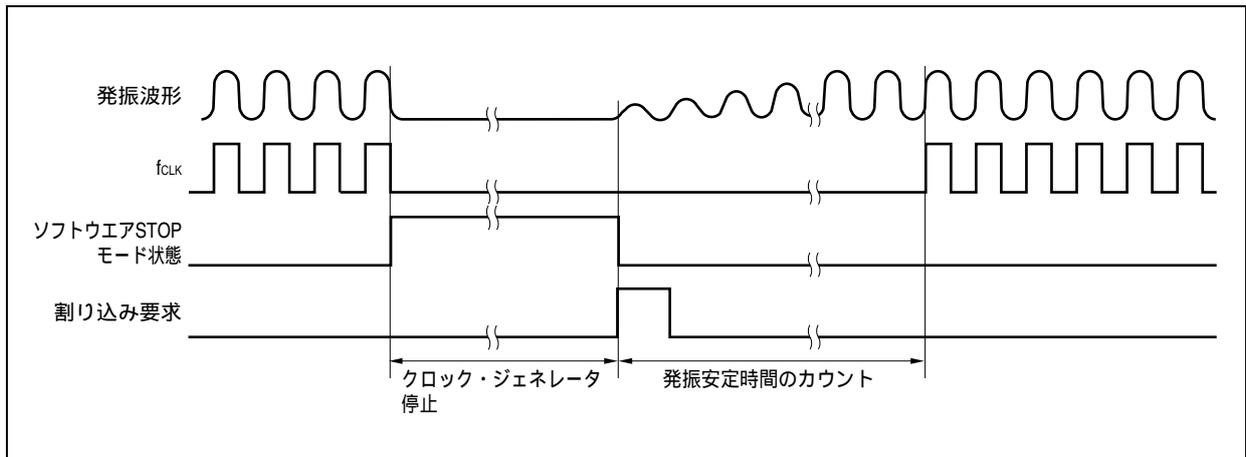
21.6 発振安定時間の確保

ソフトウェアSTOPモードを解除すると、OSTSレジスタで設定していた時間だけ発振安定時間を確保します。ただし、 $\overline{\text{RESET}}$ 端子入力による解除時は、発振安定時間が挿入されないため、 $\overline{\text{RESET}}$ 信号のロウ・アクティブ幅で発振安定時間を確保してください。

なお、発振安定時間カウント用のタイマはウォッチドッグ・タイマと兼用し、そのオーバフロー時間だけ発振安定時間を確保します。

ソフトウェアSTOPモードを割り込み要求信号で解除した場合の動作を次に示します。

図21 - 2 発振安定時間



注意 OSTSレジスタの詳細は、7.3(5)発振安定時間選択レジスタ (OSTS) を参照してください。

21.7 IDLE/ソフトウェアSTOPモードへの移行，復帰手順

IDLEモードまたはソフトウェアSTOPモードへ移行する場合は，必ずCKCレジスタによるクロック・ジェネレータの通倍数選択によって，システム・クロック (f_{xx}) が25 MHz以下になるように設定してから移行してください。また，IDLEモードまたはソフトウェアSTOPモードから復帰する場合は，復帰後に必ずCKCレジスタで通倍数を元の設定値に戻してください。

(1) IDLE/ソフトウェアSTOPモードへの移行手順

IDLEまたはソフトウェアSTOPモードへの移行手順は次のシーケンスで行います。
また，シーケンス中に“ [(数字)] ”は後述の記述例における行番号を示しています。

【移行時】

CKC.CKDIV1, CKDIV0ビットに設定するデータを用意する [(1)]
 PRCMDレジスタに で用意したデータを書き込む [(2)]
 CKCレジスタに で用意したデータを書き込む (次の命令で行う) [(3)]
 ・ストア命令 (ST/SST命令)
 ・ビット操作命令 (SET1/CLR1/NOT1命令)
 NOP命令を10命令以上挿入する [(4) - (13)]
 PSCレジスタに設定するデータを用意する [(14)]
 PRCMDレジスタに で用意したデータを書き込む [(15)]
 PSCレジスタに で用意したデータを書き込む (次の命令で行う) [(16)]
 ・ストア命令 (ST/SST命令)
 ・ビット操作命令 (SET1/CLR1/NOT1命令)
 NOP命令を5命令以上挿入する [(17) - (21)]

【復帰時】

CKC.CKDIV1, CKDIV0ビットに設定するデータを用意する [(22)]
 PRCMDレジスタに で用意したデータを書き込む [(23)]
 CKCレジスタに で用意したデータを書き込む (次の命令で行う) [(24)]
 ・ストア命令 (ST/SST命令)
 ・ビット操作命令 (SET1/CLR1/NOT1命令)

記述例を次に示します。

〔記述例〕 80 MHz動作の場合

【移行時】

```

ST.B          r11, PSMR[r0]          ; PSMRレジスタ設定
                                           ; (r11=0:IDLEモード, r11=1:STOPモード)

(1) MOV       0x01, r12
(2) ST.B      r12, PRCMD[r0]         ; PRCMDレジスタ書き込み
(3) ST.B      r12, CKC[r0]          ; CKCレジスタ設定 (fxx = 2.5 x fx = 20MHz)
                                           ; fxx=25MHz以下にする
(4) NOP
                                           ; ダミー命令(10命令)
(5) NOP
(6) NOP
(7) NOP
(8) NOP
(9) NOP
(10) NOP
(11) NOP
(12) NOP
(13) NOP
(14) MOV       0x02, r10
(15) ST.B     r10, PRCMD[r0]         ; PRCMDレジスタ書き込み
(16) ST.B     r10, PSC[r0]          ; PSCレジスタ設定 (スタンバイ・モード設定)
(17) NOP
                                           ; ダミー命令(5命令)
(18) NOP
(19) NOP
(20) NOP
(21) NOP

```

【復帰時】

```

(22) MOV      0x03, r10
(23) ST.B     r10, PRCMD[r0]         ; PRCMDレジスタ書き込み
(24) ST.B     r10, CKC[r0]          ; CKCレジスタ設定 (fxx = 10 x fx = 80MHz)
                                           ; 元の通倍数に設定

```

(通常のアプリケーション・コードに続く)

注意1. 特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

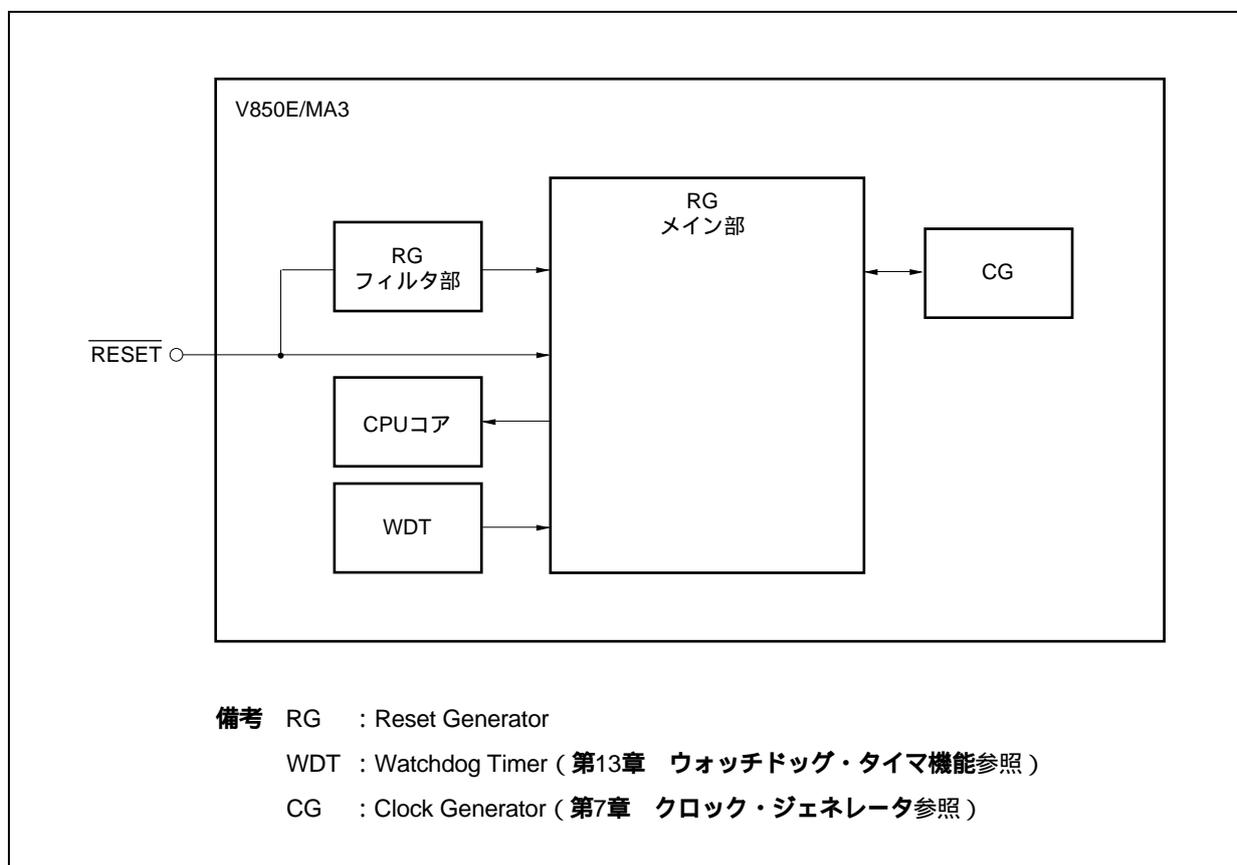
2. この処理を行う前に、すべてのDMA転送を終了させてください。
3. CKC, PSCレジスタは特定レジスタのため、上記 `MOV` , `ST.B` は連続したストア命令で行うことを前提としています。そのため、`MOV` , `ST.B` の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります。
4. システム・クロック (fxx) はCKC.CKDIV1, CKDIV0ビットを設定したあと、10システム・クロック以内に通倍数が切り替わります。

第22章 リセット機能

22.1 概要

- ・ $\overline{\text{RESET}}$ 端子入力によるシステム・リセット
- ・ ウォッチドッグ・タイマ (WDT) のオーバフローによるシステム・リセット (WDTRES)
- ・ オンチップ・デバッグ機能 (DCU) による強制リセット, リセット・マスク機能 (第24章 オンチップ・デバッグ機能 (DCU) 参照)

22.2 構成



22.3 制御レジスタ

(1) ウォッチドッグ・タイマ・リセット・ステータス・レジスタ (WDRES)

WDRESレジスタは、V850E/MA3がリセットされたときウォッチドッグ・タイマによるリセット (WDTRES) かどうかを確認できます。

WDRESレジスタは、特定レジスタです。WDTRESのステータスを示します。

ライト時は8ビット単位、リード時は8/1ビット単位で設定できます。

WDRESレジスタへ書き込みを行う場合は、PRCMDレジスタをコマンド・レジスタとする特定シーケンスによる書き込みが必要になります。不正なシーケンスによる書き込みを行うと、書き込みが無効となるとともにプロテクト・エラー (SYSレジスタのビット0: PRERR) がセット (1) され、書き込み動作は行われません。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF82AH

	7	6	5	4	3	2	1	①
WDRES	0	0	0	0	0	0	0	WRESF

WRESF	WDTRES検出フラグ
0	WDTRES発生なし
1	WDTRES発生あり
セット (1) 条件：ウォッチドッグ・タイマ (WDT) のオーバフローによるリセット発生 クリア (0) 条件：命令での "0" 書き込み，またはRESET端子入力 WRESFビットへの書き込みは "0" 書き込みのみ有効です。	

注意 WRESFビットへの "0" 書き込みは、フラグ・セットとの競合を避けるため WRESFビット = 1を確認 (読み出し) 後に行ってください。

備考 WRESFビットはR/W可能となっていますが、"0" ライトによるクリアのみ可能で "1" ライトによる動作はできません。

22.4 動作

RESET端子にロウ・レベルを入力,またはウォッチドッグ・タイマのオーバフロー(WDTRES)によりリセット状態となり,各ハードウェアを所定の状態に初期化します。

RESET端子入力をロウ・レベルからハイ・レベルに変化,またはWDTRES信号が自動的に解除されることで,リセット状態を解除します。リセット状態を解除したあと,ロックアップ時間経過後,CPUはプログラムの実行を開始します。

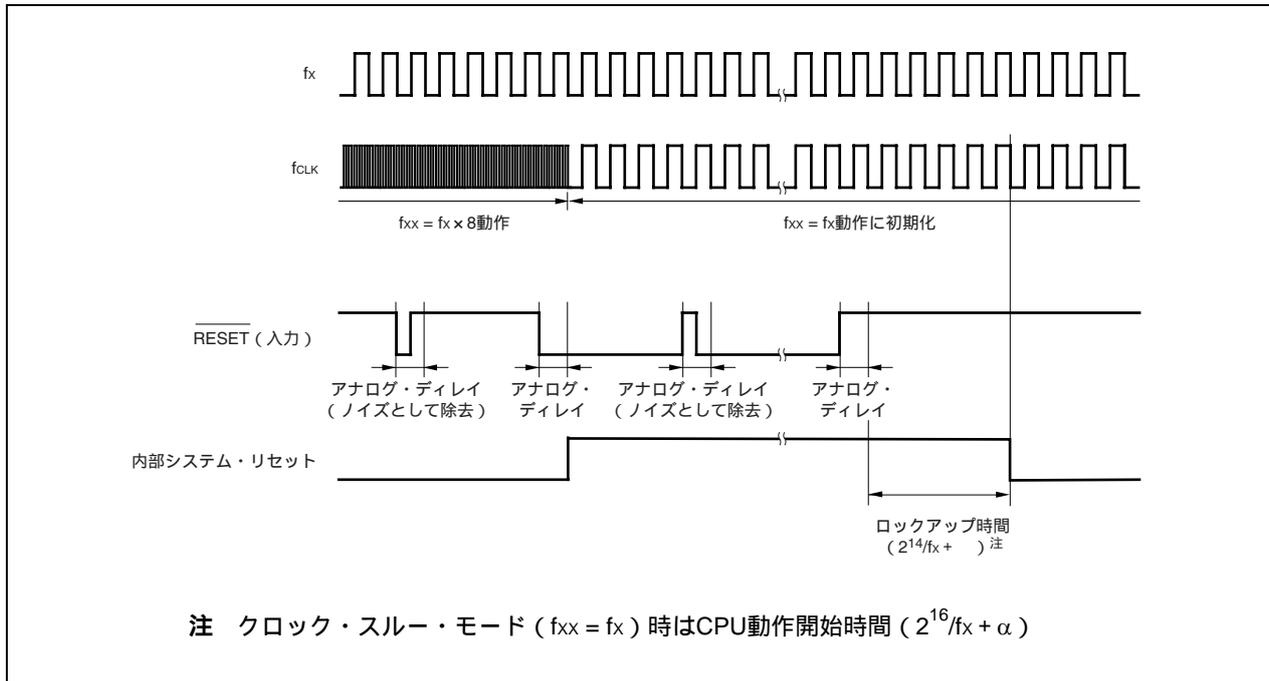
なお,RESET端子入力のリセット解除時には,発振安定期間は挿入されません。したがって,クロック・ジェネレータが停止した状態からのRESET端子入力(パワーオン時のリセット,およびIDLEモード,ソフトウェアSTOPモード解除時のリセット入力)では,発振安定時間をRESET端子入力のロウ・レベル幅で確保する必要があります。

リセット期間中とリセット解除後の各ハードウェアの状態を次に示します。

項目	リセット期間中	リセット解除後
クロック・ジェネレータ (クロック・スルー・モード時)	発振 / 供給継続 ただし,次の設定が初期化されます。 ・システム・クロック (f_{XX}) を $1 \times f_X$ に初期化する ・内部システム・クロック (f_{CLK}) およびCPUクロック (f_{CPU}) を f_{XX} に初期化する	
クロック・ジェネレータ (PLLモード時)	発振 / 供給停止 ただし,次の設定が初期化されます。 ・システム・クロック (f_{XX}) を $1.25 \times f_X$ に初期化する ・内部システム・クロック (f_{CLK}) およびCPUクロック (f_{CPU}) を f_{XX} に初期化する	
CPU	動作停止	動作可能
内蔵RAM	パワーオン時のリセット,またはRAMへのデータ書き込み(CPUやDMAによる)とリセット入力が競合(データ破壊)した場合,不定。それ以外は,リセット入力直前の値を保持。	
オンチップ・デバッグ機能	動作可能	
内蔵周辺I/Oレジスタ	所定の状態に初期化	
上記以外の内蔵周辺機能	動作停止	動作開始可能
端子機能	2.2 端子状態参照	

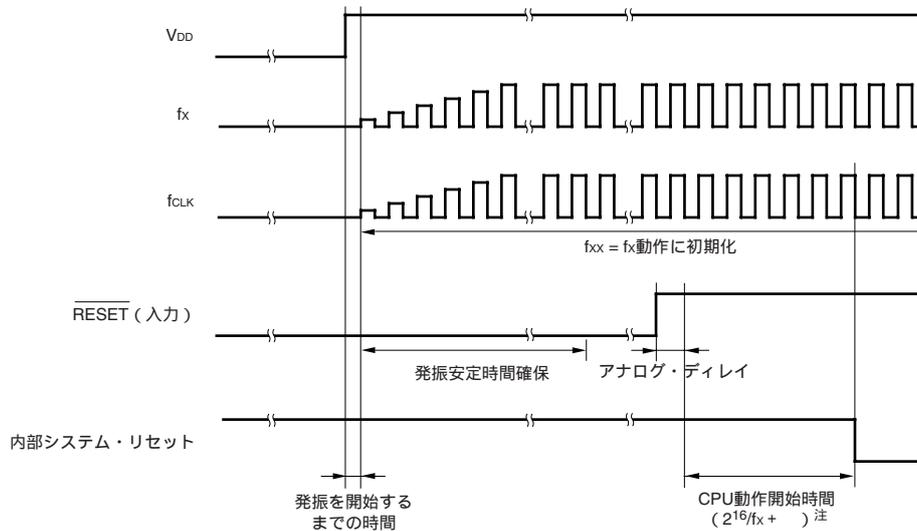
RESET端子入力によるリセット動作を次に示します。

図22 - 1 RESET端子入力によるリセット動作



パワーオン時のリセット動作を次に示します。

図22 - 2 パワーオン時のリセット動作



注 PLLモード ($f_{xx} = 8 \times f_x$) 時はロックアップ時間 ($2^{14}/f_x + \alpha$)

注意1. 発振安定時間をRESET信号のロウ・レベル幅で確保してください。

2. 電源投入時には、 V_{DD} (内部用電源)、 EV_{DD} (外部用電源) の順序で電源を投入してください。

電源投入 / 電源遮断シーケンスにおいて、外部用電源 (EV_{DD} , CV_{DD} , AV_{DD0} , AV_{DD1}) に電圧が加わった状態で、内部用電源 (V_{DD}) が動作保証範囲 (2.3 ~ 2.7 V) 以外の場合には、次のような現象が発生する場合があります。

- EV_{DD} 端子に130 mA (TYP.) 程度の電流が流れる場合がある
- 次に示す端子から不定レベルを出力する場合がある

TDO/ $\overline{TC3}$ /P27端子

ANO0/P80端子

ANO1/P81端子

詳細については26. 2 電源投入 / 電源遮断シーケンスを参照してください。

第23章 ROMコレクション機能

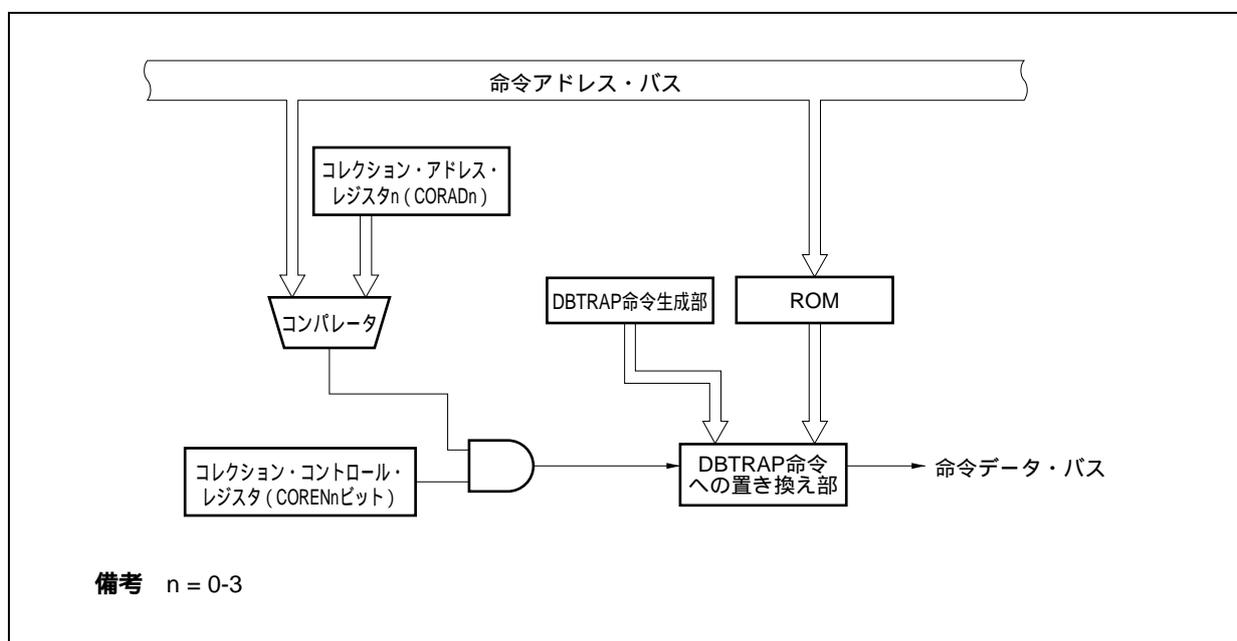
23.1 概要

ROMコレクション機能とは、マスクROMまたはフラッシュ・メモリ内のプログラムの一部を、外部メモリまたは内蔵RAMのプログラムで置き換えて実行する機能です。

ROMコレクション機能を使用することにより、マスクROMまたはフラッシュ・メモリで発見されたプログラム・バグの修正が可能です。

ROMコレクション機能により、修正アドレスは最大4箇所指定できます。

図23 - 1 ROMコレクションのブロック図



23.2 制御レジスタ

(1) コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3)

修正プログラムの先頭アドレスを設定するレジスタです。

CORADnレジスタは4つあるため、プログラムを最大4箇所修正できます (n = 0-3)。

32ビット単位でリード/ライト可能です。

ただし、CORADnレジスタの上位16ビットをCORADnHレジスタ、下位16ビットをCORADnLレジスタとして使用した場合は、16ビット単位でリード/ライト可能です。

リセットにより00000000Hになります。

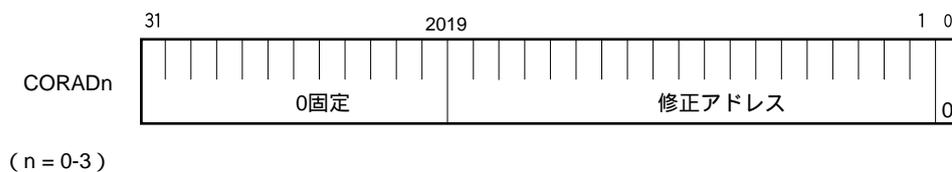
各製品によってROM容量が異なるため、次に示す範囲で修正アドレスを設定してください。

μ PD703131BY, 703132BY, 703136BY (256 Kバイト) : 0000000H-003FFFEH

μ PD703133BY, 703134BY, 70F3134BY (512 Kバイト) : 0000000H-007FFFEH

ビット0, 20-31は0に固定してください。

リセット時 : 00000000H R/W アドレス : CORAD0 FFFFF840H,
CORAD0L FFFFF840H, CORAD0H FFFFF842H,
CORAD1 FFFFF844H,
CORAD1L FFFFF844H, CORAD1H FFFFF846H,
CORAD2 FFFFF848H,
CORAD2L FFFFF848H, CORAD2H FFFFF84AH,
CORAD3 FFFFF84CH,
CORAD3L FFFFF84CH, CORAD3H FFFFF84EH



(2) コレクション・コントロール・レジスタ (CORCN)

各CORADnレジスタに設定したアドレスにおけるコレクション動作の禁止 / 許可を制御するレジスタです (n = 0-3)。

各チャンネルごとに、有効 / 無効を設定できます。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF880H

	7	6	5	4	③	②	①	④
CORCN	0	0	0	0	COREN3	COREN2	COREN1	COREN0

CORENn	コレクション動作の禁止 / 許可
0	禁止
1	許可

備考 n = 0-3

表23 - 1 CORCNレジスタのビットとCORADnレジスタの対応

CORCNレジスタのビット名称	対応するCORADnレジスタ
COREN3	CORAD3
COREN2	CORAD2
COREN1	CORAD1
COREN0	CORAD0

23.3 ROMコレクションの動作とプログラムの流れ

修正したいアドレスと内蔵ROMのフェッチ・アドレスが一致すると、フェッチ・コードをDBTRAP命令に置き換えます。

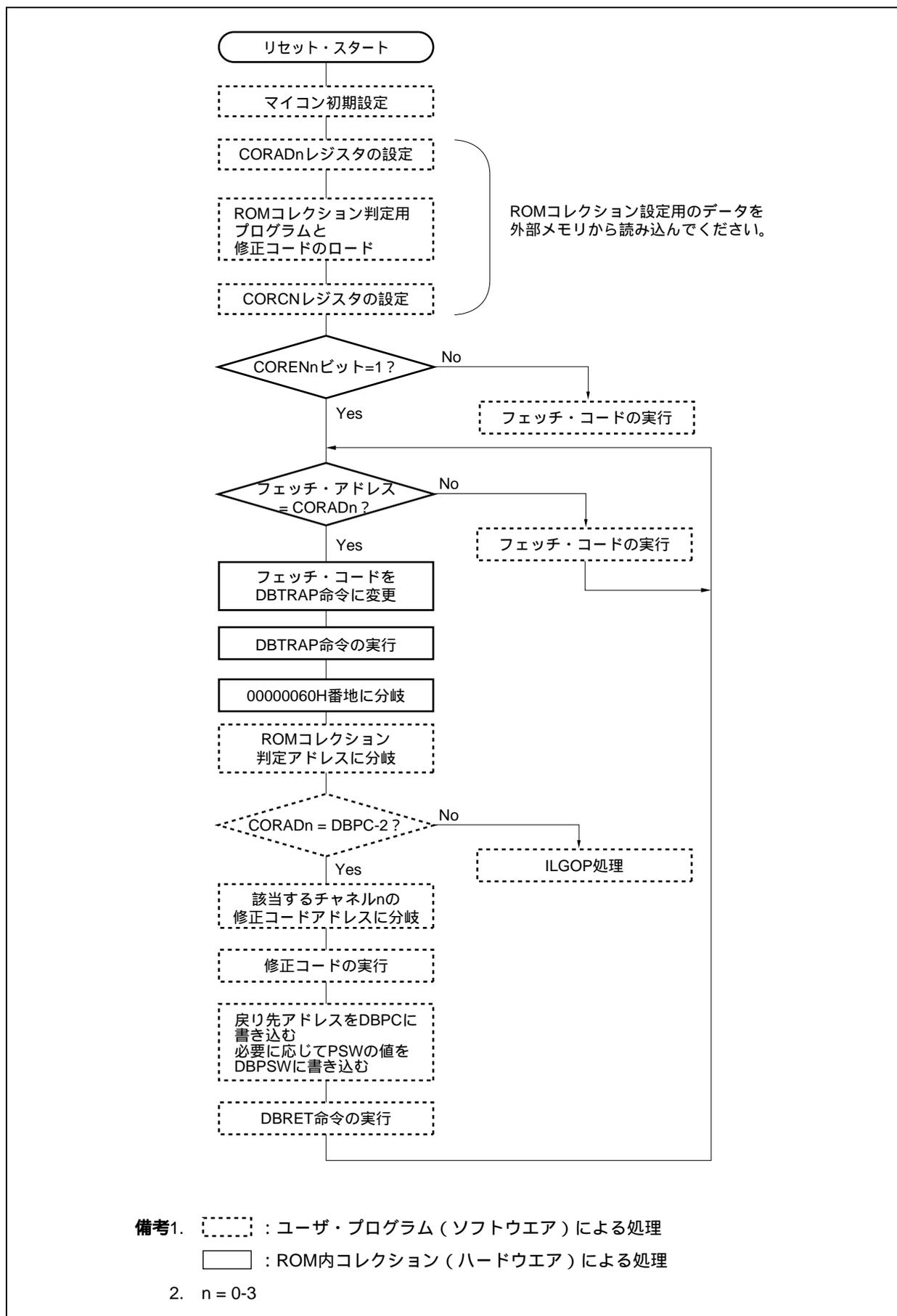
置き換えられたDBTRAP命令が実行されると、00000060H番地に分岐します。

分岐後のソフトウェア処理により、ROMコレクション判定（フェッチ・アドレスとROMコレクション動作許可の確認）と修正ソフトウェアへの分岐を行います。

修正ソフトウェア実行後、戻るアドレスのセットなどを行い、DBRET命令で復帰処理をします。

- 注意1.** CORADnレジスタに修正したいアドレスを設定する際、内蔵ROMの容量に応じて、上位ビットに0を設定してください。
- ROMコレクション機能は内蔵ROMのデータに対しては使用できません。命令コードに対してのみ行うことができます。データに対してROMコレクションを行うと、そのデータがDBTRAP命令コードに入れ替わります。
 - μ PD70F3134BYでセルフ書き込みを行う場合には、ROMコレクションは使用禁止です。
 - 内蔵RAMを対象としたDMA転送を実行している場合は、内蔵RAMに配置した命令を実行しないでください。

図23 - 2 ROMコレクションの動作とプログラムの流れ



第24章 オンチップ・デバッグ機能 (DCU)

V850E/MA3は、オンチップ・デバッグ・ユニットを搭載しています。N-Wire型エミュレータと接続することにより、V850E/MA3単体でのオンチップ・デバッグを実現できます。

注意 デバッグ機能は、V850E/MA3としてサポートしている機能であり、使用可能かどうかはデバuggによって異なります。

24.1 機能概要

24.1.1 オンチップ・デバッグ・ユニットの種類

V850E/MA3に搭載しているオンチップ・デバッグ・ユニットは、RCU1 (Run Control Unit 1) です。搭載ユニットは、マイコン製品によって異なり、機能も異なります。

24.1.2 デバッグ機能

(1) デバッグ・インタフェース

$\overline{\text{TRST}}$, TCK, TMS, TDI, TDO信号によりN-Wire型エミュレータを介して、ホスト・マシンとの通信を行います。インタフェースにはN-Wireの通信仕様を利用しています。バウンダリ・スキャン機能はサポートしていません。

(2) オンチップ・デバッグ

ターゲット・システム上にデバッグ用の配線やコネクタを用意することで、オンチップ・デバッグが可能です。エミュレータ接続用のコネクタには、N-Wire型エミュレータを接続します。

(3) 強制リセット機能

V850E/MA3全体を強制的にリセットできます。

(4) ブレーク・リセット機能

CPUのリセット解除直後からCPUをデバッグ・モードで起動できます。

(5) 強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます (ただし、不正命令コード例外のハンドラ (先頭アドレス: 00000060H) は使用できません)。

(6) ハードウェア・ブレーク機能

命令フェッチ系 / アクセス系兼用ブレーク・ポイントを2ポイント使用できます。命令系のブレーク・ポイントでは、プログラムの実行を任意のアドレスで中断できます。アクセス系のブレーク・ポイントでは、任意のアドレスへのデータ・アクセスでプログラムの実行を中断できます。この2ポイント以外に、ソフトウェア・ブレーク機能があります。内蔵ROM領域には、最大4ポイントのソフトウェア・ブレークを設定できます。また、RAM領域に設定できるソフトウェア・ブレーク数は、使用するデバッガによって異なります。

(7) デバッグ・モニタ機能

デバッグ中はユーザのメモリ空間とは異なるデバッグ用のメモリ空間を使用します (バググラウンド・モニタ形式)。ユーザ・プログラムを任意のアドレスから実行開始可能です。

また、ユーザ・プログラム中断中のユーザ・リソース (メモリ, I/Oなど) のリード/ライトやユーザ・プログラムのダウンロードが可能です。

(8) マスク機能

$\overline{\text{RESET}}$, $\overline{\text{WDTRES}}$, $\overline{\text{NMI}}$, $\overline{\text{INTWDT}}$, $\overline{\text{WAIT}}$, $\overline{\text{HLDRQ}}$ 信号のマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

デバッガ (ID850QB) のマスク機能	対応するV850E/MA3の機能
NMI0	NMI端子入力
NMI1	ノンマスカブル割り込み要求信号 (INTWDT) 発生
NMI2	×
STOP	×
HOLD	$\overline{\text{HLDRQ}}$ 端子入力
RESET	$\overline{\text{RESET}}$ 端子入力またはウォッチドッグ・タイマのオーバフローによるリセット信号 ($\overline{\text{WDTRES}}$) 発生
WAIT	$\overline{\text{WAIT}}$ 端子入力

(9) タイマ機能

ユーザ・プログラムの実行時間を測定可能です。

24.1.3 ROMセキュリティ機能

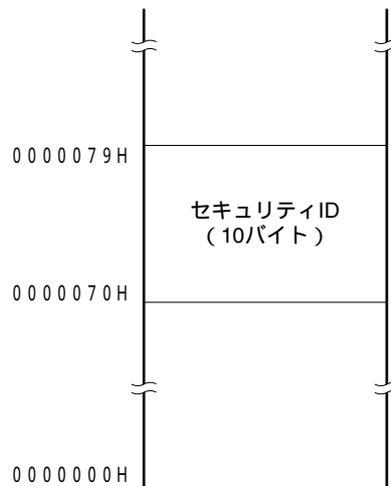
(1) セキュリティID

N-Wire型エミュレータによるオンチップ・デバッグ時、ROMの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵ROM領域の0000070H-0000079Hの10バイト分に設定し、デバッガがID認証を行います。

このID照合が一致していれば、セキュリティが解除され、ROM読み出し許可、N-Wire型エミュレータ使用許可となります。

- ・ 10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・ 0000079Hのビット7はN-Wire型エミュレータ使用許可フラグです。
(0：使用禁止，1：使用許可)
- ・ N-Wire型エミュレータを起動すると、デバッガがID入力を要求します。デバッガ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッガが起動します。
- ・ IDコードが一致しても、N-Wire型エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。



注意 フラッシュ・メモリのデータは消去状態では、すべて0xFFとなります。したがって、IDコードは「FFFFFFFFFFFFFFFFFFFFH」になります。

(2) 設定方法

IDコードを「112233445566778899AAH」とする場合

番地	値
0x70	0xAA
0x71	0x99
0x72	0x88
0x73	0x77
0x74	0x66
0x75	0x55
0x76	0x44
0x77	0x33
0x78	0x22
0x79	0x11

CA850をご使用の場合、0x60番地のハンドラ (ILGOP) を利用し続けて、セキュリティ・コード、システム予約領域のデータ (00H) を入力するようにしてください。

注意 0x60番地のハンドラ名を使用するため、リンク・ディレクティブの記述は不要です。

[プログラム例]

```
#-----
#      ILGOP handler
#-----
      .section      "ILGOP"      --Interrupt handler address 0x60
                                   -- Input ILGOP handler code
      .org          0x10 -- Skip handler address to 0x70
#-----
#      SECURITYID (continue ILGOP handler)
#-----
      .word         0x778899aa   --0-3 byte code
      .word         0x33445566   --4-7 byte code
      .hword        0x1122       --8-9 byte code
```

24.2 オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替え

V850E/MA3では、P06, P07, P26, P27端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替えは $\overline{\text{TRST}}$ 端子レベルで設定します。次に設定方法を示します。

$\overline{\text{TRST}}$ 端子にロウ・レベル入力	$\overline{\text{TRST}}$ 端子にハイ・レベル入力
P06/ $\overline{\text{DMARQ2}}$ / $\overline{\text{INTP106}}$	TMS
P07/ $\overline{\text{DMARQ3}}$ / $\overline{\text{INTP107}}$	TCK
P26/ $\overline{\text{TC2}}$ / $\overline{\text{INTP126}}$	TDI
P27/ $\overline{\text{TC3}}$	TDO

注意 TMS, TCK, TDI, TDO端子は、オンチップ・デバッグ機能使用時には、他の兼用機能は使用できません。

24.3 N-Wire型エミュレータとの接続

24.3.1 KEL社製コネクタ

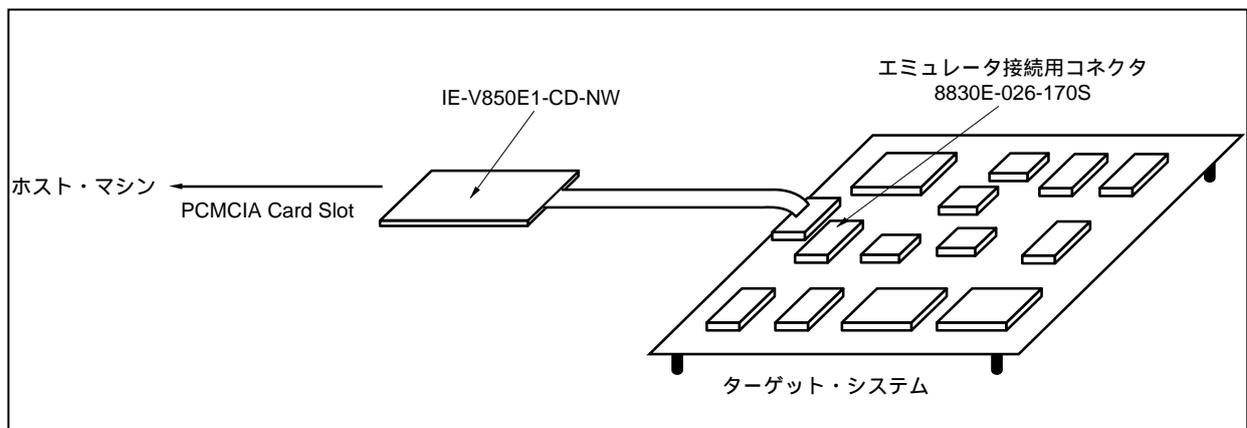
IE-V850E1-CD-NWを使用する場合は、次のコネクタを推奨します。

製品名

- ・ 8830E-026-170S : ストレート・タイプ
- ・ 8830E-026-170L : ライト・アングル・タイプ

ターゲット・システム上にエミュレータと接続用回路を実装する必要があります。

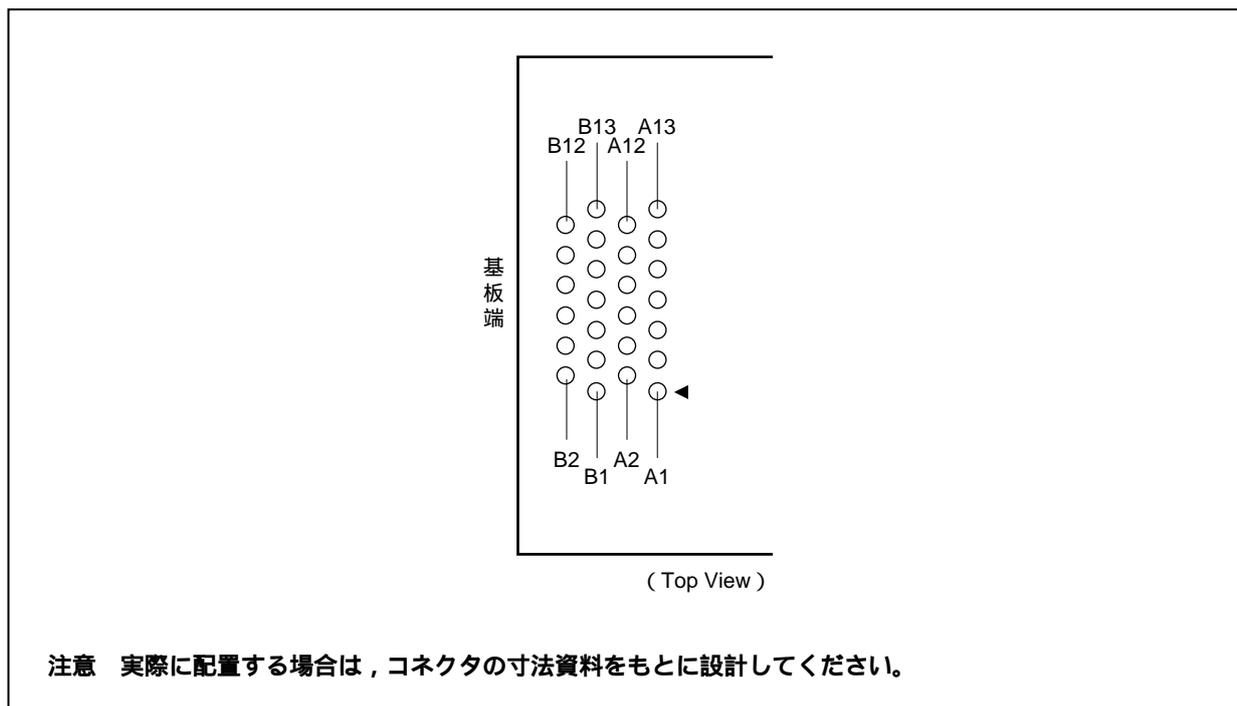
図24 - 1 N-Wire型エミュレータ (IE-V850E1-CD-NW (N-Wire Card)) との接続例



(1) ピン配置図

次にエミュレータ接続用コネクタ (ターゲット・システム側) のピン配置図を示します。

図24 - 2 エミュレータ接続用コネクタ (ターゲット・システム側) のピン配置図



(2) ピン機能

次にエミュレータ接続用コネクタ (ターゲット・システム側) のピン機能を示します。

表24-1 エミュレータ接続用コネクタ (ターゲット・システム側) ピン機能

ピン番号	エミュレータ端子名	入出力	端子機能
A1	(予約1)	-	(GNDに接続してください)
A2	(予約2)	-	(GNDに接続してください)
A3	(予約3)	-	(GNDに接続してください)
A4	(予約4)	-	(GNDに接続してください)
A5	(予約5)	-	(GNDに接続してください)
A6	(予約6)	-	(GNDに接続してください)
A7	DDI	出力	デバッグ・シリアル・インタフェース用データ出力
A8	DCK	出力	デバッグ・シリアル・インタフェース用クロック出力
A9	DMS	出力	デバッグ・シリアル・インタフェース用転送モード選択出力
A10	DDO	入力	デバッグ・シリアル・インタフェース用データ入力
A11	DRST	出力	DCUリセット出力
A12	(予約7)	-	(オープンにしてください)
A13	FLMD0	出力	フラッシュ・ダウンロード用制御信号
B1	GND	-	-
B2	GND	-	-
B3	GND	-	-
B4	GND	-	-
B5	GND	-	-
B6	GND	-	-
B7	GND	-	-
B8	GND	-	-
B9	GND	-	-
B10	GND	-	-
B11	PORT0_IN	-	(オープンにしてください)
B12	PORT1_IN	-	(オープンにしてください)
B13	V _{DD}	-	+3.3V入力 (ターゲット電源投入監視用)

注意1. V850E/MA3でサポートしていない端子の接続については、使用されるエミュレータに依存します。

2. ターゲット・ボード上のパターンは次に示す条件にする必要があります。

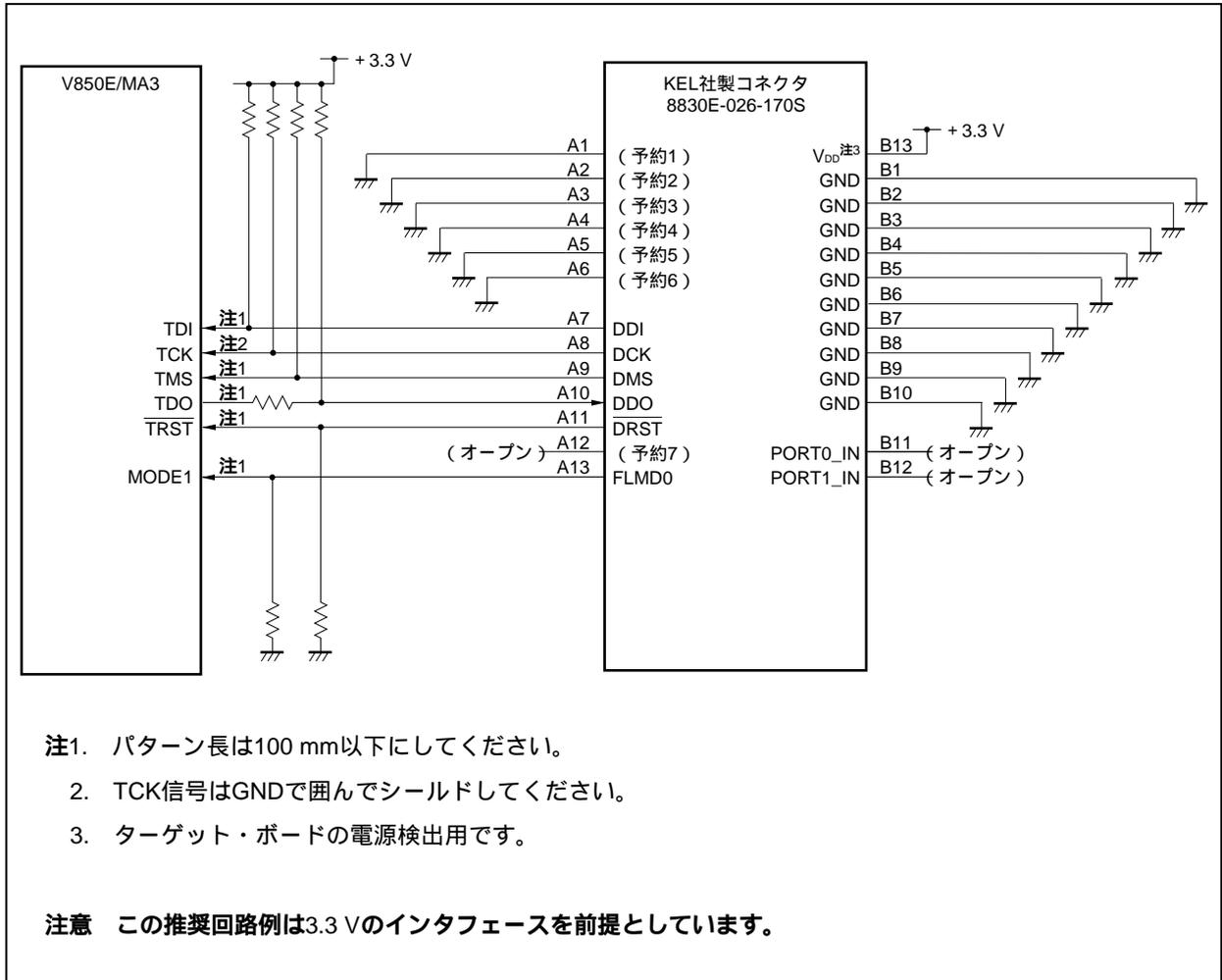
- ・パターン長は100 mm以下にしてください。
- ・クロック信号はGNDでシールドしてください。

備考 入出力はエミュレータ側からの方向です。

(3) 推奨回路例

次にエミュレータ接続用コネクタ部 (ターゲット・システム側) の推奨回路例を示します。

図24 - 3 エミュレータ接続推奨回路例



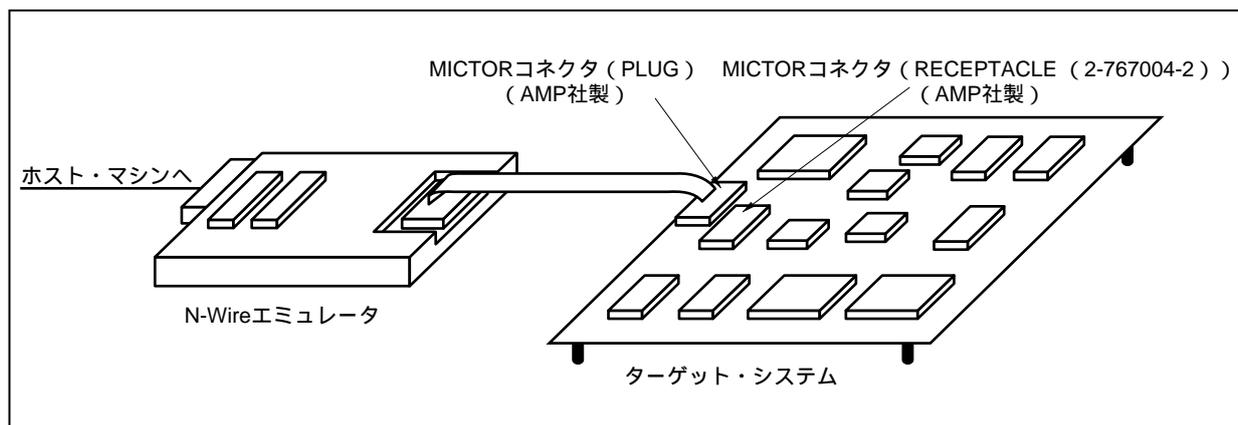
24.3.2 AMP社製コネクタ

製品名

・2-767004-2 (MICTORコネクタ) : 38ピン・タイプ

ターゲット・システム上にエミュレータ接続用コネクタと接続用回路を実装する必要があります。

図24 - 4 N-Wire型エミュレータの接続



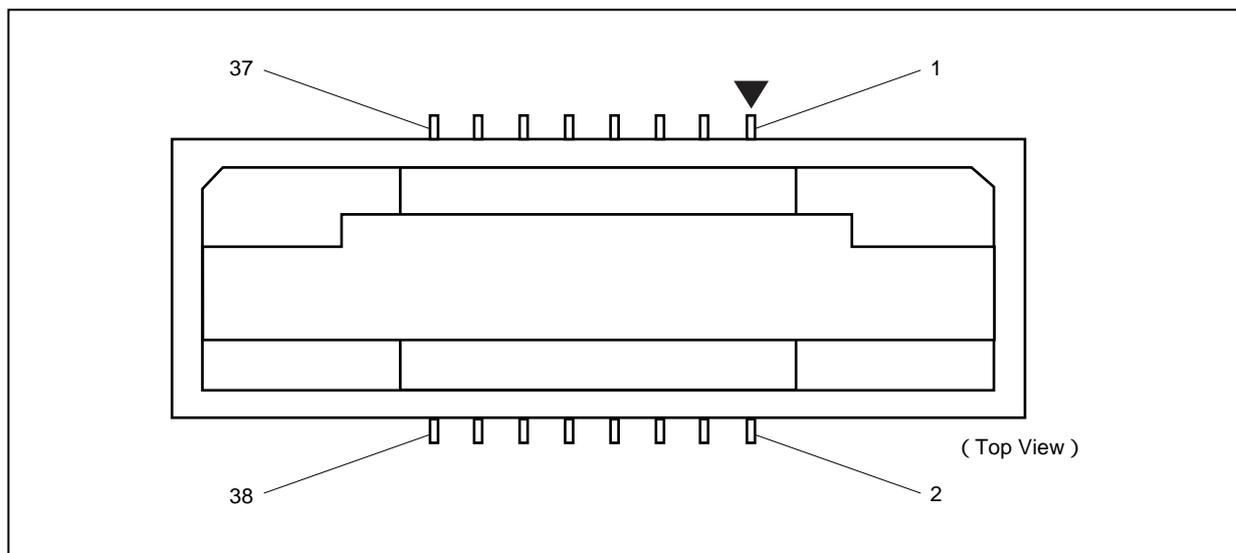
(1) ピン配置図

次にエミュレータ接続用コネクタ (ターゲット・システム側) のピン配置図を示します。

備考 推奨コネクタは次のとおりです。

- ・ 2-767004-2 (AMP社製) : 38ピン・タイプ

図24 - 5 エミュレータ接続用コネクタ (ターゲット・システム側) のピン配置図



(2) ピン機能

次にエミュレータ接続用コネクタ (ターゲット・システム側) のピン機能を示します。

表24-2 エミュレータ接続用コネクタ (ターゲット・システム側) ピン機能

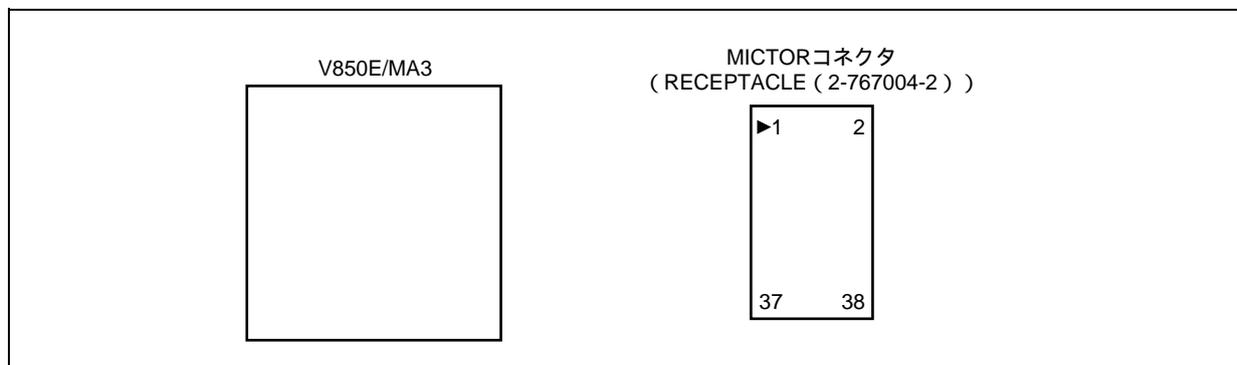
ピン番号	エミュレータ端子名	入出力	端子機能
1	GND	-	-
2	GND	-	-
3	DCK	出力	デバッグ・シリアル・インタフェース用クロック出力
4	V _{DD}	-	+3.3 V入力 (ターゲット電源投入監視用)
5	DMS	出力	デバッグ・シリアル・インタフェース用転送モード選択出力
6	$\overline{\text{DRST}}$	出力	DCUリセット出力
7	DDI	出力	デバッグ・シリアル・インタフェース用データ出力
8	PORT0_OUT	出力	(オープンにしてください)
9	DDO	入力	デバッグ・シリアル・インタフェース用データ入力
10	FLMD0	出力	フラッシュ・ダウンロード用制御信号
11	(予約1)	-	(オープンにしてください)
12	PORT2_OUT	出力	(オープンにしてください)
13	(予約2)	-	(オープンにしてください)
14	PORT0_IN	入力	(GNDに接続してください)
15	(予約3)	-	(オープンにしてください)
16	PORT1_IN	入力	(GNDに接続してください)
17	(予約4)	-	(GNDに接続してください)
18	PORT2_IN	入力	(GNDに接続してください)
19	(予約5)	-	(GNDに接続してください)
20	(予約14)	-	(オープンにしてください)
21	(予約6)	-	(GNDに接続してください)
22	(予約15)	-	(GNDに接続してください)
23	(予約7)	-	(GNDに接続してください)
24	(予約16)	-	(GNDに接続してください)
25	(予約8)	-	(GNDに接続してください)
26	(予約17)	-	(GNDに接続してください)
27	(予約9)	-	(GNDに接続してください)
28	(予約18)	-	(GNDに接続してください)
29	(予約10)	-	(GNDに接続してください)
30	(予約19)	-	(GNDに接続してください)
31	(予約11)	-	(GNDに接続してください)
32	(予約20)	-	(GNDに接続してください)
33	(予約12)	-	(GNDに接続してください)
34	(予約21)	-	(GNDに接続してください)
35	(予約13)	-	(GNDに接続してください)
36	(予約22)	-	(GNDに接続してください)
37	GND	-	-
38	GND	-	-

- 備考1. 入出力はエミュレータ側からの方向です。
2. 次のページに注意の説明を記載しています。

注意1. V850E/MA3でサポートしていない端子の接続については、使用されるエミュレータに依存します。

2. ターゲット・ボード上のパターンは次に示す条件にする必要があります。

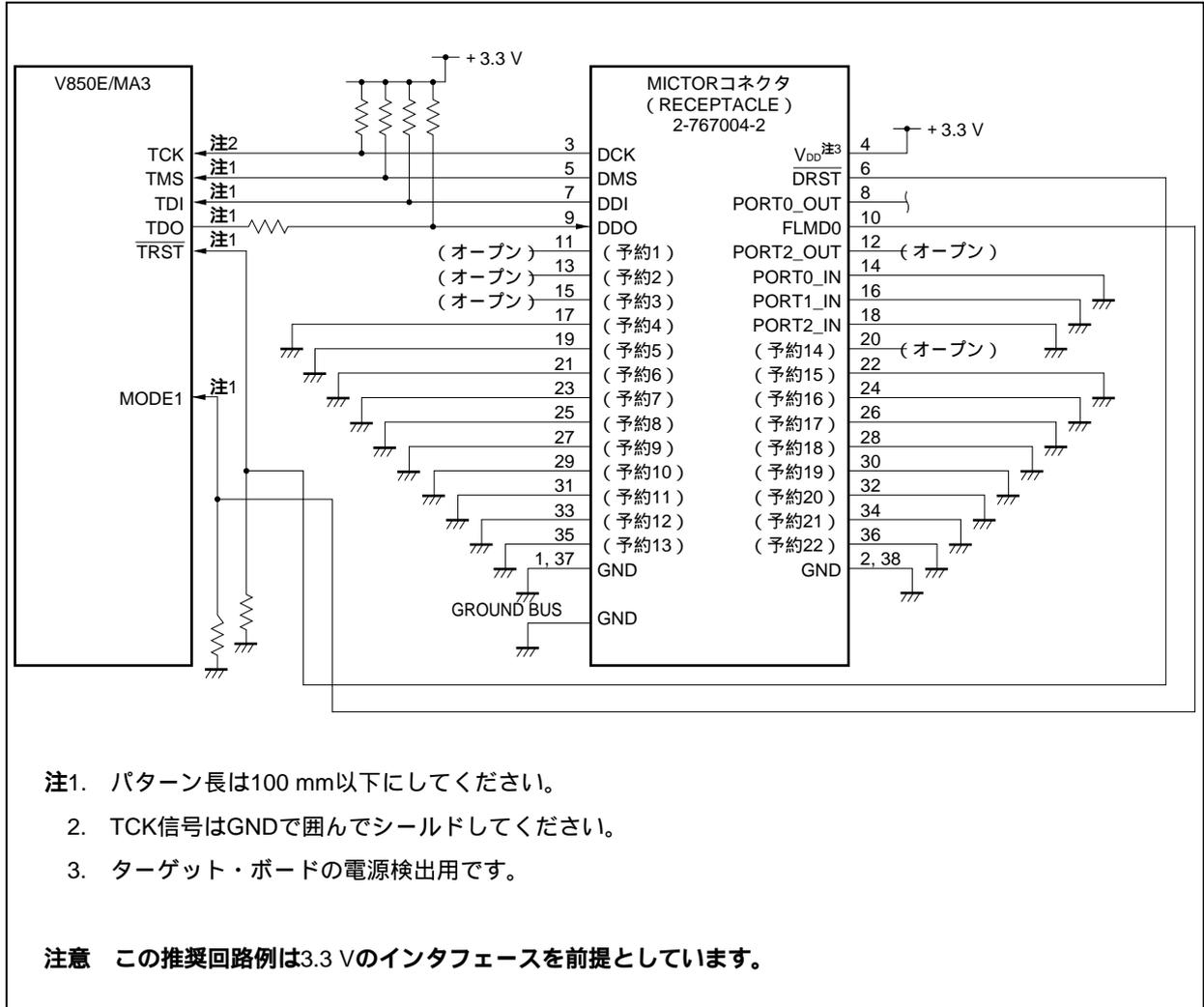
- ・デバイス (V850E/MA3) 側が奇数ピンになる方向でレイアウトしてください。
- ・パターン長は、100 mm以下にしてください。
- ・クロック信号はGNDでシールドしてください。



(3) 推奨回路例

次にエミュレータ接続用コネクタ部 (ターゲット・システム側) の推奨回路例を示します。

図24 - 6 エミュレータ接続推奨回路例



24.4 注意事項

- (1) デバッグに使用したデバイスは、デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保障することができないため、量産製品に搭載しないでください。
- (2) リセットをマスク機能でマスクしていても、 $\overline{\text{RESET}}$ 信号が入力された際に入出力バッファ（ポート端子など）がリセット状態になります。
- (3) 内蔵ROMに設定したソフトウェア・ブレークポイントは、ROMコレクション機能で実現しているため、ターゲット・リセットまたはウォッチドッグ・タイマのオーバーフローによるリセット（WDTRES）により一時的に無効になります。ハードウェア・ブレークまたは強制ブレークにより、いったんブレークしたあとには再度有効になりますが、それまではソフトウェア・ブレークは発生しません。
- (4) ブレーク中の $\overline{\text{RESET}}$ 信号入力はマスクされます。
- (5) ROMコレクション機能のエミュレーションはできません。

第25章 フラッシュ・メモリ

次に示す製品はV850E/MA3のフラッシュ・メモリ内蔵品です。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

また、フラッシュ・メモリの書き換えに関するスペックについては第26章 電気的特性を参照してください。

・ μ PD70F3134BY : 512 Kバイトのフラッシュ・メモリ内蔵品

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・メモリ・プログラマをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

ターゲット・システムにV850E/MA3を半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

25.1 特 徴

全ブロック一括消去、またはブロック（ブロック0：64 Kバイト、ブロック1：448 Kバイト）単位消去
専用フラッシュ・メモリ・プログラマからシリアル・インタフェースを介して通信
消去 / 書き込み電圧： $V_{DD} = 2.5 V$
オンボード・プログラミング

25.2 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードでの書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にV850E/MA3を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタ（推奨ターゲット・コネクタ：7616-5002SC（住友スリーエム株式会社製））などを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にV850E/MA3を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考1. FAシリーズは、（株）内藤電誠町田製作所の製品です。

専用プログラム・アダプタ：FA-70F3134GJ-UEN-RX

汎用プログラム・アダプタ：FA-144GJ-GAE-B, FA-161F1-EN4-A

専用プログラム・アダプタとは、特定のマイコン・パッケージ用ICソケットを実装したアダプタで、特定のフラッシュ・マイコン用に書き込むために配線を施したアダプタです。

汎用プログラム・アダプタとは、特定のマイコン・パッケージ用ICソケットを実装したアダプタで、お客様自身で配線を行って使用するアダプタです。

2. 専用フラッシュ・メモリ・プログラマで書き込みを行う場合、PLLモードでは必ず10進倍された周波数で動作します。
3. 専用フラッシュ・メモリ・プログラマ（PG-FP5, PG-FP4）からV850E/MA3に電源を供給して書き込みを行う場合は、X1端子に入力する周波数は必ず4 MHzに設定してください。
外部から電源を供給する場合は、X1端子に入力する周波数は4 MHz～8 MHzの範囲内で設定してください。

表25 - 1 V850E/MA3フラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線表

フラッシュ・メモリ・プログラマ (PG-FP5, PG-FP4) 接続端子			FA ボード の端子名	CSIB0 + HS使用時		CSIB0使用時		UARTA0使用時	
信号名	入出力 ^{注1}	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	SO0	55	SO0	55	TXD0	55
SO/TxD	出力	送信信号	SO	SI0	54	SI0	54	RXD0	54
SCK	出力	転送クロック	SCK	SCK0	53	SCK0	53	必要なし	必要なし
CLK	出力	V850E/MA3への クロック	CLKOUT	X1	58	X1	58	X1	58
/RESET	出力	リセット信号	/RESET	RESET	66	RESET	66	RESET	66
FLMD0	出力	書き込みモード 設定	FLMD0	MODE1	65	MODE1	65	MODE1	65
FLMD1	出力	書き込みモード 設定	FLMD1	MODE0または 未使用 ^{注2}	64	MODE0または 未使用 ^{注2}	64	MODE0または 未使用 ^{注2}	64
HS	入力	CSI0 + HS通 信のハンドシ ェーク信号	RESERVE /HS	PCM0	91	必要なし	必要なし	必要なし	必要なし
VDD	-	VDD 電圧生 成 / 電圧監視	VDD	EV _{DD}	8, 37, 98, 112, 134	EV _{DD}	8, 37, 98, 112, 134	EV _{DD}	8, 37, 98, 112, 134
				CV _{DD}	56	CV _{DD}	56	CV _{DD}	56
				AV _{DD0}	72	AV _{DD0}	72	AV _{DD0}	72
				AV _{DD1}	67	AV _{DD1}	67	AV _{DD1}	67
VDD2	-	書き込み電圧	VDD2	V _{DD}	23, 62, 81, 124	V _{DD}	23, 62, 81, 124	V _{DD}	23, 62, 81, 124
GND	-	グラウンド	GND	V _{SS}	24, 63, 82, 125	V _{SS}	24, 63, 82, 125	V _{SS}	24, 63, 82, 125
				EV _{SS}	9, 38, 99, 113, 135	EV _{SS}	9, 38, 99, 113, 135	EV _{SS}	9, 38, 99, 113, 135
				CV _{SS}	59	CV _{SS}	59	CV _{SS}	59
				AV _{SS0}	71	AV _{SS0}	71	AV _{SS0}	71
				AV _{SS1}	70	AV _{SS1}	70	AV _{SS1}	70

注1. 入出力はフラッシュ・メモリ・プログラマ (PG-FP5, PG-FP4) 側からの方向です。

2. 未使用の場合, 必ずMODE0端子をボード側でEV_{SS}へ抵抗を介して接続してください。

図25 - 1 V850E/MA3フラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線例 (1/2)

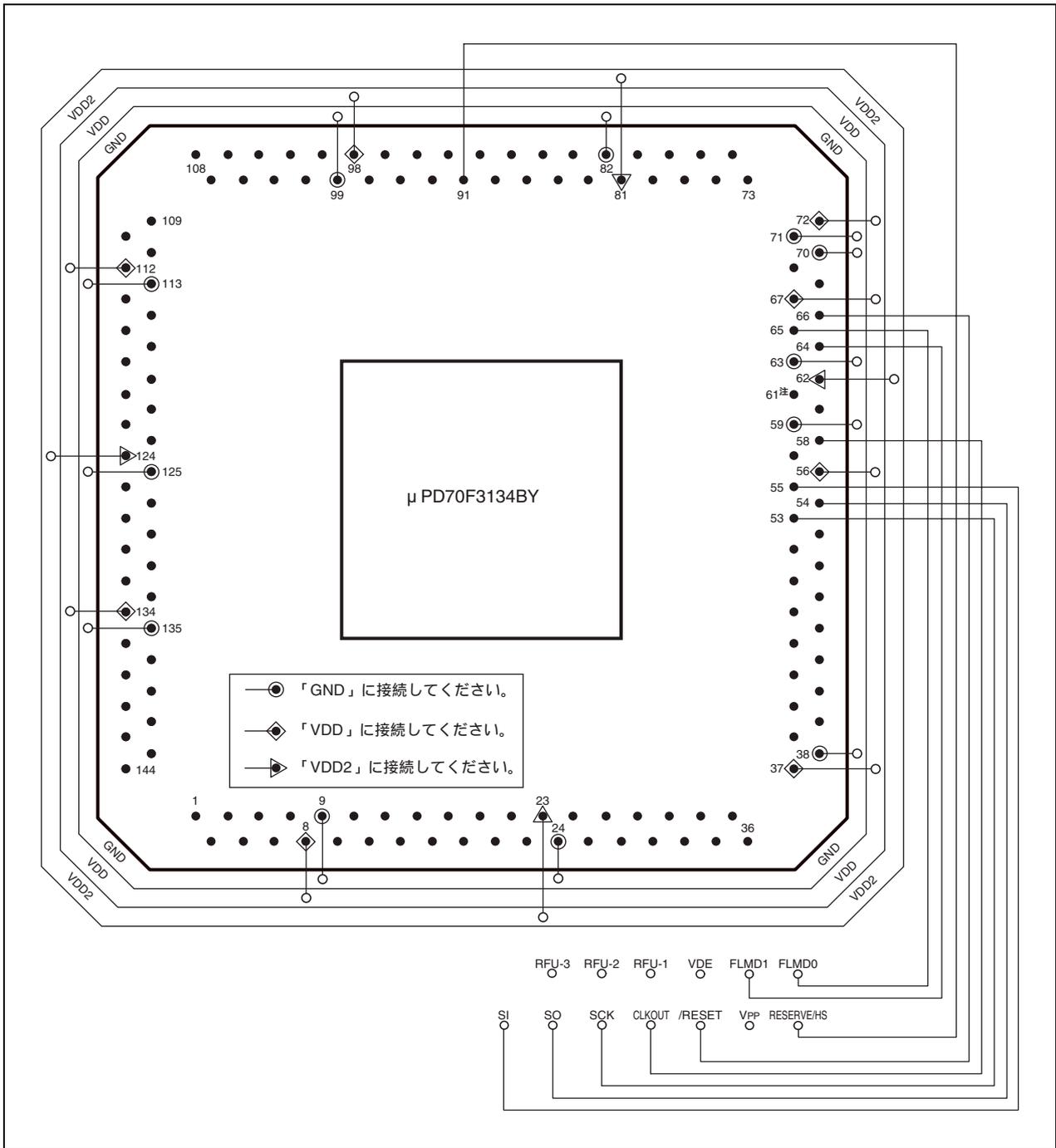


図25 - 1 V850E/MA3フラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線例 (2/2)

注 PSEL端子は、X1端子の入力クロック周波数によってハイ・レベルまたはロウ・レベルに固定する必要があります。

PSEL端子入力レベル	X1端子入力クロック周波数
L	4.0 MHz ~ 5.5 MHz
H	5.5 MHz ~ 8.0 MHz

注意 記述した端子のほかに、次の端子を必ず接続してください。

CKSEL, PSEL, $\overline{\text{TRST}}$, P20/NMI

- 備考1.** 記述していない端子は、未使用時の端子処理に従って処理してください(2.3 端子の入出力回路タイプと未使用時の処理参照)。抵抗を介してEV_{DD}またはEV_{SS}に接続する場合、1 k Ω ~ 10 k Ω の抵抗を接続することを推奨します。
- このアダプタは単電源フラッシュ144ピン・プラスチックLQFPパッケージ用です。
 - この図はハンドシェイク対応CSIB0時の結線です。
 - フラッシュ・メモリ・プログラマで書き込みを行う場合、PLLモードにおいては必ず10進倍された周波数で動作します。
 - フラッシュ・メモリ・プログラマ (PG-FP5, PG-FP4) からV850E/MA3に電源を供給して書き込みを行う場合は、X1端子に入力する周波数は必ず4 MHzに設定してください。また、外部からV850E/MA3に電源を供給する場合は、X1端子に入力する周波数は4 MHz ~ 8 MHzの範囲内で設定してください。

表25 - 2 V850E/MA3フラッシュ書き込み用アダプタ (FA-161F1-EN4-A) の配線表

フラッシュ・メモリ・プログラマ (PG-FP5, PG-FP4) 接続端子			FAボード の端子名	CSIB0 + HS使用時		CSIB0使用時		UARTA0使用時	
信号名	入出力 ^{注1}	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	SO0	L8	SO0	L8	TXD0	L8
SO/TxD	出力	送信信号	SO	SI0	P7	SI0	P7	RXD0	P7
SCK	出力	転送クロック	SCK	SCK0	N7	SCK0	N7	必要なし	必要なし
CLK	出力	V850E/MA3への クロック	CLKOUT	X1	P10	X1	P10	X1	P10
/RESET	出力	リセット信号	/RESET	RESET	P12	RESET	P12	RESET	P12
FLMD0	出力	書き込みモード 設定	FLMD0	MODE1	M10	MODE1	M10	MODE1	M10
FLMD1	出力	書き込みモード 設定	FLMD1	MODE0または 未使用 ^{注2}	L9	MODE0または 未使用 ^{注2}	L9	MODE0または 未使用 ^{注2}	L9
HS	入力	CSI0 + HS通 信のハンドシ ェーク信号	RESERVE /HS	PCM0	G11	必要なし	必要なし	必要なし	必要なし
VDD	-	VDD 電圧生 成 / 電圧監視	VDD	EV _{DD}	A12, C6, F4, F12, P1	EV _{DD}	A12, C6, F4, F12, P1	EV _{DD}	A12, C6, F4, F12, P1
				CV _{DD}	P9	CV _{DD}	P9	CV _{DD}	P9
				AV _{DD0}	L10	AV _{DD0}	L10	AV _{DD0}	L10
				AV _{DD1}	N13	AV _{DD1}	N13	AV _{DD1}	N13
VDD2	-	書き込み電圧	VDD2	V _{DD}	C8, J1, K14, M8	V _{DD}	C8, J1, K14, M8	V _{DD}	C8, J1, K14, M8
GND	-	グラウンド	GND	V _{SS}	B8, J4, K13, N8	V _{SS}	B8, J4, K13, N8	V _{SS}	B8, J4, K13, N8
				EV _{SS}	A1, A5, B1, B5, B14, C1, C11, C14, D1, D14, E14, L1, M1, N1, P2, P5	EV _{SS}	A1, A5, B1, B5, B14, C1, C11, C14, D1, D14, E14, L1, M1, N1, P2, P5	EV _{SS}	A1, A5, B1, B5, B14, C1, C11, C14, D1, D14, E14, L1, M1, N1, P2, P5
				CV _{SS}	N10	CV _{SS}	N10	CV _{SS}	N10
				AV _{SS0}	M11	AV _{SS0}	M11	AV _{SS0}	M11
				AV _{SS1}	N12	AV _{SS1}	N12	AV _{SS1}	N12

注1. 入出力はフラッシュ・メモリ・プログラマ (PG-FP5, PG-FP4) 側からの方向です。

2. 未使用の場合、必ずMODE0端子をボード側でEV_{SS}へ抵抗を介して接続してください。

図25 - 2 V850E/MA3フラッシュ書き込み用アダプタ (FA-161F1-EN4-A) の配線例 (1/2)

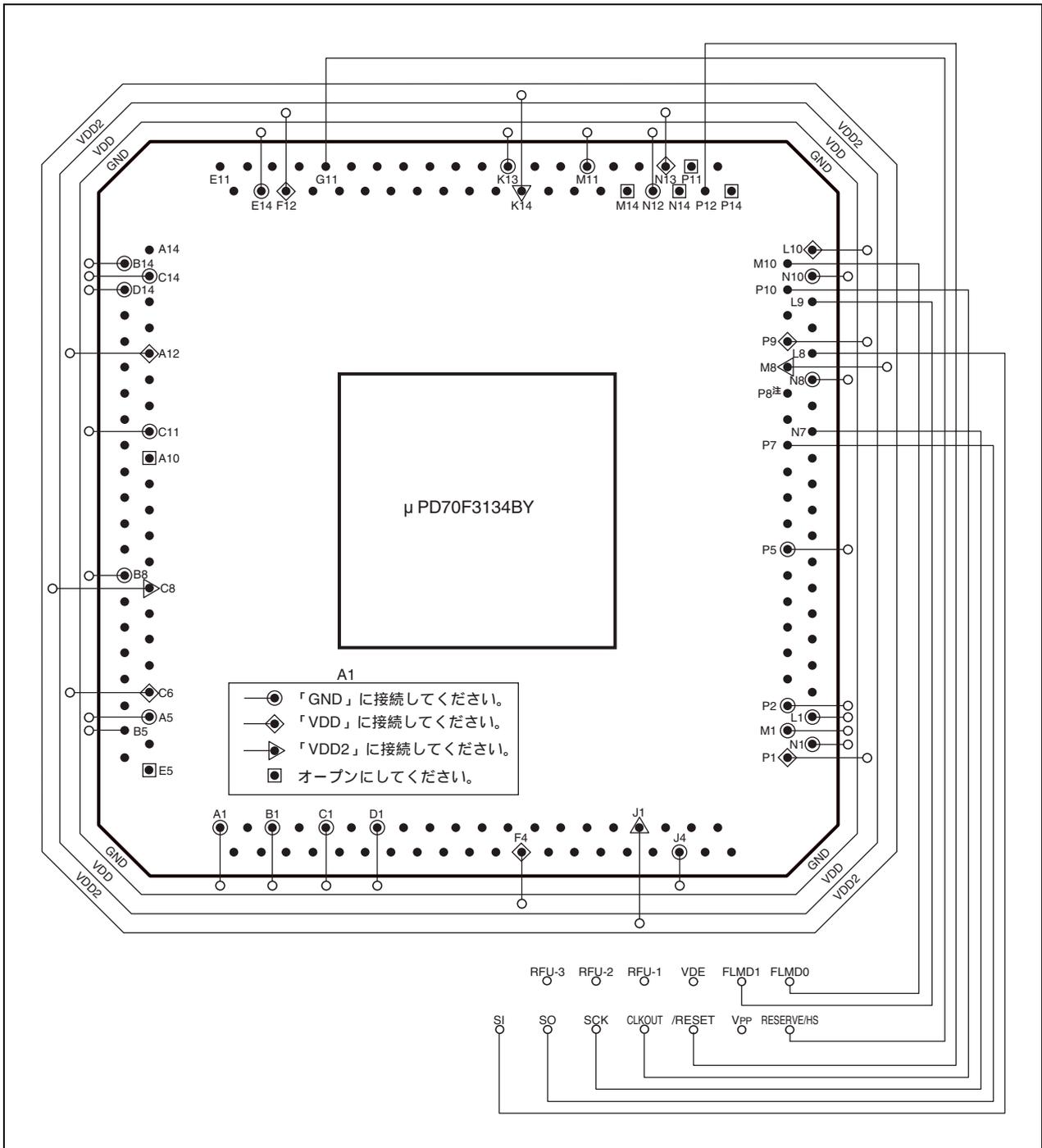


図25 - 2 V850E/MA3フラッシュ書き込み用アダプタ (FA-161F1-EN4-A) の配線例 (2/2)

注 PSEL端子は、X1端子の入力クロック周波数によってハイ・レベルまたはロウ・レベルに固定する必要があります。

PSEL端子入力レベル	X1端子入力クロック周波数
L	4.0 MHz ~ 5.5 MHz
H	5.5 MHz ~ 8.0 MHz

注意 記述した端子のほかに、次の端子を必ず接続してください。

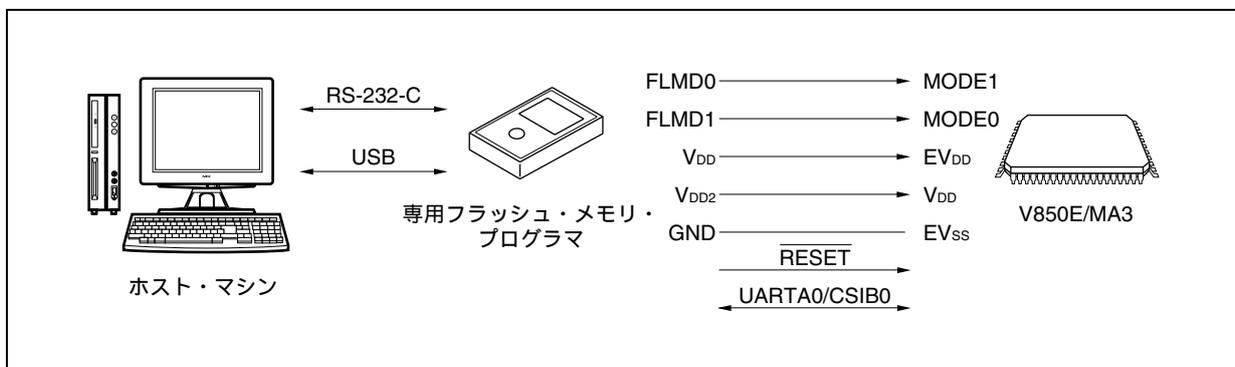
CKSEL, PSEL, $\overline{\text{TRST}}$, P20/NMI

- 備考1.** 記述していない端子は、未使用時の端子処理に従って処理してください(2.3 端子の入出力回路タイプと未使用時の処理参照)。抵抗を介してEV_{DD}またはEV_{SS}に接続する場合、1 k Ω ~ 10 k Ω の抵抗を接続することを推奨します。
- このアダプタは単電源フラッシュ161ピン・プラスチックFBGAパッケージ用です。
 - この図はハンドシェイク対応CSIB0時の結線です。
 - フラッシュ・メモリ・プログラマで書き込みを行う場合、PLLモードにおいては必ず10逓倍された周波数で動作します。
 - フラッシュ・メモリ・プログラマ (PG-FP5, PG-FP4) からV850E/MA3に電源を供給して書き込みを行う場合は、X1端子に入力する周波数は必ず4 MHzに設定してください。また、外部からV850E/MA3に電源を供給する場合は、X1端子に入力する周波数は4 MHz ~ 8 MHzの範囲内で設定してください。

25.3 プログラミング環境

V850E/MA3のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図25 - 3 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマとV850E/MA3とのインタフェースはUARTA0またはCSIB0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

25.4 通信方式

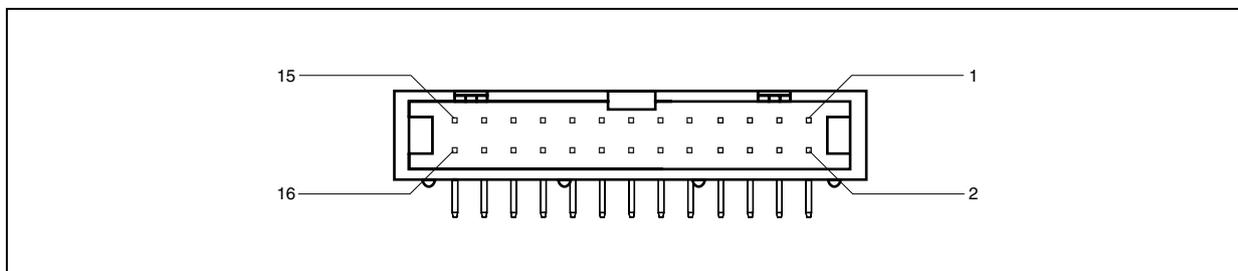
専用フラッシュ・メモリ・プログラマとV850E/MA3との通信は、UARTA0またはCSIB0によるシリアル通信で行います。

備考 推奨ターゲット・コネクタは次のとおりです。

- ・ 7616-5002SC（住友スリーエム株式会社製）

次にターゲット・コネクタ概要（コネクタ挿入面側から見た図）を示します。

図25 - 4 ターゲット・コネクタ概要（コネクタ挿入面側から見た図）



(1) UARTA0

転送レート : 9600, 19200, 31250, 38400, 76800, 153600 bps (LSBファースト)

表25 - 3 専用フラッシュ・メモリ・プログラマとV850E/MA3との配線対応表

端子番号	専用フラッシュ・ メモリ・プログラマ (PG-FP5, PG-FP4)	入出力 (PG-FP5, PG-FP4側)	V850E/MA3		
			端子名	ピン番号	
				GJ	F1
1	GND	-	EVss	9, 38, 99, 113, 135	注
2	RESET	出力	RESET	66	P12
3	SI/RxD	入力	TXD0	55	L8
4	VDD	-	EVDD	8, 37, 98, 112, 134	A12, C6, F4, F12, P1
5	SO/TxD	出力	RXD0	54	P7
6	VPP	x	NC	-	-
7	SCK	x	NC	-	-
8	H/S	x	NC	-	-
9	CLK	出力	X1	58	P10
10	VDE	x	NC	-	-
11	VDD2	-	VDD	23, 62, 81, 124	C8, J1, K14, M8
12	FLMD1	出力	MODE0	64	L9
13	RFU-1	x	NC	-	-
14	FLMD0	出力	MODE1	65	M10
15	Not used	x	NC	-	-
16	Not used	x	NC	-	-

注 A1, A5, B1, B5, B14, C1, C11, C14, D1, D14, E14, L1, M1, N1, P2, P5

備考 NC : No Connection

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(2) CSIB0

転送レート : 2.4 kHz-2500 kHz (MSBファースト) (PG-FP4のとき)

9.8 kHz-5000 kHz (MSBファースト) (PG-FP5のとき)

表25 - 4 専用フラッシュ・メモリ・プログラマとV850E/MA3との配線対応表

端子番号	専用フラッシュ・ メモリ・プログラマ (PG-FP5, PG-FP4)	入出力 (PG-FP5, PG-FP4側)	V850E/MA3		
			端子名	ピン番号	
				GJ	F1
1	GND	-	EVss	9, 38, 99, 113, 135	注
2	RESET	出力	RESET	66	P12
3	SI/RxD	入力	SO0	55	L8
4	VDD	-	EVDD	8, 37, 98, 112, 134	A12, C6, F4, F12, P1
5	SO/TxD	出力	SI0	54	P7
6	VPP	x	NC	-	-
7	SCK	出力	SCK0	53	N7
8	H/S	x	NC	-	-
9	CLK	出力	X1	58	P10
10	VDE	x	NC	-	-
11	VDD2	-	VDD	23, 62, 81, 124	C8, J1, K14, M8
12	FLMD1	出力	MODE0	64	L9
13	RFU-1	x	NC	-	-
14	FLMD0	出力	MODE1	65	M10
15	Not used	x	NC	-	-
16	Not used	x	NC	-	-

注 A1, A5, B1, B5, B14, C1, C11, C14, D1, D14, E14, L1, M1, N1, P2, P5

備考 NC : No Connection

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

(3) CSIB0+HS

転送レート : 2.4 kHz-2500 kHz (MSBファースト) (PG-FP4のとき)

9.8 kHz-5000 kHz (MSBファースト) (PG-FP5のとき)

表25 - 5 専用フラッシュ・メモリ・プログラマとV850E/MA3との配線対応表

端子番号	専用フラッシュ・ メモリ・プログラマ (PG-FP5, PG-FP4)	入出力 (PG-FP5, PG-FP4側)	V850E/MA3		
			端子名	ピン番号	
				GJ	F1
1	GND	-	EVss	9, 38, 99, 113, 135	注
2	RESET	出力	RESET	66	P12
3	SI/RxD	入力	SO0	55	L8
4	VDD	-	EVDD	8, 37, 98, 112, 134	A12, C6, F4, F12, P1
5	SO/TxD	出力	SI0	54	P7
6	VPP	x	NC	-	-
7	SCK	出力	SCK0	53	N7
8	H/S	入力	PCM0	91	G11
9	CLK	出力	X1	58	P10
10	VDE	x	NC	-	-
11	VDD2	-	VDD	23, 62, 81, 124	C8, J1, K14, M8
12	FLMD1	出力	MODE0	64	L9
13	RFU-1	x	NC	-	-
14	FLMD0	出力	MODE1	65	M10
15	Not used	x	NC	-	-
16	Not used	x	NC	-	-

注 A1, A5, B1, B5, B14, C1, C11, C14, D1, D14, E14, L1, M1, N1, P2, P5

備考 NC : No Connection

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

F1 : 161ピン・プラスチックFBGA (13×13)

25.5 端子処理

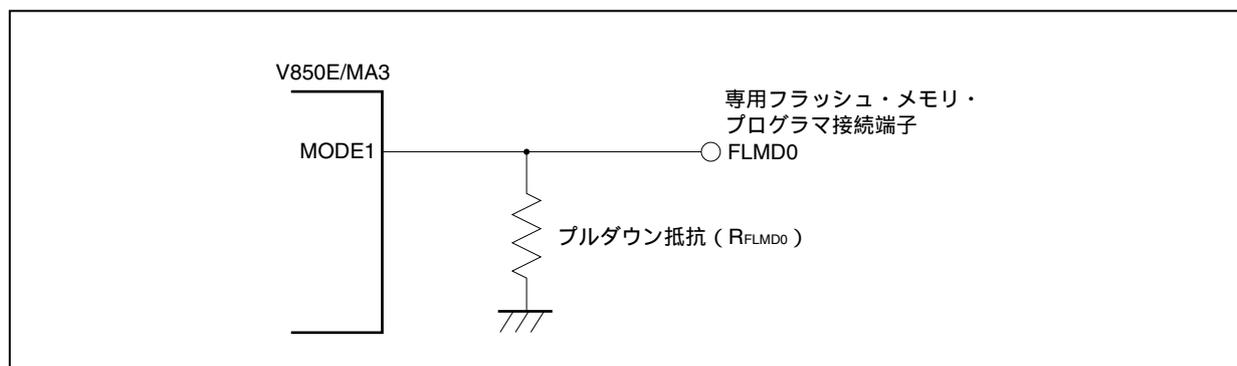
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタ（推奨ターゲット・コネクタ：7616-5002SC（住友スリーエム株式会社製））を設けます。また、オンボード上に通常動作モード（シングルチップ・モード）からフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、ポートはすべて出力ハイ・インピーダンス状態になるため、外部デバイスが出力ハイ・インピーダンス状態を認めない場合は端子処理が必要です。

25.5.1 MODE1端子

通常動作モード時は、MODE1端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、MODE1端子をハイ・レベルにします。MODE1端子の接続例を次に示します。

図25 - 5 MODE1端子の接続例



25.5.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表25 - 6 各シリアル・インタフェースが使用する端子

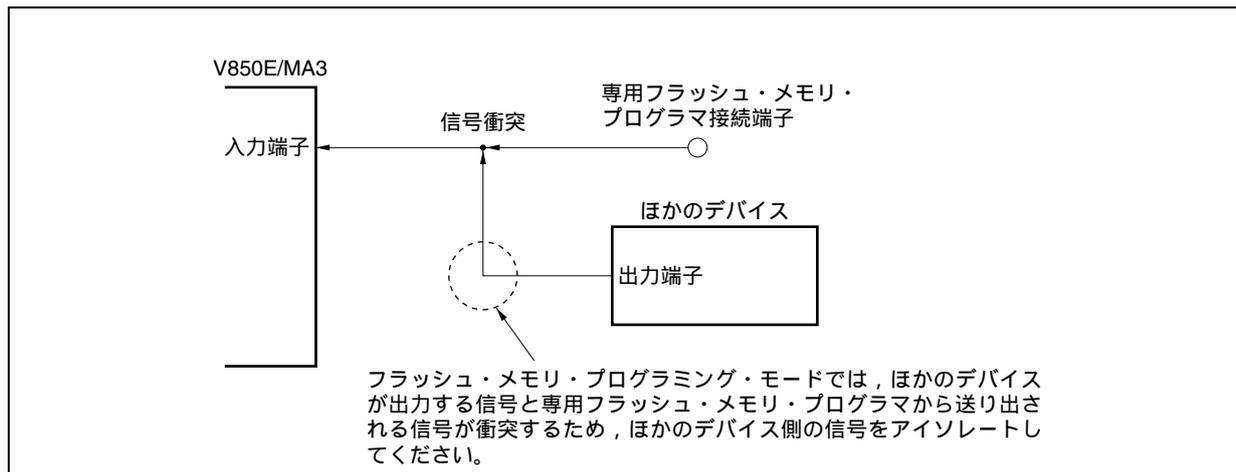
シリアル・インタフェース	使用端子
UARTA0	TXD0, RXD0
CSIB0	SO0, SI0, SCK0
CSIB0 + HS	SO0, SI0, SCK0, PCM0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・メモリ・プログラマ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

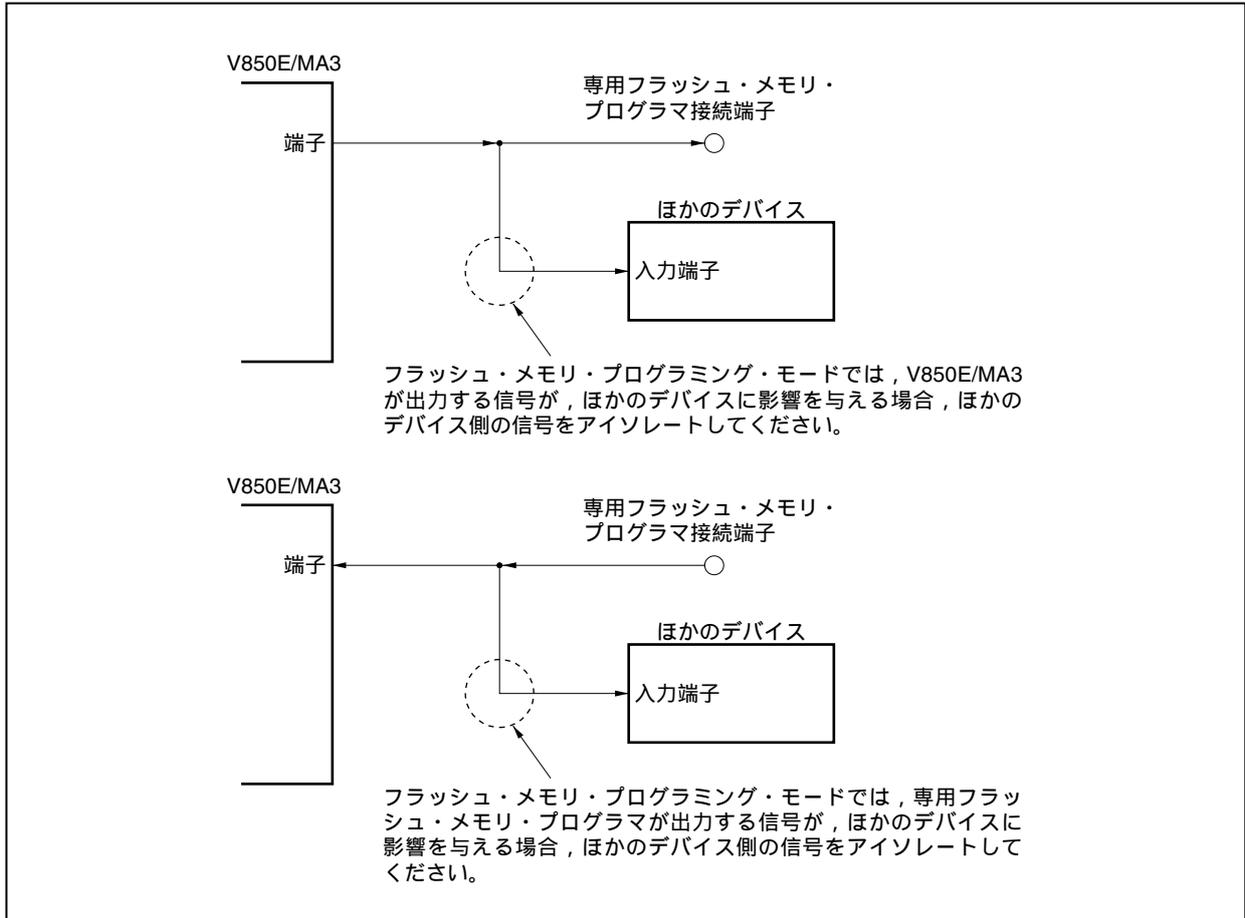
図25 - 6 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図25 - 7 ほかのデバイスの異常動作

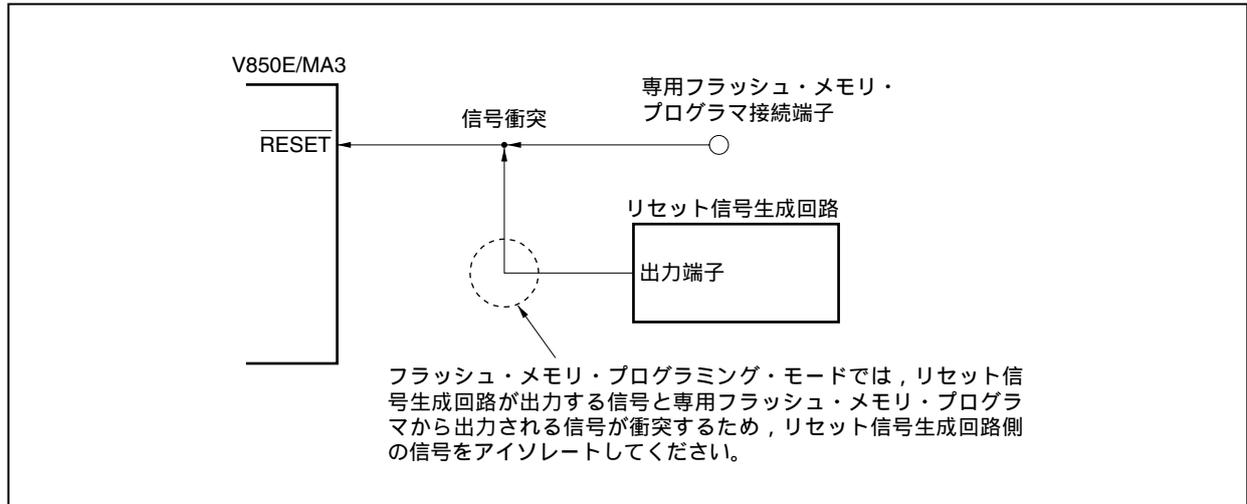


25.5.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

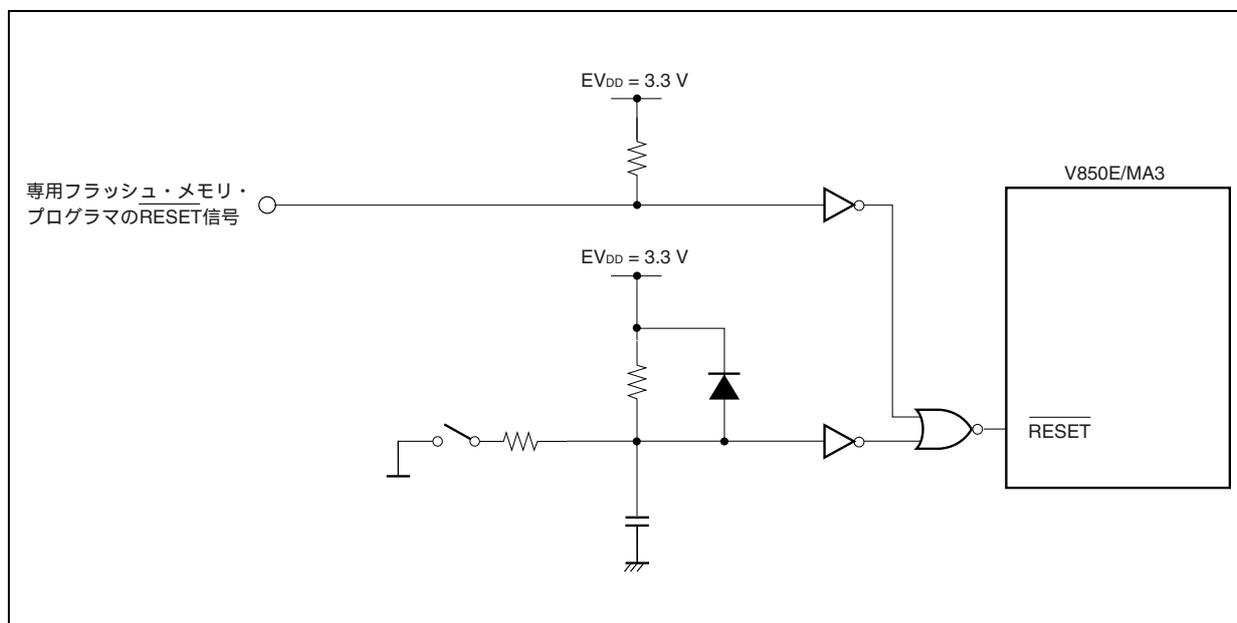
また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図25 - 8 信号の衝突 (RESET端子)



また、専用フラッシュ・メモリ・プログラムのリセット信号とV850E/MA3のリセット信号が同じ状態となる箇所でデバイスの $\overline{\text{RESET}}$ 端子と接続してください。

図25 - 9 $\overline{\text{RESET}}$ 端子の接続例



25.5.4 NMI端子

フラッシュ・メモリ・プログラミング・モード期間中はNMI端子への入力信号を変化させないでください。変化させた場合、正常なプログラミングが行われなかったことがあります。

25.5.5 MODE0, MODE1端子

MODE0をロウ・レベル入力、MODE1をハイ・レベル入力に設定し、リセットを解除するとフラッシュ・メモリ・プログラミング・モードに遷移します。

25.5.6 ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると、専用フラッシュ・メモリ・プログラマと通信する端子を除くすべてのポート端子は出力ハイ・インピーダンス状態になります。これらのポート端子は、未使用時の端子処理に従って処理してください(2.3 端子の入出力回路タイプと未使用時の処理参照)。なお、ポートに接続されている外部デバイスに出力ハイ・インピーダンス状態禁止などの問題が生じる場合には、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの処置をしてください。

25.5.7 その他の信号端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

25.5.8 電 源

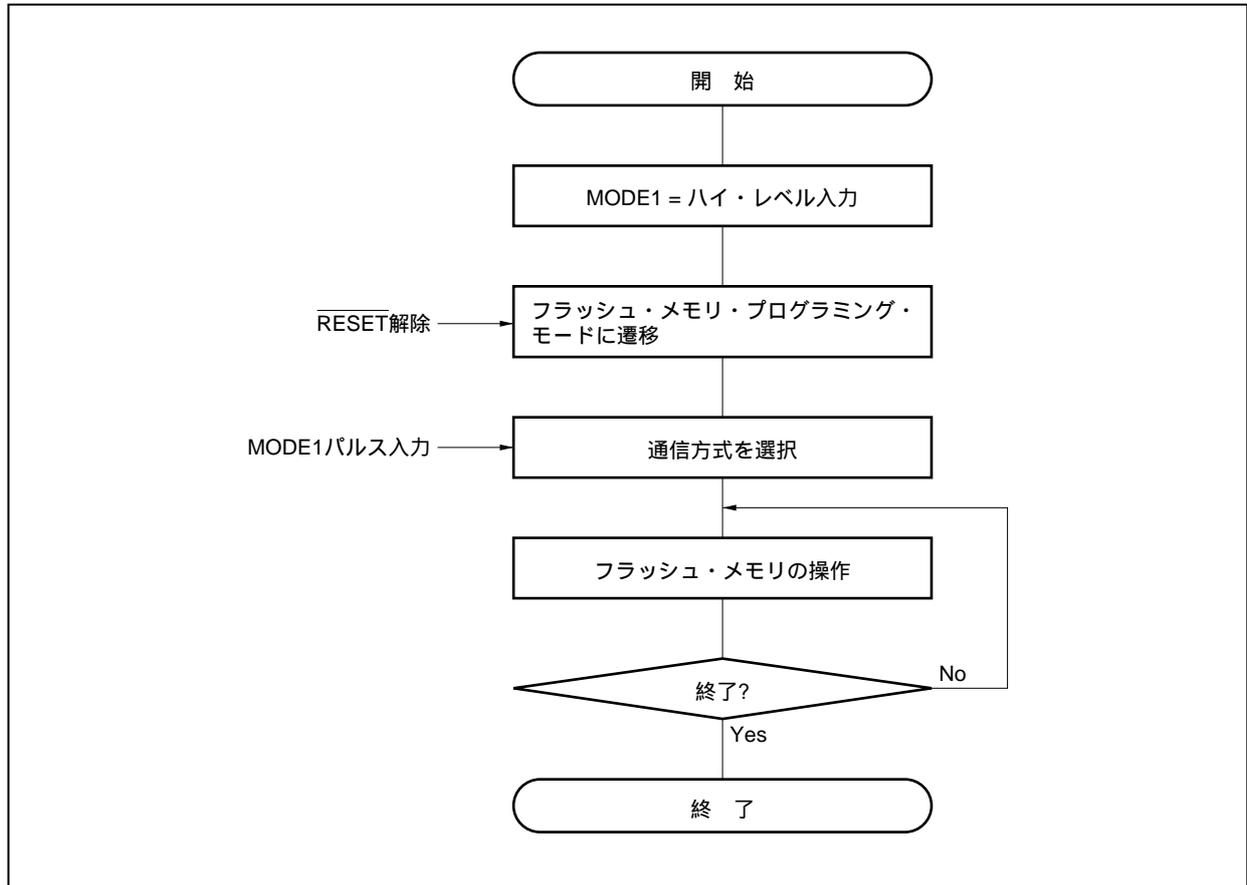
電源 (V_{DD} , V_{SS} , AV_{DD0} , AV_{SS0} , AV_{DD1} , AV_{SS1} , CV_{DD} , CV_{SS} , EV_{DD} , EV_{SS}) は、通常動作モード時と同じ電源を供給してください。また、 EV_{DD} , EV_{SS} , V_{DD} には、専用フラッシュ・メモリ・プログラマの V_{DD} , GND , V_{DD2} を接続してください(専用フラッシュ・メモリ・プログラマの V_{DD} , V_{DD2} は、電源監視機能がついています)。

25.6 プログラミング方法

25.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図25 - 10 フラッシュ・メモリの操作手順



25. 6. 2 フラッシュ・メモリ・プログラミング・モード

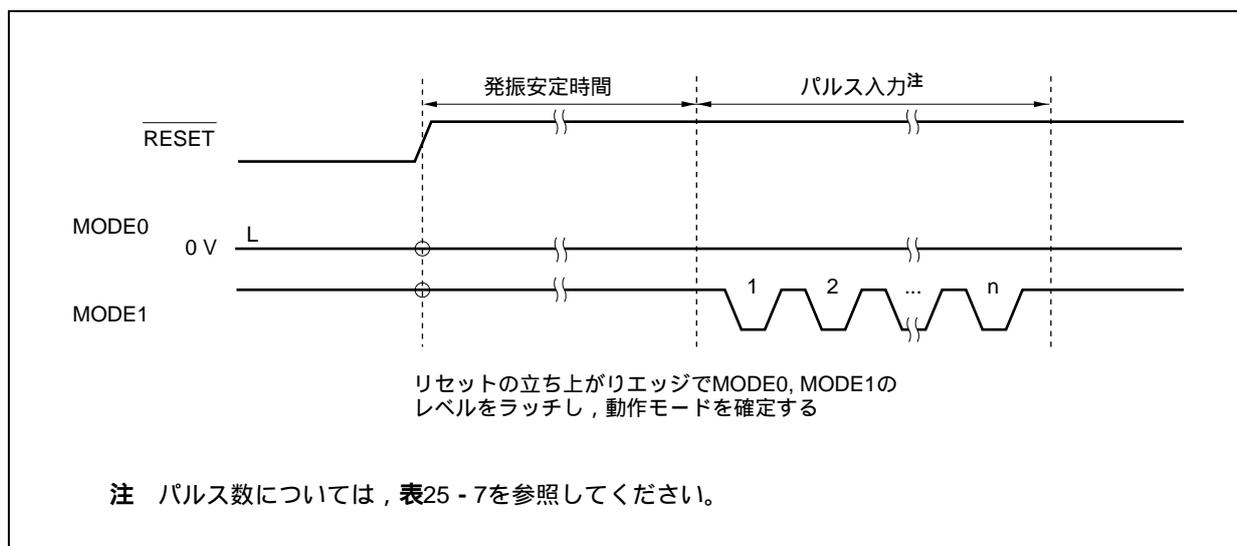
専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。

モードへ遷移するには、MODE0, MODE1端子を設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

- ・ MODE0 : ロウ・レベル入力
- ・ MODE1 : ハイ・レベル入力

図25 - 11 フラッシュ・メモリ・プログラミング・モード



25. 6. 3 通信方式の選択

V850E/MA3では、フラッシュ・メモリ・プログラミング・モードに遷移後、MODE1端子にパルス（最大11パルス）を入力することで通信方式を選択します。このMODE1パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表25 - 7 通信方式一覧

MODE1パルス	通信方式	備 考
0	UARTA0	通信レート：9600 bps（リセット時），LSBファースト
8	CSIB0	V850E/MA3はスレーブ動作，MSBファースト
11	CSIB0 + HS	
その他	RFU（予約）	設定禁止

25.6.4 通信コマンド

V850E/MA3と専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからV850E/MA3へ送られるコマンドを「コマンド」と呼び、V850E/MA3から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図25 - 12 通信コマンド



V850E/MA3のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてフラッシュ・メモリ・プログラマから発行され、V850E/MA3がコマンドに対応した各処理を行います。

表25 - 8 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	ベリファイ・コマンド	全メモリの内容と入力したデータと比較
消去	チップ消去コマンド	全メモリの内容を消去
	ブロック消去コマンド	指定したブロックの内容を消去
ブランク・チェック	ブロック・ブランク・チェック・コマンド	指定したブロックの消去状態を確認
データ・ライト	書き込みコマンド	書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ベリファイ・チェックを実行
システム設定、制御	ステータス・コマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	ボー・レート設定コマンド	UARTA0使用時のボー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	バージョン取得コマンド	デバイスのバージョン情報を読み出す
	チェックサム・コマンド	指定したブロックのデータ・チェックサム値を読み出す
	リセット・コマンド	各状態からの脱出

また、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、V850E/MA3は応答コマンドを返します。V850E/MA3が送出する応答コマンドを次に示します。

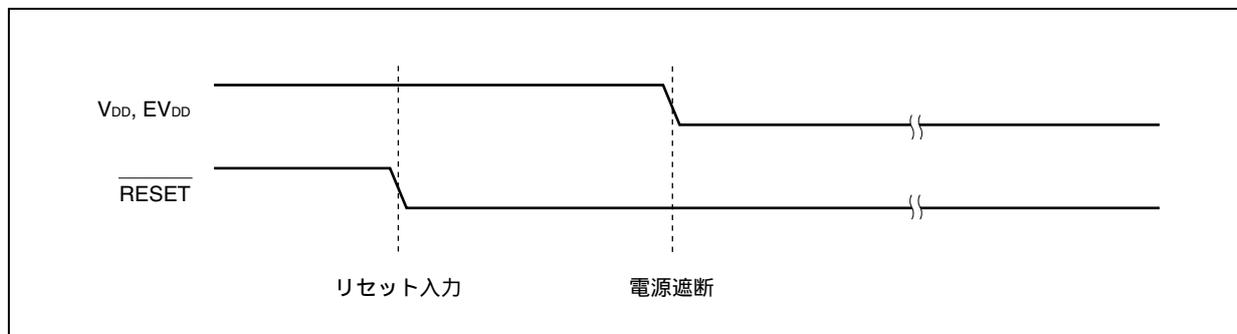
表25 - 9 応答コマンド

応答コマンド名称	機能
ACK (アクノリッジ)	コマンド / データなどのアクノリッジ
NAK (ノット・アクノリッジ)	不正なコマンド / データなどのアクノリッジ

25.6.5 電源遮断処理

通信コマンドをすべて実行した場合、または書き換え処理中に処理を中断させたい場合などには、次のようにRESET端子をロウ・レベルにしてから電源 (V_{DD} , EV_{DD}) を遮断します。

図25 - 13 電源遮断処理



第26章 電気的特性

26.1 通常動作モード

絶対最大定格 (TA = 25 °C)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} 端子	- 0.5 ~ + 3.6	V
	V _{SS}	V _{SS} 端子	- 0.5 ~ + 0.5	V
	EV _{DD}	EV _{DD} 端子	- 0.5 ~ + 4.6	V
	EV _{SS}	EV _{SS} 端子	- 0.5 ~ + 0.5	V
	CV _{DD}	CV _{DD} 端子	- 0.5 ~ + 4.6	V
	CV _{SS}	CV _{SS} 端子	- 0.5 ~ + 0.5	V
	AV _{DD0}	AV _{DD0} 端子, EV _{DD} - 0.5 V < AV _{DD0} < EV _{DD} + 0.5 V	- 0.5 ~ + 4.6	V
	AV _{SS0}	AV _{SS0} 端子	- 0.5 ~ + 0.5	V
	AV _{DD1}	AV _{DD1} 端子, EV _{DD} - 0.5 V < AV _{DD1} < EV _{DD} + 0.5 V	- 0.5 ~ + 4.6	V
AV _{SS1}	AV _{SS1} 端子	- 0.5 ~ + 0.5	V	
入力電圧	V _I	X1端子を除く, V _{DD} = 2.5 V ± 0.2 V, EV _{DD} = CV _{DD} = AV _{DD0} = AV _{DD1} = 3.3 V ± 0.3 V	- 0.5 ~ EV _{DD} + 0.5 ^注	V
クロック入力電圧	V _K	X1端子, V _{DD} = 2.5 V ± 0.2 V, CV _{DD} = 3.3 V ± 0.3 V	- 0.5 ~ CV _{DD} + 0.5 ^注	V
ロウ・レベル出力電流	I _{OL}	1端子	4.0	mA
		全端子合計	100	mA
ハイ・レベル出力電流	I _{OH}	1端子	- 4.0	mA
		全端子合計	- 100	mA
出力電圧	V _O	V _{DD} = 2.5 V ± 0.2 V, EV _{DD} = CV _{DD} = AV _{DD0} = AV _{DD1} = 3.3 V ± 0.3 V	- 0.5 ~ EV _{DD} + 0.5 ^注	V
アナログ入力電圧	V _{IAN}	P70/ANI0-P77/ANI7端子, V _{DD} = 2.5 V ± 0.2 V, AV _{DD0} = 3.3 V ± 0.3 V	- 0.5 ~ AV _{DD0} + 0.5 ^注	V
アナログ出力電圧	V _{OAN}	P80/ANO0, P81/ANO1, V _{DD} = 2.5 V ± 0.2 V, AV _{DD1} = 3.3 V ± 0.3 V	- 0.5 ~ AV _{DD1} + 0.5 ^注	V
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}	144ピン・プラスチックLQFP品	- 55 ~ + 150	
		161ピン・プラスチックFBGA品	- 40 ~ + 125	

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を超えないようにしてください。

注意1. IC製品の出力(出力状態の入出力端子)をほかの出力端子(出力状態の入出力端子を含む),およびV_{DD}, EV_{DD}などの電源端子やGND端子に直線接続しないでください。ただし,入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。

注意2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

容量 ($T_A = 25$, $V_{DD} = V_{SS} = EV_{DD} = EV_{SS} = CV_{DD} = CV_{SS} = AV_{DD0} = AV_{SS0} = AV_{DD1} = AV_{SS1} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_c = 1$ MHz			15	pF
入出力容量	C_{io}	被測定ピン以外は0 V			15	pF
出力容量	C_o				15	pF

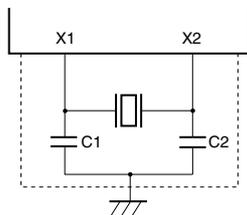
動作条件

動作モード	システム・クロック周波数 (f_{xx})	動作周囲温度 (T_A)	電源電圧 (V_{DD})
クロック・スルー・モード	5 ~ 25 MHz	- 40 ~ + 85	$V_{DD} = 2.5$ V \pm 0.2 V
PLLモード	5 ~ 80 MHz		$EV_{DD} = 3.3$ V \pm 0.3 V $CV_{DD} = 3.3$ V \pm 0.3 V $AV_{DD0} = 3.3$ V \pm 0.3 V $AV_{DD1} = 3.3$ V \pm 0.3 V

推奨発振回路

(1) セラミック発振子

(a) 京セラ (T_A = -40 ~ +85)



タイプ	品名	発振周波数 f _x (MHz)	推奨回路定数		発振電圧範囲		発振安定時間 (MAX.)
			C1	C2	MIN. (V)	MAX. (V)	T _{os} (ms)
表面実装	PBRC4.00HR	4.00	内蔵 (30 pF)	内蔵 (30 pF)	3.0	3.6	0.04
	PBRC5.00HR	5.00	内蔵 (30 pF)	内蔵 (30 pF)	3.0	3.6	0.02
	PBRC6.60HR	6.60	内蔵 (30 pF)	内蔵 (30 pF)	3.0	3.6	0.03
	PBRC8.00HR	8.00	内蔵 (30 pF)	内蔵 (30 pF)	3.0	3.6	0.03

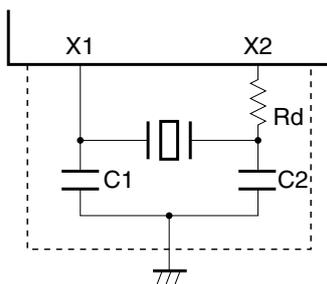
注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。

実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/MA3の内部動作条件についてはDC, AC特性の規格内で使用してください。

(b) 株式会社村田製作所 (T_A = -20 ~ +80)



タイプ	品名	発振周波数 f _x (MHz)	推奨回路定数			発振電圧範囲	
			C1	C2	Rd	MIN. (V)	MAX. (V)
リード	CSTLS4M00G56-B0	4.00	内蔵 (47 pF)	内蔵 (47 pF)	1 kΩ	3.0	3.6
	CSTLS5M00G56-B0	5.00	内蔵 (47 pF)	内蔵 (47 pF)	680 Ω	3.0	3.6
	CSTLS6M00G56-B0	6.00	内蔵 (47 pF)	内蔵 (47 pF)	680 Ω	3.0	3.6
	CSTLS6M60G56-B0	6.60	内蔵 (47 pF)	内蔵 (47 pF)	470 Ω	3.0	3.6
	CSTLS8M00G56-B0	8.00	内蔵 (47 pF)	内蔵 (47 pF)	330 Ω	3.0	3.6
表面実装	CSTCR4M00G55-R0	4.00	内蔵 (39 pF)	内蔵 (39 pF)	1 kΩ	3.0	3.6
	CSTCR5M00G55-R0	5.00	内蔵 (39 pF)	内蔵 (39 pF)	1 kΩ	3.0	3.6
	CSTCR6M00G55-R0	6.00	内蔵 (39 pF)	内蔵 (39 pF)	680 Ω	3.0	3.6
	CSTCR6M60G55-R0	6.60	内蔵 (39 pF)	内蔵 (39 pF)	330 Ω	3.0	3.6
	CSTCE8M00G55-R0	8.00	内蔵 (33 pF)	内蔵 (33 pF)	220 Ω	3.0	3.6

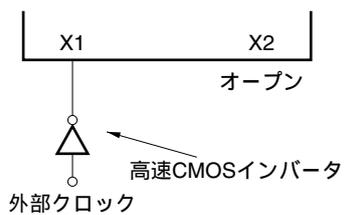
注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。

実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/MA3の内部動作条件についてはDC, AC特性の規格内で使用してください。

(2) 外部クロック



注意1. 高速CMOSはX1端子にできるかぎり近づけてください。

2. V850E/MA3と高速CMOSインバータのマッチングについては、十分な評価を行ってください。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.5 V \pm 0.2 V$, $EV_{DD} = CV_{DD} = AV_{DD0} = AV_{DD1} = 3.3 V \pm 0.3 V$,
 $V_{SS} = EV_{SS} = CV_{SS} = AV_{SS0} = AV_{SS1} = 0 V$) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	注1, 2, 3, 4, 5を除く	2.0		3.6	V
		注1	$0.8EV_{DD}$		3.6	V
		注3, 5	$0.7EV_{DD}$		3.6	V
		注2	$0.7AV_{DD0}$		3.6	V
		注4	$0.7AV_{DD1}$		3.6	V
ロウ・レベル入力電圧	V_{IL}	注1, 2, 3, 4, 5を除く	0		0.8	V
		注1	0		$0.2EV_{DD}$	V
		注3, 5	0		$0.3EV_{DD}$	V
		注2	0		$0.3AV_{DD0}$	V
		注4	0		$0.3AV_{DD1}$	V
ハイ・レベル・クロック入力電圧	V_{XH}	X1端子	$0.7CV_{DD}$		CV_{DD}	V
ロウ・レベル・クロック入力電圧	V_{XL}	X1端子	0		$0.3CV_{DD}$	V
シュミット・トリガ入力スレッシュ ホールド電圧	V_{T^+}	注1, 立ち上がり		2.0		V
	V_{T^-}	注1, 立ち下がり		1.3		V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -1.0 \text{ mA}$	$EV_{DD} - 1.0$			V
		$I_{OH} = -100 \mu\text{A}$	$EV_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 3 \text{ mA}$			0.4	V
ハイ・レベル入力リーク電流	I_{LIH}	$V_I = EV_{DD}$, 注2, 4を除く			10	μA
ロウ・レベル入力リーク電流	I_{LIL}	$V_I = 0 \text{ V}$, 注2, 4を除く			-10	μA
ハイ・レベル出力リーク電流	I_{LOH}	$V_O = EV_{DD}$			10	μA
ロウ・レベル出力リーク電流	I_{LOL}	$V_O = 0 \text{ V}$			-10	μA
アナログ端子入力リーク電流	I_{LWASN}	注2, 4			± 10	μA

注1. P00, P01, P04-P07, P10-P15, P20-P22, P24-P26, P30-P34, P37, P41, P42, P44, P45, P50, P51, $\overline{\text{TRST}}$,
 $\overline{\text{RESET}}$, CKSEL, PSEL, MODE0, MODE1端子 (兼用端子も含まれます)。

ただし, ポート・モード時はヒステリシス特性を持ちません。

2. P70-P77端子 (兼用端子も含まれます)
3. P27端子 (兼用端子も含まれます)
4. P80, P81端子 (兼用端子も含まれます)
5. PCM1, PCD1端子 (兼用端子も含まれます)

備考 TYP.値は, $T_A = 25$, $V_{DD} = 2.5 \text{ V}$, $EV_{DD} = 3.3 \text{ V}$ 時の参考値です。電流にはプルアップ抵抗に流れる電流は
 含まれません。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.5 V \pm 0.2 V$, $EV_{DD} = CV_{DD} = AV_{DD0} = AV_{DD1} = 3.3 V \pm 0.3 V$,
 $V_{SS} = EV_{SS} = CV_{SS} = AV_{SS0} = AV_{SS1} = 0 V$) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流	通常時	I _{DD1}	V _{DD} マスクROM内蔵品		$1.25 \times f_{xx} + 20$	$1.5 \times f_{xx} + 60$	mA
			端子 フラッシュ・メモリ内蔵品		$2.25 \times f_{xx} + 50$	$3.2 \times f_{xx} + 94$	mA
		I _{E_{DD1}}	EV _{DD} + CV _{DD} 端子		$0.9 \times f_{xx} + 5$	$0.95 \times f_{xx} + 24$	mA
	HALT時	I _{DD2}	V _{DD} マスクROM内蔵品		$1.1 \times f_{xx} + 24$	$1.2 \times f_{xx} + 44$	mA
			端子 フラッシュ・メモリ内蔵品		$1.1 \times f_{xx} + 30$	$1.2 \times f_{xx} + 54$	mA
		I _{E_{DD2}}	EV _{DD} + CV _{DD} 端子		$0.65 \times f_{xx} + 3$	$0.7 \times f_{xx} + 24$	mA
	IDLE時	I _{DD3}	V _{DD} マスクROM内蔵品		10	20	mA
			端子 フラッシュ・メモリ内蔵品		18	30	mA
		I _{E_{DD3}}	EV _{DD} + CV _{DD} 端子		0.35	3	mA
	STOP時	I _{DD4}	V _{DD} 端子			850	μA
I _{E_{DD4}}		EV _{DD} + CV _{DD} 端子			50	μA	

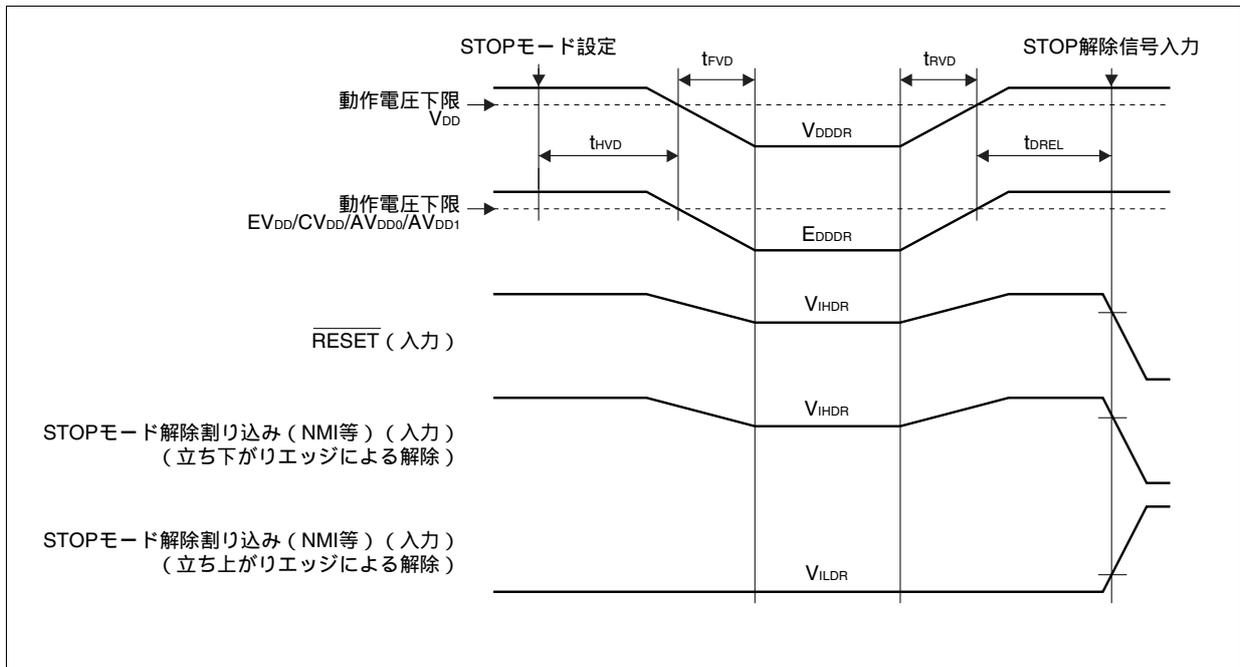
備考1. TYP.値は、 $T_A = 25$, $V_{DD} = 2.5 V$, $EV_{DD} = 3.3 V$ 時の参考値です。電流にはプルアップ抵抗に流れる電流は含みません。

2. f_{xx} : システム・クロック周波数 (MHz)

データ保持特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.5 V \pm 0.2 V$,
 $E_{VDD} = C_{VDD} = A_{VDD0} = A_{VDD1} = 3.3 V \pm 0.3 V$,
 $V_{SS} = E_{VSS} = C_{VSS} = A_{VSS0} = A_{VSS1} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード, $V_{DD} = V_{DDDR}$	1.8		2.7	V
	E_{VDDDR}	STOPモード, $E_{VDD} = C_{VDD} = A_{VDD0} = A_{VDD1} = E_{VDDDR}$	V_{DDDR}		3.6	V
データ保持電流	I_{DDDR}	$V_{DD} = V_{DD}$ 端子			850	μA
		$V_{DDDR} = E_{VDD} + C_{VDD}$ 端子			50	μA
電源電圧立ち上がり時間	t_{RVD}		200			μs
電源電圧立ち下がり時間	t_{FVD}		200			μs
電源電圧保持時間(対STOPモード設定)	t_{HVD}		0			ms
STOPモード解除信号入力時間	t_{DREL}		0			ns
データ保持ハイ・レベル入力電圧	V_{IHDR}	全入力端子	$0.8E_{VDDDR}$		E_{VDDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	全入力端子	0		$0.2E_{VDDDR}$	V

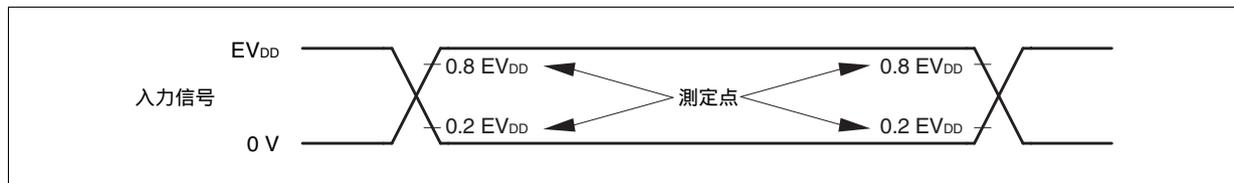
注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作電圧範囲内で行ってください。



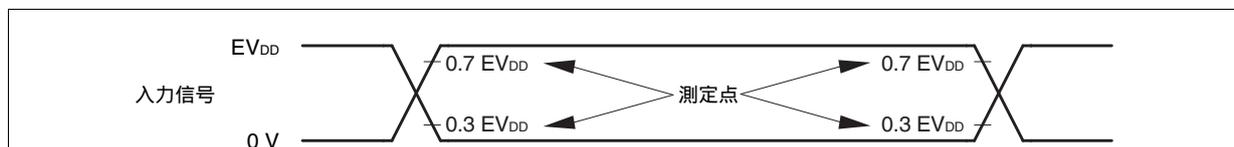
AC特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.5 V \pm 0.2 V$, $EV_{DD} = CV_{DD} = AV_{DD0} = AV_{DD1} = 3.3 V \pm 0.3 V$,
 $V_{SS} = EV_{SS} = CV_{SS} = AV_{SS0} = AV_{SS1} = 0 V$, 出力端子の負荷容量 : $C_L = 50 pF$)

ACテスト入力測定点

(a) P00, P01, P04-P07, P10-P15, P20-P22, P24-P26, P30-P34, P37, P41, P42, P44, P45, P50, P51, \overline{TRST} ,
 \overline{RESET} , CKSEL, PSEL, MODE0, MODE1 端子 (兼用端子も含まます)。



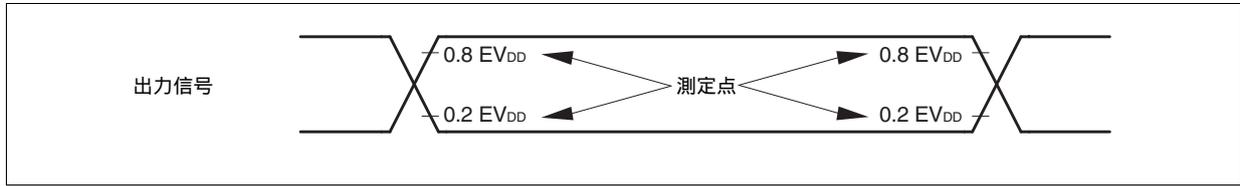
(b) P27, P70-P77, P80, P81, PCM1, PCD0, X1 端子 (兼用端子も含まます)



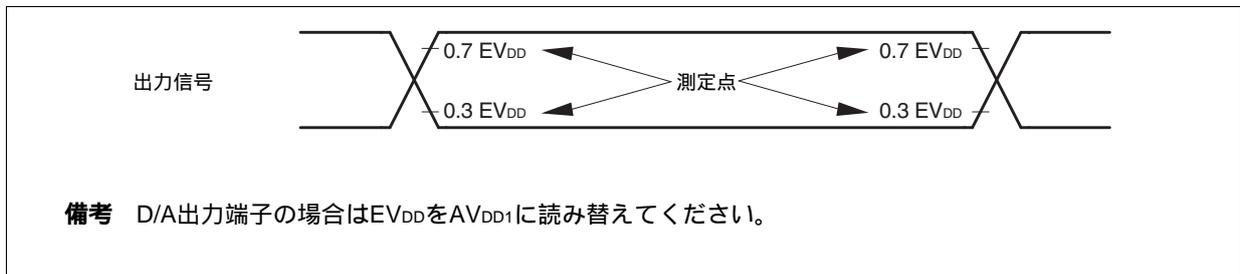
備考 A/D入力端子の場合は EV_{DD} を AV_{DD0} に , D/Aポート端子の場合は EV_{DD} を AV_{DD1} に読み替えてください。

ACテスト出力測定点

(a) P00, P01, P04-P07, P10-P15, P20-P22, P24-P26, P30-P34, P37, P40-P45, P50, P51, $\overline{\text{TRST}}$, $\overline{\text{RESET}}$, CKSEL, PSEL, MODE0, MODE1端子 (兼用端子も含まれます)。

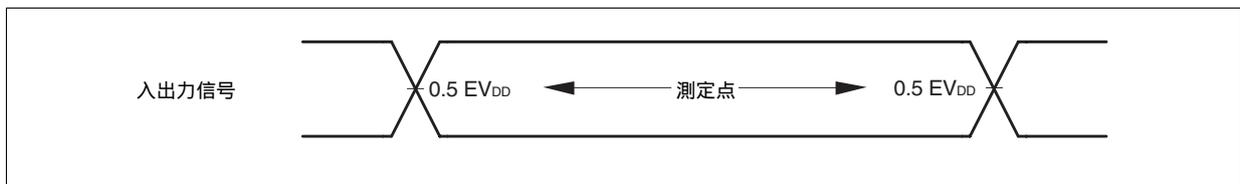


(b) P27, P70-P77, P80, P81, PCM1, PCD0端子 (兼用端子も含まれます)

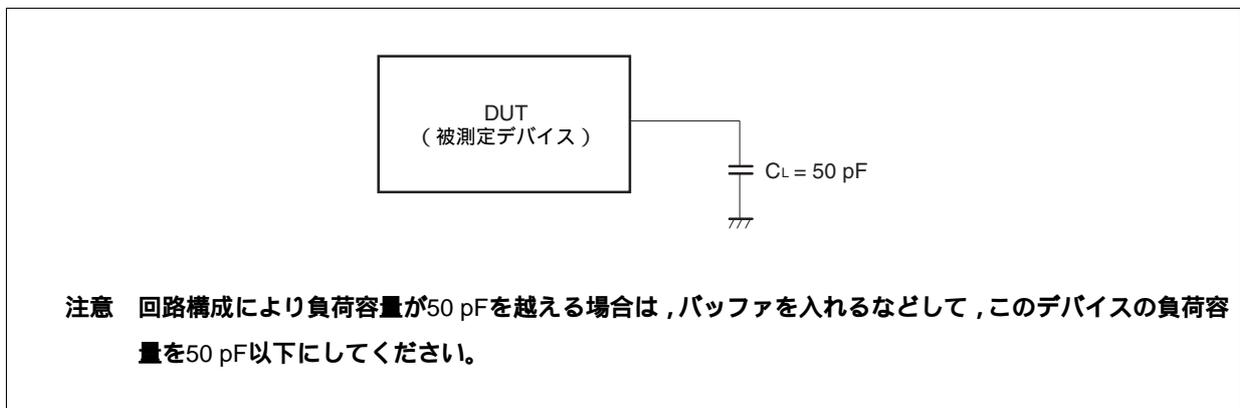


ACテスト・バス・アクセス測定点

外部バス・アクセス時のバス制御端子 (A0-A25, AD0-AD15, $\overline{\text{CS0-CS7}}$, $\overline{\text{IOWR}}$, $\overline{\text{IORD}}$, $\overline{\text{LBE/LWR/LDQM}}$, $\overline{\text{UBE/UWR/UDQM}}$, $\overline{\text{RD}}$, $\overline{\text{WR/WE}}$, $\overline{\text{ASTB}}$, $\overline{\text{BCYST}}$, $\overline{\text{WAIT}}$, $\overline{\text{BUSCLK}}$, $\overline{\text{HLDK}}$, $\overline{\text{HLDRQ}}$, $\overline{\text{REFRQ}}$, $\overline{\text{SDCKE}}$, $\overline{\text{SDCLK}}$, $\overline{\text{SDCAS}}$, $\overline{\text{SDRAS}}$, $\overline{\text{DMAAK0-DMAAK3}}$, $\overline{\text{DMARQ0-DMARQ3}}$)



負荷条件



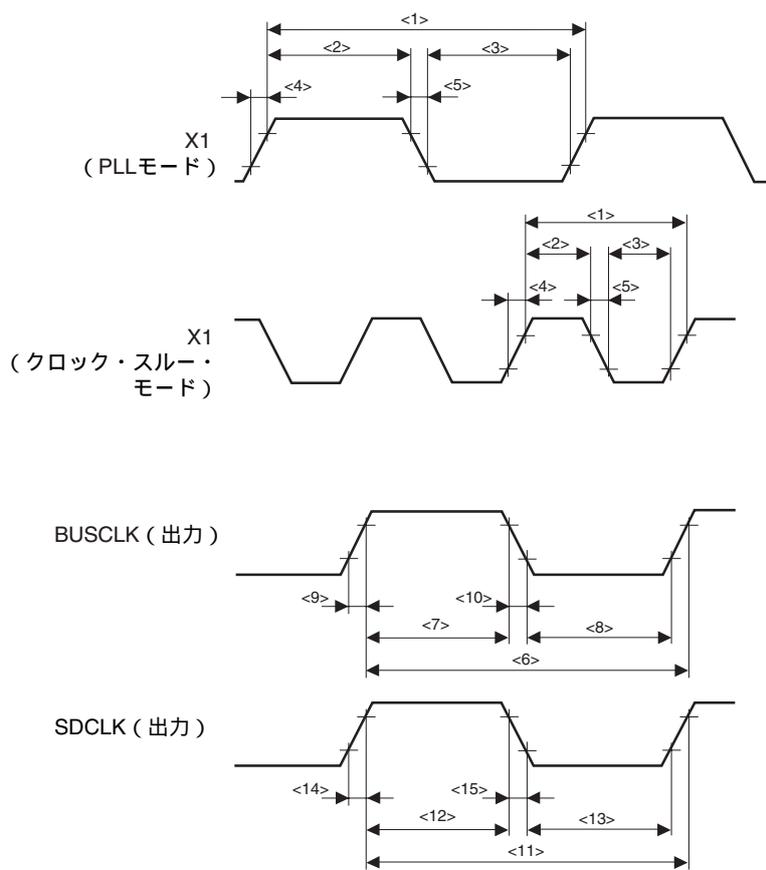
(1) クロック・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位		
X1入力周期	<1>	t _{CYX}	クロック・スルー・モード	40	200	ns	
			PLLモード	PSEL = L	181.8	250	ns
				PSEL = H	125	181.8	ns
X1入力ハイ・レベル幅	<2>	t _{WXH}	クロック・スルー・モード	16		ns	
			PLLモード	50		ns	
X1入力ロウ・レベル幅	<3>	t _{WXL}	クロック・スルー・モード	16		ns	
			PLLモード	50		ns	
X1立ち上がり時間	<4>	t _{XR}	クロック・スルー・モード		4	ns	
			PLLモード		6	ns	
X1立ち下がり時間	<5>	t _{XF}	クロック・スルー・モード		4	ns	
			PLLモード		6	ns	
CPU動作周波数	-	f _{CPU}	5	80	MHz		
BUSCLK出力周期	<6>	t _{CYK1}	20	200	ns		
BUSCLKハイ・レベル幅	<7>	t _{WKH1}	0.5T - 6		ns		
BUSCLKロウ・レベル幅	<8>	t _{WKL1}	0.5T - 6		ns		
BUSCLK立ち上がり時間	<9>	t _{KR1}		6	ns		
BUSCLK立ち下がり時間	<10>	t _{KF1}		6	ns		
SDCLK出力周期	<11>	t _{CYK2}	20	200	ns		
SDCLKハイ・レベル幅	<12>	t _{WKH2}	0.5T - 6		ns		
SDCLKロウ・レベル幅	<13>	t _{WKL2}	0.5T - 6		ns		
SDCLK立ち上がり時間	<14>	t _{KR2}		6	ns		
SDCLK立ち下がり時間	<15>	t _{KF2}		6	ns		

備考1. $T = t_{CYKn} (n = 1, 2)$

2. BUSCLKとSDCLK間の位相差は規定できません。
3. X1 SDCLK遅延時間, X1 BUSCLK遅延時間は, 規定できません。
4. BUSCLKの分周比は, BMC.CKM1, CKM0ビットで設定します。
5. 上記スペック内のBUSCLK, SDCLKは, X1からデューティ比1:1のクロックを入力した場合の値です。クロック・スルー・モード時に, X1入力クロックのデューティ比が変化した場合, BUSCLK, SDCLKのデューティ比も変化するためメモリ・アクセスのタイミングに影響します。PLLモード時にはメモリ・アクセスのタイミングに影響しません。

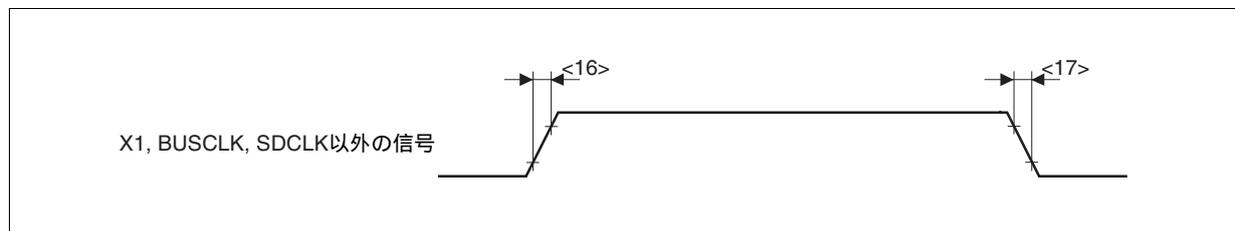
(1) クロック・タイミング (2/2)



備考 BUSCLKの周期は、バス・サイクルによって異なります。

(2) 出力波形 (X1, BUSCLK, SDCLK以外)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	<16>	toR		6	ns
出力立ち下がり時間	<17>	toF		6	ns

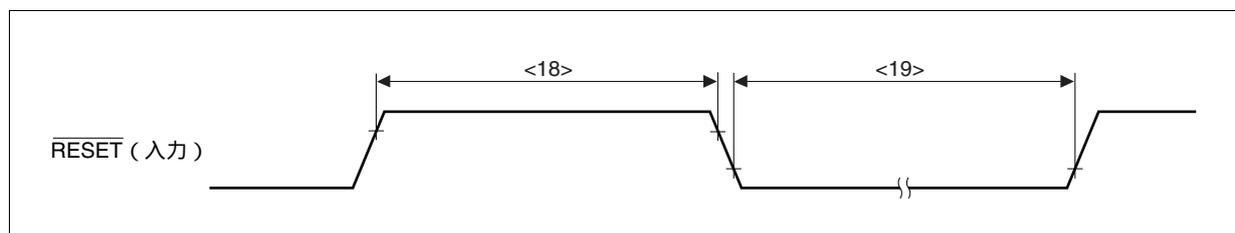


(3) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
RESET端子ハイ・レベル幅	<18>	tWRSH	500		ns
RESET端子ロウ・レベル幅	<19>	電源オン, STOPモード解除時	500 + Tos		ns
		電源オン時, STOPモード解除時を除く	500		ns

注意 発振安定時間については、十分に評価してください。

備考 Tos : 発振安定時間



(4) SRAM, 外部ROM, 外部I/Oアクセス・タイミング (セパレート・バス・モード時)

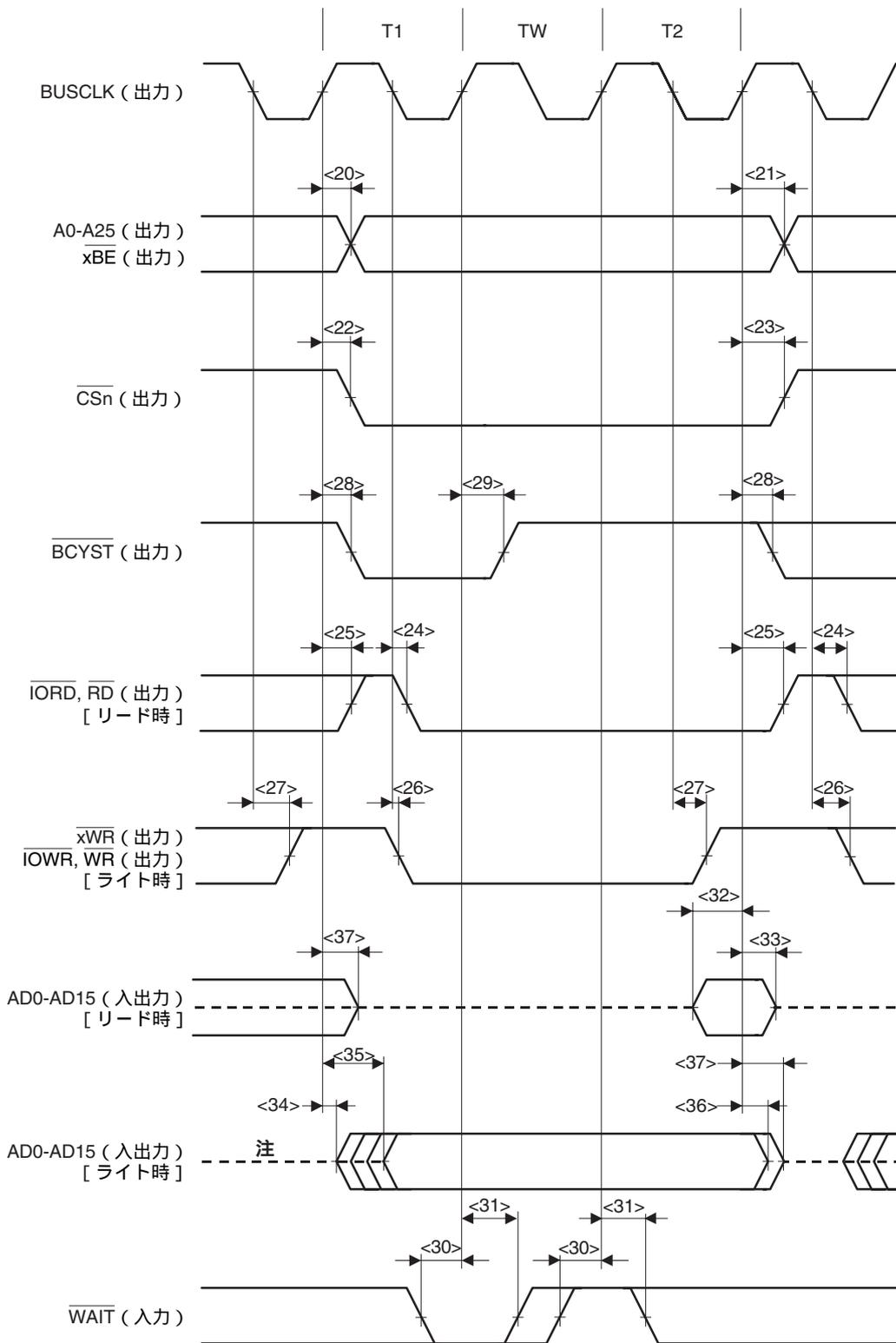
(a) アクセス・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
アドレス, \overline{xBE} 出力遅延時間 (対BUSCLK)	<20> t _{DKA}		0	15	ns
アドレス, \overline{xBE} 出力保持時間 (対BUSCLK)	<21> t _{HKA}		0	13	ns
\overline{CSn} 遅延時間 (対BUSCLK)	<22> t _{DKCSL}		0	15	ns
\overline{CSn} 遅延時間 (対BUSCLK)	<23> t _{HKCSH}		0	13	ns
\overline{RD} , \overline{IORD} 遅延時間 (対BUSCLK)	<24> t _{DKRDL}		0	13	ns
\overline{RD} , \overline{IORD} 遅延時間 (対BUSCLK)	<25> t _{HKRSH}		0	13	ns
\overline{xWR} , \overline{IOWR} , \overline{WR} 遅延時間 (対BUSCLK)	<26> t _{DKWRL}		0	13	ns
\overline{xWR} , \overline{IOWR} , \overline{WR} 遅延時間 (対BUSCLK)	<27> t _{HKWRL}		0	13	ns
\overline{BCYST} 遅延時間 (対BUSCLK)	<28> t _{DKBSL}		0	13	ns
\overline{BCYST} 遅延時間 (対BUSCLK)	<29> t _{HKBSH}		0	13	ns
WAIT設定時間 (対BUSCLK)	<30> t _{SWK}		12		ns
WAIT保持時間 (対BUSCLK)	<31> t _{HKW}		0		ns
データ入力設定時間 (対BUSCLK)	<32> t _{SKID}		13		ns
データ入力保持時間 (対BUSCLK)	<33> t _{HKID}		0		ns
データ出力遅延時間 (対BUSCLK)	<34> t _{DKOD1}		0		ns
	<35> t _{DKOD2}		0	16	ns
データ・フロート遅延時間 (対BUSCLK)	<36> t _{HKOD1}		0		ns
	<37> t _{HKOD2}			16	ns

備考1. データ入力保持時間 t_{HRDID} , t_{HKID} は, 少なくともどちらか1つを守ってください。

2. n = 0-7
x = U, L

(a) アクセス・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



注 T1サイクルの前にT0サイクルが挿入されます。

備考1. DWC0, DWC1レジスタによるウェイト数が0の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

3. $n = 0-7$, $x = U, L$

(b) リード・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

項目	略号	条件	MIN.	MAX.	単位
データ入力設定時間 (対アドレス, \overline{xBE} , \overline{CSn})	<38>	tSAID	注1	$(2+w+w_D+w_{AS})T-25$	ns
データ入力設定時間 (対RD, \overline{IORD})	<39>	tSRDID		$(1.5+w+w_D)T-25$	ns
\overline{RD} , \overline{IORD} ロウ・レベル幅	<40>	tWRDL		$(1.5+w+w_D)T-4$	ns
\overline{RD} , \overline{IORD} ハイ・レベル幅	<41>	tWRDH		$(0.5+w_{AS}+i)T-4$	ns
アドレス, \overline{xBE} , \overline{CSn} \overline{RD} , \overline{IORD} 遅延時間	<42>	tDARD	注1	$(0.5+w_{AS})T-6$	ns
\overline{RD} , \overline{IORD} アドレス, \overline{xBE} 遅延時間	<43>	tDRDA		iT-4	ns
データ入力保持時間 (対 \overline{RD} , \overline{IORD})	<44>	tHRDID		0	ns
\overline{RD} , \overline{IORD} データ出力遅延時間	<45>	tDRDOD		$(1+i)T-16$	ns
WAIT設定時間 (対アドレス)	<46>	tSAW	注1, 2	$(1+w_{AS})T-24$	ns
WAIT設定時間 (対BCYST)	<47>	tSBSW	注2	$(1+w_{AS})T-21$	ns
WAIT保持時間 (対BCYST)	<48>	tHBSW	注2	$w_{AS}T-4$	ns
WAITハイ・レベル幅	<49>	tWWH		T-4	ns
データ出力保持時間 (対 \overline{xWR} , \overline{IOWR} , \overline{WR})	<50>	tHWROD		$(0.5+i)T-4$	ns

注1. CSDC.CSDCpビット = 1のとき, \overline{CSp} 信号は1サイクル立ち下がりタイミングが遅れて出力されます。

2. DWC0, DWC1レジスタによるウェイト数が0のときの最初のWAITサンプリング時。

備考1. $T = t_{CYK1}$

2. w : WAITによるウェイト数

3. w_D : DWC0, DWC1レジスタによるウェイト数

4. データ入力保持時間 t_{HRDID} , t_{HKID} は, 少なくともどちらか1つを守ってください。

5. $n = 0-7$

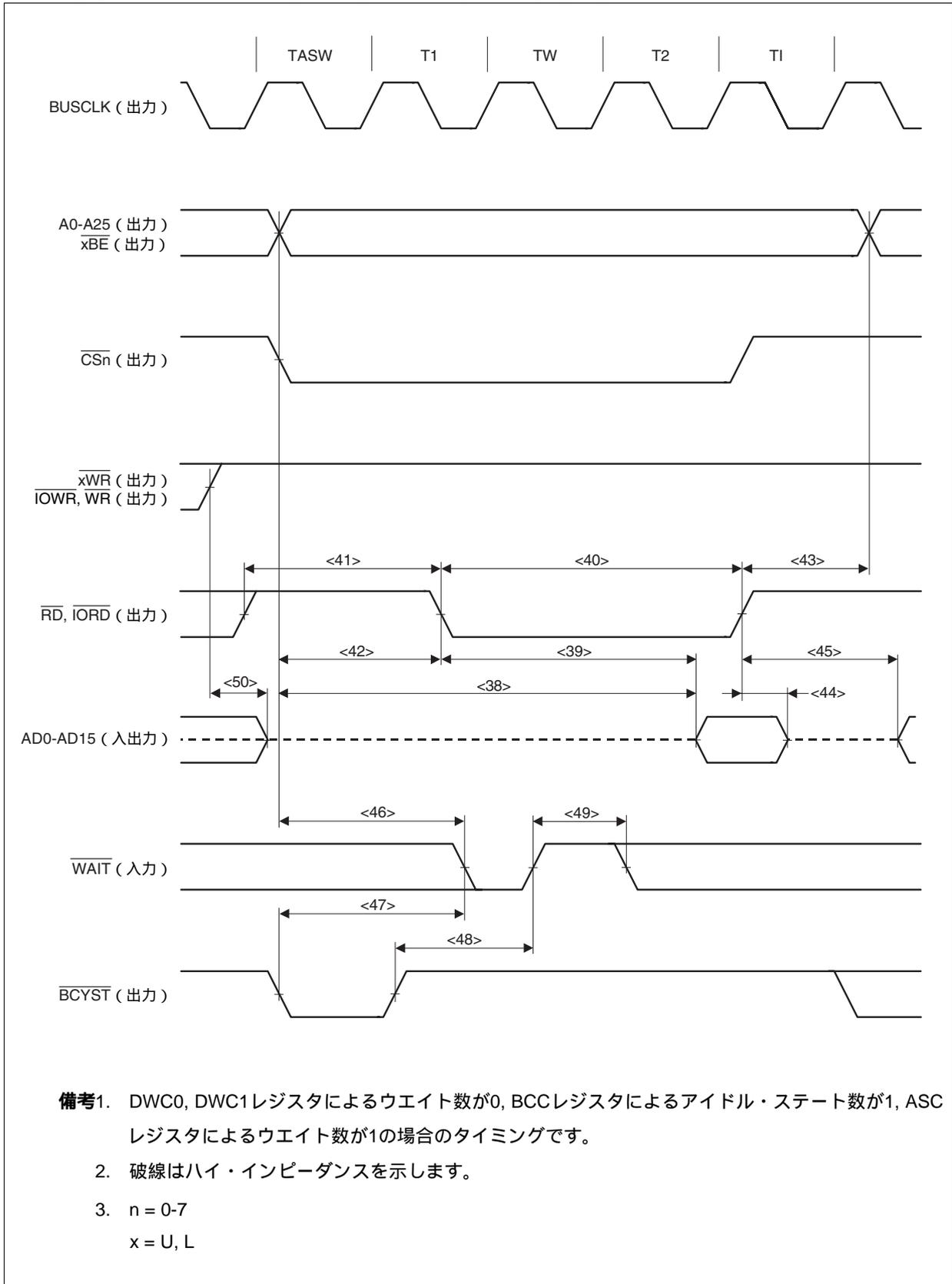
$p = 0, 4, 6, 7$

$x = U, L$

6. i : アイドル・ステート数

7. w_{AS} : ASCレジスタによるアドレス・セットアップ・ウェイト数

(b) リード・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



(c) ライト・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

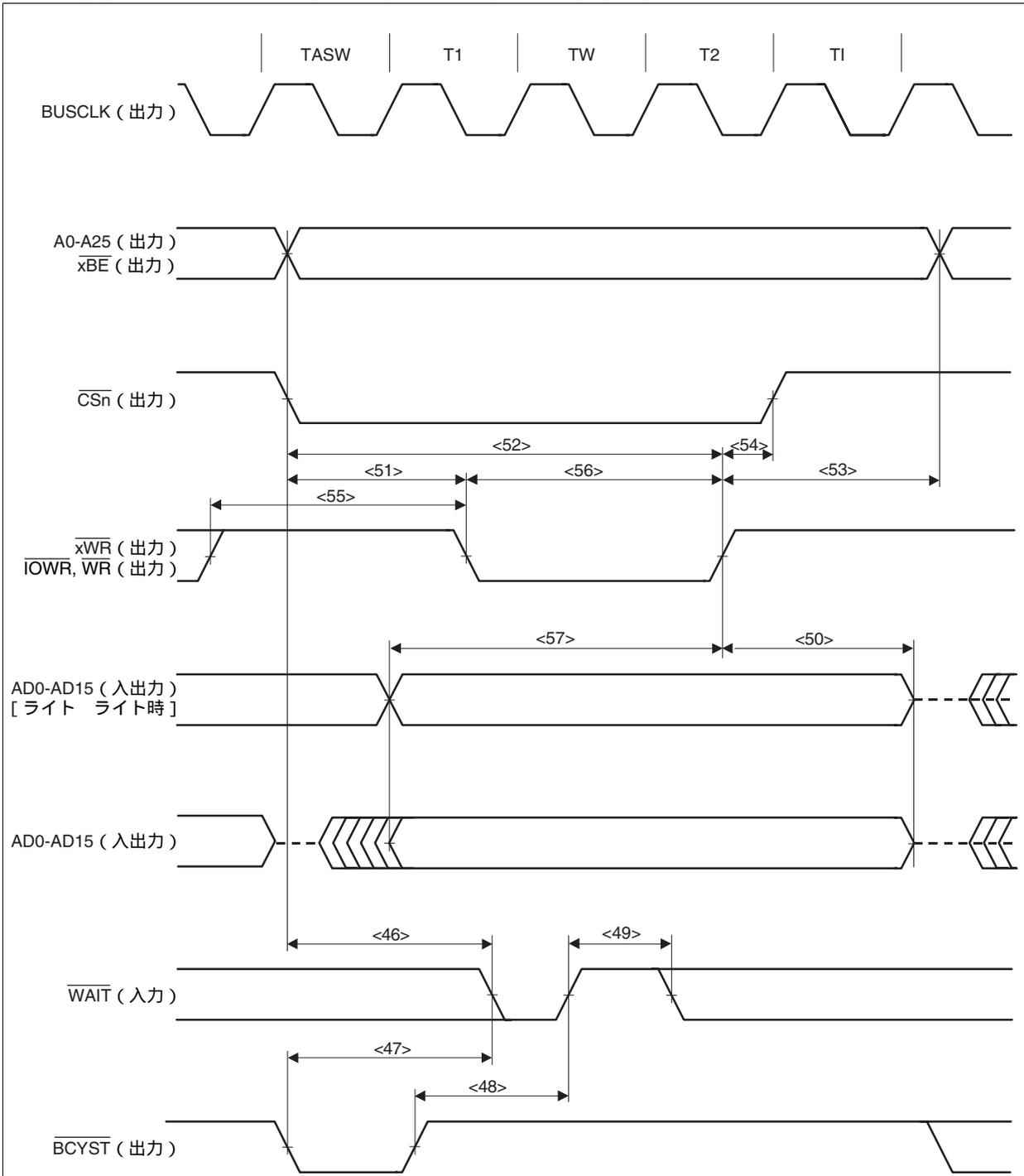
項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対アドレス)	<46>	tSAW	注1, 2	$(1 + W_{AS}) T - 24$	ns
WAIT設定時間 (対BCYST)	<47>	tSBSW	注1	$(1 + W_{AS}) T - 21$	ns
WAIT保持時間 (対BCYST)	<48>	tHBSW	注1	$W_{AS} T - 4$	ns
WAITハイ・レベル幅	<49>	tWWH	注3	$T - 4$	ns
アドレス, xBE, CSn, xWR, IOWR, WR 遅延時間	<51>	tDAWR	注2	$(0.5 + W_{AS}) T - 6$	ns
アドレス, xBE, CSn設定時間 (対xWR, IOWR, WR)	<52>	tSAWR	注2	$(1.5 + W + W_D + W_{AS}) T - 6$	ns
xWR, IOWR, WR アドレス 遅延時間	<53>	tdWRA		$(0.5 + i) T - 4$	ns
xWR, IOWR, WR CSn遅延時間	<54>	tdWRCS		$0.5T - 4$	ns
xWR, IOWR, WRハイ・レベル幅	<55>	tWWRH		$(0.5 + i + W_{AS}) T - 4$	ns
xWR, IOWR, WRロウ・レベル幅	<56>	tWWRRL		$(1 + W + W_D) T - 4$	ns
データ出力設定時間 (対xWR, IOWR, WR)	<57>	tsODWR		$(1.5 + W_{AS} + W + W_D) T - 6$	ns
データ出力保持時間 (対xWR, IOWR, WR)	<50>	tHWROD		$(0.5 + i) T - 4$	ns

- 注1. DWC0, DWC1レジスタによるウェイト数が0のときの最初のWAITサンプリング時。
 2. CSDC.CSDCpビット = 1のとき, CS_p信号は1サイクル立ち下がりタイミングが遅れて出力されます。
 3. ウェイト解除に必要な時間

備考1. $T = t_{CYK1}$

2. w : WAITによるウェイト数
3. w_D : DWC0, DWC1レジスタによるウェイト数
4. n = 0-7
 $p = 0, 4, 6, 7$
 $x = U, L$
5. i : アイドル・ステート数
6. w_{AS} : ASCレジスタによるアドレス・セットアップ・ウェイト数

(c) ライト・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



備考1. DWC0, DWC1レジスタによるウェイト数が0, BCCレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

3. $n = 0-7$

$x = U, L$

(d) DMAフライバイ転送タイミング (SRAM 外部I/O転送) (1/2)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対BUSCLK)	<30>	t _{SWK}	12		ns
WAIT保持時間 (対BUSCLK)	<31>	t _{HKW}	0		ns
RDロウ・レベル幅	<40>	t _{WRDL}	$(1.5 + w + w_D) T - 4$		ns
RDハイ・レベル幅	<41>	t _{WRDH}	$(0.5 + i + w_{AS}) T - 4$		ns
アドレス, \overline{xBE} , \overline{CSn} RD 遅延時間	<42>	t _{DARD}	注1	$(0.5 + w_{AS}) T - 6$	ns
RD アドレス, \overline{xBE} 遅延時間	<43>	t _{DRDA}		$iT - 4$	ns
RD データ出力遅延時間	<45>	t _{DRDOD}		$(1 + i) T - 16$	ns
WAIT設定時間 (対アドレス)	<46>	t _{SAW}	注2	$(1 + w_{AS}) T - 24$	ns
WAIT設定時間 (対BCYST)	<47>	t _{SBSW}	注2	$(1 + w_{AS}) T - 21$	ns
WAIT保持時間 (対BCYST)	<48>	t _{HBSW}	注2	$w_{AS}T - 4$	ns
WAITハイ・レベル幅	<49>	t _{WWH}		$T - 4$	ns
アドレス, \overline{xBE} , \overline{CSn} IOWR 遅延時間	<51>	t _{DAWR}	注1	$(0.5 + w_{AS}) T - 6$	ns
アドレス, \overline{xBE} , \overline{CSn} 設定時間 (対 IOWR)	<52>	t _{SAWR}	注1	$(1.5 + w + w_D + w_{AS}) T - 6$	ns
IOWR アドレス, \overline{xBE} 遅延時間	<53>	t _{DWRA}		$(0.5 + i) T - 4$	ns
IOWRハイ・レベル幅	<55>	t _{WWRH}		$(0.5 + i + w_{AS}) T - 4$	ns
IOWRロウ・レベル幅	<56>	t _{WWRL}		$(1 + w + w_D) T - 4$	ns
IOWR RD 遅延時間	<58>	t _{DIWRRD}		$0.5T - 4$	ns
DMAAKm IOWR 遅延時間	<59>	t _{DDAWR}		$(0.5 + w_{AS}) T - 8$	ns
IOWR DMAAKm 遅延時間	<60>	t _{DWRDA}		$(0.5 + i) T - 8$	ns

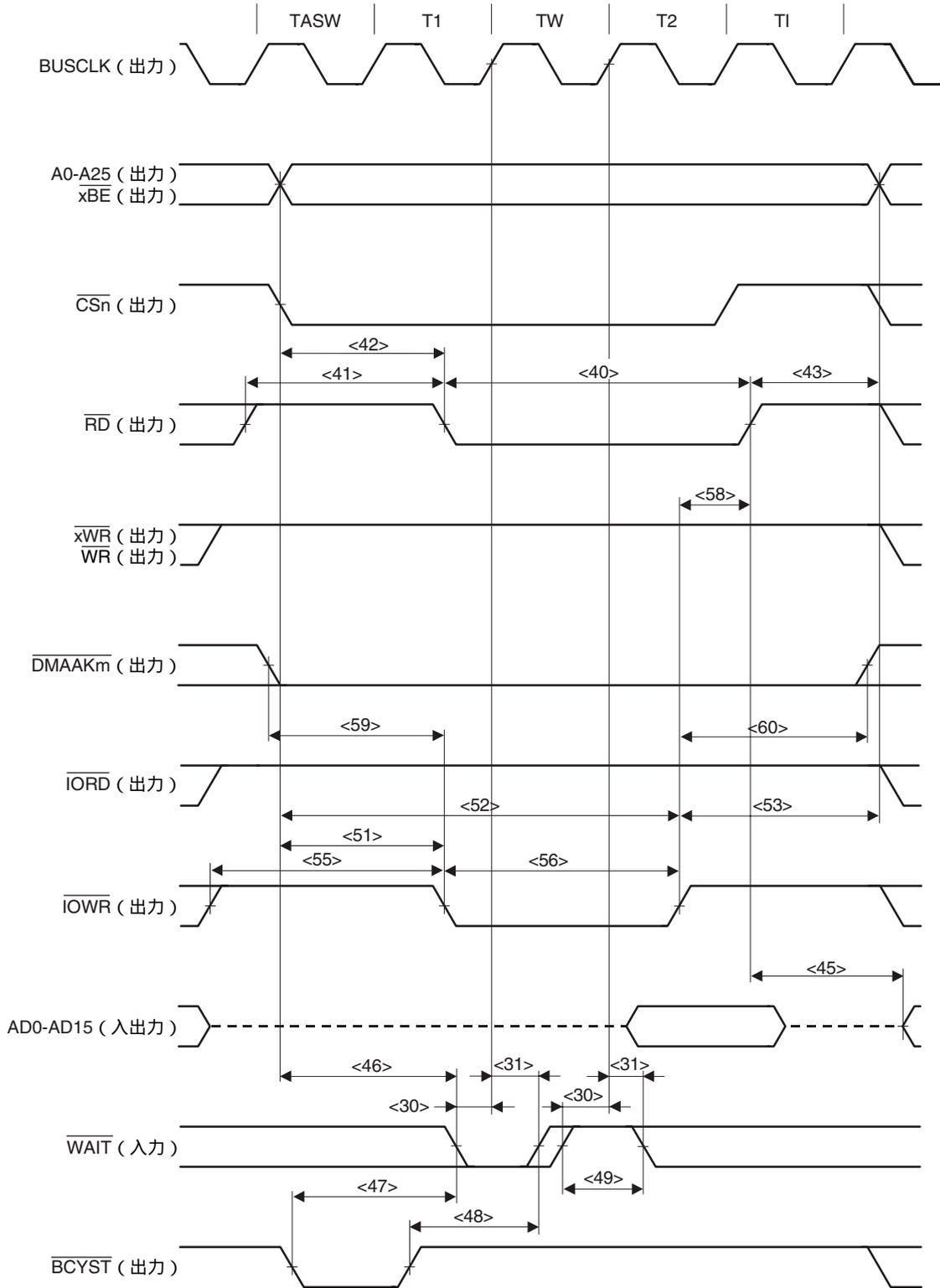
注1. CSDC.CSDCpビット = 1のとき, CSp信号は1サイクル立ち下がりタイミングが遅れて出力されます。

2. FWCレジスタによるウェイト数が0のときの最初のWAITサンプリング時。

備考1. $T = t_{CYK1}$

2. w : WAITによるウェイト数
3. w_D : FWCレジスタによるウェイト数
4. $n = 0, 1, 3, 4, 6, 7$
 $m = 0-3$
 $p = 0, 4, 6, 7$
 $x = U, L$
5. i : アイドル・ステート数
6. w_{AS} : ASCレジスタによるアドレス・セットアップ・ウェイト数

(d) DMAフライバイ転送タイミング (SRAM 外部I/O転送) (2/2)



- 備考1.** FWCレジスタによるウェイト数が0, FICレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1の場合のタイミングです。
2. 破線はハイ・インピーダンスを示します。
3. $n = 0, 1, 3, 4, 6, 7$, $m = 0-3$, $x = U, L$

(e) DMAフライバイ転送タイミング(外部I/O SRAM転送)(1/2)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間(対BUSCLK)	<30>	t _{SWK}	12		ns
WAIT保持時間(対BUSCLK)	<31>	t _{HKW}	0		ns
I _{ORD} ロウ・レベル幅	<40>	t _{WRDL}	(1.5 + w + w _D) T - 4		ns
I _{ORD} ハイ・レベル幅	<41>	t _{WRDH}	(0.5 + i + w _{AS}) T - 4		ns
アドレス, xBE, CS _n I _{ORD} 遅延時間	<42>	t _{DARD}	注1	(0.5 + w _{AS}) T - 6	ns
I _{ORD} アドレス, xBE遅延時間	<43>	t _{DRDA}		iT - 4	ns
I _{ORD} データ出力遅延時間	<45>	t _{DRDOD}		(1 + i) T - 16	ns
WAIT設定時間(対アドレス)	<46>	t _{SAW}	注2	(1 + w _{AS}) T - 24	ns
WAIT設定時間(対BCYST)	<47>	t _{SBSW}	注2	(1 + w _{AS}) T - 21	ns
WAIT保持時間(対BCYST)	<48>	t _{HBSW}	注2	w _{AS} T - 4	ns
WAITハイ・レベル幅	<49>	t _{WWH}		T - 4	ns
アドレス, xBE, CS _n xWR, WR 遅延時間	<51>	t _{DAWR}	注1	(0.5 + w _{AS}) T - 6	ns
アドレス, xBE, CS _n 設定時間(対xWR, WR)	<52>	t _{SAWR}	注1	(1.5 + w + w _D + w _{AS}) T - 6	ns
xWR, WR アドレス, xBE遅延時間	<53>	t _{DWRA}		(0.5 + i) T - 4	ns
xWR, WRハイ・レベル幅	<55>	t _{WWRH}		(0.5 + i + w _{AS}) T - 4	ns
xWR, WRロウ・レベル幅	<56>	t _{WWRL}		(1 + w + w _D) T - 4	ns
xWR, WR I _{ORD} 遅延時間	<61>	t _{DWRIRD}		0.5T - 4	ns
DMAAK _m I _{ORD} 遅延時間	<62>	t _{DDARD}		(0.5 + w _{AS}) T - 8	ns
I _{ORD} DMAAK _m 遅延時間	<63>	t _{DRDDA}		iT - 4	ns

注1. CSDC.CSDCpビット = 1のとき, CS_p信号は1サイクル立ち下がりタイミングが遅れて出力されます。

2. FWCレジスタによるウエイト数が0のときの最初のWAITサンプリング時。

備考1. T = t_{cyk1}

2. w : WAITによるウエイト数

3. w_D : FWCレジスタによるウエイト数

4. n = 0, 1, 3, 4, 6, 7

m = 0-3

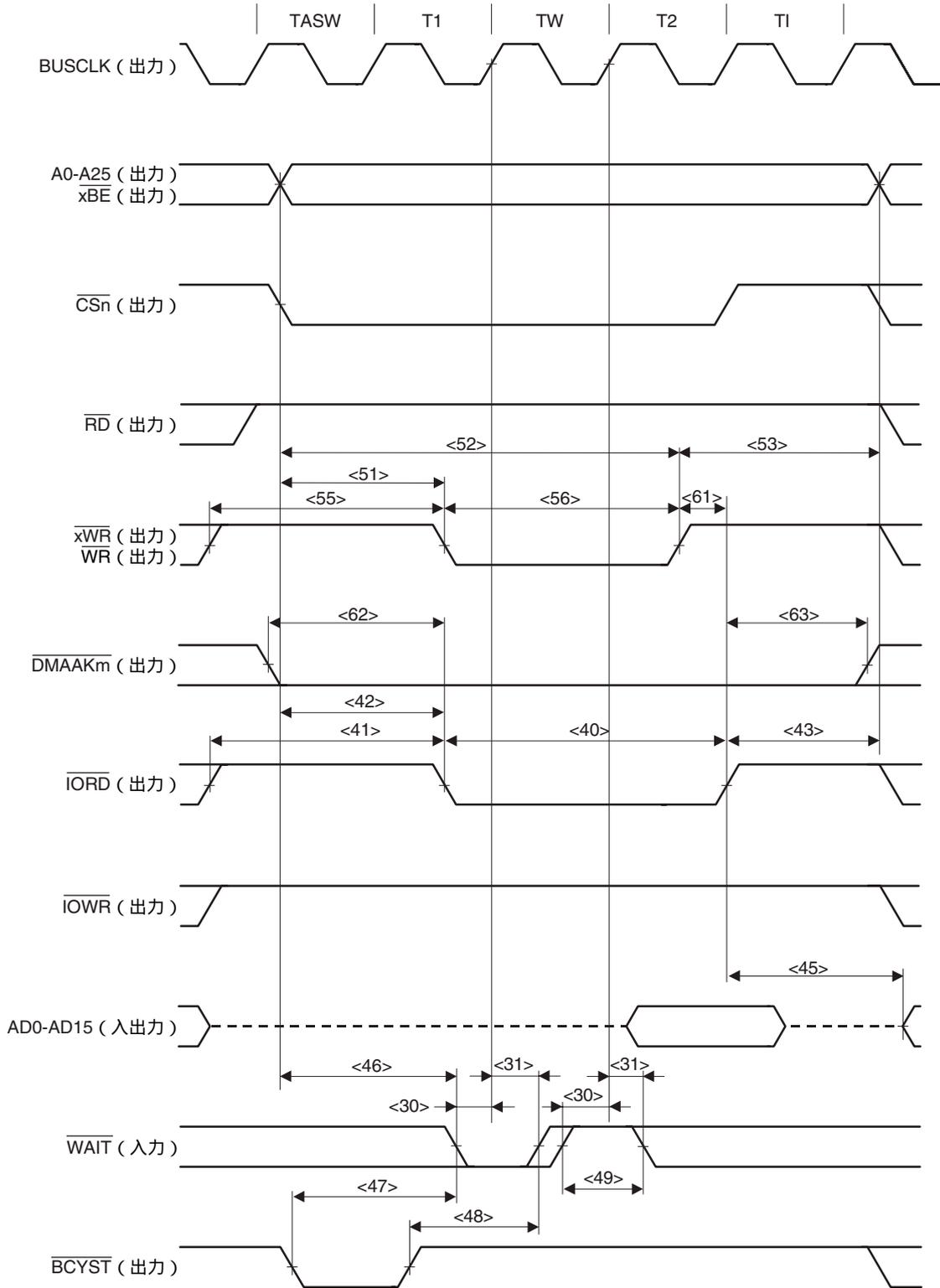
p = 0, 4, 6, 7

x = U, L

5. i : アイドル・ステート数

6. w_{AS} : ASCレジスタによるアドレス・セットアップ・ウエイト数

(e) DMAフライバイ転送タイミング (外部I/O SRAM転送) (2/2)



- 備考1.** FWCレジスタによるウェイト数が0, FICレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1の場合のタイミングです。
2. 破線はハイ・インピーダンスを示します。
3. $n = 0, 1, 3, 4, 6, 7$, $m = 0-3$, $x = U, L$

(5) SRAM, 外部ROMアクセス・タイミング (マルチプレクス・バス・モード時)

(a) リード・タイミング (BUSCLK非同期) (SRAM, 外部ROM) (1/3)

項目	略号	条件	MIN.	MAX.	単位
アドレス, \overline{xBE} , \overline{CSn} 設定時間 (対ASTB)	<64>	t_{SAST}	$(0.5 + W_{AS}) T - 8$		ns
アドレス保持時間 (対ASTB)	<65>	t_{HSTA}	$(0.5 + W_{AH}) T - 8$		ns
\overline{RD} アドレス・フロート遅延時間	<66>	t_{FRDA}		13	ns
データ入力設定時間 (対アドレス, \overline{xBE} , \overline{CSn})	<67>	t_{SAID}		$(2 + W + W_D + W_{AS} + W_{AH}) T - 25$	ns
データ入力設定時間 (対 \overline{RD})	<68>	t_{SRDID}		$(1 + W + W_D) T - 25$	ns
ASTB \overline{RD} 遅延時間	<69>	t_{DSTRD}	$(0.5 + W_{AH}) T - 8$		ns
データ入力保持時間 (対 \overline{RD})	<44>	t_{HRDID}	0		ns
\overline{RD} アドレス, \overline{xBE} 遅延時間	<70>	t_{DRDA}	$(1 + i) T - 8$		ns
\overline{RD} ASTB 遅延時間	<71>	t_{DRRST}	$0.5T - 8$		ns
\overline{RD} ASTB 遅延時間	<72>	t_{DRDST}	$(1.5 + i) T - 8$		ns
\overline{RD} ロウ・レベル幅	<73>	t_{WRD}	$(1 + W + W_D) T - 4$		ns
ASTBハイ・レベル幅	<74>	t_{WSTH}	$(1 + i + W_{AS}) T - 4$		ns
\overline{WAIT} 設定時間 (対アドレス)	<75>	t_{SAWT1}	注	$(1.5 + W + W_D + W_{AS} + W_{AH}) T - 25$	ns
\overline{WAIT} 設定時間 (対ASTB)	<76>	t_{SSTWT1}	注	$(W + W_D + W_{AH}) T - 25$	ns

注 $W, W_D = 1$

備考1. $T = t_{CYK1}$

2. w : \overline{WAIT} によるウェイト数
3. w_D : $DWC0, DWC1$ レジスタによるウェイト数
プログラマブル・ウェイト挿入時は, サンプリング・タイミングが変わります。
4. データ入力保持時間 t_{HRDID}, t_{HKID} は, 少なくともどちらか1つを守ってください。
5. $n = 0-7$
 $x = U, L$
6. i : アイドル・ステート数
7. W_{AS} : ASC レジスタによるアドレス・セットアップ・ウェイト数
8. W_{AH} : AHC レジスタによるアドレス・ホールド・ウェイト数

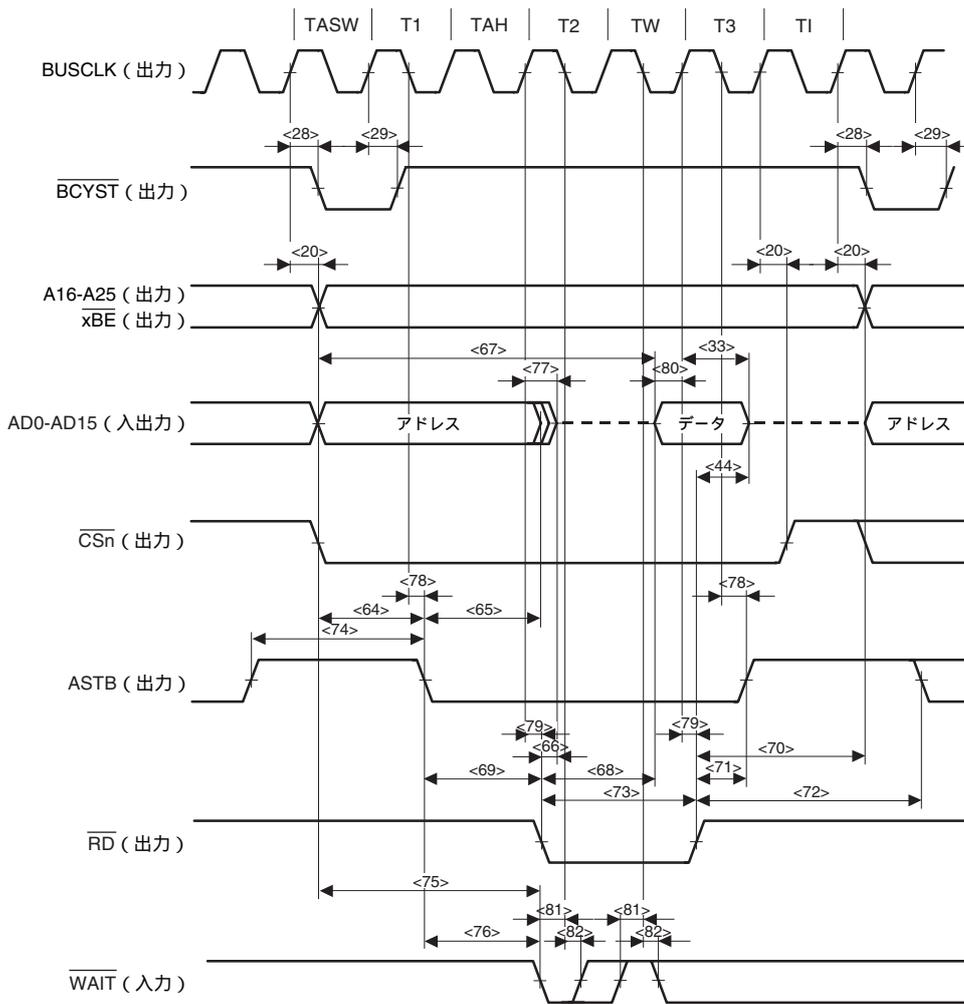
(a) リード・タイミング (BUSCLK同期) (SRAM, 外部ROM) (2/3)

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{BCYST}}$ 遅延時間 (対BUSCLK)	<28>	t _{DKBSL}	0	13	ns
$\overline{\text{BCYST}}$ 遅延時間 (対BUSCLK)	<29>	t _{HKBSH}	0	13	ns
アドレス, xBE, CS _n 出力遅延時間 (対BUSCLK)	<20>	t _{DKA}	0	15	ns
アドレス・フロート遅延時間 (対BUSCLK)	<77>	t _{FKA}	0	15	ns
ASTB遅延時間 (対BUSCLK)	<78>	t _{DKST}	0	13	ns
$\overline{\text{RD}}$ 遅延時間 (対BUSCLK)	<79>	t _{DKRD}	0	13	ns
データ入力設定時間 (対BUSCLK)	<80>	t _{SIDK}	12		ns
データ入力保持時間 (対BUSCLK)	<33>	t _{HKID}	0		ns
$\overline{\text{WAIT}}$ 設定時間 (対BUSCLK)	<81>	t _{SWTK}	12		ns
$\overline{\text{WAIT}}$ 保持時間 (対BUSCLK)	<82>	t _{HKWT}	0		ns

備考 n = 0-7

x = U, L

(a) リード・タイミング (BUSCLK非同期 / BUSCLK同期) (SRAM, 外部ROM) (3/3)



備考1. DWC0, DWC1レジスタによるウェイト数が0, BCCレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1, AHCレジスタによるウェイト数が1の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。
3. マルチプレクス・バス・モードは, $\overline{\text{IORD}}$, $\overline{\text{IOWR}}$ をサポートしていません。
4. $n = 0-7$
 $x = U, L$

(b) ライト・タイミング (BUSCLK非同期) (SRAM, 外部ROM) (1/3)

項目	略号	条件	MIN.	MAX.	単位
アドレス, \overline{xBE} , \overline{CSn} 設定時間 (対ASTB)	<64>	tsAST		$(0.5 + w_{AS}) T - 8$	ns
アドレス保持時間 (対ASTB)	<65>	thSTA		$(0.5 + w_{AH}) T - 8$	ns
ASTB \overline{xWR} , \overline{WR} 遅延時間	<83>	tdSTWR		$(0.5 + w_{AH}) T - 8$	ns
\overline{xWR} , \overline{WR} ASTB 遅延時間	<84>	tdWRST		$0.5T - 8$	ns
\overline{xWR} , \overline{WR} レベル幅	<56>	twwRL		$(1 + w + w_D) T - 4$	ns
ASTBハイ・レベル幅	<85>	twSTH		$(1 + i + w_{AS}) T - 8$	ns
\overline{xWR} , \overline{WR} データ出力時間	<86>	tdWRD		4	ns
データ出力設定時間 (対 \overline{xWR} , \overline{WR})	<87>	tsODWR		$(1 + w + w_D) T - 11$	ns
データ出力保持時間 (対 \overline{xWR} , \overline{WR})	<88>	thWRD		$(1 + i) T - 8$	ns
WAIT設定時間 (対アドレス)	<75>	tsAWT1	注	$(1.5 + w + w_D + w_{AS} + w_{AH}) T - 25$	ns
WAIT設定時間 (対ASTB)	<76>	tsSTWT1	注	$(w + w_D + w_{AH}) T - 25$	ns

注 W, w_D 1

備考1. $T = t_{CYK1}$

2. w : \overline{WAIT} によるウェイト数
3. w_D : DWC0, DWC1レジスタによるウェイト数
プログラマブル・ウェイト挿入時は, サンプルング・タイミングが変わります。
4. データ入力保持時間 t_{HRDID} , t_{HKID} は, 少なくともどちらか1つを守ってください。
5. $n = 0-7$
 $x = U, L$
6. i : アイドル・ステート数
7. w_{AS} : ASCレジスタによるアドレス・セットアップ・ウェイト数
8. w_{AH} : AHCレジスタによるアドレス・ホールド・ウェイト数

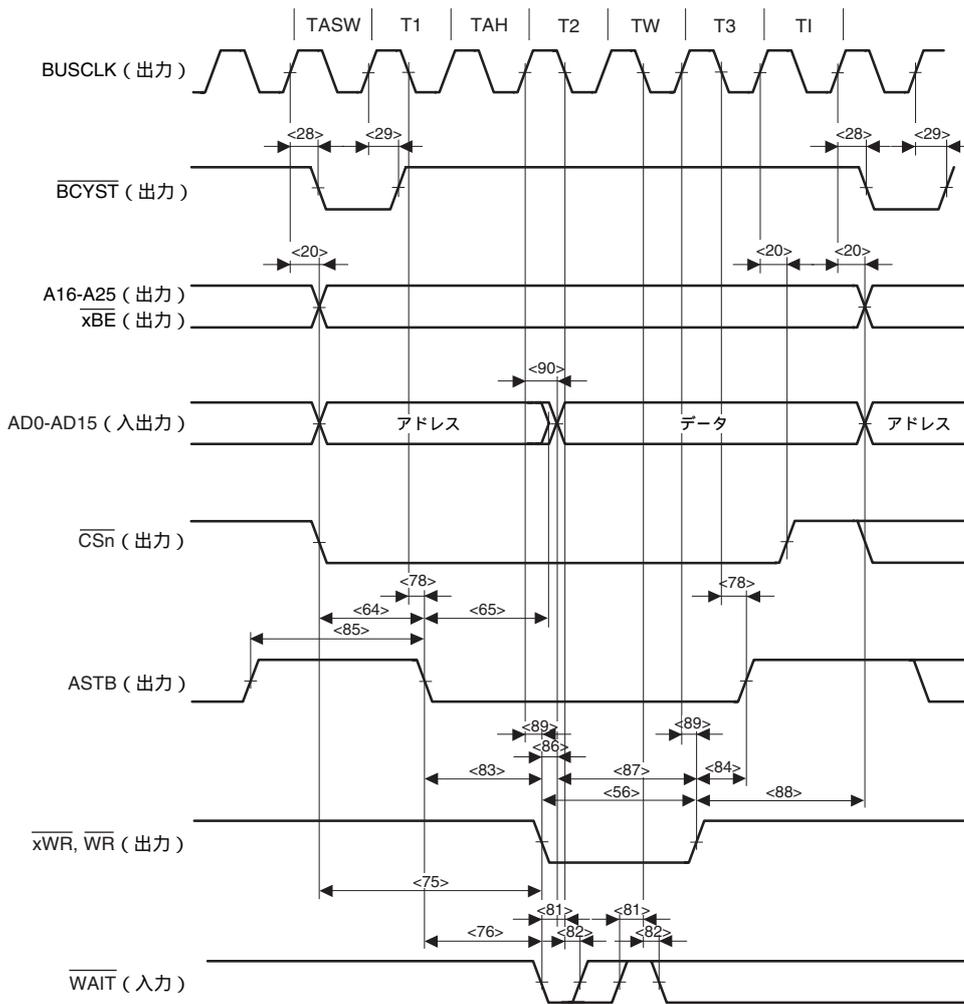
(b) ライト・タイミング (BUSCLK同期) (SRAM, 外部ROM) (2/3)

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{BCYST}}$ 遅延時間 (対BUSCLK)	<28>	t _{DKBSL}	0	13	ns
$\overline{\text{BCYST}}$ 遅延時間 (対BUSCLK)	<29>	t _{HKBSH}	0	13	ns
アドレス, xBE, CSn出力遅延時間 (対BUSCLK)	<20>	t _{DKA}	0	15	ns
ASTB遅延時間 (対BUSCLK)	<78>	t _{DKST}	0	13	ns
$\overline{\text{xWR}}$, $\overline{\text{WR}}$ 遅延時間 (対BUSCLK)	<89>	t _{DKWR}	0	13	ns
データ出力遅延時間 (対BUSCLK)	<90>	t _{DKOD}	0	13	ns
WAIT設定時間 (対BUSCLK)	<81>	t _{SWTK}	12		ns
WAIT保持時間 (対BUSCLK)	<82>	t _{HKWT}	0		ns

備考 n = 0-7

x = U, L

(b) ライト・タイミング (BUSCLK非同期 / BUSCLK同期) (SRAM, 外部ROM) (3/3)



- 備考1.** DWC0, DWC1レジスタによるウェイト数が0, BCCレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1, AHCレジスタによるウェイト数が1の場合のタイミングです。
- マルチプレクス・バス・モードは, $\overline{\text{IORD}}$, $\overline{\text{IOWR}}$ をサポートしていません。
 - $n = 0-7$
 $x = U, L$

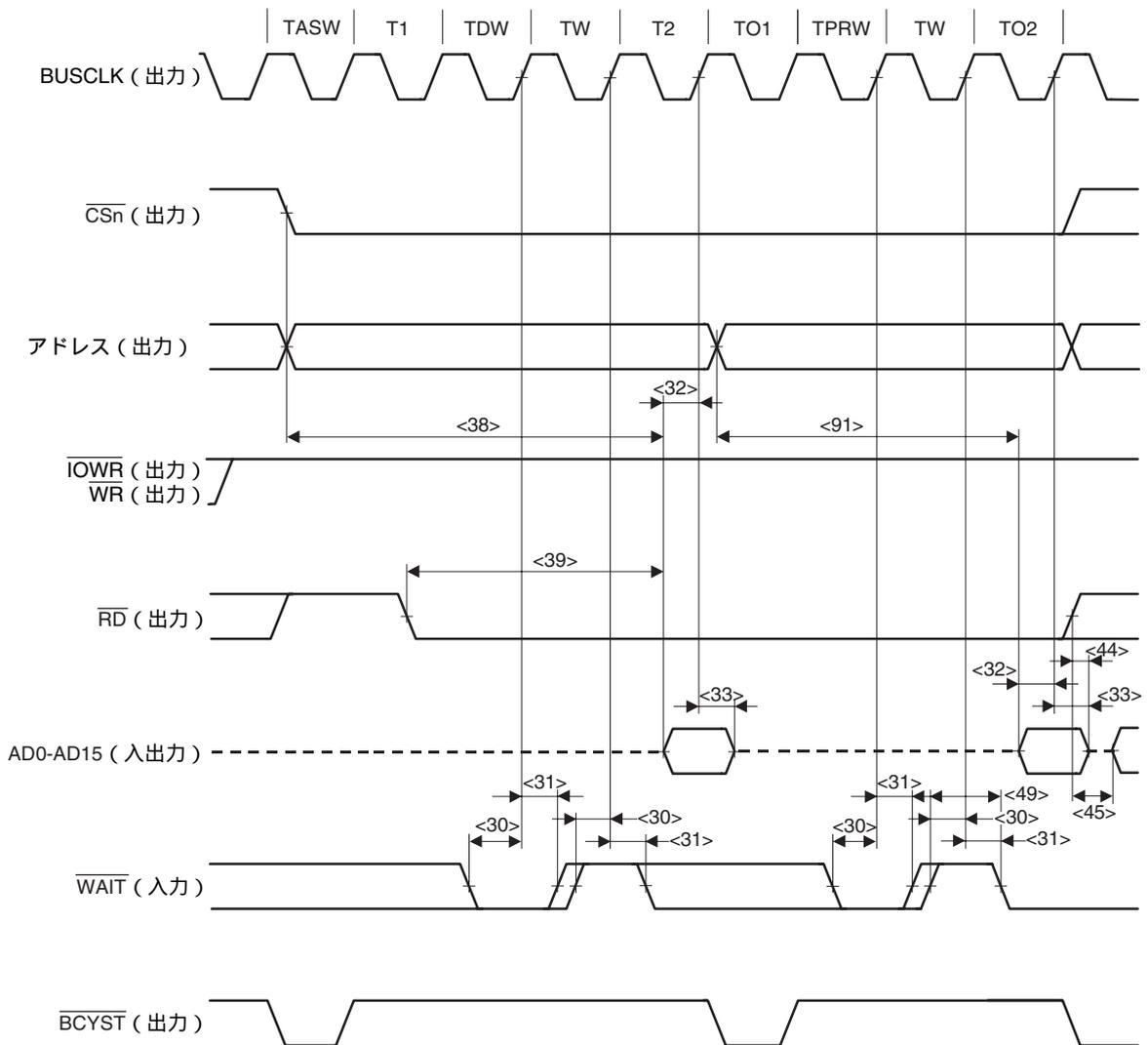
(6) ページROMアクセス・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対BUSCLK)	<30>	t _{SWK}	12		ns
WAIT保持時間 (対BUSCLK)	<31>	t _{HKW}	0		ns
データ入力設定時間 (対BUSCLK)	<32>	t _{SKID}	13		ns
データ入力保持時間 (対BUSCLK)	<33>	t _{HKID}	0		ns
オフページ・データ入力設定時間 (対アドレス, \overline{CSn})	<38>	t _{SAID}		$(2 + w + w_D + w_{AS}) T - 25$	ns
オフページ・データ入力設定時間 (対RD)	<39>	t _{SRDID}		$(1.5 + w + w_D) T - 25$	ns
データ入力保持時間 (対RD)	<44>	t _{HRDID}	0		ns
RD データ出力遅延時間	<45>	t _{DRDOD}	$(1 + i) T - 16$		ns
WAITハイ・レベル幅	<49>	t _{WWH}	$T - 4$		ns
オンページ・データ入力設定時間 (対アドレス)	<91>	t _{SOAID}		$(2 + w + w_{PR} + w_{AS}) T - 25$	ns

備考1. $T = t_{CYK1}$

2. w : WAITによるウェイト数
3. w_D : DWC0, DWC1レジスタによるウェイト数
4. w_{PR} : PRCレジスタによるウェイト数
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6. w_{AS} : ASCレジスタによるアドレス・セットアップ・ウェイト数
7. データ入力保持時間 t_{HKID} , t_{HRDID} は, 少なくともどちらか1つを守ってください。

(6) ページROMアクセス・タイミング (2/2)



備考1. 次の場合のタイミングです。

DWC0, DWC1レジスタによるウェイト数 (TDW) : 1

PRCレジスタによるウェイト数 (TPRW) : 1

ASCレジスタによるウェイト数 (TASW) : 1

2. 破線はハイ・インピーダンスを示します。

3. $n = 0-7$

(7) SDRAMアクセス・タイミング

(a) リード・タイミング (SDRAMアクセス) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス遅延時間 (対SDCLK)	<92>	t _{DSKA}	2	15	ns
BCYST遅延時間 (対SDCLK)	<93>	t _{DSKBC}	0	15	ns
C _{Sn} 遅延時間 (対SDCLK)	<94>	t _{DSKCS}	1.5	15	ns
SDRAS遅延時間 (対SDCLK)	<95>	t _{DSKRAS}	1	15	ns
SDCAS遅延時間 (対SDCLK)	<96>	t _{DSKCAS}	1	15	ns
xDQM遅延時間 (対SDCLK)	<97>	t _{DSKDQM}	2	15	ns
SDCKE遅延時間 (対SDCLK)	<98>	t _{DSKCKE}	1.5	15	ns
データ入力設定時間 (SDRAMリード時, 対SDCLK)	<99>	t _{SDRMSK}	12		ns
データ入力保持時間 (SDRAMリード時, 対SDCLK)	<100>	t _{HSKDRM}	0		ns
SDCLK データ出力遅延時間	<101>	t _{DSODD}	(1 + i)T - 5		ns

注意 SDRAMに対するリード・サイクルの直後にxWR信号を使用するSRAM (外部I/O) サイクルが発生した場合, SRAM (外部I/O) に対して, 誤書き込みが発生する可能性があります。このような場合には, 5. 4. 2 チップ・セレクト信号ディレイ制御レジスタ (CSDC) を参照してください。
ただし, BUSCLKでxWR信号をサンプリングするような同期設計の場合には, 誤書き込みは発生しません。

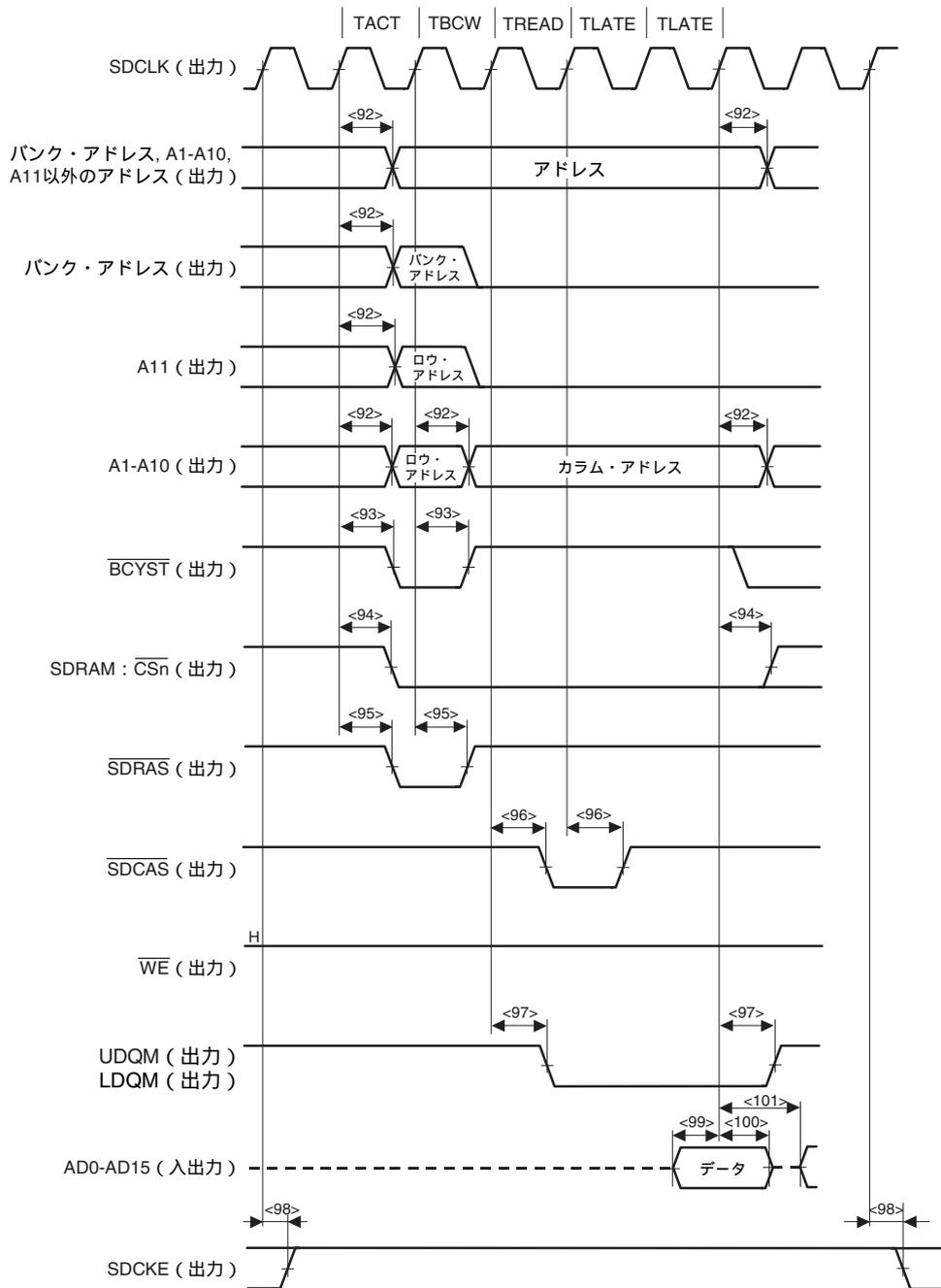
備考1. T = t_{CYK2}

2. i : アイドル・ステート数

3. n = 1, 3, 4, 6

x = U, L

(a) リード・タイミング (SDRAMアクセス) (2/2)



注意 BCYSTが連続して、ロウ・レベルを出力するときには、グリッチが発生する場合があります。

- 備考**
- SCRnレジスタのBCWn1, BCWn0ビットによるウエイト数 (TBCW) : 2
 - 破線はハイ・インピーダンスを示します。
 - n = 1, 3, 4, 6

(b) ライト・タイミング (SDRAMアクセス) (1/2)

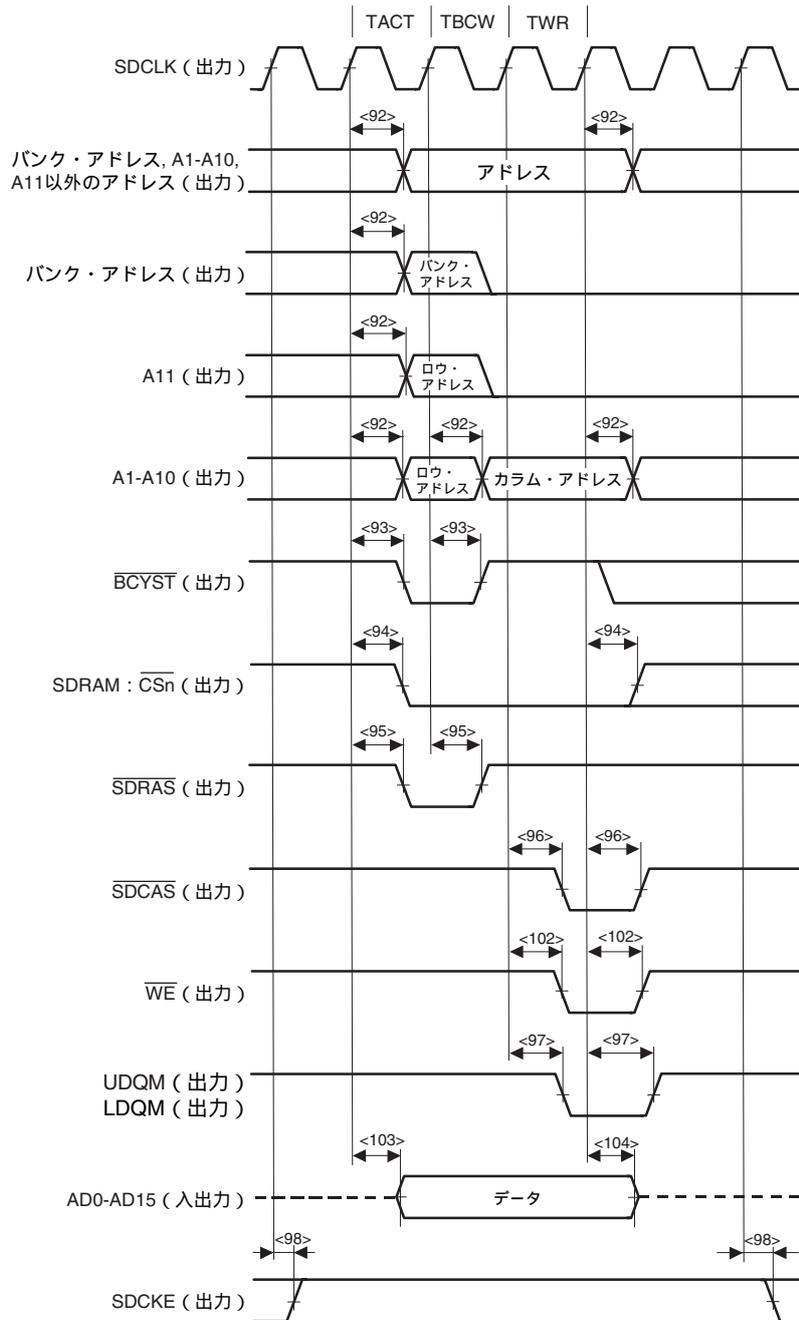
項目	略号	条件	MIN.	MAX.	単位
アドレス遅延時間 (対SDCLK)	<92>	t _{DSKA}	2	15	ns
BCYST遅延時間 (対SDCLK)	<93>	t _{DSKBC}	0	15	ns
C _{Sn} 遅延時間 (対SDCLK)	<94>	t _{DSKCS}	1.5	15	ns
SDRAS遅延時間 (対SDCLK)	<95>	t _{DSKRAS}	1	15	ns
SDCAS遅延時間 (対SDCLK)	<96>	t _{DSKCAS}	1	15	ns
xDQM遅延時間 (対SDCLK)	<97>	t _{DSKDQM}	2	15	ns
SDCKE遅延時間 (対SDCLK)	<98>	t _{DSKCKE}	1.5	15	ns
WE遅延時間 (対SDCLK)	<102>	t _{DSKWE}	2	15	ns
データ出力遅延時間 (対SDCLK)	<103>	t _{DSKDT}	2	15	ns
データ・フロート遅延時間 (対SDCLK)	<104>	t _{HZSKDT}	2	15	ns

注意 SDRAMに対するライト・サイクルの直後に \overline{xWR} 信号または \overline{WR} 信号を使用するSRAM (外部I/O) サイクルが発生した場合, SRAM (外部I/O) に対して, 誤書き込みが発生する可能性があります。このような場合には, 5. 4. 2 チップ・セレクト信号ディレイ制御レジスタ (CSDC) を参照してください。
ただし, BUSCLKで \overline{xWR} 信号または \overline{WR} 信号をサンプリングするような同期設計の場合には, 誤書き込みは発生しません。

備考 n = 1, 3, 4, 6

x = U, L

(b) ライト・タイミング (SDRAMアクセス) (2/2)



注意 BCYSTが連続して、ロウ・レベルを出力するときには、グリッチが発生する場合があります。

備考1. SCRnレジスタのBCWn1, BCWn0ビットによるウエイト数 (TBCW) : 2

2. 破線はハイ・インピーダンスを示します。

3. n = 1, 3, 4, 6

(8) DMACタイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位	
DMARQn設定時間 (対BUSCLK)	<105>	t _{SDRK}	2サイクル転送	12	ns	
DMARQn保持時間1	<106>	t _{HKDR1}	2サイクル転送	DMAAKn まで	ns	
DMARQn保持時間2 (対DMAAKn)	<107>	t _{HKDR2}	NOMASK	3T _{CPU} - 27 ^{注1}	ns	
			MASK	6T _{CPU} - 27 ^{注2}	ns	
		2T _{BUS} + 5T _{CPU} - 27 ^{注1}	MASK	2T _{BUS} + 5T _{CPU} - 27 ^{注1}	ns	
			MASK	2T _{BUS} + 8T _{CPU} - 27 ^{注2}	ns	
DMAAKn 後のDMARQn保持時間3 (対BUSCLK)	<108>	t _{HKDR3}	2サイクル転送, MASK	2T _{BUS} + 2T _{CPU} - 15	ns	
DMAAKn口ウ・レベル幅	<109>	t _{WDAL}	2サイクル転送, NOMASK	2T _{CPU} - 6 ^{注3}	ns	
			2サイクル転送, MASK	5T _{CPU} - 6 ^{注4}	ns	
		2T _{CPU} - 6 ^{注3}	2サイクル転送, NOMASK	2T _{CPU} - 6 ^{注3}	ns	
			2サイクル転送, MASK	5T _{CPU} - 6 ^{注4}	ns	
TCn出力遅延時間 (対BUSCLK)	<110>	t _{DKTC}	2サイクル転送	0	16	ns
TCn出力保持時間 (対BUSCLK)	<111>	t _{HKTC}	2サイクル転送	0	16	ns

注1. シングル転送における2回目のDMA転送要求禁止タイミングです。
 アクセスは次のとおりです (外部メモリ・アクセスのウエイト設定 = 0の場合)。

転送元	転送先
内蔵RAM	外部メモリ

2. シングル転送における2回目のDMA転送要求禁止タイミングです。
 アクセスは注1の表以外のアクセスです。
3. アクセスは次のとおりです。

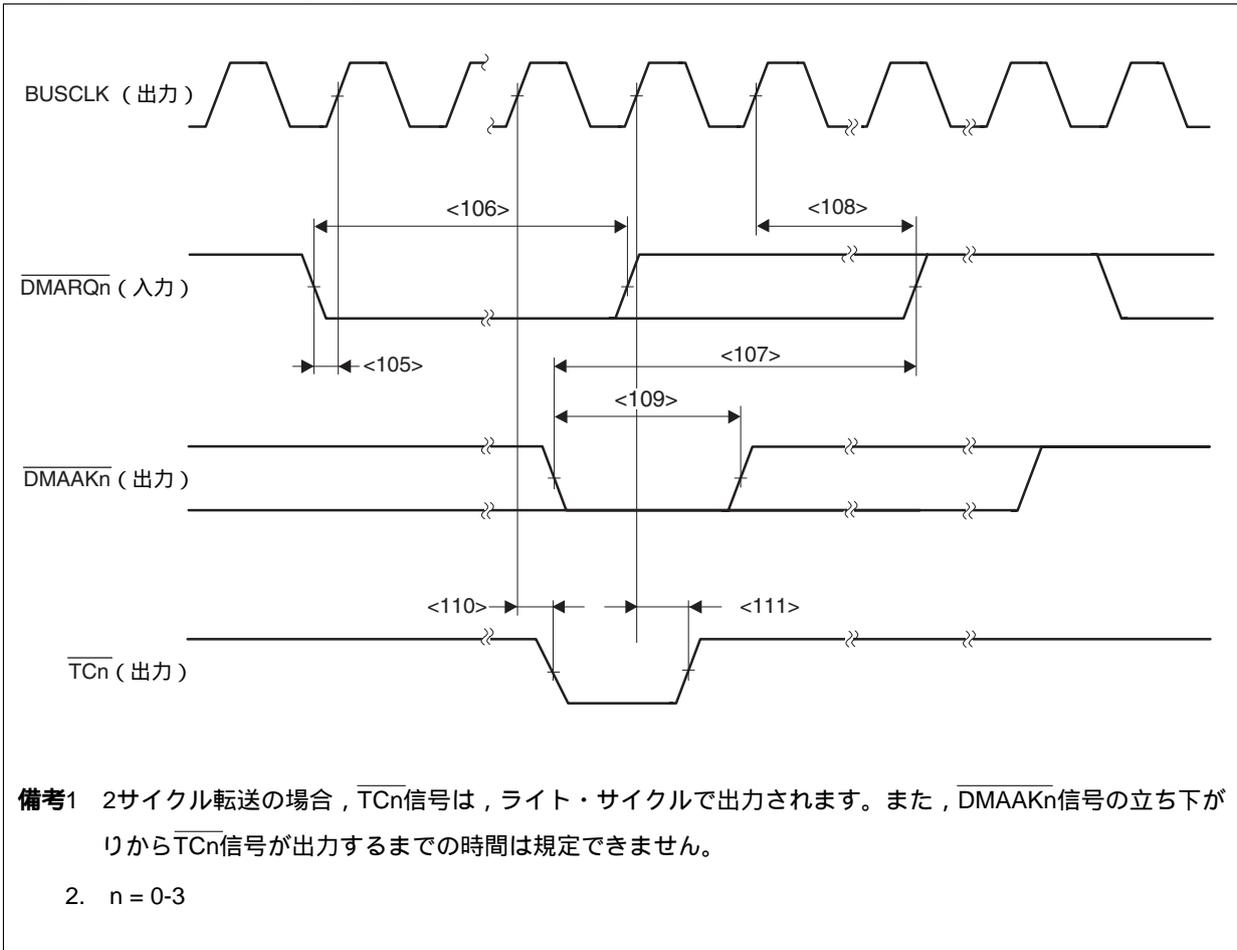
転送元	転送先
内蔵RAM	外部メモリ
外部メモリ	内蔵RAM

4. アクセスは注3の表以外のアクセスです。

備考1. n = 0-3

2. T_{BUS} = 1 × BUSCLK周期
3. T_{CPU} = 1 × 内部システム・クロック周期
4. NOMASK : DMARQnのマスクを非選択 (DIFC.DRMKnビット = 0)
5. MASK : DMARQnのマスクを選択 (DIFC.DRMKnビット = 1)

(8) DMACタイミング (2/2)



備考1 2サイクル転送の場合、TCn信号は、ライト・サイクルで出力されます。また、DMAAKn信号の立ち下がりがりからTCn信号が出力するまでの時間は規定できません。

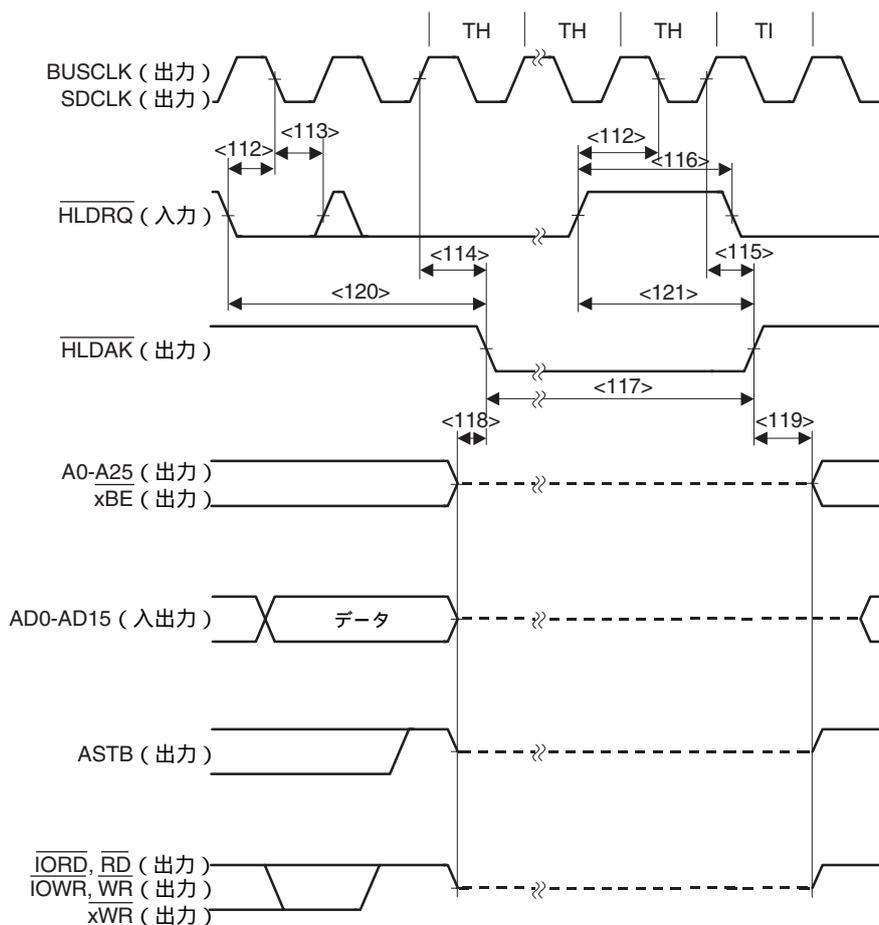
2. n = 0-3

(9) バス・ホールド・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{HLDRQ}}$ 設定時間 (対BUSCLK)	<112>	tSHRK	8		ns
$\overline{\text{HLDRQ}}$ 設定時間 (対SDCLK)			8		ns
$\overline{\text{HLDRQ}}$ 保持時間 (対BUSCLK)	<113>	tHKHR	0		ns
$\overline{\text{HLDRQ}}$ 保持時間 (対SDCLK)			0		ns
$\overline{\text{HLDAK}}$ 遅延時間 (対BUSCLK)	<114>	tDKHAL	0	18	ns
$\overline{\text{HLDAK}}$ 遅延時間 (対SDCLK)			0	18	ns
$\overline{\text{HLDAK}}$ 遅延時間 (対BUSCLK)	<115>	tDKHAH	0	13	ns
$\overline{\text{HLDAK}}$ 遅延時間 (対SDCLK)			0	13	ns
$\overline{\text{HLDRQ}}$ ハイ・レベル幅	<116>	tWHQH	T + 4		ns
$\overline{\text{HLDAK}}$ ロウ・レベル幅	<117>	tWHAL	T - 11		ns
バス・フロート $\overline{\text{HLDAK}}$ 遅延時間	<118>	tDHCF	0		ns
$\overline{\text{HLDAK}}$ バス出力遅延時間	<119>	tDHAC	0	15	ns
$\overline{\text{HLDRQ}}$ $\overline{\text{HLDAK}}$ 遅延時間	<120>	tDHQA1	2T		ns
$\overline{\text{HLDRQ}}$ $\overline{\text{HLDAK}}$ 遅延時間	<121>	tDHQA2	T	2T + 21	ns

備考 T = tCYKn (n = 1, 2)

(9) バス・ホールド・タイミング (2/2)



備考1. 破線はハイ・インピーダンスを示します。

- 2. $n = 0-7$
 $x = U, L$

(10) 割り込みタイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	<122> t_{WNIH}	注1	500		ns
NMIロウ・レベル幅	<123> t_{WNIL}	注1	500		ns
INTPa端子ハイ・レベル幅	<124> t_{WITH0}	注1	500		ns
INTPa端子ロウ・レベル幅	<125> t_{WITL0}	注1	500		ns
INTPPb, INTPQk端子ハイ・レベル幅	<126> t_{WITH1}	注1, 2	$3T_0 + 500$		ns
INTPPb, INTPQk端子ロウ・レベル幅	<127> t_{WITL1}	注1, 2	$3T_0 + 500$		ns
INTP10, INTP11端子ハイ・レベル幅	<128> t_{WITH2}	注2	$3T_1 + 15$		ns
INTP10, INTP11端子ロウ・レベル幅	<129> t_{WITL2}	注2	$3T_1 + 15$		ns

注1. 最低30 nsのノイズを除去します。

- ポート機能の設定で、兼用機能としてタイマP, タイマQ, タイマENC1を選択している場合、デジタル・ノイズ除去を行います。

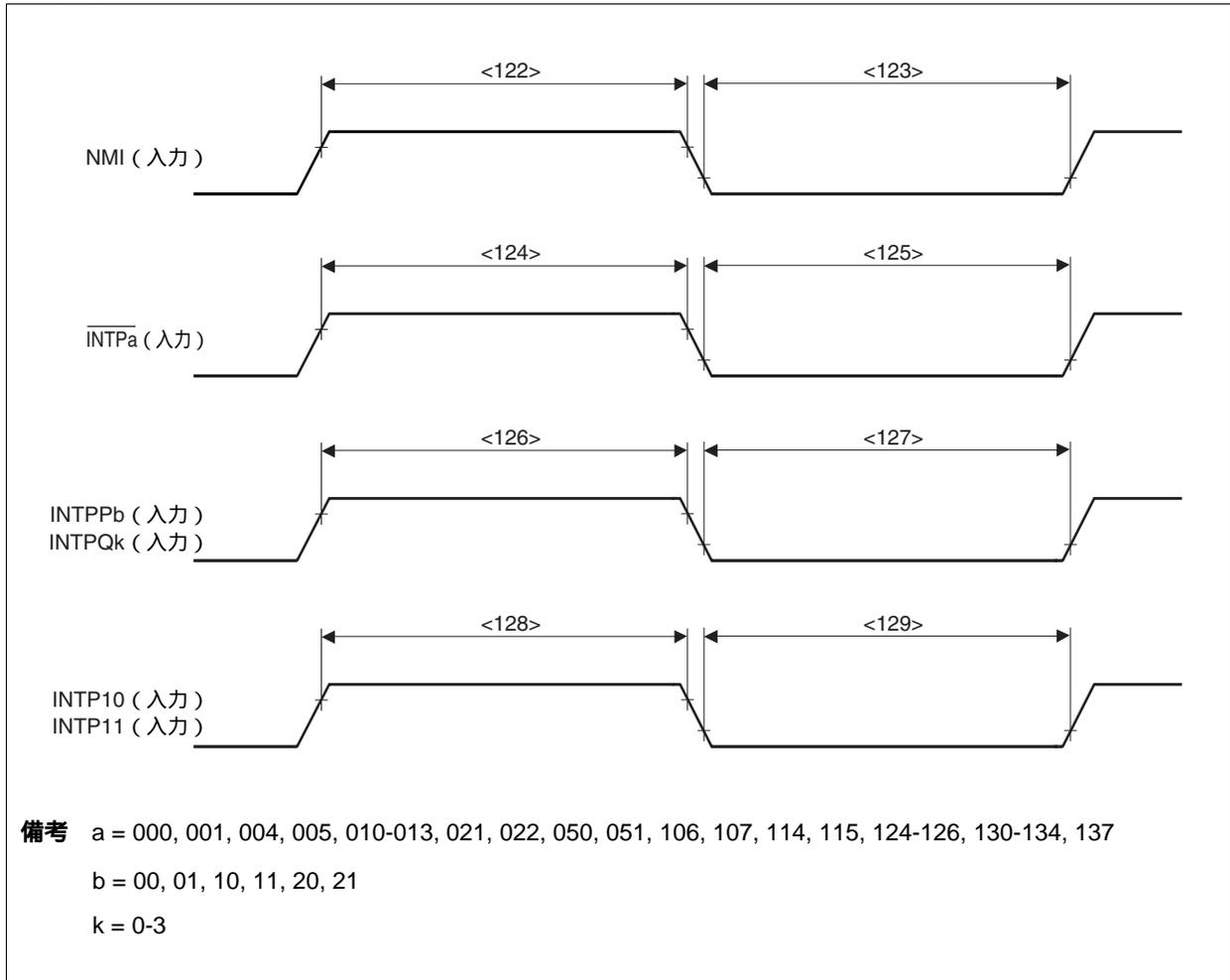
備考1. a = 000, 001, 004, 005, 010-013, 021, 022, 050, 051, 106, 107, 114, 115, 124-126, 130-134, 137

b = 00, 01, 10, 11, 20, 21

k = 0-3

- T_0 : INTPPbの場合, $TPnCTL0.TPnCKS2-TPnCKS0$ の設定値 ($n = 0-2$)
INTPQkの場合, $TQ0CTL0.TQ0CKS2-TQ0CKS0$ の設定値
- T_1 : PRM10.PRM102-PRM100の設定値

(10) 割り込みタイミング (2/2)



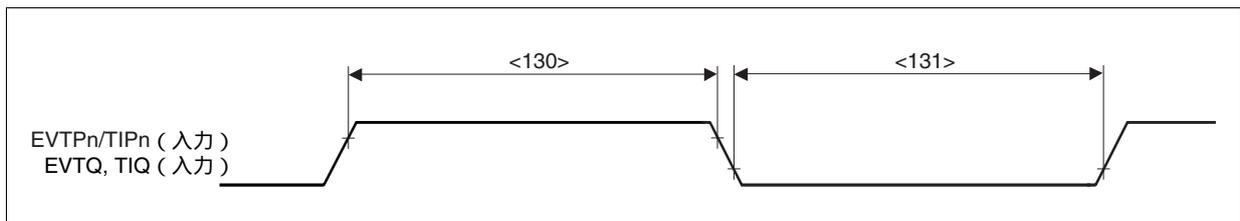
(11) タイマP (TMP), タイマQ (TMQ) タイミング

項目	略号	条件	MIN.	MAX.	単位
EVTPn/TIPn, EVTQ, TIQ ハイ・レベル幅	$\langle 130 \rangle$	t_{WTH}	注	$3T_0 + 500$	ns
EVTPn/TIPn, EVTQ, TIQ ロウ・レベル幅	$\langle 131 \rangle$	t_{WTL}	注	$3T_0 + 500$	ns

注 最低40 nsのノイズを除去します。

備考1. n = 0-2

- To : EVTPn/TIPnの場合, TPnCTL0.TPnCKS2-TPnCKS0の設定値
 EVTQ, TIQ の場合, TQ0CTL0.TQ0CKS2-TQ0CKS0 の設定値



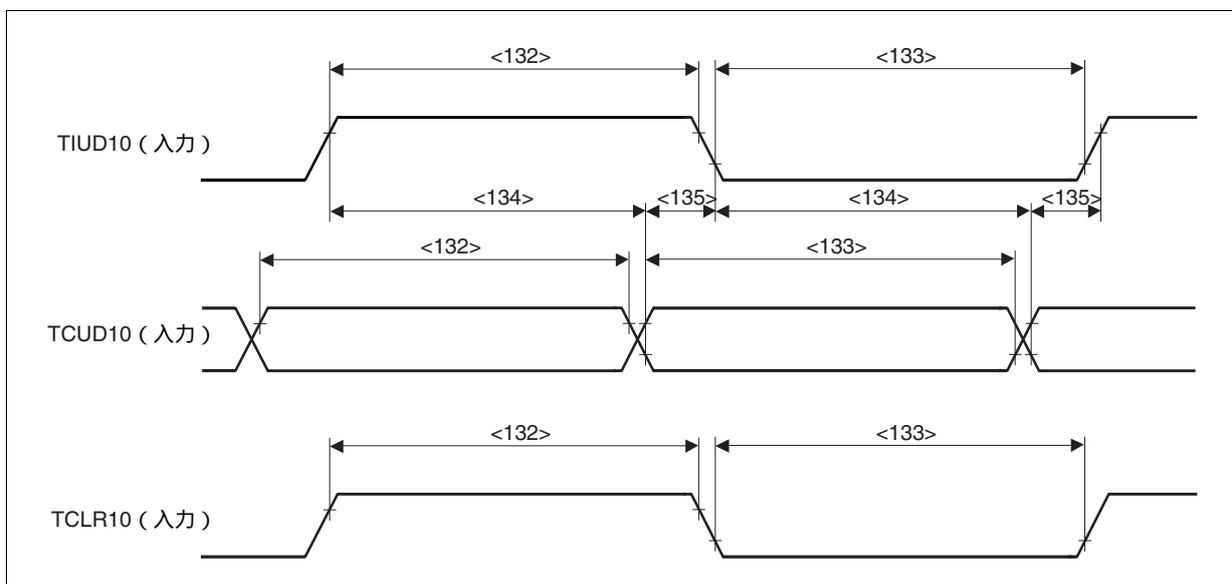
(12) タイマENC1 (TMENC1) タイミング

項目	略号	条件	MIN.	MAX.	単位
TIUD10, TCUD10, TCLR10端子 ハイ・レベル幅	<132>	twUDIH	4T + 10		ns
TIUD10, TCUD10, TCLR10端子 ロウ・レベル幅	<133>	twUDIL	4T + 10		ns
TIUD10 TCUD10時間差	<134>	tPHUD1	4T + 15		ns
TCUD10 TIUD10時間差	<135>	tPHUD2	4T + 15		ns

注 ノイズが入力された場合の影響は含みません。

備考1. $T = 1/f_{xx}$ (f_{xx} : システム・クロック)

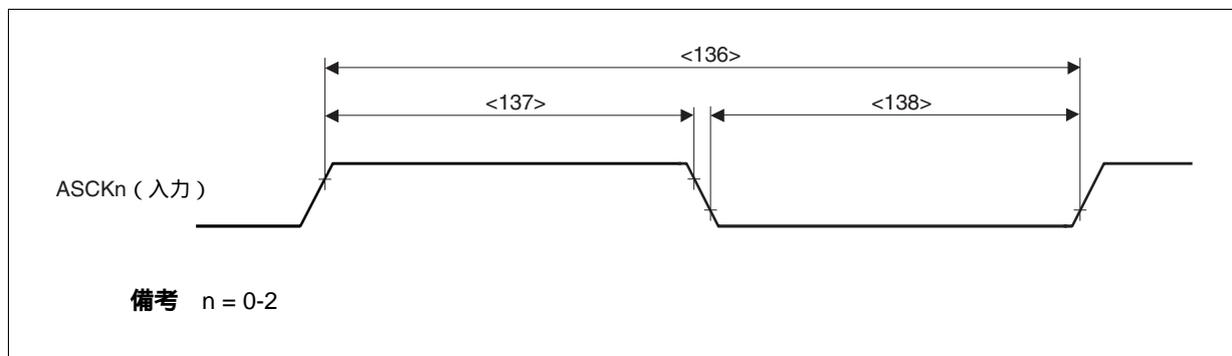
2. TIUD10, TCUD10, TCLR10端子は、デジタル・ノイズ除去回路が有効です。



(13) UARTAタイミング

項目	略号	条件	MIN.	MAX.	単位
ASCKnサイクル時間	<136>	t _{KCY}	25		ns
ASCKnハイ・レベル幅	<137>	t _{KH}	10		ns
ASCKnロウ・レベル幅	<138>	t _{KL}	10		ns

備考 n = 0-2



(14) CSIBタイミング(1/3)

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位
SCKn周期	<139>	tcYSK1	出力	100	ns
SCKnハイ・レベル幅	<140>	tWSK1H	出力	$0.5t_{cYSK1} - 20$	ns
SCKnロウ・レベル幅	<141>	tWSK1L	出力	$0.5t_{cYSK1} - 20$	ns
SIn設定時間(対SCKn)	<142>	tSSISK		30	ns
SIn設定時間(対SCKn)				30	ns
SIn保持時間(対SCKn)	<143>	tHSKSI		0	ns
SIn保持時間(対SCKn)				0	ns
SOn出力遅延時間(対SCKn)	<144>	tDSKSO		20	ns
SOn出力遅延時間(対SCKn)				20	ns
SOn出力保持時間(対SCKn)	<145>	tHSKSO		$0.5t_{cYSK1} - 5$	ns
SOn出力保持時間(対SCKn)				$0.5t_{cYSK1} - 5$	ns

備考 n = 0-2

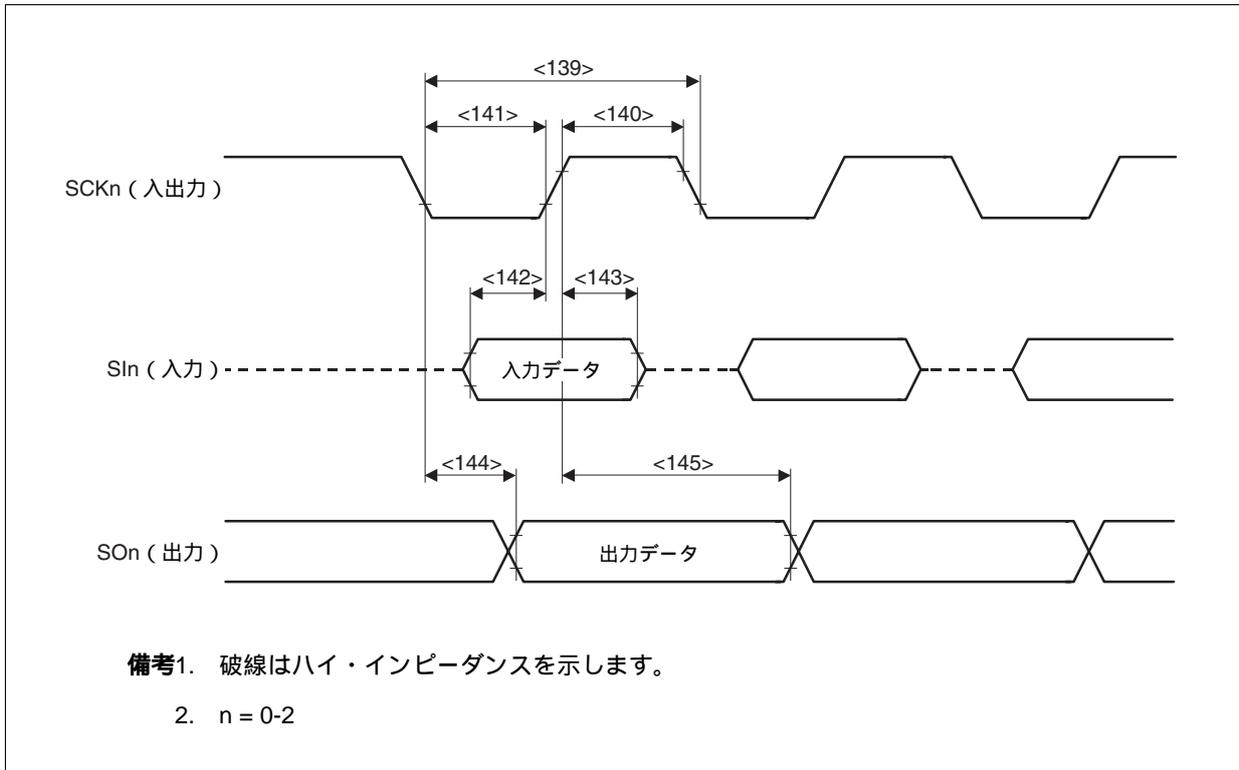
(b) スレーブ・モード

項目	略号	条件	MIN.	MAX.	単位
SCKn周期	<139>	tcYSK1	入力	100	ns
SCKnハイ・レベル幅	<140>	tWSK1H	入力	30	ns
SCKnロウ・レベル幅	<141>	tWSK1L	入力	30	ns
SIn設定時間(対SCKn)	<142>	tSSISK		10	ns
SIn設定時間(対SCKn)				10	ns
SIn保持時間(対SCKn)	<143>	tHSKSI		10	ns
SIn保持時間(対SCKn)				10	ns
SOn出力遅延時間(対SCKn)	<144>	tDSKSO		30	ns
SOn出力遅延時間(対SCKn)				30	ns
SOn出力保持時間(対SCKn)	<145>	tHSKSO		tWSK1H	ns
SOn出力保持時間(対SCKn)				tWSK1H	ns

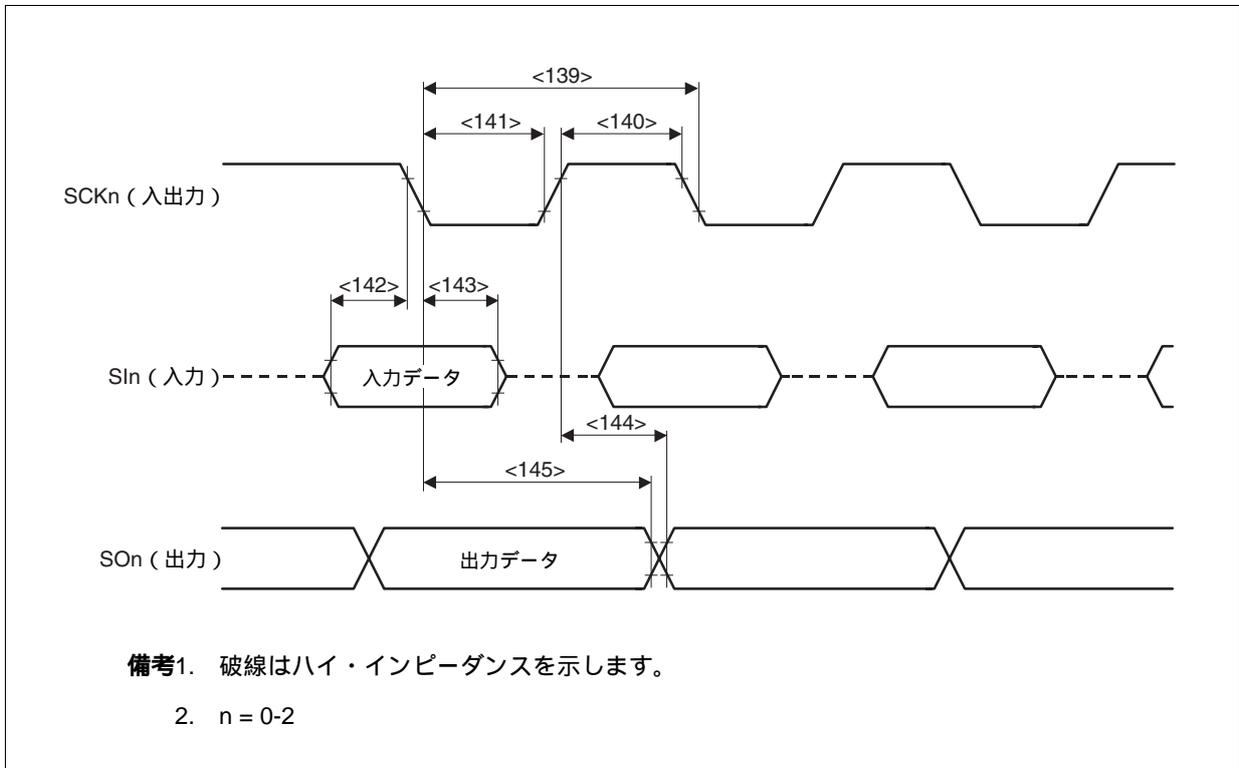
備考 n = 0-2

(14) CSIBタイミング (2/3)

(c) CBnCTL1.CBnCKP, CBnDAPビット = 00時のタイミング

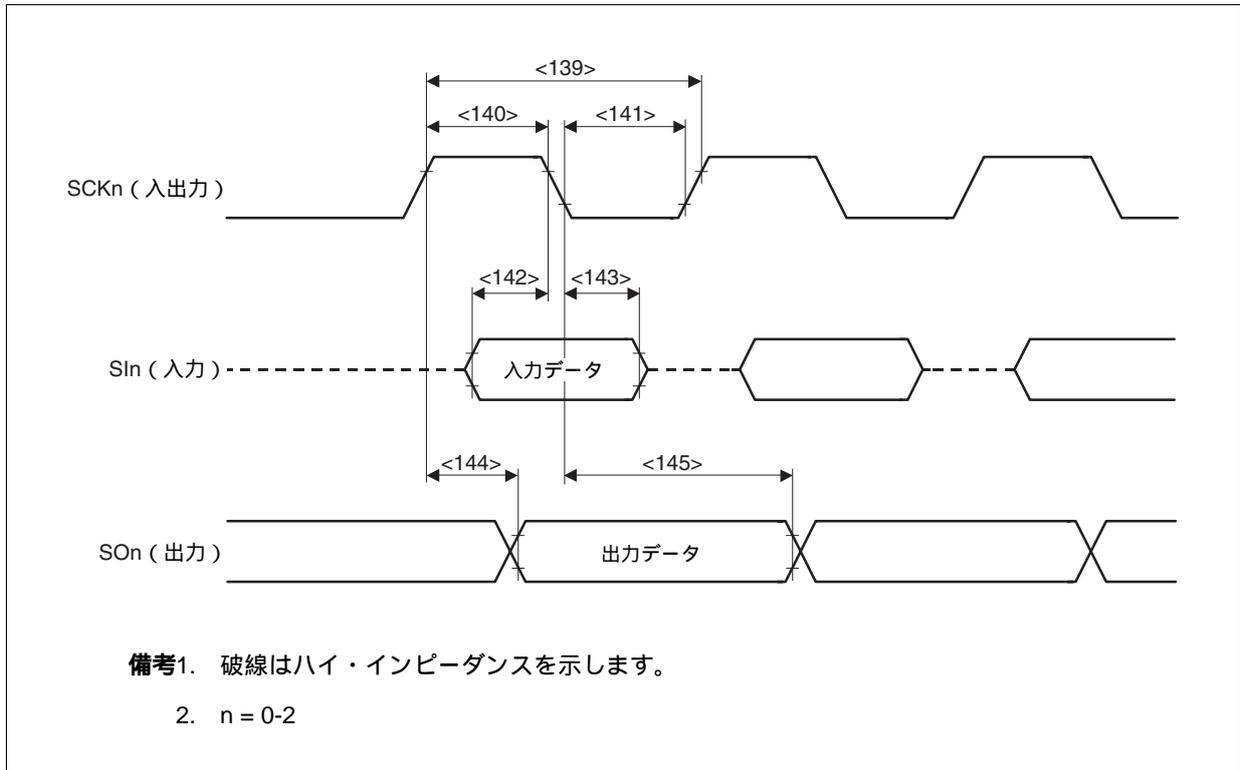


(d) CBnCTL1.CBnCKP, CBnDAPビット = 01時のタイミング

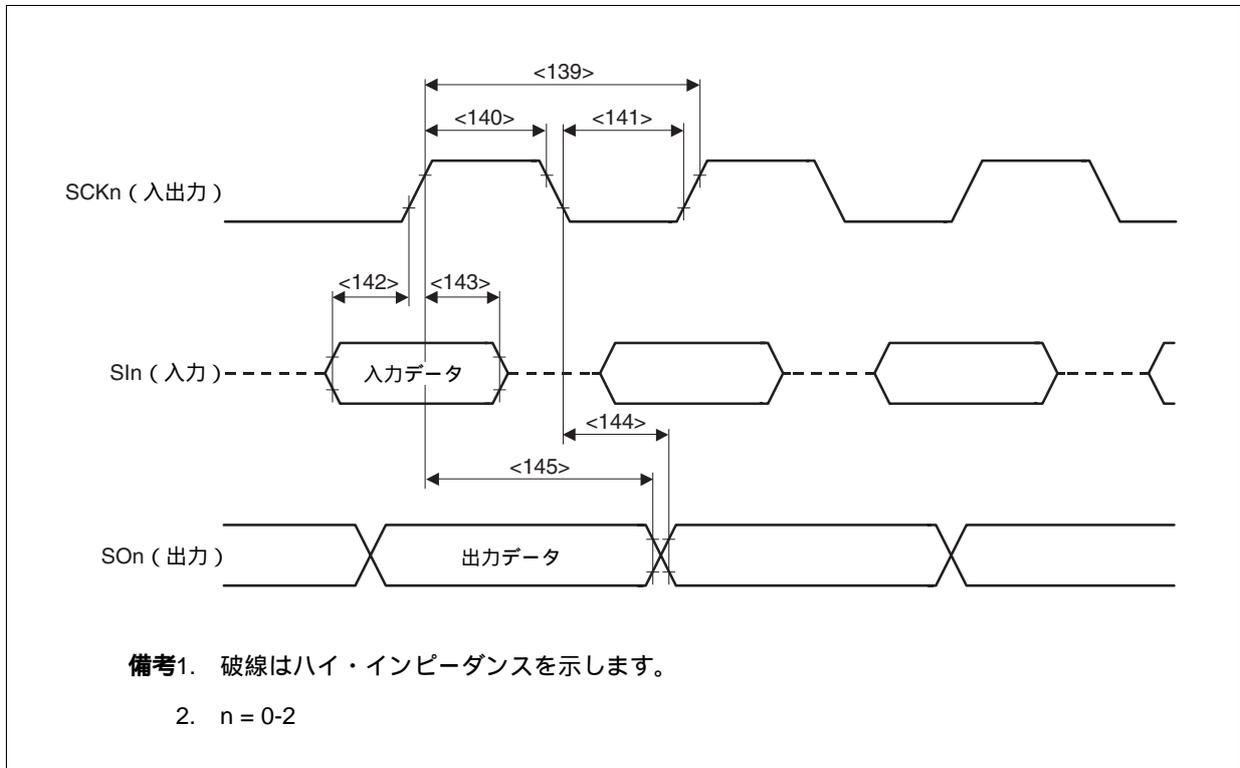


(14) CSIBタイミング (3/3)

(e) CBnCTL1.CBnCKP, CBnDAPビット = 10時のタイミング



(f) CBnCTL1.CBnCKP, CBnDAPビット = 11時のタイミング



(15) I²Cバス・モード (1/2)

項目	略号		標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLクロック周波数	-	f _{CLK}	0	100	0	400	kHz
バス・フリー・タイム (ストップ-スタート・コンディション間)	<146>	t _{BUF}	4.7	-	1.3	-	μs
ホールド時間 ^{注1}	<147>	t _{HD : STA}	4.0	-	0.6	-	μs
SCLクロックのロウ・レベル幅	<148>	t _{LOW}	4.7	-	1.3	-	μs
SCLクロックのハイ・レベル幅	<149>	t _{HIGH}	4.0	-	0.6	-	μs
スタート/リスタート・コンディションのセットアップ時間	<150>	t _{SU : STA}	4.7	-	0.6	-	μs
データ・ホールド 時間	<151>	CBUS互換マスタ	t _{HD : DAT}	-	-	-	μs
I ² Cモード		0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs	
データ・セットアップ時間	<152>	t _{SU : DAT}	250	-	100 ^{注4}	-	ns
SDAおよびSCL信号の立ち上がり時間	<153>	t _r	-	1000	20 + 0.1Cb ^{注5}	300	ns
SDAおよびSCL信号の立ち下がり時間	<154>	t _f	-	300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	<155>	t _{SU : STO}	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクのパルス幅	<156>	t _{SP}	-	-	0	50	ns
各バス・ラインの容量性負荷	-	C _b	-	400	-	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

2. 装置は、SCLの立ち下がり端の未定義領域を埋めるために（SCL信号のV_{IHmin.}での）SDA信号用に最低300 nsのホールド時間を内部的に提供する必要があります。

3. 装置がSCL信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は、最大データ・ホールド時間（t_{HD : DAT}）のみ満たすことが必要です。

4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL信号のロウ状態ホールド時間を延長しない場合

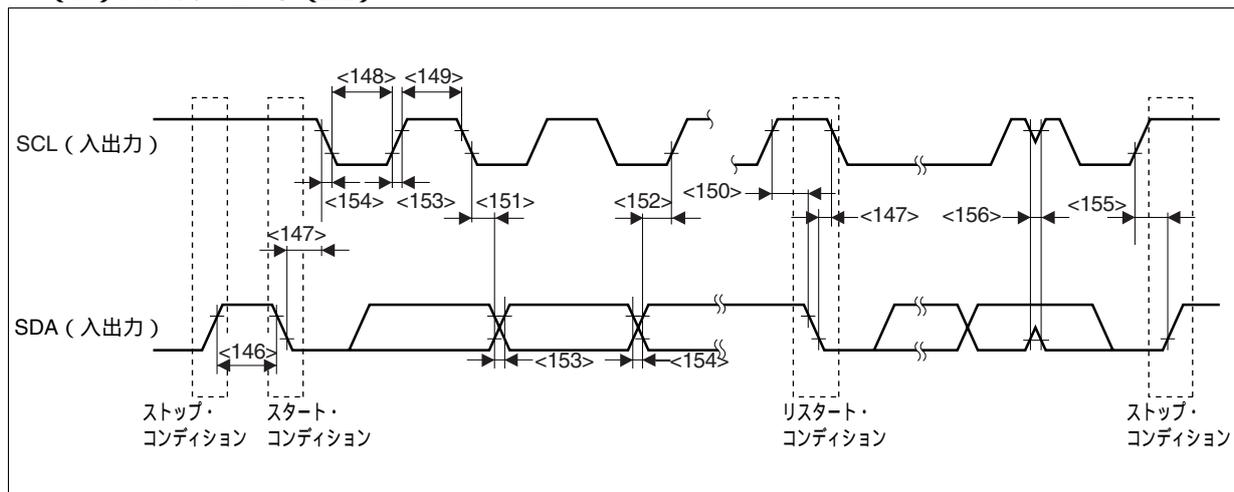
t_{SU : DAT} 250 ns

- ・装置がSCL信号のロウ状態ホールド時間を延長する場合

SCLラインが解放される（t_{rmax.} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様）前に、次のデータ・ビットをSDAラインに送出してください。

5. C_b : 1つのバス・ラインの合計キャパシタンス（単位：pF）

(15) I²Cバス・モード (2/2)



A/Dコンバータ特性 (TA = -40 ~ +85 , VDD = 2.5 V ± 0.2 V,
 EVDD = CVDD = AVDD0 = AVDD1 = 3.3 V ± 0.3 V,
 VSS = EVSS = CVSS = AVSS0 = AVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	-		10	10	10	bit
総合誤差 ^{注1}	-				± 0.8	%FSR
量子化誤差	-				± 1/2	LSB
変換時間 ^{注2}	tCONV		2.25		5.00	μs
サンプリング時間	tsAMP		変換クロック ^{注4} × 4/26			クロック
積分直線性誤差 ^{注1}	-				± 0.5	%FSR
微分直線性誤差 ^{注1}	-				± 0.5	%FSR
ゼロスケール誤差 ^{注3}	-				± 5	LSB
フルスケール誤差 ^{注3}	-				± 5	LSB
アナログ入力電圧	VWASN		AVSS0		AVDD0	V
AVDD0電源電流	AlDD0				12	mA

- 注1. 量子化誤差 (± 0.05 %FSR) は含みません。
2. アナログ部のみの変換時間です。ADM1.FR2-FR0ビットで設定する変換動作時間は、A/Dコントローラ部への転送時間を加えた値です。
3. 量子化誤差 (± 0.5 LSB) は含みません。
4. 変換クロックは、ADM1レジスタで設定したクロック数です。

備考 LSB : Least Significant Bit

FSR : Full Scale Range

%FSRはフルスケール値に対する比率です。

D/Aコンバータ特性 (TA = -40 ~ +85 , VDD = 2.5 V ± 0.2 V,
 EVDD = CVDD = AVDD0 = AVDD1 = 3.3 V ± 0.3 V,
 VSS = EVSS = CVSS = AVSS0 = AVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	-		8	8	8	bit
総合誤差 ^{注1}	-	負荷条件 : 2 MΩ, 20 pF AVDD1 = EVDD			± 1.18	%FSR
セトリング・タイム	-				3	μs
出力抵抗	-			3.5		kΩ
AVDD1電源電流 ^{注2}	AlDD1				5	mA

- 注1. 量子化誤差 (± 0.2 %FSR) は含みません。
2. 変換値55H, ABHのときの電流値です。

26.2 電源投入 / 電源遮断シーケンス

電源投入 / 電源遮断シーケンスにおいて、外部用電源 (EV_{DD}, CV_{DD}, AV_{DD0}, AV_{DD1}) に電圧が加わった状態で、内部用電源 (V_{DD}) が動作保証範囲 (2.3 ~ 2.7 V) 以外ときには、次のような現象が発生する場合があります。

【発生現象】

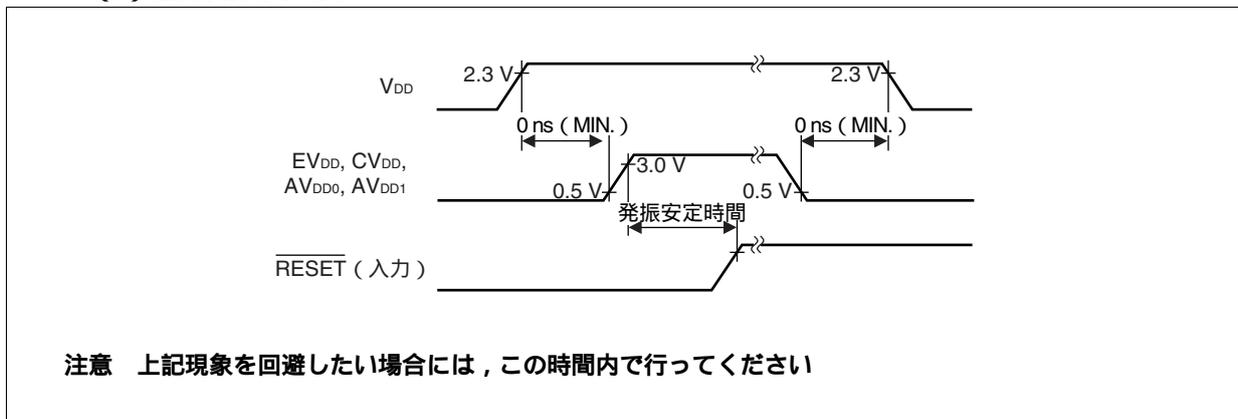
- ・ EV_{DD} 端子に 130 mA (TYP.) 程度の電流が流れる場合がある
- ・ 次に示す端子から不定レベルを出力する場合がある
 - TDO/TC3/P27 端子
 - ANO0/P80 端子
 - ANO1/P81 端子

したがって、電源投入 / 電源遮断シーケンスは次の手順を推奨します。この推奨手順で電源投入 / 電源遮断を行うことで、上記の現象を回避できます。

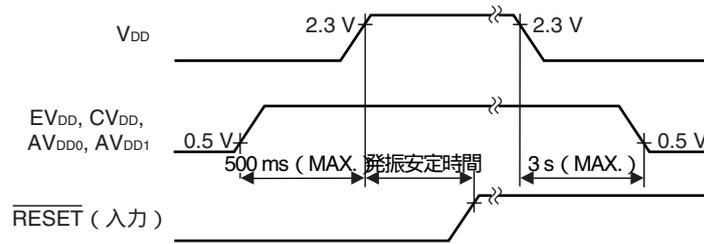
【推奨手順】

- ・ 電源投入時
 - V_{DD} 端子の電圧が動作保証範囲内 (2.3 ~ 2.7 V) に達するまで、EV_{DD}, CV_{DD}, AV_{DD0}, AV_{DD1} 端子の電圧は 0.5 V 以下にしてください。
- ・ 電源遮断時
 - EV_{DD}, CV_{DD}, AV_{DD0}, AV_{DD1} 端子の電圧が 0.5 V 以下になるまで、V_{DD} 端子の電圧を動作保証範囲内 (2.3 ~ 2.7 V) にしてください。

(a) 推奨手順時の時間



(b) 外部電源を先に投入, またはあとで遮断するときの時間



注意 (a) 推奨手順時の時間が守れない場合は前ページの現象が発生することがありますが, 前ページの現象がアプリケーションに影響しない場合でもこの時間を守ってください。

26.3 フラッシュ・メモリ・プログラミング・モード (μ PD70F3134BYのみ)

基本特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.5 \text{ V} \pm 0.2 \text{ V}$,
 $EV_{DD} = CV_{DD} = AV_{DD0} = AV_{DD1} = 3.3 \text{ V} \pm 0.3 \text{ V}$,
 $V_{SS} = EV_{SS} = CV_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{CPU1}	セルフ・プログラミング時	10		80	MHz
	f _{CPU2}	PG-FP5, PG-FP4 使用時	40		80 ^{注1}	MHz
電源電圧	V _{DD}		2.3		2.7	V
書き換え回数	C _{WRT}	消去1回 + 消去後の 書き込み1回 = 書き 換え1回とする, 注2	100	100	100	回
プログラミング温度	T _{PRG}		- 20		70	

注1. PG-FP5, PG-FP4から電源を供給する場合は, 40 MHzになります。

2. 出荷品に対する初回書き込み時, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え1回となります。

例 (P: 書き込み E: 消去)

出荷品 - - - - - P E P E P : 書き換え回数 3 回

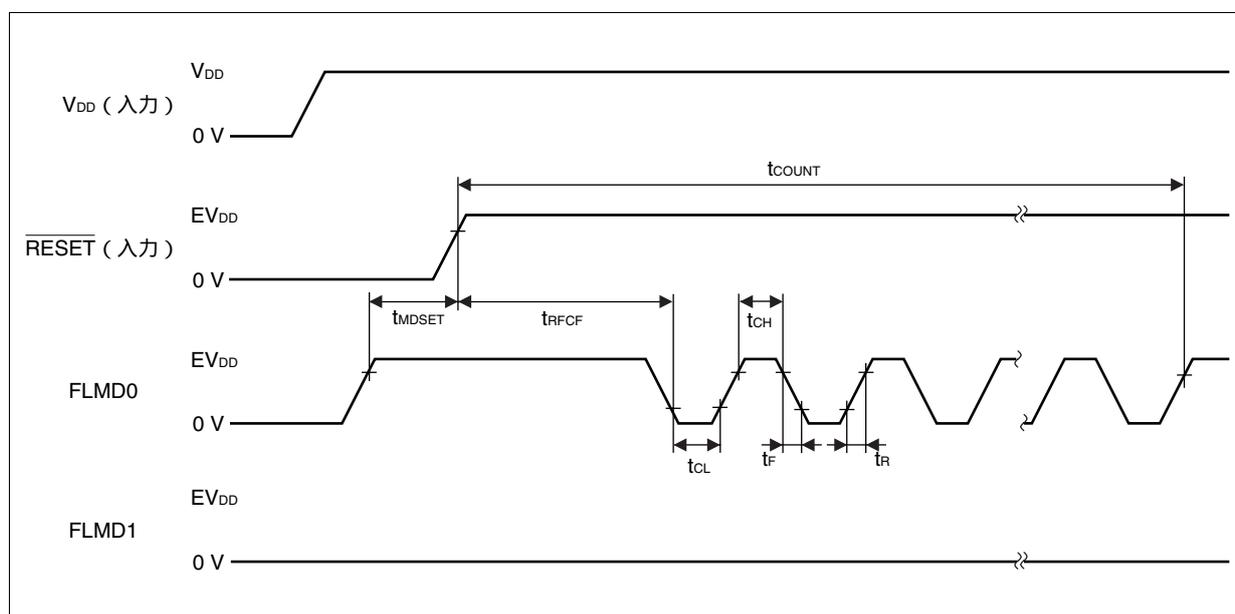
出荷品 E P E P E P : 書き換え回数 3 回

備考1. PG-FP5, PG-FP4使用時は, パラメータ・ファイルのダウンロードによって書き込み / 消去に必要な時間パラメータが自動設定されます。特に指示のない場合は設定値を変更しないでください。

2. ブロック0 = 00000H-0FFFFH, ブロック1 = 10000H-7FFFFH

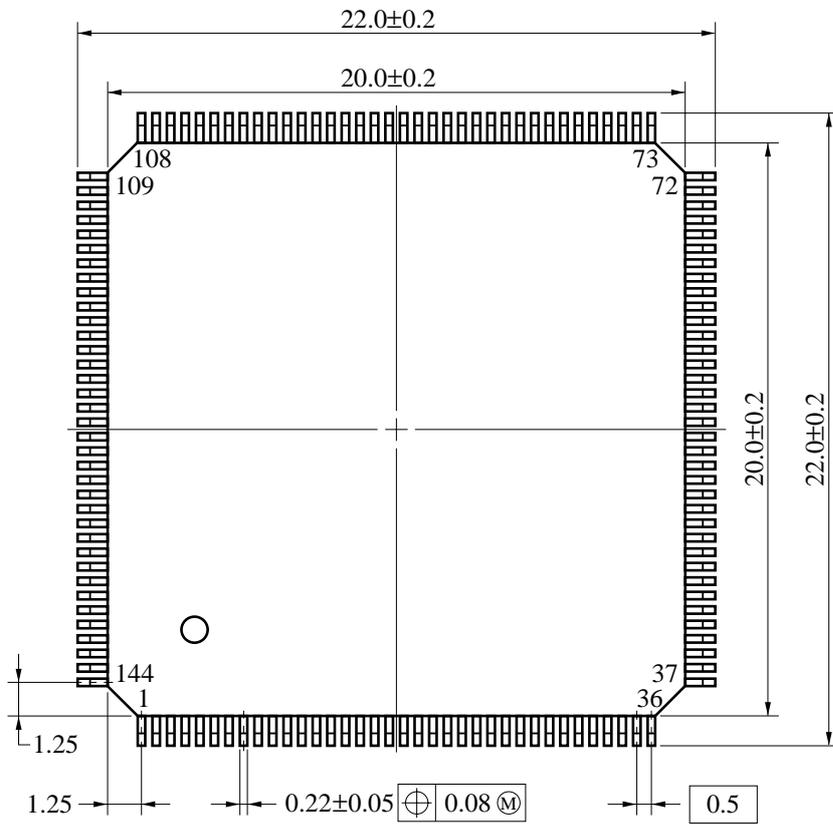
シリアル書き込みオペレーション特性 ($T_A = -20 \sim +70$, $V_{DD} = 2.5 \text{ V} \pm 0.2 \text{ V}$,
 $EV_{DD} = CV_{DD} = AV_{DD0} = AV_{DD1} = 3.3 \text{ V} \pm 0.3 \text{ V}$,
 $V_{SS} = EV_{SS} = CV_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, FLMD1設定時間	tMSET		2			μs
RESET FLMD0カウンタ開始時間	tRFCF		8.5			ms
カウンタ実行時間	tCOUNT				120	ms
FLMD0カウンタ・ハイ・レベル幅	tCH			50		μs
FLMD0カウンタ・ロウ・レベル幅	tCL			50		μs
FLMD0カウンタ立ち上がり時間	tR				50	ns
FLMD0カウンタ立ち下がり時間	tF				50	ns

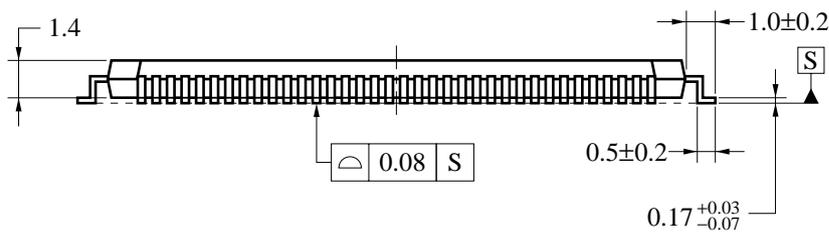
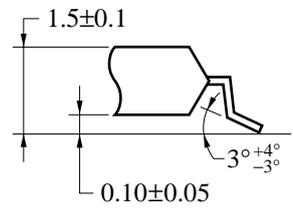


第27章 外形図

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位: mm)

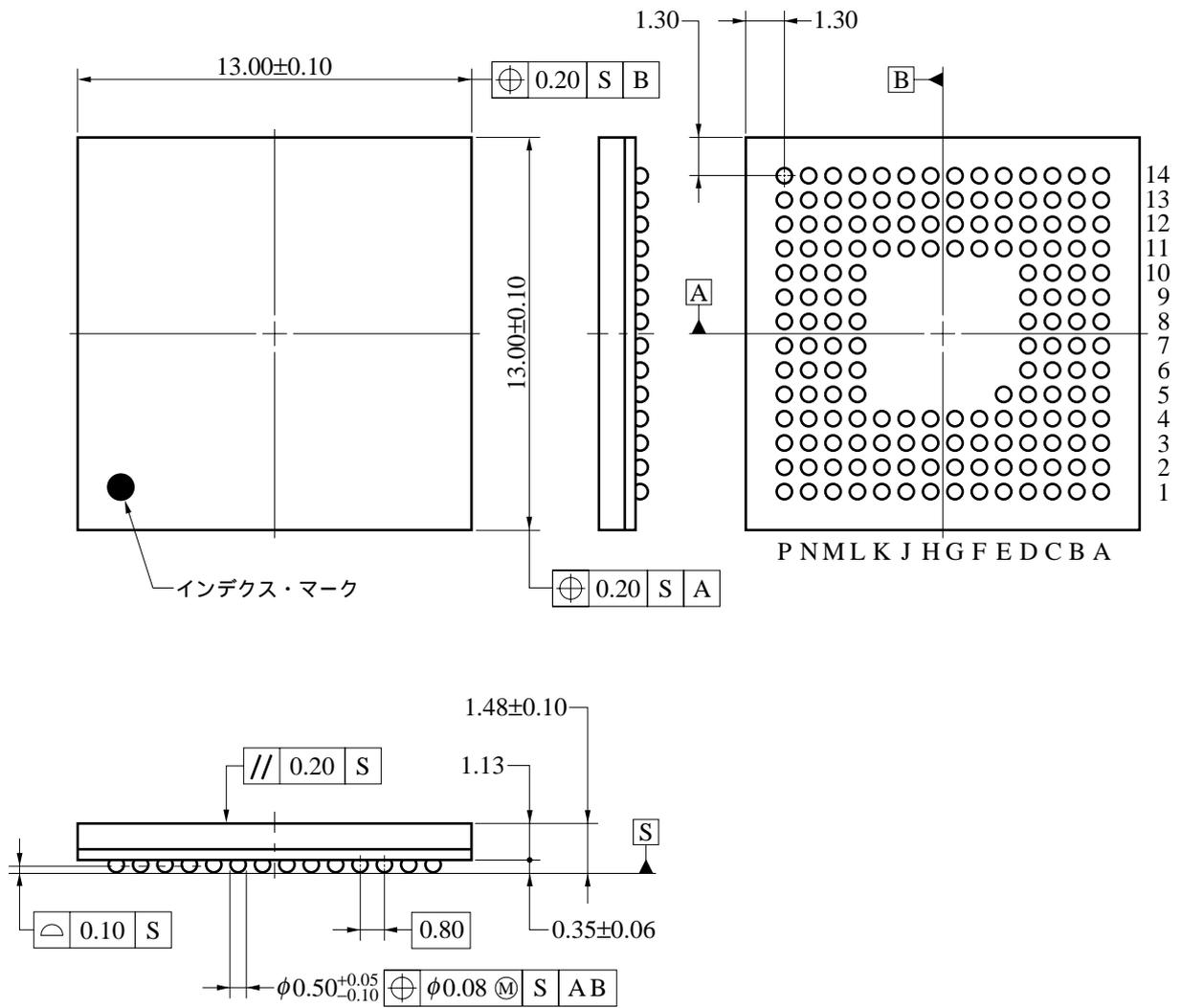


端子先端形状詳細図



S144GJ-50-UEN

161ピン・プラスチック FBGA (13x13) 外形図 (単位: mm)



P161F1-80-EN4-1

第28章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表28 - 1 表面実装タイプの半田付け条件 (1/2)

μ PD703131BYGJ-xxx-UEN-A	144ピン・プラスチックLQFP (ファインピッチ) (20 × 20)
μ PD703132BYGJ-xxx-UEN-A	"
μ PD703133BYGJ-xxx-UEN-A	"
μ PD703134BYGJ-xxx-UEN-A	"
μ PD70F3134BYGJ-UEN-A	"
μ PD703136BYGJ-xxx-UEN-A	"

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内 (220 以上)，回数：3回以内 制限日数：3日間 ^注 (以降は125 プリベーク36～72時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。	IR60-363-3
ウェーブ・ソルダリン グ	詳細については，当社販売員にお問い合わせください。	—
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表28 - 1 表面実装タイプの半田付け条件 (2/2)

μ PD703131BYF1-xxx-EN4-A	161ピン・プラスチックFBGA (13×13)
μ PD703132BYF1-xxx-EN4-A	〃
μ PD703133BYF1-xxx-EN4-A	〃
μ PD703134BYF1-xxx-EN4-A	〃
μ PD70F3134BYF1-EN4-A	〃
μ PD703136BYF1-xxx-EN4-A	〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：3日間 ^注 （以降は125 プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-203-3
ウェーブ・ソルダーリン グ	詳細については，当社販売員にお問い合わせください。	—
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A レジスタ索引

(1/9)

略号	名称	ユニット	ページ
ADCR0	A/D変換結果レジスタ0	ADC	650
ADCR0H	A/D変換結果レジスタ0H	ADC	650
ADCR1	A/D変換結果レジスタ1	ADC	650
ADCR1H	A/D変換結果レジスタ1H	ADC	650
ADCR2	A/D変換結果レジスタ2	ADC	650
ADCR2H	A/D変換結果レジスタ2H	ADC	650
ADCR3	A/D変換結果レジスタ3	ADC	650
ADCR3H	A/D変換結果レジスタ3H	ADC	650
ADCR4	A/D変換結果レジスタ4	ADC	650
ADCR4H	A/D変換結果レジスタ4H	ADC	650
ADCR5	A/D変換結果レジスタ5	ADC	650
ADCR5H	A/D変換結果レジスタ5H	ADC	650
ADCR6	A/D変換結果レジスタ6	ADC	650
ADCR6H	A/D変換結果レジスタ6H	ADC	650
ADCR7	A/D変換結果レジスタ7	ADC	650
ADCR7H	A/D変換結果レジスタ7H	ADC	650
ADIC	割り込み制御レジスタ52	INTC	914
ADM0	A/Dコンバータ・モード・レジスタ0	ADC	645
ADM1	A/Dコンバータ・モード・レジスタ1	ADC	647
ADM2	A/Dコンバータ・モード・レジスタ2	ADC	649
ADTS	A/Dトリガ選択レジスタ	ADC	652
AHC	アドレス・ホールド・ウェイト・コントロール・レジスタ	BCU	235
ASC	アドレス・セットアップ・ウェイト・コントロール・レジスタ	BCU	234
BCC	バス・サイクル・コントロール・レジスタ	BCU	240
BCP	バス・サイクル・ピリオド・コントロール・レジスタ	BCU	236
BCT0	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCU	209
BCT1	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCU	209
BEC	エンディアン・コンフィギュレーション・レジスタ	BCU	215
BMC	バス・モード・コントロール・レジスタ	BCU	231
CB0CTL0	CSIB0制御レジスタ0	CSIB	722
CB0CTL1	CSIB0制御レジスタ1	CSIB	725
CB0CTL2	CSIB0制御レジスタ2	CSIB	726
CB0RX	CSIB0受信データ・レジスタ(16ビット)	CSIB	721
CB0RXL	CSIB0受信データ・レジスタL(8ビット)	CSIB	721
CB0STR	CSIB0状態レジスタ	CSIB	728
CB0TX	CSIB0送信データ・レジスタ(16ビット)	CSIB	721
CB0TXL	CSIB0送信データ・レジスタL(8ビット)	CSIB	721
CB1CTL0	CSIB1制御レジスタ0	CSIB	722
CB1CTL1	CSIB1制御レジスタ1	CSIB	725

略号	名称	ユニット	ページ
CB1CTL2	CSIB1制御レジスタ2	CSIB	726
CB1RX	CSIB1受信データ・レジスタ	CSIB	721
CB1RXL	CSIB1受信データ・レジスタL	CSIB	721
CB1STR	CSIB1状態レジスタ	CSIB	728
CB1TX	CSIB1送信データ・レジスタ	CSIB	721
CB1TXL	CSIB1送信データ・レジスタL	CSIB	721
CB2CTL0	CSIB2制御レジスタ0	CSIB	722
CB2CTL1	CSIB2制御レジスタ1	CSIB	725
CB2CTL2	CSIB2制御レジスタ2	CSIB	726
CB2RX	CSIB2受信データ・レジスタ	CSIB	721
CB2RXL	CSIB2受信データ・レジスタL	CSIB	721
CB2STR	CSIB2状態レジスタ	CSIB	728
CB2TX	CSIB2送信データ・レジスタ	CSIB	721
CB2TXL	CSIB2送信データ・レジスタL	CSIB	721
CC100	キャプチャ/コンペア・レジスタ100	タイマ	558
CC101	キャプチャ/コンペア・レジスタ101	タイマ	559
CCR10	キャプチャ/コンペア・コントロール・レジスタ10	タイマ	552
CKC	クロック・コントロール・レジスタ	CG	322
CM100	コンペア・レジスタ100	タイマ	557
CM101	コンペア・レジスタ101	タイマ	557
CM10IC0	割り込み制御レジスタ30	INTC	914
CM10IC1	割り込み制御レジスタ31	INTC	914
CMD0	コンペア・レジスタD0	タイマ	537
CMD1	コンペア・レジスタD1	タイマ	537
CMD2	コンペア・レジスタD2	タイマ	537
CMD3	コンペア・レジスタD3	タイマ	537
CMICD0	割り込み制御レジスタ26	INTC	914
CMICD1	割り込み制御レジスタ27	INTC	914
CMICD2	割り込み制御レジスタ28	INTC	914
CMICD3	割り込み制御レジスタ29	INTC	914
CORAD0	コレクション・アドレス・レジスタ0	CPU	957
CORAD0H	コレクション・アドレス・レジスタ0H	CPU	957
CORAD0L	コレクション・アドレス・レジスタ0L	CPU	957
CORAD1	コレクション・アドレス・レジスタ1	CPU	957
CORAD1H	コレクション・アドレス・レジスタ1H	CPU	957
CORAD1L	コレクション・アドレス・レジスタ1L	CPU	957
CORAD2	コレクション・アドレス・レジスタ2	CPU	957
CORAD2H	コレクション・アドレス・レジスタ2H	CPU	957
CORAD2L	コレクション・アドレス・レジスタ2L	CPU	957
CORAD3	コレクション・アドレス・レジスタ3	CPU	957
CORAD3H	コレクション・アドレス・レジスタ3H	CPU	957
CORAD3L	コレクション・アドレス・レジスタ3L	CPU	957
CORCN	コレクション・コントロール・レジスタ	CPU	958
CSC0	チップ・エリア選択コントロール・レジスタ0	BCU	205

略号	名称	ユニット	ページ
CSC1	チップ・エリア選択コントロール・レジスタ1	BCU	205
CSDC	チップ・セレクト信号ディレイ制御レジスタ	BCU	211
DA0CS0	D/A変換値設定レジスタ0	DAC	682
DA0CS1	D/A変換値設定レジスタ1	DAC	682
DA0M	D/Aコンバータ・モード・レジスタ	DAC	681
DADC0	DMAアドレッシング・コントロール・レジスタ0	DAC	849
DADC1	DMAアドレッシング・コントロール・レジスタ1	DAC	849
DADC2	DMAアドレッシング・コントロール・レジスタ2	DAC	849
DADC3	DMAアドレッシング・コントロール・レジスタ3	DAC	849
DAKW	DMAAK幅調整レジスタ	DMAC	858
DBC0	DMA転送カウント・レジスタ0	DMAC	848
DBC1	DMA転送カウント・レジスタ1	DMAC	848
DBC2	DMA転送カウント・レジスタ2	DMAC	848
DBC3	DMA転送カウント・レジスタ3	DMAC	848
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	851
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	851
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	851
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	851
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	846
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	847
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	846
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	847
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	846
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	847
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	846
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	847
DIFC	DMAインタフェース・コントロール・レジスタ	DMAC	857
DMAIC0	割り込み制御レジスタ36	INTC	914
DMAIC1	割り込み制御レジスタ37	INTC	914
DMAIC2	割り込み制御レジスタ38	INTC	914
DMAIC3	割り込み制御レジスタ39	INTC	914
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	844
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	845
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	844
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	845
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	844
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	845
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	844
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	845
DTFR0	DMAトリガ要因レジスタ0	DMAC	854
DTFR1	DMAトリガ要因レジスタ1	DMAC	854
DTFR2	DMAトリガ要因レジスタ2	DMAC	854
DTFR3	DMAトリガ要因レジスタ3	DMAC	854
DTOC	DMAターミナル・カウント出力コントロール・レジスタ	DMAC	853

略号	名称	ユニット	ページ
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	232
DWC1	データ・ウェイト・コントロール・レジスタ1	BCU	232
FIC	DMAフライバイ転送アイドル・コントロール・レジスタ	DMAC	242
FWC	DMAフライバイ転送ウェイト・コントロール・レジスタ	DMAC	237
HZA0CTL0	ハイ・インピーダンス出力制御レジスタ00	タイマ	584
HZA0CTL1	ハイ・インピーダンス出力制御レジスタ01	タイマ	584
IIC	IICシフト・レジスタ	I ² C	785
IICC	IICコントロール・レジスタ	I ² C	771
IICCL	IICクロック選択レジスタ	I ² C	781
IICX	IIC機能拡張レジスタ	I ² C	782
IICF	IICフラグ・レジスタ	I ² C	779
IICS	IIC状態レジスタ	I ² C	776
IMR0	割り込みマスク・レジスタ0	INTC	917
IMR0H	割り込みマスク・レジスタ0H	INTC	917
IMR0L	割り込みマスク・レジスタ0L	INTC	917
IMR1	割り込みマスク・レジスタ1	INTC	917
IMR1H	割り込みマスク・レジスタ1H	INTC	917
IMR1L	割り込みマスク・レジスタ1L	INTC	917
IMR2	割り込みマスク・レジスタ2	INTC	917
IMR2H	割り込みマスク・レジスタ2H	INTC	917
IMR2L	割り込みマスク・レジスタ2L	INTC	917
IMR3	割り込みマスク・レジスタ3	INTC	917
IMR3H	割り込みマスク・レジスタ3H	INTC	917
IMR3L	割り込みマスク・レジスタ3L	INTC	917
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	923
INTF1	外部割り込み立ち下がりエッジ指定レジスタ1	INTC	924
INTF2	外部割り込み立ち下がりエッジ指定レジスタ2	INTC	925
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	926
INTF5	外部割り込み立ち下がりエッジ指定レジスタ5	INTC	927
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	923
INTR1	外部割り込み立ち上がりエッジ指定レジスタ1	INTC	924
INTR2	外部割り込み立ち上がりエッジ指定レジスタ2	INTC	925
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	926
INTR5	外部割り込み立ち上がりエッジ指定レジスタ5	INTC	927
ISPR	インサースビス・プライオリティ・レジスタ	INTC	919
LBS	ローカル・バス・サイジング・コントロール・レジスタ	BCU	214
NMIF	NMI立ち下がりエッジ指定レジスタ	INTC	922
NMIR	NMI立ち上がりエッジ指定レジスタ	INTC	922
OSTS	発振安定時間選択レジスタ	CG	325
OVVIC0	割り込み制御レジスタ32	INTC	914
OVVIC1	割り込み制御レジスタ34	INTC	914
OVVIC2	割り込み制御レジスタ35	INTC	914
OVVIC	割り込み制御レジスタ33	INTC	914
P0	ポート0レジスタ	ポート	98

略号	名称	ユニット	ページ
P00IC0	割り込み制御レジスタ1	INTC	914
P00IC1	割り込み制御レジスタ2	INTC	914
P00IC4	割り込み制御レジスタ3	INTC	914
P00IC5	割り込み制御レジスタ4	INTC	914
P01IC0	割り込み制御レジスタ7	INTC	914
P01IC1	割り込み制御レジスタ8	INTC	914
P01IC2	割り込み制御レジスタ9	INTC	914
P01IC3	割り込み制御レジスタ10	INTC	914
P02IC1	割り込み制御レジスタ13	INTC	914
P02IC2	割り込み制御レジスタ14	INTC	914
P05IC0	割り込み制御レジスタ24	INTC	914
P05IC1	割り込み制御レジスタ25	INTC	914
P1	ポート1レジスタ	ポート	107
P10IC6	割り込み制御レジスタ5	INTC	914
P10IC7	割り込み制御レジスタ6	INTC	914
P11IC4	割り込み制御レジスタ11	INTC	914
P11IC5	割り込み制御レジスタ12	INTC	914
P12IC4	割り込み制御レジスタ15	INTC	914
P12IC5	割り込み制御レジスタ16	INTC	914
P12IC6	割り込み制御レジスタ17	INTC	914
P13IC0	割り込み制御レジスタ18	INTC	914
P13IC1	割り込み制御レジスタ19	INTC	914
P13IC2	割り込み制御レジスタ20	INTC	914
P13IC3	割り込み制御レジスタ21	INTC	914
P13IC4	割り込み制御レジスタ22	INTC	914
P13IC7	割り込み制御レジスタ23	INTC	914
P2	ポート2レジスタ	ポート	114
P3	ポート3レジスタ	ポート	125
P4	ポート4レジスタ	ポート	136
P5	ポート5レジスタ	ポート	142
P7	ポート7レジスタ	ポート	147
P8	ポート8レジスタ	ポート	149
PAH	ポートAHレジスタ	ポート	155
PAHH	ポートAHHレジスタ	ポート	155
PAHL	ポートAHLレジスタ	ポート	155
PAL	ポートALレジスタ	ポート	152
PALH	ポートALHレジスタ	ポート	152
PALL	ポートALLレジスタ	ポート	152
PBD	ポートBDレジスタ	ポート	181
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	321
PCD	ポートCDレジスタ	ポート	177
PCM	ポートCMレジスタ	ポート	172
PCS	ポートCSレジスタ	ポート	162
PCT	ポートCTレジスタ	ポート	167

略号	名称	ユニット	ページ
PDL	ポートDLレジスタ	ポート	159
PDLH	ポートDLHレジスタ	ポート	159
PDLL	ポートDLLレジスタ	ポート	159
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	100
PFC1	ポート1ファンクション・コントロール・レジスタ	ポート	109
PFC2	ポート2ファンクション・コントロール・レジスタ	ポート	116
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	127
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	138
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	143
PFCCS	ポートCSファンクション・コントロール・レジスタ	ポート	164
PFCCCT	ポートCTファンクション・コントロール・レジスタ	ポート	169
PFCE0	ポート0ファンクション・コントロール拡張レジスタ	ポート	100
PFCE1	ポート1ファンクション・コントロール拡張レジスタ	ポート	109
PFCE2	ポート2ファンクション・コントロール拡張レジスタ	ポート	116
PFCE3	ポート3ファンクション・コントロール拡張レジスタ	ポート	127
PFCE5	ポート5ファンクション・コントロール拡張レジスタ	ポート	143
PM0	ポート0モード・レジスタ	ポート	98
PM1	ポート1モード・レジスタ	ポート	107
PM2	ポート2モード・レジスタ	ポート	114
PM3	ポート3モード・レジスタ	ポート	125
PM4	ポート4モード・レジスタ	ポート	136
PM5	ポート5モード・レジスタ	ポート	142
PMAH	ポートAHモード・レジスタ	ポート	156
PMAHH	ポートAHモード・レジスタH	ポート	156
PMAHL	ポートAHモード・レジスタL	ポート	156
PMAL	ポートALモード・レジスタ	ポート	153
PMALH	ポートALモード・レジスタH	ポート	153
PMALL	ポートALモード・レジスタL	ポート	153
PMBD	ポートBDモード・レジスタ	ポート	181
PMC0	ポート0モード・コントロール・レジスタ	ポート	99
PMC1	ポート1モード・コントロール・レジスタ	ポート	108
PMC2	ポート2モード・コントロール・レジスタ	ポート	115
PMC3	ポート3モード・コントロール・レジスタ	ポート	126
PMC4	ポート4モード・コントロール・レジスタ	ポート	137
PMC5	ポート5モード・コントロール・レジスタ	ポート	143
PMC7	ポート7モード・コントロール・レジスタ	ポート	147
PMCAH	ポートAHモード・コントロール・レジスタ	ポート	156
PMCAHH	ポートAHモード・コントロール・レジスタH	ポート	156
PMCAHL	ポートAHモード・コントロール・レジスタL	ポート	156
PMCAL	ポートALモード・コントロール・レジスタ	ポート	153
PMCALH	ポートALモード・コントロール・レジスタH	ポート	153
PMCALL	ポートALモード・コントロール・レジスタL	ポート	153
PMCBD	ポートBDモード・コントロール・レジスタ	ポート	182
PMCCD	ポートCDモード・コントロール・レジスタ	ポート	178

略号	名称	ユニット	ページ
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	173
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	163
PMCCCT	ポートCTモード・コントロール・レジスタ	ポート	168
PMCD	ポートCDモード・レジスタ	ポート	177
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	160
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	160
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	160
PMCM	ポートCMモード・レジスタ	ポート	172
PMCS	ポートCSモード・レジスタ	ポート	162
PMCT	ポートCTモード・レジスタ	ポート	167
PMDL	ポートDLモード・レジスタ	ポート	160
PMDLH	ポートDLモード・レジスタH	ポート	160
PMDLL	ポートDLモード・レジスタL	ポート	160
PRC	ページROMコンフィギュレーション・レジスタ	MEMC	276
PRCMD	コマンド・レジスタ	CPU	87
PRM10	プリスケアラ・モード・レジスタ10	タイマ	554
PRSCM	プリスケアラ・コンペア・レジスタ	I ² C	783
PRSM	プリスケアラ・モード・レジスタ	I ² C	782
PSC	パワー・セーブ・コントロール・レジスタ	CPU	323, 941
PSMR	パワー・セーブ・モード・レジスタ	CPU	324
RFS1	SDRAMリフレッシュ・コントロール・レジスタ1	MEMC	310
RFS3	SDRAMリフレッシュ・コントロール・レジスタ3	MEMC	310
RFS4	SDRAMリフレッシュ・コントロール・レジスタ4	MEMC	310
RFS6	SDRAMリフレッシュ・コントロール・レジスタ6	MEMC	310
SCR1	SDRAMコンフィギュレーション・レジスタ1	MEMC	286
SCR3	SDRAMコンフィギュレーション・レジスタ3	MEMC	286
SCR4	SDRAMコンフィギュレーション・レジスタ4	MEMC	286
SCR6	SDRAMコンフィギュレーション・レジスタ6	MEMC	286
SEIC0	割り込み制御レジスタ40	INTC	914
SEIC1	割り込み制御レジスタ43	INTC	914
SEIC2	割り込み制御レジスタ46	INTC	914
SEIC3	割り込み制御レジスタ49	INTC	914
SESA10	有効エッジ選択レジスタ10	タイマ	552
SRIC0	割り込み制御レジスタ41	INTC	914
SRIC1	割り込み制御レジスタ44	INTC	914
SRIC2	割り込み制御レジスタ47	INTC	914
SRIC3	割り込み制御レジスタ50	INTC	914
STATUS10	ステータス・レジスタ10	タイマ	556
STIC0	割り込み制御レジスタ42	INTC	914
STIC1	割り込み制御レジスタ45	INTC	914
STIC2	割り込み制御レジスタ48	INTC	914
STIC3	割り込み制御レジスタ51	INTC	914
SVA	スレーブ・アドレス・レジスタ	I ² C	785
SYS	システム・ステータス・レジスタ	CPU	88

略号	名称	ユニット	ページ
TMC10	タイマ・コントロール・レジスタ10	タイマ	550
TMCD0	タイマ・モード・コントロール・レジスタD0	タイマ	539
TMCD1	タイマ・モード・コントロール・レジスタD1	タイマ	539
TMCD2	タイマ・モード・コントロール・レジスタD2	タイマ	539
TMCD3	タイマ・モード・コントロール・レジスタD3	タイマ	539
TMD0	タイマD0	タイマ	536
TMD1	タイマD1	タイマ	536
TMD2	タイマD2	タイマ	536
TMD3	タイマD3	タイマ	536
TMENC10	タイマENC10	タイマ	547
TP0CCR0	TMP0キャプチャ/コンペア・レジスタ0	タイマ	341
TP0CCR1	TMP0キャプチャ/コンペア・レジスタ1	タイマ	343
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	タイマ	345
TP0CTL0	TMP0制御レジスタ0	タイマ	333
TP0CTL1	TMP0制御レジスタ1	タイマ	334
TP0IOC0	TMP0I/O制御レジスタ0	タイマ	336
TP0IOC1	TMP0I/O制御レジスタ1	タイマ	338
TP0IOC2	TMP0I/O制御レジスタ2	タイマ	339
TP0OPT0	TMP0オプション・レジスタ0	タイマ	340
TP1CCR0	TMP1キャプチャ/コンペア・レジスタ0	タイマ	341
TP1CCR1	TMP1キャプチャ/コンペア・レジスタ1	タイマ	343
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	タイマ	345
TP1CTL0	TMP1制御レジスタ0	タイマ	333
TP1CTL1	TMP1制御レジスタ1	タイマ	334
TP1IOC0	TMP1I/O制御レジスタ0	タイマ	336
TP1IOC1	TMP1I/O制御レジスタ1	タイマ	338
TP1IOC2	TMP1I/O制御レジスタ2	タイマ	339
TP1OPT0	TMP1オプション・レジスタ0	タイマ	340
TP2CCR0	TMP2キャプチャ/コンペア・レジスタ0	タイマ	341
TP2CCR1	TMP2キャプチャ/コンペア・レジスタ1	タイマ	343
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	タイマ	345
TP2CTL0	TMP2制御レジスタ0	タイマ	333
TP2CTL1	TMP2制御レジスタ1	タイマ	334
TP2IOC0	TMP2I/O制御レジスタ0	タイマ	336
TP2IOC1	TMP2I/O制御レジスタ1	タイマ	338
TP2IOC2	TMP2I/O制御レジスタ2	タイマ	339
TP2OPT0	TMP2オプション・レジスタ0	タイマ	340
TQ0CCR0	TMQ0キャプチャ/コンペア・レジスタ0	タイマ	437
TQ0CCR1	TMQ0キャプチャ/コンペア・レジスタ1	タイマ	439
TQ0CCR2	TMQ0キャプチャ/コンペア・レジスタ2	タイマ	441
TQ0CCR3	TMQ0キャプチャ/コンペア・レジスタ3	タイマ	443
TQ0CNT	TMQ0カウンタ・リード・バッファ・レジスタ	タイマ	445
TQ0CTL0	TMQ0制御レジスタ0	タイマ	431
TQ0CTL1	TMQ0制御レジスタ1	タイマ	431

略号	名称	ユニット	ページ
TQ0DTC	TMQ0デッド・タイム・コンペア・レジスタ	タイマ	577
TQ0IOC0	TMQ0I/O制御レジスタ0	タイマ	433
TQ0IOC1	TMQ0I/O制御レジスタ1	タイマ	434
TQ0IOC2	TMQ0I/O制御レジスタ2	タイマ	435
TQ0IOC3	TMQ0I/O制御レジスタ3	タイマ	582
TQ0OPT0	TMQ0オプション・レジスタ0	タイマ	436, 578
TQ0OPT1	TMQ0オプション・レジスタ1	タイマ	579
TQ0OPT2	TMQ0オプション・レジスタ2	タイマ	580
TUM10	タイマ・ユニット・モード・レジスタ10	タイマ	549
UA0CTL0	UARTA0制御レジスタ0	UARTA	693
UA0CTL1	UARTA0制御レジスタ1	UARTA	710
UA0CTL2	UARTA0制御レジスタ2	UARTA	711
UA0OPT0	UARTA0オプション制御レジスタ0	UARTA	695
UA0RX	UARTA0受信データ・レジスタ	UARTA	698
UA0STR	UARTA0状態レジスタ	UARTA	696
UA0TX	UARTA0送信データ・レジスタ	UARTA	698
UA1CTL0	UARTA1制御レジスタ0	UARTA	693
UA1CTL1	UARTA1制御レジスタ1	UARTA	710
UA1CTL2	UARTA1制御レジスタ2	UARTA	711
UA1OPT0	UARTA1オプション制御レジスタ0	UARTA	695
UA1RX	UARTA1受信データ・レジスタ	UARTA	698
UA1STR	UARTA1状態レジスタ	UARTA	696
UA1TX	UARTA1送信データ・レジスタ	UARTA	698
UA2CTL0	UARTA2制御レジスタ0	UARTA	693
UA2CTL1	UARTA2制御レジスタ1	UARTA	710
UA2CTL2	UARTA2制御レジスタ2	UARTA	711
UA2OPT0	UARTA2オプション制御レジスタ0	UARTA	695
UA2RX	UARTA2受信データ・レジスタ	UARTA	698
UA2STR	UARTA2状態レジスタ	UARTA	696
UA2TX	UARTA2送信データ・レジスタ	UARTA	698
UA3CTL0	UARTA3制御レジスタ0	UARTA	693
UA3CTL1	UARTA3制御レジスタ1	UARTA	710
UA3CTL2	UARTA3制御レジスタ2	UARTA	711
UA3OPT0	UARTA3オプション制御レジスタ0	UARTA	695
UA3RX	UARTA3受信データ・レジスタ	UARTA	698
UA3STR	UARTA3状態レジスタ	UARTA	696
UA3TX	UARTA3送信データ・レジスタ	UARTA	698
VSWC	システム・ウェイト・コントロール・レジスタ	BCU	89
WAS	ライト・アクセス同期制御レジスタ	BCU	230
WDCS	ウォッチドッグ・タイマ・クロック選択レジスタ	WDT	636
WDRES	ウォッチドッグ・タイマ・リセット・ステータス・レジスタ	WDT	638, 952
WDTIC	割り込み制御レジスタ0	INTC	914
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	637

付録B 命令セット一覧

B.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ
S	レジスタ・リスト中のシステム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和処理を行う (nは2の補数)。 nが計算の結果, n 7FFFFFFFHとなった場合, n = 7FFFFFFFHとする。 nが計算の結果, n 80000000Hとなった場合, n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower (Less than)
NC/NL	1001	$CY = 0$	No carry No lower (Greater than or equal)
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT = 1$	Saturated
LT	0110	$(S \text{ xor } OV) = 1$	Less than signed
GE	1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
LE	0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
GT	1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

B.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	0	x	
Bcond	disp9	dddd1011ddcccc 注	if conditions are satisfied	条件成立時	3	3	3				
			then PC PC + sign-extend (disp9)	注2	注2	注2					
			条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr1111100000 wwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x	
BSW	reg2, reg3	rrrrr1111100000 wwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x	
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	5	5	5					
CLR1	bit#3,disp16[reg1]	10bbb11110RRRRR dddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3					x
	reg2, [reg1]	10bbb11110RRRRR dddddddddddd	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3					x
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x	
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	4	4	4	R	R	R	R	R
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	4	4	4	R	R	R	R	R
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	4	4	4					
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1					

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4						
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4						
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x		
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1						
HALT		000001111100000 0000000100100000	停止する	1	1	1						
HSW	reg2, reg3	rrrrr1111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x		
JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	3	3	3						
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	4	4	4						
JR	disp22	0000011110dddddd ddddddddddddddd0 注7	PC PC + sign-extend(disp22)	3	3	3						
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11						
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11						
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11						
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1					
				regID = PSW	1	1	1	x	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11						

モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr00000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1						
MUL ^{注22}	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100000	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2						
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	2	2						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ^{注6} × GR[reg1] ^{注6}	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ^{注6} × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ^{注6} × imm16	1	1	2						
MULU ^{注22}	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100010	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2						
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	2	2						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	x	x		
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					x	
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					x	
				注3	注3	注3						
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+2 注4	n+2 注4	n+2 注4						
				注17	注17	注17						

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	4	4	4	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr111111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	0000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	0000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	000001111111iiii 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 例外コード (40H-4FH, 50H-5FH) PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FH (例外コード : 40H-4FH) のとき) 0000050H (vectorが10H-1FH (例外コード : 50H-5FH) のとき)	4	4	4					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3					x
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3					x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	0000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	0000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は4。
 3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ合計数。n = 0の場合, n = 1と同じ動作)
 5. RRRRR : 00000以外
 6. 下位ハーフワード・データだけ有効
 7. ddddddddddddddddddddはdisp22の上位21ビットです。
 8. ddddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
 10. b : disp16のビット0
 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
 12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
 13. iiii : imm9の下位5ビット
IIII : imm9の上位4ビット
 14. reg2 = reg3 (結果の下位32ビットがレジスタに書き込まれない), またはreg3 = r0 (結果の上位32ビットはレジスタに書き込まれない) 場合は1クロック短縮されます。
 15. sp/imm : サブオペコードのビット19, 20で指定
 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
 17. imm = imm32の場合はn + 3クロック
 18. rrrrr : 00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. dddddddはdisp8の上位6ビットです。
 22. 「MUL reg1, reg2, reg3」命令, 「MULU reg1, reg2, reg3」命令において, 次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。
 - reg1 = reg3
 - reg1 reg2
 - reg1 r0
 - reg3 r0

付録C 改版履歴

C.1 本版で改訂された主な箇所

(1/2)

箇所	内容
全般	<ul style="list-style-type: none"> ・品名追加 μ PD703131BY, 703132BY, 703133BY, 703134BY, 703136BY, 70F3134BY ・品名削除 μ PD703131A, 703131AY, 703132A, 703132AY, 703133A, 703133AY, 703134A, 703134AY, 703136A, 703136AY, 70F3134A, 70F3134AY ・表記変更 フラッシュ・ライター フラッシュ・メモリ・プログラマ ・フラッシュ・メモリ・プログラマの追加 PG-FP5 ・統合デバッガの更新 ID850, ID850NW, ID850NWC ID850QB ・フラッシュ書き込み用アダプタの更新 FA-144GJ-UEN-A FA-144GAE-B
p.8	関連資料を更新
p.46	2.3 端子の入出力回路タイプと未使用時の処理 記述変更
p.50	2.4 端子の入出力回路 端子名を変更
p.126	4.3.4(1)(c) ポート3モード・コントロール・レジスタ(PMC3) 記述変更
p.180	図4-38 PCD2, PCD3端子のブロック図 注を追加
p.204	5.3 メモリ・ブロック機能 記述変更
pp.248-251	5.10.6 バス・ホールド・タイミング 図中の信号名を変更
p.316	6.3.8 SDRAM初期化シーケンス 注意を変更
p.321	7.3(1) プロセッサ・クロック・コントロール・レジスタ(PCC) 表の表記を変更
p.337	8.4(3) TMPnI/O制御レジスタ0(TPnIOC0) 注の図を変更
p.433	9.4(3) TMQ0I/O制御レジスタ0(TQ0IOC0) 注の図を変更
p.544	11.2 特徴 記述変更
p.556	11.4(6) ステータス・レジスタ10(STATUS10) 記述変更
p.561	11.5(4) キャプチャ機能 注意を追加
p.561	11.5(5) タイマ出力動作 注意を追加
p.598	図12-13 デッド・タイム・カウンタmの動作(1) 記述変更
p.675	14.8.8 A/D変換のヒステリシス特性 追加
p.692	16.3(5) UARTAn状態レジスタ(UAnSTR) 記述変更
p.704	図16-8 連続送信動作のタイミング 変更
p.728	17.4(4) CSIBn状態レジスタ(CBnSTR) 記述変更
p.733	17.5.3(1) 動作フロー 記述変更
p.818	表18-5 拡張コードのビットの定義 変更
pp.836-838	図18-21 マスタ→スレーブ通信例(マスタ,スレーブとも9クロック・ウエイト選択時) 変更
pp.839-841	図18-22 スレーブ→マスタ通信例(マスタ:8クロック,スレーブ:9クロック・ウエイト選択時) 変更

箇所	内容
p.914	20.3.4 割り込み制御レジスタ (xxlCn) 注意記述追加
p.953	22.4 動作 記述変更
p.954	図22 - 1 $\overline{\text{RESET}}$ 端子入力によるリセット動作を変更
p.955	図22 - 2 パワーオン時のリセット動作を変更
p.968	表24 - 1 エミュレータ接続用コネクタ (ターゲット・システム側) ピン機能 記述変更
p.972	表24 - 2 エミュレータ接続用コネクタ (ターゲット・システム側) ピン機能 記述変更
p.977	25.2 フラッシュ・メモリ・プログラマによる書き込み方法 備考1を変更
p.980	図25 - 1 V850E/MA3フラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線例 注意を追加
p.981	表25 - 2 V850E/MA3フラッシュ書き込み用アダプタ (FA-161F1-EN4-A) の配線表 注意を削除
p.983	図25 - 2 V850E/MA3フラッシュ書き込み用アダプタ (FA-161F1-EN4-A) の配線例 注意を追加
pp.985-987	25.4 通信方式 (1) UARTA0, (2) CSIB0, (3) CSIB0 + HS 記述変更
p.992	図25 - 9 $\overline{\text{RESET}}$ 端子の接続例 (b) 接続例2を削除
p.1000	第26章 電気的特性 推奨発振回路 記述追加
p.1027	第26章 電気的特性 AC特性 (6) ページROMアクセス・タイミング 図中の番号を変更
p.1049	第26章 電気的特性 シリアル・オペレーション特性 図中の信号名を変更
p.1053	表28 - 1 表面実装タイプの半田付け条件 (2/2) を追加

C.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/11)

版数	前版までの改版内容	適用箇所
第2版	<ul style="list-style-type: none"> ・ SCL, SDA端子の出力時の記述変更 N-chオープン・ドレイン 擬似オープン・ドレイン (P-ch側が常にオフ) ・ 品名追加 μ PD703131A, 703131AY, 703132A, 703132AY, 703133A, 703133AY, 703134A, 703134AY, 70F3134A, 70F3134AY ・ 開発中 量産 μ PD703131GJ-xxx-UEN, μ PD703132GJ-xxx-UEN, μ PD70F3134GJ-UEN, μ PD70F3134AGJ-UEN, μ PD70F3134YGJ-UEN, μ PD70F3134AYGJ-UEN ・ レジスタ追加 チップ・セレクト信号ディレイ制御レジスタ (CSDC) , DMAAK幅調整レジスタ (DAKW) , ライト・アクセス同期制御レジスタ (WAS) 	全般
	表1 - 1 V850E/MA3の製品一覧 追加	第1章 インTRODククション
	1. 4 オーダ情報 記述変更	
	2. 4 端子の入出力回路 注意追加	第2章 端子機能
	表3 - 2 システム・レジスタ番号 注追加	第3章 CPU機能
	3. 4. 8 内蔵周辺I/Oレジスタ 注追加	
	3. 4. 9 特定レジスタ 記述変更	
	3. 4. 9 (1) 特定レジスタへのデータ設定 記述変更	
	3. 4. 10 システム・ウェイト・コントロール・レジスタ (VSWC) 備考追加	
	3. 4. 11 (1) 最初に設定するレジスタ 記述追加	
	3. 4. 11 (2) sld命令と割り込み競合に関する制限事項 記述追加	
	表4 - 3 ポート0の兼用端子 注意追加	第4章 ポート機能
	表4 - 4 ポート1の兼用端子 注意追加	
	図4 - 7 P10-P13端子のブロック図 図変更	
	4. 3. 3 ポート2 記述追加	
	表4 - 5 ポート2の兼用端子 注意追加	
	図4 - 12 P25端子のブロック図 図変更	
	表4 - 6 ポート3の兼用端子 注意追加	
	4. 3. 4 (1) (f) ポート3の兼用機能の設定 注記述変更	
	図4 - 18 P33端子のブロック図 図変更	
	図4 - 20 P37端子のブロック図 図変更	
	表4 - 7 ポート4の兼用端子 注意追加	
	表4 - 8 ポート5の兼用端子 注意追加	
	4. 3. 13 (1) (d) ポートCTファンクション・コントロール・レジスタ (PFCCT) 注意追加	
	表4 - 19 ポート端子を兼用端子として使用する場合 (4/9) 注記述変更	
	表4 - 19 ポート端子を兼用端子として使用する場合 (8/9) 注追加	

版 数	前版までの改版内容	適用箇所
第2版	表4 - 21 タイマENC1入力端子のノイズ除去時間 注意記述変更	第4章 ポート機能
	4. 6 注意事項 記述変更	
	5. 4. 1 (1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1) 注意記述変更	第5章 バス制御機能
	5. 5. 1 アクセス・クロック数 表中の内蔵ROMのオペランド・データ・アクセス時のクロック数変更	
	5. 6 ライト・バッファ機能 追加	
	5. 8. 1 (2) アドレス・セットアップ・ウエイト・コントロール・レジスタ (ASC) 注意追加	
	5. 8. 1 (5) DMAフライバイ転送ウエイト・コントロール・レジスタ (FWC) ビットの意味の内容変更	
	表5 - 2 (a) セバレート・バス・モード時 記述変更	
	5. 10. 4 バス・ホールド・タイミング 追加	
	5. 10. 5 バス・ホールド・タイミング (SRAM) 追加	
	5. 10. 6 バス・ホールド・タイミング (SDRAM) 追加	
	5. 11 バスの優先順位 記述削除	
	図6 - 3 (e) ライト時 (32ビット・アクセス (1/2)) タイミング変更	
	図6 - 3 (f) ライト時 (16ビット・アクセス (1/2)) タイミング変更	
	図6 - 4 (b) リード時 (16ビット・アクセスの連続) 記述追加	
	6. 2. 3 オンページ 記述変更	
	6. 2. 4 ページROMコンフィギュレーション・レジスタ (PRC) レジスタの記述変更	
	6. 2. 5 ページROMアクセス 追加	
	6. 3. 1 特 徴 CASレーテンシの記述一部削除	
	6. 3. 3 (1) 各アドレスの出力, およびSDRAMの接続, (2) バンク・アドレス出力 追加	
	6. 3. 4 SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) 注意記述変更およびレジスタの記述変更	
	図6 - 10 SDRAMシングル・リード・サイクル 追加	
	6. 3. 5 (2) SDRAMシングル・ライト・サイクル 記述一部削除	
	図6 - 11 SDRAMシングル・ライト・サイクル 追加	
	6. 3. 5 (3) (c) リード時のCASレーテンシの設定 記述一部削除	
	図6 - 12 SDRAMアクセス・タイミング 追加	
	6. 3. 6 (1) SDRAMリフレッシュ・コントロール・レジスタ1, 3, 4, 6 (RFS1, RFS3, RFS4, RFS6) 記述変更	
	図6 - 14 CBR (オート) リフレッシュ・サイクル (16ビット・バス幅) 追加	
	図6 - 15 セルフ・リフレッシュ・タイミング (16ビット・バス幅) 追加	
	6. 3. 8 SDRAM初期化シーケンス 記述変更	
	図6 - 16 SDRAMレジスタ・ライト動作タイミング (16ビット・バス幅) 追加	

版数	前版までの改版内容	適用箇所
第2版	7.3(2) クロック・コントロール・レジスタ (CKC) 注意記述変更	第7章 クロック・ジェネレータ
	7.3(3) パワー・セーブ・コントロール・レジスタ (PSC) 注記述変更および注追加, 注意追加	
	7.3(5) 発振安定時間選択レジスタ (OSTS) 注意追加	
	第8章 16ビット・タイマ/イベント・カウンタP (TMP) 修正	第8章 16ビット・タイマ/イベント・カウンタP (TMP)
	第9章 16ビット・タイマ/イベント・カウンタQ (TMQ) 修正	第9章 16ビット・タイマ/イベント・カウンタQ (TMQ)
	11.4(5) プリスケアラ・モード・レジスタ10 (PRM10) 記述変更	第11章 16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (タイマENC1)
	11.5.1(5) タイマ出力動作 記述追加	
	表11-4 UDCモードのカウンタ動作一覧 記述変更	
	12.1 機能概要 記述変更	第12章 モータ制御機能
	図12-1 モータ制御のブロック図 図変更	
	図12-2 TMQ1オプション 図変更	
	12.3(3) TMQ0オプション・レジスタ2 (TQ0OPT2) 注意追加	
	12.3(4) TMQ0/O制御レジスタ3 (TQ0IOC3) 記述追加	
	12.3(5) ハイ・インピーダンス出力制御レジスタ00, 01 (HZA0CTLn) 記述変更	
	図12-5 6相PWM出力モードの概要 図変更	
	図12-6 6相PWM出力モードのタイミング図 図変更および注意記述削除	
	図12-7 割り込みとアップ/ダウン・フラグ 図変更	
	図12-12(b) 0%出力近傍 (TQ0CCRmレジスタ = $i \cdot M + 1 - a/2$, TQ0CCR0レジスタ = M, TQ0DTCレジスタ = a) 記述変更	
	図12-13(b) 100%出力近傍 (TQ0CCRmレジスタ = $i \cdot a/2$, TQ0CCR0レジスタ = M, TQ0DTCレジスタ = a) 記述変更	
	12.4.3 割り込み間引き機能 注意記述変更	
	図12-18 山/谷割り込み出力 一部タイミング削除	
	図12-19 山割り込み出力 一部タイミング削除	
	図12-20 谷割り込み出力 一部タイミング削除	
12.4.4 転送機能付きレジスタの書き換え操作 ・一斉書き換えモード (転送モード) の記述追加		
図12-21 書き換え値の反映タイミング 注記述変更		
12.4.4(2) 一斉書き換えモード (転送モード) 記述追加		
図12-26 一斉書き込みモードの基本動作 記述変更		
12.4.4(2)(d) TQ0OPT1レジスタの転送 記述変更		

版数	前版までの改版内容	適用箇所
第2版	12. 4. 4 (3) 間欠一斉書き換えモード (転送間引きモード) 記述追加	第12章 モータ制御機能
	図12 - 31 間欠一斉書き込みモードの基本動作 記述変更	
	図12 - 34 TQ0CCR1レジスタの書き換え (TQ0OPT1.TQ0ICEビット = 1, TQ0IOEビット = 0, TQ0ID4-TQ0ID0ビット = 00001の場合) 図変更	
	図12 - 35 TQ0CCR1レジスタの書き換え (TQ0OPT1.TQ0ICEビット = 1, TQ0IOEビット = 1, TQ0ID4-TQ0ID0ビット = 00001の場合) 図変更	
	12. 4. 4 (4) TQ0OPT0.TQ0CMSビットの書き換え 記述変更	
	12. 4. 5 (1) (b) TMQ0レジスタ設定 記述追加	
	13. 3 (2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) 注記述変更	第13章 ウォッチドッグ・タイマ機能
	13. 4. 1 ウォッチドッグ・タイマとしての動作 記述削除	
	13. 4. 2 インターバル・タイマとしての動作 記述削除	
	14. 2 (13) AV _{DD0} 端子 記述追加	第14章 A/Dコンバータ
	14. 3 (3) A/Dコンバータ・モード・レジスタ2 (ADM2) 注意記述変更	
	図14 - 12 タイマ・トリガ・スキャンの動作タイミング例:8チャンネル・スキャン(ANI0-ANI7)追加	
	15. 1 機能 セットリング・タイムの記述変更	第15章 D/Aコンバータ
	15. 3 (1) D/Aコンバータ・モード・レジスタ (DA0M) 注意追加	
	15. 3 (2) D/A変換値設定レジスタ0, 1 (DA0CS0, DA0CS1) 注意追加	
	15. 4. 3 使用上の注意点 (5) 記述変更, (6) 追加	
	図16 - 2 UARTA2とCSIB2のモード切り替え設定 注記述変更	第16章 アシンクロナス・シリアル・インタフェースA (UARTA)
	図16 - 3 UARTA3とI ² Cのモード切り替え設定 注記述変更	
	16. 4 (1) UARTAn制御レジスタ0 (UAnCTL0) 記述変更	
	16. 4 (5) UARTAn状態レジスタ (UAnSTR) 注意追加	
	16. 6. 4 UART受信 注意記述変更	
	16. 6. 5 受信エラー 注意追加	
	図16 - 10 ノイズ・フィルタ回路 図変更	
	図16 - 11 ノイズとして判断されるRXDn信号のタイミング 追加	
	16. 7 (2) UARTAn制御レジスタ1 (UAnCTL1) 注意記述変更	
	16. 7 (3) UARTAn制御レジスタ2 (UAnCTL2) 注意記述変更	
	表16 - 3 ポー・レート・ジェネレータ設定データ 記述変更	
	16. 8 注意事項 追加	
	図17 - 2 UARTA2とCSIB2のモード切り替え設定 注記述変更	
	17. 3 (2) CSIBn送信データ・レジスタ (CBnTX) 備考追加	
	17. 4 (1) CSIBn制御レジスタ0 (CBnCTL0) 記述変更	
	17. 4 (2) CSIBn制御レジスタ1 (CBnCTL1) 注意記述変更	
	17. 5 動作 記述変更	
17. 6 (1) SCKn端子 記述変更		
17. 7 動作フロー 記述変更		
第18章 I ² Cバス 記述変更	第18章 I ² Cバス	
図18 - 1 UARTA3とI ² Cのモード切り替え設定 注記述変更		
18. 2 (2) I ² Cバス・モード (マルチマスタ対応) 記述変更		

版数	前版までの改版内容	適用箇所
第2版	図18-2 I ² Cのブロック図 図変更	第18章 I ² Cバス
	18.4(1) IICコントロール・レジスタ (IICC) 記述変更	
	18.4(4) IICクロック選択レジスタ (IICCL) 記述変更	
	18.4(9) IICシフト・レジスタ (IIC) 記述追加	
	18.5.1 端子構成 記述変更	
	18.6.1 スタート・コンディション 注意追加	
	図18-11 ウェイト信号 記述追加	
	表18-3 INTIIC信号発生タイミングおよびウェイト制御 注記述変更	
	18.8(1) アドレス送受信時・スレーブ動作時の記述追加	
	18.14.2 通信予約機能禁止の場合 (IICF.IICRSVビット = 1) 追加	
	18.15(1) IICF.STCENビット = 0の場合 記述変更	
	18.15(2) IICF.STCENビット = 1の場合 記述追加	
	18.16 通信動作 記述変更	
	図18-22(c) ストップ・コンディション 記述変更	
	19.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3) 記述削除	
	19.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3) 記述削除	
	19.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3) 記述削除	
	19.3.5 DMAチャネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) 注意追加および記述変更	
	19.3.6 DMAターミナル・カウント出力コントロール・レジスタ (DTC) 注意追加および記述変更	
	19.3.7 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 注意記述変更および注意追加	
	19.3.8 DMAインタフェース・コントロール・レジスタ (DIFC) 記述変更	
	19.3.9 DMAAK幅調整レジスタ (DAKW) 追加	
	19.5.1 2サイクル転送 記述追加および図追加	
	19.5.2 フライバイ転送 記述追加および図追加	
	表19-3 転送の種類と転送対象の関係 注および注意追加	
19.8(2) DMA転送中 (DMA転送開始からDMA転送終了までの期間) 記述追加		
19.13 DMA転送に関する各種時間 記述変更		
19.14 DMA要求に対する応答時間の最大値 記述変更		
19.15(6) DMAの起動要因 記述追加		
19.15(8) DCHCn.TCnビットの自動クリアに関する制限事項 (Aなし品のみ (表1-1参照)) 記述追加		
19.15(9) 転送回数2回設定時のDMA転送に関する制限事項 (Aなし品のみ (表1-1参照)) 記述追加		
20.2.2(2) INTWDT信号の場合 追加	第20章 割り込み / 例外処理機能	
20.3.6 インサース・プライオリティ・レジスタ (ISPR) 注意記述変更		
20.4.2 エッジ検出 注意追加		
20.6.2(2) 復帰 注意追加		
20.9 CPUが割り込みを受け付けない期間 記述変更		
20.10 注意事項 (2) 追加		

版数	前版までの改版内容	適用箇所
第2版	表21 - 1 スタンバイ機能のモード一覧 記述変更	第21章 スタンバイ機能
	図21 - 1 状態遷移図 注追加および注記述変更	
	21.2 (1) パワー・セーブ・コントロール・レジスタ (PSC) 注および注意追加	
	21.3.1 設定および動作状態 注意追加	
	21.3.2 HALTモードの解除 記述変更	
	21.4.1 設定および動作状態 注意変更	
	21.4.2 IDLEモードの解除 記述追加	
	21.4.2 (1) ノンマスクابل割り込み要求信号 (NMI端子入力), マスクされていないマスクابل割り込み要求信号 注意追加および記述追加	
	表21 - 5 IDLEモード時の動作状態 記述変更	
	21.5.1 設定および動作状態 注意変更	
	21.5.2 ソフトウェアSTOPモードの解除 記述追加	
	21.5.2 (1) ノンマスクابل割り込み要求信号 (NMI端子入力), マスクされていないマスクابل割り込み要求信号 注意追加および記述追加	
	表21 - 7 ソフトウェアSTOPモード時の動作状態 記述変更	
	21.7 IDLE/ソフトウェアSTOPモードへの移行, 復帰手順 追加	
	23.3 ROMコレクションの動作とプログラムの流れ 注意追加および削除	第23章 ROMコレクション機能
	図23 - 2 ROMコレクションの動作とプログラムの流れ 図変更	
	24.1.2 (6) ハードウェア・ブ레이크機能 追加	第24章 オンチップ・ディバグ機能 (DCU)
	24.1.2 (8) マスク機能 追加	
	24.1.2 (9) タイマ機能 追加	
	24.1.3 ROMセキュリティ機能 記述変更	
24.2 オンチップ・ディバグ機能とポート機能 (兼用機能含む) の切り替え 追加		
表24 - 1 エミュレータ接続用コネクタ (ターゲット・システム側) ピン機能 記述変更		
図24 - 3 エミュレータ接続推奨回路例 図変更		
表24 - 2 エミュレータ接続用コネクタ (ターゲット・システム側) ピン機能 記述変更		
図24 - 6 エミュレータ接続推奨回路例 図変更		
24.4 注意事項 追加		
25.2 (2) オフボード・プログラミング 記述追加	第25章 フラッシュ・メモリ	
25.5.2 (2) ほかのデバイスの異常動作 記述削除		
図25 - 10 フラッシュ・メモリの操作手順 図修正		
表25 - 8 フラッシュ・メモリ制御用コマンド 記述削除		
第26章 電気的特性 追加	第26章 電気的特性	
第27章 外形図 追加	第27章 外形図	
B.2 インストラクション・セット (アルファベット順) 記述変更	付録B 命令セット一覧	
付録C 改版履歴 追加	付録C 改版履歴	

版数	前版までの改版内容	適用箇所
第3版	<ul style="list-style-type: none"> ・ 品名追加 μ PD703136A, 703136AY ・ 品名削除 μ PD703131, 703131Y, 703132, 703132Y, 703133, 703133Y, 703134, 703134Y, 70F3134, 70F3134Y ・ 次の鉛フリー製品を追加 μ PD703131AGJ-xxx-UEN-A, 703131AYGJ-xxx-UEN-A, 703132AGJ-xxx-UEN-A, 703132AYGJ-xxx-UEN-A, 703133AGJ-xxx-UEN-A, 703133AYGJ-xxx-UEN-A, 703134AGJ-xxx-UEN-A, 703134AYGJ-xxx-UEN-A, 70F3134AGJ-UEN-A, 70F3134AYGJ-UEN-A, 70F3134AF1-EN4-A, 70F3134AYF1-EN4-A ・ 開発中 量産 μ PD703131AGJ-xxx-UEN, 703131AYGJ-xxx-UEN, 703132AGJ-xxx-UEN, 703132AYGJ-xxx-UEN, 703133AGJ-xxx-UEN, 703133AYGJ-xxx-UEN, 703134AGJ-xxx-UEN, 703134AYGJ-xxx-UEN 	全般
	表1 - 1 V850E/MA3の製品一覧 記述変更	第1章 インTRODククション
	1.2 特徴 メモリ空間の内蔵メモリの記述追加	
	1.4 オーダ情報 記述変更	
	1.6.1 内部ブロック図 注の記述追加	
	1.6.2(4) RAM 記述追加	
	表3 - 2 システム・レジスタ番号 注の記述変更	第3章 CPU機能
	3.2.2(6) 例外/デバッグ・トラップ時状態回避レジスタ (DBPC, DBPSW) 記述変更	
	3.4.5(2)(a) 内蔵RAM (8 Kバイト) 追加	
	図3 - 10 推奨メモリ・マップ アドレスの記述変更	
	3.4.8 内蔵周辺I/Oレジスタ 注削除	
	3.4.8 内蔵周辺I/Oレジスタ 注追加	
	3.4.9(1) 特定レジスタへのデータ設定 注意記述変更	
	3.4.9(3)(a) セット条件 (PRERRフラグ = 1) () 追加	
	3.4.10 システム・ウェイト・コントロール・レジスタ (VSWC) 記述変更	
	表4 - 2 Pnレジスタへの書き込み/読み出しについて 記述変更	第4章 ポート機能
	4.6.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項 記述追加	
	5.3 メモリ・ブロック機能 注記述追加	第5章 バス制御機能
	5.4.2(1) チップ・セレクト信号ディレイ制御レジスタ (CSDC) 記述一部削除	
	6.3.6(1)(a) リフレッシュ間隔変更時の注意事項 注意追加	第6章 メモリ・アクセス制御機能
	8.4(1) TMPn制御レジスタ0 (TPnCTL0) 注記述変更	第8章 16ビット・タイマ/イベント・カウンタP (TMP)
	8.4(2) TMPn制御レジスタ1 (TPnCTL1) 注意記述追加	
	8.4(3) TMPnI/O制御レジスタ0 (TPnIOC0) 注意追加	
	8.4(4) TMPnI/O制御レジスタ1 (TPnIOC1) 注意記述追加	
	8.4(6) TMPnオプション・レジスタ0 (TPnOPT0) 記述追加	
	8.4(7)(a) コンペア・レジスタとしての機能 記述追加	
	8.4(7)(b) キャプチャ・レジスタとしての機能 記述追加	
	8.4(8)(a) コンペア・レジスタとしての機能 記述追加	
	8.4(8)(b) キャプチャ・レジスタとしての機能 記述追加	
	図8 - 2 随時書き込みの基本動作フロー・チャート 注記述追加	

版数	前版までの改版内容	適用箇所
第3版	図8-4 一斉書き込みの基本動作フロー・チャート 注記述追加	第8章 16ビット・タイマ/イベント・カウンタP (TMP)
	図8-8 インターバル・タイマ・モード動作時のレジスタ設定内容 記述変更	
	図8-9 インターバル・タイマ・モード使用時のソフトウェア処理フロー 記述追加	
	8.6.1 (3) 外部イベント・カウント入力 (EVTpN) による動作 追加	
	8.6.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット= 001) 記述追加	
	8.6.2 (2) 外部イベント・カウント・モード動作タイミング 注意追加	
	図8-21 外部トリガ・パルス出力モードの基本タイミング 図変更	
	8.6.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット= 010) 記述追加	
	図8-22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 注追加	
	8.6.3 (2) (b) PWM波形の0 % / 100 %出力 記述変更	
	図8-26 ワンショット・パルス出力モード動作時のレジスタ設定内容 注追加	
	図8-27 ワンショット・パルス出力モード使用時のソフトウェア処理フロー 図変更	
	8.6.4 (2) (a) TPnCCRaレジスタの書き換えに関する注意事項 図変更	
	図8-30 PWM出力モード動作時のレジスタ設定内容 注追加	
	8.6.5 (2) (b) PWM波形の0 % / 100 %出力 記述変更	
	8.6.7 パルス幅測定モード (TPnMD2-TPnMD0ビット= 110) 記述変更	
	9.4 (1) TMQ0制御レジスタ0 (TQ0CTL0) 注記述変更	第9章 16ビット・タイマ/イベント・カウンタQ (TMQ)
	9.4 (3) TMQ0I/O制御レジスタ0 (TQ0IOC0) 注意追加	
	9.4 (4) TMQ0I/O制御レジスタ1 (TQ0IOC1) 注意記述追加	
	9.4 (6) TMQ0オプション・レジスタ0 (TQ0OPT0) 記述追加	
	9.4 (7) (a) コンペア・レジスタとしての機能 記述追加	
	9.4 (7) (b) キャプチャ・レジスタとしての機能 記述追加	
	9.4 (8) (a) コンペア・レジスタとしての機能 記述追加	
	9.4 (8) (b) キャプチャ・レジスタとしての機能 記述追加	
	9.4 (9) (a) コンペア・レジスタとしての機能 記述追加	
	9.4 (9) (b) キャプチャ・レジスタとしての機能 記述追加	
	9.4 (10) (a) コンペア・レジスタとしての機能 記述追加	
	9.4 (10) (b) キャプチャ・レジスタとしての機能 記述追加	
	図9-2 随時書き込みの基本動作フロー・チャート 注記述追加	
	図9-4 一斉書き込みの基本動作フロー・チャート 注記述追加	
図9-8 インターバル・タイマ・モード動作時のレジスタ設定内容 記述変更		
図9-9 インターバル・タイマ・モード使用時のソフトウェア処理フロー 記述追加		
9.6.1 (3) 外部イベント・カウント入力 (EVTQ) による動作 追加		
9.6.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット= 001) 記述追加		
9.6.2 (2) 外部イベント・カウント・モード動作タイミング 注意追加		
図9-21 外部トリガ・パルス出力モードの基本タイミング 図変更		
9.6.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット= 010) 記述追加		
図9-22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 注追加		
9.6.3 (2) (b) PWM波形の0 % / 100 %出力 記述変更		
図9-26 ワンショット・パルス出力モード動作時のレジスタ設定内容 注追加		
図9-27 ワンショット・パルス出力モード使用時のソフトウェア処理フロー 図変更		
図9-30 PWM出力モード動作時のレジスタ設定内容 注追加		
9.6.5 (2) (b) PWM波形の0 % / 100 %出力 記述変更		
9.6.7 パルス幅測定モード (TQ0MD2-TQ0MD0ビット= 110) 記述変更		

版数	前版までの改版内容	適用箇所
第3版	図12-1 モータ制御のブロック図 図変更	第12章 モータ制御機能
	図12-2 TMQ1オプション 図変更	
	12.3(3) TMQ0オプション・レジスタ2 (TQ0OPT2) 注意記述追加	
	図12-5 6相PWM出力モードの概要 図変更	
	図12-6 6相PWM出力モードのタイミング図 記述変更	
	図12-7 割り込みとアップ/ダウン・フラグ 図変更	
	12.4.3 割り込み間引き機能 記述追加	
	12.4.5(1)(b) TMQ0レジスタ設定 記述追加	
	14.8.7 A/D変換結果のばらつき 追加	第14章 A/Dコンバータ
	14.9(6) 微分直線性誤差 記述追加	第15章 D/Aコンバータ
	15.4.3 使用上の注意点 (6)の注削除	
	16.4(1) UARTAn制御レジスタ0 (UANCTL0) 記述変更	第16章 アシクロナス・シリアル・インタフェースA (UARTA)
	16.4(4) UARTAnオプション制御レジスタ0 (UANOPT0) 記述追加	
	16.4(5) UARTAn状態レジスタ (UANSTR) 注意削除	
	16.6.4 UART受信 記述変更	
	16.6.5 受信エラー 注意記述変更	
	17.4(1) CSIBn制御レジスタ0 (CBnCTL0) 記述変更	第17章 クロック同期式シリアル・インタフェースB (CSIB)
	17.4(1)(a) CBnSCEビットの使用法 追加	
	17.4(4) CSIBn状態レジスタ (CBnSTR) 注意追加	
	17.5.1 シングル転送モード(マスタ・モード,送信モード) 追加	
	17.5.2 シングル転送モード(マスタ・モード,受信モード) 追加	
	17.5.3 シングル転送モード(マスタ・モード,送受信モード) 追加	
	17.5.4 シングル転送モード(スレープ・モード,送信モード) 追加	
	17.5.5 シングル転送モード(スレープ・モード,受信モード) 追加	
	17.5.6 シングル転送モード(スレープ・モード,送受信モード) 追加	
	17.5.7 連続転送モード(マスタ・モード,送信モード) 追加	
	17.5.8 連続転送モード(マスタ・モード,受信モード) 追加	
	17.5.9 連続転送モード(マスタ・モード,送受信モード) 追加	
	17.5.10 連続転送モード(スレープ・モード,送信モード) 追加	
	17.5.11 連続転送モード(スレープ・モード,受信モード) 追加	
	17.5.12 連続転送モード(スレープ・モード,送受信モード) 追加	
	17.5.13 受信エラー 追加	
	17.5.14 クロック・タイミング 注意追加	
図18-2 I ² Cのブロック図 図変更	第18章 I ² Cバス	
18.3(13) ストップ・コンディション生成回路 追加		
18.4(1) IICコントロール・レジスタ (IICC) 記述変更		
18.4(2) IIC状態レジスタ (IICS) 記述変更		
18.4(3) IICフラグ・レジスタ (IICF) 記述追加		
18.4(4) IICクロック選択レジスタ (IICCL) 記述追加		
18.4(5) IIC機能拡張レジスタ (IICX) 記述追加		
18.4(7) プリスケアラ・コンペア・レジスタ (PRSCM) 記述追加		
18.4(9) IICシフト・レジスタ (IIC) 記述追加		

版数	前版までの改版内容	適用箇所
第3版	18.4 (10) スレーブ・アドレス・レジスタ (SVA) 記述追加	第18章 I ² Cバス
	18.6.7 ウェイト解除方法 追加	
	18.7.1 (1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信) 記述変更	
	18.7.1 (2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート) 記述変更	
	18.7.1 (3) WTIMビット = 0のとき 注追加	
	18.7.2 (4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop 記述変更	
	18.7.3 (4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop 記述変更	
	18.7.5 アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作) 記述追加	
	18.7.6 アービトレーション負けの動作 (アービトレーション負けのあと, 不参加) 記述追加	
	18.7.6 (6) WTIMビット = 0のとき 追加	
	18.7.6 (7) WTIMビット = 0のとき 追加	
	18.7.6 (8) WTIMビット = 0のとき 追加	
	18.11 拡張コード (3) に記述追加	
	18.14.1 通信予約機能許可の場合 (IICF.IICRSVビット = 0) 記述変更	
	表18-8 ウェイト時間 追加	
	18.15 注意事項 (3)-(6) 追加	
	18.16 通信動作 記述追加	
	18.16.1 シングルマスタ・システム動作でのマスタ動作 記述変更	
	18.16.2 マルチマスタ・システムでのマスタ動作 記述変更	
	図18-19 スレーブ動作手順(1) 図変更	
	図18-20 スレーブ動作手順(2) 図変更	
	図18-21 マスタ スレーブ通信例(マスタ,スレーブとも9クロック・ウェイト選択時) 図変更	
	図18-22 スレーブ マスタ通信例(マスタ:8クロック,スレーブ:9クロックでウェイト選択時) 図変更	
	19.3.8 DMAインタフェース・コントロール・レジスタ (DIFC) 注意追加	第19章 DMA機能 (DMAコントローラ)
	表19-2 2サイクル転送時におけるDMAAckn信号のアクティブ幅の最小値 記述変更	
	図19-18 DMAフライバイ転送時のタイミング(外部I/O SRAM) 記述変更	
	表19-5 DMAサイクル中の最小実行内部システム・クロック数 記述変更	
	19.14 DMA要求に対する応答時間の最大値 注意記述削除	
	19.15 注意事項 (8), (9) 削除	第20章 割り込み/ 例外処理機能
	表20-1 割り込み要因一覧 記述変更	
	表21-5 IDLEモード時の動作状態 記述変更	第21章 スタンバイ 機能
	表21-7 ソフトウェアSTOPモード時の動作状態 記述変更	
	図22-2 パワーオン時のリセット動作 注意追加	第22章 リセット機能
23.3 ROMコレクションの動作とプログラムの流れ 注意削除および注意記述変更	第23章 ROMコレクション機能	
24.4 注意事項 記述削除	第24章 オンチップ・デバッグ機能 (DCU)	

版数	前版までの改版内容	適用箇所
第3版	26.1 通常動作モード DC特性 電源電流の通常時 (I_{DD1}) とHALT時 (I_{DD2}) のマスクROM内蔵品のスペック追加	第26章 電気的特性
	26.1 通常動作モード AC特性 (1)クロック・タイミング 備考追加	
	26.1 通常動作モード AC特性 (4)(b)リード・タイミング (SRAM, 外部ROM, 外部I/O) \overline{WAIT} 保持時間 (対 \overline{BCYST}) (t_{HBSW}) のスペック変更, 注記述削除	
	26.1 通常動作モード AC特性 (4)(c)ライト・タイミング (SRAM, 外部ROM, 外部I/O) \overline{WAIT} 保持時間 (対 \overline{BCYST}) (t_{HBSW}) のスペック変更, 注記述削除	
	26.1 通常動作モード AC特性 (4)(d)DMAフライバイ転送タイミング (SRAM 外部I/O転送) \overline{WAIT} 保持時間 (対 \overline{BCYST}) (t_{HBSW}) のスペック変更, 注記述削除	
	26.1 通常動作モード AC特性 (4)(e)DMAフライバイ転送タイミング(外部I/O SRAM転送) \overline{WAIT} 保持時間 (対 \overline{BCYST}) (t_{HBSW}) と \overline{IORD} \overline{DMAAKm} 遅延時間 (t_{DRDDA}) のスペック変更, 注記述削除	
	26.1 通常動作モード AC特性 (11)タイマP (TMP), タイマQ (TMQ) タイミング 注追加	
	26.2 電源投入/電源遮断シーケンス 追加	
	26.3 フラッシュ・メモリ・プログラミング・モード (μ PD70F3134A, 70F3134AYのみ) シリアル書き込みオペレーション特性 追加	
	第28章 半田付け推奨条件 追加	
C.2 前版までの改版履歴 追加	付録C 改版履歴	

(メモ)

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
