

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



# ユーザース・マニュアル

$\mu$ PD78F9500, 78F9501, 78F9502

8ビット・シングルチップ・マイクロコントローラ

---

$\mu$ PD78F9500

$\mu$ PD78F9501

$\mu$ PD78F9502

資料番号 U18681JJ2V0JD00 (第2版)

発行年月 February 2008 NS

© NEC Electronics Corporation 2007

(メモ)

# 目次要約

第1章	概 説	...	14
第2章	端子機能	...	20
第3章	CPUアーキテクチャ	...	24
第4章	ポート機能	...	48
第5章	クロック発生回路	...	60
第6章	8ビット・タイマH1	...	72
第7章	ウォッチドッグ・タイマ	...	87
第8章	割り込み機能	...	98
第9章	スタンバイ機能	...	107
第10章	リセット機能	...	114
第11章	パワーオン・クリア回路	...	119
第12章	低電圧検出回路	...	123
第13章	オプション・バイト	...	134
第14章	フラッシュ・メモリ	...	137
第15章	オンチップ・デバッグ機能	...	192
第16章	命令セットの概要	...	196
第17章	電気的特性	...	207
第18章	外形図	...	217
第19章	半田付け推奨条件	...	218
付録A	開発ツール	...	219
付録B	ターゲット・システム設計上の注意	...	225
付録C	レジスタ索引	...	227
付録D	注意事項一覧	...	230
付録E	改版履歴	...	236

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

**注意： 本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash<sup>®</sup>を使用しています。**

- 本資料に記載されている内容は2008年2月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

# はじめに

- 対象者** このマニュアルは $\mu$  PD78F9500, 78F9501, 78F9502の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
- 目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。
- 構成**  $\mu$  PD78F9500, 78F9501, 78F9502のマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。

$\mu$ PD78F9500, 78F9501, 78F9502 ユーザーズ・マニュアル	78K/0Sシリーズ ユーザーズ・マニュアル 命令編
端子機能 内部ブロック機能 割り込み その他の内蔵周辺機能 電気的特性	CPU機能 命令セット 命令の説明

- 読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0Sでは予約語に、CC78K0Sでは #pragma sfr指令で、sfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

$\mu$  PD78F9500, 78F9501, 78F9502の電気的特性を知りたいとき

第17章 電気的特性を参照してください。



- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁  
 アクティブ・ロウの表記 :  $\overline{\text{xxx}}$  (端子, 信号名称に上線)  
 注 : 本文中につけた注の説明  
 注意 : 気をつけて読んでいただきたい内容  
 備考 : 本文の補足説明  
 数の表記 : 2進数... $\text{xxx}$  または  $\text{xxx}$ B  
           10進数... $\text{xxx}$   
           16進数... $\text{xxx}$ H

## 関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

### デバイスの関連資料

資料名	資料番号	
	和 文	英 文
$\mu$ PD78F9500, 78F9501, 78F9502 ユーザーズ・マニュアル	このマニュアル	U18681E
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

### 開発ツール(ソフトウェア)の資料(ユーザーズ・マニュアル)

資料名	資料番号		
	和 文	英 文	
RA78K0S アセンブラ・パッケージ	操作編	U16656J	U16656E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U16654J	U16654E
	言語編	U14872J	U14872E
ID78K0S-QB Ver.2.81 統合デバッガ	操作編	U17287J	U17287E
PM plus Ver.5.20		U16934J	U16934E
Applilet EZ Intelligent Flash		U17211J	-

### 開発ツール(ハードウェア)の資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和 文	英 文
QB-78K0SKX1 インサーキット・エミュレータ	U18219J	U18219E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

**フラッシュ・メモリ書き込み用の資料**

資料名	資料番号	
	和文	英文
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E
PG-FP5 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U18865J	U18865E

**その他の資料**

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文 : <http://www.necel.com/pkg/ja/jissou/index.html>

英文 : <http://www.necel.com/pkg/en/mount/index.html>

**注意** 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

# 目 次

## 第1章 概 説 ... 14

- 1.1 特 徴 ... 14
- 1.2 オータ情報 ... 15
- 1.3 端子接続図 (Top View) ... 16
- 1.4 78K0S/Kx1+の製品展開 ... 17
- 1.5 ブロック図 ... 18
- 1.6 機能概要 ... 19

## 第2章 端子機能 ... 20

- 2.1 端子機能一覧 ... 20
- 2.2 端子機能の説明 ... 21
  - 2.2.1 P20-P23 (Port 2) ... 21
  - 2.2.2 P32, P34 (Port 3) ... 22
  - 2.2.3 P40, P43 (Port 4) ... 22
  - 2.2.4 RESET ... 22
  - 2.2.5 V<sub>DD</sub> ... 22
  - 2.2.6 V<sub>SS</sub> ... 22
- 2.3 端子の入出力回路と未使用端子の処理 ... 23

## 第3章 CPUアーキテクチャ ... 24

- 3.1 メモリ空間 ... 24
  - 3.1.1 内部プログラム・メモリ空間 ... 27
  - 3.1.2 内部データ・メモリ空間 ... 28
  - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 28
  - 3.1.4 データ・メモリ・アドレッシング ... 28
- 3.2 プロセッサ・レジスタ ... 31
  - 3.2.1 制御レジスタ ... 31
  - 3.2.2 汎用レジスタ ... 34
  - 3.2.3 特殊機能レジスタ (SFR) ... 35
- 3.3 命令アドレスのアドレッシング ... 38
  - 3.3.1 レラティブ・アドレッシング ... 38
  - 3.3.2 イミディエト・アドレッシング ... 39
  - 3.3.3 テーブル・インダイレクト・アドレッシング ... 40
  - 3.3.4 レジスタ・アドレッシング ... 40
- 3.4 オペランド・アドレスのアドレッシング ... 41
  - 3.4.1 ダイレクト・アドレッシング ... 41
  - 3.4.2 ショート・ダイレクト・アドレッシング ... 42
  - 3.4.3 特殊機能レジスタ (SFR) アドレッシング ... 43
  - 3.4.4 レジスタ・アドレッシング ... 44
  - 3.4.5 レジスタ・インダイレクト・アドレッシング ... 45
  - 3.4.6 ベースト・アドレッシング ... 46
  - 3.4.7 スタック・アドレッシング ... 47

## 第4章 ポート機能 ... 48

- 4.1 ポートの機能 ... 48
- 4.2 ポートの構成 ... 49
  - 4.2.1 ポート2 ... 49
  - 4.2.2 ポート3 ... 53
  - 4.2.3 ポート4 ... 54
- 4.3 ポート機能を制御するレジスタ ... 55
- 4.4 ポート機能の動作 ... 59
  - 4.4.1 入出力ポートへの書き込み ... 59
  - 4.4.2 入出力ポートからの読み出し ... 59
  - 4.4.3 入出力ポートでの演算 ... 59

## 第5章 クロック発生回路 ... 60

- 5.1 クロック発生回路の機能 ... 60
  - 5.1.1 システム・クロック発振回路 ... 60
  - 5.1.2 インターバル時間生成用クロック発振回路 ... 60
- 5.2 クロック発生回路の構成 ... 61
- 5.3 クロック発生回路を制御するレジスタ ... 63
- 5.4 システム・クロック発振回路 ... 65
  - 5.4.1 高速内蔵発振回路 ... 65
  - 5.4.2 外部クロック入力回路 ... 65
  - 5.4.3 プリスケーラ ... 65
- 5.5 CPUクロック発生回路の動作 ... 66
- 5.6 周辺ハードウェアへ供給するクロック発生回路の動作 ... 70

## 第6章 8ビット・タイマH1 ... 72

- 6.1 8ビット・タイマH1の機能 ... 72
- 6.2 8ビット・タイマH1の構成 ... 72
- 6.3 8ビット・タイマH1を制御するレジスタ ... 75
- 6.4 8ビット・タイマH1の動作 ... 77
  - 6.4.1 インターバル・タイマ / 方形波出力としての動作 ... 77
  - 6.4.2 PWM出力モードとしての動作 ... 81

## 第7章 ウォッチドッグ・タイマ ... 87

- 7.1 ウォッチドッグ・タイマの機能 ... 87
- 7.2 ウォッチドッグ・タイマの構成 ... 89
- 7.3 ウォッチドッグ・タイマを制御するレジスタ ... 90
- 7.4 ウォッチドッグ・タイマの動作 ... 92
  - 7.4.1 オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作 ... 92
  - 7.4.2 オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作 ... 94
  - 7.4.3 STOPモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合）... 96

- 7.4.4 HALTモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合）... 97

## 第8章 割り込み機能 ... 98

- 8.1 割り込み機能の種類 ... 98
- 8.2 割り込み要因と構成 ... 98
- 8.3 割り込み機能を制御するレジスタ ... 99
- 8.4 割り込み処理動作 ... 102
  - 8.4.1 マスカブル割り込み要求の受け付け動作 ... 102
  - 8.4.2 多重割り込み処理 ... 104
  - 8.4.3 割り込み要求の保留 ... 106

## 第9章 スタンバイ機能 ... 107

- 9.1 スタンバイ機能と構成 ... 107
  - 9.1.1 スタンバイ機能 ... 107
- 9.2 スタンバイ機能の動作 ... 109
  - 9.2.1 HALTモード ... 109
  - 9.2.2 STOPモード ... 111

## 第10章 リセット機能 ... 114

- 10.1 リセット要因を確認するレジスタ ... 118

## 第11章 パワーオン・クリア回路 ... 119

- 11.1 パワーオン・クリア回路の機能 ... 119
- 11.2 パワーオン・クリア回路の構成 ... 120
- 11.3 パワーオン・クリア回路の動作 ... 120
- 11.4 パワーオン・クリア回路の注意事項 ... 121

## 第12章 低電圧検出回路 ... 123

- 12.1 低電圧検出回路の機能 ... 123
- 12.2 低電圧検出回路の構成 ... 124
- 12.3 低電圧検出回路を制御するレジスタ ... 124
- 12.4 低電圧検出回路の動作 ... 127
- 12.5 低電圧検出回路の注意事項 ... 131

## 第13章 オプション・バイト ... 134

- 13.1 オプション・バイトの機能 ... 134
- 13.2 オプション・バイトのフォーマット ... 135
- 13.3 RESET端子を入力専用ポート（P34）として使用した場合の注意事項 ... 136

## 第14章 フラッシュ・メモリ ... 137

- 14.1 特 徴 ... 137
- 14.2 メモリ構成 ... 138
- 14.3 機能概要 ... 138
- 14.4 フラッシュ・メモリ・プログラマによる書き込み方法 ... 139
- 14.5 プログラミング環境 ... 140
- 14.6 オンボード上の端子処理 ... 141
  - 14.6.1 EXCLK端子 ... 141
  - 14.6.2 RESET端子 ... 142
  - 14.6.3 ポート端子 ... 142
  - 14.6.4 電 源 ... 142
- 14.7 オンボード/オフボード時のフラッシュ・メモリ・プログラミング ... 143
  - 14.7.1 フラッシュ・メモリ・プログラミング・モード ... 143
  - 14.7.2 通信コマンド ... 143
  - 14.7.3 セキュリティ設定 ... 144
- 14.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 145
  - 14.8.1 セルフ・プログラミングの概要 ... 145
  - 14.8.2 セルフ・プログラミング機能の注意事項 ... 148
  - 14.8.3 セルフ・プログラミング機能で使用するレジスタ ... 148
  - 14.8.4 通常モードからセルフ・プログラミング・モードへの移行例 ... 156
  - 14.8.5 セルフ・プログラミング・モードから通常モードへの移行例 ... 159
  - 14.8.6 セルフ・プログラミング・モードのブロック消去動作例 ... 162
  - 14.8.7 セルフ・プログラミング・モードのブロック・ブランク・チェック動作例 ... 165
  - 14.8.8 セルフ・プログラミング・モードのバイト書き込み動作例 ... 168
  - 14.8.9 セルフ・プログラミング・モードの内部ベリファイ動作例 ... 171
  - 14.8.10 セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例 ... 175
  - 14.8.11 セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例 ... 181

## 第15章 オンチップ・デバッグ機能 ... 192

- 15.1 QB-MINI2との接続 ... 192
  - 15.1.1 INTP1端子の処理 ... 193
  - 15.1.2 EXCLK, P22端子の処理 ... 194
- 15.2 ユーザ資源の確保 ... 195

## 第16章 命令セットの概要 ... 196

- 16.1 オペレーション ... 196
  - 16.1.1 オペランドの表現形式と記述方法 ... 196
  - 16.1.2 オペレーション欄の説明 ... 197
  - 16.1.3 フラグ動作欄の説明 ... 197
- 16.2 オペレーション一覧 ... 198
- 16.3 アドレッシング別命令一覧 ... 204

## 第17章 電気的特性 ... 207

**第18章 外形図 ... 217**

**第19章 半田付け推奨条件 ... 218**

**付録A 開発ツール ... 219**

- A.1 ソフトウェア・パッケージ ... 222
- A.2 言語処理用ソフトウェア ... 222
- A.3 制御ソフトウェア ... 223
- A.4 フラッシュ・メモリ書き込み用ツール ... 223
- A.5 デバッグ用ツール(ハードウェア) ... 224
  - A.5.1 インサーキット・エミュレータ QB-78K0SKX1を使用する場合 ... 224
  - A.5.2 オンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 224
- A.6 デバッグ用ツール(ソフトウェア) ... 224

**付録B ターゲット・システム設計上の注意 ... 225**

**付録C レジスタ索引 ... 227**

- C.1 レジスタ索引(50音順) ... 227
- C.2 レジスタ索引(アルファベット順) ... 228

**付録D 注意事項一覧 ... 230**

**付録E 改版履歴 ... 236**

- E.1 本版で改訂された主な箇所 ... 236

# 第1章 概 説

## 1.1 特 徴

78K0S CPUコア搭載

ROM, RAM容量

品 名	プログラム・メモリ (フラッシュ・メモリ)	データ・メモリ (内部高速RAM)
μ PD78F9500	1 Kバイト	128バイト
μ PD78F9501	2 Kバイト	
μ PD78F9502	4 Kバイト	

最小命令実行時間 0.2 μs (10 MHz@4.0~5.5 V動作時)

クロック

- ・高速システム・クロック … 以下の2種類のソースから選択
  - 外部クロック 2~10 MHz
  - 高速内蔵発振器 8 MHz±2% (-10~+85 ) , 8 MHz±5% (-40~+85 )
- ・低速内蔵発振器 240 kHz (TYP.) … ウォッチドッグ・タイマ, 間欠動作時のタイマ用クロック

I/Oポート: 8本 (CMOS入出力: 7本, CMOS入力: 1本)

タイマ: 2チャンネル

- ・8ビット・タイマ : 1チャンネル … PWM出力×1
- ・ウォッチドッグ・タイマ : 1チャンネル … 低速内蔵発振クロックで動作可能

パワーオン・クリア (POC) 回路内蔵 (2.1 V±0.1 V以下になった時に, 自動的にリセットを発生)

低電圧検出 (LVI) 回路内蔵 (検出電圧になった時に, 割り込み/リセット (どちらか選択可能) を発生)

- ・検出電圧: 2.35~4.3 V間の10段階から選択可能

単電源フラッシュ・メモリ

- ・セルフ・プログラミング可能
- ・ソフトウェア保護機能: 第三者からのコピー防止 (フラッシュ読み出しのコマンド無し)
- ・専用フラッシュ・プログラマによる書き込み時間: 約3秒 (4 KB) 量産工程の書き込みに対応可能

セーフティ機能

- ・CPUと独立したクロックで動作するウォッチドッグ・タイマ
  - … システム・クロックが停止しても, 暴走監視可能
- ・LVIにより電源電圧の低下を検出可能
  - … 動作電圧以下に電圧低下してしまう前に, 適切な処理を実行することが可能
- ・オプション・バイト機能搭載
  - … 重要なシステム動作設定をハードウェアで設定

アセンブラ/C言語の両方に対応

充実した開発環境

- ・フル機能エミュレータ (IECUBE), 簡易エミュレータ (MINICUBE2), シミュレータ<sup>※</sup>をサポート

注 μ PD78F9500, 78F9501, 78F9502の対応版は開発中です。



電源電圧 :  $V_{DD} = 2.0 \sim 5.5 \text{ V}$     ただしPOC検出電圧 ( $V_{POC}$ ) 以上のため, 2.2 ~ 5.5 Vで使用してください。

動作周囲温度 :  $T_A = -40 \sim +85$

## 1.2 オーダ情報

オーダ名称

$\mu$ PD78F9    x x x    x x    (x) -    x x x    -A

半導体部材	
記載なし	従来
-A	鉛フリー

品質水準	
なし	標準 (一般電子機器用)

パッケージ・タイプ	
MA-CAC	プラスチックSSOP

	ピン数	高速RAM容量	フラッシュ・メモリ容量
500	10ピン	128バイト	1 Kバイト
501	10ピン	128バイト	2 Kバイト
502	10ピン	128バイト	4 Kバイト

製品タイプ	
F	フラッシュ・メモリ製品

### 【オーダ名称一覧】

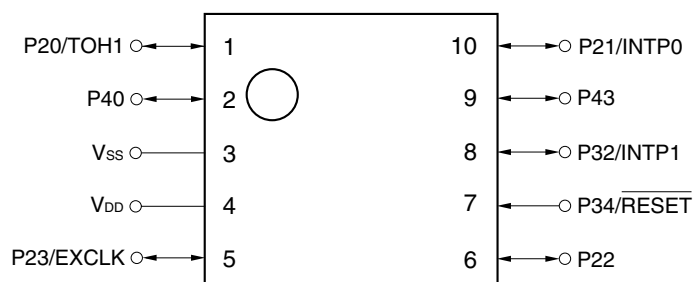
$\mu$ PD78F9500MA-CAC-A

$\mu$ PD78F9501MA-CAC-A

$\mu$ PD78F9502MA-CAC-A

### 1.3 端子接続図 (Top View)

10ピン・プラスチックSSOP



INTP0, INTP1 : External Interrupt Input

P20-P23 : Port 2

P32, P34 : Port 3

P40, P43 : Port 4

$\overline{\text{RESET}}$  : Reset

TOH1 : Timer Output

VDD : Power Supply

Vss : Ground

EXCLK : External Clock Input  
(Main System Clock)

## 1.4 78K0S/Kx1+の製品展開

78K0S/Kx1+の機能一覧を次に示します。

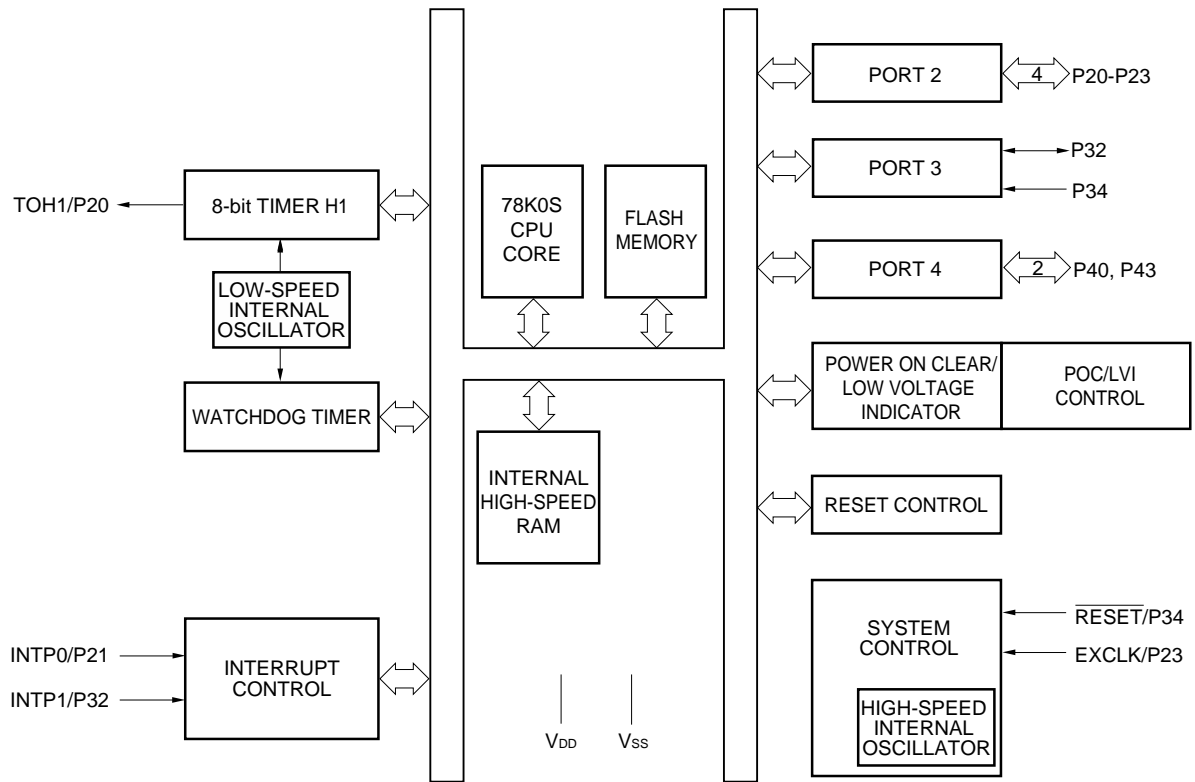
品 名		78K0S/KU1+	78K0S/KY1+	78K0S/KA1+	78K0S/KB1+
項 目					
ピン数		10ピン	16ピン	20ピン	30/32ピン
内部メモリ (バイト)	フラッシュ・メモリ	1 K, 2 K, 4 K		2 K	4 K
	RAM	128		128	256
電源電圧		$V_{DD} = 2.0 \sim 5.5V$ <sup>注1</sup>			
最小命令実行時間		0.20 $\mu$ s (10 MHz, $V_{DD} = 4.0 \sim 5.5$ V時) 0.33 $\mu$ s (6 MHz, $V_{DD} = 3.0 \sim 5.5$ V時) 0.40 $\mu$ s (5 MHz, $V_{DD} = 2.7 \sim 5.5$ V時) 1.0 $\mu$ s (2 MHz, $V_{DD} = 2.0 \sim 5.5$ V時)			
システム・クロック (発振周波数)		高速内蔵発振 (8 MHz (TYP.)) 水晶 / セラミック発振 (2 ~ 10 MHz) <sup>注2</sup> 外部クロック入力発振 (2 ~ 10 MHz)			
TMH1, WDT用クロック (発振周波数)		低速内蔵発振 (240 kHz (TYP.))			
ポート	CMOS入出力	7	13	15	24
	CMOS入力	1	1	1	1
	CMOS出力			1	1
タイマ	16ビット (TM0)	1 ch <sup>注3</sup>			
	8ビット (TMH)	1 ch			
	8ビット (TM8)	1 ch			
	WDT	1 ch			
シリアル・インタフェース		LIN-Bus対応UART : 1 ch			
A/Dコンバータ <sup>注4</sup>		10ビット : 4 ch (2.7 ~ 5.5 V) <sup>注4</sup>			
乗算器 (8ビットx8ビット)		なし			あり
割り込み	内部	5 <sup>注5</sup>		9	
	外部	2		4	
リセット	RESET端子	あり			
	POC	2.1 V (TYP.)			
	LVI	あり (ソフトウェアにより選択可能)			
	WDT	あり			
動作周囲温度		標準品 : -40 ~ +85	標準品, (A) 水準品 : -40 ~ +85 , (A2) 水準品 : -40 ~ +125		

注1. パワーオン・クリア (POC) 回路の検出電圧 ( $V_{POC}$ ) が含まれるため、下記の電圧範囲で使用してください。

標準品, (A) 水準品 : 2.2 ~ 5.5 V, (A2) 水準品 : 2.26 ~ 5.5 V

- 本製品 ( $\mu$ PD78F950x) は、水晶 / セラミック発振には対応していません。
- 78K0S/KU1+のA/Dコンバータ非搭載品 ( $\mu$ PD78F950x) では16ビット・タイマ (TM0) は搭載していません。
- 78K0S/KU1+, 78K0S/KY1+には、それぞれA/Dコンバータ非搭載品 ( $\mu$ PD78F95xx) があります。本製品はA/Dコンバータ非搭載品です。
- 78K0S/KU1+のA/Dコンバータ非搭載品の内部要因は、2つです。78K0S/KY1+のA/Dコンバータ非搭載品の内部要因は、4つです。

## 1.5 ブロック図



## 1.6 機能概要

項 目		$\mu$ PD78F9500	$\mu$ PD78F9501	$\mu$ PD78F9502
内部メモリ	フラッシュ・メモリ	1 Kバイト	2 Kバイト	4 Kバイト
	高速RAM	128バイト		
メモリ空間		64 Kバイト		
クロック	メイン	高速システム	外部クロック入力：10 MHz ( $V_{DD} = 2.7 \sim 5.5$ V)	
		高速内蔵発振	8 MHz (TYP.)	
	低速内蔵発振	240 kHz (TYP.)		
汎用レジスタ		8ビット×8レジスタ		
命令実行時間		0.2 $\mu$ s/0.4 $\mu$ s/0.8 $\mu$ s /1.6 $\mu$ s /3.2 $\mu$ s (高速システム・クロック： $f_x = 10$ MHz動作時)		
I/Oポート		合計 : 8本 CMOS入出力 : 7本 CMOS入力 : 1本		
タイマ		・8ビット・タイマ (タイマH1)	: 1チャンネル	
		・ウォッチドッグ・タイマ	: 1チャンネル	
	タイマ出力	2本 (PWM : 1本)		
ベクタ割り込み要因	外部	2		
	内部	2		
リセット		<ul style="list-style-type: none"> <li>・ <math>\overline{\text{RESET}}</math> 端子によるリセット</li> <li>・ウォッチドッグ・タイマによる内部リセット</li> <li>・パワーオン・クリアによる内部リセット</li> <li>・低電圧検出回路による内部リセット</li> </ul>		
電源電圧		$V_{DD} = 2.0 \sim 5.5$ V <sup>注</sup>		
動作周囲温度		- 40 ~ + 85		
パッケージ		10ピン・プラスチックSSOP		

注 パワーオン・クリア (POC) 回路の検出電圧 ( $V_{POC}$ ) が  $2.1 \text{ V} \pm 0.1 \text{ V}$  のため、 $2.2 \sim 5.5 \text{ V}$  の電圧範囲で使用してください。

## 第2章 端子機能

### 2.1 端子機能一覧

#### (1) ポート機能

端子名称	入出力	機 能		リセット時	兼用端子
P20	入出力	ポート2。		入力ポート	TOH1
P21		4ビット入出力ポート。			INTP0
P22		1ビット単位で入力 / 出力の指定可能。			-
P23 <sup>注</sup>		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			EXCLK <sup>注</sup>
P32	入出力	ポート3。 ソフトウェアの設定により、内蔵	1ビット単位で入力 / 出力の指 定可能。	入力ポート	INTP1
P34 <sup>注</sup>	入力	プルアップ抵抗を使用可能。	入力専用。	入力ポート	RESET <sup>注</sup>
P40, P43	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能		入力ポート	-

注 端子機能の設定方法については、第13章 オプション・バイトを参照してください。

注意 P22, P23/EXCLKはリセット中のときプルダウンされています。P34/ $\overline{\text{RESET}}$ は、リセット端子機能 / パワーオン・クリア回路によるリセット中のとき、プルアップされています。

#### (2) ポート以外の機能

端子名称	入出力	機 能		リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下 がりの両エッジ）指定可能な外部割り込み入力		入力ポート	P21
INTP1					P32
TOH1	出力	8ビット・タイマH1出力		入力ポート	P20
RESET <sup>注</sup>	入力	システム・リセット入力		入力ポート	P34 <sup>注</sup>
EXCLK <sup>注</sup>	入力	メイン・システム・クロック用外部クロック入力。		入力ポート	P23 <sup>注</sup>
V <sub>DD</sub>	-	正電源		-	-
V <sub>SS</sub>	-	グランド電位		-	-

注 端子機能の設定方法については、第13章 オプション・バイトを参照してください。

注意 P22, P23/EXCLKはリセット中のときプルダウンされています。P34/ $\overline{\text{RESET}}$ は、リセット端子機能 / パワーオン・クリア回路によるリセット中のとき、プルアップされています。

## 2.2 端子機能の説明

### 2.2.1 P20-P23 (Port 2)

4ビットの入出力ポートです。入出力ポートのほかに、タイマ出力、外部割り込み要求入力機能、メイン・システム・クロック用外部クロック入力機能があります。

P23は、EXCLKと兼用しています。端子機能の設定方法については、**第13章 オプション・バイト**を参照してください。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ2 (PU2) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

タイマ出力、外部割り込み要求入力として機能します。

##### (a) TOH1

8ビット・タイマH1の出力端子です。

##### (b) INTP0

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

##### (c) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

**注意** P22, P23/EXCLKはリセット中のときプルダウンされています。

### 2.2.2 P32, P34 (Port 3)

P32は、1ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力機能があります。

P34は、1ビットの入力専用ポートです。 $\overline{\text{RESET}}$  と兼用しており、パワーオン時はリセット機能となります。パワーオン後の端子機能の設定方法については、第13章 オプション・バイトを参照してください。

また、P34を入力ポートとして使用する場合は、プルアップ抵抗を接続してください。

P32, P34は、1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

P32は、1ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

また、P34は、1ビットの入力専用ポートとして機能します。

#### (2) コントロール・モード

P32は、有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子 (INTP1) として機能します。

**注意** P34/ $\overline{\text{RESET}}$ は、リセット端子機能/パワーオン・クリア回路によるリセット中のとき、プルアップされています。

### 2.2.3 P40, P43 (Port 4)

2ビットの入出力ポートです。ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

### 2.2.4 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。パワーオン時には、オプション・バイトの設定によらず、リセット機能になります。

**注意** P34/ $\overline{\text{RESET}}$ は、リセット端子機能/パワーオン・クリア回路によるリセット中のとき、プルアップされています。

### 2.2.5 VDD

正電源供給端子です。

### 2.2.6 VSS

グランド電位端子です。

VSSは必ず安定しているGND (= 0 V) に接続してください。



## 2.3 端子の入出力回路と未使用端子の処理

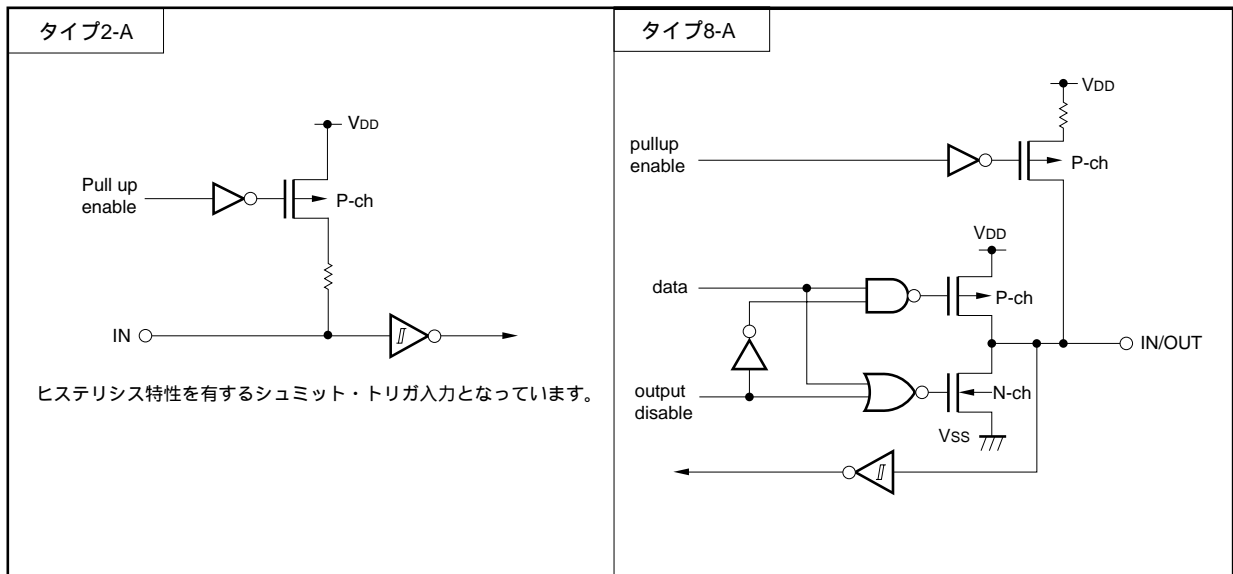
各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P20/TOH1	8-A	入出力	入力時:個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時:オープンにしてください。
P21/INTP0			
P22			
P23/EXCLK			
P32/INTP1			
P34/ $\overline{\text{RESET}}$	2-A	入力	オプション・バイトのENPU34を“1”に設定し、オープンにしてください。
P40, P43	8-A	入出力	入力時:個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時:オープンにしてください。

図2 - 1 端子の入出力回路一覧

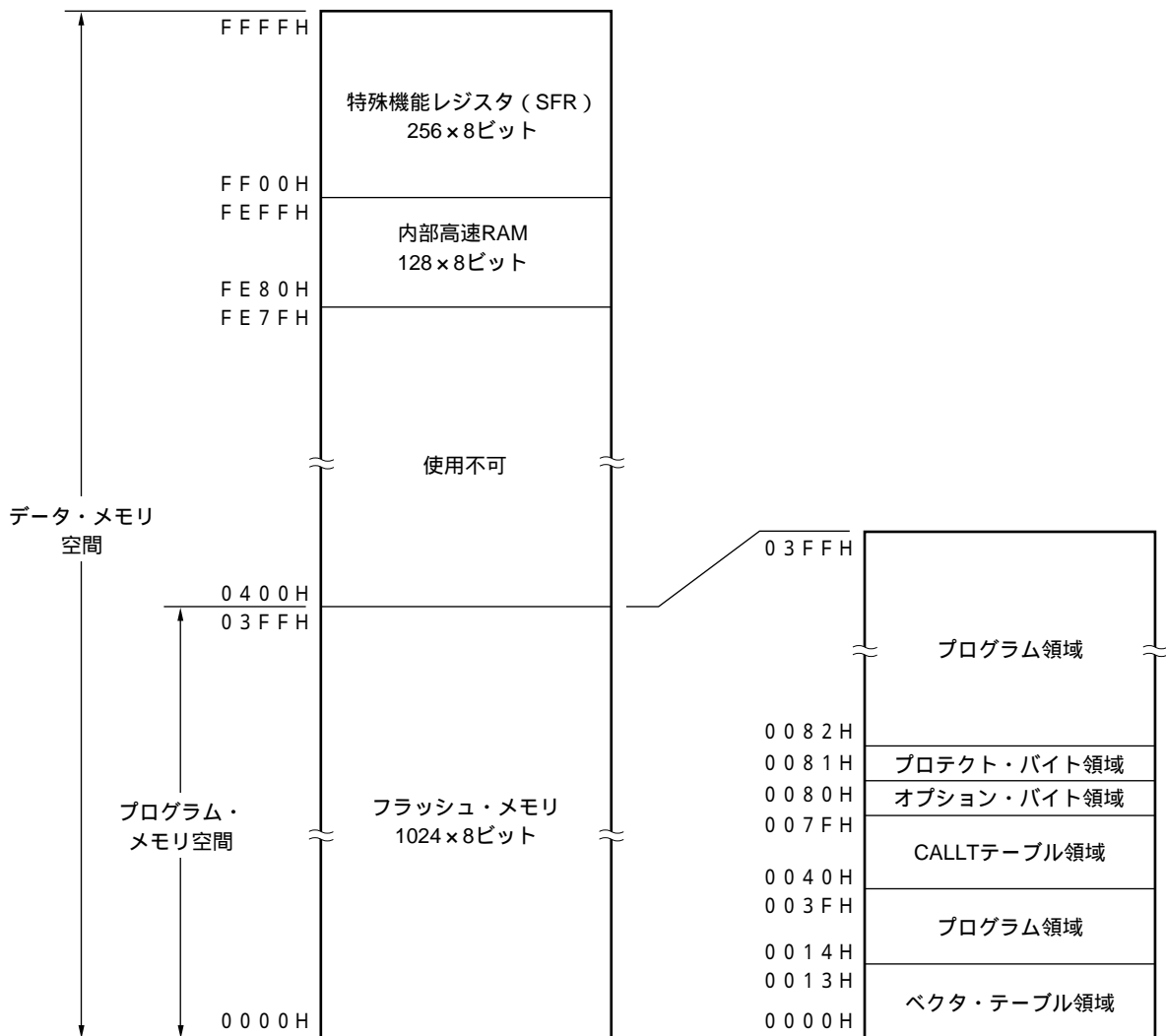


# 第3章 CPUアーキテクチャ

## 3.1 メモリ空間

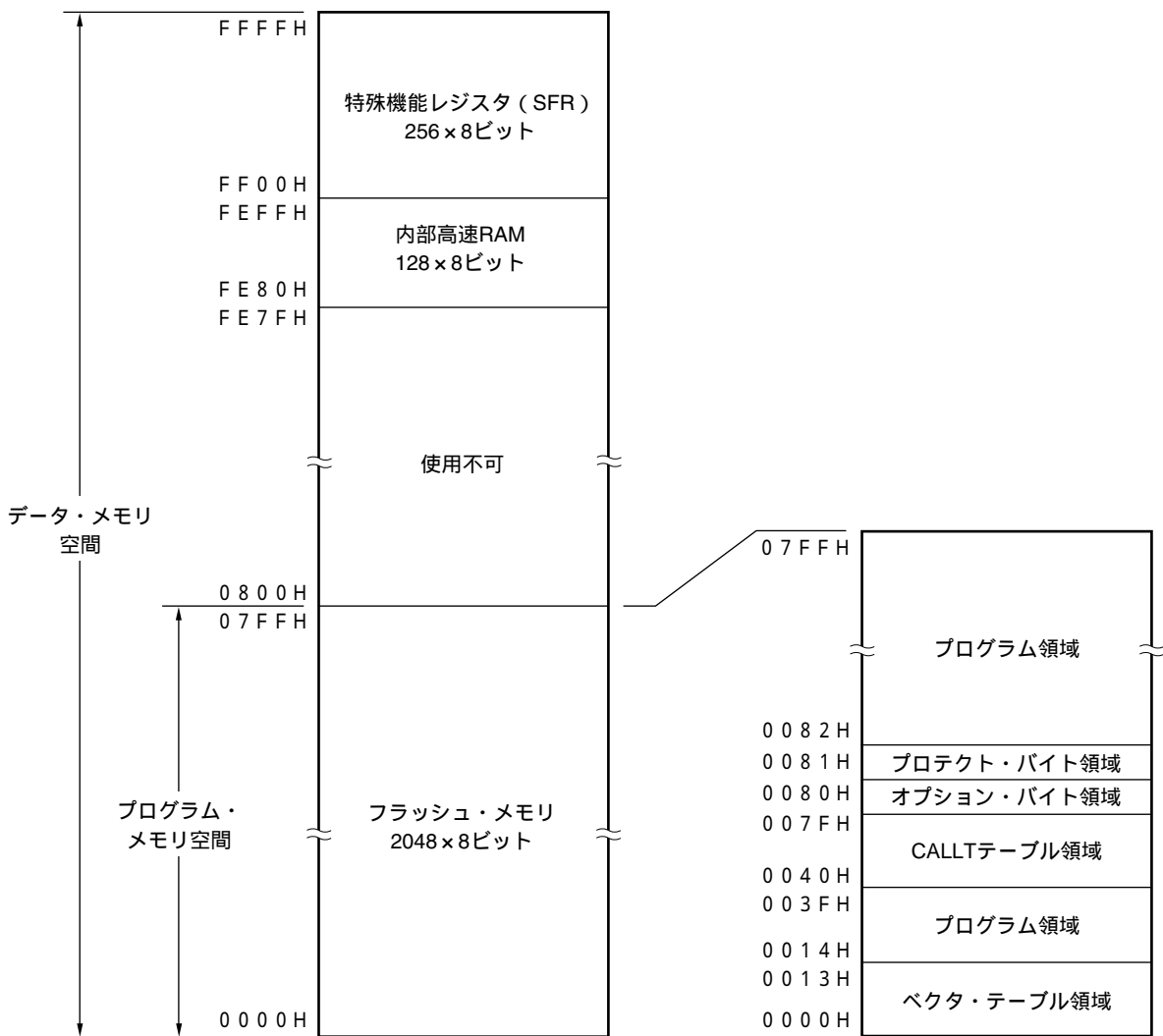
μ PD78F9500, 78F9501, 78F9502は、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1 ~ 図3 - 3に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD78F9500)



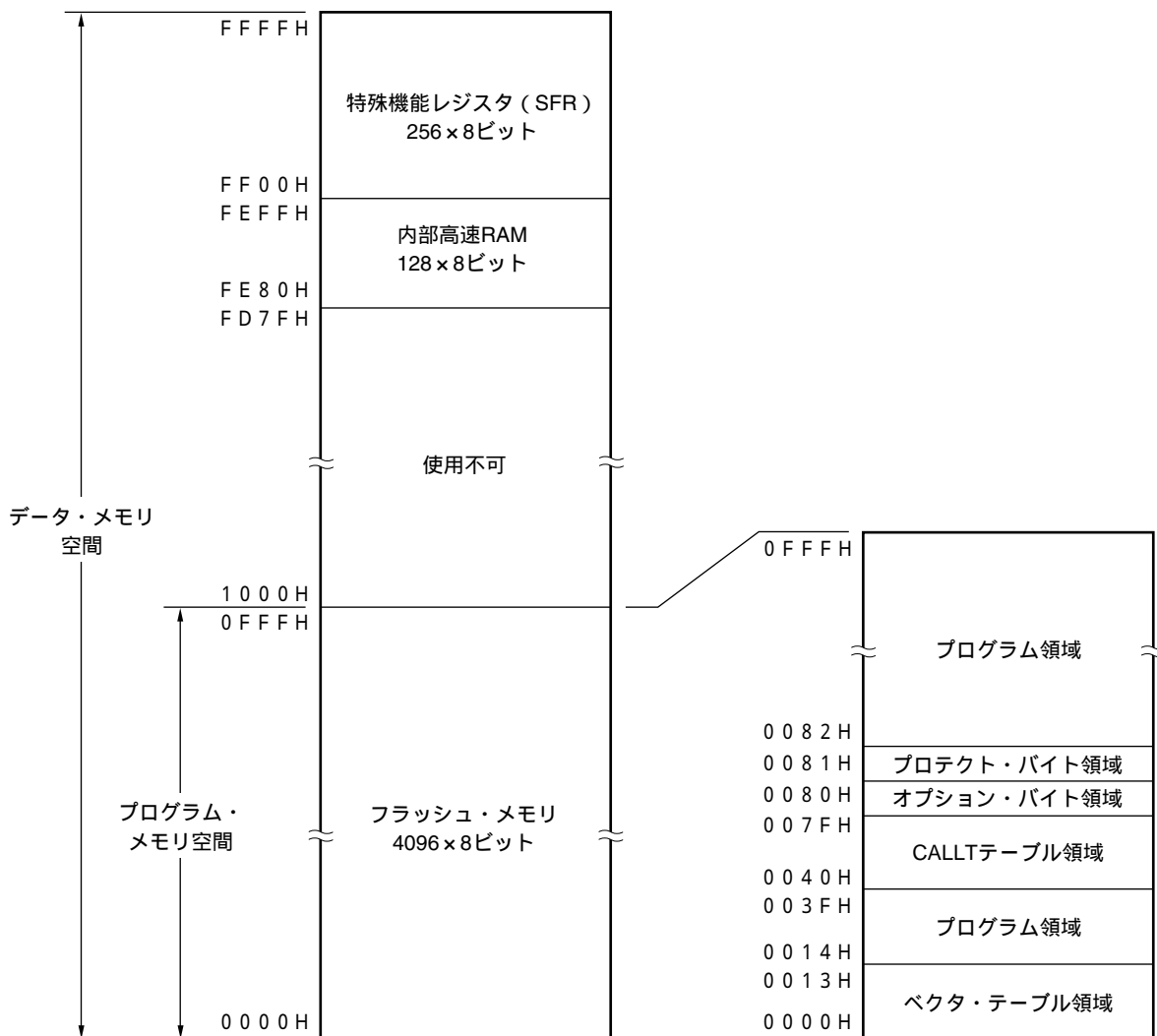
備考 オプション・バイト、プロテクト・バイトは、それぞれ1バイトのみです

図3-2 メモリ・マップ (μ PD78F9501)



備考 オプション・バイト, プロテクト・バイトは, それぞれ1バイトのみです

図3-3 メモリ・マップ (μ PD78F9502)



備考 オプション・バイト，プロテクト・バイトは，それぞれ1バイトのみです

### 3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD78F9500, 78F9501, 78F9502では、各製品ごとに次の容量の内部ROM（フラッシュ・メモリ）を内蔵しています。

表3 - 1 内部ROM容量

品 名	内部ROM	
	構 造	容 量
μPD78F9500	フラッシュ・メモリ	1024 × 8ビット
μPD78F9501		2048 × 8ビット
μPD78F9502		4096 × 8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

#### (1) ベクタ・テーブル領域

0000H-0013Hの20バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求
0000H	リセット
0006H	INTLVI
0008H	INTP0
000AH	INTP1
000CH	INTTMH1

#### (2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

#### (3) オプション・バイト領域

0080Hの1バイトの領域にオプション・バイト領域を用意しています。詳細は、第13章 オプション・バイトを参照してください。

#### (4) プロテクト・バイト領域

0081Hの1バイトの領域にプロテクト・バイト領域を用意しています。詳細は、第14章 フラッシュ・メモリを参照してください。

### 3.1.2 内部データ・メモリ空間

$\mu$  PD78F9500, 78F9501, 78F9502には128バイトの内部高速RAMを内蔵しています。  
内部高速RAMはスタックとしても使用します。

### 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (表3 - 3参照)。

### 3.1.4 データ・メモリ・アドレッシング

$\mu$  PD78F9500, 78F9501, 78F9502は、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FE80H-FE7FH) や特殊機能レジスタ (SFR) 領域などでは、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 4 ~ 図3 - 6にデータ・メモリのアドレッシングを示します。

図3 - 4 データ・メモリのアドレッシング ( $\mu$  PD78F9500)

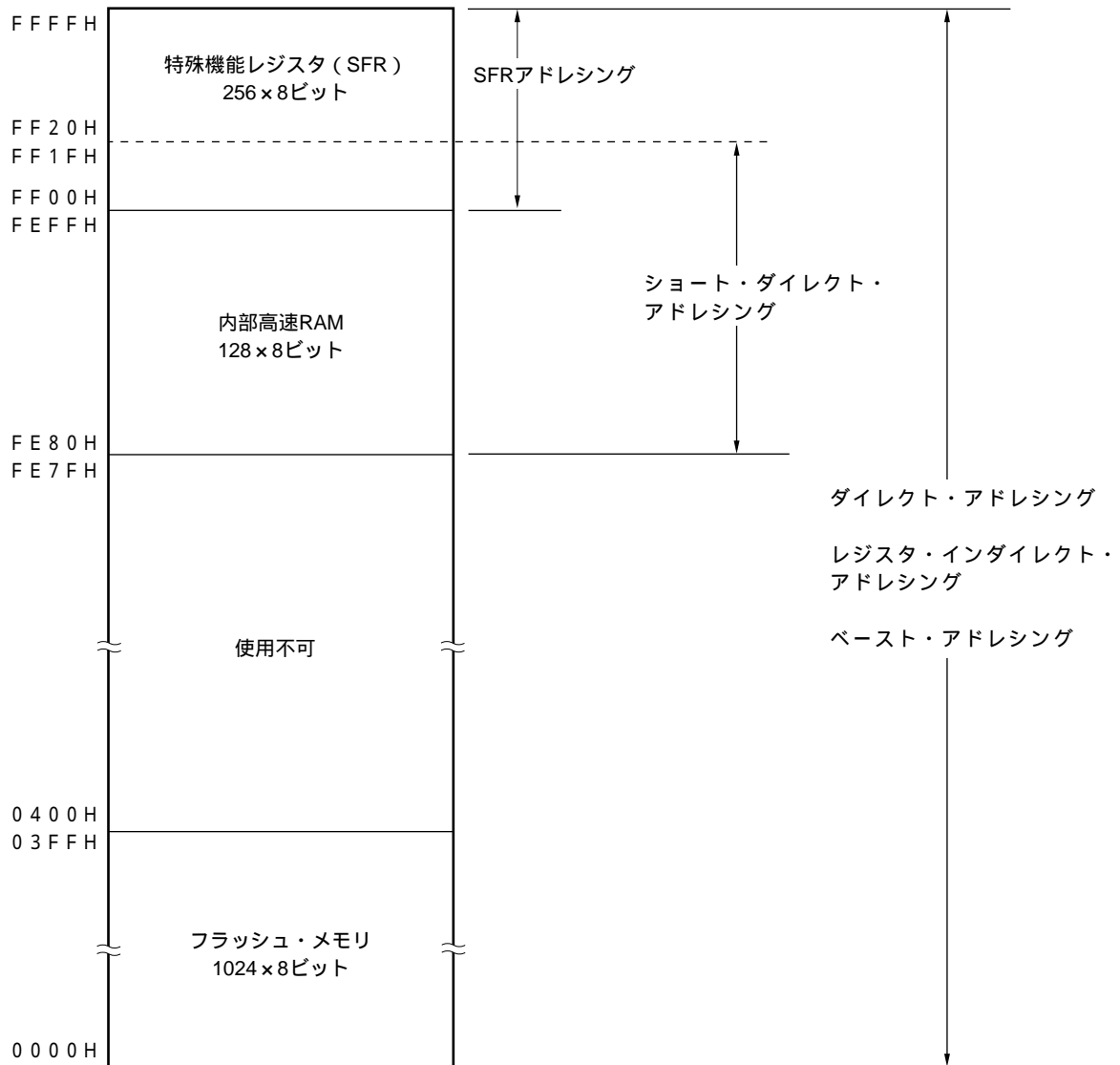


図3-5 データ・メモリのアドレッシング ( $\mu$ PD78F9501)

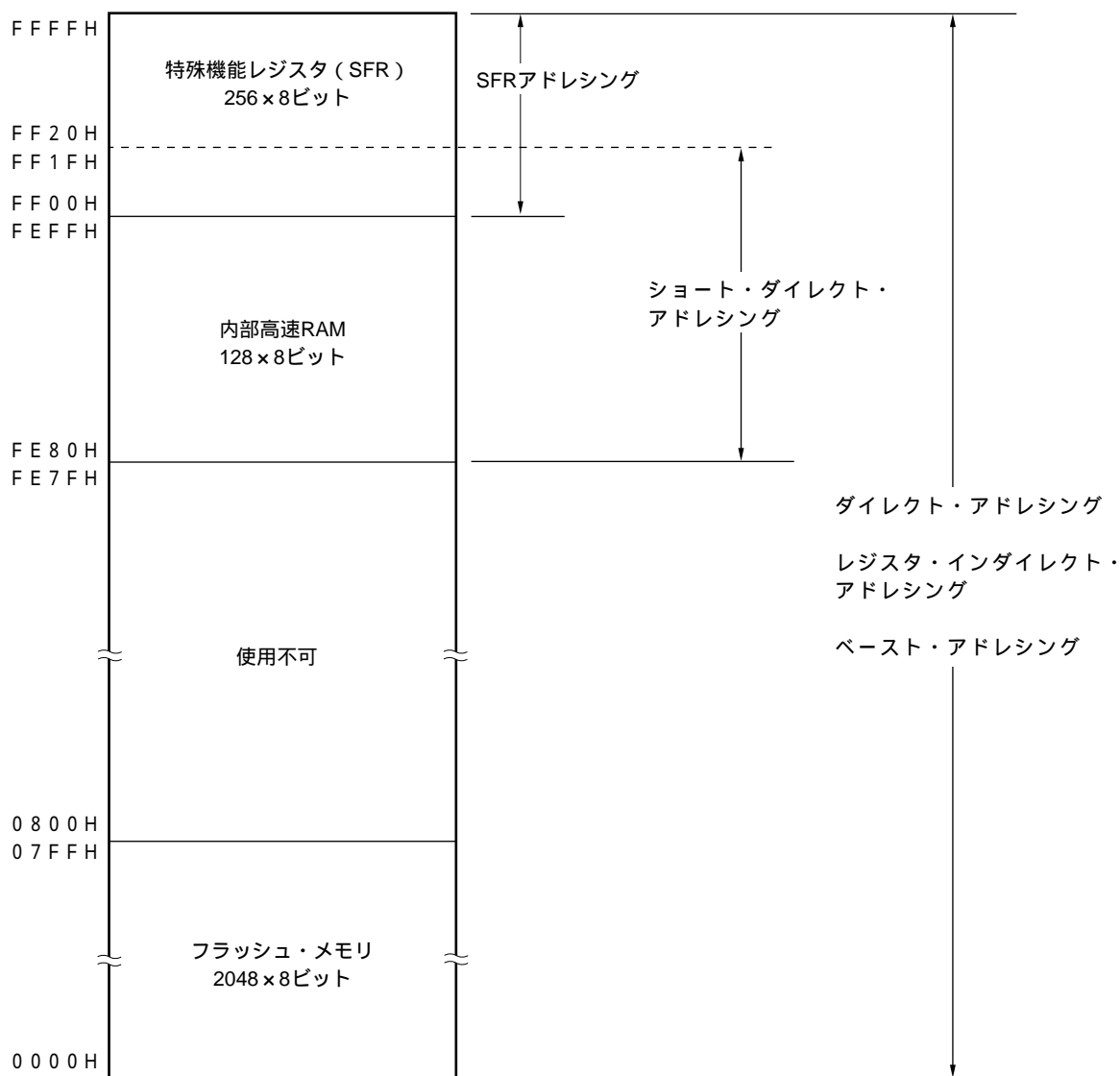
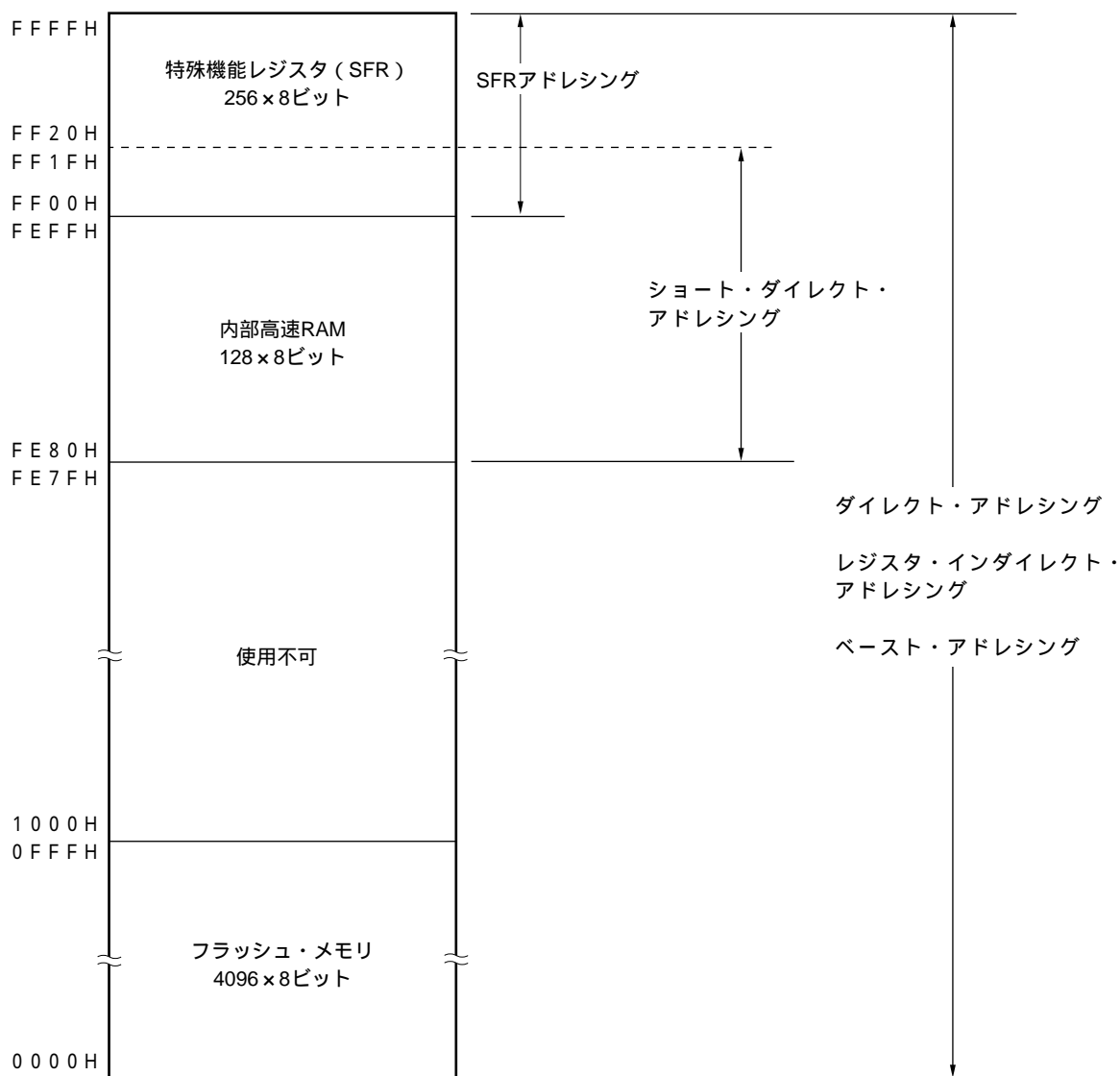


図3-6 データ・メモリのアドレッシング ( $\mu$  PD78F9502)





## 3.2 プロセッサ・レジスタ

$\mu$  PD78F9500, 78F9501, 78F9502は、次のプロセッサ・レジスタを内蔵しています。

### 3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

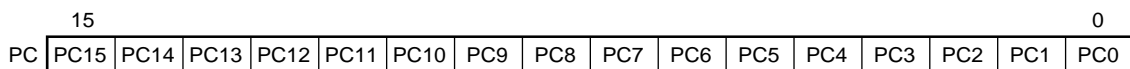
#### (1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 7 プログラム・カウンタの構成



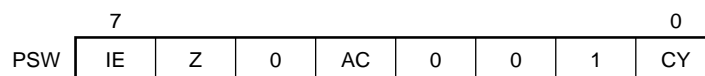
#### (2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3 - 8 プログラム・ステータス・ワードの構成



**(a) 割り込み許可フラグ (IE)**

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

**(b) ゼロ・フラグ (Z)**

演算結果がゼロのときセット (1) され、それ以外るときにリセット (0) されるフラグです。

**(c) 補助キャリー・フラグ (AC)**

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外るときにリセット (0) されるフラグです。

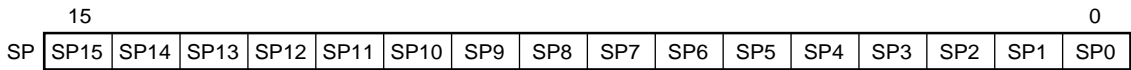
**(d) キャリー・フラグ (CY)**

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です (スタック領域としては内部高速RAM領域以外は設定できません)。

図3 - 9 スタック・ポインタの構成



スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 10, 図3 - 11のようになります。

- 注意1.** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 2.** スタック・ポインタは高速RAM領域だけを指すようになっており、実際に設定できるのは下位の10ビットだけです。  
 そのため、スタック・ポインタに0FF00Hを指定した場合、0FF00Hは高速RAM領域ではなく、SFR領域ですので、高速RAM領域に変換されて0FB00Hになります。  
 なお、実際にスタックに値をPUSHする場合には0FB00Hはマイナス1されて0FAFFH になりますが、これは高速RAM領域ではないので、変換されて0FEFFHとなり、スタック・ポインタに0FF00Hを設定したときと同じになります。

図3 - 10 スタック・メモリへ退避されるデータ

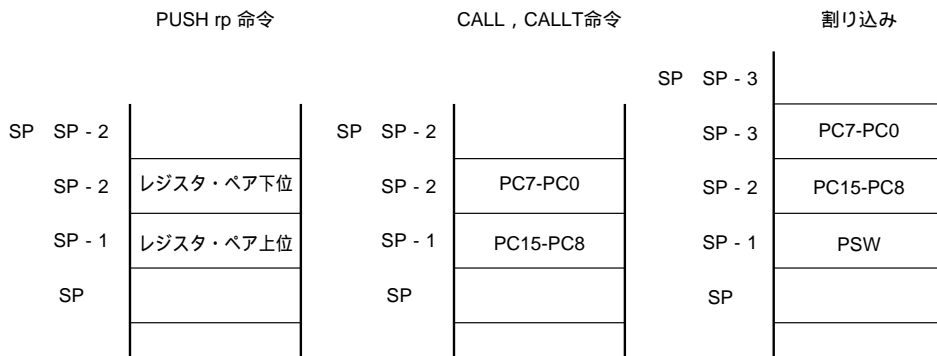
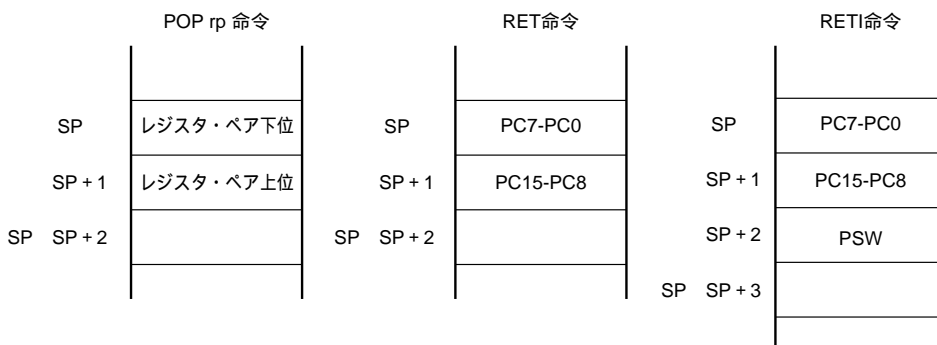


図3 - 11 スタック・メモリから復帰されるデータ



### 3.2.2 汎用レジスタ

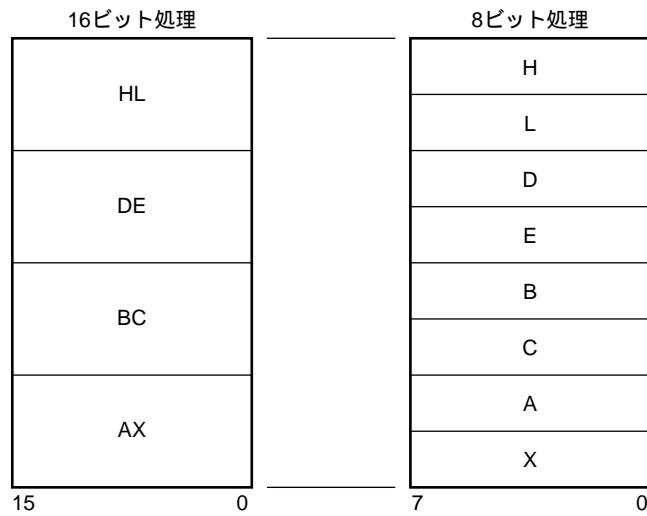
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

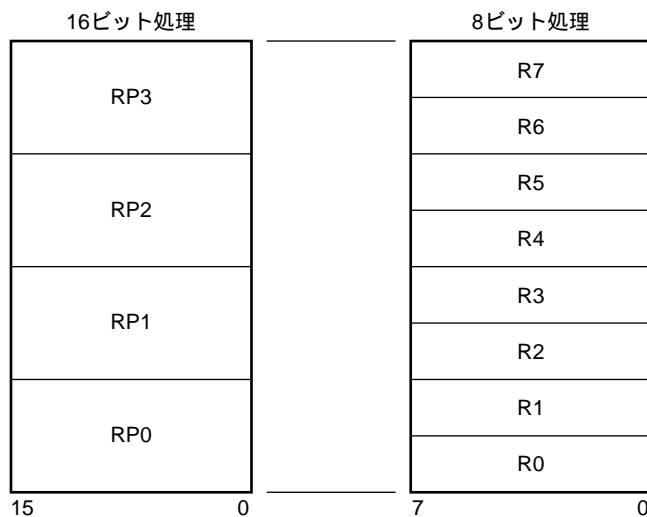
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 12 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



### 3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスとビットでも指定できます。

- ・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号

内蔵された特殊機能レジスタのアドレスを示す略号です。RA78K0Sで予約語に、CC78K0Sでは#pragma sfr 指令で、sfr変数として定義されているものです。アセンブラ、統合デバッガ使用時に命令のオペランドとして記述できます。

- ・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・リセット時

リセット入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ一覧(1/2)

アドレス	略号	ビット番号								R/W	操作可能ビット単位			リセット時	参照ページ
		7	6	5	4	3	2	1	0		1	8	16		
FF00H, FF01H	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
FF02H	P2	0	0	0	0	P23	P22	P21	P20	R/W 注1			-	00H	57
FF03H	P3	0	0	0	P34	0	P32	0	0				-	00H	57
FF04H	P4	0	0	0	0	P43	0	0	P40				-	00H	57
FF05H ~ FF0DH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
FF0EH	CMP01	-	-	-	-	-	-	-	-	R/W	-		-	00H	74
FF0FH	CMP11	-	-	-	-	-	-	-	-		-		-	00H	74
FF10H ~ FF21H	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
FF22H	PM2	1	1	1	1	PM23	PM22	PM21	PM20	R/W			-	FFH	56
FF23H	PM3	1	1	1	1	1	PM32	1	1				-	FFH	56
FF24H	PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40				-	FFH	56
FF25H ~ FF31H	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
FF32H	PU2	0	0	0	0	PU23	PU22	PU21	PU20	R/W			-	00H	58
FF33H	PU3	0	0	0	PU34	0	PU32	0	0				-	00H	58
FF34H	PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40				-	00H	58
FF35H ~ FF47H	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
FF48H	WDTM	0	1	1	WDCS 4	WDCS 3	WDCS 2	WDCS 1	WDCS 0	R/W	-		-	67H	90
FF49H	WDTE	-	-	-	-	-	-	-	-		-		-	9AH	91
FF50H	LVIM	LVION	0	0	0	0	0	LVIMD	LVIF				-	00H <sup>注2</sup>	125
FF51H	LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0			-	00H <sup>注2</sup>	126	
FF52H, FF53H	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
FF54H	RESF	0	0	0	WDT RF	0	0	0	LVIRF	R	-		-	00H <sup>注3</sup>	118
FF55H ~ FF57H	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
FF58H	LSRCM	0	0	0	0	0	0	0	LSR STOP	R/W			-	00H	64
FF59H ~ FF6FH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	

注1. P34のみ、入力専用ポートになります。

2. LVIIによるリセット時の場合のみ、保持になります。

3. リセット要因により変化します。

備考 ビット名を で囲んでいるものは、そのビット名称がRA78K0Sでは予約語に、CC78K0Sでは#pragma sfr指令で、sfr変数として定義されているものです。

表3-3 特殊機能レジスタ一覧(2/2)

アドレス	略号	ビット番号								R/W	操作可能ビット単位			リセット 時	参照 ページ
		7	6	5	4	3	2	1	0		1	8	16		
FF70H	TMHMD 1	TMHE1	CKS12	CKS11	CKS10	TMMD 11	TMMD 10	TOLEV 1	TOEN1	R/W			-	00H	75
FF71H~ FF9FH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
FFA0H	PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	W	-	-	-	不定	150
FFA1H	PFS	0	0	0	0	0	WEPR ERR	VCERR	FPR ERR	R/W			-	00H	150
FFA2H	FLPMC	0	PRSEL F4	PRSEL F3	PRSEL F2	PRSEL F1	PRSEL F0	0	FLSPM		-		-	不定	149
FFA3H	FLCMD	0	0	0	0	0	FLCMD 2	FLCMD 1	FLCMD 0				-	00H	152
FFA4H	FLAPL	FLA P7	FLA P6	FLA P5	FLA P4	FLA P3	FLA P2	FLA P1	FLA P0				-	不定	153
FFA5H	FLAPH	0	0	0	0	FLA P11	FLA P10	FLA P9	FLA P8				-		
FFA6H	FLAPHC	0	0	0	0	FLAP C11	FLAP C10	FLAP C9	FLAP C8				-	00H	153
FFA7H	FLAPLC	FLAP C7	FLAP C6	FLAP C5	FLAP C4	FLAP C3	FLAP C2	FLAP C1	FLAP C0				-		
FFA8H	FLW	FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0		-		-	00H	154
FFA9H~ FFDFH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
FFE0H	IF0	0	0	0	TMIFH 1	PIF1	PIF0	LVIF	0	R/W			-	00H	100
FFE1H~ FFE3H	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
FFE4H	MK0	1	1	1	TMMK H1	PMK1	PMK0	LVIMK	1	R/W			-	FFH	101
FFE5H~ FFEBH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
FFECH	INTM0	0	0	ES11	ES10	ES01	ES00	0	0	R/W	-		-	00H	101
FFEDH~ FFF2H	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
FFF3H	PPCC	0	0	0	0	0	0	PPCC1	PPCC0	R/W			-	02H	63
FFF4H~ FFFAH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
FFFBH	PCC	0	0	0	0	0	0	PCC1	0	R/W			-	02H	63

備考 ビット名を で囲んでいるものは、そのビット名称がRA78K0Sでは予約語に、CC78K0Sでは#pragma sfr指令で、sfr変数として定義されているものです。

### 3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください）。

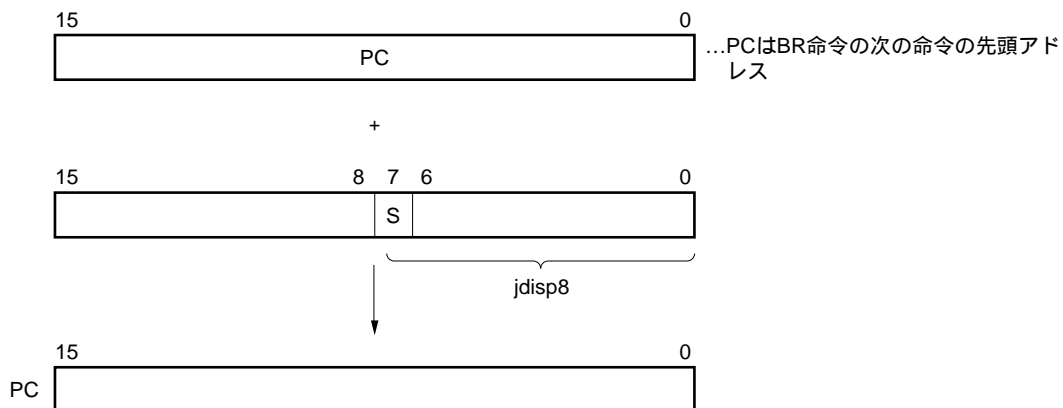
#### 3.3.1 レラティブ・アドレッシング

##### 【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

##### 【図解】



S = 0のとき、 は全ビット0

S = 1のとき、 は全ビット1



## 3.3.2 イミディエト・アドレッシング

## 【機能】

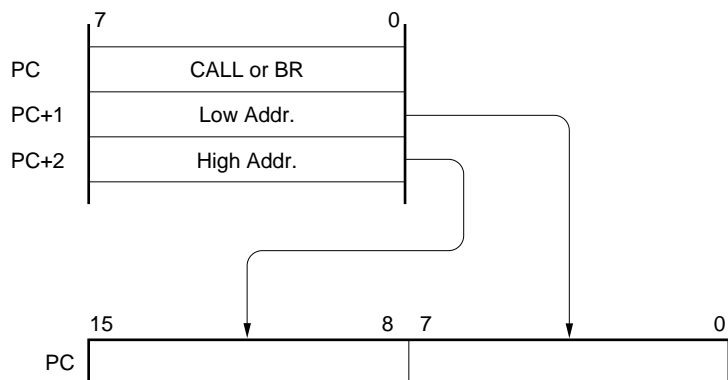
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

## 【図解】

CALL !addr16, BR !addr16命令の場合



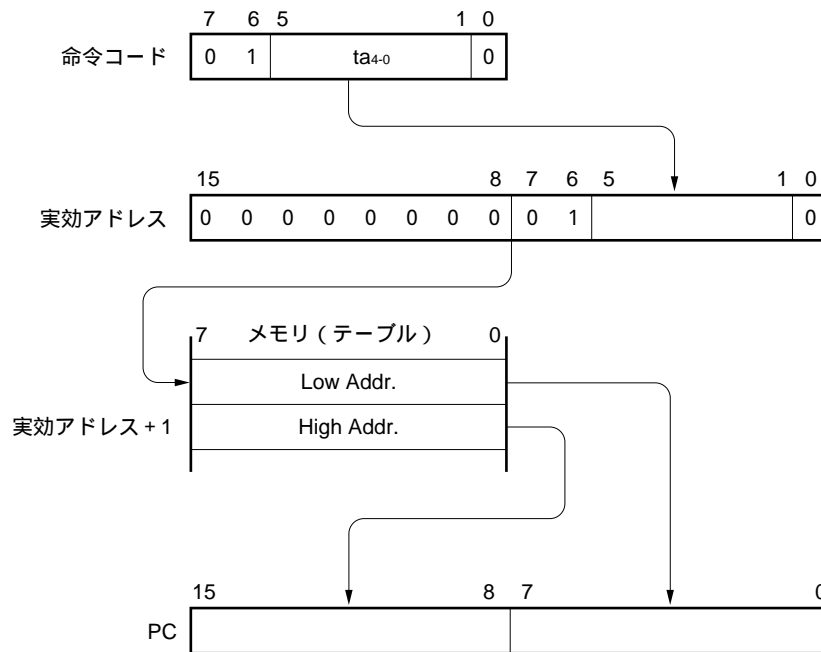
### 3.3.3 テーブル・インダイレクト・アドレッシング

**【機能】**

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [ addr5 ] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

**【図解】**



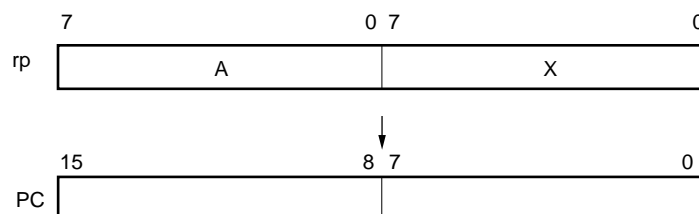
### 3.3.4 レジスタ・アドレッシング

**【機能】**

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

**【図解】**



## 3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

### 3.4.1 ダイレクト・アドレッシング

#### 【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

#### 【オペランド形式】

表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

#### 【記述例】

MOV A, !0FE80H ; laddr16をFE80Hとする場合

命令コード 

0	0	1	0	1	0	0	1
---	---	---	---	---	---	---	---

 OPコード

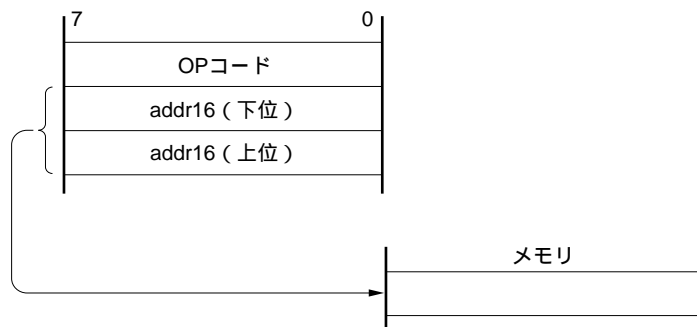
1	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

 80H

1	1	1	1	1	1	1	0
---	---	---	---	---	---	---	---

 FEH

#### 【図解】



### 3.4.2 ショート・ダイレクト・アドレッシング

**【機能】**

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE80H-FF1FHの160バイト空間（FE80H-FEFFFH（内部高速RAM）+ FF00H-FF1FH（特殊機能レジスタ））です。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

実効アドレスのビット8には、8ビット・イミディエト・データが80H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

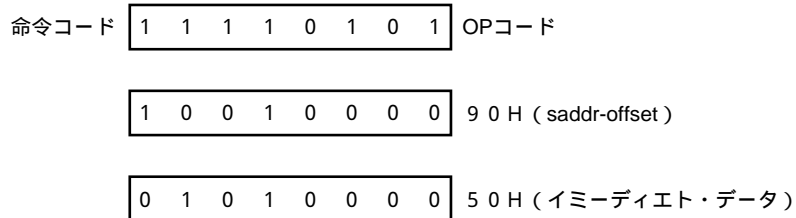
**【オペランド形式】**

表現形式	記述方法
saddr	ラベルまたはFE80H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE80H-FF1FHのイミディエト・データ（偶数アドレスのみ）

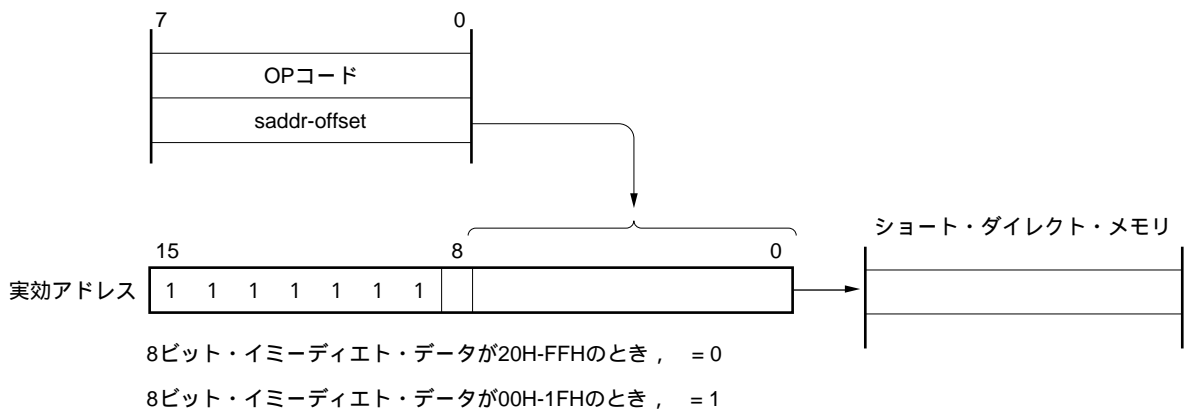
**【記述例】**

EQU DATA1 0FE90H ; DATA1はsaddr領域のFE90Hを示し、

MOV DATA1, #50H ; イミディエト・データを50Hとする場合



**【図解】**



### 3.4.3 特殊機能レジスタ (SFR) アドレッシング

**【機能】**

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

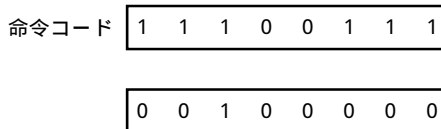
このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRはショート・ダイレクト・アドレッシングでアクセスします。

**【オペランド形式】**

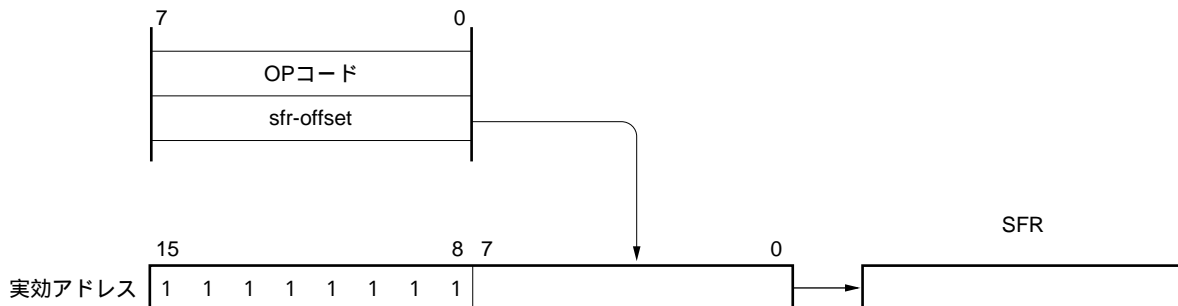
表現形式	記述方法
sfr	特殊機能レジスタ名

**【記述例】**

MOV PM0, A ; sfrにPM0を選択する場合



**【図解】**



## 3.4.4 レジスタ・アドレッシング

## 【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

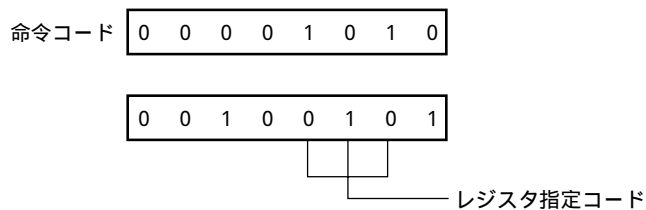
## 【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

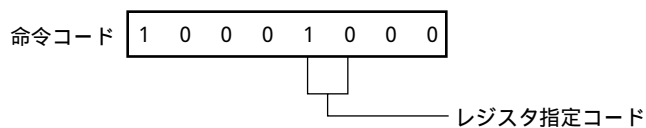
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

## 【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



## 3.4.5 レジスタ・インダイレクト・アドレッシング

## 【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

## 【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

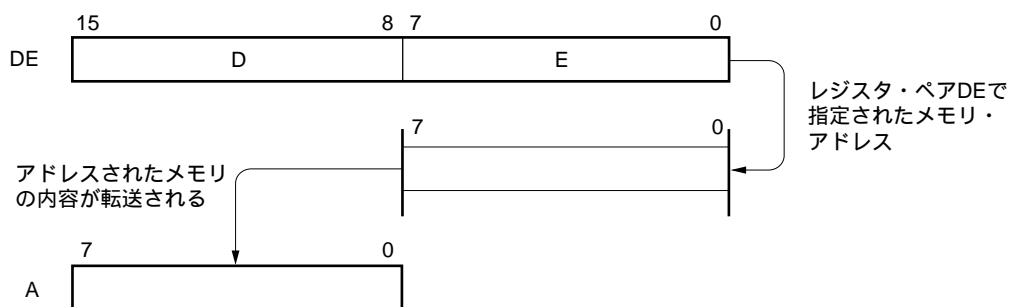
## 【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード 

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

## 【図解】



### 3.4.6 ベース・アドレッシング

**【機能】**

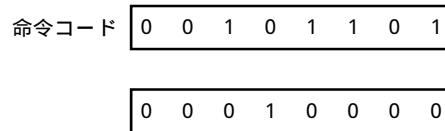
HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

**【オペランド形式】**

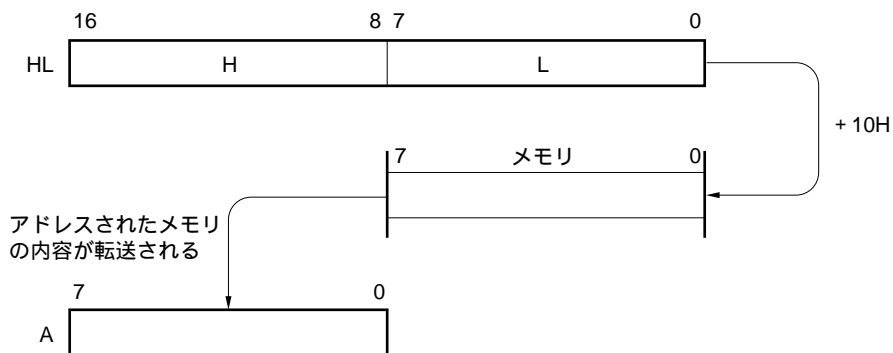
表現形式	記述方法
-	[ HL + byte ]

**【記述例】**

MOV A, [ HL + 10H ] ; byteを10Hとする場合



**【図解】**





## 3.4.7 スタック・アドレッシング

## 【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

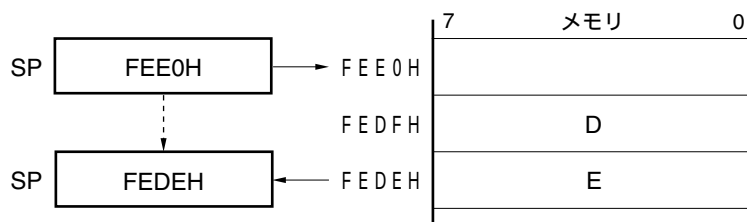
## 【記述例】

PUSH DEの場合

命令コード 

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

## 【図解】



## 第4章 ポート機能

### 4.1 ポートの機能

μ PD78F9500, 78F9501, 78F9502は、図4 - 1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4 - 1 ポートの機能

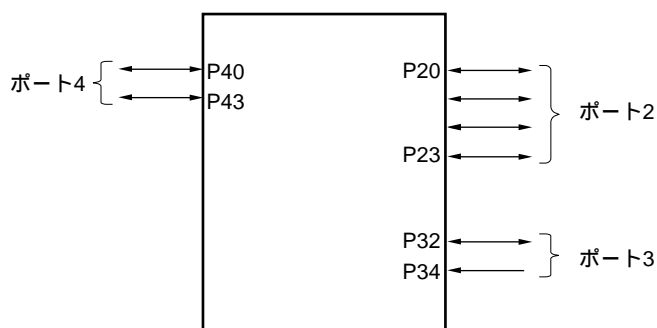


表4 - 1 ポートの機能

端子名称	入出力	機能		リセット時	兼用端子
P20	入出力	ポート2。		入力	TOH1
P21		4ビット入出力ポート。			INTP0
P22		1ビット単位で入力 / 出力の指定可能。			-
P23 <sup>注</sup>		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			EXCLK <sup>注</sup>
P32	入出力	ポート3。	1ビット単位で入力 / 出力の指定可能。	入力	INTP1
P34 <sup>注</sup>	入力	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力専用。	入力	RESET <sup>注</sup>
P40, P43	入出力	ポート4。		入力	-
		2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能			

注 端子機能の設定方法については、第13章 オプション・バイトを参照してください。

注意 P22, P23/EXCLKはリセット中のときプルダウンされています。P34/RESETは、リセット端子機能 / パワーオン・クリア回路によるリセット中のとき、プルアップされています。

備考 システム・クロックに高速内蔵発振を選択した場合、P23の割り当てが可能になります。

## 4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM2-PM4) ポート・レジスタ (P2-P4) プルアップ抵抗オプション・レジスタ (PU2-PU4)
ポート	合計：8本 (CMOS入出力：7本, CMOS入力：1本)
プルアップ抵抗	合計：7本

### 4.2.1 ポート2

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。P20-P23端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ2 (PU2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマ入出力、外部割り込み要求入力があります。

P23端子は、システム・クロック発振回路のEXCLK端子と兼用していますので、選択したシステム・クロック発振回路によって、EXCLK端子の機能が変わります。システム・クロック発振回路は、次の2つがあります。

#### (1) 高速内蔵発振回路

P23端子を入出力ポートとして使用可能です。

#### (2) 外部クロック入力

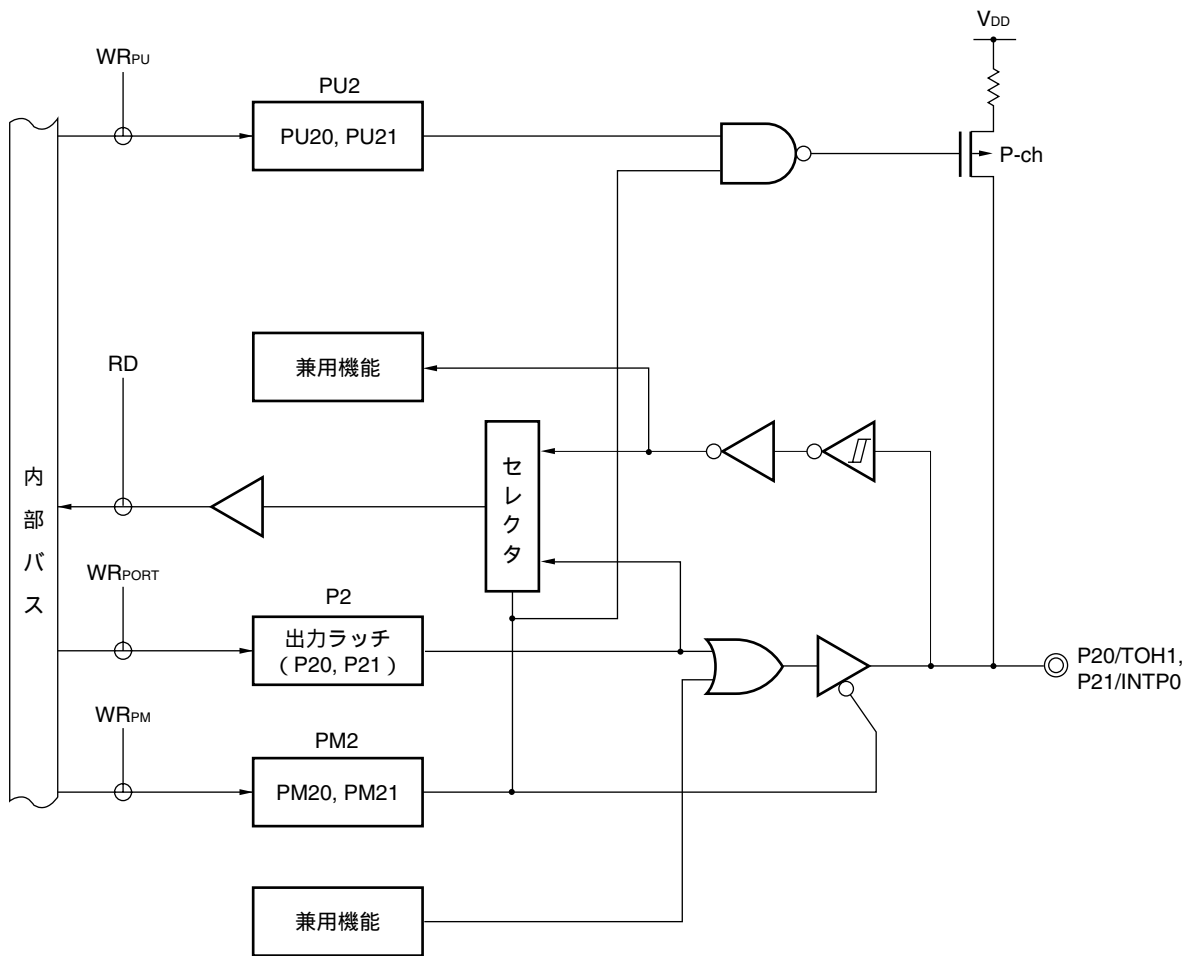
P23端子は、EXCLK端子を外部クロック入力端子として使用するため、入出力ポートとして使用できません。

システム・クロック発振の選択は、オプション・バイトの設定で行います。詳細は、第13章 オプション・バイトを参照してください。

リセット信号の発生により、入力モードになります。

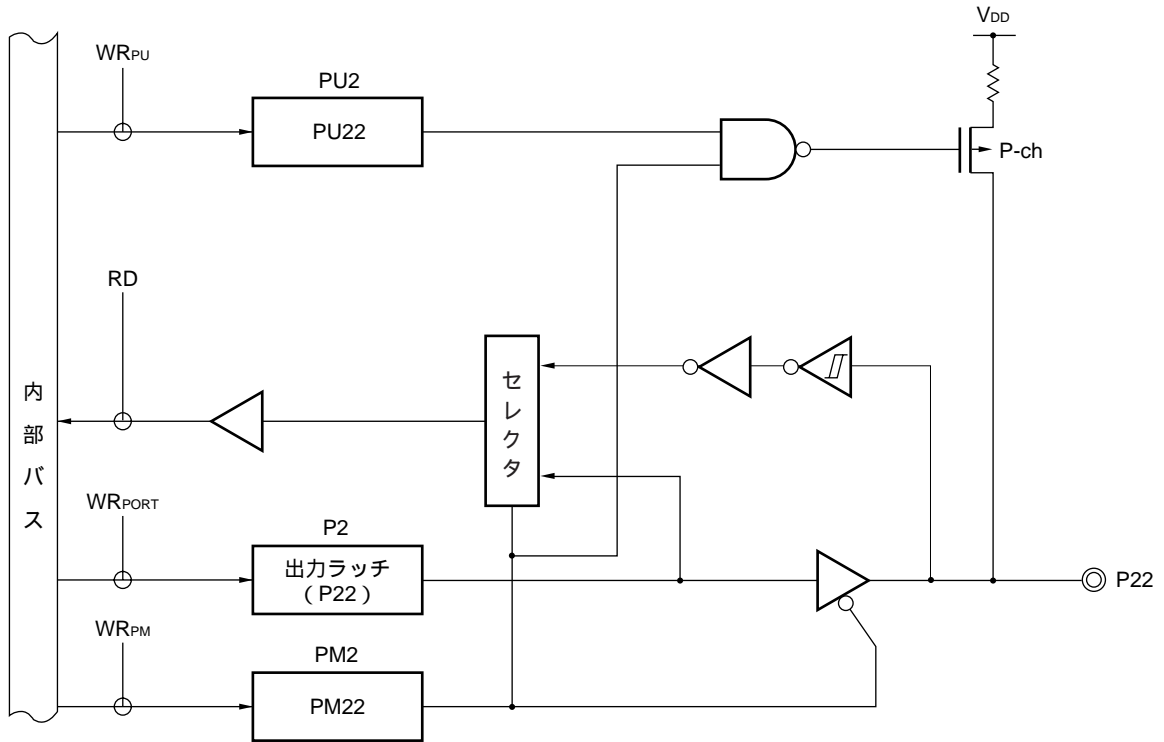
図4-2-4-4にポート2のブロック図を示します。

図4 - 2 P20, P21のブロック図



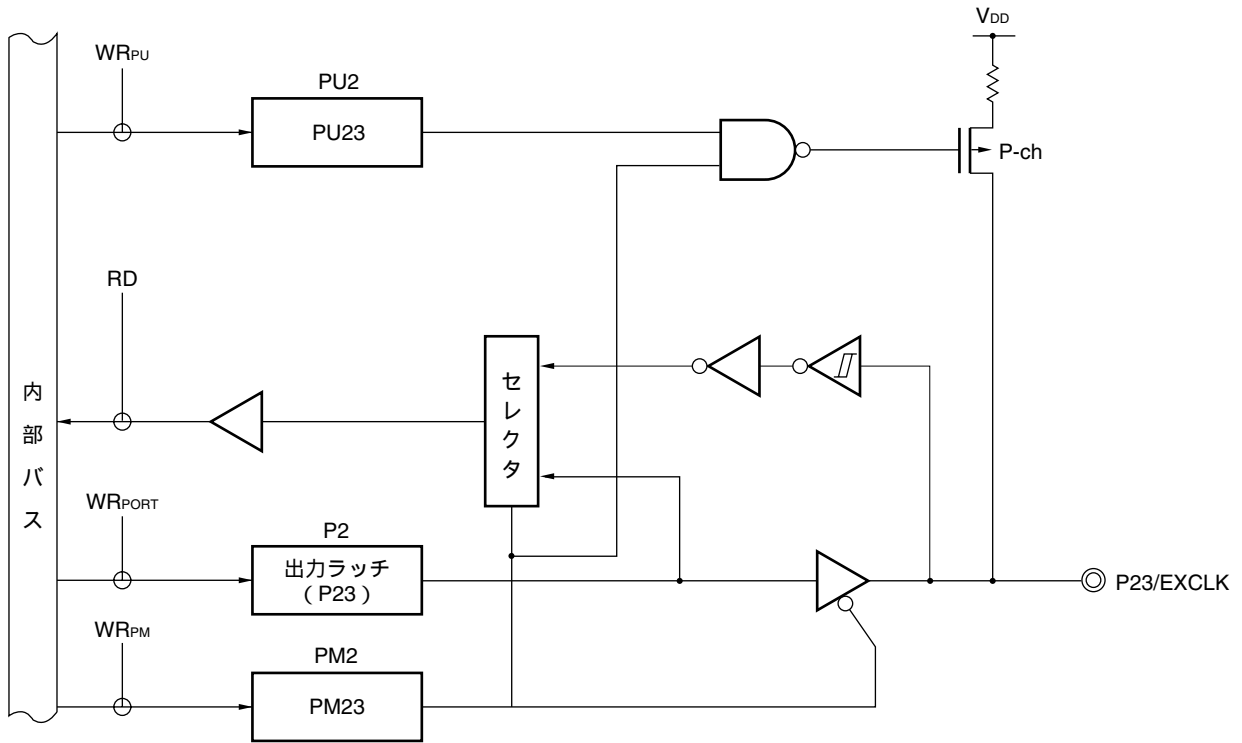
- P2 : ポート・レジスタ2
- PU2 : プルアップ抵抗オプション・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- $WR_{xx}$  : ライト信号

図4 - 3 P22のブロック図



- P2 : ポート・レジスタ2
- PU2 : プルアップ抵抗オプション・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR<sub>x</sub>x : ライト信号

図4 - 4 P23のブロック図



- P2 : ポート・レジスタ2
- PU2 : プルアップ抵抗オプション・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

### 4.2.2 ポート3

P32端子は、出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P32端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。また、兼用機能として、外部割り込み要求入力があります。

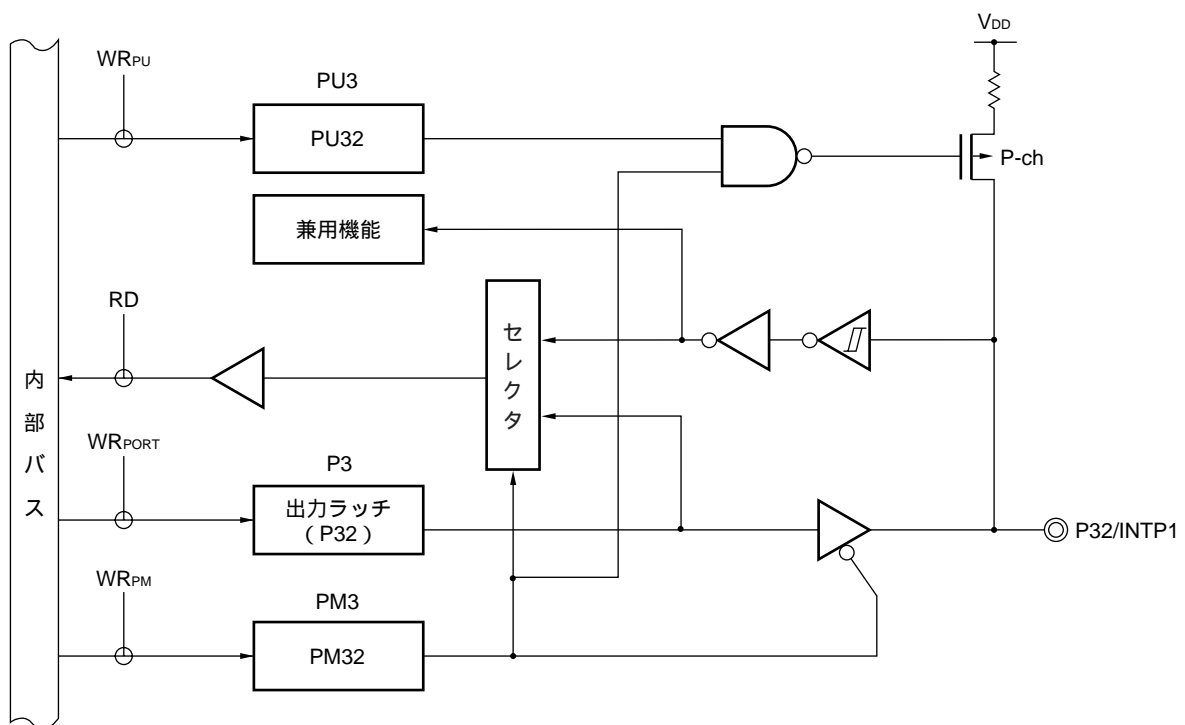
P32端子は、リセット信号の発生により、入力モードになります。

P34端子は、1ビット入力専用ポートです。RESET 端子と兼用しており、パワーオン時はリセット機能となります。パワーオン後の端子機能の設定方法については、第13章 オプション・バイトを参照してください。

また、P32, P34端子を入力ポートとして使用する場合は、プルアップ抵抗を接続してください。

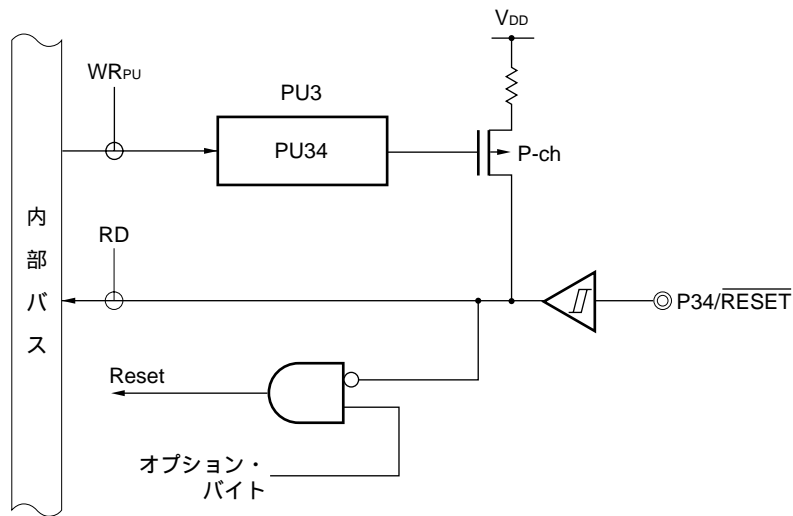
図4 - 5, 4 - 6にポート3のブロック図を示します。

図4 - 5 P32のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

図4 - 6 P34のブロック図



RD : リード信号

**注意** P34端子は、 $\overline{RESET}$  端子と兼用していますので、入力ポートとして使用した場合、 $\overline{RESET}$  端子への外部リセット信号入力が使えなくなります (P34端子の機能は、オプション・バイトのENP34の設定 (第13章 オプション・バイト参照)、またはPU3レジスタのPU34で変更できます)。

また、オプション・バイトは、リセット解除後に参照するため、参照するまでに $\overline{RESET}$  端子へロウ・レベルを入力するとリセット状態が解除されません。入力ポートとして使用する場合は、プルアップ抵抗を接続してください。

#### 4.2.3 ポート4

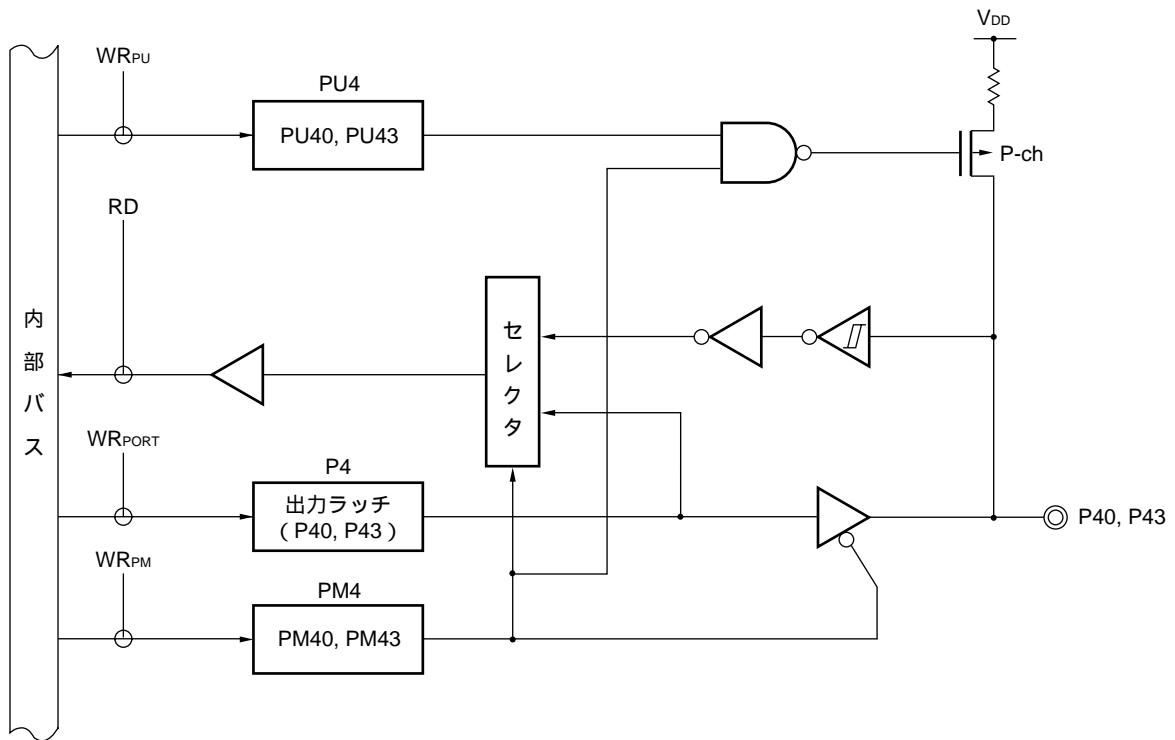
出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード / 出力モードの指定ができます。P40, P43端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力モードになります。

図4 - 7にポート4のブロック図を示します。



図4 - 7 P40, P43のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

### 4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM2-PM4)
- ・ポート・レジスタ (P2-P4)
- ・プルアップ抵抗オプション・レジスタ (PU2-PU4)

(1) ポート・モード・レジスタ (PM2-PM4)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

**注意** P21, P32は、外部割り込み端子と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

図4-8 ポート・モード・レジスタのフォーマット

アドレス：FF22H リセット時：FFH RW

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	1	PM23	PM22	PM21	PM20

アドレス：FF23H リセット時：FFH RW

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	PM32	1	1

アドレス：FF24H リセット時：FFH RW

略号	7	6	5	4	3	2	1	0
PM4	1	1	1	1	PM43	1	1	PM40

PMmn	Pmn端子の入出力モードの選択 (m = 2-4; n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) ポート・レジスタ (P2-P4)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます。

P20-P23, P32, P40, P43は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-9 ポート・レジスタのフォーマット

アドレス：FF02H リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P2	0	0	0	0	P23	P22	P21	P20

アドレス：FF03H リセット時：00H<sup>注</sup> (出力ラッチ) R/W<sup>注</sup>

略号	7	6	5	4	3	2	1	0
P3	0	0	0	P34	0	P32	0	0

アドレス：FF04H リセット時：00H (出力ラッチ) R/W

略号	7	6	5	4	3	2	1	0
P4	0	0	0	0	P43	0	0	P40

Pmn	m = 2-4 ; n = 0-4	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P34はリード専用のため、リセット値は不定になります。

(3) プルアップ抵抗オプション・レジスタ (PU2-PU4)

P20-P23, P32, P34, P40, P43端子の内蔵プルアップ抵抗を使用するか, しないかを設定するレジスタです。PU2- PU4を設定することにより, PU2-PU4内のビットに対応するポート端子の内蔵プルアップ抵抗を使用できます。

PU2-PU4は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 10 プルアップ抵抗オプション・レジスタのフォーマット

アドレス: FF32H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PU2	0	0	0	0	PU23	PU22	PU21	PU20

アドレス: FF33H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PU3	0	0	0	PU34	0	PU32	0	0

アドレス: FF34H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PU4	0	0	0	0	PU43	0	0	PU40

PU <sub>m</sub> n	P <sub>m</sub> nの内蔵プルアップ抵抗の選択 ( m = 2-4; n = 0-4 )
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

## 4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

### 4.4.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチにデータを書き込みます。また、出力ラッチのデータが端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

転送命令により、出力ラッチにデータを書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータがクリアされます。

### 4.4.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチのデータが読み出せます。出力ラッチのデータは変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチのデータは変化しません。

### 4.4.3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチのデータと演算を行います。演算結果は出力ラッチに書き込まれます。また、出力ラッチのデータが端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータがクリアされます。

#### (2) 入力モードの場合

端子レベルをリードし、そのデータと演算を行います。演算結果は出力ラッチに書き込まれます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータがクリアされます。

## 第5章 クロック発生回路

### 5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロック（システム・クロック）を発生する回路と、ウォッチドッグ・タイマおよび8ビット・タイマH1（TMH1）にのみ供給されるクロック（インターバル時間生成用クロック）を発生する回路があります。

#### 5.1.1 システム・クロック発振回路

システム・クロック発振回路には、次の3種類の回路があります。

- ・高速内蔵発振回路

8 MHz（TYP.）のクロックを内部で発振する回路です。STOP命令の実行で発振を停止できます。

システム・クロックに高速内蔵発振回路を選択した場合、EXCLK端子を入出力ポートとして使用できます。

- ・外部クロック入力回路

外部ICからのクロックをEXCLK端子に供給する回路です。2～10 MHzのクロックが供給可能です。STOP命令の実行で内部のクロック供給を停止できます。

システム・クロック・ソースの選択は、オプション・バイトの設定で行います。詳細は、**第13章 オプション・バイト**を参照してください。

また、EXCLK端子を入出力ポートとして使用する場合、詳細は、**第4章 ポート機能**を参照してください。

#### 5.1.2 インターバル時間生成用クロック発振回路

インターバル時間生成用クロック発振回路には、次の回路があります。

- ・低速内蔵発振回路

240 kHz（TYP.）のクロックを発振します。また、オプション・バイトで「ソフトウェアにより停止可能」に設定し、低速内蔵発振モード・レジスタ（LSRCM）を設定することで発振を停止することができます。

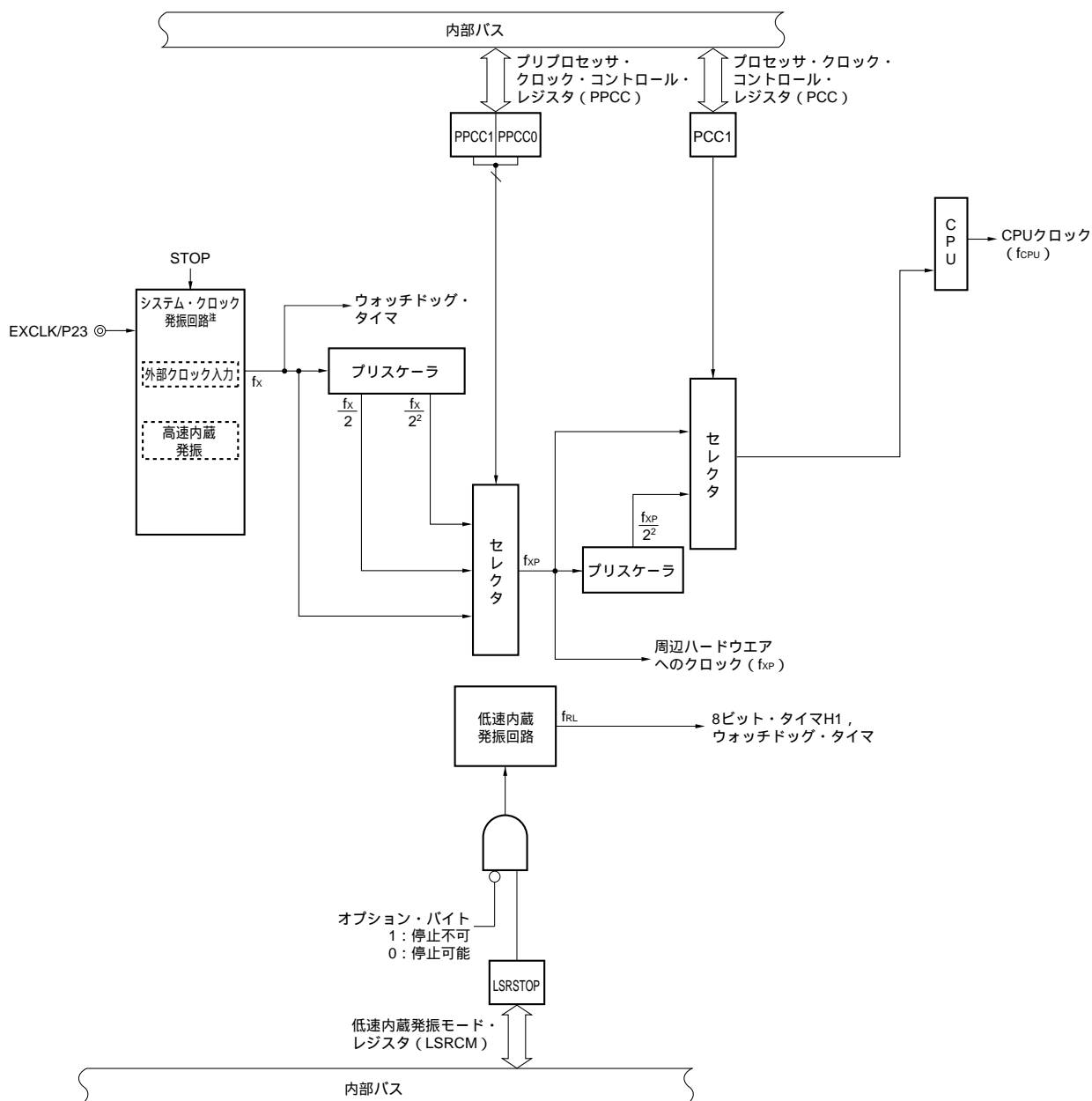
## 5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC) プリプロセッサ・クロック・コントロール・レジスタ (PPCC) 低速内蔵発振モード・レジスタ (LSRCM)
発振回路	高速内蔵発振回路 外部クロック入力回路 低速内蔵発振回路

図5 - 1 クロック発生回路のブロック図



注 オプション・バイトで高速内蔵発振回路，外部クロック入力回路のいずれかを，システム・クロック・ソースとして選択してください。



### 5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の3種類のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ プリプロセッサ・クロック・コントロール・レジスタ (PPCC)
- ・ 低速内蔵発振モード・レジスタ (LSRCM)

#### (1) プロセッサ・クロック・コントロール・レジスタ (PCC) , プリプロセッサ・クロック・コントロール・レジスタ (PPCC)

システム・クロックの分周比を設定するレジスタです。

PCC, PPCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、それぞれ02Hになります。

図5 - 2 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス : FFFBH    リセット時 : 02H    R/W

略号	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	0	PCC1	0

図5 - 3 プリプロセッサ・クロック・コントロール・レジスタ (PPCC) のフォーマット

アドレス : FFF3H    リセット時 : 02H    R/W

略号	7	6	5	4	3	2	1	0
PPCC	0	0	0	0	0	0	PPCC1	PPCC0

PPCC1	PPCC0	PCC1	CPUクロックの選択 (f <sub>cpu</sub> ) <sup>注1</sup>
0	0	0	f <sub>x</sub>
0	1	0	f <sub>x</sub> /2 <sup>注2</sup>
0	0	1	f <sub>x</sub> /2 <sup>2</sup>
1	0	0	f <sub>x</sub> /2 <sup>2</sup> <sup>注3</sup>
0	1	1	f <sub>x</sub> /2 <sup>3</sup> <sup>注2</sup>
1	0	1	f <sub>x</sub> /2 <sup>4</sup> <sup>注3</sup>
上記以外			設定禁止

注1. CPUクロックの設定範囲は、使用する電源電圧により異なります。第17章 電気的特性のAC特性に記載されてあるCPUクロック、周辺クロック周波数を参照してください。

2. PPCC = 01Hに設定した場合、周辺ハードウェアに供給されるクロック (f<sub>xP</sub>) はf<sub>x</sub>/2になります。

3. PPCC = 02Hに設定した場合、周辺ハードウェアに供給されるクロック (f<sub>xP</sub>) はf<sub>x</sub>/2<sup>2</sup>になります。

μ PD78F9500, 78F9501, 78F9502の一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f<sub>CPU</sub>) と最小命令実行時間の関係は、表5 - 2のようになります。

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (f <sub>CPU</sub> ) <sup>注</sup>	最小命令実行時間：2/f <sub>CPU</sub>	
	高速内蔵発振クロック (8.0 MHz (TYP.) 動作時)	外部クロック入力 (10.0 MHz動作時)
f <sub>x</sub>	0.25 μs	0.2 μs
f <sub>x</sub> /2	0.5 μs	0.4 μs
f <sub>x</sub> /2 <sup>2</sup>	1.0 μs	0.8 μs
f <sub>x</sub> /2 <sup>3</sup>	2.0 μs	1.6 μs
f <sub>x</sub> /2 <sup>4</sup>	4.0 μs	3.2 μs

注 CPUクロックの設定 (高速内蔵発振クロック、外部クロック入力) は、オプション・バイトで行います。

(2) 低速内蔵発振モード・レジスタ (LSRCM)

低速内蔵発振器 (240 kHz (TYP.)) の動作モードを設定するレジスタです。

このレジスタは、オプション・バイトで低速内蔵発振器を「ソフトウェアにより停止可能」に選択しているときに有効となります。オプション・バイトで低速内蔵発振器を「停止不可」に選択している場合、このレジスタへの設定は無効になり、低速内蔵発振器は、発振し続けます。また、WDTのソース・クロックも低速内蔵発振クロック固定になります。詳しくは、第7章 ウォッチドッグ・タイマを参照してください。

LSRCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 4 低速内蔵発振モード・レジスタ (LSRCM) のフォーマット

アドレス：FF58H    リセット時：00H    R/W

略号	7	6	5	4	3	2	1	<input type="checkbox"/>
LSRCM	0	0	0	0	0	0	0	LSRSTOP

LSRSTOP	低速内蔵発振器の発振 / 停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

## 5.4 システム・クロック発振回路

システム・クロック発振回路には、次の2種類の回路があります。

- ・高速内蔵発振回路 : 8 MHz (TYP.) のクロックを内部で発振
- ・外部クロック入力回路 : 2 ~ 10 MHz のクロックをEXCLK端子に供給

### 5.4.1 高速内蔵発振回路

$\mu$  PD78F9500, 78F9501, 78F9502は、高速内蔵発振回路 (8 MHz (TYP.)) を内蔵しています。

オプション・バイトの設定により高速内蔵発振をシステム・クロック・ソースとして選択した場合、EXCLK端子を入出力ポートとして使用できます。

オプション・バイトの詳細は、第13章 オプション・バイト、入出力ポートの詳細は、第4章 ポート機能を参照してください。

### 5.4.2 外部クロック入力回路

外部ICからのクロックをEXCLK端子に供給する回路です。

### 5.4.3 プリスケーラ

プリスケーラは、周辺ハードウェアへのクロック ( $f_{XP}$ ) をシステム・クロック発振回路出力 ( $f_X$ ) から分周して生成します。また、CPUへの供給クロックを周辺ハードウェアへのクロック ( $f_{XP}$ ) から分周して生成します。

**備考** オプション・バイトで選択された発振回路 (高速内蔵発振回路、外部クロック入力回路) の出力を分周します。オプション・バイトの詳細は、第13章 オプション・バイトを参照してください。

## 5.5 CPUクロック発生回路の動作

次の3種類の発振回路で発振されたシステム・クロック (fx) から, CPUへクロック (fcPU) が供給されます。

- ・高速内蔵発振回路 : 8 MHz (TYP.) のクロックを内部で発振
- ・外部クロック入力回路 : 2 ~ 10 MHzのクロックをEXCLK端子に供給

システム・クロックの発振回路の選択は, オプション・バイトで行います。詳細は, 第13章 オプション・バイトを参照してください。

### (1) 高速内蔵発振回路

オプション・バイトにて, 高速内蔵発振を選択した場合, 次のことが可能になります。

- ・起動時間の短縮

発振回路に高速内蔵発振器を選択した場合, システム・クロックの発振安定時間を待たずにCPUを起動できるため, 起動時間の短縮が可能です。

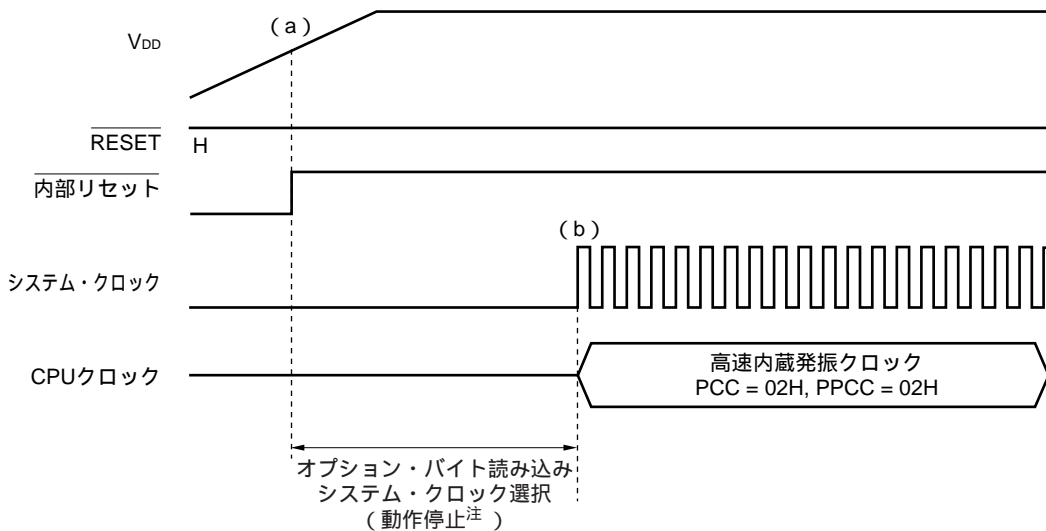
- ・拡張性の向上

発振回路に高速内蔵発振器を選択した場合, EXCLK端子を入出力ポートとして利用できます。詳細については, 第4章 ポート機能を参照してください。

高速内蔵発振によるデフォルト・スタートのタイミング図と状態遷移図を, それぞれ図5 - 5と図5 - 6に示します。

**備考** 高速内蔵発振を使用する場合, クロックの精度は±5%になります。

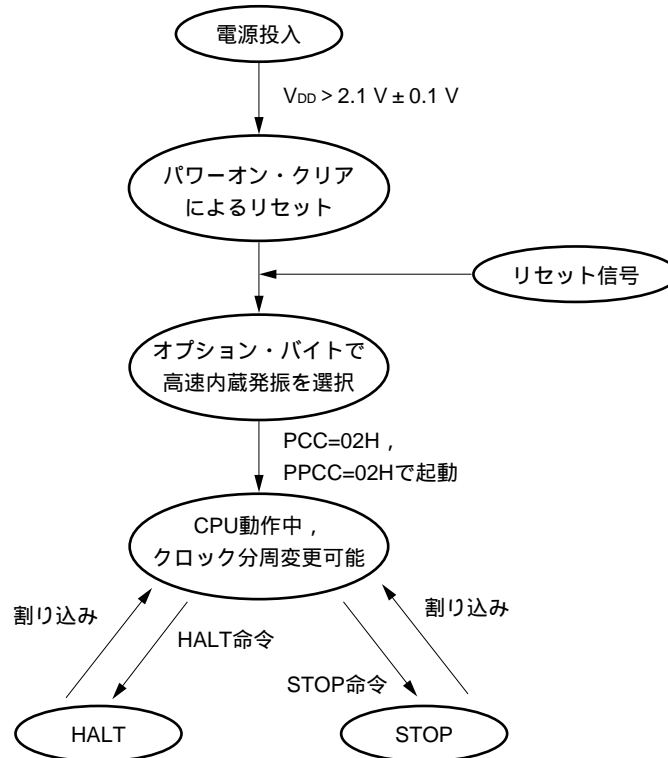
図5 - 5 高速内蔵発振によるデフォルト・スタートのタイミング図



**注** 動作停止時間は, 277 μs (MIN.) , 544 μs (TYP.) , 1.075 ms (MAX.) です。

- (a) 電源投入時にパワーオン・クリアによって内部リセット信号が発生し、リセット後にオプション・バイトを参照し、システム・クロックの選択を行います。
- (b) オプション・バイトを参照し、システム・クロックの選択を行ったあと、高速内蔵発振クロックがシステム・クロックとして動作します。

図5-6 高速内蔵発振によるデフォルト・スタートの状態遷移図



**備考** PCC：プロセッサ・クロック・コントロール・レジスタ  
 PPCC：プリプロセッサ・クロック・コントロール・レジスタ

(2) 外部クロック入力回路

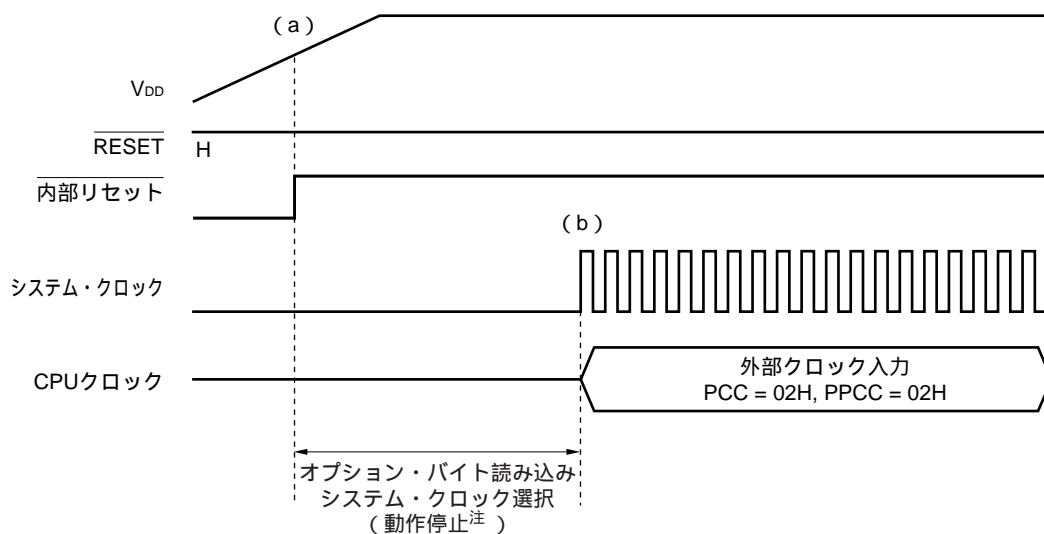
オプション・バイトにて、外部クロック入力を選択した場合、次のことが可能になります。

・高速動作

高速内蔵発振 (8 MHz (TYP.)) に対して、2 MHzから10 MHzまで選択可能であることと、周波数偏差が小さい外部クロックを供給することで、処理の精度が向上します。

外部クロック入力によるデフォルト・スタートのタイミング図と状態遷移図を、それぞれ図5 - 7と図5 - 8に示します。

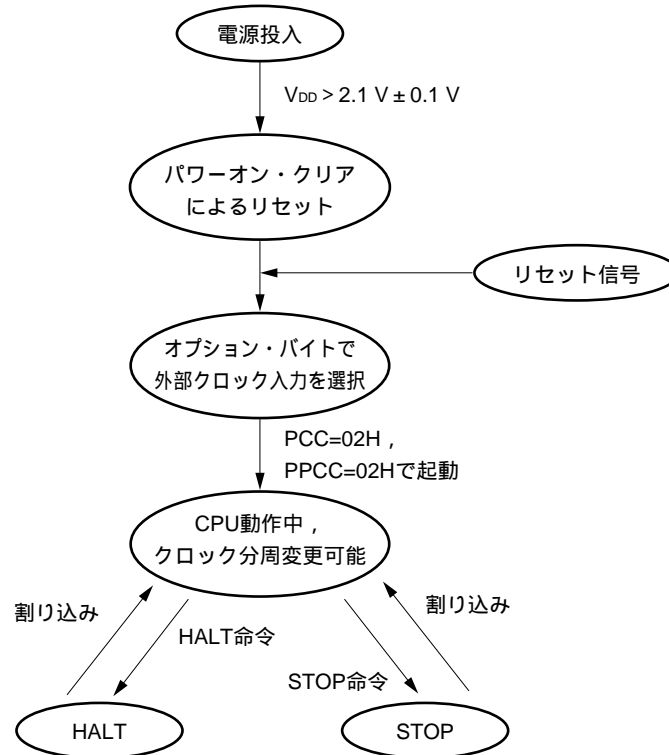
図5 - 7 外部クロック入力によるデフォルト・スタートのタイミング図



注 動作停止時間は、277  $\mu$ s (MIN.) , 544  $\mu$ s (TYP.) , 1.075 ms (MAX.) です。

- (a) 電源投入時にパワーオン・クリアによって内部リセット信号が発生し、リセット後にオプション・バイトを参照し、システム・クロックの選択を行います。
- (b) オプション・バイトを参照し、システム・クロックの選択を行った後、外部クロック入力システム・クロックとして動作します。

図5 - 8 外部クロック入力によるデフォルト・スタートの状態遷移図



備考 PCC : プロセッサ・クロック・コントロール・レジスタ  
 PPCC : プリプロセッサ・クロック・コントロール・レジスタ

## 5.6 周辺ハードウェアへ供給するクロック発生回路の動作

周辺ハードウェアへ供給するクロックには、次の2種類があります。

- ・周辺ハードウェアへのクロック ( $f_{XP}$ )
- ・低速内蔵発振クロック ( $f_{RL}$ )

### (1) 周辺ハードウェアへのクロック

周辺ハードウェアへのクロックは、システム・クロック ( $f_x$ ) を分周して供給しています。分周は、プリプロセッサ・クロック・コントロール・レジスタ (PPCC) によって制御されます。

選択できる周波数は、“ $f_x$ ” と “ $f_x/2$ ” と “ $f_x/2^2$ ” の3種類です。表5-3に周辺ハードウェアへのクロックの一覧を示します。

表5-3 周辺ハードウェアへのクロックの一覧

PPCC1	PPCC0	周辺ハードウェアへのクロックの選択 ( $f_{XP}$ )
0	0	$f_x$
0	1	$f_x/2$
1	0	$f_x/2^2$
1	1	設定禁止

### (2) 低速内蔵発振クロック

インターバル時間生成用クロック発振回路の低速内蔵発振回路は、リセット解除後に必ず起動し、240 kHz (TYP.) で発振します。

低速内蔵発振器は、オプション・バイトにて「ソフトウェアにて停止可能」または「停止不可」を選択できます。「ソフトウェアより停止可能」を選択した場合は、低速内蔵発振モード・レジスタ (LSRCM) を設定することで、発振/停止を制御することができます。また、「停止不可」を選択した場合には、WDTのクロック・ソースは、低速内蔵発振クロック ( $f_{RL}$ ) 固定となります。

低速内蔵発振回路は、CPUクロックとは独立しているため、WDTのソース・クロックとして使用した場合、CPUクロックが停止しても暴走を検出することが可能です。また、8ビット・タイマH1のカウント・クロックとして使用した場合、スタンバイ状態でも8ビット・タイマH1の動作が可能です。

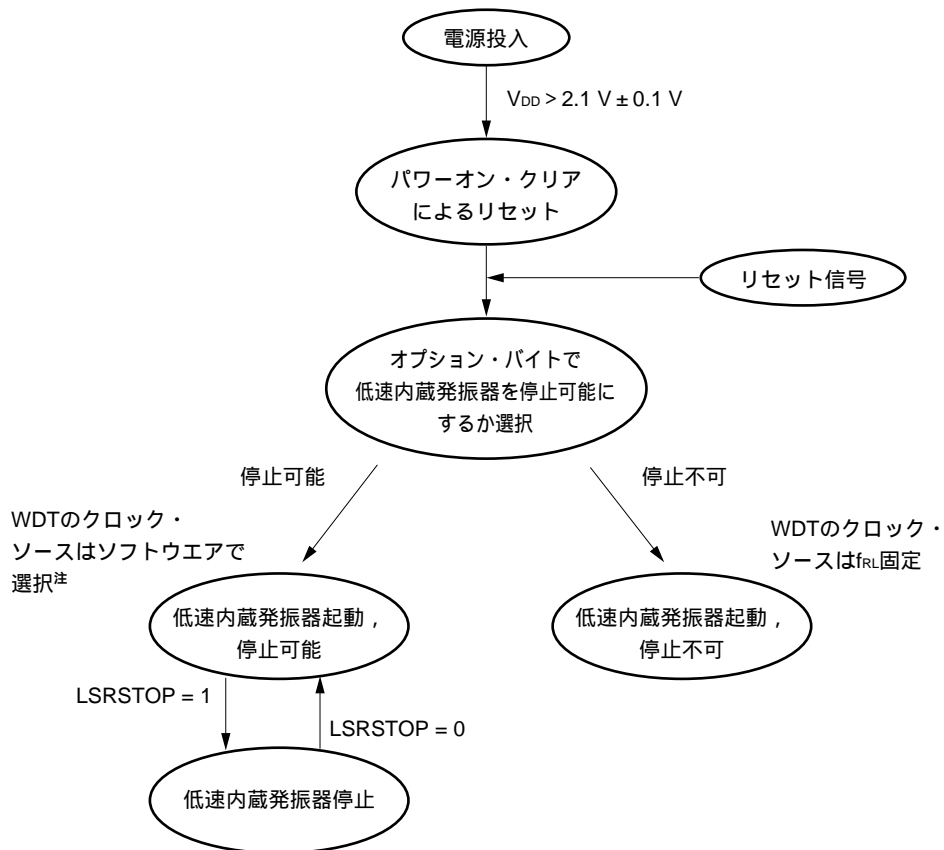
表5-4に低速内蔵発振クロックをWDTのソース・クロック、8ビット・タイマH1のカウント・クロックとして選択した場合の低速内蔵発振器の動作状態、図5-9に低速内蔵発振器の状態遷移図を示します。

表5-4 低速内蔵発振器の動作状態

オプション・バイト設定		CPUの状態	WDTの状態	TMH1の状態
ソフトウェアにて 停止可能	LSRSTOP = 1	動作モード	停止	停止
	LSRSTOP = 0		動作	動作
	LSRSTOP = 1	スタンバイ	停止	停止
	LSRSTOP = 0		停止	動作
停止不可		動作モード	動作	
		スタンバイ		



図5 - 9 低速内蔵発振の状態遷移図



注 ウォッチドッグ・タイマ (WDT) のクロック・ソースは、 $f_x$ 、 $f_{RL}$ 、停止の中から選択します。詳しくは第7章 ウォッチドッグ・タイマを参照してください。

## 第6章 8ビット・タイマH1

### 6.1 8ビット・タイマH1の機能

8ビット・タイマH1には、次のような機能があります。

- ・インターバル・タイマ
- ・PWM出力モード
- ・方形波出力

### 6.2 8ビット・タイマH1の構成

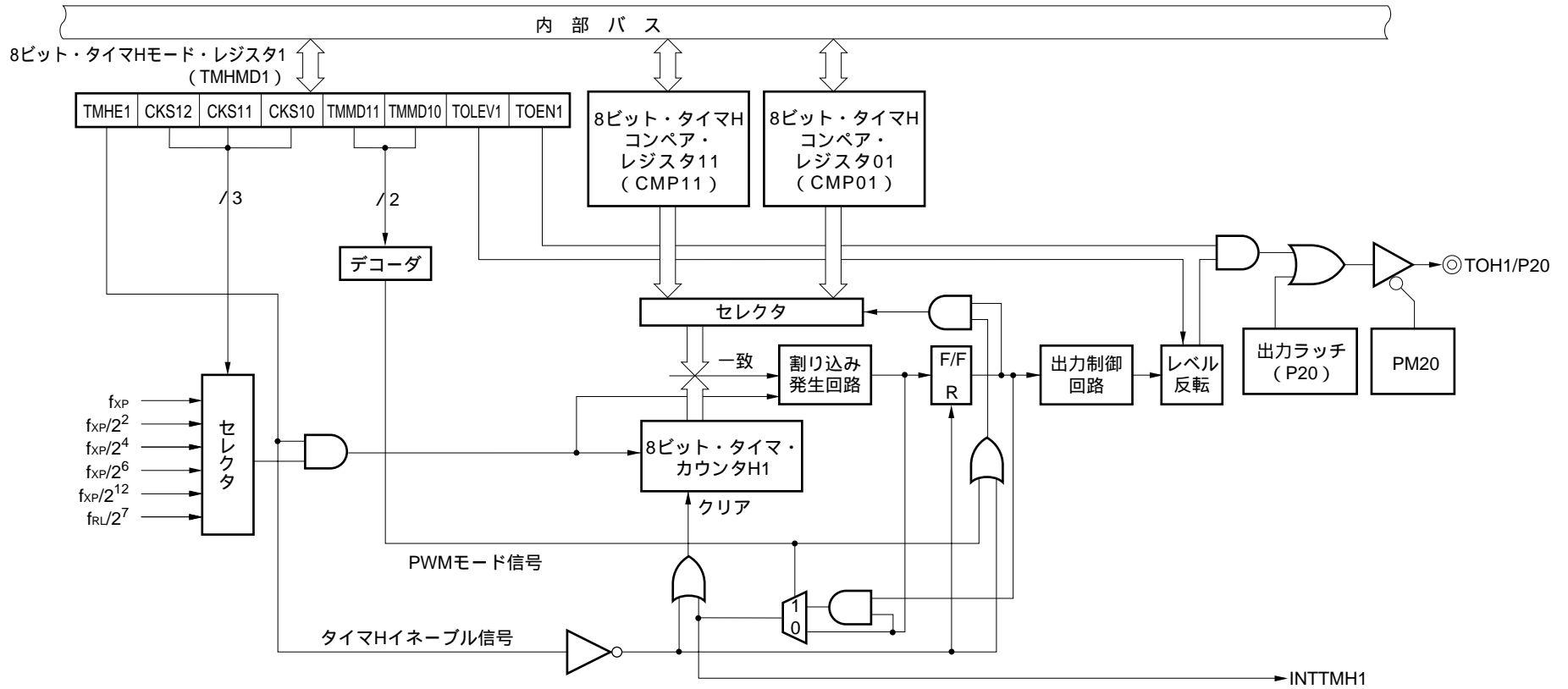
8ビット・タイマH1は、次のハードウェアで構成されています。

表6 - 1 8ビット・タイマH1の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタH1
レジスタ	8ビット・タイマHコンペア・レジスタ01 (CMP01) 8ビット・タイマHコンペア・レジスタ11 (CMP11)
タイマ出力	TOH1
制御レジスタ	8ビット・タイマHモード・レジスタ1 (TMHMD1) ポート・モード・レジスタ2 (PM2) ポート・レジスタ2 (P2)

図6 - 1にブロック図を示します。

図6-1 8ビット・タイマH1のブロック図



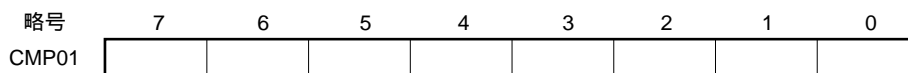
## (1) 8ビット・タイマHコンペア・レジスタ01 (CMP01)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。

リセット信号の発生により00Hになります。

図6-2 8ビット・タイマHコンペア・レジスタ01 (CMP01) のフォーマット

アドレス : FF0EH リセット時 : 00H R/W



**注意** CMP01は、タイマ・カウント動作中に値を書き換えることは禁止です。

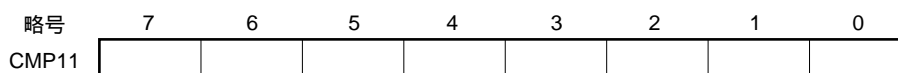
## (2) 8ビット・タイマHコンペア・レジスタ11 (CMP11)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。

リセット信号の発生により00Hになります。

図6-3 8ビット・タイマHコンペア・レジスタ11 (CMP11) のフォーマット

アドレス : FF0FH リセット時 : 00H R/W



CMP11はタイマ・カウント動作中に値の書き換えが可能です。

タイマ動作中にCMP11の値を書き換えた場合、書き換え後のコンペア値は、カウント値と書き換え前のコンペア値が一致したタイミングで有効となります。カウント値とコンペア値が一致するタイミングと、CPUからCMP11への書き込みが競合した場合、書き込み後のコンペア値が有効となるのは、次のカウント値と書き込み前のコンペア値が一致したタイミングとなります。

**注意** PWM出力モードでは、タイマ・カウント動作停止 (TMHE1 = 0) 設定後、タイマ・カウント動作を開始する (TMHE1 = 1) 場合、必ずCMP11を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。

## 6.3 8ビット・タイマH1を制御するレジスタ

8ビット・タイマH1を制御するレジスタには、次の3種類があります。

- ・8ビット・タイマHモード・レジスタ1 (TMHMD1)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート・レジスタ2 (P2)

### (1) 8ビット・タイマHモード・レジスタ1 (TMHMD1)

タイマHのモードを制御するレジスタです。

TMHMD1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図6-4 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス : FF70H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10	カウント・クロックの選択
0	0	0	$f_{XP}$ (10 MHz)
0	0	1	$f_{XP}/2^2$ (2.5 MHz)
0	1	0	$f_{XP}/2^4$ (625 kHz)
0	1	1	$f_{XP}/2^6$ (156.25 kHz)
1	0	0	$f_{XP}/2^{12}$ (2.44 kHz)
1	0	1	$f_{RL}/2^7$ (1.88 kHz (TYP.))
上記以外			設定禁止

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

- 注意1. TMHE1 = 1のとき, TMHMD1レジスタの他のビットを設定することは禁止です。
2. PWM出力モードでは, タイマ・カウント動作停止 (TMHE1 = 0) 設定後, タイマ・カウント動作を開始する (TMHE1 = 1) 場合, 必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11レジスタへの設定値が同値の場合でも, 必ず再設定してください)。

- 備考1.  $f_{XP}$  : 周辺ハードウェアへのクロックの発振周波数
2.  $f_{RL}$  : 低速内蔵発振クロック発振周波数
3. ( ) 内は,  $f_{XP} = 10$  MHz動作時,  $f_{RL} = 240$  kHz (TYP.) 動作時

**(2) ポート・モード・レジスタ2 (PM2)**

P20/TOH1端子をタイマ出力として使用するとき、PM20、P20の出力ラッチに0を設定してください。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PM2はFFHになります。

図6 - 5 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス : FF22H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	1	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 6.4 8ビット・タイマH1の動作

### 6.4.1 インターバル・タイマ / 方形波出力としての動作

8ビット・タイマ・カウンタH1とコンペア・レジスタ01 (CMP01) が一致した場合、割り込み要求信号 (INTTMH1) が発生し、8ビット・タイマ・カウンタH1を00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ11 (CMP11) は使用しません。CMP11レジスタを設定しても、8ビット・タイマ・カウンタH1とCMP11レジスタの一致検出をしないため、タイマ出力に影響しません。

また、タイマHモード・レジスタ1 (TMHMD1) のビット0 (TOEN1) に1を設定することにより、TOH1より任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

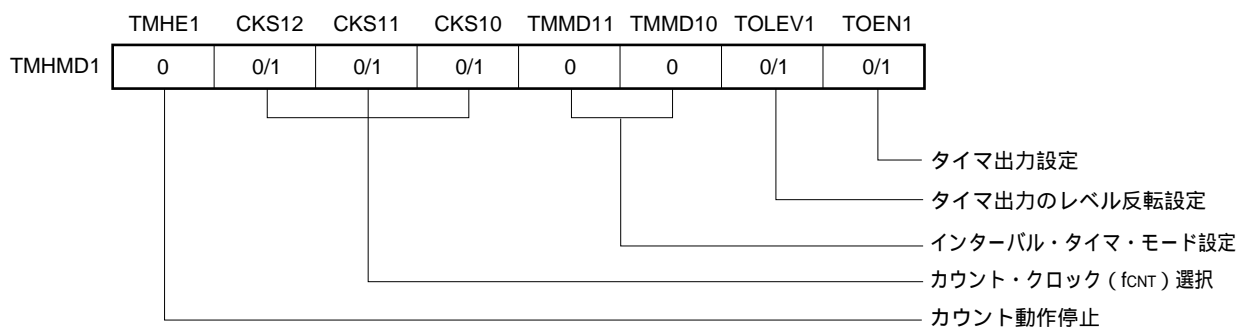
(1) 使用方法

同一間隔でINTTMH1信号を繰り返し発生します。

各レジスタの設定を行います。

図6-6 インターバル・タイマ / 方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

・コンペア値 (N)

TMHE1 = 1によりカウント動作を開始します。

8ビット・タイマ・カウンタH1とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1は00Hにクリアされます。

$$\text{インターバル時間} = (N + 1) / f_{CNT}$$

以後、同一間隔でINTTMH1信号が発生します。カウント動作を停止するときは、TMHE1 = 0にします。

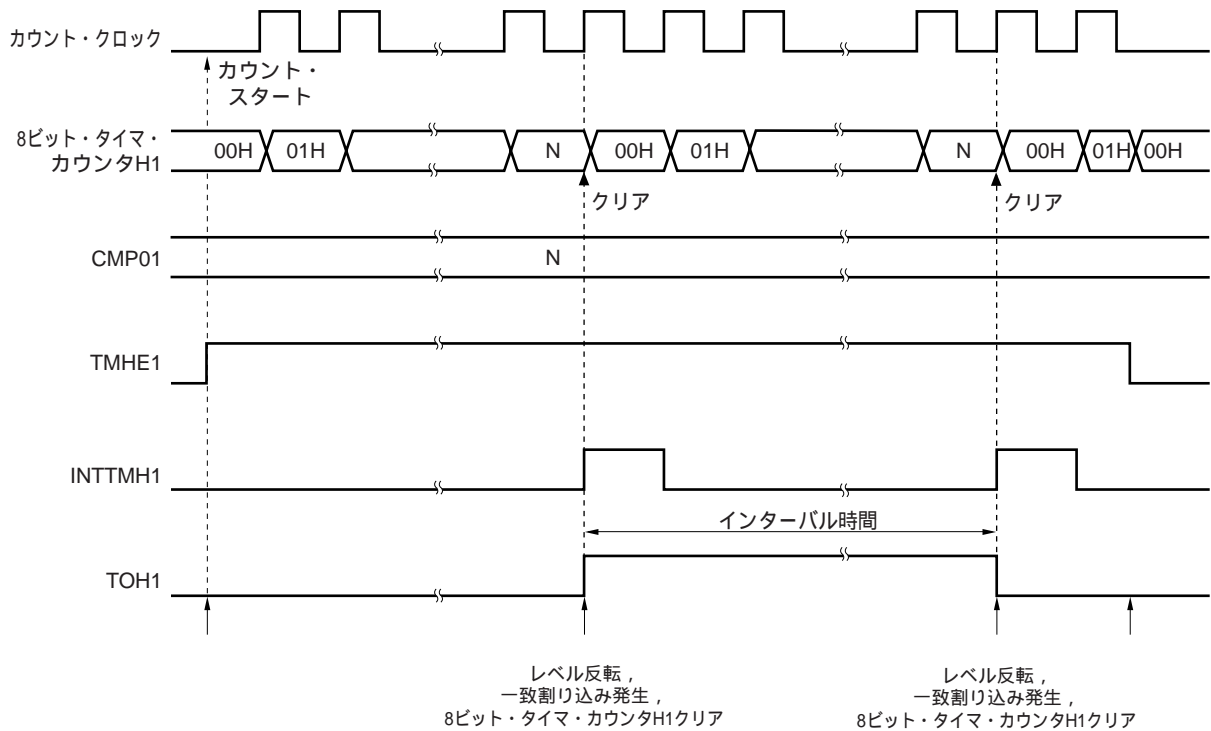
(2) タイミング・チャート

インターバル・タイマ / 方形波出力動作のタイミングを次に示します。



図6-7 インターバル・タイマ/方形波出力動作のタイミング (1/2)

(a) 基本動作 (01H CMP01 FEH時)



TMHE1ビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてカウント・スタートします。

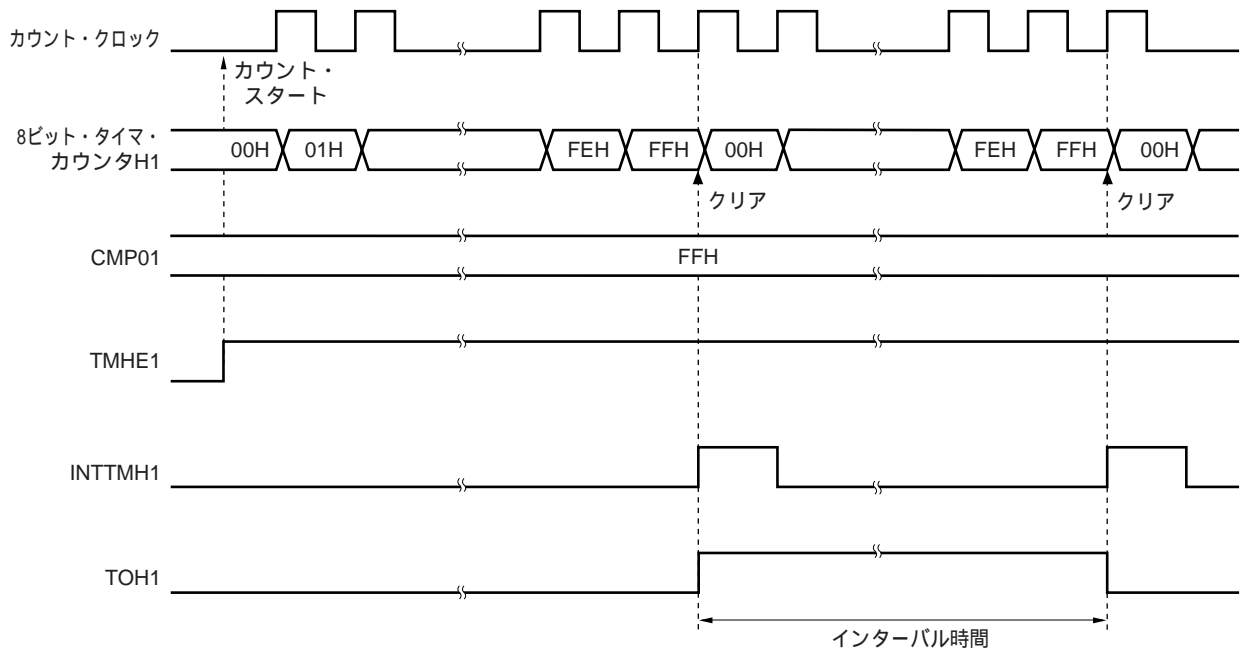
8ビット・タイマ・カウンタH1の値とCMP01レジスタの値が一致すると、8ビット・タイマ・カウンタH1の値をクリアし、TOH1出力のレベルを反転させ、INTTMH1信号を出力します。

タイマH1動作中にTMHE1ビットを0にすることで、INTTMH1信号およびTOH1出力がインアクティブになります。はじめからインアクティブの場合はレベルを保持します。

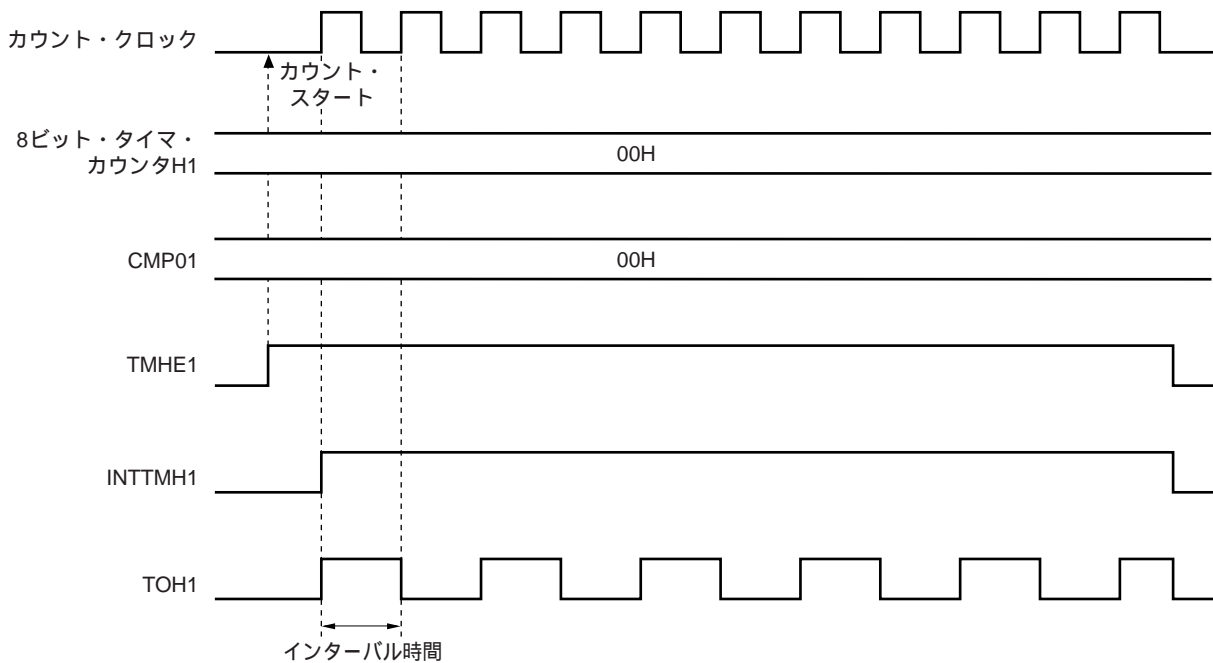
備考 01H N FEH

図6-7 インターバル・タイマ/方形波出力動作のタイミング (2/2)

(b) CMP01 = FFH時の動作



(c) CMP01 = 00H時の動作



### 6.4.2 PWM出力モードとしての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ01 (CMP01) はタイマ出力 (TOH1) の周期を制御します。タイマ動作中のCMP01レジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ11 (CMP11) はタイマ出力 (TOH1) のデューティを制御するレジスタです。タイマ動作中のCMP11レジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

タイマ・カウント・スタート後、8ビット・タイマ・カウンタH1とCMP01レジスタが一致するとTOH1出力はアクティブとなり、8ビット・タイマ・カウンタH1は0にクリアされます。8ビット・タイマ・カウンタH1とCMP11レジスタが一致するとTOH1出力はインアクティブとなります。

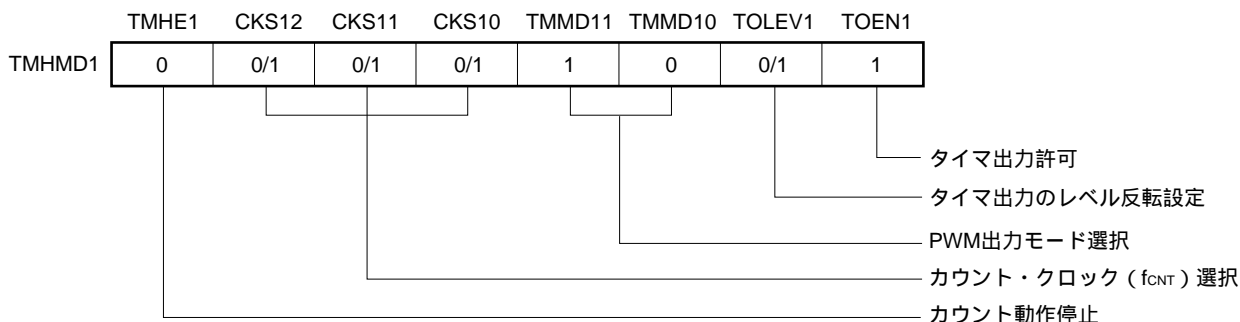
#### (1) 使用方法

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

各レジスタの設定を行います。

図6-8 PWM出力モード時のレジスタの設定

#### (i) タイマHモード・レジスタ1 (TMHMD1) の設定



#### (ii) CMP01レジスタの設定

- ・コンペア値 (N) : 周期の設定

#### (iii) CMP11レジスタの設定

- ・コンペア値 (M) : デューティの設定

**備考** 00H CMP11 (M) < CMP01 (N) FFH

TMHE1 = 1によりカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1とCMP01レジスタの値が一致すると、8ビット・タイマ・カウンタH1はクリアされ、割り込み要求信号（INTTMH1）が発生し、TOH1出力がアクティブになります。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタへ切り替わります。

8ビット・タイマ・カウンタH1とCMP11レジスタが一致すると、TOH1出力がインアクティブになり、同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタへ切り替わります。このとき8ビット・タイマ・カウンタH1はクリアされず、INTTMH1信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHE1 = 0にします。

CMP01レジスタの設定値を（N）、CMP11レジスタを（M）、カウント・クロックの周波数を $f_{CNT}$ とすると、PWMパルス出力周期およびデューティは次のとおりになります。

$$\begin{aligned} \text{PWMパルス出力周期} &= (N + 1) / f_{CNT} \\ \text{デューティ} = \text{アクティブ幅} : \text{PWM全体の幅} &= (M + 1) : (N + 1) \end{aligned}$$

- 注意1** . PWM出力モード時は、タイマ・カウント動作中にCMP11レジスタの設定値を変更することができます。ただしCMP11レジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック（TMHMD1レジスタのCKS12-CKS10ビットで選択された信号）の3クロック分以上かかります。
- 2** . タイマ・カウント動作停止（TMHE1 = 0）設定後、タイマ・カウント動作を開始する（TMHE1 = 1）場合、必ずCMP11レジスタを設定してください（CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください）。

## （2）タイミング・チャート

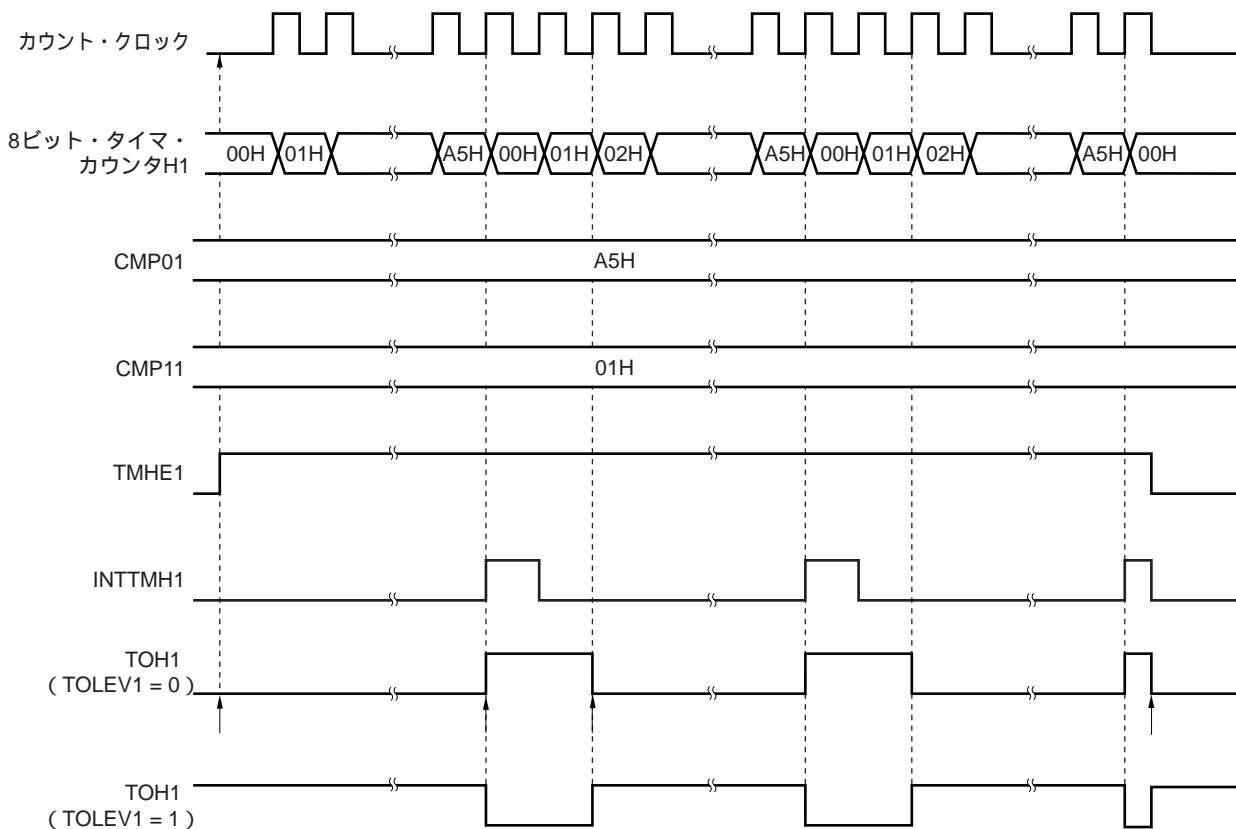
PWM出力モード時の動作タイミングを次に示します。

**注意** CMP11レジスタの設定値（M）、CMP01レジスタの設定値（N）は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP11 (M)} < \text{CMP01 (N)} \leq FFH$$

図6-9 PWM出力モード動作のタイミング(1/4)

(a) 基本動作 (00H < CMP11 < CMP01 < FFH)



TMHE1 = 1により、カウント動作許可状態になります。カウント・クロックを1クロック・マスクし、8ビット・タイマ・カウンタH1をスタートさせ、カウント・アップします。そのときTOH1出力はインアクティブ (TOLEV1 = 0設定時) を保持します。

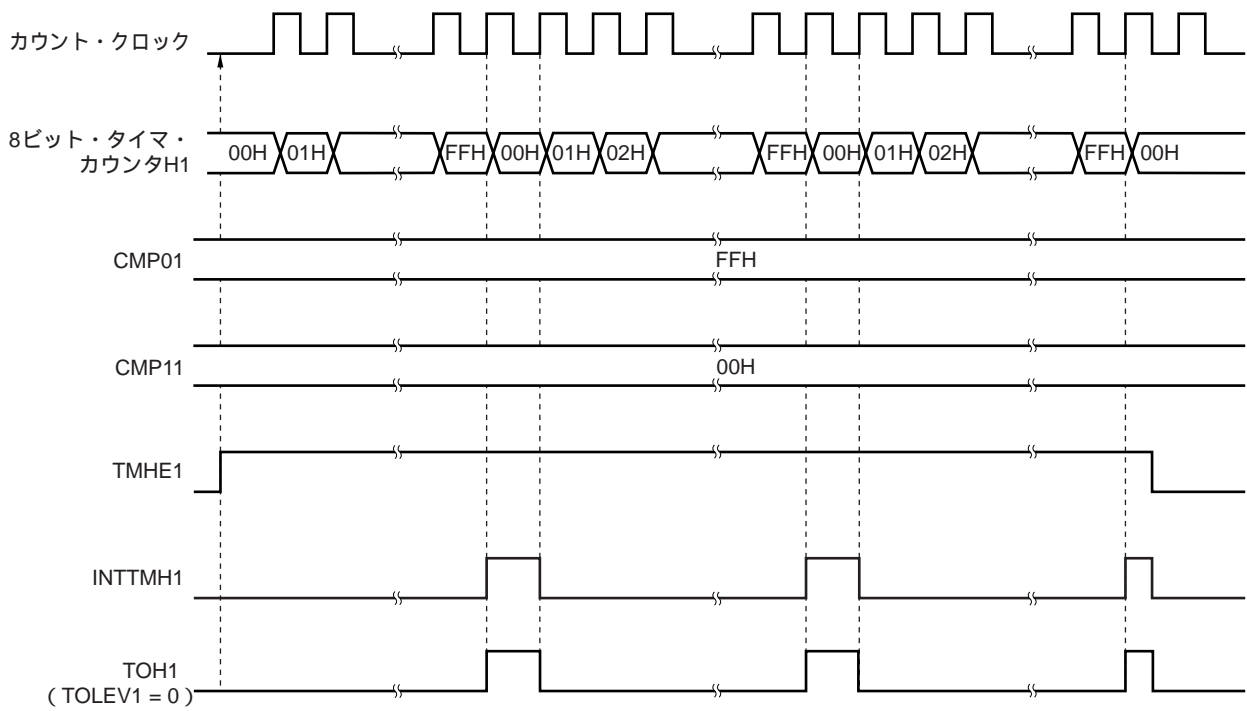
8ビット・タイマ・カウンタH1の値がCMP01レジスタの値と一致したときに、TOH1出力のレベルを反転し、8ビット・タイマ・カウンタH1をクリアし、INTTMH1信号を出力します。

8ビット・タイマ・カウンタH1の値がCMP11レジスタの値と一致したときに、TOH1出力のレベルを戻します。そのとき8ビット・カウンタの値はクリアされず、INTTMH1信号は出力しません。

タイマH1動作中にTMHE1ビットを0にすることで、INTTMH1信号およびTOH1出力がインアクティブになります。

図6-9 PWM出力モード動作のタイミング (2/4)

(b) CMP01 = FFH, CMP11 = 00H時の動作



(c) CMP01 = FFH, CMP11 = FEH時の動作

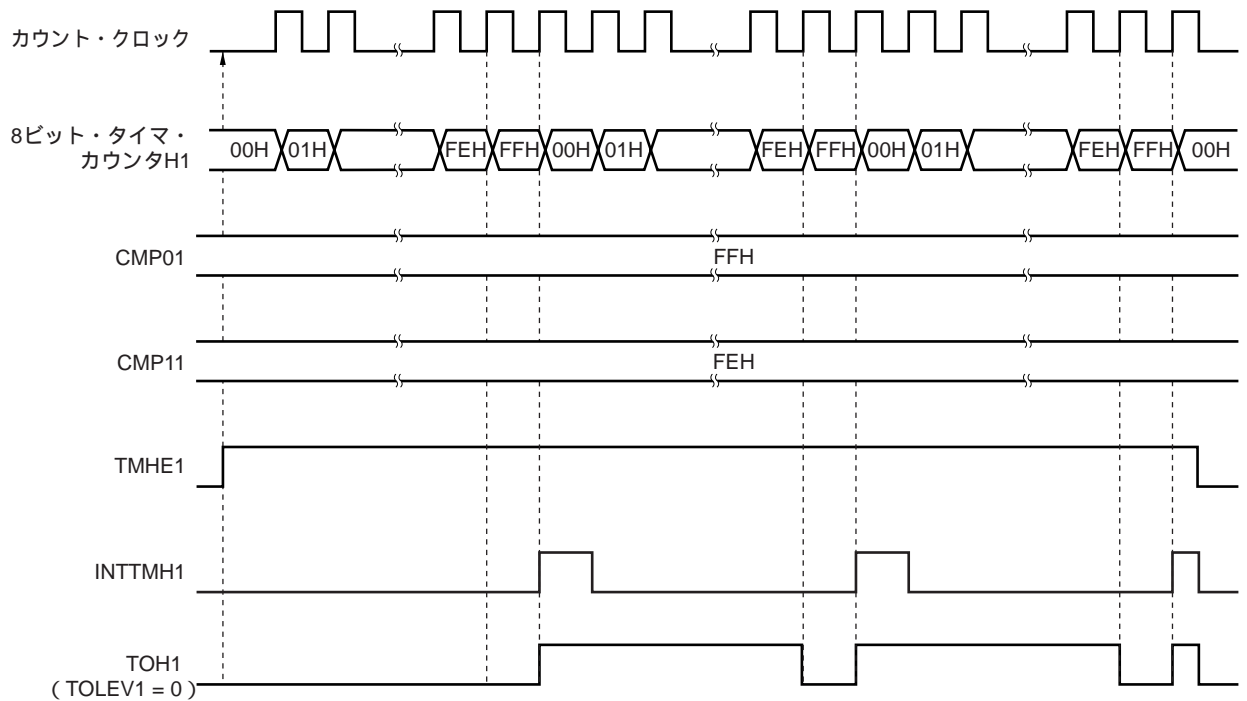


図6 - 9 PWM出力モード動作のタイミング (3/4)

(d) CMP01 = 01H, CMP11 = 00H時の動作

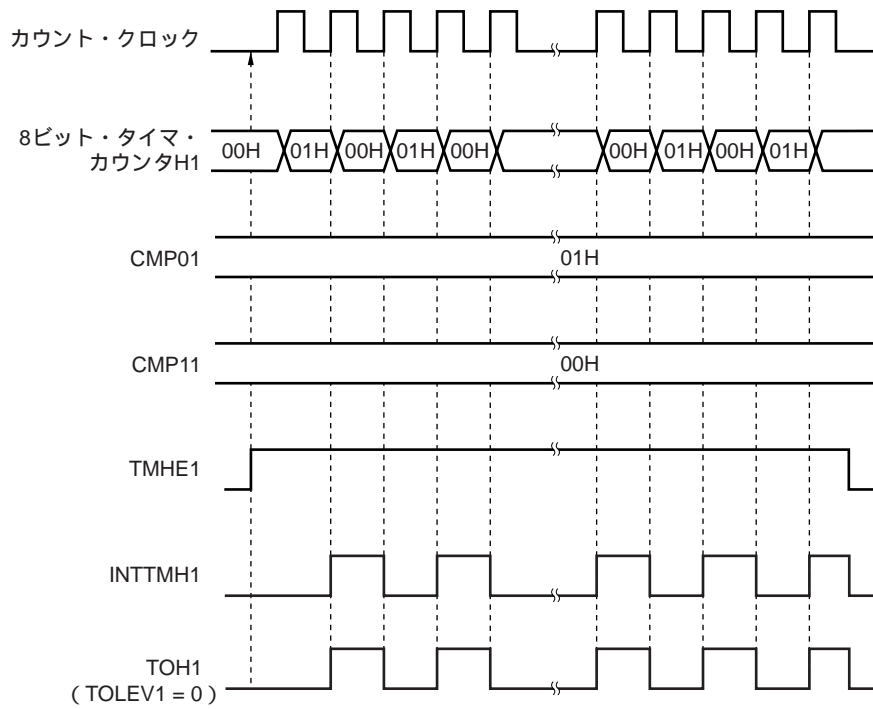
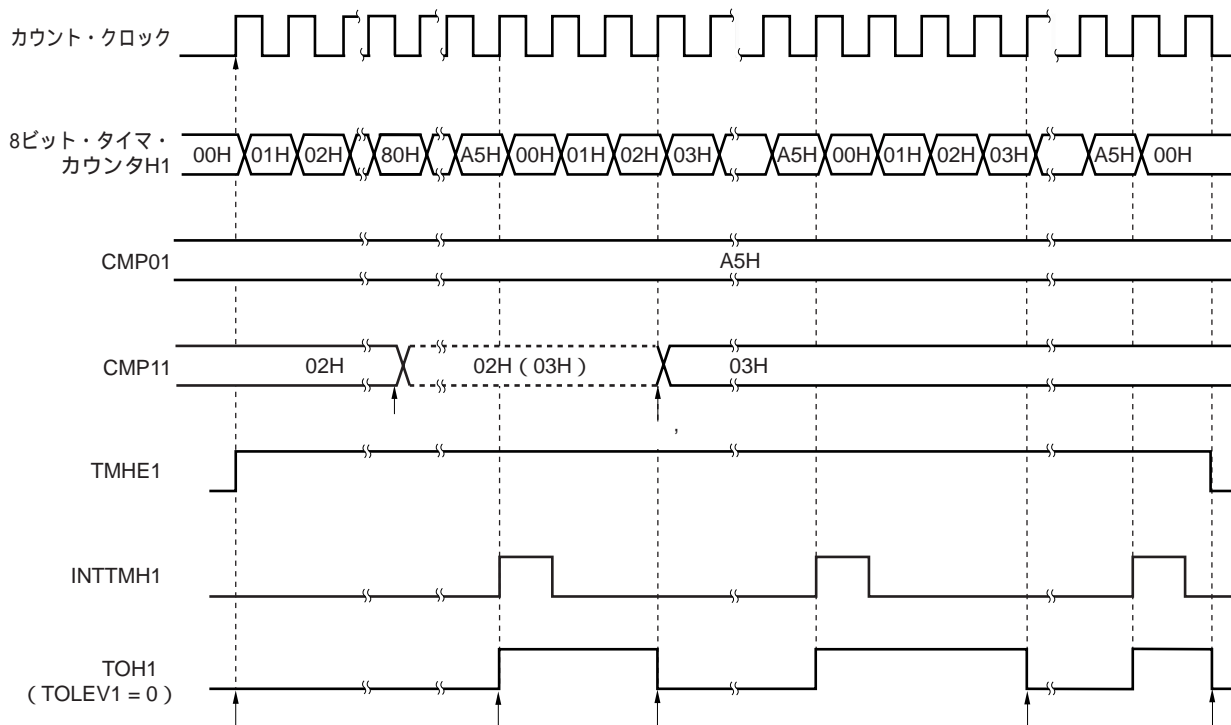


図6-9 PWM出力モード動作のタイミング(4/4)

(e) CMP11変更による動作 (CMP11 = 02H 03H, CMP01 = A5H)



TMHE1 = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、TOH1出力はインアクティブ (TOLEV1 = 0設定時) を保持します。

タイマ・カウンタ動作中にCMP11レジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタH1の値がCMP01レジスタの値と一致すると、8ビット・タイマ・カウンタH1はクリアされ、TOH1出力をアクティブにし、INTTMH1信号が発生します。

CMP11レジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタH1とCMP11レジスタの変更前の値が一致すると、CMP11レジスタに転送されCMP11レジスタの値が変更されます( )。

ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号を発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH1の値が変更後のCMP11レジスタの値と一致すると、TOH1出力をインアクティブにします。8ビット・タイマ・カウンタH1はクリアされず、INTTMH1信号も発生しません。

タイマH1動作中にTMHE1ビットを0にすることで、INTTMH1信号およびTOH1出力がインアクティブになります。



## 第7章 ウォッチドッグ・タイマ

### 7.1 ウォッチドッグ・タイマの機能

プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第10章 **リセット機能**を参照してください。

表7-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	
低速内蔵発振クロック動作時	システム・クロック動作時
$2^{11}/f_{RL}$ (4.27 ms)	$2^{13}/f_X$ (819.2 $\mu$ s)
$2^{12}/f_{RL}$ (8.53 ms)	$2^{14}/f_X$ (1.64 ms)
$2^{13}/f_{RL}$ (17.07 ms)	$2^{15}/f_X$ (3.28 ms)
$2^{14}/f_{RL}$ (34.13 ms)	$2^{16}/f_X$ (6.55 ms)
$2^{15}/f_{RL}$ (68.27 ms)	$2^{17}/f_X$ (13.11 ms)
$2^{16}/f_{RL}$ (136.53 ms)	$2^{18}/f_X$ (26.21 ms)
$2^{17}/f_{RL}$ (273.07 ms)	$2^{19}/f_X$ (52.43 ms)
$2^{18}/f_{RL}$ (546.13 ms)	$2^{20}/f_X$ (104.86 ms)

備考1.  $f_{RL}$  : 低速内蔵発振クロック周波数

2.  $f_X$  : システム・クロック発振周波数

3. ( ) 内は $f_{RL} = 480$  kHz (MAX.) ,  $f_X = 10$  MHz動作時

低速内蔵発振器のオプション・バイト設定により、ウォッチドッグ・タイマ (WDT) の動作モードが表7-2に示すように変わります。

表7-2 オプション・バイトの設定とウォッチドッグ・タイマの動作モード

	オプション・バイトの設定	
	低速内蔵発振器停止不可	低速内蔵発振器をソフトウェアにより停止可能
ウォッチドッグ・タイマのクロック・ソース	$f_{RL}$ 固定 <sup>注1</sup>	・ソフトで選択可 ( $f_x$ または $f_{RL}$ または停止) ・リセット解除時： $f_{RL}$
リセット後の動作	最長インターバル ( $2^{18}/f_{RL}$ ) で動作開始	最長インターバル ( $2^{18}/f_{RL}$ ) で動作開始
動作モード選択	インターバルを一度だけ変更可能	クロック選択 / インターバルを一度だけ変更可能
特 徴	ウォッチドッグ・タイマ停止不可	ウォッチドッグ・タイマ停止可能 <sup>注2</sup>

注1. 電源が供給されているかぎり、低速内蔵発振器の発振を停止することができません(リセット期間中は除く)。

2. ウォッチドッグ・タイマのクロック・ソースに応じて、ウォッチドッグ・タイマへのクロック供給停止の条件は異なります。

クロック・ソースが $f_x$ の場合、次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- ・  $f_x$ 停止時
- ・ HALT/STOPモード時
- ・ 発振安定時間中

クロック・ソースが $f_{RL}$ の場合、次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- ・ CPUクロックが $f_x$ で、STOP命令実行前に $f_{RL}$ をソフトウェアで停止した場合
- ・ HALT/STOPモード時

備考1.  $f_{RL}$  : 低速内蔵発振クロック周波数

2.  $f_x$  : システム・クロック発振周波数

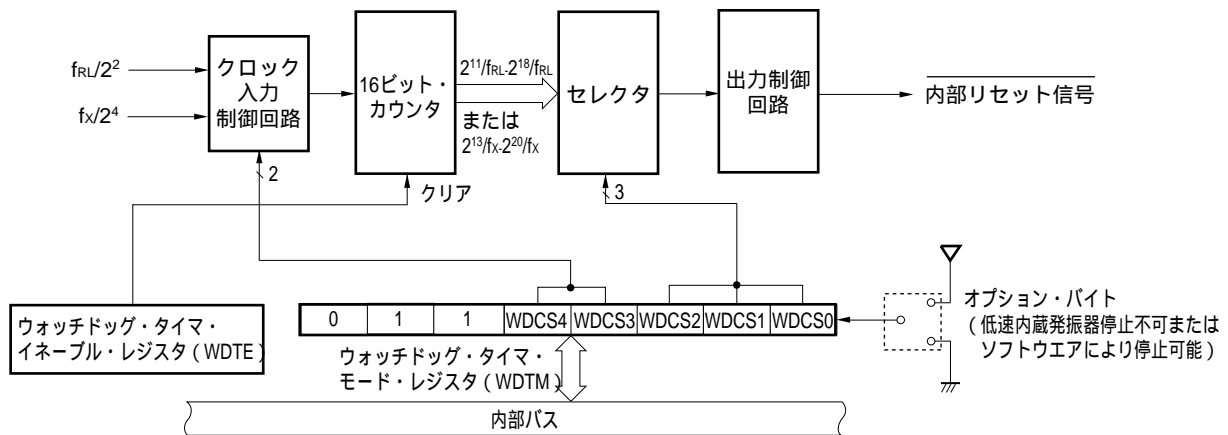
## 7.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表7-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

図7-1 ウォッチドッグ・タイマのブロック図



- 備考1.  $f_{RL}$  : 低速内蔵発振クロック周波数  
 2.  $f_x$  : システム・クロック発振周波数

## 7.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の2種類があります。

- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

### (1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバフロー時間および動作クロックを設定するレジスタです。

WDTMは8ビット・メモリ操作命令で設定します。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。

リセット信号の発生により67Hになります。

図7-2 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

アドレス : FF48H    リセット時 : 67H    R/W

略号	7	6	5	4	3	2	1	0
WDTM	0	1	1	WDCS4	WDCS3	WDCS2	WDCS1	WDCS0

WDCS4 <sup>注1</sup>	WDCS3 <sup>注1</sup>	動作クロックの選択
0	0	低速内蔵発振クロック (f <sub>RL</sub> )
0	1	システム・クロック (f <sub>X</sub> )
1	x	ウォッチドッグ・タイマ動作停止

WDCS2 <sup>注2</sup>	WDCS1 <sup>注2</sup>	WDCS0 <sup>注2</sup>	オーバフロー時間の設定	
			低速内蔵発振クロック動作時	システム・クロック動作時
0	0	0	2 <sup>11</sup> /f <sub>RL</sub> (4.27 ms)	2 <sup>13</sup> /f <sub>X</sub> (819.2 μs)
0	0	1	2 <sup>12</sup> /f <sub>RL</sub> (8.53 ms)	2 <sup>14</sup> /f <sub>X</sub> (1.64 ms)
0	1	0	2 <sup>13</sup> /f <sub>RL</sub> (17.07 ms)	2 <sup>15</sup> /f <sub>X</sub> (3.28 ms)
0	1	1	2 <sup>14</sup> /f <sub>RL</sub> (34.13 ms)	2 <sup>16</sup> /f <sub>X</sub> (6.55 ms)
1	0	0	2 <sup>15</sup> /f <sub>RL</sub> (68.27 ms)	2 <sup>17</sup> /f <sub>X</sub> (13.11 ms)
1	0	1	2 <sup>16</sup> /f <sub>RL</sub> (136.53 ms)	2 <sup>18</sup> /f <sub>X</sub> (26.21 ms)
1	1	0	2 <sup>17</sup> /f <sub>RL</sub> (273.07 ms)	2 <sup>19</sup> /f <sub>X</sub> (52.43 ms)
1	1	1	2 <sup>18</sup> /f <sub>RL</sub> (546.13 ms)	2 <sup>20</sup> /f <sub>X</sub> (104.86 ms)

注1. オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合は、設定できません。

どんな値を書いても低速内蔵発振クロックが選択されます。

2. リセット解除時は最大周期 (WDCS2,1,0 = 1,1,1) となります。

注意1. ビット7, 6, 5にはそれぞれ“0”, “1”, “1”を設定してください。それ以外の値を設定しないでください。

注意2. リセット解除後，WDTMへの書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。ただし，1回目の書き込み時に，WDCS4, WDCS3にそれぞれ“1”，“x”を設定しウォッチドッグ・タイマを停止した場合，次の内容を実行しても内部リセット信号は発生しません。

- ・ WDTMへの2回目の書き込み
- ・ WDTEへの1ビット・メモリ操作命令実行
- ・ WDTEへの“ACH”以外の値の書き込み

3. WDTMは1ビット・メモリ操作命令では設定できません。
4. セルフ書き込みによるフラッシュ・セルフ・プログラミングを使用する場合，ウォッチドッグ・タイマのオーバフロー時間を十分に(例 1バイト書き込み：200  $\mu$ s以上，1ブロック消去：10 ms以上)取るように設定してください。

備考1.  $f_{RL}$  : 低速内蔵発振クロック周波数

2.  $f_x$  : システム・クロック発振周波数

3. x : don't care

4. ( ) 内は， $f_x = 10$  MHz動作時， $f_{RL} = 480$  kHz (MAX.) 動作時

## (2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により9AHになります。

図7-3 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス：FF49H リセット時：9AH R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注意1. WDTEに“ACH”以外の値を書き込んだ場合，内部リセット信号が発生します。

2. WDTEに1ビット・メモリ操作命令を実行した場合，内部リセット信号が発生します。

3. WDTEのリード値は，“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

## 7.4 ウォッチドッグ・タイマの動作

### 7.4.1 オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックは低速内蔵発振クロックに固定となります。

リセット解除後は、最大周期(ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット2, 1, 0(WDCS2, WDCS1, WDCS0) = 1, 1, 1)で動作を開始します。ウォッチドッグ・タイマの動作を停止することはできません。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1. リセット解除時の状態は次のようになります。
  - ・動作クロック：低速内蔵発振クロック
  - ・周期： $2^{18}/f_{RL}$  (546.13 ms :  $f_{RL} = 480$  kHz (MAX.) 動作時)
  - ・カウント開始
2. ウォッチドッグ・タイマ・モード・レジスタ(WDTM)に次の内容を8ビット・メモリ操作命令で設定してください<sup>注1, 2</sup>。
  - ・周期：ビット2-0(WDCS2- WDCS0)で設定
3. 以後、WDTEに“ACH”を書き込むことによりカウントをクリア(0)し、再カウントすることができます。

**注1.** 動作クロック(低速内蔵発振クロック)を変更することはできません。WDTMのビット3, 4(WDCS3, WDCS4)にどんな値を書き込んでも無視されます。

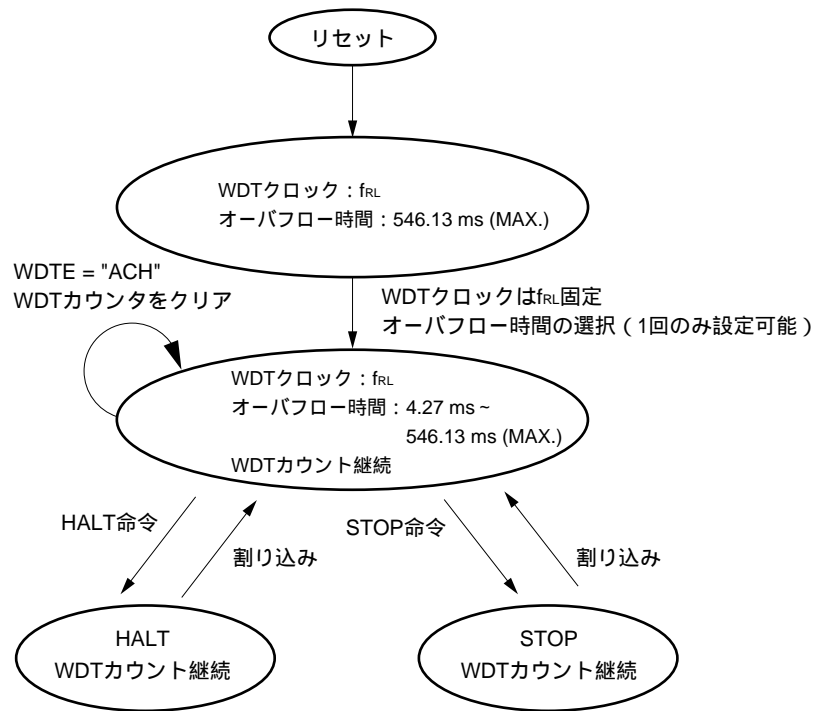
**2.** WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウントはいったんクリアされます。

**注意** このモードでは、STOP命令実行時でもウォッチドッグ・タイマの動作を停止できません。

8ビット・タイマH1(TMh1)はカウント・ソースに低速内蔵発振クロックの分周を選択できますので、STOP命令実行後はウォッチドッグ・タイマのオーバフロー発生前にTMh1の割り込み要求を使用して、ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は、STOP命令実行後、ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号が発生します。

次に状態遷移図を示します。

図7 - 4 オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合の状態遷移図



## 7.4.2 オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックを低速内蔵発振クロックまたはシステム・クロックに選択できます。

リセット解除後は、低速内蔵発振クロックの最大周期(ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット2, 1, 0 (WDCS2, WDCS1, WDCS0) = 1, 1, 1) で動作を開始します。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1. リセット解除時の状態は次のようになります。

- ・動作クロック：低速内蔵発振クロック
- ・周期： $2^{18} / f_{RL}$  (546.13 ms :  $f_{RL} = 480$  kHz (MAX.) 動作時)
- ・カウント開始

2. ウォッチドッグ・タイマ・モード・レジスタ(WDTM)に次の内容を8ビット・メモリ操作命令で設定してください<sup>※1, 2, 3</sup>。

- ・動作クロック：ビット3, 4 (WDCS3, WDCS4) で次のうちのいずれかを選択
  - 低速内蔵発振クロック ( $f_{RL}$ )
  - システム・クロック ( $f_X$ )
  - ウォッチドッグ・タイマ動作停止
- ・周期：ビット2-0 (WDCS2- WDCS0) で設定

3. 以後、WDTEに“ACH”を書き込むことによりカウントをクリア(0)し、再カウントすることができます。

**注1.** WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウントはいったんクリアされます。

2. ビット7, 6, 5にはそれぞれ“0”, “1”, “1”を設定してください。それ以外の値を設定しないでください。

3. 1回目の書き込み時に、WDCS4, WDCS3にそれぞれ“1”, “x”を設定しウォッチドッグ・タイマを停止した場合、次の内容を実行しても内部リセット信号は発生しません。

- ・WDTMへの2回目の書き込み
- ・WDTEへの1ビット・メモリ操作命令実行
- ・WDTEへの“ACH”以外の値の書き込み

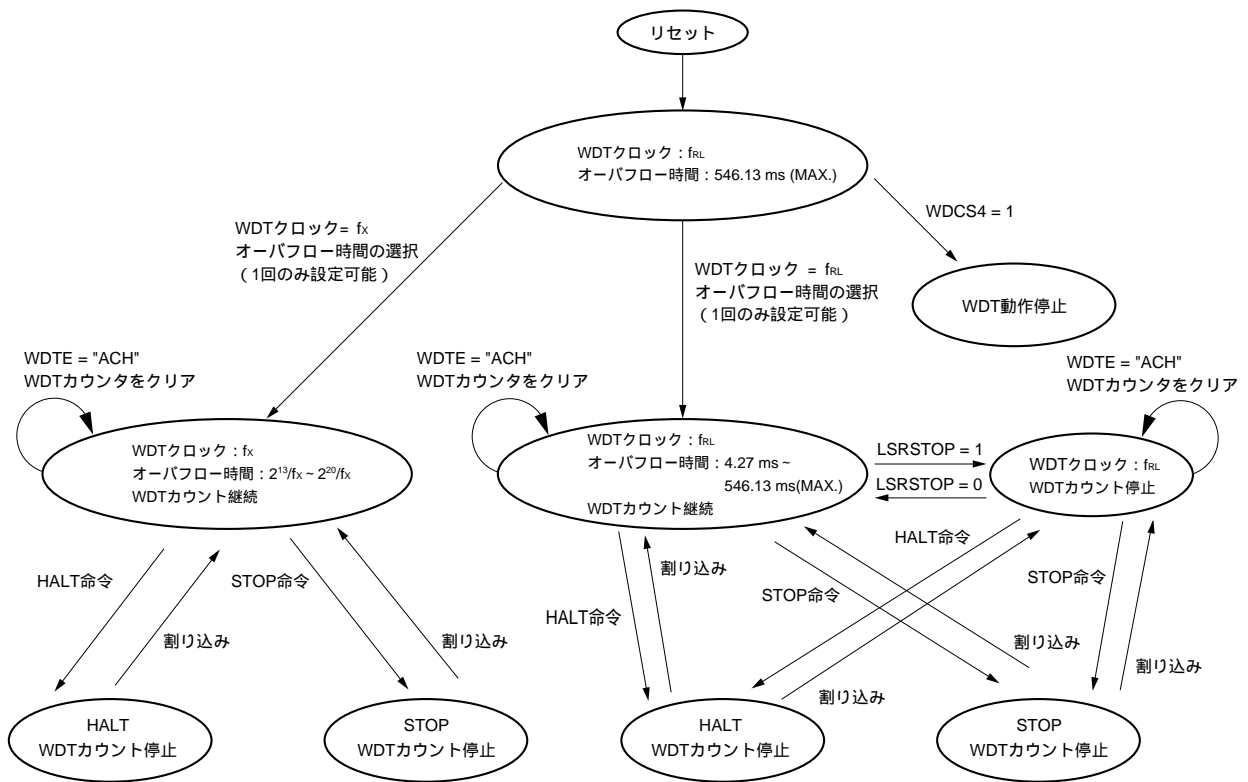
**注意** このモードでは、HALT/STOP命令実行時のウォッチドッグ・タイマ動作は停止します。HALT/STOPモード解除後、HALT/STOP命令実行前にWDTMで設定したウォッチドッグ・タイマの動作クロックでカウントを再開します。このとき、カウントはクリア(0)されず、値を保持します。

各状態におけるSTOPモードおよびHALTモード中のウォッチドッグ・タイマ動作については7.4.3 STOPモード時の動作, 7.4.4 HALTモード時の動作を参照してください。

次に状態遷移図を示します。



図7-5 オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合の状態遷移図



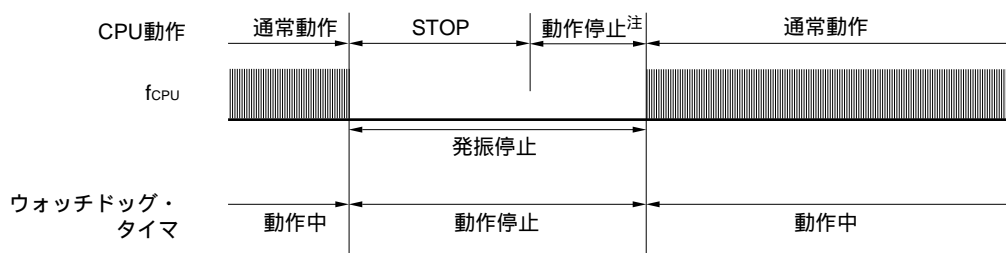
### 7.4.3 STOPモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合）

システム・クロック動作時，低速内蔵発振器動作時にかかわらず，STOP命令実行時にウォッチドッグ・タイマはカウントを停止します。

#### (1) STOP実行時のウォッチドッグ・タイマの動作クロックがシステム・クロック (f<sub>cpu</sub>) の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，34 μs(TYP.)動作停止したあとに，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア(0)されず，値を保持します。

図7-6 STOPモード時の動作（WDT動作クロック：システム・クロック）

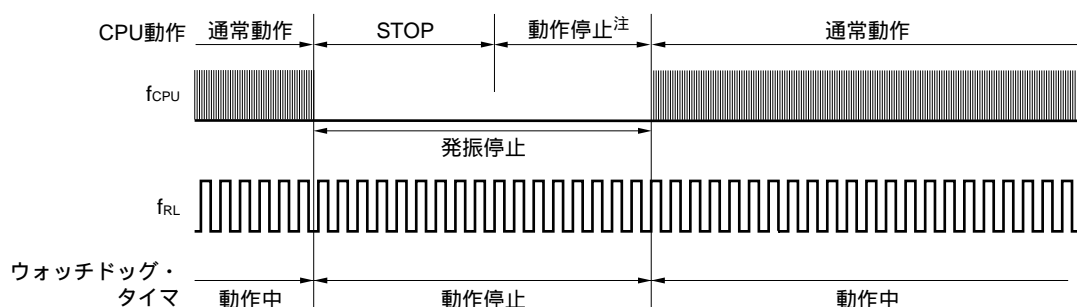


注 動作停止時間は，17 μs (MIN.) ， 34 μs ( TYP. ) ， 67 μs ( MAX. ) です。

#### (2) STOP実行時のウォッチドッグ・タイマの動作クロックが低速内蔵発振クロック (f<sub>RL</sub>) の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，34 μs(TYP.)動作停止したあとに，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア(0)されず，値を保持します。

図7-7 STOPモード時の動作（WDT動作クロック：低速内蔵発振クロック）

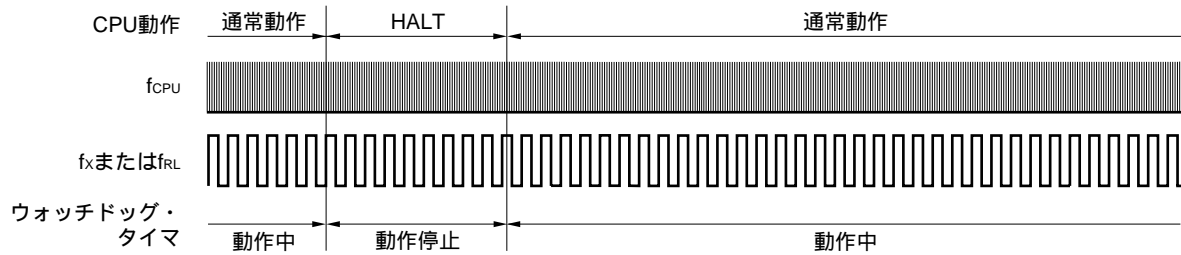


注 動作停止時間は，17 μs (MIN.) ， 34 μs ( TYP. ) ， 67 μs ( MAX. ) です。

#### 7.4.4 HALTモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合）

ウォッチドッグ・タイマの動作クロックがシステム・クロック ( $f_x$ )、低速内蔵発振クロック ( $f_{RL}$ ) にかかわらず、HALT命令実行時は、ウォッチドッグ・タイマの動作を停止します。HALTモード解除後は、動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア (0) されず、値を保持します。

図7-8 HALTモード時の動作



# 第8章 割り込み機能

## 8.1 割り込み機能の種類

割り込みには、マスクブル割り込みとリセットがあります。

### ・マスクブル割り込み

マスク制御を受ける割り込みです。割り込み要求が発生すると、スタンバイ・リリース信号が発生し、割り込み受け付けが可能であればベクタ・テーブル・アドレスに書かれたアドレスのプログラムが実行されます（ベクタ割り込み処理）。複数の割り込み要求が同時に発生した場合は、ベクタ割り込み処理の優先順位（プライオリティ）にしたがって処理されます。優先順位（プライオリティ）については表8-1を参照してください。

マスクブル割り込みは、外部割り込みが2要因、内部割り込みが2要因あります。

### ・リセット

リセット信号により、CPUやSFRを初期状態に戻します。リセット信号が発生する要因は、表8-1のようになっています。

リセット信号発生時は、0000H, 0001H番地に書かれたアドレスからプログラムが実行されます。

## 8.2 割り込み要因と構成

マスクブル割り込み要因には、合計4要因あります。また、それ以外にリセット要因が最大で4要因あります（表8-1参照）。

表8-1 割り込み要因一覧

割り込みタイプ	プライオリティ <sup>注1</sup>	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ <sup>注2</sup>
		名称	トリガ			
マスクブル	1	INTLVI	低電圧検出 <sup>注3</sup>	内部	0006H	(A)
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)
	3	INTP1			000AH	
	4	INTTMH1	TMH1とCMP01の一致	内部	000CH	(A)
リセット		RESET	リセット入力		0000H	
		POC	パワーオン・クリア			
		LVI	低電圧検出 <sup>注4</sup>			
		WDT	WDTのオーバフロー			

注1. プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。1が最高順位、4が最低順位です。

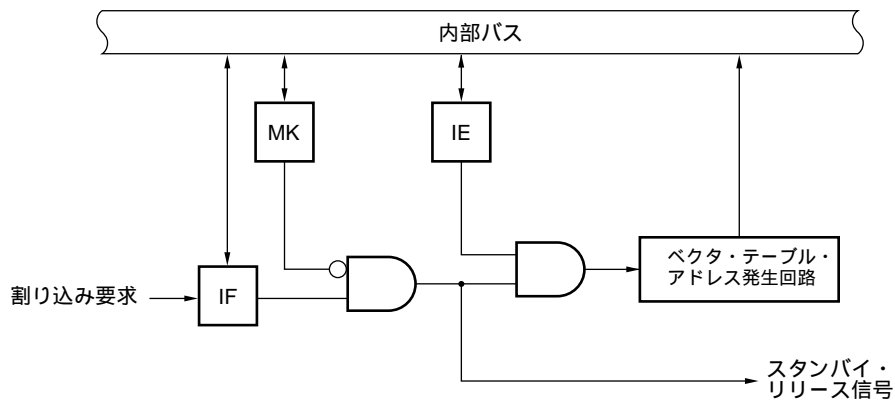
2. 基本構成タイプの(A)、(B)は、それぞれ図8-1の(A)、(B)に対応しています。

3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 0選択時。

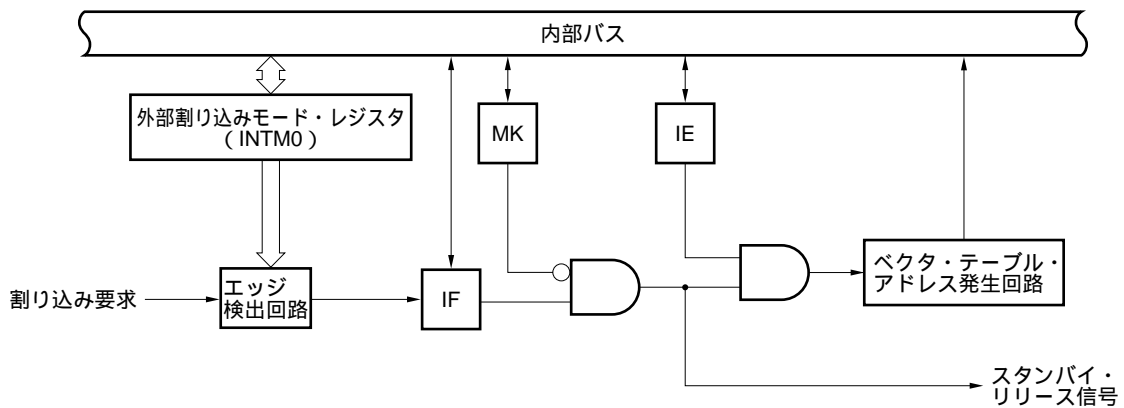
4. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 1選択時。

図8 - 1 割り込み機能の基本構成

(A) 内部マスカブル割り込み



(B) 外部マスカブル割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

### 8.3 割り込み機能を制御するレジスタ

割り込み機能は、次の4種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0 (IF0)
- ・割り込みマスク・フラグ・レジスタ0 (MK0)
- ・外部割り込みモード・レジスタ0 (INTMO)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表8 - 2に示します。

表8 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTLVI	LVIIIF	LVIMK
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTTMH1	TMIFH1	TMMKH1

(1) 割り込み要求フラグ・レジスタ0 (IF0)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時およびリセット信号の発生時、命令の実行によりクリア(0)されるフラグです。

IF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 2 割り込み要求フラグ・レジスタ0 (IF0) のフォーマット

アドレス : FFE0H    リセット時 : 00H    R/W

略号	7	6	5	④	③	②	①	0
IF0	0	0	0	TMIFH1	PIF1	PIF0	LVIIIF	0

x × IF x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

**注意** P21, P32は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(2) 割り込みマスク・フラグ・レジスタ0 (MK0)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。  
 MK0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 リセット信号の発生により、FFHになります。

図8-3 割り込みマスク・フラグ・レジスタ0 (MK0) のフォーマット

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	④	③	②	①	0
MK0	1	1	1	TMMKH1	PMK1	PMK0	LVIMK	1

x × MK x	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

**注意** P21, P32は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0, INTP1の有効エッジを設定するレジスタです。  
 INTM0は、8ビット・メモリ操作命令で設定します。  
 リセット信号の発生により、00Hになります。

図8-4 外部割り込みモード・レジスタ0 (INTM0) のフォーマット

アドレス：FFECH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
INTM0	0	0	ES11	ES10	ES01	ES00	0	0

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

**注意1.** ビット0, 1, 6, 7には、必ず0を設定してください。

注意2. INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット (x x MK x = 1) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア (x x IF x = 0) してから、割り込みマスク・フラグをクリア (x x MK x = 0) し、割り込みを許可してください。

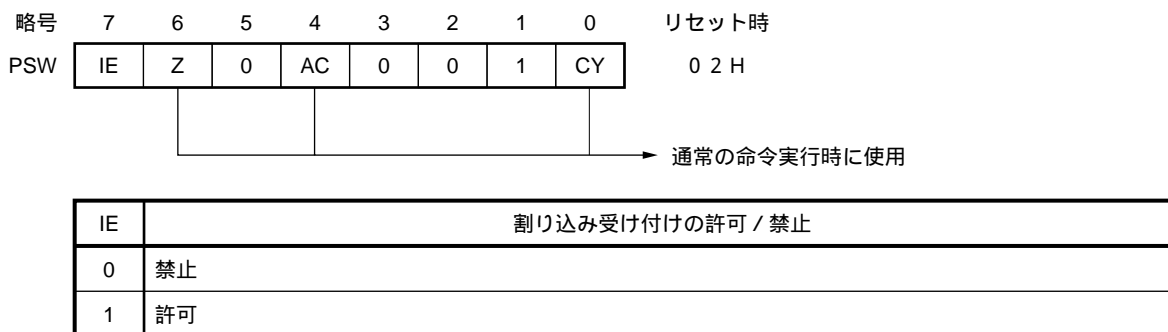
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

リセット信号の発生により、PSWは02Hになります。

図8-5 プログラム・ステータス・ワード (PSW) の構成



## 8.4 割り込み処理動作

### 8.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込みの割り込みマスク・フラグがクリア (0) されていると受け付けが可能な状態になります。割り込み許可状態 (IEフラグがセット (1) されているとき) であればベクタ割り込みとして受け付けます。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われる時間は表8-3のようになります。割り込み要求の受け付けのタイミングについては、図8-7、図8-8を参照してください。

表8-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 <sup>注</sup>
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック :  $\frac{1}{f_{CPU}}$  (f<sub>CPU</sub> : CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。保留された割り込みは受け付け可能な状態になると受け付けられます。

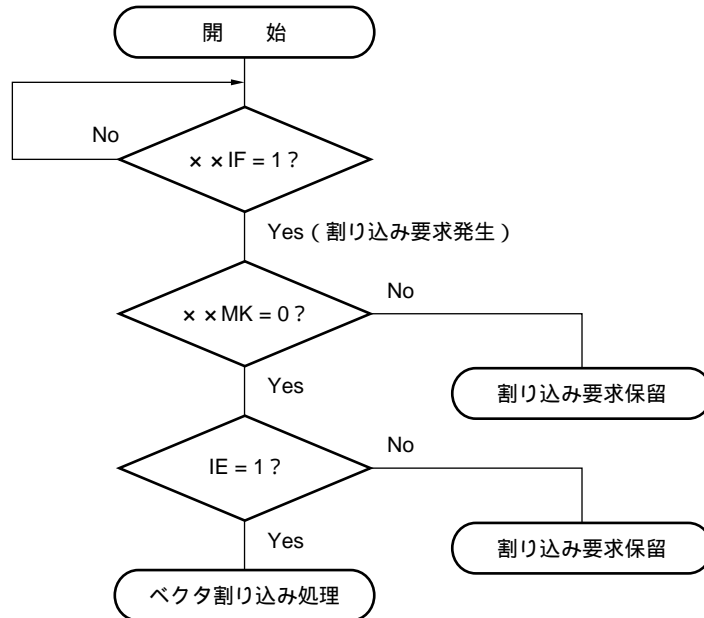


割り込み要求受け付けのアルゴリズムを図8 - 6に示します。

マスカブル割り込み要求が受け付けられると、PSW、PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図8 - 6 割り込み要求受け付け処理アルゴリズム

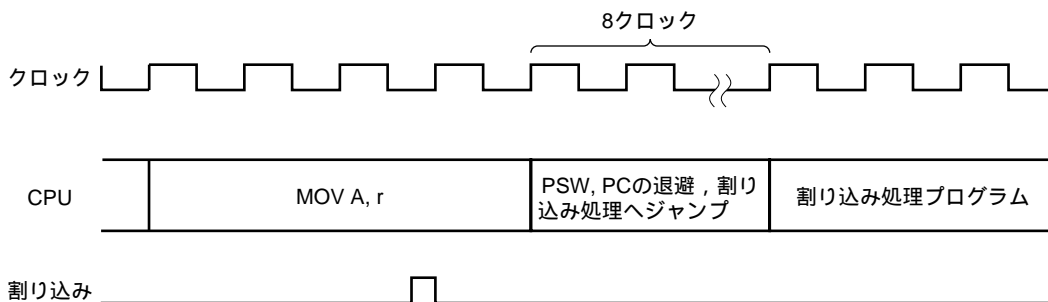


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

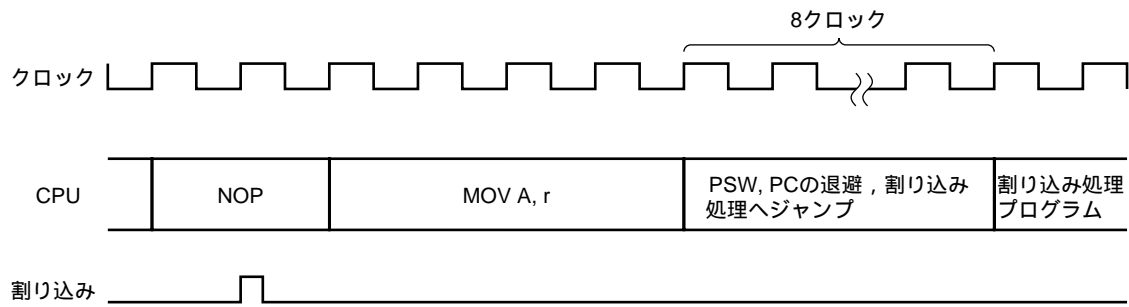
図8 - 7 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロックn (n = 4-10) がn - 1までに割り込み要求フラグ(x x IF)が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図8 - 7では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので、命令のフェッチを開始してから3クロックの間に割り込みが発生すると、MOV A, rの終了後、割り込み受け付け処理を行います。

図8 - 8 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ (  $\times \times$  IF ) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図8 - 8ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

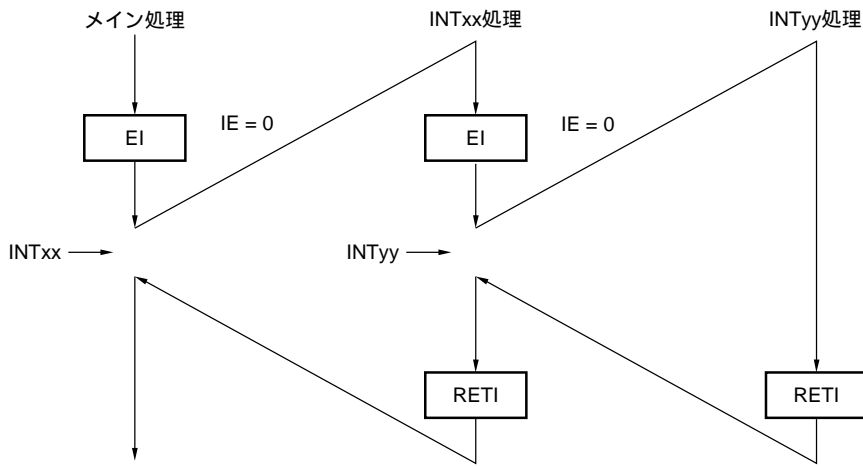
**注意** 割り込み要求フラグ・レジスタ0 (IF0) または割り込みマスク・フラグ・レジスタ0 (MK0) にアクセス中は割り込み要求は保留されます。

#### 8.4.2 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みを行うには、割り込みマスク機能を使用して、優先度を低く設定したい割り込みにマスクをかける必要があります。

図8-9 多重割り込みの例(1/2)

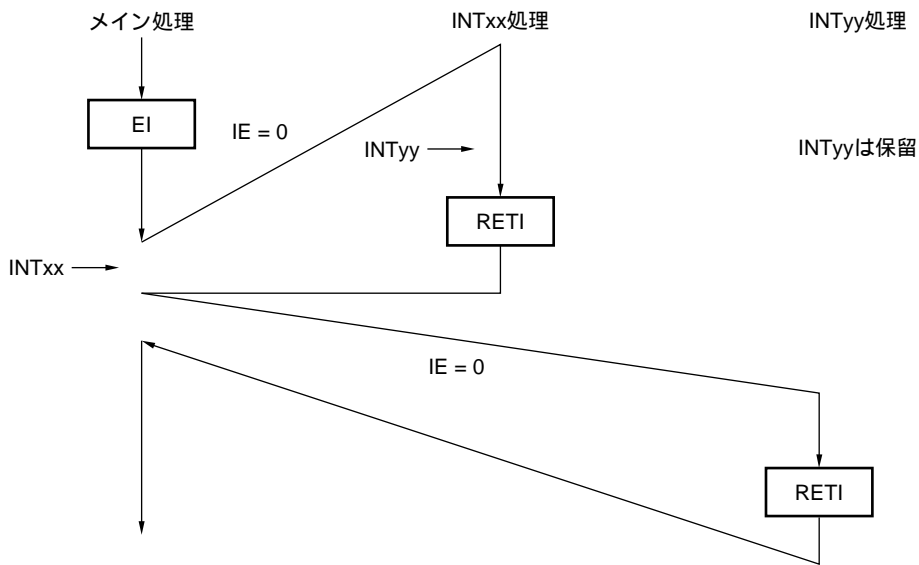
例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込みマスクが解除され、割り込み要求受け付け許可状態になっている。

**注意** 優先度の低い割り込みでも、多重割り込みは受け付けます。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

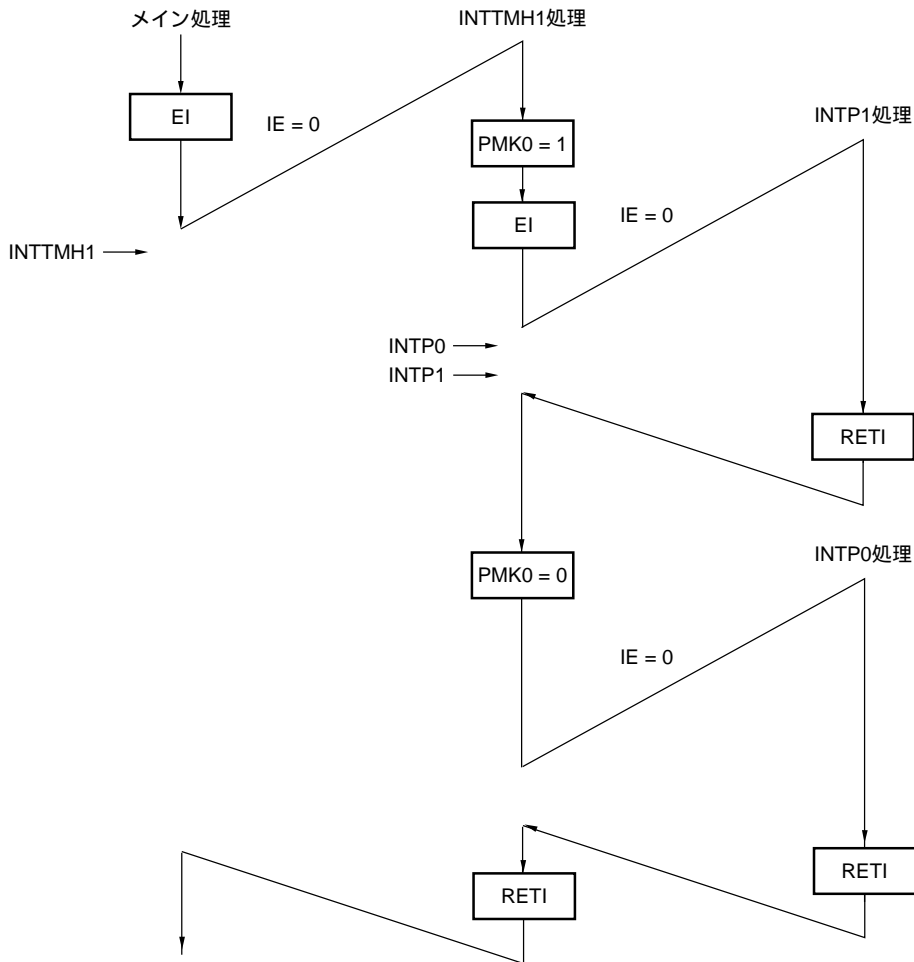
IE = 0 : 割り込み要求受け付け禁止

図8 - 9 多重割り込みの例 (2/2)

例3. 多重割り込みにより優先順位を制御する例

INTP0, INTP1, INTTMH1をベクタ割り込み許可状態とします。

( 割り込み優先順位, INTP0 > INTP1 > INTTMH1 (表8 - 1参照) )



割り込みINTTMH1処理では、最初にINTP0の割り込みをマスクしているため、INTP1の割り込みが優先して処理される。

その後、INTP0の割り込みマスクを解除すると、多重割り込みによるINTP0処理が行われる。

IE = 0 : 割り込み要求受け付け禁止

8.4.3 割り込み要求の保留

命令の中には、実行中に割り込み要求 (マスカブル割り込み, 外部割り込み) が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令 (割り込み要求の保留命令) を次に示します。

- ・割り込み要求フラグ・レジスタ0 (IF0) に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0 (MK0) に対する操作命令

## 第9章 スタンバイ機能

### 9.1 スタンバイ機能と構成

#### 9.1.1 スタンバイ機能

表9 - 1 各動作状態における動作クロックの関係

ステータス 動作モード	低速内蔵発振器			システム・ クロック	周辺ハードウェア への供給クロック
	注1	注2			
		LSRSTOP = 0	LSRSTOP = 1		
リセット	停止			停止	停止
STOP	動作	動作 <sup>注3</sup>	停止	動作	動作
HALT					

注1. オプション・バイトにて低速内蔵発振器を「停止不可」に選択時

2. オプション・バイトにて低速内蔵発振器を「ソフトウェアにより停止可能」に選択時に、LSRSTOPで低速内蔵発振器の発振/停止を設定します。
3. ウォッチドッグ・タイマの動作クロックが低速内蔵発振クロックの場合、ウォッチドッグ・タイマは停止します。

**注意** LSRSTOPの設定はオプション・バイトにて低速内蔵発振器を「ソフトウェアにより停止可能」時にのみ有効です。

**備考** LSRSTOP：低速内蔵発振モード・レジスタ（LSRCM）のビット0

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

#### (1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。またHALTモード設定前に低速内蔵発振回路が動作している場合、低速内蔵発振クロックは発振を継続します（表9 - 1を参照。低速内蔵発振クロックの発振（停止不可/ソフトウェアにより停止可能）については、オプション・バイトで設定）。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

## (2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に動作停止時間<sup>注</sup>が発生するため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

**注** 動作停止時間は、17  $\mu$ s (MIN.)、34  $\mu$ s (TYP.)、67  $\mu$ s (MAX.)です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意** 1. STOPモードに移行するとき、周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください（低速内蔵発振クロックで動作する周辺ハードウェアは除く）。
2. STOPモード設定前に低速内蔵発振回路が動作している場合、STOPモードでは低速内蔵発振クロックの発振を停止することはできません（表9 - 1を参照）。

## 9.2 スタンバイ機能の動作

### 9.2.1 HALTモード

#### (1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

**注意** スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがクリアされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。

表9-2 HALTモード時の動作状態

項 目		HALTモードの設定	低速内蔵発振器停止不可 <sup>注</sup>	
			低速内蔵発振器停止可 <sup>注</sup>	
			低速内蔵発振継続時	低速内蔵発振停止時
システム・クロック			CPUへのクロック供給は停止	
CPU			動作停止	
ポート（ラッチ）			HALTモード設定前の状態を保持	
8ビット・タイマH1	カウント・クロックを $f_{XP} - f_{XP}/2^{12}$ に設定		動作可能	
	カウント・クロックを $f_{RL}/2^7$ に設定		動作可能	動作停止
ウォッチドッグ・タイマ	動作クロックを「システム・クロック」に選択	設定不可	動作停止	
	動作クロックを「低速内蔵発振クロック」に選択	動作可能（動作継続）	動作停止	
パワーオン・クリア回路			常時動作	
低電圧検出回路			動作可能	
外部割り込み			動作可能	

**注** オプション・バイトで低速内蔵発振器を「停止不可」または「ソフトウェアにより停止可能」を選択できます（オプション・バイトについては第13章 オプション・バイトを参照）。

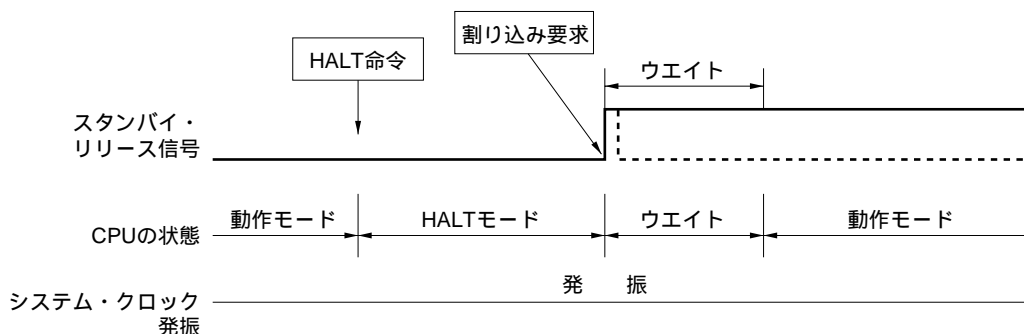
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図9 - 1 HALTモードの割り込み要求発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

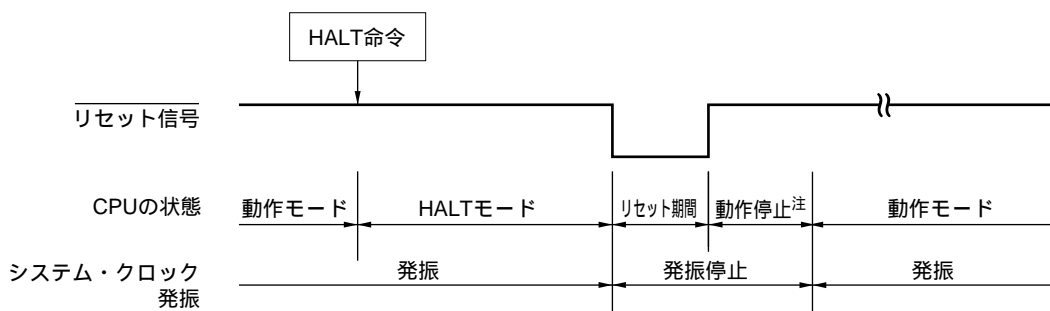
2. ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 11~13クロック
- ・ベクタ割り込み処理を行わない場合 : 3~5クロック

(b) リセット信号の発生による解除

リセット信号の発生があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図9 - 2 HALTモードのリセット信号の発生による解除



注 オプション・バイト参照のため、動作停止状態(277  $\mu$ s(MIN.) , 544  $\mu$ s(TYP.) , 1.075 ms(MAX.))になります。



表9 - 3 HALTモード時の割り込み要求に対する動作

解除ソース	MK x x	IE	動作
マスクブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
リセット信号発生	-	x	リセット処理

x : don't care

## 9.2.2 STOPモード

### (1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

**注意** スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードではSTOP命令実行後、34  $\mu$ S(TYP.) 停止したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

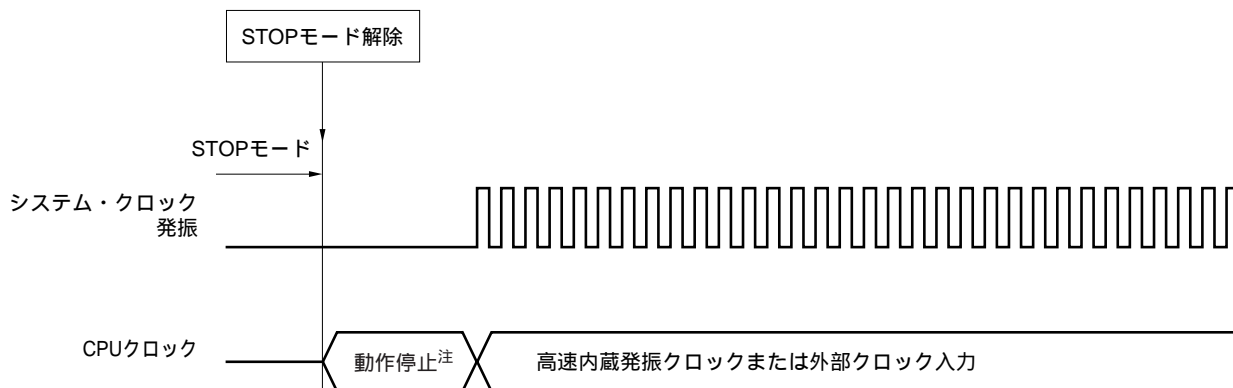
表9 - 4 STOPモード時の動作状態

STOPモードの設定 項目		低速内蔵発振器停止不可 <sup>注</sup>	低速内蔵発振器停止可 <sup>注</sup>	
			低速内蔵発振継続時	低速内蔵発振停止時
システム・クロック		発振停止		
CPU		動作停止		
ポート(ラッチ)		STOPモード設定前の状態を保持		
8ビット・タイマH1	カウント・クロックを $f_{XP} - f_{XP}/2^{12}$ に設定	動作停止		
	カウント・クロックを $f_{RL}/2^7$ に設定	動作可能	動作可能	動作停止
ウォッチドッグ・タイマ	動作クロックを「システム・クロック」に選択	設定不可	動作停止	
	動作クロックを「低速内蔵発振クロック」に選択	動作可能(動作継続)	動作停止	
パワーオン・クリア回路		常時動作		
低電圧検出回路		動作可能		
外部割り込み		動作可能		

**注** オプション・バイトで低速内蔵発振器を「停止不可」または「ソフトウェアにより停止可能」を選択できます(オプション・バイトについては第13章 オプション・バイトを参照)。

(2) STOPモードの解除

図9 - 3 STOPモード解除時の動作タイミング



注 動作停止時間は、17  $\mu$ s(MIN.)、34  $\mu$ s(TYP.)、67  $\mu$ s(MAX.)です。

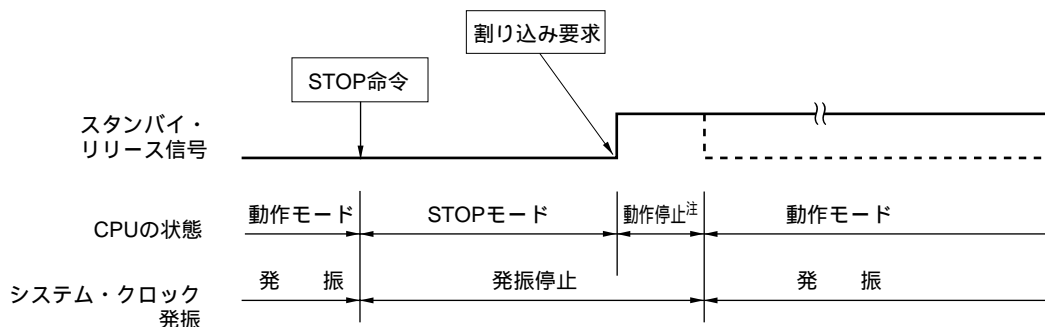
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求（8ビット・タイマH<sup>注</sup>、低電圧検出回路、外部割り込み要求）による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

注 カウント・クロックを $f_{RL}/2^7$ に設定した場合のみ

図9 - 4 STOPモードの割り込み要求発生による解除



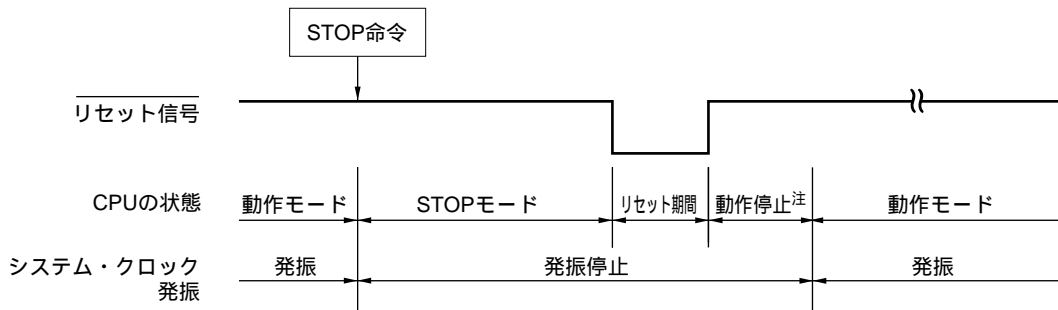
注 動作停止時間は、17  $\mu$ s(MIN.)、34  $\mu$ s(TYP.)、67  $\mu$ s(MAX.)です。

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図9 - 5 STOPモードのリセット信号の発生による解除



注 オプション・バイト参照のため、動作停止状態 ( 277  $\mu$ s(MIN.) , 544  $\mu$ s(TYP.) , 1.075 ms(MAX.) ) になります。

表9 - 5 STOPモード時の割り込み要求に対する動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
リセット信号発生	-	x	リセット処理

x : don't care

## 第10章 リセット機能

リセット信号を発生させる方法には、次の4種類があります。

- (1) RESET端子による外部リセット入力
- (2) ウォッチドッグ・タイマのオーバフローによる内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

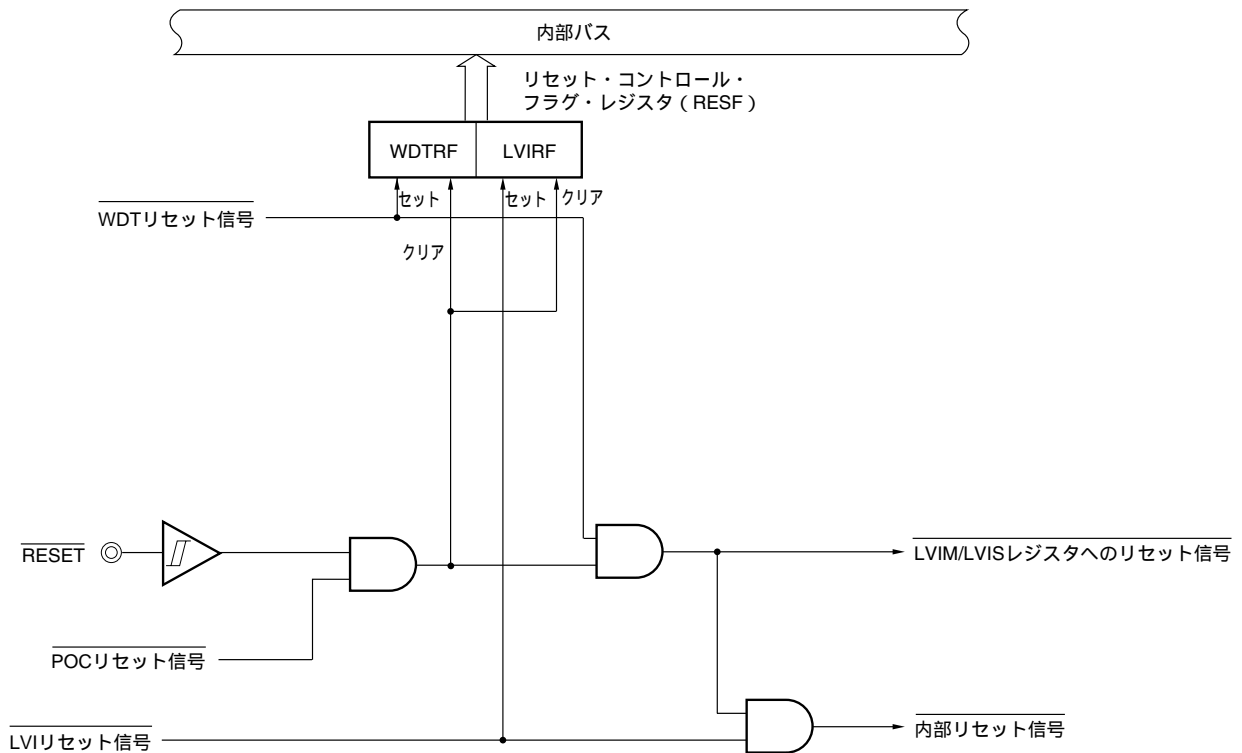
外部リセットと内部リセットは機能面での差はなく、リセット信号の発生により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

RESET端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマのオーバフローが発生するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表10 - 1に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

RESET端子にロウ・レベルが入力されて、リセットがかかり、RESET端子にハイ・レベルが入力されると、リセットが解除され、オプション・バイト参照後、CPUがプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、リセット後、自動的にリセットが解除され、オプション・バイト参照後、CPUがプログラムの実行を開始します (図10 - 2から図10 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} > V_{POC}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、オプション・バイト参照後、CPUがプログラムの実行を開始します (第11章 パワーオン・クリア回路と第12章 低電圧検出回路参照)。

- 注意1.** 外部リセットを行う場合、RESET端子に2  $\mu$ s以上のロウ・レベルを入力してください。
2. リセット信号の発生中は、システム・クロック、低速内蔵発振クロックともに発振を停止します。
  3. RESET端子を入力専用ポート (P34) として使用する場合、POC回路、LVI回路、ウォッチドッグ・タイマによるリセット解除後、再度オプション・バイトを参照するまでにRESET端子にロウ・レベルを入力すると、 $\mu$  PD78F9500, 78F9501, 78F9502はリセット状態となり、RESET端子にハイ・レベルが入力されるまでリセット状態が保持されます。

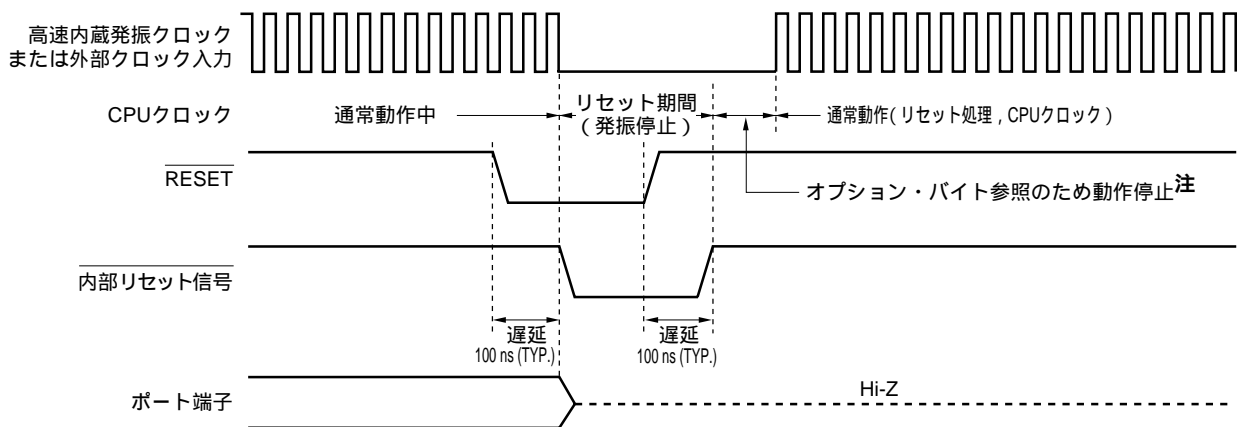
図10 - 1 リセット機能のブロック図



**注意** LVI回路の内部リセットの場合、LVI回路はリセットされません。

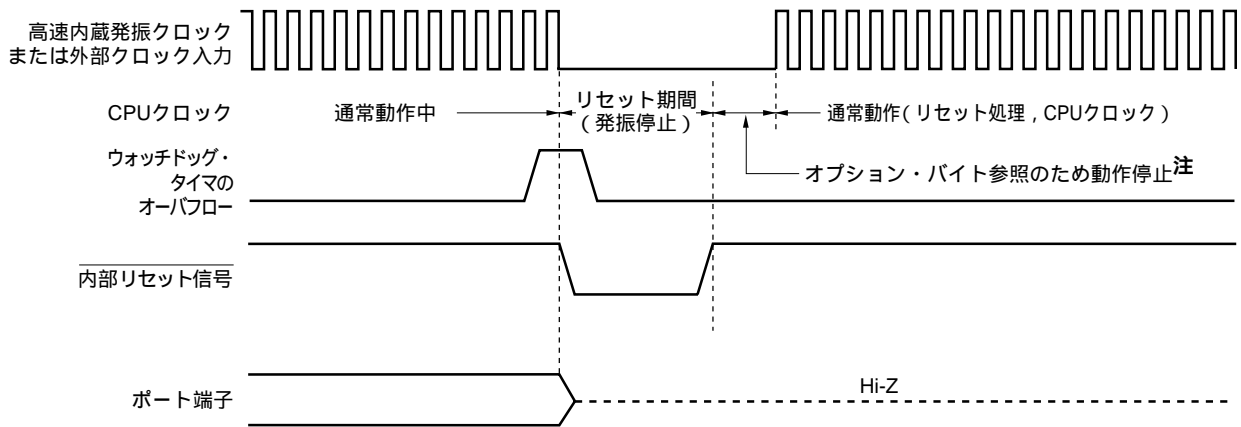
- 備考1.** LVIM : 低電圧検出レジスタ  
 2. LVIS : 低電圧検出レベル選択レジスタ

図10 - 2 RESET入力によるリセット・タイミング



**注** 動作停止時間は、277  $\mu$ s(MIN.), 544  $\mu$ s(TYP.), 1.075 ms(MAX.)です。

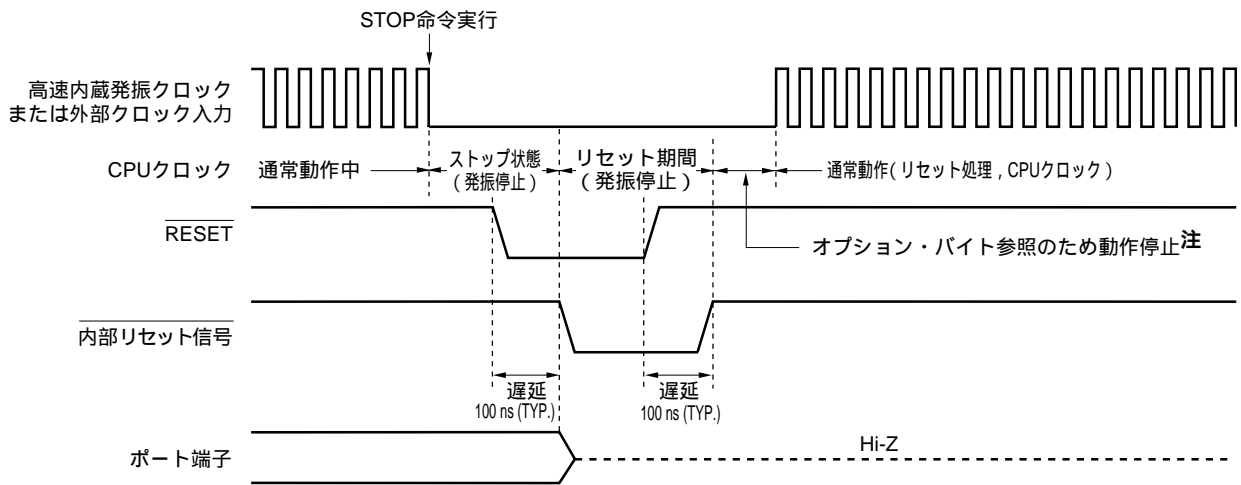
図10 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注 動作停止時間は、277  $\mu$ s(MIN.)、544  $\mu$ s(TYP.)、1.075 ms(MAX.)です。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図10 - 4 STOPモード中のRESET入力によるリセット・タイミング



注 動作停止時間は、277  $\mu$ s(MIN.)、544  $\mu$ s(TYP.)、1.075 ms(MAX.)です。

備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは第11章 パワーオン・クリア回路と第12章 低電圧検出回路を参照してください。

表10-1 各ハードウェアのリセット後の状態

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) <sup>注1</sup>		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 <sup>注2</sup>
	汎用レジスタ	不定 <sup>注2</sup>
ポート (P2-P4) (出力ラッチ)		00H
ポート・モード・レジスタ (PM2-PM4)		FFH
ブルアップ抵抗オプション・レジスタ (PU2-PU4)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
プリプロセッサ・クロック・コントロール・レジスタ (PPCC)		02H
低速内蔵発振モード・レジスタ (LSRCM)		00H
8ビット・タイマH1	コンペア・レジスタ (CMP01, CMP11)	00H
	モード・レジスタ1 (TMHMD1)	00H
ウォッチドッグ・タイマ	モード・レジスタ (WDTM)	67H
	イネーブル・レジスタ (WDTE)	9AH
リセット機能	リセット・コントロールフラグ・レジスタ (RESF)	00H <sup>注3</sup>
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H <sup>注3</sup>
	低電圧検出レベル選択レジスタ (LVIS)	00H <sup>注3</sup>
割り込み	要求フラグ・レジスタ (IF0)	00H
	マスク・フラグ・レジスタ (MK0)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H
フラッシュ・メモリ	フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)	不定
	フラッシュ・ステータス・レジスタ (PFS)	00H
	フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	不定
	フラッシュ・プログラミング・コマンド・レジスタ (FLCMD)	00H
	フラッシュ・アドレス・ポインタL (FLAPL)	不定
	フラッシュ・アドレス・ポインタH (FLAPH)	
	フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC)	00H
	フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC)	00H
	フラッシュ・ライト・パッファ・レジスタ (FLW)	00H

注1. リセット信号の発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. リセット要因により、次のように変化します。

リセット要因		RESET入力	POCによるリセット	WDTによるリセット	LVIによるリセット
RESF	WDTRF	クリア (0)	クリア (0)	セット (1)	保持
	LVIRF			保持	
LVIM		クリア (00H)	クリア (00H)	クリア (00H)	保持
LVIS					

## 10.1 リセット要因を確認するレジスタ

μ PD78F9500, 78F9501, 78F9502は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセット信号の発生およびRESFのデータを読み出すことにより、00Hになります。

図10-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス：FF54H リセット時：00H<sup>※</sup> R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表10-2に示します。

表10-2 リセット要求時のRESFの状態

リセット要因 レジスタ	RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)



# 第11章 パワーオン・クリア回路

## 11.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC} = 2.1\text{ V} \pm 0.1\text{ V}$ ) を比較し、 $V_{DD} < V_{POC}$  になったとき、内部リセット信号を発生します。
- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC} = 2.1\text{ V} \pm 0.1\text{ V}$ ) を比較し、 $V_{DD} > V_{POC}$  になったとき、内部リセットを解除します。

**注意1** . POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

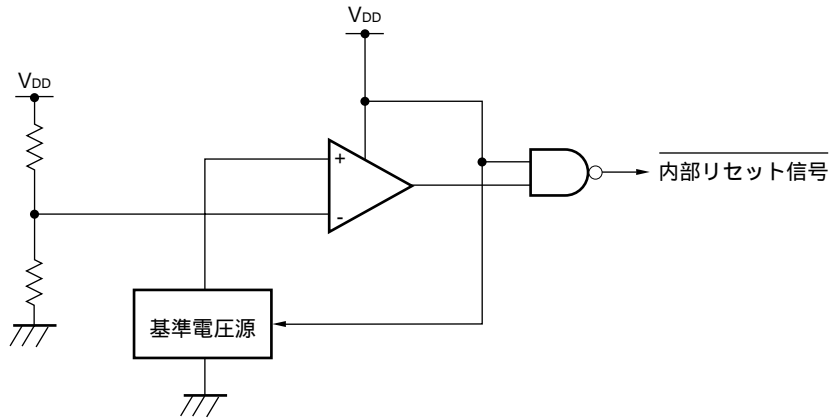
2 . POC回路の検出電圧 ( $V_{POC}$ ) が  $2.1\text{ V} \pm 0.1\text{ V}$  のため、 $2.2 \sim 5.5\text{ V}$  の電圧範囲で使用してください。

**備考** 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESF はWDT/LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、**第10章 リセット機能**を参照してください。

## 11.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図11 - 1に示します。

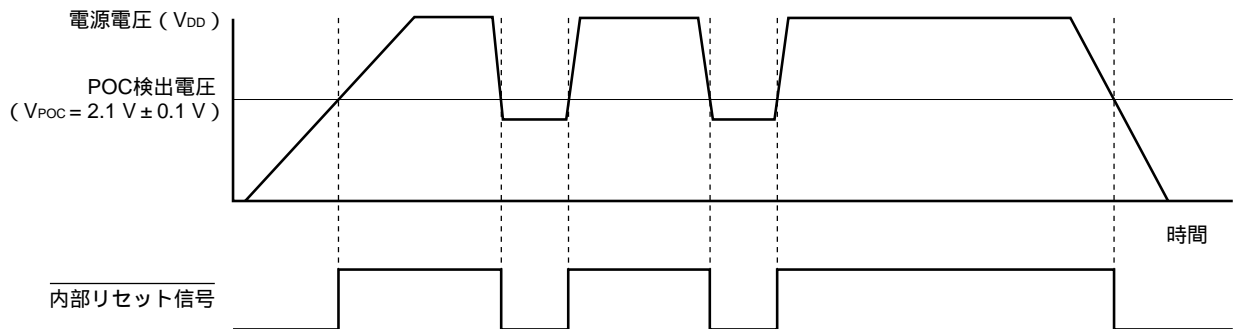
図11 - 1 パワーオン・クリア回路のブロック図



## 11.3 パワーオン・クリア回路の動作

パワーオン・クリア回路では、電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC} = 2.1\text{V} \pm 0.1\text{V}$ ) を比較し、 $V_{DD} < V_{POC}$  のときは内部リセット信号を発生、 $V_{DD} > V_{POC}$  になったときは内部リセットを解除します。

図11 - 2 パワーオン・クリア回路の内部リセット信号発生のタイミング



## 11.4 パワーオン・クリア回路の注意事項

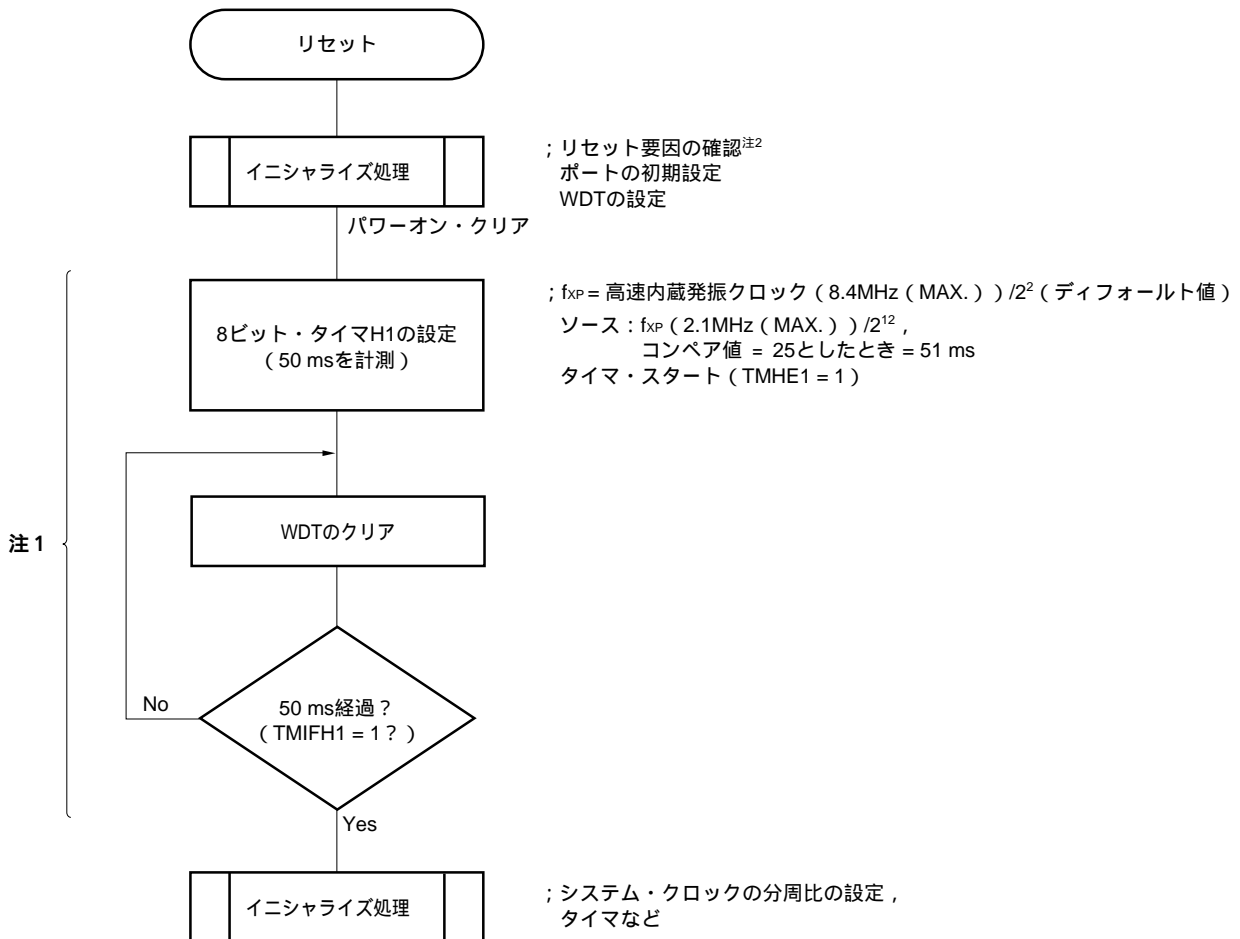
電源電圧 ( $V_{DD}$ ) がPOC検出電圧 ( $V_{POC}$ ) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図11-3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合

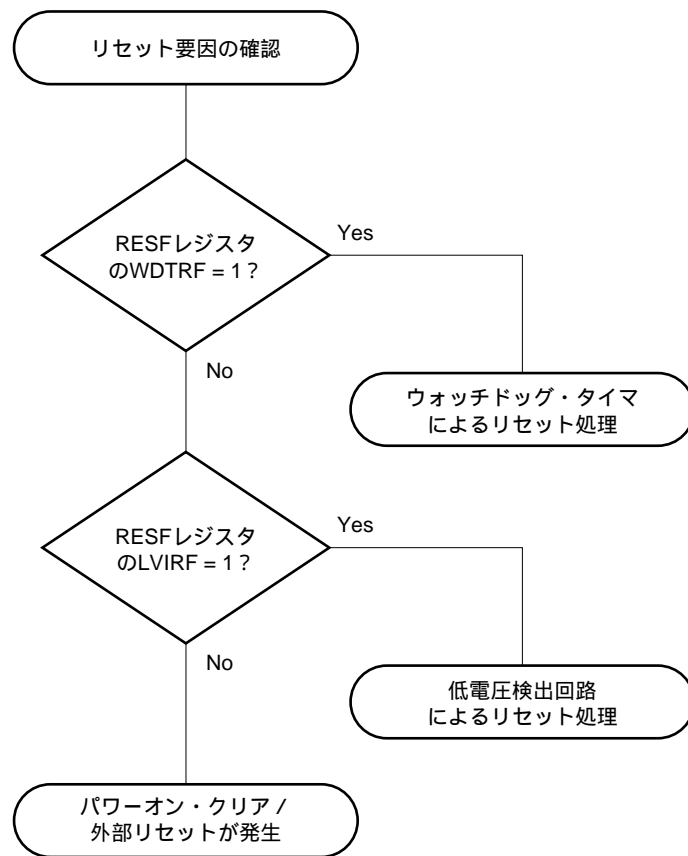


注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次ページにフロー・チャートを示します。

図11-3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



## 第12章 低電圧検出回路

### 12.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は次のような機能を持ちます。

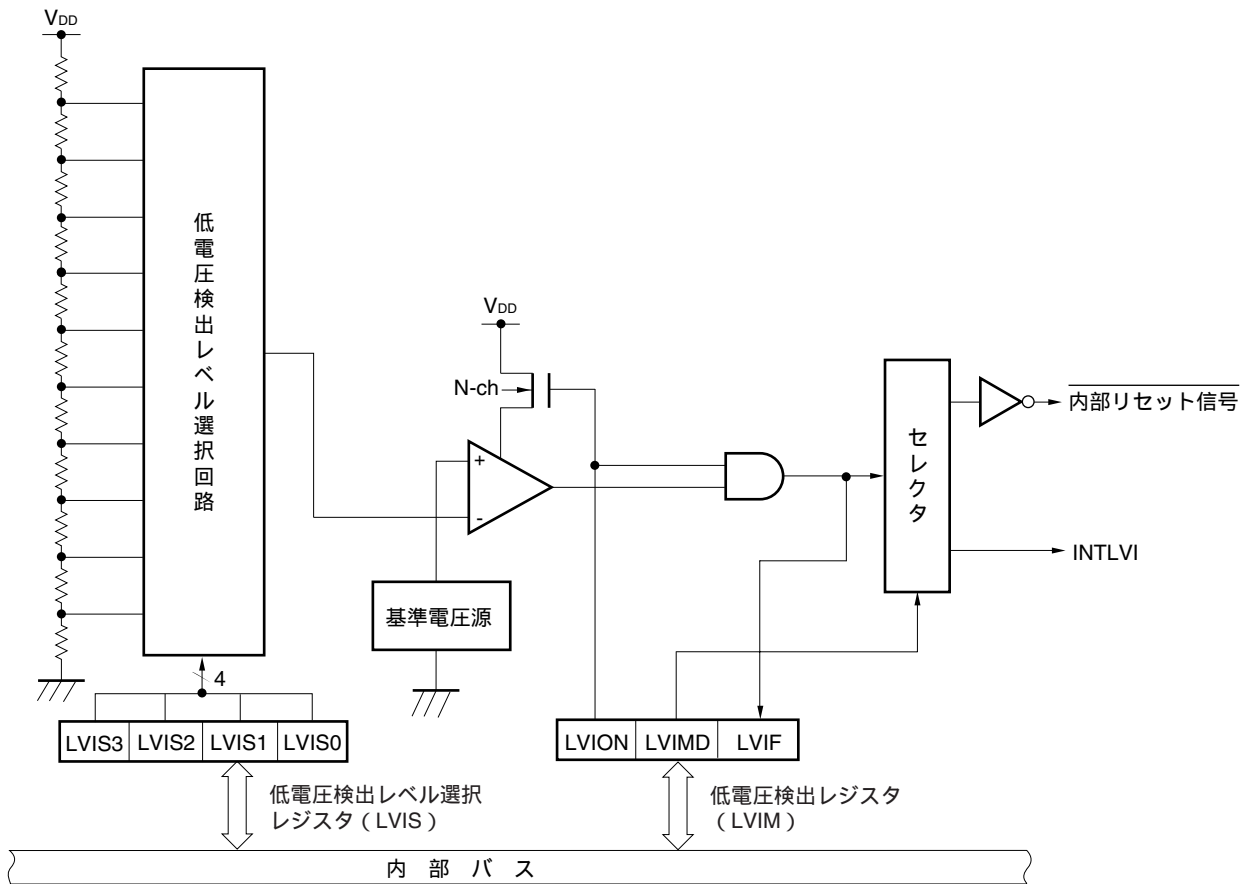
- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$  になったとき、内部割り込み信号もしくは内部リセット信号を発生します。
- ・電源電圧の検出レベル (10段階) をソフトウェアにて変更できます。
- ・割り込み / リセットをソフトウェアにて選択できます。
- ・STOPモード時においても動作可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFについての詳細は、**第10章 リセット機能**を参照してください。

## 12.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図12 - 1に示します。

図12 - 1 低電圧検出回路のブロック図



## 12.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H<sup>注1</sup>になります。

図12 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス：FF50H リセット時：00H<sup>注1</sup> R/W<sup>注2</sup>

略号	<span style="border: 1px solid black; padding: 0 2px;">7</span>	6	5	4	3	2	<span style="border: 1px solid black; padding: 0 2px;">1</span>	<span style="border: 1px solid black; padding: 0 2px;">0</span>
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION <sup>注3</sup>	低電圧検出動作許可
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧 (V <sub>DD</sub> ) < 検出電圧 (V <sub>LVI</sub> ) 時に割り込み信号発生
1	電源電圧 (V <sub>DD</sub> ) < 検出電圧 (V <sub>LVI</sub> ) 時に内部リセット信号発生

LVIF <sup>注4</sup>	低電圧検出フラグ
0	電源電圧 (V <sub>DD</sub> ) 検出電圧 (V <sub>LVI</sub> )，または動作禁止時
1	電源電圧 (V <sub>DD</sub> ) < 検出電圧 (V <sub>LVI</sub> )

- 注1. LVIによるリセットの場合，LVIMの値は初期化されません。
2. ビット0はRead Onlyです。
  3. LVIONをセット (1) すると，LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに0.2 ms以上ソフトウェアでウェイトしてください。
  4. LVIFの値は，LVION = 1かつLVIMD = 0の場合に，割り込み要求信号INTLVIとして出力されます。

- 注意1. LVIを停止する場合は，次のいずれかの手順を行ってください。
- ・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む
  - ・1ビット・メモリ操作命令の場合：LVIONをクリア (0)
2. ビット2-6には，必ず0を設定してください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H<sup>注</sup>になります。

図12 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス : FF51H    リセット時 : 00H<sup>注</sup>    R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V <sub>LV10</sub> (4.3 V ± 0.2 V)
0	0	0	1	V <sub>LV11</sub> (4.1 V ± 0.2 V)
0	0	1	0	V <sub>LV12</sub> (3.9 V ± 0.2 V)
0	0	1	1	V <sub>LV13</sub> (3.7 V ± 0.2 V)
0	1	0	0	V <sub>LV14</sub> (3.5 V ± 0.2 V)
0	1	0	1	V <sub>LV15</sub> (3.3 V ± 0.15 V)
0	1	1	0	V <sub>LV16</sub> (3.1 V ± 0.15 V)
0	1	1	1	V <sub>LV17</sub> (2.85 V ± 0.15 V)
1	0	0	0	V <sub>LV18</sub> (2.6 V ± 0.1 V)
1	0	0	1	V <sub>LV19</sub> (2.35 V ± 0.1 V)
上記以外				設定禁止

注 LV11によるリセットの場合、LVISの値は初期化されません。

注意1. ビット4-7には必ず“0”を設定してください。

2. LVI動作中に同値以外の書き込みを行った場合、書き込んだ瞬間の値が不定状態になるため、書き込みを行う前にLVIを停止(LVIMレジスタのビット7(LVION)=0)してから、書き込みを行ってください。



## 12.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

- ・リセットとして使用

電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$ のときは内部リセット信号を発生、 $V_{DD} > V_{LVI}$ のときは内部リセットを解除します。

- ・割り込みとして使用

電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$ のとき割り込み信号 (INTLVI) を発生します。

動作設定方法は次のとおりです。

### (1) リセットとして使用する場合

動作開始時

LVIMの割り込みをマスクする (LVIMK = 1)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

0.2 ms以上ソフトウェアでウェイトする

LVIMのビット0 (LVIF) で、「電源電圧 ( $V_{DD}$ ) > 検出電圧 ( $V_{LVI}$ )」であることを確認するまで待つ

LVIMのビット1 (LVIMD) に “1” (電源電圧 ( $V_{DD}$ ) < 検出電圧 ( $V_{LVI}$ ) 時に、内部リセット信号発生) を設定する

図12-4に ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

**注意1.** は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「電源電圧 ( $V_{DD}$ ) > 検出電圧 ( $V_{LVI}$ )」であれば内部リセット信号は発生しません。

動作停止時

次のいずれかの手順を、必ず実行してください。

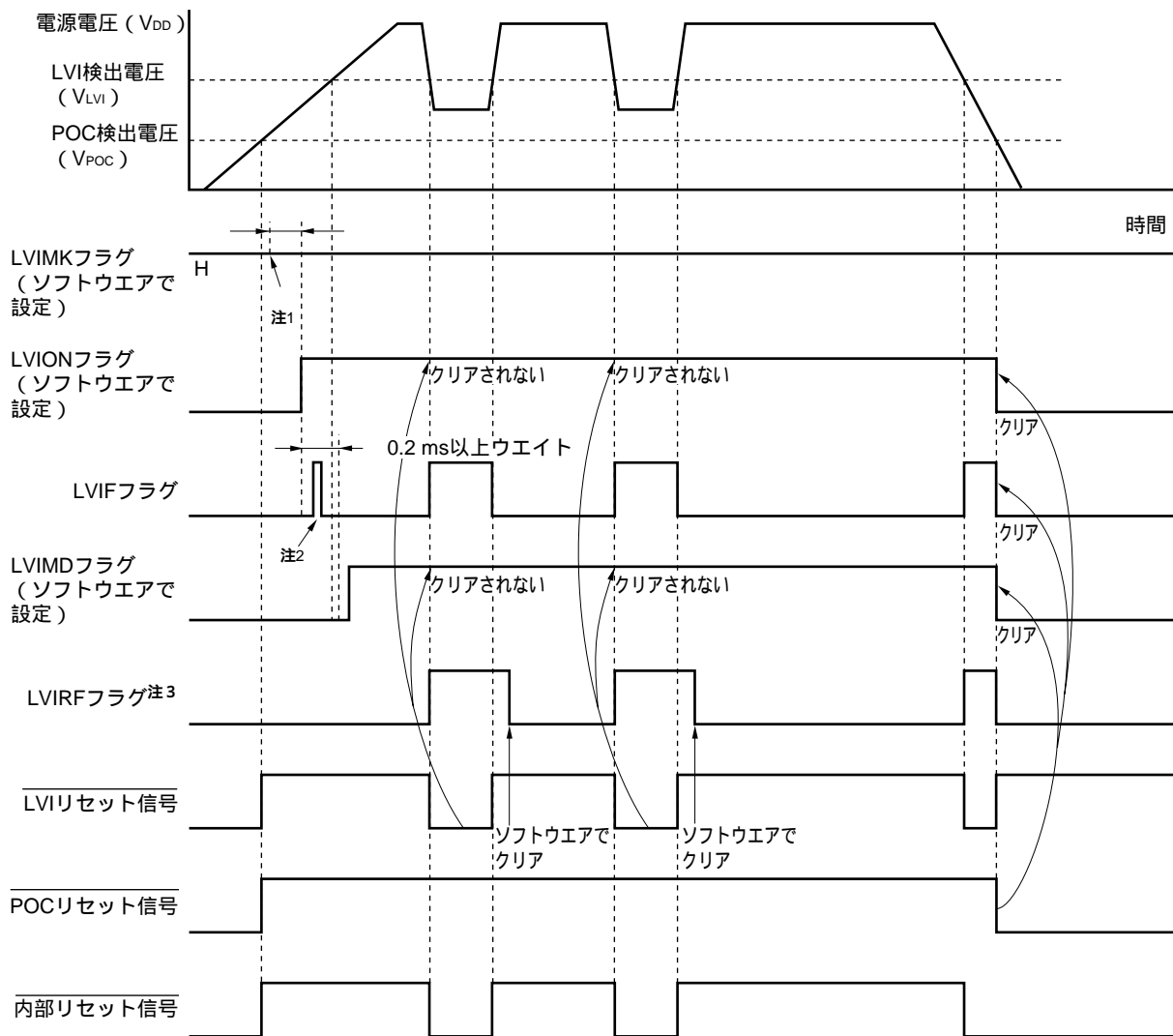
- ・8ビット・メモリ操作命令の場合：

LVIMに “00H” を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIMDをクリア (0) LVIONをクリア (0)

図12-4 低電圧検出回路の内部リセット信号発生タイミング



- 注1. LVIMKフラグはリセット信号発生により、“1”になっています。
2. LVIFフラグがセット(1)される可能性があります。
3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第10章 リセット機能を参照してください。

備考 図12-4の ~ は、12.4(1)リセットとして使用する場合 動作開始時の ~ と対応しています。

**(2) 割り込みとして使用する場合**

## 動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する
- LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する
- 0.2 ms以上ソフトウェアでウェイトする
- LVIMのビット0 (LVIF) で、「電源電圧 (V<sub>DD</sub>) 検出電圧 (V<sub>LVI</sub>)」であることを確認するまで待つ
- LVIの割り込み要求フラグ (LVIIF) をクリア (0) する
- LVIの割り込みマスク・フラグ (LVIMK) を解除する
- (ベクタ割り込みを使用する場合) EI命令を実行する

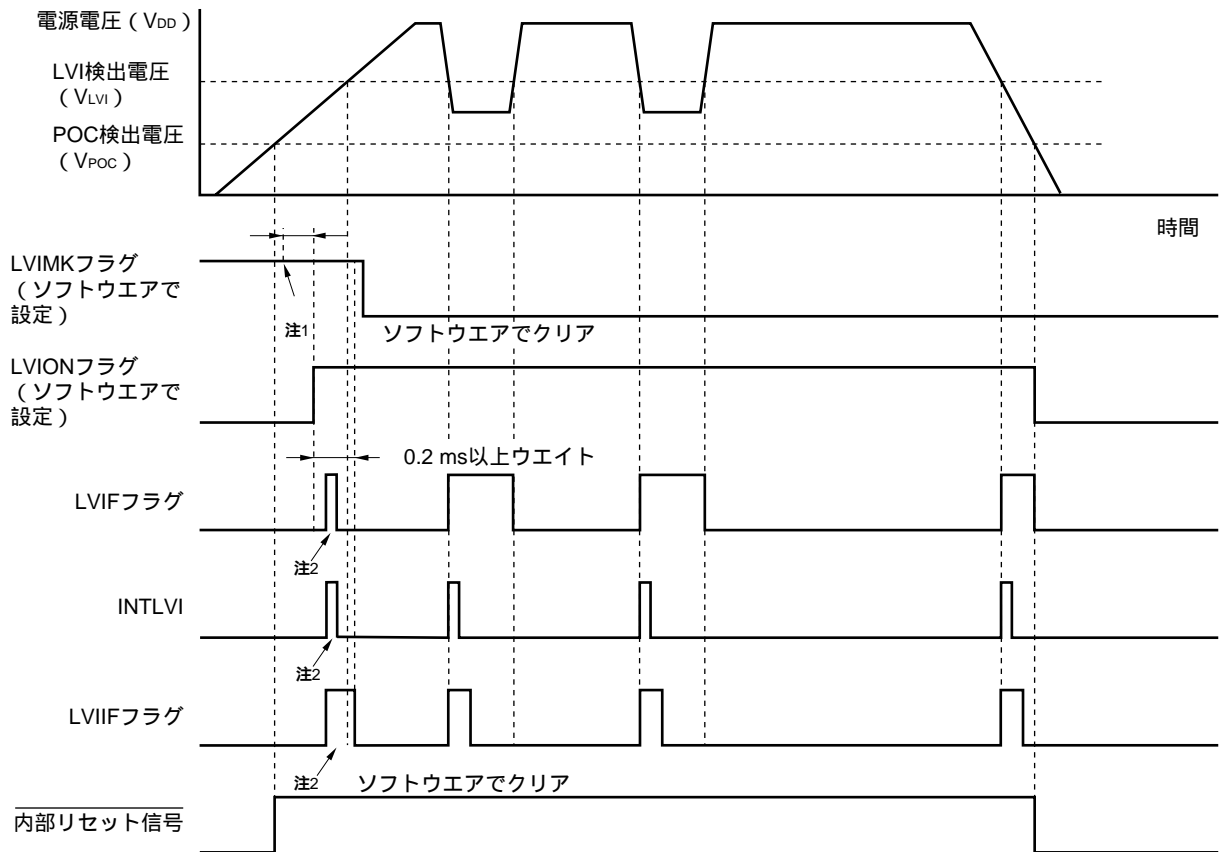
図12 - 5に、 ~ と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

## 動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
  - LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合：
  - LVIONをクリア (0)

図12 - 5 低電圧検出回路の割り込み信号発生時のタイミング



- 注1. LVIMKフラグはリセット信号発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIFフラグがセット (1) される可能性があります。

備考 図12 - 5の ~ は, 12.4 (2) 割り込みとして使用する場合 動作開始時の ~ と対応しています。

## 12.5 低電圧検出回路の注意事項

電源電圧 ( $V_{DD}$ ) がLVI検出電圧 ( $V_{LVI}$ ) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

### リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

### 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

このようなシステム構成の場合、次の処置をしてください。

< 処 置 >

#### (1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウェイトしてから、ポートなどを初期設定してください (図12-6を参照)。

#### (2) 割り込みとして使用する場合

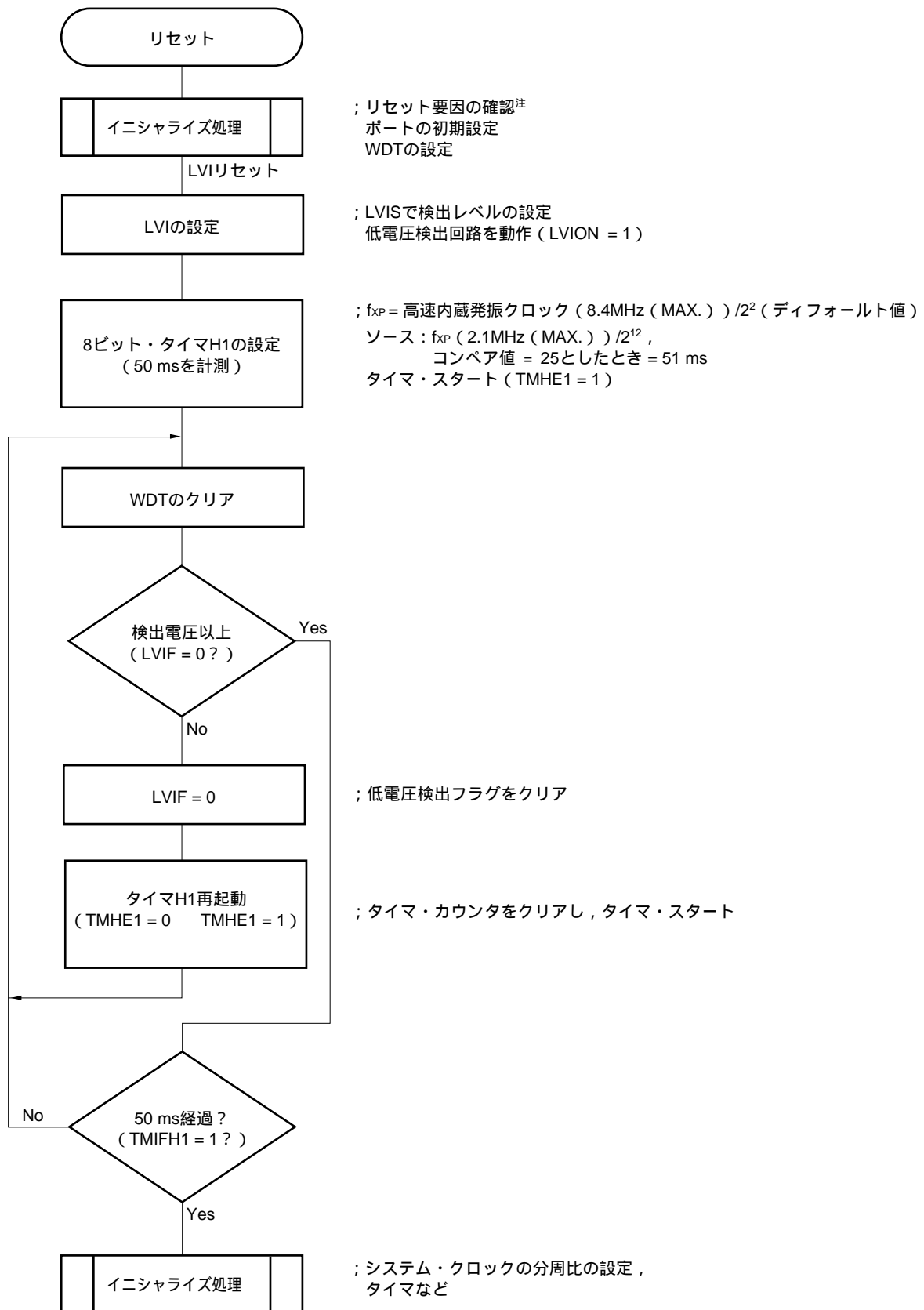
(a) LVI割り込みの処理ルーチン内で、低電圧検出時の処理<sup>注</sup>を行い、低電圧検出レジスタ (LVIM) のビット0 (LVIF) で “電源電圧 ( $V_{DD}$ ) 検出電圧 ( $V_{LVI}$ ) ” を確認し、割り込み要求フラグ・レジスタ0 (IF0) のビット1 (LVIIIF) をクリア (0) してください。

(b) LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウェイトしたあとに、LVIFフラグで “電源電圧 ( $V_{DD}$ ) 検出電圧 ( $V_{LVI}$ ) ” を確認し、LVIIIFフラグをクリア (0) してください。

注 低電圧検出時の処理には、CPUクロックを低速に変更するなどがあります。

図12 - 6 リセット解除後のソフト処理例 (1/2)

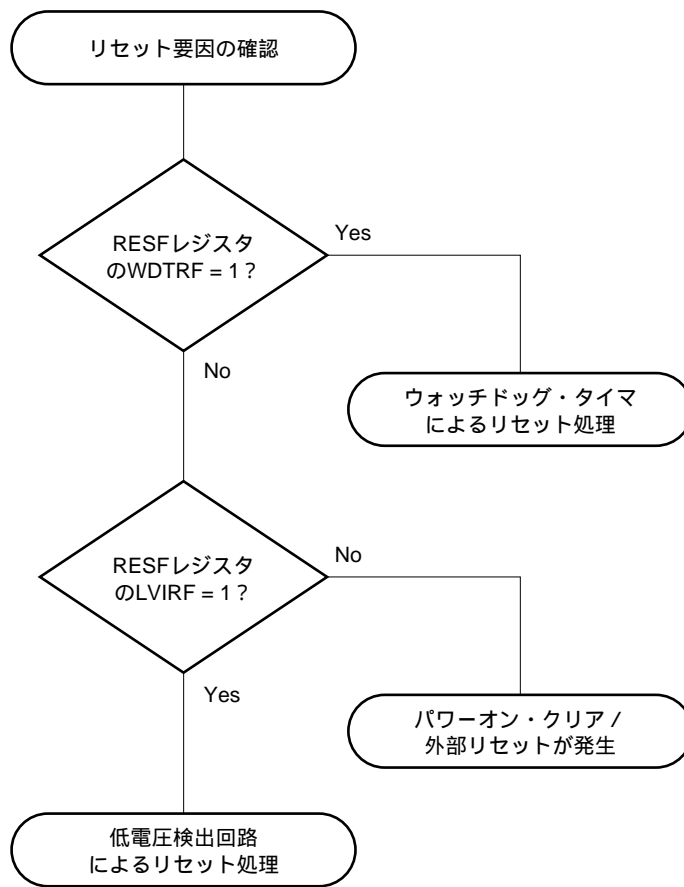
・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

図12 - 6 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



# 第13章 オプション・バイト

## 13.1 オプション・バイトの機能

$\mu$  PD78F9500, 78F9501, 78F9502のフラッシュ・メモリの0080Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

### (1) システム・クロック・ソースの選択

- ・高速内蔵発振クロック
- ・外部クロック入力

### (2) 低速内蔵発振器の発振

- ・停止不可
- ・ソフトウェアにより停止可能

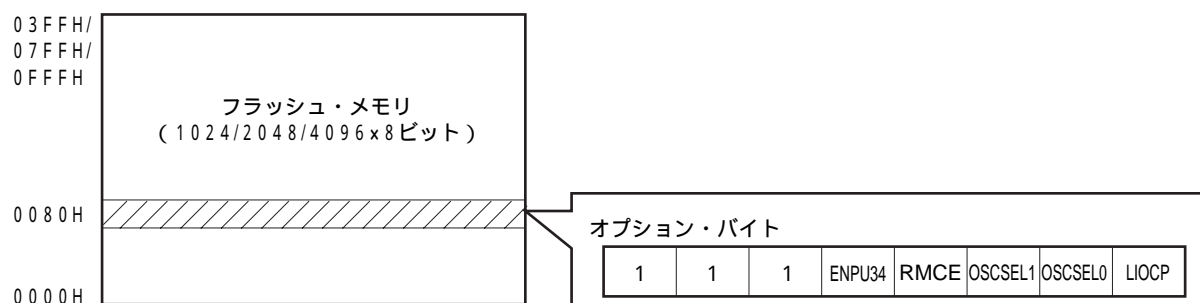
### (3) $\overline{\text{RESET}}$ 端子の制御

- ・ $\overline{\text{RESET}}$  端子として使用
- ・ $\overline{\text{RESET}}$  端子を入力専用ポート (P34) として使用 (13.3  $\overline{\text{RESET}}$  端子を入力専用ポート (P34) として使用した場合の注意事項参照)
- ・ $\overline{\text{RESET}}$  端子の内蔵プルアップ抵抗の設定、または $\overline{\text{RESET}}$  端子のオープンの設定

### (4) 電源投入時、またはリセット解除後の発振安定時間の設定

- ・ $2^{10}/f_x$
- ・ $2^{12}/f_x$
- ・ $2^{15}/f_x$
- ・ $2^{17}/f_x$

図13 - 1 オプション・バイトの位置





## 13.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図13-2 オプション・バイトのフォーマット

アドレス：0080H

7	6	5	4	3	2	1	0
1	1	1	ENPU34	RMCE	OSCSEL1	OSCSEL0	LIOCP

ENPU34	RESET端子の内蔵プルアップ抵抗の選択
1	RESET端子の内蔵プルアップ抵抗あり
0	RESET端子の内蔵プルアップ抵抗なし

**備考** RESET 端子として使用する場合、ENPU34を“1”に設定することで、端子処理をオープンにすることができます。

RMCE	RESET端子の制御
1	RESET端子として使用
0	RESET端子を入力専用ポート（P34）として使用

**注意** オプション・バイトは、リセット解除後に参照するため、参照するまでにRESET 端子ヘロウ・レベルを入力するとリセット状態が解除されません。  
 入力専用ポート（P34）として使用する場合、内蔵プルアップ抵抗の設定はPU3レジスタのPU34で行います。

OSCSEL1	OSCSEL0	システム・クロック・ソースの選択
0	0	設定禁止
0	1	外部クロック入力
1	x	高速内蔵発振クロック

**注意** EXCLK端子は P23端子と兼用していますので、選択したシステム・クロック・ソースによって、EXCLK端子の利用条件が変わります。

(1) 外部クロック入力選択時

EXCLK端子は外部クロック入力端子として使用するため、P23を入出力ポートとして使用できません。

(2) 高速内蔵発振クロック選択時

P23を入出力ポートとして使用可能です。

**備考** x : don't care

LIOCP	低速内蔵発振器の発振
1	停止不可（LSRSTOPビットに1を書き込んでも停止しない）
0	ソフトウェアにより停止可能（LSRSTOPビットに1を書き込むことにより停止）

**注意1.** 「停止不可」を選択した場合、ウォッチドッグ・タイマ（WDT）へのカウント・クロックは低速内蔵発振クロック固定になります。

注意2. 「ソフトウェアより停止可能」を選択した場合、低速内蔵発振モード・レジスタ (LSRCM) のビット0 (LSRSTOP) の設定に関係なく、HALT/STOPモード時は、WDTへのカウント・クロック供給が停止されます。同様に、WDTへのカウント・クロックに低速内蔵発振クロック以外を選択している場合も、クロック供給が停止されます。

低速内蔵発振器動作中 (LSRSTOP = 0) は、STOPモード時でも8ビット・タイマH1にクロックを供給できます。

備考1. ( ) 内は $f_x = 10 \text{ MHz}$ 動作時

2. 発振子の発振安定時間は、ご使用される発振子の特性を確認してください。
3. オプション・バイト設定のソフトウェア記述例を次に示します。

OPB CSEG AT 0080H

DB 10010001B ; オプション・バイト設定

; 低速内蔵発振クロック発振停止不可

;  $\overline{\text{RESET}}$ 端子を入力専用ポート (P34) として使用

; 発振安定時間最小 ( $2^{10}/f_x$ )

4. オプション・バイトの参照するタイミングについては、第10章 リセット機能を参照してください。

### 13.3 $\overline{\text{RESET}}$ 端子を入力専用ポート (P34) として使用した場合の注意事項

オプション・バイト機能で「 $\overline{\text{RESET}}$ 端子を入力専用ポート (P34) として使用」と設定した書き込み済みデバイスに対して、再度、専用フラッシュ・メモリ・プログラマを使用し、オンボード・プログラミングにて消去 / 書き込みを行う場合、下記の点に注意してください。

ターゲット・システムに電源供給する前に、専用フラッシュ・メモリ・プログラマを接続し、専用フラッシュ・メモリ・プログラマの電源をONにしてください。

事前にターゲット・システムに電源供給を行った場合、フラッシュ・メモリ・プログラミング・モードに切り替えできなくなります。

## 第14章 フラッシュ・メモリ

### 14.1 特 徴

μ PD78F9500, 78F9501, 78F9502の内蔵フラッシュ・メモリには、次のような特徴があります。

専用の別電源を準備しなくても消去 / 書き込みが可能

容量：1 Kバイト / 2 Kバイト / 4 Kバイト

・消去単位：1ブロック（256バイト）

・書き込み単位：1ブロック（オンボード / オフボード・プログラミング時）、1バイト（セルフ・プログラミング時）

書き換え方式

・専用フラッシュ・メモリ・プログラマとの通信による書き換え（オンボード / オフボード・プログラミング）

・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）

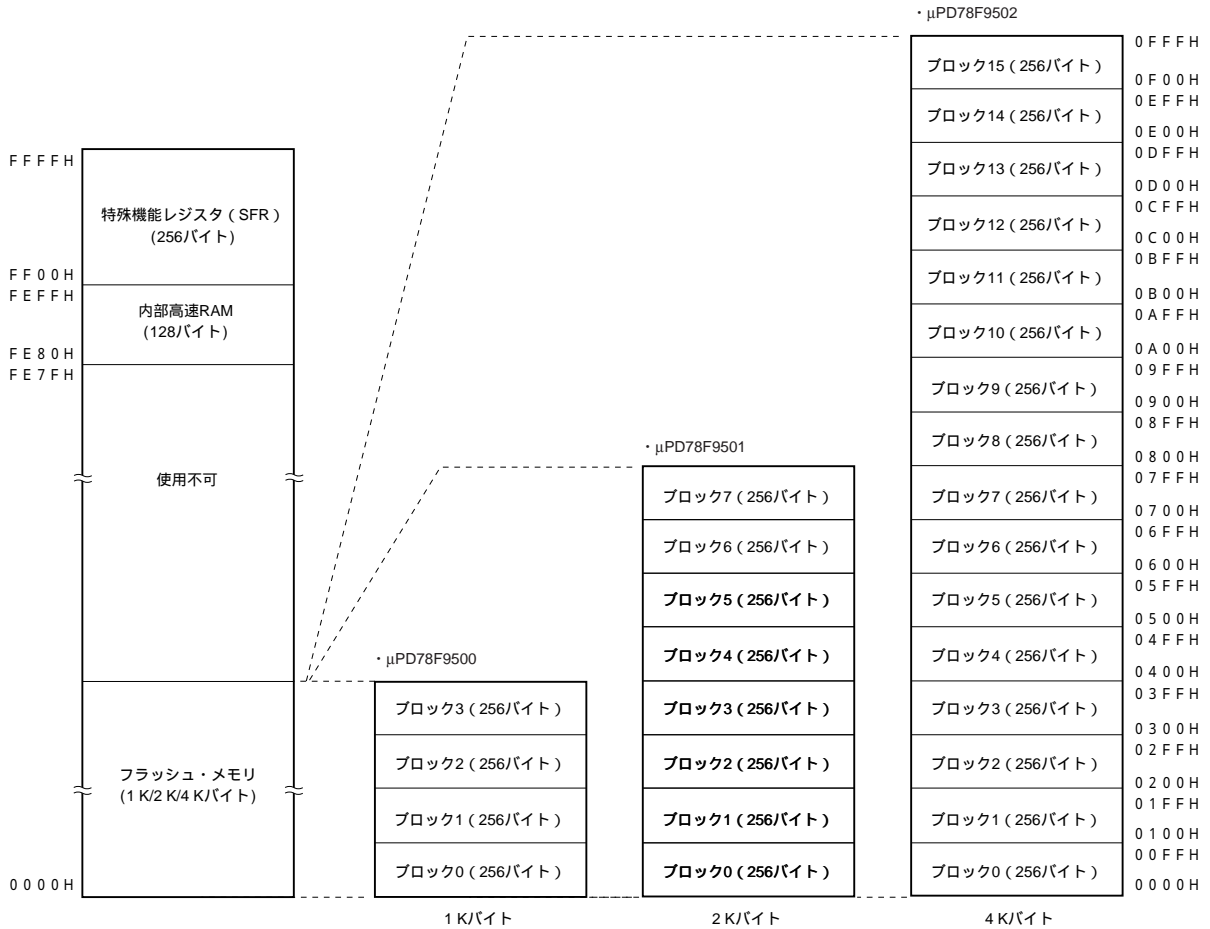
セキュリティ機能による、オンボード / オフボード・プログラミング時のフラッシュ・メモリの書き換え禁止機能をサポート

プロテクト・バイトによる、セルフ・プログラミング時のブロック単位での保護機能をサポート

## 14.2 メモリ構成

1 K/2 K/4 Kバイトの内蔵フラッシュ・メモリの領域は4/8/16個のブロックに分割されており、専用フラッシュ・メモリ・プログラマにより、各ブロック単位にて消去可能となっています。

図14 - 1 フラッシュ・メモリ・マッピング



## 14.3 機能概要

μ PD78F9500, 78F9501, 78F9502の内蔵フラッシュ・メモリは、専用フラッシュ・メモリ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オンボード / オフボード・プログラミング）。

また、ターゲット・システムの製造 / 出荷後のプログラム変更を想定しているアプリケーションに適した、ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）を用意しています。

書き換え機能については、表14 - 1を参照してください。

内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。セキュリティ機能の詳細については、14.7.3 セキュリティ設定を参照してください。

表14 - 1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・メモリ・プログラマと専用プログラム・アダプタ・ボード (FAシリーズ) を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オンボード / オフボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。	セルフ・プログラミング・モード

備考1. FAシリーズは、(株)内藤電誠町田製作所の製品です。

2. フラッシュ・メモリ書き換えの制御機能の詳細については、次の節を参照してください。

- ・ 14.7 オンボード / オフボード時のフラッシュ・メモリ・プログラミング
- ・ 14.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

## 14.4 フラッシュ・メモリ・プログラマによる書き込み方法

$\mu$  PD78F9500, 78F9501, 78F9502の内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用します。

- ・ FlashPro4 (PG-FP4, FL-PR4)
- ・ FlashPro5 (PG-FP5, FL-PR5)

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

### (1) オンボード・プログラミング

ターゲット・システム上に $\mu$  PD78F9500, 78F9501, 78F9502を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタを実装しておいてください。

### (2) オフボード・プログラミング

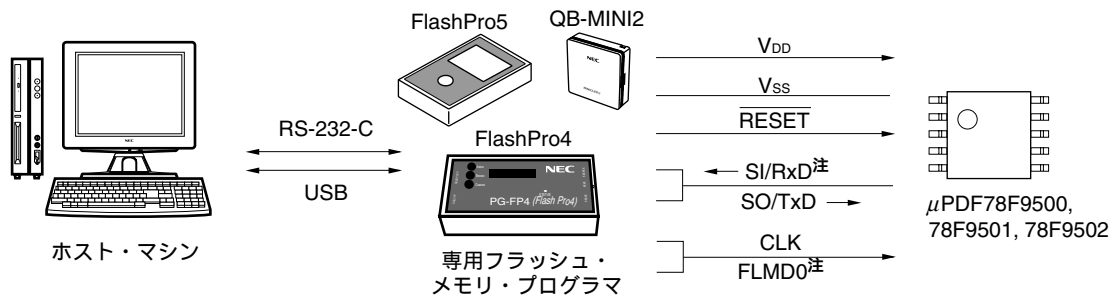
ターゲット・システム上に $\mu$  PD78F9500, 78F9501, 78F9502を実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FL-PR4, FL-PR5, FAシリーズは、(株)内藤電誠町田製作所の製品です。

## 14.5 プログラミング環境

フラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図14-2 フラッシュ・メモリにプログラムを書き込むための環境 (FlashPro4/FlashPro5/QB-MINI2)



注 FlashPro5, QB-MINI2使用時は、接続の必要はありません。

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。ただし、PG-FP4、FL-PR4、PG-FP5、FL-PR5は、ホスト・マシンからプログラムをダウンロードしたあと、専用フラッシュ・メモリ・プログラマ単体によるデータ書き込みが可能となります。

専用フラッシュ・メモリ・プログラマとμ PD78F9500, 78F9501, 78F9502とのインタフェースはUARTを使用して、書き込み、消去などの操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

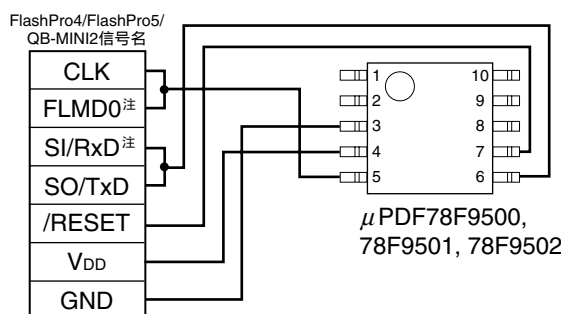
ライター・ファーム、GUI、パラメータ・ファイルについては、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より最新版を入手してご使用ください。

表14 - 2  $\mu$  PD78F9500, 78F9501, 78F9502とFlashPro4/FlashPro5/QB-MINI2の配線表

FlashPro4/FlashPro5/QB-MINI2接続端子			$\mu$ PD78F9500, 78F9501, 78F9502接続端子	
信号名	入出力	端子機能	端子名	ピン番号
CLK <sup>注1</sup>	出力	$\mu$ PD78F9500, 78F9501, 78F9502へのクロック	EXCLK/P23	5
FLMD0 <sup>注1, 2</sup>	出力	オンボード・モード信号		
SI/RxD <sup>注1, 2</sup>	入力	受信信号	P22	6
SO/TxD <sup>注1</sup>	出力	送信信号 / オンボード・モード信号		
/RESET	出力	リセット信号	RESET/P34	7
V <sub>DD</sub>	-	V <sub>DD</sub> 電圧作成 / 電圧監視	V <sub>DD</sub>	4
GND	-	グランド	V <sub>SS</sub>	3

- 注1.  $\mu$  PD78F9500, 78F9501, 78F9502では、CLK信号とFLMD0信号は、EXCLK端子と接続するため、これらの信号を直接接続する必要があります。
2. FlashPro5, QB-MINI2使用時は、接続の必要はありません。

図14 - 3 FlashPro4/FlashPro5/QB-MINI2との配線図



注 FlashPro5, QB-MINI2使用時は、接続の必要はありません。

## 14.6 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

セルフ・プログラミング・モード時では、端子はHALTモード時の状態になります。

### 14.6.1 EXCLK端子

EXCLK端子は、フラッシュ・メモリ・プログラミングのシリアル・インタフェースとして使用するため、EXCLK端子と外部デバイスを接続していると、信号の衝突が発生します。この信号の衝突を避けるため、外部デバイスとの接続をアイソレートしてください。

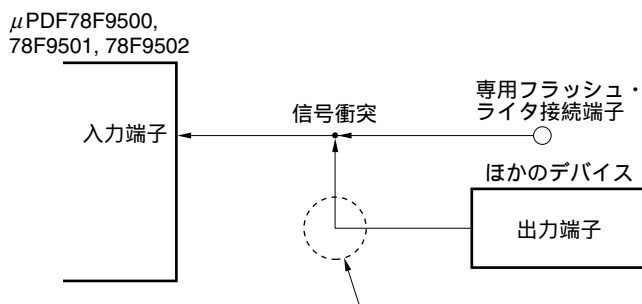
同様に、EXCLK端子にコンデンサを接続した場合、通信時の波形が変更されるため、コンデンサの容量によっては通信できない可能性があります。フラッシュ・プログラミング時は、コンデンサとの接続をアイソレートしてください。

### 14.6.2 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図14 - 4 信号の衝突 ( $\overline{\text{RESET}}$ 端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・ライターから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

### 14.6.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して $V_{DD}$ に接続するか、または抵抗を介して $V_{SS}$ に接続するなどの端子処理が必要です。

セルフ・プログラミング・モード時では、端子はHALTモード時の状態になります。

### 14.6.4 電 源

$V_{DD}$ 端子はフラッシュ・メモリ・プログラマの $V_{DD}$ に、 $V_{SS}$ 端子はフラッシュ・メモリ・プログラマの $V_{SS}$ に、それぞれ接続してください。



## 14.7 オンボード/オフボード時のフラッシュ・メモリ・プログラミング

### 14.7.1 フラッシュ・メモリ・プログラミング・モード

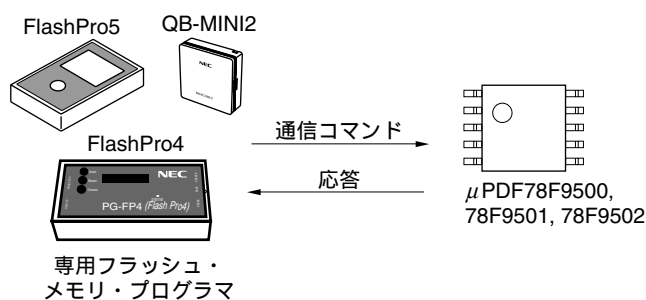
専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、 $\mu$  PD78F9500, 78F9501, 78F9502をフラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラマに接続し、通信コマンドを送信すると、フラッシュ・メモリ・プログラミング・モードに切り替わります。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

### 14.7.2 通信コマンド

専用フラッシュ・メモリ・プログラマは、コマンドで $\mu$  PD78F9500, 78F9501, 78F9502を制御します。専用フラッシュ・メモリ・プログラマから $\mu$  PD78F9500, 78F9501, 78F9502へ送られる信号を「通信コマンド」と呼び、 $\mu$  PD78F9500, 78F9501, 78F9502から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答」と呼びます。

図14-5 通信コマンド



通信コマンドを次に示します。これらの通信コマンドはすべてフラッシュ・メモリ・プログラマから発行され、 $\mu$  PD78F9500, 78F9501, 78F9502が通信コマンドに対応した各処理を行います。

表14-3 通信コマンド

分類	通信コマンド名称	機能
消去	一括消去（チップ消去）コマンド	全メモリの内容を消去する
	ブロック消去コマンド	指定したブロックのメモリの内容を消去する
書き込み	書き込みコマンド	指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行する
チェック・サム	チェック・サム・コマンド	指定したアドレス範囲のメモリのチェック・サムを読み出し、書き込みを行ったデータと比較する
ブランク・チェック	ブランク・チェック・コマンド	全メモリの消去状態を確認する
セキュリティ	セキュリティ設定コマンド	一括消去（チップ消去）コマンド禁止、ブロック消去コマンド禁止、書き込みコマンド禁止の設定を行い、第三者による操作を防止する

また、 $\mu$  PD78F9500, 78F9501, 78F9502は、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。 $\mu$  PD78F9500, 78F9501, 78F9502が送出する応答の名称を次に示します。

表14 - 4 応答名称

応答名称	機 能
ACK	コマンド / データなどのアクノリッジ
NAK	不正なコマンド / データなどのアクノリッジ

### 14.7.3 セキュリティ設定

セキュリティ設定コマンドを使用することにより、次の操作を禁止することができます。

- 一括消去（チップ消去）禁止

フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定は解除できなくなります。

**注意** 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ブロック消去禁止

フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。一括消去（チップ消去）コマンドにより、この禁止設定は解除可能です。

- 書き込み禁止

フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。一括消去（チップ消去）コマンドにより、この禁止設定は解除可能です。

**備考** セキュリティの設定は、次のプログラミング・モードより有効になります。

出荷時の初期状態では、一括消去（チップ消去）/ ブロック消去 / 書き込みはすべて許可になっています。セキュリティ設定が可能なのは、オンボード / オフボード・プログラミングのみです。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

μ PD78F9500, 78F9501, 78F9502のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表14 - 5に示します。

表14 - 5 セキュリティ機能有効時とコマンドの関係

コマンド	一括消去（チップ消去）コマンド	ブロック消去コマンド	書き込みコマンド
セキュリティ			
一括消去（チップ消去）セキュリティ動作有効時	無効	無効	有効 <sup>注</sup>
ブロック消去セキュリティ動作有効時	有効		有効
書き込みセキュリティ動作有効時			無効

**注** ただし、消去コマンドが無効となるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

各プログラミング・モード時のセキュリティ設定と動作の関係を表14 - 6に示します。

表14 - 6 各プログラミング・モード時のセキュリティ設定と動作の関係

プログラミング・モード	オンボード/オフボード・プログラミング		セルフ・プログラミング	
	セキュリティ設定	セキュリティ動作	セキュリティ設定	セキュリティ動作
一括消去 (チップ消去)	可能	有効 <sup>注1</sup>	不可	無効 <sup>注2</sup>
ブロック消去				
書き込み				

- 注1. セキュリティの設定により，各コマンドの操作が禁止されます。  
 2. セキュリティの設定に関わらず，セルフ・プログラミング・コマンドの操作が可能です。

## 14. 8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

μ PD78F9500, 78F9501, 78F9502は，ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能により，ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

**注意** セルフ書き込みをする場合は，あらかじめセルフ・プログラミング処理を組み込む必要があります。

- 備考1.** セルフ・プログラミングの使用方法については，14. 8. 4以降に記載された使用例を参照してください。  
**2.** μ PD78F9500, 78F9501, 78F9502の内蔵フラッシュ・メモリを，データ格納用として外付けEEPROMの代わりに使用したい場合は，78K0S/Kx1+ EEPROMエミュレーション アプリケーション・ノート (U17379J) を参照してください。

### 14. 8. 1 セルフ・プログラミングの概要

セルフ・プログラミングを実行するために，ユーザ・プログラムの通常動作（通常モード）から，セルフ・プログラミング・モードに変更します。セルフ・プログラミング・モード中にHALT命令を実行することにより，あらかじめレジスタに設定した，フラッシュ・メモリに対する書き込み/消去処理が行われます。処理が完了すると，HALT状態は自動的に解除されます。

セルフ・プログラミング・モードに変更するためには，特定のレジスタに対して，特定のシーケンスを実行します。詳細は，14. 8. 4 通常モードからセルフ・プログラミング・モードへの移行例を参照してください。

**備考** セルフ・プログラミングによって書き込まれたデータは，MOV命令などで参照が可能です。

表14 - 7 セルフ・プログラミング・モード

モード	ユーザ・プログラムの実行	HALT命令によるフラッシュ・メモリの書き込み/消去の実行
通常モード		-
セルフ・プログラミング・モード	注	

注 セルフ・プログラミング・モード中は，マスカブル割り込み処理が禁止されています。

図14 - 6にセルフ・プログラミングのブロック図を，図14 - 7にセルフ・プログラミングの状態遷移図を，表14 - 8にセルフ・プログラミング制御用のコマンドを示します。

図14 - 6 セルフ・プログラミングのブロック図

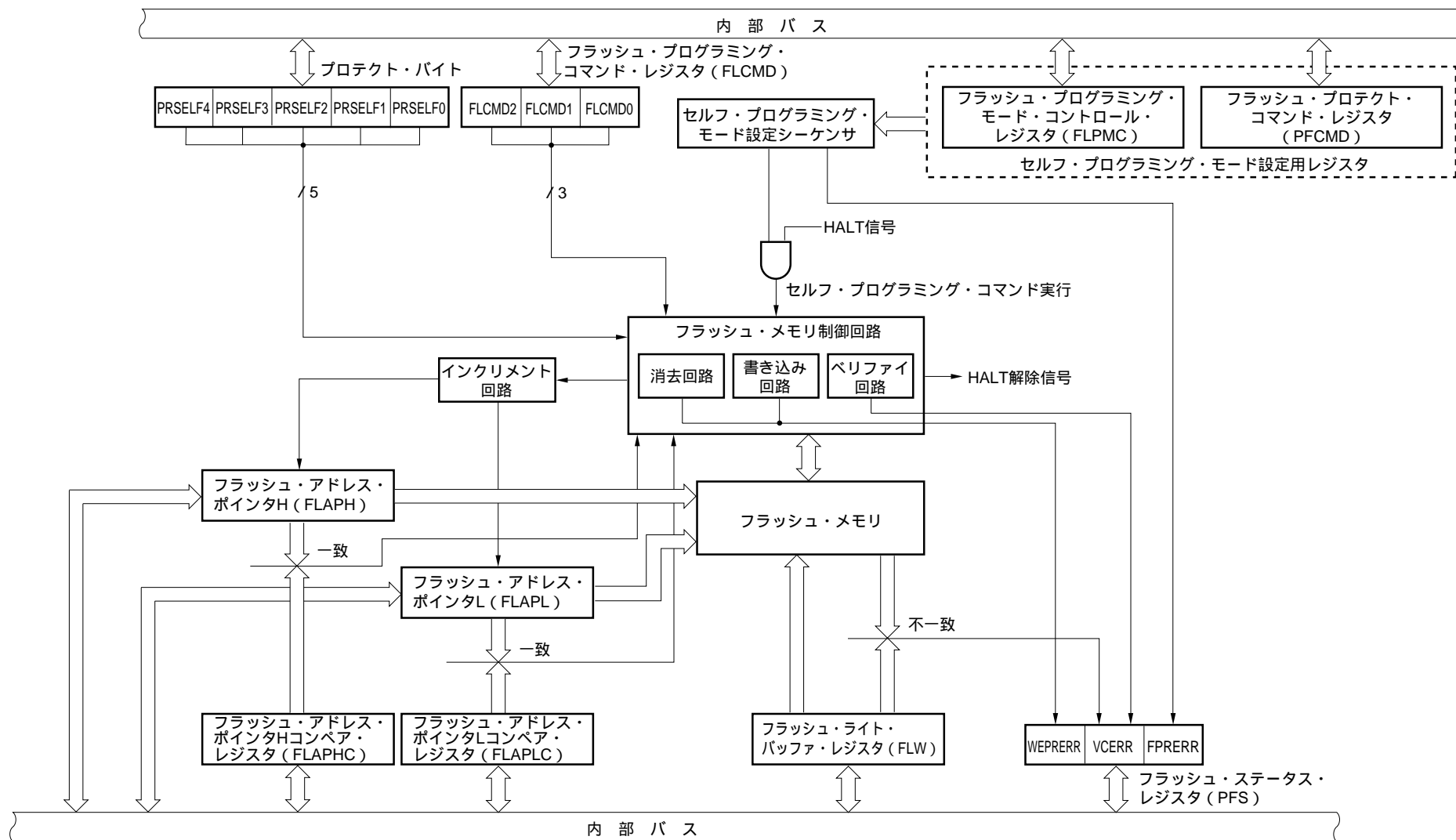


図14-7 セルフ・プログラミングの状態遷移図

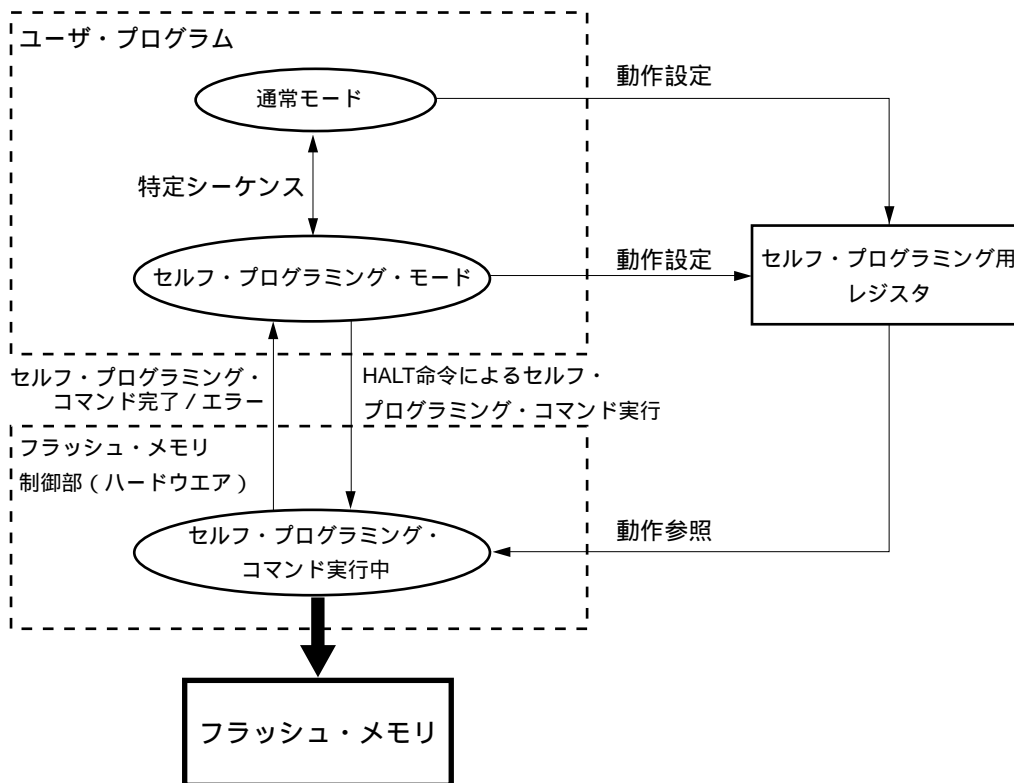


表14-8 セルフ・プログラミング制御用コマンド

コマンド名	機能	HALT命令を実行してから、コマンド実行が完了するまでの時間
内部ベリファイ1	データがフラッシュ・メモリに正しく書き込まれたかを確認するコマンドです。ブロック全体の書き込みを確認する場合に使用します。	1ブロックの内部ベリファイ (内部ベリファイ・コマンド1回で完了) : 6.8 ms
内部ベリファイ2	データがフラッシュ・メモリに正しく書き込まれたかを確認するコマンドです。同一ブロック内の複数の書き込みを確認する場合に使用します。	1バイトの内部ベリファイ : 27 $\mu$ s
ブロック消去 <sup>※</sup>	指定ブロックの消去をするコマンドです。ブロック番号を指定し、実行します。	8.5 ms
ブロック・ブランク・チェック	指定ブロックが消去状態かを確認するコマンドです。ブロック番号を指定し、実行します。	480 $\mu$ s
バイト書き込み	指定したアドレスに、1バイトのデータをフラッシュ・メモリに書き込むコマンドです。書き込みアドレスと書き込みデータを指定し、実行します。	150 $\mu$ s

注 消去リトライ回数は、フラッシュ・メモリ・ブロック消去時間 (MAX.値) に合わせて、  
 ブロック消去時間 ÷ 1回の消去時間 (8.5 ms) を上回る回数にしてください。

備考 内部ベリファイ1も、同一ブロック内のアドレスを指定してコマンドを実行することは可能ですが、同一ブロック内の複数の書き込みを確認する場合は、内部ベリファイ2を推奨します。

### 14. 8. 2 セルフ・プログラミング機能の注意事項

- ・セルフ・プログラミング・コマンド実行中は命令を実行できません。そのため、セルフ・プログラミング・モード時に、ウォッチドッグ・タイマのオーバフローが発生しないように、あらかじめウォッチドッグ・タイマのカウンタをクリア&リスタートしてください。セルフ・プログラミングの実行時間については、表14 - 8を参照してください。
- ・セルフ・プログラミング中に発生した割り込みは、セルフ・プログラミング・モードを終了してから受け付け可能になります。これを回避するために、特定シーケンスによって通常モードからセルフ・プログラミング・モードに移行するときは、割り込み処理を禁止（MK0 = FFH, DI命令を実行）してください。
- ・セルフ・プログラミング・コマンド実行中は、RAMを使用しません。
- ・書き込み / 消去中の電源低下時とリセットが発生した場合は、書き込み / 消去を保証しません。
- ・ブロック消去時に設定されるブランク・データの値はFFHになります。
- ・セルフ・プログラミング中のCPUクロックは、1 MHz以上になるようにあらかじめ設定してください。
- ・セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行したあと、セルフ・プログラミングを実行してください。このときのHALT命令は、 $10 \mu\text{s}(\text{MAX.}) + \text{CPUクロック}(\text{f}_{\text{CPU}})$ の2クロック後に自動的に解除されます。
- ・発振器または外部クロックをシステム・クロックとして選択している場合は、セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行し、HALT状態を解除したあと、 $8 \mu\text{s}$ のウエイト時間経過後に、セルフ・プログラミングを実行してください。
- ・FPRERRは、1ビット・メモリ操作命令で確認してください。
- ・セルフ・プログラミング・モード時では、端子はHALTモード時の状態になります。
- ・セルフ・プログラミング・モード時では、オンボード / オフボード・プログラミングで設定されたセキュリティ機能は無効となるため、セキュリティ機能の設定に関係なく、セルフ・プログラミング・コマンドを実行できます。セルフ・プログラミング使用時に書き込み / 消去を禁止したい場合には、プロテクト・バイトを設定してください。
- ・セルフ・プログラミング・コマンドを実行するときは、フラッシュ・アドレス・ポインタH (FLAPH) とフラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) のビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。
- ・セルフ・プログラミング・モードへの移行直前と、通常モードへの移行直前に、FLCMDレジスタの値をクリア (00H) してください。

### 14. 8. 3 セルフ・プログラミング機能で使用するレジスタ

セルフ・プログラミング機能は、次のレジスタを使用します。

- ・フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)
- ・フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)
- ・フラッシュ・ステータス・レジスタ (PFS)
- ・フラッシュ・プログラミング・コマンド・レジスタ (FLCMD)
- ・フラッシュ・アドレス・ポインタH, L (FLAPH, FLAPL)
- ・フラッシュ・アドレス・ポインタHコンペア・レジスタ, フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPHC, FLAPLC)
- ・フラッシュ・ライト・バッファ・レジスタ (FLW)

また $\mu$  PD78F9500, 78F9501, 78F9502では、フラッシュ・メモリの0081Hに、プロテクト・バイトと呼ばれる領域を用意しています。

(1) フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

セルフ・プログラミングの書き込み時の動作モードを設定、およびプロテクト・バイトの設定値をリードするレジスタです。

FLPMCは、ノイズやプログラムの暴走などの誤動作によって、応用システムが不用意に停止しないようにするため、特定シーケンス (14.8.3 (2) フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) を参照) で書き込み動作を行った場合のみ、FLPMCへの書き込みが有効となります。

FLPMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定になります。

図14 - 8 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

アドレス : FFA2H    リセット時 : 不定<sup>注1</sup>    R/W<sup>注2</sup>

略号	7	6	5	4	3	2	1	0
FLPMC	0	PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	0	FLSPM

FLSPM	セルフ・プログラミング書き込み時の動作モード選択
0	通常モード 通常動作の状態です。HALT命令を実行すると、スタンバイ状態になります。
1	セルフ・プログラミング・モード 通常モード時にモード切り替えの特定シーケンスを実行することにより、セルフ・プログラミングのコマンドが実行可能になる状態です。コマンド、アドレス、書き込みデータなどを設定し、HALT命令を実行すると、セルフ・プログラミングが行われます。

PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	プロテクト・バイトの設定値がリードされます
---------	---------	---------	---------	---------	-----------------------

注1. ビット0 (FLSPM) は、リセット解除後0になります。ビット2-6 (PRSELF0- PRSELF4) は、リセット解除後プロテクト・バイトの設定値がリードされます。

2. ビット2-6 (PRSELF0- PRSELF4) は、リード・オンリーです。

- 注意1. セルフ・プログラミング・モードに設定する場合の注意事項については、14.8.2 セルフ・プログラミング機能の注意事項を参照してください。
- セルフ・プログラミング中のCPUクロックは、1 MHz以上になるようにあらかじめ設定してください。
  - セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行したあと、セルフ・プログラミングを実行してください。このときのHALT命令は、10  $\mu$ s (MAX.) + CPUクロック (f<sub>cpu</sub>) の2クロック後に自動的に解除されます。
  - 発振器または外部クロックをシステム・クロックとして選択している場合は、セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行し、HALT状態を解除したあと、8  $\mu$ sのウェイト時間経過後に、セルフ・プログラミングを実行してください。
  - セルフ・プログラミング・モードへの移行直前と、通常モードへの移行直前に、FLCMDレジスタの値をクリア (00H) してください。

**(2) フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)**

ノイズやプログラムの暴走などの誤動作によって、応用システムが不用意に停止した場合、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) への書き込み動作はシステムに重大な影響を与える可能性があります。PFCMDは、このFLPMCへの書き込み動作に対して、応用システムが不用意に停止しないようにプロテクションを施すために使用するレジスタです。

次に示す特定シーケンスで書き込み動作を行った場合のみ、FLPMCへの書き込みが有効となります。

PFCMDに特定の値 (A5H) を書き込む

FLPMCのビット0 (FLSPM) に、設定したい値を書き込む (このステップでの書き込みは無効)

FLPMCのビット0 (FLSPM) に、設定したい値の反転値を書き込む (このステップでの書き込みは無効)

FLPMCのビット0 (FLSPM) に、設定したい値を書き込む (このステップでの書き込みは有効)

**注意** セルフ・プログラミング・モード中に、割り込み処理は実行できません。セルフ・プログラミング・モードに切り替える特定シーケンスの実行前から、通常モードに切り替える特定シーケンスの実行後までは、割り込み処理を禁止 (MK0 = FFH, DI命令を実行) してください。

これにより、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

不正な書き込み動作の発生は、フラッシュ・ステータス・レジスタ (PFS) のビット0 (FPRERR) で確認できます。FPRERRは、1ビット・メモリ操作命令で確認してください。

なお、FLPMCを変更するたび、PFCMDにA5Hを書き込む必要があります。

PFCMDは、8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により、不定になります。

図14 - 9 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) のフォーマット

アドレス: FFA0H	リセット時: 不定	W						
略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

**(3) フラッシュ・ステータス・レジスタ (PFS)**

プロテクション対象のフラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) に対して、正しいシーケンス (フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) への書き込みを含む) で書き込み動作を行わなかった場合、FLPMCへの書き込みは行われず、プロテクション・エラーが発生します。このとき、PFSのビット0 (FPRERR) がセット (1) されます。

FPRERRが1の場合は、0を書き込むことによって、FPRERRをクリアします。

また、セルフ・プログラミング動作で生じる各種エラーについても、PFSのビット1 (VCERR) とビット2 (WEPRERR) に保持されます。0を書き込むことによって、VCERRまたはWEPRERRをクリアします。

正常な動作を確認するためには、事前にすべてのフラグを0にする必要があります。

PFSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**注意** FPRERRは、1ビット・メモリ操作命令で確認してください。



図14 - 10 フラッシュ・ステータス・レジスタ (PFS) のフォーマット

アドレス : FFA1H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	WEPRERR	VCERR	FPRERR

## 1. FPRERRフラグの動作条件

## &lt; セット条件 &gt;

- ・最近の周辺レジスタに対する書き込み命令動作が、PFCMDへの特定値 (PFCMD = A5H) の書き込み動作ではない状態で、FLPMCへの書き込みを行ったとき
- ・後の最初の書き込み命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・後の最初の書き込み命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・後の最初の書き込み命令動作で、FLPMCに設定したい値の反転値以外の値を書き込んだとき
- ・後の最初の書き込み命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・後の最初の書き込み命令動作で、FLPMCに設定したい値 ( の書き込み値 ) 以外の値を書き込んだとき

**備考** 上記の丸数字は、前述の(2)フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) の丸数字と対応しています。

## &lt; リセット条件 &gt;

- ・FPRERRフラグに0を書き込んだとき
- ・リセット信号が発生したとき

## 2. VCERRフラグの動作条件

## &lt; セット条件 &gt;

- ・消去ベリファイ・エラー
- ・内部書き込みベリファイ・エラー

VCERRがセットされた場合、正常な消去または書き込みが終了されなかったことを意味しますので、再度、指定される手順にしたがって、消去または書き込みを実行してください。

**備考** 消去または書き込みのプロテクト・エラーが発生した場合にも、VCERRフラグがセットされる場合があります。

## &lt; リセット条件 &gt;

- ・VCERRフラグに0を書き込んだとき
- ・リセット信号が発生したとき

## 3. WEPRERRフラグの動作条件

## &lt; セット条件 &gt;

- ・プロテクト・バイトで指定した消去 / 書き込み禁止領域を、フラッシュ・アドレス・ポインタH (FLAPH) で指定し、コマンドを実行した場合
- ・消去されていないビット (データが0のビット) に対して1を書こうとした場合

<リセット条件>

- ・WEPRERRフラグに0を書き込んだとき
- ・リセット信号が発生したとき

(4) フラッシュ・プログラミング・コマンド・レジスタ (FLCMD)

セルフ・プログラミング・モード時に、フラッシュ・メモリへの消去 / 書き込み / ベリファイ動作を設定するレジスタです。

FLCMDは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 11 フラッシュ・プログラミング・コマンド・レジスタ (FLCMD) のフォーマット

アドレス : FFA3H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
FLCMD	0	0	0	0	0	FLCMD2	FLCMD1	FLCMD0

FLCMD2	FLCMD1	FLCMD0	コマンド名	機能
0	0	1	内部ベリファイ1	データがフラッシュ・メモリに正しく書き込まれたかを確認するコマンドです。ブロック全体の書き込みを確認する場合に使用します。エラーの場合、フラッシュ・ステータス・レジスタ (PFS) のビット1 (VCERR) またはビット2 (WEPRERR) が1になります。
0	1	0	内部ベリファイ2	データがフラッシュ・メモリに正しく書き込まれたかを確認するコマンドです。同一ブロック内の複数の書き込みを確認する場合に使用します。エラーの場合、フラッシュ・ステータス・レジスタ (PFS) のビット1 (VCERR) またはビット2 (WEPRERR) が1になります。
0	1	1	ブロック消去	指定したブロック消去をするコマンドです。オンボード・モード、セルフ・プログラミング・モードの両方のモードで使用します。
1	0	0	ブロック・ブランク・チェック	指定したブロックが消去状態かを確認するコマンドです。
1	0	1	バイト書き込み	指定したアドレスに、1バイトのデータをフラッシュ・メモリに書き込むコマンドです。書き込みアドレスと書き込みデータを指定し、実行します。消去されていないビット (データが0のビット) に1を書くと、フラッシュ・ステータス・レジスタ (PFS) のビット2 (WEPRERR) が1になります。
上記以外 <sup>※</sup>			設定禁止	

注 上記以外のコマンドを実行した場合、コマンド実行はすぐに終了され、フラッシュ・ステータス・レジスタ (PFS) のビット1, 2 (WEPRERR, VCERR) がセット (1) されることがあります。

(5) フラッシュ・アドレス・ポインタH, L (FLAPH, FLAPL)

セルフ・プログラミング・モードの消去 / 書き込み / ベリファイ時に、使用するフラッシュ・メモリの開始アドレスを指定するためのレジスタです。

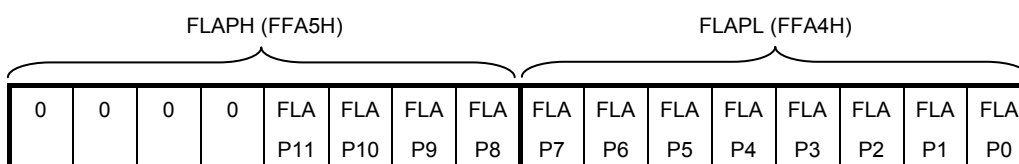
FLAPH/FLAPLはカウンタ構成になっていて、プログラミング・コマンド実行時以外はFLAPHC/FLAPLCと一致するまでインクリメントされます。したがって、コマンド実行時には値を再設定してください。

FLAPH/FLAPLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定になります。

図14 - 12 フラッシュ・アドレス・ポインタH/L (FLAPH/FLAPL) のフォーマット

アドレス : FFA4H, FFA5H    リセット時 : 不定    R/W



**注意** セルフ・プログラミング・コマンドを実行するときは、FLAPHとFLAPHCのビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。

(6) フラッシュ・アドレス・ポインタHコンペア・レジスタ, フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPHC, FLAPLC)

セルフ・プログラミング・モードのベリファイ時に、内蔵シーケンサの動作するアドレス範囲を指定するレジスタです。

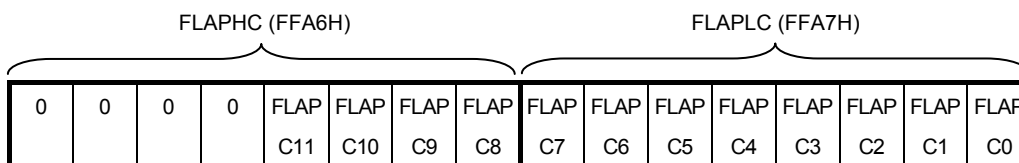
FLAPHCにはFLAPHと同じ値を、FLAPLCにはベリファイを行う範囲の最終アドレスを設定します。

FLAPHC, FLAPLCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 13 フラッシュ・アドレス・ポインタH/Lコンペア・レジスタ (FLAPHC/FLAPLC) のフォーマット

アドレス : FFA6H, FFA7H    リセット時 : 00H    R/W



- 注意**
1. セルフ・プログラミング・コマンドを実行するときは、FLAPHとFLAPHCのビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。
  2. FLAPHCは、ブロック消去 / ベリファイ / ブランク・チェック時に、対象となるブロック番号 (FLAPHと同じ値) を設定してください。
  3. FLAPLCは、ブロック消去時には00Hを、ブランク・チェック時にはFFHを設定してください。

**(7) フラッシュ・ライト・バッファ・レジスタ (FLW)**

フラッシュ・メモリに書き込むデータを格納するレジスタです。

FLWは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 14 フラッシュ・ライト・バッファ・レジスタ (FLW) のフォーマット

アドレス : FFA8H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
FLW	FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0

**(8) プロテクト・バイト**

プロテクト・バイトで、書き込みおよびブロック消去の禁止領域を設定します。その設定内容は、セルフ・プログラミング時のみ有効となります。設定した禁止領域へのセルフ・プログラミングは無効となるため、禁止領域に書き込まれているデータは保証されます。

図14 - 15 プロテクト・バイトのフォーマット

アドレス : 0081H

	7	6	5	4	3	2	1	0
1	PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	1	1	

・ $\mu$ PD78F9500

PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	状態
0	1	1	1	0	ブロック3-0は禁止
0	1	1	1	1	ブロック1,0禁止, ブロック2, 3は許可
1	1	1	1	1	全ブロックへの書き込みまたは消去許可
上記以外					設定禁止

・ $\mu$ PD78F9501

PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	状態
0	1	1	0	0	ブロック7-0は禁止
0	1	1	0	1	ブロック5-0は禁止, ブロック6, 7は許可
0	1	1	1	0	ブロック3-0は禁止, ブロック4-7は許可
0	1	1	1	1	ブロック1,0禁止, ブロック2-7は許可
1	1	1	1	1	全ブロックへの書き込みまたは消去許可
上記以外					設定禁止

・ $\mu$ PD78F9502

PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	状態
0	1	0	0	0	ブロック15-0は禁止
0	1	0	0	1	ブロック13-0は禁止, ブロック14,15は許可
0	1	0	1	0	ブロック11-0は禁止, ブロック12-15は許可
0	1	0	1	1	ブロック9-0は禁止, ブロック10-15は許可
0	1	1	0	0	ブロック7-0は禁止, ブロック8-15は許可
0	1	1	0	1	ブロック5-0は禁止, ブロック6-15は許可
0	1	1	1	0	ブロック3-0は禁止, ブロック4-15は許可
0	1	1	1	1	ブロック1,0禁止, ブロック2-15は許可
1	1	1	1	1	全ブロックへの書き込みまたは消去許可
上記以外					設定禁止

#### 14. 8. 4 通常モードからセルフ・プログラミング・モードへの移行例

セルフ・プログラミングを行うために、動作モードを通常モードからセルフ・プログラミング・モードに移行する必要があります。

セルフ・プログラミングへの移行例について、次に説明します。

割り込みを使用している場合は、割り込み処理を禁止（割り込みマスク・フラグ・レジスタ（MK0）にFFHを設定し、DI命令を実行）する。

FLCMDをクリア（00H）する。

フラッシュ・ステータス・レジスタ（PFS）をクリアする。

特定シーケンスにより、セルフ・プログラミング・モードに設定する<sup>注</sup>。

- ・PFCMDに特定の値（A5H）を書き込む
- ・FLPMCに01Hを書き込む（このステップでの書き込みは無効）
- ・FLPMCに0FEH（01Hの反転値）を書き込む（このステップでの書き込みは無効）
- ・FLPMCに01Hを書き込む（このステップでの書き込みは有効）

NOP命令とHALT命令を実行する。

PFSのビット0（FPRERR）にて、特定シーケンスの実行結果を確認する。

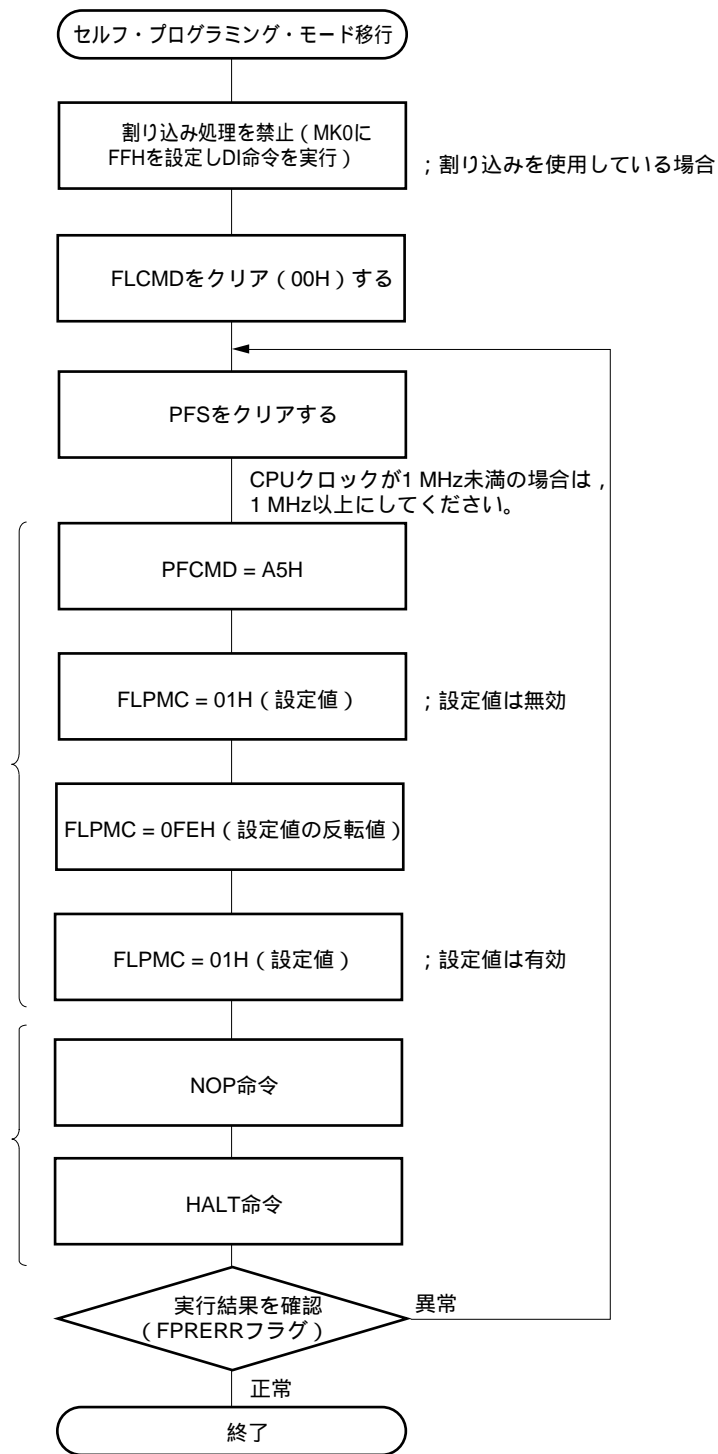
異常       , 正常

移行終了

**注** CPUクロックが1 MHz未満の場合は、1 MHz以上にしてください。

**注意** 上記の一連の動作は、必ず消去および書き込みをしないアドレス上のユーザ・プログラムで、行ってください。

図14 - 16 セルフ・プログラミング・モードへの移行例



**注意** 上記の一連の動作は、必ず消去および書き込みをしないアドレス上のユーザ・プログラムで、行ってください。

**備考** 図14 - 16の ~ は、14. 8. 4の ~ (前ページ)と対応しています。

セルフ・プログラミング・モードへの移行のプログラム例を次に示します。

```
;-----  
;START  
;-----  
      MOV      MK0, #11111111B      ; すべての割り込みをマスク  
      MOV      FLCMD, #00H          ; FLCMDレジスタをクリア  
  
      DI  
  
ModeOnLoop:                          ; 「CPUクロック 1 MHz」と設定しておいてください  
      MOV      PFS, #00H            ; フラッシュ・ステータス・レジスタをクリア  
      MOV      PFCMD, #0A5H         ; PFCMDレジスタ制御  
      MOV      FLPMC, #01H          ; FLPMCレジスタ制御（設定値）  
      MOV      FLPMC, #0FEH         ; FLPMCレジスタ制御（設定値の反転）  
      MOV      FLPMC, #01H          ; セルフ・プログラミング・モード設定：FLPMCレジスタ制御（設定値）  
  
      NOP  
      HALT  
      BT       PFS.0, $ModeOnLoop ; 特定レジスタへの書き込み完了確認  
                                   ; エラー発生時は、同じ処理を繰り返す。  
  
;-----  
;END  
;-----
```



### 14. 8. 5 セルフ・プログラミング・モードから通常モードへの移行例

セルフ・プログラミング実行後は、セルフ・プログラミング・モードから通常モードに戻す必要があります。通常モードへ移行例について、次に説明します。

FLCMDをクリア (00H) する。

フラッシュ・ステータス・レジスタ (PFS) をクリアする。

特定シーケンスにより、通常モードに設定する。

- ・ PFCMDに特定の値 (A5H) を書き込む
- ・ FLPMCに00Hを書き込む (このステップでの書き込みは無効)
- ・ FLPMCに0FFH (00Hの反転値) を書き込む (このステップでの書き込みは無効)
- ・ FLPMCに00Hを書き込む (このステップでの書き込みは有効)

PFSのビット0 (FPRERR) にて、特定シーケンスの実行結果を確認する<sup>注</sup>。

異常 , 正常

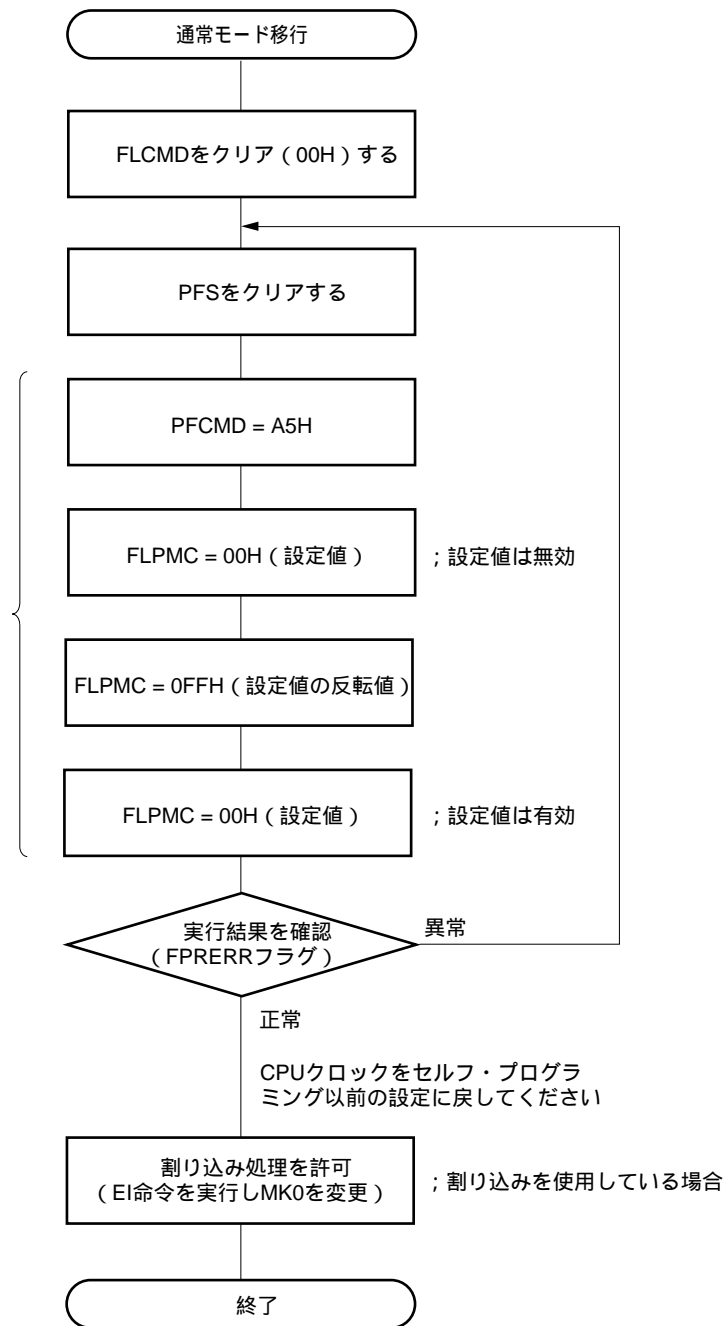
割り込み処理を許可 (EI命令を実行し, MK0を変更) するなど, 元の状態に戻す。

移行終了

**注** 特定シーケンスが正常に実行したあとに, CPUクロックをセルフ・プログラミング以前の設定に戻してください。

**注意** 上記の一連の動作は, 必ず消去および書き込みをしないアドレス上のユーザ・プログラムで, 行ってください。

図14 - 17 通常モードへの移行例



**注意** 上記の一連の動作は、必ず消去および書き込みをしないアドレス上のユーザ・プログラムで、行ってください。

**備考** 図14 - 17の ~ は、14. 8. 5の ~ (前ページ)と対応しています。

通常モードへの移行のプログラム例を次に示します。

```
-----  
;START  
-----  
  
      MOV      FLCMD, #00H      ; FLCMDレジスタをクリア  
ModeOffLoop:  
      MOV      PFS, #00H       ; フラッシュ・ステータス・レジスタをクリア  
      MOV      PFCMD, #0A5H    ; PFCMDレジスタ制御  
      MOV      FLPMC, #00H     ; FLPMCレジスタ制御（設定値）  
      MOV      FLPMC, #0FFH    ; FLPMCレジスタ制御（設定値の反転）  
      MOV      FLPMC, #00H     ; 通常モード設定：FLPMCレジスタ制御（設定値）  
  
      BT       PFS.0, $ModeOffLoop; 特定レジスタへの書き込み完了確認  
                                     ; エラー発生時は、同じ処理を繰り返す。  
                                     ; 特定シーケンスが正常実行したあとに、CPUクロックをセルフ・  
                                     ; プログラミング以前の設定に戻してください。  
  
      MOV      MK0, #INT_MK0   ; 割り込みマスク・フラグを復帰  
  
      EI  
  
-----  
;END  
-----
```

### 14. 8. 6 セルフ・プログラミング・モードのブロック消去動作例

セルフ・プログラミング・モードのブロック消去動作例について、次に説明します。

フラッシュ・プログラム・コマンド・レジスタ (FLCMD) に03H (ブロック消去) を設定する。

フラッシュ・アドレス・ポインタH (FLAPH) に消去するブロック番号を設定する。

フラッシュ・アドレス・ポインタL (FLAPL) に00Hを設定する。

フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) にFLAPHと同値を設定する。

フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC) に00Hを設定する。

フラッシュ・ステータス・レジスタ (PFS) をクリアする。

ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込む (ウォッチドッグ・タイマのカウンタをクリア&スタート)<sup>注</sup>。

HALT命令を実行し、セルフ・プログラミングを開始する (セルフ・プログラミング実行後は、HALT命令直後の命令を実行)。

PFSのビット1 (VCERR) とビット2 (WEPRERR) にて、セルフ・プログラミングのエラーの有無をチェックする。

異常

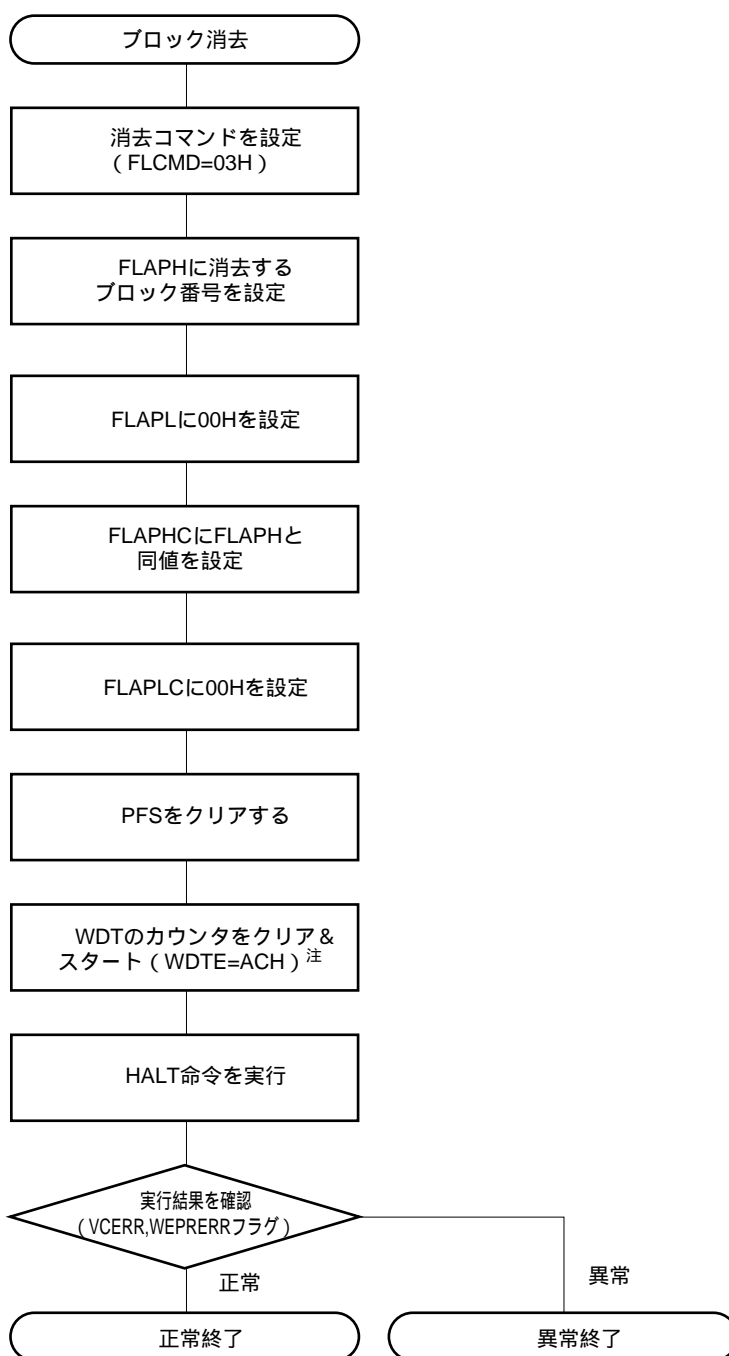
正常

ブロック消去異常終了

ブロック消去正常終了

**注** ウォッチドッグ・タイマを使用しない場合、 の設定は不要です。

図14 - 18 セルフ・プログラミング・モードのブロック消去動作例



注 ウォッチドッグ・タイマを使用しない場合、設定は不要です。

備考 図14 - 18の ~ は、14. 8. 6の ~ (前ページ)と対応しています。

セルフ・プログラミング・モードのブロック消去のプログラム例を次に示します。

```
-----  
;START  
-----  
  
FlashBlockErase:  
    MOV     FLCMD, #03H      ; フラッシュ制御コマンド設定 (ブロック消去)  
    MOV     FLAPH, #07H     ; 消去ブロック番号設定 (例: ブロック7を指定)  
    MOV     FLAPL, #00H     ; FLAPLは, "00H"固定  
    MOV     FLAPHC, #07H    ; 消去ブロック・コンペア番号設定 (FLAPHと同じ値)  
    MOV     FLAPLC, #00H    ; FLAPLCは, "00H"固定  
  
    MOV     PFS, #00H       ; フラッシュ・ステータス・レジスタのクリア  
    MOV     WDTE, #0ACH     ; WDTをクリア&リスタート  
    HALT                               ; セルフ・プログラミング開始  
    MOV     A, PFS  
    MOV     CmdStatus, A     ; 実行結果を変数に格納  
                                ; (CmdStatusが0のとき正常終了, 0以外は異常終了)  
  
-----  
;END  
-----
```

### 14. 8. 7 セルフ・プログラミング・モードのブロック・ブランク・チェック動作例

セルフ・プログラミング・モードのブロック・ブランク・チェック動作例について、次に説明します。

フラッシュ・プログラム・コマンド・レジスタ (FLCMD) に04H (ブロック・ブランク・チェック) を設定する。

フラッシュ・アドレス・ポインタH (FLAPH) にブランク・チェックするブロック番号を設定する。

フラッシュ・アドレス・ポインタL (FLAPL) に00Hを設定する。

フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) にFLAPHと同値を設定する。

フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC) にFFHを設定する。

フラッシュ・ステータス・レジスタ (PFS) をクリアする。

ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込み (ウォッチドッグ・タイマのカウンタをクリア&スタート) する<sup>注</sup>。

HALT命令を実行し、セルフ・プログラミングを開始する (セルフ・プログラミング実行後は、HALT命令直後の命令を実行)。

PFSのビット1 (VCERR) とビット2 (WEPRERR) にて、セルフ・プログラミングのエラーの有無をチェックする。

異常

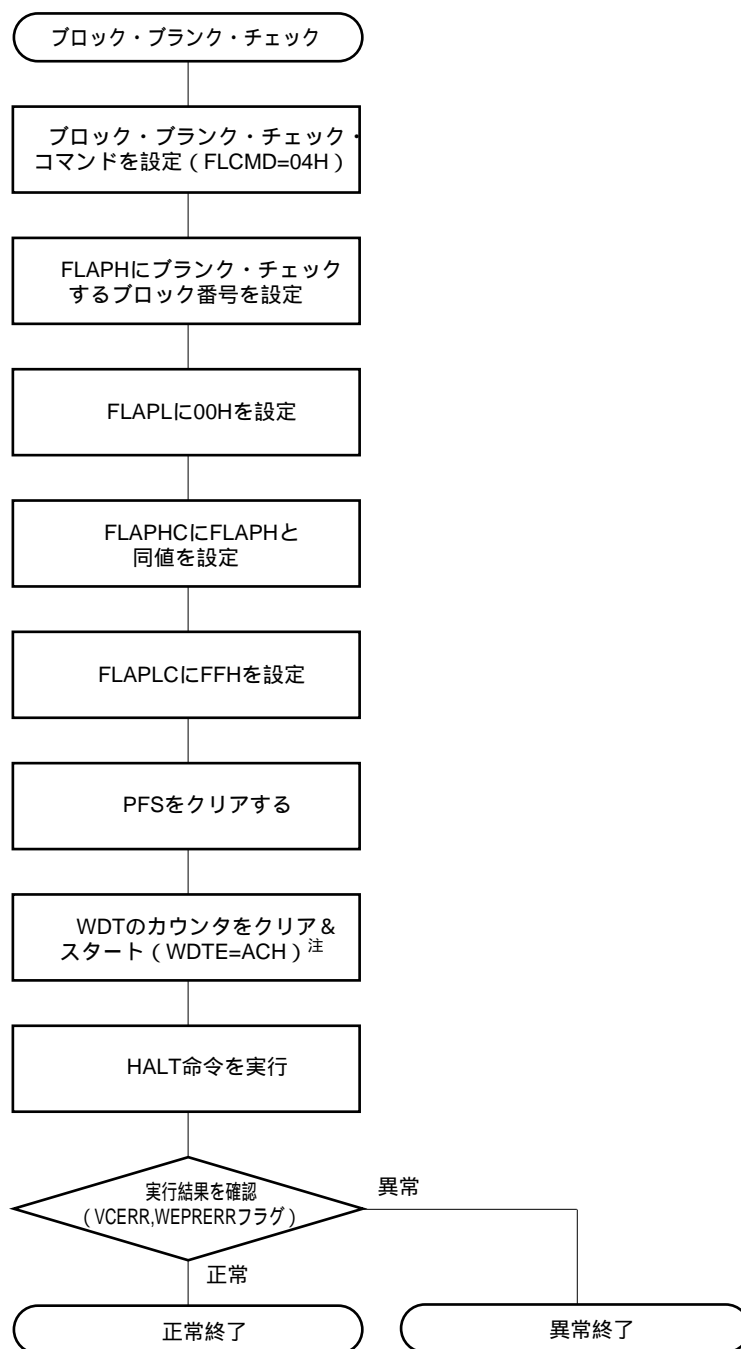
正常

ブロック・ブランク・チェック異常終了。

ブロック・ブランク・チェック正常終了。

**注** ウォッチドッグ・タイマを使用しない場合、 の設定は不要です。

図14 - 19 セルフ・プログラミング・モードのブロック・ブランク・チェック動作例



注 ウォッチドッグ・タイマを使用しない場合、設定は不要です。

備考 図14 - 19の ~ は、14. 8. 7の ~ (前ページ)と対応しています。



セルフ・プログラミング・モードのブロック・ブランク・チェックのプログラム例を次に示します。

```
-----  
;START  
-----  
  
FlashBlockBlankCheck:  
    MOV     FLCMD,#04H      ; フラッシュ制御コマンド設定 (ブロック・ブランク・チェック)  
    MOV     FLAPH,#07H     ; ブランク・チェック・ブロック番号設定 (例: ブロック7を指定)  
    MOV     FLAPL,#00H     ; FLAPLは, "00H"固定  
    MOV     FLAPHC,#07H    ; ブランク・チェック・ブロック・コンペア番号設定 (FLAPHと同じ値)  
    MOV     FLAPLC,#0FFH   ; FLAPLCは, "FFH"固定  
  
    MOV     PFS,#00H       ; フラッシュ・ステータス・レジスタのクリア  
    MOV     WDTE,#0ACH     ; WDTをクリア&リスタート  
    HALT                    ; セルフ・プログラミング開始  
  
    MOV     A,PFS  
    MOV     CmdStatus,A    ; 実行結果を変数に格納  
                                ; (CmdStatusが0のとき正常終了, 0以外は異常終了)  
  
-----  
;END  
-----
```

### 14. 8. 8 セルフ・プログラミング・モードのバイト書き込み動作例

セルフ・プログラミング・モードのバイト書き込み例について、次に説明します。

フラッシュ・プログラム・コマンド・レジスタ (FLCMD) に05H (バイト書き込み) を設定する。

フラッシュ・アドレス・ポインタH (FLAPH) に書き込みするブロック番号を設定する。

フラッシュ・アドレス・ポインタL (FLAPL) に書き込みアドレスを設定する。

フラッシュ・ライト・バッファ・レジスタ (FLW) に書き込みデータを設定する。

フラッシュ・ステータス・レジスタ (PFS) をクリアする。

ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込む (ウォッチドッグ・タイマのカウンタをクリア&スタート)<sup>※</sup>。

HALT命令を実行し、セルフ・プログラミングを開始する (セルフ・プログラミング実行後は、HALT命令直後の命令を実行)。

PFSのビット1 (VCERR) とビット2 (WEPRERR) にて、セルフ・プログラミングのエラーの有無をチェックする。

異常

正常

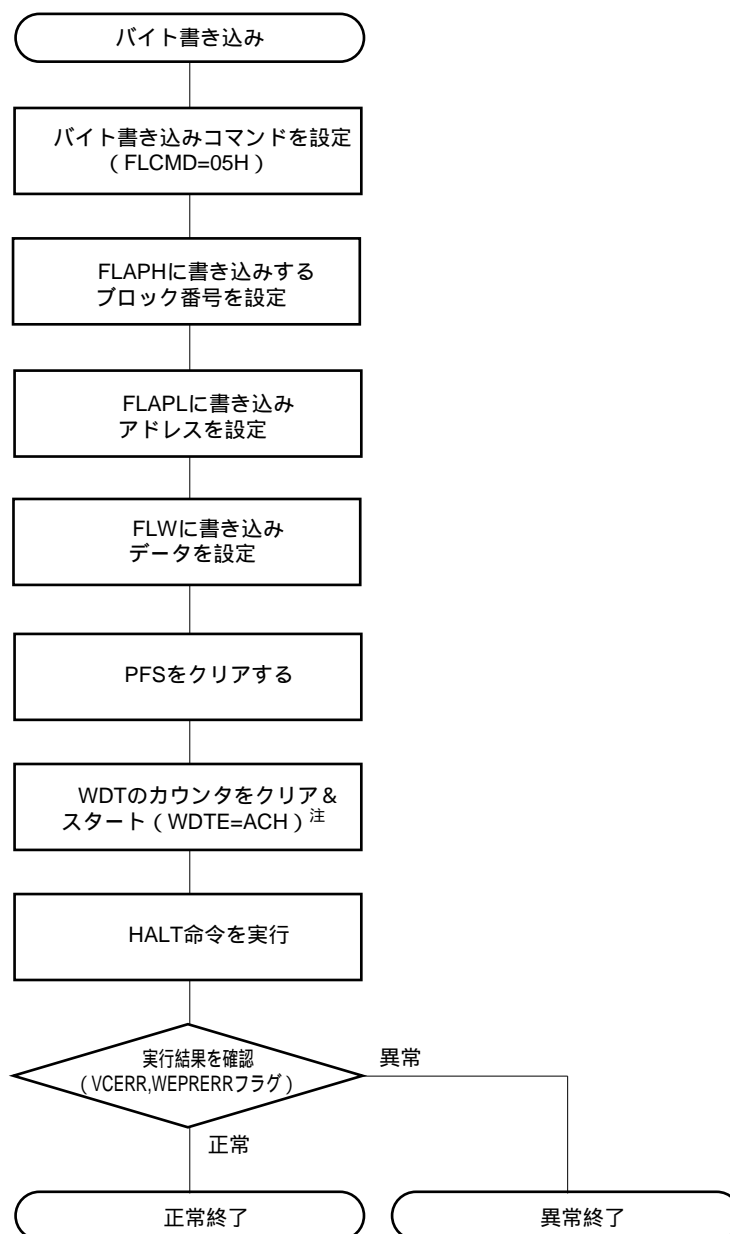
バイト書き込み処理異常終了。

バイト書き込み処理正常終了。

**注** ウォッチドッグ・タイマを使用しない場合、 の設定は不要です。

**注意** 書き込みが失敗した場合は、ブロック消去してから再度書き込みをしてください。

図14 - 20 セルフ・プログラミング・モードのバイト書き込み動作例



注 ウォッチドッグ・タイマを使用しない場合，設定は不要です。

備考 図14 - 20の ~ は，14. 8. 8の ~ (前ページ)と対応しています。

セルフ・プログラミング・モードのバイト書き込みのプログラム例を次に示します。

```
-----  
;START  
-----  
FlashWrite:  
    MOV     FLCMD,#05H      ; フラッシュ制御コマンド設定 (バイト書き込み)  
    MOV     FLAPH,#07H     ; 書き込みアドレス設定 (FLAPH 例: ブロック7を指定)  
    MOV     FLAPL,#20H     ; 書き込みアドレス設定 (FLAPL 例: "20H" 番地を指定)  
    MOV     FLW,#10H      ; 書き込みデータ設定 (例: "10H" を指定)  
  
    MOV     PFS,#00H      ; フラッシュ・ステータス・レジスタのクリア  
    MOV     WDTE,#0ACH    ; WDTをクリア&リスタート  
    HALT                               ; セルフ・プログラミング開始  
  
    MOV     A,PFS  
    MOV     CmdStatus,A    ; 実行結果を変数に格納  
                               ; (CmdStatusが0のとき正常終了, 0以外は異常終了)  
  
-----  
;END  
-----
```

### 14.8.9 セルフ・プログラミング・モードの内部ベリファイ動作例

セルフ・プログラミング・モードの内部ベリファイ1, 2の動作例について、次に説明します。

#### ・内部ベリファイ1

フラッシュ・プログラム・コマンド・レジスタ (FLCMD) に01H (内部ベリファイ1) を設定する。

フラッシュ・アドレス・ポインタH (FLAPH) に内部ベリファイするブロック番号を設定する。

フラッシュ・アドレス・ポインタL (FLAPL) に00Hを設定する。

フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) にFLAPHと同値を設定する。

フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC) にFFHを設定する。

フラッシュ・ステータス・レジスタ (PFS) をクリアする。

ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込み (ウォッチドッグ・タイマのカウンタをクリア&スタート) する<sup>注</sup>。

HALT命令を実行し、セルフ・プログラミングを開始する (セルフ・プログラミング実行後は、HALT命令直後の命令を実行)。

PFSのビット1 (VCERR) とビット2 (WEPRERR) にて、セルフ・プログラミングのエラーの有無をチェックする。

異常

正常

内部ベリファイ処理異常終了。

内部ベリファイ処理正常終了。

#### ・内部ベリファイ2

フラッシュ・プログラム・コマンド・レジスタ (FLCMD) に02H (内部ベリファイ2) を設定する。

フラッシュ・アドレス・ポインタH (FLAPH) に内部ベリファイするブロック番号を設定する。

フラッシュ・アドレス・ポインタL (FLAPL) に開始アドレスを設定する。

フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) にFLAPHと同値を設定する。

フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC) に終了アドレスを設定する。

フラッシュ・ステータス・レジスタ (PFS) をクリアする。

ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込み (ウォッチドッグ・タイマのカウンタをクリア&スタート) する<sup>注</sup>。

HALT命令を実行し、セルフ・プログラミングを開始する (セルフ・プログラミング実行後は、HALT命令直後の命令を実行)。

PFSのビット1 (VCERR) とビット2 (WEPRERR) にて、セルフ・プログラミングのエラーの有無をチェックする。

異常

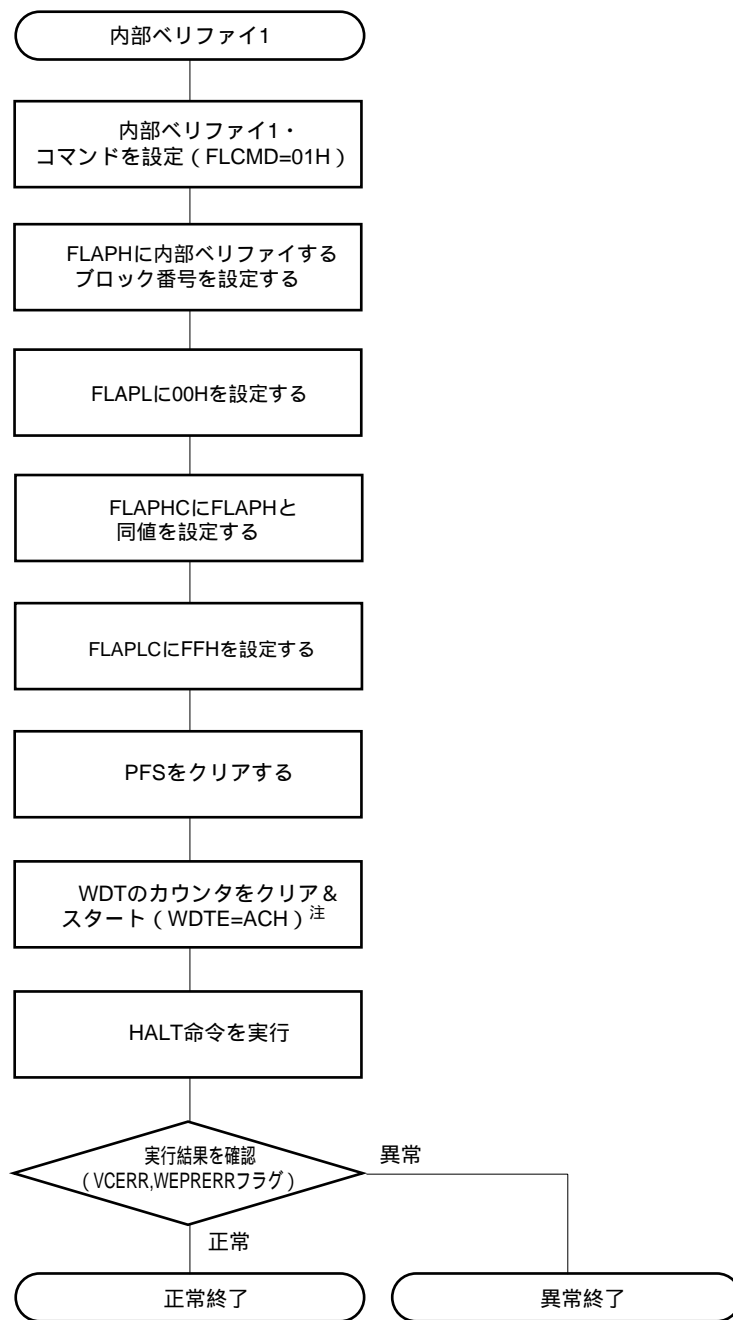
正常

内部ベリファイ処理異常終了。

内部ベリファイ処理正常終了。

**注** ウォッチドッグ・タイマを使用しない場合、 の設定は不要です。

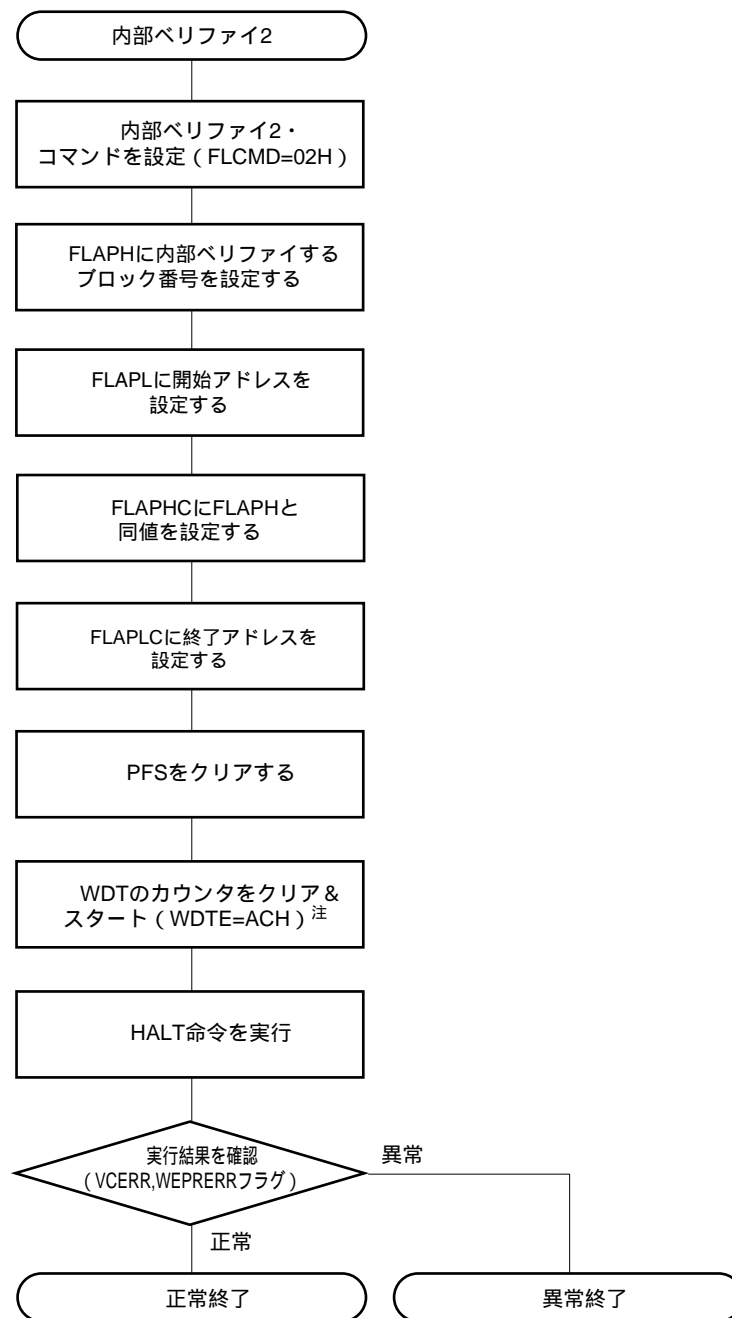
図14 - 21 セルフ・プログラミング・モードの内部ベリファイ1動作例



注 ウォッチドッグ・タイマを使用しない場合、設定は不要です。

備考 図14 - 21の ~ は、14. 8. 9の内部ベリファイ1 ~ (前ページ)と対応しています。

図14 - 22 セルフ・プログラミング・モードの内部ベリファイ2動作例



注 ウォッチドッグ・タイマを使用しない場合、設定は不要です。

備考 図14 - 22の ~ は、14. 8. 9の内部ベリファイ2 ~ (前々ページ)と対応しています。

セルフ・プログラミング・モードの内部ベリファイ1, 2のプログラム例を次に示します。

#### ・内部ベリファイ1

```

;-----
;START
;-----
FlashVerify:
    MOV    FLCMD, #01H    ; フラッシュ制御コマンド設定 (内部ベリファイ1)
    MOV    FLAPH, #07H    ; 内部ベリファイするブロック番号設定 (FLAPH 例: ブロック7を指定)
    MOV    FLAPL, #00H    ; 00Hを設定
    MOV    FLAPHC, #07H
    MOV    FLAPLC, #FFH    ; FFHを設定

    MOV    PFS, #00H      ; フラッシュ・ステータス・レジスタをクリア
    MOV    WDTE, #0ACH    ; WDTをクリア&リスタート
    HALT                                ; セルフ・プログラミング開始
    MOV    A, PFS
    MOV    CmdStatus, A    ; 実行結果を変数に格納
                                ; (CmdStatusが0のとき正常終了, 0以外は異常終了)

;-----
;END
;-----

```

#### ・内部ベリファイ2

```

;-----
;START
;-----
FlashVerify:
    MOV    FLCMD, #02H    ; フラッシュ制御コマンド設定 (内部ベリファイ2)
    MOV    FLAPH, #07H    ; 内部ベリファイするブロック番号設定 (FLAPH 例: ブロック7を指定)
    MOV    FLAPL, #00H    ; ベリファイ開始アドレス設定 (FLAPL 例: "00H"番地を指定)
    MOV    FLAPHC, #07H
    MOV    FLAPLC, #20H    ; ベリファイ終了アドレス設定 (FLAPL 例: "20H"番地を指定)

    MOV    PFS, #00H      ; フラッシュ・ステータス・レジスタをクリア
    MOV    WDTE, #0ACH    ; WDTをクリア&リスタート
    HALT                                ; セルフ・プログラミング開始
    MOV    A, PFS
    MOV    CmdStatus, A    ; 実行結果を変数に格納
                                ; (CmdStatusが0のとき正常終了, 0以外は異常終了)

;-----
;END
;-----

```



### 14. 8. 10 セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例

セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例について、次に説明します。

#### (1) 消去～ブランク・チェック

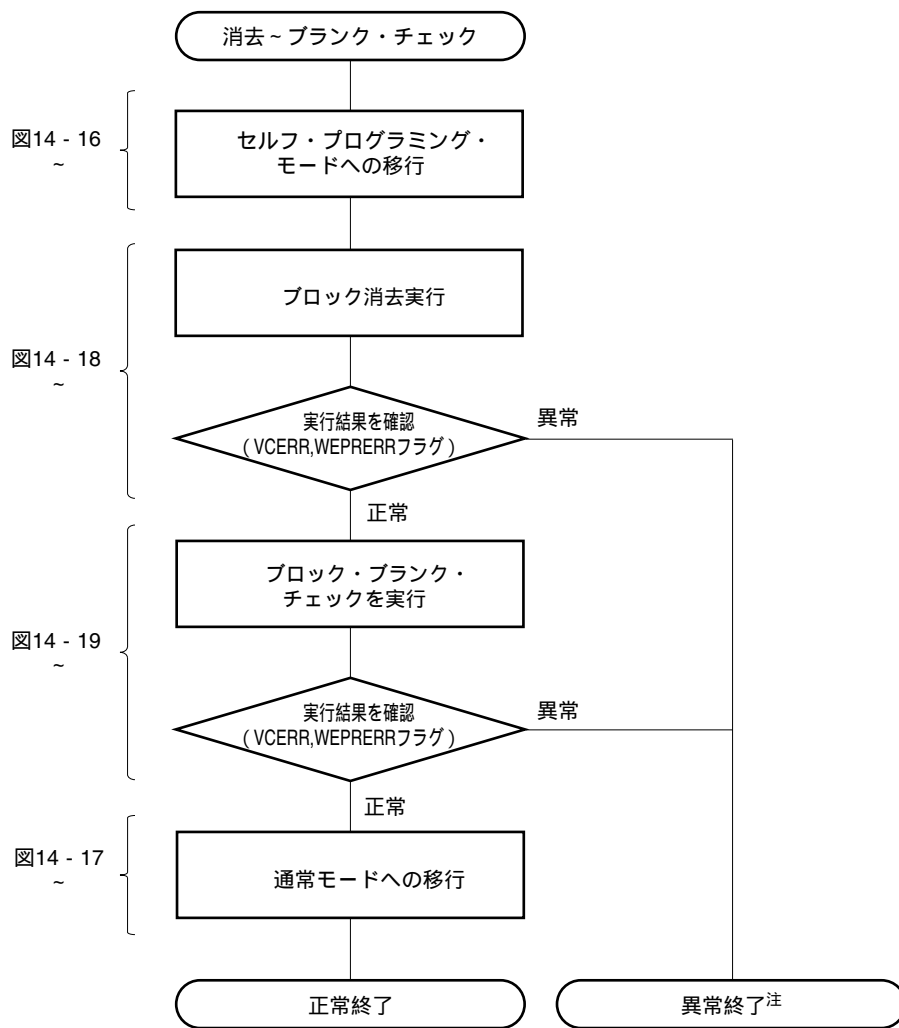
通常モードからセルフ・プログラミング・モードへ移行 ( 14. 8. 4 ~ )

ブロック消去実行 エラー・チェック ( 14. 8. 6 ~ )

ブロック・ブランク・チェック実行 エラー・チェック ( 14. 8. 7 ~ )

セルフ・プログラミング・モードから通常モードへ移行 ( 14. 8. 5 ~ )

図14 - 23 コマンド実行時間を最小にしたい場合の動作例 ( 消去～ブランク・チェック )



注 通常処理に戻る場合は、通常モードへの移行処理を行ってください。

備考 図14 - 23の ~ は、14. 8. 10 (1) の ~ ( 上述 ) と対応しています。

セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例（消去～ブランク・チェック）のプログラム例を次に示します。

```

;-----
;START
;-----

MOV     MK0, #11111111B    ; すべての割り込みをマスク
MOV     FLCMD, #00H        ; FLCMDレジスタをクリア

DI

ModeOnLoop:                ; 「CPUクロック 1 MHz」と設定しておいてください
MOV     PFS, #00H          ; フラッシュ・ステータス・レジスタをクリア
MOV     PFCMD, #0A5H       ; PFCMDレジスタ制御
MOV     FLPMC, #01H        ; FLPMCレジスタ制御（設定値）
MOV     FLPMC, #0FEH       ; FLPMCレジスタ制御（設定値の反転）
MOV     FLPMC, #01H        ; セルフ・プログラミング・モード設定：FLPMCレジスタ制御（設定値）

NOP
HALT
BT      PFS.0, $ModeOnLoop ; 特定レジスタへの書き込み完了確認
                                ; エラー発生時は、同じ処理を繰り返す。

FlashBlockErase:
MOV     FLCMD, #03H        ; フラッシュ制御コマンド設定（ブロック消去）
MOV     FLAPH, #07H        ; 消去ブロック番号設定（例：ブロック7を指定）
MOV     FLAPL, #00H        ; FLAPLは、"00H"固定
MOV     FLAPHC, #07H       ; 消去ブロック・コンペア番号設定（FLAPHと同じ値）
MOV     FLAPLC, #00H       ; FLAPLCは、"00H"固定

MOV     WDTE, #0ACH        ; WDTをクリア&リスタート
HALT                                ; セルフ・プログラミング開始

MOV     A, PFS
CMP     A, #00H
BNZ     $StatusError       ; 消去異常を確認
                                ; エラー発生時は、異常終了処理を行う

FlashBlockBlankCheck:
MOV     FLCMD, #04H        ; フラッシュ制御コマンド設定（ブロック・ブランク・チェック）
MOV     FLAPH, #07H        ; ブランク・チェック・ブロック番号設定（例：ブロック7を指定）
MOV     FLAPL, #00H        ; FLAPLは、"00H"固定
MOV     FLAPHC, #07H       ; ブランク・チェック・ブロック・コンペア番号設定（FLAPHと同じ値）
MOV     FLAPLC, #0FFH      ; FLAPLCは、"FFH"固定

```

```

MOV     WDTE, #0ACH      ; WDTをクリア&リスタート
HALT
MOV     A, PFS
CMP     A, #00H
BNZ     $StatusError    ; ブランク・チェック異常を確認
                                ; エラー発生時は、異常終了処理を行う

MOV     FLCMD, #00H     ; FLCMDレジスタをクリア

ModeOfLoop:
MOV     PFS, #00H       ; フラッシュ・ステータス・レジスタをクリア
MOV     PFCMD, #0A5H    ; PFCMDレジスタ制御
MOV     FLPMC, #00H     ; FLPMCレジスタ制御（設定値）
MOV     FLPMC, #0FFH    ; FLPMCレジスタ制御（設定値の反転）
MOV     FLPMC, #00H     ; 通常モード設定：FLPMCレジスタ制御（設定値）

BT      PFS.0, $ModeOfLoop; 特定レジスタへの書き込み完了確認
                                ; エラー発生時は、同じ処理を繰り返す。
                                ; 特定シーケンスが正常実行したあとに、CPUクロックをセルフ・
                                ; プログラミング以前の設定に戻してください。

MOV     MK0, #INT_MK0   ; 割り込みマスク・フラグを復帰

EI

BR      StatusNormal

;-----
;END (異常終了処理); 通常処理に戻る場合は、通常モードへの移行処理を行ってください
;-----
StatusError:

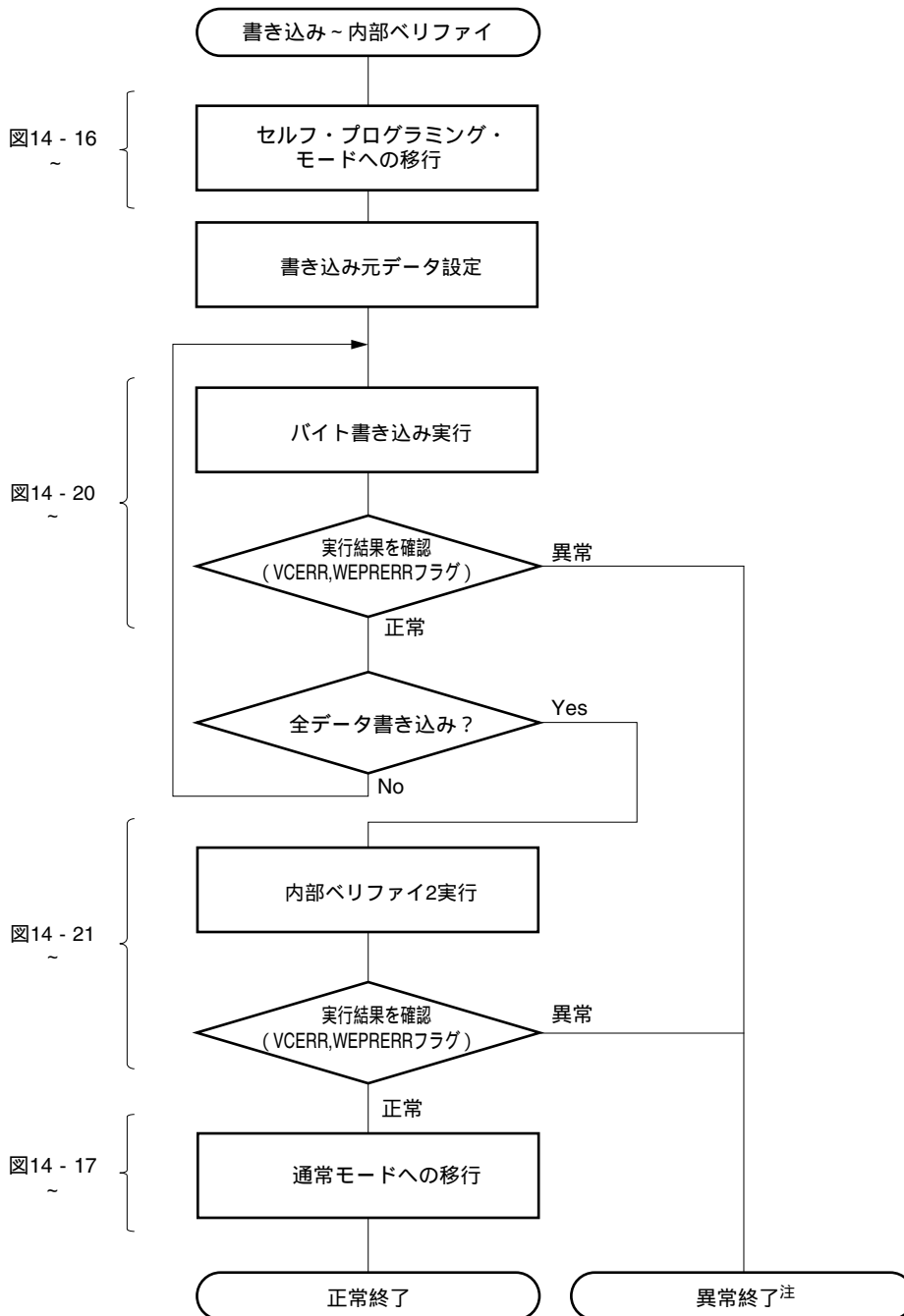
;-----
;END (正常終了処理)
;-----
StatusNormal:

```

(2) 書き込み～内部ペリファイ

- 通常モードからセルフ・プログラミング・モードへ移行 (14. 8. 4 ~ )
- 書き込み元のデータを設定
- バイト書き込み実行 エラー・チェック (14. 8. 8 ~ )
- 全データを書き込むまで, を繰り返す
- 内部ペリファイ実行 エラー・チェック (14. 8. 9 ~ )
- セルフ・プログラミング・モードから通常モードへ移行 (14. 8. 5 ~ )

図14 - 24 コマンド実行時間を最小にしたい場合の動作例 (書き込み～内部ペリファイ)



注 通常処理に戻る場合は, 通常モードへの移行処理を行ってください。

備考 図14 - 24の ~ は, 14. 8. 10 (2)の ~ (上述)と対応しています。

セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例（書き込み～内部ベリファイ）のプログラム例を次に示します。

```

;-----
;START
;-----
MOV     MK0, #11111111B    ; すべての割り込みをマスク
MOV     FLCMD, #00H       ; FLCMDレジスタをクリア
DI

ModeOnLoop:
; 「CPUクロック 1 MHz」と設定しておいてください
MOV     PFS, #00H         ; フラッシュ・ステータス・レジスタをクリア
MOV     PFCMD, #0A5H      ; PFCMDレジスタ制御
MOV     FLPMC, #01H       ; FLPMCレジスタ制御（設定値）
MOV     FLPMC, #0FEH      ; FLPMCレジスタ制御（設定値の反転）
MOV     FLPMC, #01H       ; セルフ・プログラミング・モード設定：FLPMCレジスタ制御（設定値）

NOP
HALT
BT      PFS.0, $ModeOnLoop ; 特定レジスタへの書き込み完了確認
; エラー発生時は、同じ処理を繰り返す。

FlashWrite:
MOVW    HL, #DataAdrTop   ; 書き込みデータのアドレス設定
MOVW    DE, #WriteAdr     ; 書き込みアドレス設定

FlashWriteLoop:
MOV     FLCMD, #05H       ; フラッシュ制御コマンド設定（バイト書き込み）
MOV     A, D
MOV     FLAPH, A          ; 書き込みアドレス設定
MOV     A, E
MOV     FLAPL, A          ; 書き込みアドレス設定
MOV     A, [HL]
MOV     FLW, A            ; 書き込みデータ設定

MOV     WDTE, #0ACH       ; WDTをクリア&リスタート
HALT    ; セルフ・プログラミング開始
MOV     A, PFS
CMP     A, #00H
BNZ    $StatusError      ; 書き込み異常を確認
; エラー発生時は、異常終了処理を行う

INCW    HL                ; 書き込みデータのアドレス+ 1
MOVW    AX, HL

```

```

CMPW    AX, #DataAdrBtm    ; 全データの書き込み終了の場合は
BNC     $FlashVerify      ; 内部ベリファイ処理を行う

INCW    DE                ; 書き込みアドレス + 1
BR      FlashWriteLoop

FlashVerify:
MOVW    HL, #WriteAdr     ; ベリファイ・アドレス設定

MOV     FLCMD, #02H       ; フラッシュ制御コマンド設定 (内部ベリファイ2)
MOV     A, H
MOV     FLAPH, A         ; ベリファイ開始アドレス設定
MOV     A, L
MOV     FLAPL, A         ; ベリファイ開始アドレス設定
MOV     A, D
MOV     FLAPHC, A        ; ベリファイ終了アドレス設定
MOV     A, E
MOV     FLAPLC, A        ; ベリファイ終了アドレス設定

MOV     WDTE, #0ACH      ; WDTをクリア&リスタート
HALT    ; セルフ・プログラミング開始

MOV     A, PFS
CMP     A, #00H
BNZ    $StatusError     ; 内部ベリファイ異常を確認
                        ; エラー発生時は、異常終了処理を行う

MOV     FLCMD, #00H      ; FLCMDレジスタをクリア

ModeOffLoop:
MOV     PFS, #00H        ; フラッシュ・ステータス・レジスタをクリア
MOV     PFCMD, #0A5H     ; PFCMDレジスタ制御
MOV     FLPMC, #00H      ; FLPMCレジスタ制御 (設定値)
MOV     FLPMC, #0FFH     ; FLPMCレジスタ制御 (設定値の反転)
MOV     FLPMC, #00H      ; 通常モード設定: FLPMCレジスタ制御 (設定値)

BT     PFS.0, $ModeOffLoop; 特定レジスタへの書き込み完了確認
                        ; エラー発生時は、同じ処理を繰り返す。
                        ; 特定シーケンスが正常実行したあとに、CPUクロックをセルフ・
                        ; プログラミング以前の設定に戻してください。

MOV     MK0, #INT_MK0    ; 割り込みマスク・フラグを復帰

EI
BR     StatusNormal
;-----

```

```

;END (異常終了処理); 通常処理に戻る場合は, 通常モードへの移行処理を行ってください
;-----
StatusError:
;-----
;END (正常終了処理)
;-----
StatusNormal:
;-----
;書き込みデータ
;-----
DataAdrTop:
    DB      XXH
    DB      XXH
    DB      XXH
    DB      XXH
    :
    :
    DB      XXH
DataAdrBtm:
;-----

```

**備考** 前述のプログラム例の内部ベリファイは, 内部ベリファイ2を使用しています。1ブロック全体をベリファイする場合は, 内部ベリファイ1を使用してください。

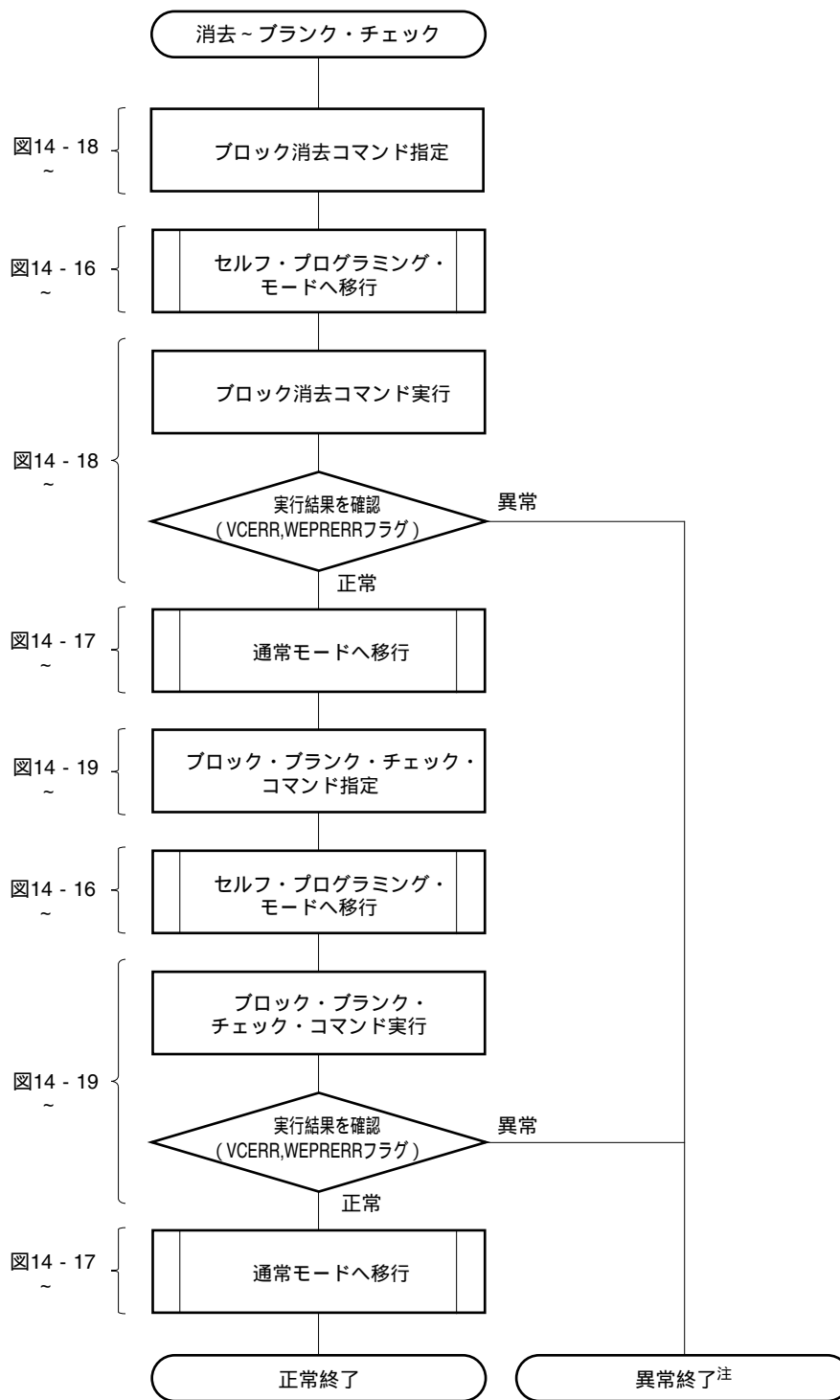
#### 14. 8. 11 セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例

セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例について, 次に説明します。

##### (1) 消去~ブランク・チェック

- ブロック消去コマンド指定 (14. 8. 6 ~ )
- 通常モードからセルフ・プログラミング・モードへ移行 (14. 8. 4 ~ )
- ブロック消去コマンド実行 エラーのチェック (14. 8. 6 ~ )
- セルフ・プログラミング・モードから通常モードへ移行 (14. 8. 5 ~ )
- ブロック・ブランク・チェック・コマンド指定 (14. 8. 7 ~ )
- 通常モードからセルフ・プログラミング・モードへ移行 (14. 8. 4 ~ )
- ブロック・ブランク・チェック・コマンド実行 エラーのチェック (14. 8. 7 ~ )
- セルフ・プログラミング・モードから通常モードへ移行 (14. 8. 5 ~ )

図14 - 25 割り込み禁止時間を最小にしたい場合の動作例（消去～ブランク・チェック）



注 通常処理に戻る場合は、通常モードへの移行処理を行ってください。

備考 図14 - 25の ~ は、14. 8. 11 (1) の ~ (前ページ) と対応しています。



セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例（消去～ブランク・チェック）のプログラム例を次に示します。

```

;-----
;START
;-----

FlashBlockErase:
    ; 消去コマンド設定
    MOV     FLCMD, #03H      ; フラッシュ制御コマンド設定（ブロック消去）
    MOV     FLAPH, #07H     ; 消去ブロック番号設定（例：ブロック7を指定）
    MOV     FLAPL, #00H     ; FLAPLは、“00H”固定
    MOV     FLAPHC, #07H    ; 消去ブロック・コンペア番号設定（FLAPHと同じ値）
    MOV     FLAPLC, #00H    ; FLAPLCは、“00H”固定

    CALL    !ModeOn        ; セルフ・プログラミング・モードへ移行処理

    ; 消去コマンド実行
    MOV     PFS, #00H      ; フラッシュ・ステータス・レジスタのクリア
    MOV     WDTE, #0ACH    ; WDTをクリア&リスタート
    HALT                    ; セルフ・プログラミング開始

    MOV     A, PFS
    CMP     A, #00H
    BNZ     $StatusError   ; 消去異常を確認
                                ; エラー発生時は、異常終了処理を行う

    CALL    !ModeOff       ; 通常モードへ移行

    ; ブランク・チェック・コマンド設定
    MOV     FLCMD, #04H    ; フラッシュ制御コマンド設定（ブロック・ブランク・チェック）
    MOV     FLAPH, #07H    ; ブランク・チェック・ブロック番号設定（例：ブロック7を指定）
    MOV     FLAPL, #00H    ; FLAPLは、“00H”固定
    MOV     FLAPHC, #07H   ; ブランク・チェック・ブロック・コンペア番号設定（FLAPHと同じ値）
    MOV     FLAPLC, #0FFH  ; FLAPLCは、“FFH”固定

    CALL    !ModeOn        ; セルフ・プログラミング・モードへ移行処理

    ; ブランク・チェック・コマンド実行
    MOV     PFS, #00H      ; フラッシュ・ステータス・レジスタのクリア
    MOV     WDTE, #0ACH    ; WDTをクリア&リスタート
    HALT                    ; セルフ・プログラミング開始

    MOV     A, PFS
    CMP     A, #00H

```

```

BNZ      $StatusError      ; ブランク・チェック異常を確認
                                ; エラー発生時は、異常終了処理を行う。

CALL     !ModeOff           ; 通常モードへ移行

BR       StatusNormal

;-----
;END (異常終了処理); 通常処理に戻る場合は、通常モードへの移行処理を行ってください
;-----

StatusError:

;-----
;END (正常終了処理)
;-----

StatusNormal:

;-----
;セルフ・プログラミング・モードへ移行処理
;-----

ModeOn:
MOV      MK0, #11111111B    ; すべての割り込みをマスク
MOV      FLCMD, #00H        ; FLCMDレジスタをクリア

DI

ModeOnLoop:                  ; 「CPUクロック 1 MHz」と設定しておいてください
MOV      PFS, #00H          ; フラッシュ・ステータス・レジスタをクリア
MOV      PFCMD, #0A5H       ; PFCMDレジスタ制御
MOV      FLPMC, #01H        ; FLPMCレジスタ制御 (設定値)
MOV      FLPMC, #0FEH       ; FLPMCレジスタ制御 (設定値の反転)
MOV      FLPMC, #01H        ; セルフ・プログラミング・モード設定:FLPMCレジスタ制御 (設定値)

NOP
HALT
BT       PFS.0, $ModeOnLoop ; 特定レジスタへの書き込み完了確認
                                ; エラー発生時は、同じ処理を繰り返す。

RET

```

```
;-----  
; 通常モードへ移行処理  
;-----  
ModeOffLoop:  
    MOV    FLCMD, #00H      ; FLCMDレジスタをクリア  
    MOV    EFS, #00H       ; フラッシュ・ステータス・レジスタをクリア  
    MOV    PFCMD, #0A5H    ; PFCMDレジスタ制御  
    MOV    FLPMC, #00H     ; FLPMCレジスタ制御（設定値）  
    MOV    FLPMC, #0FFH    ; FLPMCレジスタ制御（設定値の反転）  
    MOV    FLPMC, #00H     ; 通常モード設定：FLPMCレジスタ制御（設定値）  
  
    BT     EFS.0, $ModeOffLoop; 特定レジスタへの書き込み完了確認  
                                ; エラー発生時は、同じ処理を繰り返す。  
                                ; 特定シーケンスが正常実行したあとに、CPUクロックをセルフ・  
                                ; プログラミング以前の設定に戻してください。  
    MOV    MK0, #INT_MK0   ; 割り込みマスク・フラグを復帰  
  
    EI  
  
    RET
```

(2) 書き込み～内部ペリファイ

書き込み元データの指定

バイト書き込みコマンド指定 (14. 8. 8 ~ )

通常モードからセルフ・プログラミング・モードへ移行 (14. 8. 4 ~ )

バイト書き込みコマンド実行 エラーのチェック (14. 8. 8 ~ )

セルフ・プログラミング・モードから通常モードへ移行 (14. 8. 5 ~ )

全データを書き込むまで, ~ を繰り返す

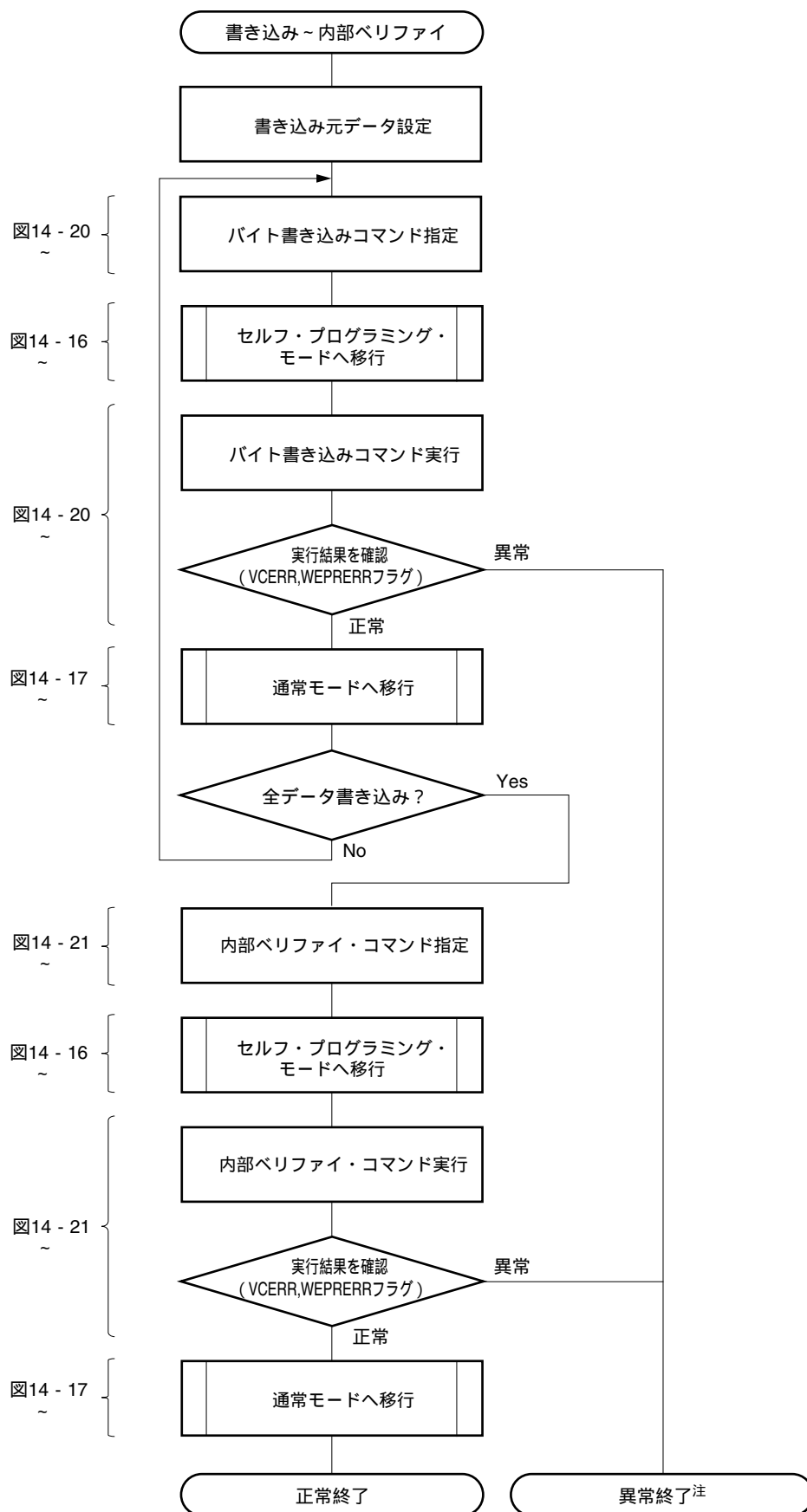
内部ペリファイ・コマンドを指定 (14. 8. 9 ~ )

通常モードからセルフ・プログラミング・モードへ移行 (14. 8. 4 ~ )

内部ペリファイ・コマンド実行 エラーのチェック (14. 8. 9 ~ )

セルフ・プログラミング・モードから通常モードへ移行 (14. 8. 5 ~ )

図14 - 26 割り込み禁止時間を最小にしたい場合の動作例（書き込み～内部ベリファイ）



注 通常処理に戻る場合は、通常モードへの移行処理を行ってください。

備考 図14 - 26の ~ は、14. 8. 11 (2) の ~ (前ページ) と対応しています。

セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例（書き込み～内部ベリファイ）のプログラム例を次に示します。

```

;-----
;START
;-----
; 書き込みコマンド設定

FlashWrite:
    MOVW    HL, #DataAdrTop    ; 書き込みデータのアドレス設定
    MOVW    DE, #WriteAdr     ; 書き込みアドレス設定

FlashWriteLoop:
    MOV     FLCMD, #05H        ; フラッシュ制御コマンド設定（バイト書き込み）
    MOV     A, D
    MOV     FLAPH, A           ; 書き込みアドレス設定
    MOV     A, E
    MOV     FLAPL, A           ; 書き込みアドレス設定
    MOV     A, [HL]
    MOV     FLW, A             ; 書き込みデータ設定

    CALL    !ModeOn           ; セルフ・プログラミング・モードへ移行処理

; 書き込みコマンド実行
    MOV     PFS, #00H          ; フラッシュ・ステータス・レジスタをクリア
    MOV     WDTE, #0ACH        ; WDTをクリア&リスタート
    HALT
    ; セルフ・プログラミング開始
    MOV     A, PFS
    CMP     A, #00H
    BNZ     $StatusError      ; 書き込み異常を確認
    ; エラー発生時は、異常終了処理を行う

    CALL    !ModeOff          ; 通常モードへ移行

    MOV     MK0, #INT_MK0      ; 割り込みマスク・フラグを復帰

EI

; 全データ書き込み判定
    INCW    HL                 ; 書き込みデータのアドレス + 1
    MOVW    AX, HL
    CMPW    AX, #DataAdrBtm    ; 全データの書き込み終了の場合は
    BNC     $FlashVerify       ; 内部ベリファイ処理を行う

```

```

INCW    DE                ; 書き込みアドレス + 1

BR      FlashWriteLoop

; 内部ベリファイ・コマンド設定
FlashVerify:
MOVW    HL, #WriteAdr     ; ベリファイ・アドレス設定

MOV     FLCMD, #02H       ; フラッシュ制御コマンド設定 (内部ベリファイ2)
MOV     A, H
MOV     FLAPH, A         ; ベリファイ開始アドレス設定
MOV     A, L
MOV     FLAPL, A         ; ベリファイ開始アドレス設定
MOV     A, D
MOV     FLAPHC, A        ; ベリファイ終了アドレス設定
MOV     A, E
MOV     FLAPLC, A        ; ベリファイ終了アドレス設定

CALL    !ModeOn          ; セルフ・プログラミング・モードへ移行処理

; 内部ベリファイ・コマンド実行
MOV     PFS, #00H        ; フラッシュ・ステータス・レジスタをクリア
MOV     WDTE, #0ACH      ; WDTをクリア&リスタート
HALT    ; セルフ・プログラミング開始

MOV     A, PFS
CMP     A, #00H
BNZ    $StatusError     ; 内部ベリファイ異常を確認
                        ; エラー発生時は、異常終了処理を行う。

CALL    !ModeOff        ; 通常モードへ移行

BR      StatusNormal

;-----
;END (異常終了処理); 通常処理に戻る場合は、通常モードへの移行処理を行ってください
;-----
StatusError:

;-----
;END (正常終了処理)
;-----
StatusNormal:

```

```

;-----
;セルフ・プログラミング・モードへ移行処理
;-----

ModeOn:
    MOV     MK0, #11111111B    ; すべての割り込みをマスク
    MOV     FLCMD, #00H       ; FLCMDレジスタをクリア

    DI

ModeOnLoop:
; 「CPUクロック 1 MHz」と設定しておいてください
    MOV     PFS, #00H         ; フラッシュ・ステータス・レジスタをクリア
    MOV     PFCMD, #0A5H     ; PFCMDレジスタ制御
    MOV     FLPMC, #01H      ; FLPMCレジスタ制御（設定値）
    MOV     FLPMC, #0FEH     ; FLPMCレジスタ制御（設定値の反転）
    MOV     FLPMC, #01H      ; セルフ・プログラミング・モード設定:FLPMCレジスタ制御（設定値）

    NOP
    HALT
    BT      PFS.0, $ModeOnLoop ; 特定レジスタへの書き込み完了確認
; エラー発生時は、同じ処理を繰り返す。

    RET

;-----
; 通常モードへ移行処理
;-----

ModeOffLoop:
    MOV     FLCMD, #00H      ; FLCMDレジスタをクリア
    MOV     PFS, #00H       ; フラッシュ・ステータス・レジスタをクリア
    MOV     PFCMD, #0A5H    ; PFCMDレジスタ制御
    MOV     FLPMC, #00H     ; FLPMCレジスタ制御（設定値）
    MOV     FLPMC, #0FFH    ; FLPMCレジスタ制御（設定値の反転）
    MOV     FLPMC, #00H     ; 通常モード設定:FLPMCレジスタ制御（設定値）

    BT      PFS.0, $ModeOffLoop; 特定レジスタへの書き込み完了確認
; エラー発生時は、同じ処理を繰り返す。
; 特定シーケンスが正常実行したあとに、CPUクロックをセルフ・
; プログラミング以前の設定に戻してください。

    MOV     MK0, #INT_MK0   ; 割り込みマスク・フラグを復帰

```



```

EI

RET

;-----
;書き込みデータ
;-----
DataAdrTop:
    DB      XXH
    DB      XXH
    DB      XXH
    DB      XXH

    :
    :

    DB      XXH
DataAdrBtm:
;-----

```

**備考** 前述のプログラム例の内部ベリファイは、内部ベリファイ2を使用しています。1ブロック全体をベリファイする場合は、内部ベリファイ1を使用してください。

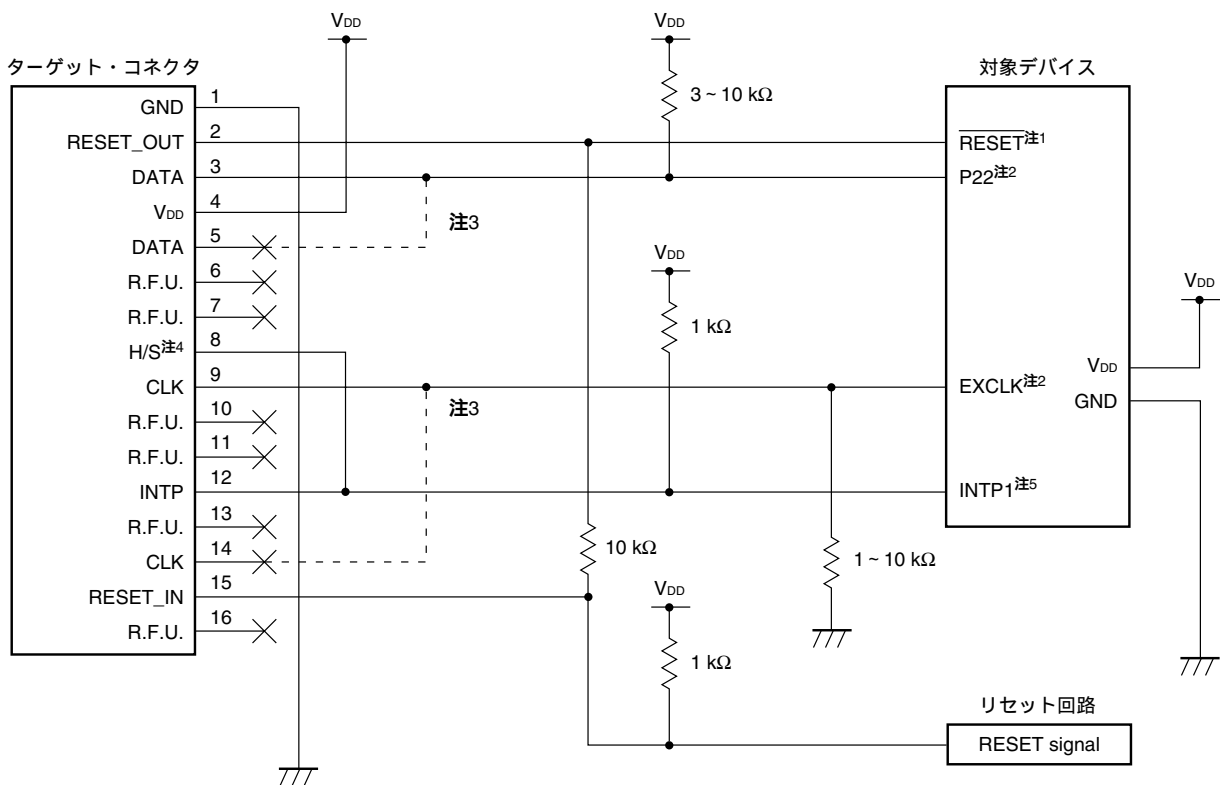
# 第15章 オンチップ・デバッグ機能

## 15.1 QB-MINI2との接続

$\mu$  PD78F9500, 78F9501, 78F9502は、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ (QB-MINI2) を介して、ホスト・マシンとの通信を行う場合、 $\overline{\text{RESET}}$ , EXCLK, P22, INTP1,  $V_{DD}$ , GND端子を使用します。

**注意**  $\mu$  PD78F9500, 78F9501, 78F9502には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図15-1 回路設計例



**注意** 回路接続例中の定数はあくまで参考値です。量産を目的としてフラッシュ・プログラミングを行う場合は、対象デバイスの仕様を満たしているか十分な評価を行ってください。

**注1.**  $\overline{\text{RESET}}$ 端子はデバッグ起動時のモニタ・プログラム・ダウンロードや、強制リセットを実現するために使用します。このため、 $\overline{\text{RESET}}$ 端子と兼用している端子を使用することはできません。リセット端子の処理の詳細については、QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。

- 注2. ターゲット・システムでEXCLK, P22端子を使用しない場合の端子接続を掲載しています。EXCLK, P22端子を使用する場合は15. 1. 2 EXCLK, P22端子の処理を参照してください。
3. 点線部が接続されていても問題ありません。
  4. デバッグ時, Run-Break間の時間測定の精度を上げるために接続しています。接続しない場合, デバッグは可能ですが, 時間測定の誤差が数msの単位で生じます。
  5. INTP1端子はデバッグ時に対象デバイスと通信を行うために使用します。このため, QB-MINI2でデバッグする場合は, INTP1端子, およびその兼用端子を使用することはできません。INTP1端子の処理については, 15. 1. 1 INTP1端子の処理を参照してください。

モニタ・プログラム書き込み前後で通信に必要な端子が異なります(表15 - 1参照)。モニタ・プログラム書き込み後は, EXCLK, P22端子を入出力ポート, 発振端子として使用できます。

表15 - 1 QB-MINI2との通信に必要な端子

モニタ前	モニタ後
EXCLK, P22, $\overline{\text{RESET}}$ , INTP1, $V_{DD}$ , $V_{SS}$	$\overline{\text{RESET}}$ , INTP1, $V_{DD}$ , $V_{SS}$

### 15. 1. 1 INTP1端子の処理

INTP1端子はデバッグ時のみQB-MINI2と対象デバイスとの通信用に使用します。このため, 以下のケースに応じて適切な回路設計を行ってください。

- (1) ターゲット・システムでINTP1端子を使用しない場合(図15 - 1参照)

図15 - 2を参照

- (2) QB-MINI2をデバッグ用に使用せず, プログラミング用にのみ使用する場合

図15 - 3を参照

- (3) QB-MINI2をデバッグ用に使用し, かつINTP1端子のデバッグを実機のみで行う場合

図15 - 4を参照

図15 - 2 ターゲット・システムでINTP1端子を使用しない場合

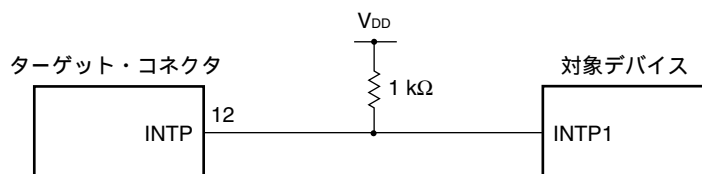
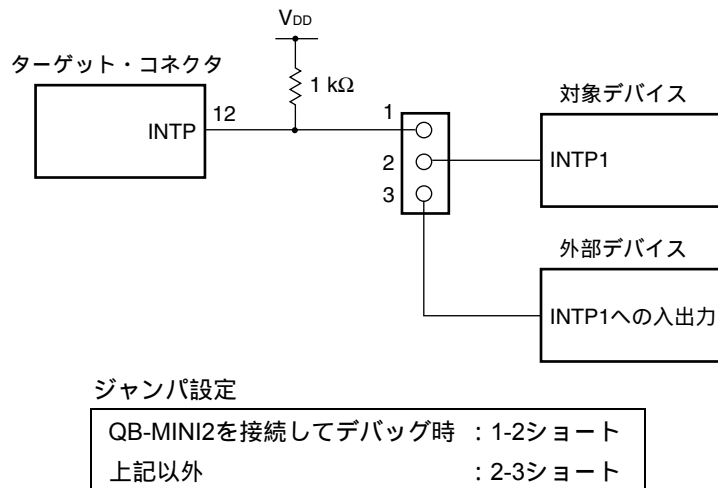


図15 - 3 QB-MINI2をプログラミング用にのみ使用する場合



図15 - 4 QB-MINI2をデバッグ用に使用し、かつINTP1端子のデバッグを実機のみで行う場合

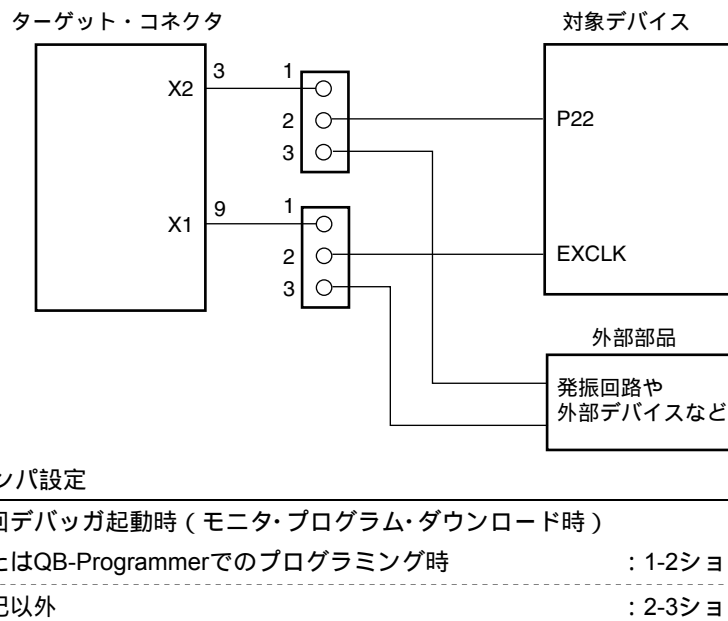


**注意** QB-MINI2を使用せずに、実機のみを動作させてデバッグする場合、ユーザ・プログラムはQB-Programmerで書き込んでください。デバッガでダウンロードしたプログラムには、モニタ・プログラムが組み込まれており、QB-MINI2からの制御がないと誤動作するためです。

### 15. 1. 2 EXCLK, P22端子の処理

EXCLK, P22端子は初回デバッグ起動時（モニタ・プログラム・ダウンロード時）、およびQB-Programmerによるプログラミング時に使用します。

図15 - 5 EXCLK, P22端子を使用する場合



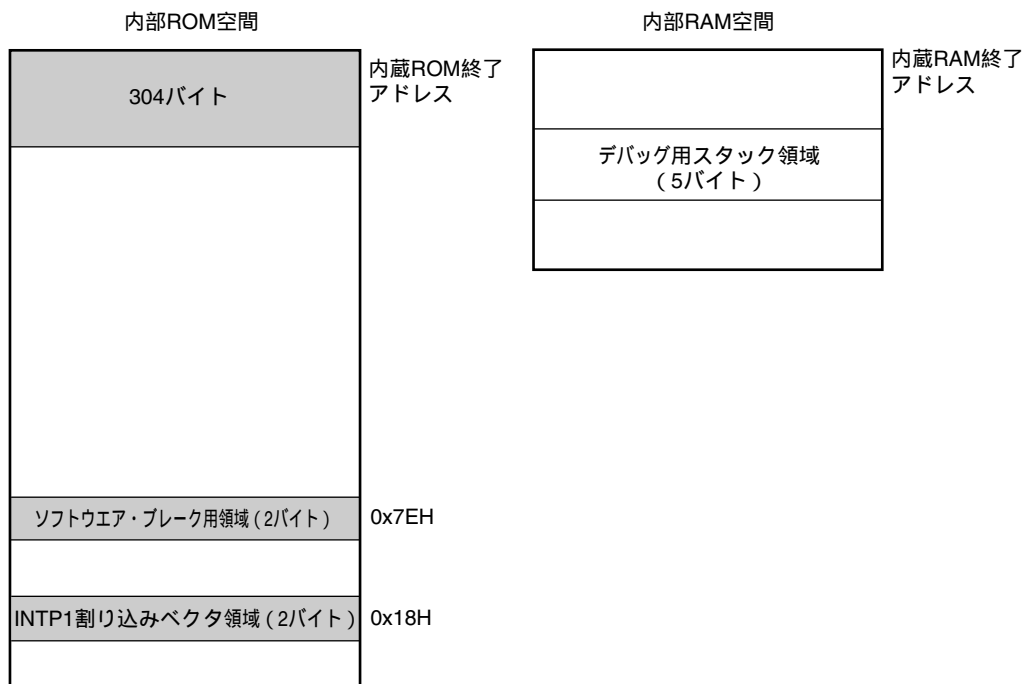
## 15.2 ユーザ資源の確保

QB-MINI2は対象デバイスとの通信，または各デバッグ機能を実現するために下記の準備を行う必要があります。これらは，ユーザ・プログラムで設定する必要があります。設定の詳細は，QB-MINI2 **ユーザズ・マニュアル** (U18371J) を参照してください。

### ・メモリ空間の確保

図15 - 6のグレーで記述した領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムを配置できない空間です。

図15 - 6 デバッグ用モニタ・プログラムが配置されるメモリ空間



### ・通信用インタフェースの確保

対象デバイスとの通信用に使用するINTP1端子に関するレジスタ設定を，デバッグ用モニタ・プログラムが設定する値から変更しないようにする必要があります。

## 第16章 命令セットの概要

$\mu$  PD78F9500, 78F9501, 78F9502の命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編 (U11047J) を参照してください。

### 16.1 オペレーション

#### 16.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[ ]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミディエト・データ指定
- ・! : 絶対アドレス指定
- ・\$ : 相対アドレス指定
- ・[ ] : 間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[ ]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表16-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-3 特殊機能レジスタ一覧を参照してください。

### 16.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
( )	: ( ) 内のアドレスまたはレジスタの内容で示されるメモリの内容
x <sub>H</sub> , x <sub>L</sub>	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

### 16.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

## 16.2 オペレーション一覧

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
[HL + byte], A	2	6	(HL + byte) A				
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。



二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (laddr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (laddr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (laddr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (laddr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A <sub>7</sub> A <sub>0</sub> , A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
ROL	A, 1	1	2	(CY, A <sub>0</sub> A <sub>7</sub> , A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
RORC	A, 1	1	2	(CY A <sub>0</sub> , A <sub>7</sub> CY, A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
ROLC	A, 1	1	2	(CY A <sub>7</sub> , A <sub>0</sub> CY, A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	$CY \overline{CY}$			x
CALL	laddr16	3	6	$(SP - 1) (PC + 3)_H, (SP - 2) (PC + 3)_L,$ PC addr16, SP SP - 2			
CALLT	[ addr5 ]	1	8	$(SP - 1) (PC + 1)_H, (SP - 2) (PC + 1)_L,$ $PC_H (00000000, addr5 + 1),$ $PC_L (00000000, addr5),$ SP SP - 2			
RET		1	6	$PC_H (SP + 1), PC_L (SP),$ SP SP + 2			
RETI		1	8	$PC_H (SP + 1), PC_L (SP),$ PSW (SP + 2), SP SP + 3	R	R	R
PUSH	PSW	1	2	$(SP - 1) PSW, SP SP - 1$			
	rp	1	4	$(SP - 1) rp_H, (SP - 2) rp_L,$ SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	$rp_H (SP + 1), rp_L (SP),$ SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	laddr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	$PC_H A, PC_L X$			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if ( saddr.bit ) = 0			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$addr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$addr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$addr16	3	8	( saddr ) ( saddr ) - 1, then PC PC + 3 + jdisp8 if ( saddr ) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 ( Enable Interrupt )			
DI		3	6	IE 0 ( Disable Interrupt )			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

### 16.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC, ROLC, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[ DE ]	[ HL ]	[ HL + byte ]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV <sup>注</sup> XCH <sup>注</sup>	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[ DE ]		MOV											
[ HL ]		MOV											
[ HL + byte ]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp <sup>注</sup>	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW <sup>注</sup>				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[ HL ] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ

第2オペランド 第1オペランド	AX	!addr16	[ addr5 ]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET, RETI, NOP, EI, DI, HALT, STOP



## 第17章 電気的特性

### 絶対最大定格 (TA = 25 )

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		- 0.3 ~ + 6.5	V
	V <sub>SS</sub>		- 0.3 ~ + 0.3	V
入力電圧	V <sub>I</sub>	P20-P23, P32, P34, P40, P43	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
出力電圧	V <sub>O</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
アナログ入力電圧	V <sub>AN</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
ハイ・レベル出力電流	I <sub>OH</sub>	1端子	- 10.0	mA
		P20-P23, P32, P40, P43の端子合計	- 44.0	mA
ロウ・レベル出力電流	I <sub>OL</sub>	1端子	20.0	mA
		P20-P23, P32, P40, P43の端子合計	44.0	mA
動作周囲温度	T <sub>A</sub>	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時		
保存温度	T <sub>stg</sub>	フラッシュ・メモリ・ブランク状態	- 65 ~ + 150	
		フラッシュ・メモリ・プログラミング済み	- 40 ~ + 125	

注 6.5 V以下であること

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。  
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

発振回路特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V<sup>注1</sup>, VSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
外部 クロック		外部メイン・システム・	2.7 V VDD 5.5 V	2.0		10.0	MHz
		クロック周波数 (fEXCLK) <sup>注2</sup>	2.0 V VDD < 2.7 V	2.0		5.0	
		外部メイン・システム・	2.7 V VDD 5.5 V	0.045		0.25	μs
		クロック入力ハイ、ロ ウ・レベル幅 (tEXCLKH, tEXCLKL)	2.0 V VDD < 2.7 V	0.09		0.25	

注1. パワーオン・クリア (POC) 回路の検出電圧 (VPOC) が 2.1 V ± 0.1 V のため、2.2 ~ 5.5 V の電圧範囲で使用してください。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

高速内蔵発振回路特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V<sup>注1</sup>, VSS = 0 V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
高速内蔵発振器	発振周波数 <sup>注2</sup>	2.7 V VDD 5.5 V	TA = -10 ~ +85		± 2	%
			TA = -40 ~ +85		± 5	%
		2.0 V VDD < 2.7 V		5.5		MHz

注1. パワーオン・クリア (POC) 回路の検出電圧 (VPOC) が 2.1 V ± 0.1 V のため、2.2 ~ 5.5 V の電圧範囲で使用してください。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

低速内蔵発振回路特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V<sup>注</sup>, VSS = 0 V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
低速内蔵発振器	発振周波数 (fRL)		120	240	480	kHz

注 パワーオン・クリア (POC) 回路の検出電圧 (VPOC) が 2.1 V ± 0.1 V のため、2.2 ~ 5.5 V の電圧範囲で使用してください。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V<sup>注</sup> , VSS = 0 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	IOH	1端子	2.0 V VDD 5.5 V			- 5	mA
		全端子合計	4.0 V VDD 5.5 V			- 25	mA
			2.0 V VDD < 4.0 V			- 15	mA
ロウ・レベル出力電流	IOL	1端子	2.0 V VDD 5.5 V			10	mA
		全端子合計	4.0 V VDD 5.5 V			30	mA
			2.0 V VDD < 4.0 V			15	mA
ハイ・レベル入力電圧	VIH1			0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1			0		0.2 VDD	V
ハイ・レベル出力電圧	VOH	出力端子合計 IOH = - 15 mA	4.0 V VDD 5.5 V IOH = - 5 mA	VDD - 1.0			V
		IOH = - 100 μA	2.0 V VDD < 4.0 V	VDD - 0.5			V
ロウ・レベル出力電圧	VOL	出力端子合計 IOL = 30 mA	4.0 V VDD 5.5 V IOL = 10 mA			1.3	V
		2.0 V VDD < 4.0 V IOL = 400 μA				0.4	V
ハイ・レベル入力リーク電流	IUIH	VI = VDD	EXCLK以外の端子			1	μA
ロウ・レベル入力リーク電流	IUIL	VI = 0 V	EXCLK以外の端子			- 1	μA
ハイ・レベル出力リーク電流	ILOH	VO = VDD	EXCLK以外の端子			1	μA
ロウ・レベル出力リーク電流	ILOL	VO = 0 V	EXCLK以外の端子			- 1	μA
プルアップ抵抗値	RPU	VI = 0 V		10	30	100	k
		VI = 0 V (P34, リセット状態)		10	30	100	k

注 パワーオン・クリア (POC) 回路特性の検出電圧 (VPOC) が2.1 V ± 0.1 Vのため、2.2 ~ 5.5 Vの電圧範囲で使用してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V<sup>注1</sup> , VSS = 0 V) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 <sup>注2</sup>	IDD1 <sup>注3</sup>	外部クロック入力 発振動作モード <sup>注6</sup>	fx = 10 MHz VDD = 5.0 V ± 10 % <sup>注4</sup>		6.1	12.2	mA	
			fx = 6 MHz VDD = 5.0 V ± 10 % <sup>注4</sup>		5.5	11.0		
			fx = 5 MHz VDD = 3.0 V ± 10 % <sup>注5</sup>		3.0	6.0		
	IDD2	外部クロック入力 発振HALTモード <sup>注6</sup>	fx = 10 MHz VDD = 5.0 V ± 10 % <sup>注4</sup>	周辺機能停止時		1.7	3.8	mA
				周辺機能動作時			6.7	
			fx = 6 MHz VDD = 5.0 V ± 10 % <sup>注4</sup>	周辺機能停止時		1.3	3.0	mA
				周辺機能動作時			6.0	
			fx = 5 MHz VDD = 3.0 V ± 10 % <sup>注5</sup>	周辺機能停止時	fx	0.48	1	mA
				周辺機能動作時			2.1	
	IDD3 <sup>注3</sup>	高速内蔵発振器 動作モード <sup>注7</sup>	fx = 8 MHz VDD = 5.0 V ± 10 % <sup>注4</sup>			5.0	10.0	mA
	IDD4	高速内蔵発振器 HALTモード <sup>注7</sup>	fx = 8 MHz VDD = 5.0 V ± 10 % <sup>注4</sup>	周辺機能停止時		1.4	3.2	mA
				周辺機能動作時			5.9	
IDD5	STOPモード	VDD = 5.0 V ± 10 %	低速内蔵発振器停止時		3.5	20.0	μA	
			低速内蔵発振器動作時		17.5	32.0		
		VDD = 3.0 V ± 10 %	低速内蔵発振器停止時		3.5	15.5	μA	
			低速内蔵発振器動作時		11.0	26.0		

注1. パワーオン・クリア (POC) 回路特性の検出電圧 (VPOC) が2.1 V ± 0.1 Vのため、2.2 ~ 5.5 Vの電圧範囲で使用してください。

- 内部電源 (VDD) に流れるトータル電流です。周辺動作電流を含みます (ただし、ポートのプルアップ抵抗に流れる電流は含みません)。
- 周辺動作電流を含みます。
- プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき。
- プロセッサ・クロック・コントロール・レジスタ (PCC) = 02Hに設定したとき。
- オプション・バイトでシステム・クロック・ソースを外部クロック入力に選択したとき。
- オプション・バイトでシステム・クロック・ソースを高速内蔵発振クロックに選択したとき。

AC特性

基本動作 (TA = -40 ~ +85 , VDD = 2.0 ~ 5.5 V<sup>注</sup> , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
サイクル・タイム (最小命令実行時間)	TCY	外部クロック入力	4.0 V VDD 5.5 V	0.2		16	μs
			3.0 V VDD < 4.0 V	0.33		16	μs
			2.7 V VDD < 3.0 V	0.4		16	μs
			2.0 V VDD < 2.7 V	1		16	μs
		高速内蔵発振クロック	4.0 V VDD 5.5 V	0.23		4.22	μs
			2.7 V VDD < 4.0 V	0.47		4.22	μs
2.0 V VDD < 2.7 V	0.95			4.22	μs		
割り込み入力 ハイ/ロウ・レベル幅	tINTH, tINTL		1			μs	
RESET 入力 ロウ・レベル幅	trSL		2			μs	

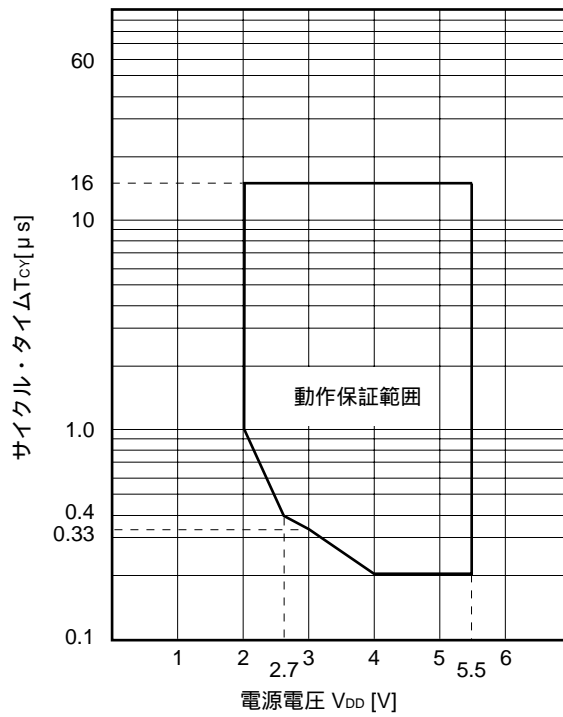
注 パワーオン・クリア (POC) 回路特性の検出電圧 (VPOC) が2.1 V ± 0.1 Vのため、2.2 ~ 5.5 Vの電圧範囲で使用してください。

CPUクロック, 周辺クロック周波数

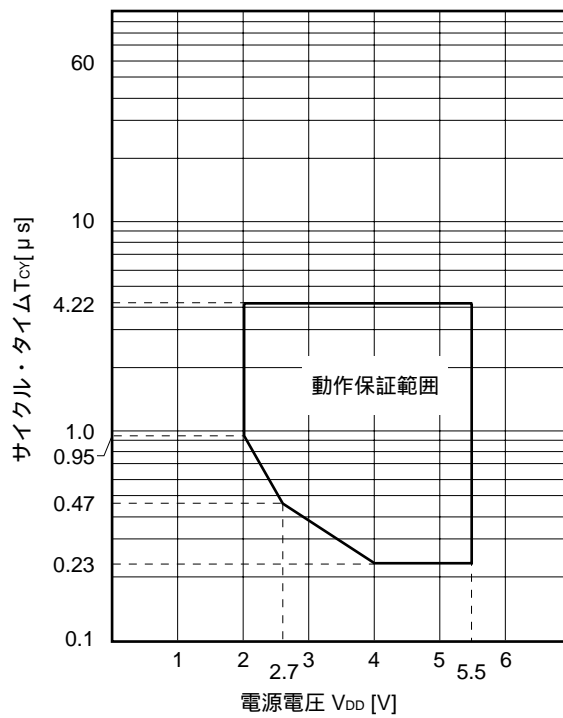
項目	条件	CPUクロック (fCPU)	周辺クロック (fXP)
外部クロック	4.0 ~ 5.5V	125 kHz fCPU 10 MHz	500 kHz fXP 10 MHz
	3.0 ~ 4.0V	125 kHz fCPU 6 MHz	
	2.7 ~ 3.0V	125 kHz fCPU 5 MHz	
	2.0 ~ 2.7V <sup>注</sup>	125 kHz fCPU 2 MHz	500 kHz fXP 5 MHz
高速内蔵発振器	4.0 ~ 5.5V	500 kHz (TYP.) fCPU 8 MHz (TYP.)	2 MHz (TYP.) fXP 8 MHz (TYP.)
	2.7 ~ 4.0V	500 kHz (TYP.) fCPU 4 MHz (TYP.)	
	2.0 ~ 2.7V <sup>注</sup>	500 kHz (TYP.) fCPU 2 MHz (TYP.)	2 MHz (TYP.) fXP 4 MHz (TYP.)

注 パワーオン・クリア (POC) 回路の検出電圧 (VPOC) が2.1 V ± 0.1 Vのため、2.2 ~ 5.5 Vの電圧範囲で使用してください。

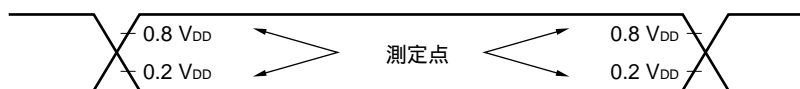
$T_{CY}$  vs.  $V_{DD}$  (外部クロック入力)



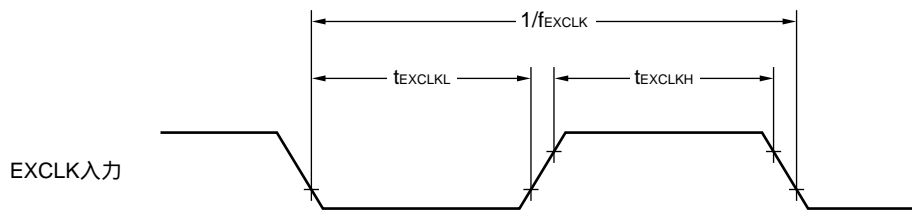
$T_{CY}$  vs.  $V_{DD}$  (高速内蔵発振クロック)



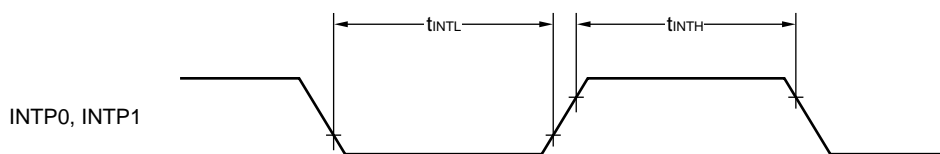
ACタイミング測定点 (EXCLK入力を除く)



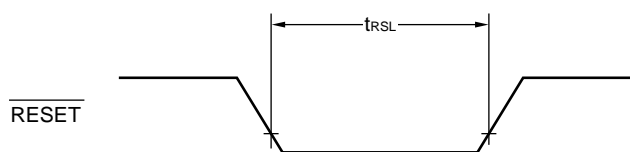
クロック・タイミング



割り込み入力タイミング



RESET 入力タイミング



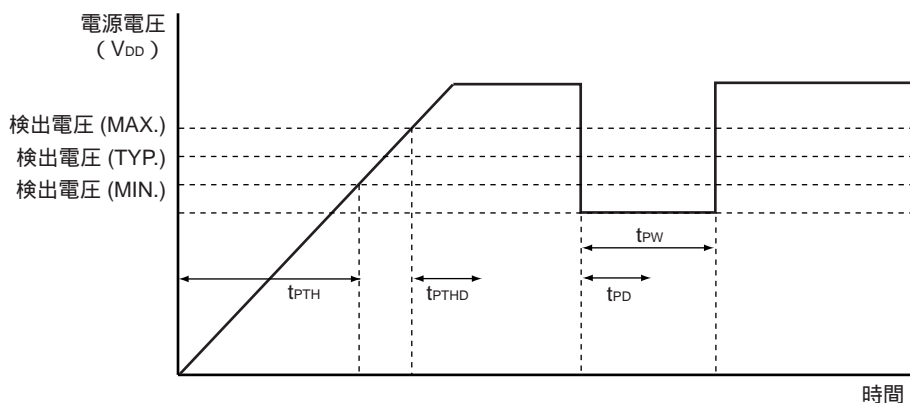
POC回路特性 (  $T_A = -40 \sim +85$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	$V_{POC}$		2.0	2.1	2.2	V
電源立ち上げ時間	$t_{PTH}$	$V_{DD} : 0V \rightarrow 2.1V$	1.5			$\mu s$
応答遅延時間 <sup>注1</sup>	$t_{PTHd}$	電源立ち上げ時, 検出電圧 (MAX.) に達したあと			3.0	ms
応答遅延時間 <sup>注2</sup>	$t_{PD}$	電源降下時			1.0	ms
最小パルス幅	$t_{PW}$		0.2			ms

注1. 検出電圧を検出してから, 内部リセットを解除するまでの時間です。

2. 検出電圧を検出してから, 内部リセット信号を発生するまでの時間です。

POC回路タイミング





LVI回路特性 (TA = -40 ~ +85 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>LV10</sub>		4.1	4.3	4.5	V
	V <sub>LV11</sub>		3.9	4.1	4.3	V
	V <sub>LV12</sub>		3.7	3.9	4.1	V
	V <sub>LV13</sub>		3.5	3.7	3.9	V
	V <sub>LV14</sub>		3.3	3.5	3.7	V
	V <sub>LV15</sub>		3.15	3.3	3.45	V
	V <sub>LV16</sub>		2.95	3.1	3.25	V
	V <sub>LV17</sub>		2.7	2.85	3.0	V
	V <sub>LV18</sub>		2.5	2.6	2.7	V
	V <sub>LV19</sub>		2.25	2.35	2.45	V
応答時間 <sup>注1</sup>	t <sub>LD</sub>			0.2	2.0	ms
最小パルス幅	t <sub>LW</sub>		0.2			ms
動作安定待ち時間 <sup>注2</sup>	t <sub>LWAIT</sub>			0.1	0.2	ms

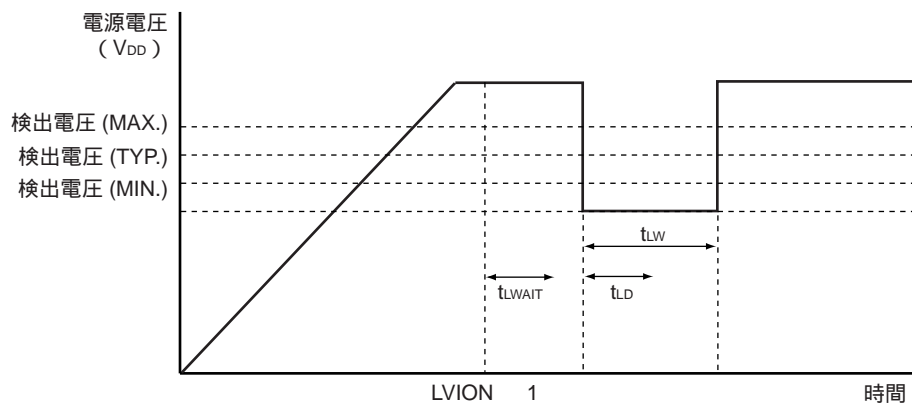
注1. 検出電圧を検出してから割り込みまたは内部リセット信号を発生するまでの時間です。

2. LVIONに1を設定してから、動作が安定するまでの時間です。

備考1. V<sub>LV10</sub> > V<sub>LV11</sub> > V<sub>LV12</sub> > V<sub>LV13</sub> > V<sub>LV14</sub> > V<sub>LV15</sub> > V<sub>LV16</sub> > V<sub>LV17</sub> > V<sub>LV18</sub> > V<sub>LV19</sub>

2. V<sub>POC</sub> < V<sub>LVm</sub> (m=0-9)

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		2.0		5.5	V
リリース信号セット時間	t <sub>SREL</sub>		0			μs

フラッシュ・メモリ・プログラミング特性 (TA = -40 ~ +85 , 2.7 V VDD 5.5 V , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	IDD	VDD = 5.5 V			7.0	mA
消去回数 <sup>注1</sup> (1ブロック当たり)	NERASE	TA = -40 ~ +85	1000			回
チップ消去時間	TCERASE	TA = -10 ~ +85 , NERASE 100	4.5 V VDD 5.5 V		0.8	s
			3.5 V VDD < 4.5 V		1.0	s
			2.7 V VDD < 3.5 V		1.2	s
		TA = -10 ~ +85 , NERASE 1000	4.5 V VDD 5.5 V		4.8	s
			3.5 V VDD < 4.5 V		5.2	s
			2.7 V VDD < 3.5 V		6.1	s
		TA = -40 ~ +85 , NERASE 100	4.5 V VDD 5.5 V		1.6	s
			3.5 V VDD < 4.5 V		1.8	s
			2.7 V VDD < 3.5 V		2.0	s
		TA = -40 ~ +85 , NERASE 1000	4.5 V VDD 5.5 V		9.1	s
			3.5 V VDD < 4.5 V		10.1	s
			2.7 V VDD < 3.5 V		12.3	s
ブロック消去時間	TBERASE	TA = -10 ~ +85 , NERASE 100	4.5 V VDD 5.5 V		0.4	s
			3.5 V VDD < 4.5 V		0.5	s
			2.7 V VDD < 3.5 V		0.6	s
		TA = -10 ~ +85 , NERASE 1000	4.5 V VDD 5.5 V		2.6	s
			3.5 V VDD < 4.5 V		2.8	s
			2.7 V VDD < 3.5 V		3.3	s
		TA = -40 ~ +85 , NERASE 100	4.5 V VDD 5.5 V		0.9	s
			3.5 V VDD < 4.5 V		1.0	s
			2.7 V VDD < 3.5 V		1.1	s
		TA = -40 ~ +85 , NERASE 1000	4.5 V VDD 5.5 V		4.9	s
			3.5 V VDD < 4.5 V		5.4	s
			2.7 V VDD < 3.5 V		6.6	s
バイト書き込み時間	TWRITE	TA = -40 ~ +85 , NERASE 1000			150	μs
内部ベリファイ	TVERIFY	1ブロック当たり			6.8	ms
		1バイト当たり			27	μs
ブランク・チェック	TBLKCHK	1ブロック当たり			480	μs
保持年数		TA = 85 <sup>注2</sup> , NERASE 1000	10			年

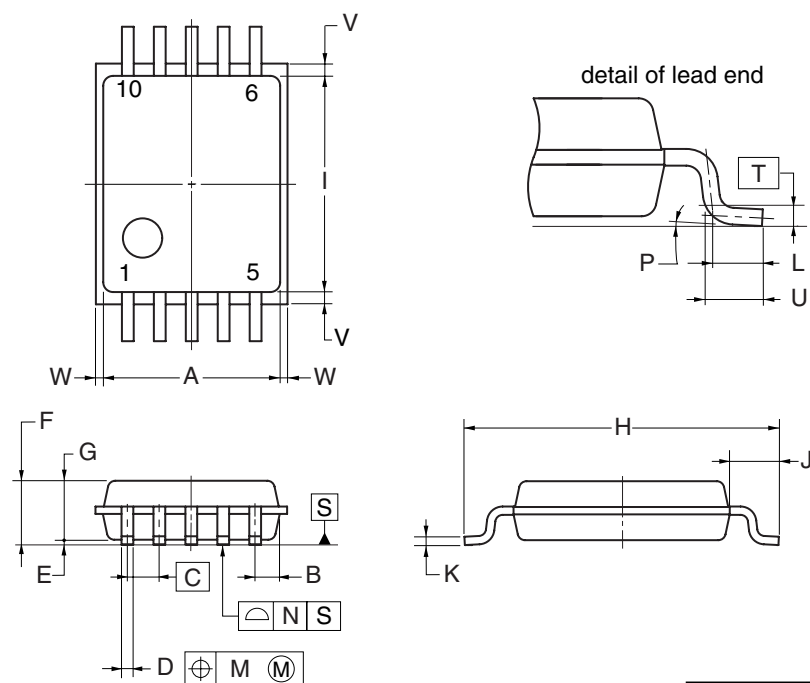
注1. 消去回数 (NERASE) により、消去時間が変わります。チップ消去時間、ブロック消去時間の項目を参照してください。

2. 動作時、非動作時の平均温度が85 の場合。

備考 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

## 第18章 外形図

### 10-PIN PLASTIC SSOP (5.72 mm (225))



(UNIT:mm)

ITEM	DIMENSIONS
A	3.60±0.10
B	0.50
C	0.65 (T.P.)
D	0.24±0.08
E	0.10±0.05
F	1.45 MAX.
G	1.20±0.10
H	6.40±0.20
I	4.40±0.10
J	1.00±0.20
K	0.17 <sup>+0.08</sup> <sub>-0.07</sub>
L	0.50
M	0.13
N	0.10
P	3° <sup>+5°</sup> <sub>-3°</sub>
T	0.25 (T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P10MA-65-CAC

#### NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

## 第19章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

**注意** オーダ名称末尾「-A」の製品は、鉛フリー製品です。

表19 - 1 表面実装タイプの半田付け条件

・10ピン・プラスチックSSOP（鉛フリー製品）

μ PD78F9500MA-CAC-A, 78F9501MA-CAC-A, 78F9502MA-CAC-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 <sup>※</sup> （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
ウェーブ・ソルダーリング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

**注意** 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

## 付録A 開発ツール

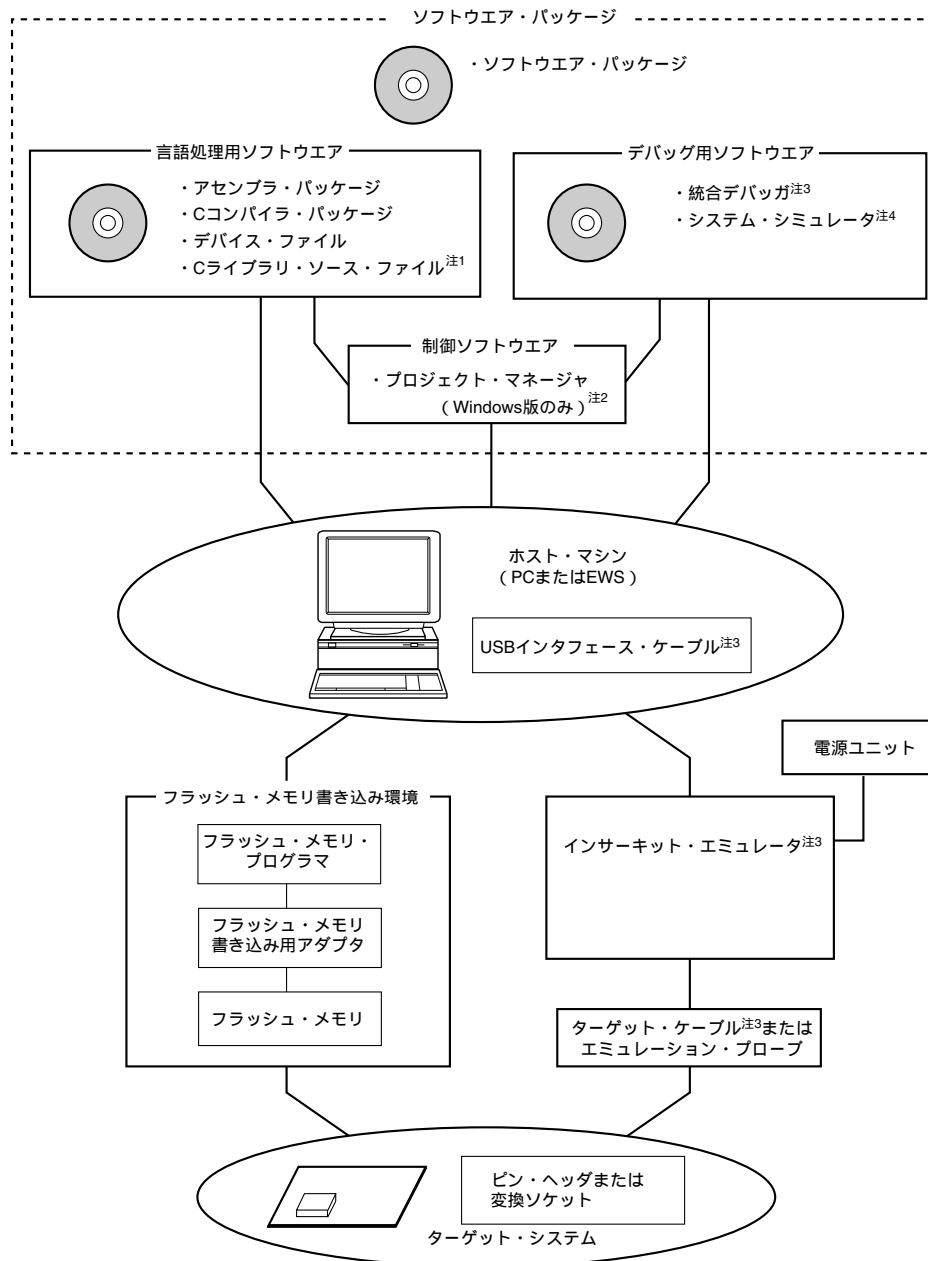
$\mu$  PD78F9500, 78F9501, 78F9502を使用するシステム開発のために次のような開発ツールを用意しております。  
図A - 1に開発ツール構成を示します。

### PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT<sup>TM</sup>互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0SKX1を使用する場合



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

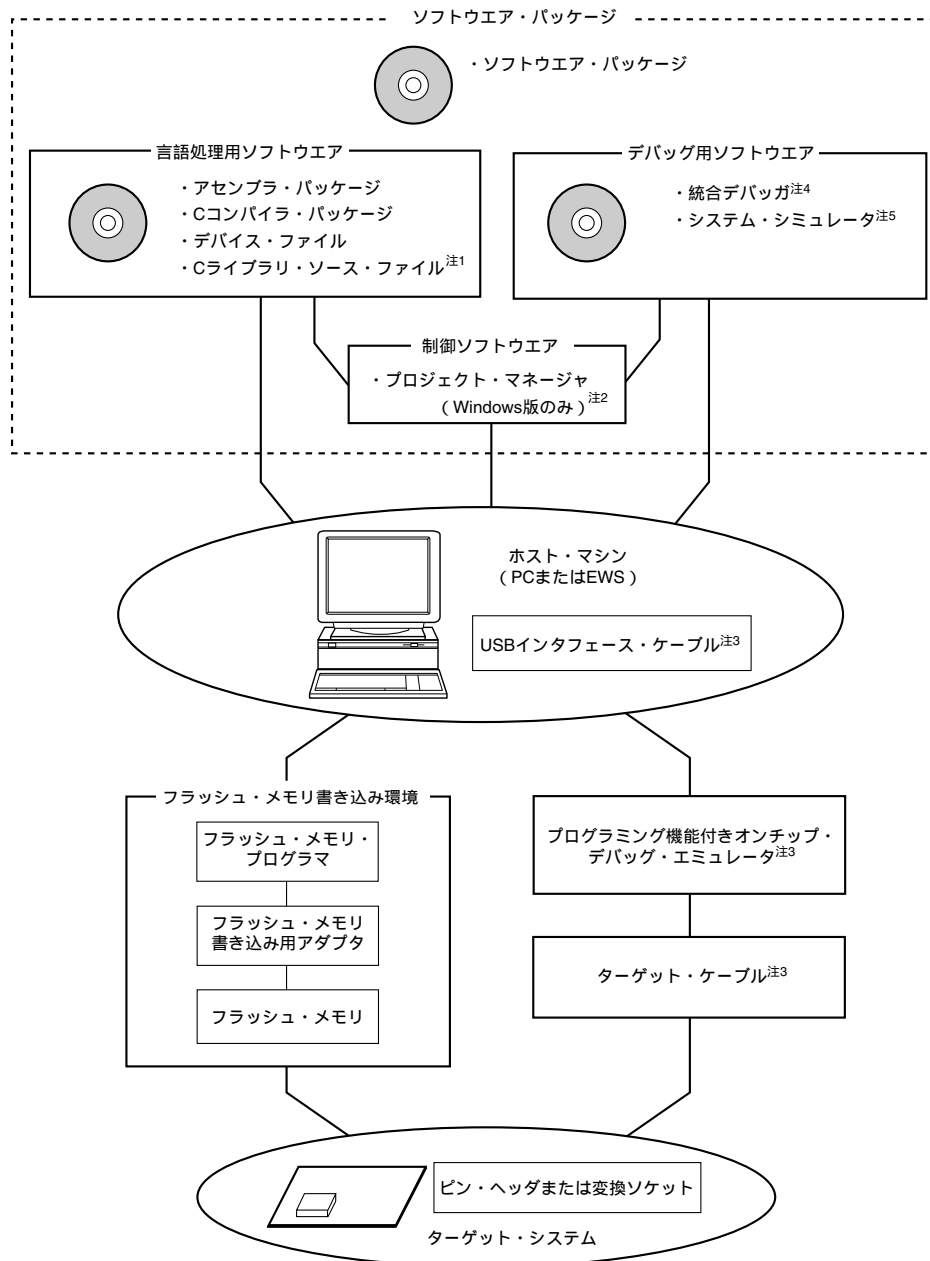
2. プロジェクト・マネージャPM+は、アセンブラ・パッケージに入っています。  
またWindows<sup>®</sup>以外ではPM+は使用しません。

3. インサーキット・エミュレータQB-78K0SKX1は、統合デバッガID78K0S-QB、プログラミング機能付きオンチップ・デバッグ・エミュレータQB-MINI2、USBインタフェース・ケーブル、電源ユニット、ターゲット・ケーブルを添付しています。それ以外の製品はオプションです。

4. μPD78F9500, 78F9501, 78F9502の対応版は開発中です。

図A - 1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャPM+は、アセンブラ・パッケージに入っています。  
またWindows以外ではPM+は使用しません。

3. プログラミング機能付きオンチップ・デバッグ・エミュレータQB-MINI2は、USBインタフェース・ケーブル、ターゲット・ケーブルを添付しています

4. 統合デバッガID78K0S-QBは、プログラミング機能付きオンチップ・デバッグ・エミュレータQB-MINI2に含まれません。

統合デバッガID78K0S-QBIは、下記のWEBサイトをご利用ください。

<http://www.necel.com/micro/ods/jpn>

5. μPD78F9500, 78F9501, 78F9502の対応版は開発中です。

## A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K/0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 次のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM+ for 78K0S/Kx1+ <sup>注1</sup> , SM78K0S <sup>注2</sup> , デバイス・ファイル各種 <sup>注3</sup>
	オーダ名称: $\mu S \times \times \times \times$ SP78K0S

注1. SM+ for 78K0S/Kx1+は, SP78K0S Ver2.00以前には含まれていません。

2. SM78K0Sは, 78K0S/Kx1+には対応していません。

3. DF789234は, SP78K0S Ver2.00以前には含まれていません。

備考 オーダ名称の $\times \times \times \times$ は, 使用するOSにより異なります。

$\mu S \times \times \times \times$  SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

## A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに, シンボル・テーブルの生成, 分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789234) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが, Windows上でPM+ (アセンブラ・パッケージに含まれています) を使用することにより, Windows環境でも使用できます。
	オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789234) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが, Windows上でPM+ (アセンブラ・パッケージに含まれています) を使用することにより, Windows環境でも使用できます。
	オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789234 <sup>注1</sup> デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-QB, SM+ for 78K0S/Kx1+と組み合わせて使用します。
	オーダ名称: $\mu S \times \times \times \times$ DF789234
CC78K0S-L <sup>注2</sup> Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。ソース・ファイルのため, 動作環境はOSに依存しません。
	オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L



- 注1. DF789234は、RA78K0S, CC78K0S, ID78K0S-QB, SM+ for 78K0S/Kx1+のすべての製品に共通に使用できません。
2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3P17	HP9000シリーズ700 <sup>TM</sup>	HP-UX <sup>TM</sup> (Rel.10.10)	
3K17	SPARCstation <sup>TM</sup>	SunOS <sup>TM</sup> (Rel.4.1.4) , Solaris <sup>TM</sup> (Rel.2.5.1)	

μS××××DF789234

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ,	日本語Windows	3.5インチ2HD FD
BB13	IBM PC/AT互換機	英語Windows	

### A. 3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM+上から、エディタの起動、ビルド、デバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <b>&lt;注意&gt;</b> PM+はアセンブラ・パッケージ (RA78K0S) の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

### A. 4 フラッシュ・メモリ書き込み用ツール

FlashPro4 (FL-PR4, PG-FP4) FlashPro5 (FL-PR5, PG-FP5) フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマ
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。また、オール・フラッシュ・マイコン (78K0S/Kx1+を含む) を使用した応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。
FA-78F9202MA-CAC-MX フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

備考 FL-PR4, FL-PR5, FA-78F9202MA-CAC-MXは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (042) 750-4172)

## A. 5 デバッグ用ツール（ハードウェア）

### A. 5.1 インサーキット・エミュレータ QB-78K0SKX1を使用する場合

QB-78K0SKX1 インサーキット・エミュレータ	78K0S/Kx1+シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータ。付属の統合デバッガ（ID78K0S-QB）に対応しています。付属のACアダプタ、ターゲット・ケーブルおよび、ホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
QB-50-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-10MA-EA-01T エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。
QB-10MA-NQ-01T ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。
ターゲット・システム側ピン・ヘッダの仕様（ターゲット・ケーブル使用時）	0.635 mm × 0.635 mm（高さ：6 mm）

### A. 5.2 オンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	オール・フラッシュ・マイコン（78K0S/Kx1+を含む）を使用した応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。また、フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
ターゲット・システム側ピン・ヘッダの仕様	2.54 mmピッチの16ピン汎用コネクタ

## A. 6 デバッグ用ツール（ソフトウェア）

ID78K0S-QB （QB-78K0SKX1、QB-MINI2に 対応） 統合デバッガ（付属品）	78K0S/Kx1+シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID78K0S-QBは、Windowsベースのソフトウェアです。C言語対応のデバッグ機能、ソース・プログラムや逆アセンブル表示、メモリ表示することができます。別売のデバイス・ファイル（DF789234）と組み合わせて使用します。インサーキット・エミュレータQB-78K0SKX1に付属しています。 オーダー名称：μS × × × ID78K0S-QB（非売品）
SM+ for 78K0S/Kx1+ <sup>注1</sup> システム・シミュレータ	78K0Sシリーズ用のシステム・シミュレータです。SM+ for 78K0S/Kx1+は、Windowsベースのソフトウェアです。ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。SM+ for 78K0S/Kx1+を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。別売のデバイス・ファイル（DF789234）と組み合わせて使用します。 オーダー名称：μS × × × SM789234-B
DF789234 <sup>注2</sup> デバイス・ファイル	デバイス固有の情報が入ったファイルです。別売のRA78K0S、CC78K0S、ID78K0S-QB、SM+ for 78K0S/Kx1+と組み合わせて使用します。 オーダー名称：μS × × × DF789234

注1. μPD78F9500, 78F9501, 78F9502の対応版は開発中です。

2. DF789234は、RA78K0S、CC78K0S、ID78K0S-QB、SM+ for 78K0S/Kx1+のすべての製品に共通に使用できません。

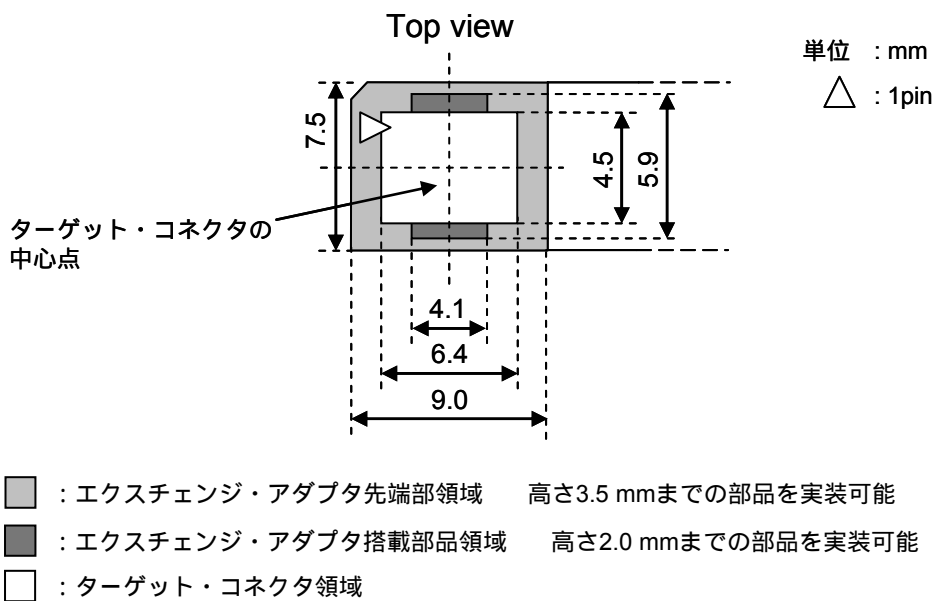
## 付録B ターゲット・システム設計上の注意

この章ではQB-78K0SKX1を使用する場合のターゲット・システム設計上の注意として、ターゲット・システム上の部品実装禁止領域、部品実装高さの制限がある領域を示します。

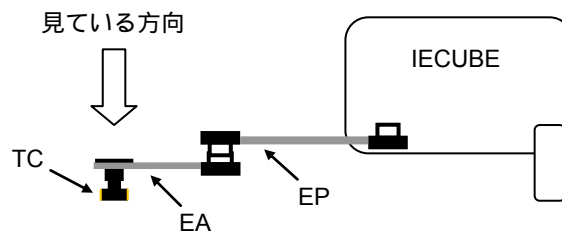
ターゲット・コネクタ、エクスチェンジ・アダプタ、エミュレーション・プローブの外形寸法は下記のURLに掲載しています。

[http://www.necel.com/micro/ja/development/asia/iecube/outline\\_QB.html](http://www.necel.com/micro/ja/development/asia/iecube/outline_QB.html)

図B - 1 エミュレーション・プローブ使用時（10ピンMAパッケージの場合）

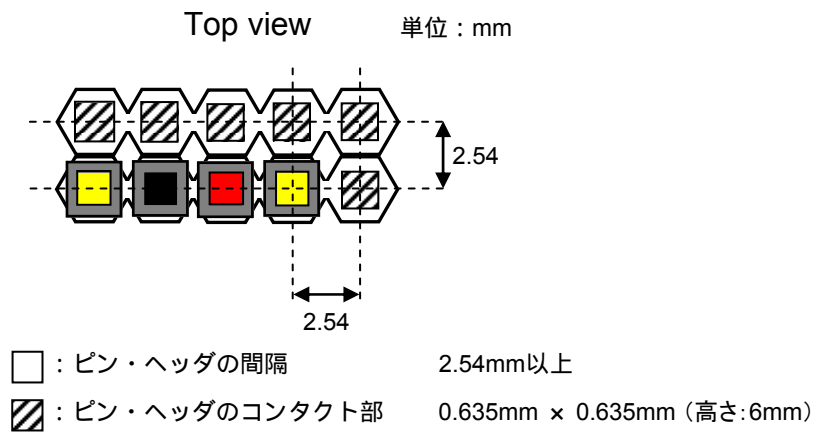


### 概観

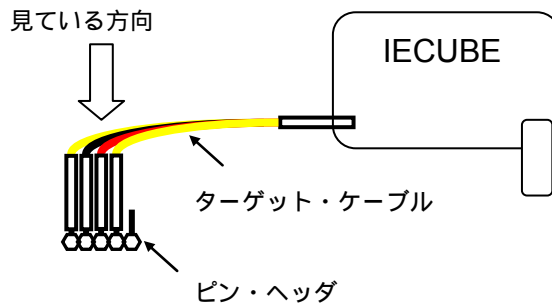


備考 EP : エミュレーション・プローブ  
EA : エクスチェンジ・アダプタ  
TC : ターゲット・コネクタ

図B-2 ターゲット・ケーブル(単線)使用時



概観



## 付録C レジスタ索引

### C.1 レジスタ索引 (50音順)

#### 【あ行】

- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) ... 91
- ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 90

#### 【か行】

- 外部割り込みモード・レジスタ0 (INTM0) ... 101

#### 【た行】

- 低速内蔵発振モード・レジスタ (LSRCM) ... 64
- 低電圧検出レジスタ (LVIM) ... 125
- 低電圧検出レベル選択レジスタ (LVIS) ... 126

#### 【は行】

- 8ビット・タイマHコンペア・レジスタ01 (CMP01) ... 74
- 8ビット・タイマHコンペア・レジスタ11 (CMP11) ... 74
- 8ビット・タイマHモード・レジスタ1 (TMHMD1) ... 75
- フラッシュ・アドレス・ポインタH (FLAPH) ... 153
- フラッシュ・アドレス・ポインタL (FLAPL) ... 153
- フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) ... 153
- フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC) ... 153
- フラッシュ・ステータス・レジスタ (PFS) ... 150
- フラッシュ・プログラミング・コマンド・レジスタ (FLCMD) ... 152
- フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) ... 149
- フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) ... 150
- フラッシュ・ライト・バッファ・レジスタ (FLW) ... 154
- プリプロセッサ・クロック・コントロール・レジスタ (PPCC) ... 63
- ブルアップ抵抗オプション・レジスタ2 (PU2) ... 58
- ブルアップ抵抗オプション・レジスタ3 (PU3) ... 58
- ブルアップ抵抗オプション・レジスタ4 (PU4) ... 58
- プロセッサ・クロック・コントロール・レジスタ (PCC) ... 63
- ポート・モード・レジスタ2 (PM2) ... 56, 77
- ポート・モード・レジスタ3 (PM3) ... 56
- ポート・モード・レジスタ4 (PM4) ... 56
- ポート・レジスタ2 (P2) ... 57
- ポート・レジスタ3 (P3) ... 57
- ポート・レジスタ4 (P4) ... 57

## 【ら行】

リセット・コントロール・フラグ・レジスタ (RESF) ... 118

## 【わ行】

割り込みマスク・フラグ・レジスタ0 (MK0) ... 101

割り込み要求フラグ・レジスタ0 (IF0) ... 100

## C.2 レジスタ索引 (アルファベット順)

## 【C】

CMP01 : 8ビット・タイマHコンペア・レジスタ01 ... 74

CMP11 : 8ビット・タイマHコンペア・レジスタ11 ... 74

## 【F】

FLAPH : フラッシュ・アドレス・ポインタH ... 153

FLAPHC : フラッシュ・アドレス・ポインタHコンペア・レジスタ ... 153

FLAPL : フラッシュ・アドレス・ポインタL ... 153

FLAPLC : フラッシュ・アドレス・ポインタLコンペア・レジスタ ... 153

FLCMD : フラッシュ・プログラミング・コマンド・レジスタ ... 152

FLPMC : フラッシュ・プログラミング・モード・コントロール・レジスタ ... 149

FLW : フラッシュ・ライト・バッファ・レジスタ ... 154

## 【I】

IF0 : 割り込み要求フラグ・レジスタ0 ... 100

INTM0 : 外部割り込みモード・レジスタ0 ... 101

## 【L】

LSRCM : 低速内蔵発振モード・レジスタ ... 64

LVIM : 低電圧検出レジスタ ... 125

LVIS : 低電圧検出レベル選択レジスタ ... 126

## 【M】

MK0 : 割り込みマスク・フラグ・レジスタ0 ... 101

## 【P】

P2 : ポート・レジスタ2 ... 57

P3 : ポート・レジスタ3 ... 57

P4 : ポート・レジスタ4 ... 57

PCC : プロセッサ・クロック・コントロール・レジスタ ... 63

PFCMD : フラッシュ・プロテクト・コマンド・レジスタ ... 150

PFS : フラッシュ・ステータス・レジスタ ... 150

PM2 : ポート・モード・レジスタ2 ... 56, 77

PM3 : ポート・モード・レジスタ3 ... 56

PM4	: ポート・モード・レジスタ4 ...	56
PPCC	: プリプロセッサ・クロック・コントロール・レジスタ ...	63
PU2	: プルアップ抵抗オプション・レジスタ2 ...	58
PU3	: プルアップ抵抗オプション・レジスタ3 ...	58
PU4	: プルアップ抵抗オプション・レジスタ4 ...	58

## 【R】

RESF	: リセット・コントロール・フラグ・レジスタ ...	118
------	----------------------------	-----

## 【T】

TMHMD1	: 8ビット・タイマHモード・レジスタ1 ...	75
--------	--------------------------	----

## 【W】

WDTE	: ウォッチドッグ・タイマ・イネーブル・レジスタ ...	91
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ...	90

## 付録D 注意事項一覧

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード/ソフト）」の区別は、次のとおりです。

ハード：マイコン内部/外部のハードウェアについての注意事項

ソフト：レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/6)

章	分類	機能	機能の詳細	注意事項	頁
第2章	ハード	端子機能	P22, P23/EXCLK, P34/RESET端子	P22, P23/EXCLKはリセット中のときプルダウンされています。P34/RESETは、リセット端子機能/パワーオン・クリア回路によるリセット中のとき、プルアップされています。	p.20-22
第3章	ソフト	メモリ空間	SP: スタック・ポインタ	SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。	p.33
				スタック・ポインタは高速RAM領域だけを指すようになっており、実際に設定できるのは下位の10ビットだけです。 そのため、スタック・ポインタに0FF00Hを指定した場合、0FF00Hは高速RAM領域ではなく、SFR領域です。高速RAM領域に変換されて0FB00Hになります。 なお、実際にスタックに値をPUSHする場合には0FB00Hはマイナス1されて0FAFFHになりますが、これは高速RAM領域ではないので、変換されて0FEFFHとなり、スタック・ポインタに0FF00Hを設定したときと同じになります。	p.33
第4章	ハード	ポート機能	P22, P23/EXCLK, P34/RESET端子	P22, P23/EXCLKはリセット中のときプルダウンされています。P34/RESETは、リセット端子機能/パワーオン・クリア回路によるリセット中のとき、プルアップされています。	p.48
			P34端子	P34端子は、RESET端子と兼用していますので、入力ポートとして使用した場合、RESET端子への外部リセット信号入力が使えなくなります(P34端子の機能は、オプション・バイトのENP34の設定(第13章 オプション・バイト参照)、またはPU3レジスタのPU34で変更できます)。 また、オプション・バイトは、リセット解除後に参照するため、参照するまでにRESET端子へロウ・レベルを入力するとリセット状態が解除されません。入力ポートとして使用する場合は、プルアップ抵抗を接続してください。	p.54
			P21, P32端子	P21, P32は外部割り込み端子と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。	p.56
			-	1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。	p.59
第6章	ソフト	8ビット・タイマH1	CMP01: 8ビット・タイマHコンペア・レジスタ01	CMP01は、タイマ・カウント動作中に値を書き換えることは禁止です。	p.74
			CMP11: 8ビット・タイマHコンペア・レジスタ11	PWM出力モードでは、タイマ・カウント動作停止(TMHE1=0)設定後、タイマ・カウント動作を開始する(TMHE1=1)場合、必ずCMP11を設定してください(CMP11への設定値が同値の場合でも、必ず再設定してください)。	p.74
			TMHMD1: 8ビット・タイマHモード・レジスタ1	TMHE1=1のとき、TMHMD1レジスタの他のビットを設定することは禁止です。 PWM出力モードでは、タイマ・カウント動作停止(TMHE1=0)設定後、タイマ・カウント動作を開始する(TMHE1=1)場合、必ず8ビット・タイマHコンペア・レジスタ11(CMP11)を設定してください(CMP11への設定値が同値の場合でも、必ず再設定してください)。	p.76 p.76



章	分類	機能	機能の詳細	注意事項	頁	
第6章	ハード	8ビット・タイマH1	PWM出力	PWM出力モード時は、タイマ・カウント動作中にCMP11レジスタの設定値を変更することができます。ただしCMP11レジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMD1レジスタのCKS12-CKS10ビットで選択された信号) の3クロック分以上かかります。	p.82	
	ソフト			タイマ・カウント動作停止 (TMHE1 = 0) 設定後、タイマ・カウント動作を開始する (TMHE1 = 1) 場合、必ずCMP11レジスタを設定してください (CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。	p.82	
				CMP11レジスタの設定値 (M)、CMP01レジスタの設定値 (N) は、必ず次の範囲内にしてください。 00H CMP11 (M) < CMP01 (N) FFH	p.82	
第7章	ソフト	ウォッチドッグ・タイマ	WDTM: ウォッチドッグ・タイマ・モード・レジスタ	ビット7, 6, 5にはそれぞれ“0” “1” “1”を設定してください。それ以外の値を設定しないでください。	p.90	
				リセット解除後、WDTMへの書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。ただし、1回目の書き込み時に、2回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。ただし、1回目の書き込み時に、WDSC4, WDSC3にそれぞれ“1”、“x”を設定しウォッチドッグ・タイマを停止した場合、次の内容を実行しても内部リセット信号は発生しません。 ・ WDTMへの2回目の書き込み ・ WDTEへの1ビット・メモリ操作命令実行 ・ WDTEへの“ACH”以外の値の書き込み	p.91	
				WDTMは1ビット・メモリ操作命令では設定できません。	p.91	
				セルフ書き込みによるフラッシュ・セルフ・プログラミングを使用する場合、ウォッチドッグ・タイマのオーバフロー時間を十分に (例 1バイト書き込み: 200 μs以上, 1ブロック消去: 10 ms以上) 取るように設定してください。	p.91	
				WDTE: ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号が発生します。	p.91
				WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号が発生します。	p.91	
	WDTEのリード値は、“9AH” (書き込んだ値 (“ACH”)とは異なる値) になります。	p.91				
	ハード				オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合	p.92
					オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合	p.94

章	分類	機能	機能の詳細	注意事項	頁
第8章	ソフト	割り込み	IF0: 割り込み要求フラグ・レジスタ, MK0: 割り込みマスク・フラグ・レジスタ	P21, P32は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。	p.100, 101
			INTM0: 外部割り込みモード・レジスタ0	ビット0,1,6,7には、必ず0を設定してください。 INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット (x x MK x = 1) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア (x x IF x = 0) してから、割り込みマスク・フラグをクリア (x x MK x = 0) し、割り込みを許可してください。	p.101 p.102
			割り込み要求の保留	割り込み要求フラグ・レジスタ (IF0) または割り込みマスク・フラグ・レジスタ (MK0) にアクセス中は割り込み要求は保留されます。	p.104
			多重割り込み処理	優先度の低い割り込みでも、多重割り込みは受け付けます。	p.105
			スタンバイ機能	-	LSRSTOPの設定はオプション・バイトにて低速内蔵発振器を「ソフトウェアにより停止可能」時にのみ有効です。
第9章	ハード	STOPモード	STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください (低速内蔵発振クロックで動作する周辺ハードウェアは除く)。	p.108	
			STOPモード設定前に低速内蔵発振回路が動作している場合、STOPモードでは低速内蔵発振クロックの発振を停止することはできません (表9-1を参照)。	p.108	
	ソフト	HALTモードの設定および動作状態	スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがクリアされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。	p.109	
		STOPモードの設定および動作状態	スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後、34 $\mu$ s (TYP.) 停止したあと動作モードに戻ります。	p.111	
		リセット機能	-	外部リセットを行う場合、RESET端子に2 $\mu$ s以上のロウ・レベルを入力してください。	p.114
第10章	ハード	リセット機能	リセット信号発生中は、システム・クロック、低速内蔵発振クロックともに発振を停止します。	p.114	
			RESET端子を入力専用ポート (P34) として使用する場合、POC回路、LVI回路、ウォッチドッグ・タイマによるリセット解除後、再度オプション・バイトを参照するまでにRESET端子にロウ・レベルを入力すると、 $\mu$ PD78F9500, 78F9501, 78F9502はリセット状態となり、RESET端子にハイ・レベルが入力されるまでリセット状態が保持されます。	p.114	
			LVI回路の内部リセットの場合、LVI回路はリセットされません。	p.115	
			ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。	p.116	
	ソフト	RESF: リセット・コントロール・フラグ・レジスタ	1ビット・メモリ操作命令でデータを読み出さないでください。	p.118	

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	パワーオン・クリア回路	パワーオン・クリア回路の機能	POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。	p.119
	POC回路の検出電圧 (V <sub>POC</sub> ) が、2.1 V ± 0.1 V のため、2.2 ~ 5.5 V の電圧範囲で使用してください。			p.119	
	ハード		電源電圧 (V <sub>DD</sub> ) がPOC検出電圧 (V <sub>POC</sub> ) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。	p.121	
第12章	ソフト	低電圧検出回路	LVIM: 低電圧検出レジスタ	LVIMを停止する場合は、次のいずれかの手順を行ってください。 ・8ビット・メモリ操作命令の場合: LVIMに“00H”を書き込む ・1ビット・メモリ操作命令の場合: LVIONをクリア (0) ビット2-6には、必ず“0”を設定してください。	p.125
				LVIS: 低電圧検出レベル選択レジスタ	ビット4-7には、必ず“0”を設定してください。 LVIM動作中に同値以外の書き込みを行った場合、書き込んだ瞬間の値が不定状態になるため、書き込みを行う前にLVIMを停止(LVIMレジスタのビット7(LVION)=0)してから、書き込みを行ってください。
			リセットとして使用する場合	は必ず行ってください。LVIMK = 0になっている場合、の処理を行った時点で割り込みが発生する場合があります。	p.127
				LVIMD = 1とした時点で、「電源電圧 (V <sub>DD</sub> ) 検出電圧 (V <sub>LVI</sub> )」であれば内部リセット信号は発生しません。	p.127
			低電圧検出回路の注意事項	電源電圧 (V <sub>DD</sub> ) がLVI検出電圧 (V <sub>LVI</sub> ) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。 リセットとして使用する場合 リセット状態 / リセット解除状態を繰り返すことがあります。 後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。 割り込みとして使用する場合 割り込み要求が頻繁に発生することがあります。後述の処置 (2) に示す処理を行うようにしてください。	p.131
			第13章	ハード	オプション・バイト
システム・クロック・ソースの選択	EXCLK端子は、P23端子と兼用していますので、選択したシステム・クロック・ソースによって、EXCLK端子の利用条件が変わります。 (1) 外部クロック入力選択時 EXCLK端子は外部クロック入力端子として使用するため、P23を入出力ポートとして使用できません。 (2) 高速内蔵発振クロック選択時 P23を入出力ポートとして使用可能です。	p.135			
低速内蔵発振器の発振	「停止不可」を選択した場合、ウォッチドッグ・タイマ (WDT) へのカウント・クロックは低速内蔵発振クロック固定になります。 「ソフトウェアより停止可能」を選択した場合、低速内蔵発振モード・レジスタ (LSRCM) のビット0 (LSRSTOP) の設定に関係なく、HALT/STOPモード時は、WDTへのカウント・クロック供給が停止されます。同様に、WDTへのカウント・クロックに低速内蔵発振クロック以外を選択している場合も、クロック供給が停止されます。低速内蔵発振器動作中 (LSRSTOP = 0) は、STOPモード時でも8ビット・タイマH1にクロックを供給できます。	p.135 p.136			

章	分類	機能	機能の詳細	注意事項	頁
第13章	ハード	オプション・バイト	RESET端子を入力専用ポート(P34)として使用した場合の注意事項	オプション・バイト機能で「RESET端子を入力専用ポート(P34)として使用」と設定した書き込み済みデバイスに対して、再度、専用フラッシュ・メモリ・プログラマを使用し、オンボード・プログラミングにて消去/書き込みを行う場合、下記の点に注意してください。 ターゲット・システムに電源供給する前に、専用フラッシュ・メモリ・プログラマを接続し、専用フラッシュ・メモリ・プログラマの電源をONにしてください。事前にターゲット・システムに電源供給を行った場合、フラッシュ・メモリ・プログラミング・モードに切り替えできなくなります。	p.136
第14章	ソフト	フラッシュ・メモリ	セキュリティ設定	一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。	p.144
			セルフ・プログラミング機能	セルフ書き込みをする場合は、あらかじめセルフ・プログラミング処理を組み込む必要があります。	p.145
			セルフ・プログラミング・コマンド実行中は命令を実行できません。そのため、セルフ・プログラミング・モード時に、ウォッチドッグ・タイマのオーバフローが発生しないように、あらかじめウォッチドッグ・タイマのカウンタをクリア&リスタートしてください。セルフ・プログラミングの実行時間については、表14-8を参照してください。	p.148	
			セルフ・プログラミング中に発生した割り込みは、セルフ・プログラミング・モードが終了してから受け付け可能になります。これを回避するために、特定シーケンスによって通常モードからセルフ・プログラミング・モードに移行するときは、セルフ・プログラミング時または入る前に、割り込み処理を禁止(MK0=FFH, DI命令を実行)してください。	p.148	
			セルフ・プログラミング・コマンド実行中は、RAMを使用しません。	p.148	
			書き込み/消去中の電源低下時とリセットが発生した場合は、書き込み/消去を保証しません。	p.148	
			ブロック消去時に設定されるブランク・データの値はFFHになります。	p.148	
			セルフ・プログラミング中のCPUクロックは、1MHz以上になるようにあらかじめ設定してください。	p.148	
			セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行したあと、セルフ・プログラミングを実行してください。このときのHALT命令は、10 $\mu$ s(MAX.)+CPUクロック(f <sub>cpu</sub> )の2クロック後に自動的に解除されます。	p.148	
			発振器または外部クロックをシステム・クロックとして選択している場合は、セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行し、HALT状態を解除したあと、8 $\mu$ sのウェイト時間経過後に、セルフ・プログラミングを実行してください。	p.148	
			FPRERRは、1ビット・メモリ操作命令で確認してください。	p.148	
			セルフ・プログラミング・モード時では、端子はHALTモード時の状態になります。	p.148	
			セルフ・プログラミング・モード時では、オンボード/オフボード・プログラミングで設定されたセキュリティ機能は無効となるため、セキュリティ機能の設定に関係なく、セルフ・プログラミング・コマンドを実行できます。セルフ・プログラミング使用時に書き込み/消去を禁止したい場合には、プロテクト・バイトを設定してください。	p.148	
			セルフ・プログラミング・コマンドを実行するときは、フラッシュ・アドレス・ポイントH(FLAPH)とフラッシュ・アドレス・ポイントHコンペア・レジスタ(FLAPHC)のビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。	p.148	
セルフ・プログラミング・モードへの移行直前と、通常モードへの移行直前に、FLCMDレジスタの値をクリア(00H)してください。	p.148				

章	分類	機能	機能の詳細	注意事項	頁		
第14章	ソフト	フラッシュ・メモリ	FLPMC:フラッシュ・プログラミング・コントロール・レジスタ	セルフ・プログラミング・モードに設定する場合の注意事項については、14. 8. 2 セルフ・プログラミングの注意事項を参照してください。	p.149		
				セルフ・プログラミング中のCPUクロックは、1 MHz以上になるようにあらかじめ設定してください。	p.149		
				セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行したあと、セルフ・プログラミングを実行してください。このときのHALT命令は、10 $\mu$ s (MAX.) + CPUクロック (f <sub>cpu</sub> ) の2クロック後に自動的に解除されます。	p.149		
				発振器または外部クロックをシステム・クロックとして選択している場合は、セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行し、HALT状態を解除したあと、8 $\mu$ sのウェイト時間経過後に、セルフ・プログラミングを実行してください。	p.149		
				セルフ・プログラミング・モードへの移行直前と、通常モードへの移行直前に、FLCMDレジスタの値をクリア (00H) してください。	p.149		
				PFCMD:フラッシュ・プロテクト・コマンド・レジスタ	セルフ・プログラミング・モード中に、割り込み処理は実行できません。セルフ・プログラミング・モードに切り替える特定シーケンスの実行前から、通常モードに切り替える特定シーケンスの実行後までは、割り込み処理を禁止 (MK0 = FFH, DI命令を実行) してください。	p.150	
				PFS:フラッシュ・ステータス・レジスタ	FPRERRは、1ビット・メモリ操作命令で確認してください。	p.150	
				FLAPH, FLAPL:フラッシュ・アドレス・ポインタH, L	セルフ・プログラミング・コマンドを実行するときは、FLAPHとFLAPHCのビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。	p.153	
				FLAPHC, FLAPLC:フラッシュ・アドレス・ポインタH, L コンペア・レジスタ	セルフ・プログラミング・コマンドを実行するときは、FLAPHとFLAPHCのビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。 FLAPHCは、ブロック消去/ベリファイ/ブランク・チェック時に、対象となるブロック番号 (FLAPHと同じ値) を設定してください。 FLAPLCは、ブロック消去時には00Hを、ブランク・チェック時にはFFHを設定してください。	p.153 p.153	
				セルフ・プログラミング・モードへの移行	上記の一連の動作は、必ず消去および書き込みをしないアドレス上のユーザ・プログラムで行ってください。	p.156, 157, 159, 160	
				通常モードへの移行			
				バイト書き込み	書き込みが失敗した場合は、ブロック消去してから再度書き込みをしてください。	p.168	
		第15章	ハード	オンチップ・デバッグ機能	QB-MINI2との接続	オンチップ・デバッグ機能使用後、フラッシュ・メモリの書き換え回数の制限の観点から、信頼性について保証できないため、量産用としては使用しないでください。またクレーム受け付け対象外となります。	p.192
						回路接続例中の定数はあくまで参考値です。量産を目的としてフラッシュ・プログラミングを行う場合は、対象デバイスのスペックを満たしているか十分な評価を行ってください。	p.192
QB-MINI2をデバッグ用に使用し、かつINTP1のデバッグを実機のみで行う場合	QB-MINI2を使用せずに、実機のみを動作させてデバッグする場合、ユーザ・プログラムはQB-Programmerで書き込んでください。デバッグがダウンロードしたプログラムには、モニタ・プログラムが組み込まれており、QB-MINI2からの制御がないと誤動作するためです。				p.194		
第17章	ハード	電気的特性	絶対最大定格	各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。	p.207		
第19章	ハード	半田付け推奨条件	鉛フリー製品	オーダ名称末尾「-A」の製品は、鉛フリー製品です。	p.218		
			-	半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。	p.218		

## 付録E 改版履歴

### E.1 本版で改訂された主な箇所

箇所	内容
p.50	図4 - 2 P20, 21のブロック図を変更
p.52	図4 - 4 P23のブロック図を変更
p.114	第10章 リセット機能 ・注意3を変更
p.139	14.4 フラッシュ・メモリ・プログラマによる書き込み方法 ・専用フラッシュ・メモリ・プログラマにFlashPro5を追加 ・専用フラッシュ・メモリ・プログラマからPG-FPL2を削除 ・備考を変更
pp.140, 141	14.5 プログラミング環境 ・図14 - 2 フラッシュ・メモリにプログラムを書き込むための環境 (FlashPro4/FlashPro5/QB-MINI2) を変更, 注を追加 ・表14 - 2 $\mu$ PD78F9500, 78F9501, 78F9502とFlashPro4/FlashPro5/QB-MINI2の配線表を変更, 注2を追加 ・図14 - 3 FlashPro4/FlashPro5/QB-MINI2との配線図を変更 ・専用フラッシュ・メモリ・プログラマからPG-FPL2を削除
p.143	図14 - 5 通信コマンドを変更
p.147	表14 - 8 セルフ・プログラミング制御用コマンドに注を追加
p.192	第15章 オンチップ・デバッグ機能を追加
pp.208, 209	第17章 電気的特性 ・高速内蔵発振回路特性の値を変更 ・DC特性のハイ・レベル入力電圧, ロウ・レベル入力電圧の値を変更
p.223	A.4 フラッシュ・メモリ書き込み用ツール ・FlashPro5を追加 ・PG-FPL2を削除
p.225	付録B ターゲット・システム設計上の注意を追加
p.236	付録E 改版履歴を追加

(メモ)

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

---

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

---

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

---

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。

---