

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、  
必ず本文の内容をご確認ください。

## SH7720 グループ、SH7721 グループ

ユーザズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ  
SuperH™ RISC engine ファミリ / SH7700 シリーズ

SH7720 グループ	HD6417720
	HD6417320
SH7721 グループ	R8A77210
	R8A77211

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品に関する一般的な注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
  - ・ CPU およびシステム制御系
  - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、  
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項  
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。  
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。  
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。  
改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上で  
ご確認ください。

11. 索引



---

# はじめに

---

SH7720 グループ、SH7721 グループは、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイクロプロセッサです。

**対象者** このマニュアルは、SH7720 グループ、SH7721 グループを用いた応用システムを設計するユーザーを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、SH7720 グループ、SH7721 グループのハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。

なお、実行命令の詳細については、「SH-3/SH-3E/SH3-DSP ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

## 読み方

- 対象製品と製品略称の表記について。

本書では、下記の製品について説明をします。

製品分類と製品略称	基本製品型名
基本分類	
SH7720 グループ	HD6417720、HD6417320
SH7721 グループ	R8A77210、R8A77211

- 機能全体を理解しようとするとき。

目次にしたがって読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

別冊の「SH-3/SH-3E/SH3-DSP ソフトウェアマニュアル」を参照してください。

**凡例** レジスタ表記 : シリアルコミュニケーションインタフェースモジュールなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX\_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

( <http://www.renesas.com/> )

- SH7720グループ、SH7721グループに関するユーザーズマニュアル

資料名	資料番号
SH7720 グループ、SH7721 グループハードウェアマニュアル	本マニュアル
SH-3/SH-3E/SH3-DSP ソフトウェアマニュアル	RJJ09B0345

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
SuperH™ RISC engine C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ V.9.00 ユーザーズマニュアル	RJJ10B0156
SuperH RISC engine High-performance Embedded Workshop 3 ユーザーズマニュアル	RJJ10B0028
SuperH RISC engine High-performance Embedded Workshop 3 チュートリアル	RJJ10B0026

- アプリケーションノート

資料名	資料番号
SuperH RISC engine C/C++ コンパイラパッケージアプリケーションノート	RJJ05B0557

## 略語の説明

ADC	Analog to Digital Converter アナログ – デジタル
ALU	Arithmetic Logic Unit 演算論理回路
ASE	Adaptive System Evaluator 適応システム評価
ASID	Address Space Identifier アドレス空間識別子
AUD	Advanced User Debugger アドバンスドユーザデバッガ
BCD	Binary Coded Decimal 2 進化 10 進数
bps	bit per second ビット数 / 秒
BSC	Bus State Controller バスステートコントローラ
CCN	Cache memory Controller キャッシュメモリコントローラ
CMT	Compare Match Timer コンペアマッチタイマ
CPG	Clock Pulse Generator クロック発振器
CPU	Central Processing Unit 中央制御装置
DES	Data Encryption Standard
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ
etu	Elementary Time Unit ビット時間
FIFO	First-In First-Out 先入れ先出しレジスタ
Hi-Z	High Impedance ハイインピーダンス
H-UDI	User Debugging Interface ユーザデバッグインタフェース

INTC	Interrupt Controller 割り込み制御コントローラ
IrDA	Infrared Data Association 赤外線データアソシエーション
JTAG	Joint Test Action Group バウンダリスキャンの規格化 Gr 名
LQFP	Low Profile QFP 薄型 QFP
LRU	Least Recently Used 仮想記憶ページ置き換えアルゴリズムの一種
LSB	Least Significant Bit 最下位ビット
MMU	Memory Management Unit メモリマネージメントユニット
MPX	Multiplex 多重通信式
MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PFC	Pin Function Controller ピンファンクションコントローラ
PLL	Phase Locked Loop 位相ロックループ
PWM	Pulse Width Modulation パルス幅変調方式
RAM	Random Access Memory ランダムアクセスメモリ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
ROM	Read Only Memory リードオンリーメモリ
RSA	Rivest Shamir Adleman
RTC	Real Time Clock リアルタイムクロック
SCIF	Serial Communication Interface with FIFO FIFO 内蔵シリアルコミュニケーションインタフェース

SDHI	SD Host Interface SD ホストインタフェース
SDRAM	Synchronous DRAM クロック同期式高速 DRAM
SSL	Secure Socket Layer
TAP	Test Access Port テスト端子
T.B.D	To Be Determined 未定
TLB	Translation Lookaside Buffer 変換ルックアサイドバッファ
TMU	Timer Unit タイマユニット
TPU	Timer Pulse Unit 16 ビットタイマパルスユニット
UART	Universal Asynchronous Receiver/Transmitter 非同期シリアルインタフェース
UBC	User Break Controller ユーザブレイクコントローラ
USB	Universal Serial Bus ユニバーサルシリアルバス
WDT	Watchdog Timer ウォッチドッグタイマ

**【登録商標・商標】**

すべての商標および登録商標は、それぞれの所有者に帰属します。

---

# 目次

---

1. 概要	1-1
1.1  特長	1-1
1.2  ブロック図	1-9
1.3  端子の説明	1-9
1.3.1  ピンの配置	1-9
1.3.2  端子の機能	1-21
2. CPU	2-1
2.1  処理状態と処理モード	2-1
2.1.1  処理状態	2-1
2.1.2  処理モード	2-2
2.2  メモリマップ	2-2
2.2.1  論理アドレス空間	2-2
2.2.2  外部メモリ空間	2-4
2.3  レジスタの説明	2-5
2.3.1  汎用レジスタ	2-7
2.3.2  システムレジスタ	2-8
2.3.3  プログラムカウンタ	2-8
2.3.4  コントロールレジスタ	2-9
2.4  データ形式	2-12
2.4.1  レジスタのデータ形式	2-12
2.4.2  メモリ上でのデータ形式	2-12
2.5  命令の特長	2-14
2.5.1  命令の実行方法	2-14
2.5.2  アドレッシングモード	2-16
2.5.3  命令形式	2-19
2.6  命令セット	2-21
2.6.1  機能別命令セット	2-21
2.6.2  オペレーションコードマップ	2-31
3. DSP 演算ユニット	3-1
3.1  DSP拡張機能	3-1
3.2  DSPモードのリソース	3-3
3.2.1  処理モード	3-3
3.2.2  DSPモードのメモリマップ	3-3

3.2.3	CPU のレジスタセット	3-4
3.2.4	DSP レジスタ	3-6
3.3	CPU 拡張命令	3-7
3.3.1	リピート制御命令	3-7
3.4	DSP データ転送命令	3-15
3.4.1	汎用レジスタ	3-19
3.4.2	DSP データアドレッシング	3-21
3.4.3	モジュールアドレッシング	3-22
3.4.4	メモリのデータ形式	3-24
3.4.5	ダブル、シングルデータ転送命令の命令フォーマット	3-24
3.5	DSP データ演算命令	3-25
3.5.1	DSP レジスタ	3-25
3.5.2	DSP 演算命令の命令セット	3-29
3.5.3	DSP タイプデータ形式	3-34
3.5.4	ALU 固定小数点算術演算	3-35
3.5.5	ALU 整数演算	3-40
3.5.6	ALU 論理演算	3-41
3.5.7	固定小数点乗算	3-42
3.5.8	シフト演算	3-44
3.5.9	MSB 検出命令	3-47
3.5.10	丸め演算	3-50
3.5.11	オーバフロー防止機能	3-51
3.5.12	ローカルデータ移動命令	3-52
3.5.13	オペランドの競合	3-53
3.6	DSP 拡張機能命令セット	3-54
3.6.1	CPU 拡張命令	3-54
3.6.2	ダブルデータ転送命令	3-55
3.6.3	シングルデータ転送命令	3-56
3.6.4	DSP 演算命令	3-58
3.6.5	DSP モードでのオペレーションコードマップ	3-63
4.	メモリマネジメントユニット (MMU)	4-1
4.1	MMU の役割	4-1
4.1.1	本 LSI の MMU	4-3
4.2	レジスタの説明	4-9
4.2.1	ページテーブルエントリ上位レジスタ (PTEH)	4-9
4.2.2	ページテーブルエントリ下位レジスタ (PTEL)	4-10
4.2.3	変換テーブルベースレジスタ (TTB)	4-10
4.2.4	MMU 制御レジスタ (MMUCR)	4-11
4.3	TLB の機能	4-12
4.3.1	TLB の構成	4-12



4.3.2	TLB のインデックス番号作成方法 .....	4-14
4.3.3	TLB のアドレス比較 .....	4-15
4.3.4	ページ管理情報 .....	4-16
4.4	MMUの機能 .....	4-17
4.4.1	MMU のハードウェア管理 .....	4-17
4.4.2	MMU のソフトウェア管理 .....	4-17
4.4.3	MMU の命令 (LDTLB) .....	4-18
4.4.4	シノニム問題の回避 .....	4-19
4.5	MMU例外 .....	4-21
4.5.1	TLB ミス例外 .....	4-21
4.5.2	TLB 保護違反例外 .....	4-22
4.5.3	TLB 無効例外 .....	4-23
4.5.4	初期ページ書き込み例外 .....	4-24
4.5.5	リピートループにおける MMU 例外 .....	4-25
4.6	メモリ割り付けTLBの構成 .....	4-27
4.6.1	アドレスアレイ .....	4-27
4.6.2	データアレイ .....	4-27
4.6.3	使用例 .....	4-29
4.7	使用上の注意事項 .....	4-29
5.	キャッシュ .....	5-1
5.1	特長 .....	5-1
5.1.1	キャッシュの構成 .....	5-1
5.2	レジスタの説明 .....	5-3
5.2.1	キャッシュ制御レジスタ 1 (CCR1) .....	5-3
5.2.2	キャッシュ制御レジスタ 2 (CCR2) .....	5-4
5.2.3	キャッシュ制御レジスタ 3 (CCR3) .....	5-6
5.3	動作説明 .....	5-7
5.3.1	キャッシュの検索 .....	5-7
5.3.2	リード動作 .....	5-8
5.3.3	プリフェッチ動作 .....	5-8
5.3.4	ライト動作 .....	5-8
5.3.5	ライトバックバッファ .....	5-9
5.3.6	キャッシュと外部メモリとのコヒーレンシ .....	5-9
5.4	メモリ割り付けキャッシュの構成 .....	5-10
5.4.1	アドレスアレイ .....	5-10
5.4.2	データアレイ .....	5-11
5.4.3	使用例 .....	5-13
6.	X/Y メモリ .....	6-1
6.1	特長 .....	6-1

6.2	動作説明	6-2
6.2.1	CPU からのアクセス	6-2
6.2.2	DSP からのアクセス	6-2
6.2.3	Iバスマスタモジュールからのアクセス	6-3
6.3	使用上の注意事項	6-3
6.3.1	ページ競合	6-3
6.3.2	バス競合	6-3
6.3.3	MMU、キャッシュの設定	6-4
6.3.4	スリープモード	6-4
7.	例外処理	7-1
7.1	レジスタの説明	7-1
7.1.1	TRAPA 例外レジスタ (TRA)	7-2
7.1.2	例外事象レジスタ (EXPEVT)	7-2
7.1.3	割り込み事象レジスタ (INTEVT)	7-3
7.1.4	割り込み事象レジスタ 2 (INTEVT2)	7-3
7.1.5	例外アドレスレジスタ (TEA)	7-3
7.2	例外処理の機能	7-4
7.2.1	例外処理の流れ	7-4
7.2.2	例外処理ベクタアドレス	7-5
7.2.3	例外コード	7-5
7.2.4	例外要求と BL ビットの関係 (多重例外防止)	7-5
7.2.5	例外要因の受け付けタイミングと優先順位	7-5
7.3	個別例外の動作説明	7-8
7.3.1	リセット	7-8
7.3.2	一般例外	7-8
7.3.3	一般例外 (MMU 例外)	7-11
7.4	DSP 拡張機能有効時の例外処理	7-14
7.4.1	不当命令例外、スロット不当命令例外	7-14
7.4.2	CPU アドレスエラー	7-14
7.4.3	リピート制御中の例外	7-14
7.5	使用上の注意事項	7-19
8.	割り込みコントローラ (INTC)	8-1
8.1	特長	8-1
8.2	入出力端子	8-3
8.3	レジスタの説明	8-3
8.3.1	割り込み優先レベル設定レジスタ A ~ J (IPRA ~ IPRJ)	8-4
8.3.2	割り込みコントロールレジスタ 0 (ICR0)	8-5
8.3.3	割り込みコントロールレジスタ 1 (ICR1)	8-6
8.3.4	割り込み要求レジスタ 0 (IRR0)	8-7

8.3.5	割り込み要求レジスタ 1 (IRR1) .....	8-8
8.3.6	割り込み要求レジスタ 2 (IRR2) .....	8-9
8.3.7	割り込み要求レジスタ 3 (IRR3) .....	8-9
8.3.8	割り込み要求レジスタ 4 (IRR4) .....	8-10
8.3.9	割り込み要求レジスタ 5 (IRR5) .....	8-11
8.3.10	割り込み要求レジスタ 6 (IRR6) .....	8-13
8.3.11	割り込み要求レジスタ 7 (IRR7) .....	8-14
8.3.12	割り込み要求レジスタ 8 (IRR8) .....	8-15
8.3.13	割り込み要求レジスタ 9 (IRR9) .....	8-16
8.3.14	PINT 割り込みイネーブルレジスタ (PINTER) .....	8-17
8.3.15	割り込みコントロールレジスタ 2 (ICR2) .....	8-18
8.4	割り込み要因 .....	8-18
8.4.1	NMI 割り込み .....	8-18
8.4.2	IRQ 割り込み .....	8-19
8.4.3	IRL 割り込み .....	8-19
8.4.4	PINT 割り込み .....	8-20
8.4.5	内蔵周辺モジュール割り込み .....	8-20
8.4.6	割り込み例外処理および優先順位 .....	8-21
8.5	動作説明 .....	8-27
8.5.1	割り込み動作の流れ .....	8-27
8.5.2	多重割り込み .....	8-29
9.	バスステートコントローラ (BSC) .....	9-1
9.1	特長 .....	9-1
9.2	入出力端子 .....	9-4
9.3	エリアの概要 .....	9-5
9.3.1	空間分割 .....	9-5
9.3.2	シャドウ空間 .....	9-6
9.3.3	アドレスマップ .....	9-7
9.3.4	エリア 0 メモリタイプおよびメモリバス幅 .....	9-8
9.3.5	データアライメント .....	9-9
9.4	レジスタの説明 .....	9-9
9.4.1	共通コントロールレジスタ (CMNCR) .....	9-10
9.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) .....	9-13
9.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) .....	9-16
9.4.4	SDRAM コントロールレジスタ (SDCR) .....	9-36
9.4.5	リフレッシュタイマコントロール/ステータスレジスタ (RTCSR) .....	9-38
9.4.6	リフレッシュタイマカウンタ (RTCNT) .....	9-39
9.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR) .....	9-39
9.4.8	SDRAM モードレジスタ 2、3 (SDMR2、SDMR3) .....	9-39
9.5	動作説明 .....	9-40

9.5.1	エンディアン/アクセスサイズとデータアライメント.....	9-40
9.5.2	通常空間インタフェース.....	9-45
9.5.3	アクセスウェイト制御.....	9-50
9.5.4	$\overline{CSn}$ アサート期間拡張.....	9-52
9.5.5	SDRAM インタフェース.....	9-53
9.5.6	パースト ROM (クロック非同期) インタフェース.....	9-83
9.5.7	バイト選択付き SRAM インタフェース.....	9-84
9.5.8	PCMCIA インタフェース.....	9-89
9.5.9	パースト ROM (クロック同期).....	9-95
9.5.10	アクセスサイクル間ウェイト.....	9-95
9.5.11	バスアービトレーション.....	9-96
9.6	使用上の注意事項.....	9-98
10.	ダイレクトメモリアクセスコントローラ (DMAC).....	10-1
10.1	特長.....	10-1
10.2	入出力端子.....	10-3
10.3	レジスタの説明.....	10-3
10.3.1	DMA ソースアドレスレジスタ <sub>0~5</sub> (SAR <sub>0~5</sub> ).....	10-4
10.3.2	DMA デスティネーションアドレスレジスタ <sub>0~5</sub> (DAR <sub>0~5</sub> ).....	10-5
10.3.3	DMA トランスファカウントレジスタ <sub>0~5</sub> (DMATCR <sub>0~5</sub> ).....	10-5
10.3.4	DMA チャネルコントロールレジスタ <sub>0~5</sub> (CHCR <sub>0~5</sub> ).....	10-5
10.3.5	DMA オペレーションレジスタ (DMAOR).....	10-10
10.3.6	DMA 拡張リソースセクタ <sub>0~2</sub> (DMARS <sub>0~2</sub> ).....	10-12
10.4	動作説明.....	10-15
10.4.1	転送フロー.....	10-15
10.4.2	DMA 転送要求.....	10-17
10.4.3	チャネルの優先順位.....	10-20
10.4.4	DMA 転送の種類.....	10-23
10.4.5	バスサイクルのステート数と DREQ 端子のサンプリングタイミング.....	10-31
10.5	使用上の注意事項.....	10-34
10.5.1	DACK 端子出力の注意事項.....	10-34
10.5.2	DACK が分割される場合の注意事項.....	10-34
10.5.3	その他の注意事項.....	10-37
11.	クロック発振器 (CPG).....	11-1
11.1	特長.....	11-1
11.2	入出力端子.....	11-4
11.3	クロック動作モード.....	11-5
11.4	レジスタの説明.....	11-8
11.4.1	周波数制御レジスタ (FRQCR).....	11-8
11.4.2	USBH/USBF クロック制御レジスタ (UCLKCR).....	11-10

11.5	周波数変更方法	11-11
11.5.1	逡倍率の変更	11-11
11.5.2	分周率の変更	11-11
11.6	使用上の注意事項	11-12
11.7	ボード設計上の注意事項	11-12
12.	ウォッチドッグタイマ (WDT)	12-1
12.1	特長	12-1
12.2	WDTのレジスタの説明	12-3
12.2.1	ウォッチドッグタイマカウンタ (WTCNT)	12-3
12.2.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	12-3
12.2.3	レジスタアクセス時の注意事項	12-5
12.3	WDTの動作説明	12-6
12.3.1	ソフトウェアスタンバイ解除の手順	12-6
12.3.2	周波数変更の手順	12-6
12.3.3	ウォッチドッグタイマモードの使用法	12-7
12.3.4	インターバルタイマモードの使用法	12-7
13.	低消費電力モード	13-1
13.1	特長	13-1
13.1.1	低消費電力モードの種類	13-1
13.1.2	リセット	13-2
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	スタンバイコントロールレジスタ (STBCR)	13-4
13.3.2	スタンバイコントロールレジスタ 2 (STBCR2)	13-5
13.3.3	スタンバイコントロールレジスタ 3 (STBCR3)	13-6
13.3.4	スタンバイコントロールレジスタ 4 (STBCR4)	13-7
13.3.5	スタンバイコントロールレジスタ 5 (STBCR5)	13-8
13.4	スリープモード	13-9
13.4.1	スリープモードへの遷移	13-9
13.4.2	スリープモードの解除	13-9
13.5	ソフトウェアスタンバイモード	13-10
13.5.1	ソフトウェアスタンバイモードへの遷移	13-10
13.5.2	ソフトウェアスタンバイモードの解除	13-10
13.6	モジュールスタンバイ機能	13-11
13.6.1	モジュールスタンバイ機能への遷移	13-11
13.6.2	モジュールスタンバイ機能の解除	13-11
13.7	STATUS端子の変化タイミング	13-12
13.7.1	リセットの場合	13-12
13.7.2	ソフトウェアスタンバイモードの場合	13-13

13.7.3	スリープモードの場合.....	13-14
13.8	ハードウェアスタンバイモード.....	13-16
13.8.1	ハードウェアスタンバイモードへの遷移.....	13-16
13.8.2	ハードウェアスタンバイモードの解除.....	13-16
13.8.3	ハードウェアスタンバイモードのタイミング.....	13-16
14.	タイマユニット (TMU) .....	14-1
14.1	特長.....	14-1
14.2	レジスタの説明.....	14-3
14.2.1	タイマスタートレジスタ (TSTR) .....	14-4
14.2.2	タイマコントロールレジスタ (TCR) .....	14-5
14.2.3	タイマコンスタントレジスタ (TCOR) .....	14-6
14.2.4	タイマカウンタ (TCNT) .....	14-6
14.3	動作説明.....	14-6
14.3.1	カウンタの動作 .....	14-6
14.4	割り込み.....	14-9
14.4.1	ステータスフラグのセットタイミング.....	14-9
14.4.2	ステータスフラグのクリアタイミング.....	14-9
14.4.3	割り込み要因と優先順位.....	14-10
14.5	使用上の注意事項 .....	14-11
14.5.1	レジスタの書き込みについて.....	14-11
14.5.2	レジスタの読み出しについて.....	14-11
15.	16 ビットタイマパルスユニット (TPU) .....	15-1
15.1	特長.....	15-1
15.2	入出力端子.....	15-4
15.3	レジスタの説明.....	15-5
15.3.1	タイマコントロールレジスタ (TCR) .....	15-7
15.3.2	タイマモードレジスタ (TMDR) .....	15-9
15.3.3	タイマ I/O コントロールレジスタ (TIOR) .....	15-10
15.3.4	タイマインタラプトイネーブルレジスタ (TIER) .....	15-11
15.3.5	タイマステータスレジスタ (TSR) .....	15-12
15.3.6	タイマカウンタ (TCNT) .....	15-14
15.3.7	タイマジェネラルレジスタ (TGR) .....	15-14
15.3.8	タイマスタートレジスタ (TSTR) .....	15-14
15.4	動作説明.....	15-15
15.4.1	概要.....	15-15
15.4.2	基本機能.....	15-16
15.4.3	バッファ動作.....	15-19
15.4.4	PWM モード.....	15-21
15.4.5	位相計数モード.....	15-23

15.5	使用上の注意事項 .....	15-28
16.	コンペアマッチタイマ (CMT) .....	16-1
16.1	特長 .....	16-1
16.2	レジスタの説明 .....	16-3
16.2.1	コンペアマッチタイマスタートレジスタ (CMSTR) .....	16-4
16.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) .....	16-4
16.2.3	コンペアマッチタイマカウンタ (CMCNT) .....	16-6
16.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR) .....	16-6
16.3	動作説明 .....	16-6
16.3.1	カウンタ動作 .....	16-6
16.3.2	カウンタサイズ .....	16-8
16.3.3	CMCNT カウントタイミング .....	16-8
16.3.4	DMA 転送要求と CPU への内部割り込み要求 .....	16-8
16.3.5	コンペアマッチフラグのセットタイミング (全チャンネル共通) .....	16-9
17.	リアルタイムクロック (RTC) .....	17-1
17.1	特長 .....	17-1
17.2	入出力端子 .....	17-3
17.3	レジスタの説明 .....	17-4
17.3.1	64Hz カウンタ (R64CNT) .....	17-5
17.3.2	秒カウンタ (RSECCNT) .....	17-5
17.3.3	分カウンタ (RMINCNT) .....	17-6
17.3.4	時カウンタ (RHRCNT) .....	17-6
17.3.5	曜日カウンタ (RWKCNT) .....	17-7
17.3.6	日カウンタ (RDAYCNT) .....	17-8
17.3.7	月カウンタ (RMONCNT) .....	17-8
17.3.8	年カウンタ (RYRCNT) .....	17-9
17.3.9	秒アラームレジスタ (RSECAR) .....	17-9
17.3.10	分アラームレジスタ (RMINAR) .....	17-10
17.3.11	時アラームレジスタ (RHRAR) .....	17-10
17.3.12	曜日アラームレジスタ (RWKAR) .....	17-11
17.3.13	日アラームレジスタ (RDAYAR) .....	17-11
17.3.14	月アラームレジスタ (RMONAR) .....	17-12
17.3.15	年アラームレジスタ (RYRAR) .....	17-12
17.3.16	RTC コントロールレジスタ 1 (RCR1) .....	17-12
17.3.17	RTC コントロールレジスタ 2 (RCR2) .....	17-14
17.3.18	RTC コントロールレジスタ (RCR3) .....	17-15
17.4	動作説明 .....	17-16
17.4.1	電源投入後のレジスタの初期設定 .....	17-16
17.4.2	時刻設定手順 .....	17-16

17.4.3	時刻読み出し手順 .....	17-17
17.4.4	アラーム機能 .....	17-18
17.5	使用上の注意事項 .....	17-19
17.5.1	RTC カウント動作時のレジスタ書き込みについて .....	17-19
17.5.2	リアルタイムクロック (RTC) の周期割り込みの使用について .....	17-19
17.5.3	レジスタ設定後のスタンバイ遷移について .....	17-19
17.5.4	水晶発振回路 .....	17-19
18.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) .....	18-1
18.1	特長 .....	18-1
18.2	入出力端子 .....	18-4
18.3	レジスタの説明 .....	18-5
18.3.1	レシーブシフトレジスタ (SCRSR) .....	18-6
18.3.2	レシーブ FIFO データレジスタ (SCFRDR) .....	18-6
18.3.3	トランスミットシフトレジスタ (SCTSR) .....	18-6
18.3.4	トランスミット FIFO データレジスタ (SCFTDR) .....	18-6
18.3.5	シリアルモードレジスタ (SCSMR) .....	18-7
18.3.6	シリアルコントロールレジスタ (SCSCR) .....	18-10
18.3.7	FIFO エラー数レジスタ (SCFER) .....	18-13
18.3.8	シリアルステータスレジスタ (SCSSR) .....	18-14
18.3.9	ビットレートレジスタ (SCBRR) .....	18-19
18.3.10	FIFO コントロールレジスタ (SCFCR) .....	18-21
18.3.11	FIFO データ数レジスタ (SCFDR) .....	18-23
18.3.12	トランスミットデータストップレジスタ (SCTDSR) .....	18-23
18.4	動作説明 .....	18-24
18.4.1	調歩同期式モード .....	18-24
18.4.2	調歩同期式モードのシリアル動作 .....	18-25
18.4.3	クロック同期式モード .....	18-35
18.4.4	クロック同期式モードのシリアル動作 .....	18-36
18.5	割り込み要因とDMAC .....	18-46
18.6	使用上の注意事項 .....	18-47
19.	赤外線通信モジュール (IrDA) .....	19-1
19.1	特長 .....	19-1
19.2	入出力端子 .....	19-2
19.3	レジスタの説明 .....	19-2
19.3.1	IrDA モードレジスタ (SCIMR) .....	19-2
19.4	動作説明 .....	19-3
19.4.1	送信 .....	19-3
19.4.2	受信 .....	19-3
19.4.3	データフォーマットの指定 .....	19-4



20.	I <sup>2</sup> C バスインタフェース (IIC)	20-1
20.1	特長	20-1
20.2	入出力端子	20-3
20.3	レジスタの説明	20-3
20.3.1	I <sup>2</sup> C バスコントロールレジスタ 1 (ICCR1)	20-4
20.3.2	I <sup>2</sup> C バスコントロールレジスタ 2 (ICCR2)	20-5
20.3.3	I <sup>2</sup> C バスモードレジスタ (ICMR)	20-6
20.3.4	I <sup>2</sup> C バスインタラプトイネーブルレジスタ (ICIER)	20-7
20.3.5	I <sup>2</sup> C バスステータスレジスタ (ICSR)	20-9
20.3.6	スレーブアドレスレジスタ (SAR)	20-11
20.3.7	I <sup>2</sup> C バス送信データレジスタ (ICDRT)	20-11
20.3.8	I <sup>2</sup> C バス受信データレジスタ (ICDRR)	20-11
20.3.9	I <sup>2</sup> C バスシフトレジスタ (ICDRS)	20-11
20.3.10	I <sup>2</sup> C バスマスタ転送クロック選択レジスタ (ICCKS)	20-12
20.4	動作説明	20-14
20.4.1	I <sup>2</sup> C バスフォーマット	20-14
20.4.2	マスタ送信動作	20-15
20.4.3	マスタ受信動作	20-17
20.4.4	スレーブ送信動作	20-19
20.4.5	スレーブ受信動作	20-21
20.4.6	ノイズ除去回路	20-23
20.4.7	使用例	20-24
20.5	割り込み要求	20-28
20.6	ビット同期回路	20-29
20.7	使用上の注意事項	20-30
21.	シリアル I/O FIFO 付き (SIOF)	21-1
21.1	特長	21-1
21.2	入出力端子	21-3
21.3	レジスタの説明	21-4
21.3.1	モードレジスタ (SIMDR)	21-5
21.3.2	コントロールレジスタ (SICTR)	21-7
21.3.3	送信データレジスタ (SITDR)	21-9
21.3.4	受信データレジスタ (SIRDR)	21-9
21.3.5	送信制御データレジスタ (SITCR)	21-10
21.3.6	受信制御データレジスタ (SIRCR)	21-10
21.3.7	ステータスレジスタ (SISTR)	21-11
21.3.8	割り込み許可レジスタ (SIER)	21-16
21.3.9	FIFO コントロールレジスタ (SIFCTR)	21-17
21.3.10	クロックセレクトレジスタ (SISCR)	21-18

21.3.11	送信データアサインレジスタ (SITDAR) .....	21-20
21.3.12	受信データアサインレジスタ (SIRDAR) .....	21-21
21.3.13	制御データアサインレジスタ (SICDAR) .....	21-22
21.4	動作説明 .....	21-23
21.4.1	シリアルクロック .....	21-23
21.4.2	シリアルタイミング .....	21-24
21.4.3	転送データフォーマット .....	21-25
21.4.4	転送データのレジスタ割り付け .....	21-26
21.4.5	制御データインタフェース .....	21-29
21.4.6	FIFO .....	21-30
21.4.7	送受信手順 .....	21-31
21.4.8	割り込み .....	21-37
21.4.9	送受信タイミング .....	21-38
21.5	使用上の注意事項 .....	21-43
21.5.1	マスタモード 2 で送信再開した時の SYNC 信号の High 期間について .....	21-43
22.	アナログフロントエンドインタフェース (AFEIF) .....	22-1
22.1	特長 .....	22-1
22.2	入出力端子 .....	22-2
22.3	レジスタの説明 .....	22-3
22.3.1	AFEIF コントロールレジスタ 1、2 (ACTR1、ACTR2) .....	22-3
22.3.2	メイクレシオカウンタレジスタ (MRCR) .....	22-6
22.3.3	ミニマムポーズカウンタレジスタ (MPCR) .....	22-6
22.3.4	AFEIF ステータスレジスタ 1、2 (ASTR1、ASTR2) .....	22-6
22.3.5	ダイヤルナンバキュー (DPNQ) .....	22-10
22.3.6	リングングパルスカウンタ (RCNT) .....	22-10
22.3.7	AFE コントロールデータレジスタ (ACDR) .....	22-11
22.3.8	AFE ステータスデータレジスタ (ASDR) .....	22-11
22.3.9	送信データ FIFO ポート (TDFP) .....	22-11
22.3.10	受信データ FIFO ポート (RDFP) .....	22-11
22.4	動作説明 .....	22-12
22.4.1	割り込みタイミング .....	22-12
22.4.2	AFE インタフェース .....	22-14
22.4.3	DAA インタフェース .....	22-16
22.4.4	ウェークアップリングング割り込み .....	22-18
23.	USB ビンマルチプレクスコントローラ .....	23-1
23.1	特長 .....	23-1
23.2	入出力端子 .....	23-3
23.3	レジスタの説明 .....	23-4
23.3.1	USB トランシーバ制御レジスタ (UTRCTL) .....	23-4

23.4	外部回路例 .....	23-5
23.4.1	USB ファンクションコントローラとトランシーバの接続例 .....	23-5
23.4.2	USB ホストコントローラとトランシーバの接続例 .....	23-7
23.5	使用上の注意事項 .....	23-8
23.5.1	USB トランシーバに関して .....	23-8
23.5.2	USB 外部回路例に関して .....	23-8
24.	USB ホストコントローラ (USBH) .....	24-1
24.1	特長 .....	24-1
24.2	入出力端子 .....	24-2
24.3	レジスタの説明 .....	24-3
24.3.1	HcRevision レジスタ (USBHR) .....	24-4
24.3.2	HcControl レジスタ (USBHC) .....	24-4
24.3.3	HcCommandStatus レジスタ (USBHCS) .....	24-7
24.3.4	HcInterruptStatus レジスタ (USBHIS) .....	24-9
24.3.5	HcInterruptEnable レジスタ (USBHIE) .....	24-10
24.3.6	HcInterruptDisable レジスタ (USBHID) .....	24-12
24.3.7	HcHCCA レジスタ (USBHCCA) .....	24-13
24.3.8	HcPeriodCurrentED レジスタ (USBHPCED) .....	24-13
24.3.9	HcControlHeadED レジスタ (USBHCHED) .....	24-13
24.3.10	HcControlCurrentED レジスタ (USBHCCED) .....	24-14
24.3.11	HcBulkHeadED レジスタ (USBHBHED) .....	24-14
24.3.12	HcBulkCurrentED レジスタ (USBHBCED) .....	24-14
24.3.13	HcDoneHeadED レジスタ (USBHDHED) .....	24-14
24.3.14	HcFmInterval レジスタ (USBHFI) .....	24-15
24.3.15	HcFmRemaining レジスタ (USBHFR) .....	24-16
24.3.16	HcFmNumber レジスタ (USBHFN) .....	24-16
24.3.17	HcPeriodicStart レジスタ (USBHPS) .....	24-17
24.3.18	HcLSThreshold レジスタ (USBHLST) .....	24-17
24.3.19	HcRhDescriptorA レジスタ (USBHRDA) .....	24-18
24.3.20	HcRhDescriptorB レジスタ (USBHRDB) .....	24-20
24.3.21	HcRhStatus レジスタ (USBHRS) .....	24-21
24.3.22	HcRhPortStatus1、2 レジスタ (USBHRPS1、USBHRPS2) .....	24-22
24.4	USBホストコントローラのデータ格納フォーマット .....	24-28
24.4.1	転送データの格納フォーマット .....	24-28
24.4.2	ディスクリプタの格納フォーマット .....	24-28
24.5	USBコントローラのデータアライメント制約 .....	24-29
24.5.1	シンクロナス DRAM のライン境界に関する制約 .....	24-29
24.5.2	IN 転送のメモリ書き出しアドレスに関する制約 .....	24-29
24.6	USBホストから外部メモリへのアクセス .....	24-30
24.7	使用上の注意事項 .....	24-30

25.	USB ファンクションコントローラ (USBFC) .....	25-1
25.1	特長 .....	25-1
25.2	入出力端子 .....	25-2
25.3	レジスタの説明 .....	25-3
25.3.1	割り込みフラグレジスタ 0 (IFR0) .....	25-5
25.3.2	割り込みフラグレジスタ 1 (IFR1) .....	25-7
25.3.3	割り込みフラグレジスタ 2 (IFR2) .....	25-8
25.3.4	割り込みフラグレジスタ 3 (IFR3) .....	25-9
25.3.5	割り込みフラグレジスタ 4 (IFR4) .....	25-10
25.3.6	割り込み選択レジスタ 0 (ISR0) .....	25-11
25.3.7	割り込み選択レジスタ 1 (ISR1) .....	25-11
25.3.8	割り込み選択レジスタ 2 (ISR2) .....	25-12
25.3.9	割り込み選択レジスタ 3 (ISR3) .....	25-12
25.3.10	割り込み選択レジスタ 4 (ISR4) .....	25-13
25.3.11	割り込みイネーブルレジスタ 0 (IER0) .....	25-13
25.3.12	割り込みイネーブルレジスタ 1 (IER1) .....	25-14
25.3.13	割り込みイネーブルレジスタ 2 (IER2) .....	25-14
25.3.14	割り込みイネーブルレジスタ 3 (IER3) .....	25-15
25.3.15	割り込みイネーブルレジスタ 4 (IER4) .....	25-15
25.3.16	EP0i データレジスタ (EPDR0i) .....	25-15
25.3.17	EP0o データレジスタ (EPDR0o) .....	25-16
25.3.18	EP0s データレジスタ (EPDR0s) .....	25-16
25.3.19	EP1 データレジスタ (EPDR1) .....	25-16
25.3.20	EP2 データレジスタ (EPDR2) .....	25-17
25.3.21	EP3 データレジスタ (EPDR3) .....	25-17
25.3.22	EP4 データレジスタ (EPDR4) .....	25-17
25.3.23	EP5 データレジスタ (EPDR5) .....	25-18
25.3.24	EP0o 受信データサイズレジスタ (EPSZ0o) .....	25-18
25.3.25	EP1 受信データサイズレジスタ (EPSZ1) .....	25-18
25.3.26	EP4 受信データサイズレジスタ (EPSZ4) .....	25-18
25.3.27	トリガレジスタ (TRG) .....	25-19
25.3.28	データステータスレジスタ (DASTS) .....	25-19
25.3.29	FIFO クリアレジスタ 0 (FCLR0) .....	25-20
25.3.30	FIFO クリアレジスタ 1 (FCLR1) .....	25-20
25.3.31	DMA 転送設定レジスタ (DMA) .....	25-21
25.3.32	エンドポイントストールレジスタ 0 (EPSTL0) .....	25-21
25.3.33	エンドポイントストールレジスタ 1 (EPSTL1) .....	25-22
25.3.34	コンフィグレーションパリュウレジスタ (CVR) .....	25-22
25.3.35	タイムスタンプレジスタ (TSRH/TSRL) .....	25-23
25.3.36	コントロールレジスタ 0 (CTRL0) .....	25-24

25.3.37	コントロールレジスタ 1 (CTRL1) .....	25-25
25.3.38	エンドポイント情報レジスタ (EPIR) .....	25-25
25.3.39	タイマレジスタ (TMRH/TMRL) .....	25-29
25.3.40	セットタイムアウトレジスタ (STOH/STOL) .....	25-29
25.4	動作説明 .....	25-30
25.4.1	ケーブル接続時 .....	25-30
25.4.2	ケーブル切断時 .....	25-31
25.4.3	コントロール転送 .....	25-32
25.4.4	EP1 バルクアウト転送 (2 面 FIFO) .....	25-38
25.4.5	EP2 バルクイン転送 (2 面 FIFO) .....	25-39
25.4.6	EP3 インタラプトイン転送 .....	25-41
25.5	EP4 アイソクロナスアウト転送 .....	25-42
25.6	EP5 アイソクロナスイン転送 .....	25-45
25.7	USB 標準コマンドとクラス / ベンダーコマンドの処理 .....	25-48
25.7.1	コントロール転送で送信されるコマンドの処理 .....	25-48
25.8	ストール動作 .....	25-49
25.8.1	概要 .....	25-49
25.8.2	アプリケーションが強制的にストールさせたい場合 .....	25-49
25.8.3	USB ファンクションモジュールが自動的にストールさせる場合 .....	25-51
25.9	使用上の注意事項 .....	25-52
25.9.1	セットアップデータ受信について .....	25-52
25.9.2	FIFO のクリアについて .....	25-52
25.9.3	データレジスタのオーバーリード / ライトについて .....	25-52
25.9.4	EP0 に関する割り込み要因の割り当てについて .....	25-52
25.9.5	DMA 転送設定時の FIFO クリアについて .....	25-53
25.9.6	TR 割り込み使用時の注意事項 .....	25-53
25.9.7	クロック周波数の注意事項 .....	25-53
26.	LCD コントローラ (LCDC) .....	26-1
26.1	特長 .....	26-1
26.2	入出力端子 .....	26-2
26.3	レジスタの説明 .....	26-3
26.3.1	LCDC インพุットクロックレジスタ (LDICKR) .....	26-4
26.3.2	LCDC モジュールタイプレジスタ (LDMTR) .....	26-5
26.3.3	LCDC データフォーマットレジスタ (LDDFR) .....	26-8
26.3.4	LCDC スキャンモードレジスタ (LDSMR) .....	26-9
26.3.5	LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU) .....	26-10
26.3.6	LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL) .....	26-11
26.3.7	LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR) .....	26-11
26.3.8	LCDC パレットコントロールレジスタ (LDPALCR) .....	26-12
26.3.9	パレットデータレジスタ 00 ~ FF (LDPR00 ~ LDPRFF) .....	26-12

26.3.10	LCDC 水平キャラクタナンバーレジスタ (LDHCNR) .....	26-13
26.3.11	LCDC 水平同期信号レジスタ (LDHSYNR) .....	26-14
26.3.12	LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR) .....	26-15
26.3.13	LCDC 垂直総ラインナンバーレジスタ (LDVTLNR) .....	26-15
26.3.14	LCDC 垂直同期信号レジスタ (LDVSYNR) .....	26-16
26.3.15	LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLR) .....	26-17
26.3.16	LCDC 割り込みコントロールレジスタ (LDINTR) .....	26-17
26.3.17	LCDC パワーマネジメントモードレジスタ (LDPMMR) .....	26-19
26.3.18	LCDC 電源シーケンス期間レジスタ (LDPSPR) .....	26-21
26.3.19	LCDC コントロールレジスタ (LDCNTR) .....	26-22
26.3.20	LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR) .....	26-23
26.3.21	LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR) .....	26-24
26.3.22	LCDC メモリアクセスインターバルナンバーレジスタ (LDLIRNR) .....	26-25
26.4	動作説明 .....	26-26
26.4.1	LCDC で表示可能な液晶モジュールのサイズについて .....	26-26
26.4.2	回転表示の解像度 / パースト長および接続メモリ (SDRAM) の制限 .....	26-27
26.4.3	カラーパレット仕様について .....	26-33
26.4.4	データフォーマット .....	26-34
26.4.5	表示解像度の設定 .....	26-37
26.4.6	電源制御シーケンス処理 .....	26-37
26.4.7	ハードウェアローテーション動作説明 .....	26-41
26.5	クロックとLCDデータ信号例 .....	26-43
26.6	使用上の注意事項 .....	26-53
26.6.1	表示データ格納用 VRAM (エリア 3 のシンクロナス DRAM) アクセスの 停止手順について .....	26-53
27.	A/D 変換器 (ADC) .....	27-1
27.1	特長 .....	27-1
27.2	入出力端子 .....	27-3
27.3	レジスタの説明 .....	27-3
27.3.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D) .....	27-3
27.3.2	A/D コントロール / ステータスレジスタ (ADCSR) .....	27-4
27.4	動作説明 .....	27-7
27.4.1	シングルモード .....	27-7
27.4.2	マルチモード .....	27-9
27.4.3	スキャンモード .....	27-11
27.4.4	入力サンプリングと A/D 変換時間 .....	27-13
27.4.5	外部トリガ入力タイミング .....	27-14
27.5	割り込み要求 .....	27-14
27.6	A/D 変換精度の定義 .....	27-15
27.7	使用上の注意事項 .....	27-16

27.7.1	A/D 変換時の注意事項.....	27-16
27.7.2	A/D 変換の終了による割り込み、DMA 転送時の注意事項.....	27-17
27.7.3	ADST ビット使用時の注意事項.....	27-17
27.7.4	許容信号源インピーダンスについて.....	27-18
27.7.5	絶対精度への影響.....	27-18
27.7.6	アナログ入力電圧の設定範囲.....	27-19
27.7.7	ボード設計上の注意事項.....	27-19
27.7.8	ノイズ対策上の注意事項.....	27-19
28.	D/A 変換器 (DAC) .....	28-1
28.1	特長.....	28-1
28.2	入出力端子.....	28-2
28.3	レジスタの説明.....	28-2
28.3.1	D/A データレジスタ 0、1 (DADR0、DADR1) .....	28-2
28.3.2	D/A コントロールレジスタ (DACR) .....	28-3
28.4	動作説明.....	28-3
29.	PC カードコントローラ (PCC) .....	29-1
29.1	特長.....	29-1
29.1.1	PCMCIA のサポート.....	29-3
29.2	入出力端子.....	29-5
29.3	レジスタの説明.....	29-6
29.3.1	エリア 6 インタフェースステータスレジスタ (PCC0ISR) .....	29-6
29.3.2	エリア 6 ジェネラルコントロールレジスタ (PCC0GCR) .....	29-9
29.3.3	エリア 6 カードステータスチェンジレジスタ (PCC0CSCR) .....	29-11
29.3.4	エリア 6 カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) .....	29-14
29.4	動作の説明.....	29-16
29.4.1	PC カード接続仕様 (インタフェース図、該当端子) .....	29-16
29.4.2	PC カードインタフェースタイミング.....	29-19
29.5	使用上の注意事項.....	29-24
30.	SIM カードモジュール (SIM) .....	30-1
30.1	特長.....	30-1
30.2	入出力端子.....	30-2
30.3	レジスタの説明.....	30-3
30.3.1	シリアルモードレジスタ (SCSMR) .....	30-3
30.3.2	ビットレートレジスタ (SCBRR) .....	30-4
30.3.3	シリアルコントロールレジスタ (SCSCR) .....	30-5
30.3.4	トランスミットシフトレジスタ (SCTSR) .....	30-6
30.3.5	トランスミットデータレジスタ (SCTDR) .....	30-7
30.3.6	シリアルステータスレジスタ (SCSSR) .....	30-7

30.3.7	レシーブシフトレジスタ (SCRSR) .....	30-11
30.3.8	レシーブデータレジスタ (SCRDR) .....	30-11
30.3.9	スマートカードモードレジスタ (SCSCMR) .....	30-11
30.3.10	シリアルコントロール2レジスタ (SCSC2R) .....	30-12
30.3.11	ガードエクステンションレジスタ (SCGRD) .....	30-13
30.3.12	ウェイトタイムレジスタ (SCWAIT) .....	30-13
30.3.13	サンプルレジスタ (SCSMPL) .....	30-13
30.4	動作説明 .....	30-14
30.4.1	概要 .....	30-14
30.4.2	データフォーマット .....	30-14
30.4.3	レジスタ設定 .....	30-16
30.4.4	クロック .....	30-17
30.4.5	データの送信 / 受信動作 .....	30-18
30.5	使用上の注意事項 .....	30-25
31.	マルチメディアカードインタフェース (MMCIF) .....	31-1
31.1	特長 .....	31-1
31.2	入出力端子 .....	31-3
31.3	レジスタの説明 .....	31-3
31.3.1	モードレジスタ (MODER) .....	31-4
31.3.2	コマンドタイプレジスタ (CMDTYR) .....	31-5
31.3.3	レスポンスタイプレジスタ (RSPTYR) .....	31-6
31.3.4	転送バイト数カウンタレジスタ (TBCR) .....	31-8
31.3.5	転送ブロック数カウンタ (TBNCR) .....	31-9
31.3.6	コマンドレジスタ 0~5 (CMDR0~CMDR5) .....	31-9
31.3.7	レスポンスレジスタ 0~16、D (RSPR0~RSPR16、RSPRD) .....	31-10
31.3.8	コマンドスタートレジスタ (CMDSTRT) .....	31-11
31.3.9	オペレーションコントロールレジスタ (OPCR) .....	31-12
31.3.10	コマンドタイムアウトコントロールレジスタ (CTOCR) .....	31-13
31.3.11	データタイムアウトレジスタ (DTOUTR) .....	31-13
31.3.12	カードステータスレジスタ (CSTR) .....	31-14
31.3.13	割り込みコントロールレジスタ 0、1 (INTCR0、INTCR1) .....	31-15
31.3.14	割り込みステータスレジスタ 0、1 (INTSTR0、INTSTR1) .....	31-17
31.3.15	転送クロックコントロールレジスタ (CLKON) .....	31-19
31.3.16	VDD / オープンドレイン制御レジスタ (VDCNT) .....	31-20
31.3.17	データレジスタ (DR) .....	31-20
31.3.18	FIFO ポインタクリアレジスタ (FIFOCLR) .....	31-21
31.3.19	DMA コントロールレジスタ (DMACR) .....	31-21
31.3.20	割り込みコントロールレジスタ 2 (INTCR2) .....	31-22
31.3.21	割り込みステータスレジスタ 2 (INTSTR2) .....	31-22
31.4	動作説明 .....	31-23



31.4.1	MMC モードの動作.....	31-23
31.5	DMAC使用時の動作説明.....	31-52
31.5.1	リードシーケンス時の動作.....	31-52
31.5.2	ライトシーケンス時の動作.....	31-62
31.6	MMCIF割り込み要因.....	31-72
32.	SSL アクセラレータ (SSL) .....	32-1
33.	ユーザブレイクコントローラ (UBC) .....	33-1
33.1	特長.....	33-1
33.2	レジスタの説明.....	33-4
33.2.1	ブレイクアドレスレジスタ A (BARA) .....	33-4
33.2.2	ブレイクアドレスマスクレジスタ A (BAMRA) .....	33-5
33.2.3	ブレイクバスサイクルレジスタ A (BBRA) .....	33-5
33.2.4	ブレイクアドレスレジスタ B (BARB) .....	33-6
33.2.5	ブレイクアドレスマスクレジスタ B (BAMRB) .....	33-7
33.2.6	ブレイクデータレジスタ B (BDRB) .....	33-7
33.2.7	ブレイクデータマスクレジスタ B (BDMRB) .....	33-8
33.2.8	ブレイクバスサイクルレジスタ B (BBRB).....	33-9
33.2.9	ブレイクコントロールレジスタ (BRCR) .....	33-10
33.2.10	実行回数ブレイクレジスタ (BETR) .....	33-12
33.2.11	ブランチソースレジスタ (BRSR) .....	33-13
33.2.12	ブランチデスティネーションレジスタ (BRDR) .....	33-13
33.2.13	ブレイク ASID レジスタ A (BASRA) .....	33-14
33.2.14	ブレイク ASID レジスタ B (BASRB) .....	33-14
33.3	動作説明.....	33-14
33.3.1	ユーザブレイク動作の流れ.....	33-14
33.3.2	命令フェッチサイクルでのブレイク .....	33-16
33.3.3	データアクセスサイクルでのブレイク .....	33-17
33.3.4	X メモリまたは Y メモリバスサイクルでのブレイク .....	33-18
33.3.5	シーケンシャルブレイク.....	33-18
33.3.6	退避されるプログラムカウンタの値 .....	33-19
33.3.7	PC トレース .....	33-20
33.3.8	使用例.....	33-20
33.4	使用上の注意事項 .....	33-25
34.	ピンファンクションコントローラ (PFC) .....	34-1
34.1	レジスタの説明.....	34-5
34.1.1	ポート A コントロールレジスタ (PACR) .....	34-6
34.1.2	ポート B コントロールレジスタ (PBCR) .....	34-7
34.1.3	ポート C コントロールレジスタ (PCCR) .....	34-8

34.1.4	ポートDコントロールレジスタ (PDCR) .....	34-10
34.1.5	ポートEコントロールレジスタ (PECR) .....	34-11
34.1.6	ポートFコントロールレジスタ (PFCR) .....	34-12
34.1.7	ポートGコントロールレジスタ (PGCR) .....	34-13
34.1.8	ポートHコントロールレジスタ (PHCR) .....	34-14
34.1.9	ポートJコントロールレジスタ (PJCR) .....	34-16
34.1.10	ポートKコントロールレジスタ (PKCR) .....	34-17
34.1.11	ポートLコントロールレジスタ (PLCR) .....	34-18
34.1.12	ポートMコントロールレジスタ (PMCR) .....	34-19
34.1.13	ポートPコントロールレジスタ (PPCR) .....	34-20
34.1.14	ポートRコントロールレジスタ (PRCR) .....	34-21
34.1.15	ポートSコントロールレジスタ (PSCR) .....	34-22
34.1.16	ポートTコントロールレジスタ (PTCR) .....	34-23
34.1.17	ポートUコントロールレジスタ (PUCR) .....	34-24
34.1.18	ポートVコントロールレジスタ (PVCR) .....	34-25
34.1.19	ピンセレクトレジスタ A (PSELA) .....	34-26
34.1.20	ピンセレクトレジスタ B (PSELB) .....	34-28
34.1.21	ピンセレクトレジスタ C (PSELC) .....	34-29
34.1.22	ピンセレクトレジスタ D (PSELD) .....	34-30
34.1.23	USB トランシーバ制御レジスタ (UTRCTL) .....	34-32
35.	I/O ポート .....	35-1
35.1	ポートA .....	35-1
35.1.1	レジスタの説明 .....	35-1
35.1.2	ポート A データレジスタ (PADR) .....	35-1
35.2	ポートB .....	35-2
35.2.1	レジスタの説明 .....	35-3
35.2.2	ポート B データレジスタ (PBDR) .....	35-3
35.3	ポートC .....	35-4
35.3.1	レジスタの説明 .....	35-4
35.3.2	ポート C データレジスタ (PCDR) .....	35-4
35.4	ポートD .....	35-5
35.4.1	レジスタの説明 .....	35-5
35.4.2	ポート D データレジスタ (PDDR) .....	35-5
35.5	ポートE .....	35-6
35.5.1	レジスタの説明 .....	35-6
35.5.2	ポート E データレジスタ (PEDR) .....	35-7
35.6	ポートF .....	35-8
35.6.1	レジスタの説明 .....	35-8
35.6.2	ポート F データレジスタ (PFDR) .....	35-8
35.7	ポートG .....	35-9

35.7.1	レジスタの説明 .....	35-9
35.7.2	ポート G データレジスタ (PGDR) .....	35-10
35.8	ポート H .....	35-11
35.8.1	レジスタの説明 .....	35-11
35.8.2	ポート H データレジスタ (PHDR) .....	35-11
35.9	ポート J .....	35-12
35.9.1	レジスタの説明 .....	35-12
35.9.2	ポート J データレジスタ (PJDR) .....	35-13
35.10	ポート K .....	35-14
35.10.1	レジスタの説明 .....	35-14
35.10.2	ポート K データレジスタ (PKDR) .....	35-14
35.11	ポート L .....	35-15
35.11.1	レジスタの説明 .....	35-15
35.11.2	ポート L データレジスタ (PLDR) .....	35-16
35.12	ポート M .....	35-17
35.12.1	レジスタの説明 .....	35-17
35.12.2	ポート M データレジスタ (PMDR) .....	35-17
35.13	ポート P .....	35-18
35.13.1	レジスタの説明 .....	35-18
35.13.2	ポート P データレジスタ (PPDR) .....	35-19
35.14	ポート R .....	35-20
35.14.1	レジスタの説明 .....	35-20
35.14.2	ポート R データレジスタ (PRDR) .....	35-20
35.15	ポート S .....	35-21
35.15.1	レジスタの説明 .....	35-21
35.15.2	ポート S データレジスタ (PSDR) .....	35-21
35.16	ポート T .....	35-22
35.16.1	レジスタの説明 .....	35-22
35.16.2	ポート T データレジスタ (PTDR) .....	35-23
35.17	ポート U .....	35-24
35.17.1	レジスタの説明 .....	35-24
35.17.2	ポート U データレジスタ (PUDR) .....	35-24
35.18	ポート V .....	35-25
35.18.1	レジスタの説明 .....	35-25
35.18.2	ポート V データレジスタ (PVDR) .....	35-26
36.	ユーザデバッグインタフェース (H-UDI) .....	36-1
36.1	特長 .....	36-1
36.2	入出力端子 .....	36-2
36.3	レジスタの説明 .....	36-3
36.3.1	バイパスレジスタ (SDBPR) .....	36-3

36.3.2	インストラクションレジスタ (SDIR) .....	36-3
36.3.3	シフトレジスタ .....	36-4
36.3.4	バウンダリスキャンレジスタ (SDBSR) .....	36-4
36.3.5	ID レジスタ (SDID) .....	36-12
36.4	動作説明 .....	36-13
36.4.1	TAP コントローラ .....	36-13
36.4.2	リセット構成 .....	36-14
36.4.3	TDO 出力タイミング .....	36-14
36.4.4	H-UDI リセット .....	36-15
36.4.5	H-UDI 割り込み .....	36-15
36.5	バウンダリスキャン .....	36-16
36.5.1	サポートする命令 .....	36-16
36.5.2	注意事項 .....	36-17
36.6	使用上の注意事項 .....	36-17
36.7	アドバンスユーザーデバッグ (AUD) .....	36-18
37.	レジスター一覧 .....	37-1
37.1	レジスタアドレス一覧 .....	37-2
37.2	レジスタビット一覧 .....	37-16
37.3	各動作モードにおけるレジスタの状態 .....	37-45
38.	電気的特性 .....	38-1
38.1	絶対最大定格 .....	38-1
38.2	電源投入および切断順序 .....	38-2
38.3	DC特性 .....	38-4
38.4	AC特性 .....	38-8
38.4.1	クロックタイミング .....	38-9
38.4.2	制御信号タイミング .....	38-12
38.4.3	AC バスタイミング仕様 .....	38-15
38.4.4	基本タイミング .....	38-17
38.4.5	パースト ROM タイミング .....	38-24
38.4.6	SDRAM タイミング .....	38-25
38.4.7	PCMCIA タイミング .....	38-44
38.4.8	周辺モジュール信号タイミング .....	38-48
38.4.9	16 ビットタイマパルスユニット (TPU) .....	38-49
38.4.10	RTC 信号タイミング .....	38-50
38.4.11	SCIF モジュール信号タイミング .....	38-50
38.4.12	I <sup>2</sup> C バスインタフェースタイミング .....	38-52
38.4.13	SIOF モジュール信号タイミング .....	38-53
38.4.14	AFEIF モジュール信号タイミング .....	38-57
38.4.15	USB モジュール信号タイミング .....	38-58

38.4.16	LCDC モジュール信号タイミング .....	38-59
38.4.17	SIM モジュール信号タイミング .....	38-60
38.4.18	MMCIF モジュール信号タイミング .....	38-60
38.4.19	H-UDI 関連端子のタイミング .....	38-62
38.5	A/D変換器特性 .....	38-64
38.6	D/A変換器特性 .....	38-64
38.7	AC特性測定条件 .....	38-65
付録	.....	付録-1
A.	端子状態 .....	付録-1
B.	型名一覧 .....	付録-10
C.	外形寸法図 .....	付録-11
本版で改訂された箇所	.....	改訂-1
索引	.....	索引-1



---

# 図目次

---

1. 概要	
図 1.1	ブロック図..... 1-9
図 1.2	ピン配置図 ( PLBG0256GA-A ( BP-256H/HV ) ) ..... 1-10
図 1.3	ピン配置図 ( PLBG0256KA-A ( BP-256C/CV ) ) ..... 1-11
2. CPU	
図 2.1	処理の状態遷移図..... 2-2
図 2.2	論理アドレス空間と外部メモリ空間とのマッピング ..... 2-4
図 2.3	処理モード別のレジスタ構成..... 2-6
図 2.4	汎用レジスタの構成 ..... 2-8
図 2.5	システムレジスタおよびプログラムカウンタの構成 ..... 2-9
図 2.6	コントロールレジスタの構成..... 2-11
図 2.7	メモリ上のデータ形式 ( ビッグエンディアン ) ..... 2-13
図 2.8	メモリ上のデータ形式 ( リトルエンディアン ) ..... 2-13
3. DSP 演算ユニット	
図 3.1	DSP 命令の命令形式..... 3-2
図 3.2	DSP モードでの CPU レジスタ..... 3-4
図 3.3	DSP レジスタの構成..... 3-7
図 3.4	DSP レジスタとバスの接続..... 3-16
図 3.5	汎用レジスタ ( DSP モード ) ..... 3-19
図 3.6	DSP データ演算命令による並行処理プログラムの例..... 3-30
図 3.7	条件付き演算とデータ転送命令の例..... 3-32
図 3.8	データ形式..... 3-34
図 3.9	ALU 固定小数点算術演算フロー..... 3-35
図 3.10	演算シーケンスの例..... 3-37
図 3.11	キャリー / ボローモードでの DC ビット生成の例..... 3-37
図 3.12	負値モードでの DC ビット生成の例..... 3-38
図 3.13	オーバフローモードでの DC ビット生成の例..... 3-38
図 3.14	ALU 整数演算フロー ..... 3-40
図 3.15	ALU 論理演算フロー ..... 3-41
図 3.16	固定小数点乗算フロー ..... 3-43
図 3.17	算術シフト演算フロー ..... 3-44
図 3.18	論理シフト演算フロー ..... 3-46
図 3.19	PDMSB 演算フロー ..... 3-48
図 3.20	丸め演算フロー ..... 3-50
図 3.21	丸め演算の定義..... 3-51
図 3.22	ローカルデータ移動命令のフロー..... 3-52
4. メモリマネジメントユニット ( MMU )	
図 4.1	MMU の役割..... 4-2
図 4.2	論理アドレス空間 ( MMUCR.AT = 1 の場合 ) ..... 4-4

図 4.3	論理アドレス空間 (MMUCR.AT = 0 の場合) .....	4-5
図 4.4	P4 領域 .....	4-5
図 4.5	物理アドレス空間 .....	4-7
図 4.6	TLB 全体の構成 .....	4-12
図 4.7	論理アドレスと TLB エントリの構成 .....	4-12
図 4.8	TLB インデックス番号作成の方法 (IX = 1) .....	4-14
図 4.9	TLB インデックス番号作成の方法 (IX = 0) .....	4-15
図 4.10	アドレス比較対象 .....	4-16
図 4.11	LDTLB 命令の動作 .....	4-19
図 4.12	シノニム問題 (32kB キャッシュの場合) .....	4-20
図 4.13	MMU 例外の流れ .....	4-26
図 4.14	メモリ割り付けされた TLB アクセスのアドレス部、データ部指定方法 .....	4-28
5. キャッシュ		
図 5.1	キャッシュの構成 .....	5-2
図 5.2	キャッシュの検索方法 .....	5-7
図 5.3	ライトバックバッファの構成 .....	5-9
図 5.4	メモリ割り付けキャッシュアクセスのアドレス、データ指定方法 (16k バイトモード時) .....	5-12
7. 例外処理		
図 7.1	レジスタのビット構成 .....	7-2
8. 割り込みコントローラ (INTC)		
図 8.1	割り込みコントローラのブロック図 .....	8-2
図 8.2	IRL 割り込み接続例 .....	8-20
図 8.3	割り込み動作フローチャート .....	8-28
9. バスステートコントローラ (BSC)		
図 9.1	バスステートコントローラのブロック図 .....	9-3
図 9.2	アドレス空間 .....	9-6
図 9.3	通常空間基本アクセス (アクセスウェイト 0) .....	9-45
図 9.4	通常空間連続アクセス例 1 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0 (アクセスウェイト 0、サイクル間ウェイト 0) .....	9-46
図 9.5	通常空間連続アクセス例 2 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 1 (アクセスウェイト 0、サイクル間ウェイト 0) .....	9-47
図 9.6	32 ビットデータ幅 SRAM 接続例 .....	9-48
図 9.7	16 ビットデータ幅 SRAM 接続例 .....	9-49
図 9.8	8 ビットデータ幅 SRAM 接続例 .....	9-49
図 9.9	通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ) .....	9-50
図 9.10	通常空間アクセスのウェイトタイミング (WAIT 信号によるウェイト挿入) .....	9-51
図 9.11	CSn アサート期間拡張 .....	9-52
図 9.12	32 ビットデータ幅 SDRAM 接続例 .....	9-54
図 9.13	16 ビットデータ幅 SDRAM 接続例 .....	9-55
図 9.14	パストリード基本タイミング (オートプリチャージ) .....	9-63
図 9.15	パストリードウェイト指定タイミング (オートプリチャージ) .....	9-64
図 9.16	シングルリードの基本タイミング (オートプリチャージ) .....	9-65
図 9.17	パストライト基本タイミング (オートプリチャージ) .....	9-66
図 9.18	シングルライト基本タイミング (オートプリチャージ) .....	9-67



図 9.19	バーストリードタイミング (オートプリチャージなし) .....	9-69
図 9.20	バーストリードタイミング (バンクアクティブ、同一ロウアドレス) .....	9-70
図 9.21	バーストリードタイミング (バンクアクティブ、異なるロウアドレス) .....	9-71
図 9.22	シングルライトタイミング (オートプリチャージなし) .....	9-72
図 9.23	シングルライトタイミング (バンクアクティブ、同一ロウアドレス) .....	9-73
図 9.24	シングルライトタイミング (バンクアクティブ、異なるロウアドレス) .....	9-74
図 9.25	オートリフレッシュタイミング .....	9-75
図 9.26	セルフリフレッシュタイミング .....	9-76
図 9.27	パワーダウンモードでのアクセスタイミング .....	9-78
図 9.28	SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠) .....	9-80
図 9.29	EMRS コマンド発行タイミング .....	9-81
図 9.30	ディープパワーダウンモード遷移タイミング .....	9-82
図 9.31	バースト ROM (クロック非同期) アクセス (バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、 2 回目以降アクセスウェイト 1) .....	9-84
図 9.32	BAS = 0 バイト選択付き SRAM 基本アクセスタイミング .....	9-85
図 9.33	BAS = 1 バイト選択付き SRAM 基本アクセスタイミング .....	9-86
図 9.34	BAS = 1 バイト選択付き SRAM ウェイトタイミング (ソフトウェアのみ) .....	9-87
図 9.35	32 ビットデータ幅バイト選択付き SRAM 接続例 .....	9-88
図 9.36	16 ビットデータ幅バイト選択付き SRAM 接続例 .....	9-88
図 9.37	PCMCIA インタフェース接続例 .....	9-89
図 9.38	PCMCIA メモリカードインタフェース基本タイミング .....	9-90
図 9.39	PCMCIA メモリカードインタフェースウェイトタイミング (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 1、ハードウェイト 1) .....	9-91
図 9.40	PCMCIA 空間割り付け例 (CS5BWCR.SA[1:0] = B'10、CS6BWCR.SA[1:0] = B'10) .....	9-92
図 9.41	PCMCIA I/O カードインタフェース基本タイミング .....	9-93
図 9.42	PCMCIA I/O カードインタフェースウェイトタイミング (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 1、ハードウェイト 1) .....	9-94
図 9.43	PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 3) .....	9-94
図 9.44	バースト ROM (クロック同期) アクセス (バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1) .....	9-95
図 9.45	バスアービトレーション .....	9-97

## 10. ダイレクトメモリアクセスコントローラ (DMAC)

図 10.1	DMAC ブロック図 .....	10-2
図 10.2	DMA 転送フローチャート .....	10-16
図 10.3	ラウンドロビンモード .....	10-21
図 10.4	ラウンドロビンモードでのチャンネル優先順位 .....	10-22
図 10.5	デュアルアドレスモードのデータフロー .....	10-24
図 10.6	デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ) ....	10-25
図 10.7	シングルアドレスモードのデータフロー .....	10-26
図 10.8	シングルアドレスモードの DMA 転送タイミング例 .....	10-27
図 10.9	サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出) .....	10-28
図 10.10	サイクルスチールインタミットモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出) .....	10-28

図 10.11	バーストモードでの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)	10-29
図 10.12	複数チャンネルが動作する場合のバス状態	10-30
図 10.13	サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例	10-31
図 10.14	サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例	10-31
図 10.15	バーストモード・エッジ検出時の DREQ 入力検出タイミング例	10-32
図 10.16	バーストモード・レベル検出時の DREQ 入力検出タイミング例	10-32
図 10.17	DMA 転送終了タイミング例 (サイクルスチール・レベル検出)	10-32
図 10.18	BSC 通常メモリアクセス例 (ノーウェイト、アイドルサイクル 1、16 ビットデバイスへのロングワードアクセス)	10-33
図 10.19	サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング (サイクル間アイドルにより DACK が 4 分割され、1 回多く受け付けられる場合)	10-35
図 10.20	サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング (サイクル間アイドルにより DACK が分割されず、正常に受け付けられる場合)	10-35
図 10.21	サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング (サイクルアイドルにより DACK が 4 分割され、1 回多く受け付けられる場合)	10-36
図 10.22	サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング (サイクル間アイドルにより DACK が分割されず、正常に受け付けられる場合)	10-36
11. クロック発振器 (CPG)		
図 11.1	CPG のブロック図	11-2
図 11.2	水晶発振器使用時の注意	11-12
図 11.3	PLL 発振回路使用時の注意	11-13
12. ウォッチドッグタイマ (WDT)		
図 12.1	WDT のブロック図	12-2
図 12.2	WTCNT、WTCSR への書き込み	12-5
13. 低消費電力モード		
図 13.1	STBCR の STBY ビットとスタンバイモードの解除	13-11
図 13.2	パワーオンリセットの STATUS 出力	13-12
図 13.3	マニュアルリセットの STATUS 出力	13-12
図 13.4	ソフトウェアスタンバイ 割り込みの STATUS 出力	13-13
図 13.5	ソフトウェアスタンバイ パワーオンリセットの STATUS 出力	13-13
図 13.6	ソフトウェアスタンバイ マニュアルリセットの STATUS 出力	13-14
図 13.7	スリープ 割り込みの STATUS 出力	13-14
図 13.8	スリープ パワーオンリセットの STATUS 出力	13-15
図 13.9	スリープ マニュアルリセットの STATUS 出力	13-15
図 13.10	ハードウェアスタンバイモードのタイミング (通常動作時に CA = ローレベルとなる場合)	13-17
図 13.11	ハードウェアスタンバイモードのタイミング (スタンバイモード解除での WDT 動作中に CA = ローレベルとなる場合)	13-17
図 13.12	V <sub>cc_RTC</sub> 、V <sub>cc_Q_RTC</sub> 以外の電源 OFF 時のタイミング	13-18
14. タイマユニット (TMU)		
図 14.1	TMU のブロック図	14-2
図 14.2	カウント動作設定手順例	14-7
図 14.3	オートリロードカウンタの動作	14-7
図 14.4	内部クロック動作時のカウントタイミング	14-8

図 14.5	RTC クロック動作時のカウントタイミング	14-8
図 14.6	UNF のセットタイミング	14-9
図 14.7	ステータスフラグのクリアタイミング	14-9
15.	16 ビットタイマパルスユニット (TPU)	
図 15.1	TPU のブロック図	15-3
図 15.2	カウンタ動作設定手順例	15-16
図 15.3	フリーランニングカウンタの動作	15-17
図 15.4	周期カウンタの動作	15-17
図 15.5	コンペアマッチによる波形出力動作例	15-18
図 15.6	0 出力 / 1 出力の動作例	15-19
図 15.7	トグル出力の動作例	15-19
図 15.8	コンペアマッチバッファ動作	15-20
図 15.9	バッファ動作の設定手順例	15-20
図 15.10	バッファ動作例	15-21
図 15.11	PWM モードの設定手順例	15-22
図 15.12	PWM モードの動作例 (1)	15-22
図 15.13	PWM モードの動作例 (2)	15-23
図 15.14	位相計数モードの設定手順例	15-24
図 15.15	位相計数モード 1 の動作例	15-24
図 15.16	位相計数モード 2 の動作例	15-25
図 15.17	位相計数モード 3 の動作例	15-26
図 15.18	位相計数モード 4 の動作例	15-27
図 15.19	位相計数モード時の位相差、オーバーラップ、およびパルス幅	15-28
16.	コンペアマッチタイマ (CMT)	
図 16.1	CMT のブロック図	16-2
図 16.2	カウンタ動作 (ワンショット動作時)	16-7
図 16.3	カウンタ動作 (フリーラン動作時)	16-7
図 16.4	CMF セットタイミング	16-9
17.	リアルタイムクロック (RTC)	
図 17.1	RTC のブロック図	17-2
図 17.2	時刻設定手順	17-16
図 17.3	時刻読み出し手順	17-17
図 17.4	アラーム機能の使用法	17-18
図 17.5	周期割り込み機能の使用法	17-19
図 17.6	水晶発振回路接続例	17-20
18.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	
図 18.1	SCIF のブロック図	18-3
図 18.2	SCIF の初期化フローチャートの例	18-27
図 18.3	シリアル送信のフローチャートの例	18-28
図 18.4	送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	18-30
図 18.5	送信データストップ機能の動作例	18-30
図 18.6	送信データストップ機能のフローチャート	18-31
図 18.7	シリアル受信のフローチャートの例 (1)	18-32
図 18.8	シリアル受信のフローチャートの例 (2)	18-33

図 18.9	SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	18-34
図 18.10	$\overline{\text{CTS}}$ 制御の動作例	18-35
図 18.11	$\overline{\text{RTS}}$ 制御の動作例	18-35
図 18.12	クロック同期式通信のデータフォーマット	18-36
図 18.13	送信動作時の初期化フローチャートの例 (1)	18-37
図 18.13	受信動作時の初期化フローチャートの例 (2)	18-38
図 18.13	同時送受信時の初期化フローチャートの例 (3)	18-39
図 18.14	送信動作時のフローチャートの例 (初期化後 1 回目の送信動作) (1)	18-40
図 18.14	送信動作時のフローチャートの例 (2 回目以降の送信動作) (2)	18-41
図 18.15	受信動作時のフローチャートの例 (初期化後 1 回目の受信動作) (1)	18-42
図 18.15	受信動作時のフローチャートの例 (2 回目以降の受信動作) (2)	18-43
図 18.16	同時送受信動作時のフローチャートの例 (初期化後 1 回目の送受信動作) (1)	18-44
図 18.16	同時送受信動作時のフローチャートの例 (2 回目以降の送受信動作) (2)	18-45
図 18.17	受信データサンプリングタイミング	18-48
19. 赤外線通信モジュール (IrDA)		
図 19.1	IrDA のブロック図	19-1
図 19.2	送受信動作	19-4
20. I <sup>2</sup> C バスインタフェース (IIC)		
図 20.1	I <sup>2</sup> C バスインタフェースのブロック図	20-2
図 20.2	入出力端子の外部回路接続例	20-3
図 20.3	I <sup>2</sup> C バスフォーマット	20-14
図 20.4	I <sup>2</sup> C バスタイミング	20-14
図 20.5	マスタ送信モード動作タイミング (1)	20-16
図 20.6	マスタ送信モード動作タイミング (2)	20-16
図 20.7	マスタ受信モード動作タイミング (1)	20-18
図 20.8	マスタ受信モード動作タイミング (2)	20-18
図 20.9	スレーブ送信モード動作タイミング (1)	20-20
図 20.10	スレーブ送信モード動作タイミング (2)	20-21
図 20.11	スレーブ受信モード動作タイミング (1)	20-22
図 20.12	スレーブ受信モード動作タイミング (2)	20-22
図 20.13	ノイズ除去回路のブロック図	20-23
図 20.14	マスタ送信モードのフローチャート例	20-24
図 20.15	マスタ受信モードのフローチャート例	20-25
図 20.16	スレーブ送信モードフローチャート例	20-26
図 20.17	スレーブ受信モードフローチャート例	20-27
図 20.18	ビット同期回路のタイミング	20-29
21. シリアル I/O FIFO 付き (SIOF)		
図 21.1	SIOF のブロック図	21-2
図 21.2	シリアルクロック供給	21-23
図 21.3	シリアルデータ同期タイミング	21-24
図 21.4	SIOF 送受信タイミング	21-25
図 21.5	送受信データビットアライメント	21-27
図 21.6	制御データビットアライメント	21-28
図 21.7	制御データインタフェース (スロット位置)	21-29
図 21.8	制御データインタフェース (セカンダリ FS)	21-30

図 21.9	マスタ時送信動作例 .....	21-32
図 21.10	マスタ時受信動作例 .....	21-33
図 21.11	スレーブ時送信動作例 .....	21-34
図 21.12	スレーブ時受信動作例 .....	21-35
図 21.13	送受信タイミング (8 ビットモノラル - 1) .....	21-38
図 21.14	送受信タイミング (8 ビットモノラル - 2) .....	21-39
図 21.15	送受信タイミング (16 ビットモノラル - 1) .....	21-39
図 21.16	送受信タイミング (16 ビットステレオ - 1) .....	21-40
図 21.17	送受信タイミング (16 ビットステレオ - 2) .....	21-40
図 21.18	送受信タイミング (16 ビットステレオ - 3) .....	21-41
図 21.19	送受信タイミング (16 ビットステレオ - 4) .....	21-41
図 21.20	送受信タイミング (16 ビットステレオ) .....	21-42
図 21.21	フレーム長 32 ビットの場合の例 .....	21-43
22. アナログフロントエンドインタフェース (AFEIF)		
図 22.1	AFE インタフェースブロック図 .....	22-2
図 22.2	FIFO インタラプトタイミング .....	22-12
図 22.3	リングングインタラプト発生タイミング .....	22-13
図 22.4	インタラプトジェネレータ .....	22-13
図 22.5	AFE シリアルインタフェース .....	22-14
図 22.6	AFE コントロールシーケンス .....	22-15
図 22.7	DAA ブロック図 .....	22-16
図 22.8	リングング検出シーケンス .....	22-17
23. USB ピンマルチプレクスコントローラ		
図 23.1	USB ピンマルチプレクスのブロック図 .....	23-2
図 23.2	USB ファンクションコントローラの接続例 1 (内部トランシーバ使用時) .....	23-5
図 23.3	USB ファンクションコントローラの接続例 2 (内部トランシーバ未使用時) .....	23-6
図 23.4	USB ホストコントローラの接続例 1 (内部トランシーバ使用時) .....	23-7
図 23.5	USB ホストコントローラの接続例 2 (内部トランシーバ未使用時) .....	23-8
25. USB ファンクションコントローラ (USBF)		
図 25.1	USBF のブロック図 .....	25-2
図 25.2	エンドポイント構成例 .....	25-29
図 25.3	ケーブル接続時の動作 .....	25-30
図 25.4	ケーブル切断時の動作 .....	25-31
図 25.5	コントロール転送における各転送ステージ .....	25-32
図 25.6	セットアップステージの動作 .....	25-33
図 25.7	データステージ (コントロールイン時) の動作 .....	25-34
図 25.8	データステージ (コントロールアウト時) の動作 .....	25-35
図 25.9	ステータスステージ (コントロールイン時) の動作 .....	25-36
図 25.10	ステータスステージ (コントロールアウト時) の動作 .....	25-37
図 25.11	EP1 バルクアウト転送の動作 .....	25-38
図 25.12	EP2 バルクイン転送の動作 .....	25-39
図 25.13	EP3 インタラプトイン転送の動作 .....	25-41
図 25.14	EP4 アイソクロナスアウト転送の動作 (SOF 正常時) .....	25-42
図 25.15	EP4 アイソクロナスアウト転送の動作 (SOF 破損時) .....	25-43
図 25.16	EP5 アイソクロナスイン転送の動作 (SOF 正常時) .....	25-45

図 25.17	EPS アイソクロナスイン転送の動作 (SOF 破損時) .....	25-46
図 25.18	アプリケーションで強制的にストールさせたい場合 .....	25-50
図 25.19	USB ファンクションモジュールが自動的にストールさせた場合 .....	25-51
図 25.20	TR 割り込みフラグのセットタイミング .....	25-53
26. LCD コントローラ (LCDC)		
図 26.1	LCDC のブロック図 .....	26-2
図 26.2	有効な表示と帰線期間 .....	26-26
図 26.3	カラーパレットデータフォーマット .....	26-33
図 26.4	電源制御シーケンスと液晶モジュールの動作状態 .....	26-37
図 26.5	電源制御シーケンスと液晶モジュールの動作状態 .....	26-38
図 26.6	電源制御シーケンスと液晶モジュールの動作状態 .....	26-38
図 26.7	電源制御シーケンスと液晶モジュールの動作状態 .....	26-39
図 26.8	ハードウェアローテーション動作 (非回転時) .....	26-42
図 26.9	ハードウェアローテーション動作 (回転時) .....	26-43
図 26.10	クロックと LCD データ信号例 (STN モノクロ 4 ビットデータバスモジュール) .....	26-43
図 26.11	クロックと LCD データ信号例 (STN モノクロ 8 ビットデータバスモジュール) .....	26-44
図 26.12	クロックと LCD データ信号例 (STN カラー 4 ビットデータバスモジュール) .....	26-44
図 26.13	クロックと LCD データ信号例 (STN カラー 8 ビットデータバスモジュール) .....	26-45
図 26.14	クロックと LCD データ信号例 (STN カラー 12 ビットデータバスモジュール) .....	26-45
図 26.15	クロックと LCD データ信号例 (STN カラー 16 ビットデータバスモジュール) .....	26-46
図 26.16	クロックと LCD データ信号例 (DSTN モノクロ 8 ビットデータバスモジュール) .....	26-46
図 26.17	クロックと LCD データ信号例 (DSTN モノクロ 16 ビットデータバスモジュール) .....	26-47
図 26.18	クロックと LCD データ信号例 (DSTN カラー 8 ビットデータバスモジュール) .....	26-47
図 26.19	クロックと LCD データ信号例 (DSTN カラー 12 ビットデータバスモジュール) .....	26-48
図 26.20	クロックと LCD データ信号例 (DSTN カラー 16 ビットデータバスモジュール) .....	26-49
図 26.21	クロックと LCD データ信号例 (TFT カラー 16 ビットデータバスモジュール) .....	26-50
図 26.22	クロックと LCD データ信号例 (8 ビットインタフェースカラー 640×480) .....	26-51
図 26.23	クロックと LCD データ信号例 (16 ビットインタフェースカラー 640×480) .....	26-52
27. A/D 変換器 (ADC)		
図 27.1	A/D 変換器のブロック図 .....	27-2
図 27.2	A/D 変換器の動作例 (シングルモード チャネル 1 選択時) .....	27-8
図 27.3	A/D 変換器の動作例 (マルチモード AN0 ~ AN2 の 3 チャネル選択時) .....	27-10
図 27.4	A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャネル選択時) .....	27-12
図 27.5	A/D 変換タイミング .....	27-13
図 27.6	外部トリガ入力タイミング .....	27-14
図 27.7	A/D 変換精度の定義 .....	27-15
図 27.8	アナログ入力回路の例 .....	27-18
図 27.9	アナログ入力保護回路の例 .....	27-19
図 27.10	アナログ入力端子等価回路 .....	27-20
28. D/A 変換器 (DAC)		
図 28.1	D/A 変換器のブロック図 .....	28-1
図 28.2	D/A 変換動作の例 .....	28-4
29. PC カードコントローラ (PCC)		
図 29.1	PC カードコントローラのブロック図 .....	29-2

図 29.2	連続 32MB エリアモード .....	29-4
図 29.3	連続 16MB エリアモード (エリア 6) .....	29-5
図 29.4	インタフェース図 .....	29-16
図 29.5	PCMCIA メモリカードインタフェース基本タイミング .....	29-19
図 29.6	PCMCIA メモリカードインタフェースウェイトタイミング .....	29-20
図 29.7	PCMCIA I/O カードインタフェース基本タイミング .....	29-21
図 29.8	PCMCIA I/O カードインタフェースウェイトタイミング .....	29-22
図 29.9	PCMCIA I/O カードインタフェースに対する動的バスサイジングタイミング .....	29-23
30. SIM カードモジュール (SIM)		
図 30.1	スマートカードインタフェース .....	30-2
図 30.2	スマートカードインタフェースのデータフォーマット .....	30-15
図 30.3	開始キャラクタの波形例 .....	30-17
図 30.4	初期化のフロー例 .....	30-19
図 30.5	送信処理フローの例 .....	30-21
図 30.6	受信処理フローの例 .....	30-23
図 30.7	スマートカードモード時の受信データサンプリングタイミング .....	30-25
図 30.8	スマートカードインタフェース受信モードの場合の再転送動作 .....	30-27
図 30.9	スマートカードインタフェース送信モードの場合の再転送動作スタンバイモード (クロックストップ) .....	30-27
図 30.10	クロック停止、再起動手順 .....	30-28
図 30.11	スマートカードインタフェース端子接続例 .....	30-29
図 30.12	TEIE セットタイミング .....	30-30
31. マルチメディアカードインタフェース (MMCIF)		
図 31.1	MMCIF のブロック図 .....	31-2
図 31.2	コマンドレスポンスを要さないコマンドシーケンスの例 .....	31-25
図 31.3	コマンドレスポンスを要さないコマンドの動作フローチャートの例 .....	31-25
図 31.4	データ転送を伴わないコマンドシーケンスの例 (データビジー状態なし) .....	31-27
図 31.5	データ転送を伴わないコマンドシーケンスの例 (データビジー状態あり) .....	31-28
図 31.6	データ転送を伴わないコマンドの動作フローチャートの例 .....	31-29
図 31.7	リードデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ) .....	31-31
図 31.8	リードデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ) .....	31-32
図 31.9	リードデータを伴うコマンドシーケンスの例 (マルチブロック転送) .....	31-33
図 31.10	リードデータを伴うコマンドシーケンスの例 (ストリーム転送) .....	31-34
図 31.11	リードデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送) .....	31-35
図 31.12 (1)	リードデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送) .....	31-36
図 31.12 (2)	リードデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送) .....	31-37
図 31.13 (1)	リードデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送) .....	31-38
図 31.13 (2)	リードデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送) .....	31-39
図 31.14	リードデータを伴うコマンドの動作フローチャートの例 (ストリーム転送) .....	31-40
図 31.15	ライトデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ) .....	31-42
図 31.16	ライトデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ) .....	31-43
図 31.17	ライトデータを伴うコマンドのコマンドシーケンスの例 (マルチブロック転送) .....	31-44

図 31.18	ライトデータを伴うコマンドシーケンスの例 (ストリーム転送)	31-45
図 31.19	ライトデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)	31-46
図 31.20 (1)	ライトデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)	31-47
図 31.20 (2)	ライトデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)	31-48
図 31.21 (1)	ライトデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)	31-49
図 31.21 (2)	ライトデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)	31-50
図 31.22	ライトデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)	31-51
図 31.23	リードシーケンスフローチャートの例 (シングルブロック転送)	31-54
図 31.24 (1)	リードシーケンスフローチャートの例 (open-ended マルチブロック転送)	31-55
図 31.24 (2)	リードシーケンスフローチャートの例 (open-ended マルチブロック転送)	31-56
図 31.25 (1)	リードシーケンスフローチャートの例 (pre-defined マルチブロック転送)	31-57
図 31.25 (2)	リードシーケンスフローチャートの例 (pre-defined マルチブロック転送)	31-58
図 31.26	リードシーケンスフローチャートの例 (ストリームリード転送)	31-59
図 31.27 (1)	オートモード pre-defined マルチブロックリード転送の動作フローの例	31-60
図 31.27 (2)	オートモード pre-defined マルチブロックリード転送の動作フローの例	31-61
図 31.28	ライトシーケンスフローチャートの例 (シングルブロック転送)	31-64
図 31.29 (1)	ライトシーケンスフローチャートの例 (open-ended マルチブロック転送)	31-65
図 31.29 (2)	ライトシーケンスフローチャートの例 (open-ended マルチブロック転送)	31-66
図 31.30 (1)	ライトシーケンスフローチャートの例 (pre-defined マルチブロック転送)	31-67
図 31.30 (2)	ライトシーケンスフローチャートの例 (pre-defined マルチブロック転送)	31-68
図 31.31	ライトシーケンスフローチャートの例 (ストリームライト転送)	31-69
図 31.32 (1)	オートモード pre-defined マルチブロックライト転送動作フローチャートの例	31-70
図 31.32 (2)	オートモード pre-defined マルチブロックライト転送動作フローチャートの例	31-71
33. ユーザブレイクコントローラ (UBC)		
図 33.1	UBC のブロック図	33-3
35. I/O ポート		
図 35.1	ポート A	35-1
図 35.2	ポート B	35-2
図 35.3	ポート C	35-4
図 35.4	ポート D	35-5
図 35.5	ポート E	35-6
図 35.6	ポート F	35-8
図 35.7	ポート G	35-9
図 35.8	ポート H	35-11
図 35.9	ポート J	35-12
図 35.10	ポート K	35-14
図 35.11	ポート L	35-15
図 35.12	ポート M	35-17
図 35.13	ポート P	35-18
図 35.14	ポート R	35-20
図 35.15	ポート S	35-21
図 35.16	ポート T	35-22



図 35.17	ポート U .....	35-24
図 35.18	ポート V .....	35-25
36. ユーザデバッグインタフェース (H-UDI)		
図 36.1	H-UDI ブロック図 .....	36-1
図 36.2	TAP コントローラ状態遷移図 .....	36-13
図 36.3	H-UDI データ転送タイミング .....	36-15
図 36.4	H-UDI リセット .....	36-15
38. 電気的特性		
図 38.1	EXTAL クロック入力タイミング .....	38-10
図 38.2	CKIO クロック出力タイミング .....	38-10
図 38.3	CKIO クロック入力タイミング .....	38-10
図 38.4	パワーオン発振安定時間 .....	38-11
図 38.5	スタンバイ復帰時発振安定時間 (リセットによる復帰) .....	38-11
図 38.6	スタンバイ復帰時発振安定時間 (NMI、IRQ による復帰) .....	38-11
図 38.7	リセットまたは NMI、IRQ 割り込みによる PLL 同期安定化時間 .....	38-12
図 38.8	リセット入力タイミング .....	38-13
図 38.9	割り込み信号入力タイミング .....	38-13
図 38.10	バス権解放タイミング .....	38-14
図 38.11	スタンバイ時の端子ドライブタイミング .....	38-14
図 38.12	通常空間基本バスサイクル (ノーウェイト) .....	38-17
図 38.13	通常空間基本バスサイクル (ソフトウェアウェイト 1) .....	38-18
図 38.14	通常空間基本バスサイクル (外部ウェイト 1 挿入) .....	38-19
図 38.15	通常空間基本バスサイクル (ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、 アイドルサイクルなし設定) .....	38-20
図 38.16	通常空間 CS 拡張バスサイクル (SW = 1 サイクル、HW = 1 サイクル、外部ウェイト 1 挿入) .....	38-21
図 38.17	バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、外部ウェイト 1 挿入、 BAS = 0 (ライトサイクル UB、LB コントロール)) .....	38-22
図 38.18	バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、外部ウェイト 1 挿入、 BAS = 1 (ライトサイクル WE コントロール)) .....	38-23
図 38.19	バースト ROM リードバスサイクル (ソフトウェアウェイト 1、外部ウェイト 1 挿入、バーストウェイト 1、2 バースト) .....	38-24
図 38.20	SDRAM シングルリードバスサイクル (オートプリチャージモード、CAS レイテンシ 2、TRCD = 1 サイクル、TRP = 1 サイクル) .....	38-25
図 38.21	SDRAM シングルリードバスサイクル (オートプリチャージモード、CAS レイテンシ 2、TRCD = 2 サイクル、TRP = 2 サイクル) .....	38-26
図 38.22	SDRAM パーストリードバスサイクル (シングルリード × 8) (オートプリチャージモード、CAS レイテンシ 2、 TRCD = 1 サイクル、TRP = 2 サイクル) .....	38-27

☒ 38.23	SDRAM パーストリードバスサイクル (シングルリード×8) (オートプリチャージモード、CAS レイテンシ 2、 TRCD=2 サイクル、TRP=1 サイクル) .....	38-28
☒ 38.24	SDRAM シングルライトバスサイクル (オートプリチャージモード、TRWL=1 サイクル) .....	38-29
☒ 38.25	SDRAM シングルライトバスサイクル (オートプリチャージモード、TRCD=3 サイクル、TRWL=1 サイクル) .....	38-30
☒ 38.26	SDRAM パーストライトバスサイクル (シングルライト×8) (オートプリチャージモード、TRCD=1 サイクル、TRWL=1 サイクル) .....	38-31
☒ 38.27	SDRAM パーストライトバスサイクル (シングルライト×8) (オートプリチャージモード、TRCD=2 サイクル、TRWL=1 サイクル) .....	38-32
☒ 38.28	SDRAM パーストリードバスサイクル (シングルリード×8) (バンクアクティブモード：ACTV+READ コマンド、CAS レイテンシ 2、 TRCD=1 サイクル) .....	38-33
☒ 38.29	SDRAM パーストリードバスサイクル (シングルリード×8) (バンクアクティブモード：READ コマンド、同一ロウアドレス、CAS レイテンシ 2、 TRCD=1 サイクル) .....	38-34
☒ 38.30	SDRAM パーストリードバスサイクル (シングルリード×8) (バンクアクティブモード：PRE+ACTV+READ コマンド、異なるロウアドレス、 CAS レイテンシ 2、TRCD=1 サイクル) .....	38-35
☒ 38.31	SDRAM パーストライトバスサイクル (シングルライト×8) (バンクアクティブモード、ACTV+WRIT コマンド、TRCD=1 サイクル) .....	38-36
☒ 38.32	SDRAM パーストライトバスサイクル (シングルライト×8) (バンクアクティブモード、ACTV+WRIT コマンド、TRCD=1 サイクル) .....	38-37
☒ 38.33	SDRAM パーストライトバスサイクル (シングルライト×8) (バンクアクティブモード、PRE+ACTV+WRIT コマンド、TRCD=1 サイクル) .....	38-38
☒ 38.34	SDRAM オートリフレッシュタイミング (TRP=2 サイクル) .....	38-39
☒ 38.35	SDRAM セルフリフレッシュタイミング (TRP=2 サイクル) .....	38-40
☒ 38.36	SDRAM パワーオンシーケンス (モードライトタイミング、TRP=2 サイクル) .....	38-41
☒ 38.37	SDRAM パワーダウンモードライトリードバスサイクル (オートプリチャージモード、TRCD=1 サイクル、TRP=1 サイクル、 TRWL=1 サイクル) .....	38-42
☒ 38.38	SDRAM パワーダウンモードリードライトバスサイクル (オートプリチャージモード、TRCD=1 サイクル、TRP=1 サイクル、 TRWL=1 サイクル) .....	38-43
☒ 38.39	PCMCIA メモリカードインタフェースバスタイミング .....	38-44
☒ 38.40	PCMCIA メモリカードインタフェースバスタイミング (TED[3:0]=B'0010、TEH[3:0]=B'0001、1 ソフトウェイト 1、ハードウェイト 1) .....	38-45
☒ 38.41	PCMCIA I/O カードインタフェースバスタイミング .....	38-46
☒ 38.42	PCMCIA I/O カードインタフェースバスタイミング (TED[3:0]=B'0010、TEH[3:0]=B'0001、1 ソフトウェイト 1、ハードウェイト 1) .....	38-47
☒ 38.43	REFOUT、IRQOUT 遅延時間 .....	38-47
☒ 38.44	I/O ポートタイミング .....	38-48
☒ 38.45	DREQ 入力タイミング (DREQ ローレベル検出) .....	38-48
☒ 38.46	DACK 出力タイミング .....	38-48
☒ 38.47	TPU 出力タイミング .....	38-49
☒ 38.48	TPU クロック入力タイミング .....	38-49

図 38.49	RTC 用水晶発振器パワーオン時発振安定時間 .....	38-50
図 38.50	SCK 入力クロックタイミング .....	38-51
図 38.51	クロック同期モード時の SCIF 入出力タイミング .....	38-51
図 38.52	I <sup>2</sup> C バスインタフェース入出力タイミング .....	38-52
図 38.53	SIOF_MCLK 入力タイミング .....	38-53
図 38.54	SIOF 送受信タイミング (マスタモード 1・立ち下がりサンプリング時) .....	38-54
図 38.55	SIOF 送受信タイミング (マスタモード 1・立ち上がりサンプリング時) .....	38-54
図 38.56	SIOF 送受信タイミング (マスタモード 2・立ち下がりサンプリング時) .....	38-55
図 38.57	SIOF 送受信タイミング (マスタモード 2・立ち上がりサンプリング時) .....	38-55
図 38.58	SIOF 送受信タイミング (スレープモード 1・スレープモード 2 時) .....	38-56
図 38.59	AFEIF モジュール AC タイミング .....	38-57
図 38.60	USB クロックタイミング .....	38-58
図 38.61	LCDC モジュール信号タイミング .....	38-59
図 38.62	SIM モジュール信号タイミング .....	38-60
図 38.63	MMCIF 送信タイミング .....	38-61
図 38.64	MMCIF 受信タイミング (立ち上がりサンプリング) .....	38-61
図 38.65	TCK 入力タイミング .....	38-62
図 38.66	$\overline{\text{TRST}}$ 入力タイミング (リセットホールド時) .....	38-62
図 38.67	H-UDI データ転送タイミング .....	38-63
図 38.68	$\overline{\text{ASEMD0}}$ 入力タイミング .....	38-63
図 38.69	出力負荷回路 .....	38-65

## 付録

図 C.1	外形寸法図 (PLBG0256GA-A (BP-256H/HV)) .....	付録-11
図 C.2	外形寸法図 (PLBG0256KA-A (BP-256C/CV)) .....	付録-12



---

# 表目次

---

1. 概要	
表 1.1 SH7720 グループ、SH7721 グループの特長	1-2
表 1.2 製品ラインナップ (SH7720 グループ)	1-8
表 1.3 製品ラインナップ (SH7721 グループ)	1-8
表 1.4 ピン配置表	1-12
表 1.5 SH7720 グループ、SH7721 グループの端子機能	1-21
2. CPU	
表 2.1 論理アドレス空間	2-3
表 2.2 レジスタの初期値	2-5
表 2.3 アドレッシングモードと実効アドレス	2-16
表 2.4 命令形式	2-19
表 2.5 機能別命令	2-21
表 2.6 データ転送命令	2-24
表 2.7 算術演算命令	2-25
表 2.8 論理演算命令	2-26
表 2.9 シフト命令	2-27
表 2.10 分岐命令	2-27
表 2.11 システム制御命令	2-28
表 2.12 オペレーションコードマップ	2-31
3. DSP 演算ユニット	
表 3.1 CPU の処理モード	3-3
表 3.2 論理アドレス空間	3-3
表 3.3 各処理モードにおける SR の各ビットの動作説明	3-6
表 3.4 RS および RE のアドレス設定ルール	3-10
表 3.5 リピート制御命令	3-10
表 3.6 リピート制御マクロ	3-11
表 3.7 DSP モード拡張システム制御命令	3-12
表 3.8 リピート制御中の PC の値 (RC[11:0] $\geq$ 2 の場合)	3-14
表 3.9 DSP モード拡張システム制御命令	3-18
表 3.10 データ転送命令の関係	3-21
表 3.11 モジュロアドレッシング制御命令	3-23
表 3.12 ダブルデータ転送の命令形式	3-24
表 3.13 シングルデータ転送命令の命令形式	3-25
表 3.14 DSP 命令のデスティネーションレジスタ	3-26
表 3.15 DSP 命令のソースレジスタ	3-27
表 3.16 DSR レジスタのビットの説明	3-28
表 3.17 DSP 演算命令の命令形式	3-29
表 3.18 DSP 命令のオペランドとレジスタの対応	3-30
表 3.19 DC ビットの更新ルール	3-31

表 3.20	NOPX と NOPY の命令コードの例	3-33
表 3.21	ALU 固定小数点算術演算の種類	3-36
表 3.22	オペランドとレジスタの対応	3-36
表 3.23	ALU 整数演算の種類	3-40
表 3.24	ALU 論理演算の種類	3-41
表 3.25	固定小数点乗算の種類	3-43
表 3.26	オペランドの柔軟性	3-43
表 3.27	シフト演算の種類	3-44
表 3.28	PDMSB 命令の定義	3-49
表 3.29	PDMSB 命令の種類	3-49
表 3.30	丸め演算の種類	3-51
表 3.31	固定小数点算術用演算のオーバーフロー防止機能の定義	3-51
表 3.32	整数算術演算用オーバーフロー防止機能の定義	3-52
表 3.33	ローカルデータ移動命令の種類	3-52
表 3.34	オペランド柔軟性	3-53
表 3.35	DSP モード拡張システム制御命令	3-54
表 3.36	ダブルデータ転送命令	3-55
表 3.37	シングルデータ転送命令	3-56
表 3.38	DSP データ転送のオペランドとレジスタとの対応	3-57
表 3.39	DSP 演算命令	3-58
表 3.40	オペレーションコードマップ	3-63
4. メモリマネジメントユニット (MMU)		
表 4.1	D、C、PR ビットによるアクセス状態	4-17
5. キャッシュ		
表 5.1	キャッシュ容量ごとのエントリ数と1ウェイ当たりの容量	5-1
表 5.2	LRU ビットと置き換えられるウェイ (キャッシュロック機能を使用しない場合)	5-3
表 5.3	PREF 命令がキャッシュミスした場合に置き換えられるウェイ	5-5
表 5.4	PREF 命令以外がキャッシュミスした場合に置き換えられるウェイ	5-5
表 5.5	LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 0 の場合)	5-6
表 5.6	LRU ビットと置き換えられるウェイ (W2LOCK = 0 かつ W3LOCK = 1 の場合)	5-6
表 5.7	LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 1 の場合)	5-6
表 5.8	メモリ割り付けキャッシュ容量別アドレスフォーマット	5-12
6. X/Y メモリ		
表 6.1	X/Y メモリ論理アドレス	6-1
表 6.2	MMU、キャッシュの設定	6-4
7. 例外処理		
表 7.1	例外事象一覧	7-7
表 7.2	リピートループ中の命令位置と制約の種類	7-14
表 7.3	リピート制御中に生じた再実行型例外に対するの SPC の値 (SR.RC[11:0] ≥ 2 の場合)	7-16
表 7.4	リピートループでの例外受け付けの制限	7-18
表 7.5	リピート制御中のメモリアクセス例外で特殊な例外を生じる命令 (SR.RC[11:0] ≥ 1)	7-18
8. 割り込みコントローラ (INTC)		
表 8.1	端子構成	8-3

表 8.2	割り込み要求要因と IPRA ~ IPRJ.....	8-5
表 8.3	割り込み例外処理要因と優先順位 (IRQ モード時).....	8-22
表 8.4	割り込み例外処理要因と優先順位 (IRL モード時).....	8-24
表 8.5	割り込みレベルと INTEVT コード.....	8-26
9. バスステートコントローラ (BSC)		
表 9.1	端子構成.....	9-4
表 9.2	アドレスマップ 1 (CMNCR.MAP=0).....	9-7
表 9.3	アドレスマップ 2 (CMNCR.MAP=1).....	9-8
表 9.4	外部端子 (MD4、MD3) と CS0 メモリタイプ、メモリバス幅の対応.....	9-8
表 9.5	外部端子 (MD5) とエンディアン対応.....	9-9
表 9.6	32 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント.....	9-40
表 9.7	16 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント.....	9-41
表 9.8	8 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント.....	9-42
表 9.9	32 ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント.....	9-43
表 9.10	16 ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント.....	9-43
表 9.11	8 ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント.....	9-44
表 9.12	A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (1).....	9-56
表 9.13	A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (2).....	9-57
表 9.14	A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (3).....	9-58
表 9.15	A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (4).....	9-59
表 9.16	A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (5).....	9-60
表 9.17	A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (6).....	9-61
表 9.18	アクセスサイズとバースト数の関係.....	9-62
表 9.19	SDRAM モードレジスタ ライト時のアクセスアドレス.....	9-79
表 9.20	EMRS コマンド発行時の出力アドレス.....	9-81
表 9.21	バス幅およびアクセスサイズとバースト数の関係.....	9-83
10. ダイレクトメモリアクセスコントローラ (DMAC)		
表 10.1	外部バスに対する端子構成.....	10-3
表 10.2	転送要求元一覧.....	10-14
表 10.3	RS ビットによる外部リクエストモードの選択.....	10-17
表 10.4	DL、DS ビットによる外部リクエスト検出の選択.....	10-17
表 10.5	DO ビットによる外部リクエスト検出の選択.....	10-18
表 10.6	RS3 ~ RS0 ビットによる内蔵周辺モジュールリクエストモードの選択.....	10-19
表 10.7	サポートできる DMA 転送.....	10-23
表 10.8	DMA 転送区間とリクエストモード、バスモードとの関連一覧.....	10-29
11. クロック発振器 (CPG)		
表 11.1	発振回路の端子構成と機能.....	11-4
表 11.2	クロックモード.....	11-5
表 11.3	クロックモードと FRQCR 値の可能な組み合わせ.....	11-6
13. 低消費電力モード		
表 13.1	低消費電力モードの状態.....	13-2
表 13.2	端子構成.....	13-3

14. タイマユニット (TMU)	
表 14.1 TMU の割り込み要因	14-10
15. 16 ビットタイマパルスユニット (TPU)	
表 15.1 TPU 機能一覧	15-2
表 15.2 TPU の端子構成	15-4
表 15.3 TPU のクロックソース一覧	15-8
表 15.4 TPSC2 ~ TPSC0 (1)	15-8
表 15.4 TPSC2 ~ TPSC0 (2)	15-8
表 15.4 TPSC2 ~ TPSC0 (3)	15-8
表 15.4 TPSC2 ~ TPSC0 (4)	15-9
表 15.5 IOA2 ~ IOA0	15-11
表 15.6 レジスタの組み合わせ	15-19
表 15.7 位相計数モードクロック入力端子	15-23
表 15.8 位相計数モード 1 のアップ / ダウンカウント条件	15-25
表 15.9 位相計数モード 2 のアップ / ダウンカウント条件	15-26
表 15.10 位相計数モード 3 のアップ / ダウンカウント条件	15-27
表 15.11 位相計数モード 4 の動作例	15-28
17. リアルタイムクロック (RTC)	
表 17.1 端子構成	17-3
表 17.2 推奨発振回路の定数 (推奨値)	17-19
18. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	
表 18.1 端子構成	18-4
表 18.2 SCSMR の設定値とシリアル送信 / 受信フォーマット	18-25
表 18.3 シリアル送信 / 受信フォーマット	18-25
表 18.4 SCIF 割り込み要因	18-47
19. 赤外線通信モジュール (IrDA)	
表 19.1 端子構成	19-2
表 19.2 設定例 (P = 33.1776MHz の場合)	19-3
20. I <sup>2</sup> C バスインタフェース (IIC)	
表 20.1 端子構成	20-3
表 20.2 転送レート	20-13
表 20.3 割り込み要求一覧	20-28
表 20.4 SCL をモニタする時間	20-29
21. シリアル I/O FIFO 付き (SIOF)	
表 21.1 端子構成	21-3
表 21.2 転送モードごとの動作	21-6
表 21.3 SIOF シリアルクロック周波数例	21-23
表 21.4 シリアル転送モード	21-25
表 21.5 フレーム長	21-26
表 21.6 送信データ音声モード	21-27
表 21.7 受信データ音声モード	21-28
表 21.8 制御データの ch 数設定	21-28



表 21.9	送信要求発行条件 .....	21-31
表 21.10	受信要求発行条件 .....	21-31
表 21.11	送受信リセット .....	21-36
表 21.12	SIOF 割り込み要因 .....	21-37
22.	アナログフロントエンドインタフェース (AFEIF)	
表 22.1	端子構成 .....	22-2
表 22.2	FIFO インタラプトサイズの指定 .....	22-4
表 22.3	電話番号とデータの対応 .....	22-10
23.	USB ピンマルチプレクスコントローラ	
表 23.1	端子構成 (デジタルトランシーバ信号) .....	23-3
表 23.2	端子構成 (アナログトランシーバ信号) .....	23-3
表 23.3	端子構成 (電源制御信号) .....	23-3
表 23.4	端子構成 (クロック信号) .....	23-4
24.	USB ホストコントローラ (USBH)	
表 24.1	端子構成 .....	24-2
25.	USB ファンクションコントローラ (USBF)	
表 25.1	端子構成 .....	25-2
表 25.2	設定可能値の制約一覧 .....	25-27
表 25.3	エンドポイント構成例 .....	25-28
表 25.4	エンドポイント構成情報設定例 .....	25-28
表 25.5	アプリケーション側でのコマンドデコード .....	25-48
26.	LCD コントローラ (LCDC)	
表 26.1	端子構成 .....	26-2
表 26.2	入出力クロック周波数と分周比 .....	26-5
表 26.3	回転表示の解像度 / パースト長および接続メモリの制限 (SDRAM 32bit 幅時) .....	26-27
表 26.4	回転表示の解像度 / パースト長および接続メモリの制限 (SDRAM 16bit 幅時) .....	26-30
表 26.5	代表的なフレームレートにおいて設定可能な電源制御シーケンス期間 .....	26-39
表 26.6	LCDC 動作モード .....	26-40
表 26.7	液晶モジュール電源状態 .....	26-40
27.	A/D 変換器 (ADC)	
表 27.1	端子構成 .....	27-3
表 27.2	アナログ入力チャンネルと ADDR の対応 .....	27-4
表 27.3	A/D 変換時間 (シングルモード) .....	27-14
表 27.4	A/D 変換結果の転送方法と余分な DMA 転送が付加される条件 .....	27-17
表 27.5	アナログ端子の規格 .....	27-20
28.	D/A 変換器 (DAC)	
表 28.1	端子構成 .....	28-2
29.	PC カードコントローラ (PCC)	
表 29.1	PCMCIA インタフェースの特長 .....	29-3
表 29.2	PCC の端子構成 .....	29-5
表 29.3	PCMCIA サポートインタフェース .....	29-17

30. SIM カードモジュール (SIM)	
表 30.1 端子構成	30-2
表 30.2 スマートカードインタフェースでのレジスタ設定	30-16
表 30.3 SCBRR の設定に対するビットレート (bits/秒) の例 (P = 19.8[MHz]、SCSMPL = 371)	30-18
表 30.4 スマートカードインタフェース割り込み要因	30-24
31. マルチメディアカードインタフェース (MMCIF)	
表 31.1 端子構成	31-3
表 31.2 コマンドと CMDTYR、RSPTYR 設定	31-7
表 31.3 CMDR の構成	31-9
表 31.4 コマンドレスポンスバイト数と RSPR レジスタの対応	31-10
表 31.5 MMCIF 割り込み要因	31-72
33. ユーザブレイクコントローラ (UBC)	
表 33.1 ブレイクアドレスレジスタの指定	33-6
表 33.2 ブレイクデータレジスタの指定	33-8
表 33.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件	33-17
34. ピンファンクションコントローラ (PFC)	
表 34.1 マルチプレクス一覧表	34-1
35. I/O ポート	
表 35.1 ポート A データレジスタ (PADR) の読み出し / 書き込み動作	35-2
表 35.2 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作	35-3
表 35.3 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作	35-5
表 35.4 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作	35-6
表 35.5 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作	35-7
表 35.6 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作	35-9
表 35.7 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作	35-10
表 35.8 ポート H データレジスタ (PHDR) の読み出し / 書き込み動作	35-12
表 35.9 ポート J データレジスタ (PJDR) の読み出し / 書き込み動作	35-13
表 35.10 ポート K データレジスタ (PKDR) の読み出し / 書き込み動作	35-15
表 35.11 ポート L データレジスタ (PLDR) の読み出し / 書き込み動作	35-16
表 35.12 ポート M データレジスタ (PMDR) の読み出し / 書き込み動作	35-18
表 35.13 ポート N データレジスタ (PPDR) の読み出し / 書き込み動作	35-19
表 35.14 ポート R データレジスタ (PRDR) の読み出し / 書き込み動作	35-21
表 35.15 ポート S データレジスタ (PSDR) の読み出し / 書き込み動作	35-22
表 35.16 ポート T データレジスタ (PTDR) の読み出し / 書き込み動作	35-23
表 35.17 ポート U データレジスタ (PUDR) の読み出し / 書き込み動作	35-25
表 35.18 ポート V データレジスタ (PVDR) の読み出し / 書き込み動作	35-26
36. ユーザデバッグインタフェース (H-UDI)	
表 36.1 端子構成	36-2
表 36.2 H-UDI コマンド	36-4
表 36.3 本 LSI の端子とパウンダリスキャンレジスタの対応	36-5
表 36.4 リセット構成	36-14

### 38. 電気的特性

表 38.1	絶対最大定格	38-1
表 38.2	電源投入時間推奨値	38-2
表 38.3	電源切断時間推奨値	38-3
表 38.4	DC 特性 (1) 【共通項目】	38-4
表 38.4	DC 特性 (2-a) 【USB トランシーバ、I <sup>2</sup> C、ADC、DAC のアナログ関連端子をのぞく】	38-6
表 38.4	DC 特性 (2-b) 【I <sup>2</sup> C 関連端子】	38-7
表 38.4	DC 特性 (2-c) 【USB トランシーバ関連端子】	38-7
表 38.5	出力許容電流値	38-7
表 38.6	最大動作周波数	38-8
表 38.7	クロックタイミング	38-9
表 38.8	制御信号タイミング	38-12
表 38.9	バスタイミング	38-15
表 38.10	周辺モジュール信号タイミング	38-48
表 38.11	16 ビットタイマパルスユニット	38-49
表 38.12	RTC 信号タイミング	38-50
表 38.13	SCIF モジュール信号タイミング	38-50
表 38.14	I <sup>2</sup> C バスインタフェースタイミング	38-52
表 38.15	SIOF モジュール信号タイミング	38-53
表 38.16	AFEIF モジュール信号タイミング	38-57
表 38.17	USB モジュールクロックタイミング	38-58
表 38.18	USB 電気的特性 (フルスピード)	38-58
表 38.19	USB 電気的特性 (ロースピード)	38-58
表 38.20	LCDC モジュール信号タイミング	38-59
表 38.21	SIM モジュール信号タイミング	38-60
表 38.22	MMCIF モジュール信号タイミング	38-60
表 38.23	H-UDI 関連端子のタイミング	38-62
表 38.24	A/D 変換器特性	38-64
表 38.25	D/A 変換器特性	38-64

### 付録

表 A.1	端子状態表	付録-1
-------	-------	------



---

# 1. 概要

---

## 1.1 特長

本 LSI は、32 ビット RISC タイプ Super H アーキテクチャの CPU とデジタル信号処理 (DSP) 拡張機能をコアとして、大容量 32k バイトキャッシュメモリ、16k バイトの X/Y メモリ、および割り込みコントローラなどを集積した RISC マイクロプロセッサです。また、内蔵 DMAC (Direct Memory Access Controller) による高速データ転送や、外部メモリアクセスサポート機能による各種メモリへの直結が可能です。さらに、ステレオオーディオ録音再生機能、USB ホストコントローラ、ファンクションコントローラ、LCD コントローラ、PCMCIA インタフェース、A/D 変換器、D/A 変換器を内蔵しています。

USB ホスト、LCD コントローラはバスマスタ機能を有しており、外部メモリ (エリア 3) に用意したデータを自由に処理することができます。特に USB ホストコントローラは OpenHCI 規格に対応しているため、デバイスドライバの PC などからの移植が極めて容易です。また、LCD コントローラはスリープモード中も表示を継続するため、バッテリー動作に適した省電力動作が可能です。

内蔵の高性能電源マネジメント機能により、高速動作中でも消費電力を低く抑えることができます。本 LSI は、高速、低消費電力を同時に必要とする電子機器に最適です。

また、RSA 演算 (RSA : Rivest Shamir Adleman)、DES (Data Encryption Standard) および Triple-DES の暗号・復号を行う SSL (Secure Socket Layer) アクセラレータを搭載した SH7720 グループと、SSL を搭載しない SH7721 グループを用意し、各グループには、SD ホストインタフェース (SDHI) を搭載した品種を用意しており、多彩な用途にご利用いただけます。

SDHI の搭載品種は表 1.2 および表 1.3 を参照してください。

【注】 SDHI、SSL の詳細な仕様に関しては、担当営業までご連絡ください。

本 LSI の特長を表 1.1 に示します。

表 1.1 SH7720 グループ、SH7721 グループの特長

項目	特 長
CPU	<ul style="list-style-type: none"> <li>• ルネサス独自の SuperH アーキテクチャ</li> <li>• SH-1、SH-2、SH-3 と互換性のあるオブジェクトコードレベル</li> <li>• 32 ビット内部データバス</li> <li>• 汎用レジスタ <ul style="list-style-type: none"> <li>- 16 本の 32 ビット汎用レジスタ (8 本の 32 ビットシャドーレジスタ)</li> <li>- 5 本の 32 ビット制御レジスタ</li> <li>- 4 本の 32 ビットシステムレジスタ</li> </ul> </li> <li>• RISC 方式命令セット <ul style="list-style-type: none"> <li>- 命令長：コードの効率改善のための 16 ビット固定長</li> <li>- ロードストアアーキテクチャ</li> <li>- 遅延分岐命令</li> <li>- C 言語に基づく命令セット</li> </ul> </li> <li>• 命令実行時間：基本命令について 1 命令 / サイクル</li> <li>• 論理アドレス空間：4GB</li> <li>• 空間識別子 ASID：8 ビット、256 論理アドレス空間</li> <li>• 5 段パイプライン</li> </ul>
DSP 演算ユニット	<ul style="list-style-type: none"> <li>• 16 ビット命令、32 ビット命令の混在</li> <li>• 32 ビット、40 ビット内部データバス</li> <li>• 乗算器、ALU、バレルシフタ、DSP レジスタ</li> <li>• 16 ビット × 16 ビット 32 ビット 1 サイクル乗算器</li> <li>• 大容量 DSP データレジスタ <ul style="list-style-type: none"> <li>- 6 本の 32 ビットデータレジスタ</li> <li>- 2 本の 40 ビットデータレジスタ</li> </ul> </li> <li>• DSP データバス用の拡張ハーバードアーキテクチャ <ul style="list-style-type: none"> <li>- 2 本のデータバス</li> <li>- 1 本の命令バス</li> </ul> </li> <li>• 最大 4 つの並行演算：ALU、乗算、2 つのロード、ストア</li> <li>• 2 つのメモリアクセス用のアドレスを生成するための 2 本のアドレスユニット</li> <li>• DSP データアドレッシングモード：インクリメント、インデクス (モジュロアドレッシングあり / なし)</li> <li>• ゼロオーバーヘッドリピートループ制御</li> <li>• 条件付実行命令</li> <li>• ユーザ DSP モードおよび特権 DSP モード</li> </ul>

項目	特 長
メモリマネジメント ユニット (MMU)	<ul style="list-style-type: none"> <li>• 4G バイトのアドレス空間、256 のアドレス空間 (ASID 8 ビット)</li> <li>• ページユニット共有</li> <li>• 複数のページサイズをサポート: 1k バイト、4k バイト</li> <li>• 128 エントリ、4 ウェイセットアソシアティブ TLB</li> <li>• ソフトウェアによるリプレースウェイ指定、およびランダムリプレースアルゴリズムをサポート</li> <li>• アドレス割り付けにより、TLB の内容を直接アクセス可能</li> </ul>
キャッシュメモリ	<ul style="list-style-type: none"> <li>• 命令 / データ混在 32k バイトキャッシュ</li> <li>• 512 エントリ、4 ウェイセットアソシアティブ、16 バイトブロック長</li> <li>• ライトバック方式、ライトスルー方式選択可能、LRU (Least Recentry Used) 置換アルゴリズム</li> <li>• 1 段階ライトバックバッファ</li> </ul>
X/Y メモリ	<ul style="list-style-type: none"> <li>• ユーザで選択可能なマッピングメカニズム <ul style="list-style-type: none"> <li>- ミッションクリティカルなリアルタイムアプリケーション用の固定マッピング</li> <li>- TLB による自動マッピングのため操作が容易</li> </ul> </li> <li>• 3 本の独立した読み出し / 書き込みポート <ul style="list-style-type: none"> <li>- CPU からの 8、16、32 ビットアクセス</li> <li>- DSP からの最大 2 つの 16 ビットアクセス</li> <li>- DMAC からの 8、16、32 ビットアクセス</li> </ul> </li> <li>• X、Y 各メモリに対し 8k バイトの RAM (4k バイト x 4)</li> </ul>
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> <li>• 7 本の外部割り込み端子 (NMI、IRQ5 ~ IRQ0) <ul style="list-style-type: none"> <li>- NMI: 立ち下がり / 立ち上がり選択可能</li> <li>- IRQ: 立ち下がり / 立ち上がり / ハイレベル / ローレベル選択可能</li> </ul> </li> <li>• 内蔵周辺割り込み: モジュールごとに優先順位を設定</li> </ul>
バスステート コントローラ (BSC)	<ul style="list-style-type: none"> <li>• 物理アドレス空間はそれぞれ最大 64M バイトの領域、および最大 32M バイトの領域をサポート。</li> <li>• 各エリアには独立に次の機能を設定可能: <ul style="list-style-type: none"> <li>- バスサイズ (8、16、32 ビット): ただし、各エリアごとにサポートサイズが異なる</li> <li>- アクセスウェイトサイクル数: リード / ライトで独立ウェイト設定可のエリアあり</li> <li>- アイドルウェイトサイクル設定: 同一エリア / 別エリア</li> <li>- エリアごとに接続するメモリを指定することによって SRAM、ページモード ROM、SDRAM、擬似 SRAM (ページモード対応) をサポート</li> <li>- 該当する領域にチップセレクト信号 <math>\overline{CS0}</math>、<math>\overline{CS2}</math> ~ <math>\overline{CS4}</math>、<math>\overline{CS5A/CS5B}</math>、<math>\overline{CS6A/CS6B}</math> を出力</li> </ul> </li> </ul>

項目	特 長
ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> <li>• チャンネル数：6チャンネル（うち2チャンネルは外部リクエスト受け付け可能）</li> <li>• アドレス空間：アーキテクチャ上は4Gバイト</li> <li>• データ転送長：バイト、ワード（2バイト）、ロングワード（4バイト）、16バイト（ロングワード×4）</li> <li>• 最大転送回数：16,777,216回</li> <li>• アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能</li> <li>• 転送要求： <ul style="list-style-type: none"> <li>- 外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能</li> </ul> </li> <li>• バスモード： <ul style="list-style-type: none"> <li>- サイクルスチールモード（通常モードとインターミットモード）とバーストモードから選択可能</li> </ul> </li> <li>• 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能</li> <li>• 割り込み要求：データ転送終了時にCPUへ割り込み要求可能</li> <li>• 外部リクエスト検出：DREQ入力ロー/ハイレベル検出、立ち上がり/立ち下がり検出から選択可能</li> <li>• 転送要求受け付け信号：DACKおよびTENDはアクティブレベルを設定可能</li> </ul>
クロック発振器 (CPG)	<ul style="list-style-type: none"> <li>• クロックモード：入力クロックを外部入力（EXTALまたはCKIO）、水晶発振子から選択可能</li> <li>• 3種類のクロックを生成 <ul style="list-style-type: none"> <li>- CPUクロック：最大133.34MHz</li> <li>- バスクロック：最大66.67MHz</li> <li>- 周辺クロック：最大33.34MHz</li> </ul> </li> <li>• 低消費電力モード <ul style="list-style-type: none"> <li>- スリープモード</li> <li>- スタンバイモード</li> <li>- モジュールスタンバイモード（XYメモリのスタンバイも可能）</li> </ul> </li> <li>• 1チャンネルのウォッチドッグタイマ</li> </ul>
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> <li>• 1チャンネルのウォッチドッグタイマ（WDT）</li> <li>• 割り込み要求：WDTのみあり</li> </ul>
タイマユニット（TMU）	<ul style="list-style-type: none"> <li>• 32ビットタイマ 3チャンネル内蔵</li> <li>• オートリロード方式の32ビットダウンカウンタ</li> <li>• Pでのプリスケアラ内蔵</li> <li>• 割り込み要求あり</li> </ul>
16ビットタイマパルス ユニット（TPU）	<ul style="list-style-type: none"> <li>• 4チャンネル16ビットタイマ</li> <li>• PWM機能サポート</li> <li>• 4種類のカウンタ入力クロック</li> <li>• 位相計数モードサポート(2ch)</li> </ul>



項目	特 長
コンペアマッチタイム (CMT)	<ul style="list-style-type: none"> <li>• 32 ビットカウンタ 5 チャンネル内蔵 (16 ビット / 32 ビット切り替え可)</li> <li>• P でのプリスケール選択可能</li> <li>• 全チャンネルコンペアマッチ機能内蔵</li> <li>• 割り込み要求あり、DMAC 要求あり</li> </ul>
リアルタイム クロック (RTC)	<ul style="list-style-type: none"> <li>• 内蔵クロック、カレンダー機能、アラーム機能</li> <li>• 1/256 秒の最大分解能 (割り込みサイクル) の内蔵 32kHz 水晶発振器回路</li> </ul>
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF0, SCIF1)	<ul style="list-style-type: none"> <li>• 送受信 FIFO おのおの 64 バイト内蔵</li> <li>• Bluetooth 対応の高速 UART</li> <li>• P でのプリスケール内蔵</li> <li>• 割り込み要求あり、DMAC 要求あり</li> </ul>
赤外線通信モジュール (IrDA)	<ul style="list-style-type: none"> <li>• IrDA 1.0 準拠</li> <li>• 調歩同期式シリアル通信</li> <li>• 送受信内蔵 64 段 FIFO バッファ</li> </ul>
I <sup>2</sup> C バスインタフェース (IIC)	<ul style="list-style-type: none"> <li>• マルチマスタ送受信対応</li> </ul>
シリアル I/O FIFO 付き (SIOF0, SIOF1)	<ul style="list-style-type: none"> <li>• 送受信 FIFO おのおの 64 バイト内蔵</li> <li>• 8 ビット / 16 ビット / 16 ビットステレオ音声入出力対応</li> <li>• P および外部端子からのサンプリングレートクロックを入力選択可</li> <li>• P でのプリスケール内蔵</li> <li>• 割り込み要求あり、DMAC 要求あり</li> </ul>
アナログフロントエンド インタフェース (AFEIF)	<ul style="list-style-type: none"> <li>• ST7550 直結可能</li> <li>• 電話回線制御機能</li> <li>• 送信用 128 ワード FIFO</li> <li>• 受信用 128 ワード FIFO</li> </ul>
USB ホスト コントローラ (USBH)	<ul style="list-style-type: none"> <li>• OHCI Rev.1.0 対応のレジスタセット</li> <li>• USB Ver.1.1 対応</li> <li>• 127 個のエンドポイント</li> <li>• インタラプト / バルク / コントロール / アイソクロナスモードをサポート</li> <li>• バスマスタコントローラ (エリア 3、シンクロナス DRAM にアクセス可能)</li> <li>• アナログトランシーバ 2 ポート (うち 1 本は USB ファンクションコントローラと共通)</li> <li>• 外部クロック入力機能</li> </ul>
USB ファンクション コントローラ (USBF)	<ul style="list-style-type: none"> <li>• USB Ver.1.1 対応</li> <li>• 6 個のエンドポイント</li> <li>• インタラプト / バルク / コントロールモードサポート / アイソクロナスモード</li> <li>• アナログトランシーバ 1 ポート (USB ホストと共通)、12Mbps 専用</li> <li>• 外部クロック入力機能</li> </ul>

項目	特 長
LCD コントローラ (LCDC)	<ul style="list-style-type: none"> <li>• 16×1 ピクセルから 1024×1024 ピクセルまでの表示サイズをサポート</li> <li>• 4/8/15/16bpp (ビット/ピクセル) のカラー表示をサポート</li> <li>• 1/2/4/6bpp (ビット/ピクセル) のグレースケール表示をサポート</li> <li>• 8 ビットフレームレートコントローラ</li> <li>• TFT/DSTN/STN の各種液晶パネルをサポート</li> <li>• 信号極性設定機能</li> <li>• ハードウェアパネルローテーション機能</li> <li>• 電力制御機能</li> <li>• クロックソース選択可能 (LCLK/Bclk または Pclk)</li> </ul>
A/D 変換器 (ADC)	<ul style="list-style-type: none"> <li>• 10 ビット ±4LSB、4 チャンネル</li> <li>• 変換時間: 15 μs</li> <li>• 入力範囲: 0 ~ AV<sub>cc</sub> (最大 3.6V)</li> </ul>
D/A 変換器 (DAC)	<ul style="list-style-type: none"> <li>• 8 ビット ±4LSB、2 チャンネル</li> <li>• 変換時間: 10 μs</li> <li>• 出力範囲: 0 - AV<sub>cc</sub> (最大 3.6V)</li> </ul>
PC カードコントローラ (PCC)	<ul style="list-style-type: none"> <li>• PCMCIA Rev.2.1/JEIDA バージョン 4.2 規格に準拠</li> <li>• IC メモリカードインタフェースと I/O カードインタフェースをサポート</li> </ul>
SIM カード インタフェース (SIM)	<ul style="list-style-type: none"> <li>• 1 チャンネル。ISO7816-3 データプロトコルに対応 (T=0、T=1)</li> <li>• 調歩同期式半二重キャラクタ伝送プロトコル</li> <li>• データ長 8 ビット</li> <li>• パリティビットの生成およびチェック</li> <li>• 1etu 当たりの出力クロック数を選択可能</li> <li>• ダイレクトコンベンション/インパースコンベンションの選択可能</li> <li>• P でのプリスケラ内蔵</li> <li>• アイドル時のクロック極性変更可 (ローまたはハイなど)</li> <li>• 割り込み要求あり、DMAC 要求あり</li> </ul>
マルチメディアカード インタフェース (MMCIF)	<ul style="list-style-type: none"> <li>• The Multi Media Card System Specification Version 3.1 に準拠</li> <li>• MMC モードに対応</li> <li>• カードインタフェースは最大 16.5Mbps のビットレート (P = 33MHz 時)</li> <li>• 転送用 FIFO16 ビット×64 段</li> <li>• 割り込み要求あり、DMAC 要求あり</li> <li>• モジュールスタンバイ機能あり</li> </ul>

項目	特 長
SD ホスト インタフェース (SDHI) 【注】SDHI 搭載品種のみ	<ul style="list-style-type: none"> <li>• SDHC (SD high Capacity) および SDIO に対応               <ul style="list-style-type: none"> <li>- SD Specification の Part1 Physical Layer の Ver.1.01 ~ 2.01 対応</li> <li>ただし、High-Speed は非対応。</li> <li>- SD Specification の PartE1 SDIO の Ver.1.00 ~ 2.00 対応</li> </ul> </li> <li>• SD メモリ / IO カードインタフェース (1 ビット / 4 ビット SD bus)</li> <li>• SD クロック周波数 1/2 周辺クロック周波数</li> <li>• エラーチェック機能 : CRC7 (コマンド / レスポンス)、CRC16 (データ)</li> <li>• MMC (Multi Media Card) アクセス</li> <li>• 割り込み要求、DMAC 転送要求 (SD_BUF リード / ライト) あり</li> <li>• カード検出機能</li> <li>• ライトプロテクトサポート</li> </ul>
SSL アクセラレータ (SSL) 【注】SH7720 グループ のみ搭載	<ul style="list-style-type: none"> <li>• RSA 暗号化サポート</li> <li>• サポート演算 : 加算、減算、乗算、べき乗演算</li> <li>• DES/Triple-DES 暗号 / 復合化サポート</li> </ul>
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> <li>• 2 本のブレイクチャンネル</li> <li>• アドレス、データ値、アクセス形式、データサイズをブレイク条件として設定可能</li> <li>• シーケンシャルブレイク機能をサポート</li> </ul>
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> <li>• E10A エミュレータのサポート</li> <li>• リアルタイム分岐トレース</li> <li>• 高速エミュレーションプログラム実行用 1k バイトの内蔵メモリ</li> </ul>

表 1.2 製品ラインナップ (SH7720 グループ)

略称	電源電圧		動作 周波数	製品型名	パッケージ	SSL	SDHI
	I/O	内部				有無	有無
SH7720	3.3V ± 0.3V	1.5V ± 0.1V	133.34MHz	HD6417720BP133C	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	有	—
				HD6417720BP133CV	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	有	—
				HD6417720BL133C	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	有	—
				HD6417720BL133CV	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	有	—
SH7320	3.3V ± 0.3V	1.5V ± 0.1V	133.34MHz	HD6417320BP133C	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	有	有
				HD6417320BP133CV	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	有	有
				HD6417320BL133C	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	有	有
				HD6417320BL133CV	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	有	有

表 1.3 製品ラインナップ (SH7721 グループ)

略称	電源電圧		動作 周波数	製品型名	パッケージ	SSL	SDHI
	I/O	内部				有無	有無
SH7721	3.3V ± 0.3V	1.5V ± 0.1V	133.34MHz	R8A77210C133BG	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	—	—
				R8A77210C133BGV	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	—	—
				R8A77210C133BA	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	—	—
				R8A77210C133BAV	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	—	—
				R8A77211C133BG	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	—	有
				R8A77211C133BGV	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	—	有
				R8A77211C133BA	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	—	有
				R8A77211C133BAV	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	—	有

## 1.2 ブロック図

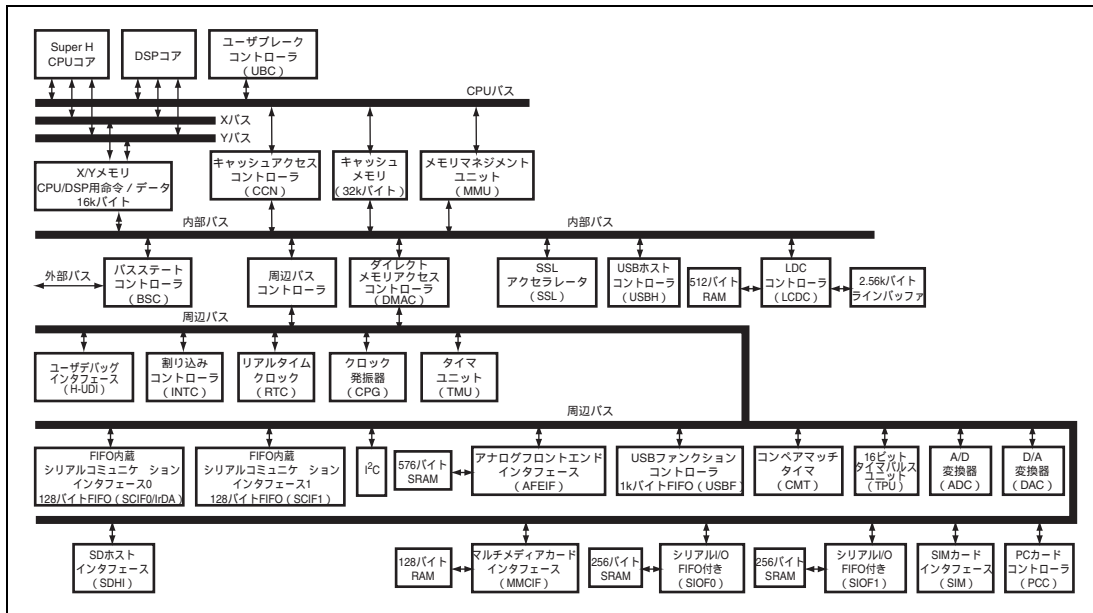


図 1.1 ブロック図

## 1.3 端子の説明

### 1.3.1 ピンの配置



SH7720グループ、SH7721グループ  
PLBG0256KA-A  
(BP-256C/CV)  
( 上面図 )

A	MD1	Vs4Q	EXTAL	MD4	RESETM	LCD_DATA14/PINT14/PTD6	LCD_DATA8/PTD0	LCD_DATA3/PTD0	LCD_DATA4/PTC4	LCD_DATA0/PTC0	Vs4Q	SIQF0_SYNC/PTS4	SIQF0_TxD/PTS2	SIQF0_SCK/PTS0	AN0/PTF1	USB2_M	USB1_P	US18_DMS/PINT17/PCC_B02PT03	AVcc_USB	USB1_M
B	MD2	XTAL	LCD_DATA11/PTD3	MD3	MD5	STATUS0/PTH2	LCD_DATA2/PTD1	LCD_DATA9/PTD1	LCD_DATA6/PTC6	LCD_DATA2/PTC2	LCD_DON/PTF1	Vs4Q	Vcc	SIQFL_Rd/PTS1	DA1/PTF6	AN2/PTF3	AVcc_USB	AVcc	Vs4Q	Vs4Q
C	LCD_DATA5/PINT15/PTD7	D3/PTB7																		
D	MD0	Vcc_PLL1																		
E	Vs4Q_PLL2	D29/PTB5																		
F	Vs4Q1	D28/PTB2																		
G	VccQ1	D24/PTB0																		
H	D23/PTA7	Vs4Q1																		
J	VccQ1	D20/PTA4																		
K	Vs4Q1	D17/PTA1																		
L	VccQ1	CX5/PTH5																		
M	WE0/DOMUL/ICIOR0	RAS/PTH6																		
N	WE0/DOMLL	Vs4Q1																		
P	CS3	A17																		
R	A15	A13																		
T	A12	A11																		
U	VccQ1	A8																		
V	A6	A5																		
W	A4	A14																		
Y	Vs4Q1	A3																		
AA	A1	A2																		

図 1.3 ピン配置図 ( PLBG0256KA-A (BP-256C/CV) )

表 1.4 ピン配置表

端子番号 ( PLBG0256 GA-A )	端子番号 ( PLBG0256 KA-A )	端子名	機能	入出力	I/O バッファ 供給電源
A1	A2	VssQ	I/O 電源 ( 0V )		-
A2	D5	VccQ	I/O 電源 ( 3.3V )		-
A3	D6	STATUS1/PTH3	ステータス出力 / 汎用ポート	O/I/O	VccQ
A4	D7	LCD_DATA13/PINT13/PTD5	LCD データ / ポート割り込み / 汎用ポート	O/I/O	VccQ
A5	E6	VssQ	I/O 電源 ( 0V )		-
A6	D8	VccQ	I/O 電源 ( 3.3V )		-
A7	E8	LCD_DATA5/PTC5	LCD データ / 汎用ポート	O/I/O	VccQ
A8	E9	LCD_DATA1/PTC1	LCD データ / 汎用ポート	O/I/O	VccQ
A9	D10	LCD_CL2/PTE2	LCD シフトクロック 2 / 汎用ポート	O/I/O	VccQ
A10	A11	VssQ	I/O 電源 ( 0V )		-
A11	E12	VccQ	I/O 電源 ( 3.3V )		-
A12	E13	LCD_CLK	LCD クロックソース	I	VccQ
A13	D12	VssQ	I/O 電源 ( 0V )		-
A14	E15	VccQ	I/O 電源 ( 3.3V )		-
A15	D13	USB1_pwr_en/USBF_UPLUP/PTH0	USB1 パワーインペール / ブルアップ制御 / 汎用ポート	O/O/I/O	VccQ
A16	A15	AVss	アナログ用電源 ( 0V )		-
A17	A16	AN0/PTF1	ADC アナログ入力 / 汎用ポート	I/I	AVcc
A18	B18	AVcc_USB	USB 用電源 ( 3.3V )		-
A19	D17	AVss_USB	USB 用電源 ( 0V )		-
A20	B21	VssQ	I/O 電源 ( 0V )		-
B1	E4	Vcc_PLL2	PLL2 用電源 ( 1.5V )		-
B2	B1	MD2	クロックモード設定	I	VccQ
B3	B2	XTAL	クリスタル	O	VccQ
B4	A5	RESETM	マニュアルリセット	I	VccQ
B5	A4	MD4	バス幅設定	I	VccQ
B6	C1	LCD_DATA15/PINT15/PTD7	LCD データ / ポート割り込み / 汎用ポート	O/I/O	VccQ
B7	B3	LCD_DATA11/PTD3	LCD データ / 汎用ポート	O/I/O	VccQ
B8	E7	LCD_DATA7/PTC7	LCD データ / 汎用ポート	O/I/O	VccQ
B9	D9	LCD_DATA3/PTC3	LCD データ / 汎用ポート	O/I/O	VccQ
B10	E10	LCD_FLM/PTE0	LCD ラインマーカ / 汎用ポート	O/I/O	VccQ
B11	D11	LCD_M_DISP/PTE4	LCD 液晶交流化信号 / 汎用ポート	O/I/O	VccQ
B12	E14	SIOF0_MCLK/PTS3	SIOF マスタクロック / 汎用ポート	I/O	VccQ



端子番号 (PLBG0256 GA-A)	端子番号 (PLBG0256 KA-A)	端子名	機能	入出力	I/O バッファ 供給電源
B13	E16	USB2_pwr_en/PTH1	USB2 パワーイネーブル / 汎用ポート	O/IO	VccQ
B14	B16	DA1/PTF6	DAC アナログ出力 / 汎用ポート	O/I	VccQ
B15	B17	AN2/PTF3	ADC アナログ入力 / 汎用ポート	I/I	AVcc
B16	A17	USB2_M	USB 用 D-ポート 2	IO	AVcc_USB
B17	A18	USB1_P	USB 用 D+ポート 1	IO	AVcc_USB
B18	A21	USB1_M	USB 用 D-ポート 1	IO	AVcc_USB
B19	A20	AVcc_USB	USB 用電源 (3.3V)		-
B20	E20	VccQ	I/O 電源 (3.3V)		-
C1	D2	Vcc_PLL1	PLL1 用電源 (1.5V)		-
C2	A1	MD1	クロックモード設定	I	VccQ
C3	B5	MD5	エンディアン設定	I	VccQ
C4	A3	EXTAL	外部クロック	I	VccQ
C5	B4	MD3	バス幅設定	I	VccQ
C6	B7	LCD_DATA12/PINT12/PTD4	LCD データ / ポート割り込み / 汎用ポート	O/I/IO	VccQ
C7	B8	LCD_DATA9/PTD1	LCD データ / 汎用ポート	O/IO	VccQ
C8	B9	LCD_DATA6/PTC6	LCD データ / 汎用ポート	O/IO	VccQ
C9	B10	LCD_DATA2/PTC2	LCD データ / 汎用ポート	O/IO	VccQ
C10	B11	LCD_DON/PTE1	LCD 表示開始信号 / 汎用ポート	O/IO	VccQ
C11	A12	SIOF0_SYNC/PTS4	SIOF フレーム同期信号 / 汎用ポート	IO/IO	VccQ
C12	A13	SIOF0_TxD/PTS2	SIOF 送信データ / 汎用ポート	O/IO	VccQ
C13	A14	SIOF0_SCK/PTS0	SIOF シリアルクロック / 汎用ポート	IO/IO	VccQ
C14	E17	ADTRG/PTF0	ADC 外部トリガ / 汎用ポート	I/I	VccQ
C15	D18	AN3/PTF4	ADC アナログ入力 / 汎用ポート	I/I	AVcc
C16	D16	USB2_P	USB 用 D+ポート 2	IO	AVcc_USB
C17	B19	AVcc	アナログ電源 (3.3V)		-
C18	E18	USB1d_TXDPLS/AFE_SCLK/IOIS16/ PCC_IOIS16/PTG4	D+送信出力 / AFE シフトクロック / 16 ビット IO / PCC16 ビット IO / 汎用ポート	O/I/I/IO	VccQ
C19	B20	USB1_ovr_current/USBF_VBUS	USB1 オーバカレント / モニタ	I/I	VccQ
C20	E21	EXTAL_USB	USB 外部クロック	I	VccQ
D1	F1	VssQ1	I/O 電源 (0V)		-
D2	D1	MD0	クロックモード設定	I	VccQ
D3	C2	D31/PTB7	データバス / 汎用ポート	IO/IO	VccQ1
D4	B6	STATUS0/PTH2	ステータス出力 / 汎用ポート	O/IO	VccQ
D5	A6	LCD_DATA14/PINT14/PTD6	LCD データ / ポート割り込み / 汎用ポート	O/I/IO	VccQ
D6	A7	LCD_DATA10/PTD2	LCD データ / 汎用ポート	O/IO	VccQ

端子番号 (PLBG0256 GA-A)	端子番号 (PLBG0256 KA-A)	端子名	機能	入出力	I/Oバッファ 供給電源
D7	A8	LCD_DATA8/PTD0	LCD データ / 汎用ポート	O/I/O	VccQ
D8	A9	LCD_DATA4/PTC4	LCD データ / 汎用ポート	O/I/O	VccQ
D9	A10	LCD_DATA0/PTC0	LCD データ / 汎用ポート	O/I/O	VccQ
D10	E11	LCD_CL1/PTE3	LCD シフトクロック 1 / 汎用ポート	O/I/O	VccQ
D11	B12	Vss	内部電源 (0V)		-
D12	B13	Vcc	内部電源 (1.5V)		-
D13	B14	SIOF0_RxD/PTS1	SIOF 受信データ / 汎用ポート	I/O	VccQ
D14	B15	USB2_ovr_current	USB2 オーバカレント	I	VccQ
D15	D14	DA0/PTF5	DAC アナログ出力 / 汎用ポート	O/I	VccQ
D16	D15	AN1/PTF2	ADC アナログ入力 / 汎用ポート	I/I	AVcc
D17	A19	USB1d_DMNS/PINT11/ AFE_RLYCNT/PCC_BVD2/PTG3	D-信号入力 / ポート割り込み / AFE オンフック制御 / PCC バッテリ検出 2 / 汎用ポート	I/I/O/I/O	VccQ
D18	C21	USB1d_SUSPEND/REFOUT/ IRQOUT/PTP4	サスペンドステート / バス権要求信号 (Refresh) / バス権要求信号 (割り込み) / 汎用ポート	O/O/O/I/O	VccQ
D19	F18	XTAL_USB	USB クリスタル	O	VccQ
D20	F21	USB1d_TXENL/PINT8/PCC_CD1/ PTG0	ドライバ出力許可 / ポート割り込み / PCC カード検出 1 / 汎用ポート	O/I/I/O	VccQ
E1	G1	VccQ1	I/O 電源 (1.8V/3.3V)		-
E2	E1	Vss_PLL2	PLL2 用電源 (0V)		-
E3	F4	Vss_PLL1	PLL1 用電源 (0V)		-
E4	G4	D30/PTB6	データバス / 汎用ポート	IO/IO	VccQ1
E17	G18	USB1d_SPEED/PINT9/PCC_CD2/ PTG1	スピード制御 / ポート割り込み / PCC カード検出 2 / 汎用ポート	O/I/I/O	VccQ
E18	D20	USB1d_RCV/IRQ5/AFE_FS/ PCC_REG/PTG6	受信データ / 割り込み / AFE フレーム同期 / PCC 空間指示 / 汎用ポート	I/I/O/I/O	VccQ
E19	D21	USB1d_TXSE0/IRQ4/AFE_TXOUT/ PCC_DRV/PTG5	SE0 ステート / 割り込み / AFE シリアル送信 / PCC バッファ制御 / 汎用ポート	O/I/O/O/I/O	VccQ
E20	G21	VssQ	I/O 電源 (0V)		-
F1	G2	D24/PTB0	データバス / 汎用ポート	IO/IO	VccQ1
F2	E2	D29/PTB5	データバス / 汎用ポート	IO/IO	VccQ1
F3	D4	D28/PTB4	データバス / 汎用ポート	IO/IO	VccQ1
F4	H4	D27/PTB3	データバス / 汎用ポート	IO/IO	VccQ1

端子番号 (PLBG0256 GA-A)	端子番号 (PLBG0256 KA-A)	端子名	機能	入出力	I/Oバッファ 供給電源
F17	F17	MMC_VDDON/SCIF1_CTS/ LCD_VEPWC/TPU_TO3/PTV4	MMC カード電源制御/ SCIF 送信許可 / LCD 電源制御/ TPU アウトプットコンペアマッチ出力/ 汎用ポート	O/I/O/O/IO	VccQ
F18	C20	AFE_RDET/IIC_SDA/PTE5	AFE リンギング / IIC データ入出力/ 汎用ポート	I/O/I	VccQ
F19	F20	USB1d_DPLS/PINT10/ AFE_HC1/PCC_BVD1/PTG2	D+送信入力 / ポート割り込み / AFE ハードウェア制御/PCC バッテリ 検出 1 / 汎用ポート	I/I/O/I/IO	VccQ
F20	H20	VccQ	I/O 電源 (3.3V)		-
G1	H2	VssQ1	I/O 電源 (0V)		-
G2	F2	D26/PTB2	データバス / 汎用ポート	IO/IO	VccQ1
G3	E5	D25/PTB1	データバス / 汎用ポート	IO/IO	VccQ1
G4	J4	Vcc	内部電源 (1.5V)		-
G17	G17	Vss	内部電源 (0V)		-
G18	H18	MMC_ODMOD/SCIF1_RTS/ LCD_VCPWC/TPU_TO2/PTV3	MMC オープンドレイン制御/ SCIF 送信要求 / LCD 電源制御/ TPU アウトプットコンペアマッチ出力/ 汎用ポート	O/O/O/O/IO	VccQ
G19	G20	AFE_RXIN/IIC_SCL/PTE6	AFE シリアル受信 / IIC クロック / 汎用ポート	I/O/I	VccQ
G20	J20	SIM_CLK/SCIF1_SCK/SD_DAT3/ PTV0	SIM クロック / SCIF シリアルクロック / SD データ / 汎用ポート	O/IO/IO/IO	VccQ
H1	J1	VccQ1	I/O 電源 (1.8V/3.3V)		-
H2	H1	D23/PTA7	データバス / 汎用ポート	IO/IO	VccQ1
H3	F5	D22/PTA6	データバス / 汎用ポート	IO/IO	VccQ1
H4	G5	Vss	内部電源 (0V)		-
H17	J18	Vcc	内部電源 (1.5V)		-
H18	H17	SIM_RST/SCIF1_RxD/SD_WP/ PTV1	SIM リセット / SCIF 受信データ / SD ライトプロテクト / 汎用ポート	O/I/IO	VccQ
H19	H21	SIM_D/SCIF1_TxD/SD_CD/PTV2	SIM データ / SCIF 送信データ / SD カード検出 / 汎用ポート	IO/O/I/IO	VccQ
H20	K20	MMC_DAT/SIOF1_TxD/SD_DAT0/ TPU_TI3A/PTU2	MMC データ / SIOF 送信データ / SD データ / TPU クロック入力 / 汎用ポート	IO/O/IO/I/IO	VccQ
J1	K1	VssQ1	I/O 電源 (0V)		-
J2	J2	D20/PTA4	データバス / 汎用ポート	IO/IO	VccQ1

端子番号 ( PLBG0256 GA-A )	端子番号 ( PLBG0256 KA-A )	端子名	機 能	入出力	I/O バッファ 供給電源
J3	K4	D21/PTA5	データバス / 汎用ポート	IO/IO	VccQ1
J4	H5	D19/PTA3	データバス / 汎用ポート	IO/IO	VccQ1
J17	K17	MMC_CMD/SIOF1_RxD/ SD_CMD/TPU_TI2B/PTU1	MMC コマンド / SIOF 受信データ / SD コマンド / TPU クロック入力 / 汎用ポート	IO/I/IO/I/O	VccQ
J18	J17	SIOF1_MCLK/SD_DAT1/ TPU_TI3B/PTU3	SIOF マスタクロック / SD データ / TPU クロック入力 / 汎用ポート	I/O/I/IO	VccQ
J19	J21	SIOF1_SYNC/SD_DAT2/PTU4	SIOF フレーム同期信号 / SD データ / 汎用ポート	IO/IO/IO	VccQ
J20	L17	SCIF0_RTS/TPU_TO0/PTT3	SCIF 送信要求 / TPU アウトプットコンペアマッチ出力 / 汎用ポート	O/O/IO	VccQ
K1	L1	VccQ1	I/O 電源 ( 1.8V/3.3V )		-
K2	K2	D17/PTA1	データバス / 汎用ポート	IO/IO	VccQ1
K3	J5	D18/PTA2	データバス / 汎用ポート	IO/IO	VccQ1
K4	L4	D16/PTA0	データバス / 汎用ポート	IO/IO	VccQ1
K17	L20	SCIF0_TxD/IrTx/PTT2	SCIF 送信データ / IrDA 送信データ / 汎用ポート	O/O/IO	VccQ
K18	K18	SCIF0_CTS/TPU_TO1/PTT4	SCIF 送信許可 / TPU アウトプットコンペアマッチ出力 / 汎用ポート	I/O/IO	VccQ
K19	K21	MMC_CLK/SIOF1_SCK/SD_CLK/ TPU_TI2A/PTU0	MMC クロック / SIOF シリアルクロック / SD クロック / TPU クロック入力 / 汎用ポート	O/IO/O/I/ IO	VccQ
K20	M17	VssQ	I/O 電源 ( 0V )		-
L1	K5	CKIO	システムクロック	IO	VccQ1
L2	M1	WE2/DQMUL/ICIOR $\bar{D}$	上位側書き込み / DQ マスク UL / IO リード	O/O/O	VccQ1
L3	M4	WE3/DQMUU/ICIOR $\bar{W}$	最上位側書きこみ / DQ マスク UU / IO ライト	O/O/O	VccQ1
L4	L5	RD/ $\bar{W}$ R	リードライト信号	O	VccQ1
L17	L21	SCIF0_RxD/IrRx/PTT1	SCIF 受信データ / IrDA 受信データ / 汎用ポート	I/I/IO	VccQ
L18	M20	IRQ3/IRL3/PTP3	割り込み / 割り込み / 汎用ポート	I/I/IO	VccQ
L19	N17	SCIF0_SCK/PTT0	SCIF シリアルクロック / 汎用ポート	IO/IO	VccQ
L20	L18	VccQ	I/O 電源 ( 3.3V )		-
M1	L2	CAS/PTH5	カラムアドレス / 汎用ポート	O/IO	VccQ1
M2	N1	WE0/DQMLL	最下位側書き込み / DQ マスク LL	O/O	VccQ1

端子番号 ( PLBG0256 GA-A )	端子番号 ( PLBG0256 KA-A )	端子名	機能	入出力	I/O バッファ 供給電源
M3	N5	WE1/DQMLU/WE	下位側書き込み / DQ マスク LU / ライトイネーブル	O/O/O	VccQ1
M4	M5	CKE/PTH4	クロックイネーブル / 汎用ポート	O/IO	VccQ1
M17	M21	IRQ1/IRL1/PTP1	割り込み / 割り込み / 汎用ポート	I/IO	VccQ
M18	N20	NMI	NMI 割り込み	I	VccQ
M19	M18	IRQ0/IRL0/PTP0	割り込み / 割り込み / 汎用ポート	I/IO	VccQ
M20	P17	IRQ2/IRL2/PTP2	割り込み / 割り込み / 汎用ポート	I/IO	VccQ
N1	M2	RAS/PTH6	ロウアドレス / 汎用ポート	O/IO	VccQ1
N2	P1	CS3	チップセレクト	O	VccQ1
N3	P5	CS2	チップセレクト	O	VccQ1
N4	N4	Vcc	内部電源 ( 1.5V )		-
N17	N21	Vss	内部電源 ( 0V )		-
N18	P20	AUDATA2/PTJ3	AUD データ / 汎用ポート	O/IO	VccQ
N19	N18	AUDATA1/PTJ2	AUD データ / 汎用ポート	O/IO	VccQ
N20	R17	AUDATA3/PTJ4	AUD データ / 汎用ポート	O/IO	VccQ
P1	N2	VssQ1	I/O 電源 ( 0V )		-
P2	W2	A14	アドレスバス	O	VccQ1
P3	P2	A17	アドレスバス	O	VccQ1
P4	R5	Vss	内部電源 ( 0V )		-
P17	P21	Vcc	内部電源 ( 1.5V )		-
P18	R20	AUDATA0/PTJ1	AUD データ / 汎用ポート	O/IO	VccQ
P19	P18	AUDCK/PTJ6	AUD クロック / 汎用ポート	O/IO	VccQ
P20	T17	VssQ	I/O 電源 ( 0V )		-
R1	P4	VccQ1	I/O 電源 ( 1.8/3.3V )		-
R2	T2	A11	アドレスバス	O	VccQ1
R3	R2	A13	アドレスバス	O	VccQ1
R4	R1	A15	アドレスバス	O	VccQ1
R17	T20	AUDSYNC/PTJ0	AUD 同期信号 / 汎用ポート	O/IO	VccQ
R18	R21	ASEMD0	ASE モード	I	VccQ
R19	R18	TRST/PTL7	テストリセット / 汎用ポート	I/IO	VccQ
R20	U17	VccQ	I/O 電源 ( 3.3V )		-
T1	T5	A16	アドレスバス	O	VccQ1
T2	V1	A6	アドレスバス	O	VccQ1
T3	V2	A5	アドレスバス	O	VccQ1
T4	T1	A12	アドレスバス	O	VccQ1
T17	U20	TMS/PTL6	テストモードセレクト / 汎用ポート	I/IO	VccQ
T18	T18	TCK/PTL3	テストクロック / 汎用ポート	I/IO	VccQ

端子番号 ( PLBG0256 GA-A )	端子番号 ( PLBG0256 KA-A )	端子名	機能	入出力	I/O バッファ 供給電源
T19	U21	PINT7/PCC_RESET/PTK3	ポート割り込み / PCC リセット / 汎用ポート	I/O/IO	VccQ
T20	V18	ASEBRKAK/PTJ5	ASE ブレークモードアクノリッジ / 汎用ポート	O/IO	VccQ
U1	R4	VssQ1	I/O 電源 ( 0V )		-
U2	T4	A9	アドレスバス	O	VccQ1
U3	W1	A4	アドレスバス	O	VccQ1
U4	AA3	A10	アドレスバス	O	VccQ1
U5	Y5	D11	データバス	IO	VccQ1
U6	Y6	D8	データバス	IO	VccQ1
U7	AA8	D4	データバス	IO	VccQ1
U8	AA9	D1	データバス	IO	VccQ1
U9	AA10	Vcc	内部電源 ( 1.5V )		-
U10	V11	Vss	内部電源 ( 0V )		-
U11	U11	BACK	バス権要求アクノリッジ	O	VccQ1
U12	U12	BS	バス開始	O	VccQ1
U13	V13	A19/PTR1	アドレスバス / 汎用ポート	O/IO	VccQ1
U14	U15	A22/PTR4	アドレスバス / 汎用ポート	O/IO	VccQ1
U15	U16	A24/PTR6	アドレスバス / 汎用ポート	O/IO	VccQ1
U16	V15	DACK0/PINT1/PTM4	DMA 転送要求受け付け / ポート割り 込み / 汎用ポート	O//IO	VccQ1
U17	W21	DREQ1/PTM7	DMA 転送要求 / 汎用ポート	I/IO	VccQ1
U18	T21	TDI/PTL4	テストデータ入力 / 汎用ポート	I/IO	VccQ
U19	V21	PINT6/PCC_RDY/PTK2	ポート割り込み / PCC レディ / 汎用 ポート	I//IO	VccQ
U20	W20	TDO/PTL5	テストデータ出力 / 汎用ポート	O/IO	VccQ
V1	U1	VccQ1	I/O 電源 ( 1.8/3.3V )		-
V2	Y2	A3	アドレスバス	O	VccQ1
V3	U4	A7	アドレスバス	O	VccQ1
V4	AA6	D12	データバス	IO	VccQ1
V5	Y4	D14	データバス	IO	VccQ1
V6	AA7	D9	データバス	IO	VccQ1
V7	Y7	D6	データバス	IO	VccQ1
V8	Y8	D2	データバス	IO	VccQ1
V9	Y9	D0	データバス	IO	VccQ1
V10	Y10	CS5B/CE1A/PTM1	チップセレクト / チップセレクト / 汎用ポート	O/O/IO	VccQ1

端子番号 ( PLBG0256 GA-A )	端子番号 ( PLBG0256 KA-A )	端子名	機能	入出力	I/O バッファ 供給電源
V11	V12	BREQ	バス権要求	I	VccQ1
V12	U13	WAIT/PCC_WAIT	ウエイト / PCC ウエイト	I/I	VccQ1
V13	U14	A20/PTR2	アドレスバス / 汎用ポート	O/IO	VccQ1
V14	V14	A23/PTR5	アドレスバス / 汎用ポート	O/IO	VccQ1
V15	Y19	DREQ0/PINT0/PTM6	DMA 転送要求 / ポート割り込み / 汎用ポート	I/I/IO	VccQ1
V16	Y18	EXTAL_RTC	RTC 用外部クロック	I	VccQ_RTC
V17	AA19	XTAL_RTC	RTC 用クリスタル	O	VccQ_RTC
V18	V17	RESETP	パワーオンリセット	I	VccQ_RTC
V19	AA21	PINT5/PCC_VS2/PTK1	ポート割り込み / PCC 電圧検出 2 / 汎 用ポート	I/I/IO	VccQ
V20	V20	VssQ	I/O 電源 ( 0V )		-
W1	U2	A8	アドレスバス	O	VccQ1
W2	AA2	A2	アドレスバス	O	VccQ1
W3	AA1	A1	アドレスバス	O	VccQ1
W4	AA4	A0/PTR0	アドレスバス / 汎用ポート	O/IO	VccQ1
W5	AA5	D15	データバス	IO	VccQ1
W6	V7	D10	データバス	IO	VccQ1
W7	V8	D7	データバス	IO	VccQ1
W8	V9	D3	データバス	IO	VccQ1
W9	V10	CS6B/CE1B/PTM0	チップセレクト / チップセレクト / 汎用ポート	O/O/IO	VccQ1
W10	U9	CS5A/CE2A	チップセレクト / チップセレクト	O/O	VccQ1
W11	AA12	CS4	チップセレクト	O	VccQ1
W12	AA13	A18	アドレスバス	O	VccQ1
W13	AA14	A21/PTR3	アドレスバス / 汎用ポート	O/IO	VccQ1
W14	Y15	A25/PTR7	アドレスバス / 汎用ポート	O/IO	VccQ1
W15	Y16	TEND0/PINT2/PTM2	DMA 転送終了 / ポート割り込み / 汎用ポート	O/I/IO	VccQ1
W16	AA18	VccQ_RTC	RTC 用電源 ( 3.3V )		-
W17	V16	TEND1/PINT3/PTM3	DMA 転送終了 / ポート割り込み / 汎用ポート	O/I/IO	VccQ1
W18	Y20	Vss_RTC	RTC 用電源 ( 0V )		-
W19	Y21	PINT4/PCC_VS1/PTK0	ポート割り込み / PCC 電圧検出 1 / 汎 用ポート	I/I/IO	VccQ
W20	U18	VccQ	I/O 電源 ( 3.3V )		-
Y1	Y1	VssQ1	I/O 電源 ( 0V )		-
Y2	V5	VccQ1	I/O 電源 ( 1.8/3.3V )		-

端子番号 ( PLBG0256 GA-A )	端子番号 ( PLBG025 6KA-A )	端子名	機 能	入出力	I/O バッファ 供給電源
Y3	V6	D13	データバス	IO	VccQ1
Y4	Y3	VssQ1	I/O 電源 ( 0V )		-
Y5	V4	VccQ1	I/O 電源 ( 1.8/3.3V )		-
Y6	U5	D5	データバス	IO	VccQ1
Y7	U6	VssQ1	I/O 電源 ( 0V )		-
Y8	U7	VccQ1	I/O 電源 ( 1.8/3.3V )		-
Y9	U8	$\overline{CS6A/CE2B}$	チップセレクト / チップセレクト	O/O	VccQ1
Y10	AA11	VssQ1	I/O 電源 ( 0V )		-
Y11	U10	VccQ1	I/O 電源 ( 1.8/3.3V )		-
Y12	Y11	$\overline{CS0}$	チップセレクト	O	VccQ1
Y13	Y12	$\overline{RD}$	リードストロープ	O	VccQ1
Y14	Y13	VssQ1	I/O 電源 ( 0V )		-
Y15	Y14	VccQ1	I/O 電源 ( 1.8/3.3V )		-
Y16	AA15	VssQ1	I/O 電源 ( 0V )		-
Y17	AA16	VccQ1	I/O 電源 ( 1.8/3.3V )		-
Y18	AA17	$\overline{DACK1/PTM5}$	DMA 転送要求受け付け / 汎用ポート	O/IO	VccQ1
Y19	Y17	CA	チップアクティブ	I	VccQ_RTC
Y20	AA20	Vcc_RTC	RTC 用電源 ( 1.5V )		-



## 1.3.2 端子の機能

各端子の機能を表 1.5 に示します。

表 1.5 SH7720 グループ、SH7721 グループの端子機能

分類	記号	入出力	名称	機能
電源	Vcc	-	電源	LSI 内部およびシステム系ポート用の電源です。すべての V <sub>CC</sub> 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	-	グランド	グランド端子です。すべての V <sub>SS</sub> 端子をシステム電源(0V)に接続してください。開放端子があると動作しません。
	VccQ	-	電源	入出力端子用電源です。すべての V <sub>CC</sub> Q 端子をシステムの電源に接続してください。開放端子があると動作しません。
	VssQ	-	グランド	グランド端子です。すべての V <sub>SS</sub> Q 端子をシステム電源(0V)に接続してください。開放端子があると動作しません。
	VccQ1	-	電源	入出力用電源(1.8V/3.3V)端子です。
	VssQ1	-	グランド	入出力用電源(0V)端子です。
クロック	V <sub>CC-PLL1</sub>	-	PLL1 用電源	内蔵 PLL1 発振器用の電源端子です。(1.5V)
	V <sub>SS-PLL1</sub>	-	PLL1 用グランド	内蔵 PLL1 発振器用のグランド端子です。
	V <sub>CC-PLL2</sub>	-	PLL2 用電源	内蔵 PLL2 発振器用の電源端子です。(1.5V)
	V <sub>SS-PLL2</sub>	-	PLL2 用グランド	内蔵 PLL2 発振器用のグランド端子です。
	EXTAL	入力	外部クロック	水晶発振子を接続します。または外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CKIO	入出力	システムクロック	外部クロック入力、またはクロック出力端子として使用します。
動作モード コントロール	MD5 ~ MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。 MD2 ~ MD0 はクロックモード設定用 MD3、MD4 はエリア 0 のバス幅設定用 MD5 はエンディアン設定用
システム 制御	RESETP	入力	パワーオン リセット	この端子がローレベルになると、パワーオンリセット状態になります。
	RESETM	入力	マニュアル リセット	この端子がローレベルになると、マニュアルリセット状態になります。
	STATUS1 STATUS0	出力	ステータス出力	動作状態を示します。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。

分類	記号	入出力	名称	機能
システム制御	BACK	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権 を獲得したことを知ることができます。
	CA	入力	チップ アクティブ	通常動作時はハイレベルを、ハードウェアスタンバイ時は ローレベルを入力してください。
割り込み	NMI	入力	ノンマスクابل 割り込み	ノンマスクابل割り込み要求端子です。使用しない場合は ハイレベルに固定してください。
	IRQ5 ~ IRQ0	入力	割り込み要求 5~0	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の 場合、立ち上がり、立ち下りの選択が可能です。レベル 入力の場合、ローレベル、ハイレベルの選択が可能です。
	IRL3 ~ IRL0	入力	割り込み要求 3~0	マスク可能な割り込み要求端子です。 コード化された割り込みレベルを入力します。
	PINT15 ~ PINT0	入力	ポート割り込み要求 15~0	ポート割り込み要求端子です。
	REFOUT	出力	バス権要求信号	リフレッシュのためのバス権要求信号です。
	IRQOUT	出力	バス権要求信号	割り込みのためのバス権要求信号です。
アドレスバス	A25 ~ A0	出力	アドレスバス	アドレスを出力します。
データバス	D31 ~ D0	入出力	データバス	32 ビットの双方向バスです。
バス制御	CS4、CS3、 CS2、CS0、 CS6A、CS6B  CS5A、CS5B、 CE2A、CE2B、 CE1A、CE1B、	出力	チップセレクト	外部メモリまたはデバイスのためのチップセレクト信号 です。
	RD	出力	リードストロープ	外部デバイスから読み出すことを示します。
	RD/WR	出力	リード/ライト信号	リード/ライト信号です。
	BS	出力	バス開始	バスサイクル開始信号端子です。
	BACK	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレ ベルにします。
	WE	出力	ライトイネーブル	PCMCIA のライトイネーブル端子です。
	WE3 (BE3)	出力	最上位側書き込み	外部のデータのビット 31 ~ 24 に書き込みすることを示し ます。
	WE2 (BE2)	出力	上位側書き込み	外部のデータのビット 23 ~ 16 に書き込みすることを示し ます。
	WE1 (BE1)	出力	下位側書き込み	外部のデータのビット 15 ~ 8 に書き込みすることを示し ます。

分類	記号	入出力	名称	機能
バス制御	WE0 (BE0)	出力	最下位側書き込み	外部のデータのビット 7~0 に書き込みすることを示します。
	CKE	出力	クロックイネーブル	クロックイネーブル (SDRAM)
	CAS	出力	カラムアドレス	SDRAM 接続時は CAS 端子に接続します。
	DQMUU	出力	DQ マスク UU	D31 ~ D24 を選択 (SDRAM)
	DQMUL	出力	DQ マスク UL	D23 ~ D16 を選択 (SDRAM)
	DQMLU	出力	DQ マスク LU	D15 ~ D8 を選択 (SDRAM)
	DQMLL	出力	DQ マスク LL	D7 ~ D0 を選択 (SDRAM)
	RAS	出力	ロウアドレス	SDRAM 接続時は RAS 端子に接続します。
	WAIT	入力	ウエイト入力	外部空間をアクセスするときのバスサイクルにウエイトサイクルを挿入させる入力です。
	IOIS16	入力	16 ビット IO	PCMCIA 使用時の 16 ビット I/O を示します。
	ICIOR $\bar{D}$	出力	IO リード	PCMCIA 使用時の I/O リードを示します。
ICIOR $\bar{W}$	出力	IO ライト	PCMCIA 使用時の I/O ライト示します。	
ダイレクト メモリアクセス コントローラ (DMAC)	DREQ0 DREQ1	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0 DACK1	出力	DMA 転送要求受け 付け	外部デバイスへの DMA 転送要求受付を示します。
	TEND0 TEND1	出力	DMA 転送終了	DMAC の転送終了出力端子です。
16 ビット タイマパルス ユニット (TPU)	TPU_TO3 ~ TPU_TO0	出力	TPU アウトプット コンペアマッチ出力	TPU のアウトプットコンペアマッチ出力端子です。
	TPU_TI3A TPU_TI2A	入力	TPU クロック入力	TPU クロック入力端子です。
	TPU_TI2B TPU_TI3B	入力	TPU クロック入力	TPU クロック入力端子です。
アナログ フロントエンド インタフェース (AFEIF)	AFE_ RLYCNT	出力	AFE オンフック制御	オンフック制御端子です。
	AFE_FS	入力	AFE フレーム同期	AFE フレーム同期信号端子です。
	AFE_SCLK	入力	AFE シフトクロック	AFE シフトクロック入力端子です。
	AFE_TXOUT	出力	AFE シリアル送信	AFE シリアル送信データ出力端子です。
	AFE_RDET	入力	AFE リングング信号	AFE リンギング信号入力端子です。
	AFE_HC1	出力	AFE ハード コントロール	AFE ハードウェアコントロール信号
	AFE_RXIN	入力	AFE シリアル受信	AFE シリアル受信データ

分類	記号	入出力	名称	機能
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	SCIF0_TxD、 SCIF1_TxD	出力	SCIF 送信データ	送信データ用の端子です。
	SCIF0_RxD、 SCIF1_RxD	入力	SCIF 受信データ	受信データ用の端子です。
	SCIF0_SCK、 SCIF1_SCK	入出力	SCIF シリアルクロック	クロック入出力端子です。
	$\overline{\text{SCIF0\_RTS}}$ $\overline{\text{SCIF1\_RTS}}$	出力	SCIF 送信要求	送信要求出力端子です。
	SCIF0_CTS、 $\overline{\text{SCIF1\_CTS}}$	入力	SCIF 送信許可	モデムコントロール端子です。
IrDA	IrTX	出力	IrDA 送信データ	IrDA 送信データ出力端子です。
	IrRX	入力	IrDA 受信データ	IrDA 受信データ入力端子です。
シリアル I/O FIFO 付き (SIOF)	SIOF0_SYNC SIOF1_SYNC	入出力	SIOF フレーム同期信号	SIOF のフレーム同期信号です。
	SIOF0_TxD SIOF1_TxD	出力	SIOF 送信データ	SIOF の送信データ端子です。
	SIOF0_RxD SIOF1_RxD	入力	SIOF 受信データ	SIOF の受信データ端子です。
	SIOF0_SCK SIOF1_SCK	入出力	SIOF シリアルクロック	SIOF シリアルクロック端子です。
	SIOF0_MCLK SIOF1_MCLK	入力	SIOF マスタクロック	SIOF マスタクロック入力端子です。
I <sup>2</sup> C バスインタフェース (IIC)	IIC_SCL	入出力	IIC クロック	I <sup>2</sup> C シリアルクロック端子です。
	IIC_SDA	入出力	IIC データ入出力	I <sup>2</sup> C データ入出力端子です。
リアルタイム クロック (RTC)	V <sub>cc</sub> Q_RTC	-	RTC 用電源	RTC 用の電源端子です。(3.3V)
	V <sub>cc</sub> _RTC	-	RTC 用電源	RTC 用の電源端子です。(1.5V)
	V <sub>ss</sub> _RTC	-	RTC 用グランド	RTC 用のグランド端子です。
	EXTAL_RTC	入力	RTC 用外部 クロック	RTC 用水晶発振子を接続します。また、RTC 用外部クロックを入力することもできます。
	XTAL_RTC	出力	RTC 用クリスタル	RTC 用水晶発振子を接続します。
LCD コントローラ (LCDC)	LCD_DATA 15~0	出力	LCD データ	LCD パネル用データ出力端子です。
	LCD_CL1	出力	LCD シフトクロック 1	LCD シフトクロック 1 / 水平同期信号端子です。

分類	記号	入出力	名称	機能
LCD コントローラ (LCDC)	LCD_CL2	出力	LCD シフトクロック 2	LCD シフトクロック 2 / ドットクロック端子です。
	LCD_CLK	入力	LCD クロックソース	LCD クロックソース入力端子です。
	LCD_FLM	出力	LCD ラインマーカ	ファーストラインマーカ / 垂直同期信号端子です。
	LCD_DON	出力	LCD 表示開始	LCD 表示開始信号端子です。
	LCD_VCPWC	出力	LCD 電源制御 (VCC)	LCD 液晶モジュール電源制御 (VCC) 端子です。
	LCD_VEPWC	出力	LCD 電源制御 (VEE)	LCD 液晶モジュール電源制御 (VEE) 端子です。
	LCD_M_DISP	出力	LCD 液晶交流化信号	液晶交流化信号端子です。
PC カード コントローラ (PCC)	PCC_BVD1	入力	PCC バッテリー検出 1	PC カードからのバッテリー電圧検出 1 / カードステータス 変更信号端子です。
	PCC_BVD2	入力	PCC バッテリー検出 2	PC カードからのバッテリー電圧検出 2 / デジタル音声信号 端子です
	PCC_RDY	入力	PCC レディ	PC カードからのレディ信号 / 割り込み要求信号端子で す。
	PCC_REG	出力	PCC 空間指示	PC カードへの空間指示信号端子です。
	PCC_RESET	出力	PCC リセット	PC カードへのリセット信号端子です。
	PCC_CDI	入力	PCC カード検出 1	PC カードからのカード検出 1 信号端子です。
	PCC_CD2	入力	PCC カード検出 2	PC カードからのカード検出 2 信号端子です。
	PCC_WAIT	入力	PCC ウェイト要求	PCC ハードウェアウェイト要求信号端子です。
	PCC_DRV	出力	PCC バッファ制御	PCC のバッファ制御信号端子です。
	PCC_VSI1	入力	PCC 電圧検出 1	PC カードからの電圧センス 1 信号端子です。
	PCC_VS2	入力	PCC 電圧検出 2	PC カードからの電圧センス 2 信号端子です。
	PCC_IOIS16	入力	PCC16 ビット IO	PC カードからのライトプロテクト / 16 ビット I/O 信号端 子です。
マルチメディア カード インタフェース (MMCIF)	MMC_ODMOD	出力	MMC オーブンドレイン 制御	オーブンドレインモード制御端子です。
	MMC_VDDON	出力	MMC カード電源制御	MMC カード電源制御端子です。
	MMC_CLK	出力	MMC クロック	クロック出力端子です。
	MMC_DAT	入出力	MMC データ	データ入出力端子 (MMC モード) です。カード側の Data in 端子に接続してください。
	MMC_CMD	入出力	MMC コマンド	コマンド出力 / レスポンス入力端子 (MMC モード) です。 カード側の Data out 端子に接続してください。

分類	記号	入出力	名称	機能
SD ホスト インタフェース (SDHI)	SD_CLK	出力	SD クロック	クロック出力端子です。
	SD_CMD	入出力	SD コマンド	コマンド出力 / レスポンス入力端子です。
	SD_DAT0	入出力	SD データ 0	データ入出力端子です。
	SD_DAT1	入出力	SD データ 1	データ入出力端子です。
	SD_DAT2	入出力	SD データ 2	データ入出力端子です。
	SD_DAT3	入出力	SD データ 3	データ入出力端子です。
	SD_CD	入力	SD カード検出	カード検出端子です。
	SD_WP	入力	SD ライト プロテクト	ライトプロテクト端子です。
SIM カード モジュール (SIM)	SIM_RST	出力	SIM リセット	スマートカードリセット出力端子です。
	SIM_CLK	出力	SIM クロック	スマートカードクロック出力端子です。
	SIM_D	入出力	SIM データ	スマートカード送受信データ入出力端子です。
A/D 変換器 (ADC)	AN3 ~ AN0	入力	ADC アナログ入力	アナログ入力端子です。
	AVcc	-	アナログ電源	A/D、D/A 変換器の電源端子です。A/D、D/A 変換器を使用しない場合は入出力用電源 (V <sub>ccQ</sub> ) に接続してください。
	AVss	-	アナロググランド	A/D、D/A 変換器のグランド端子です。入出力用電源 (V <sub>ssQ</sub> ) に接続してください。
	ADTRG	入力	ADC 外部トリガ	A/D 変換を開始する外部トリガ信号です。
D/A 変換器 (DAC)	DA0	出力	DAC アナログ出力	チャンネル 0 のアナログ出力端子です。
	DA1	出力	DAC アナログ出力	チャンネル 1 のアナログ出力端子です。
USB	AVcc_USB	-	USB 電源	USB 用電源端子です。
	AVss_USB	-	USB グランド	USB 用グランド端子です。
	EXTAL_USB	入力	USB 外部クロック	USB 用水晶発振子を接続します。また、USB 用外部クロック (48MHz) を入力することもできます。
	XTAL_USB	出力	USB クリスタル	USB 用水晶発振子を接続します。
	USB1_ovr_ current/ USBF_VBUS	入力	USB1 オーバ カレント / モニタ	USB ポート 1 オーバカレント入力 / USB ケーブル接続モ ニタ端子です。
	USB2_ovr_ current	入力	USB2 オーバ カレント	USB ポート 2 オーバカレント入力端子です。
	USB1_pwr_ en/USBF_ UPLUP	出力	USB 1 パワーイネーブル / ブルアップ制御	USB ポート 1 電源投入許可制御 / ブルアップ制御出力端 子です。
	USB2_pwr_ en	出力	USB 2 パワーイネーブル	USB ポート 2 電源投入許可制御端子です。
	USB1_P	入出力	USB 用 D+ポート 1	USB 用 D+ポート 1 トランシーバ端子です。
	USB1_M	入出力	USB 用 D-ポート 1	USB 用 D-ポート 1 トランシーバ端子です。
	USB2_P	入出力	USB 用 D+ポート 2	USB 用 D+ポート 2 トランシーバ端子です。
USB2_M	入出力	USB 用 D-ポート 2	USB 用 D-ポート 2 トランシーバ端子です。	

分類	記号	入出力	名称	機能
USB	USB1d_DMNS	入力	D-信号入力	ドライバに対する D-信号入力端子です。
	USB1d_SUSPEND	出力	サスペンド ステート	トランシーバに対するサスペンドの状態を出力する端子 です。
	USB1d_RCV	入力	受信データ	差動レシーバからの受信データ入力端子です。
	USB1d_TXENL	出力	ドライバ出力許可	ドライバに対するアウトプットイネーブル端子です。
	USB1d_SPEED	出力	スピード制御	トランシーバのスピードを制御する端子です。
	USB1d_TXSE0	出力	SE0 ステート	SE0 ステート出力端子です。
	USB1d_TXDPLS	出力	D+送信出力	ドライバに対する D+送信出力端子です。
	USB1d_DPLS	入力	D+送信入力	ドライバに対する D+信号入力端子です。
I/O ポート	PTA7 ~ PTA0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTB7 ~ PTB0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTC7 ~ PTC0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTD7 ~ PTD0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTE6、PTE5	入力	汎用ポート	7 ビットの汎用ポート端子です。
	PTE4 ~ PTE0	入出力	汎用ポート	
	PTF6 ~ PTF0	入力	汎用ポート	7 ビットの汎用ポート端子です。
	PTG6 ~ PTG0	入出力	汎用ポート	7 ビットの汎用ポート端子です。
	PTH6 ~ PTH0	入出力	汎用ポート	7 ビットの汎用ポート端子です。
	PTJ6 ~ PTJ0	入出力	汎用ポート	7 ビットの汎用ポート端子です。
	PTK3 ~ PTK0	入出力	汎用ポート	4 ビットの汎用ポート端子です。
	PTL7 ~ PTL3	入出力	汎用ポート	5 ビットの汎用ポート端子です。
	PTM7 ~ PTM0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTP4 ~ PTP0	入出力	汎用ポート	5 ビットの汎用ポート端子です。
	PTR7 ~ PTR0	入出力	汎用ポート	8 ビットの汎用ポート端子です。
	PTS4 ~ PTS0	入出力	汎用ポート	5 ビットの汎用ポート端子です。
	PTT4 ~ PTT0	入出力	汎用ポート	5 ビットの汎用ポート端子です。
	PTU4 ~ PTU0	入出力	汎用ポート	5 ビットの汎用ポート端子です。
	PTV4 ~ PTV0	入出力	汎用ポート	5 ビットの汎用ポート端子です。
ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。

分類	記号	入出力	名称	機能
アドバンスト ユーザデバッグ (AUD)	AUDATA3~ AUDATA0	出力	AUD データ	ブランチトレースモード時の分岐先アドレス出力端子
	AUDCK	出力	AUD クロック	ブランチトレースモード時は同期クロック出力端子
	AUDSYNC	出力	AUD 同期信号	ブランチトレースモード時のデータ先頭位置認識信号出力端子
E10A インタフェース	ASEBRKAK	出力	ASE ブレークモード アクノリッジ	E10A エミュレータがブレークモードに入ったことを示します。
	ASEMD0	入力	ASE モード	ASE モードを設定します。

- 【注】
1. Vcc/Vss/VccQ/VssQ/VccQ1/VssQ1/AVcc/AVss/AVcc\_USB/AVss\_USB/VccQ\_RTC/Vcc\_RTC/Vss\_RTC/Vcc\_PLL1/Vss\_PLL1/Vcc\_PLL2/Vss\_PLL2 はすべてシステムの電源に接続してください (常時給電してください)。なお、ハードウェアスタンバイモード時は、Vcc\_RTC、VccQ\_RTC 以外の電源を OFF することが可能です (「13.8 ハードウェアスタンバイモード」参照)。
  2. RTC を使用していない場合も、必ず Vcc\_RTC、VccQ\_RTC に給電してください。
  3. 内蔵 PLL を使用しない場合も、必ず Vcc\_PLL1、Vcc\_PLL2 に給電してください。
  4. エミュレータおよび H-UDI を使用せずにユーザシステム単体で使用する場合は、ASEMD0 をハイレベルにしてください。ローレベルまたはオープンの場合 RESETP がマスクされることがあります。
  5. ピンファンクションコントローラ (PFC) のレジスタ設定でドライブ能力を切り替えることができます。VccQ1 に 3.3V を供給する場合はドライブ能力を小に、VccQ1 に 1.8V を供給する場合はドライブ能力を大にしてください。
  6. SDHI 関連端子は、SDHI 搭載品種のみサポートします。



---

## 2. CPU

---

### 2.1 処理状態と処理モード

#### 2.1.1 処理状態

CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、および低消費電力状態の 4 種類があります。

##### (1) リセット状態

CPU がリセットされている状態です。リセットの種類には、パワーオンリセットとマニュアルリセットの 2 種類があります。リセットの詳細については、「第 7 章 例外処理」を参照してください。

パワーオンリセットでは、LSI 内部の全モジュールのレジスタや内部状態が初期化されます。マニュアルリセットでは、一部のモジュールでレジスタの値が保持されます。詳細は、「第 37 章 レジスタ一覧」を参照してください。

CPU の内部状態やレジスタは、パワーオンリセットでもマニュアルリセットでも初期化されます。初期化完了後は、H'A000 0000 に分岐してユーザが作成したリセット処理プログラムに制御が渡され、実行を開始します。

##### (2) 例外処理状態

一般例外や割り込みの例外処理要因によって、CPU が処理状態の流れを変える過渡的な状態です。プログラムカウンタ (PC) を退避プログラムカウンタ (SPC) に、ステータスレジスタ (SR) を退避ステータスレジスタ (SSR) に退避します。ベクタベースレジスタ (VBR) の内容にベクタオフセットを加算したアドレスへ分岐し、ユーザが作成した例外処理プログラムに制御が渡され、実行を開始します。

例外処理状態の詳細については、「第 7 章 例外処理」を参照してください。

##### (3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

##### (4) 低消費電力状態

CPU の動作が停止し、消費電力が抑えられている状態です。SLEEP 命令で低消費電力状態になります。低消費電力状態の詳細は、「第 13 章 低消費電力モード」を参照してください。

状態間の遷移を図 2.1 に示します。

### 2.1.2 処理モード

CPU の処理モードには、ユーザモードと特権モードの 2 つがあります。ステータスレジスタ (SR) の処理モードビット (MD) で処理モードが決定されます。MD ビットが 0 のときユーザモードになり、1 のとき特権モードになります。リセット状態や例外処理状態に遷移することにより CPU は、特権モードに遷移します。CPU が特権モードにあるときは、レジスタやアドレス空間のすべてのリソースをアクセスすることができます。

SR の MD ビットに 0 を書くことで、CPU の処理モードは、ユーザモードになります。CPU がユーザモードにあるときは、SR を含む一部のレジスタやアドレス空間の一部がユーザプログラムからアクセスできなくなり、またシステムを制御する命令が実行できなくなります。この機構により、ユーザプログラムからシステムのリソースを保護することができます。処理モードをユーザモードから特権モードに変更するには、例外処理状態に遷移する必要があります。

【注】 ユーザモードから特権モードのサービスルーチン呼び出すために、無条件トラップ命令 (TRAPA) がサポートされています。ユーザモードから特権モードへ遷移する際は、SR およびプログラムカウンタ (PC) が退避されます。退避されたものを復帰することにより、ユーザモードのプログラムを再開することができます。この例外処理プログラムからの復帰のために RTE 命令がサポートされています。

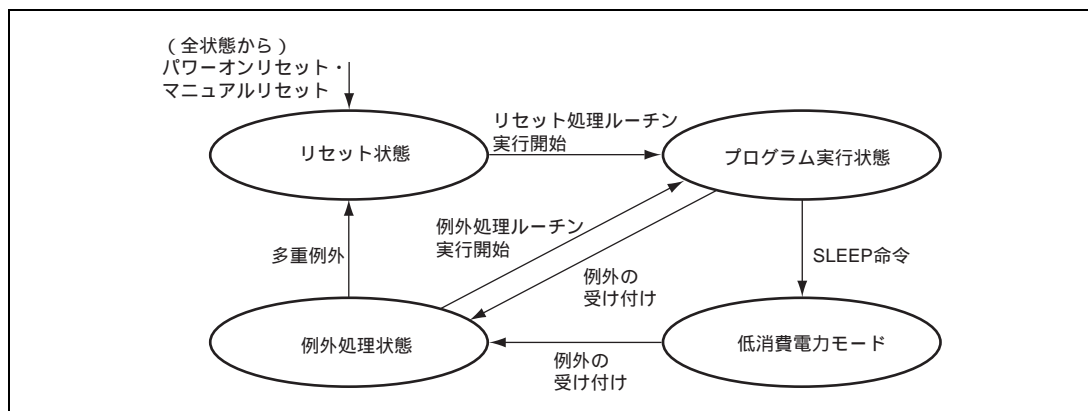


図 2.1 処理の状態遷移図

## 2.2 メモリマップ

### 2.2.1 論理アドレス空間

本 LSI の CPU は、32 ビットの論理アドレスをサポートしており、4G バイトの論理アドレス空間を用いてシステムのリソースをアクセスします。ユーザのプログラムやデータは、この論理アドレス空間上でアクセスされます。論理アドレス空間は、表 2.1 に示すとおり、いくつかの領域に分けて管理されています。

#### (1) P0/U0 領域

CPU が特権モードにあるときは P0 領域、ユーザモードにあるときは U0 領域と呼びます。P0 および U0 領域は、キャッシュを用いたアクセスが可能で、アドレス変換が可能な領域として扱われます。

キャッシュが使用可能な場合は、P0 または U0 空間に対するアクセスはキャッシングの対象になります。また、アドレス変換機構が使用可能な場合は、P0 または U0 空間のアドレスを指定するとアドレス変換の対象になり、ユーザの定義した変換情報に従って物理アドレスに変換されます。

CPU の処理モードがユーザモードにある場合は、U0 領域のみがアクセスでき、P1、P2、P3、および P4 領域をアクセスするとアドレスエラーと呼ばれる例外処理状態に遷移します。

#### (2) P1 領域

P1 領域は、キャッシングの対象になり、アドレス変換の対象とならない特権領域として定義されています。通常、この領域にはオペレーティングシステム (OS) のカーネル、および例外処理のハンドラなど、特権モードで高速に動作するプログラムを配置します。

#### (3) P2 領域

P2 領域は、キャッシングの対象にならず、アドレス変換の対象とならない特権領域として定義されています。リセット状態から呼び出されるリセット処理プログラムは、P2 領域の先頭 (H'A0000000) から記述します。通常、この領域にはシステムの初期設定ルーチンなど、OS の起動に必要なプログラムを配置します。また、本 LSI の一部の内蔵 I/O をアクセスする場合には、P2 領域にプログラムを配置しておく必要があります。

#### (4) P3 領域

P3 領域は、キャッシングの対象になり、アドレス変換の対象となる特権領域として定義されています。特権プログラムでアドレス変換が必要な場合は、この領域を利用します。

#### (5) P4 領域

P4 領域は、制御空間で、キャッシングやアドレス変換の対象にならず、特権モードのみでアクセス可能です。本 LSI の内蔵 I/O の一部は、この空間に配置されています。

表 2.1 論理アドレス空間

アドレス範囲	名称	モード	説明
H'00000000 – H'7FFFFFFF	P0/U0	特権 / ユーザ	2G バイト物理空間、キャッシング可能、アドレス変換可能 ユーザモードではこのアドレス空間のみアクセスできます。
H'80000000 – H'9FFFFFFF	P1	特権	0.5G バイト物理空間、キャッシング可能
H'A0000000 – H'BFFFFFFF	P2	特権	0.5G バイト物理空間、キャッシング不可
H'C0000000 – H'DFFFFFFF	P3	特権	0.5G バイト物理空間、キャッシング可能、アドレス変換可能
H'E0000000 – H'FFFFFFF	P4	特権	0.5G バイト制御空間、キャッシング不可

## 2.2.2 外部メモリ空間

本 LSI では、論理アドレス 32 ビットのうち 29 ビットが外部メモリアクセスに使用され、0.5G バイトの外部メモリ空間をアクセスできます。外部メモリ空間は、エリアと呼ばれる領域に分かれて管理されており、各エリアごとに異なった種類のメモリを接続することができます（図 2.2 に論理アドレス空間と外部メモリ空間とのマッピングを示します）。詳細は、「第 9 章 バスステートコントローラ（BSC）」を参照してください。また、外部メモリ空間のエリア 1 は内蔵 I/O 空間として使用され、本 LSI の内蔵 I/O の多くはこの領域にマッピングされています。<sup>\*1</sup>

通常は、論理アドレスの上位 3 ビットがマスクされて外部メモリアドレスになります<sup>\*2</sup>。たとえば、論理アドレスの P0 領域の H'00000100 番地、P1 領域の H'80000100 番地、P2 領域の H'A0000100 番地、および P3 領域の H'C0000100 番地は、すべて同一の外部メモリアドレスであるエリア 0 の H'00000100 番地にマッピングされます。ただし、P4 領域はマッピングの対象にならず、P4 領域をアクセスしても外部メモリ空間へのアクセスとはなりません。

【注】 \*1 外部メモリ空間のエリア 1 にマッピングされている内蔵 I/O をアクセスする場合には、キャッシングの対象でない論理アドレス（P2 領域）からアクセスしてください。

\*2 アドレス変換機構が使用可能な場合は、ページと呼ばれる単位で任意のマッピングが設定できます。詳細は、「第 4 章 メモリマネジメントユニット（MMU）」を参照してください。

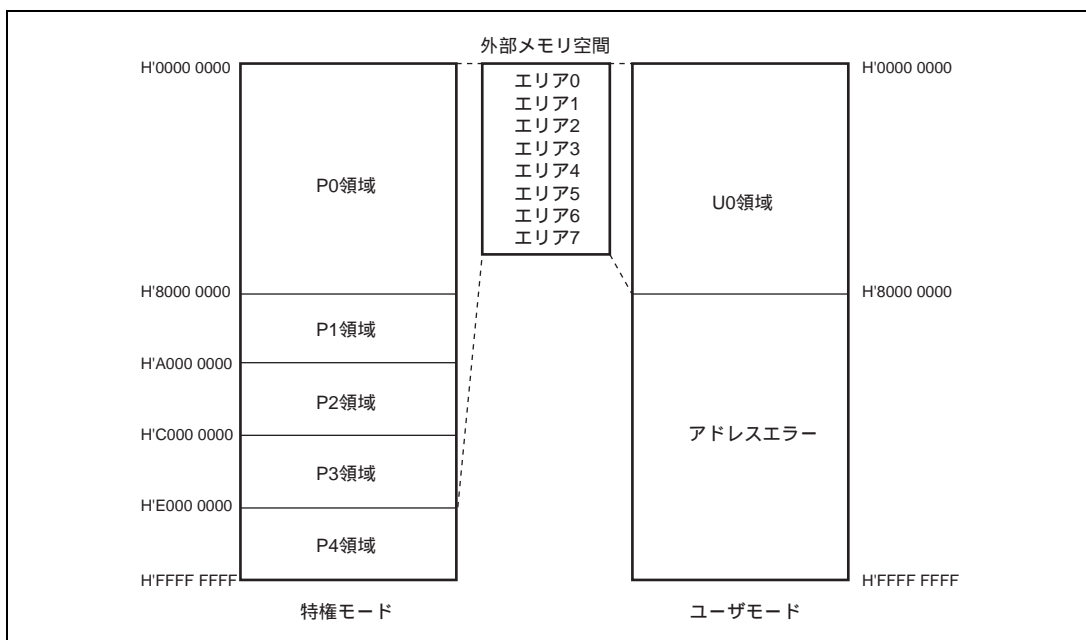


図 2.2 論理アドレス空間と外部メモリ空間とのマッピング

## 2.3 レジスタの説明

本 LSI の CPU は、32 ビットのレジスタを 33 本保有しています。これは、汎用レジスタ (24 本)、コントロールレジスタ (5 本)、システムレジスタ (3 本)、およびプログラムカウンタ (1 本) に分類されます。

### (1) 汎用レジスタ

汎用レジスタには、R0\_BANK0 ~ R7\_BANK0、R0\_BANK1 ~ R7\_BANK1、および R8 ~ R15 の 24 本のレジスタがあります。R0 から R7 はバンク構成になっており、どちらのバンクが汎用レジスタとして使用されるかは、処理モードおよびステータスレジスタ (SR) のレジスタバンクビット (RB) により決定されます。

### (2) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、およびプロシージャレジスタ (PR) があり、処理モードによらずアクセスできます。

### (3) プログラムカウンタ

プログラムカウンタ (PC) は、現在実行中の命令アドレス+4 の値を保持します。

### (4) コントロールレジスタ

コントロールレジスタには、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、退避ステータスレジスタ (SSR)、退避プログラムカウンタ (SPC)、およびベクタベースレジスタ (VBR) があります。このうち、GBR だけはユーザモードからでもアクセスできますが、他のコントロールレジスタは特権モードでのみアクセスできます。

リセット後のレジスタの値を表 2.2 に示します。また、処理モード別のレジスタ構成を図 2.3 に示します。

表 2.2 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0 ~ R7_BANK0 R0_BANK1 ~ R7_BANK1 R8 ~ R15	不定
システムレジスタ	MACH、MACL、PR	不定
プログラムカウンタ	PC	H'A0000000
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、I3 ~ I0 は 1111 (HF)、予約ビットは 0、その他は不定
	GBR、SSR、SPC	不定
	VBR	H'00000000

【注】 \* パワーオンリセットおよびマニュアルリセットで初期化されます。

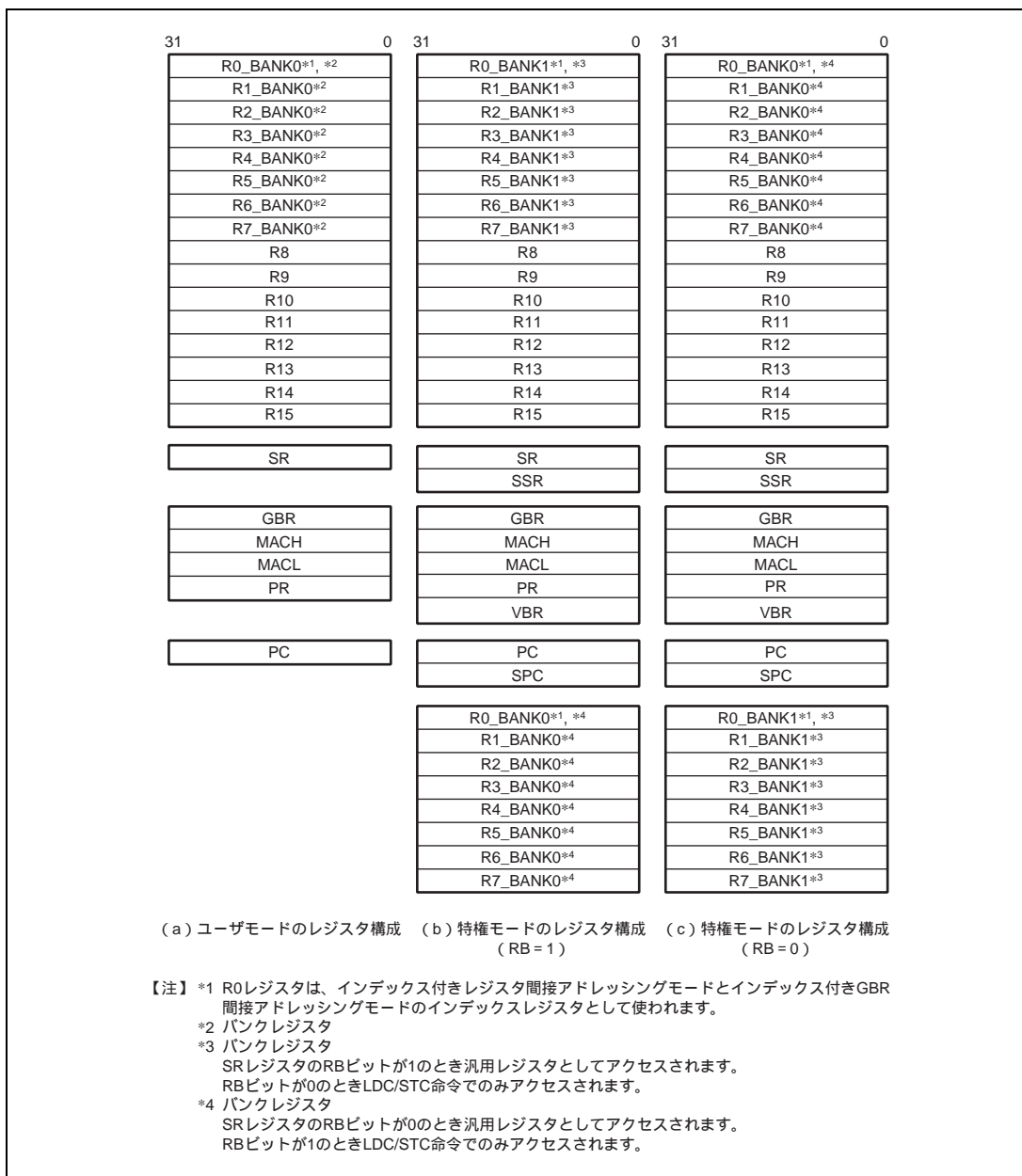


図 2.3 処理モード別のレジスタ構成

### 2.3.1 汎用レジスタ

汎用レジスタには、R0\_BANK0～R7\_BANK0、R0\_BANK1～R7\_BANK1、およびR8～R15の24本のレジスタがあります。R0からR7はバンク構成になっており、どちらのバンクが汎用レジスタとして使用されるかは処理モードおよびステータスレジスタ(SR)のレジスタバンクビット(RB)により決定されます。汎用レジスタとして選択されているバンクはR0～R7という名前でアクセスされ、選択されていないバンクのレジスタはR0\_BANK～R7\_BANKという名前で、コントロールレジスタのロード命令(LDC)とストア命令(STC)を用いてアクセスします。

ユーザモードの場合は、RBビットの値によらずバンク0が選択されます。R0\_BANK0～R7\_BANK0とR8～R15の合計16本のレジスタが汎用レジスタR0～R15としてアクセスされます。バンク1のレジスタR0\_BANK1～R7\_BANK1は、アクセスできません。

例外処理状態に遷移し特権モードになると同時にRBビットに1がセットされ、バンク1が選択されます。この場合は、バンク1のR0\_BANK1～R7\_BANK1とR8～R15の合計16本のレジスタを汎用レジスタR0からR15としてアクセスすることができます。例外処理状態に遷移することで自動的にバンクが切り換わるため、例外処理ルーチンでR0～R7の値を退避する必要はありません。バンク0のR0\_BANK0～R7\_BANK0は、LDCまたはSTC命令により、R0\_BANK～R7\_BANKとしてアクセスします。

特権モードでは、RBビットに0を書くことで、バンク0を汎用レジスタとして使用するよう選択することも可能です。この場合、バンク0のR0\_BANK0～R7\_BANK0とR8～R15の合計16本のレジスタを汎用レジスタR0からR15としてアクセスすることができます。バンク1のR0\_BANK1～R7\_BANK1は、LDCまたはSTC命令により、R0\_BANK～R7\_BANKとしてアクセスします。

汎用レジスタR0～R15はほぼすべての命令で等価な機能のレジスタとして使用されますが、一部の命令では、R0レジスタを暗黙的に使用したり、R0のみがソースレジスタやデスティネーションレジスタになる場合があります。

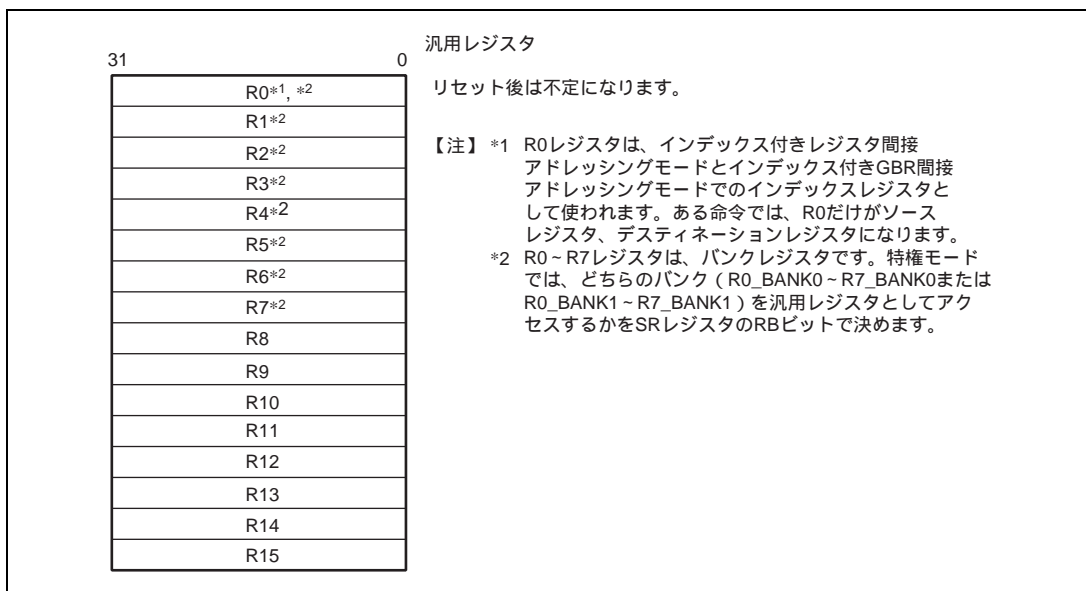


図 2.4 汎用レジスタの構成

### 2.3.2 システムレジスタ

システムレジスタは、LDS または STS 命令でアクセスできます。システムレジスタには、下記に示す 2 つのレジスタがあります。

#### (1) 積和レジスタ

積和レジスタには、積和演算命令、および乗算命令の結果を格納します。また、積和演算命令では加算値を格納する場所としても使用されます。リセット状態では不定になります。

積和レジスタは、上位 32 ビットを格納する積和上位レジスタ (MACH) と下位 32 ビットを格納する積和下位レジスタ (MACL) からなっています。

#### (2) プロシジャーレジスタ

プロシジャーレジスタ (PR) には、BSR、BSRF、および JSR 命令を用いたサブルーチンコールのときの戻りアドレスが格納されます。PR 中の戻りアドレスは、サブルーチンからの復帰命令 (RTS) によってプログラムカウンタ (PC) に復元されます。リセット状態では、不定になります。

### 2.3.3 プログラムカウンタ

プログラムカウンタ (PC) には、実行中の命令アドレス+4 の値が格納されます。PC の値を直接読み出す命令はありませんが、例外処理状態では退避プログラムカウンタ (SPC) に、サブルーチンコール時にはプロシジャーレジスタ (PR) にその値が退避されます。また、アドレッシングモードとして PC 相対アドレッシングが提供されています。



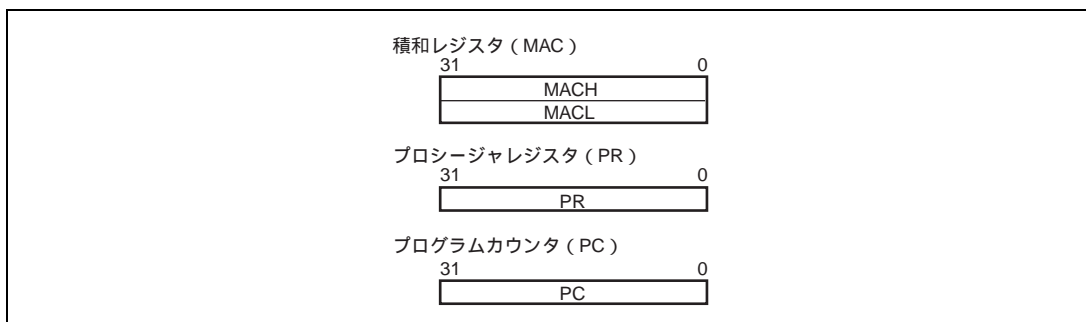


図 2.5 システムレジスタおよびプログラムカウンタの構成

### 2.3.4 コントロールレジスタ

コントロールレジスタは、特権モードのとき LDC または STC 命令を使ってアクセスできます。ただし、グローバルベースレジスタ (GBR) は、ユーザモードでもアクセスすることができます。コントロールレジスタには、下記に示す 5 つのレジスタがあります。

#### (1) ステータスレジスタ (SR)

ステータスレジスタには、システムの状態を表す各種情報を格納します。ステータスレジスタは、特権モードでのみアクセスできます。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	MD	1	R/W	処理モードビット CPU の処理モードを表します。 0: ユーザモード 1: 特権モード リセット状態および例外処理状態になると 1 がセットされます。
29	RB	1	R/W	レジスタバンクビット 汎用レジスタ R0 ~ R7 は、バンクレジスタです。 特権モードで使用する汎用レジスタのバンクを指定します。 0: R0_BANK0 ~ R7_BANK0 と R8 ~ R15 が汎用レジスタになり、R0_BANK1 ~ R7_BANK1 は LDC または STC 命令でアクセスできます。 1: R0_BANK1 ~ R7_BANK1 と R8 ~ R15 が汎用レジスタになり、R0_BANK0 ~ R7_BANK0 は LDC または STC 命令でアクセスできます。 リセット状態および例外処理状態になると 1 がセットされます。

ビット	ビット名	初期値	R/W	説明
28	BL	1	R/W	ブロックビット 0: 例外、割り込みやユーザブレイクを受け付けます。 1: 例外、割り込みやユーザブレイクの受け付けを抑制します。 リセット状態および例外処理状態になると1がセットされます。
27~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
9 8	M Q	- -	R/W R/W	M ビット Q ビット DIV0S、DIV0U、および DIV1 命令で使用します。これらの命令を実行することで、ユーザモードでも値を変更できます。リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。
7 6 5 4	I3 I2 I1 I0	1 1 1 1	R/W R/W R/W R/W	割り込みマスクビット 割り込み要求マスクレベルを表す4ビットデータです。 割り込みが発生しても、割り込み受け付けレベルに変化しません。 リセット状態でB'1111に初期化されますが、例外処理状態になっても値は変化しません。
3 2	- -	0 0	R R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	S	-	R/W	飽和モード 乗算命令および積和命令での飽和モードを指定します。ユーザモードからは、SETS および CLRS 命令を用いることで値を設定できます。 リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。
0	T	-	R/W	T ビット 比較演算命令での真または偽条件やキャリまたはポロー付き演算命令でのキャリまたはポローの有無を表します。ユーザモードからは、SETT および CLRT 命令を用いることで値を設定できます。リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。

【注】 M、Q、S、T ビットはユーザモードで専用命令によってセット/クリアが可能です。他のビットは、特権モードで読み出しまたは書き込みが可能です。

### (2) 退避ステータスレジスタ (SSR)

このレジスタは、特権モードでのみアクセスできます。例外処理状態へ遷移する場合には、ステータスレジスタ (SR) の値が退避されます。リセット状態での初期値は、不定です。

### (3) 退避プログラムカウンタ (SPC)

このカウンタは、特権モードでのみアクセスできます。例外処理状態へ遷移する場合には、プログラムカウンタ (PC) の値が退避されます。リセット状態の初期値は、不定です。

## (4) グローバルベースレジスタ (GBR)

GBR 間接アドレッシングのベースレジスタとして参照されます。リセット状態の初期値は、不定です。

## (5) ベクタベースレジスタ (VBR)

このレジスタは、特権モードでのみアクセスできます。リセット状態以外から例外処理状態に遷移した場合は、分岐先のベースアドレスとして参照されます。詳細は、「第7章 例外処理」を参照してください。リセット状態に遷移することで、H'00000000 に初期化されます。

コントロールレジスタの構成を図 2.6 に示します。

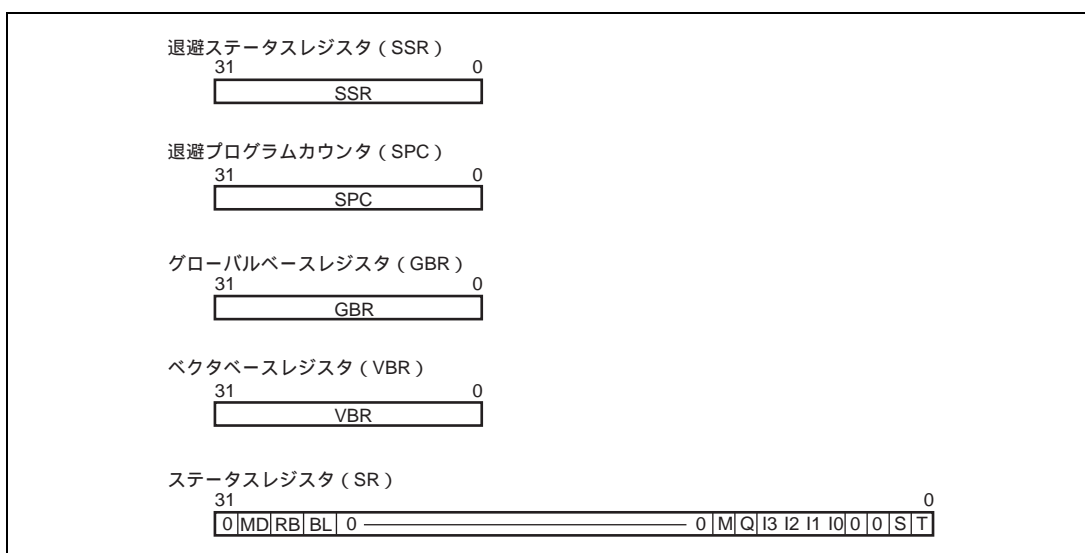
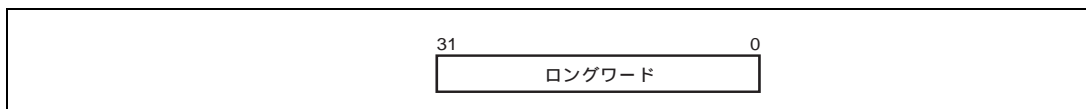


図 2.6 コントロールレジスタの構成

## 2.4 データ形式

### 2.4.1 レジスタのデータ形式

レジスタオペランドのデータのサイズは、常にロングワード（32 ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8 ビット）、もしくはワード（16 ビット）の場合は、ロングワードに符号拡張して、レジスタに格納します。



### 2.4.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2 バイト刻みの偶数番地：2n 番地）から、ロングワードオペランドはロングワード境界（4 バイト刻みの偶数番地：4n 番地）からアクセスしてください。これを守らない場合は、アドレスエラーとなり、例外処理状態に遷移します。バイトオペランドは、どの番地からでもアクセスできます。

ワードオペランドやロングワードオペランドをアクセスする場合、レジスタ上でワード、ロングワードを構成する各バイト位置がメモリ上でどのアドレスに対応するかは、エンディアン方式（ビッグエンディアン/リトルエンディアンの別）により異なります。

図 2.7 に、ビッグエンディアンの場合の対応を示します。ビッグエンディアンでは、レジスタの最上位バイト側がアドレスの小さい番地に、最下位バイト側がアドレスの大きい番地に対応します。例として、汎用レジスタ R1 で示されるアドレスに汎用レジスタの値をロングワードでストアした場合は、R0 の最上位バイトが R1 で示されるアドレスにストアされ、R0 の最下位バイトが (R1+3) で示されるアドレスにストアされます。

本 LSI の内蔵デバイスが持つメモリ割り付けレジスタは、ビッグエンディアンとしてアクセスされます。ただし、ロングワードサイズのレジスタをワードまたはバイトでアクセスすることが可能か、ワードサイズのレジスタをバイトでアクセスすることが可能かは、レジスタによって異なります。

【注】 本 LSI の CPU 命令コードは、メモリ上にワードサイズとして格納されている必要があります。ビッグエンディアンの場合は、命令コードはメモリ上にワード境界から上位バイトおよび下位バイトの順番に格納してください。

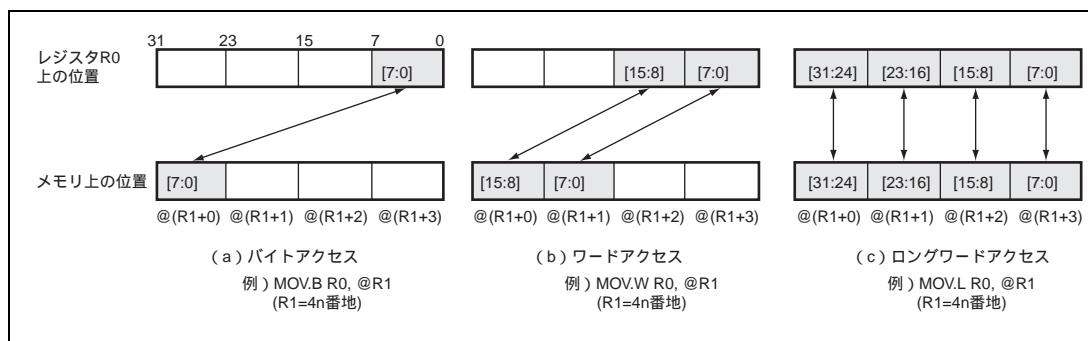


図 2.7 メモリ上のデータ形式 (ビッグエンディアン)

データフォーマットとしてリトルエンディアンを選択することも可能です。エンディアン方式は、パワーオンリセット時に外部端子 (MD5) で設定してください。MD5 端子がローレベルの場合はビッグエンディアンに、MD5 端子がハイレベルの場合はリトルエンディアンに設定されます。エンディアン方式は、動的には変更できません。

リトルエンディアンでは、レジスタの最上位バイト側がアドレスの大きい番地に、最下位バイト側がアドレスの小さい番地に対応します (図 2.8)。例として、汎用レジスタ R1 で示されるアドレスに汎用レジスタの値をロングワードでストアした場合、リトルエンディアンでは R0 の最上位バイトが (R1+3) で示されるアドレスにストアされ、R0 の最下位バイトが R1 で示されるアドレスにストアされます。

エンディアンをリトルエンディアンに設定した場合、本 LSI の持つ内蔵メモリへのアクセスはリトルエンディアンで行われますが、メモリ空間に割り付けられたレジスタへのアクセスはビッグエンディアンで行われます。ただし、ロングワードサイズのレジスタをワードまたはバイトでアクセスすることが可能か、ワードサイズのレジスタをバイトでアクセスすることが可能かは、レジスタによって異なります。

【注】 本 LSI の CPU 命令コードは、メモリ上にワードサイズとして格納されている必要があります。リトルエンディアンの場合は、命令コードはメモリ上にワード境界から下位バイトおよび上位バイトの順に格納してください。

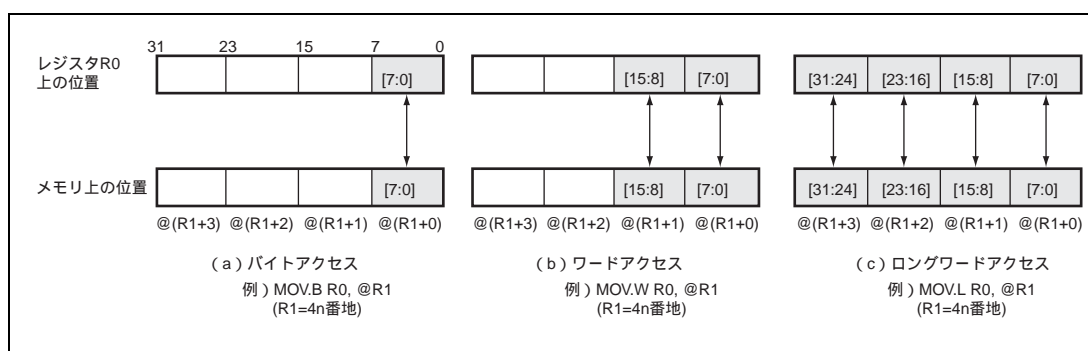


図 2.8 メモリ上のデータ形式 (リトルエンディアン)

## 2.5 命令の特長

### 2.5.1 命令の実行方法

#### (1) 命令長

命令セットは、16 ビット固定長命令で逐次パイプラインで実行されます。逐次パイプラインによりほとんどの命令が 1 サイクルの時間で実行されます。すべてのデータは 32 ビットのロングワード単位で処理されます。メモリは、8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワード単位にアクセスされます。このとき、バイトとワードは、符号拡張されて 32 ビットのロングワードで処理されます。リテラル定数は、算術演算 (MOV、ADD および CMP/EQ 命令) では符号が拡張され、論理演算 (TST、AND、OR および XOR 命令) ではゼロ拡張されて処理されます。

#### (2) ロードストアアーキテクチャ

ロードストアアーキテクチャを採用しているため、基本演算はレジスタ間で処理されます。メモリ上のデータを扱うときは、転送命令でレジスタにロードしてから演算命令で実行してください。ただし、論理演算の AND のようなビット操作命令は、実際にメモリ上で処理されます。

#### (3) 遅延分岐

無条件分岐は、遅延分岐として処理されます。分岐によるパイプラインの乱れを最小にするため遅延分岐命令の次の命令を先に実行してから分岐します。条件付き分岐命令には、遅延分岐命令と通常分岐命令の 2 とおりがあります。

```
BRA          TRGET
ADD          R1, R0          ;TRGET へ分岐する前に ADD 命令が実行されます
```

#### (4) T ビット

ステータスレジスタ (SR) の T ビットは、比較命令の結果を表すのに使用され、条件分岐が発生するかどうかを決定する真偽状態 (TRUE または FALSE) として読み出されます。処理速度を向上させるため、T ビットは特定の命令でのみ変更されます。T ビットの使い方の例を以下に示します。

```
ADD          #1, R0          ;T ビットは ADD 命令では変更されません
CMP/EQ      #0, R0          ;T ビットは R0 が 0 のとき 1 にセットされます
BT          TRGET          ;T ビットが 1 (R0=0) のとき TRGET に分岐します
```

#### (5) リテラル定数

バイト長のリテラル定数は、イミディエイトデータとして命令コードの中に直接挿入されます。16 ビット固定長の命令コードなので、ワードまたはロングワードのリテラル定数は命令コードの中に直接挿入されず、メインメモリにテーブルの形で格納されます。メモリテーブルは、ディスプレイメント付きの PC 相対アドレッシングを使った MOV 命令でアクセスします。

```
MOV.W       @(disp, PC), R0
```

#### (6) 絶対アドレス

ワードおよびロングワードリテラル定数と同じように、絶対アドレスもメインメモリにテーブルの形で格納してください。絶対アドレスの値はレジスタに転送され、オペランドのアクセスはインデックス付きレジスタ間接アドレッシングで指定されます。絶対アドレスは、ワードおよびロングワードのイミディエイトデータと同じように、命令実行中にレジスタに格納されます。

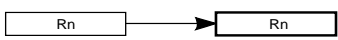
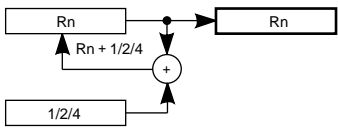
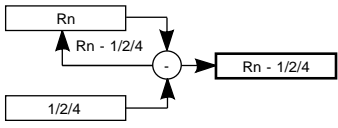
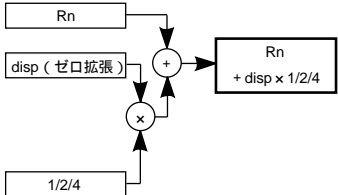
#### (7) 16 ビットと 32 ビットディスプレースメント

16 ビットおよび 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに格納してください。絶対アドレスとまったく同じようにディスプレースメントの値がレジスタに転送され、オペランドのアクセスはインデックス付きレジスタ間接アドレッシングで指定されます。絶対アドレスはワードおよびロングワードのイミディエイトデータと同じように、命令実行中にレジスタに格納されます。

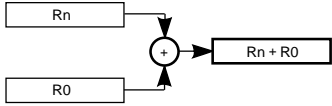
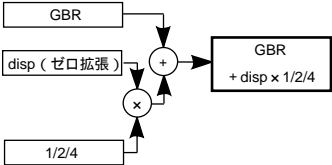
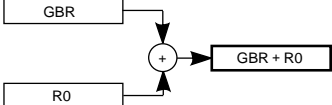
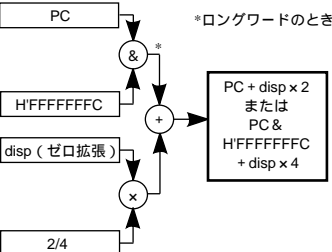
## 2.5.2 アドレッシングモード

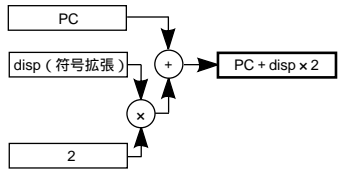
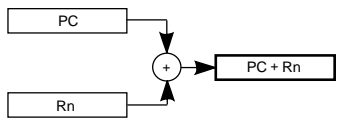
アドレッシングモードと実効アドレスの計算方法を表 2.3 に示します。

表 2.3 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメントレジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイースメント付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp x 2 ロングワード : Rn + disp x 4



アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
インデックス付 きレジスタ間接	@ (R0, Rn)	実効アドレスはレジスタ Rn に R0 を加算した内容 です。 	Rn + R0
ディスプレース メント付き GBR 間接	@ (disp:8, GBR)	実効アドレスはレジスタ GBR に 8 ビットディスプレ ースメント disp を加算した内容です。disp はゼロ 拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍 します。 	バイト : GBR + disp ワード : GBR + disp × 2 ロングワード : GBR + disp × 4
インデックス付 き GBR 間接	@ (R0, GBR)	実効アドレスはレジスタ GBR に R0 を加算した内 容です。 	GBR + R0
ディスプレース メント付き PC 相対	@ (disp:8, PC)	実効アドレスはレジスタ PC に 8 ビットディスプレ ースメント disp を加算した内容です。disp はゼロ 拡張後、オペランドサイズによってワードで 2 倍、 ロングワードで 4 倍します。さらにロングワード のときは PC の下位 2 ビットをマスクします。 	ワード : PC + disp × 2 ロングワード : PC & H'FFFFFFFC + disp × 4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p> 	$PC + Rn$
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を表記しています。これは、LSI の動作を明確にするためです。実際のアセンブラの記述は、各アセンブラの表記ルールをご参考ください。

@ (disp:4, Rn) ; ディスプレースメント付きレジスタ間接

@ (disp:8, GBR) ; ディスプレースメント付き GBR 間接

@ (disp:8, PC) ; ディスプレースメント付き PC 相対

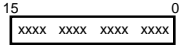
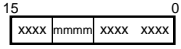
disp : 8, disp :12 ; PC 相対

### 2.5.3 命令形式

表 2.4 に命令形式、ソースオペランド、およびデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード  
 mmmm : ソースレジスタ  
 nnnn : デスティネーションレジスタ  
 iiiii : イミディエイトデータ  
 dddd : ディスプレースメント

表 2.4 命令形式

命令形式	ソースオペランド	デスティネーション オペランド	命令の例	
0 形式		-	-	NOP
n 形式		-	nnnn: レジスタ直接	MOVT Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメントレ ジスタ間接	STC.L SR,@-Rn
m 形式		mmmm: レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm: ポストインクリメ ントレジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm: レジスタ間接	-	JMP @Rm
		mmmm: Rm を用いた PC 相 対	-	BRAF Rm
nm 形式		mmmm: レジスタ直接	nnnn: レジスタ直接	ADD Rm,Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.L Rm,@Rn
		mmmm: ポストインクリメ ントレジスタ間接 (積和演算) nnnn: *ポストインクリメン トレジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+, @Rn+
		mmmm: ポストインクリメ ントレジスタ間接	nnnn: レジスタ直接	MOV.L @Rm+,Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式		m m m m: レジスタ 直接	n n n n: プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		m m m m: レジスタ 直接	n n n n: インデックス 付きレジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式		m m m m d d d d: ディスプレースメン ト付きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式		R0 (レジスタ直接)	n n n n d d d d: ディスプレースメント付き レジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式		m m m m: レジスタ 直接	n n n n d d d d: ディスプレースメント付き レジスタ間接	MOV.L Rm,@(disp,Rn)
		m m m m d d d d: ディスプレースメン ト付きレジスタ間接	n n n n: レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式		d d d d d d d d: ディスプレースメン ト付き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	d d d d d d d d: ディスプレースメント付き GBR 間接	MOV.L R0,@(disp,GBR)
		d d d d d d d d: ディスプレースメン ト付き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		d d d d d d d d: PC 相対	-	BF label
d12 形式		d d d d d d d d d d: PC 相対	-	BRA label (label = disp+PC)
nd8 形式		d d d d d d d d: ディスプレースメン ト付き PC 相対	n n n n: レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		i i i i i i: イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		i i i i i i: イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		i i i i i i: イミディエイト	-	TRAPA #imm
ni 形式		i i i i i i: イミディエイト	n n n n: レジスタ直接	ADD #imm,Rn

【注】 \* 積和命令では、nnnn はソースレジスタです。

## 2.6 命令セット

### 2.6.1 機能別命令セット

機能別の命令を表 2.5 に示します。

表 2.5 機能別命令

機能	命令の種類	オペコード	詳細機能	命令数
データ転送命令	5	MOV	データ転送	39
		MOVA	実効アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算 (32 × 32 ビット)	
		MULS	符号付き乗算 (16 × 16 ビット)	
		MULU	符号なし乗算 (16 × 16 ビット)	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	

機能	命令の種類	オペコード	詳細機能	命令数
シフト命令	12	ROTCL	T ビット付き 1 ビット左回転	16
		ROTCR	T ビット付き 1 ビット右回転	
		ROTL	1 ビット左回転	
		ROTR	1 ビット右回転	
		SHAD	ダイナミック算術シフト	
		SHAL	1 ビット左算術シフト	
		SHAR	1 ビット右算術シフト	
		SHLD	ダイナミック論理シフト	
		SHLL	1 ビット左論理シフト	
		SHLLn	n ビット左論理シフト	
		SHLR	1 ビット右論理シフト	
		SHLRn	n ビット右論理シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
RTS	サブルーチンプロシージャからの復帰			
システム制御命令	15	CLRMAC	MAC レジスタのクリア	75
		CLRS	S ビットのクリア	
		CLRT	T ビットのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		LDTLB	TLB へのロード	
		NOP	無操作	
		PREF	データキャッシュへのプリフェッチ	
		RTE	例外処理からの復帰	
		SETS	S ビットのセット	
		SETT	T ビットのセット	
		SLEEP	低消費電力モードへの遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
TRAPA	トラップ例外処理			
	計 68			188

CPU 命令の命令コード、動作、および実行ステートを、以下の形式で分類別に説明します。

命令	命令コード	動作の概略	特権	実行ステート	T ビット
ニーモニックで表示しています。	MSB LSB の順で表示しています。	動作の概略を表示しています。	特権命令を示しています。	ノーウェイトのときの値です。 <sup>*1</sup>	命令実行後の、T ビットの値を表示しています。
記号の説明 OP.Sz SRC,DEST OP: オペコード Sz: サイズ SRC: ソース DEST: デスティネーション Rm: ソースレジスタ Rn: デスティネーションレジスタ imm: イミディエイトデータ disp: ディスプレースメント	記号の説明 mmmm: ソースレジスタ nnnn: デスティネーションレジスタ 0000: R0 0001: R1 ..... 1111: R15 iiii: イミディエイトデータ dddd: ディスプレースメント <sup>*2</sup>	記号の説明 , : 転送方向 (xx): メモリオペランド M/Q/T: SR 内のフラグビット &: ビットごとの論理積  : ビットごとの論理和 ^: ビットごとの排他的論理和 ~: ビットごとの論理否定 <<n: 左 n ビットシフト >>n: 右 n ビットシフト			記号の説明 : 変化しない

【注】 \*1 命令の実行ステートについて

表に示した実行ステートは、最少値です。実際は、下記の条件により、命令実行ステート数が増加します。

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令 (メモリ レジスタ) のデスティネーションレジスタと、その直後の命令が使うレジスタとが同一の場合

\*2 命令のオペランドサイズなどに応じてスケーリング (x1、x2、x4) されます。

表 2.6 データ転送命令

命令	命令コード	動作	特権	実行 ステート	Tビット
MOV	#imm,Rn	imm 符号拡張 Rn	-	1	-
MOV.W	@ ( disp,PC ),Rn	( disp × 2+PC ) 符号拡張 Rn	-	1	-
MOV.L	@ ( disp,PC ),Rn	( disp × 4+PC ) Rn	-	1	-
MOV	Rm,Rn	Rm Rn	-	1	-
MOV.B	Rm,@Rn	Rm ( Rn )	-	1	-
MOV.W	Rm,@Rn	Rm ( Rn )	-	1	-
MOV.L	Rm,@Rn	Rm ( Rn )	-	1	-
MOV.B	@Rm,Rn	( Rm ) 符号拡張 Rn	-	1	-
MOV.W	@Rm,Rn	( Rm ) 符号拡張 Rn	-	1	-
MOV.L	@Rm,Rn	( Rm ) Rn	-	1	-
MOV.B	Rm,@-Rn	Rn-1 Rn, Rm ( Rn )	-	1	-
MOV.W	Rm,@-Rn	Rn-2 Rn, Rm ( Rn )	-	1	-
MOV.L	Rm,@-Rn	Rn-4 Rn, Rm ( Rn )	-	1	-
MOV.B	@Rm+,Rn	( Rm ) 符号拡張 Rn, Rm+1 Rm	-	1	-
MOV.W	@Rm+,Rn	( Rm ) 符号拡張 Rn, Rm+2 Rm	-	1	-
MOV.L	@Rm+,Rn	( Rm ) Rn, Rm+4 Rm	-	1	-
MOV.B	R0,@ ( disp,Rn )	R0 ( disp+Rn )	-	1	-
MOV.W	R0,@ ( disp,Rn )	R0 ( disp × 2+Rn )	-	1	-
MOV.L	Rm,@ ( disp,Rn )	Rm ( disp × 4+Rn )	-	1	-
MOV.B	@ ( disp,Rm ),R0	( disp+Rm ) 符号拡張 R0	-	1	-
MOV.W	@ ( disp,Rm ),R0	( disp × 2+Rm ) 符号拡張 R0	-	1	-
MOV.L	@ ( disp,Rm ),Rn	( disp × 4+Rm ) Rn	-	1	-
MOV.B	Rm,@ ( R0,Rn )	Rm ( R0+Rn )	-	1	-
MOV.W	Rm,@ ( R0,Rn )	Rm ( R0+Rn )	-	1	-
MOV.L	Rm,@ ( R0,Rn )	Rm ( R0+Rn )	-	1	-
MOV.B	@ ( R0,Rm ),Rn	( R0+Rm ) 符号拡張 Rn	-	1	-
MOV.W	@ ( R0,Rm ),Rn	( R0+Rm ) 符号拡張 Rn	-	1	-
MOV.L	@ ( R0,Rm ),Rn	( R0+Rm ) Rn	-	1	-
MOV.B	R0,@ ( disp,GBR )	R0 ( disp+GBR )	-	1	-
MOV.W	R0,@ ( disp,GBR )	R0 ( disp × 2+GBR )	-	1	-
MOV.L	R0,@ ( disp,GBR )	R0 ( disp × 4+GBR )	-	1	-
MOV.B	@ ( disp,GBR ),R0	( disp+GBR ) 符号拡張 R0	-	1	-
MOV.W	@ ( disp,GBR ),R0	( disp × 2+GBR ) 符号拡張 R0	-	1	-
MOV.L	@ ( disp,GBR ),R0	( disp × 4+GBR ) R0	-	1	-
MOVA	@ ( disp,PC ),R0	disp × 4+PC R0	-	1	-



命令	命令コード	動作	特権	実行 ステート	Tビット
MOVT Rn	0000nnnn00101001	T Rn	-	1	-
SWAP.B Rm,Rn	0110nnnnmmmm1000	Rm 下位2バイトの上下バイト交換 Rn	-	1	-
SWAP.W Rm,Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	-	1	-
XTRCT Rm,Rn	0010nnnnmmmm1101	Rm と Rn の中央32ビット Rn	-	1	-

表 2.7 算術演算命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ADD Rm,Rn	0011nnnnmmmm1100	Rn+Rm Rn	-	1	-
ADD #imm,Rn	0111nnnniiiiiiii	Rn+imm Rn	-	1	-
ADDC Rm,Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリ T	-	1	キャリ
ADDV Rm,Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T	-	1	オーバフロー
CMP/EQ #imm,R0	10001000iiiiiiii	R0=imm のとき 1 T	-	1	比較結果
CMP/EQ Rm,Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T	-	1	比較結果
CMP/HS Rm,Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T	-	1	比較結果
CMP/GE Rm,Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T	-	1	比較結果
CMP/HI Rm,Rn	0011nnnnmmmm0110	無符号で Rn>Rm のとき 1 T	-	1	比較結果
CMP/GT Rm,Rn	0011nnnnmmmm0111	有符号で Rn>Rm のとき 1 T	-	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1 T	-	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T	-	1	比較結果
CMP/STR Rm,Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T	-	1	比較結果
DIV1 Rm,Rn	0011nnnnmmmm0100	1ステップ除算 (Rn÷Rm)	-	1	計算結果
DIVOS Rm,Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M^Q T	-	1	計算結果
DIVOU	000000000011001	0 M/Q/T	-	1	0
DMULS.L Rm,Rn	0011nnnnmmmm1101	符号付きで Rn×Rm MACH, MACL 32×32 64ビット	-	2(～5)*	-
DMULU.L Rm,Rn	0011nnnnmmmm0101	符号なしで Rn×Rm MACH, MACL 32×32 64ビット	-	2(～5)*	-
DT Rn	0100nnnn00010000	Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	-	1	比較結果
EXTS.B Rm,Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn	-	1	-
EXTS.W Rm,Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn	-	1	-
EXTU.B Rm,Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn	-	1	-
EXTU.W Rm,Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn	-	1	-
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn)×(Rm)+MAC MAC, Rn+4 Rn, Rm+4 Rm 32×32+64 64ビット	-	2(～5)*	-

命令	命令コード	動作	特権	実行 ステート	Tビット	
MAC.W	@Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC, Rn+2 Rn, Rm+2 Rm16 × 16+64 64 ビット	-	2 (~5)*	-
MUL.L	Rm,Rn	0000nnnnmmmm0111	Rn × Rm MACL32 × 32 32 ビット	-	2 (~5)*	-
MULS.W	Rm,Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MACL16 × 16 32 ビット	-	1 (~3)*	-
MULU.W	Rm,Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MACL16 × 16 32 ビット	-	1 (~3)*	-
NEG	Rm,Rn	0110nnnnmmmm1011	0-Rm Rn	-	1	-
NEGC	Rm,Rn	0110nnnnmmmm1010	0-Rm-T Rn, ポロー T	-	1	ポロー
SUB	Rm,Rn	0011nnnnmmmm1000	Rn-Rm Rn	-	1	-
SUBC	Rm,Rn	0011nnnnmmmm1010	Rn-Rm-T Rn, ポロー T	-	1	ポロー
SUBV	Rm,Rn	0011nnnnmmmm1011	Rn-Rm Rn, アンダフロー T	-	1	アンダフロー

【注】 \* 命令の直後に MACH/MACL レジスタから演算結果を読み出すときは、( ) 内に示されたステート数が必要です。

表 2.8 論理演算命令

命令	命令コード	動作	特権	実行 ステート	Tビット	
AND	Rm,Rn	0010nnnnmmmm1001	Rn & Rm Rn	-	1	-
AND	#imm,R0	11001001iiiiiiii	R0 & imm R0	-	1	-
AND.B	#imm,@ (R0,GBR)	11001101iiiiiiii	(R0+GBR) & imm (R0+GBR)	-	3	-
NOT	Rm,Rn	0110nnnnmmmm0111	$\bar{Rm}$ Rn	-	1	-
OR	Rm,Rn	0010nnnnmmmm1011	Rn   Rm Rn	-	1	-
OR	#imm,R0	11001011iiiiiiii	R0   imm R0	-	1	-
OR.B	#imm,@ (R0,GBR)	11001111iiiiiiii	(R0+GBR)   imm (R0+GBR)	-	3	-
TAS.B	@Rn	0100nnnn00011011	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)	-	4	テスト結果
TST	Rm,Rn	0010nnnnmmmm1000	Rn & Rm, 結果が 0 のとき 1 T	-	1	テスト結果
TST	#imm,R0	11001000iiiiiiii	R0 & imm, 結果が 0 のとき 1 T	-	1	テスト結果
TST.B	#imm,@ (R0,GBR)	11001100iiiiiiii	(R0+GBR) & imm, 結果が 0 のとき 1 T	-	3	テスト結果
XOR	Rm,Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	-	1	-
XOR	#imm,R0	11001010iiiiiiii	R0 ^ imm R0	-	1	-
XOR.B	#imm,@ (R0,GBR)	11001110iiiiiiii	(R0+GBR) ^ imm (R0+GBR)	-	3	-

表 2.9 シフト命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	T Rn MSB	-	1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T	-	1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T	-	1	MSB
ROTCR Rn	0100nnnn00100101	T Rn T	-	1	LSB
SHAD Rm, Rn	0100nnnnmmmm1100	Rm 0 のとき、Rn<<Rm Rn Rm<0 のとき、Rn>>Rm [MSB Rn]	-	1	-
SHAL Rn	0100nnnn00100000	T Rn 0	-	1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T	-	1	LSB
SHLD Rm, Rn	0100nnnnmmmm1101	Rm 0 のとき、Rn<<Rm Rn Rm<0 のとき、Rn>>Rm [0 Rn]	-	1	-
SHLL Rn	0100nnnn00000000	T Rn 0	-	1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T	-	1	LSB
SHLL2 Rn	0100nnnn00001000	Rn<<2 Rn	-	1	-
SHLR2 Rn	0100nnnn00001001	Rn>>2 Rn	-	1	-
SHLL8 Rn	0100nnnn00011000	Rn<<8 Rn	-	1	-
SHLR8 Rn	0100nnnn00011001	Rn>>8 Rn	-	1	-
SHLL16 Rn	0100nnnn00101000	Rn<<16 Rn	-	1	-
SHLR16 Rn	0100nnnn00101001	Rn>>16 Rn	-	1	-

表 2.10 分岐命令

命令	命令コード	動作	特権	実行 ステート	Tビット
BF disp	10001011dddddddd	T = 0 のとき disp × 2 + PC へ分岐 T = 1 のとき nop	-	3/1*	-
BF/S disp	10001111dddddddd	遅延分岐、T = 0 のとき disp × 2 + PC へ分岐 T = 1 のとき nop	-	2/1*	-
BT disp	10001001dddddddd	T = 1 のとき disp × 2 + PC へ分岐 T = 0 のとき nop	-	3/1*	-
BT/S disp	10001101dddddddd	遅延分岐、T = 1 のとき disp × 2 + PC へ分岐 T = 0 のとき nop	-	2/1*	-
BRA disp	1010dddddddddddd	遅延分岐、disp × 2 + PC へ分岐	-	2	-
BRAF Rm	0000mmmm00100011	遅延分岐、Rm + PC へ分岐	-	2	-
BSR disp	1011dddddddddddd	遅延分岐、遅延スロット命令の次命令のアドレス PR, disp × 2 + PC へ分岐	-	2	-
BSRF Rm	0000mmmm00000011	遅延分岐、遅延スロット命令の次命令のアドレス PR, Rm + PC へ分岐	-	2	-

命令	命令コード	動作	特権	実行 ステート	Tビット	
JMP	@Rm	0100mmmm00101011	遅延分岐、Rm へ分岐	-	2	-
JSR	@Rm	0100mmmm00001011	遅延分岐、遅延スロット命令の次命令のアドレス PR, Rm へ分岐	-	2	-
RTS		0000000000001011	遅延分岐、PR へ分岐	-	2	-

【注】 \* 分岐しないときは、1 ステートになります。

表 2.11 システム制御命令

命令	命令コード	動作	特権	実行 ステート	Tビット	
CLRMAC	0000000000101000	0 MACH,MACL	-	1	-	
CLRS	0000000001001000	0 S	-	1	-	
CLRT	0000000000010000	0 T	-	1	0	
LDC	Rm,SR	0100mmmm00001110	Rm SR	特権	6	LSB
LDC	Rm,GBR	0100mmmm00011110	Rm GBR	-	4	-
LDC	Rm,VBR	0100mmmm00101110	Rm VBR	特権	4	-
LDC	Rm,SSR	0100mmmm00111110	Rm SSR	特権	4	-
LDC	Rm,SPC	0100mmmm01001110	Rm SPC	特権	4	-
LDC	Rm,R0_BANK	0100mmmm10001110	Rm R0_BANK	特権	4	-
LDC	Rm,R1_BANK	0100mmmm10011110	Rm R1_BANK	特権	4	-
LDC	Rm,R2_BANK	0100mmmm10101110	Rm R2_BANK	特権	4	-
LDC	Rm,R3_BANK	0100mmmm10111110	Rm R3_BANK	特権	4	-
LDC	Rm,R4_BANK	0100mmmm11001110	Rm R4_BANK	特権	4	-
LDC	Rm,R5_BANK	0100mmmm11011110	Rm R5_BANK	特権	4	-
LDC	Rm,R6_BANK	0100mmmm11101110	Rm R6_BANK	特権	4	-
LDC	Rm,R7_BANK	0100mmmm11111110	Rm R7_BANK	特権	4	-
LDC.L	@Rm+,SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	特権	8	LSB
LDC.L	@Rm+,GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm		4	-
LDC.L	@Rm+,VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	特権	4	-
LDC.L	@Rm+,SSR	0100mmmm00110111	(Rm) SSR, Rm+4 Rm	特権	4	-
LDC.L	@Rm+,SPC	0100mmmm01000111	(Rm) SPC, Rm+4 Rm	特権	4	-
LDC.L	@Rm+,R0_BANK	0100mmmm10000111	(Rm) R0_BANK, Rm+4 Rm	特権	4	-
LDC.L	@Rm+,R1_BANK	0100mmmm10010111	(Rm) R1_BANK, Rm+4 Rm	特権	4	-
LDC.L	@Rm+,R2_BANK	0100mmmm10100111	(Rm) R2_BANK, Rm+4 Rm	特権	4	-
LDC.L	@Rm+,R3_BANK	0100mmmm10110111	(Rm) R3_BANK, Rm+4 Rm	特権	4	-
LDC.L	@Rm+,R4_BANK	0100mmmm11000111	(Rm) R4_BANK, Rm+4 Rm	特権	4	-
LDC.L	@Rm+,R5_BANK	0100mmmm11010111	(Rm) R5_BANK, Rm+4 Rm	特権	4	-

命令	命令コード	動作	特権	実行 ステート	Tビット
LDC.L	@Rm+,R6_BANK	( Rm ) R6_BANK, Rm+4 Rm	特権	4	-
LDC.L	@Rm+,R7_BANK	( Rm ) R7_BANK, Rm+4 Rm	特権	4	-
LDS	Rm,MACH	Rm MACH	-	1	-
LDS	Rm,MACL	Rm MACL	-	1	-
LDS	Rm,PR	Rm PR	-	1	-
LDS.L	@Rm+,MACH	( Rm ) MACH, Rm+4 Rm	-	1	-
LDS.L	@Rm+,MACL	( Rm ) MACL, Rm+4 Rm	-	1	-
LDS.L	@Rm+,PR	( Rm ) PR, Rm+4 Rm	-	1	-
LDTLB		PTEH/PTEB TLB	特権	1	-
NOP		無操作	-	1	-
PREF	@Rm	( Rm ) キャッシュ	-	1	-
RTE		遅延分岐、SSR SR、SPC へ分岐	特権	5	-
SETS		1 S	-	1	-
SETT		1 T	-	1	1
SLEEP		スリープ	特権	4 <sup>*1</sup>	-
STC	SR,Rn	SR Rn	特権	1	-
STC	GBR,Rn	GBR Rn	-	1	-
STC	VBR,Rn	VBR Rn	特権	1	-
STC	SSR, Rn	SSR Rn	特権	1	-
STC	SPC,Rn	SPC Rn	特権	1	-
STC	R0_BANK,Rn	R0_BANK Rn	特権	1	-
STC	R1_BANK,Rn	R1_BANK Rn	特権	1	-
STC	R2_BANK,Rn	R2_BANK Rn	特権	1	-
STC	R3_BANK,Rn	R3_BANK Rn	特権	1	-
STC	R4_BANK,Rn	R4_BANK Rn	特権	1	-
STC	R5_BANK,Rn	R5_BANK Rn	特権	1	-
STC	R6_BANK,Rn	R6_BANK Rn	特権	1	-
STC	R7_BANK,Rn	R7_BANK Rn	特権	1	-
STC.L	SR,@-Rn	Rn-4 Rn, SR ( Rn )	特権	1	-
STC.L	GBR,@-Rn	Rn-4 Rn, GBR ( Rn )	-	1	-
STC.L	VBR,@-Rn	Rn-4 Rn, VBR ( Rn )	特権	1	-
STC.L	SSR,@-Rn	Rn-4 Rn, SSR ( Rn )	特権	1	-
STC.L	SPC,@-Rn	Rn-4 Rn, SPC ( Rn )	特権	1	-
STC.L	R0_BANK,@-Rn	Rn-4 Rn, R0_BANK ( Rn )	特権	1	-
STC.L	R1_BANK,@-Rn	Rn-4 Rn, R1_BANK ( Rn )	特権	1	-
STC.L	R2_BANK,@-Rn	Rn-4 Rn, R2_BANK ( Rn )	特権	1	-

命令	命令コード	動作	特権	実行 状態	Tビット
STC.L	R3_BANK,@-Rn	Rn-4 Rn, R3_BANK (Rn)	特権	1	-
STC.L	R4_BANK,@-Rn	Rn-4 Rn, R4_BANK (Rn)	特権	1	-
STC.L	R5_BANK,@-Rn	Rn-4 Rn, R5_BANK (Rn)	特権	1	-
STC.L	R6_BANK,@-Rn	Rn-4 Rn, R6_BANK (Rn)	特権	1	-
STC.L	R7_BANK,@-Rn	Rn-4 Rn, R7_BANK (Rn)	特権	1	-
STS	MACH,Rn	MACH Rn	-	1	-
STS	MACL,Rn	MACL Rn	-	1	-
STS	PR,Rn	PR Rn	-	1	-
STS.L	MACH,@-Rn	Rn-4 Rn, MACH (Rn)	-	1	-
STS.L	MACL,@-Rn	Rn-4 Rn, MACL (Rn)	-	1	-
STS.L	PR,@-Rn	Rn-4 Rn, PR (Rn)	-	1	-
TRAPA	#imm	11000011iiiiiiii	無条件トラップ例外発生*2	8	-

【注】 1. 命令の実行状態について

表に示した実行状態は、最少値です。実際は、下記の条件により、命令実行状態数が増加します。

- (1) 命令フェッチとデータアクセスの競合が起こる場合
  - (2) ロード命令（メモリ レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタとが同一の場合
2. 下記のディスプレイースメント（disp）を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケールリング（×1、×2、×4）を行う前の値を表記しています。これは、LSIの動作を明確にするためです。実際のアセンブラの記述は、各アセンブラの表記ルールをご参考ください。
- @（disp:4, Rn）；ディスプレイースメント付きレジスタ間接  
 @（disp:8, GBR）；ディスプレイースメント付きGBR間接  
 @（disp:8, PC）；ディスプレイースメント付きPC相対  
 disp：8, disp：12；PC相対

\*1 スリープ状態に遷移するまでの最小状態数です。

\*2 「第7章 例外処理」を参照してください。

## 2.6.2 オペレーションコードマップ

オペレーションコードマップを表 2.12 に示します。

表 2.12 オペレーションコードマップ

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
0000	Rn	Fx	0000				
0000	Rn	Fx	0001				
0000	Rn	00MD	0010	STC SR, Rn	STC GBR, Rn	STC VBR, Rn	STC SSR, Rn
0000	Rn	01MD	0010	STC SPC, Rn			
0000	Rn	10MD	0010	STC R0_BANK, Rn	STC R1_BANK, Rn	STC R2_BANK, Rn	STC R3_BANK, Rn
0000	Rn	11MD	0010	STC R4_BANK, Rn	STC R5_BANK, Rn	STC R6_BANK, Rn	STC R7_BANK, Rn
0000	Rm	00MD	0011	BSRF Rm		BRAF Rm	
0000	Rm	10MD	0011	PREF @Rm			
0000	Rn	Rm	01MD	MOV.B Rm, @ ( R0, Rn )	MOV.W Rm, @ ( R0, Rn )	MOV.L Rm, @ ( R0, Rn )	MUL.L Rm, Rn
0000	0000	00MD	1000	CLRT	SETT	CLRMAC	LDTLB
0000	0000	01MD	1000	CLRS	SETS		
0000	0000	Fx	1001	NOP	DIV0U		
0000	0000	Fx	1010				
0000	0000	Fx	1011	RTS	SLEEP	RTE	
0000	Rn	Fx	1000				
0000	Rn	Fx	1001			MOVT Rn	
0000	Rn	Fx	1010	STS MACH, Rn	STS MACL, Rn	STS PR, Rn	
0000	Rn	Fx	1011				
0000	Rn	Rm	11MD	MOV.B @ ( R0, Rm ) , Rn	MOV.W @ ( R0, Rm ) , Rn	MOV.L @ ( R0, Rm ) , Rn	MAC.L @Rm + , @Rn +
0001	Rn	Rm	disp	MOV.L Rm, @ ( disp:4, Rn )			
0010	Rn	Rm	00MD	MOV.B Rm, @Rn	MOV.W Rm, @Rn	MOV.L Rm, @Rn	
0010	Rn	Rm	01MD	MOV.B Rm, @ Rn	MOV.W Rm, @ Rn	MOV.L Rm, @ Rn	DIV0S Rm, Rn
0010	Rn	Rm	10MD	TST Rm, Rn	AND Rm, Rn	XOR Rm, Rn	OR Rm, Rn
0010	Rn	Rm	11MD	CMP/STR Rm, Rn	XTRACT Rm, Rn	MULU.W Rm, Rn	MULSW Rm, Rn
0011	Rn	Rm	00MD	CMP/EQ Rm, Rn		CMP/HS Rm, Rn	CMP/GE Rm, Rn
0011	Rn	Rm	01MD	DIV1 Rm, Rn	DMULU.L Rm, Rn	CMP/HI Rm, Rn	CMP/GT Rm, Rn
0011	Rn	Rm	10MD	SUB Rm, Rn		SUBC Rm, Rn	SUBV Rm, Rn
0011	Rn	Rm	11MD	ADD Rm, Rn	DMULS.L Rm, Rn	ADDC Rm, Rn	ADDV Rm, Rn
0100	Rn	Fx	0000	SHLL Rn	DT Rn	SHAL Rn	
0100	Rn	Fx	0001	SHLR Rn	CMP/PZ Rn	SHAR Rn	
0100	Rn	Fx	0010	STS.L MACH, @ Rn	STS.L MACL, @ Rn	STS.L PR, @ Rn	

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
0100	Rn	00MD	0011	STC.L SR, @ Rn	STC.L GBR, @ Rn	STC.L VBR, @ Rn	STC.L SSR, @ Rn
0100	Rn	01MD	0011	STC.L SPC, @ Rn			
0100	Rn	10MD	0011	STC.L R0_BANK, @ Rn	STC.L R1_BANK, @ Rn	STC.L R2_BANK, @ Rn	STC.L R3_BANK, @ Rn
0100	Rn	11MD	0011	STC.L R4_BANK, @ Rn	STC.L R5_BANK, @ Rn	STC.L R6_BANK, @ Rn	STC.L R7_BANK, @ Rn
0100	Rn	Fx	0100	ROTL Rn		ROTCL Rn	
0100	Rn	Fx	0101	ROTR Rn	CMP/PL Rn	ROTCR Rn	
0100	Rm	Fx	0110	LDS.L @Rm+, MACH	LDS.L @Rm+, MACL	LDS.L @Rm+, PR	
0100	Rm	00MD	0111	LDC.L @Rm+, SR	LDC.L @Rm+, GBR	LDC.L @Rm+, VBR	LDC.L @Rm+, SSR
0100	Rm	01MD	0111	LDC.L @Rm+, SPC			
0100	Rm	10MD	0111	LDC.L @Rm+, R0_BANK	LDC.L @Rm+, R1_BANK	LDC.L @Rm+, R2_BANK	LDC.L @Rm+, R3_BANK
0100	Rm	11MD	0111	LDC.L @Rm+, R4_BANK	LDC.L @Rm+, R5_BANK	LDC.L @Rm+, R6_BANK	LDC.L @Rm+, R7_BANK
0100	Rn	Fx	1000	SHLL2 Rn	SHLL8 Rn	SHLL16 Rn	
0100	Rn	Fx	1001	SHLR2 Rn	SHLR8 Rn	SHLR16 Rn	
0100	Rm	Fx	1010	LDS Rm, MACH	LDS Rm, MACL	LDS Rm, PR	
0100	Rm/ Rn	Fx	1011	JSR @Rm	TAS.B @Rn	JMP @Rm	
0100	Rn	Rm	1100	SHAD Rm, Rn			
0100	Rn	Rm	1101	SHLD Rm, Rn			
0100	Rm	00MD	1110	LDC Rm, SR	LDC Rm, GBR	LDC Rm, VBR	LDC Rm, SSR
0100	Rm	01MD	1110	LDC Rm, SPC			
0100	Rm	10MD	1110	LDC Rm, R0_BANK	LDC Rm, R1_BANK	LDC Rm, R2_BANK	LDC Rm, R3_BANK
0100	Rm	11MD	1110	LDC Rm, R4_BANK	LDC Rm, R5_BANK	LDC Rm, R6_BANK	LDC Rm, R7_BANK
0100	Rn	Rm	1111	MAC.W @Rm+, @Rn+			
0101	Rn	Rm	disp	MOV.L @(disp:4, Rm), Rn			
0110	Rn	Rm	00MD	MOV.B @Rm, Rn	MOV.W @Rm, Rn	MOV.L @Rm, Rn	MOV Rm, Rn
0110	Rn	Rm	01MD	MOV.B @Rm+, Rn	MOV.W @Rm+, Rn	MOV.L @Rm+, Rn	NOT Rm, Rn
0110	Rn	Rm	10MD	SWAP.B Rm, Rn	SWAP.W Rm, Rn	NEGC Rm, Rn	NEG Rm, Rn
0110	Rn	Rm	11MD	EXTU.B Rm, Rn	EXTU.W Rm, Rn	EXTS.B Rm, Rn	EXTS.W Rm, Rn
0111	Rn	imm		ADD #imm: 8, Rn			



命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
1000	00MD	Rn	disp	MOV.B R0, @ ( disp: 4, Rn )	MOV.W R0, @ ( disp: 4, Rn )		
1000	01MD	Rm	disp	MOV.B @ ( disp:4, Rm ) , R0	MOV.W @ ( disp: 4, Rm ) , R0		
1000	10MD	imm/disp		CMP/EQ #imm:8, R0	BT disp: 8		BF disp: 8
1000	11MD	imm/disp			BT/S disp: 8		BF/S disp: 8
1001	Rn	disp		MOV.W @ ( disp : 8, PC ) , Rn			
1010	disp			BRA disp: 12			
1011	disp			BSR disp: 12			
1100	00MD	imm/disp		MOV.B R0, @ ( disp: 8, GBR )	MOV.W R0, @ ( disp: 8, GBR )	MOV.L R0, @ ( disp: 8, GBR )	TRAPA #imm: 8
1100	01MD	disp		MOV.B @ ( disp: 8, GBR ) , R0	MOV.W @ ( disp: 8, GBR ) , R0	MOV.L @ ( disp: 8, GBR ) , R0	MOVA @ ( disp: 8, PC ) , R0
1100	10MD	imm		TST #imm: 8, R0	AND #imm: 8, R0	XOR #imm: 8, R0	OR #imm: 8, R0
1100	11MD	imm		TST.B #imm: 8, @ ( R0, GBR )	AND.B #imm: 8, @ ( R0, GBR )	XOR.B #imm: 8, @ ( R0, GBR )	OR.B #imm: 8, @ ( R0, GBR )
1101	Rn	disp		MOV.L @ ( disp: 8, PC ) , Rn			
1110	Rn	imm		MOV #imm:8, Rn			
1111	*****						

【注】 なお、詳細は「SH-3/SH-3E/SH3-DSP ソフトウェアマニュアル」を参照してください。



---

## 3. DSP 演算ユニット

---

### 3.1 DSP 拡張機能

本 LSI では、DSP ユニットおよび DSP ユニットに直結された X/Y メモリを内蔵しており、それらを制御する拡張命令セットが提供されています。拡張される命令セットは、次の 4 つのグループに分けられます (図 3.1)。

#### (1) CPU ユニット用の拡張システム制御命令

DSP 拡張機能が有効になると CPU ユニット用の拡張システム制御命令として以下の命令が利用できるようになります。

- リピートループを制御するための命令や、リピートループ制御用のコントロールレジスタに対するアクセス命令が追加されます。ゼロオーバーヘッドリピート制御機構を使用することによりループ構造のプログラムを効率的に実行することができるようになります。本機能に関しては、「3.3 CPU 拡張命令」で詳しく説明します。
- モジュロアドレッシングを制御する命令、およびコントロールレジスタをアクセスする命令が追加されます。循環構造を持つデータ構造にアクセスできる機能をモジュロアドレッシングと呼びます。これらの命令については、「3.4 DSP データ転送命令」で詳しく説明します。
- DSP ユニットのレジスタに対するアクセス命令が追加されます。DSP ユニットの幾つかのレジスタを CPU ユニットのシステムレジスタであるかのように操作することが可能になります。これらの命令については、「3.4 DSP データ転送命令」で詳しく説明します。

#### (2) DSP ユニットのレジスタと内蔵 X/Y メモリ間のデータ転送命令

DSP ユニットのレジスタと内蔵 X/Y メモリ間のデータ転送命令は、ダブルデータ転送命令とも呼ばれます。このグループの命令のコード長は、CPU 命令と同様に 16 ビットです。DSP ユニットと DSP ユニットに直結された内蔵 X/Y メモリのデータ転送を行います。このグループの命令は、DSP ユニット用の演算命令と組み合わせて記述することが可能です。このグループの命令については、「3.4 DSP データ転送命令」で詳しく説明します。

#### (3) DSP ユニットのレジスタと全論理アドレス空間の間のデータ転送命令

DSP ユニットのレジスタと全論理アドレス空間の間のデータ転送命令は、シングルデータ転送命令とも呼ばれます。このグループの命令のコード長は、CPU 命令同様に 16 ビットです。DSP ユニットと全論理アドレス空間の間でデータ転送を行います。このグループの命令については、「3.4 DSP データ転送命令」で詳しく説明します。

## (4) DSP ユニット用の演算命令

DSP ユニット用の演算命令は、DSP データ演算命令とも呼ばれます。この命令は、DSP ユニットを用いたデジタル信号処理演算を高速に実行するために用意されています。この命令のコード長は、32 ビットです。DSP データ演算命令のフィールドは、A フィールドと B フィールドに分かれています。A フィールドにはダブルデータ転送命令の機能を記述することができ、B フィールドには ALU 演算命令、および乗算命令を記述することができます。記述されたこれらの命令は並列に実行され、同時に 4 つの処理 (ALU 演算、乗算、および 2 つのデータ転送) を実行することができます。

このグループの命令については、「3.5 DSP データ演算命令」で詳しく説明します。

- 【注】
- 32 ビット命令コードは、16 ビットの命令コードが 2 個連続したものととして扱われます。このため、32 ビット命令もワード境界から配置することができます。32 ビットの命令コードは、メモリ上にワードサイズ単位で、上位ワード、下位ワードの順番に格納してください。
  - リトルエンディアンの場合は、命令コードの上位ワードと下位ワードがそれぞれワード単位でアクセスされるものとして、メモリ上に格納してください。

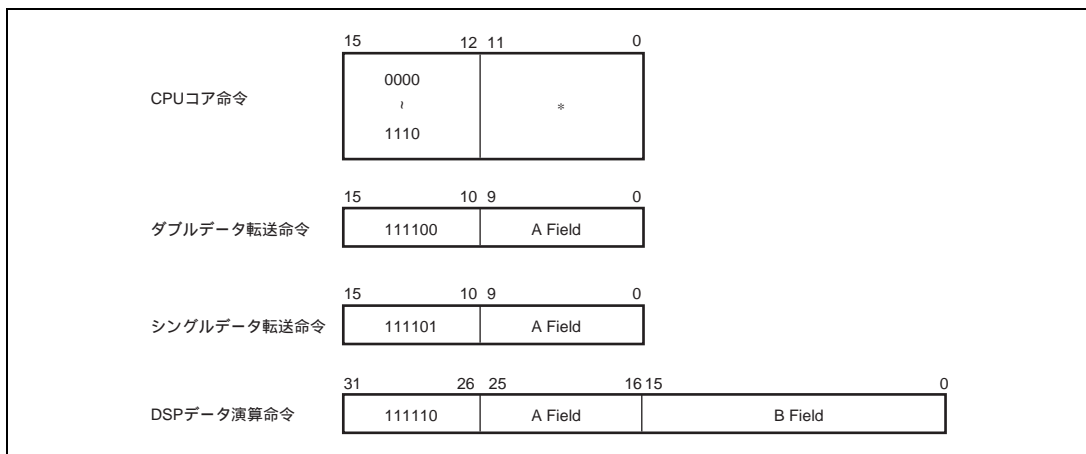


図 3.1 DSP 命令の命令形式

## 3.2 DSP モードのリソース

### 3.2.1 処理モード

CPU の処理モードは、ステータスレジスタ (SR) のモードビット (MD) および DSP ビット (DSP) により、次の表 3.1 のように拡張されます。

表 3.1 CPU の処理モード

MD	DSP	処理モード	説 明	
			特権保護されたリソースのアクセスや 特権命令の実行	DSP 拡張機能
0	0	ユーザモード	不可	無効
0	1	ユーザ DSP モード	不可	有効
1	0	特権モード	可能	無効
1	1	特権 DSP モード	可能	有効

このように、DSP ビットによる DSP 拡張機能の制御は、MD ビットによる制御と独立に作用します。ただし、DSP ビットは特権モードでのみ値の変更が可能であり、DSP モードの変更を行うには特権モードや特権 DSP モードへの遷移が必要になります。

### 3.2.2 DSP モードのメモリマップ

DSP モードのときは、論理アドレス空間の P2 領域の一部がユーザ DSP モードでもアクセス可能になります。ユーザ DSP モードでアクセスするときは、この領域を Uxy 領域と呼びます。X/Y メモリは、この領域に配置され、ユーザ DSP モードでもアクセスが可能です。

表 3.2 論理アドレス空間

アドレス範囲	名称	保護	説 明
H'A5000000 - H'A5FFFFFFF	P2/Uxy	特権または DSP	16M バイト物理空間、キャッシング不可、アドレス変換不可 特権モード、特権 DSP モードおよびユーザ DSP モードでアクセス可能。

### 3.2.3 CPU のレジスタセット

DSP モードでは、CPU ユニットのステータスレジスタ (SR) に制御ビットが拡張され、リピートスタートレジスタ (RS)、リピートエンドレジスタ (RE)、およびモジュロレジスタ (MOD) の 3 つのコントロールレジスタが拡張されます。

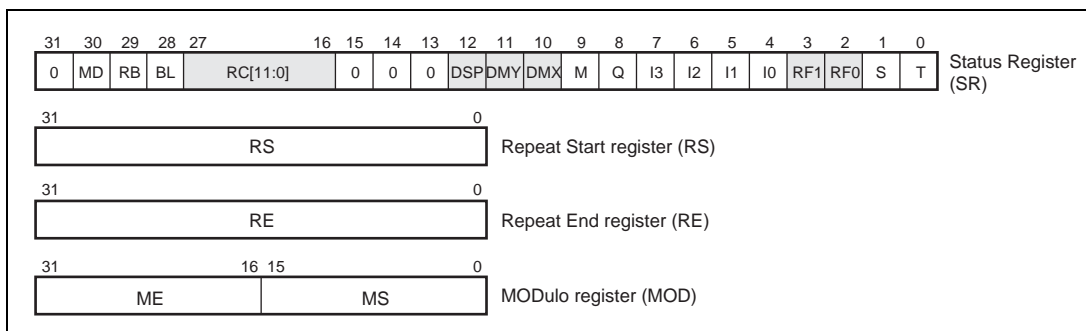


図 3.2 DSP モードでの CPU レジスタ

#### (1) ステータスレジスタ (SR) の拡張

DSP モードでは、以下に示す制御ビットが拡張されます。これらのビットを DSP 拡張ビットと呼びます。DSP 拡張ビットは、DSP モードでのみ有効です。

ビット	ビット名	初期値	R/W	説明
31~28	-	-	-	拡張前の部分については、「第 2 章 CPU」を参照してください。
27~16	RC11~RC0	すべて 0	R/W	リピートカウンタ リピートカウンタは、リピート命令で制御されるリピートループの、残り実行回数を保持しています。このビットは、特権モード、特権 DSP モード、ユーザ DSP モードで更新可能です。リセット状態に遷移することにより 0 に初期化されます。例外処理状態に遷移しても値は変化しません。
15~13	-	-	-	拡張前の部分については、「第 2 章 CPU」を参照してください。
12	DSP	0	R/W	DSP ビット DSP ビットは、DSP 拡張機能の有効および無効を制御します。このビットに 1 を書くことで DSP 拡張機能が有効になります。このビットは特権モードおよび特権 DSP モードでのみ更新可能で、ユーザ DSP モードでは更新できません。リセット状態に遷移することにより 0 に初期化されます。例外処理状態に遷移しても値は変化しません。
11	DMY	0	R/W	モジュロ制御ビット
10	DMX	0	R/W	モジュロ制御ビットは、X/Y メモリへのアクセス命令でのモジュロアドレッシングの有効・無効を制御します。これらのビットは特権モード、特権 DSP モード、ユーザ DSP モードで更新可能です。リセット状態に遷移することにより 0 に初期化されます。例外処理状態に遷移しても値は変化しません。
9~4	-	-	-	拡張前の部分については、「第 2 章 CPU」を参照してください。

ビット	ビット名	初期値	R/W	説明
3	RF1	0	R/W	リピートフラグビット
2	RF0	0	R/W	リピートフラグビットは、リピート制御命令によって使用されます。これらのビットは、特権モード、特権 DSP モード、およびユーザ DSP モードで更新可能です。リセット状態に遷移することにより、0 に初期化されます。例外処理状態に遷移しても値は変化しません。
1, 0	-	-	-	拡張前の部分については、「第 2 章 CPU」を参照してください。

【注】 ステータスレジスタに値を代入する場合、0 ビット部分には必ず 0 を書き込んでください。

#### (2) リピートスタートレジスタ (RS)

リピートスタートレジスタは、リピート機能で制御されるリピートモジュールの先頭の命令アドレスを示します。リピートスタートレジスタは、DSP モードでアクセスできます。リセット状態に遷移したときの初期値は、不定です。例外処理状態に遷移しても値は変化しません。

#### (3) リピートエンドレジスタ (RE)

リピートエンドレジスタには、リピートモジュールの最終命令の実行を検出するためのアドレスが格納されます。リピートエンドレジスタは、DSP モードでのみアクセスできます。リセット状態に遷移することにより、0 に初期化されます。例外処理状態に遷移しても値は変化しません。

#### (4) モジュールレジスタ (MOD)

上位 16 ビットにモジュールアドレッシングの終了アドレスを、下位 16 ビットにモジュールアドレッシングの開始アドレスを格納します。MOD レジスタの上位 16 ビットを ME レジスタ、下位 16 ビットを MS レジスタと表現する場合もあります。モジュールレジスタは、DSP モードでのみアクセスできます。リセット状態に遷移したときの初期値は、不定です。例外処理状態に遷移しても値は変化しません。

これらのレジスタは、コントロールレジスタへのロード (LDC) およびストア (STC) 命令でアクセスできます。RS、RE、および MOD に対する LDC と STC 命令は、特権 DSP モードとユーザ DSP モードで使用可能になります。

SR に対する LDC と STC 命令は、本来、MD ビットが 1 の場合にのみ使用可能な命令ですが、ユーザ DSP モードにおいても使用可能になります。ただし、値を書き換えられる制御ビットは、RC11 ~ RC0、RF1 ~ RF0、DMX、および DMY に限定されます。LDC と STC 命令使用時のステータスレジスタ (SR) の詳細は、下記のとおりです。

- ユーザモード時は、SR に対する LDC 命令と STC 命令は不当命令例外となります。
- 特権モードと特権 DSP モードでは、SR の全ビットが更新できます。
- ユーザ DSP モード時は、SR は STC 命令で読み出し可能です。

ユーザ DSP モード時は、SR への LDC 命令発行は可能ですが、DSP 拡張ビットのみ更新できます。

表 3.3 各処理モードにおける SR の各ビットの動作説明

フィールド	特権モード	ユーザモード	特権 DSP モード	ユーザ DSP モード	専用命令による DSP 関連ビットへのアクセス	リセット後の初期値
	MD = 1& DSP = 0	MD = 0& DSP = 0	MD = 1& DSP = 1	MD = 0& DSP = 1		
MD	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : NG		1
RB	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : NG		1
BL	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : NG		1
RC[11:0]	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : OK	SETRC 命令	000000000000
DSP	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : NG		0
DMY	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : OK		0
DMX	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : OK		0
Q	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : NG		X
M	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : NG		X
I[3:0]	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : NG		1111
RF[1:0]	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : OK	SETRC 命令	X
S	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : NG		X
T	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	S : OK、L : NG		X

## 【記号説明】

- S : STC 命令  
L : LDC 命令  
OK : STC と LDC 動作を許可します。  
不当命令 : 実行すると不当命令例外が発生します。  
NG : 前の値を保持します。変化しません。  
x : 不定

例外処理状態に遷移すると、DSP モードでの拡張ビットも含めた SR の全制御ビットが SSR へ待避されます。復帰時には、拡張 DSP ビットも含めて全制御ビットを回復してください。リポート制御を例外処理前の状態に復帰する必要がある場合には、RS と RE レジスタを例外処理前の値に回復してください。モジュール制御を例外処理前の状態に復帰する必要がある場合には、MOD レジスタを例外処理前の値に回復してください。

## 3.2.4 DSP レジスタ

DSP ユニットの、8 つのデータレジスタ (A0、A1、X0、X1、Y0、Y1、M0、および M1) と 1 つのステータスレジスタ (DSR) を持っています。図 3.3 に DSP レジスタを示します。これらは、すべて 32 ビット幅のレジスタです。レジスタ A0 および A1 は、8 ビット幅のガードビットレジスタ (A0G および A1G) と組み合わせて、40 ビット幅のレジスタとしても使用されます。DSR は、DSP データ演算結果の状態 (ゼロ、負、など) を保持し、また CPU の T ビットに類似した DC ビットを持っています。各ビットの詳細は、「3.5 DSP データ演算命令」を参照してください。



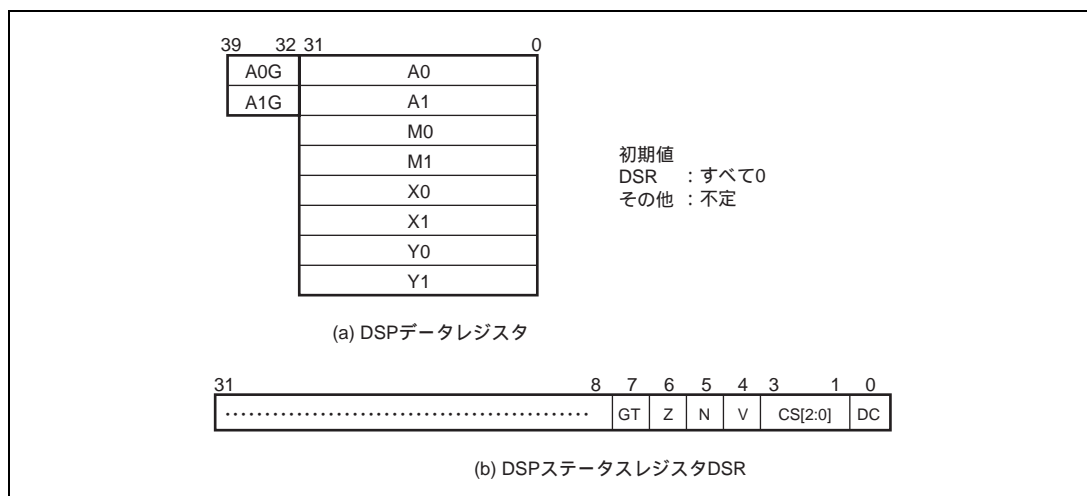


図 3.3 DSP レジスタの構成

## 3.3 CPU 拡張命令

### 3.3.1 リピート制御命令

DSP モードでは、リピートループを効率的に実行するための特別な制御機能が使用できます。この機能を使用することで、比較命令や分岐命令のオーバーヘッドなしにループ構造のプログラムを実行することができます。

#### (1) リピートループのプログラム例

以下にリピートループを使用したプログラム例を示します。

##### • (例1) 4命令以上のリピートループ

```

LDRS RptStart      ;RS レジスタに、リピート開始命令のアドレスをセットします。
LDRE RptDtct+4    ;RE レジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4          ;SR レジスタの RC[11:0] フィールドにリピート回数(4)をセットし
                  ;ます。
Instr0            ;SETRC 命令から【リピート開始命令】までには少なくとも1個の命令
                  ;が必要です。
RptStart:        instr1      ;【リピート開始命令】
                .....      ;
                .....      ;
RptDtct:         instr(N-3)  ;リピート最終命令から3命令前の命令がリピート検出命令になります。
RptEnd2:         instr(N-2)  ;
RptEnd1:         instr(N-1)  ;
RptEnd:          instrN     ;【リピート最終命令】

```

このプログラムの例では、RptStart のアドレスにある命令 (instr1) から RptEnd のアドレスに配置された命令 (instrN) までが 4 回繰り返し実行されます。繰り返し実行されるプログラム範囲をリピートループと呼び、その開始と終了命令をそれぞれリピート開始命令、およびリピート終了命令と呼びます。CPU は、命令を順次実行しながら、特定の命令の実行完了を検出することにより、リピートループの制御を開始します。この命令をリピート検出命令と呼びます。4 命令以上のリピートループでは、リピート最終命令から 3 命令前の命令がリピート検出命令になります。4 命令のリピートループでは RptStart 命令と RptDtct 命令は同じ命令になります。

リピートループの制御には、DSP モードで拡張されるコントロールレジスタ RE、RS および SR レジスタの RC[11:0]、RF[1:0] のビットフィールドが使用されます。また、これらのレジスタに値を設定するには、それぞれ LDRE、LDRS、SETRC 命令を使用します。

- リピートエンドレジスタ (RE)

RE には、LDRE 命令で値をセットします。リピート検出命令のアドレス+4 を設定します。4 命令以上のリピートループでは、リピート最終命令から 3 命令前の命令がリピート検出命令になります。3 命令以下のリピートループについては、後述します。

- リピートスタートレジスタ (RS)

RS には、LDRS 命令で値をセットします。4 命令以上のリピートループでは、リピート開始命令のアドレスをセットします。3 命令以下のリピートループでは特殊なアドレスを設定しますが、これについては後述します。

- リピートカウンタ (SR の RC[11:0])

SETRC 命令により、繰り返し回数をセットします。リピートループ実行中は、繰り返しの残り回数を保持しています。

- リピートフラグ (SR の RF[1:0])

RF は、SETRC 命令実行時に、RS、および RE レジスタに設定された値の関係から自動的に設定され、リピートループの命令数の情報を保持しています。通常、ユーザが値を変更することはありません。

CPU は、RE レジスタとプログラムカウンタ (PC) の値を常に比較しながら命令を実行します。PC は、命令アドレス+4 の値を保持していますので、リピート検出命令実行時に両者が一致することで、リピート検出命令が検出されます。リピート検出命令の実行が分岐せずに完了し、かつ RC[11:0]>0 である場合にリピート制御が行われます。リピート終了命令の実行完了時に RC[11:0]>=2 であれば、RC[11:0] を 1 減じた後 RS レジスタに設定されたアドレスへ制御を移します。RC[11:0]==1 (または 0) であれば RC[11:0] を 0 にしたのち、リピート終了命令の次の命令へ制御を移します。

リピートループを構成する命令数が 3、2、または 1 命令の場合のプログラム例を (例 2) (例 3) (例 4) に示します。これらの場合、リピート検出命令はリピート開始命令の直前の命令になります。また、RS レジスタにはリピート命令数を示す特殊な値を設定します。

- (例2) 3命令リピートループ

```

LDRS RptDtct+4 ;RS レジスタに、リピート検出命令のアドレス+4 をセットします。
LDRE RptDtct+4 ;RE レジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4 ;SR レジスタの RC[11:0] フィールドにリピート回数 (4) をセットし
          ;ます。
          ;SETRC 命令実行時に、RE-RS==0 であれば 3 命令リピートと認識され
          ;ます。

RptDtct: instr0 ;リピート開始命令の直前の命令がリピート検出命令になります。
RptStart: instr1 ;【リピート開始命令】
          instr2 ;
RptEnd: instr3 ;【リピート最終命令】

```

- (例3) 2命令リピートループ

```

LDRS RptDtct+6 ;RS レジスタに、リピート検出命令のアドレス+6 をセットします。
LDRE RptDtct+4 ;RE レジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4 ;SR レジスタの RC[11:0] フィールドにリピート回数 (4) をセットし
          ;ます。
          ;SETRC 実行時に RE-RS===-2 であれば 2 命令リピートと認識されます。

RptDtct: instr0 ;リピート開始命令の直前の命令がリピート検出命令になります。
RptStart: instr1 ;【リピート開始命令】
RptEnd: instr2 ;【リピート最終命令】

```

- (例4) 1命令リピートループ

```

LDRS RptDtct+8 ;RS レジスタに、リピート検出命令のアドレス+8 をセットします。
LDRE RptDtct+4 ;RE レジスタに、リピート検出命令のアドレス+4 をセットします。
SETRC #4 ;SR レジスタの RC[11:0] フィールドにリピート回数 (4) をセットし
          ;ます。
          ;SETRC 実行時に RE-RS===-4 であれば 1 命令リピートと認識されます。

RptDtct: instr0 ;リピート開始命令の直前の命令がリピート検出命令になります。
RptStart:
RptEnd: instr1 ;【リピート開始命令】 == 【リピート最終命令】

```

3、2、および1命令リピートの場合には、RS レジスタにリピートループ中の命令を示すための特殊なアドレスを設定します。SETRC 命令を実行した際に、RE-RS が計算され、この結果が0、-2、-4 のとき、それぞれ3命令、2命令、1命令のリピートループとして認識されます。

リピート検出命令の実行が分岐せずに完了し、かつ RC[11:0]>0 である場合には、リピート検出命令の次の命令をリピート開始命令として、認識されたリピート命令数分の命令を繰り返し実行します。リピート終了命令実行完了時に、RC[11:0]>=2 であれば、RC[11:0]を1減じた後リピート開始命令へ制御を移します。RC[11:0]==1 (または0) であればRC[11:0]を0にしたのち、リピート終了命令の次の命令へ制御を移します。

【注】 RE-RS の値が正の場合に、CPU は 4 命令以上のリピートループと認識し、リピートループを制御します（4 命令以上のリピートループの場合、RE-RS の値は常に正の値になります。（例 1）のプログラム例を参考にしてください）。RE-RS の値が正の値、0、-2、-4 以外の値になった場合の動作は保証しません。

表 3.4 に、リピートスタートレジスタ（RS）、リピートエンドレジスタ（RE）に設定すべきアドレスをまとめます。

表 3.4 RS および RE のアドレス設定ルール

	リピートループ中の命令数			
	1	2	3	>=4
RS	RptStart0+8	RptStart0+6	RptStart0+4	RptStart
RE	RptStart0+4	RptStart0+4	RptStart0+4	RptEnd3+4

【注】 ここでは、次のラベルを使用しています。

RptStart：リピート開始命令のアドレス

RptStart0：リピート開始命令の 1 命令前の命令アドレス

RptEnd3：リピート終了命令の 3 つ前の命令アドレス

#### （2）リピート制御命令およびリピート制御マクロ

リピートループを記述するには、前節で例示したように、LDRS および LDRE 命令でそれぞれ RS と RE レジスタに適切なアドレスを設定した後、SETRC 命令でリピート回数を指定してください。SETRC のオペランドとしては、8 ビットの即値または汎用レジスタが使用できます。RC に 256 を超える値を設定するには、SETRC Rm タイプの命令を使用してください。

表 3.5 リピート制御命令

命令	動作	実行 ステート
LDRS @(disp,PC)	(disp × 2+PC)を算出し、RS レジスタに値を設定します。	1
LDRE @(disp,PC)	(disp × 2+PC)を算出し、RE レジスタに値を設定します。	1
SETRC #imm	8 ビット定数 imm を SR レジスタの RC[11:0]に設定し、SR レジスタの RF[1:0]にリピート命令数を示す情報を設定します。RC[11:0]には、0 から 255 までの値が設定できます。	1
SETRC Rm	Rm レジスタの[11:0]を SR レジスタの RC[11:0]に設定し、SR レジスタの RF[1:0]にリピート命令数を示す情報を設定します。RC[11:0]には、0 から 4095 までの値が設定できます。	1

RS および RE レジスタには、表 3.4 に示したルールに従って適切なアドレスを設定する必要があります。SH アセンブラでは、この問題を処理するためにリピート制御マクロ（REPEAT）が提供されています。

表 3.6 リピート制御マクロ

命令	動作	実行 ステート
REPEAT RptStart, RptEnd, #imm	RptStart をリピート開始命令、RptEnd をリピート終了命令とし、8 ビットの即値#imm をリピート回数とするリピートループを設定します。適切に変換された LDRS、LDRE、および SETRC の 3 命令に展開されます。	3
REPEAT RptStart, RptEnd, Rm	RptStart をリピート開始命令、RptEnd をリピート終了命令とし、Rm の[11:0]をリピート回数とするリピートループを設定します。適切に変換された LDRS、LDRE、および SETRC の 3 命令に展開されます。	3

リピート制御マクロを使用することで、前述した（例 1）～（例 4）は、それぞれ次に示す（例 5）～（例 8）のように簡略に記述することができます。

- （例 5）4 命令以上のリピートループの記述例...（例 1）に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart: instr1    ; 【リピート開始命令】
    .....         ;
    .....         ;
    instr(N-3)     ;
    instr(N-2)     ;
    instr(N-1)     ;
RptEnd:   instrN   ; 【リピート最終命令】

```

- （例 6）3 命令リピートループの記述例...（例 2）に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart: instr1    ; 【リピート開始命令】
    instr2          ;
RptEnd:   instr3    ; 【リピート最終命令】

```

- （例 7）2 命令リピートループ...（例 3）に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart: instr1    ; 【リピート開始命令】
RptEnd:   instr2    ; 【リピート最終命令】

```

- (例8) 1命令リピートループ... (例4) に示した命令列に展開されます。

```

REPEAT RptStart, RptEnd, #4
    instr0          ;
RptStart:
RptEnd:    instr1          ; 【リピート開始命令】 == 【リピート最終命令】

```

DSP モードでは、RS および RE レジスタの値を操作するシステム制御命令 (LDC と STC 命令) が拡張されます。また、SR レジスタの RC[11:0]および RF[1:0]のビットフィールドは、SR レジスタに対する LDC と STC 命令で制御できます。これらの命令は、リピートループ中に例外を受け付ける場合に使用してください。RS と RE レジスタおよび SR レジスタの RC[11:0]と RF[1:0]のビットフィールドを退避した後、回復することでリピートループを再開することができます。ただし、リピートループ中の例外の受け付けには、制限事項があります。詳しくは、「3.3.1 (3) リピート制御中の制限事項」および「第7章 例外処理」を参照してください。

表 3.7 DSP モード拡張システム制御命令

命令	動作	実行ステート
STC RS,Rn	RS Rn	1
STC RE,Rn	RE Rn	1
STC.L RS,@-Rn	Rn-4 Rn, RS (Rn)	1
STC.L RE,@-Rn	Rn-4 Rn, RE (Rn)	1
LDC.L @Rn+,RS	(Rn) RS, Rn+4 Rn	4
LDC.L @Rn+,RE	(Rn) RE, Rn+4 Rn	4
LDC Rn,RS	Rn RS	4
LDC Rn,RE	Rn RE	4

### (3) リピート制御中の制限事項

#### (a) リピート制御命令の配置

LDRS および LDRE 命令を実行した後に SETRC 命令を実行してください。また、SETRC 命令とリピート開始命令の間には少なくとも 1 命令が必要です。

#### (b) リピート検出命令に続く命令以降の不当命令

リピート検出命令の次の命令からリピート終了命令の間に、以下に示す命令を配置すると不当命令例外を発生します。

- 分岐命令

BRA, BSR, BT, BF, BT/S, BF/S, BSRF, RTS, BRAF, RTE, JSR, JMP, TRAPA

- リピート制御命令

SETRC, LDRS, LDRE

- SR, RS, REに対するロード命令

LDC Rn,SR, LDC @Rn+,SR, LDC Rn,RE, LDC @Rn+,RE, LDC Rn,RS, LDC @Rn+,RS

【注】 1~3 命令のリピートループの場合はリピートループ中の全命令が、4 命令以上のリピートループの場合はリピート終了命令を含む 3 命令がこの制約の範囲となります。

(c) リピートループ中の禁止命令 (4 命令以上のリピートループ)

4 命令以上のリピートループのリピート開始命令からリピート検出命令までの間には、以下の命令を配置しないでください。配置した場合の動作は、保証されません。

- リピート制御命令

SETRC、LDRS、LDRE

- SR、RS、RE に対するロード命令

LDC Rn,SR、LDC @Rn+,SR、LDC Rn,RE、LDC @Rn+,RE、LDC Rn,RS、LDC @Rn+,RS

【注】 多重のリピートループは、保障されません。最内部のループをリピート制御命令で記述し、外部のループは DT および BF/S 命令等で実現してください。

(d) リピート検出命令の次命令以降への分岐および例外受理に関する制限

CPU がリピートループを認識するためには、リピート検出命令の実行が分岐せずに完了することが必要です。したがって、リピート検出命令の次以降の命令に分岐した場合はリピートループが認識されず、リピート最終命令を実行してもリピート開始命令に制御が移りません。この場合は、RC[11:0]の値も変化しません。

- リピートループ中で条件分岐命令を使用する場合は、リピート検出命令以前の命令を分岐先に指定してください。
- リピートループ中でサブルーチンコールを使用する場合は、サブルーチンコール命令の遅延スロット命令がリピート検出命令より前になるように配置してください。

ここでの分岐には、例外ルーチンからの復帰を含みます。復帰アドレスがリピート検出命令の次命令以降になる例外が発生するとリピート制御が正しく復帰されません。このため、リピート検出命令からリピート最終命令の間では例外の受け付けを制限しています。割り込みなどの CPU が受け付けを保留し得る例外は、保留します。CPU が受け付けを保留できない例外の場合は例外処理状態へ遷移しますが、もとの実行状態へ復帰することができません。詳細は、「第 7 章 例外処理」を参照してください。

- 【注】
1. リピート検出命令が TRAPA 命令である場合は、復帰アドレスがリピート検出命令の次命令となり、リピート制御を正しく復帰できません。TRAPA 命令は、復帰アドレスがリピート検出命令より後のアドレスとなるため、リピート検出命令より前に配置してください。
  2. リピート検出命令以降の命令が SLEEP 命令である場合は、低消費電力状態への遷移および割り込み等による例外の受け付けは正しく行われますが、リピート制御を正しく復帰できません。SLEEP 命令は、リピート検出命令より前に配置してください。

## (e) リピート検出命令からの分岐

リピート検出命令が遅延分岐命令の遅延スロット命令である場合や分岐命令そのものである場合は、分岐命令で分岐しなかったときにリピートループが認識されます。分岐したときはリピート制御は行われず、分岐先命令を実行します。

## (f) リピート制御中のプログラムカウンタ

RC[11:0]>=2 の場合、リピート検出命令の2命令以降ではプログラムカウンタ(PC)の値が通常とは異なります。1、2、3命令リピートの場合、リピート検出命令の次の命令(リピート開始命令)では通常と同じ値(=命令アドレス+4)を指しますが、その次の命令以降でもリピート開始命令のPCの値と同じ値を取り続けます。4命令以上のリピートの場合、リピート検出命令の次の命令までは通常と同じ値を取りますが、その次の命令ではRS、およびその次の命令(リピート終了命令)ではRS+2の値を取ります。ここで、RSとは、リピートスタートレジスタ(RS)に格納された値を示します。これらの通常と異なったPCの設定値に関しては保証されません。

このため、リピート検出命令の2命令以降ではPC相対アドレッシング命令が正しく動作せず、その結果を保証しません。

- PC相対アドレッシング命令

MOVA @(disp, PC), Rn

MOV.W @(disp, PC), Rn

MOV.L @(disp, PC), Rn

(MOV #imm, Rnをアセンブラが、MOV.W @(disp, PC), RnやMOV.L @(disp, PC), Rnに展開する場合も含まれます)

表 3.8 リピート制御中の PC の値 (RC[11:0]>=2 の場合)

	リピートループ中の命令数			
	1	2	3	>=4
RptDtct	RptDtct+4	RptDtct+4	RptDtct+4	RptDtct+4
RptDtct1	RptDtct1+4	RptDtct1+4	RptDtct1+4	RptDtct1+4
RptDtct2	-	RptDtct1+4	RptDtct1+4	RS
RptDtct3	-	-	RptDtct1+4	RS+2

【注】 ここでは、次のラベルを使用しています。

RptDtct : リピート検出命令のアドレス

RptDtct1 : リピート検出命令の1命令後の命令アドレス。(1、2、および3命令リピートではRptStartです。)

RptDtct2 : リピート検出命令の2命令後の命令アドレス。

RptDtct3 : リピート検出命令の3命令後の命令アドレス。

## (g) リピートカウンタとリピート制御

CPUは、常にリピートエンドレジスタ(RE)とPCとの比較を行いながらプログラムを実行しています。SRレジスタのRC[11:0]が0以外でPCがREに一致すると、リピート制御が機能します。

- RC>=2の場合は、リピート最終命令実行後、リピート開始命令に制御が移行します。最終命令の実行完了によりRCが1減じられます。(a)~(f)の制約がかかります。



- RC==1の場合は、リピート最終命令実行後、RCが0になり、後続命令へ制御が移行します。RC==1の場合も (a) ~ (f) の制約がかかります。
- RC==0の場合は、リピート検出命令を実行しても、リピート制御は機能しません。リピートループは通常の命令列として1回実行され、最終命令を実行してもリピート開始命令へは制御が移行しません。

### 3.4 DSP データ転送命令

DSP モードでは、DSP ユニットのレジスタに対するデータ転送命令が追加されます。追加されるデータ転送命令は、次の3種類に分類されます。

DSP ユニットのXメモリとYメモリにXバスとYバスと呼ばれる専用バスで接続されており、これらのバスを用いたデータ転送命令を使用することで、X/Yメモリとの間で同時に2個のデータを転送することができます (ダブルデータ転送命令)。このダブルデータ転送命令は、DSP 演算命令と組み合わせることで記述することができ、データ転送およびデータ演算を並列に実行することが可能です。

また、DSP ユニットのLバスと呼ばれるCPUが使用するバスとも接続されており、DSRをのぞく全レジスタはCPUの生成する論理アドレス空間すべてにアクセスすることができます (シングルデータ転送命令)。シングルデータ転送命令は、DSP 演算命令と組み合わせることはできず、また一度にアクセスできるデータは1個だけになります。

さらにDSPユニットのレジスタのうちいくつかは、CPUのシステムレジスタとして扱われ、これらを制御するためのシステム制御命令が追加されています。CPUの汎用レジスタとの間は、データ転送用のバス(Cバス)で接続されています。

いずれのタイプのデータ転送命令でも、アクセスするアドレスはCPUが生成し、出力します。これらの命令に対してはCPUの汎用レジスタの幾つかがアドレス生成に使用され、また独特のアドレッシングモードを有します。

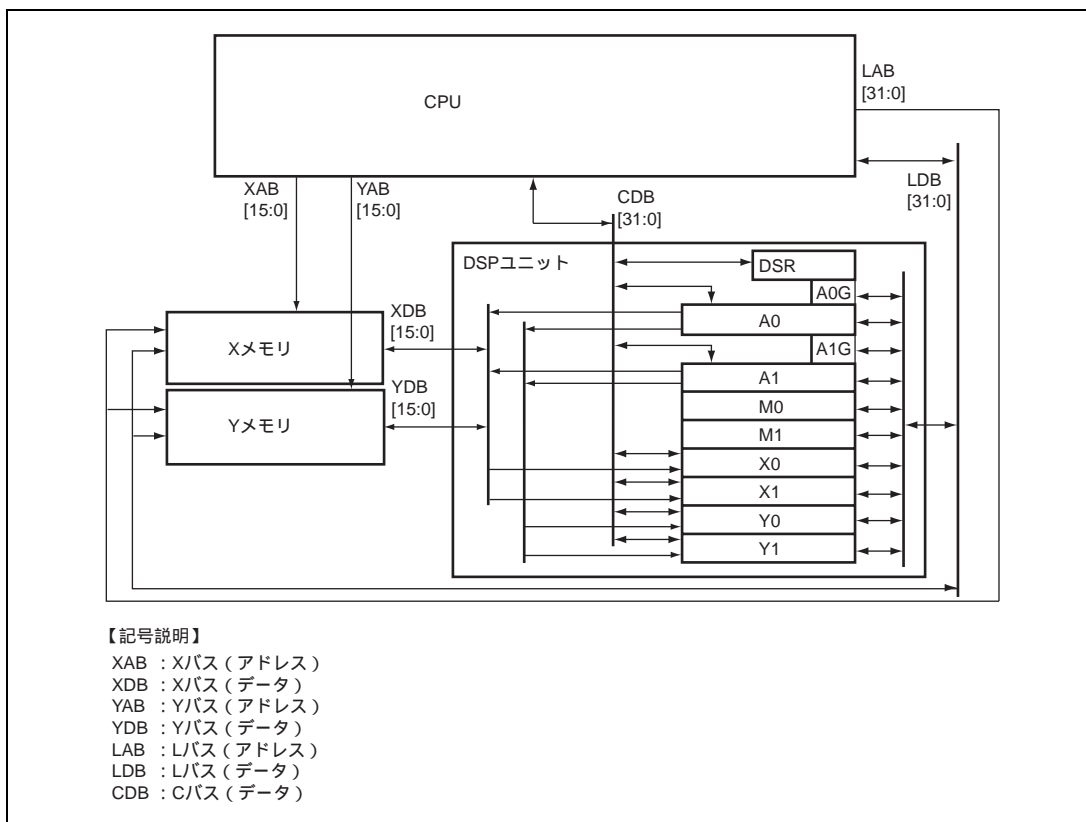


図 3.4 DSP レジスタとバスの接続

## (1) ダブルデータ転送命令 (MOVX.W、MOVY.W)

ダブルデータ転送命令では、Xメモリに対するアクセスおよびYメモリに対するアクセスを同時に記述することができます。このアクセスにはそれぞれXバスとYバスと呼ばれる専用バスを使用します。CPUの命令フェッチはLバスを使用するため、CPUの命令フェッチとの間でバス競合が生じることもありません。

Xメモリに対するロード命令はデスティネーションオペランドとしてX0とX1レジスタのどちらか1つを指定し、Yメモリに対するロード命令はデスティネーションオペランドとしてY0とY1レジスタのどちらか1つを指定できます。XメモリとYメモリのいずれのストア命令もソースオペランドとしてA0とA1レジスタのどちらか1つを指定することができます。この種の命令はワードデータ(16ビット)のみを扱います。ワードデータ転送命令を実行すると、レジスタオペランドの上位ワードが用いられます。ワードデータロードの場合は、データはデスティネーションレジスタの上位ワードにデータが読み込まれ、デスティネーションの下位側が自動的に0クリアされます。

ダブルデータ転送命令では、DSP演算命令を並行して記述することができます。ただし、実行する演算命令に条件付き命令を指定した場合でも、指定した条件はどのデータ転送命令に対しても影響しません。条件付き命令については、「3.5 DSPデータ演算命令」を参照してください。

ダブルデータ転送命令は、X メモリか Y メモリのみアクセスすることができます。その他のメモリ空間はアクセスすることができません。また、X バス、Y バスは、それぞれ 16 ビット (64k バイト) のアドレス空間を持っており、L バスのアドレス空間の H'A500 0000 ~ H'A500 FFFF および H'A501 0000 ~ H'A501 FFFF の範囲に対応します。この範囲は、P2/Uxy 領域に含まれるため、キャッシュやアドレス変換機構の影響を受けません。

#### (2) シングルデータ転送命令

この種の命令は、任意のメモリアドレス空間にアクセスできます。DSR をのぞく DSP ユニットのすべてのレジスタ\*をソースオペランド、デスティネーションオペランドに指定することができます。ガードビットレジスタ、A0G、および A1G も独立したレジスタとして指定することができます。この種の命令では、L バス (LAB および LDB) を使用するので、CPU の扱うすべての論理アドレス空間にアクセスすることができます。キャッシュブル領域を指定しかつキャッシュが利用可能な場合には、キャッシングの対象になります。X と Y メモリは、論理アドレス空間の一部としてマッピングされており、シングルデータ転送命令でアクセスすることができます。ただし、CPU の命令フェッチは L バスを使用するため、データ転送と命令フェッチの間でバス競合が発生する可能性があります。

シングルデータ転送は、ワードとロングワードのいずれも扱うことができます。ワードデータ転送を実行するとき、レジスタオペランドの上位ワードが有効になります。ワードデータロードの場合は、データはデスティネーションレジスタの上位ワードに読み込まれ、デスティネーションの下位側は自動的に 0 でクリアされます。ガードビット部分がサポートされている場合には、符号ビットが拡張されて格納されます。ロングワードデータロードの場合は、データはデスティネーションレジスタの上位ワードと下位ワードに読み込まれ、ガードビットがあれば、符号ビットが拡張されて格納されます。ガードレジスタストアの場合は、符号ビットが LDB の上位 24 ビットに拡張されて LDB バスに読み出されます。

【注】 \* DSR レジスタは、システムレジスタとして定義されているので、LDS、STS 命令でのデータの転送が可能です。

1. すべてのデータ転送命令は、パイプラインの MA ステージで実行されます。
2. すべてのデータ転送命令は、DSR レジスタの条件コードビットのどれも更新しません。

## (3) システム制御命令

DSP ユニットのレジスタのうち DSR、A0、X0、X1、Y0、Y1 レジスタは、CPU のシステムレジスタとして扱うことができ、STS と LDS 命令によって汎用レジスタやメモリとの間でデータ転送を行うことができます。これらのシステム制御命令は CPU レジスタの PR、MACH、MACL とまったく同じように扱うことができ、アドレッシングも同一です。

表 3.9 DSP モード拡張システム制御命令

命令	動作	実行ステート
STS DSR,Rn	DSR Rn	1
STS A0,Rn	A0 Rn	1
STS X0,Rn	X0 Rn	1
STS X1,Rn	X1 Rn	1
STS Y0,Rn	Y0 Rn	1
STS Y1,Rn	Y1 Rn	1
STS.L DSR,@-Rn	Rn-4 Rn, DSR (Rn)	1
STS.L A0,@-Rn	Rn-4 Rn, A0 (Rn)	1
STS.L X0,@-Rn	Rn-4 Rn, X0 (Rn)	1
STS.L X1,@-Rn	Rn-4 Rn, X1 (Rn)	1
STS.L Y0,@-Rn	Rn-4 Rn, Y0 (Rn)	1
STS.L Y1,@-Rn	Rn-4 Rn, Y1 (Rn)	1
LDS.L @Rn+,DSR	(Rn) DSR, Rn+4 Rn	1
LDS.L @Rn+,A0	(Rn) A0, Rn+4 Rn	1
LDS.L @Rn+,X0	(Rn) X0, Rn+4 Rn	1
LDS.L @Rn+,X1	(Rn) X1, Rn+4 Rn	1
LDS.L @Rn+,Y0	(Rn) Y0, Rn+4 Rn	1
LDS.L @Rn+,Y1	(Rn) Y1, Rn+4 Rn	1
LDS Rn,DSR	Rn DSR	1
LDS Rn,A0	Rn A0	1
LDS Rn,X0	Rn X0	1
LDS Rn,X1	Rn X1	1
LDS Rn,Y0	Rn Y0	1
LDS Rn,Y1	Rn Y1	1

### 3.4.1 汎用レジスタ

DSP タイプの命令では、汎用レジスタ 16 本のうち 10 本のレジスタがダブルデータ転送命令とシングルデータ転送命令で特別なアドレスポインタおよびインデックスレジスタとして使用されます。DSP タイプ命令でのレジスタの目的を表すもう 1 つの記号を [ ] 内に示します。

- ダブルデータ転送命令 (XメモリとYメモリに同時にアクセスする場合)

ダブルデータ転送命令は、XとYデータメモリに同時にアクセスできます。XとYデータメモリのアドレスを指定するために、次の2つのアドレスポインタセットを用意しています。

	アドレスポインタ	インデックスレジスタ
Xメモリ (MOVX.W)	R4, R5[Ax]	R8[ <i>ix</i> ]
Yメモリ (MOVY.W)	R6, R7[Ay]	R9[ <i>ly</i> ]

- シングルデータ転送命令

シングルデータ転送命令では、Lバスを使用してすべての論理アドレス空間をアクセスできます。次のアドレスポインタとインデックスレジスタを使用します。

	アドレスポインタ	インデックスレジスタ
全論理空間 (MOV.S.W/L)	R4, R5, R2, R3[As]	R8[ <i>ls</i> ]

31	0	
R0		汎用レジスタ (DSPモード)
R1		
R2	[As2]	XおよびYデータ転送動作
R3	[As3]	R4, 5 [Ax] : Xデータメモリに対するアドレスレジスタセット
R4	[As0]	R8 [ix] : XアドレスレジスタセットAxに対するインデックスレジスタ
R5	[As1, Ax1]	
R6	[Ay0]	R6, 7 [Ay] : Yデータメモリに対するアドレスレジスタセット
R7	[Ay1]	R9 [ly] : YアドレスレジスタセットAyに対するインデックスレジスタ
R8	[ix, ls]	
R9	[ly]	シングルデータ転送動作
R10		R4, 5, 2, 3 [As] : 全データメモリに対するアドレスレジスタセット
R11		R8 [ls] : シングルデータ転送で使用するインデックスレジスタ
R12		
R13		
R14		
R15		

図 3.5 汎用レジスタ (DSP モード)

アセンブラでは R0 ~ R9 の記号名 (シンボル) を使います。DSP データ転送命令では、次のようなレジスタの別名 (エイリアス) を使うこともできます。アセンブラでは、次のように書きます。

Ix: .REG (R8)

名前 Ix が R8 の別名になります。そのほか、次のように別名を付けます。

Ax0: .REG (R4)

Ax1: .REG (R5)

Ix: .REG (R8)

Ay0: .REG (R6)

Ay1: .REG (R7)

Iy: .REG (R9)

As0: .REG (R4) ; これは、シングルデータ転送のために別名が必要なときの定義です。

As1: .REG (R5) ; これは、シングルデータ転送のために別名が必要なときの定義です。

As2: .REG (R2)

As3: .REG (R3)

Is: .REG (R8) ; これは、シングルデータ転送のために別名が必要なときの定義です。

### 3.4.2 DSP データアドレッシング

ダブルデータ転送命令およびシングルデータ転送命令の関係を表 3.10 に示します。

表 3.10 データ転送命令の関係

	ダブルデータ転送命令	シングルデータ転送命令
		MOVX.W MOVY.W
アドレスレジスタ	Ax : R4、R5 Ay : R6、R7	As : R2、R3、R4、R5
インデックス レジスタ	Ix : R8 Iy : R9	Is : R8
アドレッシング	Nop/Inc(+2)/インデックス加算： ポストインクリメント	Nop/Inc(+2,+4)/インデックス加算： ポストインクリメント
アドレッシング		Dec(-2,-4)：プリデクリメント
モジュロ アドレッシング	可能	不可
データバス	XDB、YDB	LDB
データ長	16 ビット (ワード)	16 ビット/32 ビット (ワード/ロングワード)
バス競合	なし	あり
メモリ	X、Y データメモリ	すべてのメモリ空間
ソースレジスタ	Da : A0、A1	Ds : A0/A1、M0/M1、X0/X1、Y0/Y1、 A0G、A1G
デスティネーション レジスタ	Dx : X0/X1 Dy : Y0/Y1	Ds : A0/A1、M0/M1、X0/X1、Y0/Y1、 A0G、A1G

#### (1) ダブルデータ転送命令のアドレッシングモード

ダブルデータ転送命令には、次の 3 つのアドレッシングモードがあります。

- 更新なし

AxとAyレジスタがアドレスポインタです。@Axと@Ayへのアクセスが行われ、AxとAyの値は更新されません。

- インクリメント

AxとAyレジスタがアドレスポインタです。@Axと@Ayへのアクセス後、+2が加算されます(ポスト更新)。

- インデックスレジスタ加算

AxとAyレジスタがアドレスポインタです。@Axと@Ayへのアクセス後、それぞれIxとIyレジスタの値が加算されます(ポスト更新)。ダブルデータ転送命令にデクリメントアドレッシングはありませんが、デクリメントさせるためには-2をインデックスレジスタに設定し、インデックスレジスタ加算アドレッシングを指定します。

X と Y データアドレッシングの場合は、アドレスポインタのビット 0 が無効になります。X と Y データアドレッシングの場合は、アドレスポインタとインデックスレジスタのこれらのビットには 0 を書き込んでください。

X と Y バスを使用して X メモリと Y メモリへアクセスする場合は、 $A_x$  と  $A_y$  の上位ワードは無視されます。また、 $A_{y+}$  と  $A_{y+1y}$  の結果は、 $A_y$  の下位ワードに格納され、上位ワードは元の値が保持されます。ただし、 $A_{x+}$  と  $A_{x+1x}$  の演算は 32 ビットで行われ、上位ワードが変化する場合もあります。

#### (2) シングルデータ転送命令のアドレッシングモード

シングルデータ転送命令には、次の 4 つのデータアドレッシングモードがあります。

- 更新なし

$A_s$ レジスタがアドレスポインタです。@ $A_s$ へのアクセスが行われますが、 $A_s$ は更新されません。

- インクリメント

$A_s$ レジスタがアドレスポインタです。@ $A_s$ へのアクセス後、転送サイズに応じて +2 または +4 が加算されます (ポスト更新)。

- インデックスレジスタ加算

$A_s$ レジスタがアドレスポインタです。@ $A_s$ へのアクセス後、 $I_s$ レジスタの値が加算されます (ポスト更新)。

- デクリメント

$A_s$ レジスタがアドレスポインタです。データ転送前に -2 または -4 が加算 (+2 または +4 が減算) されます (プリ更新)。

シングルデータ転送命令では、アドレスの 32 ビットすべてが有効です。

### 3.4.3 モジュロアドレッシング

ダブルデータ転送命令では、モジュロアドレッシングを使用することができます。モジュロアドレッシングモードが設定されている場合は、アドレスポインタの値がすでに設定されたモジュロ終了アドレスになると、アドレスポインタはモジュロ開始アドレスになります。

モジュロアドレッシングの制御には、DSP モードで拡張されるモジュロレジスタ (MOD) および SR レジスタの DMX と DMY ビットを使用します。

MOD レジスタにモジュロアドレス領域の開始と終了アドレスを格納します。MOD レジスタの上位ワードにモジュロ開始アドレス (MS) を、MOD レジスタの下位ワードにモジュロ終了アドレス (ME) を格納します。MOD レジスタに対する LDC 命令および STC 命令が拡張されます。

SR レジスタの DMX ビットをセットすると X アドレスレジスタが、DMY ビットをセットすると Y アドレスレジスタがそれぞれモジュロアドレッシングモードになります。モジュロアドレッシングは、X と Y アドレスレジスタどちらかに対してだけ有効です。両方を同時にモジュロアドレッシングモードにすることはできません。したがって、DMX と DMY を同時にセットしないでください。万一同時にセットされた場合には、DMY 側のみ有効となります (この仕様は、将来変更される可能性があります)。DMX と DMY ビットは、SR レジスタに対する STC 命令および LDC 命令で設定できます。



モジュロアドレッシング制御中に例外を受理した場合は、MOD レジスタおよび SR レジスタの DMX と DMY ビットを退避してください。復帰時にこれらを回復することにより、モジュロアドレッシング制御に復帰することができます。

表 3.11 モジュロアドレッシング制御命令

命令	動作	実行ステート
STC MOD,Rn	MOD Rn	1
STC.L MOD,@-Rn	Rn-4 Rn, MOD (Rn)	1
LDC.L @Rn+,MOD	(Rn) MOD, Rn+4 Rn	4
LDC Rn,MOD	Rn MOD	4

モジュロアドレッシングの使用例を以下に示します。

```

MOV.L #H'70047000,R10
                                ;MS = H'7000 ME = H'7004 として
LDC R10, MOD                    ;MOD レジスタに ME:MS を設定します。
STC SR,R10                       ;
MOV.L #H'FFFFFF3FF, R11
MOV.L #H'00000400, R12;
AND R11,R10                       ;
OR R12,R10                        ;
LDC R10,SR                        ;SR.DMX = 1, SR.DMY = 0. X モジュロアドレッシングモードを設定。
MOV.L #H'A5007000,R4
MOVX.W @R4+,X0                   ;R4: H'A5007000 H'A5007002
MOVX.W @R4+,X0                   ;R4: H'A5007002 H'A5007004
MOVX.W @R4+,X0                   ;R4: H'A5007004 H'A5007000 (ME と一致したので、MS が設定
                                ;されます)
MOVX.W @R4+,X0                   ;R4: H'A5007000 H'A5007002

```

MS と ME に開始と終了アドレスを指定した後に DMX または DMY ビットを 1 にセットします。

DMX または DMY で指定された X または Y データ転送命令が実行されると、アドレスレジスタの更新前の値が ME と比較されます\*。データ転送の後、比較結果が ME と一致していた場合、アドレスレジスタの更新後の値として、MS のスタートアドレスが代入されます。

X または Y データ転送命令のアドレッシングタイプが「更新なし」の場合は、たとえ ME と一致しても MS への復帰は行われません。また、X または Y データ転送命令のアドレッシングタイプが「インデックスレジスタ加算」の場合は、アドレスポインタは ME と一致せずにその値を超えてしまうことがあります。この場合は、アドレスポインタはモジュロ開始アドレスには戻りません。

最大のモジュロサイズは、64k バイトです。これは、X と Y データメモリをアクセスするには十分です。

【注】 \* モジュロアドレッシングに限らず、X と Y データアドレッシング時は、ビット 0 が無視されます。アドレスポインタ、インデックスレジスタ、MS、および ME のビット 0 には、必ず 0 を書き込んでください。

### 3.4.4 メモリのデータ形式

DSP 命令で扱えるメモリのデータ形式は、ワードとロングワードに分けられます。MOVX.W 命令で 2n 以外のアドレスから始まるワードデータをアクセスしようとしたり、または MOVX.L、LDS.L、および STS.L 命令で 4n 以外のアドレスから始まるロングワードにアクセスしようとするアドレスエラーが発生します。このような場合は、アクセスするデータは保証されません。

MOVX.W および MOVY.W により 2n 以外のアドレスから始まるワードデータをアクセスしたときは、アドレスエラーが発生しません。必ず 2n 境界にアドレスを設定してください。2n 以外のアドレスに設定した場合は、アクセスするデータは保証されません。

### 3.4.5 ダブル、シングルデータ転送命令の命令フォーマット

ダブルデータ転送命令の命令形式を表 3.12 に、シングルデータ転送命令の命令形式を表 3.13 に示します。

表 3.12 ダブルデータ転送の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Xメモリ データ 転送	NOPX	1	1	1	1	0	0	0		0		0		0	0		
	MOVX.W @Ax,Dx							Ax		Dx		0		0	1		
	MOVX.W @Ax+,Dx													1	0		
	MOVX.W @Ax+lx,Dx													1	1		
	MOVX.W Da,@Ax										Da		1		0	1	
	MOVX.W Da,@Ax+														1	0	
MOVX.W Da,@Ax+lx														1	1		
Yメモリ データ 転送	NOPY	1	1	1	1	0	0		0		0		0			0	0
	MOVY.W @Ay,Dy								Ay		Dy		0			0	1
	MOVY.W @Ay+,Dy															1	0
	MOVY.W @Ay+ly,Dy															1	1
	MOVY.W Da,@Ay										Da		1			0	1
	MOVY.W Da,@Ay+															1	0
MOVY.W Da,@Ay+ly															1	1	

【注】 Ax : 0=R4、1=R5    Ay : 0=R6、1=R7    Dx : 0=X0、1=X1    Dy : 0=Y0、1=Y1    Da : 0=A0、1=A1

表 3.13 シングルデータ転送命令の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0										
シングル データ 転送	MOVS.W @-As,Ds	1	1	1	1	0	1	As	Ds	0:(*)	0:R4	1:(*)	2:(*)	3:(*)	4:(*)	0	0	0	0								
	MOVS.W @As,Ds																										
	MOVS.W @As+,Ds																										
	MOVS.W @As+Is,Ds								1:R5																		
	MOVS.W Ds,@-As								2:R2																		
	MOVS.W Ds,@As								3:R3																		
	MOVS.W Ds,@As+																										
	MOVS.W Ds,@As+Is																										
	MOVS.L @-As,Ds																										
	MOVS.L @As,Ds																										
	MOVS.L @As+,Ds																										
	MOVS.L @As+Is,Ds																										
	MOVS.L Ds,@-As																										
	MOVS.L Ds,@As																										
	MOVS.L Ds,@As+																										
	MOVS.L Ds,@As+Is																										

【注】 \* システム予約コード

## 3.5 DSP データ演算命令

### 3.5.1 DSP レジスタ

本 LSI は、DSP レジスタとして 8 つのデータレジスタ (A0、A1、X0、X1、Y0、Y1、M0、および M1) と 1 つのコントロールレジスタ (DSR) を持っています (図 3.3)。

DSP レジスタには、4 種類の命令でアクセスします。1 つ目は、DSP データ処理です。DSP 固定小数点データ命令のソースレジスタに A0 または A1 を使用するときは、ガードビット (ビット 39~32) を使用します。デスティネーションレジスタに A0 または A1 を使用するときは、ガードビットのビット 39~32 が有効になります。DSP 固定小数点データ命令がソースレジスタに A0 または A1 以外の DSP レジスタを使用するときは、ソース値をビット 39~32 に符号拡張して使用します。A0 または A1 以外の DSP レジスタをデスティネーションレジスタに使用するときは、結果のビット 39~32 は破棄されます。

2 つ目は XY データ転送命令の MOVX.W と MOVY.W です。この命令は、16 ビットの X と Y データバス (図 3.4) を用い X と Y メモリにアクセスします。この命令でロードまたはストアされるレジスタは、常に上位 16 ビット (ビット 31~16) です。X0 および X1 は X メモリロードのデスティネーション、Y0 および Y1 は Y メモリロードのデスティネーションになることができますが、他のレジスタはこの命令のデスティネーションレジスタになることはできません。

データをレジスタの上位 16 ビット (ビット 31~16) に読み込むとき、レジスタの下位 16 ビット (ビット 15~0) は自動的に 0 にクリアされます。A0 と A1 はこの動作によって X、Y メモリに格納することができますが、他のレジスタは格納することができません。

3 つ目は、シングルデータ転送命令の MOV.S.W および MOV.S.L です。この命令は、LDB (図 3.4) によって任意のメモリにアクセスできます。すべての DSP レジスタは LDB につながり、データ転送のソースおよびデスティネーションレジスタになることができます。これには、ワードおよびロングワードアクセスモードがあります。ワードモードでは、A0G と A1G をのぞく DSP レジスタの上位 16 ビット (ビット 31~16) がロードあるいはストアの対象になります。ワードモードで A0G と A1G 以外のレジスタにデータを読み込むと、レジスタの下位 16 ビットは 0 にクリアされます。A0 または A1 の場合は、データはビット 39~32 に符号拡張され、その下位 16 ビットは 0 にクリアされます。ワードモードで A0G または A1G がデスティネーションレジスタの場合は、データは 8 ビットレジスタに読み込まれますが、A0 または A1 はクリアされません。ロングワードモードでデスティネーションレジスタが A0 または A1 のときは、データは 39~32 に符号拡張されます。

4 つ目は、システム制御命令の LDS と STS および LDS.L と STS.L です。DSP レジスタの DSR、A0、X0、X1、Y0、および Y1 レジスタは、システムレジスタとして扱われます。これらのレジスタ用に CPU の汎用レジスタとシステムレジスタ間のデータ転送命令およびメモリアクセス命令があります。

表 3.14 および表 3.15 は、DSP 命令で使用するレジスタのデータタイプを示します。命令コードの制限のため、表に示すレジスタの中には使用できない演算もあります。たとえば、PMULS はソースレジスタに A1 を使用できませんが、A0 は使用できません。これらの表は、レジスタの選択性の詳細については省略しています。

表 3.14 DSP 命令のデスティネーションレジスタ

レジスタ		命令	ガードビット				レジスタビット			
			39	32	31	16	15	0		
A0、A1	DSP 演算	固定小数点、PSHA、PMULS	(符号拡張)				40 ビット結果			
		整数、PDMSB	(符号拡張)				24 ビット結果		0 クリア	
		論理、PSHL	0 クリア		16 ビット結果		0 クリア			
	データ転送	MOV.S.W	符号拡張		16 ビットデータ		0 クリア			
		MOV.S.L	符号拡張		32 ビットデータ					
A0G、A1G	データ転送	MOV.S.W	データ		更新しない					
		MOV.S.L	データ		更新しない					
X0、X1 Y0、Y1	DSP 演算	固定小数点、PSHA、PMULS					32 ビット結果			
		整数、論理、PDMSB、PSHL					16 ビット結果		0 クリア	
M0、M1	データ転送	MOVX/Y.W、MOV.S.W					16 ビットデータ		0 クリア	
		MOV.S.L					32 ビットデータ			

表 3.15 DSP 命令のソースレジスタ

レジスタ		命令	ガードビット				レジスタビット			
			39	32	31	16	15	0		
A0、A1	DSP 演算	固定小数点、PDMSB、PSHA	40 ビットデータ							
		整数	24 ビットデータ							
		論理、PSHL、PMULS					16 ビットデータ			
	データ転送	MOVX/Y.W、MOVS.W					16 ビットデータ			
		MOVS.L					32 ビットデータ			
A0G、A1G	データ転送	MOVS.W	データ							
		MOVS.L	データ							
X0、X1 Y0、Y1 M0、M1	DSP 演算	固定小数点、PDMSB、PSHA	符号*				32 ビットデータ			
		整数	符号*				16 ビットデータ			
		論理、PSHL、PMULS					16 ビットデータ			
	データ転送	MOVS.W					16 ビットデータ			
		MOVS.L					32 ビットデータ			

【注】 \* データを符号拡張し、ALU に入力する。

DSP ユニットの 1 つのコントロールレジスタ、および DSP ステータスレジスタ (DSR) を持っています。DSR は、DSP データ演算結果の状態 (ゼロ、負、など) を保持します。DSR は、また CPU の T ビットに類似した DC ビットを持っており、状態フラグを示します。条件付き DSP データ処理命令は、この DC ビットに基づいて実行を制御します。この制御は、DSP ユニットの命令にのみ影響を与えます。すなわち、DSP レジスタのみを制御し、アドレスレジスタの更新、およびロードやストア命令などの CPU の命令を制御することはできません。DC 状態選択ビット (CS[2:0]) には、DC ビットに反映する条件を指定します。

PMULS、MOVX、MOVY、および MOVS をのぞく無条件 DSP タイプのデータ命令は条件フラグと DC ビットを更新しますが、MAC 命令を含む CPU 命令はどれも DC ビットを更新しません。条件付き DSP タイプ命令も DSR を更新することはありません。

表 3.16 DSR レジスタのビットの説明

ビット	ビット名	初期値	R/W	説 明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	GT	0	R/W	符号付き大ビット 演算結果が正（ゼロをのぞく）、またはオペランド 1 がオペランド 2 より大きいことを表します。 1：演算結果が正、またはオペランド 1 がオペランド 2 より大きい
6	Z	0	R/W	ゼロビット 演算結果がゼロ（0）、またはオペランド 1 がオペランド 2 と等しいことを表します。 1：演算結果がゼロ（0）、または等しい
5	N	0	R/W	負値ビット 演算結果が負、またはオペランド 1 がオペランド 2 より小さいことを表します。 1：演算結果が負、またはオペランド 1 がオペランド 2 より小さい
4	V	0	R/W	オーバフロービット 演算結果がオーバフローしたことを表します。 1：演算結果がオーバフロー
3~1	CS	すべて 0	R/W	DC ビット状態選択 DC ビットに設定する演算結果状態を選択するためのモードを指定します。 000：キャリー / ボローモード 001：負値モード 010：ゼロモード 011：オーバフローモード 100：符号付き大モード 101：符号付き以上モード 110：予約（設定禁止） 111：予約（設定禁止）
0	DC	0	R/W	DSP 状態ビット CS ビットで指定されたモードで演算結果の状態を設定します。 0：指定されたモードの状態が成立しない 1：指定されたモードの状態が成立する PADDC または PSUBC 命令実行後の DC ビットは、CS ビットに関係なくキャリー / ボローモードで演算結果の状態を設定します。

DSR は、システムレジスタに割り当てられます。DSR には、次のロードまたはストア命令が用意されています。

```
STS DSR, Rn;
STS.L DSR, @-Rn;
LDS Rn, DSR;
LDS.L @Rn+, DSR;
```

STS 命令で DSR を読み出すとき、上位ビット（ビット 31～ビット 16）はすべて 0 になります。

### 3.5.2 DSP 演算命令の命令セット

DSP 演算命令は、DSP ユニットで処理されるデジタル信号処理の命令です。これらの命令は 32 ビット長の命令コードで、複数の命令を並列に実行します。命令コードは A フィールド、B フィールドの 2 つに分かれており、A フィールドにはダブルデータ転送命令を指定し、B フィールドにはシングルまたはダブルデータ演算命令を指定します。命令は独立して指定することができ、実行も独立に実行されます。

B フィールドのデータ演算命令は 3 つに分かれています。ダブルデータ演算命令、条件付きシングルデータ演算命令、および無条件シングルデータ演算命令の 3 つです。DSP 演算命令の命令形式を表 3.17 に示します。それぞれのオペランドは独立に DSP レジスタから選べます。DSP 演算命令のオペランドとレジスタの対応を表 3.18 に示します。

表 3.17 DSP 演算命令の命令形式

分類	命令形式
ダブルデータ演算命令	ALUop. Sx, Sy, Du MLTop. Se, Df, Dg
条件付きシングルデータ演算命令	DCT ALUop. Sx, Sy, Dz DCF ALUop. Sx, Sy, Dz DCT ALUop. Sx, Dz DCF ALUop. Sx, Dz DCT ALUop. Sy, Dz DCF ALUop. Sy, Dz
無条件シングルデータ演算命令	ALUop. Sx, Sy, Dz ALUop. Sx, Dz ALUop. Sy, Dz MLTop. Se, Sf, Dg

表 3.18 DSP 命令のオペランドとレジスタの対応

レジスタ	ALU、シフト演算				乗算演算		
	Sx	Sy	Dz	Du	Se	Sf	Dg
A0	Yes		Yes	Yes			Yes
A1	Yes		Yes	Yes	Yes	Yes	Yes
M0		Yes	Yes				Yes
M1		Yes	Yes				Yes
X0	Yes		Yes	Yes	Yes	Yes	
X1	Yes		Yes		Yes		
Y0		Yes	Yes	Yes	Yes	Yes	
Y1		Yes	Yes			Yes	

DSP データ演算命令を書くときは、最初に B フィールドの命令を書いて、次に A フィールドの命令を書きます。DSP データ演算命令による並行処理プログラム例を図 3.6 に示します。

PADD	A0, M0, A0	PMULS	X0, Y0, M0	MOVX.W @R4+, X0	MOVY.W @R6+, Y0
DCF	PINC M1, A1			MOVX.W @R5+R8, X0	MOVY.W @R7+, Y1
PCMP	M1, M0			MOVX.W @R4, X1	[NOPY]

図 3.6 DSP データ演算命令による並行処理プログラムの例

ここで、[ ]は省略可能な部分を表します。

NOPX と NOPY のノーオペレーション命令は、省略可能です。DSP データ演算命令の B フィールドの詳細は、「3.6.4 DSP 演算命令」を参照してください。

DSR レジスタの条件コードビット (DC) は、常に無条件の ALU またはシフト演算命令の結果に基づいて更新されます。条件付き命令の場合は、DC ビットを更新しません。乗算命令も DC ビットを更新しません。DC ビットの更新は、DSR レジスタの CS[2:0]ビットにより行われます。表 3.19 に DC ビットの更新ルールについて示します。



表 3.19 DC ビットの更新ルール

CS[2:0]			条件モード	説 明
0	0	0	キャリーまたはポローモード	ALU 算術演算の結果、キャリーまたはポローが発生した場合は、DC ビットがセットされます。それ以外は 0 クリアされます。 シフト命令、PSHA または PSHL の実行時、最後にシフトアウトしたビットデータが DC ビットにコピーされます。 ALU 論理演算の実行時は、DC ビットは常に 0 クリアされます。
0	0	1	負値モード	ALU またはシフト (PSHA) 算術演算の実行時は、ガードビット部分を含めて結果の MSB が DC ビットにコピーされます。 ALU またはシフト (PSHL) 論理演算の実行時、ガードビット部分をのぞく結果の MSB が DC ビットにコピーされます。
0	1	0	ゼロ値モード	ALU またはシフト演算の結果がすべてゼロの場合は、DC ビットがセットされます。それ以外は 0 クリアされます。
0	1	1	オーバフローモード	ALU またはシフト (PSHA) の算術演算結果がガードビット部分をのぞいたデスティネーションレジスタの範囲を越える場合は、DC ビットがセットされます。それ以外は 0 クリアされます。 ALU またはシフト (PSHL) の論理演算の実行時は、DC ビットは常に 0 クリアされます。
1	0	0	符号付き大モード	このモードは符号付き以上モードに類似していますが、結果がすべて 0 の場合は、DC は 0 クリアされます。 DC = $\sim\{(\text{負値} \wedge \text{オーバレンジ}) \mid \text{ゼロ値}\}$ ; 算術演算の場合 DC = 0 ; 論理演算の場合
1	0	1	符号付き以上モード	ALU またはシフト (PSHA) の算術演算の結果がガードビットを含んだデスティネーションレジスタの範囲を越える場合 (オーバレンジと呼ぶ) は、定義は負値モードと同じになります。オーバレンジでない場合は、定義は負値モードの逆になります。 ALU またはシフト (PSHL) の論理演算の実行時は、DC ビットは常に 0 クリアされます。 DC = $\sim\{(\text{負値} \wedge \text{オーバレンジ})\}$ ; 算術演算の場合 DC = 0 ; 論理演算の場合
1	1	0	予約 (設定禁止)	
1	1	1	予約 (設定禁止)	

- 条件付き演算とデータ転送

このクラスに属する命令の中には前記のように、条件付きで実行することができるものがあります。ただし、指定した条件は命令の B フィールドに対してのみ有効であって、並行して指定したデータ転送命令には有効ではありません。図 3.7 に例を示します。

DCT	PADD X0, Y0, A0	MOVX.W @R4+, X0	MOVY.W A0, @R6+R9
< 条件が真の場合 >			
実行前 :	X0=H'33333333,	Y0=H'55555555,	A0=H'123456789A,
	R4=H'00008000,	R6=H'00005000,	R9=H'00000004,
	(R4)=1111	(R6)=2222	
実行後 :	X0=H'11110000,	Y0=H'55555555,	A0=H'0088888888,
	R4=H'00008002,	R6=H'00005004,	R9=H'00000004,
	(R4)=1111	(R6)=3456	
< 条件が偽の場合 >			
実行前 :	X0=H'33333333,	Y0=H'55555555,	A0=H'123456789A,
	R4=H'00008000,	R6=H'00005000,	R9=H'00000004,
	(R4)=1111	(R6)=2222	
実行後 :	X0=H'11110000,	Y0=H'55555555,	A0=H'123456789A,
	R4=H'00008002,	R6=H'00005004,	R9=H'00000004,
	(R4)=1111	(R6)=3456	

図 3.7 条件付き演算とデータ転送命令の例

- NOPXおよびNOPYの命令コードの割り当て

DSP 演算命令と同時に並行処理されるデータ転送命令がないときは、データ転送命令にNOPX またはNOPY 命令を書くか、あるいは命令を省略することもできます。NOPX またはNOPY 命令を書くかあるいは省略しても命令コードは同じです。NOPX とNOPY の命令コードの例を表 3.20 に示します。

表 3.20 NOPX とNOPY の命令コードの例

命令	コード
PADD X0, Y0, A0      MOVX.W @R4+, X0      MOVY.W @R6+R9, Y0	1111100000001011 1011000100000111
PADD X0, Y0, A0      NOPX      MOVY.W @R6+R9, Y0	1111100000000011 1011000100000111
PADD X0, Y0, A0      NOPX      NOPY	1111100000000000 1011000100000111
PADD X0, Y0, A0      NOPX	1111100000000000 1011000100000111
PADD X0, Y0, A0	1111100000000000 1011000100000111
MOVX.W @R4+, X0      MOVY.W @R6+R9, Y0	1111000000001011
MOVX.W @R4+, X0      NOPY	1111000000001000
MOVS.W @R4+, X0	1111010010001000
NOPX      MOVY.W @R6+R9, Y0	1111000000000011
MOVY.W @R6+R9, Y0	1111000000000011
NOPX      NOPY	1111000000000000
NOP	000000000001001

### 3.5.3 DSP タイプデータ形式

本 LSI は、命令によって異なるデータ形式を持っています。ここでは DSP タイプ命令用のデータ形式について解説します。

図 3.8 に 2 進小数点の位置の異なる 3 つの DSP タイプのデータ形式を、また参考として、ビット 0 の右側に 2 進小数点を持つ CPU タイプのデータ形式を示します。

DSP タイプ固定小数点データ形式は、ビット 31 とビット 30 の間に 2 進小数点があります。DSP タイプ整数形式は、ビット 16 とビット 15 の間に 2 進小数点があります。DSP タイプ論理形式には、2 進小数点はありません。データ形式の有効なデータ長は、命令および DSP レジスタによって異なります。

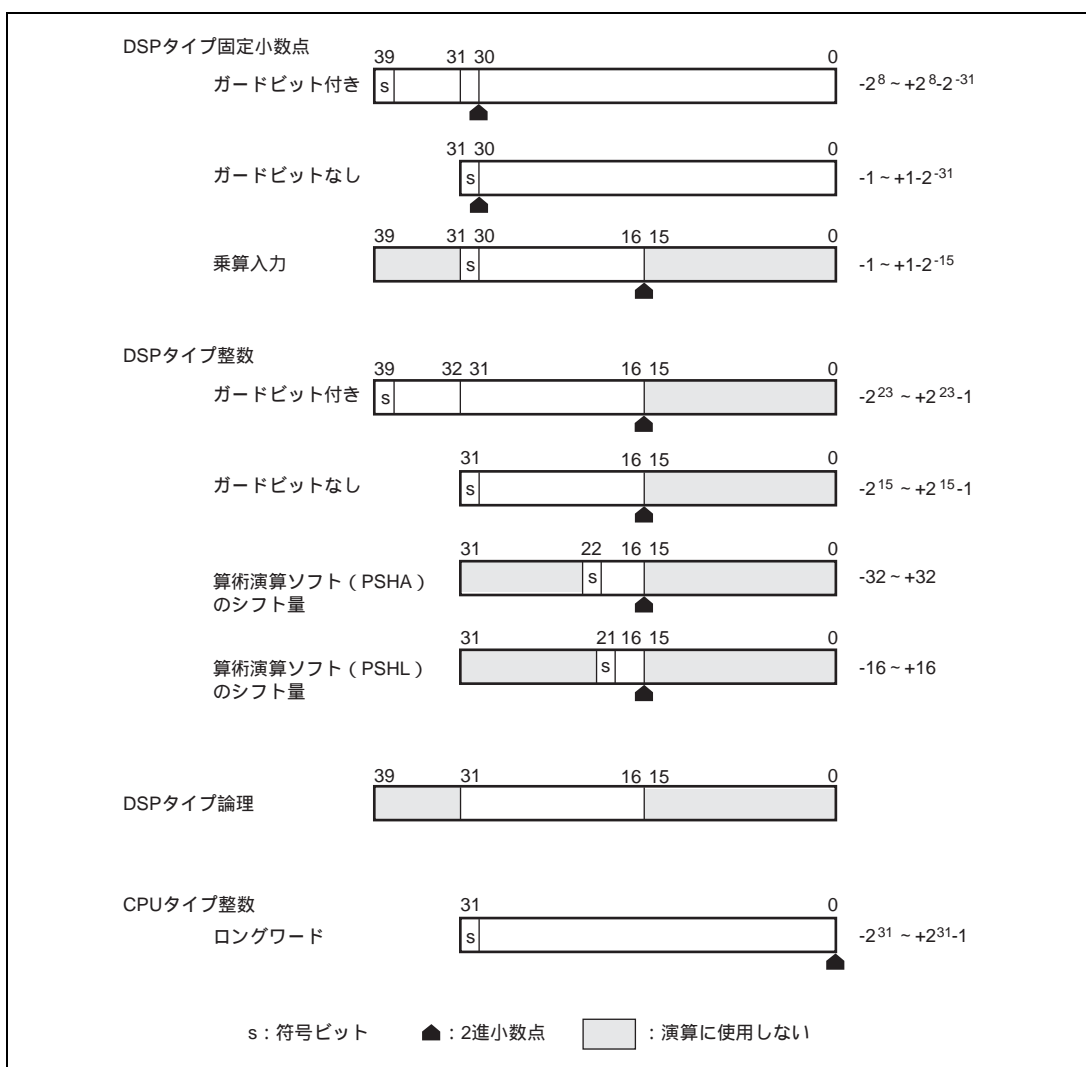


図 3.8 データ形式

算術演算シフト (PSHA) 命令のシフト量は、 $-64 \sim +63$  を表す 7 ビットのフィールドを持っていますが、 $-32 \sim +32$  が有効な数です。また論理演算シフトのシフト量も 6 ビットのフィールドを持っていますが、 $-16 \sim +16$  が有効な数です。

### 3.5.4 ALU 固定小数点算術演算

図 3.9 に ALU 固定小数点算術演算フローを示します。表 3.21 はこの演算の種々のタイプを示し、表 3.22 は各オペランドとレジスタの対応を示します。

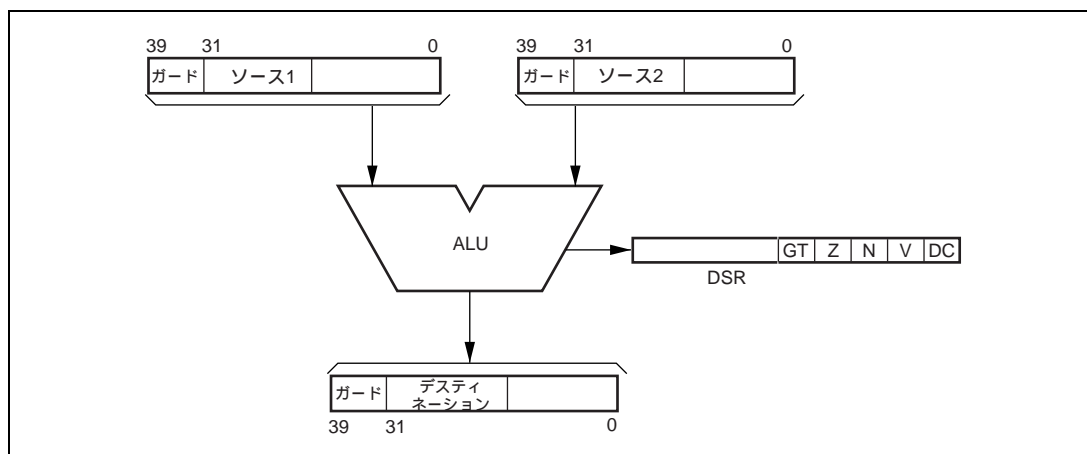


図 3.9 ALU 固定小数点算術演算フロー

【注】 ALU 固定小数点算術演算は、基本的に 40 ビット演算であり、32 ビットの基本精度部分および 8 ビットのガードビット部分から構成されます。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると、符号ビットがガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の下位 32 ビットがデスティネーションレジスタに入力されます。

ALU 固定小数点算術演算は、レジスタ間で実行されます。各ソースオペランドおよびデスティネーションオペランドは、DSP レジスタの 1 つから独立して選択されます。ガードビットを持つレジスタをオペランドに指定すると、ガードビットも含めてこれらの演算が実行されます。これらの演算は、図 3.10 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

表 3.21 ALU 固定小数点算術演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PADD	加算	Sx	Sy	Dz ( Du )
PSUB	減算	Sx	Sy	Dz ( Du )
PADDC	キャリー付き加算	Sx	Sy	Dz
PSUBC	ボロー付き減算	Sx	Sy	Dz
PCMP	比較	Sx	Sy	-
PCOPY	データコピー	Sx	all 0	Dz
		all 0	Sy	Dz
PABS	絶対値	Sx	all 0	Dz
		all 0	Sy	Dz
PNEG	符号反転	Sx	all 0	Dz
		all 0	Sy	Dz
PCLR	クリア	all 0	all 0	Dz

表 3.22 オペランドとレジスタの対応

レジスタ	Sx	Sy	Dz	Du
A0	Yes		Yes	Yes
A1	Yes		Yes	Yes
M0		Yes	Yes	
M1		Yes	Yes	
X0	Yes		Yes	Yes
X1	Yes		Yes	
Y0		Yes	Yes	Yes
Y1		Yes	Yes	

図 3.10 に示すように、ALU 演算と同じラインでプログラムされたデータロード命令により MA ステージでメモリから読み込まれたデータは、データロード命令のデスティネーションオペランドが ALU 演算のソースオペランドと同一であってもこの演算用のソースオペランドとしては使用されません。この場合は、前の命令の結果が ALU 演算のソースオペランドとして用いられた後にデータロード演算のデスティネーションオペランドとして更新されます。

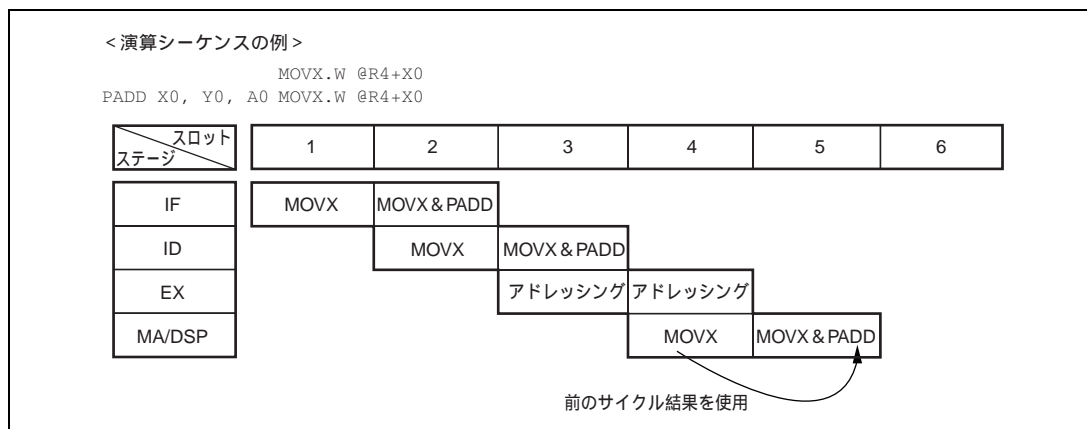


図 3.10 演算シーケンスの例

ALU 算術演算を実行するたびに、DSR の DC、N、Z、V、および GT ビットは基本的に演算結果に従って更新されます。ただし、条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果に従って常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0] (条件選択) で指定します。DC ビットは、以下ようになります。

#### (1) キャリー / ボローモード (CS[2:0] = B'000 の場合)

DC ビットは、ガードビット部分をのぞいた演算結果の最上位ビットからキャリーまたはボローが発生したことを示します。いくつかの例を図 3.11 に示します。このモードがデフォルトです。PABS および PNEG 命令では、入力データが負のとき LSB に 1 を加算するため、キャリービットが発生する場合があります。

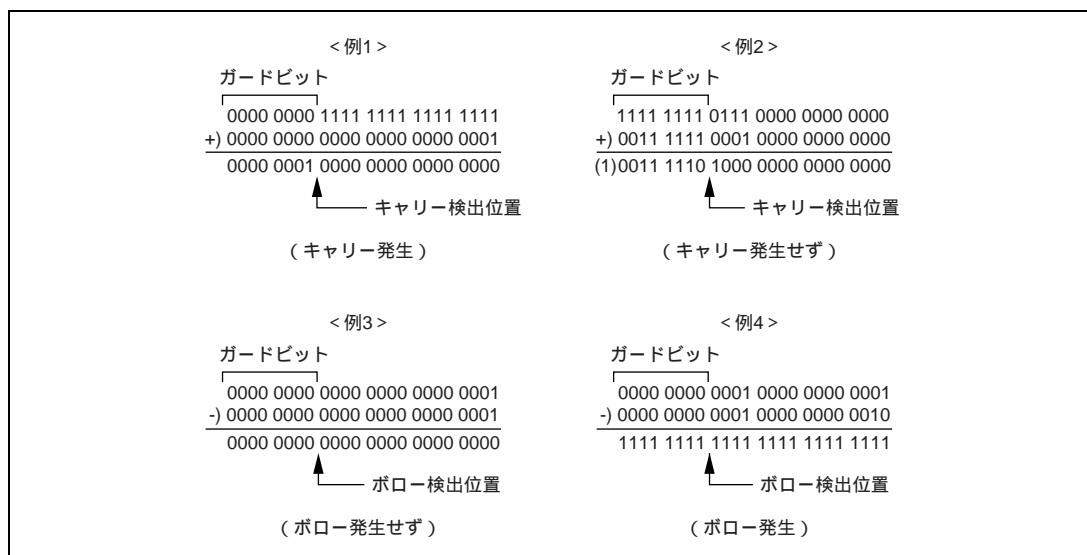


図 3.11 キャリー / ボローモードでの DC ビット生成の例

## (2) 負値モード (CS[2:0] = B'001 の場合)

DC フラグは、演算結果の MSB と同じ状態を示します。結果が負の数ときは、DC ビットは 1 を示します。結果が 0 または正の数ときは、DC ビットは 0 を示します。ALU は常に 40 ビットの算術演算を実行するので、正か負かを検出する符号ビットはデスティネーションオペランドに関係なく常に演算結果の MSB から得られます。いくつかの例を図 3.12 に示します。

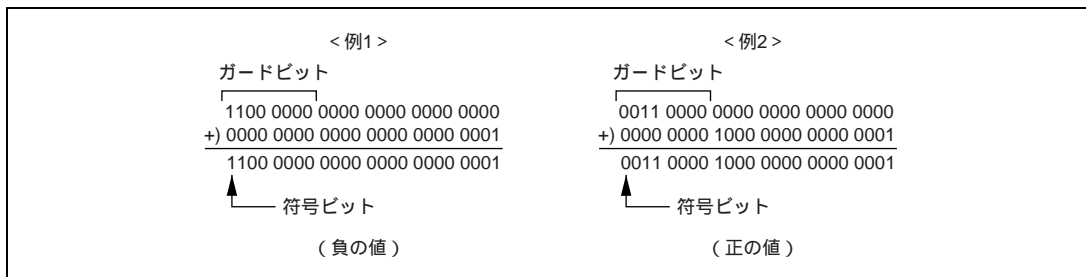


図 3.12 負値モードでの DC ビット生成の例

## (3) ゼロ値モード (CS[2:0] = B'010 の場合)

DC フラグは、演算結果がゼロであるか否かを示します。結果がゼロの場合は、DC ビットは 1 を示します。結果がゼロでない場合は、DC ビットは 0 を示します。

## (4) オーバフローモード (CS[2:0] = B'011 の場合)

DC ビットは、結果にオーバーフローが発生したか否かを示します。ガードビットをのぞき演算の結果がデスティネーションレジスタの範囲を越える場合は、DC ビットが 1 にセットされます。ガードビットがある場合でも、DC ビットはガードビットがない場合の結果を示します。したがって、ガードビットの部分が大きな数を表すために使用される場合は、DC ビットは常に 1 にセットされます。オーバーフローモードでの DC ビット生成の例を図 3.13 に示します。

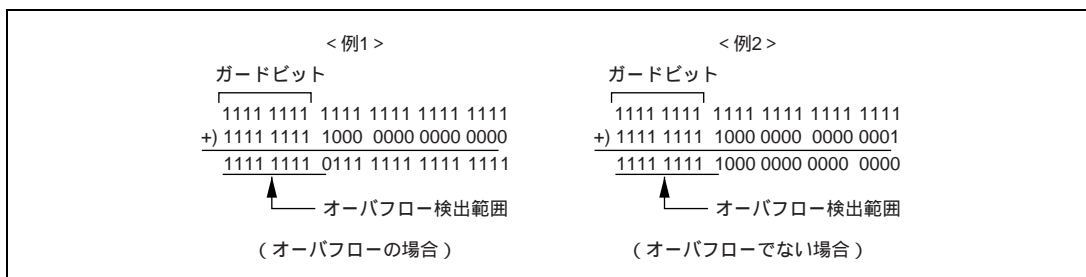


図 3.13 オーバフローモードでの DC ビット生成の例



## (5) 符号付き大モード (CS[2:0]=B'100 の場合)

DC ビットは、比較演算 PCMP の結果、ソース 1 データ (符号付き) がソース 2 データ (符号付き) より大きいかどうかを示します。したがって、PCMP 演算は、条件付き演算をこの条件モードで実行するときにはあらかじめ実行する必要があります。ソース 1 データがソース 2 データより大きい場合は、比較演算の結果は普通正の値なので、このモードは前述の負値モードに類似しています。ただし、ソース 1 データがソース 2 データより大きくても、比較演算の結果がガードビットを含めたデスティネーションオペランドの範囲を越える場合 (「オーバーレンジ」と呼ぶ) は、結果の符号ビットは負の値を示します。この条件モードでは、この特殊な場合を考慮したうえで DC ビットを更新します。次の式は、この条件を得る定義を示します。

$$DC = \sim \{(\text{負値} \wedge \text{オーバーレンジ}) \mid \text{ゼロ値}\}$$

PCMP 演算をこの条件モードで実行する場合は、DC ビットの結果は CPU 命令の CMP/GT 演算の T ビットの結果と同じです。

## (6) 符号付き以上モード (CS[2:0]=B'101 の場合)

DC ビットは、比較演算 PCMP の結果、ソース 1 データ (符号付き) がソース 2 データ (符号付き) 以上であるかどうかを示します。したがって、PCMP 演算は、条件付き演算をこの条件モードで実行するときにはあらかじめ実行する必要があります。このモードは前述の「符号付き大モード」と類似していますが、このモードには等しい場合も含まれます。次の式は、この条件を得る定義を示します。

$$DC = \sim (\text{負値} \wedge \text{オーバーレンジ})$$

PCMP 演算をこの条件モードで実行する場合は、DC ビットの結果は CPU 命令の CMP/GE 演算の T ビット結果と同じです。

N ビットは、CS[2:0] ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。(2) 負値モードを参照してください。Z ビットは、CS[2:0] ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。(3) ゼロ値モードを参照してください。V ビットは、CS[2:0] ビットがオーバーフローモードとしてセットされる DC ビットと常に同じ状態を示します。(4) オーバフローモードを参照してください。GT ビットは、CS[2:0] ビットが符号付き大モードとしてセットされる DC ビットと常に同じ状態を示します。(5) 符号付き大モードを参照してください。

【注】 DC ビットは、PADDC と PSUBC 命令では、CS[2:0] の状態に関係なく常にキャリー / ボローモードとなります。

- オーバフローの防止機能

SR レジスタの S ビットは、DSP ユニットのどの ALU 固定小数点算術演算に対しても有効です。詳細については、「3.5.11 オーバフロー防止機能」を参照してください。

### 3.5.5 ALU 整数演算

図 3.14 に ALU 整数演算フローを示します。表 3.23 にこの演算の種類を示します。各オペランドのレジスタとの対応は、表 3.22 に示した ALU 固定小数点算術演算と同じです。

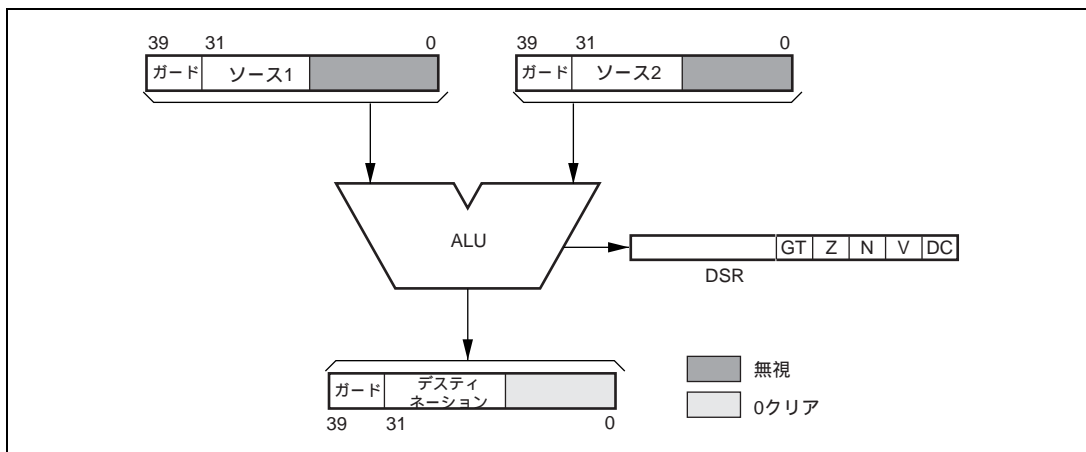


図 3.14 ALU 整数演算フロー

表 3.23 ALU 整数演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PINC	1 ずつインクリメント	Sx	+ 1	Dz
		+ 1	Sy	Dz
PDEC	1 ずつデクリメント	Sx	- 1	Dz
		- 1	Sy	Dz

【注】 ALU 整数演算は、基本的に 24 ビット演算、すなわち上位 16 ビットの基本精度および 8 ビットのガードビット部分からなります。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると、符号ビットはガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果のガードビットをのぞいた上位ワードがデスティネーションレジスタの上位ワードに入力されません。

ALU 整数演算では、ソースオペランドの下位ワードは無視され、デスティネーションオペランドの下位ワードは自動的にクリアされます。ガードビット部分がサポートされている場合は、ALU 整数演算で有効です。その他は、基本的に ALU 固定小数点演算の演算と同じです。ただし、表 3.23 に示すように、この種の演算は 2 種類の命令しか提供されません。したがって、第 2 オペランドは、実質的には +1 か -1 かのいずれかとなります。ワードデータを DSP ユニットのレジスタに読み込むと、上位ワードデータとして入力されます。ガードビットがあるレジスタをオペランドに指定すると、ガードビットも有効です。これらの演算は、固定小数点同様、図 3.10 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

ALU 整数演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。これは固定小数点演算と同じですが、各ソースオペランドとデスティネーションオペラン

ドの下位ワードはそれらを生成するためには使用しません。詳細については、「3.5.4 ALU 固定小数点算術演算」を参照してください。

条件付き命令の場合は、指定した条件が真であり演算が実行されてもこれらのビットは更新されません。無条件命令の場合、これらは、演算結果に従って常に更新されます。詳細については、「3.5.4 ALU 固定小数点算術演算」を参照してください。

- オーバフローの防止機能

SR レジスタの S ビットは、DSP ユニットのすべての ALU 整数演算で有効です。詳細については、「3.5.11 オーバフロー防止機能」を参照してください。

### 3.5.6 ALU 論理演算

図 3.15 に ALU 論理演算フローを示します。表 3.24 にこの演算の種類を示します。各オペランドのレジスタとの対応は、表 3.21 に示した ALU 固定小数点算術演算と同じです。

ALU 論理演算は、レジスタ間で実行します。各ソースオペランドおよびデスティネーションオペランドは、DSP レジスタの 1 つから独立して選択されます。図 3.15 に示すように、この種の演算は、各オペランドの上位ワードのみを使用します。ソースオペランドの下位ワードとガードビットは無視され、デスティネーションオペランドの下位ワードとガードビットは自動的にクリアされます。これらの演算もまた図 3.10 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

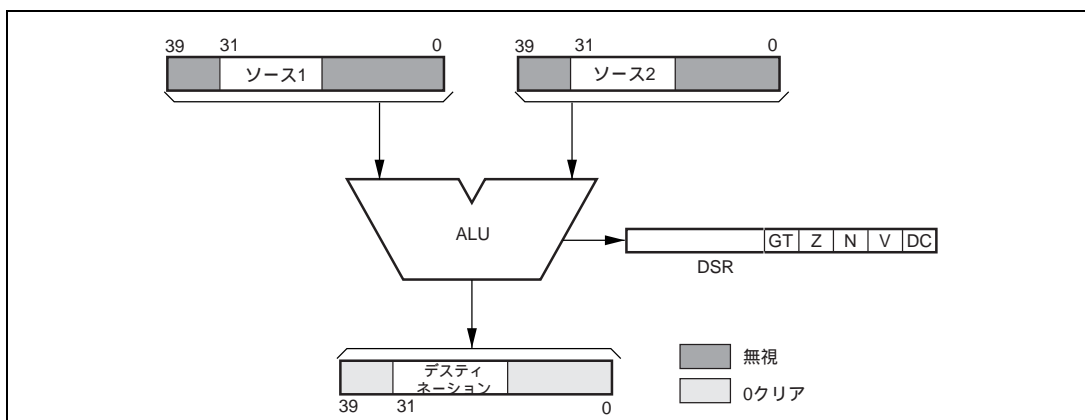


図 3.15 ALU 論理演算フロー

表 3.24 ALU 論理演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PAND	論理 AND	Sx	Sy	Dz
POR	論理 OR	Sx	Sy	Dz
PXOR	論理排他的 OR	Sx	Sy	Dz

ALU 論理演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果に従って常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0]ビット（条件選択ビット）で指定します。DC ビットの結果は、次のとおりです。

(1) キャリーまたはボローモード (CS[2:0] = B'000 の場合)

DCビットは常に0にクリアされます。

(2) 負値モード (CS[2:0] = B'001 の場合)

演算結果のビット31の値がDCビットに読み込まれます。

(3) ゼロ値モード (CS[2:0] = B'010 の場合)

演算結果がゼロのときDCビットは1にセットされ、それ以外は0にクリアされます。

(4) オーバフローモード (CS[2:0] = B'011 の場合)

DCビットは常に0にクリアされます。

(5) 符号付き大モード (CS[2:0] = B'100 の場合)

DCビットは常に0にクリアされます。

(6) 符号付き、以上モード (CS[2:0] = B'101 の場合)

DCビットは常に0にクリアされます。

N ビットは、CS[2:0]ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。(2) 負値モードを参照してください。Z ビットは、CS[2:0]ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。(3) ゼロ値モードを参照してください。V ビットは、CS[2:0]ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示します。(4) オーバフローモードを参照してください。GT ビットは、CS[2:0]ビットが符号付き大モードとしてセットされる DC ビットと常に同じ状態を示します。(5) 符号付き大モードを参照してください。

### 3.5.7 固定小数点乗算

図 3.16 に乗算命令のフローを示します。表 3.25 にこの演算の種類を示します。表 3.26 に各オペランドとレジスタの対応を示します。DSP ユニットの乗算は、シングルワード符号付き単精度乗算です。固定小数点は、図 3.10 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

倍精度乗算が必要な場合は、CPU のダブルワード乗算命令を活用することができます。

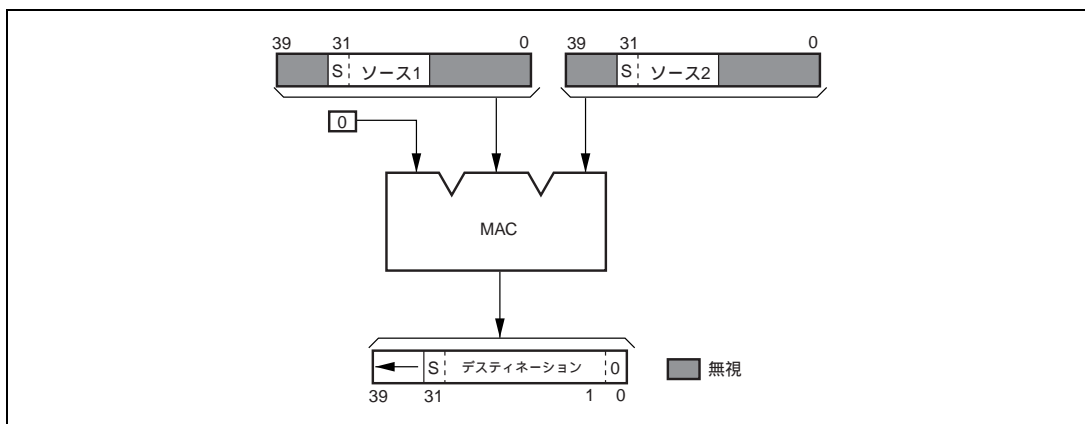


図 3.16 固定小数点乗算フロー

表 3.25 固定小数点乗算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PMULS	符号付き乗算	Se	Sf	Dg

表 3.26 オペランドの柔軟性

レジスタ	Se	Sf	Dg
A0			Yes
A1	Yes	Yes	Yes
M0			Yes
M1			Yes
X0	Yes	Yes	
X1	Yes		
Y0	Yes	Yes	
Y1		Yes	

【注】 乗算は、基本的に 32 ビットの演算結果を生成します。したがって、ガードビット部分を提供するレジスタをデスティネーションオペランドに指定するとガードビット部分には、演算結果のビット 31 がコピーされます。

DSP ユニット側の乗算は、整数ではなく固定小数点演算です。したがって、乗数および被乗数それぞれの上位ワードが図 3.16 に示すように MAC ユニットに入力されます。SH の従来の乗算では、両ソースオペランドの下位ワードが MAC ユニットに入力されます。演算結果も SH の場合とは異なります。SH の乗算結果は、デスティネーションの LSB に揃えられますが、固定小数点乗算結果は MSB に揃えられ、固定小数点乗算結果の LSB は常に 0 になります。

この固定小数点乗算は、1 サイクルで実行されます。乗算演算は、常に無条件で実行されますが、DSR レジスタの DC、N、Z、V、および GT の条件コードビットには影響しません。

- オーバフローの防止機能

SR レジスタの S ビットは DSP ユニットのこの乗算に対して有効です。詳細については、「3.5.11 オーバフロー防止機能」を参照してください。

S ビットが 0 の場合は、 $H'8000 * H'8000 ( (-1.0) * (-1.0) )$  演算を符号付き固定小数点乗算として実行するときだけオーバーフローが発生します。結果は、 $H'00\ 8000\ 0000$  ですが、 $(+1.0)$  を意味しません。S ビットが 1 の場合は、オーバーフロー防止機能が働いて結果は  $H'00\ 7FFF\ FFFF$  となります。

### 3.5.8 シフト演算

シフト演算は、シフト量オペランドとしてレジスタ値またはイミディエイト値を使用することができます。他のソースオペランドとデスティネーションオペランドは、レジスタで指定します。シフト演算には、算術シフトおよび論理シフトの 2 種類があります。表 3.27 にこの演算の種類を示します。イミディエイトオペランドをのぞき、各オペランドのレジスタとの対応は、表 3.21 に示すように ALU 固定小数点算術演算と同じです。

表 3.27 シフト演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PSHA Sx, Sy, Dz	算術シフト	Sx	Sy	Dz
PSHL Sx, Sy, Dz	論理シフト	Sx	Sy	Dz
PSHA #Imm1, Dz	イミディエイト付き 算術シフト	Dz	Imm1	Dz
PSHL #Imm2, Dz	イミディエイト付き 論理シフト	Dz	Imm2	Dz

【注】  $-32 \leq \text{Imm1} \leq +32$ ,  $-16 \leq \text{Imm2} \leq +16$

#### (1) 算術シフト :

図 3.17 に算術シフト演算フローを示します。

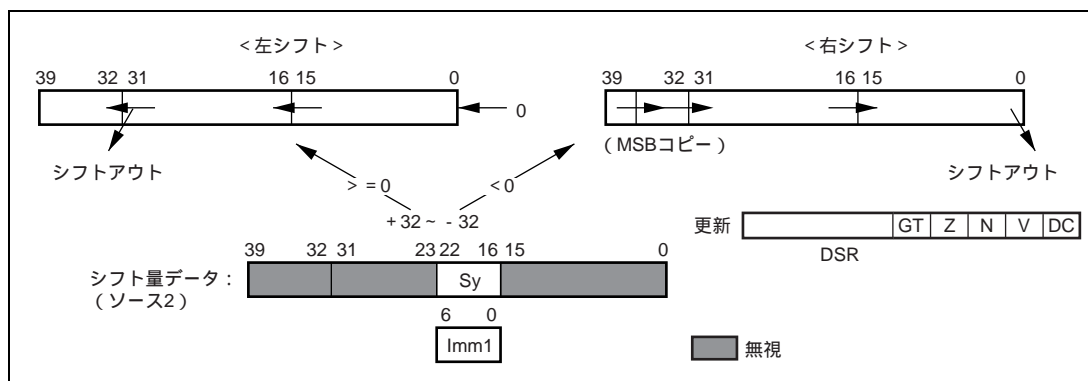


図 3.17 算術シフト演算フロー

【注】 算術シフト演算は、基本的に 40 ビット演算、すなわち 32 ビットの基本精度、8 ビットのガードビット部分から構成されます。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると、符号ビットがガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の下位 32 ビットがデスティネーションレジスタに入力されます。

この算術シフト演算においては、ソース 1 オペランドとデスティネーションオペランドは全ビット有効になります。シフト量は、整数部分としてソース 2 オペランドで指定します。ソース 2 オペランドは、レジスタまたはイミディエイトオペランドで指定することができます。利用可能なシフト範囲は、-32 から +32 までです。ここで負の値は右シフト、正の値は左シフトを意味します。ソース 2 オペランドとしては、-64 から +63 までを指定することができますが、無効なシフト値が指定された場合は、結果は保証されません。イミディエイトオペランド命令を持つシフトの場合は、ソース 1 オペランドはデスティネーションのレジスタと同じレジスタでなければなりません。この演算は、ALU 固定小数点算術演算同様に、図 3.10 に示すような DSP ステージで実行します。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

算術シフト演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。ただし、条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件の命令の場合は、これらは演算結果に従って常に更新されます。DC ビットの定義は DSR レジスタの CS[2:0] ビット（条件選択ビット）で指定します。DC ビットの結果は、次のとおりです。

1. キャリー / ボローモード (CS[2:0] = B'000 の場合)

DC ビットは、演算結果として最後にシフトアウトしたデータを示します。

2. 負値モード (CS[2:0] = B'001 の場合)

DC ビットは、演算結果が負の値のときに 1 にセットされ、ゼロまたは正の値のときに 0 クリアされます。

3. ゼロ値モード (CS[2:0] = B'010 の場合)

DC ビットは、演算結果がゼロのときに 1 にセットされます。それ以外は、0 クリアされます。

4. オーバフローモード (CS[2:0] = B'011 の場合)

オーバフローが発生したときに 1 にセットされます。

5. 符号付き大モード (CS[2:0] = B'100 の場合)

DC ビットは、常に 0 にクリアされます。

6. 符号付き以上モード (CS[2:0] = B'101 の場合)

DC ビットは、常に 0 にクリアされます。

N ビットは、CS[2:0] ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値モードを参照してください。Z ビットは、CS[2:0] ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モードを参照してください。V ビットは、CS[2:0] ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示します。上記のオーバフローモードを参照してください。GT ビットは、CS[2:0] ビットが符号付き大モードとしてセットされる DC ビットと常に同じ状態を示します。上記の符号付き大モードを参照してください。

- オーバフローの防止機能

SR レジスタの S ビットは、DSP ユニットのどの算術シフト演算に対しても有効です。詳細については、「3.5.11 オーバフロー防止機能」を参照してください。

## (2) 論理シフト：

図 3.18 に論理シフト演算フローを示します。

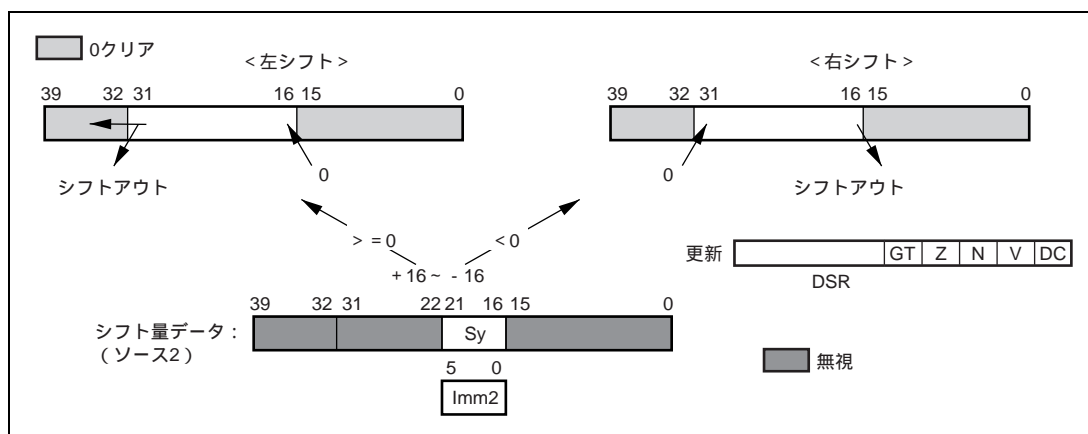


図 3.18 論理シフト演算フロー

図 3.18 に示すように、論理シフト演算は、ソース 1 の上位ワードとデスティネーションオペランドを使用します。ソースオペランドの下位ワードとガードビット部分は無視され、デスティネーションオペランドの下位ワードとガードビット部分は、ALU 論理演算同様、0 にクリアされます。シフト量は、整数データとしてソース 2 オペランドに指定します。ソース 2 オペランドでは、レジスタまたはイミディエイトオペランドに指定できます。利用可能なシフト範囲は、-16 から +16 です。ここで、負の値は右シフト、正の値は左シフトを意味します。任意のソース 2 オペランドは、-32 から +31 までを指定することができますが、無効なシフト値を指定すると、結果は保証されません。イミディエイトオペランド命令を持つシフトの場合は、ソース 1 オペランドはデスティネーションのレジスタと同じレジスタでなければなりません。これらの演算は図 3.10 に示すように DSP ステージで実行します。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

論理シフト演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。条件付き演算の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件の演算の場合は、これらは演算結果で常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0] ビット (条件選択ビット) で指定します。DC ビットの結果は、次のとおりです。

1. キャリー / ボローモード (CS[2:0] = B'000 の場合)

DC ビットは、演算結果として最後にシフトアウトしたデータを示します。

2. 負値モード (CS[2:0] = B'001 の場合)

DC ビットは、演算結果のビット 31 の値が格納されます。



3. ゼロ値モード (CS[2:0] = B'010の場合)

DCビットは、演算結果がゼロのとき1にセットされます。それ以外は、0にクリアされます。

4. オーバフローモード (CS[2:0] = B'011の場合)

DCビットは、常に0にクリアされます。

5. 符号付き大モード (CS[2:0] = B'100の場合)

DCビットは、常に0にクリアされます。

6. 符号付き以上モード (CS[2:0] = B'101の場合)

DCビットは、常に0にクリアされます。

Nビットは、CS[2:0]ビットが負値モードとしてセットされるDCビットと常に同じ状態を示します。2. 負値モードを参照してください。Zビットは、CS[2:0]ビットがゼロ値モードとしてセットされるDCビットと常に同じ状態を示します。3. ゼロ値モードを参照してください。Vビットは、CS[2:0]ビットがオーバフローモードとしてセットされるDCビットと常に同じ状態を示しますが、この演算では常にクリアされます。GTビットも同じです。

### 3.5.9 MSB 検出命令

MSB 検出命令 (PDMSB : Detect Most Significant Bit) は、正規化のためのシフト量を計算するために使用されます。図 3.19 に PDMSB 命令のフローを、表 3.28 に演算の定義を示します。表 3.29 にこの演算の種類を示します。各オペランドのレジスタとの対応は、表 3.21 に示した ALU 固定小数点算術演算と同じです。

【注】 MSB 検出命令の結果は、ALU 整数演算と同様、基本的に 24 ビット、すなわち上位 16 ビットの基本精度と 8 ビットのガードビット部分です。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の上位ワードがデスティネーションレジスタに入力されます。

図 3.19 に示すように、PDMSB 命令はソースオペランドとしてフルサイズのデータを使用しますが、正規化用のシフト量データは「3.5.8 シフト演算」で述べたように整数データでなければならないので、デスティネーションオペランドは整数演算結果と見なされます。これらの演算は、図 3.10 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

PDMSB 演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果で常に更新されます。

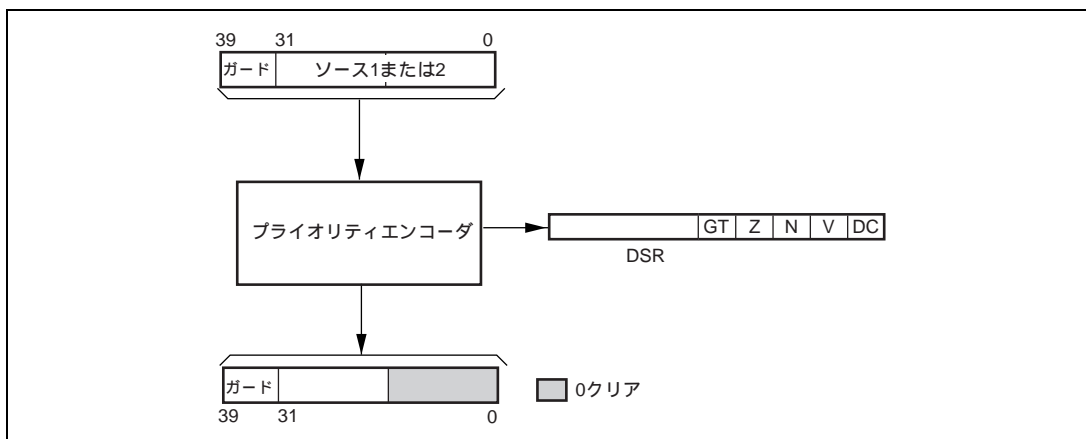


図 3.19 PDMSB 演算フロー

DC ビットの定義は DSR レジスタの CS[2:0]ビット（条件選択ビット）で選択します。DC ビットの結果は、次のとおりです。

(1) キャリー/ボローモード (CS[2:0] = B'000 の場合)

DCビットは、常に0にクリアされます。

(2) 負値モード (CS[2:0] = B'001 の場合)

DCビットは、演算結果が負の値のとき1にセットされ、ゼロまたは正の値のとき0にクリアされます。

(3) ゼロ値モード (CS[2:0] = B'010 の場合)

DCビットは、演算結果がゼロのとき1にセットされます。それ以外は、0にクリアされます。

(4) オーバフローモード (CS[2:0] = B'011 の場合)

DCビットは、常に0にクリアされます。

(5) 符号付き大モード (CS[2:0] = B'100 の場合)

DCビットは、演算結果が正の値のとき1にセットされます。それ以外は、0にクリアされます。

(6) 符号付き以上モード (CS[2:0] = B'101 の場合)

DCビットは、演算結果が正またはゼロのとき1にセットされます。それ以外は、0にクリアされます。

表 3.28 PDMSB 命令の定義

ソースデータ													DST 用の結果									
ガードビット					上位ワード				下位ワード				ガードビット	上位ワード								
39	38	-	33	32	31	30	29	28	-	3	2	1	0	39~32	31~22	21	20	19	18	17	16	10進数
0	0	-	0	0	0	0	0	0	-	0	0	0	0	all 0	all 0	0	1	1	1	1	1	+31
0	0	-	0	0	0	0	0	0	-	0	0	0	1	all 0	all 0	0	1	1	1	1	0	+30
0	0	-	0	0	0	0	0	0	-	0	0	1	*	all 0	all 0	0	1	1	1	0	1	+29
0	0	-	0	0	0	0	0	0	-	0	1	*	*	all 0	all 0	0	1	1	1	0	0	+28
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	-	0	0	0	0	1	-	*	*	*	*	*	all 0	all 0	0	0	0	0	1	0	+2
0	0	-	0	0	0	1	*	-	*	*	*	*	*	all 0	all 0	0	0	0	0	0	1	+1
0	0	-	0	0	0	1	*	*	-	*	*	*	*	all 0	all 0	0	0	0	0	0	0	0
0	0	-	0	0	1	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	1	-1
0	0	-	0	1	*	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	0	-2
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
0	1	-	*	*	*	*	*	-	*	*	*	*	*	all 1	all 1	1	1	1	0	0	0	-8
1	0	-	*	*	*	*	*	-	*	*	*	*	*	all 1	all 1	1	1	1	0	0	0	-8
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
1	1	-	1	0	*	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	0	-2
1	1	-	1	1	0	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	1	-1
1	1	-	1	1	1	0	*	*	-	*	*	*	*	all 0	all 0	0	0	0	0	0	0	0
1	1	-	1	1	1	1	0	*	-	*	*	*	*	all 0	all 0	0	0	0	0	0	1	+1
1	1	-	1	1	1	1	1	0	-	*	*	*	*	all 0	all 0	0	0	0	0	1	0	+2
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
1	1	-	1	1	1	1	1	-	1	0	*	*	*	all 0	all 0	0	1	1	1	0	0	+28
1	1	-	1	1	1	1	1	-	1	1	0	*	*	all 0	all 0	0	1	1	1	0	1	+29
1	1	-	1	1	1	1	1	-	1	1	1	0	*	all 0	all 0	0	1	1	1	1	0	+30
1	1	-	1	1	1	1	1	-	1	1	1	1	1	all 0	all 0	0	1	1	1	1	1	+31

【注】 \* don't care ビットを意味します。

表 3.29 PDMSB 命令の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PDMSB	MSB 検出	Sx	-	Dz
		-	Sy	Dz

N ビットは、CS[2:0]ビットが負値モードとしてセットされる DC ビットと常と同じ状態を示します。(2) 負値モードを参照してください。Z ビットは、CS[2:0]ビットがゼロ値モードとしてセットされる DC ビットと常と同じ状態を示します。(3) ゼロ値モードを参照してください。V ビットは、CS[2:0]ビットがオーバフローモードとしてセットされる DC ビットと常と同じ状態を示します。(4) オーバフローモードを参照してください。GT ビットは、CS[2:0]ビットが符号付き大モードとしてセットされる DC ビットと常と同じ状態を示します。(5) 符号付き大モードを参照してください。

### 3.5.10 丸め演算

DSP ユニットの、32 ビットから 16 ビットに丸める丸め機能を提供します。ガードビットがある場合は、40 ビットから 24 ビットに丸めます。丸め命令を実行するときは、ソースオペランドに H'00008000 が加算された後、下位ワードが 0 クリアされます。図 3.20 に丸め演算フローを示します。図 3.21 に丸め演算の定義を示します。また、表 3.30 に演算の種類を示します。各オペランドのレジスタとの対応は、表 3.21 に示した ALU 固定小数点算術演算と同じです。

図 3.21 に示すように、丸め演算は、ソースオペランド、デスティネーションオペランド両方に対してフルサイズデータを使用します。これらの演算は、図 3.10 に示すような DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

丸め演算を実行するたびに、DSR レジスタの DC、N、Z、V、および GT ビットは、基本的に演算結果に従って更新されます。条件付き命令の場合は、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合は、これらは演算結果で常に更新されます。DC ビットの定義は、DSR レジスタの CS[2:0] (条件選択) ビットで指定します。これらの状態コードビットの結果は ALU 固定小数点算術演算と同じです。

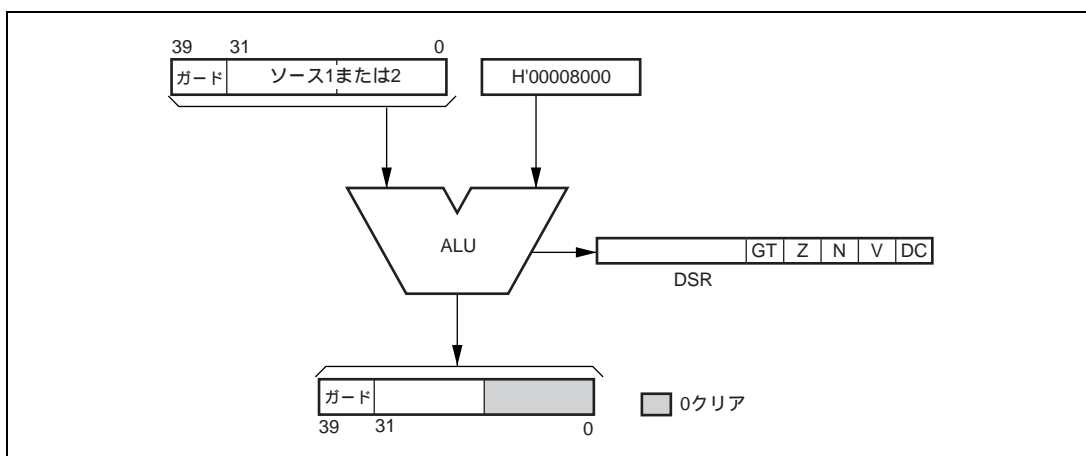


図 3.20 丸め演算フロー

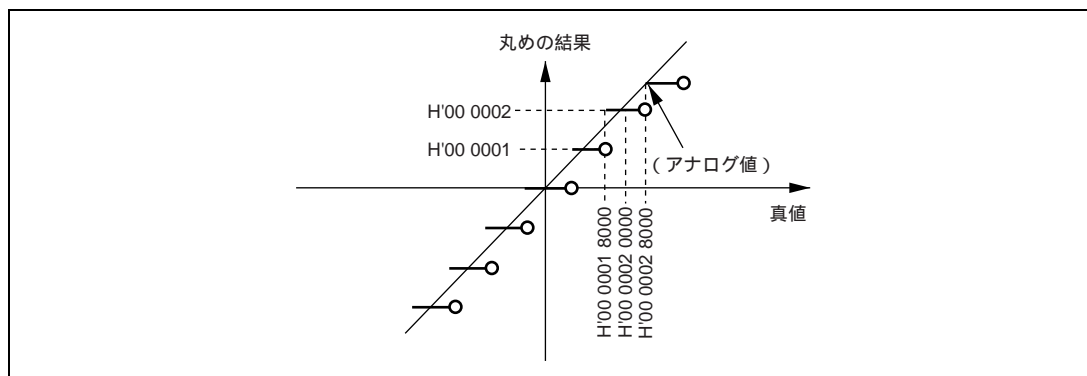


図 3.21 丸め演算の定義

表 3.30 丸め演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PRND	丸め	Sx	-	Dz
		-	Sy	Dz

- オーバフロー防止機能

SR レジスタの S ビットは DSP ユニットの任意の丸め演算で有効です。詳細については、「3.5.11 オーバフロー防止機能」を参照してください。

### 3.5.11 オーバフロー防止機能

SR レジスタの S ビットは、従来の SH 乗算および MAC 演算を含め DSP ユニットで実行する算術演算に有効です。SH の CPU コアの SR レジスタの S ビットは、オーバフロー防止機能イネーブルビットとして使用します。演算結果がガードビット部分のない 2 の補数の表記範囲を越える場合は、算術演算はオーバフローします。表 3.31 に「3.5.7 固定小数点乗算」で説明した符号付き × 符号付き固定小数点乗算を含めて、固定小数点算術演算に対するオーバフロー保護の定義を示します。表 3.32 には整数算術演算に対するオーバフロー防止機能の定義を示します。整数算術演算の飽和値の下位ワードは don't care です。下位ワードの値は、保証されません。

オーバフロー防止機能が有効になっているときは、オーバフローは発生することはありません。したがって、V ビットは、0 にクリアされます。オーバフローモードを CS[2:0] ビットで選択するときも DC ビットは 0 にクリアされます。

表 3.31 固定小数点算術用演算のオーバフロー防止機能の定義

符号	オーバフロー条件	固定値	16 進表記
正	結果 $> 1 - 2^{-31}$	$1 - 2^{-31}$	H'00 7FFF FFFF
負	結果 $< -1$	-1	H'FF 8000 0000

表 3.32 整数算術演算用オーバーフロー防止機能の定義

符号	オーバーフロー条件	固定値	16 進表記
正	結果 $> 2^{15} - 1$	$2^{15} - 1$	H'00 7FFF ****
負	結果 $< - 2^{15}$	$- 2^{15}$	H'FF 8000 ****

【注】 \* "Don't care"を意味します。

### 3.5.12 ローカルデータ移動命令

本 LSI には、CPU の乗算 / 積和演算 (MAC) をサポートするための MACL と MACH の 2 つレジスタがあります。これらのレジスタは、他の DSP レジスタとのローカルデータ移動命令により、テンポラリレジスタとして活用することができます。図 3.22 にローカルデータ移動命令のフローを示します。表 3.33 にはこの命令の種類を示します。

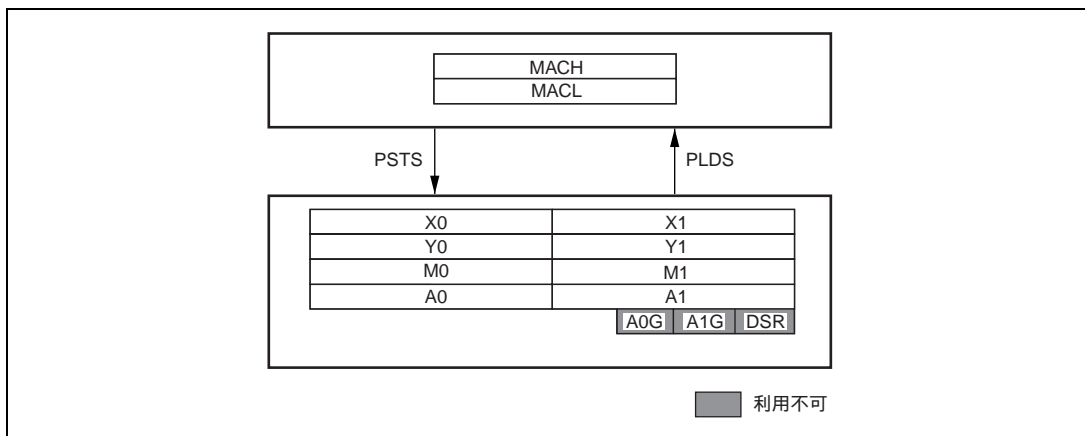


図 3.22 ローカルデータ移動命令のフロー

表 3.33 ローカルデータ移動命令の種類

ニーモニック	機能	オペランド
PLDS	DSP レジスタから MACL/H へのデータ移動	Dz
PSTS	MACL/H から DSP レジスタへのデータ移動	Dz

この命令は、他の転送命令と非常に似ています。A0 および A1 レジスタのいずれかを PSTS のデスティネーションオペランドとして指定すると、符号ビットが該当するガードビット部分 A0G または A1G に符号拡張されて格納されます。命令結果にかかわらず、DSR レジスタの DC ビットおよびその他の条件コードビットは、更新されません。この命令は、条件付きとしても動作します。ローカルデータ移動命令は、MOVX と MOVY で並行して指定することができます。

### 3.5.13 オペランドの競合

同一のデスティネーションオペランドを複数の DSP データ演算命令による並行処理で指定すると、データの競合が発生します。表 3.34 に各命令のオペランドとレジスタの対応を示します。

表 3.34 オペランド柔軟性

		Xメモリロード			Yメモリロード			6オペランド 命令 ALU			3オペランド 命令乗算			3オペランド ALU		
		Ax	Ix	Dx	Ay	Iy	Dy	Sx	Sy	Du	Se	Sf	Dg	Sx	Sy	Dz
DSP レジスタ	A0							*1		*2			*2	*1		*1
	A1							*1		*2	*1	*1	*2	*1		*1
	M0								*1				*1		*1	*1
	M1								*1				*1		*1	*1
	X0			*2				*1		*2	*1	*1		*1		*2
	X1			*2				*1		*2	*1			*1		*2
	Y0						*2		*1	*2	*1	*1			*1	*2
	Y1						*2		*1			*1			*1	*2

【注】 \*1 オペランドに利用可能なレジスタ

\*2 オペランドに利用可能なレジスタ（オペランド競合の場合）

オペランド競合問題には、3つの場合があります。

- ALU演算と乗算命令が同じデスティネーションオペランド（DuおよびDg）を指定する場合
- X側ロードとALU命令が同じデスティネーションオペランド（DxおよびDuまたはDz）を指定する場合
- Y側ロードとALU命令が同じデスティネーションオペランド（DyおよびDuまたはDz）を指定する場合

競合した場合の結果は、保証されません。

## 3.6 DSP 拡張機能命令セット

### 3.6.1 CPU 拡張命令

表 3.35 DSP モード拡張システム制御命令

命令	命令コード	動作	実行 ステート	T ビット
SETRC #imm	10000010iiiiiiii	imm RC (of SR)	1	-
SETRC Rn	0100nnnn00010100	Rn[11:0] RC(ofSR)	1	-
LDRS @(disp,PC)	10001100ddddddd	(disp × 2+PC) RS	1	-
LDRE @(disp,PC)	10001110ddddddd	(disp × 2+PC) RE	1	-
STC MOD,Rn	0000nnnn01010010	MOD Rn	1	-
STC RS,Rn	0000nnnn01100010	RS Rn	1	-
STC RE,Rn	0000nnnn01110010	RE Rn	1	-
STS DSR,Rn	0000nnnn01101010	DSR Rn	1	-
STS A0,Rn	0000nnnn01111010	A0 Rn	1	-
STS X0,Rn	0000nnnn10001010	X0 Rn	1	-
STS X1,Rn	0000nnnn10011010	X1 Rn	1	-
STS Y0,Rn	0000nnnn10101010	Y0 Rn	1	-
STS Y1,Rn	0000nnnn10111010	Y1 Rn	1	-
STS.L DSR,@-Rn	0100nnnn01100010	Rn-4 Rn, DSR (Rn)	1	-
STS.L A0,@-Rn	0100nnnn01110010	Rn-4 Rn, A0 (Rn)	1	-
STS.L X0,@-Rn	0100nnnn10000010	Rn-4 Rn, X0 (Rn)	1	-
STS.L X1,@-Rn	0100nnnn10010010	Rn-4 Rn, X1 (Rn)	1	-
STS.L Y0,@-Rn	0100nnnn10100010	Rn-4 Rn, Y0 (Rn)	1	-
STS.L Y1,@-Rn	0100nnnn10110010	Rn-4 Rn, Y1 (Rn)	1	-
STC.L MOD,@-Rn	0100nnnn01010011	Rn-4 Rn, MOD (Rn)	1	-
STC.L RS,@-Rn	0100nnnn01100011	Rn-4 Rn, RS (Rn)	1	-
STC.L RE,@-Rn	0100nnnn01110011	Rn-4 Rn, RE (Rn)	1	-
LDS.L @Rn+,DSR	0100nnnn01100110	(Rn) DSR, Rn+4 Rn	1	-
LDS.L @Rn+,A0	0100nnnn01110110	(Rn) A0, Rn+4 Rn	1	-
LDS.L @Rn+,X0	0100nnnn10000110	(Rn) X0, Rn+4 Rn	1	-
LDS.L @Rn+,X1	0100nnnn10010110	(Rn) X1, Rn+4 Rn	1	-
LDS.L @Rn+,Y0	0100nnnn10100110	(Rn) Y0, Rn+4 Rn	1	-
LDS.L @Rn+,Y1	0100nnnn10110110	(Rn) Y1, Rn+4 Rn	1	-
LDC.L @Rn+,MOD	0100nnnn01010111	(Rn) MOD, Rn+4 Rn	4	-
LDC.L @Rn+,RS	0100nnnn01100111	(Rn) RS, Rn+4 Rn	4	-
LDC.L @Rn+,RE	0100nnnn01110111	(Rn) RE, Rn+4 Rn	4	-



命令	命令コード	動作	実行 ステート	Tビット
LDS Rn,DSR	0100nnnn01101010	Rn DSR	1	-
LDS Rn,A0	0100nnnn01111010	Rn A0	1	-
LDS Rn,X0	0100nnnn10001010	Rn X0	1	-
LDS Rn,X1	0100nnnn10011010	Rn X1	1	-
LDS Rn,Y0	0100nnnn10101010	Rn Y0	1	-
LDS Rn,Y1	0100nnnn10111010	Rn Y1	1	-
LDC Rn,MOD	0100nnnn01011110	Rn MOD	4	-
LDC Rn,RS	0100nnnn01101110	Rn RS	4	-
LDC Rn,RE	0100nnnn01111110	Rn RE	4	-

### 3.6.2 ダブルデータ転送命令

表 3.36 ダブルデータ転送命令

命令	命令コード	動作	実行 ステート	DC	
Xメモリ データ 転送	NOPIX	1111000*0*0*00**	Xメモリノーマルアクセス	1	-
	MOVX.W @Ax, Dx	111100A*D*0*01**	(Ax) ->Dx の MSW, 0 ->Dx の LSW	1	-
	MOVX.W @Ax+, Dx	111100A*D*0*10**	(Ax) ->Dx の MSW, 0 ->Dx の LSW, Ax+2 ->Ax	1	-
	MOVX.W @Ax+Ix, Dx	111100A*D*0*11**	(Ax) ->Dx の MSW, 0 ->Dx の LSW, Ax+Ix ->Ax	1	-
	MOVX.W Da, @Ax	111100A*D*1*01**	Da の MSW ->(Ax)	1	-
	MOVX.W Da, @Ax+	111100A*D*1*10**	Da の MSW ->(Ax), Ax+2 ->Ax	1	-
	MOVX.W Da, @Ax+Ix	111100A*D*1*11**	Da の MSW ->(Ax), Ax+Ix ->Ax	1	-
Yメモリ データ 転送	NOPIY	111100*0*0*0**00	Yメモリノーマルアクセス	1	-
	MOVIY.W @Ay, Dy	111100*A*D*0**01	(Ay) ->Dy の MSW, 0 ->Dy の LSW	1	-
	MOVIY.W @Ay+, Dy	111100*A*D*0**10	(Ay) ->Dy の MSW, 0 ->Dy の LSW, Ay+2 ->Ay	1	-
	MOVIY.W @Ay+Iy, Dy	111100*A*D*0**11	(Ay) ->Dy の MSW, 0 ->Dy の LSW, Ay+Iy ->Ay	1	-
	MOVIY.W Da, @Ay	111100*A*D*1**01	Da の MSW ->(Ay)	1	-
	MOVIY.W Da, @Ay+	111100*A*D*1**10	Da の MSW ->(Ay), Ay+2 ->Ay	1	-
	MOVIY.W Da, @Ay+Iy	111100*A*D*1**11	Da の MSW ->(Ay), Ay+Iy ->Ay	1	-

## 3.6.3 シングルデータ転送命令

表 3.37 シングルデータ転送命令

命令	命令コード	動作	実行 ステート	DC	区分
MOVS.W @-As, Ds	111101AADDDD0000	As-2 ->As, (As) ->Ds の MSW, 0 ->Ds の LSW	1	-	
MOVS.W @As, Ds	111101AADDDD0100	(As) ->Ds の MSW, 0 ->Ds の LSW	1	-	
MOVS.W @As+, Ds	111101AADDDD1000	(As) ->Ds の MSW, 0 ->Ds の LSW, As+2 ->As	1	-	
MOVS.W @As+Ix, Ds	111101AADDDD1100	(Asc) ->Ds の MSW, 0 ->Ds の LSW, As+Ix ->As	1	-	
MOVS.W Ds, @-As	111101AADDDD0001	As-2 ->As, Ds の MSW ->(As)	1	-	*
MOVS.W Ds, @As	111101AADDDD0101	Ds の MSW ->(As)	1	-	*
MOVS.W Ds, @As+	111101AADDDD1001	Ds の MSW ->(As), As+2 ->As	1	-	*
MOVS.W Ds, @As+Ix	111101AADDDD1101	Ds の MSW ->(As), As+Ix ->As	1	-	*
MOVS.L @-As, Ds	111101AADDDD0010	As-4 ->As, (As) ->Ds	1	-	
MOVS.L @As, Ds	111101AADDDD0110	(As) ->Ds	1	-	
MOVS.L @As+, Ds	111101AADDDD1010	(As) ->Ds, As+4 ->As	1	-	
MOVS.L @As+Ix, Ds	111101AADDDD1110	(As) ->Ds, As+Ix ->As	1	-	
MOVS.L Ds, @-As	111101AADDDD0011	As-4 ->As, Ds ->(As)	1	-	
MOVS.L Ds, @As	111101AADDDD0111	Ds ->(As)	1	-	
MOVS.L Ds, @As+	111101AADDDD1011	Ds ->(As), As+4 ->As	1	-	
MOVS.L Ds, @As+Ix	111101AADDDD1111	Ds ->(As), As+Ix ->As	1	-	

【注】 \* ガードビットレジスタ A0G と A1G をソースオペランド Ds に指定した場合は、データは LDB[7:0]バスに出力され、符号ビットは上位ビット[31:8]に転記されます。

DSP データ転送のオペランドとレジスタとの対応を表 3.38 に示します。

表 3.38 DSP データ転送のオペランドとレジスタとの対応

レジスタ		Ax	Ix	Dx	Ay	Iy	Dy	Da	As	Ds
SH レジスタ	R0									
	R1									
	R2 (As2)								Yes	
	R3 (As3)								Yes	
	R4 (Ax0)	Yes							Yes	
	R5 (Ax1)	Yes							Yes	
	R6 (Ay0)				Yes					
	R7 (Ay1)				Yes					
	R8 (Ix)		Yes							
	R9 (Iy)					Yes				
DSP レジスタ	A0							Yes		Yes
	A1							Yes		Yes
	M0									Yes
	M1									Yes
	X0			Yes						Yes
	X1			Yes						Yes
	Y0						Yes			Yes
	Y1						Yes			Yes
	A0G									Yes
	A1G									Yes

## 3.6.4 DSP 演算命令

表 3.39 DSP 演算命令

命令	命令コード	動作	実行 ステート	DC
PMULS $S_x, S_f,$ Dg	111110***** 0100eeff0000gg00	$S_e * S_f \rightarrow Dg$ (符号付き)	1	-
PADD $S_x, S_y, Du$ PMULS $S_e, S_f, Dg$	111110***** 0111eeffxxyygguu	$S_x + S_y \rightarrow Du$ $S_e * S_f \rightarrow Dg$ (符号付き)	1	*
PSUB $S_x, S_y, Du$ PMULS $S_e, S_f, Dg$	111110***** 0110eeffxxyygguu	$S_y - S_x \rightarrow Du$ $S_e * S_f \rightarrow Dg$ (符号付き)	1	*
PADD $S_x, S_y, Dz$	111110***** 10110001xxyyzzzz	$S_x + S_y \rightarrow Dz$	1	*
DCT PADD $S_x, S_y, Dz$	111110***** 10110010xxyyzzzz	If DC=1, $S_x + S_y \rightarrow Dz$ If DC=0, nop	1	-
DCF PADD $S_x, S_y, Dz$	111110***** 10110011xxyyzzzz	If DC=0, $S_x + S_y \rightarrow Dz$ If DC=1, nop	1	-
PSUB $S_x, S_y, Dz$	111110***** 10100001xxyyzzzz	$S_x - S_y \rightarrow Dz$	1	*
DCT PSUB $S_x, S_y, Dz$	111110***** 10100010xxyyzzzz	If DC=1, $S_x - S_y \rightarrow Dz$ If DC=0, nop	1	-
DCF PSUB $S_x, S_y, Dz$	111110***** 10100011xxyyzzzz	If DC=0, $S_x - S_y \rightarrow Dz$ If DC=1, nop	1	-
PSHA $S_x, S_y, Dz$	111110***** 10010001xxyyzzzz	If $S_y \geq 0$ , $S_x \ll S_y \rightarrow Dz$ (算術シフト) If $S_y < 0$ , $S_x \gg S_y \rightarrow Dz$	1	*
DCT PSHA $S_x, S_y, Dz$	111110***** 10010010xxyyzzzz	If DC=1 & $S_y \geq 0$ , $S_x \ll S_y \rightarrow Dz$ (算術シフト) If DC=1 & $S_y < 0$ , $S_x \gg S_y \rightarrow Dz$ If DC=0, nop	1	-
DCF PSHA $S_x, S_y, Dz$	111110***** 10010011xxyyzzzz	If DC=0 & $S_y \geq 0$ , $S_x \ll S_y \rightarrow Dz$ (算術シフト) If DC=0 & $S_y < 0$ , $S_x \gg S_y \rightarrow Dz$ If DC=1, nop	1	-
PSHL $S_x, S_y, Dz$	111110***** 10000001xxyyzzzz	If $S_y \geq 0$ , $S_x \ll S_y \rightarrow Dz$ (論理シフト) If $S_y < 0$ , $S_x \gg S_y \rightarrow Dz$	1	*
DCT PSHL $S_x, S_y, Dz$	111110***** 10000010xxyyzzzz	If DC=1 & $S_y \geq 0$ , $S_x \ll S_y \rightarrow Dz$ (論理シフト) If DC=1 & $S_y < 0$ , $S_x \gg S_y \rightarrow Dz$ If DC=0, nop	1	-
DCF PSHL $S_x, S_y, Dz$	111110***** 10000011xxyyzzzz	If DC=0 & $S_y \geq 0$ , $S_x \ll S_y \rightarrow Dz$ (論理シフト) If DC=0 & $S_y < 0$ , $S_x \gg S_y \rightarrow Dz$ If DC=1, nop	1	-
PCOPY $S_x, Dz$	111110***** 11011001xx00zzzz	$S_x \rightarrow Dz$	1	*

命令	命令コード	動作	実行 ステート	DC
PCOPY S <sub>y</sub> ,D <sub>z</sub>	111110***** 1111100100yyzzzz	S <sub>y</sub> ->D <sub>z</sub>	1	*
DCT PCOPY S <sub>x</sub> ,D <sub>z</sub>	111110***** 11011010xx00zzzz	If DC=1, S <sub>x</sub> ->D <sub>z</sub> If DC=0, nop	1	-
DCT PCOPY S <sub>y</sub> ,D <sub>z</sub>	111110***** 1111101000yyzzzz	If DC=1, S <sub>y</sub> ->D <sub>z</sub> If DC=0, nop	1	-
DCF PCOPY S <sub>x</sub> ,D <sub>z</sub>	111110***** 11011011xx00zzzz	If DC=0, S <sub>x</sub> ->D <sub>z</sub> If DC=1, nop	1	-
DCF PCOPY S <sub>y</sub> ,D <sub>z</sub>	111110***** 1111101100yyzzzz	If DC=0, S <sub>y</sub> ->D <sub>z</sub> If DC=1, nop	1	-
PDMSB S <sub>x</sub> ,D <sub>z</sub>	111110***** 10011101xx00zzzz	S <sub>x</sub> ->D <sub>z</sub> 正規化のためのカウントシフト値	1	*
PDMSB S <sub>y</sub> ,D <sub>z</sub>	111110***** 1011110100yyzzzz	S <sub>y</sub> ->D <sub>z</sub> 正規化のためのカウントシフト値	1	*
DCT PDMSB S <sub>x</sub> ,D <sub>z</sub>	111110***** 10011110xx00zzzz	If DC=1, 正規化のためのカウントシフト値 S <sub>x</sub> ->D <sub>z</sub> If DC=0, nop	1	-
DCT PDMSB S <sub>y</sub> ,D <sub>z</sub>	111110***** 1011111000yyzzzz	If DC=1, 正規化のためのカウントシフト値 S <sub>y</sub> ->D <sub>z</sub> If DC=0, nop	1	-
DCF PDMSB S <sub>x</sub> ,D <sub>z</sub>	111110***** 10011111xx00zzzz	If DC=0, 正規化のためのカウントシフト値 S <sub>x</sub> ->D <sub>z</sub> If DC=1, nop	1	-
DCF PDMSB S <sub>y</sub> ,D <sub>z</sub>	111110***** 1011111100yyzzzz	If DC=0, 正規化のためのカウントシフト値 S <sub>y</sub> ->D <sub>z</sub> If DC=1, nop	1	-
PINC S <sub>x</sub> ,D <sub>z</sub>	111110***** 10011001xx00zzzz	S <sub>x</sub> の MSW+1 ->D <sub>z</sub>	1	*
PINC S <sub>y</sub> ,D <sub>z</sub>	111110***** 1011100100yyzzzz	S <sub>y</sub> の MSW+1 ->D <sub>z</sub>	1	*
DCT PINC S <sub>x</sub> ,D <sub>z</sub>	111110***** 10011010xx00zzzz	If DC=1, S <sub>x</sub> の MSW+1 ->D <sub>z</sub> If DC=0, nop	1	-
DCT PINC S <sub>y</sub> ,D <sub>z</sub>	111110***** 1011101000yyzzzz	If DC=1, S <sub>y</sub> の MSW+1 ->D <sub>z</sub> If DC=0, nop	1	-
DCF PINC S <sub>x</sub> ,D <sub>z</sub>	111110***** 10011011xx00zzzz	If DC=0, S <sub>x</sub> の MSW+1 ->D <sub>z</sub> If DC=1, nop	1	-
DCF PINC S <sub>y</sub> ,D <sub>z</sub>	111110***** 1011101100yyzzzz	If DC=0, S <sub>y</sub> の MSW+1 ->D <sub>z</sub> If DC=1, nop	1	-
PNEG S <sub>x</sub> ,D <sub>z</sub>	111110***** 11001001xx00zzzz	0-S <sub>x</sub> ->D <sub>z</sub>	1	*

命令	命令コード	動作	実行 ステート	DC
PNEG $S_y, D_z$	111110***** 1110100100yyzzzz	$0-S_y \rightarrow D_z$	1	*
DCT PNEG $S_x, D_z$	111110***** 11001010xx00zzzz	If DC=1, $0-S_x \rightarrow D_z$ If DC=0, nop	1	-
DCT PNEG $S_y, D_z$	111110***** 1110101000yyzzzz	If DC=1, $0-S_y \rightarrow D_z$ If DC=0, nop	1	-
DCF PNEG $S_x, D_z$	111110***** 11001011xx00zzzz	If DC=0, $0-S_x \rightarrow D_z$ If DC=1, nop	1	-
DCF PNEG $S_y, D_z$	111110***** 1110101100yyzzzz	If DC=0, $0-S_y \rightarrow D_z$ If DC=1, nop	1	-
POR $S_x, S_y, D_z$	111110***** 10110101xxyyzzzz	$S_x \mid S_y \rightarrow D_z$	1	*
DCT POR $S_x, S_y, D_z$	111110***** 10110110xxyyzzzz	If DC=1, $S_x \mid S_y \rightarrow D_z$ If DC=0, nop	1	-
DCF POR $S_x, S_y, D_z$	111110***** 10110111xxyyzzzz	If DC=0, $S_x \mid S_y \rightarrow D_z$ If DC=1, nop	1	-
PAND $S_x, S_y, D_z$	111110***** 10010101xxyyzzzz	$S_x \& S_y \rightarrow D_z$	1	*
DCT PAND $S_x, S_y, D_z$	111110***** 10010110xxyyzzzz	If DC=1, $S_x \& S_y \rightarrow D_z$ If DC=0, nop	1	-
DCF PAND $S_x, S_y, D_z$	111110***** 10010111xxyyzzzz	If DC=0, $S_x \& S_y \rightarrow D_z$ If DC=1, nop	1	-
PXOR $S_x, S_y, D_z$	111110***** 10100101xxyyzzzz	$S_x \wedge S_y \rightarrow D_z$	1	*
DCT PXOR $S_x, S_y, D_z$	111110***** 10100110xxyyzzzz	If DC=1, $S_x \wedge S_y \rightarrow D_z$ If DC=0, nop	1	-
DCF PXOR $S_x, S_y, D_z$	111110***** 10100111xxyyzzzz	If DC=0, $S_x \wedge S_y \rightarrow D_z$ If DC=1, nop	1	-
PDEC $S_x, D_z$	111110***** 10001001xx00zzzz	$S_x[39:16]-1 \rightarrow D_z$	1	*
DCT PDEC $S_x, D_z$	111110***** 10001010xx00zzzz	If DC=1, $S_x[39:16]-1 \rightarrow D_z$ If DC=0, nop	1	-
DCF PDEC $S_x, D_z$	111110***** 10001011xx00zzzz	If DC=0, $S_x[39:16]-1 \rightarrow D_z$ If DC=1, nop	1	-
PDEC $S_y, D_z$	111110***** 1010100100yyzzzz	$S_y[31:16]-1 \rightarrow D_z$	1	*

命令	命令コード	動作	実行 ステート	DC
DCT PDEC Sy,Dz	111110***** 1010101000yyzzzz	If DC=1, Sy[31:16]-1 ->Dz If DC=0, nop	1	-
DCF PDEC Sy,Dz	111110***** 1010101100yyzzzz	If DC=0, Sy[31:16]-1 ->Dz If DC=1, nop	1	-
PCLR Dz	111110***** 100011010000zzzz	h'00000000 ->Dz	1	*
DCT PCLR Dz	111110***** 100011100000zzzz	If DC=1, h'00000000 ->Dz If DC=0, nop	1	-
DCF PCLR Dz	111110***** 100011110000zzzz	If DC=0, h'00000000 ->Dz If DC=1, nop	1	-
PSHA #imm,Dz	111110***** 00010iiiiiiizzzz	If imm>=0, Dz<<imm ->Dz (算術シフト) If imm<0, Dz>>imm ->Dz	1	*
PSHL #imm,Dz	111110***** 00000iiiiiiizzzz	If imm>=0, Dz<<imm ->Dz (論理シフト) If imm<0, Dz>>imm ->Dz	1	*
PSTS MACH,Dz	111110***** 110011010000zzzz	MACH ->Dz	1	-
DCT PSTS MACH,Dz	111110***** 110011100000zzzz	If DC=1, MACH ->Dz	1	-
DCF PSTS MACH,Dz	111110***** 110011110000zzzz	If DC=0, MACH ->Dz	1	-
PSTS MACL,Dz	111110***** 110111010000zzzz	MACL ->Dz	1	-
DCT PSTS MACL,Dz	111110***** 110111100000zzzz	If DC=1, MACL ->Dz	1	-
DCF PSTS MACL,Dz	111110***** 110111110000zzzz	If DC=0, MACL ->Dz	1	-
PLDS Dz,MACH	111110***** 111011010000zzzz	Dz ->MACH	1	-
DCT PLDS Dz,MACH	111110***** 111011100000zzzz	If DC=1, Dz ->MACH	1	-
DCF PLDS Dz,MACH	111110***** 111011110000zzzz	If DC=0, Dz ->MACH	1	-
PLDS Dz,MACL	111110***** 111111010000zzzz	Dz ->MACL	1	-
DCT PLDS Dz,MACL	111110***** 111111100000zzzz	If DC=1, Dz ->MACL	1	-
DCF PLDS Dz,MACL	111110***** 111111110000zzzz	If DC=0, Dz ->MACL	1	-

命令	命令コード	動作	実行 状態	DC
PADDC Sx, Sy, Dz	111110***** 10110000xyyzzzz	Sx+Sy+DC ->Dz キャリー ->DC	1	キャリー
PSUBC Sx, Sy, Dz	111110***** 10100000xyyzzzz	Sx-Sy-DC ->Dz ボロー ->DC	1	ボロー
PCMP Sx, Sy	111110***** 10000100xyy0000	Sx-Sy ->DC を更新	1	*
PABS Sx, Dz	111110***** 10001000xx00zzzz	If Sx<0, 0-Sx ->Dz If Sx>=0, Sx->Dz	1	*
PABS Sy, Dz	111110***** 1010100000yyzzzz	If Sy<0, 0-Sy ->Dz If Sy>=0, Sy ->Dz	1	*
PRND Sx, Dz	111110***** 10011000xx00zzzz	Sx+h'00008000 ->Dz Dz の LSW ->h'0000	1	*
PRND Sy, Dz	111110***** 1011100000yyzzzz	Sy+h'00008000 ->Dz Dz の LSW ->h'0000	1	*

【注】 \* 表 3.19 を参照。



## 3.6.5 DSP モードでのオペレーションコードマップ

DSP モードで拡張される命令コードを含んだオペレーションコードマップを表 3.40 に示します。

表 3.40 オペレーションコードマップ

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
0000	Rn	Fx	0000				
0000	Rn	Fx	0001				
0000	Rn	00MD	0010	STC SR, Rn	STC GBR, Rn	STC VBR, Rn	STC SSR, Rn
0000	Rn	01MD	0010	STC SPC, Rn	STC MOD, Rn	STC RS, Rn	STC RE, Rn
0000	Rn	10MD	0010	STC R0_BANK, Rn	STC R1_BANK, Rn	STC R2_BANK, Rn	STC R3_BANK, Rn
0000	Rn	11MD	0010	STC R4_BANK, Rn	STC R5_BANK, Rn	STC R6_BANK, Rn	STC R7_BANK, Rn
0000	Rm	00MD	0011	BSRF Rm		BRAF Rm	
0000	Rm	10MD	0011	PREF @Rm			
0000	Rn	Rm	01MD	MOV.B Rm, @(R0, Rn)	MOV.W Rm, @(R0, Rn)	MOV.L Rm, @(R0, Rn)	MUL.L Rm, Rn
0000	0000	00MD	1000	CLRT	SETT	CLRMAC	LDTLB
0000	0000	01MD	1000	CLRS	SETS		
0000	0000	10MD	1000				
0000	0000	11MD	1000				
0000	0000	Fx	1001	NOP	DIV0U		
0000	0000	Fx	1010				
0000	0000	Fx	1011	RTS	SLEEP	RTE	
0000	Rn	Fx	1000				
0000	Rn	Fx	1001			MOVT Rn	
0000	Rn	00MD	1010	STS MACH, Rn	STS MACL, Rn	STS PR, Rn	
0000	Rn	01MD	1010			STS DSR, Rn	STS A0, Rn
0000	Rn	10MD	1010	STS X0, Rn	STS X1, Rn	STS Y0, Rn	STS Y1, Rn
0000	Rn	Fx	1011				
0000	Rn	Rm	11MD	MOV.B @(R0, Rm), Rn	MOV.W @(R0, Rm), Rn	MOV.L @(R0, Rm), Rn	MAC.L @Rm + ,@Rn +
0001	Rn	Rm	disp	MOV.L Rm, @(disp:4, Rn)			
0010	Rn	Rm	00MD	MOV.B Rm, @Rn	MOV.W Rm, @Rn	MOV.L Rm, @Rn	
0010	Rn	Rm	01MD	MOV.B Rm, @ Rn	MOV.W Rm, @ Rn	MOV.L Rm, @ Rn	DIV0S Rm, Rn
0010	Rn	Rm	10MD	TST Rm, Rn	AND Rm, Rn	XOR Rm, Rn	OR Rm, Rn
0010	Rn	Rm	11MD	CMP/STR Rm, Rn	XTRACT Rm, Rn	MULU.W Rm, Rn	MULSW Rm, Rn
0011	Rn	Rm	00MD	CMP/EQ Rm, Rn		CMP/HS Rm, Rn	CMP/GE Rm, Rn
0011	Rn	Rm	01MD	DIV1 Rm, Rn	DMULU.L Rm, Rn	CMP/HI Rm, Rn	CMP/GT Rm, Rn
0011	Rn	Rm	10MD	SUB Rm, Rn		SUBC Rm, Rn	SUBV Rm, Rn

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB	LSB			MD: 00	MD: 01	MD: 10	MD: 11
0011	Rn	Rm	11MD	ADD Rm, Rn	DMULS.L Rm, Rn	ADDC Rm, Rn	ADDV Rm, Rn
0100	Rn	Fx	0000	SHLL Rn	DT Rn	SHAL Rn	
0100	Rn	Fx	0001	SHLR Rn	CMP/PZ Rn	SHAR Rn	
0100	Rn	Fx	0010	STS.L MACH, @ Rn	STS.L MACL, @ Rn	STS.L PR, @ Rn	
0100	Rn	00MD	0011	STC.L SR, @ Rn	STC.L GBR, @ Rn	STC.L VBR, @ Rn	STC.L SSR, @ Rn
0100	Rn	01MD	0011	STC.L SPC, @ Rn	STC.L MOD, @ Rn	STC.L RS, @ Rn	STC.L RE, @ Rn
0100	Rn	10MD	0011	STC.L R0_BANK, @ Rn	STC.L R1_BANK, @ Rn	STC.L R2_BANK, @ Rn	STC.L R3_BANK, @ Rn
0100	Rn	11MD	0011	STC.L R4_BANK, @ Rn	STC.L R5_BANK, @ Rn	STC.L R6_BANK, @ Rn	STC.L R7_BANK, @ Rn
0100	Rn	Fx	0100	ROTL Rn	SETRC Rn	ROTCL Rn	
0100	Rn	Fx	0101	ROTR Rn	CMP/PL Rn	ROTCR Rn	
0100	Rm	00MD	0110	LDS.L @Rm+, MACH	LDS.L @Rm+, MACL	LDS.L @Rm+, PR	
0100	Rm	01MD	0110			LDS.L @Rm+, DSR	LDS.L @Rm+, A0
0100	Rm	10MD	0110	LDS.L @Rm+, X0	LDS.L @Rm+, X1	LDS.L @Rm+, Y0	LDS.L @Rm+, Y1
0100	Rm	00MD	0111	LDC.L @Rm+, SR	LDC.L @Rm+, GBR	LDC.L @Rm+, VBR	LDC.L @Rm+, SSR
0100	Rm	01MD	0111	LDC.L @Rm+, SPC	LDC.L @Rm+, MOD	LDC.L @Rm+, RS	LDC.L @Rm+, RE
0100	Rm	10MD	0111	LDC.L @Rm+, R0_BANK	LDC.L @Rm+, R1_BANK	LDC.L @Rm+, R2_BANK	LDC.L @Rm+, R3_BANK
0100	Rm	11MD	0111	LDC.L @Rm+, R4_BANK	LDC.L @Rm+, R5_BANK	LDC.L @Rm+, R6_BANK	LDC.L @Rm+, R7_BANK
0100	Rn	Fx	1000	SHLL2 Rn	SHLL8 Rn	SHLL16 Rn	
0100	Rn	Fx	1001	SHLR2 Rn	SHLR8 Rn	SHLR16 Rn	
0100	Rm	00MD	1010	LDS Rm, MACH	LDS Rm, MACL	LDS Rm, PR	
0100	Rm	01MD	1010			LDS Rm, DSR	LDS Rm, A0
0100	Rm	10MD	1010	LDS Rm, X0	LDS Rm, X1	LDS Rm, Y0	LDS Rm, Y1
0100	Rm/Rn	Fx	1011	JSR @Rm	TAS.B @Rn	JMP @Rm	
0100	Rn	Rm	1100	SHAD Rm, Rn			
0100	Rn	Rm	1101	SHLD Rm, Rn			
0100	Rm	00MD	1110	LDC Rm, SR	LDC Rm, GBR	LDC Rm, VBR	LDC Rm, SSR
0100	Rm	01MD	1110	LDC Rm, SPC	LDC Rm, MOD	LDC Rm, RS	LDC Rm, RE
0100	Rm	10MD	1110	LDC Rm, R0_BANK	LDC Rm, R1_BANK	LDC Rm, R2_BANK	LDC Rm, R3_BANK
0100	Rm	11MD	1110	LDC Rm, R4_BANK	LDC Rm, R5_BANK	LDC Rm, R6_BANK	LDC Rm, R7_BANK
0100	Rn	Rm	1111	MAC.W @Rm+, @Rn+			
0101	Rn	Rm	disp	MOV.L @(disp:4, Rm), Rn			

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
0110	Rn	Rm	00MD	MOV.B @Rm, Rn	MOV.W @Rm, Rn	MOV.L @Rm, Rn	MOV Rm, Rn
0110	Rn	Rm	01MD	MOV.B @Rm + , Rn	MOV.W @Rm + , Rn	MOV.L @Rm + , Rn	NOT Rm, Rn
0110	Rn	Rm	10MD	SWAP.B Rm, Rn	SWAP.W Rm, Rn	NEGC Rm, Rn	NEG Rm, Rn
0110	Rn	Rm	11MD	EXTU.B Rm, Rn	EXTU.W Rm, Rn	EXTS.B Rm, Rn	EXTS.W Rm, Rn
0111	Rn	imm		ADD #imm : 8, Rn			
1000	00MD	Rn	disp	MOV.B	MOV.W	SETRC #imm	
		imm		R0, @(disp: 4, Rn)	R0, @(disp: 4, Rn)		
1000	01MD	Rm	disp	MOV.B @(disp:4, Rm), R0	MOV.W @(disp: 4, Rm), R0		
1000	10MD	imm/disp		CMP/EQ #imm:8, R0	BT disp: 8		BF disp: 8
1000	11MD	imm/disp		LDRS @(disp:8,PC)	BT/S disp: 8	LDRE @(disp:8,PC)	BF/S disp: 8
1001	Rn	disp		MOV.W @(disp : 8, PC), Rn			
1010	disp		BRA disp : 12				
1011	disp		BSR disp: 12				
1100	00MD	imm/disp		MOV.B R0, @(disp: 8, GBR)	MOV.W R0, @(disp: 8, GBR)	MOV.L R0, @(disp: 8, GBR)	TRAPA #imm: 8
1100	01MD	disp		MOV.B @(disp: 8, GBR), R0	MOV.W @(disp: 8, GBR), R0	MOV.L @(disp: 8, GBR), R0	MOVA @(disp: 8, PC), R0
1100	10MD	imm		TST #imm: 8, R0	AND #imm: 8, R0	XOR #imm: 8, R0	OR #imm: 8, R0
1100	11MD	imm		TST.B #imm: 8, @(R0, GBR)	AND.B #imm: 8, @(R0, GBR)	XOR.B #imm: 8, @(R0, GBR)	OR.B #imm: 8, @(R0, GBR)
1101	Rn	disp		MOV.L @(disp: 8, PC), Rn			
1110	Rn	imm		MOV #imm:8, Rn			
1111	00**	*****		MOVX.W, MOVY.W デュアルデータ転送命令			
1111	01**	*****		MOV.S.W, MOV.S.L シングルデータ転送命令			
1111	10**	*****		MOVX.W, MOVY.W デュアルデータ転送命令; DSP 並列演算命令付き(32ビット命令)			
1111	11**	*****					

- 【注】
1. 詳細は、「SH-3/SH-3E/SH3-DSP ソフトウェアマニュアル」を参照してください。
  2. 網掛けの命令コードは、DSP 拡張命令です。SR.DSP = 1 の場合のみ使用可能です。



---

## 4. メモリマネジメントユニット (MMU)

---

本 LSI は、メモリマネジメントユニット (MMU) を内蔵しており、仮想記憶方式をサポートしています。内蔵しているアドレス変換バッファ (TLB) は、外部メモリに配置されたユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、論理アドレスから物理アドレスへの変換を高速で実行します。アドレス変換は、ページング方式により 2 種類 (1k または 4k バイト) のページサイズをサポートしています。また、特権モードおよびユーザモードのそれぞれにおいて、論理アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

### 4.1 MMU の役割

MMU とは、物理メモリを有効に利用するために考え出された機能です。図 4.1 に示すように、プロセスのサイズが物理メモリより少ない場合は、プロセスのすべてを物理メモリへマッピングすることが可能です。しかし、プロセスのサイズが増大し物理メモリに収まらない場合は、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 4.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために、物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 4.1 (2))。仮想記憶方式では、物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスは、この仮想メモリにマッピングされます。このため、プロセスは仮想メモリ上での動作だけを考えていけば良くなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。MMU は通常 OS が管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは、2 次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 4.1 (3))。TSS 上で走行する複数のプロセスがおのおの物理メモリへのマッピングを意識しながら動作していたのでは、効率が上がりません。この効率を上げ各プロセスの負担を減らすために、仮想記憶方式は使われます (図 4.1 (4))。この仮想記憶方式では、プロセスごとに仮想メモリが割り当てられます。MMU は、複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらにあるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスすることがあります。そのとき、MMU は例外を発生させ、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能は、ソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのため、ハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB は、アドレス変換情報のためのキャッシュと言えます。しかし、キャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは、通常ソフトウェアで行います。このため、ソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では、固定サイズのページと呼ばれるアドレス空間 (通常 1k ~ 64k バイト) が変換の単位となります。

以下、本 LSI では、仮想メモリ上のアドレス空間のことを論理アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

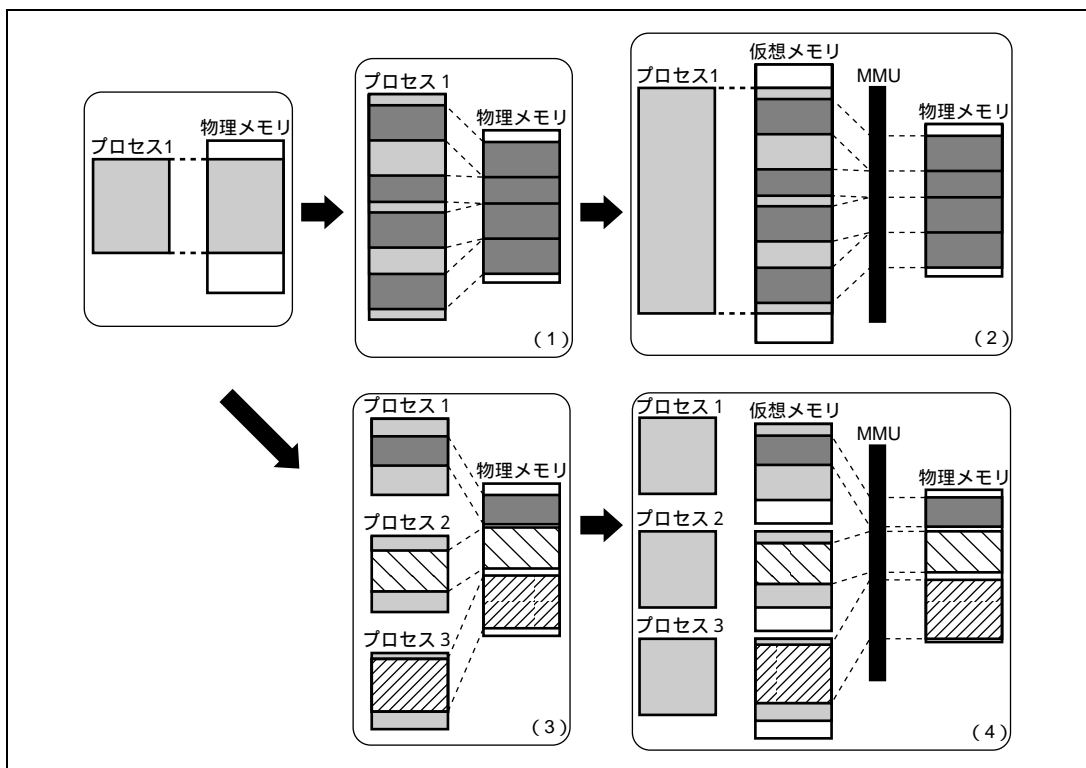


図 4.1 MMU の役割

### 4.1.1 本 LSI の MMU

#### (1) 論理アドレス空間

本 LSI は、32 ビットの論理アドレス空間をサポートしており、4G バイトのアドレス空間をアクセスできます。論理アドレス空間は、図 4.2 および図 4.3 に示すとおり、いくつかの領域に分かれています。特権モードでは、P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは、U0 領域の 2G バイトの空間をアクセス可能です。また、SR レジスタの DSP ビットが 1 の場合は、U<sub>xy</sub> 領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域および U<sub>xy</sub> 領域以外をアクセスした場合は、アドレスエラーとなります。

MMUCR の AT ビットを 1 にして、MMU をイネーブルにしたとき、これらの領域のうちの P0、P3、および U0 領域は、任意の物理アドレス空間へ 1k または 4k バイトページ単位でマッピングすることができます。また、8 ビットのアドレス空間識別子を用いることにより、P0、P3、および U0 領域を 256 個まで増やすことが可能です。論理アドレス空間から 29 ビットの物理アドレス空間へのマッピングには、TLB を用います。

#### (a) P0、P3、U0 領域

P0、P3、および U0 領域は、TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がイネーブルの場合は、これらの領域は TLB を用いて 1k または 4k バイトページ単位に任意の物理アドレス空間へマッピングできます。キャッシュコントロールレジスタ (CCR1) の CE ビットが 1 であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のときは、キャッシュを用いたアクセスが行えます。

MMU がディスエーブルの場合は、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。CCR1 の CE ビットが 1 のときは、キャッシュを用いたアクセスが行えます。

キャッシュを用いた場合は、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは CCR1 の WT ビットに従います。

これらの領域を TLB により物理アドレス空間のエリア 1 に存在する内蔵モジュール制御レジスタ領域、内蔵メモリ領域にマッピングする場合は、当該ページの C ビットは 0 にしてください。

#### (b) P1 領域

P1 領域は、TLB を用いたアドレス変換が行われず、キャッシュを用いたアクセスが可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは、キャッシュコントロールレジスタ (CCR1) の CE ビットに従います。キャッシュを用いた場合は、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは CCR1 の CB ビットに従います。

#### (c) P2 領域

P2 領域は、TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

## (d) P4 領域

P4 領域は、本 LSI の内蔵 I/O にマッピングされる領域です。この領域は、TLB を用いたアドレス変換やキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 4.4 に示します。

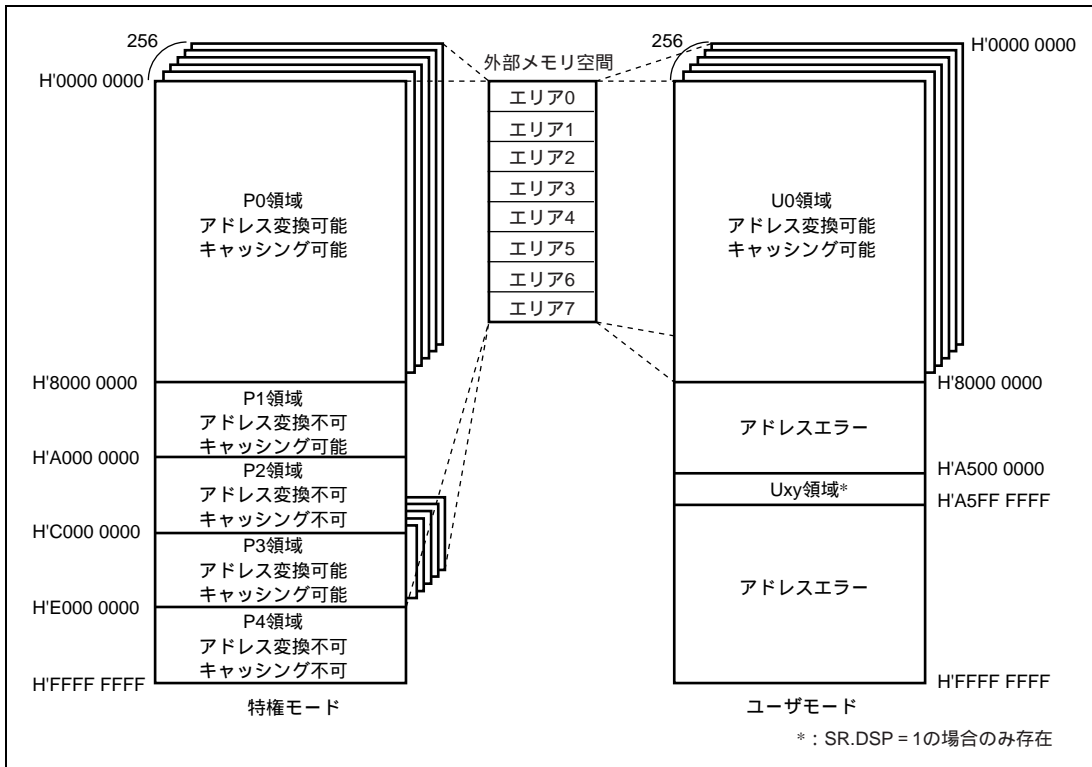


図 4.2 論理アドレス空間 (MMUCR.AT = 1 の場合)



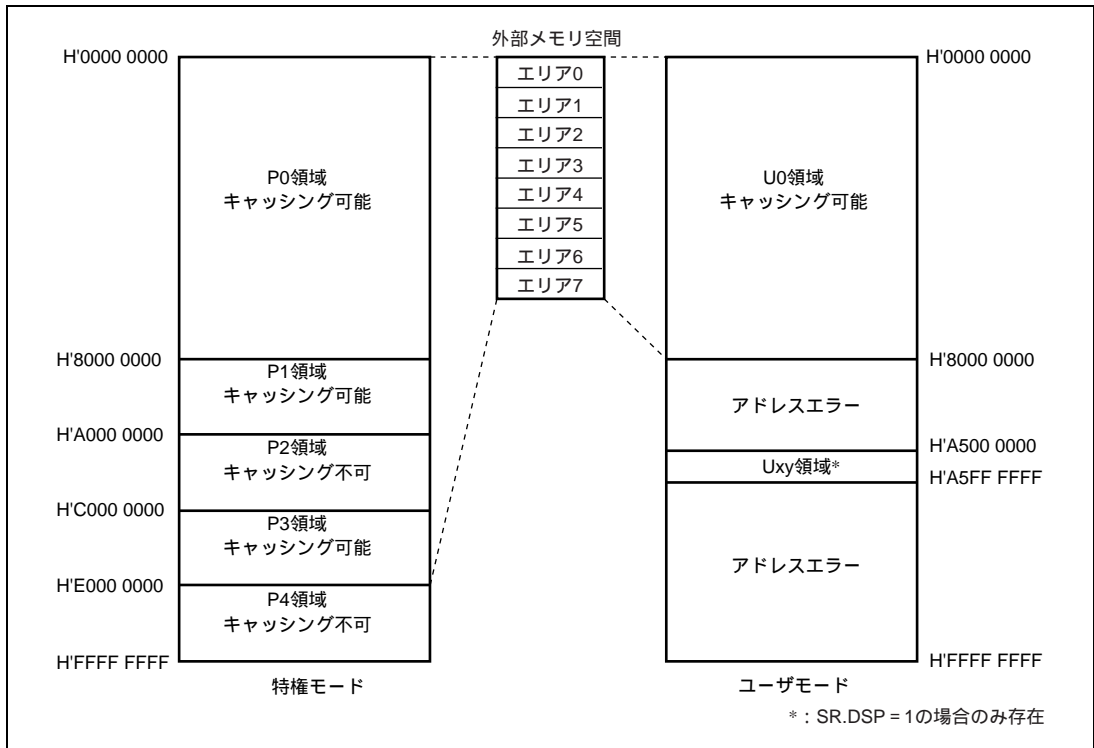


図 4.3 論理アドレス空間 (MMUCR.AT = 0 の場合)

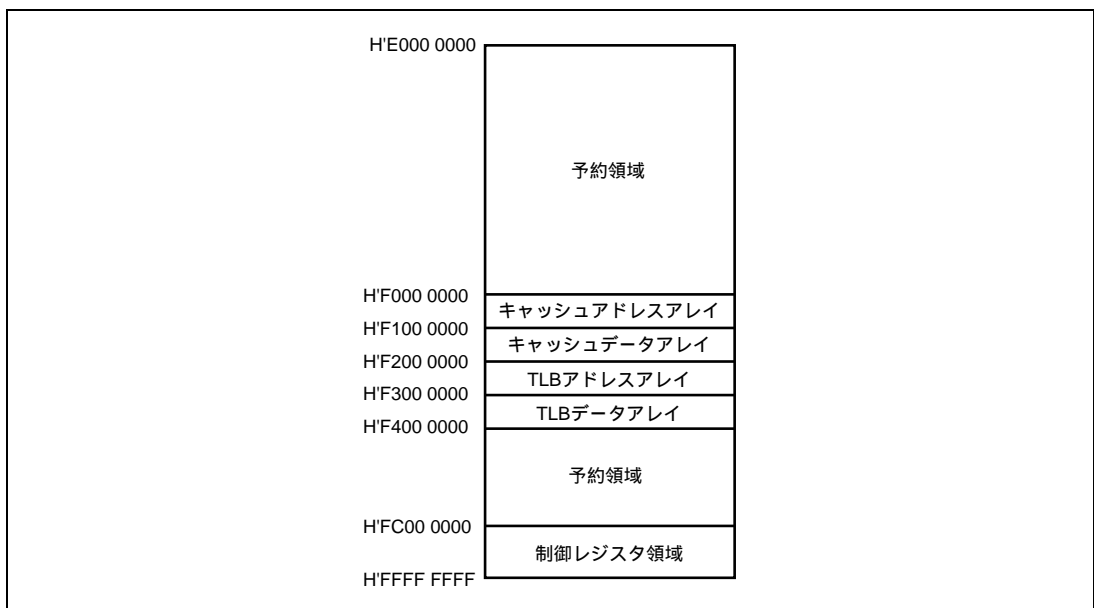


図 4.4 P4 領域

H'F000 0000 ~ H'F0FF FFFF は、キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は、「5.4 メモリ割り付けキャッシュの構成」を参照してください。

H'F100 0000 ~ H'F1FF FFFF は、キャッシュのデータアレイを直接アクセスするための領域です。詳細は、「5.4 メモリ割り付けキャッシュの構成」を参照してください。

H'F200 0000 ~ H'F2FF FFFF は、TLB のアドレスアレイを直接アクセスするための領域です。詳細は、「4.6 メモリ割り付け TLB の構成」を参照してください。

H'F300 0000 ~ H'F3FF FFFF は、TLB のデータアレイを直接アクセスするための領域です。詳細は、「4.6 メモリ割り付け TLB の構成」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF は、内蔵周辺モジュールレジスタの領域です。詳細は、「第 37 章 レジスタ一覧」を参照してください。

#### (e) Uxy 領域

Uxy 領域は、本 LSI の内蔵メモリにマッピングされる領域です。ユーザモードで SR レジスタの DSP ビットが 1 のときに使用可能となります。ユーザモードで DSP ビットが 0 のときに、この領域にアクセスするとアドレスエラーとなります。この領域は、TLB を用いたアドレス変換とキャッシュを用いたアクセスは行えません。Uxy 領域の詳細に関しては、「第 6 章 X/Y メモリ」を参照してください。

#### (2) 物理アドレス空間

本 LSI は、29 ビットの物理アドレス空間をサポートします。物理アドレス空間は、図 4.5 に示すとおり、8 つの領域に分かれています。このうち、エリア 1 は、内蔵モジュール制御レジスタ領域と内蔵メモリ領域が割り当てられています。また、エリア 7 は予約領域です。

物理アドレス空間の詳細は、「第 9 章 バスステートコントローラ (BSC)」を参照してください。

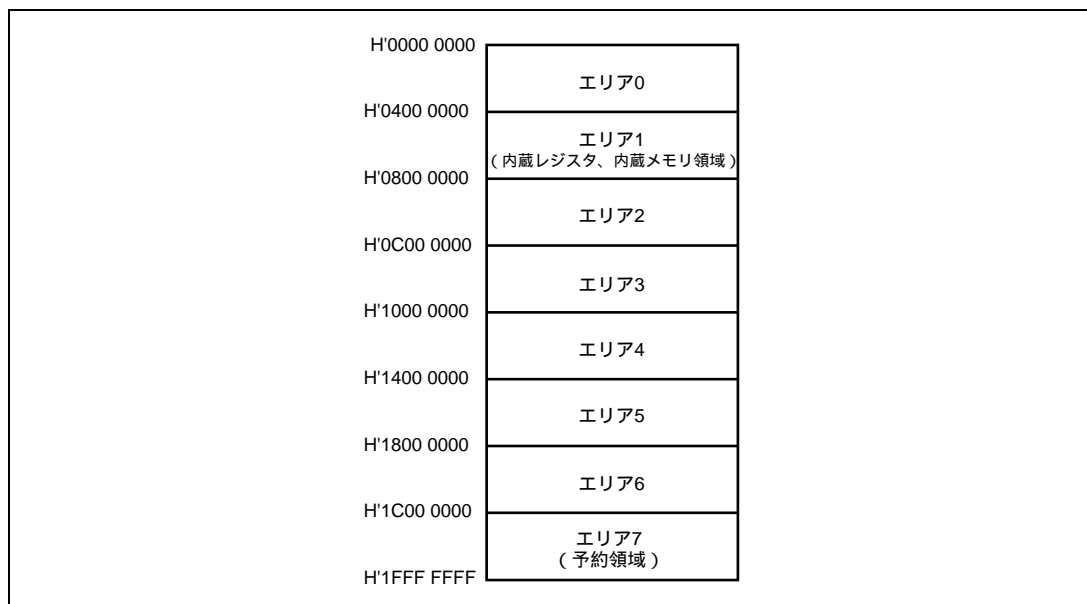


図 4.5 物理アドレス空間

### (3) アドレス変換

MMU がイネーブルされているときは、論理アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、論理アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納されています。TLB は、アドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容をキャッシングします。P4 領域以外へのアクセスが発生し、そのアクセスされた論理アドレスが P1 または P2 領域に属する場合は、TLB をアクセスせずに物理アドレスが一意に決定されます。その論理アドレスが P0、P3、および U0 領域に属する場合には論理アドレスで TLB が検索され、その論理アドレスが TLB に登録されている場合には TLB ヒットとなり TLB から対応する物理アドレスページ管理情報が読み出され、物理アドレスが決定されます。また、アクセスされた論理アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンに移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレスとページ管理情報を TLB に登録します。例外処理ルーチンから復帰後は、TLB ミス例外を発生させた命令を再実行します。ただし、MMU がイネーブルの状態では、物理アドレスが H'2000 0000 ~ H'FFFF FFFF となるようなアドレス変換情報は、TLB へ登録しないでください。

MMU がディスエーブルされているときは、論理アドレスの上位 3 ビットを 0 にマスクしたものが物理アドレスとなります。本 LSI では、物理アドレス空間として 29 ビットアドレス空間をサポートしているため、論理アドレスの上位 3 ビットが無視されシャドウ空間となります(「第 9 章 バスステートコントローラ (BSC)」参照)。たとえば P0 領域の H'0000 1000 番地と P1 領域の H'8000 1000 番地と P2 領域の H'A000 1000 番地と P3 領域の H'C000 1000 番地は、すべて同一の物理メモリにマッピングされます。これらのアドレスへのアクセスをキャッシュイネーブルの状態で行った場合は、キャッシュのアドレスアレイに格納されるアドレスはデータの一致性を保証するために、上位 3 ビットが常に 0 になります。

#### (4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には単一仮想記憶方式と多重仮想記憶方式があり、MMU 制御レジスタ (MMUCR) で選択が可能です。単一仮想記憶方式では、複数のプロセスが論理アドレス空間を排他的に使用しながら同時に走行して、ある論理アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが論理アドレス空間を共有して使用しながら走行するため、ある論理アドレスはプロセスにより異なった物理アドレスに変換され得ます。これらの方式は、単一仮想記憶モードと多重仮想記憶モードとしてサポートされており、MMUCR の設定で切り替えることが可能です。単一仮想記憶モードと多重仮想記憶モードとの動作上の違いは、TLB のアドレス比較の方式 (「4.3.3 TLB のアドレス比較」参照) のみです。

#### (5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合は、アドレス空間識別子 (ASID) は論理アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は、8 ビットで、ソフトウェアが MMU 内のページテーブルエントリ上位レジスタ (PTEH) に現在走行中のプロセスの ASID をセットすることで設定できます。この ASID によりプロセス切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合は、ASID は論理アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。(「4.3.3 TLB のアドレス比較」参照)

## 4.2 レジスタの説明

MMU 処理に関連するレジスタは、4 つあります。これらのレジスタは、周辺モジュールレジスタなので、P4 領域に配置され特権モードのときのみアドレスを指定してアクセスすることができます。

MMU には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 37 章 レジスタ一覧」を参照してください。

- ページテーブルエントリ上位レジスタ (PTEH)
- ページテーブルエントリ下位レジスタ (PTEL)
- 変換テーブルベースレジスタ (TTB)
- MMU制御レジスタ (MMUCR)

### 4.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は、H'FFFF FFF0 番地に配置されていて、論理ページ番号 (VPN) と ASID から構成されています。VPN は、MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた論理アドレスの VPN が設定されます。ページサイズが 4k バイトページるとき、VPN は論理アドレスの上位 20 ビットとなりますが、この場合は論理アドレスの上位 22 ビットが設定されます。VPN は、ソフトウェアからも変更が可能です。ASID には、現在実行中のプロセスの番号をソフトウェアにより設定します。この VPN と ASID が LDTLB 命令により TLB に登録されます。

PTEH の ASID を書き換えるプログラムは、P1 または P2 領域に配置してください。

ビット	ビット名	初期値	R/W	説明
31~10	VPN	-	R/W	論理ページ番号
9	-	0	R	リザーブビット
8	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	ASID	-	R/W	アドレス空間識別子

#### 4.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は、H'FFFF FFF4 番地に配置されていて、LDTLB 命令により TLB に登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタは、ソフトウェアの指示がないかぎり内容が変更されることはありません。

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
28~10	PPN	-	R/W	物理ページ番号
9	-	0	R	ページ管理情報 詳細は「4.3 TLB の機能」を参照してください。
8	V	-	R/W	
7	-	0	R	
6、5	PR	-	R/W	
4	SZ	-	R/W	
3	C	-	R/W	
2	D	-	R/W	
1	SH	-	R/W	
0	-	0	R	

#### 4.2.3 変換テーブルベースレジスタ (TTB)

TTB は、32 ビットのレジスタで、H'FFFF FFF8 番地に配置されています。TTB には、現在使っているページテーブルのベースアドレスなどが格納されます。TTB は、ソフトウェアの指示がないかぎり内容が変更されることはありません。初期値は、不定です。このレジスタは、ソフトウェアで自由に使用可能です。

#### 4.2.4 MMU 制御レジスタ (MMUCR)

MMUCR は、MMU を制御するためのレジスタで、H'FFFF FFE0 番地に配置されています。MMUCR を書き換えるプログラムは、P1 または P2 領域に配置してください。

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	SV	0	R/W	単一仮想記憶モード 0: 多重仮想記憶モード 1: 単一仮想記憶モード
7 6	- -	0 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5、4	RC	すべて 0	R/W	ランダムカウンタ 2 ビットのカウンタで MMU 例外発生時にハードウェアが次の規則で自動的に更新します。 TLB ミス例外が発生した場合には、例外を発生させた論理アドレスに対応する TLB エントリの全ウェイを調べ、全ウェイが有効なら RC には 1 が加えられ、1 つ以上の無効なウェイが存在するならウェイ 0、ウェイ 1、ウェイ 2、およびウェイ 3 の順にウェイ 0 から優先的に RC へ設定されます。TLB ミス例外以外の MMU 例外が発生した場合には、例外を発生させたウェイが RC に設定されます。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	TF	0	R/W	TLB フラッシュ 1 を書き込むと TLB の有効ビットをすべて 0 にクリア (フラッシュ) します。読み出し時は 0 が読み出されます。
1	IX	0	R/W	インデックスモード 0 のとき VPN (16-12) を TLB のインデックス番号に使用します。1 のとき PTEH 中の ASID (4-0) と VPN (16-12) の EX-OR した値をインデックス番号に使用します。
0	AT	0	R/W	アドレス変換 MMU のイネーブル (有効) またはディスエーブル (無効) を指定します。 0: ディスエーブル 1: イネーブル

## 4.3 TLB の機能

### 4.3.1 TLB の構成

TLB は、外部メモリ上に置かれるアドレス変換テーブル情報をキャッシングします。アドレス変換テーブルには、論理ページ番号とそれに対応する物理ページ番号、アドレス空間識別子、およびページ管理情報が格納されています。図 4.6 に TLB 全体の構成を示します。TLB は、4 ウェイセットアソシアティブ方式で 1 ウェイ当たり 32 エントリの計 128 エントリで構成されています。図 4.7 に論理アドレスと TLB エントリの構成を示します。

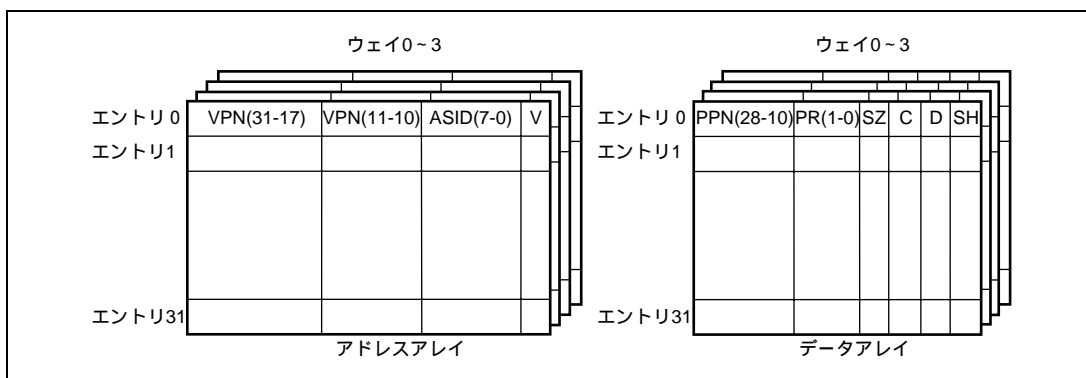


図 4.6 TLB 全体の構成

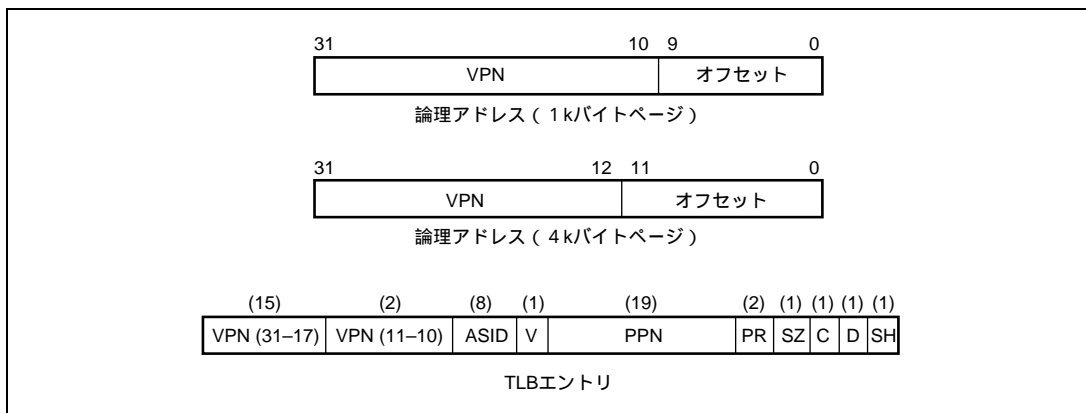


図 4.7 論理アドレスと TLB エントリの構成



## &lt; TLB エントリの記号説明 &gt;

VPN:	論理ページ番号	1k バイトページのときは論理アドレスの上位 19 ビットを、 4k バイトページのときは論理アドレスの上位 20 ビットを表します。 ただし、VPN (16-12) はインデックス番号に使用されるため、TLB エントリには格納されません。また、シノニム問題に注意してください。 (「4.4.4 シノニム問題の回避」を参照)
ASID:	アドレス空間識別子	論理ページをアクセスできるプロセスを表します。 単一仮想記憶モードでかつユーザモードのとき、または多重仮想記憶モードのときに、SH ビットが 0 なら PTEH 中の ASID と比較されます。
SH:	共有状態ビット	0 のときは、複数のプロセスでページを共有しません。 1 のときは、複数のプロセスでページを共有します。
SZ:	ページサイズビット	0 のときは 1k バイトページを表します。 1 のときは 4k バイトページを表します。
V:	有効ビット	エントリが有効か無効かを表します。 0: 無効 1: 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN:	物理ページ番号	物理アドレスの上位 22 ビットを表します。 4k バイトページのときは、PPN (11-10) は使用されません。
PR:	保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータです。 00: 特権モードで、読み出しのみ可能。 01: 特権モードで、読み出しまたは書き込みが可能。 10: 特権またはユーザモードで、読み出しのみ可能。 11: 特権またはユーザモードで、読み出しまたは書き込みが可能。
C:	キャッシング可能ビット	ページがキャッシング可能かどうかを表します。 0: キャッシング不可能 1: キャッシング可能
D:	ダーティビット	ページに書き込みが行われたか否かを表します。 0: 書き込みが行われていない。 1: 書き込みが行われている。

### 4.3.2 TLB のインデックス番号作成方法

TLB は、4 ウェイセットアソシアティブ方式のため、エントリをインデックス番号により選択する必要があります。インデックス番号としては、VPN (16-12) と PTEH 中の ASID (4-0) を使用します。MMU 制御レジスタ (MMUCR) の IX ビットによってインデックス番号の生成方法が異なります。

1. IX=1のとき

VPN (16-12) と ASID (4-0) との EX-OR をインデックス番号として使用します。

2. IX=0のとき

VPN (16-12) をインデックス番号として使用します。

1.の方法は、同時に多数のプロセスが同一の論理アドレス空間を走行するとき (多重仮想記憶モード)、特定のエントリが複数のプロセスによって選択されて TLB のヒット率が低下するのを防ぎます。単一仮想記憶モード (MMUCR.SV=1) の場合は、IX ビットを 0 に設定してください。図 4.8 および図 4.9 に TLB のインデックス番号作成の方法を示します。

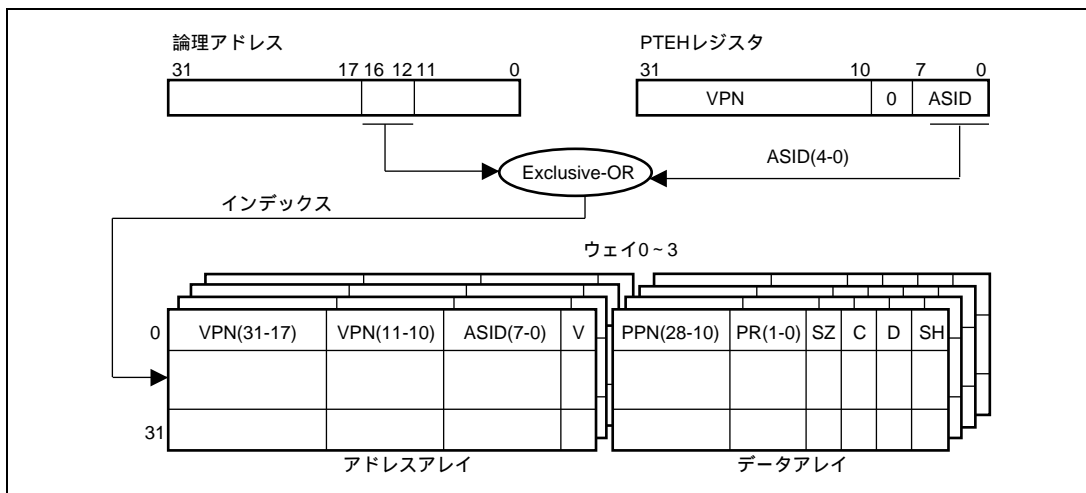


図 4.8 TLB インデックス番号作成の方法 (IX=1)

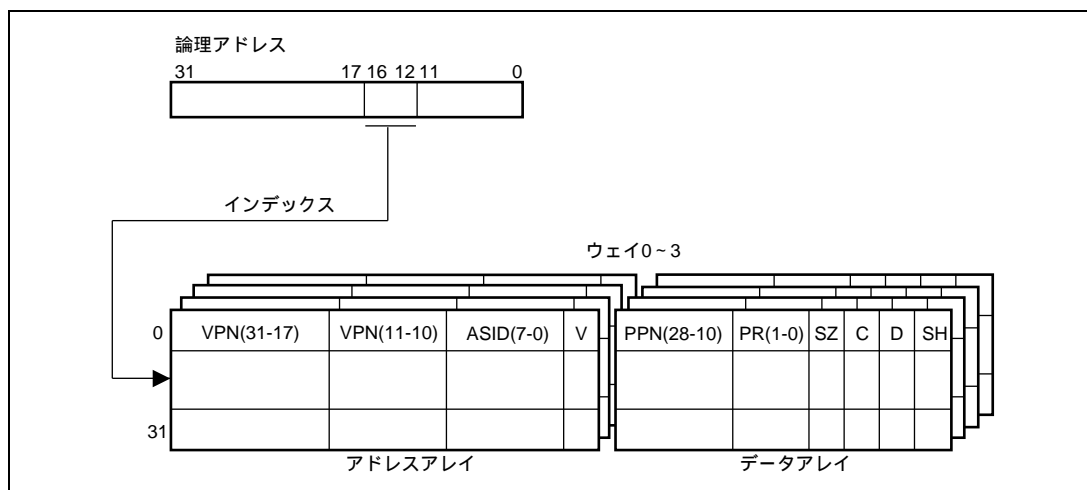


図 4.9 TLB インデックス番号作成の方法 (IX = 0)

### 4.3.3 TLB のアドレス比較

TLB のアドレス比較は、外部メモリ上のプログラムからの命令フェッチや外部メモリ上のデータの参照の際に実行されます。アドレス比較で用いられる比較対象は、VPN と ASID です。外部メモリをアクセスする論理アドレスの VPN とインデックス番号で選択された TLB エントリの VPN とが比較されます。また、PTEH 中の ASID とインデックス番号で選択された TLB エントリの ASID とが比較されます。比較は、4 つのウェイトとも同時に行われます。比較の結果が一致し、かつインデックス番号で選択された TLB エントリが有効 (V=1) であった場合は、TLB ヒットとなります。このとき、複数のウェイトが同時に TLB ヒットしないことをソフトウェアで保証してください。複数のウェイトが同時に TLB ヒットした場合のハードウェアの動作は、保証しません。以下に複数のウェイトが同時に TLB ヒットしてしまう場合の設定の例を示します。このような設定は、ソフトウェアで行わないようにしてください。

1. VPNが同一の2つのTLBエントリにおいて、一つは共有状態 (SH=1)、もう一つは非共有状態 (SH=0) で ASID=H'FFFのプロセスでのみTLBヒットするような設定がなされていた場合は、PTEH中のASIDをH'FFFにすると、これら2つのウェイトが同時にTLBヒットする可能性があります。
2. 単一仮想記憶モードの設定でVPNが同一でASIDが異なるエントリを複数登録した場合は、特権モードで当該ページをアクセスすると、複数のウェイトに同時にTLBヒットする可能性があります。単一仮想記憶モードでは、VPNが同一のエントリを複数登録しないでください。
3. インデックスモード (MMUCR.IX=1) の設定で、SH=1のページを登録した場合は、PTEH中のASIDの値によっては予期せず複数のウェイトに同時にTLBヒットする可能性があります。そのため、インデックスモードでは、SH=1のページは登録しないでください。複数プロセスでメモリを共有する場合は、ASIDごとに別々のページを登録するようにしてください。

TLB エントリ中のページ管理情報 (SZ, SH) によって比較対象が変化します。また、システムが多重仮想記憶モードと単一仮想記憶モードのどちらをサポートするかで、比較対象が変化します。

この場合は、ページサイズビット (SZ) によって、VPN (11-10) を比較するかが決まります。1k バイトページ (SZ = 0) のときは VPN (11-10) を比較し、4k バイトページ (SZ = 1) のときは比較しません。

共有状態ビット (SH) により、PTEH 中の ASID と TLB エントリ中の ASID とを比較するかが決まります。複数のプロセスで共有されている (SH = 1) 場合は、ASID は比較されません。共有されていない (SH = 0) 場合は、ASID を比較します。

単一仮想記憶モード (MMUCR.SV = 1) かつ、特権モード (SR.MD = 1) のときには、ASID を比較しないため、すべてのプロセスのリソースにアクセス可能となります。図 4.10 にアドレス比較対象をまとめます。

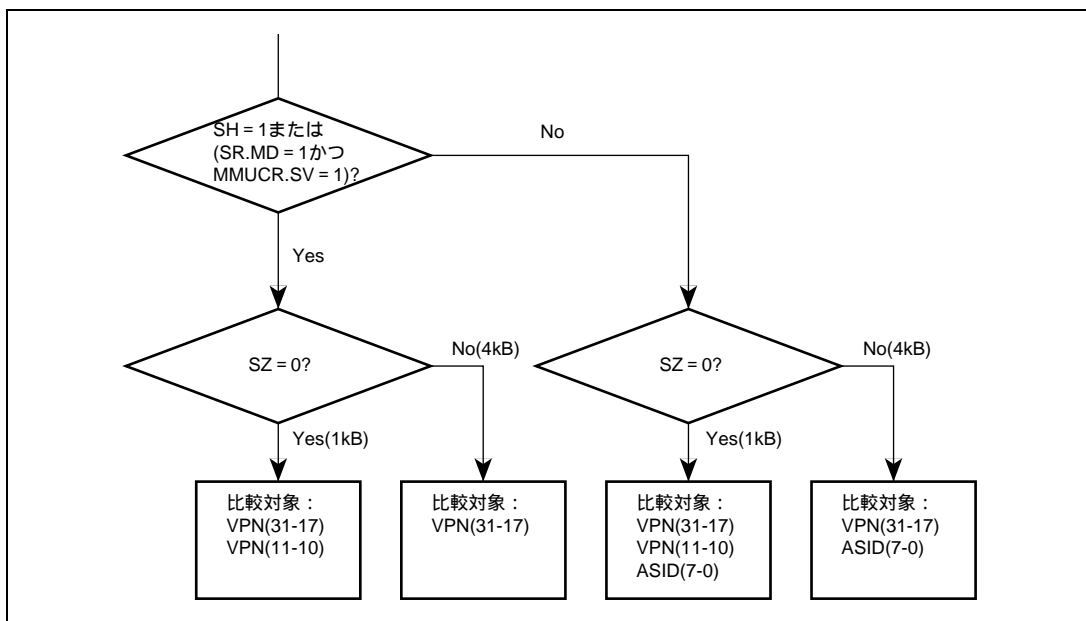


図 4.10 アドレス比較対象

#### 4.3.4 ページ管理情報

TLB エントリ中のページ管理情報には、SH と SZ ビット以外に、D、C、および PR ビットがあります。

D ビットは、エントリに対応するページがダーティであるか否かを表します。ダーティとは、そのページに対して書き込みがあったことを意味します。D ビットが 0 の状態でそのページにライトすると、初期ページ書き込み例外が発生します。たとえば、2 次記憶と主記憶間で物理ページの入れ換えをする場合には、ダーティなページを 2 次記憶に書き戻してから、そのページを主記憶からページアウトするという制御を行います。メモリ上のアドレス変換テーブルに、あるページに対する書き込みがあったことを記憶するために、初期ページ書き込み例外が利用されます。

C ビットは、エントリに対応するアクセスページをキャッシングするか否かを示します。エリア 1 の制御レジスタまたは内蔵メモリをマッピングする場合は、C ビットは 0 にしてください。

PR ビットは、特権モードおよびユーザーモードそれぞれにおける、そのページに対するアクセス権を示し、記憶保護に使用されます。アクセス権に違反するアクセスを行うと、TLB 保護違反例外が発生します。

D、C、および PR ビットによるアクセス状態を表 4.1 に示します。

表 4.1 D、C、PR ビットによるアクセス状態

		特権モード		ユーザモード	
		読み出し	書き込み	読み出し	書き込み
D ビット	0	可能	初期ページ 書き込み例外	可能	初期ページ 書き込み例外
	1	可能	可能	可能	可能
C ビット	0	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)	可能 (キャッシングなし)
	1	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)	可能 (キャッシングあり)
PR ビット	00	可能	TLB 保護違反例外	TLB 保護違反例外	TLB 保護違反例外
	01	可能	可能	TLB 保護違反例外	TLB 保護違反例外
	10	可能	TLB 保護違反例外	可能	TLB 保護違反例外
	11	可能	可能	可能	可能

## 4.4 MMU の機能

### 4.4.1 MMU のハードウェア管理

MMU のハードウェア管理には、次の 2 つがあります。

1. プロセスからアクセスされた論理アドレスをデコードし、MMUCRの設定に従いTLBを制御してアドレス変換を行います。
2. アドレス変換時にTLBからページ管理情報とヒット情報を受けて、MMU例外の判定とキャッシュをアクセスするかどうかの判定 (Cビット) を行います。この判定方法とハードウェアの処理については、「4.5 MMU 例外」を参照してください。

### 4.4.2 MMU のソフトウェア管理

MMU のソフトウェア管理には、次の 3 つがあります。

1. MMUレジスタの設定。

特にMMUCRの設定は、アドレス変換を行わないP1またはP2領域で行うようにしてください。さらにSVおよびIXビットの変更はアドレス変換方式の変更になるので、この場合はTFビットにも同時に1を書き込んでTLBのフラッシュを行うようにしてください。ATビットを0にしたMMUディスエーブルの状態ではMMU例外が発生しなくなるので、MMUを使用しないソフトウェアでは必ずディスエーブルの状態で使用してください。

## 2. TLBエントリの登録、削除、読み出し。

TLBエントリへの登録には、LDTLB命令を用いる方法とメモリ割り付けTLBに直接書き込む方法があります。TLBエントリの削除と読み出しは、メモリ割り付けTLBをアクセスすることで可能です。LDTLB命令については「4.4.3 MMUの命令 (LDTLB)」を、またメモリ割り付けTLBについては「4.6 メモリ割り付けTLBの構成」を参照してください。

## 3. MMU例外処理。

MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。詳細は、「4.5 MMU例外」を参照してください。

また、単一仮想記憶モードを使用するときは、共有状態ビット (SH) を 0 にしてすべての TLB エントリの登録をすることで、特権モードのときだけ全物理メモリへのアクセスを許可する状態を作り出すことができます。これによりプロセス間の記憶保護を強化し、特権モードにだけ特別なアクセスレベルを作り出すことが可能になります。

1kまたは4kバイトページの TLB エントリを登録することにより、シノニム問題が発生する可能性があります。「4.4.4 シノニム問題の回避」を参照してください。

### 4.4.3 MMU の命令 (LDTLB)

TLB エントリを登録する命令としては、TLB ロード命令 (LDTLB) があります。LDTLB 命令は、MMUCR の IX ビットが 0 のとき、PTEH 内で指定された VPN (16-12) をインデックス番号として、MMUCR の RC ビットで指定されたウェイの TLB エントリを PTEH と PTEL で指定した値に変更します。MMUCR の IX ビットが 1 のときは、PTEH 内で指定された VPN (16-12) と PTEH 内の ASID (4-0) の EX-OR がインデックス番号として用いられます。

図 4.11 に MMUCR の IX ビットが 0 の場合を示します。

PTEH には、MMU 例外が発生したときに、例外を発生させた論理アドレスの論理ページ番号がハードウェアにより設定されます。また、MMUCR の RC ビットには、MMU 例外ごとに規則 (「4.2.4 MMU 制御レジスタ (MMUCR)」参照) に従ってウェイが設定されます。このため、MMU 例外処理ルーチンの中では、PTEL だけを設定して LDTLB 命令を発行すれば、TLB エントリの登録が行えることになります。また、ソフトウェアにより PTEH と MMUCR の RC ビットを書き換えることで、任意の TLB エントリを書き換えることも可能です。

LDTLB 命令はアドレス変換情報を変更するため、この命令を P0、U0、および P3 領域で発行するとアドレス変換情報を壊す危険があります。必ず P1 または P2 領域で発行するようにしてください。また、P0、U0、および P3 領域のアクセスを伴う命令 (RTE 命令等) は、LDTLB 命令の 2 命令後以降に発行してください。

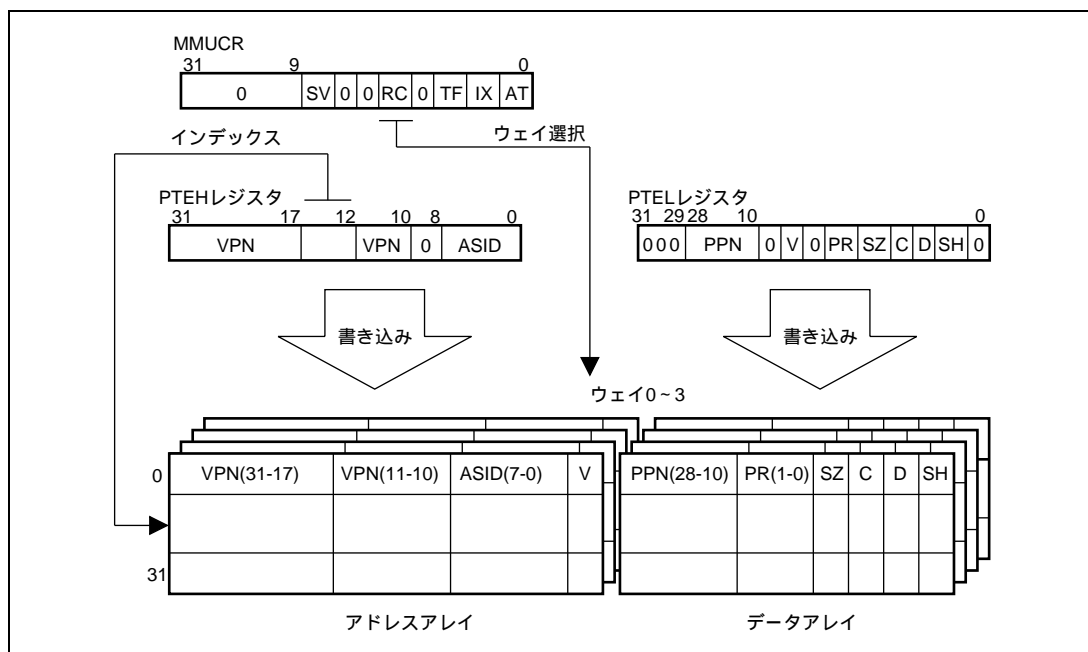


図 4.11 LDTLB 命令の動作

#### 4.4.4 シノニム問題の回避

TLB エントリに 1k または 4k バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の論理アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数エントリに同一の物理アドレスが登録されてしまい、データの一致性が保証されなくなるという問題です。この問題が発生する理由を図 4.12 を用いて説明します。ここで論理アドレスのビット  $n$  とキャッシュ容量の関係は、以下のようになります。また、キャッシュ容量が 16k バイトの場合に限り、4k バイトページではシノニム問題が発生しないことにご注意ください。

キャッシュ容量	論理アドレスのビット $n$
16k バイト	11
32k バイト	12

本 LSI のキャッシュは、高速に動作するために論理アドレス  $[n:4]$  を用いてインデックス番号の生成を行います。しかし、1k バイトページでは論理アドレスの  $[n:10]$  が、4k バイトページでは論理アドレスの  $[n:12]$  がアドレス変換の対象になります。このため変換後の物理アドレスの  $[n:10]$  と論理アドレスの  $[n:10]$  とが異なる可能性があります。

たとえば、1k バイトページの TLB エントリで

論理アドレス 1 H'0000 0000 物理アドレス H'0000 0C00

論理アドレス 2 H'0000 0C00 物理アドレス H'0000 0C00

のような変換をする2つのTLBエントリが登録されていたとします。論理アドレス1はキャッシュのエントリH'000へ登録され、論理アドレス2はキャッシュのエントリH'0C0へ登録されることになります。物理アドレスが等しいにもかかわらず、別のキャッシュエントリへ登録されるため、片方の論理アドレスへ一度でも書き込みが発生すると一貫性が保たれなくなります。

このため、TLBエントリへのアドレス変換情報の登録には、以下の制限が生じます。

1. 複数の1kバイトページのTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をTLBに登録するときは、VPN[12]は必ず等しくなるようにしてください。
2. 複数の4kバイトページのTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をTLBに登録するときは、VPN[n:12]は必ず等しくなるようにしてください。
3. 異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

上記の制限は、キャッシュを用いたアクセスを行う場合に限定されます。

【注】 将来の SuperH RISC engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理アドレスを使用する場合は、VPN[20:10]が互いに等しくなるようにすることを推奨します。

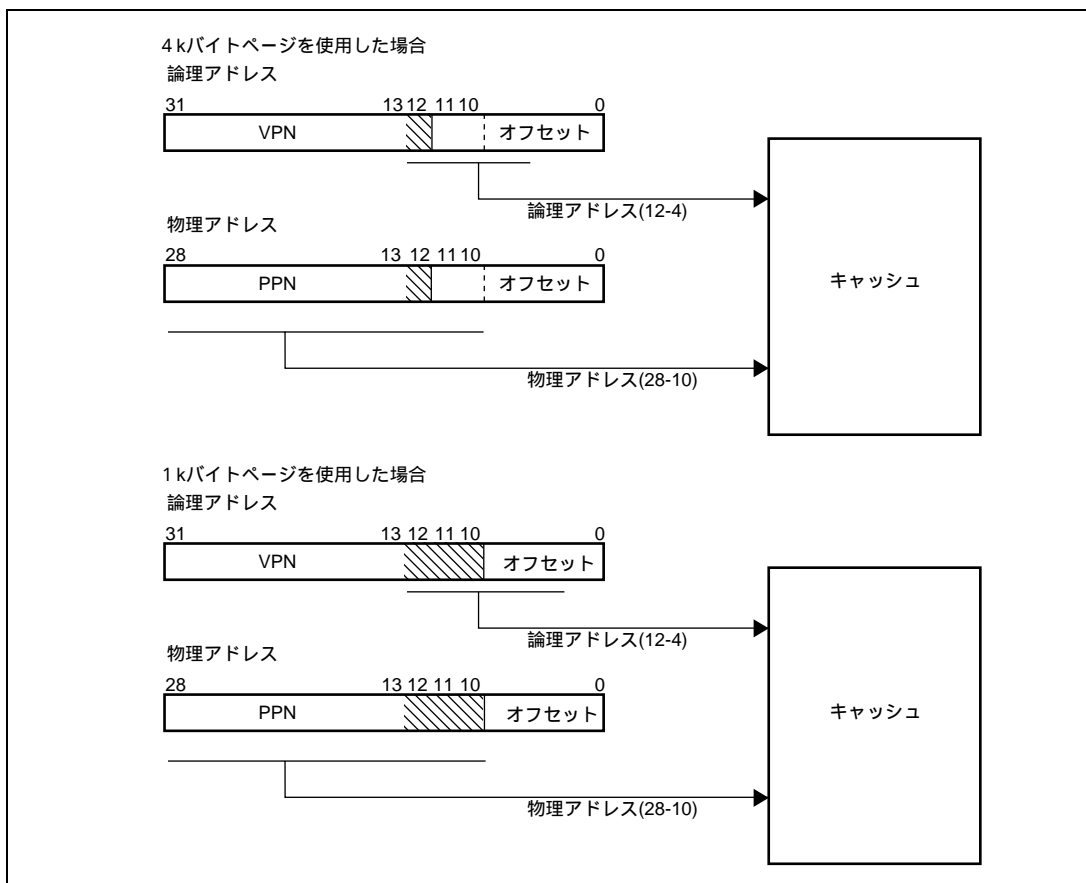


図 4.12 シノニム問題 (32kB キャッシュの場合)



## 4.5 MMU 例外

MMU のアドレス変換機構が有効な場合は、CPU アドレスエラーの判定に続いて MMU 例外の判定が行われます。MMU 例外は 4 種類定義されており、TLB ミス例外、TLB 無効例外、TLB 保護違反例外、および初期ページ書き込み例外の順番で判定が行われます。

### 4.5.1 TLB ミス例外

TLB ミス例外は、論理アドレスと選ばれたエントリのアドレスアレイとを比較して、一致するものが見つからなかった場合に発生します。TLB ミス例外のハードウェアで行われる処理とソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

TLB ミス例外のときは、ハードウェアは次の処理を行います。

1. 例外が発生した論理アドレスの論理ページ番号 (VPN) がページテーブルエントリ上位レジスタ (PTEH) に書き込まれます。
2. 例外の発生した論理アドレスが例外アドレスレジスタ (TEA) に書き込まれます。
3. 読み出しのときは例外コード H'040 が、書き込みのときは例外コード H'060 が例外事象レジスタ (EXPEVT) に書き込まれます。
4. 例外が発生した命令のアドレスを指すプログラムカウンタ (PC) の値が退避プログラムカウンタ (SPC) に書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値が SPC に書き込まれます。
5. 例外が発生したときのステータスレジスタ (SR) の内容が退避ステータスレジスタ (SSR) に書き込まれません。
6. SR のモードビット (MD) が 1 にセットされ、特権モードに切り替わります。
7. SR のブロックビット (BL) が 1 にセットされ、これ以降の例外要求がマスクされます。
8. SR のレジスタバンクビット (RB) が 1 にセットされます。
9. 例外を発生させた論理アドレスに対応する TLB エントリの全ウェイを調べ、全ウェイが有効なら MMU 制御レジスタ (MMUCR) のランダムカウンタ (RC) には 1 が加えられ、1 つ以上の無効なウェイが存在するならウェイ 0、ウェイ 1、ウェイ 2、およびウェイ 3 の順にウェイ 0 から優先的に RC へそのウェイが設定されます。
10. ベクタベースレジスタ (VBR) の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、TLB ミス例外処理ルーチンが開始されます。

- ソフトウェア処理 (TLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し必要なページテーブルエントリを割り当てるのは、ソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの物理ページ番号 (PPN)、保護キーデータ (PR)、ページサイズビット (SZ)、キャッシング可能ビット (C)、ダーティビット (D)、共有状態ビット (SH)、および有効ビット (V) の各ビットの値を、ページテーブルエントリ下位レジスタ (PTEL) に書き込みます。
2. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合は、その値をMMUCRレジスタのRCに書き込みます。
3. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令後以降にRTE命令を発行してください。

#### 4.5.2 TLB 保護違反例外

TLB 保護違反例外は、論理アドレスが選ばれた TLB エントリのアドレスアレイと比較され、その結果、アドレスが一致してエントリが有効であったにもかかわらず、実際のアクセスタイプが PR キーで指定されたアクセス権で許可されていない場合に発生します。TLB 保護違反例外のハードウェアで行われる処理とソフトウェアで行う処理は次のとおりです。

- ハードウェアの処理

TLB 保護違反例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 読み出しのときは例外コードH'0A0が、書き込みのときは例外コードH'0C0がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り替わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBビットが1にセットされます。
9. 例外が発生したウェイがMMUCRのRCにセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、TLB保護違反例外処理ルーチンが開始されます。

- ソフトウェアの処理 (TLB保護違反例外処理ルーチン)

TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB 命令の 2 命令後以降に RTE 命令を発行してください。

#### 4.5.3 TLB 無効例外

TLB 無効例外は、論理アドレスが選ばれた TLB エントリのアドレスアレイと比較され、その結果アドレスが一致してもエントリが有効でなかった (V ビットが 0) 場合に発生します。TLB 無効例外のハードウェアで行われる処理とソフトウェアで行う処理は、次のとおりです。

- ハードウェアの処理

TLB 無効例外のときは、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 読み出しのときは例外コードH'040が、書き込みのときは例外コードH'060がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り替わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBビットが1にセットされます。
9. 例外が発生したウェイ番号がMMUCRのRCに書き込まれます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、TLB保護違反例外処理ルーチンが開始されます。

- ソフトウェアの処理 (TLB無効例外処理ルーチン)

外部メモリのページテーブルを検索し必要なページテーブルエントリを割り当てるのは、ソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、Vの各ビットの値を、PTELに書き込みます。
2. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合は、その値をMMUCRレジスタのRCに書き込みます。
3. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。

- 最後にRTE命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令後以降にRTE命令に発行してください。

#### 4.5.4 初期ページ書き込み例外

初期ページ書き込み例外は、論理アドレスと TLB エントリのアドレスレイの内容を比較して一致し、エントリが有効で、書き込みアクセスのアクセス権が許されているにもかかわらず、ダーティビット (D) が 0 (未書き込みページ) の場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理とソフトウェアで行う処理は、次のとおりです。

- ハードウェアの処理

初期ページ書き込み例外のとき、ハードウェアは次のような一連の処理を実行します。

1. 例外が発生した論理アドレスのVPNがPTEHに書き込まれます。
2. 例外が発生した論理アドレスがTEAに書き込まれます。
3. 例外コードH'080がEXPEVTに書き込まれます。
4. 例外が発生した命令のアドレスを指すPCの値がSPCに書き込まれます。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値がSPCに書き込まれます。
5. 例外が発生したときのSRの内容がSSRに書き込まれます。
6. SRのMDビットが1にセットされ、特権モードに切り替わります。
7. SRのBLビットが1にセットされ、これ以降の例外要求がマスクされます。
8. SRのRBビットが1にセットされます。
9. 例外が発生したウェイがMMUCRのRCにセットされます。
10. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、ユーザが作成した初期ページ書き込み例外処理ルーチンが開始されます。

- ソフトウェアの処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. 外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、SH、およびVのビットの値を、PTELに書き込みます。
4. エントリ置き換えで置き換えられるウェイをソフトウェアで指定する場合は、その値をMMUCRのRCに書き込みます。
5. LDTLB命令を実行させ、PTEHとPTELの内容をTLBに書き込みます。
6. 最後に、RTE命令を実行させ、例外処理ルーチンを終了させてから、制御を通常の流れに戻してください。ただし、LDTLB命令の2命令後以降にRTE命令を発行してください。

#### 4.5.5 リピートループにおける MMU 例外

リピートループ中の特定の命令で CPU アドレスエラーや MMU 例外が発生すると、SPC が不正なアドレスになったり、SPC が正しくとも復帰後リピートループの実行を正しく再開できない場合があります。この場合には、特殊な例外コードを生成し、TLB ミス例外、TLB 無効例外、初期ページ書き込み例外、および CPU アドレスエラーでは H'070 が、TLB 保護違反例外では H'0D0 が EXPEVT にセットされます。また、TLB ミス例外でもベクタオフセットは、H'100 になります。詳細は「7.4.3 リピート制御中の例外」を参照してください。

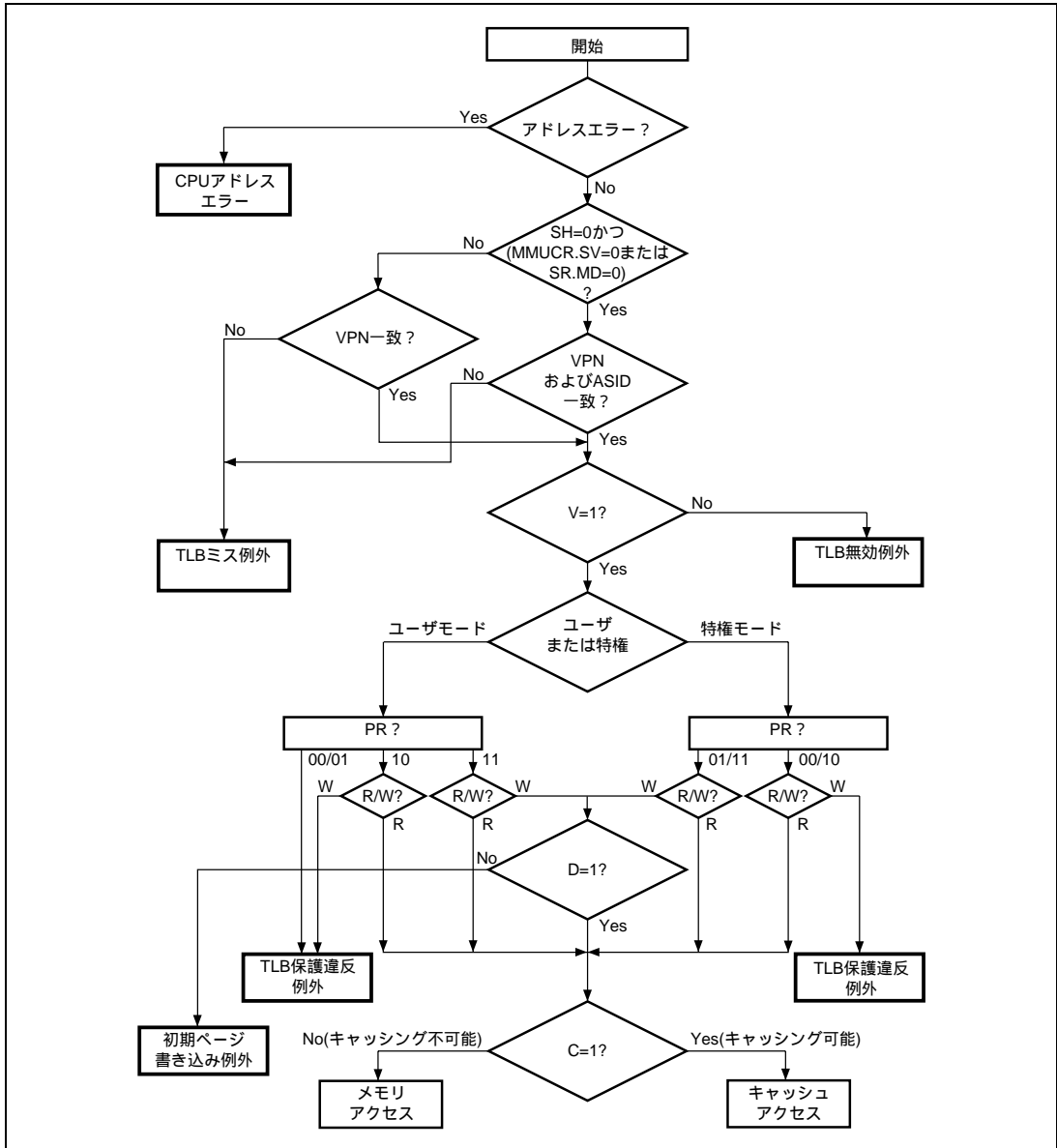


図 4.13 MMU 例外の流れ

## 4.6 メモリ割り付け TLB の構成

TLB をソフトウェアで管理するために、特権モードのときは、MOV 命令によって TLB の内容の読み出しおよび書き込みが可能です。TLB は、論理アドレス空間の P4 領域に割り付けられています。TLB のアドレスアレイ (VPN、V ビット、ASID) は H'F200 0000 ~ H'F2FF FFFF に、データアレイ (PPN、PR、SZ、C、D、SH ビット) は H'F300 0000 ~ H'F3FF FFFF に割り付けられています。ただし、アドレスアレイの V ビットは、データアレイからもアクセス可能です。アクセスサイズは、アドレスアレイおよびデータアレイともロングワードのみ可能であり、命令フェッチは行えません。

### 4.6.1 アドレスアレイ

アドレスアレイは、H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出しまたは書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V ビット、および ASID を指定します (図 4.14 (1) 参照)。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN (16-12) をアドレス部 (16-12) に、ウェイを選択するための W ビットをアドレス部 (9-8) に、アドレスアレイアクセスを示す H'F2 をアドレス部 (31-24) に指定します。インデックスアドレスとして VPN (16-12) と PTEH レジスタ内の ASID (4-0) との EX-OR をとるかどうかは、MMUCR の IX ビットに従います。

アドレスアレイに対しては、次の 2 種類の操作が可能です。

#### 1. アドレスアイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから VPN、V、および ASID ビットを読み出します。

#### 2. アドレスレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリにデータ部で指定されたデータを書き込みます。

### 4.6.2 データアレイ

TLB のデータアレイは、H'F300 0000 ~ H'F3FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出しまたは書き込み) と 32 ビットのデータ部の指定 (書き込み) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込むロングワードデータを指定します (図 4.14 (2) 参照)。ロングワードデータは、PTEL と同じビット構成です。

アドレス部には、エントリを選択するためのインデックスアドレスとして VPN (16-12) をアドレス部 (16-12) に、ウェイを選択するための W ビットをアドレス部 (9-8) に、データアレイアクセスを示す H'F3 をアドレス部 (31-24) に指定します。インデックスアドレスとして、VPN (16-12) と PTEH レジスタ内の ASID (4-0) との EX-OR をとるかどうかは、MMUCR の IX ビットに従います。

読み出しおよび書き込みのいずれの場合も、インデックスアドレスとウェイで選択されたデータアレイのロングワードデータが読み出され書き込まれます。



図 4.14 メモリ割り付けされた TLB アクセスのアドレス部、データ部指定方法



### 4.6.3 使用例

#### (1) 特定エントリの無効化

TLB の特定エントリの無効化は、そのエントリの V ビットに 0 を書き込むことで実現できます。以下の例では、R0 に書き込みデータを、R1 にアドレスを指定しています。

```
;R0 = H'1547 381C  R1 = HF201 3000
;MMUCR.IX = 0
;VPN (16-12) = B'1 0011のインデックスで選択されるエントリの、
;ウェイ0のVビットを0にして、無効化を実現する。

MOV.L  R0, @R1
```

#### (2) データアレイの読み出し

TLB の特定エントリのデータアレイを読み出す場合は、図 4.14 (2) のデータ部で示されるビット順にレジスタに読み出されます。以下の例では、R0 にアドレスを指定して、R1 に読み出しています。

```
;R0 = HF300 4300  VPN (16-12) = B'0 0100  ウェイ3

MOV.L  @R0, R1
```

## 4.7 使用上の注意事項

以下にあげる動作は、TLB ディスエーブル状態の場合に行うか、P1 あるいは P2 領域に配置したプログラムで行ってください。また、続いて P0、P3、および U0 領域へのアクセス (命令フェッチを含む) を行う場合は、これらの命令の 2 命令後以降で P0、P3、および U0 領域へのアクセスを行ってください。

1. SR.MDもしくはSR.BLの変更
2. LDTLB命令の実行
3. メモリ割付TLB書き込み
4. MMUCRの変更
5. PTEH.ASIDの変更



---

## 5. キャッシュ

---

### 5.1 特長

- 容量：16kバイトまたは32kバイトキャッシュのいずれかをレジスタにより選択可能。
- 構成：命令とデータ混在、4ウェイセットアソシアティブ。
- ロック機能：ウェイ2およびウェイ3はロック可能。
- ラインサイズ：16バイト。
- エントリ数：16kバイトモード時は256エントリ/ウェイ、32kバイトモード時は512エントリ/ウェイ
- ライト方式：領域グループごとにライトバック方式とライトスルー方式から選択可能。  
グループ1 (P0、P3、U0領域)  
グループ2 (P1領域)
- 置換方式：LRU置換アルゴリズムを採用。

【注】 パワーオンリセットまたはマニュアルリセット後の初期状態は、16kバイトモード(256エントリ/ウェイ)になります。

#### 5.1.1 キャッシュの構成

キャッシュは、命令とデータ混在型の4ウェイセットアソシアティブ方式です。4つのウェイ(バンク)で構成され、おのおののウェイは、アドレスとデータに分かれています。以下16kバイトモード時を例に説明します。他のキャッシュ容量のモードの場合は、表5.1のように読み換えてください。

アドレスとデータは、おのおの256のエントリで構成されます。エントリのデータをラインとよびます。1ラインは、16バイト(4バイト×4)です。1ウェイ当たりのデータ容量は、4kバイト(16バイト×256エントリ)で、キャッシュ全体(4ウェイ)では16kバイトの容量となります。

表 5.1 キャッシュ容量ごとのエントリ数と1ウェイ当たりの容量

キャッシュ容量	エントリ数	容量/ウェイ
16kバイト	256	4kバイト
32kバイト	512	8kバイト

キャッシュの構成を図 5.1 に示します。

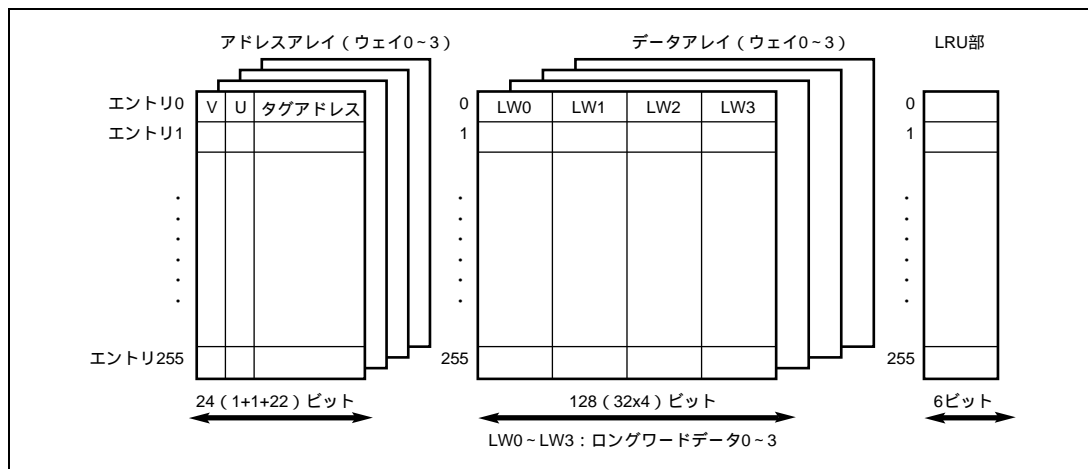


図 5.1 キャッシュの構成

#### (1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを表します。V ビットが 1 で有効を、0 で無効を表します。

U ビットは、ライトバックモードでそのエントリに書き込みがあったことを表します。U ビットが 1 で書き込みありを、0 で書き込みなしを表します。

タグアドレスは、外部メモリのアクセスに使用される物理アドレスを保持します。キャッシュ検索時の比較に使用される 22 ビット (アドレス 31 ~ 10) からなります。

本 LSI では、物理アドレス 32 ビットの上位 3 ビットをシャドウとして利用するため、タグアドレスの上位 3 ビットに 0 が入ります (「第 9 章 バスステートコントローラ (BSC)」参照)。

V および U ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットでは初期化されません。タグアドレスは、パワーオンリセットおよびマニュアルリセットでは初期化されません。

#### (2) データアレイ

データアレイは、16 バイトの命令またはデータを保持します。キャッシュへのエントリの登録は、ライン単位 (16 バイト単位) で行います。

データアレイは、パワーオンリセットおよびマニュアルリセットで初期化されません。

#### (3) LRU (Least Recently Used)

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令とデータを 4 つまでキャッシュに登録できます。エントリを登録するとき、4 つのウェイのうち、どのウェイに登録するかを LRU ビットで表します。LRU ビットは、6 ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶ LRU アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6 ビットの LRU ビットによって指定されます。キャッシュ

ロック機能を使用しない場合の LRU ビットとリプレースされるウェイの関係を表 5.2 に示します (キャッシュロック機能を使用する場合には、「5.2.2 キャッシュ制御レジスタ 2 (CCR2)」を参照してください)。表 5.2 に示した以外の LRU ビットをソフトウェアで指定した場合は、キャッシュは正しく動作しません。LRU ビットをソフトウェアで変更するときは、表 5.2 に示すパターンを設定してください。

LRU ビットは、パワーオンリセットで H'000000 に初期化されますが、マニュアルリセットでは初期化されません。

表 5.2 LRU ビットと置き換えられるウェイ (キャッシュロック機能を使用しない場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

## 5.2 レジスタの説明

キャッシュには以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照ください。

- キャッシュ制御レジスタ 1 (CCR1)
- キャッシュ制御レジスタ 2 (CCR2)
- キャッシュ制御レジスタ 3 (CCR3)

### 5.2.1 キャッシュ制御レジスタ 1 (CCR1)

キャッシュは、CCR1 の CE ビットでイネーブルまたはディスエーブルを指定します。また、CCR1 には、キャッシュの全エントリの無効化を制御する CF ビット、ライトスルーモードとライトバックモードを切り替える WT ビット、および CB ビットがあります。CCR1 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	CF	0	R/W	キャッシュフラッシュ 1 を書き込むと、キャッシュの全エントリの V、U、および LRU ビットを 0 にクリア (フラッシュ) します。読み出すと 0 が読み出されます。フラッシュの際は、外部メモリへの書き戻しは行いません。
2	CB	0	R/W	ライトバック P1 領域のライトバックまたはライトスルーの切り替え 0: ライトスルーモード 1: ライトバックモード

ビット	ビット名	初期値	R/W	説明
1	WT	0	R/W	ライトスルー P0、U0、および P3 領域のライトバックまたはライトスルーの切り替え 0: ライトバックモード 1: ライトスルーモード
0	CE	0	R/W	キャッシュ有効 キャッシュ機能を使用するかどうかを表します。 0: 使用しない 1: 使用する

### 5.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 は、キャッシュロック機能を制御するレジスタです。キャッシュロック機能は、キャッシュロックモード時のみ有効です。キャッシュロックモードとは、CPU の SR レジスタ (ステータスレジスタ) の DSP ビット (ビット 12) = 1 または CCR2 のロックイネーブルビット (ビット 16) = 1 の状態を言います。非キャッシュロックモードでは、キャッシュロック機能は無効です。

キャッシュロックモード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合は、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は、表 5.3 に示すとおりです。一方、プリフェッチ命令を実行しキャッシュヒットした場合は、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば、Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態において、キャッシュロックモードで、W3LOAD = 1 かつ W3LOCK = 1 と設定し、プリフェッチ命令を実行した場合は、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時の、プリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、および W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は、表 5.4 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
16	LE	0	R/W	ロックイネーブル (LE) キャッシュロックモードの制御をします。 0: SR.DSP = 1 のとき、キャッシュロックモードになります。 1: SR.DSP の値によらず、キャッシュロックモードになります。
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	W3LOAD	0	R/W	ウェイ 3 ロード (W3LOAD) ウェイ 3 ロック (W3LOCK) W3LOCK = 1、W3LOAD = 1、かつキャッシュロックモードの場合は、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 3 に読み込まれます。その他のすべての条件では、プリフェッチしたデータは LRU の示すウェイに読み込まれます。
8	W3LOCK	0	R/W	
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	W2LOAD	0	R/W	ウェイ 2 ロード (W2LOAD) ウェイ 2 ロック (W2LOCK) W2LOCK = 1、W2LOAD = 1、かつキャッシュロックモードの場合は、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 2 に読み込まれます。その他のすべての条件では、プリフェッチしたデータは LRU の示すウェイに読み込まれます。
0	W2LOCK	0	R/W	

【注】 W2LOAD および W3LOAD は、同時に 1 にセットしないでください。

表 5.3 PREF 命令がキャッシュミスした場合に置き換えられるウェイ

キャッシュ ロックモード	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 5.2)
1	*	0	*	0	LRU に従う (表 5.2)
1	*	0	0	1	LRU に従う (表 5.5)
1	0	1	*	0	LRU に従う (表 5.6)
1	0	1	0	1	LRU に従う (表 5.7)
1	0	*	1	1	ウェイ 2
1	1	1	0	*	ウェイ 3

【注】 \* : Don't care

W3LOAD = 1 かつ W2LOAD = 1 には、設定しないでください

表 5.4 PREF 命令以外がキャッシュミスした場合に置き換えられるウェイ

キャッシュ ロックモード	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 5.2)
1	*	0	*	0	LRU に従う (表 5.2)
1	*	0	*	1	LRU に従う (表 5.5)
1	*	1	*	0	LRU に従う (表 5.6)
1	*	1	*	1	LRU に従う (表 5.7)

【注】 \* : Don't care

W3LOAD = 1 かつ W2LOAD = 1 には、設定しないでください

表 5.5 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 0 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 5.6 LRU ビットと置き換えられるウェイ (W2LOCK = 0 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 5.7 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

### 5.2.3 キャッシュ制御レジスタ 3 (CCR3)

CCR3 は、使用されるキャッシュの容量を制御するレジスタです。LSI に搭載されるキャッシュ容量以下の値を設定してください。それを超える値を設定した場合の動作は、保証されません。CCR3 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。また、CCR3 の内容を変更後に、キャッシュにアクセスする前に CCR1 の CF ビットに 1 を書き込み、全エントリの無効化を行ってください。

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23~16	CSIZE7~ CSIZE0	H'01	R/W	キャッシュ容量 0000 0001 : 16k バイトキャッシュ 0000 0010 : 32k バイトキャッシュ 上記以外は、設定禁止です。
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。



## 5.3 動作説明

### 5.3.1 キャッシュの検索

キャッシュがイネーブルのとき (CCR1 レジスタの CE ビット = 1)、P0、P1、P3、および U0 領域の命令またはデータにアクセスすると、キャッシュが検索され、目的の命令またはデータがキャッシュに存在するか調べられます。キャッシュの検索方法の概念図を図 5.2 に示します。キャッシュは物理キャッシュで、タグアドレスには、物理アドレスを保持します。以下 16k バイトモード時を例に説明します。

メモリへのアクセスアドレス (論理) のビット 11~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。タグアドレスの読み出しと平行して、MMU で論理アドレスを物理アドレスに変換します。変換後の物理アドレスと、アドレスから読み出した物理アドレス (タグアドレス) を比較します。アドレスの比較は、4 ウェイとも行います。比較の結果一致しており、かつ、比較されたエントリが有効である (V=1) 場合には、キャッシュヒットとなります。それ以外の場合は、キャッシュミスとなります。ウェイ 1 がヒットした場合を図 5.2 に示します。

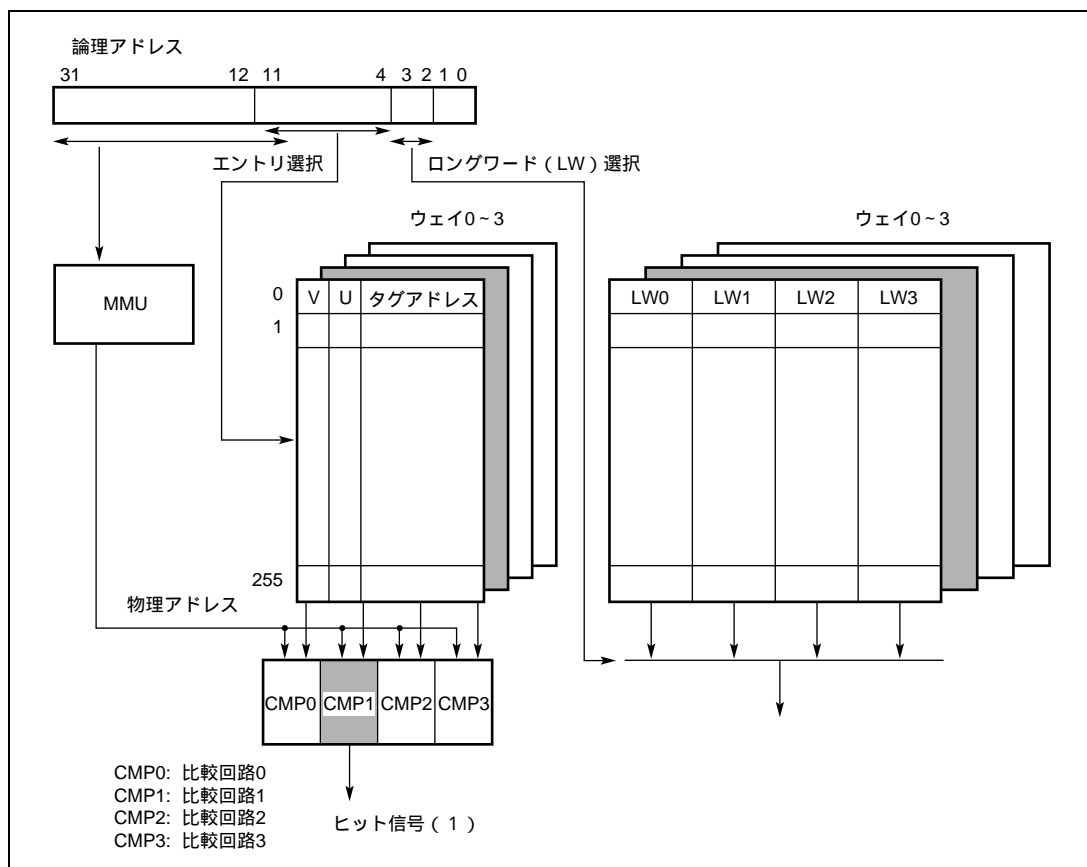


図 5.2 キャッシュの検索方法

### 5.3.2 リード動作

#### (1) リードヒット

キャッシュから CPU に命令またはデータが転送されます。ヒットしたウェイが最新となるように、LRU が更新されます。

#### (2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは、表 5.4 に従います。エントリの更新の単位は、16 バイトです。外部メモリから目的の命令またはデータがキャッシュに登録されると同時に、CPU にその命令またはデータが転送されます。キャッシュに登録されるときに、U ビットが 0 に、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

### 5.3.3 プリフェッチ動作

#### (1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は、変更されません。CPU への命令またはデータの転送は、行われません。

#### (2) プリフェッチミス

CPU への命令またはデータの転送が行われず、置換するウェイは表 5.3 に従います。その他の動作はリードミスの場合と同じです。

### 5.3.4 ライト動作

#### (1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

## (2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは、表 5.4 に従います。エントリの更新によって置き換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュにデータがライトされ、U ビットが 1 にセットされ、かつ V ビットも 1 にセットされます。置換したウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後は、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

### 5.3.5 ライトバックバッファ

ライトバックモードで置き換えられるエントリの U ビットが 1 のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置き換えられるエントリをまずライトバックバッファに転送し、キャッシュへ新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後は、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファは、キャッシュの 1 ライン分のデータ (16 バイト) とその物理アドレスを保持可能です。ライトバックバッファの構成を図 5.3 に示します。

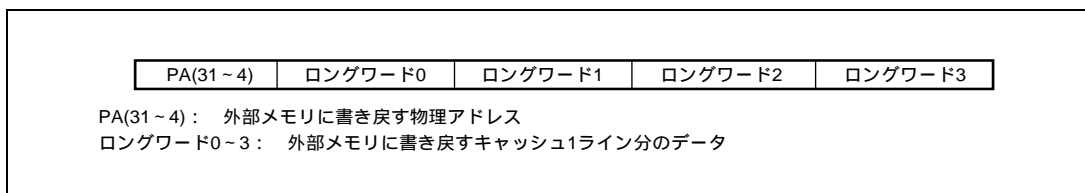


図 5.3 ライトバックバッファの構成

### 5.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシは、ソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシングするアドレス空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本 LSI 内の CPU と DMAC との共有メモリについても同様に行ってください。

## 5.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、特権モードにおいて、MOV 命令により、キャッシュの内容の読み出し、および書き込みが可能です。キャッシュは、論理アドレス空間の P4 領域に割り付けられています。アドレスアレイは H'F000 0000 ~ H'F0FF FFFF に、データアレイは H'F100 0000 ~ H'F1FF FFFF に割り付けられています。アドレスアレイおよびデータアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

### 5.4.1 アドレスアレイ

アドレスアレイは、H'F0000000 ~ H'F0FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレスの指定（読み出しまたは書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはアドレスアレイに書き込むタグアドレス、V ビット、U ビットおよび LRU ビットを指定します。

アドレスには、エントリを選択するためのエントリアドレス、ウェイを選択するための W、連想動作の有無を指定する A、およびアドレスアレイアクセスを示す H'F0 を指定します。W は、B'00 がウェイ 0 を、B'01 がウェイ 1 を、B'10 がウェイ 2 を、B'11 がウェイ 3 を表します。

データには、タグアドレス、LRU ビット、U ビット、および V ビットを指定します。

16k バイトモード時のアドレスおよびデータのフォーマットについては、図 5.4 を参照してください。他のキャッシュ容量のモードについては、エントリアドレスと W を表 5.8 のように読み換えてください。

アドレスアレイに対しては、次の 3 種類の操作が可能です。

#### (1) アドレスアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビット、および V ビットを読み出します。リードの場合は、アドレスに指定される連想ビット (A ビット) は 1 でも 0 でも連想動作は行いません。

#### (2) アドレスアレイライト (連想なし)

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビット、および V ビットを書き込みます。アドレスの連想ビット (A ビット) は、0 にしてください。書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合は、そのキャッシュラインの書き戻しを行った後に、データで指定されたタグアドレス、LRU ビット、U ビット、および V ビットを書き込みます。タグアドレスの上位 3 ビット (ビット 31 ~ 29) には、常に 0 を指定してください。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

### (3) アドレスアレイライト (連想あり)

アドレスの連想ビット (A ビット) を 1 にしてライトした場合は、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。このとき、MMU がイネーブ  
ルならデータで指定された論理アドレスを TLB を用い物理アドレスに変換してから一致判定を行います。一致判  
定の結果ヒットしたウェイに対して、データで指定された U ビットと V ビットをエントリに書き込みます。ただ  
し、タグアドレスと LRU ビットは、変更されません。アドレス変換の際に TLB にミスした場合や、どのウェイ  
にもヒットしなかった場合は、書き込みを行わずノーオペレーションとなります。本動作は、キャッシュの特定  
エントリの無効化に用いられます。このときヒットしたエントリの U ビットが 1 だった場合は、書き戻しが発生  
します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

## 5.4.2 データアレイ

データアレイは、H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには、32 ビッ  
トのアドレスの指定 (読み出しまたは書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アド  
レスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワー  
ドデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1 ライン (16 バイト) 中のロングワード位置を示  
す L、ウェイを指定するための W、およびデータアレイアクセスを示す H'F1 を指定します。L は、B'00 がロング  
ワード 0 を、B'01 がロングワード 1 を、B'10 がロングワード 2 を、B'11 がロングワード 3 を表します。W は、B'00  
がウェイ 0 を、B'01 がウェイ 1 を、B'10 がウェイ 2 を、B'11 がウェイ 3 を表します。アクセスはロングワードサ  
イズ固定なので、アドレスのビット 1~0 には B'00 を指定してください。

16k バイトモード時のアドレスおよびデータのフォーマットについては、図 5.4 を参照してください。他のキャ  
ッシュ容量のモードについては、エントリアドレスと W を表 5.8 のように読み換えてください。

データアレイに対しては、次の 2 種類の操作が可能です。なお、この操作によってアドレスアレイの情報の変  
更されることはありません。

### (1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスの L で指定されたデ  
ータを読み出します。

### (2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスの L で指定された  
位置に、データで指定されたロングワードデータを書き込みます。

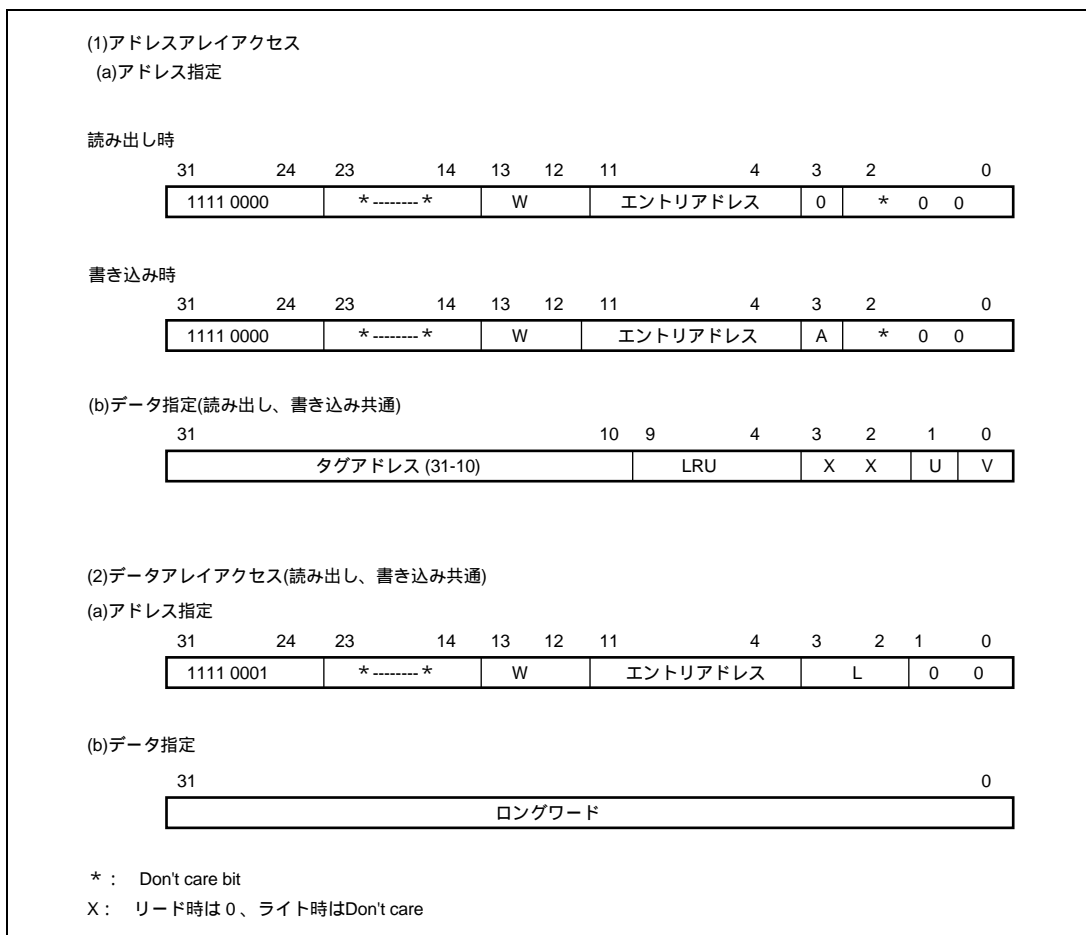


図 5.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法 (16k バイトモード時)

表 5.8 メモリ割り付けキャッシュ容量別アドレスフォーマット

容量	エントリアドレスビット	W ビット
16k バイト	11 ~ 4	13 ~ 12
32k バイト	12 ~ 4	14 ~ 13

### 5.4.3 使用例

#### (1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリのVビットに0を書き込むことで実現できます。Aビットを1とし、書き込みデータで指定されるタグアドレスをエントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときにそのエントリのUビットが1だった場合はそのエントリがライトバックされ、書き込みデータで指定されたVビットおよびUビットを書き込みます。一致しない場合は、ノーオペレーションです。

以下に、R0に書き込みデータを、R1にアドレスを指定した場合の例を示します。

```
; R0 = H'0110 0010; VPN = B'0000 0001 0001 0000 0000 00, U = 0, V = 0
; R1 = HF000 0088; アドレスアレイアクセス、エントリ = B'00001000、A = 1
;
MOV.L   R0, @R1
```

#### (2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図 5.4 のデータアレイのデータ部に示されるロングワードが、レジスタに読み出されます。

以下に、R0にアドレスを指定し、R1に読み出す例を示します。

```
; R0 = HF100 004C; データアレイアクセス、エントリ = B'00000100、
; ウェイ = 0、ロングワードアドレス = 3
;
MOV.L   @R0, R1 ; ロングワード 3 が読み出されます。
```





## 6. X/Y メモリ

本 LSI は、X/Y メモリモジュールを内蔵しており、命令やデータを格納することができます。

### 6.1 特長

- ページ：  
Xメモリが2ページ（ページ0および1）とYメモリが2ページ（ページ0および1）の合計4ページが存在します。
- メモリマップ：  
本メモリは、論理アドレス空間、物理アドレス空間、およびXバスとYバスのアドレス空間にそれぞれ配置されています。  
論理アドレス空間内では、表6.1に示されるアドレスに配置されます。これらのアドレスは、CPUの動作モードによって、P2（SR.MD = 1の場合）、あるいはU<sub>xy</sub>（SR.MD = 0かつSR.DSP = 1の場合）と呼ばれる領域に含まれています。

表 6.1 X/Y メモリ論理アドレス

ページ	メモリサイズ（4 ページ合計）16k バイト
Xメモリ ページ0	H'A5007000 ~H'A5007FFF
Xメモリ ページ1	H'A5008000 ~H'A5008FFF
Yメモリ ページ0	H'A5017000 ~H'A5017FFF
Yメモリ ページ1	H'A5018000 ~H'A5018FFF

一方、物理アドレス空間内では、エリア1の一部に配置されています。物理アドレス空間からアクセスを行う場合は、表6.1に示すアドレスの上位3ビットを0としたアドレスを使用し、XバスとYバスのアドレス空間では表6.1に示すXメモリとYメモリのアドレスのそれぞれ上位16ビットを無視したアドレスを使用します。

- ポート：  
各ページは、3本の独立した読み出しまたは書き込みのポートを持ち、各バスと接続されています。XメモリはIバス、Xバス、およびLバスと、YメモリはIバス、Yバス、およびLバスと接続されています。論理アドレス空間からのアクセスにはLバス、物理アドレス空間からのアクセスにはIバス、XバスとYバスのアドレス空間からのアクセスにはXバスとYバスが使用されます。

- 優先順位：

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は、高い順にXメモリではIバス、Xバス、Lバスとなり、YメモリではIバス、Yバス、Lバスとなります。

## 6.2 動作説明

### 6.2.1 CPU からのアクセス

CPU からのアクセス手段として、論理アドレスによりLバスから直接アクセスを行う方法と、MMU を用いて物理アドレスに変換後Iバスからアクセスを行う方法があります。Lバスからのアクセスは、ページ競合が発生しないかぎり1サイクルアクセスになります。Iバスからのアクセスは、複数サイクル必要となります。CPU の動作モードに応じてそれぞれ以下ようになります。

(1) 特権モードおよび特権 DSP モード (SR.MD=1)

このモードでは、P2 領域から直接アクセスすることができます。また、MMU を使用して P0 および P3 領域の論理アドレスを本メモリへマッピングすることができます。

(2) ユーザ DSP モード (SR.MD=0 かつ SR.DSP=1)

このモードでは、Uxy 領域から直接アクセスすることができます。また、MMU を使用して U0 領域の論理アドレスを本メモリへマッピングすることができます。

(3) ユーザモード (SR.MD=0 かつ SR.DSP=0)

このモードでは、MMU を使用して U0 領域の論理アドレスを本メモリへマッピングすることができます。

### 6.2.2 DSP からのアクセス

DSP からのアクセスは、命令の種類によりアクセス方法が異なります。

X データ転送命令および Y データ転送命令は、常に X バスおよび Y バスからのアクセスになります。この場合は、ページ競合が発生しないかぎり1サイクルアクセスになります。また、X バスからの X メモリアクセスと、Y バスからの Y メモリアクセスは、同時に行うことができます。

シングルデータ転送命令は、アクセス手段として、論理アドレスによりLバスから直接アクセスを行う方法と、MMU を用いて物理アドレスに変換後Iバスからアクセスを行う方法があります。Lバスからのアクセスは、ページ競合が発生しないかぎり1サイクルアクセスになります。Iバスからのアクセスは、複数サイクル必要となります。CPU の動作モードに応じてそれぞれ以下ようになります。

(1) 特権 DSP モード (SR.MD=1 かつ SR.DSP=1)

このモードでは、P2 領域から直接アクセスすることができます。また、MMU を使用して P0 および P3 領域の論理アドレスを本メモリへマッピングすることができます。

## (2) ユーザ DSP モード (SR.MD=0 かつ SR.DSP=1)

このモードでは、U<sub>xy</sub> 領域から直接アクセスすることができます。また、MMU を使用して U0 領域の論理アドレスを本メモリへマッピングすることができます。

### 6.2.3 I バスマスタモジュールからのアクセス

I バスマスタモジュール (DMAC、USB ホスト) からの本メモリへのアクセスは、常に物理アドレスバスである I バスからのアクセスとなります。表 6.1 に示すアドレスの上位 3 ビットを 0 としたアドレスを使用してください。

## 6.3 使用上の注意事項

### 6.3.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起らないようにソフトウェアでの対策を推奨します。たとえば、各バスごとに異なるメモリや異なるページをアクセスすれば競合は発生しません。

### 6.3.2 バス競合

I バスは、複数のバスマスタモジュールによる共有バスです。このため、I バス経由のアクセスは、I バス上で他の I バスマスタモジュールとの間でバス競合が発生する場合があります。バス競合が発生するとメモリアccessの性能低下を招きますので、できるだけ競合が起らないようにソフトウェアでの対策を推奨します。たとえば、CPU による本メモリアccessでは、I バス経由を避け P2 領域または U<sub>xy</sub> 領域から直接アクセスすることによって I バス上での競合を回避できます。

### 6.3.3 MMU、キャッシュの設定

CPU と DSP からキャッシュを利用して I バス経由で本メモリにアクセスした場合には、動作を保証しません。キャッシュを有効 (CCR1.CE=1) にして使用する場合には、P2 または U<sub>xy</sub> 領域から L バス経由でアクセスするか P0、P3、U0 領域からのアクセスでは MMU を有効 (MMUCR.AT=1) にして、ページ属性にキャッシュ不可 (C ビット=0) を設定し、キャッシュを利用しない I バス経由のアクセスとして使用してください。ただし、I バス経由のアクセスは、複数サイクル数必要になります (必要なサイクル数は、内部クロック (I ) とバスクロック (B ) の比や DMAC の動作状態などにより変化します)。高い性能が必要なプログラムでは、P2 または U<sub>xy</sub> 領域からアクセスすることを推奨します。以上の関係を表 6.2 にまとめます。

表 6.2 MMU、キャッシュの設定

設定		論理アドレス領域とアクセスの可否			
CCR1.CE	MMUCR.AT	P0、U0	P1	P2、U <sub>xy</sub>	P3
0	0				
0	1				
1	0	x	x		x
1	1		x		

- 【注】 : 可 (推奨)  
 : 可  
 : 可 (ただし、MMU のページ属性を C ビット=0 に設定すること)  
 x : 不可

### 6.3.4 スリープモード

スリープモード中は、DMAC などの I バスマスタモジュールから本メモリへのアクセスは行えません。

---

## 7. 例外処理

---

例外処理とは、通常のプログラムの処理から離れて、通常とは異なる処理をすることをいいます。たとえば、定義されていない命令コードを実行しようとしたり、CPU の処理モードによって保護されている命令を実行しようとした場合に、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するなどの制御が必要になります。また、LSI に内蔵されたモジュールや LSI 外部に接続されたモジュールから CPU に対して要求された処理の制御が必要になる場合もあります。

このような機能をサポートするために、ユーザが作成した例外処理ルーチンに制御を移し、その処置をすることを例外処理と呼びます。本 LSI では、例外処理の要求を一般例外および割り込みの 2 種類に分類して処理します。ユーザは、例外処理の要求に応じた例外処理ルーチンを配置することで、必要な処理を実行した後、元のプログラムの実行を再開することができます。

リセットの入力も、通常のプログラムの実行を中断して、レジスタの初期化を行った後にリセットベクタへ制御の流れを移します。この動作も例外処理の一つとみなすことができます。本章では、その動作を概説します。ただし、本章での「例外処理」とは、一般例外および割り込みに対する処理を表します。

また、本章では、割り込みに関しては割り込み要求に対する処理のみを記述しています。割り込み要求の発生方法に関しては、「第 8 章 割り込みコントローラ (INTC)」を参照してください。

### 7.1 レジスタの説明

例外処理で使用するレジスタには、以下の 5 つがあります。初期値が不定のレジスタは、ソフトウェアにより初期化してください。これらのレジスタのアドレスおよびアクセスサイズについては、「第 37 章 レジスタ一覧」を参照してください。

- TRAPA例外レジスタ (TRA)
- 例外事象レジスタ (EXPEVT)
- 割り込み事象レジスタ (INTEVT)
- 割り込み事象レジスタ2 (INTEVT2)
- 例外アドレスレジスタ (TEA)

各レジスタのビット構成を図 7.1 に示します。

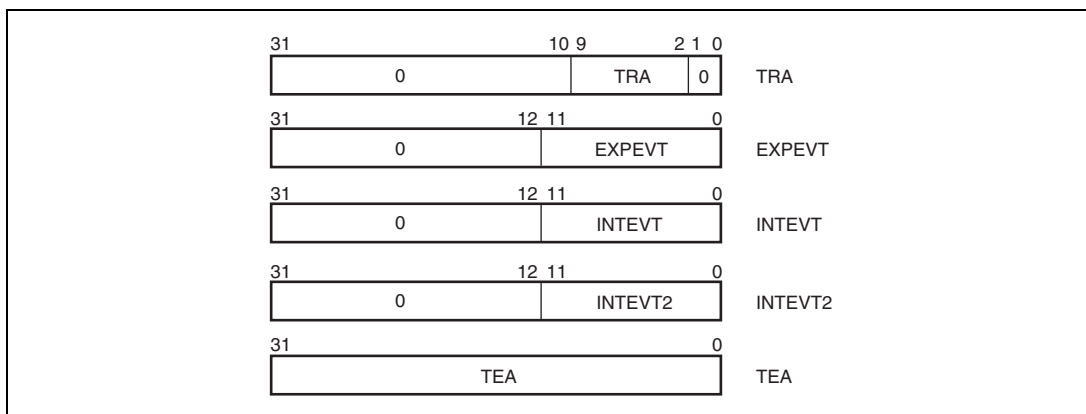


図 7.1 レジスタのビット構成

### 7.1.1 TRAPA 例外レジスタ (TRA)

TRA は、H'FFFF FFD0 番地に配置されていて、TRAPA 命令の 8 ビットイミディエイトデータ (imm) から構成されています。TRA は、TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA は、ソフトウェアからも変更が可能です。ビット 9~2 のみが書き換えできます。

ビット	ビット名	初期値	R/W	説明
31~10	-	-	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9~2	TRA	-	R/W	8 ビットイミディエイトデータ
1	-	-	R	リザーブビット
0	-	-	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

### 7.1.2 例外事象レジスタ (EXPEVT)

EXPEVT は、H'FFFF FFD4 番地に配置されていて、例外コード 12 ビットから構成されています。EXPEVT に設置される例外コードは、リセットと一般例外事象による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。EXPEVT は、ソフトウェアからも変更が可能です。ビット 11~ビット 0 のみが書き換えできます。

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	EXPEVT	*	R/W	12 ビットの例外コード

【注】 \* パワーオンリセット時には H'000 が、マニュアルリセット時には H'020 が設定されます。

### 7.1.3 割り込み事象レジスタ (INTEVT)

INTEVT は、H'FFFFFFD8 番地に配置されていて、例外コードまたは割り込み優先順位を示すコードを格納します。割り込み発生により、どちらがセットされるかは、割り込み要因によって異なります。(詳細は、「8.4.6 割り込み例外処理および優先順位」を参照)。例外コードおよび割り込み優先順位コードは、例外発生時にハードウェアにより自動的に設定されます。INTEVT は、ソフトウェアからも変更が可能ですが、ビット 11～ビット 0 のみが書き換えできます。

ビット	ビット名	初期値	R/W	説明
31～12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11～0	INTEVT	-	R/W	12 ビットの割り込み要求による例外コード

### 7.1.4 割り込み事象レジスタ 2 (INTEVT2)

INTEVT2 は、H'A4000000 番地に配置されていて、例外コード 12 ビットから構成されています。INTEVT2 に設定される例外コードは、割り込み要求による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。INTEVT2 は、ソフトウェアからは変更できません。

ビット	ビット名	初期値	R/W	説明
31～12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11～0	INTEVT2	-	R	12 ビットの割り込み要求による例外コード

### 7.1.5 例外アドレスレジスタ (TEA)

TEA は、H'FFFFFFFC 番地に配置されていて、メモリアクセスに関連した例外が発生した際に、例外を発生させた論理アドレスが格納されます。TEA は、ソフトウェアからも変更できます。

ビット	ビット名	初期値	R/W	説明
31～0	TEA	0	R/W	例外を発生させた論理アドレス

## 7.2 例外処理の機能

### 7.2.1 例外処理の流れ

例外処理では、例外処理の後に復帰すべきアドレスおよびステータスレジスタ（SR）の内容をそれぞれ退避プログラムカウンタ（SPC）および退避ステータスレジスタ（SSR）に退避し、ベクタアドレスに従って対応する例外処理ルーチンに制御を渡し、実行します。例外発生時の状態に復帰する場合は、例外処理ルーチンで復帰命令（RTE）を実行します。これにより SSR の内容が SR に回復され、例外発生時の状態に戻り、その後 SPC に待避されたアドレスに制御を移します。基本的な例外処理の流れは、次のとおりです。

例外要求が発生し、CPU がそれを受け付けると、次の 1～8 が実行されます。

1. 例外処理の後に、復帰すべき命令のアドレスが SPC に退避されます。
2. SR の内容が、SSR に退避されます。
3. SR のブロックビット（BL）が 1 に設定され、後続の例外要求がマスクされます。
4. SR のモードビット（MD）が 1 に設定され、特権モードに切り替わります。
5. SR のレジスタバンクビット（RB）が 1 に設定されます。
6. 例外要因が一般例外の場合は、要因の例外コードが EXPEVT に、例外要因が割り込みの場合は要因の例外コードが INTEVT および INTEVT2 に書き込まれます。
7. TRAPA 命令を実行した場合は、TRA に TRAPA 命令で指定した 8 ビットイミディエイト値が設定されます。また、メモリアクセスに関する例外の場合は、TEA に例外を発生した論理アドレスが書き込まれます\*<sup>1</sup>。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンの命令が実行されます。

1～8 は連続して行われ、後述の多重例外受け付けの場合を除き、この期間で別の例外を受け付けることはありません。

一般例外の例外処理ルーチンでは EXPEVT の値から、割り込み処理の例外処理ルーチンでは INTEVT または INTEVT2 の値から例外要因を判定し、必要な例外処理を行ってください。例外処理ルーチンの処理が終了すると、RTE 命令を実行することでプログラムの実行を再開できます。RTE 命令では、次の 1～3 が実行されます。

1. SSR に待避された内容を SR に回復し、例外処理前の処理状態に戻ります。
2. RTE 命令の遅延スロットの命令を実行します。\*<sup>2</sup>
3. SPC に待避されたアドレスへ制御を移します。

1～3 は連続して行われ、この期間で別の例外を受け付けることはありません。また、RTE 命令の実行前に SPC や SSR を操作することで、例外処理前とは異なった状態に復帰することもできます。

【注】 \*1 MMU 例外が生じた場合は、MMU 内のレジスタも更新されます。

\*2 RTE 遅延スロット命令が実行される CPU 処理モードに関しては、「7.5 使用上の注意事項」を参照してください。



### 7.2.2 例外処理ベクタアドレス

一般例外の割り込みのベクタアドレスは、ベクタベースアドレスにベクタオフセットの値を加えた値で決めます。一般例外のベクタオフセットは、TLB ミス例外以外 H'0000 0100 です。割り込みのベクタアドレスのオフセットは、H'0000 0600 です。ベクタベースアドレスは、ベクタベースレジスタ (VBR) にソフトウェアで設定します。ベクタアドレスは、固定物理アドレスエリア (P1、P2) に設定してください。

### 7.2.3 例外コード

各例外事象を区別するために例外コードが決められており、リセットと一般例外のときには EXPEVT のビット 11~0 に、割り込み要求のときには INTEVT および INTEVT2 に書き込まれます。割り込みの例外コード (要因コード) の詳細は、「第 8 章 割り込みコントローラ (INTC)」を参照してください。リセットおよび一般例外に対する例外コードを表 7.1 に示します。

### 7.2.4 例外要求と BL ビットの関係 (多重例外防止)

SR の BL ビットは、リセットや例外の受け付けで 1 に設定されます。BL ビットが 1 のときは、一般例外の割り込みの受け付けが次のように制限されて、多重に例外が受け付けられるのを防止します。

割り込みの要求は、BL ビットが 1 の間は保留されます。ユーザが BL ビットを 0 にした時点で割り込み要求が受け付けられます。ただし、CPU が低消費電力状態にある場合は、SR の BL ビットが 1 であっても、割り込みを受け付け、低消費電力状態から復帰します。

DMA アドレスエラーも同様に BL ビットが 1 の間は保留され、BL ビットが 0 になった時点で例外要求が受け付けられます。一方、BL ビットが 1 の期間中に生じたユーザブレイク要求は無視され、保留されません。したがって、BL ビットを 0 にしても、要求された例外は、受け付けられません。

BL ビットが 1 の期間に DMA アドレスエラーおよびユーザブレイク以外の一般例外要求が生じた場合には、CPU はリセット後の状態と同じになり、リセットベクタ (H'A0000000) へ処理を移行します (多重例外)。ただし、これは通常のリセットとは異なり、CPU 以外のモジュールは初期化されず、EXPEVT、SPC、および SSR の値は、不定となります。また、LSI 外部でこの状態を検出することもできません。

例外処理を多重に受け付け可能にするためには、例外受け付け後に BL ビットが 1 の間に SPC と SSR を退避させ、その後 SR の BL ビットを 0 でクリアします。SPC と SSR を回復する場合には、これらを回復する前に SR の BL ビットを 1 に設定してください。

### 7.2.5 例外要因の受け付けタイミングと優先順位

#### (1) 命令同期型・命令非同期型例外要求

リセットおよび割り込みは、プログラムの流れに関係なく非同期に入る例外要求です。一般例外の内、DMA アドレスエラーとある条件下でのユーザブレイクも非同期の例外要求となります。これらの例外要求は、その要求をどの命令で受け付けるかを予測することはできません。

その他の一般例外は、その例外要求に対応する命令が一意に決定します。

### (2) 再実行型、完了型例外

すべての例外は、再実行型および完了型の2種類に分類されます。再実行型の例外を受け付けると、例外を受け付けた命令の実行を中断し、そのアドレスを SPC に待避します。例外処理から復帰すると、例外を生じた命令から実行を再開します。完了型例外では、例外を受け付けた命令の実行を完了し、次の命令のアドレスを待避して例外処理を実行します。

ただし、遅延分岐命令と遅延スロットの間では、次のように処理されます。遅延スロットで検出された再実行型例外は、遅延分岐命令実行前に受け付けられます。遅延分岐命令または遅延スロットで検出された完了型例外は、遅延分岐命令実行後、分岐先命令の実行前に受け付けられます。ここでいう遅延スロットとは、遅延無条件分岐命令の次の命令や、遅延条件分岐命令が成立するときの次の命令を示します。遅延条件分岐で分岐しなかった場合は、通常と同じように処理されます。

### (3) 優先順位と判定順位

すべての例外要求は、2つ以上の例外が同時に発生したときに受け付ける優先順位が決められています。リセット、一般例外、および割り込みの例外要求は、ここで挙げられた順位で優先順位が高くなっています。リセットは、CPU がいかなる状態にあるかと受け付けられます。また、割り込みは、リセットや一般例外の要求がない場合に限り受け付けられます。

同一の命令で複数の一般例外要求が生じる場合は、次の順序で判定されます。

1. 直前の命令で生じた完了型例外\*
2. 命令実行前ユーザブレイク【再実行型】
3. 命令フェッチに関する例外（CPUアドレスエラーおよびMMU関連例外）【再実行型】
4. 命令デコードの結果生じる例外（一般不当命令例外、スロット不当命令例外【再実行型】、および無条件トラップ【完了型】）
5. データアクセスに関する例外（CPUアドレスエラーおよびMMU関連例外）【再実行型】
6. 無条件トラップ【完了型】
7. 命令実行前以外のユーザブレイク【完了型】
8. DMAアドレスエラー【完了型】

【注】 \* ある命令で完了型例外を受け付けた場合は、次の命令の実行前に例外処理に移行しますが、この処理は次の命令で生じる例外の判定を行う前に優先して処理されます。

一度に受け付けることのできる例外要求は1個ですが、順次、例外要求を受け付けていくことですべての例外要求を処理することができます。

表 7.1 例外事象一覧

例外種別	実行命令の 終了状態	例外事象	優先 順位* <sup>1</sup>	判定 順位	BL = 1 時 の処理	例外要因 コード	ベクタ オフセット
リセット (命令非同期)	中断	パワーオンリセット	1	1	リセット	H'000	-
		マニュアルリセット	1	2	リセット	H'020	-
一般例外 (命令同期)	再実行	ユーザブレイク (命令実行前)	2	0	無視	H'1E0	H'00000100
		CPU アドレスエラー (命令アクセス)* <sup>4</sup>	2	1	リセット	H'0E0	H'00000100
		* <sup>5</sup> TLB ミス (命令アクセス)* <sup>4</sup>	2	1-1	リセット	H'040	H'00000400
		TLB 無効 (命令アクセス)* <sup>4</sup>	2	1-2	リセット	H'040	H'00000100
		TLB 保護違反 (命令アクセス)* <sup>4</sup>	2	1-3	リセット	H'0A0	H'00000100
		一般不当命令例外	2	2	リセット	H'180	H'00000100
		スロット不当命令例外	2	2	リセット	H'1A0	H'00000100
		CPU アドレスエラー (データ読み出し/書き込み)* <sup>4</sup>	2	3	リセット	H'0E0/H'100	H'00000100
		* <sup>5</sup> TLB ミス (データ読み出し/書き込み)* <sup>4</sup>	2	3-1	リセット	H'040/H'060	H'00000400
		TLB 無効 (データ読み出し/書き込み)* <sup>4</sup>	2	3-2	リセット	H'040/H'060	H'00000100
	TLB 保護違反 (データ読み出し/書き込み)* <sup>4</sup>	2	3-3	リセット	H'0A0/H'0C0	H'00000100	
	初期ページ書き込み (データ書き込み)* <sup>4</sup>	2	3-4	リセット	H'080	H'00000100	
	完了	無条件トラップ (TRAPA 命令)	2	4	リセット	H'160	H'00000100
		ユーザブレイク (命令実行後、アドレス)	2	5	無視	H'1E0	H'00000100
一般例外 (命令非同期)	完了	ユーザブレイク (データブレイク、I-BUS ブレイク)	2	5	無視	H'1E0	H'00000100
		DMA アドレスエラー	2	6	保留	H'5C0	H'00000100
割り込み (命令非同期)	完了	各種割り込み要求	3	-* <sup>2</sup>	保留	-* <sup>3</sup>	H'00000600

【注】 \*<sup>1</sup> 優先順位は、高い方から低い方に 1 から 3 で指定されます。リセットは、すべての要求に優先します。割り込みは、一般例外要求がない場合のみ受け付けることができます。

\*<sup>2</sup> 複数の割り込み要因間の優先順位は、「第 8 章 割り込みコントローラ (INTC)」を参照してください。

\*<sup>3</sup> 割り込みを受理しても例外事象レジスタ (EXPEVT) の値は変化せず、割り込み要因レジスタ (INTEVT、INTEVT2) に割り込み要求元を示すコードが設定されます。「第 8 章 割り込みコントローラ (INTC)」を参照してください。

\*<sup>4</sup> リピートループ中の特定の箇所でこれらの例外が発生すると特殊な例外コードおよび特殊なベクタオフセットになる場合があります。

\*<sup>5</sup> これらの例外コードは、メモリマネジメントユニット (MMU) を使用する場合に有効です。

## 7.3 個別例外の動作説明

個別の例外処理動作について、発生条件および発生時のプロセッサの動作を説明します。本節では、リセットおよび一般例外について述べます。割り込みの動作に関しては、「第8章 割り込みコントローラ (INTC)」を参照してください。

### 7.3.1 リセット

#### (1) パワーオンリセット

条件：

パワーオンリセット要求

動作：

EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

#### (2) マニュアルリセット

条件：

マニュアルリセット要求

動作：

EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行ったのちリセットベクタ(H'A0000000)に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

### 7.3.2 一般例外

#### (1) CPU アドレスエラー

条件：

- 奇数アドレス ( $4n+1$ ,  $4n+3$ ) から命令フェッチ
- ワードデータをワード境界以外 ( $4n+1$ ,  $4n+3$ ) からアクセス
- ロングワードデータをロングワードデータ境界以外 ( $4n+1$ ,  $4n+2$ ,  $4n+3$ ) からアクセス
- ユーザモードで論理空間のH'80000000 ~ H'FFFFFFFの領域をアクセス

種別：

命令同期、再実行型

待避アドレス：

命令フェッチの場合： 本例外を発生させた命令フェッチ先のアドレス。

データアクセスの場合： 本例外を発生させた命令のアドレス。

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス。

例外コード：

読み出しで例外が発生した場合： H'0E0

書き込みで発生した場合： H'100

特記：

本例外を発生させた論理アドレス（32ビット）をTEAに設定します。

## （2）一般不当命令例外

条件：

- 遅延分岐命令の遅延スロット以外で、命令の定義されていない命令コード（未定義コード）を実行した場合  
遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

【注】 未定義コードについては、表 2.12 を参照してください。ただし、命令コード H'F000～H'FFFF の未定義コードの例外処理動作のみを保証し、その他の未定義コードでは動作を保証しません。

- 遅延スロット以外にある特権命令をユーザモードでデコードした場合

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC/STCでGBRを アクセスする命令は特権命令ではありません。

種別：

命令同期、再実行型

待避アドレス：

本例外を発生させた命令のアドレス

例外コード：

H'180

特記：

なし

## （3）スロット不当命令例外

条件：

- 遅延スロットにある未定義コードをデコードした場合  
遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S
- 遅延スロットにある特権命令をユーザモードでデコードした場合  
特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC/STCでGBRにアクセスする命令は、特権命令ではありません。

- 遅延スロット内でPCを書き換える命令をデコードした場合

PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、  
LDC Rm,SR、LDC.L @Rm+,SR

種別：

命令同期、再実行型

待避アドレス：

遅延分岐命令が配置されたアドレス

例外コード：

H'1A0

特記：

なし

#### (4) 無条件トラップ

条件：

TRAPA命令の実行

種別：

命令同期、完了型

待避アドレス：

TRAPA命令の次命令のアドレス

例外コード：

H'160

特記：

完了型の例外のため、TRAPA命令の次命令のアドレスをSPCに退避します。TRAPA命令中の8ビットのイミディエイト値をTRA[9:2]に設定します。

#### (5) ユーザブレイクポイントトラップ

条件：

ユーザブレイクコントローラに設定したブレイク条件が成立した場合

種別：

命令実行前ブレイク (Lバス) の場合： 命令同期、再実行型。

オペランドブレイク (Lバス) の場合： 命令同期、完了型。

データブレイク (Lバス) の場合： 命令非同期、完了型。

Iバスでのブレイクの場合： 命令非同期、完了型。

待避アドレス：

再実行型の場合： ブレイク成立命令のアドレス。

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

完了型の場合： ブレーク要求を受け付けた命令の次命令のアドレス。  
ただし、遅延スロットにある場合には、遅延分岐命令の分岐先のアドレス。

例外コード：

H'1E0

特記：

ユーザブレークコントローラの詳細は、「第33章 ユーザブレークコントローラ(UBC)」を参照してください。

#### (6) DMA アドレスエラー

条件：

- ワードデータをワード境界以外 ( $4n+1$ 、 $4n+3$ ) からアクセス
- ロングワードデータをロングワードデータ境界以外 ( $4n+1$ 、 $4n+2$ 、 $4n+3$ ) からアクセス

種別：

命令非同期、完了型

待避アドレス：

本例外を受け付けた命令の次命令のアドレスが退避されます。ただし、遅延スロットにある場合には、遅延分岐命令の分岐先のアドレスが退避されます。

例外コード：

H'5C0

特記：

ダイレクトメモリアクセスコントローラ(DMAC)に上記条件に該当する不正なアドレスが設定され、実際の転送動作が行われた際に例外要求が生じます。DMACの転送動作は、CPUの命令動作とは非同期に行われるため、例外要求も命令非同期になります。DMACの動作の詳細は、「第10章 ダイレクトメモリアクセスコントローラ(DMAC)」を参照してください。

### 7.3.3 一般例外 (MMU 例外)

メモリマネージメントユニット(MMU)のアドレス変換機構が有効な場合は、CPU アドレスエラーの判定に続いてMMU 例外の判定が行われます。MMU 例外は、4種類定義されており、TLB ミス例外、TLB 無効例外、TLB 保護例外、および初期ページ書き込み例外の順番で判定が行われます。

TLB ミス例外は、例外要因の判定を容易にするため、ベクタオフセットをH'00000400とし、通常の一般例外とベクタオフセットを分けています。

MMU 例外の動作の詳細に関しては、「第4章 メモリマネージメントユニット(MMU)」を参照してください。

#### (1) TLB ミス例外

条件：

TLBのアドレス比較の結果、アドレスが不一致だった場合

種別：

命令同期、再実行型

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス

例外コード：

読み出しで例外が発生した場合： H'040

書き込みで発生した場合： H'060

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。TLBミス例外のベクタアドレスは、VBR + H'0400になります。 TLBミス処理高速化のために、他の例外とオフセットを分けています。

## （2）TLB無効例外

条件：

TLBのアドレス比較の結果一致したが、V=0であった場合

種別：

命令同期、再実行型

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス

例外コード：

読み出しで例外が発生した場合： H'040

書き込みで発生した場合： H'060

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。

## （3）TLB保護例外

条件：

アクセスがTLBの保護情報（PRビット）に反する場合

種別：

命令同期、再実行型



待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

例外コード：

読み出しで例外が発生した場合： H'0A0

書き込みで発生した場合： H'0C0

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。

#### （4）初期ページ書き込み例外

条件：

データ書き込みアクセスでTLBにヒットしたが、D=0であった場合

種別：

命令同期、再実行型

待避アドレス：

命令アクセスの場合： 本例外を発生させた命令フェッチ先のアドレス

データアクセスの場合： 本例外を発生させた命令のアドレス

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

例外コード：

H'080

特記：

本例外を発生させた論理アドレス（32ビット）をTEAにセットし、MMUレジスタの更新が行われます。

## 7.4 DSP 拡張機能有効時の例外処理

DSP 拡張機能が有効 (SR レジスタの DSP ビットが 1) のとき、例外処理の受け付け条件や例外処理が変更されるものがあります。

### 7.4.1 不当命令例外、スロット不当命令例外

DSP モードでは、DSP 拡張命令を実行することが可能になります。逆に、SR レジスタの DSP ビットが 0 のときにこれらの命令コードを実行しようとする、不当命令例外になります。

また、DSP モードでは、SR レジスタに対する STC および LDC 命令がユーザモードでも実行可能になります (ただし、更新可能なビットは DSP 拡張ビットの内、RC[11:0]、DMX、DMY、および RF[1:0]のみです)。

### 7.4.2 CPU アドレスエラー

DSP モードでは、P2 空間の一部 (Uxy 領域: H'A5000000 ~ H'A5FFFFFF) がユーザモードでもアクセスでき、CPU アドレスエラーが発生しません。

### 7.4.3 リピート制御中の例外

リピート制御中に発生する例外要求に対する扱いや例外を受け付けた際の処理は、通常の状態とは異なり、場合によっては例外を受け付けなかったり、受け付けても正しく復帰できなかったりする場合があります。この制約は、リピートカウンタが 1 以上で、リピート検出命令からリピート最終命令までの間の命令で生じる場合があります。本節では、この期間をリピート制御中といいます。以下に、リピートループ中の命令数が 4 以上、3、2、および 1 の場合のプログラム例を示します。本節では、リピート検出命令やその命令アドレスを RptDtct と記述します。同様に、リピート検出命令の 1,2,および 3 命令先の命令やその命令アドレスをそれぞれ RptDtct1, RptDtct2, および RptDtct3 と記述します。

また、下記例中の【A】、【B】、【C1】、および【C2】は、各種の制約が生じる命令を表します。表 7.2 にその概要を示します。

表 7.2 リピートループ中の命令位置と制約の種別

命令位置	SPC <sup>*1</sup>	不当命令 <sup>*2</sup>	割り込み、ブレイク等 <sup>*3</sup>	CPU アドレスエラー <sup>*4</sup>
【A】				
【B】			保留	
【C1】		追加	保留	命令 / データ
【C2】	不正	追加	保留	命令 / データ

【注】 \*1 SR.RC[11:0]>=2 の場合に例外が発生すると、SPC に特殊なアドレスが設定されます。

\*2 SR.RC[11:0]>=1 の場合に不当命令になり得る命令種が増えます。

\*3 SR.RC[11:0]>=1 の場合に、割り込みやブレイク、DMA アドレスエラーの要求が保留されます。

\*4 SR.RC[11:0]>=1 の場合に、特殊な例外コードが設定されます。

- (例1) 4命令以上のリピートループ

```

        LDRS RptStart      ; 【A】
        LDRE RptDtct+4    ; 【A】
        SETRC #4          ; 【A】
        instr0            ; 【A】
RptStart: instr1          ; 【A】 【リピート開始命令】
        .....           ; 【A】
        .....           ; 【A】
RptDtct: RptDtct        ; 【B】リピート最終命令から 3 命令前の命令がリピート検出命令に
                          ;      なります。
        RptDtct1         ; 【C1】
        RptDtct2         ; 【C2】
RptEnd: RptDtct3        ; 【C2】 【リピート最終命令】
        instrNext        ; 【A】

```

- (例2) 3命令リピートループ

```

        LDRS RptDtct+4    ; 【A】
        LDRE RptDtct+4    ; 【A】
        SETRC #4          ; 【A】
RptDtct: RptDtct        ; 【B】リピート開始命令の直前の命令がリピート検出命令になりま
                          ;      す。
RptStart: RptDtct1       ; 【C1】 【リピート開始命令】
        RptDtct2         ; 【C2】
RptEnd: RptDtct3        ; 【C2】 【リピート最終命令】
        instrNext        ; 【A】

```

- (例3) 2命令リピートループ

```

        LDRS RptDtct+6    ; 【A】
        LDRE RptDtct+4    ; 【A】
        SETRC #4          ; 【A】
RptDtct: RptDtct        ; 【B】リピート開始命令の直前の命令がリピート検出命令になりま
                          ;      す。
RptStart: RptDtct1       ; 【C1】 【リピート開始命令】
RptEnd: RptDtct2        ; 【C2】 【リピート最終命令】
        instrNext        ; 【A】

```

- (例4) 1命令リピートループ

```

        LDRS RptDtct+8      ; 【A】
        LDRE RptDtct+4     ; 【A】
        SETRC #4          ; 【A】
RptDtct:  RptDtct         ; 【B】リピート開始命令の直前の命令がリピート検出命令になります。
RptStart:
RptEnd:   RptDtct1       ; 【C1】【リピート開始命令】==【リピート最終命令】
        instrNext        ; 【A】

```

## (1) リピート制御中の例外で待避される SPC

リピート制御中に例外を受け付け、SR レジスタのリピートカウンタ (RC[11:0]) が 2 以上である場合は、待避されるアドレスが復帰すべき値を正しく示さない場合があります。また、例外処理から復帰した際にリピート制御を正しく再実行するには、その復帰アドレスはリピート検出命令以前である必要があります。したがって、リピート制御中に例外を受け付けた場合は、リピート検出命令での再実行型例外をのぞき、正しくリピート制御に復帰することはできません。

表 7.3 リピート制御中に生じた再実行型例外に対するの SPC の値 (SR.RC[11:0]&gt;=2 の場合)

例外発生命令	リピートループ中の命令数			
	1	2	3	>=4
RptDtct	RptDtct	RptDtct	RptDtct	RptDtct
RptDtct1	RptDtct1	RptDtct1	RptDtct1	RptDtct1
RptDtct2		RptDtct1	RptDtct1	RS-4
RptDtct3			RptDtct1	RS-2

【注】 ここでは、次のラベルを使用しています。

RptDtct : リピート検出命令のアドレス

RptDtct1 : リピート検出命令の 1 命令後の命令アドレス (1,2,3 命令リピートでは RptStart です。)

RptDtct2 : リピート検出命令の 2 命令後の命令アドレス

RptDtct3 : リピート検出命令の 3 命令後の命令アドレス

RS: リピート開始命令のアドレス

表中の網掛けの箇所では再実行型の例外処理がなされた場合は、本来待避されるべきアドレスと異なったアドレスが SPC に待避されます。SR.RC[11:0]が 1 または 0 の場合は、正しいアドレスが待避されます。

### (2) リピート制御中の不当命令例外

リピート制御中の RptDct1 以降の命令において下記の命令を使用すると一般不当命令例外を発生します。SPC に待避されるアドレスは「7.4.3 (1) リピート制御中の例外で待避される SPC」を参照してください。

- 分岐命令

BRA, BSR, BT, BF, BT/S, BF/S, BSRF, RTS, BRAF, RTE, JSR, JMP, TRAPA

- リピート制御命令

SETRC, LDRS, LDRE

- SR、RS、REに対するロード命令

LDC Rn,SR, LDC @Rn+,SR, LDC Rn,RE, LDC @Rn+,RE, LDC Rn,RS, LDC @Rn+,RS

【注】 1~3 命令のリピートループの場合はリピートループ中の全命令が、4 命令以上のリピートループの場合はリピート終了命令を含む 3 命令がこの制約の範囲となります。

### (3) リピート制御中に保留される例外要求

リピート制御中、割り込みや一部の例外要求はその受け付けを保留し、例外処理から復帰できない命令で例外を受け付けることを防止しています。リピートループのプログラム (例 1) ~ (例 4) を参照してください。【B】および【C】 (【C1】または【C2】) と記した命令で発生した例外は、それぞれ次のように処理されます。

- 割り込み、DMAアドレスエラー

【B】の命令および【C】の命令とも、例外を受け付けず、また、要求も保存されません。次に【A】の命令を実行したときに改めて要求を検出し、受け付けます\*。(例1) ~ (例4) に示されるように、4命令以下のリピートループの実行中には、割り込みおよびDMAアドレスエラーは受け付けられません。

【注】 \* CPU が受け付け可能な状態になるまで、割り込みコントローラ (INTC) やダイレクトメモリアクセスコントローラ (DMAC) で要求が保存されます。

- 実行前ユーザブ레이크

【B】の命令では受け付けられ、SPCに【B】の命令のアドレスがセットされます。【C】の命令では受け付けられませんが、要求は保存され、次に【A】の命令、あるいは【B】の命令が実行される際にその命令の実行前に受け付けられます。このときのSPCはその【A】あるいは【B】の命令のアドレスになります。

- 実行後ユーザブ레이크

【B】の命令、【C】の命令とも、例外は受け付けられませんが、要求は保存され、次に【A】の命令あるいは【B】の命令を実行する際に、その命令の実行前に受け付けられます。このときのSPCはその【A】あるいは【B】の命令のアドレスになります。

表 7.4 リピートループでの例外受け付けの制限

	B の命令	C の命令
割り込み	受け付けません	受け付けません
DMA アドレスエラー	受け付けません	受け付けません
実行前ユーザブレイク	受け付けます	受け付けません
実行後ユーザブレイク	受け付けません	受け付けません

## (4) リピート制御中の CPU アドレスエラー

リピート制御中に CPU アドレスエラーが発生した場合は、例外を受け付けませんが、リピートループ中であることを示す例外コード (H'070) が EXPEVT に設定されます。リピート検出命令の次命令からリピート最終命令においては命令アクセスおよびデータアクセスに対する例外がこの例外コードを生成します。

また、SPC に待避されるアドレスは「7.4.3 (1) リピート制御中の例外で待避される SPC」に準じて設定されます。

この例外が生じた場合は、例外処理の後リピート制御に正しく復帰することができません。リピートループを正しく実行するには、リピート制御中に CPU アドレスエラーが発生しないようにしてください。

【注】 1~3 命令のリピートループの場合はリピート検出命令およびリピートループ中の全命令が、4 命令以上のリピートループの場合はリピート終了命令を含む 3 命令がこの制約の範囲となります。SR.RC[11:0]>=1 の場合に、この制約が生じます。

表 7.5 リピート制御中のメモリアccess例外で特殊な例外を生じる命令 (SR.RC[11:0]&gt;=1)

例外発生命令	リピートループ中の命令数			
	1	2	3	>=4
RptDct				
RptDct1	命令 / データアクセス	命令 / データ	命令 / データ	命令 / データ
RptDct2		命令 / データ	命令 / データ	命令 / データ
RptDct3			命令 / データ	命令 / データ

【注】 ここでは、次のラベルを使用しています。

RptDct : リピート検出命令

RptDct1 : リピート検出命令の 1 命令後の命令

RptDct2 : リピート検出命令の 2 命令後の命令

RptDct3 : リピート検出命令の 3 命令後の命令

#### (5) リピート制御中の MMU 例外

リピート制御中に MMU 例外が発生した場合も CPU アドレスエラーと同様に特殊な例外コードを生成します。TLB ミス例外、TLB 無効例外、および初期ページ書き込み例外では、H'070 が EXPEVT に設定されます。TLB 保護例外の場合には、H'0D0 が EXPEVT に設定されます。TLB ミス例外の場合でもベクタオフセットは、H'00000100 になることに注意してください。

例外の生じる命令、待避される SPC の値は CPU アドレスエラーと同様です。

この例外が生じた場合も、例外処理の後リピート制御に正しく復帰することができません。リピートループを正しく実行するには、リピート制御中に MMU 関連例外が発生しないようにしてください。

【注】 1~3 命令のリピートループの場合はリピート検出命令およびリピートループ中の全命令が、4 命令以上のリピートループの場合はリピート終了命令を含む 3 命令がこの制約の範囲となります。SR.RC[11:0]>=1 の場合にこの制約が生じます。

## 7.5 使用上の注意事項

1. RTE命令の遅延スロットに配置された命令は、SSRに待避されていた値がSRに復帰された後に実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後のSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。
3. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します\*。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みおよびDMAアドレスエラーに関しては次命令の実行前に受け付けを行います。

【注】 \* SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。





---

## 8. 割り込みコントローラ (INTC)

---

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

### 8.1 特長

- 割り込み優先順位を16レベル設定可能  
割り込み優先レベル設定レジスタにより、内蔵周辺モジュール、IRQ、PINT割り込みの優先順位を割り込み要求元別に16レベルまで設定することができます。
- NMIノイズキャンセル機能  
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラとして使用できます。
- IRQ割り込みを設定可能  
ローレベル、ハイレベル、立ち上がり、立ち下がり
- 割り込み要求信号を外部へ出力可能 (IRQOUT端子)  
外部割り込みや内蔵周辺モジュール割り込み要求が発生したことを外部バスマスタに知らせることにより、バス権を要求することができます。

割り込みコントローラのブロック図を図 8.1 に示します。

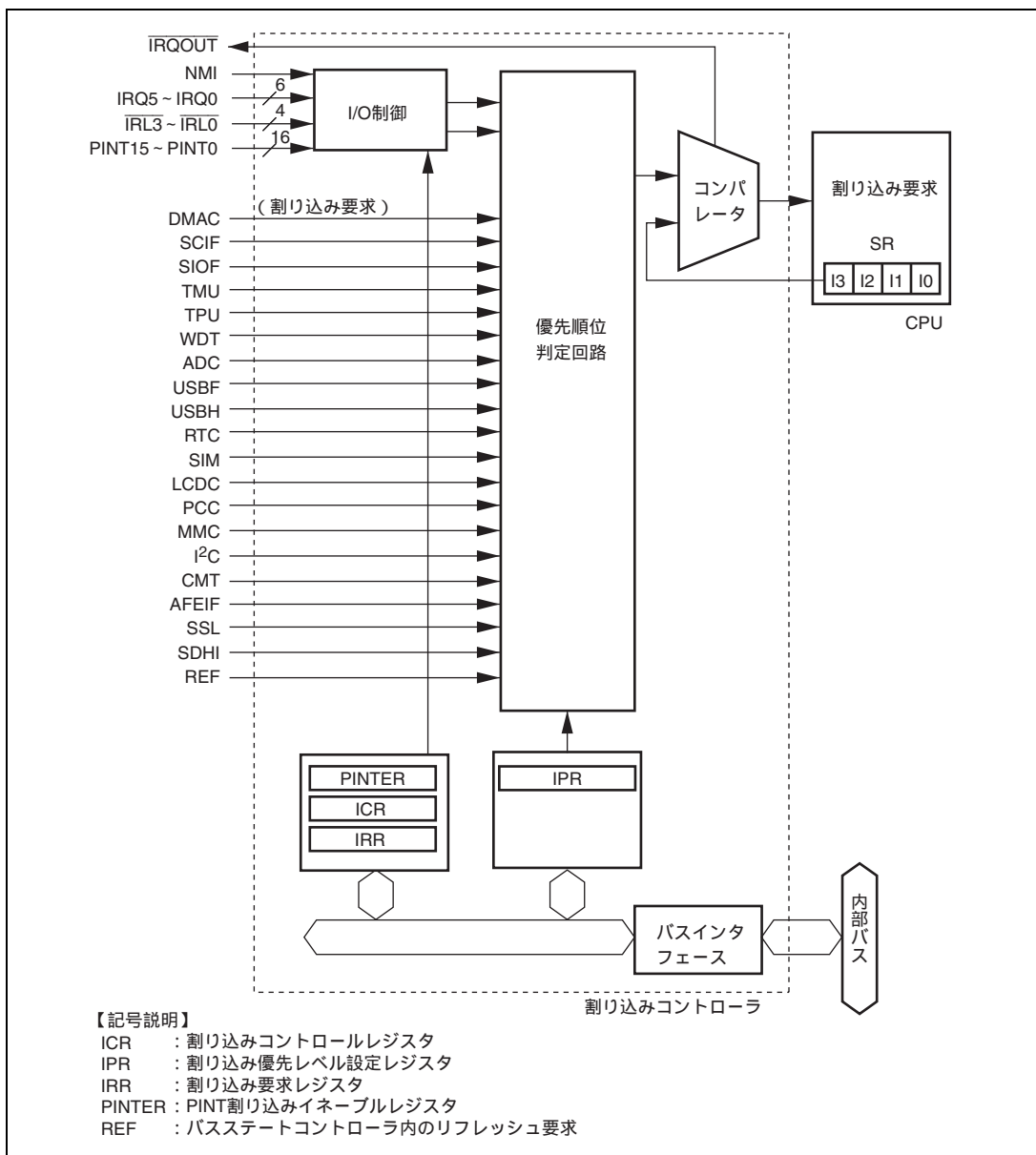


図 8.1 割り込みコントローラのブロック図

## 8.2 入出力端子

割り込みコントローラの端子構成を表 8.1 に示します。

表 8.1 端子構成

名称	略語	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号の入力
割り込み入力端子	IRQ5 ~ IRQ0、 IRL3 ~ IRL0*1	入力	割り込み要求信号の入力
ポート割り込み入力端子	PINT15 ~ PINT0	入力	ポート割り込み信号の入力
バス権要求信号	IRQOUT*2	出力	割り込みのためのバス権要求信号

【注】 \*1 IRL3 ~ IRL0 は、IRQ3 ~ IRQ0 と端子が兼用になっているため、同時には使用できません。

\*2 NMI または H-UDI 割り込み要求が発生し、CPU の割り込み応答時間が短い場合にはアサートされないことがあります。

## 8.3 レジスタの説明

割り込みコントローラには、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については、「第 37 章 レジスタ一覧」を参照してください。

- 割り込みコントロールレジスタ0 (ICR0)
- 割り込みコントロールレジスタ1 (ICR1)
- 割り込みコントロールレジスタ2 (ICR2)
- PINT割り込みイネーブルレジスタ (PINTER)
- 割り込み優先レベル設定レジスタA (IPRA)
- 割り込み優先レベル設定レジスタB (IPRB)
- 割り込み優先レベル設定レジスタC (IPRC)
- 割り込み優先レベル設定レジスタD (IPRD)
- 割り込み優先レベル設定レジスタE (IPRE)
- 割り込み優先レベル設定レジスタF (IPRF)
- 割り込み優先レベル設定レジスタG (IPRG)
- 割り込み優先レベル設定レジスタH (IPRH)
- 割り込み優先レベル設定レジスタI (IPRI)
- 割り込み優先レベル設定レジスタJ (IPRJ)
- 割り込み要求レジスタ0 (IRR0)
- 割り込み要求レジスタ1 (IRR1)
- 割り込み要求レジスタ2 (IRR2)
- 割り込み要求レジスタ3 (IRR3)

- 割り込み要求レジスタ4 (IRR4)
- 割り込み要求レジスタ5 (IRR5)
- 割り込み要求レジスタ6 (IRR6)
- 割り込み要求レジスタ7 (IRR7)
- 割り込み要求レジスタ8 (IRR8)
- 割り込み要求レジスタ9 (IRR9)

### 8.3.1 割り込み優先レベル設定レジスタ A ~ J (IPRA ~ IPRJ)

IPRA ~ IPRJ は、内蔵周辺モジュール、IRQ 割り込みに対して 0 ~ 15 までの優先順位レベルをセットする 16 ビットの読み出し / 書き込みレジスタです。

ビット	ビット名	初期値	R/W	説 明
15	IPR15	0	R/W	4 ビット単位で、各割り込み要因の割り込み優先レベルを設定します。詳細は表 8.2 を参照してください。
14	IPR14	0	R/W	
13	IPR13	0	R/W	
12	IPR12	0	R/W	
11	IPR11	0	R/W	
10	IPR10	0	R/W	
9	IPR9	0	R/W	
8	IPR8	0	R/W	
7	IPR7	0	R/W	
6	IPR6	0	R/W	
5	IPR5	0	R/W	
4	IPR4	0	R/W	
3	IPR3	0	R/W	
2	IPR2	0	R/W	
1	IPR1	0	R/W	
0	IPR0	0	R/W	

表 8.2 割り込み要求要因と IPRA ~ IPRJ

レジスタ名	ビット 15~12	ビット 11~8	ビット 7~4	ビット 3~0
IPRA	TMU0	TMU1	TMU2	RTC
IPRB	WDT	REF	SIM	予約*
IPRC	IRQ3	IRQ2	IRQ1	IRQ0
IPRD	予約*	TMU (TMU_SUNI)	IRQ5	IRQ4
IPRE	DMAC (1)	予約*	LCDC	SSL
IPRF	ADC	DMAC (2)	USBF	CMT
IPRG	SCIF0	SCIF1	予約*	予約*
IPRH	PINTA	PINTB	TPU	°C
IPRI	SIOF0	SIOF1	MMC	PCC
IPRJ	予約*	USBH	SDHI	AFEIF

【注】 予約：読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

\* SSL、SDHI 関連ビットは搭載品種のみ有効です。非搭載品種では「予約ビット」になります。

表 8.2 に示すように、各レジスタには 4 組の内蔵周辺モジュール、または IRQ 割り込みが割り当てられます。4 ビットグループ (ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0) は、H'0 (0000) ~ H'F (1111) の値に設定することができます。設定 H'0 は優先順位レベル 0 (要求マスク) を意味し、H'F は優先順位レベル 15 (最高レベル) です。

### 8.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は外部割り込み入力端子 NMI の入力検出モードを設定し、NMI 端子に対する入力信号レベルを示します。

ビット	ビット名	初期値	R/W	説明
15	NMIL	0/1*	R	NMI 入力レベル NMI 端子に信号の入力レベルをセットします。このビットを読み出して NMI 端子レベルを判断することができます。このビットは、変更不可能です。 0 : NMI 入力レベルはロー 1 : NMI 入力レベルはハイ
14~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	NMIE	0	R/W	NMI エッジ選択 NMI 入力の立ち下がりまたは立ち上がりエッジのどちらで割り込み要求信号を検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求信号を検出 1 : NMI 入力の立ち上がりエッジで割り込み要求信号を検出
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 \* NMI 入力がハイレベル時は 1、NMI 入力がローレベル時は 0 になります。

## 8.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ5 ~ IRQ0 に対して立ち上がりエッジ、立ち下がりエッジ、ローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明																							
15	MAI	0	R/W	全割り込みマスク 本ビットを 1 にセットすると、NMI 端子にローレベルを入力中、すべての割り込み要求をマスクします。また、スタンバイモード中、NMI 割り込みをマスクします。 0: NMI 端子がローレベルのとき、すべての割り込み要求をマスクしない。 1: NMI 端子がローレベルのとき、すべての割り込み要求をマスクする。																							
14	IRQLVL	1	R/W	割り込み要求レベル検出 IRQ3 ~ IRQ0 端子を 4 本の独立した割り込み端子として使用許可 / 禁止を選択します。IRQ4、IRQ5 には、影響はありません。 0: 4 本の独立した割り込み端子 IRQ3 ~ IRQ0 として使用許可 1: $\overline{IRL3} \sim \overline{IRL0}$ としてエンコードした 15 レベルの割り込み端子として使用																							
13	BLMSK	0	R/W	BL ビットマスク SR レジスタの BL ビットが 1 のとき、NMI 割り込みをマスクするかどうかを指定します。 0: BL ビットが 1 のとき、NMI 割り込みをマスクする。 1: BL ビットの設定に関係なく、NMI 割り込みを受け付ける。																							
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																							
11	IRQ51S	0	R/W	IRQn センスセレクト IRQ5 ~ IRQ0 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するかを選択します。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th colspan="2">ビット 2n+1</th> <th>ビット 2n</th> <th rowspan="2"></th> </tr> <tr> <th>IRQn1S</th> <th>IRQn0S</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>割り込み要求を IRQn 入力の立ち下がりエッジで検出する</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>割り込み要求を IRQn 入力の立ち上がりエッジで検出する</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>割り込み要求を IRQn 入力のローレベルで検出する</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>割り込み要求を IRQn 入力のハイレベルで検出する</td> </tr> </tbody> </table>	ビット 2n+1		ビット 2n		IRQn1S	IRQn0S		0	0	0	割り込み要求を IRQn 入力の立ち下がりエッジで検出する	0	1	1	割り込み要求を IRQn 入力の立ち上がりエッジで検出する	1	0	0	割り込み要求を IRQn 入力のローレベルで検出する	1	1	1	割り込み要求を IRQn 入力のハイレベルで検出する
ビット 2n+1		ビット 2n																									
IRQn1S	IRQn0S																										
0	0	0	割り込み要求を IRQn 入力の立ち下がりエッジで検出する																								
0	1	1	割り込み要求を IRQn 入力の立ち上がりエッジで検出する																								
1	0	0	割り込み要求を IRQn 入力のローレベルで検出する																								
1	1	1	割り込み要求を IRQn 入力のハイレベルで検出する																								
10	IRQ50S	0	R/W																								
9	IRQ41S	0	R/W																								
8	IRQ40S	0	R/W																								
7	IRQ31S	0	R/W																								
6	IRQ30S	0	R/W																								
5	IRQ21S	0	R/W																								
4	IRQ20S	0	R/W																								
3	IRQ11S	0	R/W																								
2	IRQ10S	0	R/W																								
1	IRQ01S	0	R/W																								
0	IRQ00S	0	R/W																								

【記号説明】 n = 0 ~ 5

### 8.3.4 割り込み要求レジスタ 0 (IRR0)

IRR0 は、TMU および IRQ5 ~ IRQ0 からの割り込み要求を示す 8 ビットレジスタです。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。
6	TMU_ SUNIR	0	R/W	TMU_SUNI 割り込み要求 TMU_SUNI (TMU) 割り込み要求が発生したかどうかを示します。 0 : TMU_SUNI 割り込み要求は発生していない 1 : TMU_SUNI 割り込み要求は発生している
5	IRQ5R	0	R/W	IRQn 割り込み要求 IRQn 端子に割り込み要求が入力されているかを示します。 IRQn 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQnR ビットの 1 を読み出した後に、0 を書き込むことでクリアされます。 IRQn 端子がレベル検出モードに設定されている場合、割り込み要求が入力されているかどうかを示します。IRQn 端子の入力値でのみ、セット/クリアすることができます。  IRQnR 0 : IRQn 端子に割り込み要求なし 1 : IRQn 端子に割り込み要求あり  【記号説明】 n = 0 ~ 5
4	IRQ4R	0	R/W	
3	IRQ3R	0	R/W	
2	IRQ2R	0	R/W	
1	IRQ1R	0	R/W	
0	IRQ0R	0	R/W	

### 8.3.5 割り込み要求レジスタ 1 (IRR1)

IRR1 は、DMAC からの割り込み要求発生の有無を示す 8 ビットレジスタです。

このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
3	DEI3R	0	R/W	DEI3 割り込み要求 DEI3 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI3 割り込み要求は、発生していない 1 : DEI3 割り込み要求は、発生している
2	DEI2R	0	R/W	DEI2 割り込み要求 DEI2 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI2 割り込み要求は、発生していない 1 : DEI2 割り込み要求は、発生している
1	DEI1R	0	R/W	DEI1 割り込み要求 DEI1 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI1 割り込み要求は、発生していない 1 : DEI1 割り込み要求は、発生している
0	DEI0R	0	R/W	DEI0 割り込み要求 DEI0 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI0 割り込み要求は、発生していない 1 : DEI0 割り込み要求は、発生している



### 8.3.6 割り込み要求レジスタ 2 (IRR2)

IRR2 は、SSL、LCDC からの割り込み要求発生の有無を示す 8 ビットレジスタです。

このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

【注】 SSL 非搭載品種では、SSL 関連ビットは「リザーブビット」になります。書き込む値は 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
4	SSLIR	0	R/W	SSLI 割り込み要求 SSLI (SSL) 割り込み要求が発生したかどうかを示します。 0 : SSL 割り込み要求は、発生していない 1 : SSL 割り込み要求は、発生している 【注】SSL 非搭載品種ではリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
0	LCDCIR	0	R/W	LCDCI 割り込み要求 LCDCI (LCDC) 割り込み要求が発生したかどうかを示します。 0 : LCDCI 割り込み要求は、発生していない 1 : LCDCI 割り込み要求は、発生している

### 8.3.7 割り込み要求レジスタ 3 (IRR3)

IRR3 は、RTC、SIM からの割り込み要求発生の有無を示す 8 ビットレジスタです。

このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	TENDIR	0	R/W	TEI 割り込み要求 TEI (SIM) 割り込み要求が発生したかどうかを示します。 0 : TEI 割り込み要求は、発生していない 1 : TEI 割り込み要求は、発生している
6	TXIR	0	R/W	TXI 割り込み要求 TXI (SIM) 割り込み要求が発生したかどうかを示します。 0 : TXI 割り込み要求は、発生していない 1 : TXI 割り込み要求は、発生している

ビット	ビット名	初期値	R/W	説明
5	RXIR	0	R/W	RXI 割り込み要求 RXI (SIM) 割り込み要求が発生したかどうかを示します。 0 : RXI 割り込み要求は、発生していない 1 : RXI 割り込み要求は、発生している
4	ERIR	0	R/W	ERI 割り込み要求 ERI (SIM) 割り込み要求が発生したかどうかを示します。 0 : ERI 割り込み要求は、発生していない 1 : ERI 割り込み要求は、発生している
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
2	CUIR	0	R/W	CUI 割り込み要求 CUI (RTC) 割り込み要求が発生したかどうかを示します。 0 : CUI 割り込み要求は、発生していない 1 : CUI 割り込み要求は、発生している
1	PRIR	0	R/W	PRI 割り込み要求 PRI (RTC) 割り込み要求が発生したかどうかを示します。 0 : PRI 割り込み要求は、発生していない 1 : PRI 割り込み要求は、発生している
0	ATIR	0	R/W	ATI 割り込み要求 ATI (RTC) 割り込み要求が発生したかどうかを示します。 0 : ATI 割り込み要求は、発生していない 1 : ATI 割り込み要求は、発生している

### 8.3.8 割り込み要求レジスタ 4 (IRR4)

IRR4 は、REF、WDT、TMU からの割り込み要求発生の有無を示す 8 ビットレジスタです。

このレジスタはパワーオンリセットまたはマニュアルで H'00 に初期化されますが、スタンバイモードでは初期化されません

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
6	TUNI2R	0	R/W	TUNI2 割り込み要求 TUNI2 (TMU) 割り込み要求が発生したかどうかを示します。 0 : TUNI2 割り込み要求は、発生していない 1 : TUNI2 割り込み要求は、発生している

ビット	ビット名	初期値	R/W	説明
5	TUNI1R	0	R/W	TUNI1 割り込み要求 TUNI1 (TMU) 割り込み要求が発生したかどうかを示します。 0 : TUNI1 割り込み要求は、発生していない 1 : TUNI1 割り込み要求は、発生している
4	TUNIO R	0	R/W	TUNIO 割り込み要求 TUNIO (TMU) 割り込み要求が発生したかどうかを示します。 0 : TUNIO 割り込み要求は、発生していない 1 : TUNIO 割り込み要求は、発生している
3	ITIR	0	R/W	ITI 割り込み要求 ITI (WDT) 割り込み要求が発生したかどうかを示します。 0 : ITI 割り込み要求は、発生していない 1 : ITI 割り込み要求は、発生している
2	-	0	R	リザーブビット
1	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
0	RCMIR	0	R/W	RCMI 割り込み要求 RCMI (REF) 割り込み要求が発生したかどうかを示します。 0 : RCMI 割り込み要求は、発生していない 1 : RCMI 割り込み要求は、発生している

### 8.3.9 割り込み要求レジスタ 5 (IRR5)

IRR5 は、SCIF0、SCIF1、DMAC、ADC からの割り込み要求発生の有無を示す 8 ビットレジスタです。

このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	ADCIR	0	R/W	ADI 割り込み要求 ADI (ADC) 割り込み要求が発生したかどうかを示します。 0 : ADI 割り込み要求は、発生していない 1 : ADI 割り込み要求は、発生している
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
5	DEI5R	0	R/W	DEI5 割り込み要求 DEI5 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI5 割り込み要求は、発生していない 1 : DEI5 割り込み要求は、発生している

ビット	ビット名	初期値	R/W	説明
4	DEI4R	0	R/W	DEI4 割り込み要求 DEI4 (DMAC) 割り込み要求が発生したかどうかを示します。 0 : DEI4 割り込み要求は、発生していない 1 : DEI4 割り込み要求は、発生している
3	-	0	R	リザーブビット
2	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
1	SCIF1IR	0	R/W	SCIF1 割り込み要求 SCIF1 (SCIF1) 割り込み要求が発生したかどうかを示します。 0 : SCIF1 割り込み要求は、発生していない 1 : SCIF1 割り込み要求は、発生している
0	SCIF0IR	0	R/W	SCIF0 割り込み要求 SCIF0 (SCIF0) 割り込み要求が発生したかどうかを示します。 0 : SCIF0 割り込み要求は、発生していない 1 : SCIF0 割り込み要求は、発生している

### 8.3.10 割り込み要求レジスタ 6 (IRR6)

IRR6 は、PINT、SIOF0、SIOF1 からの割り込み要求発生の有無を示す 8 ビットレジスタです。

このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
5	SIOF1IR	0	R/W	SIOF1 割り込み要求 SIOF1 (SIOF1) 割り込み要求が発生したかどうかを示します。 0 : SIOF1 割り込み要求は、発生していない 1 : SIOF1 割り込み要求は、発生している
4	SIOF0IR	0	R/W	SIOF0 割り込み要求 SIOF0 (SIOF0) 割り込み要求が発生したかどうかを示します。 0 : SIOF0 割り込み要求は、発生していない 1 : SIOF0 割り込み要求は、発生している
3	-	0	R	リザーブビット
2	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
1	PINTBR	0	R/W	PINTB 割り込み要求 PINTB (PINT) 割り込み要求が発生したかどうかを示します。 0 : PINTB 割り込み要求は、発生していない 1 : PINTB 割り込み要求は、発生している
0	PINTAR	0	R/W	PINTA 割り込み要求 PINTA (PINT) 割り込み要求が発生したかどうかを示します。 0 : PINTA 割り込み要求は、発生していない 1 : PINTA 割り込み要求は、発生している

### 8.3.11 割り込み要求レジスタ 7 (IRR7)

IRR7 は、TPU、IIC からの割り込み要求発生の有無を示す 8 ビットレジスタです。

このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
4	IICIR	0	R/W	IICI 割り込み要求 IICI (IIC) 割り込み要求が発生したかどうかを示します。 0 : IICI 割り込み要求は、発生していない 1 : IICI 割り込み要求は、発生している
3	TPI3R	0	R/W	TPI3 割り込み要求 TPI3 (TPU) 割り込み要求が発生したかどうかを示します。 0 : TPI3 割り込み要求は、発生していない 1 : TPI3 割り込み要求は、発生している
2	TPI2R	0	R/W	TPI2 割り込み要求 TPI2 (TPU) 割り込み要求が発生したかどうかを示します。 0 : TPI2 割り込み要求は、発生していない 1 : TPI2 割り込み要求は、発生している
1	TPI1R	0	R/W	TPI1 割り込み要求 TPI1 (TPU) 割り込み要求が発生したかどうかを示します。 0 : TPI1 割り込み要求は、発生していない 1 : TPI1 割り込み要求は、発生している
0	TPI0R	0	R/W	TPI0 割り込み要求 TPI0 (TPU) 割り込み要求が発生したかどうかを示します。 0 : TPI0 割り込み要求は、発生していない 1 : TPI0 割り込み要求は、発生している

### 8.3.12 割り込み要求レジスタ 8 (IRR8)

IRR8 は、SDHI、MMC、AFEIF からの割り込み要求発生の有無を示す 8 ビットレジスタです。

このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

【注】 SDHI 非搭載品種では、SDHI 関連ビットは「リザーブビット」になります。書き込む値は 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7	MMCI3R	0	R/W	MMCI3 割り込み要求 MMCI3 (MMC) 割り込み要求が発生したかどうかを示します。 0 : MMCI3 割り込み要求は、発生していない 1 : MMCI3 割り込み要求は、発生している
6	MMCI2R	0	R/W	MMCI2 割り込み要求 MMCI2 (MMC) 割り込み要求が発生したかどうかを示します。 0 : MMCI2 割り込み要求は、発生していない 1 : MMCI2 割り込み要求は、発生している
5	MMCI1R	0	R/W	MMCI1 割り込み要求 MMCI1 (MMC) 割り込み要求が発生したかどうかを示します。 0 : MMCI1 割り込み要求は、発生していない 1 : MMCI1 割り込み要求は、発生している
4	MMCI0R	0	R/W	MMCI0 割り込み要求 MMCI0 (MMC) 割り込み要求が発生したかどうかを示します。 0 : MMCI0 割り込み要求は、発生していない 1 : MMCI0 割り込み要求は、発生している
3	AFECIR	0	R/W	AFECI 割り込み要求 AFECI (AFEIF) 割り込み要求が発生したかどうかを示します。 0 : AFECI 割り込み要求は、発生していない 1 : AFECI 割り込み要求は、発生している
2	-	0	R	リザーブビット
1	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
0	SDIR	0	R/W	SDI 割り込み要求 SDI (SDHI) 割り込み要求が発生したかどうかを示します。 0 : SDI 割り込み要求は、発生していない 1 : SDI 割り込み要求は、発生している  【注】 SDHI 非搭載品種ではリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 8.3.13 割り込み要求レジスタ 9 (IRR9)

IRR9 は、PCC、USBH、USBF、CMT からの割り込み要求発生の有無を示す 8 ビットレジスタです。

このレジスタはパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	PCCIR	0	R/W	PCCI 割り込み要求 PCCI (PCC) 割り込み要求が発生したかどうかを示します。 0 : PCCI 割り込み要求は、発生していない 1 : PCCI 割り込み要求は、発生している
6	USBHIR	0	R	USBHI 割り込み要求 USBHI (USBH) 割り込み要求が発生したかどうかを示します。 0 : USBHI 割り込み要求は、発生していない 1 : USBHI 割り込み要求は、発生している
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
4	CMIR	0	R/W	CMI 割り込み要求 CMI (CMT) 割り込み要求が発生したかどうかを示します。 0 : CMI 割り込み要求は、発生していない 1 : CMI 割り込み要求は、発生している
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
2	USBFI1R	0	R	USBFI1 割り込み要求 USBFI1 (USBF) 割り込み要求が発生したかどうかを示します。 0 : USBFI1 割り込み要求は、発生していない 1 : USBFI1 割り込み要求は、発生している
1	USBFI0R	0	R	USBFI0 割り込み要求 USBFI0 (USBF) 割り込み要求が発生したかどうかを示します。 0 : USBFI0 割り込み要求は、発生していない 1 : USBFI0 割り込み要求は、発生している
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。



### 8.3.14 PINT 割り込みイネーブルレジスタ (PINTER)

PINTER は、外部割り込み入力端子 PINT0 ~ PINT15 に対する割り込み要求入力をイネーブルにする 16 ビットのレジスタです。

このレジスタはパワーオンリセットまたはマニュアルリセットで H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説 明
15	PINT15E	0	R/W	PINTn 割り込みイネーブル
14	PINT14E	0	R/W	PINT15 ~ PINT0 端子に対する割り込み要求入力をイネーブルにするかどうかを選択します。 0 : PINTn 入力割り込み要求をディスエーブルにする 1 : PINTn 入力割り込み要求をイネーブルにする (n = 0 ~ 15)
13	PINT13E	0	R/W	
12	PINT12E	0	R/W	
11	PINT11E	0	R/W	
10	PINT10E	0	R/W	
9	PINT9E	0	R/W	
8	PINT8E	0	R/W	
7	PINT7E	0	R/W	
6	PINT6E	0	R/W	
5	PINT5E	0	R/W	
4	PINT4E	0	R/W	
3	PINT3E	0	R/W	
2	PINT2E	0	R/W	
1	PINT1E	0	R/W	
0	PINT0E	0	R/W	

### 8.3.15 割り込みコントロールレジスタ 2 (ICR2)

ICR2 は、外部割り込み入力端子 PINT0 ~ PINT15 に対してローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。

このレジスタはパワーオンリセットまたはマニュアルリセットで H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15	PINT15S	0	R/W	PINTn センスセレクト PINT15 ~ PINT0 端子に対する割り込み要求信号をローレベル、ハイレベルのいずれで検出するかを選択します。 0 : 割り込み要求を PINTn 入力のローレベルで検出 1 : 割り込み要求を PINTn 入力のハイレベルで検出 (n=0 ~ 15)
14	PINT14S	0	R/W	
13	PINT13S	0	R/W	
12	PINT12S	0	R/W	
11	PINT11S	0	R/W	
10	PINT10S	0	R/W	
9	PINT9S	0	R/W	
8	PINT8S	0	R/W	
7	PINT7S	0	R/W	
6	PINT6S	0	R/W	
5	PINT5S	0	R/W	
4	PINT4S	0	R/W	
3	PINT3S	0	R/W	
2	PINT2S	0	R/W	
1	PINT1S	0	R/W	
0	PINT0S	0	R/W	

## 8.4 割り込み要因

割り込み要因は、NMI、IRQ、IRL、内蔵周辺モジュールの 4 つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16 ~ 0) で表され、レベル 16 が最高で、レベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

### 8.4.1 NMI 割り込み

NMI 割り込みは、レベル 16 の最優先の割り込みです。割り込みコントロールレジスタ 1 (ICR1) の BLMSK ビットが 1 が、ステータスレジスタ (SR) の BL ビットが 0 の場合は、ICR1 の MAI ビットが 0 ならば NMI 割り込みは受け付けられます。NMI 割り込みはエッジ検出です。ただし、スリープまたはスタンバイモード中は、BL ビットに関わりなく割り込みが受け付けられません。割り込みコントロールレジスタ 0 (ICR0) の NMI エッジセレクトビット (NMIE) は、立ち上がりエッジ / 立ち下がりエッジの選択を行います。

エッジ入力割り込み検出では、周辺クロック (P ) ベースで 2 サイクル以上のパルス幅が必要です。NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) が影響されることはありません。BL ビットが 1 の場合、ICR1 の BLMSK ビットが 1 にセットされているときは、NMI 割り込みが受け付けられません。

NMI 割り込みを使用して、スリープ、スタンバイ状態から復帰できます。

### 8.4.2 IRQ 割り込み

IRQ 割り込みは、IRQ5 ~ IRQ0 端子からレベルまたはエッジで入力されます。優先レベルは、割り込み優先レベル設定レジスタ C、D (IPRC、D) にレベル 0 ~ 15 の範囲で設定できます。

IRQ 割り込みをエッジセンスで使用する場合は、IRR0 の対応するビットをソフトウェアで 1 であることを読み出した後に 0 を書き込み、割り込み要因をクリアしてください。

ICR1 に上書きする際、IRQ 端子の状態によっては IRQ 割り込みが誤検出される可能性があります。これを避けるため、まず割り込みをマスク状態で上書きし、それから割り込み要求レジスタ 0 (IRR0) を読み出した後に 0 を書き込んで不正な割り込みをクリアした後にマスクを解除してください。

エッジ入力割り込み検出では、周辺クロック (P ) ベースで 2 サイクル以上のパルス幅を必要とします。

IRQ 割り込みをレベルセンスで使用する場合は、CPU がサンプリングするまで端子レベルを保持する必要があります。したがって、割り込みハンドラ内で割り込み要因をクリアしてください。

IRQ 割り込み処理ルーチンによって、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) が影響されることはありません。エッジ検出に設定した IRQ 割り込みは、該当する割り込みレベルが SR レジスタの I3 ~ I0 より高い場合にスタンバイからの復帰に使用できます (ただし、RTC 使用時のみ RTC 用クロックでスタンバイ復帰)。

### 8.4.3 IRL 割り込み

IRL 割り込みは、 $\overline{IRL3}$  ~  $\overline{IRL0}$  端子でレベルとして入力される割り込みです。優先順位レベルは、端子  $\overline{IRL3}$  ~  $\overline{IRL0}$  で示したより高い方のレベルです。 $\overline{IRL3}$  ~  $\overline{IRL0}$  の値が 0 (B'0000) のときは、最高レベルの割り込み要求 (割り込み優先順位レベル 15) を示します。値が 15 (B'1111) の場合は、割り込み要求がない (割り込み優先順位レベル 0) ことを示します。図 8.2 に IRL 割り込み接続の例を示します。

IRL 割り込みは、ノイズキャンセラ機能が組み込まれ、周辺モジュールクロックごとにサンプリングされたレベルが 2 サイクル続けて同一の値になったときに初めて検出されます。これにより、 $\overline{IRL}$  端子の変化時の誤ったレベルを取りこむことを防止できます。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理が開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることはかまいません。

IRL 割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) が影響されることはありません。

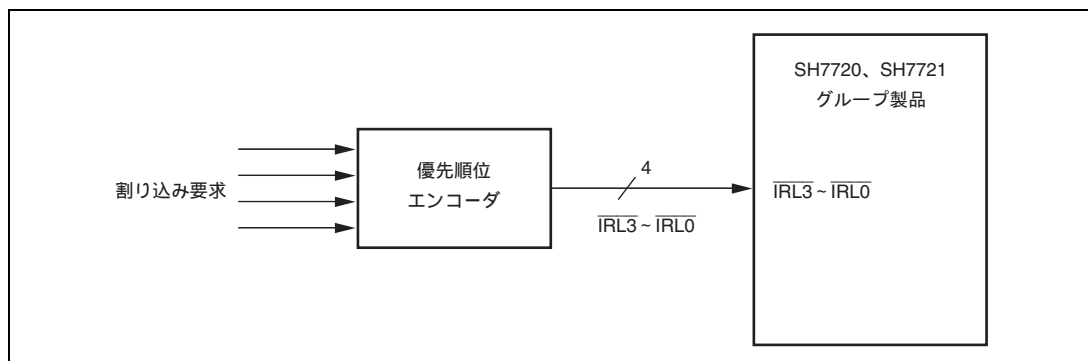


図 8.2 IRL 割り込み接続例

#### 8.4.4 PINT 割り込み

PINT 割り込みは、PINT0 ~ PINT15 端子からレベルで入力されます。優先レベルは、割り込み優先レベル設定レジスタ H (IPRH) により、PINT0 ~ PINT7 (PINTA)、PINT8 ~ PINT15 (PINTB) を一括して、レベル 0 ~ 15 の範囲で設定できます。PINT 割り込みは、割り込みを受け付けて割り込み処理を開始するまでのそのレベルを保持してください。

PINT 割り込み処理ルーチンによって、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) が影響される事はありません。

また、RTC 用クロックが有効で、かつ該当する割り込みレベルが SR レジスタの I3 ~ I0 より高い場合は、PINT 割り込みによるスタンバイからの復帰が可能です。

#### 8.4.5 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、次のようなモジュールで発生する割り込みです。

- DMAコントローラ (DMAC)
- I<sup>2</sup>Cバスインタフェース (IIC)
- スマートカードインタフェース (SIM)
- コンペアマッチタイマ (CMT)
- タイマユニット (TMU)
- タイマパルスユニット (TPU)
- ウォッチドッグタイマ (WDT)
- ユーザデバッグインタフェース (H-UDI)
- LCDコントローラ (LCDC)
- セキュアソケットレイア (SSL)
- アナログフロントエンドインタフェース (AFEIF)
- USBファンクションコントローラ (USBF)

- USBホストコントローラ (USBH)
- バスステートコントローラ (BSC)
- FIFO内蔵シリアルI/O0 (SIOF0)
- FIFO内蔵シリアルI/O1 (SIOF1)
- FIFO内蔵シリアルコミュニケーションインタフェース0 (SCIF0)
- FIFO内蔵シリアルコミュニケーションインタフェース1 (SCIF1)
- マルチメディアカードインタフェース (MMC)
- SDホストインタフェース (SDHI)
- リアルタイムクロック (RTC)
- A/D変換器 (ADC)
- PCカードコントローラ (PCC)

割り込み要因ごとに異なる割り込みベクタが割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT および INTEVT2) に反映されますので、INTEVT または INTEVT2 レジスタの値をオフセットとして分岐することにより、容易に要因を判定できます。

H-UDI をのぞく各モジュールの優先順位レベル(0~15)は、割り込み優先レベル設定レジスタ A、B、E~I (IPRA、IPRB、IPRE~IPRJ) に優先順位レベル値を書き込むことによってセットすることができます。H-UDI の優先順位レベルは 15 (固定) です。

ステータスレジスタの割り込みマスクビット(I3~I0)は内蔵周辺モジュール割り込み処理の影響を受けません。

#### 8.4.6 割り込み例外処理および優先順位

割り込み要因は、NMI、IRQ、IRL、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は割り込み優先レベル値(16~0)で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

割り込み要因と割り込み事象レジスタ (INTEVT および INTEVT2) の要因コード、割り込み優先順位を表 8.3、表 8.4 に示します。

各割り込み要因は、それぞれ異なる割り込み事象レジスタ (INTEVT および INTEVT2) に要因コードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT または INTEVT2 レジスタの値を使って分岐させます。たとえば INTEVT または INTEVT2 レジスタの値をオフセットにして分岐させます。

内蔵周辺モジュール、IRQ 割り込みの優先順位は、割り込み優先レベル設定レジスタによって、優先レベル 15~0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュールと IRQ 割り込みの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 8.3、表 8.4 に示す「デフォルト優先順位」に従って処理されます。

表 8.3 割り込み例外処理要因と優先順位 (IRQ モード時)

割り込み要因	例外コード*1	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
NMI	H'1C0*2	16	-	-	高 ↑
H-UDI	H'5E0*2	15	-	-	
IRQ	IRQ0	H'600*3	0-15 (0)	IPRC (3-0)	-
	IRQ1	H'620*3	0-15 (0)	IPRC (7-4)	-
	IRQ2	H'640*3	0-15 (0)	IPRC (11-8)	-
	IRQ3	H'660*3	0-15 (0)	IPRC (15-12)	-
	IRQ4	H'680*3	0-15 (0)	IPRD (3-0)	-
	IRQ5	H'6A0*3	0-15 (0)	IPRD (7-4)	-
TMU	TMU_SUNI	H'6C0*3	0-15 (0)	IPRD (11-8)	-
DMAC (1)	DEI0	H'800*3	0-15 (0)	IPRE (15-12)	高 ↑ ↓ 低
	DEI1	H'820*3			
	DEI2	H'840*3			
	DEI3	H'860*3			
LCDC	LCDCI	H'900*3	0-15 (0)	IPRE (7-4)	-
SSL	SSLI	H'980*3	0-15 (0)	IPRE (3-0)	-
USBF	USBFI0	H'A20*3	0-15 (0)	IPRF (7-4)	高
	USBFI1	H'A40*3			低
USBH	USBHI	H'A60*3	0-15 (0)	IPRJ (11-8)	-
DMAC (2)	DEI4	H'B80*3	0-15 (0)	IPRF (11-8)	高
	DEI5	H'BA0*3			低
ADC	ADI	H'BE0*3	0-15 (0)	IPRF (15-12)	-
SCIF0	SCIF0	H'C00*3	0-15 (0)	IPRG (15-12)	-
SCIF1	SCIF1	H'C20*3	0-15 (0)	IPRG (11-8)	-
PINT	PINTA	H'C80*3	0-15 (0)	IPRH (15-12)	-
	PINTB	H'CA0*3		IPRH (11-8)	-
SIOF0	SIOF0	H'D00*3	0-15 (0)	IPRI (15-12)	-
SIOF1	SIOF1	H'D20*3	0-15 (0)	IPRI (11-8)	-
TPU	TPI0	H'D80*3	0-15 (0)	IPRH (7-4)	高 ↑ ↓ 低
	TPI1	H'DA0*3			
	TPI2	H'DC0*3			
	TPI3	H'DE0*3			

割り込み要因		例外コード*1	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
IIC	IICI	H'E00*3	0-15 (0)	IPRH (3-0)	-	高 ↑ ↓ 低
MMC	MMCI0	H'E80*3	0-15 (0)	IPRI (7-4)	高	
	MMCI1	H'EA0*3			↑	
	MMCI2	H'EC0*3			↓	
	MMCI3	H'EE0*3			低	
CMT	CMI	H'F00*3	0-15 (0)	IPRF (3-0)	-	
PCC	PCCI	H'F60*3	0-15 (0)	IPRI (3-0)	-	
SDHI	SDI	H'F80*3	0-15 (0)	IPRJ (7-4)	-	
AFEIF	AFECI	H'FE0*3	0-15 (0)	IPRJ (3-0)	-	
TMU0	TUNI0	H'400*2	0-15 (0)	IPRA (15-12)	-	
TMU1	TUNI1	H'420*2	0-15 (0)	IPRA (11-8)	-	
TMU2	TUNI2	H'440*2	0-15 (0)	IPRA (7-4)	-	
RTC	ATI	H'480*2	0-15 (0)	IPRA (3-0)	高	
	PRI	H'4A0*2			↑	
	CUI	H'4C0*2			↓	
SIM	ERI	H'4E0*2	0-15 (0)	IPRB (7-4)	高	
	RXI	H'500*2			↑	
	TXI	H'520*2			↓	
	TEI	H'540*2			低	
WDT	ITI	H'560*2	0-15 (0)	IPRB (15-12)	-	
REF	RCMI	H'580*2	0-15 (0)	IPRB (11-8)	-	

【注】 \*1 INTEVT2 コード

\*2 INTEVT には、INTEVT2 と同じコードがセットされます。

\*3 INTEVT には、割り込みレベル (H'200 ~ H'3C0) を示すコードがセットされます。割り込みレベルと INTEVT の対応は、表 8.5 を参照してください。

表 8.4 割り込み例外処理要因と優先順位 (IRL モード時)

割り込み要因	例外コード* <sup>1</sup>	割り込み優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の優先順位	デフォルト優先順位	
NMI	H'1C0* <sup>2</sup>	16	-	-		
H-UDI	H'5E0* <sup>2</sup>	15	-	-		
IRL	IRL3 ~ IRL0=B'0000	H'200* <sup>3</sup>	15	-		-
	IRL3 ~ IRL0=B'0001	H'220* <sup>3</sup>	14	-		-
	IRL3 ~ IRL0=B'0010	H'240* <sup>3</sup>	13	-		-
	IRL3 ~ IRL0=B'0011	H'260* <sup>3</sup>	12	-		-
	IRL3 ~ IRL0=B'0100	H'280* <sup>3</sup>	11	-		-
	IRL3 ~ IRL0=B'0101	H'2A0* <sup>3</sup>	10	-		-
	IRL3 ~ IRL0=B'0110	H'2C0* <sup>3</sup>	9	-		-
	IRL3 ~ IRL0=B'0111	H'2E0* <sup>3</sup>	8	-		-
	IRL3 ~ IRL0=B'1000	H'300* <sup>3</sup>	7	-		-
	IRL3 ~ IRL0=B'1001	H'320* <sup>3</sup>	6	-		-
	IRL3 ~ IRL0=B'1010	H'340* <sup>3</sup>	5	-		-
	IRL3 ~ IRL0=B'1011	H'360* <sup>3</sup>	4	-		-
	IRL3 ~ IRL0=B'1100	H'380* <sup>3</sup>	3	-		-
	IRL3 ~ IRL0=B'1101	H'3A0* <sup>3</sup>	2	-		-
	IRL3 ~ IRL0=B'1110	H'3C0* <sup>3</sup>	1	-		-
IRQ	IRQ4	H'680* <sup>3</sup>	0-15 (0)	IPRD (3-0)		-
	IRQ5	H'6A0* <sup>3</sup>	0-15 (0)	IPRD (7-4)		-
TMU	TMU_SUNI	H'6C0* <sup>3</sup>	0-15 (0)	IPRD (11-8)		-
DMAC (1)	DEI0	H'800* <sup>3</sup>	0-15 (0)	IPRE (15-12)		
	DEI1	H'820* <sup>3</sup>				
	DEI2	H'840* <sup>3</sup>				
	DEI3	H'860* <sup>3</sup>				
LCDC	LCDCI	H'900* <sup>3</sup>	0-15 (0)	IPRE (7-4)		-
SSL	SSLJ	H'980* <sup>3</sup>	0-15 (0)	IPRE (3-0)		-
USBF	USBFI0	H'A20* <sup>3</sup>	0-15 (0)	IPRF (7-4)	高	
	USBFI1	H'A40* <sup>3</sup>			低	
USBH	USBHI	H'A60* <sup>3</sup>	0-15 (0)	IPRJ (11-8)	-	
DMAC (2)	DEI4	H'B80* <sup>3</sup>	0-15 (0)	IPRF (11-8)	高	
	DEI5	H'BA0* <sup>3</sup>			低	



割り込み要因		例外コード*1	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
ADC	ADI	H'BE0*3	0-15 (0)	IPRF (15-12)	-	
SCIF0	SCIF0	H'C00*3	0-15 (0)	IPRG (15-12)	-	
SCIF1	SCIF1	H'C20*3	0-15 (0)	IPRG (11-8)	-	
PINT	PINTA	H'C80*3	0-15 (0)	IPRH (15-12)	-	
	PINTB	H'CA0*3	0-15 (0)	IPRH (11-8)	-	
SIOF0	SIOF0	H'D00*3	0-15 (0)	IPRI (15-12)	-	
SIOF1	SIOF1	H'D20*3	0-15 (0)	IPRI (11-8)	-	
TPU	TPI0	H'D80*3	0-15 (0)	IPRH (7-4)	高 ↑ ↓ 低	
	TPI1	H'DA0*3				
	TPI2	H'DC0*3				
	TPI3	H'DE0*3				
IIC	IICI	H'E00*3	0-15 (0)	IPRH (3-0)	-	
MMC	MMCI0	H'E80*3	0-15 (0)	IPRI (7-4)	高 ↑ ↓ 低	
	MMCI1	H'EA0*3				
	MMCI2	H'EC0*3				
	MMCI3	H'EE0*3				
CMT	CMI	H'F00*3	0-15 (0)	IPRF (3-0)	-	
PCC	PCCI	H'F60*3	0-15 (0)	IPRI (3-0)	-	
SDHI	SDI	H'F80*3	0-15 (0)	IPRJ (7-4)	-	
AFEIF	AFECI	H'FE0*3	0-15 (0)	IPRJ (3-0)	-	
TMU0	TUNI0	H'400*2	0-15 (0)	IPRA (15-12)	-	
TMU1	TUNI1	H'420*2	0-15 (0)	IPRA (11-8)	-	
TMU2	TUNI2	H'440*2	0-15 (0)	IPRA (7-4)	-	
RTC	ATI	H'480*2	0-15 (0)	IPRA (3-0)	高 ↑ ↓ 低	
	PRI	H'4A0*2				
	CUI	H'4C0*2				
SIM	ERI	H'4E0*2	0-15 (0)	IPRB (7-4)	高 ↑ ↓ 低	
	RXI	H'500*2				
	TXI	H'520*2				
	TEI	H'540*2				
WDT	ITI	H'560*2	0-15 (0)	IPRB (15-12)	-	
REF	RCMI	H'580*2	0-15 (0)	IPRB (11-8)	-	

- 【注】 \*1 INTEVT2 コード
- \*2 INTEVT には、INTEVT2 と同じコードがセットされます。
- \*3 INTEVT には、割り込みレベル (H'200 ~ H'3C0) を示すコードがセットされます。割り込みレベルと INTEVT の対応は、表 8.5 を参照してください。

表 8.5 割り込みレベルと INTEVT コード

割り込みレベル	INTEVT コード
15	H'200
14	H'220
13	H'240
12	H'260
11	H'280
10	H'2A0
9	H'2C0
8	H'2E0
7	H'300
6	H'320
5	H'340
4	H'360
3	H'380
2	H'3A0
1	H'3C0

## 8.5 動作説明

### 8.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 8.3 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から割り込み優先レベルレジスタ A ~ J (IPRA ~ IPRJ) に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 8.3 および表 8.4 に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
4. 検出タイミング : INTC は周辺クロック (P ) に同期して動作し、CPU に割り込み要求を通知します。CPU は、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT、INTEVT2) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれ SSR と SPC に退避されます。
7. SR のブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が 1 にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値と H'00000600 の和) にジャンプします。このジャンプは遅延分岐ではありません。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば INTEVT または INTEVT2 レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本 LSI では、割り込みを受け付けても CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) は変化しません。
  2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。  
クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後要因フラグをリードし、その後 BL ビットをクリアするか、RTE 命令を実行します。

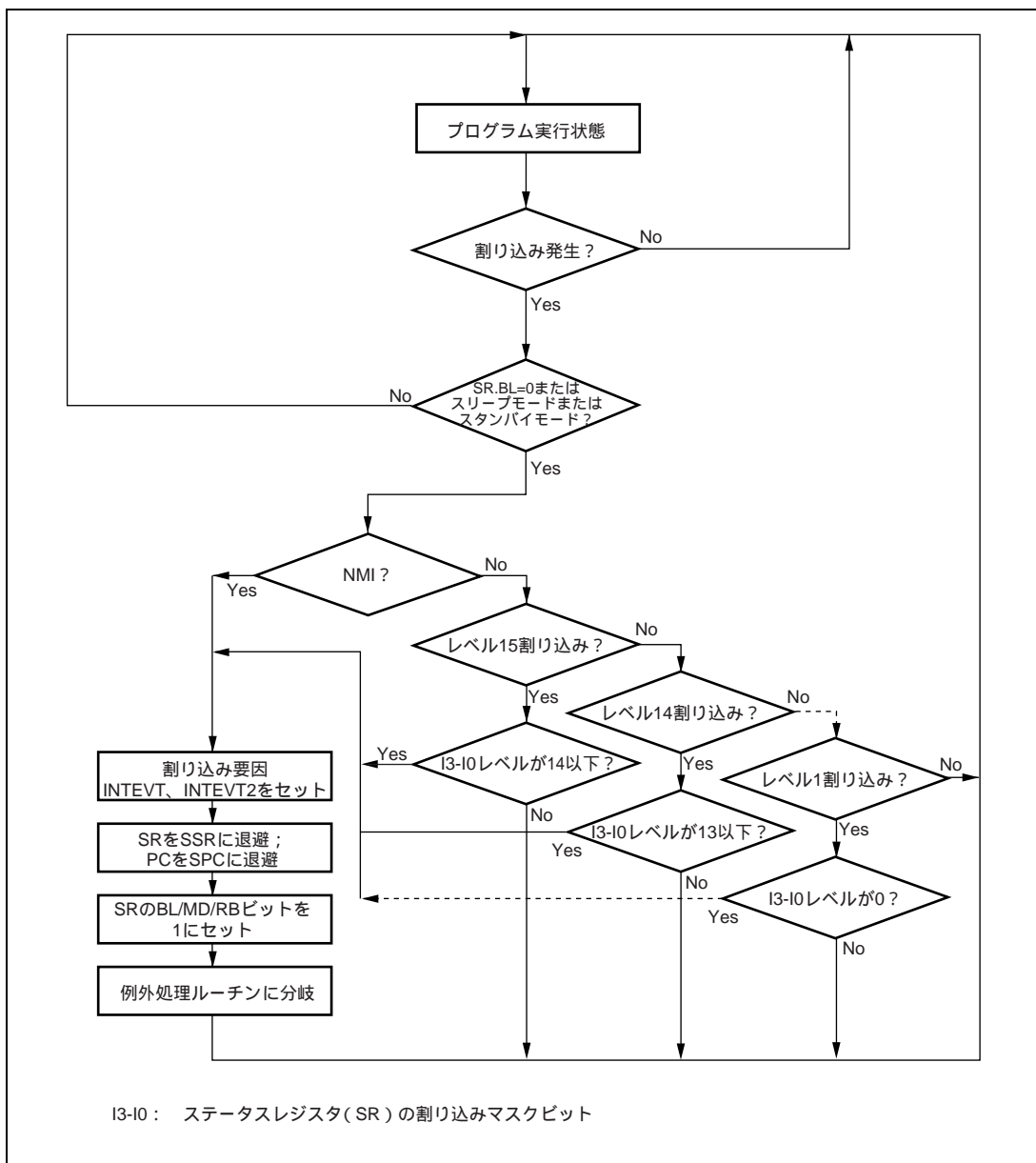


図 8.3 割り込み動作フローチャート

### 8.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTまたはINTEVT2レジスタの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをメモリに退避します。
4. SRのBLビットをクリアします。このとき、SRの割り込みマスクビットも受け付けた割り込みレベルに設定します。
5. このあと、実際に行いたい処理を書きます。
6. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。図 8.3 に割り込み動作フローチャートの例を示します。



---

## 9. バスステートコントローラ (BSC)

---

外部バスコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

### 9.1 特長

BSC には、次の特長があります。

#### (1) 外部アドレス空間

- $\overline{CS0}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、および  $\overline{CS6B}$  の各空間をそれぞれ最大32Mバイトまたは最大64Mバイトまで、外部アドレス空間の合計を384Mバイト (8個の部分空間に分割) までサポート
- $\overline{CS0}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 、および  $\overline{CS6}$  の各空間はそれぞれ最大64Mバイトまで、外部アドレス空間の合計は384Mバイト (6個の部分空間に分割) までサポート
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、バーストROM (クロック同期または非同期)、SDRAM、およびPCMCIAのメモリ種類を指定可能
- 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト (同一空間または別空間)、リード - リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

#### (2) 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

#### (3) バーストROM (クロック非同期) インタフェース

- ページモード機能を有するROMを高速にアクセス可能

#### (4) SDRAM インタフェース

- 最大2つのエリアでSDRAMを設定可能
- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- ローパワー機能をサポート

## (5) バイト選択付き SRAM インタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

## (6) PCMCIA 直結インタフェース

- JEIDA仕様Ver4.2 (PCMCIA2.1 Rev2.1) で定める「ICメモリカードおよびI/Oカードインタフェース」をサポート
- ウェイトステート挿入をプログラムで制御可能
- I/Oバス幅のバスサイジング機能をサポート (リトルエンディアンモード時のみ)

## (7) パースト ROM (クロック同期) インタフェース

- クロック同期タイプのパーストROMを直結可能

## (8) バスアービトレーション

- すべての資源を他のCPUと共有し、外部からのバス権要求を受け、バス使用許可を出力可能

## (9) リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定 (1、2、4、6、および8) による集中リフレッシュが可能

## (10) リフレッシュ用カウンタのインターバルタイマとしての利用

- コンペアマッチで割り込み要求発生可能

【注】 BSC によりサポートされる PCMCIA 直結インタフェースは、表 9.1 に示された信号とバスプロトコルのサポートのみとなります。その他の制御信号については、外部回路、または SH7720 グループ、SH7721 グループ製品内蔵の PC カードコントローラ (「第 29 章 PC カードコントローラ (PCC)」を参照) を使用してください。

なお、BSC では、エリア 5、エリア 6 共に SH3 共通の PCMCIA 直結インタフェース機能を有していますが、内蔵の PC カードコントローラはエリア 6 だけをサポートしています。



BSC のブロック図を図 9.1 に示します。

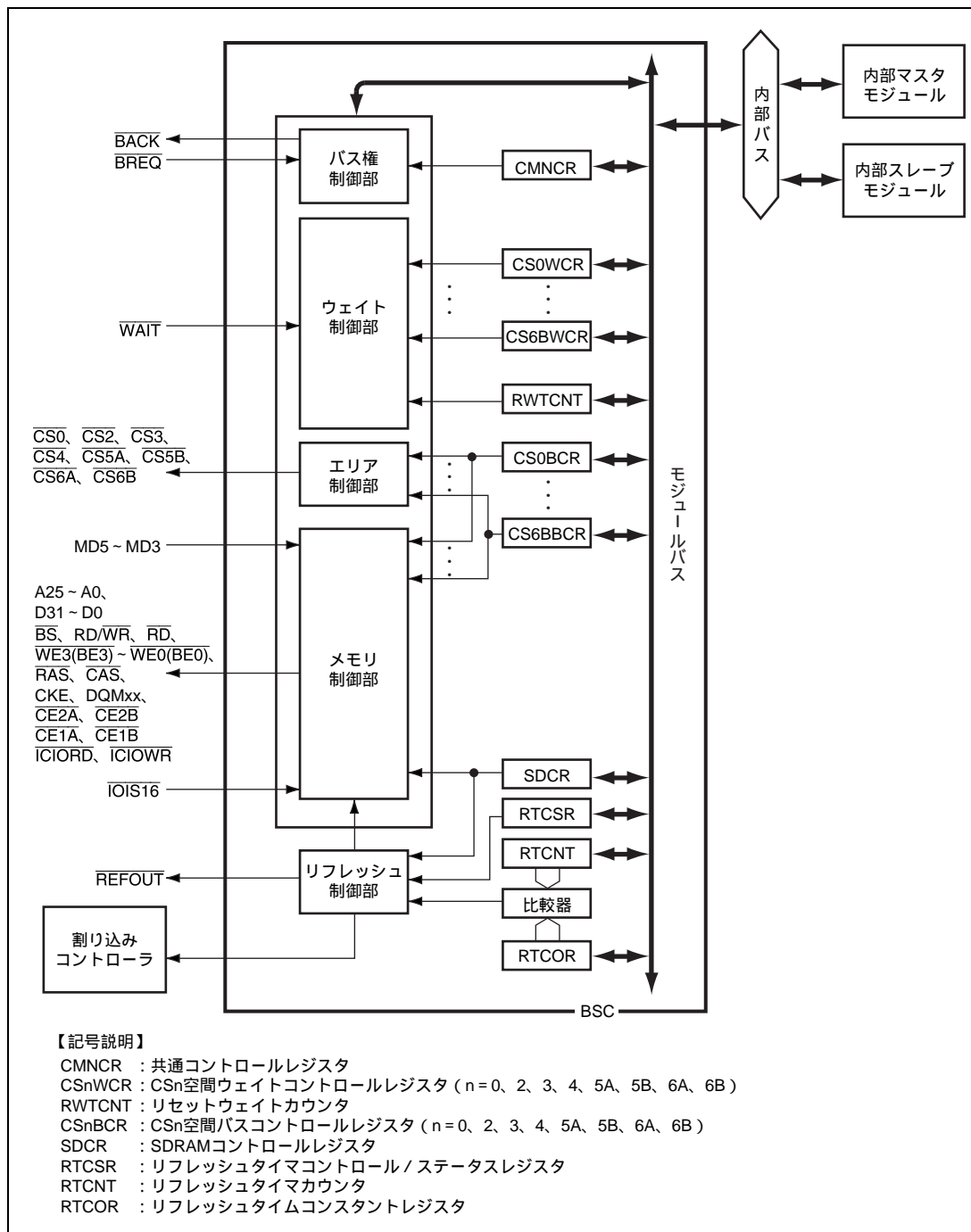


図 9.1 バスステートコントローラのブロック図

## 9.2 入出力端子

BSC の端子構成を表 9.1 に示します。

表 9.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
$\overline{BS}$	出力	バスサイクルの開始を示す信号 通常空間、バースト ROM (クロック同期 / 非同期)、および PCMCIA アクセス時にアサートされる。SDRAM アクセス時は、 $\overline{CAS}$ と同タイミングでアサートされる。
$\overline{CS0}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$	出力	チップセレクト
$\overline{CS5A/CE2A}$	出力	チップセレクト アドレスマップ 1 のときのみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D15 ~ D8 対応
$\overline{CS5B/CE1A}$	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
$\overline{CS6A/CE2B}$	出力	チップセレクト アドレスマップ 1 のときのみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D15 ~ D8 対応
$\overline{CS6B/CE1B}$	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
$\overline{RD/WR}$	出力	リードライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、 $\overline{WE}$ 端子に接続
$\overline{RD}$	出力	リードストロープ (リードデータ出力許可信号) PCMCIA 使用時は、メモリリードサイクルを示すストロープ信号
$\overline{WE3(BE3)/DQMUU/ICIOWR}$	出力	D31 ~ D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D31 ~ D24 対応の選択信号 PCMCIA 使用時は、I/O ライトを示すストロープ信号
$\overline{WE2(BE2)/DQMUL/ICIORD}$	出力	D23 ~ D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D23 ~ D16 対応の選択信号 PCMCIA 使用時は、I/O リードを示すストロープ信号
$\overline{WE1(BE1)/DQMLU/WE}$	出力	D15 ~ D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15 ~ D8 対応の選択信号 PCMCIA 使用時は、メモリライトサイクルを示すストロープ信号

端子名	入出力	機能
WE0(BE0)/DQMLL	出力	D7～D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7～D0 対応の選択信号
RAS	出力	SDRAM 接続時は、RAS 端子に接続
CAS	出力	SDRAM 接続時は、CAS 端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
IOIS16	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効 ビッグエンディアン時は、ローレベルにしてください。
WAIT	入力	外部ウェイト入力 (CKIO の立ち下がりでサンプリングされます)
BREQ	入力	バス権要求入力
BACK	出力	バス使用許可出力
MD5～MD3	入力	MD5：データアライメント (ビッグまたはリトルエンディアンの選択) MD4、3：エリア 0 のバス幅 (8/16/32 ビット)
REFOUT	出力	リフレッシュのためのバス権要求信号

## 9.3 エリアの概要

### 9.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しています。このうち上位 3 ビットで P0～P4 領域に分類され、キャッシュアクセス方法を表します。詳細は、「第 5 章 キャッシュ」を参照ください。残り 29 ビットは、CMNCR レジスタの MAP ビットにより、10 空間 (アドレスマップ 1) あるいは 8 空間 (アドレスマップ 2) に分類されています。BSC は、本 29 ビットの空間の制御を行います。

本 LSI は、表 9.2、表 9.3 に示すように物理空間の 8 空間あるいは 6 空間にそれぞれ各種メモリを接続でき、おののに対応してチップセレクト信号 ( $\overline{CS0}$ 、 $\overline{CS2}$ ～ $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、および  $\overline{CS6B}$ ) を出力します。エリア 0 のアクセス時には  $\overline{CS0}$  がアサートします。また、アドレスマップ 1 選択時はエリア 5A のアクセス時に  $\overline{CS5A}$  がアサートし、アドレスマップ 2 選択時は  $\overline{CS5B}$  がアサートします。

### 9.3.2 シャドウ空間

物理アドレスの A28 ~ A25 でデコードされ、エリア 0、2 ~ 4、5A/5B、および 6A/6B に対応します。アドレスの A31 ~ A29 は、無視されます。このため、たとえば、エリア 0 のアドレスの範囲は H'00000000 ~ H'03FFFFFF なのに対し、H'20000000 × n (n = 1 ~ 6) を加えた P1 ~ P3 領域のアドレス空間はシャドウ空間となります。

また、エリア 7 のアドレスの範囲は、H'1C000000 ~ H'1FFFFFFF です。エリア 7 のシャドウ空間に相当するアドレスを含めて H'1C000000 + H'20000000 × n ~ H'1FFFFFFF + H'20000000 × n (n = 0 ~ 6) は予約空間ですので、使用しないでください。

P4 領域 (H'E0000000 ~ H'EFFFFFFFFF) は、I/O 領域であり、内蔵レジスタ等のアドレスが割り付けてあります。シャドウ空間にはなりません。

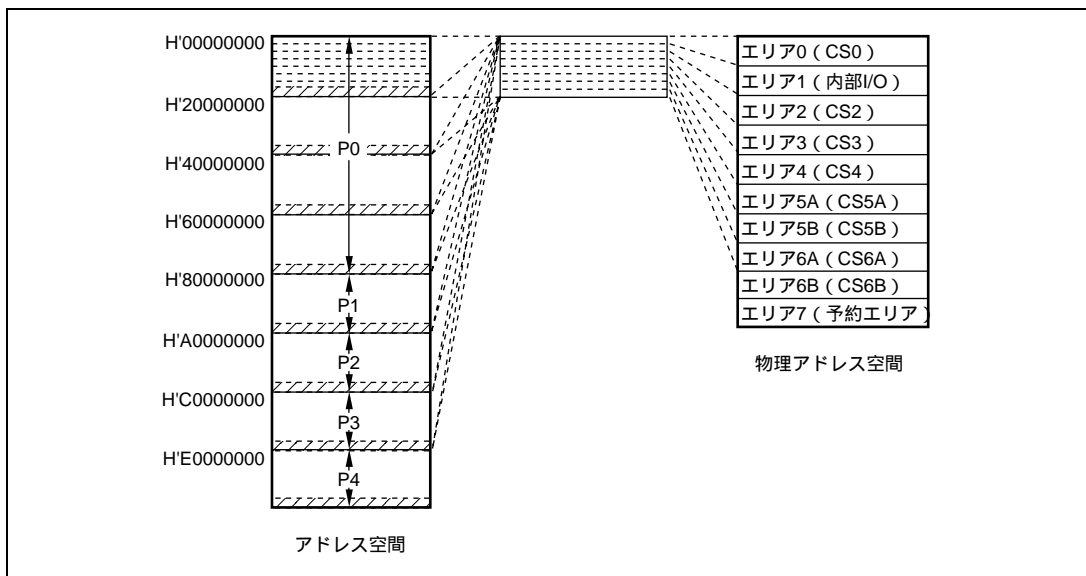


図 9.2 アドレス空間

### 9.3.3 アドレスマップ

外部アドレス空間は合計 384M バイトあり、これを 8 空間 (アドレスマップ 1) または 6 空間 (アドレスマップ 2) の部分空間に分割して使用します。接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 9.2 アドレスマップ 1 (CMNCR.MAP=0)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	通常空間 バースト ROM (非同期) バースト ROM (同期)	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	内蔵 I/O レジスタ空間*2	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	通常空間 バイト選択付き SRAM SDRAM	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	通常空間 バイト選択付き SRAM SDRAM	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4	通常空間 バイト選択付き SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'15FFFFFF	エリア 5A	通常空間	32M バイト
H'16000000 ~ H'17FFFFFF	エリア 5B	通常空間 バイト選択付き SRAM	32M バイト
H'18000000 ~ H'19FFFFFF	エリア 6A	通常空間	32M バイト
H'1A000000 ~ H'1BFFFFFF	エリア 6B	通常空間 バイト選択付き SRAM	32M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア*1	64M バイト

【注】 \*1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

\*2 内部 I/O レジスタは、アドレスの先頭 3 ビットを 101 として P2 領域に配置してください。

表 9.3 アドレスマップ 2 (CMNCR.MAP = 1)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	通常空間 バースト ROM (非同期) バースト ROM (同期)	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	内蔵 I/O レジスタ空間*3	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	通常空間 バイト選択付き SRAM SDRAM	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	通常空間 バイト選択付き SRAM SDRAM	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4	通常空間 バイト選択付き SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'17FFFFFF	エリア 5*2	通常空間 バイト選択付き SRAM PCMCIA	64M バイト
H'18000000 ~ H'1BFFFFFF	エリア 6*2	通常空間 バイト選択付き SRAM PCMCIA	64M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア*1	64M バイト

【注】 \*1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

\*2 エリア 5 空間は、CS5BBCR および CS5BWCR レジスタが有効になります。

エリア 6 空間は、CS6BBCR および CS6BWCR レジスタが有効になります。

\*3 内部 I/O レジスタは、アドレスの先頭 3 ビットを 101 として P2 領域に配置してください。

### 9.3.4 エリア 0 メモリタイプおよびメモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部端子を用いてバスサイズを通常空間設定時は 8 ビット、16 ビット、32 ビットから選択できます。それ以外のエリアは、レジスタで設定します。パワーオンリセット時のメモリタイプおよび外部端子 (MD3、MD4) とバス幅の関係は、以下ようになります。

表 9.4 外部端子 (MD4、MD3) と CS0 メモリタイプ、メモリバス幅の対応

MD4	MD3	メモリタイプ	バス幅
0	0	通常空間	予約 (設定不可)
	1		8 ビット*
1	0		16 ビット
	1		32 ビット

【注】 \* バースト ROM (クロック同期) インタフェースを選択するときは、8 ビットに設定しないでください。

### 9.3.5 データアライメント

本 LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子 (MD5) で決まります。

表 9.5 外部端子 (MD5) とエンディアン対応

MD5	データアライメント
0	ビッグエンディアン
1	リトルエンディアン

## 9.4 レジスタの説明

BSC には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 37 章 レジスタ一覧」を参照してください。

メモリとのインタフェースの設定が終了するまでは、CS0 空間以外はアクセスしないでください。

- 共通コントロールレジスタ (CMNCR)
- CS0空間バスコントロールレジスタ (CS0BCR)
- CS2空間バスコントロールレジスタ (CS2BCR)
- CS3空間バスコントロールレジスタ (CS3BCR)
- CS4空間バスコントロールレジスタ (CS4BCR)
- CS5A空間バスコントロールレジスタ (CS5ABCR)
- CS5B空間バスコントロールレジスタ (CS5BBCR)
- CS6A空間バスコントロールレジスタ (CS6ABCR)
- CS6B空間バスコントロールレジスタ (CS6BBCR)
- CS0空間ウェイトコントロールレジスタ (CS0WCR)
- CS2空間ウェイトコントロールレジスタ (CS2WCR)
- CS3空間ウェイトコントロールレジスタ (CS3WCR)
- CS4空間ウェイトコントロールレジスタ (CS4WCR)
- CS5A空間ウェイトコントロールレジスタ (CS5AWCR)
- CS5B空間ウェイトコントロールレジスタ (CS5BWCR)
- CS6A空間ウェイトコントロールレジスタ (CS6AWCR)
- CS6B空間ウェイトコントロールレジスタ (CS6BWCR)
- SDRAMコントロールレジスタ (SDCR)
- リフレッシュタイマコントロール / ステータスレジスタ (RTCSR)
- リフレッシュタイマカウンタ (RTCNT)

- リフレッシュタイムコンスタントレジスタ (RTCOR)
- SDRAMモードレジスタ (SDMR2)
- SDRAMモードレジスタ (SDMR3)

#### 9.4.1 共通コントロールレジスタ (CMNCR)

本レジスタは、各エリアに共通の制御を行う 32 ビットのレジスタです。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
31 ~ 15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14	BSD	0	R/W	バスアクノリッジの獲得後のアクセス開始タイミング指定 本ビットにより、外部バスアクノリッジの獲得後のアクセス開始タイミングを指定します。 0: バスアクノリッジの獲得後に、アドレスドライブ開始タイミングと同時に外部アクセスを開始します。 1: バスアクノリッジの獲得後に、アドレスドライブ開始タイミングの 1 サイクル後に外部アクセスを開始します。
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	MAP	0	R/W	空間設定 本ビットにより、外部アドレス空間のアドレスマップを選択します。選択できるアドレスマップについては、表 9.2 および表 9.3 を参照してください。 0: アドレスマップ 1 を選択 1: アドレスマップ 2 を選択
11	BLOCK	0	R/W	バスロックビット $\overline{\text{BREQ}}$ を受け付けるかどうかを指定します。 0: $\overline{\text{BREQ}}$ を受け付けます。 1: $\overline{\text{BREQ}}$ を受け付けません。



ビット	ビット名	初期値	R/W	説明
10 9	DPRTY1 DPRTY0	0 0	R/W R/W	<p>DMA バースト転送優先順位</p> <p>本ビットは、DMA バースト転送中に対するリフレッシュ要求 / バス権使用要求の優先順位を指定します。</p> <p>00 : DMA バースト転送中にリフレッシュ要求とバス権使用要求を受け付ける。</p> <p>01 : DMA バースト転送中にリフレッシュ要求を受け付け、バス権使用要求は受け付けない。</p> <p>10 : DMA バースト転送中にリフレッシュ要求、バス権使用要求ともに受け付けない。</p> <p>11 : 予約 (設定不可)</p>
8 7 6	DMAIW2 DMAIW1 DMAIWO	0 0 0	R/W R/W R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定</p> <p>本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスからのデータ出力後に挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。</p> <p>000 : アイドルサイクルなし</p> <p>001 : 1 アイドルサイクル挿入</p> <p>010 : 2 アイドルサイクル挿入</p> <p>011 : 4 アイドルサイクル挿入</p> <p>100 : 6 アイドルサイクル挿入</p> <p>101 : 8 アイドルサイクル挿入</p> <p>110 : 10 アイドルサイクル挿入</p> <p>111 : 12 アイドルサイクル挿入</p>
5	DMAIWA	0	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定</p> <p>本ビットは、DMAIW1 と DMAIWO ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが 0 の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入します。DACK 付き外部デバイスが連続してデータバスをドライブする場合は、アイドルサイクルを挿入しません。本ビットが 1 の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1 回のアクセス終了後必ずアイドルサイクルが挿入されます。</p> <p>0 : DACK 付き外部デバイスがデータバスをドライブ後、他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入</p> <p>1 : DACK 付き外部デバイスアクセス後、常にアイドルサイクルを挿入</p>
4	-	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3	ENDIAN	0/1*	R	エンディアンフラグ 本ビットは、パワーオンリセット時にエンディアン設定の外部端子 (MD5) の値をサンプリングします。全空間のエンディアンは、このビットで決定されます。本ビットは、読み出し専用です。 0: パワーオンリセット時にエンディアン設定の外部端子 (MD5) がローレベルであり、本 LSI がビッグエンディアンとして動作 1: パワーオンリセット時にエンディアン設定の外部端子 (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして動作
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む時も常に 0 にしてください。
1	HIZMEM	0	R/W	High-Z メモリコントロール 本ビットは、A25 - 0、 $\overline{BS}$ 、 $\overline{CSn}$ 、 $\overline{RD/WR}$ 、 $\overline{WEn}$ ( $\overline{BE_n}$ )/DQMxx、および $\overline{RD}$ のスタンバイモード時の端子状態を指定します。バス開放時は、本ビットにかかわらずハイインピーダンスになります。 0: スタンバイモード時にハイインピーダンス 1: スタンバイモード時にドライブ
0	HIZCNT	0	R/W	High-Z コントロール 本ビットは、CKIO、CKE、 $\overline{RAS}$ 、 $\overline{CAS}$ のスタンバイモード時およびバス権解放時の状態を指定します。 0: CKIO、CKE、 $\overline{RAS}$ 、 $\overline{CAS}$ は、スタンバイモード時およびバス権解放時にハイインピーダンス 1: CKIO、CKE、 $\overline{RAS}$ 、 $\overline{CAS}$ は、スタンバイモード時およびバス権解放時にドライブ

【注】 \* エンディアンを指定する外部端子 (MD5) の値をパワーオンリセット時にサンプリング  
ビッグエンディアンのときは 0、リトルエンディアンのときは 1 となります。

### 9.4.2 CSn 空間バスコントロールレジスタ (CSnBCR)

本レジスタは、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。  
(n=0、2、3、4、5A、5B、6A、6B)

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	IWW2	0	R/W	ライト - リード / ライト - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
29	IWW1	1	R/W	
28	IWW0	1	R/W	
27	IWRWD2	0	R/W	別空間リード - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
26	IWRWD1	1	R/W	
25	IWRWD0	1	R/W	

ビット	ビット名	初期値	R/W	説明
24	IWRWS2	0	R/W	同一空間リード - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
23	IWRWS1	1	R/W	
22	IWRWS0	1	R/W	
21	IWRRD2	0	R/W	別空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
20	IWRRD1	1	R/W	
19	IWRRD0	1	R/W	
18	IWRRS2	0	R/W	同一空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
17	IWRRS1	1	R/W	
16	IWRRS0	1	R/W	

ビット	ビット名	初期値	R/W	説明
15	TYPE3	0	R/W	メモリ種類指定
14	TYPE2	0	R/W	本ビットは、空間に接続するメモリの種類を設定します。
13	TYPE1	0	R/W	0000 : 通常空間
12	TYPE0	0	R/W	0001 : パースト ROM (クロック非同期) 0010 : 予約 (設定不可) 0011 : バイト選択付き SRAM 0100 : SDRAM 0101 : PCMCIA 0110 : 予約 (設定不可) 0111 : パースト ROM (クロック同期) 1000 : 予約 (設定不可) 1001 : 予約 (設定不可) 1010 : 予約 (設定不可) 1011 : 予約 (設定不可) 1100 : 予約 (設定不可) 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)
				【注】 エリア 0 のリセット直後のメモリタイプは、通常空間となります。本ビットで通常空間、パースト ROM (クロック非同期)、およびパースト ROM (クロック同期) から選択可能です。 エリアごとのメモリタイプは表 9.2、表 9.3 を参照ください。
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10	BSZ1	1*	R/W	データバス幅指定
9	BSZ0	1*	R/W	本ビットは、空間のデータバス幅を指定します。 00 : 予約 (設定不可) 01 : 8 ビット 10 : 16 ビット 11 : 32 ビット
				【注】 1. エリア 0 のデータバス幅は、外部入力端子で設定します。CS0BCR の BSZ1、0 ビットの設定は無視されます。 2. エリア 5 またはエリア 6 を PCMCIA 空間に設定した場合は、バス幅は 8 または 16 ビットから設定が可能です。 3. エリア 2 またはエリア 3 を SDRAM 空間に設定した場合は、バス幅は 16 または 32 ビットから設定が可能です。
8~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

【注】 \* CS0BCR は、バス幅を指定する外部端子 (MD3 と MD4) の値をパワーオンリセット時にサンプリングします。

### 9.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR)

本レジスタは、メモリアクセスに関する各種ウェイトサイクルの設定を行います。本レジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE3、2、1、0) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR は、CSnBCR を設定後に設定してください。(n=0、2、3、4、5A、5B、6A、6B)

#### (1) 通常空間、バイト選択付き SRAM

- CS0WCR、CS6BWCR

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WEn}$ ( $\overline{BE_n}$ ) および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WEn}$ ( $\overline{BE_n}$ ) は、リードライトタイミングでアサート $RD/\overline{WR}$ は、ライトアクセスサイクル中アサート 1: $\overline{WEn}$ ( $\overline{BE_n}$ ) は、リードライトアクセスサイクル中アサート $RD/\overline{WR}$ は、ライトタイミングでアサート
19~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12 11	SW1 SW0	0 0	R/W R/W	アドレス、 $\overline{CSn}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BE_n}$ ) アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CSn}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BE_n}$ ) アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明	
10	WR3	1	R/W	アクセスウェイトサイクル数	
9	WR2	0	R/W	本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)	
8	WR1	1	R/W		
7	WR0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) ネゲート アドレス、 $\overline{CS_n}$ ネゲート 遅延サイクル数 本ビットは、RD、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) ネゲートから、アドレス、 $\overline{CS_n}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
0	HW0	0	R/W		

• CS2WCR、CS3WCR

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE_n}$ ( $\overline{BE_n}$ ) および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WE_n}$ ( $\overline{BE_n}$ ) は、リードライトタイミングでアサート $RD/\overline{WR}$ は、ライトアクセスサイクル中アサート 1: $\overline{WE_n}$ ( $\overline{BE_n}$ ) は、リードライトアクセスサイクル中アサート $RD/\overline{WR}$ は、ライトタイミングでアサート
19~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10 9 8 7	WR3 WR2 WR1 WR0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000: 0 サイクル 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定不可) 1110: 予約 (設定不可) 1111: 予約 (設定不可)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。



## • CS4WCR

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE_n}$ ( $\overline{BE_n}$ ) および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WE_n}$ ( $\overline{BE_n}$ ) は、リードライトタイミングでアサート $RD/\overline{WR}$ は、ライトアクセスサイクル中アサート 1: $\overline{WE_n}$ ( $\overline{BE_n}$ ) は、リードライトアクセスサイクル中アサート $RD/\overline{WR}$ は、ライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18 17 16	WW2 WW1 WW0	0 0 0	R/W R/W R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR3~WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じ サイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12 11	SW1 SW0	0 0	R/W R/W	アドレス、 $\overline{CS_n}$ アサート $RD$ 、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS_n}$ アサートから $RD$ 、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明	
10	WR3	1	R/W	アクセスウェイトサイクル数	
9	WR2	0	R/W	本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)	
8	WR1	1	R/W		
7	WR0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、WE $\bar{n}$ ( $\overline{BE_n}$ ) ネゲート アドレス、CS $\bar{n}$ ネゲート遅延サイクル数
0	HW0	0	R/W		本ビットは、RD、WE $\bar{n}$ ( $\overline{BE_n}$ ) ネゲートから、アドレス、CS $\bar{n}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

## • CS5AWCR

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18	WW2	0	R/W	ライトアクセスウェイトサイクル数
17	WW1	0	R/W	本ビットには、ライトアクセスに必要なサイクル数を指定します。
16	WW0	0	R/W	000: WR3~WR0 設定 (リードアクセス/ライトアクセスウェイト) と同じ サイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	SW1	0	R/W	アドレス、 $\overline{CSn}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BEn}$ ) アサート遅延サイクル数
11	SW0	0	R/W	本ビットは、アドレス、 $\overline{CSn}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BEn}$ ) アサートまでの 遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明	
10	WR3	1	R/W	アクセスウェイトサイクル数	
9	WR2	0	R/W	本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)	
8	WR1	1	R/W		
7	WR0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) ネゲート アドレス、 $\overline{CS_n}$ ネゲート遅延サイクル数 本ビットは、RD、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) ネゲートから、アドレス、 $\overline{CS_n}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
0	HW0	0	R/W		

## • CS5BWCR

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE_n}$ ( $\overline{BE_n}$ ) および $\overline{RD}/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WE_n}$ ( $\overline{BE_n}$ ) は、リードライトタイミングでアサート $\overline{RD}/\overline{WR}$ は、ライトアクセスサイクル中アサート 1: $\overline{WE_n}$ ( $\overline{BE_n}$ ) は、リードライトアクセスサイクル中アサート $\overline{RD}/\overline{WR}$ は、ライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18 17 16	WW2 WW1 WW0	0 0 0	R/W R/W R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR3 ~ WR0 設定 (リードアクセス / ライトアクセスウェイト) と同じ サイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12 11	SW1 SW0	0 0	R/W R/W	アドレス、 $\overline{CS_n}$ アサート $\overline{RD}$ 、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS_n}$ アサートから $\overline{RD}$ 、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明	
10	WR3	1	R/W	アクセスウェイトサイクル数	
9	WR2	0	R/W	本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)	
8	WR1	1	R/W		
7	WR0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) ネゲート アドレス、 $\overline{CS_n}$ ネゲート遅延サイクル数 本ビットは、RD、 $\overline{WE_n}$ ( $\overline{BE_n}$ ) ネゲートから、アドレス、 $\overline{CS_n}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
0	HW0	0	R/W		

## • CS6AWCR

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12 11	SW1 SW0	0 0	R/W R/W	アドレス、 $\overline{CSn}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BEn}$ ) アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CSn}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BEn}$ ) アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10 9 8 7	WR3 WR2 WR1 WR0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 本ビットは、リードアクセス、ライトアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1 0	HW1 HW0	0 0	R/W R/W	$\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BEn}$ ) ネゲート アドレス、 $\overline{CSn}$ ネゲート遅延サイクル数 本ビットは、 $\overline{RD}$ および $\overline{WEn}$ ( $\overline{BEn}$ ) ネゲートから、アドレスおよび $\overline{CSn}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

## (2) パースト ROM (クロック非同期)

## • CS0WCR

ビット	ビット名	初期値	R/W	説 明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BEN	0	R/W	パーストイネーブル指定 本ビットは、16 バイトアクセス発生時の 16 ビットバス幅に対する 8 パーストアクセスおよび 8 ビットバス幅に対する 16 パーストアクセスの許可または不許可を指定します。本ビットを 1 に設定時は、16 ビットバス幅のとき 2 パースト 4 回のアクセス、および 8 ビットバス幅のとき 4 パースト 4 回のアクセスとなります。 8 パーストおよび 16 パーストアクセスに対応していないデバイスを使用する場合は、本ビットを 1 にしてください。 0 : 16 ビットバス幅時の 8 パーストアクセスおよび 8 ビットバス幅時の 16 パーストアクセスを許可 1 : 16 ビットバス幅時の 8 パーストアクセスおよび 8 ビットバス幅時の 16 パーストアクセスを禁止
19	-	0	R	リザーブビット
18	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	BW1	0	R/W	パーストウェイトサイクル数
16	BW0	0	R/W	本ビットは、パーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00 : 0 サイクル 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。



ビット	ビット名	初期値	R/W	説明	
10	W3	1	R/W	アクセスウェイトサイクル数	
9	W2	0	R/W	本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。	
8	W1	1	R/W		
7	W0	0	R/W		
					0000 : 0 サイクル
					0001 : 1 サイクル
					0010 : 2 サイクル
					0011 : 3 サイクル
					0100 : 4 サイクル
				0101 : 5 サイクル	
				0110 : 6 サイクル	
				0111 : 8 サイクル	
				1000 : 10 サイクル	
				1001 : 12 サイクル	
				1010 : 14 サイクル	
				1011 : 18 サイクル	
				1100 : 24 サイクル	
				1101 : 予約 (設定不可)	
				1110 : 予約 (設定不可)	
				1111 : 予約 (設定不可)	
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視	
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。	

## • CS4WCR

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BEN	0	R/W	バーストイネーブル指定 本ビットは、16 バイトアクセス発生時の 16 ビットバス幅に対する 8 バーストアクセスおよび 8 ビットバス幅に対する 16 バーストアクセスの許可または不許可を指定します。本ビットを 1 に設定時は、16 ビットバス幅のとき 2 バースト 4 回のアクセス、または 8 ビットバス幅のとき 4 バースト 4 回のアクセスとなります。 8 バーストおよび 16 バーストアクセスに対応していないデバイスを使用する場合は、本ビットを 1 にしてください。 0 : 16 ビットバス幅時の 8 バーストアクセスおよび 8 ビットバス幅時の 16 バーストアクセス許可 1 : 16 ビットバス幅時の 8 バーストアクセスおよび 8 ビットバス幅時の 16 バーストアクセス禁止
19	-	0	R	リザーブビット
18	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	BW1	0	R/W	バーストウェイトサイクル数
16	BW0	0	R/W	本ビットは、バーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00 : 0 サイクル 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	SW1	0	R/W	アドレス、 $\overline{CSn}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BEn}$ ) アサート遅延サイクル数
11	SW0	0	R/W	本ビットは、アドレス、 $\overline{CSn}$ アサートから、 $\overline{RD}$ 、 $\overline{WEn}$ ( $\overline{BEn}$ ) アサートまでの遅延サイクル数を指定します。本ビットは、エリア 4 でのみ設定可能です。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

ビット	ビット名	初期値	R/W	説明	
10	W3	1	R/W	アクセスウェイトサイクル数	
9	W2	0	R/W	本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可)	
8	W1	1	R/W		
7	W0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて 0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	HW1	0	R/W		RD、 $\overline{WEn}$ ( $\overline{BEn}$ ) ネゲート アドレス、 $\overline{CSn}$ ネゲート 遅延サイクル数 本ビットは、RD、 $\overline{WEn}$ ( $\overline{BEn}$ ) ネゲートから、アドレス、 $\overline{CSn}$ ネゲートまでの遅延サイクル数を指定します。本ビットは、エリア 4 でのみ設定可能です。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
0	HW0	0	R/W		

## (3) SDRAM

## • CS2WCR

ビット	ビット名	初期値	R/W	説 明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	A2CL1	1	R/W	エリア 2CAS レイテンシ
7	A2CL0	0	R/W	本ビットは、エリア 2 の CAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## • CS3WCR

ビット	ビット名	初期値	R/W	説 明
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14	TRP1	0	R/W	オートプリチャージ/PRE コマンド ACTV コマンドサイクル数
13	TRP0	0	R/W	本ビットは、オートプリチャージの起動または、PRE コマンド発行後から、同一バンクに対する ACTV コマンド発行までの最小サイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	TRCD1	0	R/W	ACTV コマンド READ(A)/WRIT(A)コマンドサイクル数
10	TRCD0	1	R/W	本ビットは、ACTV コマンド発行後、READ(A)/WRIT(A)コマンド発行までの最小サイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8 7	A3CL1 A3CL0	1 0	R/W R/W	エリア 3 の CAS レイテンシ 本ビットは、エリア 3 の CAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル エリア 2、エリア 3 に SDRAM を接続する場合、CAS レイテンシ値を CS2WCR レジスタのビット 8、7、および CS3WCR レジスタのビット 8、7 に設定するとともに、SDRAM モード設定のための SDMR2、SDMR3 レジスタにも設定してください。(表 9.19 参照)
6 5	- -	0 0	R R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4 3	TRWL1 TRWL0	0 0	R/W R/W	WRITA/WRIT コマンド オートプリチャージ/PRE コマンドサイクル数 本ビットは、WRITA または WRIT コマンド発行後、オートプリチャージが起動されるまでのサイクル数、または PRE コマンド発行までのサイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 00 : 0 サイクル 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1 0	TRC1 TRC0	0 0	R/W R/W	REF コマンド/セルフリフレッシュ解除 ACTV コマンドサイクル数 本ビットは、REF コマンド発行後、またはセルフリフレッシュ解除後から ACTV コマンド発行までの最小サイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 00 : 3 サイクル 01 : 4 サイクル 10 : 6 サイクル 11 : 9 サイクル

【注】 エリア 2 とエリア 3 が共に SDRAM に設定されている場合は、TRP1/0、TRCD0/1、TRWL1/0、TRC1/0 ビットは、共通の設定となります。

1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

## (4) PCMCIA

## • CS5BWCR、CS6BWCR

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
21 20	SA1 SA0	0 0	R/W R/W	空間属性指定 PCMCIA インタフェース設定時は、本ビットによりメモリカードインタフェースおよび I/O カードインタフェースのいずれかを指定します。 SA1 0 : A25=1 の空間をメモリカードインタフェース指定 1 : A25=1 の空間を I/O カードインタフェース指定 SA0 0 : A25=0 の空間をメモリカードインタフェース指定 1 : A25=0 の空間を I/O カードインタフェース指定 【注】 PC カードコントローラ (PCC) を使用する場合は以下に示す設定をしてください。 PCC の PCC0GCR レジスタのビット 4 (P0USE) に 1 を設定し、ビット 5 (P0PCCT) に 0 を設定した場合は、SA1、SA0 とともに 0 を設定してください。PCC の PCC0GCR レジスタのビット 4 (P0USE) に 1 を設定し、ビット 5 (P0PCCT) に 1 を設定した場合は、SA1、SA0 とともに 1 を設定してください。
19~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明	
14	TED3	0	R/W	アドレス - $\overline{RD}$ 、 $\overline{WE}$ アサート遅延	
13	TED2	0	R/W	本ビットは、PCMCIA インタフェースにおけるアドレス出力から $\overline{RD}$ と $\overline{WE}$ アサートまでの遅延時間を設定します。	
12	TED1	0	R/W		
11	TED0	0	R/W		
					0000 : 0.5 サイクル
					0001 : 1.5 サイクル
					0010 : 2.5 サイクル
					0011 : 3.5 サイクル
					0100 : 4.5 サイクル
					0101 : 5.5 サイクル
					0110 : 6.5 サイクル
					0111 : 7.5 サイクル
					1000 : 8.5 サイクル
				1001 : 9.5 サイクル	
				1010 : 10.5 サイクル	
				1011 : 11.5 サイクル	
				1100 : 12.5 サイクル	
				1101 : 13.5 サイクル	
				1110 : 14.5 サイクル	
				1111 : 15.5 サイクル	
10	PCW3	1	R/W	アクセスウェイトサイクル数	
9	PCW2	0	R/W	本ビットは、挿入ウェイトステート数を設定します。	
8	PCW1	1	R/W		
7	PCW0	0	R/W		
					0000 : 3 サイクル
					0001 : 6 サイクル
					0010 : 9 サイクル
					0011 : 12 サイクル
					0100 : 15 サイクル
					0101 : 18 サイクル
					0110 : 22 サイクル
					0111 : 26 サイクル
					1000 : 30 サイクル
				1001 : 33 サイクル	
				1010 : 36 サイクル	
				1011 : 38 サイクル	
				1100 : 52 サイクル	
				1101 : 60 サイクル	
				1110 : 64 サイクル	
				1111 : 80 サイクル	

ビット	ビット名	初期値	R/W	説明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。 アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5	-	0	R	リザーブビット
4	-	0	R	読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3	TEH3	0	R/W	RD、WE ネゲート - アドレス遅延 本ビットは、PCMCIA インタフェースにおける RD と WE ネゲートからのアドレスホールド時間を設定します。 0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル
2	TEH2	0	R/W	
1	TEH1	0	R/W	
0	TEH0	0	R/W	



## (5) パースト ROM (クロック同期)

## • CS0WCR

ビット	ビット名	初期値	R/W	説 明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17 16	BW1 BW0	0 0	R/W R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10 9 8 7	W3 W2 W1 W0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 本ビットは、1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000: 0 サイクル 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定不可) 1110: 予約 (設定不可) 1111: 予約 (設定不可)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

## 9.4.4 SDRAM コントロールレジスタ (SDCR)

本レジスタは、SDRAM のリフレッシュ方法やアクセス方法および、接続する SDRAM の種類を指定します。

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	A2ROW1	0	R/W	エリア 2 ロウアドレスビット数 本ビットは、エリア 2 のロウアドレスのビット数を指定します。 00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 予約 (設定不可)
19	A2ROW0	0	R/W	
18	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	A2COL1	0	R/W	エリア 2 カラムアドレスビット数 本ビットは、エリア 2 のカラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 予約 (設定不可)
16	A2COL0	0	R/W	
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13	DEEP	0	R/W	ディープパワーダウンモード ローパワー-SDRAM に対してのみ有効です。本ビットを 1 の状態で RMODE ビットを 1 にすると、ディープパワーダウンエントリコマンドを発行してローパワー-SDRAM はディープパワーダウンモードに遷移します。 0 : セルフリフレッシュモード 1 : ディープパワーダウンモード
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	RFSH	0	R/W	リフレッシュ制御 本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。 0 : リフレッシュしない 1 : リフレッシュする

ビット	ビット名	初期値	R/W	説明
10	RMODE	0	R/W	リフレッシュ制御 本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うのかセルフリフレッシュを行うのかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。 0: オートリフレッシュを行う 1: セルフリフレッシュを行う
9	PDOWN	0	R/W	パワーダウンモード 本ビットは、SDRAM に対するアクセス終了後に、SDRAM をパワーダウンモードにするかどうかを指定します。本ビットは 1 に設定すると、アクセス終了後 CKE 端子をローレベルにして SDRAM をパワーダウンモードにします。 0: アクセス終了後、SDRAM をパワーダウンモードにしない 1: アクセス終了後、SDRAM をパワーダウンモードにする
8	BACTV	0	R/W	バンクアクティブモード 本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのかを指定します。 0: オートプリチャージモード (READA および WRITA コマンドを使用) 1: バンクアクティブモード (READ および WRIT コマンドを使用) 【注】 バンクアクティブモードは、エリア 3 でのみ設定可能です。このときバス幅は、16 または 32 ビットから設定可能です。また、エリア 2 およびエリア 3 とともに SDRAM に設定する場合は、オートプリチャージモードに設定してください。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	A3ROW1	0	R/W	エリア 3 ロウアドレスビット数
3	A3ROW0	0	R/W	本ビットは、エリア 3 のロウアドレスのビット数を指定します。 00: 11 ビット 01: 12 ビット 10: 13 ビット 11: 予約 (設定不可)
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	A3COL1	0	R/W	エリア 3 カラムアドレスビット数
0	A3COL0	0	R/W	本ビットは、エリア 3 のカラムアドレスのビット数を指定します。 00: 8 ビット 01: 9 ビット 10: 10 ビット 11: 予約 (設定不可)

## 9.4.5 リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)

本レジスタは、SDRAM のリフレッシュに関する各種設定を行います。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時はこのビットを H'A55A00 としてください。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。次の条件でセット/クリアされます。 0: クリア条件: CMF = 1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1: セット条件: RTCNT = RTCOR になったとき
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル 本ビットは、RTCSR の CMF ビットが 1 にセットされたとき、CMF による割り込み要求を許可するか禁止するかを設定します。 0: CMF による割り込み要求を禁止 1: CMF による割り込み要求を許可
5 4 3	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 本ビットは、リフレッシュタイムカウンタ (RTCNT) をカウントアップするクロックを選択します。 000: カウントアップ停止 001: B /4 010: B /16 011: B /64 100: B /256 101: B /1024 110: B /2048 111: B /4096
2 1 0	RRC2 RRC1 RRC0	0 0 0	R/W R/W R/W	リフレッシュ回数 本ビットは、リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。 000: 1 回 001: 2 回 010: 4 回 011: 6 回 100: 8 回 101: 予約 (設定不可) 110: 予約 (設定不可) 111: 予約 (設定不可)

#### 9.4.6 リフレッシュタイムカウンタ (RTCNT)

本レジスタは、8ビットのカウンタで、RTCSCRのCKS2、CKS1、CKS0ビットで選択したクロックによりカウントアップされます。RTCNTとRTCORの値が一致すると、RTCNTは0にクリアされます。また、255までカウントアップすると次は0に戻ります。書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをH'A55A00としてください。
7~0	-	すべて0	R/W	8ビットのカウンタ

#### 9.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

本レジスタは、8ビットのカウンタで、RTCORとRTCNTの値が一致すると、RTCSCRのCMFビットが1にセットされ、RTCNTは0にクリアされます。

SDCRのRFSHビットが1にセットされている場合は、この一致信号によってリフレッシュ要求を発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

RTCSCRのCMIEビットが1にセットされていると、この一致信号によって割り込み要求を発生します。割り込み要求は、RTCSCRのCMFビットがクリアされるまで続けて出力されます。CMFビットのクリアは、割り込みのみに影響をおよぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインタバルタイム割り込みの同時設定を行うことも可能です。書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをH'A55A00としてください。
7~0	-	すべて0	R/W	8ビットのカウンタ

#### 9.4.8 SDRAM モードレジスタ 2、3 (SDMR2、SDMR3)

SDRAM モードレジスタ (SDMR2、SDMR3) の設定については、表 9.19 を参照してください。

## 9.5 動作説明

### 9.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MD5) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット、および 32 ビット幅の 3 種類から選べ、SDRAM は 16 ビットおよび 32 ビット幅の 2 種類から選べます。PCMCIA インタフェースの場合は、8 ビットおよび 16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 9.6 ~ 表 9.11 に示します。

表 9.6 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス ストロープ信号							
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0 番地バイトアクセス	データ 7~0	-	-	-	アサート	-	-	-
1 番地バイトアクセス	-	データ 7~0	-	-	-	アサート	-	-
2 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
2 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 9.7 16 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
1 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート
	2 回目 (2 番地)	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート

表 9.8 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
3番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0番地 ワード アクセス	1回目 (0番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 7~0	-	-	-	アサート
2番地 ワード アクセス	1回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	-	-	-	データ 31~24	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 23~16	-	-	-	アサート
	3回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	4回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート



表 9.9 32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
1 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
2 番地バイトアクセス	-	データ 7~0	-	-	-	アサート	-	-
3 番地バイトアクセス	データ 7~0	-	-	-	アサート	-	-	-
0 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
0 番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 9.10 16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
1 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
2 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
3 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
0 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート

表 9.11 8 ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3) DQMUU	WE2(BE2) DQMUL	WE1(BE1) DQMLU	WE0(BE0) DQMLL
0 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
3 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0 番地 ワード アクセス	1 回目 (0 番地)	-	-	-	データ 7~0	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 15~8	-	-	-	アサート
2 番地 ワード アクセス	1 回目 (2 番地)	-	-	-	データ 7~0	-	-	-	アサート
	2 回目 (3 番地)	-	-	-	データ 15~8	-	-	-	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	-	データ 7~0	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 15~8	-	-	-	アサート
	3 回目 (2 番地)	-	-	-	データ 23~16	-	-	-	アサート
	4 回目 (3 番地)	-	-	-	データ 31~24	-	-	-	アサート

## 9.5.2 通常空間インタフェース

### (1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のない SRAM の直結を考慮してストローブ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、「9.5.7 バイト選択付き SRAM インタフェース」を参照ください。図 9.3 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。 $\overline{BS}$  信号はバスサイクルの開始を表し、1 サイクルアサートされます。

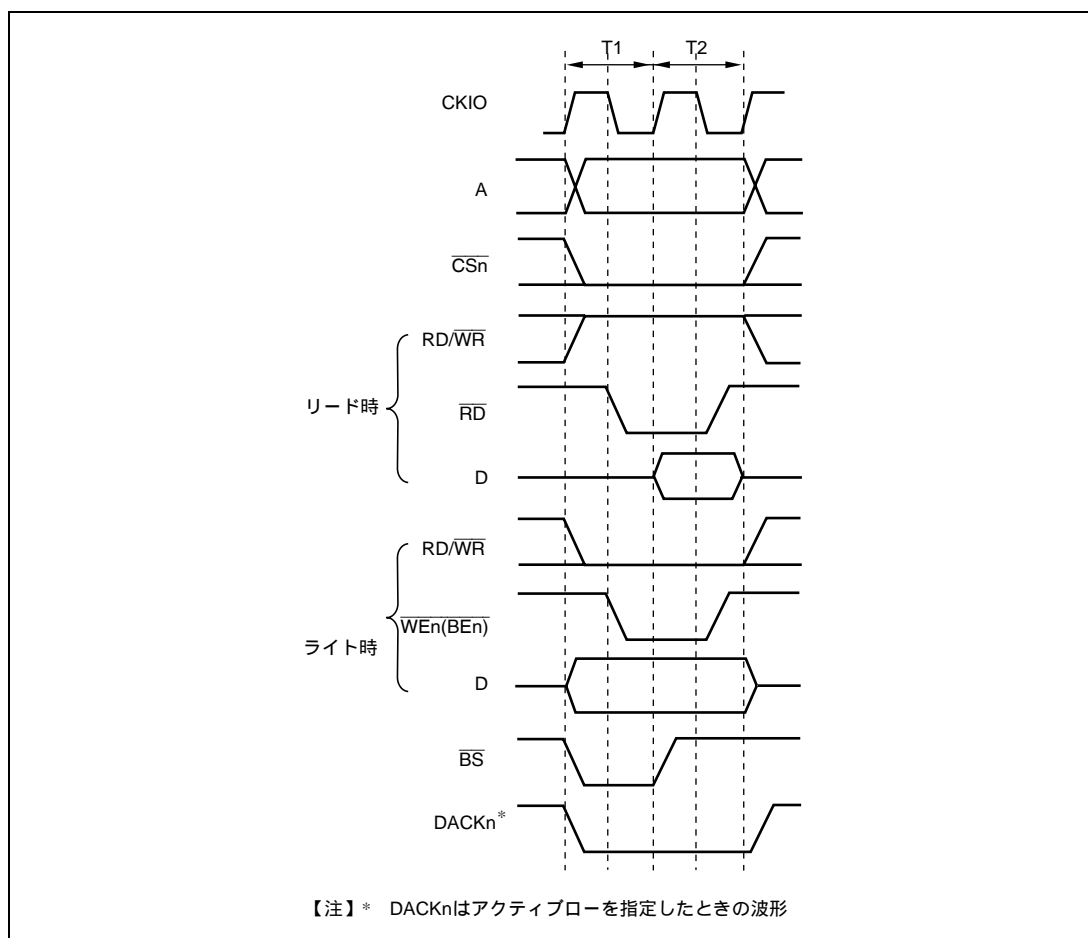


図 9.3 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、32 ビットデバイスでは 32 ビットを、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの  $\overline{WEn(BEn)}$  信号のみがアサートされます。

データバスにバッファを設ける場合には、 $\overline{RD}$  を用いてリードデータの出力制御を行う必要があります。 $RD/\overline{WR}$  信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 9.4、図 9.5 に通常空間連続アクセスの例を示します。CSnWCR.WM ビットを 0 に設定すると、外部ウェイトを評価するために 1 サイクル  $T_{nop}$  が挿入されます (図 9.4)。しかし、CSnWCR.WM ビットを 1 に設定すると、外部ウェイトが無視され  $T_{nop}$  サイクルの挿入を抑制することができます (図 9.5)。

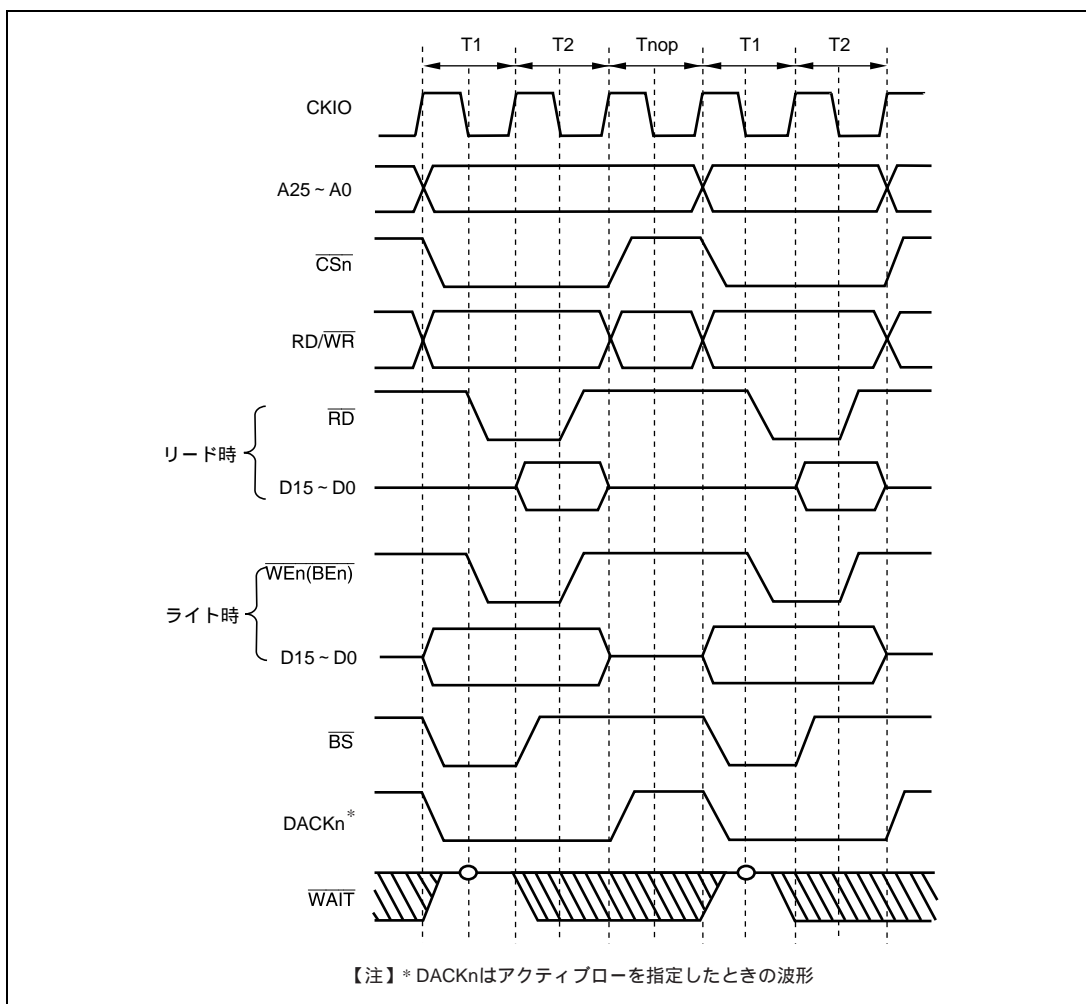
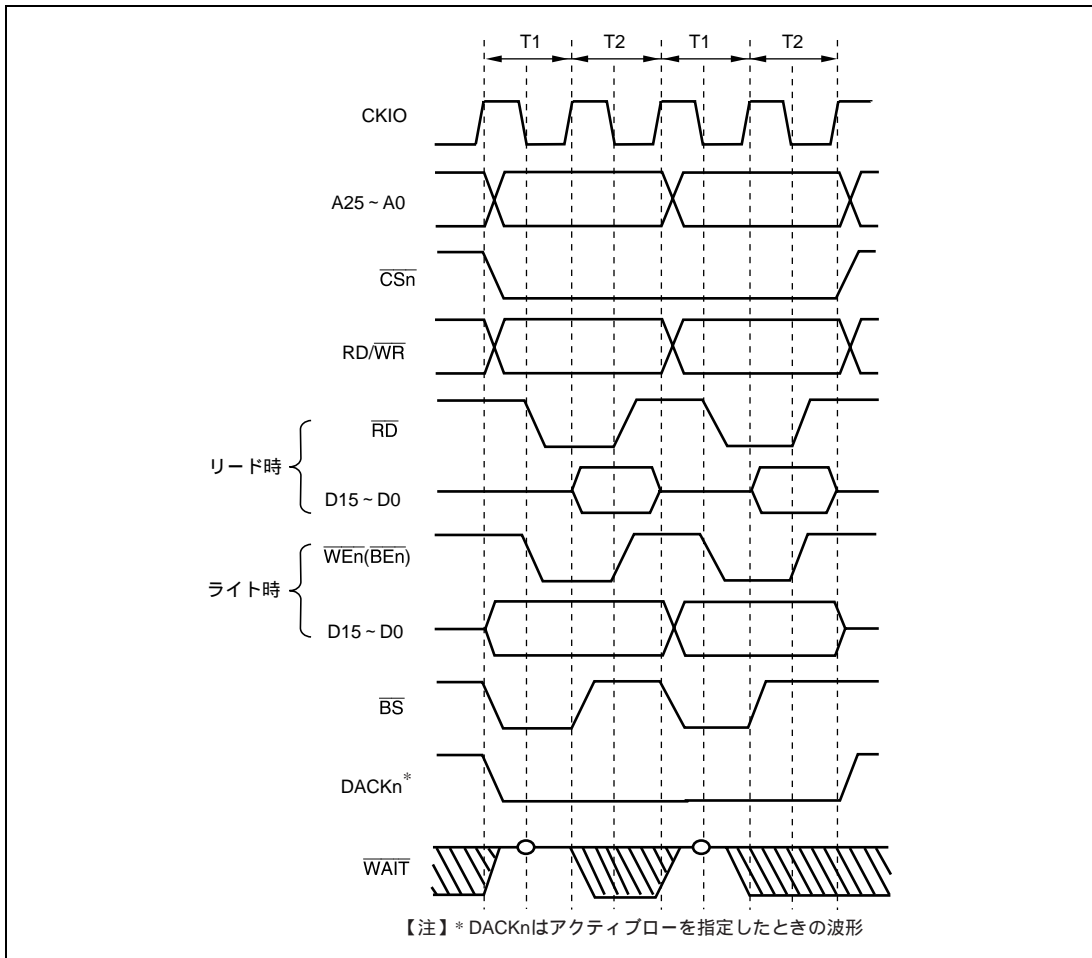


図 9.4 通常空間連続アクセス例 1  
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0  
 (アクセスウェイト 0、サイクル間ウェイト 0)



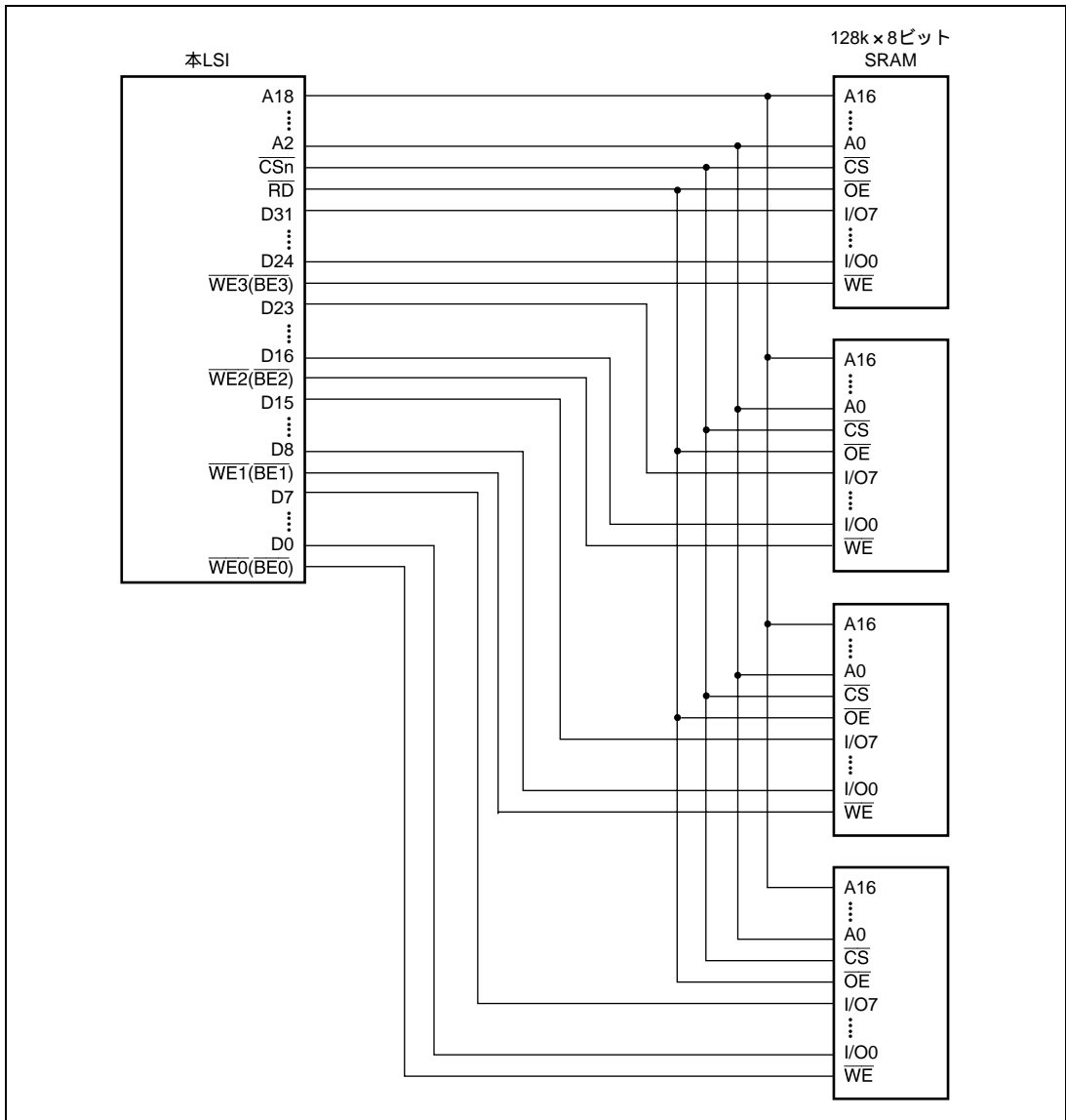


図 9.6 32 ビットデータ幅 SRAM 接続例

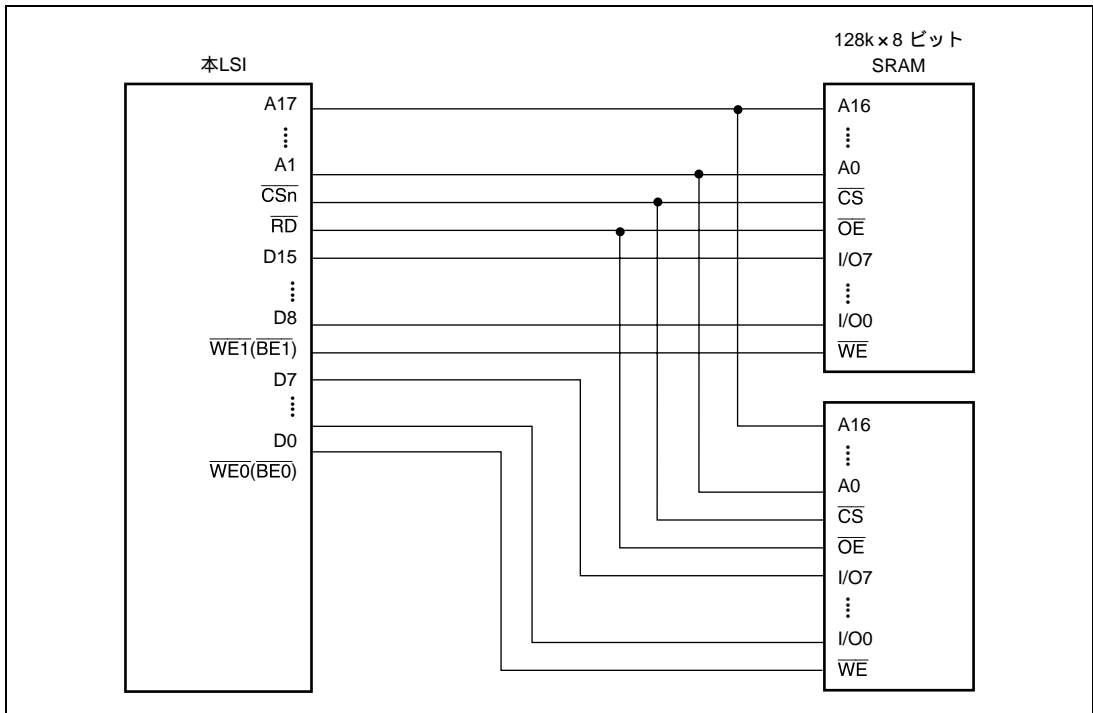


図 9.7 16 ビットデータ幅 SRAM 接続例

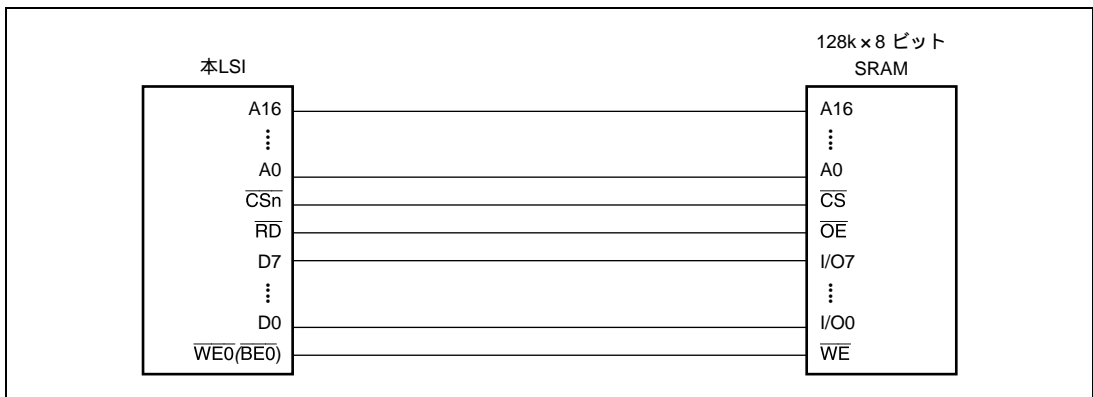


図 9.8 8 ビットデータ幅 SRAM 接続例

### 9.5.3 アクセスウェイト制御

CSnWCR の WR3、WR2、WR1、および WR0 ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 4、エリア 5A、およびエリア 5B では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。その他のエリアのアクセスウェイトは、リードおよびライトサイクル共通となります。図 9.9 に示す通常空間のアクセスでは、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

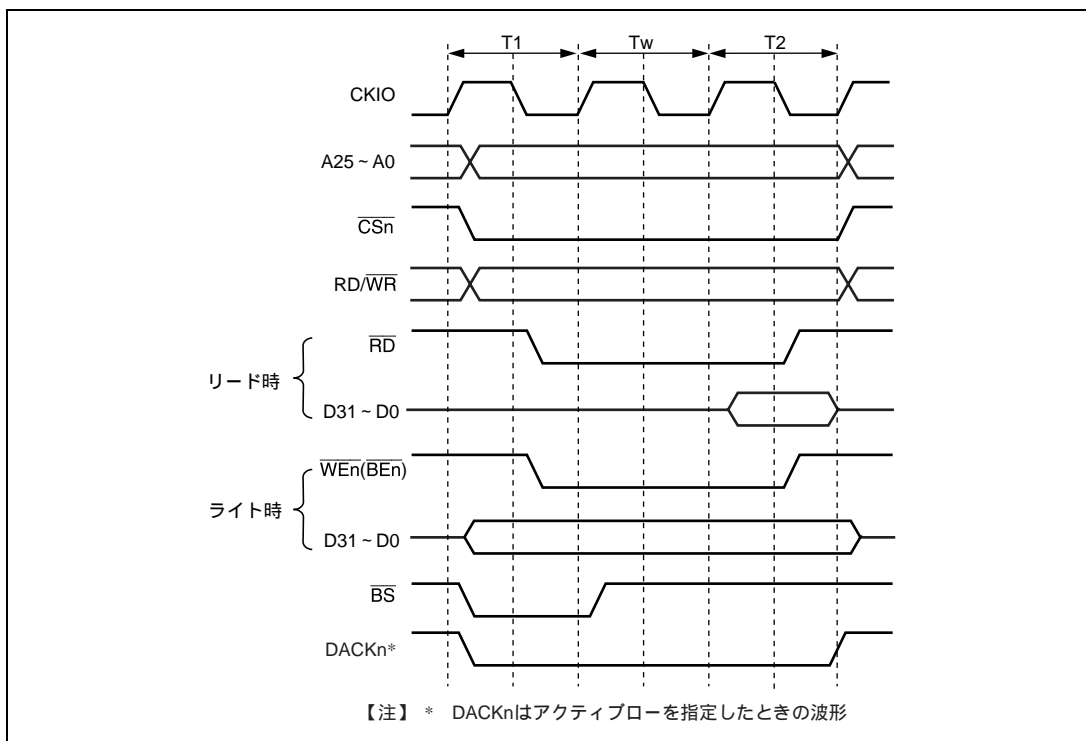


図 9.9 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)



CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力  $\overline{\text{WAIT}}$  信号もサンプリングされます。 $\overline{\text{WAIT}}$  信号のサンプリングを図 9.10 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$  信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

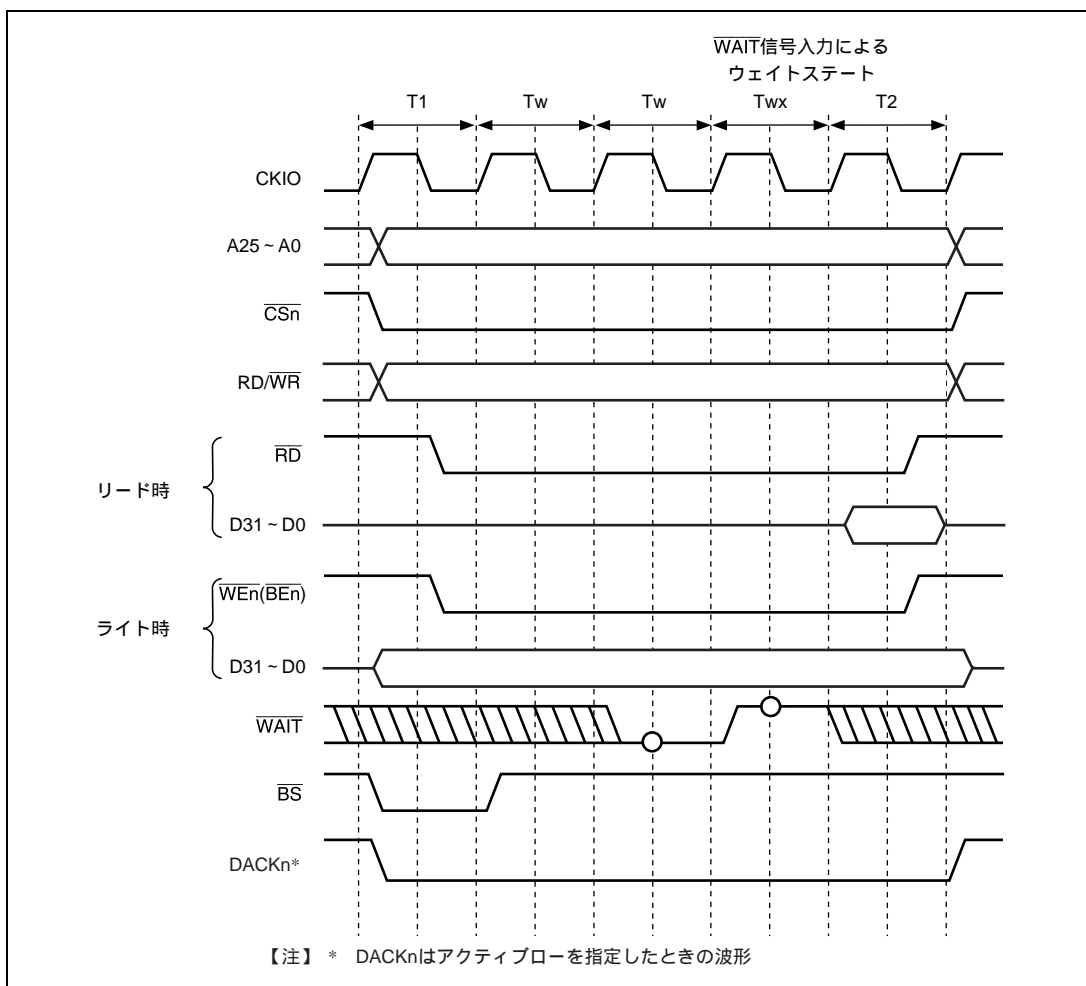


図 9.10 通常空間アクセスのウェイトタイミング ( $\overline{\text{WAIT}}$  信号によるウェイト挿入)

### 9.5.4 $\overline{CSn}$ アサート期間拡張

$\overline{CSnWCR}$  の SW1 と SW0 ビットの設定により、 $\overline{CSn}$  アサートから  $\overline{RD}$  と  $\overline{WEn}$  ( $\overline{BEn}$ ) アサートまでのサイクル数を指定できます。また、HW1 と HW0 ビットの設定により、 $\overline{RD}$  と  $\overline{WEn}$  ( $\overline{BEn}$ ) ネゲートから  $\overline{CSn}$  ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 9.11 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 $\overline{RD}$  と  $\overline{WEn}$  ( $\overline{BEn}$ ) 以外はアサートされますが、 $\overline{RD}$  と  $\overline{WEn}$  ( $\overline{BEn}$ ) はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

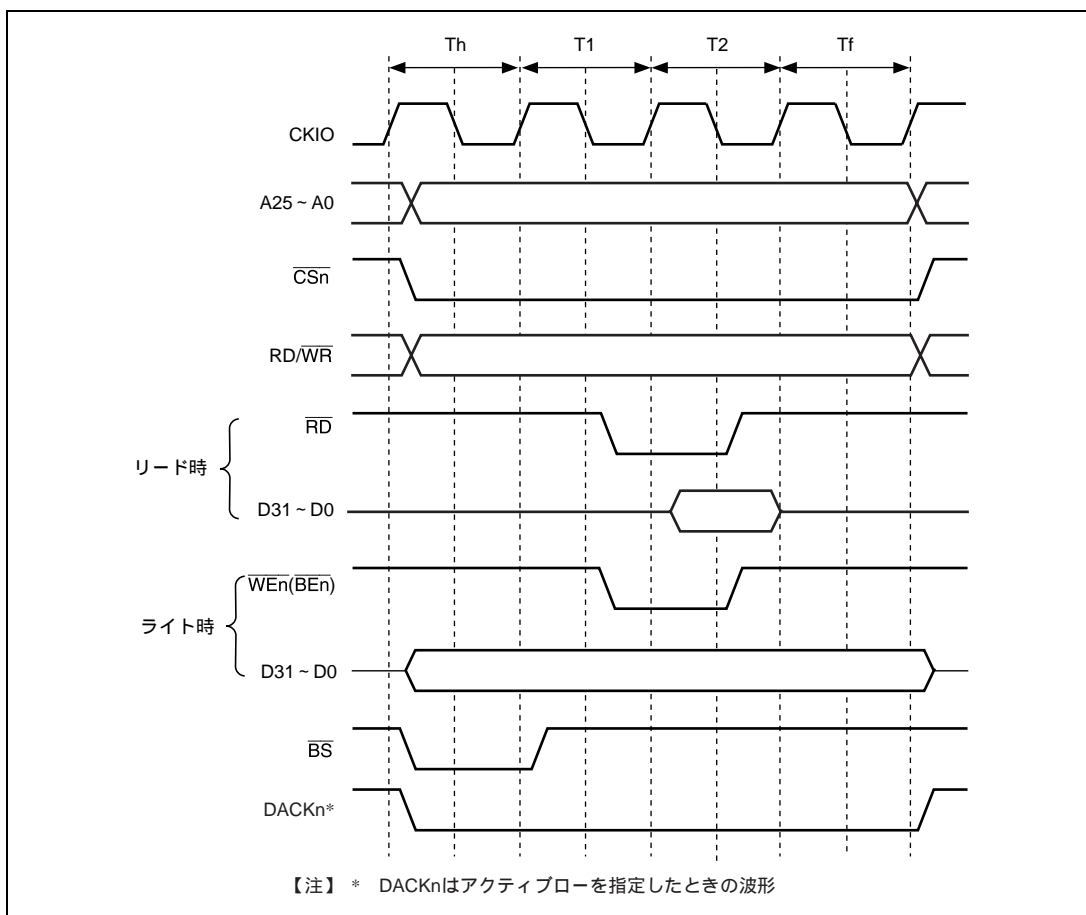


図 9.11  $\overline{CSn}$  アサート期間拡張

### 9.5.5 SDRAM インタフェース

#### (1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11/12/13 ビット、カラムアドレスが 8/9/10 ビット、バンク数が 4 以下、リード・ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 $\overline{RAS}$ 、 $\overline{CAS}$ 、 $RD/\overline{WR}$ 、 $DQM_{UU}$ 、 $DQM_{UL}$ 、 $DQMLU$ 、 $DQMLL$ 、 $CKE$ 、および  $\overline{CS2}$  と  $\overline{CS3}$  です。 $\overline{CS2}$  と  $\overline{CS3}$  を除く信号は各空間に共通であり、 $CKE$  を除く信号は  $\overline{CS2}$  と  $\overline{CS3}$  がアサートされているときのみに有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、32 ビットまたは 16 ビットに設定可能です。

SDRAM の動作モードとしては、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。

$\overline{RAS}$ 、 $\overline{CAS}$ 、 $RD/\overline{WR}$ 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、およびモードレジスタ書き込み (MRS) があります。

アクセスするバイトの指定は、 $DQM_{UU}$ 、 $DQM_{UL}$ 、 $DQMLU$ 、および  $DQMLL$  によって行われます。該当する  $DQM_{xx}$  がローレベルのバイトに対してリード/ライトが行われます。 $DQM_{xx}$  とアクセスするバイトの関係は、「9.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

図 9.12 および図 9.13 に本 LSI と SDRAM との接続例を示します。

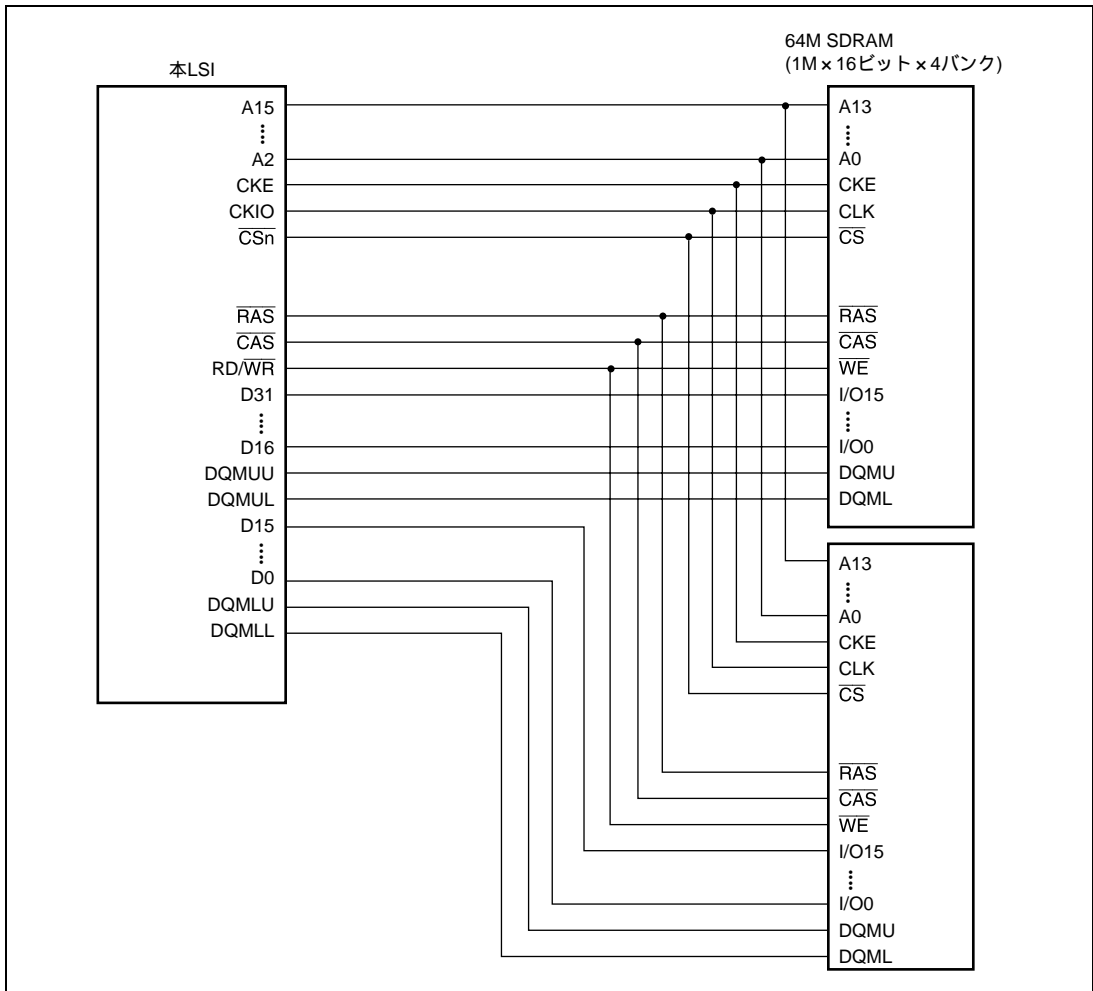


図 9.12 32 ビットデータ幅 SDRAM 接続例

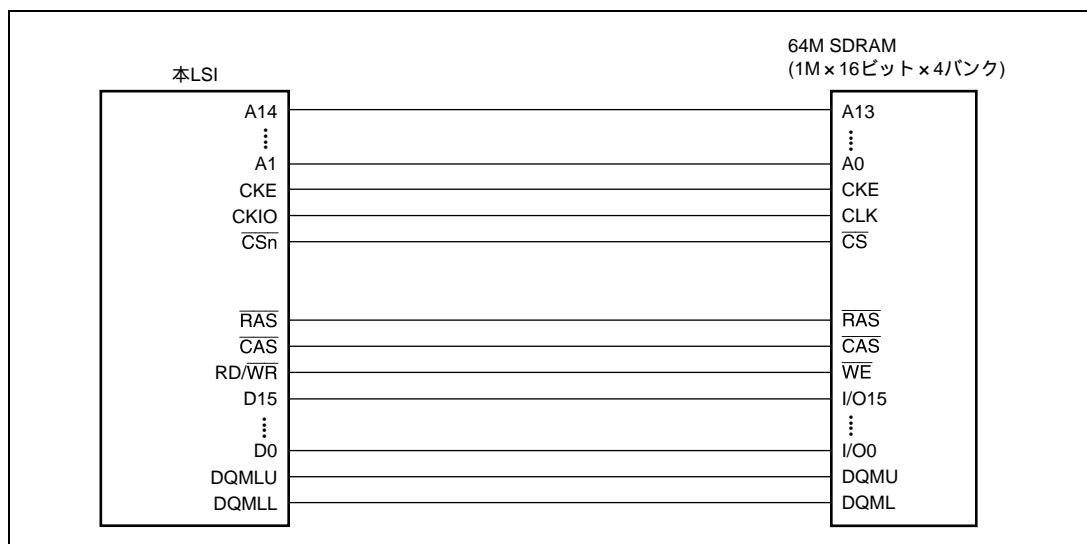


図 9.13 16 ビットデータ幅 SDRAM 接続例

## (2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の AxROW[1:0]ビット、および AxCOL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 9.12 ~ 表 9.17 に BSZ[1:0]、AxROW[1:0]、および AxCOL[1:0]の設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25 ~ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットのと看 (BSZ[1:0] = B'10) は、SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットのと看 (BSZ[1:0] = B'11) は、SDRAM の A0 端子はロングワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 9.12 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 ( 1 )

設定					設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		機能	A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		機能
11 ( 32bit )	00 ( 11bit )	00 ( 8bit )			11 ( 32bit )	01 ( 12bit )	00 ( 8bit )		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能	本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A25	A17		未使用	A17	A24	A17		未使用
A16	A24	A16			A16	A23	A16		
A15	A23	A15			A15	A23*2	A23*2	A13 ( BA1 )	バンク指定
A14	A22*2	A22*2	A12 ( BA1 )	バンク指定	A14	A22*2	A22*2	A12 ( BA0 )	
A13	A21*2	A21*2	A11 ( BA0 )		A13	A21	A13	A11	アドレス
A12	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定	A12	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A11	A19	A11	A9	アドレス	A11	A19	A11	A9	アドレス
A10	A18	A10	A8		A10	A18	A10	A8	
A9	A17	A9	A7		A9	A17	A9	A7	
A8	A16	A8	A6		A8	A16	A8	A6	
A7	A15	A7	A5		A7	A15	A7	A5	
A6	A14	A6	A4		A6	A14	A6	A4	
A5	A13	A5	A3		A5	A13	A5	A3	
A4	A12	A4	A2		A4	A12	A4	A2	
A3	A11	A3	A1		A3	A11	A3	A1	
A2	A10	A2	A0		A2	A10	A2	A0	
A1	A9	A1		未使用	A1	A9	A1		未使用
A0	A8	A0			A0	A8	A0		
接続メモリ例					接続メモリ例				
64M ビット品 ( 512K ワード×32 ビット×4 バンク、カラム 8 ビット品 ) 1 個 16M ビット品 ( 512K ワード×16 ビット×2 バンク、カラム 8 ビット品 ) 2 個					128M ビット品 ( 1M ワード×32 ビット×4 バンク、カラム 8 ビット品 ) 1 個 64M ビット品 ( 1M ワード×16 ビット×4 バンク、カラム 8 ビット品 ) 2 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

表 9.13 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (2)

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
11 (32bit)	01 (12bit)	01 (9bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24* <sup>2</sup>	A24* <sup>2</sup>	A13 (BA1)	バンク指定
A14	A23* <sup>2</sup>	A23* <sup>2</sup>	A12 (BA0)	
A13	A22	A13	A11	アドレス
A12	A21	L/H* <sup>1</sup>	A10/AP	アドレス/ プリチャージ 指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
256M ビット品 (2M ワード×32 ビット×4 バンク、カラム 9 ビット品) 1 個 128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 2 個				

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
11 (32bit)	01 (12bit)	10 (10bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25* <sup>2</sup>	A25* <sup>2</sup>	A13 (BA1)	バンク指定
A14	A24* <sup>2</sup>	A24* <sup>2</sup>	A12 (BA0)	
A13	A23	A13	A11	アドレス
A12	A22	L/H* <sup>1</sup>	A10/AP	アドレス/ プリチャージ 指定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	A11	A1		未使用
A0	A10	A0		
接続メモリ例				
512M ビット品 (4M ワード×32 ビット×4 バンク、カラム 10 ビット品) 1 個 256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 2 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

表 9.14 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 ( 3 )

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
11 ( 32bit )	10 ( 13bit )	01 ( 9bit )		
本 LSI の出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25*2	A25*2	A14 ( BA1 )	バンク指定
A15	A24*2	A24*2	A13 ( BA0 )	
A14	A23	A14	A12	アドレス
A13	A22	A13	A11	
A12	A21	L/H*1	A10/AP	アドレス / プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
512M ビット品 ( 4M ワード × 32 ビット × 4 バンク、コラム 9 ビット品 ) 1 個				
256M ビット品 ( 4M ワード × 16 ビット × 4 バンク、コラム 9 ビット品 ) 2 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定



表 9.15 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (4)

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
10 (16bit)	00 (11bit)	00 (8bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21*2	A21*2	A12 (BA1)	バンク指定
A12	A20*2	A20*2	A11 (BA0)	
A11	A19	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		
接続メモリ例				
16M ビット品 (512K ワード×16 ビット×2 バンク、コラム 8 ビット品) 1 個				

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
10 (16bit)	01 (12bit)	00 (8bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22*2	A22*2		
A13	A21*2	A21*2	A12 (BA0)	
A12	A20	A12	A11	アドレス
A11	A19	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		
接続メモリ例				
64M ビット品 (1M ワード×16 ビット×4 バンク、コラム 8 ビット品) 1 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

表 9.16 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (5)

設定					設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		機能	A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		機能
10 (16bit)	01 (12bit)	01 (9bit)			10 (16bit)	01 (12bit)	10 (10bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能	本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用	A17	A27	A17		未使用
A16	A25	A16			A16	A26	A16		
A15	A24	A15			A15	A25	A15		
A14	A23*2	A23*2	A13 (BA1)	バンク指定	A14	A24*2	A24*2	A13 (BA1)	バンク指定
A13	A22*2	A22*2	A12 (BA0)		A13	A23*2	A23*2	A12 (BA0)	
A12	A21	A12	A11	アドレス	A12	A22	A12	A11	アドレス
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定	A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス	A10	A20	A10	A9	アドレス
A9	A18	A9	A8		A9	A19	A9	A8	
A8	A17	A8	A7		A8	A18	A8	A7	
A7	A16	A7	A6		A7	A17	A7	A6	
A6	A15	A6	A5		A6	A16	A6	A5	
A5	A14	A5	A4		A5	A15	A5	A4	
A4	A13	A4	A3		A4	A14	A4	A3	
A3	A12	A3	A2		A3	A13	A3	A2	
A2	A11	A2	A1		A2	A12	A2	A1	
A1	A10	A1	A0		A1	A11	A1	A0	
A0	A9	A0		未使用	A0	A10	A0		未使用
接続メモリ例					接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、コラム 9 ビット品) 1 個					256M ビット品 (4M ワード×16 ビット×4 バンク、コラム 10 ビット品) 1 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

表 9.17 A2/3BSZ [ 1:0 ]、A2/3ROW [ 1:0 ]、A2/3COL [ 1:0 ] とアドレスマルチプレクスの関係 (6)

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
10 (16bit)	10 (13bit)	01 (9bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		未使用
A15	A24*2	A24*2	A14 (BA1)	バンク指定
A14	A23*2	A23*2	A13 (BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設定				
A2/3 BSZ [ 1:0 ]	A2/3 ROW [ 1:0 ]	A2/3 COL [ 1:0 ]		
10 (16bit)	10 (13bit)	10 (10bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		未使用
A15	A25*2	A25*2	A14 (BA1)	バンク指定
A14	A24*2	A24*2	A13 (BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512M ビット品 (8M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

### (3) パーストリード

本 LSI でパーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. キャッシュミス時の16バイト転送時
3. DMAC、USBHでの16バイト転送 (ノンキャッシュ領域アクセス) のとき
4. LCDCの16バイト~128バイト転送のとき\*

本 LSI は、SDRAM に対し常にパースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、パースト長 1 のリードを 4 回連続して行います。このときのアクセスをパースト数 4 と呼びます。表 9.18 にアクセスサイズとパースト数の関係を示します。

【注】 \* 詳細は「第 26 章 LCD コントローラ (LCDC)」を参照。

表 9.18 アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
	128 バイト	64
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	16 バイト	4
	128 バイト	32

バーストリード時のタイミングチャートを図 9.14 と図 9.15 に示します。バーストリードでは ACTV コマンド出力を行う  $T_r$  サイクルに続いて、READ コマンドを  $T_{c1}$ 、 $T_{c2}$ 、 $T_{c3}$  サイクルに、READA コマンドを  $T_{c4}$  サイクルに発行し、 $T_{d1}$  から  $T_{d4}$  のサイクルに外部クロック (CKIO) の立ち上がりでリードデータを受け取ります。 $T_{ap}$  サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の TRP1 および TRP0 の指定によって  $T_{ap}$  のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CSnWCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 9.15 となります。ACTV コマンド出力サイクル  $T_r$  から READA コマンド出力サイクル  $T_{c1}$  までのサイクル数は、CS3WCR の TRCD1 および TRCD0 ビットによって指定することができます。TRCD1 および TRCD0 の設定が 2 サイクル以上の場合、 $T_r$  サイクルと  $T_{c1}$  サイクルの間に NOP コマンド発行サイクル  $T_{rw}$  サイクルが挿入されます。READA コマンド出力サイクル  $T_{c1}$  からリードデータ取り込みサイクル  $T_{d1}$  までのサイクル数は、CS2WCR の A2CL1 と A2CL0 ビットおよび CS3WCR の A3CL1 と A3CL0 ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、シンクロナス DRAM の CAS レイテンシに相当します。シンクロナス DRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI とシンクロナス DRAM の間にラッチを含む回路を設けて接続するためのものです。

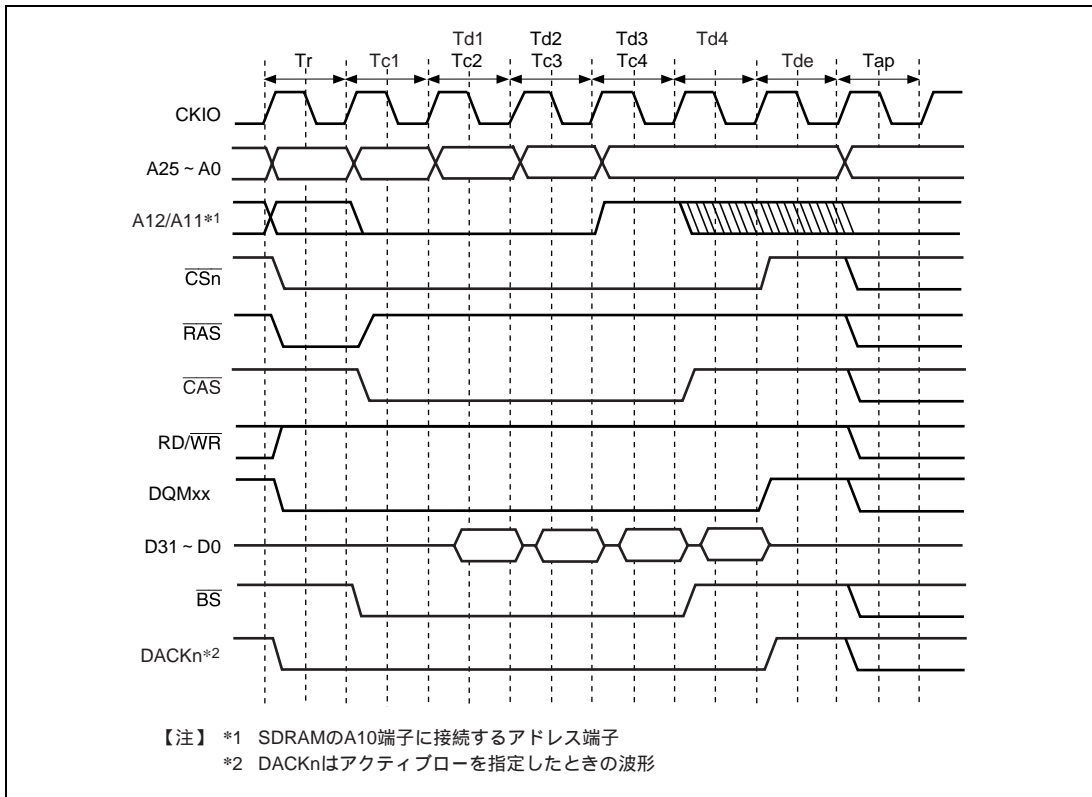


図 9.14 バーストリード基本タイミング (オートプリチャージ)

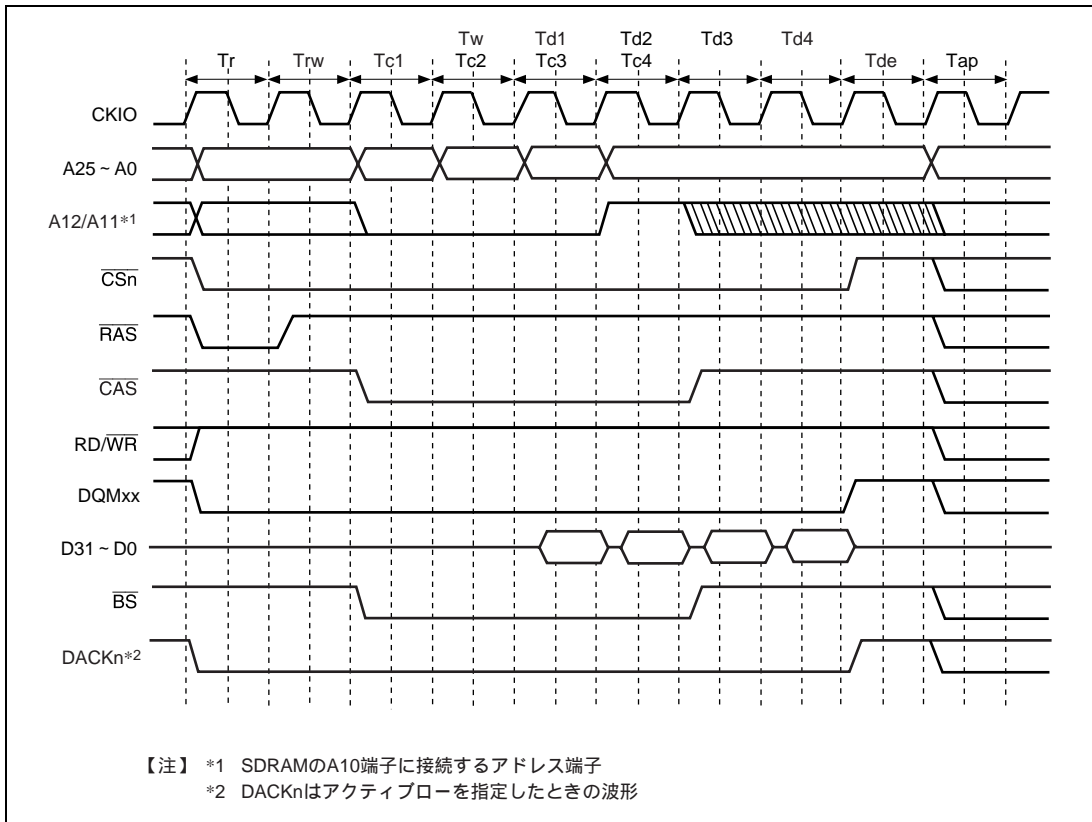


図 9.15 バーストリードウェイト指定タイミング (オートプリチャージ)

#### (4) シングルリード

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。これをシングルリードといいます。SDRAMは、バーストリード/シングルライトのモードでバースト長1に設定しているが必要なデータのみ出力します。このため、キャッシュスルー領域をアクセスしても無駄なバスサイクルは、発生しません。

シングルリードの基本タイミングチャートを図 9.16 に示します。

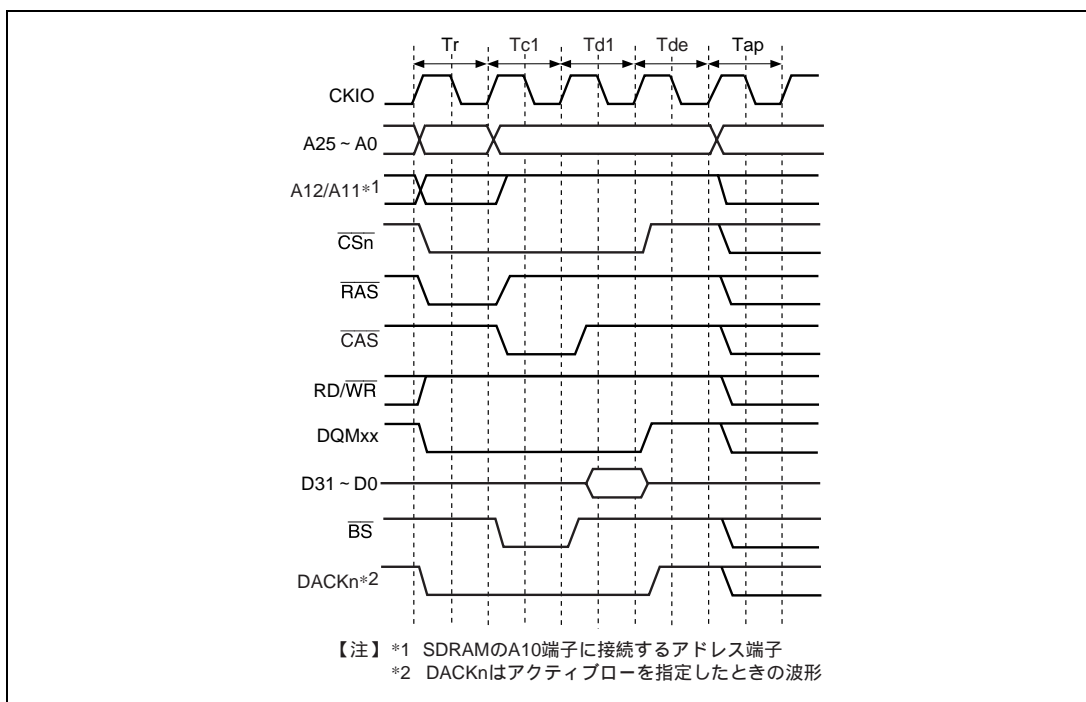


図 9.16 シングルリードの基本タイミング (オートプリチャージ)

#### (5) パーストライト

本 LSI でパーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. キャッシュのコピーバックが発生したとき
3. DMACでの16バイト転送 (ノンキャッシュャブル領域アクセス) のとき

本 LSI は、SDRAM に対し常にパースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、パースト長 1 のライトを 4 回連続して行います。アクセスサイズとパースト数の関係は、表 9.18 に従います。

図 9.17 にパーストライト時のタイミングチャートを示します。パーストライトでは ACTV コマンド出力を行う  $T_r$  サイクルに続いて WRIT コマンドを  $T_{c1}$ 、 $T_{c2}$ 、 $T_{c3}$  サイクルに、オートプリチャージを行う WRITA コマンドを  $T_{c4}$  サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ  $T_{rwl}$  サイクル、そしてオートプリチャージの完了を待つ  $T_{ap}$  サイクルが続きます。 $T_{ap}$  サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。 $T_{rwl}$  サイクルは CS3WCR の TRWL1 と TRWL0 ビット、および  $T_{ap}$  サイクルは CS3WCR の TRP1 と TRP0 ビットの指定で決定されます。

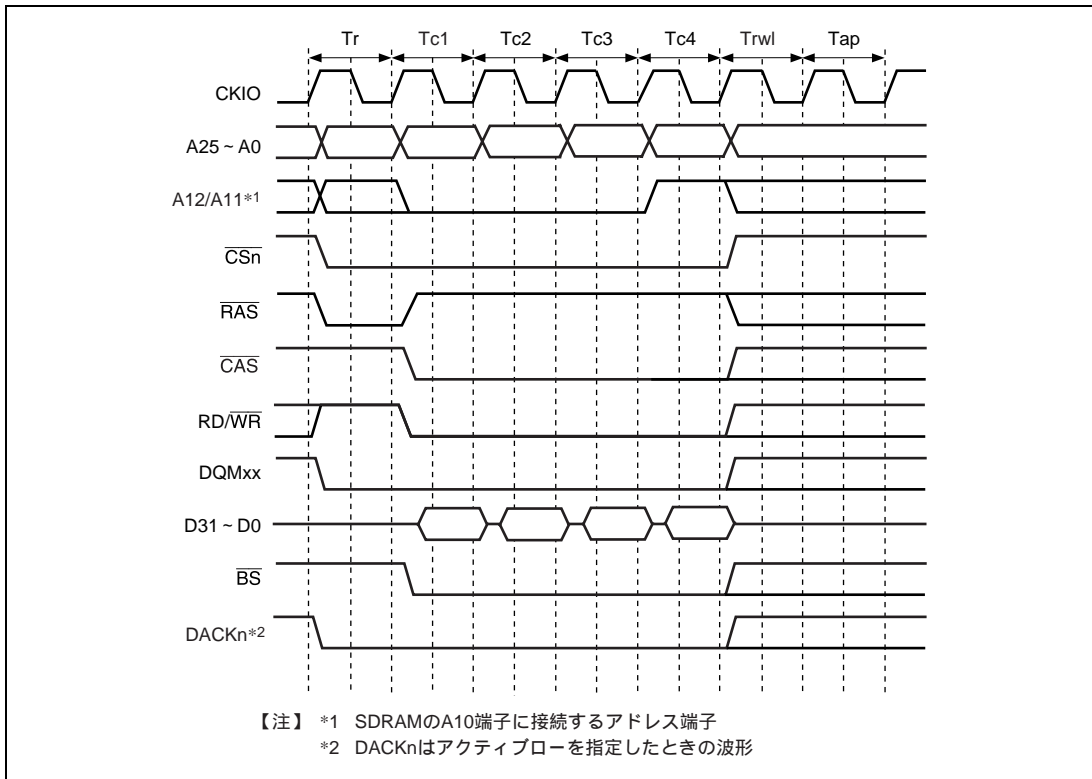


図 9.17 バーストライト基本タイミング (オートプリチャージ)

## (6) シングルライト

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。これをシングルライトと呼びます。シングルライトの基本タイミングチャートを図 9.18 に示します。



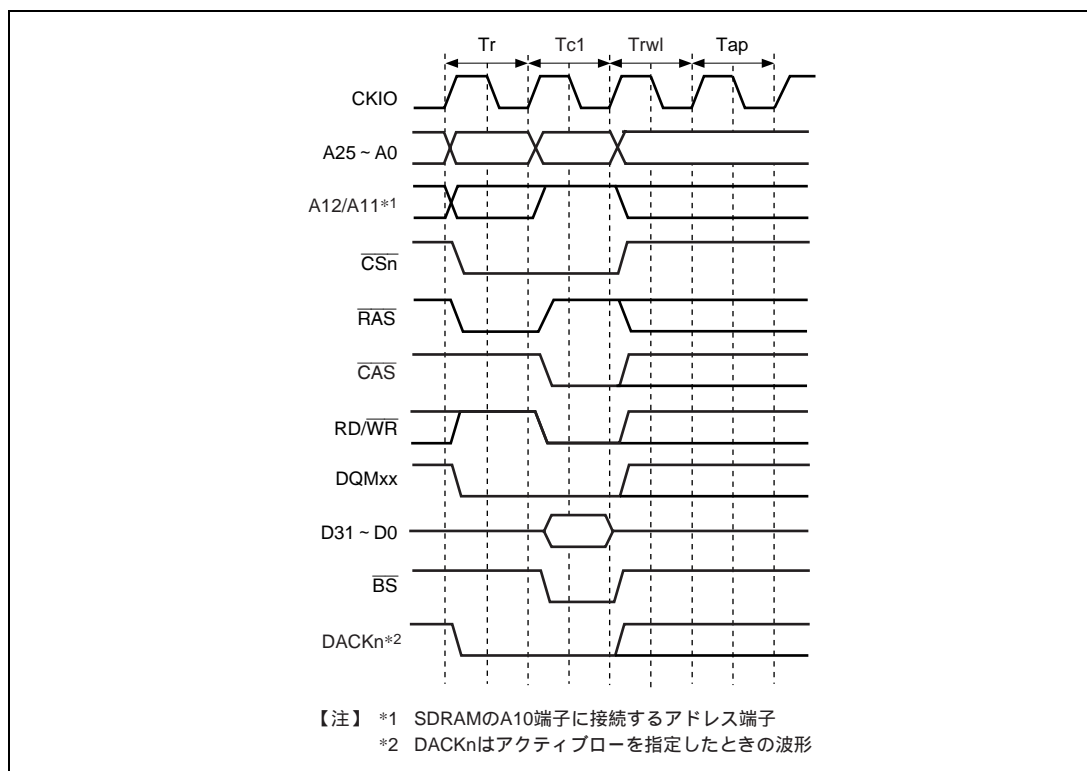


図 9.18 シングルライト基本タイミング (オートプリチャージ)

### (7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド (READ または WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は通常空間またはバイト選択付き SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CSnWCR の TRP[1:0]ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後  $T_{rw1} + T_{ap}$  サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに  $T_{rw1} + T_{ap}$  サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 ( $t_{RAS}$ ) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を  $t_{RAS}$  以下に設定する必要があります。

図 9.19 にオートプリチャージのないバーストリードサイクルを、図 9.20 には同一のロウアドレスに対するバーストリードサイクルを、図 9.21 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 9.22 にオートプリチャージのないシングルライトサイクルを、図 9.23 に同一のロウアドレスに対するシングルライトサイクルを、図 9.24 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 9.20 において READ コマンドを発行する  $T_c$  サイクルに先立って、何も行わない  $T_{nop}$  サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う  $DQM_{xx}$  信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、 $T_c$  サイクル以降に  $DQM_{xx}$  信号をアサートしても 2 サイクルのレイテンシが守られるので、 $T_{nop}$  サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続く限り、図 9.19 または図 9.22 で始まり、図 9.20 または図 9.23 をくり返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、図 9.20 または図 9.23 のかわりに図 9.21 または図 9.24 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後には、すべてのバンクが非アクティブな状態になります。

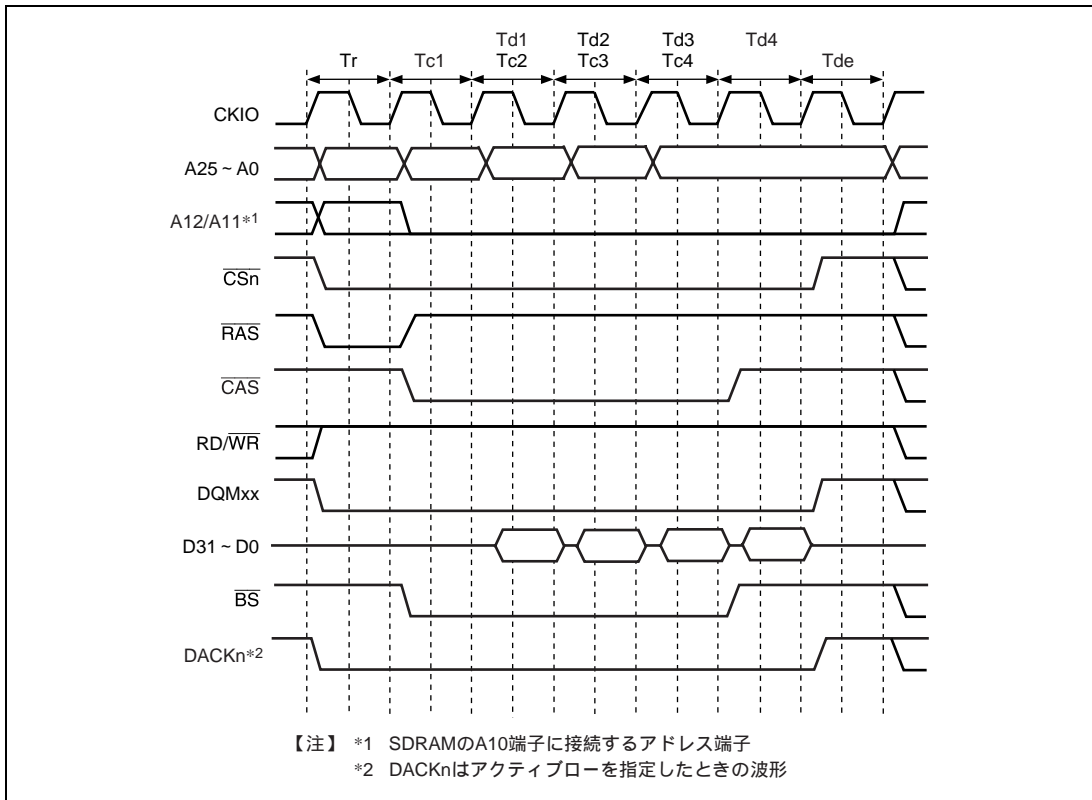


図 9.19 バーストリードタイミング (オートプリチャージなし)

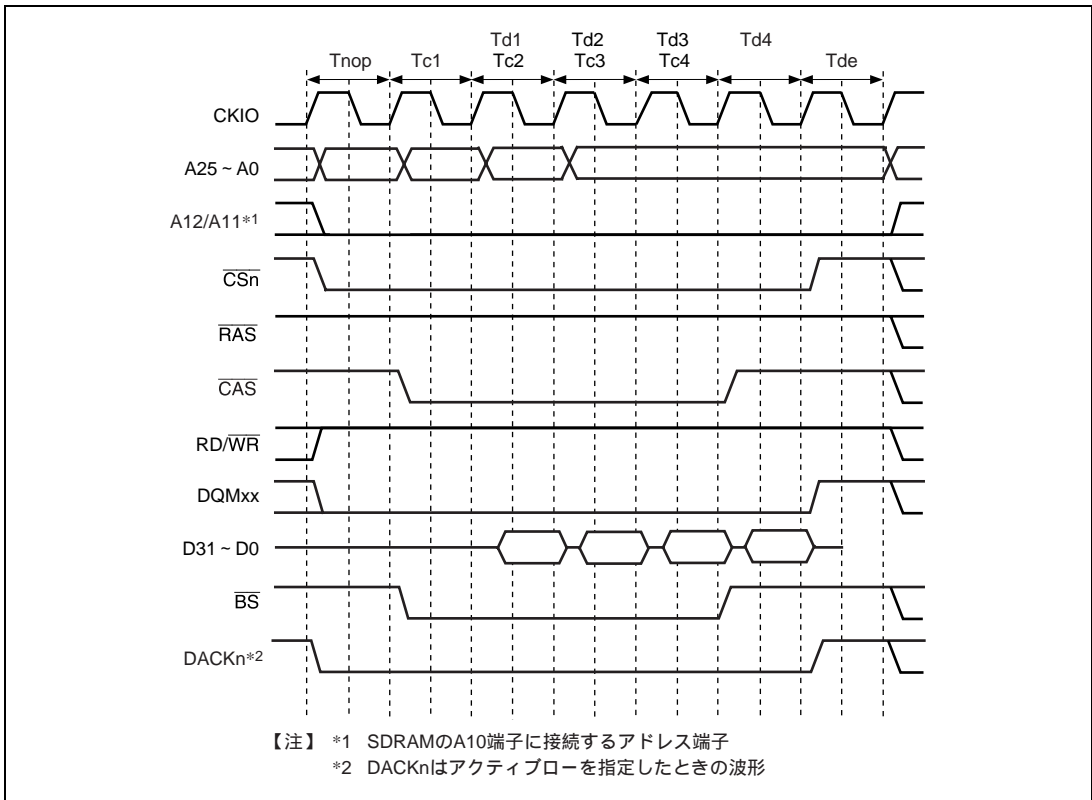


図 9.20 バーストリードタイミング (バンクアクティブ、同一口ウアドレス)

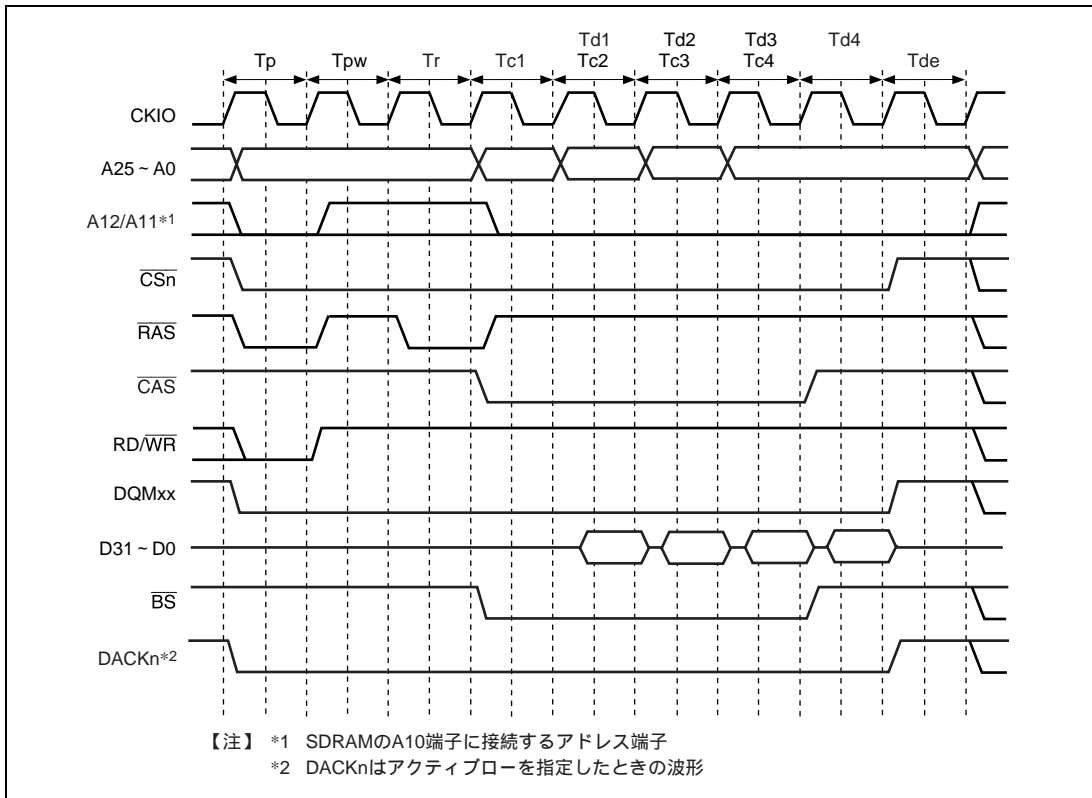


図 9.21 バーストリードタイミング (バンクアクティブ、異なるロウアドレス)

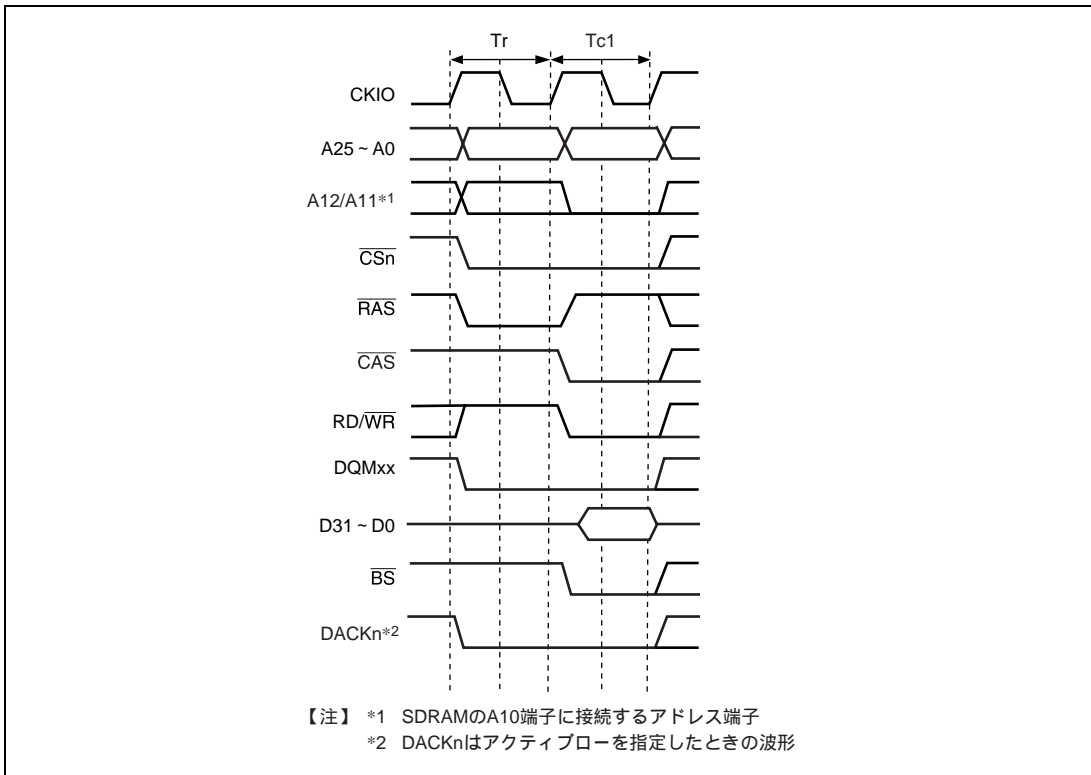


図 9.22 シングルライトタイミング (オートプリチャージなし)

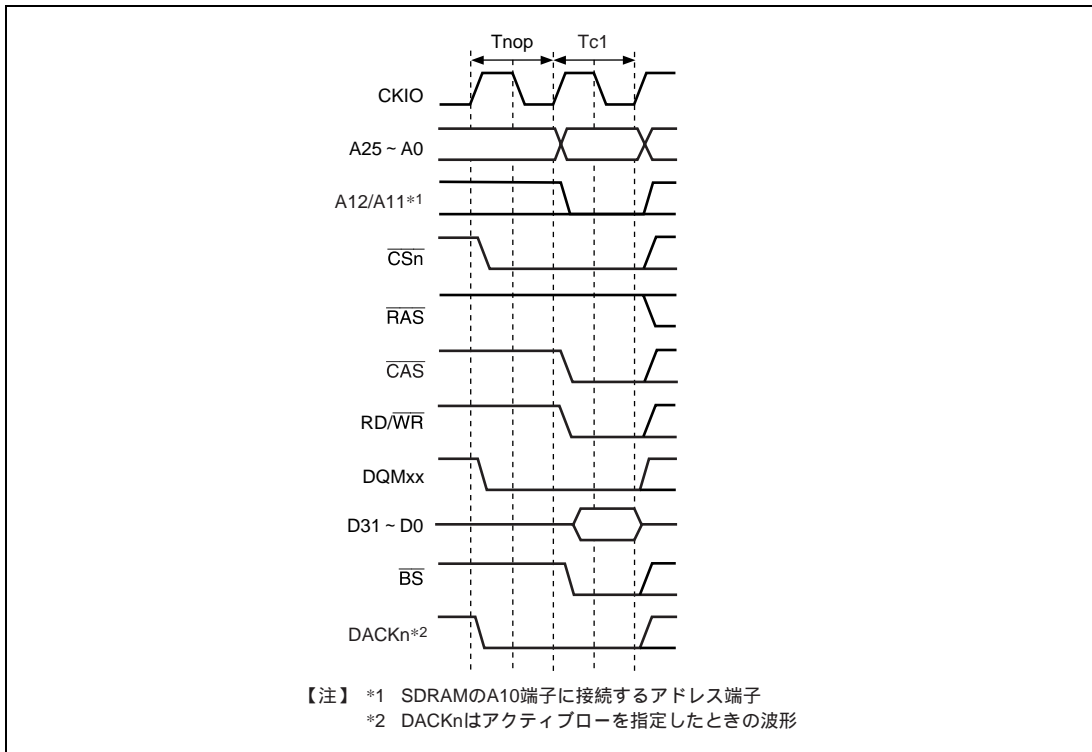


図 9.23 シングルライトタイミング (バンクアクティブ、同一ロウアドレス)

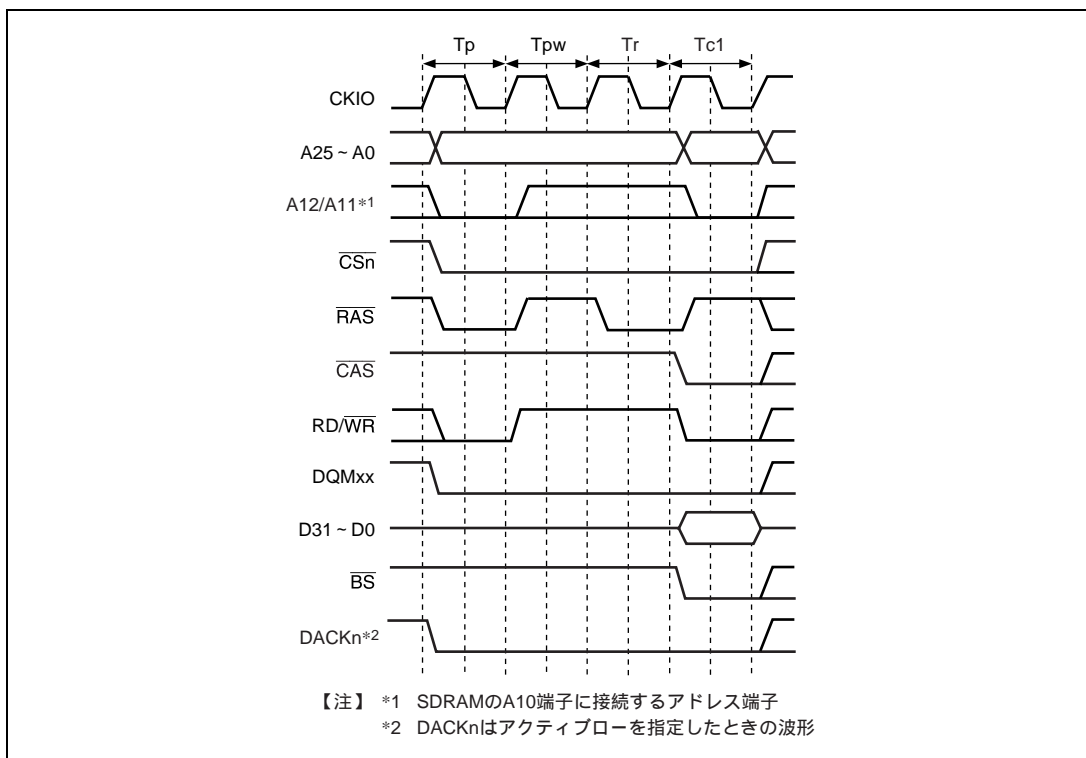


図 9.24 シングルライトタイミング (バンクアクティブ、異なるロウアドレス)

## (8) リフレッシュ

BSC は、SDRAM のリフレッシュを制御する機能を備えています。SDCR の RFSH ビットを 1 に、RMODE ビットを 0 に設定することによって、オートリフレッシュを行うことができます。また、RTCSR の RRC[2:0] ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間 SDRAM にアクセスしないときは、RFSH ビットと RMODE ビットをともに 1 にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

## (a) オートリフレッシュ

RTCSR の CKS[2:0] ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0] に設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビットおよび、RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0] ビットおよび、RRC[2:0] ビットの設定を行ってください。CKS[2:0] によって入力クロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0] に設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されます。



図 9.25 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 $T_p$  サイクルで PALL コマンドを発行します。次いで、CSnWCR の TRP[1:0] ビットで設定された数のアイドルサイクル挿入後、REF コマンドを  $T_{rr}$  サイクルに発行します。 $T_{rr}$  サイクル後 CSnWCR の TRC[1:0] ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 ( $t_{RC}$ ) を満たすように TRC[1:0] を設定する必要があります。CSnWCR の TRP[1:0] ビットの設定値が 2 サイクル以上の場合、 $T_p$  サイクルと  $T_{rr}$  サイクルの間に NOP サイクルが挿入されます。

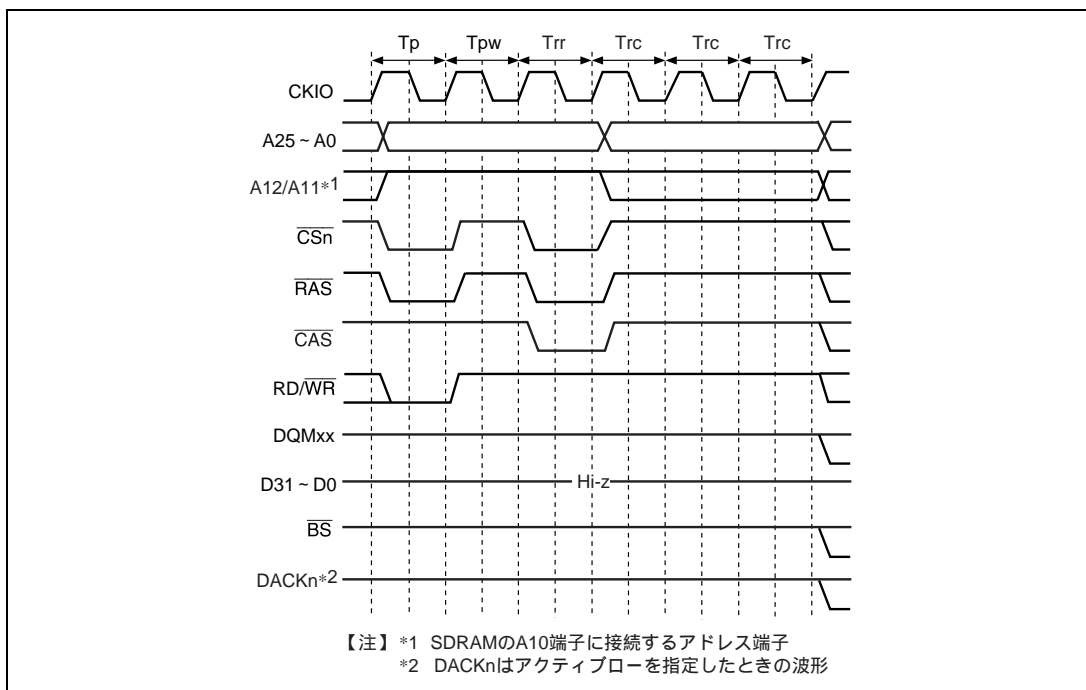


図 9.25 オートリフレッシュタイミング

#### (b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、 $T_p$  サイクルで PALL コマンドを発行します。次いで、CSnWCR の TRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CSnWCR の TRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行は行いません。

セルフリフレッシュのタイミングを図 9.26 に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH=1、RMODE=0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値 - 1) を RTCNT に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。

マニュアルリセットによってもセルフリフレッシュ状態が解除されることはありません。

パワーオンリセットの場合には、BSC のレジスタが初期化されるため、セルフリフレッシュ状態が解除されま

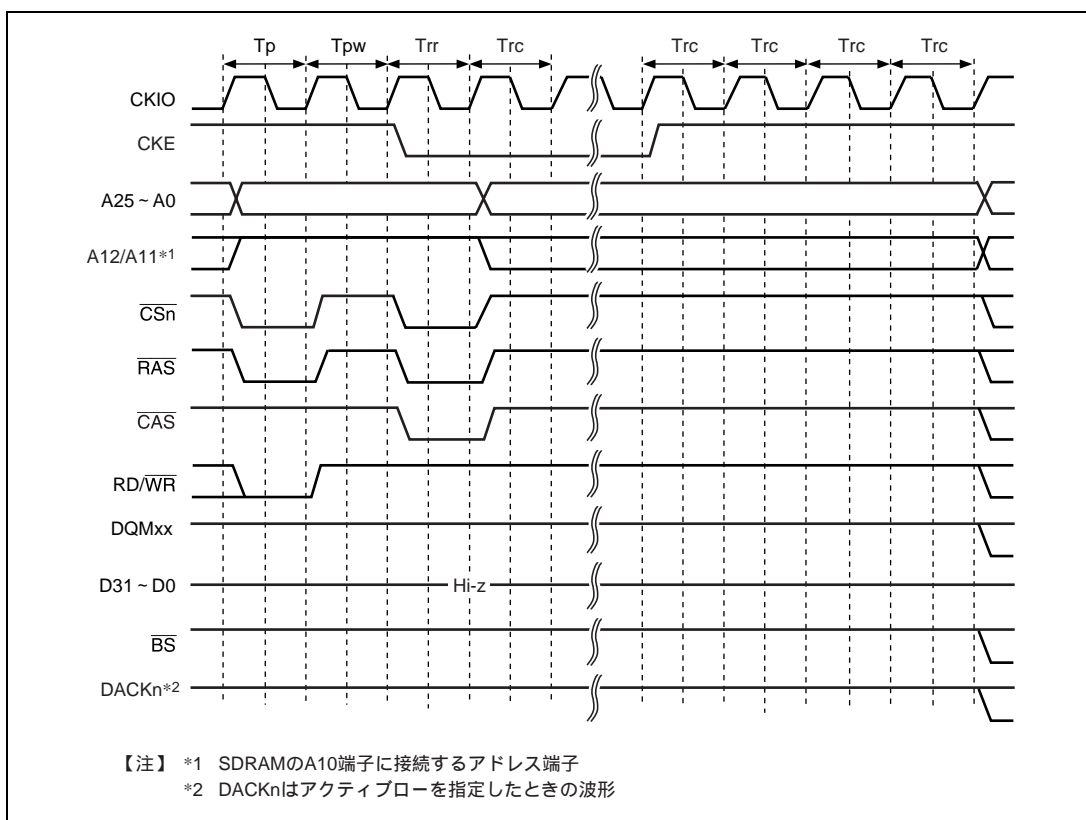


図 9.26 セルフリフレッシュタイミング

#### (9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。また、バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が発生した場合は、バス権を獲得するまでリフレッシュの実行は待たされます。本 LSI はリフレッシュの実行が待たされている間にバス権を要求する信号として、 $\overline{\text{REFOUT}}$  端子を設けています。バス権を獲得するまで、 $\overline{\text{REFOUT}}$  をアサート (ローレベル) し続けます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起らないようにする必要があります。

セルフリフレッシュ中にバス権要求が発生しても、バスの解放はセルフリフレッシュが解除されるまで行われません。

#### (10) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE を L レベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバヘッドが発生します。図 9.27 にパワーダウンモードでのアクセスタイミングを示します。

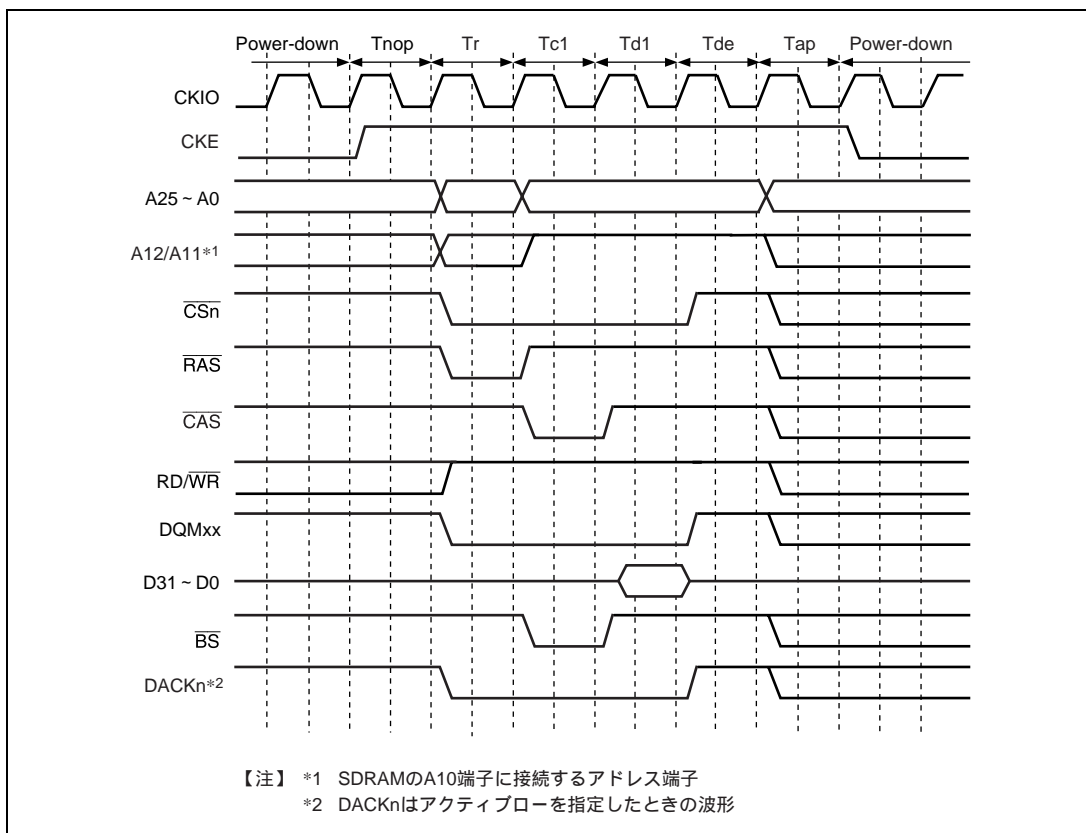


図 9.27 パワーダウンモードでのアクセスタイミング

## (11) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、SDRAM に対してモード設定を行う必要があります。SDRAM の初期化を正しく行うためには、まず BSC のレジスタを設定した後、SDMR2 あるいは SDMR3 レジスタをアクセスすることにより SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は  $\overline{CSn}$ 、 $\overline{RAS}$ 、 $\overline{CAS}$ 、および  $\overline{RD/WR}$  の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると X + (エリア 2 : H'A4FD4000、エリア 3 : H'A4FD5000) 番地にワードライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード/シングルライト(バースト長 1)またはバーストリード/バーストライト(バースト長 1)、CAS レイテンシ 2~3、ラップタイプ=シーケンシャル、およびバースト長 1 を設定するには、表 9.19 に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

表 9.19 SDRAM モードレジスタ ライト時のアクセスアドレス

- エリア2設定 (SDMR2)

バーストリード/シングルライト (バースト長1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD4440	H'0000440
	3	H'A4FD4460	H'0000460
32 ビット	2	H'A4FD4880	H'0000880
	3	H'A4FD48C0	H'00008C0

バーストリード/バーストライト (バースト長1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD4040	H'0000040
	3	H'A4FD4060	H'0000060
32 ビット	2	H'A4FD4080	H'0000080
	3	H'A4FD40C0	H'00000C0

- エリア3設定 (SDMR3)

バーストリード/シングルライト (バースト長1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD5440	H'0000440
	3	H'A4FD5460	H'0000460
32 ビット	2	H'A4FD5880	H'0000880
	3	H'A4FD58C0	H'00008C0

バーストリード/バーストライト (バースト長1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD5040	H'0000040
	3	H'A4FD5060	H'0000060
32 ビット	2	H'A4FD5080	H'0000080
	3	H'A4FD50C0	H'00000C0

モードレジスタ設定タイミングを図 9.28 に示します。まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に CS<sub>n</sub>WCR の TRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および 8 回目の REF と MRS の間に CS<sub>n</sub>WCR の TRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM に関するマニュアルを御覧ください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

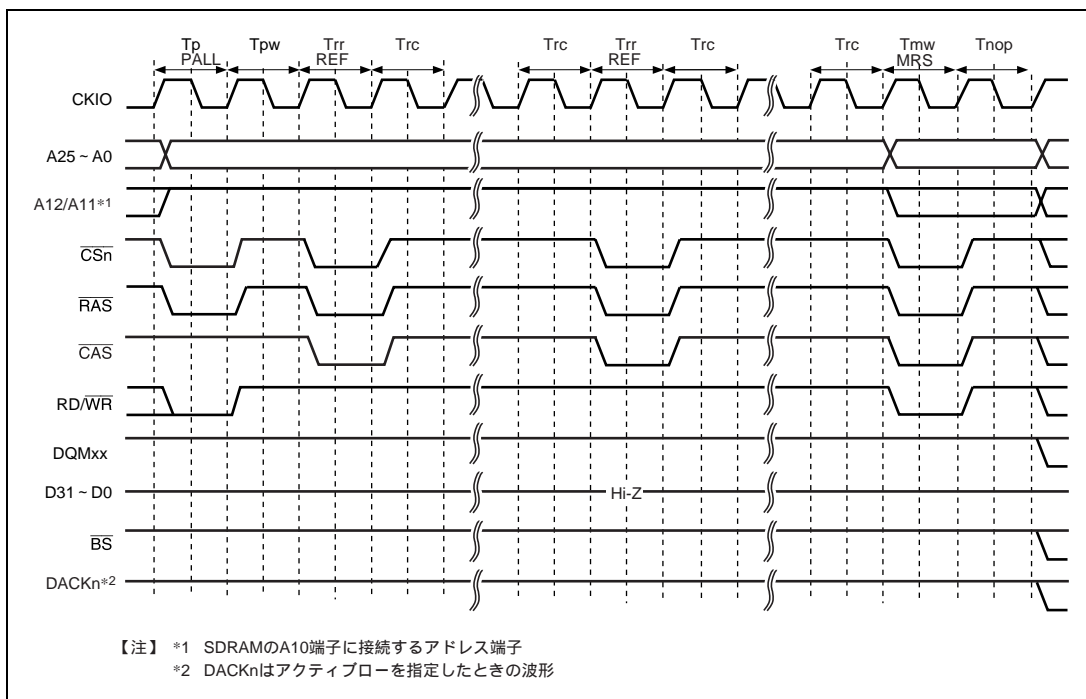


図 9.28 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

## (12) ローパワー-SDRAM

ローパワー-SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

ローパワー-SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパーシャルリフレッシュや、ユーザの使用条件 (温度) によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できる事です。パーシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー-SDRAM のデータシートをご覧ください。

ローパワー-SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、表 9.20 の内容に従います。たとえば H'A4FD5XXX に H'0YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL REF×8 MRS EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは H'0000XXX に、および EMRS 発行時のアドレスは H'YYYYYYY になります。また H'A4FD5XXX に H'1YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL MRS EMRS のシーケンスでコマンドを発行します。

表 9.20 EMRS コマンド発行時の出力アドレス

発行コマンド	アクセス アドレス	アクセスデータ	ライト アクセス サイズ	MRS コマンド時 発行アドレス	EMRS コマンド時 発行アドレス
CS2 MRS	H'A4FD4XXX	H'*****	16 ビット	H'0000XXX	-----
CS3 MRS	H'A4FD5XXX	H'*****	16 ビット	H'0000XXX	-----
CS2 MRS + EMRS (リフレッシュあり)	H'A4FD4XXX	H'0YYYYYYY	32 ビット	H'0000XXX	H'YYYYYYYY
CS3 MRS + EMRS (リフレッシュあり)	H'A4FD5XXX	H'0YYYYYYY	32 ビット	H'0000XXX	H'YYYYYYYY
CS2 MRS + EMRS (リフレッシュなし)	H'A4FD4XXX	H'1YYYYYYY	32 ビット	H'0000XXX	H'YYYYYYYY
CS3 MRS + EMRS (リフレッシュなし)	H'A4FD5XXX	H'1YYYYYYY	32 ビット	H'0000XXX	H'YYYYYYYY

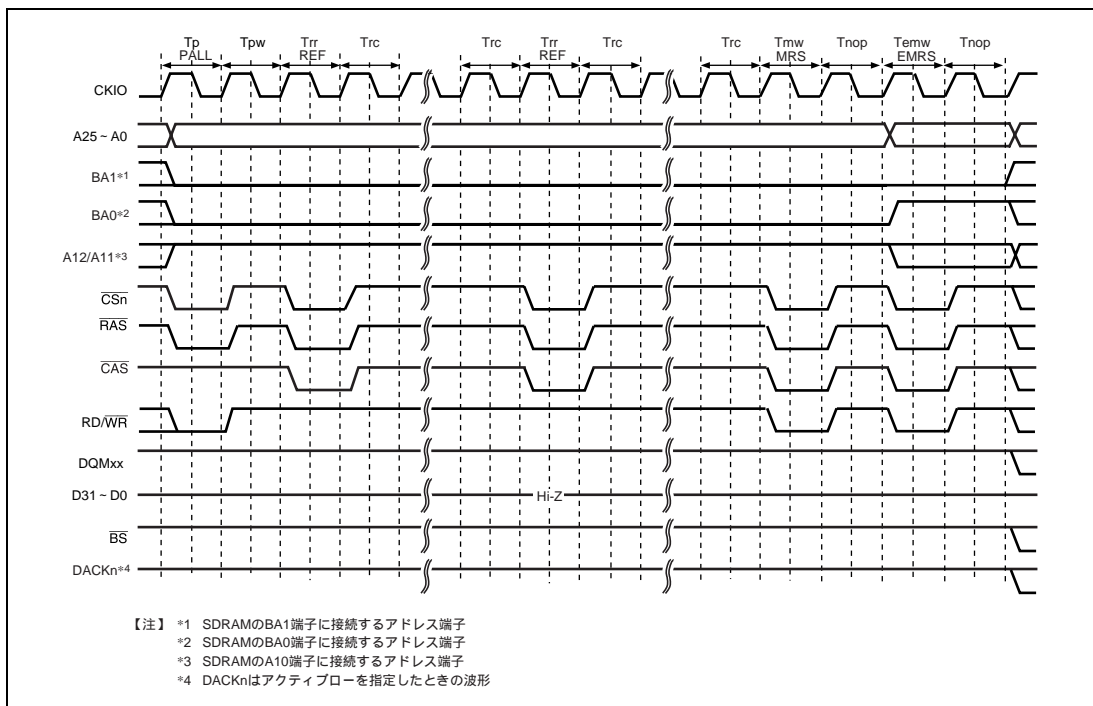


図 9.29 EMRS コマンド発行タイミング

- ディープパワーダウンモード

ローパワーSDRAMには、ディープパワーダウンモードという低消費電力モードもあります。パーシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCR の DEEP ビットを 1、RFSH ビットを 1 に設定した状態で RMODE ビットに 1 を書き込むと、ローパワー SDRAM はディープパワーダウンモードに遷移します。RMODE ビットに 0 を書き込むと CKE がハイレベルとなりディープパワーダウンモードは、解除されます。ディープパワーダウン解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

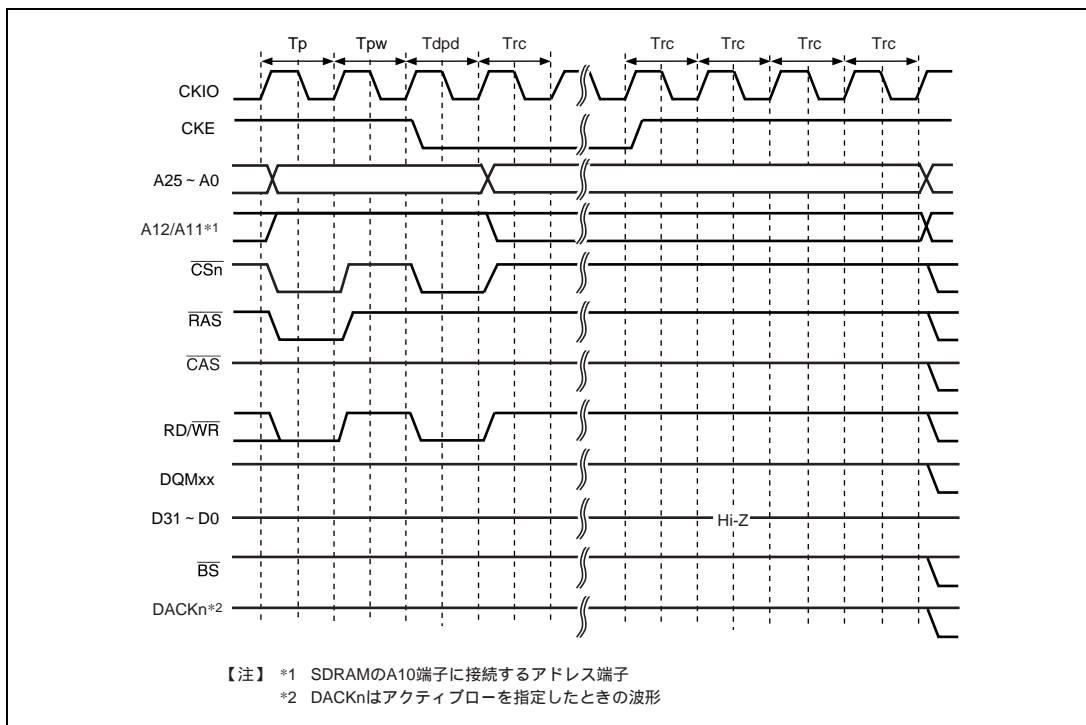


図 9.30 ディープパワーダウンモード遷移タイミング



### 9.5.6 バースト ROM (クロック非同期) インタフェース

バースト ROM (クロック非同期) インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に  $\overline{RD}$  信号のネゲートを行わず、アドレスのみを切り換えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKIO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック非同期) アクセス時は、 $\overline{BS}$  信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM (クロック非同期) インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 9.21 にバス幅およびアクセスサイズとバースト数の関係を、図 9.31 にタイムチャートを示します。

表 9.21 バス幅およびアクセスサイズとバースト数の関係

バス幅	BEN ビット	アクセスサイズ	バースト数	アクセス回数
8 ビット	影響なし	8 ビット	1	1
	影響なし	16 ビット	2	1
	影響なし	32 ビット	4	1
	0	16 バイト	16	1
	1		4	4
16 ビット	影響なし	8 ビット	1	1
	影響なし	16 ビット	1	1
	影響なし	32 ビット	2	1
	0	16 バイト	8	1
	1		2	4
32 ビット	影響なし	8 ビット	1	1
	影響なし	16 ビット	1	1
	影響なし	32 ビット	1	1
	影響なし	16 バイト	4	1

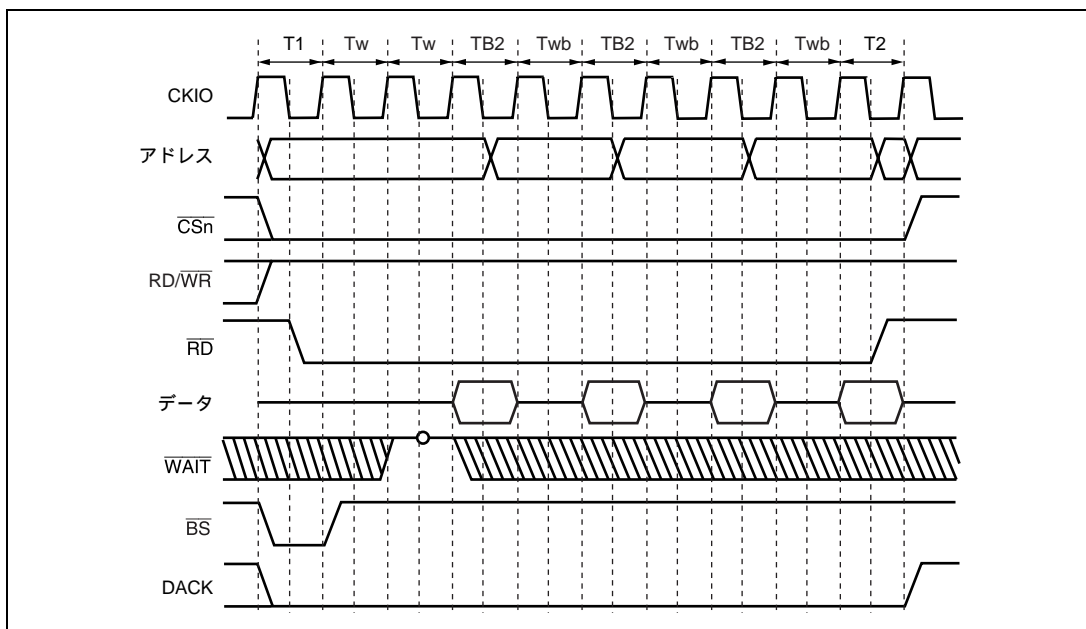


図 9.31 バースト ROM (クロック非同期) アクセス  
(バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

### 9.5.7 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 ( $\overline{WEn}$  ( $\overline{BEn}$ )) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

$CSnWCR$  レジスタの BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{WEn}$  ( $\overline{BEn}$ ) 端子のタイミングが通常空間インタフェースと異なり、 $\overline{WEn}$  ( $\overline{BEn}$ ) 端子からバイト選択信号を出力します。図 9.32 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ( $\overline{WEn}$  ( $\overline{BEn}$ )) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

$CSnWCR$  レジスタの BAS ビットが 1 のとき、 $\overline{WEn}$  ( $\overline{BEn}$ ) 端子と  $RD/\overline{WR}$  端子のタイミングが変化します。図 9.33 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 ( $RD/\overline{WR}$ ) のタイミングでメモリに書き込まれます。 $RD/\overline{WR}$  端子のネグートタイミングからのライトデータのホールドタイミングは、 $CSnWCR$  の HW[1:0] ビットを設定することにより確保してください。図 9.34 にソフトウェイト設定時のアクセスタイミングを示します。

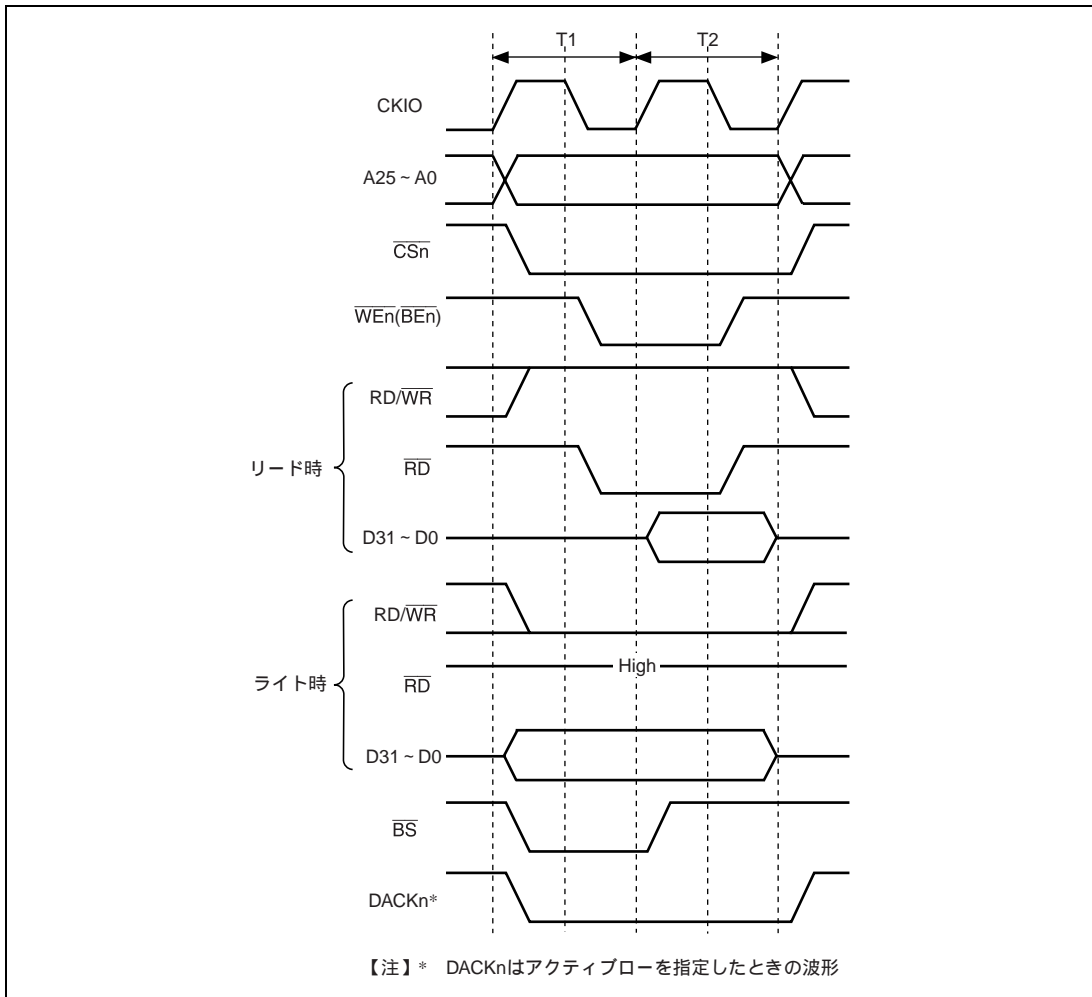


図 9.32 BAS = 0 バイト選択付き SRAM 基本アクセスタイミング

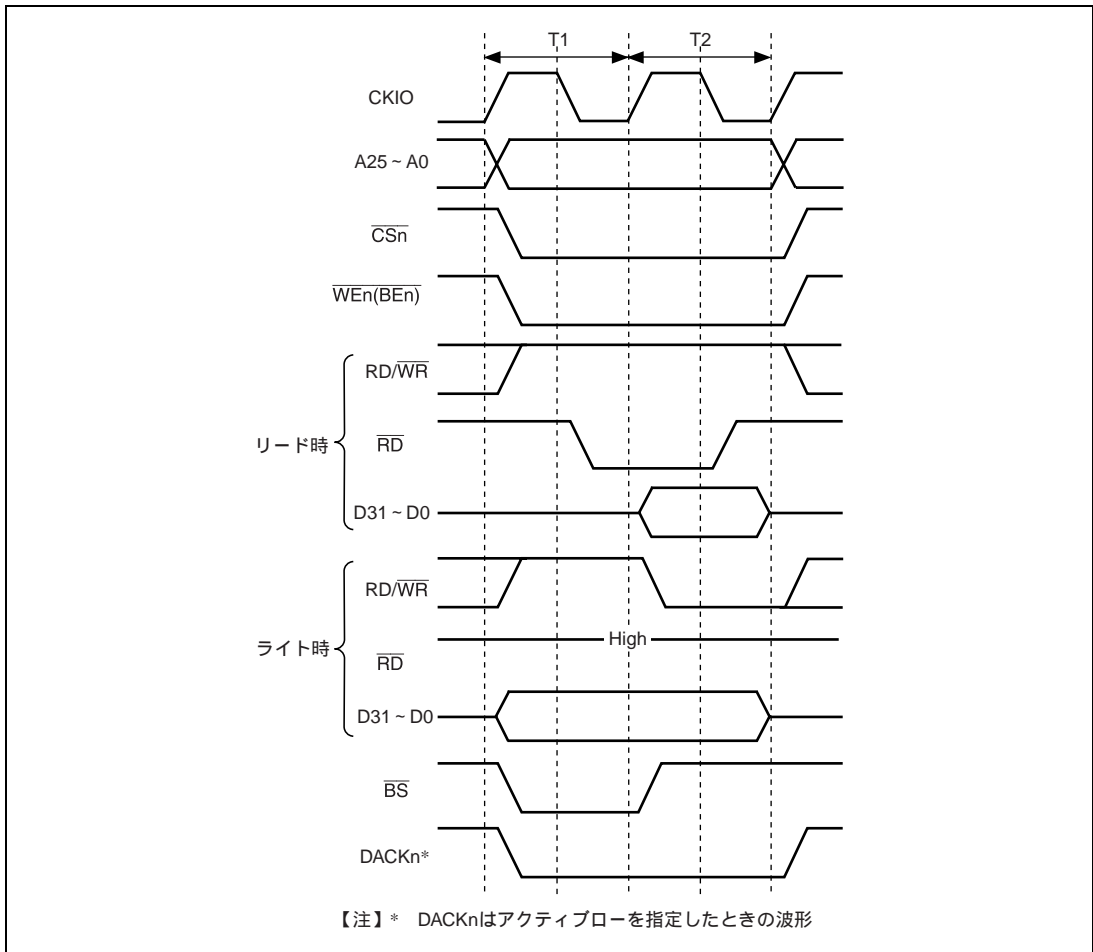


図 9.33 BAS = 1 バイト選択付き SRAM 基本アクセスタイミング

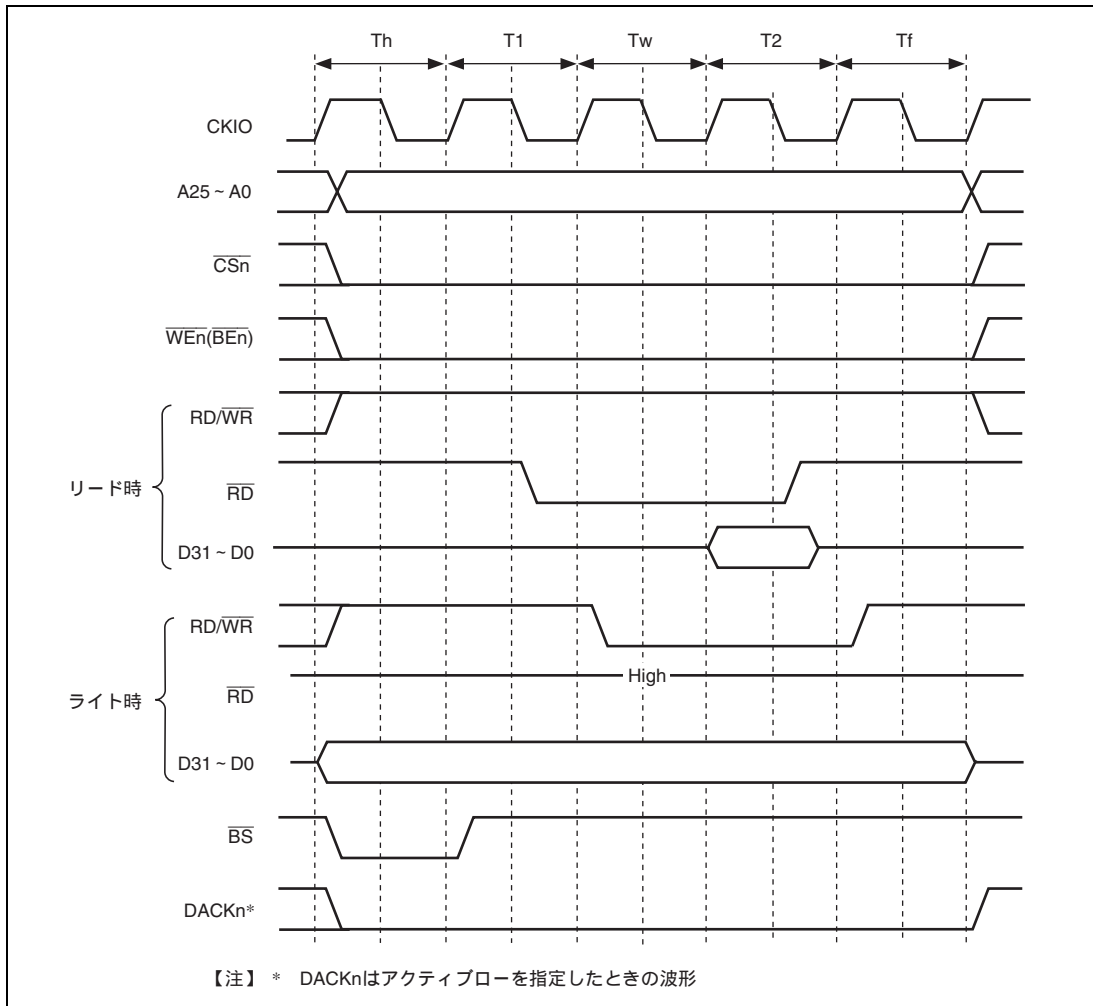


図 9.34 BAS = 1 バイト選択付き SRAM ウェイトタイミング (ソフトウェアのみ)

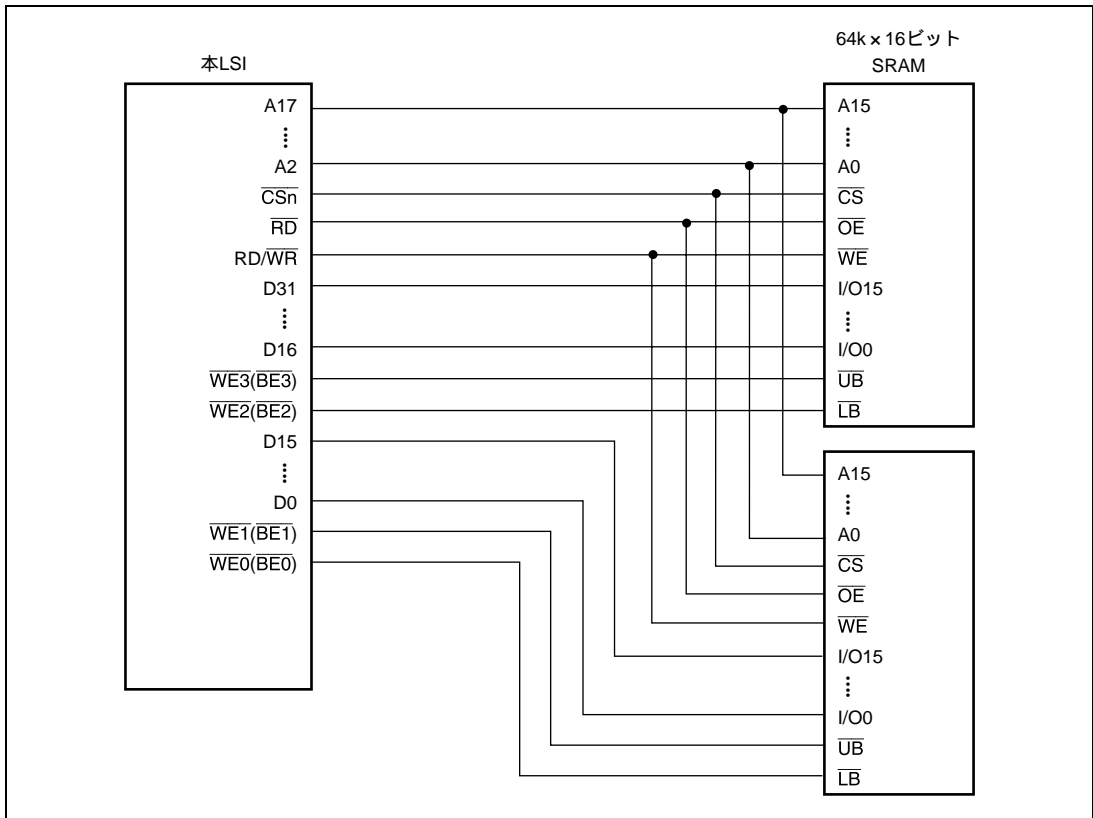


図 9.35 32 ビットデータ幅バイト選択付き SRAM 接続例

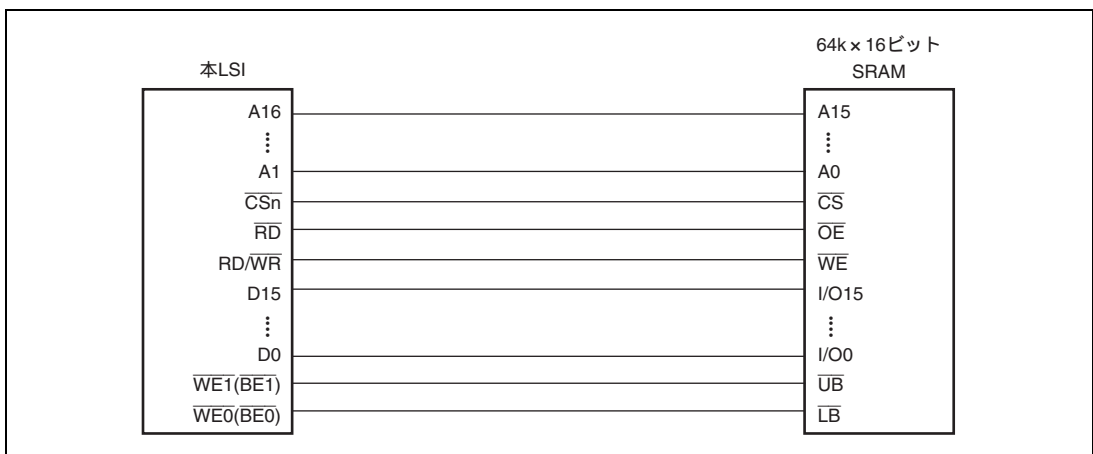


図 9.36 16 ビットデータ幅バイト選択付き SRAM 接続例

### 9.5.8 PCMCIA インタフェース

本 LSI では、CMNCR の MAP ビットにてアドレスマップ (2) を選択した場合、エリア 5、エリア 6 で PCMCIA インタフェースの設定が可能です。物理空間のエリア 5 およびエリア 6 は CSnBCR (n=5B、6B) の TYPE[3:0] ビットを B'0101 に設定することで、JEIDA 仕様 Ver4.2 (PCMCIA2.1 Rev2.1) で定める「IC メモリカードおよび I/O カードインタフェース」になります。また、CSnWCR (n=5B、6B) の SA[1:0] ビットにより各エリアの前半 32MB と後半の 32MB に対して IC メモリカードあるいは I/O カードインタフェースに設定できます。たとえば、CS5BWCR の SA1 ビットを 1 に、また CS5BWCR の SA0 ビットを 0 に設定すると前半の 32MB が IC メモリカードインタフェースおよび後半の 32MB が I/O カードインタフェースとなります。

PCMCIA インタフェースを使用する場合は、CS5BBCR の BSZ[1:0] ビットもしくは CS6BBCR の BSZ[1:0] ビットによって、バスサイズは 8 ビットまたは 16 ビットに設定してください。

図 9.37 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするため、本 LSI のバスインタフェースと PCMCIA カードの間に 3-State バッファを接続する必要があります。

JEIDA および PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

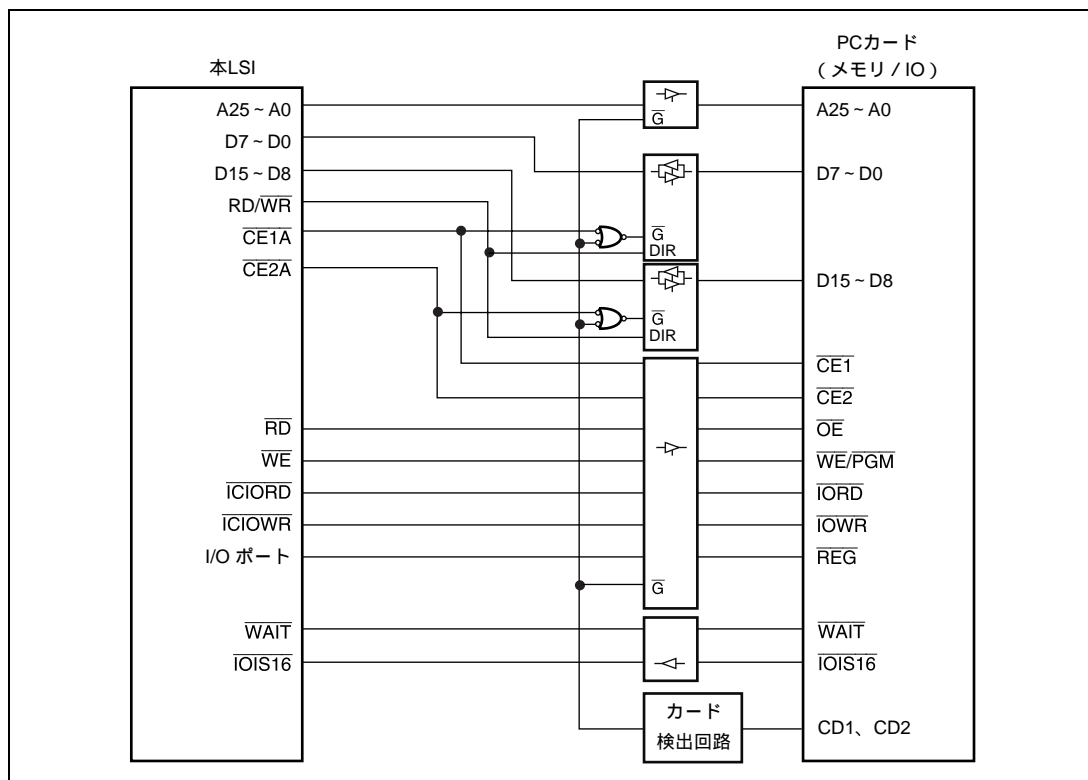


図 9.37 PCMCIA インタフェース接続例

## (1) メモリカードインタフェース基本タイミング

図 9.38 に PCMCIA の「IC メモリカードインタフェース」の基本タイミングを示します。物理空間のエリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合は、各エリアの共通メモリ空間をアクセスすると自動的に「IC メモリカードインタフェース」としてバスアクセスが行われます。外部バス周波数 (CKIO) が高くなると、 $\overline{RD}$  や  $\overline{WE}$  に対してアドレス (A25~A0)、カードイネーブル ( $\overline{CE1A}$ 、 $\overline{CE2A}$ 、 $\overline{CE1B}$ 、 $\overline{CE2B}$ )、書き込みサイクル時の書き込みデータ (D15~D0) のセットアップ時間、およびホールド時間が足りなくなります。これに対して、本 LSI では CS5BWCR もしくは CS6BWCR レジスタによって物理空間のエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また、通常空間インタフェースと同じようにソフトウェアウェイトおよび  $\overline{WAIT}$  端子によるハードウェアウェイトを行うことができます。図 9.39 に PCMCIA メモリバスウェイトタイミングを示します。

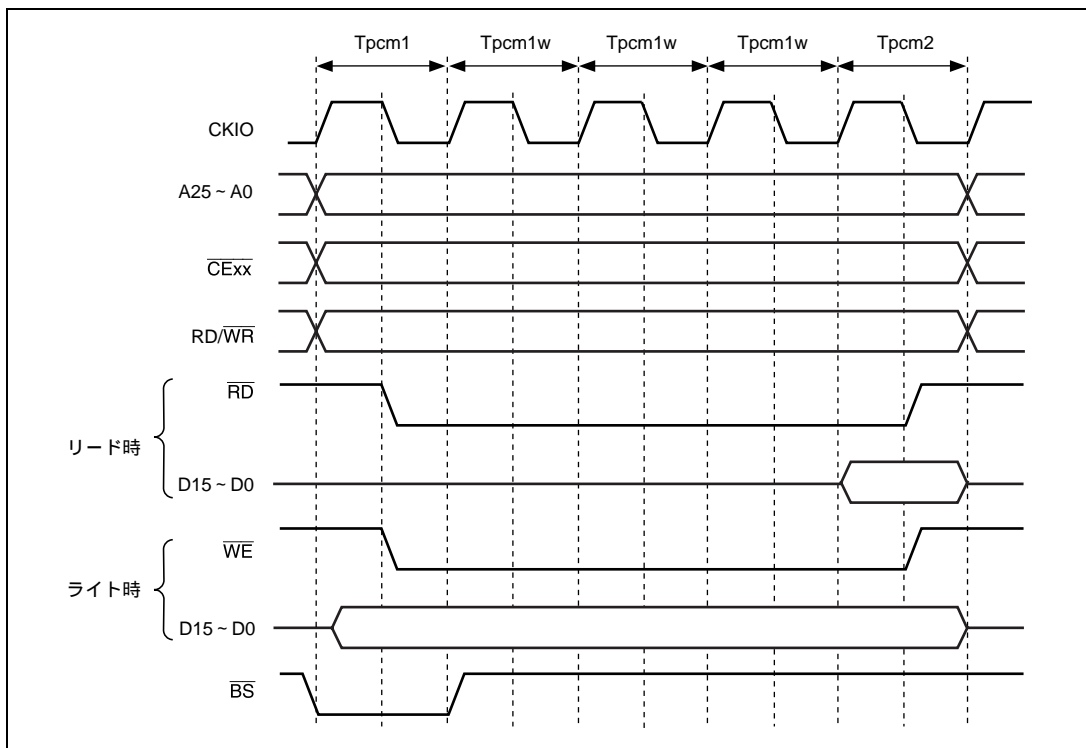


図 9.38 PCMCIA メモリカードインタフェース基本タイミング



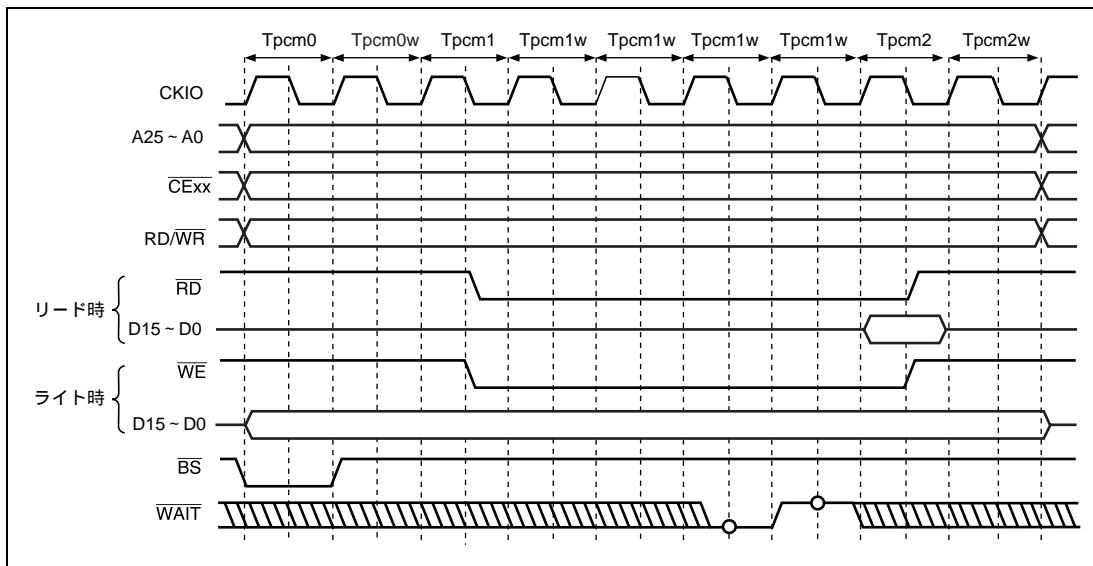


図 9.39 PCMCIA メモリカードインタフェースウェイトタイミング  
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェイト1、ハードウェイト1)

IC メモリカードインタフェースとしてメモリ空間を 32M バイトすべてを使用する場合は、共通メモリとアトリビュートメモリの切り替え信号  $\overline{REG}$  は I/O ポート等を利用して生成します。また、メモリ空間が 16M バイト以下で足りる場合は、メモリ空間を 16M バイトづつ共通メモリ空間とアトリビュートメモリ空間として使うことにより、A24 端子を  $\overline{REG}$  信号として利用することができます。

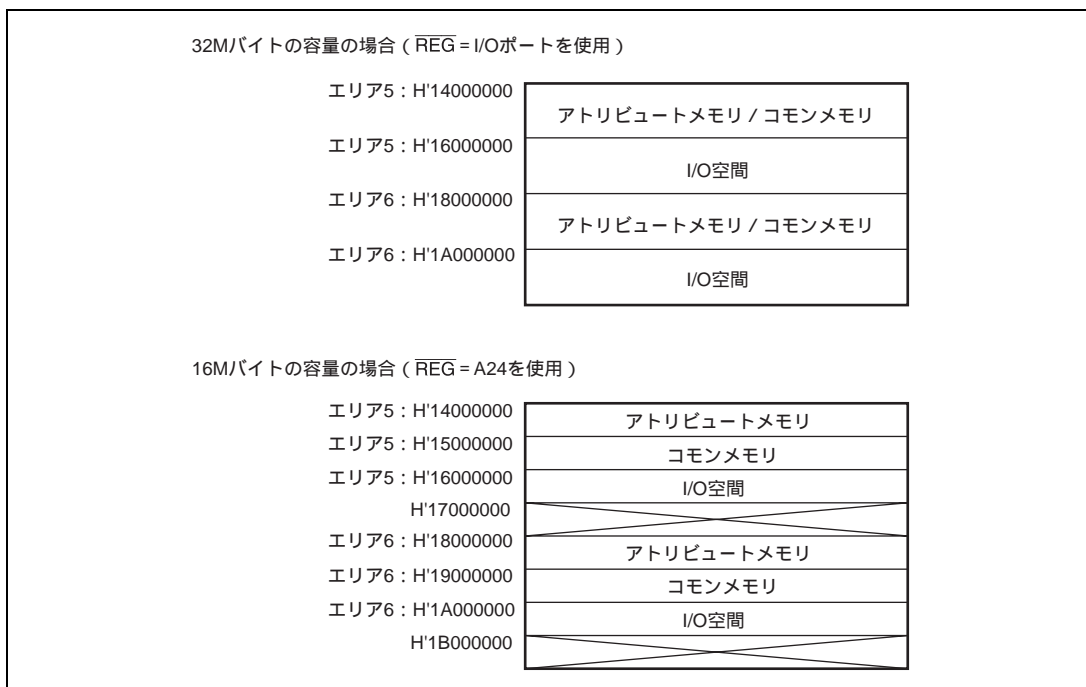


図 9.40 PCMCIA 空間割り付け例 (CS5BWCR.SA[1:0] = B'10、CS6BWCR.SA[1:0] = B'10)

## (2) I/O カードインタフェース基本タイミング

図 9.41 および図 9.42 に PCMCIA の「I/O カードインタフェース」のタイミングを示します。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、アクセスするアドレスによって行います。物理空間のエリア 5 を PCMCIA に設定した場合は、物理アドレスの H'16000000 ~ H'17FFFFFF をアクセスすると自動的に「I/O カードインタフェース」としてバスアクセスが行われます。また、物理空間のエリア 6 を PCMCIA に設定した場合は、物理アドレスの H'1A000000 ~ H'1BFFFFFF をアクセスすると自動的に「I/O カードインタフェース」としてバスアクセスが行われます。

PCMCIA の I/O カードをアクセスする場合は、論理空間のキャッシュ非対象領域 (P2 か P3 空間) が、MMU によってキャッシュ非対象領域と指定した領域で行ってください。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合は、 $\overline{\text{IOIS16}}$  端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 6 のバス幅を 16 ビットに設定しているときに、ワードサイズの I/O バスサイクル中に  $\overline{\text{IOIS16}}$  信号がハイレベルの場合は、8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

$\overline{\text{IOIS16}}$  信号は、TED[3:0]ビットの設定を 1.5 サイクル以上に設定したときの Tpci0、Tpci0w、および Tpci1 サイクルにおける CKIO の立ち下がりですamplingされ、samplingポイントから CKIO の 1.5 サイクル後に  $\overline{\text{CE2x}}$  信号に反映されます。ご使用になる PC カードの  $\overline{\text{ICIORd}}$  と  $\overline{\text{ICIOwR}}$  から  $\overline{\text{CEn}}$  のセットアップの規格を満たすように、TED[3:0]ビットを設定してください。

ダイナミックバスサイジングの基本タイミングを図 9.43 に示します。

なお、ビッグエンディアンモードでは、 $\overline{\text{IOIS16}}$  信号をサポートしません。ビッグエンディアンモード時には、 $\overline{\text{IOIS16}}$  信号をローレベルに固定してください。

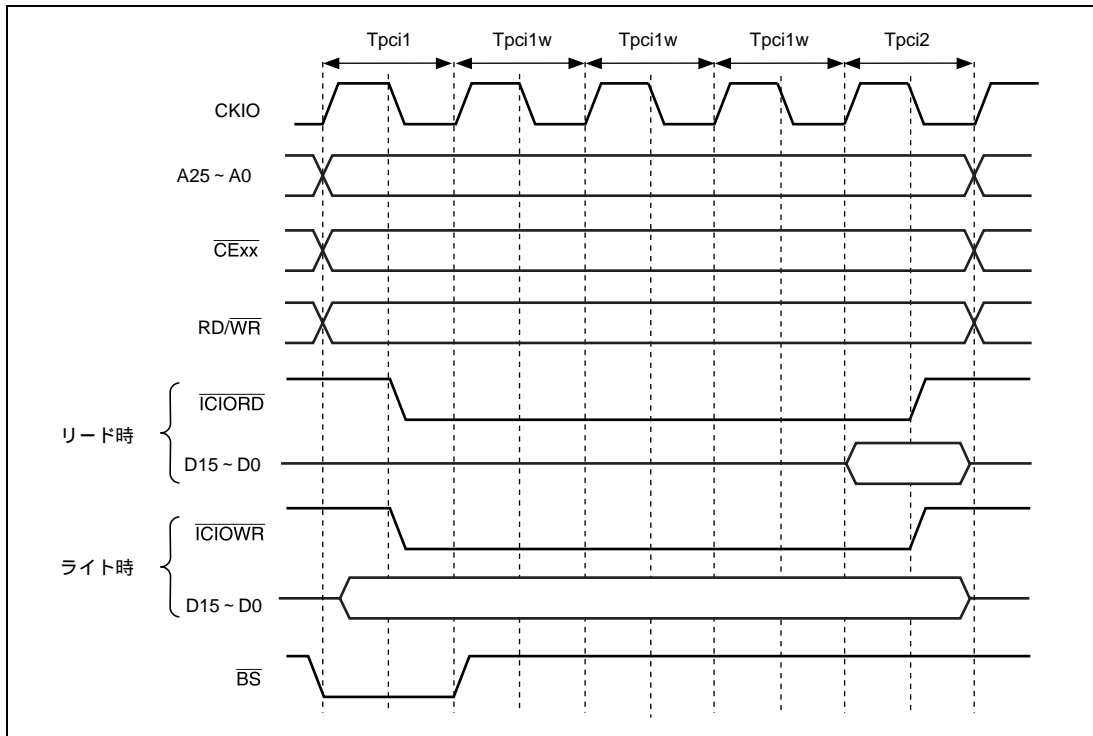


図 9.41 PCMCIA I/O カードインタフェース基本タイミング

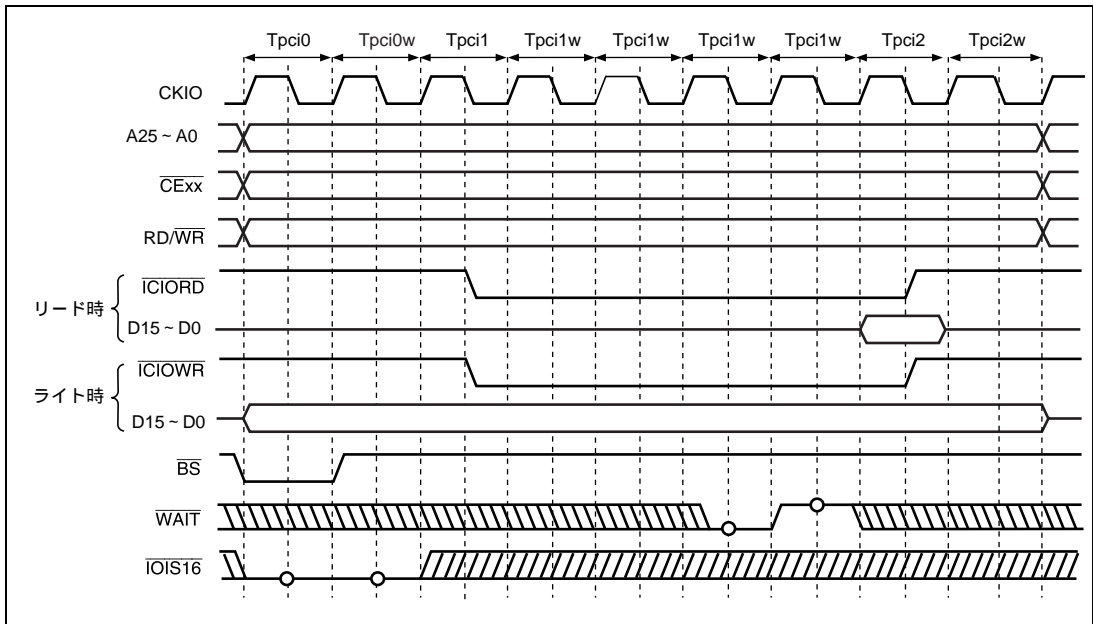


図 9.42 PCMCIA I/O カードインタフェースウェイトタイミング  
 (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 1、ハードウェイト 1)

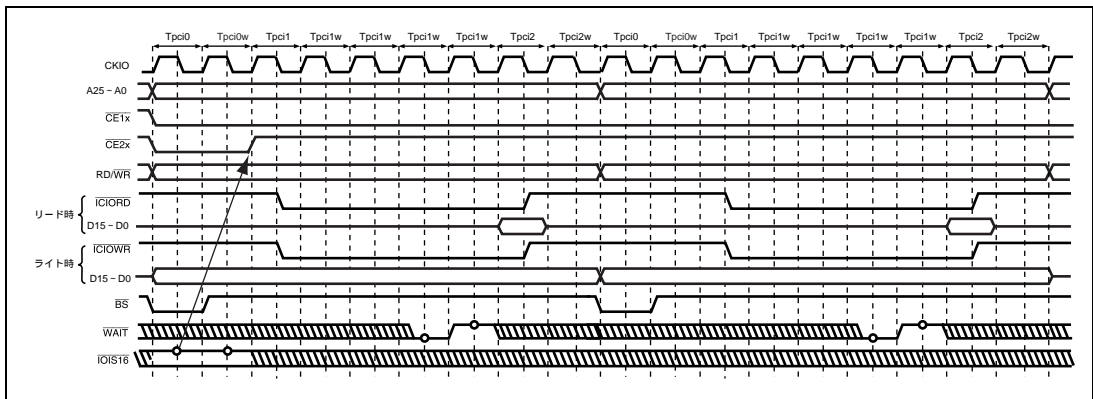


図 9.43 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング  
 (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 3)

### 9.5.9 バースト ROM (クロック同期)

バースト ROM (クロック同期) インタフェースは、シンクロナスバースト機能を有する ROM を高速にアクセスするためのものです。基本的には、通常空間と同じようなアクセスを行います。本インタフェースは、エリア 0 でのみ設定可能です。

最初のアクセスサイクルに対しては、CS0WCR の W[3:0]ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0]ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック同期) アクセス時は、 $\overline{BS}$  信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のときにのみ有効です。

メモリの設定は、バス幅が 16 ビット時にはバースト長は 8 に、32 ビット時にはバースト長は 4 に設定してください。バス幅 8 ビットはサポートしていません。本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅でロングワードアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下および DMA 転送速度の低下を招くので、キャッシュフィルによる 16 バイトリードや、DMA による 16 バイトリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

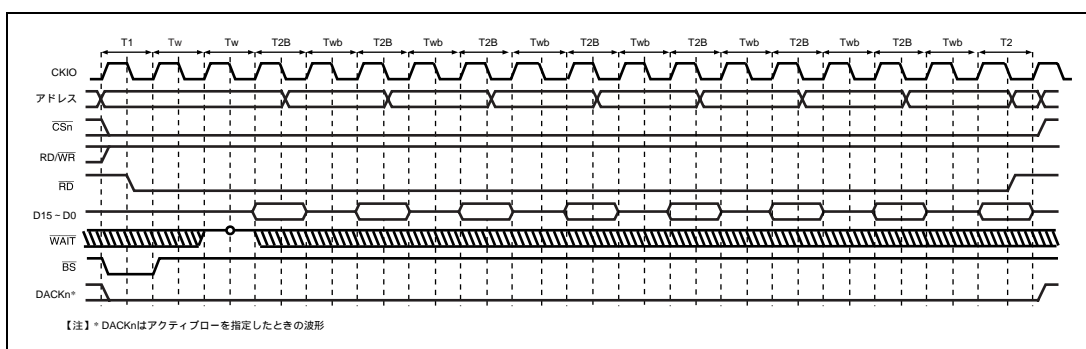


図 9.44 バースト ROM (クロック同期) アクセス  
(バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

### 9.5.10 アクセスサイクル間ウェイト

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にウェイトを挿入して、データの衝突を回避する機能を有しています。

アクセスサイクル間ウェイトのサイクル数は、CSnBCR の IWW[2:0]ビット、IWRWD[2:0]ビット、IWRWS[2:0]ビット、IWRRD[2:0]ビット、IWRRS[2:0]ビット、および CMNCR の DMAIW[2:0]ビット、DMAIWA ビットで指定します。アクセスサイクル間ウェイト (アイドルサイクル) は、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合
6. DMAシングル転送による外部デバイスデータ出力後の本LSIを含む別デバイスによるデータ出力の場合 (DMAIWA = 0)
7. DMAシングル転送による外部デバイスデータ出力後にアクセス発生の場合 (DMAIWA = 1)

### 9.5.11 バスアービトレーション

マスタとスレーブとの間でバス権を受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号をネゲート状態にします。バス権を受け取る場合にも、バス制御信号はネゲート状態からドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。バス制御信号のハイインピーダンス状態での外来ノイズによる誤動作を防ぐために、これらの制御信号にはプルアップ抵抗が必要となります。

バス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていないければ、ただちにバス権の解放を行います。バスサイクルの最中の場合は、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI 外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 $\overline{\text{CSn}}$  信号その他のバス制御信号を見て、ただちにバスが解放されるかどうかを判断することはできません。バス解放が行われない状態を以下に示します。

1. キャッシュミスによる16バイト転送中
2. キャッシュのコピーバック中
3. TAS命令のリードサイクルとライトサイクル間
4. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットデータバス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)
5. DMAC、USBHでの16バイト転送時
6. CMNCRレジスタのBLOCKビットを1に設定時
7. LCDCの16バイト~128バイト転送時
8. USBHの転送時

また、CMNCR レジスタの DPRTY[1:0]ビットによって、DMAC バースト転送中にバス権使用要求の受け付けの有無を選択可能です。

本LSIは、バス権要求を受けない限りバス権を保有しています。外部からのバス権要求  $\overline{\text{BREQ}}$  のアサート(ローレベル)を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可  $\overline{\text{BACK}}$  をアサート(ローレベル)します。スレーブがバスを解放したことを示す  $\overline{\text{BREQ}}$  のネゲート(ハイレベル)を受けて  $\overline{\text{BACK}}$  をネ

ゲート (ハイレベル) し、バスの使用を再開します。

SDRAM は、アクティブなバンクがある場合、全バンクプリチャージコマンド (PALL) を発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは、次のとおりです。まず、CKIO の立ち上がりに同期してアドレスバスおよび、データバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CKIO の立ち下がりに同期してアサートします。これに続く CKIO の立ち上がりで、バス制御信号 ( $\overline{BS}$ 、 $\overline{CSn}$ 、 $\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{DQMxx}$ 、 $\overline{WE_n}$  ( $\overline{BE_n}$ )、 $\overline{RD}$ 、および  $\overline{RD}/\overline{WR}$ ) をハイインピーダンスにします。これらのバス制御信号は、遅くともハイインピーダンスにする 1 サイクル前には、ハイレベルにされています。バス権要求信号のサンプリングは、CKIO の立ち下がりで行います。

スレーブからバス権を再獲得するときのシーケンスは、次のとおりです。 $\overline{BREQ}$  のネゲートを CKIO の立ち下がり検出すると、1.5 サイクル後にバス制御信号は、ハイレベルでドライブを開始します。これに続くクロックの立ち下がり、 $\overline{BACK}$  をネゲートします。アドレスバスおよびデータバスのドライブを開始するのは、これに続く CKIO の立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレスおよびデータ信号をドライブするのと同じクロックの立ち上がりからです。バスアービトレーションタイミングを図 9.45 に示します。

ユーザが個別に設計したスレーブによっては、アービトレーションによるオーバーヘッドを減少させるため、連続して複数回のバスアクセスを発生しようとする場合があります。このようなケースでは、SDRAM の確実なリフレッシュを行うため、スレーブのバス占有時間がリフレッシュ周期を超えることなく、バス権を解放するように設計を行う必要があります。そこで、本 LSI では、リフレッシュの実行が待たされている間にバス権を要求する信号として  $\overline{REFOUT}$  端子を用意しています。そして、リフレッシュの実行が待たされている間バス権を獲得するまで、 $\overline{REFOUT}$  をアサート (ローレベル) します。外部のスレーブデバイスがこれを受けてバス権を解放すれば、バス権が本 LSI に戻り、リフレッシュを実行することができます。

また、 $\overline{BREQ}$ 、 $\overline{BACK}$  のハンドシェイクによる外部バス解放には、少なからずオーバーヘッドが存在します。スレーブモジュールのタスクが多い場合は一度のバス権獲得により、複数回のバスサイクルを実行するようにシステム設計を行ってください。バス権の受け渡しに必要なサイクルを減らすことによりシステム設計が容易になります。

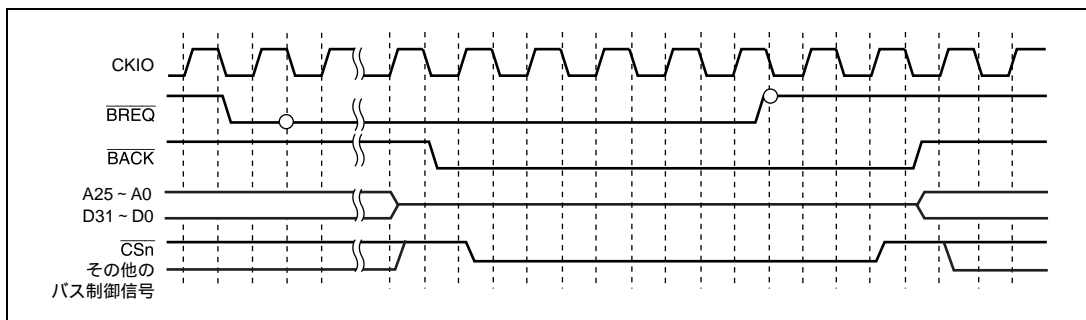


図 9.45 バスアービトレーション

## 9.6 使用上の注意事項

### (1) リセット

バスステートコントローラは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時には、バスサイクルの途中であるなしにかかわらずただちにすべての信号をネゲートし、出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行され、その後はアクセス待ちの状態になります。キャッシュおよびその他の LSI 内部バスマスタモジュールの 16 バイト転送を実行中の場合は、バスマスタがマニュアルリセットによってアクセス要求を取り消すため、ロングワード単位でアクセスが打ち切られます。このためキャッシュフィル時にマニュアルリセットを入れる場合は、キャッシュの内容は保証されなくなりますので注意してください。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。また、マニュアルリセット信号のアサート中でも  $\overline{\text{BREQ}}$  によるアービトレーション要求を受け付けます。

フラッシュメモリには、リセット解除後から最初のアクセスまでの最小時間を規定しているものがあります。バスステートコントローラは、この最小時間を確保するために、5 ビットのカウンタ (RWTCNT) を用意しています。パワーオンリセットによりこのカウンタは、0 クリアされます。パワーオンリセット解除後は CKIO に同期してカウントアップされ、カウンタの値が H'001F になるまで外部アクセスを発生しません。マニュアルリセットでは、カウンタの値はクリアされません。

### (2) LSI 内部バスマスタからみたアクセス

本 LSI の内部は、キャッシュバス、内部バス、および周辺バスの 3 つのバスに分割されています。CPU およびキャッシュメモリはキャッシュバスに、CPU を除く内部バスマスタおよびバスステートコントローラは内部バスに、低速な周辺モジュールは周辺バスにそれぞれ接続されています。また、キャッシュメモリ以外の内蔵メモリと UBC、AUD 等のデバッグモジュールはキャッシュバスと内部バスの双方に接続されています。キャッシュバスから内部バスのアクセスは行えますが、逆は行えません。このため以下のようなことが発生します。

CPU を除く内部バスマスタ (DMAC 等) からキャッシュメモリ以外の内蔵メモリへのアクセスは行えますが、キャッシュメモリへのアクセスは行えません。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われ、その結果として外部メモリの内容とキャッシュの内容に食い違いが発生することがあります。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われた場合、その番地へのデータがキャッシュにある可能性があるときには、キャッシュメモリのバージをソフトウェアで行う必要があります。

CPU が読み出しアクセスを開始し、それがキャッシュ領域の場合はキャッシュの検索が行われます。キャッシュにデータが保持されている場合は、これを取りこみアクセスは完了します。キャッシュ内にデータが無い場合には、内部バスを介してキャッシュデータのフィルを行うため、4 つの連続したロングワードリードが起動されます。バイトまたはワードオペランドアクセス時および奇数ワード境界 ( $4n+2$ ) への分岐時のミスヒットに関して、チップ外部インタフェース上は必ず 4 つのロングワードアクセスでフィルを行います。キャッシュスルー領域に関しては、実際のアクセスアドレスにしたがってアクセスを行います。アクセスが偶数ワード境界 ( $4n$ ) への命令フェッチの場合にはロングワードアクセス、奇数ワード境界 ( $4n+2$ ) への命令フェッチの場合にはワード



アクセスとなります。

キャッシュスルー領域および内蔵周辺モジュールの読み出しサイクルの場合は、その判定後内部バスを介して読み出しサイクルが起動されます。読み出しデータは、キャッシュバスを経由して CPU に送られます。

書き込みサイクルがキャッシュ領域に対するものであった場合は、キャッシュのライト方式により動作が異なります。

ライトバックモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュに書き込みを行います。実際のメモリへの書き込みは、該当アドレスの置き換えが発生するまで行われません。該当アドレスのデータがなかった場合には、キャッシュの更新が行われます。まず置き換え対象となるデータを内部バッファへ退避し、次に該当アドレスのデータを含む 16 バイトのデータ読み出しを行い、該当アドレスのデータを更新します。それに続き、最初に退避した 16 バイトのデータの書き戻しサイクルが行われます。

ライトスルーモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュへの書き込みと並行して内部バスを経由して実際の書き込みが行われます。該当アドレスのデータがなかった場合には、キャッシュの更新は行わずに内部バスを経由して実際の書き込みのみ行われます

バスステートコントローラには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

DMAC 等の別のバスマスタからのアクセスでも同様にバスステートコントローラのライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

### (3) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (P ) で 2 サイクル以上かかります。システム設計の見積もり時には、ご注意ください。

### (4) 外部バス優先順位

外部バスは下記優先順位に従いアクセスを行います。

$\overline{\text{BRQ}}$  > リフレッシュ > LCDC > USBH > DMAC > CPU

ただし、各転送単位 (バーストなど) 完了までの次の転送は待たされます。



---

## 10. ダイレクトメモリアクセスコントローラ (DMAC)

---

本 LSI は、ダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、内蔵周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。

### 10.1 特長

- チャンネル数：6チャンネル (うち2チャンネルは外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216回
- アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能
- 転送要求：
  - 外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能。
  - 内蔵周辺モジュールリクエストを発行できるものは以下のモジュールです。
  - SCIF0、SCIF1、MMC、CMT (チャンネル0~4)、SIM、USBF、SIOF0、SIOF1、ADC、SDHI
- バスモード：
  - サイクルスチールモード (通常モードとインタミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送終了時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号：DACKおよびTENDは独立にアクティブレベルを設定可能

DMAC のブロック図を図 10.1 に示します。

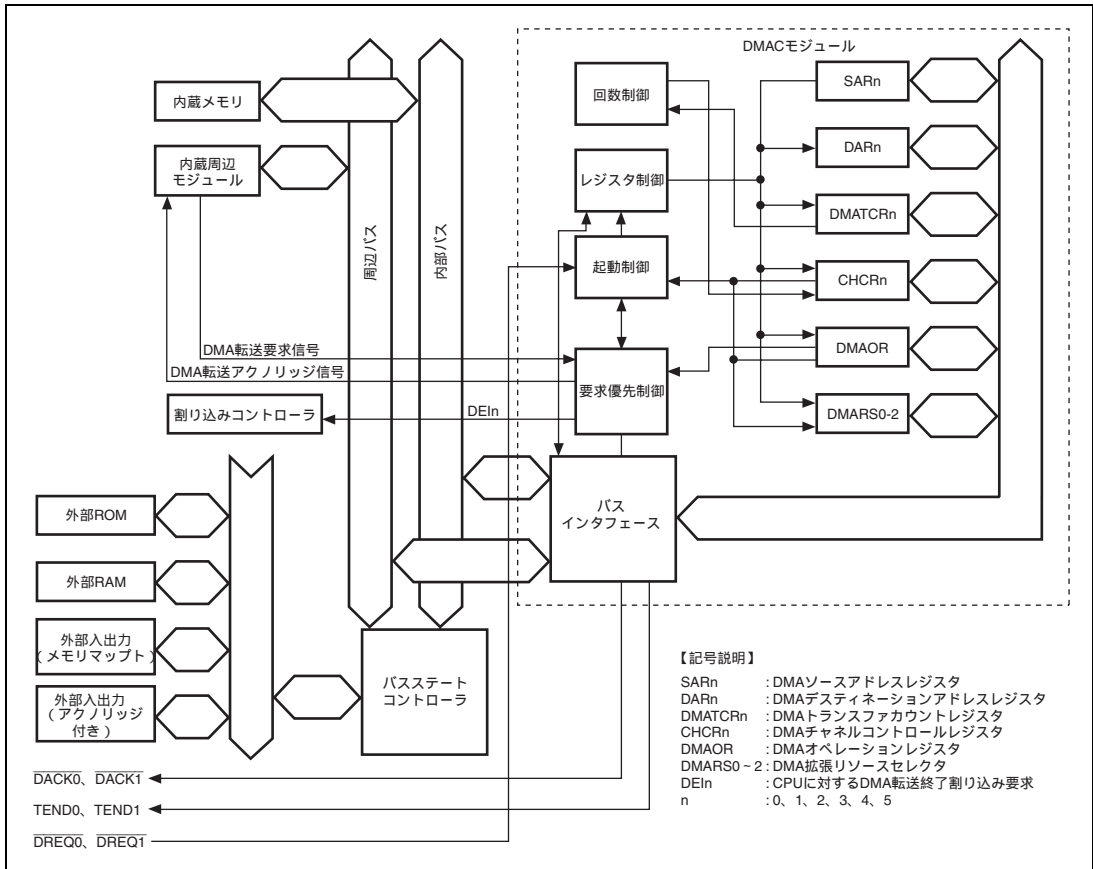


図 10.1 DMAC ブロック図

## 10.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 10.1 に示します。DMAC としては、外部バス用に 2 チャンネル分の端子 (チャンネル 0、チャンネル 1) を持ちます。

表 10.1 外部バスに対する端子構成

チャンネル	名称	端子名	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	$\overline{\text{DACK0}}$	出力	DMAC チャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力
	DMA 転送終了	TEND0	出力	DMAC チャンネル 0 の DMA 転送終了出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	$\overline{\text{DACK1}}$	出力	DMAC チャンネル 1 から外部デバイスへの DMA 転送要求受け付け出力
	DMA 転送終了	TEND1	出力	DMAC チャンネル 1 の DMA 転送終了出力

## 10.3 レジスタの説明

DMAC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR\_0 のように表記しています。

### (1) チャンネル 0

- DMAソースアドレスレジスタ\_0 (SAR\_0)
- DMAデスティネーションアドレスレジスタ\_0 (DAR\_0)
- DMAトランスファカウントレジスタ\_0 (DMATCR\_0)
- DMAチャンネルコントロールレジスタ\_0 (CHCR\_0)

### (2) チャンネル 1

- DMAソースアドレスレジスタ\_1 (SAR\_1)
- DMAデスティネーションアドレスレジスタ\_1 (DAR\_1)
- DMAトランスファカウントレジスタ\_1 (DMATCR\_1)
- DMAチャンネルコントロールレジスタ\_1 (CHCR\_1)

### (3) チャンネル 2

- DMAソースアドレスレジスタ\_2 (SAR\_2)
- DMAデスティネーションアドレスレジスタ\_2 (DAR\_2)
- DMAトランスファカウントレジスタ\_2 (DMATCR\_2)

- DMAチャンネルコントロールレジスタ\_2 (CHCR\_2)

#### (4) チャンネル3

- DMAソースアドレスレジスタ\_3 (SAR\_3)
- DMAデスティネーションアドレスレジスタ\_3 (DAR\_3)
- DMAトランスファカウントレジスタ\_3 (DMATCR\_3)
- DMAチャンネルコントロールレジスタ\_3 (CHCR\_3)

#### (5) チャンネル4

- DMAソースアドレスレジスタ\_4 (SAR\_4)
- DMAデスティネーションアドレスレジスタ\_4 (DAR\_4)
- DMAトランスファカウントレジスタ\_4 (DMATCR\_4)
- DMAチャンネルコントロールレジスタ\_4 (CHCR\_4)

#### (6) チャンネル5

- DMAソースアドレスレジスタ\_5 (SAR\_5)
- DMAデスティネーションアドレスレジスタ\_5 (DAR\_5)
- DMAトランスファカウントレジスタ\_5 (DMATCR\_5)
- DMAチャンネルコントロールレジスタ\_5 (CHCR\_5)

#### (7) 共通

- DMAオペレーションレジスタ (DMAOR)
- DMA拡張リソースセクタ0 (DMARS0)
- DMA拡張リソースセクタ1 (DMARS1)
- DMA拡張リソースセクタ2 (DMARS2)

### 10.3.1 DMA ソースアドレスレジスタ\_0~5 (SAR\_0~SAR\_5)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスの転送をする場合には SAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

SAR の初期値は不定です。

### 10.3.2 DMA デスティネーションアドレスレジスタ\_0~5 (DAR\_0~DAR\_5)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイスの転送をする場合には DAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

DAR の初期値は不定です。

### 10.3.3 DMA トランスファカウントレジスタ\_0~5 (DMATCR\_0~DMATCR\_5)

DMATCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

DMATCR の初期値は不定です。

### 10.3.4 DMA チャネルコントロールレジスタ\_0~5 (CHCR\_0~CHCR\_5)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23	DO	0	R/W	DMA オーバラン DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。 本ビットは CHCR_0、CHCR_1 でのみ有効です。CHCR_2~CHCR_5 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。 0 : DREQ をオーバラン 0 で検出 1 : DREQ をオーバラン 1 で検出
22	TL	0	R/W	トランスファエンドレベル TEND 信号をハイアクティブにするかローアクティブにするかを指定します。 本ビットは CHCR_0、CHCR_1 でのみ有効です。CHCR_2~CHCR_5 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。 0 : TEND をローアクティブ出力 1 : TEND をハイアクティブ出力

ビット	ビット名	初期値	R/W	説明
21~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	AM	0	R/W	アクノリッジモード デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。 シングルアドレスモード時は、本ビットの指定に関係なく DACK は常に出力されます。 本ビットは CHCR_0、CHCR_1 でのみ有効です。CHCR_2~CHCR_5 ではリザーブビットで読み出すと常に0が読み出されます。書き込む値は常に0にしてください。 0: 読み出しサイクルで DACK を出力 (デュアルアドレスモード) 1: 書き込みサイクルで DACK を出力 (デュアルアドレスモード)
16	AL	0	R/W	アクノリッジレベル DACK 信号をハイアクティブにするかローアクティブにするかを指定します。 本ビットは CHCR_0、CHCR_1 でのみ有効です。CHCR_2~CHCR_5 ではリザーブビットで読み出すと常に0が読み出されます。書き込む値は常に0にしてください。 0: DACK をローアクティブ出力 1: DACK をハイアクティブ出力
15 14	DM1 DM0	0 0	R/W R/W	デスティネーションアドレスモード 1、0 DMA 転送先のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます)。 00: デスティネーションアドレスは固定 (16 バイト単位転送時は設定禁止) 01: デスティネーションアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2、ロングワード単位転送時は +4、16 バイト単位転送時は +16) 10: デスティネーションアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2、ロングワード単位転送時は -4、16 バイト単位転送時は設定禁止) 11: 設定禁止



ビット	ビット名	初期値	R/W	説明
13	SM1	0	R/W	ソースアドレスモード 1、0
12	SM0	0	R/W	<p>DMA 転送元のアドレスの増減を指定します。(シングルアドレスモードにおいて、DACK 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます。)</p> <p>00: ソースアドレスは固定 (16 バイト転送時は設定禁止)</p> <p>01: ソースアドレスは増加</p> <p>(バイト単位転送時は +1、ワード単位転送時は +2、ロングワード単位転送時は +4、16 バイト転送時は +16)</p> <p>10: ソースアドレスは減少</p> <p>(バイト単位転送時は -1、ワード単位転送時は -2、ロングワード単位転送時は -4、16 バイト転送時は設定禁止)</p> <p>11: 設定禁止</p>
11	RS3	0	R/W	リソースセレクト 3~0
10	RS2	0	R/W	転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。
9	RS1	0	R/W	
8	RS0	0	R/W	<p>0000: 外部リクエスト、デュアルアドレスモード</p> <p>0001: 設定禁止</p> <p>0010: 外部リクエスト、シングルアドレスモード 外部アドレス空間 DACK 付き外部デバイス</p> <p>0011: 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス 外部アドレス空間</p> <p>0100: オートリクエスト</p> <p>0101: 設定禁止</p> <p>0110: 設定禁止</p> <p>0111: 設定禁止</p> <p>1000: DMA 拡張リソースセクタで選択</p> <p>1001: 設定禁止</p> <p>1010: 設定禁止</p> <p>1011: 設定禁止</p> <p>1100: 設定禁止</p> <p>1101: 設定禁止</p> <p>1110: ADC</p> <p>1111: 設定禁止</p> <p>【注】 外部リクエストの指定は CHCR_0、CHCR_1 のみ有効です。 CHCR_2~CHCR_5 では外部リクエスト指定は設定できません。</p>

ビット	ビット名	初期値	R/W	説明
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル、DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と、検出レベルを選択します。</p> <p>本ビットは CHCR_0、CHCR_1 でのみ有効です。CHCR_2 ~ CHCR_5 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p> <p>またチャンネル 0、1 でも転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00：ローレベル検出 01：立ち下がりエッジ検出 10：ハイレベル検出 11：立ち上がりエッジ検出</p>
5	TB	0	R/W	<p>トランスファバスモード</p> <p>DMA 転送のバスモードを選択します。</p> <p>0：サイクルスチールモード 1：バーストモード</p>
4 3	TS1 TS0	0 0	R/W R/W	<p>トランスファサイズ 1、0</p> <p>DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。</p> <p>00：バイト単位 01：ワード (2 バイト) 単位 10：ロングワード (4 バイト) 単位 11：16 バイト単位転送 (ロングワード 4 回転送)</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0：割り込み要求を禁止 1：割り込み要求を許可</p>

ビット	ビット名	初期値	R/W	説明
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMA トランスファカウンタレジスタ (DMATCR) の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断</p> <p>【クリア条件】</p> <p>TE ビットの 1 を読み出してから 0 を書き込む。</p> <p>1 : (DMATCR = 0 により) DMA 転送終了</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットを 0 にクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止</p> <p>1 : DMA 転送を許可</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 10.3.5 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	CMS1	0	R/W	サイクルスチールモードセレクト 1、0
12	CMS0	0	R/W	<p>サイクルスチールモード時に通常モードとインタミットモードを選択します。</p> <p>インタミットモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードであることが必要です。</p> <p>00 : 通常モード</p> <p>01 : 設定禁止</p> <p>10 : インタミットモード 16 外部バスクロック 16 クロックに 1 回 DMA 転送を実行</p> <p>11 : インタミットモード 64 外部バスクロック 64 クロックに 1 回 DMA 転送を実行</p>
11	-	0	R	リザーブビット
10	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PR1	0	R/W	プライオリティーモード 1、0
8	PR0	0	R/W	<p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。</p> <p>00 : CH0 &gt; CH1 &gt; CH2 &gt; CH3 &gt; CH4 &gt; CH5</p> <p>01 : CH0 &gt; CH2 &gt; CH3 &gt; CH1 &gt; CH4 &gt; CH5</p> <p>10 : 設定禁止</p> <p>11 : ラウンドロビンモード</p>
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMAC によるアドレスエラーが発生したことを示すフラグです。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>0 : DMAC によるアドレスエラーなし</p> <p>【クリア条件】AE ビットの 1 を読み出してから 0 を書き込む</p> <p>1 : DMAC によるアドレスエラー発生</p>

ビット	ビット名	初期値	R/W	説明
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示すフラグです。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。</p> <p>NMI が入力されたとき、実行中の DMA 転送の 1 転送単位までは行われず、DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし</p> <p>【クリア条件】</p> <p>NMIF ビットの 1 を読み出してから 0 を書き込む</p> <p>1 : NMI 割り込み発生</p>
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアするとすべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止</p> <p>1 : 全チャンネルの DMA 転送を許可</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 10.3.6 DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)

DMARS は、読み出し / 書き込み可能な 16 ビットレジスタです。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5 の周辺モジュールからの DMA 転送要求元を設定します。本レジスタで、SCIF0、SCIF1、MMC、CMT (チャンネル 0~4)、SIM、USBF、SIOF0、SIOF1、SDHI の転送要求を設定できます。

表 10.2 以外の MID / RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR\_0~5 レジスタのリソースセレクトビット (RS3~0) = B'1000 に設定したときのみ有効です。B'1000 以外の場合、DMARS を設定しても転送要求元として受け付けられません。

#### • DMARS0の設定

ビット	ビット名	初期値	R/W	説明
15	C1MID5	0	R/W	DMA チャンネル 1 転送要求元モジュール ID5 ~ ID0 (MID) (表 10.2 参照)
14	C1MID4	0	R/W	
13	C1MID3	0	R/W	
12	C1MID2	0	R/W	
11	C1MID1	0	R/W	
10	C1MID0	0	R/W	
9	C1RID1	0	R/W	DMA チャンネル 1 転送要求元レジスタ ID1、ID0 (RID) (表 10.2 参照)
8	C1RID0	0	R/W	
7	C0MID5	0	R/W	DMA チャンネル 0 転送要求元モジュール ID5 ~ ID0 (MID) (表 10.2 参照)
6	C0MID4	0	R/W	
5	C0MID3	0	R/W	
4	C0MID2	0	R/W	
3	C0MID1	0	R/W	
2	C0MID0	0	R/W	
1	C0RID1	0	R/W	DMA チャンネル 0 転送要求元レジスタ ID1、ID0 (RID) (表 10.2 参照)
0	C0RID0	0	R/W	

## • DMARS1の設定

ビット	ビット名	初期値	R/W	説明
15	C3MID5	0	R/W	DMA チャンネル 3 転送要求元モジュール ID5 ~ ID0 ( MID ) ( 表 10.2 参照 )
14	C3MID4	0	R/W	
13	C3MID3	0	R/W	
12	C3MID2	0	R/W	
11	C3MID1	0	R/W	
10	C3MID0	0	R/W	
9	C3RID1	0	R/W	DMA チャンネル 3 転送要求元レジスタ ID1、ID0 ( RID ) ( 表 10.2 参照 )
8	C3RID0	0	R/W	
7	C2MID5	0	R/W	DMA チャンネル 2 転送要求元モジュール ID5 ~ ID0 ( MID ) ( 表 10.2 参照 )
6	C2MID4	0	R/W	
5	C2MID3	0	R/W	
4	C2MID2	0	R/W	
3	C2MID1	0	R/W	
2	C2MID0	0	R/W	
1	C2RID1	0	R/W	DMA チャンネル 2 転送要求元レジスタ ID1、ID0 ( RID ) ( 表 10.2 参照 )
0	C2RID0	0	R/W	

## • DMARS2の設定

ビット	ビット名	初期値	R/W	説明
15	C5MID5	0	R/W	DMA チャンネル 5 転送要求元モジュール ID5 ~ ID0 ( MID ) ( 表 10.2 参照 )
14	C5MID4	0	R/W	
13	C5MID3	0	R/W	
12	C5MID2	0	R/W	
11	C5MID1	0	R/W	
10	C5MID0	0	R/W	
9	C5RID1	0	R/W	DMA チャンネル 5 転送要求元レジスタ ID1、ID0 ( RID ) ( 表 10.2 参照 )
8	C5RID0	0	R/W	
7	C4MID5	0	R/W	DMA チャンネル 4 転送要求元モジュール ID5 ~ ID0 ( MID ) ( 表 10.2 参照 )
6	C4MID4	0	R/W	
5	C4MID3	0	R/W	
4	C4MID2	0	R/W	
3	C4MID1	0	R/W	
2	C4MID0	0	R/W	
1	C4RID1	0	R/W	DMA チャンネル 4 転送要求元レジスタ ID1、ID0 ( RID ) ( 表 10.2 参照 )
0	C4RID0	0	R/W	

表 10.2 転送要求元一覧

周辺モジュール	1チャンネル分の設定値 (MID+RID)	MID	RID	機能
SCIF0	H'21	001000	01	送信
	H'22		10	受信
SCIF1	H'29	001010	01	送信
	H'2A		10	受信
CMT (チャンネル0)	H'03	000000	11	-
CMT (チャンネル1)	H'07	000001	11	-
CMT (チャンネル2)	H'0B	000010	11	-
CMT (チャンネル3)	H'0F	000011	11	-
CMT (チャンネル4)	H'13	000100	11	-
USBF	H'83	100000	11	送信
	H'80		00	受信
SIM	H'A1	101000	01	送信
	H'A2		10	受信
MMC	H'A8	101010	00	送受信
SIOF0	H'B1	101100	01	送信
	H'B2		10	受信
SIOF1	H'B5	101101	01	送信
	H'B6		10	受信
SDHI	H'C1	110000	01	送信
	H'C2		10	受信



## 10.4 動作説明

DMAC は DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。バスモードは、バーストモードとサイクルスチールモードを選択することができます。

### 10.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS0、TS1ビットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みが発生します。
4. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットが0にされても転送を中断します。

図 10.2 に上記のフローチャートを示します。

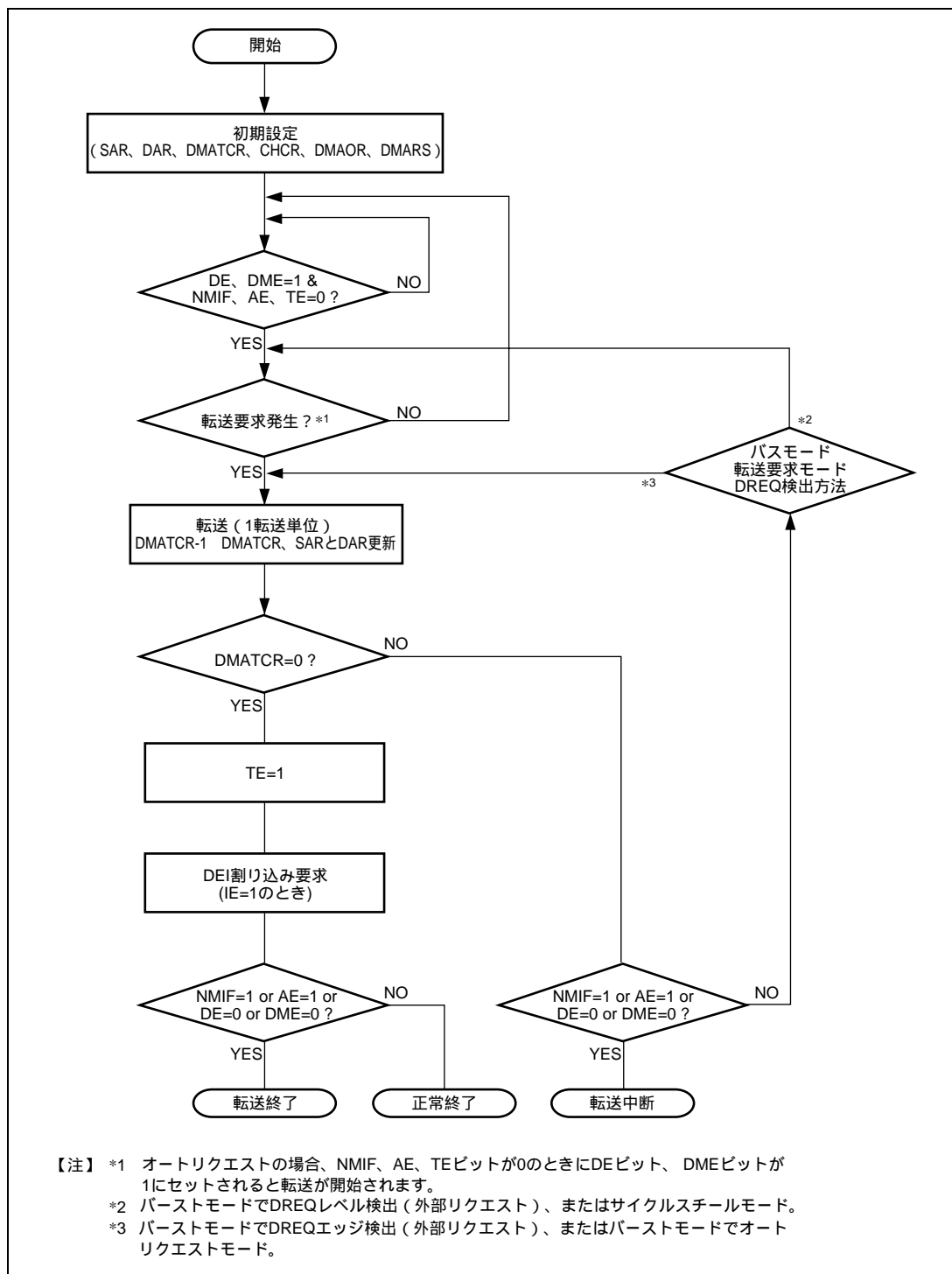


図 10.2 DMA 転送フローチャート

## 10.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類があります。転送要求の選択はDMAチャンネルごとにCHCRのRS3～RS0ビットおよびDMARS0、DMARS1、DMARS2レジスタによって行います。

### (1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC内部で自動的に転送要求信号を発生するモードです。DMAチャンネルごとにCHCRのDEビットおよびDMAORのDMEビットを1にセットすると転送が開始されます。ただしCHCRのAEビット、NMIFビットがすべて0である必要があります。

### (2) 外部リクエストモード

外部リクエストモードは、LSIの外部デバイスからの転送要求信号(DREQ0、DREQ1)によって転送を開始させるモードです。DMAチャンネル0および1のみ有効です。システムに応じて、表10.3に示すモードの中から1つを選んで使います。DMA転送が許可されているとき(DE=1、DME=1、TE=0、AE=0、NMIF=0)にDREQが入力されるとDMA転送が開始されます。

表 10.3 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
		1	0	シングルアドレスモード	外部メモリまたはメモリマップト外部デバイス	DACK付外部デバイス
			1		DACK付外部デバイス	外部メモリまたはメモリマップト外部デバイス

DREQをエッジで検出するかレベルで検出するかは、表10.4に示すCHCR\_0～CHCR\_1のDREQレベル(DL)ビットとDREQエッジセレクト(DS)ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 10.4 DL、DS ビットによる外部リクエスト検出の選択

CHCR_0 または CHCR_1		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合 (オーバーラン 0) と、リクエストより 1 つ多い回数の転送を実行して中断する場合 (オーバーラン 1) があります。オーバーランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 10.5 DO ビットによる外部リクエスト検出の選択

CHCR_0 または CHCR_1	外部リクエスト
DO	
0	オーバーラン 0
1	オーバーラン 1

### (3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。DMA 転送要求信号は、CHCR0~5 にて設定する ADC、DMARS0/1/2 にて設定する SCIF0、SCIF1、MMC、USBF、SIM、SIOF0、SIOF1、SDHI からの送信データエンpty転送要求と受信データフル転送要求、CMT (チャンネル 0~4) からのコンペアマッチ転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) であると、転送要求信号によって転送が実行されます。

転送要求を SCIF0 の送信データエンpty転送要求に設定した場合、転送先を当該 SCIF0 のトランスミットデータレジスタとする必要があります。同様に転送要求を SCIF0 の受信データフル転送要求に設定した場合、転送元を当該 SCIF0 のレシーブデータレジスタとする必要があります。これらは SCIF1、MMC、USBF、SIM、SIOF0、SIOF1、SDHI も同様です。転送要求が ADC からの場合、データ転送元を A/D データレジスタとする必要があります。転送要求が CMT (チャンネル 0~4) からの場合、データの転送元、転送先ともに任意のアドレス設定が可能です。

また、内蔵周辺モジュールによっては、受信 FIFO トリガ数を転送要求に設定できます。受信 FIFO トリガ条件が満たされない場合は、受信 FIFO にデータが残ることがありますので、DMA 転送終了後にデータを読み出す必要があります。

表 10.6 RS3～RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送	DMA 転送要求信号	転送元	転送先	バスモード
	RS[3:0]	MID	RID				
1000	001000	01	SCIF0 送信部	TXI0 (送信 FIFO データエンブティ)	任意	SCFTDR0	サイクルスチール
		10	SCIF0 受信部	RXI0 (送信 FIFO データフル)	SCFRDR0	任意	サイクルスチール
	001010	01	SCIF1 送信部	TXI1 (送信 FIFO データエンブティ)	任意	SCFTDR1	サイクルスチール
		10	SCIF1 受信部	RXI1 (送信 FIFO データフル)	SCFRDR1	任意	サイクルスチール
	000000	11	CMT チャンネル 0	コンペアマッチ転送要求	任意	任意	サイクルスチール/ バースト
	000001	11	CMT チャンネル 1	コンペアマッチ転送要求	任意	任意	サイクルスチール/ バースト
	000010	11	CMT チャンネル 2	コンペアマッチ転送要求	任意	任意	サイクルスチール/ バースト
	000011	11	CMT チャンネル 3	コンペアマッチ転送要求	任意	任意	サイクルスチール/ バースト
	000100	11	CMT チャンネル 4	コンペアマッチ転送要求	任意	任意	サイクルスチール/ バースト
	100000	11	USBF 送信部	送信データエンブティ要求	任意	EPDR2	サイクルスチール
		00	USBF 受信部	送信データフル要求	EPDR1	任意	サイクルスチール
	101000	01	SIM 送信部	TXI (送信データエンブティ)	任意	SCTDR	サイクルスチール
		10	SIM 受信部	RXI (受信データフル)	SCRDR	任意	サイクルスチール
	101010	00	MMC 送信部	受信データエンブティ要求	任意	データレジスタ	サイクルスチール
			MMC 受信部	受信データフル要求	データレジスタ	任意	サイクルスチール
	101100	01	SIOF0 送信部	TXI0 (送信 FIFO データエンブティ)	任意	SITDR0	サイクルスチール
		10	SIOF0 受信部	RXI0 (受信 FIFO データフル)	SIRDR0	任意	サイクルスチール
	101101	01	SIOF1 送信部	TXI1 (送信 FIFO データエンブティ)	任意	SITDR1	サイクルスチール
		10	SIOF1 受信部	RXI1 (受信 FIFO データフル)	SIRDR0	任意	サイクルスチール
110000	01	SD 送信部	送信データエンブティ要求	任意	データレジスタ	サイクルスチール	
	10	SD 受信部	受信データフル要求	データレジスタ	任意	サイクルスチール	
1110	-	-	ADC	ADI (A/D 変換終了)	ADDR	任意	サイクルスチール

### 10.4.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択できます。モードの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

#### (1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す 2 種類があります。

- CH0 > CH1 > CH2 > CH3 > CH4 > CH5
- CH0 > CH2 > CH3 > CH1 > CH4 > CH5

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

#### (2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで、1 転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 10.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5 です。ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバスモードを混在させないでください。

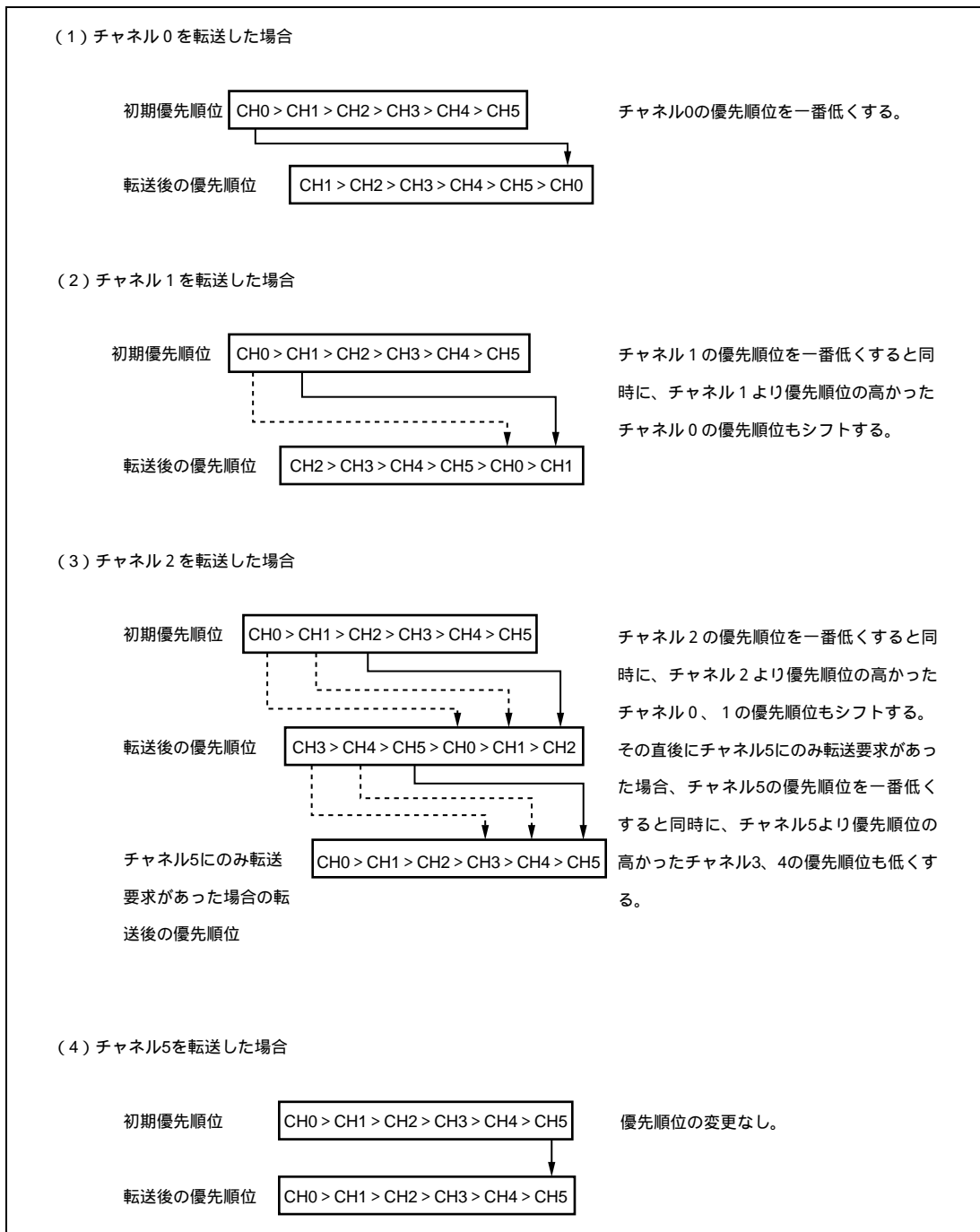


図 10.3 ラウンドロビンモード

図 10.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

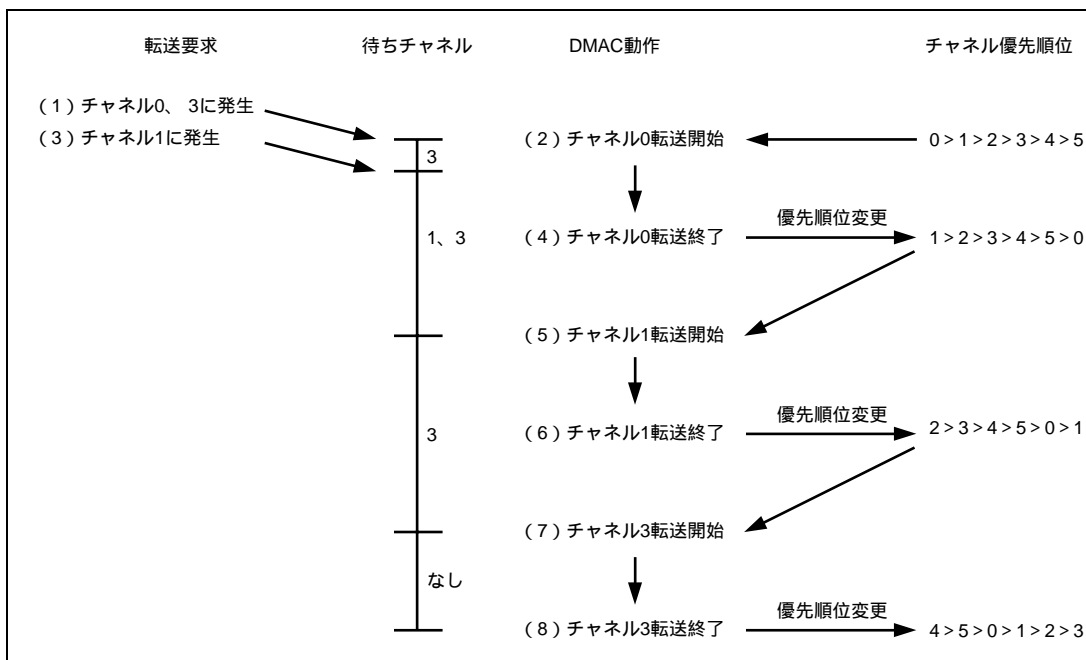


図 10.4 ラウンドロビンモードでのチャンネル優先順位



#### 10.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードは、サイクルスチールモードとバーストモードがあります。表 10.7 に DMAC がサポートできる転送を示します。

表 10.7 サポートできる DMA 転送

転送元	転送先				
	DACK 付 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	X/Y メモリ
DACK 付 外部デバイス	不可	デュアル、 シングル	デュアル、 シングル	不可	不可
外部メモリ	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺モジュール	不可	デュアル	デュアル	デュアル	デュアル
X/Y メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
  2. シングル：シングルアドレスモード
  3. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

##### (1) アドレスモード

###### (a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2 つのバスサイクルで転送を行います。このとき、転送データは一時的に DMAC に格納されます。たとえば、図 10.5 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが DMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

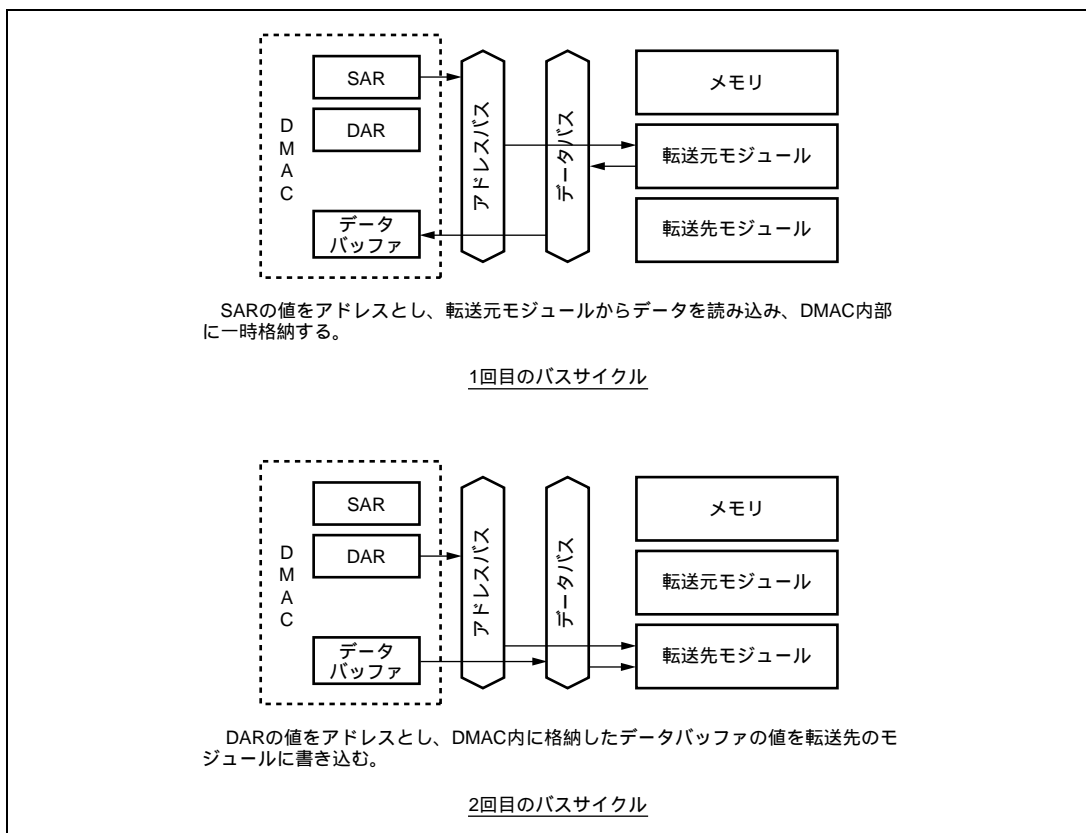


図 10.5 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはチャンネルコントロールレジスタ (CHCR) によって設定可能です。

図 10.6 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

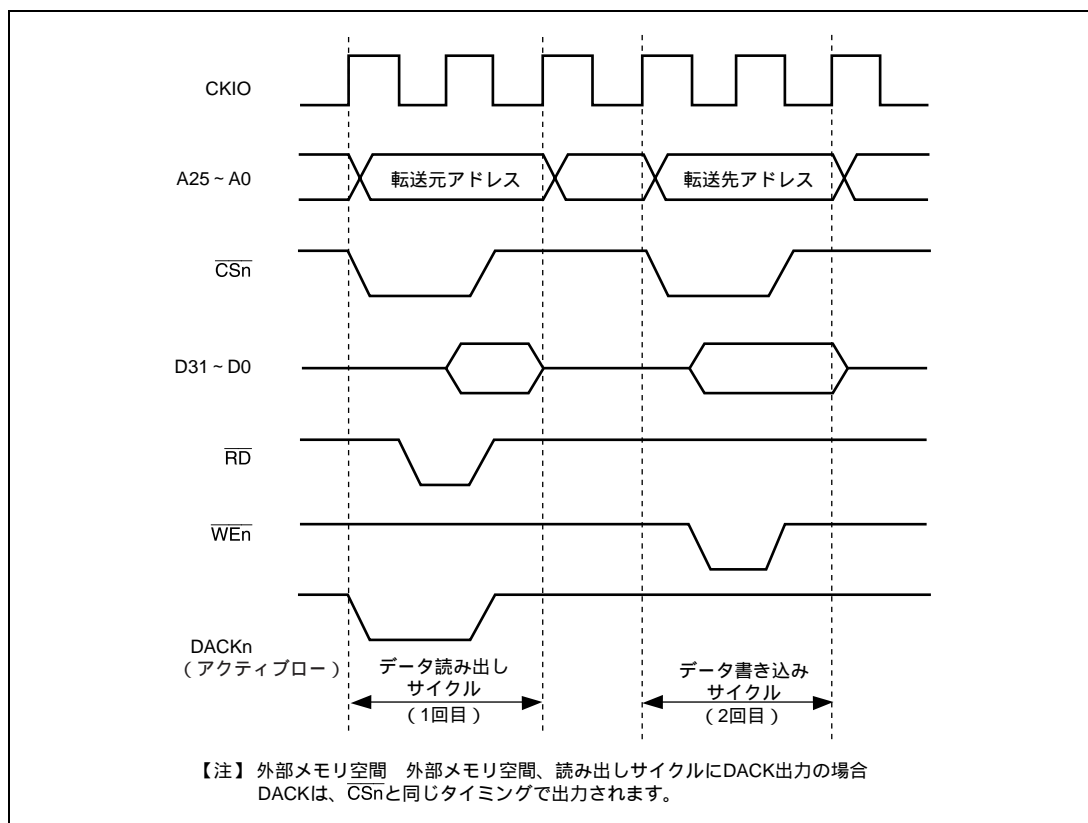


図 10.6 デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)

#### (b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうち的一方を DACK 信号によってアクセス (選択) し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1 つのバスサイクルで DMA 転送を行います。たとえば、図 10.7 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

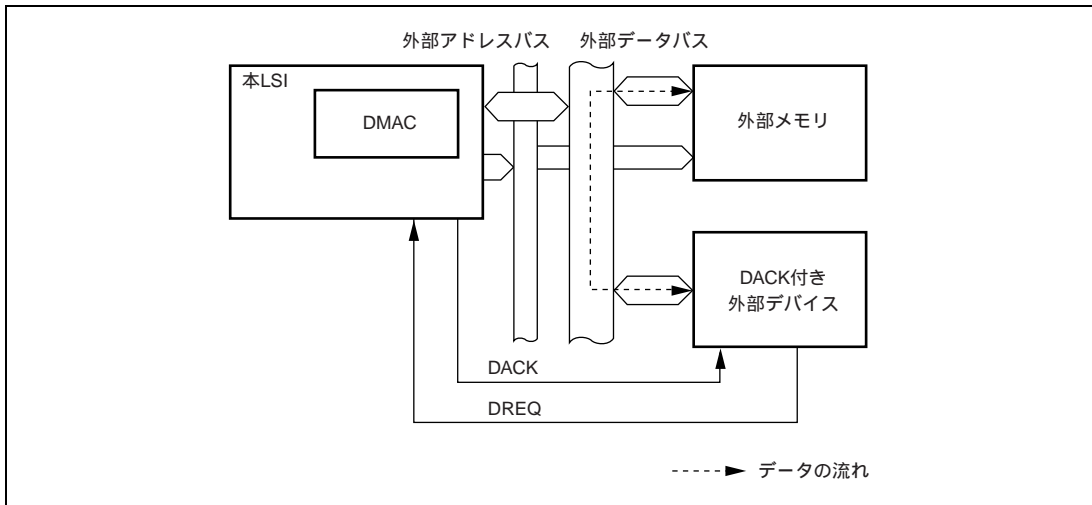


図 10.7 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は外部リクエスト (DREQ) のみです。

図 10.8 にシングルアドレスモードでの DMA 転送タイミング例を示します。

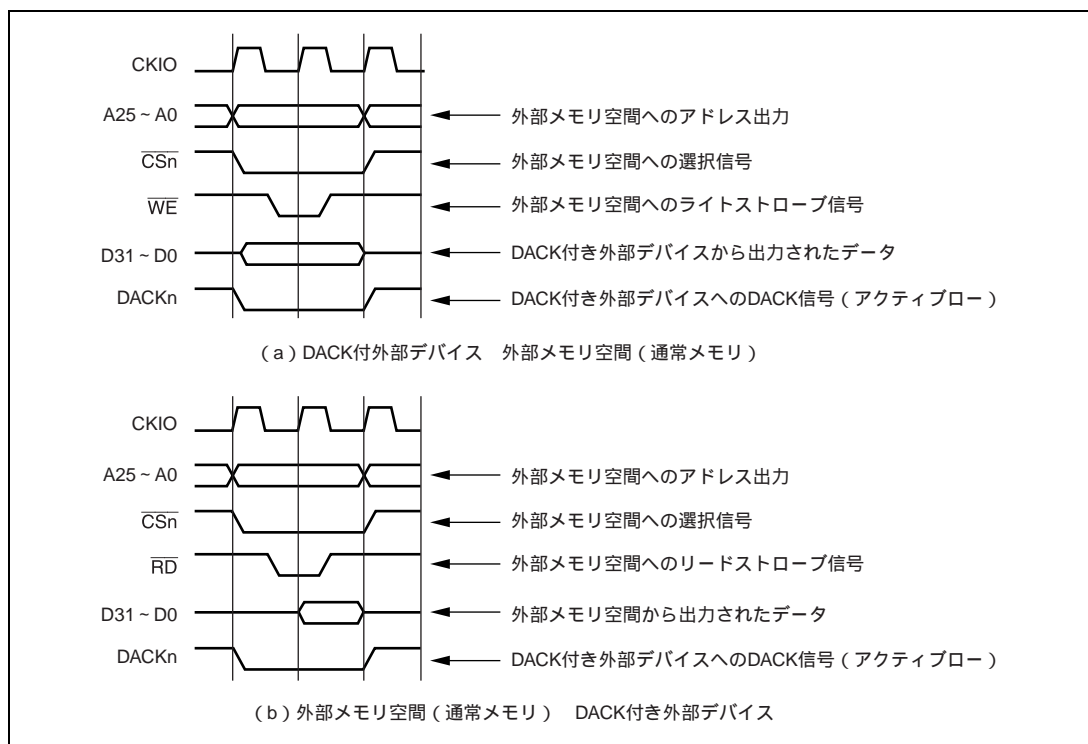


図 10.8 シングルアドレスモードの DMA 転送タイミング例

## (2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択はチャンネルコントロールレジスタ (CHCR) の TB ビットによって行います。

### (a) サイクルスチールモード

#### • 通常モード

サイクルスチールの通常モードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図 10.9 にサイクルスチール通常モードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

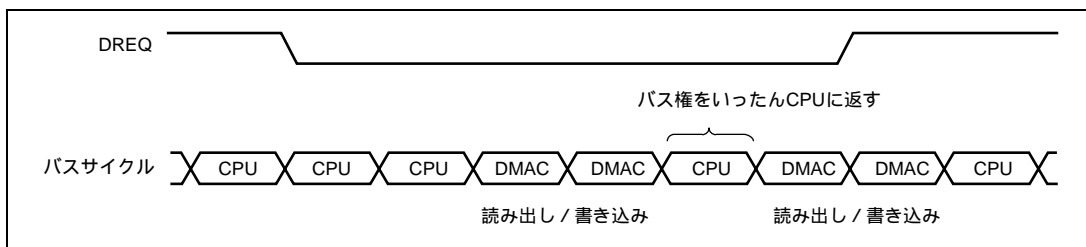


図 10.9 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ロールレベル検出)

- インタミットモード 16、インタミットモード 64

サイクルスチールのインタミットモードでは、DMAC は一回の転送単位(バイト、ワード、ロングワード、または 16 バイト単位)の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、B カウントで 16 クロックまたは 64 クロック待った後に、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このため DMA 転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

DMAC が再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA 転送がさらに待たされる場合があります。

インタミットモードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスマードがサイクルスチールモードである必要があります。

図 10.10 にサイクルスチールインタミットモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQ ロールレベル検出

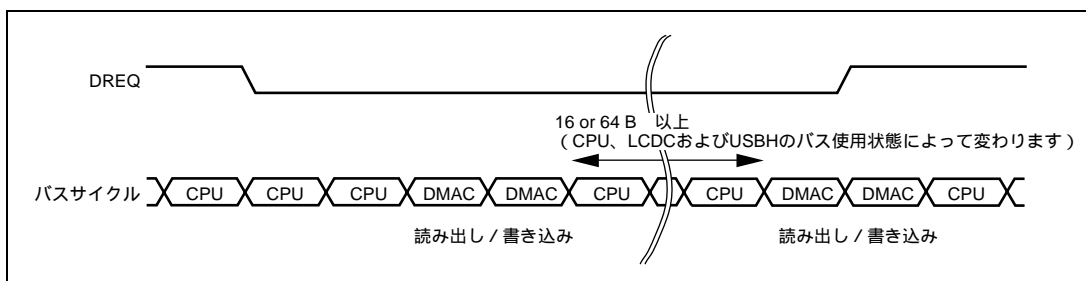


図 10.10 サイクルスチールインタミットモードの DMA 転送例  
(デュアルアドレス、DREQ ロールレベル検出)

## (b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていないとしても、すでに要求を受け付けた DMA 転送要求を終了後に他のバスマスタにバス権を渡します。

バーストモードは、内蔵周辺モジュールが転送要求元となっている場合、CMT (チャンネル 0~4) 以外には使用できません。

図 10.11 にバーストモードでの DMA 転送タイミングを示します。

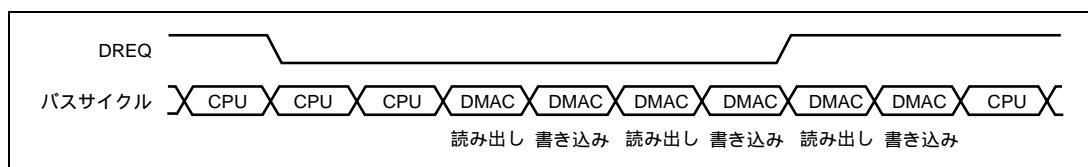


図 10.11 バーストモードでの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

## (3) DMA 転送区間とリクエストモード、バスモードの関係

表 10.8 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 10.8 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1
	外部メモリと外部メモリ	すべて可 <sup>*1</sup>	B/C	8/16/32/128	0~5 <sup>*5</sup>
	外部メモリとメモリマップト外部デバイス	すべて可 <sup>*1</sup>	B/C	8/16/32/128	0~5 <sup>*5</sup>
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 <sup>*1</sup>	B/C	8/16/32/128	0~5 <sup>*5</sup>
	外部メモリと内蔵周辺モジュール	すべて可 <sup>*2</sup>	B/C <sup>*3</sup>	8/16/32/128 <sup>*4</sup>	0~5 <sup>*5</sup>
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 <sup>*2</sup>	B/C <sup>*3</sup>	8/16/32/128 <sup>*4</sup>	0~5 <sup>*5</sup>
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 <sup>*2</sup>	B/C <sup>*3</sup>	8/16/32/128 <sup>*4</sup>	0~5 <sup>*5</sup>
	X/Y メモリと X/Y メモリ	すべて可 <sup>*1</sup>	B/C	8/16/32/128	0~5 <sup>*5</sup>
	X/Y メモリとメモリマップト外部デバイス	すべて可 <sup>*1</sup>	B/C	8/16/32/128	0~5 <sup>*5</sup>
	X/Y メモリと内蔵周辺モジュール	すべて可 <sup>*2</sup>	B/C <sup>*3</sup>	8/16/32/128 <sup>*4</sup>	0~5 <sup>*5</sup>
シングル	DACK 付外部デバイスと外部メモリ	外部	B/C	8/16/32	0、1
	DACK 付外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32	0、1

B: バーストモード

C: サイクルスチールモード

- 【注】 \*1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、CMT (チャンネル0~4) のみ。
- \*2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元がCMT (チャンネル0~4) を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。
- \*3 転送要求元がCMT (チャンネル0~4) を除いてサイクルスチールのみ
- \*4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ
- \*5 転送要求が外部リクエストの場合にはチャンネル0、1のみ。

#### (4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0 > CH1) において、チャンネル1 がバーストモード転送中でも、それより優先順位の高いチャンネル0 に転送要求が発生すると、ただちにチャンネル0 の転送を開始します。

このとき、チャンネル0 もバーストモードの場合は、優先順位の高いチャンネル0 の転送がすべて終了してから、チャンネル1 の転送を継続します。

また、チャンネル0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル0 が1転送単位の転送を行った後、バス権を解放せずに連続してチャンネル1 が転送されます。その後も、チャンネル0 チャンネル1 チャンネル0 チャンネル1 というように交互に転送が行われます。つまり、バス状態は、サイクルスチールモード転送終了後のCPU サイクルがバーストモード転送に置き換わった形になります (以後、バーストモードの優先実行と呼びます)。

この例を図 10.12 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまで、バス権はバスマスタに開放しません。

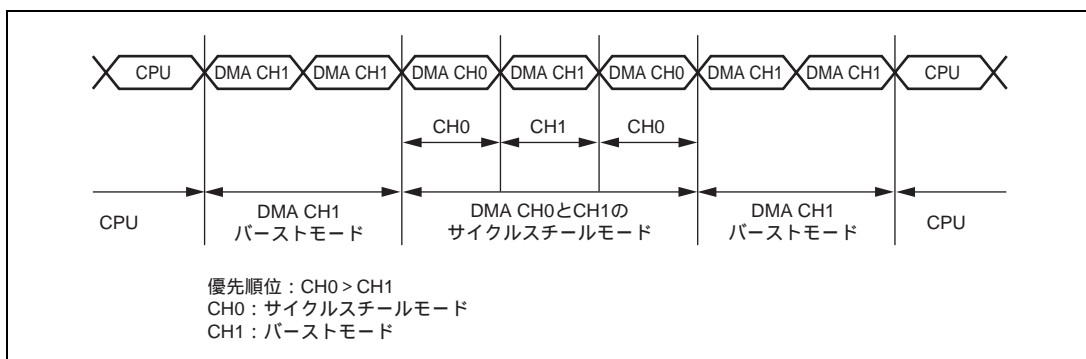


図 10.12 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 10.3 に示した仕様で優先順位が変化します。ただし、バスモードがサイクルスチールモードのチャンネルとバーストモードのチャンネルを混在することはできません。



### 10.4.5 バスサイクルのステート数と DREQ 端子のサンプリングタイミング

#### (1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「第9章 バスステートコントローラ (BSC)」を参照してください。

#### (2) DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 10.13、図 10.14、図 10.15、図 10.16 に示します。

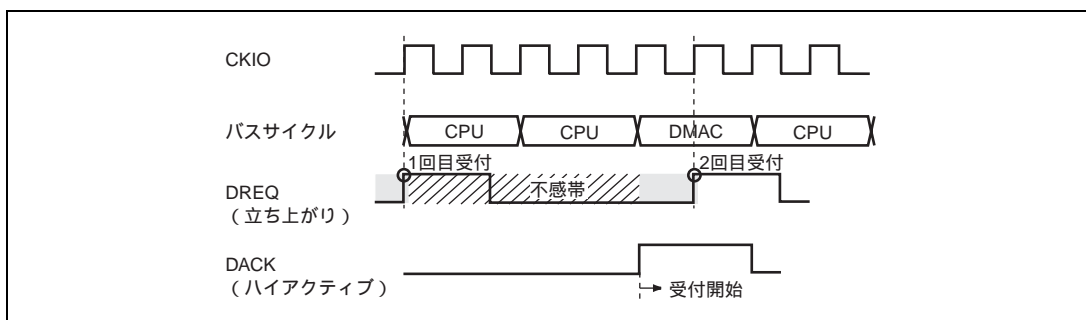


図 10.13 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例

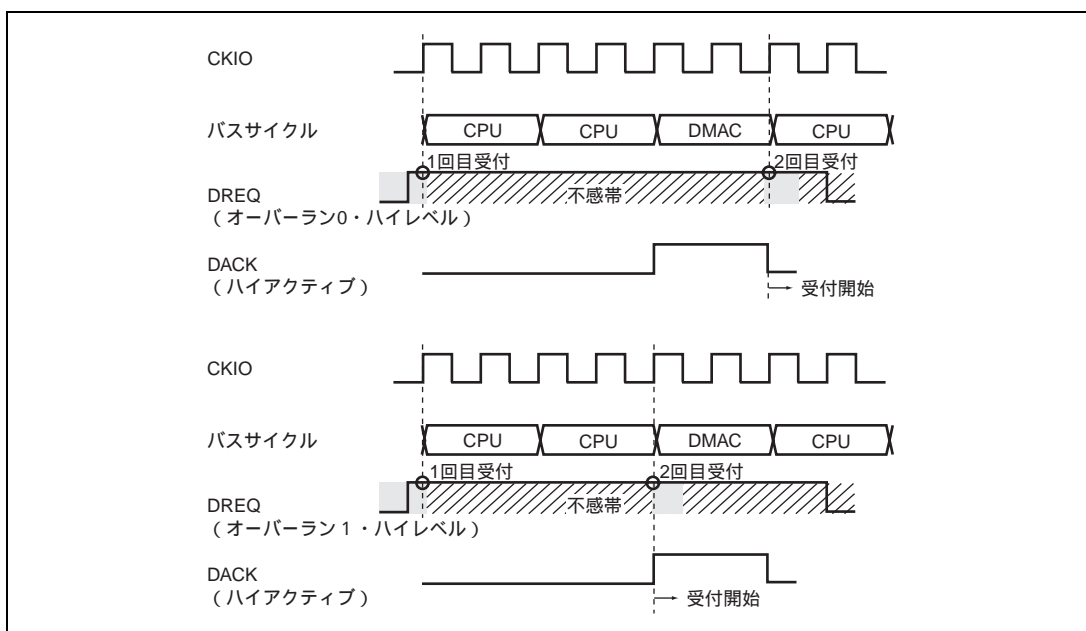


図 10.14 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例

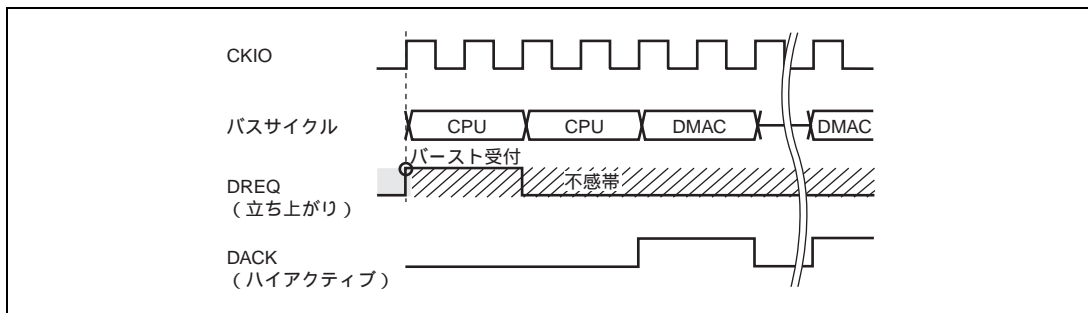


図 10.15 バーストモード・エッジ検出時の DREQ 入力検出タイミング例

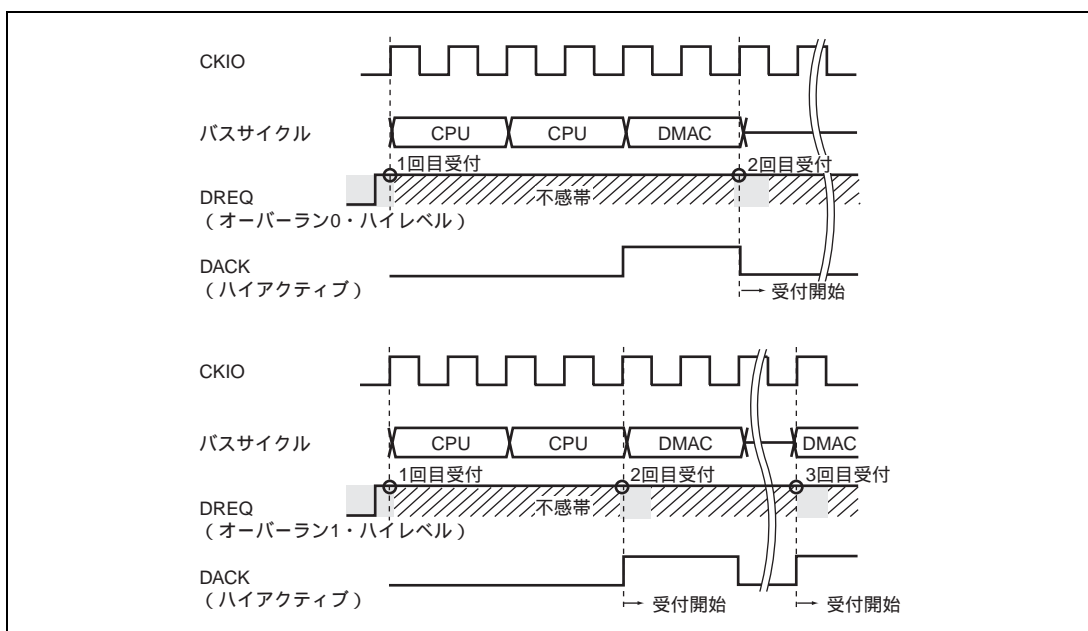


図 10.16 バーストモード・レベル検出時の DREQ 入力検出タイミング例

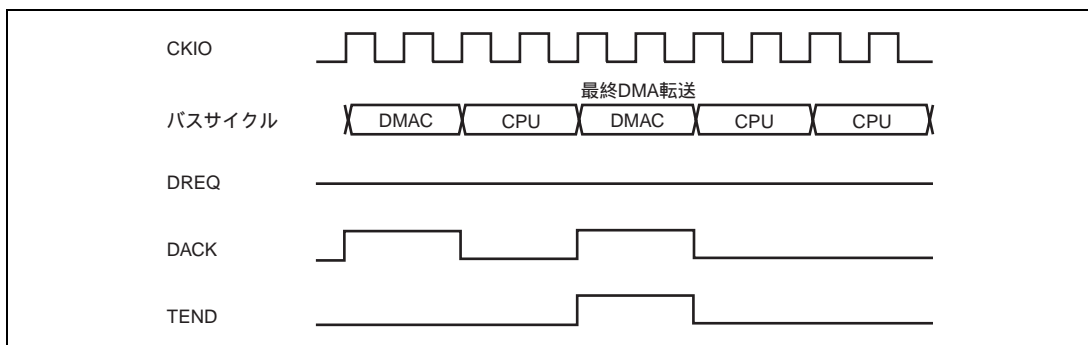


図 10.17 DMA 転送終了タイミング例 (サイクルスチール・レベル検出)

8 ビット外部デバイスや 16 ビット外部デバイスにロングワードアクセスしたり、8 ビット外部デバイスにワードアクセスをする場合、データをアライメントするため DACK 出力が分割されるので注意してください。この例を図 10.18 に示します。

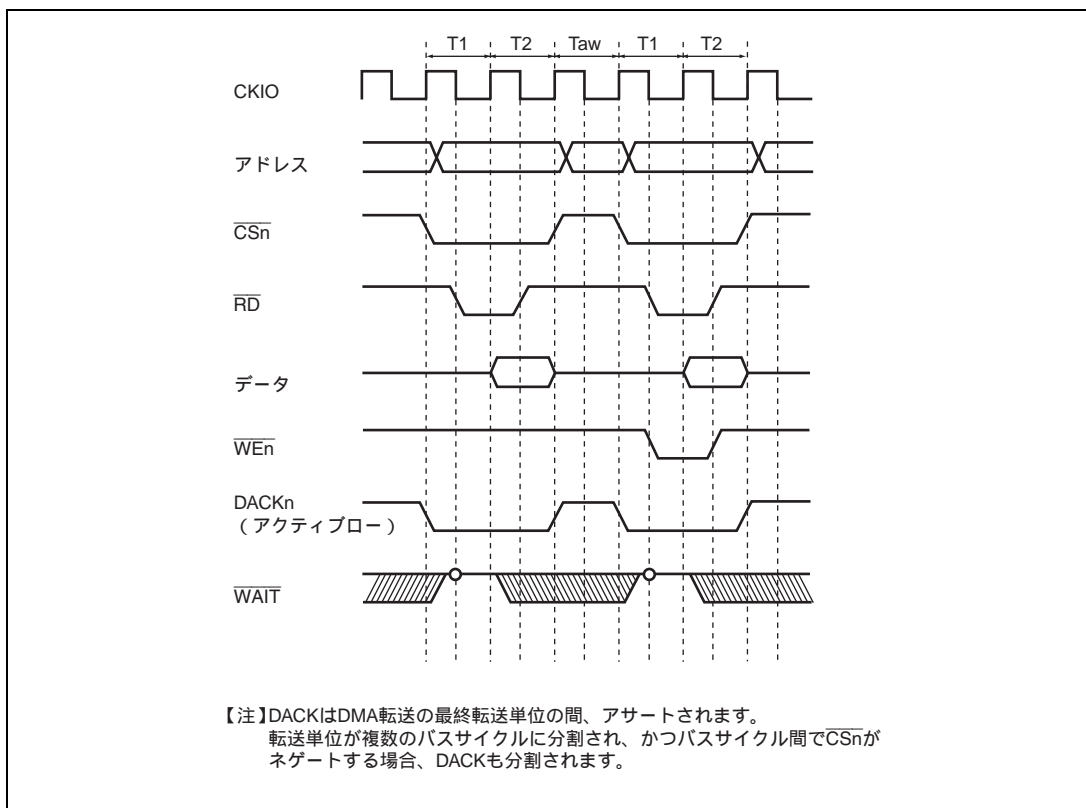


図 10.18 BSC 通常メモリアクセス例 (ノーウェイト、アイドルサイクル1、16 ビットデバイスへのロングワードアクセス)

## 10.5 使用上の注意事項

DMAC を使用する際は、以下のことに注意してください。

### 10.5.1 DACK 端子出力の注意事項

バーストモードとサイクルスチールモードが同時に複数のチャンネルで設定された場合、バースト転送の最後に DACK が余分にアサートされることがあります。

本現象は、以下の条件をすべて満たす場合に発生します。

1. バーストモードとサイクルスチールモードの両モードを含む複数チャンネルで同時にDMA転送を行う場合
2. バーストモードで使用するチャンネルをデュアルアドレスモードに設定し、書き込みサイクルでDACKを出力させる場合
3. バースト転送が終了した後、すでにサイクルスチールの転送要求が受け付けられているのに、連続してDMAC がバス権を取れない場合

本現象は、以下に示す 3 つの方法のいずれかを実行することで回避することができます。

- (1) 対策 1: バースト転送の終了を確認した後 (TE ビット = 1)、そのほかのサイクルスチールモードの DMA 転送を実行してください。
- (2) 対策 2: バーストモードを使用するチャンネルは、書き込みサイクルで DACK を出力する設定を行わないでください。
- (3) 対策 3: 複数チャンネルで同時に DMA 転送を行う場合、全チャンネルをバーストモードまたはサイクルスチールモードに設定してください。

### 10.5.2 DACK が分割される場合の注意事項

#### 1. 概要

DMAC の外部アクセスにおいて、DACK が分割して出力される場合、DREQ のサンプリングが当該外部アクセス中に 1 回多く受け付けられる場合があります。

#### 2. 発生条件および現象

条件：外部アクセスにおいてDACKが分割して出力される場合

- (a) 16バイトアクセス
- (b) 8bit空間に32bitアクセス
- (c) 8bit空間に16bitアクセス
- (d) 16bit空間に32bitアクセス

において、当該空間をDACKで以下のいずれかのアクセス間アイドルサイクル指定を行った場合。

- (i) ライト - ライトサイクル間アイドル指定 (IWW = 001以上)
- (ii) 同一空間リード - リードサイクル間アイドル (IWRRS=001以上)
- (iii) 外部ウェイトマスク指定 (WM = 0)

現象：上記のアクセスについてDREQ端子の検出タイミングは図10.19、図10.21のようになります。

上記以外のアクセスの場合は、図10.20、図10.22に示すように、正常にDREQが検出されます。

### 3. 回避方法

上記 2. に示した条件の外部アクセスにおいては、下記の方法で不具合を回避できます。

- (1) DREQ エッジ検出時：当該バスサイクル中、最大 1 回のみ DREQ エッジ入力してご使用ください。
- (2) DREQ レベル検出オーバーラン 0 時：当該バスサイクル中、最初の DACK 出力のネゲート検出後、次の DACK 出力のネゲート前までに、DREQ 入力をネゲートしてください。
- (3) DREQ レベル検出オーバーラン 1 時：当該バスサイクル中、最初の DACK 出力のアサート検出後、次の DACK 出力のアサート前までに、DREQ 入力をネゲートしてください。

### 4. DREQ端子の検出タイミング図

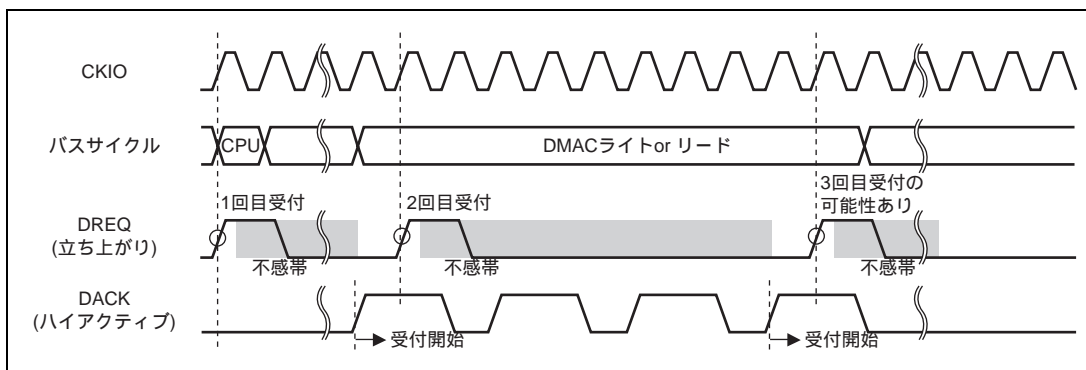


図 10.19 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング  
(サイクル間アイドルにより DACK が 4 分割され、1 回多く受け付けられる場合)

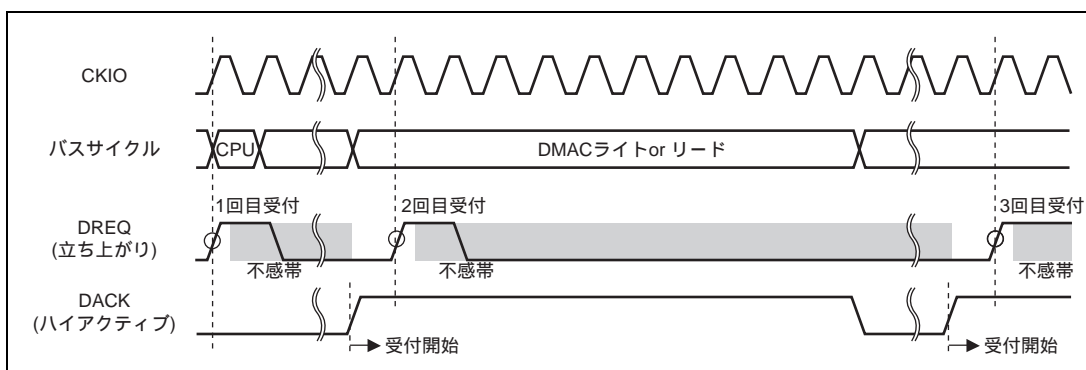


図 10.20 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング  
(サイクル間アイドルにより DACK が分割されず、正常に受け付けられる場合)

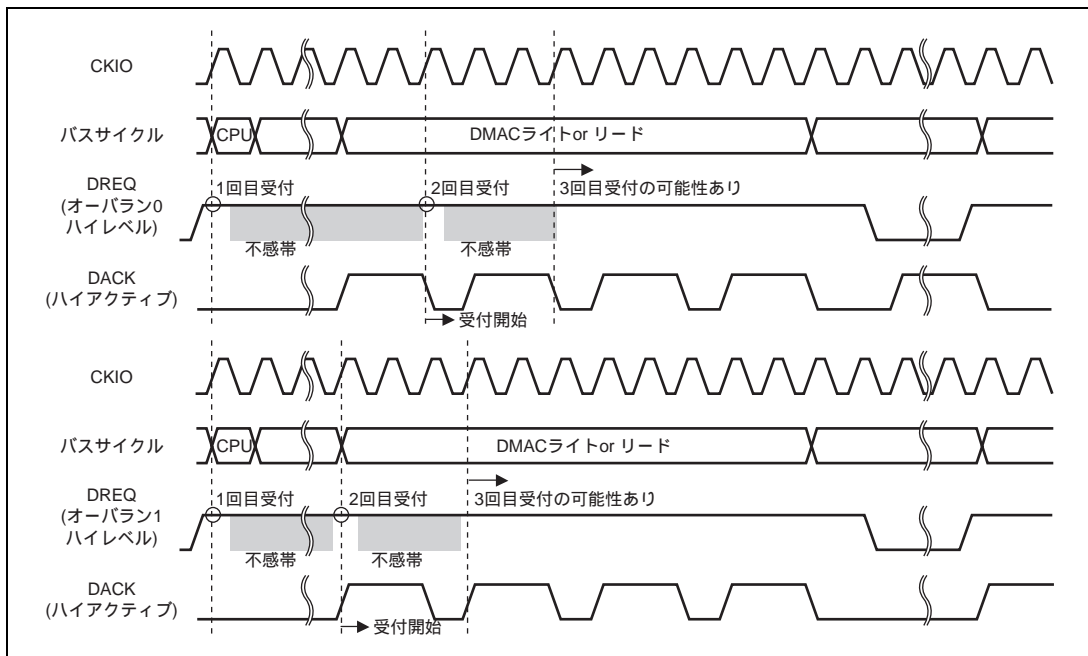


図 10.21 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング  
(サイクルアイドルにより DACK が 4 分割され、1 回多く受け付けられる場合)

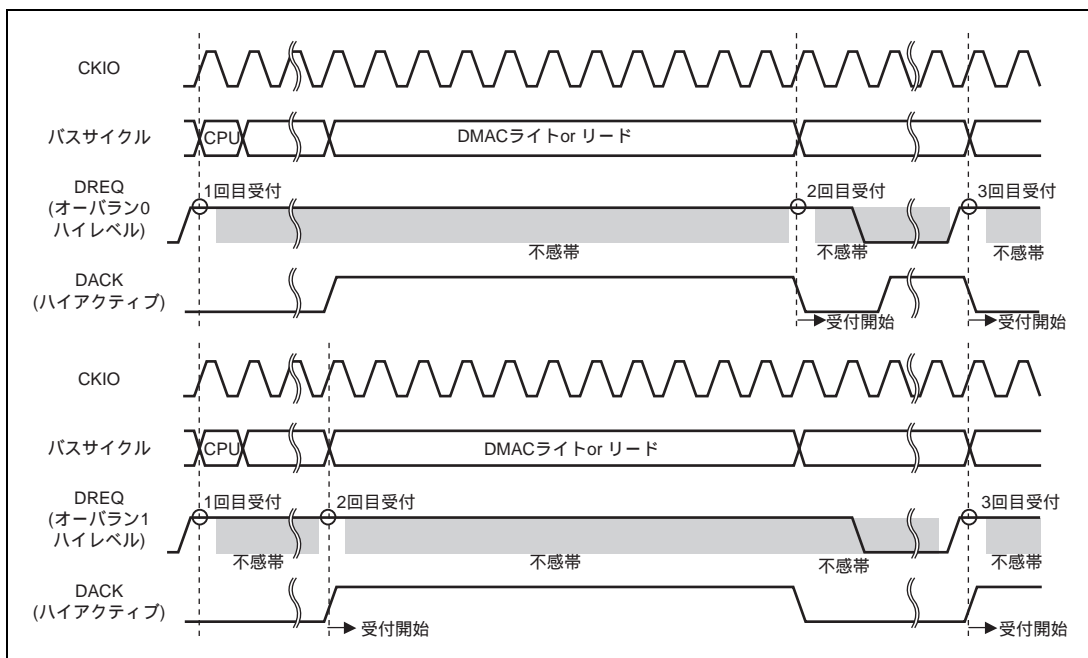


図 10.22 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング  
(サイクル間アイドルにより DACK が分割されず、正常に受け付けられる場合)

### 10.5.3 その他の注意事項

1. スタンバイモードにするときは、DMA転送が終了もしくは中断してから、スタンバイ状態に遷移してください。
2. モジュールスタンバイ機能を使用する場合で、停止する周辺モジュールがDMA転送を行う場合は、DMA転送が終了もしくは中断してからモジュールスタンバイ状態に遷移してください。

上記 1、2 において

DMA 転送の終了は、CHCR レジスタの TE ビットが 1 に設定されることで確認できます。

DMA 転送の中断時は、CHCR レジスタの DE ビットを 0 に設定してください。

3. DMA転送中にSAR、DAR、DMATCR、DMARSレジスタの書き換えを行わないでください。
4. 下記のフラグビットが1にセットされるタイミングで読み出しを行うと0が読み出されますが、内部的に1を読み出した状態となる場合があります。そのため、0の書き込みを行うと、当該フラグが1の読み出し後の0書き込みと同じ状態になり、0にクリアされることがあります。

- (1) DMAC チャンネルコントロールレジスタ (CHCR) の TE ビット。
- (2) DMA オペレーションレジスタ (DMAOR) の AE ビットと NMIF ビット。

これを回避する方法として、当該フラグを使用する場合は、意図せずにビットをクリアしないように以下の方法で読み出し、書き込みを行ってください。

当該レジスタの書き込み時は、明示的にクリアするとき以外は当該ビットへ 1 の書き込みを行い、明示的にクリアするときのみ 1 の読み出し後の 0 書き込みを行ってください。該当ビットへの 1 の書き込みはフラグの値に影響を及ぼしません。

なお、当該フラグビットを使用しない場合は、常に 0 書き込み (明示的にクリアする時は 1 読み出し後の 0 書き込み) で問題ありません。





---

## 11. クロック発振器 (CPG)

---

本 LSI は、クロック発振器を内蔵しており、内部クロック (I )、周辺クロック (P )、バスクロック (B ) を生成します。クロック発振器は、発振器、PLL 回路、分周回路で構成されます。

### 11.1 特長

CPG には、次の特長があります。

- 4種類のクロックモード

使用する周波数範囲、水晶発振子直付けか外部クロック入力かによって、4種類のクロックモードから選択できます。

- 3種類のクロック

CPU、キャッシュで使用する内部クロック (I ) と、周辺モジュールで使用する周辺クロック (P )、さらに外部バスインタフェースで使用するバスクロック (B = CKIO) を独立に生成できます。

- 周波数変更機能

CPG内部のPLL (Phase Locked Loop) 回路や分周回路により、内部クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、スタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。

CPG のブロック図を図 11.1 に示します。

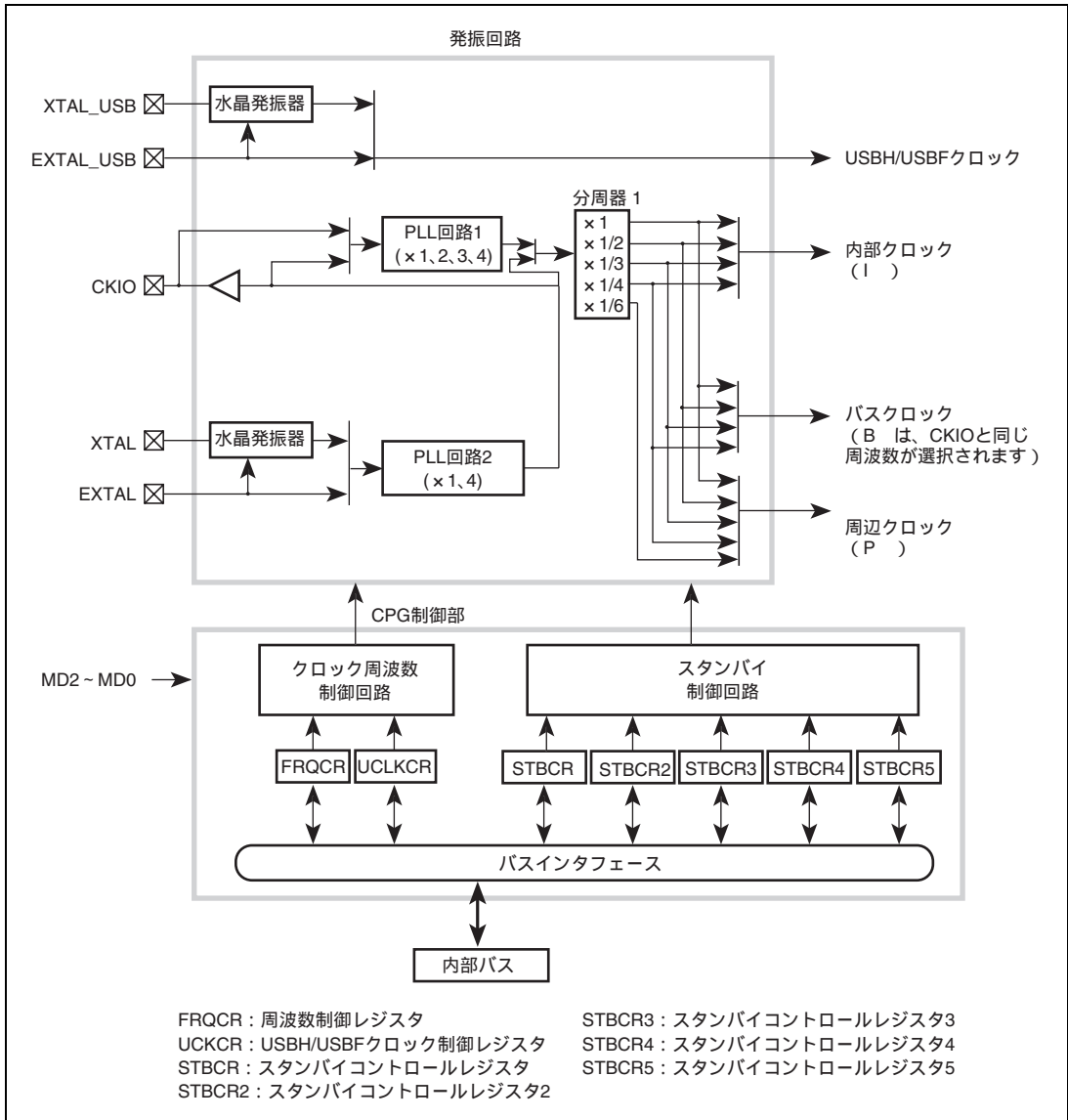


図 11.1 CPG のブロック図

CPG の各ブロックは、次のように機能します。

#### (1) PLL 回路 1

PLL 回路 1 は、CKIO 端子からのクロック周波数を 1 倍、2 倍、3 倍、または 4 倍に通倍する機能を持ちます。通倍率は、周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相は CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。

#### (2) PLL 回路 2

PLL 回路 2 は、水晶発振器または EXTAL 端子からの入力クロック周波数を 1 倍、または 4 倍に通倍する機能を持ちます。通倍率は、クロック動作モードにより固定されます。クロック動作モードは MD0、MD1、MD2 端子で設定します。クロック動作モードについては、表 11.2 を参照してください。

#### (3) 水晶発振器

XTAL または EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。水晶発振器は、クロック動作モードの設定により使用可能となります。

#### (4) 分周器 1

分周器 1 は、内部クロックまたは周辺クロックで使用する動作周波数のクロックを生成する機能を持ちます。内部クロック (I ) の動作周波数は、PLL 回路 1 の出力周波数に対して CKIO 端子のクロック周波数より低くならない範囲で、1 倍、1/2 倍、1/3 倍、または 1/4 倍の選択が可能です。周辺クロック (P ) の動作周波数は、8.34MHz P 33.34MHz の範囲で、1 倍、1/2 倍、1/3 倍、1/4 倍、または 1/6 倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

#### (5) クロック周波数制御回路

クロック周波数制御回路は、MD0、MD1、MD2 端子、周波数制御レジスタによりクロック周波数を制御します。

#### (6) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時やスリープモードかスタンバイモード時の内蔵発振回路の状態、および他モジュールの状態を制御します。

#### (7) 周波数制御レジスタ

周波数制御レジスタには、スタンバイ時の CKIO 端子からのクロック出力の有無、PLL 回路 1 の周波数通倍率、内部クロック、および周辺クロックの周波数分周率の各制御ビットが割り当てられています。

#### (8) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 13 章 低消費電力モード」を参照してください。

#### (9) USBH/USBF クロック制御レジスタ

USBH/USBF クロック制御レジスタは、USBH/USBF クロックを生成する源クロックを設定します。

## 11.2 入出力端子

CPG の端子構成と機能を表 11.1 に示します。

表 11.1 発振回路の端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD0	入力	クロック動作モードを設定します。
	MD1	入力	クロック動作モードを設定します。
	MD2	入力	クロック動作モードを設定します。
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。
	EXTAL	入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
クロック入出力端子	CKIO	入出力	外部クロック入力、または外部クロック出力端子として使用します。
USBH/USBF 用外部クロック端子	EXTAL_USB	入力	USBH/USBF の外部クロックを入力する端子です。(48MHz)
	XTAL_USB	出力	

【注】 モード制御端子の値は誤動作防止のために、パワーオンリセット時にのみサンプリングされます。

### 11.3 クロック動作モード

モード制御端子 (MD2~MD0) の組み合わせとクロックモードの関係を表 11.2 に示します。

クロックモードと周波数変更レジスタ (FRQCR) 値の設定可能な組み合わせを表 11.3 に示します。

表 11.2 クロックモード

モード	端子組み合わせ			クロック入出力		PLL 回路 2	PLL 回路 1	CKIO の 周波数
	MD2	MD1	MD0	供給源	出力			
0	0	0	0	EXTAL	CKIO	ON (×1)	ON (×1,2,3,4)	(EXTAL)
1	0	0	1	EXTAL	CKIO	ON (×4)	ON (×1,2,3,4)	(EXTAL) × 4
2	0	1	0	水晶 発振子	CKIO	ON (×4)	ON (×1,2,3,4)	(水晶) × 4
7	1	1	1	CKIO	-	OFF	ON (×1,2,3,4)	(CKIO)

- モード0 :

EXTAL端子から外部クロックを入力し、PLL回路2で波形成形して本LSIに供給します。入力クロック周波数は24.00MHzから66.67MHzまで使用でき、CKIOの周波数レンジは、24.00MHzから66.67MHzとなります。

- モード1 :

EXTAL端子から外部クロックを入力し、PLL回路2で周波数を4倍に逡倍して本LSI内部に供給するので、外部で生成するクロック周波数が低くてすみません。入力クロック周波数は10.00MHzから16.67MHzまで使用でき、CKIOの周波数レンジは40.00MHzから66.67MHzとなります。

- モード2 :

内蔵水晶発振器を動作させ、PLL回路2で周波数を4倍に逡倍して本LSI内部に供給するので、外部で生成するクロック周波数が低くてすみません。水晶は、発振周波数が10.00MHzから16.67MHzまでのものを使用でき、CKIOの周波数レンジは40.00MHzから66.67MHzとなります。

- モード7 :

このモードではCKIO端子が入力になり、この端子に外部クロックを入力して、PLL回路1で波形成形および設定により周波数逡倍を行い、本LSIに供給します。CKIO端子の負荷の変動に対してPLL回路1で補正しているため、シンクロナスDRAMを接続するのに適したモードです。

表 11.3 クロックモードと FRQCR 値の可能な組み合わせ

モード	FRQCR レジスタ値	PLL 回路 1	PLL 回路 2	クロック比* (I:B:P)	入力クロック / 水晶発振子 周波数範囲	CKIO 端子 周波数範囲
0	1000	on(x 1)	on(x 1)	1 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1001	on(x 1)	on(x 1)	1 : 1 : 1/2	24.00 MHz ~ 66.67 MHz	24.00 MHz ~ 66.67 MHz
	1003	on(x 1)	on(x 1)	1 : 1 : 1/4	24.00 MHz ~ 66.67 MHz	24.00 MHz ~ 66.67 MHz
	1101	on(x 2)	on(x 1)	2 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1103	on(x 2)	on(x 1)	2 : 1 : 1/2	24.00 MHz ~ 66.67 MHz	24.00 MHz ~ 66.67 MHz
	1111	on(x 2)	on(x 1)	1 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1113	on(x 2)	on(x 1)	1 : 1 : 1/2	24.00 MHz ~ 66.67 MHz	24.00 MHz ~ 66.67 MHz
	1202	on(x 3)	on(x 1)	3 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1204	on(x 3)	on(x 1)	3 : 1 : 1/2	24.00 MHz ~ 44.45 MHz	24.00 MHz ~ 44.45 MHz
	1222	on(x 3)	on(x 1)	1 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1224	on(x 3)	on(x 1)	1 : 1 : 1/2	24.00 MHz ~ 66.67 MHz	24.00 MHz ~ 66.67 MHz
	1303	on(x 4)	on(x 1)	4 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1313	on(x 4)	on(x 1)	2 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
1333	on(x 4)	on(x 1)	1 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz	
1、2	1001	on(x 1)	on(x 4)	4 : 4 : 2	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz
	1003	on(x 1)	on(x 4)	4 : 4 : 1	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz
	1103	on(x 2)	on(x 4)	8 : 4 : 2	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz
	1113	on(x 2)	on(x 4)	4 : 4 : 2	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz
	1204	on(x 3)	on(x 4)	12 : 4 : 2	10.00 MHz ~ 11.11 MHz	40.00 MHz ~ 44.45 MHz
	1224	on(x 3)	on(x 4)	4 : 4 : 2	10.00 MHz ~ 16.67 MHz	40.00 MHz ~ 66.67 MHz

モード	FRQCR レジスタ値	PLL 回路 1	PLL 回路 2	クロック比* (I:B:P)	入力クロック / 水晶発振子 周波数範囲	CKIO 端子 周波数範囲
7	1000	on (× 1)	OFF	1 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1001	on (× 1)	OFF	1 : 1 : 1/2	24.00 MHz ~ 66.67 MHz	24.00 MHz ~ 66.67 MHz
	1003	on (× 1)	OFF	1 : 1 : 1/4	24.00 MHz ~ 66.67 MHz	24.00 MHz ~ 66.67 MHz
	1101	on (× 2)	OFF	2 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1103	on (× 2)	OFF	2 : 1 : 1/2	24.00 MHz ~ 66.67 MHz	24.00 MHz ~ 66.67 MHz
	1111	on (× 2)	OFF	1 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1113	on (× 2)	OFF	1 : 1 : 1/2	24.00 MHz ~ 66.67 MHz	24.00 MHz ~ 66.67 MHz
	1202	on (× 3)	OFF	3 : 1 : 1	24.00 MHz ~ 44.45 MHz	24.00 MHz ~ 44.45 MHz
	1204	on (× 3)	OFF	3 : 1 : 1/2	24.00 MHz ~ 44.45 MHz	24.00 MHz ~ 44.45 MHz
	1222	on (× 3)	OFF	1 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1224	on (× 3)	OFF	1 : 1 : 1/2	24.00 MHz ~ 66.67 MHz	24.00 MHz ~ 66.67 MHz
	1303	on (× 4)	OFF	4 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
	1313	on (× 4)	OFF	2 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz
1333	on (× 4)	OFF	1 : 1 : 1	24.00 MHz ~ 33.34 MHz	24.00 MHz ~ 33.34 MHz	

【注】 \* 入力クロックを 1 とする。

最大周波数 : I = 133.34MHz、B (CKIO) = 66.67 MHz、P = 33.34MHz

- CKIO の周波数は、24.00MHz ~ 66.67 MHz の範囲で使用してください。
- 分周器 1 の入力、PLL 回路 1 の出力になります。
- 内部クロックの周波数は、24.00MHz ~ 133.34MHz の範囲で使用してください。  
内部クロック周波数は、CKIO 端子の周波数に FRQCR の STC で選択した PLL 回路 1 の周波数通倍率と FRQCR の IFC で選択した分周率を掛けた周波数になります。  
内部クロック周波数は、CKIO 端子の周波数より低く設定しないでください。
- 周辺クロックの周波数は、8.34MHz ~ 33.34MHz の範囲で使用してください。  
周辺クロックの周波数は、CKIO 端子の周波数に FRQCR の STC で選択した PLL 回路 1 の周波数通倍率と FRQCR の PFC で選択した分周率を掛けた周波数になります。  
周辺クロックの周波数は、CKIO 端子の周波数より高く設定しないでください。
- PLL 回路 1 の通倍率には、× 1、× 2、× 3、× 4 が選択できます。内部クロックの分周率には、× 1、× 1/2、× 1/3、× 1/4 が選択できます。また、周辺クロックの分周率には、× 1、× 1/2、× 1/3、× 1/4、× 1/6 が選択できます。これらは、それぞれ FRQCR で設定します。
- PLL 回路 1 の出力周波数は、CKIO 端子の周波数に PLL 回路 1 の通倍率を掛けた周波数になります。この周波数は、133.34MHz 以下で使用してください。

## 11.4 レジスタの説明

CPG には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 37 章 レジスタ一覧」を参照してください。

- 周波数制御レジスタ (FRQCR)
- USBH/USBFクロック制御レジスタ (UCLKCR)

### 11.4.1 周波数制御レジスタ (FRQCR)

周波数制御レジスタは、読み出しまたは書き込み可能な 16 ビットのレジスタで、スタンバイ時の CKIO 端子からのクロック出力の有無、PLL 回路 1 の周波数逡倍率、内部クロック、および周辺クロックの周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。

このレジスタは、パワーオンリセット時のみ初期化されます。ただし、WDT のオーバフローによるパワーオンリセットでは初期化されません。マニュアルリセットおよびスタンバイモード時には前の値を保持しています。

ビット 14~13、11~10、7~6、3 には常に 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
15	PLL2EN	0	R/W	PLL2 イネーブル クロック動作モード 7 のとき、PLL 回路 2 を ON にするかどうかを設定します。 クロック動作モード 7 以外のときは、このビットの値によらず PLL 回路 2 は ON になります。 0 : PLL 回路 2 を OFF にする 1 : PLL 回路 2 を ON にする
14	-	0	R	リザーブビット
13	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	CKOEN	1	R/W	クロック出力イネーブル CKOEN は、スタンバイ中に CKIO 端子から、クロックを出力するか、CKIO 端子をレベル固定するかを指定します。0 を設定した場合は、STATUS1=L、STATUS0=H の間、CKIO 端子がローレベルに固定されます。これにより、スタンバイ解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。クロック動作モード 7 のときは、このビットの値によらず CKIO 端子が入力になります。 0 : スタンバイ中に CKIO 端子をローレベルに固定する。 1 : CKIO 端子からクロックを出力する。
11	-	0	R	リザーブビット
10	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。



ビット	ビット名	初期値	R/W	説 明
9	STC1	0	R/W	PLL 回路 1 の周波数逡倍率 00 : ×1 倍 01 : ×2 倍 10 : ×3 倍 11 : ×4 倍
8	STC0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	-	0	R	
5	IFC1	0	R/W	内部クロック周波数の分周率 PLL 回路 1 の出力周波数に対しての内部クロック (I ) 周波数の分周率を指定します。 00 : ×1 倍 01 : ×1/2 倍 10 : ×1/3 倍 11 : ×1/4 倍
4	IFC0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	PFC2	0	R/W	
1	PFC1	1	R/W	周辺クロック周波数の分周率 PLL 回路 1 の出力周波数に対しての周辺クロック (P ) 周波数の分周率を指定します。 000 : ×1 倍 001 : ×1/2 倍 010 : ×1/3 倍 011 : ×1/4 倍 100 : ×1/6 倍 上記以外 : 予約 (設定禁止)
0	PFC0	1	R/W	

### 11.4.2 USBH/USBF クロック制御レジスタ (UCLKCR)

USBH/USBF クロック制御レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。

パワーオンリセット時に H'60 に初期化されます。

UCLKCR に書き込む場合は、上位バイトを H'A5、下位バイトをライトデータとして、ワードサイズで書き込んでください。

ビット	ビット名	初期値	R/W	説明
7	USSCS2	0	R/W	ソースクロックセレクトビット
6	USSCS1	1	R/W	源クロックの選択を行います。
5	USSCS0	1	R/W	000 : クロック停止 001 : 設定禁止 010 : 設定禁止 011 : 初期値* 100 : 設定禁止 101 : 設定禁止 110 : EXTAL_USB 111 : USB 水晶発振子
4	USSTB	0	R/W	スタンバイ USB クリスタル スタンバイモード時の USB 水晶発振器の停止 / 発振を指定します。 0 : STBCR レジスタの STBXTL (ビット 4) が 0 のときにスタンバイ状態で USB 水晶発振器の発振を停止します。 1 : スタンバイ状態でも USB 発振器は発振を継続します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

【注】 \* ただし、USBH/USBF を動作させる場合は、B'110 (EXTAL\_USB)、または B'111 (USB 水晶発振子) に変更してから使用してください。

## 11.5 周波数変更方法

内部クロックおよび周辺クロックの周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器 1 の分周率を変える方法があります。これらはいずれも FRQCR によってソフトウェアで制御します。以下にこれらの方法について示します。

### 11.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合は、PLL 安定時間が必要になります。内蔵 WDT により安定時間のカウントを行います。

1. 初期状態では、PLL回路1の通倍率は1になっています。
2. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止します。次の設定が必要です。  
WTC SR.TME = 0 : WDTの停止  
WTC SR.CKS2-0 : WDTカウントクロックの分周率  
WTC NT : カウンタの初期値
3. STC[1:0]を目的とする値に設定します。同時にIFC[1:0]、PFC[2:0]に分周率を設定することも可能です。
4. 本LSI内部は一時的に停止し、WDTのカウントアップを開始します。内部クロックと周辺クロックが停止し、WDTにのみクロックが供給されます。また、CKIO端子にはクロックが出力され続けます。
5. WDTのカウントオーバーフローで設定されたクロックが供給され始め、本LSIは動作を再開します。WDTはオーバーフロー後、停止します。

### 11.5.2 分周率の変更

分周率変更のみで、同時に通倍率の変更を行わない場合、WDT によるカウントは行いません。

1. 初期状態では、IFC[1:0] = 00、PFC[2:0] = 011になっています。
2. IFC[1:0]、PFC[2:0]ビットを目的とする値に設定します。クロックモードやPLL回路1の通倍率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. ただちに設定されたクロックに切り替わります。

## 11.6 使用上の注意事項

USBH、USBF を使用する際には、下記の注意事項があります。

1. USBH、USBF を使用しない場合は、UCLKCR の設定を H'00 にしてクロックを停止することを推奨します。
2. UCLKCR のレジスタ値を変更する場合は、必ずその前に USBH、USBF のモジュールを停止してください。  
モジュールの停止は、STBCR3 のモジュールストップ 31 ビット (USBH モジュールストップ)、モジュールストップ 30 ビット (USBF モジュールストップ) で、クロック供給を停止させることにより行います。
3. UCLKCR はパワーオンリセット時のみ初期化されます。マニュアルリセット時は設定値を保持します。
4. USBH/USBF 使用時は、必ず周辺クロック (P ) を 13MHz より高い周波数に設定してください。
5. USBH 使用時は、必ずバスクロック (B ) を 32MHz 以上に設定してください。

## 11.7 ボード設計上の注意事項

### (1) 外部水晶発振器使用時の注意

水晶発振器と容量 CL1、CL2 およびダンピング抵抗 R はできるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、振動子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

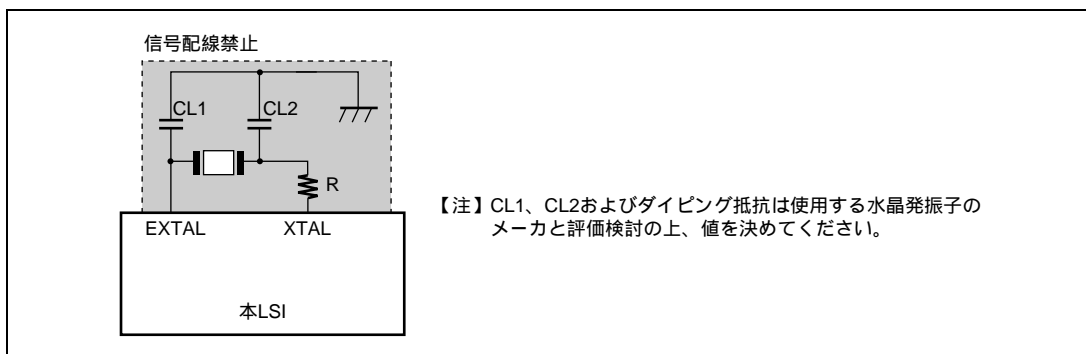


図 11.2 水晶発振器使用時の注意

### (2) バイパスコンデンサについての注意

V<sub>SS</sub> と V<sub>CC</sub> のペアごとに積層セラミックコンデンサをパスコンとして入れてください。

パスコンは LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

## (3) PLL 発振回路使用時の注意

PLL 用  $V_{cc}$  と  $V_{ss}$  の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

クロックモード 7 のときは、EXTAL 端子を  $V_{cc}$  または  $V_{ss}$  に接続し、XTAL 端子は解放にしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と  $V_{cc}$ 、 $V_{ccQ}$  のデジタル電源系は極力基板上で同一リソースを供給しないでください。

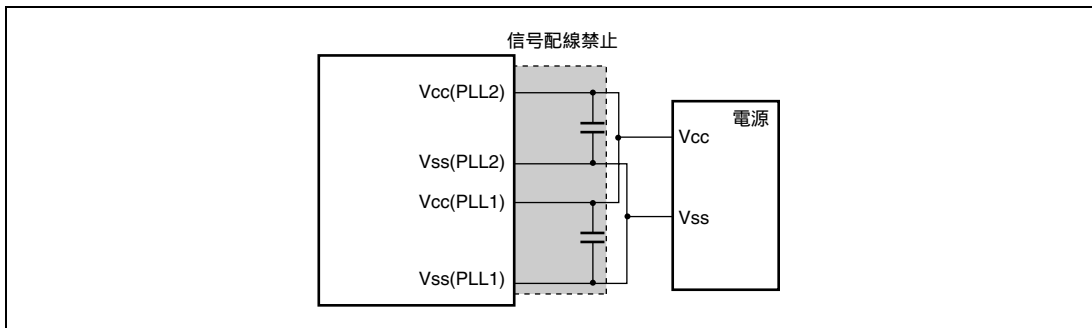


図 11.3 PLL 発振回路使用時の注意



---

## 12. ウォッチドッグタイマ (WDT)

---

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などにより、カウンタの値が書き換えられずにオーバーフローすると本 LSI 内部をリセットすることができます。

WDT は 1 チャンネルのタイマであり、周辺クロックを入力とし、ソフトウェアスタンバイモードや、周波数変更時の一時的なスタンバイ状態の解除の際に、クロック安定時間のカウンタ用としても使用します。また、インターバルタイマとしても使用可能です。

### 12.1 特長

- クロック安定時間の確保に使用可能  
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生  
カウンタオーバーフローにより、内部をリセットします。
- インターバルタイマモード時、割り込みを発生  
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウント入力クロックを選択可能  
周辺クロックを分周した8種類のクロック (  $\times 1 \sim \times 1/4096$  ) から選択できます。
- リセットの種類として、パワーオンリセットとマニュアルリセットから選択できます。

WDT のブロック図を図 12.1 に RWDT のブロック図を図 12.2 に示します。

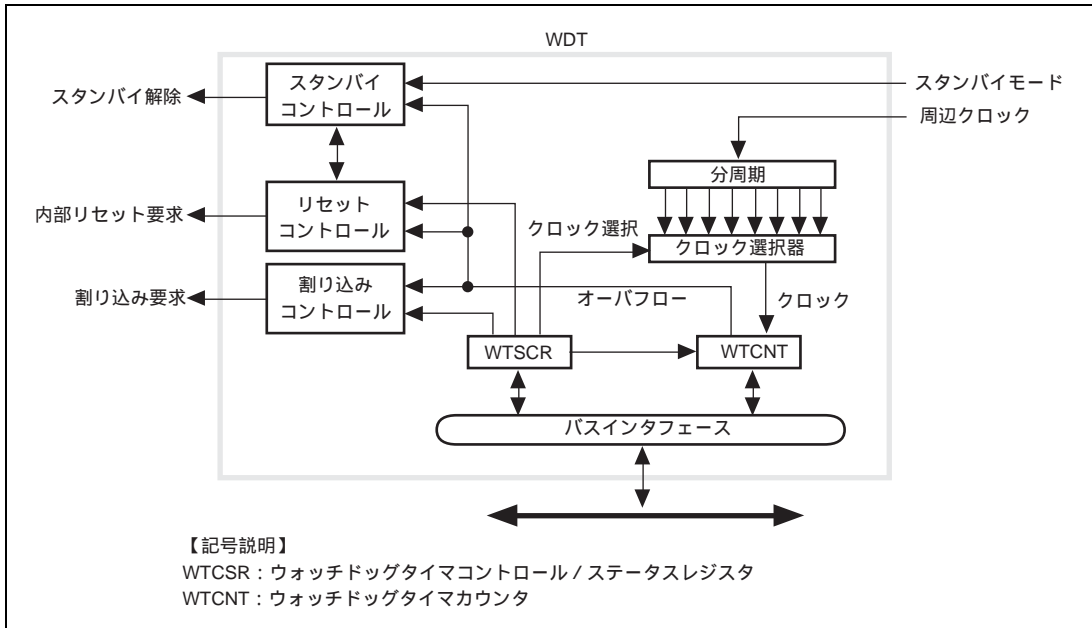


図 12.1 WDT のブロック図



## 12.2 WDT のレジスタの説明

WDT には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。

- ウォッチドッグタイマカウンタ (WTCNT)
- ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

### 12.2.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し/書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT カウンタは WDT オーバフローによる内部リセットでは初期化されません。その他のパワーオンリセット時のみ、H'00 に初期化されます。

WTCNT カウンタへの書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは「12.2.3 レジスタアクセス時の注意事項」を参照してください。

### 12.2.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバフローフラグおよびイネーブルビットから成ります。

WTCSR レジスタは WDT オーバフローによる内部リセット時には値は保持されます。その他のパワーオンリセット時のみ、H'00 に初期化されます。ソフトウェアスタンバイ解除時のクロック安定時間のカウントに使用する際には、カウンタオーバフロー後、値は保持されます。

WTCSR レジスタへの書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは「12.2.3 レジスタアクセス時の注意事項」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	TME	0	R/W	<p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。</p> <p>0 : タイマディセーブル。カウントアップを停止、WTCNT の値は保持 1 : タイマイネーブル</p>

ビット	ビット名	初期値	R/W	説明
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。</p> <p>0: インターバルタイマモード 1: ウォッチドッグタイマモード</p> <p>【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われなことがあります。</p>
5	RSTS	0	R/W	<p>リセットセレクト</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。</p> <p>0: パワーオンリセット 1: マニュアルリセット</p>
4	WOVF	0	R/W	<p>ウォッチドッグタイマオーバーフロー</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードではセットされません。</p> <p>0: オーバフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバーフローした</p>
3	IOVF	0	R/W	<p>インターバルタイマオーバーフロー</p> <p>インターバルタイマモードで WTCNT がオーバーフローしたことを示します。ウォッチドッグタイマモードではセットされません。</p> <p>0: オーバフローなし 1: インターバルタイマモードで WTCNT がオーバーフローした</p>
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	<p>クロックセレクト 2~0</p> <p>周辺クロック (P) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。括弧内に示すオーバーフロー周期は、周辺クロック P = 15MHz の場合の値です。</p> <p>000: P (17 μs) 001: P /4 (68 μs) 010: P /16 (273 μs) 011: P /32 (546 μs) 100: P /64 (1.09 ms) 101: P /256 (4.36 ms) 110: P /1024 (17.48 ms) 111: P /4096 (69.91 ms)</p> <p>【注】 WDT の動作中に CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2 ~ CKS0 ビットを書き換える場合は必ず WDT を停止させてください。</p>

### 12.2.3 レジスタアクセス時の注意事項

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で書き込みを行ってください。

- WTCNT、WTCSRへ書き込む時は、必ずワード転送命令を使用してください。バイト転送、ロングワード転送では、書き込みません。

図 12.3 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

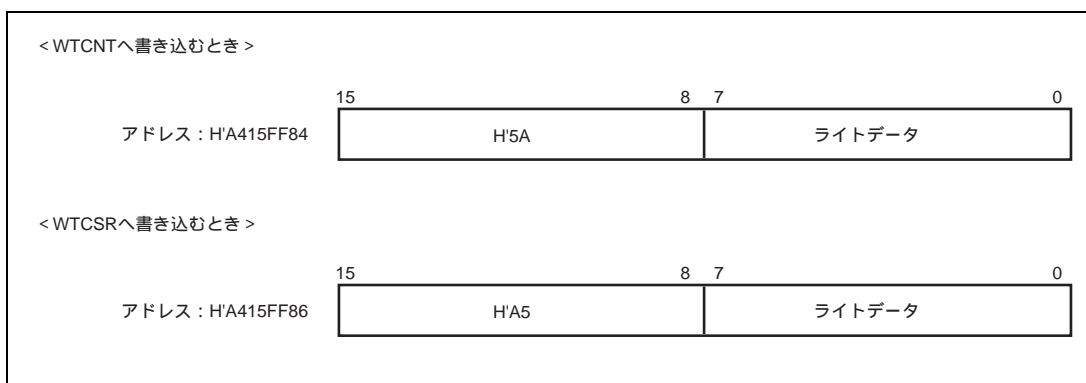


図 12.2 WTCNT、WTCSR への書き込み

## 12.3 WDT の動作説明

### 12.3.1 ソフトウェアスタンバイ解除の手順

WDT はソフトウェアスタンバイモードを NMI 割り込みまたは外部割り込み (IRQ) で解除する場合に使用します。この手順を以下に示します。(リセットで解除する場合 WDT は動作しないため、クロックが安定するまで  $\overline{\text{RESETP}}$  端子をローレベルに保ってください。)

1. ソフトウェアスタンバイモードへ遷移前に、必ず WTCSR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. SLEEP 命令実行によりソフトウェアスタンバイモードに遷移し、クロックは停止します。
4. NMI 信号変化のエッジ検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始し、本 LSI が動作を再開します。このとき、WTCSR レジスタの WO VF フラグはセットされません。
6. WDT は H'00 からカウントを継続するので、割り込み処理プログラムの中で STBCR レジスタの STBY ビットを 0 にしてください。これにより、WDT が停止します。STBY ビットが 1 のままだと、WDT が H'80 までカウントした時点で再びソフトウェアスタンバイモードに入ります。このソフトウェアスタンバイモードはパワーオンリセットで解除してください。

### 12.3.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り換えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. 周波数制御レジスタ (FRQCR) を書き換えると、プロセッサ内部は一時的に停止し、WDT はカウントを開始します。
4. WDT はカウントオーバーフローすると、CPG がクロック供給を再開し、本 LSI が動作を再開します。このとき、WTCSR レジスタの WO VF フラグはセットされません。
5. カウンタは H'00 の値で停止します。
6. 周波数変更命令の後、WTCNT を書き換える場合には、WTCNT を読み出して H'00 になっていることを確認し

てから書き換えてください。

### 12.3.3 ウォッチドッグタイマモードの使用法

1. WTCSRレジスタのWT/ITビットに1を設定し、RSTSビットにリセットのタイプ、CKS2～CKS0にカウントクロックの種類、WTCNTカウンタにカウンタの初期値を設定します。
2. WTCSRレジスタのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバフローすると、WDTはWTCSRレジスタを1にセットし、RSTSビットで指定されたタイプのリセットを発生します。この後カウンタはカウントを続行します。

### 12.3.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRレジスタのWT/ITビットに0をセットし、CKS2～CKS0ビットにカウントクロックの種類、WTCNTカウンタにカウンタの初期値を設定します。
2. WTCSRレジスタのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバフローするとWTCSRレジスタのIOVFフラグに1をセットし、インターバルタイマ割り込み要求 (ITI) をINTCに送ります。カウンタはカウントを続行します。



---

## 13. 低消費電力モード

---

本 LSI は低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、モジュールスタンバイ機能、ハードウェアスタンバイモードを内蔵しています。

### 13.1 特長

- スリープ/ソフトウェアスタンバイ/モジュールスタンバイ/ハードウェアスタンバイをサポートします。

#### 13.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. モジュールスタンバイ機能 (DSP、キャッシュ、TLB、X/Yメモリ、UBC、DMAC、H-UDI、および内蔵周辺モジュール)
4. ハードウェアスタンバイモード

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 13.1 に示します。

表 13.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態						解除方法
		CPG	CPU	CPUレジスタ	内蔵メモリ	内蔵周辺モジュール	外部メモリ	
スリープモード	STBCRのSTBYビットが0でSLEEP命令を実行	動作	停止	保持	停止 (内容は保持)	動作	オートリフレッシュされず	割り込みリセット
ソフトウェアスタンバイモード	STBCRのSTBYビットが1の状態ですLEEP命令を実行	停止	停止	保持	停止 (内容は保持)	停止*	セルフリフレッシュにしてください	割り込み(NMI、IRQ(エッジ検出)、RTC、TMU、PINT)、リセット
モジュールスタンバイ機能	STBCRのMSTPビットを1とする	動作	動作/停止	保持	指定モジュールが停止(内容は保持)	指定モジュールが停止	オートリフレッシュされず	MSTPビットを0にクリア パワーオンリセット
ハードウェアスタンバイモード	CA端子をローレベルにする	停止	停止	保持	保持	停止*	セルフリフレッシュにしてください	パワーオンリセット

【注】 \* RTCは、RCR2のSTARTビットが1のとき動作します。詳細は、「第17章 リアルタイムクロック(RTC)」を参照してください。

### 13.1.2 リセット

リセットは、電源を入れたとき、またはいわゆる初期化状態から再実行したいときに使われます。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。パワーオンリセットの場合は、すべての実行中の処理が中断され、いかなる未処理の事象も取り消されて、リセット処理がただちに実行されます。一方、マニュアルリセットの場合は、外部メモリの内容を保持するための処理等は継続します。パワーオンリセットおよびマニュアルリセットが発生する条件を以下に示します。

#### (1) パワーオンリセット

1.  $\overline{\text{RESETP}}$ 端子にローレベルを入力する。
2. WTCSRのWT/ITビットに1を、RSTSビットに0をセットした状態でWDTのカウンタを開始し、カウンタがオーバーフローしたとき。
3. H-UDIリセットが発生したとき。(H-UDIリセットについては、「第36章 ユーザデバッグインタフェース(H-UDI)」を参照してください。)

#### (2) マニュアルリセット

1.  $\overline{\text{RESETM}}$ 端子にローレベルを入力する。
2. WTCSRのWT/ITビットに1を、RSTSビットに1をセットした状態でWDTのカウンタを開始し、カウンタがオーバーフローしたとき。



## 13.2 入出力端子

低消費電力モード関連の端子構成を表 13.2 に示します。

表 13.2 端子構成

端子名	略称	入出力	機能
ステータス 1 出力	STATUS1	出力	プロセッサの動作状態を表します。 HH:リセット HL:スリープモード LH:スタンバイモード LL:通常動作
ステータス 0 出力	STATUS0		
パワーオンリセット入力 端子	RESETP	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。
マニュアルリセット入力 端子	RESETM	入力	端子にローレベルを入力することにより、マニュアルリセット処理へ遷移します。
チップアクティブ	CA	入力	端子にローレベルを入力することにより、ハードウェアスタンバイモードへ遷移します。

## 13.3 レジスタの説明

消費電力モードに関連するレジスタには、以下のものがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。

- スタンバイコントロールレジスタ (STBCR)
- スタンバイコントロールレジスタ2 (STBCR2)
- スタンバイコントロールレジスタ3 (STBCR3)
- スタンバイコントロールレジスタ4 (STBCR4)
- スタンバイコントロールレジスタ5 (STBCR5)

### 13.3.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力モードの状態を指定します。

ビット	ビット名	初期値	R/W	説 明
7	STBY	0	R/W	スタンバイ ソフトウェアスタンバイモードへの実行を指定します。 0 : SLEEP 命令の実行で、スリープモードへ遷移 1 : SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移
6	-	0	R	リザーブビット
5	-	0	R	読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
4	STBXTL	0	R/W	スタンバイクリスタル スタンバイモード時の水晶発振器の停止 / 発振を指定します。 0 : スタンバイ状態で水晶発振器の発振が停止します。 1 : スタンバイ状態でも水晶発振器は発振継続します。
3	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MSTP2	0	R/W	モジュールストップビット 2 MSTP2 ビットを 1 にセットすると TMU へのクロックの供給を停止します。 0 : TMU は動作 1 : TMU へのクロック供給を停止
1	MSTP1	0	R/W	モジュールストップビット 1 MSTP1 ビットを 1 にセットすると RTC へのクロックの供給を停止します。 0 : RTC は動作 1 : RTC へのクロック供給を停止
0	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

### 13.3.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	MSTP10	0	R/W	モジュールストップビット 10 MSTP10 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロック供給を停止
6	MSTP9	0	R/W	モジュールストップビット 9 MSTP9 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロック供給を停止
5	MSTP8	0	R/W	モジュールストップビット 8 MSTP8 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロック供給を停止
4	MSTP7	0	R/W	モジュールストップビット 7 MSTP7 ビットを 1 にセットすると DSP へのクロックの供給を停止します。 0 : DSP は動作 1 : DSP へのクロック供給を停止
3	MSTP6	0	R/W	モジュールストップビット 6 MSTP6 ビットを 1 にセットすると TLB へのクロックの供給を停止します。 0 : TLB は動作 1 : TLB へのクロック供給を停止
2	MSTP5	0	R/W	モジュールストップビット 5 MSTP5 ビットを 1 にセットするとキャッシュメモリへのクロックの供給を停止します。 0 : キャッシュメモリは動作 1 : キャッシュメモリへのクロック供給を停止
1	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MSTP3	0	R/W	モジュールストップビット 3 MSTP3 ビットを 1 にセットすると X/Y メモリへのクロックの供給を停止します。 0 : X/Y メモリは動作 1 : X/Y メモリへのクロック供給を停止

### 13.3.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	MSTP37	0	R/W	モジュールストップビット 37 MSTP37 ビットを 1 にセットすると SIOF1 へのクロックの供給を停止します。 0 : SIOF1 は動作 1 : SIOF1 へのクロック供給を停止
6	MSTP36	0	R/W	モジュールストップビット 36 MSTP36 ビットを 1 にセットすると SIOF0 へのクロックの供給を停止します。 0 : SIOF0 は動作 1 : SIOF0 へのクロック供給を停止
5	MSTP35	0	R/W	モジュールストップビット 35 MSTP35 ビットを 1 にセットすると CMT へのクロックの供給を停止します。ただし、チャンネル 5 がカウンタ動作を行っている場合は、カウントアップを続けます。 0 : CMT は動作 1 : CMT へのクロック供給を停止
4	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MSTP33	0	R/W	モジュールストップビット 33 MSTP33 ビットを 1 にセットすると ADC へのクロックの供給を停止します。 0 : ADC は動作 1 : ADC へのクロック供給を停止
2	MSTP32	0	R/W	モジュールストップビット 32 MSTP32 ビットを 1 にセットすると DAC へのクロックの供給を停止します。 0 : DAC は動作 1 : DAC へのクロック供給を停止
1	MSTP31	0	R/W	モジュールストップビット 31 MSTP31 ビットを 1 にセットすると USBH へのクロックの供給を停止します。 0 : USBH は動作 1 : USBH へのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
0	MSTP30	0	R/W	モジュールストップビット 30 MSTP30 ビットを 1 にセットすると USBF へのクロックの供給を停止します。 0 : USBF は動作 1 : USBF へのクロック供給を停止

### 13.3.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット
6	-	0	R	読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MSTP45	0	R/W	モジュールストップビット 45 MSTP45 ビットを 1 にセットすると PCC へのクロックの供給を停止します。 0 : PCC は動作 1 : PCC へのクロック供給を停止
4	MSTP44	0	R/W	モジュールストップビット 44 MSTP44 ビットを 1 にセットすると I <sup>2</sup> C へのクロックの供給を停止します。 0 : I <sup>2</sup> C は動作 1 : I <sup>2</sup> C へのクロック供給を停止
3	MSTP43	0	R/W	モジュールストップビット 43 MSTP43 ビットを 1 にセットすると MMC へのクロックの供給を停止します。 0 : MMC は動作 1 : MMC へのクロック供給を停止
2	MSTP42	0	R/W	モジュールストップビット 42 MSTP42 ビットを 1 にセットすると SIM へのクロックの供給を停止します。 0 : SIM は動作 1 : SIM へのクロック供給を停止
1	MSTP41	0	R/W	モジュールストップビット 41 MSTP41 ビットを 1 にセットすると SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
0	MSTP40	0	R/W	モジュールストップビット 40 MSTP40 ビットを 1 にセットすると SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロック供給を停止

### 13.3.5 スタンバイコントロールレジスタ 5 (STBCR5)

STBCR5 は、読み出し/書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
6	MSTP56	0	R/W	モジュールストップビット 56 MSTP56 ビットを 1 にセットすると SDHI へのクロックの供給を開始します。 0 : SDHI へのクロック供給を停止 1 : SDHI は動作 【注】 SDHI 非搭載品種では、リザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MSTP54	0	R/W	モジュールストップビット 54 MSTP54 ビットを 1 にセットすると TPU へのクロックの供給を停止します。 0 : TPU は動作 1 : TPU へのクロック供給を停止
3	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MSTP52	0	R/W	モジュールストップビット 52 MSTP52 ビットを 1 にセットすると SSL へのクロックの供給を停止します。 0 : SSL は動作 1 : SSL へのクロック供給を停止 【注】 SSL 非搭載品種ではリザーブビットになります。書き込む値は 1 にしてください。

ビット	ビット名	初期値	R/W	説明
1	MSTP51	0	R/W	モジュールストップビット 51 MSTP51 ビットを 1 にセットすると AFEIF へのクロックの供給を停止します。 0 : AFEIF は動作 1 : AFEIF へのクロック供給を停止
0	MSTP50	0	R/W	モジュールストップビット 50 MSTP50 ビットを 1 にセットすると LCDC へのクロックの供給を停止します。 0 : LCDC は動作 1 : LCDC へのクロック供給を停止

## 13.4 スリープモード

### 13.4.1 スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

### 13.4.2 スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、IRL、PINT、内蔵周辺) およびリセットにより解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けますので、必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

#### (1) 割り込みによる解除

NMI、IRQ、IRL、PINT および内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT および INTEVT2 レジスタには、割り込み要因に対応したコードがセットされます。

#### (2) リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

## 13.5 ソフトウェアスタンバイモード

### 13.5.1 ソフトウェアスタンバイモードへの遷移

STBCR レジスタの STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU、キャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイマカウンタ (WTCNT) を0にセットし、WTCSRレジスタのCKS2~0ビットに指定された発振安定時間になるように値を設定します。
3. STBCRレジスタのSTBYビットに1を設定した後、SLEEP命令を実行させます。
4. ソフトウェアスタンバイモードに入り、LSI内部のクロックが停止すると、STATUS1端子からローレベル、STATUS0端子からハイレベルが出力されます。

### 13.5.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ (エッジ検出)、RTC、TMU、PINT) およびリセットにより、解除されます。

#### (1) 割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRQ (エッジ検出)\*<sup>1</sup>、RTC\*<sup>1</sup>、TMU\*<sup>1</sup>、および PINT\*<sup>1</sup>の各割り込みが検出されると、WDT のタイマコントロール/ステータスレジスタに設定されている時間が経過した後、LSI 全体にクロックが供給され、ソフトウェアスタンバイモードが解除されて、STATUS1、STATUS0 端子がどちらもローレベルになります。この後割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT と INTEVT2 に設定されます。割り込み処理ルーチンに分岐後、STBCR レジスタの STBY ビットをクリアしてください。WDT は、自動的に停止します。STBY ビットをクリアしないと、WDT は動作を継続し、WTCNT が H'80 に達した時点でソフトウェアスタンバイモード\*<sup>2</sup>に遷移してしまいます。なお、STBY ビットをクリアするまでは、マニュアルリセットを受け付けません。またソフトウェアスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC と SSR をスタックに退避してください。

割り込み検出直後から、ソフトウェアスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。

【注】 \*1 RTC 使用時のみ、IRQ (エッジ検出)、RTC、TMU、PINT の各割り込みでソフトウェアスタンバイモードを解除できます。

\*2 このソフトウェアスタンバイモードは、パワーオンリセットで解除してください。



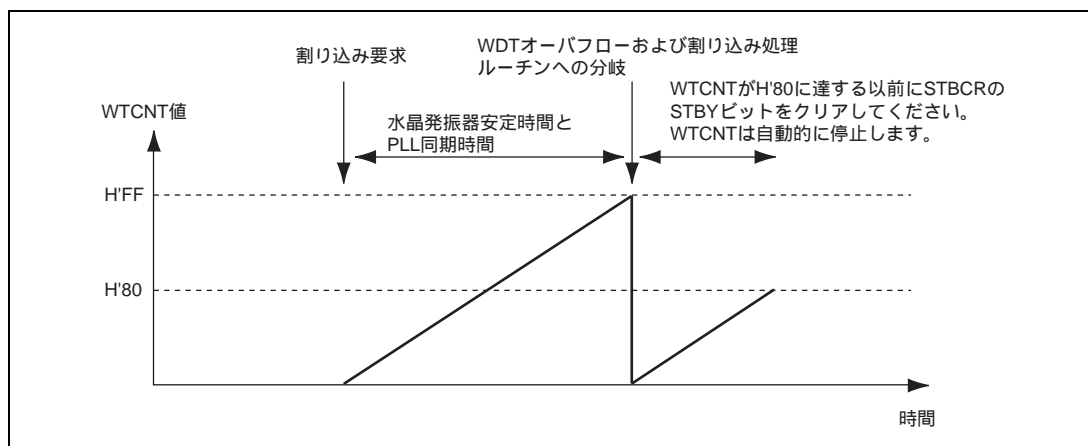


図 13.1 STBCR の STBY ビットとスタンバイモードの解除

## (2) リセットによる解除

$\overline{\text{RESETP}}$  端子、 $\overline{\text{RESETM}}$  端子を用いたリセットにより、ソフトウェアスタンバイモードは解除されます。PLL を使用するクロックモードの場合、 $\overline{\text{RESETP}}$  端子、 $\overline{\text{RESETM}}$  端子はクロックの発振が安定するまで、ローレベルを保持してください。CKIO 端子には、内部のクロックが出力され続けます。

## 13.6 モジュールスタンバイ機能

### 13.6.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時の消費電力を低減させることができます。各 MSTP ビットを変更してモジュールスタンバイ機能を使用する場合は、クロック供給を停止するモジュールの動作を停止させてから MSTP のセットを行ってください。

モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は、内蔵周辺モジュールおよび I/O ポート設定により異なります。レジスタの状態は、スタンバイモード時と同じです。

各 MSTP ビットを変更してモジュールスタンバイ機能を使用する場合は、クロック供給を停止するモジュールの動作を停止させてから MSTP ビットのセットを行ってください。

### 13.6.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセットにより行います。

各 MSTP ビットを変更してモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して変更されたことを確認してください。

## 13.7 STATUS 端子の変化タイミング

STATUS1 および STATUS0 端子の変化タイミングを示します。

### 13.7.1 リセットの場合

#### (1) パワーオンリセット

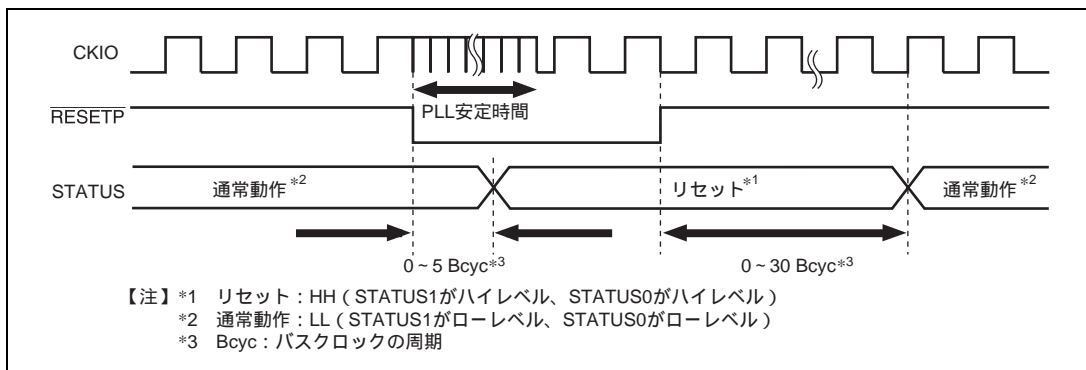


図 13.2 パワーオンリセットの STATUS 出力

#### (2) マニュアルリセット

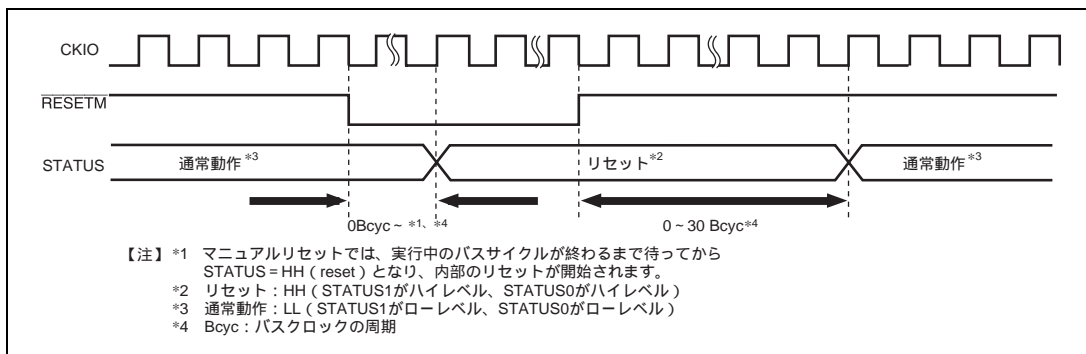


図 13.3 マニュアルリセットの STATUS 出力

## 13.7.2 ソフトウェアスタンバイモードの場合

## (1) ソフトウェアスタンバイ 割り込み

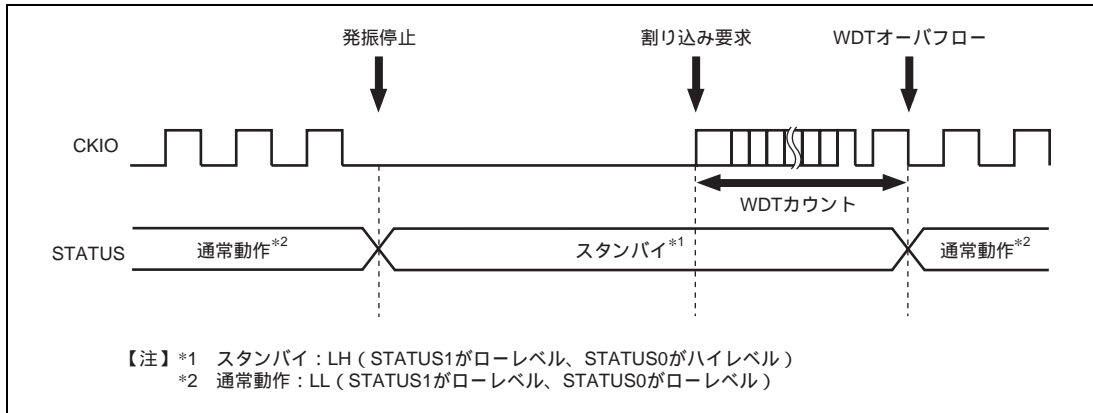


図 13.4 ソフトウェアスタンバイ 割り込みの STATUS 出力

## (2) ソフトウェアスタンバイ パワーオンリセット

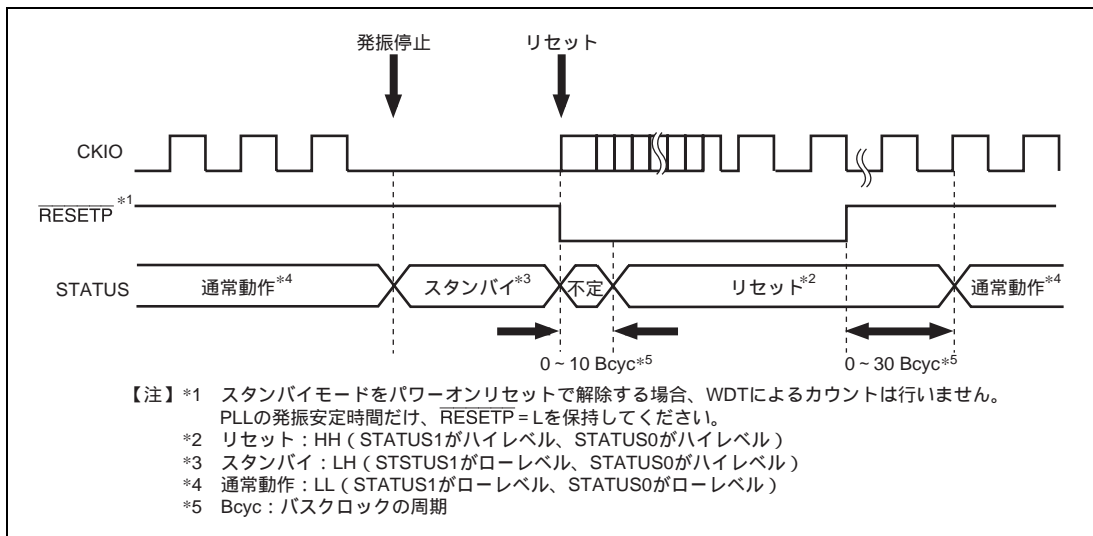


図 13.5 ソフトウェアスタンバイ パワーオンリセットの STATUS 出力

## (3) ソフトウェアスタンバイ マニュアルリセット

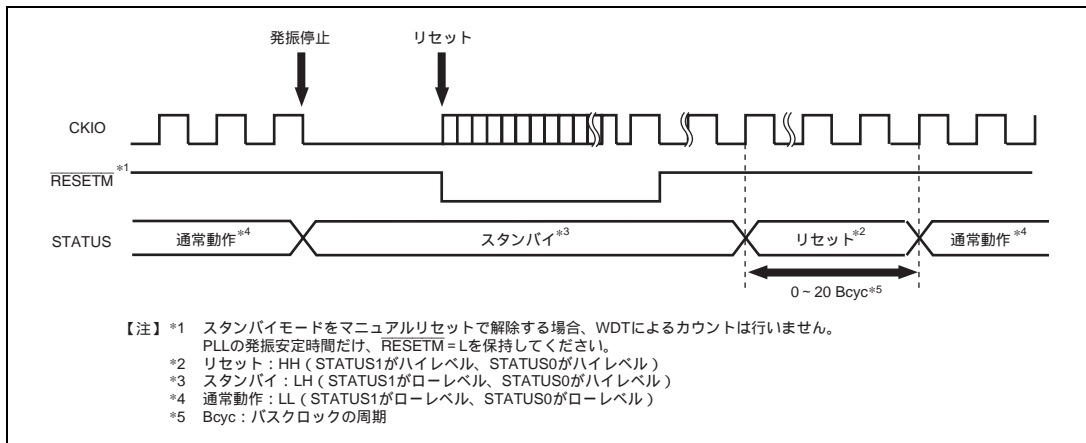


図 13.6 ソフトウェアスタンバイ マニュアルリセットの STATUS 出力

## 13.7.3 スリープモードの場合

## (1) スリープ 割り込み

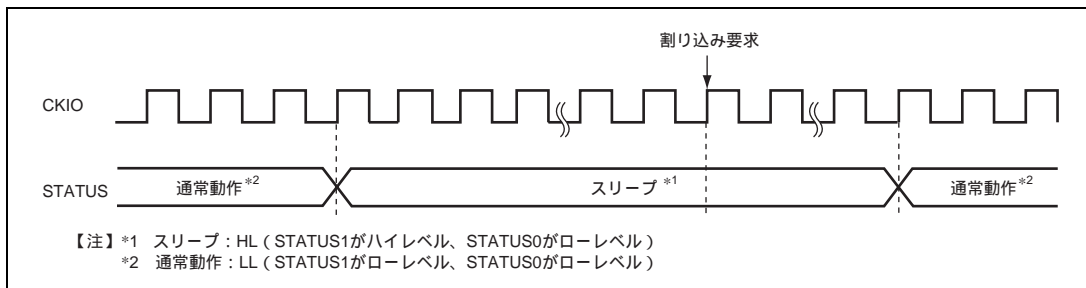


図 13.7 スリープ 割り込みの STATUS 出力

## (2) スリープ パワーオンリセット

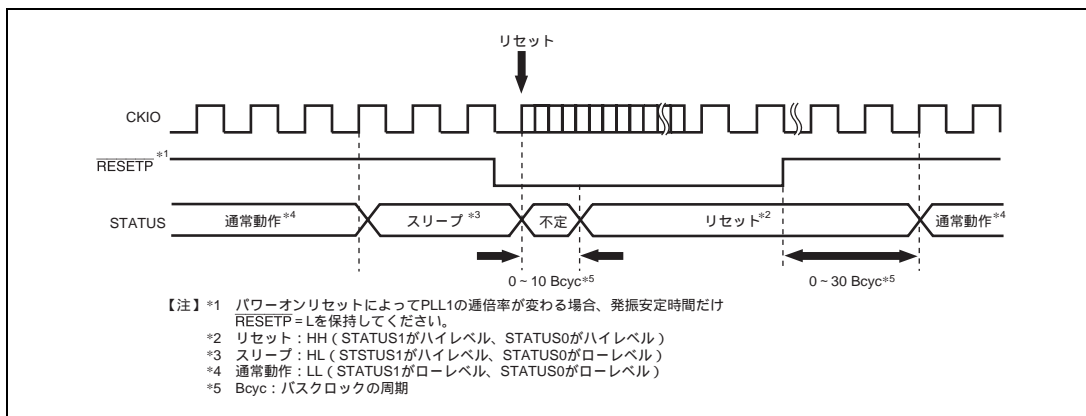


図 13.8 スリープ パワーオンリセットの STATUS 出力

## (3) スリープ マニュアルリセット

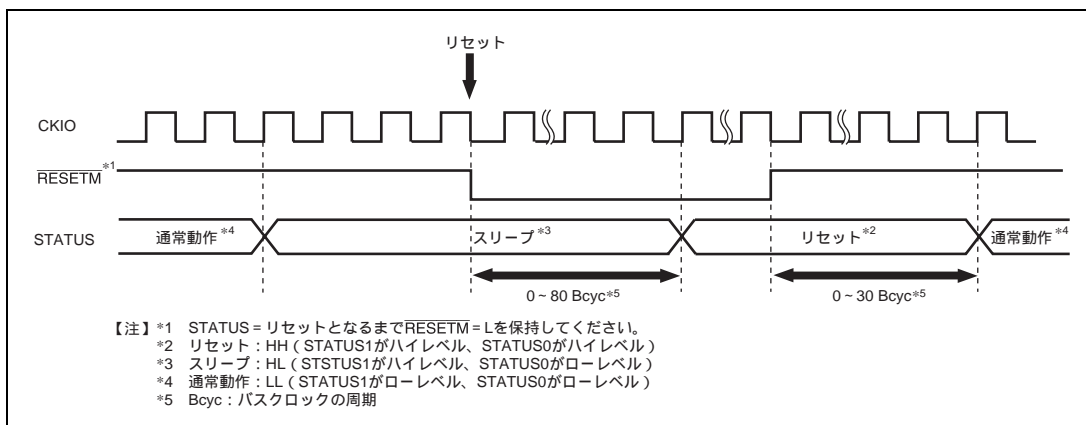


図 13.9 スリープ マニュアルリセットの STATUS 出力

## 13.8 ハードウェアスタンバイモード

### 13.8.1 ハードウェアスタンバイモードへの遷移

CA 端子をローレベルに設定することにより、ハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードでは、SLEEP 命令によって遷移するスタンバイモードと同様に、RTC クロックで動作するモジュール以外のすべてのモジュールが停止します。

ハードウェアスタンバイモードは、スタンバイモードと以下の点で異なります。

1. 割り込み、マニュアルリセットを受け付けません。
2. TMUは動作しません。
3. RTC電源端子以外の電源端子に給電しなくても、RTCは動作を継続します。

CA 端子にローレベルが入力されたときの動作は、CPG の状態によって次のようになります。

#### 4. スタンバイモード中

クロックは停止したまま、ハードウェアスタンバイ状態になります。

割り込み / マニュアルリセットの受け付けが禁止され、TMUが動作を停止します。

#### 5. スタンバイモードを割り込みで解除する際のWDT動作中

いったんスタンバイモードが解除されてCPUが動作を再開した後、ハードウェアスタンバイモードになります。

#### 6. スリープモード中

いったんスリープモードが解除されてCPUが動作を再開した後、ハードウェアスタンバイモードになります。

なお、ハードウェアスタンバイモード中は、CA 端子をローレベルに保ってください。

### 13.8.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードは、パワーオンリセットでのみ解除できます。

$\overline{\text{RESETP}}$  端子をローレベルにした状態で、CA 端子をハイレベルにすると、クロックが発振を開始します。このとき、 $\overline{\text{RESETP}}$  端子はクロックが発振が安定するまでローレベルを保持してください。この後  $\overline{\text{RESETP}}$  端子をハイレベルにすると、CPU がパワーオンリセット処理を開始します。

割り込みやマニュアルリセットを入れた場合の動作は保証しません。

### 13.8.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 13.10、図 13.11 に示します。

CA 端子は EXTAL\_RTC でサンプリングされているため、ハードウェアスタンバイモードへ遷移するときは、EXTAL\_RTC にクロックを入力してください。

CA 端子のローレベルは、ハードウェアスタンバイモード中は必ず保持してください。

$\overline{\text{RESETP}}$  端子をローレベルにした後、CA 端子をハイレベルにした時点でクロックが発振を開始します。

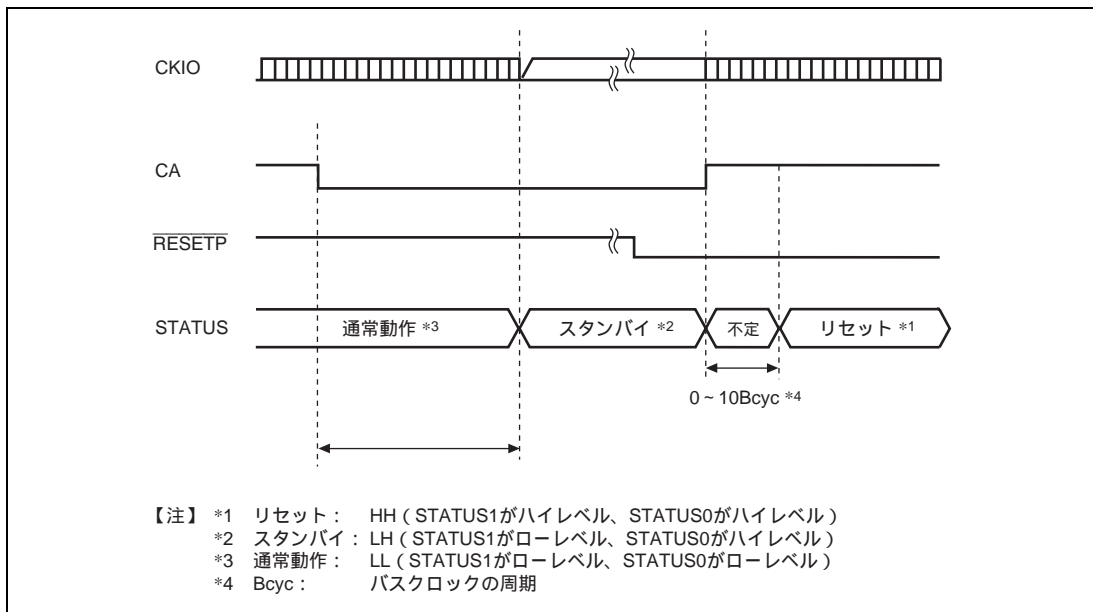


図 13.10 ハードウェアスタンバイモードのタイミング  
 (通常動作時に CA = ローレベルとなる場合)

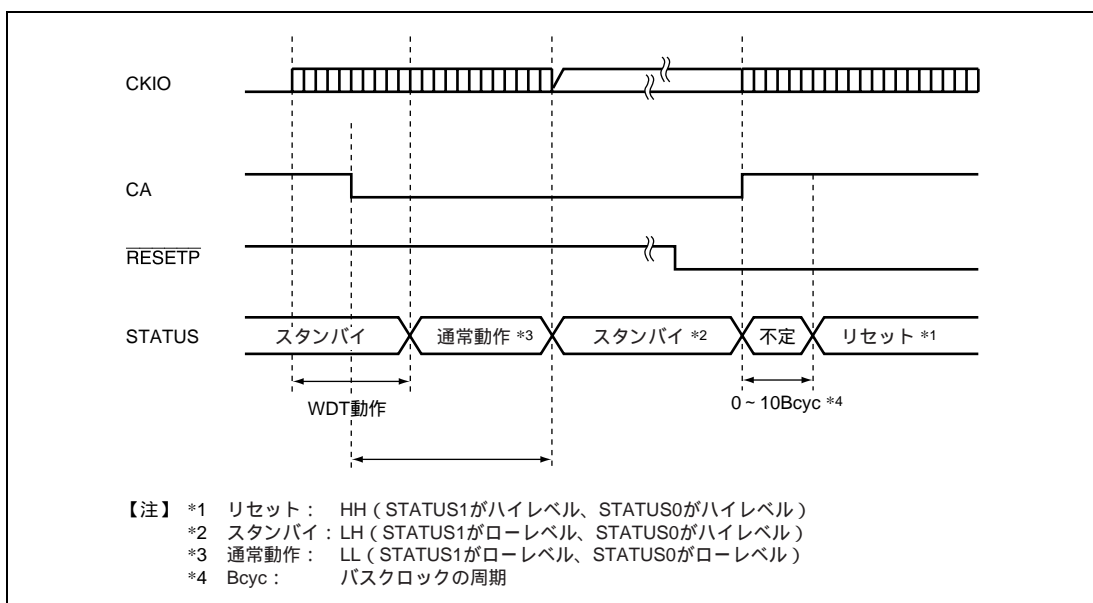
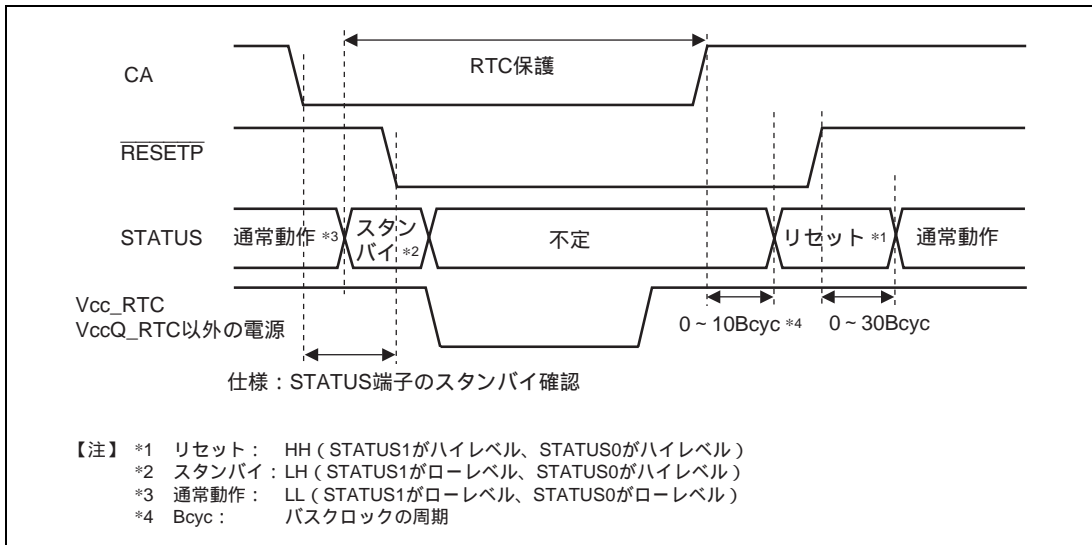


図 13.11 ハードウェアスタンバイモードのタイミング  
 (スタンバイモード解除での WDT 動作中に CA = ローレベルとなる場合)

図 13.12  $V_{cc\_RTC}$ 、 $V_{ccQ\_RTC}$  以外の電源 OFF 時のタイミング



---

## 14. タイマユニット (TMU)

---

本 LSI は、3 チャンネルの 32 ビットタイマにより構成されるタイマユニット (TMU) を内蔵しています。

### 14.1 特長

- オートリロード方式の32ビットダウンカウンタを搭載
- 任意の時点で書き込み / 読み出し可能な、オートリロード用の32ビットコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 32ビットダウンカウンタのアンダフローの発生で割り込み要求を発生 (H'00000000 H'FFFFFFFF)
- 各チャンネルとも、5種類のカウンタ入力クロックを選択可能  
P /4、P /16、P /64、P /256、RTC出力クロック (16kHz)
- 各チャンネルとも、本LSIがスタンバイモード時でも動作可能  
カウンタ入力クロックにRTC出力クロックを選択した場合、本LSIがスタンバイモード時でも動作可能

TMU のブロック図を図 14.1 に示します。

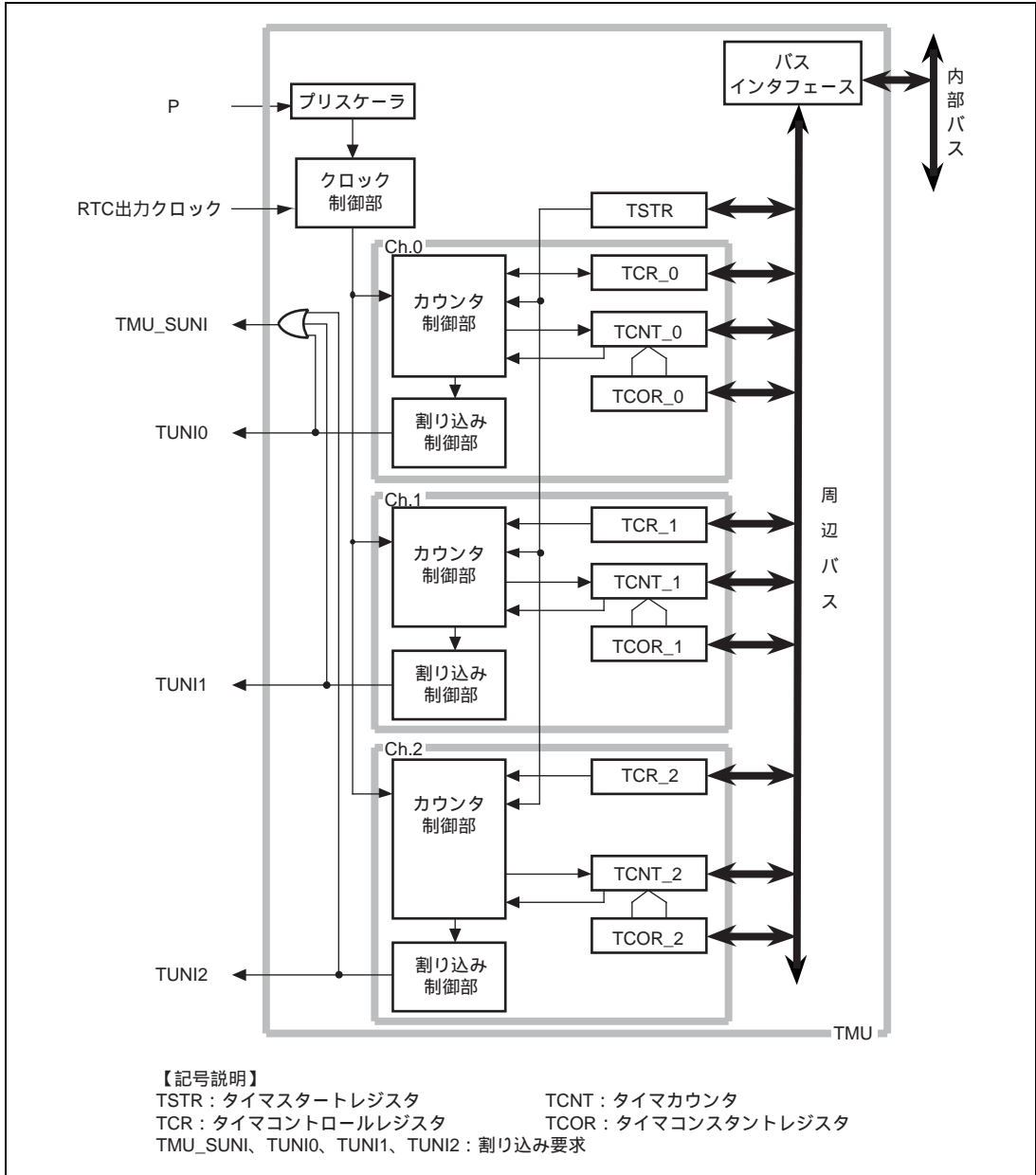


図 14.1 TMU のブロック図

## 14.2 レジスタの説明

TMU には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名については、チャンネル 0 の TCOR は TCOR\_0 のように表記しています。

### (1) 共通

- タイムスタートレジスタ (TSTR)

### (2) チャンネル 0

- タイムコンスタントレジスタ\_0 (TCOR\_0)
- タイムカウンタ\_0 (TCNT\_0)
- タイムコントロールレジスタ\_0 (TCR\_0)

### (3) チャンネル 1

- タイムコンスタントレジスタ\_1 (TCOR\_1)
- タイムカウンタ\_1 (TCNT\_1)
- タイムコントロールレジスタ\_1 (TCR\_1)

### (4) チャンネル 2

- タイムコンスタントレジスタ\_2 (TCOR\_2)
- タイムカウンタ\_2 (TCNT\_2)
- タイムコントロールレジスタ\_2 (TCR\_2)

### 14.2.1 タイマスタートレジスタ (TSTR)

TSTR は、タイマカウンタ (TCNT) を動作させるか、停止させるかを選択する、読み出し / 書き込み可能な 8 ビットのレジスタです。

TSTR は、パワーオンリセット、マニュアルリセットおよびモジュールストップ時に H'00 に初期化されます。スリープモードおよびスタンバイモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 タイマカウンタ 2 (TCNT_2) を動作させるか、停止させるかを選択します。 0 : TCNT_2 のカウント動作は停止 1 : TCNT_2 はカウント動作
1	STR1	0	R/W	カウンタスタート 1 タイマカウンタ 1 (TCNT_1) を動作させるか、停止させるかを選択します。 0 : TCNT_1 のカウント動作は停止 1 : TCNT_1 はカウント動作
0	STR0	0	R/W	カウンタスタート 0 タイマカウンタ 0 (TCNT_0) を動作させるか、停止させるかを選択します。 0 : TCNT_0 のカウント動作は停止 1 : TCNT_0 はカウント動作

### 14.2.2 タイマコントロールレジスタ (TCR)

TCR は TCNT カウンタの制御および割り込みの制御を行うレジスタで、読み出し / 書き込み可能な 16 ビットレジスタです。

TCR は、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生制御、カウンタクロック選択を行います。

TCR は、パワーオンリセットおよびマニュアルリセット時に H'0000 に初期化されます。スタンバイモードおよびスリープモード時は内容が保持されます。

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	UNF	0	R/(W)*	アンダフローフラグ TCNT のアンダフローを示すフラグです。 0 : TCNT がアンダフローを起こしていない 【クリア条件】 UNF に 0 を書き込んだとき 1 : TCNT がアンダフローを起こした 【セット条件】 TCNT がアンダフローを起こした
7	-	0	-	リザーブビット
6	-	0	-	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNT のアンダフローの発生を示すステータスフラグ UNF が 1 にセットされたときに割り込み発生を許可するかどうかを制御します。 0 : UNF による割り込み (TUNI) を禁止 1 : UNF による割り込み (TUNI) を許可
4	-	0	R	リザーブビット
3	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TPSC2	0	R/W	タイマプリスケラ 2~0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。
0	TPSC0	0	R/W	000 : P /4 でカウント 001 : P /16 でカウント 010 : P /64 でカウント 011 : P /256 でカウント 101 : RTC 出力クロック (16kHz) でカウント 上記以外は設定禁止

【注】 \* フラグをクリアするために 0 のみ書き込むことができます。

### 14.2.3 タイムコンスタントレジスタ (TCOR)

TCOR は、TCNT カウンタのアンダフローが発生したとき、TCNT カウンタにセットする値を指定します。

TCOR は、読み出し / 書き込み可能な 32 ビットレジスタです。

TCOR は、パワーオンリセットおよびマニュアルリセット時に H'FFFFFFF に初期化されます。スタンバイモードおよびスリープモード時は内容が保持されます。

### 14.2.4 タイムカウンタ (TCNT)

TCNT は、入力したクロックにより、カウントダウン動作を行います。入力するクロックは、タイムコントロールレジスタ (TCR) の TPSC2 ~ TPSC0 ビットにより選択します。

TCNT のカウントダウン動作の結果、アンダフロー (H'00000000 H'FFFFFFF) が発生すると、対応するチャンネルのタイムコントロールレジスタ (TCR) のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT カウンタ自体には、タイムコンスタントレジスタ (TCOR) の値がセットされ、セットされた値からカウントダウン動作を続けます。

TCNT は、パワーオンリセットおよびマニュアルリセット時に H'FFFFFFF に初期化されます。スタンバイモードおよびスリープモード時は内容が保持されます。

## 14.3 動作説明

各チャンネルには、32 ビットのタイムカウンタ (TCNT) と 32 ビットのタイムコンスタントレジスタ (TCOR) があります。TCNT カウンタは、ダウンカウント動作を行います。オートリロード機能によって、周期カウント動作が可能です。

### 14.3.1 カウンタの動作

タイムスタートレジスタ (TSTR) の STR0 ~ STR2 ビットを 1 にセットすると、対応するチャンネルのタイムカウンタ (TCNT) はカウント動作を開始します。TCNT カウンタがアンダフローすると対応するタイムコントロールレジスタ (TCR) の UNF フラグがセットされます。このとき、TCR レジスタの UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT カウンタには TCOR レジスタから値がコピーされ、ダウンカウント動作を継続します。

## (1) カウント動作の設定手順例

カウント動作の設定手順例を図 14.2 に示します。

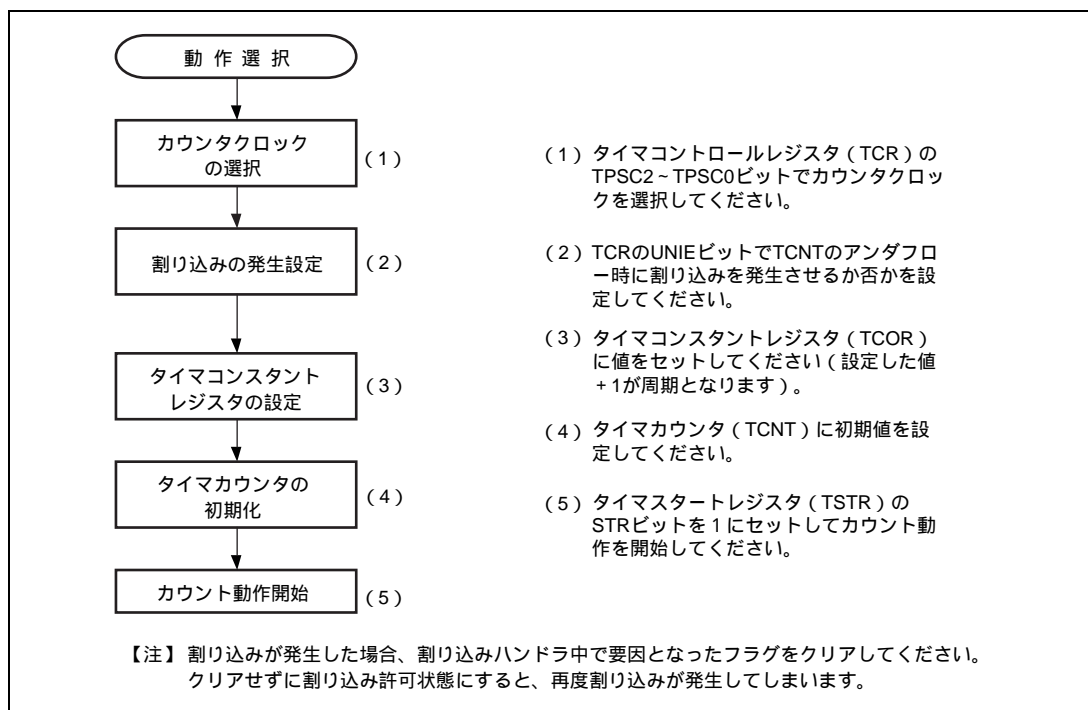


図 14.2 カウント動作設定手順例

## (2) オートリロードカウント動作

TCNT のオートリロード動作を、図 14.3 に示します。

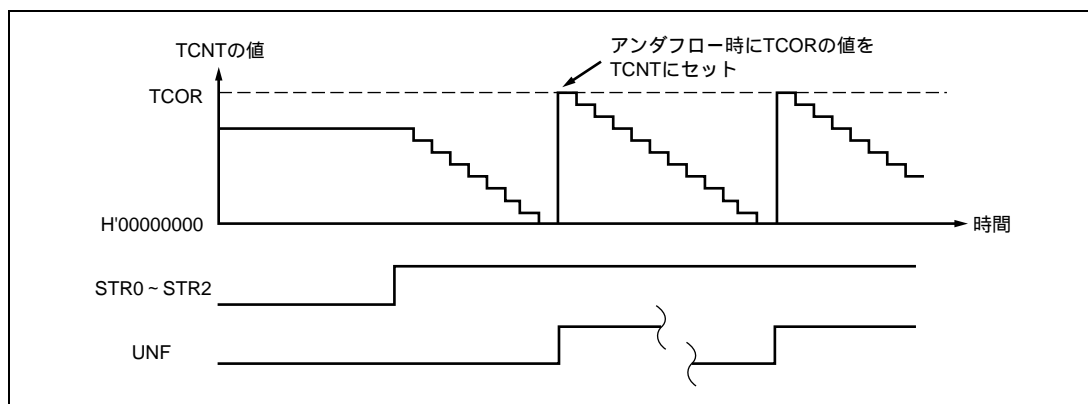


図 14.3 オートリロードカウンタの動作

## (3) TCNT のカウントタイミング

## 1. 内部クロック動作の場合

TCRレジスタのTPSC2～TPSC0ビットにより、周辺モジュール用クロックを分周した4種類のクロック (P /4、P /16、P /64、P /256) が選択できます。このときのタイミングを図14.4に示します。

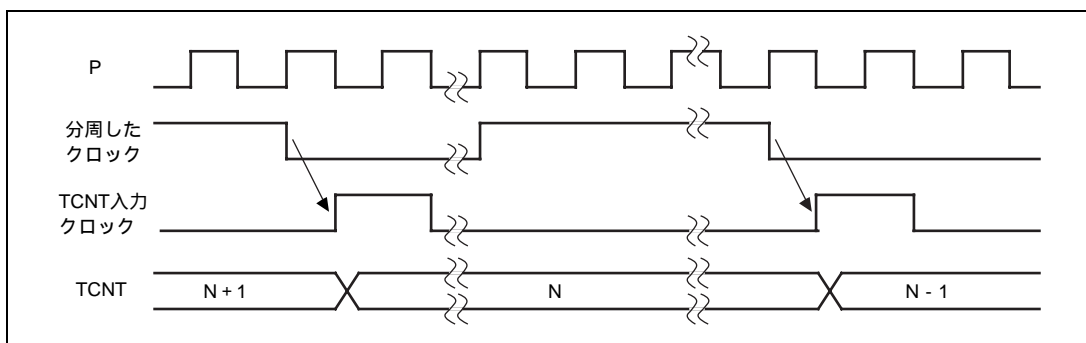


図 14.4 内部クロック動作時のカウントタイミング

## 2. 内蔵RTCクロック動作の場合

TCRレジスタのTPSC2～TPSC0ビットにより、タイマ用クロックとしてRTC出力クロックを選択できます。このときのタイミングを図14.5に示します。

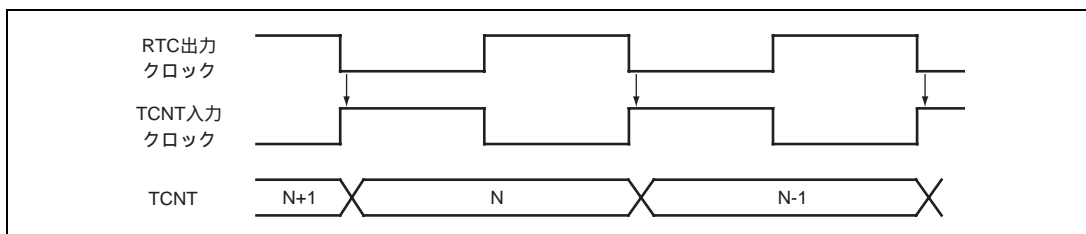


図 14.5 RTC クロック動作時のカウントタイミング



## 14.4 割り込み

TMU の割り込み要因は、アンダフロー割り込み (TUNI) です。

### 14.4.1 ステータスフラグのセットタイミング

UNF ビットは、TCNT カウンタがアンダフローしたときに 1 にセットされます。このときのタイミングを図 14.6 に示します。

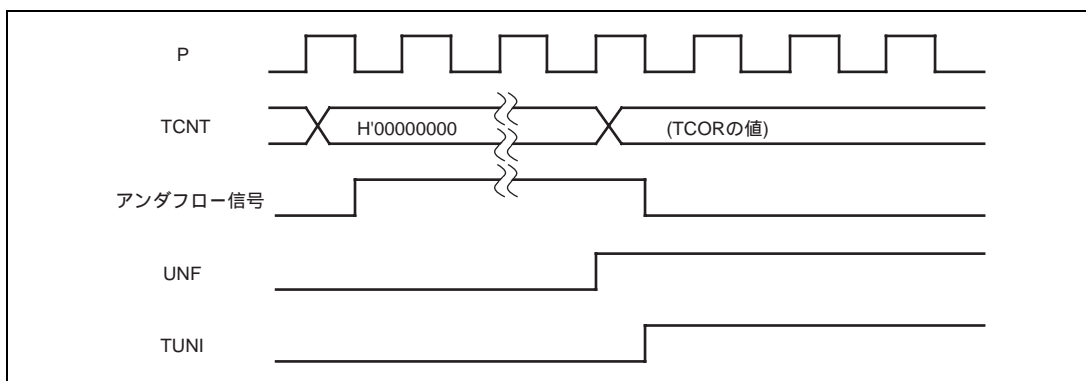


図 14.6 UNF のセットタイミング

### 14.4.2 ステータスフラグのクリアタイミング

ステータスフラグは CPU から 0 を書き込むとクリアされます。このときのタイミングを図 14.7 に示します。

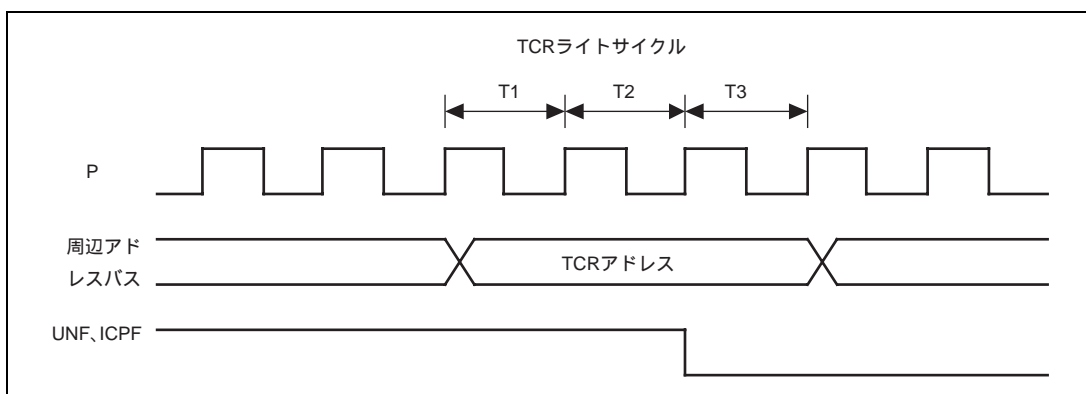


図 14.7 ステータスフラグのクリアタイミング

### 14.4.3 割り込み要因と優先順位

TMU は各チャンネルごとにアンダフロー割り込みを発生します。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき、当該割り込みが要求されます。これらの割り込みは、割り込み事象レジスタ (INTEVT、INTEVT2) にコードがセットされますので、そのコードに従って割り込み処理を行ってください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「第 7 章 例外処理」、  
「第 8 章 割り込みコントローラ (INTC)」を参照してください。

TMU の割り込み要因を表 14.1 に示します。

表 14.1 TMU の割り込み要因

チャンネル	割り込み要因	内 容	優先順位
0	TUNI0	アンダフロー割り込み 0	高 ↑ ↓ 低
1	TUNI1	アンダフロー割り込み 1	
2	TUNI2	アンダフロー割り込み 2	

また、TMU の各チャンネルごとのアンダフロー割り込みを OR した TMU\_SUNI により、ソフトウェアスタンバイモードを解除することができます(カウンタ入力クロックに RTC 出力クロックを選択した場合のみ有効です)。

TMU\_SUNI は、各チャンネルごとのアンダフロー割り込みとは別の割り込みとして割り込みコントローラ (INTC) で処理されます。したがって、各チャンネルごとのアンダフロー割り込みと TMU\_SUNI を使い分ける必要があります。

ソフトウェアスタンバイモードを解除するときは、INTC の割り込み優先レベル設定レジスタ D (IPRD) のビット 11~8 に任意の値を、割り込み優先レベル設定レジスタ A (IPRA) のビット 15~4 には H'000 を設定し、TMU\_SUNI のみが受け付けられるようにしてください。

また、TMU\_SUNI 割り込みルーチン内では、タイマコントロールレジスタ (TCR) のアンダフローフラグ (UNF) と INTC の割り込み要求レジスタ 0 (IRR0) の TMU\_SUNI 割り込み要求 (TMU\_SUNIR) の両方をクリアしてください。

通常動作時は、IPRD のビット 11~8 に H'0 を、IPRA のビット 15~4 には任意の値を設定し、各チャンネルごとのアンダフロー割り込みが受け付けられるようにしてください。詳細は「第 8 章 割り込みコントローラ (INTC)」を参照してください。

## 14.5 使用上の注意事項

### 14.5.1 レジスタの書き込みについて

レジスタの書き込み時に、タイマのカウンタ動作の同期処理は行っていません。レジスタの書き込みの際には、必ずタイマスタートレジスタ (TSTR) の該当チャネルのスタートビット (STR2~STR0) をクリアして、タイマのカウンタ動作を停止させてください。

### 14.5.2 レジスタの読み出しについて

レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み込み処理が同時に行われた場合は、同期処理により TCNT カウンタのカウンタダウン動作前の値が読み出されます。



---

## 15. 16ビットタイマパルスユニット (TPU)

---

本 LSI は、4 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

### 15.1 特長

TPU には次の特長があります。

- 最大4本のパルス出力が可能  
チャンネルも各4本、合計16本のタイマジェネラルレジスタ (TGRA ~ TGRD × 4ch) を持ち、TGRAはアウトプットコンペアの設定が可能  
各チャンネルのTGRB、TGRC、TGRDは、タイマカウンタクリア用レジスタとして、またTGRC、TGRDは、バッファレジスタとして使用可能
- チャンネル0、1は4種類、チャンネル2、3は6種類のカウント入力クロックを選択可能
- 各チャンネル毎に次の動作を設定可能  
コンペアマッチによる波形出力：0出力、1出力、トグル出力が選択可能  
カウンタクリア動作：コンペアマッチによるカウンタクリアが可能  
PWMモード：  
任意デューティのPWM出力が可能  
最大4相のPWM出力が可能
- 各チャンネルはバッファ動作を設定可能  
アウトプットコンペアレジスタの自動書き換えが可能
- チャンネル2、3は独立に位相計数モードを設定可能  
2相エンコーダパルスのアップダウンカウントが可能
- 各チャンネル1本の割り込み要求 (TPIn (n=0、1、2、3))  
チャンネル0、1はコンペアマッチ / オーバフロー割り込み要求の許可・禁止を要因ごとに独立に設定可能  
チャンネル2、3はコンペアマッチ / オーバフロー / アンダーフロー割り込み要求の許可・禁止を要因ごとに独立に設定可能

表 15.1 に TPU の機能一覧を示します。

表 15.1 TPU 機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3
カウントクロック	P / 1 P / 4 P / 16 P / 64	P / 1 P / 4 P / 16 P / 64	P / 1 P / 4 P / 16 P / 64 TPU_TI2A TPU_TI2B	P / 1 P / 4 P / 16 P / 64 TPU_TI3A TPU_TI3B
ジェネラルレジスタ	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	TGRC_1 TGRD_1	TGRC_2 TGRD_2	TGRC_3 TGRD_3
出力端子	TPU_TO0	TPU_TO1	TPU_TO2	TPU_TO3
カウンタクリア機能	TGR の コンペアマッチ	TGR の コンペアマッチ	TGR の コンペアマッチ	TGR の コンペアマッチ
コンペア	0 出力			
マッチ	1 出力			
出力	トグル出力			
PWM モード				
位相計数モード				
バッファ動作				
割り込み要因	5 要因 コンペアマッチ / オーバフロー 兼用	5 要因 コンペアマッチ / オーバフロー 兼用	6 要因 コンペアマッチ / オーバフロー / アンダフロー 兼用	6 要因 コンペアマッチ / オーバフロー / アンダフロー 兼用

【注】 : 可能、- : 不可

TPU\_TI2B, TPU\_TI3B は位相計数モード時のみカウントクロックとして使用します。

TPU のブロック図を図 15.1 に示します。

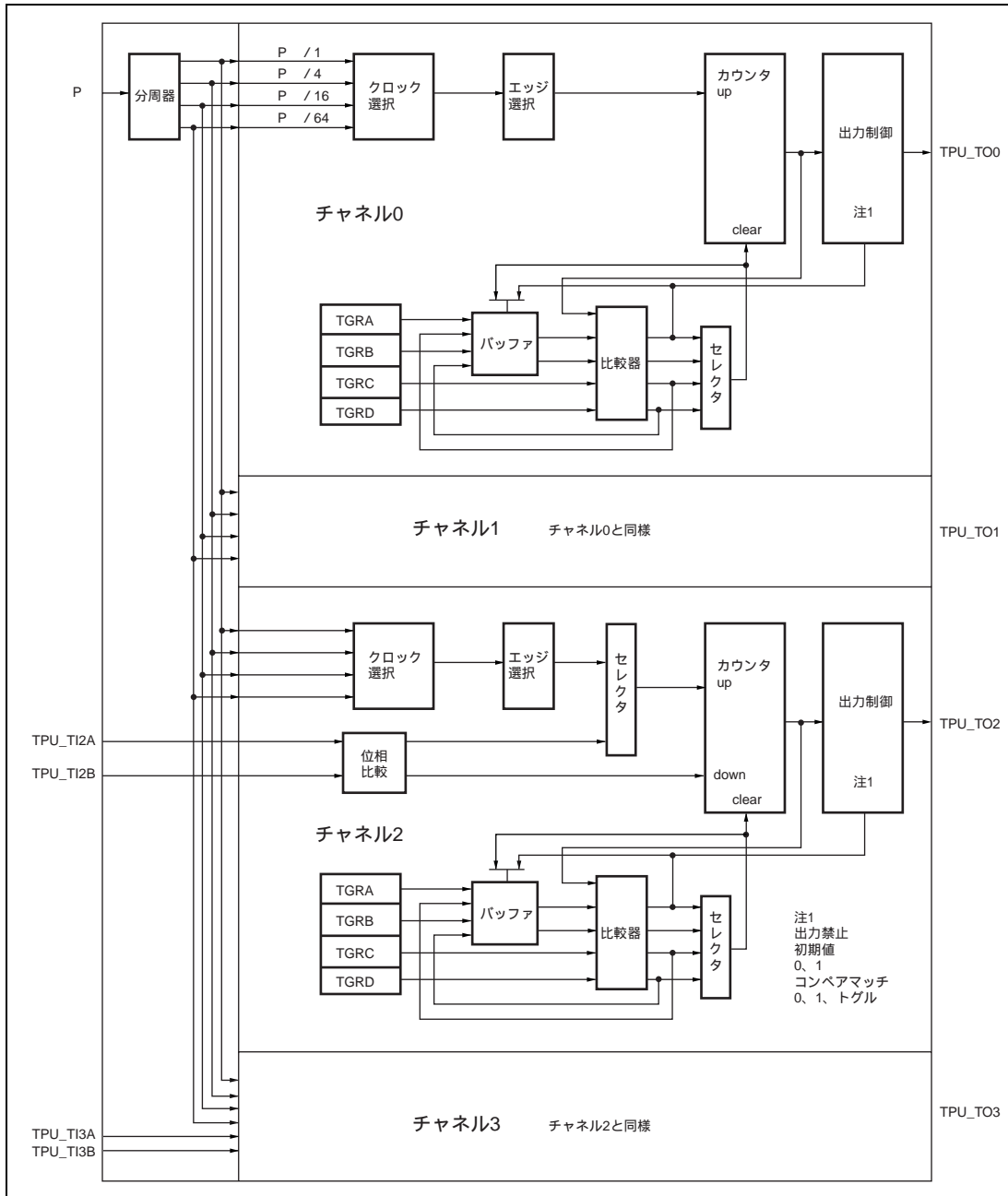


図 15.1 TPU のブロック図

## 15.2 入出力端子

TPU 関係の外部端子を表 15.2 に示します。

表 15.2 TPU の端子構成

チャンネル	名 称	端子名	入出力	機 能
0	TPU アウトプット コンペアマッチ出力 0	TPU_TO0	出力	TGR0A のアウトプットコンペア出力 / PWM 出力端子
1	TPU アウトプット コンペアマッチ出力 1	TPU_TO1	出力	TGR1A のアウトプットコンペア出力 / PWM 出力端子
2	TPU アウトプット コンペアマッチ出力 2A	TPU_TO2	出力	TGR2A のアウトプットコンペア出力 / PWM 出力端子
	TPU クロック入力 2A	TPU_TI2A	入力	外部クロックチャンネル 2A 入力端子 / チャンネル 2 位相計数モード A 相入力
	TPU クロック入力 2B	TPU_TI2B	入力	チャンネル 2 位相計数モード B 相入力
3	TPU アウトプット コンペアマッチ出力 3A	TPU_TO3	出力	TGR3A のアウトプットコンペア出力 / PWM 出力端子
	TPU クロック入力 3A	TPU_TI3A	入力	外部クロックチャンネル 3A 入力端子 / チャンネル 3 位相計数モード A 相入力
	TPU クロック入力 3B	TPU_TI3B	入力	チャンネル 3 位相計数モード B 相入力



### 15.3 レジスタの説明

TPU には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。

#### チャンネル 0

- タイマコントロールレジスタ\_0 (TCR\_0)
- タイマモードレジスタ\_0 (TMDR\_0)
- タイマI/Oコントロールレジスタ\_0 (TIOR\_0)
- タイマインタラプトイネーブルレジスタ\_0 (TIER\_0)
- タイマステータスレジスタ\_0 (TSR\_0)
- タイマカウンタ\_0 (TCNT\_0)
- タイマジェネラルレジスタA\_0 (TGRA\_0)
- タイマジェネラルレジスタB\_0 (TGRB\_0)
- タイマジェネラルレジスタC\_0 (TGRC\_0)
- タイマジェネラルレジスタD\_0 (TGRD\_0)

#### チャンネル 1

- タイマコントロールレジスタ\_1 (TCR\_1)
- タイマモードレジスタ\_1 (TMDR\_1)
- タイマI/Oコントロールレジスタ\_1 (TIOR\_1)
- タイマインタラプトイネーブルレジスタ\_1 (TIER\_1)
- タイマステータスレジスタ\_1 (TSR\_1)
- タイマカウンタ\_1 (TCNT\_1)
- タイマジェネラルレジスタA\_1 (TGRA\_1)
- タイマジェネラルレジスタB\_1 (TGRB\_1)
- タイマジェネラルレジスタC\_1 (TGRC\_1)
- タイマジェネラルレジスタD\_1 (TGRD\_1)

#### チャンネル 2

- タイマコントロールレジスタ\_2 (TCR\_2)
- タイマモードレジスタ\_2 (TMDR\_2)
- タイマI/Oコントロールレジスタ\_2 (TIOR\_2)
- タイマインタラプトイネーブルレジスタ\_2 (TIER\_2)
- タイマステータスレジスタ\_2 (TSR\_2)
- タイマカウンタ\_2 (TCNT\_2)
- タイマジェネラルレジスタA\_2 (TGRA\_2)

- タイマジェネラルレジスタB\_2 (TGRB\_2)
- タイマジェネラルレジスタC\_2 (TGRC\_2)
- タイマジェネラルレジスタD\_2 (TGRD\_2)

#### チャンネル3

- タイマコントロールレジスタ\_3 (TCR\_3)
- タイマモードレジスタ\_3 (TMDR\_3)
- タイマI/Oコントロールレジスタ\_3 (TIOR\_3)
- タイマインタラプトイネーブルレジスタ\_3 (TIER\_3)
- タイマステータスレジスタ\_3 (TSR\_3)
- タイマカウンタ\_3 (TCNT\_3)
- タイマジェネラルレジスタA\_3 (TGRA\_3)
- タイマジェネラルレジスタB\_3 (TGRB\_3)
- タイマジェネラルレジスタC\_3 (TGRC\_3)
- タイマジェネラルレジスタD\_3 (TGRD\_3)
- タイマスタートレジスタ (TSTR)

### 15.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御する 16 ビットのレジスタです。TPU には、チャンネル 0~3 に各 1 本、計 4 本の TCR があります。TCR は、リセット時に H'0000 に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説 明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
7 6 5	CCLR2 CCLR1 CCLR0	0 0 0	R/W R/W R/W	カウンタクリア 2~0 TCNT のクリア要因を選択します。 000 : TCNT のクリア禁止 001 : TGRA のコンペアマッチで TCNT クリア 010 : TGRB のコンペアマッチで TCNT クリア 011 : 予約 (設定しないでください) 100 : TCNT のクリア禁止 101 : TGRC のコンペアマッチで TCNT クリア 110 : TGRD のコンペアマッチで TCNT クリア 111 : 予約 (設定しないでください)
4 3	CKEG1 CKEG0	0 0	R/W R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります。(例 : P /4 の両エッジ=P /2 の立ち上がりエッジ)。位相計数モードを設定した場合、本設定は機能しません。 00 : 立ち上がりエッジでカウント 01 : 立ち下がりエッジでカウント* 1X : 両エッジでカウント* 【記号説明】 X : Don't care 【注】* 入力クロックに P /1 を選択した場合、動作しません。
2 1 0	TPSC2 TPSC1 TPSC0	0 0 0	R/W R/W R/W	タイマプリスケラ 2~0 TCNT のカウントクロックを選択します。各チャンネル独立にクロックソースを選択することができます。表 15.3 に各チャンネルごとに設定可能なクロックソース一覧を示します。またカウントクロック選択の詳細は表 15.4 を参照してください。

表 15.3 TPU のクロックソース一覧

チャンネル	内部クロック				外部クロック	
	P / 1	P / 4	P / 16	P / 64	TPU_TI2A	TPU_TI3A
0						
1						
2						
3						

【注】 : 設定あり、空欄 : 設定なし

表 15.4 TPSC2 ~ TPSC0 (1)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : P / 1 でカウント (初期値)
			1	内部クロック : P / 4 でカウント
		1	0	内部クロック : P / 16 でカウント
			1	内部クロック : P / 64 でカウント
	1	*	*	予約 (設定しないでください)

表 15.4 TPSC2 ~ TPSC0 (2)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : P / 1 でカウント (初期値)
			1	内部クロック : P / 4 でカウント
		1	0	内部クロック : P / 16 でカウント
			1	内部クロック : P / 64 でカウント
	1	*	*	予約 (設定しないでください)

表 15.4 TPSC2 ~ TPSC0 (3)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : P / 1 でカウント (初期値)
			1	内部クロック : P / 4 でカウント
		1	0	内部クロック : P / 16 でカウント
			1	内部クロック : P / 64 でカウント
	1	0	0	外部クロック : TPU_TI2A 端子入力でカウント
			1	予約 (設定しないでください)
		1	*	*

表 15.4 TPSC2 ~ TPSC0 (4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : P / 1 でカウント (初期値)
			1	内部クロック : P / 4 でカウント
		1	0	内部クロック : P / 16 でカウント
			1	内部クロック : P / 64 でカウント
	1	0	0	外部クロック : TPU_TI3A 端子入力でカウント
			1	予約 (設定しないでください)
	1	*		

【注】 \* Don't care

### 15.3.2 タイマモードレジスタ (TMDR)

TMDR は 16 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 4 本の TMDR があります。TMDR は、リセット時に H'0000 に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
6	BFWT	0	R/W	バッファライトタイミング TGRC、TGRD をコンペアマッチバッファ動作させた場合、TGRA、TGRB の更新タイミングを設定します。TGRC、TGRD をコンペアマッチバッファレジスタとして使わない場合、本ビットは機能しません。 0 : TGRA、TGRB は、各レジスタのコンペアマッチ時に書き換え 1 : TGRA、TGRB はカウンタクリア時に書き換え
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。 0 : TGRB 通常動作 1 : TGRB と TGRD はバッファ動作*
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット	ビット名	初期値	R/W	説明
2	MD2	0	R/W	モード 2~0 MD2~MD0 はタイマの動作モードを設定します。 000 : 通常動作 001 : 予約 (設定しないでください) 010 : PWM モード 011 : 予約 (設定しないでください) 100 : 位相計数モード 1 101 : 位相計数モード 2 110 : 位相計数モード 3 111 : 位相計数モード 4
1	MD1	0	R/W	
0	MD0	0	R/W	

【注】 \* (BFWT、BFB、BFA) = (1、1、0) と設定した場合、(BFWT、BFB、BFA) = (1、0、1) と設定した場合と同じ動作をします。ただし、BFB ビット = 1 (TGRB と TGRD はバッファ動作) を設定する場合は、(BFWT、BFB、BFA) = (1、1、1) を設定してください。またこの場合、TGRA と TGRC もバッファ動作をするため、TGRC には TGRA と同じ値を設定してください。

### 15.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TPU\_TO 端子を制御する 16 ビットのレジスタです。TPU には、各チャンネルに 1 本、計 4 本の TIOR があります。TIOR はリセット時に H'0000 に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

TIOR の設定は、TCNT の動作が停止した状態で行ってください。

TIOR は TMDR の設定により影響を受けますので注意してください。

カウント動作を途中で停止した場合、TPU\_TO 端子の出力は本レジスタで設定した初期値になります。

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2	IOA2	0	R/W	I/O コントロール A2~0 IOA3~IOA0 は TPU_TO 端子と TGRA の機能を設定します。詳細は表 15.5 を参照してください。
1	IOA1	0	R/W	
0	IOA0	0	R/W	

表 15.5 IOA2~IOA0

チャンネル	ビット2	ビット1	ビット0	説明		
	IOA2	IOA1	IOA0			
0~3	0	0	0	常に0出力(初期値)		
			1	TPU_TO 端子の初期出力は0出力	TGRA のコンペアマッチで0出力*	
		1	0	TGRA のコンペアマッチで1出力		
	1	0	0	0	常に1出力	
				1	TPU_TO 端子の初期出力は1出力	TGRA のコンペアマッチで0出力
			1	0	TGRA のコンペアマッチで1出力*	
		1	0	0	常に1出力	
				1	TPU_TO 端子の初期出力は1出力	TGRA のコンペアマッチで0出力
			1	0	TGRA のコンペアマッチで1出力*	

【注】 \* PWM モード時、本設定にしないでください。

### 15.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は 16 ビットのレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネル1本、計4本のTIERがあります。TIERは、リセット時にH'0000に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
5	TC1EU	0	R/W	アンダフローインタラプトイネーブル チャンネル2、3の位相計数モードでTSRのTCFUフラグが1にセットされたとき(TCNTのアンダフロー発生)、TCFUフラグによる割り込み要求を許可または禁止します。 チャンネル0、1では予約ビットです。読み出すと常に0が読み出されます。書き込みは無効です。 0: TCFU による割り込み要求を許可 1: TCFU による割り込み要求を禁止
4	TC1EV	0	R/W	オーバフローインタラプトイネーブル TSRのTCFVフラグが1にセットされたとき(TCNTのオーバフロー発生)、TCFVフラグによる割り込み要求を許可または禁止します。 0: TCFV による割り込み要求を禁止 1: TCFV による割り込み要求を許可
3	TG1ED	0	R/W	TGRインタラプトイネーブルD TSRのTGFDビットが1にセットされたとき(TCNTとTGRDのコンペアマッチ発生)、TGFDビットによる割り込み要求を許可または禁止します。 0: TGFD ビットによる割り込み要求を禁止 1: TGFD ビットによる割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
2	TG1EC	0	R/W	TGR インタラプティネーブル C TSR の TGFC ビットが 1 にセットされたとき (TCNT と TGRC のコンペアマッチ発生)、TGFC ビットによる割り込み要求を許可または禁止します。 0 : TGFC ビットによる割り込み要求を禁止 1 : TGFC ビットによる割り込み要求を許可
1	TG1EB	0	R/W	TGR インタラプティネーブル B TSR の TGFB ビットが 1 にセットされたとき (TCNT と TGRB のコンペアマッチ発生)、TGFB ビットによる割り込み要求を許可または禁止します。 0 : TGFB ビットによる割り込み要求を禁止 1 : TGFB ビットによる割り込み要求を許可
0	TG1EA	0	R/W	TGR インタラプティネーブル A TSR の TGFA ビットが 1 にセットされたとき (TCNT と TGRA のコンペアマッチ発生)、TGFA ビットによる割り込み要求を許可または禁止します。 0 : TGFA ビットによる割り込み要求を禁止 1 : TGFA ビットによる割り込み要求を許可

### 15.3.5 タイマステータスレジスタ (TSR)

TSR は 16 ビットのレジスタで、各チャンネルのステータスの表示を行います。TPU には、各チャンネル 1 本、計 4 本の TSR があります。TSR は、リセット時に H'0000 に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
7	TCFD	0	R	カウント方向フラグ チャンネル 2、3 が位相計数モードのとき、TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、1 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込みは無効です。 0 : TCNT はアップカウント 1 : TCNT はダウンカウント
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。



ビット	ビット名	初期値	R/W	説明
5	TCFU	0	R/(W)*	<p>アンダフローフラグ</p> <p>チャンネル 2、3 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。</p> <p>チャンネル 0、1 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込みは無効です。</p> <p>[クリア条件] (初期値)</p> <p>TCFU = 1 の状態で TCFU を読み出し後、TCFU に 0 を書き込んだとき</p> <p>[セット条件]</p> <p>TCNT の値がアンダフロー (H'0000 H'FFFF) したとき</p>
4	TCFV	0	R/(W)*	<p>オーバフローフラグ</p> <p>TCNT のオーバフローの発生を示すステータスフラグです。</p> <p>[クリア条件]</p> <p>TCFV = 1 の状態で TCFV を読み出し後、TCFV に 0 を書き込んだとき</p> <p>[セット条件]</p> <p>TCNT の値がオーバフロー (H'FFFF H'0000) したとき</p>
3	TGFD	0	R/(W)*	<p>コンペアフラグ D</p> <p>TGRD のコンペアマッチの発生を示すステータスフラグです。</p> <p>[クリア条件]</p> <p>TGFD = 1 の状態で TGFD を読み出し後、TGFD に 0 を書き込んだとき</p> <p>[セット条件]</p> <p>TCNT = TGRD になったとき</p>
2	TGFC	0	R/(W)*	<p>コンペアフラグ C</p> <p>TGRC のコンペアマッチの発生を示すステータスフラグです。</p> <p>[クリア条件]</p> <p>TGFC = 1 の状態で TGFC を読み出し後、TGFC に 0 を書き込んだとき</p> <p>[セット条件]</p> <p>TCNT = TGRC になったとき</p>
1	TGFB	0	R/(W)*	<p>コンペアフラグ B</p> <p>TGRB のコンペアマッチの発生を示すステータスフラグです。</p> <p>[クリア条件]</p> <p>TGFB = 1 の状態で TGFB を読み出し後、TGFB に 0 を書き込んだとき</p> <p>[セット条件]</p> <p>TCNT = TGRB になったとき</p>
0	TGFA	0	R/(W)*	<p>アウトプットコンペアフラグ A</p> <p>TGRA のコンペアマッチの発生を示すステータスフラグです。</p> <p>[クリア条件]</p> <p>TGFA = 1 の状態で TGFA を読み出し後、TGFA に 0 を書き込んだとき</p> <p>[セット条件]</p> <p>TCNT = TGRA になったとき</p>

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。

### 15.3.6 タイマカウンタ (TCNT)

TCNTは16ビットの読み出し/書き込み可能なカウンタです。各チャンネルに1本、計4本のTCNTがあります。TCNTは、リセット時にH'0000に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

### 15.3.7 タイマジェネラルレジスタ (TGR)

TGRは16ビットのレジスタです。各チャンネルに4本、計16本のジェネラルレジスタがあります。TGRCとTGRDは、バッファレジスタとして動作設定することができます\*。TGRはリセット時にH'FFFFに初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

【注】 \* TGRとバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRDになります。

### 15.3.8 タイマスタートレジスタ (TSTR)

TSTRは16ビットの読み出し/書き込み可能なレジスタで、チャンネル0~3のTCNTの動作/停止を選択します。TSTRはリセット時にH'0000に初期化されます。スタンバイモード、スリープモード、モジュールスタンバイでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
3	CST3	0	R/W	カウンタスタート3~0
2	CST2	0	R/W	TCNTの動作または停止を選択します。
1	CST1	0	R/W	0: TCNTnのカウンタ動作は停止
0	CST0	0	R/W	1: TCNTnはカウンタ動作 【記号説明】n=3~0

## 15.4 動作説明

### 15.4.1 概要

各モードの動作概要を以下に示します。

#### (1) 通常動作

各チャンネルには、TCNT と TGR があります。TCNT はアップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

#### (2) バッファ動作

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR に転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

#### (3) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR により設定できます。

TGRA、TGRB の設定により、デューティ 0~100% の PWM 波形が出力できます。

#### (4) 位相計数モード

チャンネル 2、3 で外部クロック入力端子 (TPU\_TI2A と TPU\_TI2B または TPU\_TI3A と TPU\_TI3B) から入力される 2 つのクロックの位相を検出して、TCNT をアップ/ダウンさせるモードです。位相計数モードに設定すると、対応する TI 端子はクロック入力となり、また TCNT はアップ/ダウンカウント動作を行います。

2 相エンコーダパルスの入力として使用できます。

## 15.4.2 基本機能

### (1) カウンタの動作

TSTR の CST0 ~ CST3 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

#### (a) カウント動作の設定手順例

カウント動作の設定手順例を図 15.2 に示します。

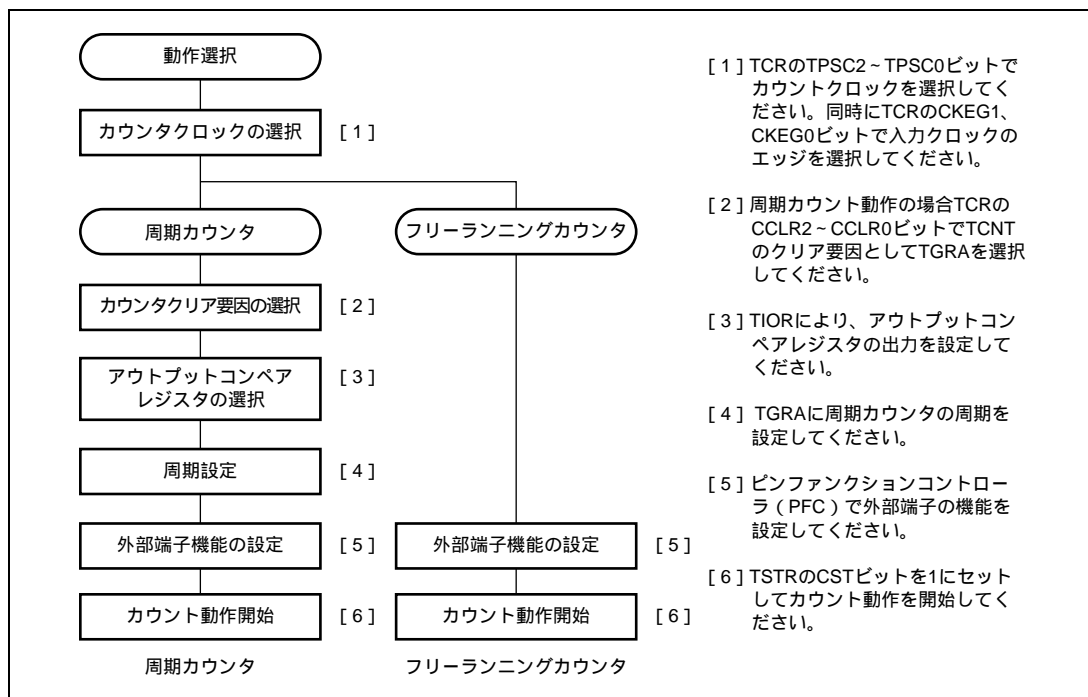


図 15.2 カウンタ動作設定手順例

### (b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNT がオーバーフロー (H'FFFF H'0000) すると、TSR の TCFV ビットが 1 にセットされます。TCNT はオーバーフロー後、H'0000 からアップカウンタ動作を継続します。

フリーランニングカウンタの動作を図 15.3 に示します。

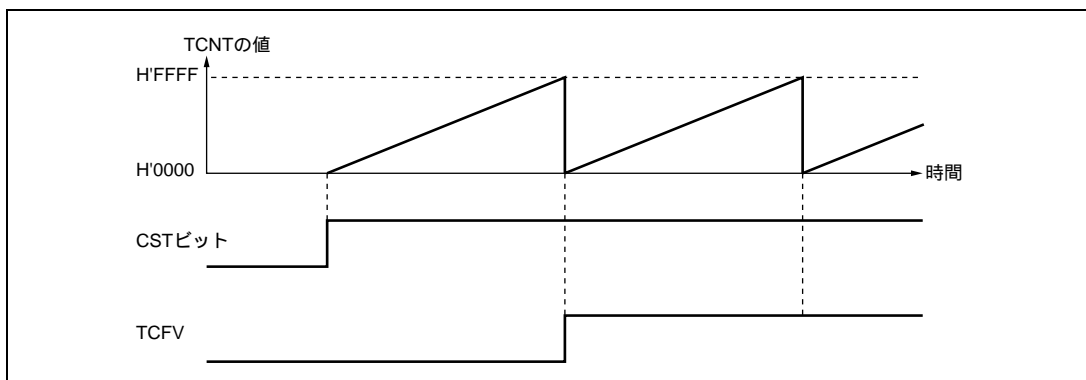


図 15.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 15.4 に示します。

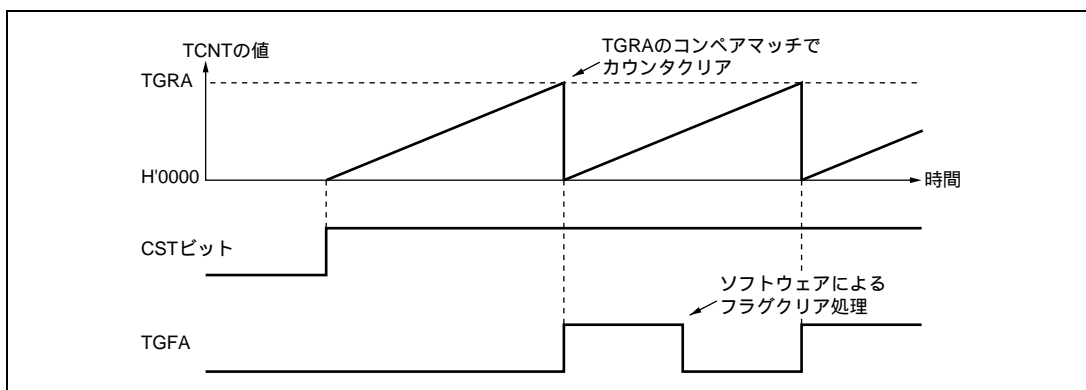


図 15.4 周期カウンタの動作

## (2) コンペアマッチによる波形出力機能

TPU は、TGRA のコンペアマッチにより出力端子 (TPU\_TO 端子) から 0 出力 / 1 出力 / トグル出力を行うことができます。

## (a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 15.5 に示します。

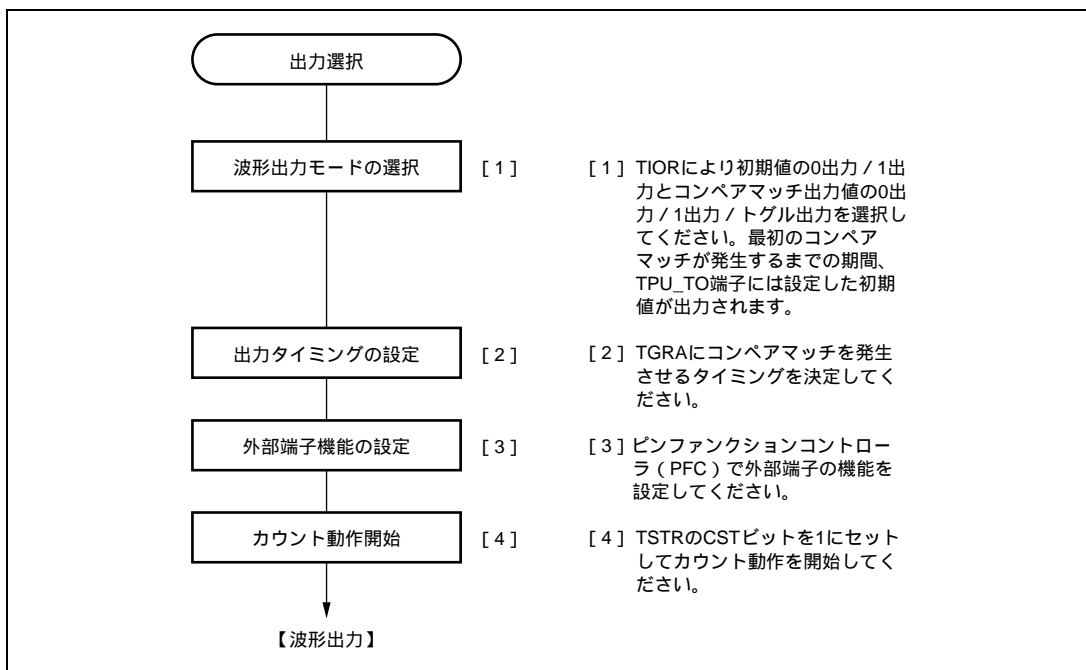


図 15.5 コンペアマッチによる波形出力動作例

## (b) 波形出力動作例

0 出力 / 1 出力を図 15.6 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力となるように設定した場合と、0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

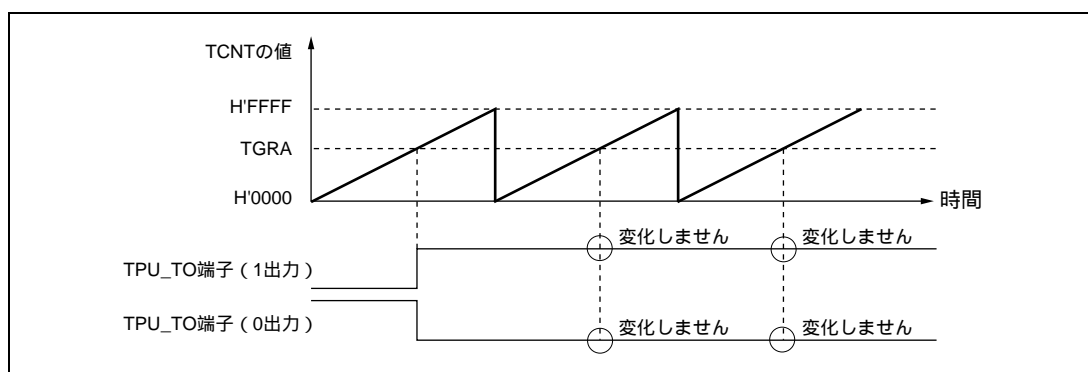


図 15.6 0 出力 / 1 出力の動作例

トグル出力の例を図 15.7 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A によりトグル出力となるように設定した場合の例です。

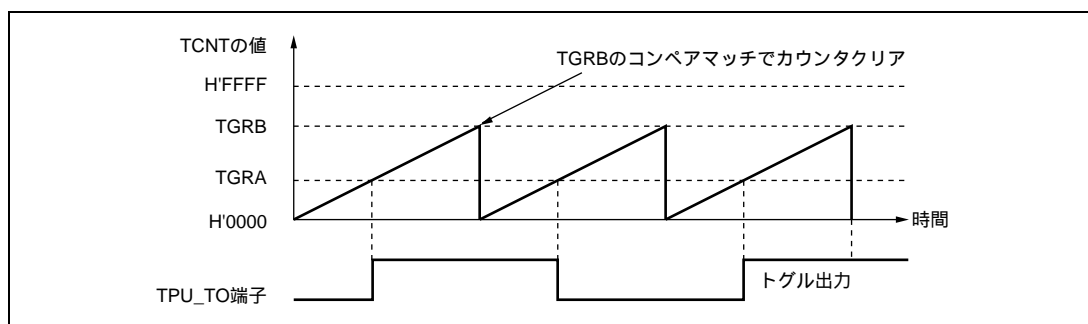


図 15.7 トグル出力の動作例

### 15.4.3 バッファ動作

バッファ動作は、TGRC と TGRD をバッファレジスタとして使用することができます。

表 15.6 にバッファ動作時のレジスタの組み合わせを示します。

表 15.6 レジスタの組み合わせ

タイマジェネラルレジスタ	バッファレジスタ
TGRA	TGRC
TGRB	TGRD

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

この動作を図 15.8 に示します。

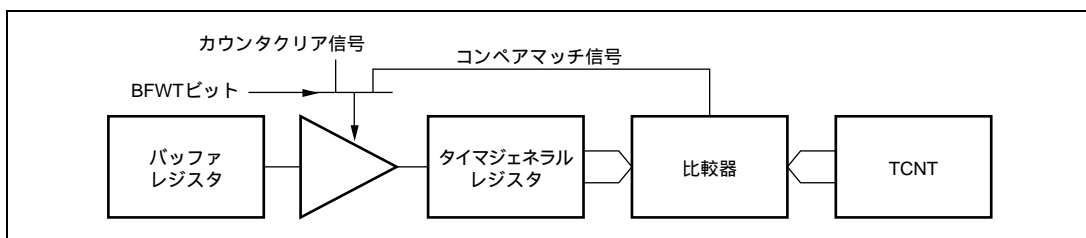


図 15.8 コンペアマッチバッファ動作

#### (1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 15.9 に示します。

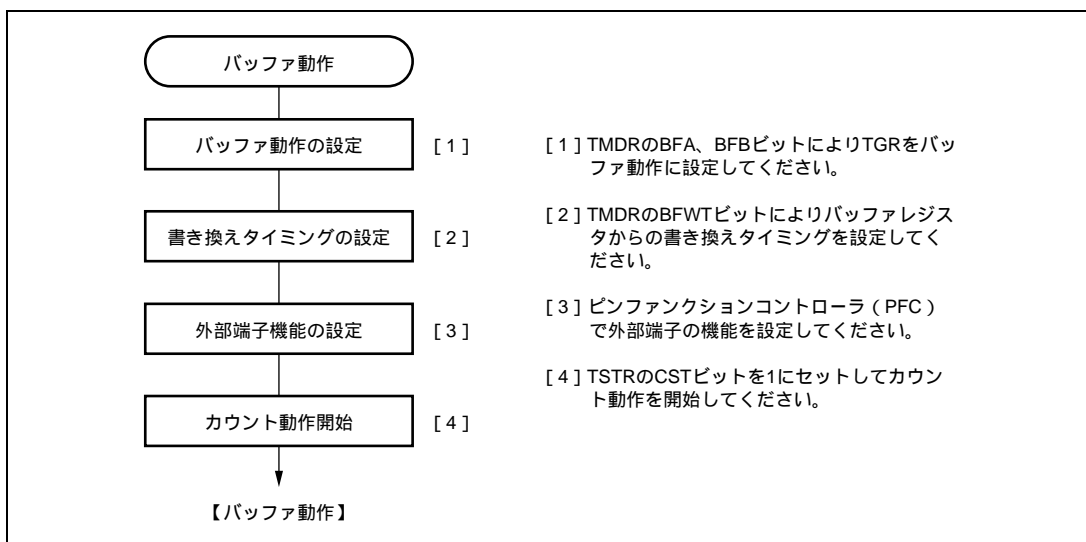


図 15.9 バッファ動作の設定手順例

#### (2) バッファ動作例

チャンネル0をPWMモードに設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図 15.10 に示します。TCNTはコンペアマッチBによりクリア、出力 (TPU\_TO 端子) はコンペアマッチAで1出力、カウンタクリアで初期値0出力、バッファレジスタからの書き換えタイミングはカウンタクリア時に設定した例です。



コンペアマッチ A が発生すると出力を変化させます。TGRB によってカウンタクリアが発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「15.4.4 PWM モード」を参照してください。

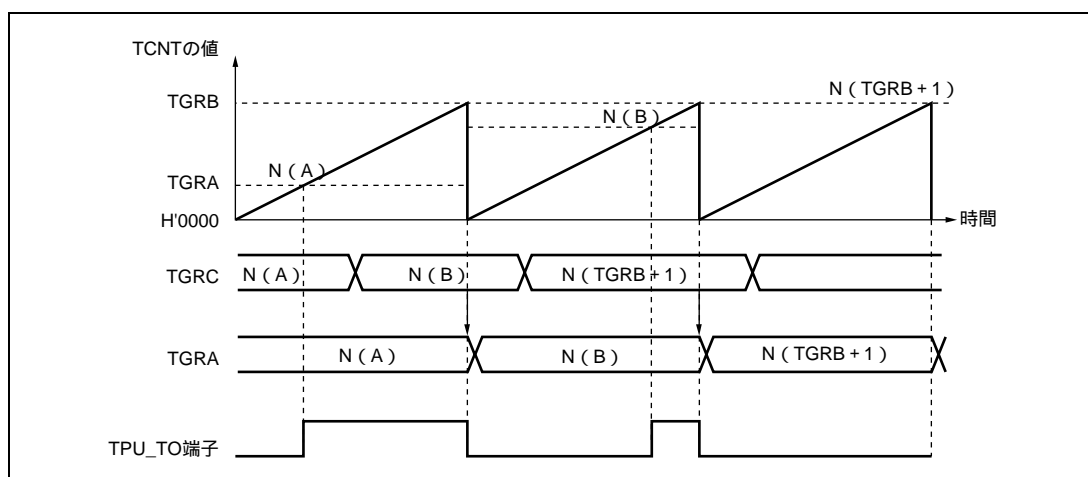


図 15.10 バッファ動作例

#### 15.4.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。TGRA のコンペアマッチによる出力レベルは 0 出力 / 1 出力の中から選択可能です。

TGRB のコンペアマッチをカウンタクリア要因とすることにより、周期を設定することができます。全チャンネル独立に PWM モードに設定できます。

TGRA をデューティレジスタ、TGRB を周期レジスタに使用して、TPU\_TO 端子から PWM 出力を生成します。周期レジスタのコンペアマッチによるカウンタクリアで TPU\_TO 端子の出力値は TIOR で設定した初期出力が出力されます。必ず TIOR の設定は、初期出力とコンペアマッチによる出力値が異なった出力となるように設定してください。同じレベルやトグル出力を選択した場合、動作しません。

デューティ 0%と 100%の条件を以下に示します。

- デューティ 0% : 周期レジスタ (TGRB) に対してデューティレジスタ (TGRA) の設定値を  $TGRB + 1$  にした場合
- デューティ 100% : デューティレジスタ (TGRA) の設定値が 0 の場合

PWM モードでは、最大 4 相の PWM 出力が可能です。

## (1) PWM モードの設定手順例

PWM モードの設定手順例を図 15.11 に示します。

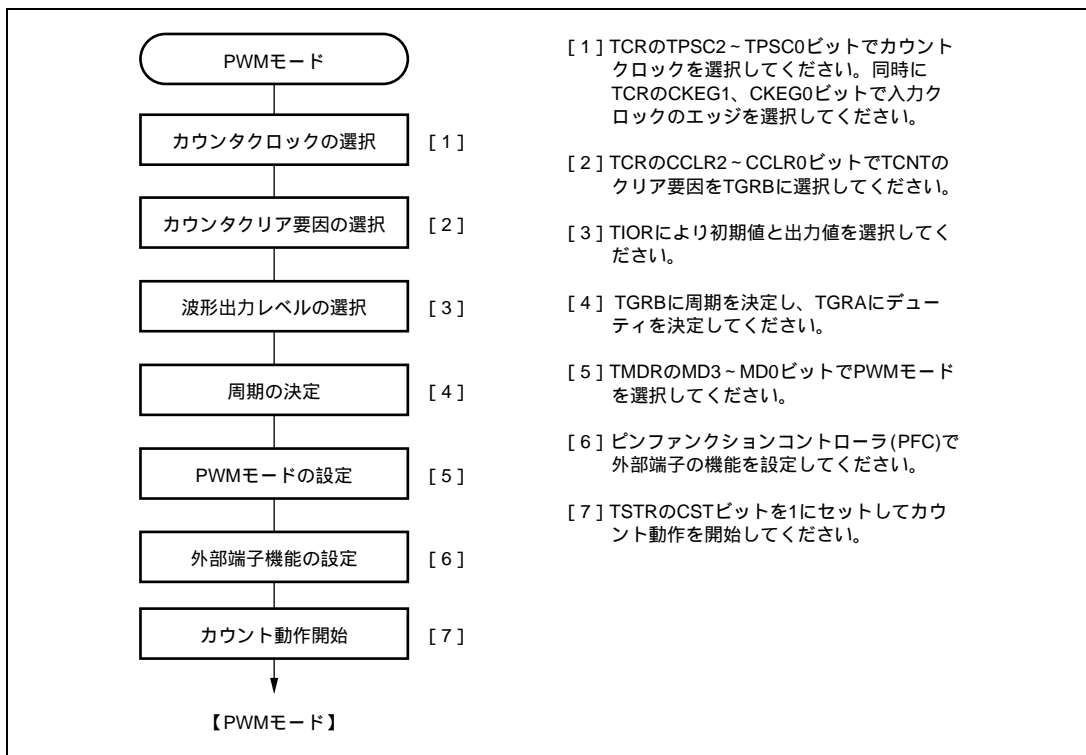


図 15.11 PWM モードの設定手順例

## (2) PWM モードの動作例

PWM モードの動作例を図 15.12 に示します。

この図は、TCNTのクリア要因をTGRBのコンペアマッチとし、TGRAの初期出力値を0、出力値を1に設定した場合の例です。

TGRBに設定した値が周期となり、TGRAに設定した値がデューティになります。

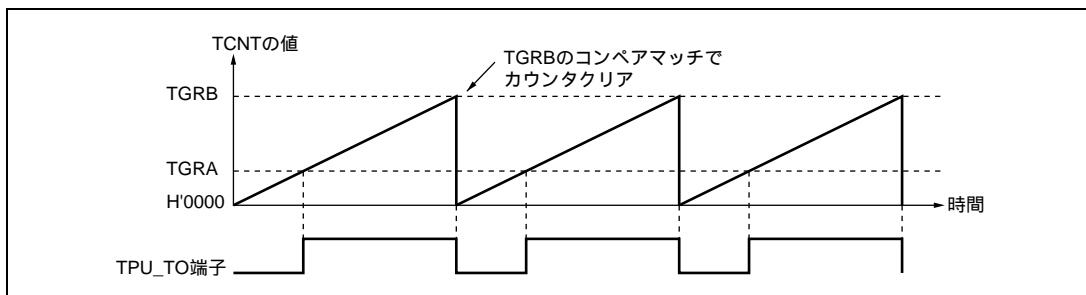


図 15.12 PWM モードの動作例 (1)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 15.13 に示します。

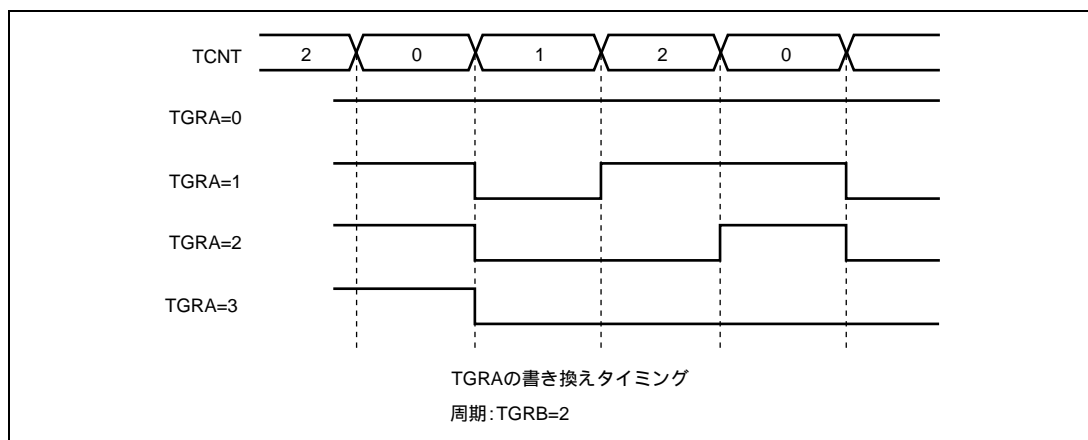


図 15.13 PWM モードの動作例 (2)

#### 15.4.5 位相計数モード

位相計数モードは、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。このモードはチャンネル 2、3 で設定可能です。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIER、TGR の機能は有効ですので、コンペアマッチ機能や割り込み機能は使用することができません。

ただし、TIOR の TPU\_TO 端子からは、前の設定値 (位相計数モードでタイマをスタートさせる以前に設定されていた出力初期値) を出力します。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグを読み出すことにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 15.7 に外部クロック端子とチャンネルの対応を示します。

表 15.7 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 2 を位相計数モードとするとき	TPU_TI2A	TPU_TI2B
チャンネル 3 を位相計数モードとするとき	TPU_TI3A	TPU_TI3B

## (1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 15.14 に示します。

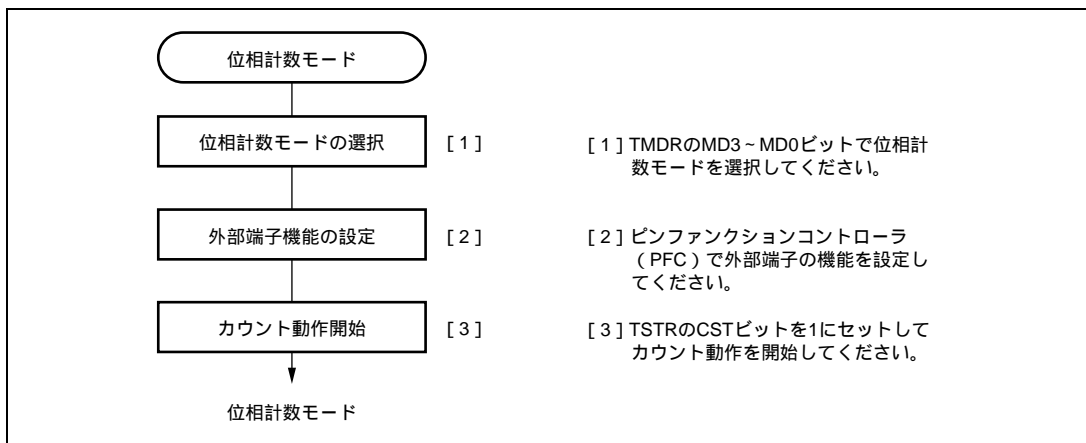


図 15.14 位相計数モードの設定手順例

## (2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4 つのモードがあります。

## (a) 位相計数モード 1

位相計数モード 1 の動作例を図 15.15 に、TCNT のアップ/ダウンカウント条件を表 15.8 に示します。

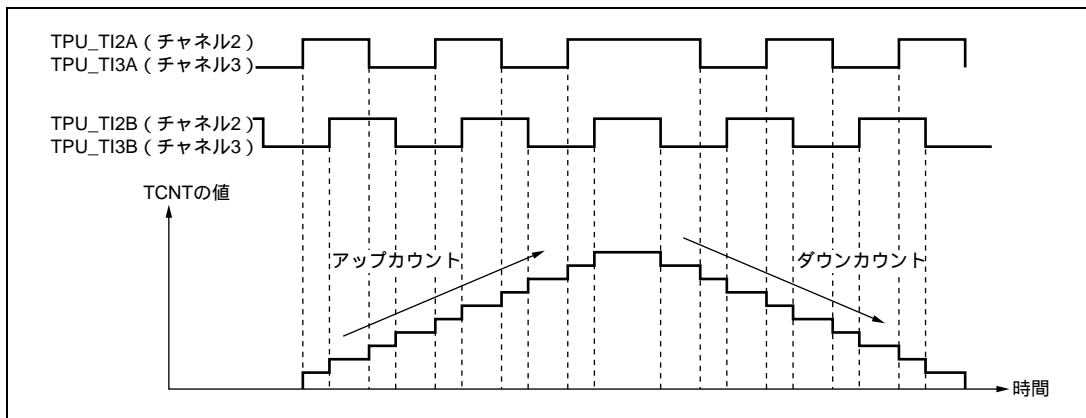


図 15.15 位相計数モード 1 の動作例

表 15.8 位相計数モード 1 のアップ/ダウンカウント条件

TPU_TI2A (チャンネル 2) TPU_TI3A (チャンネル 3)	TPU_TI2B (チャンネル 2) TPU_TI3B (チャンネル 3)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【注】 ↑ 立ち上がりエッジ

↓ 立ち下がりエッジ

## (b) 位相計数モード 2

位相計数モード 2 の動作例を図 15.16 に、TCNT のアップ/ダウンカウント条件を表 15.9 に示します。

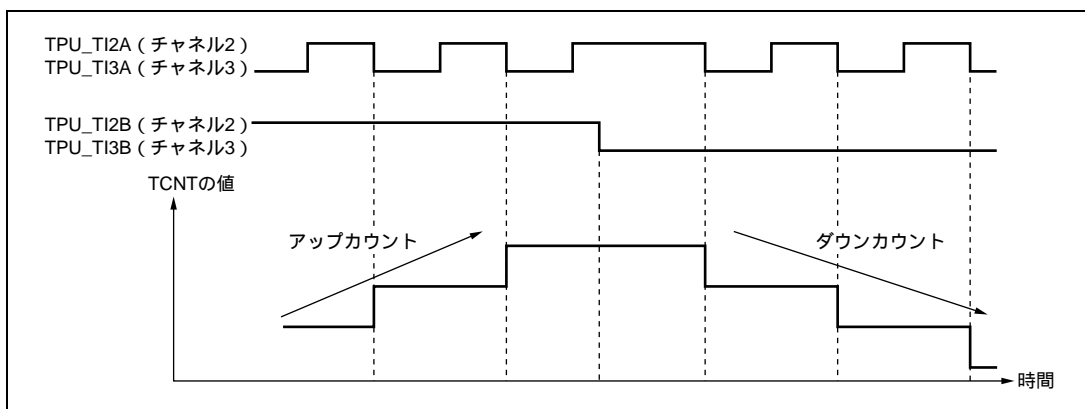


図 15.16 位相計数モード 2 の動作例

表 15.9 位相計数モード 2 のアップ / ダウンカウント条件

TPU_TI2A (チャンネル 2) TPU_TI3A (チャンネル 3)	TPU_TI2B (チャンネル 2) TPU_TI3B (チャンネル 3)	動作内容
High レベル	↑	Don't care
Low レベル	↓	
↑	Low レベル	アップカウント
↓	High レベル	
High レベル	↓	Don't care
Low レベル	↑	
↑	High レベル	ダウンカウント
↓	Low レベル	

【注】 ↑ 立ち上がりエッジ  
↓ 立ち下がりエッジ

## (c) 位相計数モード 3

位相計数モード 3 の動作例を図 15.17 に、TCNT のアップ / ダウンカウント条件を表 15.10 に示します。

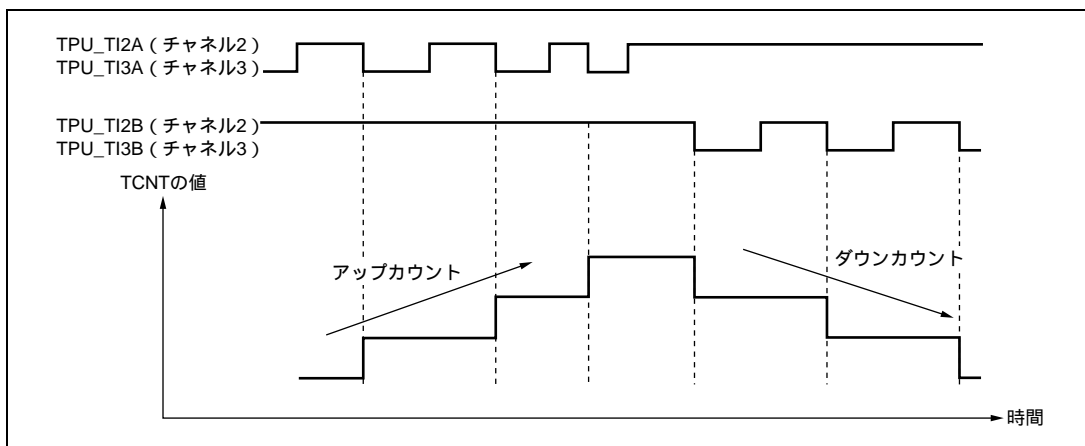












図 15.17 位相計数モード 3 の動作例

表 15.10 位相計数モード 3 のアップ/ダウンカウント条件

TPU_TI2A (チャンネル 2) TPU_TI3A (チャンネル 3)	TPU_TI2B (チャンネル 2) TPU_TI3B (チャンネル 3)	動作内容
High レベル		Don't care
Low レベル		
	Low レベル	アップカウント
	High レベル	
High レベル		ダウンカウント
Low レベル		Don't care
	High レベル	
	Low レベル	

【注】  立ち上がりエッジ  
 立ち下がりエッジ

## (d) 位相計数モード 4

位相計数モード 4 の動作例を図 15.18 に、TCNT のアップ/ダウンカウント条件を表 15.11 に示します。

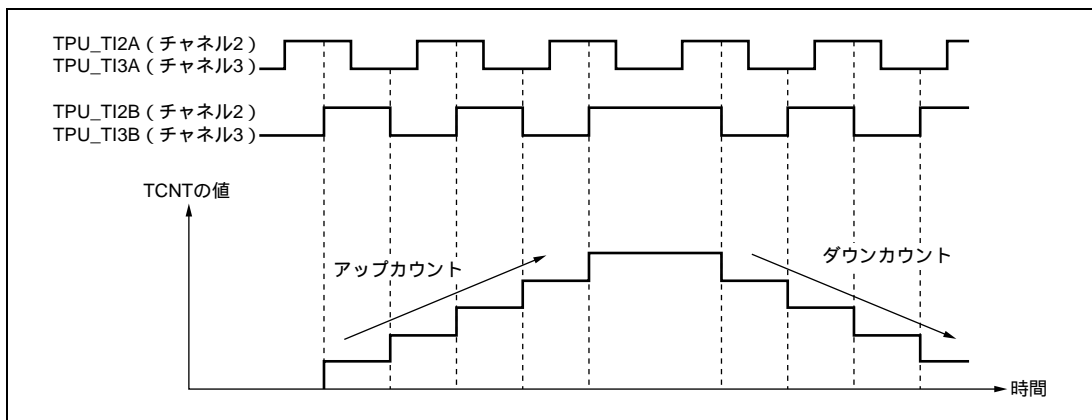


図 15.18 位相計数モード 4 の動作例

表 15.11 位相計数モード 4 の動作例

TPU_TI2A (チャンネル 2) TPU_TI3A (チャンネル 3)	TPU_TI2B (チャンネル 2) TPU_TI3B (チャンネル 3)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【注】 ↑ 立ち上がりエッジ  
↓ 立ち下がりエッジ

## 15.5 使用上の注意事項

TPU の動作中、次のような動作や競合が起きますので注意してください。

### (1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 2 ステートクロック以上、両エッジの場合は 3 ステートクロック以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本以上の入力クロックの位相差およびオーバーラップはそれぞれ 2 ステート以上、パルス幅は、3 ステート以上が必要です。位相計数モードの入力クロックの条件を図 15.19 に示します。

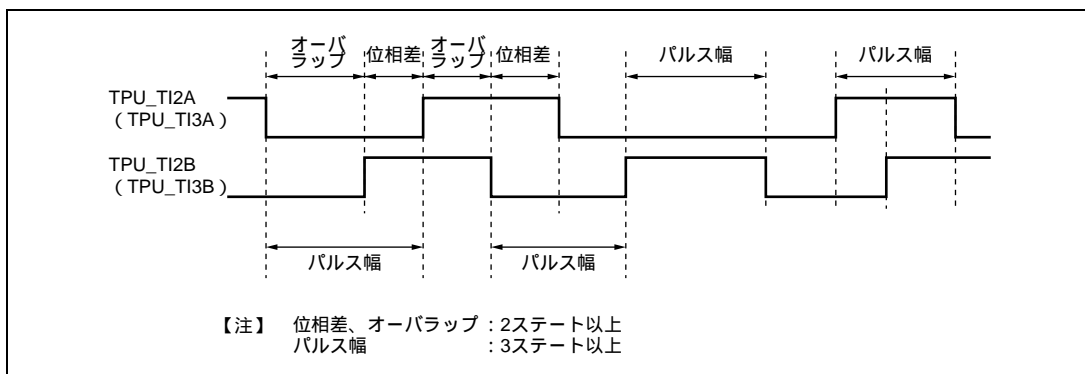


図 15.19 位相計数モード時の位相差、オーバーラップ、およびパルス幅



---

## 16. コンペアマッチタイマ (CMT)

---

本 LSI は、5 チャンネル (チャンネル 0~4) の 32 ビット構成のコンペアマッチタイマ (CMT) を内蔵しています。

### 16.1 特長

- 16ビット / 32ビット切り替え可能なタイマ
- オートリロード方式のアップカウンタを搭載
- 任意の時点で書き込み / 読み出し可能なオートリロード用32ビットコンスタントレジスタおよび32ビットアップカウンタを搭載
- チャンネル0からチャンネル4は3種類のカウンタ入力クロックを選択可能  
周辺クロック (P ) : 1/8、1/32、1/128
- ワンショット動作およびフリーラン動作を選択可能
- 割り込み要因にコンペアマッチまたはオーバフローを選択可能  
ただし、各割り込み要因による割り込みベクタは共通です。(CMI)
- チャンネル0からチャンネル4はコンペアマッチまたはオーバフローによりDMA転送要求が可能
- モジュールスタンバイモードの設定可能

図 16.1 に CMT のブロック図を示します。

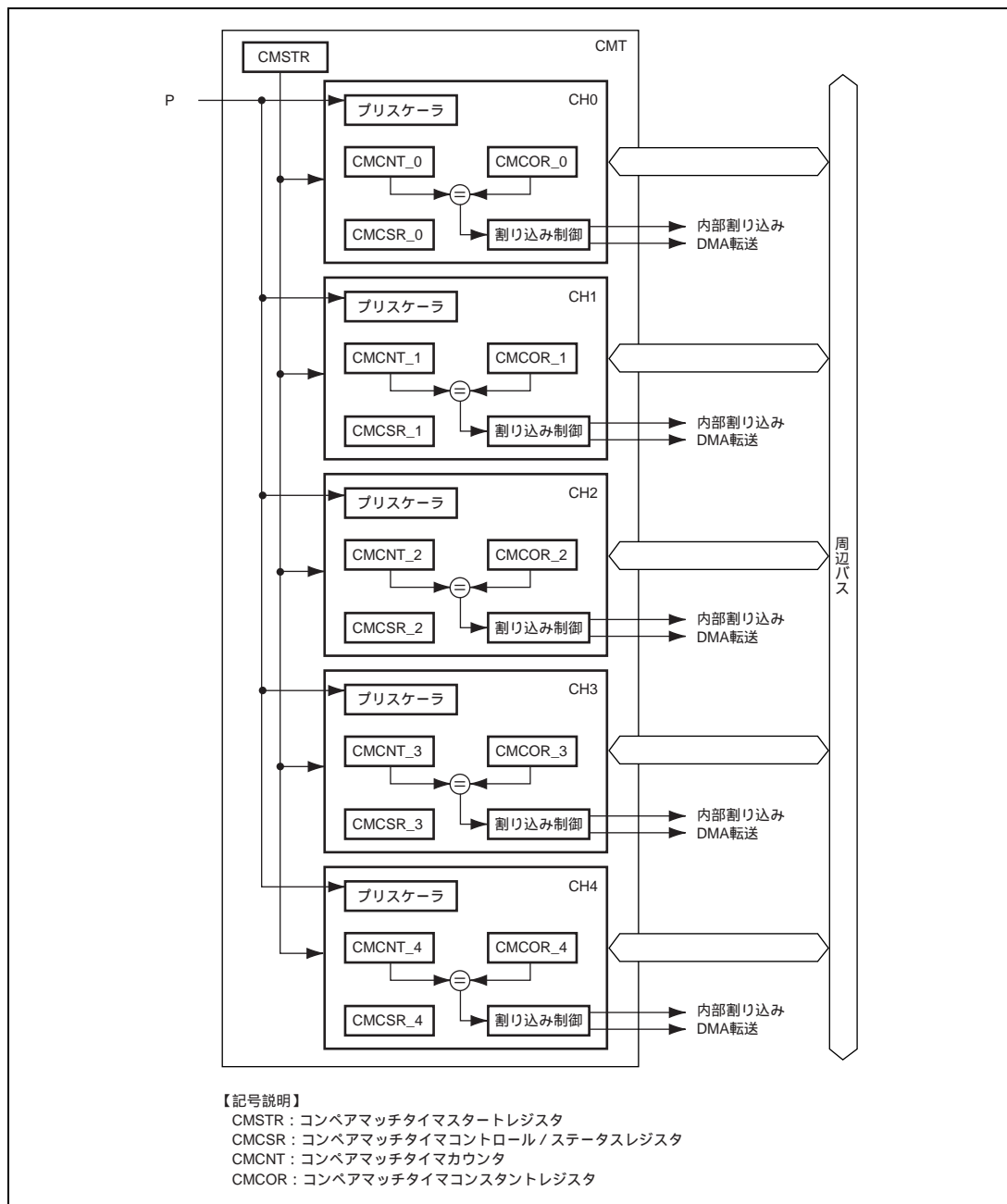


図 16.1 CMT のブロック図

## 16.2 レジスタの説明

CMT には、以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については、「第 37 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名については、チャンネル 0 の CMCSR は、CMCSR\_0 のように表記しています。

### (1) 共通

- コンペアマッチタイマスタートレジスタ (CMSTR)

### (2) チャンネル 0

- コンペアマッチタイマコントロール / ステータスレジスタ\_0 (CMCSR\_0)
- コンペアマッチタイマカウンタ\_0 (CMCNT\_0)
- コンペアマッチタイマコンスタントレジスタ\_0 (CMCOR\_0)

### (3) チャンネル 1

- コンペアマッチタイマコントロール / ステータスレジスタ\_1 (CMCSR\_1)
- コンペアマッチタイマカウンタ\_1 (CMCNT\_1)
- コンペアマッチタイマコンスタントレジスタ\_1 (CMCOR\_1)

### (4) チャンネル 2

- コンペアマッチタイマコントロール / ステータスレジスタ\_2 (CMCSR\_2)
- コンペアマッチタイマカウンタ\_2 (CMCNT\_2)
- コンペアマッチタイマコンスタントレジスタ\_2 (CMCOR\_2)

### (5) チャンネル 3

- コンペアマッチタイマコントロール / ステータスレジスタ\_3 (CMCSR\_3)
- コンペアマッチタイマカウンタ\_3 (CMCNT\_3)
- コンペアマッチタイマコンスタントレジスタ\_3 (CMCOR\_3)

### (6) チャンネル 4

- コンペアマッチタイマコントロール / ステータスレジスタ\_4 (CMCSR\_4)
- コンペアマッチタイマカウンタ\_4 (CMCNT\_4)
- コンペアマッチタイマコンスタントレジスタ\_4 (CMCOR\_4)

### 16.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、各チャンネルのコンペアマッチタイマカウンタ (CMCNT) の動作 / 停止を選択します。

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	すべて R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	STR4	0	R/W	カウントスタート 4~0
3	STR3	0	R/W	各チャンネルのコンペアマッチタイマカウンタ (CMCNT_4~0) の動作 / 停止を選択します。 0 : CMCNTn はカウントを停止 1 : CMCNTn はカウントを開始 【注】 n : 4~0 チャンネル番号に相当します。
2	STR2	0	R/W	
1	STR1	0	R/W	
0	STR0	0	R/W	

### 16.2.2 コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、各チャンネルごとのコンペアマッチの発生の表示、割り込みと DMA 転送要求の許可、およびカウンタ入力クロックの設定を行います。

コンペアマッチタイマカウンタ (CMCNT) 動作中に CMF ビット、OVF ビット以外の変更はしないでください。

ビット	ビット名	初期値	R/W	説明
15	CMF	0	R(W)*	コンペアマッチフラグ コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したか否かを示すフラグです。 ソフトウェアによる 1 書き込みはできません。 カウンタの動作にワンショット動作を選択した場合、本ビットをクリアするとカウント動作を再開します。 0 : CMCNT と CMCOR の値は不一致 【クリア条件】 CMF = 1 を読み出し後、CMF に 0 を書き込んだとき 1 : CMCNT と CMCOR の値が一致
14	OVF	0	R(W)*	オーバーフローフラグ コンペアマッチタイマカウンタ (CMCNT) がオーバーフローし 0 クリアしたかを示すフラグです。ソフトウェアによる 1 書き込みはできません。 0 : CMCNT はオーバーフローしていない 【クリア条件】 OVF = 1 を読み出し後、OVF に 0 を書き込んだとき 1 : CMCNT はオーバーフロー発生
13~10	-	すべて 0	すべて R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	CMS	0	R/W	コンペアマッチタイマカウンタサイズ コンペアマッチタイマカウンタ (CMCNT) を 16 ビットカウンタか 32 ビットカウンタとして使うかを選択します。 本レジスタの設定がコンペアマッチタイマコンスタントレジスタ (CMCOR) の有効ビットサイズになります。 0 : 32 ビットカウンタ動作 1 : 16 ビットカウンタ動作
8	CMM	0	R/W	コンペアマッチモード カウンタのワンショット動作とフリーラン動作を選択します。 0 : ワンショット動作 1 : フリーラン動作
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	CMR1	0	R/W	コンペアマッチリクエスト 1、0
4	CMR0	0	R/W	コンペアマッチ時、DMA 転送要求または内部割り込み要求の許可 / 禁止を選択します。 00 : DMA 転送要求および内部割り込み要求の禁止 01 : DMA 転送要求を許可 10 : 内部割り込み要求を許可 11 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CKS2	0	R/W	クロックセレクト 2~0
1	CKS1	0	R/W	コンペアマッチタイマカウンタ (CMCNT) に入力するクロックを選択します。対応するチャンネルのカウントスタート (STRn : n=4~0) が 1 にセットされると、CMCNT は本ビットで選択されたクロックでカウントを開始します。
0	CKS0	0	R/W	000 : P /8 001 : P /32 010 : P /128 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 16.2.3 コンペアマッチタイマカウンタ (CMCNT)

CMCNT は 32 ビットのレジスタで、各チャンネルのアップカウンタとして使用されます。

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) でカウンタ動作を設定します。このため、コンペアマッチタイマスタートレジスタ (CMSTR) で対応するチャンネルの動作を開始する前に、CMCSR の設定を完了してください。CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。CMCNT の初期値は、H'00000000 です。

### 16.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

CMCOR は 32 ビットのレジスタで、各チャンネルのコンペアマッチタイマカウンタ (CMCNT) とコンペアマッチするまでの期間を設定します。

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) の CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。オーバフロー検出は本レジスタが H'FFFFFFF で CMCNT が 0 クリアされたときに検出されます。CMCOR の初期値は、H'FFFFFFF です。

## 16.3 動作説明

### 16.3.1 カウンタ動作

CMT は、動作対象チャンネルの設定後に CMSTR の対象チャンネルの STRn ビットに 1 を書き込むことによってカウンタ動作を開始します。動作開始前にすべての設定を完了してください。フラグビットのクリア以外のレジスタ変更はしないでください。

カウンタ動作は 2 種類に分類することが可能です。

- ワンショット動作

CMCSRのCMMビットを0にセットした場合、ワンショット動作となります。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットが1にセットされます。CMCNTはクリア後、動作を停止します。

オーバフロー割り込み検出を行いたい場合は、CMCORの値をH'FFFFFFFとしてください。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットとOVFビットが1にセットされます。

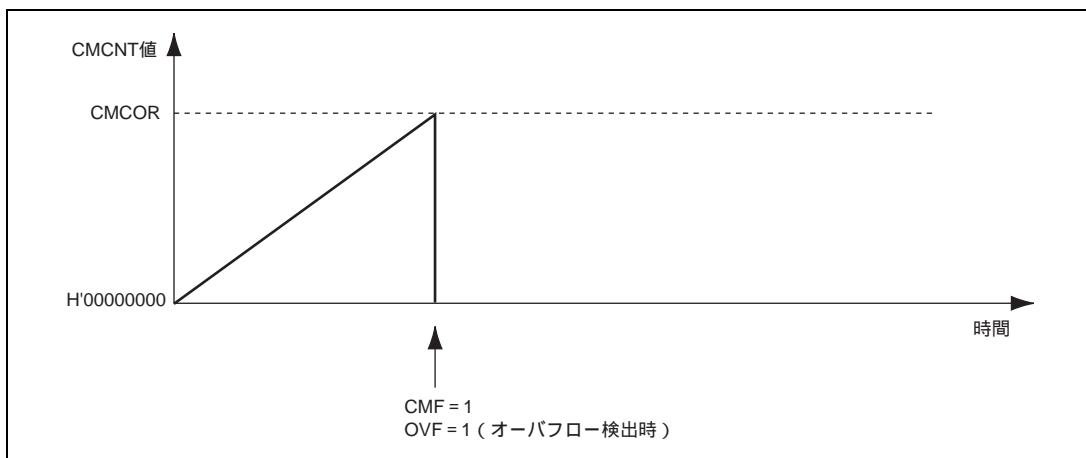


図 16.2 カウンタ動作 (ワンショット動作時)

- フリーラン動作

CMCSRのCMMビットを1にセットした場合、フリーラン動作となります。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットが1にセットされます。CMCNTはクリア後、カウントアップを再開します。

オーバーフロー割り込み検出を行いたい場合は、CMCORの値をH'FFFFFFFとしてください。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットとOVFビットが1にセットされます。

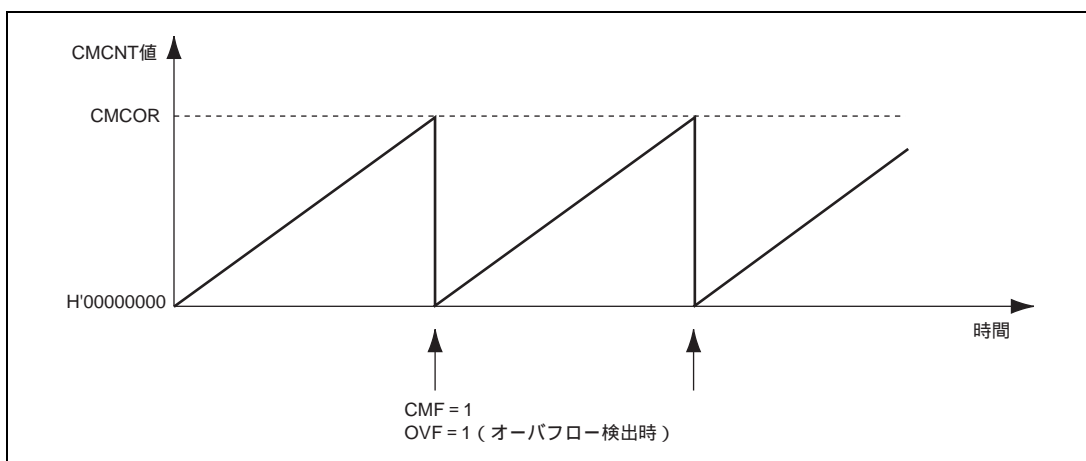


図 16.3 カウンタ動作 (フリーラン動作時)

### 16.3.2 カウンタサイズ

本モジュールはカウンタサイズを 16 ビットカウンタと 32 ビットカウンタで選択可能です。カウンタサイズの選択は CMCSR の CMS ビットで行います。

16 ビットカウンタとして使う場合、CMCOR の値は上位に H'0000 を加えた 32 ビットでセットしてください。オーバーフロー割り込み検出を行うときは、H'0000FFFF とします。

### 16.3.3 CMCNT カウントタイミング

本モジュールは CMCNT のカウンタ用クロックに以下を設定することが可能です。

チャンネル0~4 周辺クロック (P ) : 1/8、1/32、1/128

カウンタ用クロックは、CMCSR の CKS2~CKS0 ビットにより選択します。

CMCNT は CKS2~CKS0 により選択されたクロックの立ち上がりエッジにてインクリメントします。

### 16.3.4 DMA 転送要求と CPU への内部割り込み要求

CMCSR の CMR1、CMR0 ビットにより、コンペアマッチ時に DMA 転送要求または CPU への内部割り込み発生を選択することができます。

DMA 転送要求は、CMT チャンネルによって次の仕様となります。

1. チャンネル0、1は、コンペアマッチ時に1回のDMA転送要求を出します。
2. チャンネル2、3、4は、DMACに設定した転送回数が終了するまで要求を出し続け、転送回数終了後自動的に要求出力を停止します。

割り込み要求をクリアするためには、CMF ビットに 0 をセットする必要があります。CMT による割り込みルーチン中に CMF=0 とする動作を行ってください。



### 16.3.5 コンペアマッチフラグのセットタイミング (全チャンネル共通)

CMCOR と CMCNT が一致するとコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) で発生します。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 16.4 に CMF ビットのセットタイミングを示します。

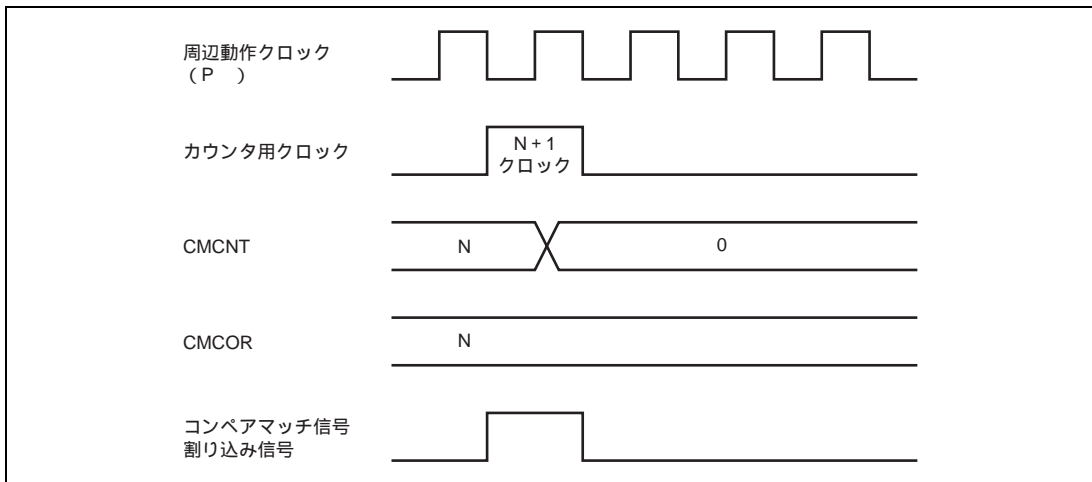


図 16.4 CMF セットタイミング



---

## 17. リアルタイムクロック (RTC)

---

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

### 17.1 特長

- 時計・カレンダー機能 (BCD表示) を搭載  
秒、分、時、曜日、日、月、年をカウント
- 1~64Hzタイマ (バイナリ表示) を搭載  
64Hzカウンタが、RTCの分周回路のうち64Hz~1Hzの状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み (ATI割り込み)  
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み (PRI割り込み)  
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み (CUI割り込み)  
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

図 17.1 に RTC のブロック図を示します。

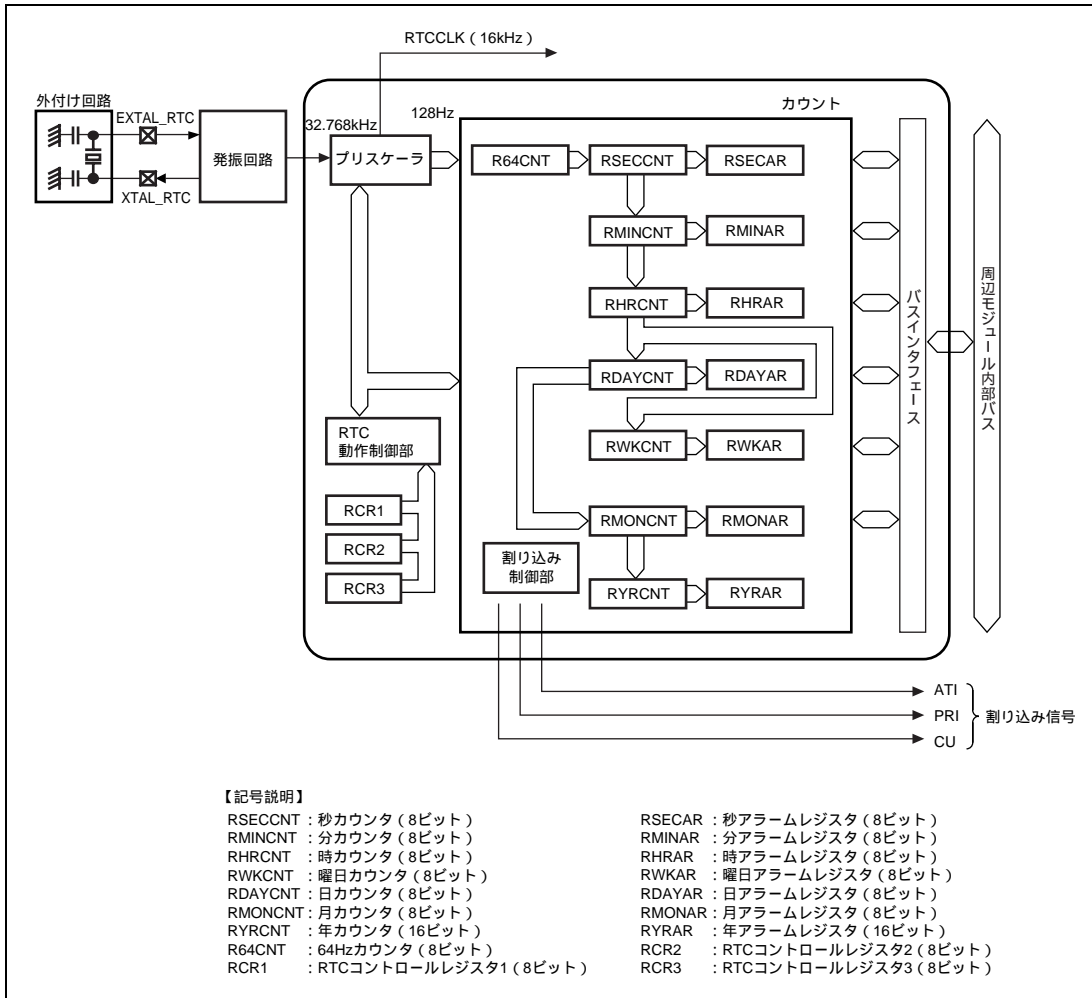


図 17.1 RTC のブロック図

## 17.2 入出力端子

RTC の端子構成を表 17.1 に示します。

表 17.1 端子構成

名称	信号名	入出力	機能
RTC 用外部クロック	EXTAL_RTC	入力	RTC 用水晶発振子を接続します。また、RTC 用外部クロックを入力することもできます。
RTC 用クリスタル	XTAL_RTC	出力	RTC 用水晶発振子を接続します。
RTC 用電源	Vcc_RTC	-	RTC 用の電源端子です。(1.5V)*
RTC 用グランド	Vss_RTC	-	RTC 用のグランド端子です。*
RTC 用電源	VccQ_RTC	-	RTC 用の電源端子です。(3.3V)*

【注】 \* RTC 用の電源端子は RTC を使用しないときも必ず電源を供給してください。

### 17.3 レジスタの説明

RTC には、以下のレジスタがあります。これらのレジスタおよびアクセスサイズについては、「第 37 章 レジスタ一覧」を参照してください。

- 64Hzカウンタ (R64CNT)
- 秒カウンタ (RSECCNT)
- 分カウンタ (RMINCNT)
- 時カウンタ (RHRCNT)
- 曜日カウンタ (RWKCNT)
- 日カウンタ (RDAYCNT)
- 月カウンタ (RMONCNT)
- 年カウンタ (RYRCNT)
- 秒アラームレジスタ (RSECAR)
- 分アラームレジスタ (RMINAR)
- 時アラームレジスタ (RHRAR)
- 曜日アラームレジスタ (RWKAR)
- 日アラームレジスタ (RDAYAR)
- 月アラームレジスタ (RMONAR)
- 年アラームレジスタ (RYRAR)
- RTCコントロールレジスタ1 (RCR1)
- RTCコントロールレジスタ2 (RCR2)
- RTCコントロールレジスタ3 (RCR3)

### 17.3.1 64Hz カウンタ (R64CNT)

R64CNT は、RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は H'00 に初期化されます。

R64CNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
6	1Hz	不定	R	RTC の分周回路のうち、1Hz ~ 64Hz の状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

### 17.3.2 秒カウンタ (RSECCNT)

RSECCNT は、RTC の BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RSECCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
6	-	不定	R/W	秒十位カウント 秒十位は0から5をカウントして、60秒のカウントを行います。
5	-	不定	R/W	
4	-	不定	R/W	
3	-	不定	R/W	秒一位カウント 秒一位は1秒ごとに0から9をカウントします。桁上がりが発生すると、秒十位が+1されます。
2	-	不定	R/W	
1	-	不定	R/W	
0	-	不定	R/W	

### 17.3.3 分カウンタ (RMINCNT)

RMINCNTは、RTCのBCDコード化された分部分の設定・カウント用のカウンタであり、秒カウンタの1分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で00~59です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMINCNTは、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
6	-	不定	R/W	分十位カウント 分十位は0から5をカウントして、60分のカウントを行います。
5	-	不定	R/W	
4	-	不定	R/W	
3	-	不定	R/W	分一位カウント 分一位は1分ごとに0から9をカウントします。桁上がりが発生すると、分十位が+1されます。
2	-	不定	R/W	
1	-	不定	R/W	
0	-	不定	R/W	

### 17.3.4 時カウンタ (RHRCNT)

RHRCNTは、RTCのBCDコード化された時部分の設定・カウント用のカウンタであり、分カウンタの1時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で00~23です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RHRCNTは、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。



ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
5	-	不定	R/W	時十位カウント
4	-	不定	R/W	時十位は0から2をカウントします。
3	-	不定	R/W	時一位カウント
2	-	不定	R/W	時一位は1時間ごとに0から9をカウントします。桁上がりが発生すると、
1	-	不定	R/W	時十位が+1されます。
0	-	不定	R/W	

### 17.3.5 曜日カウンタ (RWKCNT)

RWKCNT は、RTC の BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの1日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で0~6です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RWKCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
2	-	不定	R/W	曜日カウント
1	-	不定	R/W	バイナリコードで曜日を表します。
0	-	不定	R/W	000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定しないでください。)

### 17.3.6 日カウンタ (RDAYCNT)

RDAYCNT は、RTC の BCD コード化された日部分の設定・カウンタ用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウンタ動作を行います。

設定可能範囲は、10 進で 01 ~ 31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウンタ動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RDAYCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

RDAYCNT の設定範囲は、月ごとおよびうるう年によって変化しますので。確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5	-	不定	R/W	日十位カウンタ
4	-	不定	R/W	
3	-	不定	R/W	日一位カウンタ 日一位は 1 日ごとに 0 ~ 9 をカウントします。桁上がりが発生すると日十位が +1 されます。
2	-	不定	R/W	
1	-	不定	R/W	
0	-	不定	R/W	

### 17.3.7 月カウンタ (RMONCNT)

RMONCNT は、RTC の BCD コード化された月部分の設定・カウンタ用のカウンタであり、日カウンタの月ごとのキャリによってカウンタ動作を行います。

設定可能範囲は、10 進で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウンタ動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMONCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
4	-	不定	R/W	月十位カウンタ
3	-	不定	R/W	月一位カウンタ
2	-	不定	R/W	月一位は 1 月ごとに 0~9 をカウントします。桁上がりが発生すると月十位が +1 されます。
1	-	不定	R/W	
0	-	不定	R/W	

### 17.3.8 年カウンタ (RYRCNT)

RYRCNT は、RTC の BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリによって、カウント動作を行います。

設定可能範囲は、10 進で 0000 ~ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RYRCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット	ビット名	初期値	R/W	説明
15~12	-	不定	R/W	年千位カウンタ
11~8	-	不定	R/W	年百位カウンタ
7~4	-	不定	R/W	年十位カウンタ
3~0	-	不定	R/W	年一位カウンタ

### 17.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、RTC の BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RSECAR の ENB ビットは、パワーオンリセットで 0 に初期化されます。RSECAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RSECNT の値と比較を行います。
6~4	-	不定	R/W	秒十位の設定値
3~0	-	不定	R/W	秒一位の設定値

### 17.3.10 分アラームレジスタ (RMINAR)

RMINAR は、RTC の BCD コード化された部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR の ENB ビットは、パワーオンリセットで初期化されます。RMINAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RMINCNT の値と比較を行います。
6~4	-	不定	R/W	分十位の設定値
3~0	-	不定	R/W	分一位の設定値

### 17.3.11 時アラームレジスタ (RHRAR)

RHRAR は、RTC の BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHRCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RHRAR の ENB ビットは、パワーオンリセットで初期化されます。RHRAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれも初期化されません。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RHRCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5	-	不定	R/W	時十位の設定値
4	-	不定	R/W	
3~0	-	不定	R/W	時一位の設定値

### 17.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 0~6 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RWKAR の ENB ビットは、パワーオンリセット時は初期化されます。RWKAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RWKCNT の値と比較を行います。
6~3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
2~0	-	不定	R/W	曜日の設定値

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

### 17.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01~31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RDAYAR の ENB ビットは、パワーオンリセットで初期化されます。RDAYAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RDAYCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5	-	不定	R/W	日十位の設定値
4	-	不定	R/W	
3~0	-	不定	R/W	日一位の設定値

### 17.3.14 月アラームレジスタ (RMONAR)

RMONAR は、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMONAR は、ENB ビットは、パワーオンリセットで初期化されます。RMONAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RMONCNT の値と比較を行います。
6	-	0	R	リザーブビット
5	-	0	R	読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
4	-	不定	R/W	月十位の設定値
3~0	-	不定	R/W	月一位の設定値

### 17.3.15 年アラームレジスタ (RYRAR)

RYRAR は、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。

設定可能範囲は、10 進で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。

ビット	ビット名	初期値	R/W	説明
15~12	-	不定	R/W	年千位の設定値
11~8	-	不定	R/W	年百位の設定値
7~4	-	不定	R/W	年十位の設定値
3~0	-	不定	R/W	年一位の設定値

### 17.3.16 RTC コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのおののフラグについて、割り込みを発生するかどうか選択できます。

パワーオンリセットおよびマニュアルリセット時は、H'00 に初期化されます。ただし、CF フラグは、分周回路がリセット (RCR2 の RESET と ADJ を 1 にセット) されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。スタンバイモード時には、初期化されません。

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	<p>桁上げフラグ</p> <p>このフラグが1にセットされた場合、秒カウンタ桁上げ、または64Hzカウンタ読み出し時に64Hzカウンタ桁上げが発生したことを示し、この時点で読み出したカウンタレジスタの値は、保証されません。再度の読み出しが必要です。</p> <p>0: 秒カウンタ桁上げおよび64Hzカウンタ読み出し時の64Hzカウンタ桁上げなし</p> <p>【クリア条件】CFに0を書き込んだとき</p> <p>1: 秒カウンタ桁上げおよび64Hzカウンタ読み出し時の64Hzカウンタ桁上げあり</p> <p>【セット条件】秒カウンタ桁上げまたは64Hzカウンタ桁上げ時の読み出し時の64Hzカウンタ桁上げあり、またはCFに1を書き込んだとき</p>
6	-	0	R	リザーブビット
5	-	0	R	読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値は常に0にしてください。
4	CIE	0	R/W	<p>桁上げ割り込みイネーブルフラグ</p> <p>桁上げフラグ (CF) が1にセットされているとき、割り込み発生を許可するビットです。</p> <p>0: CFフラグが1にセットされたとき、桁上げ割り込みを発生させない</p> <p>1: CFフラグが1にセットされたとき、桁上げ割り込みを発生させる</p>
3	AIE	0	R/W	<p>アラーム割り込みイネーブルフラグ</p> <p>アラームフラグ (AF) が1にセットされているとき、割り込み発生を許可するビットです。</p> <p>0: AFフラグが1にセットされたとき、アラーム割り込みを発生させない</p> <p>1: AFフラグが1にセットされたとき、アラーム割り込みを発生させる</p>
2	-	0	R	リザーブビット
1	-	0	R	読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値は常に0にしてください。
0	AF	0	R/W	<p>アラームフラグ</p> <p>アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR) で設定したアラーム時刻 (ENB ビットを1に設定したレジスタのみ) とカウンタが一致したとき1にセットされるフラグです。</p> <p>0: アラームレジスタとカウンタは不一致</p> <p>【クリア条件】AFに0を書き込んだとき</p> <p>1: アラームレジスタとカウンタは一致*</p> <p>【セット条件】アラームレジスタ (ENB ビットを1に設定したレジスタのみ) とカウンタが一致したとき</p> <p>【注】* 1を書き込むと、元の値が保持されます。</p>

## 17.3.17 RTC コントロールレジスタ 2 (RCR2)

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、RTC カウント制御に関するレジスタです。

パワーオンリセット時は H'09 に初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。スタンバイモード時は初期化されず、それまでの値が保持されます。

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	<p>周期割り込みフラグ</p> <p>PES2～PES0 ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。</p> <p>0 : PES2～PES0 ビットで設定された周期で割り込み発生なし</p> <p>【クリア条件】 PEF に 0 を書き込んだとき</p> <p>1 : PES2～PES0 ビットで設定された周期で割り込み発生あり</p> <p>【セット条件】 PES2～PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき</p>
6	PES2	0	R/W	<p>割り込みイネーブルフラグ</p> <p>周期割り込みの周期を設定します。</p> <p>000 : 周期割り込み発生なし</p> <p>001 : 周期割り込み発生を 1/256 秒ごとにする</p> <p>010 : 周期割り込み発生を 1/64 秒ごとにする</p> <p>011 : 周期割り込み発生を 1/16 秒ごとにする</p> <p>100 : 周期割り込み発生を 1/4 秒ごとにする</p> <p>101 : 周期割り込み発生を 1/2 秒ごとにする</p> <p>110 : 周期割り込み発生を 1 秒ごとにする</p> <p>111 : 周期割り込み発生を 2 秒ごとにする</p>
5	PES1	0	R/W	
4	PES0	0	R/W	
3	RTCEN	1	R/W	<p>発振器有効</p> <p>RTC 用水晶発振器の動作を制御します。</p> <p>0 : RTC 用水晶発振器を停止させる</p> <p>1 : RTC 用水晶発振器を動作させる</p>
2	ADJ	0	R/W	<p>30 秒調整</p> <p>30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。</p> <p>0 : 通常の時計動作</p> <p>1 : 30 秒の調整を行う</p>



ビット	ビット名	初期値	R/W	説明
1	RESET	0	R/W	リセット 1を書き込むことによって、分周回路が初期化されます。なお、1が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) はリセットされます。自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0: 通常の時計動作 1: 分周回路をリセット
0	START	1	R/W	START ビット カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。 0: 秒、分、時、日、曜日、月、年カウンタは停止* 1: 秒、分、時、日、曜日、月、年カウンタは通常動作* 【注】* 64Hz カウンタは、RTCEN ビットで停止させない限り動作します

### 17.3.18 RTC コントロールレジスタ (RCR3)

RCR3 は、ENB ビットが 1 にセットされていると、RYRCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

RYRAR の ENB ビットは、パワーオンリセットで初期化されます。RCR3 の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RYRCNT の値と比較を行います。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

## 17.4 動作説明

RTC の使用例を示します。

### 17.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

### 17.4.2 時刻設定手順

時刻設定手順例を図 17.2 に示します。

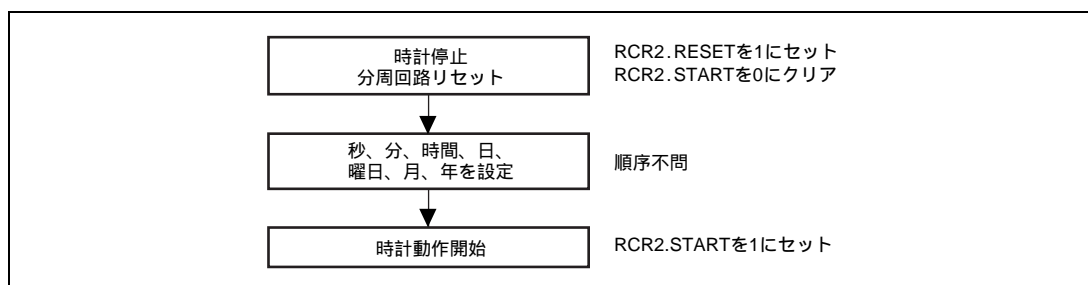


図 17.2 時刻設定手順

## 17.4.3 時刻読み出し手順

時刻読み出し手順を図 17.3 に示します。

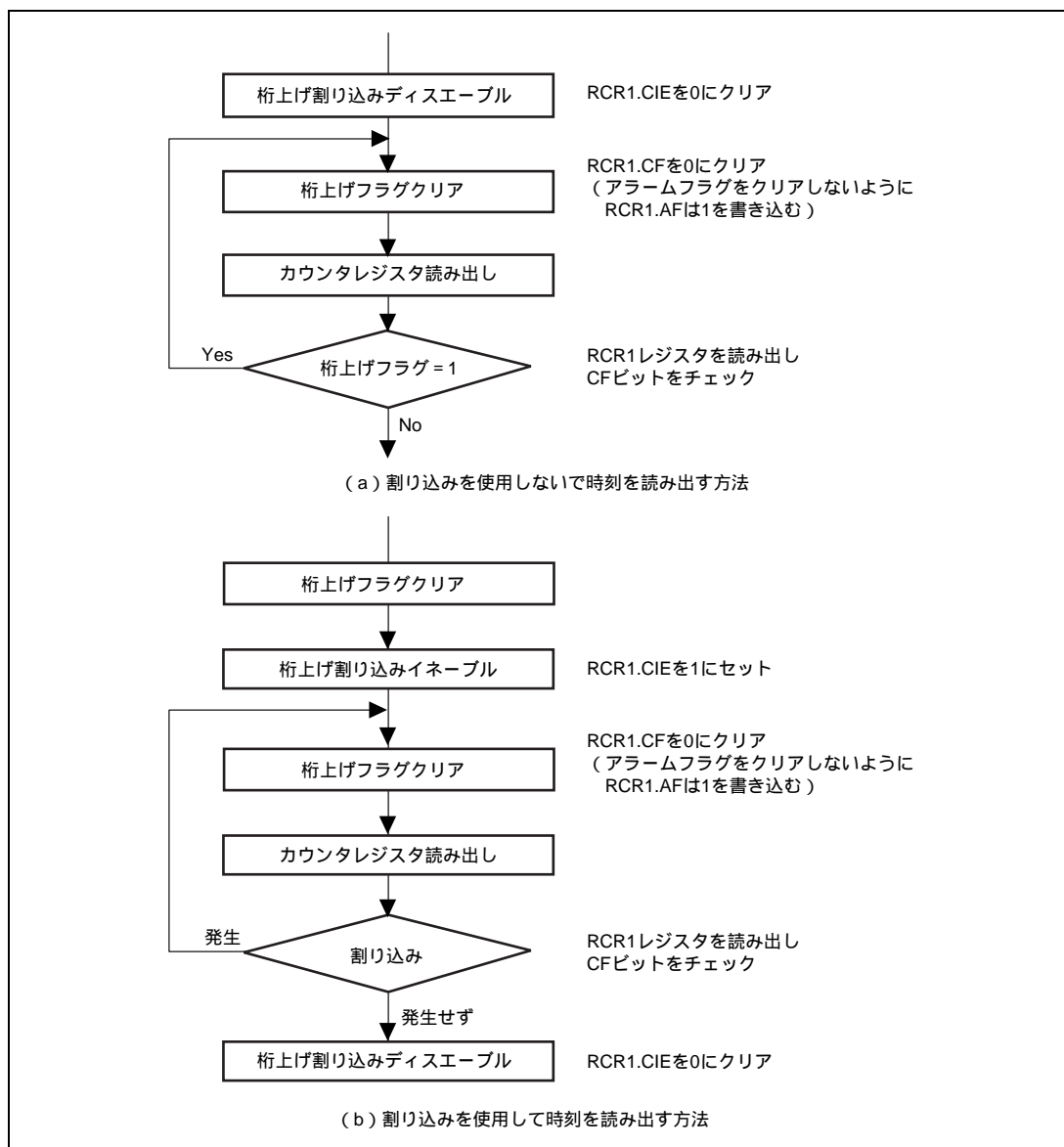


図 17.3 時刻読み出し手順

時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 17.3 の (a) に、桁上げ割り込みを使用する方法を図 17.3 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

#### 17.4.4 アラーム機能

アラーム機能の使用例を図 17.4 に示します。

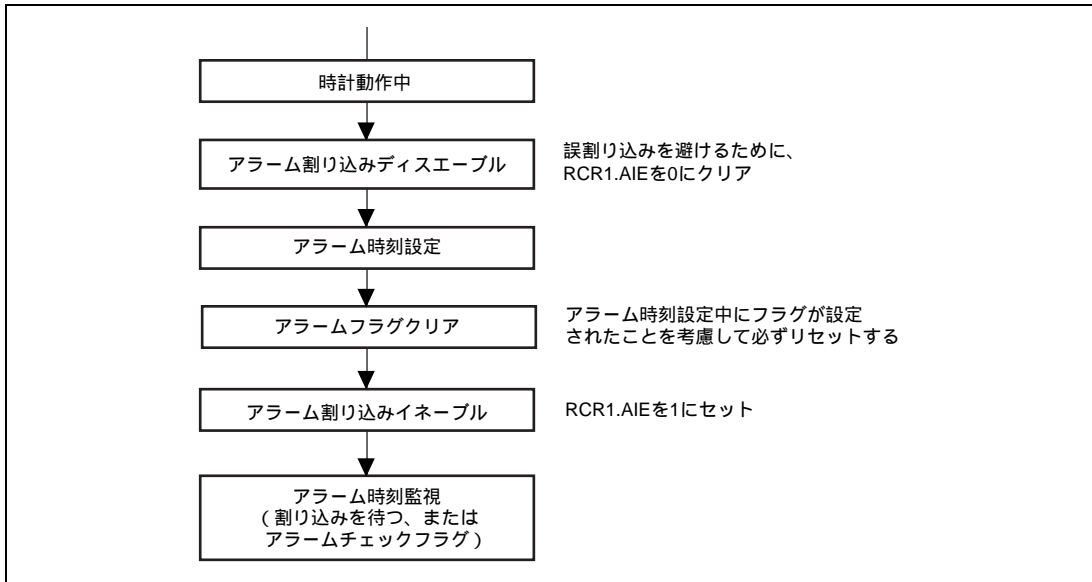


図 17.4 アラーム機能の使用方法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENBビットに0を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1.AFに1がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1.AIEに1が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに0を書き込むとクリアされます。

## 17.5 使用上の注意事項

### 17.5.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2 のビット 0 = 1 のとき) は、以下の RTC レジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCONT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

### 17.5.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込みの使用方法を図 17.5 に示します。

周期割り込みは、RCR2 の PES0 ~ PES2 で設定した周期で定期的に割り込みを発生させることができます。PES0 ~ PES2 で設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES0 ~ PES2 設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

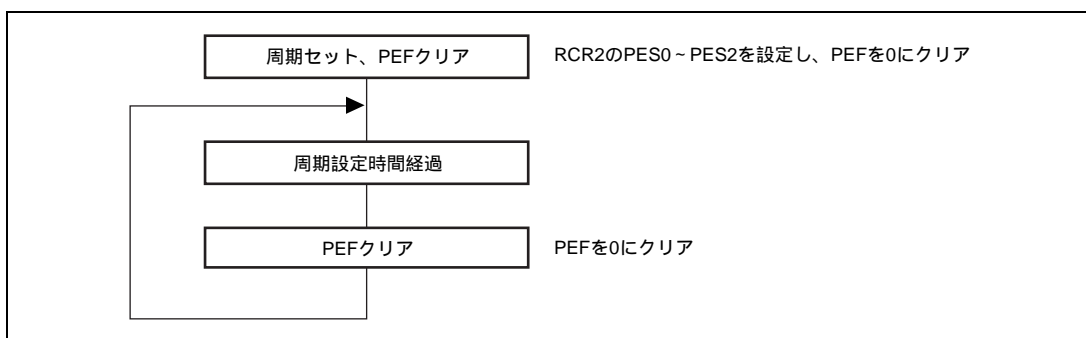


図 17.5 周期割り込み機能の使用方法

### 17.5.3 レジスタ設定後のスタンバイ遷移について

RTC 内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、2RTC クロック以上待ってからスタンバイ状態に遷移してください。

### 17.5.4 水晶発振回路

水晶発振回路の各定数 (推奨値) を表 17.2 に、RTC 用水晶発振回路を図 17.6 に示します。

表 17.2 推奨発振回路の定数 (推奨値)

$f_{osc}$	$C_{in}$	$C_{out}$
32.768kHz	10 ~ 22pF	10 ~ 22pF

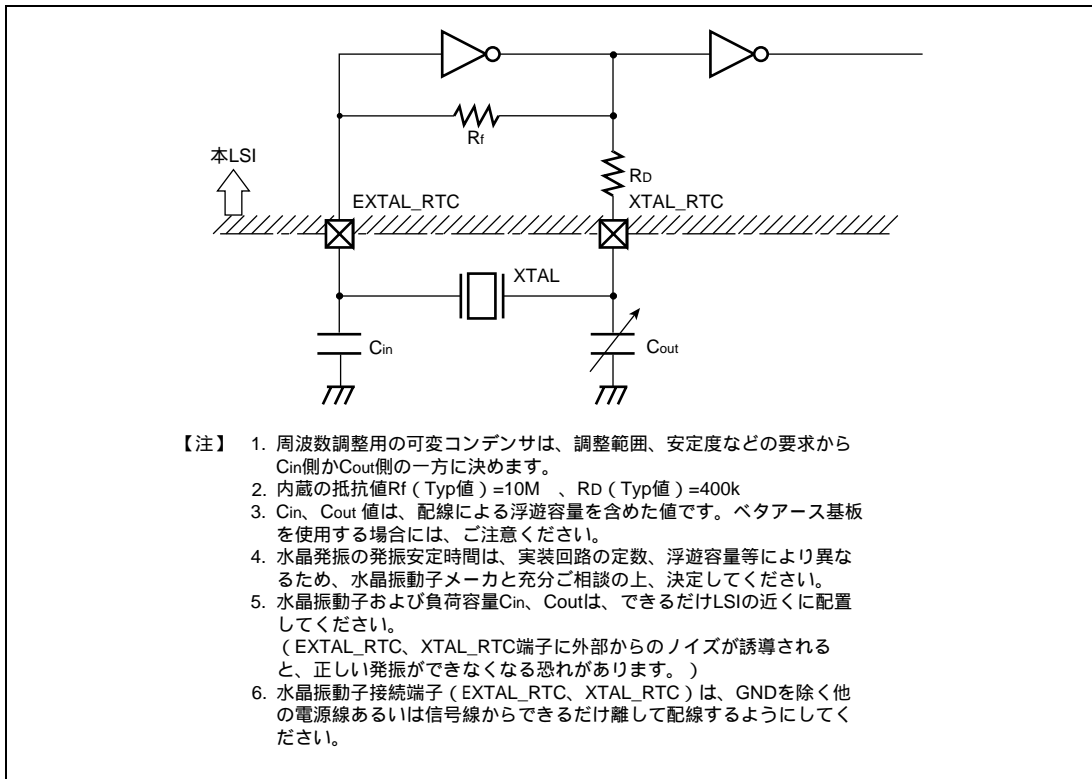


図 17.6 水晶発振回路接続例

---

## 18. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

---

本 LSI は、2 チャンネルの FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を内蔵しています。

SCIF は、調歩同期式とクロック同期式のシリアル通信ができます。

送受信に FIFO レジスタを各々64 段内蔵しており、効率の良い高速連続通信を行うことができます。

チャンネル 0 はオプションモジュールの IrDA を使用することにより、IrDA インタフェースとして動作させることができます。

### 18.1 特長

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能
- 6種類の割り込み要因 (SCIFIn (n=0または1)) (調歩同期式モード時)  
送信データストップ割り込み、送信FIFOデータエンプティ、受信FIFOデータフル、受信エラー (フレーミングエラー / パリティエラー) 割り込み、ブ레이크受信割り込み、レシーブデータレディ割り込みの6種類の割り込み要因があります。各割り込み要因による割り込みのベクタは共通です。
- 2種類の割り込み要因 (SCIFIn (n=0または1)) (クロック同期式モード時)  
各割り込み要因による割り込みのベクタは共通です。
- 送信FIFOデータエンプティ時、受信FIFOデータフル時にDMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- モデムコントロール機能 ( $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ ) を内蔵しています。
- 送信データストップ機能を内蔵しています。
- SCIFを使用しないときは、消費電力低減のため、SCIFに対してクロックの供給を止めて動作を停止させることができます。
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- IrDAインタフェースとして動作させることができます (チャンネル0)。
- 全二重通信が可能  
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。  
また、送信部、および受信部ともに64段のFIFOバッファ構造になっていますのでシリアルデータの高速連続通信、連続受信ができます。

#### 調歩同期式モード

- キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用LSIとのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを8種類のフォーマットから選択できます。

- データ長：7ビット、または8ビット
- ストップビット長：1ビット、または2ビット
- パリティ：偶数パリティ、奇数パリティ、またはパリティなし
- LSBファースト
- 受信エラーの検出：パリティエラー、フレーミングエラー、オーバランエラーを検出
- ブレークの検出 :  
フレーミングエラーが発生し、引き続き1フレーム長以上スペース0 (ローレベル) の場合、ブレークを検出します。

#### クロック同期式モード

- クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能をもつ他のLSIとのシリアルデータ通信が可能です。
- データ長：8ビット
- LSBファースト

図 18.1 に SCIF のブロック図を示します。



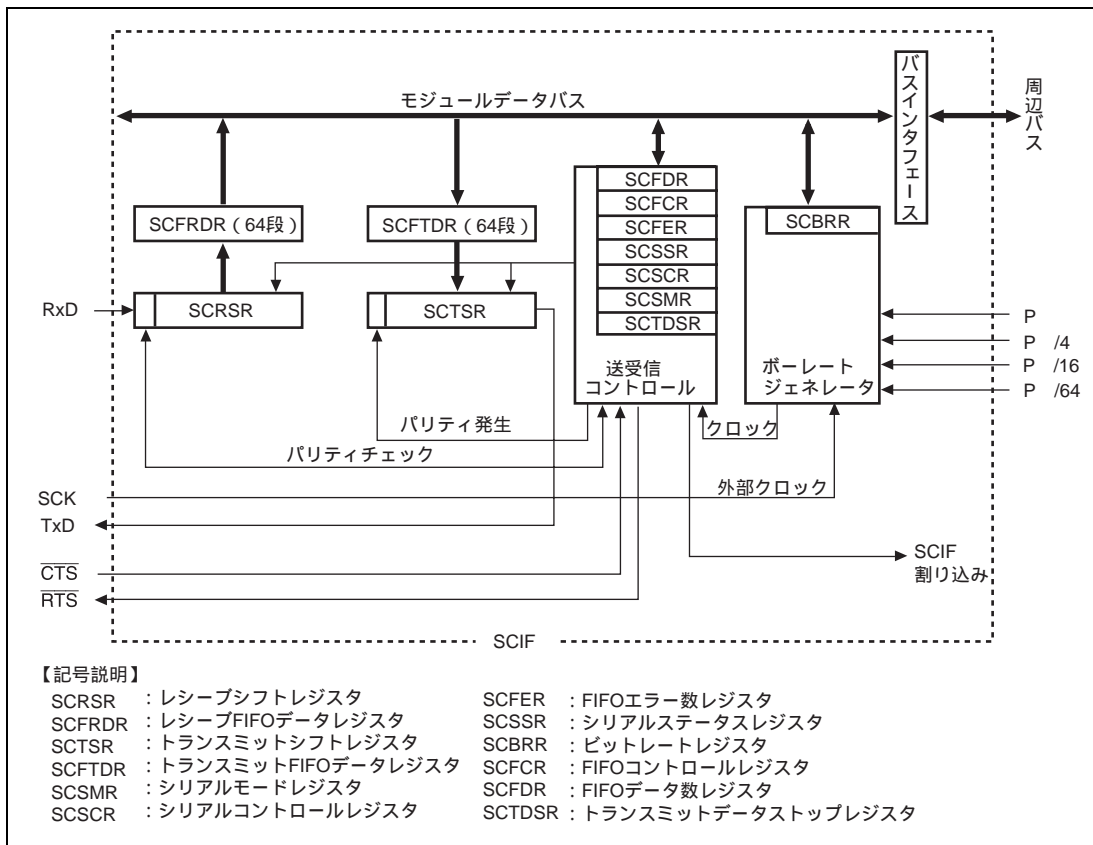


図 18.1 SCIF のブロック図

## 18.2 入出力端子

SCIF の端子構成を表 18.1 に示します。

表 18.1 端子構成

チャンネル	端子名	略称 <sup>*1</sup>	入出力	機能
0	SCIF0_SCK	SCK	入出力	クロック入力
	SCIF0_RxD	RxD	入力	受信データ入力
	SCIF0_TxD	TxD	出力	送信データ出力
	SCIF0_CTS	CTS <sup>*2</sup>	入力	送信許可
	SCIF0_RTS	RTS <sup>*2</sup>	出力	送信要求
1	SCIF1_SCK	SCK	入出力	クロック入力
	SCIF1_RxD	RxD	入力	受信データ入力
	SCIF1_TxD	TxD	出力	送信データ出力
	SCIF1_CTS	CTS <sup>*2</sup>	入力	送信許可
	SCIF1_RTS	RTS <sup>*2</sup>	出力	送信要求

【注】 \*1 本文中では、チャンネル 0、チャンネル 1 にかかわらず略称として SCK、RxD、TxD、CTS、RTS を使用します。

\*2 SCIF の動作設定を SCSCR の TE、RE ビットおよび SCFCR の MCE ビットで行うことにより、シリアル端子として機能します。

\*3 SCK 端子は、調歩同期モード時は、入力（入力有効か入力無効）設定可能です。クロック同期モード時は出力に設定可能です。

## 18.3 レジスタの説明

本モジュールには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。なお、以降の各レジスタの説明ではチャンネル番号を省略した名称を用います。

### (1) チャンネル 0

- レシーブシフトレジスタ\_0 (SCRSR\_0)
- レシーブFIFOデータレジスタ\_0 (SCFRDR\_0)
- トランスミットシフトレジスタ\_0 (SCTSR\_0)
- トランスミットFIFOデータレジスタ\_0 (SCFTDR\_0)
- シリアルモードレジスタ\_0 (SCSMR\_0)
- シリアルコントロールレジスタ\_0 (SCSCR\_0)
- FIFOエラー数レジスタ\_0 (SCFER\_0)
- シリアルステータスレジスタ\_0 (SCSSR\_0)
- ビットレートレジスタ\_0 (SCBRR\_0)
- FIFOコントロールレジスタ\_0 (SCFCR\_0)
- FIFOデータ数レジスタ\_0 (SCFDR\_0)
- トランスミットデータストップレジスタ\_0 (SCTDSR\_0)

### (2) チャンネル 1

- レシーブシフトレジスタ\_1 (SCRSR\_1)
- レシーブFIFOデータレジスタ\_1 (SCFRDR\_1)
- トランスミットシフトレジスタ\_1 (SCTSR\_1)
- トランスミットFIFOデータレジスタ\_1 (SCFTDR\_1)
- シリアルモードレジスタ\_1 (SCSMR\_1)
- シリアルコントロールレジスタ\_1 (SCSCR\_1)
- FIFOエラー数レジスタ\_1 (SCFER\_1)
- シリアルステータスレジスタ\_1 (SCSSR\_1)
- ビットレートレジスタ\_1 (SCBRR\_1)
- FIFOコントロールレジスタ\_1 (SCFCR\_1)
- FIFOデータ数レジスタ\_1 (SCFDR\_1)
- トランスミットデータストップレジスタ\_1 (SCTDSR\_1)

### 18.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタである SCFRDR へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

### 18.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 64 段の FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、レシーブ FIFO データレジスタがいっぱいになる 64 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、レシーブ FIFO データレジスタに受信データがない状態で読み出した値は不定値になります。レシーブ FIFO データレジスタ内の受信データがいっぱいになると、以降のシリアルデータは失われます。

ビット	ビット名	初期値	R/W	説明
7~0	SCFRD7~ SCFRD0	不定	R	シリアル受信データ用 FIFO

### 18.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。

### 18.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、トランスミットシフトレジスタ (SCTSR) が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。

SCFTDR 内の送信データが 64 バイトでいっぱいときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

ビット	ビット名	初期値	R/W	説明
7~0	SCFTD7~ SCFTD0	不定	W	シリアル送信データ用 FIFO

### 18.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソース、サンプリングレートを選択します。

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 9 8	SRC2 SRC1 SRC0	0 0 0	R/W R/W R/W	サンプリングコントロール 2~0 サンプリングレートを選択します。 000 : サンプリングレート 1/16 001 : サンプリングレート 1/5 010 : サンプリングレート 1/7 011 : サンプリングレート 1/11 100 : サンプリングレート 1/13 101 : サンプリングレート 1/17 110 : サンプリングレート 1/19 111 : サンプリングレート 1/27
7	C/A	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクタレンクス データ長を 7 ビット / 8 ビットデータのいずれかから選択します。 本ビットは調歩同期式モード時のみ有効です。クロック同期式モードでは、CHR ビットの設定にかかわらず、データ長は 8 ビットデータ固定です。 0 : 8 ビットデータ 1 : 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、トランスミット FIFO データレジスタ (SCFTDR) の MSB (ビット 7) は送信されません。

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。本設定は、調歩同期モード時のみ有効です。クロック同期モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。パリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0 : 偶数パリティ*<sup>1</sup> 1 : 奇数パリティ*<sup>2</sup></p> <p>【注】*<sup>1</sup> 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*<sup>2</sup> 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>ストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。</p> <p>なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>本設定は調歩同期モード時のみ有効です。クロック同期モードでは、ストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*<sup>1</sup></p> <p>1 : 2 ストップビット*<sup>2</sup></p> <p>【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。</p> <p>*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト 1、0</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : P</p> <p>01 : P /4</p> <p>10 : P /16</p> <p>11 : P /64</p>

【注】 クロック同期モード時では、CKS1、0 ビット以外は 0 に固定されます。

### 18.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行います。

ビット	ビット名	初期値	R/W	説明
15	TDRQE	0	R/W	トランスミットデータ転送要求イネーブル 送信時の TIE = 1 かつ送信 FIFO エンプティ発生時に、送信 FIFO エンプティ割り込み / DMA 転送要求とするかを切り替えます。 0 : CPU へ割り込み要求を発行します 1 : DMAC へ送信データ転送要求を発行します
14	RDRQE	0	R/W	レシーブデータ転送要求イネーブル 受信時の RIE = 1 かつ受信 FIFO データフル発生時に、受信 FIFO データフル割り込み / DMA 転送要求とするかを切り替えます。 0 : CPU へ割り込み要求を発行します 1 : DMAC へ受信データ転送要求を発行します
13	-	0	R	リザーブビット
12	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	TSIE	0	R/W	トランスミットデータストップインタラプトイネーブル SCFCR の TSE ビットがイネーブルでかつ SCSSR の TSF フラグが 1 にセットされたとき、トランスミットデータストップ要因による割り込みの発生を許可 / 禁止します。 0 : 送信データストップ割り込みを禁止* 1 : 送信データストップ割り込みを許可 【注】* 割り込み要求の解除は、TSF フラグの 1 を読み出した後、0 にクリアするかまたは TSIE を 0 にクリアすることで行うことができます。
10	ERIE	0	R/W	受信エラーインタラプトイネーブル SCSSR の ER フラグが 1 にセットされたとき、受信エラー (フレーミングエラー / パリティエラー) 要因による割り込みの発生を許可 / 禁止します。 0 : 受信エラー割り込みを禁止* 1 : 受信エラー割り込みを許可 【注】* 割り込み要求の解除は、ER フラグの 1 を読み出した後、0 にクリアするか、ERIE ビットを 0 にクリアすることで行えます。
9	BRIE	0	R/W	ブレークインタラプトイネーブル SCSSR の BRK フラグが 1 にセットされたとき、ブレーク受信要因による割り込みの発生を許可 / 禁止します。 0 : ブレーク受信割り込みを禁止* 1 : ブレーク受信割り込みを許可 【注】* 割り込み要求の解除は、BRK フラグの 1 を読み出した後、0 にクリアするか、BRIE ビットを 0 にクリアすることで行えます。



ビット	ビット名	初期値	R/W	説明
8	DRIE	0	R/W	<p>レシーブデータレディインタラプトイネーブル</p> <p>SCSSR の DR フラグが 1 にセットされたとき、レシーブデータレディ要因による割り込みの発生を許可 / 禁止します。</p> <p>0 : レシーブデータレディ割り込みを禁止*</p> <p>1 : レシーブデータレディ割り込みを許可</p> <p>【注】* 割り込み要求の解除は、DR フラグの 1 を読み出した後、0 にクリアするか、DRIE ビットを 0 にクリアすることで行えます。</p>
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>SCSSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ要因による割り込み要求の発生を許可 / 禁止します。</p> <p>0 : 送信 FIFO データエンプティ割り込み要求を禁止*</p> <p>1 : 送信 FIFO データエンプティ割り込み要求を許可</p> <p>【注】* 割り込み要求の解除は、SCFTDR に送信トリガ設定数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>SCSSR の RDF フラグが 1 にセットされたときの受信 FIFO データフル要因による割り込み要求の発生を許可 / 禁止します。</p> <p>0 : 受信 FIFO データフル割り込み要求を禁止*</p> <p>1 : 受信 FIFO データフル割り込み要求を許可</p> <p>【注】* 割り込み要求の解除は、RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>シリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*<sup>1</sup></p> <p>1 : 受信動作を許可*<sup>2</sup></p> <p>【注】*1 RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	-	0	R	リザーブビット
2	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CKE1	0	R/W	クロックイネーブル 1、0
0	CKE0	0	R/W	<p>クロックソースを設定します。SCSMR で SCIF の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。</p> <p>00 : 内部クロック / SCK 端子は入力端子 (入力信号は無視) *<sup>1</sup></p> <p>01 : 内部クロック / SCK 端子は同期クロック出力*<sup>2</sup></p> <p>10 : 外部クロック / SCK 端子はクロック入力*<sup>3</sup></p> <p>11 : 外部クロック / SCK 端子は同期クロック入力*<sup>3</sup></p> <p>【注】*1 内蔵ポーレートジェネレータでデータサンプリングする場合は、CKE1、0 = 00 に設定してください。</p> <p>*2 クロック同期モードの場合、ビットレートと同じ周波数のクロックを出力します。また、チャンネル 0 を IrDA として使用する場合は、CKE1、CKE0 を 01 に設定してください。</p> <p>*3 調歩同期モードの場合、サンプリングレートに合わせたクロックを入力してください。たとえば、サンプリングレートが 1/16 の場合、ビットレートの 8 倍の周波数のクロックを入力してください。</p> <p>外部クロックを入力しない場合は、CKE1、CKE0 を 00 に設定してください。</p> <p>SCK 端子を I/O ポートと設定する場合は、CKE1、0 を 00 に設定してください。</p>

### 18.3.7 FIFO エラー数レジスタ (SCFER)

SCFER は、読み出し専用の 16 ビットのレジスタで、データの受信エラー（フレーミングエラー / パリティエラー）数を示します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PER5	0	R	パリティエラー数 調歩同期モード時に、レシープ FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。 SCSSR の ER ビットがセットされた後、ビット 13~8 で示される値がパリティエラー発生データ数を表示します。 SCFRDR の 64 バイトの受信データすべてがパリティエラーを伴う場合、PER5~PER0 は 0 を表示します。
12	PER4	0	R	
11	PER3	0	R	
10	PER2	0	R	
9	PER1	0	R	
8	PER0	0	R	
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	FER5	0	R	フレーミングエラー数 調歩同期モード時にレシープ FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCSSR の ER ビットがセットされた後、ビット 5~0 で示される値がフレーミングエラーの発生しているデータ数を表示します。 SCFRDR の 64 バイトの受信データすべてがフレーミングエラーを伴う場合、FER5~FER0 は 0 を表示します。
4	FER4	0	R	
3	FER3	0	R	
2	FER2	0	R	
1	FER1	0	R	
0	FER0	0	R	

### 18.3.8 シリアルステータスレジスタ (SCSSR)

SCSSR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ステータスを示します。

ただし、ORER、TSF、ER、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND フラグ、FER フラグおよび PER フラグは読み出し専用であり、書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	ORER	0	R/(W)*	オーバーランエラーフラグ 受信時にオーバーランエラーが発生したことを示します。 本ビットは調歩同期モード時のみ有効となります。 0: 受信中、または正常に受信を完了したことを表示* <sup>1</sup> 【クリア条件】 (1) パワーオンリセット、マニュアルリセット時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき 1: 受信時にオーバーランエラーが発生したことを表示* <sup>2</sup> 【セット条件】 受信 FIFO フルの状態で次のシリアル受信を完了したとき 【注】* <sup>1</sup> SCSSR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 * <sup>2</sup> SCFRDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。
8	TSF	0	R/(W)*	トランスミットデータストップフラグ 送信データ数が、SCTDSR の設定値と一致したことを示します。 0: 送信データ数が SCTDSR の値と一致していない 【クリア条件】 (1) パワーオンリセット、マニュアルリセット時 (2) TSF = 1 の状態を読み出した後、0 を書き込んだとき 1: 送信データ数が SCTDSR の値と一致

ビット	ビット名	初期値	R/W	説明
7	ER	0	R/(W)*	<p>レシーブエラー</p> <p>調歩同期モード時、受信時にフレーミングエラー、パリティエラーが発生したことを示します。*1</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• ER=1の状態を読み出した後、0を書き込んだとき</li> </ul> <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>【セット条件】</p> <ul style="list-style-type: none"> <li>• 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき*2</li> <li>• 受信時の受信データとパリティビットを合わせた1の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき</li> </ul> <p>【注】*1 SCSCR の RE ビットを0にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出したデータに受信エラーがあるかどうかは、SCSSR の FER、PER ビットで判定できます。</p> <p>*2 ストップレングスが2ビットのときは1ビット目のストップビットが1であるかどうかのみを判定し2ビット目のストップビットはチェックしません。</p>
6	TEND	1	R	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>【クリア条件】</p> <p>SCFTDR ヘデータを書き込んだとき</p> <p>1: 送信を終了したことを表示</p> <p>【セット条件】</p> <p>1バイトのシリアル送信キャラクタの送信時に SCFTDR に送信データがないとき</p>

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/(W)*	<p>トランスミット FIFO データエンプティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ、SCFTDR 内のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>【クリア条件】</p> <p>SCFTDR に送信トリガ設定数を超える送信データを書き込み、TDFE = 1 の状態を読み出した後、0 を書き込んだとき</p> <p>1: SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>【セット条件】</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき*</li> </ul> <p>【注】* SCFTDR は 64 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、64 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCFDR に示されます。</p>
4	BRK	0	R/(W)*	<p>ブ레이크検出</p> <p>調歩同期モード時、受信データのブ레이크信号を検出して示します。</p> <p>0: ブ레이크信号を受信していないことを表示</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• BRK = 1 の状態を読み出した後、0 を書き込んだとき</li> </ul> <p>1: ブ레이크信号を受信したことを表示*</p> <p>【セット条件】</p> <p>フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合</p> <p>【注】* ブ레이크検出すると検出後の受信データ (H'00) の SCFDR 転送は停止します。</p> <p>ブ레이크が終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p>

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期モード時、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータのフレーミングエラーを表示します。</p> <p>0 : SCFRDR から読み出した受信データにフレーミングエラーがないことを表示</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• SCFRDR 読み出しデータにフレーミングエラーなし</li> </ul> <p>1 : SCFRDR から読み出した受信データにフレーミングエラーが発生していることを表示</p> <p>【セット条件】</p> <p>SCFRDR 読み出しデータにフレーミングエラーあり</p>
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期モード時、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータのパリティエラーを表示します。</p> <p>0 : SCFRDR から読み出した受信データにパリティエラーがないことを表示</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• SCFRDR 読み出しデータにパリティエラーなし</li> </ul> <p>1 : SCFRDR から読み出した受信データにパリティエラーが発生していることを表示</p> <p>【セット条件】</p> <p>SCFRDR 読み出しデータにパリティエラーあり</p>

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>レシーブ FIFO データフル</p> <p>受信したデータがレシーブシフトレジスタ (SCRSR) からレシーブ FIFO データレジスタ (SCFRDR) に転送され、SCFRDR 内の受信データ数が、FIFO コントロールレジスタ (SCFCR) の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0: SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、RDF = 1 を読み出した後、0 を書き込んだとき</li> <li>1: SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</li> </ul> <p>【セット条件】</p> <p>SCFRDR に受信トリガ設定数以上の受信データが格納されたとき*</p> <p>【注】* SCFRDR は 64 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。</p> <p>SCFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCFCR の下位ビットに示されます。</p>
0	DR	0	R/(W) *	<p>レシーブデータレディ</p> <p>調歩同期モード時、レシーブ FIFO データレジスタ (SCFRDR) に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。</p> <p>0: 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>【クリア条件】 (初期値)</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• SCFRDR 内の受信データをすべて読み出し、DR = 1 を読み出した後、0 を書き込んだとき</li> <li>1: 次の受信データが来ないことを表示</li> </ul> <p>【セット条件】</p> <p>SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき*</p> <p>【注】* 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p> <p>etu (Elementary Time Unit : 1 ビットの転送期間の略)</p>

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。



### 18.3.9 ビットレートレジスタ (SCBRR)

SCBRR は、読み出し / 書き込み可能な 8 ビットのレジスタです。シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるポーレートジェネレータの動作クロックと合わせて、シリアル送信/受信のビットレートを設定します。

ビット	ビット名	初期値	R/W	説明
7~0	SCBRD7~ SCBRD0	H'FF	R/W	ビットレート設定

SCBRR の設定値は以下の計算式で求められます。

#### 【調歩同期式モードのとき】

(サンプリングレート 1/16 の場合)

$$N = \frac{P}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプリングレート 1/5 の場合)

$$N = \frac{P}{10 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプリングレート 1/11 の場合)

$$N = \frac{P}{22 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプリングレート 1/13 の場合)

$$N = \frac{P}{26 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプリングレート 1/27 の場合)

$$N = \frac{P}{54 \times 2^{2n-1} \times B} \times 10^6 - 1$$

#### 【クロック同期式モードのとき】

$$N = \frac{P}{4 \times 2^{2n-1} \times B} \times 10^6 - 1$$

- B : ビットレート (bit/s)
- N : ボーレートジェネレータの SCBRR の設定値  
調歩同期式モード (0 N 255)  
クロック同期式モード (1 N 255)
- P : 周辺モジュール動作周波数 (MHz)
- n : ボーレートジェネレータ入力クロック (n=0、1、2、3)  
(n とクロックの関係は、下表を参照してください)

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

(サンプリングレート 1/16 の場合)

$$\text{誤差 (\%)} = \left( \frac{P \times 10^6}{(1+N) \times B \times 32 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプリングレート 1/5 の場合)

$$\text{誤差 (\%)} = \left( \frac{P \times 10^6}{(1+N) \times B \times 10 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプリングレート 1/11 の場合)

$$\text{誤差 (\%)} = \left( \frac{P \times 10^6}{(1+N) \times B \times 22 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプリングレート 1/13 の場合)

$$\text{誤差 (\%)} = \left( \frac{P \times 10^6}{(1+N) \times B \times 26 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプリングレート 1/27 の場合)

$$\text{誤差 (\%)} = \left( \frac{P \times 10^6}{(1+N) \times B \times 54 \times 2^{2n-1}} - 1 \right) \times 100$$

## 18.3.10 FIFO コントロールレジスタ (SCFCR)

SCFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、送信、受信おのこの FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行います。またループバックテストの許可ビットを含んでいます。

ビット	ビット名	初期値	R/W	説明
15	TSE	0	R/W	トランスミットデータストップイネーブル 送信データストップ機能を許可 / 禁止します。本機能は、調歩同期式でのみ設定可能です。クロック同期式では本機能はサポートしていないので、本ビットは 0 に設定してください。 0 : 送信データストップ機能を禁止 1 : 送信データストップ機能を許可
14	TCRST	0	R/W	トランスミットカウントリセット 送信カウンタを 0 にクリアします。本ビットは、送信データストップ機能使用時のみ有効となります。 0 : 送信カウントリセットを禁止* 1 : 送信カウントリセットを許可 (0 にクリア) 【注】* パワーオンリセット、マニュアルリセット時には送信カウントリセット (0 にクリア) が行われます。
13~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 9 8	RSTRG2 RSTRG1 RSTRG0	0 0 0	R/W R/W R/W	RTS 出力アクティブトリガ 2~0 レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が下記に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。 000 : 63 001 : 1 010 : 8 011 : 16 100 : 32 101 : 48 110 : 54 111 : 60
7 6	RTRG1 RTRG0	0 0	R/W R/W	レシーブ FIFO データ数トリガ 1、0 シリアルステータスレジスタ (SCSSR) のレシーブデータフル (RDF) フラグをセットする受信データ数を設定するビットです。 レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が下記に示す受信トリガ設定数以上になったとき RDF フラグをセットします。 00 : 1 01 : 16 10 : 32 11 : 48

ビット	ビット名	初期値	R/W	説 明
5	TTRG1	0	R/W	トランスミット FIFO データトリガ 1、0
4	TTRG0	0	R/W	シリアルステータスレジスタ (SCSSR) のトランスミット FIFO データレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するビットです。 送信動作によりトランスミット FIFO データレジスタ (SCFTDR) 内の送信データ数が、下記に示す送信トリガ設定数以下になったとき TDFE フラグをセットします。 00 : 32 (32) 01 : 16 (49) 10 : 2 (62) 11 : 0 (64) 【注】 ( ) 内の値はフラグ発生時の SCFTDR の空き数を示します。
3	MCE	0	R/W	モデムコントロールイネーブル モデムコントロール信号 $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ を有効にします。 0 : モデム信号を無効* 1 : モデム信号を有効 【注】* $\overline{\text{CTS}}$ は入力値にかかわらず 0 アクティブに、 $\overline{\text{RTS}}$ は 0 に固定します。
2	TFRST	0	R/W	トランスミット FIFO データレジスタリセット トランスミット FIFO データレジスタ内の送信データを無効とし、空の状態にリセットします。 0 : リセット動作を禁止* 1 : リセット動作を許可 【注】* パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。
1	RFRST	0	R/W	レシーブ FIFO データレジスタリセット レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。 0 : リセット動作を禁止* 1 : リセット動作を許可 【注】* パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。
0	LOOP	0	R/W	ループバックテスト 送信出力端子 (TxD) と受信入力端子 (RxD)、 $\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続し、ループバックテストを可能にします。 0 : ループバックテストを禁止 1 : ループバックテストを許可

### 18.3.11 FIFO データ数レジスタ (SCFDR)

SCFDR は、読み出し専用の 16 ビットのレジスタで、SCFTDR および SCFRDR 内に格納されているデータ数を示します。

ビット 14~8 で SCFTDR 内の送信データ数を、ビット 6~0 で SCFRDR 内の受信データ数を示します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	T6	0	R	SCFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'40 は SCFTDR にいっぱいの送信データが格納されていることを示します。
13	T5	0	R	
12	T4	0	R	
11	T3	0	R	
10	T2	0	R	
9	T1	0	R	
8	T0	0	R	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	R6	0	R	SCFRDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'40 は SCFRDR にいっぱいの受信データが格納されていることを示します。
5	R5	0	R	
4	R4	0	R	
3	R3	0	R	
2	R2	0	R	
1	R1	0	R	
0	R0	0	R	

### 18.3.12 トランスミットデータストップレジスタ (SCTDSR)

SCTDSR は、読み出し / 書き込み可能な 8 ビットレジスタで、送信データ数を設定します。本レジスタは FIFO コントロールレジスタ (SCFCR) の TSE ビットがイネーブル時のみ有効となります。送信動作は、本レジスタで設定したデータ数を送信すると停止します。設定可能な値は、H'00 (1 バイト) ~ H'FF (256 バイト) です。

本レジスタの初期値は H'FF です。

## 18.4 動作説明

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期モードと、クロックに同期してシリアル通信を行うクロック同期式モードをサポートしています。

送受信各々に 64 段のバッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。

### 18.4.1 調歩同期式モード

以下に調歩同期式モードについて説明します。

送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 18.2 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットで決まります。

- データ長：7ビット / 8ビットから選択可能
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、レシーブFIFOデータフル、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタ各々の格納データ数を表示
- クロックソース：内部クロック / 外部クロックから選択可能
- 内部クロックを選択した場合：  
ポーレートジェネレータのクロックで動作
- 外部クロックを選択した場合：  
サンプリングレートに合わせたクロックを入力することが必要。たとえば、サンプリングレートが1/16の場合、ビットレートの8倍の周波数のクロックを入力することが必要  
(内蔵ポーレートジェネレータを使用しない)

表 18.2 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値			モード	SCIF の送信 / 受信フォーマット				
ビット 6	ビット 5	ビット 3		データ長	マルチプロセ ッサビット	パリティ ビット	ストップ ビット長	
CHR	PE	STOP						
0	0	0	調歩同期式 モード	8 ビット データ	なし	なし	1 ビット	
		1					2 ビット	
	1	0				あり	1 ビット	
		1				2 ビット		
1	0	0		7 ビット データ		なし	なし	1 ビット
		1						2 ビット
	1	0				あり	1 ビット	
		1				2 ビット		

#### 18.4.2 調歩同期式モードのシリアル動作

##### (1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 18.3 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 18.3 シリアル送信 / 受信フォーマット

SCSMR の設定			シリアル送信 / 受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	START [ 8ビットデータ ] STOP											
		1	START [ 8ビットデータ ] STOP										STOP	STOP
	1	0	START [ 8ビットデータ ] P										STOP	
		1	START [ 8ビットデータ ] P										STOP	STOP
1	0	0	START [ 7ビットデータ ] STOP											
		1	START [ 7ビットデータ ] STOP										STOP	STOP
	1	0	START [ 7ビットデータ ] P										STOP	
		1	START [ 7ビットデータ ] P										STOP	STOP

## (2) クロック

SCIF の送受信クロックは、シリアルコントロールレジスタ (SCSCR) の CKE ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。

外部クロックを SCK 端子に入力する場合には、サンプリングレートに合わせたクロックを入力してください。たとえば、サンプリングレートが 1/16 の場合、ビットレートの 8 倍の周波数のクロックを入力してください。

## (3) データの送信 / 受信動作

### (a) SCIF の初期化

データの送信 / 受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。

通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、トランスミットシフトレジスタ (SCTSR) が初期化されます。TE、RE ビットを 0 にクリアしても、シリアルステータスレジスタ (SCSSR)、トランスミット FIFO データレジスタ (SCFTDR) および、レシーブ FIFO データレジスタ (SCFRDR) の内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCSSR の TEND ビットが 1 にセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、ハイインピーダンス状態になります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットをいったん 1 にセットして SCFTDR をリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 18.2 に SCIF の初期化フローチャートの例を示します。



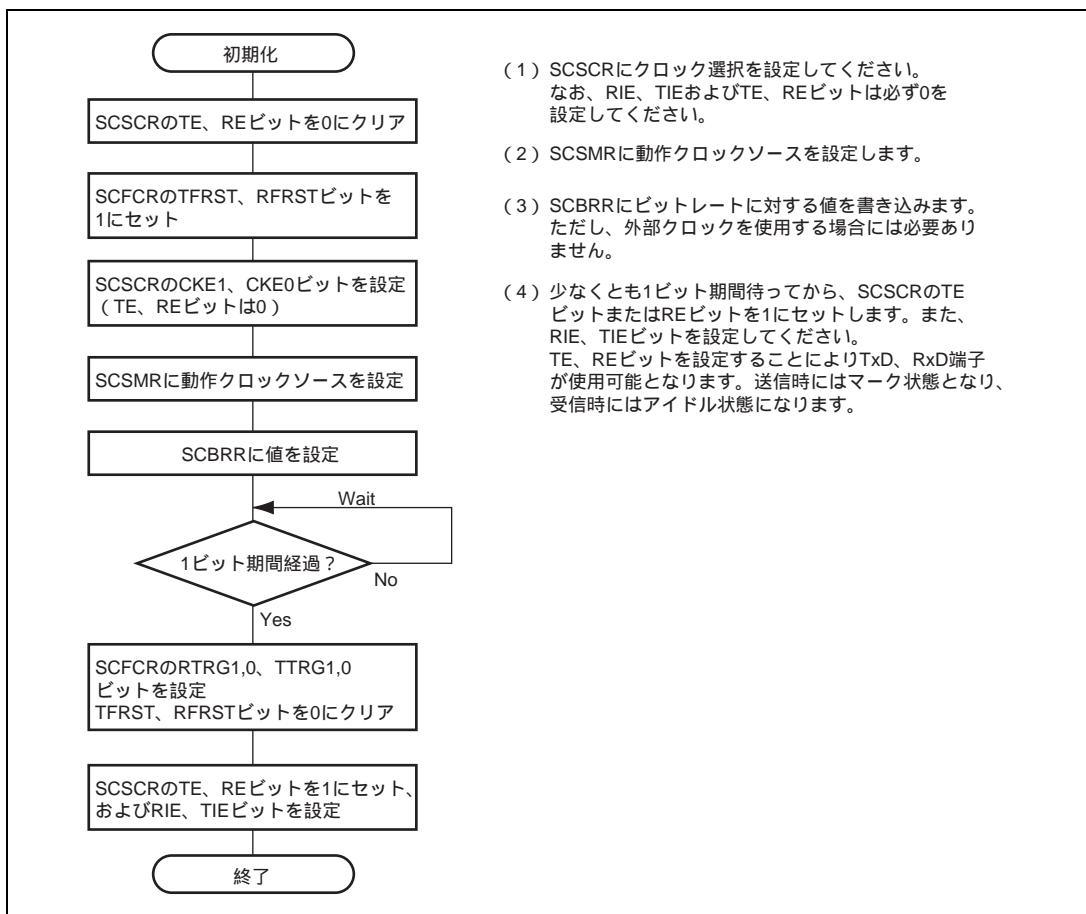


図 18.2 SCIF の初期化フローチャートの例

## (b) シリアルデータ送信

図 18.3 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

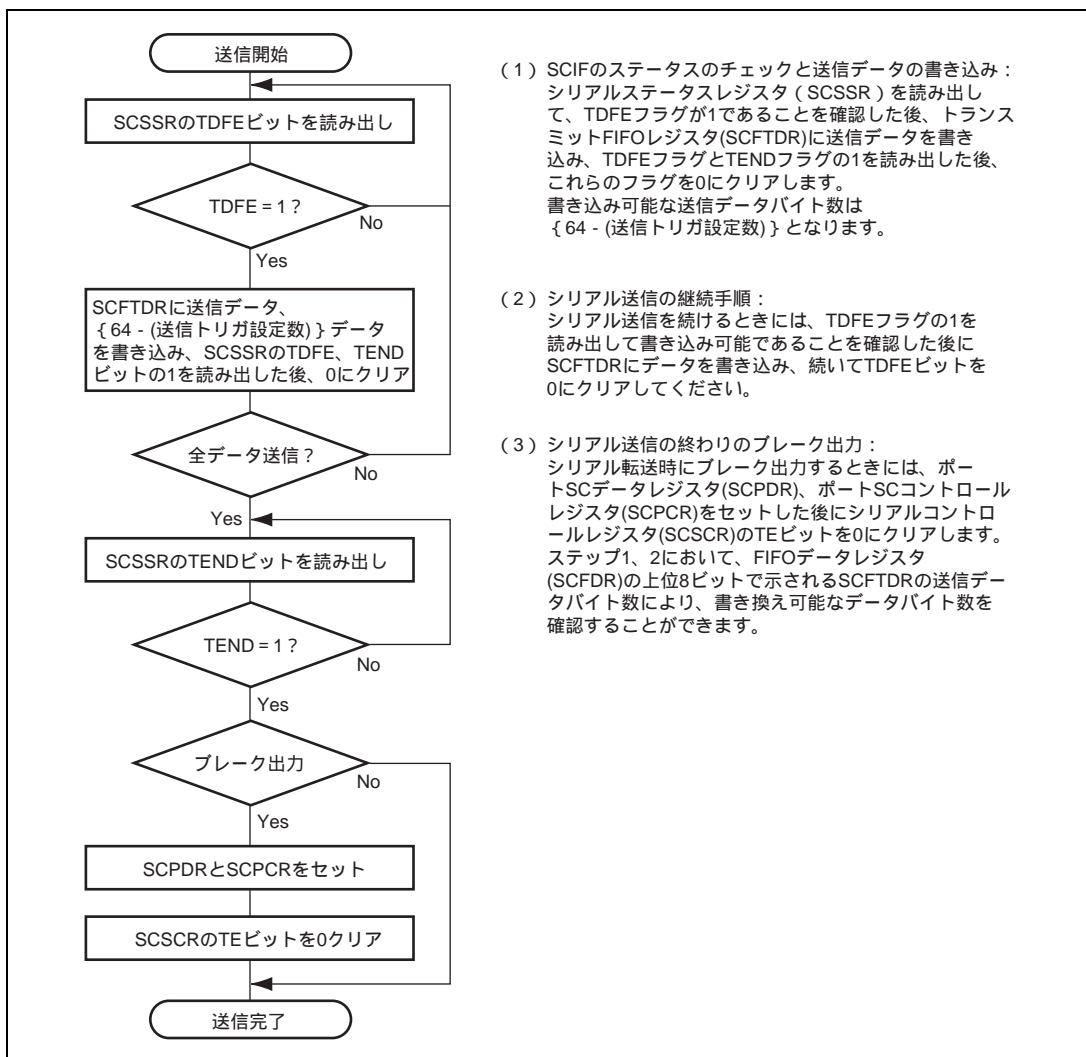


図 18.3 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTS) にデータを転送し、送信を開始します。SCFTDRにはシリアルステータスレジスタ (SCSSR) のTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも { 64 - (送信トリガ設定) } 数です。

2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になったとき、TDFEフラグをセットします。

このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ要因による割り込み要求を発生します。

送信データストップ機能使用時、トランスミットデータストップレジスタ (SCTDSR) に設定したデータ数と一致すると、送信動作を停止し、シリアルステータスレジスタ (SCSSR) のTSFフラグをセットします。

このとき、シリアルコントロールレジスタ (SCSCR) のTSIEビットが1にセットされていると送信データストップ要因による割り込み要求を発生します。ただし、送信FIFOデータエンプティ割り込みと送信データストップ割り込みのベクタは共通です。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- a. スタートビット：1ビットの0が出力されます。
  - b. 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
  - c. パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
  - d. なお、パリティビットを出力しないフォーマットも選択できます。
  - e. ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
  - f. マーク状態：次の送信を開始するスタートビットを送り出すまで"1"を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。  
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。  
送信データがないとシリアルステータスレジスタ (SCSSR) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。

調歩同期式モードの送信時の動作例を図 18.4 に示します。

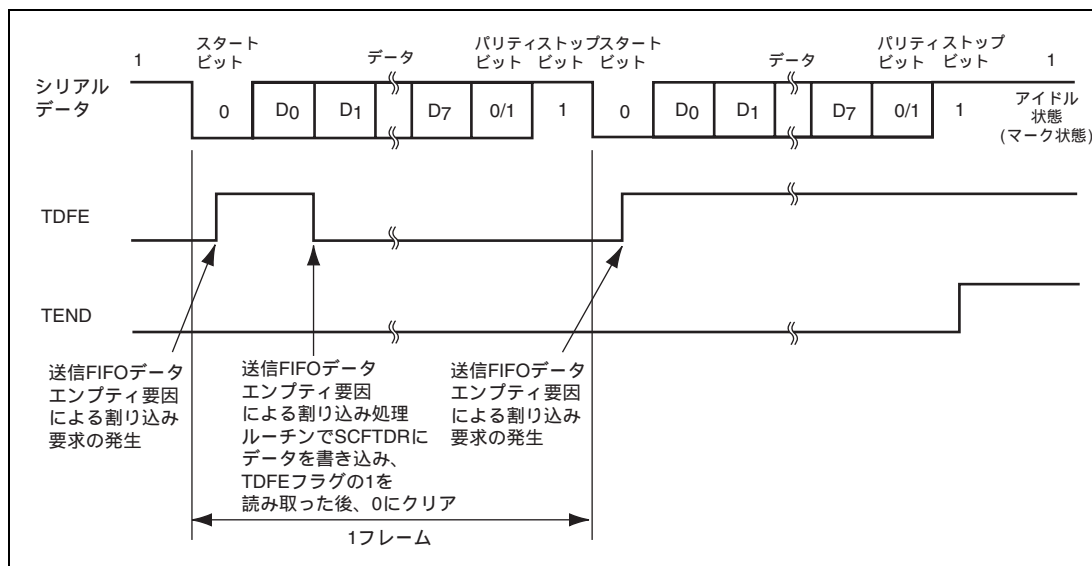


図 18.4 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

- 送信データストップ機能

送信データストップ機能とは、SCTDSR レジスタの値と送信データ数が一致すると、送信動作を停止する機能です。TSIE ビット (割り込みイネーブルビット) をセットしておくことで、割り込みの発生および DMAC の起動を行うことができます。

送信データストップ機能の動作例を図 18.5 に示します。

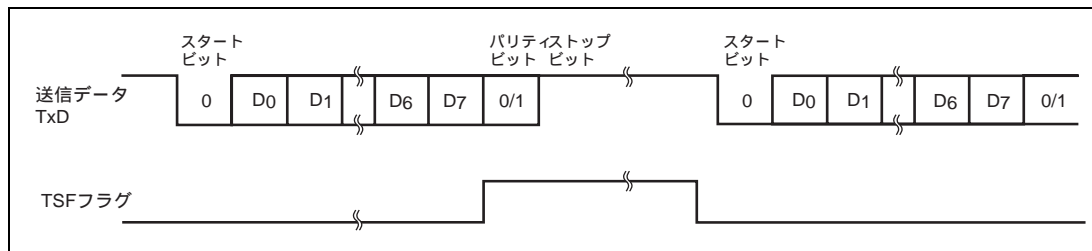


図 18.5 送信データストップ機能の動作例

次に、送信データストップ機能のフローチャートを図 18.6 に示します。

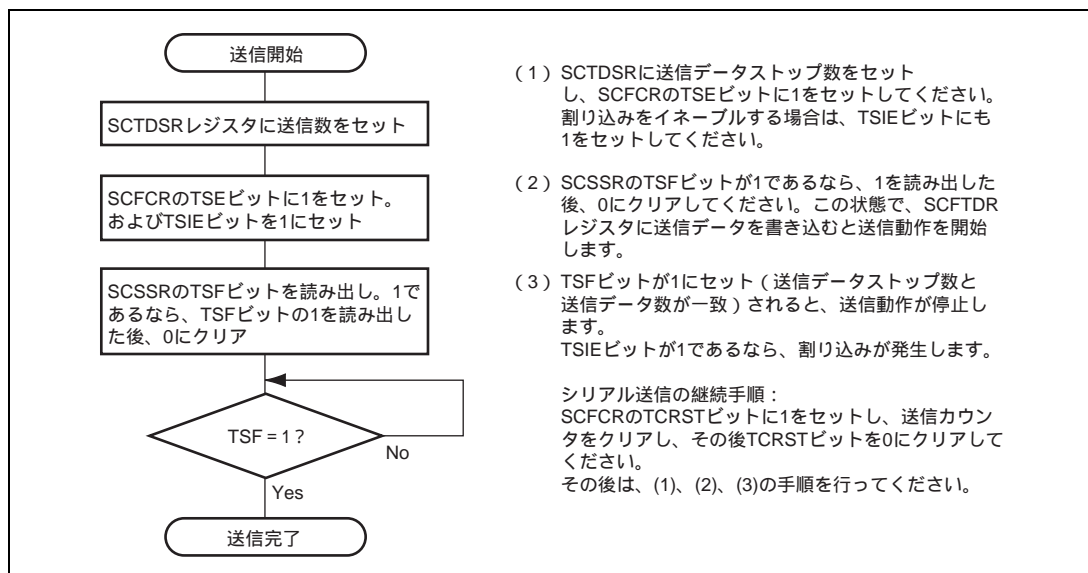


図 18.6 送信データストップ機能のフローチャート

## (c) シリアルデータ受信

図 18.7、図 18.8 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIF を受信動作可能状態に設定した後、以下の手順に従って行ってください。

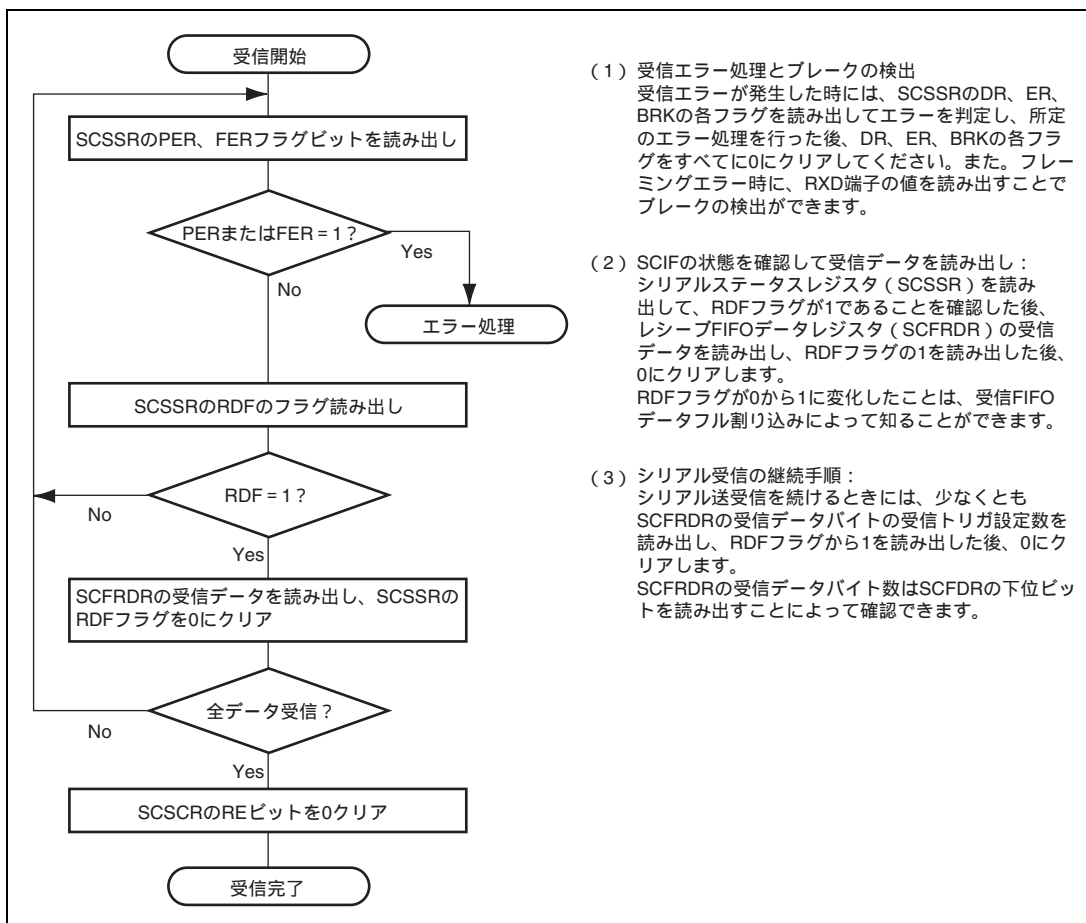


図 18.7 シリアル受信のフローチャートの例 (1)

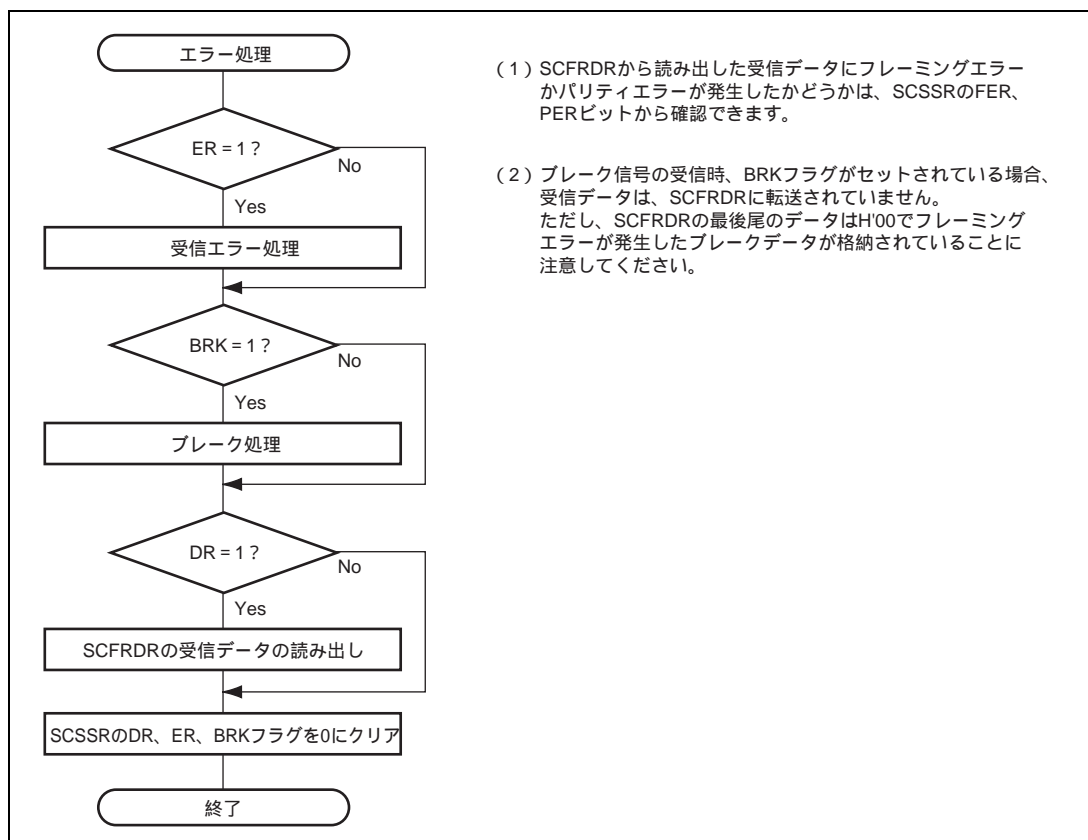


図 18.8 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCSSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- a. ストップビットチェック：ストップビットが1であるかをチェックします。  
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- b. 受信データをレシブシフトレジスタ (SCSSR) からSCFRDRに転送できる状態であるかをチェックします。
- c. ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。

以上のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 受信エラー（フレーミングエラー／パリティエラー）が発生しても受信動作を続けます。

4. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル要因による割り込み要求を発生します。

また、ERフラグが1になったとき、SCSCRのERIEビットが1にセットされていると受信エラー要因による割り込み要求を発生します。

BRKフラグが1になったとき、SCSCRのBRIEビットが1にセットされていると、ブレイク受信要因による割り込み要求を発生します。

- DRフラグが1になったとき、SCSCRのDRIEビットが1にセットされていると、レシーブデータレディ要因による割り込み要求を発生します。
- ただし、各要因で発生する割り込みのベクタは共通です。

受信時の動作例を図 18.9 に示します。

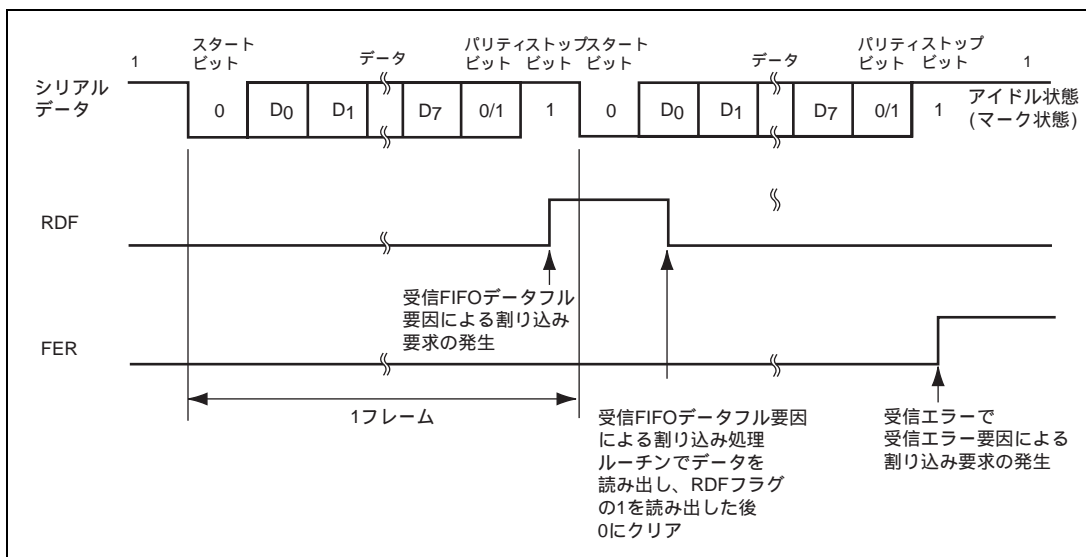


図 18.9 SCIF の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

SCIF は、モデム機能を持っています。モデム機能を使用した場合、 $\overline{\text{CTS}}$  入力値に応じて送信を停止、再開することができます。 $\overline{\text{CTS}}$  が 1 にセットされると、送信中である場合 1 フレームの送信後マーク状態になります。 $\overline{\text{CTS}}$  が 0 にセットされると、次の送信データがスタートビットを先頭に出力されます。

$\overline{\text{CTS}}$  制御の動作例を図 18.10 に示します。



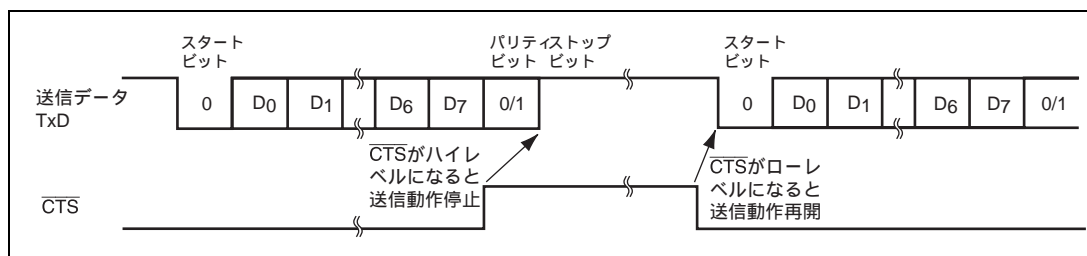


図 18.10 CTS 制御の動作例

また、モデム機能を使用した場合、受信 FIFO (SCFRDR) が  $\overline{\text{RTS}}$  出力トリガ数以上になったとき、 $\overline{\text{RTS}}$  信号はハイレベルになります。

次に  $\overline{\text{RTS}}$  制御の動作例を図 18.11 に示します。

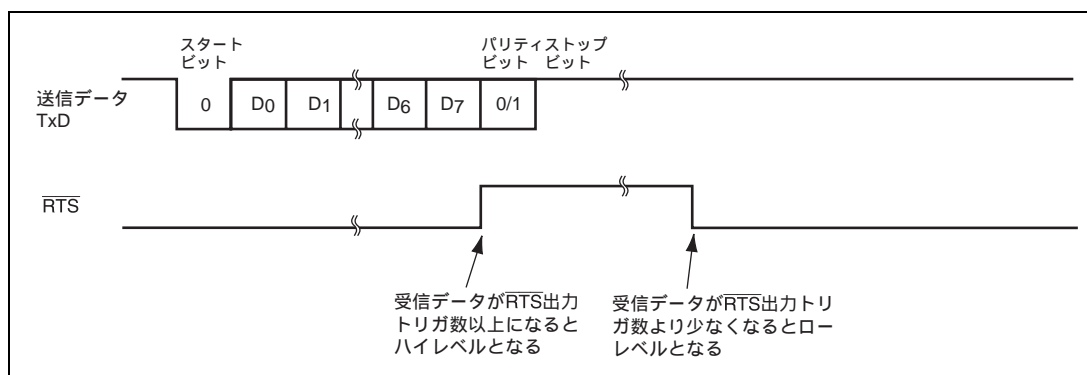


図 18.11 RTS 制御の動作例

### 18.4.3 クロック同期式モード

以下にクロック同期式モードについて説明します。

送受信おののに 64 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。

動作クロックソースの選択は、シリアルモードレジスタ (SCSMR) で行います。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 で決まります。

- 送受信フォーマット：8ビットデータ固定
- 送受信FIFOレジスタおののの格納データ数を表示
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能

内部クロックを使用した場合：

SCIFはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

外部クロックを選択した場合：

SCK端子から入力された外部周期クロックで動作

#### 18.4.4 クロック同期式モードのシリアル動作

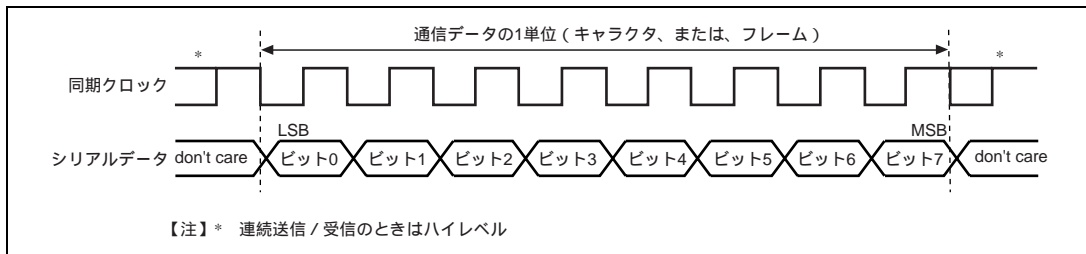


図 18.12 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

##### (1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

##### (2) クロック

SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロックまたは SCK 端子から入力された外部周期クロックの 2 種類から選択できます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、RE ビットが 1 にセットされている間、同期クロックは出力し続けます。

1 キャラクタ単位で同期クロックをハイレベルに固定したいときは、受信するデータ数と同じ数のデータをトランスミット FIFO データレジスタ (SCFTDR) へ書き込み、同時に TE、RE ビットを 1 にセットして送信データをダミーで送信してください。送信データ数が送信されると同期クロックはハイレベルに固定されます。

## (3) データの送信 / 受信動作

## (a) SCIF の初期化

データの送信 / 受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアしたあと、以下の順で SCIF を初期化してください。

クロックソースの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、トランスミットシフトレジスタ (SCTSR) が初期化されます。TE、RE ビットを 0 にクリアしても、シリアルステータスレジスタ (SCSSR)、トランスミット FIFO データレジスタ (SCFTDR) および、レシーブ FIFO データレジスタ (SCFRDR) の内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCSSR の TEND ビットが 1 にセットされたあとに行ってください。送信途中には TE ビットを 0 にクリアしないでください。TE ビットを 0 にクリアすると、TxD 端子はハイインピーダンス状態となります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットをいったん 1 にセットして SCFTDR をリセットしてください。

図 18.13 に SCIF の初期化フローチャートの例を示します。

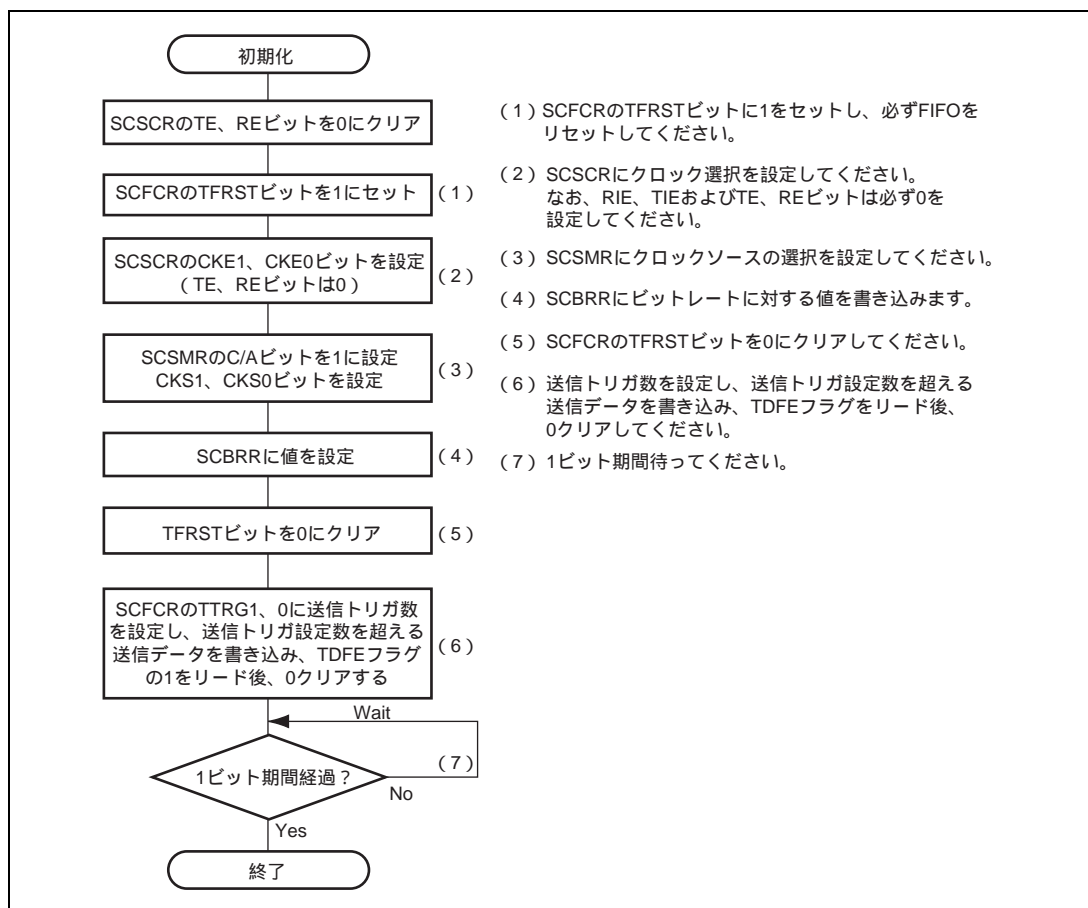


図 18.13 送信動作時の初期化フローチャートの例 (1)

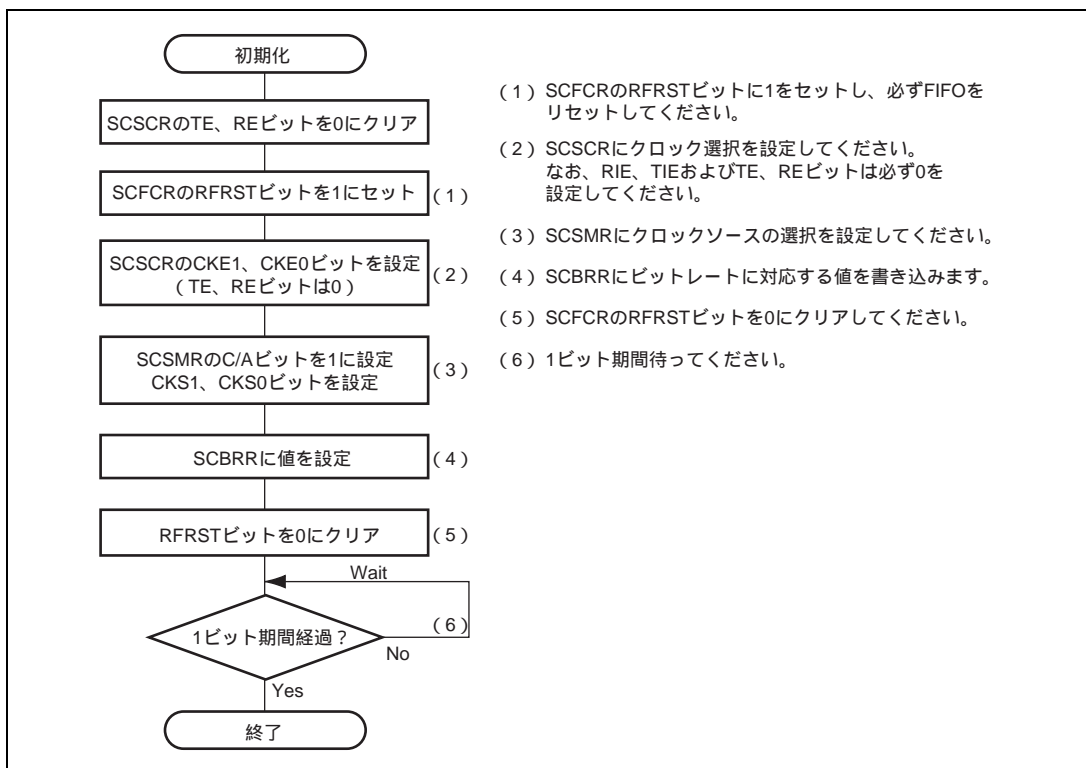


図 18.13 受信動作時の初期化フローチャートの例 (2)

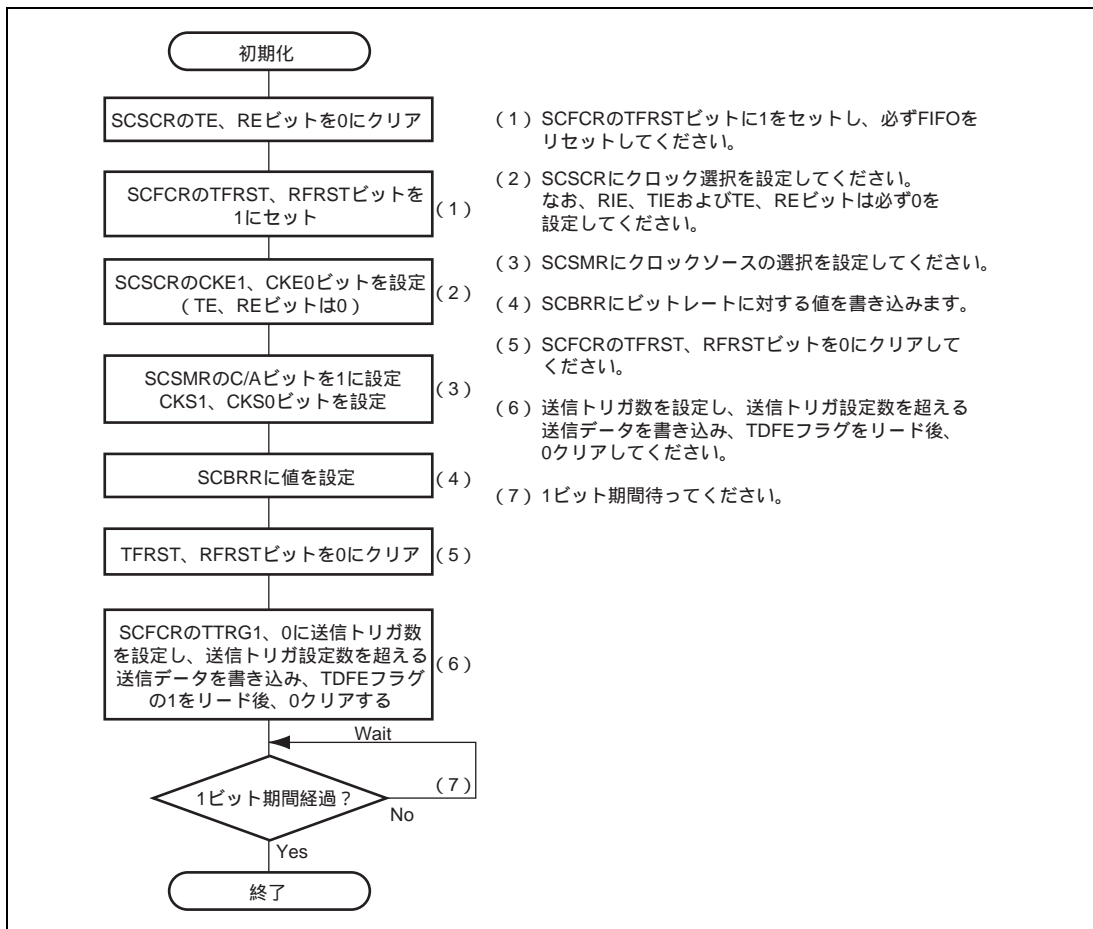


図 18.13 同時送受信時の初期化フローチャートの例 (3)

## (b) シリアルデータ送信

図 18.14 にシリアル送信のフローチャートの例を示します。

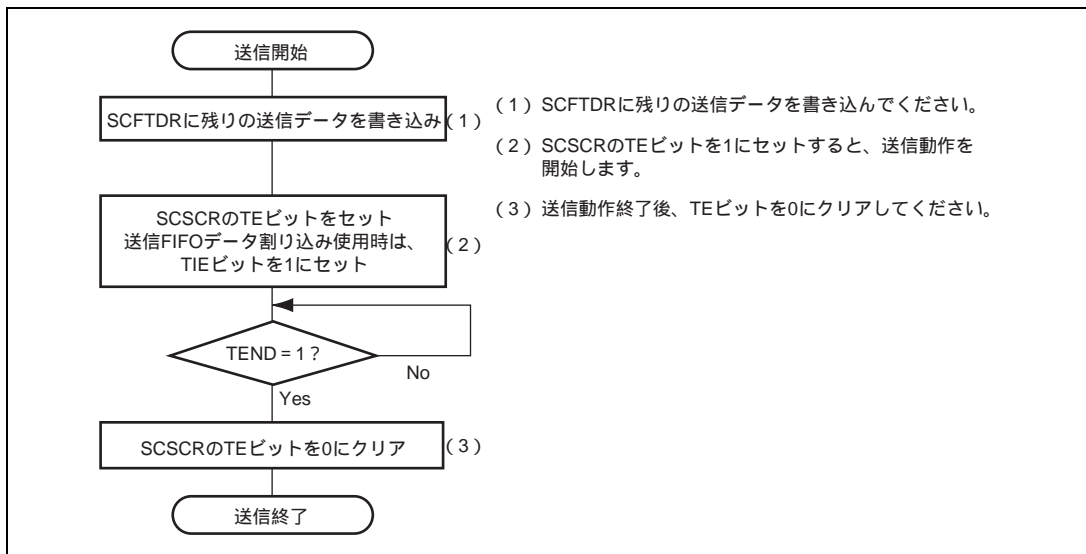


図 18.14 送信動作時のフローチャートの例 (初期化後 1 回目の送信動作) (1)

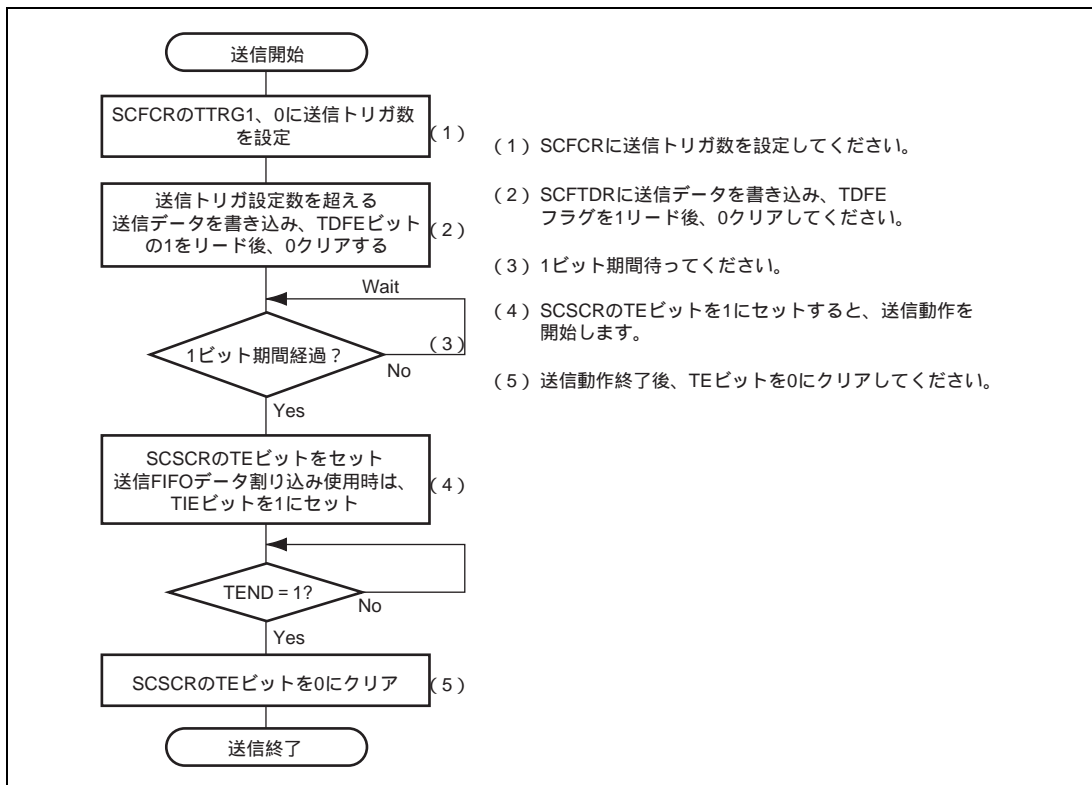


図 18.14 送信動作時のフローチャートの例 (2回目以降の送信動作) (2)

## (c) シリアルデータ受信

図 18.15 にシリアル受信フローチャートの例を示します。

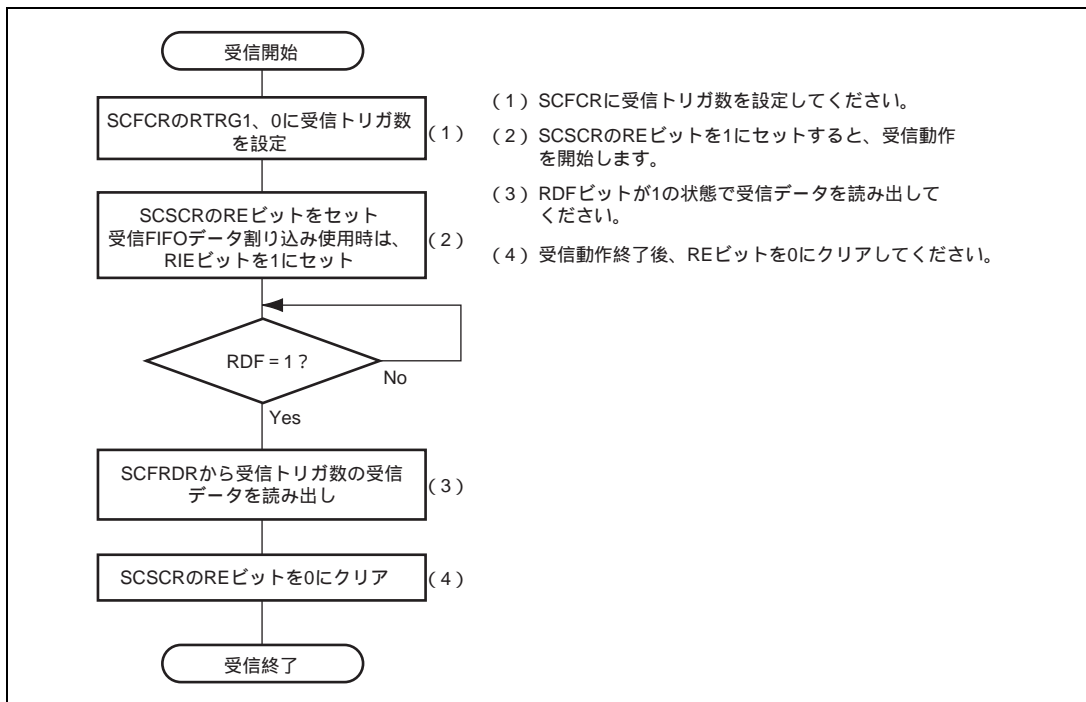


図 18.15 受信動作時のフローチャートの例 (初期化後 1 回目の受信動作) (1)



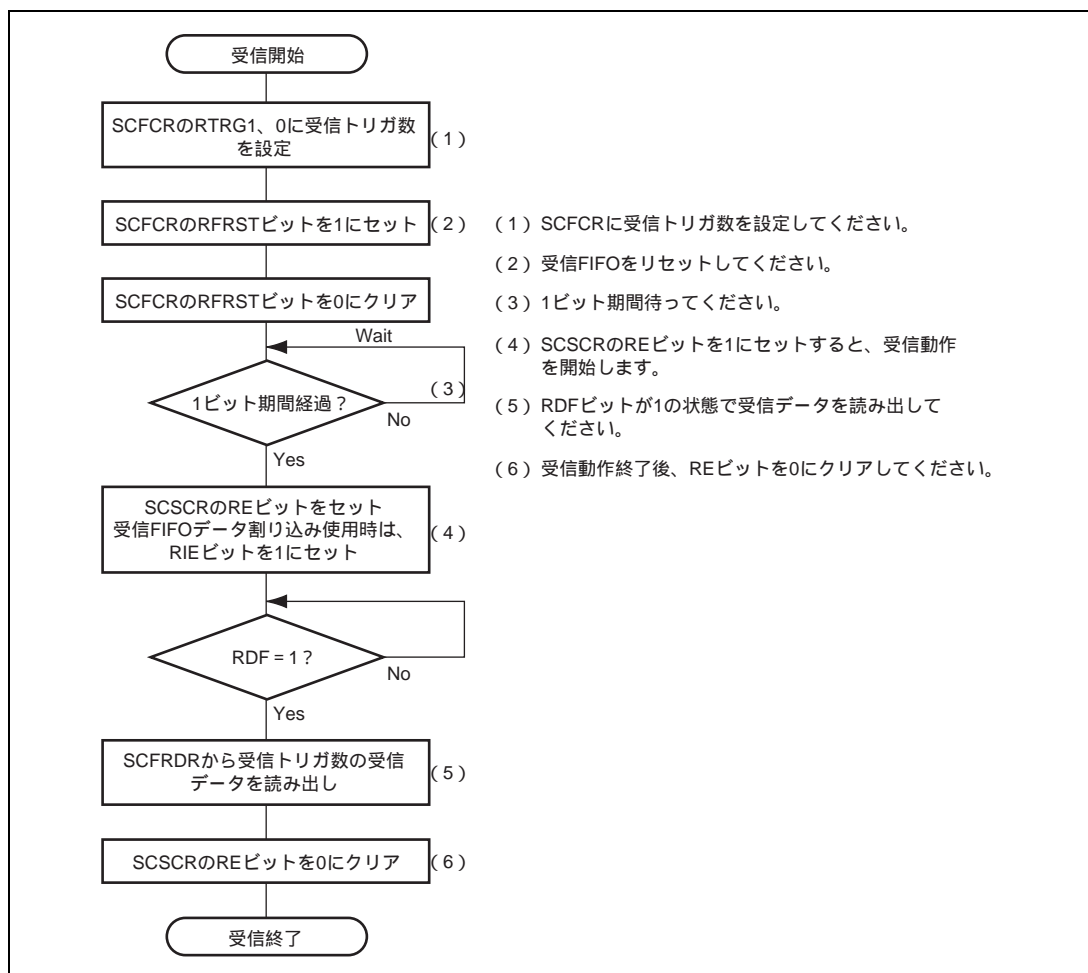


図 18.15 受信動作時のフローチャートの例 (2 回目以降の受信動作) (2)

## (d) シリアルデータ送受信同時動作

図 18.16 にシリアル送受信同時動作のフローチャートの例を示します。

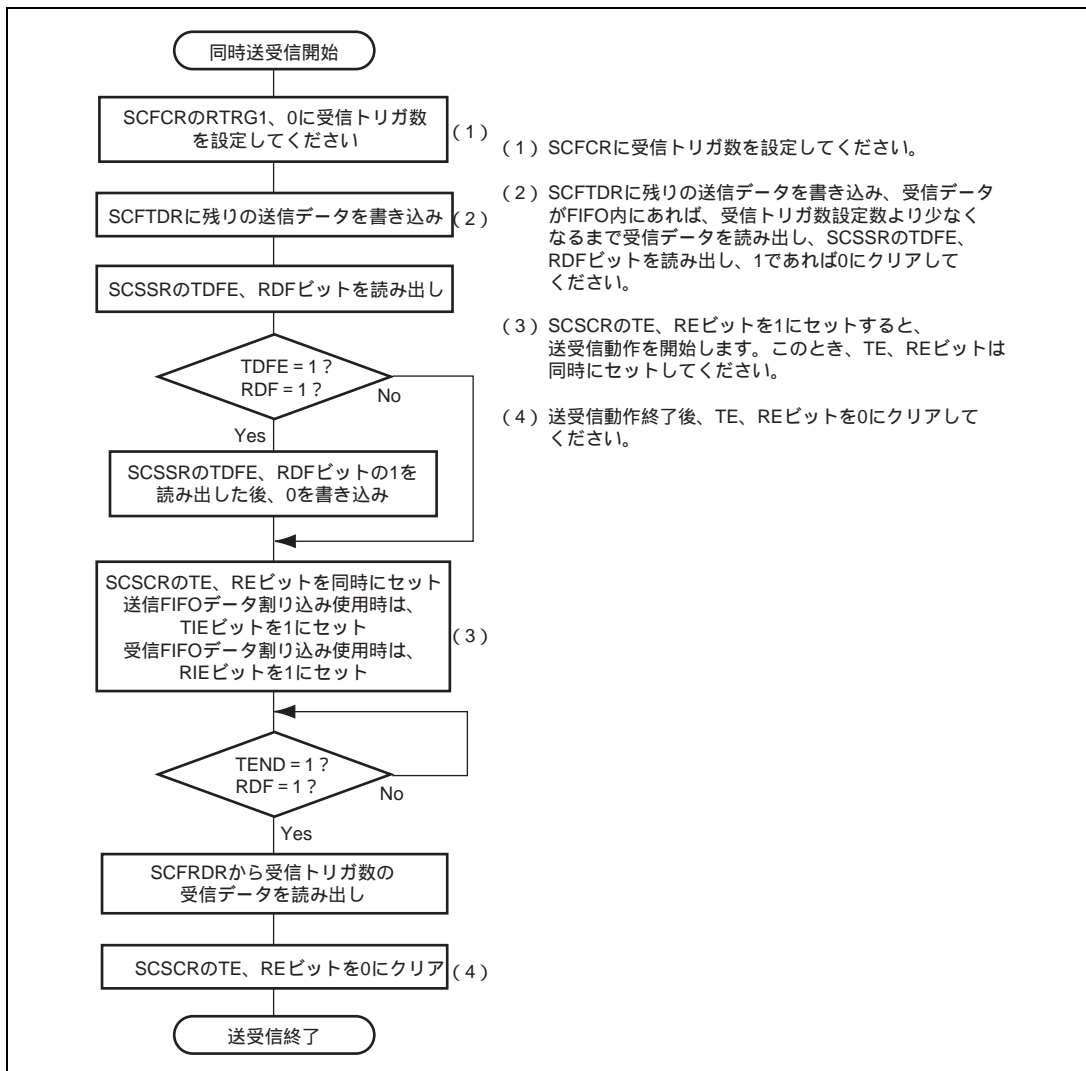


図 18.16 同時送受信動作時のフローチャートの例 (初期化後 1 回目の送受信動作) (1)

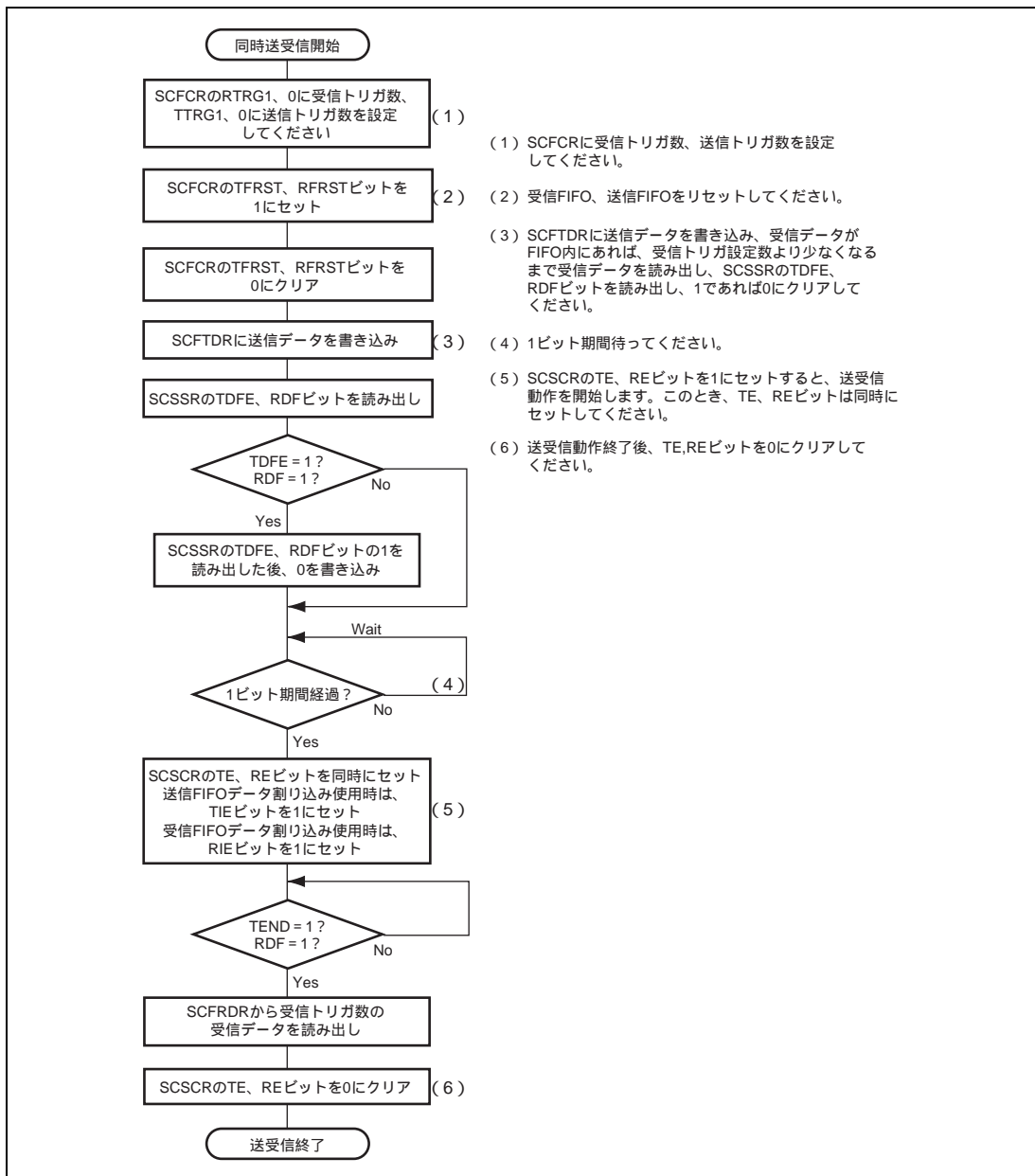


図 18.16 同時送受信動作時のフローチャートの例 (2回目以降の送受信動作) (2)

## 18.5 割り込み要因と DMAC

SCIF は、調歩同期式モード時には、送信 FIFO データエンpty 要因による割り込み要求、送信データストップ要因による割り込み要求、受信エラー要因による割り込み要求、受信 FIFO データフル要因による割り込み要求、ブレイク受信要因による割り込み要求、レシーブデータレディ要因による割り込み要求の 6 種類の割り込み要因をサポートしています。ただし、各要因による割り込みのベクタは共通です。

クロック同期式モード時には、送信 FIFO データエンpty 割り込み要求、受信 FIFO データフル割り込み要求の 2 種類の割り込みをサポートしています。

表 18.4 に各割り込み要因を示します。各割り込み要因は、SCSSR の TIE、RIE、ERIE、BRIE、DRIE、TSIE ビットで、許可または禁止ができます。

SCSSR の TDFE フラグが 1 にセットされると、送信 FIFO データエンpty 要因による割り込み要求が発生します。SCSSR の TSF フラグが 1 にセットされると、送信データストップ要因による割り込み要求が発生します。送信 FIFO データエンpty 要因による割り込み要求と送信データストップ要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。DMAC 転送要求は、DMAC で SCFTDR に送信トリガ設定数を超えるデータが書き込まれると自動的にクリアされます。

SCSSR の RDF フラグが 1 にセットされると、受信 FIFO データフル要因による割り込み要求が発生します。受信 FIFO データフル要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。DMAC 転送要求は、DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで読み出されると自動的にクリアされます。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、DMA 転送の終了にて送受信の完了となります。DMAC の設定方法は「第 10 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

SCSSR の ER フラグが 1 にセットされた場合、または、  
SCSSR の BRK フラグが 1 にセットされた場合、または、  
SCSSR の DR フラグが 1 にセットされた場合、または、  
SCSSR の TSF フラグが 1 にセットされた場合には、割り込み要求が発生します。

ただし、各要因による割り込みのベクタは共通となります。また、同一要因により、DMAC 起動と割り込みを同時に発生させることはできません。DMAC 起動を使用する場合は、以下の手順を取ってください。

1. 発生要因に対応する割り込みイネーブルビット (TIE、RIE) を 1 にセットしてください。
2. その他の割り込みイネーブルビット (TSIE、ERIE、BRIE、DRIE) は 0 にセットしてください。

表 18.4 SCIF 割り込み要因

割り込み要因の内容	DMAC の起動
受信エラー (ER) またはブレーク (BRK) による割り込み	不可
受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可* <sup>1</sup>
送信 FIFO データエンプティ (TDFE) または送信データストップ (TSF) による割り込み	可* <sup>2</sup>

【注】 \*<sup>1</sup> 受信 FIFO データフル要因による割り込み要求でのみ DMAC の起動が行えます。

\*<sup>2</sup> 送信 FIFO データエンプティ要因による割り込み要求でのみ DMAC の起動が行えます。

優先順位、SCIF 以外の割り込みとの関係は、「第 7 章 例外処理」を参照してください。

## 18.6 使用上の注意事項

### (a) SCFTDR への書き込みと TDFE フラグについて

シリアルステータスレジスタ (SCSSR) の TDFE フラグはトランスミット FIFO データレジスタ (SCFTDR) 内に書き込んだ送信データ数が、FIFO コントロールレジスタ (SCFCR) の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は FIFO データ数レジスタ (SCFDR) の 14~8 ビットで知ることができます。

### (b) SCFRDR の読み出しと RDF フラグについて

シリアルステータスレジスタ (SCSSR) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR) 内の受信データ数が FIFO コントロールレジスタ (SCFCR) の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、すべての受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は FIFO データ数レジスタ (SCFDR) の 6~0 ビットで知ることができます。

### (c) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを受信した後は、SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

## (d) 受信データサンプリングタイミングと受信マージン

サンプリングレートを 1/16 とした場合を例に挙げて説明します。SCIF は転送レートの 8 倍の周波数の基本クロックで動作します。

受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 18.17 に示します。

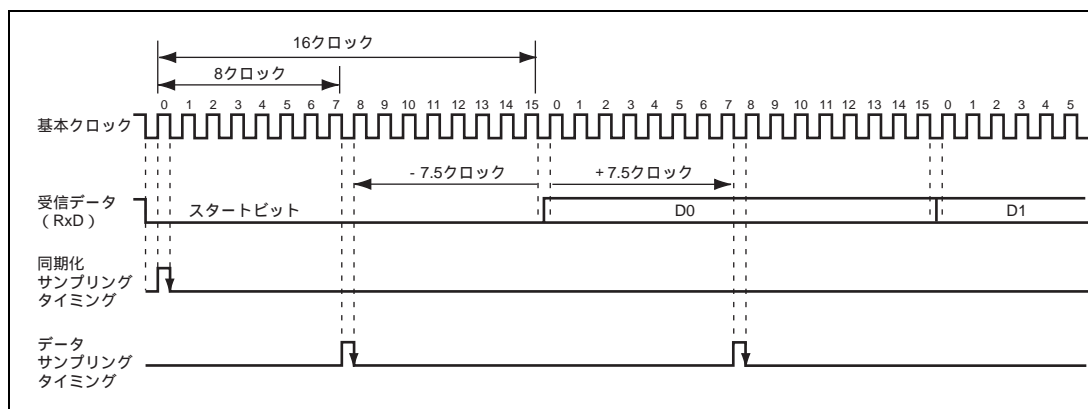


図 18.17 受信データサンプリングタイミング

したがって、受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \dots \text{式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = \left( 0.5 - 1 / (2 \times 16) \right) \times 100\%$$

$$= 46.875\% \dots \dots \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

## 19. 赤外線通信モジュール (IrDA)

本 LSI は IrDA 1.0 システムに基づく赤外線データアソシエーション (IrDA) インタフェースを内蔵しており、赤外線通信を行うことができます。

IrDA インタフェースは SCIF\_0 の変復調を行うオプションモジュールであるため、常に SCIF\_0 モジュールと共に使用します。

### 19.1 特長

- IrDA 1.0準拠
- 調歩同期式シリアル通信  
データ長：8ビット  
ストップビット長：1ビット  
パリティビット：なし
- 送受信用内蔵64段FIFOバッファ
- ビットレートを選択できる内蔵ボーレートジェネレータ
- 送信中、受信部に影響を与えないようにする保護機能
- IrDAを使用しない場合、消費電力を小さくするためにクロック供給を停止

IrDA のブロック図を図 19.1 に示します。

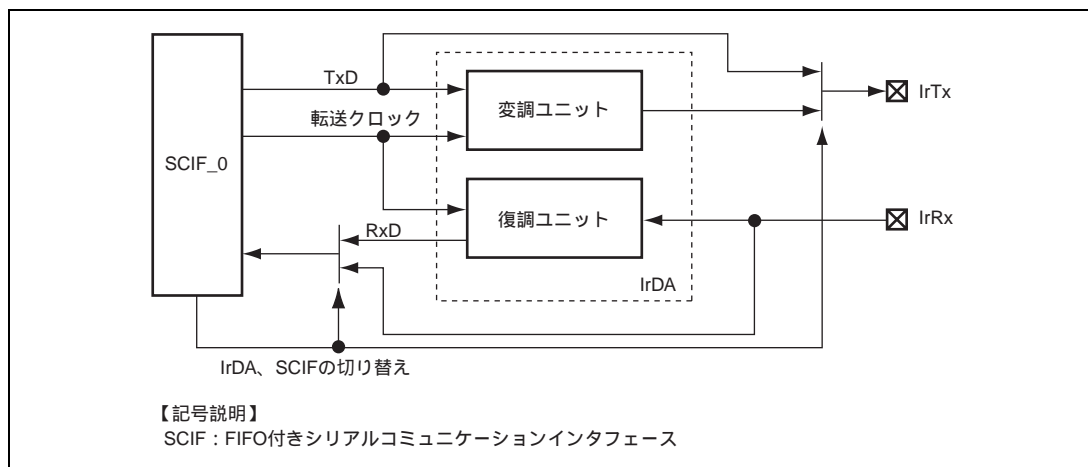


図 19.1 IrDA のブロック図

## 19.2 入出力端子

IrDA の端子構成を表 19.1 に示します。

表 19.1 端子構成

名称	端子名	入出力	機能
IrDA 受信データ端子	IrRX	入力	受信データ入力
IrDA 送信データ端子	IrTX	出力	送信データ出力

【注】 IrDA モードでは、シリアルクロック端子からのクロック入力設定を禁止します。

## 19.3 レジスタの説明

IrDA には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。

- IrDA モードレジスタ (SCIMR)

### 19.3.1 IrDA モードレジスタ (SCIMR)

SCIMR は、IrDA または SCIF モードの選択、および IrDA の出力パルス幅の選択を行います。

IrDA は IRMOD ビットを 1 にセットすることにより IrDA として動作します。また、IRMOD ビットを 0 にセットすると SCIF として動作します。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IRMOD	0	R/W	IrDA モード このモジュールが IrDA シリアルコミュニケーションインタフェースとして動作するか、SCIF として動作するかを選択します。 0 : SCIF として動作 1 : IrDA として動作
6	ICK3	0	R/W	出力パルス分周比 3~0* IrDA に使用するクロックパルス IRCLK を生成するための、周辺クロック (P) の分周比を指定します。IRCLK は次の式で計算します。 $IRCLK = 1 / (2N + 2) \times P$ ただし、N = ICK3 ~ ICK0 の設定値
5	ICK2	0	R/W	
4	ICK1	0	R/W	
3	ICK0	0	R/W	
2	PSEL	0	R/W	出力パルス幅セレクト 115kbps に対してビット長の 3/16、または選択したボーレートに対してビット長の 3/16 である IrDA の出力パルス幅を選択します。 0 : パルス幅は ICK3~0 によらずビット長の 3/16 1 : パルス幅は ICK3~0 によって指定された 115kbps ビット長の 3/16
1	-	0	R	リザーブビット
0	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。



## 【注】 \* IrDA の推奨値について

例えば、115.2kbps の転送レートの場合は、 $(Nb + 1) : (Ni + 1) = 2 : 1$  になるように設定してください。  
 SCIF モジュールと IrDA モジュールは非同期で動作していますが、 $(Nb + 1) : (Ni + 1) = 2 : 1$  にしていただくことにより同期動作になります。同期動作により、ビットレート誤差が生じた場合にも、IR フレーム内の誤差は均一になります。  
 SCIMR のビット 2 (PSEL) は、PSEL = 1 にて使用してください。送受信を最適化できます。

表 19.2 設定例 (P = 33.1776MHz の場合)

Nb	Nb + 1	B	Ni	Ni + 1
17	18	115.2	8	9
35	36	57.6	8	9
53	54	38.4	8	9
107	108	19.2	8	9
215	216	9.6	8	9

## 【記号説明】

Nb = SCIF のボーレート値 (SCBRR の SCBRD7 ~ SCBRD0)

Ni = IrDA のボーレート値 (SCIMR の ICK3 ~ ICK0)

B = ビットレート (bits/s)

## 19.4 動作説明

IrDA モジュールは、赤外線送受信ユニットを接続することによって IrDA 1.0 に対応した赤外線通信を実行することができます。シリアル通信インタフェースユニットは送信部と受信部にパッファを内蔵していますので、CPU のオーバーヘッドを小さくするとともに連続高速通信が可能です。

IrDA モジュールは、IrDA 1.0 赤外線通信仕様を満足するよう、IrTx/IrRx 送受信データの波形を変更します。

IrDA 1.0 仕様では、通信はまず 9600 bps の速度で実行され、通信速度は変更されます。ただし、通信速度は本モジュールでは自動的に変更されません。したがって、通信を実行する場合には通信速度を確認し、ソフトウェアで速度を設定してください。

### 19.4.1 送信

SCIF からのシリアル出力信号 (UART フレーム) の場合、その波形は修正され、図 19.2 に示すように信号は IrDA モジュールによって IR フレームシリアル出力信号に変換されます。

シリアルデータが 0 の場合、IR フレームの 3/16 ビット幅のパルスが生成され出力されます。シリアルデータが 1 の場合、パルスは出力されません。

### 19.4.2 受信

受信した IR フレームの 3/16 ビット幅のパルスは、図 19.2 に示すように復調後 UART フレームに変換されます。

0 への復調はパルス出力に対して実行され、1 への復調はパルス出力に対しては実行されません。

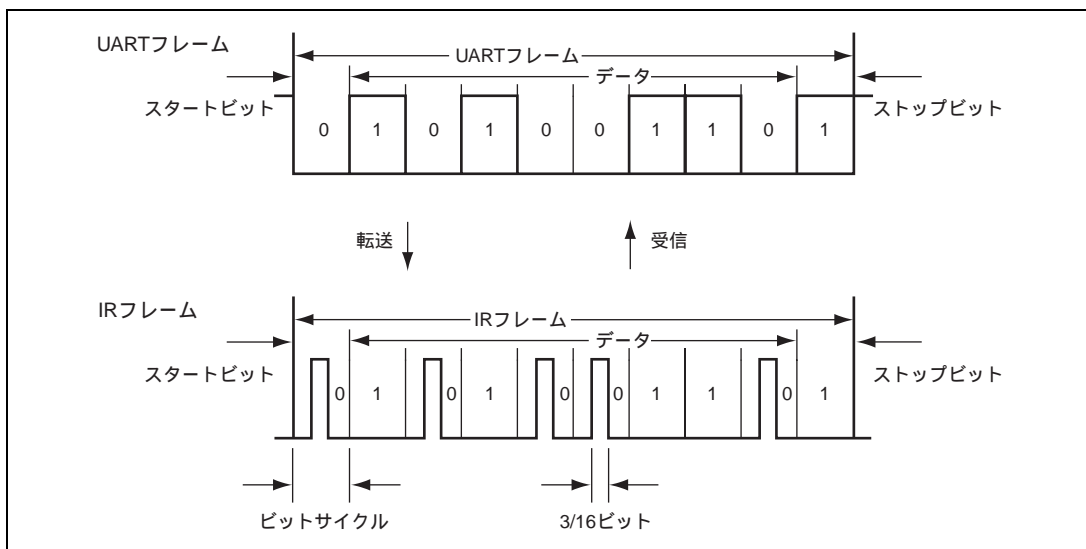


図 19.2 送受信動作

### 19.4.3 データフォーマットの指定

IrDA 通信で使用する UART フレームのデータフォーマットは、SCIF\_0 のレジスタ設定により指定してください。UART フレームは、データ 8 ビット、パリティビットなし、ストップビット 1 ビットの設定となります。

IrDA の通信は調歩同期式で行われますので、この設定も SCIF\_0 のレジスタで設定をしてください。また、サンプリングレートは 1/16 に設定してください。

IrDA を使用する場合、SCIF\_0 動作クロックの設定はシリアルコントロールレジスタの CKE1、CKE0 ビットに 01 を設定してください。

IrDA 通信のビットレートは、SCIF\_0 のビットレートになります。通信レートの設定は SCIF0 のレジスタにて設定を行ってください。

SCIF\_0 の各レジスタの設定については、「第 18 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)」の章を参照してください。

---

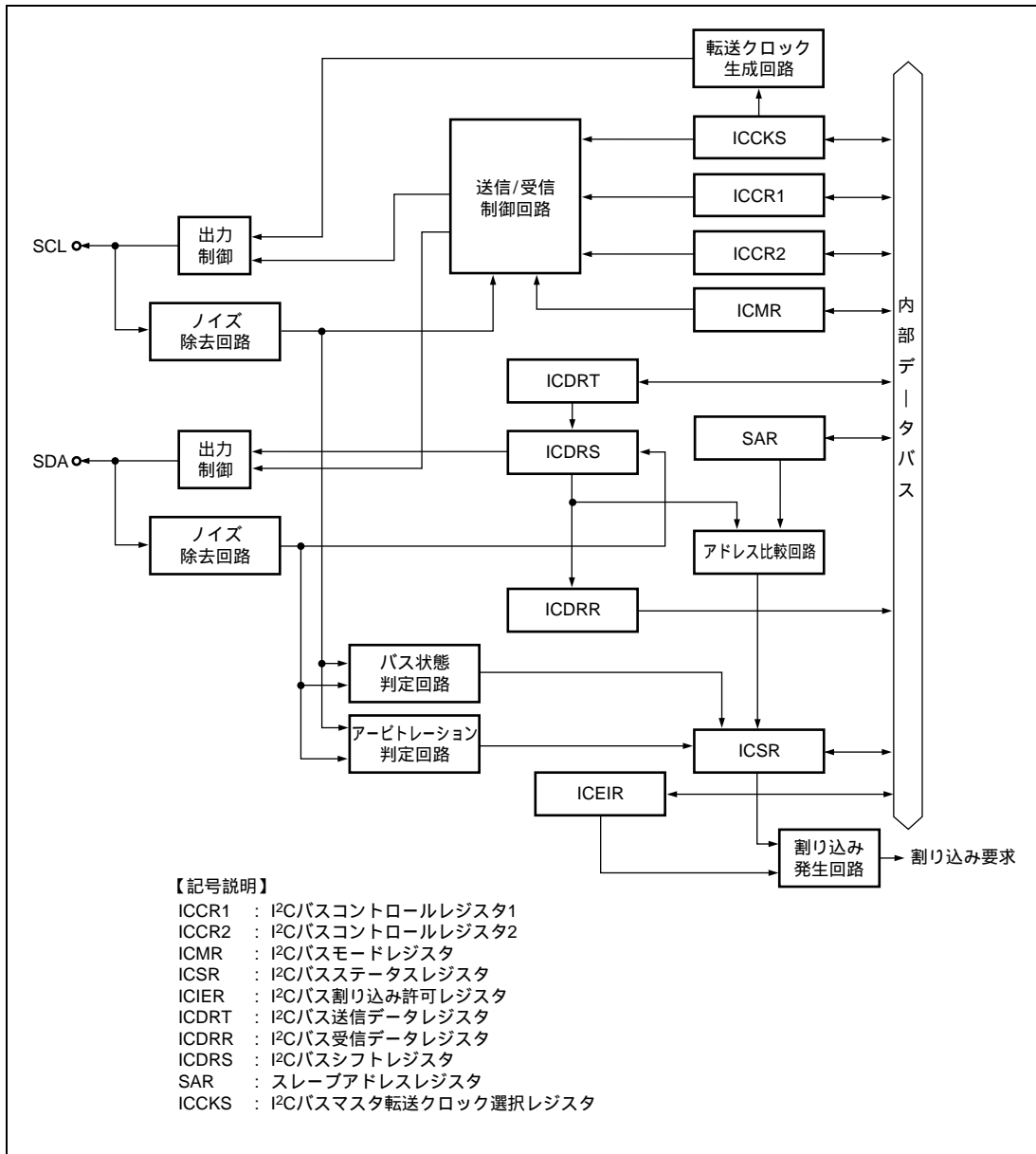
## 20. I<sup>2</sup>C バスインタフェース (IIC)

---

I<sup>2</sup>C バスインタフェースは、フィリップス社が提唱する I<sup>2</sup>C バス (Inter IC Bus) インタフェース方式をサポートしており、サブセット機能を備えています。ただし I<sup>2</sup>C バスを制御するレジスタの構成が一部フィリップス社と異なります。I<sup>2</sup>C バスインタフェースのブロック図を図 20.1 に、入出力端子の外部回路接続例を図 20.2 に示します。

### 20.1 特長

- 連続送信 / 受信可能  
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能
- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期 / ウェイト機能内蔵  
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因 : 6種類  
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出
- バスを直接駆動可能  
SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

図 20.1 I<sup>2</sup>C バスインタフェースのブロック図

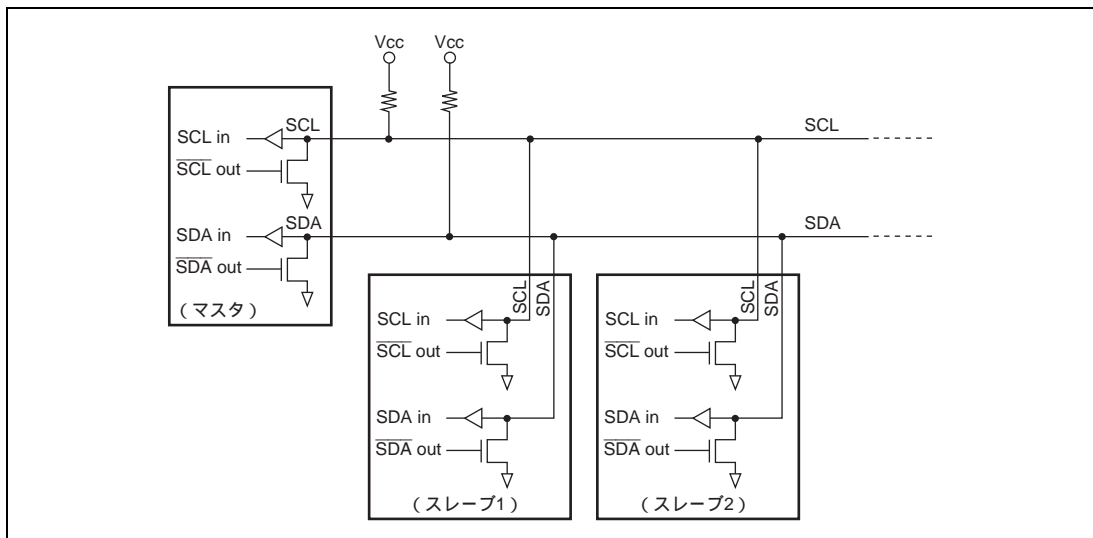


図 20.2 入出力端子の外部回路接続例

## 20.2 入出力端子

I<sup>2</sup>C バスインタフェースで使用する端子構成を表 20.1 に示します。

表 20.1 端子構成

名称	端子名	略称	入出力	機能
IIC クロック	IIC_SCL	SCL	入出力	I <sup>2</sup> C シリアルクロック入出力端子
IIC データ入出力	IIC_SDA	SDA	入出力	I <sup>2</sup> C シリアルデータ入出力端子

## 20.3 レジスタの説明

I<sup>2</sup>C バスインタフェースには以下のレジスタがあります。

- I<sup>2</sup>Cバスコントロールレジスタ1 (ICCR1)
- I<sup>2</sup>Cバスコントロールレジスタ2 (ICCR2)
- I<sup>2</sup>Cバスモードレジスタ (ICMR)
- I<sup>2</sup>Cバスインタラプトイネーブルレジスタ (ICIER)
- I<sup>2</sup>Cバスステータスレジスタ (ICSR)
- スレーブアドレスレジスタ (SAR)
- I<sup>2</sup>Cバス送信データレジスタ (ICDRT)
- I<sup>2</sup>Cバス受信データレジスタ (ICDRR)
- I<sup>2</sup>Cバスシフトレジスタ (ICDRS)
- I<sup>2</sup>Cバス マスタ転送クロック選択レジスタ (ICCKS)

20.3.1 I<sup>2</sup>C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は I<sup>2</sup>C バスインタフェースの動作 / 停止、送信 / 受信制御、マスタモード / スレーブモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I <sup>2</sup> C バスインタフェースイネーブル 0 : 本モジュールは機能停止状態 1 : 本モジュールは転送動作可能状態
6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ / スレーブ選択 送信 / 受信選択 I <sup>2</sup> C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS ともにハードウェアによってリセットされてスレーブ受信モードに変わります。 なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。 MST と TRS との組み合わせにより、以下の動作モードになります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20.3.2 I<sup>2</sup>C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I<sup>2</sup>C バスインタフェースのコントロール部のリセットを制御します。

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	バスビジー I <sup>2</sup> C バスの占有 / 開放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。I <sup>2</sup> C バスフォーマットの場合、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。なお開始条件 / 停止条件の発行は、MOV 命令を用いてください。
6	SCP	1	R/W	開始 / 停止条件発行禁止ビット SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。
5	SDAO	1	R/W	SDA 出力値制御 SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。 0 : リード時、SDA 端子出力が Low レベル : ライト時、SDA 端子出力を Low レベルに変更 1 : リード時、SDA 端子出力が High レベル : ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)
4	SDAOP	1	R/W	SDAO ライトプロテクト SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 を MOV 命令で行います。本ビットはリードすると常に 1 が読み出されます。
3	SCLO	1	R	SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。
2	-	1	-	リザーブビット リードすると常に 1 が読み出されます。

ビット	ビット名	初期値	R/W	説明
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I <sup>2</sup> C のレジスタを除くコントロール部をリセットします。I <sup>2</sup> C の動作中に通信不具合等によりハングアップした時、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I <sup>2</sup> C のコントロール部をリセットすることができます。
0	-	1	-	リザーブビット リードすると常に 1 が読み出されます。

### 20.3.3 I<sup>2</sup>C バスモードレジスタ (ICMR)

ICMR は MSB ファースト / LSB ファーストの選択、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I <sup>2</sup> C バスフォーマットで使用するときは 0 に設定してください。
6	-	0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	-	1	-	リザーブビット
4	-	1	-	リードすると常に 1 が読み出されます。
3	BCWP	1	R/W	BC ライトプロテクト BC2 ~ BC0 の書き込みを制御します。BC2 ~ BC0 を書きかえる場合は、本ビットを 0 にして MOV 命令で行います。 0 : ライト時、BC2 ~ BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2 ~ BC0 設定値は無効



ビット	ビット名	初期値	R/W	説明
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I <sup>2</sup> C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻りません。 I <sup>2</sup> C バスフォーマット 000 : 9 ビット 001 : 2 ビット 010 : 3 ビット 011 : 4 ビット 100 : 5 ビット 101 : 6 ビット 110 : 7 ビット 111 : 8 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

#### 20.3.4 I<sup>2</sup>C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンpty割り込み (TXI) を許可/禁止します。 0 : 送信データエンpty割り込み要求 (TXI) の禁止 1 : 送信データエンpty割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0 : 送信終了割り込み要求 (TEI) の禁止 1 : 送信終了割り込み要求 (TEI) の許可

ビット	ビット名	初期値	R/W	説明
5	RIE	0	R/W	レシーブインタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI) の許可 / 禁止を選択します。なお NAKI は、NACKF または OVE を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可
3	STIE	0	R/W	停止条件検出インタラプトイネーブル 0: 停止条件検出割り込み要求 (STPI) の禁止 1: 停止条件検出割り込み要求 (STPI) の許可
2	ACKE	0	R/W	アクノリッジビット判定選択 0: 受信アクノリッジの内容を無視して連続的に転送を行う。 1: 受信アクノリッジが 1 の場合、転送を中断する。
1	ACKBR	0	R	受信アクノリッジ 送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。 0: 受信アクノリッジ = 0 1: 受信アクノリッジ = 1
0	ACKBT	0	R/W	送信アクノリッジ 受信モード時、アクノリッジのタイミングで送出するビットを設定します。 0: アクノリッジのタイミングで 0 を送出 1: アクノリッジのタイミングで 1 を送出

20.3.5 I<sup>2</sup>C バスステータスレジスタ (ICSR)

ICSR は各種割り込み要求フラグおよびステータスの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] <ul style="list-style-type: none"> <li>• ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき</li> <li>• TRS をセットしたとき</li> <li>• 開始条件 (再送含む) を発行したとき</li> <li>• スレーブモードで受信モードから送信モードになったとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• 命令で ICDRT ヘデータをライトしたとき</li> </ul>
6	TEND	0	R/W	トランスミットエンド [セット条件] <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が上がったとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• 命令で ICDRT ヘデータをライトしたとき</li> </ul>
5	RDRF	0	R/W	レシーブデータレジスタフル [セット条件] <ul style="list-style-type: none"> <li>• ICDRS から ICDRR に受信データが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• 命令で ICDRR をリードしたとき</li> </ul>
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [セット条件] <ul style="list-style-type: none"> <li>• ICIER の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> </ul>
3	STOP	0	R/W	停止条件検出フラグ [セット条件] <ul style="list-style-type: none"> <li>• マスタモード時、フレームの転送の完了後に停止条件を検出したとき。</li> <li>• スレーブモード時、開始条件検出後の第 1 バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき。</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> </ul>

ビット	ビット名	初期値	R/W	説明
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ / オーバランエラーフラグ</p> <p>AL/OVE は、I<sup>2</sup>C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときに I<sup>2</sup>C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき</li> <li>マスタモードの場合、開始条件検出時、SDA 端子が High レベルのとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> </ul>
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6 - SVA0 と一致した場合にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードでスレーブアドレスを検出したとき</li> <li>スレーブ受信モードでゼネラルコールアドレスを検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> </ul>
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>I<sup>2</sup>C バスフォーマットのスレーブ受信モードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードかつゼネラルコールアドレスを検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> </ul>

### 20.3.6 スレーブアドレスレジスタ (SAR)

SAR はフォーマットの選択、スレーブアドレスを設定します。I<sup>2</sup>C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

ビット	ビット名	初期値	R/W	説明
7~1	SVA6~ SVA0	すべて 0	R/W	スレーブアドレス 6~0 I <sup>2</sup> C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 20.3.7 I<sup>2</sup>C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。なお、ICMR の MLS ビットを 1 に設定した場合、ICDRT に書き込んだ後、リードすると MSB/LSB 反転したデータが読み出されます。ICDRT の初期値は H'FF です。

### 20.3.8 I<sup>2</sup>C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。ICDRR の初期値は H'FF です。

### 20.3.9 I<sup>2</sup>C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

20.3.10 I<sup>2</sup>C バスマスタ転送クロック選択レジスタ (ICCKS)

ICCKS は、マスタモードの転送クロックの選択を行います。マスタモードのときのみ有効です。必要な転送レートに合わせて設定してください。転送レートについては、表 20.2 を参照してください。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時は常に 0 にしてください。
4	CKS4	0	R/W	マスタ転送クロック選択 4~0 マスタモードのとき、必要転送レートに合わせて設定してください。スレーブモードでは送信モード時のデータセットアップ時間の確保に使用されます。
3	CKS3	0	R/W	
2	CKS2	0	R/W	
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 20.2 転送レート

ビット4	ビット3	ビット2	ビット1	ビット0	周辺 クロック	転送レート					
						P =10MHz	P =16MHz	P =20MHz	P =25MHz	P =30MHz	P =32MHz
0	0	0	0	0	P /28	357kHz	-	-	-	-	-
0	0	0	0	1	P /40	250kHz	400kHz	-	-	-	-
0	0	0	1	0	P /48	208kHz	333kHz	-	-	-	-
0	0	0	1	1	P /64	156kHz	250kHz	313kHz	391kHz	-	-
0	0	1	0	0	P /80	125kHz	200kHz	250kHz	313kHz	375kHz	400kHz
0	0	1	0	1	P /100	100kHz	160kHz	200kHz	250kHz	300kHz	320kHz
0	0	1	1	0	P /112	89kHz	143kHz	179kHz	223kHz	268kHz	286kHz
0	0	1	1	1	P /128	78kHz	125kHz	156kHz	195kHz	234 kHz	250kHz
0	1	0	0	0	P /56	179kHz	286kHz	357kHz	446kHz	536kHz	571kHz
0	1	0	0	1	P /80	125kHz	200kHz	250kHz	313kHz	375kHz	400kHz
0	1	0	1	0	P /96	104kHz	167kHz	208kHz	260kHz	313kHz	333kHz
0	1	0	1	1	P /128	78kHz	125kHz	156kHz	195kHz	234 kHz	250kHz
0	1	1	0	0	P /160	63kHz	100kHz	125kHz	156kHz	188kHz	200kHz
0	1	1	0	1	P /200	50kHz	80kHz	100kHz	125kHz	150kHz	160kHz
0	1	1	1	0	P /224	45kHz	71kHz	89kHz	112kHz	134 kHz	143kHz
0	1	1	1	1	P /256	39kHz	63kHz	78kHz	98kHz	117kHz	125kHz
1	0	0	0	0	P /112	89kHz	143kHz	179kHz	223kHz	268kHz	286kHz
1	0	0	0	1	P /160	63kHz	100kHz	125kHz	156kHz	188kHz	200kHz
1	0	0	1	0	P /192	52kHz	83kHz	104 kHz	130kHz	156kHz	167kHz
1	0	0	1	1	P /256	39kHz	63kHz	78kHz	98kHz	117kHz	125kHz
1	0	1	0	0	P /320	31kHz	50kHz	63kHz	78kHz	94 kHz	100kHz
1	0	1	0	1	P /400	25kHz	40kHz	50kHz	63kHz	75kHz	80kHz
1	0	1	1	0	P /448	22kHz	36kHz	45kHz	56kHz	67kHz	71kHz
1	0	1	1	1	P /512	20kHz	31kHz	39kHz	49kHz	59kHz	63kHz
1	1	0	0	0	P /224	45kHz	71kHz	89kHz	112kHz	134 kHz	143kHz
1	1	0	0	1	P /320	31kHz	50kHz	63kHz	78kHz	94 kHz	100kHz
1	1	0	1	0	P /384	26kHz	42kHz	52kHz	65kHz	78kHz	83kHz
1	1	0	1	1	P /512	20kHz	31kHz	39kHz	49kHz	59kHz	63kHz
1	1	1	0	0	P /640	16kHz	25kHz	31kHz	39kHz	47kHz	50kHz
1	1	1	0	1	P /800	13kHz	20kHz	25kHz	31kHz	38kHz	40kHz
1	1	1	1	0	P /896	11kHz	18kHz	22kHz	28kHz	33kHz	36kHz
1	1	1	1	1	P /1024	10kHz	16kHz	20kHz	24kHz	29kHz	31kHz

【注】 マスタモードの転送レートは 300kHz 以下で使用してください。

スレーブモードの転送レートは 400kHz 以下で使用してください。

## 20.4 動作説明

### 20.4.1 I<sup>2</sup>C バスフォーマット

I<sup>2</sup>C バスフォーマットを図 20.3 に、I<sup>2</sup>C バスのタイミングを図 20.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

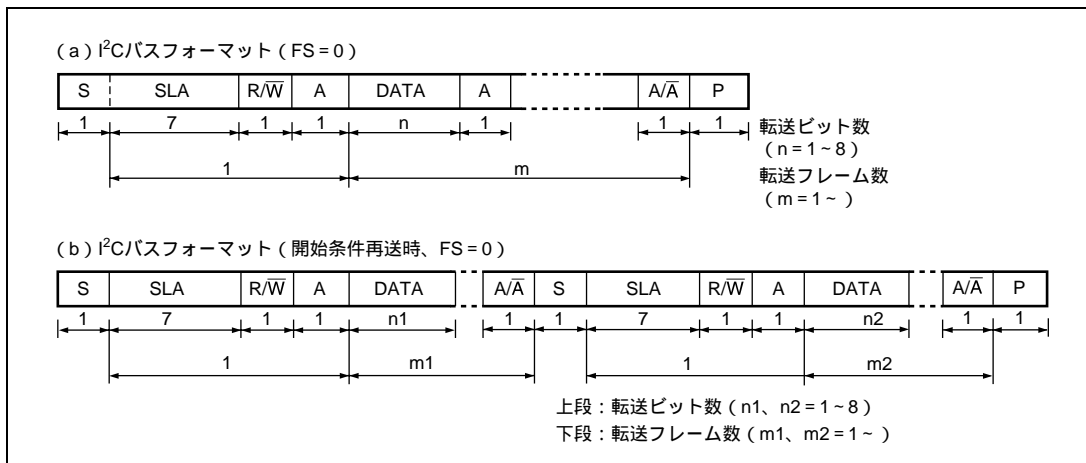


図 20.3 I<sup>2</sup>C バスフォーマット

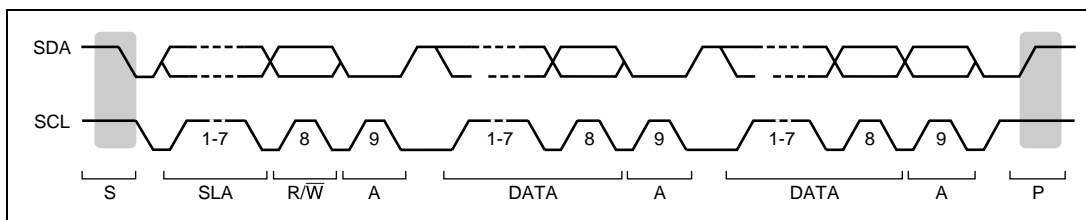


図 20.4 I<sup>2</sup>C バスタイミング

#### 記号の説明

- S : 開始条件。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。



### 20.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 20.5 と図 20.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICMRのMLS、ICCKSのCKS4～CKS0等を設定します(初期設定)。
2. ICCR2のBBSYフラグをリードしてバスが開放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をMOV命令でライトします(開始条件発行)。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ(1バイト目はスレーブアドレスとR $\bar{W}$ を示すデータ)をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット(最終バイト送出完了)されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK(ICSRのNACKF=1)を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

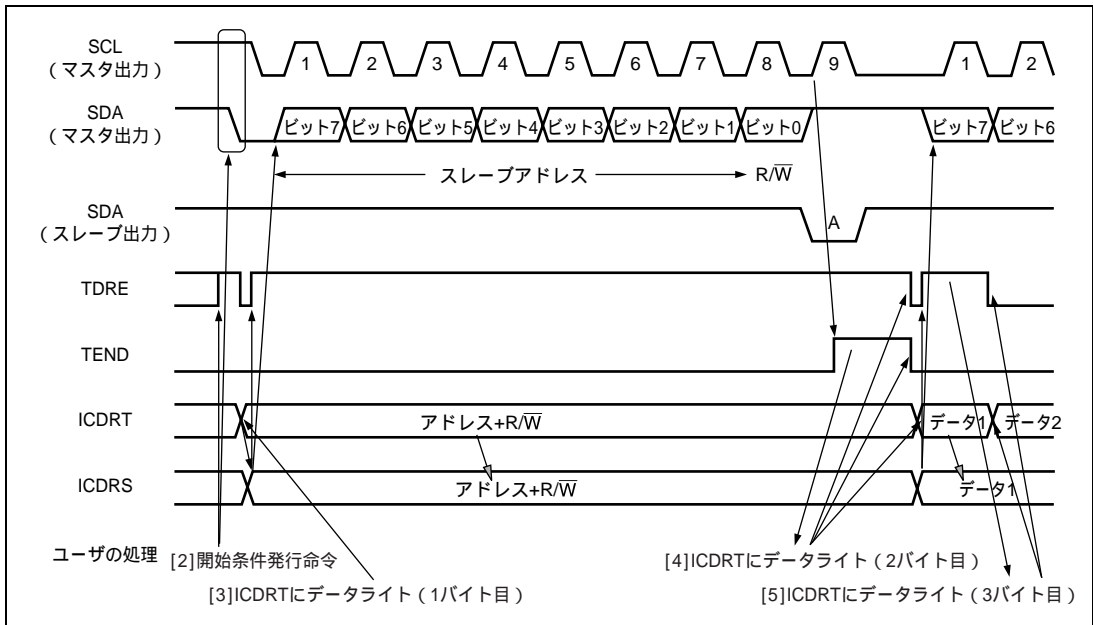


図 20.5 マスタ送信モード動作タイミング (1)

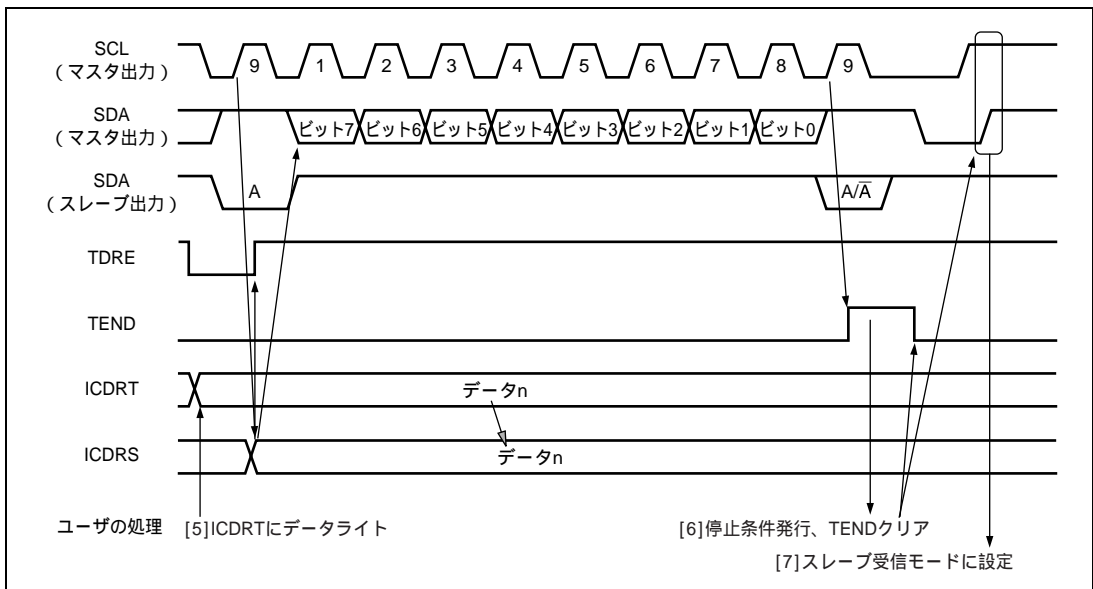


図 20.6 マスタ送信モード動作タイミング (2)

### 20.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。マスタ受信モードの動作タイミングについては図 20.7 と図 20.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま  
す。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信  
します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力しま  
す。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされま  
す。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはク  
リアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFが  
セットされた状態でICDRRのリードが遅れて8クロック目が立下がった場合、ICDRRをリードするまでSCL  
がLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の  
受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

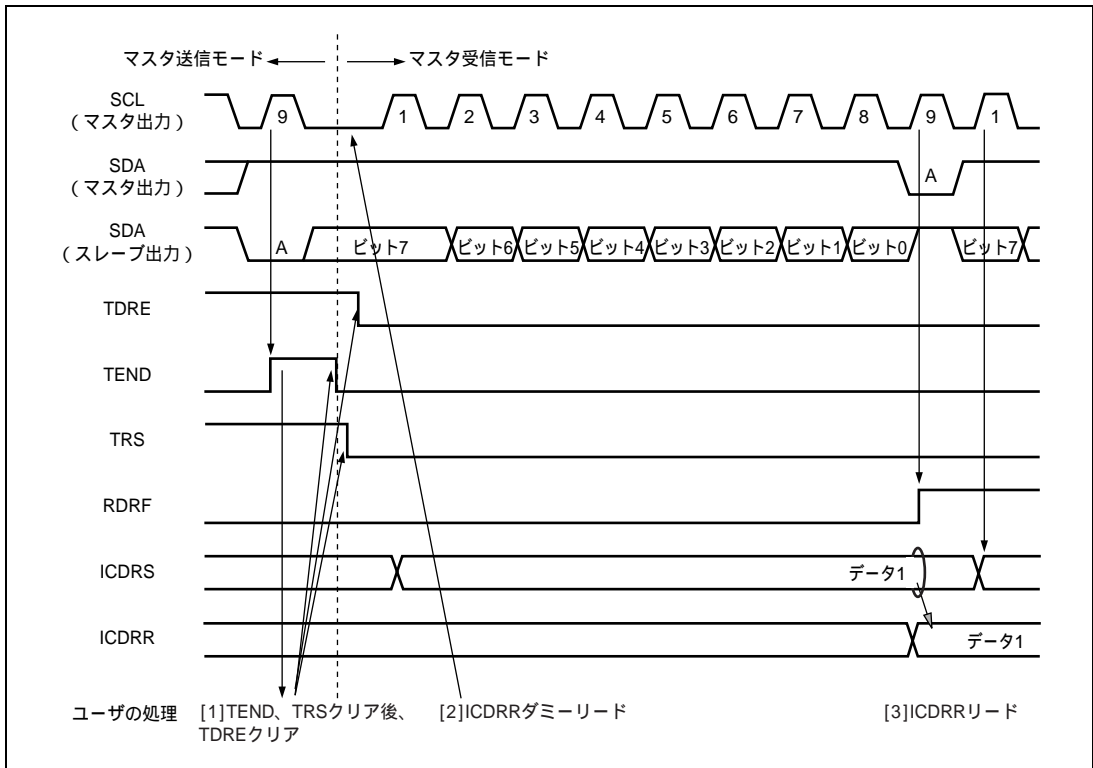


図 20.7 マスタ受信モード動作タイミング (1)

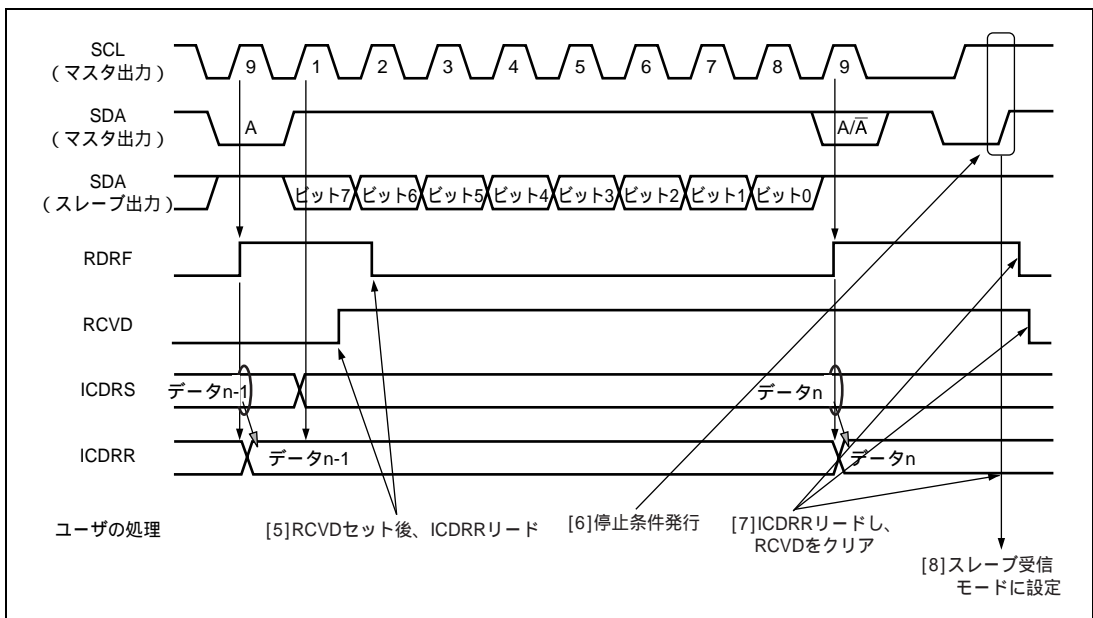


図 20.8 マスタ受信モード動作タイミング (2)

#### 20.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアックノリッジを返します。スレーブ送信モードの動作タイミングについては図 20.9 と図 20.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、ICCKSのCKS4～CKS0等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

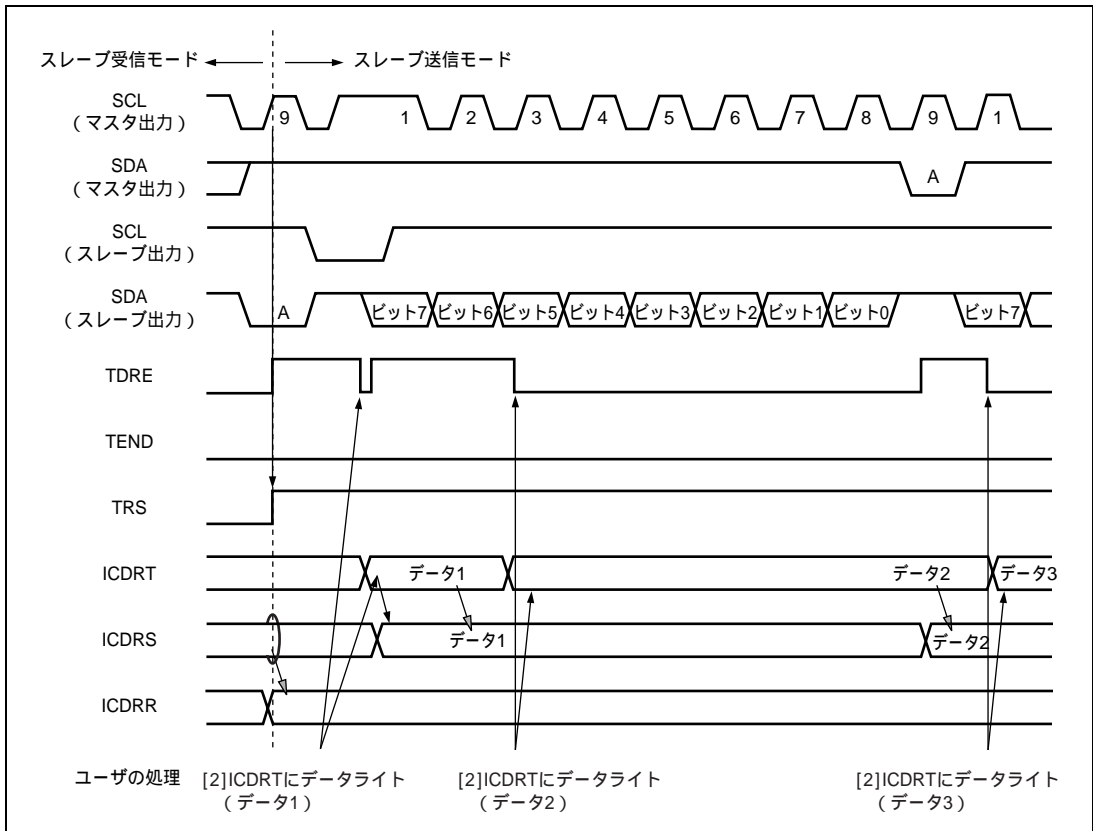


図 20.9 スレーブ送信モード動作タイミング (1)

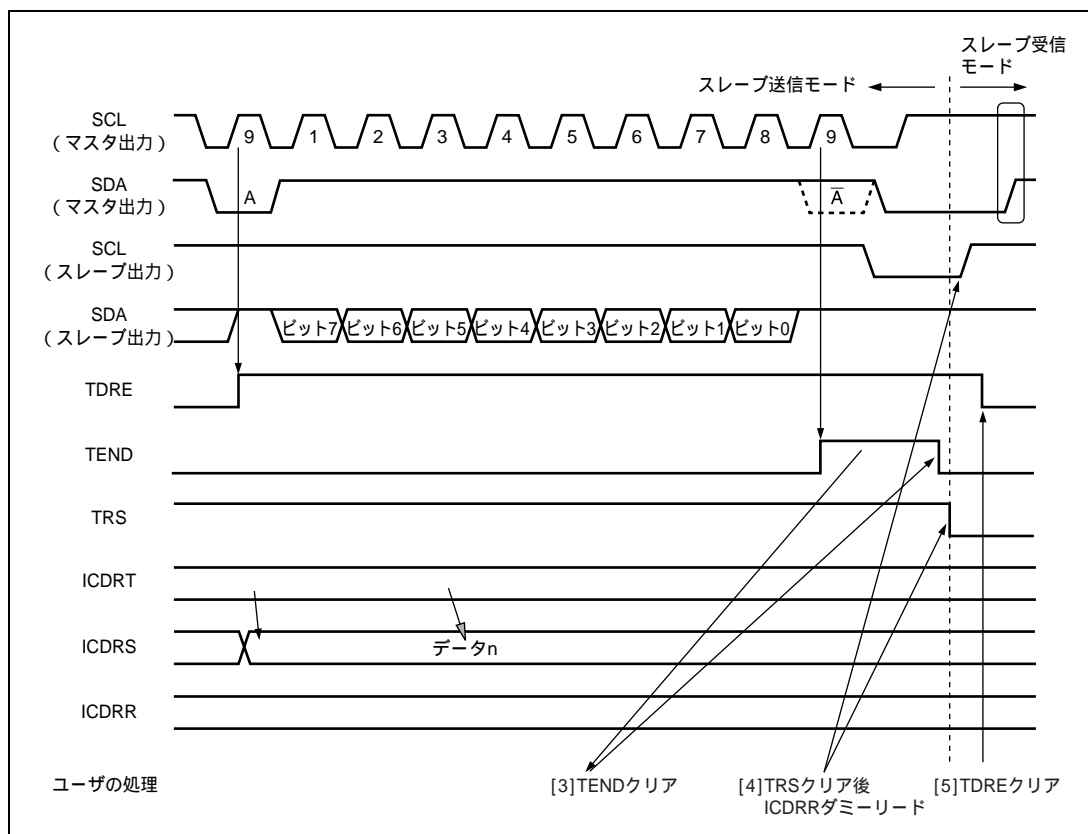


図 20.10 スレープ送信モード動作タイミング (2)

#### 20.4.5 スレープ受信動作

スレープ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレープデバイスがアクノリッジを返します。スレープ受信モードの動作タイミングについては図 20.11 と図 20.12 を参照してください。以下にスレープ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、ICCKSのCKS4～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレープ受信モードにしてスレープアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレープアドレスが一致したとき、9クロック目の立ち上がりでスレープデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレープアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立下がるとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

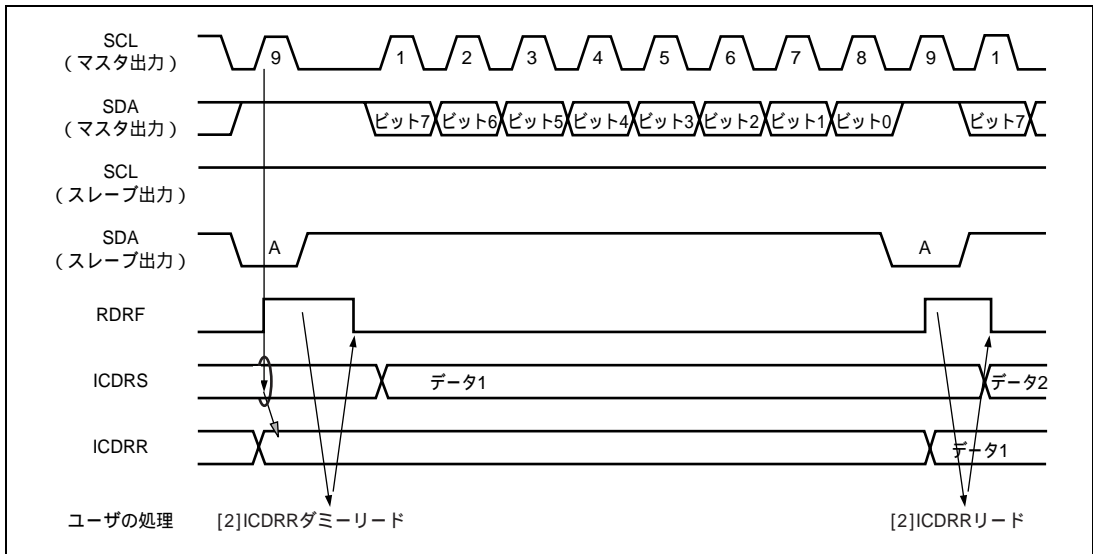


図 20.11 スレープ受信モード動作タイミング (1)

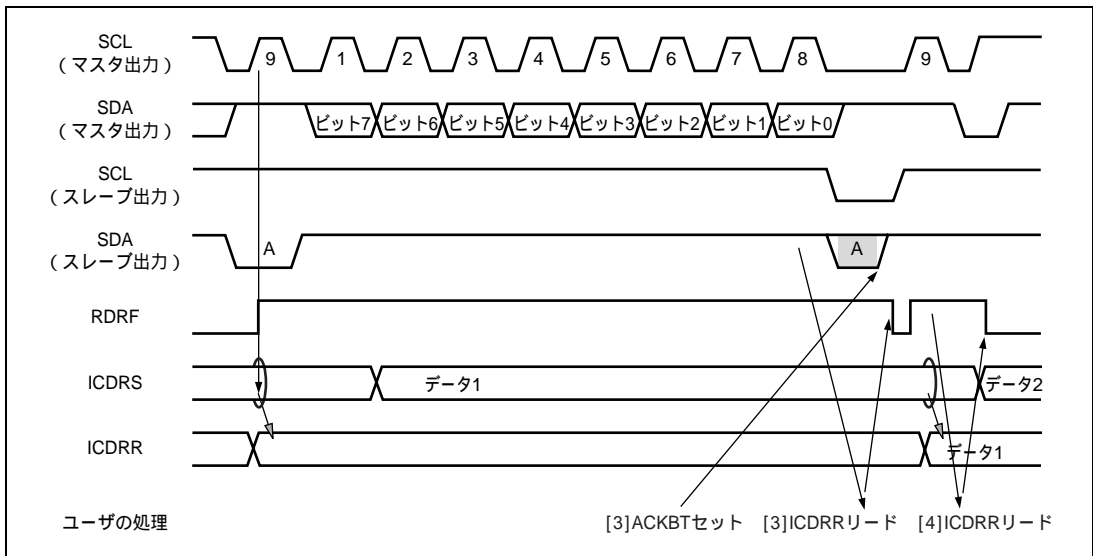


図 20.12 スレープ受信モード動作タイミング (2)



### 20.4.6 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 20.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

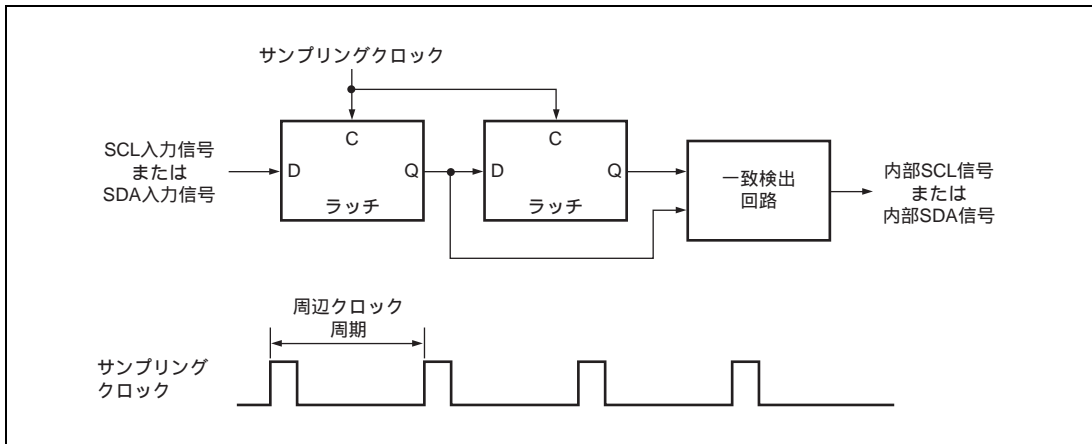


図 20.13 ノイズ除去回路のブロック図

20.4.7 使用例

I<sup>2</sup>C バスインタフェースを使用する場合の各モードでのフローチャート例を図 20.14 ~ 図 20.17 に示します。

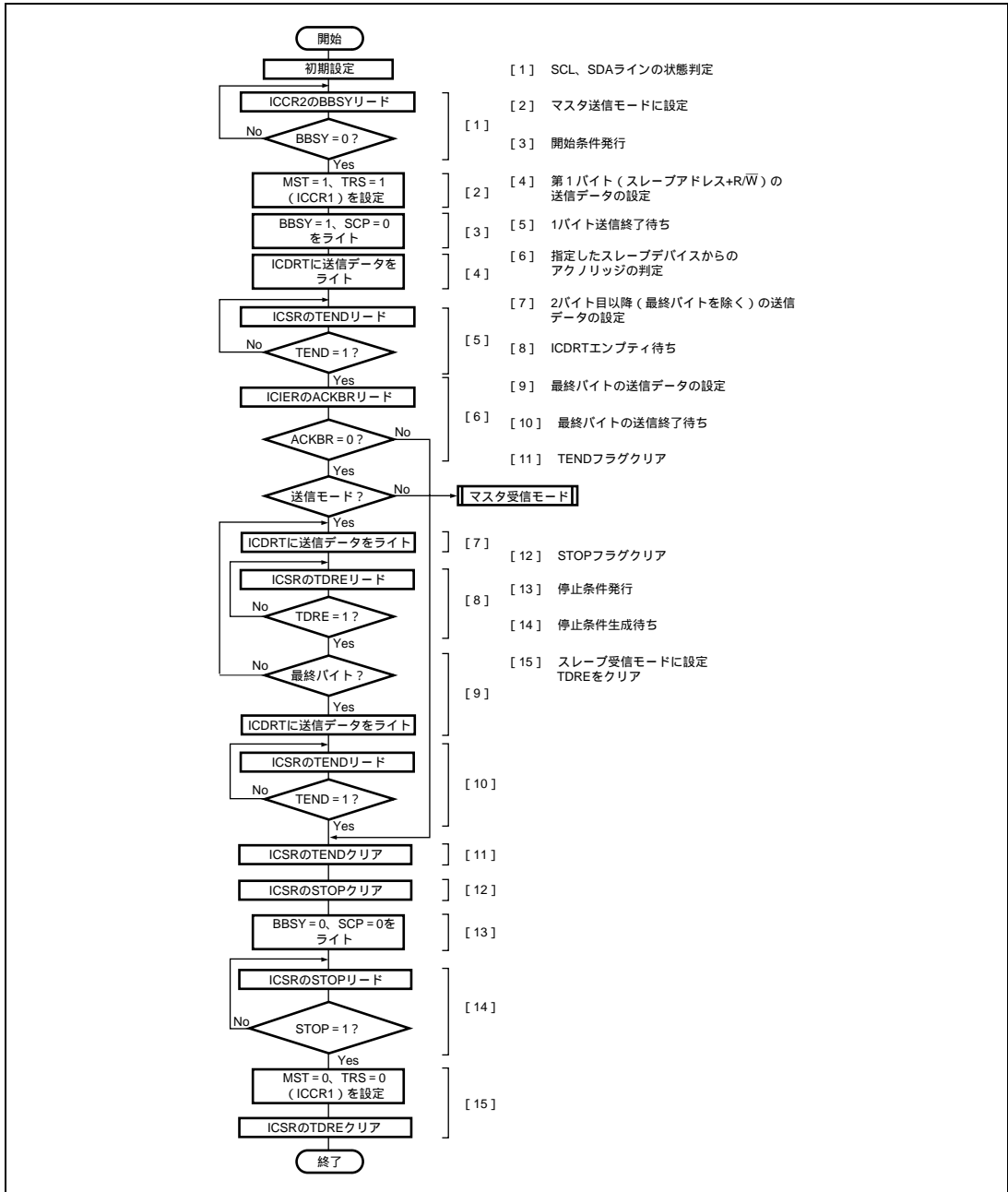


図 20.14 マスタ送信モードのフローチャート例

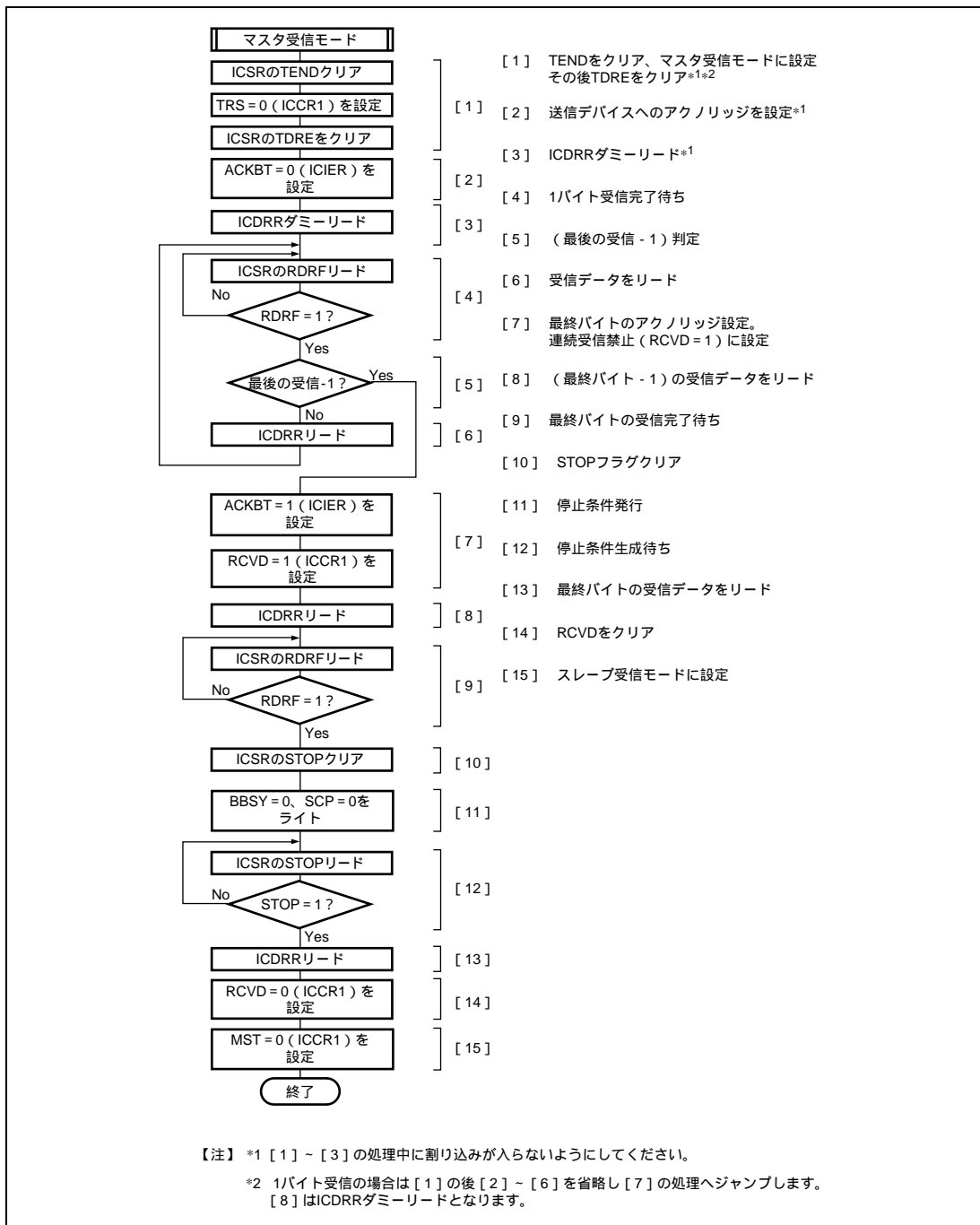


図 20.15 マスタ受信モードのフローチャート例

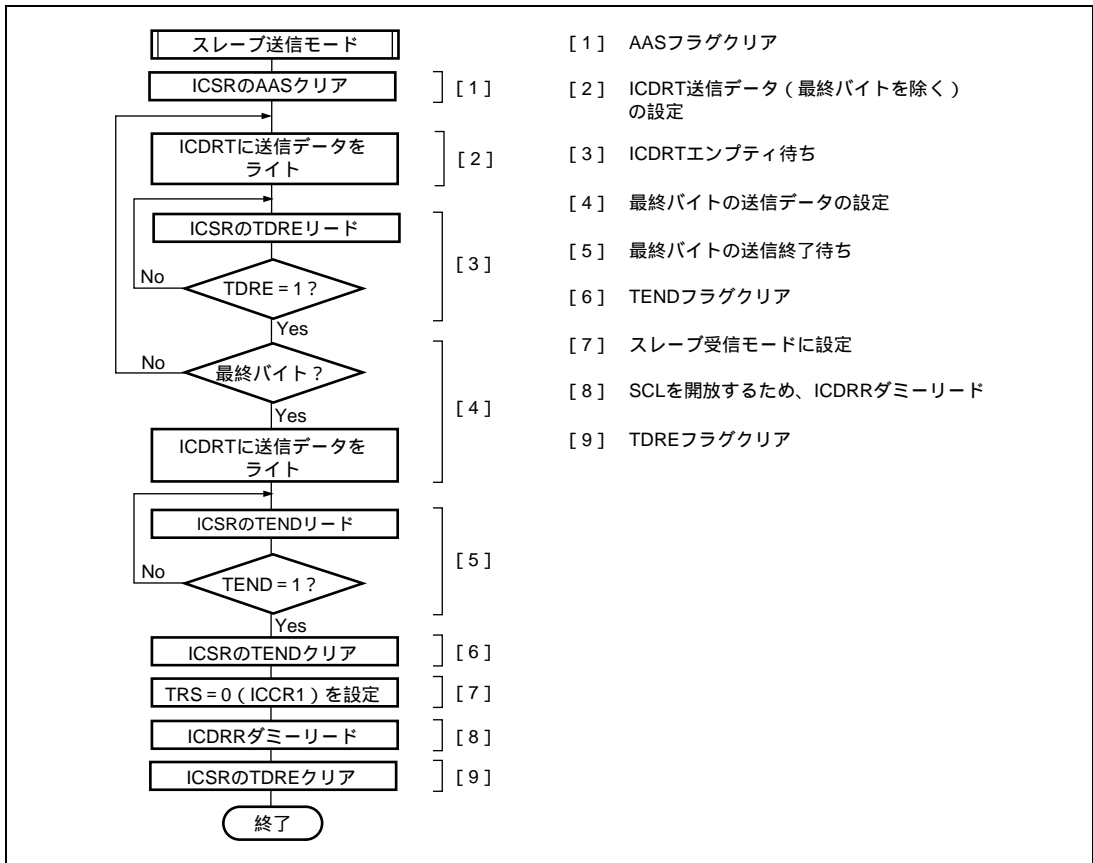


図 20.16 スレーブ送信モードフローチャート例

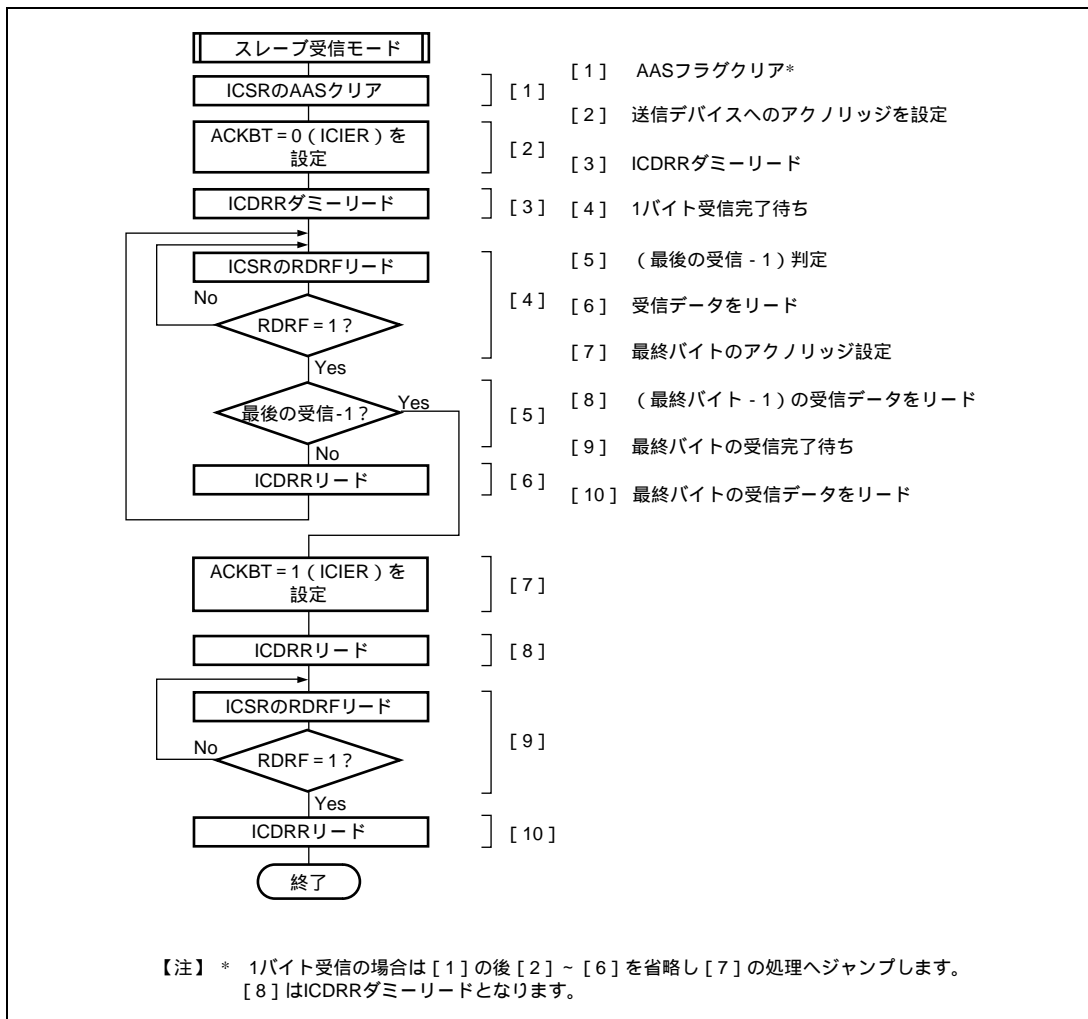


図 20.17 スレーブ受信モードフローチャート例

## 20.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト/オーバーランエラーの 6 種類があります。表 20.3 に各割り込み要求の内容を示します。

ただし、各割り込み要因による INTC の割り込みベクタは共通です。(IICI)

表 20.3 割り込み要求一覧

割り込み要求	略称	割り込み条件
送信データエンプティ	TXI	$(TDRE = 1) \cdot (TIE = 1)$
送信終了	TEI	$(TEND = 1) \cdot (TEIE = 1)$
受信データフル	RXI	$(RDRF = 1) \cdot (RIE = 1)$
停止条件検出	STPI	$(STOP = 1) \cdot (STIE = 1)$
NACK 検出	NAKI	$\{(NACKF = 1) + (AL = 1)\} \cdot (NAKIE = 1)$
アービトレーションロスト/オーバーランエラー		

表 20.3 の割り込み条件が 1 でかつ CCR の I ビットが 0 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

## 20.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 20.18 に、SCL を Low 出力 Hi-Z にしてから SCL をモニタするまでの時間を表 20.4 に示します。

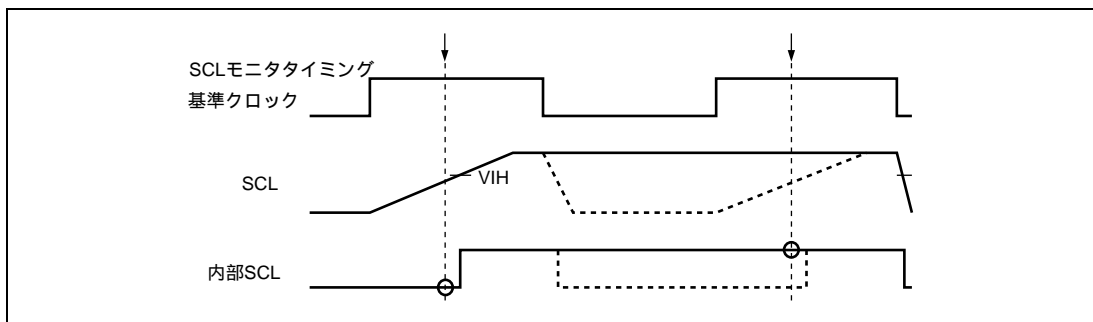


図 20.18 ビット同期回路のタイミング

表 20.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 tpcyc
	1	19.5 tpcyc
1	0	17.5 tpcyc
	1	41.5 tpcyc

## 20.7 使用上の注意事項

停止条件の発行および開始条件（再送）の発行は9クロック目の立ち下りを確認してから行ってください。

9クロック目の立ち下りはI<sup>2</sup>C バスコントロールレジスタ2 (ICCR2) の SCLO をチェックすることにより認識することができます。

下記 1.または 2.の条件下で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行なったとき、停止条件および開始条件（再送）が正常に出力されない場合があります。この条件以外での使用は問題ありません。

1. SCLバスの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりが「20.6 ビット同期回路」の項に規定されている時間以上なまった場合
2. スレーブデバイスが8クロック目と9クロック目のLow期間を引っ張ってビット同期回路が働いた場合



---

## 21. シリアル I/O FIFO 付き (SIOF)

---

本 LSI は、FIFO 付きクロック同期シリアル I/O モジュール (SIOF) を 2 チャンネル内蔵しています。SIOF は、SIOF\_0 および SIOF\_1 とともに機能は共通です。

### 21.1 特長

- シリアル転送
  - FIFO容量32ビット×16段(送受信独立)
  - 8ビット/16ビット/16ビットステレオ音声入出力に対応
  - データの送信はMSBが先頭(MSB First)
  - サンプリングレート最大48kHzに対応
  - 同期方法はフレーム同期パルス/左右ch.切り替えに対応
  - CODEC制御データインタフェースに対応
  - リニア/オーディオ/A-Law、 $\mu$ -Law CODECチップに接続可能
  - マスタ/スレーブ両モードに対応
- シリアルクロック
  - クロックソースとして外部端子入力と内部クロック(P )からの選択が可能
- 割り込み: 1種類(SIOFIn (n=0または1))
- DMA転送
  - 送受信の転送要求による、DMA転送を用いた送受信動作に対応

図 21.1 に SIOF のブロック図を示します。

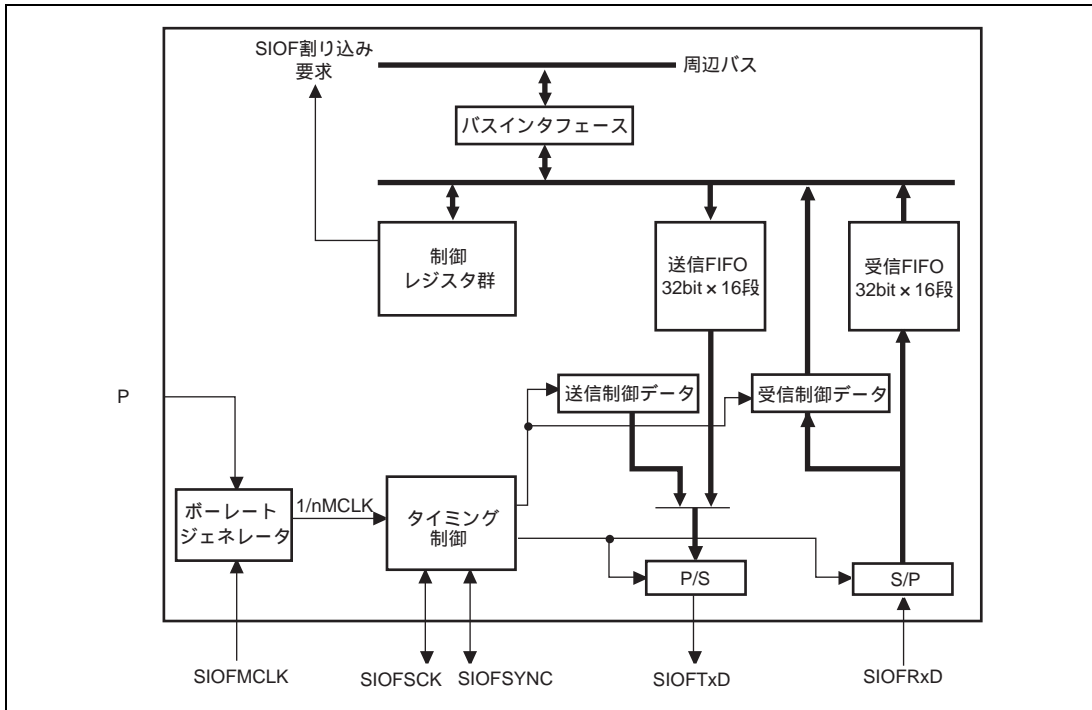


図 21.1 SIOF のブロック図

## 21.2 入出力端子

本モジュールの端子構成を表 21.1 に示します。

表 21.1 端子構成

チャンネル	端子名	略称*	入出力	機能
0	SIOF0_MCLK	SIOFMCLK	入力	マスタクロック入力
	SIOF0_SCK	SIOFSCK	入出力	シリアルクロック (送受信共通)
	SIOF0_SYNC	SIOFSYNC	入出力	フレーム同期信号 (送受信共通)
	SIOF0_TxD	SIOFTxD	出力	送信データ
	SIOF0_RxD	SIOFRxD	入力	受信データ
1	SIOF1_MCLK	SIOFMCLK	入力	マスタクロック入力
	SIOF1_SCK	SIOFSCK	入出力	シリアルクロック (送受信共通)
	SIOF1_SYNC	SIOFSYNC	入出力	フレーム同期信号 (送受信共通)
	SIOF1_TxD	SIOFTxD	出力	送信データ
	SIOF1_RxD	SIOFRxD	入力	受信データ

【注】 \* 本文中ではチャンネル 0、チャンネル 1 にかかわらず略称 (SIOFMCLK、SIOFSCK、SIOFSYNC、SIOFTxD、SIOFRxD) を使用します。

## 21.3 レジスタの説明

SIOF には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。なお、以降の各レジスタの説明ではチャンネル番号を省略した名称を用います。

### (1) チャンネル 0

- モードレジスタ\_0 (SIMDR\_0)
- コントロールレジスタ\_0 (SICTR\_0)
- 送信データレジスタ\_0 (SITDR\_0)
- 受信データレジスタ\_0 (SIRDR\_0)
- 送信制御データレジスタ\_0 (SITCR\_0)
- 受信制御データレジスタ\_0 (SIRCR\_0)
- ステータスレジスタ\_0 (SISTR\_0)
- 割り込み許可レジスタ\_0 (SIER\_0)
- FIFOコントロールレジスタ\_0 (SIFCTR\_0)
- クロックセレクトレジスタ\_0 (SISCR\_0)
- 送信データアサインレジスタ\_0 (SITDAR\_0)
- 受信データアサインレジスタ\_0 (SIRDAR\_0)
- 制御データアサインレジスタ\_0 (SICDAR\_0)

### (2) チャンネル 1

- モードレジスタ\_1 (SIMDR\_1)
- コントロールレジスタ\_1 (SICTR\_1)
- 送信データレジスタ\_1 (SITDR\_1)
- 受信データレジスタ\_1 (SIRDR\_1)
- 送信制御データレジスタ\_1 (SITCR\_1)
- 受信制御データレジスタ\_1 (SIRCR\_1)
- ステータスレジスタ\_1 (SISTR\_1)
- 割り込み許可レジスタ\_1 (SIER\_1)
- FIFOコントロールレジスタ\_1 (SIFCTR\_1)
- クロックセレクトレジスタ\_1 (SISCR\_1)
- 送信データアサインレジスタ\_1 (SITDAR\_1)
- 受信データアサインレジスタ\_1 (SIRDAR\_1)
- 制御データアサインレジスタ\_1 (SICDAR\_1)

## 21.3.1 モードレジスタ (SIMDR)

SIMDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の動作モードを設定します。

ビット	ビット名	初期値	R/W	説明
15	TRMD1	1	R/W	転送モード 1、0
14	TRMD0	0	R/W	転送モードを選択します。詳細は表 21.2 を参照してください。 00 : スレープモード 1 01 : スレープモード 2 10 : マスタモード 1 11 : マスタモード 2
13	SYNCAT	0	R/W	SIOFSYNC 端子有効タイミング SIOFSYNC 信号を同期パルスで出力する場合の出力位置を示します。 0 : フレームの先頭ビットデータ 1 : スロットの最終ビットデータ
12	REDG	0	R/W	受信データサンプリングエッジ 0 : SIOFRxD を SIOFSCK の立ち下がりエッジでサンプリングする (SIOFTxD は SIOFSCK の立ち上がりエッジで送出します) 1 : SIOFRxD を SIOFSCK の立ち上がりエッジでサンプリングする (SIOFTxD は SIOFSCK の立ち下がりエッジで送出します) 【注】本ビットは、マスタモード時のみ有効となります。
11	FL3	0	R/W	フレーム長 3-0
10	FL2	0	R/W	00xx : データ長は 8 ビット、フレーム長は 8 ビット
9	FL1	0	R/W	0100 : データ長は 8 ビット、フレーム長は 16 ビット
8	FL0	0	R/W	0101 : データ長は 8 ビット、フレーム長は 32 ビット 0110 : データ長は 8 ビット、フレーム長は 64 ビット 0111 : データ長は 8 ビット、フレーム長は 128 ビット 10xx : データ長は 16 ビット、フレーム長は 16 ビット 1100 : データ長は 16 ビット、フレーム長は 32 ビット 1101 : データ長は 16 ビット、フレーム長は 64 ビット 1110 : データ長は 16 ビット、フレーム長は 128 ビット 1111 : データ長は 16 ビット、フレーム長は 256 ビット 【注】データ長 8 ビットを選択した場合、制御データの送受信は行いません。 x : Don't care
7	TXDIZ	0	R/W	送信無効時* SIOFTxD 端子の出力 0 : 無効時 1 出力 1 : 無効時ハイインピーダンス状態 【注】* 無効時とは、ディスエーブル時および送信データ、制御データとして割り当てていないスロットを送出する場合です。

ビット	ビット名	初期値	R/W	説明
6	RCIM	0	R/W	受信制御データ割り込みモード 0: SIRCR レジスタの内容が変化したときに SISTR レジスタの RCRDY ビットをセットする 1: SIRCR レジスタへの制御データ受信タイミングごとに SISTR レジスタの RCRDY ビットをセットする
5	SYNCAC	0	R/W	SIOFSYNC 端子極性 SIOFSYNC 信号をマスタモード時の同期パルスで出力する場合に有効となります。 0: ハイアクティブ 1: ローアクティブ
4	SYNCDL	0	R/W	SIOFSYNC 端子に対しデータ端子ビットの遅延 SIOFSYNC 信号が同期パルスの場合に有効となります。 またスレープモードでの送信 / 受信時は、1 ビット遅延のみ有効です。 0: ビット遅延なし 1: 1 ビット遅延
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 21.2 転送モードごとの動作

転送モード	マスタ / スレープ	SIOFSYNC	ビット遅延	制御データ方式 <sup>*1</sup>
スレープモード 1	スレープ	同期パルス	SYNCDL ビット	スロット位置
スレープモード 2	スレープ	同期パルス		セカンダリ FS
マスタモード 1	マスタ	同期パルス		スロット位置
マスタモード 2	マスタ	L/R	なし <sup>*2</sup>	非対応

【注】 \*1 制御データ方式については、FL ビットに 1xxx を設定した場合に有効となります。(x: Don't care)

\*2 マスタモード 2 で SYNC 信号の出力を開始するタイミングによっては、先頭フレームの SYNC 信号の High 期間が 1 ビット長くなる場合があります。2 フレーム目以降では発生しません。詳細は「21.5 使用上の注意事項」を参照してください。

### 21.3.2 コントロールレジスタ (SICTR)

SICTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の動作状態を設定します。

ビット	ビット名	初期値	R/W	説明
15	SCKE	0	R/W	シリアルクロック出力イネーブル 本ビットはマスタモード時に有効となります。 0 : SIOFSCK の出力を禁止 (0 を出力する) 1 : SIOFSCK の出力を許可 • 本ビットに 1 を設定すると、SIOF はボーレートジェネレータを初期化し、動作を開始すると同時に SIOFSCK にボーレートジェネレータで生成したクロックを出力します。 本ビットはモジュールストップ時に初期化されます。
14	FSE	0	R/W	フレーム同期信号出力イネーブル 本ビットはマスタモード時に有効となります。 0 : SIOFSYNC の出力を禁止 (0 を出力する) 1 : SIOFSYNC の出力を許可 • 本ビットに 1 を設定すると、SIOF はフレームカウンタを初期化し、動作を開始します。 本ビットはモジュールストップ時に初期化されます。
13~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TXE	0	R/W	送信イネーブル 0 : SIOFTxD からのデータ送出を禁止 1 : SIOFTxD からのデータ送出を許可 • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットへの 1 設定が有効になると、SIOF は SIFCTR レジスタの TFWM ビットの設定に従い、送信転送要求を発行します。送信 FIFO にデータが格納すると、SIOFTxD から送信データの送出を開始します。 • 送信リセット時に初期化されます。 本ビットはモジュールストップ時に初期化されます。

ビット	ビット名	初期値	R/W	説明
8	RXE	0	R/W	<p>受信イネーブル</p> <p>0 : SIOFRxD からのデータ受信を禁止 1 : SIOFRxD からのデータ受信を許可</p> <ul style="list-style-type: none"> <li>本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。</li> <li>本ビットへの1設定が有効になると、SIOF は SIOFRxD からの受信データの取り込みを開始します。受信 FIFO にデータが格納されると、SIFCTR の RFWM ビットの設定に従い、受信転送要求を発行します。</li> <li>受信リセット時に初期化されます。</li> </ul> <p>本ビットはモジュールストップ時に初期化されます。</p>
7~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1	TXRST	0	R/W	<p>送信リセット</p> <p>0 : 送信動作をリセットしない 1 : 送信動作をリセットする</p> <ul style="list-style-type: none"> <li>本ビットへの設定は、ただちに有効となります。また、初期化されるレジスタを設定する前に、本ビットに0を設定してください。</li> <li>本ビットへの1設定が有効になると、SIOF はただちに SIOFTxD からの送信データを1とし、送信データ系のレジスタ、送信関連のステータスを初期化します。初期化の対象は下記のレジスタとビットです。</li> </ul> <ol style="list-style-type: none"> <li>SITDR レジスタ</li> <li>SITCR レジスタ</li> <li>送信 FIFO ライトポインタ、リードポインタ</li> <li>SISTR レジスタの TCRDY、TFEMP、TDREQ ビット</li> <li>TXE ビット</li> </ol>
0	RXRST	0	R/W	<p>受信リセット</p> <p>0 : 受信動作をリセットしない 1 : 受信動作をリセットする</p> <ul style="list-style-type: none"> <li>本ビットへの設定は、ただちに有効となります。また、初期化されるレジスタを設定する前に、本ビットに0を設定してください。</li> <li>本ビットへの1設定が有効になると、SIOF は SIOFRxD からの受信を停止し、受信データ系のレジスタ、受信関連のステータスを初期化します。初期化の対象は下記のレジスタとビットです。</li> </ul> <ol style="list-style-type: none"> <li>SIRDR レジスタ</li> <li>SIRCR レジスタ</li> <li>受信 FIFO ライトポインタ、リードポインタ</li> <li>SISTR レジスタの RCRDY、RFFUL、RDREQ ビット</li> <li>RXE ビット</li> </ol>



### 21.3.3 送信データレジスタ (SITDR)

SITDR は、書き込み専用の 32 ビットのレジスタで、SIOF の送信データを設定します。

本レジスタは、「第 37 章 レジスタ一覧」に示す初期化条件のほか、SICTR の TXRST ビットにより送信リセットされた場合も、初期化されます。

本レジスタは、モジュールストップ時に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~16	SITDL 15~0	すべて 0	W	左 ch.送信データ 左 ch.データとして SIOFTXD から送出するデータを設定します。送信フレームにおける左 ch.データの位置は、SITDAR の TDLA ビットへの設定値に従います。 • 本ビットは SITDAR の TDLE ビットに 1 を設定した場合に有効となります。
15~0	SITDR 15~0	すべて 0	W	右 ch.送信データ 右 ch.データとして SIOFTXD から送出するデータを設定します。送信フレームにおける右 ch.データの位置は、SITDAR の TDRA ビットへの設定値に従います。 • 本ビットは SITDAR の TDRE ビットに 1 で、かつ SITDAR の TLREP ビットに 0 を設定した場合に有効となります。

### 21.3.4 受信データレジスタ (SIRDR)

SIRDR は、読み出し専用の 32 ビットのレジスタで、SIOF の受信データの読み出しを行います。本レジスタには受信 FIFO のデータが格納されます。

本レジスタは、「第 37 章 レジスタ一覧」に示す初期化条件のほか、SICTR の RXRST ビットにより受信リセットされた場合も、初期化されます。

ビット	ビット名	初期値	R/W	説明
31~16	SIRDL 15~0	すべて 0	R	左 ch.受信データ 左 ch.データとして SIOFRXD から受信したデータを格納します。受信フレームにおける左 ch.データの位置は、SIRDAR の RDLA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDLE ビットに 1 を設定した場合に有効となります。
15~0	SIRDR 15~0	すべて 0	R	右 ch.受信データ 右 ch.データとして SIOFRXD から受信したデータを格納します。受信フレームにおける右 ch.データの位置は、SIRDAR の RDRA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDRE ビットに 1 を設定した場合に有効となります。

### 21.3.5 送信制御データレジスタ (SITCR)

SITCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SIOF の送信制御データを設定します。本レジスタへの設定は、SIMDR の FL ビットに 1xxx (x : Don't care) を設定したときに有効となります。

本レジスタは、モジュールストップ時に初期化されず。

ビット	ビット名	初期値	R/W	説明
31~16 15~0	SITC0	すべて 0	R/W	制御 0ch.送信データ 制御 0ch.送信データとして SIOFTXD から送出するデータを設定します。送受信フレームにおける制御 0ch.データの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15~0 15~0	SITC1	すべて 0	R/W	制御 1ch.送信データ 制御 1ch.送信データとして SIOFTXD から送出するデータを設定します。送受信フレームにおける制御 1ch.データの位置は、SICDAR の CD1A ビットへの設定値に従う。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

### 21.3.6 受信制御データレジスタ (SIRCR)

SIRCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SIOF の受信制御データが格納されます。本レジスタへの設定は、SIMDR の FL ビットに 1xxx (x : Don't care) を設定したときに有効となります。

ビット	ビット名	初期値	R/W	説明
31~16 15~0	SIRC0	すべて 0	R/W	制御 0ch.受信データ 制御 0ch.受信データとして SIOFRXD から受信したデータを格納します。送受信フレームにおける制御 0ch.データの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15~0 15~0	SIRC1	すべて 0	R/W	制御 1ch.受信データ 制御 1ch.受信データとして SIOFRXD から受信したデータを格納します。送受信フレームにおける制御 1ch.データの位置は、SICDAR の CD1A ビットへの設定値に従います。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

### 21.3.7 ステータスレジスタ (SISTR)

SISTR は、読み出し専用の 16 ビットのレジスタで、SIOF の状態を表示します。本レジスタの各ビットは、SIER レジスタの対応するビットに 1 を設定した場合に、SIOF の割り込み要因となります。

本レジスタは、モジュールストップ時に初期化されます。

ビット	ビット名	初期値	R/W	説 明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	TCRDY	0	R	送信制御データレディ 0 : SITCR レジスタへの書き込みが可能でない 1 : SITCR レジスタへの書き込みが可能である <ul style="list-style-type: none"> <li>• 本ビットが 0 のときに SITCR への書き込みを行うと SICTR は上書きされ、以前の内容は SIOFTxD から送出されません。</li> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、SITCR への書き込みを行うと SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
13	TFEMP	0	R	送信 FIFO エンプティ 0 : 送信 FIFO が空でない 1 : 送信 FIFO が空である <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、SITDR への書き込みが行われると SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>

ビット	ビット名	初期値	R/W	説明
12	TDREQ	0	R	<p>送信データ転送リクエスト</p> <p>0: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えていない</p> <p>1: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えた</p> <p>送信データ転送リクエストは、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による送信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値よりも少なくなると SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10	RCRDY	0	R	<p>受信制御データレディ</p> <p>0: SIRCR レジスタに有効データが格納されていない</p> <p>1: SIRCR レジスタに有効データが格納されている</p> <ul style="list-style-type: none"> <li>• 本ビットが 1 のときに再び SIRCR への有効データの書き込みが発生した場合、SIRCR には最新のデータが上書きされます。</li> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、SIRCR の読み出しを行うと SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
9	RFFUL	0	R	<p>受信 FIFO フル</p> <p>0: 受信 FIFO が満杯でない</p> <p>1: 受信 FIFO が満杯である</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、SIRDR の読み出しを行うと SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>

ビット	ビット名	初期値	R/W	説明
8	RDREQ	0	R	<p>受信データ転送リクエスト</p> <p>0: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えていない</p> <p>1: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えた</p> <p>受信データ転送リクエストは、受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による受信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値よりも少なくなると SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SAERR	0	R/W	<p>スロットアサインエラー</p> <p>0: スロットアサインエラー未発生</p> <p>1: スロットアサインエラー発生</p> <p>スロットアサインエラーとは、SITDAR、SIRDAR、SICDAR の設定に重複があったことを表します。</p> <p>スロットアサインエラー発生時、SIOF は SIOFTxD への送信および SIOFRxD からの受信を行いません。ただし、SICTR の TXE ビット、RXE ビットのクリアは行いません。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>

ビット	ビット名	初期値	R/W	説明
4	FSERR	0	R/W	<p>フレーム同期エラー</p> <p>0 : フレーム同期エラー未発生 1 : フレーム同期エラー発生</p> <p>フレーム同期エラーとは、転送データ、制御データの送受信完了前に、次のフレーム同期タイミングとなったことを表します。</p> <p>フレーム同期エラー発生時、SIOF は転送可能なスロットに対してのみ送受信を行います。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
3	TFOVF	0	R/W	<p>送信 FIFO オーバフロー</p> <p>0 : 送信 FIFO オーバフロー未発生 1 : 送信 FIFO オーバフロー発生</p> <p>送信 FIFO オーバフローとは、送信 FIFO が満杯時に SITDR への書き込みが発生したことを表します。</p> <p>送信 FIFO オーバフロー時、SIOF はオーバフローとなった書き込みを無効とします。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
2	TFUDF	0	R/W	<p>送信 FIFO アンダフロー</p> <p>0 : 送信 FIFO アンダフロー未発生 1 : 送信 FIFO アンダフロー発生</p> <p>送信 FIFO アンダフローとは、送信 FIFO がエンpty時に送信動作によるロードが発生したことを表します。</p> <p>送信 FIFO アンダフロー時、SIOF は前回送データを繰り返して送出します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>

ビット	ビット名	初期値	R/W	説明
1	RFUDF	0	R/W	<p>受信 FIFO アンダフロー</p> <p>0 : 受信 FIFO アンダフロー未発生 1 : 受信 FIFO アンダフロー発生</p> <p>受信 FIFO アンダフローとは、受信 FIFO が空時に SIRDR の読み出しが発生したことを表します。</p> <p>受信 FIFO アンダフロー時、SIRDR から読み出したデータの値は保証しません。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 時に有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
0	RFOVF	0	R/W	<p>受信 FIFO オーバフロー</p> <p>0 : 受信 FIFO オーバフロー未発生 1 : 受信 FIFO オーバフロー発生</p> <p>受信 FIFO オーバフローとは、受信 FIFO がフル時に受信動作による書き込みが発生したことを表します。</p> <p>受信 FIFO オーバフロー時、オーバーフローとなった受信データは消失します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>

### 21.3.8 割り込み許可レジスタ (SIER)

SIER は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF 割り込みの発行を許可します。本レジスタの各ビットに 1 を設定した場合に、SISTR の対応するビットに 1 がセットされると、SIOF は割り込みを発行します。

ビット	ビット名	初期値	R/W	説明
15	TDMAE	0	R/W	送信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み / DMA 転送要求として伝えます。要因としては、TDREQE が設定できます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
14	TCRDYE	0	R/W	送信制御データレディイネーブル 0 : 送信制御データレディによる割り込みを禁止 1 : 送信制御データレディによる割り込みを許可
13	TFEMPE	0	R/W	送信 FIFO エンプティイネーブル 0 : 送信エンプティによる割り込みを禁止 1 : 送信エンプティによる割り込みを許可
12	TDREQE	0	R/W	送信データ転送リクエストイネーブル 0 : 送信データ転送リクエストによる割り込みを禁止 1 : 送信データ転送リクエストによる割り込みを許可
11	RDMAE	0	R/W	受信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み / DMA 転送要求として伝えます。要因としては、RDREQE が設定できます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
10	RCRDYE	0	R/W	受信制御データレディイネーブル 0 : 受信制御データレディによる割り込みを禁止 1 : 受信制御データレディによる割り込みを許可
9	RFFULE	0	R/W	受信 FIFO フルイネーブル 0 : 受信 FIFO フルによる割り込みを禁止 1 : 受信 FIFO フルによる割り込みを許可
8	RDREQE	0	R/W	受信データ転送リクエストイネーブル 0 : 受信データ転送リクエストによる割り込みを禁止 1 : 受信データ転送リクエストによる割り込みを許可
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SAERRE	0	R/W	スロットアサインエラーイネーブル 0 : スロットアサインエラーによる割り込みを禁止 1 : スロットアサインエラーによる割り込みを許可



ビット	ビット名	初期値	R/W	説明
4	FSERRE	0	R/W	フレーム同期エラーイネーブル 0: フレーム同期エラーによる割り込みを禁止 1: フレーム同期エラーによる割り込みを許可
3	TFOVFE	0	R/W	送信 FIFO オーバフローイネーブル 0: 送信 FIFO オーバフローによる割り込みを禁止 1: 送信 FIFO オーバフローによる割り込みを許可
2	TFUDFE	0	R/W	送信 FIFO アンダフローイネーブル 0: 送信 FIFO アンダフローによる割り込みを禁止 1: 送信 FIFO アンダフローによる割り込みを許可
1	RFUDFE	0	R/W	受信 FIFO アンダフローイネーブル 0: 受信 FIFO アンダフローによる割り込みを禁止 1: 受信 FIFO アンダフローによる割り込みを許可
0	RFOVFE	0	R/W	受信 FIFO オーバフローイネーブル 0: 受信 FIFO オーバフローによる割り込みを禁止 1: 受信 FIFO オーバフローによる割り込みを許可

### 21.3.9 FIFO コントロールレジスタ (SIFCTR)

SIFCTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、送受信 FIFO の転送が可能なエリアを表示します。

ビット	ビット名	初期値	R/W	説明
15	TFWM2	0	R/W	送信 FIFO ウォータマーク 000: 送信 FIFO の空き領域が 16 段のときに転送要求を発行する 001: 設定禁止 010: 設定禁止 011: 設定禁止 100: 送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する 101: 送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する 110: 送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する 111: 送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する • 送信 FIFO の転送要求は、SISTR の TDREQ ビットで行います。 • 本ビットへの設定にかかわらず、送信 FIFO は常に 16 段の FIFO として動作を行います。
14	TFWM1	0	R/W	
13	TFWM0	0	R/W	
12	TFUA4	1	R	
11	TFUA3	0	R	送信 FIFO 使用可能エリア CPU または DMAC が転送可能な語数を B'00000 (満杯) ~ B'10000 (空) で表示します。
10	TFUA2	0	R	
9	TFUA1	0	R	
8	TFUA0	0	R	

ビット	ビット名	初期値	R/W	説明
7	RFWM2	0	R/W	受信 FIFO ウォータマーク 000 : 受信 FIFO の有効データ領域が 1 段以上のときに転送要求を発行する 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : 受信 FIFO の有効データ領域が 4 段以上のときに転送要求を発行する 101 : 受信 FIFO の有効データ領域が 8 段以上のときに転送要求を発行する 110 : 受信 FIFO の有効データ領域が 12 段以上のときに転送要求を発行する 111 : 受信 FIFO の有効データ領域が 16 段のときに転送要求を発行する • 受信 FIFO の転送要求は、SISTR の RDREQ ビットで行います。 • 本ビットへの設定にかかわらず、受信 FIFO は常に 16 段の FIFO として動作を行います。
6	RFWM1	0	R/W	
5	RFWM0	0	R/W	
4	RFUA4	0	R	
3	RFUA3	0	R	
2	RFUA2	0	R	受信 FIFO 使用可能エリア CPU または DMAC が転送可能な語数を B'00000 (空) ~ B'10000 (満杯) で表示します。
1	RFUA1	0	R	
0	RFUA0	0	R	

### 21.3.10 クロックセレクトレジスタ (SISCR)

SISCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、マスタ時のシリアルクロック生成条件を設定します。本レジスタへの設定は、SIMDR の TRMD1、TRMD0 ビットに B'10 もしくは B'11 が設定されているときに有効です。

ビット	ビット名	初期値	R/W	説明
15	MSSEL	1	R/W	マスタクロックソース選択 0 : マスタクロックとして SIOFMCLK 端子入力信号を使用 1 : マスタクロックとして P を使用 マスタクロックとは、ポーレートジェネレータに入力するクロックを指します。
14	MSIMM	1	R/W	マスタクロック直接選択 0 : シリアルクロックとしてポーレートジェネレータ出力クロックを使用 1 : シリアルクロックとしてマスタクロックをそのまま使用
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12	BRPS4	0	R/W	プリスケアラ設定
11	BRPS3	0	R/W	ボーレートジェネレータのプリスケアラのカウンタ値によりマスタクロックの分周比を設定します。 設定の範囲は B'00000 ( × 1/1 ) ~ B'11111 ( × 1/32 ) となります。
10	BRPS2	0	R/W	
9	BRPS1	0	R/W	
8	BRPS0	0	R/W	
7~3	-	すべて 0	R	
2	BRDV2	0	R/W	ボーレートジェネレータ分周比 ボーレートジェネレータにおける出力段の分周比を設定します。 000 : プリスケアラ出力 × 1/2 001 : プリスケアラ出力 × 1/4 010 : プリスケアラ出力 × 1/8 011 : プリスケアラ出力 × 1/16 100 : プリスケアラ出力 × 1/32 101 : 設定禁止 110 : 設定禁止 111 : プリスケアラ出力 × 1/1* ボーレートジェネレータの最終分周比は、BRPS × BRDV で決定します ( 最大 1/1024 ) 。 【注】* 本設定は、BRPS[4:0] = B'00000 のときのみ有効です。
1	BRDV1	0	R/W	
0	BRDV0	0	R/W	

## 21.3.11 送信データアサインレジスタ (SITDAR)

SITDAR は、読み出し / 書き込み可能な 16 ビットのレジスタで、フレーム内の送信データ位置 (スロット No.) を設定します。

ビット	ビット名	初期値	R/W	説明
15	TDLE	0	R/W	送信左 ch. データイネーブル 0 : 左 ch. データの送信を許可しない 1 : 左 ch. データの送信を許可する
14 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	TDLA3	0	R/W	送信左 ch. データアサイン 3 ~ 0 送信フレームにおける左 ch. データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 左 ch. データの送信データは SITDR の SITDL ビットに設定します。
10	TDLA2	0	R/W	
9	TDLA1	0	R/W	
8	TDLA0	0	R/W	
7	TDRE	0	R/W	送信右 ch. データイネーブル 0 : 右 ch. データの送信を許可しない 1 : 右 ch. データの送信を許可する
6	TLREP	0	R/W	送信左 ch. リピート 0 : 右 ch. データとして SITDR の SITDR ビット設定値を送出する。 1 : 右 ch. データとして SITDR の SITDL ビット設定値を繰り返して送出的。 • 本ビットの設定は TDRE ビットが 1 のとき有効となります。 • ビットに 1 を設定した場合、SITDR への設定は無視されます。
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	-	0	R	
3	TDRA3	0	R/W	送信右 ch. データアサイン 3 ~ 0 送信フレームにおける右 ch. データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 右 ch. データの送信データは SITDR の SITDR ビットに設定します。
2	TDRA2	0	R/W	
1	TDRA1	0	R/W	
0	TDRA0	0	R/W	

## 21.3.12 受信データアサインレジスタ (SIRDAR)

SIRDAR は、読み出し / 書き込み可能な 16 ビットのレジスタで、フレーム内の受信データ位置 (スロット No.) を設定します。

ビット	ビット名	初期値	R/W	説明
15	RDLE	0	R/W	受信左 ch.データイネーブル 0 : 左 ch.データの受信を許可しない 1 : 左 ch.データの受信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	RDLA3	0	R/W	受信左 ch.データアサイン 3~0 受信フレームにおける左 ch.データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 左 ch.データの受信データは SIRDR の SIRDL ビットに格納されます。
10	RDLA2	0	R/W	
9	RDLA1	0	R/W	
8	RDLA0	0	R/W	
7	RDRE	0	R/W	受信右 ch.データイネーブル 0 : 右 ch.データの受信を許可しない 1 : 右 ch.データの受信を許可する
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RDRA3	0	R/W	受信右 ch.データアサイン 3~0 受信フレームにおける右 ch.データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 右 ch.データの受信データは SIRDR の SIRDR ビットに格納されます。
2	RDRA2	0	R/W	
1	RDRA1	0	R/W	
0	RDRA0	0	R/W	

### 21.3.13 制御データアサインレジスタ (SICDAR)

SICDAR は、読み出し / 書き込み可能な 16 ビットのレジスタで、フレーム内の制御データ位置 (スロット No.) を設定します。本レジスタへの設定は、SIMDR の FL ビットに 1xxx (x : Don't care) を設定したときに有効となります。

ビット	ビット名	初期値	R/W	説明
15	CD0E	0	R/W	制御 0ch. データイネーブル 0 : 制御 0ch. データの送受信を許可しない 1 : 制御 0ch. データの送受信を許可する
14 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	CD0A3	0	R/W	制御 0ch. データアサイン 3 ~ 0 送受信フレームにおける制御 0ch. データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 制御 0ch. データの送信データは SITCR の SITD0 ビットに設定します。 • 制御 0ch. データの受信データは SIRCR の SIRD0 ビットに格納されます。
10	CD0A2	0	R/W	
9	CD0A1	0	R/W	
8	CD0A0	0	R/W	
7	CD1E	0	R/W	制御 1ch. データイネーブル 0 : 制御 1ch. データの送受信を許可しない 1 : 制御 1ch. データの送受信を許可する
6 ~ 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	CD1A3	0	R/W	制御 1ch. データアサイン 3 ~ 0 送受信フレームにおける制御 1ch. データの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 制御 1ch. データの送信データは SITCR の SITD1 ビットに設定します。 • 制御 1ch. データの受信データは SIRCR の SIRD1 ビットに格納されます。
2	CD1A2	0	R/W	
1	CD1A1	0	R/W	
0	CD1A0	0	R/W	

## 21.4 動作説明

### 21.4.1 シリアルクロック

#### (1) マスタ/スレーブ

SIOF のクロックモードとして下記の 2 モードがあります。

- スレーブモード : SIOFSCK、SIOFSYNCは入力
- マスタモード : SIOFSCK、SIOFSYNCは出力

#### (2) ポーレートジェネレータ

SIOF マスタ時には、ポーレートジェネレータ (BRG) を用いてシリアルクロックを生成します。ポーレートジェネレータの分周比は、1/1 ~ 1/1024 です。

図 21.2 にシリアルクロック供給系統図を示します。

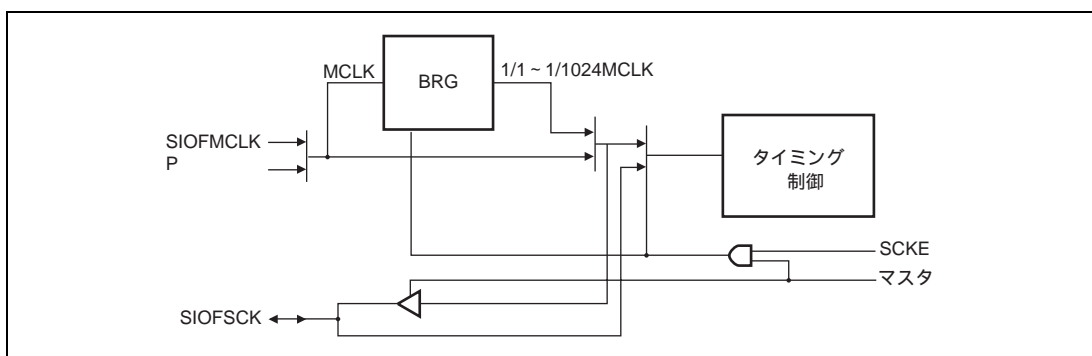


図 21.2 シリアルクロック供給

また、表 21.3 にシリアルクロック周波数の例を示します。

表 21.3 SIOF シリアルクロック周波数例

フレーム長	サンプリングレート		
	8kHz	44.1kHz	48kHz
32 ビット	256kHz	1.4112MHz	1.536MHz
64 ビット	512kHz	2.8224MHz	3.072MHz
128 ビット	1.024MHz	5.6448MHz	6.144MHz
256 ビット	2.048MHz	11.289MHz	12.289MHz

## 21.4.2 シリアルタイミング

### (1) SIOFSYNC

SIOFSYNC はフレーム同期信号です。転送モードによって下記 2 通りの機能を有します。

- 同期パルス：フレーム先頭を表す 1 ビット幅のパルス
- L/R：ステレオデータの左 ch. (L) をハイレベル、右 ch. (R) をローレベルで表す 1/2 フレーム幅のパルス

図 21.3 に SIOFSYNC による同期タイミングを示します。

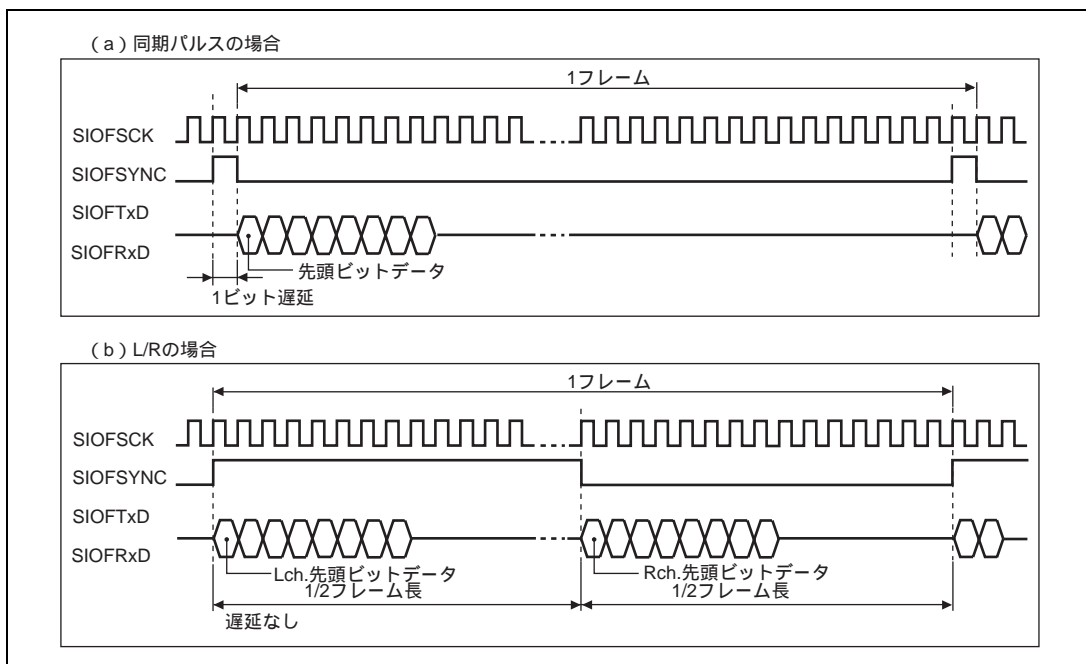


図 21.3 シリアルデータ同期タイミング



## (2) 送受信タイミング

SIOFSCK に対する SIOFTxD の送信タイミングおよび SIOFRxD の受信タイミングは、サンプリングタイミングとして下記 2 通りの設定が可能です。送受信タイミングの設定は、SIMDR の REDG ビットに行います。

- 立ち下がりサンプリング
- 立ち上がりサンプリング

図 21.4 に送受信タイミングを示します。

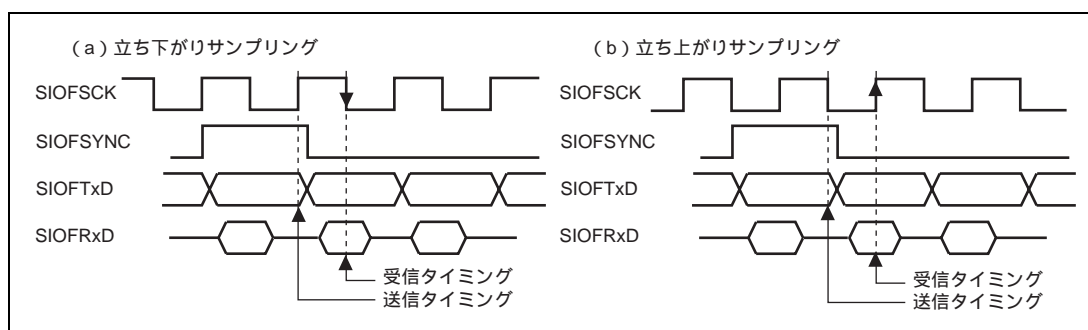


図 21.4 SIOF 送受信タイミング

## 21.4.3 転送データフォーマット

SIOF は、下記転送を行います。

- 送受信データ 8 ビット / 16 ビット / 16 ビットステレオの転送データ
- 制御データ 16 ビット長 (専用レジスタを用いてインタフェースを行います)

## (1) 転送モード

SIOF は、転送モードとして表 21.4 に示すように 4 通りのモードを持っています。転送モードの設定は SIMDR の TRMD1 ~ TRMD0 ビットに行います。

表 21.4 シリアル転送モード

転送モード	SIOFSYNC	ビット遅延	制御データ
スレープモード 1	同期パルス	SYNCDL ビット	スロット位置
スレープモード 2	同期パルス		セカンダリ FS
マスタモード 1	同期パルス		スロット位置
マスタモード 2	L/R	なし*	非対応

【注】 \* SYNC 信号を出力するタイミングによっては、先頭フレームでビット遅延が発生する場合があります。詳細は「21.5 使用上の注意事項」を参照してください。

## (2) フレーム長

SIOF が転送を行うフレームの長さは SIMDR の FL3 ~ FL0 ビットに対して設定を行います。表 21.5 に設定値とフレーム長の関係を示します。

表 21.5 フレーム長

FL3~FL0	スロット長	1 フレームあたりのビット	対応する転送データ
00xx	8	8	8 ビットモノラル
0100	8	16	8 ビットモノラル
0101	8	32	8 ビットモノラル
0110	8	64	8 ビットモノラル
0111	8	128	8 ビットモノラル
10xx	16	16	16 ビットモノラル
1100	16	32	16 ビットモノラル/ステレオ
1101	16	64	16 ビットモノラル/ステレオ
1110	16	128	16 ビットモノラル/ステレオ
1111	16	256	16 ビットモノラル/ステレオ

【注】 x : Don't care

## (3) スロット位置

SIOF は、1 フレームにおける送信データ、受信データ、制御データ (送受信共通) の位置をスロット番号でそれぞれ個別に設定することが可能です。設定は下記レジスタに対して行います。

- 送信データ : SITDAR
- 受信データ : SIRDAR
- 制御データ : SICDAR

制御データは、データ長 16 ビットのときのみ有効となります。また、制御データは送信と受信で必ず同じスロットに割り当てられます。

## 21.4.4 転送データのレジスタ割り付け

## (1) 送受信データ

送受信データの書き込み / 読み出しは下記レジスタに対して行います。

- 送信データ書き込み : SITDR (32ビットアクセス)
- 受信データ読み出し : SIRDR (32ビットアクセス)

図 21.5 に送受信データと SITDR、SIRDR のビットアライメントを示します。

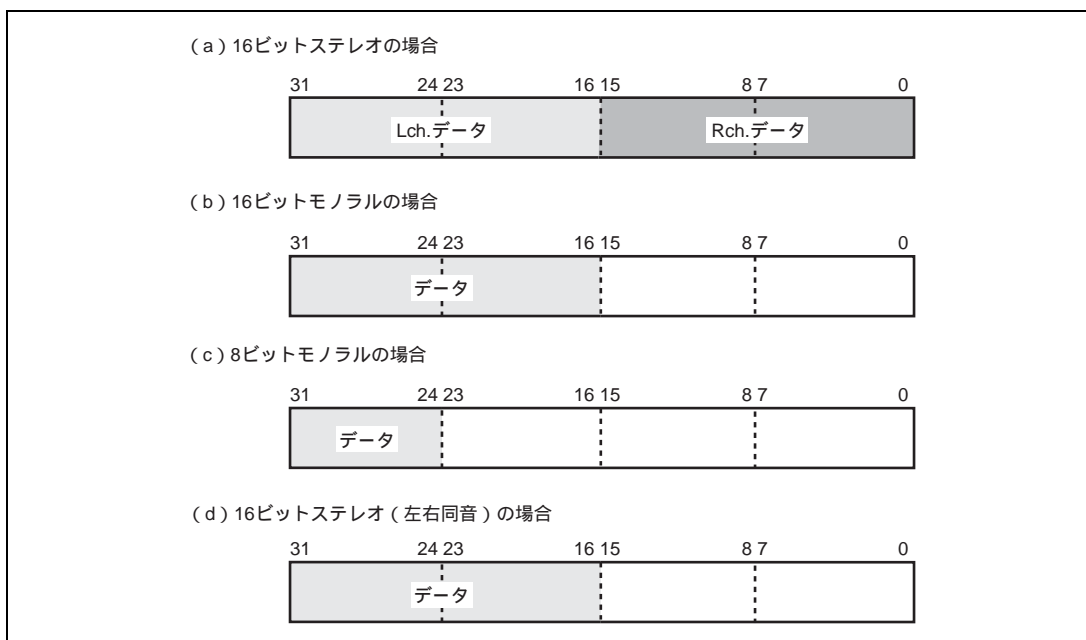


図 21.5 送受信データビットアライメント

【注】 ハッチングの部分だけが有効なデータとして送受信されます。このため、ハッチングがかかっていない領域のデータは送受信の対象となりません。

送信データのモノラル/ステレオの設定は、SITDAR の TDLE ビットおよび TDRE ビットに対して行います。受信データのモノラル/ステレオの設定は、SIRDAR の RDLE ビットおよび RDRE ビットに対して行います。また、送信データステレオ時の左右同音出力は、SITDAR の TLREP ビットに設定を行います。表 21.6 に送信データにおける音声モードの設定を、表 21.7 に受信データにおける音声モードの設定を示します。

表 21.6 送信データ音声モード

モード \ ビット	TDLE	TDRE	TLREP
モノラル	1	0	x
ステレオ	1	1	0
左右同音	1	1	1

【注】 x : Don't care

表 21.7 受信データ音声モード

モード \ ビット	RDLE	RDRE
モノラル	1	0
ステレオ	1	1

【注】 受信データには、左右同音モードは存在しません。

8ビットモノラルで送受信を行う場合には、左チャンネル側を使用してください。

## (2) 制御データ

制御データの書き込み / 読み出しは下記レジスタに対して行います。

- 送信制御データ書き込み：SITCR (32ビットアクセス)
- 受信制御データ読み出し：SIRCR (32ビットアクセス)

図 21.6 に送受信制御データと SITCR、SIRCR のビットアライメントを示します。

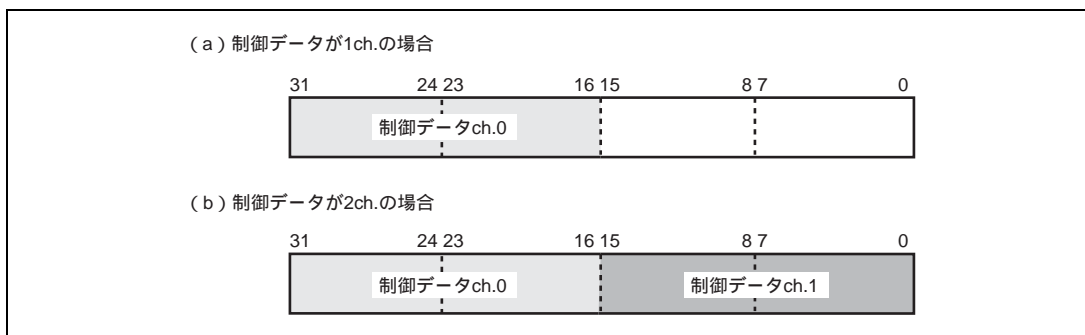


図 21.6 制御データビットアライメント

制御データの ch.数の設定は、SICDAR の CD0E ビットおよび CD1E ビットに対して行います。

表 21.8 に制御データにおける ch.数の設定を示します。

表 21.8 制御データの ch 数設定

ch.数 \ ビット	CD0E	CD1E
1	1	0
2	1	1

【注】 制御データを 1 チャンネルだけ用いる場合には、チャンネル 0 側を使用してください。

### 21.4.5 制御データインタフェース

制御データは、CODEC への制御コマンド出力と CODEC の状態入力を行います。SIOF は、制御データのインタフェース方式として、下記 2 方式に対応します。

- スロット位置による制御
- セカンダリFSによる制御

制御データは、データ長として 16 ビットを選択した場合に有効となります。

#### (1) スロット位置による制御 (マスタモード 1、スレーブモード 1)

制御データのスロット位置を指定して、SIOF が送受信を行う全フレームで制御データの送受信を行う方式です。SIOF マスタ、スレーブのどちらでも使用可能です。図 21.7 にスロット位置による制御データインタフェースのタイミング例を示します。

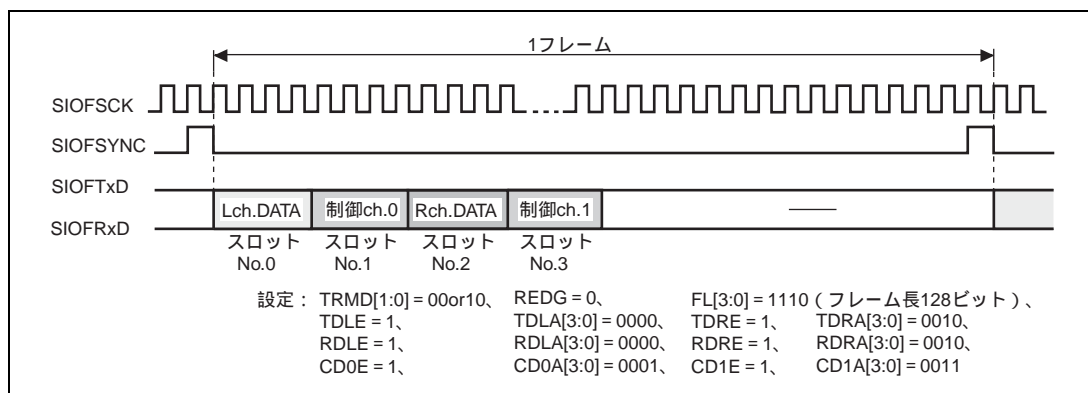


図 21.7 制御データインタフェース (スロット位置)

#### (2) セカンダリ FS による制御 (スレーブモード 2)

SIOFSYNC を同期パルス (FS) として出力する CODEC が、本来の FS 出力位置でない 1/2 フレーム時間経過後に、制御データ送受信専用のセカンダリ FS を出力して、制御データの送受信を行う方式です。SIOF スレーブのみ使用可能です。セカンダリ FS による制御データインタフェースの手順を以下に示します。

- 通常の送信データは LSB = 0 で送出 (SIOF が強制的に 0 とする)
- 制御データ送信を行う場合には LSB = 1 の送信データ送出 (SITCDR への書き込みで SIOF が 1 とする)
- CODEC はセカンダリ FS を出力する
- SIOF はセカンダリ FS に同期して制御データ (SITCDR 設定データ) の送信および受信 (SIRCDR へ格納) を行う

図 21.8 にセカンダリ FS による制御データインタフェースのタイミング例を示します。

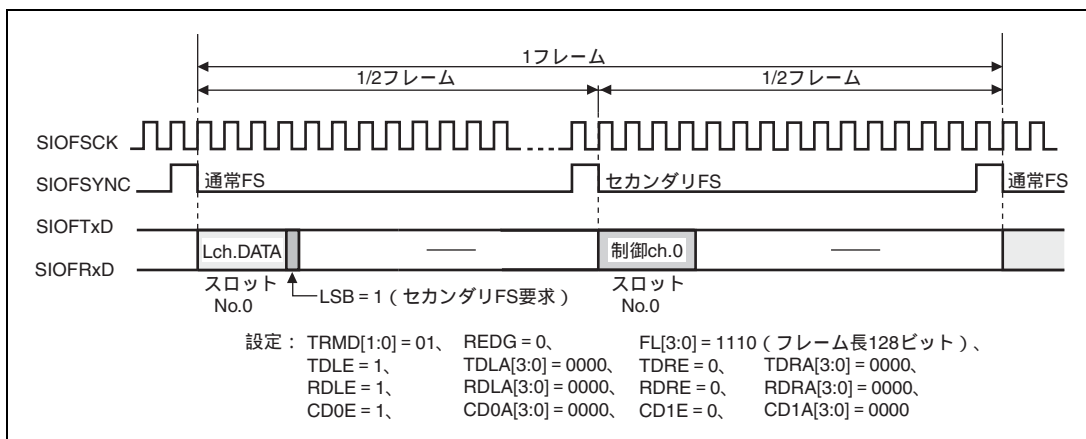


図 21.8 制御データインタフェース (セカンダリ FS)

## 21.4.6 FIFO

### (1) 概要

SIOF 送受信 FIFO の特徴を以下に示します。

- 送受信それぞれ32ビット×16段の容量
- CPU、DMACのアクセスサイズにかかわらず、1回のリード/ライトサイクルでポインタは更新されます。  
(1段のアクセスを複数回に分割することは不可能です。)

### (2) 転送要求

FIFO の送信要求は、以下に記す割り込み要因として CPU および DMAC に出力することが可能です。

- 送信要求 : TDREQ (送信用割り込み要因)
- 受信要求 : RDREQ (受信用割り込み要因)

送受信 FIFO の送信要求を発行する条件は、それぞれ個別に設定が可能です。送信要求の条件は SIFCTR の TFWM2 ~ TFWM0 ビットに、受信 FIFO の転送要求は RFWM2 ~ RFWM0 ビットに設定します。表 21.9 に送信要求発行条件を、表 21.10 に受信要求発行条件を示します。

表 21.9 送信要求発行条件

TFWM2 ~ 0	リクエスト段数	送信要求発行	使用領域
000	1	空き領域が 16 段	小 ↑ ↓ 大
100	4	空き領域が 12 段以上	
101	8	空き領域が 8 段以上	
110	12	空き領域が 4 段以上	
111	16	空き領域が 1 段以上	

表 21.10 受信要求発行条件

RFWM2 ~ 0	リクエスト段数	受信要求発行	使用領域
000	1	有効データが 1 段以上	小 ↑ ↓ 大
100	4	有効データが 4 段以上	
101	8	有効データが 8 段以上	
110	12	有効データが 12 段以上	
111	16	有効データが 16 段	

データ領域もしくは空き領域が上記段数を超えた場合でも、FIFO の容量は常に 16 段使用可能です。したがってオーバーフローもしくはアンダフローエラーは、データ領域もしくは空き領域が 16 段を超えた場合に発行されません。

また、転送要求は FIFO が空もしくは満杯にならなくても、上記条件を満たさなくなった時点で解除します。

### (3) 段数表示

送受信 FIFO の使用状況を、下記内容でレジスタに表示します。

- 送信FIFO：SIFCTRのTFUA4～TFUA0ビットに空き領域の段数を表示
- 受信FIFO：SIFCTRのRFUA4～RFUA0ビットに有効データの段数を表示

上記内容は、CPU もしくは DMAC が転送可能なデータ数を表示します。

## 21.4.7 送受信手順

### (1) マスタ時送信

図 21.9 にマスタ時送信の設定例および動作を示します。

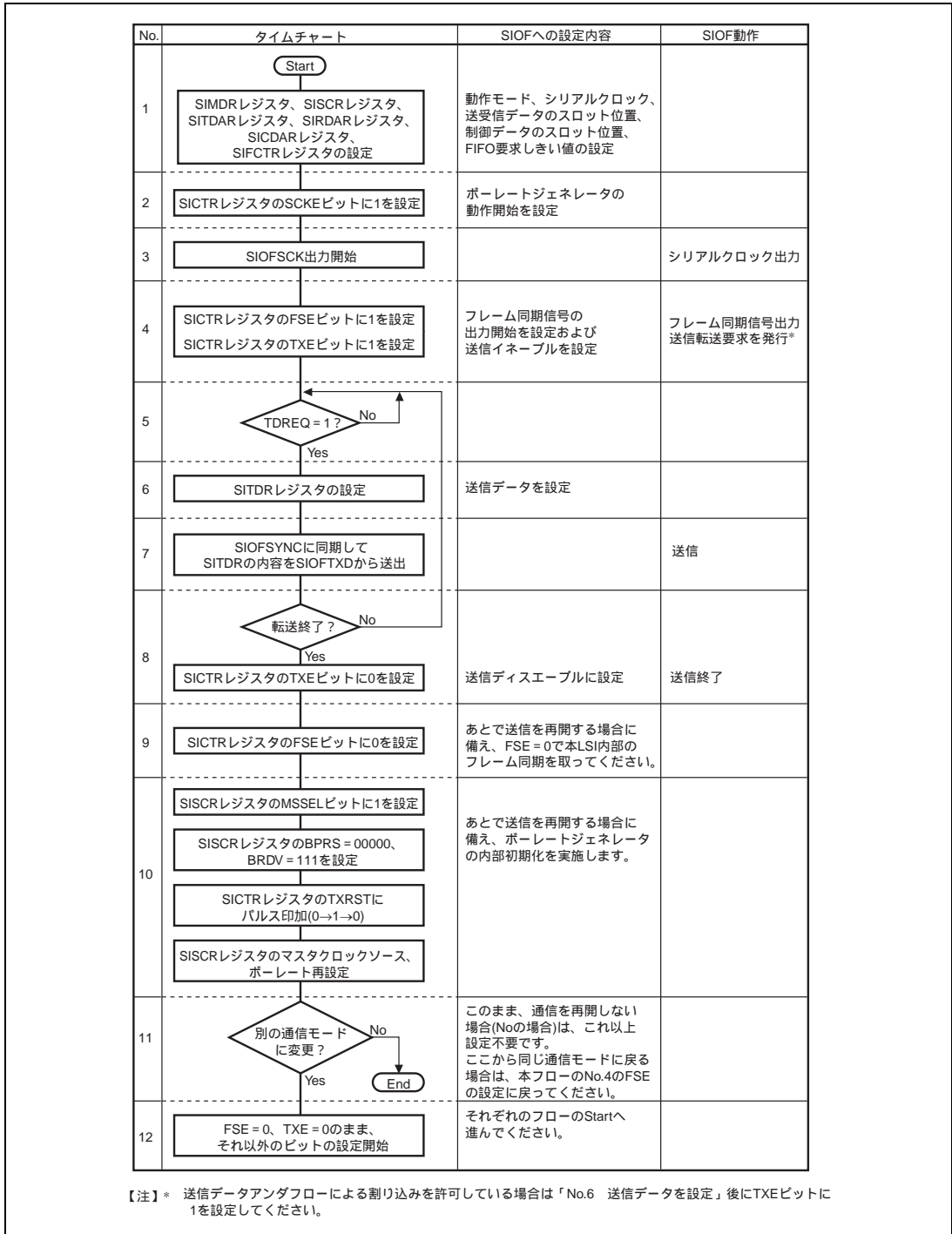


図 21.9 マスタ時送信動作例



## (2) マスタ時受信

図 21.10 にマスタ時受信の設定例および動作を示します。

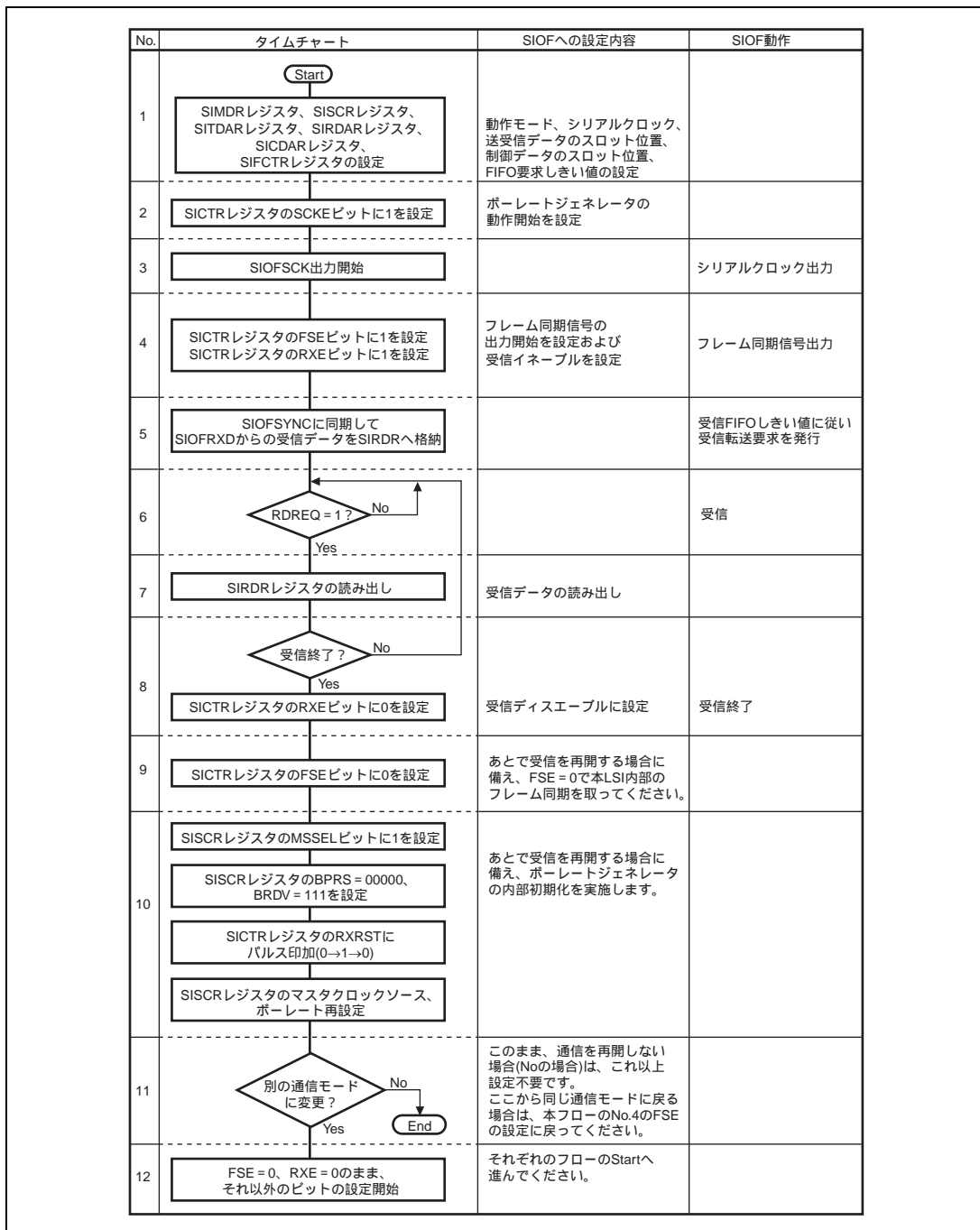


図 21.10 マスタ時受信動作例

## (3) スレーブ時送信

図 21.11 にスレーブ時送信の設定例および動作を示します。

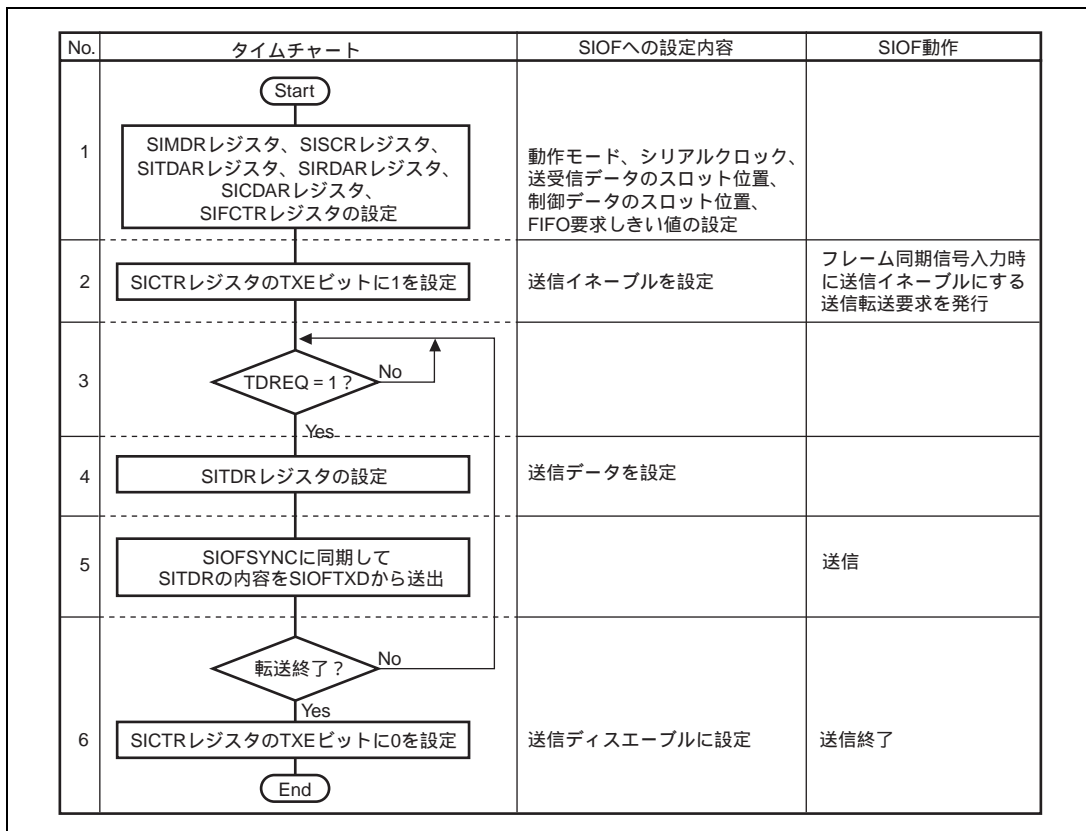


図 21.11 スレーブ時送信動作例

## (4) スレープ時受信

図 21.12 にスレープ時受信の設定例および動作を示します。

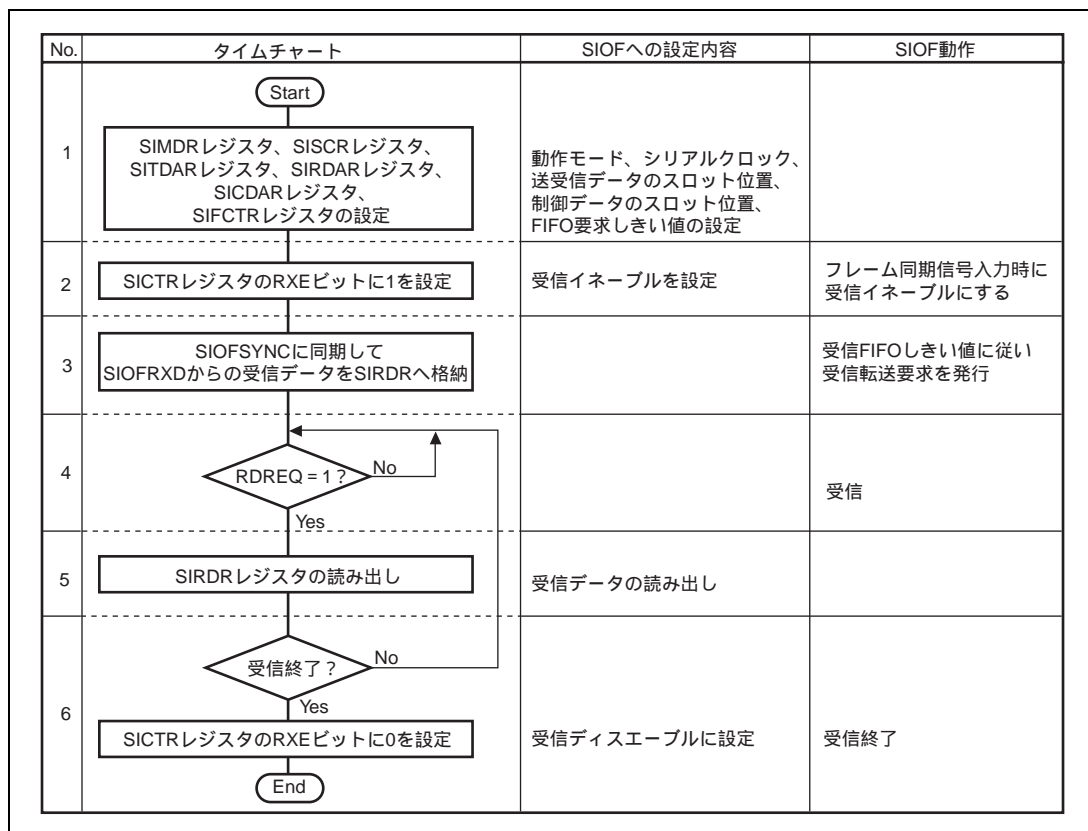


図 21.12 スレープ時受信動作例

## (5) 送受信リセット

SIOF は、下記ビットに 1 を設定することにより、送信部と受信部を個別にリセットすることが可能です。

- 送信リセット：(SICTRのTXRSTビット)
- 受信リセット：(SICTRのRXRSTビット)

表 21.11 に送受信リセットで初期化される内容を示します。

表 21.11 送受信リセット

種類	初期化対象
送信リセット	SITDR 送信 FIFO ライトポインタ、リードポインタ SISTR の TCRDY ビット、TFEMP ビット、TDREQ ビット SICTR の TXE ビット
受信リセット	SIRDR 受信 FIFO ライトポインタ、リードポインタ SISTR の RCRDY ビット、RFFUL ビット、RDREQ ビット SICTR の RXE ビット

【注】 送信リセット、受信リセットを行う場合は下記の手順に従ってください。

1. マスタクロックソースを周辺クロックに設定してください。  
(SISCR レジスタの MSSEL ビットに"1" (マスタクロック=P (周辺クロック) を書き込む))
2. ポーレートジェネレータのプリスケアラのカウンタ値を 1/1 倍に設定してください。  
(SISCR レジスタの BRPS4~0 ビットに"00000" (分周比=1/1) を書き込む)
3. ポーレートジェネレータの出力段分周比を 1/1 倍に設定してください。  
(SISCR レジスタの BRDV2~0 ビットに"111" (分周比=1/1) を書き込む)
4. 送受信動作をリセットしてください。  
(SICTR レジスタの TXRST (または、RXRST) ビットに"1" (リセットする) を書き込む)

## (6) モジュールストップ

SIOF は、モジュールストップ時には送受信動作を停止します。またその際、下記内容を初期化します。

- SITDR
- SITCR
- 送受信FIFOリードポインタ
- 送受信FIFOライトポインタ
- SISTR
- SICTR

### 21.4.8 割り込み

SIOF は、1 種類の割り込みを持っています。

#### (1) 割り込み要因

割り込みは、それぞれ複数の要因によって発行することができます。各要因は、SISTR に SIOF ステータスとして表示します。表 21.12 に SIOF 割り込み要因一覧を示します。

表 21.12 SIOF 割り込み要因

No.	区分	ビット名	機能名称	内 容
1	送信	TDREQ	送信 FIFO 転送要求	送信 FIFO に設定値以上のデータが格納された
2		TFEMP	送信 FIFO エンプティ	送信 FIFO が空である
3	受信	RDREQ	受信 FIFO 転送要求	受信 FIFO に設定値以上のデータが格納された
4		RFFUL	受信 FIFO フル	受信 FIFO が満杯である
5	制御	TCRDY	送信制御データレディ	送信制御レジスタに書き込みが可能である
6		RCRDY	受信制御データレディ	受信制御データレジスタに有効な値が格納された
7	エラー	TFUDF	送信 FIFO アンダフロー	送信 FIFO が空時にシリアルデータ送出タイミングが来た
8		TFOVF	送信 FIFO オーバフロー	送信 FIFO が満杯時に送信 FIFO に書き込みを行った
9		RFOVF	受信 FIFO オーバフロー	受信 FIFO が満杯時にシリアルデータを受信した
10		RFUDF	受信 FIFO アンダフロー	受信 FIFO が空時に受信 FIFO 読み出しを行った
11		FSERR	FS エラー	設定ビット数以前に同期信号が入力された (スレーブ時)
12		SAERR	アサインエラー	シリアルデータ、制御データの-slot設定が重複している

割り込み要因によって割り込みを発行するか否かは、SIER への設定によって決定します。SIER の対応するビットに 1 が設定してある割り込み要因が 1 にセットされたときに、SIOF 割り込みを発行します。

#### (2) 送受信区分について

送信区分の要因、受信区分の要因は状態を表す信号であり、いったんセットされてもその後状態が変化すると SIOF が自動的にクリアします。

ただし、DMA 転送を用いた場合には、DMA 転送が終了した時点で、DMA 転送要求は必ず 1 サイクル期間 0 レベルとなります。

## (3) エラー発生時の処理

SISTR にステータスとして表示する各エラー発生時、SIOF は下記動作を行います。

- 送信FIFOアンダフロー (TFUDF)  
直前の送信データを再び送じます。
- 送信FIFOオーバフロー (TFOVF)  
送信FIFOの内容は保護され、オーバフローとなった書き込みは無視します。
- 受信FIFOオーバフロー (RFOVF)  
オーバフローとなったデータが廃棄され、消失します。
- 受信FIFOアンダフロー (RFUDF)  
不定値がバス上に出力されます。
- FSエラー (FSERR)  
エラーとなった同期信号 (FSYN) に従って、内部カウンタはリセットされます。
- アサインエラー (SAERR)  
シリアルデータと制御データが重複した場合には、シリアルデータが優先されます。  
制御データ同志が重複した場合には、送受信データは保証されません。

## 21.4.9 送受信タイミング

SIOF のシリアル送受信の例を図 21.13 ~ 図 21.19 に示します。

## (1) 8ビットモノラルの場合 (その1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 8 ビット

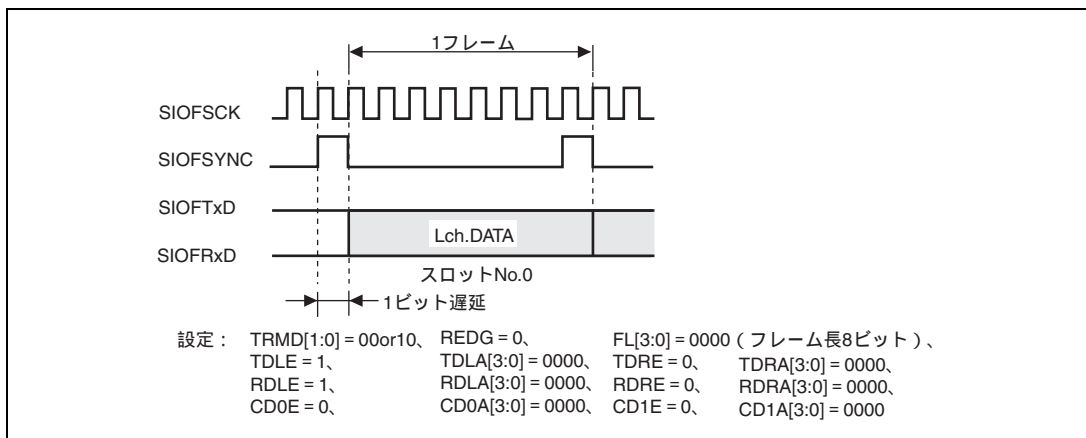


図 21.13 送受信タイミング (8ビットモノラル - 1)

## (2) 8 ビットモノラルの場合 (その 2)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 16 ビット

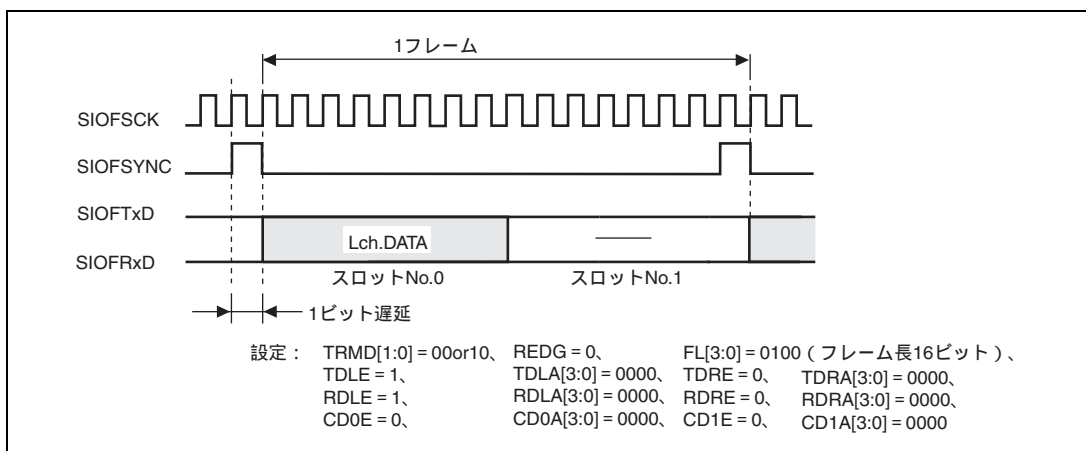


図 21.14 送受信タイミング (8 ビットモノラル - 2)

## (3) 16 ビットモノラルの場合 (その 1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 64 ビット

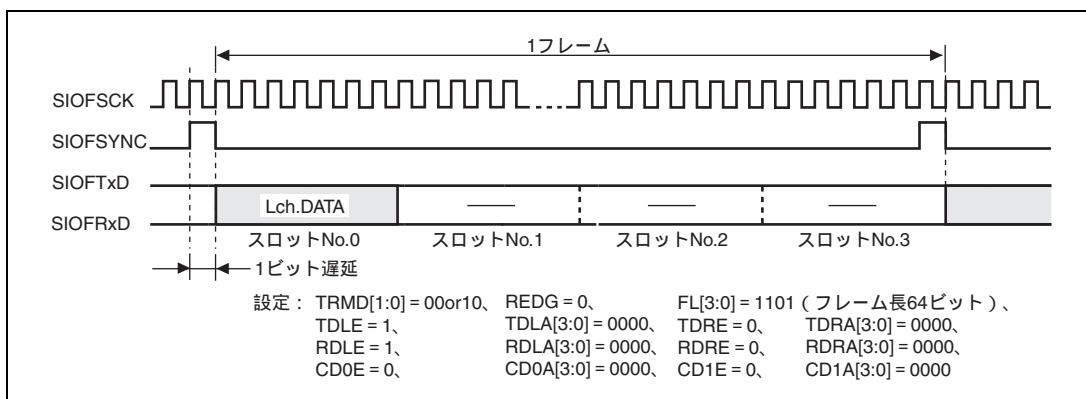


図 21.15 送受信タイミング (16 ビットモノラル - 1)

## (4) 16 ビットステレオの場合 (その 1)

L/R 方式、立ち上がりサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.1、フレーム長は 32 ビット

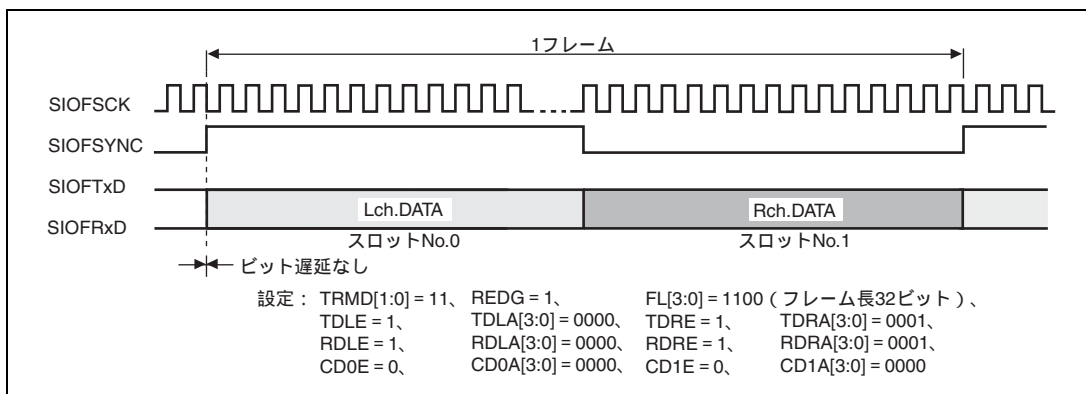


図 21.16 送受信タイミング (16 ビットステレオ - 1)

## (5) 16 ビットステレオの場合 (その 2)

L/R 方式、立ち上がりサンプリング、Lch.送信データはスロット No.0、Lch.受信データはスロット No.1、Rch.送信データはスロット No.2、Rch.受信データはスロット No.3、フレーム長は 64 ビット

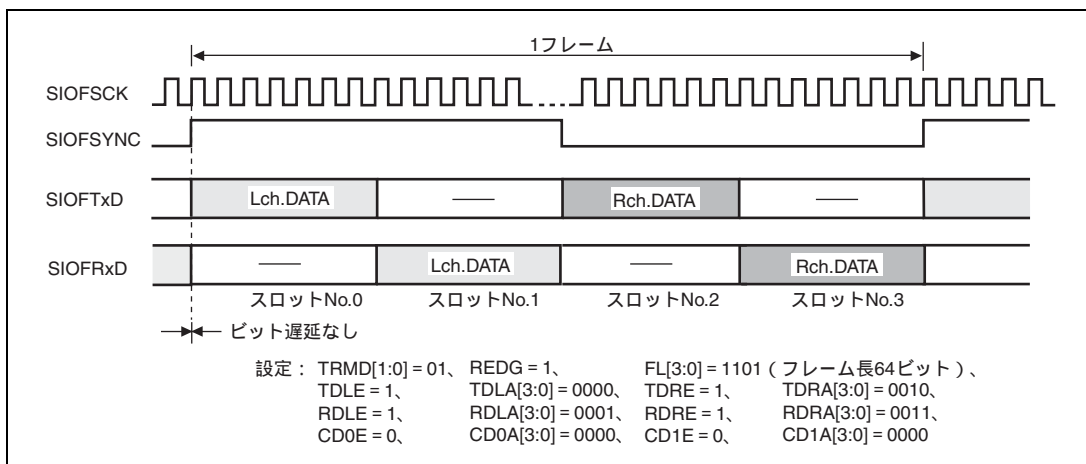


図 21.17 送受信タイミング (16 ビットステレオ - 2)



## (6) 16 ビットステレオの場合 (その3)

同期パルス方式、立ち下がりサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.1、制御 ch.データ 0 はスロット No.2、制御 ch.データ 1 はスロット No.3、フレーム長は 128 ビット

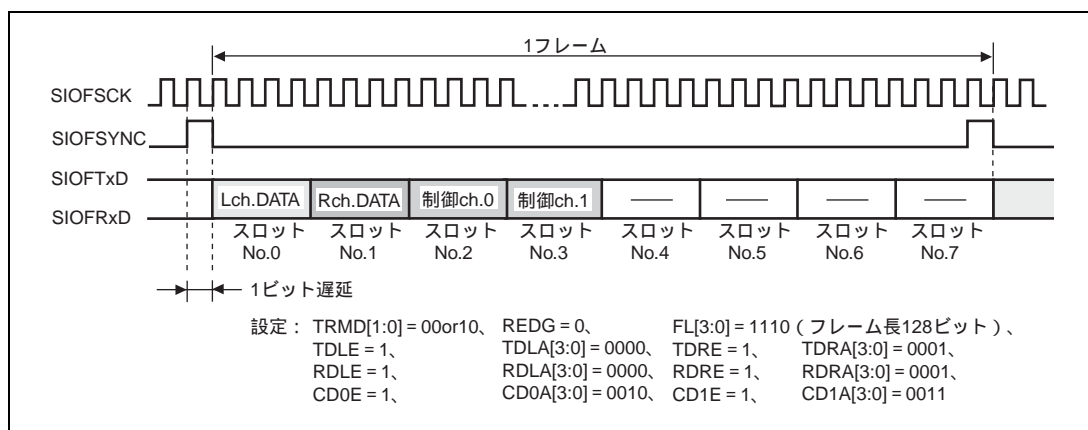


図 21.18 送受信タイミング (16 ビットステレオ - 3)

## (7) 16 ビットステレオの場合 (その4)

同期パルス方式、立ち下がりサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.2、制御 ch.データ 0 はスロット No.1、制御 ch.データ 1 はスロット No.3、フレーム長は 128 ビット

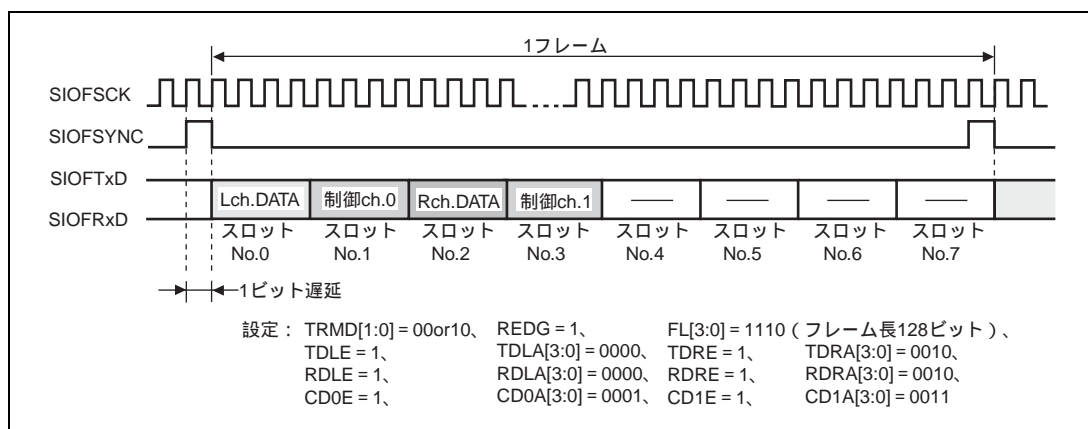


図 21.19 送受信タイミング (16 ビットステレオ - 4)

(8) 各スロット終了時に同期パルスを出力するモードの場合 (SYNCAT ビットが 1 のとき)

同期パルス方式、立ち下がりサンプリング、Lch.データはスロット No.0、Rch.データはスロット No.1、制御 ch.データ 0 はスロット No.2、制御 ch.データ 1 はスロット No.3、フレーム長は 128 ビット

また、本モードでは、スロット No.0 に必ず有効データを設定してください。

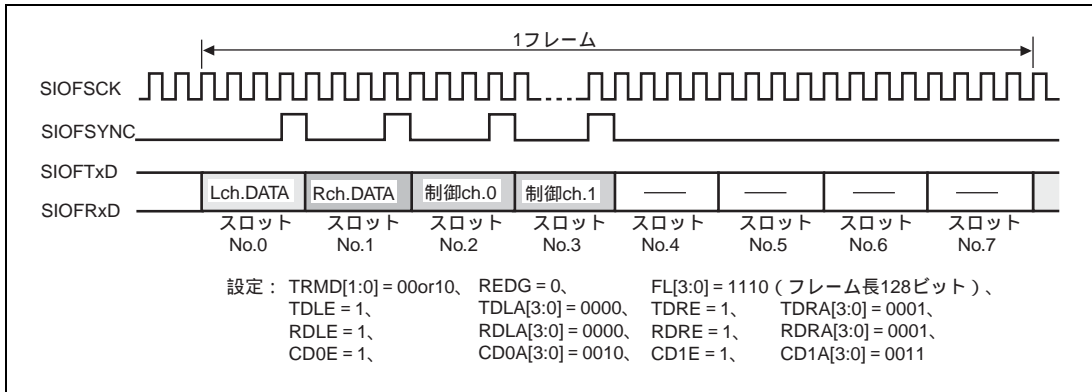


図 21.20 送受信タイミング (16 ビットステレオ)

## 21.5 使用上の注意事項

### 21.5.1 マスタモード 2 で送信再開した時の SYNC 信号の High 期間について

#### (1) 現象

マスタモード 2 で SISCR、FSE ビットに "0" を設定して SYNC 信号の出力を許可しない状態から、FSE ビット = "1" にして SYNC 信号の出力を許可した場合、タイミングによっては、先頭フレームの SYNC 信号の立ち上がりが早くなり、SYNC 信号の High 期間が 1 ビット長くなる場合があります。2 フレーム目以降では発生しません。

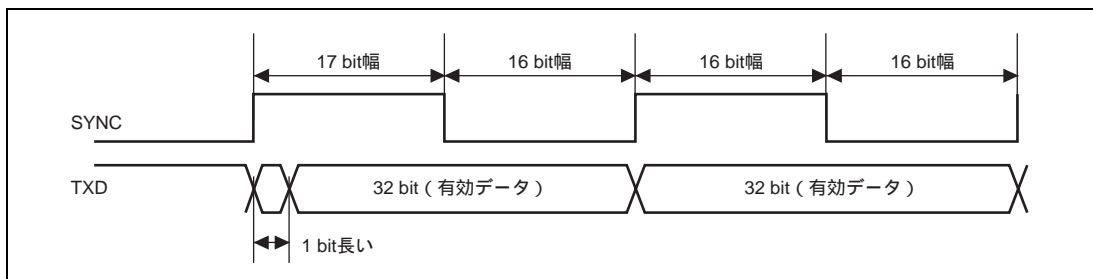


図 21.21 フレーム長 32 ビットの場合の例

#### (2) 回避策

下記のいずれかの対策を行ってください。

- 先頭フレームにデータを出力する場合は、ダミーデータを送信 FIFO に書き込み、2 フレーム目以降に有効データを書いてください。受信側は先頭フレームのデータを読み捨ててください。
- 先頭フレームの SYNC 信号の期間が設定値より 1 ビット長くなっても、誤動作しない構成で使用してください。



---

## 22. アナログフロントエンドインタフェース (AFEIF)

---

本 LSI は、ソフトウェアモデムをサポートする AFE インタフェースを備えています。送信、受信用にそれぞれ 128 段の FIFO を内蔵し効率的にモデム処理を行うことができます。さらにダイヤルパルス生成回路およびリング検出機能などの電話回線制御部 (DAA (Data Access Arrangement)) とのインタフェースも備えており、必要最小限のハードウェアでモデムシステム構成を構築することができます。

### 22.1 特長

- FIFO付きシリアルインタフェース
- シリアルインタフェースはクロック同期式
- 送受信FIFOサイズは最大16ビット×128ワード
- 送受信割り込みスレッシュホールドサイズがプログラマブル
- ダイヤルパルス生成回路搭載
- リングング (呼び出し信号) 検出機能搭載

図 22.1 に AFEIF のブロック図を示します。

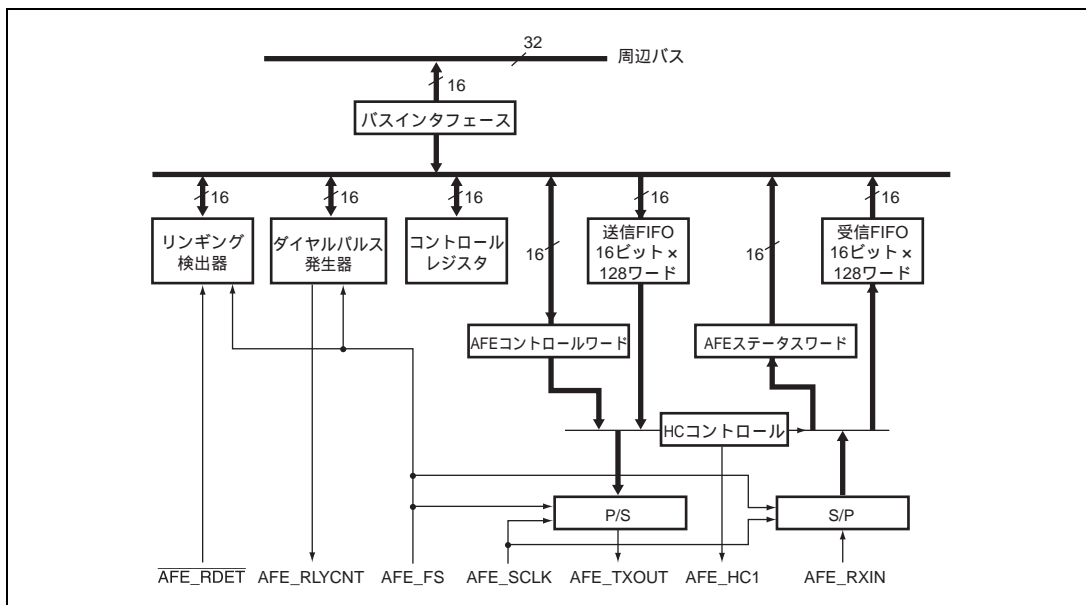


図 22.1 AFE インタフェースブロック図

## 22.2 入出力端子

AFEIF の端子構成を表 22.1 に示します。

表 22.1 端子構成

端子名称	入出力	端子機能
AFE_RDDET	入力	リングング信号入力
AFE_RLYCNT	出力	オンフック制御信号
AFE_SCLK	入力	シフトクロック
AFE_FS	入力	フレーム同期信号
AFE_RXIN	入力	シリアル受信データ
AFE_HC1	出力	AFE ハードウェアコントロール信号
AFE_TXOUT	出力	シリアル送信データ

## 22.3 レジスタの説明

AFEIF のレジスタを以下に示します。レジスタアクセスの際、バイトアクセスは行わないでください。

- AFEIFコントロールレジスタ1 (ACTR1)
- AFEIFコントロールレジスタ2 (ACTR2)
- メイクレシオカウントレジスタ (MRCR)
- ミニマムポーズカウントレジスタ (MPCR)
- AFEIFステータスレジスタ1 (ASTR1)
- AFEIFステータスレジスタ2 (ASTR2)
- ダイアルナンバキュー (DPNQ)
- リンギングパルスカウンタ (RCNT)
- AFEコントロールデータレジスタ (ACDR)
- AFEステータスデータレジスタ (ASDR)
- 送信データFIFOポート (TDFP)
- 受信データFIFOポート (RDFP)

### 22.3.1 AFEIF コントロールレジスタ 1、2 (ACTR1、ACTR2)

ACTR は AFEIF の制御用のレジスタであり、ACTR1 と ACTR2 の 2 ワード構成です。ACTR1 は主に FIFO 制御用コマンド、ACTR2 は AFE 制御、DAA 制御用のコマンドセットを用意します。

#### • ACTR1

ビット	ビット名	初期値	R/W	説明
15	HC	0	R/W	AFE ハードウェアコントロール AFE を制御するビットです。このビットに 1 を書き込むと次のシリアル送信データ転送直後に AFE_HC1 信号をハイにし、その後の 2 番目の AFE_FS にて ACDR のデータ (AFE コントロールワード) を転送します。AFE コントロールワード転送直後、AFEIF モジュールは自動的に AFE_HC1 信号をローに、HC ビットを 0 に戻します。AFE 制御シーケンスは「22.4.2 AFE インタフェース」を参照してください。
14~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	DLB	0	R/W	FIFO デジタルループバック 0: 通常動作 1: 送信 FIFO と受信 FIFO のデジタルループバックを行います。このとき、送信データは AFE_TXOUT にも出力されます。

ビット	ビット名	初期値	R/W	説明
6	-	0	R	リザーブビット
5	-	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	FFSZ2	0	R/W	FIFO インタラプトサイズセット 2~0
3	FFSZ1	0	R/W	FIFO のサイズを指定します。割り込み (TFE、RFF、THE、RHF) を発生させるサイズはそれぞれ表 22.2 に示すように割り当てられます。
2	FFSZ0	0	R/W	
1	TE	0	R/W	送信イネーブル 0: 送信動作禁止 FIFO のリードポイントは先頭番地に固定されます。 また、ライトポイントは0を書き込まれたときに先頭番地にリセットされます。ASTR1 の TFEM、THEM ビットは1の状態にリセットされず。 1: 送信動作許可
0	RE	0	R/W	受信イネーブル 0: 受信動作禁止 FIFO のリード/ライトポイントは先頭番地に固定されます。ASTR1 の RFFM、RHF M ビットは1の状態にリセットされます。 1: 受信動作許可

表 22.2 FIFO インタラプトサイズの指定

ビット 4	ビット 3	ビット 2	説明		
FFSZ2	FFSZ1	FFSZ0			
0	0	0	FIFO サイズ: 128	TFE/RFF: 128 空 / 満	THE/RHF: 64 空 / 満 (初期値)
0	0	1	FIFO サイズ: 64	TFE/RFF: 64 空 / 満	THE/RHF: 32 空 / 満
0	1	0	FIFO サイズ: 32	TFE/RFF: 32 空 / 満	THE/RHF: 16 空 / 満
0	1	1	FIFO サイズ: 16	TFE/RFF: 16 空 / 満	THE/RHF: 8 空 / 満
1	0	0	FIFO サイズ: 8	TFE/RFF: 8 空 / 満	THE/RHF: 4 空 / 満
1	0	1	FIFO サイズ: 4	TFE/RFF: 4 空 / 満	THE/RHF: 2 空 / 満
1	1	0	FIFO サイズ: 2	TFE/RFF: 2 空 / 満	THE/RHF: 1 空 / 満
1	1	1	FIFO サイズ: 96	TFE/RFF: 96 空 / 満	THE/RHF: 48 空 / 満



## • ACTR2

ビット	ビット名	初期値	R/W	説 明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	DPST	0	R/W	ダイヤルパルススタート 電話番号列出力のスタートビットです。PPS、MRCR、MPCR にて指定された仕様で、DPNQ レジスタに詰め込まれた電話番号列を AFE_RLYCNT に出力させます。全電話番号列を出力終了後、DPE 割り込みを発生させ、DPST ビットを0に戻します (ダイヤルパルス送出シーケンスは「22.4.3 DAA インタフェース」を参照してください。) なお、ダイヤルパルス生成回路は AFE_RLYCNT がハイの状態でのみ動作しますので注意してください。
3	PPS	0	R/W	ダイヤルパルス期間 0: 10PPS 1: 20PPS
2	RCEN	0	R/W	リングングカウンタインエーブル 0: リングングカウント停止 1: リングングカウントスタート 【注】 カウント仕様は「22.4.3 DAA インタフェース」を参照してください。
1	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RLYC	0	R/W	リレーコントロール フックリレー制御用の信号です。 0: オンフック状態。AFE_RLYCNT ピン"L"出力 1: オフフック状態。AFE_RLYCNT ピン"H"出力

### 22.3.2 メイクレシオカウントレジスタ (MRCR)

MRCR はダイヤルパルスのメーク率を指定するカウンタです。9600Hz の AFE\_FS を基本クロックとしてメーク間隔を規定します。無効データ (PPS = 1 (20PPS)) の場合 1E0H 以上のデータ、PPS = 0 (10PPS) の場合 3C0H 以上のデータ) が入力された場合、パルス信号は送出されません。

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	MRCR9~ MRCR0	0	R/W	ダイヤルパルスのメーク率を指定します。

### 22.3.3 ミニマムポーズカウントレジスタ (MPCR)

MPCR はダイヤルパルスの電話番号間隔を指定するカウンタです。9600Hz の AFE\_FS を基本クロックとして電話番号間隔を規定します。

ビット	ビット名	初期値	R/W	説明
15~0	MPCR15~ MPCR0	0	R/W	ダイヤルパルスの電話番号間隔を指定します。

### 22.3.4 AFEIF ステータスレジスタ 1、2 (ASTR1、ASTR2)

ASTR は AFEIF の割り込み制御用のレジスタであり、ASTR1 と ASTR2 の 2ワード構成です。ASTR1 は主に送受信 FIFO 割り込み制御、ASTR2 は DAA 割り込み制御用のコマンドセットを用意します。割り込み動作の詳細については、「22.4.1 割り込みタイミング」を参照してください。

#### (1) AFEIF ステータスレジスタ 1 (ASTR1)

ASTR 1 は送受信 FIFO に関する割り込みのステータスフラグ (4ビット) および送受信 FIFO 割り込み信号のマスクフラグ (4ビット) から構成されるレジスタです。ステータスフラグは送受信 FIFO の FIFO フル/エンプティ割り込み、FIFO ハーフサイズ割り込み状態を表示します。リセット直後は、送信 FIFO の状態はデータエンプティ状態であり、FIFO エンプティ (TFE) と FIFO ハーフサイズ割り込み (THE) は 1 の状態となります。割り込み要因解除方法は、FIFO のデータ操作 (リード/ライト) によって行います。

割り込み信号マスクフラグは、上記各ステータスフラグにて示された割り込み要因を各々マスクすることができます。リセット時には割り込みマスクビットは 1 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	TFEM	1	R/W	送信 FIFO エンプティインタラプトマスク 0: TFE 割り込み許可 1: TFE 割り込みマスク
10	RFFM	1	R/W	受信 FIFO フルインタラプトマスク 0: RFF 割り込み許可 1: RFF 割り込みマスク
9	THEM	1	R/W	スレッシュホールド送信 FIFO エンプティインタラプトマスク 0: THE 割り込み許可 1: THE 割り込みマスク
8	RHFM	1	R/W	スレッシュホールド受信 FIFO フルインタラプトマスク 0: RHF 割り込み許可 1: RHF 割り込みマスク
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TFE	1	R	送信 FIFO エンプティインタラプト 0: 通常状態 【クリア条件】 FIFO 内にデータが書き込まれたとき 1: TxFIFO エンプティ割り込み 【セット条件】 • リセット時 • FIFO 内に有効データがないとき • TE ビット (ACTR1) が0にリセットされたとき (TFEM ビットは1にセットされます)
2	RFF	0	R	受信 FIFO フルインタラプト 0: 通常状態 【クリア条件】 • リセット時 • FIFO 内のデータが FFSZ (ACTR1) で指定されたサイズ未満になったとき • RE ビット (ACTR1) が0にリセットされたとき 1: RxFIFO フル割り込み 【セット条件】 FIFO 内に FFSZ (ACTR1) で指定されたサイズの受信データが蓄積されたとき

ビット	ビット名	初期値	R/W	説明
1	THE	1	R	送信 FIFO ハーフサイズエンプティ 0: 通常状態 【クリア条件】 FIFO 内の有効データが FFSZ で指定されたサイズの 1/2 以上になったとき 1: TxFIFO ハーフサイズ割り込み 【セット条件】 <ul style="list-style-type: none"> <li>• リセット時</li> <li>• FIFO 内の有効データが FFSZ で指定されたサイズの 1/2 以下になったとき</li> <li>• TE ビット (ACTR1) が 0 にリセットされたとき  ( THEM ビットは 1 にセットされます )</li> </ul>
0	RHF	0	R	受信 FIFO ハーフサイズフル 0: 通常状態 【クリア条件】 <ul style="list-style-type: none"> <li>• リセット時</li> <li>• FIFO 内のデータが FFSZ で指定されたサイズの 1/2 未満になったとき</li> <li>• RE ビット (ACTR1) が 0 にリセットされたとき</li> </ul> 1: RxFIFO ハーフサイズ割り込み 【セット条件】 FIFO 内に FFSZ で指定されたサイズの 1/2 の受信データが蓄積されたとき

## (2) AFEIF ステータスレジスタ 2 (ASTR2)

ASTR2 は DAA 制御に関する割り込みステータスフラグ (2 ビット) および DAA 制御割り込み信号のマスキングフラグ (2 ビット) から構成されるレジスタです。ステータスフラグはリングング検出割り込み、ダイヤルパルス出力終了割り込みの状態を表示します。割り込み要因解除方法は、割り込み発生状態 1 を読んだ後、0 を書き込むことによって行います。

割り込み信号マスキングフラグは、上記各ステータスフラグにて示された割り込み要因を各々マスクすることができます。

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	DPEM	1	R/W	ダイヤルパルスエンドインタラプトマスク 0: 割り込み許可 1: 割り込みマスク
8	RDETM	1	R/W	リングングディテクトマスク 0: リングング割り込み許可 1: リングング割り込みマスク
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DPE	0	R/W	ダイヤルパルスエンド 0: 通常状態 【クリア条件】 • リセット時 • 割り込み状態 1 を読んだ後、本ビットに 0 が書き込まれたとき 1: ダイヤルパルス出力終了割り込み 【セット条件】 • 全ダイヤルパルス列の出力が終了したとき、また、終了コマンド 0H を検出したとき • 不正終了 (規定外ダイヤルナンバおよび RLYC ビット (ACTR2) が "L" 時に DPST をセット) したとき
0	RDET	0	R/W	リングングディテクト 0: 通常状態 【クリア条件】 • リセット時 • 割り込み状態 1 を読んだ後、本ビットに 0 が書き込まれたとき 1: リングング波形検出 【セット条件】 AFE_RDET ピンにリングング波形が入力されたとき (立ち下がりでラッチする)

### 22.3.5 ダイアルナンバキュー (DPNQ)

4桁までの電話番号レジスタキューであり、4ビットずつのレジスタで構成されます。DNの番号順に以下の対応表に従ってダイヤルパルスを生成します。DN3の出力後、あるいは、0Hおよび対応データ以外の値を検出したらダイヤルパルス出力終了割り込みを送出します。

ビット	ビット名	初期値	R/W	説明
15~12	DN0 3~DN0 0	すべて 0	R/W	DN0
11~8	DN1 3~DN1 0	すべて 0	R/W	DN1
7~4	DN2 3~DN2 0	すべて 0	R/W	DN2
3~0	DN3 3~DN3 0	すべて 0	R/W	DN3

表 22.3 電話番号とデータの対応

電話番号・その他	対応データ
0	AH
1	1H
2	2H
3	3H
4	4H
5	5H
6	6H
7	7H
8	8H
9	9H
ポーズ	FH
終了	0H

### 22.3.6 リンギングパルスカウンタ (RCNT)

リンギング波形の1周期を AFE\_FS にてカウントした値が表示されます。

ビット	ビット名	初期値	R/W	説明
15~0	RCNT15~ RCNT0	すべて 0	R	リンギングカウンタバリュ 入力されたリンギング波形の1周期を AFE 出力の AFE_FS でカウントした値 (リンギング検出シーケンスは「22.4.3 DAA インタフェース」参照してください)。

### 22.3.7 AFE コントロールデータレジスタ (ACDR)

ACDR は AFE 制御ワード格納用レジスタです。HC (ACTR1) ビットへ"1"の書き込み後、3 番目の FS で AFE に転送されます。

ビット	ビット名	初期値	R/W	説明
15~0	ACDR15~ ACDR0	すべて 0	R/W	AFE 制御ワードを格納します。

### 22.3.8 AFE ステータスデータレジスタ (ASDR)

ASDR は AFE ステータスワード格納用レジスタです。HC (ACTR2) ビットへ"1"の書き込み後、3 番目の FS で AFE から ASDR に転送されます。

ビット	ビット名	初期値	R/W	説明
15~0	ASDR15~ ASDR0	すべて 0	R	AFE ステータスワードを格納します。

### 22.3.9 送信データ FIFO ポート (TDFP)

TDFP は送信 FIFO 用の書き込み専用のポートです。送信用 FIFO は最大 128 段のサイズを持ち、データエンプティのほかに FFSZ (ACTR1) で指定されたスレッシュホールドサイズの割り込みを発生させることができます。リセット直後と TE (ACTR1) ビットが 0 のときは、FIFO 内のポインタが先頭アドレスにリセットされデータが空の状態です。このまま TE (ACTR1) ビットに 1 を書き込むと割り込みが発生することになります。通常、あらかじめ送信 FIFO にデータを書き込んでから TE ビットを操作します。

ビット	ビット名	初期値	R/W	説明
15~0	TDFP15~ TDFP0	すべて 不定	W	送信 FIFO 用の書き込み専用のポートです。

### 22.3.10 受信データ FIFO ポート (RDFP)

RDFP は受信 FIFO 用の読み込み専用のポートです。受信用 FIFO は最大 128 段のサイズを持ち、データフルのほかに FFSZ (ACTR1) で指定されたスレッシュホールドサイズの割り込みを発生させることができます。リセット直後と RE (ACTR1) ビットが 0 のときは、FIFO 内のポインタが先頭アドレスに固定され、RDFP からのデータは不定状態となります。

ビット	ビット名	初期値	R/W	説明
15~0	RDFP15~ RDFP0	すべて 不定	R	受信 FIFO 用の読み込み専用のポートです。

## 22.4 動作説明

### 22.4.1 割り込みタイミング

AFE インタフェースモジュールは FIFO データ転送、リングング検出、およびダイヤルパルス送出終了の 3 タイプの割り込みを発生します。以下にそれぞれの割り込み発生タイミングについて説明します。

#### (1) FIFO 割り込みタイミング

図 22.2 にデータ転送 FIFO の割り込みタイミングを示します。送信 FIFO は最後のワードをシフトレジスタに転送した時点で TFE、THE 割り込みを発生させ、受信 FIFO は最後のワードあるいは既定値ワードをシフトレジスタから FIFO へ転送した時点で RFF、RHF 割り込みを発生させます。

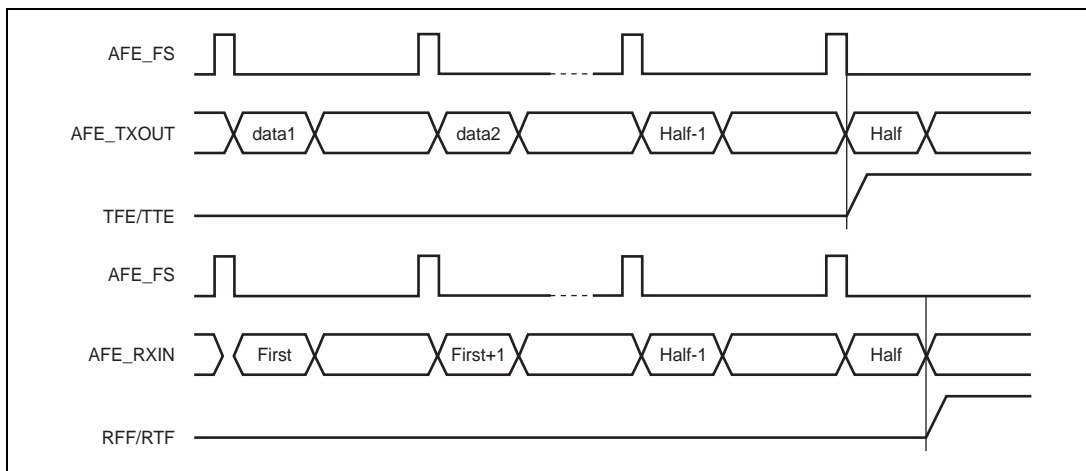


図 22.2 FIFO インタラプトタイミング



## (2) リンギング割り込みタイミング

リンギング波形は図 22.3 に示すように回線からのリンギング信号を矩形波に整形し、AFEIF に入力されます。AFEIF モジュールでは入力波形の立ち下がりのタイミングで割り込みを発生させます。

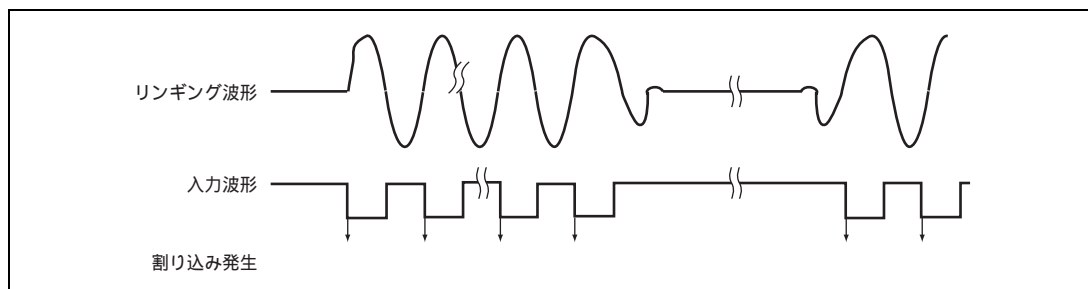


図 22.3 リンギングインタラプト発生タイミング

## (3) ダイアルパルス割り込みタイミング

ダイアルパルス送出シーケンス上、DPNQ レジスタに入力されたデータから 0H(終了)データをリードするか、4 桁すべてを出力した時点で割り込みを送出します (ダイアルパルス送出シーケンスについては「22.4.3 DAA インタフェース」を参照してください)。

## (4) 割り込み生成回路

割り込み生成は図 22.4 に示すように FIFO 割り込み制御の ASTR1 と DAA 割り込み制御の ASTR2 の 2 本の割り込みレジスタから出力される計 6 本の割り込み信号を OR し、1 本の割り込み信号 (AFECI) として INTC に送ります。

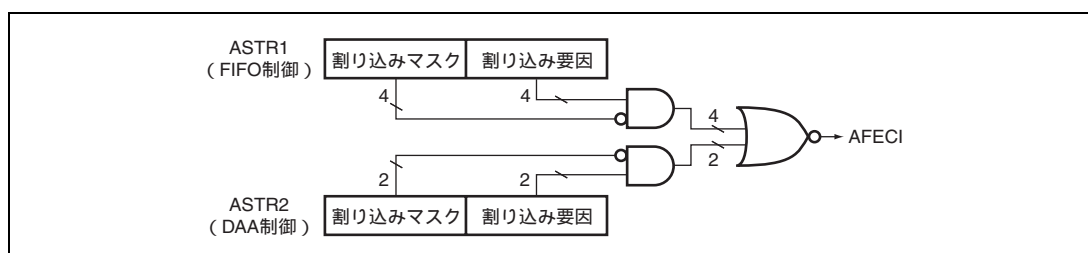


図 22.4 インタラプトジェネレータ

## 22.4.2 AFE インタフェース

### (1) シリアルデータ転送仕様

シリアルデータ転送仕様は、ST マイクロエレクトロニクス社製 AFE である STLC7550 のシリアルデータインタフェースに準じています。STLC7550 は自発振モードとし、シリアル転送に使用されるフレーム同期信号 AFE\_FS とシリアルビットクロック AFE\_SCLK は AFE から供給されます。図 22.5 にシリアル転送仕様を示します。有効データ出力後は、AFE\_TXOUT は LSB の値を保持します。

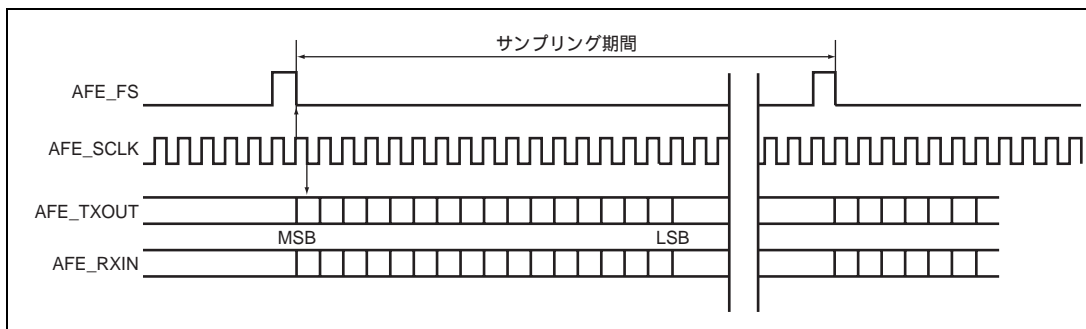


図 22.5 AFE シリアルインタフェース

## (2) HC コントロールシーケンス

AFEIF モジュールはさらに ST マイクロエレクトロニクス社製 AFE STLC7550 のハードウェアコントロールをサポートしています。図 22.6 に AFE の制御シーケンスを示します。

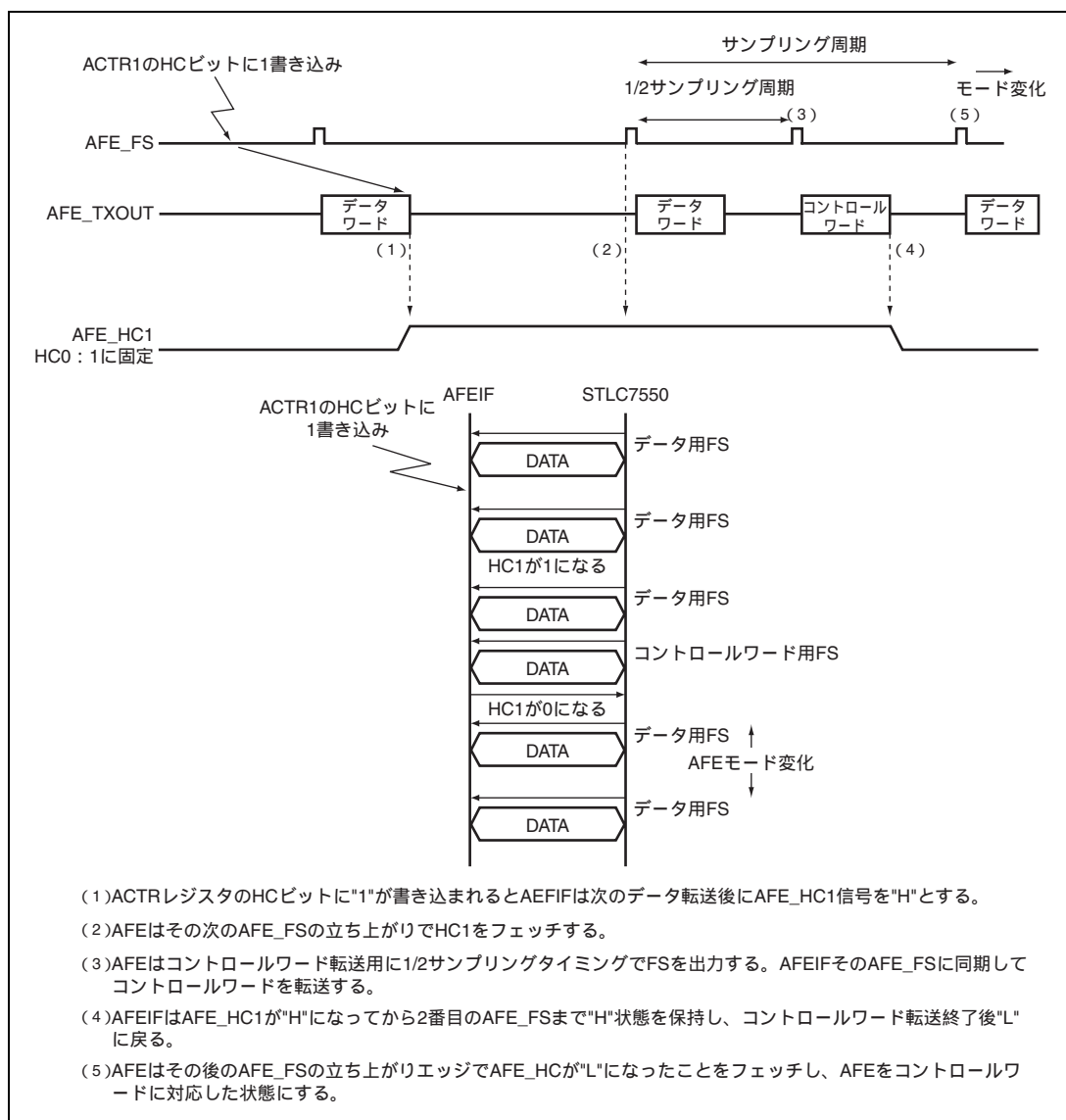


図 22.6 AFE コントロールシーケンス

### 22.4.3 DAA インタフェース

図 22.7 に DAA のブロック図を示します。以下にリングング検出シーケンスとダイヤルパルス送出シーケンスを説明します。

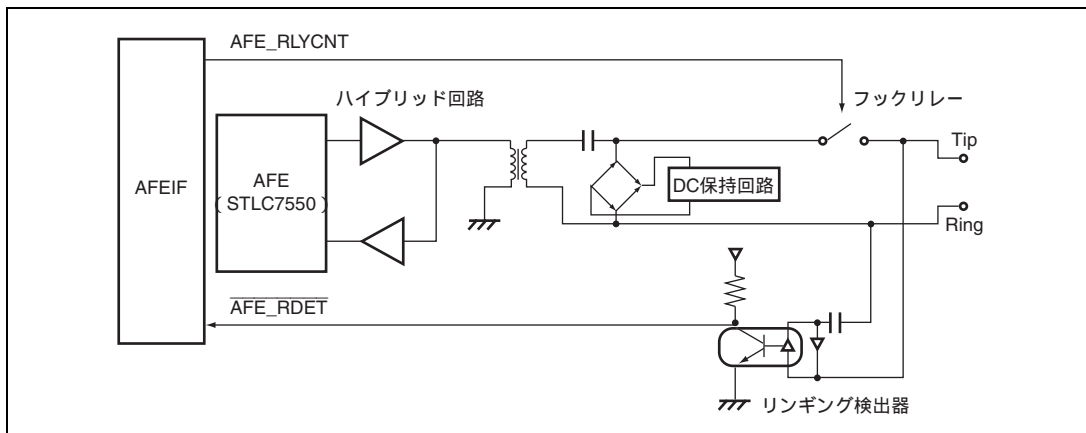


図 22.7 DAA ブロック図

#### (1) リングング検出シーケンス

最初のリングング割り込み発生後、ACTR2 の RCEN ビットに 1 を書き込みカウントを開始します。リングング検出部の基本クロックは AFE から入力される AFE\_FS を使用するため、あらかじめ AFE を動作状態にする必要があります。周期カウンタはリングングの入力波形の立ち下がりから次の立ち下がりまでの間の AFE\_FS をカウントします。1 周期をカウントし終わる（次の立ち下がりを検出する）とそのカウント値を RCNT レジスタに転送し割り込みを発生させ、再度カウントアップを始めます。ゆえに、2 番目の割り込みから RCNT レジスタの値は有効となります。

なお、16Hz のリングングを AFE\_FS のデフォルト周期となる 9600Hz でカウントされた場合、RCNT の値は、258H (600) 相当になります。

図 22.8 にリングング検出シーケンスを示します。

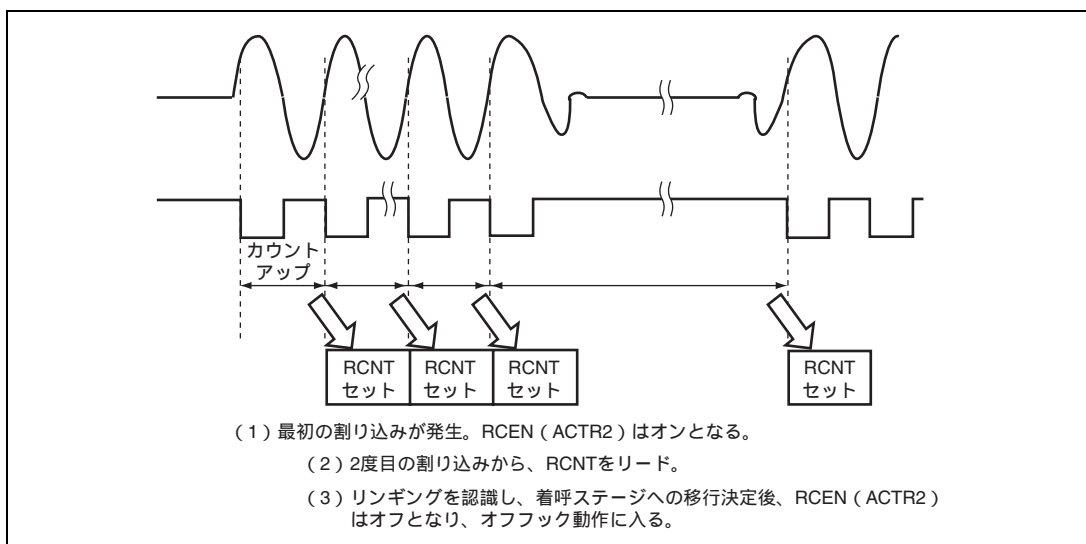


図 22.8 リンギング検出シーケンス

## (2) ダイアルパルス送出シーケンス

ACTR2 に指定された条件でダイアルパルスを生成し AFE\_RLYCNT に送出します。ダイアルパルスを生成するための基本クロックは AFE から入力される AFE\_FS であるため、あらかじめ AFE を動作状態にする必要があります。ダイアルパルス送出の制御シーケンス例を以下に示します。なお、このシーケンスは RLYC ビット (ACTR2) が L の状態 (オンフック) では動作しないことに注意が必要です。

## 【条件】

メイク率：33%      パルス間隔：20PPS      ミニマムポーズ：600ms

ダイアル番号：0,1234567 (","はポーズ)

## 【制御シーケンス】

1. PPS(ACTR2) "1"、MRCR "9EH1"、MPCR "1680H" セット。
2. DPNQ "AF12H" セット。
3. RLYC "H" セット。(オフフック)
4. ダイアルトーン検出、あるいは規定時間ウェイト。(ソフトウェア制御)
5. DPST(ACTR2)に"1"をライト。(ダイアルパルス送出開始)
6. ダイアルパルス4桁送出終了後、割り込み発生。(DPST "0"に自動リセット)
7. DPNQ "3456H" セット。
8. DPST(ACTR2)に"1"をライト。
9. ダイアルパルス4桁送出終了後、割り込み発生。(DPST "0"に自動リセット)
10. DPNQ "70XXH" セット。
11. DPST(ACTR2)に"1"をライト。

12. ダイヤルパルス1桁送出終了後、割り込み発生。(DPST "0"に自動リセット。送出終了)

#### 22.4.4 ウェークアップリングング割り込み

リングング入力信号である  $\overline{\text{AFE\_RDET}}$  信号は PINT 端子に入力することで、電話回線からのリングング信号によるシステムウェークアップ機能を実現することができます。

---

## 23. USB ピンマルチプレクスコントローラ

---

### 23.1 特長

USB ピンマルチプレクスコントローラは USB ホストコントローラポート 1、または USB ファンクションコントローラから USB トランシーバへのデータパスを制御します。

USB ホストコントローラポート 1 と USB ファンクションコントローラは UTRCTL レジスタで制御されるマルチプレクサを介して、USB トランシーバ 1 に接続されています。また、USB トランシーバ 2 と USB ホストコントローラポート 2 は 1 対 1 で接続されています。そのため、USB トランシーバ 1 は USB ホストまたはファンクションのいずれか一方に、USB トランシーバ 2 は USB ホストのみに使用されることとなります。

これらのポートとトランシーバの関係は、各々独立に制御されるため、USB トランシーバ 1 は USB トランシーバ 2 の状態とは無関係に、USB ホストまたはファンクションの任意の一方と接続することが可能です。(USB トランシーバ 1 を USB ファンクションに、USB トランシーバ 2 を USB ホストに設定するような使い方もできます)。USB トランシーバへ向う信号は 113 ピンから 122 ピンにマルチプレクスされている外部ピン USB1d\_\*\*\*\*として外部に出ることができます。

図 23.1 に、本 LSI に内蔵された USB ホストコントローラ、USB ファンクションコントローラ、および内蔵された 2 ポートのアナログ USB トランシーバの接続を示します。

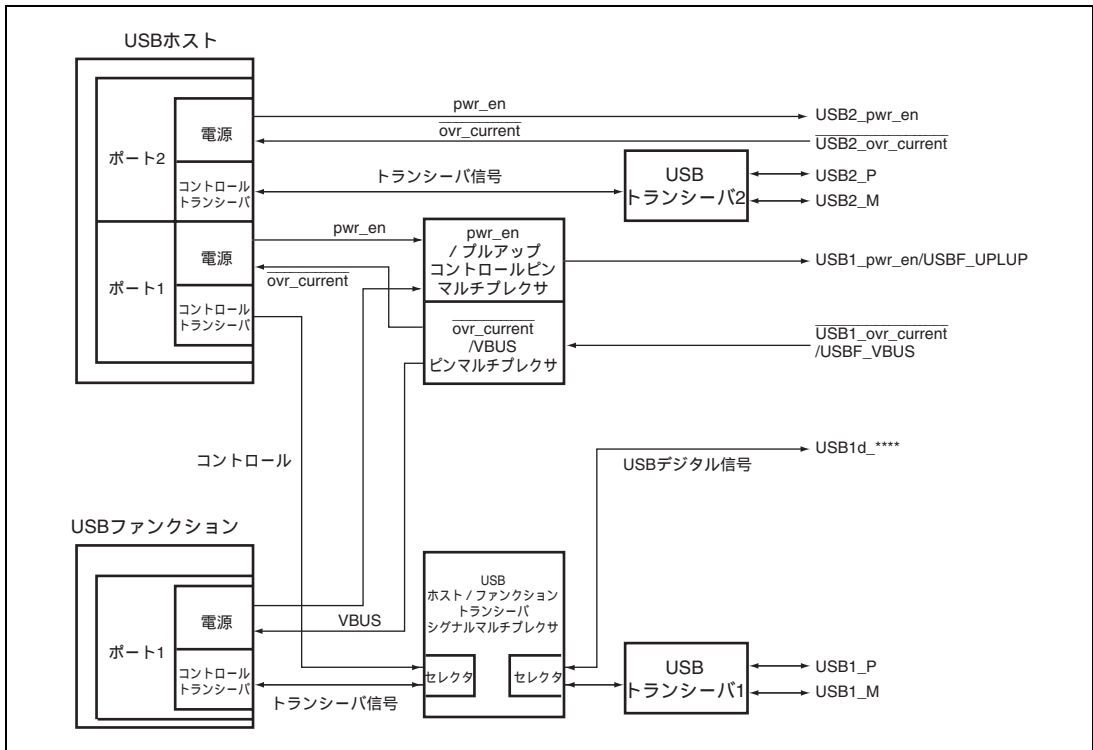


図 23.1 USB ピンマルチプレクスのブロック図



## 23.2 入出力端子

USB ビンマルチプレクスコントローラには表 23.1～表 23.4 に示すような端子があります。

表 23.1 端子構成 ( デジタルトランシーバ信号 )

名称	端子名	入出力	機能
RCV 端子	USB1d_RCV	入力	差動レシーバからの受信データ入力端子
DPLS 端子	USB1d_DPLS	入力	レシーバからの D+信号入力端子
DMNS 端子	USB1d_DMNS	入力	レシーバからの D-信号入力端子
TXDPLS 端子	USB1d_TXDPLS	出力	D+送信出力端子
TXENL 端子	USB1d_TXENL	出力	ドライバ出力許可端子
SUSPEND 端子	USB1d_SUSPEND	出力	トランシーバサスペンドステート出力端子
SPEED 端子	USB1d_SPEED	出力	トランシーバスピード制御端子
TXSE0 端子	USB1d_TXSE0	出力	SE0 ステート出力端子

【注】 表 23.1 に示された端子は、外部に USB トランシーバを接続するためのものであり、内蔵の USB トランシーバを接続した場合は、使用することができません。

表 23.2 端子構成 ( アナログトランシーバ信号 )

名称	端子名	入出力	機能
1P 端子	USB1_P	入出力	D+ポート 1 トランシーバ端子
1M 端子	USB1_M	入出力	D-ポート 1 トランシーバ端子
2P 端子	USB2_P	入出力	D+ポート 2 トランシーバ端子
2M 端子	USB2_M	入出力	D-ポート 2 トランシーバ端子

【注】 表 23.2 に示された端子は、2 ポートの USB ホストコントローラ端子、または 1 ポートの USB ホストコントローラ端子と 1 ポートの USB ファンクションコントローラ端子として使用することが可能です。未使用時はオープンにしてください。

表 23.3 端子構成 ( 電源制御信号 )

名称	端子名	入出力	機能
USB 1 パワーイネーブル/ ブルアップ制御端子	USB1_pwr_en/ USBF_UPLUP	出力	USB ポート 1 電源投入許可制御* / ブルアップ制御出力端子
USB 2 パワーイネーブル端子	USB2_pwr_en	出力	USB ポート 2 電源投入許可制御
USB 1 オーバカレント/ モニタ端子	USB1_ovr_current/ USBF_VBUS	入力	USB ポート 1 オーバカレント検出 / USB ケーブル接続モニタ端子*
USB2 オーバカレント端子	USB2_ovr_current	入力	USB ポート 2 オーバカレント検出

【注】 表 23.3 に示された端子は、USB の電源制御のために使用されます。ポート 1 用の端子 (\*印) は USB ホストコントローラ、および USB ファンクションコントローラの機能がマルチプレクスされています。

表 23.4 端子構成 (クロック信号)

名称	端子名	入出力	機能
USB 外部クロック	EXTAL_USB	入力	USB 用水晶発振子を接続します。また、USB 用外部クロックを入力することもできます。(48MHz)
USB クリスタル	XTAL_USB	出力	USB 用水晶発振子を接続します。

## 23.3 レジスタの説明

USB ビンマルチプレクスコントローラのレジスタを以下に示します。

- USB トランシーバ制御レジスタ (UTRCTL)

### 23.3.1 USB トランシーバ制御レジスタ (UTRCTL)

UTRCTL は USB ポート 1 に関するトランシーバ機能の選択、シグナルソースの選択を制御します。

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R/W*	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	DRV	0	R/W	「第 34 章 ビンファンクションコントローラ (PFC)」を参照してください。
7~2	-	すべて 0	R/W*	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	USB_TRANS	0	R/W	USB ポート 1 のトランシーバ選択機能 0 : USB トランシーバはイネーブル 1 : USB デジタル信号出力はイネーブル
0	USB_SEL	1	R/W	USB ポート 1 のシグナルソース選択 0 : USB ホストコントローラが USB ポート 1 を使用 1 : USB ファンクションコントローラが USB ポート 1 を使用

【注】 \* 書き込みに 0 にセットしてください。

## 23.4 外部回路例

### 23.4.1 USB ファンクションコントローラとトランシーバの接続例

図 23.2、図 23.3 に USB ファンクションコントローラとトランシーバとの接続例を示します。図 23.2 は内蔵 USB トランシーバを使用する場合を、図 23.3 は内蔵 USB トランシーバを使用しない場合をそれぞれ示します。USB ファンクションコントローラの使用に際しては、ケーブル接続モニタ端子 USBF\_VBUS に信号を入力する必要があります。USBF\_VBUS 端子は  $\overline{\text{USB1\_ovr\_current}}$  端子とピンマルチプレクスされており、UTRCTL のビット 0 (USB\_SEL) に 1 を書き込むことにより、USBF\_VBUS 端子の機能が選択されます。USBF\_VBUS 端子の状態により、USB ファンクションコントローラはケーブルの接続 / 切断を認識します。また、USB ホスト / ハブに対して接続されたことを通知するために、D+端子のプルアップを行う必要があります。図 23.2、図 23.3 の回路例では、プルアップの制御に USB1\_pwr\_en 端子を使用しています。

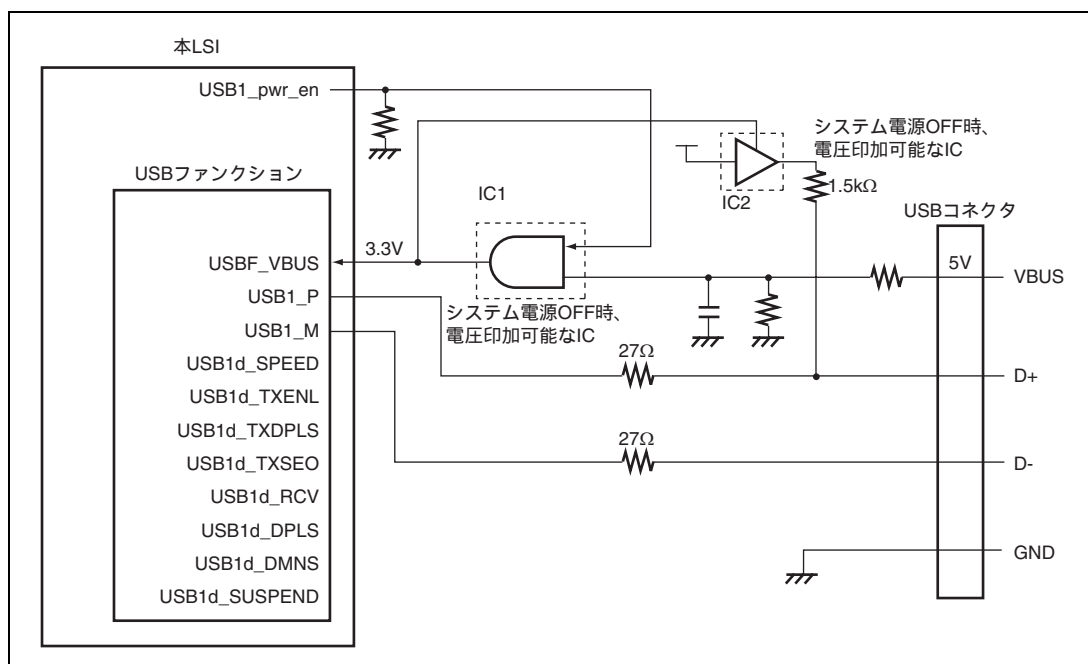


図 23.2 USB ファンクションコントローラの接続例 1 (内部トランシーバ使用時)

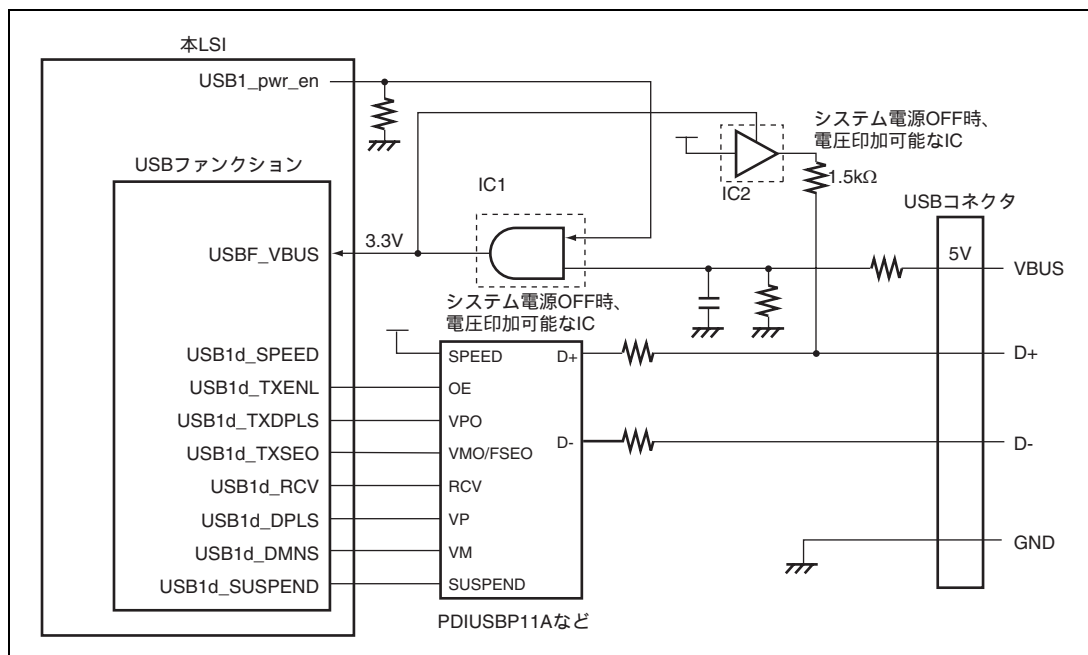


図 23.3 USB ファンクションコントローラの接続例 2 (内部トランシーバ未使用時)

- D+のプルアップ制御

USBホスト/ハブへの接続通知 (D+プルアップ) を禁止したい場合 (優先度の高い処理中、初期化処理中など)、システムではD+のプルアップをUSB1\_pwr\_en端子を用いて制御してください。図23.2、図23.3に示す回路例のようにD+のプルアップ制御信号、およびUSBF\_VBUS端子入力信号はUSB1\_pwr\_en端子とUSBケーブルVBUSを用いて (AND回路) 制御してください。プルアップ制御用IC (図23.2、図23.3のIC2) には、システム電源OFF時に電圧印加が可能なIC (HD74LVIG126Aなど) を使用してください (USBF\_VBUS端子 = Lowのとき、D+、D-の状態にかかわらずパワードステートを保持します)。

- USBケーブル接続 / 切断の検出

本LSI搭載のUSBファンクションコントローラはハードウェアにてUSBのステートなどを管理しているため、接続 / 切断を認識するUSB\_VBUS信号が必要となります。USBF\_VBUSはUSBケーブル内の電源信号 (VBUS) を用いますが、USBファンクションコントローラ (本LSI搭載システム) が電源OFF時、USBホスト/ハブにケーブルが接続されると、USBホスト/ハブから電圧 (5V) が印加されてしまいます。

そのため、図23.2、図23.3のIC1には、システム電源OFF時に電圧印加が可能なIC (HD74LVIG08Aなど) を使用してください。

また、USBケーブル接続によってスタンバイ状態から復帰する場合は、別途IRQピンにも接続してください。(USB接続 / 切断割り込みでソフトウェアスタンバイ状態から復帰することができません。)

### 23.4.2 USB ホストコントローラとトランシーバの接続例

図 23.4、図 23.5 に USB ホストコントローラとトランシーバの接続例を示します。図 23.4 は内蔵 USB トランシーバ 1 を使用する場合を示しています。図 23.4 と同様の外部回路にて、 $\overline{\text{USB2\_ovr\_current}}$ 、 $\text{USB2\_pwr\_en}$ 、 $\text{USB2\_P}$ 、 $\text{USB2\_M}$  の各端子を用いることにより内蔵 USB トランシーバ 2 を使用することもできます。図 23.5 は内蔵 USB トランシーバを使用しない場合の接続例を示しています。USB ホストコントローラの使用に際しては、USB の電源バス制御用に別途 LSI を用意する必要があります（図 23.4、図 23.5 中の USB 電源制御 LSI に相当します）。該当 LSI には、USB 規格を満たす電源供給容量を持ち、過電流保護機能を有するものを選定してください。 $\overline{\text{USB1\_ovr\_current}}$  端子への入力は、過電流検出時"Low"となるようシステムを構築してください。

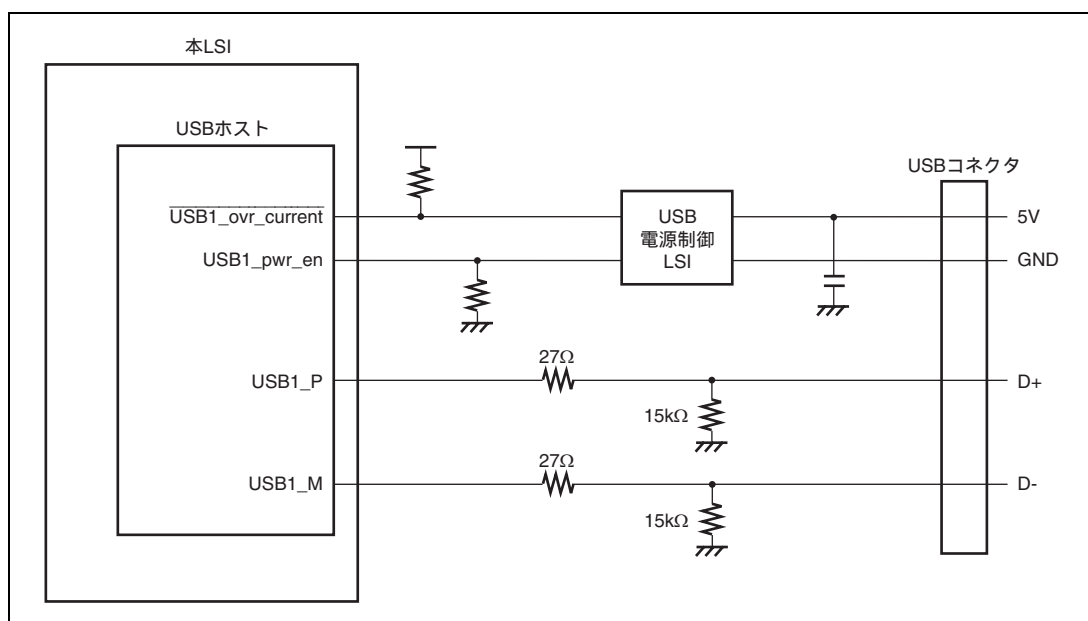


図 23.4 USB ホストコントローラの接続例 1 (内部トランシーバ使用時)

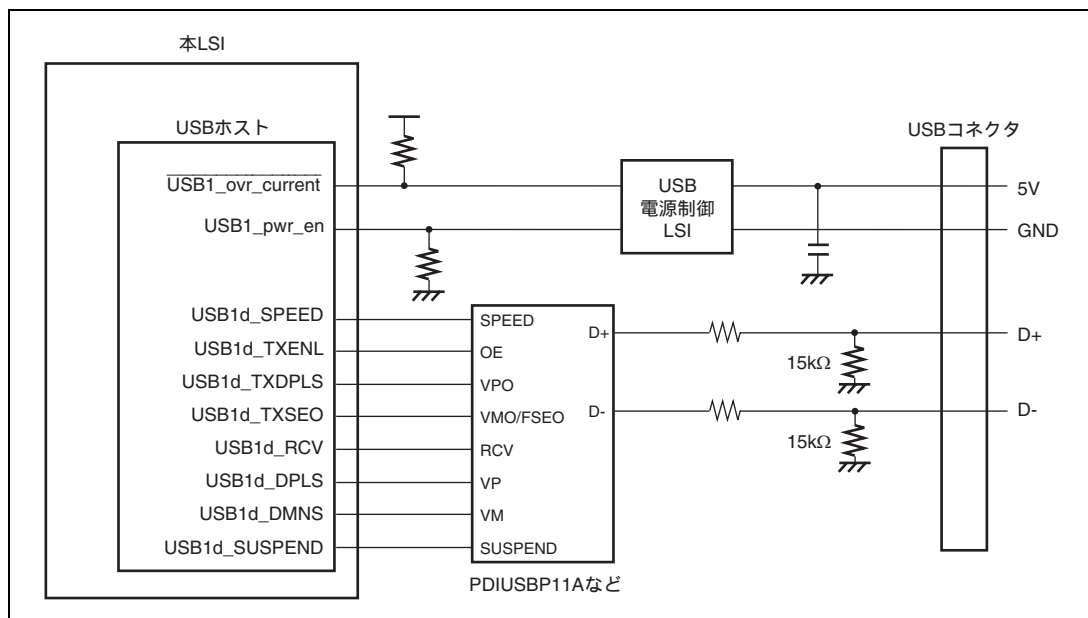


図 23.5 USB ホストコントローラの接続例 2 (内部トランシーバ未使用時)

## 23.5 使用上の注意事項

### 23.5.1 USB トランシーバに関して

本 LSI は内部に USB トランシーバを搭載しています。また、UTRCTL レジスタの設定により、外部にトランシーバを接続することもできます (図 23.3、図 23.5 参照)。その場合の USB トランシーバから USB コネクタへの推奨回路などは、各 USB トランシーバメーカーにお問い合わせください。

### 23.5.2 USB 外部回路例に関して

本章記載の外部回路例はあくまで参考例であり、これにより動作を保証するものではありません。また、外部からのサージ、および ESD ノイズ対策がシステム的に必要な場合、保護ダイオードなどで対策してください。

---

## 24. USB ホストコントローラ (USBH)

---

USB ホストコントローラモジュールは、ユニバーサルシリアルバス ( Universal Serial Bus ) バージョン 1.1 と OpenHCI をサポートしています。

USB の OpenHCI 仕様は、USB ホストコントローラのレジスタ仕様の詳細を規定しています。この USB ホストコントローラのデバイスドライバおよびハードウェアの開発にあたっては、OpenHCI の仕様書に従って開発を行ってください。

### 24.1 特長

- OpenHCIバージョン1.0レジスタセット準拠
- ユニバーサルシリアルバス ( Universal Serial Bus ) バージョン1.1サポート
- ルートハブ機能
- ロウスピード ( 1.5Mbps ) とフルスピード ( 12Mbps ) をサポート
- 過電流検出機構をサポート
- 最大127エンドポイントをサポート
- エリア3のSDRAM領域のみを転送用データ、およびディスクリプタとして利用可能。

## 24.2 入出力端子

USB ホストコントローラの端子構成を表 24.1 に示します。各端子の詳細な設定方法については「第 23 章 USB ピンマルチプレクスコントローラ」を参照してください。

表 24.1 端子構成

名 称	端子名	入出力	機 能
USB 1 パワーイネーブル/ ブルアップ制御端子	USB1_pwr_en	出力	USB ポート 1 電源投入許可制御
USB 2 パワーイネーブル端子	USB2_pwr_en	出力	USB ポート 2 電源投入許可制御
USB 1 オーバカレント/モニタ 端子	USB1_ovr_current/ USBF_VBUS	入力	USB ポート 1 オーバカレント検出/ USB ケーブル接続モニター端子
USB2 オーバカレント端子	USB2_ovr_current	入力	USB ポート 2 オーバカレント検出
1P 端子	USB1_P	入出力	D+ポート 1 トランシーバ端子
1M 端子	USB1_M	入出力	D-ポート 1 トランシーバ端子
2P 端子	USB2_P	入出力	D+ポート 2 トランシーバ端子
2M 端子	USB2_M	入出力	D-ポート 2 トランシーバ端子
SPEED 端子	USB1d_SPEED	出力	トランシーバスピード制御端子
USB 外部クロック	EXTAL_USB	入力	USB 用水晶発振子を接続します。また、USB 用 外部クロックを入力することもできます。 (48MHz)
USB クリスタル	XTAL_USB	出力	USB 用水晶発振子を接続します。



## 24.3 レジスタの説明

USBH には以下のレジスタがあります。

- HcRevisionレジスタ (USBHR)
- HcControlレジスタ (USBHC)
- HcCommandStatusレジスタ (USBHCS)
- HcInterruptStatusレジスタ (USBHIS)
- HcInterruptEnableレジスタ (USBHIE)
- HcInterruptDisableレジスタ (USBHID)
- HcHCCAレジスタ (USBHHCCA)
- HcPeriodCurrentEDレジスタ (USBHPCED)
- HcControlHeadEDレジスタ (USBHCHED)
- HcControlCurrentEDレジスタ (USBHCCED)
- HcBulkHeadEDレジスタ (USBHBHED)
- HcBulkCurrentEDレジスタ (USBHBCED)
- HcDoneHeadEDレジスタ (USBHDHED)
- HcFmIntervalレジスタ (USBHFI)
- HcFmRemainingレジスタ (USBHFR)
- HcFmNumberレジスタ (USBHFN)
- HcPeriodicStartレジスタ (USBHPS)
- HcLSThresholdレジスタ (USBHLST)
- HcRhDescriptorAレジスタ (USBHRDA)
- HcRhDescriptorBレジスタ (USBHRDB)
- HcRhStatusレジスタ (USBHRS)
- HcRhPortStatus1レジスタ (USBHRPS1)
- HcRhPortStatus2レジスタ (USBHRPS2)

## 24.3.1 HcRevision レジスタ (USBHR)

ビット	ビット名	初期値	R/W	説 明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	Rev7	0	R	Revision このビットは、ホストコントローラのため実行される HCI スペシフィケーションのバージョンの BCD 表現を含んでいます。値 H'10 はバージョン 1.0 に相当します。このスペシフィケーション準拠の HCI インプリメンテーションのすべては、H'10 の値を持ちます。
6	Rev6	0	R	
5	Rev5	0	R	
4	Rev4	1	R	
3	Rev3	0	R	
2	Rev2	0	R	
1	Rev1	0	R	
0	Rev0	0	R	

## 24.3.2 HcControl レジスタ (USBHC)

USBHC レジスタは、ホストコントローラのための操作モードを定義します。このレジスタのビットは、HCFS と RWC を除いて、ホストコントローラドライバ (HCD) のみに変更されます。

ビット	ビット名	初期値	R/W	説 明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	RWE	0	R/W	RemoteWakeupEnable このビットは、アップストリームの resume 信号の検出と同時にリモートウェイクアップ機能をイネーブルにするか、またディスエーブルにするか、HCD により設定されます。 本機能はサポートしていません。必ず 0 を書いてください。
9	RWC	0	R/W	RemoteWakeupConnected このビットはホストコントローラがリモートウェイクアップをサポートするかどうかを示します。リモートウェイクアップがサポートされて、システムにより使用されるとき、ホストコントローラはシステムファームウェアにこのビットを POST の間にセットする必要があります。ホストコントローラはハードウェアリセットと同時にビットをクリアしますが、ソフトウェアリセットと同時に変更しません。 本機能はサポートしていません。必ず 0 を書いてください。

ビット	ビット名	初期値	R/W	説明
8	IR	0	R/W	<p>InterruptRouting</p> <p>このビットは、USBHIS レジスタにおいて登録されたイベントによって発生する割り込みの発送を決定します。HCD は、ハードウェアリセットと同時にこのビットをクリアしますが、ソフトウェアリセットと同時に変更しません。HCD は、ホストコントローラの所有権を示すために、タグとしてこのビットを用います。</p> <p>0 : すべての割り込みは正常なホストバス割り込みメカニズムに発送 1 : 割り込みは SMI に発送</p>
7 6	HCFS1 HCFS0	0 0	R/W R/W	<p>HostControllerFunctionState</p> <p>HCD は、ホストコントローラが USBHIS レジスタの SF ビットをリードして SOF を送り始めたかどうかを判定します。このビットは UsbSuspend 状態のときだけ、ホストコントローラによって変更できます。ホストコントローラは、ダウンストリームポートから resume 信号を検出した後に、UsbSuspend 状態から UsbResume 状態に遷移します。ホストコントローラは、ハードウェアリセットの後に UsbReset 状態になります。また、ソフトウェアリセットの後に、UsbSuspend 状態になります。前者はルートハブモリセットします。</p> <p>00 : USBRESET 01 : USBRESUME 10 : USBOPERATIONAL 11 : USBSUSPEND</p>
5	BLE	0	R/W	<p>BulkListEnable</p> <p>このビットは、次のフレームでバルクリストの処理を可能にするためにセットされます。HCD によりクリアする場合、次の SOF の後にバルクリストの処理は行いません。ホストコントローラは、リストの処理をするときは、このビットをチェックします。ディスエーブルのときには、HCD はリストを修正できます。USBHBCED レジスタが削除される ED を指し示している場合、HCD はリスト処理の再可能化の前に USBHBCED レジスタを更新してポインタを早めてください。</p> <p>0 : Bulk リスト処理をしない 1 : Bulk リスト処理をする</p>
4	CLE	0	R/W	<p>ControlListEnable</p> <p>このビットは、次のフレームでコントロールリストの処理を可能にするためにセットされます。HCD によりクリアする場合、次の SOF の後にコントロールリストの処理は行いません。ホストコントローラは、リストの処理をするときは、このビットをチェックします。ディスエーブルのときには、HCD はリストを修正できます。USBHCCED レジスタが削除される ED を示している場合、HCD は、リスト処理の再可能化の前に USBHCCED レジスタを更新してポインタを早めてください。</p> <p>0 : コントロールリスト処理をしない 1 : コントロールリスト処理をする</p>

ビット	ビット名	初期値	R/W	説明
3	IE	0	R/W	<p>IsochronousEnable</p> <p>このビットは、isochronousED の処理をイネーブル/ディセーブルにするように、HCD により用いられます。フレームにおいて周期的なリストを処理する間、ホストコントローラは、isochronousED を見つけたとき (F=1) には、このビットのステータスをチェックします。セットされた (イネーブル) ならば、ホストコントローラは ED を処理し続けます。クリアされた (ディセーブル) ならば、ホストコントローラは、周期的なリスト (現在は isochronousED のみ含んでいます) の処理を停止させて、バルク/コントロールリストを処理し始めます。このビットをセットすることは、次のフレームにおいて有効であると保証されています (現在のフレームではありません)。</p> <p>0 : isochronousED を処理 1 : バルク/コントロールリストを処理</p>
2	PLE	0	R/W	<p>PeriodicListEnable</p> <p>このビットは、次のフレームの周期的なリストの処理を可能にするためにセットされます。HCD によってクリアする場合、周期的なリストの処理は次の SOF の後では発生しません。HC がリストを処理し始める前に、HC はこのビットをチェックしなければなりません。</p> <p>0 : 周期的なリストの処理は次の SOF の後には発生しない 1 : 周期的なリストの処理は次の SOF の後に発生する</p>
1 0	CBSR1 CBSR0	0 0	R/W R/W	<p>ControlBulkServiceRatio</p> <p>このビットはコントロールとバルク ED のサービス比率を指定します。非周期的なリストのどれかを処理する前に、ホストコントローラは、別のコントロール ED を供給し続けるか、またはバルク ED に切り替えるかの決定において、いくつかの空のコントロール ED を処理したかを内部計算によって指定した比率を比較しなければなりません。</p> <p>内部計算は、フレーム境界を超えるとときに保持されます。リセットの場合には、HCD は、この値を復元する必要があります。</p> <p>00 : 1:1 01 : 2:1 10 : 3:1 11 : 4:1</p>

### 24.3.3 HcCommandStatus レジスタ (USBHCS)

ホストコントローラの現在のステータスを反映するだけでなく、HCD により発行されたコマンドを受け取るために、ホストコントローラは USBHCS レジスタを使用します。HCD に対して、セットのためのライトです。1 を書き込まれたビットはセットされ、0 を書き込まれたビットは変化しないままであることを、ホストコントローラは保証しなければなりません。HCD は、前もって発行されたコマンドで複数の明瞭なコマンドをホストコントローラに配付できます。HCD は、すべてのビットに対して通常のリードアクセスができます。

SCO ビットは、ホストコントローラが Scheduling Overrun エラーを検出したフレームの数を示します。EOF の前に周期的なリストが完了しないときに、これは示されます。ホストコントローラは、Scheduling Overrun エラーを検出すると、カウンタをインクリメントし、USBHIS レジスタの SO ビットをセットします。

ビット	ビット名	初期値	R/W	説明
31 ~ 18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	SOC1	0	R/W	SchedulingOverrunCount これらのビットは各 SchedulingOverrun エラー発生時にインクリメントされます。B'00 と初期設定され、B'11 に戻ります。USBHIS レジスタの SO ビットがセットされていても、SchedulingOverrun が検出されるときには、インクリメントされます。これは、どのような持続的なスケジューリング問題でも監視するために、HCD が使用します。
16	SOC0	0	R/W	
15 ~ 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	OCR	0	R/W	OwnershipChangeRequest このビットは、ホストコントローラの制御の変更を要求するために、OS HCD によりセットされます。セットされたとき、ホストコントローラが USBHIS レジスタの OC ビットをセットします。変更後に、このビットがクリアされ、OS HCD からの次の要求までクリア状態となります。 0 : 変更後、このビットがクリアされ、OS HCD からの次の要求までクリアされた状態 1 : USBHIS レジスタの OC ビットをセット

ビット	ビット名	初期値	R/W	説明
2	BLF	0	R/W	<p>BulkListFilled</p> <p>このビットは、バルクリストに TD があるかを示すために用いられます。バルクリストの ED に TD を付加するとき、HCD により設定されます。</p> <p>ホストコントローラがバルクリストのヘッドの処理を始めるときに、本ビットをチェックします。本ビットが 0 である限り、ホストコントローラはバルクリストを処理しません。本ビットが 1 のとき、ホストコントローラはリストを処理し始めて、BF から 0 までを設定します。ホストコントローラはリスト上に TD を検出すると、本ビットを 1 に設定します。TD がリストに存在せず、HCD が本ビットを設定しないとき、ホストコントローラは、バルクリスト処理を完了し、バルクリスト処理を停止します。そのときの本ビットは 0 のままです。</p> <p>0 : リストは処理されない 1 : リストを処理</p>
1	CLF	0	R/W	<p>ControlListFilled</p> <p>このビットは、コントロールリストに TD があるかを示すために用いられます。HCD が TD をコントロールリストの ED に付加するとき、HCD により設定されます。</p> <p>ホストコントローラはコントロールリストのヘッドを処理し始めるときに、本ビットをチェックします。本ビットが 0 である限り、ホストコントローラはコントロールリストを処理しません。本ビットが 1 になると、ホストコントローラはコントロールリストを処理し始めて、本ビットを 0 にセットします。ホストコントローラが TD をリストに見つけたとき、ホストコントローラは、本ビットを 1 にセットします。もし TD をコントロールリストに検出できず、HCD が本ビットをセットしないならば、ホストコントローラが、コントロールリストの処理を完了します。コントロールリスト処理を停止すると、そのときの本ビットは 0 のままです。</p> <p>0 : リストは処理されない 1 : リストを処理</p>
0	HCR	0	R/W	<p>HostControllerReset</p> <p>このビットは、ホストコントローラのソフトウェアリセットを開始するために、HCD によりセットされます。ホストコントローラの機能上の状態を問わず、次の状態を除いて、operational レジスタのほとんどがリセットされる UsbSuspend 状態に遷移します。たとえば、USBHC レジスタの IR ビットおよびホストパスのないアクセスは、除かれます。</p> <p>このビットはリセット操作の完了と同時にホストコントローラによりクリアされます。リセット操作は 10<math>\mu</math>s 内で完了されなければなりません。このビットは、セットされるときに、ルートハブをリセットせずに、次のリセット信号はダウンストリームポートに出力されません。</p> <p>0 : リセット操作の完了と同時にホストコントローラによりクリア 1 : USB SUSPEND 状態</p>

### 24.3.4 HcInterruptStatus レジスタ (USBHIS)

このレジスタは、ハードウェア割り込みを起こす様々なイベントにおいてステータスを示します。イベントが起こるときには、ホストコントローラは、このレジスタ中の相当するビットをセットします。ビットが1になるときには、USBHIE レジスタ (「24.3.5 HcInterrupt Enable レジスタ (USBHIE)」参照) において割り込みがイネーブルで、MIE ビットがセットされたら、ハードウェア割り込みが発生します。割り込みが発生すると割り込みコントローラ (INTC) の割り込み要求レジスタ9 (IRR9) の USBHI ビットがセットされます。HCD は、クリアされるビットに1を書き込むことで、このレジスタの特定ビットをクリアします。HCD は、これらのビットのうちいずれもセットできません。ホストコントローラはビットをクリアしません。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30	OC	0	R/W	OwnershipChange HCD が USBHCS レジスタの OCR ビットをセットするときに、このビットはホストコントローラによりセットされます。このイベントは、マスクされないときに、直ちにシステム管理割り込み (SMI) を生成します。 SMI ピンがないときには、このビットは0になります。 0: USBHCS レジスタの OCR ビットがセットされていない 1: USBHCS レジスタの OCR ビットがセットされた
29~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	RHSC	0	R/W	RootHubStatusChange USBHRS レジスタの内容、または USBHRPS1、2 レジスタのうち、いずれかの内容が変わったときには、このビットがセットされます。 0: USBHRS レジスタ、または USBHRPS レジスタの内容に変化がない 1: USBHRS レジスタ、または USBHRPS レジスタの内容が変化
5	FNO	0	R/W	FrameNumberOverflow USBHFN レジスタの MSB (ビット 15) が、0 から 1 に、または 1 から 0 に値を変化したとき、または HccaFrameNumber ビットが更新された後に、このビットがセットされます。 0: USBHFN レジスタの MSB、または HccaFrameNumber ビットは更新されていない 1: USBHFN レジスタの MSB、または HccaFrameNumber ビットが更新された
4	UE	0	R/W	UnrecoverableError ホストコントローラが、USB と関連しないシステムエラーを検出するときに、このビットがセットされます。ホストコントローラがリセットされた後に、HCD はこのビットをクリアします。 0: システムエラー未発生 1: システムエラーを検出

ビット	ビット名	初期値	R/W	説明
3	RD	0	R/W	ResumeDetected USBのデバイスがresume信号を出していることをホストコントローラが検出したときに、このビットがセットされます。HCDがUSBRESUME stateをセットするときには、このビットはセットされません。 0: resume信号を検出していない 1: resume信号を検出
2	SF	0	R/W	StartofFrame このビットは、各フレームの開始時、および HccaFrameNumber の更新後に、ホストコントローラによりセットされます。ホストコントローラは、SOF トークンも同時に生成します。 0: 各フレームが開始されていない、または HccaFrameNumber が更新されていない 1: 各フレームの開始、および HccaFrameNumber の更新
1	WDH	0	R/W	WritebackDoneHead ホストコントローラが HcDoneHead を HccaDoneHead にライトしたすぐ後に、このビットがセットされます。このビットがクリアされるまで、HccaDoneHead は更新されません。HCD は、HccaDoneHead の内容を保存した後にだけ、このビットをクリアしてください。 0: 1 にセットした後、クリアしたとき 1: HcDoneHead を HccaDoneHead にライトしたとき
0	SO	0	R/W	SchedulingOverrun 現在のフレームにおいて、HccaFrameNumber の更新の後、USB スケジュールがオーバーランしたとき、このビットはセットされます。SchedulingOverrun はまた、USBHCS レジスタの SOC ビットをインクリメントします。 0: USB スケジュールはオーバーランしていない 1: USB スケジュールがオーバーランした

### 24.3.5 HcInterruptEnable レジスタ (USBHIE)

USBHIE レジスタの各イネーブルビットは、USBHIS レジスタの関連した割り込みビットに相当しています。USBHIE レジスタは、ハードウェア割り込みを生成するイベントの制御に用いられます。USBHIE レジスタのビットがセットされ、USBHIE レジスタの相当するビットがセットされて、MIE ビットがセットされるときには、CPU に対してハードウェア割り込みが要求されます。その結果、割り込みコントローラ INTC の割り込み要求レジスタ 9 (IRR9) の USBHI ビットがセットされます (なお、USBHI ビットは割り込み生成イベントの内容のいかんによらず共通して使用されます)。そのため HCD で割り込み発生を検出する場合 USBHI ビットを利用することができます。

このレジスタに 1 を書き込むことによって相当するビットはセットされますが、0 を書き込んででも変化しません。リード時、このレジスタの現在の値が戻ります。



ビット	ビット名	初期値	R/W	説明
31	MIE	0	R/W	<p>MasterInterruptEnable</p> <p>このビットに0をセットすると、ホストコントローラにより無視されます。このビットに1をセットすると、このレジスタのほかのビットにおいて指定されたイベントによる割り込み生成を可能にします。これはマスタ割り込み可能化としてHCDにより使用されます。HCDで割り込み検出する場合、割り込みコントローラINTCのUSBIHビットを利用してください。</p> <p>0：無視されます 1：指定されたイベントによる割り込み生成可</p>
30	OC	0	R/W	<p>OwnershipChangeEnable</p> <p>0：無視されます 1：OwnershipChangeによる割り込み生成可</p>
29~7	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
6	RHSC	0	R/W	<p>RootHubStatusChangeEnable</p> <p>0：無視されます 1：RootHubStatusChangeによる割り込み生成可</p>
5	FNO	0	R/W	<p>FrameNumberOverflowEnable</p> <p>0：無視されます 1：FrameNumberOverflowによる割り込み生成可</p>
4	UE	0	R/W	<p>UnrecoverableErrorEnable</p> <p>0：無視されます 1：UnrecoverableErrorによる割り込み生成可</p>
3	RD	0	R/W	<p>ResumeDetectedEnable</p> <p>0：無視されます 1：ResumeDetectedによる割り込み生成可</p>
2	SF	0	R/W	<p>StartOfFrameEnable</p> <p>0：無視されます 1：StartofFrameによる割り込み生成可</p>
1	WDH	0	R/W	<p>WritebackDoneHeadEnable</p> <p>0：無視されます 1：HcDoneHeadWritebackによる割り込み生成可</p>
0	SO	0	R/W	<p>SchedulingOverrunEnable</p> <p>0：無視されます 1：SchedulingOverrunによる割り込み生成可</p>

### 24.3.6 HcInterruptDisable レジスタ (USBHID)

USBHID レジスタの各ディセーブルビットは、USBHIS レジスタの関連した割り込みビットに相当しています。USBHID レジスタは USBHIE レジスタと結び付けられます。したがって、このレジスタに 1 を書き込むことによって USBHIE レジスタの相当するビットはクリアされますが、0 を書き込むことによって USBHIE レジスタの相当するビットは変化しません。リード時、USBHIE レジスタの現在の値が戻ります。

ビット	ビット名	初期値	R/W	説 明
31	MIE	0	R/W	MasterInterruptEnable 0: 無視されます 1: 指定されたイベントによる割り込み生成不可
30	OC	0	R/W	OwnershipChangeEnable 0: 無視されます 1: OwnershipChange による割り込み生成不可
29~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	RHSC	0	R/W	RootHubStatusChangeEnable 0: 無視されます 1: RootHubStatusChange による割り込み生成不可
5	FNO	0	R/W	FrameNumberOverflowEnable 0: 無視されます 1: FrameNumberOverflow による割り込み生成不可
4	UE	0	R/W	UnrecoverableErrorEnable 0: 無視されます 1: UnrecoverableError による割り込み生成不可
3	RD	0	R/W	ResumeDetectedEnable 0: 無視されます 1: ResumeDetected による割り込み生成不可
2	SF	0	R/W	StartOfFrameEnable 0: 無視されます 1: StartofFrame による割り込み生成不可
1	WDH	0	R/W	WritebackDoneHeadEnable 0: 無視されます 1: HcDoneHeadWriteback による割り込み生成不可
0	SO	0	R/W	SchedulingOverrunEnable 0: 無視されます 1: SchedulingOverrun による割り込み生成不可

### 24.3.7 HcHCCA レジスタ (USBHHCCA)

USBHHCCA レジスタはホストコントローラコミュニケーションエリアの物理アドレスを含んでいます。ホストコントローラドライバは、USBHHCCA レジスタにすべて 1 を書き込むこと、USBHHCCA レジスタの内容をリードすることによって、アラインメント制限を決定します。アラインメントは、下位ビットの 0 の数を調べることで判定されます。最小のアラインメントは 256 バイトです。したがって、0~7 までのビットは、リードされたときに、常に 0 にしておかなければなりません。このエリアは、ホストコントローラとホストコントローラドライバによりアクセスされる、コントロール構造と割り込みテーブルを保持するために使用されます。

ビット	ビット名	初期値	R/W	説明
31~8	HCCA23~ HCCA0	すべて 0	R/W	HCCA Host Controller Communication Area の物理アドレスです。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 24.3.8 HcPeriodCurrentED レジスタ (USBHPCED)

USBHPCED レジスタは、現在の Isochronous ED あるいは Interrupt ED の物理アドレスを含んでいます。

ビット	ビット名	初期値	R/W	説明
31~4	PCED27~ PCED0	すべて 0	R	PCED 現在の Isochronous ED あるいは Interrupt ED の物理アドレスです。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 24.3.9 HcControlHeadED レジスタ (USBHCHED)

USBHCHED レジスタは、コントロールリストにおいて、最初の ED の物理アドレスを含んでいます。

ビット	ビット名	初期値	R/W	説明
31~4	CHED27~ CHED0	すべて 0	R/W	CHED コントロールリストにおける最初の ED の物理アドレスです。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 24.3.10 HcControlCurrentED レジスタ (USBHCCED)

USBHCCED レジスタは、コントロールリストにおいて、現在の ED の物理アドレスを含んでいます。

ビット	ビット名	初期値	R/W	説 明
31~4	CCED27~ CCED0	すべて 0	R/W	CCED コントロールリストにおける現在の ED の物理アドレスです。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 24.3.11 HcBulkHeadED レジスタ (USBHBHED)

USBHBHED レジスタは、バルクリストの最初の ED の物理アドレスを含んでいます。

ビット	ビット名	初期値	R/W	説 明
31~4	BHED27~ BHED0	すべて 0	R/W	BHED バルクリストの最初の ED の物理アドレスです。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 24.3.12 HcBulkCurrentED レジスタ (USBHBCED)

USBHBCED レジスタは、バルクリストにおいて、現在の ED の物理アドレスを含んでいます。バルクリストがラウンドロビン方式で供給されると、エンドポイントはそれらの挿入に従ってリストに配列されます。

ビット	ビット名	初期値	R/W	説 明
31~4	BCED27~ BCED0	すべて 0	R/W	BCED バルクリストの現在の ED の物理アドレスです。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 24.3.13 HcDoneHeadED レジスタ (USBHDHED)

USBHDHED レジスタは、Done queue に付加された最近完了した TD の物理アドレスを含んでいます。正常なオペレーションにおいて、ホストコントローラドライバは、その内容が HCCA に周期的にライトされるようにこのレジスタをリードする必要はありません。

ビット	ビット名	初期値	R/W	説 明
31~4	DH27~ DH0	すべて 0	R	DH Done queue に付加された、直前に完了した TD の物理アドレスです。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 24.3.14 HcFmInterval レジスタ (USBHFI)

USBHFI レジスタは、フレームのビットタイム間隔 (すなわち 2 つの連続的な SOF 間) を示す 14 ビット値と、scheduling overrun を起こさずにホストコントローラが送受信するフルスピードでの最大パケットサイズを示している 15 ビット値を含んでいます。ホストコントローラドライバは、各 SOF において、現在の値の上に新しい値をライトして、フレームインターバルの微調整を行います。

ビット	ビット名	初期値	R/W	説 明
31	FIT	0	R/W	FrameIntervalToggle HCD は、新しい値を FrameInterval にロードするときはいつでも、このビットをトグルします。
30 ~ 16	FSMPS14 ~ FSMPS0	すべて 0	R/W	FSLargestDataPacket このビットは、各フレームの最初に Largest Data Packet Counter にロードされる値を指定します。カウンタ値は、scheduling overrun を起こさずに、与えられたいかなる時間に、ホストコントローラにより 1 つのトランザクションに送受信され得るビットの最も大きいデータ量を表しています。フィールド値は HCD により計算されます。
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	FI 13	1	R/W	FrameInterval
12	FI 12	0	R/W	このビットは、ビットタイムの 2 つの連続的な SOF 間の間隔を指定します。名目値は、11999 にセットされます。 HCD は、ホストコントローラをリセットする前に、このフィールドの現在値を保存しなくてはなりません。これにより、USBHCS レジスタの HCR ビットをセットすることによって、ホストコントローラにこのビットをその名目値にリセットさせます。HCD は、リセットシーケンスの完了と同時に、保存された値を復元することを選ぶことができます。
11	FI 11	1	R/W	
10	FI 10	1	R/W	
9	FI 9	1	R/W	
8	FI 8	0	R/W	
7	FI 7	1	R/W	
6	FI 6	1	R/W	
5	FI 5	0	R/W	
4	FI 4	1	R/W	
3	FI 3	1	R/W	
2	FI 2	1	R/W	
1	FI 1	1	R/W	
0	FI 0	1	R/W	

### 24.3.15 HcFmRemaining レジスタ (USBHFR)

USBHFR レジスタは、現在のフレームに残っているビットタイムを示す 14 ビットのダウンカウンタです。

ビット	ビット名	初期値	R/W	説明
31	FRT	0	R/W	FrameRemainingToggle FR が 0 に達するときは常に、このビットは USBHFI レジスタの FIT ビットからロードされます。このビットは FI と FR の間との同期のために HCD により使われます。
30~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~0	FR13~FR0	すべて 0	R/W	FrameRemaining このカウンタは各ビットタイムでデクリメントされます。0 に達するとき、次のビットタイム境界において、USBHFI レジスタにおいて指定された FI ビットの値をロードすることによってリセットされます。 USBOPERATIONAL 状態に遷移するときに、ホストコントローラは USBHFI レジスタの FI ビットを再度読み込み、次の SOF から更新された値を使います。

### 24.3.16 HcFmNumber レジスタ (USBHFN)

USBHFN レジスタは 16 ビットカウンタです。ホストコントローラとホストコントローラドライバにおいて起こるイベント間のタイミングの参照を示します。ホストコントローラドライバは、このレジスタにおいて指定された 16 ビット値を使い、レジスタへの頻繁なアクセスを必要とせずに 32 ビットフレーム数を生成します。

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	FN15~FN0	すべて 0	R/W	FrameNumber USBHFR レジスタが再ロードされるときにインクリメントされます。H'FFFF の後 H'0 に戻ります。USBOPERATIONAL 状態に遷移するときに、自動的にインクリメントされます。ホストコントローラが各フレーム境界において、FN ビットをインクリメントし、SOF を送った後、ホストコントローラがそのフレームの中で最初の ED を読む前に、内容が HCCA に書かれます。HCCA に書いた後、ホストコントローラは USBHIS レジスタの SF ビットをセットします。

### 24.3.17 HcPeriodicStart レジスタ (USBHPS)

USBHPS レジスタは、ホストコントローラが周期的なリストを処理し始めるべきである、最も早い時間を決定する、14 ビットのプログラム化可能な値を持っています。

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~0	PS13~PS0	すべて 0	R/W	PeriodicStart ハードウェアがリセットした後、このフィールドはクリアされます。それからホストコントローラの初期設定間に、HCD によりセットされます。値は、USBHFI レジスタ値から 10% 差し引いた値として大まかに計算されます。USBHFR レジスタが、指定された値に達するときに、周期的なリストの処理は、コントロール/バルク処理よりプライオリティを持ちます。したがって、ホストコントローラは、現在のコントロール/バルクトランザクションを完了後に、割り込みリストを処理し始めます。

### 24.3.18 HcLSThreshold レジスタ (USBHLST)

USBHLST レジスタは、EOF の前に最大 8 バイトの LS パケットの転送に委任するかどうかを決めるため、ホストコントローラにより用いられる 11 ビットの値を含んでいます。ホストコントローラとホストコントローラドライバは、この値を変更することはできません。

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	LST11	0	R/W	LSThreshold このフィールドは、低スピードトランザクションの開始に先がけて USBHFR レジスタの FR ビットと比較される値を含んでいます。FR ビットの値がこのビットの値以上である場合のみトランザクションは始められます。値はトランスミッションとセットアップオーバーヘッドを考慮して HCD により計算されます。
10	LST10	1	R/W	
9	LST9	1	R/W	
8	LST8	0	R/W	
7	LST7	0	R/W	
6	LST6	0	R/W	
5	LST5	1	R/W	
4	LST4	0	R/W	
3	LST3	1	R/W	
2	LST2	0	R/W	
1	LST1	0	R/W	
0	LST0	0	R/W	

### 24.3.19 HcRhDescriptorA レジスタ (USBHRDA)

USBHRDA レジスタは、ルートハブの特徴を説明する 2 つのレジスタで、その中の 1 つ目のレジスタです。ディスクリプタ長 (11)、ディスクリプタタイプ (TBD)、ハブの Class Descriptor の hub controller current ビット (0) は、HCD によりエミュレートされます。すべてのほかのビットは USBHRDA レジスタと USBHRDB レジスタに置かれます。

ビット	ビット名	初期値	R/W	説明
31	POTPGT7	0	R/W	PowerOnToPowerGoodTime
30	POTPGT6	0	R/W	このビットは、HCD が、ルートハブのパワーオンポートにアクセスする前に待つ必要がある時間を指定します。インプリメンテーション特定です。時間の単位は 2ms です。時間は POTPGT × 2 ms として計算されます。
29	POTPGT5	0	R/W	
28	POTPGT4	0	R/W	
27	POTPGT3	0	R/W	
26	POTPGT2	0	R/W	
25	POTPGT1	1	R/W	
24	POTPGT0	0	R/W	
23~13	-	すべて 0	R	
12	NOCP	1	R/W	NoOverCurrentProtection このビットは、ルートハブポートの過電流ステータスがどのようにして報告されるかを選択します。このビットがクリアされるときには、OCPM ビットは、グローバル報告 / ポート毎報告を指定します。 0: 過電流ステータスはすべてのダウンストリームポートのために集散的に報告される 1: 過電流保護はサポートされない
11	OCPM	0	R/W	OverCurrentProtectionMode このビットは、ルートハブポートの過電流ステータスがどのようにして報告されるかを選択します。リセット時に、このビットは PSM ビットと同じモードを反映します。NOCP ビットがクリアされるならば、このビットは有効です。 0: 過電流ステータスはすべてのダウンストリームポートのために集散的に報告される 1: 過電流ステータスはポートごとに報告される
10	DT	0	R	DeviceType このビットは、ルートハブが複合デバイスではないことを示します。このビットは、常に 0 をセットしてください。



ビット	ビット名	初期値	R/W	説明
9	NPS	1	R/W	<p>NoPowerSwitching</p> <p>このビットは電源切り替えがサポートされる、またはポートが常に電力を供給されるかを選択します。インプリメンテーション特定です。このビットがクリアされると、PSM ビットはグローバル/ポート切り替えを指定します。</p> <p>0：ポートは電源切り替え可能</p> <p>1：ホストコントローラがパワーオン時には、ポートは常にパワーオン</p> <p>【注】 初期値が1であるため、ポートを電源切り替え可能にする場合は、あらかじめクリア (HCD で 0 ライト) してください。</p>
8	PSM	0	R/W	<p>PowerSwitchingMode</p> <p>このビットは、どのようにルートハブポートのパワー切り替えが制御されるかを指定します。インプリメンテーション特定です。NPS ビットがクリアされる場合のみ、このビットは有効です。</p> <p>0：すべてのポートは同時に電力を供給されます。</p> <p>1：個々のポートは個々に電力を供給されます。このモードでは、ポートパワーは、グローバルスイッチまたはポート毎スイッチのいずれかにより制御されます。USBHRDB レジスタのPPCM ビットがセットされると、ポートはポートパワーコマンドにだけ反応します (セット/クリアポートパワー)。ポートマスクがクリアされるならば、そのとき、ポートはグローバルな電源スイッチだけにより制御されます (セット/クリアグローバルパワー)。</p>
7	NDP7	0	R	<p>NumberDownstreamPorts</p> <p>これらのビットは、ルートハブによってサポートされたダウンストリームのポートの数を指定します。インプリメンテーション特定です。本 LSI における値は、H'2 です。</p>
6	NDP6	0	R	
5	NDP5	0	R	
4	NDP4	0	R	
3	NDP3	0	R	
2	NDP2	0	R	
1	NDP1	1	R	
0	NDP0	0	R	

## 24.3.20 HcRhDescriptorB レジスタ (USBHRDB)

USBHRDB レジスタは、ルートハブの特徴を説明する 2 つのレジスタで、そのうちの 2 番目のレジスタです。これらのビットは、システムインプリメンテーションに適合するように、初期設定の際に設定してください。

ビット	ビット名	初期値	R/W	説明
31 ~ 16	PPCM15 ~ PPCM0	すべて 0	R/W	<p>PortPowerControlMask</p> <p>このビットは、ポートが、USBHRDA レジスタの PSM ビットがセットされるとき、グローバルなパワーコントロールコマンドにより影響されるかどうかを示します。セット時は、ポートのパワー状態は、ポートごとのパワーコントロールにより影響されます (セット/クリアポートパワー)。クリア時は、ポートはグローバルな電源スイッチにより制御されます (セット/クリアグローバルパワー)。もしデバイスがグローバルな切り替えモード (PSM=0) に配置されているならば、このビットは有効ではありません。</p> <p>ビット 31 : ポート#15 のパワーマスク : ビット 18 : ポート#2 のパワーマスク ビット 17 : ポート#1 のパワーマスク ビット 16 : 予約</p> <p>【注】 USBHRDA レジスタの NPS をクリアし、全ポートをパワーオフ (PortPowerStatus=0) としてから、本ビットをセットしてください。</p>
15 ~ 0	DR15 ~ DR0	すべて 0	R/W	<p>DeviceRemovable</p> <p>このビットは、ルートハブのポート専用のビットです。クリアされるときに、取り付けられたデバイスが取り外し可能になります。セットされるときには、取り付けられたデバイスは取り外さないでください。</p> <p>ビット 15 : ポート#15 に付属しているデバイス : ビット 2 : ポート#2 に付属しているデバイス ビット 1 : ポート#1 に付属しているデバイス ビット 0 : 予約</p>

### 24.3.21 HcRhStatus レジスタ (USBHRS)

USBHRS レジスタは2つのパーツに分割されます。ロングワードの下位ワードは、ハブステータスビットを表し、上位ワードは、ハブステータスチェンジビットを表しています。予約ビットには、0をセットしてください。

ビット	ビット名	初期値	R/W	説明
31	CRWE	0	W	ClearRemoteWakeupEnable このビットに、1を書くことにより DeviceRemoveWakeupEnable はクリアされます。0をセットした場合、クリアされません。
30~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	OCIC	0	R/W	OverCurrentIndicatorChange OCI ビットが変化したときに、このビットはハードウェアによりセットされます。HCD は、1を書いてこのビットをクリアします。0をセットした場合、クリアされません。
16	LPSC	0	R/W	(リード時) LocalPowerStatusChange ルートハブはローカルなパワーステータス機能をサポートしません。したがって、このビットはいつも0として読まれます。
				(ライト時) SetGlobalPower グローバルなパワーモード (USBHRDA レジスタの PSM ビット=0) において、このビットは、すべてのポートをパワーオンするために、1をライトします (USBHRPS レジスタの PPS ビットをクリア)。ポートごとにパワーモードにおいて、USBHRDB レジスタの PPCM ビットがセットされていないポートにだけ PPS ビットをセットします。0をライトした場合、クリアされません。
15	DRWE	0	R/W	(リード時) DeviceRemoteWakeupEnable このビットは resume イベントとして USBHRPS レジスタの CSC ビットをイネーブルし、USBSUSPEND から USBRESUME への状態変遷、および ResumeDetected 割り込みのセットを起こします。  0 : ConnectStatusChange が remote wakeup イベントでない 1 : ConnectStatusChange が remote wakeup イベント
				(ライト時) SetRemoteWakeupEnable 1をライトすることにより DeviceRemoveWakeupEnable がセットされません。0をライトした場合、セットされません。
14~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
1	OCI	0	R	<p>OverCurrentIndicator</p> <p>このビットは、グローバルな報告がされると、過電流条件を報告します。セット時は、過電流条件が存在します。クリア時は、すべてのパワーオペレーションが正常です。ポートごとの過電流保護が実行されているならば、このビットは常に0です。</p> <p>0：すべてのパワーオペレーションが正常 1：過電流条件が存在</p>
0	LPS	0	R/W	<p>(リード時) LocalPowerStatus</p> <p>ルートハブはローカルなパワーステータス機能をサポートしません。したがって、このビットは常に0として読まれます。</p> <p>(ライト時) ClearGlobalPower</p> <p>グローバルなパワーモード (USBHRDA レジスタの PSM ビット=0) において、このビットは、すべてのポートをパワーオフするために、1にライトされます (USBHRPS レジスタの PPS ビットをクリア)。ポートごとのパワーモードにおいては、PPS ビットを、USBHRDB レジスタの PPCM ビットがセットされていないポートにだけクリアします。0をライトした場合、効果がありません。</p>

### 24.3.22 HcRhPortStatus1、2 レジスタ (USBHRPS1、USBHRPS2)

USBHRPS1、2 レジスタは、ポートごとのベース制御とポートイベントの報告に使われています。上位ワードがステータス変化を反映するのに対して、下位ワードは、ポートステータスを反映するように用いられます。いくつかのステータスビットには、特別な書き込みがあります (下記参照)。ポートの状態が変化したことを表すビットに書き込みが発生したときに、ハンドシェイクをとおしたトークンのトランザクションが進行中ならば、トランザクションが完了するまで、書き込みは延期されます。予約ビットには、常に0をライトしてください。

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
20	PRSC	0	R/W	<p>PortResetStatusChange</p> <p>このビットは、10ms のポートリセット信号の終了時にセットされます。HCD は、このビットをクリアするために1をライトします。0をライトした場合は、クリアされません。</p> <p>0：ポートリセットは完了していない 1：ポートリセットは完了</p>

ビット	ビット名	初期値	R/W	説明
19	OCIC	0	R/W	<p>PortOverCurrentIndicatorChange</p> <p>ポートごとのベースにおいて過電流条件が報告されるとき、このビットは有効です。ルートハブが POIC ビットを変更するときには、このビットがセットされます。HCD は、このビットをクリアするために、1 をライトします。0 をライトした場合、クリアされません。</p> <p>0 : PortOverCurrentIndicator の変更なし 1 : PortOverCurrentIndicator が変更した</p>
18	PSSC	0	R/W	<p>PortSuspendStatusChange</p> <p>すべての resume シーケンスが完了したとき、このビットがセットされます。このシーケンスは、20ms の resume パルス、LS EOP、および 3 ms resynchronization 遅延を含みます。HCD は、このビットをクリアするために、1 をライトします。0 をライトした場合、クリアされません。PRSC ビットが設定されるときも、このビットがクリアされます。</p> <p>0 : resume は完了していない 1 : resume は完了した</p>
17	PESC	0	R/W	<p>PortEnableStatusChange</p> <p>ハードウェアイベントにより、PES ビットのクリア時に、このビットがセットされます。HCD の書き込みによる変更ではセットされません。HCD は、このビットをクリアするために、1 をライトします。0 をライトした場合、クリアされません。</p> <p>0 : PortEnableStatus の変化なし 1 : PortEnableStatus の変化あり</p>
16	CSC	0	R/W	<p>ConnectStatusChange</p> <p>接続または切断イベントが発生すると、このビットがセットされます。HCD は、このビットをクリアするために、1 をライトします。0 をライトした場合、クリアされません。SetPortReset、SetPortEnable、または SetPortSuspend をライトするときに CCS ビットがクリアされた場合、ポートの電源切断時の書き込みは起こらないので、接続ステータスを再評価することをドライバに強制するためにセットされます。</p> <p>0 : CurrentConnectStatus の変化なし 1 : CurrentConnectStatus の変化あり</p> <p>【注】 USBHRDB レジスタの DR ビットがセットされている場合、このビットは、デバイスが取り付けられることをシステムに知らせるために、ルートハブリセットの後にだけセットされます。</p>
15~10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
9	LSDA	0	R/W	(リード時) LowSpeedDeviceAttached このビットは、このポートに取り付けられたデバイスのスピードを示します。セット時は、ロウスピードデバイスがこのポートに取り付けられています。クリア時は、フルスピードデバイスがこのポートに取り付けられています。CCS ビットがセットされる時のみ、このビットが有効です。 0 : フルスピードデバイスを付属 1 : ロウスピードデバイスを付属
				(ライト時) ClearPortPower HCD は、このビットに 1 をライトすることによって、PPS ビットをクリアします。0 をライトした場合、クリアされません。
8	PPS	1	R/W	(リード時) PortPowerStatus このビットは、実行されるパワー切り替えのタイプを問わずポートのパワーステータスを反映します。ただし、USBHRDA レジスタの NPS ビットの初期値が 1 であるため、初め本ビットは 1 固定となっています。以下のようにパワー切り替えを行う場合は、あらかじめ NPS ビットをクリアする必要があります。  過電流条件が検出されるとき、このビットはクリアされます。HCD は、SetPortPower または SetGlobalPower をライトしてこのビットをセットします。HCD は、ClearPortPower または ClearGlobalPower をライトしてこのビットをクリアします。USBHRDA レジスタの PSM ビットと USBHRDB レジスタの PPCM ビットによって、どのパワーコントロールスイッチが使用可能であるかが決定されます。グローバルな切り替えモード (PSM ビット = 0) において、セット/クリアグローバルパワーだけが、このビットを制御します。ポートごとのパワー切り替えモード (PSM ビット = 1) のときに、そのポートの PPCM ビットがセットされるならば、セット/クリアポートパワーコマンドだけが可能です。もしマスクがセットされないならば、セット/クリアグローバルパワーコマンドだけが可能です。ポートパワーがディスプレイ時には、CCS ビット、PES ビット、PSS ビット、および PRS ビットがリセットされます。 0 : ポートパワーはオフ 1 : ポートパワーはオン <b>【注】</b> もしパワー切り替えがサポートされないならば、このビットは常に 1 がリードされます。
				(ライト時) SetPortPower HCD は、PPS ビットをセットするために、1 をライトします。0 をライトした場合、セットされません。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4	PRS	0	R/W	<p>(リード時) PortResetStatus</p> <p>SetPortReset への書き込みによりこのビットがセットされるとき、ポートリセット信号が出されます。リセット完了時は、PRSC がセットされるときに、このビットがクリアされます。CCS ビットがクリアされる場合、このビットはセットされません。</p> <p>0 : ポートリセット信号はアクティブでない 1 : ポートリセット信号はアクティブ</p>
				<p>(ライト時) SetPortReset</p> <p>HCD は、このビットに 1 をライトして、ポートリセット信号をセットします。0 をライトした場合、セットされません。CCS ビットがクリアされるとき、この書き込みは PRS ビットをセットしませんが、代わりに、CSC ビットをセットします。これは、電源切断ポートのリセットをドライバに知らせます。</p>
3	POCI	0	R/W	<p>(リード時) PortOverCurrentIndicator</p> <p>ポートごとのベースにおいて過電流条件が報告されるような方法で、ルートハブが配置されているときのみ、このビットは有効です。もしポートごとの過電流報告がサポートされないならば、このビットは 0 にクリアされます。もしクリアされるならば、すべてのパワー操作はこのポートにおいて正常です。もしセットされるならば、このポートにおいて過電流状態が存在します。このビットは常に過電流の入力信号を反映します。</p> <p>0 : 過電流状態なし 1 : 過電流状態を検出</p>
				<p>(ライト時) ClearSuspendStatus</p> <p>HCD は、resume を開始するために、1 をライトします。0 をライトした場合、効果がありません。もし PSS ビットがセットされるならば、resume が開始されます。</p>

ビット	ビット名	初期値	R/W	説明
2	PSS	0	R/W	<p>(リード時) PortSuspendStatus</p> <p>このビットは、ポートがサスペンドされた、または resume シーケンス中であることを示します。SetSuspendState の書き込みによりセットされて、resume 間隔の終わりににおいて PSSC がセットされるときにクリアされます。CCS ビットがクリアされるならば、このビットはセットできません。ポートリセットの終わりににおいて PRSC ビットがセットされる時、または HC が USBRESUME 状態に置かれるときにも、このビットはクリアされます。もしアップストリームの resume が進行中ならば、ホストコントローラに伝わります。</p> <p>0 : ポートはサスペンドされない 1 : ポートはサスペンド</p>
				<p>(ライト時) SetPortSuspend</p> <p>HCD は、このビットに 1 をライトして PortSuspendStatus ビットをセットします。0 をライトした場合、セットされません。また、CCS ビットがクリアされる時、この書き込みにより PSS ビットはセットされません。代わりに、CSC ビットをセットします。これは、電源切断ポートのサスペンドをドライバに知らせます。</p>
1	PES	0	R/W	<p>(リード時) PortEnableStatus</p> <p>このビットは、ポートがイネーブルか、ディセーブルかどうかを示します。過電流条件およびディスコネクティブイベント、パワーオフスイッチ、または babble のような操作上のバスエラーが検出される時、ルートハブはこのビットをクリアできます。この変化により、PESC ビットがセットされます。HCD は、SetPortEnable を書いてこのビットをセットし、ClearPortEnable を書いてクリアします。CCS ビットがクリアされる時は、このビットはセットできません。また、PRSC ビットがセットされるポートリセットの完了時、または PSSC ビットがセットされるポートサスペンドの完了時に、このビットはセットされます。</p> <p>0 : ポートはディセーブル 1 : ポートはイネーブル</p>
				<p>(ライト時) SetPortEnable</p> <p>HCD は、1 をライトして PES ビットをセットします。0 をライトした場合、セットされません。CCS ビットがクリアされるならば、この書き込みは PES ビットをセットされず、代わりに、CSC ビットをセットします。これは、電源切断ポートをイネーブルにする試みをしたことをドライバに知らせます。</p>

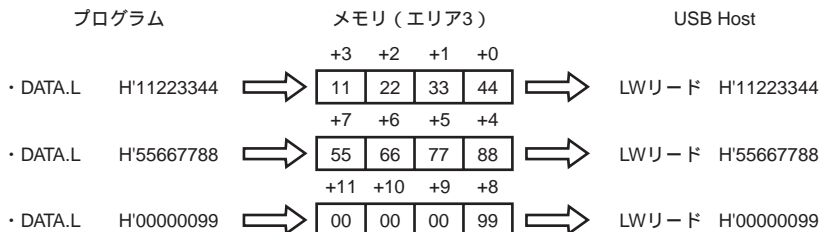


ビット	ビット名	初期値	R/W	説 明
0	CCS	0	R/W	<p>(リード時) CurrentConnectStatus</p> <p>このビットはダウンストリームポートの現状を反映します。</p> <p>0 : どのデバイスも未接続</p> <p>1 : デバイスを接続</p> <p>【注】 取り付けられたデバイスが取り外し可能ではないときには ( DeviceRemoveable )、このビットは、常に 1 が読まれます。</p>
				<p>(ライト時) ClearPortEnable</p> <p>HCD は、PES ビットをクリアするために、1 をライトします。0 をライトした場合、クリアされません。CCS ビットはどのような書き込みによっても影響されません。</p>

## 24.4 USB ホストコントローラのデータ格納フォーマット

### 24.4.1 転送データの格納フォーマット

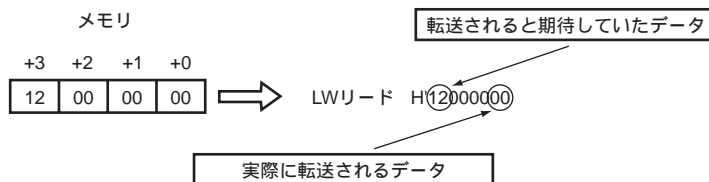
USB ホストコントローラは、CPU のエンディアン設定にかかわらず、アドレスの下位側から上位側に向けてデータが詰まっていることを期待しています。下記に USB のデータリードの様子を示します。



上記のメモリ上のデータと読み出されたデータの関係は常に等しい必要があります。USB ホストコントローラはエンディアンのいかにかかわらず、ロングワードリードを行います。その際に読み込まれたデータは下位アドレスから上位アドレスに向けて、バイト単位に積み上げられていることが前提となります。つまり、エンディアンがリトルエンディアンであるか、ビッグエンディアンであるかにかかわらず、アドレスの下位側から詰めてデータを置いてください。

問題のある例を示します。

- プログラム (ビッグエンディアン時) R0に転送アドレスAを指定  
`MOV.B #H'12, @R0`
- USBの転送開始アドレスにAを、転送サイズに1バイトを指定



この例では期待したデータ#H'12 は転送されません。

また、USB ホストコントローラはエンディアンのいかによらず、データリード/ライトを双方向に矛盾なく行うために、ライトの際のメモリの下位ビット側からデータを詰めます。すなわち、常にリトルエンディアン仕様のデータ配置となります。

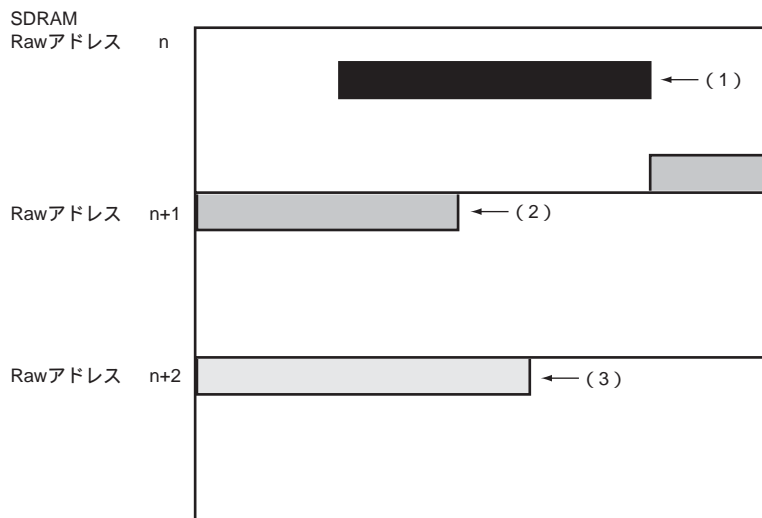
### 24.4.2 ディスクリプタの格納フォーマット

USB ホストコントローラの各転送トランザクションを定義する ED (Endpoint Descriptor) および TD (Transfer Descriptor) は、各 Dword がメモリのロングワード境界(アドレス  $4n \sim 4n+3$ )と符合するように配置してください。

## 24.5 USB コントローラのデータアライメント制約

### 24.5.1 シンクロナス DRAM のライン境界に関する制約

USB ホストコントローラの転送データは CPU と共通しているシステムメモリに格納されます。転送データの配置には、システムメモリとして使用している SDRAM によって、下記の制約があります。



上記の図において、転送データ (1)、(3) は問題ありませんが、(2) のように SDRAM のロウアドレスが切り替わる場所をまたいでデータが存在する場合、正しく転送されることを保証できません。USB ホストからアクセスされるいかなるデータにおいても、ロウアドレスの境目をまたがないように転送アドレスと転送サイズを設定してください。

### 24.5.2 IN 転送のメモリ書き出しアドレスに関する制約

ED の MPS、General TD の CBP、および Isochronous TD の BP0、OFFSET0~7 は 4 の倍数 (4n) で設定する必要があります。

OpenHCI 規格では、IN 転送時、General TD に関しては 1TD で 1 パケット、Isochronous TD に関しては 1Offset の設定で 1 パケットの転送を行います。

また、OUT 転送時 TD の指定するデータ量が MAXPACKETSIZE (MPS) より多い状況では、MAXPACKETSIZE でパケット送信を行います。そのため、設定値を上記のようにすることは可能です。

この制約は USB HOST の IP のバスインタフェースの規格である HCI インタフェースと本 LSI のバスインタフェースの仕様の相違によるものであり、4n 番地以外のアドレスからデータ転送が行われると、データが正しく書き込まれないことがあるためです。例えば、1 で終わるアドレスから 2 バイト転送が行われた場合、ロングワード転送が起こり、予期していないデータが開始アドレス 0 に書き込まれます。

## 24.6 USB ホストから外部メモリへのアクセス

USB ホストから外部メモリへのアクセスは、下記の通りです。

1. 読み込み時：1回の転送は、ロングワードアクセス単位で4、8、12、16バイトのいずれかになります。
2. 書き込み時：1回の転送は、1～16バイトのいずれかになります。

## 24.7 使用上の注意事項

1. USBホストコントローラを使用するには、必ずバスクロック (B ) を32MHz以上に設定してください。  
また、必ず周辺クロック (P ) を13MHzより高い周波数に設定してください。

### 2. レジューム動作時の注意事項

#### (1) 現象

USBホストがレジューム\*1信号を出力中に PortPowerをOFFにする、または OverCurrentが発生した場合、レジューム信号の出力を停止してアイドル\*2状態になるべきところが、アイドル信号の出力を行ってしまう。

\*1： FullSpeed時、D+ = Low , D- = High、 LowSpeed時、 D+ = High, D- = Low

\*2： FullSpeed時、 D+ = High, D- = Low、 LowSpeed時、 D+ = Low , D- = High

#### (2) 上記現象の発生する条件

レジューム信号を出力中に PortPowerをOFFにする、または、 OverCurrentが発生した場合

#### (3) 上記現象の発生しない条件

レジューム動作を行わない、つまり、サスペンド動作を行わない場合、上記現象は発生しません。

#### (4) ソフトウェアによる回避策

上記現象が発生すると、レジューム中断後アイドル信号が出力されますが、PortPowerをONすることでデバイスが認識されます。その後のデバイスに対するPort Resetによって上記現象は解消され、その後は正常動作に復帰します。ただし、HcControl (USBHC)レジスタのHCFS1、0ビットによるUSB Resetでは上記現象は解消されません。このため、USBデバイス接続認識時、HcControl (USBHC)レジスタのHCFS1、0ビットによってUSB Resetを発行するソフトウェアの場合、HcRhPortStatus1、2 (USBHRPS1、2)レジスタのPRSビットによってUSB Reset (Port Reset) を発行するように変更をお願い致します。

すでにUSBデバイス接続認識時、HcRhPortStatus1、2 (USBHRPS1、2)レジスタのPRSビットによってPort Resetを発行している場合、対策は必要ありません。

---

## 25. USB ファンクションコントローラ (USBF)

---

本 LSI は、USB ファンクションコントローラ (USBF) を内蔵しています。

### 25.1 特長

- USB1.1サポートのUDC (USB Device Controller) を内蔵、USBプロトコルを自動処理。エンドポイント0に対するUSB標準コマンドを自動処理 (一部のコマンドとクラス/ベンダコマンドはファームウェアでデコードし、処理する必要があります)
- 転送スピード: フルスピード
- エンドポイントの構成: 任意のエンドポイント構成が設定可能です。

エンドポイント (USB ホストが使用するエンドポイント番号) と本 USB ファンクションコントローラが提供する EP FIFO 番号 (転送方式、転送方向は固定) の対応を設定することで任意のエンドポイント構成が可能です。

EP FIFO 番号	名称	転送タイプ	最大パケット サイズ	FIFO バッファ 容量 (バイト)	DMA 転送
エンドポイント 0	EP0s	セットアップ	8	8	-
	EP0i	コントロールイン	8	8	-
	EP0o	コントロールアウト	8	8	-
エンドポイント 1	EP1	バルクアウト	64	128	可能
エンドポイント 2	EP2	バルクイン	64	128	可能
エンドポイント 3	EP3	インタラプト	8	8	-
エンドポイント 4	EP4	アイソクロナスアウト	64	128	
エンドポイント 5	EP5	アイソクロナスイン	64	128	-

- 割り込み要求: USB送受信に必要な各種割り込み信号を生成
- クロック: 外部入力 (48MHz) を使用
- 低消費電力モード  
USBケーブル切断時、UDC内部クロック停止による低消費電力化が可能  
サスペンド状態へ自動遷移 / 自動復帰
- Philips社製、PDIUSBP11シリーズトランシーバおよび互換製品に接続可能 (ただし、互換製品については、トランシーバ供給メーカーと評価、検証の上、ご使用ください)
- セルフパワーモードに対応

図 25.1 に USBF のブロック図を示します。

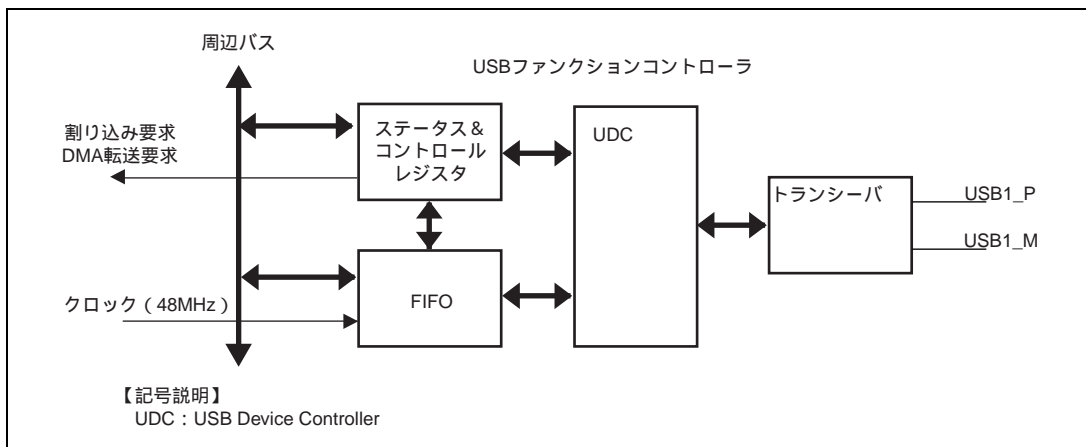


図 25.1 USBF のブロック図

## 25.2 入出力端子

USBF の端子構成を表 25.1 に示します。

表 25.1 端子構成

名称	端子名	入出力	機能
RCV 端子	USB1d_RCV	入力	差動レシーバからの受信データ入力端子
DPLS 端子	USB1d_DPLS	入力	レシーバからのドライバに対する D+ 信号入力端子
DMNS 端子	USB1d_DMNS	入力	レシーバからのドライバに対する D- 信号入力端子
TXDPLS 端子	USB1d_TXDPLS	出力	ドライバに対する D+ 送信出力端子
TXSE0 端子	USB1d_TXSE0	出力	SE0 出力端子
TXENL 端子	USB1d_TXENL	出力	ドライバに対するアウトプットイネーブル端子
USB1 オーバカレント/ モニタ端子	USB1_ovr_current/ USBF_VBUS	入力	USB ポート 1 オーバカレント検出 / USB ケーブル接続モニタ端子
SUSPEND 端子	USB1d_SUSPEND	出力	トランシーバに対するサスペンド状態出力端子
USB 外部クロック	EXTAL_USB	入力	USB 用水晶発振子を接続します。また、USB 用外部クロックを入力することもできます。(48MHz)
USB クリスタル	XTAL_USB	出力	USB 用水晶発振子を接続します。
USB 1 パワーイネーブル/ プルアップ制御端子	USB1_pwr_en/ USBF_UPLUP	出力	USB ポート 1 電源投入許可制御 / プルアップ制御出力端子
1P 端子	USB1_P	入出力	D+
1M 端子	USB1_M	入出力	D-

## 25.3 レジスタの説明

USB には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。

- 割り込みフラグレジスタ0 (IFR0)
- 割り込みフラグレジスタ1 (IFR1)
- 割り込みフラグレジスタ2 (IFR2)
- 割り込みフラグレジスタ3 (IFR3)
- 割り込みフラグレジスタ4 (IFR4)
- 割り込み選択レジスタ0 (ISR0)
- 割り込み選択レジスタ1 (ISR1)
- 割り込み選択レジスタ2 (ISR2)
- 割り込み選択レジスタ3 (ISR3)
- 割り込み選択レジスタ4 (ISR4)
- 割り込みイネーブルレジスタ0 (IER0)
- 割り込みイネーブルレジスタ1 (IER1)
- 割り込みイネーブルレジスタ2 (IER2)
- 割り込みイネーブルレジスタ3 (IER3)
- 割り込みイネーブルレジスタ4 (IER4)
- EP0iデータレジスタ (EPDR0i)
- EP0oデータレジスタ (EPDR0o)
- EP0sデータレジスタ (EPDR0s)
- EP1データレジスタ (EPDR1)
- EP2データレジスタ (EPDR2)
- EP3データレジスタ (EPDR3)
- EP4データレジスタ (EPDR4)
- EP5データレジスタ (EPDR5)
- EP0o受信データサイズレジスタ (EPSZ0o)
- EP1受信データサイズレジスタ (EPSZ1)
- EP4受信データサイズレジスタ (EPSZ4)
- トリガレジスタ (TRG)
- データステータスレジスタ (DASTS)
- FIFOクリアレジスタ0 (FCLR0)
- FIFOクリアレジスタ1 (FCLR1)
- DMA転送設定レジスタ (DMA)

- エンドポイントストールレジスタ0 (EPSTL0)
- エンドポイントストールレジスタ1 (EPSTL1)
- コンフィグレーションバリュeregスタ (CVR)
- タイムスタンプレジスタH (TSRH)
- タイムスタンプレジスタL (TSRL)
- コントロールレジスタ0 (CTRLR0)
- コントロールレジスタ1 (CTRLR1)
- エンドポイント情報レジスタ (EPIR)
- タイマレジスタH (TMRH)
- タイマレジスタL (TMRL)
- セットタイムアウトレジスタH (STOH)
- セットタイムアウトレジスタL (STOL)



### 25.3.1 割り込みフラグレジスタ 0 (IFR0)

EP0i、EP0o、EP1、EP2、バスリセット、セットアップコマンド受信の割り込みフラグレジスタです。各フラグが 1 セットされ、IER0 の対応するビットで割り込みが許可されていれば、ISR0 の対応ビットにより割り当てられた割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。

ただし、EP2 EMPTY ステータスと EP1 FULL ステータスは EP1、EP2 の FIFO 状態を示すステータスビットです。したがってクリアはできません。

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/W	バスリセット 【セット条件】 USB バス上でバスリセット信号を検出したとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき
6	EP1 FULL	0	R	EP1 (バルクアウト) FIFO フル 【セット条件】 EP1 の FIFO は 2 面構成になっており、1 面以上の FIFO が一杯のとき 【クリア条件】 (1) リセット時 (2) 2 面とも空になったとき 【注】ステータスビットのためクリアはできません。
5	EP2 TR	0	R/W	EP2 (バルクイン) 転送リクエスト 【セット条件】 EP2 にホストから IN トークンが発行され、2 面とも FIFO が空のとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき
4	EP2 EMPTY	1	R	EP2 (バルクイン) FIFO エンプティ 【セット条件】 (1) リセット時 (2) EP2 の FIFO は 2 面構成になっており、1 面以上の FIFO が空のとき 【クリア条件】 EP2 の FIFO が 2 面とも一杯のとき 【注】ステータスビットのためクリアはできません。

ビット	ビット名	初期値	R/W	説明
3	SETUP TS	0	R/W	セットアップコマンド受信完了 <b>【セット条件】</b> ファンクションでコマンドデコードを行う 8 バイトのデータが、ホストから EP0s に正常に受信され、ファンクションからホストに ACK ハンドシェイクを返したとき <b>【クリア条件】</b> (1) リセット時 (2) CPU で 0 を書き込んだとき
2	EP0O TS	0	R/W	EP0o 受信完了 <b>【セット条件】</b> ホストから EP0o に正常にデータが受信され、ファンクションからホストに ACK ハンドシェイクを返したとき <b>【クリア条件】</b> (1) リセット時 (2) CPU で 0 を書き込んだとき
1	EP0I TR	0	R/W	EP0I 転送リクエスト <b>【セット条件】</b> EP0I にホストから IN トークンが発行され、FIFO が空のとき <b>【クリア条件】</b> (1) リセット時 (2) CPU で 0 を書き込んだとき
0	EP0I TS	0	R/W	EP0I 送信完了 <b>【セット条件】</b> EP0I にホストに送信するデータをライトした後、ファンクションからホストに正常にデータが送信され、ACK ハンドシェイクが返ってきたとき <b>【クリア条件】</b> (1) リセット時 (2) CPU で 0 を書き込んだとき

### 25.3.2 割り込みフラグレジスタ 1 (IFR1)

VBUS、EP3 割り込みフラグレジスタです。各フラグが 1 セットされ、IER1 の対応するビットで割り込みが許可されていれば ISR1 の対応ビットにより割り当てられた割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	VBUS MN	0	R	USB 接続ステータス USBF_VBUS 端子の状態をモニタするステータスビットです。 USBF_VBUS 端子状態を反映します。 0: 切断状態 1: 接続状態
2	EP3 TR	0	R/W	EP3 (インタラプト) 転送リクエスト 【セット条件】 EP3 にホストから IN トークンが発行され、FIFO が空のとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき
1	EP3 TS	0	R/W	EP3 (インタラプト) 送信完了 【セット条件】 EP3 にホストに送信するデータをライトした後、ファンクションからホストに正常にデータが送信され、ACK ハンドシェイクが返ってきたとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき
0	VBUSF	0	R/W	USB 切断検出 接続 / 切断の検出には、本モジュールの USBF_VBUS 端子を使用します。 【セット条件】 ファンクションが USB バスに接続されたとき、および切断されたとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき

### 25.3.3 割り込みフラグレジスタ 2 (IFR2)

SURSS、SURSF、CFDN、SOF、SETC、SETI 割り込みフラグレジスタです。各フラグが 1 セットされ、IER2 の対応するビットで割り込みが許可されていれば ISR2 の対応ビットにより割り当てられた割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SURSS	0	R	Suspend/Resume ステータス バスの状態を示すステータスビットです。 0 : 通常状態 1 : サスペンド状態
4	SURSF	0	R/W	Suspend/Resume 検出 【セット条件】 バスが通常状態からサスペンド状態、またはサスペンド状態から通常状態に遷移したとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき
3	CFDN	0	R/W	エンドポイント情報ロード終了 【セット条件】 EPIR レジスタにライトしたエンドポイント情報レジスタのデータが本モジュール内で設定完了 (ロード終了) されたとき 【注】本モジュールは、エンドポイント情報が設定完了した後、USB として正常に動作可能となります。 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき
2	SOF	0	R/W	SOF パケット 【セット条件】 SOF パケットを検出したとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき
1	SETC	0	R/W	Set Configuration コマンド検出 【セット条件】 有効な Set Configuration コマンドを検出したとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき

ビット	ビット名	初期値	R/W	説明
0	SETI	0	R/W	Set Interface コマンド検出 【セット条件】 有効な Set Interface コマンド検出をしたとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき

### 25.3.4 割り込みフラグレジスタ 3 (IFR3)

EP4 TS、EP4 TF、EP5 TS、EP5 TR 割り込みフラグレジスタです。各フラグが 1 セットされ、IER3 の対応するビットで割り込みが許可されていれば ISR3 の対応ビットにより割り当てられた割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	EP5 TR	0	R/W	EP5 (アイソクロナスイン) 送信リクエスト EP5 の FIFO 状態を示すフラグです。SOF パケット受信後、自動的に FIFO の面が切り替わります。この時点でマイコンがライト可能な FIFO 面は、1 つ前のフレームでホストにデータ送信を行った面です。本ビットでは、この 1 つ前の送信状態を示します。 【セット条件】 EP5 にホストから IN トークンが発行されたとき、送信される FIFO が空であったとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき
2	EP5 TS	0	R/W	EP5 (アイソクロナスイン) 正常送信 EP5 の FIFO 状態を示すフラグです。SOF パケット受信後、自動的に FIFO の面が切り替わります。この時点でマイコンがライト可能な FIFO 面は、1 つ前のフレームでホストにデータ送信を行った面です。本ビットでは、この 1 つ前の送信状態を示します。 【セット条件】 1 つ前の送信が正常に行われたとき 【クリア条件】 (1) リセット時 (2) CPU で 0 を書き込んだとき

ビット	ビット名	初期値	R/W	説明
1	EP4 TF	0	R/W	<p>EP4 (アイソクロナスアウト) 異常受信</p> <p>EP4 の FIFO 状態を示すフラグです。ホストからのデータ受信が終了し、次の SOF パケット受信後に読み出し可能となった FIFO 面の状態を示します。</p> <p>【セット条件】</p> <p>ホストからの転送データが EP4 で異常受信 (パケットエラー) したとき</p> <p>【クリア条件】</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>
0	EP4 TS	0	R/W	<p>EP4 (アイソクロナスアウト) 正常受信</p> <p>EP4 の FIFO 状態を示すフラグです。ホストからのデータ受信が終了し、次の SOF パケット受信後に読み出し可能となった FIFO 面の状態を示します。</p> <p>【セット条件】</p> <p>ホストからの転送データが EP4 で正常受信したとき</p> <p>【クリア条件】</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>

### 25.3.5 割り込みフラグレジスタ 4 (IFR4)

TMOUT 割り込みフラグレジスタです。フラグが 1 セットされ、IER4 の対応するビットで割り込みが許可されていれば ISR4 の対応ビットにより割り当てられた割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	TMOUT	0	R/W	<p>タイムアウト</p> <p>【セット条件】</p> <p>TMR (タイマレジスタ) 値が STO (セットタイムアウトレジスタ) 値に到達したとき</p> <p>【クリア条件】</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>

### 25.3.6 割り込み選択レジスタ 0 (ISR0)

割り込みフラグレジスタ 0 の示す INTC の割り込み要求を選択します。対応するビットに 0 をセットすると USBFI0 割り込み要求が選択され、1 をセットすると USBFI1 割り込み要求が選択されます。

初期値では、割り込みフラグレジスタ 0 の各割り込み要因は USBFI0 割り込みを選択します。

ビット	ビット名	初期値	R/W	説 明
7	BRST IS	0	R/W	BRST 割り込み選択
6	EP1 FULL IS	0	R/W	EP1 FULL 割り込み選択
5	EP2 TR IS	0	R/W	EP2 TR 割り込み選択
4	EP2 EMPTY IS	0	R/W	EP2 EMPTY 割り込み選択
3	SETUP TS IS	0	R/W	SETUP 割り込み選択
2	EP0o TS IS	0	R/W	EP0o TS 割り込み選択
1	EP0i TR IS	0	R/W	EP0i TR 割り込み選択
0	EP0i TS IS	0	R/W	EP0i TS 割り込み選択

### 25.3.7 割り込み選択レジスタ 1 (ISR1)

割り込みフラグレジスタ 1 の示す INTC の割り込み要求を選択します。対応するビットに 0 をセットすると USBFI0 割り込み要求が選択され、1 をセットすると USBFI1 割り込み要求が選択されます。

初期値では、割り込みフラグレジスタ 1 の各割り込み要因は USBFI1 割り込みを選択します。

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	EP3 TR IS	1	R/W	EP3 TR 割り込み選択
1	EP3 TS IS	1	R/W	EP3 TS 割り込み選択
0	VBUSF IS	1	R/W	VBUSF 割り込み選択

### 25.3.8 割り込み選択レジスタ 2 (ISR2)

割り込みフラグレジスタ 2 の示す INTC の割り込み要求を選択します。対応するビットに 0 をセットすると USBFI0 割り込み要求が選択され、1 をセットすると USBFI1 割り込み要求が選択されます。

初期値では、割り込みフラグレジスタ 2 の各割り込み要因は USBFI1 割り込みを選択します。

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	SURSE IS	1	R/W	SURSE 割り込み選択
3	CFDN IS	1	R/W	CFDN 割り込み選択
2	SOFE IS	1	R/W	SOFE 割り込み選択
1	SETC IS	1	R/W	SETCE 割り込み選択
0	SETIE IS	1	R/W	SETIE 割り込み選択

### 25.3.9 割り込み選択レジスタ 3 (ISR3)

割り込みフラグレジスタ 3 の示す INTC の割り込み要求を選択します。対応するビットに 0 をセットすると USBFI0 割り込み要求が選択され、1 をセットすると USBFI1 割り込み要求が選択されます。

初期値では、割り込みフラグレジスタ 3 の各割り込み要因は USBFI0 割り込みを選択します。

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	EP5 TR IS	0	R/W	EP5 TR 割り込み選択
2	EP5 TS IS	0	R/W	EP5 TS 割り込み選択
1	EP4 TF IS	0	R/W	EP4 TF 割り込み選択
0	EP4 TS IS	0	R/W	EP4 TS 割り込み選択



### 25.3.10 割り込み選択レジスタ 4 (ISR4)

割り込みフラグレジスタ 4 の示す INTC の割り込み要求を選択します。対応するビットに 0 をセットすると USBFI0 割り込み要求が選択され、1 をセットすると USBFI1 割り込み要求が選択されます。

初期値では、割り込みフラグレジスタ 4 の各割り込み要因は USBFI0 割り込みを選択します。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TMOUT IS	0	R/W	TMOUT 割り込み選択

### 25.3.11 割り込みイネーブルレジスタ 0 (IER0)

割り込みフラグレジスタ 0 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 0 で設定された割り込み要求が発行されます。

ビット	ビット名	初期値	R/W	説明
7	BRST IE	0	R/W	BRST 割り込みイネーブル
6	EP1 FULL IE	0	R/W	EP1 FULL 割り込みイネーブル
5	EP2 TR IE	0	R/W	EP2 TR 割り込みイネーブル
4	EP2 EMPTY IE	0	R/W	EP2 EMPTY 割り込みイネーブル
3	SETUP TS IE	0	R/W	SETUP TS 割り込みイネーブル
2	EP0o TS IE	0	R/W	EP0o TS 割り込みイネーブル
1	EP0i TR IE	0	R/W	EP0i TR 割り込みイネーブル
0	EP0i TS IE	0	R/W	EP0i TS 割り込みイネーブル

### 25.3.12 割り込みイネーブルレジスタ 1 (IER1)

割り込みフラグレジスタ 1 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 1 で設定された割り込み要求が発行されます。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	EP3 TR IE	0	R/W	EP3 TR 割り込みイネーブル
1	EP3 TS IE	0	R/W	EP3 TS 割り込みイネーブル
0	VBUSF IE	0	R/W	VBUSF 割り込みイネーブル

### 25.3.13 割り込みイネーブルレジスタ 2 (IER2)

割り込みフラグレジスタ 2 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 2 で設定された割り込み要求が発行されます。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	SURSE IE	0	R/W	SURSE 割り込みイネーブル
3	CFDN IE	0	R/W	CFDN 割り込みイネーブル
2	SOFE IE	0	R/W	SOFE 割り込みイネーブル
1	SETCE IE	0	R/W	SETCE 割り込みイネーブル
0	SETIE IE	0	R/W	SETIE 割り込みイネーブル

### 25.3.14 割り込みイネーブルレジスタ 3 (IER3)

割り込みフラグレジスタ 3 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 3 で設定された割り込み要求が発行されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	EP5 TR IE	0	R/W	EP5 TR 割り込みイネーブル
2	EP5 TS IE	0	R/W	EP5 TS 割り込みイネーブル
1	EP4 TF IE	0	R/W	EP4 TF 割り込みイネーブル
0	EP4 TS IE	0	R/W	EP4 TS 割り込みイネーブル

### 25.3.15 割り込みイネーブルレジスタ 4 (IER4)

割り込みフラグレジスタ 4 の各割り込みを許可するレジスタです。各割り込みに対応するビットに 1 が設定されていて、割り込みフラグが 1 にセットされると、割り込み選択レジスタ 4 で設定された割り込み要求が発行されます。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TMOUT IE	0	R/W	TMOUT 割り込みイネーブル

### 25.3.16 EP0i データレジスタ (EPDR0i)

エンドポイント 0 の送信用 8 バイト FIFO バッファです。コントロールインに対するパケット分の送信データを保存します。1 パケット分のデータを書き込み、トリガレジスタの EP0iPKTE をセットすることで送信データが確定します。データを送信した後、ホストから ACK ハンドシェイクが返ってくると、割り込みフラグレジスタ 0 の EP0iTS がセットされます。この FIFO バッファは FCLR0 レジスタの EP0iCLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	コントロールイン転送用のデータレジスタ

### 25.3.17 EP0o データレジスタ (EPDR0o)

エンドポイント 0 の受信用 8 バイト FIFO バッファです。セットアップコマンドを除くエンドポイント 0 の受信データが格納されます。データを正常に受信すると、割り込みフラグレジスタ 0 の EP0oTS がセットされ、受信バイト数が EP0o 受信データサイズレジスタに表示されます。データを読み出した後、トリガレジスタの EP0oRDFN をセットすることで、次のパケットを受信可能となります。この FIFO バッファは FCLR0 レジスタの EP0oCLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	R	コントロールアウト転送用のデータレジスタ

### 25.3.18 EP0s データレジスタ (EPDR0s)

エンドポイント 0 のセットアップコマンド専用のデータレジスタです。セットアップステージで送られた 8 バイトのコマンドデータが格納されます。ただし、マイコン (ファームウェア) で処理するコマンドのみ受信します。本モジュールが自動処理するコマンドを受信した場合は格納されません。

セットアップコマンドは必ず受信する必要があるため、バッファ内にデータが残っている場合でも新しいデータによって上書きされます。つまり、コマンドを読み出している間に次のコマンドの受信が開始された場合、受信が優先となり読み出したデータは無効になります。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	R	コントロールアウト転送時のセットアップコマンドが格納されるレジスタ

【注】 EPDR0s レジスタは必ず 8 バイト単位でリードしてください。途中でリードを中止すると次のセットアップで受信したデータが正常にリードできません。

### 25.3.19 EP1 データレジスタ (EPDR1)

エンドポイント 1 の受信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。受信バイト数は EP1 受信データサイズレジスタに表示されます。データを読み出した後、トリガレジスタの EP1RDFN に 1 を書き込むことで、読み出した面のバッファが再受信可能になります。この FIFO バッファの受信データは DMA 転送が可能です。この FIFO バッファは FCLR0 レジスタの EP1CLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	R	エンドポイント 1 転送用のデータレジスタ

### 25.3.20 EP2 データレジスタ (EPDR2)

エンドポイント 2 の送信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データを書き込み、トリガレジスタの EP2PKTE をセットすることで 1 パケット分の送信データが確定し、2 面構成のバッファが切り替わります。この FIFO バッファへの送信データは DMA 転送が可能です。この FIFO バッファは FCLR0 レジスタの EP2CLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	エンドポイント 2 転送用のデータレジスタ

### 25.3.21 EP3 データレジスタ (EPDR3)

エンドポイント 3 の送信用 8 バイト FIFO バッファです。エンドポイント 3 のインタラプト転送における 1 パケット分の送信データを保持します。1 パケット分のデータを書き込み、トリガレジスタの EP3PKTE をセットすることで送信データが確定します。1 パケット分のデータを正常に送信し、ホストから ACK ハンドシェイクを受信すると割り込みフラグレジスタ 1 の EP3TS がセットされます。この FIFO バッファは FCLR0 レジスタの EP3CLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	エンドポイント 3 転送用のデータレジスタ

### 25.3.22 EP4 データレジスタ (EPDR4)

エンドポイント 4 の受信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。受信バイト数は EP4 受信データサイズレジスタに表示されます。SOF パケットを受信したときに受信データが確定されます。したがって、受信データは次の SOF パケット受信までに必ずすべてリードしてください。次の SOF パケットを受信すると、自動的に FIFO の面が切り替わり、1 つ前のデータはリードできなくなります。この FIFO バッファは FCLR1 レジスタの EP4CLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	R	エンドポイント 4 転送用のデータレジスタ

### 25.3.23 EP5 データレジスタ (EPDR5)

エンドポイント 5 の送信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データを書き込んだあと、SOF パケットを受信することで、1 パケット分の送信データが確定し、2 面構成のバッファが切り替わります。この FIFO バッファは FCLR1 レジスタの EP5CLR、EP5CCLR により初期化することができます。(EP5CLR は 2 面とも初期化、EP5CCLR は CPU 側に接続されている面のみ初期化を行います。)

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	エンドポイント 5 転送用のデータレジスタ

### 25.3.24 EP0o 受信データサイズレジスタ (EPSZ0o)

エンドポイント 0o の受信データサイズレジスタです。ホストから受信したバイト数を示します。

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R	エンドポイント 0 の受信バイト数

### 25.3.25 EP1 受信データサイズレジスタ (EPSZ1)

エンドポイント 1 の受信データサイズレジスタです。ホストから受信したバイト数を示します。エンドポイント 1 の FIFO は 2 面構成になっています。本レジスタに示される受信データサイズは、現在選択されている (CPU で読み出せる) 面のサイズです。

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R	エンドポイント 1 の受信バイト数

### 25.3.26 EP4 受信データサイズレジスタ (EPSZ4)

エンドポイント 4 の受信データサイズレジスタです。ホストから受信したバイト数を示します。エンドポイント 4 の FIFO は 2 面構成になっています。本レジスタに示される受信データサイズは、現在選択されている (CPU で読み出せる) 面のサイズです。

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R	エンドポイント 4 の受信バイト数

### 25.3.27 トリガレジスタ (TRG)

EP0s、EP0i、EP0o、EP1、EP2、EP3 の各エンドポイントの FIFO に対するトリガを与えるワンショットレジスタです。与えるトリガは IN FIFO レジスタに対するパケットイネーブルと OUT FIFO レジスタに対する読み出し完了トリガです。

ビット	ビット名	初期値	R/W	説明
7	-	0	W	リザーブビット 書き込む値は常に 0 にしてください。
6	EP3 PKTE	0	W	EP3 パケットイネーブル
5	EP1 RDFN	0	W	EP1 読み出し完了
4	EP2 PKTE	0	W	EP2 パケットイネーブル
3	-	0	W	リザーブビット 書き込む値は常に 0 にしてください。
2	EP0s RDFN	0	W	EP0s 読み出し完了
1	EP0o RDFN	0	W	EP0o 読み出し完了
0	EP0i PKTE	0	W	EP0i パケットイネーブル

### 25.3.28 データステータスレジスタ (DASTS)

送信用 FIFO データレジスタ内にデータがあるかどうかを示すレジスタです。送信用 FIFO に書き込んだデータが、TRG の PKTE へ 1 を書き込み有効になったとき 1 にセットされます。また、有効にしたデータがすべてホストに送信されたとき、0 にクリアされます。エンドポイント 2 の 2 面構成 FIFO の場合、2 面ともデータがなくなったとき 0 にクリアされます。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に 0 が読み出されます。
5	EP3 DE	0	R	EP3 データイネーブル
4	EP2 DE	0	R	EP2 データイネーブル
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	EP0i DE	0	R	EP0i データイネーブル

### 25.3.29 FIFO クリアレジスタ 0 (FCLR0)

エンドポイント 0~3 の FIFO をクリアするワンショットレジスタです。各ビットに 1 書き込みをすることで、対応する FIFO 内のデータをクリアすることができます。

送信用 FIFO の場合、FIFO にデータを書き込み TRG の PKTE に 1 書き込みしていないデータ、および 1 書き込みによって有効になったデータをクリアすることができます。受信用 FIFO の場合、受信が完了したデータをクリアすることができます。

EP1、EP2 の 2 面構成 FIFO は 2 面ともクリアされます。

また、このクリア指示によって、対応する割り込みフラグはクリアされません。送受信中のクリアは行わないでください。

ビット	ビット名	初期値	R/W	説明
7	-	-	W	リザーブビット 書き込む値は常に 0 にしてください。
6	EP3 CLR	-	W	EP3 クリア
5	EP1 CLR	-	W	EP1 クリア
4	EP2 CLR	-	W	EP2 クリア
3	-	-	W	リザーブビット
2	-	-	W	書き込む値は常に 0 にしてください。
1	EP0o CLR	-	W	EP0o クリア
0	EP0i CLR	-	W	EP0i クリア

### 25.3.30 FIFO クリアレジスタ 1 (FCLR1)

エンドポイント 4~5 の FIFO をクリアするワンショットレジスタです。各ビットに 1 書き込みをすることで、対応する FIFO 内のデータをクリアすることができます。

また、このクリア指示によって、対応する割り込みフラグはクリアされません。送受信中のクリアは行わないでください。

ビット	ビット名	初期値	R/W	説明
7~5	-	-	W	リザーブビット 書き込む値は常に 0 にしてください。
4	EP5 CCLR	-	W	EP5 CPU 面クリア
3	-	-	W	リザーブビット
2	-	-	W	書き込む値は常に 0 にしてください。
1	EP5 CLR	-	W	EP5 両面クリア
0	EP4 CLR	-	W	EP4 両面クリア



### 25.3.31 DMA 転送設定レジスタ (DMA)

DMA 転送可能なエンドポイント 1、2 のデータレジスタに対して内蔵 DMAC のデュアルアドレス転送を使用する場合に設定します。また、ビット 2 により USB1\_pwr\_en 端子のレベルを制御することができます。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
2	PULLUP E	0	R/W	プルアップイネーブル USB ホスト / ハブへの接続通知の制御用ビットです。 0 : USB1_pwr_en 端子はローレベル 1 : USB1_pwr_en 端子はハイレベル
1	EP2 DMAE	0	R/W	EP2DMA 許可 EP2 に対する DMA 転送を許可します。
0	EP1 DMAE	0	R/W	EP1DMA 許可 EP1 に対する DMA 転送を許可します。

### 25.3.32 エンドポイントストールレジスタ 0 (EPSTL0)

各エンドポイントをストールさせるレジスタです。ストールビットに 1 がセットされたエンドポイントは 1 を書き込んだ次の転送からホストに対してストールハンドシェイクを返します。

エンドポイント 0 に対するストールビットは、ファンクションでコマンドデコードを行う 8 バイトのデータ受信時に自動的に解除され、EP0 STL ビットはクリアされます。また、IFR0 レジスタの SETUP TS フラグビットが 1 セットされている場合、EP0 STL ビットへの 1 書き込みは無視されます。詳細動作は「25.8 ストール動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	EP3 STL	0	R/W	EP3 ストール EP3 ストールを設定します。
2	EP2 STL	0	R/W	EP2 ストール EP2 ストールを設定します。
1	EP1 STL	0	R/W	EP1 ストール EP1 ストールを設定します。
0	EP0 STL	0	R/W	EP0 ストール EP0 ストールを設定します。

### 25.3.33 エンドポイントストールレジスタ 1 (EPSTL1)

各エンドポイントをストールさせるレジスタです。ストールビットに 1 がセットされたエンドポイントは 1 を書き込んだ次の転送からホストに対してストールハンドシェイクを返します。

詳細動作は「25.8 ストール動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	EP5 STL	0	R/W	EP5 ストール EP5 ストールを設定します。
0	EP4 STL	0	R/W	EP4 ストール EP4 ストールを設定します。

### 25.3.34 コンフィグレーションバリュeregレジスタ (CVR)

ホストから「Set Configuration/Set Interface」コマンドを正常に受信したとき、セットされる「Configuration/Interface/Alternate」値が格納されるレジスタです。

ビット	ビット名	初期値	R/W	説明
7	CNVF1	0	R	コンフィグレーション値 Set Configuration コマンドを受け取ったときのコンフィグレーション設定値が格納されます。 CNFV の更新は割り込みフラグレジスタの SETC = 1 セット時です。
6	CNVF0	0	R	
5	INTV1	0	R	インタフェース値 Set Interface コマンドを受け取ったときのインタフェース設定値が格納されます。 INTV の更新は割り込みフラグレジスタの SETI = 1 セット時です。
4	INTV0	0	R	
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
2	ALTV2	0	R	オルタネート値 Set Interface コマンドを受け取ったときのオルタネート設定値が格納されます。 ALTV の更新は割り込みフラグレジスタの SETI = 1 セット時です。
1	ALTV1	0	R	
0	ALTV0	0	R	

### 25.3.35 タイムスタンプレジスタ (TSRH/TSRL)

現在のタイムスタンプ値が格納されるレジスタです。タイムスタンプの更新は IFR0 レジスタの SOF ビットに 1 がセットされたときです。

SOF マーカ機能を有効にしたとき、および SOF パケットが破損した場合のタイムスタンプは前回と同じ値になります。

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
10	D10	0	R	タイムスタンプデータ
9	D9	0	R	
8	D8	0	R	
7	D7	0	R	
6	D6	0	R	
5	D5	0	R	
4	D4	0	R	
3	D3	0	R	
2	D2	0	R	
1	D1	0	R	
0	D0	0	R	

【注】 タイムスタンプレジスタは、上位バイトの TSRH、下位バイトの TSRL が一組になり USBF 内部で 16 ビットレジスタとして扱われています。そのため、TSRH は直接リードできますが、TSRL は 8 ビットのテンポラリレジスタを介してリードされます。したがって必ず TSRH、TSRL の順番にバイトサイズでリードしてください。  
TSRL のみのリードはできません。

## 25.3.36 コントロールレジスタ 0 (CTRL0)

ASCE、PWMD、RSME、RWUP の各機能設定を行うレジスタです。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	RWUPS	0	R	リモートウェイクアップステータス ホストからのリモートウェイクアップの禁止 / 許可を示すステータスビットです。Set Feature/Clear Feature リクエストによる Device Remote Wakeup でホストからのリモートウェイクアップが禁止されている場合 0 を示し、許可されると 1 を示します。
3	RSME	0	R/W	レジュームイネーブル サスペンド状態を解除 (リモートウェイクアップを実行) するビットです。1 を書き込むとレジューム要求が発行されます。使用する場合は、最低 12MHz で 1 クロック以上 1 を保持し再び 0 にクリアしてください。
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ASCE	0	R/W	自動ストールクリアイネーブル 本ビットに 1 を設定すると、ストールハンドシェイクをホストに返信した後、返信したエンドポイントのストール設定ビット (EPSTLR/EPxSTL) を自動的にクリアします。全エンドポイント共通なのでエンドポイントごとの制御はできません。0 を設定した場合、各エンドポイントのストール設定ビットのクリアはソフトで行ってください。 1 に設定する場合は EPSTL レジスタの各ストールビットに 1 をセットする前に行ってください。
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 25.3.37 コントロールレジスタ 1 (CTRL1)

アイソクロナス転送で使用する内蔵タイマの設定を行うレジスタです。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TMR ACLR	1	R/W	タイマオートクリア TMR (タイマレジスタ) のクリア方法を選択します。 0: クリアは行いません。クリアしたい場合は CPU で TMR に 0 をライトしてください。 1: SOF を受信するごとに自動で TMR のクリアを行います。
0	TMR EN	0	R/W	タイマイネーブル TMR (タイマレジスタ) のイネーブルビットです。 0: タイマ動作禁止 1: タイマ動作開始

### 25.3.38 エンドポイント情報レジスタ (EPIR)

各エンドポイントの構成情報を設定するレジスタです。これらの情報は 1 エンドポイントに対して 5 バイト必要で表 25.3、表 25.4 に示すフォーマットになっています。データライトはエンドポイント 0 から順に行ってください。また、5 (バイト) × 10 (エンドポイント) = 50 バイト以上書き込まないでください。本情報は、パワーオンリセット時に 1 回書き込んでください。それ以降は書き込まないでください。

以下に 1 エンドポイント分のライトデータを説明します。本レジスタは同一アドレスに順番に書き込むため、レジスタは 1 つですが説明上登録番号 N (N は 0~9) 用のライトデータを EPIRN0~EPIRN4 (EPIR[登録番号] [ライト順序]) と表記します。ライトは EPIR00 から順番に行ってください。

- EPIRN0

ビット	ビット名	初期値	R/W	説明
7~4	D7~D4	不定	W	エンドポイント番号 【設定可能範囲】0~5
3~2	D3~D2	不定	W	エンドポイントが属する Configuration 番号 【設定可能範囲】0 or 1
1~0	D1~D0	不定	W	エンドポイントが属する Interface 番号 【設定可能範囲】0~3

## • EPIRN1

ビット	ビット名	初期値	R/W	説 明
7~6	D7~D6	不定	W	エンドポイントが属する Alternate 番号 【設定可能範囲】 0 or 1
5~4	D5~D4	不定	W	エンドポイントの転送方式 【設定可能範囲】 0 : コントロール 1 : アイソクロナス 2 : バルク 3 : インタラプト
3	D3	不定	W	エンドポイントの転送方式 【設定可能範囲】 0 : OUT 1 : IN
2~0	D2~D0	不定	W	リザーブビット 書き込む値は常に 0 にしてください。

## • EPIRN2

ビット	ビット名	初期値	R/W	説 明
7~1	D7~D1	不定	W	エンドポイントの最大バケットサイズ 【設定可能範囲】 0~64
0	D0	不定	W	リザーブビット 書き込む値は常に 0 にしてください。

## • EPIRN3

ビット	ビット名	初期値	R/W	説 明
7~0	D7~D0	不定	W	リザーブビット 書き込む値は常に 0 にしてください。

## • EPIRN4

ビット	ビット名	初期値	R/W	説 明
7~0	D7~D0	不定	W	エンドポイント FIFO 番号 【設定可能範囲】 0~5

エンドポイント番号とは、USB ホストが使用するエンドポイント番号です。また、エンドポイント FIFO 番号とは、本マニュアル中に記載のあるエンドポイント番号に対応しています。したがって、本情報でエンドポイント番号とエンドポイント FIFO 番号を 1 対 1 に対応させることで USB ホストとエンドポイント FIFO 間で転送が行えます。ただし、設定値には以下の制約があるので注意してください。

1. 各エンドポイントFIFOは、各転送方式・方向・最大パケットサイズに対応した専用ハードウェアで最適化しているため、必ず下表に示す転送方式・方向・最大パケットサイズに設定してください。  
(例) エンドポイントFIFO番号1は「バルク転送」「OUT」「最大パケットサイズ64byte」以外の設定はできない。エンドポイントFIFO番号4は「アイソクロナス転送」「OUT」以外の設定はできないが「最大パケットサイズ」は0~64byteの間で任意設定可能。
2. エンドポイント0とエンドポイントFIFO番号0は必ず1対1に対応させる。
3. エンドポイントFIFO番号0の最大パケットサイズは8のみ設定可能。
4. エンドポイントFIFO番号0は最大パケットサイズのみ設定可能で残りのデータはすべて0。
5. エンドポイントFIFO番号1および2の最大パケットサイズは64のみ設定可能。
6. エンドポイントFIFO番号3の最大パケットサイズは8のみ設定可能。
7. エンドポイントFIFO番号4および5の最大パケットサイズは0~64の範囲で設定可能。
8. アイソクロナス転送設定時、同一のエンドポイントに対して0~1の範囲でAlternateを使用できるが、必ず同じエンドポイントFIFO番号に割り当てる。
9. エンドポイント情報の設定は最大10個まで可能。
10. エンドポイント情報は必ず10個分ライトしなければならない。
11. 使用しないエンドポイントの情報はすべて0をライトする。

表 25.2 に設定可能な転送方式・転送方向・最大パケットサイズの制約一覧を示します。

表 25.2 設定可能値の制約一覧

エンドポイント FIFO 番号	最大パケットサイズ	転送方式	転送方向
0	8byte	コントロール	
1	64byte	バルク	OUT
2	64byte	バルク	IN
3	8byte	インタラプト	IN
4	0~64byte	アイソクロナス	OUT
5	0~64byte	アイソクロナス	IN

以下に具体的な設定例を示します。

- 設定例

Isochronous 転送を行うエンドポイント 4/5 に 2 つの異なる Alternate 設定が存在する例です。

表 25.3 エンドポイント構成例

EP 番号	Conf.	Int.	Alt.	転送方式	転送方向	最大パケットサイズ	EP FIFO 番号
0	-	-	-	Control	IN/OUT	8byte	0
1	1	0	0	Bulk	OUT	64byte	1
2	1	0	0	Bulk	IN	64byte	2
3	1	0	0	Interrupt	IN	8byte	3
-	1	1	0	-	-	-	-
-	1	1	1	-	-	-	-
4	1	2	0	Isochronous	OUT	0byte	4
4	1	2	1	Isochronous	OUT	64byte	4
5	1	3	0	Isochronous	IN	0byte	5
5	1	3	1	Isochronous	IN	64byte	5

表 25.4 エンドポイント構成情報設定例

N	EPIR[N]0	EPIR[N]1	EPIR[N]2	EPIR[N]3	EPIR[N]4
0	00	00	10	00	00
1	14	20	80	00	01
2	24	28	80	00	02
3	34	38	10	00	03
4	00	00	00	00	00
5	00	00	00	00	00
6	46	10	00	00	04
7	46	50	80	00	04
8	57	18	00	00	05
9	57	58	80	00	05



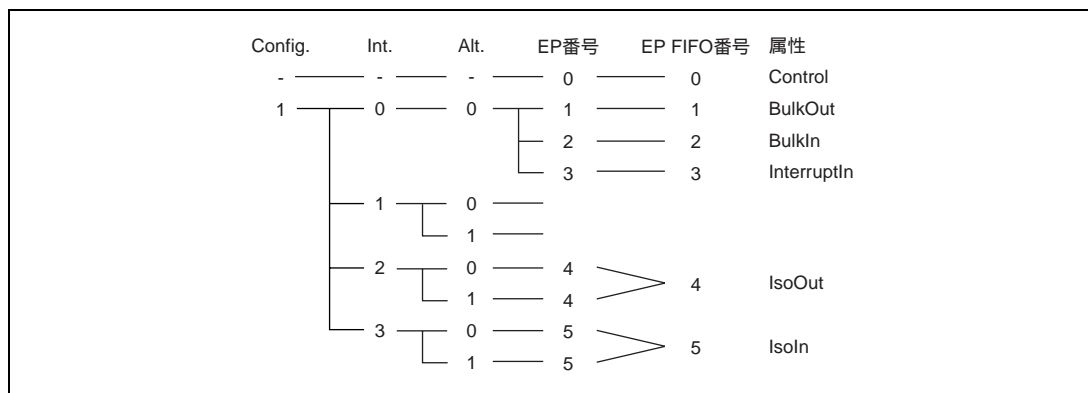


図 25.2 エンドポイント構成例

### 25.3.39 タイマレジスタ (TMRH/TMRL)

周辺クロック P で動作する 16 ビットのタイマです。本タイマで SOF 間隔を測定することにより、SOF 破損を検出することができます。

タイマ動作の開始、停止、クリア方法の設定はコントロールレジスタ 1 (CTRL1) にて行います。

ビット	ビット名	初期値	R/W	説明
15~0	D15~D0	0	R/W	カウント値

【注】 タイマレジスタは上位バイトの TMRH、下位バイトの TMRL が一組になり USBF 内部で 16 ビットレジスタとして扱われています。そのため TMRH は直接リードできますが、TMRL は 8 ビットのテンポラリレジスタを介してリードされます。したがって必ず TMRH、TMRL の順番にバイトサイズでリードしてください。TMRL のみのリードはできません。

### 25.3.40 セットタイムアウトレジスタ (STOH/STOL)

タイマレジスタのタイムアウト値を設定するレジスタです。設定したタイムアウト値をタイマレジスタのカウント値が一致すると割り込みフラグレジスタ 4 のタイムアウト割り込みフラグがセットされます。

ビット	ビット名	初期値	R/W	説明
15~0	D15~D0	0	R/W	タイムアウト設定値

【注】 タイマレジスタは上位バイトの STOH、下位バイトの STOL が一組になり USBF 内部で 16 ビットレジスタとして扱われています。そのため STOH は直接リードできますが、STOL は 8 ビットのテンポラリレジスタを介してリードされます。したがって必ず STOH、STOL の順番にバイトサイズでリードしてください。STOL のみのリードはできません。

## 25.4 動作説明

## 25.4.1 ケーブル接続時

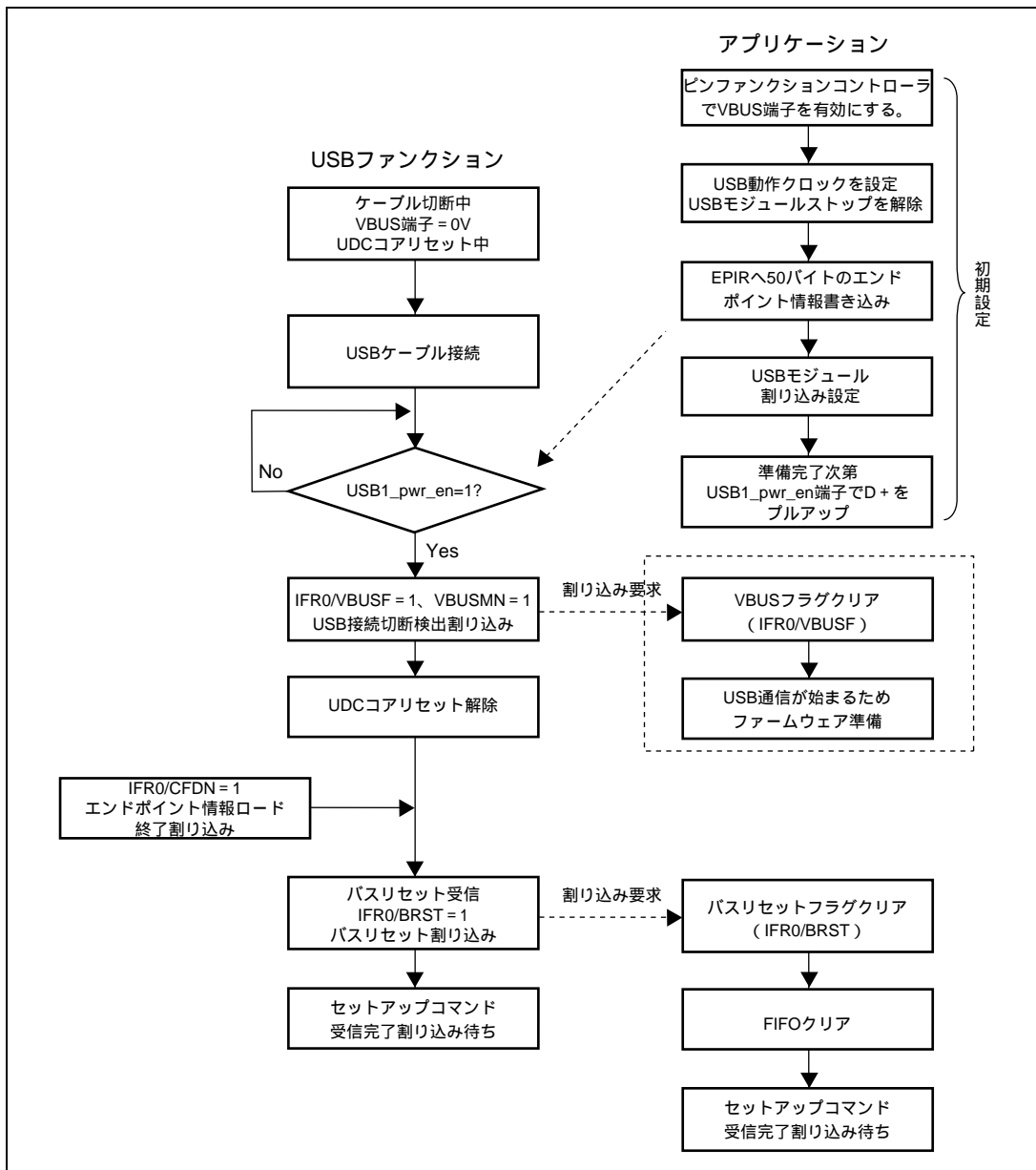


図 25.3 ケーブル接続時の動作

USB ケーブル接続を検出する必要がないアプリケーションでは、USB 接続切断検出割り込みによる処理は不要です。バスリセット割り込みにて準備してください。

また、D+プルアップ制御にかかわらず接続の検出が必要なアプリケーションでは、IRQ または汎用入力ポートを用いて検出してください。

### 25.4.2 ケーブル切断時

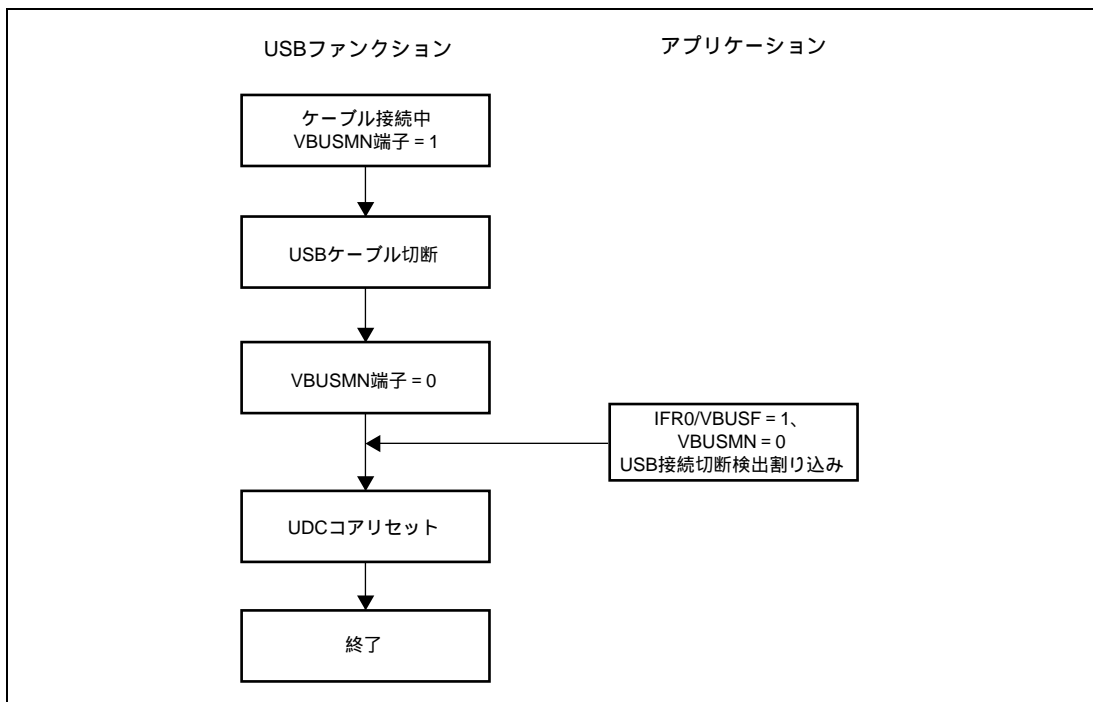


図 25.4 ケーブル切断時の動作

D+プルアップ制御にかかわらず接続 / 切断の検出が必要なアプリケーションでは IRQ または汎用入力ポートを用いて検出してください。

### 25.4.3 コントロール転送

コントロール転送は、セットアップ、データ（ない場合もある）、ステータスの3つのステージで構成されます（図 25.5）。また、データステージは、複数のバストランザクションで構成されます。以下に、各ステージごとの動作フローを示します。

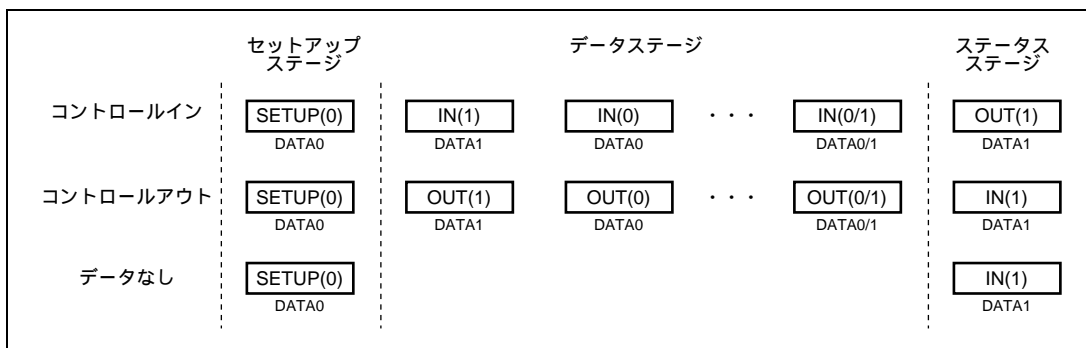


図 25.5 コントロール転送における各転送ステージ

## (1) セットアップステージ

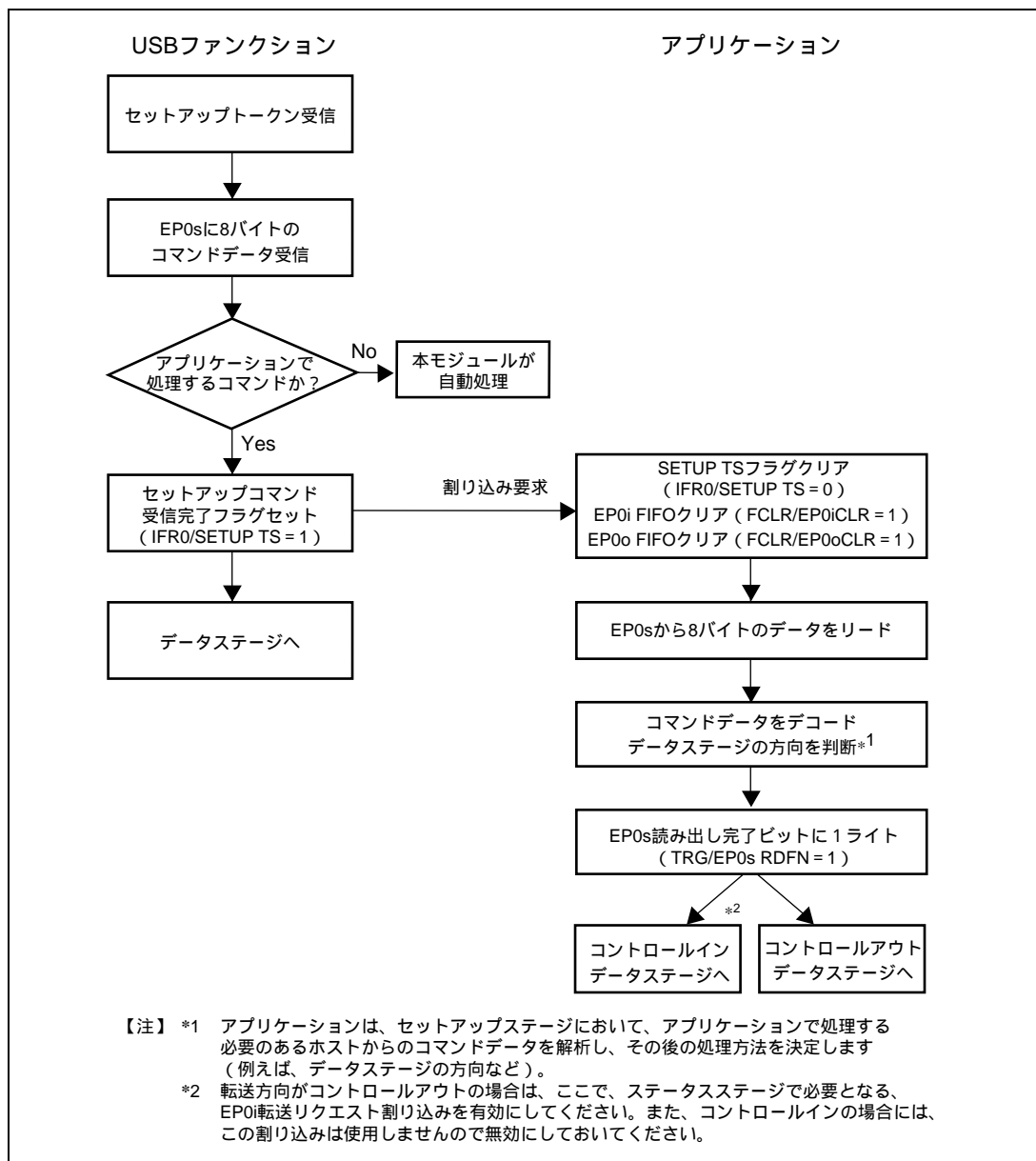


図 25.6 セットアップステージの動作

## (2) データステージ (コントロールイン時)

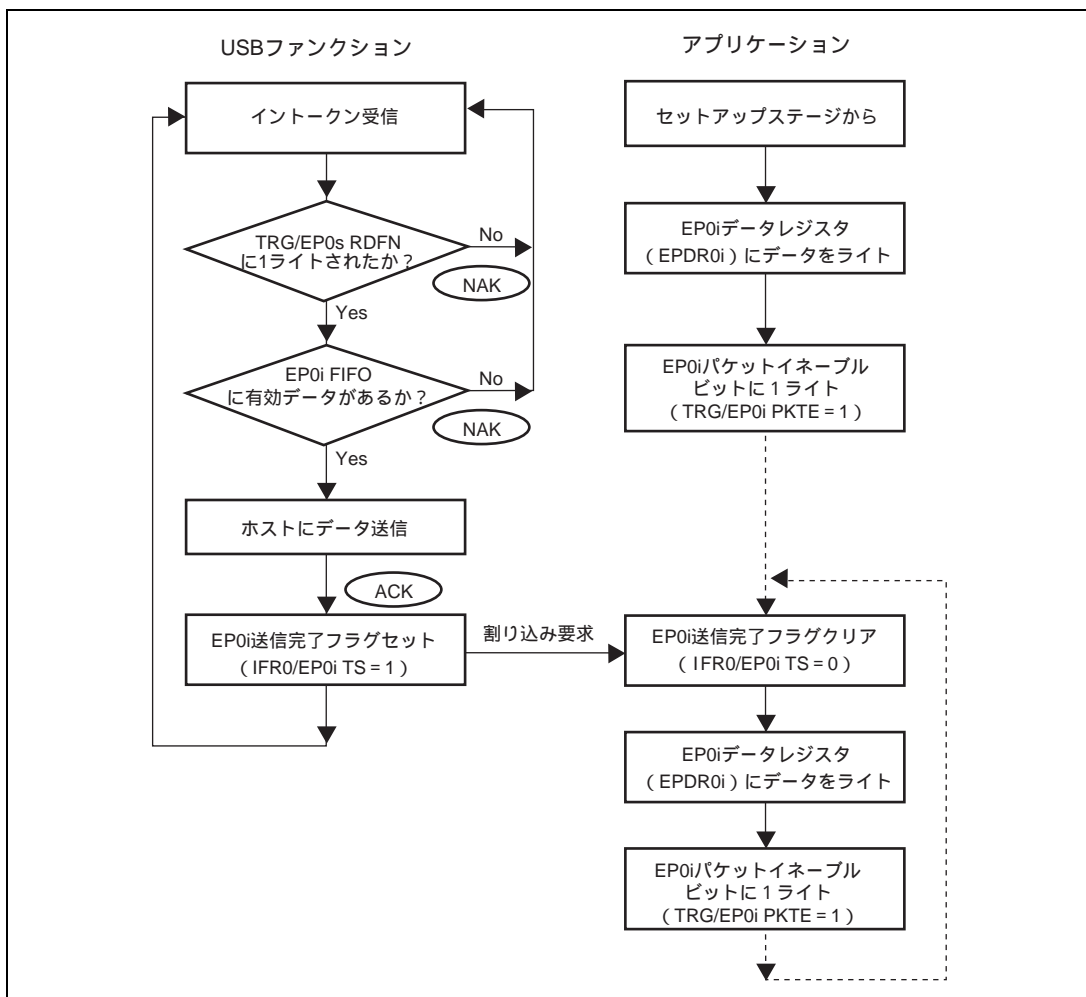


図 25.7 データステージ (コントロールイン時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがイン転送の場合、ホストに送りたいデータの1パケット分をFIFOに書き込みます。さらに送りたいデータがある場合、最初書きこんだデータがホストに送られた後 (IFR0/EP0i TS = 1)、FIFOにデータを書き込みます。

データステージの終わりは、ホストがアウトトークンを送信し、ステータスステージに入ったことで判断します。

【注】 ファンクションが送信するデータのサイズが、ホストから要求されたデータサイズより小さい場合、ファンクションは、最大パケットサイズより短いパケットをホストに返すことで、データステージの終了を示します。また、ファンクションが送信するデータのサイズが、最大パケットサイズの整数倍の場合には、0レングスパケットを送信して、データステージの最後を示します。

## (3) データステージ (コントロールアウト時)

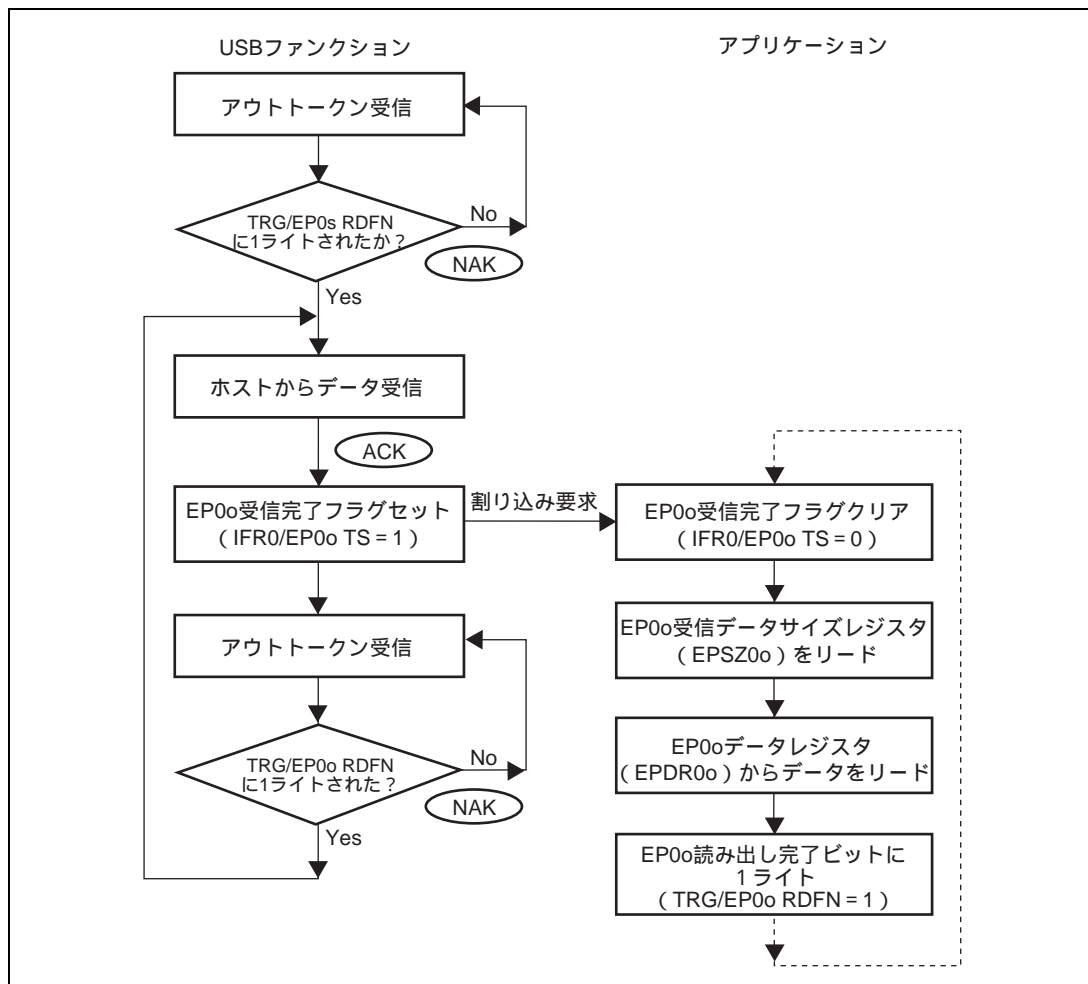


図 25.8 データステージ (コントロールアウト時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがアウト転送の場合、ホストからのデータを待ち、データ受信後 (IFR0/EP0o TS = 1)、FIFO からデータを読み出します。次にアプリケーションは、EP0o 読み出し完了ビットに 1 を書き込み、受信 FIFO を空にして、次のデータ受信を待ちます。

データステージの終わりは、ホストがイントークンを送信し、ステータスステージに入ったことで判断します。

## (4) ステータスステージ (コントロールイン時)

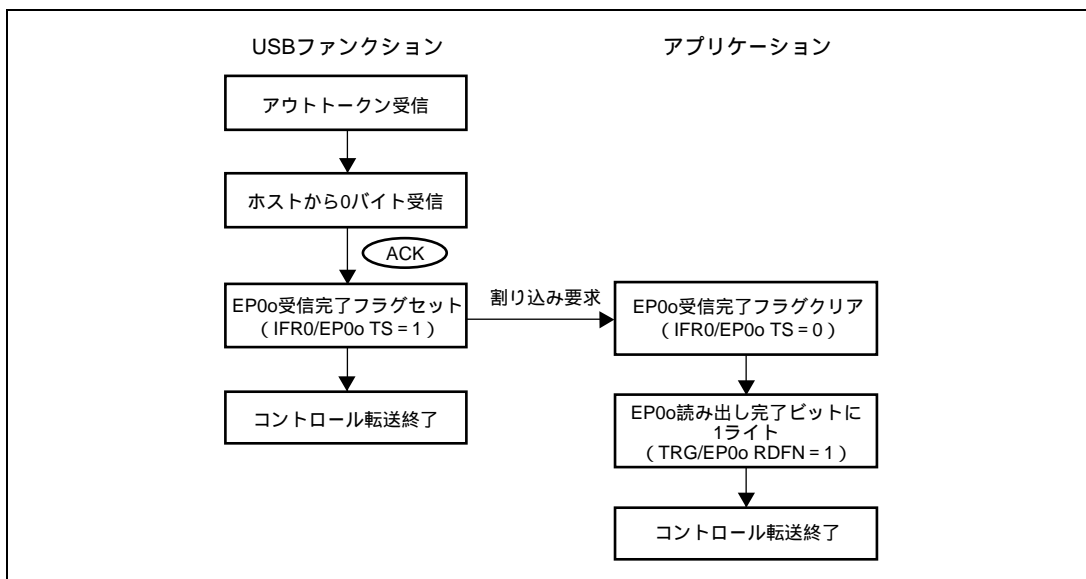


図 25.9 ステータスステージ (コントロールイン時) の動作

コントロールイン時のステータスステージは、ホストからのアウトトークンで始まります。アプリケーションは、ホストからの0バイトデータを受信して、コントロール転送を終了します。



## (5) ステータスステージ (コントロールアウト時)

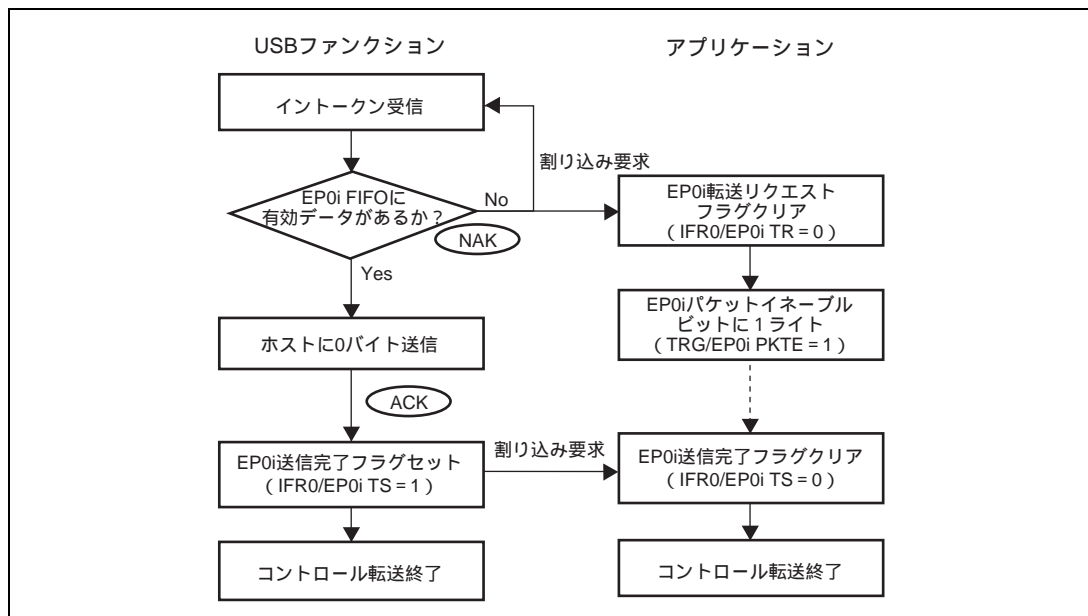


図 25.10 ステータスステージ (コントロールアウト時) の動作

コントロールアウト時のステータスステージは、ホストからのイントークンで始まります。ステータスステージの始まりのイントークン受信時には、まだ EP0i FIFO にはデータが入っていないので、EP0i 転送リクエスト割り込みが入ります。アプリケーションは、この割り込みによりステータスステージが開始されたことを認識します。次に、ホストに 0 バイトデータを送信するために、EP0i FIFO にデータを書き込まず、EP0i パケットイネーブルビットに 1 ライトします。これにより、次のイントークンでホストに 0 バイトデータが送信され、コントロール転送が終了します。

ただし、アプリケーションが、データステージに関わる処理をすべて終了した後、EP0i パケットイネーブルビットに 1 ライトしてください。

## 25.4.4 EP1 バルクアウト転送 (2面 FIFO)

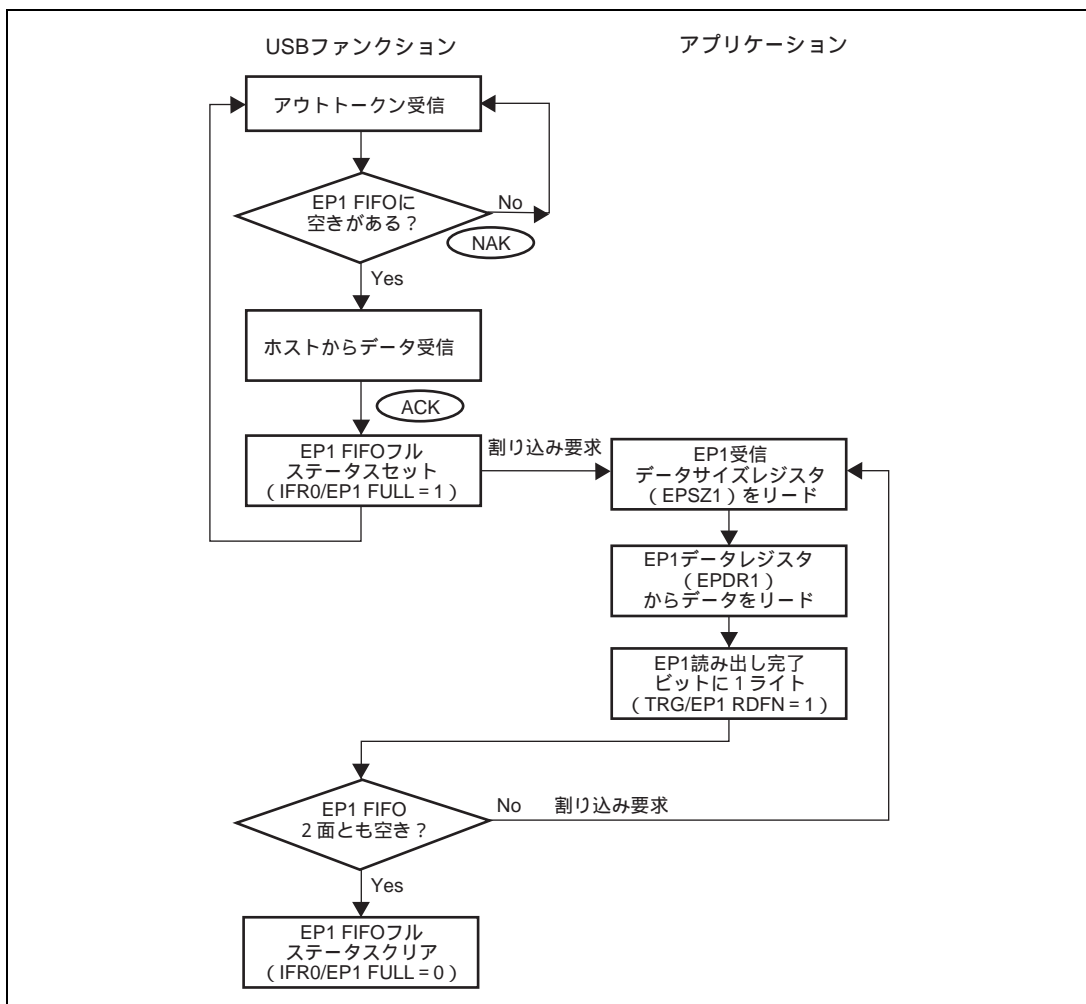


図 25.11 EP1 バルクアウト転送の動作

EP1 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

FIFO が 1 面でも受信完了すると、IFR0/EP1 FULL がセットされます。FIFO が 2 面ともエンプティの状態で最初の受信後は、他方の FIFO が空いているので、すぐ次のパケットを受信することができます。2 面ともフルになった場合、ホストには自動的に NACK が返信されます。データ受信後、受信データのリードが終了したら、TRG/EP1 RDFN に 1 をライトします。この操作によって、今リードし終えた FIFO がエンプティになり、次のパケットを受信可能な状態になります。

## 25.4.5 EP2 バルクイン転送 (2面 FIFO)

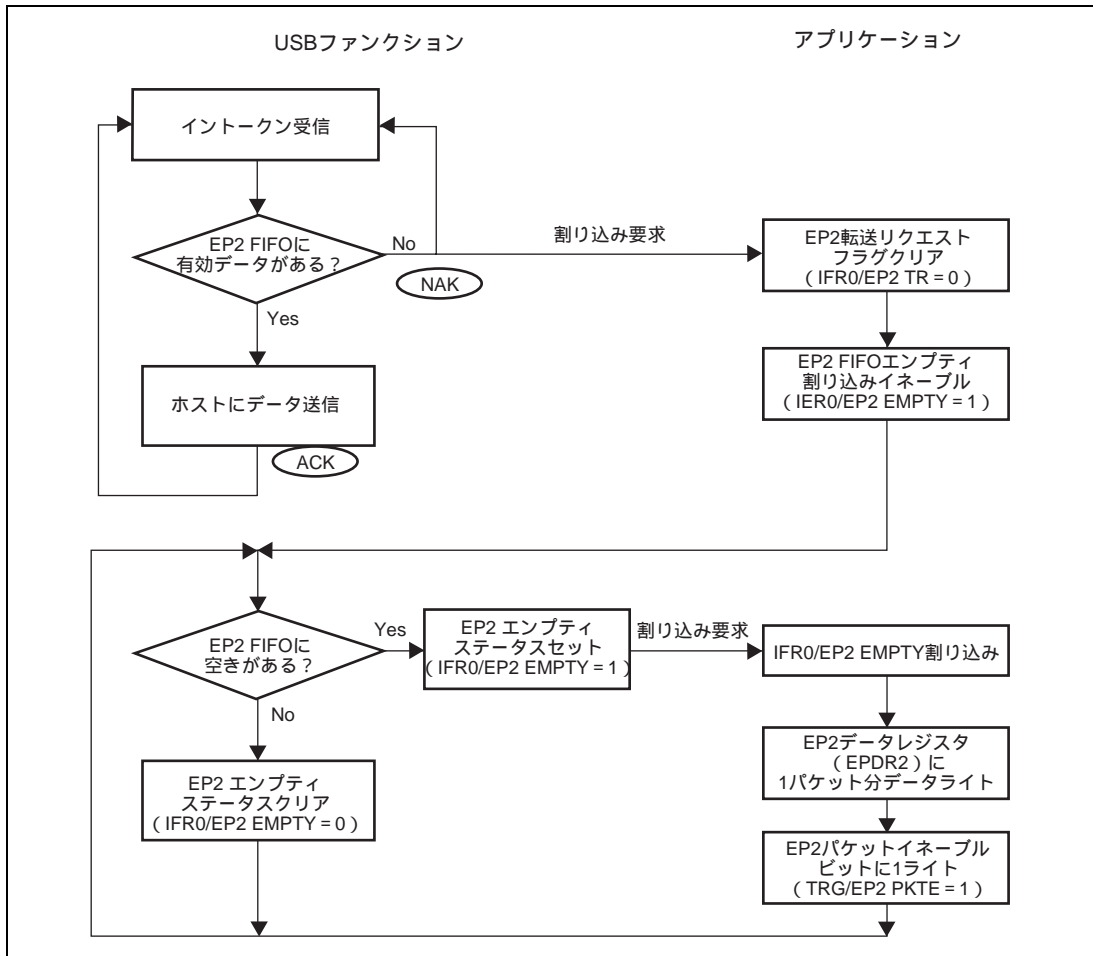


図 25.12 EP2 バルクイン転送の動作

EP2 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データのライトができます。ただし、1 回のデータライトは 1 面ごとに行ってください。例えば、2 面とも FIFO がエンプティの場合でも、連続して 128 バイトデータをライト後、まとめて EP2/PKTE を行うことはできません。必ず 64 バイトのライトごとに EP2/PKTE を行ってください。

バルクイン転送を行いたい場合、まず最初のイントークンで FIFO 内に有効データが存在しないので、IFR0/EP2 TR 割り込みが要求されます。その割り込みで、IER0/EP2 EMPTY に 1 ライトし、EP2 FIFO エンプティ割り込みを許可します。最初は、EP2 の 2 面の FIFO はともにエンプティになっているので、EP2 FIFO エンプティ割り込みがすぐに発生します。

この割り込みを使って、送信するデータをデータレジスタにライトします。最初 1 面分の送信データライト後は、他方の FIFO が空いているので、すぐ他方の面に送信データをライトすることができます。2 面ともフルになった場合、EP2 EMPTY が 0 になります。1 面でもエンプティであれば IFR0/EP2 EMPTY が 1 セットされます。データ送信完了後、ホストから ACK が返ってきたら、データ送信を行った FIFO がエンプティになります。このとき、他方の FIFO に有効な送信データが用意されている場合は、連続して送信動作が行えます。

すべての送信が完了後、IER0/EP2 EMPTY に 0 ライトを行い、割り込み要求を禁止にしてください。

## 25.4.6 EP3 インタラプトイン転送

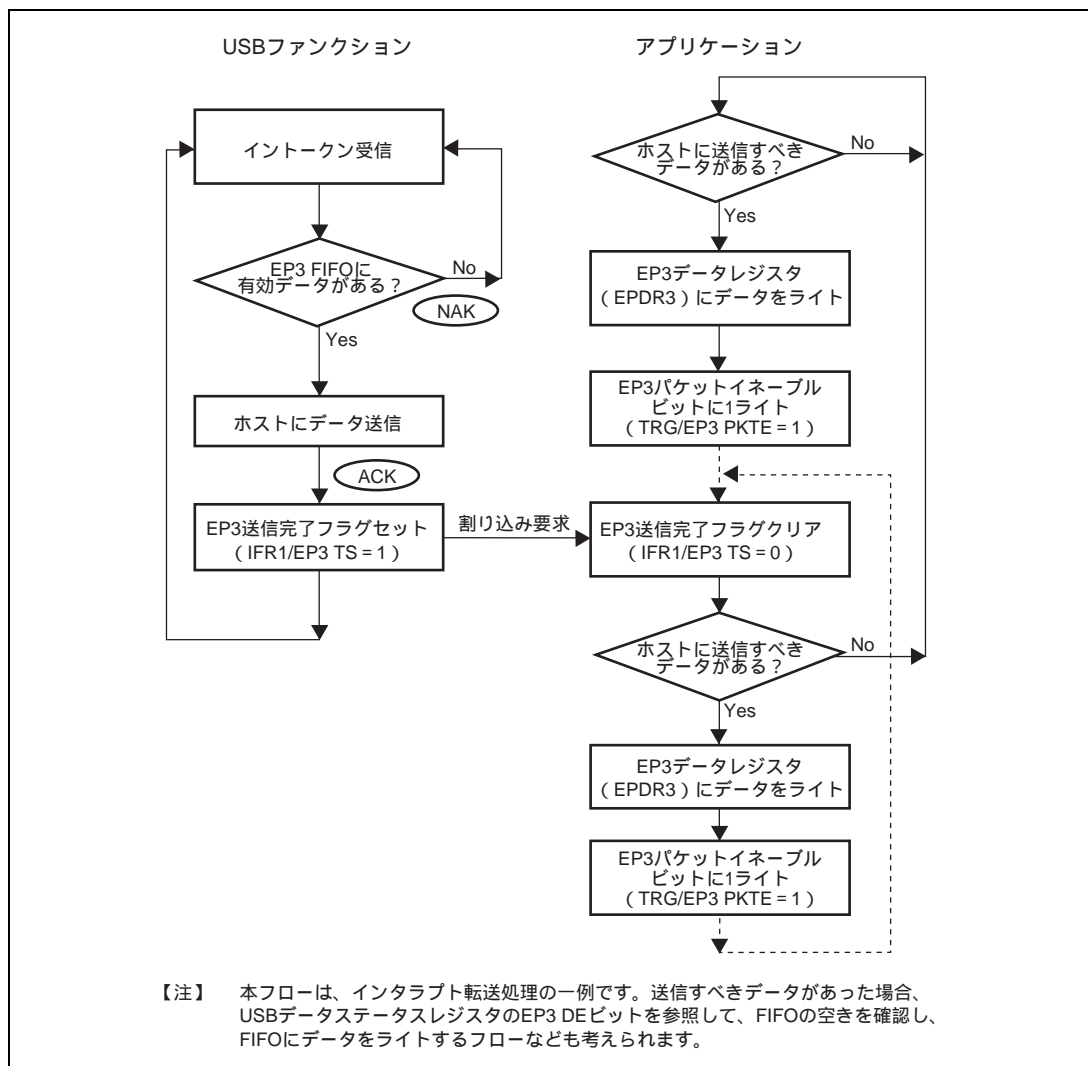


図 25.13 EP3 インタラプトイン転送の動作

### 25.5 EP4 アイソクロナスアウト転送

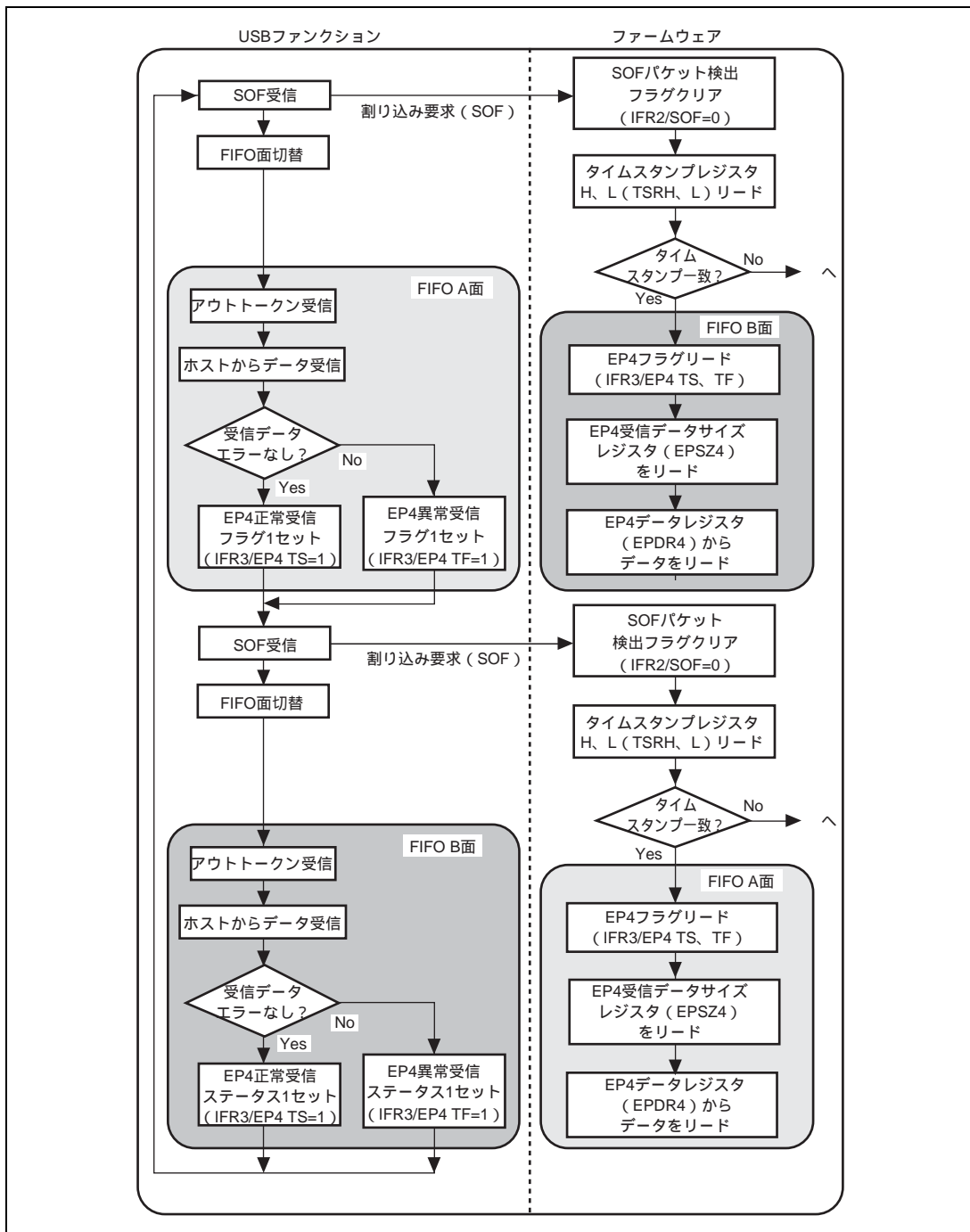


図 25.14 EP4 アイソクロナスアウト転送の動作 (SOF 正常時)

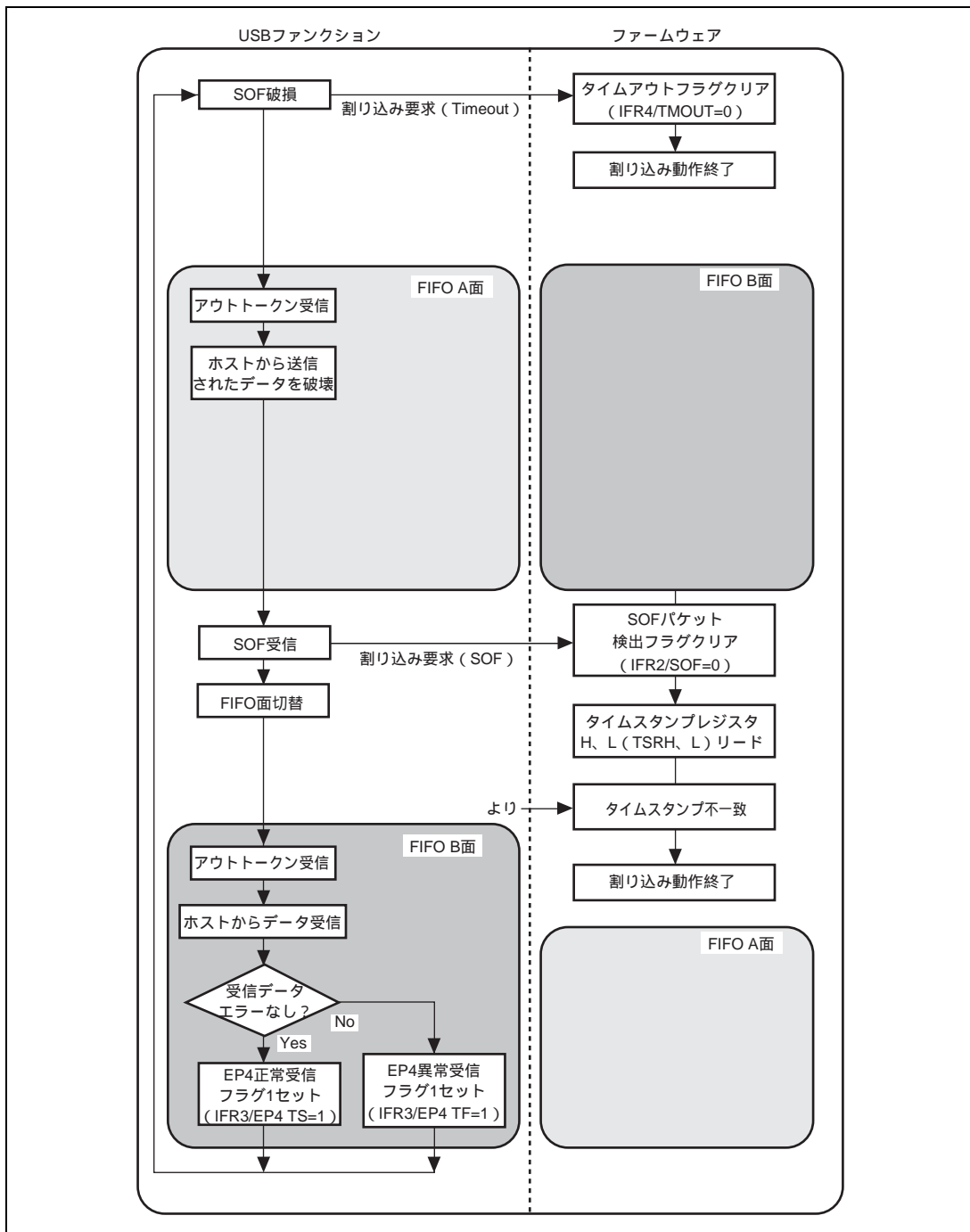


図 25.15 EP4 アイソクロナスアウト転送の動作 (SOF 破損時)

アイソクロナスアウト転送時の USB ファンクションとファームウェアの通常動作を図 25.14 に示します。

EP4 は、最大 64 バイトの FIFO を 2 面もっています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

アイソクロナス転送は 1 フレーム (1ms) に 1 回だけ、転送が発生するため、SOF を受信すると、ハードウェアが自動で、FIFO の面を切り替えます。

SOF 受信で、FIFO の面を切り替えるため、USB ファンクションがホストからのデータを受信する FIFO と、ファームウェアが受信データをリードする FIFO は、同フレーム内では面が異なり、FIFO のリードとライトが競合することはありません。したがって、ファームウェアがリードするデータは、1 つ前のフレームで受信したデータとなります。また、SOF 受信により FIFO の面が自動的に切り替わるので、必ずデータのリードはフレーム内に完了してください。

USB ファンクションは、アウトトークン受信後ホストからデータを受信しますが、このときデータにエラーがあった場合、TF フラグを 1 にセットします。データにエラーがなければ TS フラグを 1 にセットします。

ファームウェアでは、まず SOF 割り込みによりアイソクロナス転送の処理ルーチン呼び出し、タイムスタンプのチェックを行います。その後、データを FIFO からリードします。また、そのデータにエラーがあるかどうかは、フラグ情報 (TS、TF) をリードして判断します。このときのフラグ情報は、現在リードしているか FIFO の面のステータスを表しています。

SOF は、ホストから送られてくる間に何らかの外因の影響を受け破損することがあります。この場合の動作フローは図 25.14 と異なります。例として SOF が 1 回破損した場合の、破損フレームとその次のフレームの動作を図 25.15 に示します。SOF が破損した場合、そのフレームでは FIFO の面が切り替わらず、ユーザが設定した期間が過ぎるとタイムアウト割り込みが発生します。USB ファンクションは、FIFO の面が切り替わらないため、そのフレームにホストから送信されされたデータを破棄します。

ファームウェアでは、タイムアウト割り込みにより、SOF が破損したことを検知します。この場合、CPU 側に接続された FIFO の面はデータリード済みの面のため、データのリードを行いません。次のフレームで SOF 割り込みが発生すると、アイソクロナス転送の処理ルーチン呼び出し、タイムスタンプのチェックを行います。しかし、前のフレームで起こった SOF 破損のため、タイムスタンプは不一致となります。この場合、FIFO にあるデータは時間的にずれたデータであるため、データのリードを行いません。



## 25.6 EP5 アイソクロナスイン転送

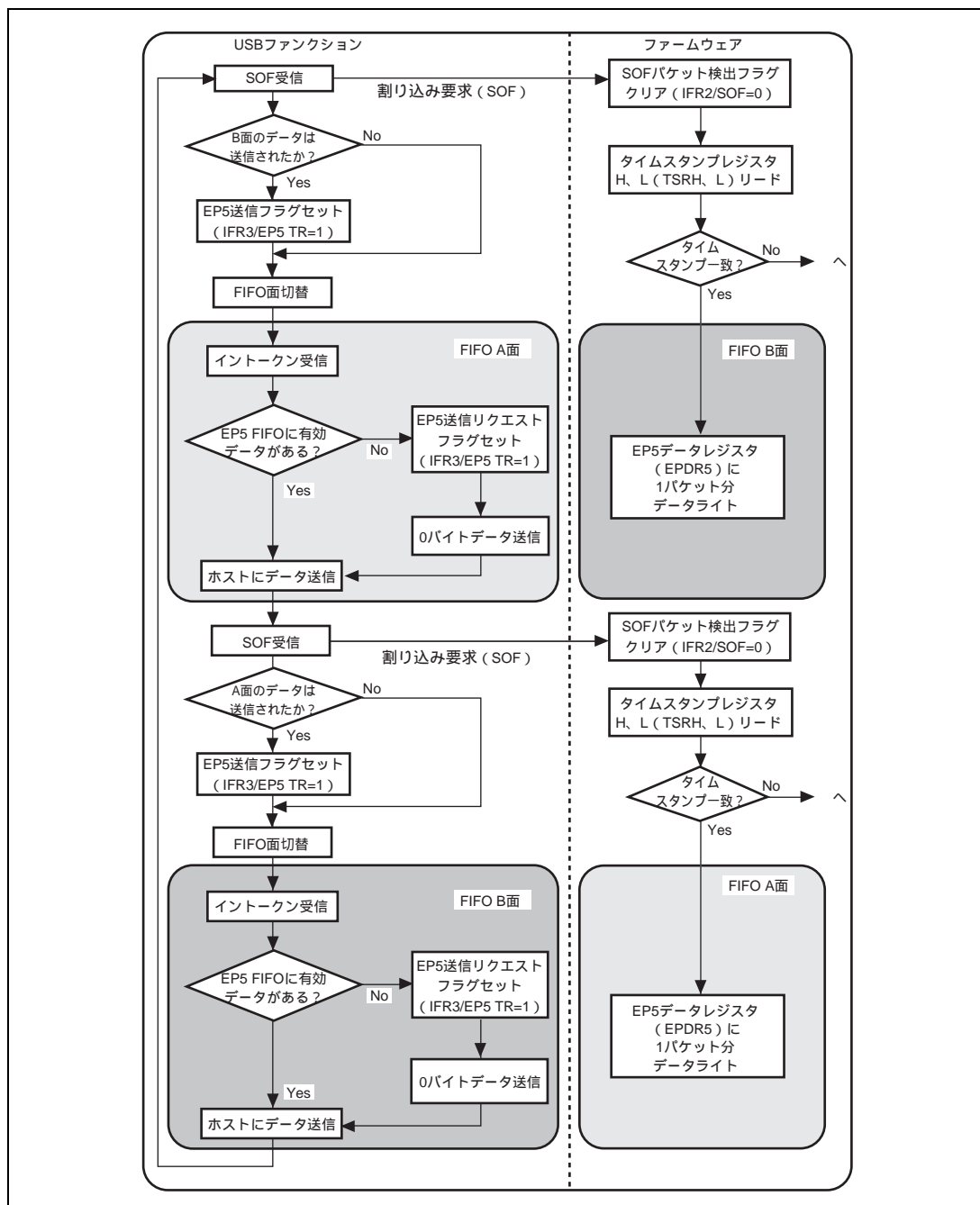


図 25.16 EP5 アイソクロナスイン転送の動作 (SOF 正常時)

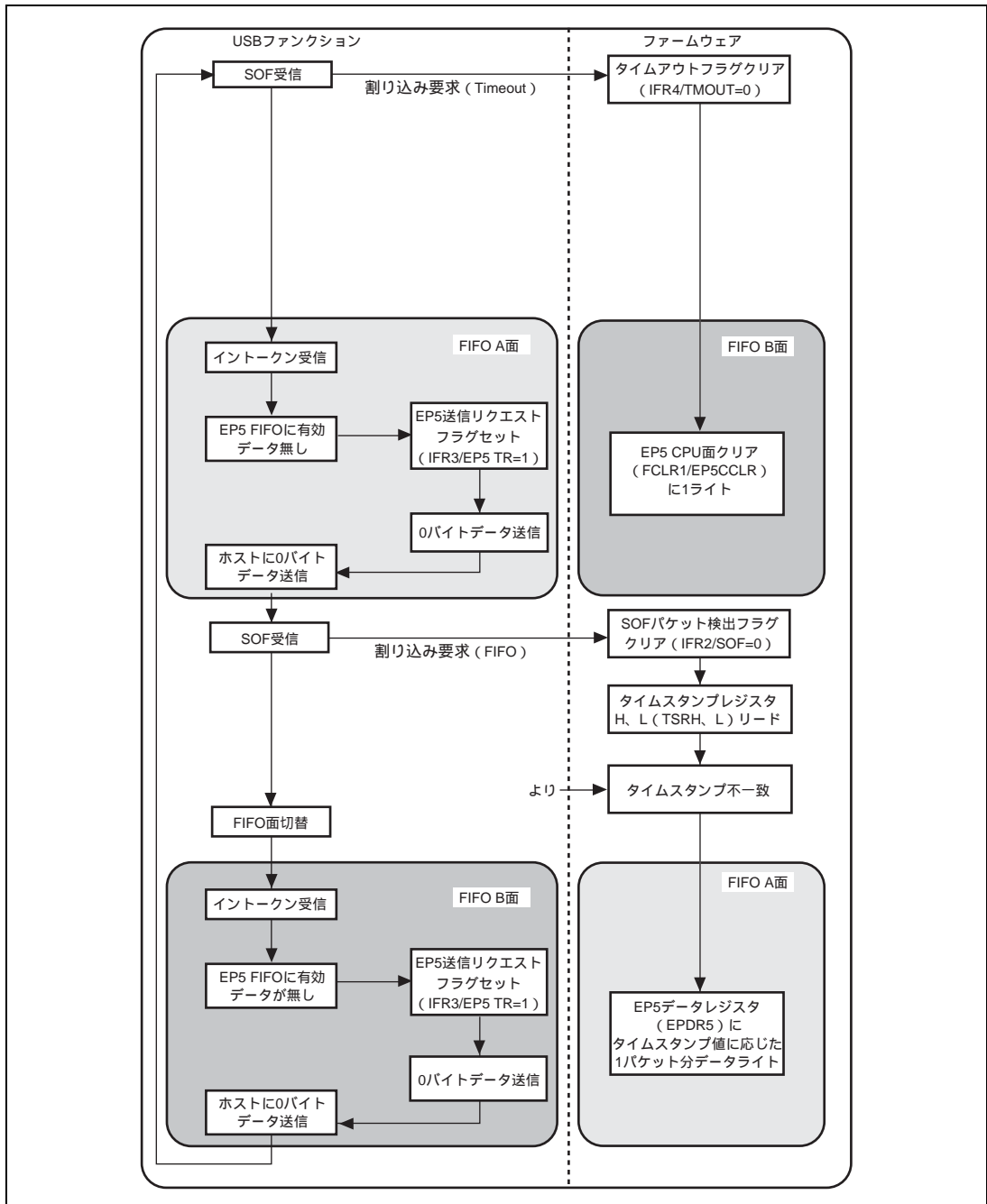


図 25.17 EP5 アイソクロナスイン転送の動作 (SOF 破損時)

アイソクロナス転送時の USB ファンクションとファームウェアの通常動作を図 25.16 に示します。

EP5 は、最大 64 バイトの FIFO を 2 面もっています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データのライトができます。

アイソクロナス転送は、1 フレーム (1ms) に 1 回だけ、転送が発生するため、SOF を受信すると、ハードウェアが自動で、FIFO の面を切り替えます。

SOF 受信で、FIFO の面を切り替えるため、USB ファンクションがホストにデータを送信する FIFO とファームウェアが送信データをライトする FIFO は、同フレーム内では面が異なり、FIFO のリードとライトが競合することはありません。したがって、ファームウェアがライトするデータは、1 つ後のフレームで送信するデータとなります。また、SOF 受信により FIFO の面が自動的に切り替わるので、必ずデータのライトは、フレーム内に完了してください。

USB ファンクションは、イントークン受信後、FIFO 内にホストへ送信データがある場合、データをホストに送信します。FIFO にデータがなければ TR フラグを 1 にセットし、ホストに 0 バイトデータを送信します。

ファームウェアでは、まず SOF 割り込みによりアイソクロナス転送の処理ルーチン呼び出し、タイムスタンプのチェックを行います。その後、1 パケット分のデータを FIFO にライトします。このライトしたデータは、次のフレームでホストに送信されます。

SOF は、ホストから送られてくる間に何らかの外因の影響を受け破損することがあります。この場合の動作フローは図 25.16 と異なります。例として SOF が、1 回破損した場合の、破損フレームとその次のフレームの動作を図 25.17 に示します。SOF が破損した場合、そのフレームでは FIFO の面が切り替わらず、ユーザが設定した期間が過ぎるとタイムアウト割り込みが発生します。

ファームウェアでは、タイムアウト割り込みにより、SOF が破損したことを検知します。このとき、CPU 側に接続された FIFO にはこのフレームで送信するはずだったデータが残っています。このデータが次のフレームで送信されると、時間的にずれたデータを送信することになってしまうため、ファームウェアは EP5 CPU 面クリア (FCLR1/EP5 CCLR) に 1 をライトしデータクリアを行います。次のフレームで SOF 割り込みが発生すると、アイソクロナス転送の処理ルーチン呼び出し、タイムスタンプのチェックを行います。しかし、前のフレームで起こった SOF 破損のため、タイムスタンプは不一致となります。この場合、ファームウェアは送信されたタイムスタンプに応じたデータを 1 パケット分ライトします。

USB ファンクションは、SOF が破損したフレームでは FIFO の面が切り替わらないため、ホストに送信すべきデータが無く、0 バイトデータを送信します。次のフレームでも、送信すべきデータがファームウェアによりクリアされるため、ホスト 0 バイトデータを送信します。

## 25.7 USB 標準コマンドとクラス / ベンダーコマンドの処理

### 25.7.1 コントロール転送で送信されるコマンドの処理

コントロール転送でホストから送信されてくるコマンドによっては、アプリケーション側でデコードを行い、コマンドの処理を行う必要があります。以下の表 25.5 にアプリケーション側でのコマンドデコードについて示します。

表 25.5 アプリケーション側でのコマンドデコード

アプリケーション側でデコードの必要無し	アプリケーション側でデコードの必要あり
Clear Feature	Get Descriptor
Get Configuration	Class/Vendor コマンド
Get Interface	Synch Frame
Get Status	Set Descriptor
Set Address	
Set Configuration	
Set Feature	
Set Interface	

アプリケーション側でデコードする必要のない場合、コマンドデコード、データステージ、ステータスステージ処理は自動的に行われます。したがって、ユーザは何もする必要はありません。また、割り込みも発生しません。

アプリケーション側でデコードする必要がある場合には、本モジュールはコマンドを EP0s の FIFO に保存します。正常受信完了後、IFR0/SETUP TS フラグがセットされ、割り込み要求を発生します。この割り込みルーチンの中で EP0s のデータレジスタ (EPDR0S) より 8 バイトのデータをリードし、ファームウェアでデコードしてください。その後、デコードの結果により、必要となるデータステージ、ステータスステージの処理を行ってください。

## 25.8 ストール動作

### 25.8.1 概要

本モジュールでのストール動作について説明します。本モジュールのストール機能には、次の2つの場合があります。

アプリケーションが何らかの理由で強制的にエンドポイントをストールさせる場合

USBの規格違反によって本モジュール内部で自動的にストールする場合

本モジュール内には、各エンドポイントの状態(ストールか否か)を保持した内部状態ビットを持っています。ホストからトランザクションが送られてきたとき、本モジュールはこの内部状態ビットを参照してホストにストールを返すかどうか判断します。このビットは、アプリケーションでは解除できません。解除する場合はホストから Clear Feature コマンドを使ってクリアしてください。ただし、EP0 に対する内部状態ビットはセットアップコマンド受信時のみ自動的にクリアされます。

### 25.8.2 アプリケーションが強制的にストールさせたい場合

アプリケーションが本モジュールに対してストール要求するレジスタ EPSTL を使用します。アプリケーションが特定のエンドポイントをストールさせたい場合、EPSTL の該当ビットをセットします(図 25.18 の 1-1)。このとき、内部状態ビットは変化しません。次に、ホストから EPSTL の該当ビットがセットされているエンドポイントに対してトランザクションが送られてきたとき、本モジュールは内部状態ビットを参照し、セットされていない場合は EPSTL の該当ビットを参照します(図 25.18 の 1-2)。ここで、EPSTL の該当ビットがセットされている場合は、本モジュールは内部状態ビットをセットし、ホストに対してストールハンドシェイクを返します(図 25.18 の 1-3)。このとき、CTLR/ASCE が 1 にセットされていれば EPSTL の該当ビットを自動で 0 クリアし、ホストに対してストールハンドシェイクを返します(図 25.18 の 1-4)。EPSTL の該当ビットがセットされていない場合は、内部状態ビットは変化せず、トランザクションが受け付けられます。

一度、内部状態ビットがセットされた後は、EPSTL に関係なく、ホストから Clear Feature コマンドでクリアされるまで内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされても(図 25.18 の 3-1) EPSTL のビットがセットされている間は、該当エンドポイントに対するトランザクションが行われるたびに内部状態ビットがセットされるため、本モジュールはストールハンドシェイクを返します(図 25.18 の 1-2)。したがって、ストールを解除するためには、CTLR/ASCE を 1 にセットしておき本モジュールがストールを返したときに EPSTL の該当ビットを自動でクリアさせるか、または、EPSTL の該当ビットをアプリケーションでクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアする必要があります(図 25.18 の 2-1、2-2、2-3)。

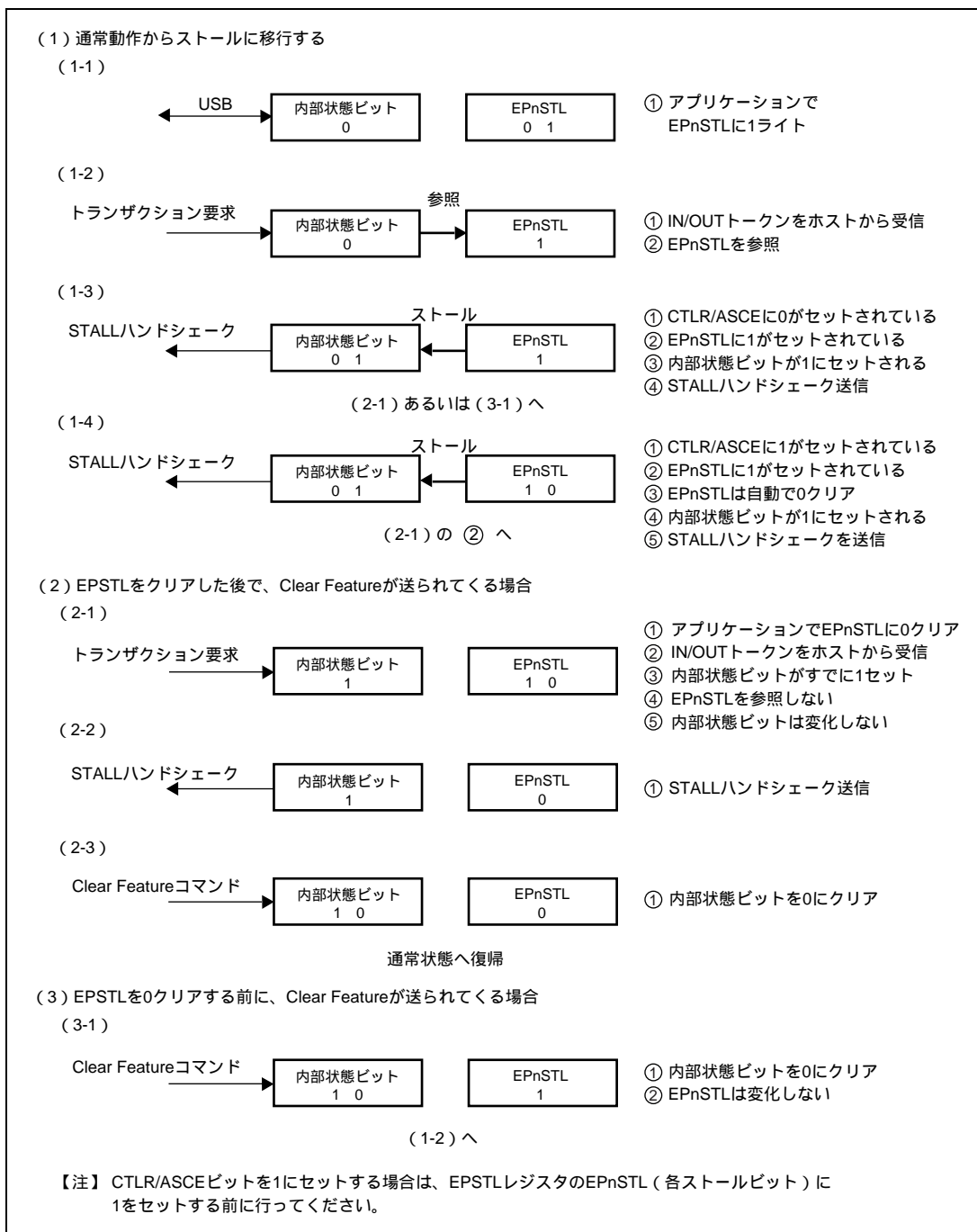


図 25.18 アプリケーションで強制的にストールさせたい場合

### 25.8.3 USB ファンクションモジュールが自動的にストールさせる場合

Set Feature コマンドでストール設定した場合、あるいは USB の規格違反が起きた場合は、EPSTL の該当ビットに関係なく本モジュールが自動的に該当エンドポイントの内部状態ビットをセットし、ストールハンドシェークを返します (図 25.19 の 1-1)。

一度、内部状態ビットがセットされた後は、EPSTL の該当ビットに関係なく、ホストから Clear Feature コマンドでクリアされるまで、内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされた後は、EPSTL の該当ビットを参照するようになります (図 25.19 の 3-1)。内部状態ビットがセットされている間は、該当エンドポイントに対するトランザクションが行われても、内部状態ビットがセットされているため、本モジュールはストールハンドシェークを返します (図 25.19 の 2-1、2-2)。したがって、ストールを解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります (図 25.19 の 3-1)。このとき、アプリケーションによって EPSTL をセットしている場合は、EPSTL の該当ビットもクリアしておいてください (図 25.19 の 2-1)。

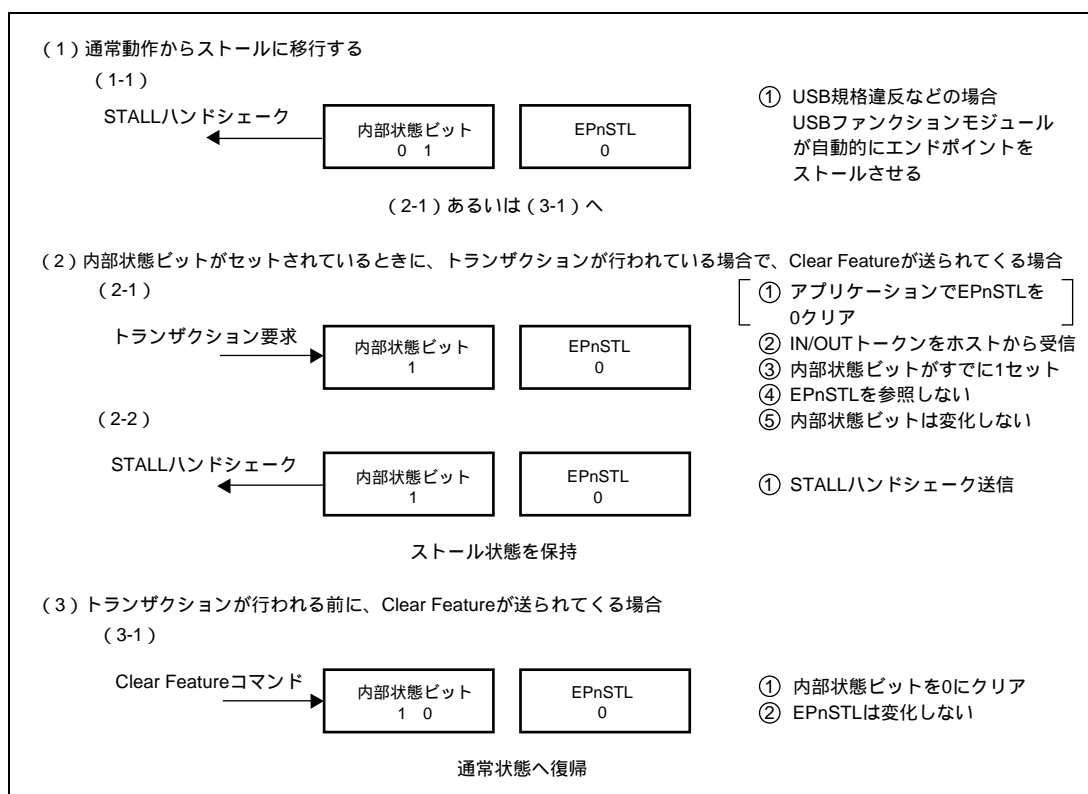


図 25.19 USB ファンクションモジュールが自動的にストールさせた場合

## 25.9 使用上の注意事項

### 25.9.1 セットアップデータ受信について

8 バイトのセットアップデータ受信を行う EP0s データレジスタ (EPDR0s) は以下の点に注意してください。

1. USBではセットアップコマンドを必ず受信することになっているため、CPU側からのリードよりも、USBバス側からのライトが優先になっています。受信完了後にCPUでデータリードを行っている最中に、次のセットアップコマンドの受信が開始された場合、ライト優先にするためCPU側からのリードを強制的に無効にします。したがって、受信開始後リードされる値は不定値になります。
2. EP0sデータレジスタ (EPDR0s) は必ず8バイト単位でリードしてください。途中でリードを中止すると次のセットアップで受信したデータが正常にリードできません。

### 25.9.2 FIFO のクリアについて

USB ケーブル接続後、通信途中でケーブルが抜かれた場合、受信中あるいは送信中のデータが FIFO 内に残っている場合があります。したがって、ケーブル再接続後は、速やかに FIFO のクリアを行ってください。

なお、ホストからデータ受信中あるいはホストに対してデータ送信中の FIFO クリアは行わないでください。

### 25.9.3 データレジスタのオーバーリード/ライトについて

本 USB ファンクションモジュールのデータレジスタをリード/ライトする際は、以下の点に注意してください。

#### (1) 受信用データレジスタ

受信用データレジスタは、有効な受信データ数以上リードしないでください。すなわち、受信データサイズレジスタに示されるバイト数以上リードしないでください。2面 FIFO を持つ受信用データレジスタの場合も 1 回にリードできる最大データ数は最大パケットサイズです。現在有効になっている面のデータをリード終了したら、必ず TRG に 1 ライトを行ってください。この操作を行うことで、他方の面に切り替わり、新しいバイト数が受信データサイズに反映され、次のデータがリード可能になります。

#### (2) 送信用データレジスタ

送信用データレジスタは、最大パケットサイズ以上ライトしないでください。2面 FIFO を持つ送信用データレジスタの場合も、1回のライトは必ず最大パケットサイズ以内にしてください。データライト後、TRG/PKTE に 1 ライトを行うと本モジュール内で面が切り替わり、他方の面に対する次のデータがライト可能になります。したがって、2面分連続でデータライトは行わないでください。

### 25.9.4 EP0 に関する割り込み要因の割り当てについて

本モジュールの IFR0 レジスタに割り当てられた EP0 に関する割り込み要因 (ビット 0、1、2) は、必ず ISR0 レジスタで同じ割り込み端子に割り当ててください。その他の割り込み要因には特に制約はありません。



### 25.9.5 DMA 転送設定時の FIFO クリアについて

エンドポイント1において、DMA 転送をイネーブルにしているときは、データレジスタのクリアはできません。クリアを行う場合は、DMA 転送を解除してから行ってください。

### 25.9.6 TR 割り込み使用時の注意事項

バルクイン転送には転送要求割り込み (TR 割り込み) がありますが、本割り込みを使用するときは次の点に注意してください。

TR 割り込みフラグは、USB ホストから IN トークンが送られてきたとき、該当 EP の FIFO にデータがないときにセットされます。しかし、図 25.20 に示すようなタイミングの場合、連続して TR 割り込みが発生します。このような場合でも誤動作しないように注意してください。

【注】 本モジュールは IN トークン受信時、該当 EP の FIFO にデータがない場合に NAK 判定を行います。TR 割り込みフラグは NAK ハンドシェイク送信後にセットされます。したがって TRG/PKTE のライトが次の IN トークンより遅れた場合、TR 割り込みフラグが再度セットされます。

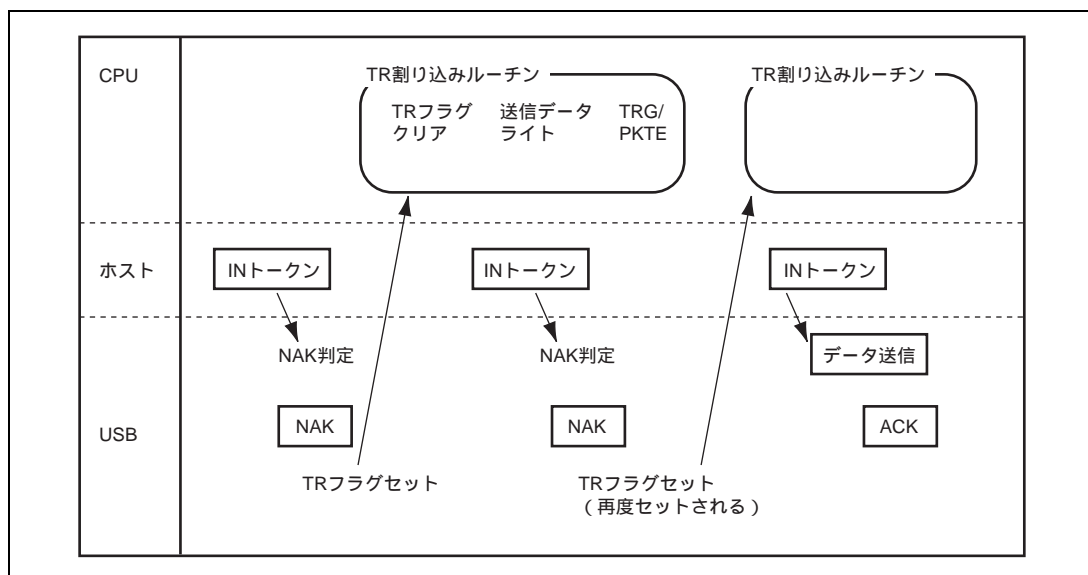


図 25.20 TR 割り込みフラグのセットタイミング

### 25.9.7 クロック周波数の注意事項

USBF 使用時は、必ず周辺クロック(P)を 13MHz より高い周波数に設定してください。



---

## 26. LCD コントローラ ( LCDC )

---

LCDC コントローラ ( LCDC ) は、表示用の画像をシステムメモリに格納するユニファイドメモリアーキテクチャをとっています。LCDC モジュールはシステムメモリからデータを読み出し、パレットメモリを使って色を決定した後、LCD パネルに送ります。マイコンバスインタフェース方式、NTSC/PAL 方式、LVDS インタフェースの液晶モジュール\*以外の液晶モジュールを接続することが可能です。

【注】 \* LVDS 変換 LSI を接続することで、LVDS インタフェースに接続可能です。

### 26.1 特長

LCDC は次のような特長があります。

- パネルインタフェース  
シリアルインタフェース方式  
STN/Dual STN/TFT パネル ( 8/12/16/18 ビットバス幅 ) のデータフォーマットをサポート\*<sup>1</sup>
- 4/8/15/16 bpp ( ビットパーピクセル ) カラーモードをサポート
- 1/2/4/6bpp グレyscale モードをサポート
- 16 × 1 ~ 1024 × 1024 までの液晶パネルサイズをサポート\*<sup>2</sup>
- 24 ビットカラーパレットメモリ ( 24 ビット中、16 ビットが有効 R:5 / G:6 / B:5 )
- RGB 各 8 ビットの、24 ビットの空間変調 FRC ( Frame Rate Controller ) により、ちらつき、シャドーイングが起こりやすい STN/DSTN パネルでのちらつきの少ない 165536 の色制御を実現
- CPU に接続されたシンクロナス DRAM ( エリア 3 ) の一部を LCDC の表示データ格納用 VRAM として使用することで、専用の表示用メモリが不要
- 2.4k バイトの大きなサイズのラインバッファにより、安定した表示を実現
- 液晶パネルの信号極性に合わせる、出力信号、出力信号のレベル反転機能をサポート
- 各種のデータフォーマット ( バイト内のエンディアン設定、パケットピクセル方式 ) をレジスタにより選択的にサポート可能
- ユーザ指定位置で割り込みを発生可能 ( VRAM の更新開始タイミングを制御することによりティアリング ( ちらつき ) を回避 )
- 横長液晶パネルで縦長の液晶パネルをサポートするハードウェアローテーションモードをサポート ( 回転前の横幅は 320 ピクセル以下に限定されます。表 26.4 を参照してください )

【注】 \*<sup>1</sup> 18 ビットバス幅の TFT パネル接続時は、未結線となる下位ビットの信号を GND、またはデータが出力される最下位ビットに接続してください。

\*<sup>2</sup> 詳細は「26.4.1 LCDC で表示可能な液晶モジュールのサイズについて」を参照してください。

図 26.1 に LCDC のブロック図を示します。

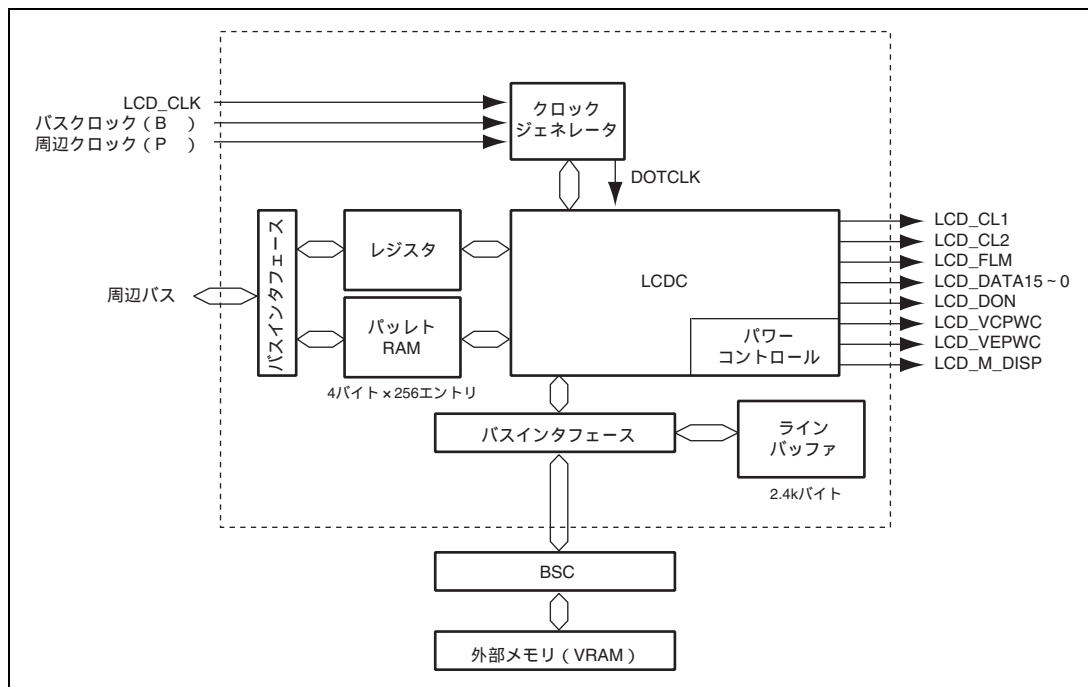


図 26.1 LCDC のブロック図

## 26.2 入出力端子

表 26.1 に LCDC の端子構成を示します。

表 26.1 端子構成

端子名	入出力	機能
LCD_DATA15~0	出力	LCD パネル用データ
LCD_DON	出力	表示開始信号 (DON)
LCD_CL1	出力	シフトクロック 1 (STN/DSTN) / 水平同期信号 (HSYNC) (TFT)
LCD_CL2	出力	シフトクロック 2 (STN/DSTN) / ドットクロック (DOTCLK) (TFT)
LCD_M_DISP	出力	液晶交流化信号 / DISP 信号
LCD_FLM	出力	ファーストラインマーカ / 垂直同期信号 (VSYNC) (TFT)
LCD_VCPWC	出力	液晶モジュール電源制御 (VCC)
LCD_VEPWC	出力	液晶モジュール電源制御 (VEE)
LCD_CLK	入力	LCD クロックソース入力

【注】 液晶モジュールとの結線仕様に関しては、「26.5 クロックと LCD データ信号例」と、液晶モジュール側の仕様を良く確認の上、決定してください。

## 26.3 レジスタの説明

LCDC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。

- LCDCインプットクロックレジスタ (LDICKR)
- LCDCモジュールタイプレジスタ (LDMTR)
- LCDCデータフォーマットレジスタ (LDDFR)
- LCDCスキャンモードレジスタ (LDSMR)
- LCDC上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)
- LCDC下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)
- LCDC表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)
- LCDCパレットコントロールレジスタ (LDPALCR)
- LCDパレットデータレジスタ00~FF (LDPR00~LDPRFF)
- LCDC水平キャラクタナンバーレジスタ (LDHCNR)
- LCDC水平同期信号レジスタ (LDHSYNR)
- LCDC垂直表示ラインナンバーレジスタ (LDVDLNR)
- LCDC垂直総ラインナンバーレジスタ (LDVTLNR)
- LCDC垂直同期信号レジスタ (LDVSYNR)
- LCDC ACモジュレーション信号トグルラインナンバーレジスタ (LDACLNR)
- LCDC割り込みコントロールレジスタ (LDINTR)
- LCDCパワーマネジメントモードレジスタ (LDPMMR)
- LCDC電源シーケンス期間レジスタ (LDPSPR)
- LCDCコントロールレジスタ (LDCNTR)
- LCDCユーザ指定割り込みコントロールレジスタ (LDUINTR)
- LCDCユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)
- LCDCメモリアクセスインターバルナンバーレジスタ (LDLIRNR)

### 26.3.1 LCDC インพุットクロックレジスタ (LDICKR)

LCDC は、LCDC の動作クロック供給源として、バスクロック (B)、周辺クロック (P)、または、外部クロック (LCD\_CLK) を選択できます。また、1/1 ~ 1/32 までの分周器を内蔵し、分周したクロックを LCDC の動作クロック (DOTCLK) として使用可能です。LCDC から出力されるクロックは本レジスタで選択された動作クロックから液晶パネル用の同期クロック出力 (LCD\_CL2) を生成します。TFT パネルの場合は LCD\_CL2 = DOTCLK となり、STN、DSTN パネル (モノクロ) の場合は LCD\_CL2 = (DOTCLK / 液晶パネルへの出力データバス幅) の周波数のクロックが出力されます。カラーの場合は、LCD\_CL2 = (3 × DOTCLK / 液晶パネルへの出力データバス幅) の周波数のクロックが出力されます。LCD\_CL2 にかかわらず、LCDC への入力クロックが 66MHz 以下となるように、LDICKR を設定してください。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	ICKSEL1	0	R/W	入力クロック選択 DOTCLK の供給源を設定します。 00 : バスクロックを選択 (B) 01 : 周辺クロックを選択 (P) 10 : 外部クロックを選択 (LCD_CLK) 11 : 設定禁止
12	ICKSEL0	0	R/W	
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	DCCR5	0	R/W	クロック分周比 入力クロック分周比を設定します。 設定の詳細については表 26.2 を参照してください。
4	DCCR4	0	R/W	
3	DCCR3	0	R/W	
2	DCCR2	0	R/W	
1	DCCR1	0	R/W	
0	DCCR0	1	R/W	

表 26.2 入出力クロック周波数と分周比

DCDR[5:0]	クロック分周比	入出力クロック周波数 (MHz)		
		50.000	60.000	66.000
000001	1/1	50.000	60.000	66.000
000010	1/2	25.000	30.000	33.000
000011	1/3	16.667	20.000	22.000
000100	1/4	12.500	15.000	16.500
000110	1/6	8.333	10.000	11.000
001000	1/8	6.250	7.500	8.250
001100	1/12	4.167	5.000	5.500
010000	1/16	3.125	3.750	4.125
011000	1/24	2.083	2.500	2.750
100000	1/32	1.563	1.875	2.063

【注】 上記以外の設定の場合はクロック分周比 1/1 (初期値) となります。

### 26.3.2 LCDC モジュールタイプレジスタ (LDMTR)

LDMTR は、接続される液晶モジュールの信号極性に合わせ、LCDC より出力される制御信号、およびデータ信号の極性を設定します。

ビット	ビット名	初期値	R/W	説明
15	FLMPOL	0	R/W	FLM (垂直同期) 極性選択 液晶モジュールの LCD_FLM (垂直同期信号、ファーストラインマーカ) の極性を選択します。 0 : LCD_FLM パルスはハイアクティブ 1 : LCD_FLM パルスはローアクティブ
14	CL1POL	0	R/W	CL1 (水平同期) 極性選択 液晶モジュールの LCD_CL1 (水平同期信号) の極性を選択します。 0 : LCD_CL1 パルスはハイアクティブ 1 : LCD_CL1 パルスはローアクティブ
13	DISPPOL	0	R/W	DISP (表示許可) 極性選択 液晶モジュールの LCD_M_DISP (表示許可) の極性を選択します。 0 : LCD_M_DISP はハイアクティブ 1 : LCD_M_DISP はローアクティブ
12	DPOL	0	R/W	表示データ極性選択 液晶モジュールの LCD_DATA (表示データ) の極性を選択します。液晶モジュールの反映をサポートしています。 0 : LCD_DATA はハイアクティブ。透過型液晶パネル 1 : LCD_DATA はローアクティブ。反射型液晶パネル

ビット	ビット名	初期値	R/W	説明
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	MCNT	0	R/W	M 信号制御 液晶モジュールの液晶交流化信号の出力を設定します。 0 : M (AC ラインモジュレーション) 信号を出力する 1 : M 信号は出力しない
9	CL1CNT	0	R/W	CL1 (水平同期) 制御 垂直帰線期間中の LCD_CL1 出力を設定します。 0 : 垂直帰線期間中、LCD_CL1 は出力する 1 : 垂直帰線期間中、LCD_CL1 は出力しない
8	CL2CNT	1	R/W	CL2 (液晶モジュールのドットクロック) 制御 垂直水平帰線期間中の LCD_CL2 出力を設定します。 0 : 垂直水平帰線期間中、LCD_CL2 は出力する 1 : 垂直水平帰線期間中、LCD_CL2 は出力しない
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。



ビット	ビット名	初期値	R/W	説明
5	MIFTYP5	0	R/W	モジュールインタフェースタイプ選択
4	MIFTYP4	0	R/W	<p>液晶パネルのタイプと、液晶パネルへの出力データバス幅を設定します。液晶パネルのタイプは STN、DSTN、TFT の 3 種類から選択します。液晶パネルへの出力データバス幅は 4 ビット、8 ビット、12 ビット、16 ビットから選択します。TFT の液晶パネルの要求データバス幅が 16 ビット以上のときは、パネル側に存在するデータバスに合わせて接続してください。TFT と異なり、STN、DSTN の液晶パネルにおいては表示色数、表示解像度と出力データバス幅の設定は一対一で対応しないため、16bpp の表示色数であっても 8 ビットのデータバス幅であったり、4bpp の表示色数であっても 12 ビットのデータバス幅であることがあります。これは、STN、DSTN の表示色数はデータバスのビット数ではなく、データバスへのデータの載せ方により決まるためです。STN、DSTN の場合のデータ仕様については、使用する液晶パネルの仕様書を参照してください。また、出力データバス幅は液晶パネルの機械的なインタフェース仕様に従って設定してください。</p> <p>STN、または DSTN タイプが液晶パネルのタイプとして選択された場合、色表示、階調表示の階調設定にかかわらず LCDC に内蔵された RGB 各 8 ビットの 24 ビット空間変調 FRC ( Frame Rate Controller ) により表示制御が行われます。そのため、STN、または DSTN の表示においては 1600 万色から DSPCOLOR 指定の色、階調が選択されて表示されます。パレットを使用する場合は、パレットで設定された色が表示されます。</p> <p>000000 : STN モノクロ 4 ビットデータバスモジュール  000001 : STN モノクロ 8 ビットデータバスモジュール  001000 : STN カラー 4 ビットデータバスモジュール  001001 : STN カラー 8 ビットデータバスモジュール  001010 : STN カラー 12 ビットデータバスモジュール  001011 : STN カラー 16 ビットデータバスモジュール  010001 : DSTN モノクロ 8 ビットデータバスモジュール  010011 : DSTN モノクロ 16 ビットデータバスモジュール  011001 : DSTN カラー 8 ビットデータバスモジュール  011010 : DSTN カラー 12 ビットデータバスモジュール  011011 : DSTN カラー 16 ビットデータバスモジュール  101011 : TFT カラー 16 ビットデータバスモジュール  上記以外の設定 : 設定禁止</p>
3	MIFTYP3	1	R/W	
2	MIFTYP2	0	R/W	
1	MIFTYP1	0	R/W	
0	MIFTYP0	1	R/W	

## 26.3.3 LCDC データフォーマットレジスタ (LDDFR)

LDDFR は、表示用のドライバソフトウェアの仕様に合わせるために、1 バイト内のデータのビットアラインメント、および表示に使用するデータの型と色数を設定します。

ビット	ビット名	初期値	R/W	説明
15-9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PABD	0	R/W	バイトデータピクセルアライメント 1 バイトデータ内のピクセルデータのアライメント種類を設定します。アライメントされた 1 ピクセル当たりのデータそれぞれの内容は、このビットの内容にかかわらず同一になります。たとえば、H'05 というデータは 2 進数の B'0101 か B'1010 かを選ぶのではなく、CPU が MOV 命令で通常扱う形の H'05 (B'0101) としてください。 0 : バイトデータ内をビッグエンディアンに設定 1 : バイトデータ内をリトルエンディアンに設定
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	DSPCOLOR6	0	R/W	表示カラー選択
5	DSPCOLOR5	0	R/W	ディスプレイの表示色数を設定します (アンパレット 4、5、6bpp 上位ビットを 0 で埋めることで対応)。
4	DSPCOLOR4	0	R/W	(パレット経由)との記述のある表示カラーについては、実際にはカラーパレットに設定した色が、表示データにより選択されて表示されます。
3	DSPCOLOR3	1	R/W	回転表示時にサポート可能な色数は、表示解像度によって制限されます。詳細については表 26.4 を参照してください。
2	DSPCOLOR2	1	R/W	
1	DSPCOLOR1	0	R/W	
0	DSPCOLOR0	0	R/W	0000000 : モノクロ、2 グレイスケール、1bpp (パレット経由) 0000001 : モノクロ、4 グレイスケール、2bpp (パレット経由) 0000010 : モノクロ、16 グレイスケール、4bpp (パレット経由) 0000100 : モノクロ、64 グレイスケール、6bpp (パレット経由) 0001010 : カラー、16 色、4bpp (パレット経由) 0001100 : カラー、256 色、8bpp (パレット経由) 0011101 : カラー、32k 色 (RGB : 5-5-5)、15bpp 0101101 : カラー、64k 色 (RGB : 5-6-5)、16bpp 上記以外の設定 : 設定禁止

### 26.3.4 LCDC スキャンモードレジスタ (LDSMR)

LDSMR は、液晶パネルを回転して使用するためのハードウェアローテーション機能のオン/オフ、および表示用に確保した VRAM (エリア 3 のシンクロナス DRAM) に対するバースト長を指定します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	ROT	0	R/W	ローテーションモジュール選択 ハードウェアによる表示の回転動作を選択します。ただし、回転する場合、以下の制限があります。 <ul style="list-style-type: none"> <li>モジュールタイプは STN または TFT。DSTN は不可</li> <li>液晶パネルの横方向(液晶パネル内部でのスキャン方向)の幅は最大 320</li> <li>LDLAOR に表示サイズを超える、2 のべき乗の値を設定する(320×240 を回転させて 240×320 で使用する場合で、表示イメージの横幅が 240 バイトである場合、256 を選択してください)</li> </ul> 0: 回転しない 1: 右 90 度回転する(表示イメージの左側が液晶モジュールの上側に表示される)
12~10	-	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	AU1	0	R/W	アクセスユニット選択 VRAM のアクセス単位を選択します。本ビットは ROT=1(回転する場合)のみ機能します。ROT=0 では、AU 設定にかんにかかわらず 16 バースト動作を行います。 00: 4 バースト 01: 8 バースト 10: 16 バースト 11: 32 バースト 【注】1. バースト長は 32 ビットバス幅時で、16 ビットバス幅のときは、バースト長は倍になります。 2. 回転表示する際のバースト長には、接続する SDRAM のコラムアドレスビット数とバス幅によって使用制限があります。 詳細は、表 26.3 および表 26.4 を参照してください。
8	AU0	0	R/W	
7~0		すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

### 26.3.5 LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)

LDSARU は、液晶パネルに表示するデータを LCDC に取り込み開始するアドレスを指定します。DSTN 型の液晶パネルを使用する場合、本レジスタは上部のパネルの取り込み開始アドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27、26	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
25~4	SAU25~ SAU4	すべて 0	R/W	上部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア 3 のシンクロナス DRAM 領域内に設定します。
3~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】
- ハードウェアローテーション機能を使用しない場合、LDSARU の最小のアラインメント単位は 512 バイトです。下位 9 ビットには 0 を設定してください。ハードウェアローテーション機能を使用する場合の LDSARU の値は、イメージの左上のアドレスが 512 バイト境界にくるように設定してください。
  - ハードウェアローテーション機能を使用する (ROT=1) の場合、本レジスタには表示するイメージのサイズから計算したイメージの左下のアドレスを設定してください。イメージが 240×340、LDLAOR=256 の表示設定のとき、下記のように計算できます。パネルのサイズではなく、表示するイメージのメモリサイズから計算します。このとき、LDLAOR がイメージの横方向のサイズ以上の 2 のべき乗になることに注意してください。またイメージの左上のアドレスは、このときの LDSARU を使って逆算すると、 $LDSARU - 256 (LDLAOR \text{ の値}) \times (320 - 1)$  となるので、512 バイト境界にあることを確認して設定してください。  
 $LDSARU = \text{イメージ左上のアドレス} + 256 (LDLAOR \text{ の値}) \times 319 (\text{行})$

### 26.3.6 LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)

LDSARL は、DSTN 型の液晶パネルを使用する場合、下部のパネルの取り込み開始アドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27、26	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
25~4	SAL25~ SAL4	すべて 0	R/W	下部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア 3 のシンクロナス DRAM 領域内に設定します。 STN、TFT：使用しません DSTN：下部パネルに対応する表示データの取り込み開始アドレス
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 26.3.7 LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)

LDLAOR は、グラフィックスドライバにより認識されている画像イメージを LCDC が読み出すための Y 座標インクリメントのアドレス幅を指定します。Y 座標方向に 1 増えた際に何バイト分アドレスを移動してメモリからデータを読むかを指定するレジスタであり、液晶パネルの横幅と同一である必要はありません。2 次元の画像イメージ上の点 (X、Y) のメモリアドレスが  $A_x + B_y + C$  で計算される場合、本レジスタはこの式の B と等しくなります。

ビット	ビット名	初期値	R/W	説明
15~10	LAO15~ LAO10	すべて 0	R/W	ラインアドレスオフセット 最小のアライメント単位は 16 バイトです。16byte 単位の処理となるので、各レジスタ書き込み値の下位 4 ビットは 0 としてください。また、レジスタ値を読み出すと下位 4 ビットは 0 が読み出されます。初期値は、VGA (640×480 ドット) 表示データをライン間でアドレスを飛ばさずに連続、稠密的に配置するための設定値 (×解像度=640) となっています。詳しくは表 26.3 および表 26.4 を参照してください。  LDLAOR の値としては、ソフトウェアの動作速度面を考慮し、画像イメージの横幅以上の 2 のべき乗の値を推奨します。また、ハードウェアローテーション機能を使用する場合、液晶パネルの横幅 (たとえば、320×240 のパネルの 320) ではなく、画像イメージの横幅 (回転後、240×320 になる場合の 240) 以上の 2 のべき乗の値 (この例では 256) にする必要があります。
9	LAO9	1	R/W	
8	LAO8	0	R/W	
7	LAO7	1	R/W	
6~0	LAO6~LAO0	すべて 0	R/W	

### 26.3.8 LCDC パレットコントロールレジスタ (LDPALCR)

LDPALCR は、パレットメモリの CPU からのアクセス、または LCDC からのアクセスを選択します。パレットメモリを使用して表示動作中は、通常表示モードに、パレットメモリの内容を書き換える際はカラーパレット設定モードに設定してください。

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PALS	0	R	パレット状態 パレットのアクセス権の状態を示します。 0: LCDC がパレットを使用。通常表示モード 1: ホスト (GPU) がパレットを使用。カラーパレット設定モード
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PALEN	0	R/W	パレット読み出し / 書き込みイネーブル パレットアクセス権を要求します。 0: 通常表示モードへの遷移要求 1: カラーパレット設定モードへの遷移要求

### 26.3.9 パレットデータレジスタ 00 ~ FF (LDPR00 ~ LDPRFF)

LDPR は、メモリ空間上に直接配置 (4 バイト × 256 アドレス) されたパレットデータをアクセスするためのレジスタです。パレットメモリへのアクセスは、本レジスタ (LDPR00 ~ LDPRFF) の中の該当するレジスタに対してアクセスしてください。一つ一つのパレットレジスタは RGB それぞれ 8 ビットずつの領域を有する 32 ビットのレジスタです。本カラーパレットの詳細仕様に関しては、「26.4.3 カラーパレット仕様について」を参照してください。

ビット	ビット名	初期値	R/W	説明
31~24	-	-	R	リザーブビット
23~0	PALDnn23 ~ PALDnn0	-	R/W	パレットデータ ビット 18~16、9、8、2~0 は、RGB 各パレット内のリザーブビットです。設定できませんが、上位ビットに従って拡張して使用できます。

【注】 nn = H'00 ~ H'FF

## 26.3.10 LCDC 水平キャラクタナンバーレジスタ (LDHCNR)

LDHCNR は、液晶モジュールの横方向 (スキャン方向) のサイズ、および水平帰線期間を含めた全体のスキャン幅を指定するレジスタです。

ビット	ビット名	初期値	R/W	説明
15	HDCN7	0	R/W	水平表示キャラクタナンバー 水平画面方向の表示キャラクタ数を設定します (キャラクタ=8 ドット単位)。 (表示キャラクタ数) - 1 の値を設定してください。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HDCN = (640/8) - 1 = 79 = H'4F$
14	HDCN6	1	R/W	
13	HDCN5	0	R/W	
12	HDCN4	0	R/W	
11	HDCN3	1	R/W	
10	HDCN2	1	R/W	
9	HDCN1	1	R/W	
8	HDCN0	1	R/W	
7	HTCN7	0	R/W	水平総キャラクタナンバー 水平画面方向の総キャラクタ数を設定します (キャラクタ=8 ドット単位)。 (総キャラクタ数) - 1 の値を設定してください。 ただし、最小の水平帰線期間は 3 キャラクタ (24 ドット) です。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HTCN = [(640/8) - 1] + 3 = 82 = H'52$ この場合、水平総ドット数は 664 ドット、水平帰線期間は 24 ドットになります。
6	HTCN6	1	R/W	
5	HTCN5	0	R/W	
4	HTCN4	1	R/W	
3	HTCN3	0	R/W	
2	HTCN2	0	R/W	
1	HTCN1	1	R/W	
0	HTCN0	0	R/W	

- 【注】
- HDCN、HTCN の設定値は、 $HTCN \geq HDCN$  の関係を必ず満足してください。
  - HDCN の設定は、使用するディスプレイの解像度によって下記としてください。
    - 1bpp の場合 : (16 の倍数) - 1 [1 ラインが 128pixel の倍数]
    - 2bpp の場合 : (8 の倍数) - 1 [1 ラインが 64pixel の倍数]
    - 4bpp の場合 : (4 の倍数) - 1 [1 ラインが 32pixel の倍数]
    - 6bpp/8bpp の場合 : (2 の倍数) - 1 [1 ラインが 16pixel の倍数]

## 26.3.11 LCDC 水平同期信号レジスタ (LDHSYNR)

LDHSYNR は、液晶パネルモジュールの横方向 (スキャン方向) の同期信号のタイミングを指定するレジスタです。

ビット	ビット名	初期値	R/W	説明
15	HSYNW3	0	R/W	水平同期信号幅 水平画面方向の同期信号 (CL1、Hsync) 幅を設定します (キャラクタ=8 ドット単位)。 (水平同期信号幅) - 1 の値を設定してください。 (例) 水平同期信号幅を 8 ドットとする場合 $HSYNW = (8 \text{ ドット} / 8 \text{ ドット} / \text{キャラクタ}) - 1 = 0 = H'0$
14	HSYNW2	0	R/W	
13	HSYNW1	0	R/W	
12	HSYNW0	0	R/W	
11-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	HSYNP7	0	R/W	水平同期信号出力位置 水平画面方向の同期信号の出力位置を設定します (キャラクタ=8 ドット 単位)。 (水平同期信号出力位置) - 1 の値を設定してください。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HSYNP = [(640/8) + 1] - 1 = 80 = H'50$ この場合、648 ドット目から 655 ドット目まで水平同期信号が アクティブになります。
6	HSYNP6	1	R/W	
5	HSYNP5	0	R/W	
4	HSYNP4	1	R/W	
3	HSYNP3	0	R/W	
2	HSYNP2	0	R/W	
1	HSYNP1	0	R/W	
0	HSYNP0	0	R/W	

【注】  $HTCN > = HSYNP + HSYNW + 1$

$HSYNP > = HDCN + 1$  の関係を満足してください。



### 26.3.12 LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)

LDVDLNR は、液晶パネルモジュールの縦方向(スキャン方向と垂直方向)のサイズを指定するレジスタです。DSTN の場合は上下のパネルの大きさにかかわらず、パネルモジュールとしての縦方向サイズ以上の偶数を指定してください(例: 640×480 のパネルの場合は 480)。

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	VDLN10	0	R/W	垂直表示ラインナンバー 垂直画面方向の表示ライン数を設定します(ライン単位)。 (表示ライン数) - 1 の値を設定してください。 (例) 480 ラインの液晶モジュールを使用する場合 $VDLN = 480 - 1 = 479 = H'1DF$
9	VDLN9	0	R/W	
8	VDLN8	1	R/W	
7	VDLN7	1	R/W	
6	VDLN6	1	R/W	
5	VDLN5	0	R/W	
4	VDLN4	1	R/W	
3	VDLN3	1	R/W	
2	VDLN2	1	R/W	
1	VDLN1	1	R/W	
0	VDLN0	1	R/W	

### 26.3.13 LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)

LDVTLNR は、液晶パネルモジュールの垂直帰線期間を含めた全体の縦方向の長さを指定するレジスタです。

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	VTLN10	0	R/W	垂直総ラインナンバー 垂直画面方向の総ライン数を設定します(ライン単位)。 (総ライン数) - 1 の値を設定してください。 最小の垂直総ライン数は 2 ラインです。 $VTLN \geq VDLN$ 、 $VTLN \geq 1$ を満足してください。 (例) 480 ラインの液晶モジュールを使用し、垂直帰線期間が 0 ラインの場合 $VTLN = (480 + 0) - 1 = 479 = H'1DF$
9	VTLN9	0	R/W	
8	VTLN8	1	R/W	
7	VTLN7	1	R/W	
6	VTLN6	1	R/W	
5	VTLN5	0	R/W	
4	VTLN4	1	R/W	
3	VTLN3	1	R/W	
2	VTLN2	1	R/W	
1	VTLN1	1	R/W	
0	VTLN0	1	R/W	

## 26.3.14 LCDC 垂直同期信号レジスタ (LDVSYNR)

LDVSYNR は、液晶モジュールの縦方向 (スキャン方向と垂直方向) の同期信号のタイミングを指定するレジスタです。

ビット	ビット名	初期値	R/W	説明
15	VSYNW3	0	R/W	垂直同期信号幅
14	VSYNW2	0	R/W	垂直画面方向の同期信号 (FLM、Vsync) 幅を設定します (ライン単位)。
13	VSYNW1	0	R/W	(垂直同期信号幅) - 1 の値を設定してください。
12	VSYNW0	0	R/W	(例) 垂直同期信号幅を 1 ラインとする場合 $VSYNW = (1 - 1) = 0 = H'0$
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	VSYNP10	0	R/W	垂直同期信号出力位置
9	VSYNP9	0	R/W	垂直画面方向の同期信号 (FLM、Vsync) の出力位置を設定します (ライン単位)。
8	VSYNP8	1	R/W	(垂直同期信号出力位置) - 2 の値を設定してください。
7	VSYNP7	1	R/W	DSTN の場合は奇数値を設定してください。(設定値 + 1)/2 として扱われます。
6	VSYNP6	1	R/W	(例) 480 ラインの液晶モジュールを使用し、帰線期間が 0 ライン、つまり VTLN = 479 のときに 1 ライン目に垂直同期信号をアクティブにする場合
5	VSYNP5	0	R/W	• シングルディスプレイの場合 $VSYNP = [(1 - 1) + VTLN] \bmod (VTLN + 1) = [(1 - 1) + 479] \bmod (479 + 1)$ $= 479 \bmod 480 = 479$ $= H'1DF$
4	VSYNP4	1	R/W	
3	VSYNP3	1	R/W	
2	VSYNP2	1	R/W	
1	VSYNP1	1	R/W	
0	VSYNP0	1	R/W	• デュアルアドレスの場合 $VSYNP = [(1 - 1) \times 2 + VTLN] \bmod (VTLN + 1) = [(1 - 1) \times 2 + 479] \bmod (479 + 1)$ $= 479 \bmod 480 = 479$ $= H'1DF$

### 26.3.15 LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)

LDACLNR は、液晶モジュールの AC モジュレーション信号 (液晶交流化信号) をトグルするタイミングを指定するレジスタです。

ビット	ビット名	初期値	R/W	説明
15-5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	ACLN4	0	R/W	AC ラインナンバー 液晶モジュール交流化信号をトグルする行数を設定します (ライン単位)。 (トグルする行数) - 1 の値を設定してください。 (例) 13 ラインごとにトグルさせる場合 ACLN = 13 - 1 = 12 = H'0C
3	ACLN3	1	R/W	
2	ACLN2	1	R/W	
1	ACLN1	0	R/W	
0	ACLN0	0	R/W	

【注】 パネルの総ライン数が偶数の場合、必ず奇数行でトグルするように偶数を設定してください。

### 26.3.16 LCDC 割り込みコントロールレジスタ (LDINTR)

LDINTR は、Vsync 割り込みの開始点を指定するレジスタです。割り込みについては、「26.3.20 LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)」および「26.3.21 LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)」も参照してください。なお、本レジスタの設定による作用と、LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR) の設定による作用は独立です。

ビット	ビット名	初期値	R/W	説明
15	MINTEN	0	R/W	メモリアクセス割り込みイネーブル LCDC による VRAM アクセスの垂直帰線期間の開始点で割り込みを発生するか否かを設定します。 0: VRAM アクセスの垂直帰線期間の開始点で割り込みを発生しません。 1: VRAM アクセスの垂直帰線期間の開始点で割り込みを発生します。
14	FINTEN	0	R/W	フレーム終了割り込みイネーブル 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生するか否かを設定します。 0: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生しません。 1: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生します。
13	VSINTEN	0	R/W	Vsync 開始割り込みイネーブル LCDC Vsync の開始時に割り込みを発生するか否かを設定します。 0: LCDC Vsync の開始時に割り込みを発生しません。 1: LCDC Vsync の開始時に割り込みを発生します。

ビット	ビット名	初期値	R/W	説明
12	VEINTEN	0	R/W	<p>Vsync 終了割り込みイネーブル</p> <p>LCDC Vsync の終了時に割り込みを発生するか否かを設定します。</p> <p>0 : LCDC Vsync の終了時に割り込みを発生しません。</p> <p>1 : LCDC Vsync の終了時に割り込みを発生します。</p>
11	MINTS	0	R/W	<p>メモリアクセス割り込み状態</p> <p>メモリアクセス割り込みの処理状態を表します。</p> <p>このビットは、LCDC メモリアクセス割り込みが発生した時点で 1 を示します (セット状態)。メモリアクセス割り込みに対する処理ルーチンの中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC がメモリアクセス割り込みを発生していないか、またはメモリアクセス割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC がメモリアクセス割り込みを発生し処理済の通知を受けていない状態を表します。</p>
10	FINTS	0	R/W	<p>フレーム終了割り込み状態</p> <p>フレーム終了割り込みの処理状態を表します。</p> <p>このビットは、LCDC フレーム終了割り込みが発生した時点で 1 を示します (セット状態)。フレーム終了割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC がフレーム終了割り込みを発生していないか、またはフレーム終了割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC がフレーム終了割り込みを発生し処理済の通知を受けていない状態を表します。</p>
9	VSINTS	0	R/W	<p>Vsync 開始割り込み状態</p> <p>LCDC Vsync 開始割り込みの処理状態を表します。</p> <p>このビットは、LCDC Vsync 開始割り込みが発生した時点で 1 を示します (セット状態)。Vsync 開始割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC が Vsync 開始割り込みを発生していないか、または Vsync 開始割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC が Vsync 開始割り込みを発生し処理済の通知を受けていない状態を表します。</p>

ビット	ビット名	初期値	R/W	説明
8	VEINTS	0	R/W	Vsync 終了割り込み状態 LCDC Vsync 終了割り込みの処理状態を表します。 このビットは、LCDC Vsync 終了割り込みが発生した時点で 1 を示します (セット状態)。Vsync 終了割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。 0: LCDC が Vsync 終了割り込みを発生していないか、または Vsync 終了割り込み発生に対して処理済の通知を受けた状態を示します。 1: LCDC が Vsync 終了割り込みを発生し処理済の通知を受けていない状態を表します。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 26.3.17 LCDC パワーマネジメントモードレジスタ (LDPMMR)

LDPMMR は、液晶パネルモジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。LCD\_VCPWC と LCD\_VEPWC の 2 種類の電源制御端子を使用するかしないか、電源投入機能オン/オフを設定します。

ビット	ビット名	初期値	R/W	説明
15	ONC3	0	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて LCD_VEPWC 端子のアサートから LCD_DON 端子のアサートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 ~ 図 26.7 の「電源制御シーケンスと液晶モジュールの動作状態」の (c) 期間に当たります。詳細な方法は、表 26.5 を参照してください (設定方法は ONA、ONB、OFFD、OFFE、OFFF の各レジスタに共通です)。
14	ONC2	0	R/W	
13	ONC1	0	R/W	
12	ONC0	0	R/W	
11	OFFD3	0	R/W	LCDC 電源遮断シーケンス期間 LCD モジュールの電源遮断シーケンスにおいて LCD_DON 端子のネゲートから LCD_VEPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 ~ 図 26.7 の「電源制御シーケンスと液晶モジュールの動作状態」の (d) 期間に当たります。
10	OFFD2	0	R/W	
9	OFFD1	0	R/W	
8	OFFD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	VCPE	0	R/W	LCD_VCPWC 端子イネーブル LCD_VCPWC 端子を用いた電源制御シーケンス処理の有無を設定します 0: (処理無) LCD_VCPWC 端子出力はマスクされロー固定 1: (処理有) LCD_VCPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする

ビット	ビット名	初期値	R/W	説明
5	VEPE	0	R/W	LCD_VEPWC 端子イネーブル LCD_VEPWC 端子を用いた電源制御シーケンス処理の有無を設定します。 0: (処理無) LCD_VEPWC 端子出力はマスクされロー固定 1: (処理有) LCD_VEPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする
4	DONE	1	R/W	LCD_DON 端子イネーブル LCD_DON 端子を用いた電源制御シーケンス処理の有無を設定します。 0: (処理無) LCD_DON 端子出力はマスクされロー固定 1: (処理有) LCD_DON 端子出力は所定のシーケンスに従いアサート、ネゲートする
3	-	0	R	リザーブビット
2	-	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	LPS1	0	R	液晶モジュール電源入力状態 電源、制御機能を使用しているときの液晶モジュールの電源投入状態を示します。 00: 液晶モジュール電源遮断 11: 液晶モジュール電源投入
0	LPS0	0	R	

## 26.3.18 LCDC 電源シーケンス期間レジスタ (LDPSPR)

LDPSPR は、液晶モジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。  
LCD\_VEPWC、LCD\_VCPWC 端子とそれに伴うタイミング信号の出力開始タイミングを指定します。

ビット	ビット名	初期値	R/W	説明
15	ONA3	1	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて LCD_VCPWC 端子のアサートから表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始までの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 ~ 図 26.7 「電源制御シーケンスと液晶モジュールの動作状態」の (a) 期間に当たります。
14	ONA2	1	R/W	
13	ONA1	1	R/W	
12	ONA0	1	R/W	
11	ONB3	0	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始から LCD_VEPWC 端子のアサートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 ~ 図 26.7 「電源制御シーケンスと液晶モジュールの動作状態」の (b) 期間に当たります。
10	ONB2	1	R/W	
9	ONB1	1	R/W	
8	ONB0	0	R/W	
7	OFFE3	0	R/W	LCDC 電源遮断シーケンス期間 液晶モジュールの電源遮断シーケンスにおいて LCD_VEPWC 端子ネゲートから表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止までの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 ~ 図 26.7 「電源制御シーケンスと液晶モジュールの動作状態」の (e) 期間に当たります。
6	OFFE2	0	R/W	
5	OFFE1	0	R/W	
4	OFFE0	0	R/W	
3	OFFF3	1	R/W	LCDC 電源遮断シーケンス期間 液晶モジュールの電源遮断シーケンスにおいて表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止から LCD_VCPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 ~ 図 26.7 「電源制御シーケンスと液晶モジュールの動作状態」の (f) 期間に当たります。
2	OFFF2	1	R/W	
1	OFFF1	1	R/W	
0	OFFF0	1	R/W	

### 26.3.19 LCDC コントロールレジスタ (LDCNTR)

LDCNTR は、LCDC による表示動作の開始 / 終了を指定します。

DON2 ビットと DON ビットにそれぞれ 1 を書き込んだとき、LCDC は表示動作を開始します。次に、LDPMMR および LDCNTR で設定されたシーケンスに従って液晶モジュールの電源を投入します。LPS1、LPS0 ビットが B'00 から B'11 になれば所定のシーケンスは終了です。なお、所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

LCDC の表示動作を終了するとき、DON ビットを 0 に設定します。LDPMMR および LDCNTR で設定されたシーケンスに従って液晶モジュールの電源を遮断します。LCDC の動作を停止します。LPS[1:0]が B'11 から B'00 になれば所定のシーケンスは終了です。なお所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

ビット	ビット名	初期値	R/W	説明
15-5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	DON2	0	R/W	ディスプレイオン 2 LCDC による表示動作開始を指示します。 0 : LCDC 動作 / 終了中 1 : 動作開始 このビットを読み出すと常に 0 が読み出されます。表示動作開始時のみ 1 を書き込んでください。表示動作開始時以外で 1 を書いた場合の動作は保証されません。書き込んだ 1 は 0 に自動的に復帰するので、1 をクリアするために 0 を書き込む必要はありません。
3-1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DON	0	R/W	ディスプレイオン LCDC による表示動作の開始 / 終了を指示します。 制御シーケンスの状態は LDPMMR の LPS[1:0]値を参照することで確認できます。 0 : LCDC 非動作。表示オフモード 1 : LCDC 動作。表示オンモード

- 【注】
- 表示開始時は H'0011 を LDCNTR に、表示終了時は H'0000 を LDCNTR に書き込んでください。これ以外の値は書き込まないでください。
  - DON2 ビットに 1 を書き込むとパレット RAM データが不定になるので、DON2 ビットに 1 を書き込んでからパレット RAM にデータを設定してください。



### 26.3.20 LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)

LDUINTR は、ユーザ指定割り込みの発生有無を設定し、その状態を表示するレジスタです。本割り込みは、LCDC が LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR) で設定したラインの画像データを VRAM から読み終えた時点で発生します。

本 LCDC が発行する割り込み (LCDCI) は、本レジスタによるユーザ指定割り込みと LCDC 割り込みコントロールレジスタ (LDINTR) によるメモリアクセス、Vsync 割り込みとの OR 出力となります。なお、本レジスタと LCDC 割り込みコントロールレジスタ (LDINTR) の設定は、割り込み動作に対して独立に作用します。

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	UINTEN	0	R/W	ユーザ指定割り込みイネーブル LCDC ユーザ指定割り込みを発生するかを設定します。 0 : LCDC ユーザ指定割り込みを発生しません。 1 : LCDC ユーザ指定割り込みを発生します。
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	UINTS	0	R/W	ユーザ指定割り込み状態 このビットは、LCDC ユーザ指定割り込みが発生した時点で 1 を示します (セット状態)。ユーザ指定割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。 0 : LCDC がユーザ指定割り込みを発生していないか、またはユーザ指定割り込み発生に対して処理済の通知を受けた状態を表します。 1 : LCDC がユーザ指定割り込みを発生し処理済の通知を受けていない状態を表します。

#### 【注】 割り込み処理の流れ

1. 割り込み信号入力
2. LDINTR のリード
3. もし MINTS または FINITS または VSINTS または VEINTS = 1 ならば、その割り込みはメモリアクセスあるいはフレーム終了割り込みあるいは Vsync 立ち上がり割り込みあるいは Vsync 立ち下がり割り込み。それぞれの割り込みに対する処理を行う。
4. もし MINTS = FINITS = VSINTS = VEINTS = 0 ならば、その割り込みはメモリアクセス、フレーム終了、Vsync 立ち上がり割り込み、および Vsync 立ち下がり割り込みではない。
5. UINTS のリード
6. もし UINTS = 1 ならば、その割り込みはユーザ指定割り込み。ユーザ指定割り込みに対する処理を行う。
7. もし UINTS = 0 ならば、その割り込みはユーザ指定割り込みではない。他の処理を行う。

## 26.3.21 LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)

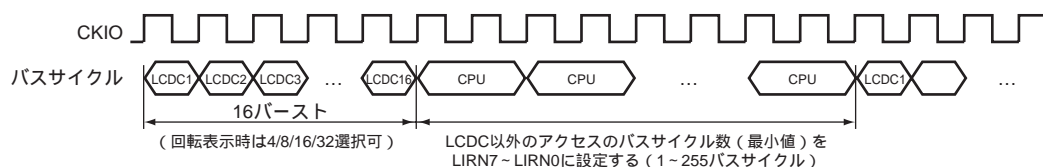
LDUINTLNR は、ユーザ指定割り込みを発生する位置を設定するレジスタです。設定は水平ライン単位で行うことができます。

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	UINTLN10	0	R/W	ユーザ指定割り込み発生ラインナンバー ユーザ指定割り込みを発生するラインを設定します (ライン単位)。 (割り込み発生ライン数) - 1 の値を設定してください。 (例) 80 ライン目にユーザ指定割り込みを発生する場合： HINTLN = 160/2 - 1 = 79 = H'04F
9	UINTLN9	0	R/W	
8	UINTLN8	0	R/W	
7	UINTLN7	0	R/W	
6	UINTLN6	1	R/W	
5	UINTLN5	0	R/W	
4	UINTLN4	0	R/W	
3	UINTLN3	1	R/W	
2	UINTLN2	1	R/W	
1	UINTLN1	1	R/W	
0	UINTLN0	1	R/W	

- 【注】
1. STN/TFT の液晶モジュールを使用する場合、本レジスタの設定値は LDVDLNR の垂直表示ラインナンバー (VDLN) 以下にしてください。
  2. DSTN 液晶モジュールを使用する場合、本レジスタの設定値は LDVDLNR の垂直表示ラインナンバー (VDLN) の 1/2 以下に設定してください。このとき、ユーザ指定割り込みは LCDC が下部画面の画像データを本レジスタに設定したライン数分 VRAM から読み終えた時点で発生します。

### 26.3.22 LCDC メモリアクセスインターバルナンバレジスタ (LDLIRNR)

LDLIRNR は、LCDC が VRAM を読み出す際のバスサイクルの間隔を制御します。LDLIRNR に H'00 以外の値を設定した場合には、CPU/DMAC/USBH が設定数のバスサイクル(外部メモリあるいは内蔵のレジスタアクセス)を行うまで、LCDC は VRAM をアクセスしません。LDLIRNR に H'00 を設定した場合(初期値)には、LCDC の VRAM アクセス後に CPU/DMAC/USBH が 1 回のバスサイクルを行った後に、LCDC が VRAM アクセスを行います。



ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	LIRN7~ LIRN0	すべて0	R/W	LCDC の VRAM 読み出しバスサイクル間隔 LCDC が VRAM を読み出すバーストバスサイクルの間に実行可能な CPU/DMAC/USBH のバスサイクルの数を指定します。 H'00 : 1 バスサイクル H'01 : 1 バスサイクル : H'FF : 255 バスサイクル

## 26.4 動作説明

### 26.4.1 LCDC で表示可能な液晶モジュールのサイズについて

LCDC は、機能としては 1024 × 1024 ドット、16bpp (ビットパーピクセル) の表示を行うことが可能です。しかし、表示される画像のイメージは CPU と共有である VRAM に格納されており、本 LCDC は表示に間に合うように VRAM からデータの読み出しを行う必要があります。

本 LSI では、最大 32 バーストのメモリリードと 2.4k バイトのラインバッファ内蔵により、表示の破綻が起こりにくいのですが、組み合わせによっては、表示が困難になることがあります。フレームレート 60Hz とした場合の推奨するサイズとしては、16bpp 時 320 × 240 ドット、もしくは 8bpp 時 640 × 480 ドットです。

目安としては、下記に示されたバス占有率が 40% を超えないようにしてください。

$$\text{バス占有率 (\%)} = \frac{\text{オーバーヘッド係数} \times \text{表示総ピクセル数} ((\text{HDCN} + 1) \times 8 \times (\text{VDLN} + 1)) \times \text{フレームレート (Hz)} \times \text{色数 (bpp)}}{\text{CKIO (Hz)} \times \text{バス幅 (bit)}} \times 100$$

オーバーヘッド係数は、CL2 の SDRAM が 32 ビットバスのときに 1.375、16 ビットバスのときに 1.188 となります。

図 26.2 に有効な表示と帰線期間について示します。

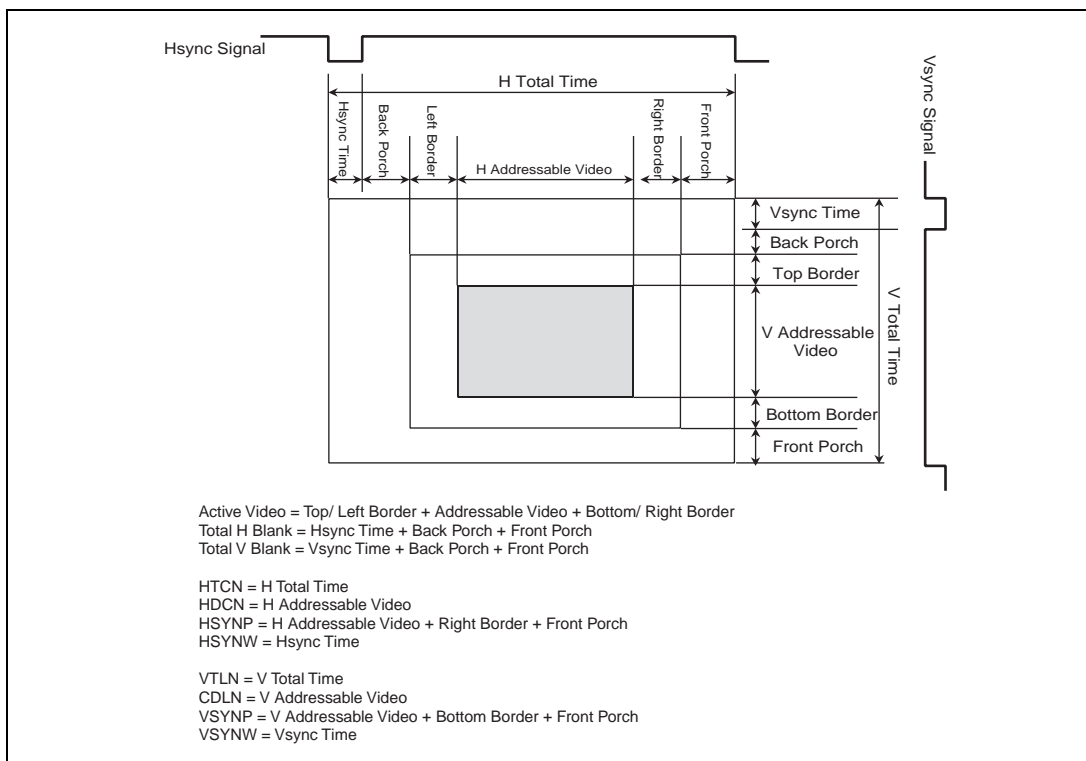


図 26.2 有効な表示と帰線期間

### 26.4.2 回転表示の解像度 / パースト長および接続メモリ (SDRAM) の制限

本 LCDC は、縦長の表示イメージを 90 度回転して、対応する横長の液晶モジュールに表示可能です。それぞれの解像度について以下に示す色数の表示のみ可能です。また、SDRAM を連続して読み出すために SDRAM のサイズ (カラムアドレス bit 数) および LCDC のパースト長に制限があります。

表示色数、SDRAM カラムアドレス数および LCDC のパースト長の制限を表 26.3 および表 26.4 に示します。

なお、モノクロの表示イメージを表示するにはモノクロの液晶モジュールを、カラーの表示イメージを表示するにはカラーの液晶モジュールを必要とします。

表 26.3 回転表示の解像度 / パースト長および接続メモリの制限 (SDRAM 32bit 幅時)

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM カラムアドレス bit 数	LCDC のパースト長 (LDSMR*)
240 × 320	320 × 240	モノクロ	4bpp (packed)	8bit 品	8 パースト以下
				9bit 品	16 パースト以下
				10bit 品	-
			4bpp (unpacked)	8bit 品	4 パースト
				9bit 品	8 パースト以下
				10bit 品	16 パースト以下
			6bpp	8bit 品	4 パースト
				9bit 品	8 パースト以下
				10bit 品	16 パースト以下
		カラー	8bpp	8bit 品	4 パースト
				9bit 品	8 パースト以下
				10bit 品	16 パースト以下
16bpp	8bit 品		使用不可		
	9bit 品		4 パースト		
	10bit 品		8 パースト以下		
234 × 320	320 × 234	モノクロ	6bpp	8bit 品	4 パースト
				9bit 品	8 パースト以下
				10bit 品	16 パースト以下
		カラー	16bpp	8bit 品	使用不可
				9bit 品	4 パースト
				10bit 品	8 パースト以下
				10bit 品	8 パースト以下

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM コラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
80 × 160	160 × 80	モノクロ	2bpp	8bit 品	
				9bit 品	
				10bit 品	
			4bpp (packed)	8bit 品	16 バースト以下
				9bit 品	
				10bit 品	
			4bpp (unpacked)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
			6bpp	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
		カラー	4bpp (packed)	8bit 品	16 バースト以下
				9bit 品	
				10bit 品	
			4bpp (unpacked)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
			8bpp	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	
			16bpp	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM カラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
64 × 128	128 × 64	モノクロ	1bpp	8bit 品	-
				9bit 品	-
				10bit 品	-
			2bpp	8bit 品	-
				9bit 品	-
				10bit 品	-
			4bpp (packed)	8bit 品	-
				9bit 品	-
				10bit 品	-
			4bpp (unpacked)	8bit 品	16 バースト以下
				9bit 品	-
				10bit 品	-
		6bpp	8bit 品	16 バースト以下	
			9bit 品	-	
			10bit 品	-	
		カラー	4bpp (packed)	8bit 品	-
				9bit 品	-
				10bit 品	-
			4bpp (unpacked)	8bit 品	16 バースト以下
				9bit 品	-
				10bit 品	-
			8bpp	8bit 品	16 バースト以下
				9bit 品	-
				10bit 品	-

【注】 \* バースト長に設定したライン数分のデータが SDRAM の同一 ROW アドレス内に入るように、データを設定してください。

表 26.4 回転表示の解像度 / バースト長および接続メモリの制限 (SDRAM 16bit 幅時)

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM コラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
240 × 320	320 × 240	モノクロ	4bpp (packed)	8bit 品	4 バースト以下
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
			4bpp (unpacked)	8bit 品	使用不可
				9bit 品	4 バースト
				10bit 品	8 バースト以下
		6bpp	8bit 品	使用不可	
			9bit 品	4 バースト	
			10bit 品	8 バースト以下	
		カラー	8bpp	8bit 品	使用不可
				9bit 品	4 バースト
				10bit 品	8 バースト以下
16bpp	8bit 品		使用不可		
	9bit 品		使用不可		
	10bit 品		4 バースト		
234 × 320	320 × 234	モノクロ	6bpp	8bit 品	使用不可
				9bit 品	4 バースト
				10bit 品	8 バースト以下
		カラー	16bpp	8bit 品	使用不可
				9bit 品	使用不可
				10bit 品	4 バースト



メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM コラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
80 × 160	160 × 80	モノクロ	2bpp	8bit 品	16 バースト以下
				9bit 品	-
				10bit 品	-
			4bpp (packed)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	-
			4bpp (unpacked)	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
			6bpp	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
		カラー	4bpp (packed)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	-
			4bpp (unpacked)	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
			8bpp	8bit 品	4 バースト
				9bit 品	8 バースト以下
				10bit 品	16 バースト以下
			16bpp	8bit 品	使用不可
				9bit 品	4 バースト
				10bit 品	8 バースト以下

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM コラムアドレス bit 数	LCDC のバースト長 (LDSMR*)
64 × 128	128 × 64	モノクロ	1bpp	8bit 品	-
				9bit 品	-
				10bit 品	-
			2bpp	8bit 品	-
				9bit 品	-
				10bit 品	-
			4bpp (packed)	8bit 品	16 バースト以下
				9bit 品	-
				10bit 品	-
			4bpp (unpacked)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	-
		6bpp	8bit 品	8 バースト以下	
			9bit 品	16 バースト以下	
			10bit 品	-	
		カラー	4bpp (packed)	8bit 品	16 バースト以下
				9bit 品	-
				10bit 品	-
			4bpp (unpacked)	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	-
			8bpp	8bit 品	8 バースト以下
				9bit 品	16 バースト以下
				10bit 品	-

【注】 \* バースト長に設定したライン数分のデータが SDRAM の同一 ROW アドレス内に入るように、データを設定してください。

### 26.4.3 カラーパレット仕様について

#### (1) カラーパレットレジスタ

本LCDCは1エントリにつき24ビットデータ出力で256エントリ同時使用可能なカラーパレットを有しており、本カラーパレットを利用することで16M色中256色同時発色が可能です。

また、本カラーパレットは以下の手順によって、ユーザにより随時設定可能です。

1. LDPALCRのPALENビット=0(初期値)：通常表示動作
2. LDPALCRにアクセスしPALEN=1を設定：カラーパレット設定モードに移行は周辺クロックの3サイクル後
3. LDPALCRにアクセスしPALS=1を確認
4. LDPR00~FFにアクセスしPALD00~FFに必要な値を書き込む
5. LDPALCRにアクセスしPALEN=0を設定：通常表示モードに移行は周辺クロックの1サイクル後

なお、LDPALCRのPALS=1の間、LCDC表示データ出力(LCD\_DATA)は0値出力となります。

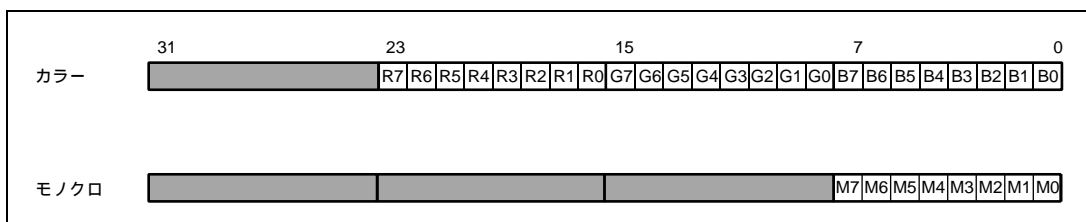


図 26.3 カラーパレットデータフォーマット

PALDnnの色/階調データは上記のように設定してください。

カラー表示の場合、PALDnn[23:16]にはRデータを、PALDnn[15:8]にはGデータを、PALDnn[7:0]にはBデータを設定します。ただし、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]にはレジスタのビットは存在しますが、それに対応するメモリが存在しません。そのため、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]はパレットのデータを保存することができないため、R:5ビット、G:6ビット、B:5ビットが有効となります。実際に使用する際は、24ビット(R:8ビット、G:8ビット、B:8ビット)のデータを書き込んでください。PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が0でないときは、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を0または1で埋め、PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が0のときはPALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を0で埋めることで24ビットに拡張します。

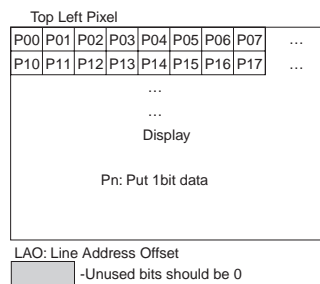
モノクロ表示の場合、PALDnn[7:3]に階調データを設定します。PALDnn[23:8]はdon't careです。PALDnn[7:3]の値が0でないときはPALDnn[2:0]を1で埋め、PALDnn[7:3]の値が0のときはPALDnn[2:0]を0で埋めることで8ビットに拡張します。

【記号説明】nn：H'00～H'FF

### 26.4.4 データフォーマット

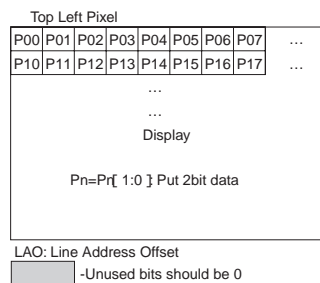
1.Packed 1bpp (Pixel Alignment in Byte is Big Endian [ Windows CE Recommended Format ])

Address	MSB							LSB	Bit ]
	7	6	5	4	3	2	1	0	
+00	P00	P01	P02	P03	P04	P05	P06	P07	( Byte0 )
+01	P08								( Byte1 )
+02	...								
+03	...								
...	...								
+LAO+00	P10	P11	P12	P13	P14	P15	P16	P17	
+LAO+01	P18								
+LAO+02	...								
+LAO+03	...								
...	Display Memory								



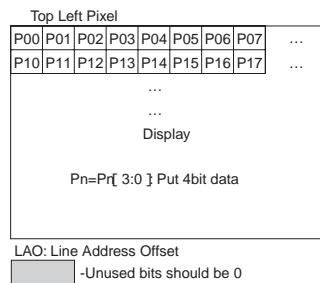
2.Packed 2bpp (Pixel Alignment in Byte is Big Endian [ Windows CE Recommended Format ])

Address	MSB				LSB				Bit ]
	7	6	5	4	3	2	1	0	
+00	P00		P01		P02		P03		( Byte0 )
+01	P04		P05		P06		P07		( Byte1 )
+02	...								
+03	...								
...	...								
+LAO+00	P10		P11		P12		P13		
+LAO+01	P14		P15		P16		P17		
+LAO+02	...								
+LAO+03	...								
...	Display Memory								



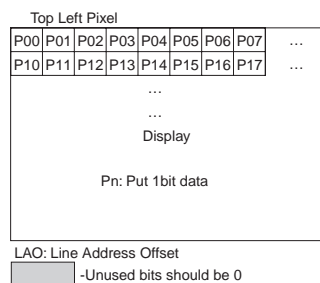
3.Packed 4bpp (Pixel Alignment in Byte is Big Endian [ Windows CE Recommended Format ])

Address	MSB				LSB				Bit ]
	7	6	5	4	3	2	1	0	
+00	P00				P01				( Byte0 )
+01	P02				P03				( Byte1 )
+02	P04				P05				( Byte2 )
+03	...								
...	...								
+LAO+00	P10				P11				
+LAO+01	P12				P13				
+LAO+02	P14				P15				
+LAO+03	...								
...	Display Memory								

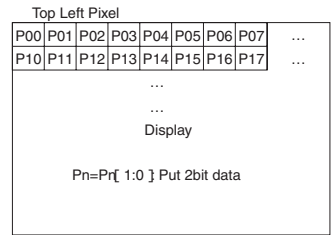
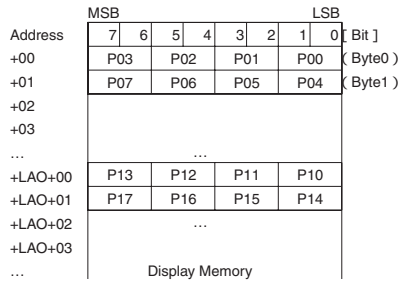



4.Packed 1bpp (Pixel Alignment in Byte is Little Endian)

Address	MSB							LSB	Bit ]
	7	6	5	4	3	2	1	0	
+00	P07	P06	P05	P04	P03	P02	P01	P00	( Byte0 )
+01								P08	( Byte1 )
+02	...								
+03	...								
...	...								
+LAO+00	P17	P16	P15	P14	P13	P12	P11	P10	
+LAO+01								P18	
+LAO+02	...								
+LAO+03	...								
...	Display Memory								

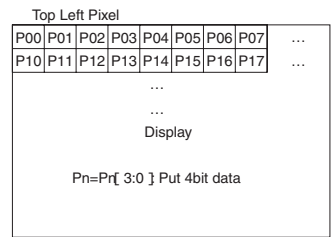
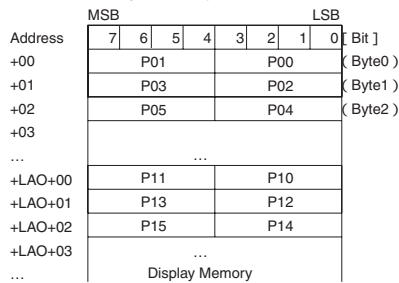



5.Packed 2bpp ( Pixel Alignment in Byte is Little Endian )



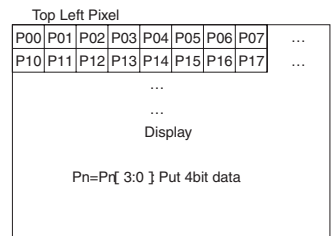
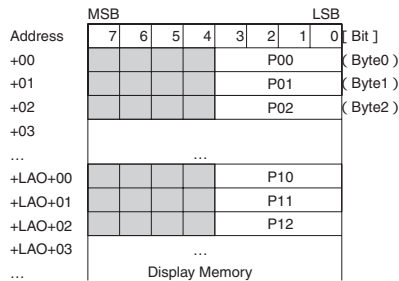
LAO: Line Address Offset  
 -Unused bits should be 0


6.Packed 4bpp ( Pixel Alignment in Byte is Little Endian )



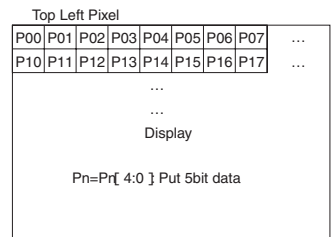
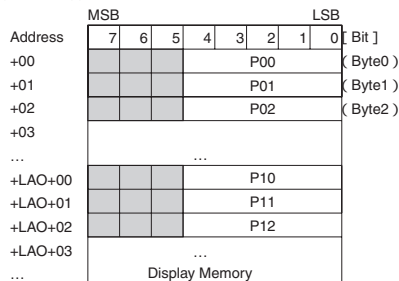
LAO: Line Address Offset  
 -Unused bits should be 0


7.Unpacked 4bpp [ Windows CE Recommended Format ]



LAO: Line Address Offset  
 -Unused bits should be 0

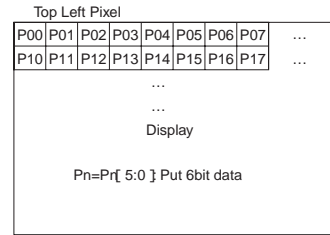
8.Unpacked 5bpp [ Windows CE Recommended Format ]



LAO: Line Address Offset  
 -Unused bits should be 0

9.Unpacked 6bpp [ Windows CE Recommended Format ]

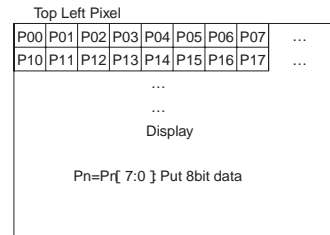
Address	MSB							LSB	Bit ]
	7	6	5	4	3	2	1	0	
+00	P00								( Byte0 )
+01	P01								( Byte1 )
+02	P02								( Byte2 )
+03	...								
...	...								
+LAO+00	P10								
+LAO+01	P11								
+LAO+02	P12								
+LAO+03	...								
...	Display Memory								



LAO: Line Address Offset  
 [ ] -Unused bits should be 0

10.Packed 8bpp [ Windows CE Recommended Format ]

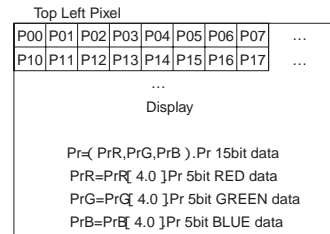
Address	MSB							LSB	Bit ]
	7	6	5	4	3	2	1	0	
+00	P00								( Byte0 )
+01	P01								( Byte1 )
+02	P02								( Byte2 )
+03	...								
...	...								
+LAO+00	P10								
+LAO+01	P11								
+LAO+02	P12								
+LAO+03	...								
...	Display Memory								



LAO: Line Address Offset  
 [ ] -Unused bits should be 0

11.Unpacked color 15bpp [ RGB 555 ] [ Windows CE Recommended Format ]

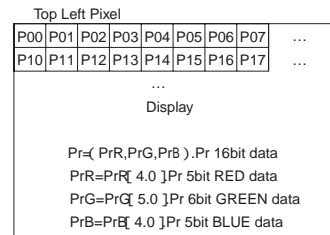
Address	MSB															LSB	Bit ]
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
+00	P00R					P00G					P00B						( Word0 )
+02	P01R					P01G					P01B						( Word2 )
+04	P02R					P02G					P02B						( Word4 )
+06	...					...					...						
...	...					...					...						
+LAO+00	P10R					P10G					P10B						
+LAO+02	P11R					P11G					P11B						
+LAO+04	P12R					P12G					P12B						
+LAO+06	...					...					...						
...	Display Memory																



LAO: Line Address Offset  
 [ ] -Unused bits should be 0

12.Packed color 16bpp [ RGB 565 ] [ Windows CE Recommended Format ]

Address	MSB															LSB	Bit ]
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
+00	P00R					P00G					P00B						( Word0 )
+02	P01R					P01G					P01B						( Word2 )
+04	P02R					P02G					P02B						( Word4 )
+06	...					...					...						
...	...					...					...						
+LAO+00	P10R					P10G					P10B						
+LAO+02	P11R					P11G					P11B						
+LAO+04	P12R					P12G					P12B						
+LAO+06	...					...					...						
...	Display Memory																



LAO: Line Address Offset  
 [ ] -Unused bits should be 0

### 26.4.5 表示解像度の設定

表示解像度は LDHCNR、LDHSYNR、LDVDLNR、LDVTLNR、LDVSYNR で設定します。LDACLNR で STN または DSTN 表示時の液晶交流化周期を設定します。これらのレジスタの初期値は VGA (640×480 ドット)、STN または DSTN 表示に典型的な解像度設定値となっています。

LDICKR で使用するクロックを設定します。液晶モジュールのフレームレートは、サイズに関するレジスタで設定された 1 画面分の表示画面 + 帰線期間 (非表示期間) と使用するクロックの周波数により決定されます。また本 LCDC は、垂直帰線期間の開始点 (正確には最終表示ラインの次のライン開始点) ごとに割り込みを発生する Vsync 割り込み機能を有しています。LDINTR を用いて、その機能を設定します。

### 26.4.6 電源制御シーケンス処理

通常、液晶モジュールは電源の投入遮断に関して特定のシーケンス処理を必要としています。LDPMMR、LDPSPR、LDCNTR を設定することにより、液晶電源制御端子 (LCD\_VCPWC、LCD\_VEPWC、LCD\_DON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行できます。

電源制御シーケンスの概略タイミングチャートを図 26.4 ~ 図 26.7 に、設定可能な電源制御シーケンス期間の説明を表 26.5 に示します。

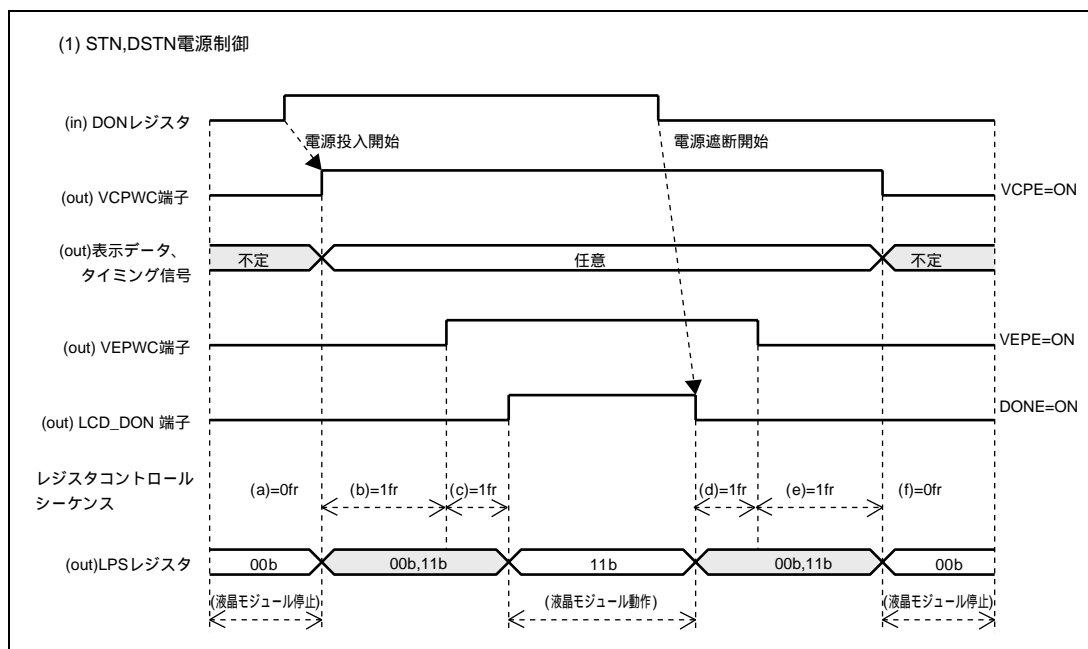


図 26.4 電源制御シーケンスと液晶モジュールの動作状態

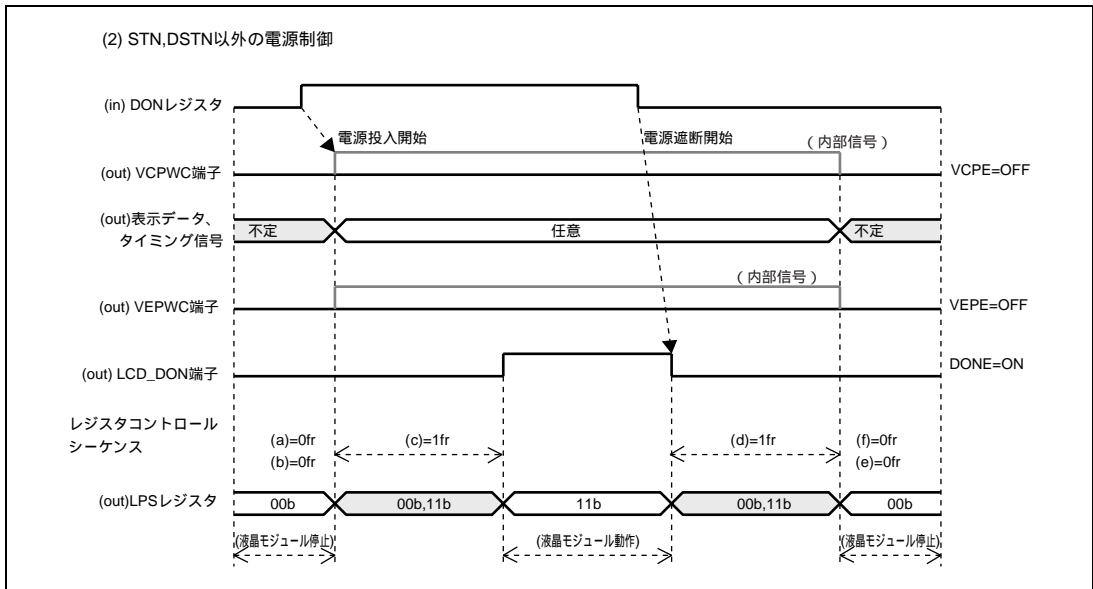


図 26.5 電源制御シーケンスと液晶モジュールの動作状態

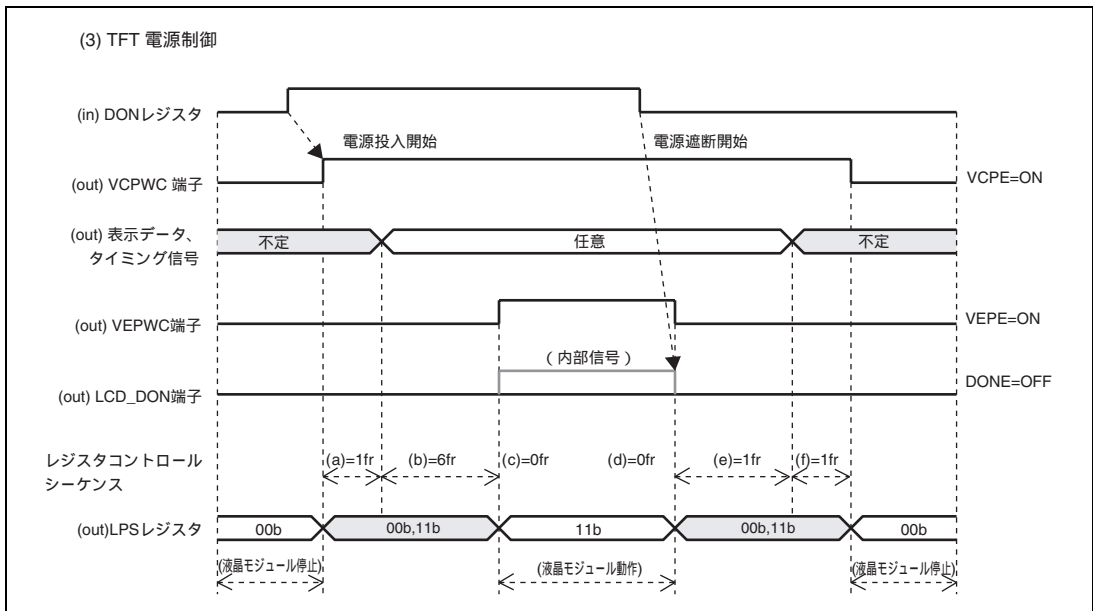


図 26.6 電源制御シーケンスと液晶モジュールの動作状態



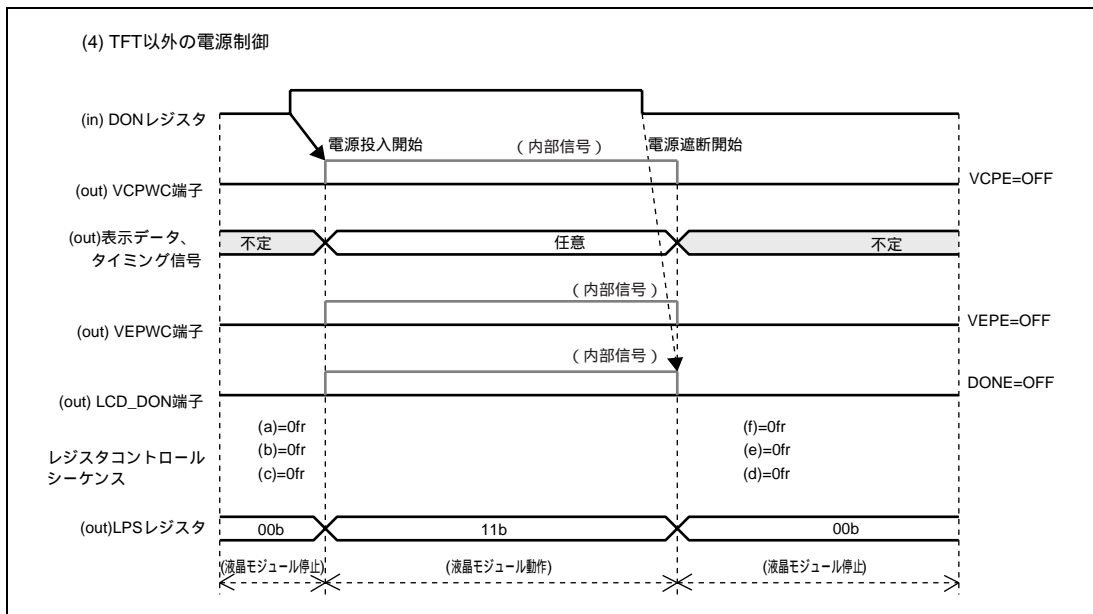


図 26.7 電源制御シーケンスと液晶モジュールの動作状態

表 26.5 代表的なフレームレートにおいて設定可能な電源制御シーケンス期間

ONX、OFFX レジスタ設定値	フレームレート	
	120Hz	60Hz
H'F	$(-1+1)/120 = 0.00(\text{ms})$	$(-1+1)/60 = 0.00(\text{ms})$
H'0	$(0+1)/120 = 8.33(\text{ms})$	$(0+1)/60 = 16.67(\text{ms})$
H'1	$(1+1)/120 = 16.67(\text{ms})$	$(1+1)/60 = 33.33(\text{ms})$
H'2	$(2+1)/120 = 25.00(\text{ms})$	$(2+1)/60 = 50.00(\text{ms})$
H'3	$(3+1)/120 = 33.33(\text{ms})$	$(3+1)/60 = 66.67(\text{ms})$
H'4	$(4+1)/120 = 41.67(\text{ms})$	$(4+1)/60 = 83.33(\text{ms})$
H'5	$(5+1)/120 = 50.00(\text{ms})$	$(5+1)/60 = 100.00(\text{ms})$
H'6	$(6+1)/120 = 58.33(\text{ms})$	$(6+1)/60 = 116.67(\text{ms})$
H'7	$(7+1)/120 = 66.67(\text{ms})$	$(7+1)/60 = 133.33(\text{ms})$
H'8	$(8+1)/120 = 75.00(\text{ms})$	$(8+1)/60 = 150.00(\text{ms})$
H'9	$(9+1)/120 = 83.33(\text{ms})$	$(9+1)/60 = 166.67(\text{ms})$
H'A	$(10+1)/120 = 91.67(\text{ms})$	$(10+1)/60 = 183.33(\text{ms})$
H'B	$(11+1)/120 = 100.00(\text{ms})$	$(11+1)/60 = 200.00(\text{ms})$
H'C	$(12+1)/120 = 108.33(\text{ms})$	$(12+1)/60 = 216.67(\text{ms})$
H'D	$(13+1)/120 = 116.67(\text{ms})$	$(13+1)/60 = 233.33(\text{ms})$
H'E	$(14+1)/120 = 125.00(\text{ms})$	$(14+1)/60 = 250.00(\text{ms})$

ONA、ONB、ONC、OFFD、OFFE、OFFF の各レジスタはフレーム周期単位で 0 ~ 15 フレームまでの電源制御シーケンス期間を設定可能です。レジスタ設定は ( - 1 値 ) 設定であり、H'0 ~ H'E 設定でおのおの 1 ~ 15 フレーム、H'F 設定で 0 フレームを意味します。

実際のシーケンス時間はレジスタ設定値と表示フレーム周波数に依存します。下表は代表的な液晶モジュールの表示フレーム周波数での電源制御シーケンス期間です。

- 表示フレーム周波数120HzにおいてONB レジスタにH'6を設定した場合

表示フレーム周波数が 120Hz なので、1 フレームの時間は  $8.33 \text{ (ms)} = 1/120 \text{ (sec)}$

ONB レジスタは ( - 1 値 ) 設定なので電源投入シーケンス期間は 7 フレーム。

したがって、この場合のシーケンス時間は  $58.33 \text{ (ms)} = 8.33 \text{ (ms)} \times 7$  となります。

表 26.6 LCDC 動作モード

モード		機能
表示 ON (LCDC 動作)	レジスタ設定 : DON = 1	所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力
表示 OFF (LCDC 停止)	レジスタ設定 : DON = 0	レジスタアクセスは可能。 所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力しない

表 26.7 液晶モジュール電源状態

(STN、DSTN モジュールの場合)

状態	ロジック系電源	表示データ タイミング信号	高圧系電源	DON 信号
対応する制御端子	LCD_VCPWC	LCD_CL2、LCD_CL1、LCD_FLM、 LCD_M_DISP、LCD_DATA	LCD_VEPWC	LCD_DON
動作状態	供給	供給	供給	供給
(過渡状態)	供給	供給	供給	
	供給	供給		
	供給			
停止状態				

(TFT モジュールの場合)

状 態	ロジック系電源	表示データ タイミング信号	高圧系電源
対応する制御端子	LCD_VCPWC	LCD_CL2、LCD_CL1、 LCD_FLM、LCD_M_DISP、 LCD_DATA	LCD_VEPWC
動作状態	供給	供給	供給
(過渡状態)	供給	供給	
	供給		
停止状態			

上記は、一般的と思われる液晶モジュールの動作状態、停止状態での電源および表示データ、タイミング信号の供給状態です。ただし、モジュールによっては高圧系電源をロジック系電源電圧からモジュール内部で生成するものもあり必ずしも示した電源の供給を必要としているとは限りません。

表示 OFF モード (LCDC 停止) の注意事項

本 LCDC による液晶モジュール電源制御シーケンス処理を使用している場合、表示 ON モードのまま電源の遮断を行った場合の LCDC の正常動作は保証できません。また、最悪の場合、接続している液晶モジュールが破損する恐れがあります。

#### 26.4.7 ハードウェアローテーション動作説明

以下にハードウェアローテーション動作の説明を示します。ハードウェアローテーションモードは、「横長の画面をもつ液晶パネルを縦置きすることで縦長の液晶パネルの代わりに使う」ような使い方を想定しています。パネルの形は横長でも縦長でも問題ありませんが、横幅が 320 以下である必要があります。

ハードウェアローテーションを行う場合、ハードウェアローテーション無しの設定から以下の 5 項目を変更しなければなりません (以下の例は 8bpp 時。16bpp 時は 1 ドット当たりのメモリサイズが 2 倍になるため、イメージのサイズ、回転時のレジスタ設定値が異なります)。

1. 画像イメージは、回転したパネルで表示する形で用意する (回転後に 240×320 であれば、回転されていない 240×320 のサイズのデータを用意する)
2. 画像イメージのアドレスに関するレジスタの設定を変更する (LDSARU、LDLAOR)。
3. LDLAOR を 2 のべき乗にする (回転した後の横幅が 240 の場合、256 にする)。
4. グラフィックソフトウェアも 3. の設定に合わせる。
5. LDSARU を画像イメージの左上のアドレスから、左下のアドレスに変更する。

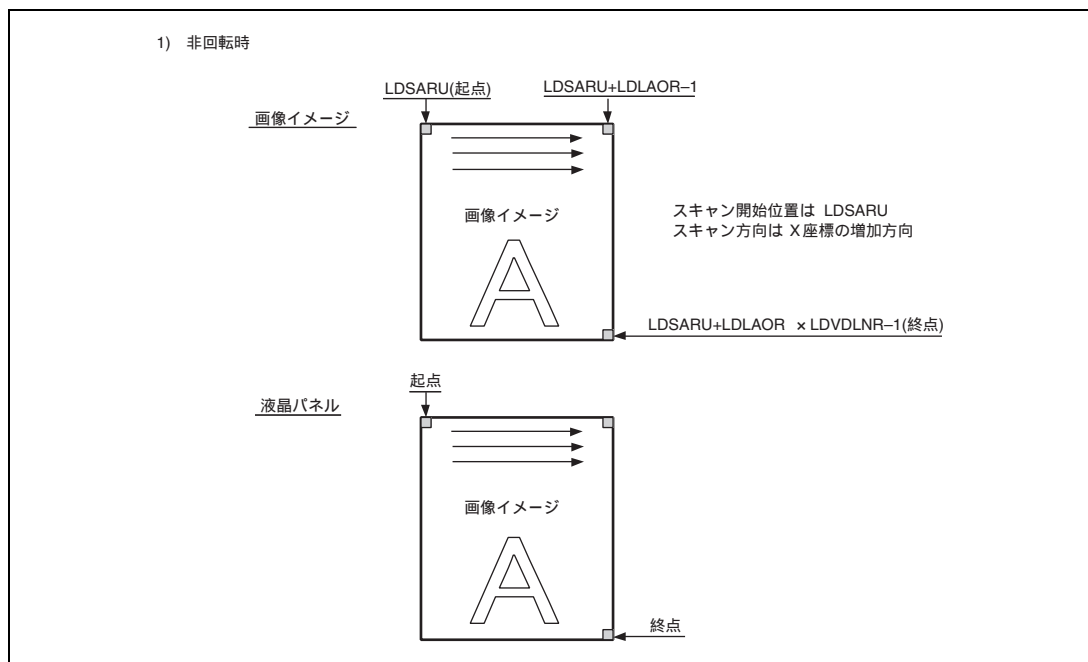


図 26.8 ハードウェアローテーション動作 (非回転時)

たとえば、サイズ  $320 \times 240$  の液晶パネルに対して  $LDSARU = 0x0c001000$  から始まる横長の画像イメージ ( $320 \times 240$ ) を表示するレジスタ設定、およびグラフィックドライバソフトウェアが完成しているものとします。この状態でハードウェアローテーションを使い  $240 \times 320$  で表示するように変更してみます。このとき、 $LDLAOR = 512$  であったとすると、グラフィックドライバソフトウェアも画像イメージの Y 座標のアドレス計算用オフセットを 2 のべき乗としているはずですが、この状態で  $ROT = 1$  とする前に、画像イメージ自体が  $240 \times 320$  用に描きなおす必要があります。また、サイズが異なるので、 $LDLAOR = 256$  となり、同時にグラフィックドライバソフトウェアも変更します。 $LDSARU$  は左上から左下になりますので、 $LDSARU = 0x0c001000 + 256 * 319$  に変更します。

【注】 ハードウェアローテーション機能は、液晶パネルを 90 度傾けて使えるようにする機能であり、液晶パネル自体に関わる設定に関しては、回転前の液晶パネルに合わせる必要があります。また、グラフィックドライバソフトウェアの描画処理にはかかわらずに回転可能ですが、グラフィックドライバソフトウェアの管理している画像イメージのサイズ、およびアドレスオフセットの値を実際の画像イメージに合わせる必要があります。

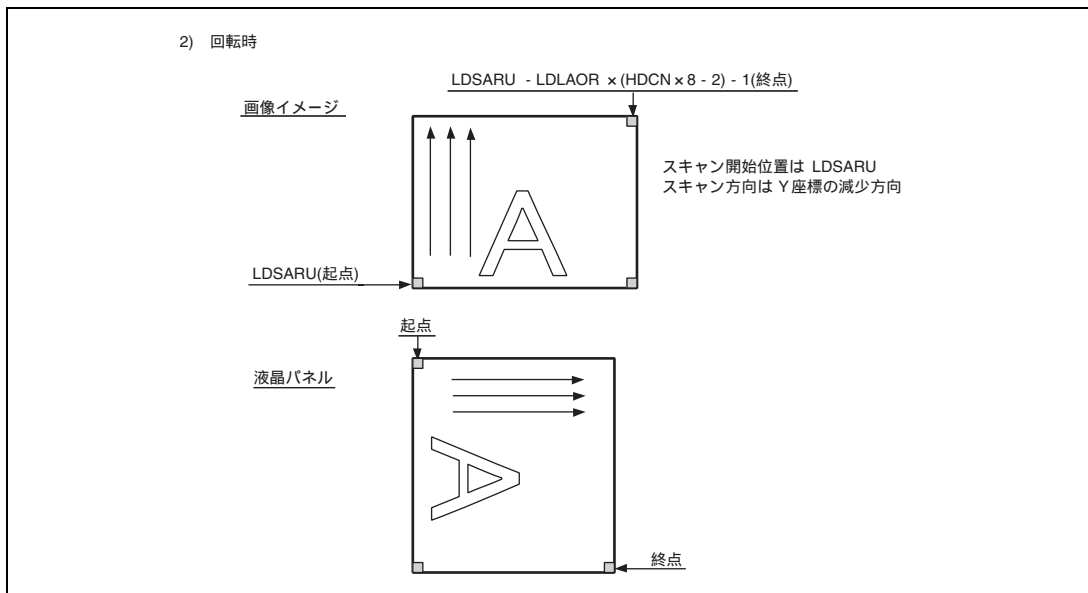


図 26.9 ハードウェアローテーション動作 (回転時)

## 26.5 クロックと LCD データ信号例

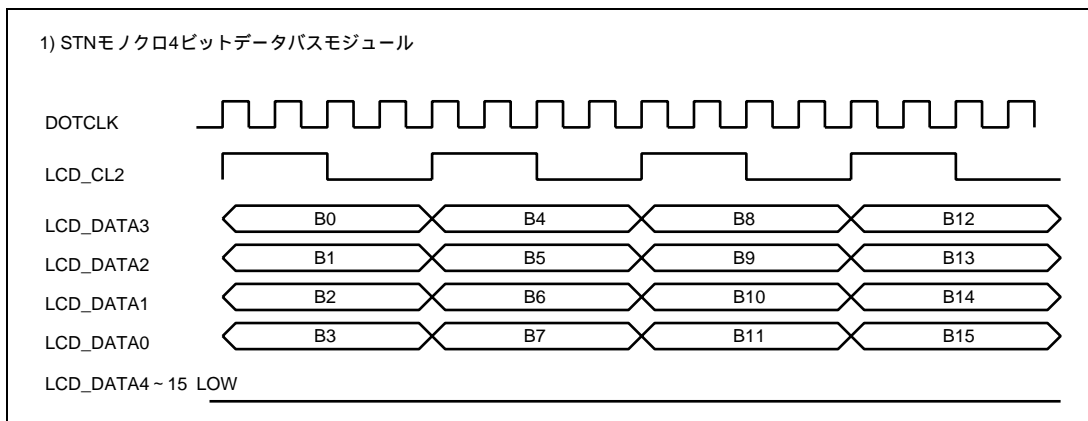


図 26.10 クロックと LCD データ信号例 (STN モノクロ 4 ビットデータバスモジュール)

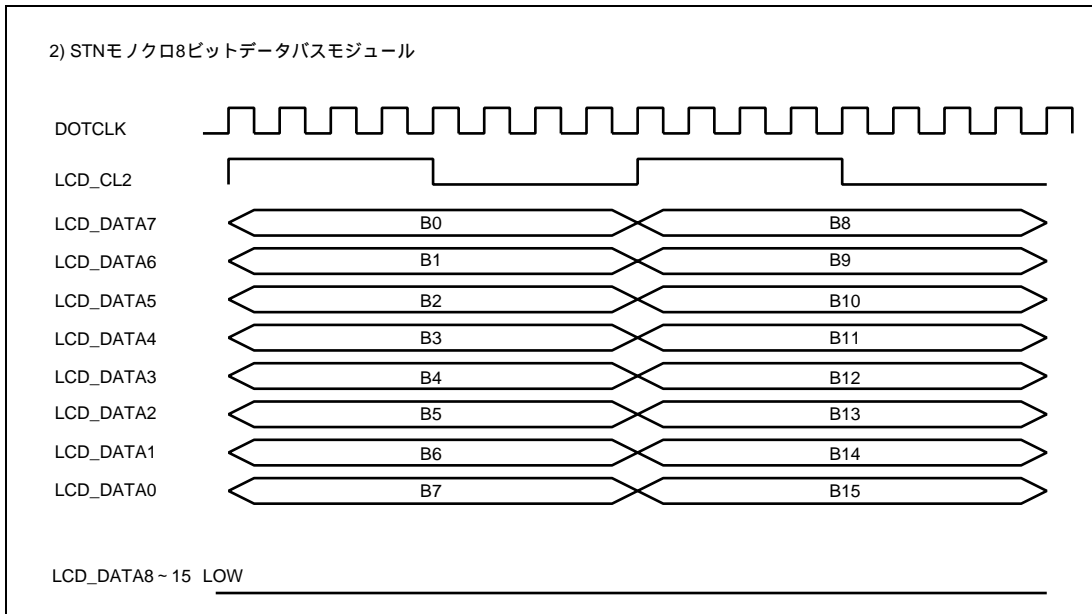


図 26.11 クロックと LCD データ信号例 (STN モノクロ 8 ビットデータバスモジュール)

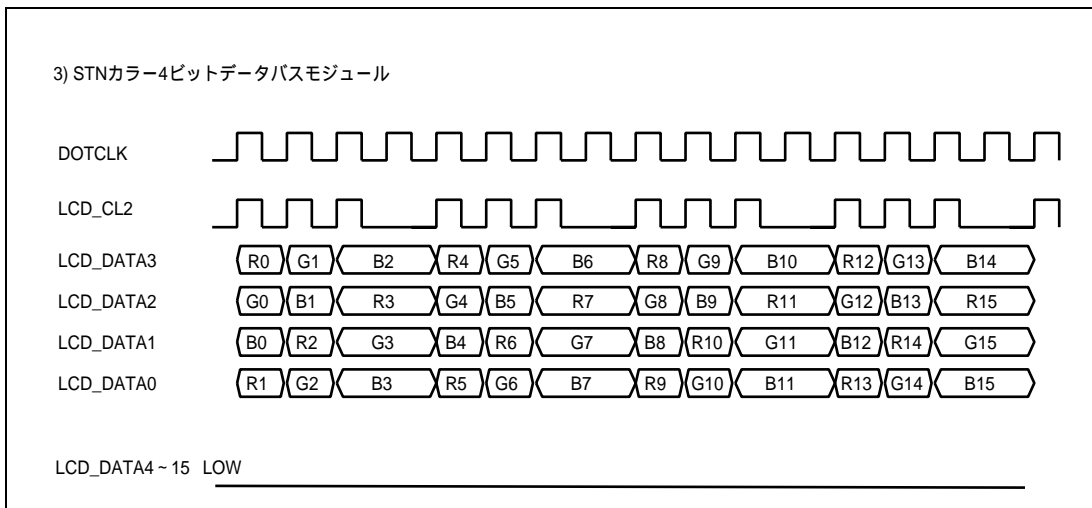


図 26.12 クロックと LCD データ信号例 (STN カラー 4 ビットデータバスモジュール)

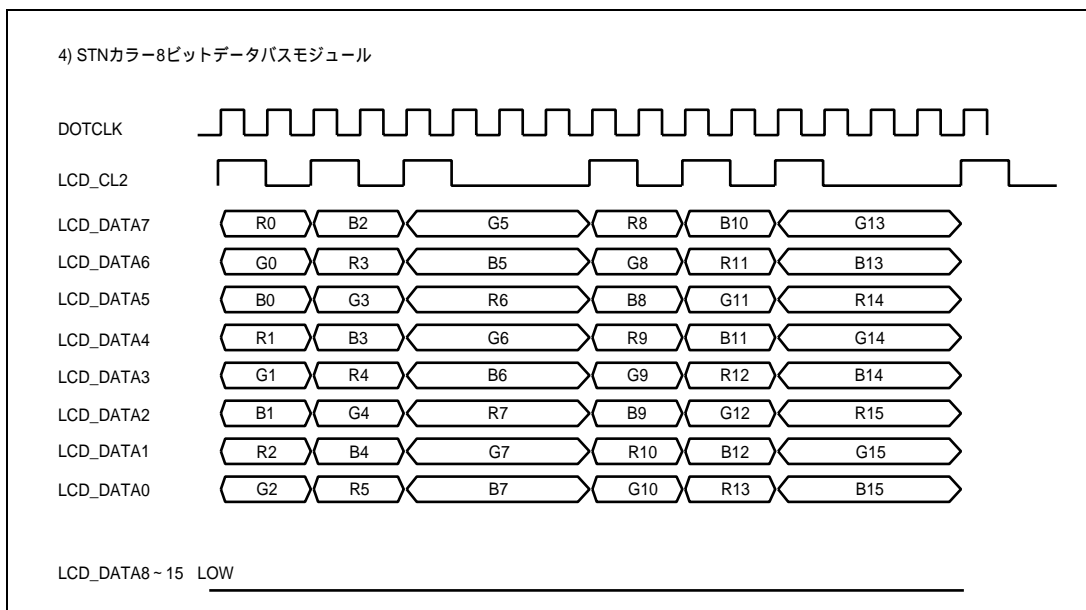


図 26.13 クロックと LCD データ信号例 (STN カラー8 ビットデータバスモジュール)

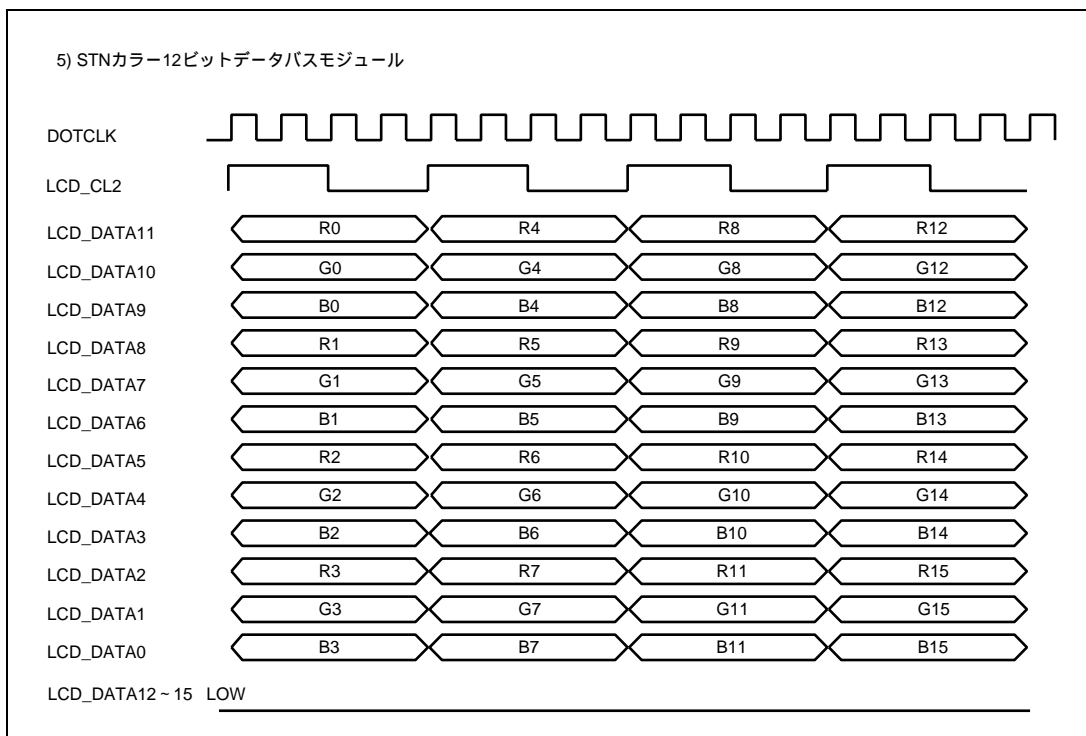


図 26.14 クロックと LCD データ信号例 (STN カラー12 ビットデータバスモジュール)

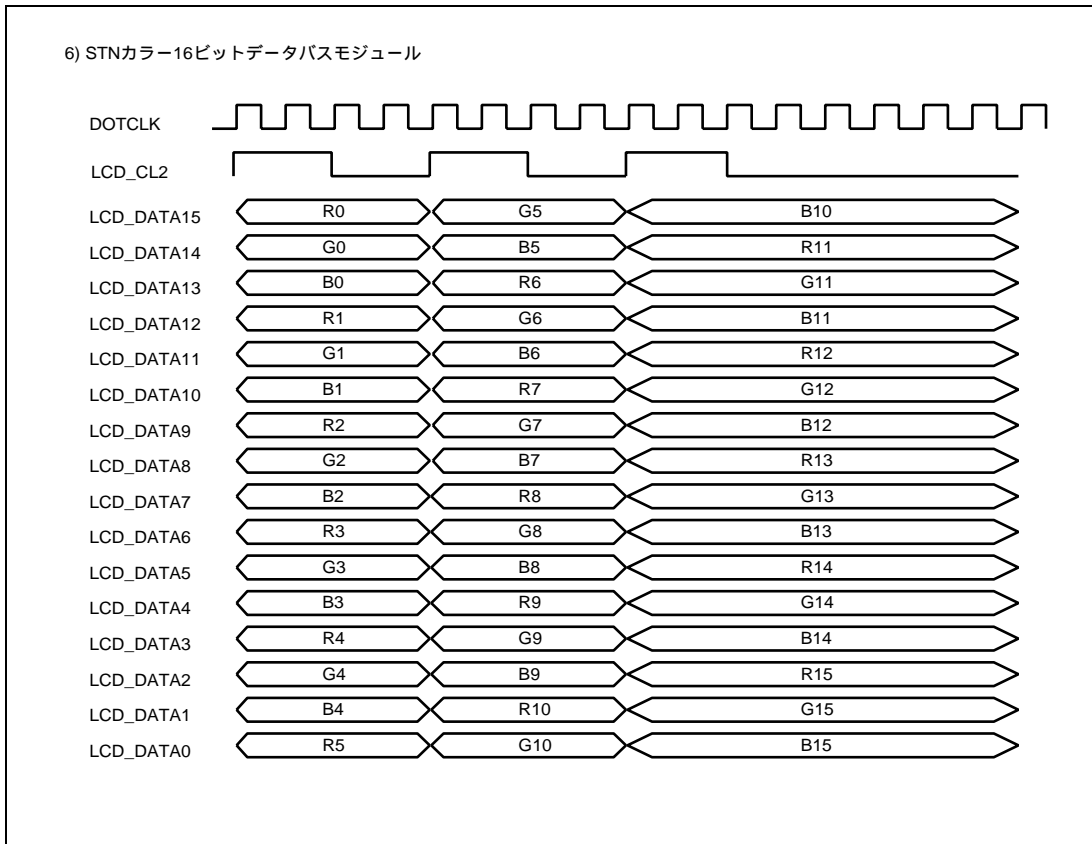


図 26.15 クロックと LCD データ信号例 (STN カラー16ビットデータバスモジュール)

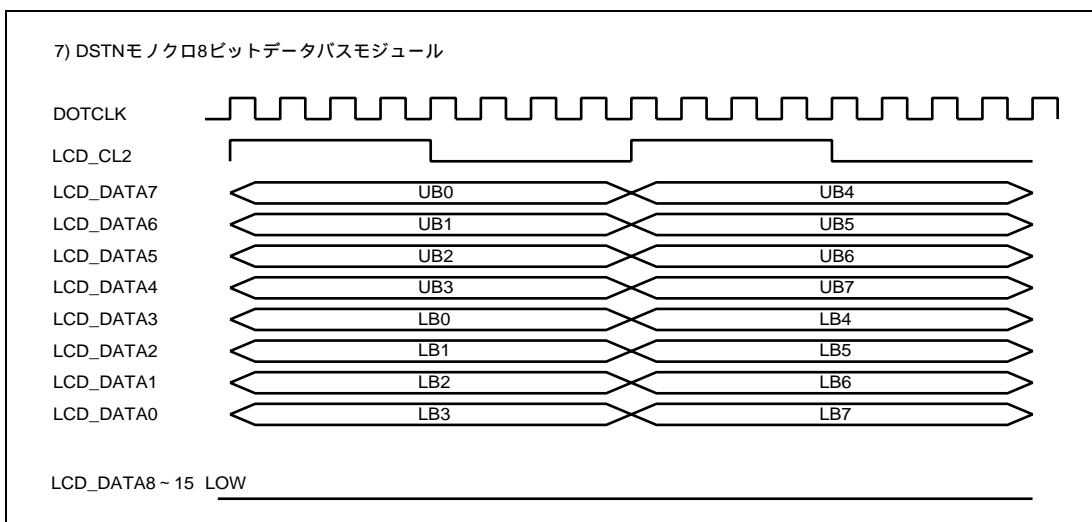


図 26.16 クロックと LCD データ信号例 (DSTN モノクロ8ビットデータバスモジュール)



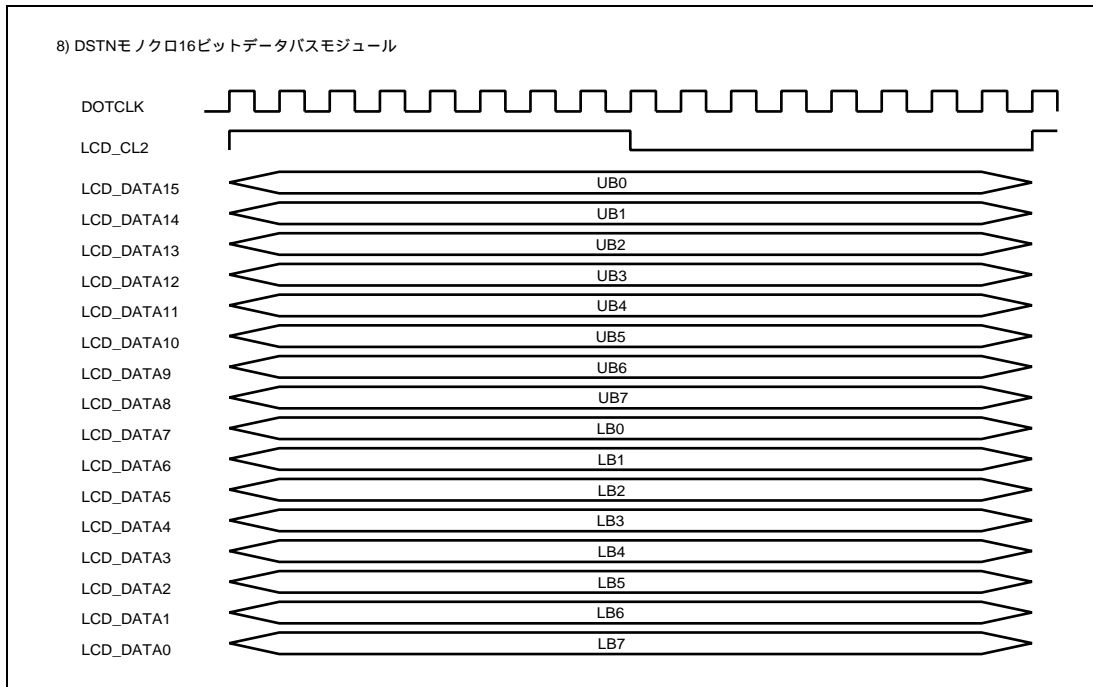


図 26.17 クロックと LCD データ信号例 (DSTN モノクロ 16 ビットデータバスモジュール)

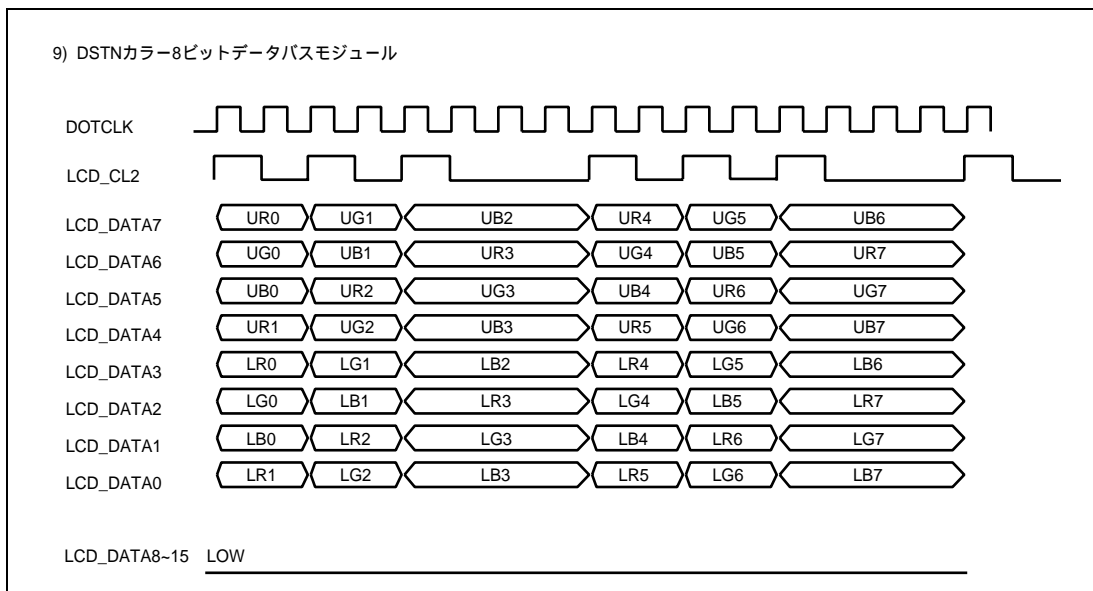


図 26.18 クロックと LCD データ信号例 (DSTN カラー 8 ビットデータバスモジュール)

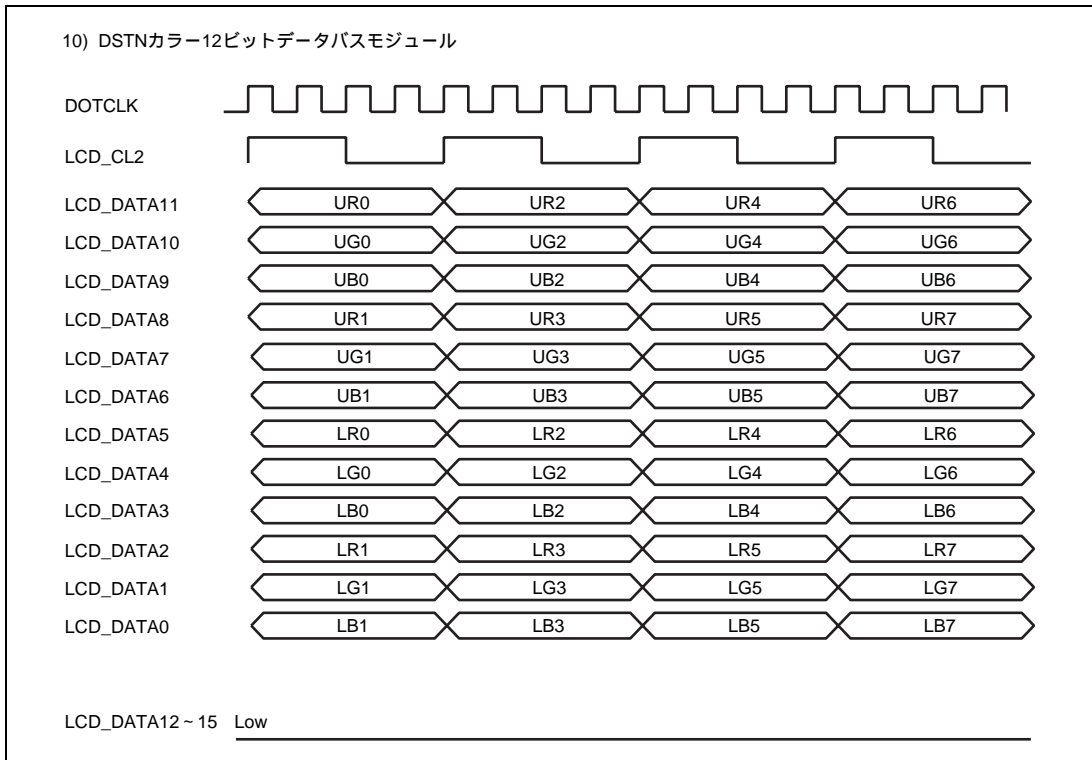


図 26.19 クロックと LCD データ信号例 (DSTN カラー12ビットデータバスモジュール)

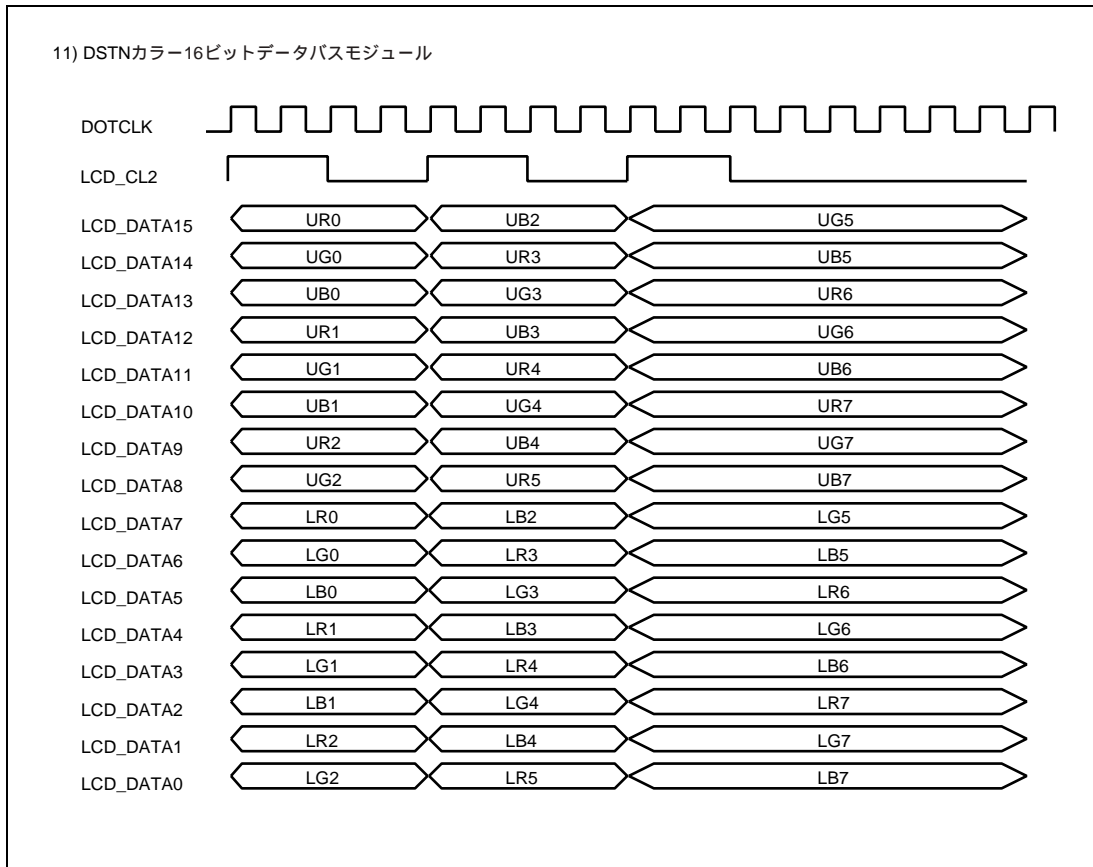


図 26.20 クロックと LCD データ信号例 (DSTN カラー16ビットデータバスモジュール)

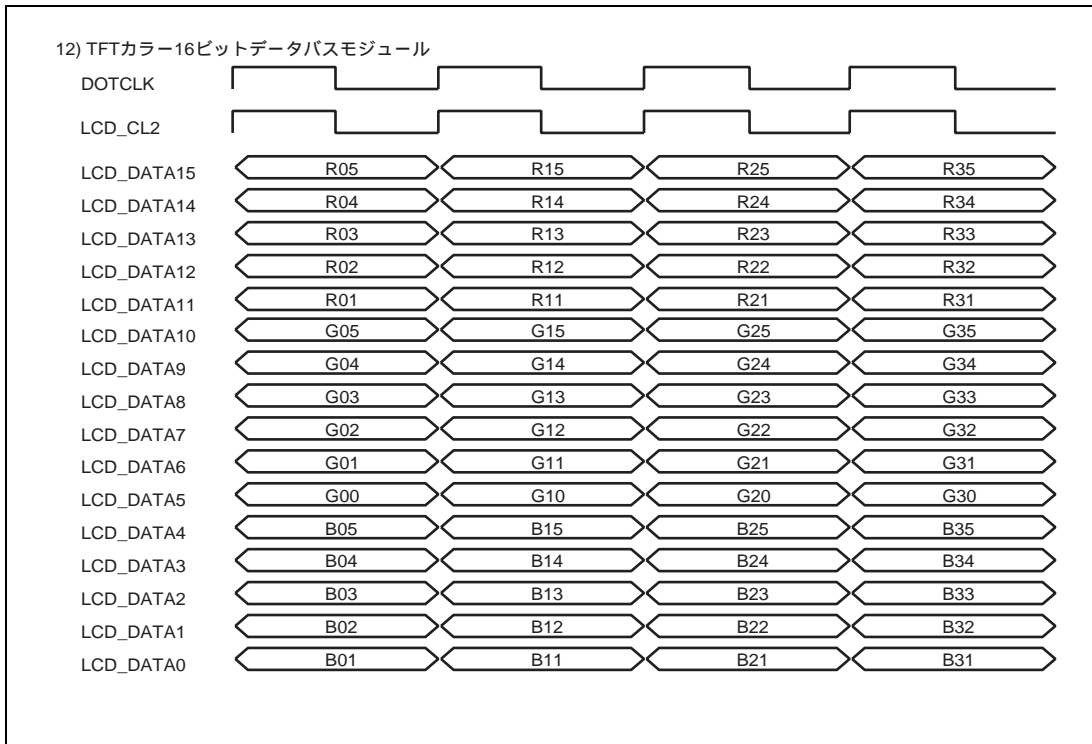


図 26.21 クロックと LCD データ信号例 (TFT カラー16ビットデータバスモジュール)

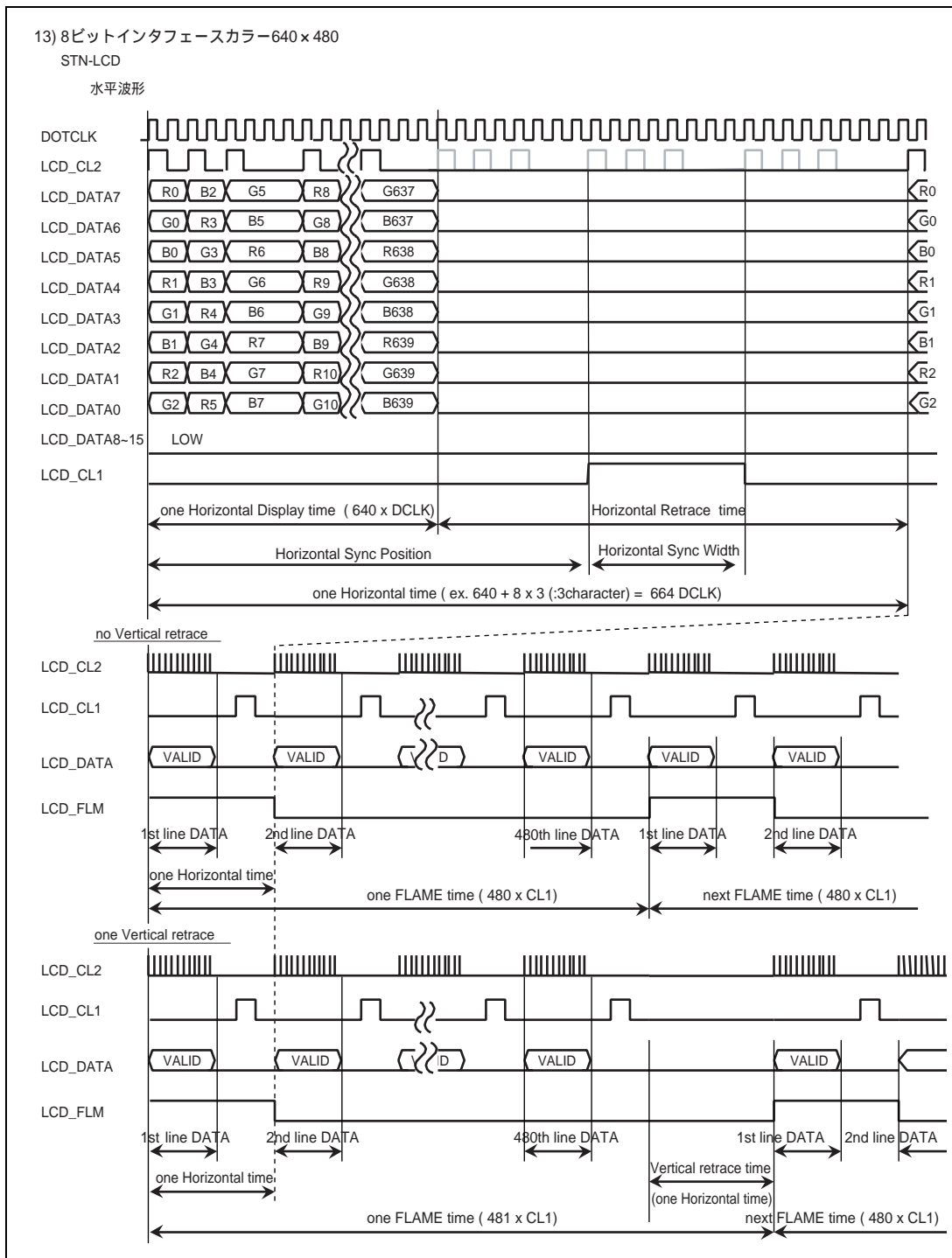


図 26.22 クロックと LCD データ信号例 (8 ビットインタフェースカラー640×480)

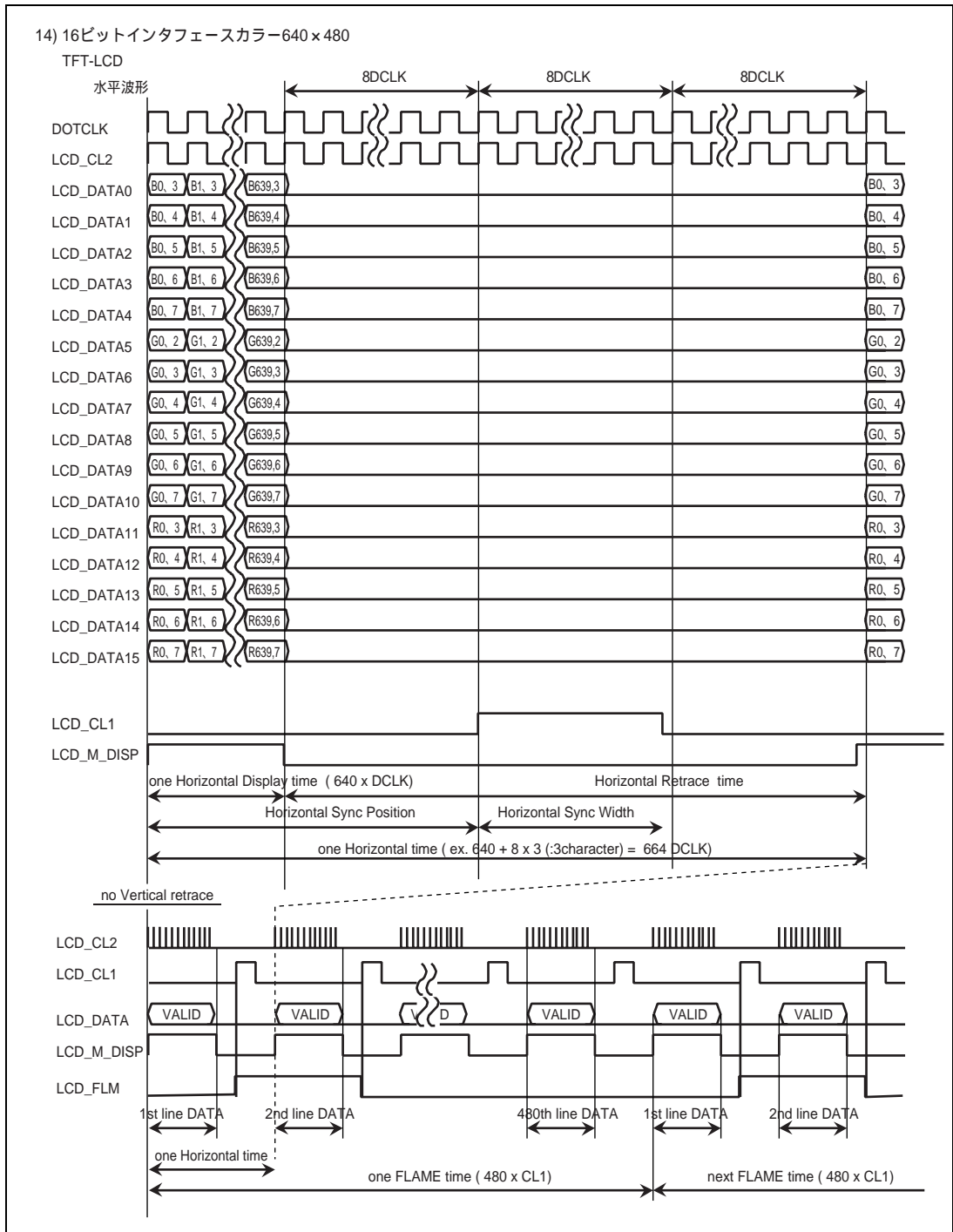


図 26.23 クロックと LCD データ信号例 (16 ビットインタフェースカラー640×480)

## 26.6 使用上の注意事項

### 26.6.1 表示データ格納用 VRAM (エリア 3 のシンクロナス DRAM) アクセスの停止手順について

表示データ格納用 VRAM (エリア 3 のシンクロナス DRAM) アクセスの停止手順は、以下のフローに従ってください。

- 表示データ格納用VRAMアクセスの停止手順
  1. 現在の状態がLDPMMRのLPS1とLPS0ビットが1であることを確認します。
  2. LDCNTRのDONビットを0 (表示オフモード) に設定します。
  3. LDPMMRのLPS1とLPS0ビットが0になることを確認します。
  4. 1フレームの表示時間を待ちます。

表示データ格納用 VRAM (エリア 3 のシンクロナス DRAM) をセルフリフレッシュにする前、スタンバイモード、モジュールスタンバイ等に入る前には、この停止手順が必要です。





---

## 27. A/D 変換器 (ADC)

---

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 4 チャンネルのアナログ入力を選択することができます。

### 27.1 特長

A/D 変換器の特長を以下に示します。

- 10ビット分解能
- 入力チャンネル：4チャンネル
- 最小変換時間：1チャンネル当たり15  $\mu$ s
- 3種類の変換モード
  - シングルモード：1チャンネルのA/D変換
  - マルチモード：1~4チャンネルのA/D変換
  - スキャンモード：1~4チャンネルの連続A/D変換
- 4本のデータレジスタ
  - 変換結果を、各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能
- A/D変換終了割り込み発生
  - A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能
- 外部トリガによるA/D変換が可能

A/D 変換器のブロック図を図 27.1 に示します。

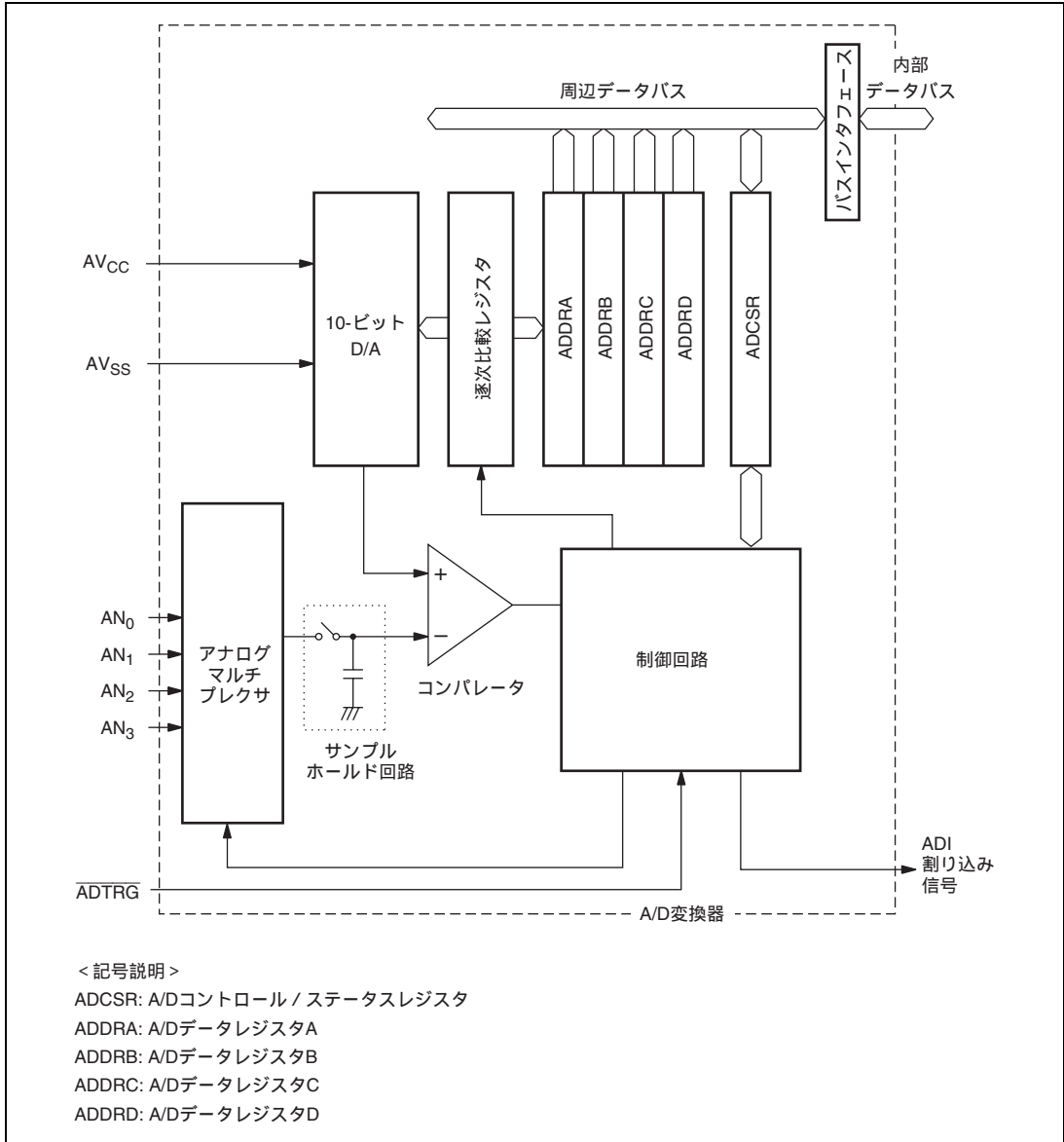


図 27.1 A/D 変換器のブロック図

## 27.2 入出力端子

A/D 変換器で使用する入力端子を表 27.1 に示します。

$AV_{cc}$ 、 $AV_{ss}$  端子は、A/D 変換器内部のアナログ部の電源です。 $AV_{cc}$  端子は、A/D 変換基準電圧です。

表 27.1 端子構成

端子名	略称	入出力	機能
アナログ電源	$AV_{cc}$	入力	アナログ部の電源および A/D 変換の基準電圧
アナロググランド	$AV_{ss}$	入力	アナログ部のグランド
ADC アナログ入力 0	AN0	入力	アナログ入力 0~3
ADC アナログ入力 1	AN1	入力	
ADC アナログ入力 2	AN2	入力	
ADC アナログ入力 3	AN3	入力	
ADC 外部トリガ	$\overline{ADTRG}$	入力	A/D 変換開始のための外部トリガ

## 27.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)

### 27.3.1 A/D データレジスタ A ~ D (ADDRA ~ ADDR D)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA ~ ADDR D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15~6 に転送され、保持されます。ビット 5~0 は読み出すと常に 0 が読み出されます。

アナログ入力チャンネルと ADDR の対応を表 27.2 に示します。

ADDR は、リセット、モジュールスタンバイ機能、およびスタンバイモードで H'0000 に初期化されます。

表 27.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル	A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD

### 27.3.2 A/D コントロール / ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換の動作制御、およびステータスの表示を行います。

ADCSR は、リセット、モジュールスタンバイ機能、およびスタンバイモードで H'0000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)*	<p>A/D エンドフラグ A/D 変換の終了を示すフラグです。</p> <p>[クリア条件] (1) ADF=1 の状態で、ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき (2) ADI 割り込みにより DMAC が起動され、ADDR を読み出したとき</p> <p>[セット条件] シングルモード：A/D 変換が終了したとき マルチモード：指定したすべてのチャネルを一巡して変換したとき スキャンモード：指定したすべてのチャネルを一巡して変換したとき</p> <p>【注】* フラグに 0 を書き込んでクリアしてください。</p>
14	ADIE	0	R/W	<p>A/D インタラプティネーブル A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。 ADIE ビットの設定は変換停止中に行ってください。</p> <p>0：A/D 変換の終了による割り込み (ADI) 要求を禁止 1：A/D 変換の終了による割り込み (ADI) 要求を許可</p>
13	ADST	0	R/W	<p>A/D スタート A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。</p> <p>0：A/D 変換を停止 1：シングルモード：A/D 変換を開始 指定したチャネルの変換が終了すると自動的に 0 にクリア マルチモード：A/D 変換を開始 指定したすべてのチャネルを一巡して変換が終了すると自動的に 0 にクリア スキャンモード：A/D 変換を開始 ソフトウェア、リセットまたはスタンバイモードへの遷移により 0 にクリアされるまで連続変換</p>

ビット	ビット名	初期値	R/W	説明
12	DMASL	0	R/W	DMAC 選択 A/D 変換の終了による割り込みまたは DMAC 起動のいずれかを選択します。 DMASL ビットの設定は変換停止中に行ってください。 0 : A/D 変換の終了による割り込みを選択 1 : A/D 変換の終了による DMAC 起動を選択 CPU を介して、A/D の各レジスタを読み出すと、常に 0 が読み出されません。
11	TRGE1	0	R/W	トリガイネーブル 外部トリガ入力による A/D 変換の許可または禁止を選択します。 00 : 外部トリガ入力による A/D 変換の開始を禁止 01 : 予約 (設定不可) 10 : 予約 (設定不可) 11 : A/D 変換トリガ入力端子 ( $\overline{\text{ADTRG}}$ ) の立ち下がりエッジで A/D 変換を開始
10	TRGE0	0	R/W	
9	-	0	R	リザーブビット
8	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	CKS1	0	R/W	クロックセレクト A/D 変換時間の設定を行います。 変換時間の切り換えは、ADST ビットを 0 にクリアした後に行ってください。 00 : 変換時間 = 151 ステート (最大値) 01 : 変換時間 = 285 ステート (最大値) 10 : 変換時間 = 545 ステート (最大値) 11 : 予約 (設定不可) P 16.5MHz の場合、CKS1 = 0、CKS0 = 0 には設定せず使用してください。 変換時間が不足し精度不足や異常動作となります。
6	CKS0	1	R/W	
5	MULTI1	0	R/W	シングルモード、マルチモード、またはスキャンモードを選択します。 00 : シングルモード 01 : 予約 (設定不可) 10 : マルチモード 11 : スキャンモード
4	MULTI0	0	R/W	
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2	CH2	0	R/W	チャンネルセレクト 2~0
1	CH1	0	R/W	MULTI ビットとともにアナログ入力チャンネル選択します。
0	CH0	0	R/W	入力チャンネルの設定は、ADST ビットを 0 にクリアした後に行ってください。 シングルモード マルチモードおよびスキャンモード 000 : AN0            AN0 001 : AN1            AN0、AN1 010 : AN2            AN0 ~ AN2 011 : AN3            AN0 ~ AN3 100 : 予約 (設定不可) 101 : 予約 (設定不可) 110 : 予約 (設定不可) 111 : 予約 (設定不可)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 27.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。シングルモードとマルチモードおよびスキャンモードの各モードの動作について説明します。

### 27.4.1 シングルモード

シングルモードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアによって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 で DMASL が 0 であると、ADI 割り込み要求が発生します。

ADF ビットは、ADF = 1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 27.2 に示します (動作例におけるビット指定は ADCSR レジスタです)。

1. ADC モジュールにクロックを供給 (STBCR3 レジスタの MSTP33 ビットを 0 にセット) し、ADC の動作を開始します。
2. 動作モードをシングルモードに、入力チャンネルを AN1 に (CH1 = CH2 = 0、CH0 = 1)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
3. A/D 変換が終了すると、A/D 変換結果が ADDR0 に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
4. ADF = 1、ADIE = 1、DMASL = 0 の場合、ADI 割り込み要求が発生します。
5. A/D 割り込み処理ルーチンが開始されます。
6. ADF = 1 を読み出した後、ADF に 0 を書き込みます。
7. A/D 変換結果 (ADDR0 = 0) を読み出して、処理します。
8. A/D 割り込み処理ルーチンの実行を終了します。
9. ADC モジュールへのクロック供給を停止 (STBCR3.MSTP33 = 1) し、モジュールスタンバイ状態にします。

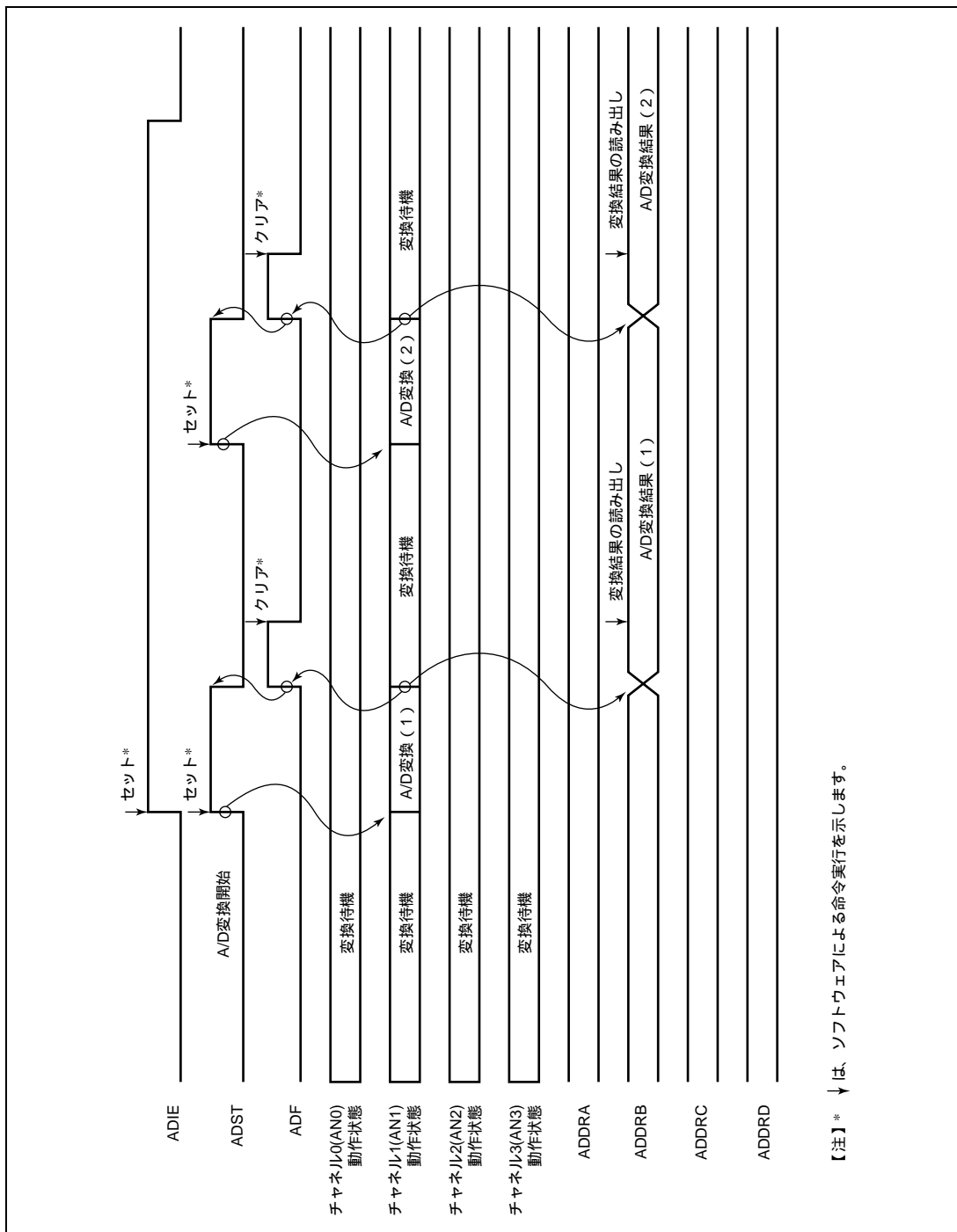


図 27.2 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)



## 27.4.2 マルチモード

マルチモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力を各々 1 回順次変換します。A/D 変換はソフトウェアによって A/D コントロール / ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、第 1 チャンネル (AN0) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、ただちに第 2 チャンネル (AN1) の A/D 変換を開始します。

A/D 変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

マルチモードで 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 27.3 に示します。

1. ADC モジュールにクロックを供給 (STBCR3 レジスタの MSTP33 ビットを 0 にセット) し、ADC の動作を開始します。
2. 動作モードをマルチモードに、アナログ入力チャンネルを AN0 ~ AN2 (CH1 = 1, CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
3. 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR0 に転送します。
4. 次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
5. 同様に第 3 チャンネル (AN2) まで変換を行います。
6. 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、ADST ビットを 0 にして変換を終了します。  
このとき ADIE ビットが 1 で DMASL が 0 であると、A/D 変換終了後、ADI 割り込みを発生します。
7. ADC モジュールへのクロック供給を停止 (STBCR3.MSTP33 = 1) し、モジュールスタンバイ状態にします。

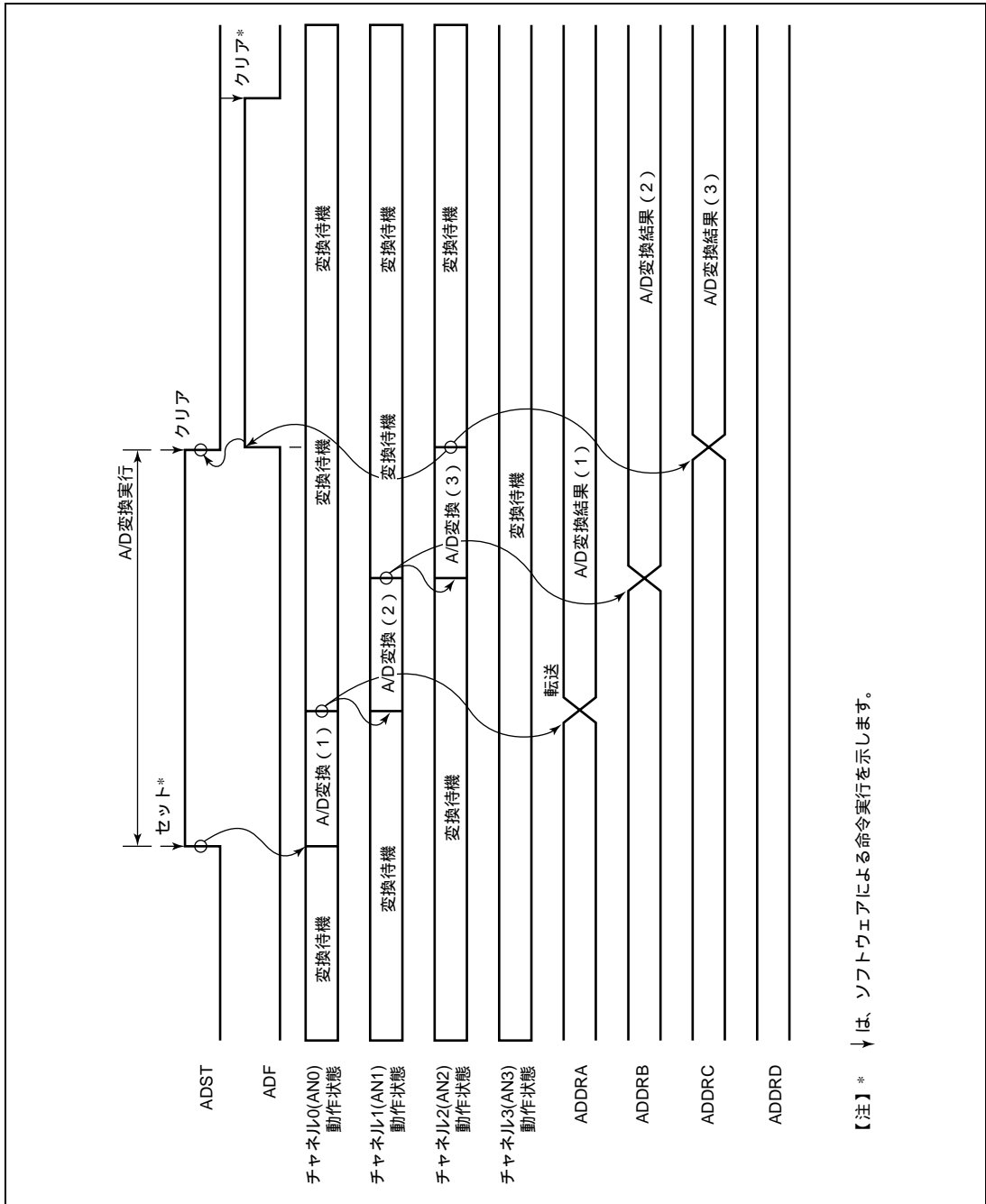


図 27.3 A/D 変換器の動作例 (マルチモード AN0~AN2 の3チャンネル選択時)

### 27.4.3 スキャンモード

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするようなシステムに適します。A/D 変換はソフトウェアによって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、第 1 チャンネル (AN0) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、ただちに第 2 チャンネル (AN1) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードで 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 27.4 に示します。

1. ADC モジュールにクロックを供給 (STBCR3 レジスタの MSTP33 ビットを 0 にセット) し、ADC の動作を開始します。
2. 動作モードをスキャンモードに、アナログ入力チャンネルを AN0 ~ AN2 (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
3. 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR0 に転送します。
4. 次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
5. 同様に第 3 チャンネル (AN2) まで変換を行います。
6. 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、再び、第 1 チャンネル (AN0) を選択し、連続して変換が行われます。

このとき ADIE ビットが 1 で DMASL が 0 であると、A/D 変換終了後、ADI 割り込みを発生します。

7. ADST ビットが 1 にセットされている間は、(3) ~ (5) を繰り返します。  
ADST ビットを 0 にクリアすると、A/D 変換が停止します。
8. ADC モジュールへのクロック供給を停止 (STBCR3.MSTP33 = 1) し、モジュールスタンバイ状態にします。

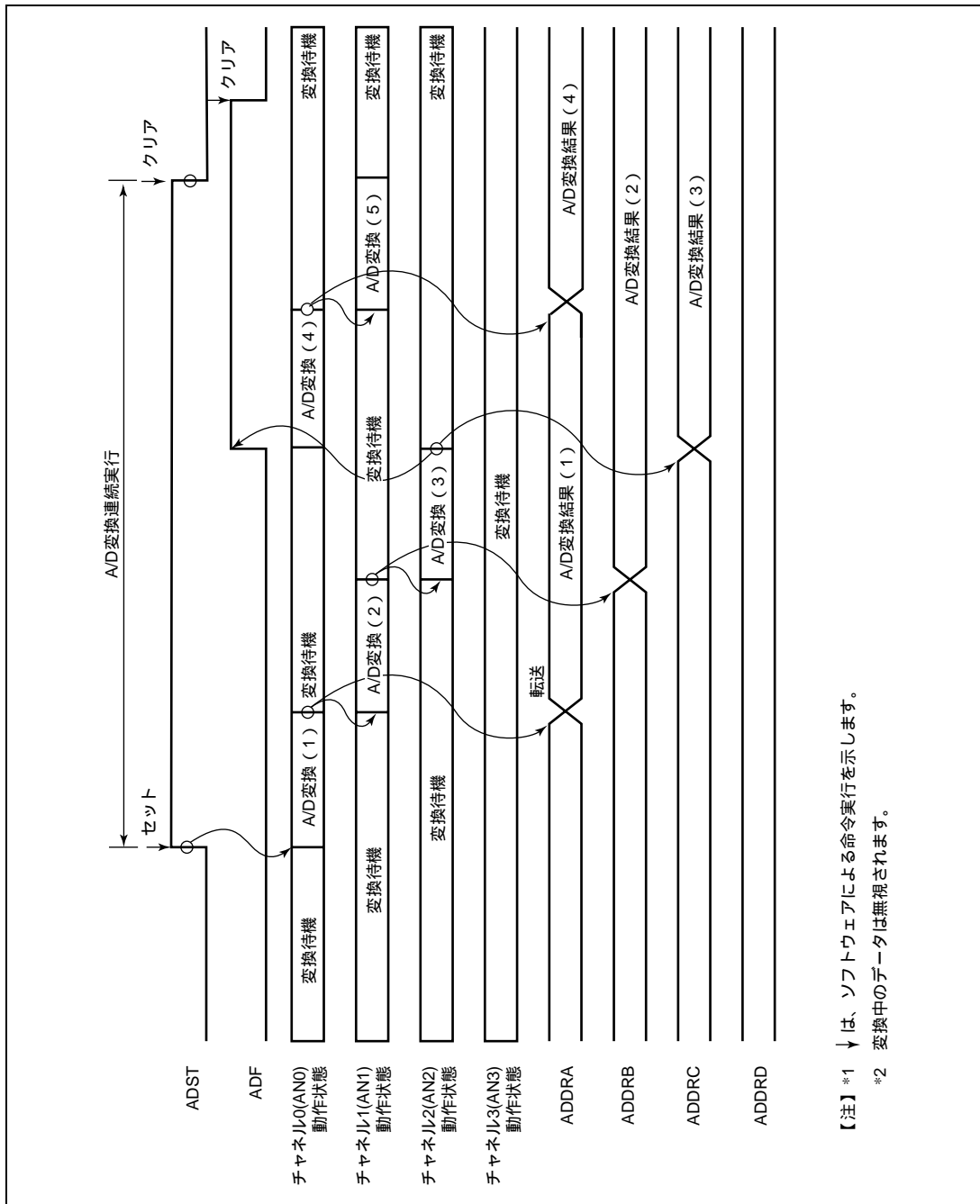


図 27.4 A/D 変換器の動作例 (スキャンモード AN0~AN2 の3チャンネル選択時)

### 27.4.4 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされてから  $t_D$  時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 27.5 に示します。また、A/D 変換時間を表 27.3 に示します。

A/D 変換時間は、図 27.5 に示すように、 $t_D$  と入力サンプリング時間を含めた時間となります。ここで  $t_D$  は、ADCSR への書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 27.3 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 27.3 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS1=1、CKS0=0 の場合は 512 ステート (固定)、CKS1=0、CKS0=1 の場合は 256 ステート (固定)、CKS1=0、CKS0=0 の場合は 128 ステート (固定) となります。

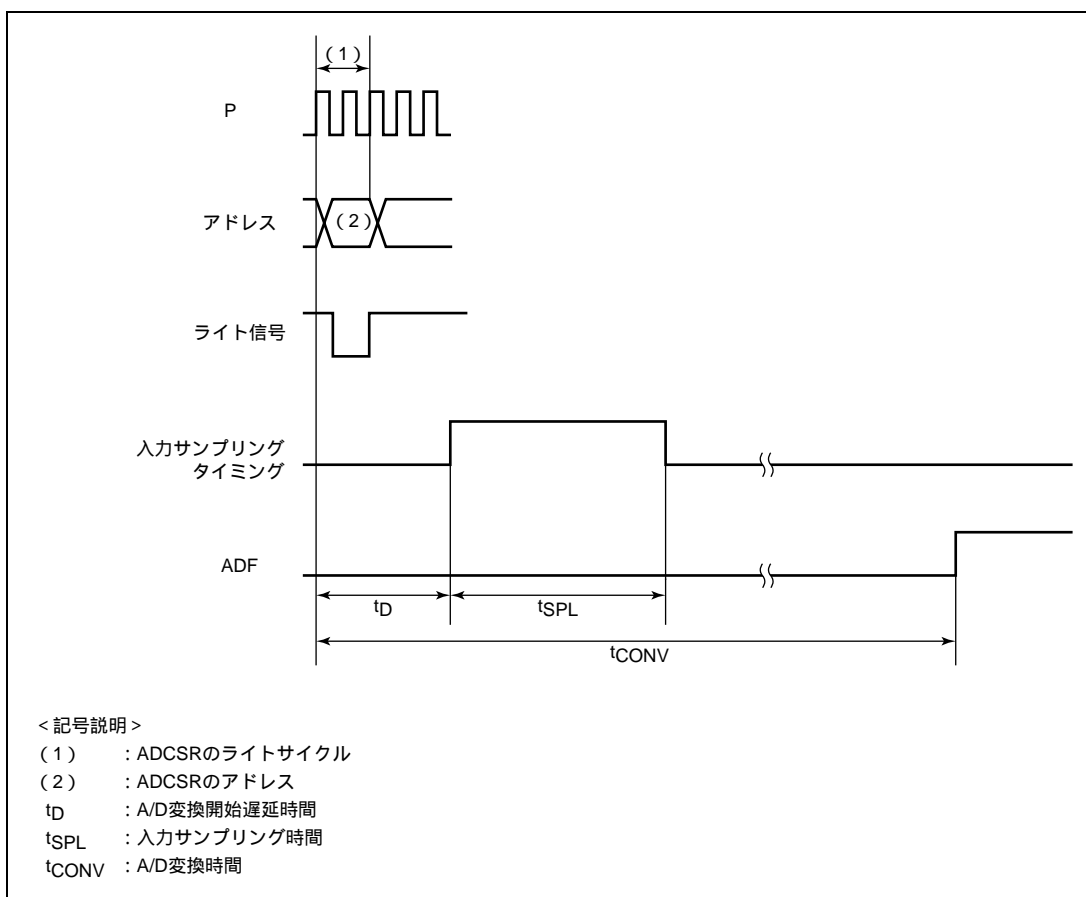


図 27.5 A/D 変換タイミング

表 27.3 A/D 変換時間 (シングルモード)

	記号	CKS1=1, CKS0=0			CKS1=0, CKS0=1			CKS1=0, CKS0=0		
		min	typ	max	min	typ	max	min	typ	max
A/D 変換開始時間	$t_D$	18		21	10		13	6		9
入力サンプリング時間	$t_{SPL}$		129			65			33	
A/D 変換時間	$t_{CONV}$	535		545	275		285	141		151

【注】 表中の数値の単位は P に対するステート ( $t_{cyc}$ ) です。

### 27.4.5 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、A/D コントロール/ステータスレジスタ (ADCSR) の TRGE1、0 ビットがともに 1 にセットされているとき、 $\overline{ADTRG}$  端子から入力されません。

$\overline{ADTRG}$  入力端子の立ち下がりエッジにより、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、変換モードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 27.6 に示します。

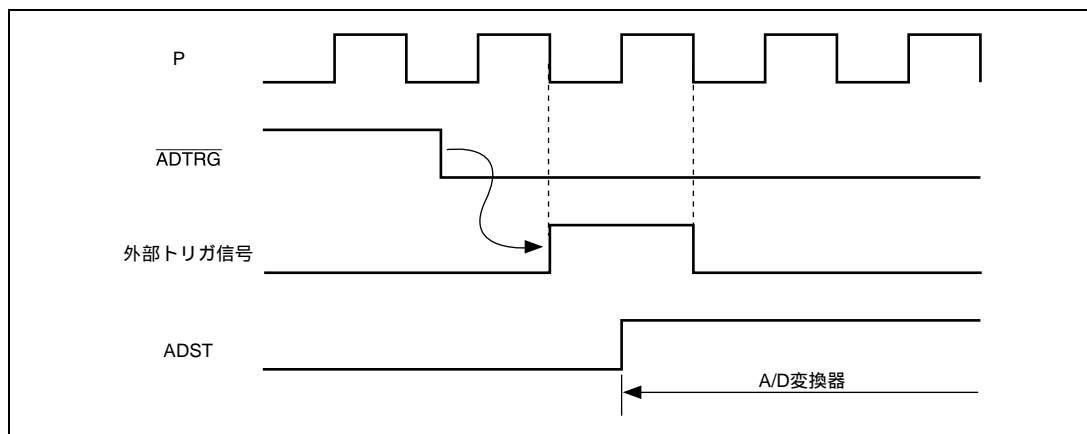


図 27.6 外部トリガ入力タイミング

### 27.5 割り込み要求

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) または DMAC の起動信号を発生します。これらは、ADCSR の ADIE ビット、DMASL ビットで許可または禁止することができます。

## 27.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 27.7 に沿って、上記 (1) ~ (4) の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの中速 A/D 変換器を 3 ビットの中速 A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値 (ゼロ電圧) 000000000 (図では 000) から 000000001 (図では 001) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 27.7 (1)) です。フルスケール誤差とはデジタル出力値が 111111110 (図では 110) から最大値 (フルスケール電圧) 111111111 (図では 111) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 27.7 (2)) です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます (図 27.7 (3))。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 27.7 (4)) です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

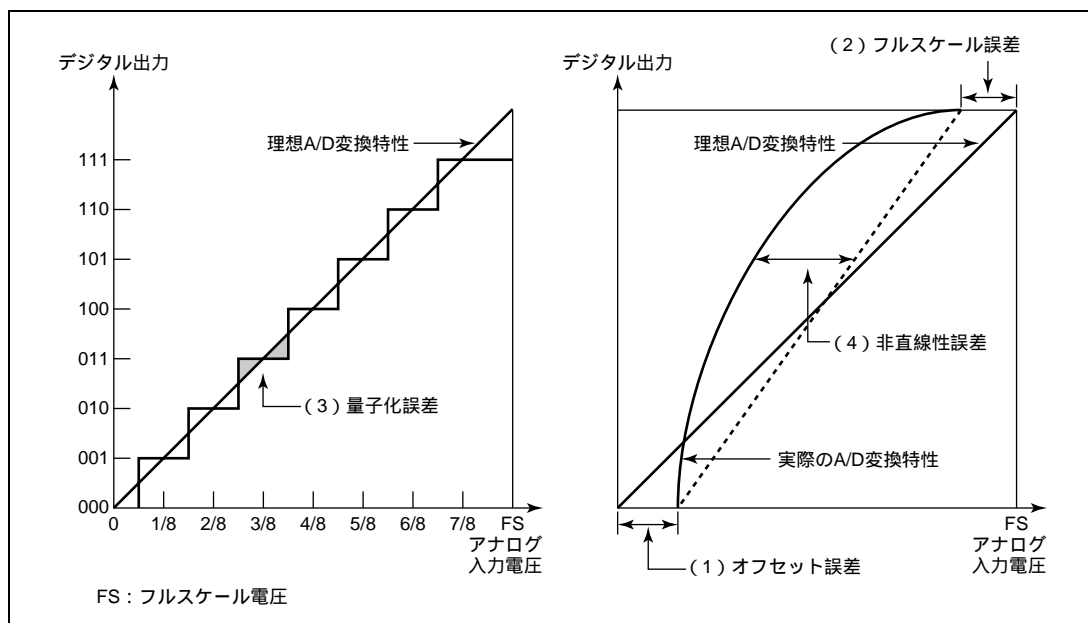


図 27.7 A/D 変換精度の定義

## 27.7 使用上の注意事項

### 27.7.1 A/D 変換時の注意事項

#### (1) ADCSR レジスタの ADF ビットのクリアの注意事項

【現象】ADCSR.ADF ビットから 1 を読み出し後に 0 を書き込んでも、ADF ビットが 0 にクリアされない場合があります。

【条件】A/D 変換終了による ADF ビットの 1 セットの処理と、ADF ビットの読み出しが同時の場合に発生します。

【回避策】下記 1、2 または 3 のいずれかを実施願います。

1. A/D 変換終了による ADF ビットの 1 セットの処理と、ADF ビットの読み出しが同時にならないようにしてください。たとえば、A/D 変換の終了 (ADF が 1 にセットされる) で発生する A/D 変換終了割り込み (ADI) 処理の中で、ADF ビットから 1 を読み出した後に 0 を書き込んでください。
2. ADF ビットが 0 にクリアされない場合は、さらにもう一度、ADF ビットから 1 を読み出し後に 0 を書き込んでください。
3. ADC をモジュールスタンバイ状態に入れてください。ADC をモジュールスタンバイ状態に入れることで、ADC は初期化され、ADF ビットも 0 にクリアされます。

#### (2) スキャンモードの A/D 変換時の注意事項

【現象】ADCSR.ADST ビットに 0 を書き込んでも、スキャンモードの A/D 変換が止まらない場合があります。

【条件】スキャンモードの A/D 変換途中に、ADCSR の ADST ビットに 0 を書き込んで、A/D 変換を止めようとした場合に発生します。

【回避策】ADST ビットに 0 を書き込んだ後、ADC をモジュールスタンバイ状態に入れてください。

ADC をモジュールスタンバイ状態に入ると、ADC は初期化され、A/D 変換が停止します。

再度 A/D 変換を行う場合は、ADC のモジュールスタンバイ状態を解除してから実行してください。

#### (3) A/D 変換結果を DMAC で転送する場合の注意事項

【現象】正常な A/D 変換結果を DMA 転送する前に、正しくない余分な DMA 転送が付加されることがあります。

【条件】下記の場合に発生します。下記の表も参考にしてください。

1. シングル、マルチモードの場合  
シングル、マルチモードで A/D 変換を ADCSR.DMASL ビットを 0 の状態で実施、停止した後、DMASL ビットを 1 の状態で A/D 変換を開始した場合に発生します。
2. スキャンモードの場合  
スキャンモードで A/D 変換を実施、停止した後、DMASL ビットを 1 の状態で A/D 変換を開始した場合に発生します。



表 27.4 A/D 変換結果の転送方法と余分な DMA 転送が付加される条件

現在の変換		次の変換		シングルモード、マルチモード		スキャンモード	
		DMASL = 0	DMASL = 1	DMASL = 0	DMASL = 1	DMASL = 0	DMASL = 1
シングルモード、 マルチモード	DMASL = 0	正常	不具合	正常	不具合	正常	不具合
	DMASL = 1	正常	正常	正常	正常	正常	正常
スキャンモード	DMASL = 0	正常	不具合	正常	不具合	正常	不具合
	DMASL = 1	正常	不具合	正常	不具合	正常	不具合

【回避策】下記の 1 または 2 のいずれかを実施願います。

1. A/D 変換を停止した後、ADC をモジュールスタンバイ状態に入れて、ADC を初期化してから、モジュールスタンバイ状態を解除し、次の A/D 変換を開始してください。
2. 問題が発生しない条件でお使いください。例えば、下記の場合は問題ありません。

(a) シングル、マルチモードの場合

- DMASL = 0 で転送    DMASL = 0 で転送
- DMASL = 1 で転送    DMASL = 1 で転送

(b) スキャンモードの場合

- DMASL = 0 で転送    DMASL = 0 で転送

### 27.7.2 A/D 変換の終了による割り込み、DMA 転送時の注意事項

A/D 変換の終了による割り込み、または DMAC 起動は、A/D 変換終了 1 回につき 1 回です。

A/D 変換の終了条件は、ADCSR.ADF ビットのセット条件と同一です。

下記に示す表に従い、変換モードと変換チャンネル数に応じた DMA 転送 (サイクルスチールモード) で転送を行ってください。

変換モード	変換チャンネル数	変換データサイズ	DMAC 転送サイズ
シングルモード	1	1 ワード	ワード
マルチモード もしくは スキャンモード	1	1 ワード	ワード
	2	2 ワード	ロングワード
	3	3 ワード	16 バイト
	4	4 ワード	16 バイト

### 27.7.3 ADST ビット使用時の注意事項

ADCSR.ADST ビットをご使用になる際に、下記の注意事項がございます。

- (1) ADCSR.ADST ビットを 0 にクリアしてスキャンモードやマルチモードで実行中の A/D 変換を止めた場合は、1 チャンネルの A/D 変換に必要な時間以上待ってから、次の A/D 変換を再開してください。

または、A/D変換を止めた後、ADCをモジュールスタンバイ状態に入れてください。

ADCをモジュールスタンバイ状態に入れることによって、ADCは初期化されます。

モジュールスタンバイ状態を解除した後、次のA/D変換を再開してください。

- (2) シングルモード時、ADCSR.ADST ビットをクリアして、A/D 変換を途中で停止することができません。A/D変換が終わると、ADCSR.ADSTビットは自動的にクリアされます。
- (3) 上記(1)(2)以外の場合、ADCSR.ADST ビットを変化させるためには、ADCSR のクロックセレクトビット (CKS1、CKS0) で選択したクロックの1周期以上の間隔を開けてください。  
または、ADCをモジュールスタンバイ状態に入れてください。  
ADCをモジュールスタンバイ状態に入れることによって、ADCは初期化されます。  
モジュールスタンバイ状態を解除した後、次のA/D変換を再開してください。

#### 27.7.4 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが  $5k$  以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが  $5k$  を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の  $3k$  だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば  $5mV/\mu s$  以上）には追従できないことがあります（図 27.8）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

#### 27.7.5 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず  $AV_{SS}$  等の電氣的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と交差したり、アンテナとならないように注意してください。

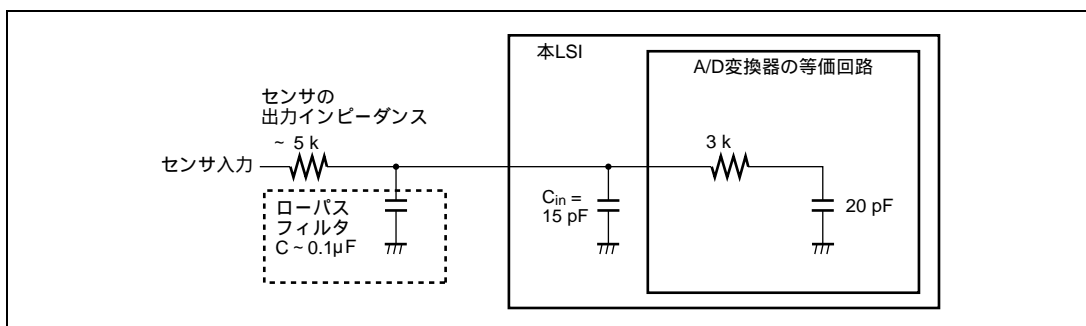


図 27.8 アナログ入力回路の例

### 27.7.6 アナログ入力電圧の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

A/D 変換中、アナログ入力端子 AN<sub>n</sub> に印加する電圧 (V<sub>ANn</sub>) は AV<sub>SS</sub> V<sub>ANn</sub> AV<sub>CC</sub> の範囲としてください。  
(n = 0 ~ 3)

### 27.7.7 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子 (AN0 ~ AN3)、アナログ電源電圧 (AV<sub>CC</sub>) は、アナロググランド (AV<sub>SS</sub>) で、デジタル回路と分離してください。さらに、アナロググランド (AV<sub>SS</sub>) は、ボード上の安定したグランド (V<sub>SS</sub>) に一点接続してください。

### 27.7.8 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN3) の破壊を防ぐために、図 27.9 に示すように AV<sub>CC</sub> - AV<sub>SS</sub> 間に保護回路を接続してください。AV<sub>CC</sub> に接続するバイパスコンデンサ、AN0 ~ AN3 に接続するフィルタ用のコンデンサは、必ず AV<sub>SS</sub> に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0 ~ AN3 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R<sub>in</sub>) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

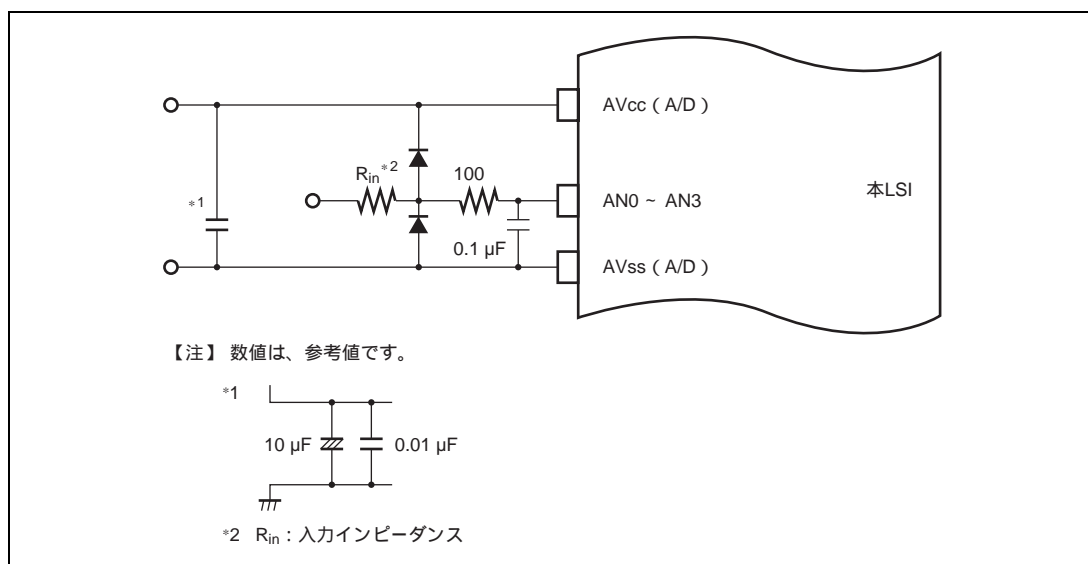


図 27.9 アナログ入力保護回路の例

表 27.5 アナログ端子の規格

項 目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k

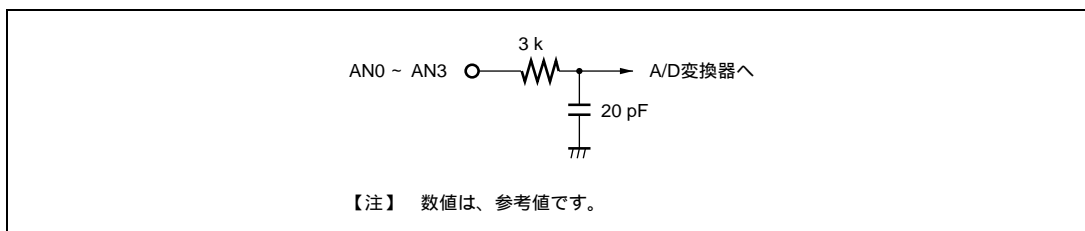


図 27.10 アナログ入力端子等価回路

## 28. D/A 変換器 (DAC)

本 LSI には 2 チャンネルの D/A 変換器 (DAC) を搭載しています。D/A 変換器には次の特長があります。

### 28.1 特長

- 8ビットの解像度
- 出力チャンネル：2チャンネル
- 変換時間：最大10 $\mu$ s (容量性負荷：20pF)
- 出力電圧：0V ~ AVcc (アナログ部電源)

D/A 変換器のブロック図を図 28.1 に示します。

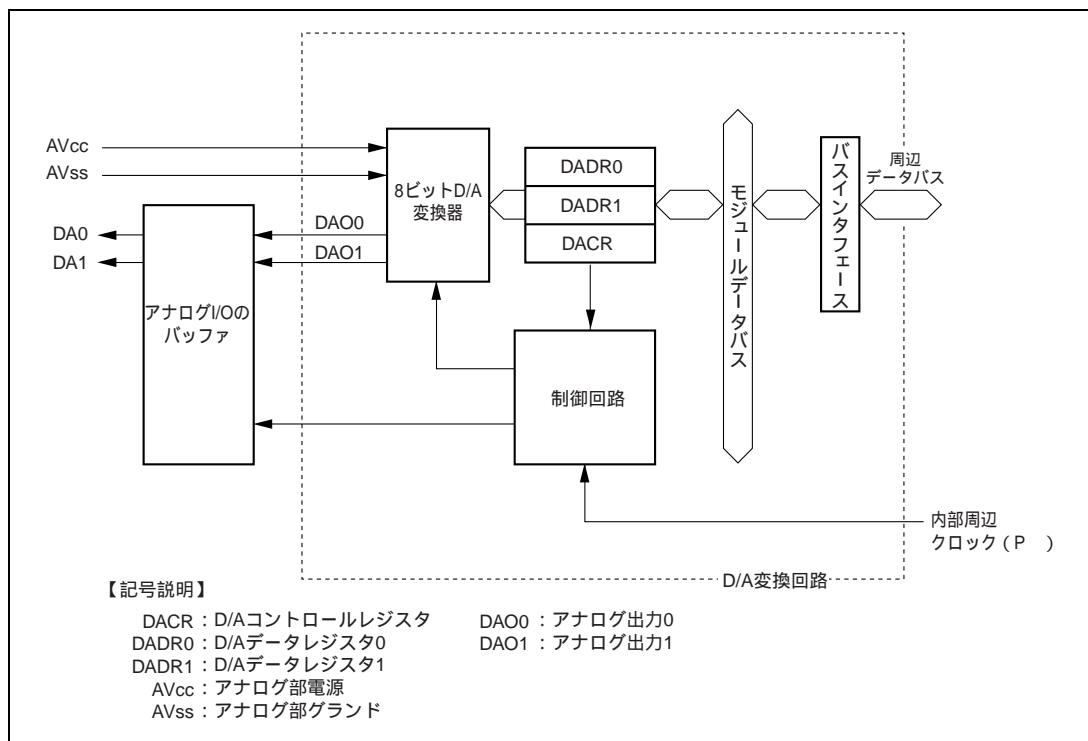


図 28.1 D/A 変換器のブロック図

## 28.2 入出力端子

D/A 変換器の端子構成を表 28.1 に示します。

表 28.1 端子構成

名称	入出力	機能
AVcc	-	アナログ部の電源および D/A 変換基準電圧
AVss	-	アナログ部のグラウンド
DA0	出力	チャンネル 0 のアナログ出力
DA1	出力	チャンネル 1 のアナログ出力

## 28.3 レジスタの説明

本モジュールには、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。

- D/A データレジスタ 0 (DADR0)
- D/A データレジスタ 1 (DADR1)
- D/A コントロールレジスタ (DACR)

### 28.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

D/A データレジスタ (DADR0、DADR1) は、変換データを格納する 8 ビットの読み出し / 書き込み可能なレジスタです。D/A コントロールレジスタ (DACR) の D/A 出力イネーブル (DAOE1、DAOE0) が 1 のとき、D/A データレジスタに設定された値を常に D/A 変換して、アナログ出力端子 (DA0、DA1) へ出力します。D/A データレジスタは、リセット時 H'00 に初期化されます。ソフトウェアスタンバイ、モジュールスタンバイ、およびハードウェアスタンバイでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7~0	-	H'00	R/W	変換データを格納する 8 ビットのレジスタです。

### 28.3.2 D/A コントロールレジスタ (DACR)

D/A コントロールレジスタ (DACR) は、D/A 変換器の動作を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。DACR は、リセット時 H'3F に初期化されます。ソフトウェアスタンバイ、およびモジュールスタンバイ、およびハードウェアスタンバイでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	チャンネル 1 の D/A 変換とアナログ出力を制御します。 0 : チャンネル 1 の D/A 変換とアナログ出力 (DA1) を禁止 1 : チャンネル 1 の D/A 変換とアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	チャンネル 0 の D/A 変換とアナログ出力を制御します。 0 : チャンネル 0 の D/A 変換とアナログ出力 (DA0) を禁止 1 : チャンネル 0 の D/A 変換とアナログ出力 (DA0) を許可
5-0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 を書き込んだ場合の動作の保証はできません。

## 28.4 動作説明

D/A 変換器には、独立して変換を実行できる 2 つの D/A 変換回路を内蔵しています。

D/A 変換器は D/A コントロールレジスタ (DACR) でアナログ出力を許可状態のとき、常に D/A 変換が実行されます。D/A データレジスタ (DADR0、DADR1) の値を変更すると、新しいデータの変換をただちに開始します。D/A コントロールレジスタ (DACR) のビット 7 (DAOE1)、ビット 6 (DAOE0) を 1 にセットすると変換結果が出力されます。チャンネル 0 の D/A 変換の例を次に示します。タイミングは図 28.2 に示します。

1. 変換するデータを D/A データレジスタ (DADR0) に書き込みます。
2. D/A コントロールレジスタ (DACR) の DAOE0 ビットを 1 にセットします。D/A 変換を開始し、DA0 は出力許可になります。変換結果は変換時間後に出力されます。出力値は  $(DADR0 \text{ 内容} / 255) \times AV_{cc}$  です。この変換結果の出力は、D/A データレジスタ (DADR0) の値を変更するか D/A コントロールレジスタ (DAOE0) ビットを 0 にクリアするまで続きます。
3. D/A データレジスタ (DADR0) 値を変更すると、変換を再び開始し、結果は変換時間の後で出力されます。
4. D/A コントロールレジスタ (DAOE0) ビットを 0 にクリアすると、アナログ出力 (DA0) は禁止 (Hi-Z) になります。

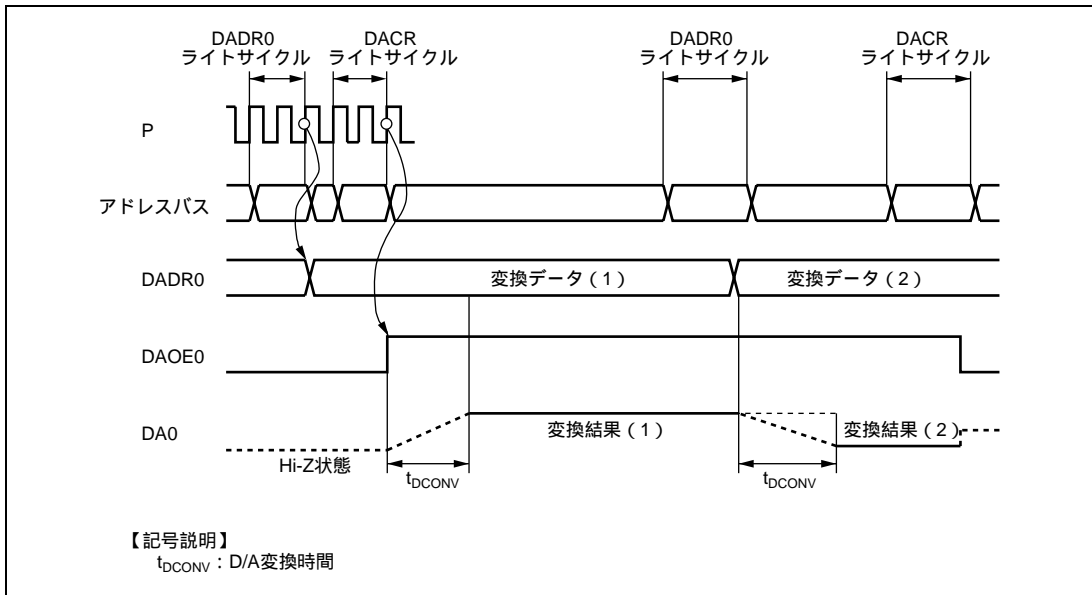


図 28.2 D/A 変換動作の例



---

## 29. PC カードコントローラ (PCC)

---

PC カードコントローラ (PCC) は、外部バッファ、割り込み、本 LSI に接続する PC カードインタフェースの専用ポートを制御します。PCC を使用することによって、PCMCIA Rev.2.1/JEIDA バージョン 4.2 規格に準拠した PC カードのスロットを本 LSI に容易に接続することができます。

### 29.1 特長

- 物理エリア6に接続するPCカードインタフェースとして、ICメモリカードインタフェースとI/Oカードインタフェースをサポートしています。
- 外部バッファに対する制御信号 ( $\overline{\text{PCC\_DRV}}$ ) を出力します。
- アドレスを用いて属性メモリ、共通メモリ、I/O空間を切り替えることによってプリエンブティブ方式の動作システムに対応します。
- 共通メモリにセグメントビット (PCカード用アドレスビット) を提供するので全PCMCIA仕様の64MB空間にアクセスできます。
- 本コントローラの動作を無効にし、PCカードインタフェースのバスインタフェースのみをサポートすることも可能です (PCC0GCRのP0USEを使用)。

図 29.1 に PC カードコントローラのブロック図を示します。

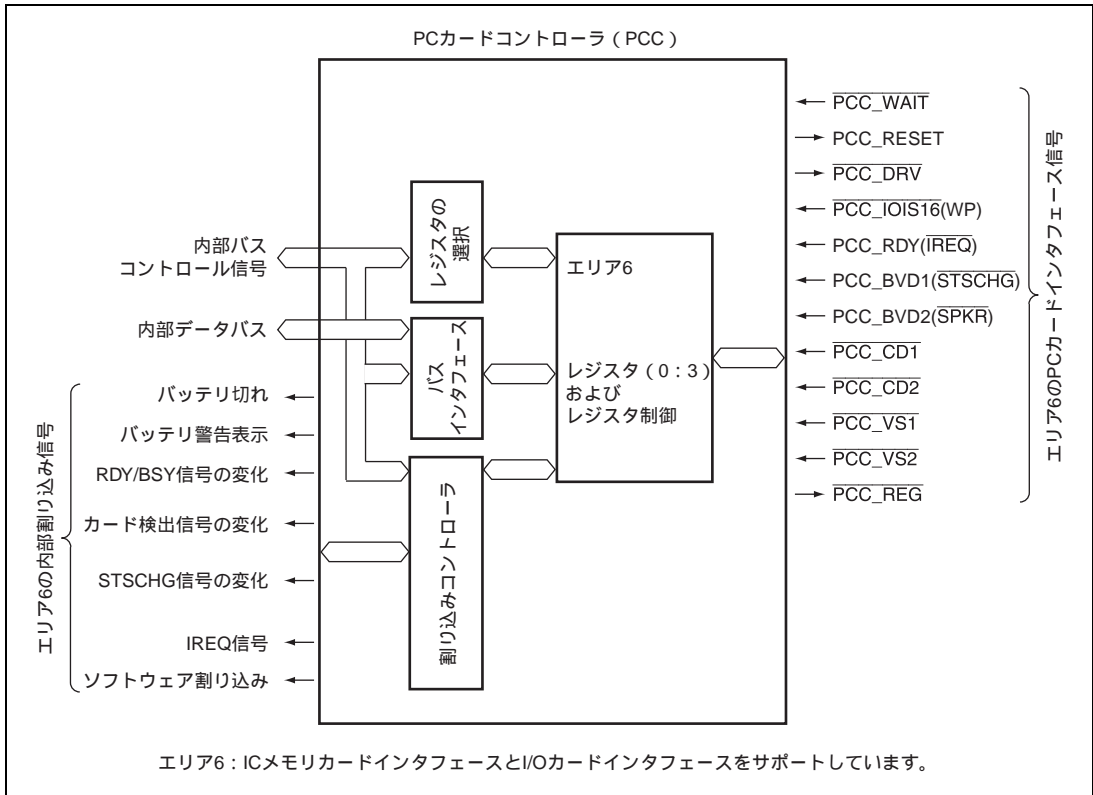


図 29.1 PC カードコントローラのブロック図

### 29.1.1 PCMCIA のサポート

本 LSI は、物理エリア 6 に対して PCMCIA 仕様に基づくインタフェースをサポートしています。サポートするインタフェースは、PCMCIA Rev.2.1/JEIDA バージョン 4.2 規格で定義された IC メモリカードインタフェースと I/O カードインタフェースです。エリア 6 では IC メモリカードインタフェースと I/O カードインタフェースのいずれもサポートします。

表 29.1 PCMCIA インタフェースの特長

項目	特 長
アクセス	ランダムアクセス
データバス	8/16 ビット
メモリアイプ	マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM
共通メモリ容量	最大 64MB(セグメントビット(PC カード用アドレスビット)を使用することによって全 PCMCIA 仕様をサポート)
属性メモリ容量	最大 32MB
I/O 空間容量	最大 32MB
その他	I/O バス幅の動的バスサイジング* PCMCIA インタフェースは、アドレス変換エリアと非アドレス変換エリアからアクセスできます。

【注】 \* I/O バス幅の動的バスサイジングは、リトルエンディアンモードでのみサポートしています。

本 LSI は PC カードの 64MB メモリ空間および I/O 空間の 32MB および 64MB 物理エリアに直接アクセスできます (連続 32 / 16MB エリアモード)。本 LSI は、全 PCMCIA 仕様 (64MB) の共通メモリ空間をサポートするためにエリア 6 に対してジェネラルコントロールレジスタのセグメントビット (PC カード用アドレスビット) を提供します。

#### (1) 連続 32MB エリアモード

ジェネラルコントロールレジスタのビット 3 (P0MMOD) に 0 (初期値) を設定すると連続 32MB エリアモードが有効になります。このモードでは、属性メモリ空間と I/O メモリ空間は 32MB、共通メモリ空間は 64MB です。共通メモリ空間で、32MB より大きいアドレスにアクセスするためにはジェネラルコントロールレジスタのビット 2 (P0PA25) に 1 を設定します。この動作により、A25 端子に 1 が出力され、32MB を超えるアドレス空間にアクセスすることができます。32MB 以下のアドレスにアクセスする場合、P0PA25 に 0 を設定してください。このビットは属性メモリ空間や I/O メモリ空間のアクセスには影響しません。

図 29.2 に本 LSI のメモリ空間と連続 32MB エリアモードでの PC カードのメモリ空間および I/O 空間の関係を示します。エリア 6 ではメモリ空間および I/O 空間をサポートしています。

エリア 6 において、PC カードの共通メモリ空間にアクセスするためにジェネラルコントロールレジスタのビット 0 (P0REG) に 1 を設定し、属性メモリ空間にアクセスするためにビット 0 に 0 を設定します (初期値 : 0)。この動作により、設定値は  $\overline{\text{PCC\_REG}}$  端子に出力され、任意の空間にアクセスできるようになります。エリア 6 で I/O 空間にアクセスすると、 $\overline{\text{PCC\_REG}}$  端子の出力はビット 0 (P0REG) の値に関係なく常に 0 です。

レジスタ設定の詳細については「29.3 レジスタの説明」を参照してください。

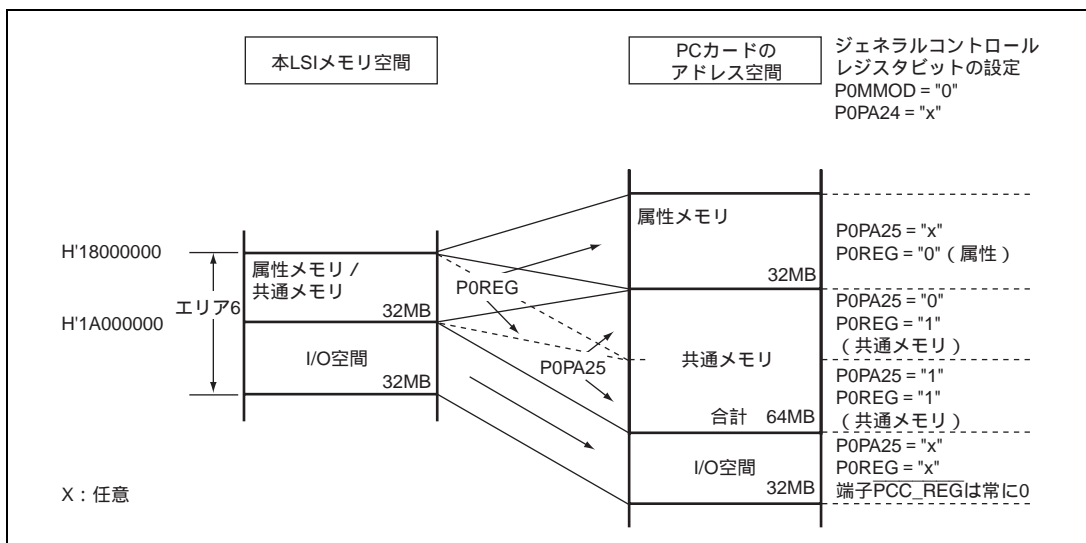


図 29.2 連続 32MB エリアモード

## (2) 連続 16MB エリアモード

ジェネラルコントロールレジスタのビット 3 (P0MMOD) を 1 にセットすると連続 16MB エリアモードを有効にすることができます。このモードでは、属性メモリ空間と I/O メモリ空間は 16MB、共通メモリ空間は 64MB です。共通メモリ空間で 16MB 単位の各アドレス空間にアクセスできるためには、PC カードアドレスをジェネラルコントロールレジスタのビット 2 (P0PA25) とビット 1 (P0PA24) に設定します。この動作により、端子 A25 と A24 に値が出力され、16MB を超えるアドレス空間にアクセスすることができます。16MB 以下のアドレスにアクセスする場合、設定は不要です。このビットは属性メモリ空間や I/O メモリ空間のアクセスには影響しません。

図 29.3 に本 LSI のメモリ空間と連続 16MB エリアモードでの PC カードのメモリ空間および I/O 空間の関係を示します。エリア 6 ではメモリ空間および I/O 空間をサポートしています。

PC カードの属性メモリ空間、共通メモリ空間、I/O 空間は、このモードでは 16MB の物理空間として提供されます。したがって、本 LSI は  $\overline{\text{PCC\_REG}}$  端子を自動的に制御します (ジェネラルコントロールレジスタのビット 0 (P0REG) の値は無視されます)。エリア 6 において、属性メモリ空間または I/O 空間のアクセス時、 $\overline{\text{PCC\_REG}}$  端子の出力は 0 であり、共通メモリ空間のアクセス時、 $\overline{\text{PCC\_REG}}$  端子の出力は 1 です。

レジスタ設定の詳細については「29.3 レジスタの説明」を参照してください。

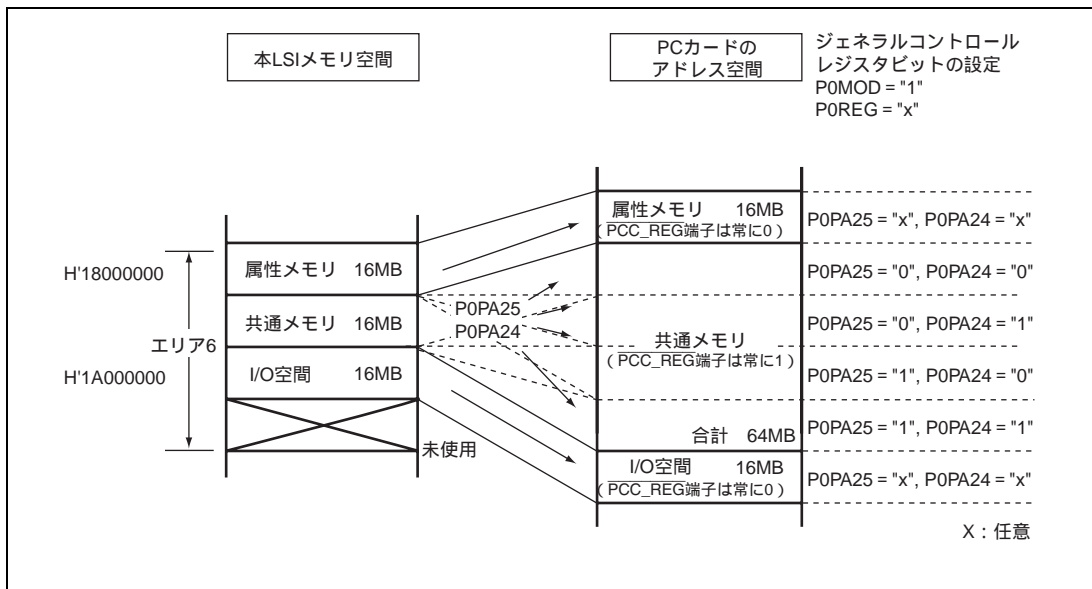


図 29.3 連続 16MB エリアモード (エリア 6)

## 29.2 入出力端子

PCC 関係の外部端子を以下に示します。

表 29.2 PCC の端子構成

名称	略称	入出力	機能
PCC ウェイト要求	PCC_WAIT	入力	ハードウェアウェイト要求信号
PCC16 ビット IO	PCC_IOIS16	入力	IC メモリインタフェース時、PC カードからのライトプロテクト信号 I/O カードインタフェース時、PC カードからの 16 ビット I/O を示す信号
PCC レディ	PCC_RDY	入力	IC メモリインタフェース時、PC カードからのレディ / ビジー信号 I/O カードインタフェース時、PC カードからの割り込み要求信号
PCC バッテリ検出 1	PCC_BVD1	入力	IC メモリインタフェース時、PC カードからのバッテリー電圧検出 1 信号 I/O カードインタフェース時、PC カードからのカードステータス変更信号
PCC バッテリ検出 2	PCC_BVD2	入力	IC メモリインタフェース時、PC カードからのバッテリー電圧検出 2 信号 I/O カードインタフェース時、PC カードからのデジタル音声信号
PCC カード検出 1	PCC_CD1	入力	PC カードからのカード検出 1 信号
PCC カード検出 2	PCC_CD2	入力	PC カードからのカード検出 2 信号
PCC 電圧検出 1	PCC_VS1	入力	PC カードからの電圧センス 1 信号
PCC 電圧検出 2	PCC_VS2	入力	PC カードからの電圧センス 2 信号
PCC 空間指示	PCC_REG	出力	PC カードへの空間指示信号
PCC バッファ制御	PCC_DRV	出力	バッファ制御信号
PCC リセット	PCC_RESET	出力	PC カードへのリセット信号

## 29.3 レジスタの説明

PCC には以下のレジスタがあります。

- エリア6インタフェースステータスレジスタ (PCC0ISR)
- エリア6ジェネラルコントロールレジスタ (PCC0GCR)
- エリア6カードステータスチェンジレジスタ (PCC0CSCR)
- エリア6カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER)

### 29.3.1 エリア 6 インタフェースステータスレジスタ (PCC0ISR)

PCC0ISR は、エリア 6 に接続された PC カードのステータスを読み出すことができる 8 ビットの読み出し専用レジスタです。PCC0ISR は PC カードのステータスによって異なります。

ビット	ビット名	初期値	R/W	説明
7	P0RDY/IREQ	不定*	R	<p>PCC0 レディ</p> <p>エリア 6 に接続された PC カードの RDY/BSY 端子の値は、IC メモリカードインタフェース接続時に読み出されます。エリア 6 に接続された PC カードの IREQ 端子の値は、I/O カードインタフェース接続時に読み出されます。書き込みは無効です。</p> <p>0: エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、RDY/BSY 端子の値は 0 であることを示します。エリア 6 に接続された PC カードが I/O カードインタフェースの場合、IREQ 端子の値は 0 になります。</p> <p>1: エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、RDY/BSY 端子の値は 1 であることを示します。エリア 6 に接続された PC カードが I/O カードインタフェースの場合、IREQ 端子の値は 1 になります。</p>
6	P0MWP	不定*	R	<p>PCC0 ライトプロテクト</p> <p>エリア 6 に接続された PC カードの WP 端子の値は、IC メモリカードインタフェース接続時に読み出されます。I/O カードインタフェース接続時には 0 が読み出されます。書き込みは無効です。</p> <p>0: エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、WP 端子の値は 0 であることを示します。エリア 6 に接続された PC カードが I/O カードインタフェースの場合、ビット 6 の値は常に 0 になります。</p> <p>1: エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、WP 端子の値は 1 であることを示します。</p>

ビット	ビット名	初期値	R/W	説 明
5	P0VS2	不定*	R	<p>PCC0 電圧センス 2</p> <p>エリア 6 に接続された PC カードの <math>\overline{VS2}</math> 端子の値が読み出されます。書き込みは無効です。</p> <p>0: エリア 6 に接続された PC カードの <math>\overline{VS2}</math> 端子の値が 0 であることを示します。</p> <p>1: エリア 6 に接続された PC カードの <math>\overline{VS2}</math> 端子の値が 1 であることを示します。</p>
4	P0VS1	不定*	R	<p>PCC0 電圧センス 1</p> <p>エリア 6 に接続された PC カードの <math>\overline{VS1}</math> 端子の値が読み出されます。書き込みは無効です。</p> <p>0: エリア 6 に接続された PC カードの <math>\overline{VS1}</math> 端子の値が 0 であることを示します。</p> <p>1: エリア 6 に接続された PC カードの <math>\overline{VS1}</math> 端子の値が 1 であることを示します。</p>
3	P0CD2	不定*	R	<p>PCC0 カード検出 2</p> <p>エリア 6 に接続された PC カードの <math>\overline{CD2}</math> 端子の値が読み出されます。書き込みは無効です。</p> <p>0: エリア 6 に接続された PC カードの <math>\overline{CD2}</math> 端子の値が 0 であることを示します。</p> <p>1: エリア 6 に接続された PC カードの <math>\overline{CD2}</math> 端子の値が 1 であることを示します。</p>
2	P0CD1	不定*	R	<p>PCC0 カード検出 1</p> <p>エリア 6 に接続された PC カードの <math>\overline{CD1}</math> 端子の値が読み出されます。書き込みは無効です。</p> <p>0: エリア 6 に接続された PC カードの <math>\overline{CD1}</math> 端子の値が 0 であることを示します。</p> <p>1: エリア 6 に接続された PC カードの <math>\overline{CD1}</math> 端子の値が 1 であることを示します。</p>

ビット	ビット名	初期値	R/W	説 明
1	P0BVD2/ P0SPKR	不定*	R	PCC0 バッテリ電圧検出 2、1
0	P0BVD1/ P0STSCHG	不定*	R	<p>IC メモリカードインタフェースの接続時、エリア 6 に接続された PC カードの BVD2 端子、BVD1 端子の値が読み出されます。I/O カードインタフェースの接続時、エリア 6 に接続された PC カードの SPKR 端子、STSCHG 端子の値が読み出されます。書き込みは無効です。</p> <p>(1) IC メモリインタフェースの場合</p> <p>11: エリア 6 に接続された PC カードのバッテリー電圧が正常であることを示します。(バッテリー正常表示)</p> <p>01: エリア 6 に接続された PC カードのデータは保証されますが、バッテリーの交換が必要であることを示します。(バッテリー警告表示)</p> <p>x0: バッテリ電圧が異常で、エリア 6 に接続された PC カードのデータが保証できないことを示します。(バッテリー切れ表示)</p> <p>(2) I/O カードインタフェースの場合、ビット 1、0 の値は下記の通りになります。</p> <p>0: エリア 6 に接続された PC カードの SPKR 端子、または、STSCHG 端子の値が 0 であることを示します。</p> <p>1: エリア 6 に接続された PC カードの SPKR 端子、または、STSCHG 端子の値が 1 であることを示します。</p>

【記号説明】 x : Don't care

【注】 \* PC カードのステータスによって異なります。



### 29.3.2 エリア 6 ジェネラルコントロールレジスタ (PCC0GCR)

PCC0GCR は、外部バッファ、リセット、アドレス端子 A25、A24、および  $\overline{\text{REG}}$  端子を制御し、エリア 6 に接続された PC カードに対して PC カードタイプを設定する読み出し / 書き込み可能な 8 ビットのレジスタです。PCC0GCR はパワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモード時はその値を保持します。

ビット	ビット名	初期値	R/W	説明
7	P0DRVE	0	R/W	<p>PCC0 バッファコントロール</p> <p>エリア 6 に接続された PC カード用外部バッファのイネーブル / ディスエーブルを制御します。</p> <p>0: エリア 6 に接続された PC カードに対して外部バッファの <math>\overline{\text{PCC\_DRV}}</math> 端子をコントロールするためハイレベルを設定します。</p> <p>1: エリア 6 に接続された PC カードに対して外部バッファの <math>\overline{\text{PCC\_DRV}}</math> 端子をコントロールするためローレベルを設定します。</p>
6	P0PCCR	0	R/W	<p>PCC0 カードリセット</p> <p>エリア 6 に接続された PC カードに対するリセットを制御します。</p> <p>0: エリア 6 に接続された PC カードに対してリセット端子 PCC_RESET にローレベルを設定します。</p> <p>1: エリア 6 に接続された PC カードに対してリセット端子 PCC_RESET にハイレベルを設定します。</p>
5	P0PCCT	0	R/W	<p>PCC0 カードタイプ</p> <p>エリア 6 に接続された PC カードのタイプを指定します。PC カードが IC メモリカードインタフェースの場合、0 を設定し、PC カードが I/O カードインタフェースの場合、1 を設定します。</p> <p>0: エリア 6 に接続された PC カードを IC メモリカードインタフェースとして扱います。</p> <p>1: エリア 6 に接続された PC カードを I/O カードインタフェースとして扱います。</p>
4	P0USE	0	R/W	<p>PCC0 使用 / 未使用</p> <p>PC カードコントローラの使用 / 未使用を選択します。</p> <p>0: PC カードコントローラを使用しない</p> <p>1: PC カードコントローラを使用する</p> <p>【注】・P0USE に 1 を設定する場合は、以下に示す設定をしてください。</p> <p>P0USE に 1 を設定し、P0PCCT に 0 を設定した場合は、BSC の CS6BWCR レジスタのビット 21、20 (SA1、0) とともに 0 を設定してください。</p> <p>P0USE に 1 を設定し、P0PCCT に 1 を設定した場合は、BSC の CS6BWCR レジスタのビット 21、20 (SA1、0) とともに 1 を設定してください。</p> <p>・P0USE に 1 を設定する前に、必ず BSC の CS6BBCCR レジスタのビット 15 ~ 12 (TYPE3 ~ 0) に 0101 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
3	P0MMOD	0	R/W	<p>PCC0 モード</p> <p>エリア 6 に接続された PC カードに対して <math>\overline{\text{PCC\_REG}}</math> 端子と A24 端子を制御します。アクセスするアドレスの A24 か、<math>\overline{\text{PCC\_REG}}</math> 端子に出力するための P0REG ビットのいずれかを指定します。共通メモリ空間へのアクセス時、アクセスするアドレスの A24 か A24 端子に出力するための P0PA24 ビットのいずれかを指定します。この動作により、PC カードの共通メモリ空間のアドレスエリアに対して連続 32MB または 16MB を選択することができます。</p> <p>0: P0REG ビットを <math>\overline{\text{PCC\_REG}}</math> 端子に出力し、アクセスするアドレスの A24 を端子 A24 に出力します (連続 32MB エリアモード)。</p> <p>1: アクセスするアドレスの A24 を <math>\overline{\text{PCC\_REG}}</math> 端子に出力します。共通メモリ空間のアクセス時、P0PA24 を A24 端子に出力します (連続 16MB エリアモード)。</p>
2	P0PA25	0	R/W	<p>PC カードアドレス</p> <p>エリア 6 に接続された PC カードに対して A25 端子を制御します。エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、このビットは A25 端子に出力されます。属性メモリ空間または I/O 空間をアクセスする場合、このビットは無意味です。</p> <p>0: エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、A25 端子に 0 が出力されます。</p> <p>1: エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、A25 端子に 1 が出力されます。</p>
1	P0PA24	0	R/W	<p>PC カードアドレス</p> <p>エリア 6 に接続された PC カードに対して A24 端子を制御します。P0MMOD ビットが 1 で、エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、このビットは A24 端子に出力されます。P0MMOD ビットが 0 が属性メモリ空間または I/O 空間をアクセスする場合、このビットは無意味です。</p> <p>0: P0MMOD ビットが 1 で、エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、A24 端子に 0 が出力されます。</p> <p>1: P0MMOD ビットが 1 で、エリア 6 に接続された PC カードに対して共通メモリ空間をアクセスすると、A24 端子に 1 が出力されます。</p>
0	P0REG	0	R/W	<p>PCC0REG 空間指示 (P0REG)</p> <p>エリア 6 に接続された PC カードに対して <math>\overline{\text{PCC\_REG}}</math> 端子を制御します。P0MMOD ビットが 0 のとき、エリア 6 に接続された PC カードに対してこのビットは <math>\overline{\text{PCC\_REG}}</math> 端子に出力されます。P0MMOD ビットが 1、または I/O カードインタフェースをアクセスする場合、このビットは無意味です。</p> <p>0: P0MMOD ビットが 0 で、エリア 6 に接続された PC カードにアクセスすると、<math>\overline{\text{PCC\_REG}}</math> 端子に 0 が出力されます。</p> <p>1: P0MMOD ビットが 0 で、エリア 6 に接続された PC カードにアクセスすると、<math>\overline{\text{PCC\_REG}}</math> 端子に 1 が出力されます。</p>

【記号説明】 x : Don't care

### 29.3.3 エリア 6 カードステータスチェンジレジスタ (PCC0CSCR)

PCC0CSCR は、読み出し / 書き込み可能な 8 ビットのレジスタです。PCC0CSCR はエリア 6 に接続された PC カードの各割り込み要因によって 1 にセットされます (必要に応じてビット 7 のみ 1 にセットすることができます)。PCC0CSCR は、パワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモード時はその値を保持します。

ただし、各割り込み要因による割り込みベクタは共通です。(PCCI)

ビット	ビット名	初期値	R/W	説明
7	POSCDI	0	R/W	<p>PCC0 ソフトウェアカードデテクトチェンジ割り込み</p> <p>PCC0 ソフトウェアカードデテクトチェンジ割り込みは、このビットに 1 を書き込むことによって発生させることができます。このビットが 1 にセットされていると、エリア 6 カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) のビット 3 (PCC0 カードデテクトチェンジイネーブル) を 1 に設定した場合、PCC0 カードデテクトチェンジ割り込み (ビット 3 セットステータス) と同じ割り込みが発生します。ビット 3 を 0 にリセットすると、割り込みは発生しません。</p> <p>0 : エリア 6 に接続された PC カードに対してソフトウェアカードデテクトチェンジ割り込みは発生しません。</p> <p>1 : エリア 6 に接続された PC カードに対してソフトウェアカードデテクトチェンジ割り込みが発生します。</p>
6	-	0	-	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5	POIREQ	0	R/W	<p>PCC0IREQ 要求</p> <p>エリア 6 に接続された PC カードが I/O カードインタフェースの場合、PC カードの <math>\overline{\text{IREQ}}</math> 端子に対する割り込み要求を示します。パルスモードまたはレベルモードの割り込み要求信号を <math>\overline{\text{IREQ}}</math> 端子に入力すると、POIREQ は 1 にセットされます。モードはエリア 6 カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) のビット 5 および 6 (PCC0IREQ 要求イネーブルビット) で選択します。このビットはパルスモードでのみ 0 にリセットすることができます。このビットを 0 にリセットするためにはビット 5 に 0 を書き込みます。1 を書き込んでこのビットは変化しません。レベルモードではビット 5 は読み出し専用ビットで、<math>\overline{\text{IREQ}}</math> 端子状態を反映します。<math>\overline{\text{IREQ}}</math> 端子がローレベルの場合、1 を読み出します) IC メモリカードインタフェースでは、このビットからは常に 0 が読み出されます。</p> <p>0 : PC カードが I/O カードインタフェースの場合、PC カードの <math>\overline{\text{IREQ}}</math> 端子に対する割り込み要求がないことを示します。</p> <p>1 : PC カードが I/O カードインタフェースの場合、PC カードの <math>\overline{\text{IREQ}}</math> 端子に対する割り込み要求が発生したことを示します。</p>

ビット	ビット名	初期値	R/W	説明
4	P0SC	0	R/W	<p>PCC0 ステータス変化</p> <p>エリア 6 に接続された PC カードが I/O カードインタフェースの場合、PC カードの <math>\overline{\text{STSCHG}}</math> 端子に対する値の変化を示します。<math>\overline{\text{STSCHG}}</math> 端子が 1 から 0 に変化すると、P0SC ビットは 1 にセットされます。<math>\overline{\text{STSCHG}}</math> 端子が変化しない場合、P0SC ビットは 0 のままです。このビットを 0 にリセットするためにビット 4 に 0 を書き込みます。1 を書き込んでこのビットは変化しません。IC メモリカードインタフェースでこのビットを読み出すと、常に 0 が読み出されます。</p> <p>0: PC カードが I/O カードインタフェースの場合、PC カードの <math>\overline{\text{STSCHG}}</math> 端子が変化しないことを示します。</p> <p>1: PC カードが I/O カードインタフェースの場合、PC カードの <math>\overline{\text{STSCHG}}</math> 端子が 1 から 0 に変化することを示します。</p>
3	POCDC	0	R/W	<p>PCC0 カードデテクトチェンジ</p> <p>エリア 6 に接続された PC カードの <math>\overline{\text{CD1}}</math> 端子と <math>\overline{\text{CD2}}</math> 端子の値の変化を示します。<math>\overline{\text{CD1}}</math> 端子と <math>\overline{\text{CD2}}</math> 端子の値が変化すると、POCDC ビットは 1 にセットされます。値が変化しない場合、POCDC ビットは 0 のままです。このビットを 0 にリセットするにはビット 3 に 0 を書き込みます。1 を書き込んでこのビットは変化しません。</p> <p>0: PC カードの <math>\overline{\text{CD1}}</math> 端子と <math>\overline{\text{CD2}}</math> 端子が変化していないことを示します。</p> <p>1: PC カードの <math>\overline{\text{CD1}}</math> 端子と <math>\overline{\text{CD2}}</math> 端子が変化したことを示します。</p>
2	P0RC	0	R/W	<p>PCC0 レディチェンジ</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、PC カードの <math>\text{RDY}/\overline{\text{BSY}}</math> 端子の値の変化を示します。<math>\text{RDY}/\overline{\text{BSY}}</math> 端子が 0 から 1 に変化すると、P0RC ビットは 1 にセットされます。<math>\text{RDY}/\overline{\text{BSY}}</math> 端子が変化しないと P0RC ビットは 0 のままです。このビットを 0 にリセットするにはビット 2 に 0 を書き込みます。1 を書き込んでこのビットは変化しません。I/O カードインタフェースでこのビットを読み出すと常に 0 が読み出されます。</p> <p>0: PC カードが IC メモリカードインタフェースの場合、PC カードの <math>\text{RDY}/\overline{\text{BSY}}</math> 端子が変化していないことを示します。</p> <p>1: PC カードが IC メモリカードインタフェースの場合、PC カードの <math>\text{RDY}/\overline{\text{BSY}}</math> 端子が 0 から 1 に変化したことを示します。</p>

ビット	ビット名	初期値	R/W	説明
1	P0BW	0	R/W	<p>PCC0 バッテリ警告</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子が「データは保証されてもバッテリーを交換しなければならない状態である」かどうかを示します。BVD2 端子と BVD1 端子がそれぞれ 0 と 1 の場合、P0BW ビットは 1 にセットされます。その他の場合、P0BW ビットは 0 のままです。BVD2 端子と BVD1 端子が変化するとこのビットは更新されます。このビットを 0 にリセットするには、ビット 1 に 0 を書き込みます。1 を書き込んでこのビットは変化しません。I/O カードインタフェースでこのビットを読み出すと常に 0 が読み出されます。</p> <p>0 : PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子は、バッテリー警告状態にないことを示します。</p> <p>1 : PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子は、バッテリー警告状態にあり、「データは保証されてもバッテリーの交換が必要である」ことを示します。</p>
0	P0BD	0	R/W	<p>PCC0 バッテリ切れ</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子が「データが保証されないためバッテリーの交換が必要である」状態にあるかどうかを示します。BVD2 端子と BVD1 端子がそれぞれ 1、0 または 0、0 の場合、P0BD ビットは 1 にセットされます。その他の場合、P0BD ビットは 0 のままです。BVD2 端子と BVD1 端子が変化するとこのビットは更新されます。このビットを 0 にリセットする場合、ビット 0 に 0 を書き込みます。1 を書き込んでこのビットは変更されません。I/O カードインタフェースでこのビットを読み出すと常に 0 が読み出されます。</p> <p>0 : PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子が、「データが保証されないためバッテリーを交換しなければならない状態」にないことを示します。</p> <p>1 : PC カードが IC メモリカードインタフェースの場合、PC カードの BVD2 端子と BVD1 端子が、「データが保証されないためバッテリーを交換しなければならない状態」にあることを示します。</p>

### 29.3.4 エリア 6 カードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER)

PCC0CSCIER は、読み出し / 書き込み可能な 8 ビットレジスタです。PCC0CSCIER は、エリア 6 に接続された PC カードの割り込みの各要因に対して割り込み要求の有効または無効を設定することができます。PCC0CSCIER を 1 にセットすると、割り込みは有効で、0 にセットすると割り込みは無効です。PCC0CSCIER は、パワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモード時はその値を保持します。

ビット	ビット名	初期値	R/W	説明
7	POCRE	0	R/W	<p>PCC0 カードリセットイネーブル</p> <p>このビットを 1 に設定し、<math>\overline{CD1}</math> 端子と <math>\overline{CD2}</math> 端子が PC カードがエリア 6 に接続していることを検出すると、エリア 6 ジェネラルコントロールレジスタ (PCC0GCR) は初期化されます。</p> <p>0: PC カードがエリア 6 で検出されてもエリア 6 ジェネラルコントロールレジスタ (PCC0GCR) は初期化されません。</p> <p>1: PC カードの接続がエリア 6 で検出されるとエリア 6 ジェネラルコントロールレジスタ (PCC0GCR) は初期化されます。</p>
6	IREQE1	0	R/W	<p>PCC0IREQ 要求イネーブル</p> <p>これらのビットは <math>\overline{IREQ}</math> 端子に対して有効または無効な要求を設定し、エリア 6 に接続された PC カードが I/O カードインタフェースの場合、割り込みモードを選択することができます。このレジスタのビット 6 とビット 5 の値が変化すると、エリア 6 カードステータスチェンジレジスタ (PCC0CSCR) のビット 5 (P0IREQ) はリセットされることに注意してください。これらのビットは IC メモリカードインタフェースでは意味がありません。</p> <p>00: エリア 6 に接続された PC カードは、IREQ 要求を受け付けません。ステータスチェンジレジスタ (PCC0CSCR) のビット 5 は、読み出し専用ビットとして機能し、<math>\overline{IREQ}</math> 端子の反転信号ステータスを示します。</p> <p>01: レベルモード IREQ 割り込み要求信号が、エリア 6 に接続された PC カードに対して受け付けられます。レベルモードでは <math>\overline{IREQ}</math> 端子から入力した信号の 0 レベルが検出されると割り込みが発生します。</p> <p>10: パルスモード IREQ 割り込み要求信号が、エリア 6 に接続された PC カードに対して受け付けられます。パルスモードでは、<math>\overline{IREQ}</math> 端子から入力した信号の 1 から 0 への立ち下がりエッジが検出されると割り込みが発生します。</p> <p>11: パルスモード IREQ 割り込み要求信号が、エリア 6 に接続された PC カードに対して受け付けられます。パルスモードでは、<math>\overline{IREQ}</math> 端子から入力した信号の 0 から 1 への立ち上がりエッジが検出されると割り込みが発生します。</p>
5	IREQE0	0	R/W	

ビット	ビット名	初期値	R/W	説明
4	POECE	0	R/W	<p>PCC0 ステータスチェンジイネーブル</p> <p>エリア 6 に接続された PC カードが I/O カードインタフェースの場合、BVD1 端子 (<math>\overline{\text{STSCHG}}</math> 端子) の値が変化したとき、ビット 4 は割り込み要求の有効または無効を設定することができます。IC メモリカードインタフェースでこのビットは意味がありません。</p> <p>0: BVD1 端子 (<math>\overline{\text{STSCHG}}</math> 端子) の値に関係なくエリア 6 に接続された PC カードに対して割り込みは発生しません。</p> <p>1: BVD1 端子 (<math>\overline{\text{STSCHG}}</math> 端子) の値が 1 から 0 に変化するとエリア 6 に接続された PC カードに対して割り込みが発生します。</p>
3	POCDE	0	R/W	<p>PCC0 カードデテクトチェンジイネーブル</p> <p><math>\overline{\text{CD1}}</math> 端子と <math>\overline{\text{CD2}}</math> 端子の値が変化したとき、ビット 3 は割り込み要求の有効または無効を設定することができます。</p> <p>0: <math>\overline{\text{CD1}}</math> 端子と <math>\overline{\text{CD2}}</math> 端子の値に関係なくエリア 6 に接続された PC カードに対して割り込みは発生しません。</p> <p>1: <math>\overline{\text{CD1}}</math> 端子と <math>\overline{\text{CD2}}</math> 端子の値が変化するとエリア 6 に接続された PC カードに対して割り込みが発生します。</p>
2	PORE	0	R/W	<p>PCC0 レディチェンジイネーブル</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースの場合、RDY/BSY 端子の値が変化したとき、ビット 2 は割り込み要求の有効または無効を設定することができます。</p> <p>I/O カードインタフェースではこのビットは意味がありません。</p> <p>0: RDY/BSY 端子の値に関係なくエリア 6 に接続された PC カードに対して割り込みは発生しません。</p> <p>1: RDY/BSY 端子の値が 0 から 1 に変化するとエリア 6 に接続された PC カードに対して割り込みが発生します。</p>
1	POBWE	0	R/W	<p>PCC0 バッテリ警告イネーブル</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースで、BVD2 端子または BVD1 端子の値が、「データは保証されてもバッテリーを交換する必要がある」状態の場合、ビット 1 は割り込み要求の有効または無効を設定することができます。I/O カードインタフェースではこのビットは意味がありません。</p> <p>0: BVD2 端子または BVD1 端子が、「データは保証されてもバッテリーを交換する必要がある」状態の場合、割り込みは発生しません。</p> <p>1: BVD2 端子または BVD1 端子が、「データは保証されてもバッテリーを交換する必要がある」状態の場合、割り込みが発生します。</p>

ビット	ビット名	初期値	R/W	説明
0	P0BDE	0	R/W	<p>PCC0 バッテリ切れイネーブル</p> <p>エリア 6 に接続された PC カードが IC メモリカードインタフェースで、BVD2 端子および BVD1 端子の値が、「データが保証されないのでバッテリーを交換する必要がある」状態の場合、ビット 0 は割り込み要求の有効または無効を設定することができます。I/O カードインタフェースではこのビットは意味がありません。</p> <p>0 : BVD2 端子および BVD1 端子が、「データが保証されないのでバッテリーを交換する必要がある」状態の場合、割り込みは発生しません。</p> <p>1 : BVD2 端子および BVD1 端子が、「データが保証されないのでバッテリーを交換する必要がある」状態の場合、割り込みが発生します。</p>

## 29.4 動作の説明

### 29.4.1 PC カード接続仕様 (インタフェース図、該当端子)

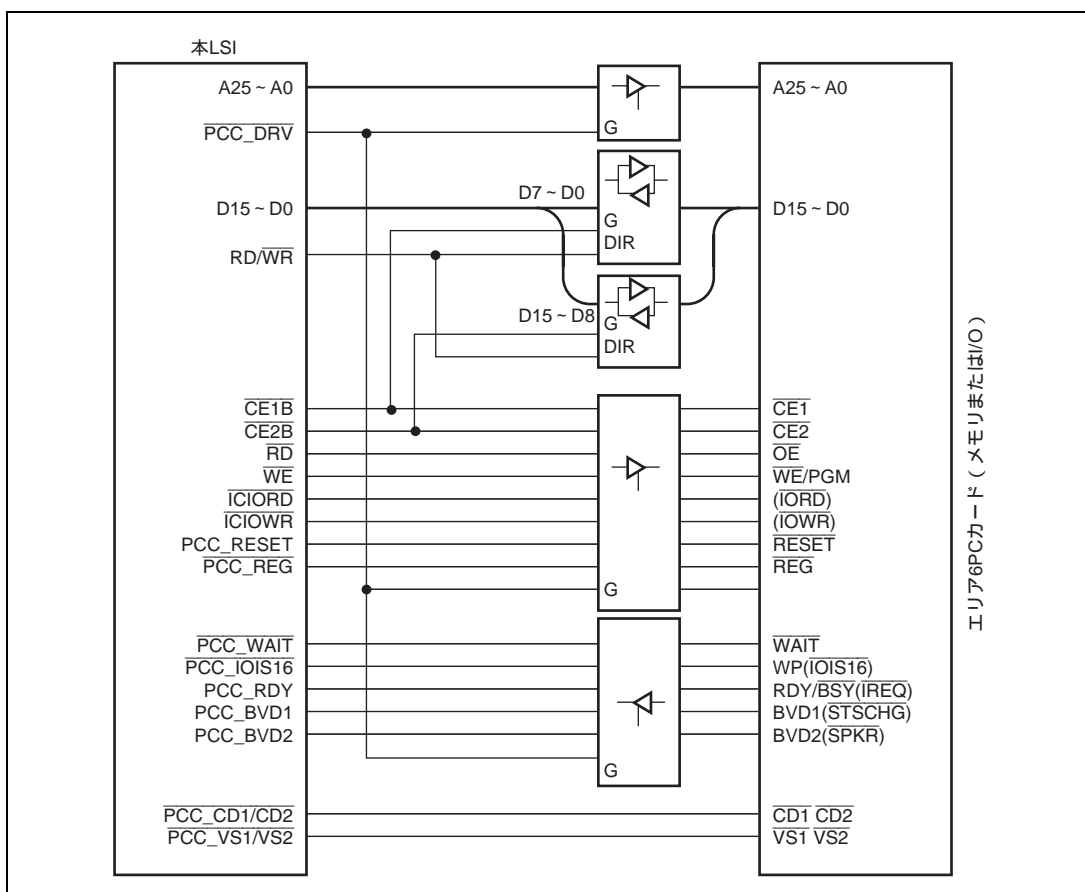


図 29.4 インタフェース図



表 29.3 PCMCIA サポートインタフェース

端子 番号	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 該当端子
	信号名	入出力	機能	信号名	入出力	機能	
1	GND		グラウンド	GND		グラウンド	-
2	D3	入出力	データ	D3	入出力	データ	D3
3	D4	入出力	データ	D4	入出力	データ	D4
4	D5	入出力	データ	D5	入出力	データ	D5
5	D6	入出力	データ	D6	入出力	データ	D6
6	D7	入出力	データ	D7	入出力	データ	D7
7	$\overline{CE1}$	入力	カードイネーブル	$\overline{CE1}$	入力	カードイネーブル	$\overline{CE1B}$
8	A10	入力	アドレス	A10	入力	アドレス	A10
9	$\overline{OE}$	入力	出力イネーブル	$\overline{OE}$	入力	出力イネーブル	$\overline{RD}$
10	A11	入力	アドレス	A11	入力	アドレス	A11
11	A9	入力	アドレス	A9	入力	アドレス	A9
12	A8	入力	アドレス	A8	入力	アドレス	A8
13	A13	入力	アドレス	A13	入力	アドレス	A13
14	A14	入力	アドレス	A14	入力	アドレス	A14
15	$\overline{WE/PGM}$	入力	ライトイネーブル	$\overline{WE/PGM}$	入力	ライトイネーブル	$\overline{WE}$
16	$\overline{RDY/BSY}$	出力	レディ / ビジー	$\overline{IREQ}$	出力	割り込み要求	PCC_RDY
17	VCC		電源	VCC		電源	-
18	VPP1		プログラミング 電源	VPP1		プログラミング および周辺電源	-
19	A16	入力	アドレス	A16	入力	アドレス	A16
20	A15	入力	アドレス	A15	入力	アドレス	A15
21	A12	入力	アドレス	A12	入力	アドレス	A12
22	A7	入力	アドレス	A7	入力	アドレス	A7
23	A6	入力	アドレス	A6	入力	アドレス	A6
24	A5	入力	アドレス	A5	入力	アドレス	A5
25	A4	入力	アドレス	A4	入力	アドレス	A4
26	A3	入力	アドレス	A3	入力	アドレス	A3
27	A2	入力	アドレス	A2	入力	アドレス	A2
28	A1	入力	アドレス	A1	入力	アドレス	A1
29	A0	入力	アドレス	A0	入力	アドレス	A0
30	D0	入出力	データ	D0	入出力	データ	D0
31	D1	入出力	データ	D1	入出力	データ	D1
32	D2	入出力	データ	D2	入出力	データ	D2

端子 番号	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 該当端子
	信号名	入出力	機能	信号名	入出力	機能	
33	WP	出力	ライトプロテクト	$\overline{\text{IOIS16}}$	出力	16 ビット I/O ポート	PCC_IOIS16
34	GND		グラウンド	GND		グラウンド	-
35	GND		グラウンド	GND		グラウンド	-
36	$\overline{\text{CD1}}$	出力	カード検出	$\overline{\text{CD1}}$	出力	カード検出	PCC_CD1
37	D11	入出力	データ	D11	入出力	データ	D11
38	D12	入出力	データ	D12	入出力	データ	D12
39	D13	入出力	データ	D13	入出力	データ	D13
40	D14	入出力	データ	D14	入出力	データ	D14
41	D15	入出力	データ	D15	入出力	データ	D15
42	$\overline{\text{CE2}}$	入力	カードイネーブル	$\overline{\text{CE2}}$	入力	カードイネーブル	$\overline{\text{CE2B}}$
43	$\overline{\text{VS1}}$	出力	電圧センス	$\overline{\text{VS1}}$	出力	電圧センス	PCC_VS1
44	RFU		リザーブ	$\overline{\text{IORD}}$	入力	I/O リード	$\overline{\text{ICIORD}}$
45	RFU		リザーブ	$\overline{\text{IOWR}}$	入力	I/O ライト	$\overline{\text{ICIOWR}}$
46	A17	入力	アドレス	A17	入力	アドレス	A17
47	A18	入力	アドレス	A18	入力	アドレス	A18
48	A19	入力	アドレス	A19	入力	アドレス	A19
49	A20	入力	アドレス	A20	入力	アドレス	A20
50	A21	入力	アドレス	A21	入力	アドレス	A21
51	VCC		電源	VCC		電源	-
52	VPP2		プログラミング 電源	VPP2		プログラミング および周辺電源	-
53	A22	入力	アドレス	A22	入力	アドレス	A22
54	A23	入力	アドレス	A23	入力	アドレス	A23
55	A24	入力	アドレス	A24	入力	アドレス	A24
56	A25	入力	アドレス	A25	入力	アドレス	A25
57	$\overline{\text{VS2}}$	出力	電圧センス	$\overline{\text{VS2}}$	出力	電圧センス	PCC_VS2
58	RESET	入力	リセット	RESET	入力	リセット	PCC_RESET
59	$\overline{\text{WAIT}}$	出力	ウェイト要求	$\overline{\text{WAIT}}$	出力	ウェイト要求	PCC_WAIT
60	RFU		Reserved	$\overline{\text{INPACK}}$	出力	入力受け付け属性	-
61	$\overline{\text{REG}}$	入力	メモリ空間選択 属性	$\overline{\text{REG}}$	入力	メモリ空間選択 属性	PCC_REG
62	BVD2	出力	バッテリー電圧検出	SPKR	出力	デジタル音声信号	PCC_BVD2
63	BVD1	出力	バッテリー電圧検出	$\overline{\text{STSCHG}}$	出力	カードステータス 変更	PCC_BVD1
64	D8	入出力	データ	D8	入出力	データ	D8

端子 番号	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 該当端子
	信号名	入出力	機能	信号名	入出力	機能	
65	D9	入出力	データ	D9	入出力	データ	D9
66	D10	入出力	データ	D10	入出力	データ	D10
67	$\overline{\text{CD2}}$	出力	カード検出	$\overline{\text{CD2}}$	出力	カード検出	PCC_CD2
68	GND		グラウンド	GND		グラウンド	-

## 29.4.2 PC カードインタフェースタイミング

### (1) メモリカードインタフェースタイミング

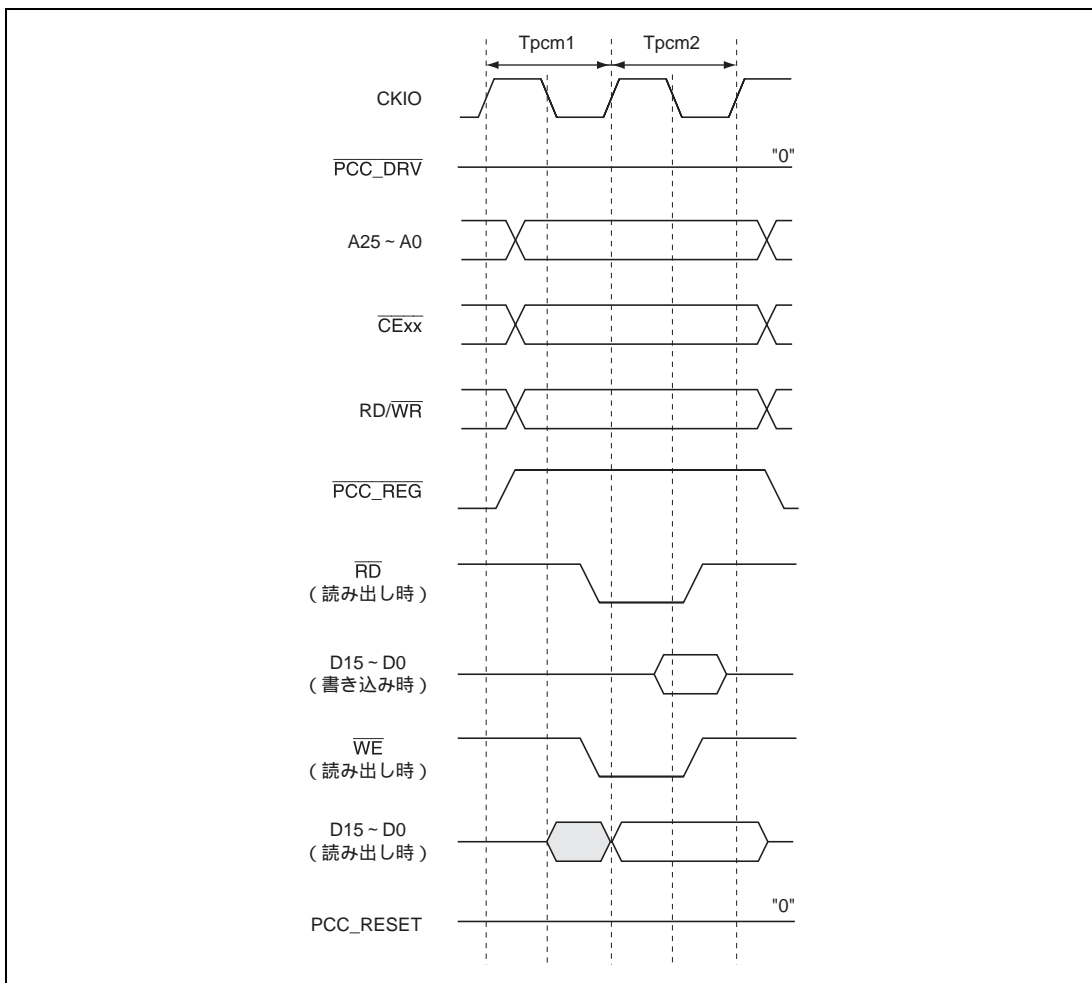


図 29.5 PCMCIA メモリカードインタフェース基本タイミング

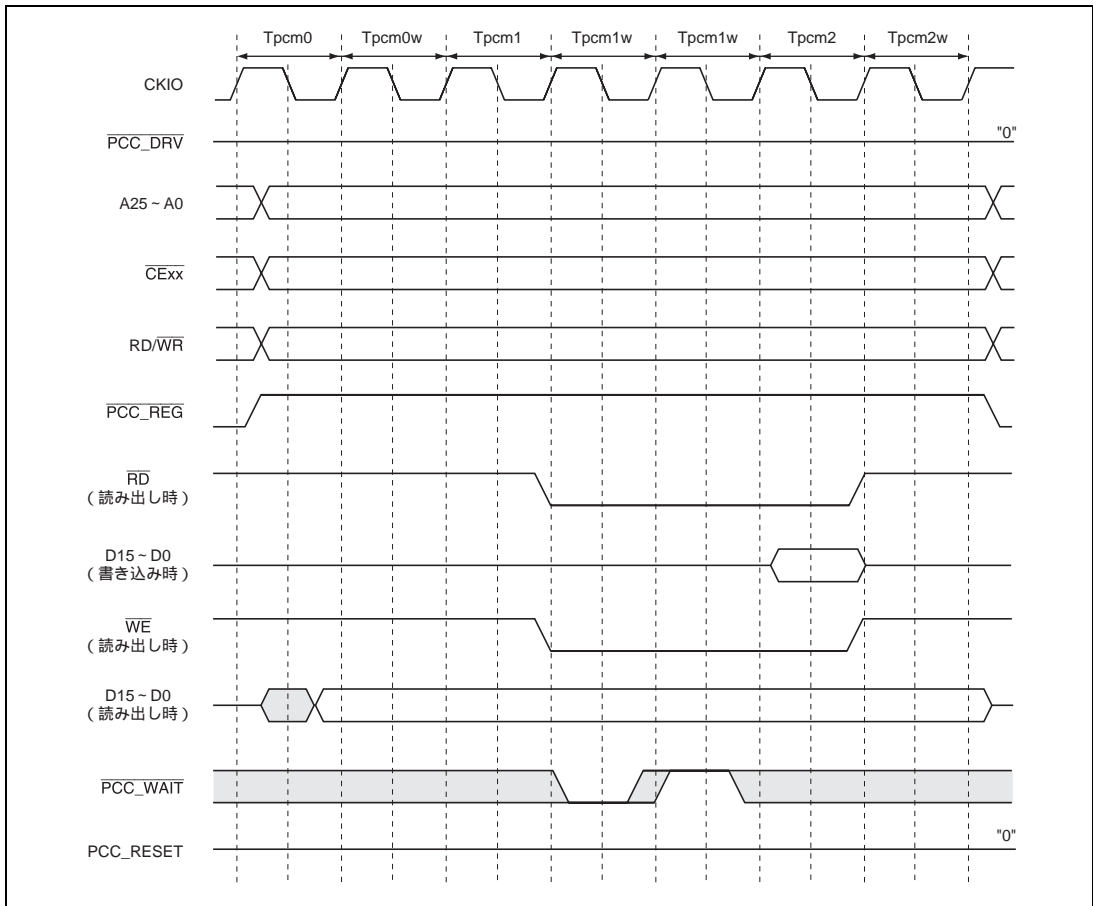


図 29.6 PCMCIA メモリカードインタフェースウェイトタイミング

## (2) I/O カードインタフェースタイミング

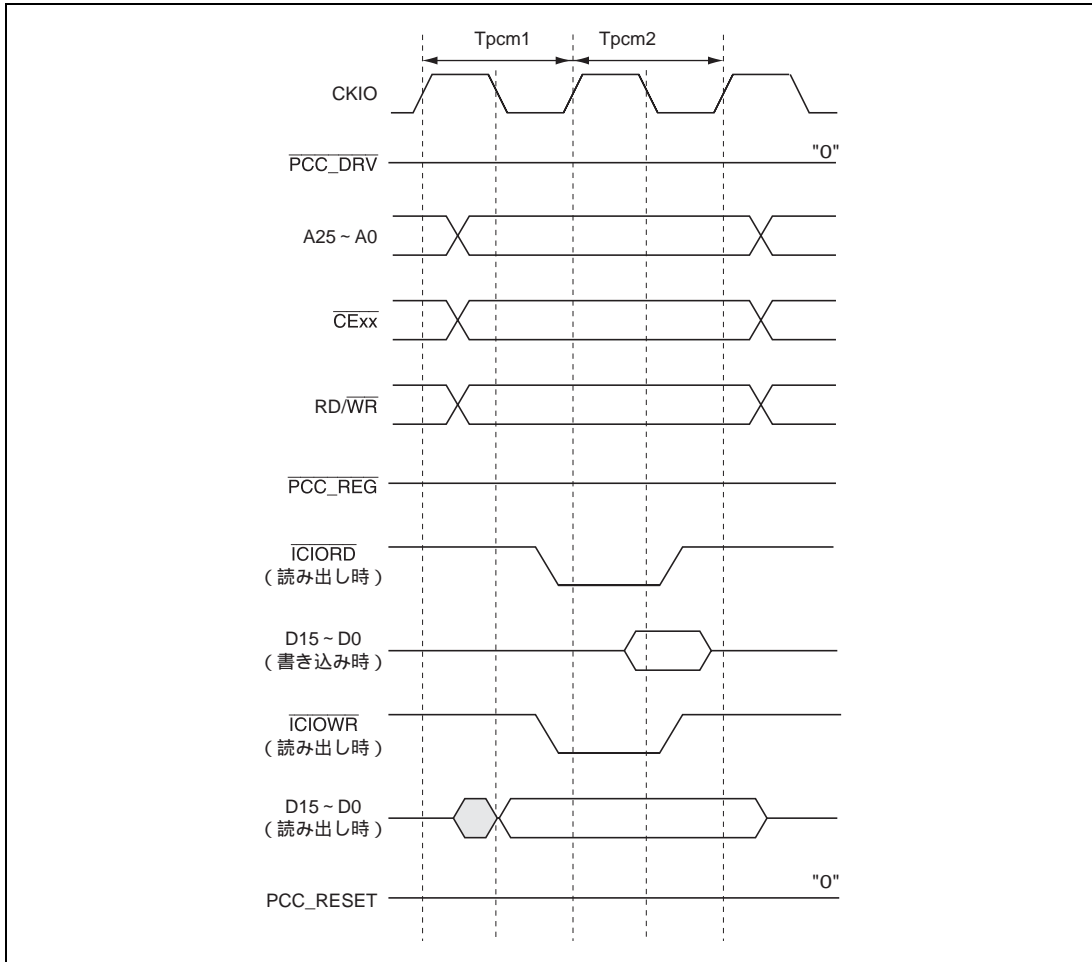


図 29.7 PCMCIA I/O カードインタフェース基本タイミング

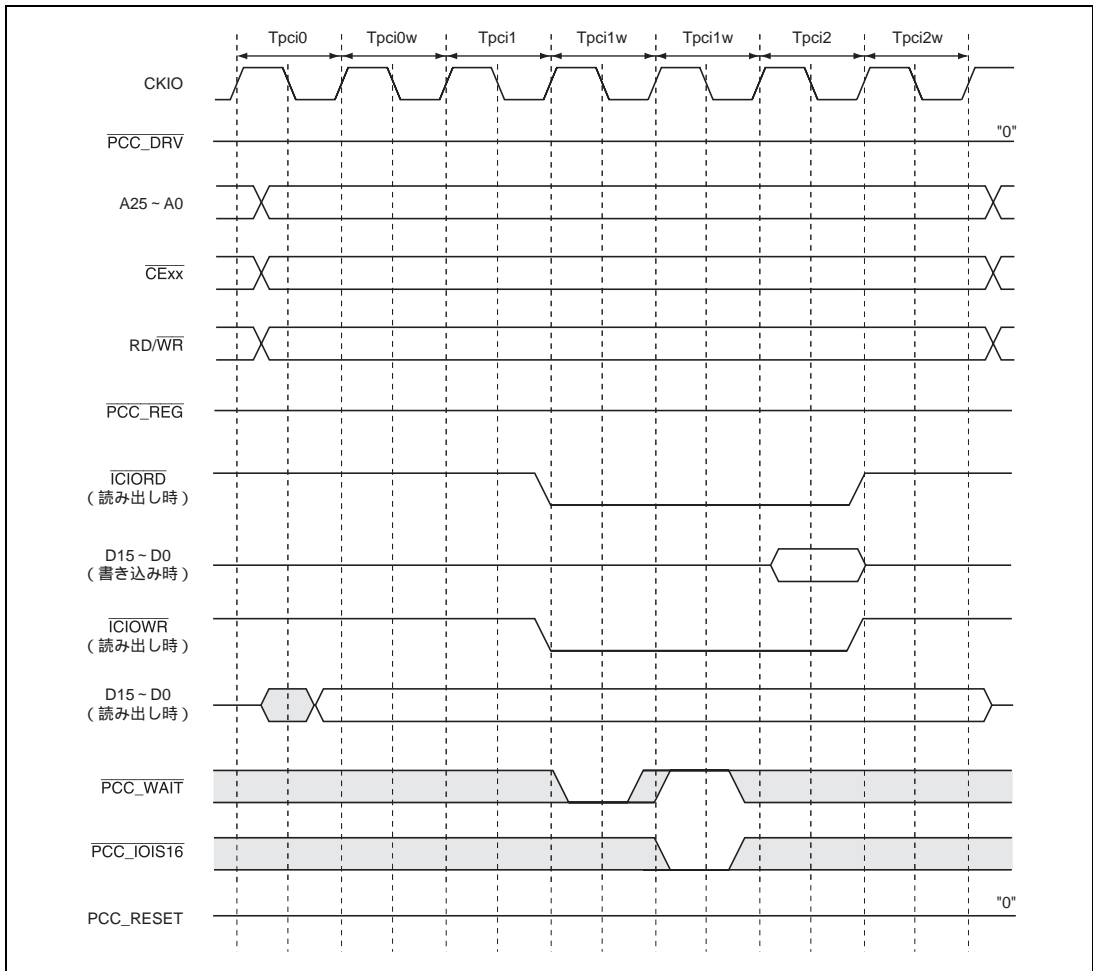


図 29.8 PCMCIA I/O カードインタフェースウェイトタイミング

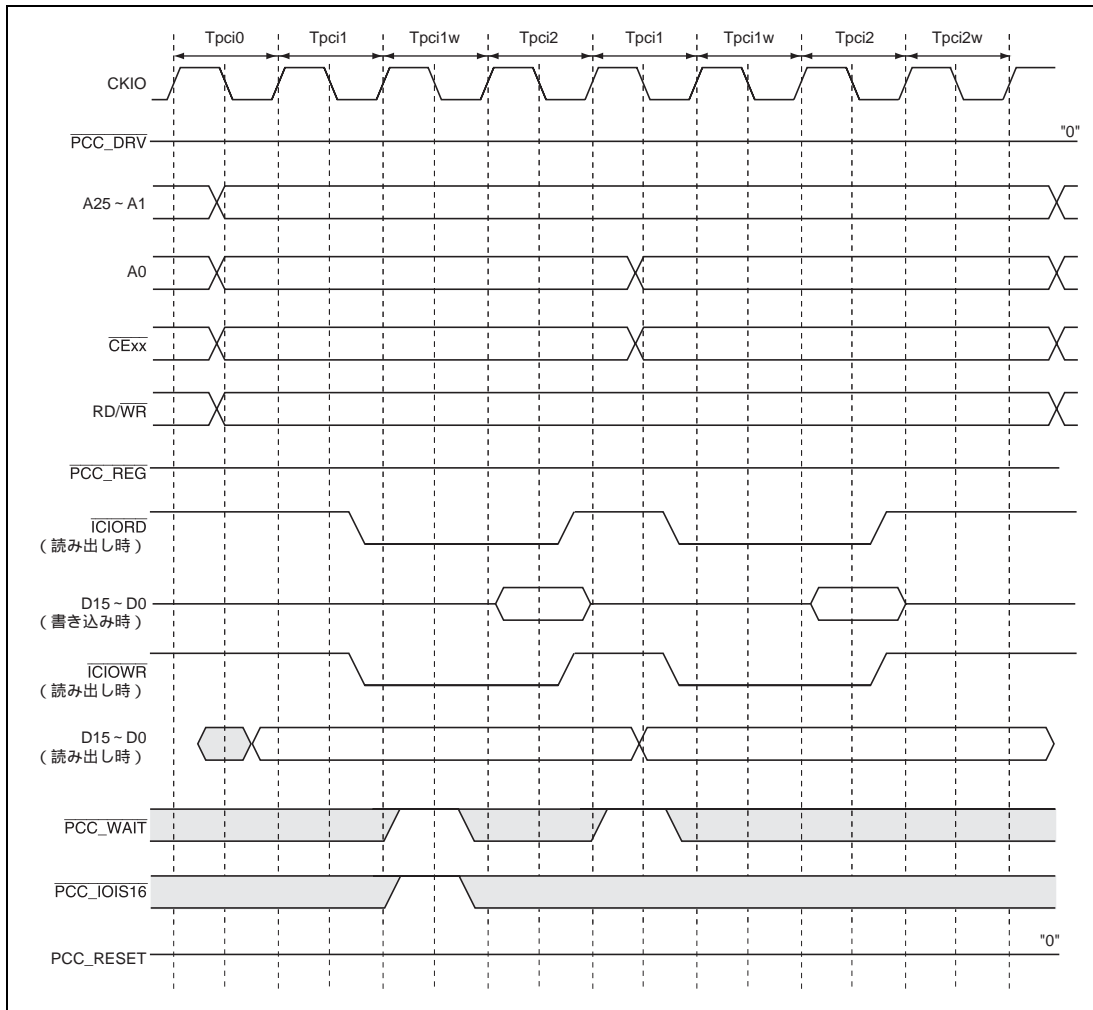


図 29.9 PCMCIA I/O カードインタフェースに対する動的バスサイジングタイミング

詳細については、「第 9 章 バスステートコントローラ (BSC)」を参照してください。

## 29.5 使用上の注意事項

### (1) PC カード使用時の外部バス周波数の制限

PC カード規格によると、属性メモリアクセス時間は 600 ns (3.3 V) / 300 ns (5 V) と指定されています。したがって、本 LSI が属性メモリアクセスする場合、バスサイクルは PC カードインタフェースタイミングと調整する必要があります。本 LSI では、タイミングは CS6BWCR レジスタの TED、TEH および PCW 値を設定することによって調整し、PC カードを上記の周波数範囲で使用することができます。(IORD および IOWR 信号を基にした) 共通メモリアクセス時間と I/O アクセス時間も同様に指定し(下表を参照)、PC カードはこれらすべての仕様を満足するように上記の範囲内で使用しなければなりません。

PC カード空間	アクセス時間 (5 V 動作)	アクセス時間 (3.3 V 動作)
属性メモリ	300 ns	600 ns
共通メモリ	250 ns	600 ns
I/O 空間 (IORD)、(IOWR) パルス幅	165 ns	165 ns

### (2) 端子機能コントロールとカードタイプの切り替え

ピンファンクションコントローラの端子機能を専用 PC カード用(「その他の機能」)に設定する場合、まずカードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) に禁止状態を設定しなければなりません。また、カードステータスチェンジレジスタ (PCC0CSCR) は設定終了後クリアしなければなりません。ただし、この制限はカード検出端子 (CD1 と CD2) には適用されません。

エリア 6 ジェネラルコントロールレジスタ (PCC0GCR) のカードタイプビット (P0PCCT) を変更する場合、まずカードステータスチェンジ割り込み許可レジスタ (PCC0CSCIER) に禁止状態を設定しなければなりません。また、カードステータスチェンジレジスタ (PCC0CSCR) は設定終了後クリアしなければなりません。

- 理由

PC カードコントローラの設定を変更すると、種々の割り込みを発生する PC カード端子の機能は変化し、その結果不必要な割り込みが発生する場合があります。

### (3) PC カードコントローラ使用時の設定順序

PC カードコントローラを使用する場合、下記順序に従ってください。

1. バスステートコントローラの共通コントロールレジスタ (CMNCR) のビット 12 (MAP) を 1 に設定してください。
2. バスステートコントローラの CS6B 空間バスコントロールレジスタ (CS6BBCR) のビット 15 ~ 12 (TYPE3 ~ 0) を B'0101 に設定してください。
3. PC カードコントローラのエリア 6 ジェネラルコントロールレジスタのビット 4 (P0USE) を 1 に設定してください。
4. ピンファンクションコントローラの端子機能を専用 PC カード用(「その他の機能」)に設定してください。



---

## 30. SIM カードモジュール (SIM)

---

スマートカードインタフェースは、ISO/IEC7816-3 (Identification Card) に対応した IC カード (スマートカード) インタフェースをサポートしています。

### 30.1 特長

- 通信機能

調歩式半二重伝送

プロトコル形式 T=0 モードと T=1 モードの選択可能

データ長 : 8 ビット

パリティビットの生成およびチェック

キャラクタ保護追加時間を選択可能

1etu 当たりの出力クロック数を選択可能

T=0 モードで受信モードにおけるエラーシグナル (パリティエラー) の送出

T=0 モードで送信モードにおけるエラーシグナルの検出とキャラクタの自動再送信

T=1 モードで最小キャラクタ間隔 11etu (N=255) 選択可能 (etu : Elementary Time Unit)

ダイレクトコンベンション / インバースコンベンションの選択可能

出力クロックをハイまたはローの状態に固定可能

- 内蔵ボーレートジェネレータによる任意のビットレートの選択可能

- 4種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラー、送信完了

- DMA転送

送信データエンプティDMA転送要求と受信データフルDMA転送要求により、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

- T=0 モードで作業待ち時間、T=1 モードでキャラクタ待ち時間を観測可能

スマートカードインタフェースのブロック図を図 30.1 に示します。

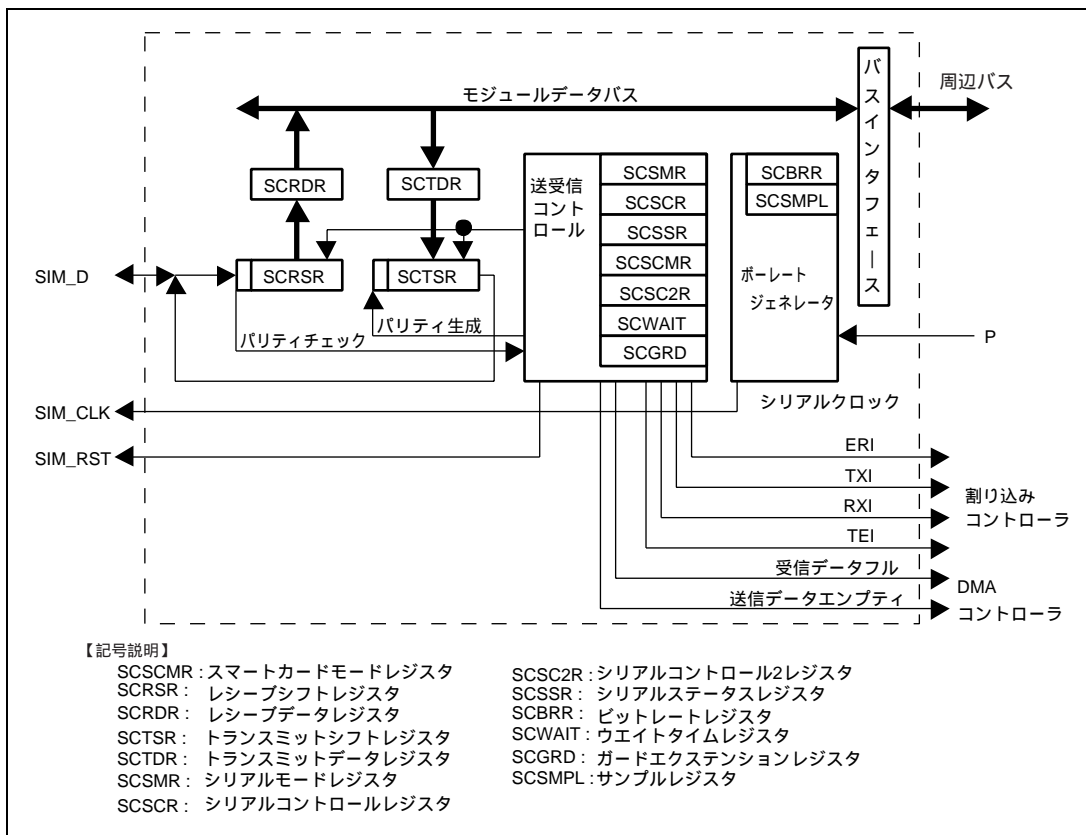


図 30.1 スマートカードインタフェース

## 30.2 入出力端子

スマートカードインタフェースの端子構成を表 30.1 に示します。

表 30.1 端子構成

名称	略称	入出力	機能
SIM データ	SIM_D*	入出力	送受信データ入出力
SIM クロック	SIM_CLK	出力	クロック出力
SIM リセット	SIM_RST	出力	スマートカードリセット出力

【注】 \* 送信および受信動作を説明するために、送信データ側を TXD と、受信データ側を RXD と記載します。

### 30.3 レジスタの説明

SIM カードモジュールには、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については、「第 37 章 レジスタ一覧」を参照してください。

- シリアルモードレジスタ (SCSMR)
- ビットレートレジスタ (SCBRR)
- シリアルコントロールレジスタ (SCSCR)
- トランスミットシフトレジスタ (SCTSR)
- トランスミットデータレジスタ (SCTDR)
- シリアルステータスレジスタ (SCSSR)
- レシーブシフトレジスタ (SCRSR)
- レシーブデータレジスタ (SCRDR)
- スマートカードモードレジスタ (SCSCMR)
- シリアルコントロール2レジスタ (SCSC2R)
- ガードエクステンションレジスタ (SCGRD)
- ウェイトタイムレジスタ (SCWAIT)
- サンプルレジスタ (SCSMPL)

#### 30.3.1 シリアルモードレジスタ (SCSMR)

SCSMR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの通信フォーマットの設定を選択します。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説明
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。</p> <p>0 : 偶数パリティ*<sup>1</sup></p> <p>1 : 奇数パリティ*<sup>2</sup></p> <p>【注】*<sup>1</sup> 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。</p> <p>受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*<sup>2</sup> 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。</p> <p>受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

### 30.3.2 ビットレートレジスタ (SCBRR)

SCBRR は、読み出し / 書き込み可能な 8 ビットのレジスタで、送信 / 受信のビットレートを設定します。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	BRR2	1	R/W	送信 / 受信のビットレート 2~0 を設定します。
1	BRR1	1	R/W	
0	BRR0	1	R/W	

SCBRR の設定値は以下の計算式で求められます。

$$\text{sck\_frequency} = \frac{P}{2(\text{brr}+1)}$$

P = 周辺クロック周波数 と sck\_frequency の単位は MHz です。

### 30.3.3 シリアルコントロールレジスタ (SCSCR)

SCSCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送されシリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。</p> <p>0 : 送信データエンプティ割り込み (TXI) 要求を禁止*</p> <p>1 : 送信データエンプティ割り込み (TXI) 要求を許可</p> <p>【注】* TXI の解除は、TDRE フラグをクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へ転送されて SCSSR の RDRF フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、およびパリティエラー、オーバーランエラー、エラーシグナルステータスによる送受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。</p> <p>0 : 受信データフル割り込み (RXI) 要求、および送受信エラー割り込み (ERI) 要求を禁止*<sup>1</sup>*<sup>2</sup></p> <p>1 : 受信データフル割り込み (RXI) 要求、および送受信エラー割り込み (ERI) 要求を許可*<sup>2</sup></p> <p>【注】*<sup>1</sup> RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または PER、ORER、ERS フラグをクリアするか、RIE ビットを 0 にクリアすることで行えます。</p> <p>*<sup>2</sup> ウェイトエラーによる割り込み (ERI) 要求の許可 / 禁止は、SCSCR の WAIT_IE ビットで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作を許可 / 禁止します。</p> <p>0 : 送信動作を禁止*<sup>1</sup></p> <p>1 : 送信動作を許可*<sup>2</sup>*<sup>3</sup></p> <p>【注】*<sup>1</sup> SCSSR の TDRE フラグは 1 に固定されます。</p> <p>*<sup>2</sup> この状態で、SCTDR に送信データを書き込むと、送信動作が開始します。なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、スマートカードモードレジスタ (SCSCMR) の設定を行い、送信フォーマットを決定してください。</p> <p>*<sup>3</sup> TE ビットを 0 にクリアしても ERS フラグは影響を受けず、状態を保持しますので注意してください。</p>

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	レシーブイネーブル シリアル受信動作を許可 / 禁止します。 0 : 受信動作を禁止* <sup>1</sup> 1 : 受信動作を許可* <sup>2</sup> 【注】*1 RE ビットを 0 にクリアしても RDRF、PER、ERS、ORER、WAIT_ER の各フラグは影響を受けず、状態を保持しますので注意してください。 *2 この状態でスタートビットを検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SCSSMR、SCSCMR の設定を行い、受信フォーマットを決定してください。
3	WAIT_IE	0	R/W	ウェイトイネーブル ウェイトエラーによる割り込み要求を許可 / 禁止します。 0 : ウェイトエラーによる割り込み (ERI) 要求を禁止 1 : ウェイトエラーによる割り込み (ERI) 要求を許可
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル 送信が終了して TEND フラグが 1 にセットされたときの、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。 0 : 送信終了割り込み (TEI) 要求を禁止* 1 : 送信終了割り込み (TEI) 要求を許可* 【注】* TEI の解除は、SCSSR の TDRE フラグの 1 を読み出した後、SCTDR に送信データを書き込んで TEND ビットをクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。
1	CKE1	0	R/W	クロックイネーブル 1、0
0	CKE0	0	R/W	スマートカードインタフェースのクロックソースの選択、および SIM_CLK 端子からのクロック出力の許可 / 禁止を設定します。 00 : 出力端子としてローレベル出力固定 01 : 出力端子としてクロック出力 10 : 出力端子としてハイレベル出力固定 11 : 出力端子としてクロック出力

### 30.3.4 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのシフトレジスタです。

スマートカードインタフェースは、トランスミットデータレジスタ(SCTDR)から送信データをいったん SCTSR に転送し、LSB または MSB から順に SIM\_TXD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR から SCTSR へ次の送信データを転送し、送信を開始します。シリアルステータスレジスタ(SCSSR)の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送を行いません。

CPU や DMAC から、直接 SCTSR の読み出し / 書き込みをすることはできません。

### 30.3.5 トランスミットデータレジスタ (SCTDR)

SCTDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、シリアル送信するデータを格納します。

スマートカードインタフェースは、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

ビット	ビット名	初期値	R/W	説明
7~0	SCTD7~ SCTD0	すべて 1	R/W	トランスミットデータ シリアル送信するデータを格納

### 30.3.6 シリアルステータスレジスタ (SCSSR)

SCSSR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの動作状態を示します。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/W	トランスミットデータレジスタエンプティ トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ SCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。 0: SCTDR に有効な送信データが書き込まれていることを表示 【クリア条件】 (1) CCSCR の TE ビットが 1 のときに SCTDR へデータを書き込んだとき (2) TDRE に 0 を書き込んだとき 1: SCTDR に有効な送信データがないことを表示 【セット条件】 (1) リセット時 (2) SCSCR の TE ビットが 0 のとき (3) SCTDR から SCTSR にデータ転送が行われ SCTDR にデータの書き込みが可能になったとき

ビット	ビット名	初期値	R/W	説明
6	RDRF	0	R/W	<p>レシーブデータレジスタフル</p> <p>受信したデータがレシーブデータレジスタ (SCRDR) に格納されていることを示します。</p> <p>0 : SCRDR に有効な受信データが格納されていないことを表示</p> <p>【クリア条件】</p> <p>(1) リセット時</p> <p>(2) SCRDR のデータを読み出したとき</p> <p>(3) RDRF に 0 を書き込んだとき</p> <p>1 : SCRDR に有効な受信データが格納されていることを表示</p> <p>【セット条件】</p> <p>シリアル受信が正常終了し、SCRSR から SCRDR へ受信データが転送されたとき</p> <p>【注】 T=0 モードでは、受信時パリティエラーを検出したとき、SCRDR の内容と RDRF フラグは影響を受けず以前の状態を保持します。</p> <p>一方、T=1 モードでは、受信時パリティエラーを検出したとき受信データが SCRDR に転送され RDRF フラグは 1 にセットされます。</p> <p>なお、T=0 と T1 の両モードともに、シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしても、SCRDR の内容と RDRF フラグは影響を受けず以前の状態を保持します。</p>
5	ORER	0	R/W	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0 : 受信中、または正常に受信を完了したことを表示<sup>*1</sup></p> <p>【クリア条件】</p> <p>(1) リセット時</p> <p>(2) ORER に 0 を書き込んだとき</p> <p>1 : 受信時にオーバランエラーが発生したことを表示<sup>*2</sup></p> <p>【セット条件】</p> <p>RDRF = 1 の状態で次のシリアル受信を完了したとき</p> <p>【注】*1 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 SCRDR ではオーバランエラーが発生する前の受信データが失われ、オーバランエラー発生時に受信したデータを保持します。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>



ビット	ビット名	初期値	R/W	説明
4	ERS	0	R/W	<p>エラーシグナルステータス</p> <p>このフラグは送信時に受信側から送り返されるエラーシグナルのステータスを示します。T=1 モードのときはセットされません。</p> <p>0: 受信側からパリティエラーの検出を示すエラーシグナルが送出されなかったことを表示</p> <p>【クリア条件】</p> <p>(1) リセット時</p> <p>(2) ERS に 0 を書き込んだとき</p> <p>1: 受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示</p> <p>【セット条件】</p> <p>エラーシグナルをサンプリングしたとき</p> <p>【注】 SCSCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/W	<p>パリティエラー</p> <p>受信時にパリティエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*<sup>1</sup></p> <p>【クリア条件】</p> <p>(1) リセット時</p> <p>(2) PER に 0 を書き込んだとき</p> <p>1: 受信時にパリティエラーが発生したことを表示*<sup>2</sup></p> <p>【セット条件】</p> <p>受信時の受信データとパリティビットを合わせた論理 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき</p> <p>【注】*<sup>1</sup> SCSCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。</p> <p>*<sup>2</sup> T=0 モードでは、パリティエラーが発生したときの受信データは SCRDR に転送されず、RDRF フラグはセットされません。一方、T=1 モードでは、パリティエラーが発生したときの受信データは SCRDR に転送され、RDRF フラグはセットされます。パリティエラーが発生したときは、次のパリティビットのサンプリングタイミングまでに、PER フラグを 0 にクリアしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド 送信を終了したことを表示します。 TEND フラグは読み出し専用ですので、書き込むことはできません。</p> <p>0 : 送信中であることを表示</p> <p>【クリア条件】 SCTDR から SCTSR に送信データが転送され、シリアル送信が開始したとき</p> <p>1 : 送信を終了したことを表示</p> <p>【セット条件】 (1) リセット時 (2) 1 バイトのシリアルキャラクタおよびパリティビット送信後に ERS = 0 (正常送信) のとき</p> <p>【注】 TEND フラグはキャラクタ保護時間が終了する 1etu 前にセットされます。</p>
1	WAIT_ER	0	R/W	<p>ウェイトエラー このフラグはウェイトタイムのエラーステータスを示します。</p> <p>0 : 2 つの連続するキャラクタの先端間隔が、SCWAIT で設定した etu を超過していないことを表示</p> <p>【クリア条件】 (1) リセット時 (2) WAIT_ER に 0 を書き込んだとき</p> <p>1 : 2 つの連続するキャラクタの先端間隔が、SCWAIT で設定した etu を超過していることを表示</p> <p>【セット条件】 (1) T=0 モードの場合、受信するキャラクタとその直前に送信または受信したキャラクタの先端間隔が (60 × SCWAIT の値 : 作業待ち時間) etu を超過したとき (2) T=1 モードの場合、2 つの連続する受信キャラクタの先端間隔が (SCWAIT の値 : キャラクタ保護時間) etu を超過したとき</p> <p>【注】 *1 SCSCR の RE ビットを 0 にクリアしても、WAIT_ER フラグは影響を受けず以前の状態を保持します。 *2 T=0 の場合は、RE ビットを 0 から 1 にセットしたときに WAIT_ER フラグのセット条件が満たされても WAIT_ER フラグはセットされない場合がありますのでご注意ください。このとき、RE ビットを 1 にセットした後、最後の送信または受信から 60 × (SCWAIT + n) etu (n は 0 以上の整数 : RE ビットを 1 にセットするタイミングに依存) 後に WAIT_ER フラグがセットされます。 *3 T=0 の場合は、最後の送信または受信から 60 × (SCWAIT + n) etu 後に WAIT_ER フラグをセットしたくない場合は、スマートカードモードレジスタ (SCSCMR) のプロトコルビット (PB) にて、T=0 から T=1 に設定し、再び T=0 に戻してください。また、T=1 の場合は、最後の受信から、(SCWAIT) etu 後に WAIT_ER フラグをセットしたくない場合は、スマートカードモードレジスタ (SCSCMR) のプロトコルビット (PB) にて、T=1 から T=0 に設定し、再び T=1 に戻してください。</p>

ビット	ビット名	初期値	R/W	説明
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

### 30.3.7 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

スマートカードインタフェースは、SCRSR に SIM\_RXD 端子から入力されたシリアルデータを LSB または MSB から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR へ転送されます。CPU や DMAC から直接 SCRSR の読み出し / 書き込みをすることはできません。

### 30.3.8 レシーブデータレジスタ (SCRDR)

SCRDR は、読み出し専用の 8 ビットのレジスタで、受信したシリアルデータを格納します。

スマートカードインタフェースは、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になります。このように、SCRSR と SCRDR はダブルバッファになっているため連続した受信動作が可能です。SCRDR は CPU や DMAC から書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
7~0	SCRD7~ SCRD0	すべて0	R	レシーブデータ 受信したシリアルデータを格納

### 30.3.9 スマートカードモードレジスタ (SCSCMR)

SCSCMR は、スマートカードインタフェースの機能の選択を行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	LCB	0	R/W	ラストキャラクタ このビットが1に設定されるとキャラクタ保護時間は 2etu になり、ガードエクステンションレジスタの設定は無効になります。 0 : キャラクタ保護時間はガードレジスタの値によって決まります 1 : キャラクタ保護時間は 2etu になります
5	PB	0	R/W	プロトコル プロトコル形式 T=0 または T=1 を選択します。 0 : スマートカードインタフェースは T=0 プロトコルで動作 1 : スマートカードインタフェースは T=1 プロトコルで動作
4	-	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換のフォーマットを選択します。 0: SCTDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして SCRDR に格納 1: SCTDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR に格納
2	SINV	0	R/W	スマートカードデータインバート データのロジックレベルの反転を指定します。ビット 3 の機能を組み合わせインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットの値には影響しません。 0: SCTDR の内容をそのまま送信 受信データをそのまま SCRDR に格納 1: SCTDR の内容を反転してデータを送信 受信データを反転して SCRDR に格納
1	RST	0	R/W	スマートカードリセット スマートカードインタフェースの SIM_RST 端子の出力を制御します。 0: スマートカードインタフェースの SIM_RST 端子はローレベルを出力 1: スマートカードインタフェースの SIM_RST 端子はハイレベルを出力
0	SMIF	1	R/W	スマートカードインタフェースモードセレクト このビットは常に 1 が読み出されます。書き込む値も常に 1 にしてください。

### 30.3.10 シリアルコントロール 2 レジスタ (SCSC2R)

SCSC2R は、読み出し/書き込み可能な 8 ビットのレジスタで、受信データフル割り込み (RXI) 要求の許可/禁止の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	EIO	0	R/W	エラー割り込みオンリー EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ受信データフル割り込み (RXI) を要求しません。この設定で DMAC を使用した場合、CPU は ERI 要求のみを処理します。 受信データフル割り込み (RXI) 要求は RIE ビットの設定によって決まります。
6~0	-	すべて 0	R	リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 30.3.11 ガードエクステンションレジスタ (SCGRD)

SCGRD は 8 ビットの読み出し / 書き込み可能なレジスタです。キャラクタ保護追加時間を設定します。

ビット	ビット名	初期値	R/W	説明
7~0	SCGRD7~ SCGRD0	すべて 0	R/W	ガードエクステンション スマートカードへ送信されたキャラクタのうち、キャラクタ保護追加時間を示します。2つの連続したキャラクタ先端間の間隔は、このレジスタの値が H'00 のとき 12 etu (追加なし) を示し H'01 のとき 13 etu、...、H'FE のとき 266 etu になります。また、このレジスタの値が H'FF の場合 2つの連続したキャラクタ先端間の間隔は、T=1 モードで 11etu、T=0 モードでは 12etu になります。

### 30.3.12 ウェイトタイムレジスタ (SCWAIT)

SCWAIT は 16 ビットの読み出し / 書き込みが可能なレジスタです。2つの連続したキャラクタの先端間隔が、設定した値 (単位 : etu) を超過するとウェイトタイムエラーを発生します。

ビット	ビット名	初期値	R/W	説明
15~0	SCWAIT15~ SCWAIT0	すべて 0	R/W	ウェイトタイムレジスタ T=0 モードでは、このレジスタは作業待ち時間を設定できます。受信するキャラクタと、その直前に送信または受信したキャラクタの先端間隔が (60×このレジスタで設定する値) etu を超過したら WAIT_ER フラグが 1 にセットされます。但し、SCWAIT = H'0000 を設定した場合 60etu 後に WAIT_ER フラグがセットされます。 T=1 モードでは、このレジスタはキャラクタ待ち時間を設定できます。受信する 2つの連続したキャラクタの先端間隔が、(このレジスタで設定する値) etu を超過したら WAIT_ER フラグが 1 にセットされます。ただし、SCWAIT = H'0000 を設定した場合 1etu 後に WAIT_ER フラグがセットされます。

### 30.3.13 サンプルレジスタ (SCSMPL)

SCSMPL は 16 ビットで読み出し / 書き込み可能なレジスタです。1etu あたりのシリアルクロックサイクル数を設定します。

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	SCSMPL10~ SCSMPL0	H'173	R/W	1etu あたりのシリアルクロックサイクル数設定値 1etu あたりのシリアルクロックサイクル数は (SCSMPL の値 + 1) です。 SCSMPL に書き込む値は、必ず H'0007 以上にしてください。

## 30.4 動作説明

### 30.4.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

1. 1フレームは、8ビットデータとパリティビットで構成されます。
2. 送信時は、パリティビットの終了から次のフレーム開始まで、SCGRD、およびSCSCMRのLCBビット、PBビットで設定したキャラクタ保護時間をおきます。
3. T=0モードの受信時にパリティエラーを検出した場合、スタートビットから10.5etu経過後エラーシグナルとしてローレベルを1etu期間出力します。
4. T=0モードの送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
5. 調歩同期式通信機能のみサポートし、クロック同期式通信機能はありません。

### 30.4.2 データフォーマット

図 30.2 にスマートカードインタフェースのデータフォーマットを示します。スマートカードインタフェースは受信時に1フレームごとにパリティチェックを行います。

T=0 モードで受信時にパリティエラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時はエラーシグナルをサンプリングすると同じデータを再送信します。

T=1 モードで受信時にパリティエラーが検出された場合、エラーシグナルを送り返しません。送信時はエラーシグナルのサンプリングとデータの再送信を行いません。

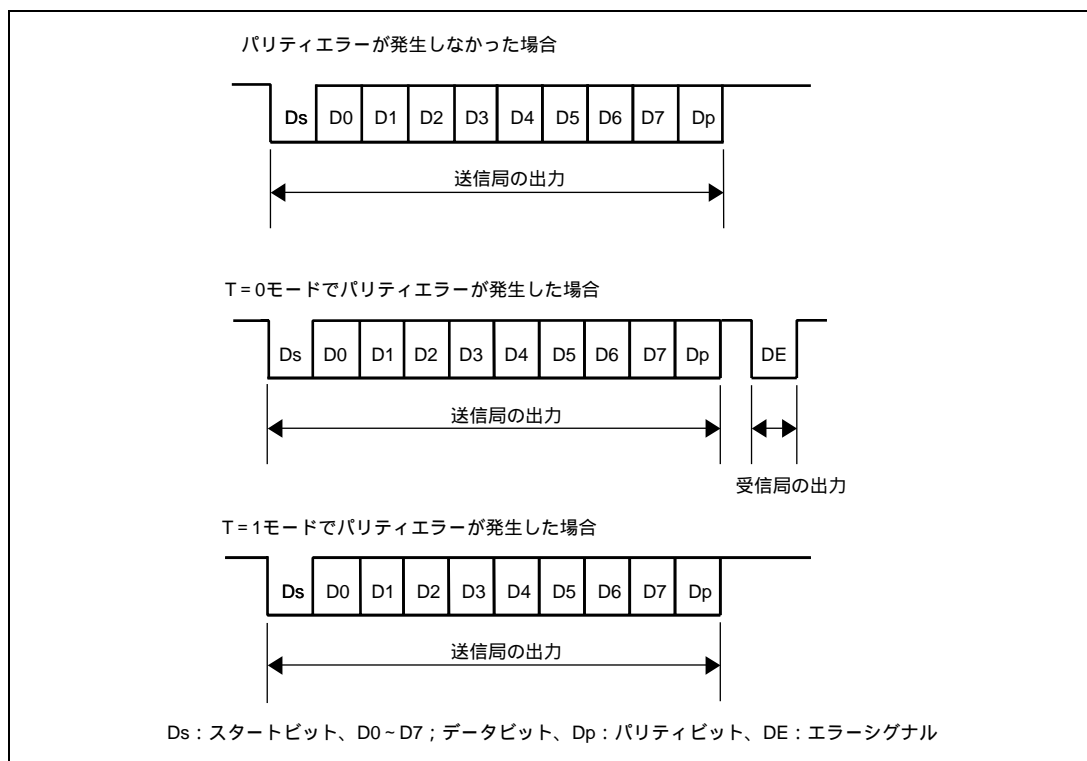


図 30.2 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりハイレベルに固定されます。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds : ローレベル) から開始します。この後に、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりハイレベルになります。
4. 受信側は、パリティチェックを行います。  
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。  
一方、パリティエラーが発生した場合は、T=0モードのとき、エラーシグナル (DE : ローレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりハイレベルに戻ります。T=1モードのときは、パリティエラーが発生してもエラーシグナルを出力しません。
5. 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。  
一方、T=0モードでエラーシグナルを受信した場合は、エラーとなったデータを (2) に戻り再送信します。T=1モードではエラーシグナルの受信、および再送信をしません。

### 30.4.3 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 30.2 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 30.2 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCSMR	0	0	PE	O/E	0	0	0	0
SCBRR	0	0	0	0	0	BRR2	BRR1	BRR0
SCSCR	TIE	RIE	TE	RE	WAIT_JE	TEIE	CKE1	CKE0
SCTDR	SCTD7	SCTD6	SCTD5	SCTD4	SCTD3	SCTD2	SCTD1	SCTD0
SCSSR	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	0
SCRDR	SCRD7	SCRD6	SCRD5	SCRD4	SCRD3	SCRD2	SCRD1	SCRD0
SCSCMR	0	LCB	PB	0	SDIR	SINV	RST	1
SCSC2R	EIO	0	0	0	0	0	0	0
SCWAIT	SCWAIT15 ~ SCWAIT0							
SCGRD	SCGRD7 ~ SCGRD0							
SCSMPL	SCSMPL10 ~ SCSMPL0、ビット 15 ~ 11 は 0							

- シリアルモードレジスタ (SCSMR) の設定

O/EビットはICカードがダイレクトコンベンション時は0を設定し、インバースコンベンション時は1を設定します。

- ビットレートレジスタ (SCBRR) の設定

ビットレートを設定します。設定値の算出方法は「30.4.4 クロック」を参照してください。

- シリアルコントロールレジスタ (SCSCR) の設定

TIE、RIE、TEIE、WAIT\_JEビットで各種割り込みの許可/禁止を選択します。

TE、REビットのどちらかを1にセットすることで、送信/受信を選択します。

CKE1、CKE0ビットはクロック出力状態を選択します。詳細は「30.4.4 クロック」を参照してください。

- スマートカードモードレジスタ (SCSCMR) の設定

SDIRビットおよびSINVビットは、ICカードがダイレクトコンベンション時はどちらも0を設定し、インバースコンベンション時はどちらも1を設定します。

SMIFビットは必ず1を書き込みます。

以下に2種類のICカード(ダイレクトコンベンションタイプとインバースコンベンションタイプ)に対するレジスタ設定値と開始キャラクタでの波形例を図30.3に示します。

ダイレクトコンベンションタイプでは、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信する方式です。上記の開始キャラクタのデータはH'3Bとなります。パリティビットは、スマ



ートカードの規程により偶数パリティで1となります。

インバースコンベンションタイプでは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信する方式です。図30.3の開始キャラクタのデータはH'3Fとなります。パリティビットは、スマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。

なお、SINVビットによる反転はデータビットD7～D0のみとなっています。パリティビットの反転のためにSCSMRのO/Eビットを奇数パリティモードに設定します。送信、受信とも同様です。

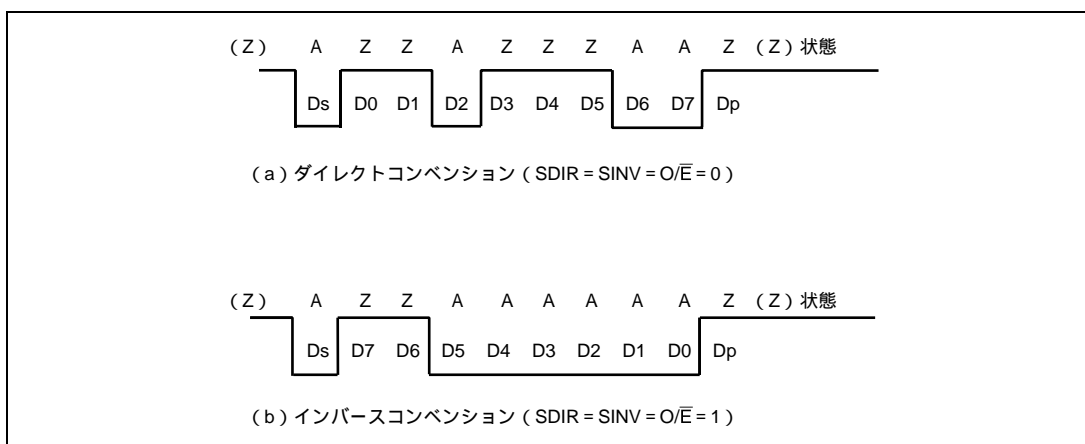


図 30.3 開始キャラクタの波形例

#### 30.4.4 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ (SCBRR) とサンプルレジスタ (SCSMPL) で設定され、以下に示す計算式になります。ビットレートの例を表 30.3 に示します。

このとき CKE0 = 1 でクロック出力を選択すると SIM\_CLK 端子からはビットレートを (SCSMPL + 1) 倍した周波数のクロックが出力されます。

$$B = P \times 10^6 / \{ (S+1) \times 2 (N+1) \}$$

B = ビットレート (bits/秒)

P = 周辺モジュール用動作周波数

S = SCSMPL 設定値 (0 S 2047)

N = SCBRR 設定値 (0 N 7)

表 30.3 SCBRR の設定に対するビットレート (bits/秒) の例 (P = 19.8[MHz]、SCSMPL = 371)

SCBRR 設定値	SCK 周波数 (MHz)	ビットレート (bits/秒)
7	1.2375	3327
6	1.414	3802
5	1.65	4435
4	1.98	5323
3	2.475	6653
2	3.3	8871
1	4.95	13306
0	9.9	26613

【注】 ビットレートは小数点以下を四捨五入した数値です。

### 30.4.5 データの送信 / 受信動作

#### (1) 初期化

データの送受信の前に、以下の手順でスマートカードインタフェースを初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図 30.4 に示します。図 30.4 の (1) ~ (7) は以下の操作に対応します。

1. シリアルコントロールレジスタ (SCSCR) のTE、REビットを0にクリアします。
2. シリアルステータスレジスタ (SCSSR) のエラーフラグPER、ORER、ERS、WAIT\_ERを0にクリアしてください。
3. シリアルモードレジスタ (SCSMR) のパリティビット (O $\bar{E}$ ビット) を設定してください。
4. スマートカードモードレジスタ (SCSCMR) のLCB、PB、SMIF、SDIR、SINVビットを設定してください。
5. ビットレートに対応する値をビットレートレジスタ (SCBRR) に設定します。
6. シリアルコントロールレジスタ (SCSCR) のクロックソースの選択ビット (CKE1、CKE0ビット) を設定してください。このとき、TIE、RIE、TE、RE、TEIE、WAIT\_IEビットは、0に設定してください。CKE0ビットを1にセットした場合は、SIM\_CLK端子からクロック出力されます。
7. 少なくとも、1 $\mu$ s期間待ってから、SCSCRのTIE、RIE、TE、RE、TEIE、WAIT\_IEビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

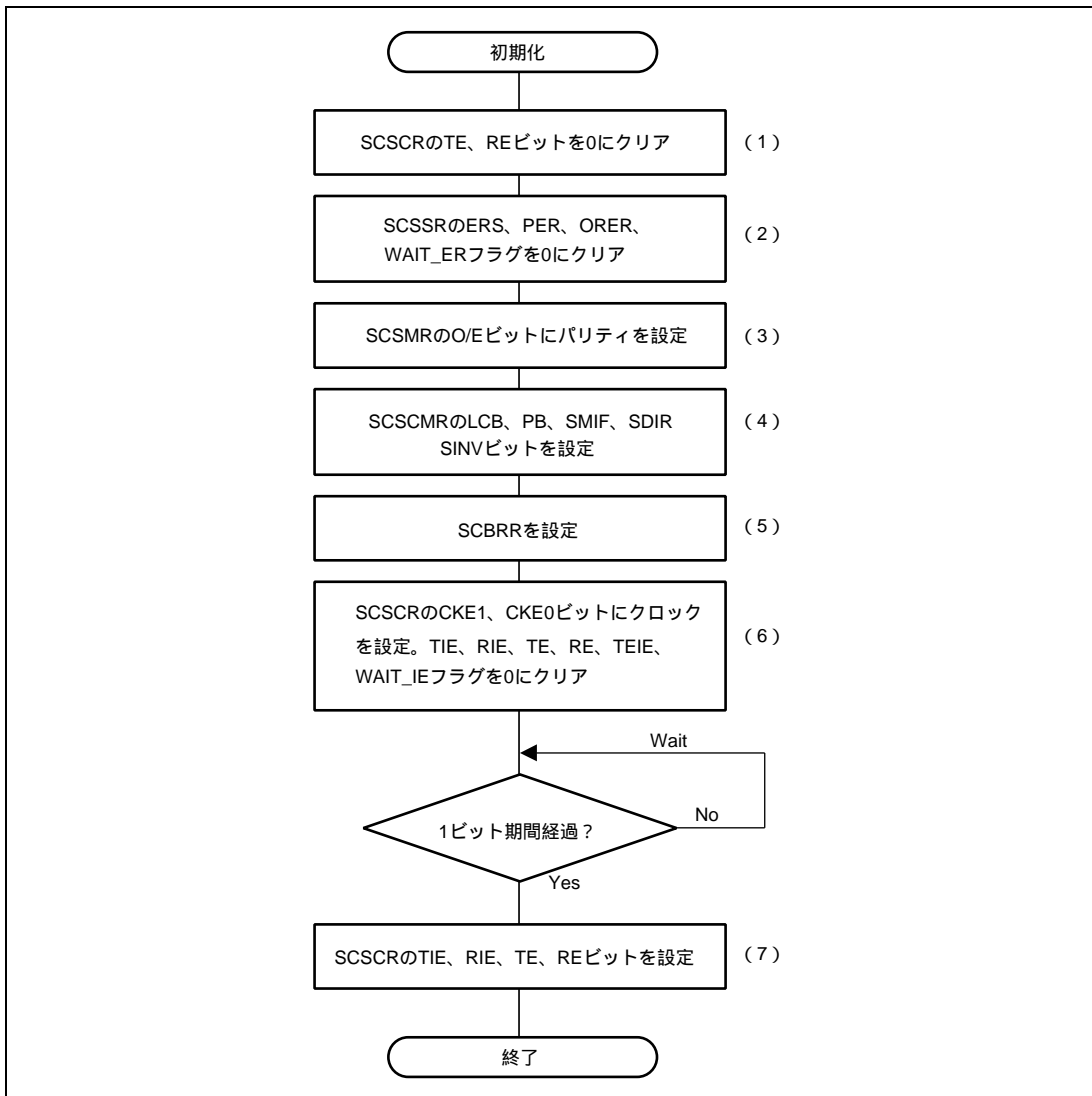


図 30.4 初期化のフロー例

### (2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があります。送信処理フローの例を図 30.5 に示します。図 30.5 の (1) ~ (6) は以下の操作に対応します。

1. 「30.4.5 (1) 初期化」の手順に従いスマートカードインタフェースモードに初期化します。
2. SCSSRのエラーフラグERSビットが0にクリアされていることを確認してください。
3. SCSSRのTDREフラグが1にセットされていることが確認できるまで、(2) ~ (3)を繰り返してください。
4. SCTDRに送信データを書き込んで、送信動作を行います。このとき、TDREフラグは自動的に0にクリアされます。スタートビットの送信が開始されるとTENDフラグは自動的に0にクリアされ、TDREフラグは自動的に1にセットされます。
5. 連続してデータを送信する場合は、(2)に戻ってください。
6. 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が開始し TDRE フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「30.4.5 (5) 割り込み動作」を参照してください。

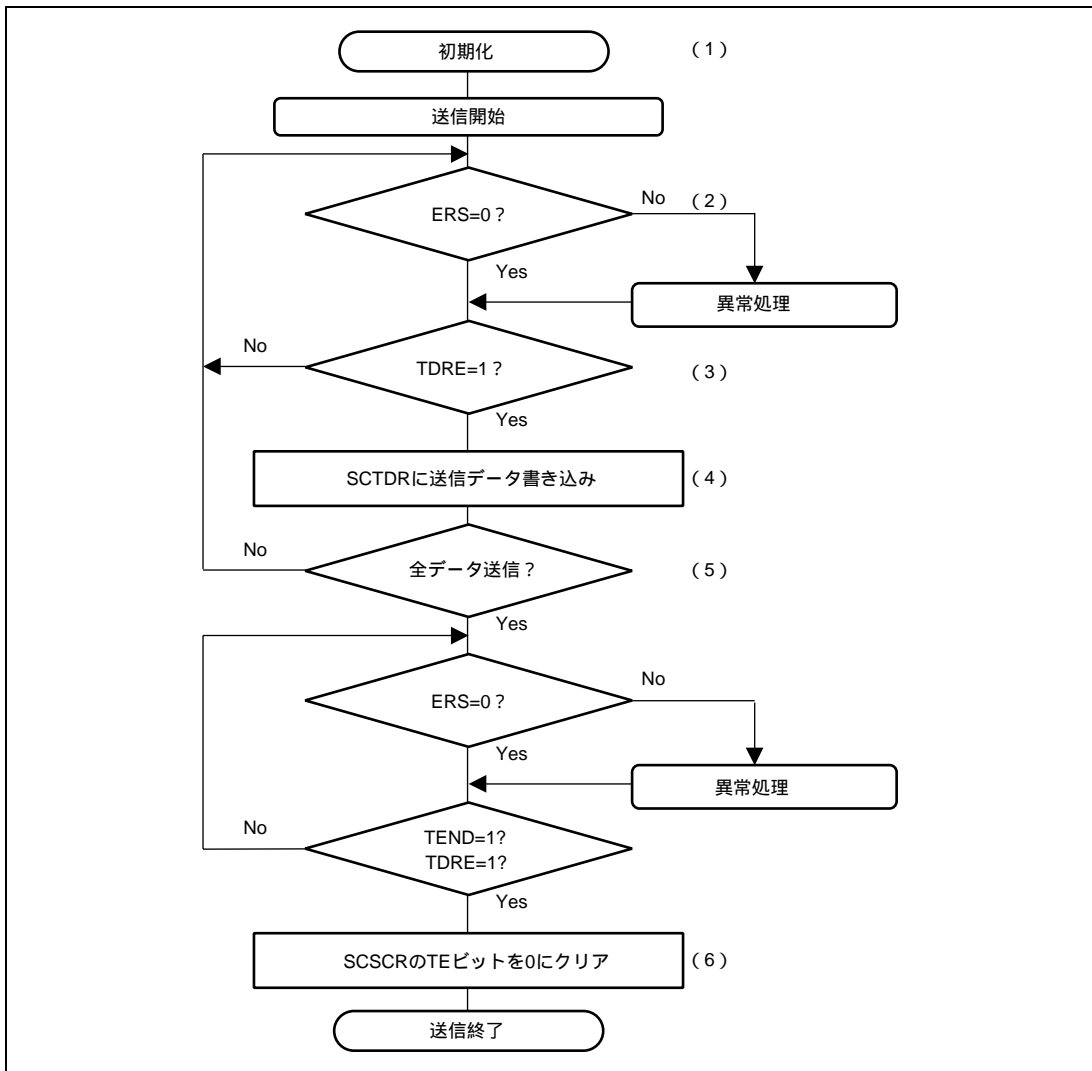


図 30.5 送信処理フローの例

### (3) シリアルデータ受信

スマートカードモードのデータ受信処理フローの例を図 30.6 に示します。図 30.6 の (1) ~ (6) は以下の操作に対応します。

1. スマートカードインタフェースを「30.4.5 (1) 初期化」に従い初期化します。
2. SCSSRのPER、ORER、WAIT\_ERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、PER、ORER、WAIT\_ERフラグを0にクリアしてください。
3. RDRFフラグが1であることを確認できるまで(2)、(3)を繰り返してください。
4. SCRDRから受信データを読み出してください。
5. 継続してデータを受信する場合は、(2)に戻ってください。
6. 受信を終了する場合は、REビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1、EIO ビットを 0 にセットしておいたとき RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、RIE ビットを 1 にセットし受信時にエラーが発生し、ORER、PER、WAIT\_ER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「30.4.5 (5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合、T=0 では受信したデータは SCRDR に転送されませんのでこのデータを読み出すことはできません。T=1 では受信したデータは SCRDR に転送されますので、このデータを読み出すことができます。

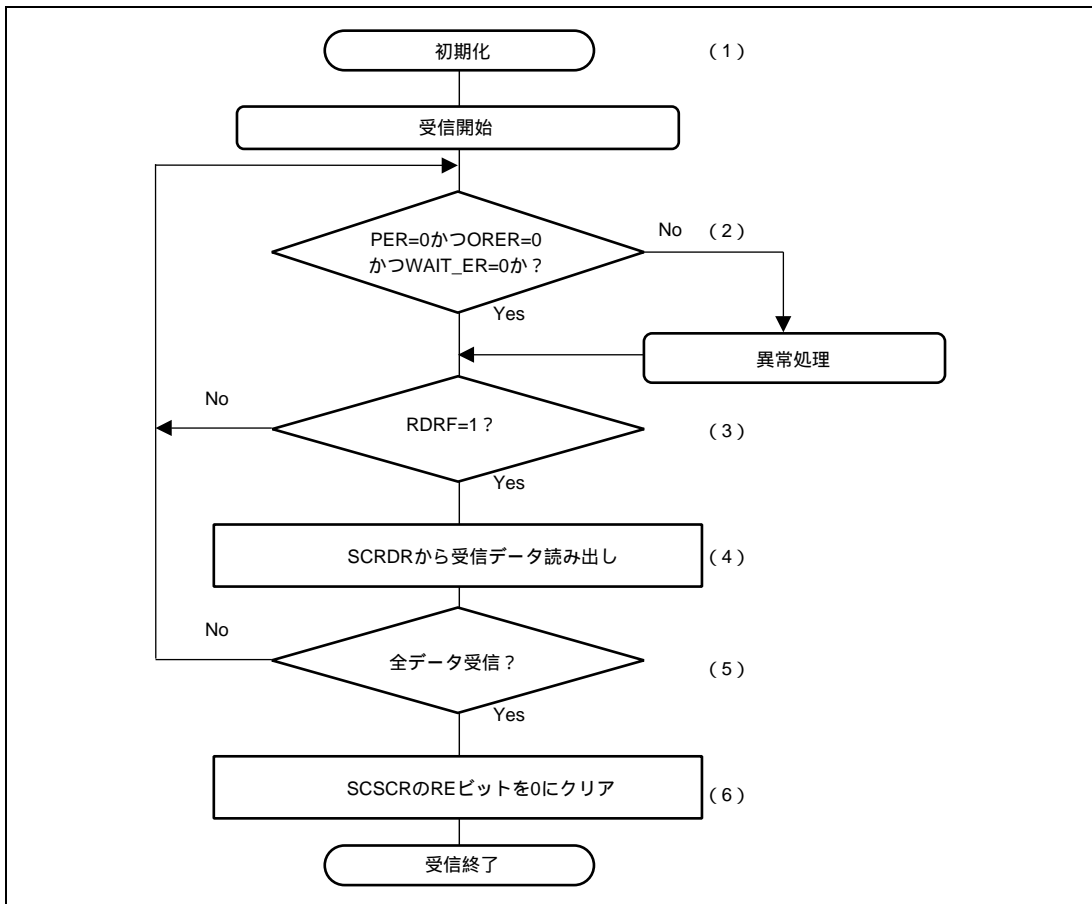


図 30.6 受信処理フローの例

## (4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は RDRF フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TDRE、TEND フラグで確認できます。

## (5) 割り込み動作

スマートカードインタフェースでは、送信データエンpty 割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信終了割り込み (TEI) 要求の 4 種類の割り込み要因があります。

SCSSR の TDRE フラグが 1 にセットされると、TXI 要求が発生します。

SCSSR の RDRF フラグが 1 にセットされると、RXI 要求が発生します。

SCSSR の ERS、ORER、PER、WAIT\_ER フラグが 1 にセットされると、ERI 要求が発生します。

SCSSR の TEND フラグがセットされると、TEI 要求が発生します。

表 30.4 にスマートカードインタフェースの割り込み要因を示します。各割り込み要求は SCSSR の TIE、RIE、TEIE、WAIT\_IE および SCSC2R の EIO ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

表 30.4 スマートカードインタフェース割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TDRE	TIE	TXI
		TEND	TEIE	TEI
	エラー	ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE、EIO	RXI
	エラー	ORER、PER	RIE	ERI
		WAIT_ER	WAIT_IE	ERI

## (6) DMAC によるデータ転送動作

スマートカードインタフェースは、DMAC を使って送受信を行うことができます。

送信動作では、SCSSR の TDRE フラグが 1 にセットされると、送信データエンpty-DMA 転送要求が発生します。あらかじめ DMAC の起動要因に送信データエンpty-DMA 転送要求を設定しておけば、送信データエンpty-DMA 転送要求により DMAC を起動してデータ転送を行うことができます。

T = 0 モードのとき、送信時にエラー信号を受信した場合、自動的に同じデータを再送信します。この再送信のとき DMA 転送要求は発生しませんので DMAC に指定したバイト数の送信ができます。

DMAC で送信データ処理を行い、CPU への割り込み要求でエラー処理を行う場合、TIE ビットを 0 にセットし TXI 要求が発生しないようにして、RIE ビットを 1 にセットして ERI 要求が発生するようにしてください。エラー信号を受信したときにセットされる ERS フラグは、自動的にクリアされませんので CPU への割り込み要求でクリアしてください。



受信動作では、SCSSR の RDRF フラグが 1 にセットされると受信データフル DMA 転送要求が発生します。あらかじめ DMAC の起動要因に受信データフル DMA 転送要求を設定しておけば、受信データフル DMA 転送要求により DMAC を起動してデータ転送を行うことができます。

T=0 モードのとき、受信時にパリティエラーが発生した場合データの再送信要求をします。このとき RDRF フラグはセットされず DMA 転送要求は発生しませんので DMAC に指定したバイト数の受信ができます。

DMAC で受信データ処理を行い、CPU への割り込み要求でエラー処理を行う場合、RIE ビットを 1、EIO ビットを 1 にセットして、RXI 要求が発生せず ERI 要求のみ発生するように設定してください。

受信エラーによりセットされる PER、ORER、WAIT\_ER フラグは自動的にクリアされませんので CPU への割り込み要求でクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてからスマートカードインタフェースの設定を行ってください。

## 30.5 使用上の注意事項

スマートカードインタフェースを使用する際は、以下のことに注意してください。

### (1) 受信データタイミングと受信マージン

SCSMPL レジスタが初期値の場合、スマートカードインタフェースは転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時にスマートカードインタフェースは、スタートビットの立ち下がりを実際のシリアルクロックでサンプリングして、内部を同期化します。また、受信データをシリアルクロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 30.7 に示します。

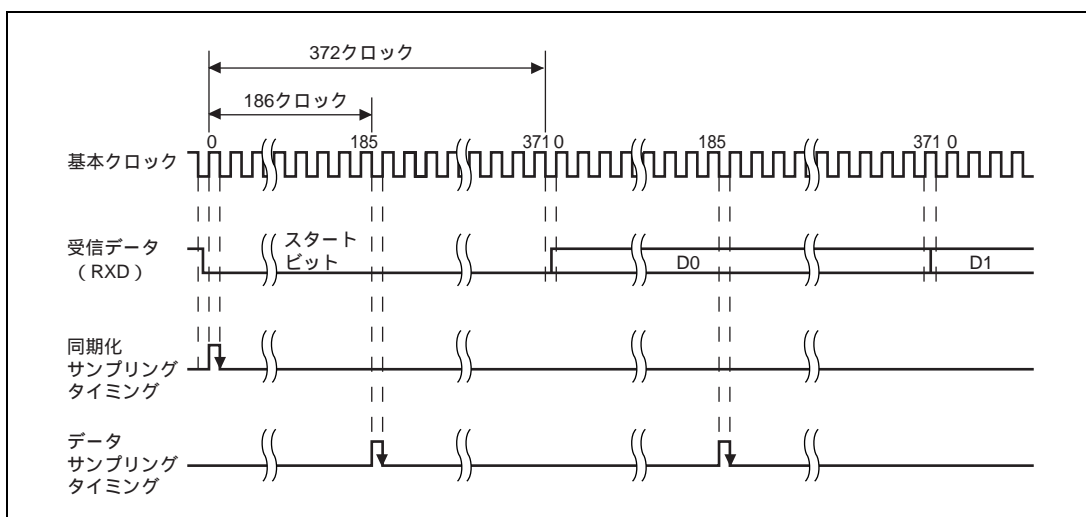


図 30.7 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (L + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 372)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 10)

F : クロック周波数の偏差の絶対値

上式で、F = 0、D = 0.5 とすると、受信マージン式は次のようになります。

D = 0.5、F = 0 のとき、

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

## (2) 再転送動作

スマートカードインタフェースがそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

### (a) スマートカードインタフェースが受信モードの場合の再転送動作 (T = 0)

スマートカードインタフェースが受信モードの場合の再転送動作を図 30.8 に示します。図 30.8 の (1) ~ (5) は、以下の動作に対応します。

1. 受信したパリティビットをチェックした結果、エラーが検出されると、SCSSRのPERビットが自動的に1にセットされます。このとき、SCSSRのRIEビットがイネーブルになっていれば、ERI要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSRのPERビットを0にクリアしてください。
2. パリティエラーが発生したフレームでは、SCSSRのRDRFビットはセットされません。
3. 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SCSSRのPERビットはセットされません。
4. 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SCSSRのRDRFビットが自動的に1にセットされます。このとき SCSSRのRIEビットが1、EIOビットが0になっていれば、RXI要求が発生します。
5. 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はハイインピーダンス状態を保持します。

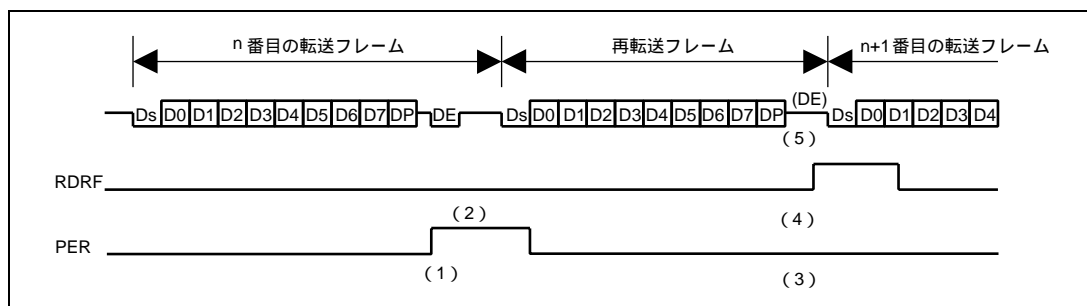


図 30.8 スマートカードインタフェース受信モードの場合の再転送動作

(b) スマートカードインタフェースが送信モードの場合の再転送動作 (T=0)

スマートカードインタフェースが送信モードの場合の再転送動作を図 30.9 に示します。図 30.9 の (1) ~ (4) は、以下の動作に対応します。

- 1 フレーム分の送信を完了した後、受信側からエラー信号が返されると、SCSSRのERSビットが1にセットされます。このとき、SCSSRのRIEビットが許可になっていれば、ERI要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSRのERSビットを0にクリアしてください。
- 2 T=0モードのとき異常を示すエラー信号を受信したフレームでは、SCSSRのTENDビットはセットされません。
- 3 受信側からエラー信号が返ってこない場合は、SCSSRのERSビットはセットされません。
- 4 受信側からエラー信号が返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SCSSRのTENDビットが1にセットされます。このときSCSSRのTIEビットがイネーブルになっていれば、TEI割り込み要求が発生します。

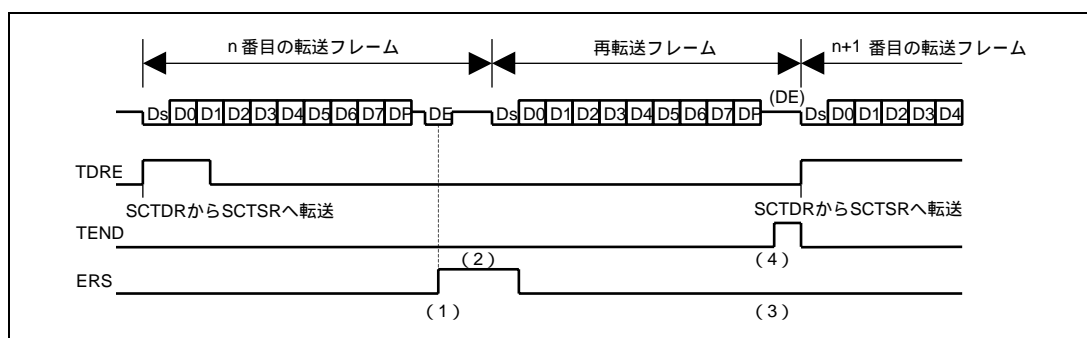


図 30.9 スマートカードインタフェース送信モードの場合の再転送動作スタンバイモード (クロックストップ)

## (3) スタンバイモードの切り替え

スマートカードインタフェースモードとスタンバイモード間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。切り替え手順を図 30.10 に示します。図 30.10 の(1)～(7)は、以下の操作に対応します。

- スマートカードインタフェースモードからスタンバイモードに遷移するとき
  1. シリアルコントロールレジスタ (SCSCR) のTEビットとREビットに0を書き込み、送信 / 受信動作を停止させます。同時に、CKE1ビットをスタンバイモード時の出力固定状態の値に設定します。
  2. SCSCRのCKE0ビットに0を書き込み、クロックを停止させます。
  3. シリアルクロックの1クロック周期の間待ちます。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
  4. スタンバイ状態に遷移させます。
- スタンバイモードからスマートカードインタフェースモードに戻るとき
  5. スタンバイ状態を解除します。
  6. シリアルコントロールレジスタ (SCSCR) のCKE1ビットをスタンバイ開始時の出力固定状態 (現在の SIM\_CLK端子の状態) の値に設定します。
  7. SCSCRのCKE0ビットに1を書き込みクロックを出力させます。正常なデューティにてクロック信号発生を開始します。

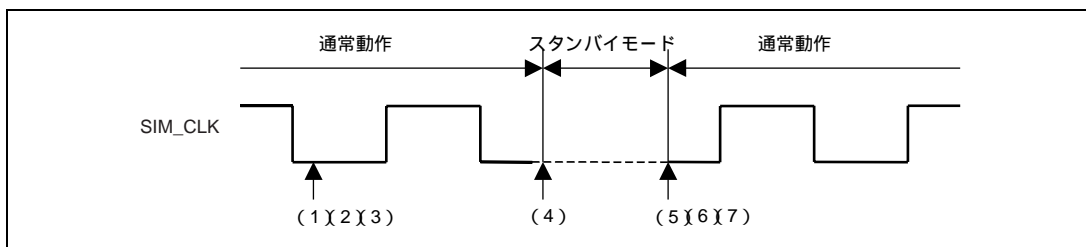


図 30.10 クロック停止、再起動手順

## (4) 電源投入とクロック

電源投入時からクロックデューティを確保するためには、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用します。
2. シリアルコントロールレジスタ (SCSCR) のCKE1ビットで指定の出力に固定します。
3. SCSCRのCKE0ビットを1に設定して、クロック出力を開始します。

## (5) 端子接続

スマートカードインタフェースに関する端子接続例を図 30.11 に示します。

スマートカードとの通信においては、1本のデータ伝送線で送信と受信が行われます。また、データ伝送線は、抵抗で電源  $V_{cc}$  側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SIM\_CLK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

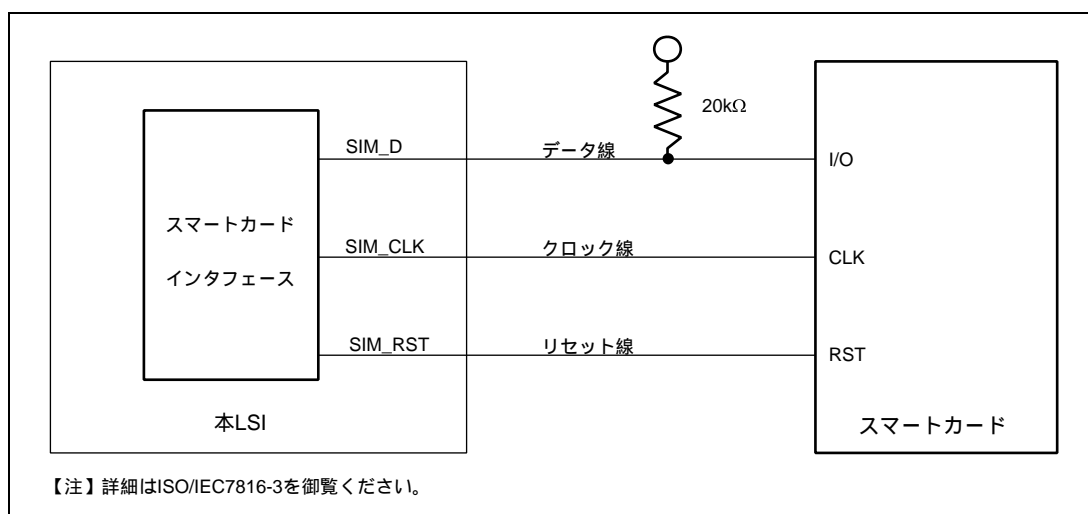


図 30.11 スマートカードインタフェース端子接続例

【注】 IC カードを接続しないで RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

## (6) 送信終了割り込みについて

連続送信時、TEIE が常に 1 にセットされていると TEND ビットは送信終了時に毎回 1 にセットされるため、必要の無い送信終了割り込み (TEI) 要求が発生します。

最後の送信データをトランスミットデータレジスタ (SCTDR) に書き込んでトランスミットシフトレジスタ (SCTSR) が送信を開始してから、シリアルコントロールレジスタ (SCSCR) のビット 2 (TEIE) を 1 にセットすることで、不要な TEI 割り込み要求の発生を回避することができます。

図 30.12 に TEIE を 1 にセットするタイミングの波形を示します。

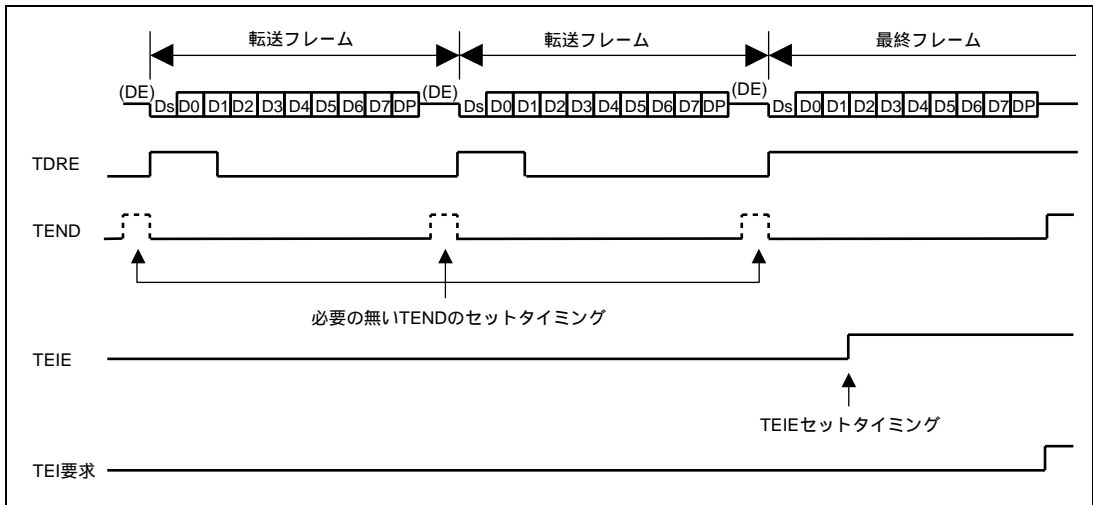


図 30.12 TEIE セットタイミング

---

## 31. マルチメディアカードインタフェース (MMCIF)

---

本 LSI は、マルチメディアカードインタフェース (MMCIF) を内蔵しており、カードインタフェースとして、MMC モードのインタフェースが可能です。MMCIF は、クロック同期のシリアルインタフェースで、コマンド / レスポンスとデータを区別して通信します。マルチメディアカードでは、いくつかのコマンド / レスポンスのタイプが定義されています。MMCIF は、コマンド発行時に、コマンドコードとコマンドタイプ / レスポンスタイプを設定する構成になっているため、現在定義されているコマンドタイプ / レスポンスタイプの組み合わせの範囲内なら、セキュアマルチメディアカード (Secure-MMC) で拡張されたコマンドや将来のコマンドの追加にも対応が可能です。

### 31.1 特長

- The MultiMediaCard System Specification Version3.1に対応したインタフェース
- MMCモードに対応
- カードインタフェースは 最大16.5Mbpsのビットレート (周辺モジュール動作クロック33MHz時)
- データ転送用FIFOを16ビット64段搭載
- DMA転送要求発行可能
- 割り込み要因 : 4種類  
FIFOエンプティ / フル、コマンド / レスポンス / データ転送完了、転送エラー、FIFO準備完了の割り込み要因
- MMCモード  
CLK出力 (転送クロック出力) 端子、CMD入出力 (コマンド出力 / レスポンス入力) 端子、DAT入出力 (データ入出力) 端子によるインタフェース

MMCIF のブロック図を図 31.1 に示します。

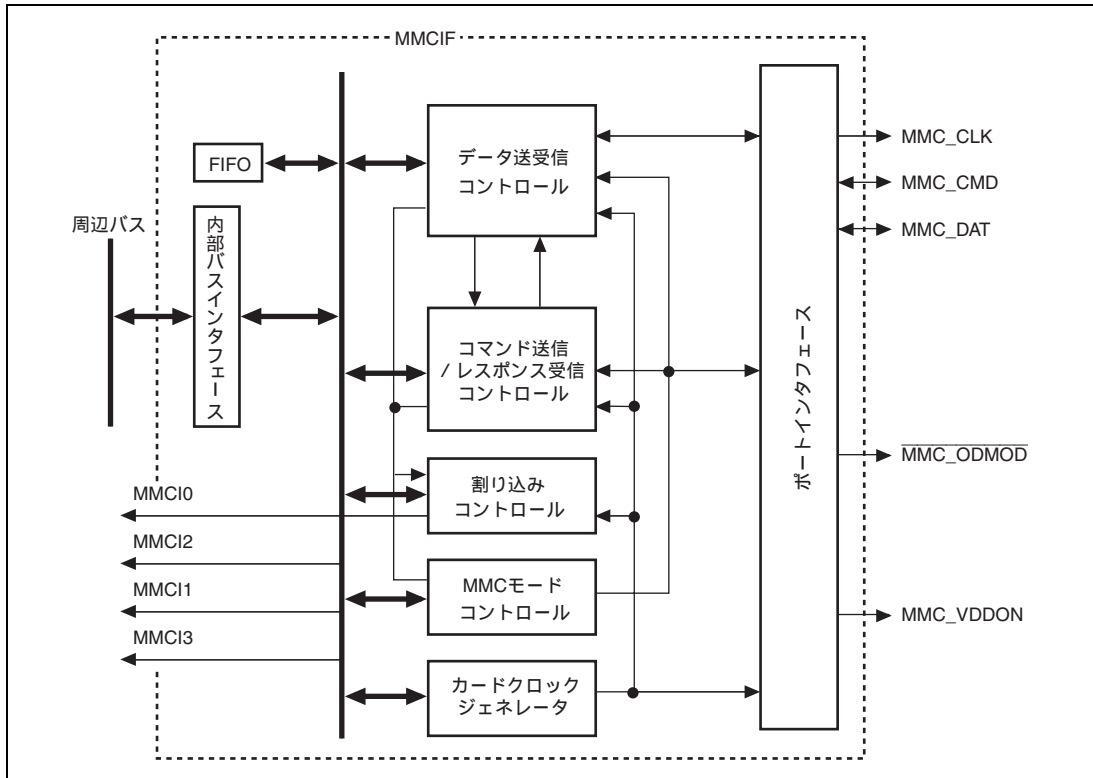


図 31.1 MMCIF のブロック図



## 31.2 入出力端子

MMCIF の端子構成を表 31.1 に示します。

表 31.1 端子構成

端子名	略称 (MMC)	入出力	機能
MMC_CLK	CLK	出力	クロック出力端子
MMC_CMD	CMD	入出力	コマンド出力 / レスポンス入力端子
MMC_DAT	DAT	入出力	データ入出力端子
MMC_VDDON	MMC_VDDON	出力	カード電源制御
MMC_ODMOD	MMC_ODMOD	出力	オープンドレインモード制御 (アクティブ Low 信号)

【注】 送信および受信動作を説明するために、送信データ側を MCTXD と、受信データ側を MCRXD と記載します。  
また、カードの挿抜、オープンドレイン / CMOS モードの切り替え信号等は、本 LSI のポートをご利用ください。

## 31.3 レジスタの説明

MMCIF には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。

- モードレジスタ (MODER)
- コマンドタイプレジスタ (CMDTYR)
- レスポンスタイプレジスタ (RSPTYR)
- 転送バイト数カウントレジスタ (TBCR)
- 転送ブロック数カウンタ (TBNCR)
- コマンドレジスタ0~5 (CMDR0~CMDR5)
- レスポンスレジスタ0~16 (RSPR0~RSPR16)
- レスポンスレジスタD (RSPRD)
- コマンドスタートレジスタ (CMDSTRT)
- オペレーションコントロールレジスタ (OPCR)
- コマンドタイムアウトコントロールレジスタ (CTOCR)
- データタイムアウトレジスタ (DTOUTR)
- カードステータスレジスタ (CSTR)
- 割り込みコントロールレジスタ0、1 (INTCR0、INTCR1)
- 割り込みステータスレジスタ0、1 (INTSTR0、INTSTR1)
- 転送クロックコントロールレジスタ (CLKON)
- VDD / オープンドレイン制御レジスタ (VDCNT)
- データレジスタ (DR)
- FIFOポインタクリアレジスタ (FIFOCLR)

- DMAコントロールレジスタ (DMACR)
- 割り込みコントロールレジスタ2 (INTCR2)
- 割り込みステータスレジスタ2 (INTSTR2)

### 31.3.1 モードレジスタ (MODER)

MODER は、MMCIF の動作モードを設定します。MMCIF には MMC モードがあります。

MMC モードでは、ホストシステムとのインタフェースは、クロック、コマンド、データの 3 本の信号が使用されます。クロック信号はシステムとカードの同期を取るために使用されます。コマンド信号はホストからカードへのコマンド発行、およびカードからホストへのレスポンス返信に使用されます。また、データ信号はカードに対するデータの書き込み、読み出しに使用されます。コマンドとデータ信号は双方向バスとなります。

MMCIF でマルチメディアカードを操作する場合は、コマンドを送出し、コマンドシーケンスの終了およびデータビジー状態の終了を待ち、次のコマンドを送出する繰り返しとなります。

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	-	0	R/W	リザーブビット 書き込む値は常に 0 にしてください。

### 31.3.2 コマンドタイプレジスタ (CMDTYR)

CMDTYR は、RSPTYR とともにコマンドの形式を設定します。TY1～TY0 で転送データの有無および方向を設定し、TY6～TY2 で付加的な設定をします。TY6～TY2 は、すべて 0 にクリアするか、いずれかひとつだけを 1 にセットしてください。TY6～TY2 ビットを 1 にセットする場合は、TY1～TY0 を TY6～TY2 のビットの意味に対応した設定にする必要があります。正しい設定が行われなかった場合、動作の保証はされません。シングルブロック転送の際は、TY1～TY0 を 01 または 10 に設定し、TY6～TY2 ビットを 0 にセットします。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TY6	0	R/W	pre-defined マルチブロック転送を設定します。TY1～TY0 は 01 または 10 に設定する必要があります。 本ビットを指定するコマンド使用時は、TBCR に転送ブロックサイズを、TBNCR に転送ブロック数を指定する必要があります。
5	TY5	0	R/W	セキュア MMC 使用時のマルチブロック転送を設定します。TY1～TY0 は 01 または 10 に設定する必要があります。 本ビットを指定するコマンド使用時は、TBCR に転送ブロックサイズを、TBNCR に転送ブロック数を指定する必要があります。
4	TY4	0	R/W	CMD12 を発行する際、1 にセットし、TY1～TY0 を 00 に設定します。
3	TY3	0	R/W	ストリーム転送を設定します。TY1～TY0 は 01 または 10 に設定する必要があります。ストリーム転送は、MMC モードでのみ使用できます。 本ビットで設定されたストリーム転送のコマンドシーケンスは、CMD12 によって中止したときに終了します。
2	TY2	0	R/W	open-ended マルチブロック転送を設定します。TY1～TY0 は 01 または 10 に設定する必要があります。 本ビットで設定されたマルチブロック転送のコマンドシーケンスは、CMD12 によって中止したときに終了します。
1	TY1	0	R/W	転送データの有無および方向を設定します。 00：データ転送を伴わないコマンドです。 01：リードデータの受信を伴うコマンドです。 10：ライトデータの送信を伴うコマンドです。 11：設定禁止
0	TY0	0	R/W	

表 31.2 に、「The MultiMediaCard System Specification Version3.1」記載のコマンドと、CMDTYR、RSPTYR レジスタの設定の対応を示します。

### 31.3.3 レスポンスタイプレジスタ (RSPTYR)

RSPTYR は、CMDTYR とともにコマンドの形式を設定します。RTY2～RTY0 でレスポンスバイト数を設定し、RTY5～RTY4 で付加的な設定をします。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	-	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	RTY5	0	R/W	R1b レスポンスを伴うコマンド時に設定します。
4	RTY4	0	R/W	コマンドレスポンス(R2 レスポンス以外)の CRC を CRC7 でチェックする設定にします。RTY2～RTY0 は、100 を設定する必要があります。
3	RTY3	0	R/W	リザーブビット
2	RTY2	0	R/W	コマンドレスポンスバイト数を設定します。
1	RTY1	0	R/W	000 : コマンドレスポンスを要しないコマンドです。
0	RTY0	0	R/W	001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : コマンドレスポンス 6 バイトを要するコマンドです。 R1、R1b、R3、R4、R5 レスポンスで設定します。 101 : コマンドレスポンス 17 バイトを要するコマンドです。 R2 レスポンスで設定します。 110 : 設定禁止 111 : 設定禁止

【注】 RTY4 による CRC チェックは、コマンドレスポンスの CRC エラーのビットをチェックするものではなく、コマンドレスポンスに付属する CRC をチェックするものです。また MMC モードの R2 のコマンドレスポンスの CRC チェックはできません。

表 31.2 に、「The MultiMediaCard System Specification Version3.1」記載のコマンドと、CMDTYR、RSPTYR レジスタの設定の対応を示します。

表 31.2 コマンドと CMDTYR、RSPTYR 設定

CMD INDEX	略 称	resp	CMDTYR					RSPTYR				
			6	5	4	3	2	1-0	6	5	4	2-0
CMD0	GO_IDLE_STATE							00				000
CMD1	SEND_OP_COND	R3						00				100
CMD2	ALL_SEND_CID	R2						00				101
CMD3	SET_RELATIVE_ADDR	R1						00			*	100
CMD4	SET_DSR							00				000
CMD7	SELECT/DESELECT_CARD	R1b						00		1	*	100
CMD9	SEND_CSD	R2						00				101
CMD10	SEND_CID	R2						00				101
CMD11	READ_DAT_UNTIL_STOP	R1				1		01			*	100
CMD12	STOP_TRANSMISSION	R1b			1			00		1	*	100
CMD13	SEND_STATUS	R1						00			*	100
CMD15	GO_INACTIVE_STATE							00				000
CMD16	SET_BLOCKLEN	R1						00			*	100
CMD17	READ_SINGLE_BLOCK	R1		*				01			*	100
CMD18	READ_MULTIPLE_BLOCK	R1	*1				*1	01			*	100
CMD20	WRITE_DAT_UNTIL_STOP	R1				1		10			*	100
CMD23	SET_BLOCK_COUNT	R1						00			*	100
CMD24	WRITE_BLOCK	R1		*				10			*	100
CMD25	WRITE_MULTIPLE_BLOCK	R1	*1				*1	10			*	100
CMD26	PROGRAM_CID	R1						10			*	100
CMD27	PROGRAM_CSD	R1						10			*	100
CMD28	SET_WRITE_PROT	R1b						00		1	*	100
CMD29	CLR_WRITE_PROT	R1b						00		1	*	100
CMD30	SEND_WRITE_PROT	R1						01			*	100
CMD32 *	TAG_SECTOR_START	R1						00			*	100
CMD33 *	TAG_SECTOR_END	R1						00			*	100
CMD34 *	UNTAG_SECTOR	R1						00			*	100
CMD35	TAG_ERASE_GROUP_START	R1						00			*	100
CMD36	TAG_ERASE_GROUP_END	R1						00			*	100
CMD37 *	UNTAG_ERASE_GROUP	R1						00			*	100
CMD38	ERASE	R1b						00		1	*	100
CMD39	FAST_IO	R4						00			*	100
CMD40	GO_IRQ_STATE	R5						00			*	100
CMD42	LOCK_UNLOCK	R1b						10		1	*	100
CMD55	APP_CMD	R1						00			*	100
CMD56	GEN_CMD	R1b						*2		1	*	100

- 【注】 CMD INDEX の \* : MMCA Ver3.1 以降のカードではこれらのコマンドはサポートしていません。
- CMDTYR の TY2,6 ビットの \*1 : 予めブロック数を設定する転送時は TY6、設定しない転送時は TY2 を設定します。
- CMDTYR の TY5 ビットの \* : セキュア MMC 使用時のマルチブロック転送時設定します。
- RSPTYR の RTY4 ビットの \* : R2 以外のコマンドレスポンスの CRC のチェック時 1 を設定します。  
( R2 のコマンドレスポンスの CRC チェックはできません。 )
- CMD56 の \*2 : リード時は 01 ライト時は 10 を設定します。
- 空白 : 0 を設定してください。

### 31.3.4 転送バイト数カウントレジスタ (TBCR)

TBCR は、1 ブロックあたりの転送バイト数 (ブロックサイズ) を設定します。スタート、エンドビットや CRC を含まない、正味のデータブロックバイト数を設定します。

マルチブロック転送コマンドでは、各データブロックのバイト数に対応します。MMC モードのストリーム転送コマンドでは、本設定は無視されます。

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	C3	0	R/W	転送データブロックサイズ 0000 : 1 バイト 0001 : 2 バイト 0010 : 4 バイト 0011 : 8 バイト 0100 : 16 バイト 0101 : 32 バイト 0110 : 64 バイト 0111 : 128 バイト 1000 : 256 バイト 1001 : 512 バイト 1010 : 1024 バイト 1011 : 2048 バイト 1100 ~ 1111 : 設定禁止
2	C2	0	R/W	
1	C1	0	R/W	
0	C0	0	R/W	

### 31.3.5 転送ブロック数カウンタ (TBNCR)

TBNCR は、CMDTYR の TY5、TY6 ビットでマルチブロック転送を設定した場合、必ず TBNCR に 0 以外の値をライトする必要があります。TBNCR には、転送するブロック数を設定してください。TBNCR の内容は、1 ブロックの転送が完了するたびにデクリメントされ、0 になるとコマンドシーケンスを終了します。

ビット	ビット名	初期値	R/W	説明
15~0	TBNCR	すべて 0	R/W	転送ブロック数カウンタ [クリア条件] 指定ブロック数転送時および 0 ライト時

### 31.3.6 コマンドレジスタ 0~5 (CMDR0~CMDR5)

CMDR は、それぞれ 8 ビットのレジスタで構成されています。CMDR には表 31.3 のようにコマンドをライトし、CMDSTRT の START ビットを 1 にセットすることによりコマンドを送出します。

表 31.3 CMDR の構成

レジスタ	内容	操 作
CMDR0	Start ビット、Host ビット、 コマンドインデックス	コマンドインデックス書き込み Start ビットは 0、Host ビットは 1 にセットする
CMDR1~CMDR4	コマンド引数	コマンド引数書き込み
CMDR5	CRC、End ビット	CRC は自動計算のため設定不要 End ビットは設定不要

- CMDR0

ビット	ビット名	初期値	R/W	説明
7	Start	0	R/W	スタートビット (0 をセットする)
6	Host	0	R/W	トランсмисシヨンビット (1 をセットする)
5~0	INDEX	すべて 0	R/W	コマンドインデックス

- CMDR1~CMDR4

ビット	ビット名	初期値	R/W	説明
7~0	CMDR1n~ CMDR4n	すべて 0	R/W	コマンド引数

(n=0~7)

- CMDR5

ビット	ビット名	初期値	R/W	説明
7~1	CRC	すべて 0		設定不要。リード値は 0 です。
0	End	0		設定不要。リード値は 0 です。

### 31.3.7 レスポンスレジスタ 0 ~ 16、D (RSPR0 ~ RSPR16、RSPRD)

RSPR0 ~ RSPR16 はコマンドレスポンスレジスタで、それぞれが 8 ビットのレジスタで構成されています。RSPRD は 5 ビットのデータレスポンスレジスタです。

コマンドレスポンスバイト数は、コマンドにより異なります。MMCIF では、コマンドレスポンスバイト数を、レスポンスタイプレジスタ (RSPTYR) で指定することができます。コマンドレスポンスは、RSPR16 のビット 0 からシフトインされ、コマンドレスポンスバイト数 × 8 ビットまでシフトされます。表 31.4 にコマンドレスポンスバイト数と有効な RSPR レジスタの対応を示します。

表 31.4 コマンドレスポンスバイト数と RSPR レジスタの対応

RSPR レジスタ	MMC モードレスポンス	
	6 バイト (R1、R1b、R3、R4、R5)	17 バイト (R2)
RSPR0	-	1 バイト目
RSPR1	-	2 バイト目
RSPR2	-	3 バイト目
RSPR3	-	4 バイト目
RSPR4	-	5 バイト目
RSPR5	-	6 バイト目
RSPR6	-	7 バイト目
RSPR7	-	8 バイト目
RSPR8	-	9 バイト目
RSPR9	-	10 バイト目
RSPR10	-	11 バイト目
RSPR11	1 バイト目	12 バイト目
RSPR12	2 バイト目	13 バイト目
RSPR13	3 バイト目	14 バイト目
RSPR14	4 バイト目	15 バイト目
RSPR15	5 バイト目	16 バイト目
RSPR16	6 バイト目	17 バイト目

RSPR レジスタの初期値は H'00 です。RSPR0 ~ 16 は、単純なシフトレジスタであり、一度シフトインされたコマンドレスポンスは自動的にクリアされず、RSPR0 のビット 7 からシフトアウトされるまでシフトされ続けます。不要なバイトを H'00 にクリアするためには、各 RSPR に任意の値をライトしてください。



- RSPR0 ~ RSPR16

ビット	ビット名	初期値	R/W	説明
7~0	RSPR	すべて 0	R/W	任意の値のライトで H'00 にクリアされます。 RSPR0 ~ RSPR16 は連結された 17 バイトのシフトレジスタです。 コマンドレスポンスが格納されます。

- RSPRD

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	RSPRD	すべて 0	R/W	任意の値のライトですべて 00 にクリアされます。 データレスポンスが格納されます。

### 31.3.8 コマンドスタートレジスタ (CMDSTRT)

CMDSTRT は、コマンド送出開始をトリガします。送出開始は、同時にコマンドシーケンスの開始となります。コマンドシーケンスの開始に先立って、次の操作を完了しておく必要があります。

コマンド送出：

- 前コマンドのレスポンスの解析、必要ならばコマンドレスポンスレジスタのライトクリア
- 必要ならば前コマンドの受信データの解析 / 転送
- 必要ならば次コマンドの送信データの準備
- CMDTYR、RSPTYR、TBCR、TBNCR の設定  
CMDR0 ~ CMDR4、CMDTYR、RSPTYR、TBCR、TBNCR は、コマンド送出が終了するまで (CSTR の CWRE フラグが 1 にセット中) 変更しないでください。
- CMDR0 ~ CMDR4 の設定

コマンドシーケンスは、MMCIF 側とカード側それぞれのシーケンサで管理されています。これらは、通常は同期して動作していますが、エラーの発生やコマンドの中止などが発生すると一時的に同期できない場合があります。MMC モードでの、OPCR の CMDOFF ビットのセット、CMD12 コマンドの発行や、エラー処理の場合は注意が必要です。MMCIF 側、カード側両方のコマンドシーケンスが終了していることを確認して、新しいコマンドシーケンスを開始してください。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	START	0	R/W	1ライトでコマンド送出を開始します。このビットはハードクリアされ す。

### 31.3.9 オペレーションコントロールレジスタ (OPCR)

OPCR はコマンドの動作中止、データ転送の中断/継続を制御するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	CMDOFF	0	R/W	コマンドオフ コマンド送出後の1ライトで、そのコマンドに関する動作 (MMCIF のコマ ンドシーケンス) をすべて中止します。その後ハードクリアされます。 ライト有効期間: コマンド送出完了からコマンドシーケンス終了まで 0ライト: 動作に影響ありません。 1ライト: コマンドシーケンスを強制的に中止します。
6	-	0	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	RD_CONTI	0	R/W	リードコンティニュー 1ライト後、MMCIF がデータリードを再開した時にハードクリアされます。 FIFO フルやマルチブロックリードのブロックリード終了によるシーケン ス中断状態で、リードデータの受信を再開します。 ライト有効期間: データ受信シーケンス中断中 0ライト: 動作に影響ありません。 1ライト: リードデータ受信を再開します。
4	DATAEN	0	R/W	データイネーブル ライトデータを伴うコマンドで、ライトデータの送信を開始します。FIFO エンプティやマルチブロックライトのブロックライト終了によるシーケン ス中断状態で、ライトデータの送信を再開します。 ライト有効期間: (1)ライトデータを伴うコマンドレスポンス受信後、 (2)FIFO エンプティによるシーケンス停止状態、(3)マルチブロックライ トのブロックライト終了時 0ライト: 動作に影響ありません 1ライト: ライトデータ送信を開始または再開します。
3~0	-	B'00	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ライトデータの送信は、コマンドレスポンスやデータレスポンスの内容を解析後、送信のトリガを行なう必要  
があります。また、データ転送は、FIFO のフル/エンプティにより一時的に停止し、準備が整ったところでデー  
タ転送を再開する必要があります。

マルチブロック転送の場合は、ブロックの区切りごとに一時的に停止し、次のブロックに進むか、CMD12を発行してマルチブロック転送コマンドを中止するかを選択が可能です。次のブロックに進むときは、RD\_CONTI ビットやDATAEN ビットを1にセットします。CMD12を発行する場合は、CMDOFF ビットを1にセットしてMMCIF側のコマンドシーケンスを中止します。また、pre-define マルチブロック転送でオートモードを使用する場合は、ブロック間でのRD\_CONTI ビットやDATAEN ビットの設定を省略することが可能です。

### 31.3.10 コマンドタイムアウトコントロールレジスタ (CTOCR)

CTOCR は、コマンドレスポンスのタイムアウトを発生する周期を設定します。

コマンドレスポンスを受信する際は、常に転送クロックのカウントを行い、CTOCR に設定した転送クロック数に達するとコマンドタイムアウトエラーの状態になります。ここで INTCR1 の CTERIE ビットが1にセットされていると、INTSTR1 の CTERI フラグがセットされます。コマンドタイムアウトエラー処理をする場合は、CMDOFF ビットを1にセットしてコマンドシーケンスを中止してから CTERI フラグをクリアしてください。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	CTSEL0	1	R/W	0: コマンド送信完了からレスポンス受信完了まで 128 転送クロック 1: コマンド送信完了からレスポンス受信完了まで 256 転送クロック

【注】 MMC モードの R2 レスポンス (17 バイトのコマンドレスポンス) を要求する時には、CTSEL0 を 0 にセットすると、レスポンス受信中に、タイムアウトを発生する為、CTSEL0 を 1 に設定してください。

### 31.3.11 データタイムアウトレジスタ (DTOUTR)

DTOUTR は、データタイムアウトを発生する周期を設定します。データタイムアウトを監視するために、16 ビットカウンタ (DTOUTC) とプリスケラがあり、周辺クロックをカウントします。プリスケラは、常に周辺クロックをカウントしており、10000 周辺クロックごとにカウントパルスを出力します。DTOUTC は、初期値が0で、コマンドシーケンスの開始からプリスケラ出力のカウントを開始します。DTOUTC は、コマンドシーケンスが終了するか、CMDOFF ビットを1にセットしてコマンドシーケンスを中止することにより、クリアされプリスケラ出力のカウントを停止します。

コマンドシーケンスが終了しない場合は、DTOUTC はプリスケラ出力のカウントを続け、DTOUTR に設定した値に達するとデータタイムアウトエラーの状態になります。ここで INTCR1 の DTERIE ビットが1にセットされていると、INTSTR1 の DTERI フラグがセットされます。データタイムアウトエラー処理をする場合は、CMDOFF ビットを1にセットしてコマンドシーケンスを中止してから DTERI フラグをクリアしてください。

データビジー状態があるコマンドの場合、コマンドシーケンスはデータビジー状態の前に終了するため、データタイムアウトでタイムアウトの監視をすることができません。データビジー状態のタイムアウト監視はファームウェアで実現する必要があります。DTOUTR に0を設定した場合、コマンドシーケンスの開始直後にタイムアウトになります。

ビット	ビット名	初期値	R/W	説明
15~0	DTOUTR	すべて 1	R/W	データタイムアウト時間/10000 データタイムアウト時間は、周辺クロック周期 × DTOUTR 設定値 × 10000 となります。

### 31.3.12 カードステータスレジスタ (CSTR)

CSTR は、コマンドシーケンス実行中の MMCIF のステータスを示します。

ビット	ビット名	初期値	R/W	説明
7	BUSY	0	R	コマンドビジー コマンドの実行状態を示します。OPCR の CMDOFF ビットを 1 にセットすると、MMCIF のコマンドシーケンスが中止されるため、0 にクリアされます。 0: コマンド待ちのアイドル状態、または、データビジー状態です。 1: コマンドシーケンス実行中です。
6	FIFO_FULL	0	R	FIFO フル 読み出しデータ受信の際、FIFO がフルになったときに 1 にセットされます。RD_CONTI に 1 をセットするか、コマンドシーケンスの終了により 0 にクリアされます。 0: FIFO に空きがあります。 1: FIFO がフル状態です。
5	FIFO_EMPTY	0	R	FIFO エンプティ 書き込みデータ送信の際、FIFO がエンプティになったときに 1 にセットされます。DATAEN に 1 をセットするか、コマンドシーケンスの終了により 0 にクリアされます。 0: FIFO にデータがあります。 1: FIFO がエンプティ状態です。
4	CWRE	0	R	コマンドレジスタライトイネーブル CMDR のコマンドが送信中か送信済みかを示します。 0: CMDR のコマンドが送信済み、または、CMDSTRT の START ビットのセット前で、新しいコマンドを書き込み可能です。 1: CMDR のコマンドを送信待ちまたは送信中で、新しいコマンドを書き込むと誤動作する状態です。
3	DTBUSY	0	R	データビジー コマンドの実行状態を示します。データの転送を伴わないコマンドでレスポンスにビジー状態のあるコマンド、または、ライトデータを伴うコマンドのデータレスポンス終了後、カードがビジーである状態を表示します。 0: コマンド待ちのアイドル状態、または、コマンドシーケンス実行中です。 1: コマンドシーケンスの終了後、カード側がデータビジー表示をしています。

ビット	ビット名	初期値	R/W	説明
2	DTBUSY_TU	不定	R	データビジー端子状態 DAT 端子のレベルをモニタします。 ビジー状態にあるカードを DESELECT し、再度 SELECT したときカードがビジー状態にあるかを検知するために本ビットをモニタします。 0: カード側がデータビジーの表示をしています。 1: カード側がデータビジーでないことを表示しています。
1	-	0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	REQ	0	R	割り込み要求 割り込み処理要求の有無を示します。割り込み要求は、INTSTR0、INTSTR1、INTSTR2 のフラグの論理和です。INTSTR0、INTSTR1、INTSTR2 のフラグのセットは、INTCR0、INTCR1、INTCR2 のイネーブルビットによって制御されます。 0: 割り込み要求がない。 1: 割り込み要求がある。

### 31.3.13 割り込みコントロールレジスタ 0、1 (INTCR0、INTCR1)

INTCR は、INTSTR0,1 の各フラグセットの許可 / 禁止および割り込み出力の制御を行います。

#### • INTCR0

ビット	ビット名	初期値	R/W	説明
7	FEIE	0	R/W	FIFO エンプティフラグイネーブル 0: FIFO エンプティフラグのセットを禁止 1: FIFO エンプティフラグのセットを許可
6	FFIE	0	R/W	FIFO フルフラグイネーブル 0: FIFO フルフラグのセットを禁止 1: FIFO フルフラグのセットを許可
5	DRPIE	0	R/W	データレスポンス終了フラグイネーブル 0: データレスポンス終了フラグのセットを禁止 1: データレスポンス終了フラグのセットを許可
4	DTIE	0	R/W	データ転送終了フラグイネーブル 0: データ転送終了フラグのセットを禁止 1: データ転送終了フラグのセットを許可
3	CRPIE	0	R/W	コマンドレスポンス終了フラグイネーブル 0: コマンドレスポンス終了フラグのセットを禁止 1: コマンドレスポンス終了フラグのセットを許可

ビット	ビット名	初期値	R/W	説明
2	CMDIE	0	R/W	コマンド出力終了フラグイネーブル 0: コマンド出力終了フラグのセットを禁止 1: コマンド出力終了フラグのセットを許可
1	DBSYIE	0	R/W	データビジー終了フラグイネーブル 0: データビジー終了フラグのセットを禁止 1: データビジー終了フラグのセットを許可
0	BTIE	0	R/W	マルチブロック転送終了フラグイネーブル 0: マルチブロック転送終了フラグのセットを禁止 1: マルチブロック転送終了フラグのセットを許可

• INTCR1

ビット	ビット名	初期値	R/W	説明
7	INTRQ2E	0	R/W	MMCI0 割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可
6	INTRQ1E	0	R/W	MMCI1 割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可
5	INTRQ0E	0	R/W	MMCI2 割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可
4		0		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	WRERIE	0	R/W	ライトエラーフラグイネーブル 0: ライトエラーフラグのセットを禁止 1: ライトエラーフラグのセットを許可
2	CRCERIE	0	R/W	CRC エラーフラグイネーブル 0: CRC エラーフラグのセットを禁止 1: CRC エラーフラグのセットを許可
1	DTERIE	0	R/W	データタイムアウトエラーフラグイネーブル 0: データタイムアウトエラーフラグのセットを禁止 1: データタイムアウトエラーフラグのセットを許可
0	CTERIE	0	R/W	コマンドタイムアウトエラーフラグイネーブル 0: コマンドタイムアウトエラーフラグのセットを禁止 1: コマンドタイムアウトエラーフラグのセットを許可

## 31.3.14 割り込みステータスレジスタ 0、1 (INTSTR0、INTSTR1)

INTSTR は、MMCIF の割り込み出力を制御します。

- INTSTR0

ビット	ビット名	初期値	R/W	説明
7	FEI	0	R/(W)*	FIFO エンプティフラグ [ 1 セット条件 ] FEIE=1 の状態で、ライトデータ送信中に FIFO がエンプティとなったとき ( CSTR の FIFO_EMPTY ビットがセットされたとき ) [ 0 クリア条件 ] FEI=1 リード後の 0 ライト
6	FFI	0	R/(W)*	FIFO フルフラグ [ 1 セット条件 ] FFIE=1 の状態で、リードデータ受信中に FIFO がフルとなったとき ( CSTR の FIFO_FULL ビットがセットされたとき ) [ 0 クリア条件 ] FFI=1 リード後の 0 ライト
5	DRPI	0	R/(W)*	データレスポンスフラグ [ 1 セット条件 ] DRPIE=1 の状態で CRC ステータスを受信したとき [ 0 クリア条件 ] DRPI=1 リード後の 0 ライト
4	DTI	0	R/(W)*	データ転送終了フラグ [ 1 セット条件 ] DTIE=1 の状態で、TBCR に設定したバイト数のデータ転送が終了したとき [ 0 クリア条件 ] DTI=1 リード後の 0 ライト
3	CRPI	0	R/(W)*	コマンドレスポンス受信終了フラグ [ 1 セット条件 ] CRPIE=1 の状態で、コマンドレスポンスの受信が終了したとき [ 0 クリア条件 ] CRPI=1 リード後の 0 ライト
2	CMDI	0	R/(W)*	コマンド送信終了フラグ [ 1 セット条件 ] CMDIE=1 の状態で、コマンドの送信が終了したとき [ 0 クリア条件 ] CMDI=1 リード後の 0 ライト

ビット	ビット名	初期値	R/W	説明
1	DBSYI	0	R/(W)*	データビジー終了フラグ [ 1 セット条件 ] DBSYIE=1 の状態で、データビジーの状態が解消したとき [ 0 クリア条件 ] DBSYI=1 リード後の 0 ライト
0	BTI	0	R/(W)*	マルチブロック転送終了フラグ [ 1 セット条件 ] BTIE=1 の状態で、TBNCR が 0 までデクリメントされた後の TBCR で設定したバイト数のデータ転送が終了したとき [ 0 クリア条件 ] BTI=1 リード後の 0 ライト

【注】 \* 1 リード後 0 ライトによりクリア

• INTSTR1

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	WRERI	0	R/(W)*	ライトエラーフラグ [ 1 セット条件 ] WREIE=1 の状態で、送信データレスポンスのステータスエラー（ライトエラー）を検出したとき [ 0 クリア条件 ] WREI=1 リード後の 0 ライト 【注】 ライトエラー発生時は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してください。
2	CRCERI	0	R/(W)*	CRC エラーフラグ [ 1 セット条件 ] CRCERIE=1 の状態で、コマンドレスポンスまたは受信データの CRC エラー及び、送信データレスポンスでの CRC ステータスエラーを検出したとき R2 以外のコマンドレスポンスに対しては RSPTYR の RTY4 をイネーブル時 CRC をチェックします。 R2 のコマンドレスポンスに対しては CRC チェックが行われなため本フラグはセットされません。 [ 0 クリア条件 ] CRCERI=1 リード後の 0 ライト 【注】 CRC エラー発生時は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してください。



ビット	ビット名	初期値	R/W	説明
1	DTERRI	0	R/(W)*	データタイムアウトエラーフラグ [1セット条件] DTERRI=1の状態、DTOUTRに設定したデータタイムアウトエラーが発生したとき [0クリア条件] DTERRI=1リード後の0ライト 【注】 データタイムアウトエラー発生時は、CMDOFFビットを1にセットしてコマンドシーケンスを中止してからDTERRIフラグをクリアしてください。
0	CTERRI	0	R/(W)*	コマンドタイムアウトエラーフラグ [1セット条件] CTERRI=1の状態、TOCRに設定したコマンドタイムアウトエラーが発生したとき [0クリア条件] CTERRI=1リード後の0ライト 【注】 コマンドタイムアウトエラー発生時は、CMDOFFビットを1にセットしてコマンドシーケンスを中止してからCTERRIフラグをクリアしてください。

【注】 \* 1リード後0ライトによりクリア

### 31.3.15 転送クロックコントロールレジスタ (CLKON)

CLKONは、転送クロックの周波数およびON/OFFを制御します。

MMCIFにおいて、16.5Mbpsの転送クロックを実現するためには、周辺クロックを33MHzとしCSEL3～CSEL0を0001に設定する必要があります。このとき、オープンドレイン形式出力状態では、十分に遅い転送クロックで転送を行ってください。

コマンドシーケンス中は、クロックのON/OFF、周波数の変更は行わないでください。

ビット	ビット名	初期値	R/W	説明
7	CLKON	0	R/W	クロックオン 0: CLK/SCLK端子からの転送クロック出力を停止します。 1: CLK/SCLK端子から転送クロックを出力します。
6~4	-	すべて0	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
3	CSEL3	0	R/W	転送クロック周波数セレクト 0000 : 設定禁止 0001 : 周辺クロックを 2 分周して転送クロックとします。 0010 : 周辺クロックを 4 分周して転送クロックとします。 0011 : 周辺クロックを 8 分周して転送クロックとします。 0100 : 周辺クロックを 16 分周して転送クロックとします。 0101 : 周辺クロックを 32 分周して転送クロックとします。 0110 : 周辺クロックを 64 分周して転送クロックとします。 0111 : 周辺クロックを 128 分周して転送クロックとします。 1000 : 周辺クロックを 256 分周して転送クロックとします。 1001 ~ 1111 : 設定禁止
2	CSEL2	0	R/W	
1	CSEL1	0	R/W	
0	CSEL0	0	R/W	

【注】 周辺クロック最大動作周波数は 33.34MHz です。

### 31.3.16 VDD / オープンドレイン制御レジスタ (VDCNT)

VDCNT は、オープンドレイン制御に  $\overline{\text{MMC\_ODMOD}}$  を利用可能です。

カード電源 (VDD) の ON/OFF 制御には、MMC\_VDDON 出力を利用可能です。

ビット	ビット名	初期値	R/W	説明
7	VDDON	0	R/W	カード電源 (VDD) 制御信号として利用可能です。 0 : MMC_VDDON にローレベル信号出力 1 : MMC_VDDON にハイレベル信号出力
6	ODMOD	0	R/W	MMC モード時の CMD 出力のオープンドレイン制御に利用可能です。 0 : $\overline{\text{MMC\_ODMOD}}$ にローレベル信号出力 1 : $\overline{\text{MMC\_ODMOD}}$ にハイレベル信号出力
5~0	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 31.3.17 データレジスタ (DR)

DR は、FIFO のデータをリード/ライトするためのレジスタです。

ワード、バイトアクセス可能です。

ビット	ビット名	初期値	R/W	説明
15~0 (7~0)	DR	不定	R/W	FIFO のデータをリード/ライトするためのレジスタです。 ワード、バイトアクセス可能です。 ただし、2n+1 番地へのバイトアクセスはできません。

### 31.3.18 FIFO ポインタクリアレジスタ (FIFOCLR)

FIFOCLR に任意の値をライトすることによって、FIFO のライトポインタ、リードポインタがクリアされます。

ビット	ビット名	初期値	R/W	説明
7~0	FIFOCLR	-	W	任意の値をライトすることで、FIFO ポインタがクリアされます。

### 31.3.19 DMA コントロールレジスタ (DMACR)

DMACR は、DMA 要求信号出力を制御します。DMAEN で DMA 要求信号の許可、禁止を設定し、SET2~SET0 で設定した値により DMA 要求信号を出力します。

マルチブロック転送のコマンド (CMD18、CMD25) を実行する前に本レジスタを設定してください。

オートモードは open-ended マルチブロック転送には使用できません。

ビット	ビット名	初期値	R/W	説明
7	DMAEN	0	R/W	0 : DMA 要求信号の出力禁止 1 : DMA 要求信号の出力許可
6	AUTO	0	R/W	DMA 転送を使用する pre-define マルチブロック転送で、オートモードを使用する際設定します。オートモードの動作については 6 章に示します。 0 : オートモードを使用しない。 1 : オートモードを使用。
5~3	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SET2	0	R/W	DMA 要求信号アサート条件を設定します。 000 : DMA 要求を出力しません。 001 : FIFO 残データが FIFO 容量の 1/4 以下。 010 : FIFO 残データが FIFO 容量の 1/2 以下。 011 : FIFO 残データが FIFO 容量の 3/4 以下。 100 : FIFO 残データが 1Byte 以上。 101 : FIFO 残データが FIFO 容量の 1/4 以上。 110 : FIFO 残データが FIFO 容量の 1/2 以上。 111 : FIFO 残データが FIFO 容量の 3/4 以上。
1	SET1	0	R/W	
0	SET0	0	R/W	

## 31.3.20 割り込みコントロールレジスタ 2 (INTCR2)

INTCR2 は、割り込みの許可 / 禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7	INTRQ3E	0	R/W	MMCIF3 割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可
6~1	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FRDYIE	0	R/W	FIFO 準備完了フラグイネーブル 0: FIFO 準備完了フラグのセットを禁止 1: FIFO 準備完了フラグのセットを許可

## 31.3.21 割り込みステータスレジスタ 2 (INTSTR2)

INTSTR2 は、MMCIF の割り込み出力を制御します。

FRDYI は、クリア後もセット条件であればセットされます。クリアするときは、INTCR2 の FRDYIE によりフラグのセットを禁止にしてクリアしてください。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	FRDY_TU	1	R	FRDYI のセット条件を満たしているとき。 リード値 0: FIFO の残データが DMACR で設定したアサート条件以内のとき 1: FIFO の残データが DMACR で設定したアサート条件以外のとき
0	FRDYI	0	R/(W)*	FIFO 準備完了フラグ [ 1 セット条件 ] FRDYIE=1 の状態で、DMAEN ビットがセットされ、FIFO の残データが DMACR で設定したアサート条件以外のとき [ 0 クリア条件 ] FRDYI=1 リード後の 0 ライト

【注】 \* 1 リード後 0 ライトによりクリア

## 31.4 動作説明

マルチメディアカードは、着脱可能な外部記憶メディアです。MMCIF はマルチメディアカードとのデータ転送を制御し、MMC モードでの動作が可能です。

MMCIF は、カードが接続されカードの電源が ON されている状態で、適切な転送クロックの周波数を設定後、転送クロックを印可し動作開始してください。その際、カードの電源制御に MMC\_VDDON、オープンドレインモード制御に MMC\_ODMOD を利用することができます。

コマンド送出から、コマンドレスポンス受信、データ送信 / 受信、データレスポンス受信などの一連の動作をコマンドシーケンスと呼びます。コマンドシーケンスは、CMDSTRT の START ビットを 1 にセットすることによってコマンドが送出されるところから始まり、必要なデータ送信 / 受信やレスポンス受信がすべて完了したときに終了します。コマンドシーケンス実行中および終了後に、マルチメディアカードには、カード内のフラッシュメモリの書き込み / 消去のためにある特定のコマンドしか受け付けられないデータビジー状態があります。データビジー状態は、MMC モードでは DAT 端子に、カード側からの 0 出力で表示されます。

【注】 コマンドシーケンス中、データビジー中のカードの挿抜は行わないでください。

### 31.4.1 MMC モードの動作

MMC モードは、転送クロックを出力する MMC\_CLK 端子、コマンドを送信しレスポンスを受信する MMC\_CMD 端子と、データを送受信する MMC\_DAT 端子からなる動作モードです。この端子構成により、データ送受信中でも次のコマンドを発行できることが特長になっています。この特長は、マルチブロック転送やストリーム転送に活かされています。例えば、現在のコマンドシーケンスを中止させる CMD12 が挙げられます。

また、MMC モードでは、複数のカードに同時にコマンドを発行するブロードキャスト型のコマンドをサポートしています。ブロードキャスト型のコマンドを用いて挿入されているカードの情報を認識した後、個々のカードに相対アドレスを与えます。相対アドレスによって 1 枚のカードを選択し、他のカードを非選択にした後、選択したカードに対して種々のコマンドを発行します。

MMC モードでのコマンドは、大別するとブロードキャスト型、相対アドレス型、フラッシュメモリ操作型の 3 種類に分けることができます。これらのコマンドをカードの状態に合わせ、適切に与えることによってカードを操作することができます。

### (1) ブロードキャスト型コマンドの動作

CMD0、CMD1、CMD2、CMD4はブロードキャスト型のコマンドです。これにCMD3を加えて、個々のカードに相対アドレスを与えるシーケンスを構成します。本シーケンスの間は、CMD出力形式はオープンドレインに設定され、コマンドレスポンスはワイヤード-オアされます。このとき、転送クロックの周波数を充分遅くしておく必要があります。

- CMD0で、すべてのカードをアイドル状態に初期化します。
- CMD1で、すべてのカードのオペレーションコンディションレジスタ(OCR)をワイヤード-オアで読み出し、動作できないカードを不活性化します。  
不活性化されなかったカードはレディ状態になります。
- CMD2で、すべてのレディ状態のカードのカードアイデンティフィケーション(CID)をワイヤード-オアで読み出します。  
個々のカードは、自身のCIDとMMC\_CMD上のデータを比較し、異なっていればただちにCID出力を中止します。  
CIDを最後まで出力できた1枚のカードは認識状態になります。
- CMD3で、認識状態のカードに相対アドレス(RCA)を与えます。  
RCAを得たカードはスタンバイ状態になります。
- CMD2、CMD3を繰り返し、すべてのレディ状態のカードにRCAを与え、スタンバイ状態にします。

【注】 MMCモードのR2レスポンス(17バイトのコマンドレスポンス)を要求するときには、CTSELOを0にセットすると、レスポンス受信中にタイムアウトが発生するため、CTSELOを1に設定してください。

### (2) 相対アドレス型コマンドの動作

CMD7、CMD9、CMD10、CMD13、CMD15、CMD39、CMD55は、RCAでカードをアドレスする相対アドレス型コマンドです。相対アドレス型コマンドは、カードの管理情報や固有情報を読み取るほか、特定のカードの状態を変更するために用います。

CMD7は、アドレスした1枚のカードを転送状態に設定し、それ以外のカードをスタンバイ状態にします。転送状態のカードのみが、ブロードキャスト型、相対アドレス型以外の、フラッシュメモリ操作型コマンドを実行することができます。

### (3) コマンドレスポンスを要しないコマンドの動作

ブロードキャスト型コマンドの中には、コマンドレスポンスを要しないコマンドがあります。

図 31.2 に、コマンドレスポンスを要さないコマンドのコマンドシーケンスの例を示します。

図 31.3 に、コマンドレスポンスを要さないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出を開始します。
- コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングかコマンド出力終了割り込み(CMDI)で検出します。

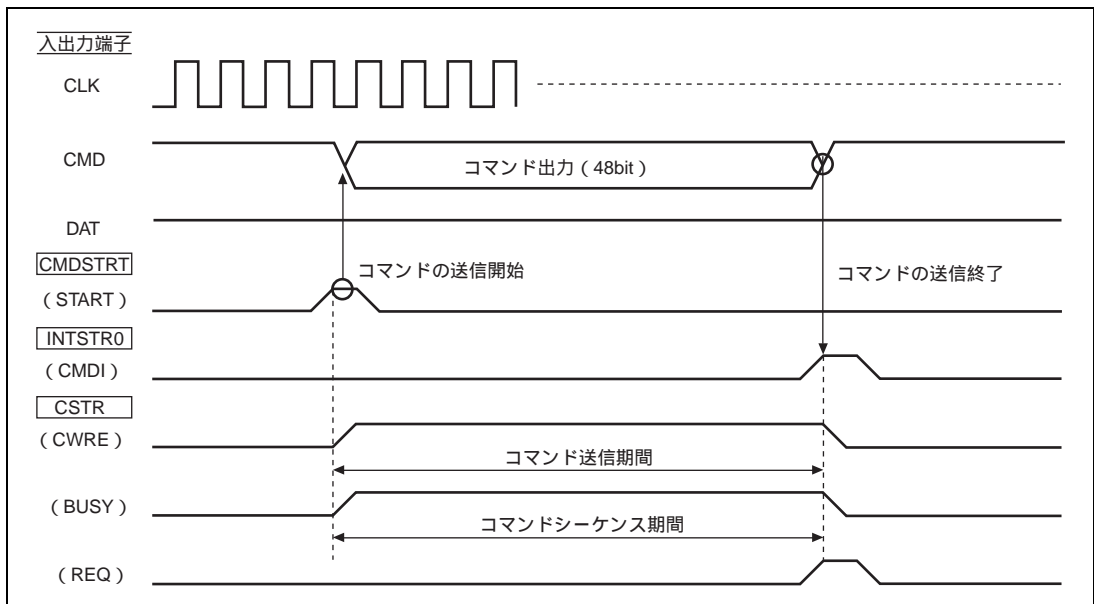


図 31.2 コマンドレスポンスを要さないコマンドシーケンスの例

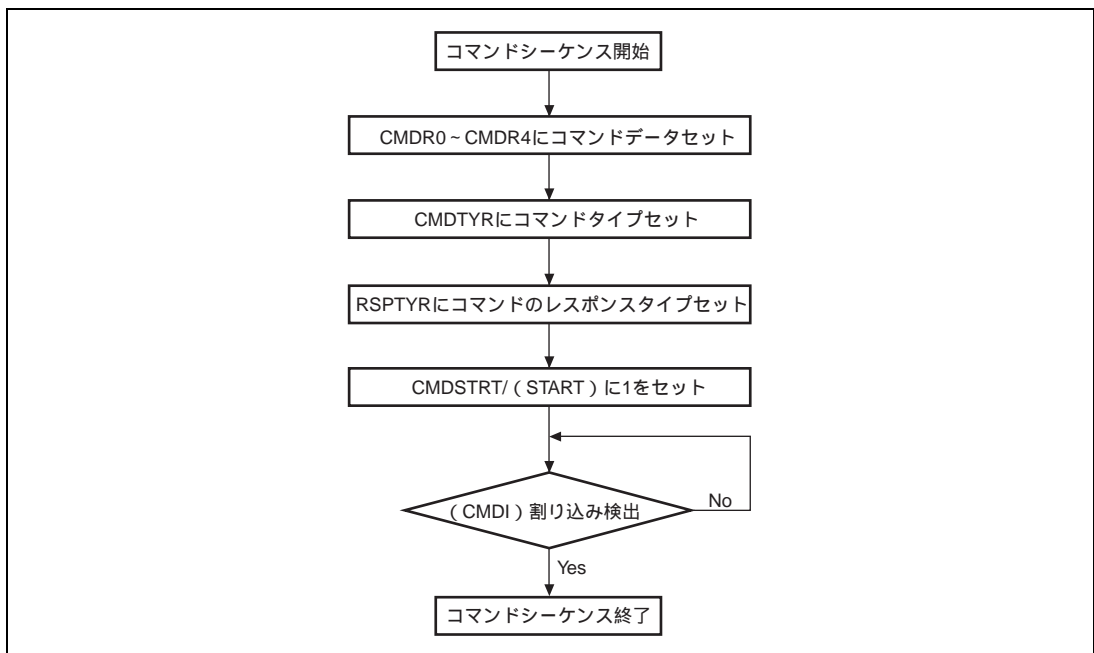


図 31.3 コマンドレスポンスを要さないコマンドの動作フローチャートの例

#### (4) データ転送を伴わないコマンドの動作

ブロードキャスト型、相対アドレス型、フラッシュメモリ操作型のすべてにデータ転送を伴わないコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスで、所望のデータ転送を実行します。フラッシュメモリの書き込み/消去など時間を要する処理に関するコマンドでは、カードはMMC\_DAT にデータビジー状態を表示します。

図 31.4 と図 31.5 に、データ転送を伴わないコマンドのコマンドシーケンスの例を示します。

図 31.6 に、データ転送を伴わないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出を開始します。
- コマンド送出完了は、コマンド出力終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングか、コマンドレスポンス終了割り込み (CRPI) で検出します。
- CSTRのDTBUSYによりデータビジーであるか否かの判断を行います。データビジーであれば、データビジー状態の終了を、データビジー終了割り込み (DBSYI) で検出します。
- CRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。



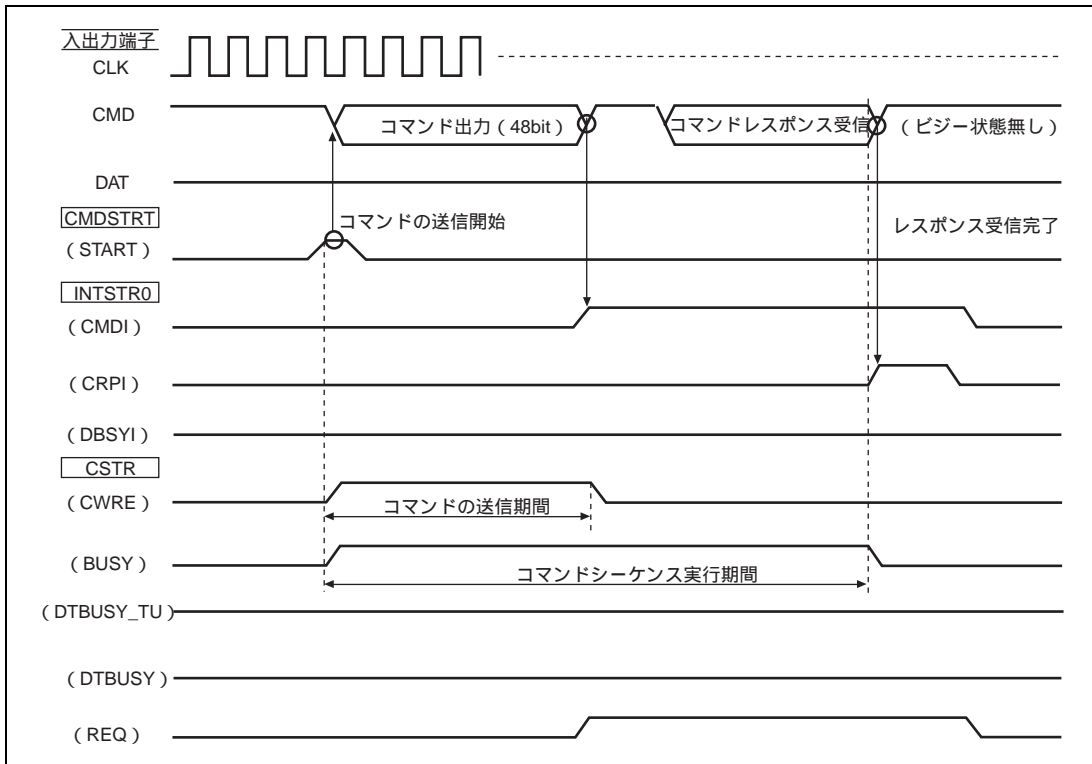


図 31.4 データ転送を伴わないコマンドシーケンスの例 (データビジー状態なし)

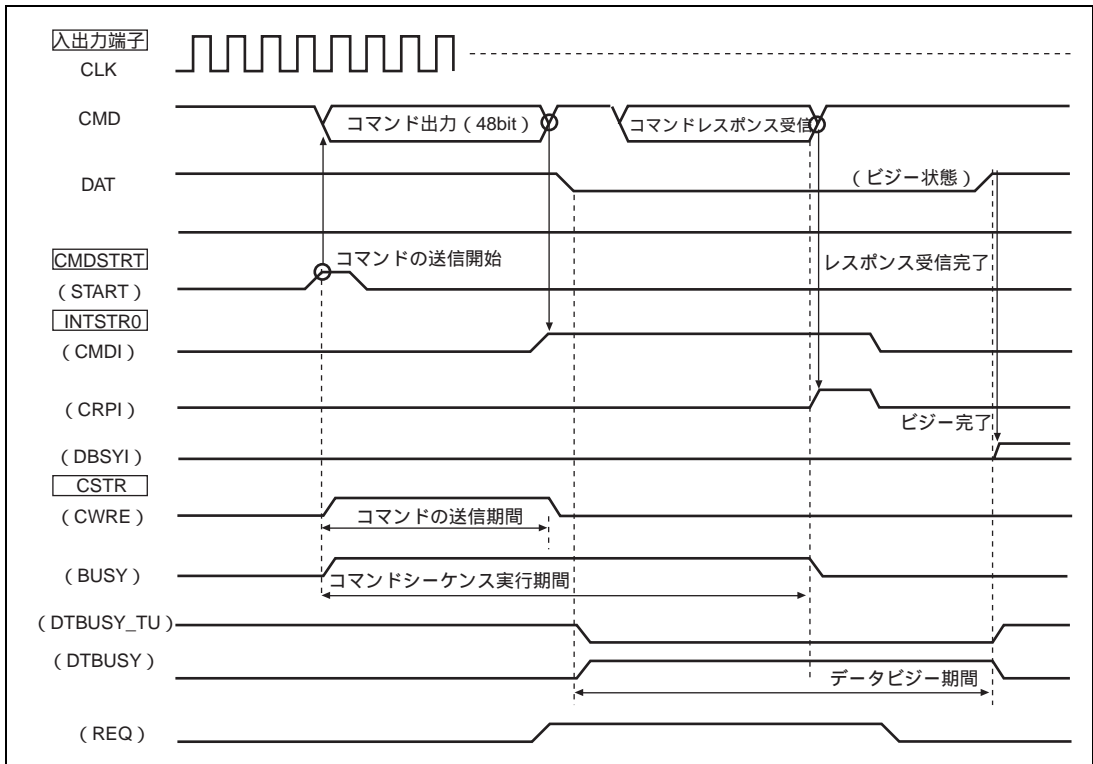


図 31.5 データ転送を伴わないコマンドシーケンスの例 (データビジー状態あり)

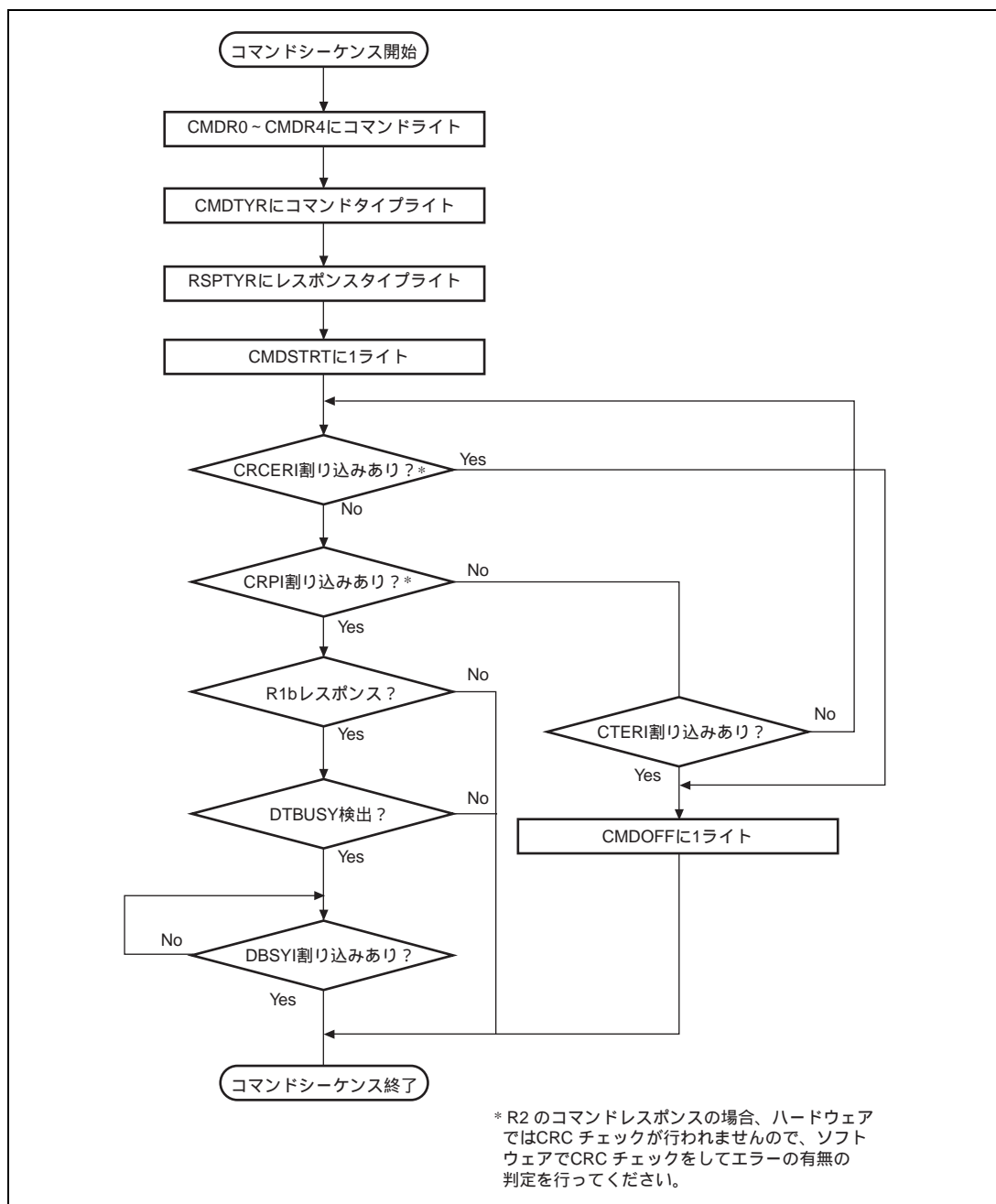


図 31.6 データ転送を伴わないコマンドの動作フローチャートの例

## (5) リードデータを伴うコマンド

フラッシュメモリ操作型の中に、リードデータを伴うコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスでカードの状態を確認した後に、カードの情報やフラッシュメモリのデータを DAT から受信します。

マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待つ方式 (open-ended) と前もってブロック数を設定して転送を開始する方式 (pre-defined) の 2 つの方式があります。

また、マルチブロック転送のブロック間、FIFO がフルになったときにコマンドシーケンスは中断します。中断した場合は、必要であれば FIFO 中のデータを処理した後、コマンドシーケンスを継続します。

図 31.7 ~ 図 31.10 に、リードデータを伴うコマンドのコマンドシーケンスの例を示します。

図 31.11 ~ 図 31.14 に、リードデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。FIFO をクリアします。
- CMDSTRT の START ビットを 1 にセットして、コマンド送出手を開始します。
- コマンド送出手完了は、コマンド出力終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- カードからリードデータを受信します。
- マルチブロック転送でのブロック間中断および FIFO フルによる中断を、それぞれデータ転送終了割り込み (DTI) および FIFO フル割り込み (FFI) で検出します。  
コマンドシーケンスを継続する場合は、OPCR の RD\_CONTI ビットを 1 にセットします。終了する場合は、OPCR の CMDOFF ビットを 1 にセットして、CMD12 を発行します。ただし、pre-defined マルチブロック転送の場合は、途中でシーケンスを中止するとき以外は CMD12 を必要としません。
- コマンドシーケンス終了の検出は、CSTR の BUSY フラグのポーリングか、データ転送終了フラグ (DTI)、マルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- コマンドレスポンス受信時の CRC エラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFF ビットに 1 をライトしてください。
- リードデータ受信時の CRC エラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFF ビットに 1 をライトし、FIFO をクリアしてください。

【注】 マルチブロック転送において、コマンドレスポンス受信終了 (CRPI) 前にコマンドシーケンスを終了 (CMDOFF ビットに 1 をライト) した場合、コマンドレスポンスを正常に受信できません。コマンドレスポンスを受信する場合は、コマンドレスポンス受信終了までコマンドシーケンスを継続 (RD\_CONTI ビットを 1 にセット) してください。

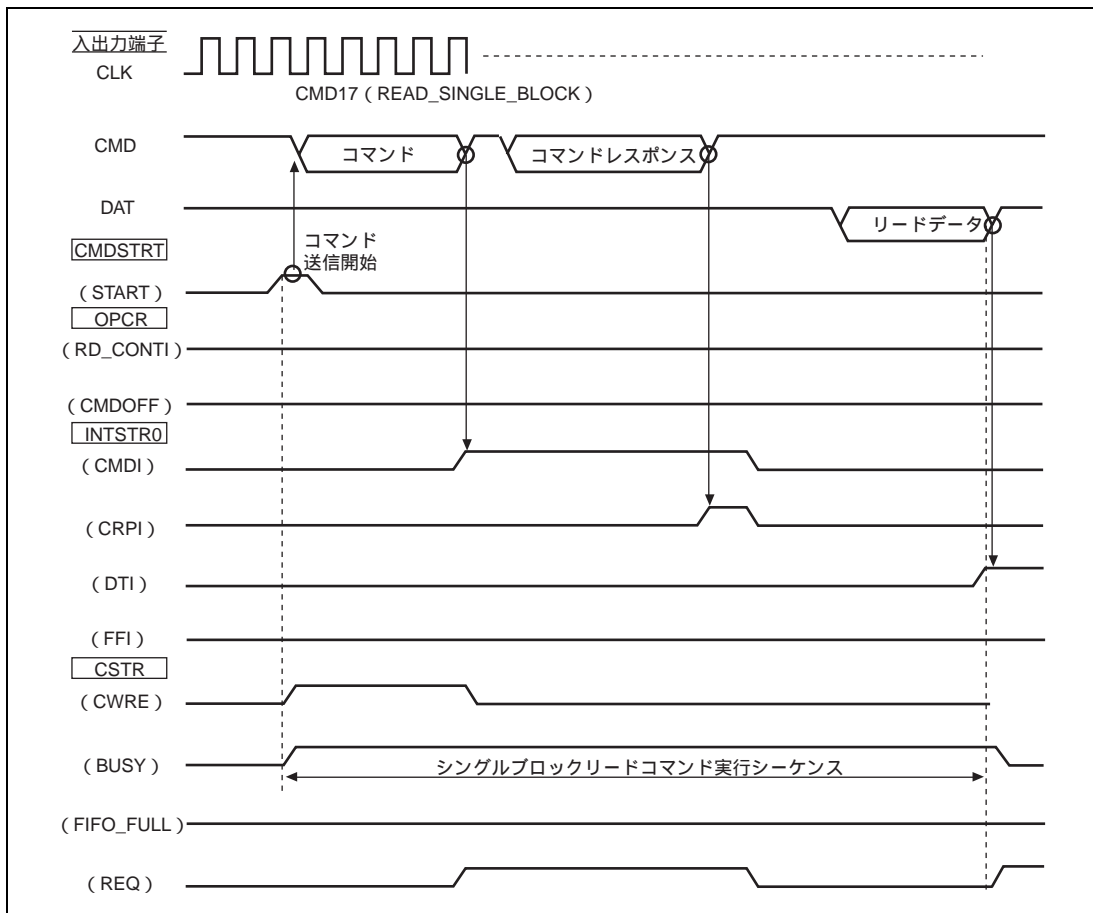


図 31.7 リードデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)

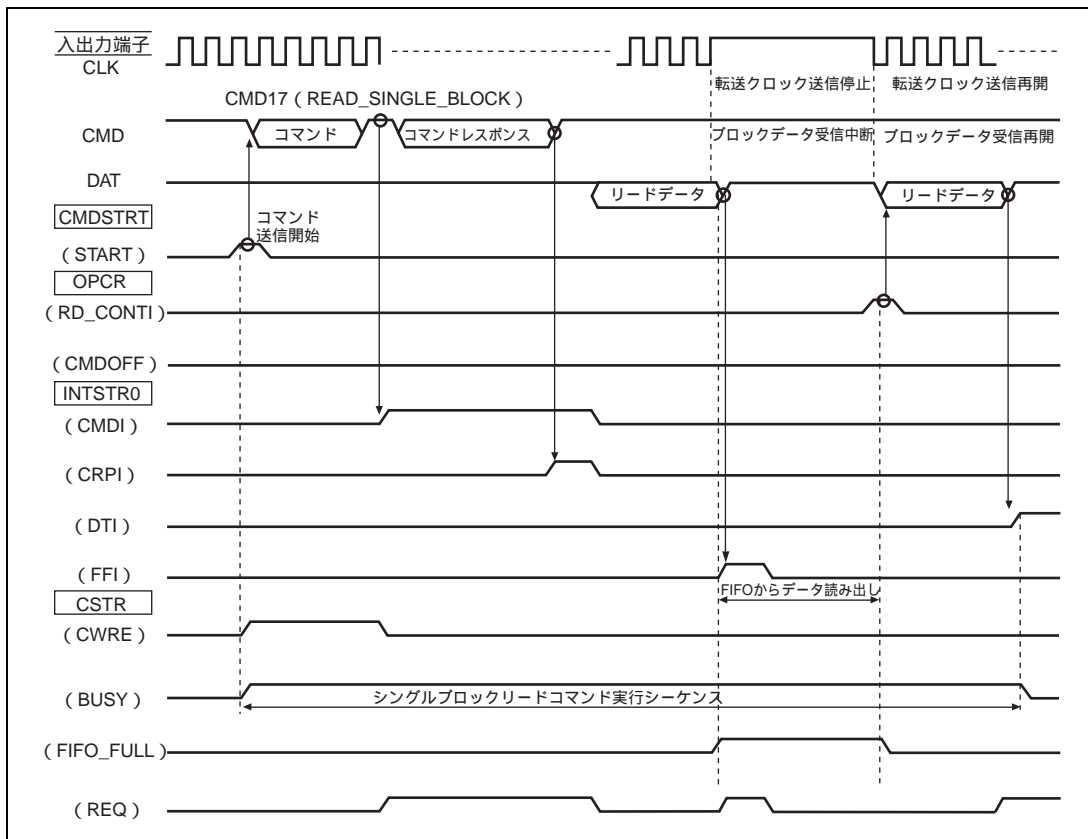


図 31.8 リードデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)

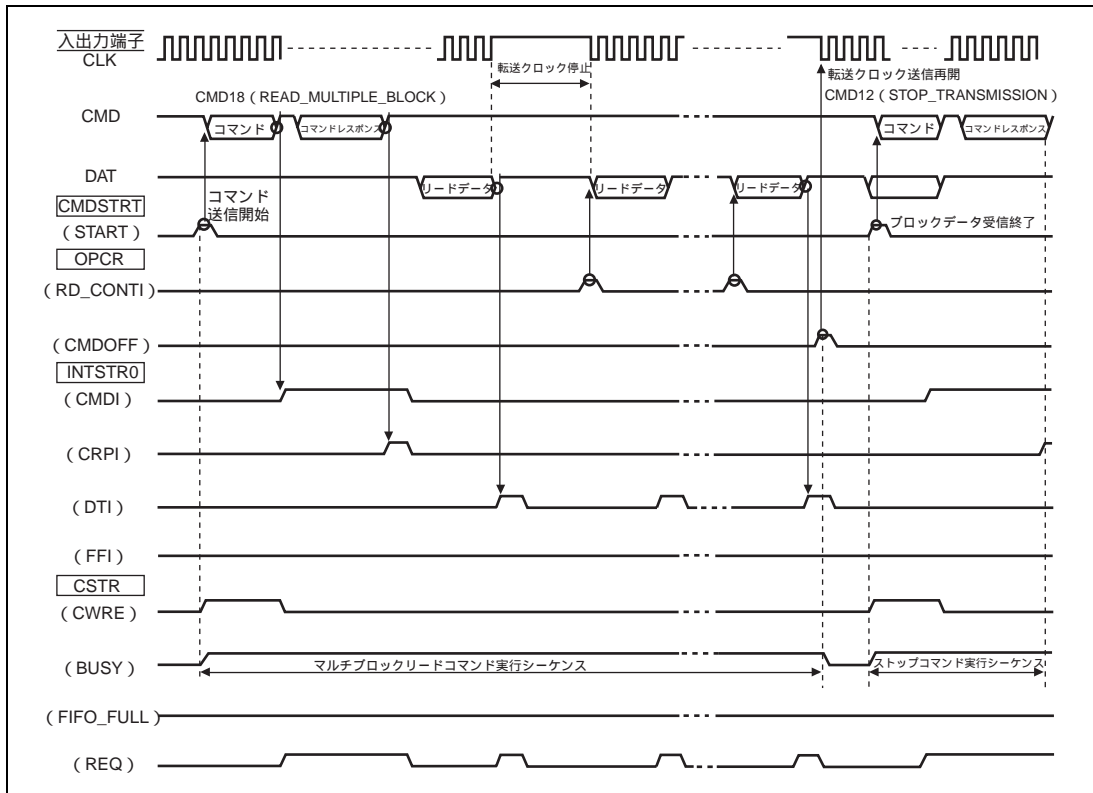


図 31.9 リードデータを伴うコマンドシーケンスの例 (マルチブロック転送)

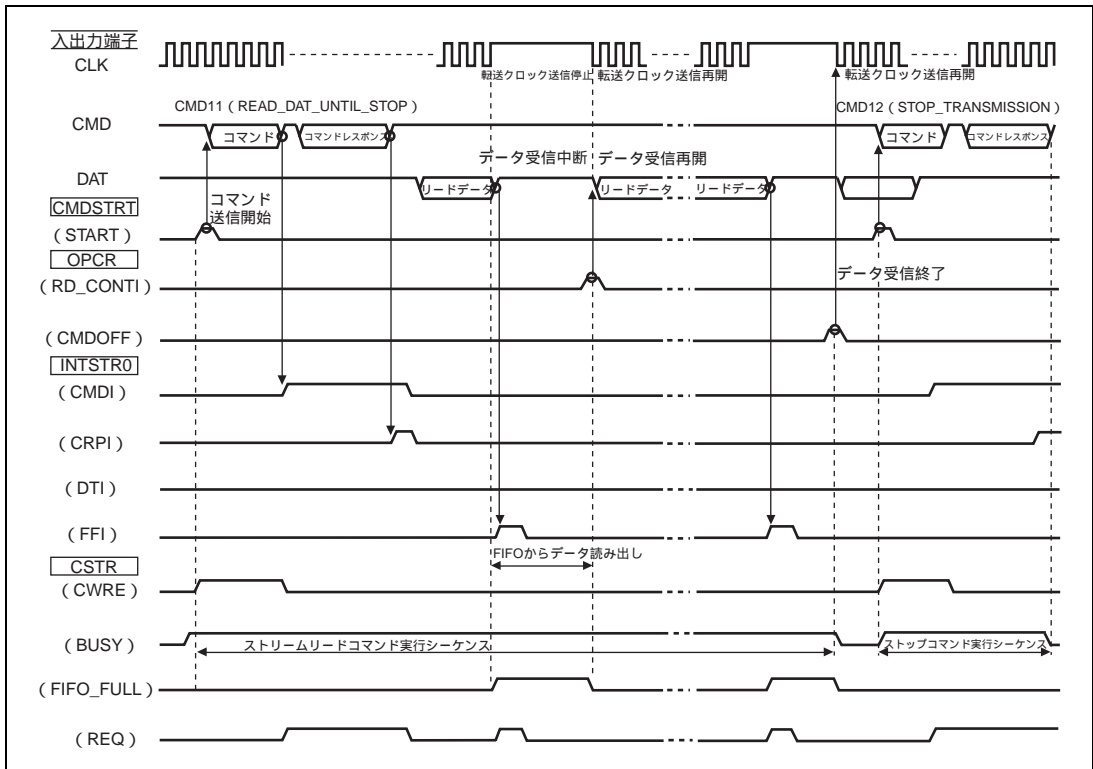


図 31.10 リードデータを伴うコマンドシーケンスの例 (ストリーム転送)



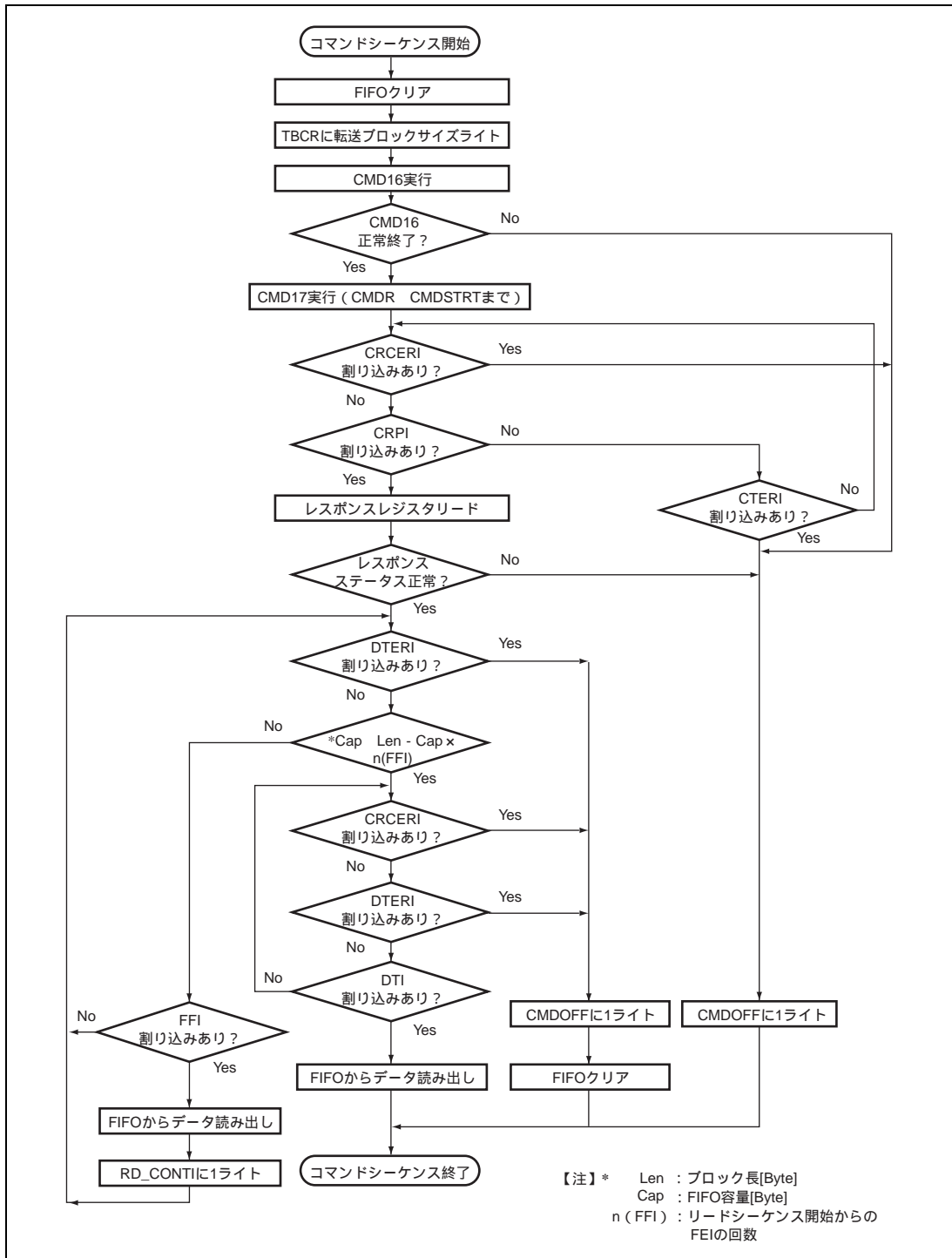


図 31.11 リードデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)

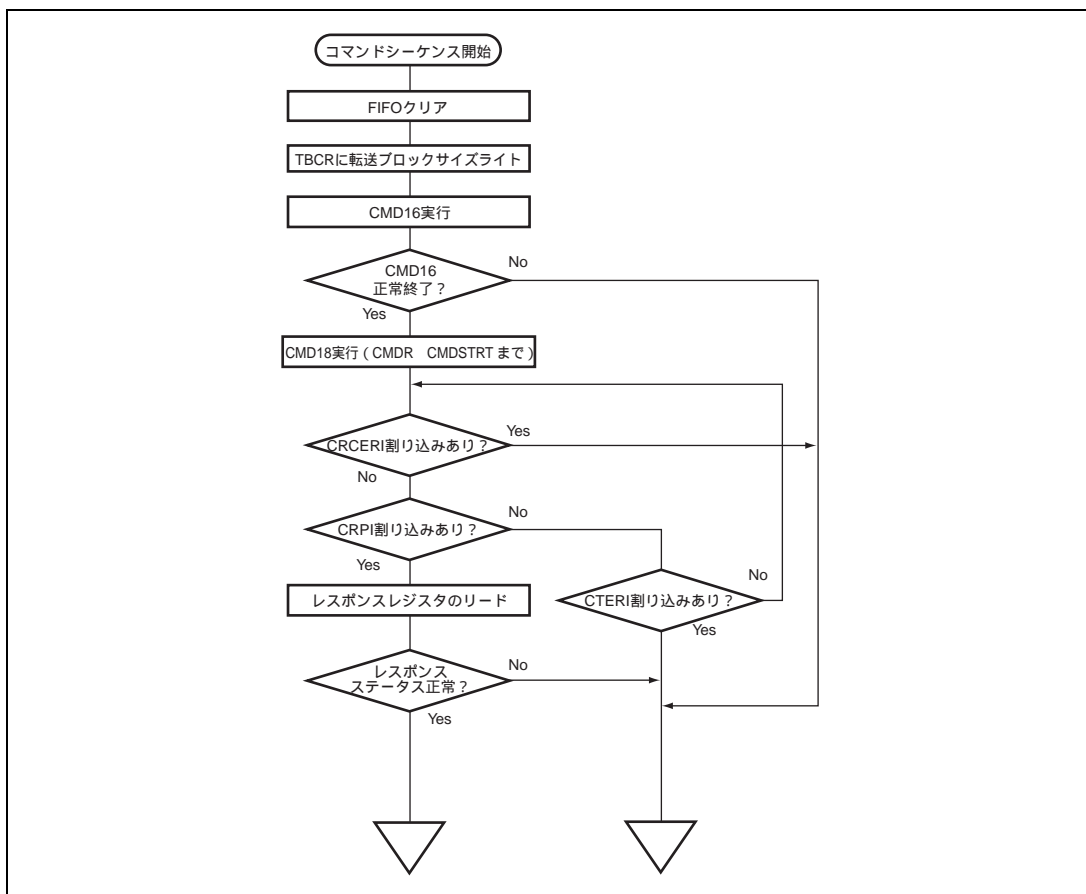


図 31.12 (1) リードデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

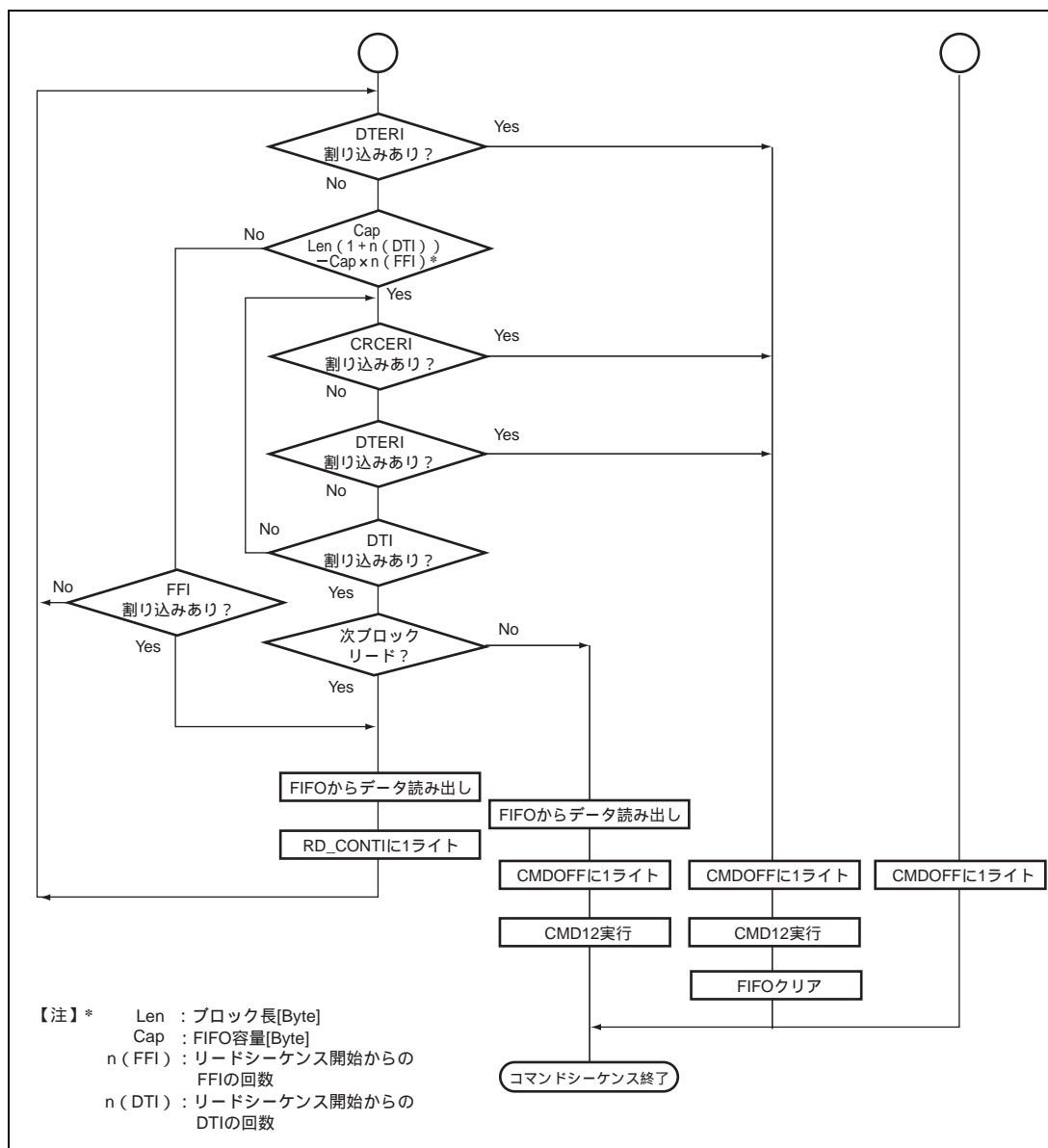


図 31.12 (2) リードデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

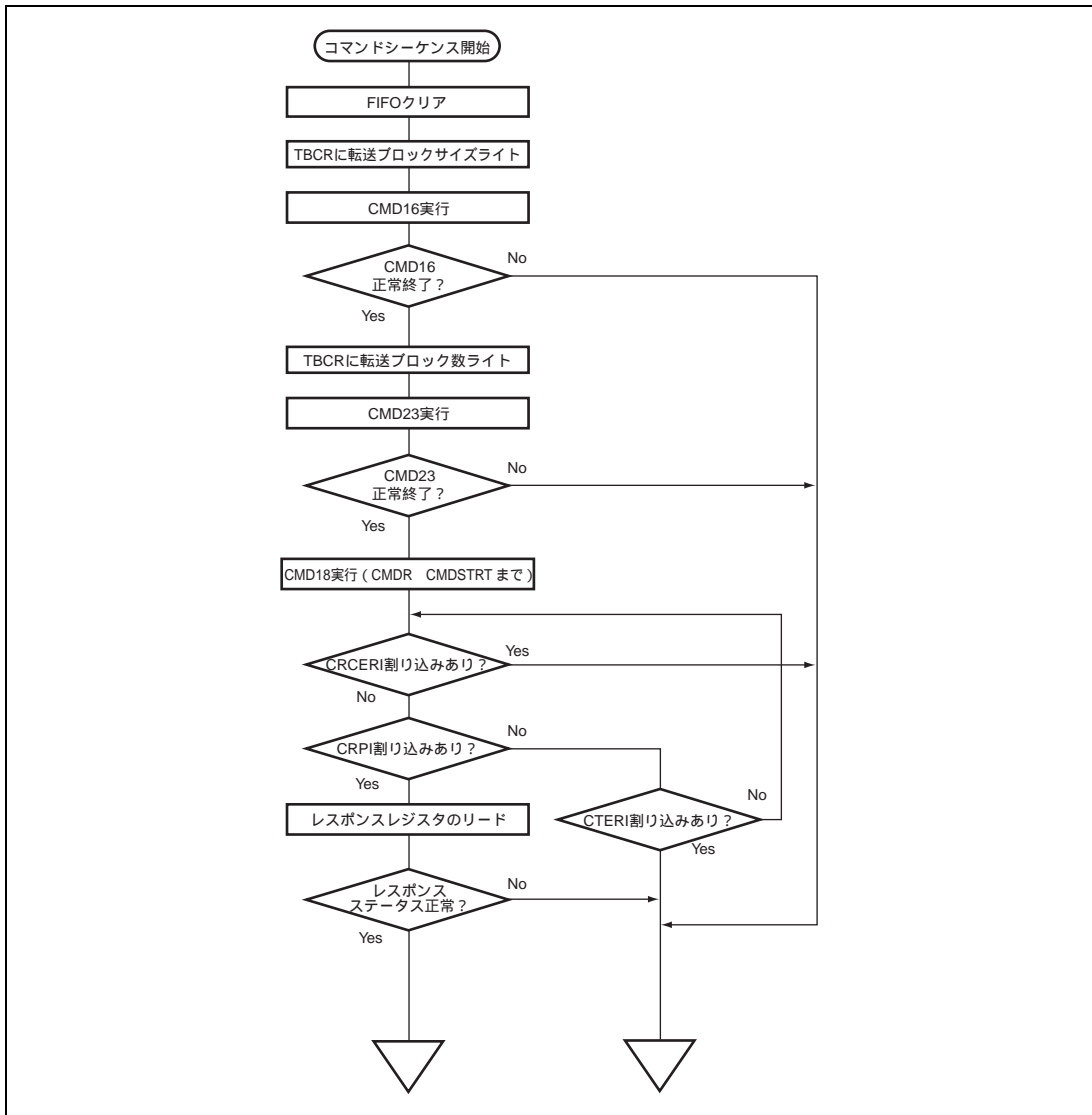


図 31.13 (1) リードデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

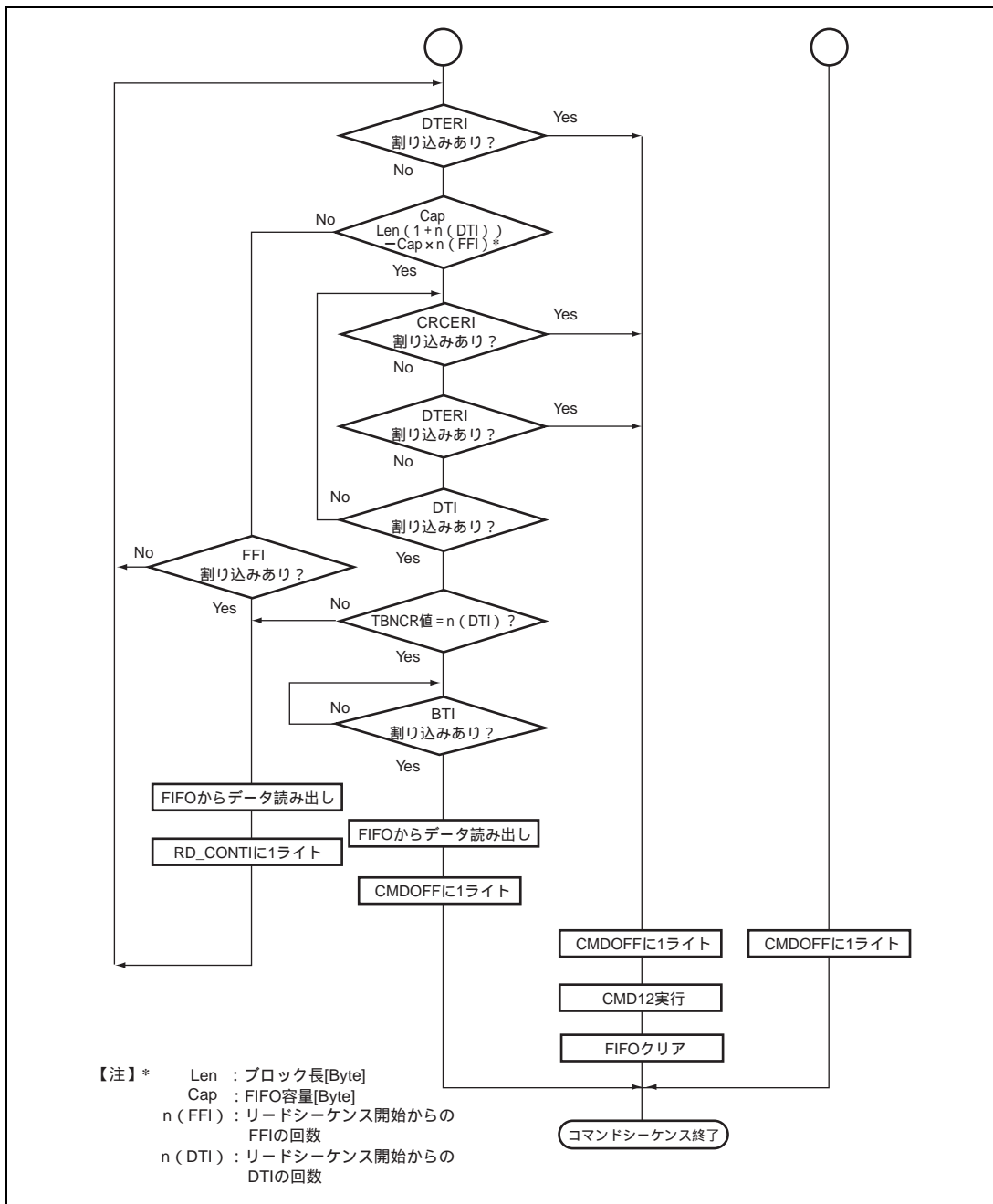


図 31.13 (2) リードデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

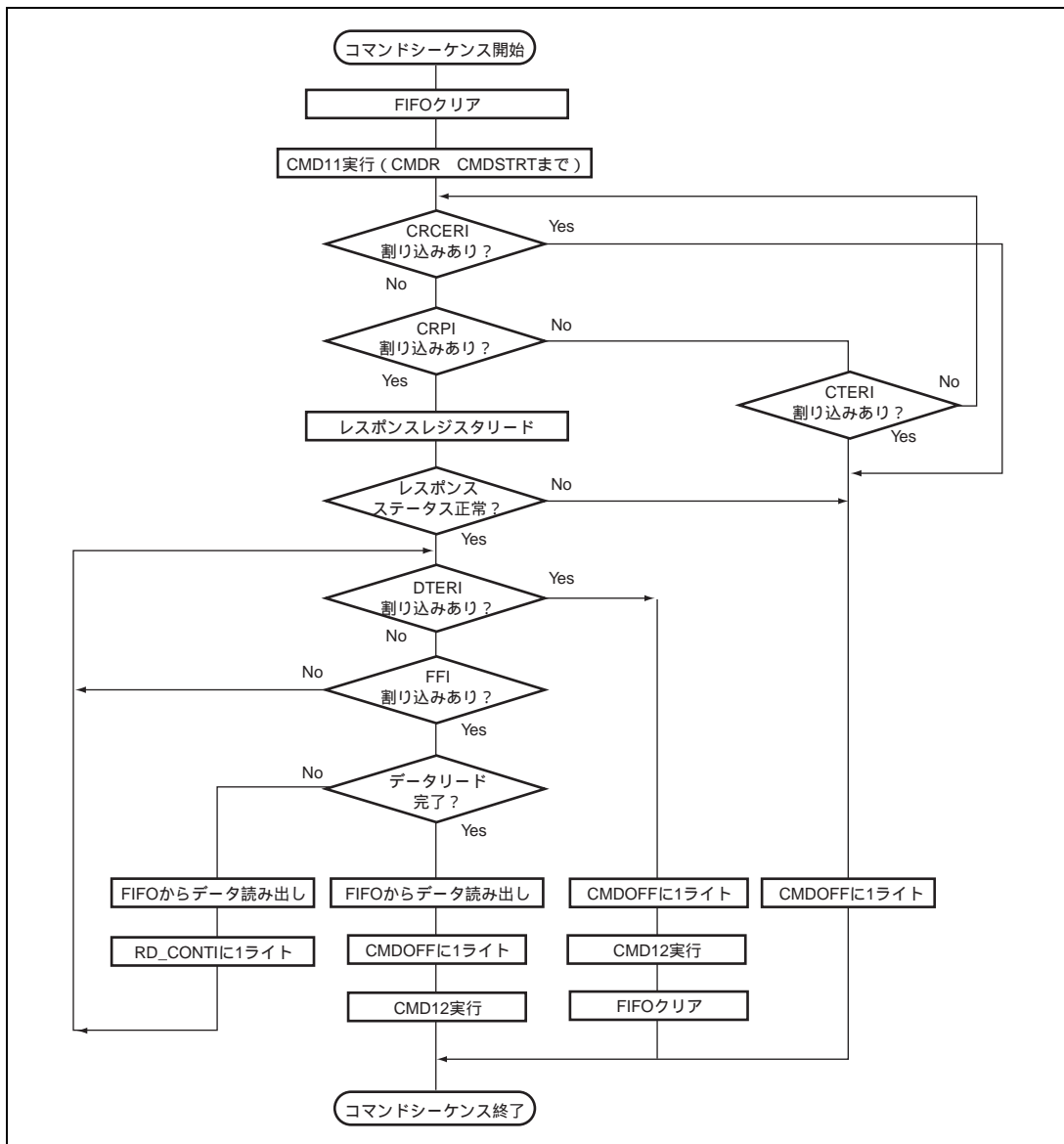


図 31.14 リードデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)

#### (6) ライトデータを伴うコマンド

フラッシュメモリ操作型の中に、ライトデータを伴うコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスでカードの状態を確認した後に、カードの情報やフラッシュメモリのデータを DAT から送信します。フラッシュメモリの書き込みなど時間を要する処理に関するコマンドでは、カードは DAT にデータビジー状態を表示します。

マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待つ方式 (open-ended) と前もってブロック数を設定して転送を開始する方式 (pre-defined) の 2 つの方式があります。

また、マルチブロック転送のブロック間、FIFO がエンプティになった時にコマンドシーケンスは中断します。中断した場合は、必要であれば FIFO 中のデータを処理した後、コマンドシーケンスを継続します。

図 31.15 ~ 図 31.18 に、ライトデータを伴うコマンドのコマンドシーケンスの例を示します。

図 31.19 ~ 図 31.22 に、ライトデータを伴うコマンドの動作フローチャートの例を示します。

- コマンド発行に必要な設定をします。FIFO をクリアします。
- CMDSTRT の START ビットを 1 にセットして、コマンド送出を開始します。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- FIFO へライトデータをセットします。
- OPCR の DATAEN ビットを 1 にセットして、ライトデータの送信を開始します。
- マルチブロック転送でのブロック間中断および FIFO エンプティによる中断を、それぞれデータレスポンス完了フラグ (DRPI) および FIFO エンプティフラグ (FEI) で検出します。コマンドシーケンスを継続する場合は、FIFO にライトデータを補充し、OPCR の DATAEN ビットを 1 にセットします。終了する場合は、OPCR の CMDOFF ビットを 1 にセットして、CMD12 を発行します。ただし、pre-defined マルチブロック転送で、途中でシーケンスを中止するとき以外は CMD12 を必要としません。
- コマンドシーケンス終了の検出は、CSTR の BUSY フラグのポーリングか、データレスポンス完了フラグ (DRPI)、またはマルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- さらに、データ転送終了後 (DRPI 検出後)、CSTR の DTBUSY により、データビジーであるか否かの判定を行い、データビジーであれば、データビジー状態の解除をデータビジー終了フラグ (DBSYI) で検出します。
- コマンドレスポンス受信時の CRC エラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFF ビットに 1 をライトしてください。
- ライトデータ送信時の CRC エラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFF ビットに 1 をライトしてください。

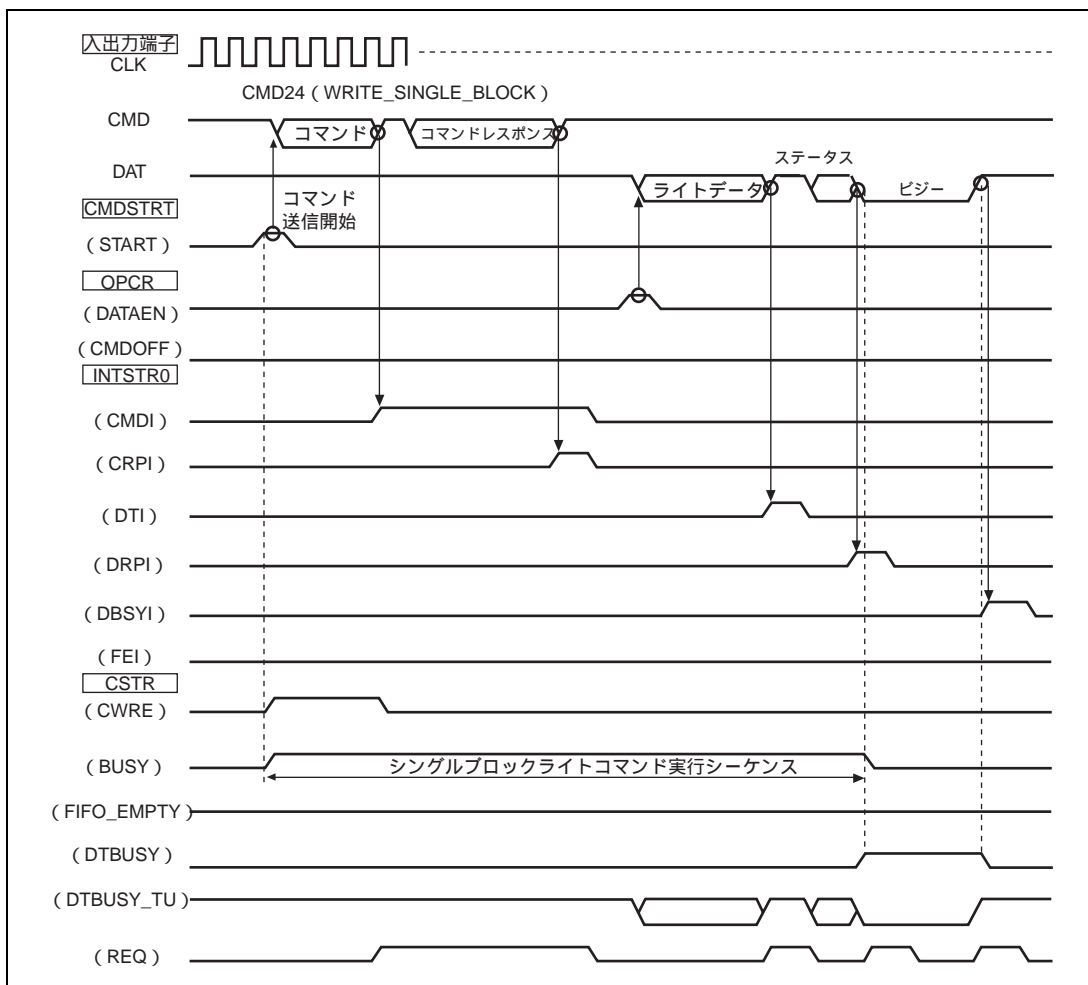


図 31.15 ライトデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)



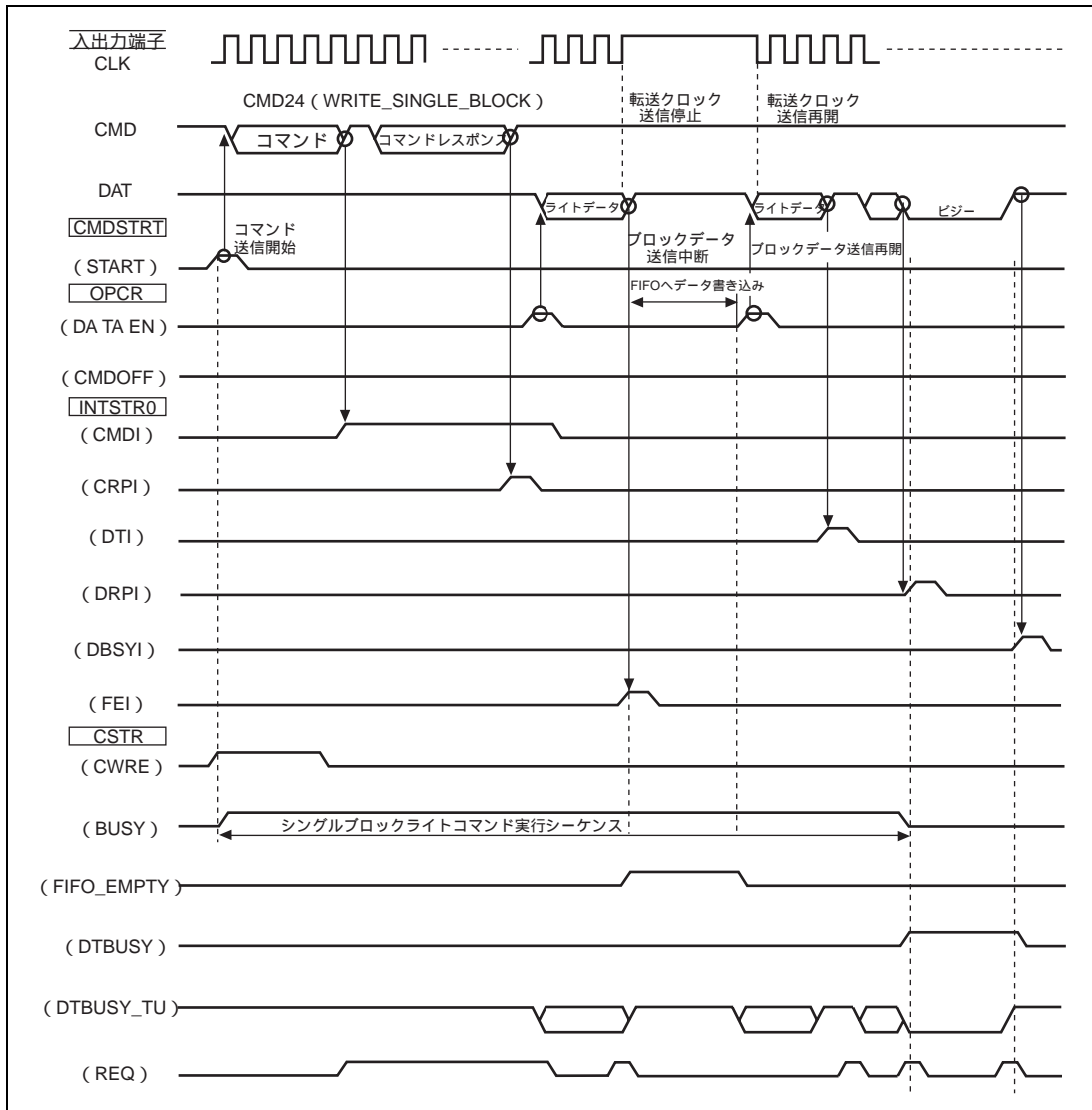


図 31.16 ライトデータを伴うコマンドシーケンスの例 (ブロックサイズ &gt; FIFO サイズ)

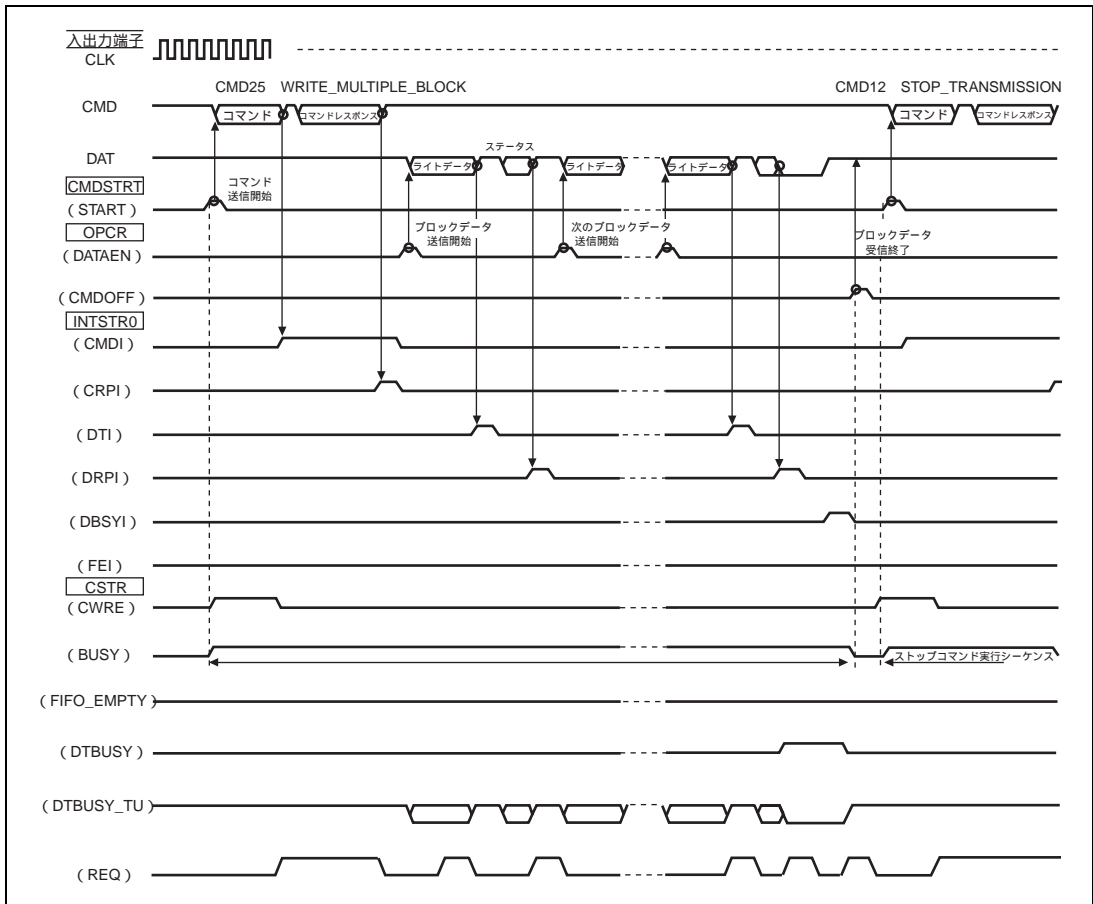


図 31.17 ライトデータを伴うコマンドのコマンドシーケンスの例 (マルチブロック転送)

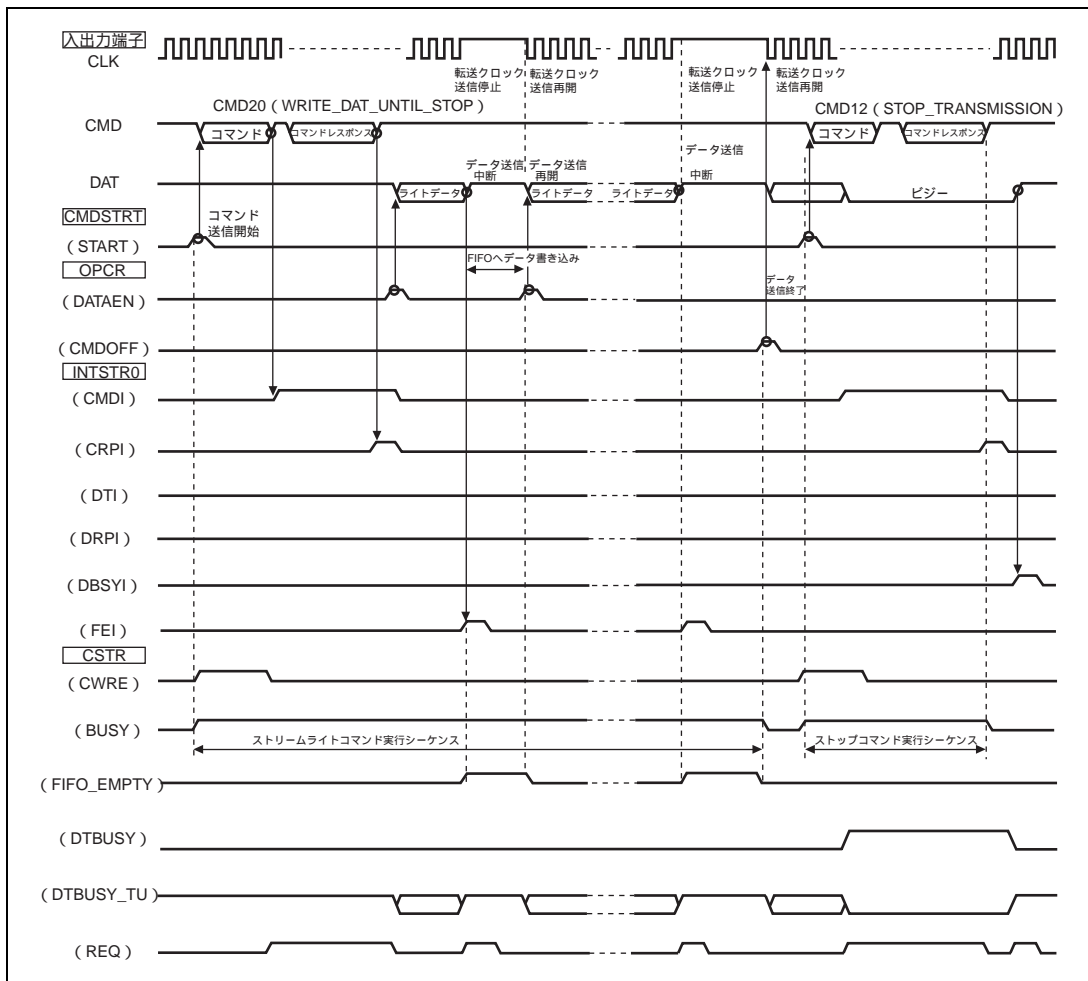


図 31.18 ライトデータを伴うコマンドシーケンスの例 (ストリーム転送)

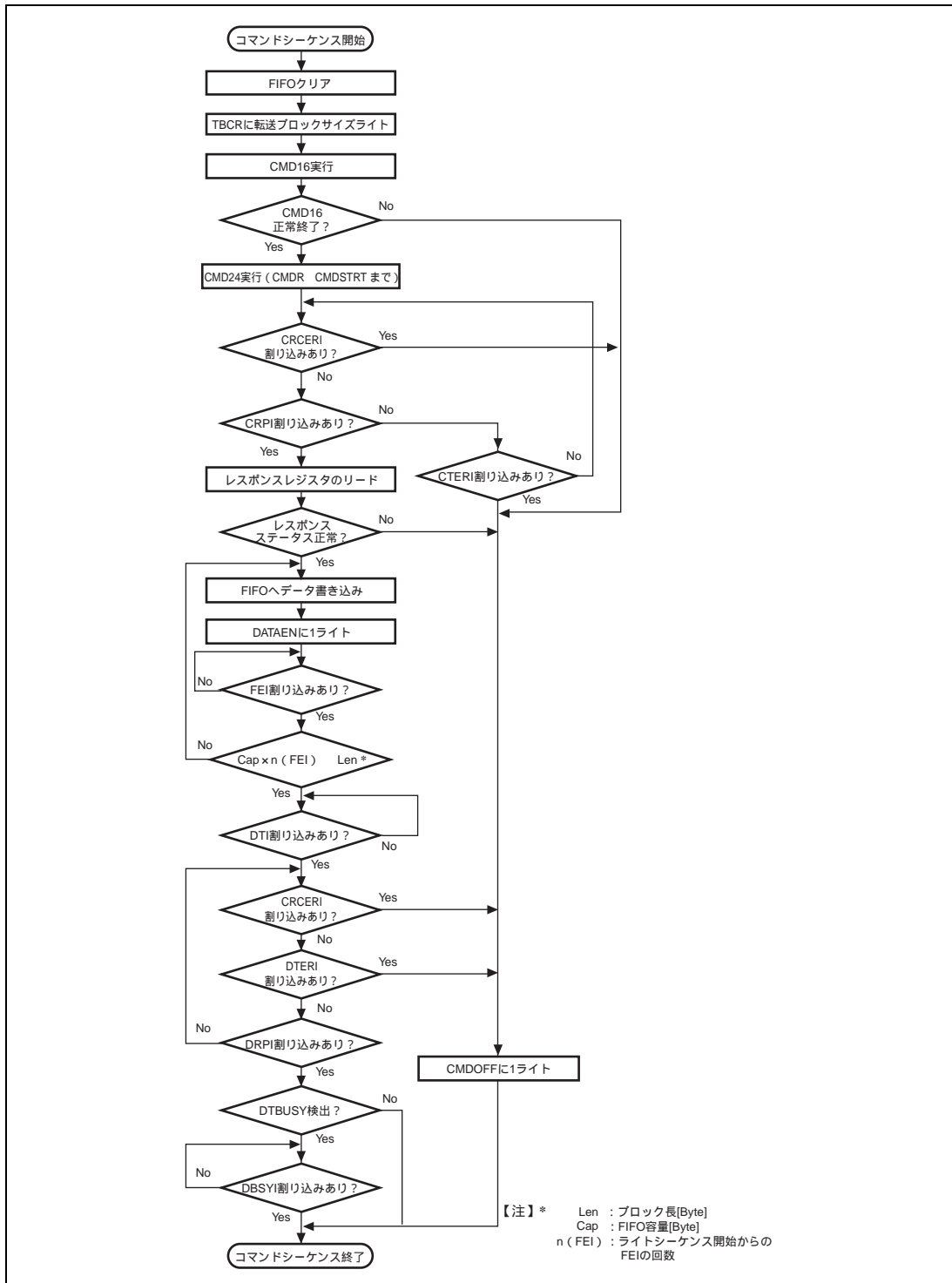


図 31.19 ライトデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)

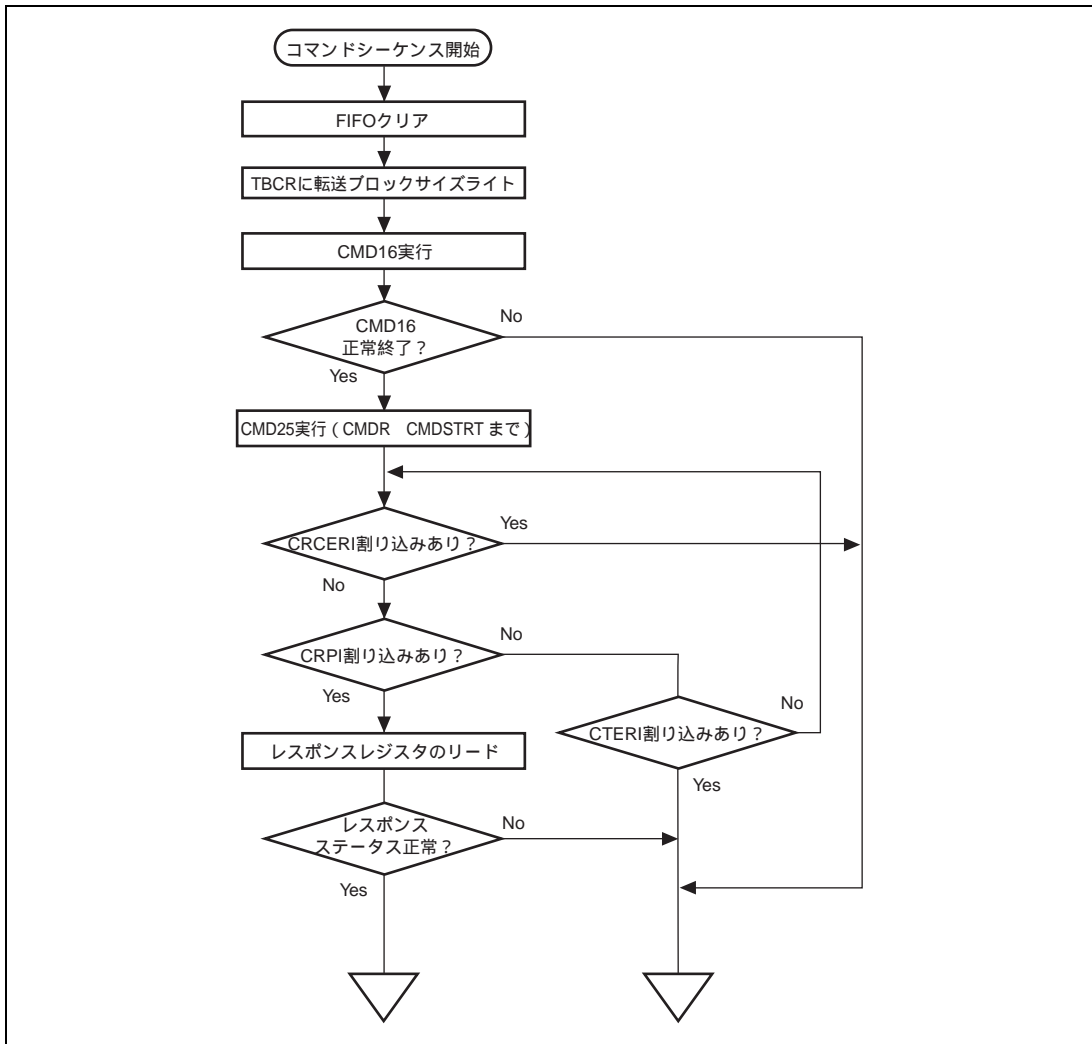


図 31.20 (1) ライトデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

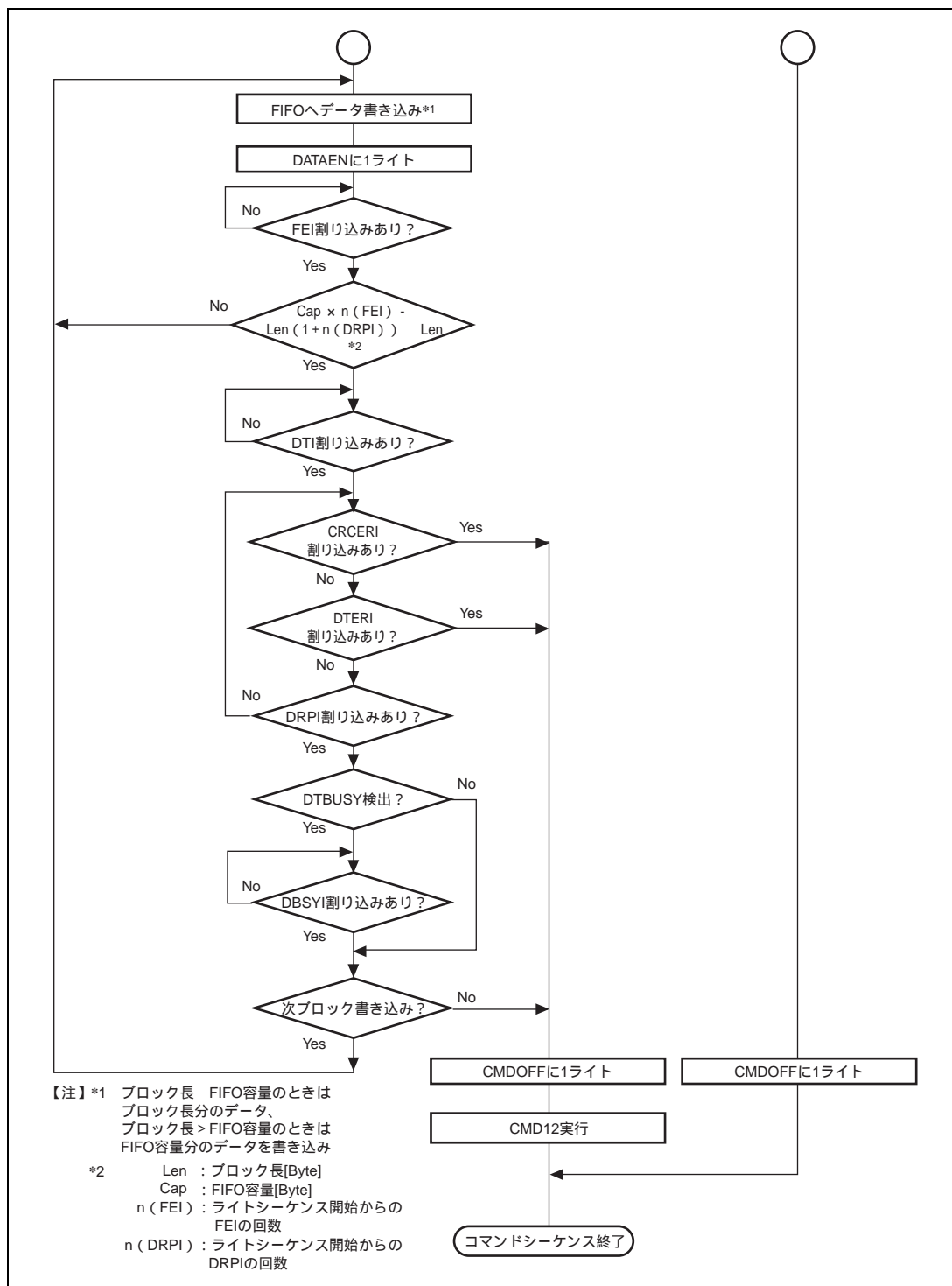


図 31.20 (2) ライトデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

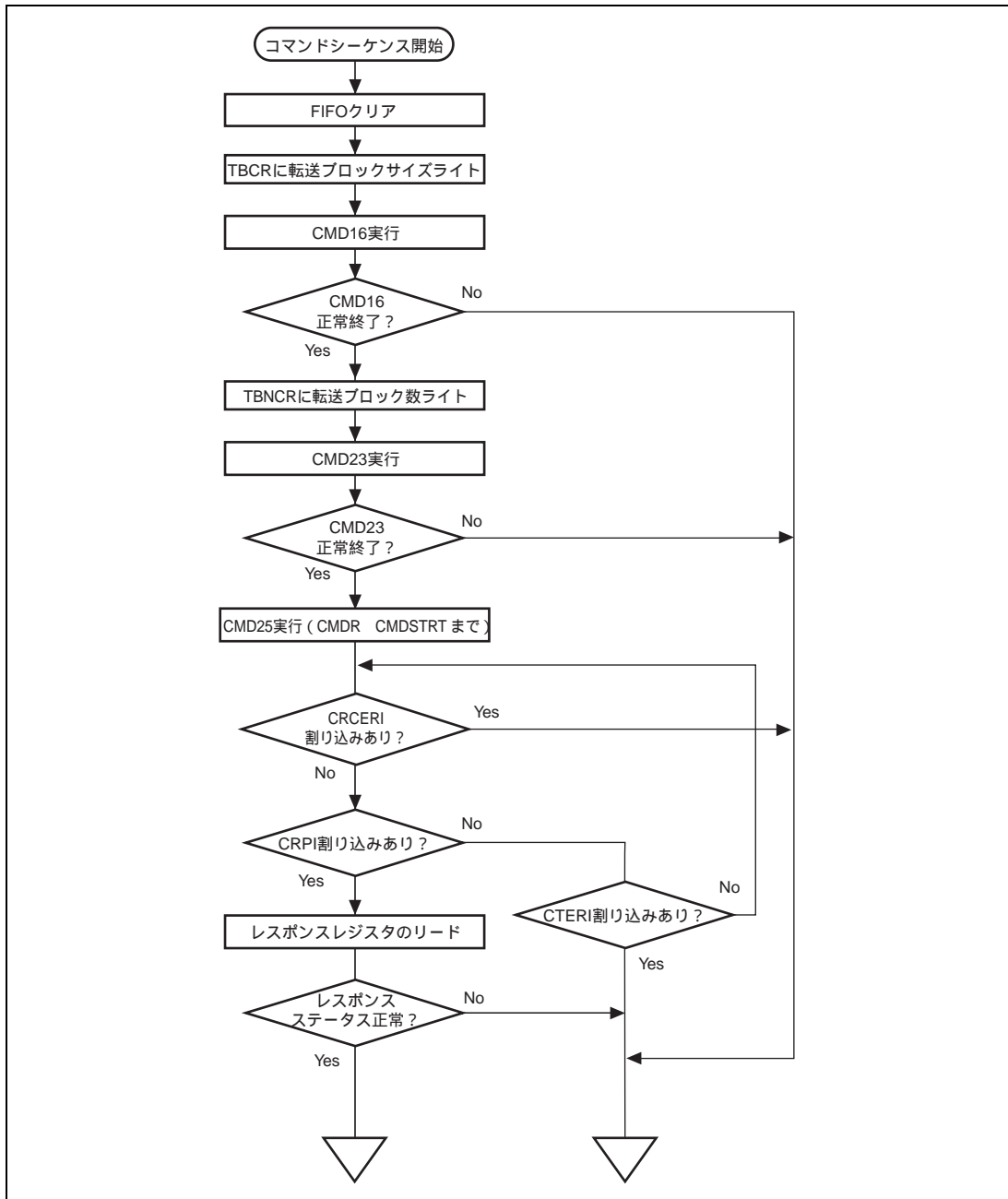


図 31.21 (1) ライトデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

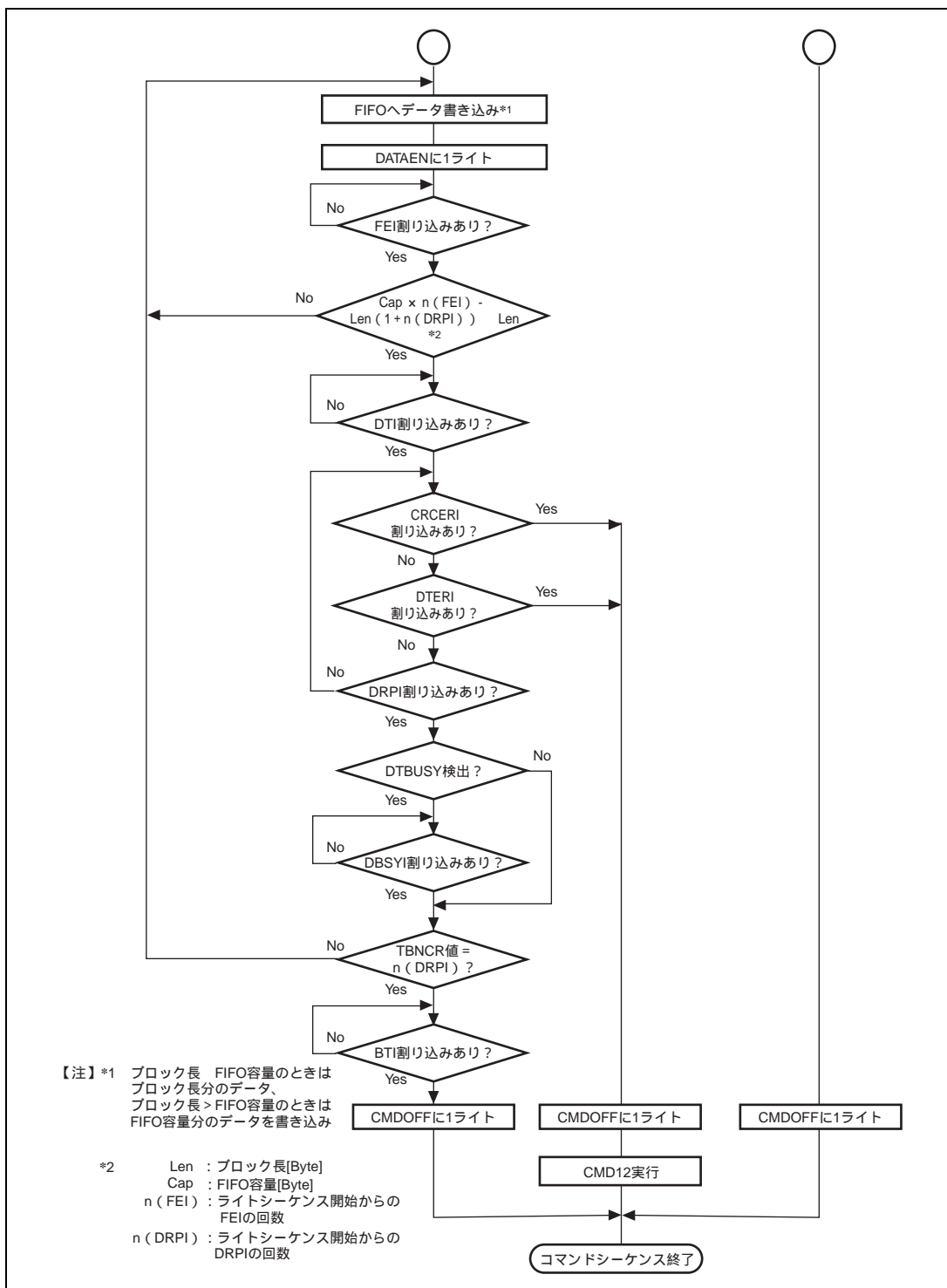


図 31.21 (2) ライトデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)



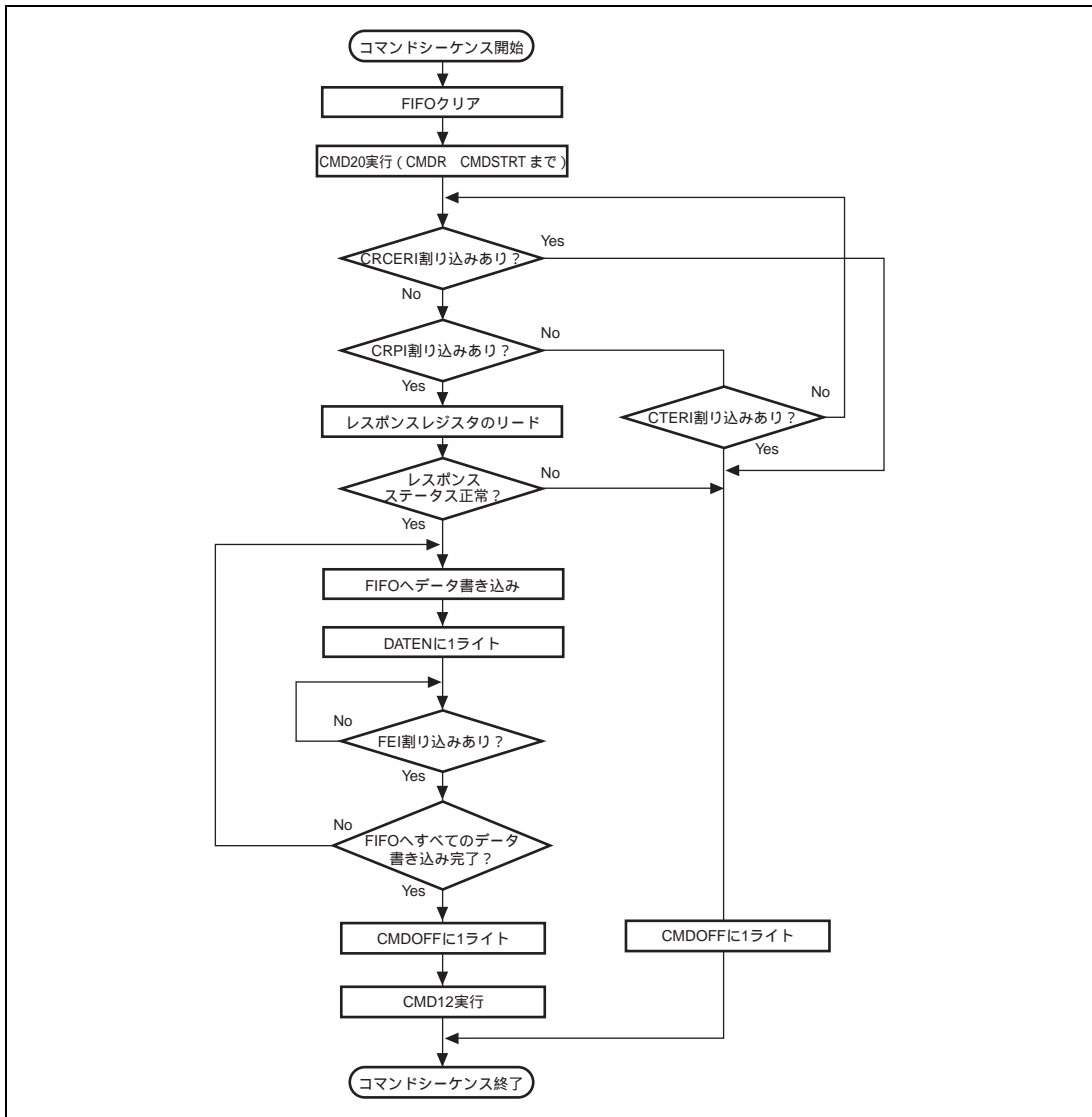


図 31.22 ライトデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)

## 31.5 DMAC 使用時の動作説明

### 31.5.1 リードシーケンス時の動作

DMAC を用いてデータ転送を行うときは、DMAC の各設定後、MMCIF (DMACR) の設定を行ってください。DMACR の設定後、リードコマンドを送信してください。

図 31.23 ~ 図 31.26 にリードシーケンスフローチャートを例に示します。

- FIFOをクリアし、DMACRを設定します。
- リードコマンド送出を開始します。
- カードからコマンドレスポンスを受信します。
- カードからリードデータを受信します。
- リードシーケンス終了後、FIFOにはデータが残っています。必要であれば、FIFO内のデータすべてをリードできるようにDMACRのSET[2:0]に100をライトします。
- DMACの転送が完了したことを確認し、DMACRのDMAENビットに0をセットします。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定してください。
- リードデータ受信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

また、DMA 使用時は、DMACR の AUTO ビットに1を設定することにより、pre-defined マルチブロック転送のブロック終了後に正常にリードできたことを検出できたら、次のブロックのリードを自動で再開します。図 31.27 にオートモードを用いるときの pre-defined マルチリードシーケンスフローチャートを MMC モードを例に示します。

- FIFOをクリアします。
- (TBNCR) にブロック数を設定します。
- DMACRを設定します。
- リードコマンド送出を開始します。
- カードからコマンドレスポンス、リードデータを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、マルチブロック転送 (pre-defined) 完了 (BTI) フラグで検出します。
- コマンドシーケンス中 (データ受信中) のエラーはCRCエラーフラグ、データタイムアウトフラグにより、検出します。これらのフラグを検出したときはOPCRのCMDOFFビットを1にセットして、CMD12を発行しコマンドシーケンスを中止します。
- リードシーケンス終了後、FIFOにはデータが残っています。必要であれば、FIFO内のデータすべてをリードできるようにDMACRのSET[2:0]に100をライトします。
- DMACの転送が完了したことを確認し、DMACRのDMAENビットに0をセットします。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI)

発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定してください。

- リードデータ受信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

- 【注】
1. DMAC からの FIFO へのアクセスは、バイトまたはワードアクセスを行ってください。
  2. マルチブロック転送において、コマンドレスポンス受信終了 (CRPI) 前にコマンドシーケンスを終了 (CMDOFFビットに1をライト) した場合、コマンドレスポンスを正常に受信できません。コマンドレスポンスを受信する場合は、コマンドレスポンス受信終了までコマンドシーケンスを継続 (RD\_CONTI ビットを1にセット) してください。

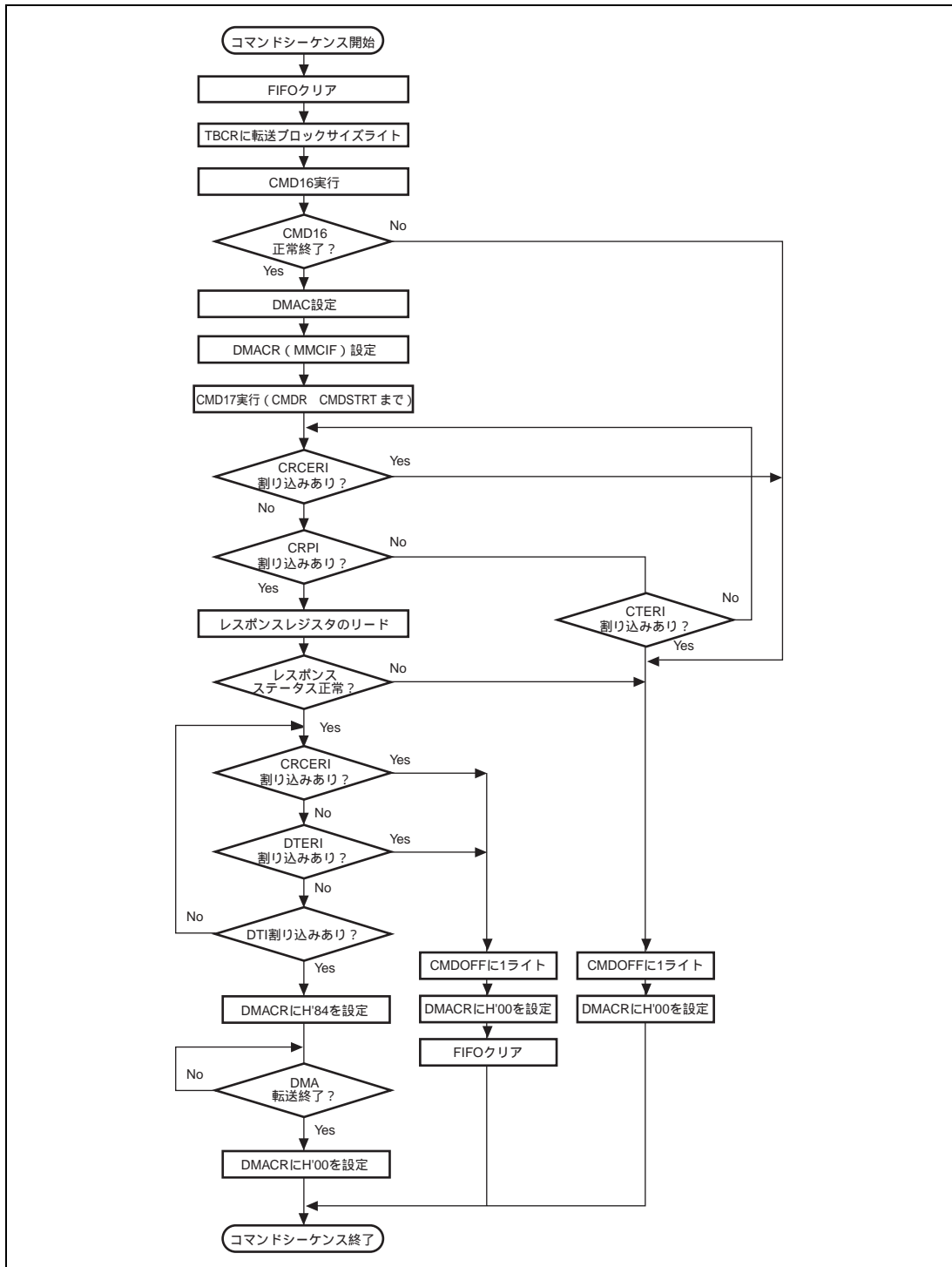


図 31.23 リードシーケンスフローチャートの例 (シングルブロック転送)

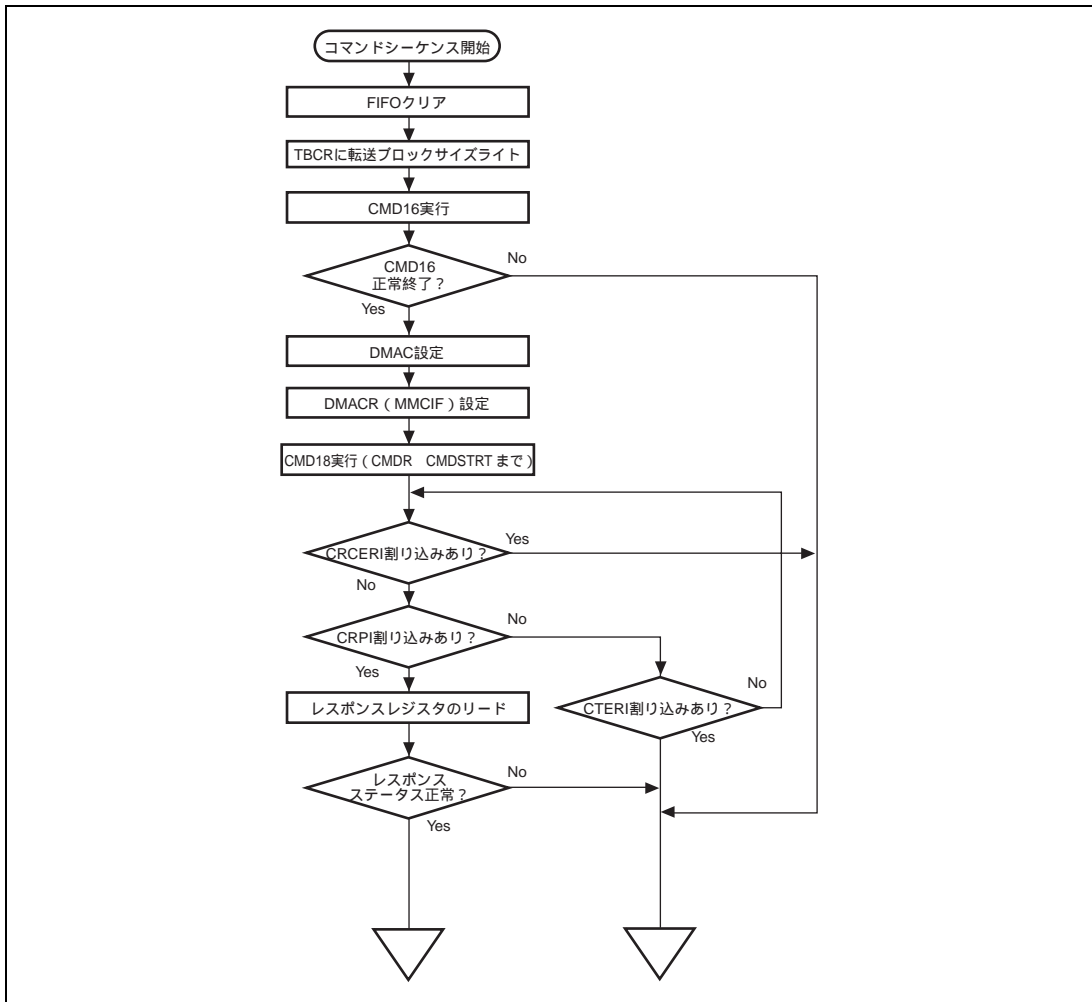


図 31.24 (1) リードシーケンスフローチャートの例 (open-ended マルチブロック転送)

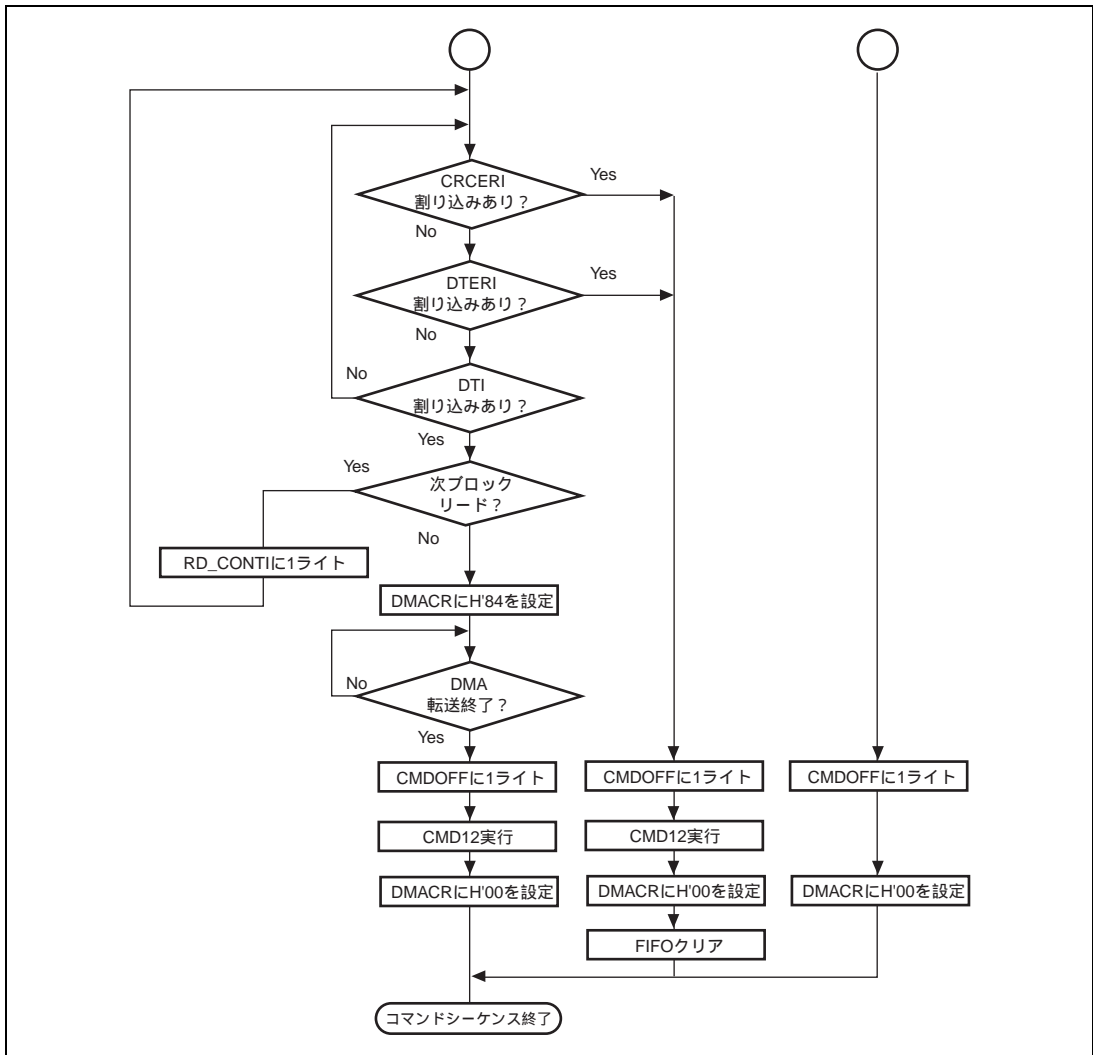


図 31.24 (2) リードシーケンスフローチャートの例 (open-ended マルチブロック転送)

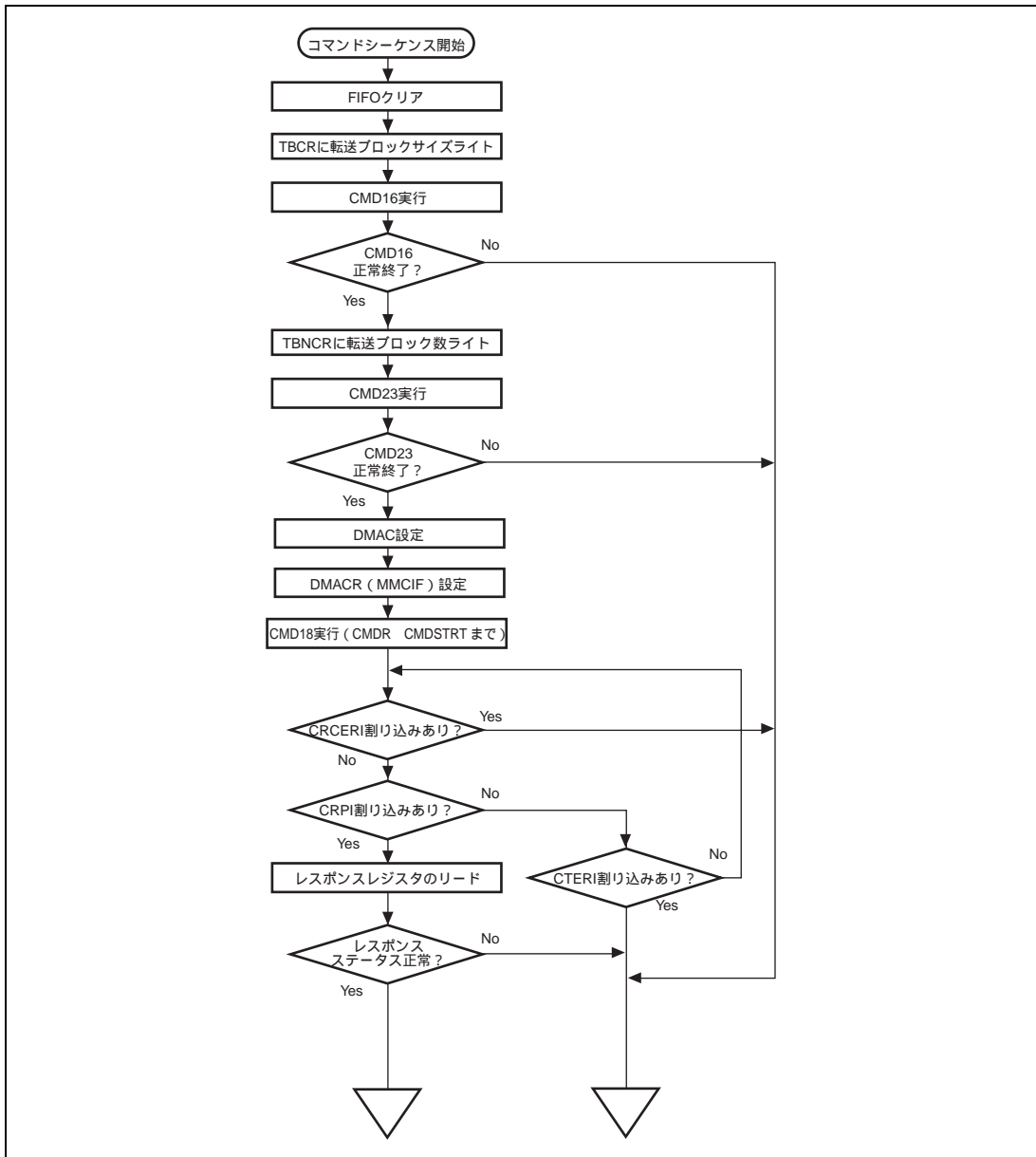


図 31.25 (1) リードシーケンスフローチャートの例 (pre-defined マルチブロック転送)

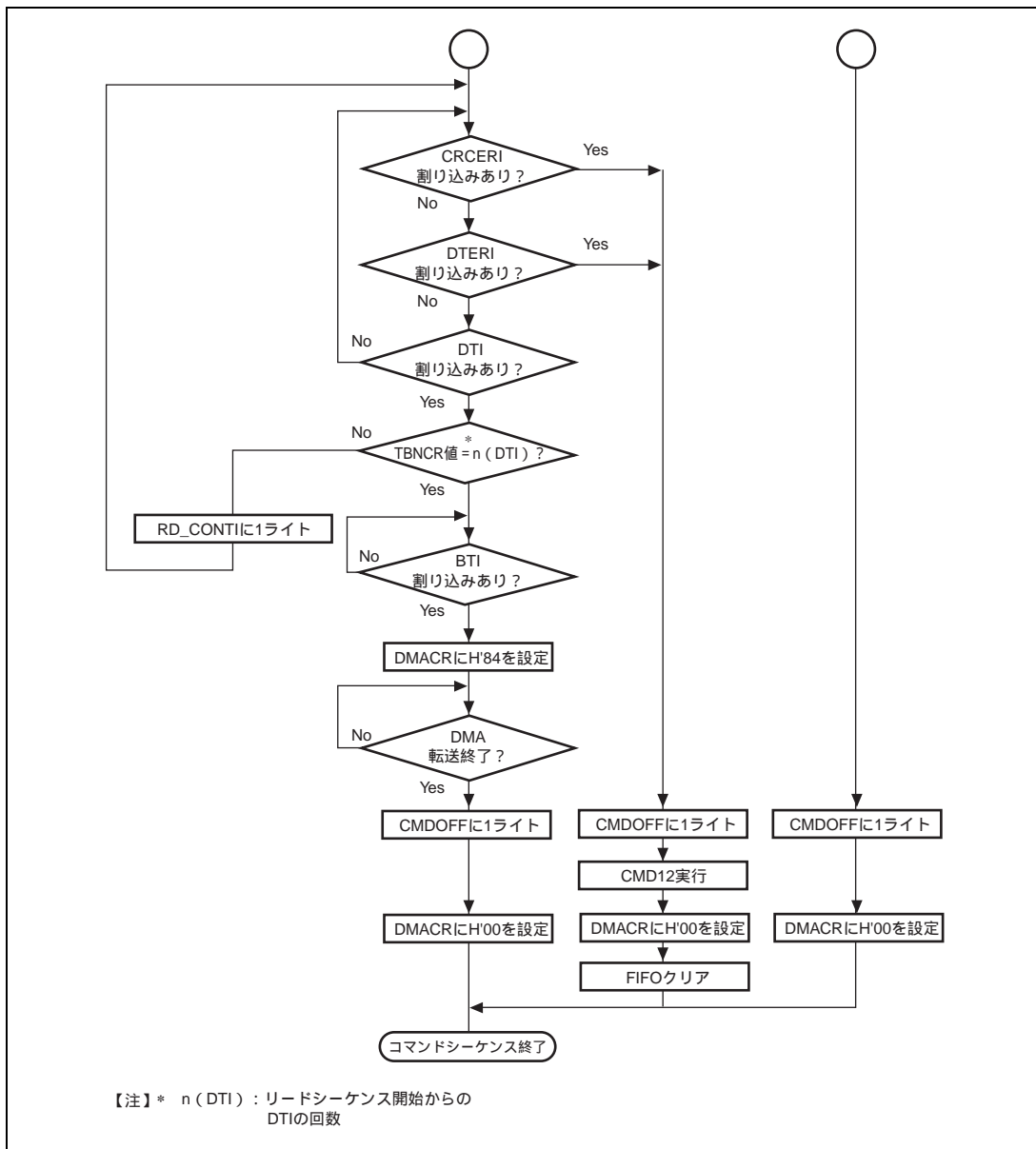


図 31.25 (2) リードシーケンスフローチャートの例 (pre-defined マルチブロック転送)



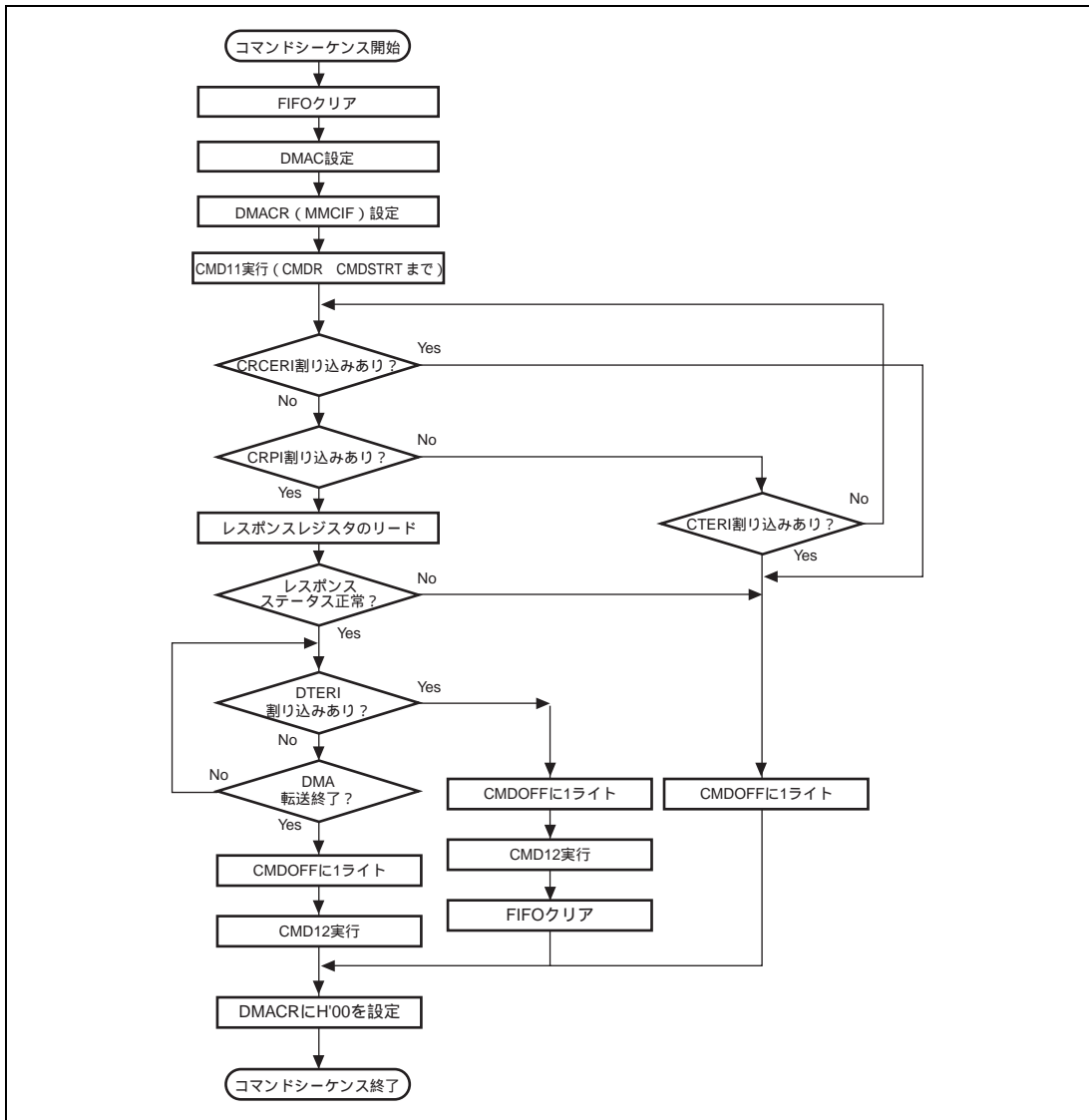


図 31.26 リードシーケンスフローチャートの例 (ストリームリード転送)

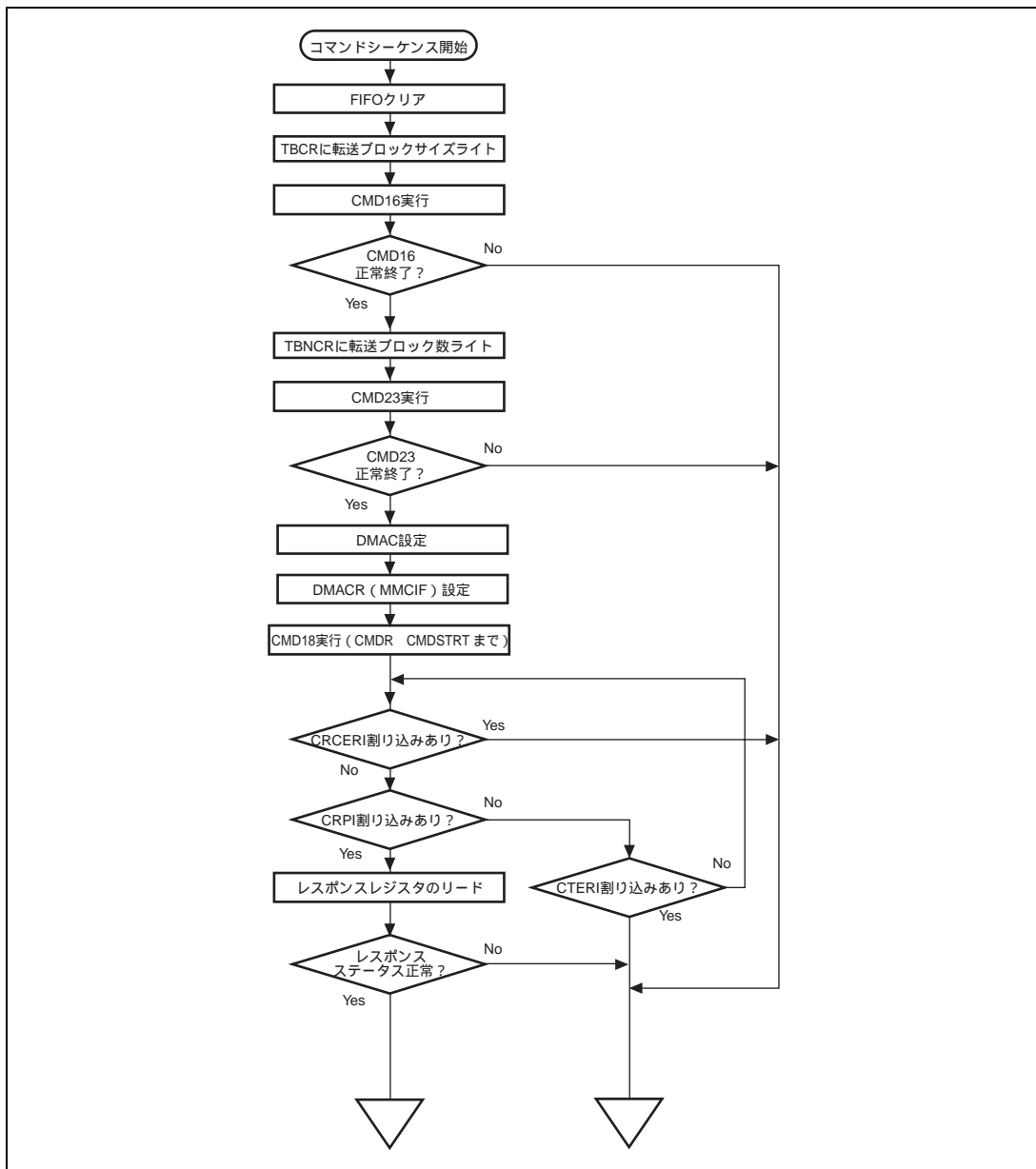


図 31.27 (1) オートモード pre-defined マルチブロックリード転送の動作フローの例

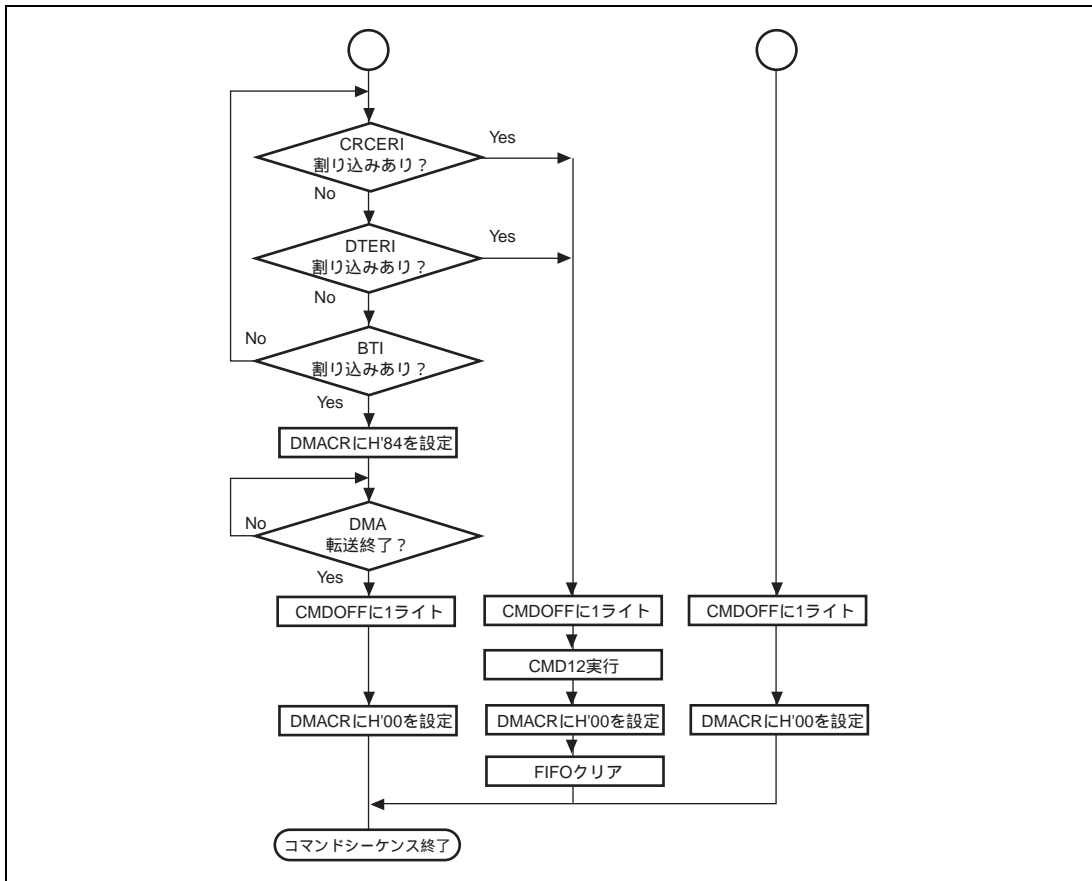


図 31.27 (2) オートモード pre-defined マルチブロックリード転送の動作フローの例

### 31.5.2 ライトシーケンス時の動作

DMAC を用いてデータ転送を行うときは、DMAC の各設定後、MMCIF (DMACR) の設定を行ってください。DMACR の設定後、DMACR に設定したしきい値以上のデータを FIFO に書き込むと FIFO 準備完了フラグが発生します。このフラグ発生後にカードへの転送を開始してください。図 31.28 ~ 図 31.31 にライトシーケンスフローチャートを MMC モードを例に示します。

- FIFOをクリアします。
- ライトコマンドを送出します。
- DMACRの設定を行い、FIFOにライトデータをセットします。
- DMACR設定条件以上のデータがFIFOに書き込まれているかをFIFO準備完了フラグ (FRDYI)により確認後、または、DMACがすべてのデータをFIFOに書き込んだことを確認後、OPCRのDATAENビットを1にセットして、ライトデータの送信を開始します。
- DMACによるすべての転送完了を確認し、必ずDMACRのDMAENビットに0をセットしてください。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。
- ライトデータ送信時のCRCエラー (CRCERI)、ライトエラー (WRERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、FIFOをクリアし、DMACRにH'00を設定してください。

また、DMA 使用時は、DMACR の AUTO ビットに1を設定することにより、pre-defined マルチブロック転送のブロック間割り込み処理の部分をハードで行うことが可能です。図 31.32 にオートモードを用いるときの pre-defined マルチライトシーケンスフローチャートを MMC モードを例に示します。

- FIFOをクリアします。
- (TBNCR) にブロック数を設定します。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出手を開始します。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- DMACRの設定を行い、FIFOにライトデータをセットします。
- DMACによるすべての転送完了を確認し、DMACRのDMAENビットに0をセットしてください。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、マルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- コマンドシーケンス中 (データ送信中) のエラーはCRCエラーフラグ (CRCERI)、データタイムアウトエラーフラグにより検出します。これらの割り込みを検出したときはOPCRのCMDOFFビットを1にセットして、CMD12を発行しコマンドシーケンスを中止します。
- データビジーでないことを確認します。データビジーのときは、データビジー終了フラグ (DBSYI) でデータビジー状態を検出します。

- さらにデータ転送終了後 (DRPI検出後) CSTRのDTBUSYにより、データビジーであるか否かの判定を行い、データビジーであれば、データビジー状態の終了を、データビジー終了フラグ (DBSYI) で検出します。
- CMDOFFビットに1をセットし、コマンドシーケンスを終了します。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。
- ライトデータ送信時のCRCエラー (CRCERI) 発生時、ライトエラー (WRERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

【注】 DMAC からの FIFO へのアクセスは、バイトまたはワードアクセスを行ってください。

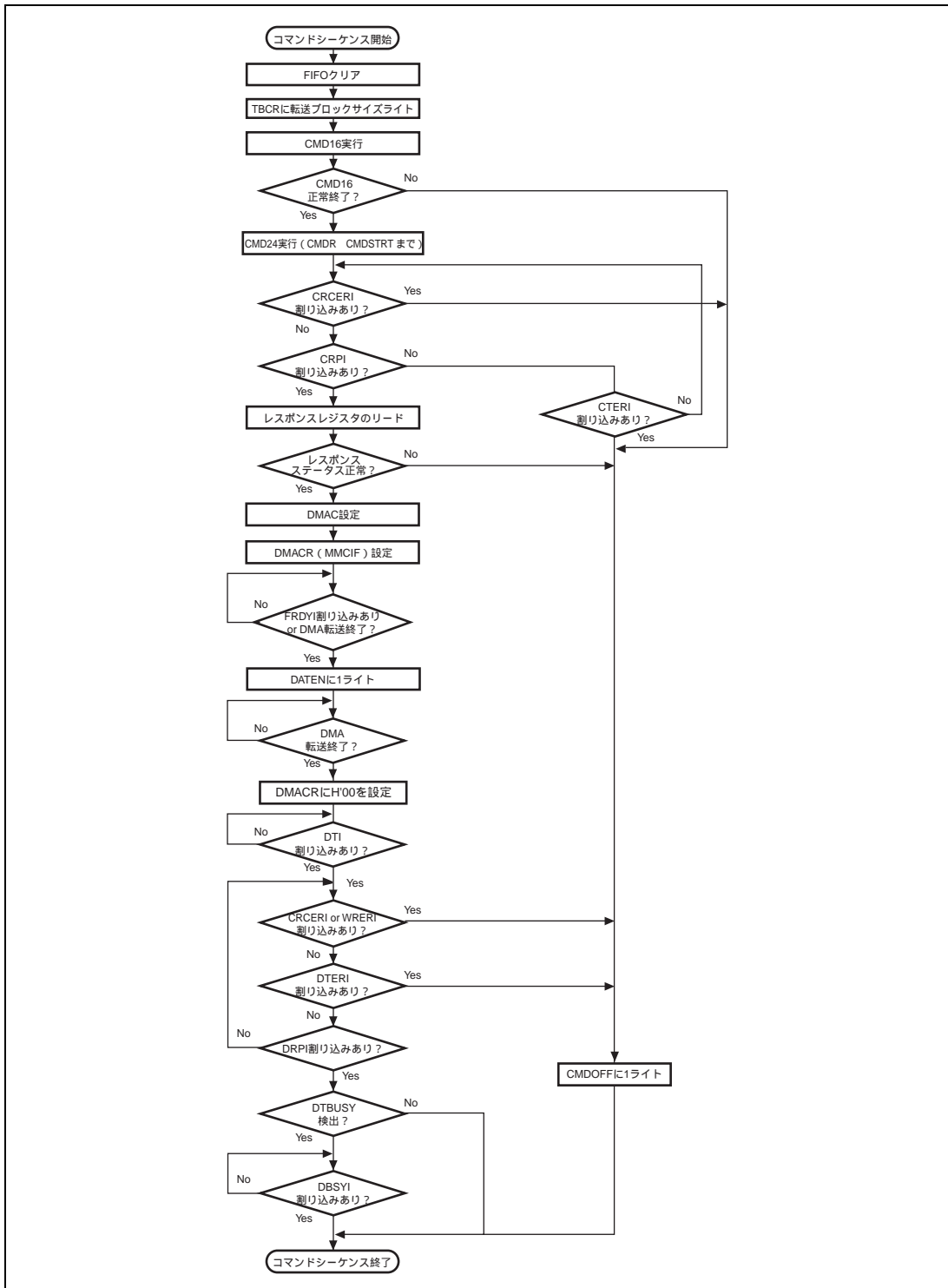


図 31.28 ライトシーケンスフローチャートの例 (シングルブロック転送)

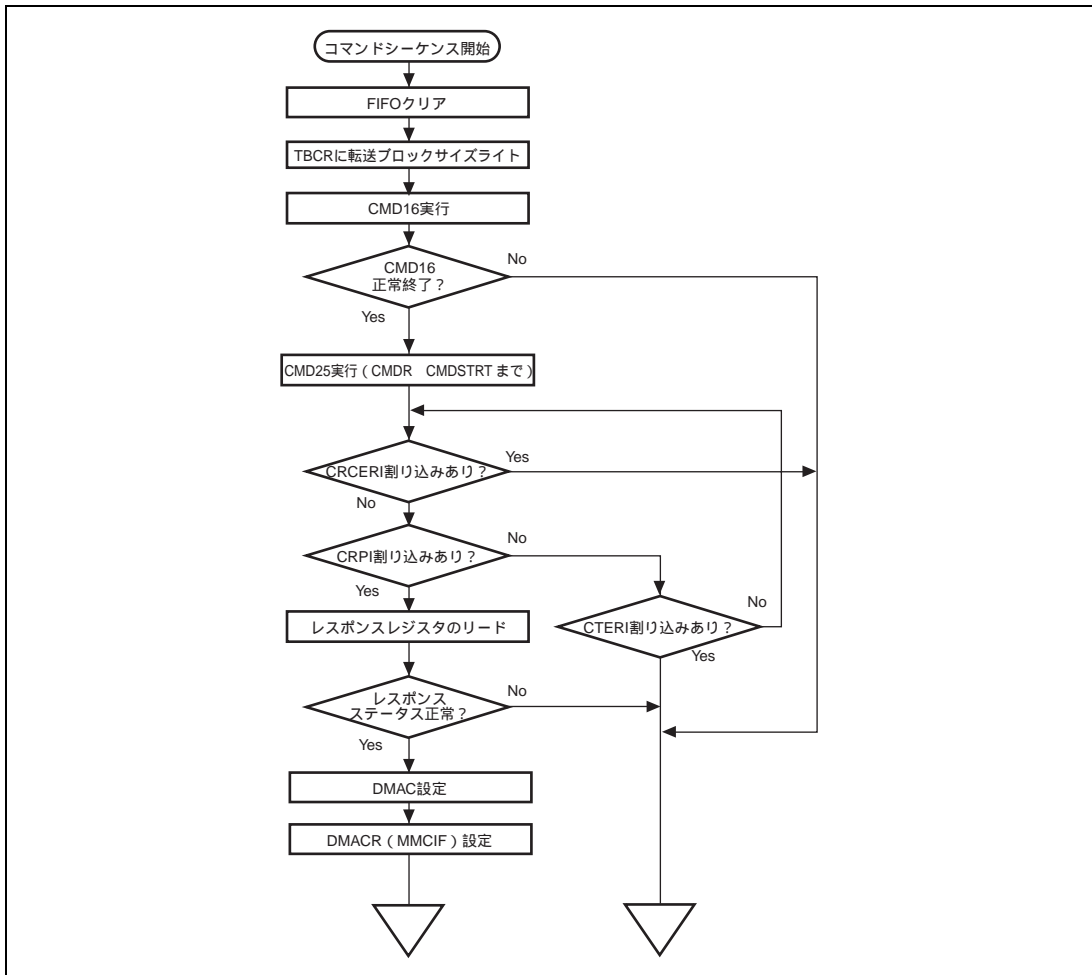


図 31.29 (1) ライトシーケンスフローチャートの例 (open-ended マルチブロック転送)

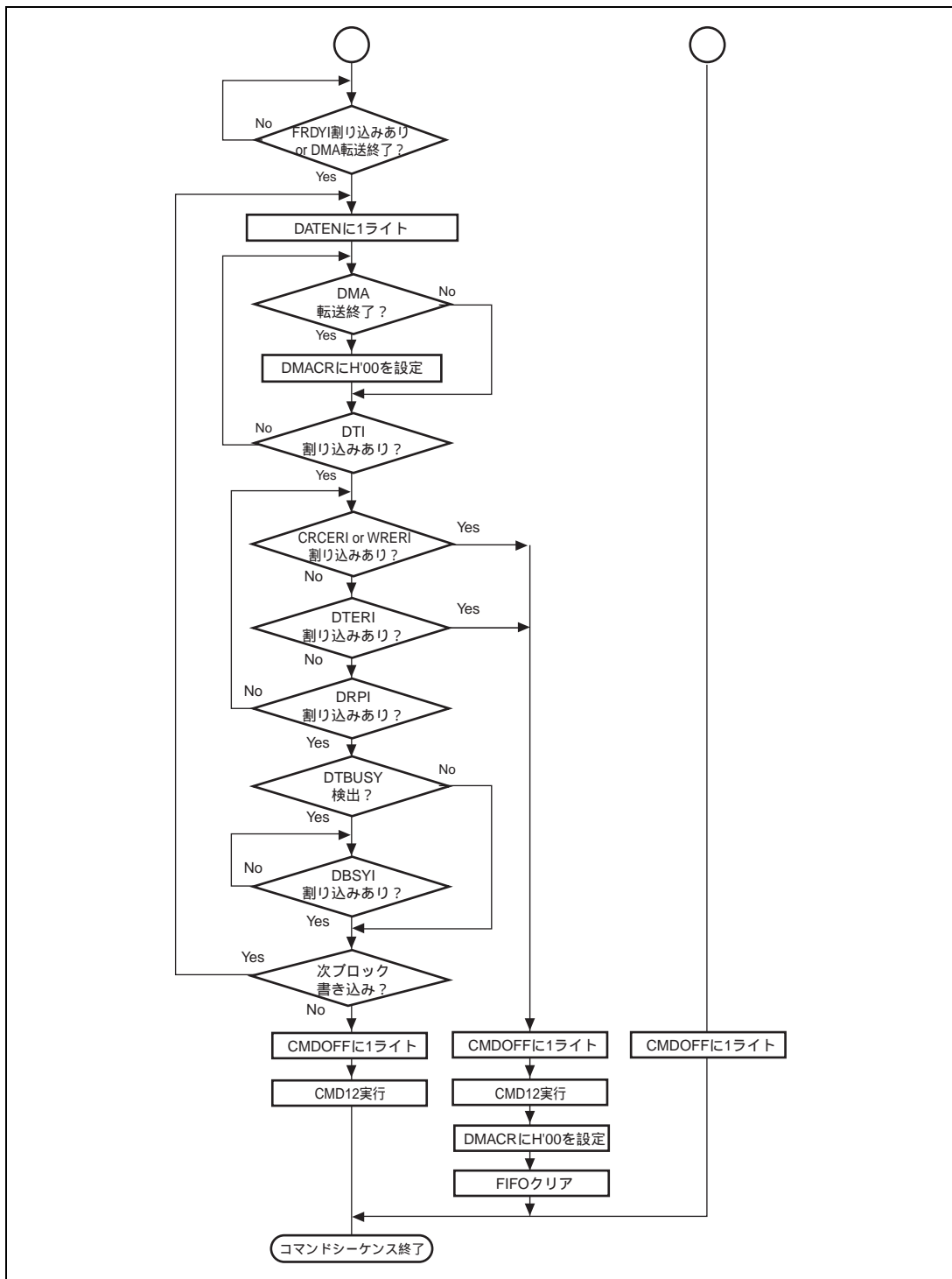


図 31.29 (2) ライトシーケンスフローチャートの例 (open-ended マルチブロック転送)



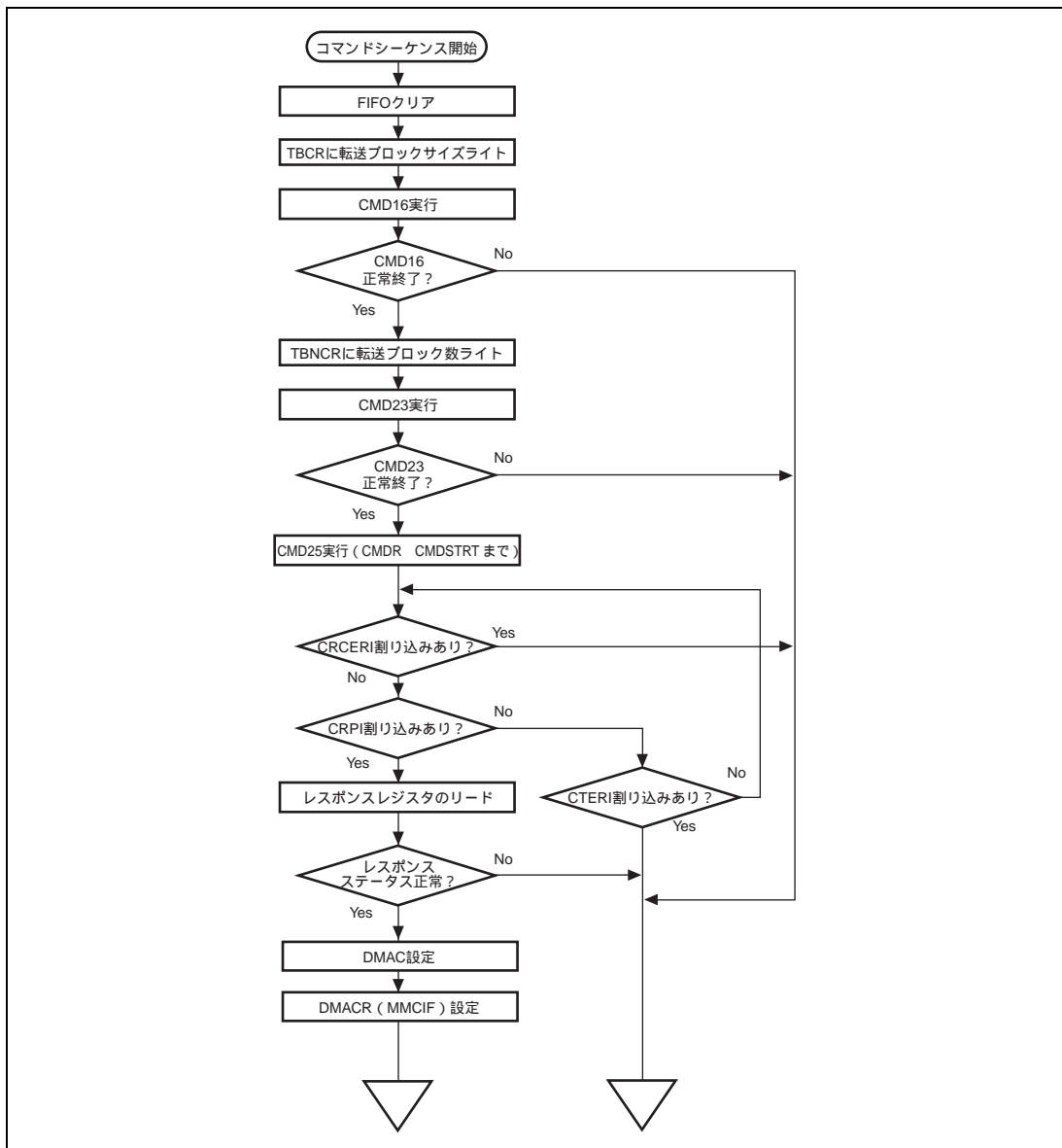


図 31.30 (1) ライトシーケンスフローチャートの例 (pre-defined マルチブロック転送)

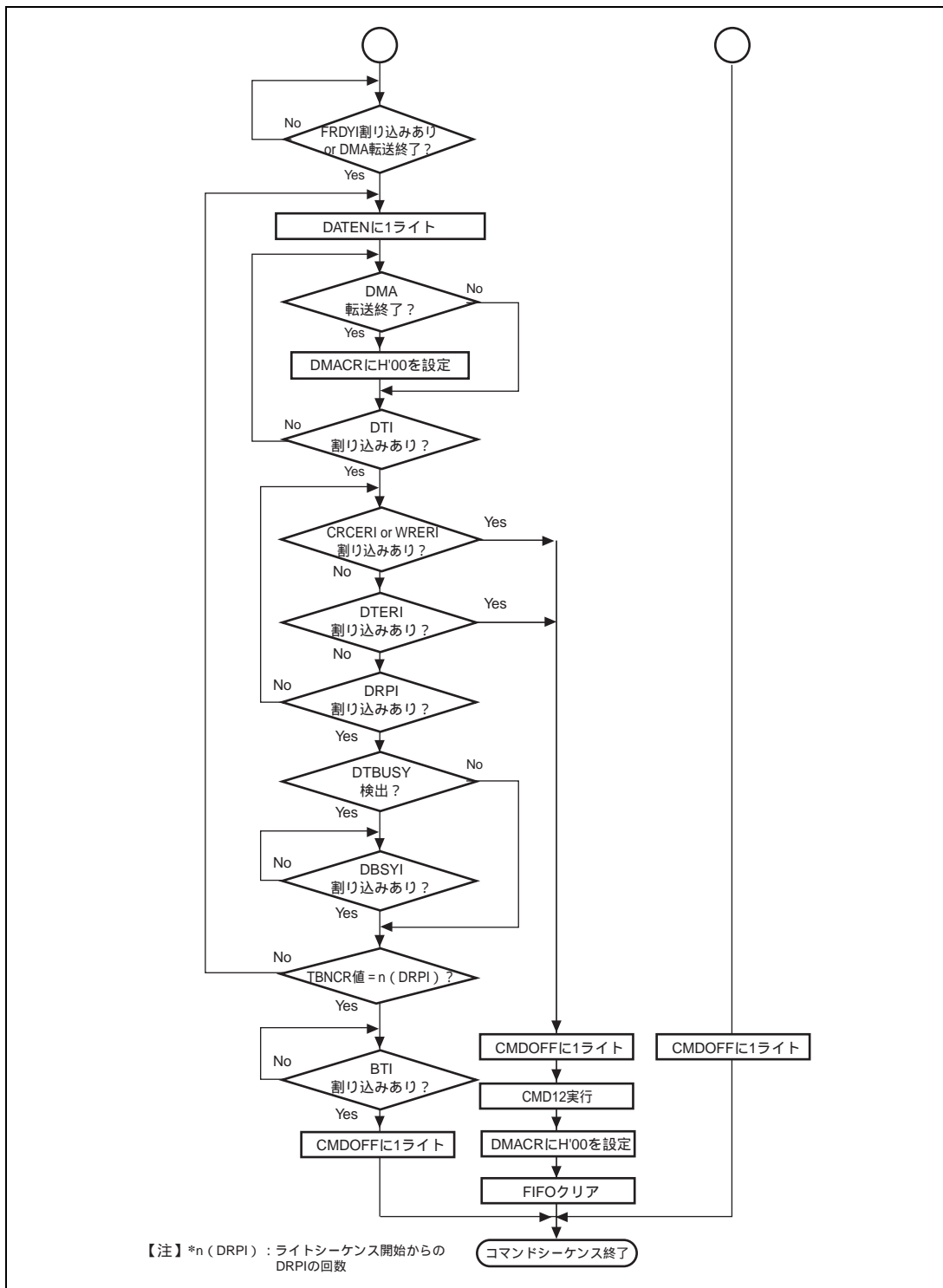


図 31.30 (2) ライトシーケンスフローチャートの例 (pre-defined マルチブロック転送)

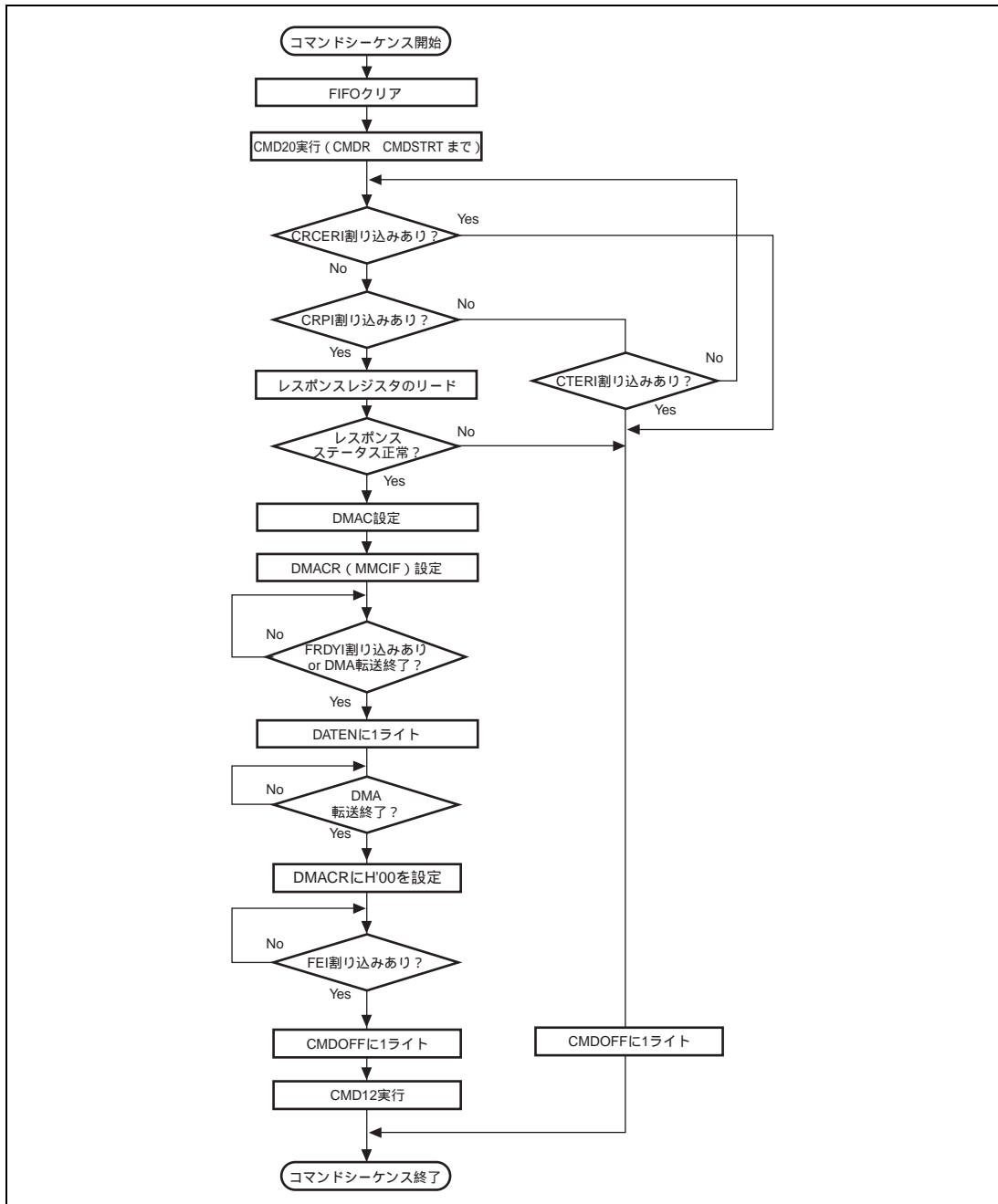


図 31.31 ライトシーケンスフローチャートの例 (ストリームライト転送)

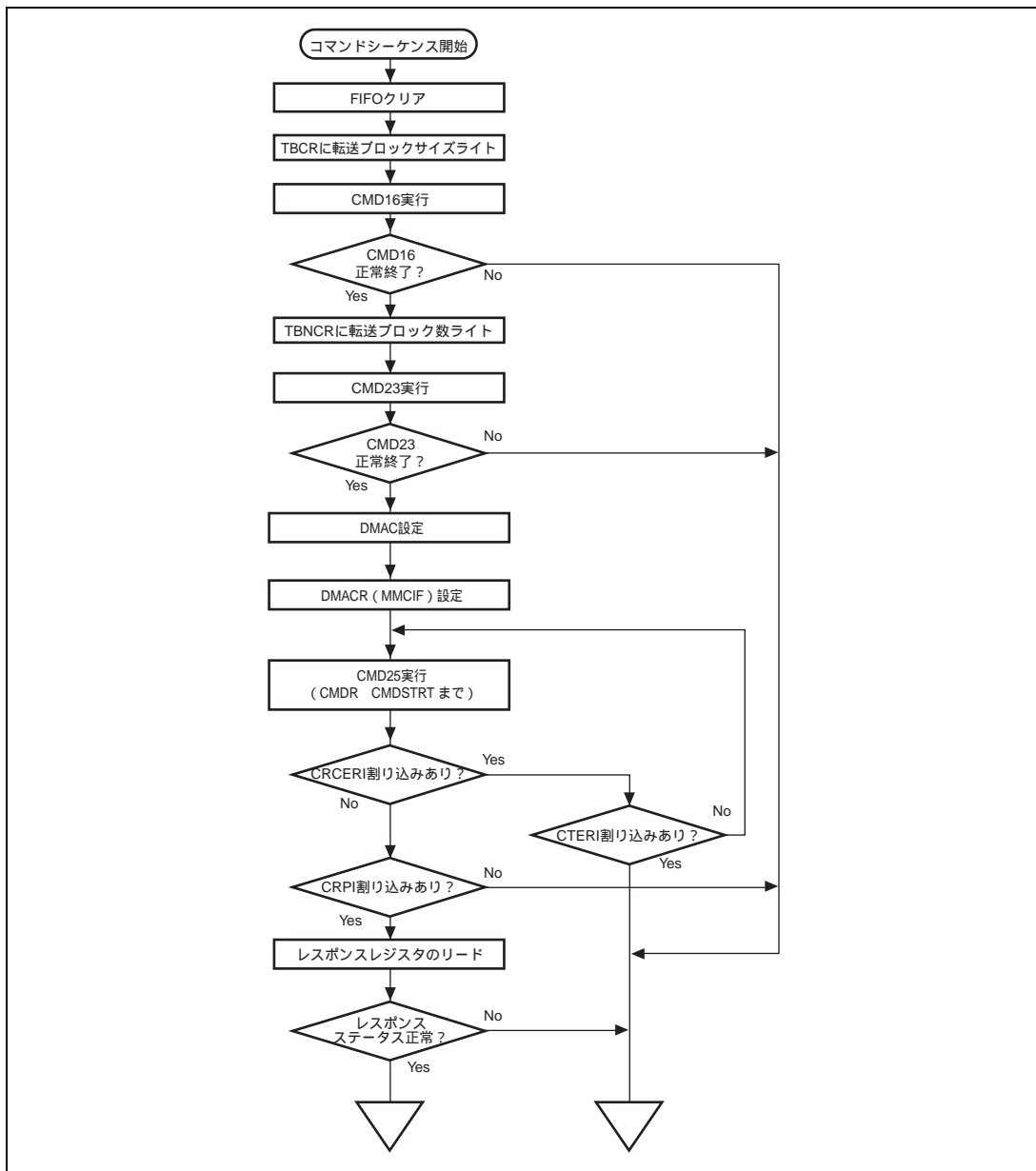


図 31.32 (1) オートモード pre-defined マルチブロックライト転送動作フローチャートの例

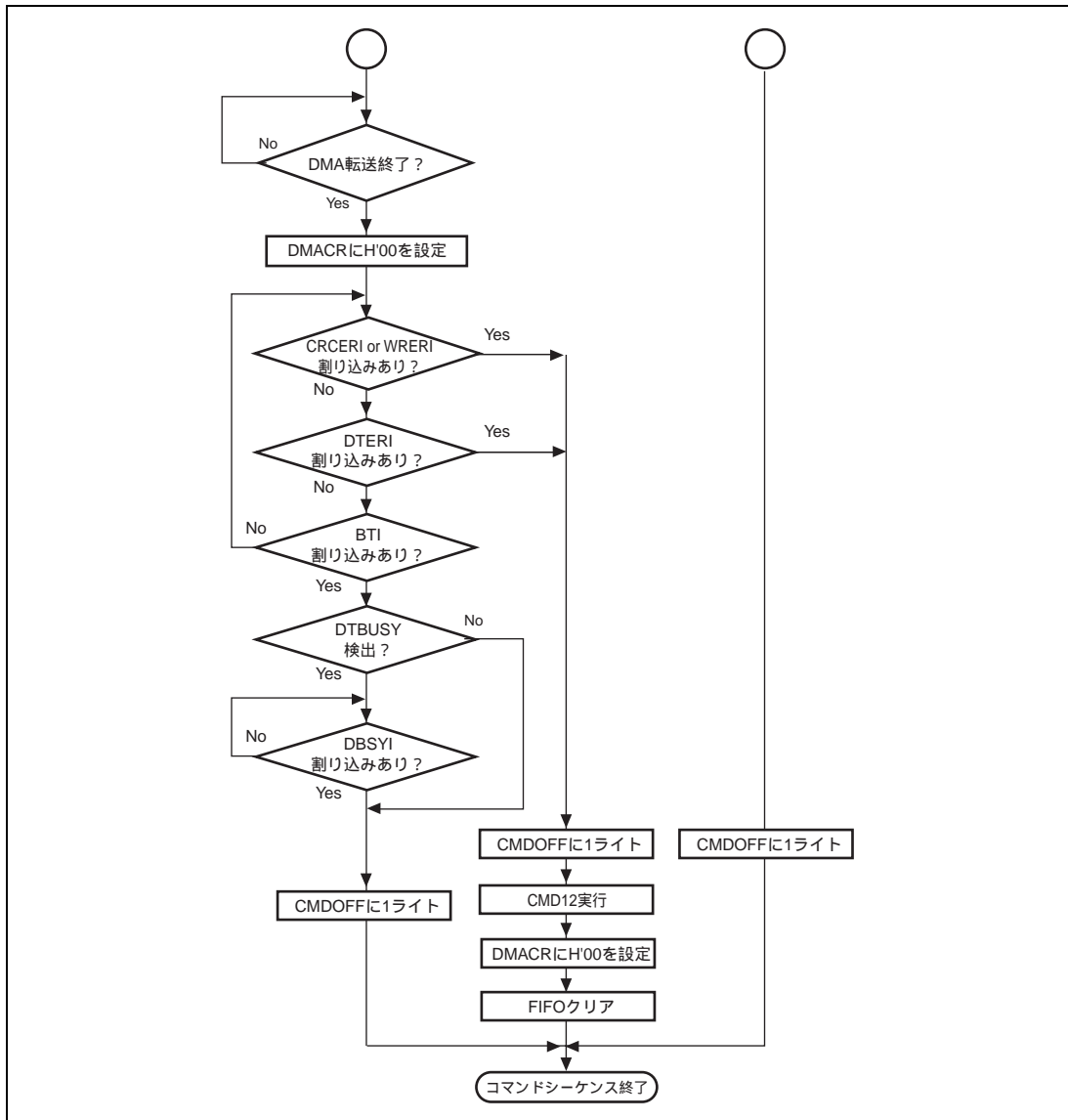


図 31.32 (2) オートモード pre-defined マルチブロックライト転送動作フローチャートの例

## 31.6 MMCIF 割り込み要因

表 31.5 に MMCIF の割り込み要因を示します。割り込み要因は 4 グループに分類されており、4 つの割り込みベクタが割り当てられています。各割り込み要因は、INTCR0、1、2 のイネーブルビットにより独立にイネーブルにすることができます。ディスエーブルにされた割り込み要因は、フラグをセットしません。

表 31.5 MMCIF 割り込み要因

名 称	割り込み要因	割り込みフラグ
MMCI0	ライトエラー	WRERI
	CRC エラー*	CRCERI*
	データタイムアウトエラー	DTERI
	コマンドタイムアウトエラー	CTERI
MMCI2	FIFO エンプティ	FEI
	FIFO フル	FFI
MMCI1	データレスポンス	DPRI
	データ転送終了	DTI
	コマンドレスポンス終了	CRPI
	コマンド出力終了	CMDI
	データビジー終了	DBSYI
	ブロック転送終了	BTI
MMCI3	FIFO 準備完了	FRDYI

【注】 \* R2 コマンドレスポンスの CRC エラーは除く

---

## 32. SSL アクセラレータ (SSL)

---

SSL アクセラレータ (SSL : Secure Socket Layer) は、SSL での暗号化通信を効率よく行うために、公開鍵暗号によるデジタル署名を行う RSA 演算 (RSA : Rivest Shamir Adleman)、通信路上のデータの機密を保持するための共有鍵暗号である DES (Data Encryption Standard) および Triple-DES の暗号・復号を行います。

RSA 演算器では、512 ビット幅の RSA の演算 (多倍長整数を利用したべき乗剰余演算) 以外に 32~512 ビット幅の加減算・乗算、512 ビット幅の各種マクロ演算を行うことができます。

SSL アクセラレータは 56 ビット以上の暗号鍵を使用できるため、外国貿易管理法の該当貨物に当たります。

SSL アクセラレータの詳細な機能仕様書を必要とされるお客様は、担当営業までご連絡ください。





---

## 33. ユーザブ레이크コントローラ ( UBC )

---

ユーザブ레이크コントローラ ( UBC ) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはデータの読み出し書き込み、データのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

### 33.1 特長

#### 1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数 : 2チャンネル ( チャンネルAとB )

ユーザブ레이크は、チャンネルA、B独立に、または連続した ( シーケンシャル ) 一つの条件として設定することができます ( シーケンシャルブ레이크設定 : チャンネルAのブ레이크条件が一致した後チャンネルBのブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき ) 。

#### • アドレス

ASIDとアドレス32ビットから構成された40ビットの比較において、ASIDは全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス32ビットの比較はビットごとにマスク可能で、ユーザは下位12ビット ( 4kページ )、下位10ビット ( 1kページ )、あるいは任意の大きさのページ等でアドレスをマスク可能です。

4本のアドレスバス ( Lバスアドレス ( LAB )、Iバスアドレス ( IAB )、Xメモリアドレスバス ( XAB ) およびYメモリアドレスバス ( YAB ) ) の1つを選択できます。

#### • データ

チャンネルBのみ、32ビットマスク可能。

4本のデータバス ( Lバスデータ ( LDB )、Iバスデータ ( IDB )、Xメモリデータバス ( XDB )、およびYメモリデータバス ( YDB ) ) の1つを選択可能です。

#### • バスサイクル

命令フェッチまたはデータアクセス

#### • 読み出しまたは書き込み

#### • オペランドサイズ

バイト、ワード、およびロングワードをサポート。

2. ユーザ指定のユーザブレーク条件例外処理ルーチンを実行可能。
3. 命令フェッチサイクルにおいて、ブレークを命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブレーク条件 (チャンネルBに対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。
5. 8組の分岐元 / 分岐先バッファをサポート。

UBC のブロック図を図 33.1 に示します。

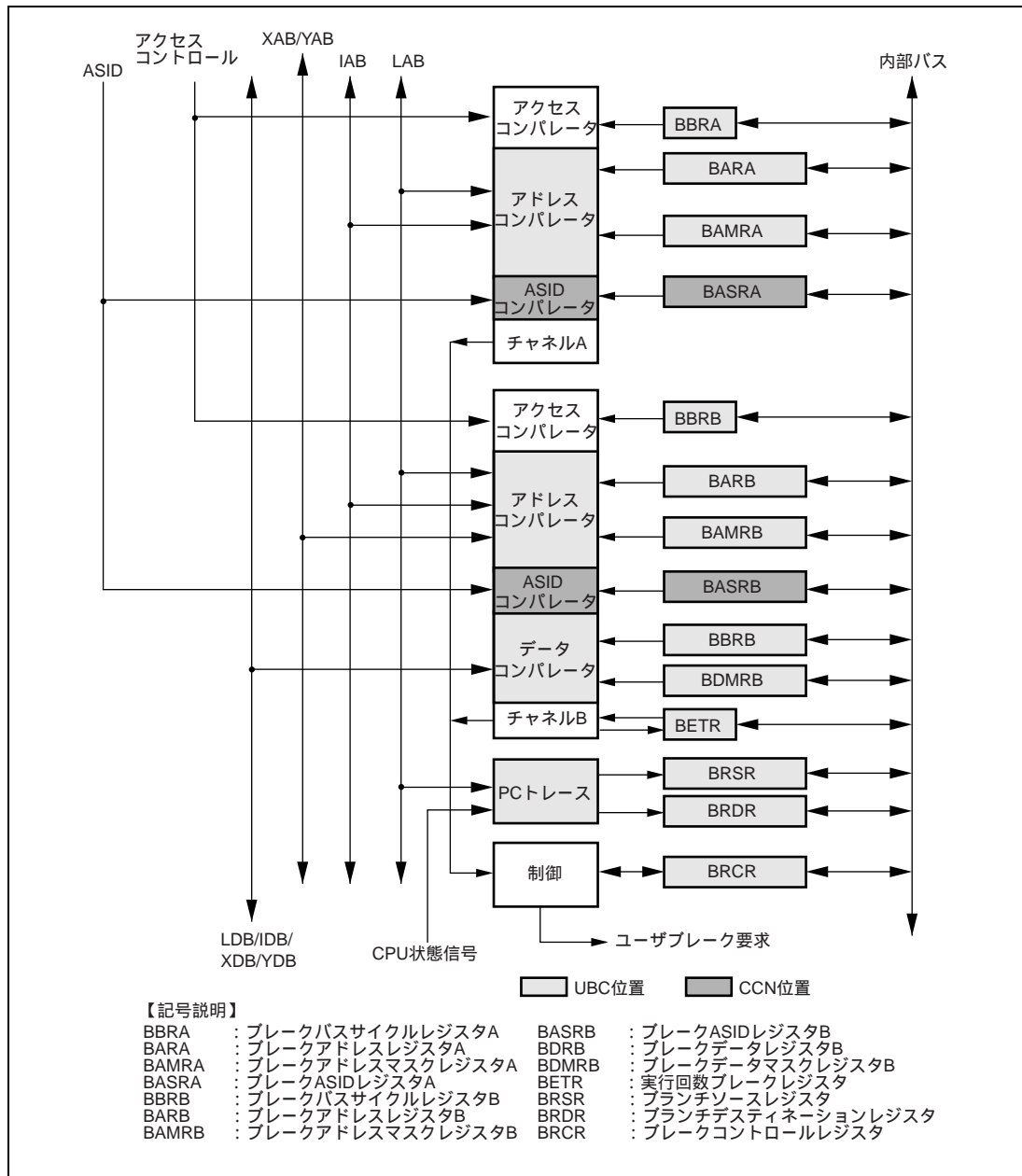


図 33.1 UBC のブロック図

## 33.2 レジスタの説明

UBC には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ブレークアドレスレジスタA (BARA)
- ブレークアドレスマスクレジスタA (BAMRA)
- ブレークバスサイクルレジスタA (BBRA)
- ブレークアドレスレジスタB (BARB)
- ブレークアドレスマスクレジスタB (BAMRB)
- ブレークバスサイクルレジスタB (BBRB)
- ブレークデータレジスタB (BDRB)
- ブレークデータマスクレジスタB (BDMRB)
- ブレークコントロールレジスタ (BRCR)
- 実行回数ブレークレジスタ (BETR)
- ブランチソースレジスタ (BRSR)
- ブランチデスティネーションレジスタ (BRDR)
- ブレークASIDレジスタA (BASRA)
- ブレークASIDレジスタB (BASRB)

### 33.2.1 ブレークアドレスレジスタ A (BARA)

BARA は、32 ビットの読み出しまたは書き込み可能なレジスタです。BARA は、チャンネル A のブレーク条件とするアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31-0	BAA31~ BAA0	すべて 0	R/W	ブレークアドレス A チャンネル A のブレーク条件を指定する LAB または IAB のアドレスを格納します。

### 33.2.2 ブレークアドレスマスクレジスタ A (BAMRA)

BAMRA は 32 ビットの読み出しまたは書き込み可能なレジスタです。BAMRA は、BARA によって指定されるブレークアドレスビットのうち、マスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAMA31 ~ BAMA0	すべて 0	R/W	ブレークアドレスマスク A BARA (BAA31 ~ BAA0) によって指定されるチャンネル A のブレークアドレスビットのうち、マスクするビットを指定します。 0: ブレークアドレスビット BAA <sub>n</sub> は、ブレーク条件に含まれる 1: ブレークアドレスビット BAA <sub>n</sub> はマスクされ、ブレーク条件に含まれない 【注】n=31~0

### 33.2.3 ブレークバスサイクルレジスタ A (BBRA)

BBRA は、チャンネル A のブレーク条件として (1) L バスサイクルまたは I バスサイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、および (4) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7 6	CDA1 CDA0	0 0	R/W R/W	L バスサイクル / I バスサイクルセレクト A チャンネル A ブレーク条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、L バスサイクル 10: ブレーク条件は、I バスサイクル 11: ブレーク条件は、L バスサイクル
5 4	IDA1 IDA0	0 0	R/W R/W	命令フェッチ / データアクセスセレクト A チャンネル A ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、命令フェッチサイクル 10: ブレーク条件は、データアクセスサイクル 11: ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル

ビット	ビット名	初期値	R/W	説明
3 2	RWA1 RWA0	0 0	R/W R/W	読み出し / 書き込みセレクト A チャンネル A ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は、読み出しサイクル 10 : ブレーク条件は、書き込みサイクル 11 : ブレーク条件は、読み出しサイクルまたは書き込みサイクル
1 0	SZA1 SZA0	0 0	R/W R/W	オペランドサイズセレクト A チャンネル A ブレーク条件のバスサイクルのオペランドサイズを選択します。 00 : ブレーク条件には、オペランドサイズを含まない 01 : ブレーク条件は、バイトアクセス 10 : ブレーク条件は、ワードアクセス 11 : ブレーク条件は、ロングワードアクセス

### 33.2.4 ブレークアドレスレジスタ B (BARB)

BARB は、32 ビットの読み出しまたは書き込み可能なレジスタです。チャンネル B のブレーク条件とするアドレスを指定します。ブレーク条件 B の対象とするアドレスバスは 4 種類あり、ブレークバスサイクルレジスタ B (BBRB) の制御ビット CDB1、CDB0、XYE および XY5 により選択します。

ビット	ビット名	初期値	R/W	説明
31~0	BAB31~ BAB0	すべて 0	R/W	ブレークアドレス B チャンネル B のブレーク条件を指定するアドレスを指定します。 BBRB により I バスまたは L バスを選択した場合は、BAB31 ~ BAB0 に IAB または LAB のアドレスを指定します。 BBRB により X メモリを選択した場合は、BAB31 ~ BAB17 に XAB のビット 15 ~ 1 の値を設定します。このとき、BAB16 ~ BAB0 の値は任意です。 BBRB により Y メモリを選択した場合は、BAB15 ~ BAB1 に YAB のビット 15 ~ 1 の値を設定します。このとき、BAB31 ~ BAB16 および BAB0 の値は任意です。

表 33.1 ブレークアドレスレジスタの指定

BBRB でのバス選択	BAB31 ~ BAB17	BAB16	BAB15 ~ BAB1	BAB0
L バス	LAB31 ~ LAB0			
I バス	IAB31 ~ IAB0			
X バス	XAB15 ~ XAB1	don't care	don't care	don't care
Y バス	don't care	don't care	YAB15 ~ YAB1	don't care

### 33.2.5 ブ레이크アドレスマスクレジスタ B (BAMRB)

BAMRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。BAMRB は、BARB で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAMB31 ~ BAMB0	すべて 0	R/W	ブ레이크アドレスマスク B BARB (BAB31 ~ BAB0) によって指定されるチャンネル B のブ레이크アドレスビットのうち、マスクするビットを指定します。 0 : ブ레이크アドレスビット BABn は、ブ레이크条件に含まれる 1 : ブ레이크アドレスビット BABn はマスクされ、ブ레이크条件に含まれない 【注】n=31~0

### 33.2.6 ブ레이크データレジスタ B (BDRB)

BDRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。ブ레이크条件 B の対象とするデータバスは 4 種類あり、ブ레이크バスサイクルレジスタ B (BBRB) の制御ビット CDB1、CDB0、XYE および XY5 により選択します。

ビット	ビット名	初期値	R/W	説明
31~0	BDB31 ~ BDB0	すべて 0	R/W	ブ레이크データビット B チャンネル B のブ레이크条件を指定するデータを格納します。 BBRB により I バスを選択した場合は、BDB31 ~ BDB0 に IDB のブ레이크データを指定します。 BBRB により L バスを選択した場合は、BDB31 ~ BDB0 に LDB のブ레이크データを指定します。 BBRB により X メモリを選択した場合は、BDB31 ~ BDB16 に XDB のビット 15~0 のブ레이크データを設定します。このとき、BDB15 ~ BDB0 の値は任意です。 BBRB により Y メモリを選択した場合は、BDB15 ~ BDB0 に YDB のビット 15~0 のブ레이크データを設定します。このとき、BDB31 ~ BDB16 の値は任意です。

表 33.2 ブ레이크データレジスタの指定

BBRB でのバス選択	BDB31 ~ BDB16	BDB15 ~ BDB0
Lバス	LDB31 ~ LDB0	
Iバス	IDB31 ~ IDB0	
Xバス	XDB15 ~ XDB0	don't care
Yバス	don't care	YDB15 ~ YDB0

- 【注】
1. ブ레이크条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
  2. ブ레이크条件としてバイトサイズを指定する場合は、BDRB におけるブ레이크データとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。
  3. MOV.S.W @-As,Ds、MOV.S.W @As,Ds、MOV.S.W @As+,Ds、および MOV.S.W @As+Ix,Ds 命令に対する L バス上のブ레이크条件として、データバスの値を含める場合は、ビット 31~16 にデータをセットしてください。

### 33.2.7 ブ레이크データマスクレジスタ B (BDMRB)

BDMRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。BDMRB は、BDRB で指定するブ레이크データビットのうちマスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BDMB31 ~ BDMB0	すべて 0	R/W	ブ레이크データマスク B BDRB (BDB31 ~ BDB0) によって指定されるチャンネル B のブ레이크データビットのうちマスクするビットを指定します。 0: ブ레이크データビット BDBn は、ブ레이크条件に含まれる 1: ブ레이크データビット BDBn はマスクされ、ブ레이크条件に含まれない 【注】n=31~0

- 【注】
1. ブ레이크条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
  2. ブ레이크条件としてバイトサイズを指定する場合は、BDMRB におけるブ레이크マスクデータとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。
  3. MOV.S.W @-As,Ds、MOV.S.W @As,Ds、MOV.S.W @As+,Ds、および MOV.S.W @As+Ix,Ds 命令に対する L バス上のブ레이크条件としてデータバスの値を含める場合は、ビット 31~16 にマスクデータをセットしてください。



### 33.2.8 ブレークバスサイクルレジスタ B (BBRB)

BBRB は、チャンネル B のブレーク条件として (1) X バスまたは Y バス、(2) L バスサイクルまたは I バスサイクル、(3) 命令フェッチまたはデータアクセス、(4) 読み出しまたは書き込み、および (5) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9	XYE	0	R/W	X メモリまたは Y メモリバスをチャンネル B のブレーク条件として選択します。ただし、CDB1, CDB0 で L バスを選択した場合にのみ有効です。X および Y の選択は XYS ビットで行います。 0 : チャンネル B ブレーク条件用に L バスを選択 1 : チャンネル B ブレーク条件用に X/Y メモリバスを選択
8	XYS	0	R/W	X バスまたは Y バスをチャンネル B ブレーク条件のバスとして選択します。 0 : チャンネル B ブレーク条件用に X バスを選択 1 : チャンネル B ブレーク条件用に Y バスを選択
7	CDB1	0	R/W	L バスサイクル / I バスサイクルセレクト B チャンネル B ブレーク条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は、L バスサイクル 10 : ブレーク条件は、I バスサイクル 11 : ブレーク条件は、L バスサイクル
6	CDB0	0	R/W	
5	IDB1	0	R/W	命令フェッチ / データアクセスセレクト B チャンネル B ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は、命令フェッチサイクル 10 : ブレーク条件は、データアクセスサイクル 11 : ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル
4	IDB0	0	R/W	
3	RWB1	0	R/W	読み出し / 書き込みセレクト B チャンネル B ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は、読み出しサイクル 10 : ブレーク条件は、書き込みサイクル 11 : ブレーク条件は、読み出しサイクルまたは書き込みサイクル
2	RWB0	0	R/W	

ビット	ビット名	初期値	R/W	説明
1	SZB1	0	R/W	オペランドサイズセレクト B
0	SZB0	0	R/W	チャンネル B ブレーク条件のバスサイクルのオペランドサイズを選択します。 00: ブレーク条件は、オペランドサイズを含まない 01: ブレーク条件は、バイトアクセス 10: ブレーク条件は、ワードアクセス 11: ブレーク条件は、ロングワードアクセス

### 33.2.9 ブレークコントロールレジスタ (BRCR)

BRCR は、次の条件を設定します。

1. チャンネル A と B を 2 つの独立したチャンネル条件か、あるいは 1 つの連続した条件として使用するかを指定します。
2. ブレークを命令実行の前に設定するか後に設定するかを指定します。
3. チャンネル B 比較条件に実行回数を含めるかどうかを指定します。
4. チャンネル B 比較条件にデータバスの値を含めるかどうかを決定します。
5. PCトレースをイネーブルにします。
6. ASIDチェックをイネーブルにします。

BRCR は、ブレーク条件一致フラグと種々のブレーク条件をセットするためのビットを持つ 32 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
31 ~ 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
21	BASMA	0	R/W	ブレーク ASID マスク A BASRA にセットされたチャンネル A ブレーク ASID7 ~ ASID0 (BASA7 ~ BASA0) のビットをマスクするかどうかを指定します。 0: すべての BASRA ビットは、ブレーク条件に含まれ、ASID がチェックされる 1: すべての BASRA ビットは、ブレーク条件に含まれず、ASID がチェックされない
20	BASMB	0	R/W	ブレーク ASID マスク B BASRB にセットされたチャンネル B ブレーク ASID7 ~ ASID0 (BASB7 ~ BASB0) のビットをマスクするかどうかを指定します。 0: すべての BASRB ビットは、ブレーク条件に含まれ、ASID がチェックされる 1: すべての BASRB ビットは、ブレーク条件に含まれず、ASID がチェックされない

ビット	ビット名	初期値	R/W	説明
19~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15	SCMFCA	0	R/W	L バスサイクル条件一致フラグ A チャンネル A にセットしたブレーク条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル A に対する L バスサイクル条件不一致 1 : チャンネル A に対する L バスサイクル条件一致
14	SCMFCE	0	R/W	L バスサイクル条件一致フラグ B チャンネル B にセットしたブレーク条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル B に対する L バスサイクル条件不一致 1 : チャンネル B に対する L バスサイクル条件一致
13	SCMFDA	0	R/W	I バスサイクル条件一致フラグ A チャンネル A にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル A に対する I バスサイクル条件不一致 1 : チャンネル A に対する I バスサイクル条件一致
12	SCMFDB	0	R/W	I バスサイクル条件一致フラグ B チャンネル B にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル B に対する I バスサイクル条件不一致 1 : チャンネル B に対する I バスサイクル条件一致
11	PCTE	0	R/W	PC トレースイネーブル 0 : PC トレースを禁止 1 : PC トレースを許可
10	PCBA	0	R/W	PC ブレークセレクト A チャンネル A に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル A の PC ブレークを命令実行前に設定 1 : チャンネル A の PC ブレークを命令実行後に設定
9	-	0	R	リザーブビット
8	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7	DBEB	0	R/W	データブ레이크イネーブル B データベース条件がチャンネル B のブ레이크条件に含まれるかどうかを選択します。 0 : データバス条件がチャンネル B のブ레이크条件に含まれない 1 : データバス条件がチャンネル B のブ레이크条件に含まれる
6	PCBB	0	R/W	PC ブ레이크セレクト B チャンネル B に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0 : チャンネル B の PC ブ레이크を命令実行前に設定 1 : チャンネル B の PC ブ레이크を命令実行後に設定
5	-	0	0	リザーブビット
4	-	0	0	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	SEQ	0	R/W	シーケンス条件セレクト チャンネル A および B の 2 つの条件が独立した条件であるか連続した条件であるかを選択します。 0 : 独立した条件下でチャンネル A とチャンネル B を比較 1 : 連続した条件下でチャンネル A とチャンネル B を比較 (チャンネル A、次にチャンネル B)
2	-	0	0	リザーブビット
1	-	0	0	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	ETBE	0	R/W	実行回数ブ레이크イネーブル チャンネル B に対してのみ実行回数ブ레이크条件を有効にします。このビットが 1 の場合、生じたブ레이크条件の数が BETR レジスタで指定した実行回数と等しくなったときユーザブ레이크割り込みが出されます。 0 : チャンネル B の実行回数ブ레이크条件を無効にする 1 : チャンネル B の実行回数ブ레이크条件を有効にする

### 33.2.10 実行回数ブ레이크レジスタ (BETR)

BETR は、16 ビットの読み出しまたは書き込み可能なレジスタです。チャンネル B の実行回数ブ레이크条件を有効にすると、このレジスタはブ레이크を行う回数を指定します。最大値は、 $2^{12} - 1$  回です。ブ레이크条件を満たすたびに BETR は、1 ずつデクリメントされます。BETR が H'0001 になった後は、ブ레이크条件を満たすとブ레이크が出されます。

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	BET11~ BET0	すべて 0	R/W	実行回数

### 33.2.11 ブランチソースレジスタ (BRSR)

BRSR は、32 ビットの読み出し専用レジスタです。BRSR は、分岐元命令のアドレスのビット 27~0 を格納します。BRSR は、分岐発生時に 1 にセットされるフラグビットを持っています。このフラグビットは、BRSR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットは、リセットによっては初期化されません。8 本の BRSR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット	ビット名	初期値	R/W	説明
31	SVF	0	R	BRSR 有効フラグ 分岐元のアドレスが格納されているかどうかを示します。分岐元アドレスが取り出されるとき、このフラグは 1 にセットされます。このフラグは、BRSR を読み出すことによって 0 にクリアされます。 0 : BRSR レジスタの値は無効 1 : BRSR レジスタの値は有効
30~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
27~0	BSA27~ BSA0	-	R	分岐元アドレス これらのビットは、分岐元アドレスのビット 27~0 を格納します。

### 33.2.12 ブランチデスティネーションレジスタ (BRDR)

BRDR は、32 ビットの読み出し専用レジスタです。BRDR は、分岐先命令のアドレスのビット 27~0 を格納します。BRDR は、分岐発生時に 1 に設定されるフラグビットを持っています。このフラグビットは、BRDR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットは、リセットによっては初期化されません。8 本の BRDR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット	ビット名	初期値	R/W	説明
31	DVF	0	R	BRDR 有効フラグ 分岐先アドレスが格納されているかどうかを示します。分岐先アドレスが取り出されるときこのフラグは 1 にセットされます。このフラグは、BRDR を読み出すことによって 0 にクリアされます。 0 : BRDR レジスタの値は無効 1 : BRDR レジスタの値は有効
30~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
27~0	BDA27~ BDA0	-	R	分岐先アドレス これらのビットは、分岐先アドレスのビット 27~0 を格納します。

### 33.2.13 ブレーク ASID レジスタ A (BASRA)

BASRA は、チャンネル A に対するブレーク条件となる ASID を指定する 8 ビットの読み出しまたは書き込み可能なレジスタです。CCN に存在します。

ビット	ビット名	初期値	R/W	説明
7~0	BASA7~ BASA0	-	R/W	ブレーク ASID A これらのビットはチャンネル A のブレーク条件である ASID (ビット 7~0) を格納します。

### 33.2.14 ブレーク ASID レジスタ B (BASRB)

BASRB は、チャンネル B に対するブレーク条件となる ASID を指定する 8 ビットの読み出しまたは書き込み可能なレジスタです。CCN に存在します。

ビット	ビット名	初期値	R/W	説明
7~0	BASB7~ BASB0	-	R/W	ブレーク ASID B これらのビットはチャンネル B のブレーク条件である ASID (ビット 7~0) を格納します。

## 33.3 動作説明

### 33.3.1 ユーザブレイク動作の流れ

ブレーク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. ブレークアドレスおよび該当するASIDは、ブレークアドレスレジスタ (BARAまたはBARB)とブレークASIDレジスタ (CCNのBASRAまたはBASRB) にセットします。マスクするアドレスは、ブレークアドレスマスクレジスタ (BAMRAまたはBAMRB) にセットします。ブレークデータは、ブレークデータレジスタ (BDRB) にセットします。マスクするデータは、ブレークデータマスクレジスタ (BDMRB) にセットします。バスブレーク条件は、ブレークバスサイクルレジスタ (BBRAまたはBBRB) にセットします。BBRAまたはBBRBの3つの制御ビットペア、すなわちLバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレイクは発生しません。ブレーク制御は、BRCCRのビットにセットします。他のすべてのブレーク関連レジスタの設定後にBBRAまたはBBRBの設定を行ってください。
2. ブレーク条件を満足すると、UBCはユーザブレイク要求をCPUに通知するとともに、それぞれのチャンネルに対するLバス条件一致フラグ (SCMFCAまたはSCMFCA) およびIバス条件一致フラグ (SCMFDAまたはSCMFDB) をセットします。チャンネルBでX/Yメモリバスを指定した場合は、条件一致フラグはSCMFCAが使用されます。

3. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ( SCMFCA、SCMFDA、SCMFCB、SCMFDB )を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためには、まず0を書き込まなければなりません。
4. チャンネルAおよびチャンネルBで設定したブレイクがほぼ同時に発生する場合があります。CPUに対するブレイク割り込み要求は1つだけであっても、これらの2つのブレイクチャンネル一致フラグは2つともセットされる場合があります。
5. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
  - Iバスには、CPUとDMACを含む複数のバスマスタが接続されています。UBCはすべてのバスマスタの生成するバスサイクルを監視し、条件一致判定を行います。
  - Iバスで使用されるアドレスは、物理アドレスです。ブレイクアドレスレジスタ (BARAおよびBARB) には物理アドレスを設定してください。CPUがLバス上で発行した論理アドレスのバスサイクルは、物理アドレスに変換されたのちにIバスに出力されます。(アドレス変換機構が有効な場合は、MMUによるアドレス変換も行われます。)
  - CPUがLバス上で発行したデータアクセスサイクルは、論理アドレスがキャッシング対象で無い場合はLバスで指定したサイズのバスサイクルが発行され、アドレスも丸められることはありません。
  - CPUがLバス上で発行した命令フェッチサイクルは、論理アドレスがキャッシング対象で無い場合もすべてロングワードサイズとなり、アドレスはロングワード境界に丸められます。
  - CPUがLバス上で発行した論理アドレスがキャッシング対象のアドレスでありかつキャッシュミスした場合は、キャッシュフィルサイクルとしてIバスに発行されます。この場合はロングワードサイズで発行され、アドレスもロングワード境界に丸められた値が使用されます。ただし、ライトスルーモードにおけるライトミス時にはキャッシュフィルは行われず、Lバス上で指定したサイズのバスサイクルが発行され、アドレスも丸められることはありません。また、ライトバックモードの場合は、リードフィルサイクルに伴ってライトバックサイクルが発行されるときがあります。これもロングワードサイズのバスサイクルで、アドレスもロングワード境界に丸められています。
  - CPUのLバス上での命令フェッチに起因したIバスサイクル(リードフィルサイクルを含む)をIバスでの命令フェッチサイクル、それ以外をデータアクセスサイクルと定義します。
  - DMACが発行するIバスサイクルは、データアクセスサイクルのみです。
  - Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でブレイクを受け付けるかを一意に決定することはできません。
6. CPUのステータスレジスタ (SR) のブロックビット (BL) が1の期間は、すべてのブレイクは受け付けられません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。

### 33.3.2 命令フェッチサイクルでのブレイク

1. ブレイクバスサイクルレジスタ (BBRAまたはBBRB) にLバス / 命令フェッチ / 読み出し / ワードまたはロングワードが設定されると、ブレイク条件はLバスの命令フェッチになります。命令実行の前にブレイクするか後にブレイクするかは、該当するチャンネルに対するブレイクコントロールレジスタ (BRCR) のPCBAまたはPCBBビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ (BARAまたはBARB) のLSBを0にクリアしてください。このビットが1にセットされているとブレイクは発生しません。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、遅延分岐命令の実行前にブレイクが発生します。

【注】 遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、これはオーバランフェッチ命令では使用できません。遅延分岐命令およびその遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令までブレイクは発生しません。
4. 命令フェッチサイクルがチャンネルBに設定されるとブレイクデータレジスタB (BDRB) は、無視されます。したがって、命令フェッチサイクルのブレイクには、ブレイクデータを設定することはできません。
5. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は、Iバス上の命令フェッチサイクルに対する条件判定が行われます。詳細は、「33.3.1 ユーザブレイク動作の流れ」の5.の項を参照してください。



### 33.3.3 データアクセスサイクルでのブレイク

1. データアクセスブレイクにおいて、ブレイク条件としてIバスを指定した場合は、実行された命令によりアクセスされた論理アドレス(およびデータ)に対して条件比較を行いブレイクを発生します。ブレイク条件としてIバスを指定した場合は、Iバス上のCPUを含めたすべてのバスマスタが発行するデータアクセスサイクルの物理アドレス(およびデータ)に対して条件比較を行いブレイクを発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「33.3.1 ユーザブレイク動作の流れ」の5.の項を参照してください。
2. 表33.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 33.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレイクアドレスレジスタのビット31~2とアドレスバスのビット31~2を比較
ワード	ブレイクアドレスレジスタのビット31~1とアドレスバスのビット31~1を比較
バイト	ブレイクアドレスレジスタのビット31~0とアドレスバスのビット31~0を比較

これは、たとえばブレイクアドレスレジスタ (BARA / BARB) にアドレスH'00001003を設定するとき、ブレイク条件を満足するバスサイクルには、(他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

3. チャンネルBのブレイク条件にデータ値が含まれる場合

ブレイク条件にデータ値が含まれる場合は、ブレイクバスサイクルレジスタB (BBRB) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレイク条件に含まれる場合は、アドレス条件とデータ条件が一致するときブレイクが発生します。この場合、バイトデータを指定するためには、ブレイクデータレジスタB (BDRB) とブレイクデータマスクレジスタB (BDMRB) のビット15~8、ビット7~0の2バイトに同じデータをセットします。ワードまたはバイトのオペランドサイズを選択すると、BDRBとBDMRBのビット31~16は、無視されます。ただし、MOVS.W @-As,Ds、MOVS.W @As,Ds、MOVS.W @As+,Ds、MOVS.W @As+Ix,Ds命令に対するブレイク条件にデータ値を含む場合は、BDRBとBDMRBのビット31~16にワードデータをセットします(ビット15~0は無視されます)。

4. PREF命令は、アクセスデータのないロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブレイク条件にデータ値が含まれる場合は、ブレイクは発生しません。
5. Iバスを選択している場合は、条件が一致した命令の実行を完了し、次の命令を実行する直前にブレイクが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令の次の命令の実行完了後になる

場合もあります。Iバスを選択している場合は、ブレークの発生する命令を特定することは出来ません。また、遅延分岐命令やその遅延スロットでこの種のブレークが発生した場合は、分岐先の最初の命令までブレークは発生しません。

### 33.3.4 XメモリまたはYメモリバスサイクルでのブレーク

1. XメモリバスサイクルまたはYメモリバスサイクルに対するブレーク条件は、チャンネルBでのみ指定できます。BBRBのXYEを1にセットした場合は、XメモリまたはYメモリバス上のブレークアドレスおよびブレークデータが選択されます。BBRBのXYSを指定することによってXメモリバスまたはYメモリバスのどちらかを選択する必要があります。ブレーク条件には、XメモリとYメモリを同時に含めることはできません。ブレーク条件は、ブレークバスサイクルレジスタB (BBRB) でLバス、データアクセスサイクル、読み出しまたは書き込みアクセス、オペランドサイズをワード、またはオペランドサイズを指定しないに設定することによって、XメモリバスサイクルまたはYメモリバスサイクルに適用されます。
2. ブレーク条件としてXメモリアドレスを選択するときはBARBとBAMRBの上位16ビットにXメモリアドレスを指定し、Yメモリアドレスを選択するときは下位16ビットにYメモリアドレスを指定してください。BDRBとBDMRBに対するXメモリデータまたはYメモリデータの指定は、同様の方法で行います。
3. XメモリまたはYメモリバスのデータアクセスブレークの発生タイミングは、Lバスのデータアクセスブレークの場合と同じになります。詳細は、「33.3.3 データアクセスサイクルでのブレーク」の5.の項を参照してください。

### 33.3.5 シーケンシャルブレーク

1. BRRCRのSEQビットを1にセットすると、チャンネルAブレーク条件が一致した後、チャンネルBブレーク条件が一致するときにシーケンシャルブレークが発生します。チャンネルAブレーク条件が一致する前にチャンネルBブレーク条件が一致すると、ユーザブレークは発生しません。また、チャンネルAとチャンネルBのブレーク条件が同時に一致したときも、シーケンシャルブレークは発生しません。シーケンシャルブレーク指定時、チャンネルA条件が一致し、かつチャンネルB条件が一致していないときにチャンネルA一致をクリアしたい場合は、BRRCRレジスタのSEQビットに0を書き込みます。
2. シーケンシャルブレーク指定では、Lバス、Iバス、Xバス、またはYバスを選択でき、実行回数ブレーク条件も指定することができます。たとえば、実行回数ブレーク条件を指定すると、チャンネルAブレーク条件一致後、チャンネルBブレーク条件がBETR = H'0001のときに一致するとブレーク条件が満たされます。

### 33.3.6 回避されるプログラムカウンタの値

ブレーク発生時は、実行を再開すべき命令のアドレスを SPC に回避し、例外処理状態に移行します。ブレーク条件として L バスを指定している場合は、ブレークの発生する命令を一意に決定することができます (ブレーク条件にデータを含む場合を除く)。ブレーク条件として I バスを指定している場合は、ブレークの発生する命令を一意に決定することはできません。

#### 1. 命令フェッチを (命令実行前) ブレーク条件として指定する場合

SPC には、ブレーク条件と一致した命令のアドレスが回避されます。条件が一致した命令は実行されず、その前にブレークが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に回避されます。

#### 2. 命令フェッチを (命令実行後) ブレーク条件として指定する場合

SPC には、ブレーク条件と一致した命令の次の命令のアドレスが回避されます。条件が一致した命令は実行され、次の命令の実行前にブレークが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に回避されます。

#### 3. データアクセス (アドレスのみ) をブレーク条件として指定する場合

SPC には、ブレーク条件に一致した命令の直後の命令のアドレスが回避されます。条件に一致した命令が実行され、次の命令の実行前にブレークが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に回避されます。

#### 4. データアクセス (アドレス + データ) をブレーク条件として指定する場合

データ値がブレーク条件に追加されると、ブレーク条件に一致した命令の次の命令か、その次の命令のアドレスが SPC に回避されます。ブレークが発生する場所は、正確に決定することはできません。

遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に回避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレークが生じる場合があります。この場合も SPC には、分岐先のアドレスが回避されます。

### 33.3.7 PC トレース

1. PCトレースは、BRCCRのPCTEを1にセットすることによってイネーブルになります。分岐（分岐命令および割り込み例外）が発生すると、分岐元アドレスと分岐先アドレスがそれぞれBRSRとBRDRに格納されます。
2. BRSR, BRDRに格納される値は、分岐の種類によってそれぞれ次のようになります。
  - 分岐命令により分岐が生じる場合は、分岐命令のアドレスがBRSRに、分岐先命令のアドレスがBRDRに格納されます。
  - 割り込みや一般例外により分岐が生じる場合は、例外発生により保存されるSPCの値がBRSRに、例外処理ルーチンの先頭アドレスがBRDRに格納されます。

DSP拡張機能のリピートループを使用している場合は、リピート終了命令からリピート開始命令に制御が移ってもこの動作は分岐とはみなされず、BRSRとBRDRには格納されません。

3. BRSRとBRDRは、8組のキュー構造からなっています。PCトレースレジスタに格納されたアドレスの読み出し時、キューの先頭を最初に読み出します。BRSRとBRDRは、リードポイントを共有します。BRSR、BRDRの順で読み出してください。キューは、BRDRの読み出し後のみシフトされます。BRCCRのPCTEビットをオフからオンに切り替えると、キューの値は無効になります。

### 33.3.8 使用例

#### (1) Lバス命令フェッチサイクルに指定したブ레이크条件

(例 1-1)

- レジスタ指定

BARA = H'00000404、BAMRA = H'00000000、BBRA = H'0054、BARB = H'00008010、BAMRB = H'00000006、  
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRCCR = H'00300400

指定条件： チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス： H'00000404、アドレスマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ（命令実行後） / 読み出し（オペランドサイズは条件に含まれません）

ASIDチェックは、含まれません。

<チャンネル B>

アドレス： H'00008010、アドレスマスク： H'00000006

データ： H'00000000、データマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ（命令実行前） / 読み出し（オペランドサイズは条件に含まれません）

ASIDチェックは、含まれません。

ユーザブレイクは、アドレスH'00000404の命令実行後、またはアドレスH'00008010～H'00008016の命令の実行前に発生します。

(例 1-2)

• レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'0056、BARB = H'0003722E、BAMRB = H'00000000、  
BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、  
BRCR = H'00000008、BASRA = H'80、BASRB = H'70

指定条件： チャンネルA / チャンネルBシーケンシャルモード

<チャンネル A>

アドレス： H'00037226、アドレスマスク： H'00000000、ASID = H'80

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

<チャンネル B>

アドレス： H'0003722E、アドレスマスク： H'00000000、ASID = H'70

データ： H'00000000、データマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

ASID = H'80かつアドレスH'00037226の命令が実行された後、ASID = H'70かつアドレスH'0003722Eの命令実行前にユーザブレイクが発生します。

(例 1-3)

• レジスタ指定

BARA = H'00027128、BAMRA = H'00000000、BBRA = H'005A、BARB = H'00031415、BAMRB = H'00000000、  
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00300000

指定条件： チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス： H'00027128、アドレスマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 書き込み / ワード

ASIDチェックは、含まれません。

<チャンネル B>

アドレス： H'00031415、アドレスマスク： H'00000000

データ： H'00000000、データマスク： H'00000000

ASIDチェックは、含まれません。

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネルAでは、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネルB

では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-4)

- レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'005A、BARB = H'0003722E、BAMRB = H'00000000、  
BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00000008、BASRA = H'80、  
BASRB = H'70

指定条件： チャンネルA / チャンネルBシーケンシャルモード

<チャンネル A>

アドレス： H'00037226、アドレスマスク： H'00000000、ASID = H'80

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル B>

アドレス： H'0003722E、アドレスマスク： H'00000000、ASID = H'70

データ： H'00000000、データマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

チャンネルAで命令フェッチは書き込みサイクルではないので、シーケンシャル条件一致は生じません。したがって、ユーザブレイクは発生しません。

(例 1-5)

- レジスタ指定

BARA = H'00000500、BAMRA = H'00000000、BBRA = H'0057、BARB = H'00001000、BAMRB = H'00000000、  
BBRB = H'0057、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00300001、BETR = H'0005

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス： H'00000500、アドレスマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

ASIDチェックは、含まれません。

<チャンネル B>

アドレス： H'00001000、アドレスマスク： H'00000000

データ： H'00000000、データマスク： H'00000000

ASIDチェックは、含まれません。

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

実行回数ブレイクイネーブル (5回)

チャンネルAでは、ユーザブレイクはアドレスH'00000500の命令の実行前に生じます。チャンネルBでは、ユーザブレイクは、アドレスH'00001000の命令を4回実行した後、5回目の命令実行前に生じます。

(例 1-6)

- レジスタ指定

BARA = H'00008404、BAMRA = H'00000FFF、BBRA = H'0054、BARB = H'00008010、BAMRB = H'00000006、  
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00000400、BASRA = H'80、  
BASRB = H'70

指定条件： チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス： H'00008404、アドレスマスク： H'00000FFF、ASID = H'80

バスサイクル： Lバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件には含まれません)

<チャンネル B>

アドレス： H'00008010、アドレスマスク： H'00000006、ASID = H'70

データ： H'00000000、データマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件には含まれません)

ユーザブレイクは、ASID = H'80でアドレスH'00008000 ~ H'00008FFEの命令の実行後、または、ASID = H'70でアドレスH'00008010 ~ H'00008016の命令の実行前に生じます。

## (2) Lバスデータアクセスサイクルに指定したブレイク条件

(例 2-1)

- レジスタ指定

BARA = H'00123456、BAMRA = H'00000000、BBRA = H'0064、BARB = H'000ABCDE、BAMRB = H'000000FF、  
BBRB = H'006A、BDRB = H'0000A512、BDMRB = H'00000000、BRCR = H'00000080、BASRA = H'80、  
BASRB = H'70

指定条件： チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス： H'00123456、アドレスマスク： H'00000000、ASID = H'80

バスサイクル： Lバス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス： H'000ABCDE、アドレスマスク： H'000000FF、ASID = H'70

データ： H'0000A512、データマスク： H'00000000

バスサイクル： Lバス / データアクセス / 書き込み / ワード

チャンネルAでは、ユーザブレイクは、ASID = H'80でアドレスH'00123454に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネルBでは、ユーザブレイクはASID = H'70でH'000ABC00 ~ H'000ABCFEにワードH'A512を書き込むときに生じます。

(例 2-2)

- レジスタ指定

BARA = H'01000000、BAMRA = H'00000000、BBRA = H'0066、BARB = H'0000F000、BAMRB = H'FFFF0000、  
BBRB = H'036A、BDRB = H'00004567、BDMRB = H'00000000、BRCR = H'00300080

指定条件： チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス： H'01000000、アドレスマスク： H'00000000

バスサイクル： Lバス / データアクセス / 読み出し / ワード

ASIDチェックは、含まれません。

<チャンネル B>

Yアドレス： H'0000F000、アドレスマスク： H'FFFF0000

データ： H'00004567、データマスク： H'00000000

バスサイクル： Yバス / データアクセス / 書き込み / ワード

ASIDチェックは、含まれません。

チャンネルAでは、ユーザブレイクは、メモリ空間のアドレスH'01000000に対するワード読み出しで生じます。  
チャンネルBでは、ユーザブレイクはYメモリ空間のアドレスH'0000F000にワードH'4567を書き込むときに生じます。  
XメモリまたはYメモリ空間は、モード指定によって変更することができます。

### (3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

- レジスタ指定：

BARA = H'00314156、BAMRA = H'00000000、BBRA = H'0094、BARB = H'00055555、BAMRB = H'00000000、  
BBRB = H'00A9、BDRB = H'00007878、BDMRB = H'00000F0F、BRCR = H'00000080、BASRA = H'80、  
BASRB = H'70

指定条件： チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス： H'00314156、アドレスマスク： H'00000000、ASID = H'80

バスサイクル： Iバス / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス： H'00055555、アドレスマスク： H'00000000、ASID = H'70

データ： H'00000078、データマスク： H'0000000F

バスサイクル： Iバス / データアクセス / 書き込み / バイト

チャンネルAでは、ユーザブレイクはASID = H'80でメモリ空間のアドレスH'00314156に対する命令フェッチで生じます。  
チャンネルBでは、ユーザブレイクはASID = H'70でIバス上でバイトH'7\*をアドレスH'00055555に書き込むときに生じます。



## 33.4 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、バス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはLバスサイクルとIバスサイクルを同じチャンネルで監視することはできません。
3. シーケンシャルブレイクの指定においての注意事項は、次のとおりです。

シーケンシャルブレイクの設定時、Aチャンネル一致が発生後Bチャンネル一致が発生するとき、条件一致が発生します。したがって、チャンネルA一致とチャンネルB一致が同時に発生するバスサイクルが設定されてもブレイクは、発生しません。
4. ユーザブレイクと他の例外が同一命令で発生した場合は、「第7章 例外処理」の表7.1に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
  - 命令実行前ブレイクは他のどの例外よりも優先して受け付けられます。
  - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外（命令実行前ブレイクを含む）と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません（ただし、5.項に示す例外事項があります）。例外処理により再実行型の例外要因が解消され、同命令が再実行されて完了する時点で改めてブレイクが発生し、フラグがセットされます。
  - 命令実行後ブレイクやデータアクセスブレイクが、より優先度の高い完了型の例外（TRAPA）と同時に発生した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。
5. 4.項の例外事項として、次の注意事項があります。

データアクセスによりCPUアドレスエラー（やTLB関連例外）が発生する命令において命令実行後ブレイクやデータアクセスブレイクが成立する場合は、ブレイクに優先してCPUアドレスエラー（やTLB関連例外）が発生します。この際、UBCの条件一致フラグもセットされます。
6. 遅延スロットでブレイクが発生する場合は、次の注意事項があります。

RTE命令の遅延スロット命令に対して命令実行前ブレイクを設定した場合は、RTE命令の分岐先の実行前までブレイクは発生しません。
7. UBCモジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
8. DSP拡張機能のリピートループを使用している場合は、リピートループ全体あるいは一部の命令を実行中にブレイク条件が一致してもブレイクの発生が保留される場合があります。詳細は、「第7章 例外処理」を参照してください。



## 34. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ(PFC)は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。端子機能と入出力の方向は、LSIの動作モードに関係なく端子ごとに個別に選択することができます。表 34.1 に、本 LSI のマルチプレクス端子を示します。

【注】 SDHI 関連の信号は搭載する品種以外では選択しないでください。

表 34.1 マルチプレクス一覧表

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
A	PTA7 入出力 (ポート)	D23 入出力 (BSC)
	PTA6 入出力 (ポート)	D22 入出力 (BSC)
	PTA5 入出力 (ポート)	D21 入出力 (BSC)
	PTA4 入出力 (ポート)	D20 入出力 (BSC)
	PTA3 入出力 (ポート)	D19 入出力 (BSC)
	PTA2 入出力 (ポート)	D18 入出力 (BSC)
	PTA1 入出力 (ポート)	D17 入出力 (BSC)
	PTA0 入出力 (ポート)	D16 入出力 (BSC)
B	PTB7 入出力 (ポート)	D31 入出力 (BSC)
	PTB6 入出力 (ポート)	D30 入出力 (BSC)
	PTB5 入出力 (ポート)	D29 入出力 (BSC)
	PTB4 入出力 (ポート)	D28 入出力 (BSC)
	PTB3 入出力 (ポート)	D27 入出力 (BSC)
	PTB2 入出力 (ポート)	D26 入出力 (BSC)
	PTB1 入出力 (ポート)	D25 入出力 (BSC)
	PTB0 入出力 (ポート)	D24 入出力 (BSC)
C	PTC7 入出力 (ポート)	LCD_DATA7 出力 (LCDC)
	PTC6 入出力 (ポート)	LCD_DATA6 出力 (LCDC)
	PTC5 入出力 (ポート)	LCD_DATA5 出力 (LCDC)
	PTC4 入出力 (ポート)	LCD_DATA4 出力 (LCDC)
	PTC3 入出力 (ポート)	LCD_DATA3 出力 (LCDC)
	PTC2 入出力 (ポート)	LCD_DATA2 出力 (LCDC)
	PTC1 入出力 (ポート)	LCD_DATA1 出力 (LCDC)
	PTC0 入出力 (ポート)	LCD_DATA0 出力 (LCDC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
D	PTD7 入出力 (ポート) / PINT15 入力 (INTC)	LCD_DATA15 出力 (LCDC)
	PTD6 入出力 (ポート) / PINT14 入力 (INTC)	LCD_DATA14 出力 (LCDC)
	PTD5 入出力 (ポート) / PINT13 入力 (INTC)	LCD_DATA13 出力 (LCDC)
	PTD4 入出力 (ポート) / PINT12 入力 (INTC)	LCD_DATA12 出力 (LCDC)
	PTD3 入出力 (ポート)	LCD_DATA11 出力 (LCDC)
	PTD2 入出力 (ポート)	LCD_DATA10 出力 (LCDC)
	PTD1 入出力 (ポート)	LCD_DATA9 出力 (LCDC)
	PTD0 入出力 (ポート)	LCD_DATA8 出力 (LCDC)
E	PTE6 入力 (ポート)	AFE_RXIN 入力 (AFEIF) / IIC_SCL 入出力 (IIC)
	PTE5 入力 (ポート)	AFE_RDEN 入力 (AFEIF) / IIC_SDA 入出力 (IIC)
	PTE4 入出力 (ポート)	LCD_M_DISP 出力 (LCDC)
	PTE3 入出力 (ポート)	LCD_CL1 出力 (LCDC)
	PTE2 入出力 (ポート)	LCD_CL2 出力 (LCDC)
	PTE1 入出力 (ポート)	LCD_DON 出力 (LCDC)
	PTE0 入出力 (ポート)	LCD_FLM 出力 (LCDC)
F	PTF6 入力 (ポート)	DA1 出力 (DAC)
	PTF5 入力 (ポート)	DA0 出力 (DAC)
	PTF4 入力 (ポート)	AN3 入力 (ADC)
	PTF3 入力 (ポート)	AN2 入力 (ADC)
	PTF2 入力 (ポート)	AN1 入力 (ADC)
	PTF1 入力 (ポート)	AN0 入力 (ADC)
	PTF0 入力 (ポート)	ADTRG 入力 (ADC)
	G	PTG6 入出力 (ポート)
PTG5 入出力 (ポート)		USB1d_TXSE0 出力 (USB) / IRQ4 入力 (INTC) / AFE_TXOUT 出力 (AFEIF) / PCC_DRV 出力 (PCC)
PTG4 入出力 (ポート)		USB1d_TXDPLS 出力 (USB) / AFE_SCLK 入力 (AFEIF) / IOIS16 入力 (BSC) PCC_IOIS16 入力 (PCC)
PTG3 入出力 (ポート) / PINT11 入力 (INTC)		USB1d_DMNS 入力 (USB) / AFE_RLYCNT 出力 (AFEIF) / PCC_BVD2 入力 (PCC)
PTG2 入出力 (ポート) / PINT10 入力 (INTC)		USB1d_DPLS 入力 (USB) / AFE_HC1 出力 (AFEIF) / PCC_BVD1 入力 (PCC)
PTG1 入出力 (ポート) / PINT9 入力 (INTC)		USB1d_SPEED 出力 (USB) / PCC_CD2 入力 (PCC)
PTG0 入出力 (ポート) / PINT8 入力 (INTC)		USB1d_TXENL 出力 (USB) / PCC_CD1 入力 (PCC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
H	PTH6 入出力 (ポート)	$\overline{\text{RAS}}$ 出力 (BSC)
	PTH5 入出力 (ポート)	$\overline{\text{CAS}}$ 出力 (BSC)
	PTH4 入出力 (ポート)	CKE 出力 (BSC)
	PTH3 入出力 (ポート)	STATUS1 出力
	PTH2 入出力 (ポート)	STATUS0 出力
	PTH1 入出力 (ポート)	USB2_pwr_en 出力 (USB)
	PTH0 入出力 (ポート)	USB1_pwr_en 出力 (USB) / USBF_UPLUP (USB)
J	PTJ6 入出力 (ポート)	AUDCK 出力 (HUDI)
	PTJ5 入出力 (ポート)	$\overline{\text{ASEBRKAK}}$ 出力 (HUDI)
	PTJ4 入出力 (ポート)	AUDATA3 出力 (HUDI)
	PTJ3 入出力 (ポート)	AUDATA2 出力 (HUDI)
	PTJ2 入出力 (ポート)	AUDATA1 出力 (HUDI)
	PTJ1 入出力 (ポート)	AUDATA0 出力 (HUDI)
	PTJ0 入出力 (ポート)	$\overline{\text{AUDSYNC}}$ 出力 (HUDI)
K	PTK3 入出力 (ポート) / PINT7 入力 (INTC)	PCC_RESET 出力 (PCC)
	PTK2 入出力 (ポート) / PINT6 入力 (INTC)	PCC_RDY 入力 (PCC)
	PTK1 入出力 (ポート) / PINT5 入力 (INTC)	PCC_VS2 入力 (PCC)
	PTK0 入出力 (ポート) / PINT4 入力 (INTC)	PCC_VS1 入力 (PCC)
L	PTL7 入出力 (ポート)	$\overline{\text{TRST}}$ 入力 (HUDI)
	PTL6 入出力 (ポート)	TMS 入力 (HUDI)
	PTL5 入出力 (ポート)	TDO 出力 (HUDI)
	PTL4 入出力 (ポート)	TDI 入力 (HUDI)
	PTL3 入出力 (ポート)	TCK 入力 (HUDI)
M	PTM7 入出力 (ポート)	$\overline{\text{DREQ1}}$ 入力 (DMAC)
	PTM6 入出力 (ポート) / PINT0 入力 (INTC)	$\overline{\text{DREQ0}}$ 入力 (DMAC)
	PTM5 入出力 (ポート)	$\overline{\text{DACK1}}$ 出力 (DMAC)
	PTM4 入出力 (ポート) / PINT1 入力 (INTC)	$\overline{\text{DACK0}}$ 出力 (DMAC)
	PTM3 入出力 (ポート) / PINT3 入力 (INTC)	TEND1 出力 (DMAC)
	PTM2 入出力 (ポート) / PINT2 入力 (INTC)	TEND0 出力 (DMAC)
	PTM1 入出力 (ポート)	$\overline{\text{CS5B}}$ 出力 (BSC) / $\overline{\text{CE1A}}$ 出力 (BSC)
	PTM0 入出力 (ポート)	$\overline{\text{CS6B}}$ 出力 (BSC) / $\overline{\text{CE1B}}$ 出力 (BSC)
P	PTP4 入出力 (ポート)	USB1d_SUSPEND 出力 (USB) / REFOUT 出力 (BSC) / IRQOUT 出力 (BSC)
	PTP3 入出力 (ポート)	IRQ3 入力 (INTC) / $\overline{\text{IRL3}}$ 入力 (INTC)
	PTP2 入出力 (ポート)	IRQ2 入力 (INTC) / $\overline{\text{IRL2}}$ 入力 (INTC)
	PTP1 入出力 (ポート)	IRQ1 入力 (INTC) / $\overline{\text{IRL1}}$ 入力 (INTC)
	PTP0 入出力 (ポート)	IRQ0 入力 (INTC) / $\overline{\text{IRL0}}$ 入力 (INTC)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
R	PTR7 入出力 (ポート)	A25 出力 (BSC)
	PTR6 入出力 (ポート)	A24 出力 (BSC)
	PTR5 入出力 (ポート)	A23 出力 (BSC)
	PTR4 入出力 (ポート)	A22 出力 (BSC)
	PTR3 入出力 (ポート)	A21 出力 (BSC)
	PTR2 入出力 (ポート)	A20 出力 (BSC)
	PTR1 入出力 (ポート)	A19 出力 (BSC)
	PTR0 入出力 (ポート)	A0 出力 (BSC)
S	PTS4 入出力 (ポート)	SIOF0_SYNC 入出力 (SIOF)
	PTS3 入出力 (ポート)	SIOF0_MCLK 入力 (SIOF)
	PTS2 入出力 (ポート)	SIOF0_TxD 出力 (SIOF)
	PTS1 入出力 (ポート)	SIOF0_RxD 入力 (SIOF)
	PTS0 入出力 (ポート)	SIOF0_SCK 入出力 (SIOF)
T	PTT4 入出力 (ポート)	$\overline{\text{SCIF0\_CTS}}$ 入力 (SCIF) / TPU_TO1 出力 (TPU)
	PTT3 入出力 (ポート)	$\overline{\text{SCIF0\_RTS}}$ 出力 (SCIF) / TPU_TO0 出力 (TPU)
	PTT2 入出力 (ポート)	SCIF0_TxD 出力 (SCIF) / IrTX 出力 (IrDA)
	PTT1 入出力 (ポート)	SCIF0_RxD 入力 (SCIF) / IrRX 入力 (IrDA)
	PTT0 入出力 (ポート)	SCIF0_SCK 入出力 (SCIF)
U	PTU4 入出力 (ポート)	SIOF1_SYNC 入出力 (SIOF) / SD_DAT2 入出力 (SDHI)
	PTU3 入出力 (ポート)	SIOF1_MCLK 入力 (SIOF) / SD_DAT1 入出力 (SDHI) / TPU_TI3B 入力 (TPU)
	PTU2 入出力 (ポート)	MMC_DAT 入出力 (MMC) / SIOF1_TxD 出力 (SIOF) / SD_DAT0 入出力 (SDHI) / TPU_TI3A 入力 (TPU)
	PTU1 入出力 (ポート)	MMC_CMD 入出力 (MMC) / SIOF1_RxD 入力 (SIOF) / SD_CMD 入出力 (SDHI) / TPU_TI2B 入力 (TPU)
	PTU0 入出力 (ポート)	MMC_CLK 出力 (MMC) / SIOF1_SCK 入出力 (SIOF) / SD_CLK 出力 (SDHI) / TPU_TI2A 入力 (TPU)
V	PTV4 入出力 (ポート)	MMC_VDDON 出力 (MMC) / $\overline{\text{SCIF1\_CTS}}$ 入力 (SCIF) / LCD_VEPWC 出力 (LCDC) / TPU_TO3 出力 (TPU)
	PTV3 入出力 (ポート)	MMC_ODMOD 出力 (MMC) / $\overline{\text{SCIF1\_RTS}}$ 出力 (SCIF) / LCD_VCPWC 出力 (LCDC) / TPU_TO2 出力 (TPU)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
V	PTV2 入出力 (ポート)	SIM_D 入出力 (SIM) / SCIF1_TxD 出力 (SCIF) / SD_CD 入力 (SDHI)
	PTV1 入出力 (ポート)	SIM_RST 出力 (SIM) / SCIF1_RxD 入力 (SCIF) / SD_WP 入力 (SDHI)
	PTV0 入出力 (ポート)	SIM_CLK 出力 (SIM) / SCIF1_SCK 入出力 (SCIF) / SD_DAT3 入出力 (SDHI)

### 34.1 レジスタの説明

PFCのレジスタを以下に示します。これらのレジスタのアドレスおよびアクセスサイズについては「第37章 レジスタ一覧」を参照してください。

- ポートAコントロールレジスタ (PACR)
- ポートBコントロールレジスタ (PBCR)
- ポートCコントロールレジスタ (PCCR)
- ポートDコントロールレジスタ (PDCR)
- ポートEコントロールレジスタ (PECR)
- ポートFコントロールレジスタ (PFCR)
- ポートGコントロールレジスタ (PGCR)
- ポートHコントロールレジスタ (PHCR)
- ポートJコントロールレジスタ (PJCR)
- ポートKコントロールレジスタ (PKCR)
- ポートLコントロールレジスタ (PLCR)
- ポートMコントロールレジスタ (PMCR)
- ポートPコントロールレジスタ (PPCR)
- ポートRコントロールレジスタ (PRCR)
- ポートSコントロールレジスタ (PSCR)
- ポートTコントロールレジスタ (PTCR)
- ポートUコントロールレジスタ (PUCR)
- ポートVコントロールレジスタ (PVCR)
- ピンセレクトレジスタA (PSELA)
- ピンセレクトレジスタB (PSELB)
- ピンセレクトレジスタC (PSELC)
- ピンセレクトレジスタD (PSELD)

## 34.1.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PA7MD1	0	R/W	PA7 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PA7MD0	0	R/W	
13	PA6MD1	0	R/W	PA6 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PA6MD0	0	R/W	
11	PA5MD1	0	R/W	PA5 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PA5MD0	0	R/W	
9	PA4MD1	0	R/W	PA4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PA4MD0	0	R/W	
7	PA3MD1	0	R/W	PA3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PA3MD0	0	R/W	
5	PA2MD1	0	R/W	PA2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PA2MD0	0	R/W	



ビット	ビット名	初期値	R/W	説明
3	PA1MD1	0	R/W	PA1 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
2	PA1MD0	0	R/W	
1	PA0MD1	0	R/W	PA0 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
0	PA0MD0	0	R/W	

### 34.1.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PB7MD1	0	R/W	PB7 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
14	PB7MD0	0	R/W	
13	PB6MD1	0	R/W	PB6 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
12	PB6MD0	0	R/W	
11	PB5MD1	0	R/W	PB5 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
10	PB5MD0	0	R/W	
9	PB4MD1	0	R/W	PB4 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
8	PB4MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
7 6	PB3MD1 PB3MD0	0 0	R/W R/W	PB3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
5 4	PB2MD1 PB2MD0	0 0	R/W R/W	PB2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
3 2	PB1MD1 PB1MD0	0 0	R/W R/W	PB1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
1 0	PB0MD1 PB0MD0	0 0	R/W R/W	PB0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)

### 34.1.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15 14	PC7MD1 PC7MD0	1 0	R/W R/W	PC7 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
13 12	PC6MD1 PC6MD0	1 0	R/W R/W	PC6 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)

ビット	ビット名	初期値	R/W	説明
11 10	PC5MD1 PC5MD0	1 0	R/W R/W	PC5 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
9 8	PC4MD1 PC4MD0	1 0	R/W R/W	PC4 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
7 6	PC3MD1 PC3MD0	1 0	R/W R/W	PC3 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
5 4	PC2MD1 PC2MD0	1 0	R/W R/W	PC2 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
3 2	PC1MD1 PC1MD0	1 0	R/W R/W	PC1 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
1 0	PC0MD1 PC0MD0	1 0	R/W R/W	PC0 モード 00：その他の機能（表 34.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）

## 34.1.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PD7MD1	1	R/W	PD7 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PD7MD0	0	R/W	
13	PD6MD1	1	R/W	PD6 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PD6MD0	0	R/W	
11	PD5MD1	1	R/W	PD5 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PD5MD0	0	R/W	
9	PD4MD1	1	R/W	PD4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PD4MD0	0	R/W	
7	PD3MD1	1	R/W	PD3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PD3MD0	0	R/W	
5	PD2MD1	1	R/W	PD2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PD2MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	PD1MD1	1	R/W	PD1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PD1MD0	0	R/W	
1	PD0MD1	1	R/W	PD0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PD0MD0	0	R/W	

### 34.1.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PE6MD1	1	R/W	PE6 モード 0 : その他の機能 (表 34.1 参照) 1 : ポート入力 (プルアップ MOS : オフ)
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	PE5MD1	1	R/W	PE5 モード 0 : その他の機能 (表 34.1 参照) 1 : ポート入力 (プルアップ MOS : オフ)
10	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PE4MD1	1	R/W	PE4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PE4MD0	0	R/W	
7	PE3MD1	1	R/W	PE3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PE3MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
5	PE2MD1	1	R/W	PE2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PE2MD0	0	R/W	
3	PE1MD1	1	R/W	PE1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PE1MD0	0	R/W	
1	PE0MD1	1	R/W	PE0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PE0MD0	0	R/W	

#### 34.1.6 ポート F コントロールレジスタ (PFCR)

PFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	-	0	R	
13	PF6MD1	0	R/W	PF6 モード 00 : その他の機能 (表 34.1 参照) 01 : リザーブ 1* : ポート入力 (プルアップ MOS : オフ)
12	PF6MD0	0	R/W	
11	PF5MD1	0	R/W	PF5 モード 00 : その他の機能 (表 34.1 参照) 01 : リザーブ 1* : ポート入力 (プルアップ MOS : オフ)
10	PF5MD0	0	R/W	
9	PF4MD1	0	R/W	PF4 モード 00 : その他の機能 (表 34.1 参照) 01 : リザーブ 1* : ポート入力 (プルアップ MOS : オフ)
8	PF4MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
7	PF3MD1	0	R/W	PF3 モード 00 : その他の機能 (表 34.1 参照) 01 : リザーブ 1* : ポート入力 (プルアップ MOS : オフ)
6	PF3MD0	0	R/W	
5	PF2MD1	0	R/W	PF2 モード 00 : その他の機能 (表 34.1 参照) 01 : リザーブ 1* : ポート入力 (プルアップ MOS : オフ)
4	PF2MD0	0	R/W	
3	PF1MD1	0	R/W	PF1 モード 00 : その他の機能 (表 34.1 参照) 01 : リザーブ 1* : ポート入力 (プルアップ MOS : オフ)
2	PF1MD0	0	R/W	
1	PF0MD1	1	R/W	PF0 モード 00 : その他の機能 (表 34.1 参照) 01 : リザーブ 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PF0MD0	0	R/W	

【注】 \* : Don't care

### 34.1.7 ポート G コントロールレジスタ (PGCR)

PGCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PG6MD1	1	R/W	PG6 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PG6MD0	1	R/W	
11	PG5MD1	1	R/W	PG5 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PG5MD0	1	R/W	

ビット	ビット名	初期値	R/W	説明
9	PG4MD1	1	R/W	PG4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PG4MD0	1	R/W	
7	PG3MD1	1	R/W	PG3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PG3MD0	1	R/W	
5	PG2MD1	1	R/W	PG2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PG2MD0	1	R/W	
3	PG1MD1	1	R/W	PG1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PG1MD0	1	R/W	
1	PG0MD1	1	R/W	PG0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PG0MD0	1	R/W	

### 34.1.8 ポート H コントロールレジスタ (PHCR)

PHCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PH6MD1	0	R/W	PH6 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PH6MD0	0	R/W	



ビット	ビット名	初期値	R/W	説明
11 10	PH5MD1 PH5MD0	0 0	R/W R/W	PH5 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
9 8	PH4MD1 PH4MD0	0 0	R/W R/W	PH4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
7 6	PH3MD1 PH3MD0	0 0	R/W R/W	PH3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
5 4	PH2MD1 PH2MD0	0 0	R/W R/W	PH2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
3 2	PH1MD1 PH1MD0	1 1	R/W R/W	PH1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
1 0	PH0MD1 PH0MD0	1 1	R/W R/W	PH0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)

## 34.1.9 ポート J コントロールレジスタ (PJCR)

PJCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PJ6MD1	0/1*	R/W	PJ6 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PJ6MD0	0	R/W	
11	PJ5MD1	0/1*	R/W	PJ5 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PJ5MD0	0	R/W	
9	PJ4MD1	0/1*	R/W	PJ4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PJ4MD0	0	R/W	
7	PJ3MD1	0/1*	R/W	PJ3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PJ3MD0	0	R/W	
5	PJ2MD1	0/1*	R/W	PJ2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PJ2MD0	0	R/W	
3	PJ1MD1	0/1*	R/W	PJ1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PJ1MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
1	PJ0MD1	0/1*	R/W	PJ0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PJ0MD0	0	R/W	

【注】\* パワーオンリセット時の ASEMDO 入力値が 1 (通常モード) の場合には初期値は 1、0 (ASE モード) の場合には初期値は 0 となります。

### 34.1.10 ポート K コントロールレジスタ (PKCR)

PKCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PK3MD1	1	R/W	PK3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PK3MD0	0	R/W	
5	PK2MD1	1	R/W	PK2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PK2MD0	0	R/W	
3	PK1MD1	1	R/W	PK1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PK1MD0	0	R/W	
1	PK0MD1	1	R/W	PK0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PK0MD0	0	R/W	

## 34.1.11 ポート L コントロールレジスタ (PLCR)

PLCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PL7MD1	0	R/W	PL7 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PL7MD0	0	R/W	
13	PL6MD1	0	R/W	PL6 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PL6MD0	0	R/W	
11	PL5MD1	0	R/W	PL5 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PL5MD0	0	R/W	
9	PL4MD1	0	R/W	PL4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PL4MD0	0	R/W	
7	PL3MD1	0	R/W	PL3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PL3MD0	0	R/W	
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 34.1.12 ポート M コントロールレジスタ (PMCR)

PMCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PM7MD1	1	R/W	PM7 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PM7MD0	0	R/W	
13	PM6MD1	1	R/W	PM6 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PM6MD0	0	R/W	
11	PM5MD1	1	R/W	PM5 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PM5MD0	0	R/W	
9	PM4MD1	1	R/W	PM4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PM4MD0	0	R/W	
7	PM3MD1	1	R/W	PM3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PM3MD0	0	R/W	
5	PM2MD1	1	R/W	PM2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PM2MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	PM1MD1	0	R/W	PM1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PM1MD0	0	R/W	
1	PM0MD1	0	R/W	PM0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PM0MD0	0	R/W	

### 34.1.13 ポート P コントロールレジスタ (PPCR)

PPCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PP4MD1	1	R/W	PP4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PP4MD0	1	R/W	
7	PP3MD1	1	R/W	PP3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PP3MD0	0	R/W	
5	PP2MD1	1	R/W	PP2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PP2MD0	0	R/W	
3	PP1MD1	1	R/W	PP1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PP1MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
1	PP0MD1	1	R/W	PP0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PP0MD0	0	R/W	

#### 34.1.14 ポート R コントロールレジスタ (PRCR)

PRCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15	PR7MD1	0	R/W	PR7 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
14	PR7MD0	0	R/W	
13	PR6MD1	0	R/W	PR6 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
12	PR6MD0	0	R/W	
11	PR5MD1	0	R/W	PR5 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
10	PR5MD0	0	R/W	
9	PR4MD1	0	R/W	PR4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PR4MD0	0	R/W	
7	PR3MD1	0	R/W	PR3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PR3MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
5 4	PR2MD1 PR2MD0	0 0	R/W R/W	PR2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
3 2	PR1MD1 PR1MD0	0 0	R/W R/W	PR1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
1 0	PR0MD1 PR0MD0	0 0	R/W R/W	PR0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)

#### 34.1.15 ポート S コントロールレジスタ (PSCR)

PSCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9 8	PS4MD1 PS4MD0	1 0	R/W R/W	PS4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
7 6	PS3MD1 PS3MD0	1 0	R/W R/W	PS3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
5 4	PS2MD1 PS2MD0	1 0	R/W R/W	PS2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)



ビット	ビット名	初期値	R/W	説明
3	PS1MD1	1	R/W	PS1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PS1MD0	0	R/W	
1	PS0MD1	1	R/W	PS0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PS0MD0	0	R/W	

#### 34.1.16 ポート T コントロールレジスタ (PTCR)

PTCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PT4MD1	1	R/W	PT4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PT4MD0	0	R/W	
7	PT3MD1	1	R/W	PT3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PT3MD0	0	R/W	
5	PT2MD1	1	R/W	PT2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PT2MD0	0	R/W	
3	PT1MD1	1	R/W	PT1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PT1MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
1	PT0MD1	1	R/W	PT0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PT0MD0	0	R/W	

### 34.1.17 ポート U コントロールレジスタ (PUCR)

PUCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PU4MD1	1	R/W	PU4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PU4MD0	1	R/W	
7	PU3MD1	1	R/W	PU3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PU3MD0	1	R/W	
5	PU2MD1	1	R/W	PU2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PU2MD0	1	R/W	
3	PU1MD1	1	R/W	PU1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PU1MD0	1	R/W	
1	PU0MD1	1	R/W	PU0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PU0MD0	1	R/W	

## 34.1.18 ポート V コントロールレジスタ (PVCR)

PVCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値	R/W	説明
15 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PV4MD1	0	R/W	PV4 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
8	PV4MD0	0	R/W	
7	PV3MD1	0	R/W	PV3 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
6	PV3MD0	0	R/W	
5	PV2MD1	1	R/W	PV2 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
4	PV2MD0	1	R/W	
3	PV1MD1	1	R/W	PV1 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PV1MD0	1	R/W	
1	PV0MD1	1	R/W	PV0 モード 00 : その他の機能 (表 34.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PV0MD0	1	R/W	

## 34.1.19 ピンセレクトレジスタ A (PSELA)

PSELA は、読み出し / 書き込み可能な 16 ビットのレジスタで、「その他の機能」を 2 つ以上マルチプレクスしている端子の機能を選択します。

2 つ以上の「その他の機能」をマルチプレクスしている端子において、一方の「その他の機能」を使用する場合は PSELA の該当ビットを設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット	ビット名	初期値	R/W	説明
15	PSELA15	1	R/W	PTG0 「その他の機能」 USB1d_TXENL/PCC_CD1 の選択 00 : その他の機能として USB1d_TXENL を選択 01 : リザーブ 10 : その他の機能として PCC_CD1 を選択 11 : リザーブ
14	PSELA14	0	R/W	
13	PSELA13	1	R/W	PTG1 「その他の機能」 USB1d_SPEED/PCC_CD2 の選択 00 : その他の機能として USB1d_SPEED を選択 01 : リザーブ 10 : その他の機能として PCC_CD2 を選択 11 : リザーブ
12	PSELA12	0	R/W	
11	PSELA11	1	R/W	PTG2 「その他の機能」 USB1d_DPLS/AFE_HC1/PCC_BVD1 の選択 00 : その他の機能として USB1d_DPLS を選択 01 : その他の機能として AFE_HC1 を選択 10 : その他の機能として PCC_BVD1 を選択 11 : リザーブ
10	PSELA10	0	R/W	
9	PSELA9	1	R/W	PTG3 「その他の機能」 USB1d_DMNS/AFE_RLYCNT/PCC_BVD2 の選択 00 : その他の機能として USB1d_DMNS を選択 01 : その他の機能として AFE_RLYCNT を選択 10 : その他の機能として PCC_BVD2 を選択 11 : リザーブ
8	PSELA8	0	R/W	
7	PSELA7	1	R/W	PTG4 「その他の機能」 USB1d_TXDPLS/AFE_SCLK/IOIS16/PCC_IOIS16 の選択 00 : その他の機能として USB1d_TXDPLS を選択 01 : その他の機能として AFE_SCLK を選択 10 : その他の機能として IOIS16/PCC_IOIS16 を選択 11 : リザーブ
6	PSELA6	0	R/W	
5	PSELA5	1	R/W	PTG5 「その他の機能」 USB1d_TXSE0/AFE_TXOUT/PCC_DRV/IRQ4 の選択 00 : その他の機能として USB1d_TXSE0 を選択 01 : その他の機能として AFE_TXOUT を選択 10 : その他の機能として PCC_DRV を選択 11 : その他の機能として IRQ4 を選択
4	PSELA4	0	R/W	

ビット	ビット名	初期値	R/W	説明
3 2	PSELA3 PSELA2	1 0	R/W R/W	PTG6 「その他の機能」 USB1d_RCV/AFE_FS/ $\overline{\text{PCC\_REG}}$ /IRQ5 の選択 00 : その他の機能として USB1d_RCV を選択 01 : その他の機能として AFE_FS を選択 10 : その他の機能として $\overline{\text{PCC\_REG}}$ を選択 11 : その他の機能として IRQ5 を選択
1 0	PSELA1 PSELA0	0 0	R/W R/W	PTP4 「その他の機能」 USB1d_SUSPEND/REFOUT/IRQOUT の選択 00 : その他の機能として USB1d_SUSPEND を選択 01 : その他の機能として REFOUT/IRQOUT を選択し、 $\overline{\text{REFOUT}}$ / $\overline{\text{IRQOUT}}$ 出力の要因として REFOUT だけを選択 10 : その他の機能として $\overline{\text{REFOUT}}$ / $\overline{\text{IRQOUT}}$ を選択し、 $\overline{\text{REFOUT}}$ / $\overline{\text{IRQOUT}}$ 出力の要因として $\overline{\text{IRQOUT}}$ だけを選択 11 : その他の機能として $\overline{\text{REFOUT}}$ / $\overline{\text{IRQOUT}}$ を選択し、 $\overline{\text{REFOUT}}$ / $\overline{\text{IRQOUT}}$ 出力の要因として REFOUT と $\overline{\text{IRQOUT}}$ の論理和を選択

## 34.1.20 ピンセレクトレジスタ B (PSELB)

PSELB は、読み出し / 書き込み可能な 16 ビットのレジスタで、「その他の機能」を 2 つ以上マルチプレクスしている端子の機能を選択します。

2 つ以上の「その他の機能」をマルチプレクスしている端子において、一方の「その他の機能」を使用する場合は PSELB の該当ビットを設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット	ビット名	初期値	R/W	説明
15	PSELB15	0	R/W	PTT3 「その他の機能」 $\overline{\text{SCIF0\_RTS}}$ /TPU_TO0 の選択 0: その他の機能として $\overline{\text{SCIF0\_RTS}}$ を選択 1: その他の機能として TPU_TO0 を選択
14	PSELB14	0	R/W	PTT4 「その他の機能」 $\overline{\text{SCIF0\_CTS}}$ /TPU_TO1 の選択 0: その他の機能として $\overline{\text{SCIF0\_CTS}}$ を選択 1: その他の機能として TPU_TO1 を選択
13 12	PSELB13 PSELB12	1 1	R/W R/W	PTV3 「その他の機能」 $\overline{\text{MMC\_ODMOD}}$ /SCIF1_RTS/LCD_VCPWC/TPU_TO2 の選択 00: その他の機能として SCIF1_RTS を選択 01: その他の機能として TPU_TO2 を選択 10: その他の機能として $\overline{\text{MMC\_ODMOD}}$ を選択 11: その他の機能として LCD_VCPWC を選択
11 10	PSELB11 PSELB10	1 1	R/W R/W	PTV4 「その他の機能」 $\overline{\text{MMC\_VDDON}}$ /SCIF1_CTS/LCD_VEPWC/TPU_TO3 の選択 00: その他の機能として SCIF1_CTS を選択 01: その他の機能として TPU_TO3 を選択 10: その他の機能として $\overline{\text{MMC\_VDDON}}$ を選択 11: その他の機能として LCD_VEPWC を選択
9	PSELB9	0	R/W	PTE5 「その他の機能」 $\overline{\text{AFE\_RDET}}$ /IIC_SDA の選択 0: その他の機能として IIC_SDA を選択 1: その他の機能として $\overline{\text{AFE\_RDET}}$ を選択
8	PSELB8	0	R/W	PTE6 「その他の機能」 AFE_RXIN/IIC_SCL の選択 0: その他の機能として IIC_SCL を選択 1: その他の機能として AFE_RXIN を選択
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PSELB0	0	R/W	PTU4 ~ PTU0、PTV2 ~ PTV0 「その他の機能」 SD ホストインタフェースの選択 0: その他の機能として SD ホストインタフェースを選択しない 1: その他の機能として SD ホストインタフェースを選択する

## 34.1.21 ピンセレクトレジスタ C (PSEL C)

PSEL C は、読み出し / 書き込み可能な 16 ビットのレジスタで、「その他の機能」を 2 つ以上マルチプレクスしている端子の機能を選択します。

2 つ以上の「その他の機能」をマルチプレクスしている端子において、一方の「その他の機能」を使用する場合は PSEL C の該当ビットを設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット	ビット名	初期値	R/W	説明
15	PSEL C15	0	R/W	PTU0 「その他の機能」 MMC_CLK/SIOF1_SCK/SD_CLK/TPU_TI2A の選択 00 : その他の機能として SIOF1_SCK を選択 01 : その他の機能として TPU_TI2A を選択 10 : その他の機能として MMC_CLK を選択 11 : PSEL B0 の設定により選択 PSEL B0=0 の場合、リザーブ PSEL B0=1 の場合、その他の機能として SD_CLK を選択
14	PSEL C14	0	R/W	
13	PSEL C13	0	R/W	PTU1 「その他の機能」 MMC_CMD/SIOF1_RxD/SD_CMD/TPU_TI2B の選択 00 : その他の機能として SIOF1_RxD を選択 01 : その他の機能として TPU_TI2B を選択 10 : その他の機能として MMC_CMD を選択 11 : PSEL B0 の設定により選択 PSEL B0=0 の場合、リザーブ PSEL B0=1 の場合、その他の機能として SD_CMD を選択
12	PSEL C12	0	R/W	
11	PSEL C11	0	R/W	PTV1 「その他の機能」 SIM_RST/SCIF1_RxD/SD_WP の選択 00 : その他の機能として SCIF1_RxD を選択 01 : リザーブ 10 : その他の機能として SIM_RST を選択 11 : PSEL B0 の設定により選択 PSEL B0=0 の場合、リザーブ PSEL B0=1 の場合、その他の機能として SD_WP を選択
10	PSEL C10	0	R/W	
9	PSEL C9	0	R/W	PTV2 「その他の機能」 SIM_D/SCIF1_TxD/SD_CD の選択 00 : その他の機能として SCIF1_TxD を選択 01 : リザーブ 10 : その他の機能として SIM_D を選択 11 : PSEL B0 の設定により選択 PSEL B0=0 の場合、リザーブ PSEL B0=1 の場合、その他の機能として SD_CD を選択
8	PSEL C8	0	R/W	
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 34.1.22 ピンセレクトレジスタ D (PSEL D)

PSEL D は、読み出し / 書き込み可能な 16 ビットのレジスタで、「その他の機能」を 2 つ以上マルチプレクスしている端子の機能を選択します。

2 つ以上の「その他の機能」をマルチプレクスしている端子において、一方の「その他の機能」を使用する場合は PSEL D の該当ビットを設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14 13	PSEL D14 PSEL D13	0 0	R/W R/W	PTU2「その他の機能」 MMC_DAT/SIOF1_TxD/SD_DAT0/TPU_TI3A の選択 00: その他の機能として SIOF1_TxD を選択 01: その他の機能として TPU_TI3A を選択 10: その他の機能として MMC_DAT を選択 11: PSEL B0 の設定により選択 PSEL B0=0 の場合、リザーブ PSEL B0=1 の場合、その他の機能として SD_DAT0 を選択
12	PSEL D12	0	R/W	SD_DAT0 端子の制御を PSEL D[14:13] = B'11 の場合に適用 0: 端子を制御しない 1: 端子を制御する SD_DAT0 端子はブルアップ
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 9	PSEL D10 PSEL D9	0 0	R/W R/W	PTU3「その他の機能」 SIOF1_MCLK/SD_DAT1/TPU_TI3B の選択 00: その他の機能として SIOF1_MCLK を選択 01: その他の機能として TPU_TI3B を選択 10: リザーブ 11: PSEL B0 の設定により選択 PSEL B0=0 の場合、リザーブ PSEL B0=1 の場合、その他の機能として SD_DAT1 を選択
8	PSEL D8	0	R/W	SD_DAT1 端子の制御を PSEL D[10:9] = B'11 の場合に適用 0: 端子を制御しない 1: 端子を制御する SD_DAT1 端子はブルアップ
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。



ビット	ビット名	初期値	R/W	説 明
6 5	PSELD6 PSELD5	0 0	R/W R/W	PTU4「その他の機能」SIOF1_SYNC/SD_DAT2の選択 00: その他の機能として SIOF1_SYNC を選択 01: リザーブ 10: リザーブ 11: PSELB0 の設定により選択 PSELB0=0 の場合、リザーブ PSELB0=1 の場合、その他の機能として SD_DAT2 を選択
4	PSELD4	0	R/W	SD_DAT2 端子の制御を PSELD[6:5] = B'11 の場合に適用 0: 端子を制御しない 1: 端子を制御する SD_DAT2 端子はプルアップ
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 1	PSELD2 PSELD1	0 0	R/W R/W	PTV0「その他の機能」SIM_CLK/SCIF1_SCK/SD_DAT3の選択 00: その他の機能として SCIF1_CLK を選択 01: リザーブ 10: その他の機能として SIM_CLK を選択 11: PSELB0 の設定により選択 PSELB0=0 の場合、リザーブ PSELB0=1 の場合、その他の機能として SD_DAT3 を選択
0	PSELD0	0	R/W	SD_DAT3 端子の制御を PSELD[2:1] = B'11 の場合に適用 0: 端子を制御しない 1: 端子を制御する SD_DAT3 端子はプルアップ

## 34.1.23 USB トランシーバ制御レジスタ (UTRCTL)

UTRCTL は、1.8V/3.3V 兼用 I/O バッファのドライブ能力を制御します。

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット
8	DRV	0	R/W	I/O バッファ Drive 制御ビット 0 : 1.8V/3.3V 兼用 I/O バッファのドライブ能力大 1 : 1.8V/3.3V 兼用 I/O バッファのドライブ能力小 電源端子 VccQ1 は 1.65V ~ 1.95V または、2.7V ~ 3.6V の設定が可能です。 VccQ1 を 1.65V ~ 1.95V に設定した場合は、1.8V/3.3V 兼用 I/O バッファのドライブ能力大 (DRV = 0) に、2.7V ~ 3.6V に設定した場合は、1.8V/3.3V 兼用 I/O バッファのドライブ能力小 (DRV = 1) に設定することを推奨します。
7~2	-	すべて 0	R/W	リザーブビット
1	USB_TRANS	0	R/W	「第 23 章 USB ピンマルチプレクスコントローラ」を参照してください。
0	USB_SEL	1	R/W	

## 35. I/O ポート

本 LSI には 18 本の I/O ポート (ポート A ~ H、J ~ M、P、R ~ V) があります。それぞれの I/O ポートの端子は、すべて、他の端子機能 (ピンファンクションコントローラ (PFC) で端子機能とプルアップ MOS 制御の選択を行います) を兼ねているマルチプレクス端子です。I/O ポートは、それぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

### 35.1 ポート A

ポート A は図 35.1 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート A コントロールレジスタ (PACR) で制御します。

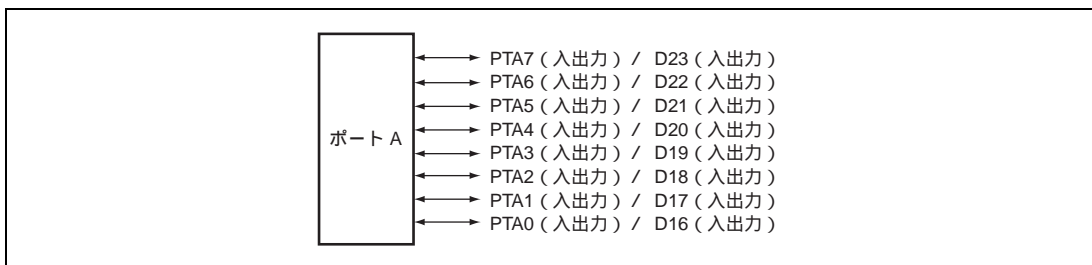


図 35.1 ポート A

#### 35.1.1 レジスタの説明

ポート A には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート A データレジスタ (PADR)

#### 35.1.2 ポート A データレジスタ (PADR)

PADR は、端子 PTA7 ~ PTA0 のデータを格納するレジスタです。PA7DT ~ PA0DT ビットは PTA7 ~ PTA0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PADR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PA7DT	0	R/W	表 35.1 に PADR の機能を示します。
6	PA6DT	0	R/W	
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1	PA1DT	0	R/W	
0	PA0DT	0	R/W	

表 35.1 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PACR の状態		端子状態	読み出しの場合	書き込みの場合
PAnMD1	PAnMD0			
0	0	その他の機能	PADR の値	PADR に書き込めるが、端子の状態に影響しない
	1	出力	PADR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PADR に書き込めるが、端子の状態に影響しない

【注】n=0-7

## 35.2 ポート B

ポート B は図 35.2 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート B コントロールレジスタ (PBCR) で制御します。

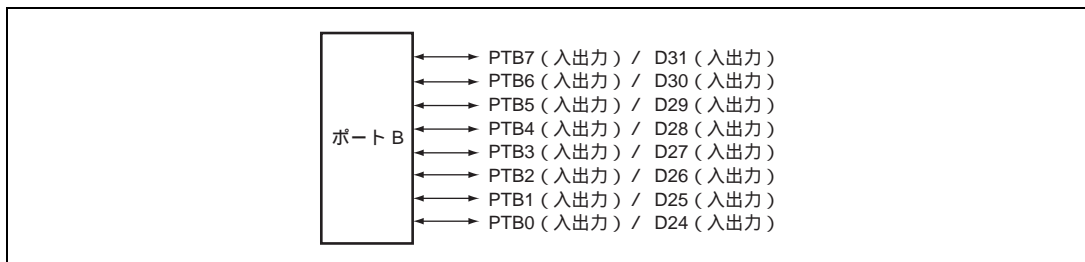


図 35.2 ポート B

### 35.2.1 レジスタの説明

ポート B には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照ください。

- ポート B データレジスタ (PBDR)

### 35.2.2 ポート B データレジスタ (PBDR)

PBDR は、端子 PTB7 ~ PTB0 のデータを格納するレジスタです。PB7DT ~ PB0DT ビットは PTB7 ~ PTB0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PBDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PB7DT	0	R/W	表 35.2 に PBDR の機能を示します。
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	

表 35.2 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

PBCR の状態		端子状態	読み出しの場合	書き込みの場合
PBnMD1	PBnMD0			
0	0	その他の機能	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない。
	1	出力	PBDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない。
	1	入力 (プルアップ MOS オフ)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない。

【注】 n = 0 ~ 7

### 35.3 ポート C

ポート C は図 35.3 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート C コントロールレジスタ (PCCR) で制御します。

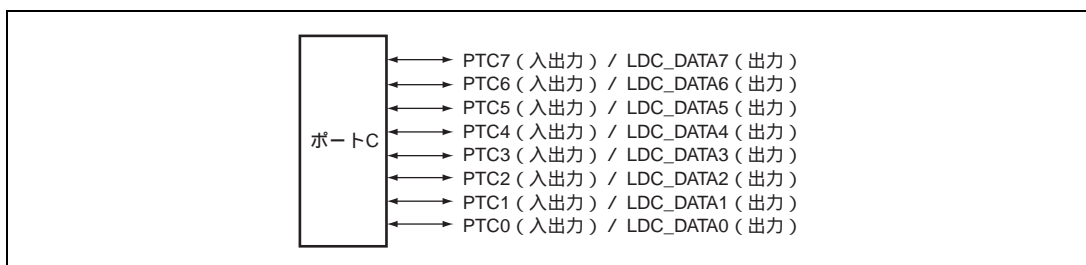


図 35.3 ポート C

#### 35.3.1 レジスタの説明

ポート C には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポートCデータレジスタ (PCDR)

#### 35.3.2 ポート C データレジスタ (PCDR)

PCDR は、端子 PTC7 ~ PTC0 のデータを格納するレジスタです。PC7DT ~ PC0DT ビットは PTC7 ~ PTC0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PCDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PC7DT	0	R/W	表 35.3 に PCDR の機能を示します。
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

表 35.3 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

PCCR の状態		端子状態	読み出しの場合	書き込みの場合
PCnMD1	PCnMD0			
0	0	その他の機能	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない
	1	出力	PCDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない

【注】n=0~7

## 35.4 ポート D

ポート D は図 35.4 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート D コントロールレジスタ (PDCR) で制御します。

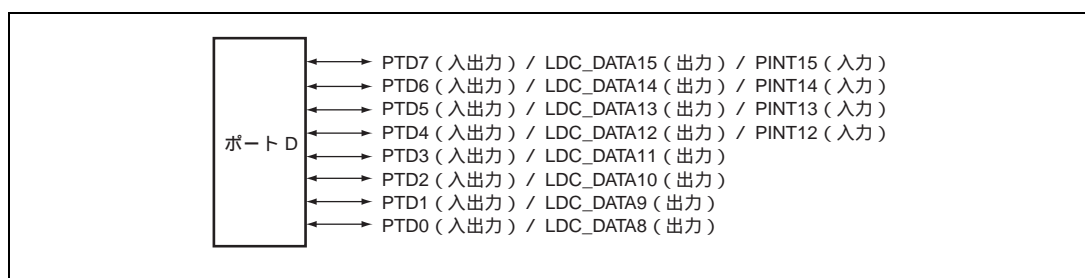


図 35.4 ポート D

### 35.4.1 レジスタの説明

ポート D には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート D データレジスタ (PDDR)

#### 35.4.2 ポート D データレジスタ (PDDR)

PDDR は、端子 PTD7 ~ PTD0 のデータを格納するレジスタです。PD7DT ~ PD0DT ビットは PTD7 ~ PTD0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PDDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PD7DT	0	R/W	表 35.4 に PDDR の機能を示します。
6	PD6DT	0	R/W	
5	PD5DT	0	R/W	
4	PD4DT	0	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

表 35.4 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDCR の状態		端子状態	読み出しの場合	書き込みの場合
PDnMD1	PDnMD0			
0	0	その他の機能	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない
	1	出力	PDDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない

【注】n=0~7

## 35.5 ポート E

ポート E は図 35.5 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート E コントロールレジスタ (PECR) で制御します。

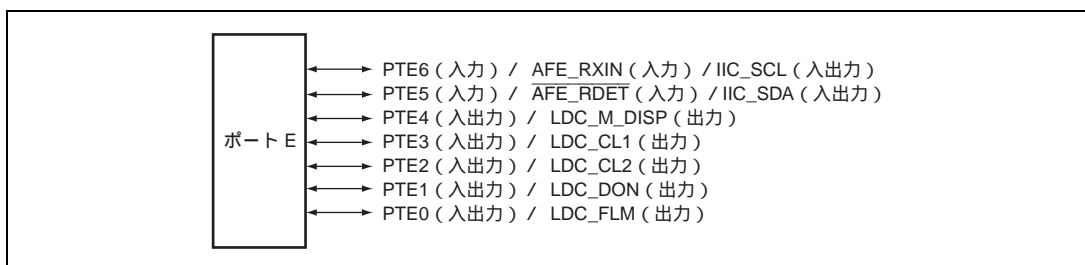


図 35.5 ポート E

### 35.5.1 レジスタの説明

ポート E には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート E データレジスタ (PEDR)



### 35.5.2 ポート E データレジスタ (PEDR)

PEDR は、端子 PTE6 ~ PTE0 のデータを格納するレジスタです。PE6DT ~ PE0DT ビットは PTE6 ~ PTE0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PEDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PE6DT	0	R/W	表 35.5 に PEDR の機能を示します。
5	PE5DT	0	R/W	
4	PE4DT	0	R/W	
3	PE3DT	0	R/W	
2	PE2DT	0	R/W	
1	PE1DT	0	R/W	
0	PE0DT	0	R/W	

表 35.5 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

PEDR の状態		端子状態	読み出しの場合	書き込みの場合
PE <sub>n</sub> MD1	PE <sub>n</sub> MD0			
0	0	その他の機能	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない
	1	出力	PEDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない

【注】n = 0 ~ 4

PEDR の状態		端子状態	読み出しの場合	書き込みの場合
PE <sub>n</sub> MD1				
0		その他の機能	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない
1		入力 (プルアップ MOS オフ)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない

【注】n = 5, 6

## 35.6 ポート F

ポート F は図 35.6 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート F コントロールレジスタ (PFCR) で制御します。

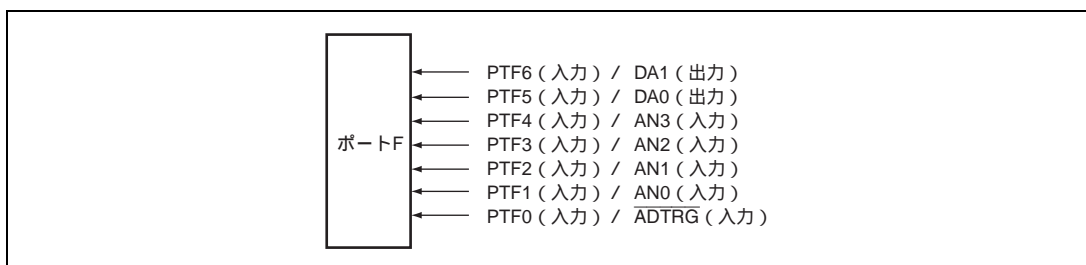


図 35.6 ポート F

### 35.6.1 レジスタの説明

ポート F には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート F データレジスタ (PFDR)

### 35.6.2 ポート F データレジスタ (PFDR)

PFDR は、端子 PTF6 ~ PTF0 のデータを格納するレジスタです。PF6DT ~ PF0DT ビットは PTF6 ~ PTF0 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PF6DT	0	R	表 35.6 に PFDR の機能を示します。
5	PF5DT	0	R	
4	PF4DT	0	R	
3	PF3DT	0	R	
2	PF2DT	0	R	
1	PF1DT	0	R	
0	PF0DT	0	R	

表 35.6 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作

PFCR の状態		端子状態	読み出しの場合	書き込みの場合
PFnMD1	PFnMD0			
0	0	その他の機能	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない
	1	リザーブ	–	–
1	–	入力 (プルアップ MOS オフ)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない

【注】n = 1 ~ 6

PFCR の状態		端子状態	読み出しの場合	書き込みの場合
PFnMD1	PFnMD0			
0	0	その他の機能	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない
	1	リザーブ	–	–
1	0	入力 (プルアップ MOS オン)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない

【注】n = 0

## 35.7 ポート G

ポート G は図 35.7 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート G コントロールレジスタ (PGCR) で制御します。

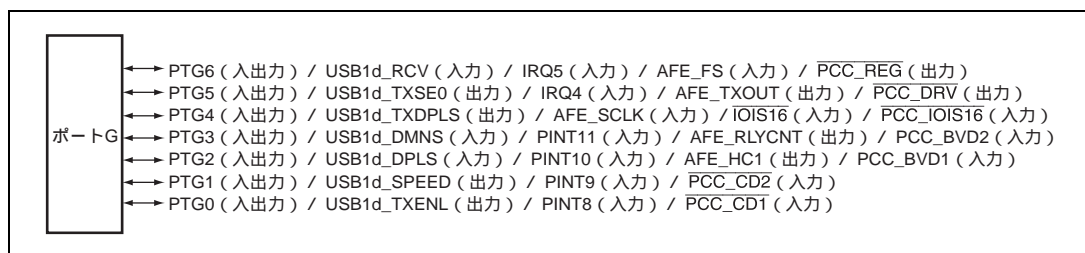


図 35.7 ポート G

### 35.7.1 レジスタの説明

ポート G には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート G データレジスタ (PGDR)

### 35.7.2 ポート G データレジスタ (PGDR)

PGDR は、端子 PTG6 ~ PTG0 のデータを格納するレジスタです。PG6DT ~ PG0DT ビットは PTG6 ~ PTG0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PGDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PG6DT	0	R/W	表 35.7 に PGDR の機能を示します。
5	PG5DT	0	R/W	
4	PG4DT	0	R/W	
3	PG3DT	0	R/W	
2	PG2DT	0	R/W	
1	PG1DT	0	R/W	
0	PG0DT	0	R/W	

表 35.7 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作

PGCR の状態		端子状態	読み出しの場合	書き込みの場合
PGnMD1	PGnMD0			
0	0	その他の機能	PGDR の値	PGDR に書き込めるが、端子の状態に影響しない
	1	出力	PGDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PGDR に書き込めるが、端子の状態に影響しない

【注】 n = 0 ~ 6

## 35.8 ポート H

ポート H は図 35.8 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート H コントロールレジスタ (PHCR) で制御します。

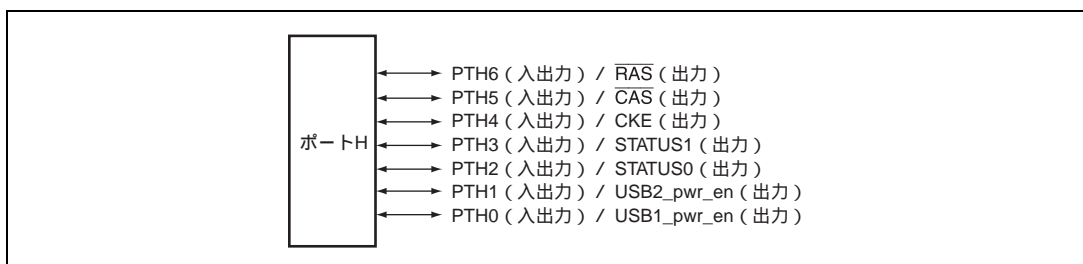


図 35.8 ポート H

### 35.8.1 レジスタの説明

ポート H には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート H データレジスタ (PHDR)

### 35.8.2 ポート H データレジスタ (PHDR)

PHDR は、端子 PTH6 ~ PTH0 のデータを格納するレジスタです。PH6DT ~ PH0DT ビットは PTH6 ~ PTH0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PHDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PH6DT	0	R/W	表 35.8 に PHDR の機能を示します。
5	PH5DT	0	R/W	
4	PH4DT	0	R/W	
3	PH3DT	0	R/W	
2	PH2DT	0	R/W	
1	PH1DT	0	R/W	
0	PH0DT	0	R/W	

表 35.8 ポートHデータレジスタ (PHDR) の読み出し / 書き込み動作

PHCR の状態		端子状態	読み出しの場合	書き込みの場合
PHnMD1	PHnMD0			
0	0	その他の機能	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない
	1	出力	PHDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない

【注】n=0-6

## 35.9 ポート J

ポート J は図 35.9 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート J コントロールレジスタ (PJCR) で制御します。

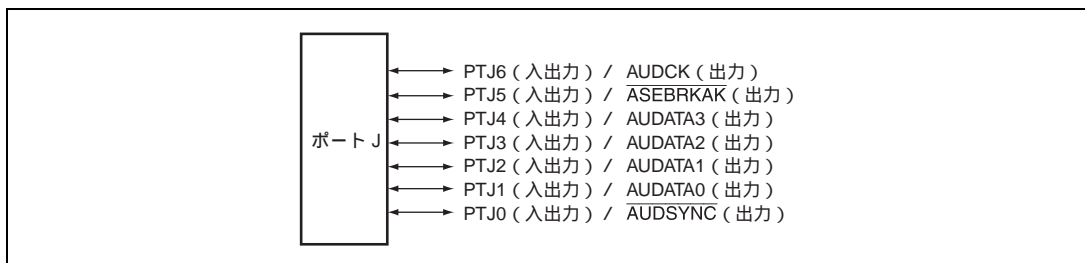


図 35.9 ポート J

### 35.9.1 レジスタの説明

ポート J には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート J データレジスタ (PJDR)

### 35.9.2 ポート J データレジスタ (PJDR)

PJDR は、端子 PTJ6 ~ PTJ0 のデータを格納するレジスタです。PJ6DT ~ PJ0DT ビットは PTJ6 ~ PTJ0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PJDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PJ6DT	0	R/W	表 35.9 に PJDR の機能を示します。
5	PJ5DT	0	R/W	
4	PJ4DT	0	R/W	
3	PJ3DT	0	R/W	
2	PJ2DT	0	R/W	
1	PJ1DT	0	R/W	
0	PJ0DT	0	R/W	

表 35.9 ポート J データレジスタ (PJDR) の読み出し / 書き込み動作

PJCR の状態		端子状態	読み出しの場合	書き込みの場合
PJnMD1	PJnMD0			
0	0	その他の機能	PJDR の値	PJDR に書き込めるが、端子の状態に影響しない
	1	出力	PJDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PJDR に書き込めるが、端子の状態に影響しない

【注】 n = 0 ~ 6

## 35.10 ポート K

ポート K は図 35.10 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート K コントロールレジスタ (PKCR) で制御します。

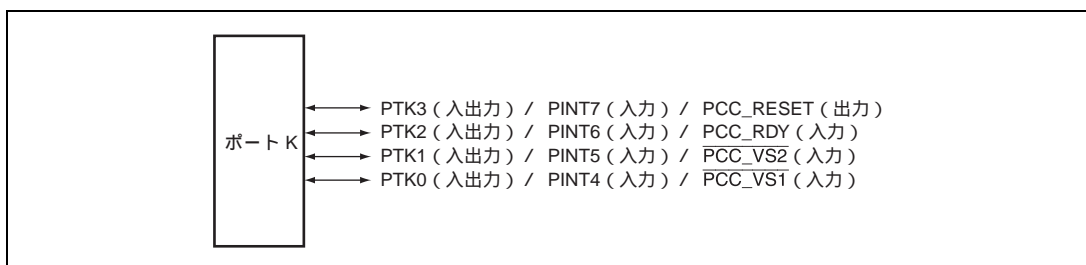


図 35.10 ポート K

### 35.10.1 レジスタの説明

ポート K には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート K データレジスタ (PKDR)

### 35.10.2 ポート K データレジスタ (PKDR)

PKDR は、端子 PTK3 ~ PTK0 のデータを格納するレジスタです。PK3DT ~ PK0DT ビットは PTK3 ~ PTK0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PKDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
3	PK3DT	0	R/W	表 35.10 に PKDR の機能を示します。
2	PK2DT	0	R/W	
1	PK1DT	0	R/W	
0	PK0DT	0	R/W	



表 35.10 ポート K データレジスタ (PKDR) の読み出し / 書き込み動作

PKCR の状態		端子状態	読み出しの場合	書き込みの場合
PKnMD1	PKnMD0			
0	0	その他の機能	PKDR の値	PKDR に書き込めるが、端子の状態に影響しない
	1	出力	PKDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PKDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PKDR に書き込めるが、端子の状態に影響しない

【注】n=0~3

## 35.11 ポート L

ポート L は図 35.11 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート L コントロールレジスタ (PLCR) で制御します。

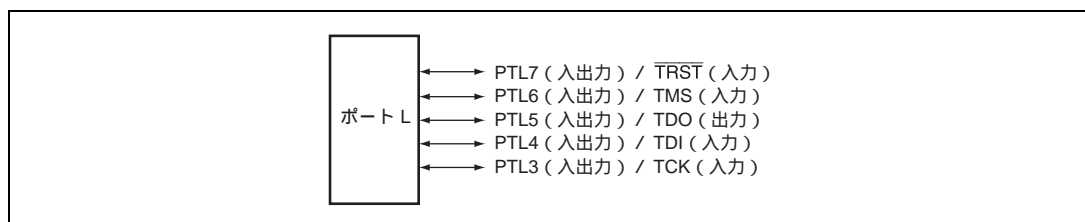


図 35.11 ポート L

### 35.11.1 レジスタの説明

ポート L には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート L データレジスタ (PLDR)

### 35.11.2 ポートLデータレジスタ (PLDR)

PLDR は、端子 PTL7 ~ PTL3 のデータを格納するレジスタです。PL7DT ~ PL3DT ビットは PTL7 ~ PTL3 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PLDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PL7DT	0	R/W	表 35.11 に PLDR の機能を示します。
6	PL6DT	0	R/W	
5	PL5DT	0	R/W	
4	PL4DT	0	R/W	
3	PL3DT	0	R/W	
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

表 35.11 ポートLデータレジスタ (PLDR) の読み出し / 書き込み動作

PLCR の状態		端子状態	読み出しの場合	書き込みの場合
PLnMD1	PLnMD0			
0	0	その他の機能	PLDR の値	PLDR に書き込めるが、端子の状態に影響しない
	1	出力	PLDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PLDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PLDR に書き込めるが、端子の状態に影響しない

【注】 n=3~7

## 35.12 ポート M

ポート M は図 35.12 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート M コントロールレジスタ (PMCR) で制御します。

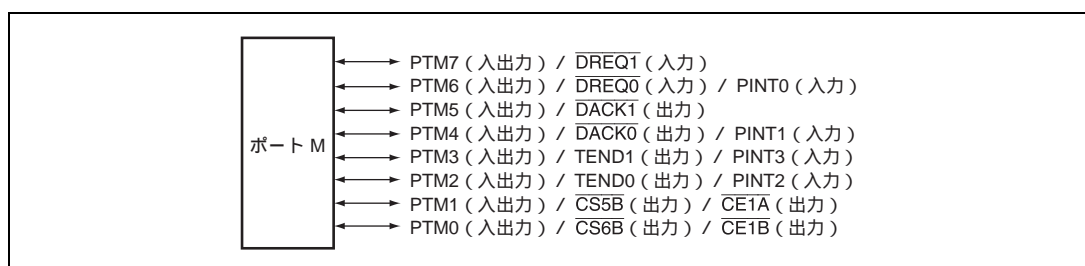


図 35.12 ポート M

### 35.12.1 レジスタの説明

ポート M には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート M データレジスタ (PMDR)

### 35.12.2 ポート M データレジスタ (PMDR)

PMDR は、端子 PTM7 ~ PTM0 のデータを格納するレジスタです。PM7DT ~ PM0DT ビットは PTM7 ~ PTM0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PMDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PM7DT	0	R/W	表 35.12 に PMDR の機能を示します。
6	PM6DT	0	R/W	
5	PM5DT	0	R/W	
4	PM4DT	0	R/W	
3	PM3DT	0	R/W	
2	PM2DT	0	R/W	
1	PM1DT	0	R/W	
0	PM0DT	0	R/W	

表 35.12 ポート M データレジスタ (PMDR) の読み出し / 書き込み動作

PMCR の状態		端子状態	読み出しの場合	書き込みの場合
PMnMD1	PMnMD0			
0	0	その他の機能	PMDR の値	PMDR に書き込めるが、端子の状態に影響しない
	1	出力	PMDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PMDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PMDR に書き込めるが、端子の状態に影響しない

【注】n=0-7

### 35.13 ポート P

ポート P は図 35.13 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート P コントロールレジスタ (PPCR) で制御します。

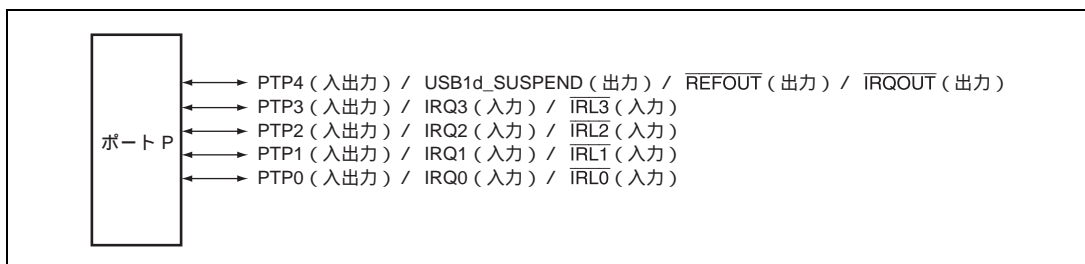


図 35.13 ポート P

#### 35.13.1 レジスタの説明

ポート P には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート P データレジスタ (PPDR)

### 35.13.2 ポート P データレジスタ (PPDR)

PPDR は、端子 PTP4 ~ PTP0 のデータを格納するレジスタです。PP4DT ~ PP0DT ビットは PTP4 ~ PTP0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PPDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	PP4DT	0	R/W	表 35.13 に PPDR の機能を示します。
3	PP3DT	0	R/W	
2	PP2DT	0	R/W	
1	PP1DT	0	R/W	
0	PP0DT	0	R/W	

表 35.13 ポート N データレジスタ (PPDR) の読み出し / 書き込み動作

PPCR の状態		端子状態	読み出しの場合	書き込みの場合
PPnMD1	PPnMD0			
0	0	その他の機能	PPDR の値	PPDR に書き込めるが、端子の状態に影響しない
	1	出力	PPDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PPDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PPDR に書き込めるが、端子の状態に影響しない

【注】 n = 0 ~ 4

## 35.14 ポート R

ポート R は図 35.14 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート R コントロールレジスタ (PRCR) で制御します。

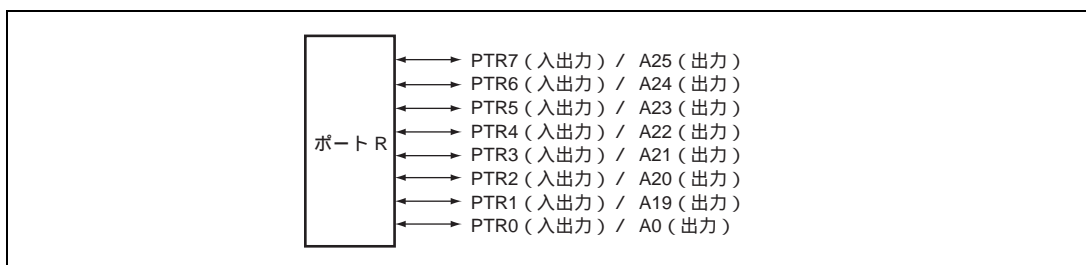


図 35.14 ポート R

### 35.14.1 レジスタの説明

ポート R には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート R データレジスタ (PRDR)

### 35.14.2 ポート R データレジスタ (PRDR)

PRDR は、端子 PTR7 ~ PTR0 のデータを格納するレジスタです。PR7DT ~ PR0DT ビットは PTR7 ~ PTR0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PRDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PR7DT	0	R/W	表 35.14 に PRDR の機能を示します。
6	PR6DT	0	R/W	
5	PR5DT	0	R/W	
4	PR4DT	0	R/W	
3	PR3DT	0	R/W	
2	PR2DT	0	R/W	
1	PR1DT	0	R/W	
0	PR0DT	0	R/W	

表 35.14 ポート R データレジスタ (PRDR) の読み出し / 書き込み動作

PRCR の状態		端子状態	読み出しの場合	書き込みの場合
PRnMD1	PRnMD0			
0	0	その他の機能	PRDR の値	PRDR に書き込めるが、端子の状態に影響しない
	1	出力	PRDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PRDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PRDR に書き込めるが、端子の状態に影響しない

【注】n=0~7

## 35.15 ポート S

ポート S は図 35.15 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート S コントロールレジスタ (PSCR) で制御します。

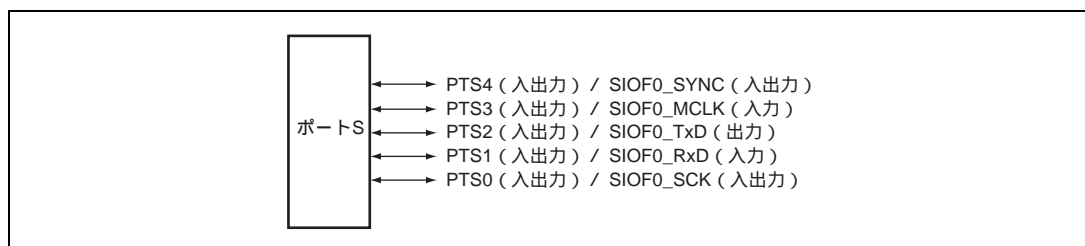


図 35.15 ポート S

### 35.15.1 レジスタの説明

ポート S には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート S データレジスタ (PSDR)

### 35.15.2 ポート S データレジスタ (PSDR)

PSDR は、端子 PTS4 ~ PTS0 のデータを格納するレジスタです。PS4DT ~ PS0DT ビットは PTS4 ~ PTS0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PSDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
4	PS4DT	0	R/W	表 35.15 に PSDR の機能を示します。
3	PS3DT	0	R/W	
2	PS2DT	0	R/W	
1	PS1DT	0	R/W	
0	PS0DT	0	R/W	

表 35.15 ポート S データレジスタ (PSDR) の読み出し / 書き込み動作

PSCR の状態		端子状態	読み出しの場合	書き込みの場合
PSnMD1	PSnMD0			
0	0	その他の機能	PSDR の値	PSDR に書き込めるが、端子の状態に影響しない
	1	出力	PSDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PSDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PSDR に書き込めるが、端子の状態に影響しない

【注】 n=0~4

## 35.16 ポート T

ポート T は図 35.16 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート T コントロールレジスタ (PTCR) で制御します。

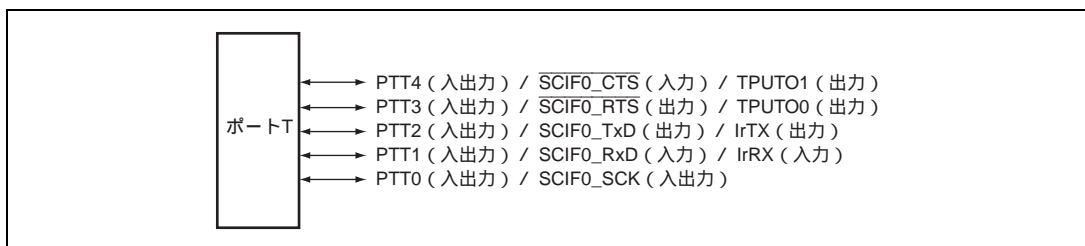


図 35.16 ポート T

### 35.16.1 レジスタの説明

ポート T には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート T データレジスタ (PTDR)



### 35.16.2 ポート T データレジスタ (PTDR)

PTDR は、端子 PTT4 ~ PTT0 のデータを格納するレジスタです。PT4DT ~ PT0DT ビットは PTT4 ~ PTT0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PTDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	PT4DT	0	R/W	表 35.16 に PTDR の機能を示します。
3	PT3DT	0	R/W	
2	PT2DT	0	R/W	
1	PT1DT	0	R/W	
0	PT0DT	0	R/W	

表 35.16 ポート T データレジスタ (PTDR) の読み出し / 書き込み動作

PTCR の状態		端子状態	読み出しの場合	書き込みの場合
PTnMD1	PTnMD0			
0	0	その他の機能	PTDR の値	PTDR に書き込めるが、端子の状態に影響しない
	1	出力	PTDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PTDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PTDR に書き込めるが、端子の状態に影響しない

【注】 n=0~4

## 35.17 ポート U

ポート U は図 35.17 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート U コントロールレジスタ (PUCR) で制御します。

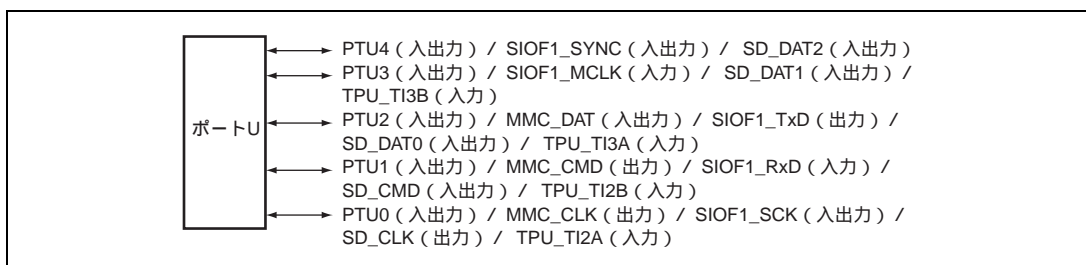


図 35.17 ポート U

### 35.17.1 レジスタの説明

ポート U には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポート U データレジスタ (PUDR)

### 35.17.2 ポート U データレジスタ (PUDR)

PUDR は、端子 PTU4 ~ PTU0 のデータを格納するレジスタです。PU4DT ~ PU0DT ビットは PTU4 ~ PTU0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PUDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	PU4DT	0	R/W	表 35.17 に PUDR の機能を示します。
3	PU3DT	0	R/W	
2	PU2DT	0	R/W	
1	PU1DT	0	R/W	
0	PU0DT	0	R/W	

表 35.17 ポート U データレジスタ (PUDR) の読み出し / 書き込み動作

PUCR の状態		端子状態	読み出しの場合	書き込みの場合
PUnMD1	PUnMD0			
0	0	その他の機能	PUDR の値	PUDR に書き込めるが、端子の状態に影響しない
	1	出力	PUDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PUDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PUDR に書き込めるが、端子の状態に影響しない

【注】 n=0~4

## 35.18 ポート V

ポート V は図 35.18 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート V コントロールレジスタ (PVCR) で制御します。

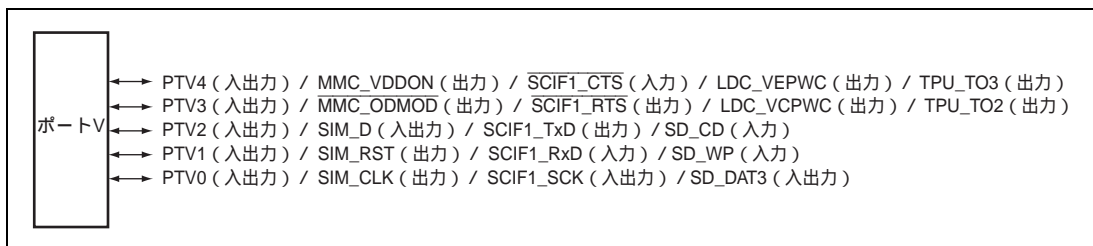


図 35.18 ポート V

### 35.18.1 レジスタの説明

ポート V には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 37 章 レジスタ一覧」を参照してください。

- ポートVデータレジスタ (PVDR)

### 35.18.2 ポート V データレジスタ (PVDR)

PVDR は、端子 PTV4 ~ PTV0 のデータを格納するレジスタです。PV4DT ~ PV0DT ビットは PTV4 ~ PTV0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PVDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	PV4DT	0	R/W	表 35.18 に PVDR の機能を示します。
3	PV3DT	0	R/W	
2	PV2DT	0	R/W	
1	PV1DT	0	R/W	
0	PV0DT	0	R/W	

表 35.18 ポート V データレジスタ (PVDR) の読み出し / 書き込み動作

PVCR の状態		端子状態	読み出しの場合	書き込みの場合
PVnMD1	PVnMD0			
0	0	その他の機能	PVDR の値	PVDR に書き込めるが、端子の状態に影響しない
	1	出力	PVDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PVDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PVDR に書き込めるが、端子の状態に影響しない

【注】 n=0~4

## 36. ユーザデバッグインタフェース (H-UDI)

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェース(H-UDI) およびアドバンストユーザデバッガ (AUD) を内蔵しています。

本章では、H-UDI について説明します。AUD はエミュレータ専用の機能であり、詳細については各エミュレータのユーザズマニュアルを参照してください。

### 36.1 特長

ユーザデバッグインタフェース(H-UDI)は、JTAG( Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture ) に対応したシリアル入出力インタフェースです。

本 LSI の H-UDI はバウンダリスキャンをサポートし、エミュレータの接続にも使用されます。

エミュレータを使用する場合は、H-UDI の機能を使用しないでください。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

H-UDI のブロック図を図 36.1 に示します。

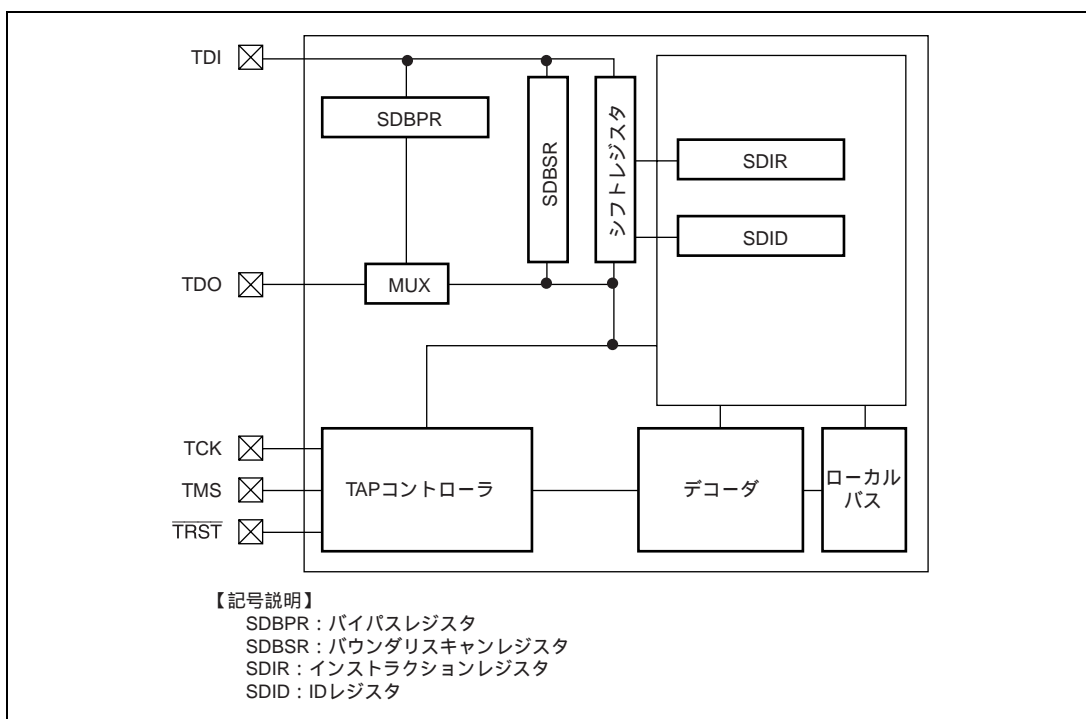


図 36.1 H-UDI ブロック図

## 36.2 入出力端子

表 36.1 に H-UDI の端子構成を示します。

表 36.1 端子構成

名 称	入出力	説 明
TCK	入力	シリアルデータ入出力用クロック端子 データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
TMS	入力	モードセレクト入力端子 TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは JTAG 規格 (IEEE Std.1149.1) に対応しています。
TRST	入力	リセット入力端子 TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは JTAG の規格と異なります。リセット構成の詳細については「36.4.2 リセット構成」を参照してください。
TDI	入力	シリアルデータ入力端子 TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。
TDO	出力	シリアルデータ出力端子 TCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出力タイミングは SDIR に設定されているコマンドの種類により異なります。詳細については、「36.4.3 TDO 出力タイミング」を参照してください。
ASEMD0	入力	ASE モードセレクト端子 RESETP 端子アサート期間中に、ASEMD0 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。エミュレータおよび H-UDI を使用せずにユーザシステム単体で使用する場合は、ハイレベルにしてください。ASE モードでは、エミュレータ専用の機能が使用可能になります。ASEMD0 端子への入力レベルは、RESETP 端子ネゲート後、最低 1 サイクル保持してください。
ASEBRKAK AUDSYNC AUDATA3 ~ AUDATA0 AUDCK	出力	エミュレータ専用の端子

### 36.3 レジスタの説明

H-UDI には以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 37 章 レジスタ一覧」を参照してください。

- バイパスレジスタ (SDBPR)
- インストラクションレジスタ (SDIR)
- バウンダリスキャンレジスタ (SDBSR)
- IDレジスタ (SDID)
- シフトレジスタ

#### 36.3.1 バイパスレジスタ (SDBPR)

SDBPR は CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR をバイパスモードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定です。

#### 36.3.2 インストラクションレジスタ (SDIR)

SDIR は、CPU からは読み出しのみ可能な 16 ビットのレジスタです。初期状態でこのレジスタは JTAG IDCODE になっています。 $\overline{\text{TRST}}$  のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説明
15~13	TI7~TI5	すべて 1	R	テストインストラクション 7~0 H-UDI のインストラクションは、TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 36.2 を参照してください。
12	TI4	0	R	
11~8	TI3~TI0	すべて 1	R	
7~2	-	すべて 1	R	リザーブビットです。読み出すと常に 1 が読み出されます。
1	-	0	R	リザーブビットです。読み出すと常に 0 が読み出されます。
0	-	1	R	リザーブビットです。読み出すと常に 1 が読み出されます。

表 36.2 H-UDI コマンド

ビット 15～8								説 明
TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	
0	0	0	0	-	-	-	-	JTAG EXTEST
0	0	1	0	-	-	-	-	JTAG CLAMP
0	0	1	1	-	-	-	-	JTAG HIGHZ
0	1	0	0	-	-	-	-	JTAG SAMPLE/PRELOAD
0	1	1	0	-	-	-	-	H-UDI リセット、ネゲート
0	1	1	1	-	-	-	-	H-UDI リセット、アサート
1	0	1	-	-	-	-	-	H-UDI 割り込み
1	1	1	0	-	-	-	-	JTAG IDCODE (初期値)
1	1	1	1	-	-	-	-	JTAG BYPASS
上記以外								予約

### 36.3.3 シフトレジスタ

シフトレジスタは 32bit のレジスタです。

Update\_IR で SDIR に上位 16 ビットが取り込まれます。

シフトインするとシフトレジスタ長 (32bit) 出力後、シフトインしたデータがシフトアウトされます。

### 36.3.4 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置された 434 ビットのシフトレジスタです。初期値は不定です。CPU からはアクセスできません。

EXTEST、SAMPLE/PRELOAD、CLAMP、HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。表 36.3 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。



表 36.3 本 LSI の端子とバウンダリスキャンレジスタの対応

ビット名	端子名	入出力	ビット名	端子名	入出力
	from TDI		398	D18/PTA2	OUT
433	MD2	IN	397	D17/PTA1	OUT
432	MD1	IN	396	D16/PTA0	OUT
431	MD0	IN	395	RD/WR	OUT
430	D31/PTB7	IN	394	CAS/PTH5	OUT
429	D30/PTB6	IN	393	WE3/DQMUI/CIOWR	OUT
428	D29/PTB5	IN	392	WE2/DQMUL/CIORD	OUT
427	D28/PTB4	IN	391	CKE/PTH4	OUT
426	D27/PTB3	IN	390	RAS/PTH6	OUT
425	D26/PTB2	IN	389	WE1/DQMLU/WE	OUT
424	D25/PTB1	IN	388	WE0/DQMLL	OUT
423	D24/PTB0	IN	387	CS2	OUT
422	D23/PTA7	IN	386	CS3	OUT
421	D22/PTA6	IN	385	A17	OUT
420	D21/PTA5	IN	384	A16	OUT
419	D20/PTA4	IN	383	A15	OUT
418	D19/PTA3	IN	382	A14	OUT
417	D18/PTA2	IN	381	A13	OUT
416	D17/PTA1	IN	380	A12	OUT
415	D16/PTA0	IN	379	A11	OUT
414	CAS/PTH5	IN	378	A10	OUT
413	CKE/PTH4	IN	377	A9	OUT
412	RAS/PTH6	IN	376	A8	OUT
411	D31/PTB7	OUT	375	A7	OUT
410	D30/PTB6	OUT	374	A6	OUT
409	D29/PTB5	OUT	373	A5	OUT
408	D28/PTB4	OUT	372	A4	OUT
407	D27/PTB3	OUT	371	A3	OUT
406	D26/PTB2	OUT	370	D31/PTB7	Control
405	D25/PTB1	OUT	369	D30/PTB6	Control
404	D24/PTB0	OUT	368	D29/PTB5	Control
403	D23/PTA7	OUT	367	D28/PTB4	Control
402	D22/PTA6	OUT	366	D27/PTB3	Control
401	D21/PTA5	OUT	365	D26/PTB2	Control
400	D20/PTA4	OUT	364	D25/PTB1	Control
399	D19/PTA3	OUT	363	D24/PTB0	Control

ビット名	端子名	入出力	ビット名	端子名	入出力
362	D23/PTA7	Control	325	D12	IN
361	D22/PTA6	Control	324	D11	IN
360	D21/PTA5	Control	323	D10	IN
359	D20/PTA4	Control	322	D9	IN
358	D19/PTA3	Control	321	D8	IN
357	D18/PTA2	Control	320	D7	IN
356	D17/PTA1	Control	319	D6	IN
355	D16/PTA0	Control	318	D5	IN
354	RD/ $\overline{WR}$	Control	317	D4	IN
353	$\overline{CAS}$ /PTH5	Control	316	D3	IN
352	$\overline{WE3/DQM0U0/IC0WR}$	Control	315	D2	IN
351	$\overline{WE2/DQM0L/IC0RD}$	Control	314	D1	IN
350	CKE/PTH4	Control	313	D0	IN
349	$\overline{RAS}$ /PTH6	Control	312	$\overline{CS6B/CE1B/PTM0}$	IN
348	$\overline{WE1/DQMLU/WE}$	Control	311	$\overline{CS5B/CE1A/PTM1}$	IN
347	$\overline{WE0/DQMLL}$	Control	310	BREQ	IN
346	$\overline{CS2}$	Control	309	$\overline{WAIT/PCC\_WAIT}$	IN
345	$\overline{CS3}$	Control	308	A19/PTR1	IN
344	A17	Control	307	A20/PTR2	IN
343	A16	Control	306	A21/PTR3	IN
342	A15	Control	305	A22/PTR4	IN
341	A14	Control	304	A23/PTR5	IN
340	A13	Control	303	A24/PTR6	IN
339	A12	Control	302	A25/PTR7	IN
338	A11	Control	301	$\overline{DREQ0/PINT0/PTM6}$	IN
337	A10	Control	300	$\overline{DACK0/PINT1/PTM4}$	IN
336	A9	Control	299	TEND0/PINT2/PTM2	IN
335	A8	Control	298	$\overline{DREQ1/PTM7}$	IN
334	A7	Control	297	$\overline{DACK1/PTM5}$	IN
333	A6	Control	296	TEND1/PINT3/PTM3	IN
332	A5	Control	295	A2	OUT
331	A4	Control	294	A1	OUT
330	A3	Control	293	A0/PTR0	OUT
329	A0/PTR0	IN	292	D15	OUT
328	D15	IN	291	D14	OUT
327	D14	IN	290	D13	OUT
326	D13	IN	289	D12	OUT

ビット名	端子名	入出力	ビット名	端子名	入出力
288	D11	OUT	251	A0/PTR0	Control
287	D10	OUT	250	D15	Control
286	D9	OUT	249	D14	Control
285	D8	OUT	248	D13	Control
284	D7	OUT	247	D12	Control
283	D6	OUT	246	D11	Control
282	D5	OUT	245	D10	Control
281	D4	OUT	244	D9	Control
280	D3	OUT	243	D8	Control
279	D2	OUT	242	D7	Control
278	D1	OUT	241	D6	Control
277	D0	OUT	240	D5	Control
276	$\overline{CS6B}/CE1B/PTM0$	OUT	239	D4	Control
275	$\overline{CS6A}/CE2B$	OUT	238	D3	Control
274	$\overline{CS5B}/CE1A/PTM1$	OUT	237	D2	Control
273	$\overline{CS5A}/CE2A$	OUT	236	D1	Control
272	$\overline{BACK}$	OUT	235	D0	Control
271	$\overline{CS0}$	OUT	234	$CS6B/CE1B/PTM0$	Control
270	$\overline{CS4}$	OUT	233	$\overline{CS6A}/CE2B$	Control
269	$\overline{BS}$	OUT	232	$\overline{CS5B}/CE1A/PTM1$	Control
268	$\overline{RD}$	OUT	231	$\overline{CS5A}/CE2A$	Control
267	A18	OUT	230	$\overline{BACK}$	Control
266	A19/PTR1	OUT	229	$\overline{CS0}$	Control
265	A20/PTR2	OUT	228	$\overline{CS4}$	Control
264	A21/PTR3	OUT	227	$\overline{BS}$	Control
263	A22/PTR4	OUT	226	$\overline{RD}$	Control
262	A23/PTR5	OUT	225	A18	Control
261	A24/PTR6	OUT	224	A19/PTR1	Control
260	A25/PTR7	OUT	223	A20/PTR2	Control
259	$\overline{DREQ0}/PINT0/PTM6$	OUT	222	A21/PTR3	Control
258	$\overline{DACK0}/PINT1/PTM4$	OUT	221	A22/PTR4	Control
257	$\overline{TEND0}/PINT2/PTM2$	OUT	220	A23/PTR5	Control
256	$\overline{DREQ1}/PTM7$	OUT	219	A24/PTR6	Control
255	$\overline{DACK1}/PTM5$	OUT	218	A25/PTR7	Control
254	$\overline{TEND1}/PINT3/PTM3$	OUT	217	$\overline{DREQ0}/PINT0/PTM6$	Control
253	A2	Control	216	$\overline{DACK0}/PINT1/PTM4$	Control
252	A1	Control	215	$\overline{TEND0}/PINT2/PTM2$	Control

ビット名	端子名	入出力	ビット名	端子名	入出力
214	DREQ1/PTM7	Control	192	SCIF0_RTS/TPU_TO0/PTT3	IN
213	DACK1/PTM5	Control	191	SCIF0_CTS/TPU_TO1/PTT4	IN
212	TEND1/PINT3/PTM3	Control	190	MMC_CLK/SIOF1_SCK/ SD_CLK/TPU_TI2A/PTU0	IN
211	PCC_VS1/PINT4/PTK0	IN	189	MMC_CMD/SIOF1_RxD/ SD_CMD/TPU_TI2B/PTU1	IN
210	PCC_VS2/PINT5/PTK1	IN	188	MMC_DAT/SIOF1_TxD/ SD_DAT0/TPU_TI3A/PTU2	IN
209	PCC_RDY/PINT6/PTK2	IN	187	SIOF1_MCLK/SD_DAT1/ TPU_TI3B/PTU3	IN
208	PCC_RESET/PINT7/PTK3	IN	186	SIOF1_SYNC/SD_DAT2/PTU4	IN
207	A $\overline{\text{SEBR}}$ KAK/PTJ5	IN	185	SIM_CLK/SCIF1_SCK/ SD_DAT3/PTV0	IN
206	AUDSYN $\overline{\text{C}}$ /PTJ0	IN	184	SIM_RST/SCIF1_RxD/SD_WP/ PTV1	IN
205	AUDCK/PTJ6	IN	183	SIM_D/SCIF1_TxD/SD_CD/ PTV2	IN
204	AUDATA0/PTJ1	IN	182	MMC_ODMOD/SCIF1_RTS/ LCD_VCPWC/TPU_TO2/PTV3	IN
203	AUDATA1/PTJ2	IN	181	MMC_VDDON/SCIF1_CTS/ LCD_VEPWC/TPU_TO3/PTV4	IN
202	AUDATA2/PTJ3	IN	180	USB1d_TXENL/PINT8/ PCC_CD1/PTG0	IN
201	AUDATA3/PTJ4	IN	179	USB1d_SPEED/PINT9/ PCC_CD2/PTG1	IN
200	NMI	IN	178	USB1d_DPLS/PINT10/ AFE_HC1/PCC_BVD1/PTG2	IN
199	IRQ0/I $\overline{\text{RL}}$ 0/PTP0	IN	177	USB1d_DMNS/PINT11/ AFE_RLYCNT/ PCC_BVD2/PTG3	IN
198	IRQ1/I $\overline{\text{RL}}$ 1/PTP1	IN	176	USB1d_TXDPLS/AFE_SCLK/ IOIS16/PCC_IOIS16/PTG4	IN
197	IRQ2/I $\overline{\text{RL}}$ 2/PTP2	IN	175	USB1d_TXSE0/IRQ4/ AFE_TXOUT/PCC_DRV/PTG5	IN
196	IRQ3/I $\overline{\text{RL}}$ 3/PTP3	IN	174	USB1d_RCV/IRQ5/AFE_FS/ PCC_REG/PTG6	IN
195	SCIF0_SCK/PTT0	IN	173	USB1d_SUSPEND/REFOU $\overline{\text{T}}$ / IRQOUT/PTP4	IN
194	SCIF0_RxD/IrRX/PTT1	IN	172	USB1_ovr_current/USBF_VBUS	IN
193	SCIF0_TxD/IrTX/PTT2	IN	171	PCC_VS1/PINT4/PTK0	OUT

ビット名	端子名	入出力	ビット名	端子名	入出力
170	PCC_VS2/PINT5/PTK1	OUT	148	SIOF1_MCLK/SD_DAT1/ TPU_TI3B/PTU3	OUT
169	PCC_RDY/PINT6/PTK2	OUT	147	SIOF1_SYNC/SD_DAT2/PTU4	OUT
168	PCC_RESET/PINT7/PTK3	OUT	146	SIM_CLK/SCIF1_SCK/ SD_DAT3/PTV0	OUT
167	ASEBRKAK/PTJ5	OUT	145	SIM_RST/SCIF1_RxD/SD_WP/ PTV1	OUT
166	AUDSYNC/PTJ0	OUT	144	SIM_D/SCIF1_TxD/SD_CD/ PTV2	OUT
165	AUDCK/PTJ6	OUT	143	MMC_ODMOD/SCIF1_RTS/ LCD_VCPWC/TPU_TO2/PTV3	OUT
164	AUDATA0/PTJ1	OUT	142	MMC_VDDON/SCIF1_CTS/ LCD_VEPWC/TPU_TO3/PTV4	OUT
163	AUDATA1/PTJ2	OUT	141	USB1d_TXENL/PINT8/ PCC_CD1/PTG0	OUT
162	AUDATA2/PTJ3	OUT	140	USB1d_SPEED/PINT9/ PCC_CD2/PTG1	OUT
161	AUDATA3/PTJ4	OUT	139	USB1d_DPLS/PINT10/ AFE_HC1/PCC_BVD1/PTG2	OUT
160	IRQ0/IRL0/PTP0	OUT	138	USB1d_DMNS/PINT11/AFE_RL YCNT/PCC_BVD2/PTG3	OUT
159	IRQ1/IRL1/PTP1	OUT	137	USB1d_TXDPLS/AFE_SCLK/ IOIS16/PCC_IOIS16/PTG4	OUT
158	IRQ2/IRL2/PTP2	OUT	136	USB1d_TXSE0/IRQ4/ AFE_TXOUT/PCC_DRV/PTG5	OUT
157	IRQ3/IRL3/PTP3	OUT	135	USB1d_RCV/IRQ5/AFE_FS/ PCC_REG/PTG6	OUT
156	SCIF0_SCK/PTT0	OUT	134	USB1d_SUSPEND/REFOUT/ IRQOUT/PTP4	OUT
155	SCIF0_RxD/IrRX/PTT1	OUT	133	PCC_VS1/PINT4/PTK0	Control
154	SCIF0_TxD/IrTX/PTT2	OUT	132	PCC_VS2/PINT5/PTK1	Control
153	SCIF0_RTS/TPU_TO0/PTT3	OUT	131	PCC_RDY/PINT6/PTK2	Control
152	SCIF0_CTS/TPU_TO1/PTT4	OUT	130	PCC_RESET/PINT7/PTK3	Control
151	MMC_CLK/SIOF1_SCK/ SD_CLK/TPU_TI2A/PTU0	OUT	129	ASEBRKAK/PTJ5	Control
150	MMC_CMD/SIOF1_RxD/ SD_CMD/TPU_TI2B/PTU1	OUT	128	AUDSYNC/PTJ0	Control
149	MMC_DAT/SIOF1_TxD/ SD_DAT0/TPU_TI3A/PTU2	OUT	127	AUDCK/PTJ6	Control

ビット名	端子名	入出力	ビット名	端子名	入出力
126	AUDATA0/PTJ1	Control	104	MMC_VDDON/SCIF1_CTS/ LCD_VEPWC/TPU_TO3/PTV4	Control
125	AUDATA1/PTJ2	Control	103	USB1d_TXENL/PINT8/ PCC_CD1/PTG0	Control
124	AUDATA2/PTJ3	Control	102	USB1d_SPEED/PINT9/ PCC_CD2/PTG1	Control
123	AUDATA3/PTJ4	Control	101	USB1d_DPLS/PINT10/ AFE_HC1/PCC_BVD1/PTG2	Control
122	IRQ0/I $\overline{R}$ L0/PTP0	Control	100	USB1d_DMNS/PINT11/ AFE_RLYCNT/PCC_BVD2/ PTG3	Control
121	IRQ1/I $\overline{R}$ L1/PTP1	Control	99	USB1d_TXDPLS/AFE_SCLK/ IOIS16/PCC_IOIS16/PTG4	Control
120	IRQ2/I $\overline{R}$ L2/PTP2	Control	98	USB1d_TXSE0/IRQ4/ AFE_TXOUT/PCC_DRV/PTG5	Control
119	IRQ3/I $\overline{R}$ L3/PTP3	Control	97	USB1d_RCV/IRQ5/AFE_FS/ PCC_REG/PTG6	Control
118	SCIF0_SCK/PTT0	Control	96	USB1d_SUSPEND/REFOUT/ I $\overline{R}$ QOUT/PTP4	Control
117	SCIF0_RxD/I $\overline{r}$ RX/PTT1	Control	95	A $\overline{D}$ TRG $\overline{P}$ /PTF0	IN
116	SCIF0_TxD/I $\overline{r}$ TX/PTT2	Control	94	USB1_pwr_en/USBF_UPLUP/ PTH0	IN
115	SCIF0_RTS/TPU_TO0/PTT3	Control	93	USB2_ovr_current	IN
114	SCIF0_CTS/TPU_TO1/PTT4	Control	92	USB2_pwr_en/PTH1	IN
113	MMC_CLK/SIOF1_SCK/ SD_CLK/TPU_TI2A/PTU0	Control	91	SIOF0_SCK/PTS0	IN
112	MMC_CMD/SIOF1_RxD/ SD_CMD/TPU_TI2B/PTU1	Control	90	SIOF0_RxD/PTS1	IN
111	MMC_DAT/SIOF1_TxD/ SD_DAT0/TPU_TI3A/PTU2	Control	89	SIOF0_TxD/PTS2	IN
110	SIOF1_MCLK/SD_DAT1/ TPU_TI3B/PTU3	Control	88	SIOF0_MCLK/PTS3	IN
109	SIOF1_SYNC/SD_DAT2/PTU4	Control	87	LCD_CLK	IN
108	SIM_CLK/SCIF1_SCK/ SD_DAT3/PTV0	Control	86	SIOF0_SYNC/PTS4	IN
107	SIM_RST/SCIF1_RxD/SD_WP/PTV1	Control	85	LCD_M_DISP/PTE4	IN
106	SIM_D/SCIF1_TxD/SD_CD/PTV2	Control	84	LCD_CL1/PTE3	IN
105	MMC_ODMOD/SCIF1_RTS/ LCD_VCPWC/TPU_TO2/PTV3	Control	83	LCD_CL2/PTE2	IN

ビット名	端子名	入出力	ビット名	端子名	入出力
82	LCD_DON/PTE1	IN	45	LCD_DATA2/PTC2	OUT
81	LCD_FLM/PTE0	IN	44	LCD_DATA3/PTC3	OUT
80	LCD_DATA0/PTC0	IN	43	LCD_DATA4/PTC4	OUT
79	LCD_DATA1/PTC1	IN	42	LCD_DATA5/PTC5	OUT
78	LCD_DATA2/PTC2	IN	41	LCD_DATA6/PTC6	OUT
77	LCD_DATA3/PTC3	IN	40	LCD_DATA7/PTC7	OUT
76	LCD_DATA4/PTC4	IN	39	LCD_DATA8/PTD0	OUT
75	LCD_DATA5/PTC5	IN	38	LCD_DATA9/PTD1	OUT
74	LCD_DATA6/PTC6	IN	37	LCD_DATA10/PTD2	OUT
73	LCD_DATA7/PTC7	IN	36	LCD_DATA11/PTD3	OUT
72	LCD_DATA8/PTD0	IN	35	LCD_DATA12/PINT12/PTD4	OUT
71	LCD_DATA9/PTD1	IN	34	LCD_DATA13/PINT13/PTD5	OUT
70	LCD_DATA10/PTD2	IN	33	LCD_DATA14/PINT14/PTD6	OUT
69	LCD_DATA11/PTD3	IN	32	LCD_DATA15/PINT15/PTD7	OUT
68	LCD_DATA12/PINT12/PTD4	IN	31	STATUS0/PTH2	OUT
67	LCD_DATA13/PINT13/PTD5	IN	30	STATUS1/PTH3	OUT
66	LCD_DATA14/PINT14/PTD6	IN	29	USB1_pwr_en/USBF_UPLUP/ PTH0	Control
65	LCD_DATA15/PINT15/PTD7	IN	28	USB2_pwr_en/PTH1	Control
64	STATUS0/PTH2	IN	27	SIOF0_SCK/PTS0	Control
63	STATUS1/PTH3	IN	26	SIOF0_RxD/PTS1	Control
62	MD5	IN	25	SIOF0_TxD/PTS2	Control
61	MD4	IN	24	SIOF0_MCLK/PTS3	Control
60	MD3	IN	23	SIOF0_SYNC/PTS4	Control
59	USB1_pwr_en/USBF_UPLUP/PTH0	OUT	22	LCD_M_DISP/PTE4	Control
58	USB2_pwr_en/PTH1	OUT	21	LCD_CL1/PTE3	Control
57	SIOF0_SCK/PTS0	OUT	20	LCD_CL2/PTE2	Control
56	SIOF0_RxD/PTS1	OUT	19	LCD_DON/PTE1	Control
55	SIOF0_TxD/PTS2	OUT	18	LCD_FLM/PTE0	Control
54	SIOF0_MCLK/PTS3	OUT	17	LCD_DATA0/PTC0	Control
53	SIOF0_SYNC/PTS4	OUT	16	LCD_DATA1/PTC1	Control
52	LCD_M_DISP/PTE4	OUT	15	LCD_DATA2/PTC2	Control
51	LCD_CL1/PTE3	OUT	14	LCD_DATA3/PTC3	Control
50	LCD_CL2/PTE2	OUT	13	LCD_DATA4/PTC4	Control
49	LCD_DON/PTE1	OUT	12	LCD_DATA5/PTC5	Control
48	LCD_FLM/PTE0	OUT	11	LCD_DATA6/PTC6	Control
47	LCD_DATA0/PTC0	OUT	10	LCD_DATA7/PTC7	Control
46	LCD_DATA1/PTC1	OUT	9	LCD_DATA8/PTD0	Control

ビット名	端子名	入出力	ビット名	端子名	入出力
8	LCD_DATA9/PTD1	Control	3	LCD_DATA14/PINT14/PTD6	Control
7	LCD_DATA10/PTD2	Control	2	LCD_DATA15/PINT15/PTD7	Control
6	LCD_DATA11/PTD3	Control	1	STATUS0/PTH2	Control
5	LCD_DATA12/PINT12/PTD4	Control	0	STATUS1/PTH3	Control
4	LCD_DATA13/PINT13/PTD5	Control	to TDO		

【注】 Control はローアクティブの信号です。

Control をローにすることで、該当ピンを OUT の値でドライブします。

### 36.3.5 ID レジスタ (SDID)

SDID は、SDIDH と SDIDL を連結した 32 ビットレジスタで、各々CPU から読み出し可能な 16 ビットのレジスタです。CPU からは、読み出しのみ可能です。

H-UDI 端子側からは、IDCODE のコマンドがセットされ、TAP のステートが Shift-DR のとき、TDO から読み出し可能です。書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	DID31 ~ DID0	(説明参照)	R	デバイス ID31 ~ ID0 JTAG に規定されている ID レジスタです。SH7720 グループでは、H'002F200F (初期値) です。SH7721 グループでは、H'002F2447 (初期値) です。ただし、上位 4 ビットはチップのバージョンにより変更されることがあります。 SDIDH はビット 31 ~ 16 に対応します。 SDIDL はビット 15 ~ 0 に対応します。



## 36.4 動作説明

### 36.4.1 TAP コントローラ

図 36.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に対応しています。

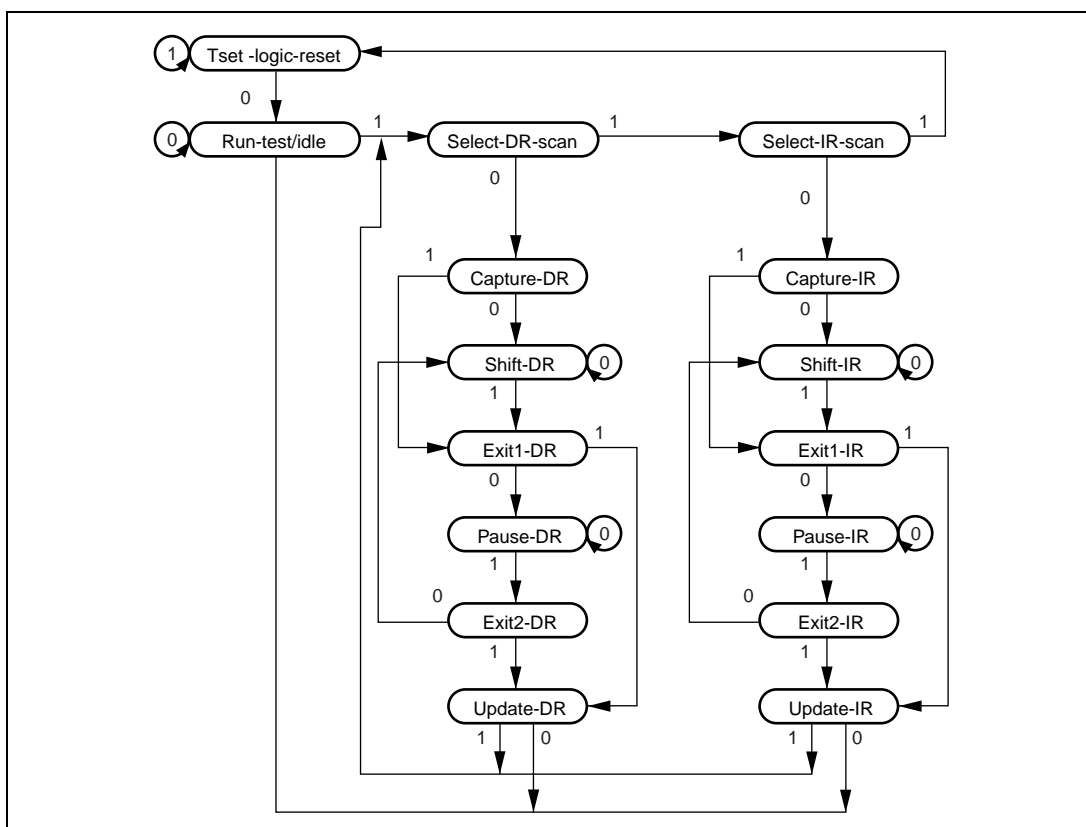


図 36.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「36.4.3 TDO 出力タイミング」を参照してください。また、TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。TRST=0 で TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

## 36.4.2 リセット構成

表 36.4 リセット構成

ASEMD0* <sup>1</sup>	RESETP	TRST* <sup>4</sup>	チップ状態
H	L	L	通常リセットおよび H-UDI リセット
		H	通常リセット
	H	L	H-UDI リセットのみ
		H	通常動作
L	L	L	リセットホールド* <sup>2</sup>
		H	通常リセット* <sup>3</sup>
	H	L	H-UDI リセットのみ
		H	通常動作

【注】 \*1 通常モードと ASE モードの設定を選択

$\overline{\text{ASEMD0}} = \text{H}$ 、通常モード

$\overline{\text{ASEMD0}} = \text{L}$ 、ASE モード

\*2 ASE モード時、リセットホールドは一定サイクル期間、 $\overline{\text{RESETP}}$  と  $\overline{\text{TRST}}$  端子をローレベルにセットすることによって有効になります。この状態で  $\overline{\text{RESETP}}$  をハイレベルにセットしても CPU は起動しません。その後  $\overline{\text{TRST}}$  をハイレベルにセットすると、H-UDI 動作が有効になりますが CPU は起動しません。リセットホールド状態は次のようにして解除されます。

- ・別の  $\overline{\text{RESETP}}$  アサート (パワーオンリセット)
- ・ $\overline{\text{TRST}}$  の再アサート

\*3 ASE モード時、リセットがかからない場合があります。エミュレータを接続していない場合は、 $\overline{\text{ASEMD0}} = \text{H}$  で使用してください。

\*4 本 LSI を通常モードで使用する場合は、 $\overline{\text{TRST}}$  をローレベルに固定することを推奨します。

## 36.4.3 TDO 出力タイミング

TDO から出力するデータの切替タイミングは SDIR に設定されているコマンドの種類により切り替わります。JTAG コマンド (EXTEST、CLAMP、HIGHZ、SAMPLE/PRELOAD、IDCODE、BYPASS) が設定されている時には、TCK の立ち下がりエッジに同期して変化します。これは JTAG 規格のタイミングです。H-UDI コマンド (H-UDI リセットネゲート、H-UDI リセットアサート、H-UDI 割り込み) が設定されている時には、JTAG 規格より半サイクル早い TCK の立ち上がりエッジに同期して出力されます。

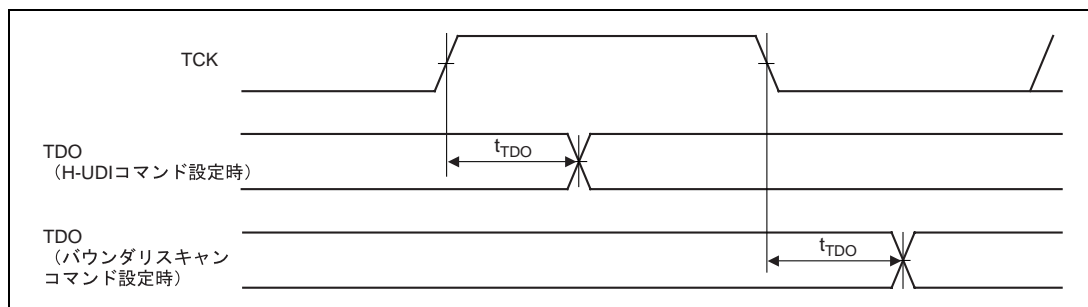


図 36.3 H-UDI データ転送タイミング

### 36.4.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドを入力することにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドを入力することにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために  $\overline{\text{RESETP}}$  端子をローレベルに保つ時間と同じです。

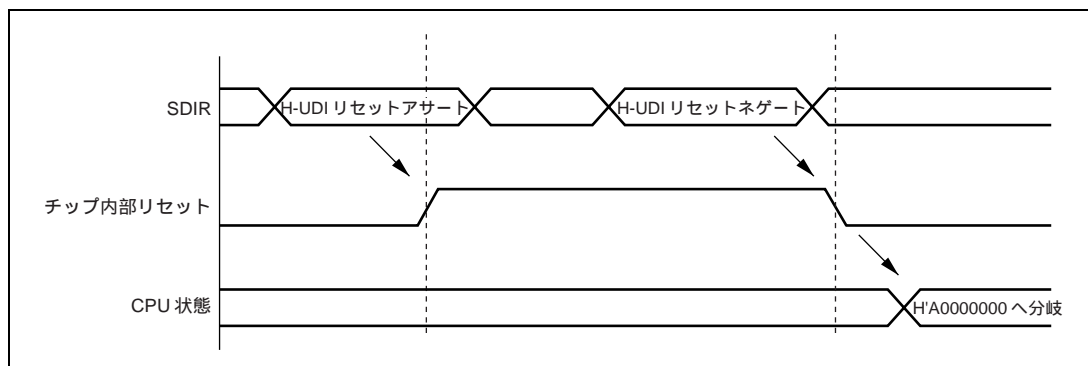


図 36.4 H-UDI リセット

### 36.4.5 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外または割り込み動作であり、VBR 値とオフセットの和に基づくアドレスに分岐が発生し、RTE 命令で復帰します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは受け付けられますが、スタンバイモードでは、H-UDI 割り込みは受け付けられません。

## 36.5 バウンダリスキャン

H-UDI から SDIR にコマンドを設定することにより、H-UDI 端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

### 36.5.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、EXTEST) と 3 つのオプション命令 (IDCODE、CLAMP、HIGHZ) をサポートします。

#### (1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。命令コードの上位 4 ビットは B'1111 です。

#### (2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は何の影響も受けません。命令コードの上位 4 ビットは B'0100 です。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナッチショットをバウンダリスキャンレジスタに取り込みスキャンパスから読み出します。スナッチショットの取り込みは Capture-DR 状態の TCK の立ち上がり同期して行われます。スナッチショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力ピンから不定値が出力される (EXTEST 命令では出力ピンに常にパラレル出力ラッチを出力する) ことになります。

#### (3) EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。(シフト動作で入れ換えます)。

命令コードの上位 4 ビットは B'0000 です。

#### (4) IDCODE

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている IDCODE モードに設定できます。H-UDI を初期化した場合(  $\overline{\text{TRST}}$  のアサート、または TAP を Test-Logic-Reset 状態にする ) IDCODE モードになります。

#### (5) CLAMP、HIGHZ

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている CLAMP、HIGHZ モードに設定できます。

### 36.5.2 注意事項

- 以下の端子はバウンダリスキャンの対象外です。
  - クロック関連 (EXTAL、XTAL、EXTAL\_USB、XTAL\_USB、EXTAL\_RTC、XTAL\_RTC、CKIO)
  - システム、E10A関連 ( $\overline{\text{RESETP}}$ 、 $\overline{\text{RESETM}}$ 、CA、 $\overline{\text{ASEMD0}}$ )
  - H-UDI関連 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ )
  - IIC関連 (IIC\_SCL/PTE6、IIC\_SDA/PTE5)
  - アナログ関連 (AN0/PTF1、AN1/PTF2、AN2/PTF3、AN3/PTF4、DA0/PTF5、DA1/PTF6、USB1\_P、USB1\_M、USB2\_P、USB2\_M)
- EXTEST、CLAMP、HIGHZコマンドを設定時には、 $\overline{\text{RESETP}}$ 端子はローレベル固定にしてください。
- バウンダリスキャン中はCA端子をハイレベルに固定してください。
- BYPASS、IDCODEを除くバウンダリスキャン実行中は、 $\overline{\text{ASEMD0}}$ 端子をハイレベルに固定してください。

### 36.6 使用上の注意事項

- H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再発行されないかぎり変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド (BYPASS等) を一旦設定してから再度コマンドを設定する必要があります。
- スタンバイモードではチップ動作が中断されるためH-UDIコマンドは受け付けられません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
- H-UDIはエミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDIの機能は使用できません。

## 36.7 アドバンストユーザデバッガ (AUD)

AUD はエミュレータ専用の機能です。AUD の詳細については、各エミュレータのユーザーズマニュアルを参照してください。

---

## 37. レジスタ一覧

---

アドレス一覧では、内蔵 I/O レジスタの情報を示し、次の構成になっています。

1. レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）
  - 機能モジュールごと、マニュアル章番号の順に記載します。
  - 本リストに記載されていないリザーブアドレスのアクセスはしないでください。
  - アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。
2. レジスタのビット一覧
  - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、ビット構成を記載します。
  - リザーブビットは、ビット名称部に「 - 」で表記しています。
  - ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
  - 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。バイトの記載順序はビッグエンディアンを前提としています。
3. 各動作モードにおけるレジスタの状態
  - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載します。
  - 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
  - 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

## 37.1 レジスタアドレス一覧

アクセスサイズは、ビット数を示します。

【注】 未定義、リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>※1</sup>
MMU 制御レジスタ	MMUCR	32	H'FFFF FFE0	MMU	32
ページテーブルエントリ上位レジスタ	PTEH	32	H'FFFF FFF0		32
ページテーブルエントリ下位レジスタ	PTL	32	H'FFFF FFF4		32
変換テーブルベースレジスタ	TTB	32	H'FFFF FFF8		32
キャッシュ制御レジスタ 2	CCR2	32	H'A400 00B0	キャッシュ	32
キャッシュ制御レジスタ 3	CCR3	32	H'A400 00B4		32
キャッシュ制御レジスタ 1	CCR1	32	H'FFFF FFEC		32
割り込み事象レジスタ 2	INTEVT2	32	H'A400 0000	例外処理	32
TRAPA 例外レジスタ	TRA	32	H'FFFF FFD0		32
例外事象レジスタ	EXPEVT	32	H'FFFF FFD4		32
割り込み事象レジスタ	INTEVT	32	H'FFFF FFD8		32
例外アドレスレジスタ	TEA	32	H'FFFF FFFC		32
割り込み優先レベル設定レジスタ F	IPRF	16	H'A408 0000	INTC	16
割り込み優先レベル設定レジスタ G	IPRG	16	H'A408 0002		16
割り込み優先レベル設定レジスタ H	IPRH	16	H'A408 0004		16
割り込み優先レベル設定レジスタ I	IPRI	16	H'A408 0006		16
割り込み優先レベル設定レジスタ J	IPRJ	16	H'A408 0008		16
割り込み要求レジスタ 5	IRR5	8	H'A408 0020		8
割り込み要求レジスタ 6	IRR6	8	H'A408 0022		8
割り込み要求レジスタ 7	IRR7	8	H'A408 0024		8
割り込み要求レジスタ 8	IRR8	8	H'A408 0026		8
割り込み要求レジスタ 9	IRR9	8	H'A408 0028		8
割り込み要求レジスタ 0	IRR0	8	H'A414 0004		8
割り込み要求レジスタ 1	IRR1	8	H'A414 0006		8
割り込み要求レジスタ 2	IRR2	8	H'A414 0008		8
割り込み要求レジスタ 3	IRR3	8	H'A414 000A		8
割り込み要求レジスタ 4	IRR4	8	H'A414 000C		8
割り込みコントロールレジスタ 1	ICR1	16	H'A414 0010		16
割り込みコントロールレジスタ 2	ICR2	16	H'A414 0012		16
PINT 割り込みイネーブルレジスタ	PINTER	16	H'A414 0014		16
割り込み優先レベル設定レジスタ C	IPRC	16	H'A414 0016		16



レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>*1</sup>
割り込み優先レベル設定レジスタ D	IPRD	16	H'A414 0018	INTC	16
割り込み優先レベル設定レジスタ E	IPRE	16	H'A414 001A		16
割り込みコントロールレジスタ 0	ICR0	16	H'A414 FEE0		16
割り込み優先レベル設定レジスタ A	IPRA	16	H'A414 FEE2		16
割り込み優先レベル設定レジスタ B	IPRB	16	H'A414 FEE4		16
共通コントロールレジスタ	CMNCR	32	H'A4FD 0000	BSC	32
CS0 空間バスコントロールレジスタ	CS0BCR	32	H'A4FD 0004		32
CS2 空間バスコントロールレジスタ	CS2BCR	32	H'A4FD 0008		32
CS3 空間バスコントロールレジスタ	CS3BCR	32	H'A4FD 000C		32
CS4 空間バスコントロールレジスタ	CS4BCR	32	H'A4FD 0010		32
CS5A 空間バスコントロールレジスタ	CS5ABCR	32	H'A4FD 0014		32
CS5B 空間バスコントロールレジスタ	CS5BBCR	32	H'A4FD 0018		32
CS6A 空間バスコントロールレジスタ	CS6ABCR	32	H'A4FD 001C		32
CS6B 空間バスコントロールレジスタ	CS6BBCR	32	H'A4FD 0020		32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'A4FD 0024		32
CS2 空間ウェイトコントロールレジスタ	CS2WCR	32	H'A4FD 0028		32
CS3 空間ウェイトコントロールレジスタ	CS3WCR	32	H'A4FD 002C		32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'A4FD 0030		32
CS5A 空間ウェイトコントロールレジスタ	CS5AWCR	32	H'A4FD 0034		32
CS5B 空間ウェイトコントロールレジスタ	CS5BWCR	32	H'A4FD 0038		32
CS6A 空間ウェイトコントロールレジスタ	CS6AWCR	32	H'A4FD 003C		32
CS6B 空間ウェイトコントロールレジスタ	CS6BWCR	32	H'A4FD 0040		32
SDRAM コントロールレジスタ	SDCR	32	H'A4FD 0044		32
リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	32	H'A4FD 0048		32
リフレッシュタイムカウンタ	RTCNT	32	H'A4FD 004C		32
リフレッシュタイムコンスタントレジスタ	RTCOR	32	H'A4FD 0050		32
SDRAM モードレジスタ	SDMR2		H'A4FD 4xxx		16
SDRAM モードレジスタ	SDMR3		H'A4FD 5xxx		16
DMA ソースアドレスレジスタ_0	SAR_0	32	H'A401 0020	DMAC	16、32
DMA デスティネーションアドレスレジスタ_0	DAR_0	32	H'A401 0024		16、32
DMA トランスファカウンタレジスタ_0	DMATCR_0	32	H'A401 0028		16、32
DMA チャネルコントロールレジスタ_0	CHCR_0	32	H'A401 002C		8、16、32
DMA ソースアドレスレジスタ_1	SAR_1	32	H'A401 0030		16、32
DMA デスティネーションアドレスレジスタ_1	DAR_1	32	H'A401 0034		16、32
DMA トランスファカウンタレジスタ_1	DMATCR_1	32	H'A401 0038		16、32
DMA チャネルコントロールレジスタ_1	CHCR_1	32	H'A401 003C		8、16、32
DMA ソースアドレスレジスタ_2	SAR_2	32	H'A401 0040		16、32

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>s1</sup>
DMA デスティネーションアドレスレジスタ_2	DAR_2	32	H'A401 0044	DMAC	16、32
DMA トランスファカウンタレジスタ_2	DMATCR_2	32	H'A401 0048		16、32
DMA チャネルコントロールレジスタ_2	CHCR_2	32	H'A401 004C		8、16、32
DMA ソースアドレスレジスタ_3	SAR_3	32	H'A401 0050		16、32
DMA デスティネーションアドレスレジスタ_3	DAR_3	32	H'A401 0054		16、32
DMA トランスファカウンタレジスタ_3	DMATCR_3	32	H'A401 0058		16、32
DMA チャネルコントロールレジスタ_3	CHCR_3	32	H'A401 005C		8、16、32
DMA オペレーションレジスタ	DMAOR	16	H'A401 0060		16
DMA ソースアドレスレジスタ_4	SAR_4	32	H'A401 0070		16、32
DMA デスティネーションアドレスレジスタ_4	DAR_4	32	H'A401 0074		16、32
DMA トランスファカウンタレジスタ_4	DMATCR_4	32	H'A401 0078		16、32
DMA チャネルコントロールレジスタ_4	CHCR_4	32	H'A401 007C		8、16、32
DMA ソースアドレスレジスタ_5	SAR_5	32	H'A401 0080		16、32
DMA デスティネーションアドレスレジスタ_5	DAR_5	32	H'A401 0084		16、32
DMA トランスファカウンタレジスタ_5	DMATCR_5	32	H'A401 0088		16、32
DMA チャネルコントロールレジスタ_5	CHCR_5	32	H'A401 008C	8、16、32	
DMA 拡張リソースセレクト 0	DMARS0	16	H'A409 0000		16
DMA 拡張リソースセレクト 1	DMARS1	16	H'A409 0004		16
DMA 拡張リソースセレクト 2	DMARS2	16	H'A409 0008		16
USBH/USBF クロック制御レジスタ	UCLKCR	8	H'A40A 0008	CPG	8、16 <sup>s2</sup>
周波数制御レジスタ	FRQCR	16	H'A415 FF80		16
ウォッチドッグタイマカウンタ	WTCNT	8	H'A415 FF84	WDT	8、16 <sup>s2</sup>
ウォッチドッグタイマコントロール / ステータスレジスタ	WTCSR	8	H'A415 FF86		8、16 <sup>s2</sup>
スタンバイコントロールレジスタ 3	STBCR3	8	H'A40A 0000	低消費電力	8
スタンバイコントロールレジスタ 4	STBCR4	8	H'A40A 0004		8
スタンバイコントロールレジスタ 5	STBCR5	8	H'A40A 0010		8
スタンバイコントロールレジスタ	STBCR	8	H'A415 FF82		8
スタンバイコントロールレジスタ 2	STBCR2	8	H'A415 FF88		8
タイマスタートレジスタ	TSTR	8	H'A412 FE92	TMU	8
タイマコンスタントレジスタ_0	TCOR_0	32	H'A412 FE94		32
タイマカウンタ_0	TCNT_0	32	H'A412 FE98		32
タイマコントロールレジスタ_0	TCR_0	16	H'A412 FE9C		16
タイマコンスタントレジスタ_1	TCOR_1	32	H'A412 FEA0		32
タイマカウンタ_1	TCNT_1	32	H'A412 FEA4		32
タイマコントロールレジスタ_1	TCR_1	16	H'A412 FEA8		16

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>s1</sup>
タイマコンスタントレジスタ_2	TCOR_2	32	H'A412 FEAC	TMU	32
タイマカウンタ_2	TCNT_2	32	H'A412 FEB0		32
タイマコントロールレジスタ_2	TCR_2	16	H'A412 FEB4		16
タイマスタートレジスタ	TSTR	16	H'A448 0000	TPU	16
タイマコントロールレジスタ_0	TCR_0	16	H'A448 0010		16
タイマモードレジスタ_0	TMDR_0	16	H'A448 0014		16
タイマ I/O コントロールレジスタ_0	TIOR_0	16	H'A448 0018		16
タイマインタラプティネーブルレジスタ_0	TIER_0	16	H'A448 001C		16
タイマステータスレジスタ_0	TSR_0	16	H'A448 0020		16
タイマカウンタ_0	TCNT_0	16	H'A448 0024		16
タイマジェネラルレジスタ A_0	TGRA_0	16	H'A448 0028		16
タイマジェネラルレジスタ B_0	TGRB_0	16	H'A448 002C		16
タイマジェネラルレジスタ C_0	TGRC_0	16	H'A448 0030		16
タイマジェネラルレジスタ D_0	TGRD_0	16	H'A448 0034		16
タイマコントロールレジスタ_1	TCR_1	16	H'A448 0050		16
タイマモードレジスタ_1	TMDR_1	16	H'A448 0054		16
タイマ I/O コントロールレジスタ_1	TIOR_1	16	H'A448 0058		16
タイマインタラプティネーブルレジスタ_1	TIER_1	16	H'A448 005C		16
タイマステータスレジスタ_1	TSR_1	16	H'A448 0060		16
タイマカウンタ_1	TCNT_1	16	H'A448 0064		16
タイマジェネラルレジスタ A_1	TGRA_1	16	H'A448 0068		16
タイマジェネラルレジスタ B_1	TGRB_1	16	H'A448 006C		16
タイマジェネラルレジスタ C_1	TGRC_1	16	H'A448 0070		16
タイマジェネラルレジスタ D_1	TGRD_1	16	H'A448 0074		16
タイマコントロールレジスタ_2	TCR_2	16	H'A448 0090		16
タイマモードレジスタ_2	TMDR_2	16	H'A448 0094		16
タイマ I/O コントロールレジスタ_2	TIOR_2	16	H'A448 0098		16
タイマインタラプティネーブルレジスタ_2	TIER_2	16	H'A448 009C		16
タイマステータスレジスタ_2	TSR_2	16	H'A448 00A0		16
タイマカウンタ_2	TCNT_2	16	H'A448 00A4		16
タイマジェネラルレジスタ A_2	TGRA_2	16	H'A448 00A8		16
タイマジェネラルレジスタ B_2	TGRB_2	16	H'A448 00AC		16
タイマジェネラルレジスタ C_2	TGRC_2	16	H'A448 00B0		16
タイマジェネラルレジスタ D_2	TGRD_2	16	H'A448 00B4		16
タイマコントロールレジスタ_3	TCR_3	16	H'A448 00D0		16
タイマモードレジスタ_3	TMDR_3	16	H'A448 00D4		16
タイマ I/O コントロールレジスタ_3	TIOR_3	16	H'A448 00D8		16

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>*1</sup>	
タイムインタラプトイネーブルレジスタ_3	TIER_3	16	H'A448 00DC	TPU	16	
タイムステータスレジスタ_3	TSR_3	16	H'A448 00E0		16	
タイマカウンタ_3	TCNT_3	16	H'A448 00E4		16	
タイマジェネラルレジスタ A_3	TGRA_3	16	H'A448 00E8		16	
タイマジェネラルレジスタ B_3	TGRB_3	16	H'A448 00EC		16	
タイマジェネラルレジスタ C_3	TGRC_3	16	H'A448 00F0		16	
タイマジェネラルレジスタ D_3	TGRD_3	16	H'A448 00F4		16	
コンペアマッチタイムスタートレジスタ	CMSTR	16	H'A44A 0000	CMT	16	
コンペアマッチタイムコントロール / ステータスレジスタ_0	CMCSR_0	16	H'A44A 0010		16	
コンペアマッチタイムカウンタ_0	CMCNT_0	32	H'A44A 0014		32	
コンペアマッチタイムコンスタントレジスタ_0	CMCOR_0	32	H'A44A 0018		32	
コンペアマッチタイムコントロール / ステータスレジスタ_1	CMCSR_1	16	H'A44A 0020		16	
コンペアマッチタイムカウンタ_1	CMCNT_1	32	H'A44A 0024		32	
コンペアマッチタイムコンスタントレジスタ_1	CMCOR_1	32	H'A44A 0028		32	
コンペアマッチタイムコントロール / ステータスレジスタ_2	CMCSR_2	16	H'A44A 0030		16	
コンペアマッチタイムカウンタ_2	CMCNT_2	32	H'A44A 0034		32	
コンペアマッチタイムコンスタントレジスタ_2	CMCOR_2	32	H'A44A 0038		32	
コンペアマッチタイムコントロール / ステータスレジスタ_3	CMCSR_3	16	H'A44A 0040		16	
コンペアマッチタイムカウンタ_3	CMCNT_3	32	H'A44A 0044		32	
コンペアマッチタイムコンスタントレジスタ_3	CMCOR_3	32	H'A44A 0048		32	
コンペアマッチタイムコントロール / ステータスレジスタ_4	CMCSR_4	16	H'A44A 0050		16	
コンペアマッチタイムカウンタ_4	CMCNT_4	32	H'A44A 0054		32	
コンペアマッチタイムコンスタントレジスタ_4	CMCOR_4	32	H'A44A 0058		32	
64Hz カウンタ	R64CNT	8	H'A413 FEC0		RTC	8
秒カウンタ	RSECCNT	8	H'A413 FEC2			8
分カウンタ	RMINCNT	8	H'A413 FEC4			8
時カウンタ	RHRCNT	8	H'A413 FEC6			8
曜日カウンタ	RWKCNT	8	H'A413 FEC8	8		
日カウンタ	RDAYCNT	8	H'A413 FECA	8		
月カウンタ	RMONCNT	8	H'A413 FECC	8		
年カウンタ	RYRCNT	16	H'A413 FECE	16		
秒アラームレジスタ	RSECAR	8	H'A413 FED0	8		
分アラームレジスタ	RMINAR	8	H'A413 FED2	8		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>*1</sup>
時アラームレジスタ	RHRAR	8	H'A413 FED4	RTC	8
曜日アラームレジスタ	RWKAR	8	H'A413 FED6		8
日アラームレジスタ	RDAYAR	8	H'A413 FED8		8
月アラームレジスタ	RMONAR	8	H'A413 FEDA		8
RTC コントロールレジスタ 1	RCR1	8	H'A413 FEDC		8
RTC コントロールレジスタ 2	RCR2	8	H'A413 FEDE		8
年アラームレジスタ	RYRAR	16	H'A413 FEE0		16
RTC コントロールレジスタ 3	RCR3	8	H'A413 FEE4		8
シリアルモードレジスタ_0	SCSMR_0	16	H'A443 0000	SCIF	16
ビットレートレジスタ_0	SCBRR_0	8	H'A443 0004		8
シリアルコントロールレジスタ_0	SCSCR_0	16	H'A443 0008		16
トランスミットデータストップレジスタ_0	SCTDSR_0	8	H'A443 000C		8
FIFO エラー数レジスタ_0	SCFER_0	16	H'A443 0010		16
シリアルステータスレジスタ_0	SCSSR_0	16	H'A443 0014		16
FIFO コントロールレジスタ_0	SCFCR_0	16	H'A443 0018		16
FIFO データ数レジスタ_0	SCFDR_0	16	H'A443 001C		16
トランスミット FIFO データレジスタ_0	SCFTDR_0	8	H'A443 0020		8
レシーブ FIFO データレジスタ_0	SCFRDR_0	8	H'A443 0024		8
シリアルモードレジスタ_1	SCSMR_1	16	H'A443 8000		16
ビットレートレジスタ_1	SCBRR_1	8	H'A443 8004		8
シリアルコントロールレジスタ_1	SCSCR_1	16	H'A443 8008		16
トランスミットデータストップレジスタ_1	SCTDSR_1	8	H'A443 800C		8
FIFO エラー数レジスタ_1	SCFER_1	16	H'A443 8010		16
シリアルステータスレジスタ_1	SCSSR_1	16	H'A443 8014		16
FIFO コントロールレジスタ_1	SCFCR_1	16	H'A443 8018		16
FIFO データ数レジスタ_1	SCFDR_1	16	H'A443 801C		16
トランスミット FIFO データレジスタ_1	SCFTDR_1	8	H'A443 8020		8
レシーブ FIFO データレジスタ_1	SCFRDR_1	8	H'A443 8024		8
IrDA モードレジスタ	SCIMR	16	H'A444 0000	IrDA	16
I <sup>2</sup> C バスコントロールレジスタ 1	ICCR1	8	H'A447 0000	IIC	8
I <sup>2</sup> C バスコントロールレジスタ 2	ICCR2	8	H'A447 0004		8
I <sup>2</sup> C バスモードレジスタ	ICMR	8	H'A447 0008		8
I <sup>2</sup> C バスインタラプトイネーブルレジスタ	ICIER	8	H'A447 000C		8
I <sup>2</sup> C バスステータスレジスタ	ICSR	8	H'A447 0010		8
スレーブアドレスレジスタ	SAR	8	H'A447 0014		8
I <sup>2</sup> C バス送信データレジスタ	ICDRT	8	H'A447 0018		8
I <sup>2</sup> C バス受信データレジスタ	ICDRR	8	H'A447 001C		8
I <sup>2</sup> C バスマスタ転送クロック選択レジスタ	ICCKS	8	H'A447 0020		8

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>*1</sup>	
モードレジスタ_0	SIMDR_0	16	H'A441 0000	SIOF	16	
クロックセレクトレジスタ_0	SISCR_0	16	H'A441 0002		16	
送信データアサインレジスタ_0	SITDAR_0	16	H'A441 0004		16	
受信データアサインレジスタ_0	SIRDAR_0	16	H'A441 0006		16	
制御データアサインレジスタ_0	SICDAR_0	16	H'A441 0008		16	
コントロールレジスタ_0	SICTR_0	16	H'A441 000C		16	
FIFO コントロールレジスタ_0	SIFCTR_0	16	H'A441 0010		16	
ステータスレジスタ_0	SISTR_0	16	H'A441 0014		16	
割り込み許可レジスタ_0	SIER_0	16	H'A441 0016		16	
送信データレジスタ_0	SITDR_0	32	H'A441 0020		32	
受信データレジスタ_0	SIRDR_0	32	H'A441 0024		32	
送信制御データレジスタ_0	SITCR_0	32	H'A441 0028		32	
受信制御データレジスタ_0	SIRCR_0	32	H'A441 002C		32	
モードレジスタ_1	SIMDR_1	16	H'A441 8000		AFEIF	16
クロックセレクトレジスタ_1	SISCR_1	16	H'A441 8002			16
送信データアサインレジスタ_1	SITDAR_1	16	H'A441 8004			16
受信データアサインレジスタ_1	SIRDAR_1	16	H'A441 8006	16		
制御データアサインレジスタ_1	SICDAR_1	16	H'A441 8008	16		
コントロールレジスタ_1	SICTR_1	16	H'A441 800C	16		
FIFO コントロールレジスタ_1	SIFCTR_1	16	H'A441 8010	16		
ステータスレジスタ_1	SISTR_1	16	H'A441 8014	16		
割り込み許可レジスタ_1	SIER_1	16	H'A441 8016	16		
送信データレジスタ_1	SITDR_1	32	H'A441 8020	32		
受信データレジスタ_1	SIRDR_1	32	H'A441 8024	32		
送信制御データレジスタ_1	SITCR_1	32	H'A441 8028	32		
受信制御データレジスタ_1	SIRCR_1	32	H'A441 802C	32		
AFEIF コントロールレジスタ 1	ACTR1	16	H'A44E 0180	16		
AFEIF コントロールレジスタ 2	ACTR2	16	H'A44E 0182	16		
AFEIF ステータスレジスタ 1	ASTR1	16	H'A44E 0184	16		
AFEIF ステータスレジスタ 2	ASTR2	16	H'A44E 0186	16		
メイクレシオカウントレジスタ	MRCR	16	H'A44E 0188	16		
ミニマムポーズカウントレジスタ	MPCR	16	H'A44E 018A	16		
ダイヤルノンバキュー	DPNQ	16	H'A44E 018C	16		
リングングパルスカウンタ	RCNT	16	H'A44E 018E	16		
AFE コントロールデータレジスタ	ACDR	16	H'A44E 0190	16		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>*1</sup>
AFE ステータスデータレジスタ	ASDR	16	H'A44E 0192	AFEIF	16
送信データ FIFO ポート	TDFP	16	H'A44E 0194		16、32
受信データ FIFO ポート	RDFP	16	H'A44E 0198		16、32
USB トランシーバ制御レジスタ	UTRCTL	16	H'A405 012C	USBPMC	16
HcRevision レジスタ	USBHR	32	H'A442 8000	USBH	32
HcControl レジスタ	USBHC	32	H'A442 8004		32
HcCommandStatus レジスタ	USBHCS	32	H'A442 8008		32
HcInterruptStatus レジスタ	USBHIS	32	H'A442 800C		32
HcInterruptEnable レジスタ	USBHIE	32	H'A442 8010		32
HcInterruptDisable レジスタ	USBHID	32	H'A442 8014		32
HcHCCA レジスタ	USBHCCA	32	H'A442 8018		32
HcPeriodCurrentED レジスタ	USBHPCED	32	H'A442 801C		32
HcControlHeadED レジスタ	USBHCHED	32	H'A442 8020		32
HcControlCurrentED レジスタ	USBHCCED	32	H'A442 8024		32
HcBulkHeadED レジスタ	USBHBHED	32	H'A442 8028		32
HcBulkCurrentED レジスタ	USBHBCED	32	H'A442 802C		32
HcDoneHeadED レジスタ	USBHDHED	32	H'A442 8030		32
HcFmInterval レジスタ	USBHFI	32	H'A442 8034		32
HcFmRemaining レジスタ	USBHFR	32	H'A442 8038		32
HcFmNumber レジスタ	USBHFN	32	H'A442 803C		32
HcPeriodicStart レジスタ	USBHPS	32	H'A442 8040		32
HcLSThreshold レジスタ	USBHLST	32	H'A442 8044		32
HcRhDescriptorA レジスタ	USBHRDA	32	H'A442 8048		32
HcRhDescriptorB レジスタ	USBHRDB	32	H'A442 804C		32
HcRhStatus レジスタ	USBHRS	32	H'A442 8050		32
HcRhPortStatus1 レジスタ	USBHRPS1	32	H'A442 8054		32
HcRhPortStatus2 レジスタ	USBHRPS2	32	H'A442 8058		32
割り込みフラグレジスタ 0	IFR0	8	H'A442 0000	USBF	8
割り込みフラグレジスタ 1	IFR1	8	H'A442 0001		8
割り込みフラグレジスタ 2	IFR2	8	H'A442 0002		8
割り込みフラグレジスタ 3	IFR3	8	H'A442 0003		8
割り込みイネーブルレジスタ 0	IER0	8	H'A442 0004		8
割り込みイネーブルレジスタ 1	IER1	8	H'A442 0005		8
割り込みイネーブルレジスタ 2	IER2	8	H'A442 0006		8
割り込みイネーブルレジスタ 3	IER3	8	H'A442 0007		8
割り込み選択レジスタ 0	ISR0	8	H'A442 0008		8

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>*1</sup>
割り込み選択レジスタ 1	ISR1	8	H'A442 0009	USBF	8
割り込み選択レジスタ 2	ISR2	8	H'A442 000A		8
割り込み選択レジスタ 3	ISR3	8	H'A442 000B		8
EP0i データレジスタ	EPDR0i	8	H'A442 000C		8
EP0o データレジスタ	EPDR0o	8	H'A442 000D		8
EP0s データレジスタ	EPDR0s	8	H'A442 000E		8
EP1 データレジスタ	EPDR1	8	H'A442 0010		8
EP2 データレジスタ	EPDR2	8	H'A442 0014		8
EP3 データレジスタ	EPDR3	8	H'A442 0018		8
EP4 データレジスタ	EPDR4	8	H'A442 001C		8
EP5 データレジスタ	EPDR5	8	H'A442 0020		8
EP0o 受信データサイズレジスタ	EPSZ0o	8	H'A442 0024		8
EP1 受信データサイズレジスタ	EPSZ1	8	H'A442 0025		8
EP4 受信データサイズレジスタ	EPSZ4	8	H'A442 0026		8
データステータスレジスタ	DASTS	8	H'A442 0027		8
FIFO クリアレジスタ 0	FCLR0	8	H'A442 0028		8
FIFO クリアレジスタ 1	FCLR1	8	H'A442 0029		8
エンドポイントストールレジスタ 0	EPSTL0	8	H'A442 002A		8
エンドポイントストールレジスタ 1	EPSTL1	8	H'A442 002B		8
トリガレジスタ	TRG	8	H'A442 002C		8
DMA 転送設定レジスタ	DMA	8	H'A442 002D		8
コンフィグレーションバリュールレジスタ	CVR	8	H'A442 002E		8
コントロールレジスタ 0	CTRL0	8	H'A442 002F		8
タイムスタンプレジスタ H	TSRH	8	H'A442 0030		8
タイムスタンプレジスタ L	TSRL	8	H'A442 0031		8
エンドポイント情報レジスタ	EPIR	8	H'A442 0032		8
割り込みフラグレジスタ 4	IFR4	8	H'A442 0034		8
割り込みイネーブルレジスタ 4	IER4	8	H'A442 0035		8
割り込み選択レジスタ 4	ISR4	8	H'A442 0036		8
コントロールレジスタ 1	CTRL1	8	H'A442 0037		8
タイマレジスタ H	TMRH	8	H'A442 0038		8
タイマレジスタ L	TMRL	8	H'A442 0039		8
セットタイムアウトレジスタ H	STOH	8	H'A442 003A		8
セットタイムアウトレジスタ L	STOL	8	H'A442 003B		8
バレットデータレジスタ 00	LDPR00	32	H'A440 0000	LCDC	32
~	~	~	~		
バレットデータレジスタ FF	LDPRFF		H'A440 03FC		



レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>s1</sup>
LCDC インブットクロックレジスタ	LDICKR	16	H'A440 0400	LCDC	16
LCDC モジュールタイプレジスタ	LDMTR	16	H'A440 0402		16
LCDC データフォーマットレジスタ	LDDFR	16	H'A440 0404		16
LCDC スキャンモードレジスタ	LDSMR	16	H'A440 0406		16
LCDC 上部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARU	32	H'A440 0408		32
LCDC 下部表示パネル用取り込み 開始アドレスレジスタ	LDSARL	32	H'A440 040C		32
LCDC 表示パネル用取り込みデータライン アドレスオフセットレジスタ	LDLAOR	16	H'A440 0410		16
LCDC パレットコントロールレジスタ	LDPALCR	16	H'A440 0412		16
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	16	H'A440 0414		16
LCDC 水平同期信号レジスタ	LDHSYNR	16	H'A440 0416		16
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	16	H'A440 0418		16
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	16	H'A440 041A		16
LCDC 垂直同期信号レジスタ	LDVSYNR	16	H'A440 041C		16
LCDC AC モジュレーション信号トグル ラインナンバーレジスタ	LDACLNR	16	H'A440 041E		16
LCDC 割り込みコントロールレジスタ	LDINTR	16	H'A440 0420		16
LCDC パワーマネジメントモードレジスタ	LDPMMR	16	H'A440 0424		16
LCDC 電源シーケンス期間レジスタ	LDPSPR	16	H'A440 0426		16
LCDC コントロールレジスタ	LDCNTR	16	H'A440 0428		16
LCDC ユーザ指定割り込みコントロールレジスタ	LDUINTR	16	H'A440 0434		16
LCDC ユーザ指定割り込みラインナンバーレジスタ	LDUINTLNR	16	H'A440 0436	16	
LCDC メモリアクセスインターバルナンバーレジスタ	LDLIRNR	16	H'A440 0440	16	
A/D データレジスタ A	ADDRA	16	H'A44C 0000	ADC	16
A/D データレジスタ B	ADDRB	16	H'A44C 0002		16
A/D データレジスタ C	ADDRC	16	H'A44C 0004		16
A/D データレジスタ D	ADDRD	16	H'A44C 0006		16
A/D コントロール/ステータスレジスタ	ADCSR	16	H'A44C 0008		16
D/A データレジスタ 0	DADR0	8	H'A44D 0000	DAC	8
D/A データレジスタ 1	DADR1	8	H'A44D 0002		8
D/A コントロールレジスタ	DACR	8	H'A44D 0004		8
エリア 6 インタフェースステータスレジスタ	PCC0ISR	8	H'A44B 0000	PCC	8
エリア 6 ジェネラルコントロールレジスタ	PCC0GCR	8	H'A44B 0002		8
エリア 6 カードステータスチェンジレジスタ	PCC0CSCR	8	H'A44B 0004		8
エリア 6 カードステータスチェンジ割り込み許可 レジスタ	PCC0CSCIER	8	H'A44B 0006		8

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>*1</sup>	
シリアルモードレジスタ	SCSMR	8	H'A449 0000	SIM	8	
ビットレートレジスタ	SCBRR	8	H'A449 0002		8	
シリアルコントロールレジスタ	SCSCR	8	H'A449 0004		8	
トランスミットデータレジスタ	SCTDR	8	H'A449 0006		8	
シリアルステータスレジスタ	SCSSR	8	H'A449 0008		8	
レシーブデータレジスタ	SCRDR	8	H'A449 000A		8	
スマートカードモードレジスタ	SCSCMR	8	H'A449 000C		8	
シリアルコントロール2レジスタ	SCSC2R	8	H'A449 000E		8	
ウェイトタイムレジスタ	SCWAIT	16	H'A449 0010		16	
ガードエクステンションレジスタ	SCGRD	8	H'A449 0012		8	
サンプルレジスタ	SCSMPL	16	H'A449 0014		16	
コマンドレジスタ0	CMDR0	8	H'A444 8000		MMC	8
コマンドレジスタ1	CMDR1	8	H'A444 8001			8
コマンドレジスタ2	CMDR2	8	H'A444 8002			8
コマンドレジスタ3	CMDR3	8	H'A444 8003	8		
コマンドレジスタ4	CMDR4	8	H'A444 8004	8		
コマンドレジスタ5	CMDR5	8	H'A444 8005	8		
コマンドスタートレジスタ	CMDSTRT	8	H'A444 8006	8		
オペレーションコントロールレジスタ	OPCR	8	H'A444 800A	8		
カードステータスレジスタ	CSTR	8	H'A444 800B	8		
割り込みコントロールレジスタ0	INTCR0	8	H'A444 800C	8		
割り込みコントロールレジスタ1	INTCR1	8	H'A444 800D	8		
割り込みステータスレジスタ0	INTSTR0	8	H'A444 800E	8		
割り込みステータスレジスタ1	INTSTR1	8	H'A444 800F	8		
転送クロックコントロールレジスタ	CLKON	8	H'A444 8010	8		
コマンドタイムアウトコントロールレジスタ	CTOCR	8	H'A444 8011	8		
VDD / オープンドレイン制御レジスタ	VDCNT	8	H'A444 8012	8		
転送バイト数カウントレジスタ	TBCR	8	H'A444 8014	8		
モードレジスタ	MODER	8	H'A444 8016	8		
コマンドタイプレジスタ	CMDTYR	8	H'A444 8018	8		
レスポンスタイプレジスタ	RSPTYR	8	H'A444 8019	8		
転送ブロック数カウンタ	TBNCR	16	H'A444 801A	16		
レスポンスレジスタ0	RSPR0	8	H'A444 8020	8		
レスポンスレジスタ1	RSPR1	8	H'A444 8021	8		
レスポンスレジスタ2	RSPR2	8	H'A444 8022	8		
レスポンスレジスタ3	RSPR3	8	H'A444 8023	8		
レスポンスレジスタ4	RSPR4	8	H'A444 8024	8		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>*1</sup>
レスポンスレジスタ 5	RSPR5	8	H'A444 8025	MMC	8
レスポンスレジスタ 6	RSPR6	8	H'A444 8026		8
レスポンスレジスタ 7	RSPR7	8	H'A444 8027		8
レスポンスレジスタ 8	RSPR8	8	H'A444 8028		8
レスポンスレジスタ 9	RSPR9	8	H'A444 8029		8
レスポンスレジスタ 10	RSPR10	8	H'A444 802A		8
レスポンスレジスタ 11	RSPR11	8	H'A444 802B		8
レスポンスレジスタ 12	RSPR12	8	H'A444 802C		8
レスポンスレジスタ 13	RSPR13	8	H'A444 802D		8
レスポンスレジスタ 14	RSPR14	8	H'A444 802E		8
レスポンスレジスタ 15	RSPR15	8	H'A444 802F		8
レスポンスレジスタ 16	RSPR16	8	H'A444 8030		8
レスポンスレジスタ D	RSPRD	8	H'A444 8031		8
データタイムアウトレジスタ	DTOUTR	16	H'A444 8032		16
データレジスタ	DR	16	H'A444 8040		16
FIFO ポインタクリアレジスタ	FIFOCLR	8	H'A444 8042	8	
DMA コントロールレジスタ	DMACR	8	H'A444 8044	8	
割り込みコントロールレジスタ 2	INTCR2	8	H'A444 8046	8	
割り込みステータスレジスタ 2	INTSTR2	8	H'A444 8048	8	
ブ레이크データレジスタ B	BDRB	32	H'A4FF FF90	UBC	32
ブ레이크データマスクレジスタ B	BDMRB	32	H'A4FF FF94		32
ブ레이크コントロールレジスタ	BRCCR	32	H'A4FF FF98		32
実行回数ブ레이크レジスタ	BETR	16	H'A4FF FF9C		16
ブ레이크アドレスレジスタ B	BARB	32	H'A4FF FFA0		32
ブ레이크アドレスマスクレジスタ B	BAMRB	32	H'A4FF FFA4		32
ブ레이크バスサイクルレジスタ B	BBRB	16	H'A4FF FFA8		16
ブランチソースレジスタ	BRSR	32	H'A4FF FFAC		32
ブ레이크アドレスレジスタ A	BARA	32	H'A4FF FFB0		32
ブ레이크アドレスマスクレジスタ A	BAMRA	32	H'A4FF FFB4		32
ブ레이크バスサイクルレジスタ A	BBRA	16	H'A4FF FFB8		16
ブランチデスティネーションレジスタ	BRDR	32	H'A4FF FFBC		32
ブ레이크 ASID レジスタ A	BASRA	8	H'FFFF FFE4		8
ブ레이크 ASID レジスタ B	BASRB	8	H'FFFF FFE8		8
ポート A コントロールレジスタ	PACR	16	H'A405 0100		PFC
ポート B コントロールレジスタ	PBCR	16	H'A405 0102	16	
ポート C コントロールレジスタ	PCCR	16	H'A405 0104	16	
ポート D コントロールレジスタ	PDCR	16	H'A405 0106	16	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>※1</sup>
ポート E コントロールレジスタ	PECR	16	H'A405 0108	PFC	16
ポート F コントロールレジスタ	PFGR	16	H'A405 010A		16
ポート G コントロールレジスタ	PGCR	16	H'A405 010C		16
ポート H コントロールレジスタ	PHCR	16	H'A405 010E		16
ポート J コントロールレジスタ	PJCR	16	H'A405 0110		16
ポート K コントロールレジスタ	PKCR	16	H'A405 0112		16
ポート L コントロールレジスタ	PLCR	16	H'A405 0114		16
ポート M コントロールレジスタ	PMCR	16	H'A405 0116		16
ポート P コントロールレジスタ	PPCR	16	H'A405 0118		16
ポート R コントロールレジスタ	PRCR	16	H'A405 011A		16
ポート S コントロールレジスタ	PSCR	16	H'A405 011C		16
ポート T コントロールレジスタ	PTCR	16	H'A405 011E		16
ポート U コントロールレジスタ	PUCR	16	H'A405 0120		16
ポート V コントロールレジスタ	PVCR	16	H'A405 0122		16
ピンセレクトレジスタ A	PSELA	16	H'A405 0124		16
ピンセレクトレジスタ B	PSELB	16	H'A405 0126		16
ピンセレクトレジスタ C	PSELC	16	H'A405 0128		16
ピンセレクトレジスタ D	PSELD	16	H'A405 012A		16
ポート A データレジスタ	PADR	8	H'A405 0140	I/O ポート	8
ポート B データレジスタ	PBDR	8	H'A405 0142		8
ポート C データレジスタ	PCDR	8	H'A405 0144		8
ポート D データレジスタ	PDDR	8	H'A405 0146		8
ポート E データレジスタ	PEDR	8	H'A405 0148		8
ポート F データレジスタ	PFDR	8	H'A405 014A		8
ポート G データレジスタ	PGDR	8	H'A405 014C		8
ポート H データレジスタ	PHDR	8	H'A405 014E		8
ポート J データレジスタ	PJDR	8	H'A405 0150		8
ポート K データレジスタ	PKDR	8	H'A405 0152		8
ポート L データレジスタ	PLDR	8	H'A405 0154		8
ポート M データレジスタ	PMDR	8	H'A405 0156		8
ポート P データレジスタ	PPDR	8	H'A405 0158		8
ポート R データレジスタ	PRDR	8	H'A405 015A		8
ポート S データレジスタ	PSDR	8	H'A405 015C		8
ポート T データレジスタ	PTDR	8	H'A405 015E		8
ポート U データレジスタ	PUDR	8	H'A405 0160		8
ポート V データレジスタ	PVDR	8	H'A405 0162		8

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ <sup>*1</sup>
インストラクションレジスタ	SDIR	16	H'A410 0200	H-UDI	16
ID レジスタ	SDIDH	16	H'A410 0214		16、32
ID レジスタ	SDIDL	16	H'A410 0216		16

【注】 \*1 アクセスサイズは、制御レジスタをアクセス（リード/ライト）するときのサイズを示します。表示されたサイズ以外のサイズを指定した場合、誤った結果となります。

\*2 書き込みは 16 ビット、読み出し 8 ビットです。

## 37.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
MMUCR	-	-	-	-	-	-	-	-	MMU
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	SV	
	-	-	RC	RC	-	TF	IX	AT	
PTEH	VPN	VPN	VPN	VPN	VPN	VPN	VPN	VPN	
	VPN	VPN	VPN	VPN	VPN	VPN	VPN	VPN	
	VPN	VPN	VPN	VPN	VPN	VPN	-	-	
	ASID	ASID	ASID	ASID	ASID	ASID	ASID	ASID	
PTEL	-	-	-	PPN	PPN	PPN	PPN	PPN	
	PPN	PPN	PPN	PPN	PPN	PPN	PPN	PPN	
	PPN	PPN	PPN	PPN	PPN	PPN	-	V	
	-	PR	PR	SZ	C	D	SH	-	
TTB									
CCR2	-	-	-	-	-	-	-	-	キャッシュ
	-	-	-	-	-	-	-	LE	
	-	-	-	-	-	-	W3LOAD	W3LOCK	
	-	-	-	-	-	-	W2LOAD	W2LOCK	
CCR3	-	-	-	-	-	-	-	-	
	CSIZE7	CSIZE6	CSIZE5	CSIZE4	CSIZE3	CSIZE2	CSIZE1	CSIZE0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CCR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	CF	CB	WT	CE	
INTEVT2	-	-	-	-	-	-	-	-	例外処理
	-	-	-	-	-	-	-	-	
	-	-	-	-	INTEVT2	INTEVT2	INTEVT2	INTEVT2	
	INTEVT2	INTEVT2	INTEVT2	INTEVT2	INTEVT2	INTEVT2	-	-	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TRA	-	-	-	-	-	-	-	-	例外処理
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	TRA	TRA	
	TRA	TRA	TRA	TRA	TRA	TRA	-	-	
EXPEVT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	EXPEVT	EXPEVT	EXPEVT	EXPEVT	
	EXPEVT	EXPEVT	EXPEVT	EXPEVT	EXPEVT	EXPEVT	EXPEVT	EXPEVT	
INTEVT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	INTEVT	INTEVT	INTEVT	INTEVT	
	INTEVT	INTEVT	INTEVT	INTEVT	INTEVT	INTEVT	INTEVT	INTEVT	
TEA	TEA	TEA	TEA	TEA	TEA	TEA	TEA	TEA	
	TEA	TEA	TEA	TEA	TEA	TEA	TEA	TEA	
	TEA	TEA	TEA	TEA	TEA	TEA	TEA	TEA	
	TEA	TEA	TEA	TEA	TEA	TEA	TEA	TEA	
IPRF		ADC				DMAC(2)		INTC	
		USBF				CMT			
IPRG		SCIF0				SCIF1			
	-	-	-	-	-	-	-	-	
IPRH		PINTA				PINTB			
		TPU				IIC			
IPRI		SIOF0				SIOF1			
		MMC				PCC			
IPRJ	-	-	-	-		USBH			
		SDHI				AFEIF			
IRR5	ADCIR	-	DEI5R	DEI4R	-	-	SCIF1IR	SCIF0IR	
IRR6	-	-	SIOF1IR	SIOF0IR	-	-	PINTBR	PINTAR	
IRR7	-	-	-	IICIR	TPI3R	TPI2R	TP1R	TPI0R	
IRR8	MMCI3R	MMCI2R	MMCI1R	MMCI0R	AFECIR	-	-	SDIR	
IRR9	PCCIR	USBHIR	-	CMIR	-	USBF1IR	USBFI0R	-	
IRR0		TMU_	IRQ5R	IRQ4R	IRQ3R	IRQ2R	IRQ1R	IRQ0R	
		SUNIR							
IRR1	-	-	-		DEI3R	DEI2R	DEI1R	DEI0R	
IRR2	-	-	-	SSLIR	-	-	-	LCDCIR	
IRR3	TENDIR	TXIR	FXIR	ERIR	-	CUIR	PRIR	ATIR	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
IRR4	-	TUNI2R	TUNI1R	TUNI0R	ITIR	-	-	RCMIR	INTC
ICR1	MAI	IRQLVL	BLMSK	-	IRQ51S	IRQ50S	IRQ41S	IRQ40S	
	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S	
ICR2	PINT15S	PINT14S	PINT13S	PINT12S	PINT11S	PINT10S	PINT9S	PINT8S	
	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S	
PINTER	PINT15E	PINT14E	PINT13E	PINT12E	PINT11E	PINT10E	PINT9E	PINT8E	
	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E	
IPRC		IRQ3				IRQ2			
		IRQ1				IRQ0			
IPRD			-			TMU ( TMU_SUN1 )			
		IRQ5				IRQ4			
IPRE		DMAC(1)			-	-	-	-	
		LCDC				SSL			
ICR0	NMIL	-	-	-	-	-	-	NMIE	
	-	-	-	-	-	-	-	-	
IPRA		TMU0				TMU1			
		TMU2				RTC			
IPRB		WDT				REF			
		SIM			-	-	-	-	
CMNCR	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	-	-	
	-	BSD	-	MAP	BLOCK	DPRTY1	DPRTY0	DMAIW2	
	DMAIW1	DMAIW0	DMAIWA	-	ENDIAN	-	HIZMEM	HIZCNT	
CS0BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	TYPE3	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS2BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	TYPE3	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS3BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	TYPE3	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	



レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CS4BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	BSC
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	TYPE3	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS5ABCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	TYPE3	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS5BBCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	TYPE3	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS6ABCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	TYPE3	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS6BBCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	TYPE3	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS0WCR* <sup>1</sup>	-	-	-	-	-	-	-	-	
	-	-	-	BAS	-	-	-	-	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	HW1	HW0	
CS0WCR* <sup>2</sup>	-	-	-	-	-	-	-	-	
	-	-	-	BEN	-	-	BW1	BW0	
	-	-	-	-	-	W3	W2	W1	
	W0	WM	-	-	-	-	-	-	
CS0WCR* <sup>3</sup>	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	BW1	BW0	
	-	-	-	-	-	W3	W2	W1	
	W0	WM	-	-	-	-	-	-	
CS2WCR* <sup>1</sup>	-	-	-	-	-	-	-	-	
	-	-	-	BAS	-	-	-	-	
	-	-	-	-	-	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	-	-	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CS2WCR* <sup>4</sup>	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	A2CL1	
	A2CL0	-	-	-	-	-	-	-	
CS3WCR* <sup>1</sup>	-	-	-	-	-	-	-	-	
	-	-	-	BAS	-	-	-	-	
	-	-	-	-	-	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	-	-	
CS3WCR* <sup>4</sup>	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	TRP1	TRP0	-	TRCD1	TRCD0	-	A3CL1	
	A3CL0	-	-	TRWL1	TRWL0	-	TRC1	TRC0	
CS4WCR* <sup>1</sup>	-	-	-	-	-	-	-	-	
	-	-	-	BAS	-	WW2	WW1	WW0	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	HW1	HW0	
CS4WCR* <sup>2</sup>	-	-	-	-	-	-	-	-	
	-	-	-	BEN	-	-	BW1	BW0	
	-	-	-	SW1	SW0	W3	W2	W1	
	W0	WM	-	-	-	-	HW1	HW0	
CS5AWCR* <sup>1</sup>	-	-	-	-	-	-	-	-	
	-	-	-	-	-	WW2	WW1	WW0	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	HW1	HW0	
CS5BWCR* <sup>1</sup>	-	-	-	-	-	-	-	-	
	-	-	-	BAS	-	WW2	WW1	WW0	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	HW1	HW0	
CS5BWCR* <sup>5</sup>	-	-	-	-	-	-	-	-	
	-	-	SA1	SA0	-	-	-	-	
	-	TED3	TED2	TED1	TED0	PCW3	PCW2	PCW1	
	PCW0	WM	-	-	TEH3	TEH2	TEH1	TEH0	
CS6AWCR* <sup>1</sup>	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	HW1	HW0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CS6BWCR* <sup>1</sup>	-	-	-	-	-	-	-	-	BSC
	-	-	-	BAS	-	-	-	-	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	HW1	HW0	
CS6BWCR* <sup>5</sup>	-	-	-	-	-	-	-	-	
	-	-	SA1	SA0	-	-	-	-	
	-	TED3	TED2	TED1	TED0	PCW3	PCW2	PCW1	
	PCW0	WM	-	-	TEH3	TEH2	TEH1	TEH0	
SDCR	-	-	-	-	-	-	-	-	
	-	-	-	A2ROW1	A2ROW0	-	A2COL1	A2COL0	
	-	-	DEEP	-	RFSH	RMODE	PDOWN	BACTV	
	-	-	-	A3ROW1	A3ROW0	-	A3COL1	A3COL0	
RTCSR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	CMF	CMIE	CKS2	CKS1	CKS0	RRC2	RRC1	RRC0	
RTCNT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
RTCOR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
SAR_0								DMAC	
DAR_0									
DMATCR_0									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CHCR_0	-	-	-	-	-	-	-	-	DMAC
	DO	TL	-	-	-	-	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	DL	DS	TB	TS1	TS0	IE	TE	DE	
SAR_1									
DAR_1									
DMATCR_1									
CHCR_1	-	-	-	-	-	-	-	-	DMAC
	DO	TL	-	-	-	-	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	DL	DS	TB	TS1	TS0	IE	TE	DE	
SAR_2									
DAR_2									
DMATCR_2									
CHCR_2	-	-	-	-	-	-	-	-	DMAC
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SAR_3									DMAC
DAR_3									
DMATCR_3									
CHCR_3	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	
SAR_4									
DAR_4									
DMATCR_4									
CHCR_4	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	
SAR_5									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DAR_5									DMAC
DMATCR_5									
CHCR_5	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	
DMAOR	-	-	CMS1	CMS0	-	-	PR1	PR0	
	-	-	-	-	-	AE	NMIF	DME	
DMARS0	C1MID5	C1MID4	C1MID3	C1MID2	C1MID1	C1MID0	C1RID1	C1RID0	
	C0MID5	C0MID4	C0MID3	C0MID2	C0MID1	C0MID0	C0RID1	C0RID0	
DMARS1	C3MID5	C3MID4	C3MID3	C3MID2	C3MID1	C3MID0	C3RID1	C3RID0	
	C2MID5	C2MID4	C2MID3	C2MID2	C2MID1	C2MID0	C2RID1	C2RID0	
DMARS2	C5MID5	C5MID4	C5MID3	C5MID2	C5MID1	C5MID0	C5RID1	C5RID0	
	C4MID5	C4MID4	C4MID3	C4MID2	C4MID1	C4MID0	C4RID1	C4RID0	
UCLKCR	USSCS1	USSCS0	-	-	-	-	-	-	CPG
FRQCR	PLL2EN	-	-	KOEN	-	-	STC1	STC0	
	-	-	IFC1	IFC0	-	PFC2	PFC1	PFC0	
WTCNT									WDT
WTCNR	TME	WT/IT	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0	
STBCR3	MSTP37	MSTP36	MSTP35	-	MSTP33	MSTP32	MSTP31	MSTP30	低消費電力
STBCR4	-	-	MSTP45	MSTP44	MSTP43	MSTP42	MSTP41	MSTP40	
STBCR5	-	MSTP56	-	MSTP54	-	MSTP52	MSTP51	MSTP50	
STBCR	STBY	-	-	STBXTL	-	MSTP2	MSTP1	-	
STBCR2	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	-	MSTP3	
TSTR	-	-	-	-	-	STR2	STR1	STR0	TMU
TCOR_0									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TCNT_0									
TCR_0	-	-	-	-	-	-	-	UNF	
	-	-	UNIE	-	-	TPSC2	TPSC1	TPSC0	
TCOR_1									
TCNT_1									
TCR_1	-	-	-	-	-	-	-	UNF	
	-	-	UNIE	-	-	TPSC2	TPSC1	TPSC0	
TCOR_2									
TCNT_2									
TCR_2	-	-	-	-	-	-	-	UNF	
	-	-	UNIE	-	-	TPSC2	TPSC1	TPSC0	
TSTR	-	-	-	-	-	-	-	-	TPU
	-	-	-	-	CST3	CST2	CST1	CST0	
TCR_0	-	-	-	-	-	-	-	-	
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_0	-	-	-	-	-	-	-	-	
	-	BFWT	BFB	BFA	-	MD2	MD1	MD0	
TIOR_0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	IOA2	IOA1	IOA0	
TIER_0	-	-	-	-	-	-	-	-	
	-	-	TC1EU	TC1EV	TG1ED	TG1EC	TG1EB	TG1EA	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TSR_0	-	-	-	-	-	-	-	-	TPU
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0									
TGRA_0									
TGRB_0									
TGRC_0									
TGRD_0									
TCR_1	-	-	-	-	-	-	-	-	
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_1	-	-	-	-	-	-	-	-	
	-	BFWT	BFB	BFA	-	MD2	MD1	MD0	
TIOR_1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	IOA2	IOA1	IOA0	
TIER_1	-	-	-	-	-	-	-	-	
	-	-	TC1EU	TC1EV	TG1ED	TG1EC	TG1EB	TG1EA	
TSR_1	-	-	-	-	-	-	-	-	
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_1									
TGRA_1									
TGRB_1									
TGRC_1									
TGRD_1									
TCR_2	-	-	-	-	-	-	-	-	
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_2	-	-	-	-	-	-	-	-	
	-	BFWT	BFB	BFA	-	MD2	MD1	MD0	



レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TIOR_2	-	-	-	-	-	-	-	-	TPU
	-	-	-	-	-	IOA2	IOA1	IOA0	
TIER_2	-	-	-	-	-	-	-	-	
	-	-	TC1EU	TC1EV	TG1ED	TG1EC	TG1EB	TG1EA	
TSR_2	-	-	-	-	-	-	-	-	
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_2									
TGRA_2									
TGRB_2									
TGRC_2									
TGRD_2									
TCR_3	-	-	-	-	-	-	-	-	
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_3	-	-	-	-	-	-	-	-	
	-	BFWT	BFB	BFA	-	MD2	MD1	MD0	
TIOR_3	-	-	-	-	-	-	-	-	
	-	-	-	-	-	IOA2	IOA1	IOA0	
TIER_3	-	-	-	-	-	-	-	-	
	-	-	TC1EU	TC1EV	TG1ED	TG1EC	TG1EB	TG1EA	
TSR_3	-	-	-	-	-	-	-	-	
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_3									
TGRA_3									
TGRB_3									
TGRC_3									
TGRD_3									

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CMSTR	-	-	-	-	-	-	-	-	CMT
	-	-	-	STR4	STR3	STR2	STR1	STR0	
CMCSR_0	CMF	OVF	-	-	-	-	CMS	CMM	
	-	-	CMR1	CMR0	-	CKS2	CKS1	CKS0	
CMCNT_0									
CMCOR_0									
CMCSR_1	CMF	OVF	-	-	-	-	CMS	CMM	
	-	-	CMR1	CMR0	-	CKS2	CKS1	CKS0	
CMCNT_1									
CMCOR_1									
CMCSR_2	CMF	OVF	-	-	-	-	CMS	CMM	
	-	-	CMR1	CMR0	-	CKS2	CKS1	CKS0	
CMCNT_2									
CMCOR_2									
CMCSR_3	CMF	OVF	-	-	-	-	CMS	CMM	
	-	-	CMR1	CMR0	-	CKS2	CKS1	CKS0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CMCNT_3									CMT
CMCOR_3									
CMCSR_4	CMF	OVF	-	-	-	-	CMS	CMM	
	-	-	CMR1	CMR0	-	CKS2	CKS1	CKS0	
CMCNT_4									
CMCOR_4									
R64CNT	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz	RTC
RSECCNT	-	秒の 10 の桁				秒の 1 の桁			
RMINCNT	-	分の 10 の桁				分の 1 の桁			
RHRCNT	-	-	時間の 10 の桁			時間の 1 の桁			
RWKCNT	-	-	-	-	-	曜日			
RDAYCNT	-	-	日の 10 の桁			日の 1 の桁			
RMONCNT	-	-	-	月の 10 の桁		月の 10 の桁			
RYRCNT	年の 1000 の桁				年の 100 の桁				
	年の 10 の桁				年の 1 の桁				
RSECAR	ENB	秒の 10 の桁				秒の 1 の桁			
RMINAR	ENB	分の 10 の桁				分の 1 の桁			
RHRAR	ENB	-	時間の 10 の桁			時間の 1 の桁			
RWKAR	ENB	-	-	-	-	曜日			
RDAYAR	ENB	-	日の 10 の桁			日の 1 の桁			
RMONAR	ENB	-	-	月の 10 の桁		月の 1 の桁			
RCR1	CF	-	-	CIE	AIE	-	-	AF	
RCR2	PEF	PES2	PES1	PES0	RTCEN	ADJ	RESET	START	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
RYPAR	年の 1000 の桁			年の 100 の桁			年の 10 の桁		RTC
	年の 10 の桁			年の 1 の桁					
RCR3	YAEN	-	-	-	-	-	-	-	
SCSMR_0	-	-	-	-	-	SRC2	SRC1	SRC0	SCIF
	C/A	CHR	PE	O/E	STOP	-	CKS1	CKS0	
SCBRR_0	SCBRD7	SCBRD6	SCBRD5	SCBRD4	SCBRD3	SCBRD2	SCBRD1	SCBRD0	
SCSCR_0	TDRQE	RDRQE	-	-	TSIE	ERIE	BRIE	DRIE	
	TIE	RIE	TE	RE	-	-	CKE1	CKE0	
SCTDSR_0									
SCFER_0	-	-	PER5	PER4	PER3	PER2	PER1	PER0	
	-	-	FER5	FER4	FER3	FER2	FER1	FER0	
SCSSR_0	-	-	-	-	-	-	ORER	TSF	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFCR_0	TSE	TCRST	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCFDR_0	-	T6	T5	T4	T3	T2	T1	T0	
	-	R6	R5	R4	R3	R2	R1	R0	
SCFTDR_0	SCFTD7	SCFTD6	SCFTD5	SCFTD4	SCFTD3	SCFTD2	SCFTD1	SCFTD0	
SCFRDR_0	SCFRD7	SCFRD6	SCFRD5	SCFRD4	SCFRD3	SCFRD2	SCFRD1	SCFRD0	
SCSMR_1	-	-	-	-	-	SRC2	SRC1	SRC0	
	C/A	CHR	PE	O/E	STOP	-	CKS1	CKS0	
SCBRR_1	SCBRD7	SCBRD6	SCBRD5	SCBRD4	SCBRD3	SCBRD2	SCBRD1	SCBRD0	
SCSCR_1	TDRQE	RDRQE	-	-	TSIE	ERIE	BRIE	DRIE	
	TIE	RIE	TE	RE	-	-	CKE1	CKE0	
SCTDSR_1									
SCFER_1	-	-	PER5	PER4	PER3	PER2	PER1	PER0	
	-	-	FER5	FER4	FER3	FER2	FER1	FER0	
SCSSR_1	-	-	-	-	-	-	ORER	TSF	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFCR_1	TSE	TCRST	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCFDR_1	-	T6	T5	T4	T3	T2	T1	T0	
	-	R6	R5	R4	R3	R2	R1	R0	
SCFTDR_1	SCFTD7	SCFTD6	SCFTD5	SCFTD4	SCFTD3	SCFTD2	SCFTD1	SCFTD0	
SCFRDR_1	SCFRD7	SCFRD6	SCFRD5	SCFRD4	SCFRD3	SCFRD2	SCFRD1	SCFRD0	
SCIMR	-	-	-	-	-	-	-	-	IrDA
	IRMOD	ICK3	ICK2	ICK1	ICK0	PSEL	-	-	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
ICCR1	ICE	RCVD	MST	TRS	-	-	-	-	IIC
ICCR2	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-	
ICMR	MLS	-	-	-	BCWP	BC2	BC1	BC0	
ICIER	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
SAR	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	-	
ICDRT	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
ICCKS	-	-	-	CKS4	CKS3	CKS2	CKS1	CKS0	
SIMDR_0	TRMD1	TRMD0	SYNCAT	REDG	FL3	FL2	FL1	FL0	SIOF
	TXDIZ	RCIM	SYNCAC	SYNCDL	-	-	-	-	
SISCR_0	MSSEL	MSIMM	-	BRPS4	BRPS3	BRPS2	BRPS1	BRPS0	
	-	-	-	-	-	BRDV2	BRDV1	BRDV0	
SITDAR_0	TDLE	-	-	-	TDLA3	TDLA2	TDLA1	TDLA0	
	TDRE	TLREP	-	-	TDRA3	TDRA2	TDRA1	TDRA0	
SIRDAR_0	RDLE	-	-	-	RDLA3	RDLA2	RDLA1	RDLA0	
	RDRE	-	-	-	RDRA3	RDRA2	RDRA1	RDRA0	
SICDAR_0	CD0E	-	-	-	CD0A3	CD0A2	CD0A1	CD0A0	
	CD1E	-	-	-	CD1A3	CD1A2	CD1A1	CD1A0	
SICTR_0	SCKE	FSE	-	-	-	-	TXE	RXE	
	-	-	-	-	-	-	TXRST	RXRST	
SIFCTR_0	TFWM2	TFWM1	TFWM0	TFUA4	TFUA3	TFUA2	TFUA1	TFUA0	
	RFWM2	RFWM1	RFWM0	RFUA4	RFUA3	RFUA2	RFUA1	RFUA0	
SISTR_0	-	TCRDY	TFEMP	TDREQ	-	RCRDY	RFFUL	RDREQ	
	-	-	SAERR	FSERR	TFOVF	TFUDF	RFUDF	RFOVF	
SIER_0	TDMAE	TCRDYE	TFEMPE	TDREQE	RDMAE	RCRDYE	RFFULE	RDREQE	
	-	-	SAERRE	FSERRE	TFOVFE	TFUDFE	RFUDFE	RFOVFE	
SITDR_0	SITDL15	SITDL14	SITDL13	SITDL12	SITDL11	SITDL10	SITDL9	SITDL8	
	SITDL7	SITDL6	SITDL5	SITDL4	SITDL3	SITDL2	SITDL1	SITDL0	
	SITDR15	SITDR14	SITDR13	SITDR12	SITDR11	SITDR10	SITDR9	SITDR8	
	SITDR7	SITDR6	SITDR5	SITDR4	SITDR3	SITDR2	SITDR1	SITDR0	
SIRDRL_0	SIRDRL15	SIRDRL14	SIRDRL13	SIRDRL12	SIRDRL11	SIRDRL10	SIRDRL9	SIRDRL8	
	SIRDRL7	SIRDRL6	SIRDRL5	SIRDRL4	SIRDRL3	SIRDRL2	SIRDRL1	SIRDRL0	
	SIRDRL15	SIRDRL14	SIRDRL13	SIRDRL12	SIRDRL11	SIRDRL10	SIRDRL9	SIRDRL8	
	SIRDRL7	SIRDRL6	SIRDRL5	SIRDRL4	SIRDRL3	SIRDRL2	SIRDRL1	SIRDRL0	
SITCR_0	SITC015	SITC014	SITC013	SITC012	SITC011	SITC010	SITC09	SITC08	
	SITC07	SITC06	SITC05	SITC04	SITC03	SITC02	SITC01	SITC00	
	SITC115	SITC114	SITC113	SITC112	SITC111	SITC110	SITC19	SITC18	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SITCR_0	SITC17	SITC16	SITC15	SITC14	SITC13	SITC12	SITC11	SITC10	SIOF
SIRCR_0	SIRC015	SIRC014	SIRC013	SIRC012	SIRC011	SIRC010	SIRC09	SIRC08	
	SIRC07	SIRC06	SIRC05	SIRC04	SIRC03	SIRC02	SIRC01	SIRC00	
	SIRC115	SIRC114	SIRC113	SIRC112	SIRC111	SIRC110	SIRC19	SIRC18	
	SIRC17	SIRC16	SIRC15	SIRC14	SIRC13	SIRC12	SIRC11	SIRC10	
SIMDR_1	TRMD1	TRMD0	SYNCAT	REDG	FL3	FL2	FL1	FL0	
	TXDIZ	RCIM	SYNCAC	SYNCDL	-	-	-	-	
SISCR_1	MSSSEL	MSIMM	-	BRPS4	BRPS3	BRPS2	BRPS1	BRPS0	
	-	-	-	-	-	BRDV2	BRDV1	BRDV0	
SITDAR_1	TDLE	-	-	-	TDLA3	TDLA2	TDLA1	TDLA0	
	TDRE	TLREP	-	-	TDRA3	TDRA2	TDRA1	TDRA0	
SIRDAR_1	RDLE	-	-	-	RDLA3	RDLA2	RDLA1	RDLA0	
	RDRE	-	-	-	RDRA3	RDRA2	RDRA1	RDRA0	
SICDAR_1	CD0E	-	-	-	CD0A3	CD0A2	CD0A1	CD0A0	
	CD1E	-	-	-	CD1A3	CD1A2	CD1A1	CD1A0	
SICTR_1	SCKE	FSE	-	-	-	-	TXE	RXE	
	-	-	-	-	-	-	TXRST	RXRST	
SIFCTR_1	TFWM2	TFWM1	TFWM0	TFUA4	TFUA3	TFUA2	TFUA1	TFUA0	
	RFWM2	RFWM1	RFWM0	RFUA4	RFUA3	RFUA2	RFUA1	RFUA0	
SISTR_1	-	TCRDY	TFEMP	TDREQ	-	RCRDY	RFFUL	RDREQ	
	-	-	SAERR	FSERR	TFOVF	TFUDF	RFUDF	RFOVF	
SIER_1	TDMAE	TCRDYE	TFEMPE	TDREQE	RDMAE	RCRDYE	RFFULE	RDREQE	
	-	-	SAERRE	FSEERE	TFOVFE	TFUDFE	RFUDFE	RFOVFE	
SITDR_1	SITDL15	SITDL14	SITDL13	SITDL12	SITDL11	SITDL10	SITDL9	SITDL8	
	SITDL7	SITDL6	SITDL5	SITDL4	SITDL3	SITDL2	SITDL1	SITDL0	
	SITDR15	SITDR14	SITDR13	SITDR12	SITDR11	SITDR10	SITDR9	SITDR8	
	SITDR7	SITDR6	SITDR5	SITDR4	SITDR3	SITDR2	SITDR1	SITDR0	
SIRDR_1	SIRDL15	SIRDL14	SIRDL13	SIRDL12	SIRDL11	SIRDL10	SIRDL9	SIRDL8	
	SIRDL7	SIRDL6	SIRDL5	SIRDL4	SIRDL3	SIRDL2	SIRDL1	SIRDL0	
	SIRDR15	SIRDR14	SIRDR13	SIRDR12	SIRDR11	SIRDR10	SIRDR9	SIRDR8	
	SIRDR7	SIRDR6	SIRDR5	SIRDR4	SIRDR3	SIRDR2	SIRDR1	SIRDR0	
SITCR_1	SITC015	SITC014	SITC013	SITC012	SITC011	SITC010	SITC09	SITC08	
	SITC07	SITC06	SITC05	SITC04	SITC03	SITC02	SITC01	SITC00	
	SITC115	SITC114	SITC113	SITC112	SITC111	SITC110	SITC19	SITC18	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
SITCR_1	SITC17	SITC16	SITC15	SITC14	SITC13	SITC12	SITC11	SITC10	SIOF
SIRCR_1	SIRC015	SIRC014	SIRC013	SIRC012	SIRC011	SIRC010	SIRC09	SIRC08	
	SIRC07	SIRC06	SIRC05	SIRC04	SIRC03	SIRC02	SIRC01	SIRC00	
	SIRC115	SIRC114	SIRC113	SIRC112	SIRC111	SIRC110	SIRC19	SIRC18	
	SIRC17	SIRC16	SIRC15	SIRC14	SIRC13	SIRC12	SIRC11	SIRC10	
ACTR1	HC	-	-	-	-	-	-	-	AFEIF
	DLB	-	-	FFSZ2	FFSZ1	FFSZ0	TE	RE	
ACTR2	-	-	-	-	-	-	-	-	
	-	-	-	DPST	PPS	RCEN	-	RLYC	
ASTR1	-	-	-	-	TFEM	RFFM	THEM	RHF	
	-	-	-	-	TFE	RFF	THE	RHF	
ASTR2	-	-	-	-	-	-	DPEM	RDETM	
	-	-	-	-	-	-	DPE	RDET	
MRCR	-	-	-	-	-	-	MRCR9	MRCR8	
	MRCR7	MRCR6	MRCR5	MRCR4	MRCR3	MRCR2	MRCR1	MRCR0	
MPCR	MPCR15	MPCR14	MPCR13	MPCR12	MPCR11	MPCR10	MPCR9	MPCR8	
	MPCR7	MPCR6	MPCR5	MPCR4	MPCR3	MPCR2	MPCR1	MPCR0	
DPNQ	DN03	DN02	DN01	DN00	DN13	DN12	DN11	DN10	
	DN23	DN22	DN21	DN20	DN33	DN32	DN31	DN30	
RCNT	RCNT15	RCNT14	RCNT13	RCNT12	RCNT11	RCNT10	RCNT9	RCNT8	
	RCNT7	RCNT6	RCNT5	RCNT4	RCNT3	RCNT2	RCNT1	RCNT0	
ACDR	ACDR15	ACDR14	ACDR13	ACDR12	ACDR11	ACDR10	ACDR9	ACDR8	
	ACDR7	ACDR6	ACDR5	ACDR4	ACDR3	ACDR2	ACDR1	ACDR0	
ASDR	ASDR15	ASDR14	ASDR13	ASDR12	ASDR11	ASDR10	ASDR9	ASDR8	
	ASDR7	ASDR6	ASDR5	ASDR4	ASDR3	ASDR2	ASDR1	ASDR0	
TDFP	TDFP15	TDFP14	TDFP13	TDFP12	TDFP11	TDFP10	TDFP9	TDFP8	
	TDFP7	TDFP6	TDFP5	TDFP4	TDFP3	TDFP2	TDFP1	TDFP0	
RDFP	RDFP15	RDFP14	RDFP13	RDFP12	RDFP11	RDFP10	RDFP9	RDFP8	
	RDFP7	RDFP6	RDFP5	RDFP4	RDFP3	RDFP2	RDFP1	RDFP0	
UTRCTL	-	-	-	-	-	-	-	DRV	USB PMC
	-	-	-	-	-	-	USB_ TRANS	USB_SEL	
USBHR	-	-	-	-	-	-	-	-	USBH
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	Rev7	Rev6	Rev5	Rev4	Rev3	Rev2	Rev1	Rev0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
USBHC	-	-	-	-	-	-	-	-	USBH
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	RWE	RWC	IR	
	HCFS1	HCFS0	BLE	CLE	IE	PLE	CBSR1	CBSR0	
USBHCS	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	SOC1	SOC0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	OCR	BLF	CLF	HCR	
USBHIS	-	OC	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	RHSC	FNO	UE	RD	SF	WDH	SO	
USBHIE	MIE	OC	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	RHSC	FNO	UE	RD	SF	WDH	SO	
USBHID	MIE	OC	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	RHSC	FNO	UE	RD	SF	WDH	SO	
USBHHCCA	HCCA23	HCCA22	HCCA21	HCCA20	HCCA19	HCCA18	HCCA17	HCCA16	
	HCCA15	HCCA14	HCCA13	HCCA12	HCCA11	HCCA10	HCCA9	HCCA8	
	HCCA7	HCCA6	HCCA5	HCCA4	HCCA3	HCCA2	HCCA1	HCCA0	
	-	-	-	-	-	-	-	-	
USBHPCED	PCED27	PCED26	PCED25	PCED24	PCED23	PCED22	PCED21	PCED20	
	PCED19	PCED18	PCED17	PCED16	PCED15	PCED14	PCED13	PCED12	
	PCED11	PCED10	PCED9	PCED8	PCED7	PCED6	PCED5	PCED4	
	PCED3	PCED2	PCED1	PCED0	-	-	-	-	
USBHCHED	CHED27	CHED26	CHED25	CHED24	CHED23	CHED22	CHED21	CHED20	
	CHED19	CHED18	CHED17	CHED16	CHED15	CHED14	CHED13	CHED12	
	CHED11	CHED10	CHED9	CHED8	CHED7	CHED6	CHED5	CHED4	
	CHED3	CHED2	CHED1	CHED0	-	-	-	-	
USBHCCED	CCED27	CCED26	CCED25	CCED24	CCED23	CCED22	CCED21	CCED20	
	CCED19	CCED18	CCED17	CCED16	CCED15	CCED14	CCED13	CCED12	
	CCED11	CCED10	CCED9	CCED8	CCED7	CCED6	CCED5	CCED4	
	CCED3	CCED2	CCED1	CCED0	-	-	-	-	



レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
USBHBHED	BHED27	BHED26	BHED25	BHED24	BHED23	BHED22	BHED21	BHED20	USBH
	BHED19	BHED18	BHED17	BHED16	BHED15	BHED14	BHED13	BHED12	
	BHED11	BHED10	BHED9	BHED8	BHED7	BHED6	BHED5	BHED4	
	BHED3	BHED2	BHED1	BHED0	-	-	-	-	
USBHBCED	BCED27	BCED26	BCED25	BCED24	BCED23	BCED22	BCED21	BCED20	
	BCED19	BCED18	BCED17	BCED16	BCED15	BCED14	BCED13	BCED12	
	BCED11	BCED10	BCED9	BCED8	BCED7	BCED6	BCED5	BCED4	
	BCED3	BCED2	BCED1	BCED0	-	-	-	-	
USBHDHED	DH27	DH26	DH25	DH24	DH23	DH22	DH21	DH20	
	DH19	DH18	DH17	DH16	DH15	DH14	DH13	DH12	
	DH11	DH10	DH9	DH8	DH7	DH6	DH5	DH4	
	DH3	DH2	DH1	DH0	-	-	-	-	
USBHFI	FIT	FSMPS14	FSMPS13	FSMPS12	FSMPS11	FSMPS10	FSMPS9	FSMPS8	
	FSMPS7	FSMPS6	FSMPS5	FSMPS4	FSMPS3	FSMPS2	FSMPS1	FSMPS0	
	-	-	FI13	FI12	FI11	FI10	FI9	FI8	
	FI7	FI6	FI5	FI4	FI3	FI2	FI1	FI0	
USBHFR	FRT	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	FR13	FR12	FR11	FR10	FR9	FR8	
	FR7	FR6	FR5	FR4	FR3	FR2	FR1	FR0	
USBHFN	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	FN15	FN14	FN13	FN12	FN11	FN10	FN9	FN8	
	FN7	FN6	FN5	FN4	FN3	FN2	FN1	FN0	
USBHPS	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	PS13	PS12	PS11	PS10	PS9	PS8	
	PS7	PS6	PS5	PS4	PS3	PS2	PS1	PS0	
USBHLST	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	LST11	LST10	LST9	LST8	
	LST7	LST6	LST5	LST4	LST3	LST2	LST1	LST0	
USBHRDA	POTPGT7	POTPGT6	POTPGT5	POTPGT4	POTPGT3	POTPGT2	POTPGT1	POTPGT0	
	-	-	-	-	-	-	-	-	
	-	-	-	NOCP	OCPM	DT	NPS	PSM	
	NDP7	NDP6	NDP5	NDP4	NDP3	NDP2	NDP1	NDP0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
USBHRDB	PPCM15	PPCM14	PPCM13	PPCM12	PPCM11	PPCM10	PPCM9	PPCM8	USBH
	PPCM7	PPCM6	PPCM5	PPCM4	PPCM3	PPCM2	PPCM1	PPCM0	
	DR15	DR14	DR13	DR12	DR11	DR10	DR9	DR8	
	DR7	DR6	DR5	DR4	DR3	DR2	DR1	DR0	
USBHRS	CRWE	-	-	-	-	-	-	-	
	-	-	-	-	-	-	OCIC	LPSC	
	DRWE	-	-	-	-	-	-	-	
	-	-	-	-	-	-	OCI	LPS	
USBHRPS1	-	-	-	-	-	-	-	-	
	-	-	-	PRSC	OCIC	PSSC	PESC	CSC	
	-	-	-	-	-	-	LSDA	PPS	
	-	-	-	PRS	POCI	PSS	PES	CCS	
USBHRPS2	-	-	-	-	-	-	-	-	
	-	-	-	PRSC	OCIC	PSSC	PESC	CSC	
	-	-	-	-	-	-	LSDA	PPS	
	-	-	-	PRS	POCI	PSS	PES	CCS	
IFR0	BRST	EP1FULL	EP2TR	EP2EMPTY	SETUPTS	EP0oTS	EP0iTR	EP0iTS	USBF
IFR1	-	-	-	-	VBUSMN	EP3TR	EP3TS	VBUSF	
IFR2	-	-	SURSS	SURSF	CFDN	SOF	SETC	SETI	
IFR3	-	-	-	-	EP5TR	EP5TS	EP4TF	EP4TS	
IER0	BRST IE	EP1FULL IS	EP2TR IE	EP2 EMPTY IE	SETUPTS IE	EP0oTS IE	EP0iTR IE	EP0iTS IE	
IER1	-	-	-	-	-	EP3TR IE	EP3TS IE	VBUSF IE	
IER2	-	-	-	SURSE IE	CFDN IE	SOFE IE	SETCE IE	SETIE IE	
IER3	-	-	-	-	EP5TR IE	EP5TS IE	EP4TF IE	EP4TS IE	
ISR0	BRST IS	EP1FULL IS	EP2TR IS	EP2 EMPTY IS	SETUPTS IS	EP0oTS IS	EP0iTR IS	EP0iTS IS	
ISR1	-	-	-	-	-	EP3TR IS	EP3TS IS	VBUSF IS	
ISR2	-	-	-	SURSE IS	CFDN IS	SOFE IS	SETCE IS	SETIE IS	
ISR3	-	-	-	-	EP5TR IS	EP5TS IS	EP4TF IS	EP4TS IS	
EPDR0i	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR0o	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR0s	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR1	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR2	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR3	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR4	D7	D6	D5	D4	D3	D2	D1	D0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
EPDR5	D7	D6	D5	D4	D3	D2	D1	D0	USBF
EPSZ0o									
EPSZ1									
EPSZ4									
DASTS	-	-	EP3DE	EP2DE	-	-	-	EP0iDE	
FCLR0	-	EP3CLR	EP1CLR	EP2CLR	-	-	EP0oCLR	EP0iCLR	
FCLR1	-	-	-	EP5CCLR	-	-	EP5CLR	EP4CLR	
EPSTL0	-	-	-	-	EP3STL	EP2STL	EP1STL	EP0STL	
EPSTL1	-	-	-	-	-	-	EP5STL	EP4STL	
TRG	-	EP3PKTE	EP1RDFN	EP2PKTE	-	EP0sRDFN	EP0oRDFN	EP0iPKTE	
DMA	-	-	-	-	-	PULLUPE	EP2DMAE	EP1DMAE	
CVR	CNFV1	CNFV0	INTV1	INTV0	-	ALTV2	ALTV1	ALTV0	
CTLR0	-	-	-	RWUPS	RSME	-	ASCE	-	
TSRH	-	-	-	-	-	D10	D9	D8	
TSRL	D7	D6	D5	D4	D3	D2	D1	D0	
EPIR	D7	D6	D5	D4	D3	D2	D1	D0	
IFR4	-	-	-	-	-	-	-	TMOUT	
IER4	-	-	-	-	-	-	-	TMOUT IE	
ISR4	-	-	-	-	-	-	-	TMOUT IS	
CTLR1	-	-	-	-	-	-	TMRACLR	TMREN	
TMRH	D15	D14	D13	D12	D11	D10	D9	D8	
TMRL	D7	D6	D5	D4	D3	D2	D1	D0	
STOH	D15	D14	D13	D12	D11	D10	D9	D8	
STOL	D7	D6	D5	D4	D3	D2	D1	D0	
LDPRnn (nn:H'00 ~ H'FF)	-	-	-	-	-	-	-	-	LCDC
	PALDnn23	PALDnn22	PALDnn21	PALDnn20	PALDnn19	PALDnn18	PALDnn17	PALDnn16	
	PALDnn15	PALDnn14	PALDnn13	PALDnn12	PALDnn11	PALDnn10	PALDnn9	PALDnn8	
	PALDnn7	PALDnn6	PALDnn5	PALDnn4	PALDnn3	PALDnn2	PALDnn1	PALDnn0	
LDICKR	-	-	ICKSEL1	ICKSEL0	-	-	-	-	
	-	-	DCCR5	DCCR4	DCCR3	DCCR2	DCCR1	DCCR0	
LDMTR	FLMPOL	CL1POL	DISPPOL	DPOL	-	MCNT	CL1CNT	CL2CNT	
	-	-	MIFTYP5	MIFTYP4	MIFTYP3	MIFTYP2	MIFTYP1	MIFTYP0	
LDDFR	-	-	-	-	-	-	-	PABD	
	-	DSP COLOR6	DSP COLOR5	DSP COLOR4	DSP COLOR3	DSP COLOR2	DSP COLOR1	DSP COLOR0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
LD SMR	-	-	ROT	-	-	-	AU1	AU0	LCDC
	-	-	-	-	-	-	-	-	
LD SARU	-	-	-	-	-	-	SAU25	SAU24	
	SAU23	SAU22	SAU21	SAU20	SAU19	SAU18	SAU17	SAU16	
	SAU15	SAU14	SAU13	SAU12	SAU11	SAU10	SAU9	SAU8	
	SAU7	SAU6	SAU5	SAU4	-	-	-	-	
LD SARL	-	-	-	-	-	-	SAL25	SAL24	
	SAL23	SAL22	SAL21	SAL20	SAL19	SAL18	SAL17	SAL16	
	SAL15	SAL14	SAL13	SAL12	SAL11	SAL10	SAL9	SAL8	
	SAL7	SAL6	SAL5	SAL4	-	-	-	-	
LD LAOR	LAO15	LAO14	LAO13	LAO12	LAO11	LAO10	LAO9	LAO8	
	LAO7	LAO6	LAO5	LAO4	LAO3	LAO2	LAO1	LAO0	
LD PALCR	-	-	-	-	-	-	-	-	
	-	-	-	PALS	-	-	-	PALEN	
LD HCNR	HDCN7	HDCN6	HDCN5	HDCN4	HDCN3	HDCN2	HDCN1	HDCN0	
	HTCN7	HTCN6	HTCN5	HTCN4	HTCN3	HTCN2	HTCN1	HTCN0	
LD HSYNR	HSYNW3	HSYNW2	HSYNW1	HSYNW0	-	-	-	-	
	HSYNP7	HSYNP6	HSYNP5	HSYNP4	HSYNP3	HSYNP2	HSYNP1	HSYNP0	
LD VDLNR	-	-	-	-	-	VDLN10	VDLN9	VDLN8	
	VDLN7	VDLN6	VDLN5	VDLN4	VDLN3	VDLN2	VDLN1	VDLN0	
LD VTLNR	-	-	-	-	-	VTLN10	VTLN9	VTLN8	
	VTLN7	VTLN6	VTLN5	VTLN4	VTLN3	VTLN2	VTLN1	VTLN0	
LD VSYNR	VSYNW3	VSYNW2	VSYNW1	VSYNW0	-	VSYNP10	VSYNP9	VSYNP8	
	VSYNP7	VSYNP6	VSYNP5	VSYNP4	VSYNP3	VSYNP2	VSYNP1	VSYNP0	
LD ACLNR	-	-	-	-	-	-	-	-	
	-	-	-	ACLN4	ACLN3	ACLN2	ACLN1	ACLN0	
LD INTR	MINTEN	FINTEN	VSINTEN	VEINTEN	MINTS	FINTS	VSINTS	VEINTS	
	-	-	-	-	-	-	-	-	
LD PMMR	ONC3	ONC2	ONC1	ONC0	OFFD3	OFFD2	OFFD1	OFFD0	
	-	VCPE	VEPE	DONE	-	-	LPS1	LPS0	
LD PSR	ONA3	ONA2	ONA1	ONA0	ONB3	ONB2	ONB1	ONB0	
	OFFE3	OFFE2	OFFE1	OFFE0	OFFF3	OFFF2	OFFF1	OFFF0	
LD CNTR	-	-	-	-	-	-	-	-	
	-	-	-	DON2	-	-	-	DON	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
LDUINTR	-	-	-	-	-	-	-	UINTEN	LCDC
	-	-	-	-	-	-	-	UINTS	
LDUINTLNR	-	-	-	-	-	UINTLN10	UINTLN9	UINTLN8	
	UINTLN7	UINTLN6	UINTLN5	UINTLN4	UINTLN3	UINTLN2	UINTLN1	UINTLN0	
LDLIRNR	-	-	-	-	-	-	-	-	
	LIRN7	LIRN6	LIRN5	LIRN4	LIRN3	LIRN2	LIRN1	LIRN0	
ADDRA	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	ADC
	AD1	AD0	-	-	-	-	-	-	
ADDRB	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRC	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRD	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADCSR	ADF	ADIE	ADST	DMASL	TRGE1	TRGE0	-	-	
	CKS1	CKS0	MULTI1	MULTI0	-	CH2	CH1	CH0	
DADR0									DAC
DADR1									
DACR	DAOE1	DAOE0	-	-	-	-	-	-	
PCC0ISR	P0RDY/ IREQ	P0MWP	P0VS2	P0VS1	P0CD2	P0CD1	P0BVD2/ P0SPKR	P0BVD1/ P0STSCHG	PCC
PCC0GCR	P0DRVE	P0PCCR	P0PCCT	P0USE	P0MMOD	P0PA25	P0PA24	P0REG	
PCC0CSCR	P0SCDI	-	P0IREQ	P0SC	P0CDC	P0RC	P0BW	P0BD	
PCC0CSCI	P0CRE	IREQE1	IREQE0	P0SCE	P0CDE	P0RE	P0BWE	P0BDE	
SCSMR	-	-	-	O/E	-	-	-	-	SIM
SCBRR	-	-	-	-	-	BRR2	BRR1	BRR0	
SCSCR	TIE	RIE	TE	RE	WAIT_IE	TEIE	CKE1	CKE0	
SCTDR	SCTD7	SCTD6	SCTD5	SCTD4	SCTD3	SCTD2	SCTD1	SCTD0	
SCSSR	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	-	
SCRDR	SCRD7	SCRD6	SCRD5	SCRD4	SCRD3	SCRD2	SCRD1	SCRD0	
SCSCMR	-	LCB	PB	-	SDIR	SINV	RST	SMIF	
SCSC2R	EIO	-	-	-	-	-	-	-	
SCGRD	SCGRD7	SCGRD6	SCGRD5	SCGRD4	SCGRD3	SCGRD2	SCGRD1	SCGRD0	
SCWAIT	SCWAIT15	SCWAIT14	SCWAIT13	SCWAIT12	SCWAIT11	SCWAIT10	SCWAIT9	SCWAIT8	
	SCWAIT7	SCWAIT6	SCWAIT5	SCWAIT4	SCWAIT3	SCWAIT2	SCWAIT1	SCWAIT0	
SCSMPL	-	-	-	-	-	SCSMPL10	SCSMPL9	SCSMPL8	
	SCSMPL7	SCSMPL6	SCSMPL5	SCSMPL4	SCSMPL3	SCSMPL2	SCSMPL1	SCSMPL0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CMDR0	START	HOST	INDEX5	INDEX4	INDEX3	INDEX2	INDEX1	INDEX0	MMC
CMDR1	CMDR17	CMDR16	CMDR15	CMDR14	CMDR13	CMDR12	CMDR11	CMDR10	
CMDR2	CMDR27	CMDR26	CMDR25	CMDR24	CMDR23	CMDR22	CMDR21	CMDR20	
CMDR3	CMDR37	CMDR36	CMDR35	CMDR34	CMDR33	CMDR32	CMDR31	CMDR30	
CMDR4	CMDR47	CMDR46	CMDR45	CMDR44	CMDR43	CMDR42	CMDR41	CMDR40	
CMDR5	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0	END	
CMDSTRT	-	-	-	-	-	-	-	START	
OPCR	CMDOFF	-	RD_CONTI	DATAEN	-	-	-	-	
CSTR	BUSY	FIFO_ FULL	FIFO_ EMPTY	CWRE	DTBUSY	DTBUSY_ TU	-	REQ	
INTCR0	FEIE	FFIE	DRPIE	DTIE	CRPIE	CMDIE	DBSYIE	BTIE	
INTCR1	INTQ2E	INTQ1E	INTQ0E	-	-	CRCERIE	DTERIE	CTERIE	
INTSTR0	FEI	FFI	DRPI	DTI	CRPI	CMDI	DBSYI	BTI	
INTSTR1	-	-	-	-	WRERI	CRCERI	DTERI	CTERI	
CLKON	CLKON	-	-	-	CSEL3	CSEL2	CSEL1	CSEL0	
CTOCR	-	-	-	-	-	-	-	CTSEL0	
VDCNT	VDDON	ODMOD	-	-	-	-	-	-	
TBCR	-	-	-	-	C3	C2	C1	C0	
MODER	-	-	-	-	-	-	-	MODE	
CMDTYR	-	TY6	TY5	TY4	TY3	TY2	TY1	TY0	
RSPTYR	-	-	RTY5	RTY4	RTY3	RTY2	RTY1	RTY0	
TBNCR	TBNCR15	TBNCR14	TBNCR13	TBNCR12	TBNCR11	TBNCR10	TBNCR9	TBNCR8	
	TBNCR7	TBNCR6	TBNCR5	TBNCR4	TBNCR3	TBNCR2	TBNCR1	TBNCR0	
RSPR0	RSPR07	RSPR06	RSPR05	RSPR04	RSPR03	RSPR02	RSPR01	RSPR00	
RSPR1	RSPR17	RSPR16	RSPR15	RSPR14	RSPR13	RSPR12	RSPR11	RSPR10	
RSPR2	RSPR27	RSPR26	RSPR25	RSPR24	RSPR23	RSPR22	RSPR21	RSPR20	
RSPR3	RSPR37	RSPR36	RSPR35	RSPR34	RSPR33	RSPR32	RSPR31	RSPR30	
RSPR4	RSPR47	RSPR46	RSPR45	RSPR44	RSPR43	RSPR42	RSPR41	RSPR40	
RSPR5	RSPR57	RSPR56	RSPR55	RSPR54	RSPR53	RSPR52	RSPR51	RSPR50	
RSPR6	RSPR67	RSPR66	RSPR65	RSPR64	RSPR63	RSPR62	RSPR61	RSPR60	
RSPR7	RSPR77	RSPR76	RSPR75	RSPR74	RSPR73	RSPR72	RSPR71	RSPR70	
RSPR8	RSPR87	RSPR86	RSPR85	RSPR84	RSPR83	RSPR82	RSPR81	RSPR80	
RSPR9	RSPR97	RSPR96	RSPR95	RSPR94	RSPR93	RSPR92	RSPR91	RSPR90	
RSPR10	RSPR107	RSPR106	RSPR105	RSPR104	RSPR103	RSPR102	RSPR101	RSPR100	
RSPR11	RSPR117	RSPR116	RSPR115	RSPR114	RSPR113	RSPR112	RSPR111	RSPR110	
RSPR12	RSPR127	RSPR126	RSPR125	RSPR124	RSPR123	RSPR122	RSPR121	RSPR120	
RSPR13	RSPR137	RSPR136	RSPR135	RSPR134	RSPR133	RSPR132	RSPR131	RSPR130	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
RSPR14	RSPR147	RSPR146	RSPR145	RSPR144	RSPR143	RSPR142	RSPR141	RSPR140	MMC
RSPR15	RSPR157	RSPR156	RSPR155	RSPR154	RSPR153	RSPR152	RSPR151	RSPR150	
RSPR16	RSPR167	RSPR166	RSPR165	RSPR164	RSPR163	RSPR162	RSPR161	RSPR160	
RSPRD	-	-	-	RSPRD4	RSPRD3	RSPRD2	RSPRD1	RSPRD0	
DTOUTR	DTOUTR15	DTOUTR14	DTOUTR13	DTOUTR12	DTOUTR11	DTOUTR10	DTOUTR9	DTOUTR8	
	DTOUTR7	DTOUTR6	DTOUTR5	DTOUTR4	DTOUTR3	DTOUTR2	DTOUTR1	DTOUTR0	
DR	DR15	DR14	DR13	DR12	DR11	DR10	DR9	DR8	
	DR7	DR6	DR5	DR4	DR3	DR2	DR1	DR0	
FIFOCLR	FIFOCLR7	FIFOCLR6	FIFOCLR5	FIFOCLR4	FIFOCLR3	FIFOCLR2	FIFOCLR1	FIFOCLR0	
DMACR	DMAEN	AUTO	-	-	-	SET2	SET1	SET0	
INTCR2	INTRQ3E	-	-	-	-	-	-	FRDYIE	
INTSTR2	-	-	-	-	-	-	FRDY_TU	FRDYI	
BDRB	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	UBC
	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16	
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	
	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0	
BDMRB	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	
	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16	
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	
	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0	
BRCR	-	-	-	-	-	-	-	-	
	-	-	BASWA	BASWB	-	-	-	-	
	SCMFCA	SCMFCB	SCMFCDA	SCMFCDB	PCTE	PCBA	-	-	
	DBEB	PCBB	-	-	SEQ	-	-	ETBE	
BETR	-	-	-	-	BET11	BET10	BET9	BET8	
	BET7	BET6	BET5	BET4	BET3	BET2	BET1	BET0	
BARB	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BAMRB	BAMB31	BAMB30	BAMB29	BAMB28	BAMB27	BAMB26	BAMB25	BAMB24	
	BAMB23	BAMB22	BAMB21	BAMB20	BAMB19	BAMB18	BAMB17	BAMB16	
	BAMB15	BAMB14	BAMB13	BAMB12	BAMB11	BAMB10	BAMB9	BAMB8	
	BAMB7	BAMB6	BAMB5	BAMB4	BAMB3	BAMB2	BAMB1	BAMB0	
BBRB	-	-	-	-	-	-	XYE	XYX	
	CDB1	CDB0	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
BRSR	SVF	-	-	-	BSA27	BSA26	BSA25	BSA24	UBC
	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16	
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8	
	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0	
BARA	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BAMRA	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	
	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16	
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	
	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0	
BBRA	-	-	-	-	-	-	-	-	
	CDA1	CDA0	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0	
BRDR	DVF	-	-	-	BDA27	BDA26	BDA25	BDA24	
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16	
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0	
BASRA	BASA7	BASA6	BASA5	BASA4	BASA3	BASA2	BASA1	BASA0	
BASRB	BASB7	BASB6	BASB5	BASB4	BASB3	BASB2	BASB1	BASB0	
PACR	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0	PA4MD1	PA4MD0	PFC
	PA3MD1	PA3MD0	PA2MD1	PA2MD0	PA1MD1	PA1MD0	PA0MD1	PA0MD0	
PBCR	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0	
	PB3MD1	PB3MD0	PB2MD1	PB2MD0	PB1MD1	PB1MD0	PB0MD1	PB0MD0	
PCCR	PC7MD1	PC7MD0	PC6MD1	PC6MD0	PC5MD1	PC5MD0	PC4MD1	PC4MD0	
	PC3MD1	PC3MD0	PC2MD1	PC2MD0	PC1MD1	PC1MD0	PC0MD1	PC0MD0	
PDCR	PD7MD1	PD7MD0	PD6MD1	PD6MD0	PD5MD1	PD5MD0	PD4MD1	PD4MD0	
	PD3MD1	PD3MD0	PD2MD1	PD2MD0	PD1MD1	PD1MD0	PD0MD1	PD0MD0	
PECR	-	-	PE6MD1	-	PE5MD1	-	PE4MD1	PE4MD0	
	PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0	
PFCR	-	-	PF6MD1	PF6MD0	PF5MD1	PF5MD0	PF4MD1	PF4MD0	
	PF3MD1	PF3MD0	PF2MD1	PF2MD0	PF1MD1	PF1MD0	PF0MD1	PF0MD0	
PGCR	-	-	PG6MD1	PG6MD0	PG5MD1	PG5MD0	PG4MD1	PG4MD0	
	PG3MD1	PG3MD0	PG2MD1	PG2MD0	PG1MD1	PG1MD0	PG0MD1	PG0MD0	
PHCR	-	-	PH6MD1	PH6MD0	PH5MD1	PH5MD0	PH4MD1	PH4MD0	
	PH3MD1	PH3MD0	PH2MD1	PH2MD0	PH1MD1	PH1MD0	PH0MD1	PH0MD0	



レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
PJCR	-	-	PJ6MD1	PJ6MD0	PJ5MD1	PJ5MD0	PJ4MD1	PJ4MD0	PFC
	PJ3MD1	PJ3MD0	PJ2MD1	PJ2MD0	PJ1MD1	PJ1MD0	PJ0MD1	PJ0MD0	
PKCR	-	-	-	-	-	-	-	-	
	PK3MD1	PK3MD0	PK2MD1	PK2MD0	PK1MD1	PK1MD0	PK0MD1	PK0MD0	
PLCR	PL7MD1	PL7MD0	PL6MD1	PL6MD0	PL5MD1	PL5MD0	PL4MD1	PL4MD0	
	PL3MD1	PL3MD0	-	-	-	-	-	-	
PMCR	PM7MD1	PM7MD0	PM6MD1	PM6MD0	PM5MD1	PM5MD0	PM4MD1	PM4MD0	
	PM3MD1	PM3MD0	PM2MD1	PM2MD0	PM1MD1	PM1MD0	PM0MD1	PM0MD0	
PPCR	-	-	-	-	-	-	PP4MD1	PP4MD0	
	PP3MD1	PP3MD0	PP2MD1	PP2MD0	PP1MD1	PP1MD0	PP0MD1	PP0MD0	
PRCR	PR7MD1	PR7MD0	PR6MD1	PR6MD0	PR5MD1	PR5MD0	PR4MD1	PR4MD0	
	PR3MD1	PR3MD0	PR2MD1	PR2MD0	PR1MD1	PR1MD0	PR0MD1	PR0MD0	
PSCR	-	-	-	-	-	-	PS4MD1	PS4MD0	
	PS3MD1	PS3MD0	PS2MD1	PS2MD0	PS1MD1	PS1MD0	PS0MD1	PS0MD0	
PTCR	-	-	-	-	-	-	PT4MD1	PT4MD0	
	PT3MD1	PT3MD0	PT2MD1	PT2MD0	PT1MD1	PT1MD0	PT0MD1	PT0MD0	
PUCR	-	-	-	-	-	-	PU4MD1	PU4MD0	
	PU3MD1	PU3MD0	PU2MD1	PU2MD0	PU1MD1	PU1MD0	PU0MD1	PU0MD0	
PVCR	-	-	-	-	-	-	PV4MD1	PV4MD0	
	PV3MD1	PV3MD0	PV2MD1	PV2MD0	PV1MD1	PV1MD0	PV0MD1	PV0MD0	
PSELA	PSELA15	PSELA14	PSELA13	PSELA12	PSELA11	PSELA10	PSELA9	PSELA8	
	PSELA7	PSELA6	PSELA5	PSELA4	PSELA3	PSELA2	PSELA1	PSELA0	
PSELB	PSELB15	PSELB14	PSELB13	PSELB12	PSELB11	PSELB10	PSELB9	PSELB8	
	-	-	-	-	-	-	-	PSELB0	
PSELC	PSELC15	PSELC14	PSELC13	PSELC12	PSELC11	PSELC10	PSELC9	PSELC8	
	-	-	-	-	-	-	-	-	
PSELD	-	PSELD14	PSELD13	PSELD12	-	PSELD10	PSELD9	PSELD8	
	-	PSELD6	PSELD5	PSELD4	-	PSELD2	PSELD1	PSELD0	
PADR	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT	I/O ポート
PBDR	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT	
PCDR	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT	
PDDR	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT	
PEDR	-	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT	
PFDR	-	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT	
PGDR	-	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT	
PHDR	-	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT	

レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	
PJDR	-	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	PJ0DT	I/O ポート	
PKDR	-	-	-	-	PK3DT	PK2DT	PK1DT	PK0DT		
PLDR	PL7DT	PL6DT	PL5DT	PL4DT	PL3DT	-	-	-		
PMDR	PM7DT	PM6DT	PM5DT	PM4DT	PM3DT	PM2DT	PM1DT	PM0DT		
PPDR	-	-	-	PP4DT	PP3DT	PP2DT	PP1DT	PP0DT		
PRDR	PR7DT	PR6DT	PR5DT	PR4DT	PR3DT	PR2DT	PR1DT	PR0DT		
PSDR	-	-	-	PS4DT	PS3DT	PS2DT	PS1DT	PS0DT		
PTDR	-	-	-	PT4DT	PT3DT	PT2DT	PT1DT	PT0DT		
PUDR	-	-	-	PU4DT	PU3DT	PU2DT	PU1DT	PU0DT		
PVDR	-	-	-	PV4DT	PV3DT	PV2DT	PV1DT	PV0DT		
SDIR	T17	T16	T15	T14	T13	T12	T11	T10		H-UDI
	-	-	-	-	-	-	-	-		
SDIDH	DID31	DID30	DID29	DID28	DID27	DID26	DID25	DID24		
	DID23	DID22	DID21	DID20	DID19	DID18	DID17	DID16		
SDIDL	DID15	DID14	DID13	DID12	DID11	DID10	DID9	DID8		
	DID7	DID6	DID5	DID4	DID3	DID2	DID1	DID0		

- 【注】 \*1 メモリ種類指定が、通常空間、バイト選択付 SRAM のときです。  
 \*2 メモリ種類指定が、バースト ROM (クロック非同期式) のときです。  
 \*3 メモリ種類指定が、バースト ROM (クロック同期式) のときです。  
 \*4 メモリ種類指定が、SDRAM のときです。  
 \*5 メモリ種類指定が、PCMCIA のときです。

## 37.3 各動作モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
MMUCR	初期化	初期化	保持	保持	保持	MMU
PTEH	初期化	初期化	保持	保持	保持	
PTEL	初期化	初期化	保持	保持	保持	
TTB	初期化	初期化	保持	保持	保持	
CCR2	初期化	初期化	保持	保持	保持	キャッシュ
CCR3	初期化	初期化	保持	保持	保持	
CCR1	初期化	初期化	保持	保持	保持	
INTEVT2	初期化	初期化	保持	-	保持	例外処理
TRA	初期化	初期化	保持	-	保持	
EXPEVT	初期化	初期化	保持	-	保持	
INTEVT	初期化	初期化	保持	-	保持	
TEA	初期化	初期化	保持	-	保持	INTC
IPRF	初期化	初期化	保持	-	保持	
IPRG	初期化	初期化	保持	-	保持	
IPRH	初期化	初期化	保持	-	保持	
IPRI	初期化	初期化	保持	-	保持	
IPRJ	初期化	初期化	保持	-	保持	
IRR5	初期化	初期化	保持	-	保持	
IRR6	初期化	初期化	保持	-	保持	
IRR7	初期化	初期化	保持	-	保持	
IRR8	初期化	初期化	保持	-	保持	
IRR9	初期化	初期化	保持	-	保持	
IRR0	初期化	初期化	保持	-	保持	
IRR1	初期化	初期化	保持	-	保持	
IRR2	初期化	初期化	保持	-	保持	
IRR3	初期化	初期化	保持	-	保持	
IRR4	初期化	初期化	保持	-	保持	
ICR1	初期化	初期化	保持	-	保持	
ICR2	初期化	初期化	保持	-	保持	
PINTER	初期化	初期化	保持	-	保持	
IPRC	初期化	初期化	保持	-	保持	
IPRD	初期化	初期化	保持	-	保持	
IPRE	初期化	初期化	保持	-	保持	

レジスタ略称	パワーオン リセット*	マニュアル リセット*	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
ICR0	初期化	初期化	保持	-	保持	INTC
IPRA	初期化	初期化	保持	-	保持	
IPRB	初期化	初期化	保持	-	保持	
CMNCR	初期化	保持	保持	-	保持	BSC
CS0BCR	初期化	保持	保持	-	保持	
CS2BCR	初期化	保持	保持	-	保持	
CS3BCR	初期化	保持	保持	-	保持	
CS4BCR	初期化	保持	保持	-	保持	
CS5ABCR	初期化	保持	保持	-	保持	
CS5BBCR	初期化	保持	保持	-	保持	
CS6ABCR	初期化	保持	保持	-	保持	
CS6BBCR	初期化	保持	保持	-	保持	
CS0WCR	初期化	保持	保持	-	保持	
CS2WCR	初期化	保持	保持	-	保持	
CS3WCR	初期化	保持	保持	-	保持	
CS4WCR	初期化	保持	保持	-	保持	
CS5AWCR	初期化	保持	保持	-	保持	
CS5BWCR	初期化	保持	保持	-	保持	
CS6AWCR	初期化	保持	保持	-	保持	
CS6BWCR	初期化	保持	保持	-	保持	
SDCR	初期化	保持	保持	-	保持	
RTCSR	初期化	保持	保持	-	保持	
RTCNT	初期化	保持	保持	-	保持	
RTCOR	初期化	保持	保持	-	保持	
SAR_0	初期化	初期化	保持	保持	保持	DMAC
DAR_0	初期化	初期化	保持	保持	保持	
DMATCR_0	初期化	初期化	保持	保持	保持	
CHCR_0	初期化	初期化	保持	保持	保持	
SAR_1	初期化	初期化	保持	保持	保持	
DAR_1	初期化	初期化	保持	保持	保持	
DMATCR_1	初期化	初期化	保持	保持	保持	
CHCR_1	初期化	初期化	保持	保持	保持	
SAR_2	初期化	初期化	保持	保持	保持	
DAR_2	初期化	初期化	保持	保持	保持	
DMATCR_2	初期化	初期化	保持	保持	保持	
CHCR_2	初期化	初期化	保持	保持	保持	
SAR_3	初期化	初期化	保持	保持	保持	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
DAR_3	初期化	初期化	保持	保持	保持	DMAC
DMATCR_3	初期化	初期化	保持	保持	保持	
CHCR_3	初期化	初期化	保持	保持	保持	
SAR_4	初期化	初期化	保持	保持	保持	
DAR_4	初期化	初期化	保持	保持	保持	
DMATCR_4	初期化	初期化	保持	保持	保持	
CHCR_4	初期化	初期化	保持	保持	保持	
SAR_5	初期化	初期化	保持	保持	保持	
DAR_5	初期化	初期化	保持	保持	保持	
DMATCR_5	初期化	初期化	保持	保持	保持	
CHCR_5	初期化	初期化	保持	保持	保持	
DMAOR	初期化	初期化	保持	保持	保持	
DMARS0	初期化	初期化	保持	保持	保持	
DMARS1	初期化	初期化	保持	保持	保持	
DMARS2	初期化	初期化	保持	保持	保持	
UCLKCR	初期化	保持	保持	-	保持	
FRQCR	初期化*6	保持	保持	-	保持	WDT
WTCNT	初期化*6	保持	保持	-	保持	
WTCSR	初期化*6	保持	保持	-	保持	
STBCR3	初期化	保持	保持	-	保持	低消費電力
STBCR4	初期化	保持	保持	-	保持	
STBCR5	初期化	保持	保持	-	保持	
STBCR	初期化	保持	保持	-	保持	
STBCR2	初期化	保持	保持	-	保持	
TSTR	初期化	初期化	初期化*2	初期化	保持	
TCOR_0	初期化	初期化	保持	保持	保持	
TCNT_0	初期化	初期化	保持	保持	保持	
TCR_0	初期化	初期化	保持	保持	保持	
TCOR_1	初期化	初期化	保持	保持	保持	
TCNT_1	初期化	初期化	保持	保持	保持	
TCR_1	初期化	初期化	保持	保持	保持	
TCOR_2	初期化	初期化	保持	保持	保持	
TCNT_2	初期化	初期化	保持	保持	保持	
TCR_2	初期化	初期化	保持	保持	保持	

レジスタ略称	パワーオン リセット*	マニュアル リセット*	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TSTR	初期化	初期化	保持	保持	保持	TPU
TCR_0	初期化	初期化	保持	保持	保持	
TMDR_0	初期化	初期化	保持	保持	保持	
TIOR_0	初期化	初期化	保持	保持	保持	
TIER_0	初期化	初期化	保持	保持	保持	
TSR_0	初期化	初期化	保持	保持	保持	
TCNT_0	初期化	初期化	保持	保持	保持	
TGRA_0	初期化	初期化	保持	保持	保持	
TGRB_0	初期化	初期化	保持	保持	保持	
TGRC_0	初期化	初期化	保持	保持	保持	
TGRD_0	初期化	初期化	保持	保持	保持	
TCR_1	初期化	初期化	保持	保持	保持	
TMDR_1	初期化	初期化	保持	保持	保持	
TIOR_1	初期化	初期化	保持	保持	保持	
TIER_1	初期化	初期化	保持	保持	保持	
TSR_1	初期化	初期化	保持	保持	保持	
TCNT_1	初期化	初期化	保持	保持	保持	
TGRA_1	初期化	初期化	保持	保持	保持	
TGRB_1	初期化	初期化	保持	保持	保持	
TGRC_1	初期化	初期化	保持	保持	保持	
TGRD_1	初期化	初期化	保持	保持	保持	
TCR_2	初期化	初期化	保持	保持	保持	
TMDR_2	初期化	初期化	保持	保持	保持	
TIOR_2	初期化	初期化	保持	保持	保持	
TIER_2	初期化	初期化	保持	保持	保持	
TSR_2	初期化	初期化	保持	保持	保持	
TCNT_2	初期化	初期化	保持	保持	保持	
TGRA_2	初期化	初期化	保持	保持	保持	
TGRB_2	初期化	初期化	保持	保持	保持	
TGRC_2	初期化	初期化	保持	保持	保持	
TGRD_2	初期化	初期化	保持	保持	保持	
TCR_3	初期化	初期化	保持	保持	保持	
TMDR_3	初期化	初期化	保持	保持	保持	
TIOR_3	初期化	初期化	保持	保持	保持	
TIER_3	初期化	初期化	保持	保持	保持	
TSR_3	初期化	初期化	保持	保持	保持	
TCNT_3	初期化	初期化	保持	保持	保持	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TGRA_3	初期化	初期化	保持	保持	保持	TPU
TGRB_3	初期化	初期化	保持	保持	保持	
TGRC_3	初期化	初期化	保持	保持	保持	
TGRD_3	初期化	初期化	保持	保持	保持	
CMSTR	初期化	初期化	保持	保持	保持	CMT
CMCSR_0	初期化	初期化	保持	保持	保持	
CMCNT_0	初期化	初期化	保持	保持	保持	
CMCOR_0	初期化	初期化	保持	保持	保持	
CMCSR_1	初期化	初期化	保持	保持	保持	
CMCNT_1	初期化	初期化	保持	保持	保持	
CMCOR_1	初期化	初期化	保持	保持	保持	
CMCSR_2	初期化	初期化	保持	保持	保持	
CMCNT_2	初期化	初期化	保持	保持	保持	
CMCOR_2	初期化	初期化	保持	保持	保持	
CMCSR_3	初期化	初期化	保持	保持	保持	
CMCNT_3	初期化	初期化	保持	保持	保持	
CMCOR_3	初期化	初期化	保持	保持	保持	
CMCSR_4	初期化	初期化	保持	保持	保持	
CMCNT_4	初期化	初期化	保持	保持	保持	
CMCOR_4	初期化	初期化	保持	保持	保持	
R64CNT	保持	保持	保持	保持	保持	RTC
RSECCNT	保持	保持	保持	保持	保持	
RMINCNT	保持	保持	保持	保持	保持	
RHRCNT	保持	保持	保持	保持	保持	
RWKCNT	保持	保持	保持	保持	保持	
RDAYCNT	保持	保持	保持	保持	保持	
RMONCNT	保持	保持	保持	保持	保持	
RYRCNT	保持	保持	保持	保持	保持	
RSECAR	保持*3	保持	保持	保持	保持	
RMINAR	保持*3	保持	保持	保持	保持	
RHRAR	保持*3	保持	保持	保持	保持	
RWKAR	保持*3	保持	保持	保持	保持	
RDAYAR	保持*3	保持	保持	保持	保持	
RMONAR	保持*3	保持	保持	保持	保持	
RCR1	初期化	初期化	保持	保持	保持	
RCR2	初期化	初期化*4	保持	保持	保持	
RYRAR	保持	保持	保持	保持	保持	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
RCR3	初期化	保持	保持	保持	保持	RTC
SCSMR_0	初期化	初期化	保持	保持	保持	SCIF
SCBRR_0	初期化	初期化	保持	保持	保持	
SCSCR_0	初期化	初期化	保持	保持	保持	
SCTDSR_0	初期化	初期化	保持	保持	保持	
SCFER_0	初期化	初期化	保持	保持	保持	
SCSSR_0	初期化	初期化	保持	保持	保持	
SCFCR_0	初期化	初期化	保持	保持	保持	
SCFDR_0	初期化	初期化	保持	保持	保持	
SCFTDR_0	初期化	初期化	保持	保持	保持	
SCFRDR_0	初期化	初期化	保持	保持	保持	
SCSMR_1	初期化	初期化	保持	保持	保持	
SCBRR_1	初期化	初期化	保持	保持	保持	
SCSCR_1	初期化	初期化	保持	保持	保持	
SCTDSR_1	初期化	初期化	保持	保持	保持	
SCFER_1	初期化	初期化	保持	保持	保持	
SCSSR_1	初期化	初期化	保持	保持	保持	
SCFCR_1	初期化	初期化	保持	保持	保持	
SCFDR_1	初期化	初期化	保持	保持	保持	
SCFTDR_1	初期化	初期化	保持	保持	保持	
SCFRDR_1	初期化	初期化	保持	保持	保持	
SCIMR	初期化	初期化	保持	保持	保持	IrDA
ICCR1	初期化	初期化	保持	保持	保持	IIC
ICCR2	初期化	初期化	保持	保持	保持	
ICMR	初期化	初期化	保持	保持	保持	
ICIER	初期化	初期化	保持	保持	保持	
ICSR	初期化	初期化	保持	保持	保持	
SAR	初期化	初期化	保持	保持	保持	
ICDRT	初期化	初期化	保持	保持	保持	
ICDRR	初期化	初期化	保持	保持	保持	
ICCKS	初期化	初期化	保持	保持	保持	
SIMDR_0	初期化	初期化	保持	保持	保持	
SISCR_0	初期化	初期化	保持	保持	保持	
SITDAR_0	初期化	初期化	保持	保持	保持	
SIRDAR_0	初期化	初期化	保持	保持	保持	
SICDAR_0	初期化	初期化	保持	保持	保持	
SICTR_0	初期化	初期化	保持	保持	保持	
SIFCTR_0	初期化	初期化	保持	保持	保持	



レジスタ略称	パワーオン リセット*	マニュアル リセット*	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
SISTR_0	初期化	初期化	保持	保持	保持	SIOF0	
SIIER_0	初期化	初期化	保持	保持	保持		
SITDR_0	初期化	初期化	保持	保持	保持		
SIRDR_0	初期化	初期化	保持	保持	保持		
SITCR_0	初期化	初期化	保持	保持	保持		
SIRCR_0	初期化	初期化	保持	保持	保持		
SIMDR_1	初期化	初期化	保持	保持	保持	SIOF1	
SISCR_1	初期化	初期化	保持	保持	保持		
SITDAR_1	初期化	初期化	保持	保持	保持		
SIRDAR_1	初期化	初期化	保持	保持	保持		
SICDAR_1	初期化	初期化	保持	保持	保持		
SICTR_1	初期化	初期化	保持	保持	保持		
SIFCTR_1	初期化	初期化	保持	保持	保持		
SISTR_1	初期化	初期化	保持	保持	保持		
SIIER_1	初期化	初期化	保持	保持	保持		
SITDR_1	初期化	初期化	保持	保持	保持		
SIRDR_1	初期化	初期化	保持	保持	保持		
SITCR_1	初期化	初期化	保持	保持	保持		
SIRCR_1	初期化	初期化	保持	保持	保持		
ACTR1	初期化	初期化	保持	保持	保持		AFEIF
ACTR2	初期化	初期化	保持	保持	保持		
ASTR1	初期化	初期化	保持	保持	保持		
ASTR2	初期化	初期化	保持	保持	保持		
MRCR	初期化	初期化	保持	保持	保持		
MPCR	初期化	初期化	保持	保持	保持		
DPNQ	初期化	初期化	保持	保持	保持		
RCNT	初期化	初期化	保持	保持	保持		
ACDR	初期化	初期化	保持	保持	保持		
ASDR	初期化	初期化	保持	保持	保持		
TDFP	初期化	初期化	保持	保持	保持		
RDFP	初期化	初期化	保持	保持	保持		
UTRCTL	初期化	保持	保持	-	保持	USB PMC	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
USBHR	初期化	初期化	保持	保持	保持	USBH
USBHC	初期化	初期化	保持	保持	保持	
USBHCS	初期化	初期化	保持	保持	保持	
USBHIS	初期化	初期化	保持	保持	保持	
USBHIE	初期化	初期化	保持	保持	保持	
USBHID	初期化	初期化	保持	保持	保持	
USBHCCA	初期化	初期化	保持	保持	保持	
USBHPCED	初期化	初期化	保持	保持	保持	
USBHCHED	初期化	初期化	保持	保持	保持	
USBHCCED	初期化	初期化	保持	保持	保持	
USBHBHED	初期化	初期化	保持	保持	保持	
USBHBCED	初期化	初期化	保持	保持	保持	
USBHDHED	初期化	初期化	保持	保持	保持	
USBHFI	初期化	初期化	保持	保持	保持	
USBHFR	初期化	初期化	保持	保持	保持	
USBHFN	初期化	初期化	保持	保持	保持	
USBHPS	初期化	初期化	保持	保持	保持	
USBHLST	初期化	初期化	保持	保持	保持	
USBHRDA	初期化	初期化	保持	保持	保持	
USBHRDB	初期化	初期化	保持	保持	保持	
USBHRS	初期化	初期化	保持	保持	保持	
USBHRPS1	初期化	初期化	保持	保持	保持	
USBHRPS2	初期化	初期化	保持	保持	保持	
IFR0	初期化	初期化	保持	保持	保持	USBF
IFR1	初期化	初期化	保持	保持	保持	
IFR2	初期化	初期化	保持	保持	保持	
IFR3	初期化	初期化	保持	保持	保持	
IER0	初期化	初期化	保持	保持	保持	
IER1	初期化	初期化	保持	保持	保持	
IER2	初期化	初期化	保持	保持	保持	
IER3	初期化	初期化	保持	保持	保持	
ISR0	初期化	初期化	保持	保持	保持	
ISR1	初期化	初期化	保持	保持	保持	
ISR2	初期化	初期化	保持	保持	保持	
ISR3	初期化	初期化	保持	保持	保持	
EPDR0i	初期化	初期化	保持	保持	保持	

レジスタ略称	パワーオン リセット*	マニュアル リセット*	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
EPDR0o	初期化	初期化	保持	保持	保持	USBF
EPDR0s	初期化	初期化	保持	保持	保持	
EPDR1	初期化	初期化	保持	保持	保持	
EPDR2	初期化	初期化	保持	保持	保持	
EPDR3	初期化	初期化	保持	保持	保持	
EPDR4	初期化	初期化	保持	保持	保持	
EPDR5	初期化	初期化	保持	保持	保持	
EPSZ0o	初期化	初期化	保持	保持	保持	
EPSZ1	初期化	初期化	保持	保持	保持	
EPSZ4	初期化	初期化	保持	保持	保持	
DASTS	初期化	初期化	保持	保持	保持	
FCLR0	初期化	初期化	保持	保持	保持	
FCLR1	初期化	初期化	保持	保持	保持	
EPSTL0	初期化	初期化	保持	保持	保持	
EPSTL1	初期化	初期化	保持	保持	保持	
TRG	初期化	初期化	保持	保持	保持	
DMA	初期化	初期化	保持	保持	保持	
CVR	初期化	初期化	保持	保持	保持	
CTLR0	初期化	初期化	保持	保持	保持	
TSRH	初期化	初期化	保持	保持	保持	
TSRL	初期化	初期化	保持	保持	保持	
EPIR	初期化	初期化	保持	保持	保持	
IFR4	初期化	初期化	保持	保持	保持	
IER4	初期化	初期化	保持	保持	保持	
ISR4	初期化	初期化	保持	保持	保持	
CTLR1	初期化	初期化	保持	保持	保持	
TMRH	初期化	初期化	保持	保持	保持	
TMRL	初期化	初期化	保持	保持	保持	
STOH	初期化	初期化	保持	保持	保持	
STOL	初期化	初期化	保持	保持	保持	
LDPRnn (nn:00 ~ FF)	初期化	初期化	保持	保持	保持	LCDC
LDICKR	初期化	初期化	保持	保持	保持	
LDMTR	初期化	初期化	保持	保持	保持	
LDDFR	初期化	初期化	保持	保持	保持	
LDSMR	初期化	初期化	保持	保持	保持	

レジスタ略称	パワーオン リセット* 1</th <th>マニュアル リセット*<!--1</th--> <th>ソフトウェア スタンバイ</th> <th>モジュール スタンバイ</th> <th>スリープ</th> <th>モジュール</th> </th>	マニュアル リセット* 1</th <th>ソフトウェア スタンバイ</th> <th>モジュール スタンバイ</th> <th>スリープ</th> <th>モジュール</th>	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
LDSARU	初期化	初期化	保持	保持	保持	LCDC
LDSARL	初期化	初期化	保持	保持	保持	
LDLAOR	初期化	初期化	保持	保持	保持	
LDPALCR	初期化	初期化	保持	保持	保持	
LDHCNR	初期化	初期化	保持	保持	保持	
LDHSYNR	初期化	初期化	保持	保持	保持	
LDVDLNR	初期化	初期化	保持	保持	保持	
LDVTLNR	初期化	初期化	保持	保持	保持	
LDVSYNR	初期化	初期化	保持	保持	保持	
LDACLNR	初期化	初期化	保持	保持	保持	
LDINTR	初期化	初期化	保持	保持	保持	
LDPMMR	初期化	初期化	保持	保持	保持	
LDPSPR	初期化	初期化	保持	保持	保持	
LDCNTR	初期化	初期化	保持	保持	保持	
LDUINTR	初期化	初期化	保持	保持	保持	
LDUINLNR	初期化	初期化	保持	保持	保持	
LDLIRNR	初期化	初期化	保持	保持	保持	
ADDRA	初期化	初期化	初期化	初期化	保持	ADC
ADDRB	初期化	初期化	初期化	初期化	保持	
ADDRC	初期化	初期化	初期化	初期化	保持	
ADDRD	初期化	初期化	初期化	初期化	保持	
ADCSR	初期化	初期化	初期化	初期化	保持	
DADR0	初期化	初期化	保持	保持	保持	DAC
DADR1	初期化	初期化	保持	保持	保持	
DACR	初期化	初期化	保持	保持	保持	
PCC0ISR	*5	*5	*5	*5	*5	PCC
PCC0GCR	初期化	保持	保持	保持	保持	
PCC0CSCR	初期化	保持	保持	保持	保持	
PCC0CSCIER	初期化	保持	保持	保持	保持	
SCSMR	初期化	初期化	保持	保持	保持	SIM
SCBRR	初期化	初期化	保持	保持	保持	
SCSCR	初期化	初期化	保持	保持	保持	
SCTDR	初期化	初期化	保持	保持	保持	
SCSSR	初期化	初期化	保持	保持	保持	
SCRDR	初期化	初期化	保持	保持	保持	
SCSCMR	初期化	初期化	保持	保持	保持	

レジスタ略称	パワーオン リセット*	マニュアル リセット*	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
SCSC2R	初期化	初期化	保持	保持	保持	SIM
SCGRD	初期化	初期化	保持	保持	保持	
SCWAIT	初期化	初期化	保持	保持	保持	
SCSMPL	初期化	初期化	保持	保持	保持	
CMDR0	初期化	初期化	保持	保持	保持	MMC
CMDR1	初期化	初期化	保持	保持	保持	
CMDR2	初期化	初期化	保持	保持	保持	
CMDR3	初期化	初期化	保持	保持	保持	
CMDR4	初期化	初期化	保持	保持	保持	
CMDR5	初期化	初期化	保持	保持	保持	
CMDSTRT	初期化	初期化	保持	保持	保持	
OPCR	初期化	初期化	保持	保持	保持	
CSTR	初期化	初期化	保持	保持	保持	
INTCR0	初期化	初期化	保持	保持	保持	
INTCR1	初期化	初期化	保持	保持	保持	
INTSTR0	初期化	初期化	保持	保持	保持	
INTSTR1	初期化	初期化	保持	保持	保持	
CLKON	初期化	初期化	保持	保持	保持	
CTOCR	初期化	初期化	保持	保持	保持	
VDCNT	初期化	初期化	保持	保持	保持	
TBCR	初期化	初期化	保持	保持	保持	
MODER	初期化	初期化	保持	保持	保持	
CMDTYR	初期化	初期化	保持	保持	保持	
RSPTYR	初期化	初期化	保持	保持	保持	
TBNCR	初期化	初期化	保持	保持	保持	
RSPR0	初期化	初期化	保持	保持	保持	
RSPR1	初期化	初期化	保持	保持	保持	
RSPR2	初期化	初期化	保持	保持	保持	
RSPR3	初期化	初期化	保持	保持	保持	
RSPR4	初期化	初期化	保持	保持	保持	
RSPR5	初期化	初期化	保持	保持	保持	
RSPR6	初期化	初期化	保持	保持	保持	
RSPR7	初期化	初期化	保持	保持	保持	
RSPR8	初期化	初期化	保持	保持	保持	
RSPR9	初期化	初期化	保持	保持	保持	
RSPR10	初期化	初期化	保持	保持	保持	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
RSPR11	初期化	初期化	保持	保持	保持	MMC	
RSPR12	初期化	初期化	保持	保持	保持		
RSPR13	初期化	初期化	保持	保持	保持		
RSPR14	初期化	初期化	保持	保持	保持		
RSPR15	初期化	初期化	保持	保持	保持		
RSPR16	初期化	初期化	保持	保持	保持		
RSPRD	初期化	初期化	保持	保持	保持		
DTOUTR	初期化	初期化	保持	保持	保持		
DR	初期化	初期化	保持	保持	保持		
FIFOCLR	初期化	初期化	保持	保持	保持		
DMACR	初期化	初期化	保持	保持	保持		
INTCR2	初期化	初期化	保持	保持	保持		
INTSTR2	初期化	初期化	保持	保持	保持		
BDRB	初期化	保持	保持	保持	保持		UBC
BDMRB	初期化	保持	保持	保持	保持		
BRCR	初期化	保持	保持	保持	保持		
BETR	初期化	保持	保持	保持	保持		
BARB	初期化	保持	保持	保持	保持		
BAMRB	初期化	保持	保持	保持	保持		
BBRB	初期化	保持	保持	保持	保持		
BRSR	初期化	保持	保持	保持	保持		
BARA	初期化	保持	保持	保持	保持		
BAMRA	初期化	保持	保持	保持	保持		
BBRA	初期化	保持	保持	保持	保持		
BRDR	初期化	保持	保持	保持	保持		
BASRA	初期化	保持	保持	保持	保持		
BASRB	初期化	保持	保持	保持	保持		
PACR	初期化	保持	保持	-	保持	PFC	
PBCR	初期化	保持	保持	-	保持		
PCCR	初期化	保持	保持	-	保持		
PDCR	初期化	保持	保持	-	保持		
PECR	初期化	保持	保持	-	保持		
PFCR	初期化	保持	保持	-	保持		
PGCR	初期化	保持	保持	-	保持		
PHCR	初期化	保持	保持	-	保持		
PJCR	初期化	保持	保持	-	保持		

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
PKCR	初期化	保持	保持	-	保持	PFC
PLCR	初期化	保持	保持	-	保持	
PMCR	初期化	保持	保持	-	保持	
PPCR	初期化	保持	保持	-	保持	
PRCR	初期化	保持	保持	-	保持	
PSCR	初期化	保持	保持	-	保持	
PTCR	初期化	保持	保持	-	保持	
PUCR	初期化	保持	保持	-	保持	
PVCR	初期化	保持	保持	-	保持	
PSELA	初期化	保持	保持	-	保持	
PSELB	初期化	保持	保持	-	保持	
PSELC	初期化	保持	保持	-	保持	
PSELD	初期化	保持	保持	-	保持	
PADR	初期化	保持	保持	-	保持	I/O ポート
PBDR	初期化	保持	保持	-	保持	
PCDR	初期化	保持	保持	-	保持	
PDDR	初期化	保持	保持	-	保持	
PEDR	初期化	保持	保持	-	保持	
PFDR	初期化	保持	保持	-	保持	
PGDR	初期化	保持	保持	-	保持	
PHDR	初期化	保持	保持	-	保持	
PJDR	初期化	保持	保持	-	保持	
PKDR	初期化	保持	保持	-	保持	
PLDR	初期化	保持	保持	-	保持	
PMDR	初期化	保持	保持	-	保持	
PPDR	初期化	保持	保持	-	保持	
PRDR	初期化	保持	保持	-	保持	
PSDR	初期化	保持	保持	-	保持	
PTDR	初期化	保持	保持	-	保持	
PUDR	初期化	保持	保持	-	保持	
PVDR	初期化	保持	保持	-	保持	
SDIR	保持	保持	保持	保持	保持	H-UDI
SDIDH	保持	保持	保持	保持	保持	
SDIDL	保持	保持	保持	保持	保持	

【注】 \*1 レジスタの初期値は、各モジュールの章を参照してください。また、初期値が不定のレジスタについても値が保持されないため、初期化と表現しています。

\*2 PLL1 の通信率を変更した場合、初期化されます。

- \*3 パワーオンリセット時に初期化されるビットがあります。詳細は「第 17 章 リアルタイムクロック (RTC)」を参照してください。
- \*4 マニュアルリセット時に初期化されるビットがあります。詳細は「第 17 章 リアルタイムクロック (RTC)」を参照してください。
- \*5 PC カードのステータスによって異なります。
- \*6 WDT によるパワーオンリセットでは初期化されません。



---

## 38. 電気的特性

---

### 38.1 絶対最大定格

絶対最大定格を表 38.1 に示します。

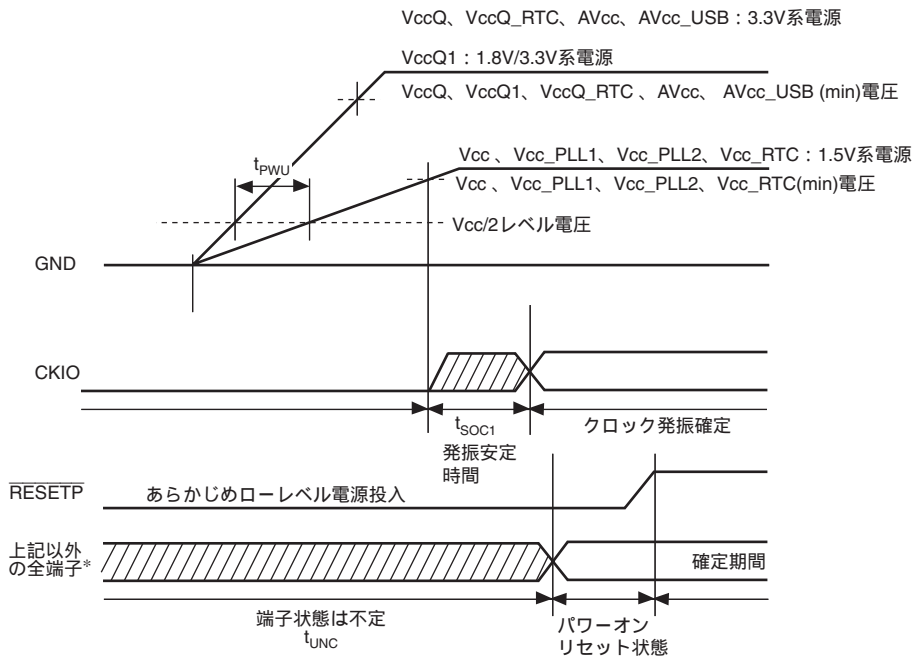
表 38.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (I/O)	$V_{CCQ}$ 、 $V_{CCQ1}$ 、 $V_{CCQ\_RTC}$	- 0.3 ~ 4.6	V
電源電圧 (内部)	$V_{CC}$ 、 $V_{CC-PLL1}$ 、 $V_{CC-PLL2}$ 、 $V_{CC-RTC}$	- 0.3 ~ 2.1	V
入力電圧	$V_{in}$	- 0.3 ~ $V_{CCQ} + 0.3$ - 0.3 ~ $V_{CCQ1} + 0.3$ - 0.3 ~ $V_{CCQ\_RTC} + 0.3$	V
アナログ電源電圧	$AV_{CC}$	- 0.3 ~ 4.6	V
USB 電源電圧	$AV_{CC-USB}$	- 0.3 ~ 4.6	V
アナログ入力電圧	$V_{AN}$	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	$T_{opr}$	- 20 ~ 75	
保存温度	$T_{stg}$	- 55 ~ 125	

【使用上の注意】 絶対最大定格を越えて LSI を使用した場合、LSI の永久破壊となることがあります。

## 38.2 電源投入および切断順序

- 1.5V系電源 ( $V_{cc}$ 、 $V_{cc\_PLL1}$ 、 $V_{cc\_PLL2}$ 、 $V_{cc\_RTC}$ ) と1.8V/3.3V系電源 ( $V_{ccQ1}$ ) および3.3V系電源 ( $V_{ccQ}$ 、 $V_{ccQ\_RTC}$ 、 $AV_{cc}$ 、 $AV_{cc\_USB}$ ) の投入順序について
  - 3.3V系および1.8V/3.3V系電源を先に投入してください。その後、1ms以内に1.5V系電源を投入してください。この間隔をできるだけ短くすることを推奨します。端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。
  - すべての電源に電圧が印加され、 $\overline{RESETP}$ 端子にローレベルが入力されるまでの間、内部回路は不確定なので、各端子の状態も不確定となります。この不確定状態によってシステムが誤動作を起こさないようシステム設計を行ってください。以下に電源投入時の波形を示します。



【注】\* 電源/GND、クロック関連、アナログ端子を除く

【注】 CA 端子は必ず電源投入前にハイレベルに確定してください。CA 端子が確定しない場合は、クロック入力がなくとも I/O バッファなどに貫通電流が流れ、LSI の破壊につながる場合があります。

表 38.2 電源投入時間推奨値

項目	記号	最大時間	単位
( $V_{ccQ}$ 、 $V_{ccQ1}$ 、 $V_{ccQ\_RTC}$ 、 $AV_{cc}$ 、 $AV_{cc\_USB}$ ) ~ ( $V_{cc}$ 、 $V_{cc\_PLL1}$ 、 $V_{cc\_PLL2}$ 、 $V_{cc\_RTC}$ ) 電源投入時間差	$t_{PWU}$	1	ms
状態不確定時間	$t_{UNC}$	100	ms

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

状態不定時間は各々の電源立ち上がりが過度状態にある時間を意味します。

端子状態は  $V_{ccQ}$ 、 $V_{ccQ1}$ 、 $V_{ccQ\_RTC}$ 、 $AV_{cc}$ 、 $AV_{cc\_USB}$  (min) 到達時間で確定しますが、パワーオンリセット ( $\overline{RESETP}$ ) が正常に受け付けられるのは、 $V_{cc}$  (min) 到達時間以降でかつクロック発振安定時間 (内蔵発振器を用いる場合) 以後となります。状態不安定時間は 100ms 以下となるようにしてください。

## 2. 電源の切断順序について

- 電源投入時とは逆に1.5V系電源を先に切断してください。この後、10ms以内に1.8V/3.3V系電源を切ってください。この間隔をできるだけ短くすることを推奨します。端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。
- 1.5V系電源だけを切断した状態では、端子状態は不定となります。この状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

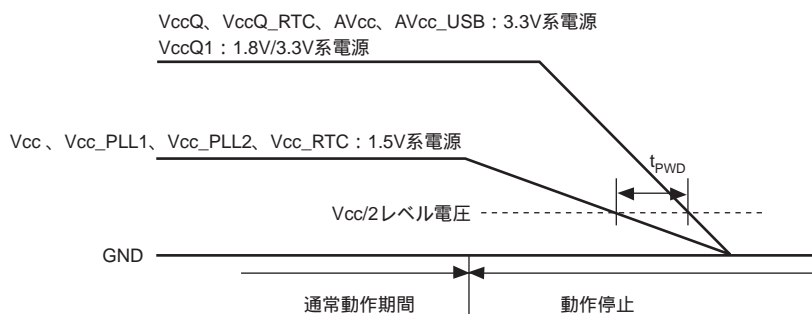


表 38.3 電源切断時間推奨値

項目	記号	最大時間	単位
( $V_{ccQ}$ 、 $V_{ccQ1}$ 、 $V_{ccQ\_RTC}$ 、 $AV_{cc}$ 、 $AV_{cc\_USB}$ ) ~ ( $V_{cc}$ 、 $V_{cc\_PLL1}$ 、 $V_{cc\_PLL2}$ 、 $V_{cc\_RTC}$ ) 電源切断時間差	$t_{PWD}$	10	ms

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

## 3. ハードウェアスタンバイモード時の電源切断 / 投入シーケンス

- ハードウェアスタンバイモードを使用するためには、RTCクロックが動作している必要があります。
- CA端子をローレベルにしてから、STATUS0端子がハイレベル、STATUS1端子がローレベルになったのを確認してください。 $V_{cc}$ と $V_{cc\_PLL1}$ と $V_{cc\_PLL2}$ 、および $V_{ccQ}$ 、 $V_{ccQ1}$ 、 $AV_{cc}$ 、 $AV_{cc\_USB}$ はその後に切断することが可能です。一方 $V_{ccQ\_RTC}$ と $V_{cc\_RTC}$ 電源は投入した状態にしておき、CA端子はローレベルに設定しておいてください。
- $\overline{RESETP}$ をローレベルにした状態で、 $V_{ccQ}$ 、 $V_{ccQ1}$ 、 $AV_{cc}$ 、 $AV_{cc\_USB}$ 、 $V_{cc}$ 、 $V_{cc\_PLL1}$ 、 $V_{cc\_PLL2}$ を投入してください。電源が安定した段階で、CA端子をハイレベルにして、 $\overline{RESETP}$ をハイレベルに解除してください。

### 38.3 DC 特性

DC 特性を表 38.4、表 38.5 に示します。

表 38.4 DC 特性 (1) 【共通項目】

条件 : Ta = -20 ~ 75

項目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		V <sub>ccQ</sub>	2.7	3.3	3.6	V	
		V <sub>ccQ_RTC</sub>					
		V <sub>ccQ1</sub>	2.7/1.65	3.3/1.8	3.6/1.95	V	
		V <sub>cc</sub> V <sub>cc-PLL1</sub> *1 V <sub>cc-PLL2</sub> *1 V <sub>cc-RTC</sub> *1	1.4	1.5	1.6	V	
アナログ (A/D、D/A) 電源電圧		AV <sub>cc</sub> *2	3.0	3.3	3.6	V	未使用時は V <sub>ccQ</sub> と接続する。
アナログ USB 電源電圧		AV <sub>cc-USB</sub>	3.0	3.3	3.6	V	未使用時は V <sub>ccQ</sub> と接続する。
アナログ (A/D、D/A) 電源電流	A/D 変換期間	AI <sub>cc</sub>	-	0.8	2	mA	
	A/D および D/A 変換期間		-	2.4	6	mA	
	アイドル		-	-	20	μA	Ta = 25
アナログ USB 電源電流		AI <sub>cc-USB</sub> *2	-	4	8	mA	AV <sub>cc-USB</sub> = 3.3V
消費電流*3	通常動作時	I <sub>cc</sub>	-	230	300	mA	V <sub>cc</sub> = 1.5V I = 133MHz
		I <sub>ccQ</sub>	-	60	80	mA	V <sub>ccQ</sub> 、 V <sub>ccQ1</sub> = 3.3V B = 66MHz
	スリープモード時	I <sub>cc</sub>	-	35	50	mA	パワーオンリセット後にスリープモードに遷移したとき V <sub>ccQ</sub> 、 V <sub>ccQ1</sub> = 3.3V B = 33MHz
		I <sub>ccQ</sub>	-	15	20		
	スタンバイモード時	I <sub>cc</sub>	-	80	250	μA	T <sub>a</sub> = 25、RTC off V <sub>ccQ</sub> 、 V <sub>ccQ1</sub> = 3.3V V <sub>cc</sub> = 1.5V
		I <sub>ccQ</sub>	-	10	20		

項目		記号	Min.	Typ.	Max.	単位	測定条件
消費電流*3	ハードウェアスタンバイモード時 ( $V_{CC\_RTC}$ 、 $V_{CC\_Q\_RTC}$ 以外をオフにした状態)	$I_{usby}$	-	-	50	$\mu A$	$T_a = 25$ $V_{CC\_Q\_RTC} = 3.3V$ $V_{CC\_RTC} = 1.5V$ RTC クロック 32kHz
入力リーク電流	全入力端子	$ I_{in} $	-	-	1.0	$\mu A$	$V_{in} =$ $0.5 \sim V_{CC\_Q} - 0.5V$ $0.5 \sim V_{CC\_Q1} - 0.5V$
スリープステートリーク電流	入出力、全出力端子 (オフ状態)	$ I_{ST1} $	-	-	1.0	$\mu A$	$V_{in} =$ $0.5 \sim V_{CC\_Q} - 0.5V$ $0.5 \sim V_{CC\_Q1} - 0.5V$
プルアップ抵抗	I/O ポート端子	$P_{pull}$	20	50	120	k	
端子容量	全端子	C	-	-	10	pF	

- 【注】 \*1 PLL、RTC を使用しない場合も必ず  $V_{CC\_PLL1}$ 、 $V_{CC\_PLL2}$ 、 $V_{CC\_RTC}$ 、 $V_{CC\_Q\_RTC}$  および  $V_{SS\_PLL1}$ 、 $V_{SS\_PLL2}$ 、 $V_{SS\_RTC}$  は給電してください。
- \*2  $AV_{CC}$  および  $AV_{CC\_USB}$  は  $V_{CC\_Q} - 0.3V$ 、 $AV_{CC}$ 、 $AV_{CC\_USB}$   $V_{CC\_Q} + 0.3V$  の条件を、満足しなければなりません。  
A/D 変換器、D/A 変換器、USB を使用しない場合でも、 $AV_{CC}$ 、 $AV_{SS}$ 、 $AV_{CC\_USB}$ 、 $AV_{SS\_USB}$  端子を開放しないで、 $AV_{CC}$  と  $AV_{CC\_USB}$  は  $V_{CC\_Q}$  に  $AV_{SS}$ 、 $AV_{SS\_USB}$  は  $V_{SS\_Q}$  に接続してください。
- \*3 消費電流値は、 $V_{IH\ min} = V_{CC\_Q} - 0.5V$ 、 $V_{CC\_Q1} - 0.5V$ 、 $V_{IL\ max} = 0.5V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 38.4 DC 特性 (2-a) 【USB トランシーバ、I<sup>2</sup>C、ADC、DAC のアナログ関連端子をのぞく】

条件 : Ta = -20 ~ 75

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力ハイ レベル電圧	グループ 1 の入力端子*	V <sub>IH</sub>	V <sub>CC</sub> Q × 0.9	-	V <sub>CC</sub> Q + 0.3	V	
	CA、EXTAL_RTC、 RESETP		V <sub>CC</sub> Q_RTC × 0.9	-	V <sub>CC</sub> Q_RTC + 0.3	V	
	グループ 2 の入力端子*		V <sub>CC</sub> Q1 × 0.85	-	V <sub>CC</sub> Q1 + 0.3	V	V <sub>CC</sub> Q1 = 1.65 ~ 1.95V
			2.2	-	V <sub>CC</sub> Q1 + 0.3	V	V <sub>CC</sub> Q1 = 2.7 ~ 3.6V
	PTF5 ~ PTF6		2.2	-	AV <sub>CC</sub> + 0.3	V	
	PTF1 ~ PTF4		2.0	-	AV <sub>CC</sub> + 0.3	V	
	上記以外の入力端子		2.2	-	V <sub>CC</sub> Q + 0.3	V	
入力ロー レベル電圧	グループ 1 の入力端子*	V <sub>IL</sub>	- 0.3	-	V <sub>CC</sub> Q × 0.1	V	
	CA、EXTAL_RTC、 RESETP		- 0.3	-	V <sub>CC</sub> Q_RTC × 0.1	V	
	グループ 2 の入力端子*		- 0.3	-	V <sub>CC</sub> Q1 × 0.15	V	V <sub>CC</sub> Q1 = 1.65 ~ 1.95V
			- 0.3	-	V <sub>CC</sub> Q1 × 0.2	V	V <sub>CC</sub> Q1 = 2.7 ~ 3.6V
	PTF5 ~ PTF6		- 0.3	-	AV <sub>CC</sub> × 0.2	V	
	PTF1 ~ PTF4		- 0.3	-	AV <sub>CC</sub> × 0.2	V	
	上記以外の入力端子		- 0.3	-	V <sub>CC</sub> Q × 0.2	V	
出力ハイ レベル電圧	グループ 2 の出力端子*	V <sub>OH</sub>	V <sub>CC</sub> Q1 × 0.85	-	-	V	V <sub>CC</sub> Q1 = 1.65 ~ 1.95V I <sub>OH</sub> = - 0.2mA
			2.4	-	-	V	V <sub>CC</sub> Q1 = 3.0 ~ 3.6V I <sub>OH</sub> = - 0.2mA
			2.2	-	-	V	V <sub>CC</sub> Q1 = 2.7 ~ 3.6V I <sub>OH</sub> = - 2mA
	上記以外の出力端子		2.2	-	-	V	I <sub>OH</sub> = - 2mA
出力ロー レベル電圧	グループ 2 の出力端子*	V <sub>OL</sub>	-	-	V <sub>CC</sub> Q1 × 0.15	V	V <sub>CC</sub> Q1 = 1.65 ~ 1.95V I <sub>OL</sub> = 0.2mA
			-	-	0.5	V	V <sub>CC</sub> Q1 = 2.7 ~ 3.6V I <sub>OL</sub> = 1.6mA
	上記以外の出力端子		-	-	0.5	V	I <sub>OL</sub> = 1.6mA

【注】 \* グループ 1 : NMI、ASEMD0、MD0 ~ MD5、TRST/PTL7、IRQ0/IRL0/PTP0 ~ IRQ3/IRL3/PTP3、  
USB1d\_TXSE0/IRQ4/AFE\_TXOUT/PCC\_DRV/PTG5、USB1d\_RCV/IRQ5/AFE\_FS/PCC\_REG/PTG6、  
EXTAL、RESETM、AFE\_RDDET/IIC\_SDA/PTE5、AFE\_RXIN/IIC\_SCL/PTE6

グループ 2 : A0/PTR0、A1 ~ A18、A19/PTR1 ~ A25/PTR7、CKIO、RD/WR、CAS/PTH5、WE3/DQMUU/ICIORW、  
WE2/DQMUL/ICIORW、CKE/PTH4、RAS/PTH6、WE1/DQMLU/WE、WE0/DQMLL、CS2、CS3、  
CS6B/CE1B/PTM0、CS6A/CE2B、CS5B/CE1A/PTM1、CS5A/CE2A、BACK、CS0、BREQ、CS4、  
BS、RD、WAIT/PCC\_WAIT、DREQ0/PINT0/PTM6、DACK0/PINT1/PTM4、TEND0/PINT2/PTM2、  
DREQ1/PTM7、DACK1/PTM5、TEND1/PINT3/PTM3、D0 ~ D15、D16/PTA0 ~ D23/PTA7、  
D24/PTB0 ~ D31/PTB7

表 38.4 DC 特性 (2-b) 【I<sup>2</sup>C 関連端子\*】条件:  $V_{CCQ} = 2.7 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min.	Typ.	Max.	単位	測定条件
電源電圧	$V_{CCQ}$	2.7	3.3	3.6	V	
入力ハイレベル電圧	$V_{IH}$	$V_{CCQ} \times 0.7$	-	$V_{CCQ} + 0.3$	V	
入力ローレベル電圧	$V_{IL}$	-0.3	-	$V_{CCQ} \times 0.3$	V	
出力ローレベル電圧	$V_{OL}$	-	-	0.4	V	$I_{OL} = 1.6mA$ 時
出力ローレベル許容電流	$I_{OL}$	-	-	10	mA	

【注】 \* IIC\_SCL、IIC\_SDA 端子 (オープンドレイン端子)

表 38.4 DC 特性 (2-c) 【USB トランシーバ関連端子\*1】

条件:  $T_a = -20 \sim 75$ 

項目	記号	Min.	Typ.	Max.	単位	測定条件
電源電圧*2	$AV_{CC-USB}$	3.0	3.3	3.6	V	
差動入力感度	$V_{BI}$	0.2	-	-	V	$ (DP) - (DM) $
差動共通モード範囲	$V_{CM}$	0.8	-	2.5	V	
シングルエンディッドレシーバ スレッショルド電圧	$V_{SE}$	0.8	-	2.0	V	
出力 High レベル電圧	$V_{OH}$	2.5	-	$AV_{CC-USB}$	V	
出力 Low レベル電圧	$V_{OL}$	-	-	0.3	V	
トライステートリーク電流	$I_{LO}$	-10	-	10	$\mu A$	$0V < V_{IN} < 3.3V$

【注】 \*1 D+、D- 端子

\*2  $AV_{CC-USB}$  は、 $V_{CCQ}$   $AV_{CC-USB}$  の条件を満足しなければなりません。USB を使用しない場合も必ず、 $AV_{CC-USB}$  と  $AV_{SS-USB}$  に給電してください。

表 38.5 出力許容電流値

条件:  $V_{CCQ} = V_{CCQ\_RTC} = V_{CCQ1} = 2.7 \sim 3.6V$ 、 $V_{CC} = V_{CC\_PLL1} = V_{CC\_PLL2} = V_{CC\_RTC} = 1.4 \sim 1.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC-USB} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (1 端子当たり)	$I_{OL}$	-	-	2.0	mA
出力ローレベル許容電流 (総和)	$\Sigma I_{OL}$	-	-	120	mA
出力ハイレベル許容電流 (1 端子当たり)	$-I_{OH}$	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	$\Sigma (-I_{OH})$	-	-	40	mA

【注】 LSI の信頼性を確保するため、出力電流は表 38.5 の値を超えないようにしてください。

## 38.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

$V_{ccQ1}$  は 2.7~3.6V または 1.65V~1.95V の設定が可能です。ただし、 $V_{ccQ1}$  を 1.65V~1.95V に設定した場合は、I/O バッファのドライブ能力を条件としたスペックになります。I/O バッファのドライブ能力切り替えに関しては「34.1.23 USB トランシーバ制御レジスタ (UTRCTL)」を参照してください。

表 38.6 最大動作周波数

条件： $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{ccQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$

項目		記号	Min.	Typ.	Max.	単位	備考
動作周波数	CPU、キャッシュ (I )	f	24	-	133.34	MHz	133MHz 版
	外部バス (B )*		24	-	66.67		
	周辺モジュール (P )		8.34	-	33.34		

【注】 \* USB ホストコントローラを使用するには外部バスクロック周波数 (B ) は 32MHz 以上に設定してください。



## 38.4.1 クロックタイミング

表 38.7 クロックタイミング

条件 :  $V_{CCQ} = 2.7 \sim 3.6V$ 、 $V_{CCQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_s = -20 \sim 75$ 、  
外部バス最大動作周波数 : 66.67MHz

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	$f_{EX}$	10	66.67	MHz	38.1
EXTAL クロック入力サイクル時間	$t_{EXCYC}$	15	100	ns	
EXTAL クロック入力ローレベルパルス幅	$t_{EXL}$	7		ns	
EXTAL クロック入力ハイレベルパルス幅	$t_{EXH}$	7		ns	
EXTAL クロック入力立ち上がり時間	$t_{EXr}$		4	ns	
EXTAL クロック入力立ち下がり時間	$t_{EXf}$		4	ns	
CKIO クロック出力周波数	$f_{OP}$	20	66.67	MHz	38.2
CKIO クロック出力サイクル時間	$t_{OYC}$	15	50	ns	
CKIO クロック出力ローレベルパルス幅	$t_{CKOL}$	3	-	ns	
CKIO クロック出力ハイレベルパルス幅	$t_{CKOH}$	3	-	ns	
CKIO クロック出力立ち上がり時間	$t_{CKOr}$	-	3	ns	
CKIO クロック出力立ち下がり時間	$t_{CKOf}$	-	3	ns	
CKIO クロック入力周波数	$f_{CKI}$	20	66.67	MHz	38.3
CKIO クロック入力サイクル時間	$t_{CKICYC}$	15	50	ns	
CKIO クロック入力 Low レベルパルス幅	$t_{CKIL}$	3	-	ns	
CKIO クロック入力 High レベルパルス幅	$t_{CKIH}$	3	-	ns	
CKIO クロック入力立ち上がり時間	$t_{CKIR}$	-	3	ns	
CKIO クロック入力立ち下がり時間	$t_{CKIF}$	-	3	ns	
RESETP セットアップ時間	$t_{RESPTS}$	20	-	ns	38.4
RESETP アサート時間	$t_{RESPTW}$	20	-	$t_{CYC}$	38.4、38.5
RESETM アサート時間	$t_{RESMTW}$	20	-	$t_{CYC}$	38.5
パワーオン発振安定時間	$t_{SOC1}$	10	-	ms	38.4
スタンバイ復帰発振安定時間 1	$t_{SOC2}$	10	-	ms	38.5
スタンバイ復帰発振安定時間 2	$t_{SOC3}$	10	-	ms	38.6
PLL 同期安定化時間	$t_{PLL}$	100	-	$\mu s$	38.7

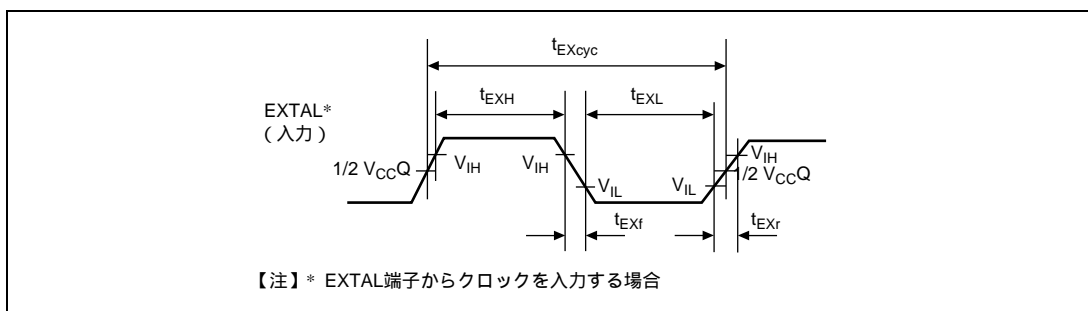


図 38.1 EXTAL クロック入力タイミング

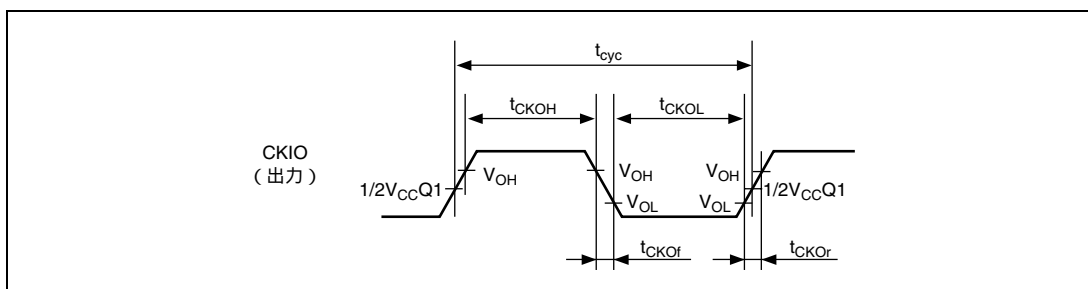


図 38.2 CKIO クロック出力タイミング

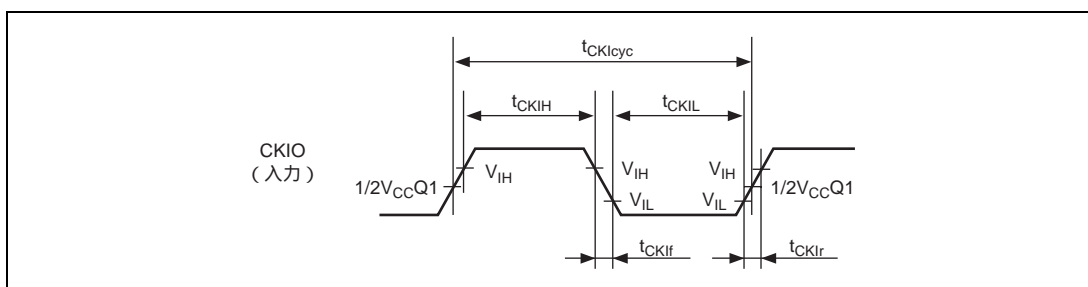


図 38.3 CKIO クロック入力タイミング

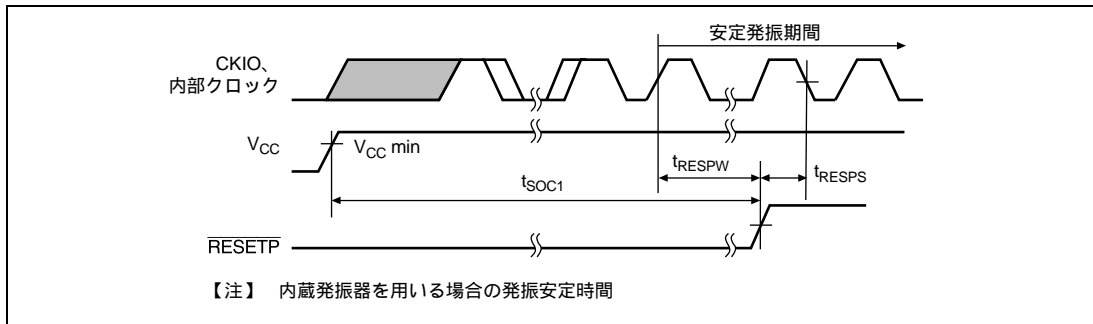


図 38.4 パワーオン発振安定時間

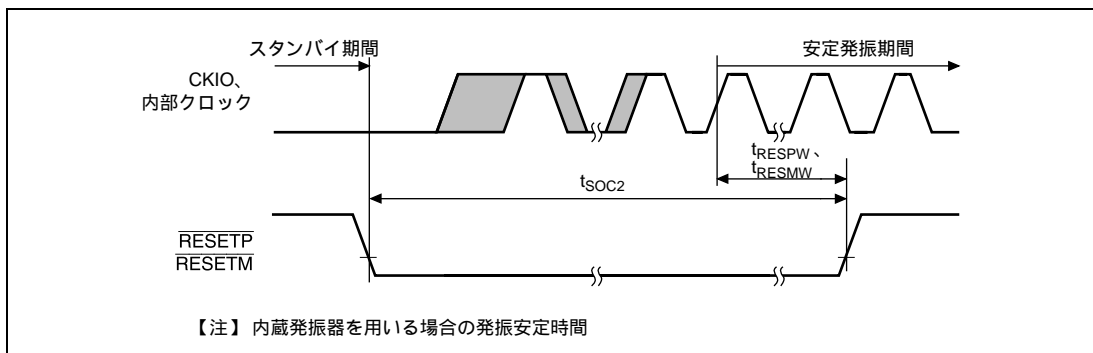


図 38.5 スタンバイ復帰時発振安定時間 (リセットによる復帰)

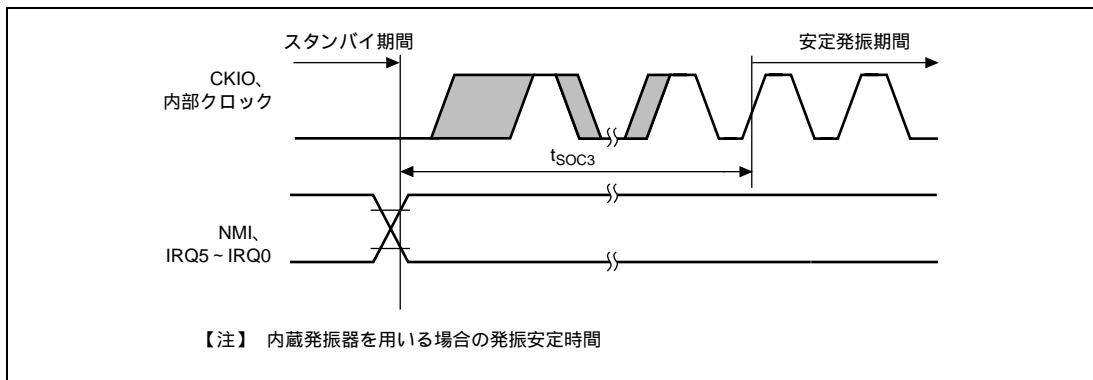


図 38.6 スタンバイ復帰時発振安定時間 (NMI、IRQ による復帰)

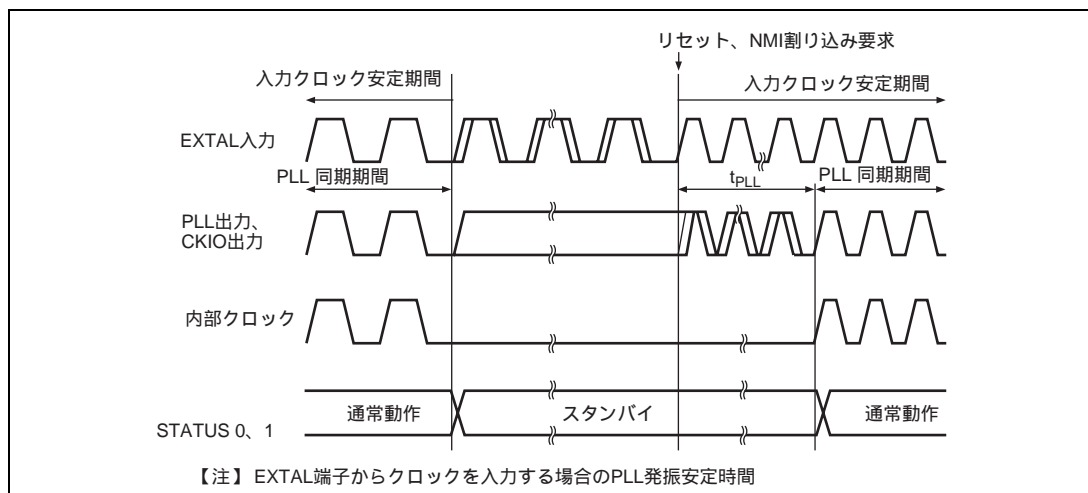


図 38.7 リセットまたは NMI、IRQ 割り込みによる PLL 同期安定化時間

## 38.4.2 制御信号タイミング

表 38.8 制御信号タイミング

条件 :  $V_{CCQ} = 2.7 \sim 3.6V$ 、 $V_{CCQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_s = -20 \sim 75$ 

項目	記号	Min.	Max.	単位	参照図
RESETP パルス幅	$t_{RESPW}$	$20^{*3}$	-	tcyc <sup>*2*4</sup>	38.8
RESETP セットアップ時間 <sup>*1</sup>	$t_{RESPS}$	23	-	ns	
RESETP ホールド時間	$t_{RESPH}$	2	-	ns	
RESETM パルス幅	$t_{RESMW}$	$20^{*3}$	-	tcyc <sup>*2*4</sup>	
RESETM セットアップ時間 <sup>*1</sup>	$t_{RESMS}$	23	-	ns	
RESETM ホールド時間	$t_{RESMH}$	2	-	ns	38.10
BREQ セットアップ時間	$t_{BREQS}$	$1/2t_{cyc} + 7$	-	ns	
BREQ ホールド時間	$t_{BREQH}$	$1/2t_{cyc} + 2$	-	ns	38.9
NMI セットアップ時間 <sup>*1</sup>	$t_{NMS}$	8	-	ns	
NMI ホールド時間	$t_{NMIH}$	3	-	ns	
IRQ5 ~ IRQ0 セットアップ時間 <sup>*1</sup>	$t_{IROS}$	8	-	ns	38.10
IRQ5 ~ IRQ0 ホールド時間	$t_{IRQH}$	3	-	ns	
BACK 遅延時間	$t_{BACKD}$	-	$1/2t_{cyc} + 13$	ns	38.11
STATUS0、1 遅延時間	$t_{STD}$	-	18	ns	
バストライステート遅延時間 1	$t_{BOFF1}$	0	30	ns	
バストライステート遅延時間 2	$t_{BOFF2}$	0	30	ns	
バスバッファオンタイム 1	$t_{BON1}$	0	30	ns	38.10
バスバッファオンタイム 2	$t_{BON2}$	0	30	ns	

- 【注】 \*1  $\overline{\text{RESETP}}$ 、NMI および IRQ5 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。
- \*2 外部バスクロックの上限が 66.67MHz (133MHz 版) です。
- \*3 スタンバイモード時は、 $t_{\text{RESPW}} = t_{\text{SOC2}}$  (10ms) になります。クロック通倍率が変化したときも、 $t_{\text{RESPW}} = t_{\text{PLL}}$  (100  $\mu\text{s}$ ) になります。
- \*4  $t_{\text{cyc}}$  は外部バスクロックサイクル (B クロックサイクル) を示します。

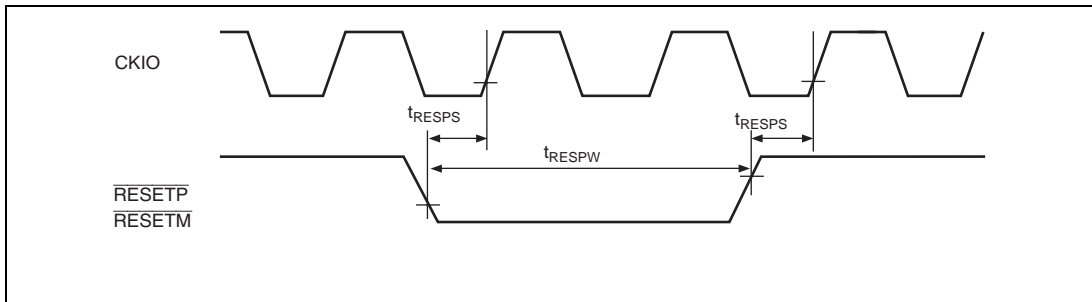


図 38.8 リセット入力タイミング

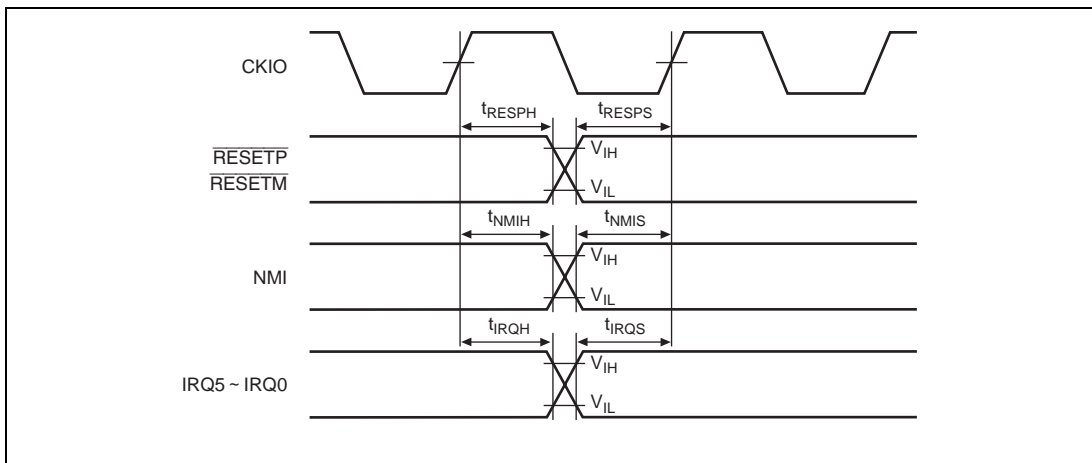


図 38.9 割り込み信号入力タイミング

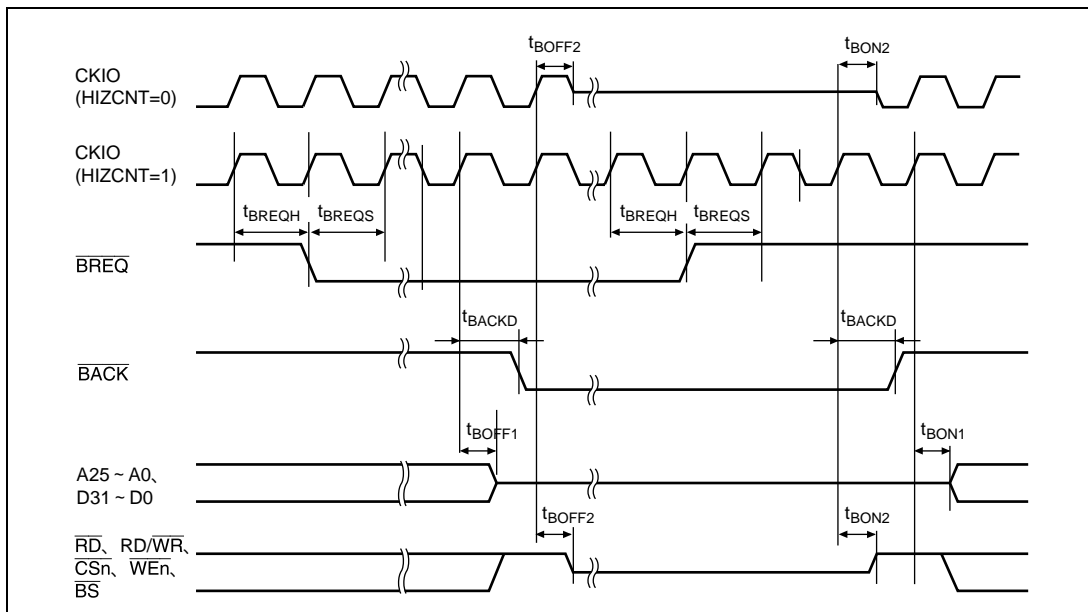


図 38.10 バス権解放タイミング

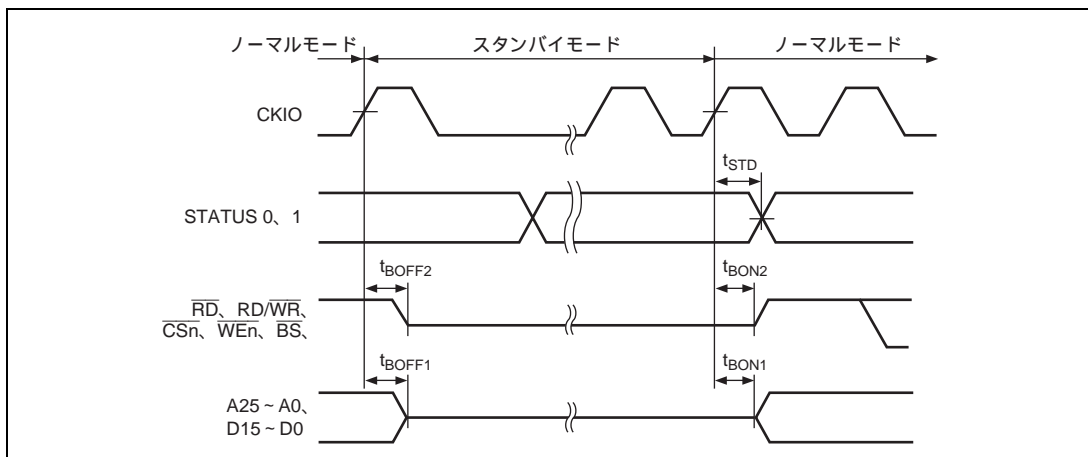


図 38.11 スタンバイ時の端子ドライブタイミング

## 38.4.3 AC バスタイミング仕様

表 38.9 バスタイミング

条件：クロックモード 0、 $V_{CCQ} = 2.7 \sim 3.6V$ 、 $V_{CCQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	66.67MHz		単位	参照図
		Min.	Max.		
アドレス遅延時間 1	$t_{AD1}$	1	13	ns	38.12 ~ 38.42
アドレス遅延時間 2	$t_{AD2}$	$1/2t_{cyc}$	$1/2t_{cyc} + 13$	ns	38.19
アドレスセットアップ時間	$t_{AS}$	0	-	ns	38.12 ~ 38.19
アドレスホールド時間	$t_{AH}$	0	-	ns	38.12、38.13
BS 遅延時間	$t_{BSD}$	-	13	ns	38.12 ~ 38.36、38.37、38.38
CS 遅延時間 1	$t_{CSD1}$	1	13	ns	38.12 ~ 38.36、 38.37 ~ 38.42
リードライト遅延時間 1	$t_{RWD1}$	1	13	ns	38.12 ~ 38.36、 38.37 ~ 38.42
リードストロブ遅延時間	$t_{RSD}$	$1/2t_{cyc}$	$1/2t_{cyc} + 13$	ns	38.12 ~ 38.19、38.39、38.40
リードデータセットアップ時間 1	$t_{RDS1}$	$1/2t_{cyc} + 10$	-	ns	38.12 ~ 38.18、 38.37 ~ 38.42
リードデータセットアップ時間 2	$t_{RDS2}$	7	-	ns	38.20 ~ 38.23、38.28 ~ 38.30、38.37、38.38
リードデータセットアップ時間 3	$t_{RDS3}$	$1/2t_{cyc} + 10$	-	ns	38.19
リードデータホールド時間 1	$t_{RDH1}$	0	-	ns	38.12 ~ 38.18、 38.37 ~ 38.42
リードデータホールド時間 2	$t_{RDH2}$	2	-	ns	38.20 ~ 38.23、38.28 ~ 38.30、38.37、38.38
リードデータホールド時間 3	$t_{RDH3}$	0	-	ns	38.19
ライトイネーブル遅延時間 1	$t_{WED1}$	$1/2t_{cyc}$	$1/2t_{cyc} + 13$	ns	38.12 ~ 38.17、38.39、38.40
ライトイネーブル遅延時間 2	$t_{WED2}$	-	13	ns	38.18
ライトデータ遅延時間 1	$t_{WDD1}$	-	13	ns	38.12 ~ 38.18、 38.39 ~ 38.42
ライトデータ遅延時間 2	$t_{WDD2}$	-	13	ns	38.24 ~ 38.27、38.31 ~ 38.33、38.37、38.38

項目	記号	66.67MHz		単位	参照図
		Min.	Max.		
ライトデータホールド時間 1	$t_{WDH1}$	1	-	ns	38.12 ~ 38.18、 38.37 ~ 38.42
ライトデータホールド時間 2	$t_{WDH2}$	1	-	ns	38.24 ~ 38.27、38.31 ~ 38.33、38.37、38.38
ライトデータホールド時間 4	$t_{WDH4}$	0	-	ns	38.12
ライトデータホールド時間 5	$t_{WDH5}$	1	-	ns	38.39 ~ 38.42
WAIT セットアップ時間 1	$t_{WTS1}$	$1/2t_{cyc} + 7$	-	ns	38.12 ~ 38.19、38.40、38.42
WAIT ホールド時間 1	$t_{WTH1}$	$1/2t_{cyc} + 2$	-	ns	38.12 ~ 38.19、38.40、38.42
RAS 遅延時間 1	$t_{RASD1}$	1	13	ns	38.20 ~ 38.36、38.37、38.38
CAS 遅延時間 1	$t_{CASD1}$	1	13	ns	38.20 ~ 38.36、38.37、38.38
DQM 遅延時間 1	$t_{DQMD1}$	1	13	ns	38.20 ~ 38.36、38.37、38.38
CKE 遅延時間 1	$t_{CKED1}$	1	13	ns	38.35、38.36、38.37、38.38
DACK 遅延時間	$t_{DACD}$	-	13	ns	38.12 ~ 38.36、38.37
ICIORD 遅延時間	$t_{ICRSD}$	-	$1/2t_{cyc} + 13$	ns	38.39、38.40
ICIOWR 遅延時間	$t_{ICWSD}$	-	$1/2t_{cyc} + 13$	ns	38.41、38.42
IOIS16 セットアップ時間	$t_{IO16S}$	$1/2t_{cyc} + 6$	-	ns	38.42
IOIS16 ホールド時間	$t_{IO16H}$	$1/2t_{cyc} + 4$	-	ns	38.42
REFOUT、IRQOUT 遅延時間	$t_{REFOD}$	-	$1/2t_{cyc} + 13$	ns	38.43



## 38.4.4 基本タイミング

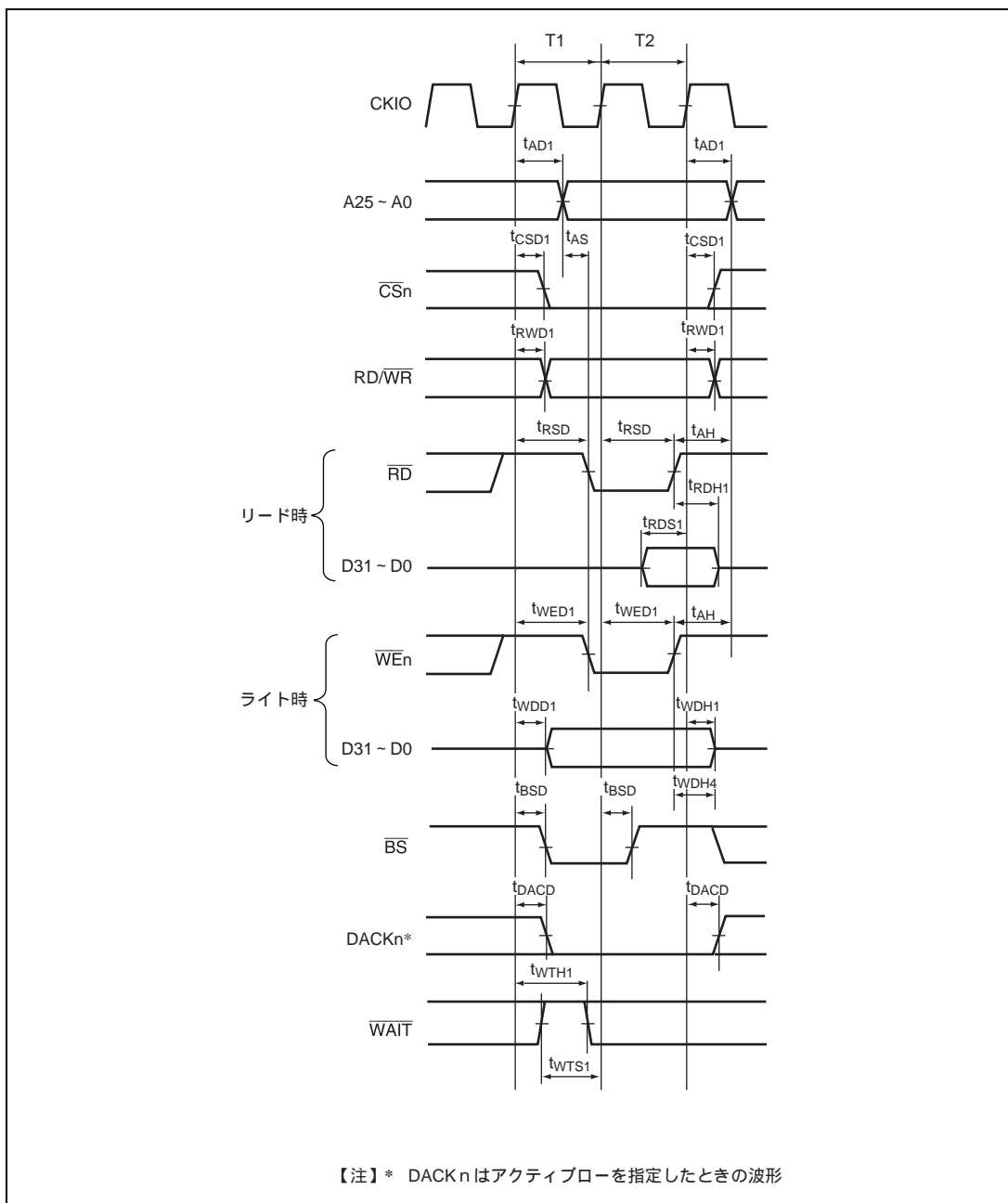


図 38.12 通常空間基本バスサイクル (ノーウェイト)

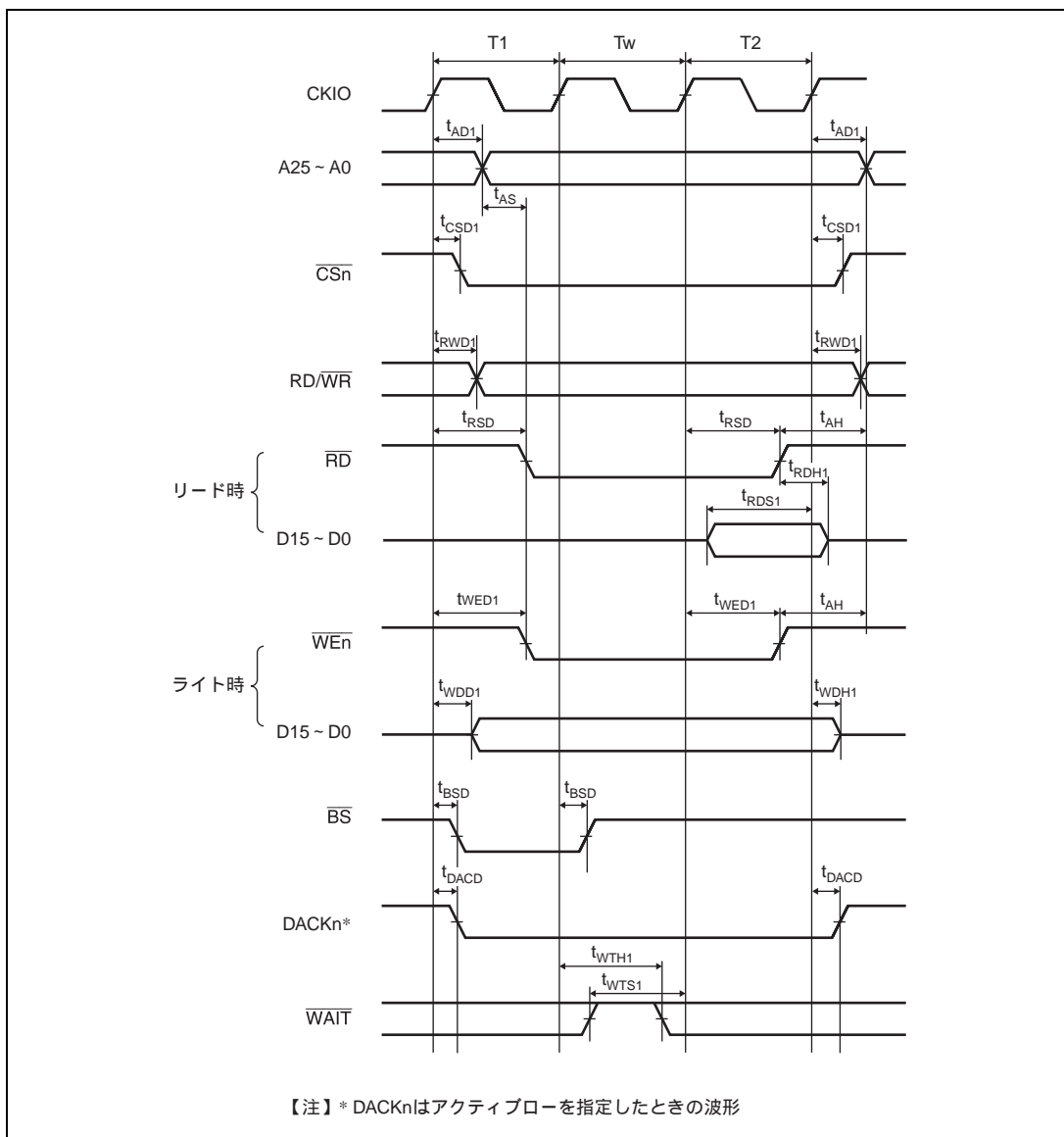


図 38.13 通常空間基本バスサイクル(ソフトウェアウェイト1)

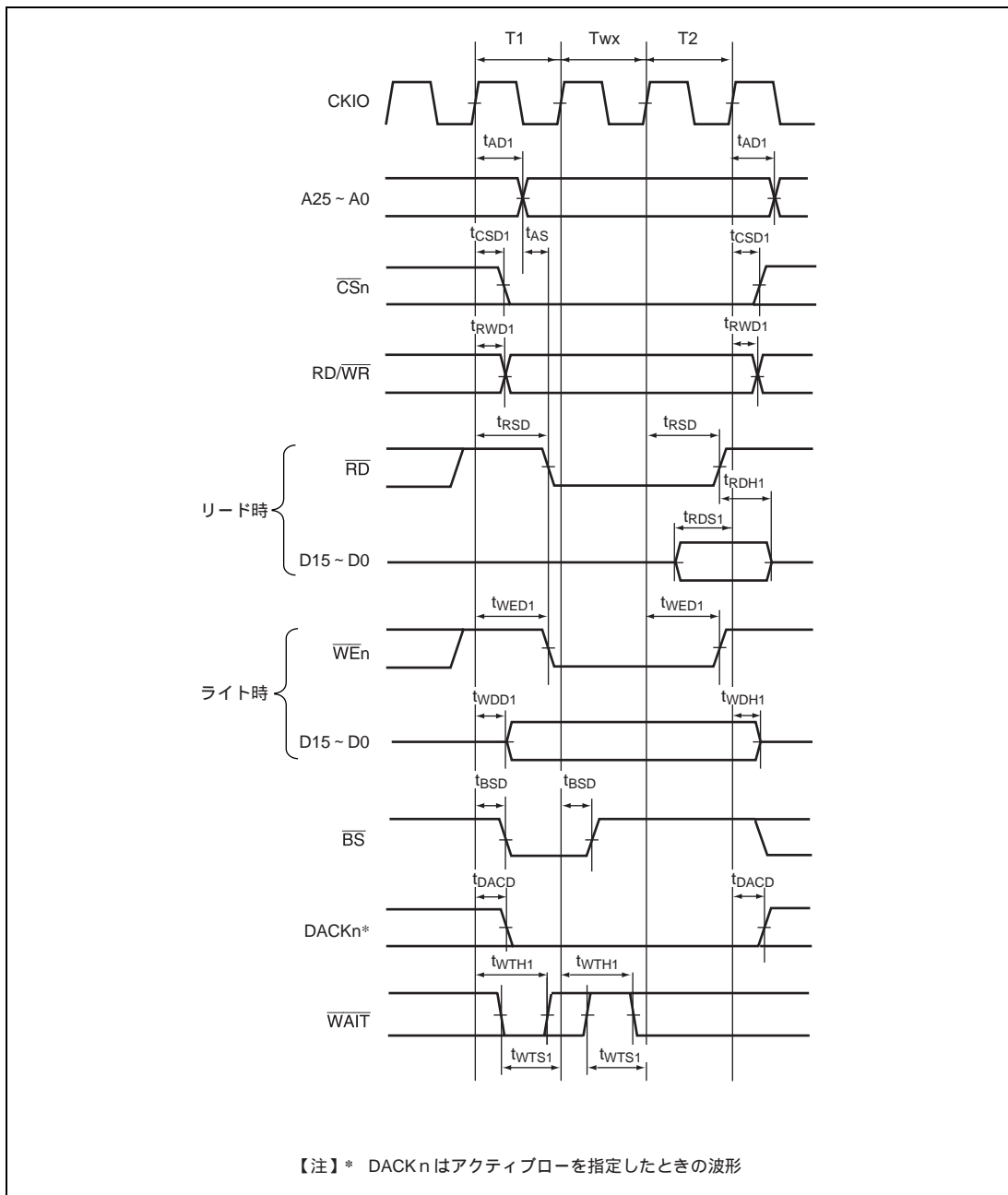


図 38.14 通常空間基本バスサイクル（外部ウェイト1挿入）

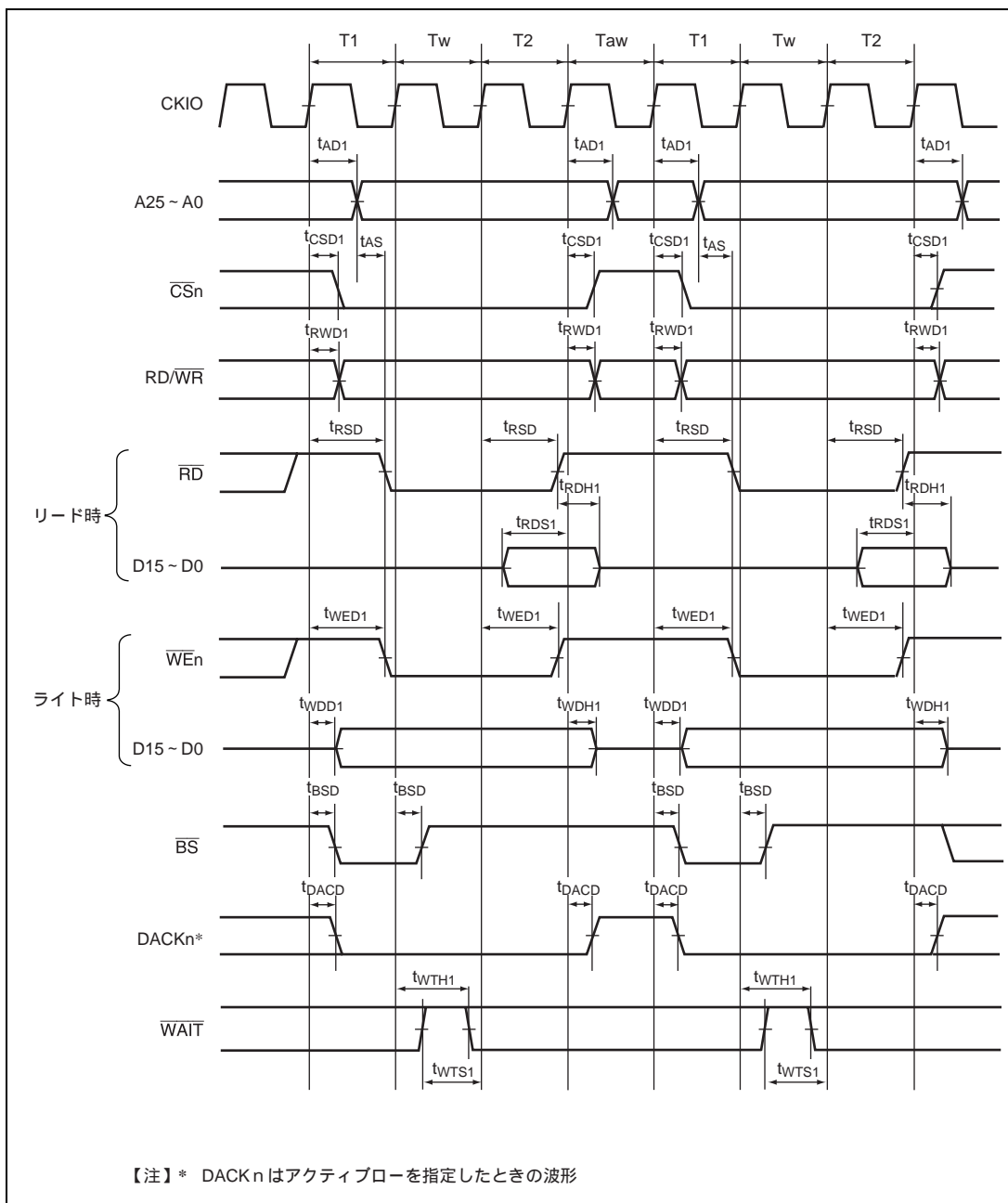


図 38.15 通常空間基本バスサイクル  
 (ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、アイドルサイクルなし設定)

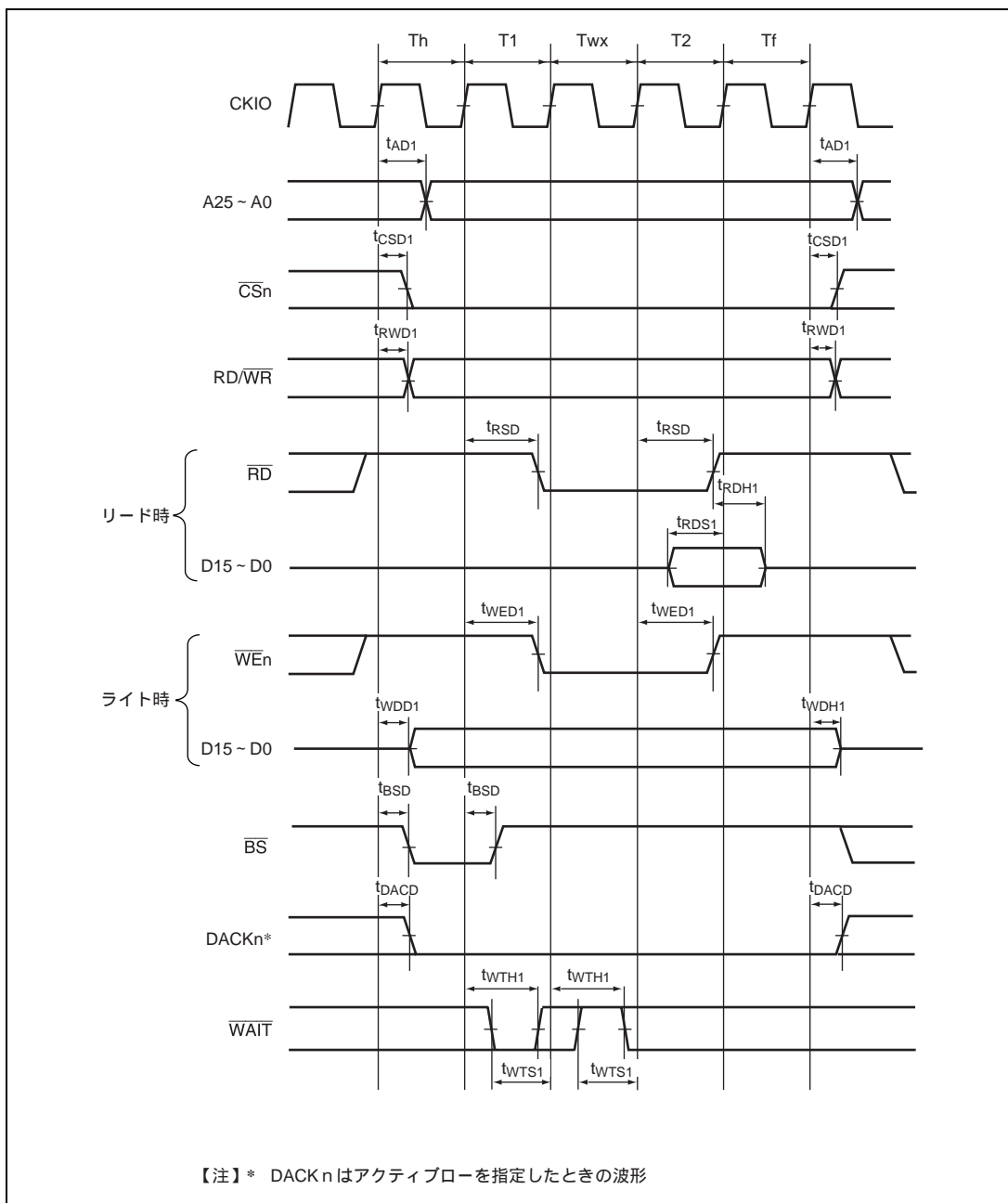


図 38.16 通常空間 CS 拡張バスサイクル  
(SW = 1 サイクル、HW = 1 サイクル、外部ウェイト 1 挿入)

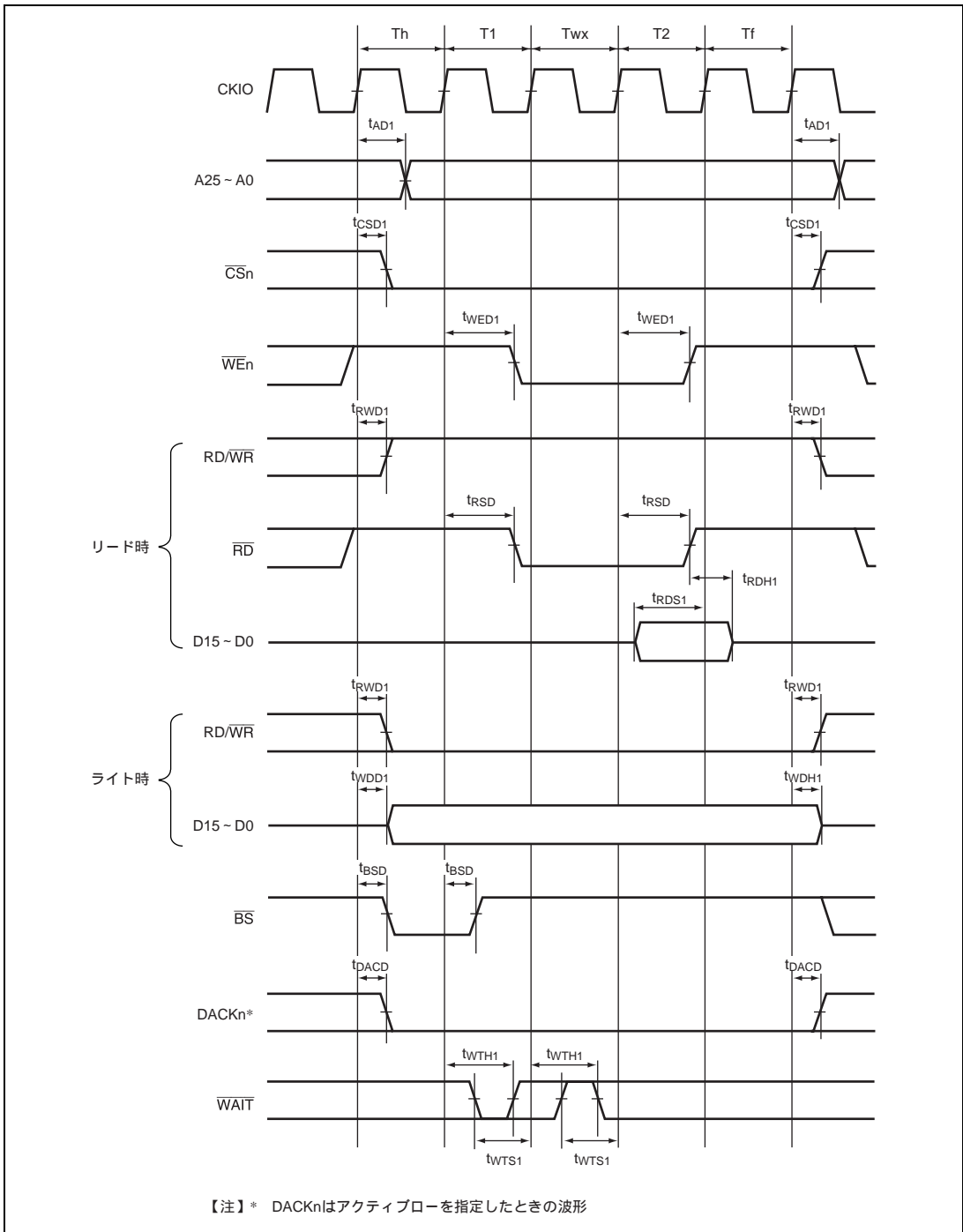


図 38.17 バイト選択付き SRAM バスサイクル  
(SW = 1 サイクル、HW = 1 サイクル、外部ウェイト 1 挿入、BAS = 0 (ライトサイクル UB、LB コントロール))

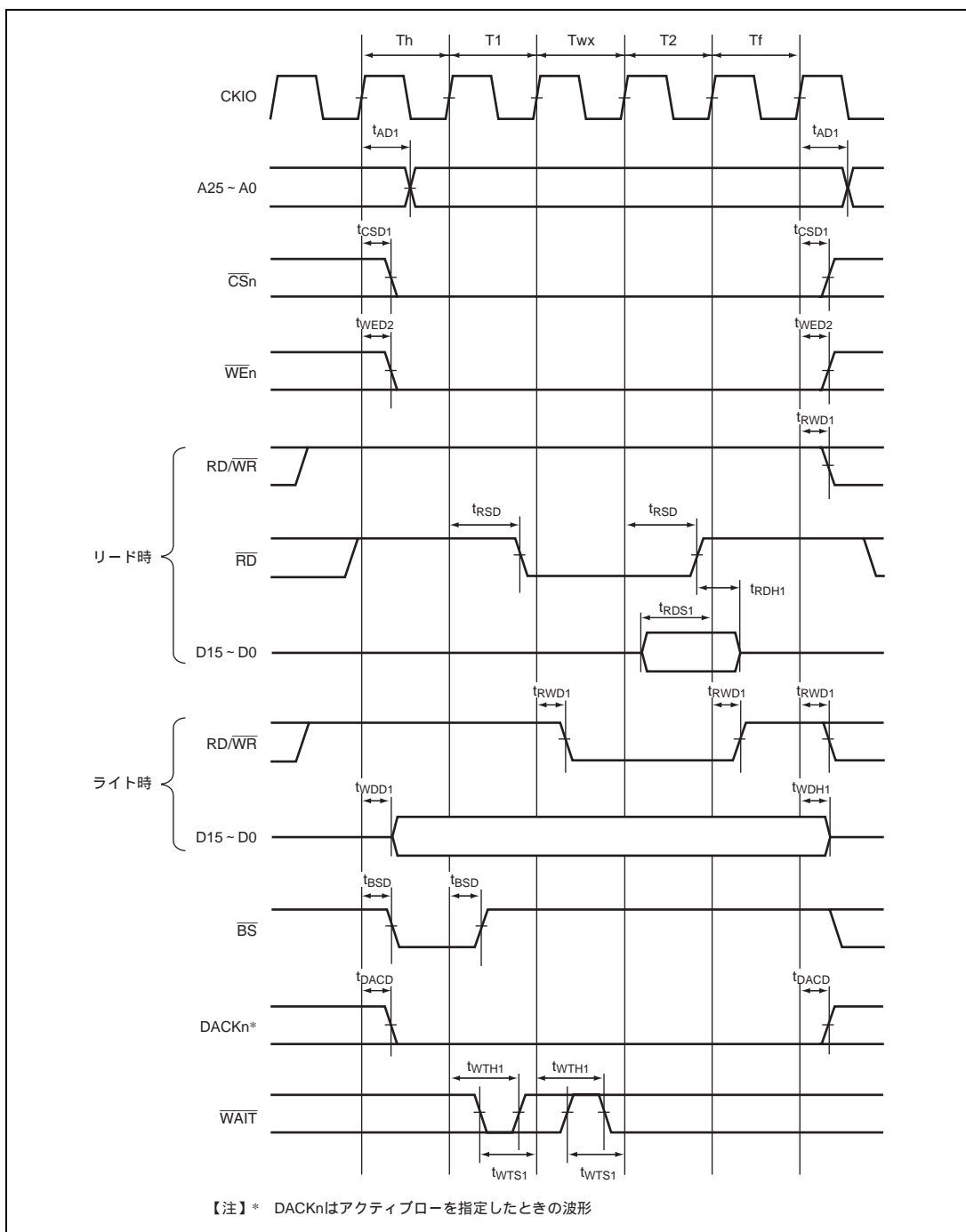


図 38.18 バイト選択付き SRAM バスサイクル

(SW = 1 サイクル、HW = 1 サイクル、外部ウェイト 1 挿入、BAS = 1 (ライトサイクル WE コントロール))

## 38.4.5 バースト ROM タイミング

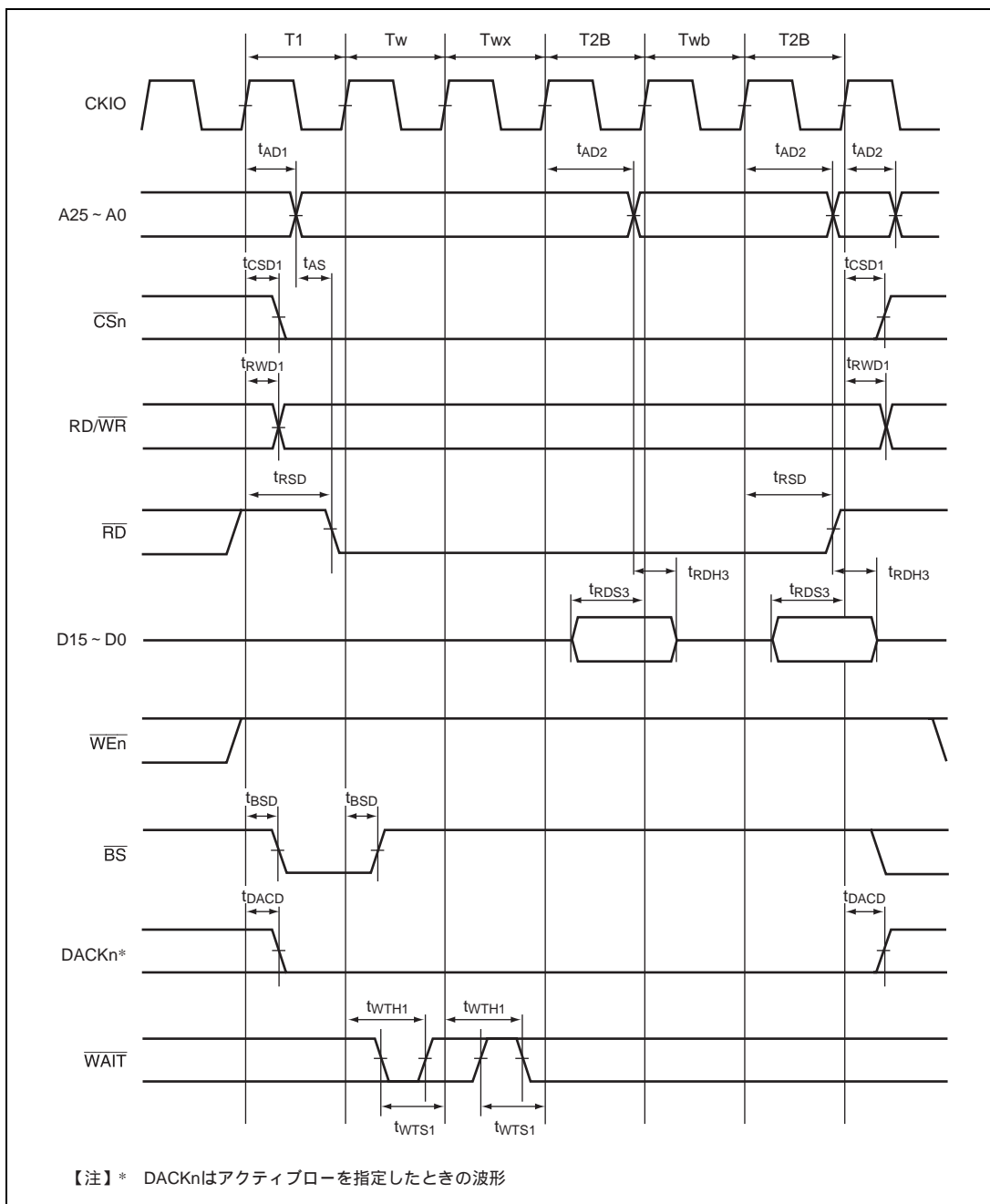


図 38.19 バースト ROM リードバスサイクル  
(ソフトウェアウェイト1、外部ウェイト1挿入、バーストウェイト1、2バースト)



## 38.4.6 SDRAM タイミング

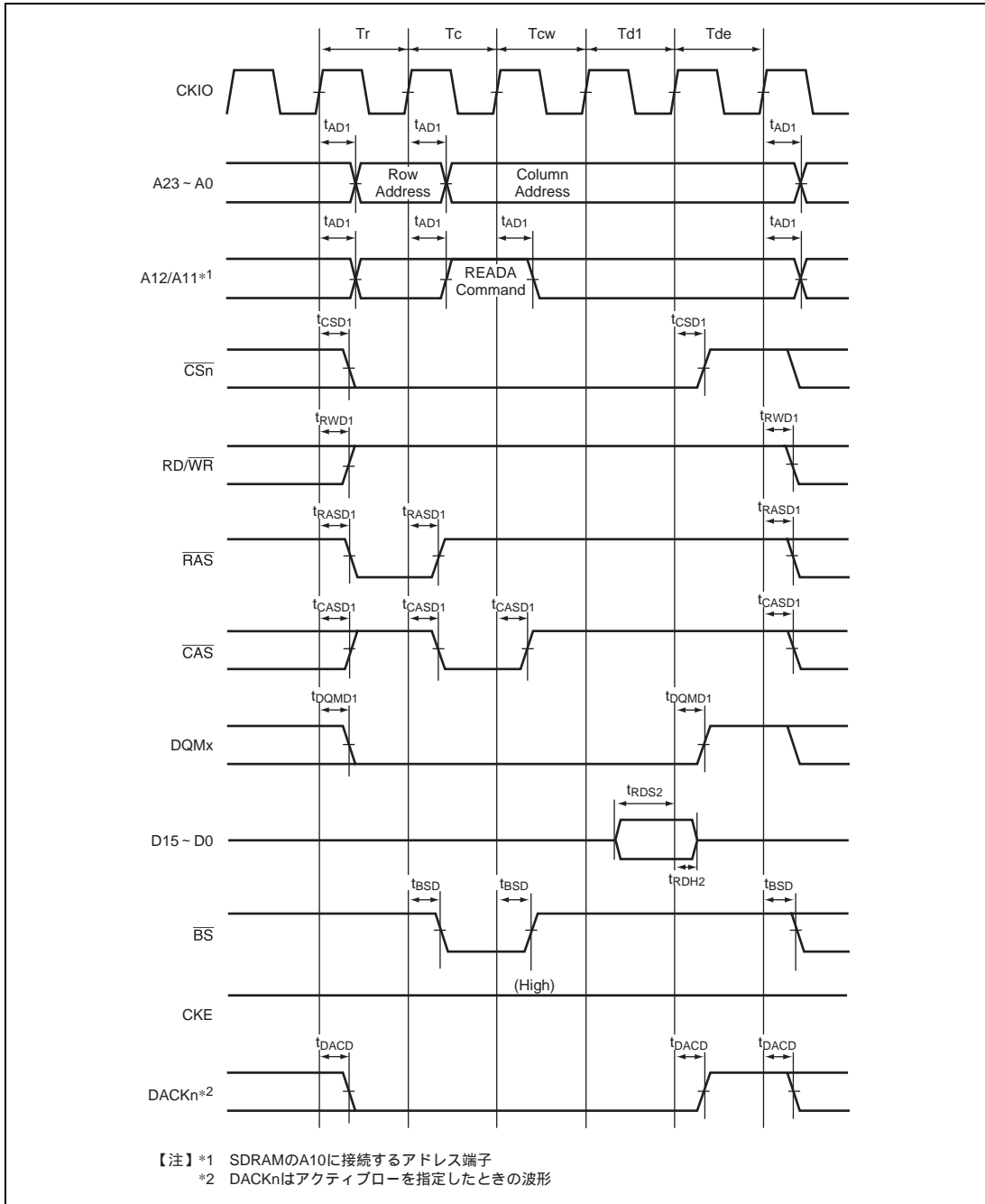


図 38.20 SDRAM シングルリードバスサイクル  
(オートプリチャージモード、CAS レイテンシ 2、TRCD = 1 サイクル、TRP = 1 サイクル)

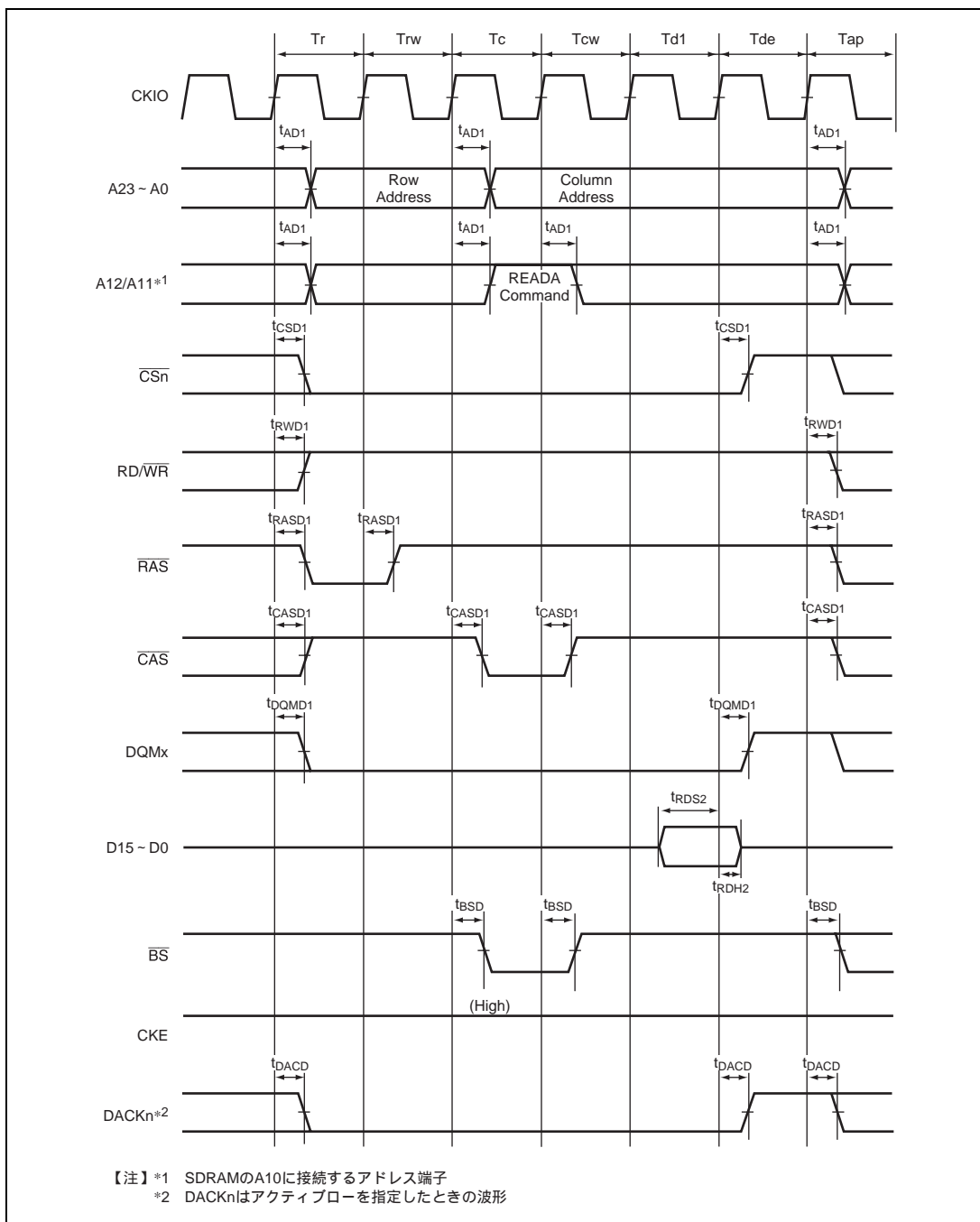


図 38.21 SDRAM シングルリードパスサイクル  
 (オートプリチャージモード、CAS レイテンシ 2、TRCD=2 サイクル、TRP=2 サイクル)

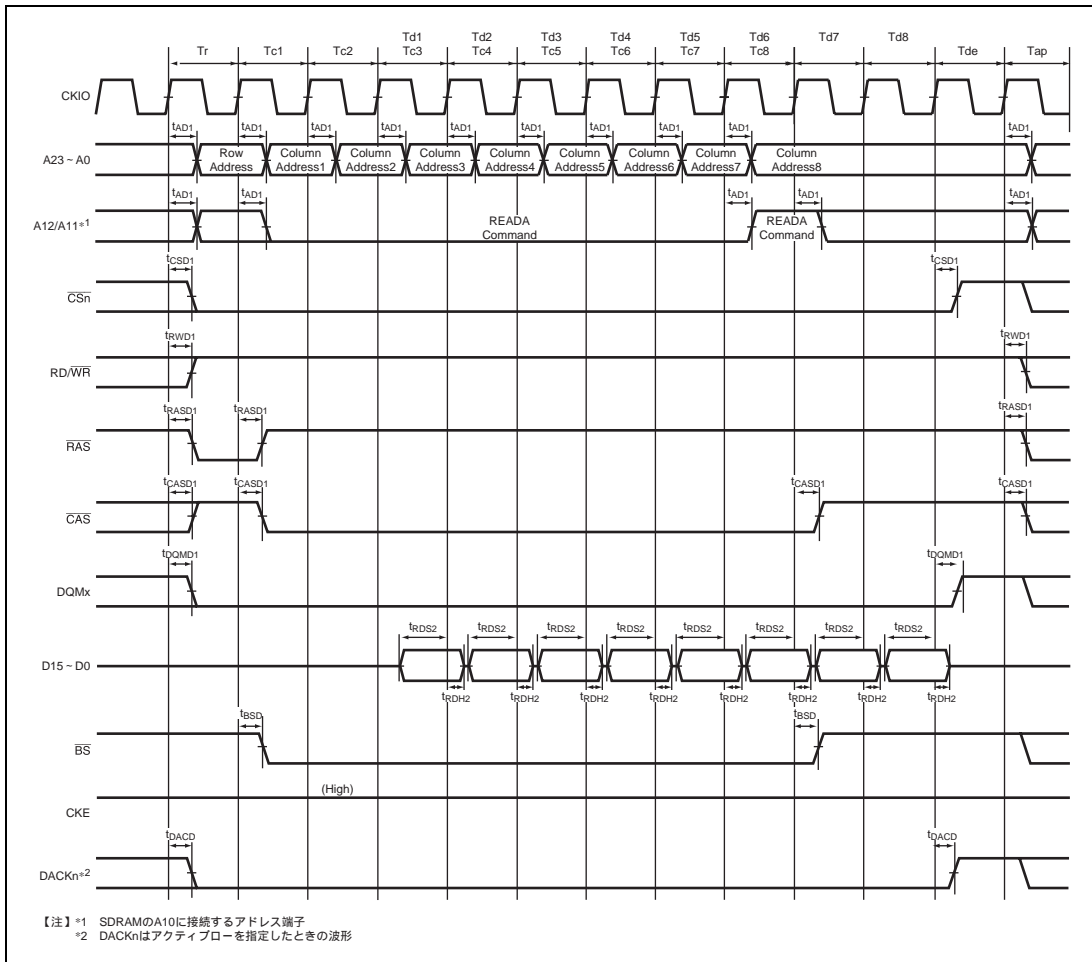


図 38.22 SDRAM バーストリードバスサイクル (シングルリード×8)  
(オートプリチャージモード、CAS レイテンシ 2、TRCD=1 サイクル、TRP=2 サイクル)

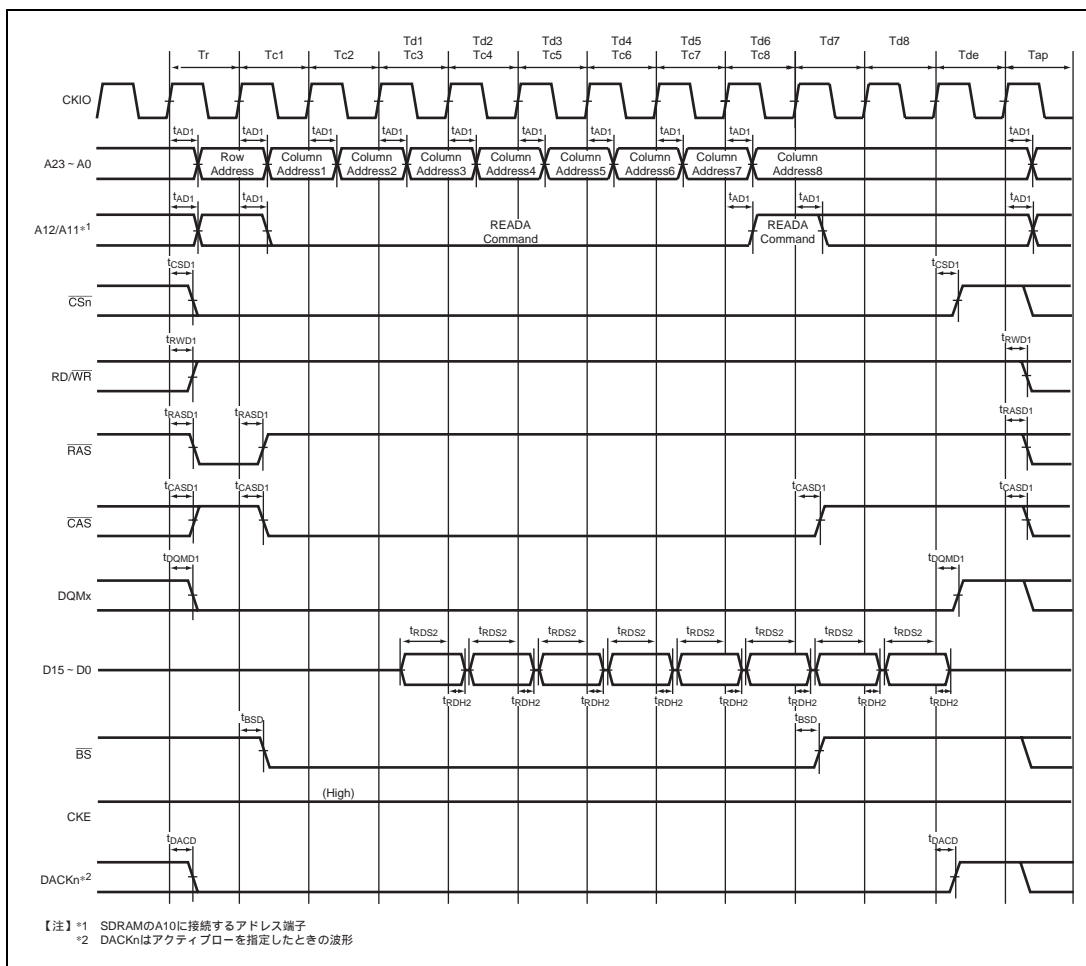


図 38.23 SDRAM バーストリードバスサイクル (シングルリード×8)  
(オートプリチャージモード、CAS レイテンシ 2、TRCD=2 サイクル、TRP=1 サイクル)

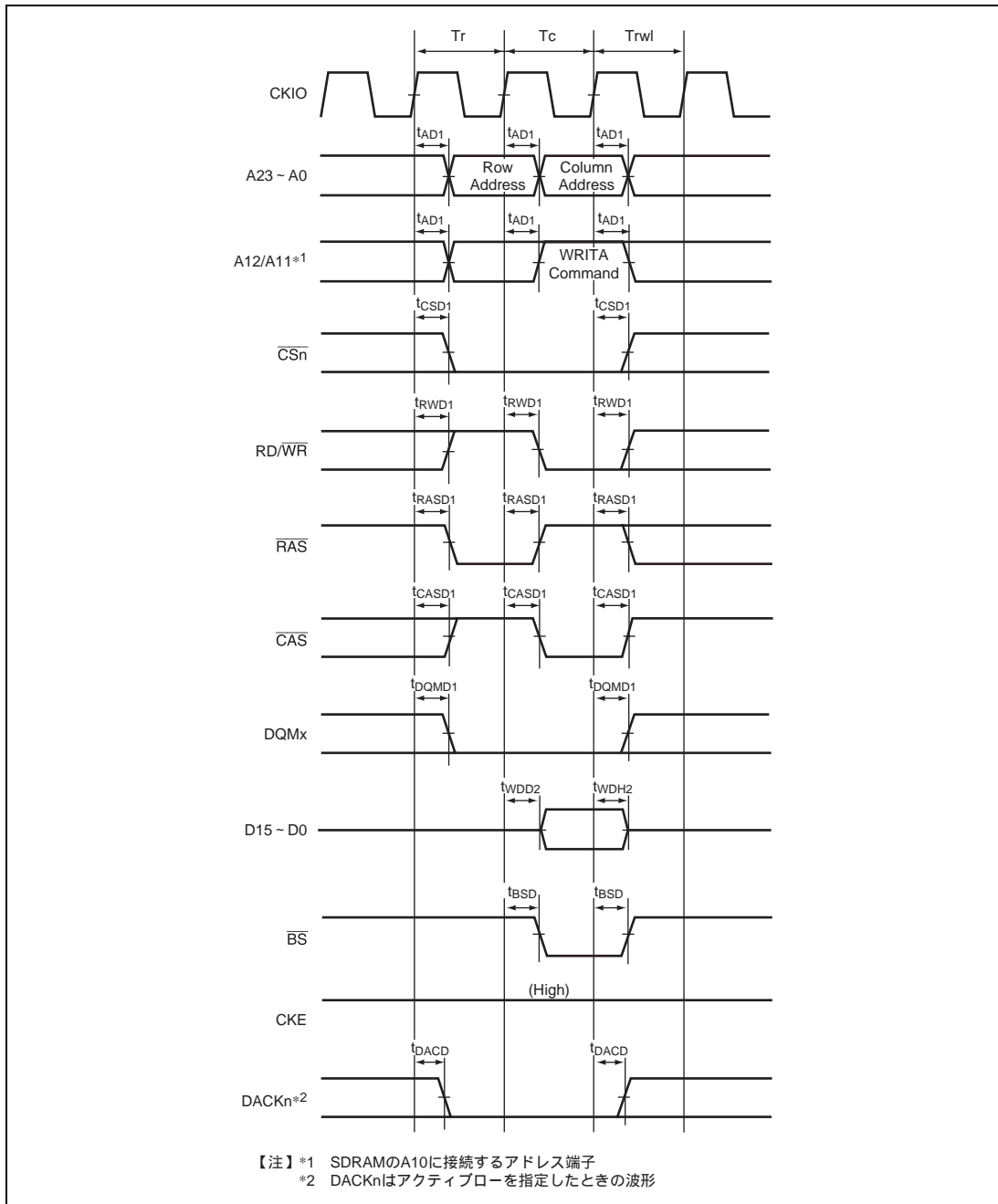


図 38.24 SDRAM シングルライトパスサイクル  
(オートプリチャージモード、TRWL = 1 サイクル)

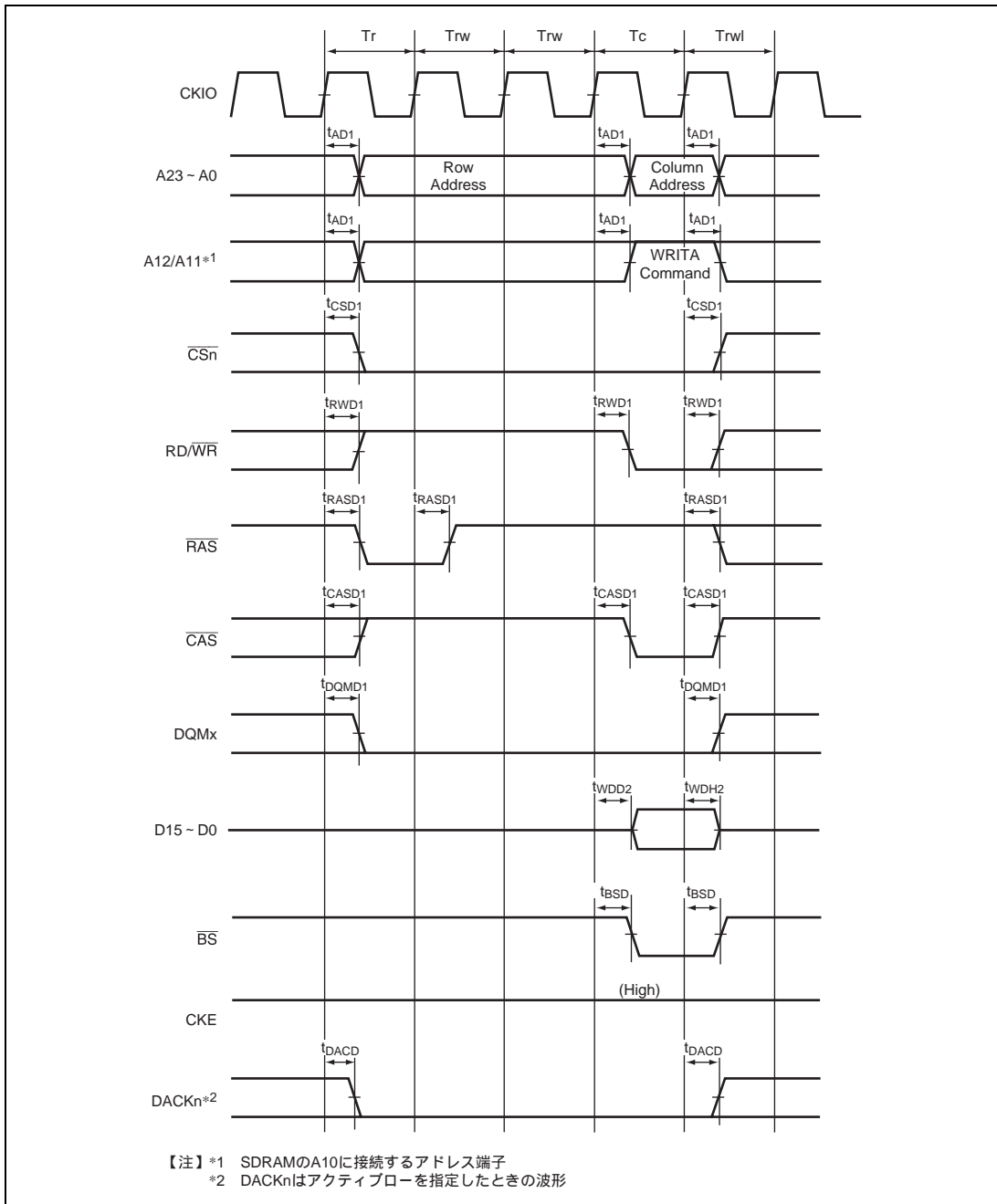


図 38.25 SDRAM シングルライトパスサイクル  
(オートプリチャージモード、TRCD = 3 サイクル、TRWL = 1 サイクル)

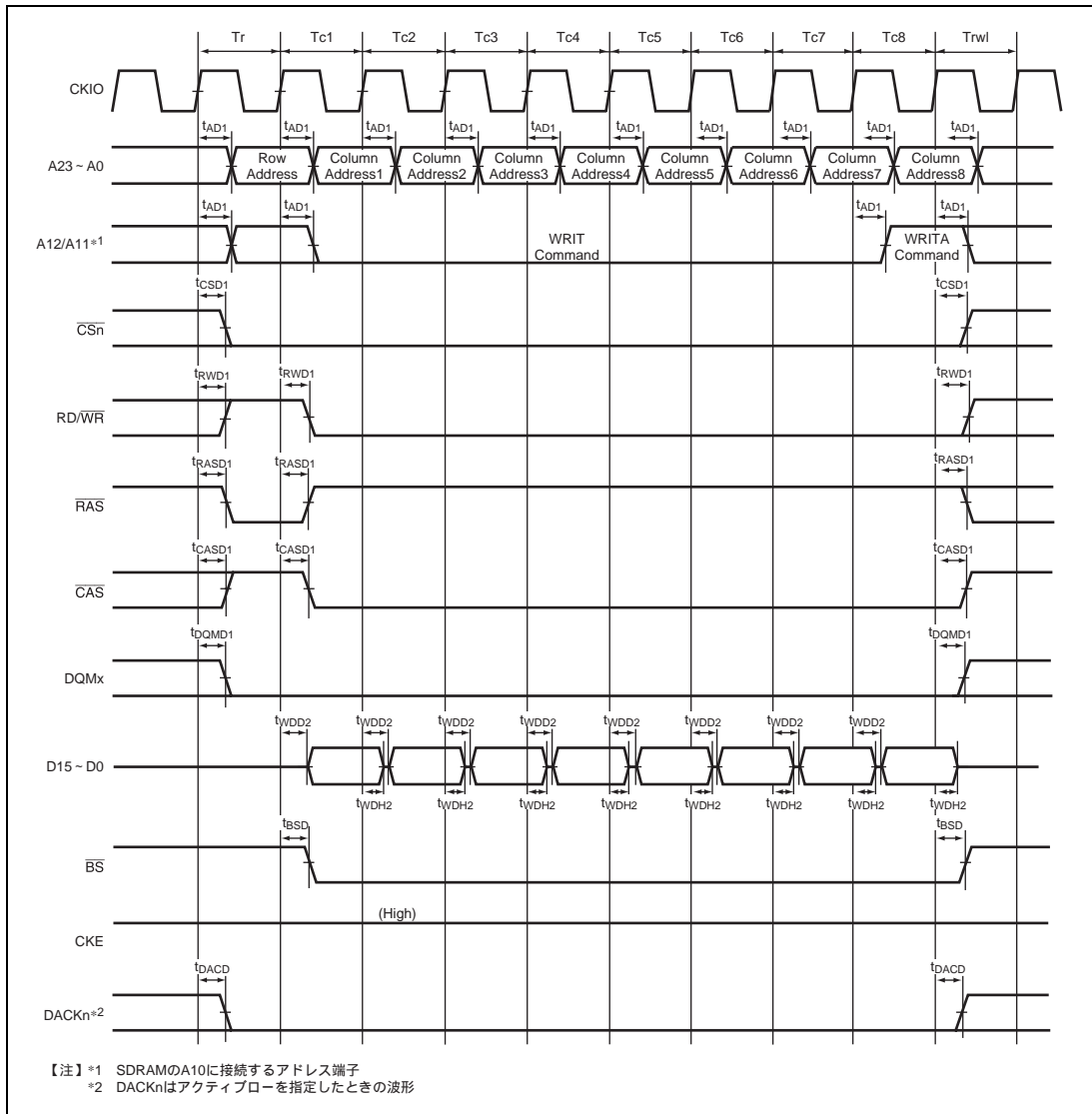


図 38.26 SDRAM パーストライトバスサイクル (シングルライト×8)  
 (オートプリチャージモード、TRCD = 1 サイクル、TRWL = 1 サイクル)

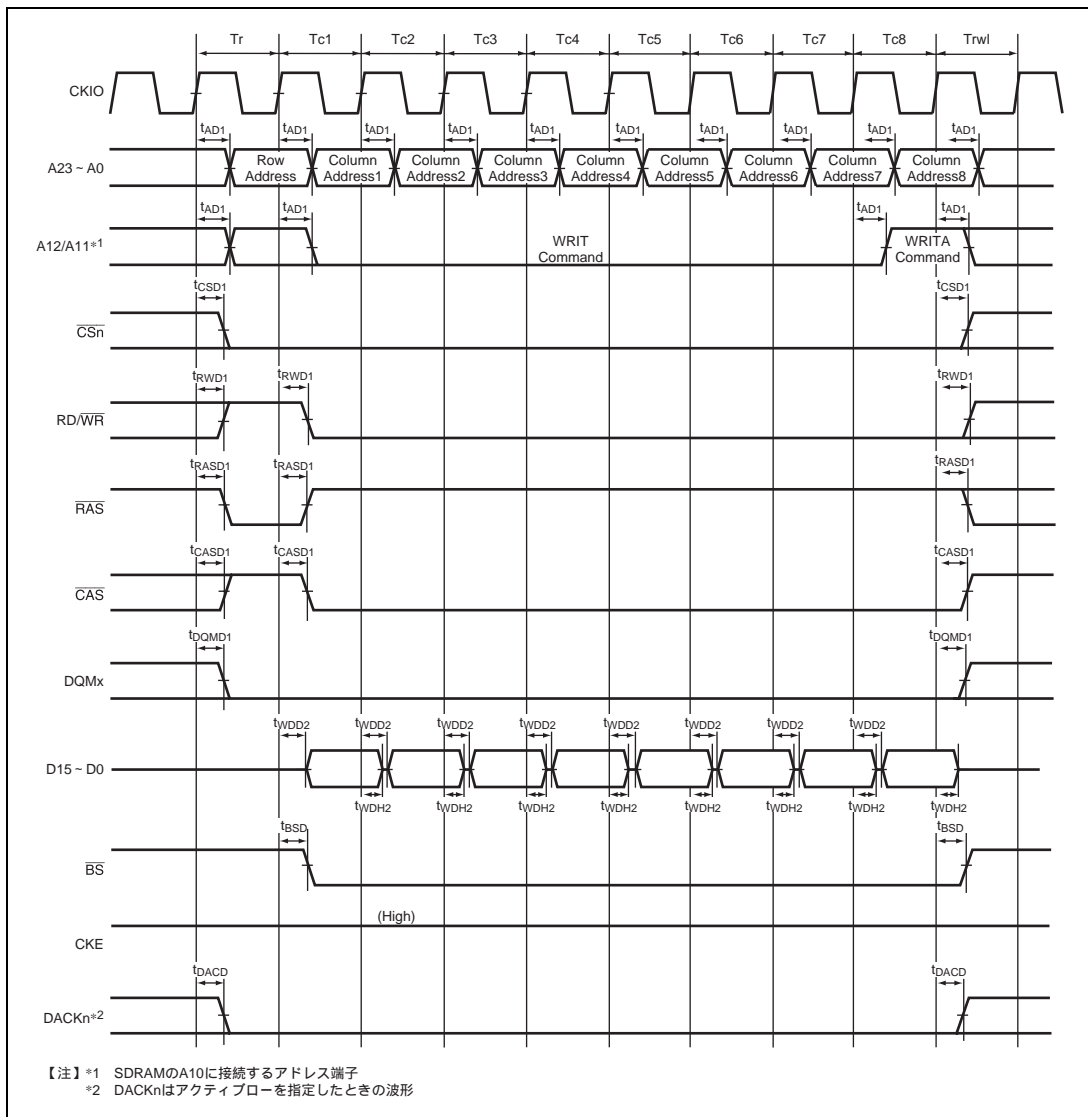


図 38.27 SDRAM パーストライトバスサイクル (シングルライト×8)  
 (オートプリチャージモード、TRCD=2 サイクル、TRWL=1 サイクル)



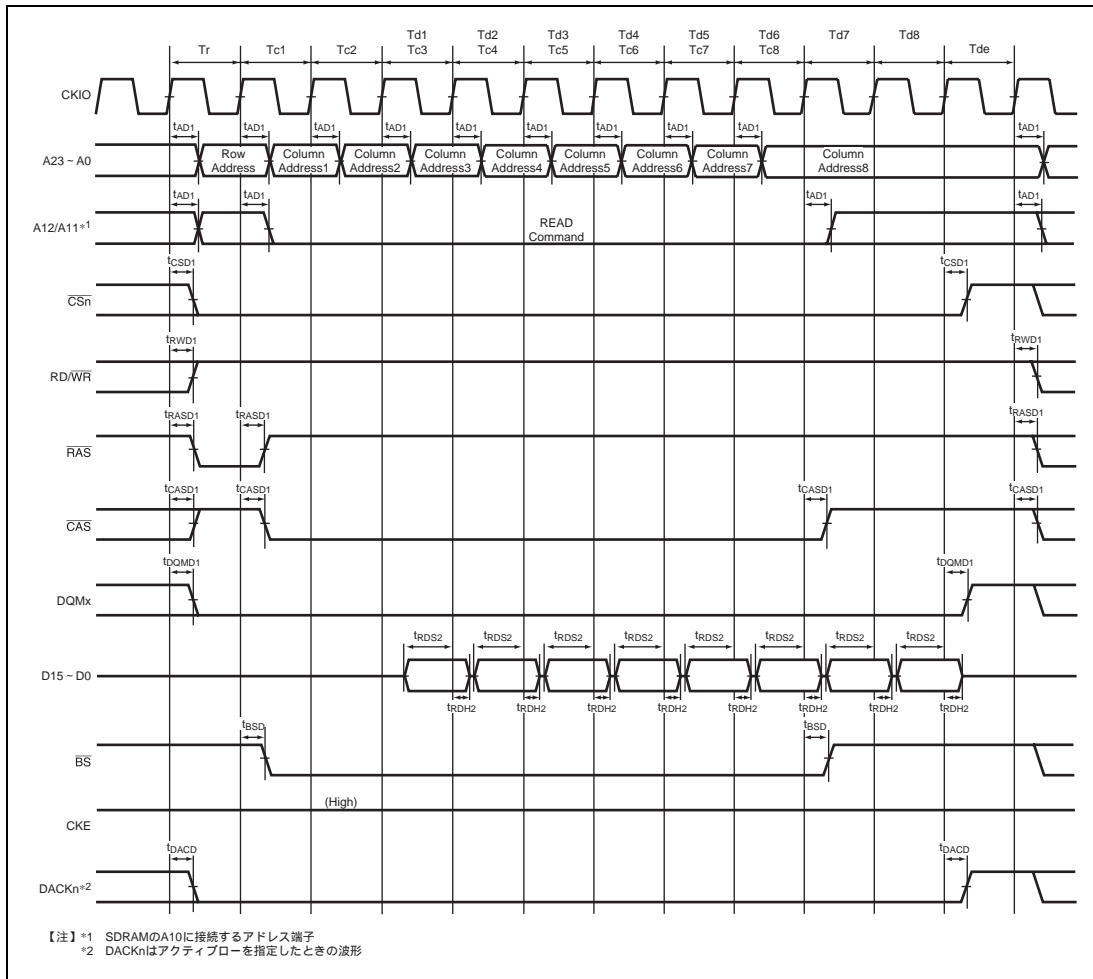


図 38.28 SDRAM バーストリードバスサイクル (シングルリード × 8)  
(バンクアクティブモード: ACTV+READ コマンド、CAS レイテンシ 2、TRCD = 1 サイクル)

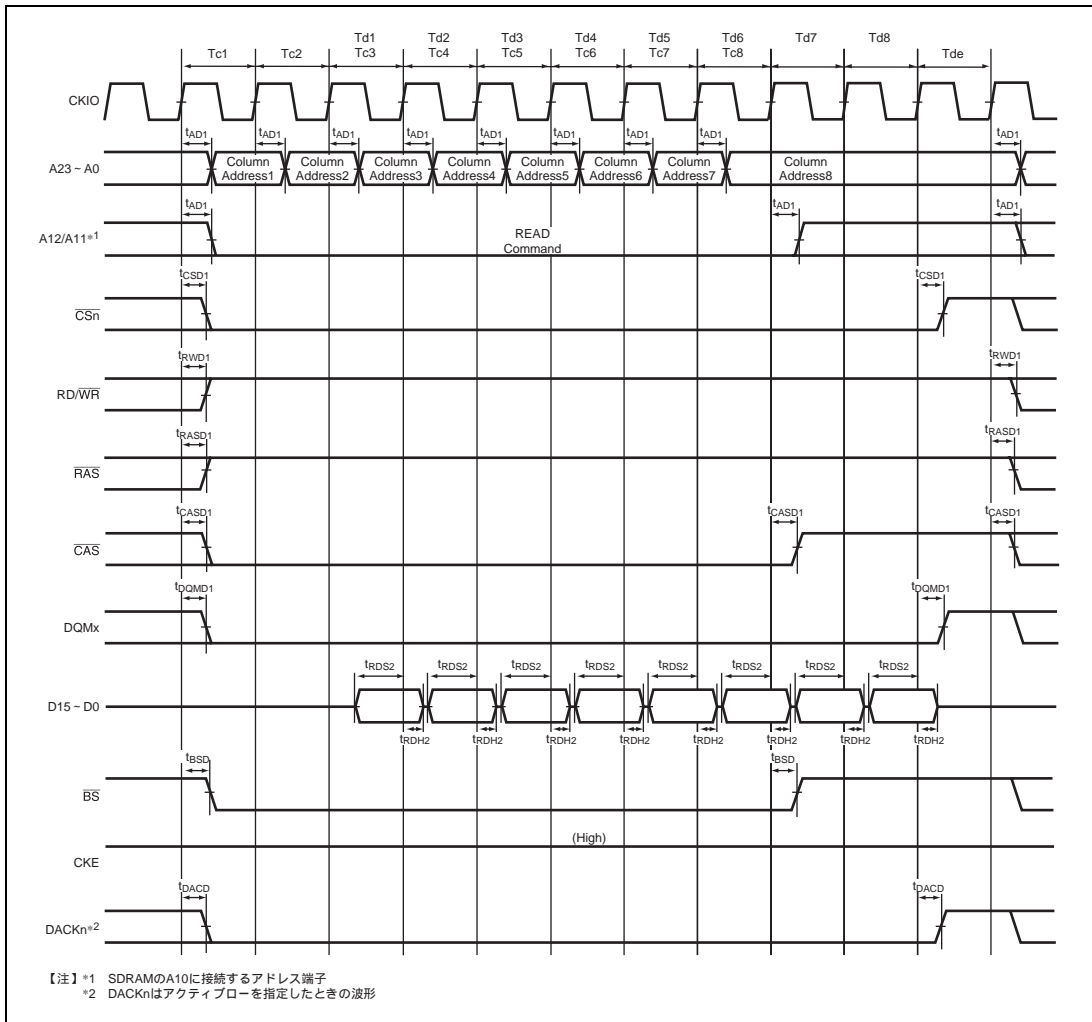


図 38.29 SDRAM バーストリードバスサイクル (シングルリード×8)  
(バンクアクティブモード: READ コマンド、同一ロウアドレス、CAS レイテンシ 2、TRCD = 1 サイクル)

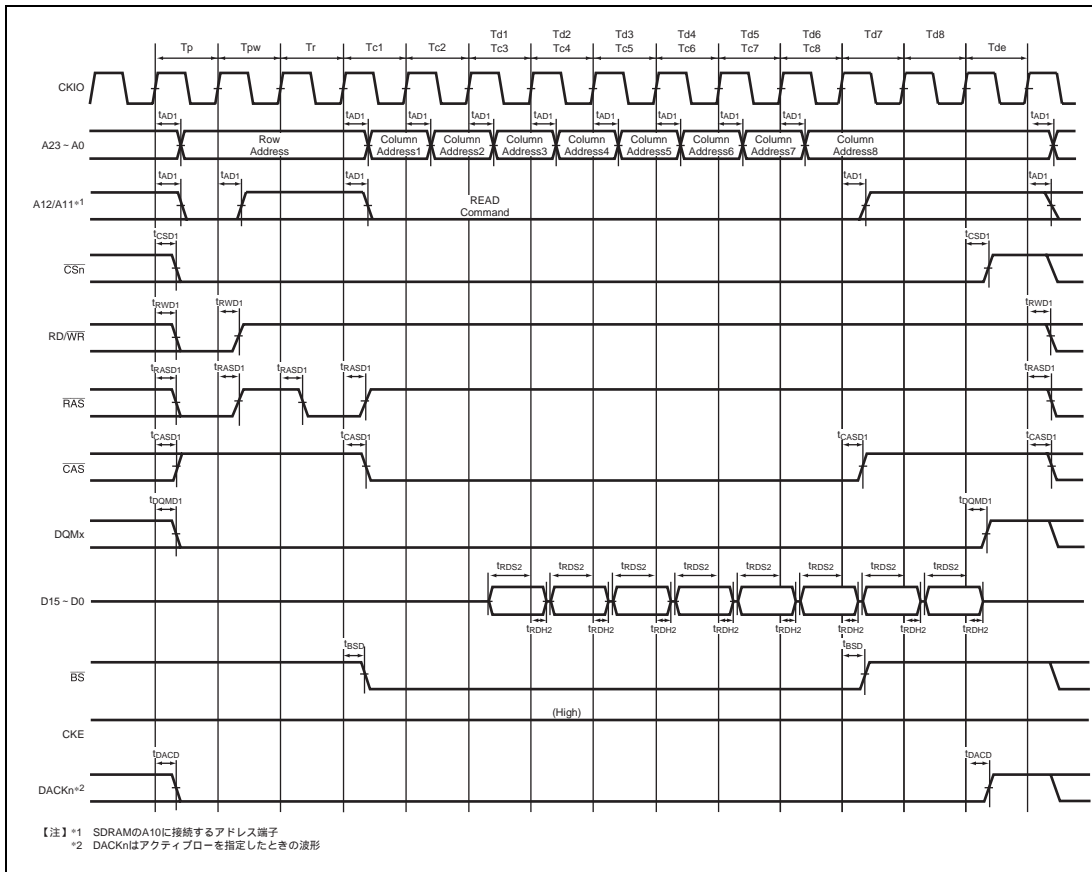


図 38.30 SDRAM バーストリードバスサイクル (シングルリード×8)  
(バンクアクティブモード: PRE+ACTV+READ コマンド、異なるロウアドレス、CAS レイテンシ 2、  
TRCD = 1 サイクル)

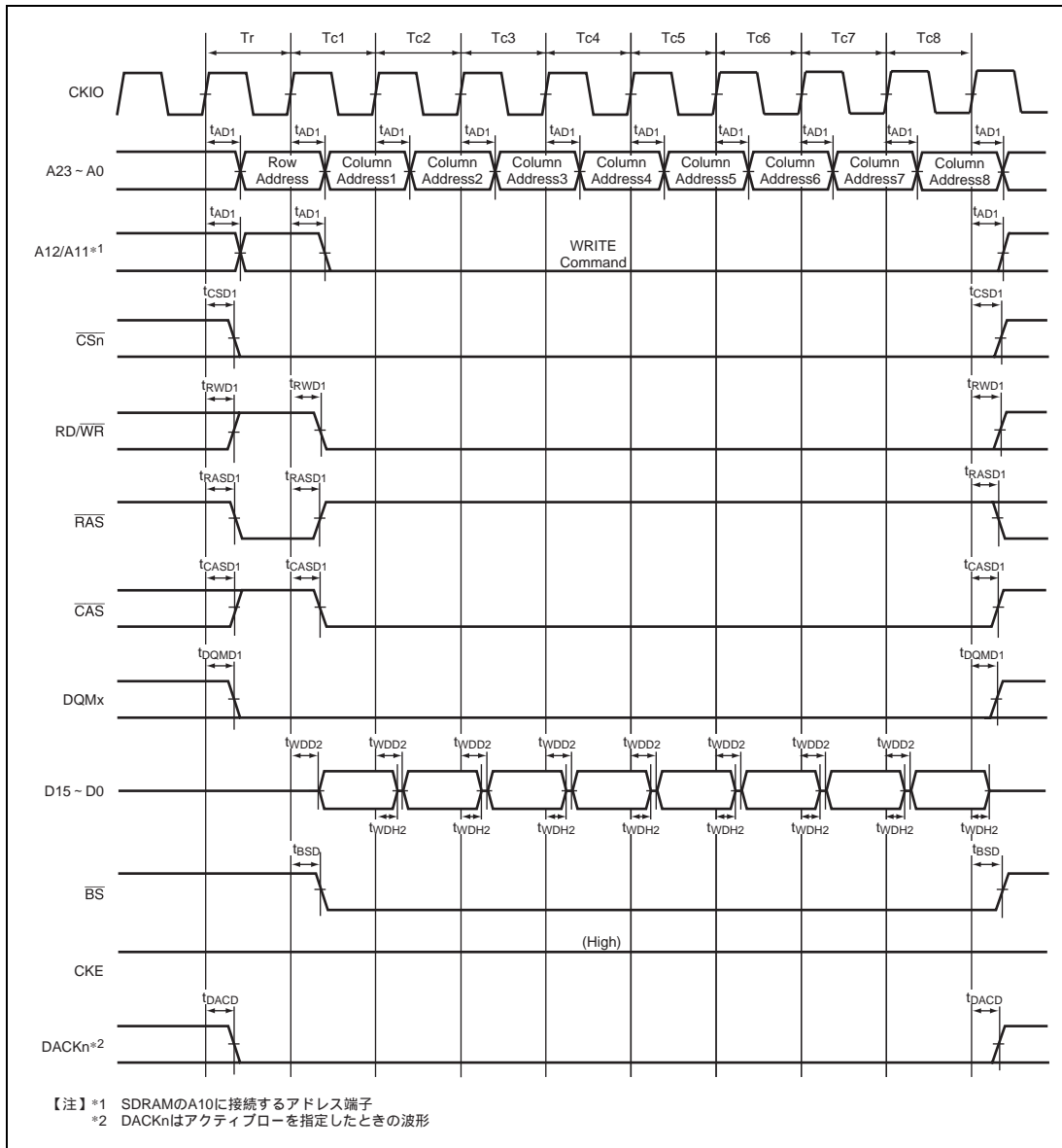


図 38.31 SDRAM バーストライトバスサイクル (シングルライト×8)  
(バンクアクティブモード、ACTV+WRIT コマンド、TRCD=1 サイクル)

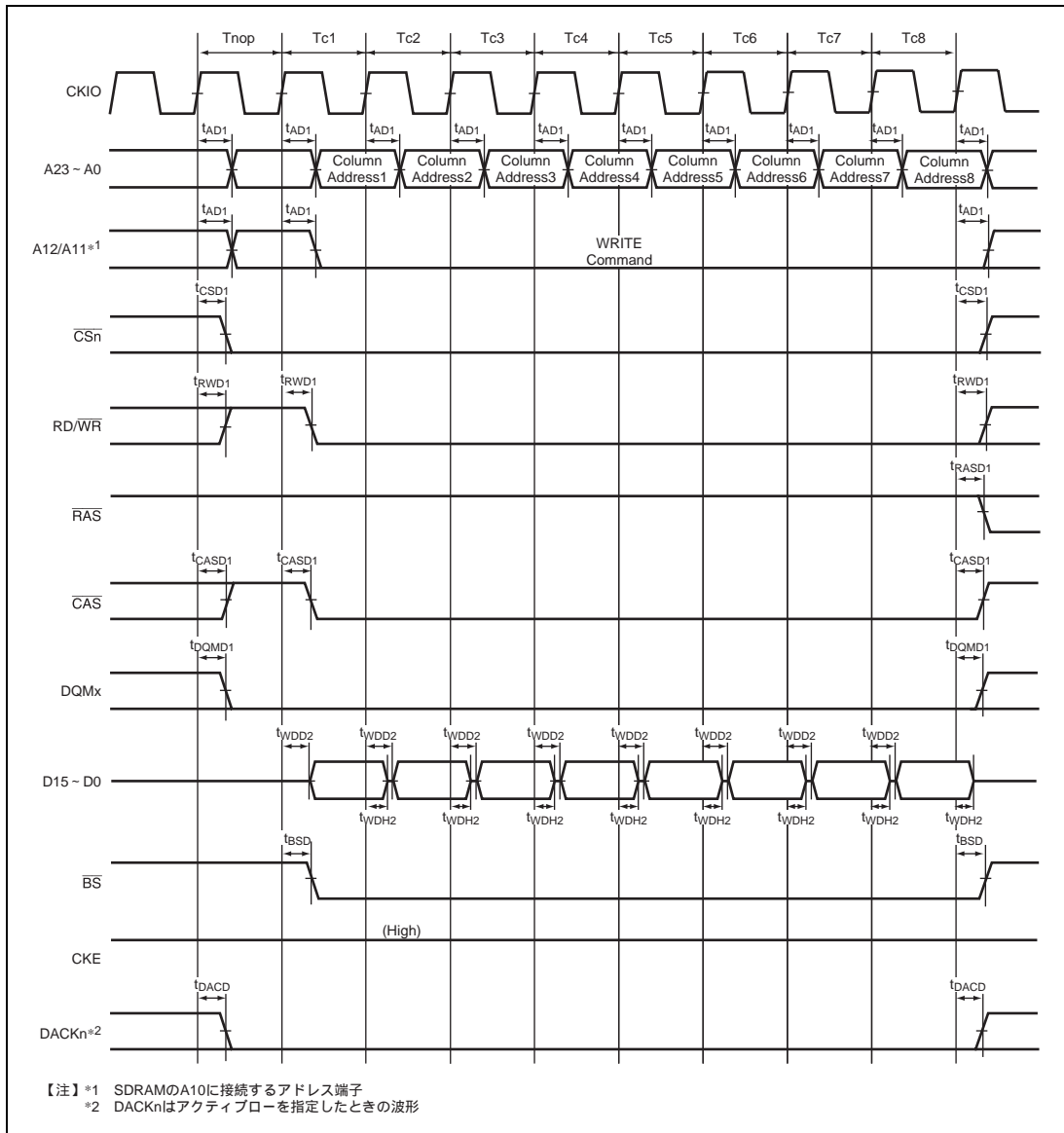


図 38.32 SDRAM バーストライトバスサイクル (シングルライト×8)  
(バンクアクティブモード、ACTV+WRIT コマンド、TRCD = 1 サイクル)

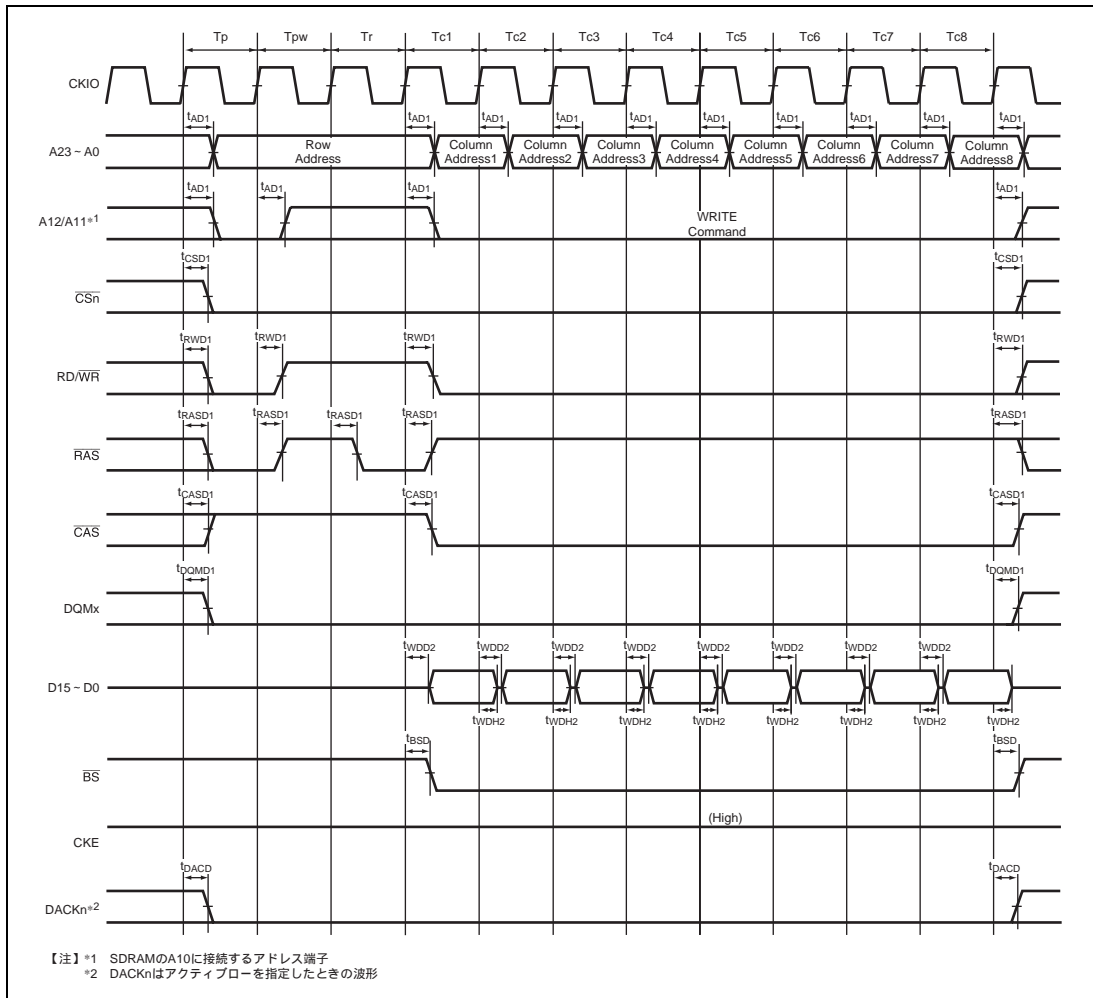


図 38.33 SDRAM バーストライトバスサイクル (シングルライト×8)  
(バンクアクティブモード、PRE+ACTV+WRIT コマンド、TRCD = 1 サイクル)

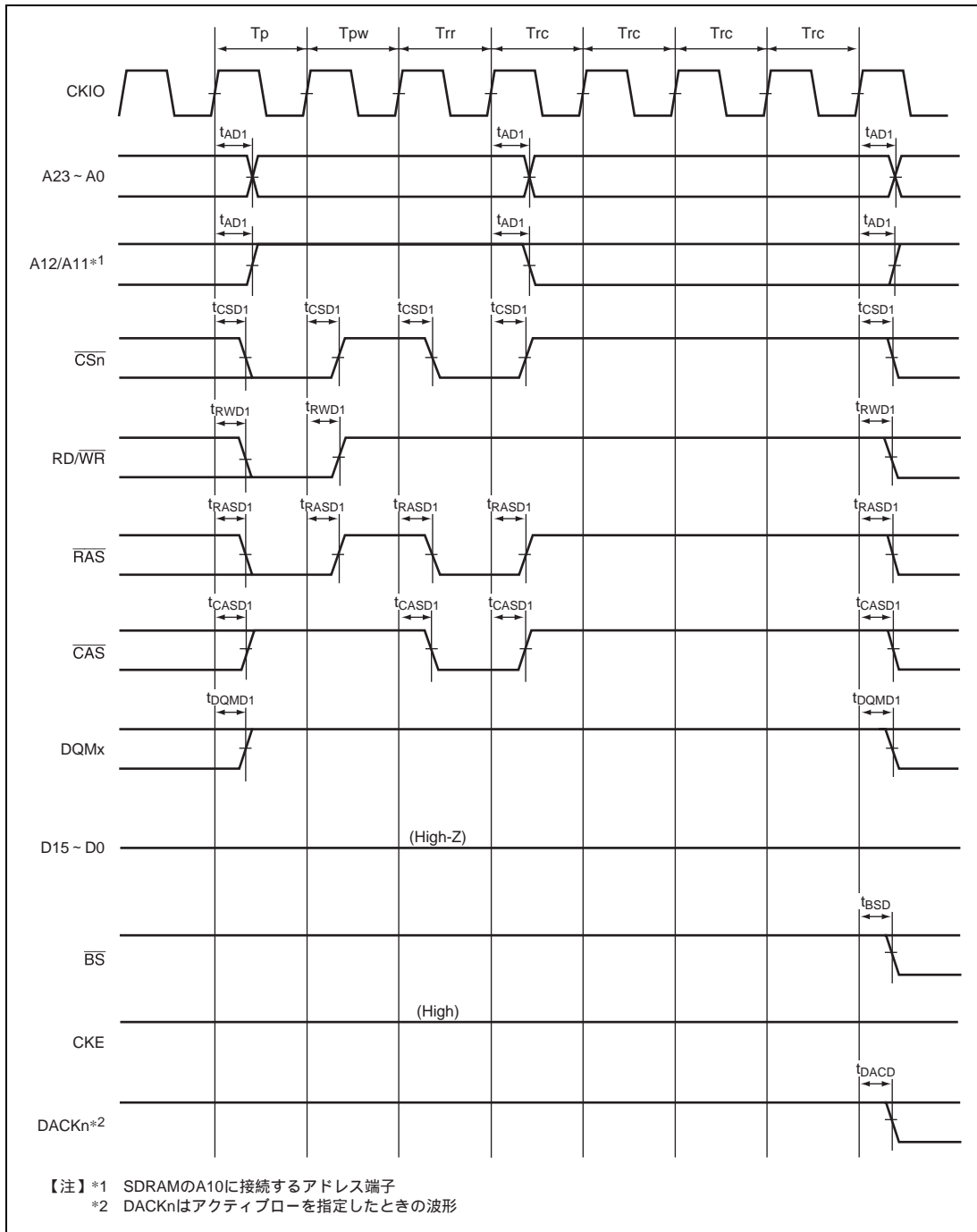


図 38.34 SDRAM オートリフレッシュタイミング (TRP = 2 サイクル)

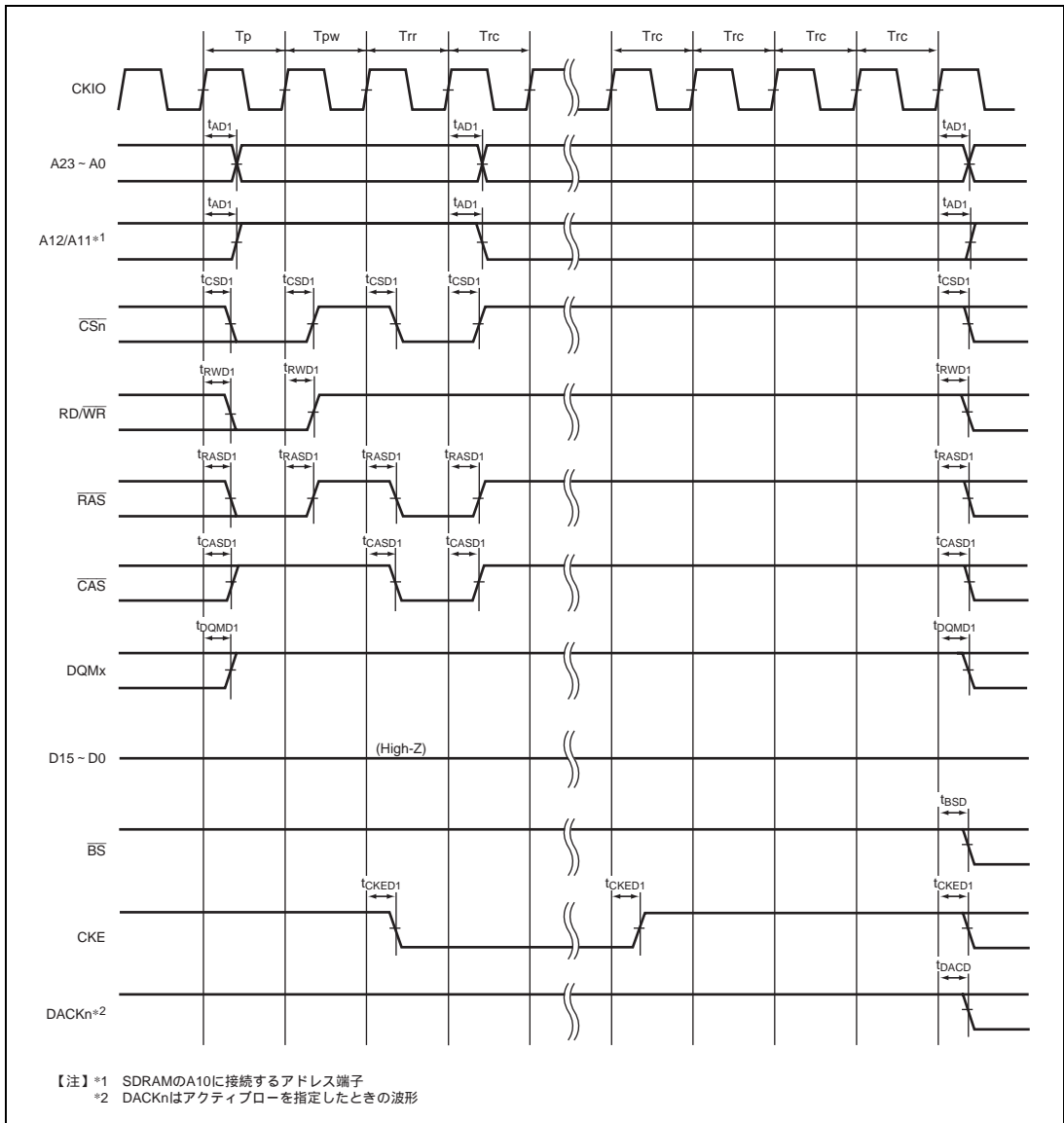


図 38.35 SDRAM セルフリフレッシュタイミング (TRP = 2 サイクル)



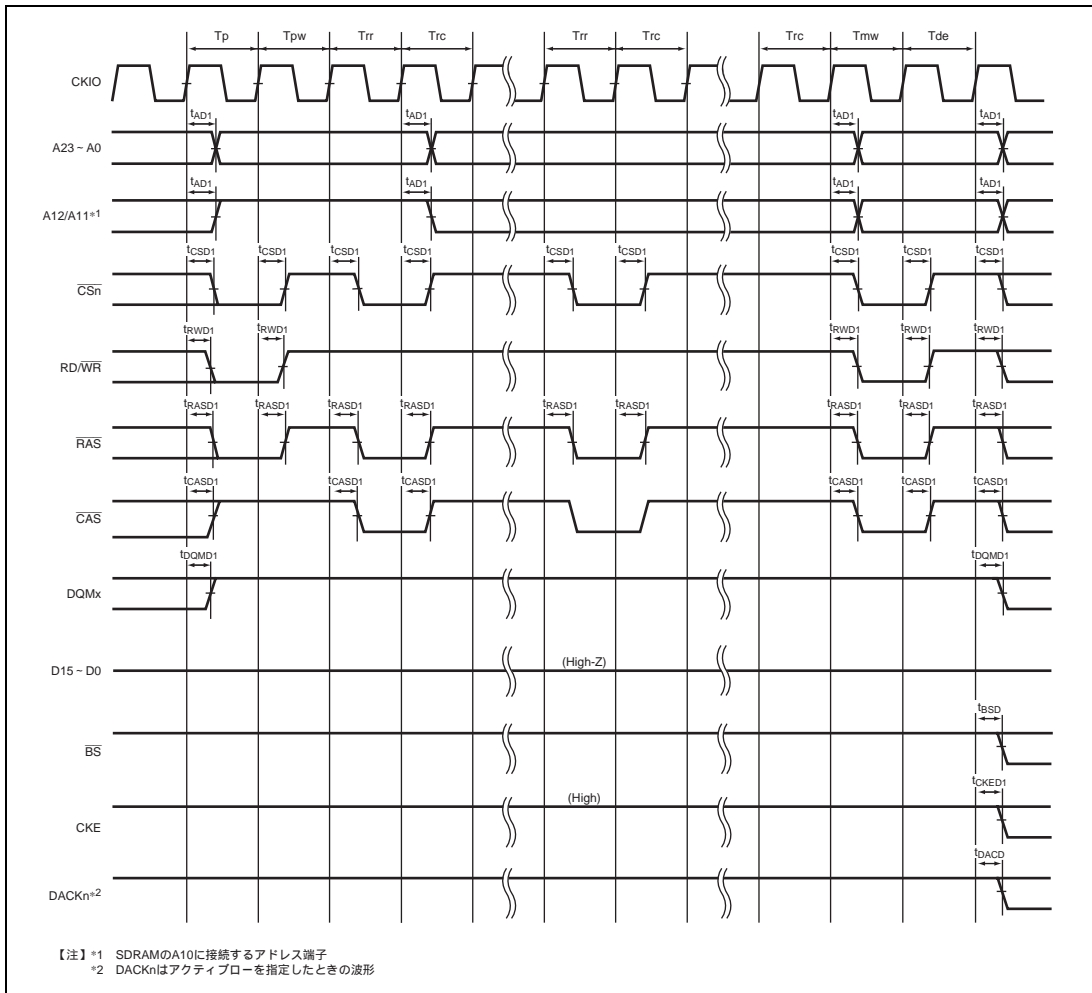


図 38.36 SDRAM パワーオンシーケンス (モードライトタイミング、TRP=2 サイクル)

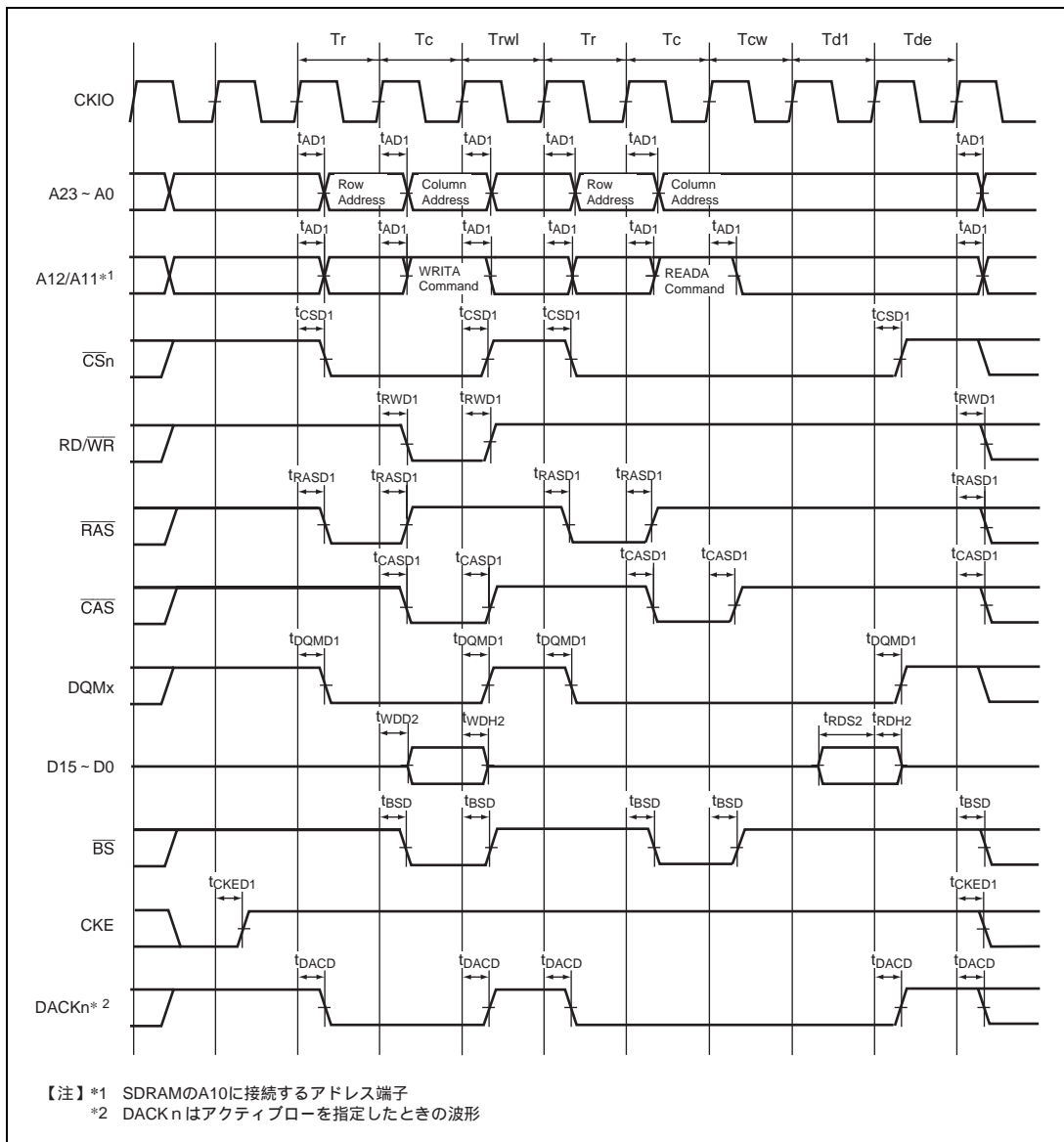


図 38.37 SDRAM パワーダウンモードライトリードバスサイクル  
 (オートプリチャージモード、TRCD = 1 サイクル、TRP = 1 サイクル、TRWL = 1 サイクル)

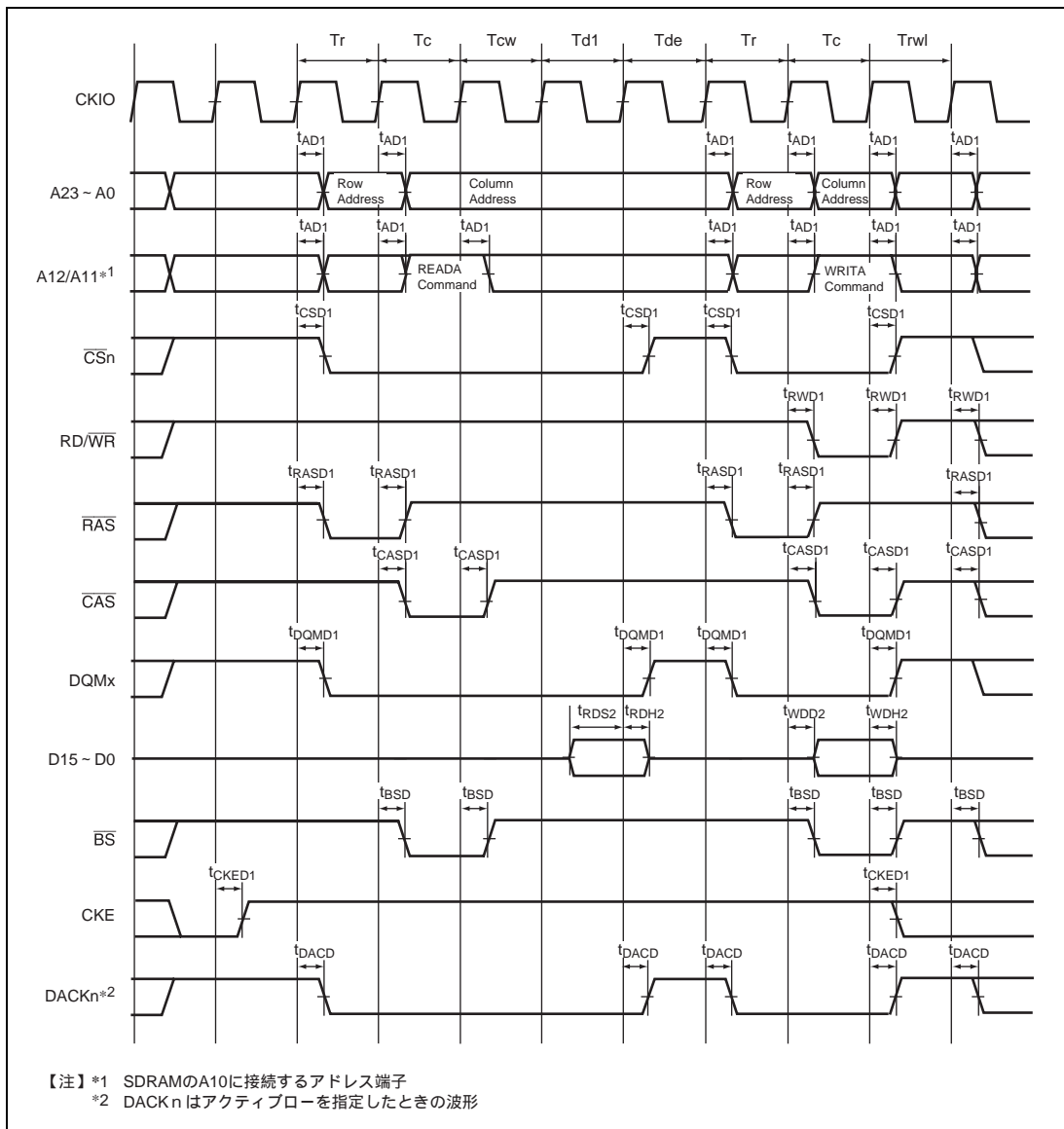


図 38.38 SDRAM パワーダウンモードリードライトバスサイクル  
(オートプリチャージモード、TRCD = 1 サイクル、TRP = 1 サイクル、TRWL = 1 サイクル)

## 38.4.7 PCMCIA タイミング

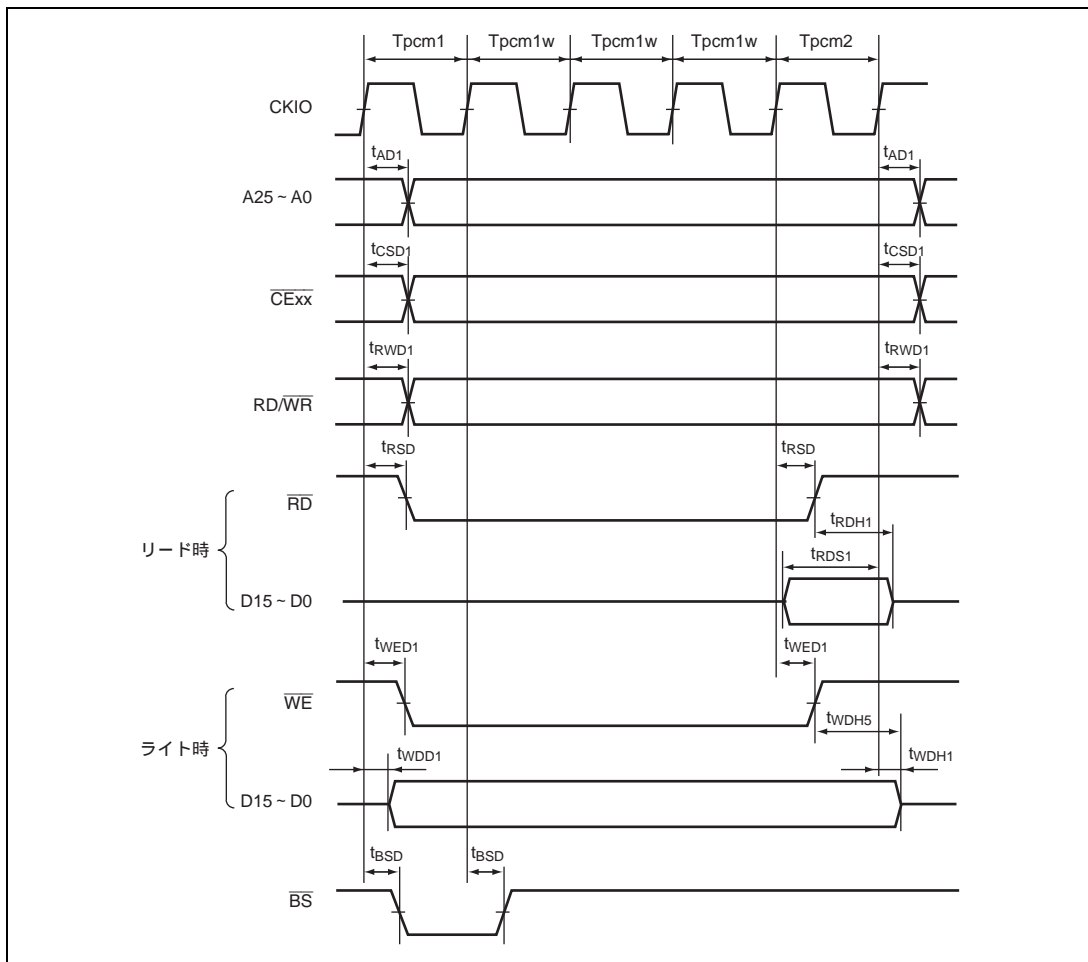


図 38.39 PCMCIA メモリカードインタフェースバスタイミング

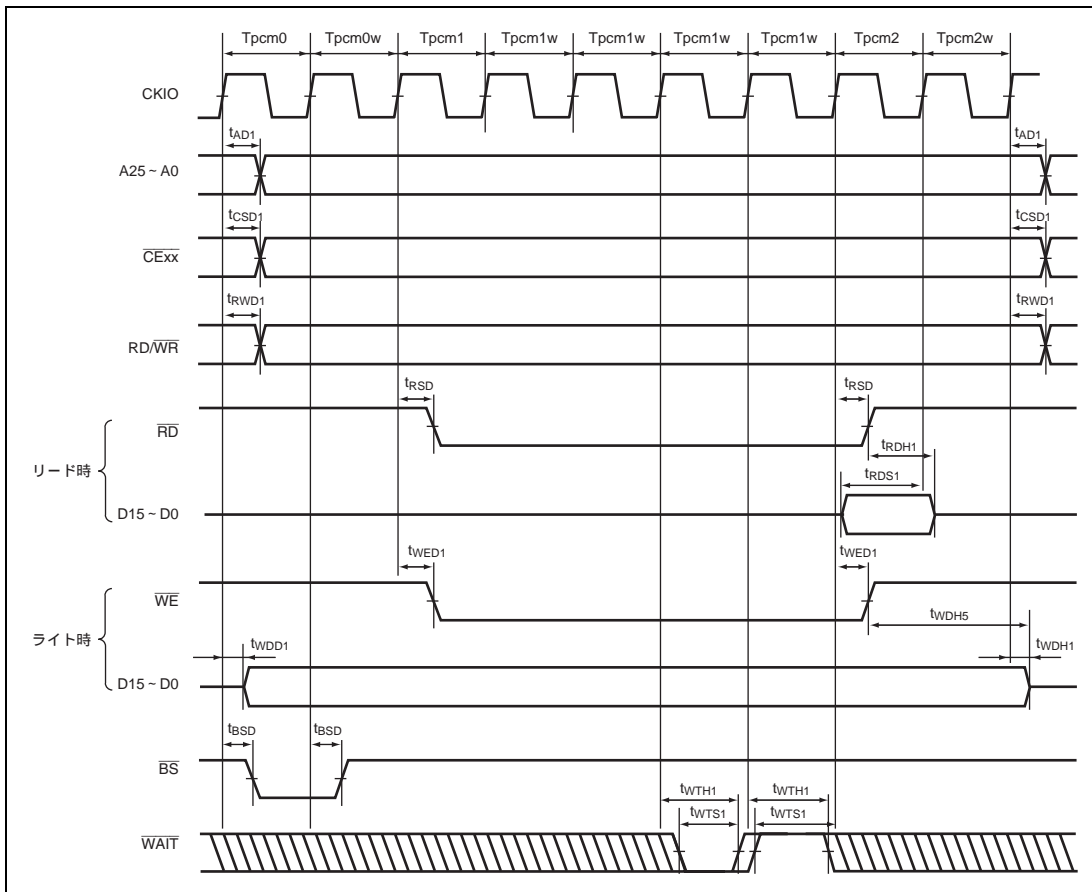


図 38.40 PCMCIA メモリカードインタフェースバスタイミング  
 (TED[3:0]=B'0010、TEH[3:0]=B'0001、1ソフトウェイト1、ハードウェイト1)

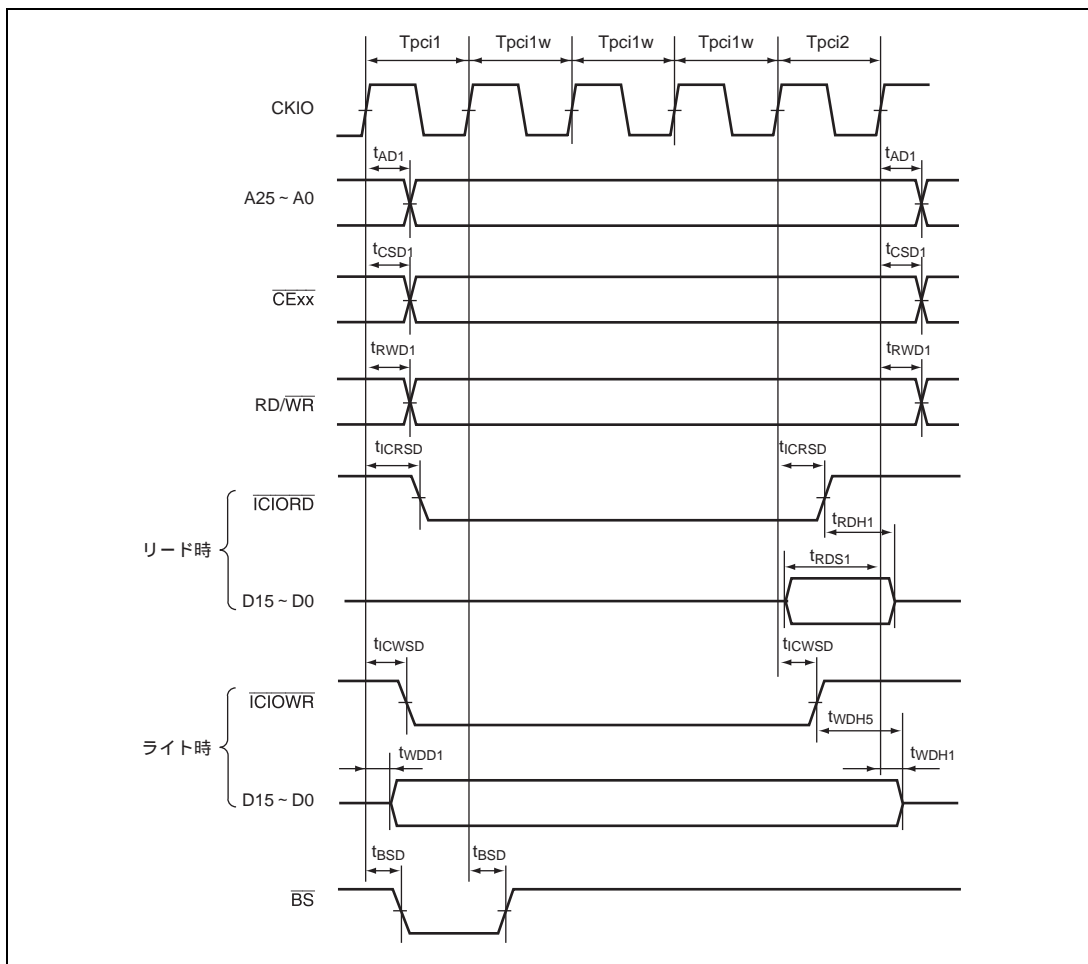


図 38.41 PCMCIA I/O カードインタフェースバスタイミング

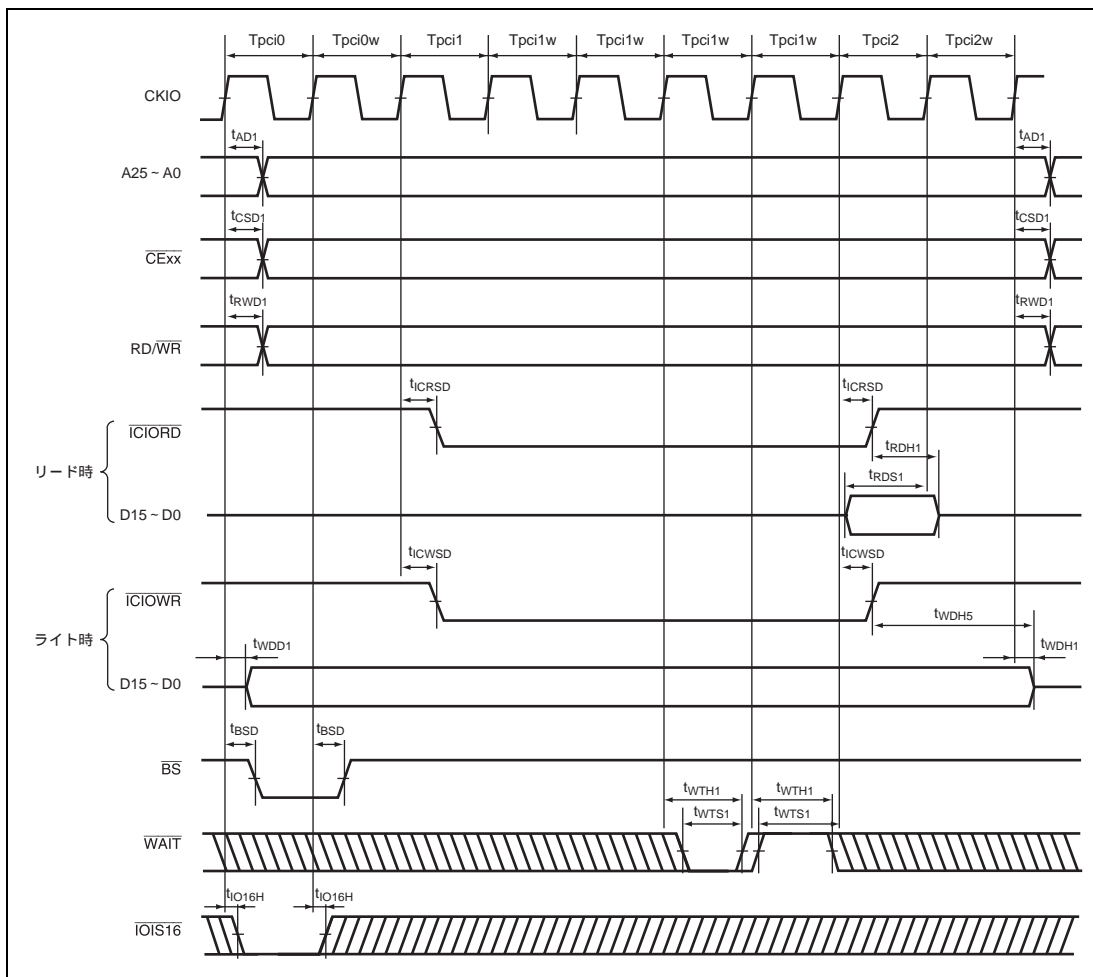


図 38.42 PCMCIA I/O カードインタフェースバスタイミング  
(TED[3:0]=B'0010、TEH[3:0]=B'0001、1ソフトウェイト1、ハードウェイト1)

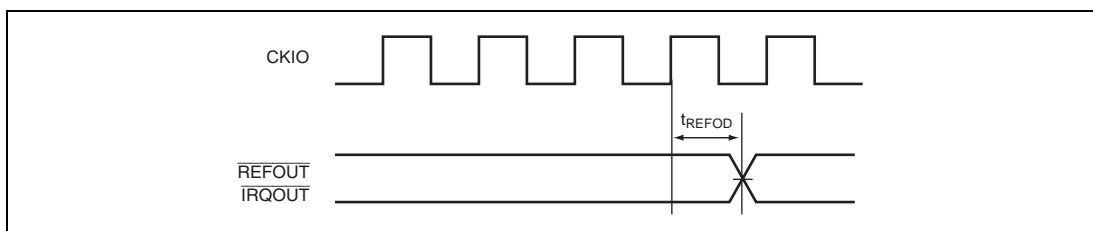


図 38.43 REFOUT、IRQOUT 遅延時間

## 38.4.8 周辺モジュール信号タイミング

表 38.10 周辺モジュール信号タイミング

条件 :  $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{ccQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

モジュール	項目	記号	Min.	Max.	単位	参照図
I/O ポート	出力データ遅延時間	$t_{PORTD}$	-	17	ns	38.44
	入力データセットアップ時間	$t_{PORTS}$	15	-		
	入力データホールド時間	$t_{PORTH}$	8	-		
DMAC	$\overline{DREQn}$ セットアップ時間	$t_{DREQS}$	6	-	ns	38.45
	$\overline{DREQn}$ ホールド時間	$t_{DREQH}$	4	-		
	$\overline{DACKn}$ 、 $\overline{TENDn}$ 遅延時間	$t_{DACD}$	-	13		38.46

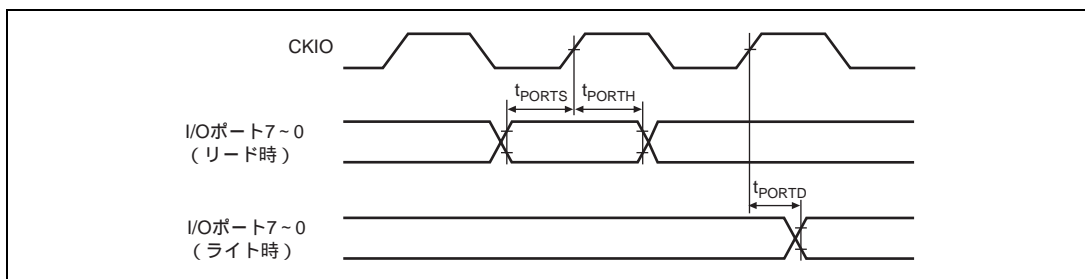


図 38.44 I/O ポートタイミング

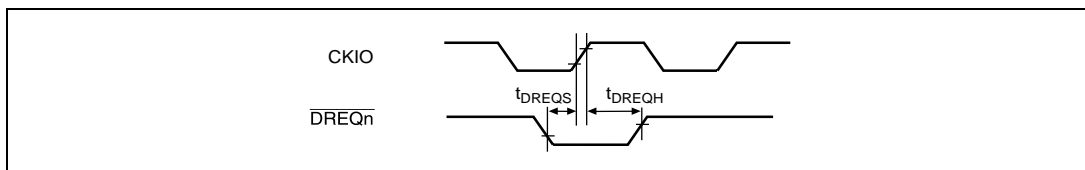


図 38.45 DREQ 入力タイミング (DREQ ローレベル検出)

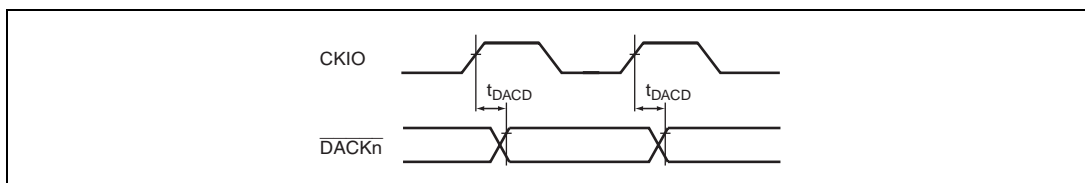


図 38.46 DACK 出力タイミング



## 38.4.9 16 ビットタイマパルスユニット (TPU)

表 38.11 16 ビットタイマパルスユニット

条件 :  $V_{CCQ} = 2.7 \sim 3.6V$ 、 $V_{CCQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	記号	Min	Max	単位	参照図
タイマ出力遅延時間	$t_{TOD}$		15	ns	38.47
タイマクロック入力セットアップ時間	$t_{TCKS}$	15		ns	38.48
タイマクロックパルス幅	単エッジ指定	$t_{TCKWH}^{\dagger}$ $t_{TCKWL}$	2	Pcyc*	38.48
	両エッジ指定	$t_{TCKWH}^{\dagger}$ $t_{TCKWL}$	3		

【注】 \* 周辺クロック(P)サイクルを示します。

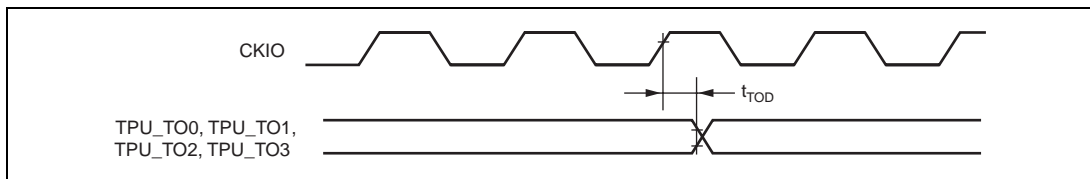


図 38.47 TPU 出力タイミング

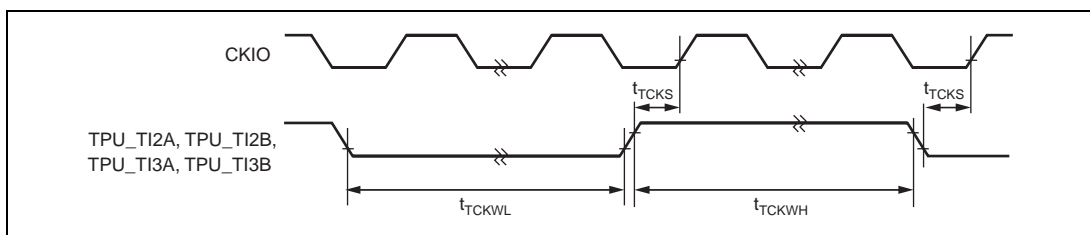


図 38.48 TPU クロック入力タイミング

## 38.4.10 RTC 信号タイミング

表 38.12 RTC 信号タイミング

条件 :  $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{ccQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

モジュール	項目	記号	Min	Max	単位	参照図
RTC	発振安定時間	$t_{ROSC}$	3	-	s	38.49

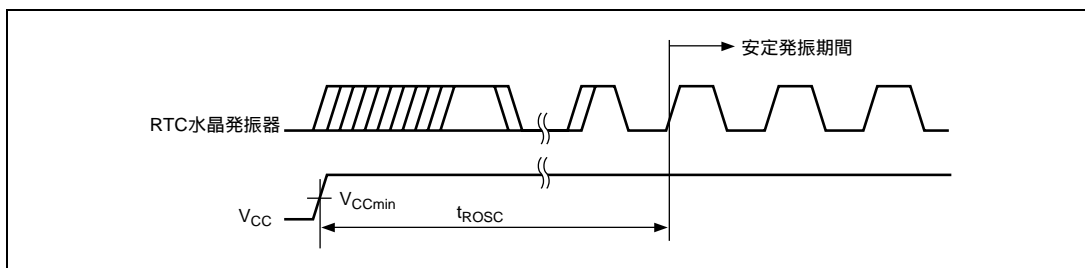


図 38.49 RTC 用水晶発振器パワーオン時発振安定時間

## 38.4.11 SCIF モジュール信号タイミング

表 38.13 SCIF モジュール信号タイミング

条件 :  $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{ccQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

モジュール	項目		記号	Min.	Max.	単位	参照図
SCIF	入力クロックサイクル	クロック同期	$t_{Soyc}$	12	-	$t_{Pcyc}$	38.50
		調歩同期		4	-		38.51
	入力クロック立ち上がり時間		$t_{SCKr}$	-	1.5	$t_{Soyc}$	38.50
	入力クロック立ち下がり時間		$t_{SCKf}$	-	1.5		
	入力クロックパルス幅		$t_{SCKW}$	0.4	0.6		
	転送データ遅延時間		$t_{TXD}$	-	$3t_{Pcyc}^* + 50$	ns	38.51
	受信データセットアップ時間 (クロック同期)		$t_{RXS}$	$2t_{Pcyc}^*$	-		
	受信データホールド時間 (クロック同期)		$t_{RXH}$	$2t_{Pcyc}^*$	-		
	RTS 遅延時間		$t_{RTSD}$	-	100		
	CTS セットアップ時間		$t_{CTSS}$	100	-		
CTS ホールド時間		$t_{CTSH}$	100	-			

【注】  $t_{Pcyc}$  は周辺クロック (P) の 1 サイクル時間を示します。

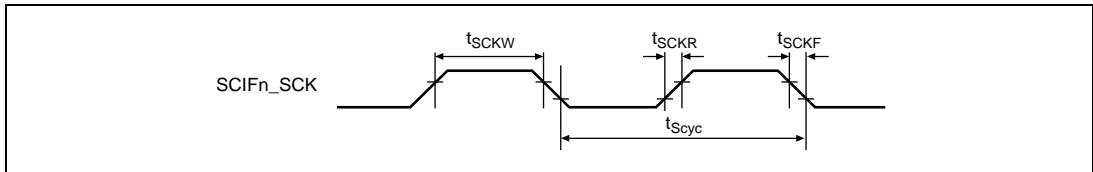


図 38.50 SCK 入力クロックタイミング

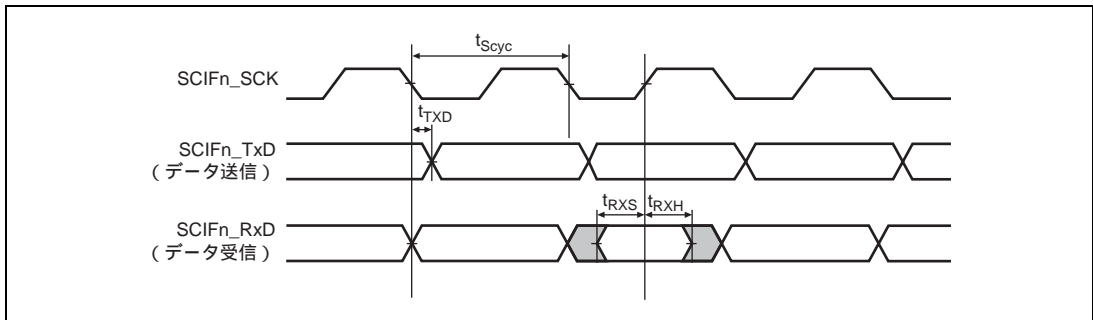
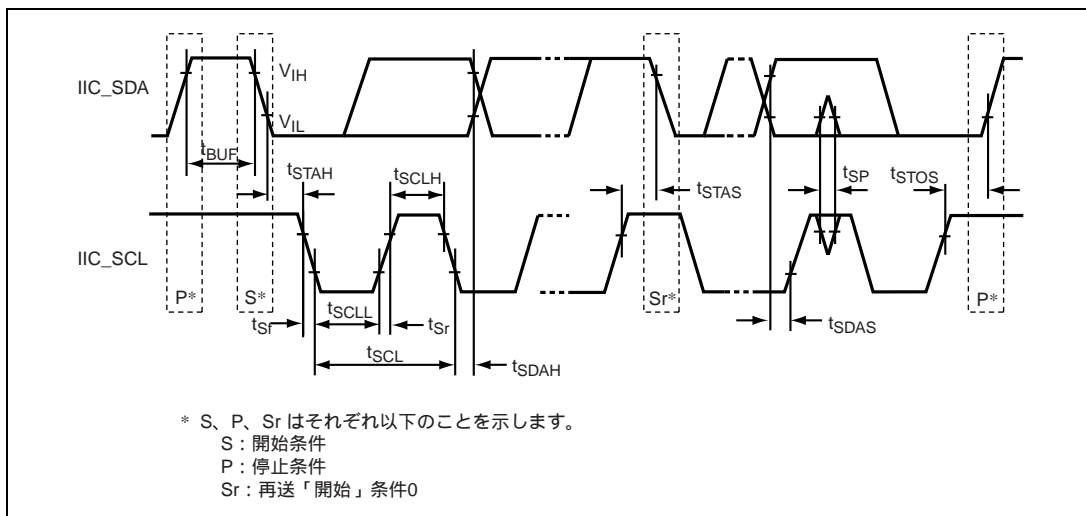


図 38.51 クロック同期式モード時の SCIF 入出力タイミング

38.4.12 I<sup>2</sup>C バスインタフェースタイミング表 38.14 I<sup>2</sup>C バスインタフェースタイミング条件 :  $V_{CCQ} = 2.7 \sim 3.6V$ 、 $V_{CCQ1} = 2.7 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	測定条件	規格値			単位	参照図
			Min	Typ	Max		
SCL 入力サイクル時間	tSCL		$12t_{pcyc} + 600$	-	-	ns	38.52
SCL 入力 High パルス幅	tSCLH		$3t_{pcyc} + 300$	-	-	ns	
SCL 入力 Low パルス幅	tSCLL		$5t_{pcyc} + 300$	-	-	ns	
SCL、SDA 入力立ち下がり時間	tSf		-	-	300	ns	
SCL、SDA 入力スパイクパルス除去時間	tSP		-	-	$1t_{pcyc}$	ns	
SDA 入力バスフリー時間	tBUF		$5t_{pcyc}$	-	-	ns	
開始条件入力ホールド時間	tSTAH		$3t_{pcyc}$	-	-	ns	
再送開始条件入力セットアップ時間	tSTAS		$3t_{pcyc}$	-	-	ns	
停止条件入力セットアップ時間	tSTOS		$3t_{pcyc}$	-	-	ns	
データ入力セットアップ時間	tSDAS		$1t_{pcyc} + 20$	-	-	ns	
データ入力ホールド時間	tSDAH		0	-	-	ns	
SCL、SDA の容量性負荷	Cb		0	-	400	pF	
SCL、SDA 出力立ち下り時間	tSf	$V_{CCQ} = 3.0V$	-	-	250	ns	
			-	-	300	ns	

【注】  $t_{pcyc}$  は周辺クロック (P) の 1 サイクル期間を示します。図 38.52 I<sup>2</sup>C バスインタフェース入出力タイミング

## 38.4.13 SIOF モジュール信号タイミング

表 38.15 SIOF モジュール信号タイミング

条件 :  $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{ccQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min.	Max.	単位	参照図
SIOF_MCLK クロック入力サイクル時間	$t_{MCLC}$	$t_{p\text{cyc}}^*$		ns	38.53
SIOF_MCLK 入力ハイレベル幅	$t_{MWH}$	$0.4 \times t_{MCLC}$		ns	38.53
SIOF_MCLK 入力ローレベル幅	$t_{MWL}$	$0.4 \times t_{MCLC}$		ns	38.53
SIOF_SCK クロックサイクル時間	$t_{SCLC}$	$t_{p\text{cyc}}^*$		ns	38.54 ~ 38.58
SIOF_SCK 出力ハイレベル幅	$t_{SWHO}$	$0.4 \times t_{SCLC}$		ns	38.54 ~ 38.57
SIOF_SCK 出力ローレベル幅	$t_{SWLO}$	$0.4 \times t_{SCLC}$		ns	38.54 ~ 38.57
SIOF_SYNC 出力遅延時間	$t_{FSD}$		20	ns	38.54 ~ 38.57
SIOF_SCK 入力ハイレベル幅	$t_{SWHI}$	$0.4 \times t_{SCLC}$		ns	38.58
SIOF_SCK 入力ローレベル幅	$t_{SWLI}$	$0.4 \times t_{SCLC}$		ns	38.58
SIOF_SYNC 入力セットアップ時間	$t_{FSS}$	20		ns	38.58
SIOF_SYNC 入力ホールド時間	$t_{FSH}$	20		ns	38.58
SIOF_TXD 出力遅延時間	$t_{STDD}$		20	ns	38.54 ~ 38.58
SIOF_RXD 入力セットアップ時間	$t_{SRDS}$	20		ns	38.54 ~ 38.58
SIOF_RXD 入力ホールド時間	$t_{SRDH}$	20		ns	38.54 ~ 38.58

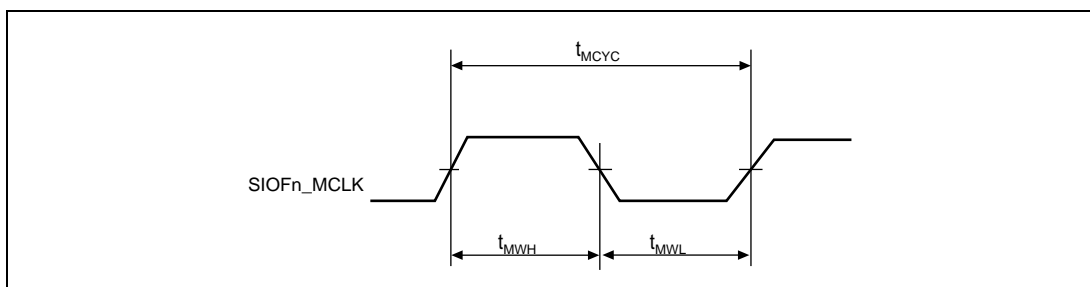
【注】 \*  $t_{p\text{cyc}}$  は周辺クロック (P) の 1 サイクル時間を示します。

図 38.53 SIOF\_MCLK 入力タイミング

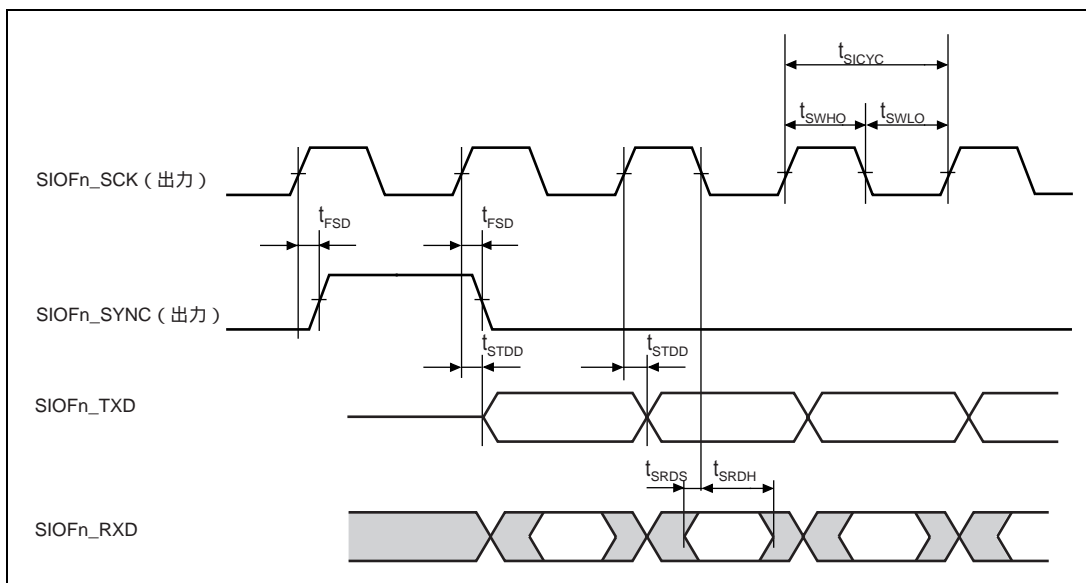


図 38.54 SIOF 送受信タイミング (マスタモード 1・立ち下がりサンプリング時)

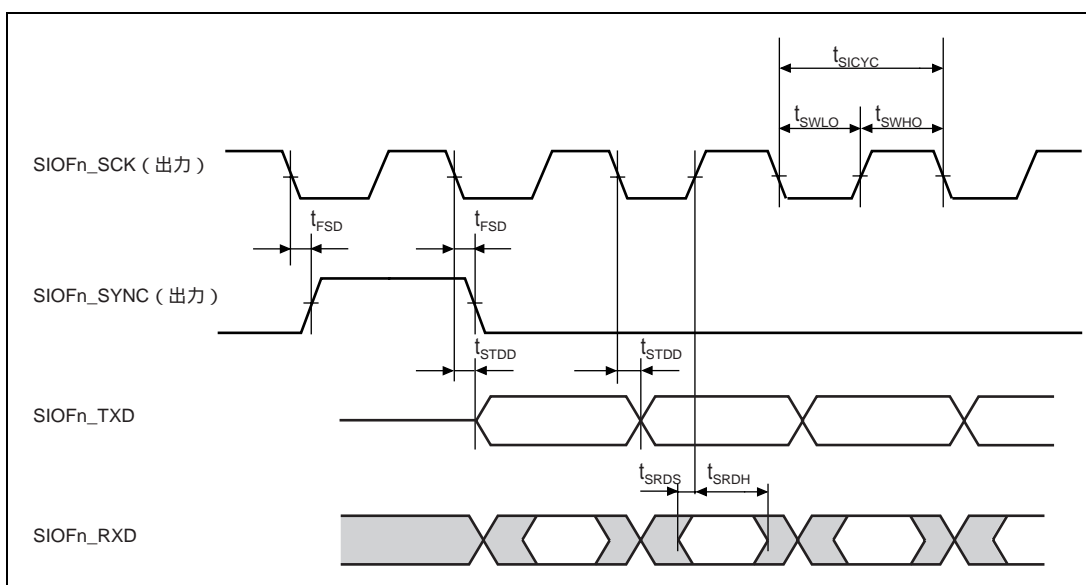


図 38.55 SIOF 送受信タイミング (マスタモード 1・立ち上がりサンプリング時)

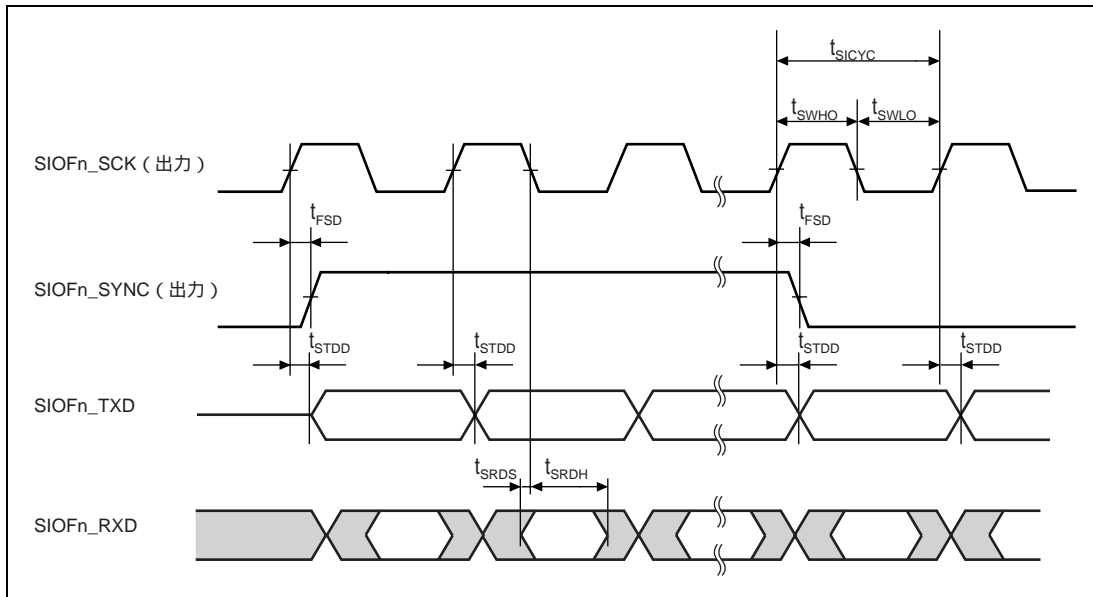


図 38.56 SIOF 送受信タイミング (マスタモード 2・立ち下がりサンプリング時)

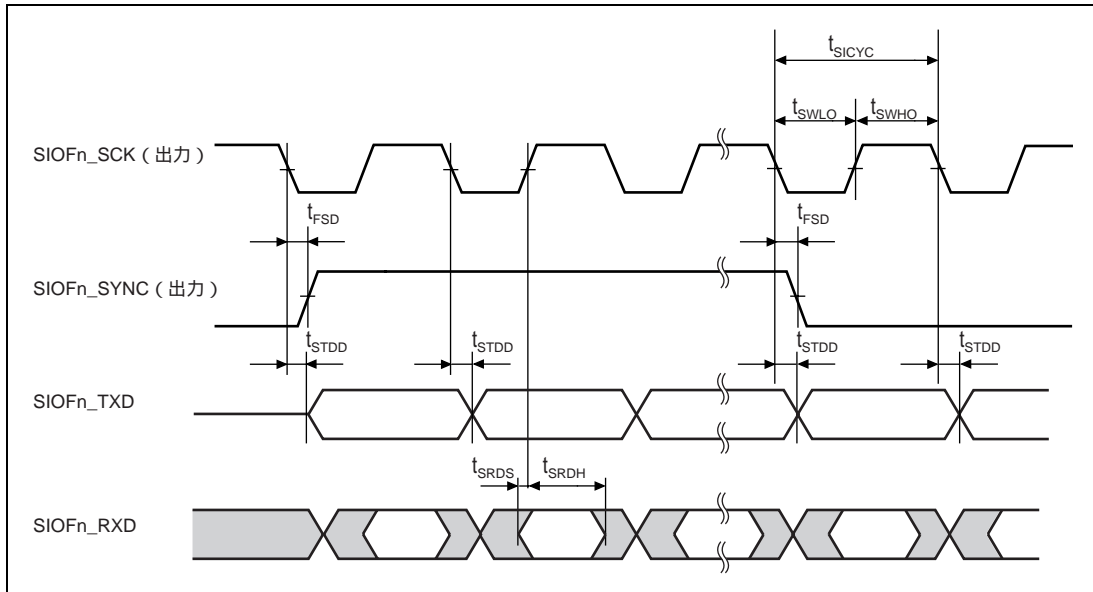


図 38.57 SIOF 送受信タイミング (マスタモード 2・立ち上がりサンプリング時)

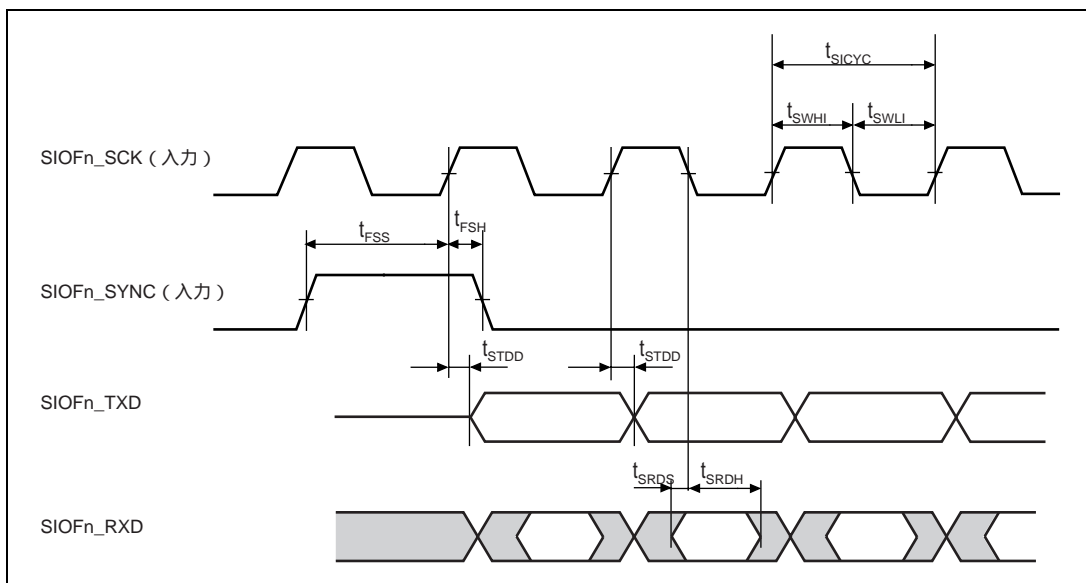


図 38.58 SIOF 送受信タイミング (スレープモード 1・スレープモード 2 時)



## 38.4.14 AFEIF モジュール信号タイミング

表 38.16 AFEIF モジュール信号タイミング

条件 :  $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{ccQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min	Max	単位
AFE_SCLK クロック入力サイクル時間	$t_{AScyc}$	$8 \times t_{Pcyc}$	-	ns
AFE_SCLK 入力 High レベル幅	$t_{ASWH}$	$0.4 \times t_{AScyc}$	-	ns
AFE_SCLK 入力 Low レベル幅	$t_{ASWL}$	$0.4 \times t_{AScyc}$	-	ns
AFE_FS 入力時間	$t_{AFSD}$	0	50	ns
AFE_TXOUT 出力遅延時間	$t_{ATDD}$	-	$t_{Pcyc} + 20$	ns
AFE_RXIN 入力セットアップ時間	$t_{ARDS}$	20	-	ns
AFE_RXIN 入力ホールド時間	$t_{ARDH}$	$2 \times t_{Pcyc} + 20$	-	ns
AFE_HC1 出力遅延時間	$t_{AHCD}$	-	$3 \times t_{Pcyc} + 20$	ns
AFE_RLYC 出力遅延時間	$t_{ARLYD}$	-	$t_{Pcyc} + 20$	ns

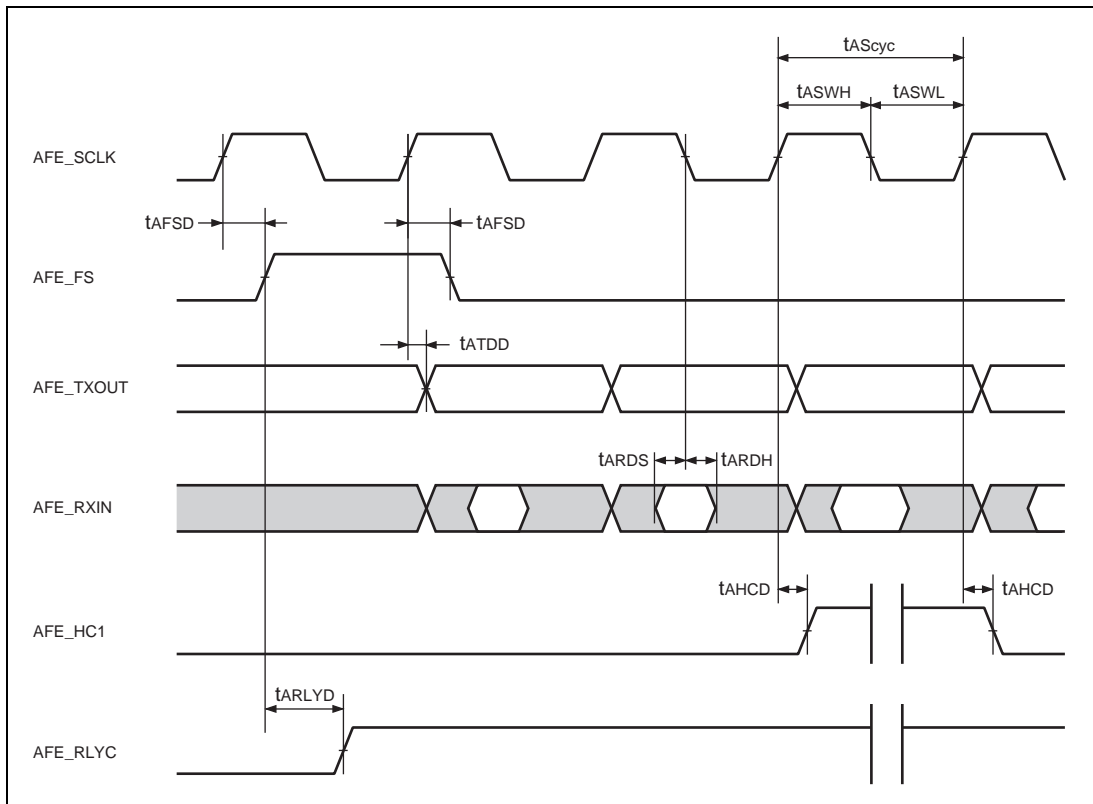
【注】  $t_{Pcyc}$  は周辺クロック (P ) のサイクル時間 (ns)

図 38.59 AFEIF モジュール AC タイミング

## 38.4.15 USB モジュール信号タイミング

表 38.17 USB モジュールクロックタイミング

条件 :  $V_{CCQ} = 2.7 \sim 3.6V$ 、 $V_{CCQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $AV_{CC-USB} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min	Max	単位	参照図
EXTAL_USB クロック周波数 (48MHz)	USBF 使用時	47.9	48.1	MHz	38.60
	USBH 使用時	47.976	48.024		
クロック立ち上がり時間	$t_{R48}$	-	6	ns	
クロック立ち下がり時間	$t_{F48}$	-	6	ns	

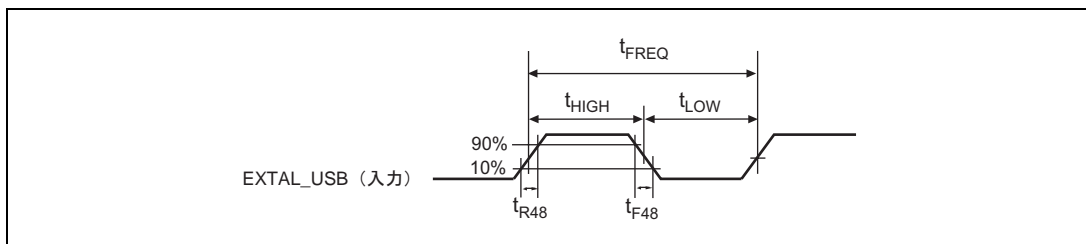


図 38.60 USB クロックタイミング

表 38.18 USB 電気的特性 (フルスピード)

項目	記号	Min	Max	単位	状態*1
遷移時間 (立ち上がり)*2	$t_r$	4	20	ns	CL=50pF
遷移時間 (立ち下がり)*2	$t_f$	4	20	ns	CL=50pF
立ち上がり / 立ち下がり時間マッチング	$t_{RFM}$	85	111	%	(TR/TF)
出力信号クロスオーバー電圧	$V_{CRS}$	1.3	2.0	V	-

【注】 エッジ制御用の  $C_{EDGE} = 47pF$ 、直接抵抗  $R_s = 27$  が接続された状態で測定しています。

\*1 規定されていない限り、CL=50pF の条件での値です。

\*2 信号電圧の 10% ~ 90% 内での値です。

表 38.19 USB 電気的特性 (ロースピード)

項目	記号	Min	Max	単位	状態
遷移時間 (立ち上がり)*	$t_r$	75	-	ns	CL=200pF
		-	300	ns	CL=600pF
遷移時間 (立ち下がり)*	$t_f$	75	-	ns	CL=200pF
		-	300	ns	CL=600pF
立ち上がり / 立ち下がり時間マッチング	$t_{RFM}$	80	125	%	(TR/TF)
出力信号クロスオーバー電圧	$V_{CRS}$	1.3	2.0	V	-

【注】 エッジ制御用の  $C_{EDGE} = 47pF$ 、直列抵抗  $R_s = 27$  が接続された状態で測定しています。

\* 信号電圧の 10% ~ 90% 内での値です。

## 38.4.16 LCDC モジュール信号タイミング

表 38.20 LCDC モジュール信号タイミング

条件 :  $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{ccQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min.	Max.	単位	参照図
LCD_CLK 入力クロック周波数	$t_{FREQ}$	-	66	MHz	38.61
LCD_CLK 入力クロック立ち上がり時間	$t_r$	-	3	ns	
LCD_CLK 入力クロック立ち下がり時間	$t_f$	-	3	ns	
LCD_CLK 入力クロックデューティ	$t_{DUTY}$	90	110	%	
クロック (LCD_CL2) サイクル時間	$t_{CC}$	25	-	ns	
クロック (LCD_CL2) High レベルパルス幅	$t_{CHW}$	7	-	ns	
クロック (LCD_CL2) Low レベルパルス幅	$t_{CLW}$	7	-	ns	
クロック (LCD_CL2) 遷移時間 (立ち上がり / 立ち下がり)	$t_{CT}$	-	3	ns	
データ (LCD_DATA) 遅延時間	$t_{DDdo}$	-3.5	3	ns	
表示許可 (LCD_M_DISP) 遅延時間	$t_{DDdo}$	-3.5	3	ns	
水平同期信号 (LCD_CL1) 遅延時間	$t_{HDdo}$	-3.5	3	ns	
垂直同期信号 (LCD_FLM) 遅延時間	$t_{VDdo}$	-3.5	3	ns	

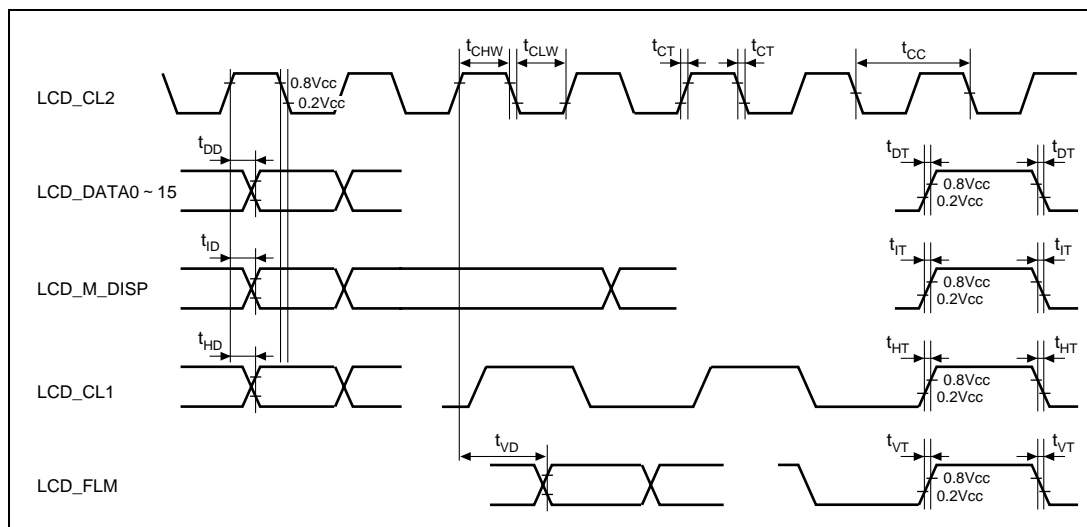


図 38.61 LCDC モジュール信号タイミング

## 38.4.17 SIM モジュール信号タイミング

表 38.21 SIM モジュール信号タイミング

条件 :  $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{ccQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min.	Max.	単位	参照図
SIM_CLK クロックサイクル	$t_{SMCYC}$	$2 \times t_{p\text{cyc}}$	$16 \times t_{p\text{cyc}}$	ns	38.62
SIM_CLK クロックハイレベル幅	$t_{SMCWH}$	$0.4 \times t_{SMCYC}$	-	ns	
SIM_CLK クロックローレベル幅	$t_{SMCWL}$	$0.4 \times t_{SMCYC}$	-	ns	
SIM_RST リセット出力遅延	$t_{SMRD}$	0	20	ns	

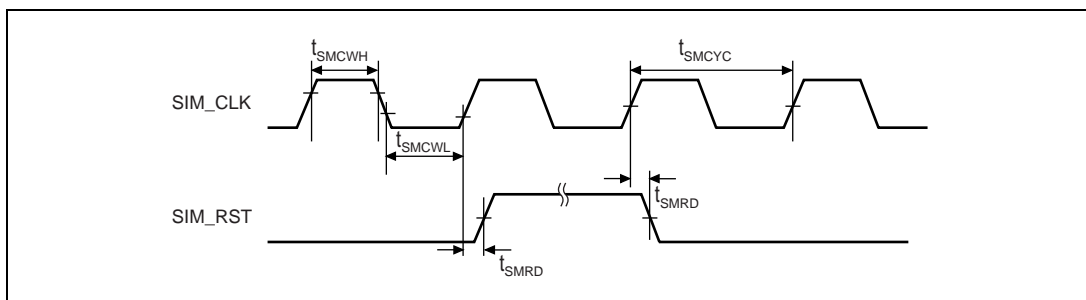
【注】  $t_{p\text{cyc}}$  は周辺クロック (P ) の 1 サイクル時間を示します。

図 38.62 SIM モジュール信号タイミング

## 38.4.18 MMCIF モジュール信号タイミング

表 38.22 MMCIF モジュール信号タイミング

条件 :  $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{ccQ1} = 2.7 \sim 3.6V$  または  $1.65 \sim 1.95V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min	Max	単位	参照図
MMC_CLK クロックサイクル	$t_{MMCYC}$	60	-	ns	38.63、38.64
MMC_CLK クロックハイレベル幅	$t_{MMWH}$	$0.4 \times t_{MMCYC}$	-	ns	
MMC_CLK クロックローレベル幅	$t_{MMWL}$	$0.4 \times t_{MMCYC}$	-	ns	
MMC_CMD 出力データ遅延	$t_{MMCD}$	-	10	ns	
MMC_CMD 入力データホールド	$t_{MMRCS}$	10	-	ns	
MMC_CMD 入力データセットアップ	$t_{MMRCH}$	10	-	ns	
MMC_DAT 出力データ遅延	$t_{MMTDD}$	-	10	ns	
MMC_DAT 入力データセットアップ	$t_{MMRDS}$	10	-	ns	
MMC_DAT 入力データホールド	$t_{MMRDH}$	10	-	ns	

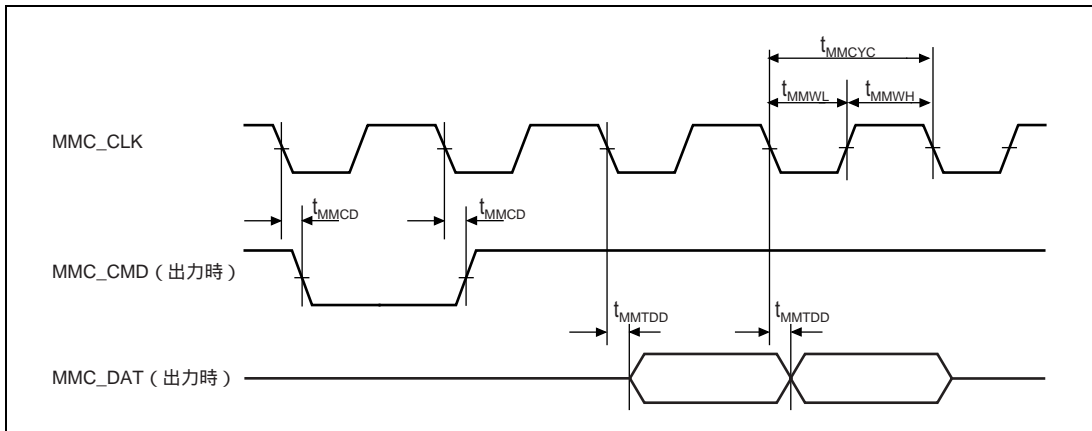


図 38.63 MMCIF 送信タイミング

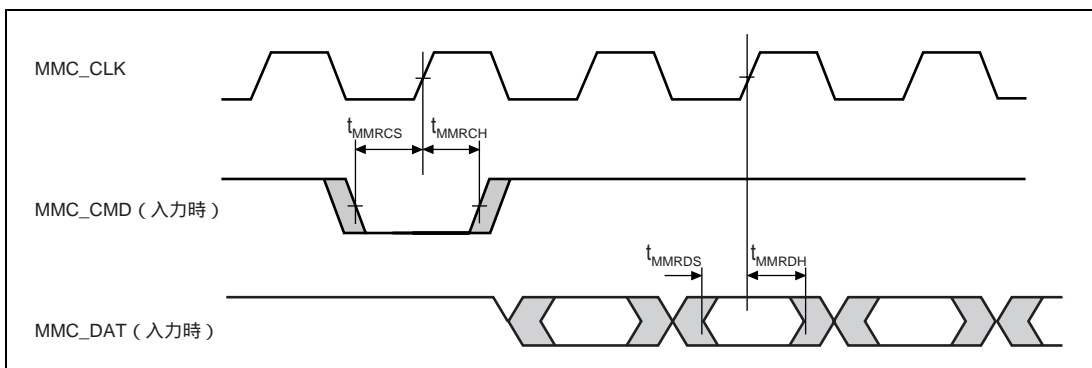


図 38.64 MMCIF 受信タイミング (立ち上がりサンプリング)

## 38.4.19 H-UDI 関連端子のタイミング

表 38.23 H-UDI 関連端子のタイミング

条件：  $V_{ccQ} = V_{ccQ\_RTC} = 2.7 \sim 3.6V$ 、 $V_{ccQ1} = 2.7 \sim 3.6V$  または、 $1.65 \sim 1.95V$ 、 $V_{cc} = V_{cc\_PLL1} = V_{cc\_PLL2} = V_{cc\_RTC} = 1.4 \sim 1.6V$ 、 $AV_{cc} = AV_{cc\_USB} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 

項目	記号	Min	Max	単位	参照図
TCK サイクル時間	$t_{TCKcyc}$	50	-	ns	38.65
TCK ハイレベルパルス幅	$t_{TCKH}$	12	-	ns	
TCK ローレベルパルス幅	$t_{TCKL}$	12	-	ns	
TCK 立ち上がり / 立ち下がり時間	$t_{TCKf}$	-	4	ns	38.66
TRST セットアップ時間	$t_{TRSTS}$	12	-	ns	
TRST ホールド時間	$t_{TRSTH}$	50	-	$t_{cyc}$	38.67
TDI セットアップ時間	$t_{TDS}$	10	-	ns	
TDI ホールド時間	$t_{TDIH}$	10	-	ns	
TMS セットアップ時間	$t_{TMS}$	10	-	ns	
TMS ホールド時間	$t_{TMSH}$	10	-	ns	
TDO 遅延時間	$t_{TDOD}$	-	16	ns	
ASEMD0 セットアップ時間	$t_{ASEMD0S}$	12	-	ns	38.68
ASEMD0 ホールド時間	$t_{ASEMD0H}$	12	-	ns	

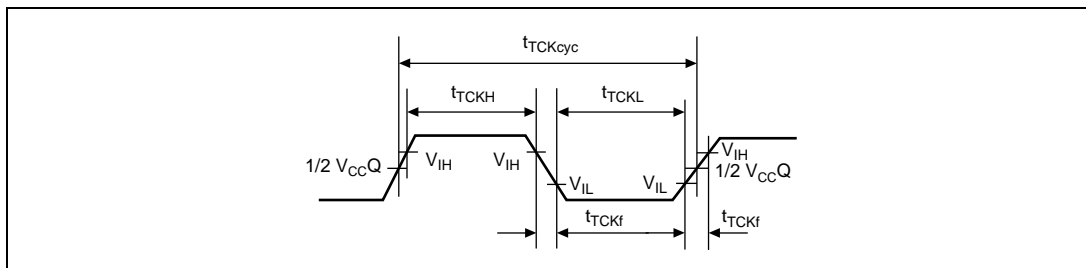


図 38.65 TCK 入力タイミング

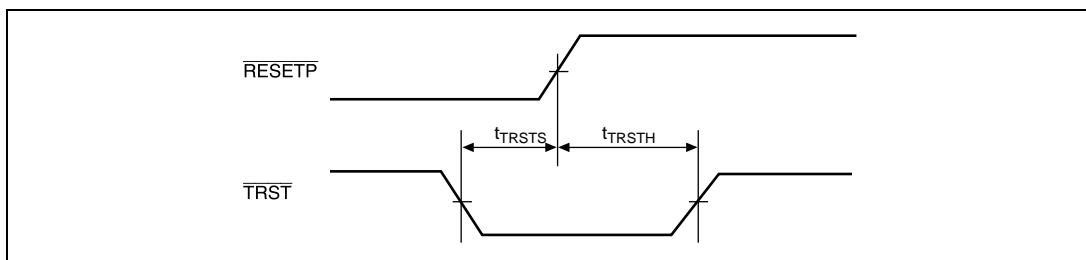


図 38.66 TRST 入力タイミング (リセットホールド時)

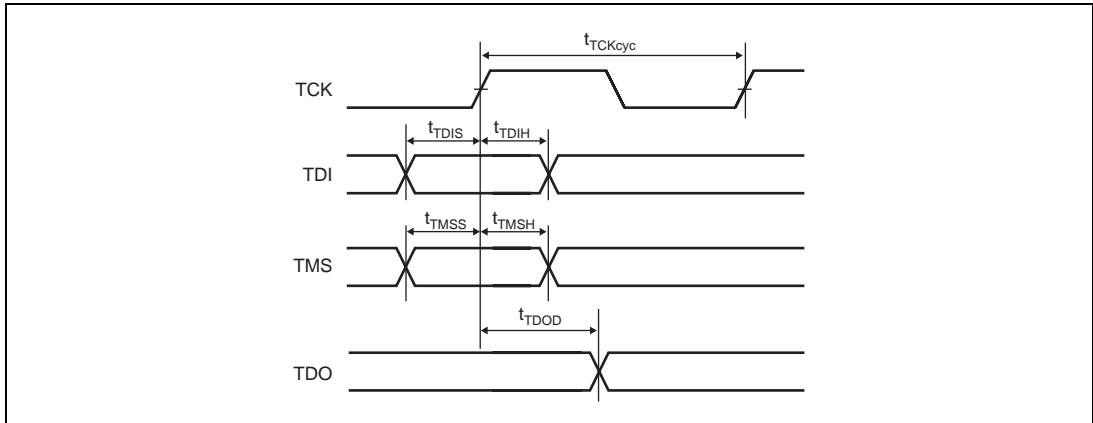


図 38.67 H-UDI データ転送タイミング

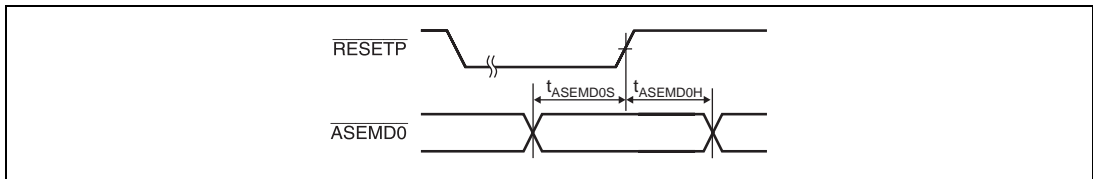


図 38.68 ASEMD0 入力タイミング

### 38.5 A/D 変換器特性

A/D 変換器特性を表 38.24 に示します。

表 38.24 A/D 変換器特性

条件 :  $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	Min	Typ	Max	単位
分解能	10	10	10	bits
変換時間	15	-	-	$\mu s$
アナログ入力容量	-	-	20	pF
許容信号源(単一ソース)インピーダンス	-	-	5	k
非線形誤差	-	-	$\pm 3.0$	LSB
オフセット誤差	-	-	$\pm 2.0$	LSB
フルスケール誤差	-	-	$\pm 2.0$	LSB
量子化誤差	-	-	$\pm 0.5$	LSB
絶対精度	-	-	$\pm 4.0$	LSB

### 38.6 D/A 変換器特性

D/A 変換器特性を表 38.25 に示します。

表 38.25 D/A 変換器特性

条件 :  $V_{ccQ} = 2.7 \sim 3.6V$ 、 $V_{cc} = 1.4 \sim 1.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	Min	Typ	Max	単位	テスト条件
分解能	8	8	8	bits	
変換時間	-	-	10.0	$\mu s$	20pF 容量負荷
絶対精度	-	$\pm 2.5$	$\pm 4.0$	LSB	2M 抵抗負荷



### 38.7 AC 特性測定条件

入出力信号参照レベル： $\frac{V_{cc}Q}{2}$ 、 $\frac{V_{cc}Q1}{2}$  ( $V_{cc}Q = 2.7 \sim 3.6V$ 、 $V_{cc}Q1 = 2.7 \sim 3.6V$   
または $1.65 \sim 1.95V$ 、 $V_{cc} = 1.4 \sim 1.6V$ )

入力パルスレベル： $V_{cc}Q - V_{ss}Q$ 、 $V_{cc}Q1 - V_{ss}Q1$

入力立ち上がり、立ち下がり時間：1ns

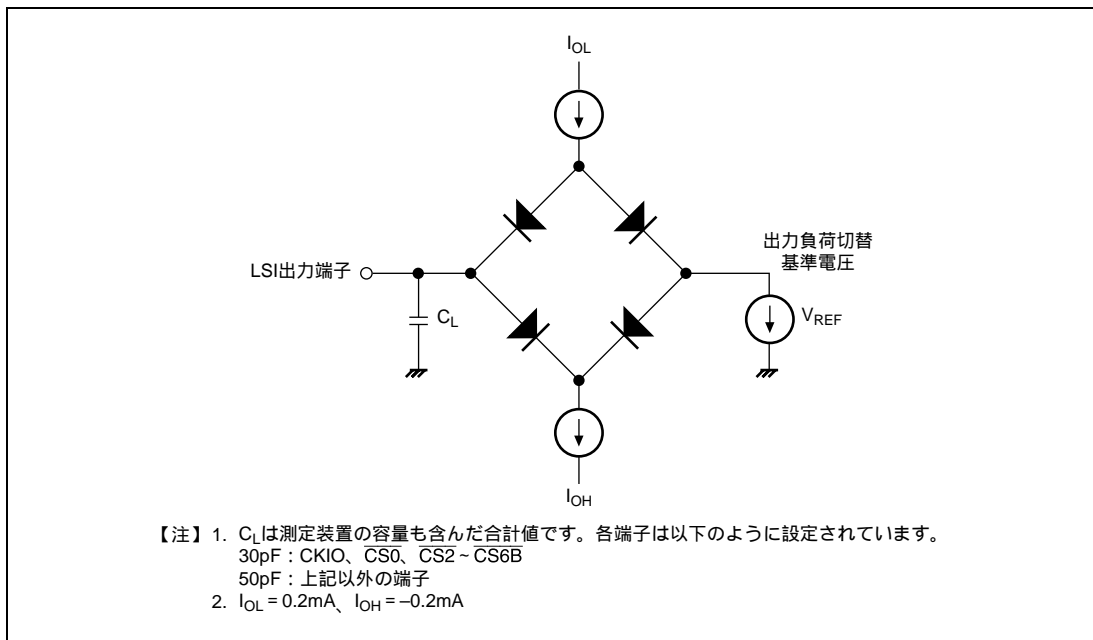


図 38.69 出力負荷回路



# 付録

## A. 端子状態

表 A.1 端子状態表

分類		端子名	パワー オン リセット	マニュアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用端子 の処理
PLBG02 56GA-A	PLBG02 56KA-A								
A1	A2	VssQ	-	-	-	-	-	-	
A2	D5	VccQ	-	-	-	-	-	-	
A3	D6	STATUS1/PTH3	H	H/P	L/K	L/Z	L/P	O/I/O	オープン
A4	D7	LCD_DATA13/PINT13/PTD5	V	O/I/P	O/I/P	Z/Z/Z	O/I/P	O/I/O	オープン
A5	E6	VssQ	-	-	-	-	-	-	
A6	D8	VccQ	-	-	-	-	-	-	
A7	E8	LCD_DATA5/PTC5	V	O/P	O/K	Z/Z	O/P	O/I/O	オープン
A8	E9	LCD_DATA1/PTC1	V	O/P	O/K	Z/Z	O/P	O/I/O	オープン
A9	D10	LCD_CL2/PTE2	V	O/P	O/K	Z/Z	O/P	O/I/O	オープン
A10	A11	VssQ	-	-	-	-	-	-	
A11	E12	VccQ	-	-	-	-	-	-	
A12	E13	LCD_CLK	I	I	I	Z	I	I	ブルアップ
A13	D12	VssQ	-	-	-	-	-	-	
A14	E15	VccQ	-	-	-	-	-	-	
A15	D13	USB1_pwr_en/ USBF_UPLUP/PTH0	Z	O/O/P	O/O/K	Z/Z/Z	O/O/P	O/O/I/O	ブルアップ
A16	A15	AVss	-	-	-	-	-	-	
A17	A16	AN0/PTF1	Z	Z/I	Z/Z	Z/Z	I/I	I/I	ブルアップ
A18	B18	AVcc_USB	-	-	-	-	-	-	
A19	D17	AVss_USB	-	-	-	-	-	-	
A20	B21	VssQ	-	-	-	-	-	-	
B1	E4	Vcc_PLL2	-	-	-	-	-	-	
B2	B1	MD2	I	i	i	Z	i	I	必ず使用する
B3	B2	XTAL	O	O	O	O	O	O	オープン
B4	A5	RESETM	I	I	I	I	I	I	ブルアップ
B5	A4	MD4	I	i	Z	Z	i	I	必ず使用する
B6	C1	LCD_DATA15/PINT15/PTD7	V	O/I/P	O/I/P	Z/Z/Z	O/I/P	O/I/O	オープン

分類		端子名	パワー オン リセット	マニュアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用端子 の処理
PLBG02 56GA-A	PLBG02 56KA-A								
B7	B3	LCD_DATA11/PTD3	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
B8	E7	LCD_DATA7/PTC7	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
B9	D9	LCD_DATA3/PTC3	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
B10	E10	LCD_FLM/PTE0	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
B11	D11	LCD_M_DISP/PTE4	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
B12	E14	SIOF0_MCLK/PTS3	V	I/P	Z/K	Z/Z	I/P	I/IO	オープン
B13	E16	USB2_pwr_en/PTH1	Z	O/P	O/K	Z/Z	O/P	O/IO	プルアップ
B14	B16	DA1/PTF6	Z	Z/I	Z/Z	Z/Z	O/I	O/I	オープン
B15	B17	AN2/PTF3	Z	Z/I	Z/Z	Z/Z	I/I	I/I	プルアップ
B16	A17	USB2_M	Z <sup>*2</sup>	L	Z	Z	I	IO	プルダウン
B17	A18	USB1_P	Z <sup>*1</sup>	Z <sup>*1</sup>	Z	Z	I	IO	オープン
B18	A21	USB1_M	Z <sup>*1</sup>	Z <sup>*1</sup>	Z	Z	I	IO	オープン
B19	A20	AVcc_USB	-	-	-	-	-	-	
B20	E20	VccQ	-	-	-	-	-	-	
C1	D2	Vcc_PLL1	-	-	-	-	-	-	
C2	A1	MD1	I	i	i	Z	i	I	必ず使用する
C3	B5	MD5	I	i	i	Z	i	I	必ず使用する
C4	A3	EXTAL	I	I	I	I	I	I	プルアップ
C5	B4	MD3	I	i	Z	Z	i	I	必ず使用する
C6	B7	LCD_DATA12/PINT12/PTD4	V	O/I/P	O/I/P	Z/Z/Z	O/I/P	O/I/IO	オープン
C7	B8	LCD_DATA9/PTD1	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
C8	B9	LCD_DATA6/PTC6	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
C9	B10	LCD_DATA2/PTC2	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
C10	B11	LCD_DON/PTE1	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
C11	A12	SIOF0_SYNC/PTS4	V	O/P	Z/K	Z/Z	IO/P	IO/IO	オープン
C12	A13	SIOF0_TxD/PTS2	V	O/P	Z/K	Z/Z	O/P	O/IO	オープン
C13	A14	SIOF0_SCK/PTS0	V	O/P	Z/K	Z/Z	IO/P	IO/IO	オープン
C14	E17	ADTRG/PTF0	V	I/P	Z/K	Z/Z	I/P	I/I	オープン
C15	D18	AN3/PTF4	Z	Z/I	Z/Z	Z/Z	I/I	I/I	プルアップ
C16	D16	USB2_P	Z <sup>*2</sup>	L	Z	Z	I	IO	プルダウン
C17	B19	AVcc	-	-	-	-	-	-	
C18	E18	USB1d_TXDPLS/AFE_SCLK/ IOIS16/PCC_IOIS16/PTG4	Z	O/I/I/P	O/Z/Z/Z/K	Z/Z/Z/Z/Z	O/M/I/P	O/M/I/IO	プルアップ
C19	B20	USB1_ovr_current/ USBF_VBUS	I	I/I	I/I	I/I	I/I	I/I	プルダウン

分類		端子名	パワー オン リセット	マニュアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用端子 の処理
PLBG02 56GA-A	PLBG02 56KA-A								
C20	E21	EXTAL_USB	I	I	I	I	I	I	ブルアップ
D1	F1	VssQ1	-	-	-	-	-	-	
D2	D1	MD0	I	i	I	Z	i	I	必ず使用する
D3	C2	D31/PTB7	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ
D4	B6	STATUS0/PTH2	H	H/P	H/K	H/Z	L/P	O/IO	オープン
D5	A6	LCD_DATA14/PINT14/PTD6	V	O/I/P	O/I/P	Z/Z/Z	O/I/P	O/I/IO	オープン
D6	A7	LCD_DATA10/PTD2	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
D7	A8	LCD_DATA8/PTD0	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
D8	A9	LCD_DATA4/PTC4	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
D9	A10	LCD_DATA0/PTC0	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
D10	E11	LCD_CL1/PTE3	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
D11	B12	Vss	-	-	-	-	-	-	
D12	B13	Vcc	-	-	-	-	-	-	
D13	B14	SIOF0_RxD/PTS1	V	I/P	Z/K	Z/Z	I/P	I/IO	オープン
D14	B15	USB2_ovr_current	I	I	I	I	I	I	ブルアップ
D15	D14	DA0/PTF5	Z	Z/I	Z/Z	Z/Z	O/I	O/I	オープン
D16	D15	AN1/PTF2	Z	Z/I	Z/Z	Z/Z	I/I	I/I	ブルアップ
D17	A19	USB1d_DMNS/ PINT11/ AFE_RLYCNT/PCC_BVD2/ PTG3	Z	I/O/I/P	I/O/Z/P	Z/Z/Z/Z	I/O/I/P	I/O/I/O	ブルアップ
D18	C21	USB1d_SUSPEND/ REFOUT/IRQOUT/PTP4	Z	O/O/O/P	O/Z/Z/K	Z/Z/Z/Z	O/O/O/P	O/O/O/IO	ブルアップ
D19	F18	XTAL_USB	O	O	O	O	O	O	オープン
D20	F21	USB1d_TXENL/PCC_CD1/ PINT8/PTG0	Z	O/I/P	O/Z/I/P	Z/Z/Z/Z	O/I/P	O/I/IO	ブルアップ
E1	G1	VccQ1	-	-	-	-	-	-	
E2	E1	Vss_PLL2	-	-	-	-	-	-	
E3	F4	Vss_PLL1	-	-	-	-	-	-	
E4	G4	D30/PTB6	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ
E17	G18	USB1d_SPEED/PCC_CD2/ PINT9/PTG1	Z	O/I/P	O/Z/I/P	Z/Z/Z/Z	O/I/P	O/I/IO	ブルアップ
E18	D20	USB1d_RCV/AFE_FS/ PCC_REG/IRQ5/PTG6	Z	I/O/I/P	I/Z/O/I/K	Z/Z/Z/Z	I/O/I/P	I/O/I/O	ブルアップ
E19	D21	USB1d_TXSE0/AFE_TXOUT/ PCC_DRV/IRQ4/PTG5	Z	O/O/O/P	O/Z/O/I/K	Z/Z/Z/Z	O/O/O/P	O/O/O/IO	ブルアップ
E20	G21	VssQ	-	-	-	-	-	-	

分類		端子名	パワー オン リセット	マニュアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用端子 の処理
PLBG02 56GA-A	PLBG02 56KA-A								
F1	G2	D24/PTB0	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ
F2	E2	D29/PTB5	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ
F3	D4	D28/PTB4	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ
F4	H4	D27/PTB3	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ
F17	F17	MMC_VDDON/SCIF1_CTS/ LCD_VEPWC/TPU_TO3/ PTV4	O	O/I/O/O/P	Z/Z/O/O/K	Z/Z/Z/Z/Z	O/I/O/O/P	O/I/O/O/IO	オープン
F18	C20	AFE_RDET/IIC_SDA/PTE5	I	I/I	I/I	I/I	I/O/I	I/O/I	ブルアップ
F19	F20	USB1d_DPLS/PINT10/ AFE_HC1/PCC_BVD1/PTG2	Z	I/I/O/I/P	I/I/Z/Z/P	Z/Z/Z/Z/Z	I/I/O/I/P	I/I/O/I/IO	ブルアップ
F20	H20	VccQ	-	-	-	-	-	-	
G1	H2	VssQ1	-	-	-	-	-	-	
G2	F2	D26/PTB2	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ
G3	E5	D25/PTB1	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ
G4	J4	Vcc	-	-	-	-	-	-	
G17	G17	Vss	-	-	-	-	-	-	
G18	H18	MMC_ODMOD/SCIF1_RTS/ LCD_VCPWC/TPU_TO2/ PTV3	O	O/O/O/O/P	Z/Z/O/O/K	Z/Z/Z/Z/Z	O/O/O/O/P	O/O/O/O/IO	オープン
G19	G20	AFE_RXIN/IIC_SCL/PTE6	I	I/I	I/I	I/I	I/O/I	I/O/I	ブルアップ
G20	J20	SIM_CLK/SCIF1_SCK/ SD_DAT3/PTV0	Z	O/Z/I/P	Z/Z/Z/K	Z/Z/Z/Z	O/I/O/P	O/IO/IO/IO	ブルアップ
H1	J1	VccQ1	-	-	-	-	-	-	
H2	H1	D23/PTA7	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ
H3	F5	D22/PTA6	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ
H4	G5	Vss	-	-	-	-	-	-	
H17	J18	Vcc	-	-	-	-	-	-	
H18	H17	SIM_RST/SCIF1_RxD/ SD_WP/PTV1	Z	O/Z/I/P	Z/Z/Z/K	Z/Z/Z/Z	O/I/I/P	O/I/I/IO	ブルアップ
H19	H21	SIM_D/SCIF1_TxD/SD_CD/ PTV2	Z	I/Z/I/P	Z/Z/I/K	Z/Z/Z/Z	IO/O/I/P	IO/O/I/IO	ブルアップ
H20	K20	MMC_DAT/SIOF1_TxD/ SD_DAT0/TPU_T13A/PTU2	Z	I/O/I/I/P	Z/Z/Z/Z/K	Z/Z/Z/Z/Z	IO/O/IO/I/P	IO/O/IO/I/ IO	ブルアップ
J1	K1	VssQ1	-	-	-	-	-	-	
J2	J2	D20/PTA4	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	ブルアップ

分類		端子名	パワー オン リセット	マニュアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用端子 の処理
PLBG02 56GA-A	PLBG02 56KA-A								
J3	K4	D21/PTA5	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	プルアップ
J4	H5	D19/PTA3	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	プルアップ
J17	K17	MMC_CMD/SIOF1_RxD/ SD_CMD/TPU_Ti2B/PTU1	Z	I/I/I/P	Z/Z/Z/Z/K	Z/Z/Z/Z/Z	IO/I/O/ I/P	IO/I/O/ I/O	プルアップ
J18	J17	SIOF1_MCLK/SD_DAT1/ TPU_Ti3B/PTU3	Z	I/I/I/P	Z/Z/Z/K	Z/Z/Z/Z	I/O/I/P	I/O/I/O	プルアップ
J19	J21	SIOF1_SYNC/SD_DAT2/ PTU4	Z	O/I/P	Z/Z/K	Z/Z/Z	IO/IO/P	IO/IO/IO	プルアップ
J20	L17	SCIF0_RT $\bar{S}$ /TPU_TO0/PTT3	V	O/O/P	Z/Z/K	Z/Z/Z	O/O/P	O/O/IO	オープン
K1	L1	VccQ1	-	-	-	-	-	-	
K2	K2	D17/PTA1	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	プルアップ
K3	J5	D18/PTA2	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	プルアップ
K4	L4	D16/PTA0	Z	Z/P	Z/K	Z/Z	Z/P	IO/IO	プルアップ
K17	L20	SCIF0_TxD/IrTX/PTT2	V	Z/Z/P	Z/Z/K	Z/Z/Z	O/O/P	O/O/IO	オープン
K18	K18	SCIF0_CTS/TPU_TO1/PTT4	V	I/O/P	Z/Z/K	Z/Z/Z	I/O/P	I/O/IO	オープン
K19	K21	MMC_CLK/SIOF1_SCK/ SD_CLK/TPU_Ti2A/PTU0	Z	O/O/O/ I/P	O/Z/Z/ Z/K	Z/Z/Z/Z/Z	O/IO/O/I/P	O/IO/O/I/ IO	プルアップ
K20	M17	VssQ	-	-	-	-	-	-	
L1	K5	CKIO	IO	ZIO	ZIO	Z	ZIO	IO	オープン
L2	M1	WE2/DQMUL/ICiORD	H	H/H/H	HZ/HZ/HZ	Z/Z/Z	Z/Z/Z	O/O/O	オープン
L3	M4	WE3/DQMUU/ICiOWR	H	H/H/H	HZ/HZ/HZ	Z/Z/Z	Z/Z/Z	O/O/O	オープン
L4	L5	RD/ $\bar{W}R$	H	H	HZ	Z	Z	O	オープン
L17	L21	SCIF0_RxD/IrRX/PTT1	V	Z/Z/P	Z/Z/K	Z/Z/Z	I/I/P	I/I/O	オープン
L18	M20	IRQ3/IrL3/PTP3	V	I/I/P	I/I/K	Z/Z/Z	I/I/P	I/I/O	オープン
L19	N17	SCIF0_SCK/PTT0	V	Z/P	Z/K	Z/Z	I/P	IO/IO	オープン
L20	L18	VccQ	-	-	-	-	-	-	
M1	L2	$\bar{C}AS$ /PTH5	H	H/P	HZ/K	Z/Z	HZ/P	O/IO	オープン
M2	N1	$\bar{W}E0$ /DQMLL	H	H/H	HZ/HZ	Z/Z	Z/Z	O/O	オープン
M3	N5	$\bar{W}E1$ /DQMLU/ $\bar{W}E$	H	H/H/H	HZ/HZ/HZ	Z/Z/Z	Z/Z/Z	O/O/O	オープン
M4	M5	CKE/PTH4	Z	O/P	HZ/K	Z/Z	OZ/P	O/IO	オープン
M17	M21	IRQ1/IrL1/PTP1	V	I/I/P	I/I/K	Z/Z/Z	I/I/P	I/I/O	オープン
M18	N20	NMI	I	I	I	I	I	I	プルアップ
M19	M18	IRQ0/IrL0/PTP0	V	I/I/P	I/I/K	Z/Z/Z	I/I/P	I/I/O	オープン
M20	P17	IRQ2/IrL2/PTP2	V	I/I/P	I/I/K	Z/Z/Z	I/I/P	I/I/O	オープン

分類		端子名	パワー オン リセット	マニュアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用端子 の処理
PLBG02 56GA-A	PLBG02 56KA-A								
N1	M2	RAS/PTH6	H	H/P	HZ/K	Z/Z	HZ/P	O/IO	オープン
N2	P1	CS3	H	H	HZ	Z	Z	O	オープン
N3	P5	CS2	H	H	HZ	Z	Z	O	オープン
N4	N4	Vcc	-	-	-	-	-	-	
N17	N21	Vss	-	-	-	-	-	-	
N18	P20	AUDATA2/PTJ3	X	O/P	O/K	Z/Z	O/P	O/IO	オープン
N19	N18	AUDATA1/PTJ2	X	O/P	O/K	Z/Z	O/P	O/IO	オープン
N20	R17	AUDATA3/PTJ4	X	O/P	O/K	Z/Z	O/P	O/IO	オープン
P1	N2	VssQ1	-	-	-	-	-	-	
P2	W2	A14	O	O	OZ	Z	Z	O	オープン
P3	P2	A17	O	O	OZ	Z	Z	O	オープン
P4	R5	Vss	-	-	-	-	-	-	
P17	P21	Vcc	-	-	-	-	-	-	
P18	R20	AUDATA0/PTJ1	X	O/P	O/K	Z/Z	O/P	O/IO	オープン
P19	P18	AUDCK/PTJ6	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
P20	T17	VssQ	-	-	-	-	-	-	
R1	P4	VccQ1	-	-	-	-	-	-	
R2	T2	A11	O	O	OZ	Z	Z	O	オープン
R3	R2	A13	O	O	OZ	Z	Z	O	オープン
R4	R1	A15	O	O	OZ	Z	Z	O	オープン
R17	T20	AUDSYNC/PTJ0	X	O/P	O/K	Z/Z	O/P	O/IO	オープン
R18	R21	AEMD0	I	I	I	I	I	I	プルアップ
R19	R18	TRST/PTL7	I	I/P	Z/K	Z/Z	I/P	I/IO	プルダウン
R20	U17	VccQ	-	-	-	-	-	-	
T1	T5	A16	O	O	OZ	Z	Z	O	オープン
T2	V1	A6	O	O	OZ	Z	Z	O	オープン
T3	V2	A5	O	O	OZ	Z	Z	O	オープン
T4	T1	A12	O	O	OZ	Z	Z	O	オープン
T17	U20	TMS/PTL6	I	I/P	Z/K	Z/Z	I/P	I/IO	プルアップ
T18	T18	TCK/PTL3	I	I/P	Z/K	Z/Z	I/P	I/IO	プルアップ
T19	U21	PCC_RESET/PINT7/PTK3	V	O/I/P	O/I/P	Z/Z/Z	O/I/P	O/I/IO	オープン
T20	V18	AEBRKAK/PTJ5	V	O/P	O/K	Z/Z	O/P	O/IO	オープン
U1	R4	VssQ1	-	-	-	-	-	-	
U2	T4	A9	O	O	OZ	Z	Z	O	オープン



分類		端子名	パワー オン リセット	マニュアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用端子 の処理
PLBG02 56GA-A	PLBG02 56KA-A								
U3	W1	A4	O	O	OZ	Z	Z	O	オープン
U4	AA3	A10	O	O	OZ	Z	Z	O	オープン
U5	Y5	D11	Z	Z	Z	Z	Z	IO	プルアップ
U6	Y6	D8	Z	Z	Z	Z	Z	IO	プルアップ
U7	AA8	D4	Z	Z	Z	Z	Z	IO	プルアップ
U8	AA9	D1	Z	Z	Z	Z	Z	IO	プルアップ
U9	AA10	Vcc	-	-	-	-	-	-	
U10	V11	Vss	-	-	-	-	-	-	
U11	U11	BACK	O	O	O	Z	L	O	オープン
U12	U12	BS	H	H	HZ	Z	Z	O	オープン
U13	V13	A19/PTR1	O	O/P	OZ/K	Z/Z	Z/P	O/IO	オープン
U14	U15	A22/PTR4	O	O/P	OZ/K	Z/Z	Z/P	O/IO	オープン
U15	U16	A24/PTR6	O	O/P	OZ/K	Z/Z	Z/P	O/IO	オープン
U16	V15	DACK0/PINT1/PTM4	V	O/I/P	O/I/P	Z/Z/Z	O/I/P	O/I/IO	オープン
U17	W21	DREQ1/PTM7	V	I/P	Z/K	Z/Z	I/P	I/IO	オープン
U18	T21	TDI/PTL4	I	I/P	Z/K	Z/Z	I/P	I/IO	プルアップ
U19	V21	PCC_RDY/PINT6/PTK2	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/IO	オープン
U20	W20	TDO/PTL5	Z	O/P	ZO/K	Z/Z	O/P	O/IO	オープン
V1	U1	VccQ1	-	-	-	-	-	-	
V2	Y2	A3	O	O	OZ	Z	Z	O	オープン
V3	U4	A7	O	O	OZ	Z	Z	O	オープン
V4	AA6	D12	Z	Z	Z	Z	Z	IO	プルアップ
V5	Y4	D14	Z	Z	Z	Z	Z	IO	プルアップ
V6	AA7	D9	Z	Z	Z	Z	Z	IO	プルアップ
V7	Y7	D6	Z	Z	Z	Z	Z	IO	プルアップ
V8	Y8	D2	Z	Z	Z	Z	Z	IO	プルアップ
V9	Y9	D0	Z	Z	Z	Z	Z	IO	プルアップ
V10	Y10	CSSB/CE1A/PTM1	H	H/H/P	HZ/HZ/K	Z/Z/Z	Z/Z/P	O/O/IO	オープン
V11	V12	BREQ	Z	I	I	Z	I	I	プルアップ
V12	U13	WAIT/PCC_WAIT	I	I/I	I/I	Z/Z	Z/Z	I/I	プルアップ
V13	U14	A20/PTR2	O	O/P	OZ/K	Z/Z	Z/P	O/IO	オープン
V14	V14	A23/PTR5	O	O/P	OZ/K	Z/Z	Z/P	O/IO	オープン
V15	Y19	DREQ0/PINT0/PTM6	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/IO	オープン
V16	Y18	EXTAL_RTC	I	I	I	I	I	I	プルアップ
V17	AA19	XTAL_RTC	O	O	O	O	O	O	オープン

分類		端子名	パワー オン リセット	マニュアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用端子 の処理
PLBG02 56GA-A	PLBG02 56KA-A								
V18	V17	RESETP	I	I	I	I	I	I	必ず使用する
V19	AA21	PCC_VS2/PINT5/PTK1	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/O	オープン
V20	V20	VssQ	-	-	-	-	-	-	
W1	U2	A8	O	O	OZ	Z	Z	O	オープン
W2	AA2	A2	O	O	OZ	Z	Z	O	オープン
W3	AA1	A1	O	O	OZ	Z	Z	O	オープン
W4	AA4	A0/PTR0	O	O/P	OZ/K	Z/Z	Z/P	O/I/O	オープン
W5	AA5	D15	Z	Z	Z	Z	Z	IO	ブルアップ
W6	V7	D10	Z	Z	Z	Z	Z	IO	ブルアップ
W7	V8	D7	Z	Z	Z	Z	Z	IO	ブルアップ
W8	V9	D3	Z	Z	Z	Z	Z	IO	ブルアップ
W9	V10	CS6B/CE1B/PTM0	H	H/H/P	HZ/HZ/K	Z/Z/Z	Z/Z/P	O/O/O	オープン
W10	U9	CS5A/CE2A	H	H/H	HZ/HZ	Z/Z	Z/Z	O/O	オープン
W11	AA12	CS4	H	H	HZ	Z	Z	O	オープン
W12	AA13	A18	O	O	OZ	Z	Z	O	オープン
W13	AA14	A21/PTR3	O	O/P	OZ/K	Z/Z	Z/P	O/I/O	オープン
W14	Y15	A25/PTR7	O	O/P	OZ/K	Z/Z	Z/P	O/I/O	オープン
W15	Y16	TEND0/PINT2/PTM2	V	O/I/P	O/I/P	Z/Z/Z	O/I/P	O/I/O	オープン
W16	AA18	VccQ_RTC	-	-	-	-	-	-	
W17	V16	TEND1/PINT3/PTM3	V	O/I/P	O/I/P	Z/Z/Z	O/I/P	O/I/O	オープン
W18	Y20	Vss_RTC	-	-	-	-	-	-	
W19	Y21	PCC_VS1/PINT4/PTK0	V	I/I/P	Z/I/P	Z/Z/Z	I/I/P	I/I/O	オープン
W20	U18	VccQ	-	-	-	-	-	-	
Y1	Y1	VssQ1	-	-	-	-	-	-	
Y2	V5	VccQ1	-	-	-	-	-	-	
Y3	V6	D13	Z	Z	Z	Z	Z	IO	ブルアップ
Y4	Y3	VssQ1	-	-	-	-	-	-	
Y5	V4	VccQ1	-	-	-	-	-	-	
Y6	U5	D5	Z	Z	Z	Z	Z	IO	ブルアップ
Y7	U6	VssQ1	-	-	-	-	-	-	
Y8	U7	VccQ1	-	-	-	-	-	-	
Y9	U8	CS6A/CE2B	H	H/H	H/Z	Z/Z	Z/Z	O/O	オープン
Y10	AA11	VssQ1	-	-	-	-	-	-	
Y11	U10	VccQ1	-	-	-	-	-	-	

分類		端子名	パワー オン リセット	マニュアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス解放	I/O	未使用端子 の処理
PLBG02 56GA-A	PLBG02 56KA-A								
Y12	Y11	$\overline{CS0}$	H	H	HZ	Z	Z	O	オープン
Y13	Y12	$\overline{RD}$	H	H	HZ	Z	Z	O	オープン
Y14	Y13	VssQ1	-	-	-	-	-	-	
Y15	Y14	VccQ1	-	-	-	-	-	-	
Y16	AA15	VssQ1	-	-	-	-	-	-	
Y17	AA16	VccQ1	-	-	-	-	-	-	
Y18	AA17	$\overline{DACK1}/PTM5$	V	O/P	O/K	Z/Z	O/P	O/I/O	オープン
Y19	Y17	CA	I	I	I	I	I	I	プルアップ
Y20	AA20	Vcc_RTC	-	-	-	-	-	-	

【注】 \*1 USB1\_P、USB1\_M を Z (オープン処理) にする条件は

- (1)  $\overline{USB1\_ovr\_current}/USB\_VBUS$  端子をプルダウン処理にします。
- (2) UTRCTR の USB\_TRANS ビットは初期値 0 にします。

UTRCTR の USB\_SEL ビットは初期値 1 にします。

\*2 USB2\_P、USB2\_M は、 $\overline{RESETP}$  ネグート後、EXTAL\_USB が数十クロック入力された後に「L」になります。

1. ここに示された未使用時の処理は、各端子の機能をピンファンクションコントローラ (PFC) の初期値設定の場合の処理の例を示したものであり、いかなる状況でも正しいことを保証するものではありません。
2. 入力バッファ (PAD) のイネーブルが OFF の状態をソフトウェアで制御できません。
3. 通常の入力ピン仕様です。
4. シュミット特性を持ちます。
5. エミュレータ使用可能なボードを設計する場合には、エミュレータの仕様に従って設計してください。

#### 【記号説明】

- I: 入力状態 (入力バッファ ON、出力バッファ OFF)
- i: 入力状態 (入力バッファ ON、出力バッファ OFF、しかし、内部論理では入力を固定)
- O: 出力状態 (入力バッファ OFF、出力バッファ ON、レベルは High/Low 不明)
- L: Low 出力状態 (入力バッファ OFF、出力バッファ ON)
- H: High 出力状態 (入力バッファ OFF、出力バッファ ON)
- Z: Hi-Z 状態 (入力バッファ OFF、出力バッファ OFF)
- V: 入力バッファ OFF、出力バッファ OFF、プルアップ ON
- M: 入力バッファ ON、出力バッファ OFF、プルアップ ON
- K: レジスタ設定により、入力バッファ OFF / 出力バッファ OFF (プルアップ ON) or 入力バッファ OFF / 出力バッファ OFF (プルアップ OFF) or 入力バッファ OFF / 出力バッファ ON
- P: レジスタ設定により、入力バッファ ON / 出力バッファ OFF (プルアップ ON) or 入力バッファ ON / 出力バッファ OFF (プルアップ OFF) or 入力バッファ OFF / 出力バッファ ON
- X: 不定状態

## B. 型名一覧

## (1) SH7720 グループ

略称	電源電圧		動作 周波数	製品型名	パッケージ	SSL	SDHI
	I/O	内部				有無	有無
SH7720	3.3V ± 0.3V	1.5V ± 0.1V	133.34MHz	HD6417720BP133C	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	有	—
				HD6417720BP133CV	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	有	—
				HD6417720BL133C	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	有	—
				HD6417720BL133CV	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	有	—
SH7320	3.3V ± 0.3V	1.5V ± 0.1V	133.34MHz	HD6417320BP133C	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	有	有
				HD6417320BP133CV	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	有	有
				HD6417320BL133C	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	有	有
				HD6417320BL133CV	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	有	有

## (2) SH7721 グループ

略称	電源電圧		動作 周波数	製品型名	パッケージ	SSL	SDHI
	I/O	内部				有無	有無
SH7721	3.3V ± 0.3V	1.5V ± 0.1V	133.34MHz	R8A77210C133BG	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	—	—
				R8A77210C133BGV	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	—	—
				R8A77210C133BA	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	—	—
				R8A77210C133BAV	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	—	—
				R8A77211C133BG	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	—	有
				R8A77211C133BGV	256 ピン CSP 17mm × 17mm (PLBG0256GA-A)	—	有
				R8A77211C133BA	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	—	有
				R8A77211C133BAV	256 ピン CSP 11mm × 11mm (PLBG0256KA-A)	—	有

### C. 外形寸法図

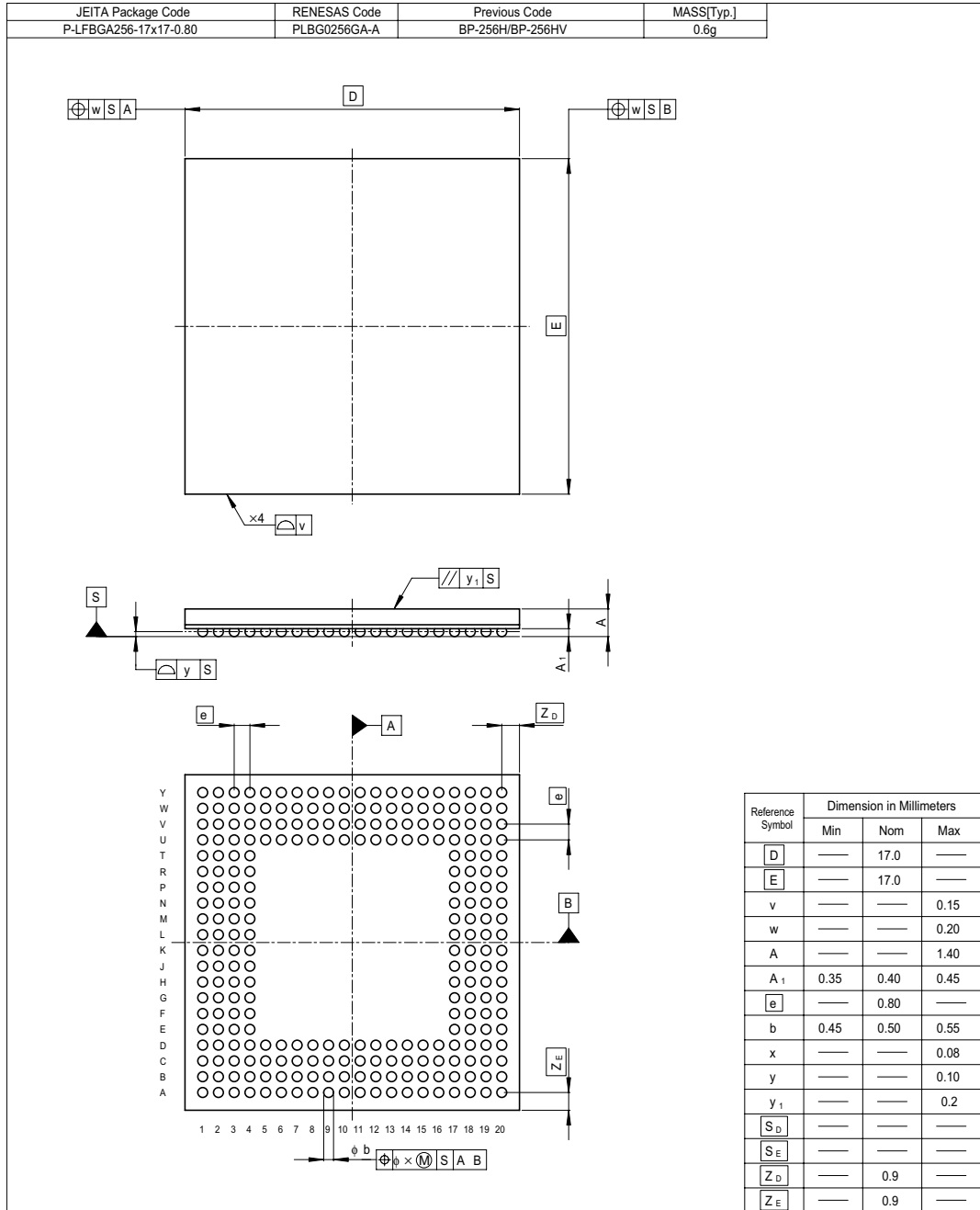


図 C.1 外形寸法図 (PLBG0256GA-A (BP-256H/HV) )

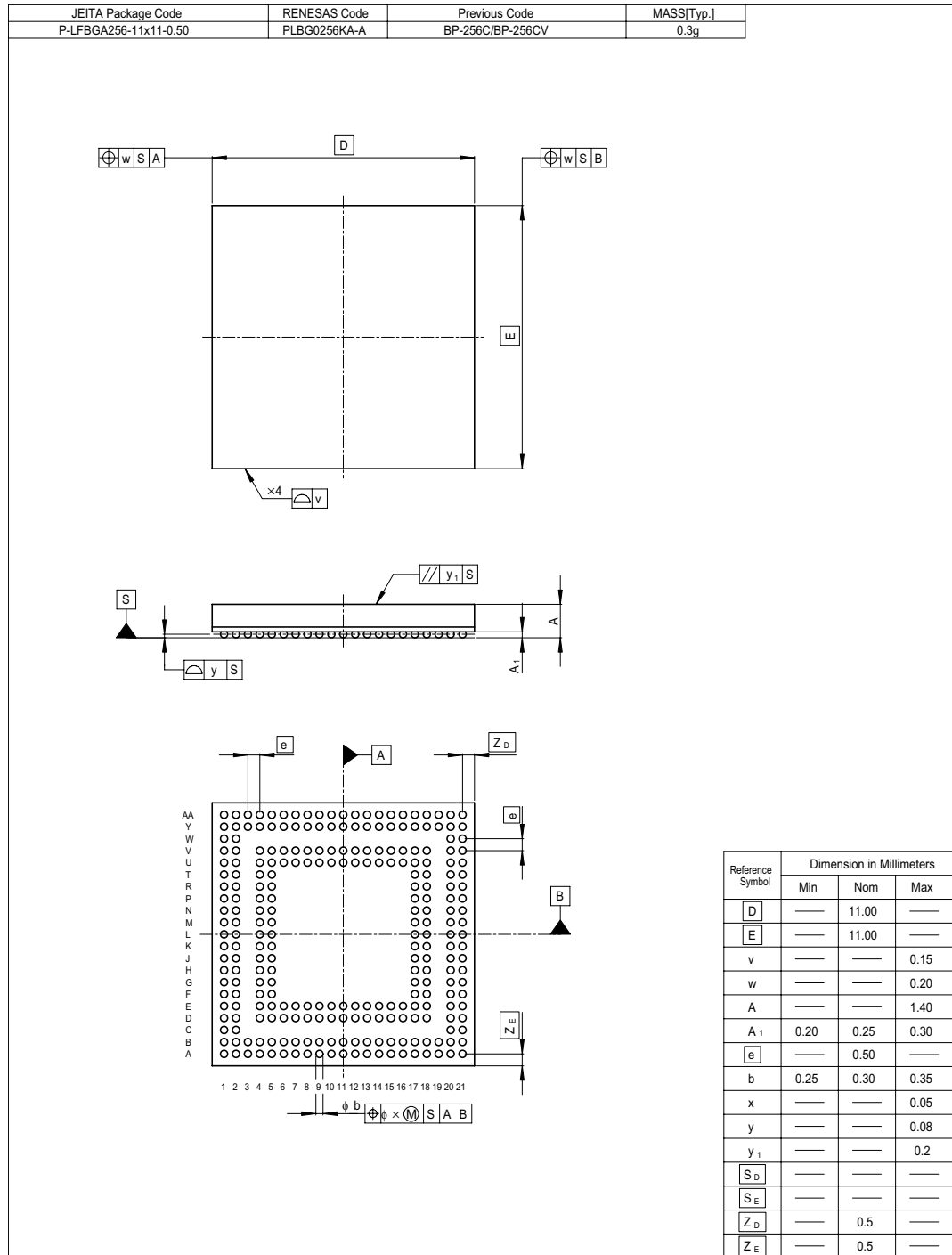


図 C.2 外形寸法図 ( PLBG0256KA-A ( BP-256C/CV ) )

# 本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）															
1.3.1 ピンの配置 図 1.2 ピン配置図 ( PLBG0256GA-A (BP-256H/HV) )	1-10	図を修正 															
8.3.7 割り込み要求レジスタ 3 ( IRR3 )	8-9	表を修正 <table border="1" data-bbox="620 962 1204 1085"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>TENDIR</td> <td>0</td> <td>R/W</td> <td> <b>TEI</b>割り込み要求  <b>TEI</b> ( SIM ) 割り込み要求が発生したかどうかを示します。            0 : <b>TEI</b>割り込み要求は、発生していない            1 : <b>TEI</b>割り込み要求は、発生している         </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	TENDIR	0	R/W	<b>TEI</b> 割り込み要求 <b>TEI</b> ( SIM ) 割り込み要求が発生したかどうかを示します。 0 : <b>TEI</b> 割り込み要求は、発生していない 1 : <b>TEI</b> 割り込み要求は、発生している					
ビット	ビット名	初期値	R/W	説明													
7	TENDIR	0	R/W	<b>TEI</b> 割り込み要求 <b>TEI</b> ( SIM ) 割り込み要求が発生したかどうかを示します。 0 : <b>TEI</b> 割り込み要求は、発生していない 1 : <b>TEI</b> 割り込み要求は、発生している													
8.3.9 割り込み要求レジスタ 5 ( IRR5 )	8-11	表を修正 <table border="1" data-bbox="620 1136 1204 1240"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>ADCIR</td> <td>0</td> <td>R/W</td> <td> <b>ADI</b>割り込み要求  <b>ADI</b> ( ADC ) 割り込み要求が発生したかどうかを示します。            0 : <b>ADI</b>割り込み要求は、発生していない            1 : <b>ADI</b>割り込み要求は、発生している         </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	ADCIR	0	R/W	<b>ADI</b> 割り込み要求 <b>ADI</b> ( ADC ) 割り込み要求が発生したかどうかを示します。 0 : <b>ADI</b> 割り込み要求は、発生していない 1 : <b>ADI</b> 割り込み要求は、発生している					
	ビット	ビット名	初期値	R/W	説明												
7	ADCIR	0	R/W	<b>ADI</b> 割り込み要求 <b>ADI</b> ( ADC ) 割り込み要求が発生したかどうかを示します。 0 : <b>ADI</b> 割り込み要求は、発生していない 1 : <b>ADI</b> 割り込み要求は、発生している													
8-12	表を修正 <table border="1" data-bbox="620 1290 1204 1491"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>SCIF1IR</td> <td>0</td> <td>R/W</td> <td> <b>SCIF1</b> 割り込み要求  <b>SCIF1</b> ( SCIF1 ) 割り込み要求が発生したかどうかを示します。            0 : <b>SCIF1</b> 割り込み要求は、発生していない            1 : <b>SCIF1</b> 割り込み要求は、発生している         </td> </tr> <tr> <td>0</td> <td>SCIF0IR</td> <td>0</td> <td>R/W</td> <td> <b>SCIF0</b> 割り込み要求  <b>SCIF0</b> ( SCIF0 ) 割り込み要求が発生したかどうかを示します。            0 : <b>SCIF0</b> 割り込み要求は、発生していない            1 : <b>SCIF0</b> 割り込み要求は、発生している         </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	1	SCIF1IR	0	R/W	<b>SCIF1</b> 割り込み要求 <b>SCIF1</b> ( SCIF1 ) 割り込み要求が発生したかどうかを示します。 0 : <b>SCIF1</b> 割り込み要求は、発生していない 1 : <b>SCIF1</b> 割り込み要求は、発生している	0	SCIF0IR	0	R/W	<b>SCIF0</b> 割り込み要求 <b>SCIF0</b> ( SCIF0 ) 割り込み要求が発生したかどうかを示します。 0 : <b>SCIF0</b> 割り込み要求は、発生していない 1 : <b>SCIF0</b> 割り込み要求は、発生している	
ビット	ビット名	初期値	R/W	説明													
1	SCIF1IR	0	R/W	<b>SCIF1</b> 割り込み要求 <b>SCIF1</b> ( SCIF1 ) 割り込み要求が発生したかどうかを示します。 0 : <b>SCIF1</b> 割り込み要求は、発生していない 1 : <b>SCIF1</b> 割り込み要求は、発生している													
0	SCIF0IR	0	R/W	<b>SCIF0</b> 割り込み要求 <b>SCIF0</b> ( SCIF0 ) 割り込み要求が発生したかどうかを示します。 0 : <b>SCIF0</b> 割り込み要求は、発生していない 1 : <b>SCIF0</b> 割り込み要求は、発生している													
8.3.10 割り込み要求レジスタ 6 ( IRR6 )	8-13	表を修正 <table border="1" data-bbox="620 1541 1204 1742"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>SIOF1IR</td> <td>0</td> <td>R/W</td> <td> <b>SIOF1</b> 割り込み要求  <b>SIOF1</b> ( SIOF1 ) 割り込み要求が発生したかどうかを示します。            0 : <b>SIOF1</b> 割り込み要求は、発生していない            1 : <b>SIOF1</b> 割り込み要求は、発生している         </td> </tr> <tr> <td>4</td> <td>SIOF0IR</td> <td>0</td> <td>R/W</td> <td> <b>SIOF0</b> 割り込み要求  <b>SIOF0</b> ( SIOF0 ) 割り込み要求が発生したかどうかを示します。            0 : <b>SIOF0</b> 割り込み要求は、発生していない            1 : <b>SIOF0</b> 割り込み要求は、発生している         </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	5	SIOF1IR	0	R/W	<b>SIOF1</b> 割り込み要求 <b>SIOF1</b> ( SIOF1 ) 割り込み要求が発生したかどうかを示します。 0 : <b>SIOF1</b> 割り込み要求は、発生していない 1 : <b>SIOF1</b> 割り込み要求は、発生している	4	SIOF0IR	0	R/W	<b>SIOF0</b> 割り込み要求 <b>SIOF0</b> ( SIOF0 ) 割り込み要求が発生したかどうかを示します。 0 : <b>SIOF0</b> 割り込み要求は、発生していない 1 : <b>SIOF0</b> 割り込み要求は、発生している
ビット	ビット名	初期値	R/W	説明													
5	SIOF1IR	0	R/W	<b>SIOF1</b> 割り込み要求 <b>SIOF1</b> ( SIOF1 ) 割り込み要求が発生したかどうかを示します。 0 : <b>SIOF1</b> 割り込み要求は、発生していない 1 : <b>SIOF1</b> 割り込み要求は、発生している													
4	SIOF0IR	0	R/W	<b>SIOF0</b> 割り込み要求 <b>SIOF0</b> ( SIOF0 ) 割り込み要求が発生したかどうかを示します。 0 : <b>SIOF0</b> 割り込み要求は、発生していない 1 : <b>SIOF0</b> 割り込み要求は、発生している													

修正項目	ページ	修正内容（詳細はマニュアル参照）																					
8.4.6 割り込み例外処理および優先順位 表 8.3 割り込み例外処理要因と優先順位（IRQ モード時）	8-22	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">割り込み要因</th> <th>例外コード<sup>※1</sup></th> <th>割り込み優先順位 (初期値)</th> </tr> </thead> <tbody> <tr> <td>ADC</td> <td>ADI</td> <td>HBE0<sup>※3</sup></td> <td>0-15 (0)</td> </tr> </tbody> </table>	割り込み要因		例外コード <sup>※1</sup>	割り込み優先順位 (初期値)	ADC	ADI	HBE0 <sup>※3</sup>	0-15 (0)													
	割り込み要因		例外コード <sup>※1</sup>	割り込み優先順位 (初期値)																			
	ADC	ADI	HBE0 <sup>※3</sup>	0-15 (0)																			
8-23	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">割り込み要因</th> <th>例外コード<sup>※1</sup></th> <th>割り込み優先順位 (初期値)</th> </tr> </thead> <tbody> <tr> <td rowspan="4">SIM</td> <td>ERI</td> <td>H4E0<sup>※2</sup></td> <td rowspan="4">0-15 (0)</td> </tr> <tr> <td>RXI</td> <td>H500<sup>※2</sup></td> </tr> <tr> <td>TXI</td> <td>H520<sup>※2</sup></td> </tr> <tr> <td>TEI</td> <td>H540<sup>※2</sup></td> </tr> </tbody> </table>	割り込み要因		例外コード <sup>※1</sup>	割り込み優先順位 (初期値)	SIM	ERI	H4E0 <sup>※2</sup>	0-15 (0)	RXI	H500 <sup>※2</sup>	TXI	H520 <sup>※2</sup>	TEI	H540 <sup>※2</sup>								
割り込み要因		例外コード <sup>※1</sup>	割り込み優先順位 (初期値)																				
SIM	ERI	H4E0 <sup>※2</sup>	0-15 (0)																				
	RXI	H500 <sup>※2</sup>																					
	TXI	H520 <sup>※2</sup>																					
	TEI	H540 <sup>※2</sup>																					
8-25	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">割り込み要因</th> <th>例外コード<sup>※1</sup></th> <th>割り込み優先順位 (初期値)</th> </tr> </thead> <tbody> <tr> <td>ADC</td> <td>ADI</td> <td>HBE0<sup>※3</sup></td> <td>0-15 (0)</td> </tr> <tr> <td>SCIF1</td> <td>SCIF1</td> <td>H2C20<sup>※3</sup></td> <td>0-15 (0)</td> </tr> <tr> <td rowspan="4">SIM</td> <td>ERI</td> <td>H4E0<sup>※2</sup></td> <td rowspan="4">0-15 (0)</td> </tr> <tr> <td>RXI</td> <td>H500<sup>※2</sup></td> </tr> <tr> <td>TXI</td> <td>H520<sup>※2</sup></td> </tr> <tr> <td>TEI</td> <td>H540<sup>※2</sup></td> </tr> </tbody> </table>	割り込み要因		例外コード <sup>※1</sup>	割り込み優先順位 (初期値)	ADC	ADI	HBE0 <sup>※3</sup>	0-15 (0)	SCIF1	SCIF1	H2C20 <sup>※3</sup>	0-15 (0)	SIM	ERI	H4E0 <sup>※2</sup>	0-15 (0)	RXI	H500 <sup>※2</sup>	TXI	H520 <sup>※2</sup>	TEI	H540 <sup>※2</sup>
割り込み要因		例外コード <sup>※1</sup>	割り込み優先順位 (初期値)																				
ADC	ADI	HBE0 <sup>※3</sup>	0-15 (0)																				
SCIF1	SCIF1	H2C20 <sup>※3</sup>	0-15 (0)																				
SIM	ERI	H4E0 <sup>※2</sup>	0-15 (0)																				
	RXI	H500 <sup>※2</sup>																					
	TXI	H520 <sup>※2</sup>																					
	TEI	H540 <sup>※2</sup>																					
9.4.5 リフレッシュタイムコントロール / ステータスレジスタ (RTCSR)	9-38	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31-8</td> <td>-</td> <td>すべて0</td> <td>R</td> <td>リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをHA55A00としてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31-8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをHA55A00としてください。											
ビット	ビット名	初期値	R/W	説明																			
31-8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをHA55A00としてください。																			
9.4.6 リフレッシュタイムカウンタ (RTCNT)	9-39	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31-8</td> <td>-</td> <td>すべて0</td> <td>R</td> <td>リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをHA55A00としてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31-8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをHA55A00としてください。											
ビット		ビット名	初期値	R/W	説明																		
31-8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをHA55A00としてください。																			
9.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31-8</td> <td>-</td> <td>すべて0</td> <td>R</td> <td>リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをHA55A00としてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31-8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをHA55A00としてください。												
ビット	ビット名	初期値	R/W	説明																			
31-8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時はこのビットをHA55A00としてください。																			



修正項目	ページ	修正内容（詳細はマニュアル参照）
10.5.3 その他の注意事項	10-37	<p>説明を追加</p> <p>4. 下記のフラグビットが1にセットされるタイミングで読み出しを行うと0が読み出されますが、内部的に1を読み出した状態となる場合があります。そのため、0の書き込みを行うと、当該フラグが1の読み出し後の0書き込みと同じ状態になり、0にクリアされることがあります。</p> <p>(1) DMAC チャンネルコントロールレジスタ (CHCR) の TE ビット。  (2) DMA オペレーションレジスタ (DMAOR) の AE ビットと NMIF ビット。</p> <p>これを回避する方法として、当該フラグを使用する場合は、意図せずにビットをクリアしないように以下の方法で読み出し、書き込みを行ってください。</p> <p>当該レジスタの書き込み時は、明示的にクリアする時以外は当該ビットへ1の書き込みを行い、明示的にクリアするときのみ1の読み出し後の0書き込みを行ってください。該当ビットへの1の書き込みはフラグの値に影響を及ぼしません。</p> <p>なお、当該フラグビットを使用しない場合は、常に0書き込み（明示的にクリアする時は1読み出し後の0書き込み）で問題ありません。</p>
12.3.4 インターバルタイマモードの使用法	12-7	<p>説明を修正</p> <p>3. WDT は、カウンタがオーバーフローすると WTCSR レジスタの IOVF フラグに1をセットし、インターバルタイマ割り込み要求 (ITI) を INTIC に送ります。カウンタはカウントを続行します。</p>
15.1 特長	15-1	<p>説明を修正</p> <ul style="list-style-type: none"> <li>各チャンネル1本の割り込み要求 (TPIIn (n=0、1、2、3))</li> </ul>
16.1 特長	16-1	<p>説明を修正</p> <ul style="list-style-type: none"> <li>割り込み要因にコンペアマッチまたはオーバーフローを選択可能 ただし、各割り込み要因による割り込みベクタは共通です。(CMI)</li> </ul>
17.1 特長	17-1	<p>説明を修正</p> <ul style="list-style-type: none"> <li>アラーム割り込み (ATI 割り込み) アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能</li> <li>周期割り込み (PRI 割り込み) 割り込み周期として、1/256 秒、1/64 秒、1/16 秒、1/4 秒、1/2 秒、1 秒、2 秒周期から選択可能</li> <li>桁上げ割り込み (CUI 割り込み) 秒カウンタ桁上げ、または 64Hz カウンタの読み出し時に 64Hz カウンタ桁上げが発生したことを示す桁上げ割り込み機能</li> </ul>

修正項目	ページ	修正内容 (詳細はマニュアル参照)										
18.1 特長	18-1	<p>説明を修正</p> <ul style="list-style-type: none"> <li>6種類の割り込み要因 (SCIFIn (n=0 または 1)) (調歩同期式モード時)</li> </ul> <p>送信データストップ割り込み、送信 FIFO データエンプティ、受信 FIFO データフル、受信エラー (フレーミングエラー / パリティエラー) 割り込み、ブレイク受信割り込み、レシーブデータレディ割り込みの6種類の割り込み要因があります。各割り込み要因による割り込みのベクタは共通です。</p> <ul style="list-style-type: none"> <li>2種類の割り込み要因 (SCIFIn (n=0 または 1)) (クロック同期式モード時)</li> </ul> <p>各割り込み要因による割り込みのベクタは共通です。</p>										
18.4.2 調歩同期式モードのシリアル動作 (3) データの送信 / 受信動作 (b) シリアルデータ送信 図 18.4 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	18-30	<p>図を修正</p> <p>送信FIFOデータエンプティ要因による割り込み要求の発生</p> <p>送信FIFOデータエンプティ要因による割り込み処理ルーチンでSCFTDRにデータを書き込み、TDFEフラグの1を読み取った後、0にクリア</p> <p>送信FIFOデータエンプティ要因による割り込み要求の発生</p> <p>1フレーム</p>										
(c) シリアルデータ受信 図 18.7 シリアル受信のフローチャートの例 (1)	18-32	<p>図を修正</p> <p>(1) 受信エラー処理とブレイクの検出 受信エラーが発生した時には、SCSSRのDR、ER、BRKの各フラグを読み出してエラーを判定し、所定のエラー処理を行った後、DR、ER、BRKの各フラグをすべて0にクリアしてください。また、フレーミングエラー時に、RDF端子の値を読み出すことでブレイクの検出ができます。</p> <p>(2) SCIFの状態を確認して受信データを読み出し： シリアルステータスレジスタ (SCSSR) を読み出して、RDFフラグが1であることを確認した後、レシーブFIFOデータレジスタ (SCFRDR) の受信データを読み出し、RDFフラグの1を読み出した後、0にクリアします。 RDFフラグが0から1に変化したことは、受信FIFOデータフル割り込みによって知ることができます。</p>										
20.3.10 I <sup>2</sup> C バスマスタ転送クロック選択レジスタ (ICCKS)	20-12	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7-5</td> <td>-</td> <td>すべて0</td> <td>R</td> <td>リザーブビット 読み出すと常に1が読み出されます。書き込み時は常に0にしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7-5	-	すべて0	R	リザーブビット 読み出すと常に1が読み出されます。書き込み時は常に0にしてください。
ビット	ビット名	初期値	R/W	説明								
7-5	-	すべて0	R	リザーブビット 読み出すと常に1が読み出されます。書き込み時は常に0にしてください。								
20.5 割り込み要求	20-28	<p>説明を修正</p> <p>本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト / オーバランエラーの6種類があります。表 20.3 に各割り込み要求の内容を示します。</p> <p>ただし、各割り込み要因による INTC の割り込みベクタは共通です。(IICI)</p>										
21.1 特長	21-1	<p>説明を修正</p> <ul style="list-style-type: none"> <li>割り込み：1種類 (SIOFIn (n=0 または 1))</li> </ul>										

修正項目	ページ	修正内容（詳細はマニュアル参照）															
21.3.1 モードレジスタ (SIMDR)	21-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>SYNCDL</td> <td>0</td> <td>R/W</td> <td>SIOFSYNC端子に対しデータ端子ビットの遅延 SIOFSYNC信号が同期パルスの場合に有効となります。 またスリープモードでの送信/受信時は、1ビット遅延のみ有効です。 0: ビット遅延なし 1: 1ビット遅延</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	4	SYNCDL	0	R/W	SIOFSYNC端子に対しデータ端子ビットの遅延 SIOFSYNC信号が同期パルスの場合に有効となります。 またスリープモードでの送信/受信時は、1ビット遅延のみ有効です。 0: ビット遅延なし 1: 1ビット遅延					
ビット	ビット名	初期値	R/W	説明													
4	SYNCDL	0	R/W	SIOFSYNC端子に対しデータ端子ビットの遅延 SIOFSYNC信号が同期パルスの場合に有効となります。 またスリープモードでの送信/受信時は、1ビット遅延のみ有効です。 0: ビット遅延なし 1: 1ビット遅延													
22.4.1 割り込みタイミング (4) 割り込み生成回路	22-13	<p>説明を修正</p> <p>割り込み生成は図 22.4 に示すように FIFO 割り込み制御の ASTR1 と DAA 割り込み制御の ASTR2 の 2 本の割り込みレジスタから出力される計 6 本の割り込み信号を OR し、1 本の割り込み信号 (AFEC1) として INTC に送出します。</p> <p>図を修正</p>															
図 22.4 インタラプトジェネレータ																	
26.3.1 LCDC インプットクロックレジスタ (LDICKR)	26-4	<p>説明を修正</p> <p>LCDC は、LCDC の動作クロック供給源として、バスクロック (B)、周辺クロック (P)、または、外部クロック (LCD_CLK) を選択できます。また、1/1 ~ 1/32 までの分周器を内蔵し、分周したクロックを LCDC の動作クロック (DOTCLK) として使用可能です。LCDC から出力されるクロックは本レジスタで選択された動作クロックから液晶パネル用の同期クロック出力 (LCD_CL2) を生成します。TFT パネルの場合は LCD_CL2 = DOTCLK となり、STN、DSTN パネル (モノクロ) の場合は LCD_CL2 = (DOTCLK / 液晶パネルへの出力データバス幅) の周波数のクロックが出力されます。カラーの場合は、LCD_CL2 = (3 × DOTCLK / 液晶パネルへの出力データバス幅) の周波数のクロックが出力されます。LCD_CL2 にかかわらず、LCDC への入力クロックが 66MHz 以下となるように、LDICKR を設定してください。</p>															
27.3.2 A/D コントロール/ステータスレジスタ (ADCSR)	27-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>11</td> <td>TRGE1</td> <td>0</td> <td>R/W</td> <td>トリガインエーブル</td> </tr> <tr> <td>10</td> <td>TRGE0</td> <td>0</td> <td>R/W</td> <td>外部トリガ入力による A/D 変換の許可または禁止を選択します。 00: 外部トリガ入力による A/D 変換の開始を禁止 01: 予約 (設定不可) 10: 予約 (設定不可) 11: A/D 変換トリガ入力端子 (ADTRG) の立ち下がりエッジで A/D 変換を開始</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	11	TRGE1	0	R/W	トリガインエーブル	10	TRGE0	0	R/W	外部トリガ入力による A/D 変換の許可または禁止を選択します。 00: 外部トリガ入力による A/D 変換の開始を禁止 01: 予約 (設定不可) 10: 予約 (設定不可) 11: A/D 変換トリガ入力端子 (ADTRG) の立ち下がりエッジで A/D 変換を開始
ビット	ビット名	初期値	R/W	説明													
11	TRGE1	0	R/W	トリガインエーブル													
10	TRGE0	0	R/W	外部トリガ入力による A/D 変換の許可または禁止を選択します。 00: 外部トリガ入力による A/D 変換の開始を禁止 01: 予約 (設定不可) 10: 予約 (設定不可) 11: A/D 変換トリガ入力端子 (ADTRG) の立ち下がりエッジで A/D 変換を開始													
27.7.3 ADST ビット使用時の注意事項	27-17、 27-18	項目を追加															
28.4 動作説明	28-3	<p>説明を修正</p> <p>2. D/A コントロールレジスタ (DACR) の DAOE0 ビットを 1 にセットします。D/A 変換を開始し、DA0 は出力許可になります。変換結果は変換時間後に出力されます。出力値は (DADR0 内容 / 255) × AVcc です。この変換結果の出力は、D/A データレジスタ (DADR0) の値を変更するか D/A コントロールレジスタ (DAOE0) ビットを 0 にクリアするまで継続します。</p>															

修正項目	ページ	修正内容（詳細はマニュアル参照）																																	
29.3.3 エリア 6 カードステータス チェンジレジスタ (PCC0CSCR)	29-11	<p>説明を修正</p> <p>PCC0CSCR は、読み出し / 書き込み可能な 8 ビットのレジスタです。PCC0CSCR はエリア 6 に接続された PC カードの各割り込み要因によって 1 にセットされます（必要に応じてビット 7 のみ 1 にセットすることができます）。PCC0CSCR は、パワーオンリセットで初期化され、マニュアルリセットまたはソフトウェアスタンバイモード時はその値を保持します。</p> <p>ただし、各割り込み要因による割り込みベクタは共通です。（PCCI）</p>																																	
31.1 特長 図 31.1 MMCIF のブロック図	31-2	<p>図を修正</p>																																	
31.3.13 割り込みコントロールレジスタ 0、1 (INTCR0、INTCR1) • INTCR1	31-16	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>INTRQ2E</td> <td>0</td> <td>R/W</td> <td>MMCIO割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可</td> </tr> <tr> <td>6</td> <td>INTRQ1E</td> <td>0</td> <td>R/W</td> <td>MMC1割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可</td> </tr> <tr> <td>5</td> <td>INTRQ0E</td> <td>0</td> <td>R/W</td> <td>MMC0割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	INTRQ2E	0	R/W	MMCIO割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可	6	INTRQ1E	0	R/W	MMC1割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可	5	INTRQ0E	0	R/W	MMC0割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可													
ビット	ビット名	初期値	R/W	説明																															
7	INTRQ2E	0	R/W	MMCIO割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可																															
6	INTRQ1E	0	R/W	MMC1割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可																															
5	INTRQ0E	0	R/W	MMC0割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可																															
31.3.20 割り込みコントロールレジスタ 2 (INTCR2)	31-22	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>INTRQ3E</td> <td>0</td> <td>R/W</td> <td>MMC3割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	INTRQ3E	0	R/W	MMC3割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可																							
ビット	ビット名	初期値	R/W	説明																															
7	INTRQ3E	0	R/W	MMC3割り込みイネーブル 0: 割り込み禁止 1: 割り込み許可																															
31.6 MMCIF 割り込み要因 表 31.5 MMCIF 割り込み要因	31-72	<p>表を修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>割り込み要因</th> <th>割り込みフラグ</th> </tr> </thead> <tbody> <tr> <td rowspan="4">MMCIO</td> <td>ライトエラー</td> <td>WRERI</td> </tr> <tr> <td>CRCエラー*</td> <td>CRCERI*</td> </tr> <tr> <td>データタイムアウトエラー</td> <td>DTERI</td> </tr> <tr> <td>コマンドタイムアウトエラー</td> <td>CTERI</td> </tr> <tr> <td rowspan="2">MMCIO</td> <td>FIFOエンプティ</td> <td>FEI</td> </tr> <tr> <td>FIFOフル</td> <td>FFI</td> </tr> <tr> <td rowspan="6">MMC1</td> <td>データレスポンス</td> <td>DPRI</td> </tr> <tr> <td>データ転送終了</td> <td>DTI</td> </tr> <tr> <td>コマンドレスポンス終了</td> <td>CRPI</td> </tr> <tr> <td>コマンド出力終了</td> <td>CMDI</td> </tr> <tr> <td>データビジー終了</td> <td>DBSYI</td> </tr> <tr> <td>ブロック転送終了</td> <td>BTI</td> </tr> <tr> <td>MMC3</td> <td>FIFO準備完了</td> <td>FRDYI</td> </tr> </tbody> </table>	名称	割り込み要因	割り込みフラグ	MMCIO	ライトエラー	WRERI	CRCエラー*	CRCERI*	データタイムアウトエラー	DTERI	コマンドタイムアウトエラー	CTERI	MMCIO	FIFOエンプティ	FEI	FIFOフル	FFI	MMC1	データレスポンス	DPRI	データ転送終了	DTI	コマンドレスポンス終了	CRPI	コマンド出力終了	CMDI	データビジー終了	DBSYI	ブロック転送終了	BTI	MMC3	FIFO準備完了	FRDYI
名称	割り込み要因	割り込みフラグ																																	
MMCIO	ライトエラー	WRERI																																	
	CRCエラー*	CRCERI*																																	
	データタイムアウトエラー	DTERI																																	
	コマンドタイムアウトエラー	CTERI																																	
MMCIO	FIFOエンプティ	FEI																																	
	FIFOフル	FFI																																	
MMC1	データレスポンス	DPRI																																	
	データ転送終了	DTI																																	
	コマンドレスポンス終了	CRPI																																	
	コマンド出力終了	CMDI																																	
	データビジー終了	DBSYI																																	
	ブロック転送終了	BTI																																	
MMC3	FIFO準備完了	FRDYI																																	

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																																																																										
37.3 各動作モードにおけるレジスタの状態	37-46	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>パワーオンリセット<sup>1)</sup></th> <th>マニュアルリセット<sup>1)</sup></th> <th>ソフトウェアスタンバイ</th> <th>モジュールスタンバイ</th> <th>スリープ</th> <th>モジュール</th> </tr> </thead> <tbody> <tr><td>CMNCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td>BSC</td></tr> <tr><td>CS0BCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS2BCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS3BCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS4BCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CSSABCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CSSBCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS6ABCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS6BCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS0WCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS2WCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS3WCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS4WCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CSSAWCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CSSWCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS6AWCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>CS6WCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>SDCR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>RTCSR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>RTCNT</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> <tr><td>RTOOR</td><td>初期化</td><td>保持</td><td>保持</td><td>-</td><td>保持</td><td></td></tr> </tbody> </table>	レジスタ名称	パワーオンリセット <sup>1)</sup>	マニュアルリセット <sup>1)</sup>	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ	モジュール	CMNCR	初期化	保持	保持	-	保持	BSC	CS0BCR	初期化	保持	保持	-	保持		CS2BCR	初期化	保持	保持	-	保持		CS3BCR	初期化	保持	保持	-	保持		CS4BCR	初期化	保持	保持	-	保持		CSSABCR	初期化	保持	保持	-	保持		CSSBCR	初期化	保持	保持	-	保持		CS6ABCR	初期化	保持	保持	-	保持		CS6BCR	初期化	保持	保持	-	保持		CS0WCR	初期化	保持	保持	-	保持		CS2WCR	初期化	保持	保持	-	保持		CS3WCR	初期化	保持	保持	-	保持		CS4WCR	初期化	保持	保持	-	保持		CSSAWCR	初期化	保持	保持	-	保持		CSSWCR	初期化	保持	保持	-	保持		CS6AWCR	初期化	保持	保持	-	保持		CS6WCR	初期化	保持	保持	-	保持		SDCR	初期化	保持	保持	-	保持		RTCSR	初期化	保持	保持	-	保持		RTCNT	初期化	保持	保持	-	保持		RTOOR	初期化	保持	保持	-	保持	
	レジスタ名称	パワーオンリセット <sup>1)</sup>	マニュアルリセット <sup>1)</sup>	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ	モジュール																																																																																																																																																					
CMNCR	初期化	保持	保持	-	保持	BSC																																																																																																																																																						
CS0BCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS2BCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS3BCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS4BCR	初期化	保持	保持	-	保持																																																																																																																																																							
CSSABCR	初期化	保持	保持	-	保持																																																																																																																																																							
CSSBCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS6ABCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS6BCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS0WCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS2WCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS3WCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS4WCR	初期化	保持	保持	-	保持																																																																																																																																																							
CSSAWCR	初期化	保持	保持	-	保持																																																																																																																																																							
CSSWCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS6AWCR	初期化	保持	保持	-	保持																																																																																																																																																							
CS6WCR	初期化	保持	保持	-	保持																																																																																																																																																							
SDCR	初期化	保持	保持	-	保持																																																																																																																																																							
RTCSR	初期化	保持	保持	-	保持																																																																																																																																																							
RTCNT	初期化	保持	保持	-	保持																																																																																																																																																							
RTOOR	初期化	保持	保持	-	保持																																																																																																																																																							
	37-56	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>パワーオンリセット<sup>1)</sup></th> <th>マニュアルリセット<sup>1)</sup></th> <th>ソフトウェアスタンバイ</th> <th>モジュールスタンバイ</th> <th>スリープ</th> <th>モジュール</th> </tr> </thead> <tbody> <tr><td>BDRB</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td>UBC</td></tr> <tr><td>BDMRB</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BRCR</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BETH</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BARB</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BAMRB</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BBRB</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BRSR</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BARA</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BAMRA</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BBRA</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BRDR</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BASRA</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> <tr><td>BASRB</td><td>初期化</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td></td></tr> </tbody> </table>	レジスタ名称	パワーオンリセット <sup>1)</sup>	マニュアルリセット <sup>1)</sup>	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ	モジュール	BDRB	初期化	保持	保持	保持	保持	UBC	BDMRB	初期化	保持	保持	保持	保持		BRCR	初期化	保持	保持	保持	保持		BETH	初期化	保持	保持	保持	保持		BARB	初期化	保持	保持	保持	保持		BAMRB	初期化	保持	保持	保持	保持		BBRB	初期化	保持	保持	保持	保持		BRSR	初期化	保持	保持	保持	保持		BARA	初期化	保持	保持	保持	保持		BAMRA	初期化	保持	保持	保持	保持		BBRA	初期化	保持	保持	保持	保持		BRDR	初期化	保持	保持	保持	保持		BASRA	初期化	保持	保持	保持	保持		BASRB	初期化	保持	保持	保持	保持																																																		
レジスタ名称	パワーオンリセット <sup>1)</sup>	マニュアルリセット <sup>1)</sup>	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ	モジュール																																																																																																																																																						
BDRB	初期化	保持	保持	保持	保持	UBC																																																																																																																																																						
BDMRB	初期化	保持	保持	保持	保持																																																																																																																																																							
BRCR	初期化	保持	保持	保持	保持																																																																																																																																																							
BETH	初期化	保持	保持	保持	保持																																																																																																																																																							
BARB	初期化	保持	保持	保持	保持																																																																																																																																																							
BAMRB	初期化	保持	保持	保持	保持																																																																																																																																																							
BBRB	初期化	保持	保持	保持	保持																																																																																																																																																							
BRSR	初期化	保持	保持	保持	保持																																																																																																																																																							
BARA	初期化	保持	保持	保持	保持																																																																																																																																																							
BAMRA	初期化	保持	保持	保持	保持																																																																																																																																																							
BBRA	初期化	保持	保持	保持	保持																																																																																																																																																							
BRDR	初期化	保持	保持	保持	保持																																																																																																																																																							
BASRA	初期化	保持	保持	保持	保持																																																																																																																																																							
BASRB	初期化	保持	保持	保持	保持																																																																																																																																																							
38.2 電源投入および切断順序	38-2	<p>図を修正</p> <p>【注】* 電源/GND、クロック関連、アナログ端子を除く</p>																																																																																																																																																										
38.3 DC 特性	38-4	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="3">アナログ (A/D、D/A) 電源電流</td> <td>A/D変換期間</td> <td>-</td> <td>0.8</td> <td>2</td> <td>mA</td> <td></td> </tr> <tr> <td>A/DおよびD/A変換期間</td> <td>-</td> <td>2.4</td> <td>6</td> <td>mA</td> <td></td> </tr> <tr> <td>アイドル</td> <td>-</td> <td>20</td> <td>20</td> <td>μA</td> <td>Ta = 25</td> </tr> </tbody> </table>	項目	記号	Min.	Typ.	Max.	単位	測定条件	アナログ (A/D、D/A) 電源電流	A/D変換期間	-	0.8	2	mA		A/DおよびD/A変換期間	-	2.4	6	mA		アイドル	-	20	20	μA	Ta = 25																																																																																																																																
項目	記号	Min.	Typ.	Max.	単位	測定条件																																																																																																																																																						
アナログ (A/D、D/A) 電源電流	A/D変換期間	-	0.8	2	mA																																																																																																																																																							
	A/DおよびD/A変換期間	-	2.4	6	mA																																																																																																																																																							
	アイドル	-	20	20	μA	Ta = 25																																																																																																																																																						
表 38.4 DC 特性 (1) 【共通項目】																																																																																																																																																												

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																																				
38.4.3 AC バスタイミング仕様 表 38.9 バスタイミング	38-15	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">66.67MHz</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> </tr> <tr> <th>Min.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>アドレス遅延時間1</td> <td>t<sub>AD1</sub></td> <td>1</td> <td>13</td> <td>ns</td> <td>38.12 - 38.42</td> </tr> <tr> <td>アドレス遅延時間2</td> <td>t<sub>AD2</sub></td> <td>1/2t<sub>CYC</sub></td> <td>1/2t<sub>CYC</sub> + 13</td> <td>ns</td> <td>38.19</td> </tr> <tr> <td>アドレスセットアップ時間</td> <td>t<sub>AS</sub></td> <td>0</td> <td>-</td> <td>ns</td> <td>38.12 - 38.19</td> </tr> <tr> <td>アドレスホールド時間</td> <td>t<sub>AH</sub></td> <td>0</td> <td>-</td> <td>ns</td> <td>38.12, 38.13</td> </tr> <tr> <td>BS遅延時間</td> <td>t<sub>BSD</sub></td> <td>-</td> <td>13</td> <td>ns</td> <td>38.12 - 38.36, 38.37, 38.38</td> </tr> <tr> <td>CS遅延時間1</td> <td>t<sub>CS01</sub></td> <td>1</td> <td>13</td> <td>ns</td> <td>38.12 - 38.36, 38.37 - 38.42</td> </tr> <tr> <td>リードライト遅延時間1</td> <td>t<sub>RW01</sub></td> <td>1</td> <td>13</td> <td>ns</td> <td>38.12 - 38.36, 38.37 - 38.42</td> </tr> <tr> <td>リードストロブ遅延時間</td> <td>t<sub>RSD</sub></td> <td>1/2t<sub>CYC</sub></td> <td>1/2t<sub>CYC</sub> + 13</td> <td>ns</td> <td>38.12 - 38.19, 38.39, 38.40</td> </tr> <tr> <td>リードデータセットアップ時間1</td> <td>t<sub>RDS1</sub></td> <td>1/2t<sub>CYC</sub> + 10</td> <td>-</td> <td>ns</td> <td>38.12 - 38.18, 38.37 - 38.42</td> </tr> <tr> <td>リードデータセットアップ時間2</td> <td>t<sub>RDS2</sub></td> <td>7</td> <td>-</td> <td>ns</td> <td>38.20 - 38.23, 38.28 - 38.30, 38.37, 38.38</td> </tr> <tr> <td>リードデータセットアップ時間3</td> <td>t<sub>RDS3</sub></td> <td>1/2t<sub>CYC</sub> + 10</td> <td>-</td> <td>ns</td> <td>38.19</td> </tr> <tr> <td>リードデータホールド時間1</td> <td>t<sub>RDH1</sub></td> <td>0</td> <td>-</td> <td>ns</td> <td>38.12 - 38.18, 38.37 - 38.42</td> </tr> <tr> <td>リードデータホールド時間2</td> <td>t<sub>RDH2</sub></td> <td>2</td> <td>-</td> <td>ns</td> <td>38.20 - 38.23, 38.28 - 38.30, 38.37, 38.38</td> </tr> <tr> <td>リードデータホールド時間3</td> <td>t<sub>RDH3</sub></td> <td>0</td> <td>-</td> <td>ns</td> <td>38.19</td> </tr> <tr> <td>ライトイネーブル遅延時間1</td> <td>t<sub>WE01</sub></td> <td>1/2t<sub>CYC</sub></td> <td>1/2t<sub>CYC</sub> + 13</td> <td>ns</td> <td>38.12 - 38.17, 38.39, 38.40</td> </tr> <tr> <td>ライトイネーブル遅延時間2</td> <td>t<sub>WE02</sub></td> <td>-</td> <td>13</td> <td>ns</td> <td>38.18</td> </tr> <tr> <td>ライトデータ遅延時間1</td> <td>t<sub>WDD1</sub></td> <td>-</td> <td>13</td> <td>ns</td> <td>38.12 - 38.18, 38.39 - 38.42</td> </tr> <tr> <td>ライトデータ遅延時間2</td> <td>t<sub>WDD2</sub></td> <td>-</td> <td>13</td> <td>ns</td> <td>38.24 - 38.27, 38.31 - 38.33, 38.37, 38.38</td> </tr> </tbody> </table>	項目	記号	66.67MHz		単位	参照図	Min.	Max.	アドレス遅延時間1	t <sub>AD1</sub>	1	13	ns	38.12 - 38.42	アドレス遅延時間2	t <sub>AD2</sub>	1/2t <sub>CYC</sub>	1/2t <sub>CYC</sub> + 13	ns	38.19	アドレスセットアップ時間	t <sub>AS</sub>	0	-	ns	38.12 - 38.19	アドレスホールド時間	t <sub>AH</sub>	0	-	ns	38.12, 38.13	BS遅延時間	t <sub>BSD</sub>	-	13	ns	38.12 - 38.36, 38.37, 38.38	CS遅延時間1	t <sub>CS01</sub>	1	13	ns	38.12 - 38.36, 38.37 - 38.42	リードライト遅延時間1	t <sub>RW01</sub>	1	13	ns	38.12 - 38.36, 38.37 - 38.42	リードストロブ遅延時間	t <sub>RSD</sub>	1/2t <sub>CYC</sub>	1/2t <sub>CYC</sub> + 13	ns	38.12 - 38.19, 38.39, 38.40	リードデータセットアップ時間1	t <sub>RDS1</sub>	1/2t <sub>CYC</sub> + 10	-	ns	38.12 - 38.18, 38.37 - 38.42	リードデータセットアップ時間2	t <sub>RDS2</sub>	7	-	ns	38.20 - 38.23, 38.28 - 38.30, 38.37, 38.38	リードデータセットアップ時間3	t <sub>RDS3</sub>	1/2t <sub>CYC</sub> + 10	-	ns	38.19	リードデータホールド時間1	t <sub>RDH1</sub>	0	-	ns	38.12 - 38.18, 38.37 - 38.42	リードデータホールド時間2	t <sub>RDH2</sub>	2	-	ns	38.20 - 38.23, 38.28 - 38.30, 38.37, 38.38	リードデータホールド時間3	t <sub>RDH3</sub>	0	-	ns	38.19	ライトイネーブル遅延時間1	t <sub>WE01</sub>	1/2t <sub>CYC</sub>	1/2t <sub>CYC</sub> + 13	ns	38.12 - 38.17, 38.39, 38.40	ライトイネーブル遅延時間2	t <sub>WE02</sub>	-	13	ns	38.18	ライトデータ遅延時間1	t <sub>WDD1</sub>	-	13	ns	38.12 - 38.18, 38.39 - 38.42	ライトデータ遅延時間2	t <sub>WDD2</sub>	-	13	ns	38.24 - 38.27, 38.31 - 38.33, 38.37, 38.38
項目	記号	66.67MHz			単位	参照図																																																																																																																
		Min.	Max.																																																																																																																			
アドレス遅延時間1	t <sub>AD1</sub>	1	13	ns	38.12 - 38.42																																																																																																																	
アドレス遅延時間2	t <sub>AD2</sub>	1/2t <sub>CYC</sub>	1/2t <sub>CYC</sub> + 13	ns	38.19																																																																																																																	
アドレスセットアップ時間	t <sub>AS</sub>	0	-	ns	38.12 - 38.19																																																																																																																	
アドレスホールド時間	t <sub>AH</sub>	0	-	ns	38.12, 38.13																																																																																																																	
BS遅延時間	t <sub>BSD</sub>	-	13	ns	38.12 - 38.36, 38.37, 38.38																																																																																																																	
CS遅延時間1	t <sub>CS01</sub>	1	13	ns	38.12 - 38.36, 38.37 - 38.42																																																																																																																	
リードライト遅延時間1	t <sub>RW01</sub>	1	13	ns	38.12 - 38.36, 38.37 - 38.42																																																																																																																	
リードストロブ遅延時間	t <sub>RSD</sub>	1/2t <sub>CYC</sub>	1/2t <sub>CYC</sub> + 13	ns	38.12 - 38.19, 38.39, 38.40																																																																																																																	
リードデータセットアップ時間1	t <sub>RDS1</sub>	1/2t <sub>CYC</sub> + 10	-	ns	38.12 - 38.18, 38.37 - 38.42																																																																																																																	
リードデータセットアップ時間2	t <sub>RDS2</sub>	7	-	ns	38.20 - 38.23, 38.28 - 38.30, 38.37, 38.38																																																																																																																	
リードデータセットアップ時間3	t <sub>RDS3</sub>	1/2t <sub>CYC</sub> + 10	-	ns	38.19																																																																																																																	
リードデータホールド時間1	t <sub>RDH1</sub>	0	-	ns	38.12 - 38.18, 38.37 - 38.42																																																																																																																	
リードデータホールド時間2	t <sub>RDH2</sub>	2	-	ns	38.20 - 38.23, 38.28 - 38.30, 38.37, 38.38																																																																																																																	
リードデータホールド時間3	t <sub>RDH3</sub>	0	-	ns	38.19																																																																																																																	
ライトイネーブル遅延時間1	t <sub>WE01</sub>	1/2t <sub>CYC</sub>	1/2t <sub>CYC</sub> + 13	ns	38.12 - 38.17, 38.39, 38.40																																																																																																																	
ライトイネーブル遅延時間2	t <sub>WE02</sub>	-	13	ns	38.18																																																																																																																	
ライトデータ遅延時間1	t <sub>WDD1</sub>	-	13	ns	38.12 - 38.18, 38.39 - 38.42																																																																																																																	
ライトデータ遅延時間2	t <sub>WDD2</sub>	-	13	ns	38.24 - 38.27, 38.31 - 38.33, 38.37, 38.38																																																																																																																	
	38-16	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">66.67MHz</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> </tr> <tr> <th>Min.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>ライトデータホールド時間1</td> <td>t<sub>WDH1</sub></td> <td>1</td> <td>-</td> <td>ns</td> <td>38.12 - 38.18, 38.37 - 38.42</td> </tr> <tr> <td>ライトデータホールド時間2</td> <td>t<sub>WDH2</sub></td> <td>1</td> <td>-</td> <td>ns</td> <td>38.24 - 38.27, 38.31 - 38.33, 38.37, 38.38</td> </tr> <tr> <td>ライトデータホールド時間4</td> <td>t<sub>WDH4</sub></td> <td>0</td> <td>-</td> <td>ns</td> <td>38.12</td> </tr> <tr> <td>ライトデータホールド時間5</td> <td>t<sub>WDH5</sub></td> <td>1</td> <td>-</td> <td>ns</td> <td>38.39 - 38.42</td> </tr> <tr> <td>WAITセットアップ時間1</td> <td>t<sub>WTS1</sub></td> <td>1/2t<sub>CYC</sub> + 7</td> <td>-</td> <td>ns</td> <td>38.12 - 38.19, 38.40, 38.42</td> </tr> <tr> <td>WAITホールド時間1</td> <td>t<sub>WTH1</sub></td> <td>1/2t<sub>CYC</sub> + 2</td> <td>-</td> <td>ns</td> <td>38.12 - 38.19, 38.40, 38.42</td> </tr> <tr> <td>RAS遅延時間1</td> <td>t<sub>RAS01</sub></td> <td>1</td> <td>13</td> <td>ns</td> <td>38.20 - 38.36, 38.37, 38.38</td> </tr> <tr> <td>CAS遅延時間1</td> <td>t<sub>CAS01</sub></td> <td>1</td> <td>13</td> <td>ns</td> <td>38.20 - 38.36, 38.37, 38.38</td> </tr> <tr> <td>DOM遅延時間1</td> <td>t<sub>DOM01</sub></td> <td>1</td> <td>13</td> <td>ns</td> <td>38.20 - 38.36, 38.37, 38.38</td> </tr> <tr> <td>CKE遅延時間1</td> <td>t<sub>CKE01</sub></td> <td>1</td> <td>13</td> <td>ns</td> <td>38.35, 38.36, 38.37, 38.38</td> </tr> <tr> <td>DACK遅延時間</td> <td>t<sub>DACK</sub></td> <td>-</td> <td>13</td> <td>ns</td> <td>38.12 - 38.36, 38.37</td> </tr> <tr> <td>ICIOR0遅延時間</td> <td>t<sub>ICIOR0</sub></td> <td>-</td> <td>1/2t<sub>CYC</sub> + 13</td> <td>ns</td> <td>38.39, 38.40</td> </tr> <tr> <td>ICIOR1遅延時間</td> <td>t<sub>ICIOR1</sub></td> <td>-</td> <td>1/2t<sub>CYC</sub> + 13</td> <td>ns</td> <td>38.41, 38.42</td> </tr> <tr> <td>IOIS16セットアップ時間</td> <td>t<sub>IOIS16</sub></td> <td>1/2t<sub>CYC</sub> + 6</td> <td>-</td> <td>ns</td> <td>38.42</td> </tr> <tr> <td>IOIS16ホールド時間</td> <td>t<sub>IOIS16</sub></td> <td>1/2t<sub>CYC</sub> + 4</td> <td>-</td> <td>ns</td> <td>38.42</td> </tr> <tr> <td>REFOUT、IRQOUT遅延時間</td> <td>t<sub>REFOUT</sub></td> <td>-</td> <td>1/2t<sub>CYC</sub> + 13</td> <td>ns</td> <td>38.43</td> </tr> </tbody> </table>	項目	記号	66.67MHz		単位	参照図	Min.	Max.	ライトデータホールド時間1	t <sub>WDH1</sub>	1	-	ns	38.12 - 38.18, 38.37 - 38.42	ライトデータホールド時間2	t <sub>WDH2</sub>	1	-	ns	38.24 - 38.27, 38.31 - 38.33, 38.37, 38.38	ライトデータホールド時間4	t <sub>WDH4</sub>	0	-	ns	38.12	ライトデータホールド時間5	t <sub>WDH5</sub>	1	-	ns	38.39 - 38.42	WAITセットアップ時間1	t <sub>WTS1</sub>	1/2t <sub>CYC</sub> + 7	-	ns	38.12 - 38.19, 38.40, 38.42	WAITホールド時間1	t <sub>WTH1</sub>	1/2t <sub>CYC</sub> + 2	-	ns	38.12 - 38.19, 38.40, 38.42	RAS遅延時間1	t <sub>RAS01</sub>	1	13	ns	38.20 - 38.36, 38.37, 38.38	CAS遅延時間1	t <sub>CAS01</sub>	1	13	ns	38.20 - 38.36, 38.37, 38.38	DOM遅延時間1	t <sub>DOM01</sub>	1	13	ns	38.20 - 38.36, 38.37, 38.38	CKE遅延時間1	t <sub>CKE01</sub>	1	13	ns	38.35, 38.36, 38.37, 38.38	DACK遅延時間	t <sub>DACK</sub>	-	13	ns	38.12 - 38.36, 38.37	ICIOR0遅延時間	t <sub>ICIOR0</sub>	-	1/2t <sub>CYC</sub> + 13	ns	38.39, 38.40	ICIOR1遅延時間	t <sub>ICIOR1</sub>	-	1/2t <sub>CYC</sub> + 13	ns	38.41, 38.42	IOIS16セットアップ時間	t <sub>IOIS16</sub>	1/2t <sub>CYC</sub> + 6	-	ns	38.42	IOIS16ホールド時間	t <sub>IOIS16</sub>	1/2t <sub>CYC</sub> + 4	-	ns	38.42	REFOUT、IRQOUT遅延時間	t <sub>REFOUT</sub>	-	1/2t <sub>CYC</sub> + 13	ns	38.43												
項目	記号	66.67MHz			単位	参照図																																																																																																																
		Min.	Max.																																																																																																																			
ライトデータホールド時間1	t <sub>WDH1</sub>	1	-	ns	38.12 - 38.18, 38.37 - 38.42																																																																																																																	
ライトデータホールド時間2	t <sub>WDH2</sub>	1	-	ns	38.24 - 38.27, 38.31 - 38.33, 38.37, 38.38																																																																																																																	
ライトデータホールド時間4	t <sub>WDH4</sub>	0	-	ns	38.12																																																																																																																	
ライトデータホールド時間5	t <sub>WDH5</sub>	1	-	ns	38.39 - 38.42																																																																																																																	
WAITセットアップ時間1	t <sub>WTS1</sub>	1/2t <sub>CYC</sub> + 7	-	ns	38.12 - 38.19, 38.40, 38.42																																																																																																																	
WAITホールド時間1	t <sub>WTH1</sub>	1/2t <sub>CYC</sub> + 2	-	ns	38.12 - 38.19, 38.40, 38.42																																																																																																																	
RAS遅延時間1	t <sub>RAS01</sub>	1	13	ns	38.20 - 38.36, 38.37, 38.38																																																																																																																	
CAS遅延時間1	t <sub>CAS01</sub>	1	13	ns	38.20 - 38.36, 38.37, 38.38																																																																																																																	
DOM遅延時間1	t <sub>DOM01</sub>	1	13	ns	38.20 - 38.36, 38.37, 38.38																																																																																																																	
CKE遅延時間1	t <sub>CKE01</sub>	1	13	ns	38.35, 38.36, 38.37, 38.38																																																																																																																	
DACK遅延時間	t <sub>DACK</sub>	-	13	ns	38.12 - 38.36, 38.37																																																																																																																	
ICIOR0遅延時間	t <sub>ICIOR0</sub>	-	1/2t <sub>CYC</sub> + 13	ns	38.39, 38.40																																																																																																																	
ICIOR1遅延時間	t <sub>ICIOR1</sub>	-	1/2t <sub>CYC</sub> + 13	ns	38.41, 38.42																																																																																																																	
IOIS16セットアップ時間	t <sub>IOIS16</sub>	1/2t <sub>CYC</sub> + 6	-	ns	38.42																																																																																																																	
IOIS16ホールド時間	t <sub>IOIS16</sub>	1/2t <sub>CYC</sub> + 4	-	ns	38.42																																																																																																																	
REFOUT、IRQOUT遅延時間	t <sub>REFOUT</sub>	-	1/2t <sub>CYC</sub> + 13	ns	38.43																																																																																																																	
38.4.15 USB モジュール信号タイミング 表 38.17 USB モジュールクロックタイミング	38-58	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th>Min</th> <th>Max</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> </tr> <tr> <th>47.9</th> <th>48.1</th> </tr> </thead> <tbody> <tr> <td>EXTAL_USB</td> <td>USBF使用時</td> <td>t<sub>FREQ</sub></td> <td>47.976</td> <td>48.024</td> <td>MHz</td> <td>38.60</td> </tr> <tr> <td>クロック周波数 (48MHz)</td> <td>USBH使用時</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	項目	記号	Min	Max	単位	参照図	47.9	48.1	EXTAL_USB	USBF使用時	t <sub>FREQ</sub>	47.976	48.024	MHz	38.60	クロック周波数 (48MHz)	USBH使用時																																																																																																			
項目	記号	Min			Max	単位			参照図																																																																																																													
		47.9	48.1																																																																																																																			
EXTAL_USB	USBF使用時	t <sub>FREQ</sub>	47.976	48.024	MHz	38.60																																																																																																																
クロック周波数 (48MHz)	USBH使用時																																																																																																																					

---

# 索引

---

<b>【数字 / 記号】</b>	
16 ビットタイムパルスユニット (TPU) .....	15-1
16 ビットと 32 ビットディスプレイメント .....	2-15
<b>【 A 】</b>	
A/D 変換器 .....	27-1
AFE インタフェース .....	22-14
<b>【 C 】</b>	
CPU .....	2-1
<b>【 D 】</b>	
D/A 変換器 (DAC) .....	28-1
DAA インタフェース .....	22-16
DSP レジスタ .....	3-6, 3-25
DSP 演算ユニット .....	3-1
DSP 演算命令 .....	3-29
<b>【 F 】</b>	
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) .....	18-1
<b>【 H 】</b>	
H-UDI リセット .....	36-15
H-UDI 割り込み .....	36-15
<b>【 I 】</b>	
I/O ポート .....	35-1
I <sup>2</sup> C バスインタフェース 2 (IIC) .....	20-1
I <sup>2</sup> C バスフォーマット .....	20-14
IRQ 割り込み .....	8-19
<b>【 J 】</b>	
JTAG .....	36-1
<b>【 L 】</b>	
LCD コントローラ (LCD) .....	26-1
LRU .....	5-2
<b>【 M 】</b>	
MMC モード .....	31-23
MMU .....	4-1
<b>【 N 】</b>	
NMI 割り込み .....	8-18
<b>【 P 】</b>	
P0、P3、U0 領域 .....	4-3
P0/U0 領域 .....	2-2
P1 領域 .....	2-3, 4-3
P2 領域 .....	2-3, 4-3
P3 領域 .....	2-3
P4 領域 .....	2-3, 4-4
PC カードコントローラ (PCC) .....	29-1
PWM モード .....	15-21
<b>【 R 】</b>	
RTC 用水晶発振回路 .....	17-19
<b>【 S 】</b>	
SIM カードモジュール (SIM) .....	30-1
SITCR .....	37-32
<b>【 T 】</b>	
TAP コントローラ .....	36-13
T ビット .....	2-14
<b>【 U 】</b>	
USB ピンマルチプレクスコントローラ .....	23-1
USB ファンクションコントローラ (USBF) .....	25-1
USB ホストコントローラ (USBH) .....	24-1
Uxy 領域 .....	4-6
<b>【 X 】</b>	
X/Y メモリ .....	6-1
<b>【 あ 】</b>	
アクノリッジ .....	20-14
アドレスアレイ .....	5-2

アドレスアレイライト (連想あり) .....	5-11
アドレスアレイライト (連想なし) .....	5-10
アドレスアレイリード .....	5-10
アドレス空間識別子 .....	4-8
アドレス変換 .....	4-7
アナログフロントエンドインタフェース (AFEIF) ....	22-1
位相計数モード .....	15-23
インターミットモード .....	10-28
ウォッチドッグタイマ (WDT) .....	12-1
液晶モジュール電源状態 .....	26-40
オートリクエストモード .....	10-17
オートリロードカウント動作 .....	14-7

### 【か】

開始条件 .....	20-14
外部リクエストモード .....	10-17
キャッシュ .....	5-1
空間分割 .....	9-5
グローバルベースレジスタ (GBR) .....	2-11
クロック同期式モード .....	18-35
固定モード .....	10-20
コントロールレジスタ .....	2-5
コントロール転送 .....	25-32
コンペアマッチタイマ (CMT) .....	16-1

### 【さ】

サイクルスチール .....	10-27
システムレジスタ .....	2-5
システム制御命令 .....	3-18
シノニム問題 .....	4-19
処理モード .....	2-2
シリアル I/O FIFO 付き (SIOF) .....	21-1
シングルアドレスモード .....	10-25
シングルデータ転送命令 .....	3-17
シングルモード .....	27-7
信号源インピーダンス .....	27-18
スキャンモード .....	27-11
ステータスレジスタ (SR) .....	2-9
ステータスレジスタ (SR) の拡張 .....	3-4
ストール動作 .....	25-49
スマートカードインタフェース .....	30-14
スリープモード .....	13-9
スレーブアドレス .....	20-14
赤外線通信モジュール (IrDA) .....	19-1
積和レジスタ .....	2-8
絶対アドレス .....	2-15
ソフトウェアスタンバイモード .....	13-10

### 【た】

回避ステータスレジスタ (SSR) .....	2-10
回避プログラムカウンタ (SPC) .....	2-10
タイマユニット (TMU) .....	14-1
ダイレクトメモリアクセスコントローラ (DMAC) ...	10-1
多重仮想記憶モード .....	4-8
ダブルデータ転送命令 .....	3-16
単一仮想記憶モード .....	4-8
遅延分岐 .....	2-14
調歩同期式モード .....	18-24
停止条件 .....	20-14
低消費電力モード .....	13-1
低消費電力状態 .....	2-1
データアレイ .....	5-2
データアレイライト .....	5-11
データアレイリード .....	5-11
デュアルアドレスモード .....	10-23
電源制御シーケンス処理 .....	26-37
転送レート .....	20-13

### 【な】

内蔵周辺モジュールリクエストモード .....	10-18
ノイズ除去回路 .....	20-23

### 【は】

バーストモード .....	10-29
バウンダリスキャンモード .....	36-16
バスステートコントローラ (BSC) .....	9-1
バッファ動作 .....	15-19
パワーオンリセット .....	7-8, 13-2
汎用レジスタ .....	2-5
ビッグエンディアン .....	2-12, 9-40
ビット同期回路 .....	20-29
表示 OFF モード (LCDC 停止) の注意事項 .....	26-41
表示解像度の設定 .....	26-37
物理アドレス空間 .....	4-6
フリーラン動作 .....	16-7
プリフェッチヒット .....	5-8
プリフェッチミス .....	5-8
プログラムカウンタ .....	2-5
プロシジャーレジスタ .....	2-8
ヘクタベースレジスタ (VBR) .....	2-11
ポーレートジェネレータ .....	21-23

### 【ま】

マニュアルリセット .....	7-8, 13-2
-----------------	-----------



マルチメディアカードインタフェース (MMCIF) .....	31-1, 32-1
マルチモード .....	27-9
命令長 .....	2-14
メモリマネジメントユニット (MMU) .....	4-1
モジュールスタンバイ .....	13-11
モジュロアドレッシング .....	3-22
モジュロレジスタ (MOD) .....	3-5
モデム機能 .....	18-34

## 【や】

ユーザデバッグインタフェース (H-UDI) .....	36-1
ユーザブレークコントローラ (UBC) .....	33-1

## 【ら】

ライトヒット .....	5-8
ライトミス .....	5-9
ラウンドロビンモード .....	10-20
リアルタイムクロック (RTC) .....	17-1
リードヒット .....	5-8
リードミス .....	5-8
リセット状態 .....	2-1
リテラル定数 .....	2-14
リトルエンディアン .....	2-13, 9-40
リピートエンドレジスタ (RE) .....	3-5
リピートスタートレジスタ (RS) .....	3-5
例外処理 .....	7-1
例外処理状態 .....	2-1
レジスタ	
ACDR .....	22-11, 37-8, 37-33, 37-51
ACTR .....	22-3, 37-8, 37-33, 37-51
ADCSR .....	27-4, 37-11, 37-39, 37-54
ADDR .....	27-3, 37-11, 37-39, 37-54
ASDR .....	22-11, 37-9, 37-33, 37-51
ASTR .....	22-6, 37-8, 37-33, 37-51
BAMRA .....	33-5, 37-13, 37-42, 37-56
BAMRB .....	33-7, 37-13, 37-41, 37-56
BARA .....	33-4, 37-13, 37-42, 37-56
BARB .....	33-6, 37-13, 37-41, 37-56
BASRA .....	33-14, 37-13, 37-42, 37-56
BASRB .....	33-14, 37-13, 37-42, 37-56
BBRA .....	33-5, 37-13, 37-42, 37-56
BBRB .....	33-9, 37-13, 37-41, 37-56
BDMRB .....	33-8, 37-13, 37-41, 37-56
BDRB .....	33-7, 37-13, 37-41, 37-56
BETR .....	33-12, 37-13, 37-41, 37-56
BRDR .....	33-10, 37-13, 37-41, 37-56

BRDR .....	33-13, 37-13, 37-42, 37-56
BRSR .....	33-13, 37-13, 37-42, 37-56
CCR1 .....	5-3, 37-2, 37-16, 37-45
CCR2 .....	5-4, 37-2, 37-16, 37-45
CCR3 .....	5-6, 37-2, 37-16, 37-45
CHCR .....	10-5, 37-3, 37-22, 37-46
CLKON .....	31-19, 37-12, 37-40, 37-55
CMCNT .....	16-6, 37-6, 37-28, 37-49
CMCOR .....	16-6, 37-6, 37-28, 37-49
CMCSR .....	16-4, 37-6, 37-28, 37-49
CMDR .....	31-9, 37-12, 37-40, 37-55
CMDSTRT .....	31-11, 37-12, 37-40, 37-55
CMDTYR .....	31-5, 37-12, 37-40, 37-55
CMNCR .....	9-10, 37-3, 37-18, 37-46
CMSTR .....	16-4, 37-6, 37-28, 37-49
CSnBCR .....	9-13, 37-3, 37-18, 37-46
CSnWCR .....	9-16, 37-3, 37-19, 37-46
CSTR .....	31-14, 37-12, 37-40, 37-55
CTLR0 .....	25-24, 37-10, 37-37, 37-53
CTLR1 .....	25-25, 37-10, 37-37, 37-53
CTOCR .....	31-13, 37-12, 37-40, 37-55
CVR .....	25-22, 37-10, 37-37, 37-53
DACR .....	28-3, 37-11, 37-39, 37-54
DADR .....	28-2, 37-11, 37-39, 37-54
DAR .....	10-5, 37-3, 37-21, 37-46
DASTS .....	25-19, 37-10, 37-37, 37-53
DMA .....	25-21, 37-10, 37-37, 37-53
DMACR .....	31-21, 37-13, 37-41, 37-56
DMAOR .....	10-10, 37-4, 37-24, 37-47
DMARS .....	10-12, 37-4, 37-24, 37-47
DMATCR .....	10-5, 37-3, 37-21, 37-46
DPNQ .....	22-10, 37-8, 37-33, 37-51
DR .....	31-20, 37-13, 37-41, 37-56
DTOUTR .....	31-13, 37-13, 37-41, 37-56
EPDR0i .....	25-15, 37-10, 37-36, 37-52
EPDR0o .....	25-16, 37-10, 37-36, 37-53
EPDR0s .....	25-16, 37-10, 37-36, 37-53
EPDR1 .....	25-16, 37-10, 37-36, 37-53
EPDR2 .....	25-17, 37-10, 37-36, 37-53
EPDR3 .....	25-17, 37-10, 37-36, 37-53
EPDR4 .....	25-17, 37-10, 37-36, 37-53
EPDR5 .....	25-18, 37-10, 37-37, 37-53
EPIR .....	25-25, 37-10, 37-37, 37-53
EPSTL0 .....	25-21, 37-10, 37-37, 37-53
EPSTL1 .....	25-22, 37-10, 37-37, 37-53
EPSZ0o .....	25-18, 37-10, 37-37, 37-53
EPSZ1 .....	25-18, 37-10, 37-37, 37-53

EPSZ4 .....	25-18, 37-10, 37-37, 37-53	LDUINTR.....	26-23, 37-11, 37-39, 37-54
EXPEVT .....	7-2, 37-2, 37-17, 37-45	LDVDLNR .....	26-15, 37-11, 37-38, 37-54
FCLR0 .....	25-20, 37-10, 37-37, 37-53	LDVSYNR .....	26-16, 37-11, 37-38, 37-54
FCLR1 .....	25-20, 37-10, 37-37, 37-53	LDVTLNR.....	26-15, 37-11, 37-38, 37-54
FIFOCLR .....	31-21, 37-13, 37-41, 37-56	MACH.....	2-8
FRQCR.....	11-8, 37-4, 37-24, 37-47	MACL .....	2-8
GBR.....	2-11	MMUCR .....	4-11, 37-2, 37-16, 37-45
ICCR1.....	20-4, 37-7, 37-31, 37-50	MODER .....	31-4, 37-12, 37-40, 37-55
ICCR2.....	20-5, 37-7, 37-31, 37-50	OPCR .....	31-12, 37-12, 37-40, 37-55
ICDRR .....	20-11, 37-7, 37-31, 37-50	PADR .....	35-1, 37-14, 37-43, 37-57
ICDRS .....	20-11	PBDR .....	35-3, 37-14, 37-43, 37-57
ICDRT.....	20-11, 37-7, 37-31, 37-50	PCC0CSCIER.....	29-14, 37-11, 37-39, 37-54
ICIER.....	20-7, 37-7, 37-31, 37-50	PCC0CSCR .....	29-11, 37-11, 37-39, 37-54
ICMR .....	20-6, 37-7, 37-31, 37-50	PCC0GCR.....	29-9, 37-11, 37-39, 37-54
ICR0 .....	8-5, 37-3, 37-18, 37-46	PCC0ISR.....	29-6, 37-11, 37-39, 37-54
ICR1 .....	8-6, 37-2, 37-18, 37-45	PCDR .....	35-4, 37-14, 37-43, 37-57
ICSR .....	20-9, 37-7, 37-31, 37-50	PDDR .....	35-5, 37-14, 37-43, 37-57
IER0.....	25-13, 37-9, 37-36, 37-52	PEDR .....	35-7, 37-14, 37-43, 37-57
IFR0.....	25-5, 37-9, 37-36, 37-52	PFDR.....	35-8, 37-14, 37-43, 37-57
INTCR.....	31-15, 31-22, 37-12, 37-13, .....	PGDR .....	35-10, 37-14, 37-43, 37-57
.....	37-40, 37-41, 37-55, 37-56	PHDR .....	35-11, 37-14, 37-43, 37-57
INTEVT.....	7-3, 37-2, 37-17, 37-45	PINTER .....	8-17, 37-2, 37-18, 37-45
INTEVT2.....	7-3, 37-2, 37-16, 37-45	PJDR.....	35-13, 37-14, 37-44, 37-57
INTSTR.....	31-17, 31-22, 37-12, 37-13, .....	PKDR .....	35-14, 37-14, 37-44, 37-57
.....	37-40, 37-41, 37-55, 37-56	PLDR.....	35-16, 37-14, 37-44, 37-57
IOMCR.....	37-12, 37-55	PMDR.....	35-17, 37-14, 37-44, 37-57
IPR.....	8-4, 37-3, 37-18, 37-46	PPDR .....	35-19, 37-14, 37-44, 37-57
IRRO .....	8-7, 37-2, 37-17, 37-45	PR .....	2-8
ISRO.....	25-11, 37-9, 37-36, 37-52	PRDR .....	35-20, 37-14, 37-44, 37-57
LDACLNR.....	26-17, 37-11, 37-38, 37-54	PSDR .....	35-21, 37-14, 37-44, 37-57
LDCNTR.....	26-22, 37-11, 37-38, 37-54	PSELA.....	34-26, 37-14, 37-43, 37-57
LDDFR.....	26-8, 37-11, 37-37, 37-53	PSELB.....	34-28, 37-14, 37-43, 37-57
LDHCNR.....	26-13, 37-11, 37-38, 37-54	PSELC.....	34-29, 37-14, 37-43, 37-57
LDHSYNR .....	26-14, 37-11, 37-38, 37-54	PSELD.....	34-30, 37-14, 37-43, 37-57
LDICKR .....	26-4, 37-11, 37-37, 37-53	PTDR.....	35-23, 37-14, 37-44, 37-57
LDINTR.....	26-17, 37-11, 37-38, 37-54	PTEH.....	4-9, 37-2, 37-16, 37-45
LDLAOR .....	26-11, 37-11, 37-38, 37-54	PTEL .....	4-10, 37-2, 37-16, 37-45
LDLIRNR .....	26-25, 37-11, 37-39, 37-54	PUDR .....	35-24, 37-14, 37-44, 37-57
LDMTR .....	26-5, 37-11, 37-37, 37-53	PVDR .....	35-26, 37-14, 37-44, 37-57
LDPALCR.....	26-12, 37-11, 37-38, 37-54	R64CNT .....	17-5, 37-6, 37-29, 37-49
LDPMMR.....	26-19, 37-11, 37-38, 37-54	RCNT .....	22-10, 37-8, 37-33, 37-51
LDPR.....	26-12, 37-10, 37-37, 37-53	RCR1.....	17-12, 37-7, 37-29, 37-49
LDPSPR .....	26-21, 37-11, 37-38, 37-54	RCR2.....	17-14, 37-7, 37-29, 37-49
LDSARL.....	26-11, 37-11, 37-38, 37-54	RCR3.....	17-15, 37-7, 37-30, 37-50
LDSARU .....	26-10, 37-11, 37-38, 37-54	RDAYAR .....	17-11, 37-7, 37-29, 37-49
LDSMR.....	26-9, 37-11, 37-38, 37-53	RDAYCNT.....	17-8, 37-6, 37-29, 37-49
LDUINTLNR .....	26-24, 37-11, 37-39, 37-54	RDFP.....	22-11, 37-9, 37-33, 37-51

RHRAR.....	17-10, 37-7, 37-29, 37-49
RHRCNT .....	17-6, 37-6, 37-29, 37-49
RMINAR .....	17-10, 37-6, 37-29, 37-49
RMINCNT.....	17-6, 37-6, 37-29, 37-49
RMONAR.....	17-12, 37-7, 37-29, 37-49
RMONCNT .....	17-8, 37-6, 37-29, 37-49
RSECAR.....	17-9, 37-6, 37-29, 37-49
RSECCNT .....	17-5, 37-6, 37-29, 37-49
RSPR.....	31-10, 37-12, 37-40, 37-55
RSPTYR.....	31-6, 37-12, 37-40, 37-55
RTCNT .....	9-39, 37-3, 37-21, 37-46
RTCOR.....	9-39, 37-3, 37-21, 37-46
RTCSR .....	9-38, 37-3, 37-21, 37-46
RWKAR.....	17-11, 37-7, 37-29, 37-49
RWKCNT.....	17-7, 37-6, 37-29, 37-49
RYRAR.....	17-12, 37-7, 37-30, 37-49
RYRCNT.....	17-9, 37-6, 37-29, 37-49
SAR .....	10-4, 20-11, 37-3, 37-7, ..... 37-21, 37-31, 37-46, 37-50
SCBRR.....	18-19, 37-7, 37-30, 37-50
SCBRR ( SIM ) .....	30-4, 37-12, 37-39, 37-54
SCFCR.....	18-21, 37-7, 37-30, 37-50
SCFDR.....	18-23, 37-7, 37-30, 37-50
SCFER .....	18-13, 37-7, 37-30, 37-50
SCFRDR.....	18-6, 37-7, 37-30, 37-50
SCFTDR.....	18-6, 37-7, 37-30, 37-50
SCGRD.....	30-13, 37-12, 37-39, 37-55
SCIMR .....	19-2, 37-7, 37-30, 37-50
SCRDR.....	30-11, 37-12, 37-39, 37-54
SCRSR .....	18-6
SCRSR ( SIM ) .....	30-11
SCSC2R.....	30-12, 37-12, 37-39, 37-55
SCSCMR.....	30-11, 37-12, 37-39, 37-54
SCSCR.....	18-10, 37-7, 37-30, 37-50
SCSCR ( SIM ) .....	30-5, 37-12, 37-39, 37-54
SCSMPL.....	30-13, 37-12, 37-39, 37-55
SCSMR.....	18-7, 37-7, 37-30, 37-50
SCSMR ( SIM ) .....	30-3, 37-12, 37-39, 37-54
SCSSR .....	18-14, 37-7, 37-30, 37-50
SCSSR ( SIM ) .....	30-7, 37-12, 37-39, 37-54
SCTDR .....	30-7, 37-12, 37-39, 37-54
SCTDSR.....	18-23, 37-7, 37-30, 37-50
SCTSR .....	18-6
SCTSR ( SIM ) .....	30-6
SCWAIT.....	30-13, 37-12, 37-39, 37-55
SDBPR.....	36-3
SDBSR.....	36-4
SDCR .....	9-36, 37-3, 37-21, 37-46
SDID.....	36-12, 37-15, 37-44, 37-57
SDIR.....	36-3, 37-15, 37-44, 37-57
SICDAR.....	21-22, 37-8, 37-31, 37-50
SICTR.....	21-7, 37-8, 37-31, 37-50
SIFCTR .....	21-17, 37-8, 37-31, 37-50
SIER.....	21-16, 37-8, 37-31, 37-51
SIMDR.....	21-5, 37-8, 37-31, 37-50
SIRCR.....	21-10, 37-8, 37-32, 37-51
SIRDAR.....	21-21, 37-8, 37-31, 37-50
SIRDR.....	21-9, 37-8, 37-31, 37-51
SISCR .....	21-18, 37-8, 37-31, 37-50
SISTR.....	21-11, 37-8, 37-31, 37-51
SITCR.....	21-10, 37-8, 37-31, 37-51
SITDAR .....	21-20, 37-8, 37-31, 37-50
SITDR.....	21-9, 37-8, 37-31, 37-51
SPC.....	2-10
SR .....	2-9
SSR.....	2-10
STBCR .....	13-4
STBCR2.....	13-5, 37-4, 37-24, 37-47
STBCR3.....	13-6, 37-4, 37-24, 37-47
STBCR4.....	13-7, 37-4, 37-24, 37-47
STBCR5.....	13-8, 37-4, 37-24, 37-47
TBCR.....	31-8, 37-12, 37-40, 37-55
TBNCR.....	31-9, 37-12, 37-40, 37-55
TCNT.....	14-6, 15-14, 37-4, 37-5, ..... 37-25, 37-26, 37-47, 37-48
TCOR .....	14-6, 37-4, 37-24, 37-47
TCR .....	14-5, 15-7, 37-4, 37-5, 37-25, 37-47, 37-48
TDFP .....	22-11, 37-9, 37-33, 37-51
TEA .....	7-3, 37-2, 37-17, 37-45
TGR.....	15-14, 37-5, 37-26, 37-48
TIER .....	15-11, 37-5, 37-25, 37-48
TIOR.....	15-10, 37-5, 37-25, 37-48
TMDR .....	15-9, 37-5, 37-25, 37-48
TRA .....	7-2, 37-2, 37-17, 37-45
TRG.....	25-19, 37-10, 37-37, 37-53
TSR .....	15-12, 37-5, 37-26, 37-48
TSTR.....	14-4, 15-14, 37-4, 37-5, ..... 37-24, 37-25, 37-47, 37-48
TTB.....	4-10, 37-2, 37-16, 37-45
UCLKCR .....	11-10, 37-4, 37-24, 37-47
USBHBCED .....	24-14, 37-9, 37-35, 37-52
USBHBHED .....	24-14, 37-9, 37-35, 37-52
USBHC.....	24-4, 37-9, 37-34, 37-52
USBHCCED .....	24-14, 37-9, 37-34, 37-52

USBHCHED .....	24-13, 37-9, 37-34, 37-52	USBHRDB.....	24-20, 37-9, 37-36, 37-52
USBHCS.....	24-7, 37-9, 37-34, 37-52	USBHRPS.....	24-22, 37-9, 37-36, 37-52
USBHDHED .....	24-14, 37-9, 37-35, 37-52	USBHRS .....	24-21, 37-9, 37-36, 37-52
USBHFI .....	24-15, 37-9, 37-35, 37-52	UTRCTL .....	23-4, 37-9, 37-33, 37-51
USBHFN.....	24-16, 37-9, 37-35, 37-52	VBR.....	2-11
USBHFR.....	24-16, 37-9, 37-35, 37-52	VDCNT .....	31-20
USBHHCCA .....	24-13, 37-9, 37-34, 37-52	WTCNT .....	12-3, 37-4, 37-24, 37-47
USBHID .....	24-12, 37-9, 37-34, 37-52	WTCSR .....	12-3, 37-4, 37-24, 37-47
USBHIE .....	24-10, 37-9, 37-34, 37-52	ロードストアアーキテクチャ .....	2-14
USBHIS .....	24-9, 37-9, 37-34, 37-52	論理アドレス空間.....	4-3
USBHLST .....	24-17, 37-9, 37-35, 37-52	<b>【わ】</b>	
USBHPCED .....	24-13, 37-9, 37-34, 37-52	割り込みコントローラ (INTC) .....	8-1
USBHPS.....	24-17, 37-9, 37-35, 37-52	ワンショット動作.....	16-6
USBHR .....	24-4, 37-9, 37-33, 37-52		
USBHRDA.....	24-18, 37-9, 37-35, 37-52		

---

ルネサス32ビットRISCマイクロコンピュータ  
SH7720グループ、SH7721グループ  
ユーザーズマニュアル ハードウェア編

発行年月日 2004年6月28日 Rev.1.00  
2010年9月21日 Rev.4.00

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>



SH7720 グループ、SH7721 グループ  
ユーザーズマニュアル ハードウェア編