

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7265 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ

SuperH™ RISC engine ファミリ / SH7260 シリーズ

SH7265

R5S72650P200BG

R5S72651P200BG

R5S72652P200BG

R5S72653P200BG

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものです。誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準：	コンピュータ、OA 機器、通信機器、計測機器、AV 機器、 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準：	輸送機器（自動車、電車、船舶等）、交通用信号機器、 防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - CPUおよびシステム制御系
 - 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、 等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認のうえ設計してください。各章の本文中には説明に対する注意事項、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスター一覧
8. 電気的特性
9. 付録
 - 製品型名、外形寸法図など
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的にしています。

読み方

- 機能全体を理解しようとするとき

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

別冊の「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき

本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第35章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例

本マニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に、レジスタ名_チャンネル番号、の表記を使用します。

(例) CMCSR_0

(2) ビットの表記

本文中に記載されているビット名は、左側が上位ビット、右側が下位ビットの順になります。

(例) CKS1、CKS0

(3) 数字の表記

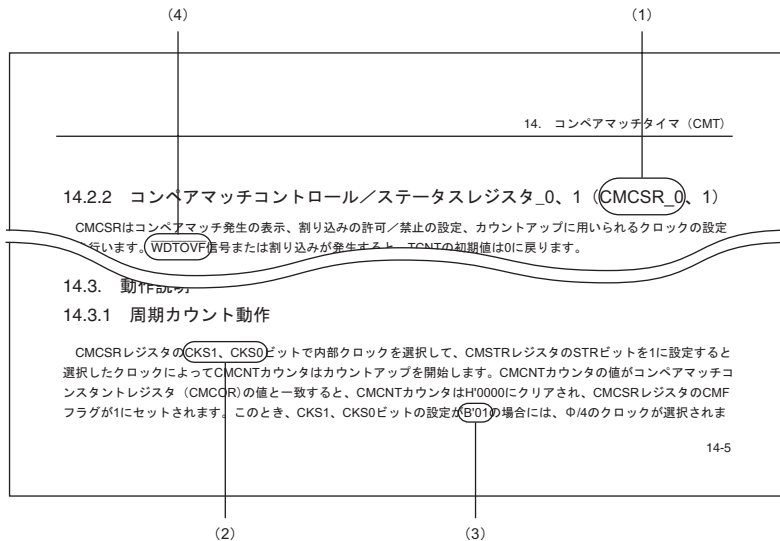
2進数はB'xxxxまたはxxxx、16進数はH'xxxx、10進数はxxxxで表します。

(例) B'11または11、H'EFA0、1234

(4) 記号の表記

ローアクティブの信号にはオーバーバーを付けています。

(例) $\overline{\text{WDTOVF}}$



【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

• ビット図とビット表の表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

レジスタのビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「-」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

- : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。

ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

ただし、リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、

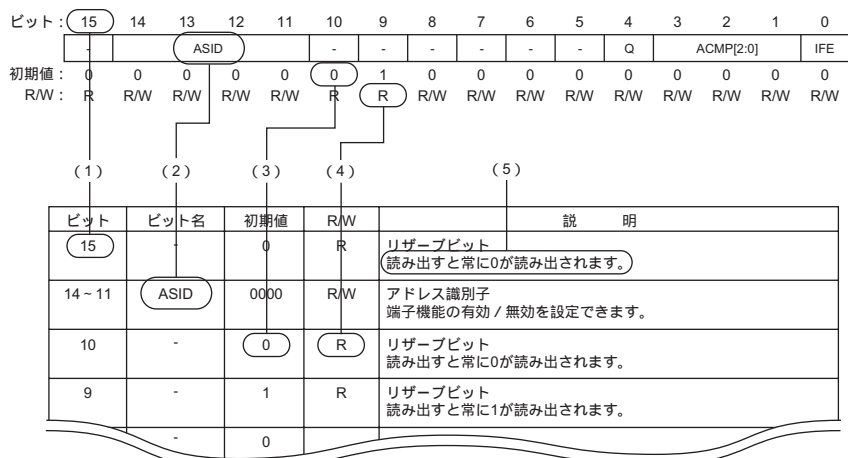
ビット表で指定された値または初期値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

ただし、読み出すときの値は、ビット表に記載してある場合以外は保証されません。

(5) 説明

ビットを設定することで可能となる機能について説明しています。



【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	SH7265の特長	1-1
1.2	製品一覧	1-9
1.3	ブロック図	1-10
1.4	ピン配置図	1-11
1.5	端子機能	1-36
1.6	バス構成	1-43
2.	CPU	2-1
2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ	2-1
2.1.2	コントロールレジスタ	2-2
2.1.3	システムレジスタ	2-3
2.1.4	レジスタバンク	2-4
2.1.5	レジスタの初期値	2-4
2.2	データ形式	2-5
2.2.1	レジスタのデータ形式	2-5
2.2.2	メモリのデータ形式	2-5
2.2.3	イミディエイトデータのデータ形式	2-6
2.3	命令の特長	2-7
2.3.1	RISC 方式	2-7
2.3.2	アドレッシングモード	2-11
2.3.3	命令形式	2-15
2.4	命令セット	2-19
2.4.1	分類順命令セット	2-19
2.4.2	データ転送命令	2-24
2.4.3	算術演算命令	2-27
2.4.4	論理演算命令	2-29
2.4.5	シフト命令	2-30
2.4.6	分岐命令	2-31
2.4.7	システム制御命令	2-32
2.4.8	浮動小数点演算命令	2-34
2.4.9	FPU に関する CPU 命令	2-36
2.4.10	ビット操作命令	2-37

2.5	処理状態.....	2-38
3.	浮動小数点ユニット (FPU)	3-1
3.1	特長.....	3-1
3.2	データフォーマット	3-2
3.2.1	浮動小数点フォーマット.....	3-2
3.2.2	非数 (NaN)	3-4
3.2.3	非正規化数	3-4
3.3	レジスタの説明	3-5
3.3.1	浮動小数点レジスタ	3-5
3.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	3-6
3.3.3	浮動小数点通信レジスタ (FPUL)	3-7
3.4	丸め.....	3-8
3.5	FPU例外.....	3-9
3.5.1	FPU 例外要因.....	3-9
3.5.2	FPU 例外処理.....	3-9
4.	マルチコアプロセッサ	4-1
4.1	特長.....	4-1
4.2	レジスタの説明	4-2
4.2.1	CPU ID レジスタ (CPUIDR)	4-4
4.2.2	セマフォレジスタ 0 ~ 31 (SEMR0 ~ 31)	4-5
4.3	動作説明.....	4-6
4.3.1	本 LSI の初期化手順	4-6
4.3.2	CPU 間の排他制御.....	4-7
5.	クロックパルス発振器 (CPG)	5-1
5.1	特長.....	5-1
5.2	入出力端子	5-4
5.3	クロック動作モード	5-5
5.4	レジスタの説明	5-10
5.4.1	周波数制御レジスタ 0、1 (FRQCR0、FRQCR1)	5-10
5.5	周波数変更方法	5-14
5.5.1	逡倍率の変更	5-14
5.5.2	分周率の変更	5-16
5.5.3	逡倍率・分周率変更時の注意事項	5-16
5.6	クロック端子の使用方法.....	5-17
5.6.1	外部クロック入力時	5-17
5.6.2	水晶発振器使用時	5-18
5.6.3	未使用時	5-18

5.7	発振安定時間.....	5-19
5.7.1	内蔵水晶発振器の発振安定時間.....	5-19
5.7.2	PLL 回路の発振安定時間.....	5-19
5.8	ボード設計上の注意事項.....	5-20
5.8.1	PLL 発振回路使用時の注意.....	5-20
6.	例外処理.....	6-1
6.1	概要.....	6-1
6.1.1	例外処理の種類と優先順位.....	6-1
6.1.2	例外処理の動作.....	6-2
6.1.3	例外処理ベクタテーブル.....	6-4
6.2	リセット.....	6-6
6.2.1	入出力端子.....	6-6
6.2.2	リセットの種類.....	6-6
6.2.3	パワーオンリセット.....	6-7
6.2.4	マニュアルリセット.....	6-8
6.3	アドレスエラー.....	6-9
6.3.1	アドレスエラー発生要因.....	6-9
6.3.2	アドレスエラー例外処理.....	6-10
6.4	レジスタバンクエラー.....	6-11
6.4.1	レジスタバンクエラー発生要因.....	6-11
6.4.2	レジスタバンクエラー例外処理.....	6-11
6.5	スリープエラー.....	6-12
6.5.1	スリープエラー発生要因.....	6-12
6.5.2	スリープエラー例外処理.....	6-12
6.6	割り込み.....	6-13
6.6.1	割り込み要因.....	6-13
6.6.2	割り込み優先順位.....	6-13
6.6.3	割り込み例外処理.....	6-14
6.7	命令による例外.....	6-15
6.7.1	命令による例外の種類.....	6-15
6.7.2	トラップ命令.....	6-15
6.7.3	スロット不当命令.....	6-16
6.7.4	一般不当命令.....	6-16
6.7.5	整数除算例外.....	6-16
6.7.6	FPU 例外.....	6-17
6.8	例外処理が受け付けられない場合.....	6-18
6.9	例外処理後のスタックの状態.....	6-19
6.10	使用上の注意事項.....	6-20
6.10.1	スタックポインタ (SP) の値.....	6-20

6.10.2	ベクタベースレジスタ (VBR) の値.....	6-20
6.10.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー.....	6-20
6.10.4	割り込みマスクビット変更による割り込み制御.....	6-20
6.10.5	例外処理実行前の注意事項.....	6-20
7.	割り込みコントローラ (INTC).....	7-1
7.1	特長.....	7-1
7.2	入出力端子.....	7-3
7.3	レジスタの説明.....	7-3
7.3.1	割り込み優先レベル設定レジスタ 01、02、05 ~ 21 (C0IPR01、02、05 ~ 21、C1IPR01、02、05 ~ 21).....	7-12
7.3.2	割り込みコントロールレジスタ 0 (C0ICR0、C1ICR0).....	7-13
7.3.3	割り込みコントロールレジスタ 1 (C0ICR1、C1ICR1).....	7-14
7.3.4	割り込みコントロールレジスタ 2 (C0ICR2、C1ICR2).....	7-15
7.3.5	IRQ 割り込み要求レジスタ (C0IRQRR、C1IRQRR).....	7-16
7.3.6	PINT 割り込みイネーブルレジスタ (C0PINTER、C1PINTER).....	7-17
7.3.7	PINT 割り込み要求レジスタ (C0PIRR、C1PIRR).....	7-18
7.3.8	バンクコントロールレジスタ (C0IBCR、C1IBCR).....	7-19
7.3.9	バンク番号レジスタ (C0IBNR、C1IBNR).....	7-20
7.3.10	プロセッサ間割り込み制御レジスタ 15 ~ 08 (C0IPCR15 ~ 08、C1IPCR15 ~ 08).....	7-21
7.3.11	プロセッサ間割り込みイネーブルレジスタ (C0IPER、C1IPER).....	7-22
7.3.12	割り込みイネーブル制御レジスタ (C0INTER、C1INTER).....	7-23
7.3.13	IRQ 割り込みイネーブル制御レジスタ (C0IRQER、C1IRQER).....	7-24
7.3.14	割り込み検出制御レジスタ (IDCNT6 ~ 140).....	7-25
7.3.15	DMA 転送要求イネーブルレジスタ 0 ~ 8 (DREQER0 ~ 8).....	7-28
7.4	割り込み要因.....	7-31
7.4.1	NMI 割り込み.....	7-31
7.4.2	ユーザブレイク割り込み.....	7-31
7.4.3	H-UDI 割り込み.....	7-31
7.4.4	IRQ 割り込み.....	7-32
7.4.5	PINT 割り込み.....	7-32
7.4.6	内蔵周辺モジュール割り込み.....	7-33
7.4.7	プロセッサ間割り込み.....	7-33
7.5	割り込み例外処理ベクタテーブルと優先順位.....	7-34
7.6	動作説明.....	7-40
7.6.1	割り込み動作の流れ.....	7-40
7.6.2	割り込み例外処理終了後のスタックの状態.....	7-42
7.7	割り込み応答時間.....	7-43
7.8	レジスタバンク.....	7-48
7.9	レジスタバンクとバンク制御レジスタ.....	7-49
7.9.1	バンク退避、復帰の動作.....	7-49

7.9.2	すべてのバンクに退避が行われた状態での退避、復帰.....	7-51
7.9.3	レジスタバンクの例外.....	7-51
7.10	レジスタバンクエラー例外処理.....	7-52
7.11	割り込み要求信号によるデータ転送.....	7-52
7.12	使用上の注意事項.....	7-52
7.12.1	割り込み要因クリアのタイミング.....	7-52
8.	ユーザブレイクコントローラ (UBC)	8-1
8.1	特長.....	8-2
8.2	入出力端子.....	8-4
8.3	レジスタの説明.....	8-4
8.3.1	ブレイクアドレスレジスタ (BAR)	8-5
8.3.2	ブレイクアドレスマスクレジスタ (BAMR)	8-6
8.3.3	ブレイクデータレジスタ (BDR)	8-7
8.3.4	ブレイクデータマスクレジスタ (BDMR)	8-8
8.3.5	ブレイクバスサイクルレジスタ (BBR)	8-9
8.3.6	ブレイクコントロールレジスタ (BR CR)	8-11
8.4	動作説明.....	8-13
8.4.1	ユーザブレイク動作の流れ.....	8-13
8.4.2	命令フェッチサイクルでのブレイク.....	8-14
8.4.3	データアクセスサイクルでのブレイク.....	8-15
8.4.4	退避されるプログラムカウンタの値.....	8-16
8.4.5	使用例.....	8-16
8.5	使用上の注意事項.....	8-19
9.	キャッシュ.....	9-1
9.1	特長.....	9-1
9.1.1	キャッシュの構成.....	9-1
9.2	レジスタの説明.....	9-4
9.2.1	キャッシュ制御レジスタ 1 (CCR1)	9-4
9.2.2	キャッシュ制御レジスタ 2 (CCR2)	9-6
9.3	動作説明.....	9-9
9.3.1	キャッシュの検索.....	9-9
9.3.2	リード動作.....	9-10
9.3.3	プリフェッチ動作 (オペランドキャッシュのみ)	9-10
9.3.4	ライト動作 (オペランドキャッシュのみ)	9-10
9.3.5	ライトバックバッファ (オペランドキャッシュのみ)	9-11
9.3.6	キャッシュと外部メモリとのコヒーレンシ.....	9-13
9.4	メモリ割り付けキャッシュの構成.....	9-13
9.4.1	アドレスアレイ.....	9-13

9.4.2	データアレイ	9-14
9.4.3	使用例	9-16
9.4.4	注意事項	9-16
10.	バスステートコントローラ (BSC)	10-1
10.1	特長	10-1
10.2	入出力端子	10-3
10.3	エリアの概要	10-4
10.3.1	アドレスマップ	10-4
10.3.2	各エリアのデータバス幅と関連端子設定	10-6
10.4	レジスタの説明	10-7
10.4.1	CSn 制御レジスタ (CSnCNT) (n=0~5)	10-9
10.4.2	CSn リカバリサイクル設定レジスタ (CSnREC) (n=0~5)	10-10
10.4.3	SDRAMCm 制御レジスタ (SDCmCNT) (m=0, 1)	10-12
10.4.4	CSn モードレジスタ (CSMODn) (n=0~5)	10-13
10.4.5	CSn ウェイト制御レジスタ 1 (CS1WCNTn) (n=0~5)	10-15
10.4.6	CSn ウェイト制御レジスタ 2 (CS2WCNTn) (n=0~5)	10-17
10.4.7	SDRAM リフレッシュ制御レジスタ 0 (SDRFCNT0)	10-20
10.4.8	SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1)	10-21
10.4.9	SDRAM 初期化レジスタ 0 (SDIR0)	10-23
10.4.10	SDRAM 初期化レジスタ 1 (SDIR1)	10-24
10.4.11	SDRAM パワーダウン制御レジスタ (SDPWCNT)	10-25
10.4.12	SDRAM ディープパワーダウン制御レジスタ (SDDPWCNT)	10-26
10.4.13	SDRAMm アドレスレジスタ (SDmADR) (m=0, 1)	10-27
10.4.14	SDRAMm タイミングレジスタ (SDmTR) (m=0, 1)	10-28
10.4.15	SDRAMm モードレジスタ (SDmMOD) (m=0, 1)	10-30
10.4.16	SDRAM ステータスレジスタ (SDSTR)	10-31
10.4.17	SDRAM クロックストップ制御信号設定レジスタ (SDCKSCNT)	10-33
10.5	動作説明	10-34
10.5.1	CS 空間アクセス	10-34
10.5.2	SDRAM アクセス	10-46
10.6	接続例	10-79
10.7	使用上の注意事項	10-83
10.7.1	ライトバッファ	10-83
10.7.2	ソフトウェアスタンバイモードまたはディープスタンバイモード遷移時の注意事項	10-83
11.	ダイレクトメモリアクセスコントローラ (DMAC)	11-1
11.1	特長	11-1
11.2	入出力端子	11-4
11.3	レジスタの説明	11-5

11.3.1	DMA カレントソースアドレスレジスタ (DMCSADRn)	11-14
11.3.2	DMA カレントデスティネーションアドレスレジスタ (DMCDADRn)	11-15
11.3.3	DMA カレントバイトカウントレジスタ (DMCBCTn)	11-16
11.3.4	DMA リロードソースアドレスレジスタ (DMRSADRn)	11-17
11.3.5	DMA リロードデスティネーションアドレスレジスタ (DMRDADRn)	11-18
11.3.6	DMA リロードバイトカウントレジスタ (DMRBCTn)	11-19
11.3.7	DMA モードレジスタ (DMMODn)	11-20
11.3.8	DMA 制御レジスタ A (DMCNTAn)	11-28
11.3.9	DMA 制御レジスタ B (DMCNTBn)	11-33
11.3.10	DMA 起動制御レジスタ (DMSCNT)	11-36
11.3.11	DMA 割り込み制御レジスタ (DMICNT)	11-37
11.3.12	DMA 共用割り込み制御レジスタ (DMICNTA)	11-38
11.3.13	DMA 割り込みステータスレジスタ (DMISTS)	11-39
11.3.14	DMA 転送終了検出レジスタ (DMEDET)	11-40
11.3.15	DMA アービトレーションステータスレジスタ (DMASTS)	11-41
11.3.16	DMA2 次元列設定レジスタ (DM2DCLMm)	11-42
11.3.17	DMA2 次元行設定レジスタ (DM2DROWm)	11-44
11.3.18	DMA2 次元ブロック設定レジスタ (DM2DBLKm)	11-45
11.3.19	DMA2 次元次行オフセットレジスタ (DM2DNROSTm)	11-46
11.3.20	DMA2 次元次ブロックオフセットレジスタ (DM2DNBOSTm)	11-47
11.3.21	DMA2 次元次ラインオフセットレジスタ (DM2DNLOSTm)	11-48
11.3.22	DMA リロード 2 次元列設定レジスタ (DMR2DCLMm)	11-49
11.3.23	DMA リロード 2 次元行設定レジスタ (DMR2DROWm)	11-50
11.3.24	DMA リロード 2 次元ブロック設定レジスタ (DMR2DBLKm)	11-51
11.3.25	DMA リロード 2 次元次行オフセットレジスタ (DMR2DNROSTm)	11-52
11.3.26	DMA リロード 2 次元次ブロックオフセットレジスタ (DMR2DNBOSTm)	11-53
11.3.27	DMA リロード 2 次元次ラインオフセットレジスタ (DMR2DNLOSTm)	11-54
11.4	動作説明	11-55
11.4.1	DMA 転送モード	11-55
11.4.2	DMA 転送条件	11-57
11.4.3	DMA の起動	11-60
11.5	DMAの終了と割り込み	11-64
11.5.1	DMA 転送の終了	11-64
11.5.2	DMA 割り込み要求	11-65
11.5.3	DMA 終了信号の出力	11-66
11.6	DMA転送の一時停止と再開、中止	11-69
11.6.1	DMA 転送の一時停止と再開	11-69
11.6.2	各チャネルの DMA 転送の中止	11-69
11.7	DMA要求	11-70
11.7.1	DMA 要求要因	11-70
11.7.2	DMA 要求信号入力同期回路	11-70

11.7.3	DMA 要求のセンスモード	11-71
11.8	DMAチャンネルの優先順位判断	11-74
11.8.1	チャンネル優先順位	11-74
11.8.2	多重 DMA 要求時の動作	11-74
11.9	DMAアクノリッジ信号出力とDMAアクティブ信号出力	11-76
11.10	転送単位と転送バイト位置	11-79
11.11	リロード機能	11-80
11.12	ローテート機能	11-82
11.13	使用上の注意事項	11-83
11.13.1	ソフトウェアスタンバイモードまたはディープスタンバイモード遷移時の注意事項	11-83
12.	マルチファンクションタイマパルスユニット 2 (MTU2)	12-1
12.1	特長	12-1
12.2	入出力端子	12-6
12.3	レジスタの説明	12-7
12.3.1	タイマコントロールレジスタ (TCR)	12-10
12.3.2	タイマモードレジスタ (TMDR)	12-13
12.3.3	タイマ I/O コントロールレジスタ (TIOR)	12-15
12.3.4	タイマインタラプトイネーブルレジスタ (TIER)	12-33
12.3.5	タイマステータスレジスタ (TSR)	12-36
12.3.6	タイマバッファ動作転送モードレジスタ (TBTM)	12-40
12.3.7	タイマインプットキャプチャコントロールレジスタ (TICCR)	12-41
12.3.8	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	12-42
12.3.9	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)	12-44
12.3.10	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)	12-44
12.3.11	タイマカウンタ (TCNT)	12-45
12.3.12	タイマジェネラルレジスタ (TGR)	12-45
12.3.13	タイマスタートレジスタ (TSTR)	12-46
12.3.14	タイマシンクロレジスタ (TSYR)	12-47
12.3.15	タイマリードライトイネーブルレジスタ (TRWER)	12-48
12.3.16	タイマアウトプットマスタイネーブルレジスタ (TOER)	12-49
12.3.17	タイマアウトプットコントロールレジスタ 1 (TOCR1)	12-50
12.3.18	タイマアウトプットコントロールレジスタ 2 (TOCR2)	12-52
12.3.19	タイマアウトプットレベルバッファレジスタ (TOLBR)	12-55
12.3.20	タイマゲートコントロールレジスタ (TGCR)	12-56
12.3.21	タイマサブカウンタ (TCNTS)	12-57
12.3.22	タイマデッドタイムデータレジスタ (TDDR)	12-57
12.3.23	タイマ周期データレジスタ (TCDR)	12-58
12.3.24	タイマ周期バッファレジスタ (TCBR)	12-58
12.3.25	タイマ割り込み間引き設定レジスタ (TITCR)	12-59

12.3.26	タイマ割り込み間引き回数カウンタ (TITCNT)	12-60
12.3.27	タイマバッファ転送設定レジスタ (TBTER)	12-61
12.3.28	タイマデッドタイムイネーブルレジスタ (TDER)	12-62
12.3.29	タイマ波形コントロールレジスタ (TWCR)	12-63
12.3.30	バスマスタとのインタフェース	12-64
12.4	動作説明	12-65
12.4.1	基本動作	12-65
12.4.2	同期動作	12-71
12.4.3	バッファ動作	12-73
12.4.4	カスケード接続動作	12-77
12.4.5	PWM モード	12-81
12.4.6	位相計数モード	12-86
12.4.7	リセット同期 PWM モード	12-92
12.4.8	相補 PWM モード	12-95
12.4.9	A/D 変換開始要求ディレイド機能	12-126
12.4.10	相補 PWM の「山 / 谷」での TCNT キャプチャ動作	12-130
12.5	割り込み要因	12-131
12.5.1	割り込み要因と優先順位	12-131
12.5.2	DMAC の起動	12-133
12.5.3	A/D 変換器の起動	12-133
12.6	動作タイミング	12-135
12.6.1	入出力タイミング	12-135
12.6.2	割り込み信号タイミング	12-142
12.7	使用上の注意事項	12-146
12.7.1	モジュールスタンバイモードの設定	12-146
12.7.2	入力クロックの制限事項	12-146
12.7.3	周期設定上の注意事項	12-146
12.7.4	TCNT のライトとクリアの競合	12-147
12.7.5	TCNT のライトとカウントアップの競合	12-147
12.7.6	TGR のライトとコンペアマッチの競合	12-148
12.7.7	バッファレジスタのライトとコンペアマッチの競合	12-149
12.7.8	バッファレジスタのライトと TCNT クリアの競合	12-150
12.7.9	TGR のリードとインプットキャプチャの競合	12-151
12.7.10	TGR のライトとインプットキャプチャの競合	12-152
12.7.11	バッファレジスタのライトとインプットキャプチャの競合	12-153
12.7.12	カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合	12-153
12.7.13	相補 PWM モード停止時のカウンタ値	12-155
12.7.14	相補 PWM モードでのバッファ動作の設定	12-155
12.7.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	12-156
12.7.16	リセット同期 PWM モードのオーバフローフラグ	12-157
12.7.17	オーバフロー / アンダフローとカウンタクリアの競合	12-158

12.7.18	TCNTのライトとオーバフロー/アンダフローの競合	12-158
12.7.19	通常動作またはPWMモード1からリセット同期PWMモードへ遷移する場合の注意事項	12-159
12.7.20	相補PWMモード、リセット同期PWMモードの出力レベル	12-159
12.7.21	モジュールスタンバイ時の割り込み	12-159
12.7.22	カスケード接続におけるTCNT_1、TCNT_2同時インプットキャプチャ	12-159
12.7.23	相補PWMモードでの同期カウンタクリア時出力波形制御における注意事項	12-160
12.8	MTU2出力端子の初期化方法	12-162
12.8.1	動作モード	12-162
12.8.2	リセットスタート時の動作	12-162
12.8.3	動作中の異常などによる再設定時の動作	12-163
12.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	12-163
13	コンペアマッチタイマ (CMT)	13-1
13.1	特長	13-1
13.2	レジスタの説明	13-2
13.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	13-3
13.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	13-4
13.2.3	コンペアマッチカウンタ (CMCNT)	13-5
13.2.4	コンペアマッチコンスタントレジスタ (CMCOR)	13-5
13.3	動作説明	13-6
13.3.1	期間カウント動作	13-6
13.3.2	CMCNT カウントタイミング	13-6
13.4	割り込み	13-7
13.4.1	割り込み要因とDMA転送要求	13-7
13.4.2	コンペアマッチフラグのセットタイミング	13-7
13.4.3	コンペアマッチフラグのクリアタイミング	13-8
13.5	使用上の注意事項	13-9
13.5.1	CMCNTの書き込みとコンペアマッチの競合	13-9
13.5.2	CMCNTのワード書き込みとカウントアップの競合	13-9
13.5.3	CMCNTのバイト書き込みとカウントアップの競合	13-10
13.5.4	CMCNTとCMCORのコンペアマッチ	13-10
14	ウォッチドッグタイマ (WDT)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-4
14.3.1	ウォッチドッグタイマカウンタ (WTCNT0、WTCNT1)	14-4
14.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR0、WTCSR1)	14-5
14.3.3	ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR0、WRCSR1)	14-7
14.3.4	レジスタアクセス時の注意	14-8

14.4	WDTの使用法	14-10
14.4.1	ソフトウェアスタンバイモード解除の手順	14-10
14.4.2	PLL の逡倍率変更の手順	14-10
14.4.3	ウォッチドッグタイマモードの使用法	14-10
14.4.4	インターバルタイマモードの使用法	14-12
14.5	使用上の注意事項	14-13
14.5.1	タイマ誤差	14-13
14.5.2	WTCNT の設定値として H'FF は設定禁止	14-13
14.5.3	インターバルタイマオーバフローフラグ	14-13
14.5.4	$\overline{\text{WDTOVF}}$ 信号によるシステムリセット	14-13
14.5.5	ウォッチドッグタイマモードのマニュアルリセット	14-14
14.5.6	ディープスタンバイモードへの遷移について	14-14
14.5.7	ウォッチドッグタイマモードでの内部リセット	14-14
15.	リアルタイムクロック (RTC)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	64Hz カウンタ (R64CNT)	15-4
15.3.2	秒カウンタ (RSECCNT)	15-5
15.3.3	分カウンタ (RMINCNT)	15-6
15.3.4	時カウンタ (RHRCNT)	15-7
15.3.5	曜日カウンタ (RWKCNT)	15-8
15.3.6	日カウンタ (RDAYCNT)	15-9
15.3.7	月カウンタ (RMONCNT)	15-10
15.3.8	年カウンタ (RYRCNT)	15-11
15.3.9	秒アラームレジスタ (RSECAR)	15-12
15.3.10	分アラームレジスタ (RMINAR)	15-13
15.3.11	時アラームレジスタ (RHRAR)	15-14
15.3.12	曜日アラームレジスタ (RWKAR)	15-15
15.3.13	日アラームレジスタ (RDAYAR)	15-16
15.3.14	月アラームレジスタ (RMONAR)	15-17
15.3.15	年アラームレジスタ (RYRAR)	15-18
15.3.16	RTC コントロールレジスタ 1 (RCR1)	15-18
15.3.17	RTC コントロールレジスタ 2 (RCR2)	15-20
15.3.18	RTC コントロールレジスタ 3 (RCR3)	15-21
15.4	動作説明	15-22
15.4.1	電源投入後のレジスタの初期設定	15-22
15.4.2	時刻設定手順	15-22
15.4.3	時刻読み出し手順	15-23

15.4.4	アラーム機能	15-24
15.5	使用上の注意事項	15-25
15.5.1	RTC カウント動作時のレジスタ書き込みについて	15-25
15.5.2	リアルタイムクロック (RTC) の周期割り込みの使用について	15-25
15.5.3	レジスタ設定後のスタンバイ遷移について	15-25
15.5.4	レジスタ書き込み / 読み出し時の注意事項	15-25
16.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-4
16.3.1	受信シフトレジスタ (SCRSR)	16-6
16.3.2	受信 FIFO データレジスタ (SCFRDR)	16-6
16.3.3	送信シフトレジスタ (SCTSR)	16-6
16.3.4	送信 FIFO データレジスタ (SCFTDR)	16-7
16.3.5	シリアルモードレジスタ (SCSMR)	16-7
16.3.6	シリアルコントロールレジスタ (SCSCR)	16-10
16.3.7	シリアルステータスレジスタ (SCFSR)	16-12
16.3.8	ビットレートレジスタ (SCBRR)	16-17
16.3.9	FIFO コントロールレジスタ (SCFCR)	16-25
16.3.10	FIFO データカウントセットレジスタ (SCFDR)	16-27
16.3.11	シリアルポートレジスタ (SCSPTR)	16-28
16.3.12	ラインステータスレジスタ (SCLSR)	16-30
16.3.13	シリアル拡張モードレジスタ (SCEMR)	16-31
16.4	動作説明	16-32
16.4.1	概要	16-32
16.4.2	調歩同期式モード時の動作	16-34
16.4.3	クロック同期式モード時の動作	16-43
16.5	SCIFの割り込み	16-51
16.6	使用上の注意事項	16-52
16.6.1	SCFTDR への書き込みと TDFE フラグ	16-52
16.6.2	SCFRDR の読み出しと RDF フラグ	16-52
16.6.3	DMAC 使用上の制約事項	16-52
16.6.4	ブレークの検出と処理	16-52
16.6.5	ブレークの送り出し	16-53
16.6.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン	16-53
16.6.7	調歩同期式基本クロックセレクト	16-54
17.	シンクロナスシリアルコミュニケーションユニット (SSU)	17-1
17.1	特長	17-1

17.2	入出力端子	17-3
17.3	レジスタの説明	17-4
17.3.1	SS コントロールレジスタ H (SSCRH)	17-5
17.3.2	SS コントロールレジスタ L (SSCRL)	17-6
17.3.3	SS モードレジスタ (SSMR)	17-7
17.3.4	SS イネーブルレジスタ (SSER)	17-8
17.3.5	SS ステータスレジスタ (SSSR)	17-9
17.3.6	SS コントロールレジスタ 2 (SSCR2)	17-12
17.3.7	SS 送信データレジスタ 0~3 (SSTDR0~SSTDR3)	17-13
17.3.8	SS 受信データレジスタ 0~3 (SSRDR0~SSRDR3)	17-14
17.3.9	SS シフトレジスタ (SSTRSR)	17-15
17.4	動作説明	17-16
17.4.1	転送クロック	17-16
17.4.2	クロックの位相、極性とデータの関係	17-16
17.4.3	データ入出力端子とシフトレジスタの関係	17-17
17.4.4	各通信モードと端子機能	17-18
17.4.5	SSU モード	17-19
17.4.6	\overline{SCS} 端子制御とコンフリクトエラー	17-27
17.4.7	クロック同期式通信モード	17-28
17.5	SSUの割り込み要因とDMAC	17-34
17.6	使用上の注意事項	17-35
17.6.1	モジュールスタンバイモードの設定	17-35
17.6.2	SSU スLEEPモードにおける連続送受信時の注意事項	17-35
17.6.3	SSU モードのマスタ送信動作またはマスタ送受信動作における注意事項	17-35
18.	I ² C バスインタフェース 3 (IIC3)	18-1
18.1	特長	18-1
18.2	入出力端子	18-3
18.3	レジスタの説明	18-4
18.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	18-5
18.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	18-8
18.3.3	I ² C バスモードレジスタ (ICMR)	18-9
18.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	18-11
18.3.5	I ² C バスステータスレジスタ (ICSR)	18-13
18.3.6	スレーブアドレスレジスタ (SAR)	18-15
18.3.7	I ² C バス送信データレジスタ (ICDRT)	18-15
18.3.8	I ² C バス受信データレジスタ (ICDRR)	18-16
18.3.9	I ² C バスシフトレジスタ (ICDRS)	18-16
18.3.10	NF2CYC レジスタ (NF2CYC)	18-16
18.4	動作説明	18-17

18.4.1	I ² C バスフォーマット.....	18-17
18.4.2	マスタ送信動作	18-18
18.4.3	マスタ受信動作	18-20
18.4.4	スレーブ送信動作	18-22
18.4.5	スレーブ受信動作	18-24
18.4.6	クロック同期式シリアルフォーマット	18-26
18.4.7	ノイズ除去回路	18-29
18.4.8	使用例	18-30
18.5	割り込み要求	18-34
18.6	ビット同期回路	18-35
18.7	使用上の注意事項	18-38
18.7.1	マルチマスタで使用時の注意	18-38
18.7.2	マスタ受信モード時の注意	18-38
18.7.3	マスタ受信モード、ACKBT 設定時の注意	18-38
18.7.4	アービトラションロスト時の MST と TRN ビットの状態についての注意	18-38
18.7.5	I ² C バスインタフェースモードのマスタ受信モード時の注意事項	18-38
18.7.6	IICRST、BBSY ビットに関する注意事項	18-38
18.7.7	マスタ送信モード、ACKE ビット = 1 設定時における停止条件発行の注意	18-39
19.	FIFO 内蔵シリアルサウンドインタフェース (SSIF)	19-1
19.1	特長	19-1
19.2	入出力端子	19-4
19.3	レジスタの説明	19-5
19.3.1	コントロールレジスタ (SSICR)	19-6
19.3.2	ステータスレジスタ (SSISR)	19-11
19.3.3	トランスミットデータレジスタ (SSITDR)	19-14
19.3.4	レシーブデータレジスタ (SSIRDR)	19-14
19.3.5	FIFO コントロールレジスタ (SSIFCR)	19-15
19.3.6	FIFO ステータスレジスタ (SSIFSR)	19-17
19.3.7	FIFO データレジスタ (SSIFDR)	19-19
19.4	動作説明	19-20
19.4.1	バスフォーマット	19-20
19.4.2	非圧縮モード	19-20
19.4.3	動作モード	19-28
19.4.4	送信動作	19-29
19.4.5	受信動作	19-31
19.4.6	シリアルビットクロックコントロール	19-34
19.5	使用上の注意事項	19-34
19.5.1	DMA 動作中にアンダフローまたはオーバフローが起こった場合の制限事項	19-34

20. コントローラエリアネットワーク (RCAN-TL1)	20-1
20.1 特長	20-2
20.1.1 RCAN-TL1 の特長	20-2
20.1.2 本マイコンにおける特長	20-2
20.2 構成	20-3
20.2.1 ブロック図	20-3
20.2.2 各ブロックの機能	20-4
20.2.3 端子構成	20-5
20.2.4 メモリマップ	20-6
20.3 メールボックス	20-7
20.3.1 メールボックスの構成	20-7
20.3.2 メッセージコントロールフィールド	20-12
20.3.3 ローカルアクセプタンスフィルタマスク (LAFM)	20-17
20.3.4 メッセージデータフィールド	20-18
20.3.5 タイムスタンプ	20-19
20.3.6 送信トリガタイム (TTT) とタイムトリガコントロール	20-20
20.4 RCAN-TL1のコントロールレジスタ	20-24
20.4.1 マスタコントロールレジスタ (MCR)	20-24
20.4.2 ジェネラルステータスレジスタ (GSR)	20-30
20.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)	20-32
20.4.4 インタラプトリクエストレジスタ (IRR)	20-36
20.4.5 インタラプトマスクレジスタ (IMR)	20-43
20.4.6 送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)	20-43
20.5 RCAN-TL1のメールボックスレジスタ	20-44
20.5.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)	20-45
20.5.2 送信キャンセルレジスタ 1、0 (TXCR1、TXCR0)	20-48
20.5.3 送信アクノリッジレジスタ 1、0 (TXACK1、TXACK0)	20-50
20.5.4 アポートアクノリッジレジスタ 1、0 (ABACK1、ABACK0)	20-51
20.5.5 データフレーム受信完了レジスタ 1、0 (RXPR1、RXPR0)	20-52
20.5.6 リモートフレーム受信完了レジスタ 1、0 (RFPR1、RFPR0)	20-53
20.5.7 メールボックスインタラプトマスクレジスタ 1、0 (MBIMR1、MBIMR0)	20-54
20.5.8 未読メッセージステータスレジスタ 1、0 (UMSR1、UMSR0)	20-55
20.6 タイマレジスタ	20-56
20.6.1 タイムトリガコントロールレジスタ 0 (TTCR0)	20-57
20.6.2 サイクルマキシマム / Tx_Enable_Window レジスタ (CMAX_TEW)	20-59
20.6.3 リファレンストリガオフセットレジスタ (RFTROFF)	20-60
20.6.4 タイマステータスレジスタ (TSR)	20-61
20.6.5 サイクルカウンタレジスタ (CCR)	20-63
20.6.6 タイマカウンタレジスタ (TCNTR)	20-64
20.6.7 サイクルタイムレジスタ (CYCTR)	20-65

20.6.8	リファレンスマークレジスタ (RFMK)	20-65
20.6.9	タイマコンペアマッチレジスタ 0~2 (TCMR0~2)	20-66
20.6.10	送信トリガタイムセレクトレジスタ (TTTSEL)	20-68
20.7	動作説明	20-69
20.7.1	RCAN-TL1 の設定	20-69
20.7.2	テストモードの設定	20-75
20.7.3	メッセージ送信シーケンス	20-77
20.7.4	メッセージ受信シーケンス	20-89
20.7.5	メールボックスの再設定	20-91
20.8	割り込み要因	20-93
20.9	DMACインタフェース	20-94
20.10	CANバスインタフェース	20-95
20.11	RCAN-TL1 端子ポート設定	20-96
20.12	使用上の注意事項	20-97
20.12.1	1 チャンネル 64 メールボックスでのポート設定についての注意事項	20-97
21.	IEBus™ コントローラ (IEB)	21-1
21.1	特長	21-1
21.1.1	IEBus 通信プロトコル	21-2
21.1.2	伝送プロトコル	21-4
21.1.3	伝送データ (データフィールドの内容)	21-10
21.1.4	ビットフォーマット	21-13
21.1.5	構成	21-14
21.2	入出力端子	21-15
21.3	レジスタの説明	21-16
21.3.1	IEBus コントロールレジスタ (IECTR)	21-17
21.3.2	IEBus コマンドレジスタ (IECMR)	21-18
21.3.3	IEBus マスタコントロールレジスタ (IEMCR)	21-19
21.3.4	IEBus 自局アドレスレジスタ 1 (IEAR1)	21-21
21.3.5	IEBus 自局アドレスレジスタ 2 (IEAR2)	21-22
21.3.6	IEBus スレーブアドレス設定レジスタ 1 (IESA1)	21-22
21.3.7	IEBus スレーブアドレス設定レジスタ 2 (IESA2)	21-23
21.3.8	IEBus 送信電文長レジスタ (IETBFL)	21-23
21.3.9	IEBus 受信マスタアドレスレジスタ 1 (IEMA1)	21-24
21.3.10	IEBus 受信マスタアドレスレジスタ 2 (IEMA2)	21-24
21.3.11	IEBus 受信コントロールフィールドレジスタ (IERCTL)	21-25
21.3.12	IEBus 受信電文長レジスタ (IERBFL)	21-25
21.3.13	IEBus ロックアドレスレジスタ 1 (IELA1)	21-26
21.3.14	IEBus ロックアドレスレジスタ 2 (IELA2)	21-26
21.3.15	IEBus ゼネラルフラグレジスタ (IEFLG)	21-27

21.3.16	IEBus 送信ステータスレジスタ (IETSR)	21-29
21.3.17	IEBus 送信割り込み許可レジスタ (IEIET)	21-31
21.3.18	IEBus 受信ステータスレジスタ (IERSR)	21-32
21.3.19	IEBus 受信割り込み許可レジスタ (IEIER)	21-35
21.3.20	IEBus クロック選択レジスタ (IECKSR)	21-36
21.3.21	IEBus 送信データバッファ 001 ~ 128 (IETB001 ~ IETB128)	21-37
21.3.22	IEBus 受信データバッファ 001 ~ 128 (IERB001 ~ IERB128)	21-37
21.4	データフォーマット	21-38
21.4.1	送信フォーマット	21-38
21.4.2	受信フォーマット	21-39
21.5	ソフト制御フロー	21-40
21.5.1	初期設定	21-40
21.5.2	マスタ送信	21-41
21.5.3	スレーブ受信	21-42
21.5.4	マスタ受信	21-43
21.5.5	スレーブ送信	21-44
21.6	動作タイミング	21-45
21.6.1	マスタ送信	21-45
21.6.2	スレーブ受信	21-46
21.6.3	マスタ受信	21-47
21.6.4	スレーブ送信	21-48
21.7	割り込み要因	21-49
21.8	使用上の注意事項	21-51
21.8.1	最大伝送バイト長内で通信が終了しなかったときの注意事項	21-51
22.	A/D 変換器 (ADC)	22-1
22.1	特長	22-1
22.2	入出力端子	22-3
22.3	レジスタの説明	22-3
22.3.1	A/D データレジスタ A ~ H (ADDRA ~ ADDRH)	22-4
22.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	22-4
22.4	動作説明	22-7
22.4.1	シングルモード	22-7
22.4.2	マルチモード	22-9
22.4.3	スキャンモード	22-11
22.4.4	外部トリガ、MTU2 による A/D 変換器の起動	22-13
22.4.5	入力サンプリングと A/D 変換時間	22-13
22.5	割り込み要因とDMAC転送要求	22-16
22.6	A/D変換精度の定義	22-17
22.7	使用上の注意事項	22-18

22.7.1	モジュールスタンバイモードの設定	22-18
22.7.2	アナログ電圧の設定	22-18
22.7.3	ボード設計上の注意	22-18
22.7.4	アナログ入力端子の取り扱い	22-18
22.7.5	許容信号源インピーダンス	22-20
22.7.6	絶対精度への影響	22-20
22.7.7	スキャンモードおよびマルチモード使用時の注意	22-20
23.	D/A 変換器 (DAC)	23-1
23.1	特長	23-1
23.2	入出力端子	23-2
23.3	レジスタの説明	23-3
23.3.1	D/A データレジスタ 0、1 (DADR0、DADR1)	23-3
23.3.2	D/A コントロールレジスタ (DACR)	23-3
23.4	動作説明	23-5
23.5	使用上の注意事項	23-6
23.5.1	モジュールスタンバイモードの設定	23-6
23.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能	23-6
23.5.3	アナログ電圧の設定	23-6
24.	AND/NAND フラッシュメモリコントローラ (FLCTL)	24-1
24.1	特長	24-1
24.2	入出力端子	24-5
24.3	レジスタの説明	24-6
24.3.1	共通コントロールレジスタ (FLCMNCR)	24-7
24.3.2	コマンド制御レジスタ (FLCMDCR)	24-10
24.3.3	コマンドコードレジスタ (FLCMCDR)	24-12
24.3.4	アドレスレジスタ (FLADR)	24-13
24.3.5	アドレスレジスタ 2 (FLADR2)	24-15
24.3.6	データカウンタレジスタ (FLDTCNTR)	24-16
24.3.7	データレジスタ (FLDATAR)	24-17
24.3.8	割り込み DMA 制御レジスタ (FLINTDMACR)	24-18
24.3.9	レディビジータイムアウト設定レジスタ (FLBSYTMR)	24-22
24.3.10	レディビジータイムアウトカウンタ (FLBSYCNT)	24-23
24.3.11	データ FIFO レジスタ (FLDTFIFO)	24-24
24.3.12	管理コード FIFO レジスタ (FLECFIFO)	24-24
24.3.13	転送制御レジスタ (FLTRCR)	24-25
24.3.14	4 シンボル ECC 処理結果レジスタ n (FL4ECCRESn) (n = 1 ~ 4)	24-26
24.3.15	4 シンボル ECC 制御レジスタ (FL4ECCCR)	24-27
24.3.16	4 シンボル ECC エラーカウントレジスタ (FL4ECCCNT)	24-28

24.4	動作説明	24-29
24.4.1	アクセス手順	24-29
24.4.2	動作モード	24-29
24.4.3	レジスタ設定手順	24-30
24.4.4	コマンドアクセスモード	24-31
24.4.5	セクタアクセスモード	24-36
24.4.6	ECC のエラー修正	24-38
24.4.7	ステータスリード	24-41
24.5	割り込み処理	24-43
24.6	DMA転送の設定	24-43
24.7	使用上の注意事項	24-44
24.7.1	4 シンボル ECC 回路使用時の管理コード領域書き込み	24-44
24.7.2	SNAND ビットに関する注意事項	24-44
25.	USB2.0 ホスト / ファンクションモジュール (USB)	25-1
25.1	特長	25-1
25.2	入出力端子	25-4
25.3	レジスタの説明	25-5
25.3.1	システムコンフィギュレーションコントロールレジスタ 0 (SYSCFG0)	25-8
25.3.2	システムコンフィギュレーションコントロールレジスタ 1 (SYSCFG1)	25-11
25.3.3	システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)	25-12
25.3.4	システムコンフィギュレーションステータスレジスタ 1 (SYSSTS1)	25-13
25.3.5	デバイスステートコントロールレジスタ 0 (DVSTCTR0)	25-14
25.3.6	デバイスステートコントロールレジスタ 1 (DVSTCTR1)	25-18
25.3.7	テストモードレジスタ (TESTMODE)	25-21
25.3.8	DMA-FIFO バスコンフィギュレーションレジスタ (D0FBCFG、D1FBCFG)	25-24
25.3.9	FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)	25-25
25.3.10	FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)	25-27
25.3.11	FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)	25-33
25.3.12	割り込み許可レジスタ 0 (INTENB0)	25-36
25.3.13	割り込み許可レジスタ 1 (INTENB1)	25-38
25.3.14	割り込み許可レジスタ 2 (INTENB2)	25-40
25.3.15	BRDY 割り込み許可レジスタ (BRDYENB)	25-41
25.3.16	NRDY 割り込み許可レジスタ (NRDYENB)	25-43
25.3.17	BEMP 割り込み許可レジスタ (BEMPENB)	25-45
25.3.18	SOF 出力コンフィグレーションレジスタ (SOFCFG)	25-47
25.3.19	割り込みステータスレジスタ 0 (INTSTS0)	25-48
25.3.20	割り込みステータスレジスタ 1 (INTSTS1)	25-51
25.3.21	割り込みステータスレジスタ 2 (INTSTS2)	25-53
25.3.22	BRDY 割り込みステータスレジスタ (BRDYSTS)	25-55

25.3.23	NRDY 割り込みステータスレジスタ (NRDYSTS)	25-59
25.3.24	BEMP 割り込みステータスレジスタ (BEMPSTS)	25-63
25.3.25	フレームナンバーレジスタ (FRMNUM)	25-65
25.3.26	μフレームナンバーレジスタ (UFRMNUM)	25-67
25.3.27	USB アドレスレジスタ (USBADDR)	25-67
25.3.28	USB リクエストタイプレジスタ (USBREQ)	25-68
25.3.29	USB リクエストバリュージェジスタ (USBVAL)	25-68
25.3.30	USB リクエストインデックスレジスタ (USBINDX)	25-69
25.3.31	USB リクエストレングスレジスタ (USBLENG)	25-69
25.3.32	DCP コンフィギュレーションレジスタ (DCPCFG)	25-70
25.3.33	DCP マックスパケットサイズレジスタ (DCPMAXP)	25-72
25.3.34	DCP コントロールレジスタ (DCPCTR)	25-73
25.3.35	パイプウィンドウ選択レジスタ (PIPESEL)	25-79
25.3.36	パイプコンフィギュレーションレジスタ (PIPECFG)	25-80
25.3.37	パイプバッファ指定レジスタ (PIPEBUF)	25-84
25.3.38	パイプマックスパケットサイズレジスタ (PIPEMAXP)	25-86
25.3.39	パイプ周期制御レジスタ (PIPEPERI)	25-88
25.3.40	パイプ _n コントロールレジスタ (PIPE _n CTR) (n = 1 ~ 5)	25-93
25.3.41	パイプ _n コントロールレジスタ (PIPE _n CTR) (n = 6 ~ 9)	25-100
25.3.42	トランザクションカウンタ許可レジスタ (PIPE _n TRE) (n = 1 ~ 5)	25-105
25.3.43	トランザクションカウンタレジスタ (PIPE _n TRN) (n = 1 ~ 5)	25-106
25.3.44	デバイスアドレスコンフィギュレーションレジスタ (DEVADD _n) (n = 0 ~ 9, A)	25-108
25.3.45	USB AC 特性切り替えレジスタ 0 (USBACSWR0)	25-110
25.3.46	USB AC 特性切り替えレジスタ 1 (USBACSWR1)	25-111
25.4	動作説明	25-112
25.4.1	システム制御	25-112
25.4.2	割り込み機能	25-114
25.4.3	パイプコントロール	25-121
25.4.4	FIFO バッファ	25-126
25.4.5	コントロール転送 (DCP)	25-135
25.4.6	バルク転送 (パイプ 1 ~ 5)	25-138
25.4.7	インタラプト転送 (パイプ 6 ~ 9)	25-140
25.4.8	アイソクロナス転送 (パイプ 1, 2)	25-141
25.4.9	SOF 補間機能	25-148
25.5	使用上の注意事項	25-149
25.5.1	USB トランシーバの設定手順	25-149

26.	SD ホストインタフェース (SDHI)	26-1
27.	AT アタッチメントパケットインタフェース (ATAPI)	27-1
27.1	特長	27-1
27.2	入出力端子	27-2
27.3	レジスタの説明	27-3
27.3.1	ATAPI インタフェースレジスタ	27-3
27.3.2	ATAPI インタフェースコントロールレジスタマップ	27-5
27.4	動作説明	27-17
27.4.1	データ転送モード	27-17
27.4.2	初期化手順	27-18
27.4.3	PIO 転送モード手順	27-18
27.4.4	マルチワード DMA 転送モード手順	27-19
27.4.5	ウルトラ DMA 転送モード手順	27-21
27.4.6	ATAPI デバイスのハードウェアリセット手順	27-22
27.5	DIRECTION端子	27-22
27.6	使用上の注意事項	27-22
28.	2D エンジン (2DG)	28-1
28.1	特長	28-1
28.2	入出力端子	28-3
28.3	レジスタの説明	28-4
28.3.1	グラフィック部 BLT 機能指定実行レジスタ (GR_BLTPLY)	28-6
28.3.2	グラフィック部 MIX 機能指定実行レジスタ (GR_MIXPLY)	28-7
28.3.3	グラフィック部動作ステータスレジスタ (GR_DOSTAT)	28-8
28.3.4	グラフィック部割り込みステータスレジスタ (GR_IRSTAT)	28-11
28.3.5	グラフィック部割り込みマスク制御レジスタ (GR_INTMSK)	28-15
28.3.6	グラフィック部割り込み解除制御レジスタ (GR_INTDIS)	28-17
28.3.7	グラフィック部 DMAC 要求制御レジスタ (GR_DMAC)	28-19
28.3.8	BLT 用ソース AB 読み込み領域設定レジスタ (GR_SABSET)	28-21
28.3.9	BLT 用デスティネーション C 書き込み領域設定レジスタ (GR_DCSET)	28-22
28.3.10	出力部用ソース E 読み込み領域設定レジスタ (MGR_SESET)	28-23
28.3.11	グラフィック部用画素フォーマット設定レジスタ (GR_PIXLFMT)	28-24
28.3.12	BLT 用動作モード設定レジスタ (GR_BLTMODE)	28-25
28.3.13	グラフィック用リサイズ画面設定レジスタ (GR_RISZSET)	28-27
28.3.14	BLT 用リサイズモード選択レジスタ (GR_RISZMOD)	28-28
28.3.15	BLT 用リサイズデルタ設定レジスタ (GR_DELT)	28-29
28.3.16	BLT 用リサイズ水平先頭位相設定レジスタ (GR_HSPHAS)	28-30
28.3.17	BLT 用リサイズ垂直先頭位相設定レジスタ (GR_VSPHAS)	28-31
28.3.18	出力部用リサイズ水平デルタ設定レジスタ (MGR_HDELTA)	28-32

28.3.19	出力部用リサイズ水平先頭位相設定レジスタ (MGR_HPHAS)	28-32
28.3.20	BLT 用論理演算入力データレジスタ (GR_LGDAT)	28-33
28.3.21	BLT 用クロマキー対象色データレジスタ (GR_DETCOL)	28-34
28.3.22	BLT 用ブレンド処理用置換色データレジスタ (GR_BRDCOL)	28-35
28.3.23	BLT 用ブレンド 1 コントロールレジスタ (GR_BRD1CNT)	28-36
28.3.24	出力部動作モード設定レジスタ (MGR_MIXMODE)	28-38
28.3.25	出力部パネル出力水平タイミング設定レジスタ (MGR_MIXHTMG)	28-40
28.3.26	出力部パネル出力水平有効領域設定レジスタ (MGR_MIXHS)	28-41
28.3.27	出力部パネル出力垂直タイミング設定レジスタ (MGR_MIXVTMG)	28-42
28.3.28	出力部パネル出力垂直有効領域設定レジスタ (MGR_MIXVS)	28-43
28.3.29	グラフィック部出力 SYNC 位置設定レジスタ (GR_VSDLY)	28-44
28.3.30	VideoDAC タイミング設定レジスタ (VDAC_TMC)	28-45
28.4	動作説明	28-46
28.4.1	入出力	28-47
28.4.2	DMA 使用方法	28-57
28.4.3	ブリット部動作	28-60
28.4.4	出力動作	28-105
28.4.5	割り込み	28-110
28.5	付録 VIDEO OUT (D/A変換器)	28-114
28.5.1	アナログ出力電流	28-114
28.5.2	使用上の注意	28-116
28.5.3	使用例	28-117
29.	AAC エンコーダ (AESOP)	29-1
29.1	特長	29-1
29.2	入力形式	29-2
29.3	レジスタの説明	29-3
29.3.1	ソフトウェアリセットレジスタ (SWRSR)	29-4
29.3.2	エンコード処理初期化レジスタ (RPRSR)	29-5
29.3.3	DMA コントロールレジスタ (DMACR)	29-6
29.3.4	DIN_RAM バッファライト用 DMA 転送レジスタ (DMADI)	29-7
29.3.5	DOUT_RAM バッファリード用 DMA 転送レジスタ (DMADO)	29-7
29.3.6	イベントマスクレジスタ (EVMSR)	29-8
29.3.7	イベントクリアレジスタ (EVCLR)	29-9
29.3.8	設定指定レジスタ 1 (MBOTR)	29-10
29.3.9	設定指定レジスタ 2 (BACCR)	29-10
29.3.10	設定指定レジスタ 3 (ACESR)	29-10
29.3.11	オーディオ処理情報設定レジスタ (ADIFR)	29-11
29.3.12	設定指定レジスタ 4 (TBR SR)	29-11
29.3.13	ヘッダ設定レジスタ (HEADR)	29-12

29.3.14	ADTS 形式ヘッダ情報設定レジスタ (ADTSR)	29-13
29.3.15	設定指定レジスタ 5 (MSS1R)	29-15
29.3.16	設定指定レジスタ 6 (MSS2R)	29-15
29.3.17	設定指定レジスタ 7 (QLMDR)	29-15
29.3.18	設定指定レジスタ 8 (QCHAR)	29-15
29.3.19	設定指定レジスタ 9 (QGGAR)	29-15
29.3.20	設定指定レジスタ 10 (SDTRR)	29-15
29.3.21	ストリームデータ強制転送設定レジスタ (SDFOR)	29-16
29.3.22	ストリームデータ強制転送バイト量表示レジスタ (SDBTR)	29-16
29.3.23	フレームバイト量表示レジスタ (FBYTR)	29-17
29.4	動作説明	29-18
29.4.1	DMA 転送による動作	29-18
29.4.2	AESOP 処理手順	29-19
29.4.3	AESOP 起動	29-20
29.4.4	AESOP 停止	29-20
29.4.5	エンコード初期値設定	29-21
29.4.6	データ転送方式設定	29-22
29.4.7	エンコード起動	29-22
29.4.8	DMA 転送 (AESOP へのデータ入力転送用 DMA)	29-23
29.4.9	DMA 転送 (AESOP からのデータ出力転送用 DMA)	29-23
29.4.10	処理ステータス終了割り込み処理	29-24
29.4.11	SFB_RAM 係数デフォルト値	29-28
30.	ピンファンクションコントローラ (PFC)	30-1
30.1	特長	30-8
30.2	レジスタの説明	30-9
30.2.1	ポート A ・ IO レジスタ L (PAIORL)	30-11
30.2.2	ポート A コントロールレジスタ L1 ~ L4 (PACRL1 ~ PACRL4)	30-11
30.2.3	ポート B ・ IO レジスタ H (PBIORH)	30-13
30.2.4	ポート B ・ IO レジスタ L (PBIORL)	30-14
30.2.5	ポート B コントロールレジスタ H1、H2、L1 ~ L4 (PBCRH1、PBCRH2、PBCRL1 ~ PBCRL4)	30-14
30.2.6	ポート C ・ IO レジスタ L (PCIORL)	30-17
30.2.7	ポート C コントロールレジスタ L1 ~ L3 (PCCRL1 ~ PCCRL3)	30-18
30.2.8	ポート D ・ IO レジスタ L (PDIORL)	30-19
30.2.9	ポート D コントロールレジスタ L1 (PDCRL1)	30-20
30.2.10	ポート E ・ IO レジスタ L (PEIORL)	30-20
30.2.11	ポート E コントロールレジスタ L1 ~ L4 (PECRL1 ~ PECRL4)	30-21
30.2.12	ポート F ・ IO レジスタ L (PFIORL)	30-23
30.2.13	ポート F コントロールレジスタ L1、L2 (PFCRL1、PFCRL2)	30-23
30.2.14	ポート G コントロールレジスタ L1 ~ L2 (PGCRL1 ~ PGCRL2)	30-24

30.2.15	ポート H・IO レジスタ L (PHIORL)	30-25
30.2.16	ポート H コントロールレジスタ L1 ~ L4 (PHCRL1 ~ PHCRL4)	30-26
30.2.17	ポート J・IO レジスタ L (PJIORL)	30-28
30.2.18	ポート J コントロールレジスタ L1 ~ L4 (PJCRL1 ~ PJCRL4)	30-28
30.2.19	ポート K・IO レジスタ L (PKIORL)	30-30
30.2.20	ポート K コントロールレジスタ L1 (PKCRL1)	30-31
30.3	使用上の注意事項	30-32
31.	I/O ポート	31-1
31.1	特長	31-1
31.2	レジスタの説明	31-3
31.2.1	ポート A データレジスタ L (PADRL)	31-4
31.2.2	ポート A ポートレジスタ L (PAPRL)	31-5
31.2.3	ポート B データレジスタ H、L (PBDRH、PBDRL)	31-6
31.2.4	ポート B ポートレジスタ H、L (PBPRH、PBPRL)	31-8
31.2.5	ポート C データレジスタ L (PCDRL)	31-9
31.2.6	ポート C ポートレジスタ L (PCPRL)	31-10
31.2.7	ポート D データレジスタ L (PDDRL)	31-11
31.2.8	ポート D ポートレジスタ L (PDPRL)	31-12
31.2.9	ポート E データレジスタ L (PEDRL)	31-13
31.2.10	ポート E ポートレジスタ L (PEPRL)	31-14
31.2.11	ポート F データレジスタ L (PFDRL)	31-15
31.2.12	ポート F ポートレジスタ L (PFPRL)	31-16
31.2.13	ポート G データレジスタ L (PGDRL)	31-17
31.2.14	ポート H データレジスタ L (PHDRL)	31-18
31.2.15	ポート H ポートレジスタ L (PHPRL)	31-19
31.2.16	ポート J データレジスタ L (PJDRL)	31-20
31.2.17	ポート J ポートレジスタ L (PJPRL)	31-21
31.2.18	ポート K データレジスタ L (PKDRL)	31-22
31.2.19	ポート K ポートレジスタ L (PKPRL)	31-23
31.3	使用上の注意事項	31-24
32.	内蔵 RAM	32-1
32.1	特長	32-1
32.2	使用上の注意事項	32-3
32.2.1	ページ競合	32-3
32.2.2	RAME ビット、RAMWE ビットについて	32-3
32.2.3	データ保持について	32-4

33.	低消費電力モード	33-1
33.1	低消費電力モードの種類	33-1
33.2	レジスタ説明	33-3
33.2.1	スタンバイコントロールレジスタ 1 (STBCR1)	33-4
33.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	33-5
33.2.3	スタンバイコントロールレジスタ 3 (STBCR3)	33-6
33.2.4	スタンバイコントロールレジスタ 4 (STBCR4)	33-8
33.2.5	スタンバイコントロールレジスタ 5 (STBCR5)	33-9
33.2.6	スタンバイコントロールレジスタ 6 (STBCR6)	33-10
33.2.7	スタンバイコントロールレジスタ 7 (STBCR7)	33-11
33.2.8	システムコントロールレジスタ 1 (SYSCR1)	33-12
33.2.9	システムコントロールレジスタ 2 (SYSCR2)	33-13
33.2.10	システムコントロールレジスタ 3 (SYSCR3)	33-14
33.2.11	システムコントロールレジスタ 4 (SYSCR4)	33-14
33.2.12	システムコントロールレジスタ 5 (SYSCR5)	33-14
33.2.13	システムコントロールレジスタ 6 (SYSCR6)	33-14
33.2.14	システムコントロールレジスタ 7 (SYSCR7)	33-15
33.2.15	システムコントロールレジスタ 8 (SYSCR8)	33-16
33.2.16	システムコントロールレジスタ 9 (SYSCR9)	33-17
33.2.17	システムコントロールレジスタ 10 (SYSCR10)	33-17
33.2.18	システムコントロールレジスタ 11 (SYSCR11)	33-17
33.2.19	システムコントロールレジスタ 12 (SYSCR12)	33-17
33.2.20	ソフトウェアリセットコントロールレジスタ (SWRSTCR)	33-18
33.2.21	ハイインピーダンスコントロールレジスタ (HIZCR)	33-19
33.2.22	CPU0、1 モードステータスレジスタ (COMSR、C1MSR)	33-20
33.2.23	保持用内蔵 RAM 保持エリア指定レジスタ (RRAMKP)	33-21
33.2.24	ディープスタンバイコントロールレジスタ (DSCTR)	33-22
33.2.25	ディープスタンバイ解除要因セレクトレジスタ (DSSSR)	33-23
33.2.26	ディープスタンバイ解除要因フラグレジスタ (DSFR)	33-24
33.3	動作説明	33-26
33.3.1	低消費電力モードでの状態遷移	33-26
33.3.2	デュアルプロセッサモード	33-26
33.3.3	シングルプロセッサモード	33-27
33.3.4	デュアルスリープモード	33-27
33.3.5	ソフトウェアスタンバイモード	33-28
33.3.6	ソフトウェアスタンバイモードの応用例	33-31
33.3.7	ディープスタンバイモード	33-32
33.3.8	モジュールスタンバイ機能	33-37
33.4	使用上の注意事項	33-38
33.4.1	レジスタ書き込みに関する注意事項	33-38

33.4.2	ディープスタンバイコントロールレジスタ (DSCTR) に関する注意事項	33-38
33.4.3	パワーオンリセット例外処理に関する注意事項	33-38
34.	ユーザデバッグインタフェース (H-UDI)	34-1
34.1	特長	34-1
34.2	入出力端子	34-2
34.3	バウンダリスキャン用TAPコントローラのレジスタの説明	34-3
34.3.1	バイパスレジスタ (BSBPR)	34-3
34.3.2	インストラクションレジスタ (BSIR)	34-3
34.3.3	バウンダリスキャンレジスタ (SDBSR)	34-4
34.3.4	ID レジスタ (BSID)	34-9
34.4	エミュレーション用TAPコントローラのレジスタの説明	34-10
34.4.1	バイパスレジスタ (SDBPR)	34-10
34.4.2	インストラクションレジスタ (SDIR)	34-10
34.5	動作説明	34-12
34.5.1	TAP コントローラ	34-12
34.5.2	リセット構成	34-13
34.5.3	TDO 出力タイミング	34-13
34.5.4	H-UDI リセット	34-14
34.5.5	H-UDI 割り込み	34-14
34.6	バウンダリスキャン	34-15
34.6.1	サポートする命令	34-15
34.6.2	注意事項	34-16
34.7	使用上の注意事項	34-17
35.	レジスタ一覧	35-1
35.1	レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)	35-2
35.2	レジスタビット一覧	35-37
35.3	各動作モードにおけるレジスタの状態の一覧	35-121
36.	電氣的特性	36-1
36.1	絶対最大定格	36-1
36.2	電源投入・切断シーケンス	36-2
36.3	DC特性	36-3
36.4	AC特性	36-10
36.4.1	クロックタイミング	36-11
36.4.2	制御信号タイミング	36-14
36.4.3	バスタイミング	36-15
36.4.4	UBC タイミング	36-30
36.4.5	DMAC タイミング	36-31

36.4.6	MTU2 タイミング	36-32
36.4.7	WDT タイミング	36-33
36.4.8	SCIF タイミング	36-34
36.4.9	SSU タイミング	36-35
36.4.10	IIC3 タイミング	36-38
36.4.11	SSIF タイミング	36-41
36.4.12	RCAN-TL1 タイミング	36-43
36.4.13	ADC タイミング	36-44
36.4.14	FLCTL タイミング	36-45
36.4.15	USB タイミング	36-53
36.4.16	ATAPI タイミング	36-56
36.4.17	2DG タイミング	36-83
36.4.18	SDHI タイミング	36-85
36.4.19	I/O ポートタイミング	36-86
36.4.20	H-UDI タイミング	36-87
36.4.21	AC 特性測定条件	36-89
36.5	A/D変換器特性	36-90
36.6	D/A変換器特性	36-91
36.7	使用上の注意事項	36-92
付録	付録-1
A.	端子状態	付録-1
B.	未使用端子の処理	付録-9
C.	外形寸法図	付録-10
本版で改訂された箇所	改-1
索引	索引-1

1. 概要

1.1 SH7265 の特長

本 LSI は、ルネサスオリジナルの RISC (縮小命令セットコンピュータ)方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI はマルチプロセッサアーキテクチャをその特長とし、SH-1、SH-2、SH-2E マイクロコンピュータとオブジェクトコードレベルでの上位互換性を持つ SH-2A CPU コアによるデュアルコアアーキテクチャを採用しています。RISC 方式の命令セットを持っており、スーパースカラアーキテクチャやハーバードアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。また、ダイレクトメモリアクセスコントローラ (DMAC) とは独立した内部 32 ビットバス構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

本 LSI は、それぞれの CPU コア (CPU0 および CPU1) について浮動小数点ユニット (FPU) とキャッシュを内蔵しています。さらに、本 LSI はシステム構成に必要な周辺機能として、各コアに 64KB (CPU0) および 32KB (CPU1) の高速内蔵 RAM とデータ保持用 RAM、割り込みコントローラ (INTC)、マルチファンクションタイムバブルユニット 2 (MTU2)、コンペアマッチタイマ (CMT)、リアルタイムクロック (RTC)、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、シンクロナスシリアルコミュニケーションユニット (SSU)、I²C バスインタフェース 3 (IIC3)、FIFO 内蔵シリアルサウンドインタフェース (SSIF)、コントローラエリアネットワーク (RCAN-TL1)、IEBusTM* コントローラ (IEB)、A/D 変換器 (ADC)、D/A 変換器 (DAC)、AND/NAND フラッシュメモリコントローラ (FLCTL)、2 ポート対応 USB2.0 ホスト / ファンクションモジュール (USB)、AT アタッチメントパケットインタフェース (ATAPI)、2D エンジン (2DG)、AAC エンコーダ (AESOP)、SD ホストインタフェース (SDHI)、I/O ポートなどを内蔵しています。

また、本 LSI では外部メモリアクセスサポート機能により、メモリや周辺 LSI と直接接続を行えます。これらにより、システムコストの大幅な低減が可能です。さらに、本 LSI の I/O 端子には、端子の電位が中間電位状態となることを抑止するウィークキーバ回路が付いていますので、入力レベルを固定するための外付け回路は不要であり、部品点数を大幅に減らすことが可能です。

本 LSI の特長を表 1.1 に示します。

【注】 * IEBus (Inter Equipment Bus) はルネサス エレクトロニクスの商標です。

表 1.1 SH7265 の特長

項目	特 長
CPU	<ul style="list-style-type: none"> • ルネサス独自の SuperH アーキテクチャ • SH-1、SH-2、SH-2E とオブジェクトコードレベルで互換性あり • 32 ビット内部データバス • 汎用レジスタアーキテクチャ <ul style="list-style-type: none"> 16 本の 32 ビット汎用レジスタ 4 本の 32 ビットコントロールレジスタ 4 本の 32 ビットシステムレジスタ 高速割り込み応答のためのレジスタバンク • RISC タイプ命令セット (SH シリーズと上位互換性) <ul style="list-style-type: none"> 命令長：コードの効率改善のための 16 ビット基本命令と、性能・使い勝手向上のための 32 ビット命令 ロードストアアーキテクチャ 遅延分岐命令 C 言語に基づく命令セット • FPU を含む 2 命令同時実行スーパースカラ • 命令実行時間：最大 2 命令 / サイクル • アドレス空間：4G バイト • 乗算器内蔵 • 5 段パイプライン • ハーバードアーキテクチャ
浮動小数点 ユニット (FPU)	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード：近傍および 0 方向への丸め • 非正規化数の扱い：0 への切り捨て • 浮動小数点レジスタ <ul style="list-style-type: none"> 16 本の 32 ビット浮動小数点レジスタ (単精度 × 16 ワードまたは倍精度 × 8 ワード) 2 本の 32 ビット浮動小数点システムレジスタ • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 <ul style="list-style-type: none"> レイテンシ (FMAC/FADD/FSUB/FMUL)：3 サイクル (単精度)、8 サイクル (倍精度) ピッチ (FMAC/FADD/FSUB/FMUL)：1 サイクル (単精度)、6 サイクル (倍精度) 【注】 FMAC は単精度に対してのみサポートしています。 • 5 段パイプライン

項目	特 長
排他制御・メモリ共有方式	<ul style="list-style-type: none"> • 2つのCPU間の排他制御をサポート • 2つのCPU間に存在するレジスタを介したセマフォ制御 • TAS.B命令による排他制御
クロックパルス発振器 (CPG)	<ul style="list-style-type: none"> • クロックモード：入力クロックを外部入力 (EXTAL、CKIO、または USB_X1) または水晶発振器から選択可能 • 内蔵 PLL 回路により入力クロックを最大 16 通倍することが可能 • 4 種類のクロックを生成 <ul style="list-style-type: none"> • CPU0 クロック：最大 200MHz • CPU1 クロック：最大 200MHz • バスクロック：最大 66MHz (CPU0 バス、CPU1 バス、周辺バス 1、周辺バス 2、および周辺バス 3) • 周辺クロック：最大 33MHz (周辺バス 0)
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> • 同期制御のためのプロセッサ間割り込みをサポート • 17本の外部割り込み端子 (NMI、IRQ7 ~ IRQ0、PINT7 ~ PINT0) • 内蔵周辺割り込み：モジュールごとに優先順位を設定 • 16レベルの優先順位設定が可能 • レジスタバンクにより割り込み処理に伴うレジスタの退避 / 復帰を高速に行うことが可能
ユーザブレイクコントローラ (UBC)	<ul style="list-style-type: none"> • ブレイクチャンネル×2チャンネル • アドレス、データ値、アクセス形式、およびデータサイズをブレイク条件として設定可能
キャッシュメモリ	<ul style="list-style-type: none"> • 命令キャッシュ：8Kバイト×2コア (CPU0/CPU1) • オペランドキャッシュ：8Kバイト×2コア (CPU0/CPU1) • おのおの 128 エントリ / ウェイ、4 ウェイセットアソシアティブ、16 バイトブロック長 • ライトバック、ライトスルー、LRU 置換アルゴリズム • ウェイロック機能あり (オペランドキャッシュのみ)：ウェイ 2、ウェイ 3 はロック可能

項目	特 長
バスステートコントローラ (BSC)	<ul style="list-style-type: none"> • 外部アドレス空間 CS0 ~ CS5 の各空間、SDRAM 空間をそれぞれ最大 64M バイトまでサポート 空間ごとにデータバス幅 (8 ビット、16 ビット、または 32 ビット) を選択可能 サイクルウェイト機能: 最大 31 ウェイト (ページアクセスサイクルは最大 7 ウェイト) • 通常空間インタフェース ウェイト制御: チップセレクト信号のアサート・ネゲートタイミング設定可能 リード・ライトストロープ信号のアサート・ネゲートタイミング設定可能 データ出力の開始・終了タイミング設定可能 チップセレクト信号の延長設定可能 ライトアクセスモード: 1 ライトストロープ / バイトライトストロープモード ページアクセスモード: ページリード・ライトサポート (ページ単位は、64 ビット、128 ビット、256 ビット) • SDRAM インタフェース 最大 2 つのエリアで SDRAM を設定可能 (各エリア最大 64M バイト) リフレッシュ機能: オートリフレッシュ (プログラマブルリフレッシュカウンタ内蔵) およびセルフリフレッシュ アクセスタイミング設定可能: ローカラムレイテンシ、カラムレイテンシ、アクティブロー期間設定可能 初期化シーケンサ機能、パワーダウン機能、ディープパワーダウン機能、モードレジスタ設定機能を内蔵
ダイレクトメモリアクセスコントローラ (DMAC)	<ul style="list-style-type: none"> • チャンネル数: 14 チャンネル。うち 8 チャンネルで 2 次元アドレッシングを指定可能 • 転送要求: ソフトウェアトリガ、内蔵周辺 I/O 要求、または外部端子からの要求 • 最大転送バイト数: 64M バイト • 転送データサイズ 1 データ転送: 8 ビット、16 ビット、32 ビット 1 オペランド転送: 1/2/4/8/16/32/64/128 データ ノンストップ転送: バイトカウント 0 まで • 転送モード サイクルスチール転送 (デュアルアドレス転送): 3 クロックサイクル (Min.) / 1 データ転送 パイプライン転送 (デュアルアドレス転送): 1 クロックサイクル (Min.) / 1 データ転送 • アドレス方向制御 固定、インクリメント、デクリメント、ローテート、2 次元アドレッシング • DMA 転送条件選択 単一オペランド転送、連続オペランド転送、ノンストップ転送 • リロード機能 ソースアドレス、デスティネーションアドレス、バイトカウント

項目	特 長
マルチファンクションタイムパルスユニット 2 (MTU2)	<ul style="list-style-type: none"> • 16 ビットタイマ 5 チャンネルをベースに最大 16 種類のパルス入出力が可能 • 18 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • インプットキャプチャ機能 • パルス出力モード トグル/PWM/相補 PWM/リセット同期 PWM • 複数カウンタの同期化機能 • 相補 PWM 出力モード 3 相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWM デューティを 0~100%任意に設定可能 A/D 変換要求ディレイド機能 山・谷割り込み間引き機能 • リセット同期 PWM モード 任意デューティの正相・逆相 PWM 波形を 3 相出力 • 位相計数モード 2 相エンコーダ計数処理が可能
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • 4 チャンネル 16 ビットカウンタ • 4 種類のクロック選択可能 (P /8、P /32、P /128、P /512) • コンペアマッチ時、DMA 転送要求または割り込み要求の発生を選択可能
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> • 1 チャンネルのウォッチドッグタイマ×2 コア • カウンタのオーバフローにより本 LSI にリセットをかけることが可能
リアルタイムクロック (RTC)	<ul style="list-style-type: none"> • 内蔵クロック、カレンダー機能、アラーム機能 • 1/256 秒の最大分解能 (割り込みサイクル) の内蔵 32.768kHz 水晶発振器回路
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	<ul style="list-style-type: none"> • 6 チャンネル • クロック同期式/調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能 (全二重) • 専用のポーレートジェネレータ内蔵 • 送受信 FIFO をそれぞれ 16 バイト内蔵 • モデムコントロール機能 (調歩同期式モード時)
シンクロナスシリアルコミュニケーションユニット (SSU)	<ul style="list-style-type: none"> • マスタモードとスレーブモード選択可能 • 標準モード/双方向モードが選択可能 • 送受信データ長を 8/16/32 ビットから選択可能 • 送受信を同時に行うことが可能 (全二重) • 連続シリアル通信が可能 • 2 チャンネル
I ² C バスインタフェース 3 (IIC3)	<ul style="list-style-type: none"> • 4 チャンネル • マスタモード/スレーブモード内蔵

項目	特 長
FIFO 内蔵シリアルサウンドインタフェース (SSIF)	<ul style="list-style-type: none"> • 6 チャンネルの双方向シリアル転送 • 多様なシリアルオーディオフォーマットをサポート • マスタ/スレーブ機能をサポート • プログラマブルワードクロック、ビットクロック生成機能 • マルチチャンネルフォーマット機能 • 8/16/18/20/22/24/32 ビットデータフォーマットをサポート • 送受信用 8 段 FIFO 内蔵
コントローラエリアネットワーク (RCAN-TL1)	<ul style="list-style-type: none"> • 2 チャンネル • TTCAN レベル 1 はすべてのチャンネルでサポート • Bosch 2.0B active 対応 • バッファサイズ：送受信 x 31、受信のみ x 1 • 32 チャンネル入力のバッファを増やすために複数の RCAN チャンネルを 1 つのバスに割り当て可能
IEBus™ コントローラ (IEB)	<ul style="list-style-type: none"> • IEBus のプロトコル制御 (レイア 2) に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる 3 種類のモードが選択可能 • モード 2 の最大伝送バイト数である 128 バイトまで連続送受信が可能なデータ送受信用バッファ (デュアルポート RAM) 内蔵 動作周波数： <ul style="list-style-type: none"> 12MHz、12.58MHz のクロックを 1/2 に分周して使用 18MHz、18.87MHz のクロックを 1/3 に分周して使用 24MHz、25.16MHz のクロックを 1/4 に分周して使用 30MHz、31.45MHz のクロックを 1/5 に分周して使用 36MHz、37.74MHz のクロックを 1/6 に分周して使用
A/D 変換器 (ADC)	<ul style="list-style-type: none"> • 分解能：10 ビット • 入力：8 チャンネル • 外部トリガ/タイマトリガによる A/D 変換の起動が可能
D/A 変換器 (DAC)	<ul style="list-style-type: none"> • 分解能：8 ビット • 出力：2 チャンネル
AND/NAND フラッシュメモリコントローラ (FLCTL)	<ul style="list-style-type: none"> • AND/NAND 型フラッシュメモリとの直結メモリインタフェース • セクタ単位の読み出し/書き込み • コマンドアクセスモードとセクタアクセスモード (512 バイトデータ + 16 バイト管理コード：ECC 付き) の 2 種類の転送モード • 割り込み要求、DMAC 転送要求あり • 5 バイトアドレス (2G ビット超) のフラッシュメモリに対応

項目	特 長
USB2.0 ホスト/ファンクションモジュール (USB)	<ul style="list-style-type: none"> • USBバージョン 2.0 準拠 • 2ポート対応の USB バス 2ポートホストモードと1ポートファンクションモード • 480M bps、12M bps、および 1.5M bps の転送レートに対応 (ホストモード) • 480M bps および 12M bps の転送レートに対応 (ファンクションモード) • 通信バッファとして 10K バイトの RAM を内蔵
SD ホストインタフェース (SDHI) 【注】SDHI は型番により搭載品、非搭載品に分かれます	<ul style="list-style-type: none"> • SD メモリ/I/O カードインタフェース (1 ビット / 4 ビット SD バス) • エラーチェック機能 : CRC7 (コマンド)、CRC16 (データ) • MMC (MultiMediaCard) アクセス • 割り込み要求 : カードアクセス割り込み、SDIO アクセス割り込み、カード検出割り込み • DMA 転送要求 : SD_BUF ライト、SD_BUF リード • カード検出機能、ライトプロテクトサポート
AT アタッチメント パケットインタフェース (ATAPI)	<ul style="list-style-type: none"> • プライマリチャネルサポート • マスタ/スレーブサポート • PIO モード 0~4、マルチワード DMA モード 0~2、ウルトラ DMA モード 0~2 をサポート • 専用 DMAC 内蔵 • 32 バイトダブルバッファ • 3.3V I/O インタフェース
2D エンジン (2DG)	<ul style="list-style-type: none"> • アクセラレーション機能 2入力1出力ブリット、Fill、クロマキー、論理演算、色階調処理、可変ブレンド処理 • リサイズ機能 ブリット部 : 水平、垂直独立してバイリニア/ニアレスト選択、変換率 1/2~2 倍 (任意)、プリフィルタ (モワレ対策用) オン/オフ選択 出画部 : 水平方向のみキュービックアルゴリズム、変換率 1/3~1 倍 (任意) • 動画入力 BT656 フォーマット (NTSC/PAL) 入力 • 動画重畳 グラフィック面と動画を ブレンドし、RGB666 にてコンスタント出力 • ブリット部入力フォーマット RGB444 (16 ビット)、 RGB555 (16 ビット)、 (4 ビット) • ブリット部出力フォーマット RGB444 (16 ビット)、 RGB555 (16 ビット) • 最終出画解像度 WQVGA (480 × 234) または QVGA (320 × 240) • Video-out 部 内蔵 DAC (分解能 6 ビット、動作周波数 5 ~ 12.5MHz)

項目	特 長
AAC エンコーダ (AESOP)	<ul style="list-style-type: none"> • MPEG-2 AAC (ISO/IEC13818-7) 準拠 • 入力形式 : 16 ビット PCM ステレオ • 出力形式 : RAW データ、ADTS 形式 • プロファイル : LC プロファイル • チャンネル : ステレオのみ対応 • サンプリング周波数 : 44.1 kHz • ビットレート : 256 kbps
内蔵 RAM	<ul style="list-style-type: none"> • CPU0 : 64K バイトの高速アクセス用メモリを内蔵 (16KB × 4 面) • CPU1 : 32K バイトの高速アクセス用メモリを内蔵 (16KB × 2 面) • データ保持用のメモリを内蔵 (メモリサイズ : 16KB)
I/O ポート	<ul style="list-style-type: none"> • 96 本 (入出力)、11 本 (入力) • 入出力ポートはビットごとに入出力切り替え可能 • ウィークキーバ回路内蔵
低消費電力モード	<ul style="list-style-type: none"> • 本 LSI の消費電力を下げるために 6 種類の低消費電力モードをサポート デュアルプロセッサモード シングルプロセッサモード デュアルスリープモード ソフトウェアスタンバイモード ディープスタンバイモード モジュールスタンバイモード
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> • E10A エミュレータのサポート • JTAG 標準端子配置
電源電圧	<ul style="list-style-type: none"> • Vcc : 1.1 ~ 1.3V、PVcc : 3.0 ~ 3.6V
パッケージ	<ul style="list-style-type: none"> • 272 ピン BGA、17mm 角、0.8mm ピッチ JEITA Package Code : P-FBGA272-17x17-0.80 RENESAS Code : PRBG0272GA-A

1.2 製品一覧

表 1.2 製品一覧

製品分類	製品型名	IEB	SDHI	パッケージ
SH7265	R5S72650P200BG	非搭載	非搭載	272 ピン BGA
	R5S72651P200BG	非搭載	搭載	
	R5S72652P200BG	搭載	非搭載	
	R5S72653P200BG	搭載	搭載	

1.3 ブロック図

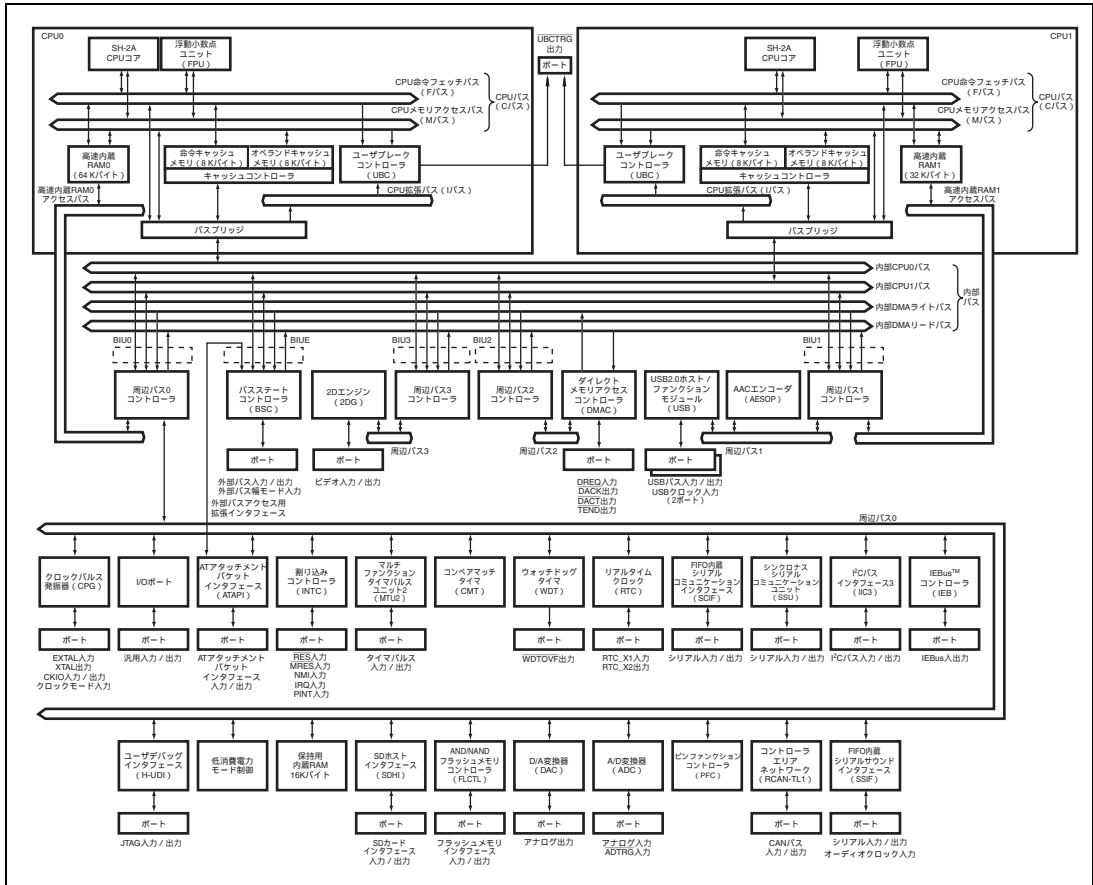


図 1.1 ブロック図

1.4 ピン配置図

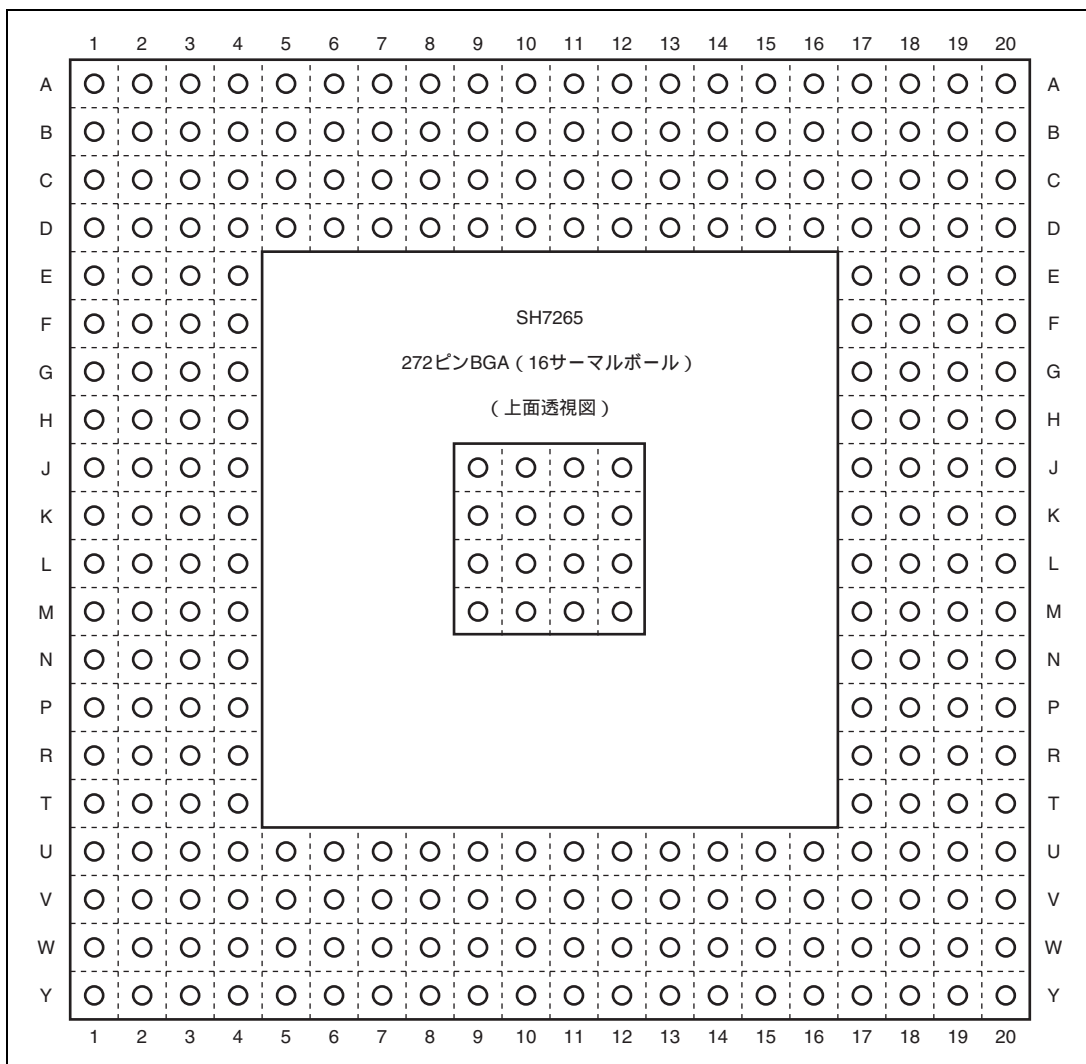


図 1.2 ピン配置図

表 1.3 ピン番号とピン名対応表

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
A1	Vss									
A2	CKIO	I/O	-	-	-	-	-	-	-	-
A3	PB9	I/O	WE0/BC0/DQM0	O	-	-	-	-	-	-
A4	D14	I/O	-	-	-	-	-	-	-	-
A5	D12	I/O	-	-	-	-	-	-	-	-
A6	D10	I/O	-	-	-	-	-	-	-	-
A7	D8	I/O	-	-	-	-	-	-	-	-
A8	PA14	I/O	D30	I/O	IDED14	I/O	-	-	TIOC4C	I(s)/O
A9	PA12	I/O	D28	I/O	IDED12	I/O	$\overline{\text{DACK1}}$	O	TIOC4A	I(s)/O
A10	PA10	I/O	D26	I/O	IDED10	I/O	$\overline{\text{TEND0}}$	O	TIOC3C	I(s)/O
A11	PA8	I/O	D24	I/O	IDED8	I/O	DREQ0	I(s)	TIOC3A	I(s)/O
A12	PA6	I/O	D22	I/O	IDED6	I/O	TCLKC	I(s)	TIOC2A	I(s)/O
A13	PA4	I/O	D20	I/O	IDED4	I/O	TCLKA	I(s)	TIOC1A	I(s)/O
A14	MD0	I(s)	-	-	-	-	-	-	-	-
A15	PC3	I(s)/O	IODACK#	O	TCLKD	I(s)	NAF1	I(s)/O	IRQ3	I(s)
A16	PC7	I(s)/O	IDEIORDY	I	TIOC4D	I(s)/O	NAF5	I(s)/O	PINT3	I(s)

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
A1									
A2	-	-	-	-	-	-			(9)
A3	-	-	-	-	-	-			(10)
A4	-	-	-	-	-	-			(10)
A5	-	-	-	-	-	-			(10)
A6	-	-	-	-	-	-			(10)
A7	-	-	-	-	-	-			(10)
A8	PINT6	I(s)	SD_CLK	O	-	-			(14)
A9	PINT4	I(s)	SD_CD	I(s)	$\overline{\text{DACT1}}$	O			(14)
A10	PINT2	I(s)	SD_D2	I(s)/O	-	-			(14)
A11	PINT0	I(s)	SD_D0	I(s)/O	-	-			(14)
A12	IRQ6	I(s)	SSO1	I(s)/O	-	-			(14)
A13	IRQ4	I(s)	SSCK1	I(s)/O	-	-			(14)
A14	-	-	-	-	-	-			(1)
A15	-	-	-	-	-	-			(12)
A16	-	-	-	-	-	-			(14)

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
A17	PF0	I(s)/O	-	-	SCL3	I(s)/O(o)	-	-	-	-
A18	PF2	I/O	-	-	-	-	CTx0	O	IETxD	O
A19	PF4	I/O	-	-	DACK3	O	CTx1	O	CTx0&CTx1	O
A20	PVcc									
B1	PB11	I/O	WE2/BC2/DQM2	O	IDECS#0	O	FWE	O	-	-
B2	Vss									
B3	PB10	I/O	WE1/BC1/DQM1	O	-	-	-	-	-	-
B4	D15	I/O	-	-	-	-	-	-	-	-
B5	D13	I/O	-	-	-	-	-	-	-	-
B6	D11	I/O	-	-	-	-	-	-	-	-
B7	D9	I/O	-	-	-	-	-	-	-	-
B8	PA15	I/O	D31	I/O	IDED15	I/O	ADTRG	I(s)	TIOC4D	I(s)/O
B9	PA13	I/O	D29	I/O	IDED13	I/O	TENDT	O	TIOC4B	I(s)/O
B10	PA11	I/O	D27	I/O	IDED11	I/O	DREQ1	I(s)	TIOC3D	I(s)/O
B11	PA9	I/O	D25	I/O	IDED9	I/O	DACK0	O	TIOC3B	I(s)/O
B12	PA7	I/O	D23	I/O	IDED7	I/O	TCLKD	I(s)	TIOC2B	I(s)/O
B13	PA5	I/O	D21	I/O	IDED5	I/O	TCLKB	I(s)	TIOC1B	I(s)/O

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
A17	-	-	-	-	-	-			(16)
A18	-	-	-	-	-	-			(10)
A19	DACT3	O	-	-	-	-			(10)
A20									
B1	-	-	-	-	-	-			(10)
B2									
B3	-	-	-	-	-	-			(10)
B4	-	-	-	-	-	-			(10)
B5	-	-	-	-	-	-			(10)
B6	-	-	-	-	-	-			(10)
B7	-	-	-	-	-	-			(10)
B8	PINT7	I(s)	SD_WP	I(s)	-	-			(14)
B9	PINT5	I(s)	SD_CMD	I(s)/O	-	-			(14)
B10	PINT3	I(s)	SD_D3	I(s)/O	-	-			(14)
B11	PINT1	I(s)	SD_D1	I(s)/O	DACT0	O			(14)
B12	IRQ7	I(s)	SCST	I(s)/O	-	-			(14)
B13	IRQ5	I(s)	SSI1	I(s)/O	-	-			(14)

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
B14	PC0	I(s)/O	IDEA0	O	TCLKA	I(s)	FOE	O	IRQ0	I(s)
B15	PC4	I(s)/O	IODREQ	I	TIOC4A	I(s)/O	NAF2	I(s)/O	PINT0	I(s)
B16	PC8	I(s)/O	IDEINT	I	DREQ1	I(s)	NAF6	I(s)/O	PINT4	I(s)
B17	PF1	I(s)/O	-	-	SDA3	I(s)/O(o)	CRx0	I(s)	IERxD	I(s)
B18	PF3	I/O	-	-	DREQ3	I(s)	CRx1	I(s)	CRx0/CRx1	I(s)
B19	PVcc									
B20	Vcc									
C1	PB13	I/O	$\overline{\text{RAS}}$	O	-	-	-	-	-	-
C2	PB12	I/O	$\overline{\text{WE3/BC3/DQM3}}$	O	IDECS#1	O	FCDE	O	-	-
C3	Vss									
C4	Vcc									
C5	Vcc									
C6	D6	I/O	-	-	-	-	-	-	-	-
C7	D4	I/O	-	-	-	-	-	-	-	-
C8	D2	I/O	-	-	-	-	-	-	-	-
C9	D0	I/O	-	-	-	-	-	-	-	-
C10	PVcc									

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
B14	-	-	-	-	-	-			(12)
B15	-	-	-	-	-	-			(14)
B16	-	-	-	-	-	-			(14)
B17	-	-	-	-	-	-			(16)
B18	-	-	-	-	-	-			(14)
B19									
B20									
C1	-	-	-	-	-	-			(10)
C2	-	-	-	-	-	-			(10)
C3									
C4									
C5									
C6	-	-	-	-	-	-			(10)
C7	-	-	-	-	-	-			(10)
C8	-	-	-	-	-	-			(10)
C9	-	-	-	-	-	-			(10)
C10									

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
C11	Vcc									
C12	PA2	I/O	D18	I/O	IDED2	I/O	-	-	TIOC0C	I(s)/O
C13	PA0	I/O	D16	I/O	IDED0	I/O	DREQ2	I(s)	TIOC0A	I(s)/O
C14	PC1	I(s)/O	IDEA1	O	TCLKB	I(s)	FSC	O	IRQ1	I(s)
C15	PC5	I(s)/O	IDEIOWR#	O	TIOC4B	I(s)/O	NAF3	I(s)/O	PINT1	I(s)
C16	PC9	I(s)/O	IDERST#	O	$\overline{\text{DACT1}}$	O	NAF7	I(s)/O	PINT5	I(s)
C17	PVcc									
C18	PVcc									
C19	Vcc									
C20	RTC_X2	O	-	-	-	-	-	-	-	-
D1	$\overline{\text{CS0}}$	O	-	-	-	-	-	-	-	-
D2	PB14	I/O	$\overline{\text{CAS}}$	O	-	-	-	-	-	-
D3	PVcc									
D4	Vss									
D5	Vcc									
D6	D7	I/O	-	-	-	-	-	-	-	-
D7	D5	I/O	-	-	-	-	-	-	-	-

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
C11									
C12	IRQ2	I(s)	SSO0	I(s)/O	-	-			(14)
C13	IRQ0	I(s)	SSCK0	I(s)/O	-	-			(14)
C14	-	-	-	-	-	-			(12)
C15	-	-	-	-	-	-			(12)
C16	$\overline{\text{DACT1}}$	O	-	-	-	-			(12)
C17									
C18									
C19									
C20	-	-	-	-	-	-			(18)
D1	-	-	-	-	-	-			(8)
D2	-	-	-	-	-	-			(10)
D3									
D4									
D5									
D6	-	-	-	-	-	-			(10)
D7	-	-	-	-	-	-			(10)

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
D8	D3	I/O	-	-	-	-	-	-	-	-
D9	D1	I/O	-	-	-	-	-	-	-	-
D10	PVcc									
D11	Vcc									
D12	PA3	I/O	D19	I/O	IDED3	I/O	-	-	TIOC0D	I(s)/O
D13	PA1	I/O	D17	I/O	IDED1	I/O	DACK2	O	TIOC0B	I(s)/O
D14	PC2	I(s)/O	IDEA2	O	TCLKC	I(s)	NAF0	I(s)/O	IRQ2	I(s)
D15	PC6	I(s)/O	IDEIORD#	O	TIOC4C	I(s)/O	NAF4	I(s)/O	PINT2	I(s)
D16	PC10	I(s)/O	DIRECTION	O	TEND1	O	FCE	O	PINT6	I(s)
D17	PVcc									
D18	Vcc									
D19	PE0	I(s)/O	RxD0	I(s)	SSCK0	I(s)/O	-	-	-	-
D20	RTC_X1	I	-	-	-	-	-	-	-	-
E1	PB4	I/O	CS1	O	-	-	-	-	-	-
E2	PB6	I/O	CS3	O	RD_WRWE	O	-	-	-	-
E3	PVcc									
E4	PVcc									

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
D8	-	-	-	-	-	-			(10)
D9	-	-	-	-	-	-			(10)
D10									
D11									
D12	IRQ3	I(s)	SCS0	I(s)/O	-	-			(14)
D13	IRQ1	I(s)	SSI0	I(s)/O	DACK2	O			(14)
D14	-	-	-	-	-	-			(12)
D15	-	-	-	-	-	-			(12)
D16	-	-	-	-	-	-			(12)
D17									
D18									
D19	-	-	-	-	-	-			(12)
D20	-	-	-	-	-	-			(18)
E1	-	-	-	-	-	-			(10)
E2	-	-	-	-	-	-			(10)
E3									
E4									

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
E17	Vcc									
E18	Vcc									
E19	PE2	I(s)/O	$\overline{\text{CTS0}}$	I(s)/O	SSO0	I(s)/O	-	-	TIOC2A	I(s)/O
E20	PE1	I(s)/O	TxD0	O	SSI0	I(s)/O	-	-	-	-
F1	PB5	I/O	$\overline{\text{CS2}}$	O	-	-	-	-	-	-
F2	PB7	I/O	$\overline{\text{CS4}}$	O	$\overline{\text{SDCS0}}$	O	-	-	-	-
F3	PB15	I/O	CKE	O	-	-	-	-	-	-
F4	PB16	I/O	$\overline{\text{SDWE}}$	O	-	-	-	-	-	-
F17	PE6	I(s)/O	TxD1	O	SSO1	I(s)/O	SD_CLK	O	SSIWS5	I(s)/O
F18	PE5	I(s)/O	RxD1	I(s)	SSI1	I(s)/O	SD_CMD	I(s)/O	SSISCK5	I(s)/O
F19	PE4	I(s)/O	SCK0	I(s)/O	SSCK1	I(s)/O	-	-	-	-
F20	PE3	I(s)/O	$\overline{\text{RTS0}}$	I(s)/O	$\overline{\text{SCS0}}$	I(s)/O	-	-	TIOC2B	I(s)/O
G1	PB1	I/O	A1	O	-	-	-	-	-	-
G2	A2	O	-	-	-	-	-	-	-	-
G3	PB8	I(s)/O	$\overline{\text{CS5}}$	O	$\overline{\text{SDCS1}}$	O	$\overline{\text{MRES}}$	I(s)	-	-
G4	PB17	I/O	$\overline{\text{WAIT}}$	I	-	-	-	-	-	-
G17	PE10	I(s)	RxD3	I(s)	SCL1	I(s)/O(o)	-	-	-	-

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
E17									
E18									
E19	-	-	-	-	-	-			(12)
E20	-	-	-	-	-	-			(12)
F1	-	-	-	-	-	-			(10)
F2	-	-	-	-	-	-			(10)
F3	-	-	-	-	-	-			(10)
F4	-	-	-	-	-	-			(10)
F17	-	-	-	-	-	-			(12)
F18	-	-	-	-	-	-			(12)
F19	-	-	-	-	-	-			(12)
F20	-	-	-	-	-	-			(12)
G1	-	-	-	-	-	-			(10)
G2	-	-	-	-	-	-			(8)
G3	-	-	-	-	-	-			(12)
G4	-	-	-	-	-	-			(10)
G17	-	-	-	-	-	-			(15)

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
G18	PE9	I(s)/O	TxD2	O	SDA0	I(s)/O(o)	-	-	-	-
G19	PE8	I(s)	RxD2	I(s)	SCL0	I(s)/O(o)	-	-	-	-
G20	PE7	I(s)/O	SCK1	I(s)/O	$\overline{\text{SCS1}}$	I(s)/O	SD_D3	I(s)/O	SSIDATA5	I(s)/O
H1	A3	O	-	-	-	-	-	-	-	-
H2	A4	O	-	-	-	-	-	-	-	-
H3	$\overline{\text{RD}}$	O	-	-	-	-	-	-	-	-
H4	PB0	I/O	A0	O	RD_W $\overline{\text{R}}\overline{\text{W}}\overline{\text{E}}$	O	-	-	-	-
H17	PE13	I(s)/O	TxD4	O	SDA2	I(s)/O(o)	-	-	-	-
H18	PE12	I(s)	RxD4	I(s)	SCL2	I(s)/O(o)	-	-	-	-
H19	PE11	I(s)/O	TxD3	O	SDA1	I(s)/O(o)	-	-	-	-
H20	TDI	I	-	-	-	-	-	-	-	-
J1	A5	O	-	-	-	-	-	-	-	-
J2	A6	O	-	-	-	-	-	-	-	-
J3	A7	O	-	-	-	-	-	-	-	-
J4	A8	O	-	-	-	-	-	-	-	-
J9	Vss									
J10	Vss									

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
G18	-	-	-	-	-	-			(16)
G19	-	-	-	-	-	-			(15)
G20	-	-	-	-	-	-			(12)
H1	-	-	-	-	-	-			(8)
H2	-	-	-	-	-	-			(8)
H3	-	-	-	-	-	-			(8)
H4	-	-	-	-	-	-			(10)
H17	-	-	-	-	-	-			(16)
H18	-	-	-	-	-	-			(15)
H19	-	-	-	-	-	-			(16)
H20	-	-	-	-	-	-			(3)
J1	-	-	-	-	-	-			(8)
J2	-	-	-	-	-	-			(8)
J3	-	-	-	-	-	-			(8)
J4	-	-	-	-	-	-			(8)
J9									
J10									

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
J11	Vss									
J12	Vss									
J17	$\overline{\text{RES}}$	I(s)	-	-	-	-	-	-	-	-
J18	NMI	I(s)	-	-	-	-	-	-	-	-
J19	TCK	I	-	-	-	-	-	-	-	-
J20	TDO	O	-	-	-	-	-	-	-	-
K1	A9	O	-	-	-	-	-	-	-	-
K2	A10	O	-	-	-	-	-	-	-	-
K3	Vcc									
K4	Vcc									
K9	Vss									
K10	Vss									
K11	Vss									
K12	Vss									
K17	PVcc									
K18	PVcc									
K19	$\overline{\text{ASEMD}}$	I(s)	-	-	-	-	-	-	-	-

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
J11									
J12									
J17	-	-	-	-	-	-			(1)
J18	-	-	-	-	-	-			(1)
J19	-	-	-	-	-	-			(3)
J20	-	-	-	-	-	-			(7)
K1	-	-	-	-	-	-			(8)
K2	-	-	-	-	-	-			(8)
K3									
K4									
K9									
K10									
K11									
K12									
K17									
K18									
K19	-	-	-	-	-	-			(1)

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
K20	TRST	I(s)	-	-	-	-	-	-	-	-
L1	A11	O	-	-	-	-	-	-	-	-
L2	A12	O	-	-	-	-	-	-	-	-
L3	PVcc									
L4	PVcc									
L9	Vss									
L10	Vss									
L11	Vss									
L12	Vss									
L17	Vcc									
L18	Vcc									
L19	TMS	I	-	-	-	-	-	-	-	-
L20	ASEBRKAK/ASEBRK	I(s)/O	-	-	-	-	-	-	-	-
M1	A13	O	-	-	-	-	-	-	-	-
M2	A14	O	-	-	-	-	-	-	-	-
M3	A15	O	-	-	-	-	-	-	-	-
M4	A16	O	-	-	-	-	-	-	-	-

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
K20	-	-	-	-	-	-			(2)
L1	-	-	-	-	-	-			(8)
L2	-	-	-	-	-	-			(8)
L3									
L4									
L9									
L10									
L11									
L12									
L17									
L18									
L19	-	-	-	-	-	-			(3)
L20	-	-	-	-	-	-			(13)
M1	-	-	-	-	-	-			(8)
M2	-	-	-	-	-	-			(8)
M3	-	-	-	-	-	-			(8)
M4	-	-	-	-	-	-			(8)

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
M9	Vss									
M10	Vss									
M11	Vss									
M12	Vss									
M17	PVcc									
M18	PVcc									
M19	Vss									
M20	DP1	I/O	-	-	-	-	-	-	-	-
N1	A17	O	-	-	-	-	-	-	-	-
N2	A18	O	-	-	-	-	-	-	-	-
N3	A19	O	-	-	-	-	-	-	-	-
N4	A20	O	-	-	-	-	-	-	-	-
N17	Vss									
N18	Vss									
N19	Vss									
N20	DM1	I/O	-	-	-	-	-	-	-	-
P1	PB2	I(s)/O	A21	O	RxD2	I(s)	-	-	-	-

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
M9									
M10									
M11									
M12									
M17									
M18									
M19									
M20	-	-	-	-	-	-			
N1	-	-	-	-	-	-			(8)
N2	-	-	-	-	-	-			(8)
N3	-	-	-	-	-	-			(8)
N4	-	-	-	-	-	-			(8)
N17									
N18									
N19									
N20	-	-	-	-	-	-			
P1	-	-	-	-	-	-			(12)

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
P2	PB3	I/O	A22	O	TxD2	O	-	-	-	-
P3	PD2	I(s)/O	$\overline{\text{TEND0}}$	O	A23	O	SCK2	I(s)/O	IRQ6	I(s)
P4	PD1	I(s)/O	$\overline{\text{DACK0}}$	O	A24	O	$\overline{\text{DACT0}}$	O	IRQ5	I(s)
P17	Vss									
P18	Vss									
P19	Vss									
P20	DP0	I/O	-	-	-	-	-	-	-	-
R1	PH0	I(s)/O	SSISCK0	I(s)/O	-	-	-	-	-	-
R2	PH1	I(s)/O	SSIWS0	I(s)/O	-	-	-	-	-	-
R3	PH2	I(s)/O	SSIDATA0	I(s)/O	-	-	-	-	-	-
R4	PD0	I(s)/O	DREQ0	I(s)	A25	O	$\overline{\text{ADTRG}}$	I(s)	IRQ4	I(s)
R17	REFRIN	I	-	-	-	-	-	-	-	-
R18	USBAPVcc									
R19	VBUS	I	-	-	-	-	-	-	-	-
R20	DM0	I/O	-	-	-	-	-	-	-	-
T1	PH3	I(s)/O	SSISCK1	I(s)/O	DREQ2	I(s)	-	-	-	-
T2	PH4	I(s)/O	SSIWS1	I(s)/O	$\overline{\text{DACK2}}$	O	$\overline{\text{DACT2}}$	O	-	-

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
P2	-	-	-	-	-	-			(10)
P3	-	-	-	-	-	-			(12)
P4	-	-	-	-	-	-			(12)
P17									
P18									
P19									
P20	-	-	-	-	-	-			
R1	-	-	-	-	-	-			(12)
R2	-	-	-	-	-	-			(12)
R3	-	-	-	-	-	-			(12)
R4	-	-	-	-	-	-			(12)
R17	-	-	-	-	-	-			
R18									
R19	-	-	-	-	-	-			
R20	-	-	-	-	-	-			
T1	-	-	-	-	-	-			(12)
T2	-	-	-	-	-	-			(12)

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
T3	Vcc									
T4	Vcc									
T17	PVcc									
T18	PVcc									
T19	USBAPVss									
T20	USBDVcc									
U1	EXTAL	I	-	-	-	-	-	-	-	-
U2	PB18	I/O	$\overline{\text{WDTOVF}}$	O	$\overline{\text{UBCTRG}}$	O	-	-	-	-
U3	Vcc									
U4	PVcc									
U5	PH7	I(s)/O	SSIWS2	I(s)/O	-	-	-	-	-	-
U6	PH10	I(s)/O	SSIWS3	I(s)/O	-	-	-	-	NAF1	I(s)/O
U7	PH14	I(s)/O	SSIDATA4	I(s)/O	SCK5	I(s)/O	SD_D2	I(s)/O	NAF5	I(s)/O
U8	PJ3	I(s)/O	IRQ7	I(s)	TIOC0D	I(s)/O	-	-	-	-
U9	PJ7	I/O	VIDATA2	I	TIOC1A	I(s)/O	SD_D0	I(s)/O	NAF6	I(s)/O
U10	Vcc									
U11	PVcc									

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
T3									
T4									
T17									
T18									
T19									
T20									
U1	-	-	-	-	-	-			(17)
U2	-	-	-	-	-	-			(11)
U3									
U4									
U5	-	-	-	-	-	-			(12)
U6	-	-	-	-	-	-			(12)
U7	-	-	-	-	-	-			(12)
U8	TxD3	O	-	-	-	-			(12)
U9	-	-	AUDATA0	O	-	-			(14)
U10									
U11									

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
U12	PJ12	I/O	VIDATA7	I	SCST $\bar{1}$	I(s)/O	SD_WP	I(s)	FRB	I(s)
U13	PG3	I(s)	IRQ3	I(s)	AN3	I(a)	SD_WP	I(s)	TCLKD	I(s)
U14	2DGAPVss0									
U15	2DGAPVcc0									
U16	Vcc									
U17	Vss									
U18	PVcc									
U19	USBAVcc									
U20	Vss									
V1	XTAL	O	-	-	-	-	-	-	-	-
V2	Vcc									
V3	PVcc									
V4	PVcc									
V5	PH6	I(s)/O	SSISCK2	I(s)/O	-	-	-	-	-	-
V6	PH9	I(s)/O	SSISCK3	I(s)/O	-	-	-	-	NAF0	I(s)/O
V7	PH13	I(s)/O	SSIWS4	I(s)/O	TxD5	O	SD_D1	I(s)/O	NAF4	I(s)/O
V8	PJ2	I(s)/O	IRQ6	I(s)	TIOC0C	I(s)/O	-	-	-	-

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
U12	-	-	-	-	-	-			(14)
U13	-	-	-	-	-	-			(6)
U14									
U15									
U16									
U17									
U18									
U19									
U20									
V1	-	-	-	-	-	-			(17)
V2									
V3									
V4									
V5	-	-	-	-	-	-			(12)
V6	-	-	-	-	-	-			(12)
V7	-	-	-	-	-	-			(12)
V8	RxD3	I(s)	-	-	-	-			(12)

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
V9	PJ6	I/O	VIDATA1	I	$\overline{\text{TEND}}3$	O	SD_CLK	O	FCE	O
V10	Vcc									
V11	PVcc									
V12	PG0	I(s)	IRQ0	I(s)	AN0	I(a)	FRB	I(s)	TCLKA	I(s)
V13	PG2	I(s)	IRQ2	I(s)	AN2	I(a)	SD_CD	I(s)	TCLKC	I(s)
V14	2DGAPVss1									
V15	2DGAPVcc1									
V16	Vcc									
V17	Vcc									
V18	Vss									
V19	USBAVss									
V20	USB_X1	I	-	-	-	-	-	-	-	-
W1	Vcc									
W2	PVcc									
W3	PH15	I(s)/O	AUDIO_CLK	I(s)	-	-	-	-	-	-
W4	MD_CLK1	I(s)	-	-	-	-	-	-	-	-
W5	PH5	I(s)/O	SSIDATA1	I(s)/O	$\overline{\text{TEND}}2$	O	-	-	-	-

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
V9	-	-	AUDSYNC	O	-	-			(10)
V10									
V11									
V12	-	-	-	-	-	-			(6)
V13	-	-	-	-	-	-			(6)
V14									
V15									
V16									
V17									
V18									
V19									
V20	-	-	-	-	-	-			(17)
W1									
W2									
W3	-	-	-	-	-	-			(12)
W4	-	-	-	-	-	-			(1)
W5	-	-	-	-	-	-			(12)

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
W6	PH8	I(s)/O	SSIDATA2	I(s)/O	-	-	-	-	-	-
W7	PH12	I(s)/O	SSISCK4	I(s)/O	RxD5	I(s)	SD_D0	I(s)/O	NAF3	I(s)/O
W8	PJ1	I(s)/O	IRQ5	I(s)	TIOC0B	I(s)/O	-	-	-	-
W9	PJ5	I/O	VIDATA0	I	DACK3	O	DACT3	O	FSC	O
W10	PJ9	I/O	VIDATA4	I	SSCK1	I(s)/O	SD_D2	I(s)/O	-	-
W11	PJ11	I/O	VIDATA6	I	SSO1	I(s)/O	SD_CD	I(s)	-	-
W12	PK0	I/O	CSYNC	O	-	-	-	-	FWE	O
W13	PG4	I	VICKENB	I	AN4	I(a)	-	-	-	-
W14	PG6	I	VIVSYNC	I	AN6	I(a)	DA0	O(a)	-	-
W15	PG7	I	VIHSYNC	I	AN7	I(a)	DA1	O(a)	-	-
W16	AVref									
W17	REXT	I	-	-	-	-	-	-	-	-
W18	CBU	O	-	-	-	-	-	-	-	-
W19	Vss									
W20	USB_X2	O	-	-	-	-	-	-	-	-
Y1	PVcc									
Y2	PLLvss									

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
W6	-	-	-	-	-	-			(12)
W7	-	-	-	-	-	-			(12)
W8	-	-	-	-	-	-			(12)
W9	TxD4	O	AUDCK	O	-	-			(10)
W10	-	-	AUDATA2	O	-	-			(14)
W11	-	-	-	-	-	-			(14)
W12	-	-	-	-	-	-			(10)
W13	-	-	-	-	-	-			(4)
W14	-	-	-	-	-	-			(5)
W15	-	-	-	-	-	-			(5)
W16									
W17	-	-	-	-	-	-			
W18	-	-	-	-	-	-			
W19									
W20	-	-	-	-	-	-			(17)
Y1									
Y2									

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
Y3	PLLVcc									
Y4	MD_CLK0	I(s)	-	-	-	-	-	-	-	-
Y5	AUDIO_X1	I	-	-	-	-	-	-	-	-
Y6	AUDIO_X2	O	-	-	-	-	-	-	-	-
Y7	PH11	I(s)/O	SSIDATA3	I(s)/O	-	-	-	-	NAF2	I(s)/O
Y8	PJ0	I(s)/O	IRQ4	I(s)	TIOC0A	I(s)/O	-	-	-	-
Y9	PJ4	I/O	VICLK	I	DREQ3	I(s)	SD_CMD	I(s)/O	FOE	O
Y10	PJ8	I/O	VIDATA3	I	TIOC1B	I(s)/O	SD_D1	I(s)/O	NAF7	I(s)/O
Y11	PJ10	I/O	VIDATA5	I	SSI1	I(s)/O	SD_D3	I(s)/O	-	-
Y12	PK1	I/O	DCLKIN	I	-	-	-	-	FCDE	O
Y13	PG1	I(s)	IRQ1	I(s)	AN1	I(a)	-	-	TCLKB	I(s)
Y14	PG5	I	-	-	AN5	I(a)	-	-	-	-
Y15	AVss									
Y16	AVcc									
Y17	B	O(a)	-	-	-	-	-	-	-	-
Y18	G	O(a)	-	-	-	-	-	-	-	-

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	ブルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
Y3									
Y4	-	-	-	-	-	-			(1)
Y5	-	-	-	-	-	-			(17)
Y6	-	-	-	-	-	-			(17)
Y7	-	-	-	-	-	-			(12)
Y8	-	-	-	-	-	-			(12)
Y9	RxD4	I(s)	-	-	-	-			(14)
Y10	-	-	AUDATA1	O	-	-			(14)
Y11	-	-	AUDATA3	O	-	-			(14)
Y12	-	-	-	-	-	-			(10)
Y13	-	-	-	-	-	-			(6)
Y14	-	-	-	-	-	-			(4)
Y15									
Y16									
Y17	-	-	-	-	-	-			
Y18	-	-	-	-	-	-			

ピン 番号	機能 1		機能 2		機能 3		機能 4		機能 5	
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O
Y19	R	O(a)	-	-	-	-	-	-	-	-
Y20	Vss									

ピン 番号	機能 6		機能 7		機能 8		ウィークキーバ	プルアップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
Y19	-	-	-	-	-	-			
Y20									

【記号説明】

(s) : シュミット

(a) : アナログ

(o) : オープンドレイン

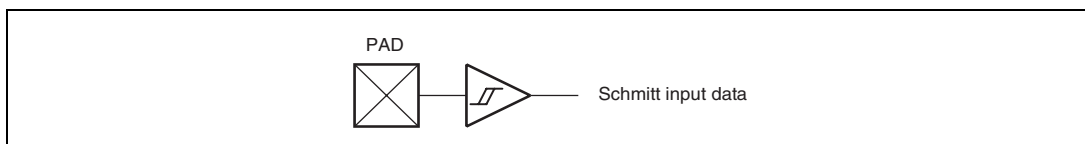


図 1.3 (1) 簡易回路図 (シュミット入力バッファ)

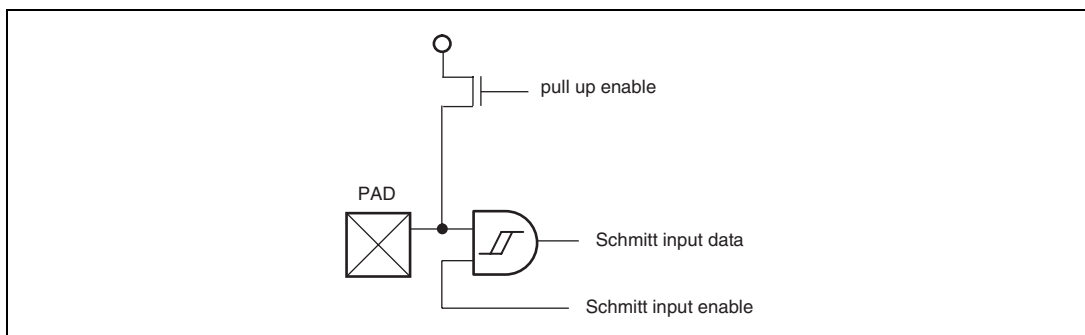


図 1.3 (2) 簡易回路図 (シュミット AND 入力バッファ、プルアップ付き)

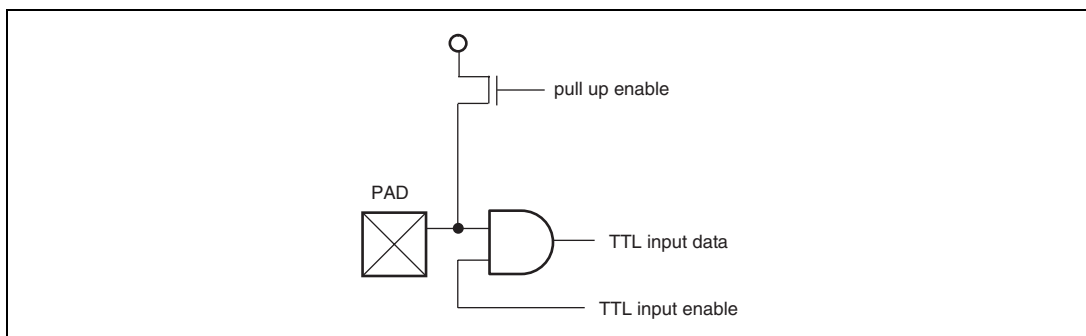


図 1.3 (3) 簡易回路図 (TTL AND 入力バッファ、プルアップ付き)

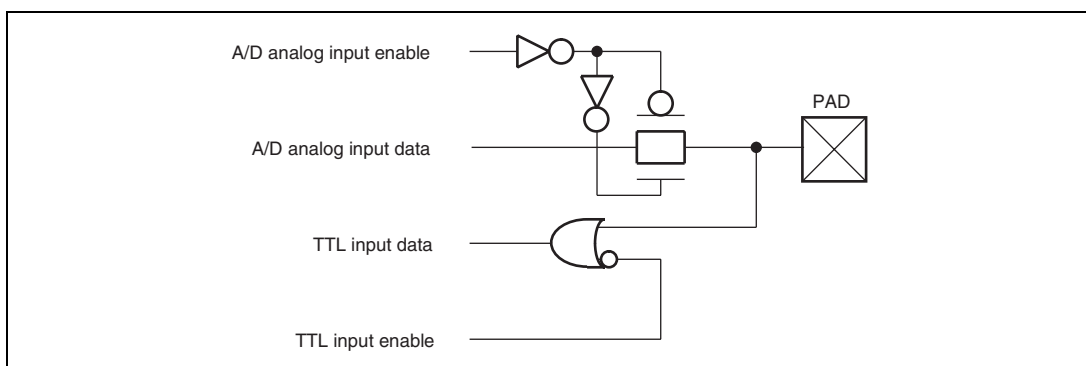


図 1.3 (4) 簡易回路図 (TTL OR 入力、A/D 入力 兼用バッファ)

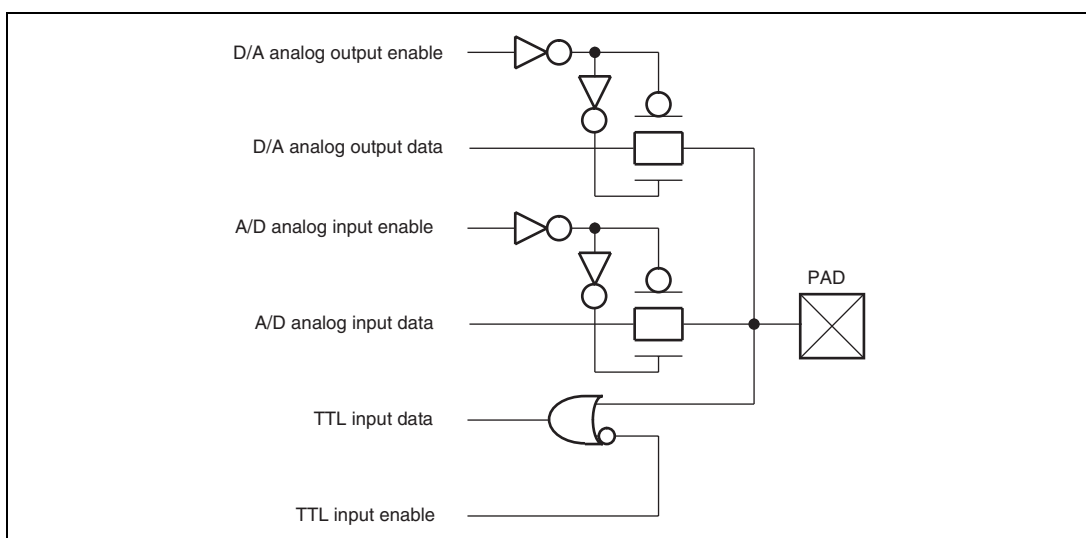


図 1.3 (5) 簡易回路図 (TTL OR 入力、A/D 入力、D/A 出力 兼用バッファ)

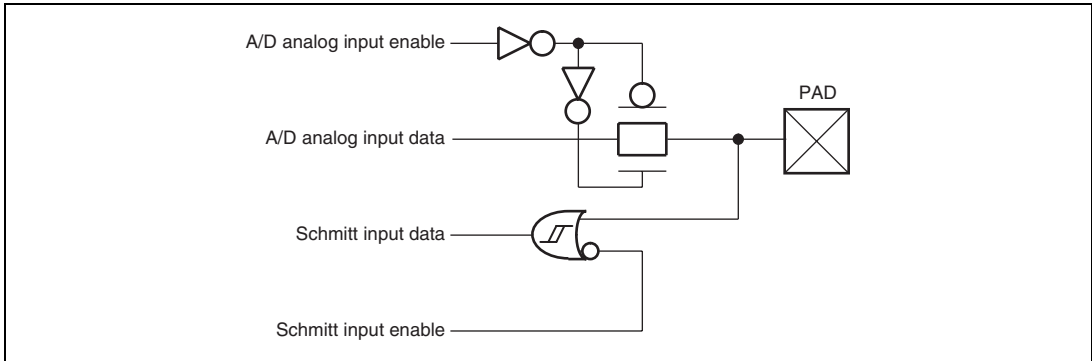


図 1.3 (6) 簡易回路図 (シュミット OR 入力、A/D 入力 兼用バッファ)

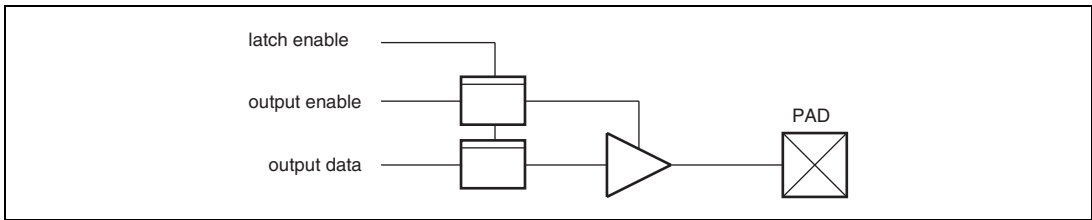


図 1.3 (7) 簡易回路図 (イネーブル付き出力バッファ、ラッチ付き)

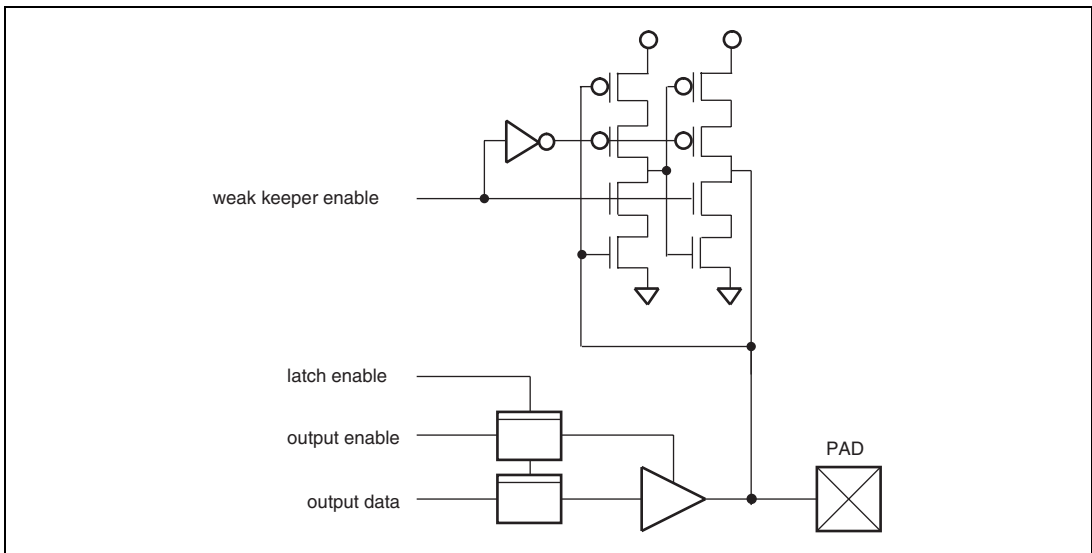


図 1.3 (8) 簡易回路図 (イネーブル付き出力バッファ、ラッチ付き、ウィークキーパ付き)

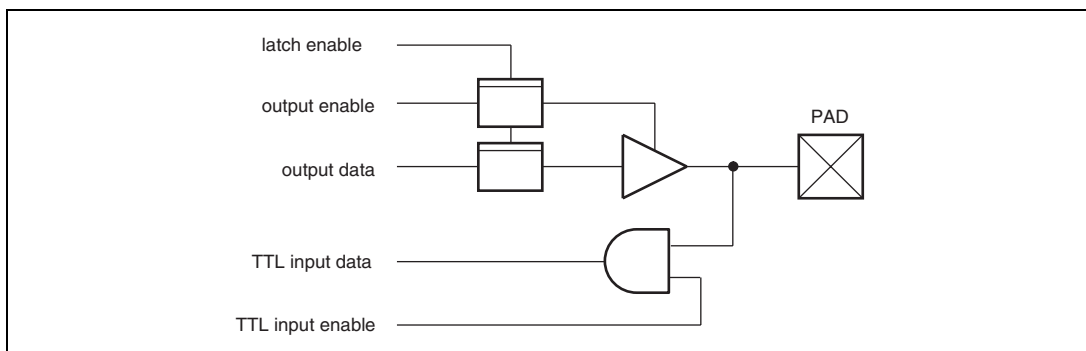


図 1.3 (9) 簡易回路図 (双方向バッファ、TTL AND 入力、ラッチ付き)

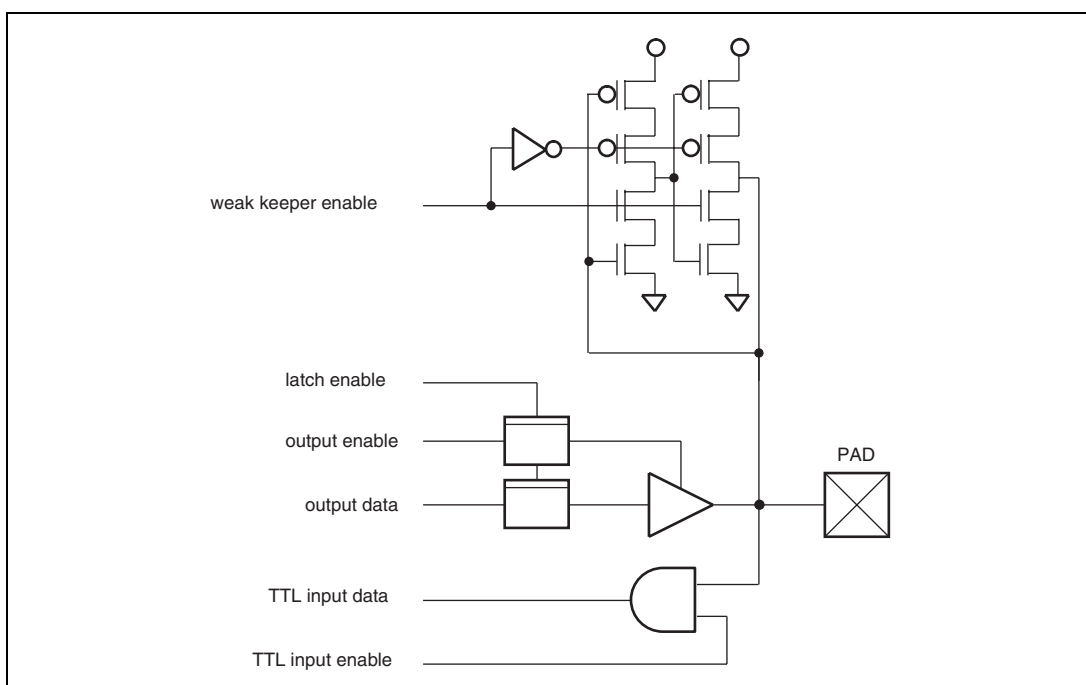


図 1.3 (10) 簡易回路図 (双方向バッファ、TTL AND 入力、ラッチ付き、ウィークキーパ付き)

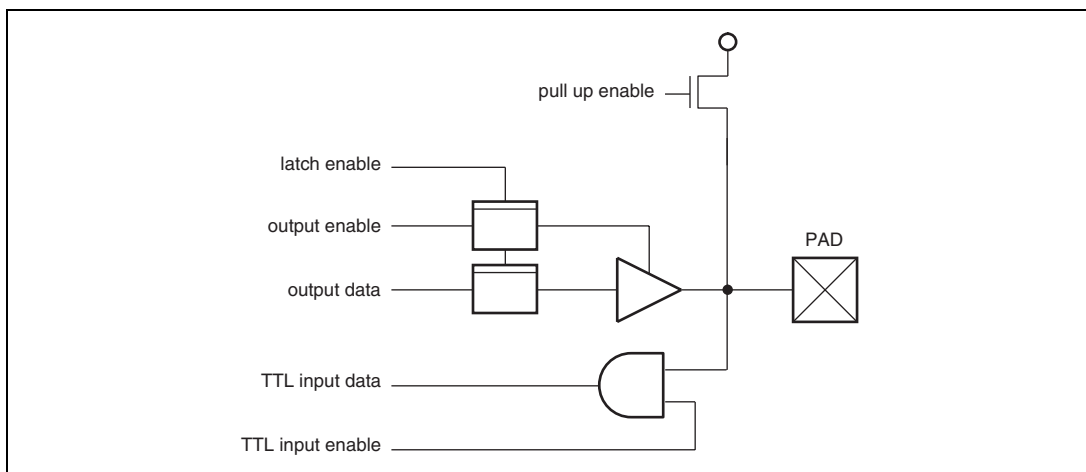


図 1.3 (11) 簡易回路図 (双方向バッファ、TTL AND 入力、ラッチ付き、プルアップ付き)

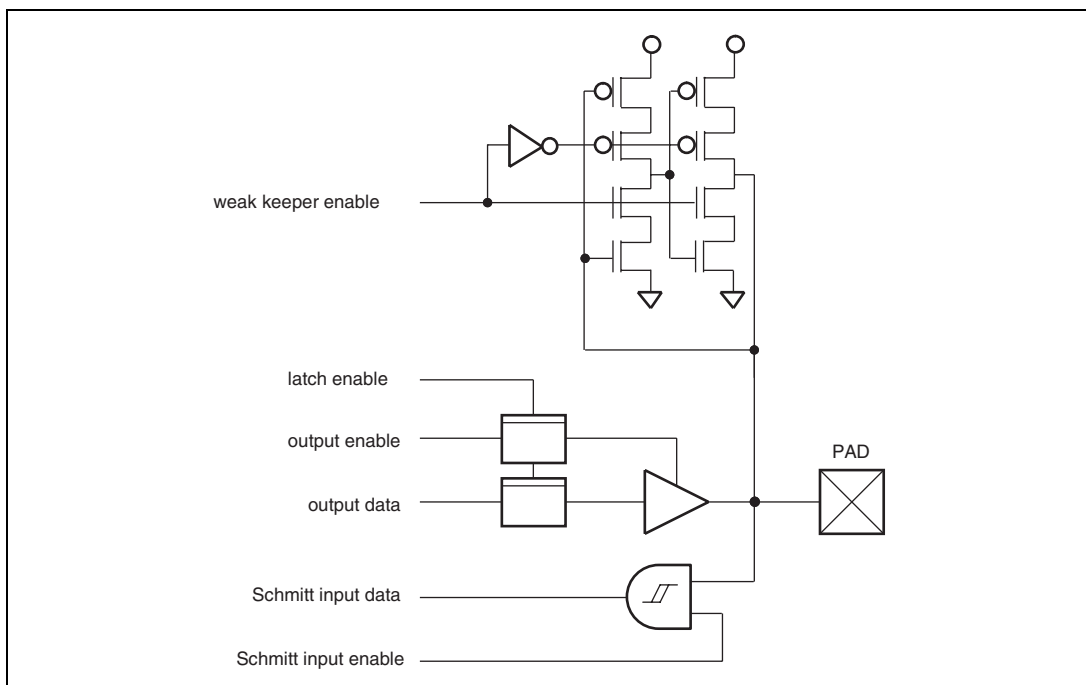


図 1.3 (12) 簡易回路図 (双方向バッファ、シュミット AND 入力、ラッチ付き、ウィークキーパ付き)

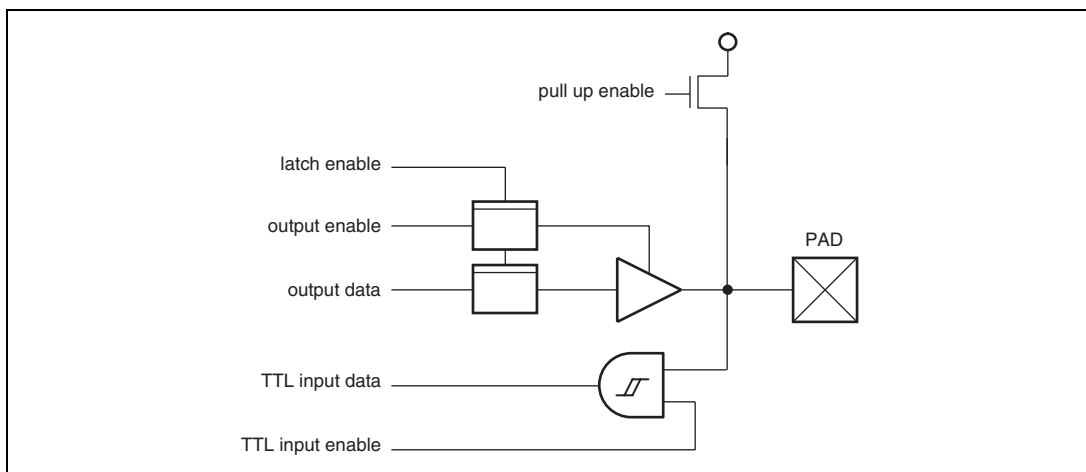


図 1.3 (13) 簡易回路図 (双方向バッファ、シュミット AND 入力、ラッチ付き、プルアップ付き)

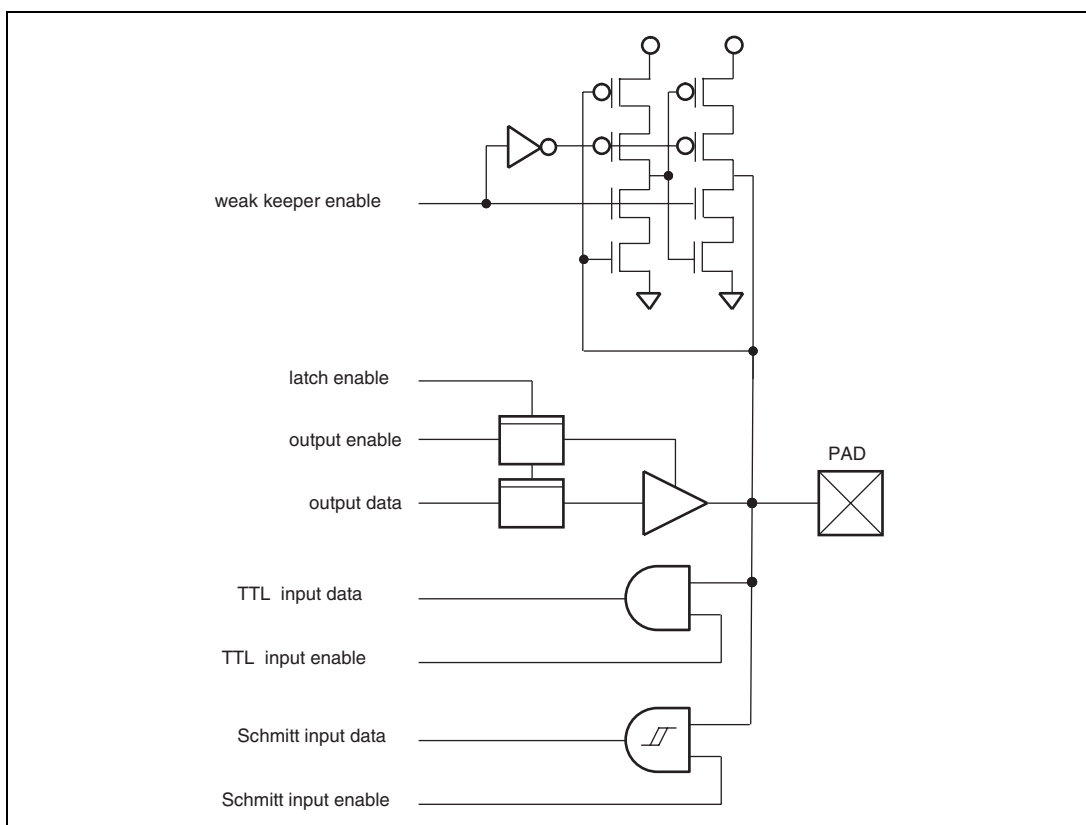


図 1.3 (14) 簡易回路図

(双方向バッファ、TTL AND 入力、シュミット AND 入力、ラッチ付き、ウィークキーパ付き)

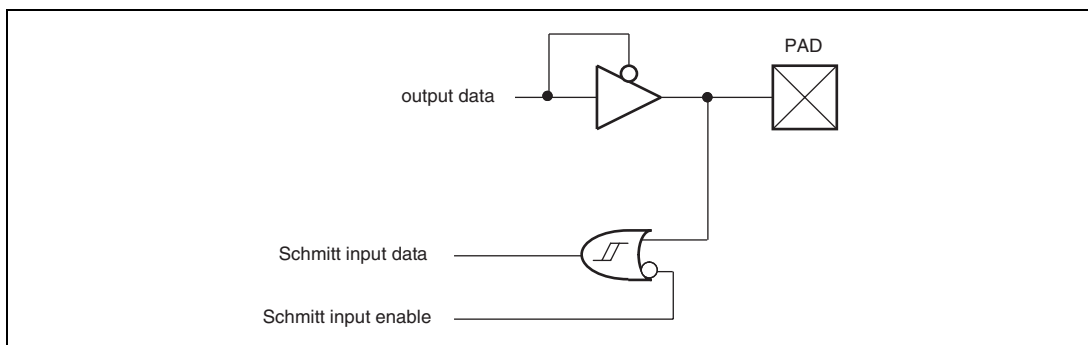


図 1.3 (15) 簡易回路図 (オープンドレイン出力、シュミット OR 入力)

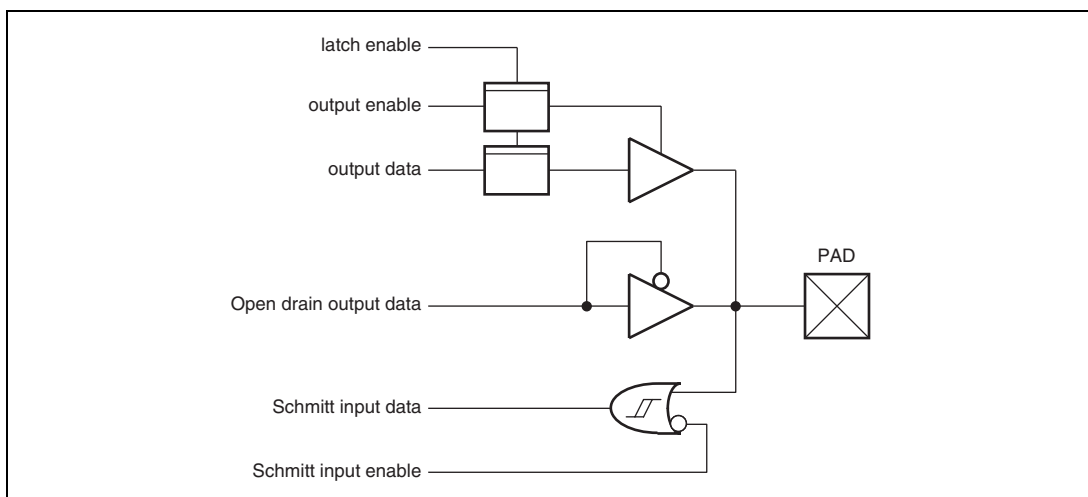


図 1.3 (16) 簡易回路図 (オープンドレイン出力 / 通常出力兼用、シュミット OR 入力、ラッチ付き)

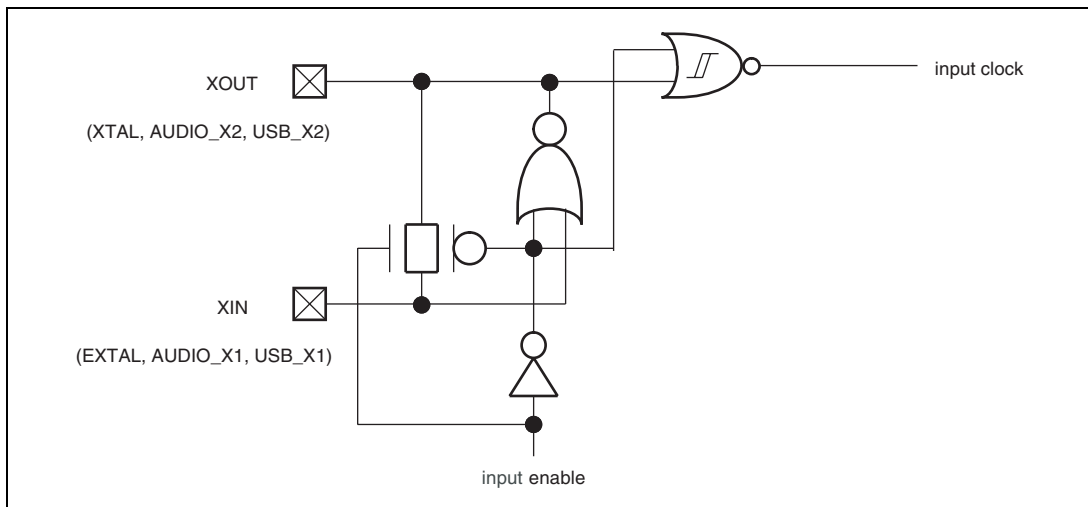


図 1.3 (17) 簡易回路図 (発振バッファ 1)

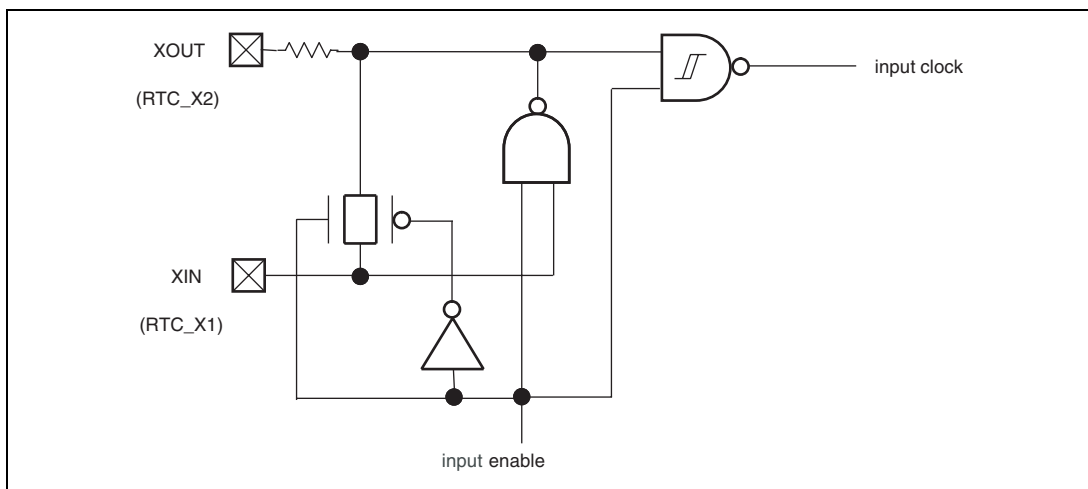


図 1.3 (18) 簡易回路図 (発振バッファ 2)

1.5 端子機能

表 1.4 端子機能

分類	端子名	入出力	名称	機能
電源	Vcc	入力	電源	電源端子です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	PVcc	入力	入出力回路用電源	入出力端子用の電源端子です。すべての PVcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グラウンド	グラウンド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	PLLvcc	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。
	PLLvss	入力	PLL 用グラウンド	内蔵 PLL 発振器用のグラウンド端子です。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CKIO	入出力	システムクロック入出力	外部クロック入力端子、または外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD0	入力	モード設定	動作モードを設定します。この端子は動作中には変化させないでください。
	MD_CLK1、 MD_CLK0	入力	クロック モード設定	クロック動作モードを設定します。これらの端子は動作中には変化させないでください。
	ASEMD	入力	ASE モード	RES 端子アサート期間中に、ローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。ASE モードでは、E10A-USB エミュレータ機能が有効になります。エミュレータ機能を使用しない場合は、ハイレベルに固定してください。
システム 制御	RES	入力	パワーオン リセット	この端子がローレベルになると、パワーオンリセット状態になります。
	MRES	入力	マニュアル リセット	この端子がローレベルになると、マニュアルリセット状態になります。
	WDTOVF	出力	ウォッチ ドッグタイマ オーバーフロー	WDT からのオーバーフロー出力信号です。
割り込み	NMI	入力	ノンマスクابل 割り込み	ノンマスクابل割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ7 ~ IRQ0	入力	割り込み要求 7~0	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	PINT7 ~ PINT0	入力	割り込み要求 7~0	マスク可能な割り込み要求端子です。レベル入力のみを選択です。

分類	端子名	入出力	名称	機能
ユーザブ레이크コントローラ (UBC)	UBCTR \overline{G}	出力	ユーザブ레이크トリガ出力	UBC 条件一致のトリガ出力です。
アドレスバス	A25 ~ A0	出力	アドレスバス	アドレスを出力します。
データバス	D31 ~ D0	入出力	データバス	双方向のデータバスです。
バス制御	$\overline{CS5}$ ~ $\overline{CS0}$	出力	チップセレクト 5~0	外部メモリまたはデバイスのためのチップセレクト信号です。
	\overline{RD}	出力	読み出し	外部のデバイスから読み出すことを示します。
	RD_WR/WE	出力	リード/ライト	リード信号またはライト信号です。
	WAIT	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	WE0/BC0/ DQM0	出力	バイト指定	外部メモリまたはデバイスのデータのビット 7~0 に書き込みすることを示します。
	WE1/BC1/ DQM1	出力	バイト指定	外部メモリまたはデバイスのデータのビット 15~8 に書き込みすることを示します。
	WE2/BC2/ DQM2	出力	バイト指定	外部メモリまたはデバイスのデータのビット 23~16 に書き込みすることを示します。
	WE3/BC3/ DQM3	出力	バイト指定	外部メモリまたはデバイスのデータのビット 31~24 に書き込みすることを示します。
	\overline{RAS}	出力	RAS	SDRAM 接続時に \overline{RAS} 端子に接続します。
	\overline{CAS}	出力	CAS	SDRAM 接続時に \overline{CAS} 端子に接続します。
	$\overline{SDCS1}$ 、 $\overline{SDCS0}$	出力	チップセレクト	SDRAM 接続時に \overline{CS} 端子に接続します。
	\overline{SDWE}	出力	SDRAM ライトイネーブル	SDRAM 接続時には、SDRAM の WE 端子に接続 (\overline{SDWE})
ダイレクトメモリアクセスコントローラ (DMAC)	DREQ3 ~ DREQ0	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	$\overline{DACK3}$ ~ $\overline{DACK0}$	出力	DMA 転送要求受け付け	外部からの DMA 転送要求に対する、要求受け付け出力端子です。
	$\overline{DACT3}$ ~ $\overline{DACT0}$	出力	DMA 転送要求アクティブ	外部からの DMA 転送要求に対する DMA アクティブ出力端子です。
	$\overline{TEND3}$ ~ $\overline{TEND0}$	出力	DMA 転送終了出力	DMA 転送終了出力信号です。

分類	端子名	入出力	名称	機能
マルチファンクションタイムパルスユニット2 (MTU2)	TCLKA、 TCLKB、 TCLKC、 TCLKD	入力	MTU2 タイマ クロック入力	タイマの外部クロック入力端子です。
	TIOC0A、 TIOC0B、 TIOC0C、 TIOC0D	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル0)	TGRA_0~TGRD_0のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC1A、 TIOC1B	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル1)	TGRA_1、TGRB_1のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC2A、 TIOC2B	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル2)	TGRA_2、TGRB_2のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC3A、 TIOC3B、 TIOC3C、 TIOC3D	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル3)	TGRA_3~TGRD_3のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOC4A、 TIOC4B、 TIOC4C、 TIOC4D	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル4)	TGRA_4、TGRB_4のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
リアルタイム クロック (RTC)	RTC_X1	入力	RTC 用水晶発振子 /外部クロック	32.768kHzの水晶発振子を接続します。 またRTC_X1端子は外部クロックを入力することもできます。
	RTC_X2	出力		
FIFO内蔵シリアルコミュニケーションインターフェース(SCIF)	TxD5~TxD0	出力	送信データ	データ出力端子です。
	RxD5~RxD0	入力	受信データ	データ入力端子です。
	SCK5、 SCK2、 SCK1、 SCK0	入出力	シリアルクロック	クロック入出力端子です。
	RTS0	入出力	送信要求	モデムコントロール端子です。
	CTS0	入出力	送信可	モデムコントロール端子です。

分類	端子名	入出力	名称	機能
シンクロナス シリアルコミ ュニケーショ ンユニット (SSU)	SSO1、SSO0	入出力	データ	データ入出力端子です。
	SSI1、SSI0	入出力	データ	データ入出力端子です。
	SSCK1、 SSCK0	入出力	クロック	クロック入出力端子です。
	SCS1、SCS0	入出力	チップセレクト	チップセレクト入出力端子です。
I ² C バスインタ フェース 3 (IIC3)	SCL3 ~ SCL0	入出力	シリアルクロック 端子	シリアルクロック入出力端子です。
	SDA3 ~ SDA0	入出力	シリアルデータ端子	シリアルデータ入出力端子です。
FIFO 内蔵シリ アルサウンド インタフェー ス (SSIF)	SSIDATA5 ~ SSIDATA0	入出力	SSI データ入出力	シリアルデータ入出力端子です。
	SSISCK5 ~ SSISCK0	入出力	SSI クロック入出力	シリアルクロック入出力端子です。
	SSIWS5 ~ SSIWS0	入出力	SSI クロック LR 入出力	ワード選択入出力端子です。
	AUDIO_CLK	入力	SSI オーディオ用 外部クロック	オーディオ用外部クロックを入力します。 AUDIO_X1、AUDIO_X2 の発振クロックと選択して分周器に入力します。
	AUDIO_X1	入力	SSI オーディオ用 水晶発振子 / 外部クロック	オーディオ用水晶発振子を接続します。
	AUDIO_X2	出力		また AUDIO_X1 端子は外部クロックを入力することもできます。 AUDIO_CLK 入力クロックと選択して分周器に入力します。
コントローラ エリアネット ワーク (RCAN-TL1)	CTx1、CTx0	出力	CAN バス 送信データ	CAN バスの送信用端子です。
	CRx1、CRx0	入力	CAN バス 受信データ	CAN バスの受信用端子です。
IEBus™	IETxD	出力	IEB 送信データ	IEB の送信データ出力端子です。
コントローラ (IEB)	IERxD	入力	IEB 受信データ	IEB の受信データ入力端子です。
A/D 変換器 (ADC)	AN7 ~ AN0	入力	アナログ入力端子	アナログ入力端子です。
	ADTRG	入力	A/D 変換トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器 (DAC)	DA1、DA0	出力	アナログ出力端子	アナログ出力端子です。
アナログ共通	AVcc	入力	アナログ電源	A/D 変換器および D/A 変換器の電源端子です。
	AVss	入力	アナロググランド	A/D 変換器および D/A 変換器のグランド端子です。
	AVref	入力	アナログ基準電圧	A/D 変換器および D/A 変換器の基準電圧端子です。

分類	端子名	入出力	名称	機能
AND/NAND フラッシュメモ リコントロ ーラ (FLCTL)	FOE	出力	フラッシュメモリ 出力イネーブル	アドレスラッチイネーブル：アドレス出力時にアサートし ます。データ入出力時にネゲートします。 アウトプットイネーブル：データ入力時 / ステータスリ ード時にアサートします。
	FSC	出力	フラッシュメモリ シリアルクロック	リードイネーブル：立ち下がりエッジでデータリードしま す。 シリアルクロック：信号に同期してデータの入出力を行 います。
	$\overline{\text{FCE}}$	出力	フラッシュメモリ チップイネーブル	チップイネーブル：本 LSI に接続されたフラッシュメモ リをイネーブルにします。
	FCDE	出力	フラッシュメモリ コマンドデー タイネーブル	コマンドラッチイネーブル：コマンド出力時にアサートし ます。 コマンドデータイネーブル：コマンド出力時にアサートし ます。
	FRB	入力	フラッシュメモリ レディ / ビジー	レディ / ビジー：ハイレベルでレディ状態、ローレベルで ビジー状態を示します。
	$\overline{\text{FWE}}$	出力	フラッシュメモリ ライトイネーブル	ライトイネーブル：立ち下がりエッジでフラッシュメモ リがコマンド、アドレス、およびデータをラッチします。
	NAF7 ~ NAF0	入出力	フラッシュメモリ データ	データ入出力端子です。
USB2.0 ホス ト / ファンク ションモジ ュール (USB)	DP1, DP0	入出力	USB D+データ	USB バスの D+データです。
	DM1, DM0	入出力	USB D-データ	USB バスの D-データです。
	VBUS	入力	VBUS 入力	USB バスの Vbus に接続してください。
	REFRIN	入力	リファレンス入力	5.6k \pm 1%抵抗を介して USBAPVss に接続してください。
	USB_X1	入力	USB 用水晶発振子 / 外部クロック	USB 用水晶発振子を接続します。また USB_X1 端子は外部 クロックを入力することもできます。
	USB_X2	出力		
	USBAPVcc	入力	トランシーバ部 アナログ端子電源	端子用電源です。
	USBAPVss	入力	トランシーバ部 アナログ端子 グラウンド	端子用グラウンドです。
USBAVcc	入力	トランシーバ部 アナログコア電源	コア用電源です。	

分類	端子名	入出力	名称	機能
USB2.0 ホスト / ファンクションモジュール (USB)	USBAVss	入力	トランシーバ部 アナログコア グランド	コア用グランドです。
	USBDVcc	入力	トランシーバ部 デジタルコア電源	コア用電源です。
SD ホストインタフェース (SDHI)	SD_CLK	出力	SD クロック	SD クロック出力端子です。
	SD_CMD	入出力	SD コマンド	SD コマンド出力、レスポンス入力信号です。
	SD_D3 ~ SD_D0	入出力	SD データ	SD データバス信号です。
	SD_CD	入力	SD カード検出	SD カード検出です。
	SD_WP	入力	SD ライトプロテクト	SD ライトプロテクト信号です。
AT アタッチメントパケットインタフェース (ATAPI)	IDED15 ~ IDED0	入出力	データバス	双方向データバス
	IDEA2 ~ IDEA0	出力	アドレスバス	アドレスバス
	IODACK#	出力	DMA アクノリッジ	プライマリチャネル DMA アクノリッジ
	IODREQ	出力	DMA リクエスト	プライマリチャネル DMA リクエスト
	IDECS#1、 IDECS#0	出力	チップセレクト	プライマリチャネルチップセレクト
	IDEIOWR#	出力	書き込み	プライマリチャネルディスク書き込み
	IDEIORD#	出力	読み出し	プライマリチャネルディスク読み出し
	IDEIORDY	入力	レディ信号	プライマリチャネルレディ信号
	IDEINT	入力	割り込み要求	プライマリチャネル割り込み要求
	IDERST#	出力	リセット	プライマリチャネル ATAPI デバイスリセット
2D エンジン (2DG)	R、G、B	出力	RGB 出力	RGB アナログ出力端子です。
	REXT	入力	外部基準入力	D/A 変換器用外部基準端子です。
	CBU	出力	外部容量出力	D/A 変換器用外部容量端子です
	VIHSYNC	入力	HSYNC 信号	HSYNC 信号です。
	VIVSYNC	入力	VSYNC 信号	VSYNC 信号です。
	VICLK	入力	ピクセルクロック	ピクセルクロックです。
	VIDATA7 ~ VIDATA0	入力	画像データ	画像データです。
	VICLKENB	入力	クロックイネーブル	ピクセルデータが有効であることを示します。
	CSYNC	出力	CSYNC 信号	グラフィック処理後信号です。
	DCLKIN	入力	ドットクロック	ドットクロック入力です。
	2DGAPVcc0、 2DGAPVcc1	入力	2DG D/A 変換器 アナログ電源	2DG D/A 変換器用の電源端子です。
2DGAPVss0、 2DGAPVss1	入力	2DG D/A 変換器 アナロググランド	2DG D/A 変換器用のグランド端子です。	

分類	端子名	入出力	名称	機能
I/O ポート	PA15 ~ PA0、 PB18 ~ PB0、 PC10 ~ PC0、 PD2 ~ PD0、 PE13、PE11、 PE9、 PE7 ~ PE0、 PF4 ~ PF0、 PJ12 ~ PJ0、 PH15 ~ PH0、 PK1、PK0	入出力	汎用ポート	96 ビットの汎用入出力ポート端子です。
	PE12、PE10、 PE8、 PG7 ~ PG0	入力	汎用ポート	11 ビットの汎用入力ポート端子です。
ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。
エミュレータ インタフェース	AUDATA3 ~ AUDATA0	出力	AUD データ	分岐先 / 分岐元アドレス出力端子です。
	AUDCK	出力	AUD クロック	同期クロック出力端子です。
	AUDSYNC	出力	AUD 同期信号	データ先頭位置認識信号出力端子です。
	ASEBRKAK/ ASEBRK	入出力	ブ레이크モード アクノリッジ/ ブ레이크要求	E10A-USB エミュレータがブ레이크モードに入ったことを示します / E10A-USB エミュレータブ레이크入力端子です。

1.6 バス構成

本 LSI のバス構成は、主に CPU バス、内部バス、周辺バスの 3 つで構成されています。

CPU バスは、CPU をマスタとするバスであり、CPU 命令フェッチバスと CPU メモリアクセスバスの 2 つのバスで構成されています (ハーバードアーキテクチャ)。

CPU バスは、CPU0 と CPU1 のそれぞれに専用に用意されており、両 CPU は独立に動作可能です。

内部バスは、4 レイヤのマルチレイヤバスになっています。内部バスのマスタモジュールは 2 つの CPU と DMAC です。CPU0 と CPU1 は、CPU バスやバスブリッジを介して内部バスに接続されます。DMAC は、DMA リードポートと DMA ライトポートのそれぞれがマスタモジュールとなります。各レイヤには、CPU0、CPU1、DMA リードポート、DMA ライトポートが 1 つずつ接続されています。そのため、各マスタモジュールはバスの調停を行うことなくバスを占有することができます。

内部バスのスレーブモジュールは複数の周辺バス (外部バス、高速内蔵 RAM アクセスバスも含む) です。内部バスは、各レイヤ (マスタモジュール) 間のバス権調停を行った後、各周辺バスにアクセスします。本 LSI では、このバス権の調停を行う内部モジュールをバスインタフェースユニット (BIU) と呼びます。バス権の調停は、スレーブモジュールごとに行います。したがって、各マスタモジュールがそれぞれ異なる BIU をアクセスする場合、複数のアクセスを並列に実行することができます。しかし、同一の BIU へ複数のアクセスが同時に発生した場合、マスタモジュール間のバス権調停が行われます。バス権を得られなかったマスタモジュールは、バス権を得られるまで待ち状態となり、複数のアクセスは 1 つずつ順番に実行されます。バス権調停における優先度は、DMA ライトポート、DMA リードポート、CPU の順です。CPU0 と CPU1 の間の優先度は、ラウンドロビン方式によって交互に切り替わります。

周辺バスは、内部周辺モジュールとの接続に使用されます。

2. CPU

2.1 レジスタ構成

レジスタは、汎用レジスタ (32 ビット×16 本)、コントロールレジスタ (32 ビット×4 本)、システムレジスタ (32 ビット×4 本) の 3 種類があります。

2.1.1 汎用レジスタ

図 2.1 に汎用レジスタを示します。汎用レジスタは 32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は、R15 を用いてスタックを参照し行います。

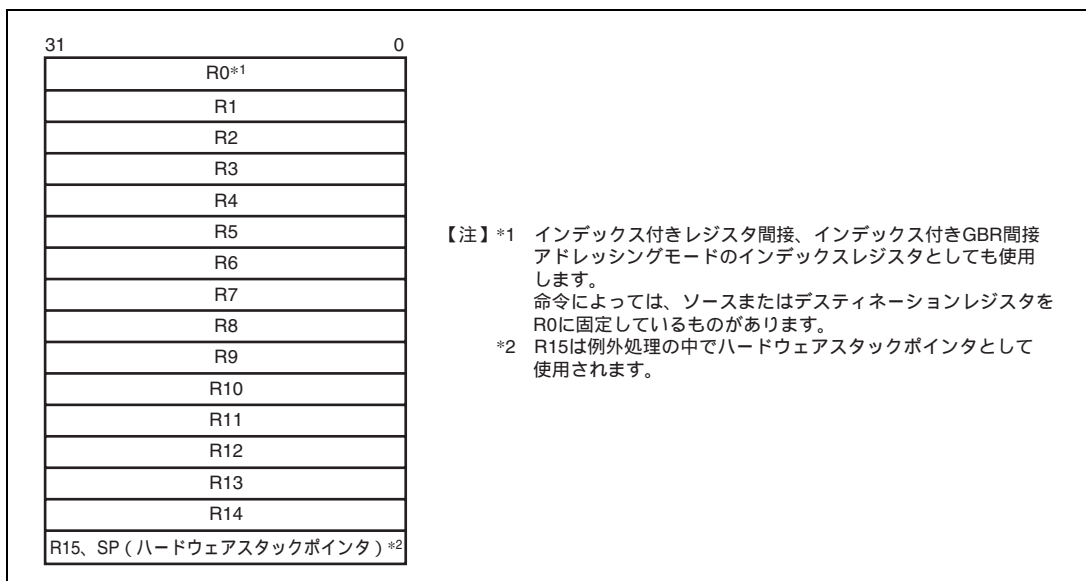


図 2.1 汎用レジスタ

2.1.2 コントロールレジスタ

コントロールレジスタは 32 ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR)、ジャンプテーブルベースレジスタ (TBR) の 4 本があります。

SR は各種命令の処理の状態を表します。

GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR は関数テーブル領域のベースアドレスとして使用します。

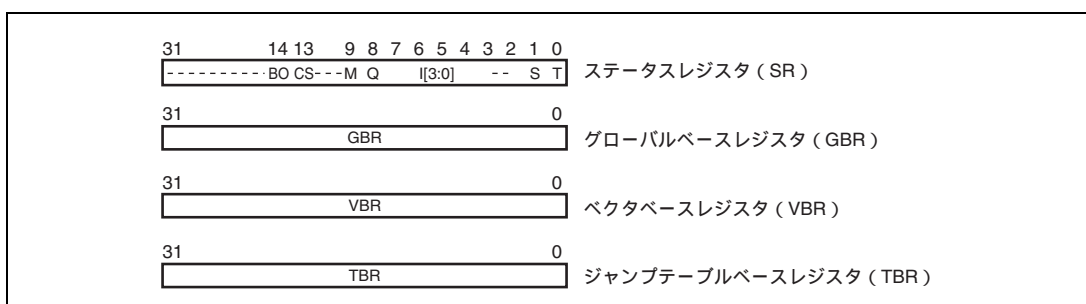


図 2.2 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	BO	CS	-	-	-	M	Q	I[3:0]			-	-	S	T	
初期値:	0	0	0	0	0	0	-	-	1	1	1	1	0	0	-	-
R/W:	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BO	0	R/W	BO ビット レジスタバンクがオーバフローしていることを示します。
13	CS	0	R/W	CS ビット CLIP 命令の実行で、飽和上限値を上回ったまたは飽和下限値を下回ったことを示します。
12~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	M	-	R/W	M ビット
8	Q	-	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	I[3:0]	1111	R/W	割り込みマスクレベル
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	S	-	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	-	R/W	T ビット 真 / 偽条件またはキャリー / ボロービット

(2) グローバルベースレジスタ (GBR)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(3) ベクタベースレジスタ (VBR)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

(4) ジャンプテーブルベースレジスタ (TBR)

テーブル参照サブルーチンコール命令 JSR/N @@(disp8,TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。

2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は現在実行中の命令の 4 バイト先を示し、処理の流れを制御します。

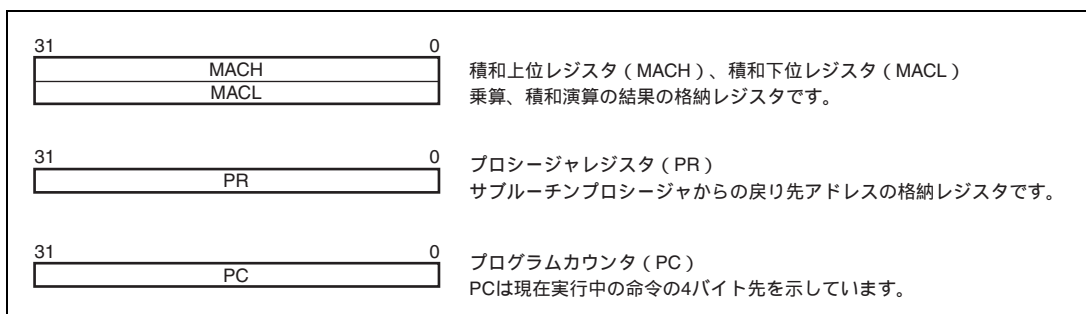


図 2.3 システムレジスタ

(1) 積和上位レジスタ (MACH)、積和下位レジスタ (MACL)

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC)

PC は現在実行中の命令の 4 バイト先を示します。

2.1.4 レジスタバンク

汎用レジスタの R0~R14、コントロールレジスタの GBR、システムレジスタの MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。

本 LSI はそれぞれの CPU コアに 15 個のバンクを持ちます。詳細については「SH-2A、SH2A-FPU ソフトウェアマニュアル」、「7.8 レジスタバンク」を参照してください。

2.1.5 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	[[3:0]]は 1111 (H'F)、BO、CS は 0、リザーブビットは 0、その他は不定
	GBR、TBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

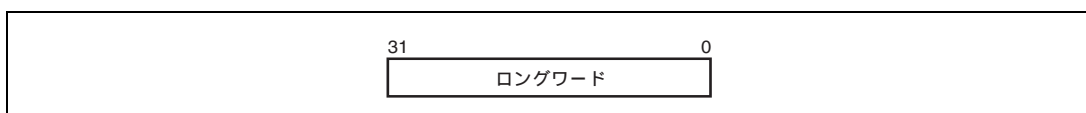


図 2.4 レジスタのデータ形式

2.2.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: $2n$ 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: $4n$ 番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

メモリ上のデータ形式を図 2.5 に示します。

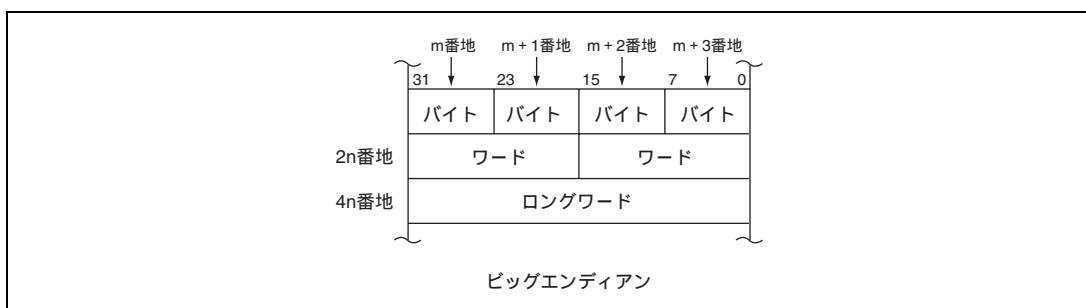


図 2.5 メモリのデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で、参照します。

具体例については、「2.3.1 (10) イミディエイトデータ」を参照してください。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 32 ビット固定長命令

SH-2A では、32 ビット固定長の命令が追加されています。これにより、性能および使い勝手が向上します。

(3) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

SH-2A CPU	説 明	他の CPU の例
MOV.W @(disp,PC),R1 ADD R1,R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行（レジスタの更新など）は、あくまでも遅延分岐命令 遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.3 遅延分岐命令

SH-2A CPU		説 明	他の CPU の例
BRA	TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0
ADD	R1,R0		BRA TRGET

(7) 遅延スロットなし無条件分岐命令

SH-2A では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

(8) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

(9) T ビット

比較結果はステータスレジスタ (SR) の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

SH-2A CPU		説 明	他の CPU の例
CMP/GE	R1,R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1,R0
BT	TRGET0	R0 R1 のとき TRGET0 へ	BGE TRGET0
BF	TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD	# - 1,R0	ADD では T ビットが変化しません。	SUB.W #1,R0
CMP/EQ	#0,R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT	TRGET	R0 = 0 のとき分岐します。	

(10) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV)で参照します。

また SH-2A では、17～28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21～28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.5 イミディエイトデータによる参照

区分	SH-2A CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOV120 #H'1234, R0	MOV.W #H'1234,R0
20 ビットイミディエイト	MOV120 #H'12345, R0	MOV.L #H'12345,R0
28 ビットイミディエイト	MOV120S #H'12345, R0 OR #H'67, R0	MOV.L #H'1234567,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(11) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

また SH-2A では、28 ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28 ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR 命令を使用する必要があります。

表 2.6 絶対アドレスによる参照

区分	SH-2A CPU	他の CPU の例
20 ビット以下	MOVI20 #H'12345, R1 MOV.B @R1, R0	MOV.B @H'12345,R0
21 ~ 28 ビット	MOVI20S #H'12345, R1 OR #H'67, R1 MOV.B @R1, R0	MOV.B @H'1234567,R0
29 ビット以上	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.L H'12345678	MOV.B @H'12345678,R0

(12) 16 ビット / 32 ビットディスプレイースメント

16 ビットまたは 32 ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。


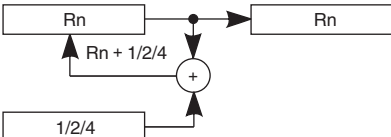
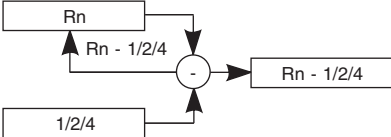
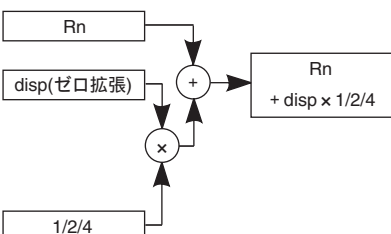
表 2.7 ディスプレースメントによる参照

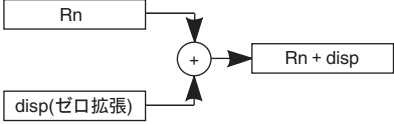
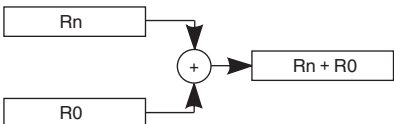
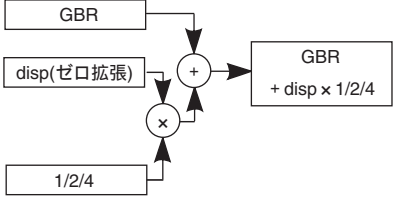
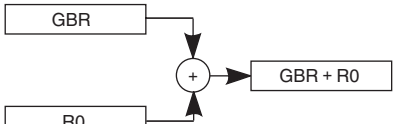
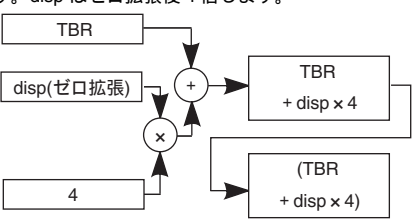
区分	SH-2A CPU	他の CPU の例
16 ビットディスプレイースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.3.2 アドレッシングモード

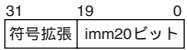
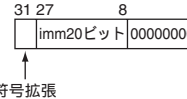
アドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp x 2 ロングワード : Rn + disp x 4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付きレジスタ間接	@(disp:12,Rn)	<p>実効アドレスはレジスタ Rn に 12 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張します。</p> 	バイト : $Rn + disp$ ワード : $Rn + disp$ ロングワード : $Rn + disp$
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイースメント付き TBR 二重間接	@@(disp:8,TBR)	<p>実効アドレスはレジスタ TBR に 8 ビットディスプレイースメント disp を加算したアドレスの内容です。disp はゼロ拡張後 4 倍します。</p> 	($TBR + disp \times 4$) アドレスの内容

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p>* ロングワードのとき</p>	<p>ワード : $PC + disp \times 2$</p> <p>ロングワード :</p> $PC \& H'FFFFFFFC + disp \times 4$
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:20	MOVI20 命令の 20 ビットイミディエイト imm は符号拡張します。 	-
		MOVI20S 命令の 20 ビットイミディエイト imm は 8 ビット左にシフトし、上位側 は符号拡張、下位側はゼロ詰めを行います。 	-
	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-
	#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR 命令の 3 ビットイミディエイト imm はビット位置を表します。	-

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

- xxxx : 命令コード
- mmmm : ソースレジスタ
- nnnn : デスティネーションレジスタ
- iiii : イミディエイトデータ
- dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		-	-	NOP
n 形式		-	nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		R0 (レジスタ直接)	nnnn : レジスタ直接	DIVU R0, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
		mmmm : レジスタ直接	R15 (プリデクリメント レジスタ間接)	MOVMU.L Rm, @-R15
		R15 (ポストインクリメント レジスタ間接)	nnnn : レジスタ直接	MOVMU.L @R15+, Rn
		R0 (レジスタ直接)	nnnn : ポストインクリメント レジスタ間接	MOV.L R0,@Rn+
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接	-	JMP @Rm
		mmmm : プリデクリメント レジスタ間接	R0 (レジスタ直接)	MOV.L @-Rm, R0
		mmmm : Rm を用いた PC 相対	-	BRAF Rm

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{xxxx} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメント レジスタ間接 (積和演算) nnnn : * ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{dddd} \\ \hline \end{array}$	mmmmdddd : ディスプレイメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{dddd} \\ \hline \end{array}$	R0 (レジスタ直接)	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
nmd12 形式	$\begin{array}{ c c c c } \hline & 32 & & 16 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{xxxx} \\ \hline \end{array}$ $\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{dddd} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp12,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp12,Rm),Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
d 形式		ddddddd :	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		ディスプレイメント付き GBR 間接		
		R0 (レジスタ直接)	ddddddd :	MOV.L R0,@(disp,GBR)
		ディスプレイメント付き PC 相対	ddddddd :	MOVA @(disp,PC),R0
		ディスプレイメント付き TBR 二重間接	-	JSR/N @@(disp8,TBR)
	ddddddd : PC 相対	-	BF label	
d12 形式		ddddddddddd : PC 相対	-	BRA label (label=disp+PC)
nd8 形式		ddddddd :	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト	-	TRAPA #imm
ni 形式		iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn
ni3 形式		nnnn : レジスタ直接	-	BLD #imm3,Rn
		iii : イミディエイト		
		-	nnnn : レジスタ直接 iii : イミディエイト	BST #imm3,Rn
ni20 形式		iiiiiiiiiiiiiiiiiiiiiii : イミディエイト	nnnn : レジスタ直接	MOVI20 #imm20, Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nid 形式	<div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">32</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 0 5px;">xxxx</div> <div style="border-right: 1px solid black; padding: 0 5px;">nnnn</div> <div style="border-right: 1px solid black; padding: 0 5px;">xiii</div> <div style="padding: 0 5px;">xxxx</div> </div> <div style="margin-left: 5px;">16</div> </div> <div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">15</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 0 5px;">xxxx</div> <div style="padding: 0 5px;">dddd dddd dddd</div> </div> <div style="margin-left: 5px;">0</div> </div>	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	-	BLD.B #imm3,@ (disp12,Rn)
		-	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	BST.B #imm3,@ (disp12,Rn)

【注】 * 積和命令では nnnn はソースレジスタです。

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実行アドレスの転送	
		MOVI20	20 ビットイミディエイトデータの転送	
		MOVI20S	20 ビットイミディエイトデータの転送 左 8 ビットシフト	
		MOVML	R0 ~ Rn のレジスタ退避・復帰	
		MOVMU	Rn ~ R14, PR のレジスタ退避・復帰	
		MOVRT	T ビット反転 Rn への転送	
		MOV T	T ビットの転送	
		MOVU	無符号データの転送	
		NOTT	T ビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2 進加算	40
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバーフロー付き 2 進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIVS	符号付き除算 (32 ÷ 32)	
		DIVU	符号なし除算 (32 ÷ 32)	
		DIV1	1 ステップ除算	
		DIV0S	符号付き 1 ステップ除算の初期化	

分類	命令の種類	オペコード	機能	命令数
算術演算命令	26	DIV0U	符号なし 1 ステップ除算の初期化	40
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn 結果格納符号付き乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 進減算	
		SUBV	アンダフロー付き 2 進減算	
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1 ビット左回転	16
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	

分類	命令の種類	オペコード	機能	命令数
分岐命令	10	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	15
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm R0 転送付きサブルーチンプロシージャからの復帰	
システム制御命令	14	CLRT	T ビットのクリア	36
		CLRMAC	MAC レジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
浮動小数点演算命令	19	FABS	浮動小数点数絶対値	48
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FCNVDS	倍精度から単精度への変換	
		FCNVSD	単精度から倍精度への変換	
		FDIV	浮動小数点数除算	
		FLDIO	浮動小数点数ロードイミディエイト 0	
		FLDI1	浮動小数点数ロードイミディエイト 1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	

分類	命令の種類	オペコード	機能	命令数
浮動小数点演算命令	19	FMOV	浮動小数点数転送	48
		FMUL	浮動小数点数乗算	
		FNEG	浮動小数点数符号反転	
		FSCHG	SZ ビット反転	
		FSQRT	浮動小数点平方根	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPU に関する CPU 命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計 112			253

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命 令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示しています。	MSB LSBの順で表示しています。	動作の概略を表示しています。	ノーウェイトのときの値です。*1	命令実行後の、Tビットの値を表示しています。
【記号説明】 Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント*2	【記号説明】 mmmm : ソースレジスタ nnnn : デスティネーションレジスタ 0000 : R0 0001 : R1 1111 : R15 iiii : イミディエイトデータ dddd : ディスプレースメント	【記号説明】 、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR内のフラグビット & : ビットごとの論理積 : ビットごとの論理和 ^ : ビットごとの排他的論理和 ~ : ビットごとの論理否定 <<n : 左 n ビットシフト >>n : 右 n ビットシフト		【記号説明】 - : 変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
 - (2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合
- などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング(x1、x2、x4)されます。
詳しくは、「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

2.4.2 データ転送命令

表 2.11 データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV #imm, Rn	1110nnnniiiiiii	imm 符号拡張 Rn	1	-			
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2+PC) 符号拡張 Rn	1	-			
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4+PC) Rn	1	-			
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	-			
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	-			
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	-			
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	-			
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	-			
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	-			
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	-			
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)	1	-			
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)	1	-			
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)	1	-			
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	-			
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	-			
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	-			
MOV.B R0, @(disp, Rn)	10000000nnnnddd	R0 (disp+Rn)	1	-			
MOV.W R0, @(disp, Rn)	10000001nnnnddd	R0 (disp × 2+Rn)	1	-			
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm (disp × 4+Rn)	1	-			
MOV.B @(disp, Rm), R0	10000100mmmmddd	(disp+Rm) 符号拡張 R0	1	-			
MOV.W @(disp, Rm), R0	10000101mmmmddd	(disp × 2+Rm) 符号拡張 R0	1	-			
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp × 4+Rm) Rn	1	-			
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	-			
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	-			
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	-			
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	-			
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	-			
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	-			
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0 (disp+GBR)	1	-			
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0 (disp × 2+GBR)	1	-			
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0 (disp × 4+GBR)	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR) 符号拡張 R0	1	-			
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp×2+GBR) 符号拡張 R0	1	-			
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp×4+GBR) R0	1	-			
MOV.B R0, @Rn+	0100nnnn10001011	R0 (Rn), Rn+1 Rn	1	-			
MOV.W R0, @Rn+	0100nnnn10011011	R0 (Rn), Rn+2 Rn	1	-			
MOV.L R0, @Rn+	0100nnnn10101011	R0 (Rn), Rn+4 Rn	1	-			
MOV.B @-Rm, R0	0100mmmm11001011	Rm-1 Rm, (Rm) 符号拡張 R0	1	-			
MOV.W @-Rm, R0	0100mmmm11011011	Rm-2 Rm, (Rm) 符号拡張 R0	1	-			
MOV.L @-Rm, R0	0100mmmm11101011	Rm-4 Rm, (Rm) R0	1	-			
MOV.B Rm, @(disp12, Rn)	0011nnnnmmmm0001 0000dddddddddddd	Rm (disp+Rn)	1	-			
MOV.W Rm, @(disp12, Rn)	0011nnnnmmmm0001 0001dddddddddddd	Rm (disp×2+Rn)	1	-			
MOV.L Rm, @(disp12, Rn)	0011nnnnmmmm0001 0010dddddddddddd	Rm (disp×4+Rn)	1	-			
MOV.B @(disp12, Rm), Rn	0011nnnnmmmm0001 0100dddddddddddd	(disp+Rm) 符号拡張 Rn	1	-			
MOV.W @(disp12, Rm), Rn	0011nnnnmmmm0001 0101dddddddddddd	(disp×2+Rm) 符号拡張 Rn	1	-			
MOV.L @(disp12, Rm), Rn	0011nnnnmmmm0001 0110dddddddddddd	(disp×4+Rm) Rn	1	-			
MOVA @(disp, PC), R0	11000111dddddddd	disp×4+PC R0	1	-			
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiiii	imm 符号拡張 Rn	1	-			
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiiii	imm<<8 符号拡張 Rn	1	-			
MOVMLL Rm, @-R15	0100mmmm11110001	R15-4 R15, Rm (R15) R15-4 R15, Rm-1 (R15) : R15-4 R15, R0 (R15) Rm=R15 のとき、Rm を PR に 読み替え	1 ~ 16	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOVMLL @R15+, Rn	0100nnnn11110101	(R15) R0, R15+4 R15 (R15) R1, R15+4 R15 : (R15) Rn Rn=R15 のとき、Rn を PR に 読み替え	1 ~ 16	-			
MOVMLL Rm, @-R15	0100mmmm11110000	R15-4 R15, PR (R15) R15-4 R15, R14 (R15) : R15-4 R15, Rm (R15) Rm=R15 のとき、Rm を PR に読み替え	1 ~ 16	-			
MOVMLL @R15+, Rn	0100nnnn11110100	(R15) Rn, R15+4 R15 (R15) Rn+1, R15+4 R15 : (R15) R14, R15+4 R15 (R15) PR Rn=R15 のとき、Rn を PR に 読み替え	1 ~ 16	-			
MOVRT Rn	0000nnnn00111001	~T Rn	1	-			
MOVRT Rn	0000nnnn00101001	T Rn	1	-			
MOVU.B @(disp12,Rm), Rn	0011nnnnmmmm0001 1000ddddddddddd	(disp+Rm) ゼロ拡張 Rn	1	-			
MOVU.W @(disp12,Rm),Rn	0011nnnnmmmm0001 1001ddddddddddd	(disp × 2+Rm) ゼロ拡張 Rn	1	-			
NOTT	000000001101000	~T T	1	演算結果			
PREF @Rn	0000nnnn10000011	(Rn) オペランドキャッシュ	1	-			
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バイ ト交換 Rn	1	-			
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	-			
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm:Rn の中央 32 ビット Rn	1	-			

2.4.3 算術演算命令

表 2.12 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm Rn	1	-			
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm Rn	1	-			
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリー T	1	キャリー			
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー			
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/Hi Rm, Rn	0011nnnnmmmm0110	無符号で Rn>Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn>Rm のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T それ以外のとき 0 T	1	比較結果			
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T それ以外のとき 0 T	1	比較結果			
CLIPS.B Rn	0100nnnn10010001	Rn>(H'0000007F)のとき、 (H'0000007F) Rn, 1 CS Rn<(H'FFFFFF80)のとき、 (H'FFFFFF80) Rn, 1 CS	1	-			
CLIPS.W Rn	0100nnnn10010101	Rn>(H'00007FFF)のとき、 (H'00007FFF) Rn, 1 CS Rn<(H'FFFF8000)のとき、 (H'FFFF8000) Rn, 1 CS	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLIPU.B Rn	0100nnnn10000001	Rn>(H'000000FF)のとき、 (H'000000FF) Rn, 1 CS	1	-			
CLIPU.W Rn	0100nnnn10000101	Rn>(H'0000FFFF)のとき、 (H'0000FFFF) Rn, 1 CS	1	-			
DIV1 Rm, Rn	0011nnnnmmmm0100	1 ステップ除算(Rn ÷ Rm)	1	計算結果			
DIVOS Rm, Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M ^ Q T	1	計算結果			
DIV0U	0000000000011001	0 M/Q/T	1	0			
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn ÷ R0 Rn 32 ÷ 32 32 ビット	36	-			
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn ÷ R0 Rn 32 ÷ 32 32 ビット	34	-			
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット	2	-			
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64 ビット	2	-			
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	1	比較結果			
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn	1	-			
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn	1	-			
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn	1	-			
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn	1	-			
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 32 × 32 + 64 64 ビット	4	-			
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 16 × 16 + 64 64 ビット	3	-			
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32 × 32 32 ビッ ト	2	-			
MULR R0, Rn	0100nnnn10000000	R0 × Rn Rn 32 × 32 32 ビット	2				
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MACL 16 × 16 32 ビット	1	-			
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MACL 16 × 16 32 ビット	1	-			
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm Rn	1	-			
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T Rn, ボロー T	1	ボロー			
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm Rn	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T Rn, ボロー T	1	ボロー			
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm Rn, アンダフロー T	1	オーバ フロー			

2.4.4 論理演算命令

表 2.13 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	-			
AND #imm, R0	11001001iiiiiiii	R0 & imm R0	1	-			
AND.B #imm, @(R0, GBR)	11001101iiiiiiii	(R0+GBR) & imm (R0+GBR)	3	-			
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	-			
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	-			
OR #imm, R0	11001011iiiiiiii	R0 imm R0	1	-			
OR.B #imm, @(R0, GBR)	11001111iiiiiiii	(R0+GBR) imm (R0+GBR)	3	-			
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき1 T, それ以外のとき0 T, 1 MSB of(Rn)	3	テスト 結果			
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき1 T, その他0 T	1	テスト 結果			
TST #imm, R0	11001000iiiiiiii	R0 & imm, 結果が0のとき1 T その他0 T	1	テスト 結果			
TST.B #imm, @(R0, GBR)	11001100iiiiiiii	(R0+GBR) & imm, 結果が0のとき1 T その他0 T	3	テスト 結果			
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	-			
XOR #imm, R0	11001010iiiiiiii	R0 ^ imm R0	1	-			
XOR.B #imm, @(R0, GBR)	11001110iiiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	-			

2.4.5 シフト命令

表 2.14 シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB			
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB			
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB			
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB			
SHAD Rm, Rn	0100nnnnmmmm1100	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm [MSB Rn]	1	-			
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB			
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB			
SHLD Rm, Rn	0100nnnnmmmm1101	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm [0 Rn]	1	-			
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB			
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB			
SHLL2 Rn	0100nnnn00001000	Rn<<2 Rn	1	-			
SHLR2 Rn	0100nnnn00001001	Rn>>2 Rn	1	-			
SHLL8 Rn	0100nnnn00011000	Rn<<8 Rn	1	-			
SHLR8 Rn	0100nnnn00011001	Rn>>8 Rn	1	-			
SHLL16 Rn	0100nnnn00101000	Rn<<16 Rn	1	-			
SHLR16 Rn	0100nnnn00101001	Rn>>16 Rn	1	-			

2.4.6 分岐命令

表 2.15 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2, SH2E	SH4	SH-2A
BF label	10001011ddddddd	T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1*	-			
BF/S label	10001111ddddddd	遅延分岐、T=0 のとき disp × 2+PC PC, T=1 のとき nop	2/1*	-			
BT label	10001001ddddddd	T=1 のとき disp × 2+PC PC, T=0 のとき nop	3/1*	-			
BT/S label	10001101ddddddd	遅延分岐、T=1 のとき disp × 2+PC PC, T=0 のとき nop	2/1*	-			
BRA label	1010ddddddddddd	遅延分岐、disp × 2+PC PC	2	-			
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC PC	2	-			
BSR label	1011ddddddddddd	遅延分岐、PC PR, disp × 2+PC PC	2	-			
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, Rm+PC PC	2	-			
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	-			
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	-			
JSR/N @Rm	0100mmmm01001011	PC-2 PR, Rm PC	3	-			
JSR/N @@(disp8, TBR)	10000011ddddddd	PC-2 PR, (disp × 4+TBR) PC	5	-			
RTS	0000000000001011	遅延分岐、PR PC	2	-			
RTS/N	0000000001101011	PR PC	3	-			
RTV/N Rm	0000mmmm01111011	Rm R0, PR PC	3	-			

【注】 * 分岐しないときは 1 ステートになります。

2.4.7 システム制御命令

表 2.16 システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2, SH2E	SH4	SH-2A
CLRT	0000000000001000	0 T	1	0			
CLRMAC	000000000101000	0 MACH,MACL	1	-			
LDBANK @Rm, R0	0100mmmm11100101	(指定レジスタバンクエントリ) R0	6	-			
LDC Rm, SR	0100mmmm00001110	Rm SR	3	LSB			
LDC Rm, TBR	0100mmmm01001010	Rm TBR	1	-			
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	-			
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	-			
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	5	LSB			
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	1	-			
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	1	-			
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	-			
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	-			
LDS Rm, PR	0100mmmm00101010	Rm PR	1	-			
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	-			
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	-			
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	-			
NOP	0000000000001001	無操作	1	-			
RESBANK	0000000001011011	バンク R0~R14, GBR, MACH, MACL, PR	9*	-			
RTE	000000000101011	遅延分岐、スタック領域 PC/SR	6	-			
SETT	0000000000011000	1 T	1	1			
SLEEP	0000000000011011	スリープ	5	-			
STBANK R0, @Rn	0100nnnn11100001	R0 (指定レジスタバンクエントリ)	7	-			
STC SR, Rn	0000nnnn00000010	SR Rn	2	-			
STC TBR, Rn	0000nnnn01001010	TBR Rn	1	-			
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	-			
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	-			
STC.L SR, @- Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	-			
STC.L GBR, @- Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	1	-			
STC.L VBR, @- Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	-			
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	-			
STS PR, Rn	0000nnnn00101010	PR Rn	1	-			
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	-			
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	-			
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	-			
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、 (imm×4+VBR) PC	5	-			

【注】 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合などの条件により、命令実行ステート数は増加します。

* バンクのオーバーフロー時は、ステート数が19です。

2.4.8 浮動小数点演算命令

表 2.17 浮動小数点演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FABS FRn	1111nnnn01011101	FRn FRn	1	-			
FABS DRn	1111nnn001011101	DRn DRn	1	-			
FADD FRm, FRn	1111nnnnmmmm0000	FRn+FRm FRn	1	-			
FADD DRm, DRn	1111nnn0mmm00000	DRn+DRm DRn	6	-			
FCMP/EQ FRm, FRn	1111nnnnmmmm0100	(FRn=FRm)? 1:0 T	1	比較結果			
FCMP/EQ DRm, DRn	1111nnn0mmm00100	(DRn=DRm)? 1:0 T	2	比較結果			
FCMP/GT FRm, FRn	1111nnnnmmmm0101	(FRn>FRm)? 1:0 T	1	比較結果			
FCMP/GT DRm, DRn	1111nnn0mmm00101	(DRn>DRm)? 1:0 T	2	比較結果			
FCNVDS DRm, FPUL	1111mmn010111101	(float)DRm FPUL	2	-			
FCNVSD FPUL, DRn	1111nnn010101101	(double)FPUL DRn	2	-			
FDIV FRm, FRn	1111nnnnmmmm0011	FRn/FRm FRn	10	-			
FDIV DRm, DRn	1111nnn0mmm00011	DRn/DRm DRn	23	-			
FLDI0 FRn	1111nnnn10001101	0 × 00000000 FRn	1	-			
FLDI1 FRn	1111nnnn10011101	0 × 3F800000 FRn	1	-			
FLDS FRm, FPUL	1111mmmm00011101	FRm FPUL	1	-			
FLOAT FPUL, FRn	1111nnnn00101101	(float)FPUL FRn	1	-			
FLOAT FPUL, DRn	1111nnn000101101	(double)FPUL DRn	2	-			
FMAC FR0, FRm, FRn	1111nnnnmmmm1110	FR0 × FRm + FRn FRn	1	-			
FMOV FRm, FRn	1111nnnnmmmm1100	FRm FRn	1	-			
FMOV DRm, DRn	1111nnn0mmm01100	DRm DRn	2	-			
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0+Rm) FRn	1	-			
FMOV.D @(R0, Rm), DRn	1111nnn0mmm0110	(R0+Rm) DRn	2	-			
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm) FRn, Rm+=4	1	-			
FMOV.D @Rm+, DRn	1111nnn0mmm1001	(Rm) DRn, Rm+=8	2	-			
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm) FRn	1	-			
FMOV.D @Rm, DRn	1111nnn0mmm1000	(Rm) DRn	2	-			
FMOV.S @(disp12, Rm), FRn	0011nnnnmmmm0001 0111dddddddddddd	(disp × 4 + Rm) FRn	1	-			
FMOV.D @(disp12, Rm), DRn	0011nnn0mmm0001 0111dddddddddddd	(disp × 8 + Rm) DRn	2	-			
FMOV.S FRm, @(R0, Rn)	1111nnnnmmmm0111	FRm (R0+Rn)	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FMOV.D DRm, @(R0,Rn)	1111nnnnmmmm00111	DRm (R0+Rn)	2	-			
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn-4, FRm (Rn)	1	-			
FMOV.D DRm, @-Rn	1111nnnnmmmm01011	Rn-8, DRm (Rn)	2	-			
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm (Rn)	1	-			
FMOV.D DRm, @Rn	1111nnnnmmmm01010	DRm (Rn)	2	-			
FMOV.S FRm, @(disp12,Rn)	0011nnnnmmmm0001 0011ddddddddddd	FRm (disp × 4+Rn)	1	-			
FMOV.D DRm, @(disp12,Rn)	0011nnnnmmmm0001 0011ddddddddddd	DRm (disp × 8+Rn)	2	-			
FMUL FRm, FRn	1111nnnnmmmm0010	FRn × FRm FRn	1	-			
FMUL DRm, DRn	1111nnn0mmmm00010	DRn × DRm DRn	6	-			
FNEG FRn	1111nnnn01001101	-FRn FRn	1	-			
FNEG DRn	1111nnn001001101	-DRn DRn	1	-			
FSCHG	1111001111111101	FPSCR.SZ=-FPSCR.SZ	1	-			
FSQRT FRn	1111nnnn01101101	FRn FRn	9	-			
FSQRT DRn	1111nnn001101101	DRn DRn	22	-			
FSTS FPUL,FRn	1111nnnn00001101	FPUL FRn	1	-			
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm FRn	1	-			
FSUB DRm, DRn	1111nnn0mmmm00001	DRn-DRm DRn	6	-			
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm FPUL	1	-			
FTRC DRm, FPUL	1111mmmm000111101	(long)DRm FPUL	2	-			

2.4.9 FPU に関する CPU 命令

表 2.18 FPU に関する CPU 命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
LDS Rm,FPSCR	0100mmmm01101010	Rm FPSCR	1	-			
LDS Rm,FPUL	0100mmmm01011010	Rm FPUL	1	-			
LDS.L @Rm+, FPSCR	0100mmmm01100110	(Rm) FPSCR, Rm+=4	1	-			
LDS.L @Rm+, FPUL	0100mmmm01010110	(Rm) FPUL, Rm+=4	1	-			
STS FPSCR, Rn	0000nnnn01101010	FPSCR Rn	1	-			
STS FPUL, Rn	0000nnnn01011010	FPUL Rn	1	-			
STS.L FPSCR, @-Rn	0100nnnn01100010	Rn-=4, FPSCR (Rn)	1	-			
STS.L FPUL, @-Rn	0100nnnn01010010	Rn-=4, FPUL (Rn)	1	-			

2.4.10 ビット操作命令

表 2.19 ビット操作命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BAND.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp+ Rn))&T T	3	演算結果			
BANDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp+ Rn))&T T	3	演算結果			
BCLR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0000ddddddddddd	0 (imm of (disp+ Rn))	3	-			
BCLR #imm3, Rn	10000110nnnn0iii	0 imm of Rn	1	-			
BLD.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp+Rn)) T	3	演算結果			
BLD #imm3, Rn	10000111nnnn1iii	imm of Rn T	1	演算結果			
BLDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp+Rn)) T	3	演算結果			
BOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp+ Rn)) T T	3	演算結果			
BORNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp+ Rn)) T T	3	演算結果			
BSET.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0001ddddddddddd	1 (imm of (disp+Rn))	3	-			
BSET #imm3, Rn	10000110nnnn1iii	1 imm of Rn	1	-			
BST.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0010ddddddddddd	T (imm of (disp+Rn))	3	-			
BST #imm3, Rn	10000111nnnn0iii	T imm of Rn	1	-			
BXOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0110ddddddddddd	(imm of (disp+ Rn)) ^ T T	3	演算結果			

2.5 処理状態

CPU の処理状態には、リセット状態、デュアルプロセッサ動作状態、シングルプロセッサ動作状態、低消費電力状態の 4 種類があります。状態間の遷移を図 2.6 に示します。

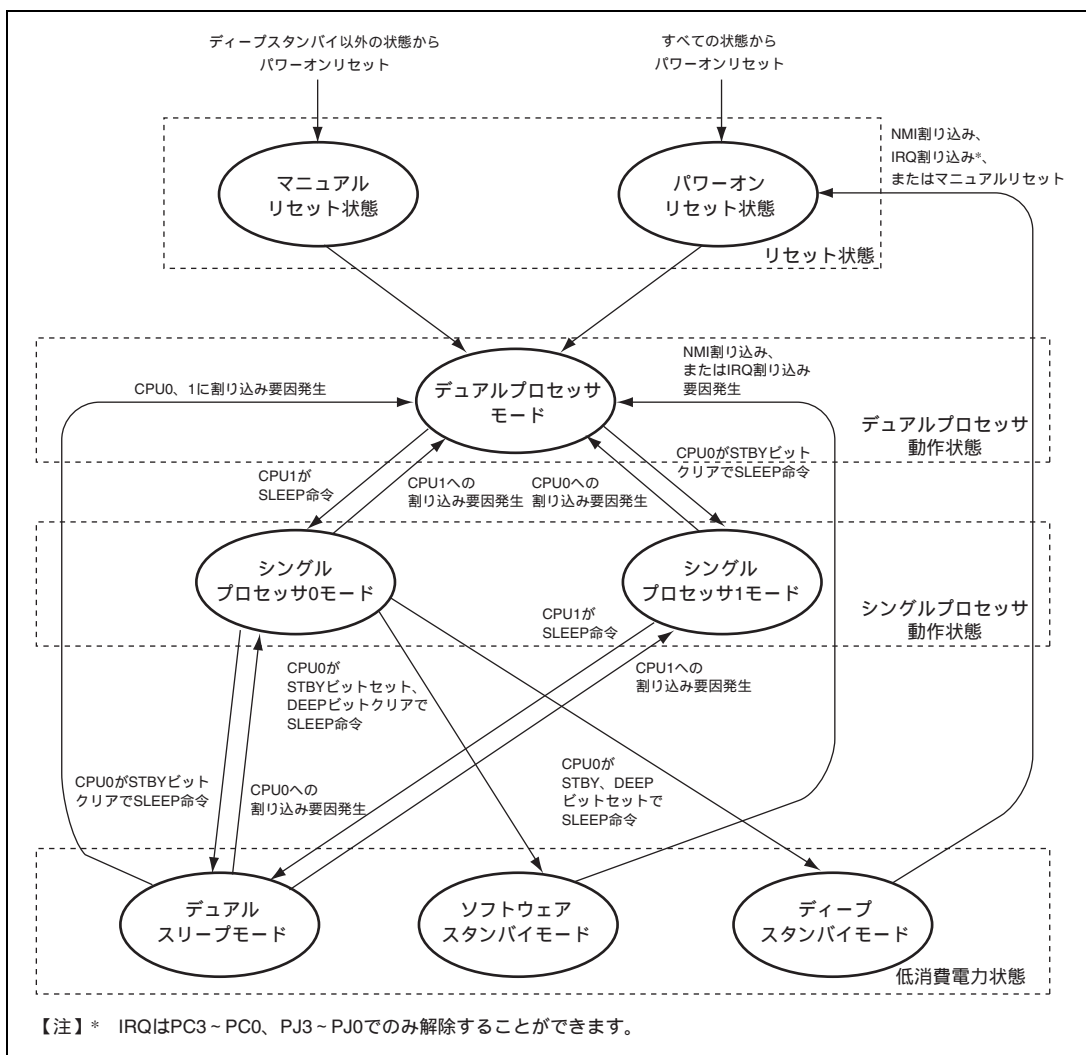


図 2.6 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。

(2) デュアルプロセッサ動作状態

CPU0、CPU1 が順次プログラムを実行している状態です。

(3) シングルプロセッサ動作状態

CPU0、CPU1 どちらか一方が動作している状態です。

シングルプロセッサ0モードでは、CPU0 が動作しており、CPU1 はスリープ状態になっています。

シングルプロセッサ1モードでは、CPU1 が動作しており、CPU0 はスリープ状態になっています。

(4) 低消費電力状態

CPU0、CPU1 両方とも動作が停止し消費電力が低い状態です。

3. 浮動小数点ユニット (FPU)

3.1 特長

FPU には次のような特長があります。

- IEEE754規格に準拠
- 16本の単精度浮動小数点レジスタ (8本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 非正規化数処理モード：0へのフラッシュ
- 5つの例外要因：
無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、システム制御

3.2 データフォーマット

3.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号 (s)
- 指数 (e)
- 小数部 (f)

本 LSI は図 3.1 と図 3.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

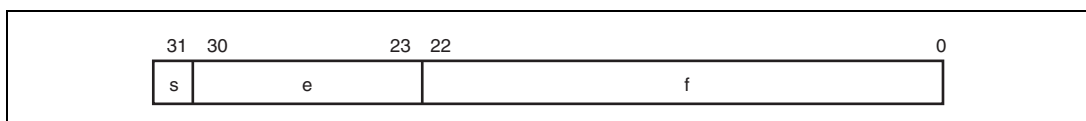


図 3.1 単精度浮動小数点フォーマット

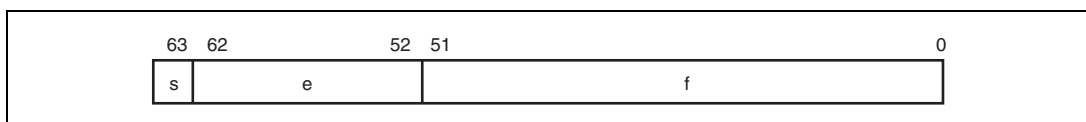


図 3.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数 E の範囲は、 $E_{\min}-1$ から $E_{\max}+1$ までです。 $E_{\min}-1$ と $E_{\max}+1$ の2つの値は次のように区別します。 $E_{\min}-1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max}+1$ は正または負の無限大または非数 (NaN) を表します。表 3.1 に E_{\min} と E_{\max} の値を示します。

表 3.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット	1 ビット	1 ビット
指数フィールド	8 ビット	11 ビット
小数フィールド	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{max}	+127	+1023
E_{min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

$E = E_{max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。

$E = E_{max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。

$E_{min} \leq E \leq E_{max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。

$E = E_{min} - 1$ かつ $f \neq 0$ の場合、 v は $(-1)^s 2^{E_{min}} (0.f)$ 「非正規化数」です。

$E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の 0」です。

表 3.2 に 16 進数による各数の範囲を示します。

表 3.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFF FFFF ~ H'7FC0 0000	H'7FFF FFFF FFFF FFFF ~ H'7FF8 0000 0000 0000
クワイアット非数	H'7FBF FFFF ~ H'7F80 0001	H'7FF7 FFFF FFFF FFFF ~ H'7FF0 0000 0000 0001
正の無限大	H'7F80 0000	H'7FF0 0000 0000 0000
正の正規化数	H'7F7F FFFF ~ H'0080 0000	H'7FEF FFFF FFFF FFFF ~ H'0010 0000 0000 0000
正の非正規化数	H'007F FFFF ~ H'0000 0001	H'000F FFFF FFFF FFFF ~ H'0000 0000 0000 0001
正のゼロ	H'0000 0000	H'0000 0000 0000 0000
負のゼロ	H'8000 0000	H'8000 0000 0000 0000
負の非正規化数	H'8000 0001 ~ H'807F FFFF	H'8000 0000 0000 0001 ~ H'800F FFFF FFFF FFFF
負の正規化数	H'8080 0000 ~ H'FF7F FFFF	H'8010 0000 0000 0000 ~ H'FFE7 FFFF FFFF FFFF
負の無限大	H'FF80 0000	H'FFF0 0000 0000 0000
クワイアット非数	H'FF80 0001 ~ H'FFBF FFFF	H'FFF0 0000 0000 0001 ~ H'FFF7 FFFF FFFF FFFF
シグナリング非数	H'FFC0 0000 ~ H'FFFF FFFF	H'FFF8 0000 0000 0000 ~ H'FFFF FFFF FFFF FFFF

3.3 レジスタの説明

3.3.1 浮動小数点レジスタ

図 3.4 に浮動小数点レジスタの構成を示します。16 本の 32 ビット浮動小数点レジスタ FPR0 ~ FPR15 があります。この 16 本のレジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14 として参照されます。FPR_n と参照名の対応は FPSCR の PR ビットと SZ ビットによって決まります。図 3.4 を参照してください。

1. 浮動小数点レジスタ : FPR_i (16レジスタ)

FPR0, FPR1, FPR2, FPR3, FPR4, FPR5, FPR6, FPR7,
FPR8, FPR9, FPR10, FPR11, FPR12, FPR13, FPR14, FPR15

2. 単精度浮動小数点レジスタ : FR_i (16レジスタ)

FR0 ~ FR15 は FPR0 ~ FPR15 に割り当てられます。

3. 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DR_i (8レジスタ)

DR レジスタは2つのFRレジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

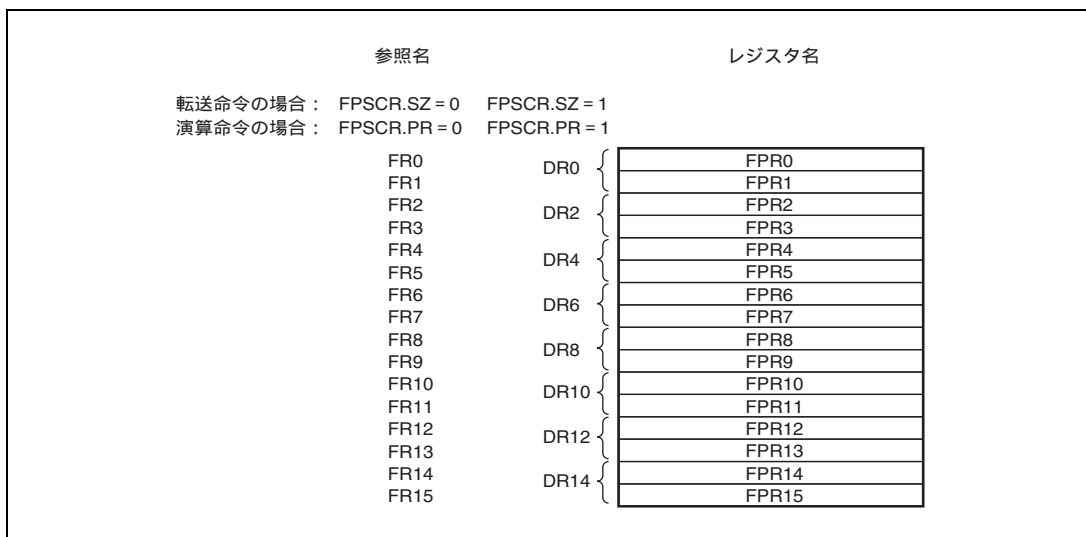


図 3.4 浮動小数点レジスタ

3.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

FPSCR は 32 ビットのレジスタで、浮動小数点命令の制御、FPU 例外の設定、および丸めの使用方法を選択します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	QIS	-	SZ	PR	DN	Cause	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable				Flag				RM1	RM0		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	QIS	0	R/W	非数処理モード 0 : qNaN あるいは ± をそのまま処理します。 1 : qNaN あるいは ± を sNaN と同様に扱います (FPSCR のイネーブル V=1 のときのみ有効です)。
21	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	SZ	0	R/W	転送サイズモード 0 : FMOV 命令のデータサイズは 32 ビットです。 1 : FMOV 命令のデータサイズは 32 ビットペア (64 ビット) です。
19	PR	0	R/W	精度モード 0 : 浮動小数点命令を単精度演算として実行します。 1 : 浮動小数点命令を倍精度演算として実行します。
18	DN	1	R	非正規化モード (SH2A-FPU では常に 1 固定です) 1 : 非正規化数を 0 として扱います。
17~12	Cause	H'00	R/W	FPU 例外要因フィールド
11~7	Enable	H'00	R/W	FPU 例外イネーブルフィールド
6~2	Flag	H'00	R/W	FPU 例外フラグフィールド 浮動小数点演算命令を実行すると、FPU 例外要因フィールドは最初に 0 にクリアされます。次に、浮動小数点演算によって FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。 FPU 例外イネーブルフィールドの該当するビットが 1 にセットされているとき、FPU 例外処理が発生します。 各フィールドのビットの割り付けについては表 3.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
1	RM1	0	R/W	丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0 方向への丸め 10：リザーブ 11：リザーブ
0	RM0	1	R/W	

表 3.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

【注】 SH2A-FPU では FPU エラーは発生しません。

3.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL を介して行われます。FPUL は 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

3.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

FPSCR.RM[1:0] = 00 : 近傍への丸め

FPSCR.RM[1:0] = 01 : 0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}}(2^{-2^p})$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。

3.5 FPU 例外

3.5.1 FPU 例外要因

FPU 例外は浮動小数点演算命令で発生する可能性があり、その要因は次のとおりです。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : NaN入力のような無効な演算の場合
- 0による除算 (Z) : 除数0による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外 (I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

3.5.2 FPU 例外処理

FPU 例外処理は次の場合に発生します。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : FPSCRのEnableのVビットが1かつ無効演算の場合
- 0による除算 (Z) : FPSCRのEnableのZビットが1かつ除数0による除算
- オーバフロー (O) : FPSCRのEnableのOビットが1かつ演算結果がオーバフローする可能性のある命令
- アンダフロー (U) : FPSCRのEnableのUビットが1かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCRのEnableのIビットが1かつ演算結果が不正確になる可能性のある命令

浮動小数点演算による各例外処理の可能性については各命令の説明で示します。浮動小数点演算に起因するすべての例外事象は、同一の FPU 例外処理事象として割り付けられています。浮動小数点演算によって発生した例外の意味内容は、FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、FPU 例外処理が発生した場合は、デスティネーションレジスタは変更されません。

上記以外は V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) : 結果としてqNaNを生成します。
- 0による除算 (Z) : 丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :

- 0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
- 近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) : 丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) : 不正確な結果を生成します。

4. マルチコアプロセッサ

本 LSI は、2 つの SH2A CPU (CPU0、CPU1) を内蔵しています。複数の CPU により、シングル CPU では実現不可能であった高性能 (負荷分散) かつ高機能 (機能分散) な処理を行うことができます。

4.1 特長

- CPU間の同期制御

プロセッサ間割り込みにより、CPU間の同期制御をサポートします(「第7章 割り込みコントローラ(INTC)」参照)。

- 共用リソースの排他制御

セマフォ制御レジスタにより、共用リソースの排他制御をサポートします。

- 各CPU専用の浮動少数点ユニット(FPU)、キャッシュ、高速内蔵RAMを搭載

CPUそれぞれに、専用のFPU、キャッシュ、および高速内蔵RAMを搭載しています。

高速内蔵RAMは、他方のCPUからのアクセス許可/禁止により、共有RAM空間/CPU固有RAM空間に設定することができます。(「第32章 内蔵RAM」参照)

- 低消費電力モード(「第33章 低消費電力モード」参照)

本LSIは、両CPUが動作状態のデュアルプロセッサモード、片方のCPUがスリープ状態のシングルプロセッサモードおよび両CPUがスリープ状態の低消費電力状態に遷移することが可能です。負荷状況によりこれらの状態を遷移することで、高性能かつ消費電力を低減することができます。

- マルチレイヤバス(「第1章 概要」参照)

両CPU(およびDMAC)がバス権を得られないことによる性能低下を抑えるために、内部バスにマルチレイヤバスを採用しています。

4.2 レジスタの説明

マルチコアプロセッサを制御するため、以下のレジスタがあります。

表 4.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
CPU ID レジスタ	CPUIDR	R	* ¹	H'FFFC1404	32
セマフォレジスタ 0	SEMR0	R*/W	H'00	H'FFFC1E00	8
セマフォレジスタ 1	SEMR1	R*/W	H'00	H'FFFC1E04	8
セマフォレジスタ 2	SEMR2	R*/W	H'00	H'FFFC1E08	8
セマフォレジスタ 3	SEMR3	R*/W	H'00	H'FFFC1E0C	8
セマフォレジスタ 4	SEMR4	R*/W	H'00	H'FFFC1E10	8
セマフォレジスタ 5	SEMR5	R*/W	H'00	H'FFFC1E14	8
セマフォレジスタ 6	SEMR6	R*/W	H'00	H'FFFC1E18	8
セマフォレジスタ 7	SEMR7	R*/W	H'00	H'FFFC1E1C	8
セマフォレジスタ 8	SEMR8	R*/W	H'00	H'FFFC1E20	8
セマフォレジスタ 9	SEMR9	R*/W	H'00	H'FFFC1E24	8
セマフォレジスタ 10	SEMR10	R*/W	H'00	H'FFFC1E28	8
セマフォレジスタ 11	SEMR11	R*/W	H'00	H'FFFC1E2C	8
セマフォレジスタ 12	SEMR12	R*/W	H'00	H'FFFC1E30	8
セマフォレジスタ 13	SEMR13	R*/W	H'00	H'FFFC1E34	8
セマフォレジスタ 14	SEMR14	R*/W	H'00	H'FFFC1E38	8
セマフォレジスタ 15	SEMR15	R*/W	H'00	H'FFFC1E3C	8
セマフォレジスタ 16	SEMR16	R*/W	H'00	H'FFFC1E40	8
セマフォレジスタ 17	SEMR17	R*/W	H'00	H'FFFC1E44	8
セマフォレジスタ 18	SEMR18	R*/W	H'00	H'FFFC1E48	8
セマフォレジスタ 19	SEMR19	R*/W	H'00	H'FFFC1E4C	8
セマフォレジスタ 20	SEMR20	R*/W	H'00	H'FFFC1E50	8
セマフォレジスタ 21	SEMR21	R*/W	H'00	H'FFFC1E54	8
セマフォレジスタ 22	SEMR22	R*/W	H'00	H'FFFC1E58	8
セマフォレジスタ 23	SEMR23	R*/W	H'00	H'FFFC1E5C	8
セマフォレジスタ 24	SEMR24	R*/W	H'00	H'FFFC1E60	8
セマフォレジスタ 25	SEMR25	R*/W	H'00	H'FFFC1E64	8
セマフォレジスタ 26	SEMR26	R*/W	H'00	H'FFFC1E68	8
セマフォレジスタ 27	SEMR27	R*/W	H'00	H'FFFC1E6C	8
セマフォレジスタ 28	SEMR28	R*/W	H'00	H'FFFC1E70	8
セマフォレジスタ 29	SEMR29	R*/W	H'00	H'FFFC1E74	8

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
セマフォレジスタ 30	SEMR30	R* ² W	H'00	H'FFFC1E78	8
セマフォレジスタ 31	SEMR31	R* ² W	H'00	H'FFFC1E7C	8

【注】 *1 CPU0 からは H'10111000 が読み出されます。CPU1 からは H'50110800 が読み出されます。

*2 レジスタを読み出すと、H'00 にクリアされます。

4.2.1 CPU ID レジスタ (CPUIDR)

CPUIDR は、CPU の番号 (CPU0 または CPU1) を示すレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	ID	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	*	R	リザーブビット 常に固定値が読み出されます。
30	ID	*	R	CPU の番号を示します。 CPU0 からは 0 が読み出されます。CPU1 からは 1 が読み出されます。
29~0	-	*	R	リザーブビット 常に固定値が読み出されます。

【注】 * CPU0 からは H'10111000 が読み出されます。CPU1 からは H'501110800 が読み出されます。

4.2.2 セマフォレジスタ 0～31 (SEMR0～31)

SEMR0～31 は、2つのCPU間の排他制御をサポートするためのレジスタです。

SEMR0～31へのアクセスは、他のCPUおよびDMACの動作を阻害することはありません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SEMF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SEMF	0	R/W	2つのCPU間の排他制御をサポートするためのビットです。 本ビットへの書き込みデータは保持されます。 本ビットを読み出すと、本ビットの内容がCPUに読み出されるとともに、本ビットは0にクリアされます。

4.3 動作説明

4.3.1 本 LSI の初期化手順

本 LSI の初期化手順を以下に示します。また、以下の手順のプログラム例を図 4.1 に示します。

1. パワーオンリセット状態が解除されると、それぞれのCPUがパワーオンリセット例外処理を実行します。
このときにそれぞれのCPUで実行されるパワーオン例外処理プログラムは同一となります。
2. パワーオンリセット例外処理ルーチン内で、CPUIDRのIDビットを読み出し、それぞれのCPUがCPU0であるかCPU1であるかを判定してください。そのとき、CPUIDRのIDビットの読み出し値は、CPU0のときは0、CPU1のときは1となります。
3. その後、それぞれのCPUが実行する処理ルーチンへ分岐してください。

```
        ; パワーオン例外処理ルーチン内で
        ; CPUIDRのIDビットを読み出し、値を調べる。
        MOVI20 #H'FFFC1404,R0
        MOV.L  @R0,R1
        MOV.L  #H'40000000,R2
        AND    R2,R1
        CMP/EQ R2,R1
        BF    CPU0_ROUTINE
        BRA   CPU1_ROUTINE
        NOP

        ; CPU0の処理ルーチン
        CPU0_ROUTINE:
        :
        :

        ; CPU1の処理ルーチン
        CPU1_ROUTINE:
        :
        :
```

図 4.1 本 LSI の初期化手順例

4.3.2 CPU 間の排他制御

(1) セマフォレジスタを使用した CPU 間の排他制御動作

2つのCPU間で排他制御を行う手順を以下に示します。また、以下の手順のプログラム例を図4.2に示します。

1. どちらかのCPUの初期化ルーチンで、SEMR0～31のSEMFビットをすべて1（リソース空き状態）にセットする。
2. たとえば、CPU0がリソースAを使用したい場合、CPU0はSEMR0のSEMFビットから1がリードできるまでリードを繰り返す（ここでは、リソースAに対するセマフォ制御として、SEMR0を用いると仮定）。
3. CPU0は、SEMR0のSEMFビットから1がリードできたことを確認する。この動作で、SEMR0のSEMFビットが0にクリアされる。
4. CPU0は、リソースAを使用する。この間、CPU1がリソースAを使用しようとして、SEMR0のSEMFビットをリードしても0（リソースAは使用中）がリードされるので、CPU1はリソースAを使用できない。
5. CPU0がリソースAの使用を終了した後、SEMR0のSEMFビットを1（リソースAは空き状態）にセットする。

```

;初期化ルーチン
    初期設定を行う
; 1. SEMR0～31の初期化
    MOVI20 #H'FFFC1E00,R0
    MOV    #H'01,R1
    MOV.B  R1,@(H'000,R0);SEMR0.SEMF=1
    MOV.B  R1,@(H'004,R0);SEMR1.SEMF=1
    MOV.B  R1,@(H'008,R0);SEMR2.SEMF=1
    MOV.B  R1,@(H'00C,R0);SEMR3.SEMF=1
    :
    :
    MOV.B  R1,@(H'07C,R0);SEMR31.SEMF=1
; 2. SEMR0からのリード
; 3. SEMR0のSEMFビットから1がリードできたことの確認
    MOVI20 #H'FFFC1E00,R0
LOOP:
    BLD.B  #0,@(H'000,R0)
    BF     LOOP
; 4. リソースAを使用
    :
    :
; 5. SEMR0のSEMFビットを1にセット
    MOVI20 #H'FFFC1E00,R0
    MOV    #H'01,R1
    MOV.B  R1,@(H'000,R0)

```

図 4.2 排他制御のプログラム例

(2) 注意事項

排他制御を行う場合の一般的な注意事項として、システムがデッドロックしないように注意する必要があります。たとえば、以下のような場合にシステムがデッドロックしますので注意が必要です。

1. CPU0がリソースAを使用するために、SEMR0のSEMFビットから1をリードする(この動作で、SEMR0のSEMFビットは0にクリアされる)。
2. CPU1がリソースBを使用するために、SEMF1のSEMFビットから1をリードする(この動作で、SEMF1のSEMFビットは0にクリアされる)。
3. CPU0がリソースBを使用するために、SEMF1のSEMFビットをリードするが、2.で0にクリアされているため、リードをし続ける。
4. CPU1がリソースAを使用するために、SEMR0のSEMFビットをリードするが、1.で0にクリアされているため、リードをし続ける。

5. クロックパルス発振器 (CPG)

本 LSI は、クロックパルス発振器を内蔵しており、CPU0 クロック (I_0)、CPU1 クロック (I_1)、周辺クロック (P)、およびバスクロック (B) を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。

5.1 特長

- 4種類のクロック動作モード

使用する周波数範囲、水晶発振子直付けか外部クロック入力およびUSB用クロック入力かによって、4種類のクロック動作モードから選択できます。

- 3種類のクロック

CPU、キャッシュで使用するCPU0クロック (I_0)、CPU1クロック (I_1)、周辺モジュールで使用する周辺クロック (P)、さらに外部バスインタフェースで使用するバスクロック ($B = CKIO$) を独立に生成できます。

- 周波数変更機能

CPG内部のPLL (Phase Locked Loop) 回路や分周回路により、CPU0クロック、CPU1クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ0、1 (FRQCR0、FRQCR1) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

低消費電力モードではクロック停止およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、「第33章 低消費電力モード」を参照してください。

図 5.1 にクロックパルス発振器のブロック図を示します。

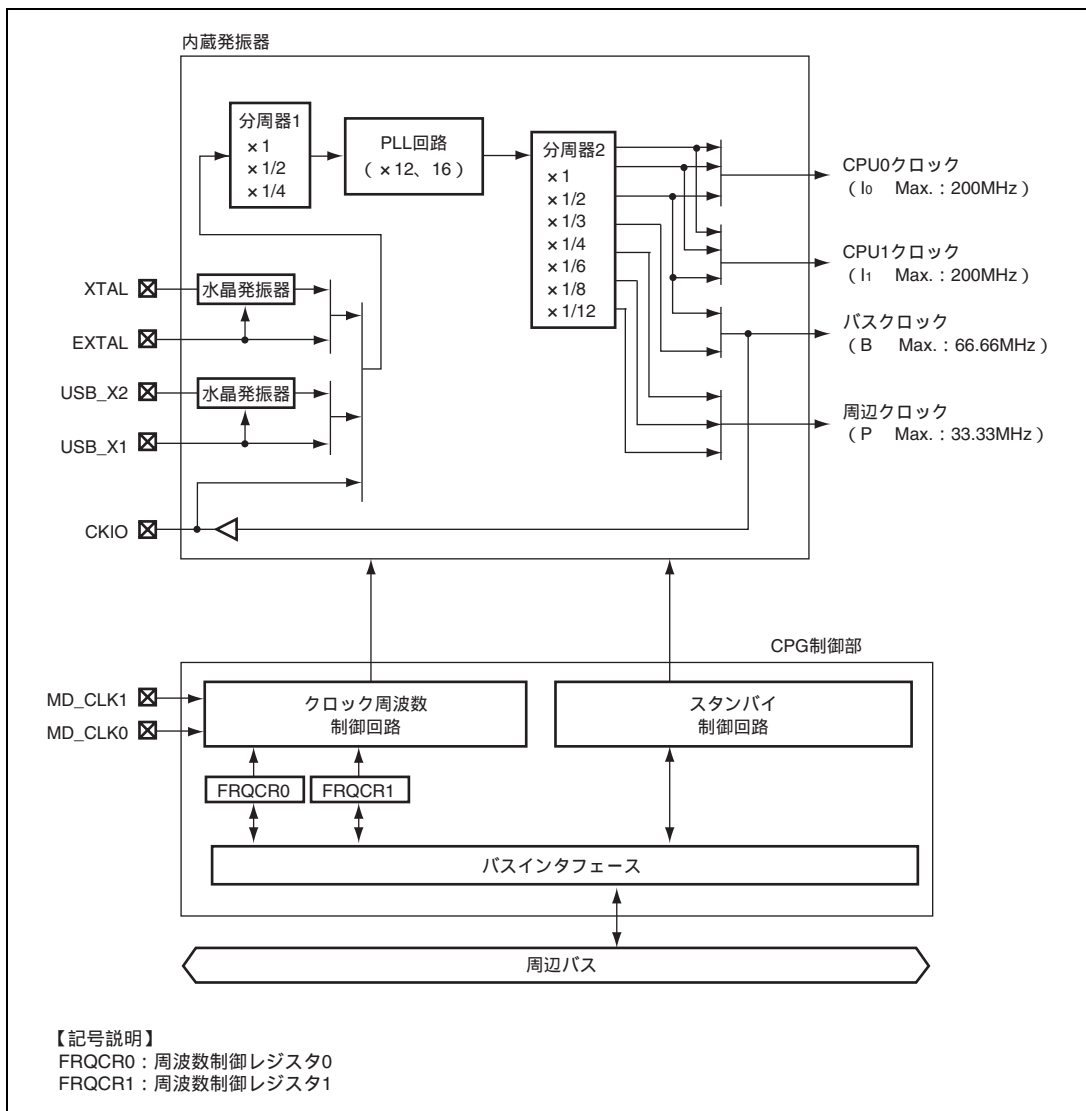


図 5.1 クロックパルス発振器のブロック図

クロックパルス発振器の各ブロックは、次のように機能します。

(1) 水晶発振器

水晶発振器は、XTAL、EXTAL 端子および USB_X1、USB_X2 端子に水晶発振子を接続する場合に使用されます。クロック動作モードの設定によりどちらかが選択されます。

(2) 分周器 1

分周器 1 は、水晶発振器の出力または外部クロック入力を分周する機能を持ちます。分周率は、クロック動作モードにより決まります。

(3) PLL 回路

PLL 回路は、分周器 1 の出力を逡倍する機能を持ちます。逡倍率は、周波数制御レジスタで設定します。

(4) 分周器 2

分周器 2 は、CPU0 クロック、CPU1 クロック、周辺クロック、およびバスクロックで使用する動作周波数のクロックを生成する機能を持ちます。CPU0 クロック、CPU1 クロックと周辺クロックの分周率は、周波数制御レジスタで設定します。バスクロックの分周率は、クロック動作モードおよび PLL 逡倍率により決まります。

(5) クロック周波数制御回路

クロック周波数制御回路は、MD_CLK0、MD_CLK1 端子、周波数制御レジスタ 0、1 (FRQCR0、FRQCR1) によりクロック周波数を制御します。

(6) スタンバイ制御回路

スタンバイ制御回路は、低消費電力時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

さらに、他のモジュールの低消費電力モードを制御するスタンバイコントロールレジスタがあります。スタンバイコントロールレジスタについては、「第 33 章 低消費電力モード」を参照してください。

(7) 周波数制御レジスタ 0 (FRQCR0)

周波数制御レジスタ 0 (FRQCR0) には、ソフトウェアスタンバイモード時の CKIO 端子からのクロック出力の有無、PLL 回路の周波数逡倍率、CPU0 クロック (I_0)、および周辺クロック (P) の周波数分周率の各制御ビットが割り当てられています。

(8) 周波数制御レジスタ 1 (FRQCR1)

周波数制御レジスタ 1 (FRQCR1) には、CPU1 クロック (I_1) の周波数分周率の各制御ビットが割り当てられています。

5.2 入出力端子

クロックパルス発振器の端子構成と機能を表 5.1 に示します。

表 5.1 発振回路の端子構成と機能

名称	端子名	入出力	機能 (クロック動作モード 0、1)	機能 (クロック動作モード 2)	機能 (クロック動作モード 3)
モード 制御端子	MD_CLK0	入力	クロック動作モードを設定します。		
	MD_CLK1	入力	クロック動作モードを設定します。		
クリスタル 入出力端子 (クロック 入力端子)	XTAL	出力	水晶発振子を接続します。 (水晶発振子を使用しない 場合は、端子を解放してく ださい)	端子を解放してください。	端子を解放してください。
	EXTAL	入力	水晶発振子を接続、または 外部クロック入力端子とし て使用します。	端子を固定(プルアップ/ プルダウン/電源接続/ グランド接続)してくださ い。	端子を固定(プルアップ/ プルダウン/電源接続/ グランド接続)してくださ い。
クロック 入出力端子	CKIO	入出力	クロック出力端子になりま す。	クロック入力端子になり ます。	クロック出力端子になり ます。
USB 用 クリスタル 入出力端子 (クロック 入力端子)	USB_X1	入力	USB 専用クロック入力とし て水晶発振子を接続、また は外部クロック入力端子と して使用します。USB を使 用しないときは、端子を固 定(プルアップ/プルダウ ン/電源接続/グランド接 続)してください。	USB 専用クロック入力と して水晶発振子を接続、ま たは外部クロック入力端 子として使用します。USB を使用しないときは、端子 を固定(プルアップ/プル ダウン/電源接続/グラ ンド接続)してください。	USB 兼本 LSI のクロック 入力として水晶発振子を 接続、または外部クロック 入力端子として使用しま す。
	USB_X2	出力	USB 用水晶発振子を接続し ます。 (水晶発振子を使用しない 場合は、端子を解放してく ださい)	USB 用水晶発振子を接続 します。 (水晶発振子を使用しな い場合は、端子を解放して ください)	USB 兼本 LSI 用水晶発振 子を接続します。 (水晶発振子を使用しな い場合は、端子を解放して ください)

5.3 クロック動作モード

モード制御端子 (MD_CLK1、MD_CLK0) の組み合わせとクロック動作モードの関係を表 5.2 に示します。クロック動作モードの使用可能周波数範囲を表 5.3 に示します。

表 5.2 クロック動作モード

モード	端子組み合わせ		クロック入出力		分周器 1	PLL 回路	CKIO の周波数
	MD_ CLK1	MD_ CLK0	供給源	出力			
0	0	0	EXTAL / 水晶発振子	CKIO	1	ON (12、16)	(EXTAL / 水晶) × 4
1	0	1	EXTAL / 水晶発振子	CKIO	1/2	ON (12、16)	(EXTAL / 水晶) × 2
2	1	0	CKIO	-	1/4	ON (12、16)	(CKIO)
3	1	1	USB_X1 / 水晶発振子	CKIO	1/4	ON (12、16)	(USB_X1 / 水晶)

- モード0

モード0ではEXTAL端子または水晶発振器からクロックを入力します。PLL回路で波形成形および周波数制御レジスタの設定により周波数通倍を行い、本LSIに供給します。EXTAL端子入力および水晶発振子ともに発振周波数が10MHzから16.67MHzまでのものを使用でき、CKIOの周波数レンジは40MHzから66.66MHzとなります。内部クロックの周波数は、EXTAL端子の周波数にPLL回路の周波数通倍率と分周器2の分周率を掛けた周波数になります。なお、消費電流削減のため、USBを使用しないときは、USB_X1端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、USB_X2端子は解放としてください。

- モード1

モード1ではEXTAL端子または水晶発振器からクロックを入力します。PLL回路で波形成形および周波数制御レジスタの設定により周波数通倍を行い、本LSIに供給します。EXTAL端子入力および水晶発振子ともに発振周波数が20MHzから33.33MHzまでのものを使用でき、CKIOの周波数レンジは40MHzから66.66MHzとなります。内部クロックの周波数は、EXTAL端子の周波数を×1/2した周波数にPLL回路の周波数通倍率と分周器2の分周率を掛けた周波数になります。なお、消費電流削減のため、USBを使用しないときは、USB_X1端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、USB_X2端子は解放としてください。

- モード2

モード2ではCKIO端子は入力になり、この端子に外部クロックを入力して、PLL回路で波形成形および周波数制御レジスタの設定により周波数通倍を行い、本LSIに供給します。CKIOの周波数レンジは40MHzから66.66MHzとなります。内部クロックの周波数は、CKIO端子の周波数を×1/4した周波数にPLL回路の周波数通倍率と分周器2の分周率を掛けた周波数になります。なお、消費電流削減のため、モード2で使用する場合には、EXTAL端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、XTAL端子は解放としてください。さらに、USBを使用しないときは、USB_X1端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、USB_X2端子は解放としてください。

- モード3

モード3ではUSB_X1端子または水晶発振器からクロックを入力することができます。この端子の外部クロックを入力して、PLL回路で波形成形および周波数制御レジスタの設定により周波数逡倍を行い、本LSIに供給します。CKIOの周波数は、(USB_X1/水晶)(48MHz)となります。内部クロックの周波数は、USB_X1端子の周波数を $\times 1/4$ した周波数にPLL回路の周波数逡倍率と分周器2の分周率を掛けた周波数になります。なお、消費電流削減のため、モード3で使用する場合には、EXTAL端子を固定(プルアップ/プルダウン/電源接続/グランド接続)し、XTAL端子は解放としてください。また、USBクリスタルを使用しないときは、USB_X2端子は解放としてください。

表 5.3 クロック動作モードと設定可能な周波数範囲

クロック 動作 モード	FRQCR0 レジスタ 設定値 *1	FRQCR1 レジスタ 設定値	PLL 通倍率	内部 クロック比 ($I_0 : I_1 : B : P$) *2	設定可能な周波数範囲 (MHz)				
					入力クロック *3	CPU0 クロック (I_0)	CPU1 クロック (I_1)	バスクロック ($B = \text{CKIO}$ 端子)	周辺クロック (P)
			PLL 回路						
0	H'x104	H'0000	ON(× 12)	12 : 12 : 4 : 2	10 ~ 16.67	120 ~ 200	120 ~ 200	40 ~ 66.66	20 ~ 33.33
	H'x104	H'0020	ON(× 12)	12 : 4 : 4 : 2	10 ~ 16.67	120 ~ 200	40 ~ 66.66	40 ~ 66.66	20 ~ 33.33
	H'x106	H'0000	ON(× 12)	12 : 12 : 4 : 1	10 ~ 16.67	120 ~ 200	120 ~ 200	40 ~ 66.66	10 ~ 16.67
	H'x106	H'0020	ON(× 12)	12 : 4 : 4 : 1	10 ~ 16.67	120 ~ 200	40 ~ 66.66	40 ~ 66.66	10 ~ 16.67
	H'x124	H'0000	ON(× 12)	4 : 12 : 4 : 2	10 ~ 16.67	40 ~ 66.66	120 ~ 200	40 ~ 66.66	20 ~ 33.33
	H'x124	H'0020	ON(× 12)	4 : 4 : 4 : 2	10 ~ 16.67	40 ~ 66.66	40 ~ 66.66	40 ~ 66.66	20 ~ 33.33
	H'x126	H'0000	ON(× 12)	4 : 12 : 4 : 1	10 ~ 16.67	40 ~ 66.66	120 ~ 200	40 ~ 66.66	10 ~ 16.67
	H'x126	H'0020	ON(× 12)	4 : 4 : 4 : 1	10 ~ 16.67	40 ~ 66.66	40 ~ 66.66	40 ~ 66.66	10 ~ 16.67
	H'x205	H'0000	ON(× 16)	16 : 16 : 4 : 2	10 ~ 12.5	160 ~ 200	160 ~ 200	40 ~ 50	20 ~ 25
	H'x205	H'0010	ON(× 16)	16 : 8 : 4 : 2	10 ~ 12.5	160 ~ 200	80 ~ 100	40 ~ 50	20 ~ 25
	H'x206	H'0000	ON(× 16)	16 : 16 : 4 : 4/3	10 ~ 12.5	160 ~ 200	160 ~ 200	40 ~ 50	13.33 ~ 16.67
	H'x206	H'0010	ON(× 16)	16 : 8 : 4 : 4/3	10 ~ 12.5	160 ~ 200	80 ~ 100	40 ~ 50	13.33 ~ 16.67
	H'x215	H'0000	ON(× 16)	8 : 16 : 4 : 2	10 ~ 12.5	40 ~ 50	160 ~ 200	40 ~ 50	20 ~ 25
	H'x215	H'0010	ON(× 16)	8 : 8 : 4 : 2	10 ~ 12.5	40 ~ 50	80 ~ 100	40 ~ 50	20 ~ 25
	H'x216	H'0000	ON(× 16)	8 : 16 : 4 : 4/3	10 ~ 12.5	40 ~ 50	160 ~ 200	40 ~ 50	13.33 ~ 16.67
	H'x216	H'0010	ON(× 16)	8 : 8 : 4 : 4/3	10 ~ 12.5	40 ~ 50	80 ~ 100	40 ~ 50	13.33 ~ 16.67
1	H'x104	H'0000	ON(× 12)	6 : 6 : 2 : 1	20 ~ 33.33	120 ~ 200.0	120 ~ 200.0	40 ~ 66.66	20 ~ 33.33
	H'x104	H'0020	ON(× 12)	6 : 2 : 2 : 1	20 ~ 33.33	120 ~ 200.0	40 ~ 66.66	40 ~ 66.66	20 ~ 33.33
	H'x106	H'0000	ON(× 12)	6 : 6 : 2 : 1/2	20 ~ 33.33	120 ~ 200.0	120 ~ 200.0	40 ~ 66.66	10 ~ 16.67
	H'x106	H'0020	ON(× 12)	6 : 2 : 2 : 1/2	20 ~ 33.33	120 ~ 200.0	40 ~ 66.66	40 ~ 66.66	10 ~ 16.67
	H'x124	H'0000	ON(× 12)	2 : 6 : 2 : 1	20 ~ 33.33	40 ~ 66.66	120 ~ 200.0	40 ~ 66.66	20 ~ 33.33
	H'x124	H'0020	ON(× 12)	2 : 2 : 2 : 1	20 ~ 33.33	40 ~ 66.66	40 ~ 66.66	40 ~ 66.66	20 ~ 33.33
	H'x126	H'0000	ON(× 12)	2 : 6 : 2 : 1/2	20 ~ 33.33	40 ~ 66.66	120 ~ 200.0	40 ~ 66.66	10 ~ 16.67
	H'x126	H'0020	ON(× 12)	2 : 2 : 2 : 1/2	20 ~ 33.33	40 ~ 66.66	40 ~ 66.66	40 ~ 66.66	10 ~ 16.67
	H'x205	H'0000	ON(× 16)	8 : 8 : 2 : 1	20 ~ 25	160 ~ 200	160 ~ 200	40 ~ 50	20 ~ 25
	H'x205	H'0010	ON(× 16)	8 : 4 : 2 : 1	20 ~ 25	160 ~ 200	80 ~ 100	40 ~ 50	20 ~ 25
	H'x206	H'0000	ON(× 16)	8 : 8 : 2 : 2/3	20 ~ 25	160 ~ 200	160 ~ 200	40 ~ 50	13.33 ~ 16.67
	H'x206	H'0010	ON(× 16)	8 : 4 : 2 : 2/3	20 ~ 25	160 ~ 200	80 ~ 100	40 ~ 50	13.33 ~ 16.67
	H'x215	H'0000	ON(× 16)	4 : 8 : 2 : 1	20 ~ 25	80 ~ 100	160 ~ 200	40 ~ 50	20 ~ 25
	H'x215	H'0010	ON(× 16)	4 : 4 : 2 : 1	20 ~ 25	80 ~ 100	80 ~ 100	40 ~ 50	20 ~ 25
	H'x216	H'0000	ON(× 16)	4 : 8 : 2 : 2/3	20 ~ 25	80 ~ 100	160 ~ 200	40 ~ 50	13.33 ~ 16.67
	H'x216	H'0010	ON(× 16)	4 : 4 : 2 : 2/3	20 ~ 25	80 ~ 100	80 ~ 100	40 ~ 50	13.33 ~ 16.67

クロック 動作 モード	FRQCR0 レジスタ 設定値 *1	FRQCR1 レジスタ 設定値	PLL 通倍率 PLL 回路	内部 クロック比 ($I_0 : I_1 : B : P$) *2	設定可能な周波数範囲 (MHz)				
					入力クロック *3	CPU0 クロック (I_0)	CPU1 クロック (I_1)	バスクロック ($B = CKIO$ 端子)	周辺クロック (P)
2	H'x104	H'0000	ON(× 12)	3 : 3 : 1 : 1/2	40 ~ 66.66	120 ~ 200.0	120 ~ 200.0	40 ~ 66.66	20 ~ 33.33
	H'x104	H'0020	ON(× 12)	3 : 1 : 1 : 1/2	40 ~ 66.66	120 ~ 200.0	40 ~ 66.66	40 ~ 66.66	20 ~ 33.33
	H'x106	H'0000	ON(× 12)	3 : 3 : 1 : 1/4	40 ~ 66.66	120 ~ 200.0	120 ~ 200.0	40 ~ 66.66	10 ~ 16.67
	H'x106	H'0020	ON(× 12)	3 : 1 : 1 : 1/4	40 ~ 66.66	120 ~ 200.0	40 ~ 66.66	40 ~ 66.66	10 ~ 16.67
	H'x124	H'0000	ON(× 12)	1 : 3 : 1 : 1/2	40 ~ 66.66	40 ~ 66.66	120 ~ 200.0	40 ~ 66.66	20 ~ 33.33
	H'x124	H'0020	ON(× 12)	1 : 1 : 1 : 1/2	40 ~ 66.66	40 ~ 66.66	40 ~ 66.66	40 ~ 66.66	20 ~ 33.33
	H'x126	H'0000	ON(× 12)	1 : 3 : 1 : 1/4	40 ~ 66.66	40 ~ 66.66	120 ~ 200.0	40 ~ 66.66	10 ~ 16.67
	H'x126	H'0020	ON(× 12)	1 : 1 : 1 : 1/4	40 ~ 66.66	40 ~ 66.66	40 ~ 66.66	40 ~ 66.66	10 ~ 16.67
	H'x205	H'0000	ON(× 16)	4 : 4 : 1 : 1/2	40 ~ 50	160 ~ 200	160 ~ 200	40 ~ 50	20 ~ 25
	H'x205	H'0010	ON(× 16)	4 : 2 : 1 : 1/2	40 ~ 50	160 ~ 200	80 ~ 100	40 ~ 50	20 ~ 25
	H'x206	H'0000	ON(× 16)	4 : 4 : 1 : 1/4	40 ~ 50	160 ~ 200	160 ~ 200	40 ~ 50	13.33 ~ 16.67
	H'x206	H'0010	ON(× 16)	4 : 2 : 1 : 1/4	40 ~ 50	160 ~ 200	80 ~ 100	40 ~ 50	13.33 ~ 16.67
	H'x215	H'0000	ON(× 16)	2 : 4 : 1 : 1/2	40 ~ 50	80 ~ 100	160 ~ 200	40 ~ 50	20 ~ 25
	H'x215	H'0010	ON(× 16)	2 : 2 : 1 : 1/2	40 ~ 50	80 ~ 100	80 ~ 100	40 ~ 50	20 ~ 25
	H'x216	H'0000	ON(× 16)	2 : 4 : 1 : 1/4	40 ~ 50	80 ~ 100	160 ~ 200	40 ~ 50	13.33 ~ 16.67
	H'x216	H'0010	ON(× 16)	2 : 2 : 1 : 1/4	40 ~ 50	80 ~ 100	80 ~ 100	40 ~ 50	13.33 ~ 16.67
3	H'x104	H'0000	ON(× 12)	3 : 3 : 1 : 1/2	48	144	144	48	24
	H'x104	H'0020	ON(× 12)	3 : 1 : 1 : 1/2	48	144	48	48	24
	H'x106	H'0000	ON(× 12)	3 : 3 : 1 : 1/4	48	144	144	48	12
	H'x106	H'0020	ON(× 12)	3 : 1 : 1 : 1/4	48	144	48	48	12
	H'x124	H'0000	ON(× 12)	1 : 3 : 1 : 1/2	48	48	144	48	24
	H'x124	H'0020	ON(× 12)	1 : 1 : 1 : 1/2	48	48	48	48	24
	H'x126	H'0000	ON(× 12)	1 : 3 : 1 : 1/4	48	48	144	48	12
	H'x126	H'0020	ON(× 12)	1 : 1 : 1 : 1/4	48	48	48	48	12
	H'x205	H'0000	ON(× 16)	4 : 4 : 1 : 1/2	48	192	192	48	24
	H'x205	H'0010	ON(× 16)	4 : 2 : 1 : 1/2	48	192	96	48	24
	H'x206	H'0000	ON(× 16)	4 : 4 : 1 : 1/4	48	192	192	48	12
	H'x206	H'0010	ON(× 16)	4 : 2 : 1 : 1/4	48	192	96	48	12
	H'x215	H'0000	ON(× 16)	2 : 4 : 1 : 1/2	48	96	192	48	24
	H'x215	H'0010	ON(× 16)	2 : 2 : 1 : 1/2	48	96	96	48	24
	H'x216	H'0000	ON(× 16)	2 : 4 : 1 : 1/4	48	96	192	48	12
	H'x216	H'0010	ON(× 16)	2 : 2 : 1 : 1/4	48	96	96	48	12

【注】 *1 FRQCR0 レジスタ設定値の x は、ビット 12、13、14 の設定値によります。

*2 入力クロック周波数を 1 としたときのクロック比です。

- *3 モード 0、1 のとき、EXTAL 端子からのクロック入力または水晶発振子の周波数です。
モード 2 のとき、CKIO 端子からのクロック入力周波数です。
モード 3 のとき、USB_X1 端子からのクロック入力または、水晶発振子の周波数です。

【注意事項】

表 5.3 以外の周波数設定で本 LSI を使用しないでください。

5.4 レジスタの説明

クロックパルス発振器には以下のレジスタがあります。

表 5.4 レジスタ構成

レジスタ名	略称	R/W	初期値		アドレス	アクセス サイズ
			クロックモード 0、1、2	クロックモード3		
周波数制御レジスタ	FRQCR0	R/W	H'0124	H'0215	H'FFFE0010	16
	FRQCR1	R/W	H'0020	H'0010	H'FFFE0012	16

5.4.1 周波数制御レジスタ 0、1 (FRQCR0、FRQCR1)

(1) FRQCR0

FRQCR0 は、読み出し/書き込み可能な 16 ビットのレジスタで、通常時、PLL 回路の通倍率変更時、ソフトウェアスタンバイモード時、およびスタンバイ解除時の CKIO 端子からクロック出力の有無、PLL 回路の周波数通倍率、CPU0 クロック (I_0)、および周辺クロック (P) の周波数分周率の指定ができます。FRQCR0 レジスタを変更するときは、CPU0 からのみとしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	CKO EN2	CKOEN[1:0]	-	-	STC[1:0]	-	-	IFC[1:0]	-	PFC[2:0]					
初期値:	0	0	0	0	0	0	0/1*	0/1*	0	0	0/1*	0/1*	0	1	0	0/1*
R/W:	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	CKOEN2	0	R/W	クロック出力イネーブル2 CKOEN2 は、PLL 回路の周波数通倍率変更時に CKIO 端子からクロックを出力するか CKIO 端子をローレベル固定するかを指定します。 1 を設定した場合は、PLL 回路の周波数通倍率変更時の間、CKIO 端子がローレベルに固定されます。これにより PLL 回路の周波数通倍率変更時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。クロック動作モード 2 のときは、このビットの値によらず CKIO 端子が入力になります。 0: 不安定なクロックを出力 1: ローレベル出力

ビット	ビット名	初期値	R/W	説明
13, 12	CKOEN[1:0]	00	R/W	<p>クロック出力イネーブル</p> <p>CKOEN[1:0]は、通常時、スタンバイモード時、およびスタンバイ解除時に CKIO 端子からクロックを出力するか、CKIO 端子をレベル固定するか、ハイインピーダンス状態 (Hi-Z) にするかを指定します。</p> <p>01 を設定した場合は、スタンバイモード時およびスタンバイ解除時の間、CKIO 端子がローレベルに固定されます。これにより、スタンバイ解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。クロック動作モード 2 のときは、このビットの値によらず CKIO 端子が入力になります。ディープスタンバイモード時は、通常時の状態が保持されます。</p> <p>表 5.5 に CKOEN[1:0]ビットの設定内容を示します。</p>
11, 10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9, 8	STC[1:0]	01/10*	R/W	<p>PLL 回路の周波数通倍率</p> <ul style="list-style-type: none"> • クロックモード 0、1、2 のとき <ul style="list-style-type: none"> 00 : 予約 (設定禁止) 01 : ×12 倍 (初期値) 10 : ×16 倍 11 : 予約 (設定禁止) • クロックモード 3 のとき <ul style="list-style-type: none"> 00 : 予約 (設定禁止) 01 : ×12 倍 10 : ×16 倍 (初期値) 11 : 予約 (設定禁止)
7, 6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
5、4	IFC[1:0]	10/01*	R/W	<p>CPU0 クロック周波数の分周率 (I_0)</p> <p>PLL 回路の出力周波数に対する CPU0 クロック周波数の分周率を指定します。</p> <ul style="list-style-type: none"> • クロックモード 0、1、2 のとき <ul style="list-style-type: none"> 00 : ×1 倍 01 : ×1/2 倍 10 : ×1/3 倍 (初期値) 11 : 予約 (設定禁止) • クロックモード 3 のとき <ul style="list-style-type: none"> 00 : ×1 倍 01 : ×1/2 倍 (初期値) 10 : ×1/3 倍 11 : 予約 (設定禁止)
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	PFC[2:0]	100 /101*	R/W	<p>周辺クロック周波数の分周率 (P)</p> <p>PLL 回路の出力周波数に対する周辺クロック周波数の分周率を指定します。</p> <ul style="list-style-type: none"> • クロックモード 0、1、2 のとき <ul style="list-style-type: none"> 000 : 予約 (設定禁止) 001 : 予約 (設定禁止) 010 : 予約 (設定禁止) 011 : 予約 (設定禁止) 100 : ×1/6 倍 (初期値) 101 : ×1/8 倍 110 : ×1/12 倍 • クロックモード 3 のとき <ul style="list-style-type: none"> 000 : 予約 (設定禁止) 001 : 予約 (設定禁止) 010 : 予約 (設定禁止) 011 : 予約 (設定禁止) 100 : ×1/6 倍 101 : ×1/8 倍 (初期値) 110 : ×1/12 倍

【注】 * クロックモードによって初期値が変わります。

表 5.5 CKOEN[1:0]ビットの設定内容

設定値	通常時	ソフトウェアスタンバイモード時	ディープスタンバイモード時
00	出力	出力オフ (Hi-Z)	ローレベル出力またはハイレベル出力
01	出力	ローレベル出力	ローレベル出力またはハイレベル出力
10	出力	出力 (不安定なクロック出力)	ローレベル出力またはハイレベル出力
11	出力オフ (Hi-Z)	出力オフ (Hi-Z)	出力オフ (Hi-Z)

(2) FRQCR1

FRQCR1 は、読み出し / 書き込み可能な 16 ビットのレジスタで、CPU1 クロック (f_1) の周波数分周率の指定ができます。FRQCR1 を変更するときは、CPU1 からのみとしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	IFC[1:0]	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0/1*	0/1*	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	IFC[1:0]	10/01*	R/W	CPU1 クロック周波数の分周率 (f_1) PLL 回路の出力周波数に対する CPU1 クロック周波数の分周率を指定します。 <ul style="list-style-type: none"> クロックモード 0、1、2 のとき <ul style="list-style-type: none"> 00: ×1 倍 01: ×1/2 倍 10: ×1/3 倍 (初期値) 11: 予約 (設定禁止) クロックモード 3 のとき <ul style="list-style-type: none"> 00: ×1 倍 01: ×1/2 倍 (初期値) 10: ×1/3 倍 11: 予約 (設定禁止)
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * クロックモードによって初期値が変わります。

5.5 周波数変更方法

CPU0 クロック (I_0)、CPU1 クロック (I_1) および周辺クロック (P) の周波数を変更するには、PLL 回路の通倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタ 0、1 (FRQCR0、FRQCR1) によってソフトウェアで制御します。以下にこれらの方法について示します。

なお、通倍率および分周率変更の際には、表 5.3 の条件を満たすように各レジスタの値を変更してください。条件が満たされない場合の動作は保証しません。

5.5.1 通倍率の変更

PLL 回路の通倍率を変更する場合は、発振安定時間が必要になります。内蔵 WDT0 により安定時間のカウントを行います。発振安定時間は、ソフトウェアスタンバイモード解除時と同じになります。

通倍率の変更は、必ず FRQCR1 の IFC[1:0] を B'00 に設定、CPU1 に割り込みが入らないように設定後、CPU1 から SLEEP 命令を実行して、シングルプロセッサ 0 モード (CPU1 がスリープ状態) であることを確認して (詳細は「第 33 章 低消費電力モード」を参照してください) から、CPU0 より以下の手順を実行してください。

1. 初期状態では、PLL 回路の通倍率はクロックモード 0、1、2 では 12 倍、クロックモード 3 では 16 倍になっています。
2. CPU0 用の WDT0 に、指定された発振安定時間になるように値をセットし、WDT0 を停止します。次の設定が必要です。

WTCSR0.TME = 0 : WDT の停止

WTCSR0.CKS[2:0] : WDT カウントクロックの分周率

WTCNT0 : カウンタの初期値

(WDT0 のカウントアップは、設定後のクロックでカウントアップされます)

3. FRQCR0 の STC[1:0] を目的とする値に設定します。同時に、FRQCR0 の IFC[1:0]、PFC[2:0] に分周率を設定することも可能です。
4. 本 LSI 内部は、一時的に停止し、WDT0 のカウントアップを開始します。WDT0 にのみクロックが供給されそれ以外の内部クロックが停止します。CKIO 端子にはクロックが出力され続けます。または、FRQCR0 の CKOEN2 の設定によりローレベル出力を選択することもできます。
本状態は、ソフトウェアスタンバイモード状態と同じであり、モジュールによってはレジスタの初期化が行われます。詳細は「35.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。
5. WDT0 のカウントオーバーフローで設定されたクロックが供給され始め、本 LSI の CPU0 は動作を再開します。WDT0 はオーバーフロー後に停止します。このとき、WRCR0 の WOVF はセットされません。カウンタ (WTCNT0) は H'00 の値で停止します。
6. 周波数変更命令後、WTCNT0 を書き換える場合には、WTCNT0 を読み出して H'00 になっていることを確認してから書き換えてください。

7. 周波数変更命令後CPU1は、スリープ状態を維持しているのが割り込み等で解除してからCPU1を使用してください。

図 5.2 にクロックモード 0 で PLL 回路の通倍率を 12 倍から 16 倍に変更する手順例を示します。

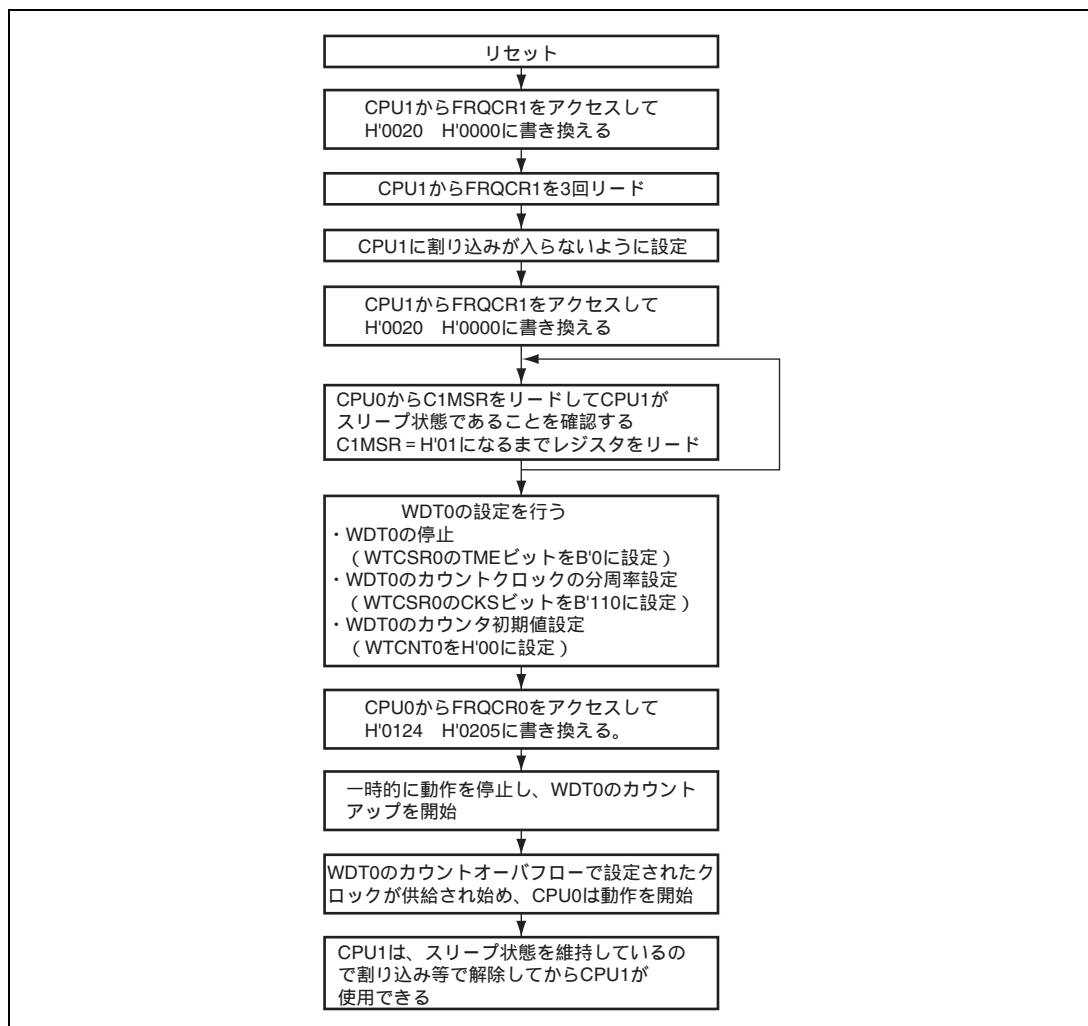


図 5.2 PLL 回路の通倍率を 12 倍から 16 倍に変更する手順例

5.5.2 分周率の変更

分周率変更のみで同時に通信率の変更を行わない場合は、WDT0によるカウントは行いません。ただし、周辺クロックの分周率変更を行う場合には、CPU1に割り込みが入らないように設定後CPU1をスリープ状態に移行してCPU0から行ってください。CPU1クロックのみ分周率変更の場合はCPU1をスリープ状態に移行する必要はありません。

- CPU0からCPU0クロックを変更する場合

1. 初期状態は、クロックモードによって異なります。表5.4を参照してください。
2. FRQCR0のIFC[1:0]、PFC[2:0]ビットを目的とする値に設定します。クロックモードやPLL回路の通信率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. レジスタの各ビット (FRQCR0のIFC[1:0]、PFC[2:0]) が設定されると、設定されたクロックに切り替わります。

- CPU1からCPU1クロックを変更する場合

1. 初期状態は、クロックモードによって異なります。表5.4を参照してください。
2. FRQCR1のIFC[1:0]ビットを目的とする値に設定します。クロックモードやPLL回路の通信率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. レジスタのビット (FRQCR1のIFC[1:0]) が設定されると、設定されたクロックに切り替わります。

【注】 周波数変更後 SLEEP 命令を実行する場合、周波数制御レジスタ 0 (FRQCR0) または周波数制御レジスタ 1 (FRQCR1) を 3 回リードしてから SLEEP 命令を実行してください。

5.5.3 通信率・分周率変更時の注意事項

1. CPU1クロックの分周率を変更する場合、CPU1がスリープ状態中にFRQCR1.IFC[1:0]の変更を行っても反映されません。誤動作を防止するため、CPU1からのみFRQCR1レジスタの変更を行うようにしてください。
2. DMACが転送中に、周波数制御レジスタ0、1 (FRQCR0、FRQCR1) により通信率または分周率を変更すると、DMA転送の終了を待たずに周波数変更を行うため、DMA転送が保証されません。したがって、周波数制御レジスタ0、1 (FRQCR0、FRQCR1) により通信率または分周率を変更するときは、DMA転送の終了を待つか、もしくはDMA転送を停止してから周波数制御レジスタ0、1 (FRQCR0、FRQCR1) の変更を行ってください。

5.6 クロック端子の使用方法

本 LSI には、水晶発振子を接続またはクロック入力可能な端子として、表 5.6 に示す端子があります。

これらの端子に関して、以下のことに注意してください。なお、本文中の Xin 端子と Xout 端子は表 5.6 の端子を示します。

表 5.6 クロック端子

Xin 端子 (水晶発振子を接続または外部クロック入力端子として使用する)	Xout 端子 (水晶発振子を接続する)
EXTAL	XTAL
USB_X1	USB_X2
AUDIO_X1	AUDIO_X2
RTC_X1	RTC_X2

5.6.1 外部クロック入力時

外部クロック入力の接続例を図 5.3 に示します。Xout 端子を開放状態にする場合、寄生容量は 10pF 以下にしてください。

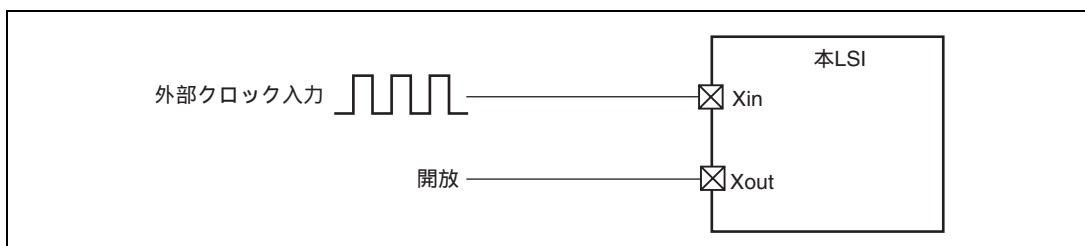


図 5.3 外部クロックの接続例

5.6.2 水晶発振子使用時

水晶発振子の接続例を図 5.4 に示します。

水晶発振子と容量 CL1、CL2 は、できるだけ X_{in} 端子と X_{out} 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、水晶発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

水晶発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する水晶発振子の接続例を参考に、ユーザ側での十分な評価を実施して使用してください。水晶発振子の回路定格は、水晶発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカーと十分ご相談の上決定してください。クロック端子に印加される電圧が最大定格を超えないようにしてください。帰還抵抗を内蔵しておりますが、水晶発振子の特性によっては外付け帰還抵抗が必要になる場合があります。ユーザ側で十分な評価を実施して、パラメータ（抵抗、容量値）を設定してください。

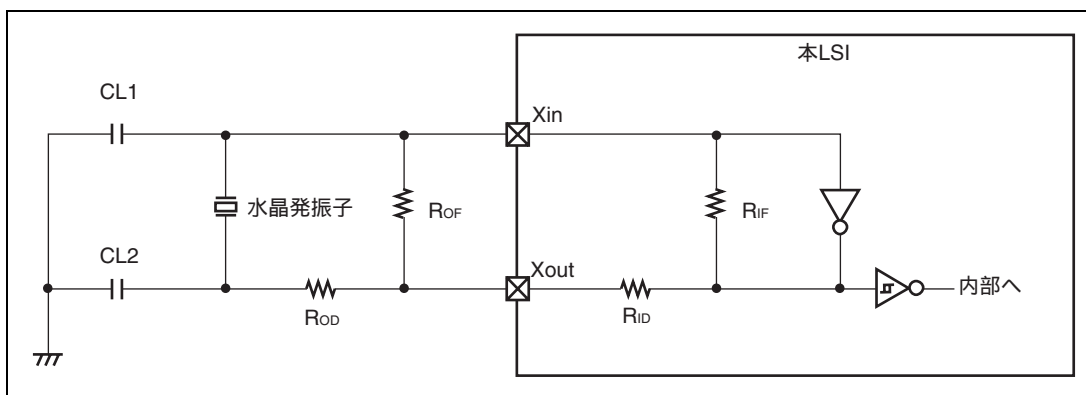


図 5.4 水晶発振子の接続例

5.6.3 未使用時

未使用時は、X_{in} 端子は固定（プルアップ / プルダウン / 電源接続 / グランド接続）、X_{out} 端子は開放にしてください。

5.7 発振安定時間

5.7.1 内蔵水晶発振器の発振安定時間

内蔵水晶発振器の発振安定時間確保のため、水晶発振器使用時は以下の場合には発振安定時間以上待つようにしてください (外部クロック入力時は必要ありません)。

- 電源投入時
- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子で解除するとき
- パワーオンリセットまたはレジスタ設定により、発振停止から発振動作へ変化するとき (AUDIO_X1、RTC_X1)

5.7.2 PLL 回路の発振安定時間

クロックモード 0、1 では EXTAL からの入力が、クロックモード 2 では CKIO からの入力が、クロックモード 3 では USB_X1 からの入力が、PLL に供給されます。このため、EXTAL (クロックモード 0、1) または USB_X1 (クロックモード 3) に水晶発振器を使用するか外部クロック入力するかにかかわらず、PLL 回路の発振安定時間確保のため、以下の場合には発振安定時間以上待つようにしてください。

- 電源投入時 (水晶発振器使用時) / 外部クロック入力開始時 (外部クロック入力時)
- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子で解除するとき
- $\overline{\text{RES}}$ 端子によるパワーオンリセットでPLL通倍率が変化するとき

【備考】

以下の場合には本 LSI 内部のカウンタが動作することで発振安定時間が確保されます。

- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子以外で解除するとき

5.8 ボード設計上の注意事項

5.8.1 PLL 発振回路使用時の注意

PLL 用 PLLVcc と PLLVss の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と Vcc、PVcc のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

PLLVcc は Vcc と同電位にしてください。

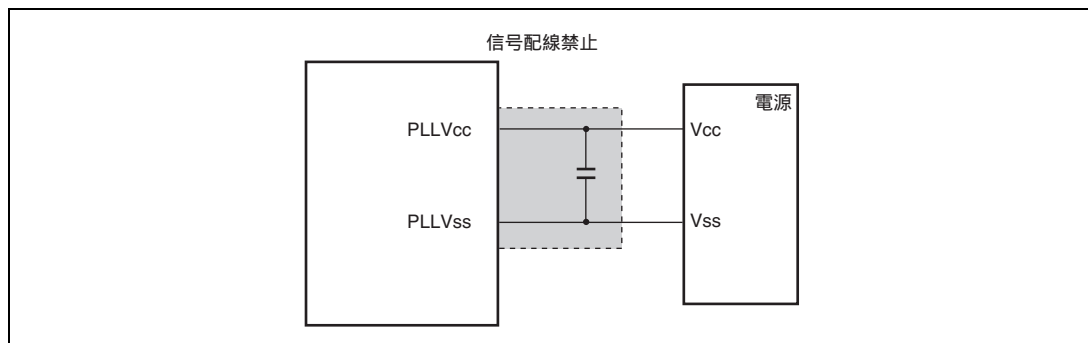


図 5.5 PLL 発振回路使用時の注意

6.1.2 例外処理の動作

各例外要因は表 6.2 に示すタイミングで検出され、処理が開始されます。

表 6.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化、H-UDI リセットアサートコマンドをセットした後に H-UDI リセットネゲートコマンドのセット、または WDT のオーバフローで開始されます。
	マニュアルリセット	MRES 端子のローレベルからハイレベルへの変化または WDT のオーバフローで開始されます。
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始されます。
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとするを開始されます。
	バンクオーバフロー	割り込みコントローラでレジスタバンクオーバフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット=1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていたときに開始されます。
スリープエラー		スタンバイコントロールレジスタ 1 (STBCR1) のスリープエラーイネーブルビット (SLPERE) が 1 のとき、CPU0 にて SLEEP 命令の実行により開始されます。STBCR1 については「第 33 章 低消費電力モード」を参照してください。
命令	トラップ命令	TRAPA 命令の実行により開始されます。
	一般不当命令	遅延分岐命令直後 (遅延スロット) 以外にある未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む) がデコードされると開始されます。
	スロット不当命令	遅延分岐命令直後 (遅延スロット) に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令がデコードされると開始されます。
	整数除算例外	ゼロによる除算例外、または負の最大値 (H'80000000) を -1 で除算することによるオーバフロー例外が検出されると開始されます。
	FPU 例外	浮動小数点演算命令の無効演算例外 (IEEE754 規定)、ゼロによる除算例外、オーバフロー、アンダフロー、または不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN もしくは ± を浮動小数点演算命令のソースに入力すると開始されます。

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「6.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を HF (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラ (INTC) の IBNR の BN ビットを 0 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、スリープエラー、レジスタバンクエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。NMI および UBC 以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される割り込み例外処理のベクタテーブルアドレスオフセットを、レジスタバンクに退避します。アドレスエラー、スリープエラー、レジスタバンクエラー、NMI 割り込み、UBC 割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット = 0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されている場合には、レジスタバンクオーバーフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR の I3~I0 ビットに書き込みます。アドレスエラー、スリープエラー、レジスタバンクエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルから開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

6.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルがメモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PCとSPの初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 6.3 に、ベクタテーブルアドレスの算出法を表 6.4 に示します。

表 6.3 例外処理ベクタテーブル

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット	受け付け CPU 選択 ^{*1}	
パワーオンリセット	PC	0	H'00000000 ~ H'00000003	両 CPU
	SP	1	H'00000004 ~ H'00000007	両 CPU
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B	両 CPU
	SP	3	H'0000000C ~ H'0000000F	両 CPU
一般不当命令	4	H'00000010 ~ H'00000013	CPU 個別	
(システム予約)	5	H'00000014 ~ H'00000017	-	
スロット不当命令	6	H'00000018 ~ H'0000001B	CPU 個別	
(システム予約)	7	H'0000001C ~ H'0000001F	-	
	8	H'00000020 ~ H'00000023	-	
CPU アドレスエラー	9	H'00000024 ~ H'00000027	CPU 個別	
(システム予約)	10	H'00000028 ~ H'0000002B	-	
割り込み	NMI	11	H'0000002C ~ H'0000002F	ユーザ選択 A
	ユーザブレイク	12	H'00000030 ~ H'00000033	CPU 個別
FPU 例外	13	H'00000034 ~ H'00000037	CPU 個別	
H-UDI	14	H'00000038 ~ H'0000003B	ユーザ選択 A	
バンクオーバフロー	15	H'0000003C ~ H'0000003F	CPU 個別	
バンクアンダフロー	16	H'00000040 ~ H'00000043	CPU 個別	
整数除算例外 (0 除算)	17	H'00000044 ~ H'00000047	CPU 個別	
整数除算例外 (オーバフロー)	18	H'00000048 ~ H'0000004B	CPU 個別	
スリープエラー	19	H'0000004C ~ H'0000004F	ユーザ選択 A	
(システム予約)	20	H'00000050 ~ H'00000053	-	
プロセッサ間割り込み (CPU0、CPU1)	21	H'00000054 ~ H'00000057	CPU 個別	
	:	:		
	28	H'00000070 ~ H'00000073		

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット	受け付け CPU 選択 ^{*1}
(システム予約)	29 : 31	H'00000074 ~ H'00000077 : H'0000007C ~ H'0000007F	-
トラップ命令 (ユーザベクタ)	32 : 63	H'00000080 ~ H'00000083 : H'000000FC ~ H'000000FF	CPU 個別
外部割り込み (IRQ、PINT)、 内蔵周辺モジュール ^{*2}	64 : 255	H'00000100 ~ H'00000103 : H'000003FC ~ H'000003FF	ユーザ選択 B

【注】 *1 両 CPU : CPU0 と CPU1 の両方にて例外処理が発生することを示します。

CPU 個別 : CPU0 で発生した例外要因なら CPU0 の例外処理が発生し、CPU1 で発生した例外要因なら CPU1 の例外処理が発生することを示します。

ユーザ選択 A : CPU0 のみ、CPU1 のみ、または CPU0/CPU1 の両方に例外処理を行わせることを選択できることを示します。

ユーザ選択 B : CPU0 のみまたは CPU1 のみに例外処理を行わせることを選択できることを示します。

*2 外部割り込み、各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「第 7 章 割り込みコントローラ (INTC)」の表 7.4 を参照してください。

表 6.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 スリープエラー、 レジスタバンクエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 1. ベクタテーブルアドレスオフセット : 表 6.3 を参照

2. ベクタ番号 : 表 6.3 を参照

6.2 リセット

6.2.1 入出力端子

リセット関連の端子構成を表 6.5 に示します。

表 6.5 端子構成

名称	端子名	入出力	機能
パワーオンリセット	$\overline{\text{RES}}$	入力	端子にローレベルを入力することにより、パワーリセット処理へ遷移します。
マニュアルリセット	$\overline{\text{MRES}}$	入力	端子にローレベルを入力することにより、マニュアルリセット処理へ遷移します。

6.2.2 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 6.6 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。また、内蔵周辺モジュールのレジスタは、パワーオンリセットで初期化されますが、マニュアルリセットでは初期化されません。

表 6.6 リセット状態

種類	リセット状態への遷移条件					内部状態			
	$\overline{\text{RES}}$	H-UDI コマンド	$\overline{\text{MRES}}$	WDT0 オーバ フロー	WDT1 オーバ フロー	CPU	CPU 以外の モジュール	高速内蔵 RAM	保持用 内蔵 RAM
パワーオン リセット	ロー	-	-	-	-	初期化	初期化	初期化 or 保持 ^{*2}	初期化
	ハイ	H-UDI リセットアサート コマンドをセット	-	-	-	初期化	初期化	初期化 or 保持 ^{*2}	初期化
	ハイ	H-UDI リセットアサート 以外のコマンドをセット	-	パワーオン	パワーオン	初期化	^{*1}	初期化 or 保持 ^{*2}	初期化
マニュアル リセット	ハイ	H-UDI リセットアサート 以外のコマンドをセット	ロー	-	-	初期化	^{*1}	保持	保持
	ハイ	H-UDI リセットアサート 以外のコマンドをセット	ハイ	マニュアル	マニュアル	初期化	^{*1}	保持	保持

【注】 *1 「35.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

*2 RAME ビットまたは RAMWE ビットを無効にすることにより、データを保持し続けます。

6.2.3 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはソフトウェアスタンバイモード時（クロックが停止している場合）は発振安定時間の間、クロックが動作している場合は最低 20 t_{cyc} の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。パワーオンリセット処理の推奨フローについて、「第 4 章 マルチコアプロセッサ」を参照してください。

(2) H-UDI リセットアサートコマンドによるパワーオンリセット

H-UDI リセットアサートコマンドをセットすると、パワーオンリセット状態になります。H-UDI リセットアサートコマンドは、 $\overline{\text{RES}}$ 端子によるパワーオンリセットと同等です。H-UDI リセットネゲートコマンドをセットすることにより、パワーオンリセット状態が解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。H-UDI リセットアサートコマンドによるパワーオンリセット状態で、H-UDI リセットネゲートコマンドをセットすると、パワーオンリセット例外処理が開始されます。このときの CPU の動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

(3) WDT によるパワーオンリセット

CPU それぞれに WDT を搭載しています。

いずれかのあるいは両方の WDT をウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、設定した WTCNT がオーバーフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号では WDT の WRCSR、CPG の FRQCR は初期化されません。

また、 $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットと WDT のオーバーフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。WDT によりパワーオンリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

6.2.4 マニュアルリセット

(1) $\overline{\text{MRES}}$ 端子によるマニュアルリセット

$\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低 20 t_{eyc} の間 $\overline{\text{MRES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化され、内蔵周辺モジュールのレジスタは初期化されません。マニュアルリセット状態で、 $\overline{\text{MRES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

(2) WDT によるマニュアルリセット

CPU それぞれに WDT を搭載しています。

いずれかのあるいは両方の WDT をウォッチドッグタイマモードでマニュアルリセットが発生する設定にし設定した WDT の WTCNT がオーバーフローすると、マニュアルリセット状態になります。

WDT によりマニュアルリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{MRES}}$ 端子によるマニュアルリセットのときと同様です。

(3) マニュアルリセット時の注意事項

マニュアルリセット発生時、バスサイクルは保持されます。DMAC パースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。マニュアルリセットでは CPU および INTC の IBNR の BN ビットを初期化します。FPU やその他のモジュールは初期化されません。

6.3 アドレスエラー

6.3.1 アドレスエラー発生要因

アドレスエラーは、表 6.7 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 6.7 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		キャッシュのアドレスアレイ空間*、予約エリアの H'F0000000 ~ H'F5FFFFFF 以外から命令をフェッチ	なし (正常)
		キャッシュのアドレスアレイ空間*、予約エリアの H'F0000000 ~ H'F5FFFFFF から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ダブルロングワードデータをダブルロングワード境界からアクセス	なし (正常)
		ダブルロングワードデータをダブルロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)		

【注】 * キャッシュのアドレスアレイ空間および内蔵周辺モジュール空間については、「第 10 章 バスステートコントローラ (BSC)」を参照してください。

6.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し*、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したアドレスエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

【注】 * データ読み出し / 書き込みによるアドレスエラー時。命令フェッチによるアドレスエラー時は、上記動作終了までにアドレスエラーを起こしたバスサイクルが終了しない場合、当該バスサイクル終了まで、CPU は再度アドレスエラー例外処理を開始します。

6.4 レジスタバンクエラー

6.4.1 レジスタバンクエラー発生要因

(1) バンクオーバーフロー

割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていた場合

(2) バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとした場合

6.4.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、バンクオーバーフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行したRESBANK命令の先頭アドレスです。
バンクオーバーフロー時は多重割り込みを防止するために、バンクオーバーフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に書き込みます。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.5 スリープエラー

6.5.1 スリープエラー発生要因

CPU0 のスリープエラー発生通知が設定されており、スタンバイコントロールレジスタ 1 (STBCR1) のスリープエラーイネーブルビット (SLPERE) が 1 のとき、CPU0 にてスリープ命令を発行したことを検出したときに発生します。詳細は「第 33 章 低消費電力モード」を参照してください。

6.5.2 スリープエラー例外処理

スリープエラーが発生すると、スリープエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからスリープエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したスリープエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。
5. スリープエラー例外処理ルーチンの中で、スタンバイコントロールレジスタ 1 (STBCR1) のスリープエラーイネーブルビット (SLPERE) を 0 にクリアしてください。

再び、スリープエラー検出を行う場合には、CPU0 の該当スリープ命令の後でスタンバイコントロールレジスタ 1 のスリープエラーイネーブルビットを 1 に設定してください。

6.6 割り込み

6.6.1 割り込み要因

割り込み例外処理を起動させる要因には、NMI、ユーザブレイク、H-UDI、プロセッサ間割り込み、IRQ、PINT、内蔵周辺モジュールがあります。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第7章 割り込みコントローラ (INTC)」の表 7.4 を参照してください。

6.6.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合 (多重割り込み)、割り込みコントローラ (INTC) によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0~16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込み、および H-UDI の優先レベルは 15 です。プロセッサ間割り込みは要因ごとに優先レベル 15~8 に固定されています。IRQ 割り込み、PINT 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタで自由に設定することができます (表 6.8)。設定できる優先レベルは 0~15 で、優先レベル 16 は設定できません。割り込み優先レベル設定レジスタについては「7.3.1 割り込み優先レベル設定レジスタ 01、02、05~21 (C0IPR01、02、05~21、C1IPR01、02、05~21)」を参照してください。

表 6.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレイク	15	優先レベル固定
H-UDI	15	優先レベル固定
プロセッサ間割り込み	15~8	優先レベル固定
IRQ	0~15	割り込み優先レベル設定レジスタにより設定
PINT		
内蔵周辺モジュール		

6.6.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出し、SR とプログラムカウンタ (PC) をスタックに退避します。NMI、UBC 以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される例外処理のベクタテーブルアドレスオフセットをレジスタバンクに退避します。アドレスエラー、NMI 割り込み、UBC 割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク (0~14) に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット = 0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されている場合には、レジスタバンクオーバーフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR の I3~I0 ビットに書き込みます。ただし、NMI の場合の優先レベルは 16 ですが、I3~I0 ビットに設定される値は HF (レベル 15) です。その後、例外処理ベクタテーブルから取り出した開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「7.6 動作説明」を参照してください。

6.7 命令による例外

6.7.1 命令による例外の種類

例外処理を起動する命令には、表 6.9 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外、FPU 例外があります。

表 6.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N 32 ビット命令：BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値 ÷ (-1)	DIVS
FPU 例外	IEEE754 規格で定義された無効演算例外または、ゼロによる除算例外を引き起こす命令、オーバフロー、アンダフローおよび不正確例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

6.7.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. TRAPA 命令で指定したベクタ番号に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.7.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPUは次のように動作します。

1. 例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.7.4 一般不当命令

遅延分岐命令の直後 (遅延スロット) 以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPUはスロット不当命令例外処理と同じ手順で動作します。ただし、退避するPCの値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

6.7.5 整数除算例外

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバーフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令はDIVUとDIVSです。オーバーフロー例外の要因となる命令はDIVSのみで、負の最大値を-1で除算する場合にのみ発生します。整数除算例外が発生するとCPUは次のように動作します。

1. 発生した整数除算例外に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、例外が発生した整数除算命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.7.6 FPU 例外

浮動小数点ステータスレジスタ (FPSCR) の FPU 例外イネーブルフィールド (Enable) 中の V、Z、O、U、または I ビットがセットされているとき、FPU 例外処理が発生します。これは、浮動小数点演算命令が IEEE754 規格で定義された無効演算例外、ゼロによる除算例外、オーバフロー (可能性のある命令)、アンダフロー (可能性のある命令) および不正確例外 (可能性のある命令) を引き起こしたことを、示します。

FPU 例外処理の発生要因となる浮動小数点演算命令には以下があります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

該当する FPU 例外イネーブルビット (Enable) がセットされているときのみ FPU 例外処理が発生します。FPU が浮動小数点演算による例外要因を検出すると FPU の動作は中断されて CPU に FPU 例外処理の発生を通知します。CPU は例外処理を開始すると次のように動作します。

1. 発生した FPU 例外処理に対応する例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次の命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

FPSCR の例外フラグフィールド (Flag) は、FPU 例外処理が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の FPU 例外要因フィールド (Cause) は浮動小数点演算命令が実行されるごとに変化します。また、FPSCR の FPU 例外イネーブルフィールド (Enable) 中の V ビットがセットされ、かつ FPSCR の QIS ビットがセットされているとき、qNaN もしくは ± を浮動小数点演算命令のソースに入力すると FPU 例外処理が発生します。

6.8 例外処理が受け付けられない場合

アドレスエラー、スリープエラー、FPU 例外、レジスタバンクエラー（オーバフロー）および割り込みは、表 6.10 に示すように、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 6.10 遅延分岐命令の直後の例外要因発生

発生した時点	例外要因				
	アドレスエラー	スリープエラー	FPU 例外	レジスタバンクエラー (オーバフロー)	割り込み
遅延分岐命令*の直後	×	×	×	×	×

【記号説明】 × : 受け付けられない

【注】 * 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAf

6.9 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 6.11 に示すようになります。

表 6.11 例外処理終了後のスタックの状態

種類	スタックの状態		種類	スタックの状態													
アドレス エラー	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)			割り込み	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)		
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
スリープ エラー	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)			FPU 例外	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)		
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
レジスタ バンク エラー (オーバ フロー)	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)			レジスタ バンク エラー (アンダ フロー)	SP →	<table border="1"> <tr><td>当該RESBANK 命令の先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	当該RESBANK 命令の先頭アドレス	(32ビット)	SR	(32ビット)		
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
当該RESBANK 命令の先頭アドレス	(32ビット)																
SR	(32ビット)																
トラップ 命令	SP →	<table border="1"> <tr><td>TRAPA命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	TRAPA命令の 次命令アドレス	(32ビット)	SR	(32ビット)			スロット 不当命令	SP →	<table border="1"> <tr><td>遅延分岐命令の 飛び先アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	遅延分岐命令の 飛び先アドレス	(32ビット)	SR	(32ビット)		
TRAPA命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
遅延分岐命令の 飛び先アドレス	(32ビット)																
SR	(32ビット)																
一般不当 命令	SP →	<table border="1"> <tr><td>一般不当命令の 先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	一般不当命令の 先頭アドレス	(32ビット)	SR	(32ビット)			整数除算 例外	SP →	<table border="1"> <tr><td>当該整数除算 命令の先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	当該整数除算 命令の先頭アドレス	(32ビット)	SR	(32ビット)		
一般不当命令の 先頭アドレス	(32ビット)																
SR	(32ビット)																
当該整数除算 命令の先頭アドレス	(32ビット)																
SR	(32ビット)																

6.10 使用上の注意事項

6.10.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.10.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.10.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けられないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ - 4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6.10.4 割り込みマスクビット変更による割り込み制御

LDC、LDC.L 命令でステータスレジスタ (SR) の割り込みマスクビット (I3~I0) の値を操作して、割り込みを禁止から許可に変更する場合、割り込みを許可する命令に続く 5 命令を実行する間は割り込みを受け付けられない場合があります。

したがって、LDC、LDC.L 命令でステータスレジスタ (SR) の割り込みマスクビット (I3~I0) の値を操作して、割り込みの許可 / 禁止を制御する場合は、割り込みを許可する命令と割り込みを禁止する命令の間に 5 命令以上配置してください。

6.10.5 例外処理実行前の注意事項

例外処理実行前には、あらかじめ例外処理ベクタテーブルをメモリ上に格納し、CPU がそのメモリをアクセス可能にしておく必要があります。そのため、

- 例1: 例外処理ベクタテーブルが外部アドレス空間に格納されているが、その外部アドレス空間をアクセスするためのバスステートコントローラや汎用入出力ポートの設定が完了していない状態
- 例2: 例外処理ベクタテーブルが内蔵RAMに格納されているが、ベクタベースレジスタ (VBR) が内蔵RAMのアドレスに設定変更されていない状態

などの状態で例外処理が発生すると、CPU はプログラムの実行開始アドレスとして意図しない値を取り出し、意図しないアドレスからプログラム実行を開始することになります。

7. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

7.1 特長

- 割り込み優先順位を16レベル設定可能
19本の割り込み優先レベル設定レジスタにより、IRQ割り込み、PINT割り込み、および内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。
- NMIノイズキャンセラ機能
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サーブスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。
- レジスタバンク
本LSIでは、それぞれのCPUコアにレジスタバンクを内蔵しており、割り込み処理に伴うレジスタの退避、復帰を高速に行うことができます。
- プロセッサ間割り込み
プロセッサ間割り込み制御レジスタにより、任意の優先順位 (15~8) のプロセッサ間割り込みを発生させることができます。

図 7.1 に INTC のブロック図を示します。

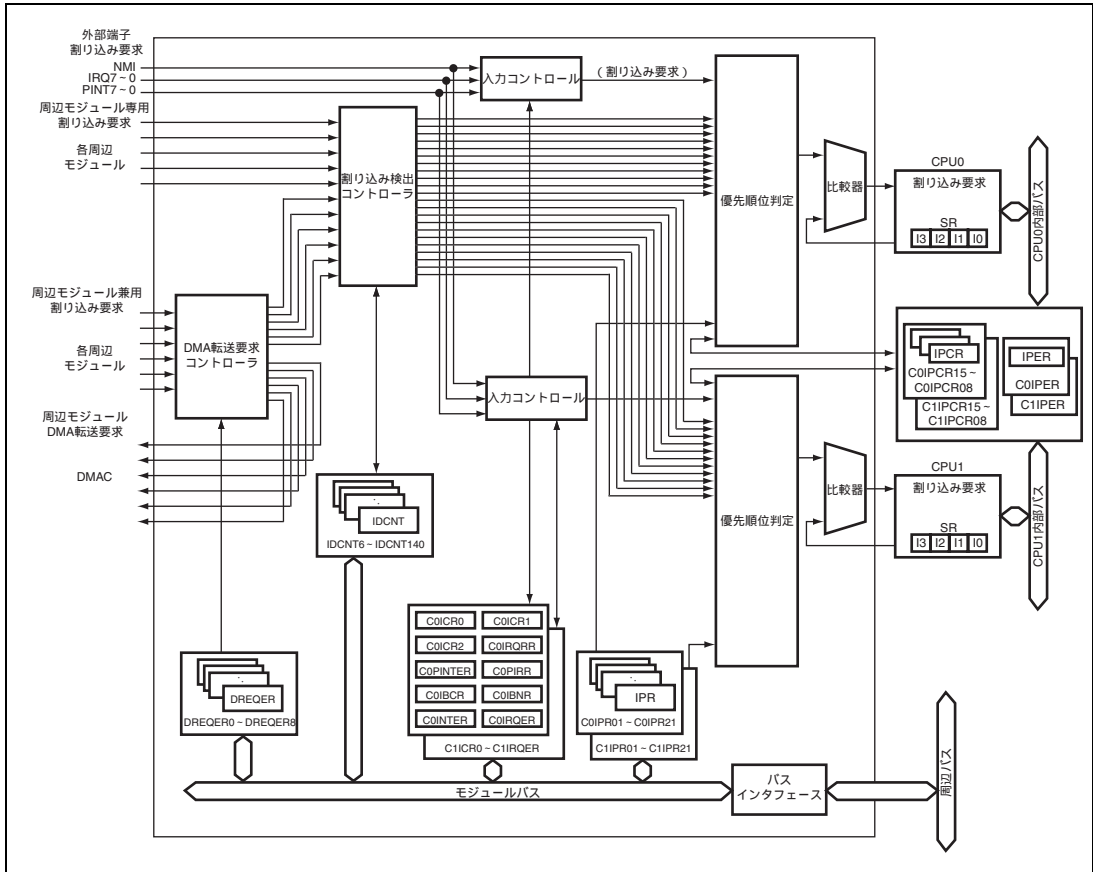


図 7.1 INTC のブロック図

7.2 入出力端子

INTC の端子を表 7.1 に示します。

表 7.1 端子構成

名称	端子名	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ7 ~ IRQ0	入力	マスク可能な割り込み要求信号を入力
	PINT7 ~ PINT0	入力	

7.3 レジスタの説明

INTC には以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。レジスタは設定対象で CPU0 と CPU1、および共有に分類されます。

(1) CPU0 対象レジスタ

表 7.2 CPU0 対象レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みコントロールレジスタ 0	C0ICR0	R/W	*1	H'FFFD9400	16、32
割り込みコントロールレジスタ 1	C0ICR1	R/W	H'0000	H'FFFD9402	16、32
割り込みコントロールレジスタ 2	C0ICR2	R/W	H'0000	H'FFFD9404	16、32
IRQ 割り込み要求レジスタ	C0IRQRR	R(W)*2	H'0000	H'FFFD9406	16、32
PINT 割り込みイネーブルレジスタ	C0PINTER	R/W	H'0000	H'FFFD9408	16、32
PINT 割り込み要求レジスタ	C0PIRR	R	H'0000	H'FFFD940A	16、32
バンクコントロールレジスタ	C0BCR	R/W	H'0000	H'FFFD940C	16、32
バンク番号レジスタ	C0IBNR	R/W	H'0000	H'FFFD940E	16、32
割り込み優先レベル設定レジスタ 01	C0IPR01	R/W	H'0000	H'FFFD9418	16、32
割り込み優先レベル設定レジスタ 02	C0IPR02	R/W	H'0000	H'FFFD941A	16、32
割り込み優先レベル設定レジスタ 05	C0IPR05	R/W	H'0000	H'FFFD9420	16、32
割り込みイネーブル制御レジスタ	C0INTER	R/W	H'E000	H'FFFD9428	16、32
IRQ 割り込みイネーブル制御レジスタ	C0IRQER	R/W	H'FFFF	H'FFFD942A	16、32
プロセッサ間割り込み制御レジスタ 15	C0IPCR15	R/W	H'0000	H'FFFC1C00	16
プロセッサ間割り込み制御レジスタ 14	C0IPCR14	R/W	H'0000	H'FFFC1C02	16
プロセッサ間割り込み制御レジスタ 13	C0IPCR13	R/W	H'0000	H'FFFC1C04	16
プロセッサ間割り込み制御レジスタ 12	C0IPCR12	R/W	H'0000	H'FFFC1C06	16
プロセッサ間割り込み制御レジスタ 11	C0IPCR11	R/W	H'0000	H'FFFC1C08	16
プロセッサ間割り込み制御レジスタ 10	C0IPCR10	R/W	H'0000	H'FFFC1C0A	16

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
プロセッサ間割り込み制御レジスタ 9	C0IPCR09	R/W	H'0000	H'FFFC1C0C	16
プロセッサ間割り込み制御レジスタ 8	C0IPCR08	R/W	H'0000	H'FFFC1C0E	16
プロセッサ間割り込みイネーブル レジスタ	C0IPER	R/W	H'0000	H'FFFC1C10	16
割り込み優先レベル設定レジスタ 06	C0IPR06	R/W	H'0000	H'FFFD9800	16、32
割り込み優先レベル設定レジスタ 07	C0IPR07	R/W	H'0000	H'FFFD9802	16、32
割り込み優先レベル設定レジスタ 08	C0IPR08	R/W	H'0000	H'FFFD9804	16、32
割り込み優先レベル設定レジスタ 09	C0IPR09	R/W	H'0000	H'FFFD9806	16、32
割り込み優先レベル設定レジスタ 10	C0IPR10	R/W	H'0000	H'FFFD9808	16、32
割り込み優先レベル設定レジスタ 11	C0IPR11	R/W	H'0000	H'FFFD980A	16、32
割り込み優先レベル設定レジスタ 12	C0IPR12	R/W	H'0000	H'FFFD980C	16、32
割り込み優先レベル設定レジスタ 13	C0IPR13	R/W	H'0000	H'FFFD980E	16、32
割り込み優先レベル設定レジスタ 14	C0IPR14	R/W	H'0000	H'FFFD9810	16、32
割り込み優先レベル設定レジスタ 15	C0IPR15	R/W	H'0000	H'FFFD9812	16、32
割り込み優先レベル設定レジスタ 16	C0IPR16	R/W	H'0000	H'FFFD9814	16、32
割り込み優先レベル設定レジスタ 17	C0IPR17	R/W	H'0000	H'FFFD9816	16、32
割り込み優先レベル設定レジスタ 18	C0IPR18	R/W	H'0000	H'FFFD9818	16、32
割り込み優先レベル設定レジスタ 19	C0IPR19	R/W	H'0000	H'FFFD981A	16、32
割り込み優先レベル設定レジスタ 20	C0IPR20	R/W	H'0000	H'FFFD981C	16、32
割り込み優先レベル設定レジスタ 21	C0IPR21	R/W	H'0000	H'FFFD981E	16、32

【注】 *1 NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000 です。

*2 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

(2) CPU1 対象レジスタ

表 7.3 CPU1 対象レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みコントロールレジスタ 0	C1ICR0	R/W	* ¹	H'FFFD9500	16、32
割り込みコントロールレジスタ 1	C1ICR1	R/W	H'0000	H'FFFD9502	16、32
割り込みコントロールレジスタ 2	C1ICR2	R/W	H'0000	H'FFFD9504	16、32
IRQ 割り込み要求レジスタ	C1IRQRR	R/(W)* ²	H'0000	H'FFFD9506	16、32
PINT 割り込みイネーブルレジスタ	C1PINTER	R/W	H'0000	H'FFFD9508	16、32
PINT 割り込み要求レジスタ	C1PIRR	R	H'0000	H'FFFD950A	16、32
バンクコントロールレジスタ	C1IBCR	R/W	H'0000	H'FFFD950C	16、32
バンク番号レジスタ	C1IBNR	R/W	H'0000	H'FFFD950E	16、32
割り込み優先レベル設定レジスタ 01	C1IPR01	R/W	H'0000	H'FFFD9518	16、32
割り込み優先レベル設定レジスタ 02	C1IPR02	R/W	H'0000	H'FFFD951A	16、32
割り込み優先レベル設定レジスタ 05	C1IPR05	R/W	H'0000	H'FFFD9520	16、32
割り込みイネーブル制御レジスタ	C1INTER	R/W	H'0000	H'FFFD9528	16、32
IRQ 割り込みイネーブル制御レジスタ	C1IRQER	R/W	H'0000	H'FFFD952A	16、32
プロセッサ間割り込み制御レジスタ 15	C1IPCR15	R/W	H'0000	H'FFFC1C20	16
プロセッサ間割り込み制御レジスタ 14	C1IPCR14	R/W	H'0000	H'FFFC1C22	16
プロセッサ間割り込み制御レジスタ 13	C1IPCR13	R/W	H'0000	H'FFFC1C24	16
プロセッサ間割り込み制御レジスタ 12	C1IPCR12	R/W	H'0000	H'FFFC1C26	16
プロセッサ間割り込み制御レジスタ 11	C1IPCR11	R/W	H'0000	H'FFFC1C28	16
プロセッサ間割り込み制御レジスタ 10	C1IPCR10	R/W	H'0000	H'FFFC1C2A	16
プロセッサ間割り込み制御レジスタ 9	C1IPCR09	R/W	H'0000	H'FFFC1C2C	16
プロセッサ間割り込み制御レジスタ 8	C1IPCR08	R/W	H'0000	H'FFFC1C2E	16
プロセッサ間割り込みイネーブル レジスタ	C1IPER	R/W	H'0000	H'FFFC1C30	16
割り込み優先レベル設定レジスタ 06	C1IPR06	R/W	H'0000	H'FFFD9900	16、32
割り込み優先レベル設定レジスタ 07	C1IPR07	R/W	H'0000	H'FFFD9902	16、32
割り込み優先レベル設定レジスタ 08	C1IPR08	R/W	H'0000	H'FFFD9904	16、32
割り込み優先レベル設定レジスタ 09	C1IPR09	R/W	H'0000	H'FFFD9906	16、32
割り込み優先レベル設定レジスタ 10	C1IPR10	R/W	H'0000	H'FFFD9908	16、32
割り込み優先レベル設定レジスタ 11	C1IPR11	R/W	H'0000	H'FFFD990A	16、32
割り込み優先レベル設定レジスタ 12	C1IPR12	R/W	H'0000	H'FFFD990C	16、32
割り込み優先レベル設定レジスタ 13	C1IPR13	R/W	H'0000	H'FFFD990E	16、32
割り込み優先レベル設定レジスタ 14	C1IPR14	R/W	H'0000	H'FFFD9910	16、32
割り込み優先レベル設定レジスタ 15	C1IPR15	R/W	H'0000	H'FFFD9912	16、32
割り込み優先レベル設定レジスタ 16	C1IPR16	R/W	H'0000	H'FFFD9914	16、32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先レベル設定レジスタ 17	C1IPR17	R/W	H'0000	H'FFFD9916	16、32
割り込み優先レベル設定レジスタ 18	C1IPR18	R/W	H'0000	H'FFFD9918	16、32
割り込み優先レベル設定レジスタ 19	C1IPR19	R/W	H'0000	H'FFFD991A	16、32
割り込み優先レベル設定レジスタ 20	C1IPR20	R/W	H'0000	H'FFFD991C	16、32
割り込み優先レベル設定レジスタ 21	C1IPR21	R/W	H'0000	H'FFFD991E	16、32

【注】 *1 NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000 です。

*2 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

(3) 共有レジスタ

表 7.4 共有レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み検出制御レジスタ 6	IDCNT6	R/W	H'4100	H'FFFD9C0C	16
割り込み検出制御レジスタ 7	IDCNT7	R/W	H'4100	H'FFFD9C0E	16
割り込み検出制御レジスタ 8	IDCNT8	R/W	H'4100	H'FFFD9C10	16
割り込み検出制御レジスタ 9	IDCNT9	R/W	H'4100	H'FFFD9C12	16
割り込み検出制御レジスタ 10	IDCNT10	R/W	H'4100	H'FFFD9C14	16
割り込み検出制御レジスタ 11	IDCNT11	R/W	H'4100	H'FFFD9C16	16
割り込み検出制御レジスタ 12	IDCNT12	R/W	H'4100	H'FFFD9C18	16
割り込み検出制御レジスタ 13	IDCNT13	R/W	H'4100	H'FFFD9C1A	16
割り込み検出制御レジスタ 14	IDCNT14	R/W	H'4100	H'FFFD9C1C	16
割り込み検出制御レジスタ 15	IDCNT15	R/W	H'4100	H'FFFD9C1E	16
割り込み検出制御レジスタ 16	IDCNT16	R/W	H'4100	H'FFFD9C20	16
割り込み検出制御レジスタ 17	IDCNT17	R/W	H'4100	H'FFFD9C22	16
割り込み検出制御レジスタ 18	IDCNT18	R/W	H'4100	H'FFFD9C24	16
割り込み検出制御レジスタ 19	IDCNT19	R/W	H'4100	H'FFFD9C26	16
割り込み検出制御レジスタ 20	IDCNT20	R/W	H'4100	H'FFFD9C28	16
割り込み検出制御レジスタ 21	IDCNT21	R/W	H'4100	H'FFFD9C2A	16
割り込み検出制御レジスタ 22	IDCNT22	R/W	H'4100	H'FFFD9C2C	16
割り込み検出制御レジスタ 23	IDCNT23	R/W	H'4100	H'FFFD9C2E	16
割り込み検出制御レジスタ 24	IDCNT24	R/W	H'4100	H'FFFD9C30	16
割り込み検出制御レジスタ 25	IDCNT25	R/W	H'4100	H'FFFD9C32	16
割り込み検出制御レジスタ 26	IDCNT26	R/W	H'4100	H'FFFD9C34	16
割り込み検出制御レジスタ 27	IDCNT27	R/W	H'4100	H'FFFD9C36	16
割り込み検出制御レジスタ 28	IDCNT28	R/W	H'4100	H'FFFD9C38	16
割り込み検出制御レジスタ 29	IDCNT29	R/W	H'4100	H'FFFD9C3A	16
割り込み検出制御レジスタ 30	IDCNT30	R/W	H'4100	H'FFFD9C3C	16
割り込み検出制御レジスタ 31	IDCNT31	R/W	H'4100	H'FFFD9C3E	16
割り込み検出制御レジスタ 32	IDCNT32	R/W	H'4100	H'FFFD9C40	16
割り込み検出制御レジスタ 33	IDCNT33	R/W	H'4100	H'FFFD9C42	16
割り込み検出制御レジスタ 34	IDCNT34	R/W	H'4100	H'FFFD9C44	16
割り込み検出制御レジスタ 35	IDCNT35	R/W	H'4100	H'FFFD9C46	16
割り込み検出制御レジスタ 36	IDCNT36	R/W	H'4100	H'FFFD9C48	16
割り込み検出制御レジスタ 37	IDCNT37	R/W	H'4100	H'FFFD9C4A	16
割り込み検出制御レジスタ 38	IDCNT38	R/W	H'4100	H'FFFD9C4C	16

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み検出制御レジスタ 39	IDCNT39	R/W	H'4100	H'FFFD9C4E	16
割り込み検出制御レジスタ 40	IDCNT40	R/W	H'4100	H'FFFD9C50	16
割り込み検出制御レジスタ 41	IDCNT41	R/W	H'4100	H'FFFD9C52	16
割り込み検出制御レジスタ 42	IDCNT42	R/W	H'4100	H'FFFD9C54	16
割り込み検出制御レジスタ 43	IDCNT43	R/W	H'4100	H'FFFD9C56	16
割り込み検出制御レジスタ 44	IDCNT44	R/W	H'4100	H'FFFD9C58	16
割り込み検出制御レジスタ 45	IDCNT45	R/W	H'4100	H'FFFD9C5A	16
割り込み検出制御レジスタ 46	IDCNT46	R/W	H'4100	H'FFFD9C5C	16
割り込み検出制御レジスタ 47	IDCNT47	R/W	H'4100	H'FFFD9C5E	16
割り込み検出制御レジスタ 48	IDCNT48	R/W	H'4100	H'FFFD9C60	16
割り込み検出制御レジスタ 49	IDCNT49	R/W	H'4100	H'FFFD9C62	16
割り込み検出制御レジスタ 50	IDCNT50	R/W	H'4100	H'FFFD9C64	16
割り込み検出制御レジスタ 51	IDCNT51	R/W	H'4100	H'FFFD9C66	16
割り込み検出制御レジスタ 52	IDCNT52	R/W	H'4100	H'FFFD9C68	16
割り込み検出制御レジスタ 53	IDCNT53	R/W	H'4100	H'FFFD9C6A	16
割り込み検出制御レジスタ 54	IDCNT54	R/W	H'4100	H'FFFD9C6C	16
割り込み検出制御レジスタ 55	IDCNT55	R/W	H'4100	H'FFFD9C6E	16
割り込み検出制御レジスタ 56	IDCNT56	R/W	H'4100	H'FFFD9C70	16
割り込み検出制御レジスタ 57	IDCNT57	R/W	H'4100	H'FFFD9C72	16
割り込み検出制御レジスタ 58	IDCNT58	R/W	H'4100	H'FFFD9C74	16
割り込み検出制御レジスタ 59	IDCNT59	R/W	H'4100	H'FFFD9C76	16
割り込み検出制御レジスタ 60	IDCNT60	R/W	H'4100	H'FFFD9C78	16
割り込み検出制御レジスタ 61	IDCNT61	R/W	H'4100	H'FFFD9C7A	16
割り込み検出制御レジスタ 62	IDCNT62	R/W	H'4100	H'FFFD9C7C	16
割り込み検出制御レジスタ 63	IDCNT63	R/W	H'4100	H'FFFD9C7E	16
割り込み検出制御レジスタ 64	IDCNT64	R/W	H'4100	H'FFFD9C80	16
割り込み検出制御レジスタ 65	IDCNT65	R/W	H'4100	H'FFFD9C82	16
割り込み検出制御レジスタ 66	IDCNT66	R/W	H'4100	H'FFFD9C84	16
割り込み検出制御レジスタ 67	IDCNT67	R/W	H'4100	H'FFFD9C86	16
割り込み検出制御レジスタ 68	IDCNT68	R/W	H'4100	H'FFFD9C88	16
割り込み検出制御レジスタ 69	IDCNT69	R/W	H'4100	H'FFFD9C8A	16
割り込み検出制御レジスタ 70	IDCNT70	R/W	H'4100	H'FFFD9C8C	16
割り込み検出制御レジスタ 71	IDCNT71	R/W	H'4100	H'FFFD9C8E	16
割り込み検出制御レジスタ 72	IDCNT72	R/W	H'4100	H'FFFD9C90	16
割り込み検出制御レジスタ 73	IDCNT73	R/W	H'4100	H'FFFD9C92	16

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み検出制御レジスタ 74	IDCNT74	R/W	H'4100	H'FFFD9C94	16
割り込み検出制御レジスタ 75	IDCNT75	R/W	H'4100	H'FFFD9C96	16
割り込み検出制御レジスタ 76	IDCNT76	R/W	H'4100	H'FFFD9C98	16
割り込み検出制御レジスタ 77	IDCNT77	R/W	H'4100	H'FFFD9C9A	16
割り込み検出制御レジスタ 78	IDCNT78	R/W	H'4100	H'FFFD9C9C	16
割り込み検出制御レジスタ 79	IDCNT79	R/W	H'4100	H'FFFD9C9E	16
割り込み検出制御レジスタ 80	IDCNT80	R/W	H'4100	H'FFFD9CA0	16
割り込み検出制御レジスタ 81	IDCNT81	R/W	H'4100	H'FFFD9CA2	16
割り込み検出制御レジスタ 82	IDCNT82	R/W	H'4100	H'FFFD9CA4	16
割り込み検出制御レジスタ 83	IDCNT83	R/W	H'4100	H'FFFD9CA6	16
割り込み検出制御レジスタ 84	IDCNT84	R/W	H'4100	H'FFFD9CA8	16
割り込み検出制御レジスタ 85	IDCNT85	R/W	H'4100	H'FFFD9CAA	16
割り込み検出制御レジスタ 86	IDCNT86	R/W	H'4100	H'FFFD9CAC	16
割り込み検出制御レジスタ 87	IDCNT87	R/W	H'4100	H'FFFD9CAE	16
割り込み検出制御レジスタ 88	IDCNT88	R/W	H'4100	H'FFFD9CB0	16
割り込み検出制御レジスタ 89	IDCNT89	R/W	H'4100	H'FFFD9CB2	16
割り込み検出制御レジスタ 90	IDCNT90	R/W	H'4100	H'FFFD9CB4	16
割り込み検出制御レジスタ 91	IDCNT91	R/W	H'4100	H'FFFD9CB6	16
割り込み検出制御レジスタ 92	IDCNT92	R/W	H'4100	H'FFFD9CB8	16
割り込み検出制御レジスタ 93	IDCNT93	R/W	H'4100	H'FFFD9CBA	16
割り込み検出制御レジスタ 94	IDCNT94	R/W	H'4100	H'FFFD9CBC	16
割り込み検出制御レジスタ 95	IDCNT95	R/W	H'4100	H'FFFD9CBE	16
割り込み検出制御レジスタ 96	IDCNT96	R/W	H'4100	H'FFFD9CC0	16
割り込み検出制御レジスタ 97	IDCNT97	R/W	H'4100	H'FFFD9CC2	16
割り込み検出制御レジスタ 98	IDCNT98	R/W	H'4100	H'FFFD9CC4	16
割り込み検出制御レジスタ 99	IDCNT99	R/W	H'4100	H'FFFD9CC6	16
割り込み検出制御レジスタ 100	IDCNT100	R/W	H'4100	H'FFFD9CC8	16
割り込み検出制御レジスタ 101	IDCNT101	R/W	H'4100	H'FFFD9CCA	16
割り込み検出制御レジスタ 102	IDCNT102	R/W	H'4100	H'FFFD9CCC	16
割り込み検出制御レジスタ 103	IDCNT103	R/W	H'4100	H'FFFD9CCE	16
割り込み検出制御レジスタ 104	IDCNT104	R/W	H'4100	H'FFFD9CD0	16
割り込み検出制御レジスタ 105	IDCNT105	R/W	H'4100	H'FFFD9CD2	16
割り込み検出制御レジスタ 106	IDCNT106	R/W	H'4100	H'FFFD9CD4	16
割り込み検出制御レジスタ 107	IDCNT107	R/W	H'4100	H'FFFD9CD6	16
割り込み検出制御レジスタ 108	IDCNT108	R/W	H'4100	H'FFFD9CD8	16

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み検出制御レジスタ 109	IDCNT109	R/W	H'4100	H'FFFD9CDA	16
割り込み検出制御レジスタ 110	IDCNT110	R/W	H'4100	H'FFFD9CDC	16
割り込み検出制御レジスタ 111	IDCNT111	R/W	H'4100	H'FFFD9CDE	16
割り込み検出制御レジスタ 112	IDCNT112	R/W	H'4100	H'FFFD9CE0	16
割り込み検出制御レジスタ 113	IDCNT113	R/W	H'4100	H'FFFD9CE2	16
割り込み検出制御レジスタ 114	IDCNT114	R/W	H'4100	H'FFFD9CE4	16
割り込み検出制御レジスタ 115	IDCNT115	R/W	H'4100	H'FFFD9CE6	16
割り込み検出制御レジスタ 116	IDCNT116	R/W	H'4100	H'FFFD9CE8	16
割り込み検出制御レジスタ 117	IDCNT117	R/W	H'4100	H'FFFD9CEA	16
割り込み検出制御レジスタ 118	IDCNT118	R/W	H'4100	H'FFFD9CEC	16
割り込み検出制御レジスタ 119	IDCNT119	R/W	H'4100	H'FFFD9CEE	16
割り込み検出制御レジスタ 120	IDCNT120	R/W	H'4100	H'FFFD9CF0	16
割り込み検出制御レジスタ 121	IDCNT121	R/W	H'4100	H'FFFD9CF2	16
割り込み検出制御レジスタ 122	IDCNT122	R/W	H'4100	H'FFFD9CF4	16
割り込み検出制御レジスタ 123	IDCNT123	R/W	H'4100	H'FFFD9CF6	16
割り込み検出制御レジスタ 124	IDCNT124	R/W	H'4100	H'FFFD9CF8	16
割り込み検出制御レジスタ 125	IDCNT125	R/W	H'4100	H'FFFD9CFA	16
割り込み検出制御レジスタ 126	IDCNT126	R/W	H'4100	H'FFFD9CFC	16
割り込み検出制御レジスタ 127	IDCNT127	R/W	H'4100	H'FFFD9CFE	16
割り込み検出制御レジスタ 128	IDCNT128	R/W	H'4100	H'FFFD9D00	16
割り込み検出制御レジスタ 129	IDCNT129	R/W	H'4100	H'FFFD9D02	16
割り込み検出制御レジスタ 130	IDCNT130	R/W	H'4100	H'FFFD9D04	16
割り込み検出制御レジスタ 131	IDCNT131	R/W	H'4100	H'FFFD9D06	16
割り込み検出制御レジスタ 132	IDCNT132	R/W	H'4100	H'FFFD9D08	16
割り込み検出制御レジスタ 133	IDCNT133	R/W	H'4100	H'FFFD9D0A	16
割り込み検出制御レジスタ 134	IDCNT134	R/W	H'4100	H'FFFD9D0C	16
割り込み検出制御レジスタ 135	IDCNT135	R/W	H'4100	H'FFFD9D0E	16
割り込み検出制御レジスタ 136	IDCNT136	R/W	H'4100	H'FFFD9D10	16
割り込み検出制御レジスタ 137	IDCNT137	R/W	H'4100	H'FFFD9D12	16
割り込み検出制御レジスタ 138	IDCNT138	R/W	H'4100	H'FFFD9D14	16
割り込み検出制御レジスタ 139	IDCNT139	R/W	H'4100	H'FFFD9D16	16
割り込み検出制御レジスタ 140	IDCNT140	R/W	H'4100	H'FFFD9D18	16
DMA 転送要求イネーブルレジスタ 0	DREQER0	R/W	H'00	H'FFFE0800	8、16、32
DMA 転送要求イネーブルレジスタ 1	DREQER1	R/W	H'00	H'FFFE0801	8
DMA 転送要求イネーブルレジスタ 2	DREQER2	R/W	H'00	H'FFFE0802	8、16

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
DMA 転送要求イネーブルレジスタ 3	DREQER3	R/W	H'00	H'FFFE0803	8
DMA 転送要求イネーブルレジスタ 4	DREQER4	R/W	H'00	H'FFFE0804	8、16、32
DMA 転送要求イネーブルレジスタ 5	DREQER5	R/W	H'00	H'FFFE0805	8
DMA 転送要求イネーブルレジスタ 6	DREQER6	R/W	H'00	H'FFFE0806	8、16
DMA 転送要求イネーブルレジスタ 7	DREQER7	R/W	H'00	H'FFFE0807	8
DMA 転送要求イネーブルレジスタ 8	DREQER8	R/W	H'00	H'FFFE0808	8

7.3.1 割り込み優先レベル設定レジスタ 01、02、05～21 (COIPR01、02、05～21、C1IPR01、02、05～21)

COIPR01、02、05～21、C1IPR01、02、05～21 は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ、PINT 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0～15) を設定します。割り込み要求元と IPR01、02、05～21 の各ビットの対応を表 7.5 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.5 割り込み要求元と IPR01、02、05～21

レジスタ	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ 01	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ 02	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ 05	PINT0～7	予約	予約	予約
割り込み優先レベル設定レジスタ 06	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ 07	DMAC4	DMAC5	DMAC6	DMAC7
割り込み優先レベル設定レジスタ 08	DMAC8	DMAC9	DMAC10	DMAC11
割り込み優先レベル設定レジスタ 09	DMAC12	DMAC13	DMAC 共有	USB
割り込み優先レベル設定レジスタ 10	CMT0	CMT1	CMT2	CMT3
割り込み優先レベル設定レジスタ 11	WDT0	WDT1	MTU0 (TGI0A～TGI0D)	MTU0 (TCI0V、TGI0E、 TGI0F)
割り込み優先レベル設定レジスタ 12	MTU1 (TGI1A、TGI1B)	MTU1 (TCI1V、TCI1U)	MTU2 (TGI2A、TGI2B)	MTU2 (TCI2V、TCI2U)
割り込み優先レベル設定レジスタ 13	MTU3 (TGI3A～TGI3D)	MTU3 (TCI3V)	MTU4 (TGI4A～TGI4D)	MTU4 (TCI4V)
割り込み優先レベル設定レジスタ 14	SSIF0	SSIF1	SSIF2	SSIF3
割り込み優先レベル設定レジスタ 15	SSIF4	SSIF5	AESOP	予約
割り込み優先レベル設定レジスタ 16	IIC3_0	IIC3_1	IIC3_2	IIC3_3
割り込み優先レベル設定レジスタ 17	SCIF0	SCIF1	SCIF2	SCIF3
割り込み優先レベル設定レジスタ 18	SCIF4	SCIF5	予約	予約
割り込み優先レベル設定レジスタ 19	SSU0	SSU1	ADC	2DG
割り込み優先レベル設定レジスタ 20	ATAPI	FLCTL	RTC	SDHI
割り込み優先レベル設定レジスタ 21	RCAN0	RCAN1	IEB	予約

表 7.5 に示すように、ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。

7.3.2 割り込みコントロールレジスタ 0 (COICR0、C1ICR0)

COICR0、C1ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIS	-	-	-	-	-	-	-	-
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0: NMI 端子にローレベルが入力されている。 1: NMI 端子にハイレベルが入力されている。
14~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	NMIS	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0: NMI 入力の立ち下がりエッジで割り込み要求を検出。 1: NMI 入力の立ち上がりエッジで割り込み要求を検出。 【注】本ビットの設定は、COICR0 と C1ICR0 の両方で同じ値を設定してください。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * NMI 端子がハイレベルのとき 1、ローレベルのとき 0 になります。

7.3.3 割り込みコントロールレジスタ 1 (C0ICR1、C1ICR1)

C0ICR1、C1ICR1 は、外部割り込み入力端子 IRQ7 ~ IRQ0 に対して立ち下がりエッジ、立ち上がりエッジ、両エッジ、ローレベルの検出モードを個別に指定する 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IRQ71S	0	R/W	IRQ センスセレクト IRQ7 ~ IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00 : 割り込み要求を IRQn 入力のローレベルで検出する。 01 : 割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10 : 割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11 : 割り込み要求を IRQn 入力の両エッジで検出する。 【注】 IRQ71S ~ IRQ00S の設定は、C0ICR1 と C1ICR1 の両方で同じ値を設定してください。
14	IRQ70S	0	R/W	
13	IRQ61S	0	R/W	
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】 n = 7 ~ 0

7.3.4 割り込みコントロールレジスタ 2 (C0ICR2、C1ICR2)

C0ICR2、C1ICR2 は、外部割り込み入力端子 PINT7～PINT0 に対してローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7S	0	R/W	PINT センスセレクト PINT7～PINT0 端子に対する割り込み信号をローレベル、ハイレベルのいずれかで検出するかを選択します。 0：割り込み要求を PINTn 入力のローレベルで検出する。 1：割り込み要求を PINTn 入力のハイレベルで検出する。 【注】PINT7S～PINT0S の設定は、C0ICR2 と C1ICR2 の両方で同じ値を設定してください。
6	PINT6S	0	R/W	
5	PINT5S	0	R/W	
4	PINT4S	0	R/W	
3	PINT3S	0	R/W	
2	PINT2S	0	R/W	
1	PINT1S	0	R/W	
0	PINT0S	0	R/W	

【記号説明】 n = 7～0

7.3.5 IRQ 割り込み要求レジスタ (C0IRQRR、C1IRQRR)

C0IRQRR、C1IRQRR は 16 ビットのレジスタで、外部割り込み入力端子 IRQ7 ~ IRQ0 の割り込み要求を示します。IRQ7 ~ 0 割り込みをエッジ検出に設定している場合、IRQ7F ~ IRQ0F = 1 をリード後 IRQ7F ~ IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。なお、本レジスタは、C0IRQER、C1IRQER にて割り込み要求入力を許可した場合のみ有効です。割り込み要求入力が禁止の場合、本レジスタは常に 0 になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IRQ7F	0	R/W	IRQ 割り込み要求 IRQ7 ~ IRQ0 割り込み要求のステータスを表示します。 レベル検出時 0 : IRQn 割り込み要求が存在しません。 [クリア条件] • IRQn 入力がハイレベルのとき 1 : IRQn 割り込み要求が存在します。 [セット条件] • IRQn 入力がローレベルのとき エッジ検出時 0 : IRQn 割り込み要求が検出されていません。 [クリア条件] • IRQnF=1 の状態をリード後に 0 をライトしたとき • IRQn 割り込み例外処理を実行したとき 1 : IRQn 割り込み要求が検出されています。 [セット条件] • IRQn 端子に ICR1 の IRQn1S、IRQn0S に対応するエッジが発生したとき
6	IRQ6F	0	R/W	
5	IRQ5F	0	R/W	
4	IRQ4F	0	R/W	
3	IRQ3F	0	R/W	
2	IRQ2F	0	R/W	
1	IRQ1F	0	R/W	
0	IRQ0F	0	R/W	

【記号説明】 n = 7 ~ 0

7.3.6 PINT 割り込みイネーブルレジスタ (C0PINTER、C1PINTER)

C0PINTER、C1PINTER は、外部割り込み入力端子 PINT7 ~ PINT0 に対する割り込み要求入力を許可する 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7E	0	R/W	PINT イネーブルビット PINT7 ~ PINT0 端子に対する割り込み要求入力を許可するかどうかを選択します。 0 : PINTn 入力割り込み要求をディスエーブルにする。 1 : PINTn 入力割り込み要求をイネーブルにする。
6	PINT6E	0	R/W	
5	PINT5E	0	R/W	
4	PINT4E	0	R/W	
3	PINT3E	0	R/W	
2	PINT2E	0	R/W	
1	PINT1E	0	R/W	
0	PINT0E	0	R/W	

【記号説明】 n = 7 ~ 0

7.3.7 PINT 割り込み要求レジスタ (C0PIRR、C1PIRR)

C0PIRR、C1PIRR は 16 ビットのレジスタで、外部割り込み PINT7 ~ PINT0 の割り込み要求を示します。

なお、本レジスタは、C0PINTER、C1PINTER にて割り込み要求入力を許可した場合のみ有効です。割り込み要求入力が禁止の場合、本レジスタは常に 0 になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7R	0	R	PINT 割り込み要求 PINT7 ~ PINT0 割り込み要求を示します。 0 : PINTn 端子に割り込みなし。 1 : PINTn 端子に割り込みあり。
6	PINT6R	0	R	
5	PINT5R	0	R	
4	PINT4R	0	R	
3	PINT3R	0	R	
2	PINT2R	0	R	
1	PINT1R	0	R	
0	PINT0R	0	R	

【記号説明】 n = 7 ~ 0

7.3.8 バンクコントロールレジスタ (C0IBCR、C1IBCR)

C0IBCR、C1IBCR は割り込み優先レベルに対して、レジスタバンク使用の許可 / 禁止を設定することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15	E15	0	R/W	イネーブル 割り込み優先レベル 15~1 に対してレジスタバンク使用の許可 / 禁止を設定します。ただし、ユーザブレイク割り込みは常にレジスタバンク使用禁止です。 0: レジスタバンクの使用を禁止します。 1: レジスタバンクの使用を許可します。
14	E14	0	R/W	
13	E13	0	R/W	
12	E12	0	R/W	
11	E11	0	R/W	
10	E10	0	R/W	
9	E9	0	R/W	
8	E8	0	R/W	
7	E7	0	R/W	
6	E6	0	R/W	
5	E5	0	R/W	
4	E4	0	R/W	
3	E3	0	R/W	
2	E2	0	R/W	
1	E1	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.3.9 バンク番号レジスタ (C0IBNR、C1IBNR)

C0IBNR、C1IBNR はレジスタバンク使用の許可 / 禁止、およびレジスタバンクオーバフロー例外の許可 / 禁止を設定します。また、BN3~0 により次に退避されるバンク番号を示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE[1:0]		BOVE	-	-	-	-	-	-	-	-	-	BN[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	BE[1:0]	00	R/W	レジスタバンクイネーブル レジスタバンク使用の許可 / 禁止を設定します。 00 : すべての割り込みでバンクの使用を禁止します。IBCR の設定は無視します。 01 : NMI、ユーザブレイク以外のすべての割り込みでバンクの使用を許可します。IBCR の設定は無視されます。 10 : 予約 (設定禁止) 11 : レジスタバンクの使用は、IBCR の設定に従います。
13	BOVE	0	R/W	レジスタバンクオーバフローイネーブル レジスタバンクオーバフロー例外の許可 / 禁止を設定します。 0 : レジスタバンクオーバフロー例外の発生を禁止します。 1 : レジスタバンクオーバフロー例外の発生を許可します。
12~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	BN[3:0]	0000	R	バンク番号 次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BN3~BN0 が示すレジスタバンクに退避を行い、BN を +1 します。レジスタバンク復帰命令の実行により、BN を -1 した後、レジスタバンクから復帰を行います。

7.3.10 プロセッサ間割り込み制御レジスタ 15～08 (C0IPCR15～08、C1IPCR15～08)

C0IPCR15～08、C1IPCR15～08 は CI ビットに 1 を書き込むことにより、プロセッサ間割り込みを発生させます。割り込み処理が該当プロセッサに受け付けられるまで CI ビットは 1 が保持され受け付けが完了すると 0 にクリアされます。

CPU0 から CPU1 に対して、プロセッサ間割り込みを要求する場合には、C1IPCR15～C1IPCR08 のいずれかにプロセッサ間割り込み要求を設定します。CPU1 から CPU0 に対するプロセッサ間割り込み要求の場合には、C0IPCR15～C0IPCR08 のいずれかに設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CI
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15～1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CI	0	R/W	プロセッサ間割り込み要求 0: プロセッサ間割り込み要求なし 1: プロセッサ間割り込み要求セット

【注】 CI ビットへの 0 ライトは可能ですが、プロセッサ間割り込み要求は内部で保留されておりプロセッサ間割り込み要求のクリアはできません。

受け付け優先順位各レジスタの割り込み優先順位は以下のように設定されています。

表 7.6 各レジスタの割り込み優先順位

レジスタ名		レベル	優先順位
C0IPCR15	C1IPCR15	レベル 15	
C0IPCR14	C1IPCR14	レベル 14	
C0IPCR13	C1IPCR13	レベル 13	
C0IPCR12	C1IPCR12	レベル 12	
C0IPCR11	C1IPCR11	レベル 11	
C0IPCR10	C1IPCR10	レベル 10	
C0IPCR09	C1IPCR09	レベル 9	
C0IPCR08	C1IPCR08	レベル 8	

7.3.11 プロセッサ間割り込みイネーブルレジスタ (C0IPER、C1IPER)

C0IPER、C1IPER は、プロセッサ間割り込みの割り込み優先レベルに対して有効/無効を設定します。割り込みコントローラは、プロセッサ間割り込みイネーブルの設定に従い、割り込みを受け付けるかどうか決定します。C0IPER は CPU0 に、C1IPER は CPU1 に対する割り込みの有効/無効を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CIPE15	CIPE14	CIPE13	CIPE12	CIPE11	CIPE10	CIPE9	CIPE8	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	CIPE15	0	R/W	プロセッサ間割り込みイネーブル プロセッサ間割り込み要求の割り込み優先レベル 15~8 に対して、割り込み要求の有効/無効を設定します。 0: プロセッサ間割り込みを無効にします。 1: プロセッサ間割り込みを有効にします。
14	CIPE14	0	R/W	
13	CIPE13	0	R/W	
12	CIPE12	0	R/W	
11	CIPE11	0	R/W	
10	CIPE10	0	R/W	
9	CIPE9	0	R/W	
8	CIPE8	0	R/W	
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.3.12 割り込みイネーブル制御レジスタ (C0INTER、C1INTER)

C0INTER、C1INTER は各プロセッサに対し、割り込み要因を CPU0 および CPU1 での受け付けの許可 / 禁止を制御します。C0INTER、C1INTER の両レジスタの同じビットを両方とも 0 に設定した場合、CPU0 がイネーブルになります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIE	UDIE	SLPEE	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	*	*	*	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	NMIE	*	R/W	NMI 割り込みイネーブル NMI 割り込み要求入力を許可するかどうか選択します。 0: NMI 割り込み要求入力を禁止します。 1: NMI 割り込み要求入力を許可します。
14	UDIE	*	R/W	UDI 割り込みイネーブル UDI からの割り込み要求入力を許可するかどうか選択します。 0: UDI からの割り込み要求入力を禁止します。 1: UDI からの割り込み要求入力を許可します。
13	SLPEE	*	R/W	スリープエラー割り込みイネーブル スリープエラーに対する割り込み要求入力を許可するかどうか選択します。 0: スリープエラーの割り込み要求入力を禁止します。 1: スリープエラーの割り込み要求入力を許可します。
12~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 初期値は、C0INTER の場合 1 に、C1INTER の場合 0 になります。

7.3.13 IRQ 割り込みイネーブル制御レジスタ (C0IRQER、C1IRQER)

C0IRQER、C1IRQER は各プロセッサに対し、IRQ 割り込み要因を CPU0 および CPU1 での受け付けの許可 / 禁止を制御します。C0IRQER、C1IRQER の同じビットを両方とも 0 に設定した場合、CPU0 がイネーブルになります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	*	R	リザーブビット C0IRQER の場合、読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 C1IRQER の場合、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IRQ7	*	R/W	IRQn 割り込みイネーブル IRQn の割り込み要求入力を許可するかどうか選択します。 0 : IRQn の割り込み要求入力を禁止します。 1 : IRQn の割り込み要求入力を許可します。
6	IRQ6	*	R/W	
5	IRQ5	*	R/W	
4	IRQ4	*	R/W	
3	IRQ3	*	R/W	
2	IRQ2	*	R/W	
1	IRQ1	*	R/W	
0	IRQ0	*	R/W	

【記号説明】 n = 7 ~ 0

【注】 * 初期値は、C0IRQER の場合 1 に、C1IRQER の場合 0 になります。

7.3.14 割り込み検出制御レジスタ (IDCNT6 ~ 140)

IDCNT6 ~ 140 は、内蔵周辺モジュールからの割り込み要求を許可するかどうか、また、どちらの CPU で受け付けるかを制御します。

内蔵周辺モジュールからの割り込み要求要因と、IDCNT レジスタの対応を表 7.7 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	CPUN	INTEN	-	-	-	MON	-	-	-	-
初期値:	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
13~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	CPUN	0	R/W	割り込み要求受け付け CPU 内蔵周辺からの割り込み要求をどちらの CPU で受け付けるかを指定します。 0: 内蔵周辺からの割り込み要求を CPU0 で受け付ける。 1: 内蔵周辺からの割り込み要求を CPU1 で受け付ける。
8	INTEN	1	R/W	割り込み要求入力許可 内蔵周辺からの割り込み要求受け付けの禁止 / 許可を指定します。 0: 内蔵周辺からの割り込み要求入力を禁止する。 1: 内蔵周辺からの割り込み要求入力を許可する。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MON	0	R	割り込み要求モニタ 内蔵周辺からの割り込み要求状態をモニタします。 0: 内蔵周辺からの割り込み要求なし。 1: 内蔵周辺からの割り込み要求あり。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 7.7 内蔵周辺モジュールからの割り込み要求要因と IDCNT レジスタとの対応

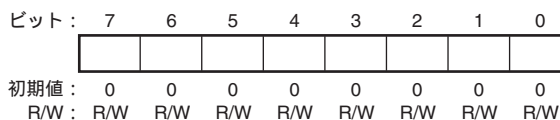
割り込み要因		対応 IDCNT レジスタ	割り込み要因		対応 IDCNT レジスタ
DMAC	DMINT0	IDCNT6	MTU2	TGI2A	IDCNT39
	DMINT1	IDCNT7		TGI2B	IDCNT40
	DMINT2	IDCNT8		TCI2V	IDCNT41
	DMINT3	IDCNT9		TCI2U	IDCNT42
	DMINT4	IDCNT10	MTU3	TGI3A	IDCNT43
	DMINT5	IDCNT11		TGI3B	IDCNT44
	DMINT6	IDCNT12		TGI3C	IDCNT45
	DMINT7	IDCNT13		TGI3D	IDCNT46
	DMINT8	IDCNT14	TCI3V	IDCNT47	
	DMINT9	IDCNT15	MTU4	TGI4A	IDCNT48
	DMINT10	IDCNT16		TGI4B	IDCNT49
	DMINT11	IDCNT17		TGI4C	IDCNT50
	DMINT12	IDCNT18		TGI4D	IDCNT51
	DMINT13	IDCNT19	TCI4V	IDCNT52	
	DMINTA	IDCNT20	SSIF0	SSII0	IDCNT53
USB	USBI	SSIRT10		IDCNT54	
CMT0	CMI0	IDCNT22	SSIF1	SSII1	IDCNT55
	CMI1	IDCNT23		SSIRT11	IDCNT56
CMT1	CMI2	IDCNT24	SSIF2	SSII2	IDCNT57
	CMI3	IDCNT25		SSIRT12	IDCNT58
WDT0	ITI0	IDCNT26	SSIF3	SSII3	IDCNT59
WDT1	ITI1	IDCNT27		SSIRT13	IDCNT60
MTU0	TGI0A	IDCNT28	SSIF4	SSII4	IDCNT61
	TGI0B	IDCNT29		SSIRT14	IDCNT62
	TGI0C	IDCNT30	SSIF5	SSII5	IDCNT63
	TGI0D	IDCNT31		SSIRT15	IDCNT64
	TCI0V	IDCNT32	AESOP	AESOP1	IDCNT65
	TGI0E	IDCNT33	IIC3_0	STPI0	IDCNT66
	TGI0F	IDCNT34		NAKI0	IDCNT67
MTU1	TGI1A	IDCNT35		RXI0	IDCNT68
	TGI1B	IDCNT36		TXI0	IDCNT69
	TCI1V	IDCNT37	TEI0	IDCNT70	
	TCI1U	IDCNT38	IIC3_1	STPI1	IDCNT71

割り込み要因		対応 IDCNT レジスタ
IIC3_1	NAK11	IDCNT72
	RX11	IDCNT73
	TX11	IDCNT74
	TE11	IDCNT75
IIC3_2	STPI2	IDCNT76
	NAK12	IDCNT77
	RX12	IDCNT78
	TX12	IDCNT79
	TE12	IDCNT80
IIC3_3	STPI3	IDCNT81
	NAK13	IDCNT82
	RX13	IDCNT83
	TX13	IDCNT84
	TE13	IDCNT85
SCIF0	BRI0	IDCNT86
	ERI0	IDCNT87
	RX10	IDCNT88
	TX10	IDCNT89
SCIF1	BRI1	IDCNT90
	ERI1	IDCNT91
	RX11	IDCNT92
	TX11	IDCNT93
SCIF2	BRI2	IDCNT94
	ERI2	IDCNT95
	RX12	IDCNT96
	TX12	IDCNT97
SCIF3	BRI3	IDCNT98
	ERI3	IDCNT99
	RX13	IDCNT100
	TX13	IDCNT101
SCIF4	BRI4	IDCNT102
	ERI4	IDCNT103
	RX14	IDCNT104
	TX14	IDCNT105
SCIF5	BRI5	IDCNT106

割り込み要因		対応 IDCNT レジスタ
SCIF5	ERI5	IDCNT107
	RX15	IDCNT108
	TX15	IDCNT109
SSU0	SSERI0	IDCNT110
	SSRX10	IDCNT111
	SSTX10	IDCNT112
SSU1	SSERI1	IDCNT113
	SSRX11	IDCNT114
	SSTX11	IDCNT115
ADC	ADI	IDCNT116
2DG	BLT 割り込み	IDCNT117
	出力割り込み	IDCNT118
ATAPI	ATAPII	IDCNT119
FLCTL	FLSTEI	IDCNT120
	FLTENDI	IDCNT121
	FLTREQ0I	IDCNT122
	FLTREQ1I	IDCNT123
RTC	ARM	IDCNT124
	PRD	IDCNT125
	CUP	IDCNT126
SDHI	SDHI3	IDCNT127
	SDHI0	IDCNT128
	SDHI1	IDCNT129
RCAN0	ERS0	IDCNT130
	OVR0	IDCNT131
	RM00	IDCNT132
	RM10	IDCNT133
	SLE0	IDCNT134
RCAN1	ERS1	IDCNT135
	OVR1	IDCNT136
	RM01	IDCNT137
	RM11	IDCNT138
IEB	SLE1	IDCNT139
	IEBI	IDCNT140

7.3.15 DMA 転送要求イネーブルレジスタ 0~8 (DREQER0~8)

DREQER0~8 は、読み出し / 書き込み可能な 8 ビットのレジスタで、内蔵周辺モジュールからの DMA 転送要求の許可 / 禁止、CPU 割り込みの許可 / 禁止の設定を行います。



(1) DREQER0

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	CMT CMI3	0	R/W	DMA 転送許可ビット DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
2	CMT CMI2	0	R/W	
1	CMT CMI1	0	R/W	
0	CMT CMI0	0	R/W	

(2) DREQER1

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MTU TGI4A	0	R/W	DMA 転送許可ビット DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
3	MTU TGI3A	0	R/W	
2	MTU TGI2A	0	R/W	
1	MTU TGI1A	0	R/W	
0	MTU TGI0A	0	R/W	

(3) DREQER2

ビット	ビット名	初期値	R/W	説明
7	IIC TXI3	0	R/W	DMA 転送許可ビット DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
6	IIC RXI3	0	R/W	
5	IIC TXI2	0	R/W	
4	IIC RXI2	0	R/W	
3	IIC TXI1	0	R/W	
2	IIC RXI1	0	R/W	
1	IIC TXI0	0	R/W	
0	IIC RXI0	0	R/W	

(4) DREQER3

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SCIF TXI5	0	R/W	DMA 転送許可ビット DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
2	SCIF RXI5	0	R/W	
1	SCIF TXI4	0	R/W	
0	SCIF RXI4	0	R/W	

(5) DREQER4

ビット	ビット名	初期値	R/W	説 明
7	SCIF TXI3	0	R/W	DMA 転送許可ビット DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
6	SCIF RXI3	0	R/W	
5	SCIF TXI2	0	R/W	
4	SCIF RXI2	0	R/W	
3	SCIF TXI1	0	R/W	
2	SCIF RXI1	0	R/W	
1	SCIF TXI0	0	R/W	
0	SCIF RXI0	0	R/W	

(6) DREQER5

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SSI SSIRT15	0	R/W	DMA 転送許可ビット DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
4	SSI SSIRT14	0	R/W	
3	SSI SSIRT13	0	R/W	
2	SSI SSIRT12	0	R/W	
1	SSI SSIRT11	0	R/W	
0	SSI SSIRT10	0	R/W	

(7) DREQER6

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	SSU TXI1	0	R/W	DMA 転送許可ビット DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
2	SSU RXI1	0	R/W	
1	SSU TXI0	0	R/W	
0	SSU RXI0	0	R/W	

(8) DREQER7

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ADC ADI	0	R/W	DMA 転送許可ビット DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止

(9) DREQER8

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	RCAN RM01	0	R/W	DMA 転送許可ビット DMA 転送要求の許可 / 禁止、CPU 割り込み要求の許可 / 禁止の設定を行います。 0 : DMA 転送要求禁止、CPU 割り込み要求許可 1 : DMA 転送要求許可、CPU 割り込み要求禁止
0	RCAN RM00	0	R/W	

7.4 割り込み要因

割り込み要因は、NMI、ユーザブレイク、H-UDI、IRQ、PINT、内蔵周辺モジュールの6つに分類されます。各割り込みの優先順位は割り込み優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みは常にマスクされます。

7.4.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ0 (COICR0、CIICR0) のNMI センスセレクトビット (NMIS) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。また、割り込みイネーブル制御レジスタ (COINTER、CIINTER) によって、NMI 割り込みを受け付ける CPU を選択することができます。

NMI 割り込み例外処理によって、NMI 割り込みの優先レベルは16ですがステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は15に設定されます。

7.4.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ (UBC) で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレイク例外処理によって、SR の I3~I0 ビットは15に設定されます。ユーザブレイクについては、「第8章 ユーザブレイクコントローラ (UBC)」を参照してください。

7.4.3 H-UDI 割り込み

ユーザデバッグインタフェース (H-UDI) 割り込みは、優先順位レベル15を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込み要求はエッジで検出され、受け付けられるまで保持されます。また、割り込みイネーブル制御レジスタ (COINTER、CIINTER) によって、H-UDI 割り込みを受け付ける CPU を選択することができます。H-UDI 例外処理により、SR の I3~I0 ビットは15に設定されます。H-UDI 割り込みについては、「第34章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

7.4.4 IRQ 割り込み

IRQ 割り込みは IRQ7 ~ IRQ0 端子からの入力による割り込みです。IRQ7 ~ IRQ0 端子の設定方法については、「第 30 章 ピンファンクションコントローラ (PFC)」を参照してください。IRQ 割り込みは IRQ7 ~ IRQ0 端子からの入力による割り込みです。IRQ7 ~ IRQ0 は、割り込みコントロールレジスタ 1 (COICR1、C1ICR1) の IRQ センスセレクトビット (IRQ7IS ~ IRQ0IS、IRQ7OS ~ IRQ0OS) の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。また、割り込み優先レベル設定レジスタ 01、02 (COIPR01、02、C1IPR01、02) によって、端子ごとに優先レベルを 0 ~ 15 の範囲で設定できます。また、IRQ 割り込みイネーブル制御レジスタ (COIRQER、C1IRQER) によって、IRQ 割り込みを受け付ける CPU を選択することができます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ7 ~ IRQ0 端子がローレベルの期間 INTC に割り込み要求信号が送られます。IRQ7 ~ IRQ0 端子がハイレベルになると、割り込み要求信号は INTC に送られません。IRQ 割り込み要求レジスタ (COIRQRR、C1IRQRR) の IRQ 割り込み要求ビット (IRQ7F ~ IRQ0F) をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7 ~ IRQ0 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、COIRQRR、C1IRQRR の IRQ7F ~ IRQ0F をリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 リード後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3 ~ I0 は、受け付けた IRQ 割り込みの優先レベル値に設定されます。

IRQ 割り込み例外処理ルーチンから復帰する際は、誤って再度受け付けないように、COIRQRR、C1IRQRR で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

7.4.5 PINT 割り込み

PINT 割り込みは、PINT7 ~ PINT0 端子からの入力による割り込みです。PINT7 ~ PINT0 端子の設定方法については、「第 30 章 ピンファンクションコントローラ (PFC)」を参照してください。PINT 割り込みイネーブルレジスタ (COPINTER、C1PINTER) の PINT イネーブルビット (PINT7E ~ PINT0E) により、割り込み要求入力を許可されます。PINT7 ~ PINT0 は、割り込みコントロールレジスタ 2 (COICR2、C1ICR2) の PINT センスセレクトビット (PINT7S ~ PINT0S) の設定によって、端子ごとにローレベル、ハイレベル検出を選択できます。優先レベルは、割り込み優先レベル設定レジスタ 05 (COIPR05、C1IPR05) のビット 15 ~ 12 により、PINT7 ~ PINT0 を一括して、レベル 0 ~ 15 の範囲で設定できます。

PINT7 ~ PINT0 をローレベル検出に設定している場合、PINT 端子がローレベルの期間、INTC に割り込み要求信号が送られます。PINT 端子がハイレベルになると、割り込み要求信号は INTC に送られません。PINT 割り込み要求レジスタ (COPIRR、C1PIRR) の PINT 割り込み要求ビット (PINT7R ~ PINT0R) をリードすることにより割り込み要求のレベルを確認できます。ハイレベル検出に設定している場合も、極性が反対となる以外は同様です。PINT 割り込み例外処理では、SR の I3 ~ I0 は、PINT 割り込みの優先レベル値に設定されます。

PINT 割り込み例外処理ルーチンから復帰する際は、誤って再度受け付けないように、COPIRR、C1PIRR で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

7.4.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ (DMAC)
- USB2.0ホスト/ファンクションモジュール (USB)
- コンペアマッチタイマ (CMT)
- ウォッチドッグタイマ (WDT)
- マルチファンクションタイマパルスユニット2 (MTU2)
- I²Cバスインタフェース3 (IIC3)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)
- FIFO内蔵シリアルサウンドインタフェース (SSIF)
- シンクロナスシリアルコミュニケーションユニット (SSU)
- A/D変換器 (ADC)
- 2Dエンジン (2DG)
- ATアタッチメントパッケージインタフェース (ATAPI)
- AND/NANDフラッシュメモリコントローラ (FLCTL)
- リアルタイムクロック (RTC)
- SDホストインタフェース (SDHI)
- コントローラエリアネットワーク (RCAN-TL1)
- IEBusTMコントローラ (IEB)
- AACエンコーダ (AESOP)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ 06~21 (COIPR06~21、C1IPR06~21) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3~I0 ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

7.4.7 プロセッサ間割り込み

プロセッサ間割り込みはプロセッサ割り込み制御レジスタ (COIPCR15~08、C1IPCR15~08) への設定によって発生します。割り込み発生対象として、自 CPU、他 CPU に対して割り込みを発生させることができます。

また、プロセッサ間割り込み制御レジスタからの割り込み要求は、プロセッサ間割り込みイネーブルレジスタ (COIPER、C1IPER) の設定によって許可され CPU に通知されます。

7.5 割り込み例外処理ベクタテーブルと優先順位

表 7.8 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 6 章 例外処理」の表 6.4 の例外処理ベクタテーブルアドレスの算出方法を参照してください。

IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ 01、02、05～21 (COIPR01、02、05～21、C1IPR01、02、05～21) によって、端子またはモジュールごとに優先レベル 0～15 の範囲で任意に設定できます。ただし、COIPR05～21、C1IPR05～21 で同一 IPR 内の割り込みが複数発生した場合の優先順位は、表 7.7 のデフォルト優先順位に示すように定められており、変更できません。IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 7.8 に示すデフォルト優先順位に従って処理されます。

表 7.8 割り込み例外ベクタと優先順位

割り込み要因		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット			
NMI		11	H'0000002C ~ H'0000002F	16	-	↑ 高
ユーザブ레이크		12	H'00000030 ~ H'00000033	15	-	
H-UDI		14	H'00000038 ~ H'0000003B	15	-	
プロセッサ間割り込み 15		21	H'00000054 ~ H'00000057	15		
プロセッサ間割り込み 14		22	H'00000058 ~ H'0000005B	14		
プロセッサ間割り込み 13		23	H'0000005C ~ H'0000005F	13		
プロセッサ間割り込み 12		24	H'00000060 ~ H'00000063	12		
プロセッサ間割り込み 11		25	H'00000064 ~ H'00000067	11		
プロセッサ間割り込み 10		26	H'00000068 ~ H'0000006B	10		
プロセッサ間割り込み 09		27	H'0000006C ~ H'0000006F	9		
プロセッサ間割り込み 08		28	H'00000070 ~ H'00000073	8		
IRQ	IRQ0	64	H'00000100 ~ H'00000103	0 ~ 15 (0)	IPR01 (15 ~ 12)	
	IRQ1	65	H'00000104 ~ H'00000107	0 ~ 15 (0)	IPR01 (11 ~ 8)	
	IRQ2	66	H'00000108 ~ H'0000010B	0 ~ 15 (0)	IPR01 (7 ~ 4)	
	IRQ3	67	H'0000010C ~ H'0000010F	0 ~ 15 (0)	IPR01 (3 ~ 0)	
	IRQ4	68	H'00000110 ~ H'00000113	0 ~ 15 (0)	IPR02 (15 ~ 12)	
	IRQ5	69	H'00000114 ~ H'00000117	0 ~ 15 (0)	IPR02 (11 ~ 8)	
	IRQ6	70	H'00000118 ~ H'0000011B	0 ~ 15 (0)	IPR02 (7 ~ 4)	
	IRQ7	71	H'0000011C ~ H'0000011F	0 ~ 15 (0)	IPR02 (3 ~ 0)	
PINT	PINT0	80	H'00000140 ~ H'00000143	0 ~ 15 (0)	IPR05 (15 ~ 12)	
	PINT1	81	H'00000144 ~ H'00000147			
	PINT2	82	H'00000148 ~ H'0000014B			
	PINT3	83	H'0000014C ~ H'0000014F			
	PINT4	84	H'00000150 ~ H'00000153			
	PINT5	85	H'00000154 ~ H'00000157			
	PINT6	86	H'00000158 ~ H'0000015B			
	PINT7	87	H'0000015C ~ H'0000015F			
DMAC	DMAC0	DMINT0	102	H'00000198 ~ H'0000019B	0 ~ 15 (0)	IPR06 (15 ~ 12)
	DMAC1	DMINT1	103	H'0000019C ~ H'0000019F	0 ~ 15 (0)	IPR06 (11 ~ 8)
	DMAC2	DMINT2	104	H'000001A0 ~ H'000001A3	0 ~ 15 (0)	IPR06 (7 ~ 4)
	DMAC3	DMINT3	105	H'000001A4 ~ H'000001A7	0 ~ 15 (0)	IPR06 (3 ~ 0)
	DMAC4	DMINT4	106	H'000001A8 ~ H'000001AB	0 ~ 15 (0)	IPR07 (15 ~ 12)
	DMAC5	DMINT5	107	H'000001AC ~ H'000001AF	0 ~ 15 (0)	IPR07 (11 ~ 8)
	DMAC6	DMINT6	108	H'000001B0 ~ H'000001B3	0 ~ 15 (0)	IPR07 (7 ~ 4)
						↓ 低

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット			
DMAC	DMAC7	DMINT7	109	H'000001B4 ~ H'000001B7	0 ~ 15 (0)	IPR07 (3 ~ 0)	高 ↑
	DMAC8	DMINT8	110	H'000001B8 ~ H'000001BB	0 ~ 15 (0)	IPR08 (15 ~ 12)	
	DMAC9	DMINT9	111	H'000001BC ~ H'000001BF	0 ~ 15 (0)	IPR08 (11 ~ 8)	
	DMAC10	DMINT10	112	H'000001C0 ~ H'000001C3	0 ~ 15 (0)	IPR08 (7 ~ 4)	
	DMAC11	DMINT11	113	H'000001C4 ~ H'000001C7	0 ~ 15 (0)	IPR08 (3 ~ 0)	
	DMAC12	DMINT12	114	H'000001C8 ~ H'000001CB	0 ~ 15 (0)	IPR09 (15 ~ 12)	
	DMAC13	DMINT13	115	H'000001CC ~ H'000001CF	0 ~ 15 (0)	IPR09 (11 ~ 8)	
	DMINTA		116	H'000001D0 ~ H'000001D3	0 ~ 15 (0)	IPR09 (7 ~ 4)	
USB	USBI		117	H'000001D4 ~ H'000001D7	0 ~ 15 (0)	IPR09 (3 ~ 0)	↓ 低
CMT0	CMI0		118	H'000001D8 ~ H'000001DB	0 ~ 15 (0)	IPR10 (15 ~ 12)	
	CMI1		119	H'000001DC ~ H'000001DF	0 ~ 15 (0)	IPR10 (11 ~ 8)	
CMT1	CMI2		120	H'000001E0 ~ H'000001E3	0 ~ 15 (0)	IPR10 (7 ~ 4)	
	CMI3		121	H'000001E4 ~ H'000001E7	0 ~ 15 (0)	IPR10 (3 ~ 0)	
WDT0	ITI0		122	H'000001E8 ~ H'000001EB	0 ~ 15 (0)	IPR11 (15 ~ 12)	
WDT1	ITI1		123	H'000001EC ~ H'000001EF	0 ~ 15 (0)	IPR11 (11 ~ 8)	
MTU2	MTU0	TGI0A	124	H'000001F0 ~ H'000001F3	0 ~ 15 (0)	IPR11 (7 ~ 4)	
		TGI0B	125	H'000001F4 ~ H'000001F7			
		TGI0C	126	H'000001F8 ~ H'000001FB			
		TGI0D	127	H'000001FC ~ H'000001FF			
		TCI0V	128	H'00000200 ~ H'00000203	0 ~ 15 (0)	IPR11 (3 ~ 0)	
		TGI0E	129	H'00000204 ~ H'00000207			
		TGI0F	130	H'00000208 ~ H'0000020B			
	MTU1	TGI1A	131	H'0000020C ~ H'0000020F	0 ~ 15 (0)	IPR12 (15 ~ 12)	
		TGI1B	132	H'00000210 ~ H'00000213	0 ~ 15 (0)	IPR12 (11 ~ 8)	
		TCI1V	133	H'00000214 ~ H'00000217			
		TCI1U	134	H'00000218 ~ H'0000021B			
	MTU2	TGI2A	135	H'0000021C ~ H'0000021F	0 ~ 15 (0)	IPR12 (7 ~ 4)	
		TGI2B	136	H'00000220 ~ H'00000223	0 ~ 15 (0)	IPR12 (3 ~ 0)	
		TCI2V	137	H'00000224 ~ H'00000227			
		TCI2U	138	H'00000228 ~ H'0000022B			
	MTU3	TGI3A	139	H'0000022C ~ H'0000022F			0 ~ 15 (0)
		TGI3B	140	H'00000230 ~ H'00000233			
		TGI3C	141	H'00000234 ~ H'00000237			
		TGI3D	142	H'00000238 ~ H'0000023B			
TCI3V		143	H'0000023C ~ H'0000023F	0 ~ 15 (0)	IPR13 (11 ~ 8)		

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット			
MTU2	MTU4	TGI4A	144	H'00000240 ~ H'00000243	0 ~ 15 (0)	IPR13 (7 ~ 4)	高 ↑
		TGI4B	145	H'00000244 ~ H'00000247			
		TGI4C	146	H'00000248 ~ H'0000024B			
		TGI4D	147	H'0000024C ~ H'0000024F			
		TCI4V	148	H'00000250 ~ H'00000253	0 ~ 15 (0)	IPR13 (3 ~ 0)	
SSIF	SSIF0	SSII0	149	H'00000254 ~ H'00000257	0 ~ 15 (0)	IPR14 (15 ~ 12)	↑ ↓ 低
		SSIRT10	150	H'00000258 ~ H'0000025B			
	SSIF1	SSII1	151	H'0000025C ~ H'0000025F	0 ~ 15 (0)	IPR14 (11 ~ 8)	
		SSIRT11	152	H'00000260 ~ H'00000263			
	SSIF2	SSII2	153	H'00000264 ~ H'00000267	0 ~ 15 (0)	IPR14 (7 ~ 4)	
		SSIRT12	154	H'00000268 ~ H'0000026B			
	SSIF3	SSII3	155	H'0000026C ~ H'0000026F	0 ~ 15 (0)	IPR14 (3 ~ 0)	
		SSIRT13	156	H'00000270 ~ H'00000273			
	SSIF4	SSII4	157	H'00000274 ~ H'00000277	0 ~ 15 (0)	IPR15 (15 ~ 12)	
		SSIRT14	158	H'00000278 ~ H'0000027B			
SSIF5	SSII5	159	H'0000027C ~ H'0000027F	0 ~ 15 (0)	IPR15 (11 ~ 8)		
	SSIRT15	160	H'00000280 ~ H'00000283				
AESOP	AESOP		161	H'00000284 ~ H'00000287	0 ~ 15 (0)	IPR15 (7 ~ 4)	
IIC3	IIC3_0	STPI0	162	H'00000288 ~ H'0000028B	0 ~ 15 (0)	IPR16 (15 ~ 12)	
		NAK10	163	H'0000028C ~ H'0000028F			
		RX10	164	H'00000290 ~ H'00000293			
		TX10	165	H'00000294 ~ H'00000297			
		TEI0	166	H'00000298 ~ H'0000029B			
	IIC3_1	STPI1	167	H'0000029C ~ H'0000029F	0 ~ 15 (0)	IPR16 (11 ~ 8)	
		NAK11	168	H'000002A0 ~ H'000002A3			
		RX11	169	H'000002A4 ~ H'000002A7			
		TX11	170	H'000002A8 ~ H'000002AB			
		TEI1	171	H'000002AC ~ H'000002AF			
	IIC3_2	STPI2	172	H'000002B0 ~ H'000002B3	0 ~ 15 (0)	IPR16 (7 ~ 4)	
		NAK12	173	H'000002B4 ~ H'000002B7			
		RX12	174	H'000002B8 ~ H'000002BB			
		TX12	175	H'000002BC ~ H'000002BF			
		TEI2	176	H'000002C0 ~ H'000002C3			

割り込み要因		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	デフォルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット				
ADC	ADI	212	H'00000350 ~ H'00000353	0 ~ 15 (0)	IPR19 (7 ~ 4)	高   低	
2DG	BLT 割り込み	213	H'00000354 ~ H'00000357	0 ~ 15 (0)	IPR19 (3 ~ 0)		
	出力割り込み	214	H'00000358 ~ H'0000035B				
ATAPI	ATAPII	215	H'0000035C ~ H'0000035F	0 ~ 15 (0)	IPR20 (15 ~ 12)		
FLCTL	FLSTEI	216	H'00000360 ~ H'00000363	0 ~ 15 (0)	IPR20 (11 ~ 8)		
	FLTENDI	217	H'00000364 ~ H'00000367				
	FLTREQ0I	218	H'00000368 ~ H'0000036B				
	FLTREQ1I	219	H'0000036C ~ H'0000036F				
RTC	ARM	220	H'00000370 ~ H'00000373	0 ~ 15 (0)	IPR20 (7 ~ 4)		
	PRD	221	H'00000374 ~ H'00000377				
	CUP	222	H'00000378 ~ H'0000037B				
SDHI	SDHI3	223	H'0000037C ~ H'0000037F	0 ~ 15 (0)	IPR20 (3 ~ 0)		
	SDHI0	224	H'00000380 ~ H'00000383				
	SDHI1	225	H'00000384 ~ H'00000387				
RCAN	RCAN0	ERS0	226	H'00000388 ~ H'0000038B	0 ~ 15 (0)		IPR21 (15 ~ 12)
		OVR0	227	H'0000038C ~ H'0000038F			
		RM00	228	H'00000390 ~ H'00000393			
		RM10	229	H'00000394 ~ H'00000397			
		SLE0	230	H'00000398 ~ H'0000039B			
	RCAN1	ERS1	231	H'0000039C ~ H'0000039F	0 ~ 15 (0)	IPR21 (11 ~ 8)	
		OVR1	232	H'000003A0 ~ H'000003A3			
		RM01	233	H'000003A4 ~ H'000003A7			
		RM11	234	H'000003A8 ~ H'000003AB			
		SLE1	235	H'000003AC ~ H'000003AF			
IEB	IEBI	236	H'000003B0 ~ H'000003B3	0 ~ 15 (0)	IPR21 (7 ~ 4)		

7.6 動作説明

7.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 7.2 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ01、02、05～21 (C0IPR01、02、05～21、C1IPR01、02、05～21) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込みまたは同一IPR設定内の割り込みが複数発生した場合は、表7.8に示すデフォルト優先順位とIPR設定単位内の優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクレベルビット (I3～I0) とが比較されます。I3～I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3～I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図7.4参照)。
5. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスを取り出します。
6. ステータスレジスタ (SR) がスタックに退避され、SRのI3～I0ビットに受け付けられた割り込みの優先レベルが書き込まれます。
7. プログラムカウンタ (PC) がスタックに退避されます。
8. 取り出した例外サービスルーチン開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 7.9 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

- * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ 割り込み要求レジスタ (C0IRQRR、C1IRQRR) のアクセスにより取り下げることができます。詳しくは「7.4.4 IRQ 割り込み」を参照してください。
また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

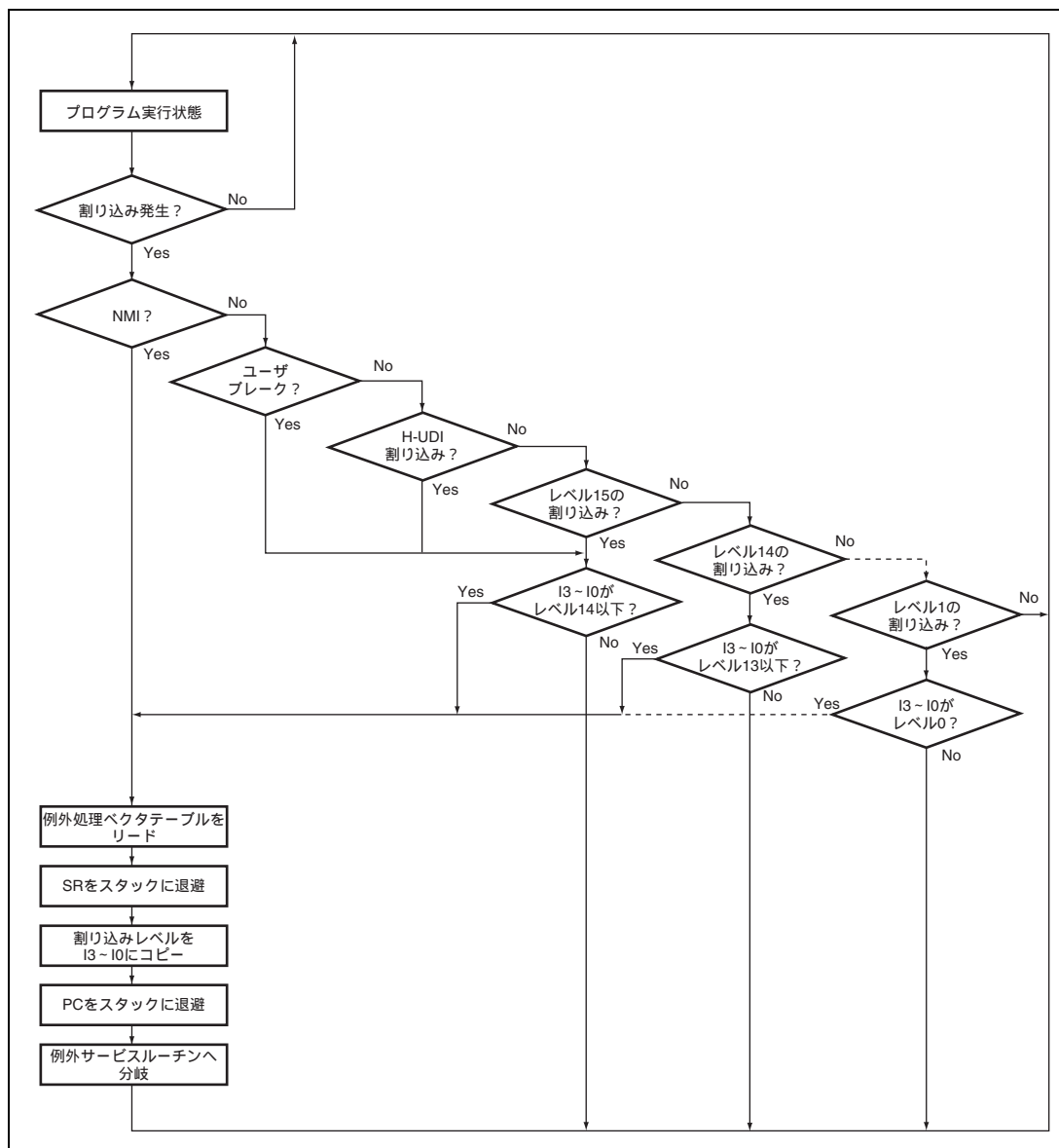


図 7.2 割り込み動作フロー

7.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 7.3 に示すようになります。

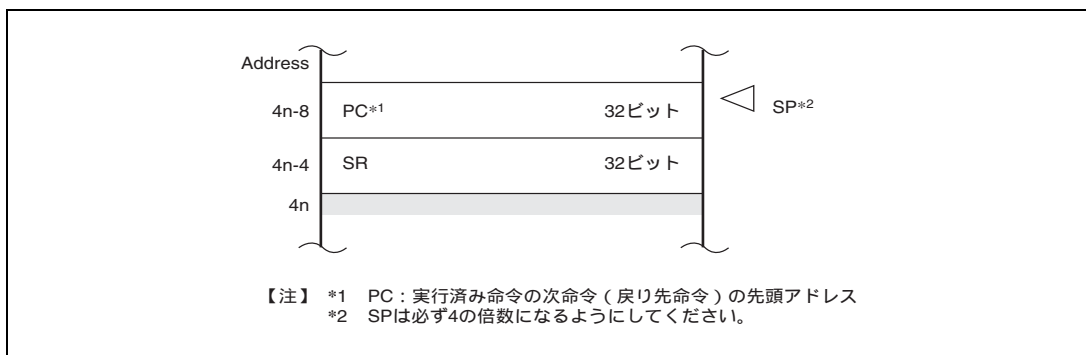


図 7.3 割り込み例外処理終了後のスタック状態

7.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 7.9 に示します。割り込み処理は、バンキングなし、バンキングありかつレジスタバンクオーバーフローなし、バンキングありかつレジスタバンクオーバーフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を図 7.4、図 7.5 に示します。バンキングありかつレジスタバンクオーバーフローなしのときの、パイプライン動作例を図 7.6、図 7.7 に示します。バンキングありかつレジスタバンクオーバーフローありのときの、パイプライン動作例を図 7.8、図 7.9 に示します。

表 7.9 割り込み応答時間

項 目			ステート数* ¹					備考	
			NMI	ユーザ ブレイク	H-UDI	IRQ、 PINT	USB		周辺 モジュ ール (USB 以外)
割り込み要求発生から、割り込みコントローラで優先順位判定およびSRのマスクビットとの比較後、CPUへ割り込み要求信号が送られるまでの時間			2Inyc+ 2Bcyc+ 1Pcyc	3Inyc	2Inyc+ 1Pcyc	2Inyc+ 3Bcyc+ 1Pcyc	2Inyc+ 4Bcyc	2Inyc+ 2Bcyc	
CPUに割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、例外サービスルーチンの先頭命令をフェッチするまでの時間	レジスタバンク未使用。	最小値	3lcyc+m1+m2					最小値は、割り込み待ち時間0のとき。 最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき。	
		最大値	4lcyc+2(m1+m2)+m3						
	レジスタバンク使用。 レジスタバンクオーバーフローなし。	最小値	-	3lcyc+m1+m2			最小値は、割り込み待ち時間0のとき。 最大値は、RESBANK命令実行中に割り込み要求が発生したとき。		
		最大値	-	12lcyc+m1+m2					
	レジスタバンク使用。 レジスタバンクオーバーフローあり。	最小値	-	3lcyc+m1+m2			最小値は、割り込み待ち時間0のとき。 最大値は、RESBANK命令実行中に割り込み要求が発生したとき。		
		最大値	-	3lcyc+m1+m2+19(m4)					

項 目			ステート数*1						備考
			NMI	ユーザ ブレイク	H-UDI	IRQ、 PINT	USB	周辺 モジュール (USB 以外)	
応答時間	レジスタバンク 未使用。	最小値	5Incy+ 2Bcyc+ 1Pcyc+ m1+m2	6Incy+ m1+m2	5Incy+ 1Pcyc+ m1+m2	5Incy+ 3Bcyc+ 1Pcyc+ m1+m2	5Incy+ 4Bcyc+ m1+m2	5Incy+ 2Bcyc+ m1+m2	200MHz 動作時*2 : 0.040 ~ 0.110 μs
		最大値	6Incy+ 2Bcyc+ 1Pcyc+ 2(m1+m2)+ m3	7Incy+ 2(m1+m2)+ m3	6Incy+ 1Pcyc+ 2(m1+m2)+ m3	6Incy+ 3Bcyc+ 1Pcyc+ 2(m1+m2)+ m3	6Incy+ 4Bcyc+ 2(m1+m2)+ m3	6Incy+ 2Bcyc+ 2(m1+m2)+ m3	200MHz 動作時*2 : 0.060 ~ 0.130 μs
	レジスタバンク 使用。 レジスタバンク オーバフロー なし。	最小値	-	-	5Incy+ 1Pcyc+ m1+m2	5Incy+ 3Bcyc+ 1Pcyc+ m1+m2	5Incy+ 4Bcyc+ m1+m2	5Incy+ 2Bcyc+ m1+m2	200MHz 動作時*2 : 0.070 ~ 0.110 μs
		最大値	-	-	14Incy+ 1Pcyc+ m1+m2	14Incy+ 3Bcyc+ 1Pcyc+ m1+m2	14Incy+ 4Bcyc+ m1+m2	14Incy+ 2Bcyc+ m1+m2	200MHz 動作時*2 : 0.120 ~ 0.155 μs
	レジスタバンク 使用。 レジスタバンク オーバフロー あり。	最小値	-	-	5Incy+ 1Pcyc+ m1+m2	5Incy+ 3Bcyc+ 1Pcyc+ m1+m2	5Incy+ 4Bcyc+ m1+m2	5Incy+ 2Bcyc+ m1+m2	200MHz 動作時*2 : 0.065 ~ 0.110 μs
		最大値	-	-	5Incy+ 1Pcyc+m1+ m2+19(m4)	5Incy+ 3Bcyc+ 1Pcyc+m1+ m2+19(m4)	5Incy+ 4Bcyc+ m1+m2+ 19(m4)	5Incy+ 2Bcyc+m1+ m2+19(m4)	200MHz 動作時*2 : 0.160 ~ 0.205 μs

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : ベクタアドレスリード (ロングワードリード)

m2 : SR の退避 (ロングワードライト)

m3 : PC の退避 (ロングワードライト)

m4 : バンク対象レジスタ (R0 ~ R14, GBR, MACH, MACL, PR) のスタックからの復帰

*1 : Incyc の n は、割り込み要求先の CPU 番号を示す (0 または 1)

*2 : In : B : P = 200MHz : 66MHz : 33MHz かつ m1=m2=m3=m4=1Incy の場合

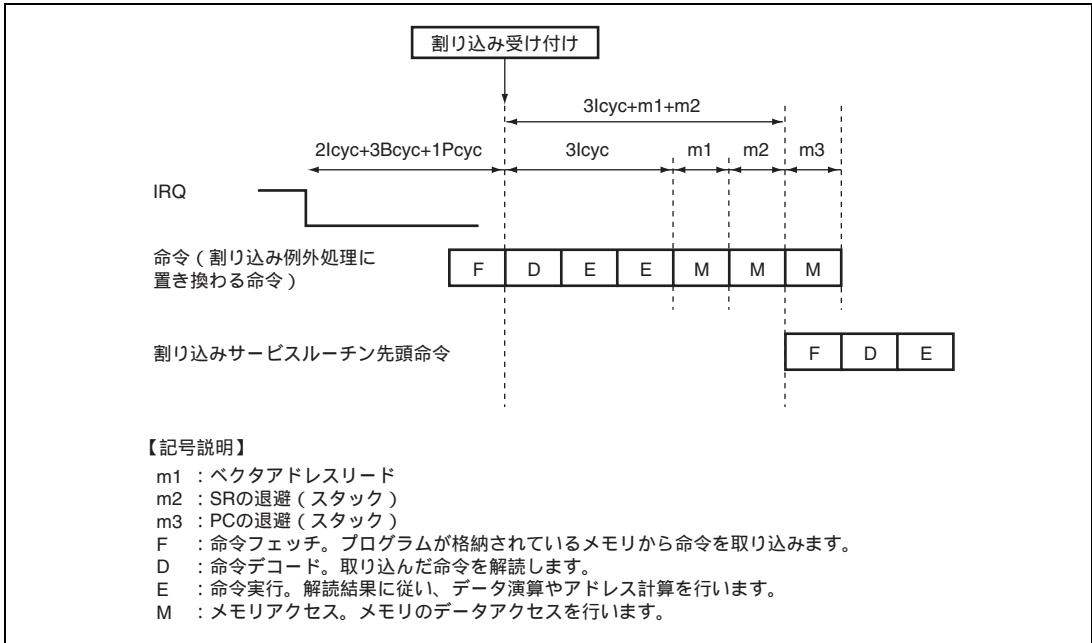


図 7.4 IRQ 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクなし)

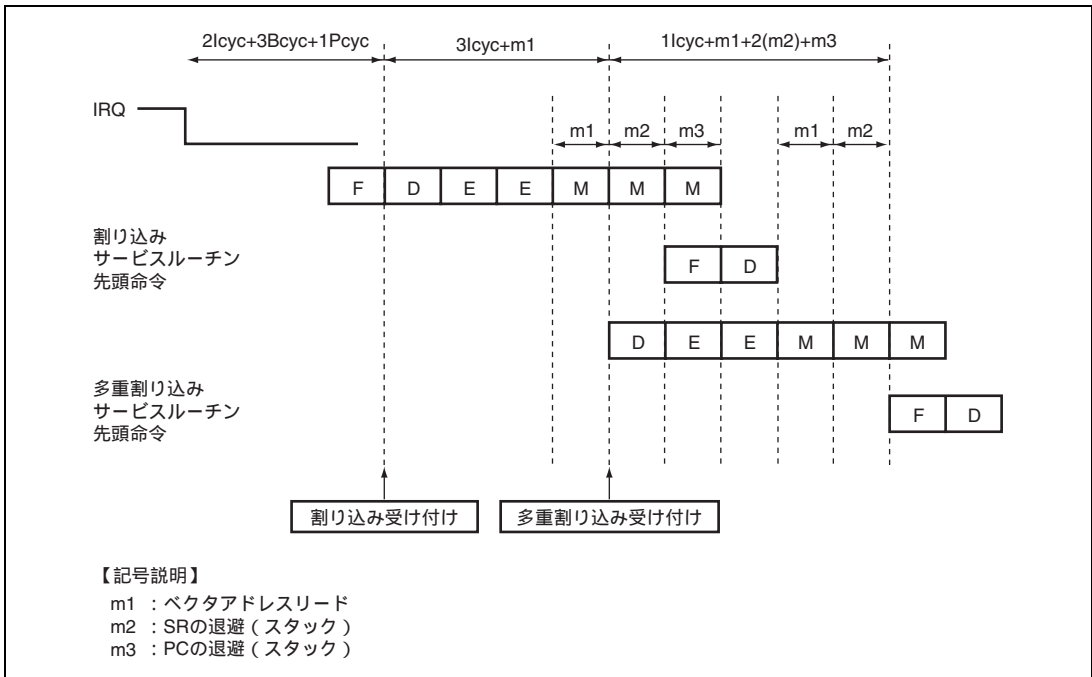


図 7.5 多重割り込み時のパイプライン動作例 (レジスタバンクなし)

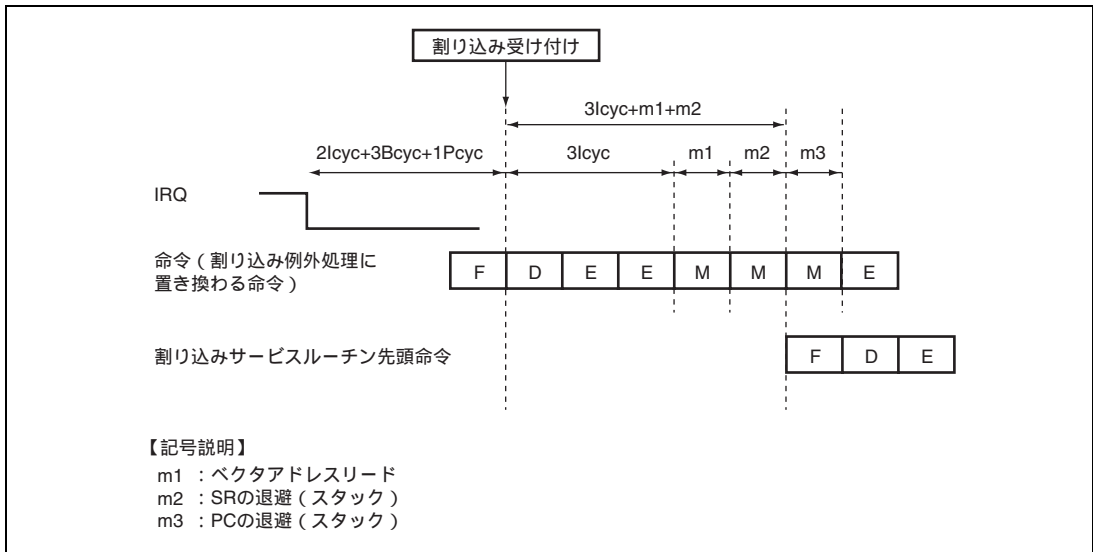


図 7.6 IRQ 割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローなし)

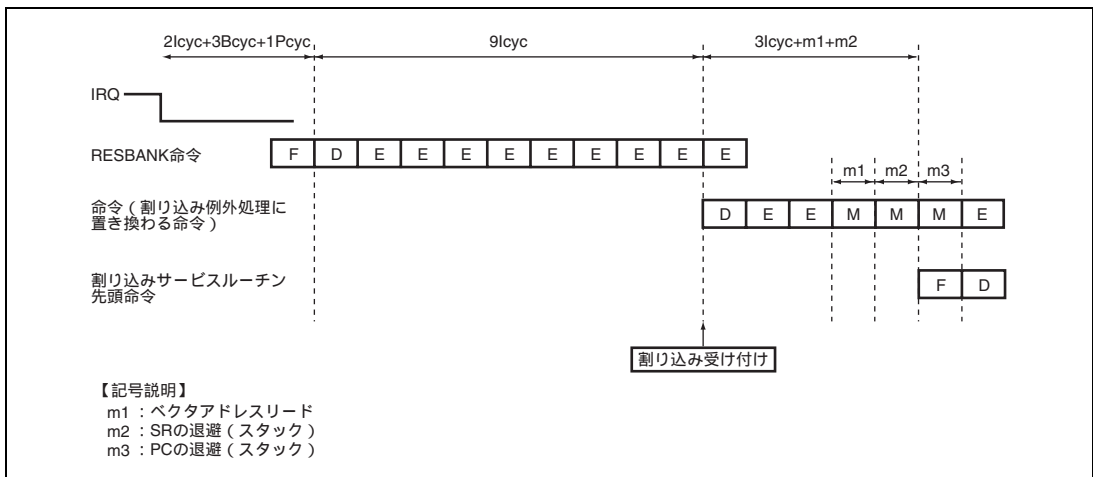


図 7.7 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローなし)

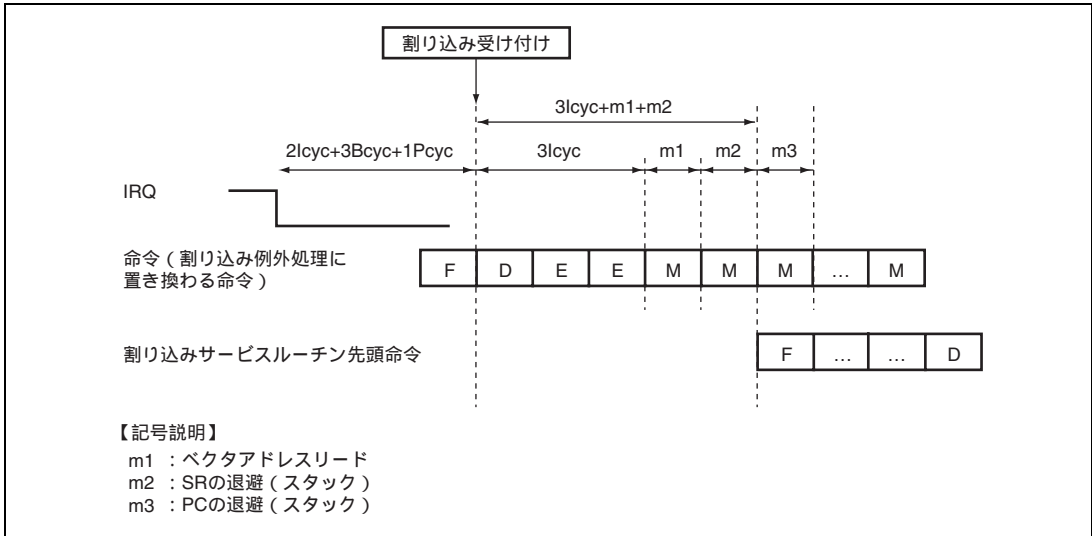


図 7.8 IRQ 割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローあり)

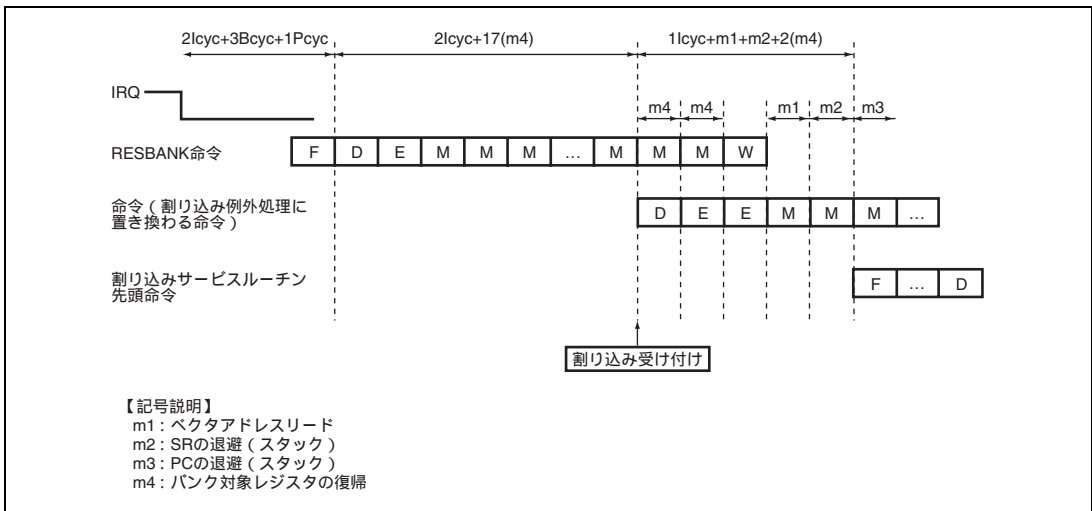


図 7.9 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローあり)

7.8 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うため、それぞれの CPU コアに 15 本のレジスタバンクを内蔵しています。レジスタバンクの構成を図 7.10 に示します。

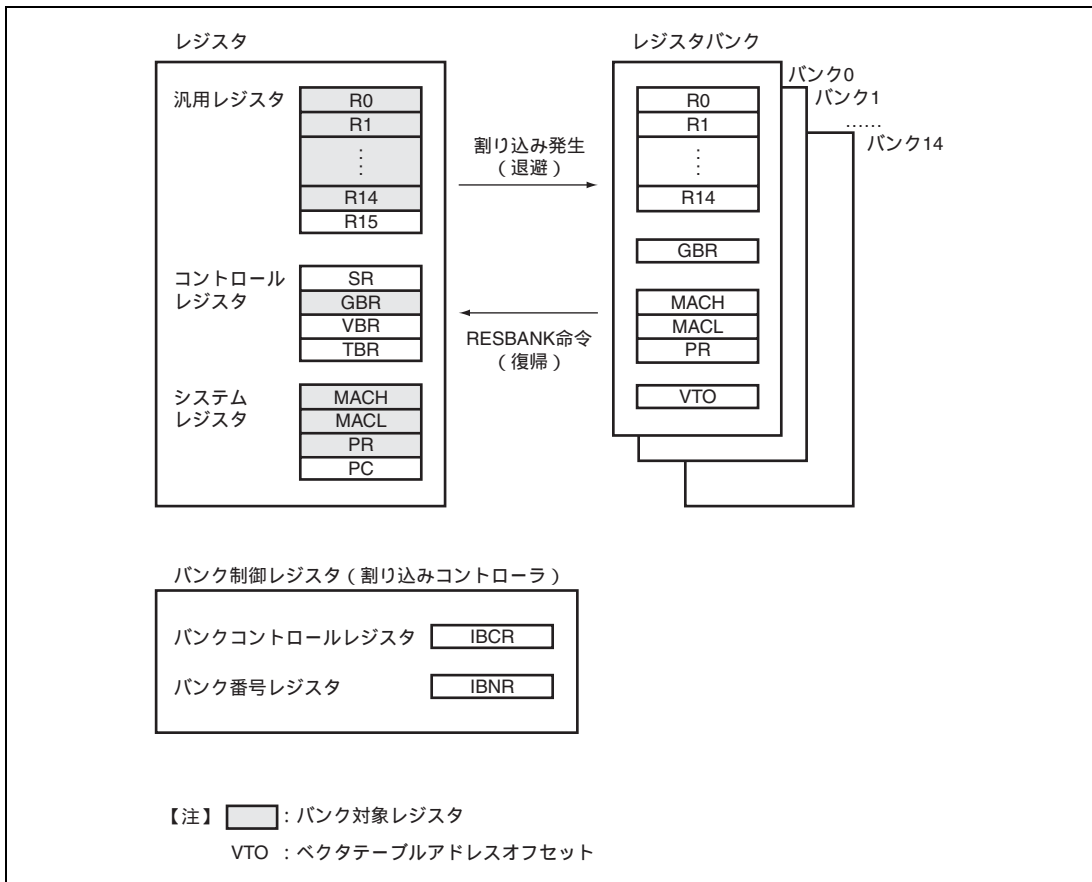


図 7.10 レジスタバンクの構成の概要

7.9 レジスタバンクとバンク制御レジスタ

(1) バンクの対象レジスタ

汎用レジスタ (R0~R14)、グローバルベースレジスタ (GBR)、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR) と、ベクタテーブルアドレスオフセットをバンクの対象とします。

(2) バンクの入出力方式

レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し (FILO) 式のスタックになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

7.9.1 バンク退避、復帰の動作

(1) バンクへの退避

図 7.11 にレジスタバンクへの退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が許可されている場合、次のように動作します。

- (a) 割り込み発生前のバンク番号レジスタ (IBNR) のバンク番号ビット (BN) の値を i とします。
- (b) BN の示すバンク i に、レジスタ R0~R14、GBR、MACH、MACL、PR と、受け付けられた割り込みのベクタテーブルアドレスオフセット (VTO) を退避します。
- (c) BN の値を $+1$ します。

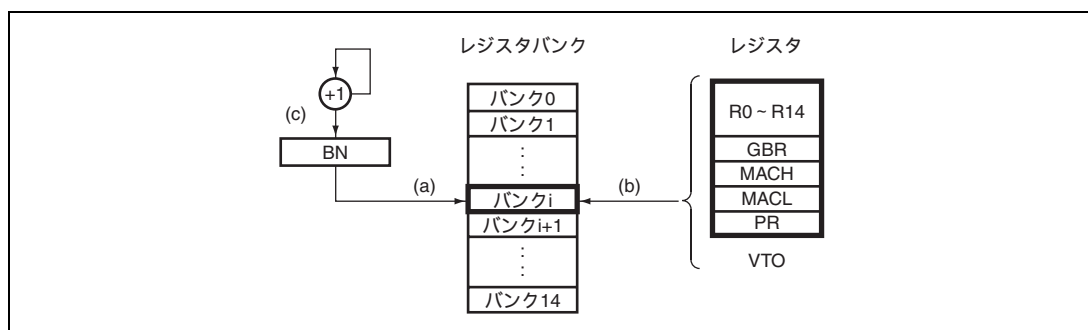


図 7.11 バンク退避の動作

図 7.12 にレジスタバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から例外サービスルーチンの先頭命令のフェッチを開始するまでの間に実行されます。

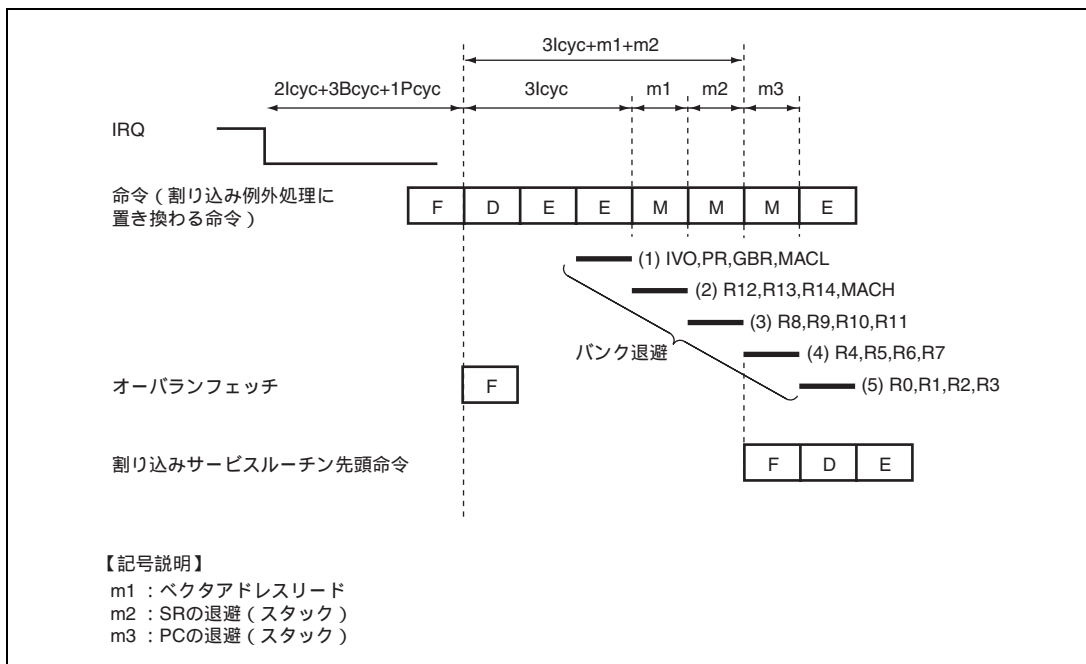


図 7.12 バンク退避のタイミング

(2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込みサービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で例外処理からの復帰を行ってください。

7.9.2 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (C0IBNR、C1IBNR) の BOVE ビットが 0 のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、C0IBNR、C1IBNR の BOVE ビットを 1 にセットしているときは、レジスタバンクオーバーフロー例外が発生し、スタックへの退避は行われません。

スタックへの退避、復帰の動作は次のようになります。

(1) スタックへの退避

1. 割り込み例外処理時に、ステータスレジスタ (SR)、プログラムカウンタ (PC) をスタックします。
2. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、.....、R1、R0の順となります。
3. SRのレジスタバンクオーバーフロービット (BO) を1にセットします。
4. バンク番号レジスタ (C0IBNR、C1IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

(2) スタックからの復帰

SR のレジスタバンクオーバーフロービット (BO) が 1 にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

1. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、.....、R13、R14、PR、GBR、MACH、MACLの順となります。
2. バンク番号レジスタ (C0IBNR、C1IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

7.9.3 レジスタバンクの例外

レジスタバンクの例外 (レジスタバンクエラー) には、レジスタバンクオーバーフローとレジスタバンクアンダフローの 2 種類があります。

(1) レジスタバンクオーバーフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (C0IBNR、C1IBNR) の BOVE ビットが 1 にセットされているときに発生します。このとき、バンク番号レジスタ (C0IBNR、C1IBNR) のバンク番号ビット (BN) はバンク数 15 のまま変化せず、レジスタバンクへの退避は行われません。

(2) レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このとき R0~R14、GBR、MACH、MACL、PR の値は変化しません。また、バンク番号レジスタ (C0IBNR、C1IBNR) のバンク番号ビット (BN) は 0 のまま変化しません。

7.10 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。レジスタバンクオーバーフロー時の退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避するPCの値は、当該のRESBANK命令の先頭アドレスです。また、レジスタバンクオーバーフロー時は多重割り込みを防止するためにレジスタバンクオーバーフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) に書き込みます。
4. 例外サービスルーチン開始アドレスからプログラムを実行します。

7.11 割り込み要求信号によるデータ転送

割り込み要求信号により DMAC を起動し、データ転送を行うことができます。

割り込み要求信号で割り込み例外処理を起動するか、DMAC を起動するかを、DMA 転送要求イネーブルレジスタ 0~8 (DREQER0~8) で指定します。内蔵周辺モジュールに対応する設定ビットを 1 にすると DMA 転送要求、0 にすると CPU 割り込み要求となります。

7.12 使用上の注意事項

7.12.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 7.9 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

8. ユーザブレイクコントローラ (UBC)

ユーザブレイクコントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブレイク条件として、命令フェッチまたは CPU データの読み出し / 書き込み、データのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングをサポートします。本 LSI はハーバードアーキテクチャを採用しているため、CPU バス (C バス) 上での命令フェッチは命令フェッチバス (F バス) にバスサイクルを発行し、C バス上のデータアクセスはメモリアクセスバス (M バス) にバスサイクルを発行します。UBC はこれら C バスと内部バス (I バス) をモニタします。

UBC には、CPU0 の動作をモニタする UBC0 と、CPU1 の動作をモニタする UBC1 の 2 つがありますが、両者の中身はまったく同じです。UBC0 と UBC1 の制御レジスタは同じアドレスにマップされていますが、CPU0 からアクセスした場合は UBC0 のレジスタが、CPU1 からアクセスした場合は UBC1 のレジスタがアクセスされます。本章では、UBC0 と UBC1 を総称して UBC とします。

8.1 特長

1. 次のようなブレイク比較条件を設定できます

ブレイクチャンネル数 : 2チャンネル (チャンネル0と1)

ユーザブレイクは、チャンネル0、1独立に設定することができます。

- アドレス

アドレス32ビットの比較はビットごとにマスク可能です。

3種類のアドレスバス (Fバスアドレス (FAB)、Mバスアドレス (MAB)、Iバスアドレス (IAB)) を選択できます。

- データ

データ32ビットの比較はビットごとにマスク可能です。

2種類のデータバス (Mバスデータ (MDB)、Iバスデータ (IDB)) の1つを選択可能です。

- バスサイクル

命令フェッチ (Cバス選択時のみ) またはデータアクセス

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、およびロングワードをサポート。

2. 命令フェッチサイクルにおいて、ブレイクを命令の実行の前に設定するか、後に設定するかを指定可能。
3. ブレイク条件成立をUBCTR $\overline{\text{G}}$ 端子に出力できます。

図 8.1 に UBC のブロック図を示します。

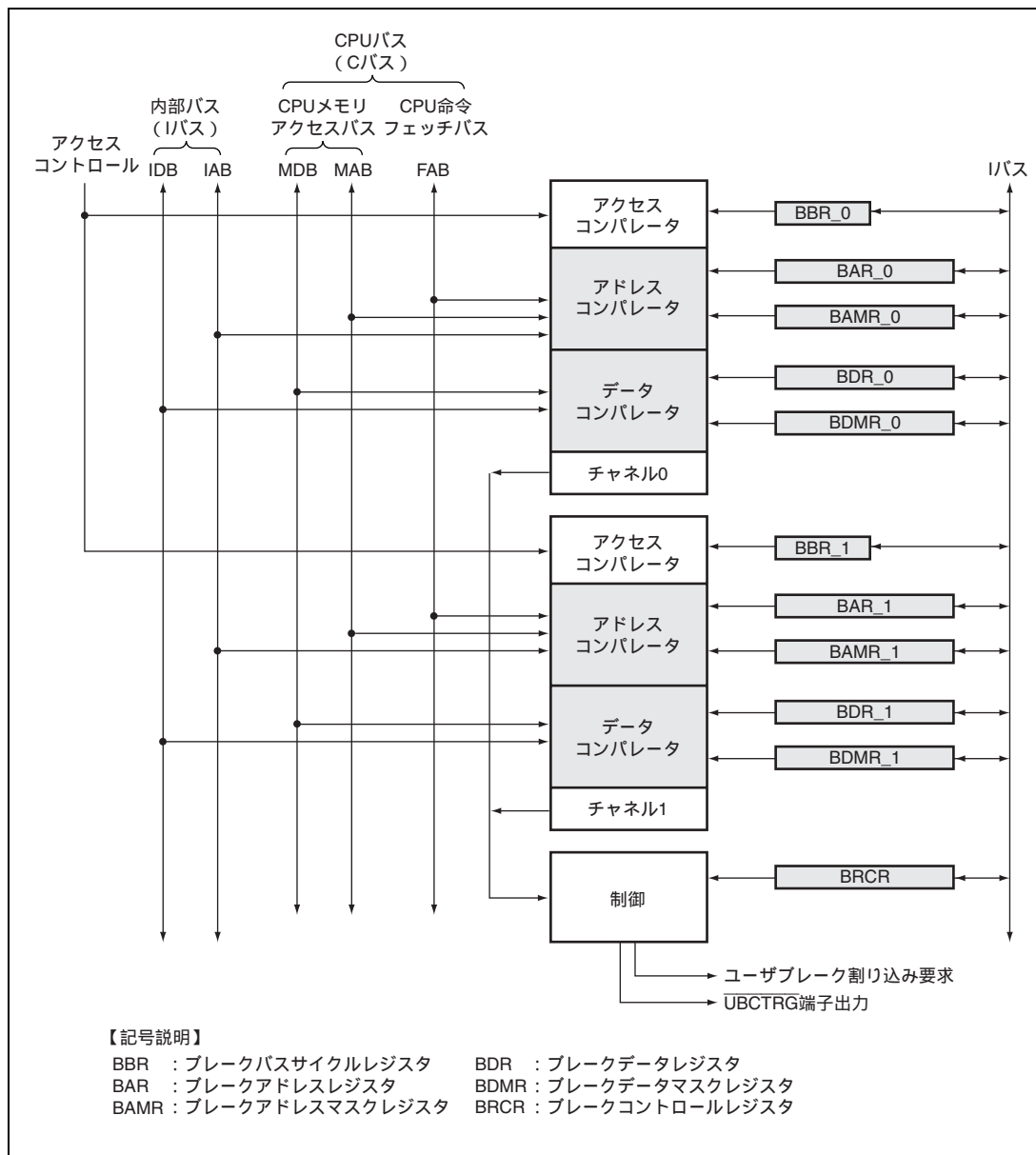


図 8.1 UBC のブロック図 (1CPU あたり)

8.2 入出力端子

UBC の端子構成を表 8.1 に示します。

表 8.1 端子構成

名称	端子名	入出力	機能
UBC トリガ	UBCTR \bar{G}	出力	UBC0 のチャンネル 0、1、UBC1 のチャンネル 0、1 のいずれかで設定条件が成立したことを示します

8.3 レジスタの説明

UBC には以下のレジスタがあります。チャンネルごとに 5 本の制御レジスタと、チャンネル 0、1 に共通な制御レジスタが 1 本あります。これらレジスタが、UBC0 と UBC1 の両方にあります。

UBC の各チャンネルのレジスタについては、チャンネル 0 の BAR は BAR_0 のように表記しています。

表 8.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	ブレークアドレスレジスタ_0	BAR_0	R/W	H'00000000	H'FFFC0400	32
	ブレークアドレスマスクレジスタ_0	BAMR_0	R/W	H'00000000	H'FFFC0404	32
	ブレークバスサイクルレジスタ_0	BBR_0	R/W	H'0000	H'FFFC04A0	16
	ブレークデータレジスタ_0	BDR_0	R/W	H'00000000	H'FFFC0408	32
	ブレークデータマスクレジスタ_0	BDMR_0	R/W	H'00000000	H'FFFC040C	32
1	ブレークアドレスレジスタ_1	BAR_1	R/W	H'00000000	H'FFFC0410	32
	ブレークアドレスマスクレジスタ_1	BAMR_1	R/W	H'00000000	H'FFFC0414	32
	ブレークバスサイクルレジスタ_1	BBR_1	R/W	H'0000	H'FFFC04B0	16
	ブレークデータレジスタ_1	BDR_1	R/W	H'00000000	H'FFFC0418	32
	ブレークデータマスクレジスタ_1	BDMR_1	R/W	H'00000000	H'FFFC041C	32
共通	ブレークコントロールレジスタ	BR \bar{C} R	R/W	H'00000000	H'FFFC04C0	32

8.3.1 ブレイクアドレスレジスタ (BAR)

BAR は、32 ビットの読み出し/書き込み可能なレジスタです。BAR は、各チャネルのブレイク条件とするアドレスを指定します。ブレイク条件の対象とするアドレスバスは3種類あり、ブレイクバスサイクルレジスタ (BBR) の制御ビットの CD[1:0]により選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA31 ~ BA0	H'00000000	R/W	ブレイクアドレス ブレイク条件を指定する CPU アドレスバス (FAB または MAB) または IAB のアドレスを格納します。 BBR により C バスかつ命令フェッチサイクルを選択した場合は、BA31 ~ BA0 に FAB のアドレスを指定します。 BBR により C バスかつデータアクセスサイクルを選択した場合は、BA31 ~ BA0 に MAB のアドレスを指定します。

【注】 ブレイク条件として命令フェッチサイクルを設定する場合は、BAR の LSB を 0 にクリアしてください。

8.3.2 ブレークアドレスマスクレジスタ (BAMR)

BAMR は、32 ビットの読み出し/書き込み可能なレジスタです。BAMR は、BAR で指定するブレークアドレスビットのうち、マスクするビットを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAM31 ~ BAM0	H'00000000	R/W	<p>ブレークアドレスマスク</p> <p>BAR (BA31~BA0) によって指定されるブレークアドレスビットのうち、マスクするビットを指定します。</p> <p>0: ブレークアドレスビット BAn は、ブレーク条件に含まれる</p> <p>1: ブレークアドレスビット BAn はマスクされ、ブレーク条件に含まれない</p> <p>【注】n=31~0</p>

8.3.3 ブ레이크データレジスタ (BDR)

BDR は、32 ビットの読み出し / 書き込み可能なレジスタです。ブ레이크条件の対象とするデータバスは 2 種類あり、ブ레이크バスサイクルレジスタ (BBR) の制御ビット CD[1:0]により選択します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24	BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8	BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BD31 ~ BD0	H'00000000	R/W	ブ레이크データビット ブ레이크条件を指定するデータを格納します。 BBR により I バスを選択した場合は、BD31 ~ BD0 に IDB のブ레이크データを指定します。 BBR により C バスを選択した場合は、BD31 ~ BD0 に MDB のブ레이크データを指定します。

- 【注】
- ブ레이크条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 - ブ레이크条件としてバイトサイズを指定する場合は、BDR におけるブ레이크データとして、ビット 31~24、23~16、15~8、7~0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31~16、15~0 に同一のワードデータをセットしてください。

8.3.4 ブレークデータマスクレジスタ (BDMR)

BDMR は、32 ビットの読み出し / 書き込み可能なレジスタです。BDMR は、BDR で指定するブレークデータビットのうちマスクするビットを指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BDM31 ~ BDM0	H'00000000	R/W	<p>ブレークデータマスク</p> <p>BDR (BD31~BD0) によって指定されるブレークデータビットのうちマスクするビットを指定します。</p> <p>0 : ブレークデータビット BDn は、ブレーク条件に含まれる</p> <p>1 : ブレークデータビット BDn はマスクされ、ブレーク条件に含まれない</p> <p>【注】 n = 31~0</p>

- 【注】
1. ブレーク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 2. ブレーク条件としてバイトサイズを指定する場合は、BDMR におけるブレークマスクデータとして、ビット 31~24、23~16、15~8、7~0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31~16、15~0 に同一のワードデータをセットしてください。

8.3.5 ブレークバスサイクルレジスタ (BBR)

BBR は、ブレーク条件として (1) ユーザブレイク割り込みの禁止 / 許可、(2) データバスの値を含める / 含めない、(3) C バスサイクルまたは I バスサイクル、(4) 命令フェッチまたはデータアクセス、(5) 読み出しまたは書き込み、および (6) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID	DBE	-	-	-	CP	CD[1:0]	ID[1:0]	RW[1:0]	RW[1:0]	RW[1:0]	RW[1:0]	RW[1:0]	SZ[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	UBID	0	R/W	ユーザブレイク割り込みディスエーブル 条件一致時にユーザブレイク割り込み要求の禁止 / 許可を指定します。 0: ユーザブレイク割り込み要求を許可する 1: ユーザブレイク割り込み要求を禁止する
12	DBE	0	R/W	データブレイクイネーブル データバス条件がブレーク条件に含まれるかどうかを選択します。 0: データバス条件がブレーク条件に含まれない 1: データバス条件がブレーク条件に含まれる
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CP	0	R/W	I バスセレクト ブレーク条件のバスサイクルが I バスサイクルの場合の禁止 / 許可を指定します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効 (CPU サイクルのみ) となります。 0: I バスサイクルの条件比較を行わない 1: I バスサイクルの条件比較を行う
7、6	CD[1:0]	00	R/W	C バスサイクル / I バスサイクルセレクト ブレーク条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、C バス (F バス、M バス) サイクル 10: ブレーク条件は、I バスサイクル 11: ブレーク条件は、C バス (F バス、M バス) サイクル

ビット	ビット名	初期値	R/W	説 明
5、4	ID[1:0]	00	R/W	<p>命令フェッチ / データアクセスセレクト</p> <p>ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、命令フェッチサイクル</p> <p>10 : ブレイク条件は、データアクセスサイクル</p> <p>11 : ブレイク条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW[1:0]	00	R/W	<p>読み出し / 書き込みセレクト</p> <p>ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、読み出しサイクル</p> <p>10 : ブレイク条件は、書き込みサイクル</p> <p>11 : ブレイク条件は、読み出しサイクルまたは書き込みサイクル</p>
1、0	SZ[1:0]	00	R/W	<p>オペランドサイズセレクト</p> <p>ブレイク条件のバスサイクルのオペランドサイズを選択します。</p> <p>00 : ブレイク条件には、オペランドサイズを含まない</p> <p>01 : ブレイク条件は、バイトアクセス</p> <p>10 : ブレイク条件は、ワードアクセス</p> <p>11 : ブレイク条件は、ロングワードアクセス</p>

8.3.6 ブレイクコントロールレジスタ (BRCR)

BRCR は、次の条件を設定します。

1. 命令フェッチサイクルによるユーザブレイク割り込み例外処理の実行開始を命令実行の前に設定するか後に設定するかを指定します。
2. ブレイク条件一致時の \overline{UBCTRG} 出力のパルス幅を設定します。

BRCR は、ブレイク条件一致フラグとその他のブレイク条件をセットするためのビットを持つ 32 ビットの読み出し / 書き込み可能なレジスタです。ビット 15 ~ 12 の条件一致フラグのみ、1 書き込みは無効 (前値保持) で 0 書き込みのみ可能なビットですので、クリアする場合はクリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCMFC 0	SCMFC 1	SCMFD 0	SCMFD 1	-	-	-	-	-	PCB1	PCB0	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	CKS[1:0]	00	R/W	クロックセレクト 条件一致時、 \overline{UBCTRG} に出力するパルス幅を指定します。 00: \overline{UBCTRG} のパルス幅をバスクロック 1 周期分にする 01: \overline{UBCTRG} のパルス幅をバスクロック 2 周期分にする 10: \overline{UBCTRG} のパルス幅をバスクロック 4 周期分にする 11: \overline{UBCTRG} のパルス幅をバスクロック 8 周期分にする
15	SCMFC0	0	R/W	C バスサイクル条件一致フラグ 0 チャンネル 0 にセットしたブレイク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 0 に対する C バスサイクル条件不一致 1: チャンネル 0 に対する C バスサイクル条件一致

ビット	ビット名	初期値	R/W	説明
14	SCMFC1	0	R/W	C バスサイクル条件一致フラグ 1 チャンネル 1 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する C バスサイクル条件不一致 1 : チャンネル 1 に対する C バスサイクル条件一致
13	SCMFD0	0	R/W	I バスサイクル条件一致フラグ 0 チャンネル 0 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 に対する I バスサイクル条件不一致 1 : チャンネル 0 に対する I バスサイクル条件一致
12	SCMFD1	0	R/W	I バスサイクル条件一致フラグ 1 チャンネル 1 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する I バスサイクル条件不一致 1 : チャンネル 1 に対する I バスサイクル条件一致
11~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PCB1	0	R/W	PC ブレークセレクト 1 チャンネル 1 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル 1 の PC ブレークを命令実行前に設定 1 : チャンネル 1 の PC ブレークを命令実行後に設定
5	PCB0	0	R/W	PC ブレークセレクト 0 チャンネル 0 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル 0 の PC ブレークを命令実行前に設定 1 : チャンネル 0 の PC ブレークを命令実行後に設定
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.4 動作説明

8.4.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. ブレイクアドレスは、ブレイクアドレスレジスタ (BAR) にセットします。マスクするアドレスは、ブレイクアドレスマスクレジスタ (BAMR) にセットします。ブレイクデータは、ブレイクデータレジスタ (BDR) にセットします。マスクするデータは、ブレイクデータマスクレジスタ (BDMR) にセットします。バスブレイク条件は、ブレイクバスサイクルレジスタ (BBR) にセットします。BBRの3つの制御ビットペア、すなわちCバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレイクは発生しません。ブレイク制御は、BRCCRのビットにセットします。すべてのブレイク関連レジスタの設定後にBBRの設定を行い、最後に書き込んだレジスタを読み出してから分岐を発生させてください。分岐先の命令から新しく書き込んだレジスタ値が有効となります。
2. ブレイク条件を満足すると、UBC0 (UBC1) はユーザブレイク要求をINTCを経由してCPU0 (CPU1) に通知するとともに、それぞれのチャンネルに対するCバス条件一致フラグ (SCMFC)、Iバス条件一致フラグ (SCMFD) をセットし、 $\overline{\text{UBCTR}}\overline{\text{G}}$ 端子にCKS[1:0]ビットで設定されたパルス幅で出力します。また、BBRのUBIDビットを1にセットすることにより、ユーザブレイク割り込みを要求せず外部でトリガ出力をモニタすることも可能です。
3. ユーザブレイク割り込み要求信号を受け取ると、INTCは優先順位判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) がレベル14以下のとき、受け付けられません。I3~I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、条件判定は行われ、一致した場合は条件一致フラグがセットされます。優先順位判定については、「第7章 割り込みコントローラ (INTC)」を参照してください。
4. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFC、SCMFD) を使用することができます。ユーザブレイク割り込み例外処理ルーチン中に条件一致フラグビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。
5. チャンネル0およびチャンネル1で設定したブレイクがほぼ同時に発生する場合があります。INTCに対するユーザブレイク割り込み要求は1つだけであっても、これらの2つのブレイクチャンネル一致フラグは2つともセットされる場合があります。
6. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
 - CPUがCバス上で発行したアクセスがIバス上に発行されるかどうかは、キャッシュの設定により異なります。キャッシュ条件によるIバスの動作については、「第9章 キャッシュ」の表9.8を参照してください。
 - Iバスにブレイク条件を設定している場合は、データアクセスサイクルのみ監視し、命令フェッチサイクル(キャッシュ更新サイクルを含む)は監視しません。
 - Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でユーザブレイク割り込み要求を受け付けるかを一意に決定することはできません。

8.4.2 命令フェッチサイクルでのブレイク

1. ブレイクバスサイクルレジスタ (BBR) にCバス / 命令フェッチ / 読み出し / ワードまたはロングワードが設定されると、ブレイク条件はFABバスの命令フェッチになります。命令実行の前にブレイクするか後にブレイクするかは、該当するチャンネルに対するブレイクコントロールレジスタ (BRCR) のPCB0またはPCB1ビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ (BAR) のBA0ビットを0にクリアしてください。このビットが1にセットされているとブレイクは発生しません。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、オーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令ではブレイクは発生しません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令実行前までユーザブレイク割り込み要求は受け付けられません。

【注】 遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、オーバランフェッチ命令ではブレイクは発生しません。遅延分岐命令およびその遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令までユーザブレイク割り込み要求は受け付けられません。
4. 命令フェッチサイクルが設定されるとブレイクデータレジスタ (BDR) は、無視されます。したがって、命令フェッチサイクルのブレイクには、ブレイクデータを設定することはできません。
5. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は無効となります。

8.4.3 データアクセスサイクルでのブレーク

1. データアクセスブレークにおいて、ブレーク条件としてCバスを指定した場合は、実行された命令によりアクセスされたアドレス（およびデータ）に対して条件比較を行いブレークが発生します。ブレーク条件としてIバスを指定した場合は、データアクセスサイクルのアドレス（およびデータ）に対して条件比較を行いブレークが発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「8.4.1 ユーザブレーク動作の流れ」の6.の項を参照してください。
2. 表8.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 8.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレークアドレスレジスタのビット 31～2 とアドレスバスのビット 31～2 を比較
ワード	ブレークアドレスレジスタのビット 31～1 とアドレスバスのビット 31～1 を比較
バイト	ブレークアドレスレジスタのビット 31～0 とアドレスバスのビット 31～0 を比較

これは、たとえばブレークアドレスレジスタ (BAR) にアドレスH'00001003を設定するとき、ブレーク条件を満足するバスサイクルには、（他のすべての条件が満足されると仮定した場合）以下が含まれることを意味します。

H'00001000 でのロングワードアクセス
 H'00001002 でのワードアクセス
 H'00001003 でのバイトアクセス

3. ブレーク条件にデータ値が含まれる場合
 ブレーク条件にデータ値が含まれる場合は、ブレークバスサイクルレジスタ (BBR) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレーク条件に含まれる場合は、アドレス条件とデータ条件が一致するときブレークが発生します。この場合、バイトデータを指定するためには、ブレークデータレジスタ (BDR) とブレークデータマスクレジスタ (BDMR) のビット31～24、ビット23～16、ビット15～8、ビット7～0の4バイトに同じデータをセットします。ワードデータを指定するためには、ビット31～16、ビット15～0の2ワードに同じデータをセットします。
4. PREF命令は、アクセスデータのないロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブレーク条件にデータ値が含まれる場合は、ブレークは発生しません。
5. データアクセスサイクルを選択している場合は、ブレークの発生する命令を特定することはできません。

8.4.4 回避されるプログラムカウンタの値

ユーザブレイク割り込み要求受け付け時は、実行を再開すべき命令のアドレスをスタックに退避し、例外処理状態に移行します。ブレイク条件としてCバス (FAB) / 命令フェッチを指定している場合は、ブレイクの発生する命令を一意に決定することができます。ブレイク条件としてCバス / データアクセスサイクル、またはIバス / データアクセスサイクルを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. Cバス (FAB) / 命令フェッチを (命令実行前) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

2. Cバス (FAB) / 命令フェッチを (命令実行後) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

3. Cバス / データアクセスサイクルまたはIバス / データアクセスサイクルをブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の数命令分の命令実行後のアドレスが退避されます。

8.4.5 使用例

(1) Cバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

• レジスタ指定

BAR_0 = H'00000404、BAMR_0 = H'00000000、BBR_0 = H'0054、BAR_1 = H'00008010、BAMR_1 = H'00000006、
BBR_1 = H'0054、BDR_1 = H'00000000、BDMR_1 = H'00000000、BRCR = H'00000020

<チャンネル0>

アドレス : H'00000404、アドレスマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00008010、アドレスマスク : H'00000006

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00000404の命令実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に発生します。

(例 1-2)

- レジスタ指定

BAR_0 = H'00027128、BAMR_0 = H'00000000、BBR_0 = H'005A、BAR_1 = H'00031415、BAMR_1 = H'00000000、
BBR_1 = H'0054、BDR_1 = H'00000000、BDMR_1 = H'00000000、BRCR = H'00000000

<チャンネル0>

アドレス : H'00027128、アドレスマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル1>

アドレス : H'00031415、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネル0では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル1では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-3)

- レジスタ指定

BAR_0 = H'00008404、BAMR_0 = H'00000FFF、BBR_0 = H'0054、BAR_1 = H'00008010、BAMR_1 = H'00000006、
BBR_1 = H'0054、BDR_1 = H'00000000、BDMR_1 = H'00000000、BRCR = H'00000020

<チャンネル0>

アドレス : H'00008404、アドレスマスク : H'00000FFF

バスサイクル : Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00008010、アドレスマスク : H'00000006

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00008000 ~ H'00008FFEの命令の実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に生じます。

(2) Cバスデータアクセスサイクルに指定したブレイク条件

(例 2-1)

• レジスタ指定

BAR_0 = H'00123456、BAMR_0 = H'00000000、BBR_0 = H'0064、BAR_1 = H'000ABCDE、
BAMR_1 = H'000000FF、BBR_1 = H'106A、BDR_1 = H'A512A512、BDMR_1 = H'00000000、BRCR = H'00000000

<チャンネル0>

アドレス : H'00123456、アドレスマスク : H'00000000

バスサイクル : Cバス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'000ABCDE、アドレスマスク : H'000000FF

データ : H'0000A512、データマスク : H'00000000

バスサイクル : Cバス / データアクセス / 書き込み / ワード

チャンネル0では、ユーザブレイクはアドレスH'00123454に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはH'000ABC00 ~ H'000ABCFEにワードH'A512を書き込むときに生じます。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

• レジスタ指定 :

BAR_0 = H'00314156、BAMR_0 = H'00000000、BBR_0 = H'0094、BAR_1 = H'00055555、BAMR_1 = H'00000000、
BBR_1 = H'11A9、BDR_1 = H'78787878、BDMR_1 = H'0F0F0F0F、BRCR = H'00000000

<チャンネル0>

アドレス : H'00314156、アドレスマスク : H'00000000

バスサイクル : Iバス / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00055555、アドレスマスク : H'00000000

データ : H'00000078、データマスク : H'0000000F

バスサイクル : Iバス / データアクセス / 書き込み / バイト

チャンネル0では、Iバス上の命令フェッチの設定であり無効となります。チャンネル1では、ユーザブレイクはIバス上でCPUがバイトH'7xをアドレスH'00055555に書き込むときに生じます。

8.5 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、バス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブ레이크が発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはCバスサイクルとIバスサイクルを同じチャンネルで監視することはできません。
3. ユーザブ레이크と他の例外が同一命令で発生した場合は、「第6章 例外処理」の表6.1に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブ레이크割り込み要求は受け付けられません。
4. 遅延スロットでブ레이크が発生する場合は、次の注意事項があります。
5. 遅延スロット命令に対して命令実行前ブ레이크を設定した場合は、その分岐先の実行前までブ레이크は発生しません。
6. UBCモジュールスタンバイ時は、ユーザブ레이크機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
7. 割り込み優先レベルが15以上（ユーザブ레이크割り込みを含む）である割り込み例外処理のルーチンが置かれるアドレスをブ레이크アドレスとして設定しないでください。
8. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には命令実行後ブ레이크を設定しないでください。
9. 32ビット命令にブ레이크アドレスを設定する場合、前の16ビット側になるように設定してください。後ろ16ビット側にブ레이크アドレスを設定した場合、ブ레이크条件として命令実行前に設定したとしても命令実行後扱いとなります。
10. DIVU、DIVS命令の次命令に命令実行前ブ레이크を設定しないでください。DIVU、DIVS命令の次命令に対して命令実行前ブ레이크を設定した場合、DIVU、DIVS命令実行中に例外、割り込みが発生し、DIVU、DIVS命令の実行が中断されても、次命令の命令実行前ブ레이크が発生します。

9. キャッシュ

9.1 特長

- 容量
 - 命令キャッシュ：8Kバイト×2コア（CPU0/CPU1）
 - オペランドキャッシュ：8Kバイト×2コア（CPU0/CPU1）
- 構成：命令/データ分離、4ウェイセットアソシアティブ
- ウェイロック機能（オペランドキャッシュのみ）：ウェイ2、ウェイ3はロック可能
- ラインサイズ：16バイト
- エントリ数：128エントリ/ウェイ
- ライト方式：ライトバック方式とライトスルー方式より選択可能
- 置換方式：LRU置換アルゴリズム

9.1.1 キャッシュの構成

キャッシュは、命令/データ分離型の4ウェイセットアソシアティブ方式です。4つのウェイ（バンク）で構成され、おのおののウェイはアドレス、データに分かれています。

アドレス、データはそれぞれ1ウェイあたり128のエントリで構成されます。エントリのデータをラインとよびます。1ラインは16バイト（4バイト×4）です。1ウェイあたりのデータ容量は、2Kバイト（16バイト×128エントリ）で、キャッシュ全体（4ウェイ）では8Kバイトの容量となります。

キャッシュには、CPU0に搭載されているキャッシュ0と、CPU1に搭載されているキャッシュ1の2つがあります。両者の機能はまったく同じです。

キャッシュ0とキャッシュ1の制御レジスタは同じアドレスに割り当てられていますが、CPU0からアクセスした場合は、キャッシュ0のレジスタが、CPU1がアクセスした場合はキャッシュ1のレジスタがアクセスされます。

本章では、キャッシュ0とキャッシュ1を総称してキャッシュと呼称します。

オペランドキャッシュの構成を図 9.1 に示します。命令キャッシュの構成は、U ビットがないことを除いてオペランドキャッシュの構成と同じです。

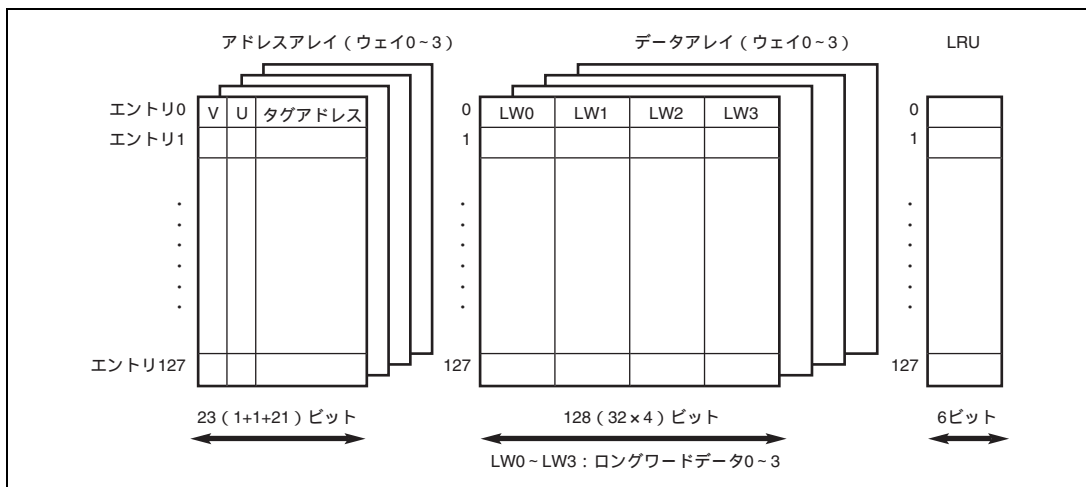


図 9.1 オペランドキャッシュの構成

(1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

U ビット (オペランドキャッシュのみ) は、ライトバックモードで、そのエントリに書き込みがあったことを示します。U ビットが 1 で書き込みあり、0 で書き込みなしを示します。

タグアドレスは、外部メモリのアクセスに使用されるアドレスを保持します。キャッシュ検索時の比較に使用される 21 ビット (アドレス 31 ~ 11) からなります。本 LSI では、キャッシュ有効空間のアドレスが H'00000000 ~ H'FFFFFFF であるため、タグアドレスの上位 3 ビットに 0 が入ります。

V、U ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットおよびスタンバイモード時は、初期化されません。タグアドレスは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時に初期化されません。

(2) データアレイ

16 バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位は、ライン単位 (16 バイト単位) で行います。

データアレイは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時に初期化されません。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令、データを4つまでキャッシュに登録できます。エントリアドレスを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6ビットのLRUビットによって指定されます。キャッシュロック機能(オペランドキャッシュのみ)を使用しない場合のLRUビットとリプレースされるウェイの関係を表9.1に示します(キャッシュロック機能を使用する場合には「9.2.2 キャッシュ制御レジスタ2(CCR2)」を参照してください)。表9.1に示した以外のLRUビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRUビットをソフトウェアで変更するときは、表9.1に示すパターンを設定してください。

LRUビットは、パワーオンリセットでB'000000に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されません。

表 9.1 LRU ビットと置き換えられるウェイ (キャッシュロック機能を使用しない場合)

LRU (ビット5~0)	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

9.2 レジスタの説明

キャッシュには以下のレジスタがあります。

表 9.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
キャッシュ制御レジスタ 1	CCR1	R/W	H'00000000	H'FFFC1000	32
キャッシュ制御レジスタ 2	CCR2	R/W	H'00000000	H'FFFC1004	32

9.2.1 キャッシュ制御レジスタ 1 (CCR1)

命令キャッシュは ICE ビットでイネーブルまたはディスエーブルを指定します。ICF ビットは命令キャッシュの全エントリの無効化を制御します。オペランドキャッシュは OCE ビットでイネーブルまたはディスエーブルを指定します。OCF ビットはオペランドキャッシュの全エントリの無効化を制御します。WT ビットは、オペランドキャッシュのライトスルーモード、ライトバックモードを切り替えます。

CCR1 の内容を変更するプログラムは、キャッシュ無効空間に配置し、CCR1 の内容を読み出した後にキャッシュ有効空間をアクセスしてください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICF	-	-	ICE	-	-	-	-	OCF	-	WT	OCE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ICF	0	R/W	命令キャッシュフラッシュ 1 を書き込むと、命令キャッシュの全エントリの V、LRU ビットを 0 にクリア (フラッシュ) します。読み出すと 0 が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。
10、9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8	ICE	0	R/W	命令キャッシュ有効 命令キャッシュ機能のイネーブル/ディスエーブルを指定します。 0: 命令キャッシュディスエーブル 1: 命令キャッシュイネーブル
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	OCF	0	R/W	オペランドキャッシュフラッシュ 1を書き込むと、オペランドキャッシュの全エントリの V、U、LRU ビットを0にクリア（フラッシュ）します。読み出すと0が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	WT	0	R/W	ライトスルー ライトバック/ライトスルー切り替え 0: ライトバックモード 1: ライトスルーモード
0	OCE	0	R/W	オペランドキャッシュ有効 オペランドキャッシュ機能のイネーブル/ディスエーブルを指定します。 0: オペランドキャッシュディスエーブル 1: オペランドキャッシュイネーブル

9.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 はオペランドキャッシュのキャッシュロック機能を制御するレジスタです。キャッシュロック機能はキャッシュロックモード時のみ有効です。キャッシュロックモードとは、CCR2 のロックイネーブルビット (LE ビット) = 1 の状態です。非キャッシュロックモードでは、キャッシュロック機能は無効です。

キャッシュロックモード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は表 9.3 に示すとおりです。一方、プリフェッチ命令を実行し、キャッシュヒットした場合、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば、Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態で、キャッシュロックモード、W3LOAD = 1 かつ W3LOCK = 1 と設定し、プリフェッチ命令を実行した場合、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時の、プリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は表 9.4 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシュ無効空間に配置し、CCR2 の内容を読み出した後にキャッシュ有効空間をアクセスしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	W3 LOAD*	W3 LOCK	-	-	-	-	-	-	W2 LOAD*	W2 LOCK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	LE	0	R/W	ロックイネーブル キャッシュロックモードを制御します。 0: 非キャッシュロックモード 1: キャッシュロックモード
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9 8	W3LOAD* W3LOCK	0 0	R/W R/W	ウェイ 3 ロード ウェイ 3 ロック W3LOCK=1、W3LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 3 に読み込まれます。その他のすべての条件では、キャッシュミスしたデータは LRU の示すウェイに読み込まれます。
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1 0	W2LOAD* W2LOCK	0 0	R/W R/W	ウェイ 2 ロード ウェイ 2 ロック W2LOCK=1、W2LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 2 に読み込まれます。その他のすべての条件では、キャッシュミスしたデータは LRU の示すウェイに読み込まれます。

【注】 * W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 9.3 PREF 命令がキャッシュミスした場合に置き換えられるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置き換えられるウェイ
0	x	x	x	x	LRU に従う (表 9.1)
1	x	0	x	0	LRU に従う (表 9.1)
1	x	0	0	1	LRU に従う (表 9.5)
1	0	1	x	0	LRU に従う (表 9.6)
1	0	1	0	1	LRU に従う (表 9.7)
1	0	x	1	1	ウェイ 2
1	1	1	0	x	ウェイ 3

【記号説明】 x : Don't care

【注】 * W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 9.4 PREF 命令以外がキャッシュミスした場合に置換されるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置き換えられるウェイ
0	x	x	x	x	LRU に従う (表 9.1)
1	x	0	x	0	LRU に従う (表 9.1)
1	x	0	x	1	LRU に従う (表 9.5)
1	x	1	x	0	LRU に従う (表 9.6)
1	x	1	x	1	LRU に従う (表 9.7)

【記号説明】 x : Don't care

【注】 * W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 9.5 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 0 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000、000001、000100、010100、100000、100001、110000、110100	3
000011、000110、000111、001011、001111、010110、011110、011111	1
101001、101011、111000、111001、111011、111100、111110、111111	0

表 9.6 LRU ビットと置き換えられるウェイ (W2LOCK = 0 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000、000001、000011、001011、100000、100001、101001、101011	2
000100、000110、000111、001111、010100、010110、011110、011111	1
110000、110100、111000、111001、111011、111100、111110、111111	0

表 9.7 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000、000001、000011、000100、000110、000111、001011、001111、010100、010110、011110、011111	1
100000、100001、101001、101011、110000、110100、111000、111001、111011、111100、111110、111111	0

9.3 動作説明

オペランドキャッシュについて説明します。命令キャッシュについては、アドレスアレイにUビットがない、プリフェッチ動作がない、ライト動作がない、ライトバックバッファがないことを除いてオペランドキャッシュと同様です。

9.3.1 キャッシュの検索

オペランドキャッシュがイネーブルのとき（CCR1 レジスタの OCE ビット=1）、キャッシュ有効空間のデータにアクセスすると、キャッシュが検索され、目的のデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 9.2 に示します。

メモリへのアクセスアドレスのビット 10~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。このとき、タグアドレスの上位 3 ビットは常に 0 です。メモリへのアクセスアドレスのビット 31~11 と、読み出したタグアドレスを比較します。アドレスの比較は 4 ウェイとも行います。比較の結果、一致しており、かつ、比較されたエントリが有効である（V=1）場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。ウェイ 1 がヒットした場合を図 9.2 に示します。

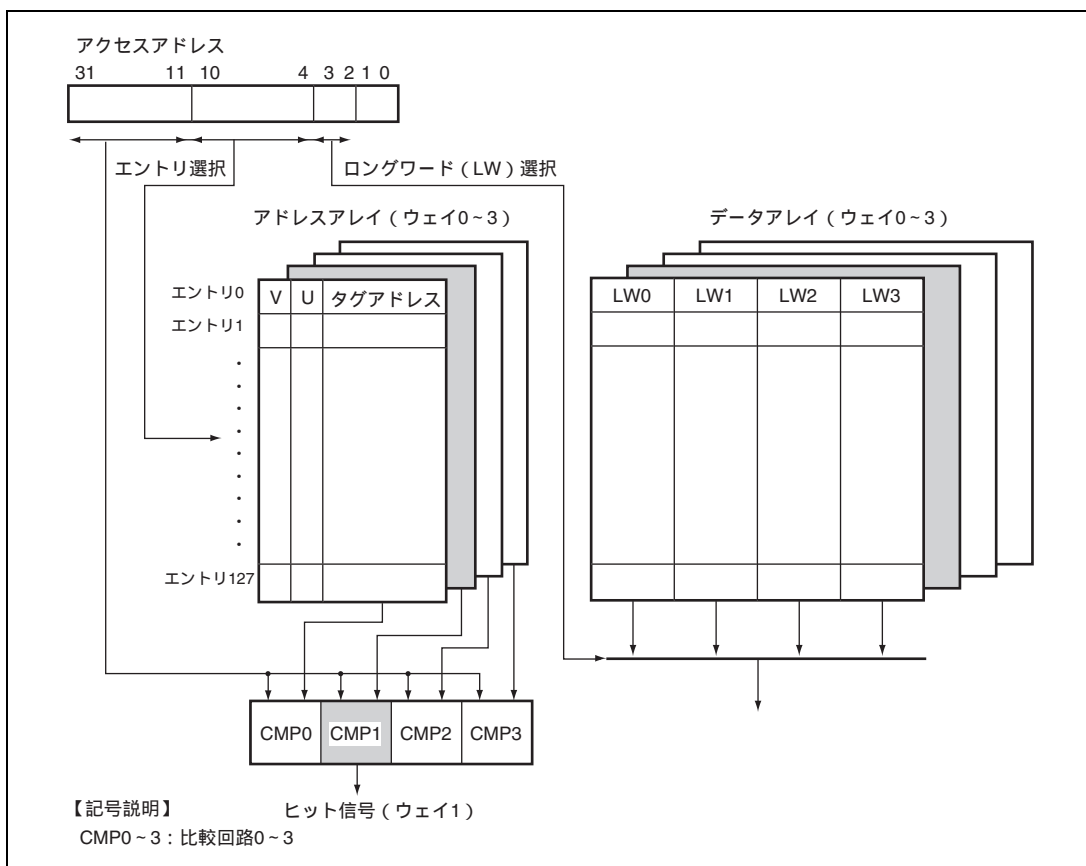


図 9.2 キャッシュの検索方法

9.3.2 リード動作

(1) リードヒット

キャッシュから CPU にデータが転送されます。ヒットしたウェイが最新となるように、LRU が更新されます。

(2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 9.4 に従います。エントリの更新の単位は、16 バイトです。外部メモリから目的のデータがキャッシュに登録されると同時に、CPU にそのデータが転送されます。キャッシュに登録されるたびに、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。オペランドキャッシュではさらに、U ビットが 0 にセットされ、ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。キャッシュの更新、および、メモリへの書き戻しは、ラップアラウンド方式で行います。たとえば、リードミスが発生したアドレスの下位 4 ビットが H4 の場合、アドレスの下位 4 ビットが H4 H8 HC H0 の順番でキャッシュの更新およびメモリへの書き戻しを行います。

9.3.3 プリフェッチ動作 (オペランドキャッシュのみ)

(1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は変更されません。CPU へのデータの転送は行われません。

(2) プリフェッチミス

CPU へのデータの転送が行われず、置換するウェイは表 9.3 に従います。その他の動作はリードミスの場合と同じです。

9.3.4 ライト動作 (オペランドキャッシュのみ)

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 9.4 に従います。エントリの更新によって置き換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュにデータがライトされ、U ビットが 1 にセットされ、V ビットも 1 にセットされます。置換したウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。キャッシュの更新、および、メモリへの書き戻しは、ラップアラウンド方式で行います。たとえば、ライトミスが発生したアドレスの下位 4 ビットが H4 の場合、アドレスの下位 4 ビットが H4 H8 HC H0 の順番でキャッシュの更新、および、メモリへの書き戻しを行います。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

9.3.5 ライトバックバッファ (オペランドキャッシュのみ)

ライトバックモードで置き換えられるエントリの U ビットが 1 のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置き換えられるエントリをまずライトバックバッファに転送し、キャッシュへの新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの 1 ライン分のデータ (16 バイト) とそのアドレスを保持可能です。ライトバックバッファの構成を図 9.3 に示します。

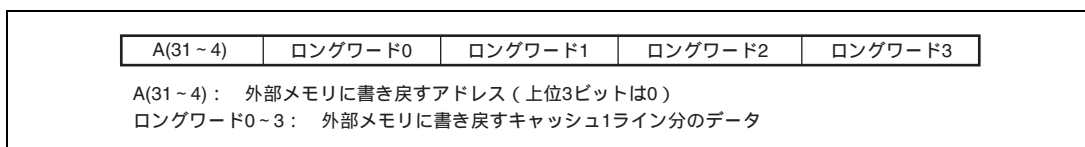


図 9.3 ライトバックバッファの構成

以上の 9.3.2~9.3.5 の動作を表 9.8 にまとめます。

表 9.8 キャッシュ動作まとめ

キャッシュの種類	CPU サイクル	ヒット/ミス	ライトバックモード/ライトスルーモード	U ビット	外部メモリへのアクセス	キャッシュの内容
命令キャッシュ	命令フェッチ	ヒット	-	-	発生しません。	更新されません。
		ミス	-	-	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
オペランドキャッシュ	プリフェッチ/リード	ヒット	どちらのモードでも	x	発生しません。	更新されません。
		ミス	ライトスルーモード	-	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
			ライトバックモード	0	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
				1	キャッシュ更新サイクルが発生します。その後ライトバックバッファの書き戻しサイクルが発生します。	左記更新サイクルの内容で更新されます。
	ライト	ヒット	ライトスルーモード	-	CPU が発行したライトサイクルが発生します。	CPU が発行したライトサイクルの内容で更新されます。
			ライトバックモード	x	発生しません。	CPU が発行したライトサイクルの内容で更新されます。
		ミス	ライトスルーモード	-	CPU が発行したライトサイクルが発生します。	更新されません。*
			ライトバックモード	0	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます。
				1	キャッシュ更新サイクルが発生します。その後ライトバックバッファの書き戻しサイクルが発生します。	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます。

【記号説明】 x : Don't care

【注】 キャッシュ更新サイクル : 16 バイトのリードアクセス

ライトバックバッファの書き戻しサイクル : 16 バイトのライトアクセス

* LRU も更新されません。これ以外のすべてのケースで、LRU は更新されます。

9.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシュ有効空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本 LSI 内の CPU と DMAC との共有メモリについても同様に行ってください。

9.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、MOV 命令により、キャッシュの内容の読み出し、書き込みが可能です。命令キャッシュのアドレスレイは H'F000 0000 ~ H'F07F FFFF に、データレイは H'F100 0000 ~ H'F17F FFFF に割り付けられています。オペランドキャッシュのアドレスレイは H'F080 0000 ~ H'F0FF FFFF に、データレイは H'F180 0000 ~ H'F1FF FFFF に割り付けられています。アドレスレイ、データレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

9.4.1 アドレスレイ

アドレスレイのアクセスには 32 ビットのアドレスの指定（読み出し / 書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。

アドレスにはエントリを選択するためのエントリアドレス、ウェイを選択するための W ビット、連想動作の有無を指定する A ビットを指定します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1~0 には B'00 を指定してください。

データにはタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを指定します。タグアドレスの上位 3 ビット（ビット 31~29）には常に 0 を指定してください。

アドレスおよびデータのフォーマットについては、図 9.4 を参照してください。

アドレスレイに対しては次の 3 種類の操作が可能です。

(1) アドレスレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを読み出します。リードの場合、アドレスに指定される連想ビット（A ビット）は 1 でも 0 でも連想動作は行いません。

(2) アドレスレイライト（連想なし）

アドレスの連想ビット（A ビット）を 0 にしてライトした場合、アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを書き込みます。オペランドキャッシュのアドレスレイに対する書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。メモリへの書き戻しは、

アドレスの下位4ビットが H'0 H'4 H'8 H'C の順番で行います。

(3) アドレスアレイライト (連想あり)

アドレスの連想ビット (A ビット) を 1 にしてライトした場合、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビット (オペランドキャッシュのみ) と V ビットをエントリに書き込みます。ただしタグアドレスと LRU ビットは変更されません。どのウェイにもヒットしなかった場合は書き込みを行わず、ノーオペレーションとなります。本動作はキャッシュの特定エントリの無効化に用いられます。

オペランドキャッシュの場合は、ヒットしたエントリの U ビットが 1 だった場合、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。メモリへの書き戻しは、アドレスの下位4ビットが H'0 H'4 H'8 H'C の順番で行います。

9.4.2 データアレイ

データアレイのアクセスには、32 ビットのアドレスの指定 (読み出し / 書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1 ライン (16 バイト) 中のロングワード位置を示す L ビット、ウェイを指定するための W ビットを指定します。L ビットは B'00 がロングワード 0、B'01 がロングワード 1、B'10 がロングワード 2、B'11 がロングワード 3 を示します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1~0 には B'00 を指定してください。

アドレスおよびデータのフォーマットについては、図 9.4 を参照してください。

データアレイに対しては次の 2 種類の操作が可能です。なお、この操作によってアドレスアレイの情報が変更されることはありません。

(1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスの L ビットで指定されたデータを読み出します。

(2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスの L ビットで指定された位置に、データで指定されたロングワードデータを書き込みます。

(1) 命令キャッシュ		(2) オペランドキャッシュ	
(1-1) アドレスアレイアクセス		(2-1) アドレスアレイアクセス	
(a) アドレス指定		(a) アドレス指定	
読み出し時		読み出し時	
31	23 22	13 12 11 10	4 3 2 1 0
1111 0000 0	*-----*	W エントリアドレス	0 * 0 0
書き込み時		書き込み時	
31	23 22	13 12 11 10	4 3 2 1 0
1111 0000 0	*-----*	W エントリアドレス	A * 0 0
(b) データ(読み出し、書き込み共通)		(b) データ(読み出し、書き込み共通)	
31	29 28	11 10 9	4 3 2 1 0
0 0 0	タグアドレス(28~11)	E LRU	X X X V
(1-2) データアレイアクセス(読み出し、書き込み共通)		(2-2) データアレイアクセス(読み出し、書き込み共通)	
(a) アドレス指定		(a) アドレス指定	
31	23 22	13 12 11 10	4 3 2 1 0
1111 0001 0	*-----*	W エントリアドレス	L 0 0
(b) データ		(b) データ	
31			0
ロングワードデータ		ロングワードデータ	
*: Don't care			
E: 読み出し時はエントリアドレスのビット10、書き込み時はDon't care			
X: 読み出し時は0、書き込み時はDon't care			

図 9.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法

9.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリのVビットに0を書き込むことで実現できます。Aビットを1とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときに書き込みデータで指定されたVビットおよびUビットを書き込みます。一致しない場合はノーオペレーションです。アドレスアレイのあるエントリのVビットを0にすると、そのエントリのUビットが1のときそのエントリがライトバックされます。

以下に、R0に書き込みデータ、R1にアドレスを指定した場合の例を示します。

```
; R0 = H'0110 0010; タグアドレス(28~11) = B'0 0001 0001 0000 0000 0, U = 0, V = 0
; R1 = HF080 0088; オペランドキャッシュアドレスアレイアクセス、エントリ = B'000 1000, A = 1
;
MOV.L   R0, @R1
```

(2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図9.4のデータアレイのデータ部に示されるロングワードが、レジスタに読み出されます。

以下に、R0にアドレスを指定し、R1に読み出す例を示します。

```
; R0 = HF100 004C; 命令キャッシュデータアレイアクセス、エントリ = B'000 0100、ウェイ = 0、
   ロングワードアドレス = 3
;
MOV.L   @R0, R1
```

9.4.4 注意事項

1. オペランドキャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置してください。命令キャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置し、その先頭と最後でそれぞれ2回以上、内蔵周辺モジュールまたは外部アドレス空間(キャッシュ無効アドレス)へのリードアクセスを実行してください。
2. 同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えることは禁止します。同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えた場合の動作は保証しません。
3. メモリ割り付けキャッシュは、CPUでのみアクセス可能です。DMACではアクセスできません。

10. バスステートコントローラ (BSC)

バスステートコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

10.1 特長

1. 外部アドレス空間

- CS0 ~ CS5の各空間、SDRAM空間をそれぞれ最大64Mバイトまでサポート
- 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能

2. 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート
- サイクルウェイト機能：最大31ウェイト (ページアクセスサイクルは、最大7ウェイト)
- ウェイト制御：
 - チップセレクト信号のアサート・ネゲートタイミング設定可能
 - リード・ライトストロープ信号のアサート・ネゲートタイミング設定可能
 - データ出力の開始・終了タイミング設定可能
 - チップセレクト信号の延長設定可能
- ライトアクセスモード：1ライトストロープ/バイトライトストロープモード
- ページアクセスモード：ページリード・ライトサポート (ページ単位は、64ビット/128ビット/256ビット)

3. SDRAMインタフェース

- 最大2つのエリアでSDRAMを設定可能
- リフレッシュ機能：
 - オートリフレッシュ (プログラマブルリフレッシュカウンタ内蔵)
 - セルフリフレッシュ
- アクセスタイミング設定可能 (ロウカラムレイテンシ、カラムレイテンシ、ロウアクティブ期間設定可能)
- 初期化シーケンサ機能、パワーダウン機能、ディープパワーダウン機能、モードレジスタ設定機能内蔵

図 10.1 に BSC のブロック図を示します。BSC は、エリア制御部 (CSC)、アクセス制御部、SDRAM 制御部 (SDRAMC) の 3 ブロックによって構成されます。CSC は、外部アドレス空間における通常空間 (表 10.2 参照) のアクセスを制御します。SDRAMC は SDRAM 空間のアクセスを制御します。アクセス制御部は、上記通常空間と SDRAM 空間の両方に共通動作を制御します。

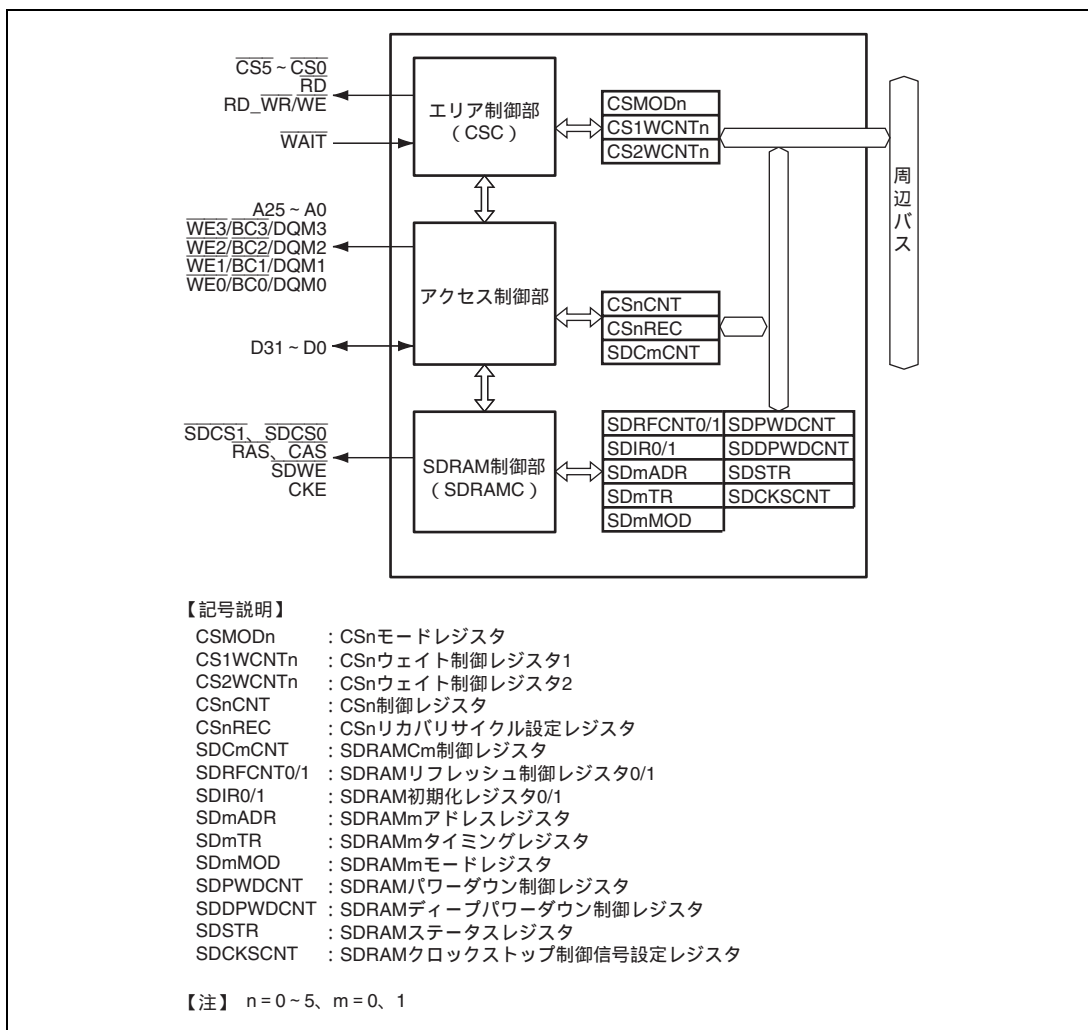


図 10.1 BSC のブロック図

10.2 入出力端子

BSC の端子構成を表 10.1 に示します。

表 10.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
CS5 ~ CS0	出力	チップセレクト
RD	出力	リードパルス信号 (リードデータ出力許可信号)
RD _{WR} /WE	出力	リードまたはライト信号 <ul style="list-style-type: none"> • 通常空間をバイトライトストロープモードアクセス時にはアクセスのリードかライトかを指示 (RD_{WR}) • 通常空間 1 ライトストロープモードアクセス時には、バイト選択付き SRAM の WE 端子に接続 (WE)
WE3/BC3/DQM3	出力	D31 ~ D24 対応のアクセス指示 <ul style="list-style-type: none"> • 通常空間をバイトライトストロープモードアクセス時には上記データ領域への書き込み指示 (WE3) • 通常空間 1 ライトストロープモードアクセス時には、バイト選択付き SRAM のバイトセレクト端子に接続 (BC3) • SDRAM 接続時にはアクセス指示 (DQM3)
WE2/BC2/DQM2	出力	D23 ~ D16 対応のアクセス指示 <ul style="list-style-type: none"> • 通常空間をバイトライトストロープモードアクセス時には上記データ領域への書き込み指示 (WE2) • 通常空間 1 ライトストロープモードアクセス時には、バイト選択付き SRAM のバイトセレクト端子に接続 (BC2) • SDRAM 接続時にはアクセス指示 (DQM2)
WE1/BC1/DQM1	出力	D15 ~ D8 対応のアクセス指示 <ul style="list-style-type: none"> • 通常空間をバイトライトストロープモードアクセス時には上記データ領域への書き込み指示 (WE1) • 通常空間 1 ライトストロープモードアクセス時には、バイト選択付き SRAM のバイトセレクト端子に接続 (BC1) • SDRAM 接続時にはアクセス指示 (DQM1)
WE0/BC0/DQM0	出力	D7 ~ D0 対応のアクセス指示 <ul style="list-style-type: none"> • 通常空間をバイトライトストロープモードアクセス時には上記データ領域への書き込み指示 (WE0) • 通常空間 1 ライトストロープモードアクセス時には、バイト選択付き SRAM のバイトセレクト端子に接続 (BC0) • SDRAM 接続時にはアクセス指示 (DQM0)
SDCS1、SDCS0	出力	SDRAM 接続時は、CS 端子に接続

端子名	入出力	機能
RAS	出力	SDRAM 接続時は、RAS 端子に接続
CAS	出力	SDRAM 接続時は、CAS 端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
SDWE	出力	SDRAM 接続時には、SDRAM の WE 端子に接続 (SDWE)
WAIT	入力	外部ウェイト入力

10.3 エリアの概要

10.3.1 アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、キャッシュ有効空間、キャッシュ無効空間、内蔵空間 (高速内蔵 RAM、保持用内蔵 RAM、内蔵周辺モジュール、予約) に分割されています。

CS0 ~ CS5、SDRAM0、1 の外部アドレス空間は、内部アドレスの A29=0 のときにキャッシュ有効、A29=1 のときにキャッシュ無効となります。

接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 10.2 アドレスマップ

内部アドレス	空間	メモリ種類	BIU* ¹	サイズ	キャッシュ
H'00000000 ~ H'03FFFFFF	CS0	通常空間	BIU_E	64MB	有効
H'04000000 ~ H'07FFFFFF	CS1	通常空間		64MB	
H'08000000 ~ H'0BFFFFFF	CS2	通常空間		64MB	
H'0C000000 ~ H'0FFFFFFF	CS3	通常空間		64MB	
H'10000000 ~ H'13FFFFFF	CS4	通常空間		64MB	
H'14000000 ~ H'17FFFFFF	CS5	通常空間		64MB	
H'18000000 ~ H'1BFFFFFF	SDRAM0	SDRAM 空間		64MB	
H'1C000000 ~ H'1FFFFFFF	SDRAM1	SDRAM 空間	64MB		
H'20000000 ~ H'23FFFFFF	CS0	通常空間 (シャドー)	BIU_E	64MB	無効
H'24000000 ~ H'27FFFFFF	CS1	通常空間 (シャドー)		64MB	
H'28000000 ~ H'2BFFFFFF	CS2	通常空間 (シャドー)		64MB	
H'2C000000 ~ H'2FFFFFFF	CS3	通常空間 (シャドー)		64MB	
H'30000000 ~ H'33FFFFFF	CS4	通常空間 (シャドー)		64MB	
H'34000000 ~ H'37FFFFFF	CS5	通常空間 (シャドー)		64MB	
H'38000000 ~ H'3BFFFFFF	SDRAM0	SDRAM 空間 (シャドー)		64MB	
H'3C000000 ~ H'3FFFFFFF	SDRAM1	SDRAM 空間 (シャドー)		64MB	

内部アドレス	空間	メモリ種類	BIU* ¹	サイズ	キャッシュ
H'40000000 ~ H'7FFFFFFF	予約	予約エリア	-	-	無効
H'80000000 ~ H'E7FFFFFFF	予約	予約エリア	-	-	
H'E8000000 ~ H'EBFFFFFFF	その他	内蔵周辺モジュール	BIU_PB3	64MB	
H'EC000000 ~ H'FFFFFFF	予約	予約エリア	-	-	
H'F0000000 ~ H'F1FFFFFFF	その他	キャッシュのアドレスアレイ空間、 その他	* ²	-	
H'F2000000 ~ H'FEFFFFFFF	予約	予約エリア	-	-	
H'FF400000 ~ H'FF7FFFFFFF	その他	内蔵周辺モジュール、予約エリア	BIU_PB2	4MB	
H'FF800000 ~ H'FF9FFFFFFF	その他	内蔵周辺モジュール、保持用内蔵 RAM、 予約エリア	BIU_PB0	2MB	
H'FFA00000 ~ H'FFBFFFFFFF	その他	内蔵周辺モジュール、予約エリア	BIU_PB1	2MB	
H'FFC00000 ~ H'FFD7FFFFF	予約	予約エリア	-	-	
H'FFD80000 ~ H'FFD8FFFFF	内蔵 RAM0	高速内蔵 RAM0 空間 (シャドー)	BIU_PB0	64KB	
H'FFD90000 ~ H'FFD9FFFFF	予約	予約エリア	-	-	
H'FFDA0000 ~ H'FFDA7FFFFF	内蔵 RAM1	高速内蔵 RAM1 空間 (シャドー)	BIU_PB1	32KB	
H'FFDA8000 ~ H'FFF7FFFFF	予約	予約エリア	-	-	
H'FFF80000 ~ H'FFF8FFFFF	内蔵 RAM0	高速内蔵 RAM0 空間	BIU_PB0	64KB	
H'FFF90000 ~ H'FFF9FFFFF	予約	予約エリア	-	-	
H'FFFA0000 ~ H'FFFA7FFFFF	内蔵 RAM1	高速内蔵 RAM1 空間	BIU_PB1	32KB	
H'FFFA8000 ~ H'FFFBFFFFFFF	予約	予約エリア	-	-	
H'FFFC0000 ~ H'FFFCFFFFF	その他	内蔵周辺モジュール、予約エリア	* ²	64KB	
H'FFFD0000 ~ H'FFFEFFFFF	その他	内蔵周辺モジュール、予約エリア	BIU_PB0	128KB	
H'FFFF0000 ~ H'FFFFFFF	その他	内蔵周辺モジュール、予約エリア	BIU_PB1	64KB	

【注】 *1 BIU はバスインタフェースユニット (Bus Interface Unit) の略であり、CPU や DMAC が各アドレス空間をアクセスする際に経由する内部モジュールです。本 LSI が内蔵する BIU と、各 BIU に接続されるアドレス空間や内部バスの種類を以下に示します。

BIU_E : 外部アドレス空間 (通常空間と SDRAM 空間)

BIU_PB0 : 周辺バス 0 (LSI 内部バス)

BIU_PB1 : 周辺バス 1 (LSI 内部バス)

BIU_PB2 : 周辺バス 2 (LSI 内部バス)

BIU_PB3 : 周辺バス 3 (LSI 内部バス)

また、同じ BIU 同士の DMA パイプライン転送は禁止です。詳細は、「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

*2 キャッシュのアドレスアレイ空間や一部の内蔵周辺モジュールは、どの BIU にも割り当てられていません。これらのデバイスは、内部バスを経由することなく、個々の CPU から直接アクセスされます。DMAC がこれらのデバイスをアクセスすることはできません。

10.3.2 各エリアのデータバス幅と関連端子設定

エリア0のデータバス幅は、外部端子で16、32ビットから選択できますが、起動後のプログラム中での変更はできません。SDRAM0、SDRAM1、エリア1~5の初期状態のデータバス幅はエリア0と同じになりますが、レジスタの設定によりプログラム中で変更できます。

パワーオンリセット直後に、エリア0のROMを読み出すのに必要となるアドレスの一部とデータバスの一部、 $\overline{CS0}$ 、 \overline{RD} の端子機能のみが初期機能として自動的に選択されますが、それ以外の機能は初期機能が汎用ポートとなり、プログラムで端子機能を設定するまでは使用できません。端子設定が完了するまでは、エリア0のリードアクセス以外は行わないでください。

表 10.3 に外部端子設定とエリア別初期状態を示します。

なお、本章に記載しているアクセス波形例では、 $\overline{RD_WR}$ 、 $\overline{WE_n}$ などの端子も示していますが、これらはピンファンクションコントローラで端子機能を設定した場合の例です。例えば、32ビットデータバス幅で起動後に、エリア0以外の空間のバス幅を16ビットに変更する場合、A1端子の設定が必要になり、8ビットに変更する場合、A1、A0端子の設定が必要になります。

端子設定の詳細は、「第30章 ピンファンクションコントローラ (PFC)」を参照してください。

表 10.3 外部端子 (MD) 設定とエリア別初期状態

MD	項目	エリア0	SDRAM0, SDRAM1, エリア1~5
1	データバス幅	32ビットバス幅に固定。変更不可	初期値は32ビットバス幅。プログラムで変更可能
	本モジュール 関連端子設定	A20-A2、D31-D0、 $\overline{CS0}$ 、 \overline{RD} の端子機能のみは自動設定。 それ以外の端子はプログラムで設定が必要。	
0	データバス幅	16ビットバス幅に固定。変更不可	初期値は16ビットバス幅。プログラムで変更可能
	本モジュール 関連端子設定	A20-A1、D15-D0、 $\overline{CS0}$ 、 \overline{RD} の端子機能のみは自動設定。 それ以外の端子はプログラムで設定が必要。	

- 【注】
1. エリア0にA21以上のアドレス線を使用するROMを接続する場合、A21以上のアドレス線に対し基板上でプルダウン処理が必要です。
 2. アドレス線のA0機能と $\overline{RD_WR/WE}$ 機能を同一端子(PB0)に、また、 $\overline{CS3}$ 機能と $\overline{RD_WR/WE}$ 機能を同一端子(PB6)に割り当てているため、8ビットバス幅接続デバイス、 $\overline{RD_WR/WE}$ 機能、エリア3の3つを併用することはできません。

10.4 レジスタの説明

BSC には以下のレジスタがあります。すべてのレジスタは、パワーオンリセットおよびディープスタンバイモード時に初期化されます。

接続メモリとのインタフェースの設定が終了するまでは、エリア 0 空間以外はアクセスしないでください。

表 10.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
CS0 制御レジスタ	CS0CNT	R/W	H'00010000/ H'00110000*	H'FF420000	8、16、32
CS0 リカバリサイクル設定レジスタ	CS0REC	R/W	H'00000000	H'FF420008	8、16、32
CS1 制御レジスタ	CS1CNT	R/W	H'00000000	H'FF420010	8、16、32
CS1 リカバリサイクル設定レジスタ	CS1REC	R/W	H'00000000	H'FF420018	8、16、32
CS2 制御レジスタ	CS2CNT	R/W	H'00000000	H'FF420020	8、16、32
CS2 リカバリサイクル設定レジスタ	CS2REC	R/W	H'00000000	H'FF420028	8、16、32
CS3 制御レジスタ	CS3CNT	R/W	H'00000000	H'FF420030	8、16、32
CS3 リカバリサイクル設定レジスタ	CS3REC	R/W	H'00000000	H'FF420038	8、16、32
CS4 制御レジスタ	CS4CNT	R/W	H'00000000	H'FF420040	8、16、32
CS4 リカバリサイクル設定レジスタ	CS4REC	R/W	H'00000000	H'FF420048	8、16、32
CS5 制御レジスタ	CS5CNT	R/W	H'00000000	H'FF420050	8、16、32
CS5 リカバリサイクル設定レジスタ	CS5REC	R/W	H'00000000	H'FF420058	8、16、32
SDRAMC0 制御レジスタ	SDC0CNT	R/W	H'00000000	H'FF420100	8、16、32
SDRAMC1 制御レジスタ	SDC1CNT	R/W	H'00000000	H'FF420110	8、16、32
CS0 モードレジスタ	CSMOD0	R/W	H'00000000	H'FF421000	8、16、32
CS0 ウェイト制御レジスタ 1	CS1WCNT0	R/W	H'1F1F0707	H'FF421004	8、16、32
CS0 ウェイト制御レジスタ 2	CS2WCNT0	R/W	H'00000007	H'FF421008	8、16、32
CS1 モードレジスタ	CSMOD1	R/W	H'00000000	H'FF421010	8、16、32
CS1 ウェイト制御レジスタ 1	CS1WCNT1	R/W	H'1F1F0707	H'FF421014	8、16、32
CS1 ウェイト制御レジスタ 2	CS2WCNT1	R/W	H'00000007	H'FF421018	8、16、32
CS2 モードレジスタ	CSMOD2	R/W	H'00000000	H'FF421020	8、16、32
CS2 ウェイト制御レジスタ 1	CS1WCNT2	R/W	H'1F1F0707	H'FF421024	8、16、32
CS2 ウェイト制御レジスタ 2	CS2WCNT2	R/W	H'00000007	H'FF421028	8、16、32
CS3 モードレジスタ	CSMOD3	R/W	H'00000000	H'FF421030	8、16、32
CS3 ウェイト制御レジスタ 1	CS1WCNT3	R/W	H'1F1F0707	H'FF421034	8、16、32
CS3 ウェイト制御レジスタ 2	CS2WCNT3	R/W	H'00000007	H'FF421038	8、16、32
CS4 モードレジスタ	CSMOD4	R/W	H'00000000	H'FF421040	8、16、32
CS4 ウェイト制御レジスタ 1	CS1WCNT4	R/W	H'1F1F0707	H'FF421044	8、16、32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
CS4 ウェイト制御レジスタ 2	CS2WCNT4	R/W	H'00000007	H'FF421048	8、16、32
CS5 モードレジスタ	CSMOD5	R/W	H'00000000	H'FF421050	8、16、32
CS5 ウェイト制御レジスタ 1	CS1WCNT5	R/W	H'1F1F0707	H'FF421054	8、16、32
CS5 ウェイト制御レジスタ 2	CS2WCNT5	R/W	H'00000007	H'FF421058	8、16、32
SDRAM リフレッシュ制御レジスタ 0	SDRFCNT0	R/W	H'00000000	H'FF422000	8、16、32
SDRAM リフレッシュ制御レジスタ 1	SDRFCNT1	R/W	H'0000xxxx	H'FF422004	16、32
SDRAM 初期化レジスタ 0	SDIR0	R/W	H'00000xxx	H'FF422008	8、16、32
SDRAM 初期化レジスタ 1	SDIR1	R/W	H'00000000	H'FF42200C	8、16、32
SDRAM パワーダウン制御レジスタ	SDPWCNT	R/W	H'00000000	H'FF422010	8、16、32
SDRAM ディープパワーダウン制御レジスタ	SDDPWCNT	R/W	H'00000000	H'FF422014	8、16、32
SDRAM0 アドレスレジスタ	SD0ADR	R/W	H'00000x0x	H'FF422020	8、16、32
SDRAM0 タイミングレジスタ	SD0TR	R/W	H'000xxx0x	H'FF422024	8、16、32
SDRAM0 モードレジスタ	SD0MOD	R/W	H'0000xxxx	H'FF422028	16、32
SDRAM1 アドレスレジスタ	SD1ADR	R/W	H'00000x0x	H'FF422040	8、16、32
SDRAM1 タイミングレジスタ	SD1TR	R/W	H'000xxx0x	H'FF422044	8、16、32
SDRAM1 モードレジスタ	SD1MOD	R/W	H'0000xxxx	H'FF422048	16、32
SDRAM ステータスレジスタ	SDSTR	R	H'00000000	H'FF4220E4	8、16、32
SDRAM クロックストップ制御信号設定レジスタ	SDCKSCNT	R/W	H'0000000F	H'FF4220E8	8、16、32

【注】 * 起動時の MD0 端子の設定により異なります。

10.4.1 CSn 制御レジスタ (CSnCNT) (n = 0 ~ 5)

CSnCNT は、CSC インタフェースにおける外部バス幅の選択および動作制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BSIZE[1:0]		-	-	-	EXENB
初期値:	0	0	0	0	0	0	0	0	0	0	0*1	0*1	0	0	0	0*2
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	BSIZE[1:0]	00*1	R/W	外部バス幅選択 このビットにより、CSC の各チャネルに対応する外部デバイスのデータバス幅を設定します。なお、CSC のチャネル0 (CS0) のデータバス幅の初期値は、MD0 端子設定によって異なります。 10 : 8 ビットバス 00 : 16 ビットバス 01 : 32 ビットバス
19~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	EXENB	0*2	R/W	動作許可 このビットにより、CSC の各チャネルの動作許可 / 禁止を設定します。CS0 に対応する初期値のみ、動作許可 (EXENB = 1) となります。 0 : 動作禁止 1 : 動作許可
15~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 *1 CS0 の BSIZE の初期値は、MD0 端子設定によって異なります。

*2 CS0 の EXENB の初期値は 1 となります。

各チャネルを動作禁止 (EXENB = 0) にする場合、内部のライトバッファに一時的に保持したデータを強制的に外部に書き出すために、以下の手順で実施ください。

1. まず動作禁止にするチャネルへのリードアクセスを行う。
2. 次に、EXENBビットに0ライト (動作禁止) を行う。

10.4.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 5)

CSnREC は、リードまたはライトアクセス後に挿入するデータリカバリサイクル数を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	WRCV[3:0]				-	-	-	-	RRCV[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27 ~ 24	WRCV[3:0]	0000	R/W	ライト後データリカバリサイクル設定 このビットにより、外部バスに対するライトアクセス後に挿入するデータリカバリサイクル数を設定します。0 以外を設定すると、外部バスに対するライトアクセス後に外部バスに対するリードアクセスがある場合に、1 ~ 15 サイクルのデータリカバリサイクルが挿入されます (CSC の同じチャネルに対する連続アクセスでも、データリカバリサイクルが挿入されます)。なお、外部アクセス間にアイドルサイクルが存在する場合には、挿入されるデータリカバリサイクルはアイドルサイクル分だけ短縮されます。 0000 : 0 サイクル 0001 : 1 サイクル : 1111 : 15 サイクル
23 ~ 20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
19~16	RRCV[3:0]	0000	R/W	<p>リード後データリカバリサイクル設定</p> <p>このビットにより、外部バスに対するリードアクセス後に挿入するデータリカバリサイクル数を設定します。0 以外を設定すると、以下の場合にデータリカバリサイクルが挿入されます。</p> <p>外部バスに対するリードアクセス後に外部バスのライトアクセスがある場合 (CSC の同じチャンネルに対する連続アクセスでも、データリカバリサイクルが挿入されます。) 外部バスに対するリードアクセス後、CSC の異なったチャンネルに対するリードアクセスがある場合 (CSC の同じチャンネルに対する連続アクセスについては、データリカバリサイクルが挿入されません。)</p> <p>なお、外部アクセス間にアイドルサイクルが存在する場合には、挿入されるデータリカバリサイクルはアイドルサイクル分だけ短縮されます</p> <p>0000 : 0 サイクル 0001 : 1 サイクル : 1111 : 15 サイクル</p>
15~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

- 【注】
- SDRAM に対するアクセスの場合、タイミング的にバス上のデータ衝突はありません。したがって、SDRAM に対するデータリカバリサイクルの設定はありません (0 サイクル固定)。
 - CSn リカバリサイクル設定レジスタ (CSnREC) への書き込みは、対応するチャンネルの CSC を動作禁止 (EXENB = 0) にして行ってください。チャンネル 0 (CS0) のみ動作許可 (EXENB = 1) での変更が可能です。このときは、以下の制約をすべて満たしてください。
 - DMAC を停止状態とする。
 - レジスタを更新しようとする CPU 以外の CPU が CS0 空間にアクセスしない (命令フェッチも含む) ようにする。たとえば、CPU0 がレジスタを更新する場合、CPU1 は内蔵メモリにコピーしたプログラムでループさせたり、または SLEEP させたりする。
 - リセット解除からレジスタ更新の間に、CS0 へのデータライトアクセスを行っていない。

10.4.3 SDRAMCm 制御レジスタ (SDCmCNT) (m = 0、1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BSIZE[1:0]	-	-	-	-	EXENB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21、20	BSIZE[1:0]	00	R/W	外部バス幅選択 このビットにより、SDRAMC の各チャンネルに対応する外部デバイスのデータバス幅を設定します。 10 : 8 ビットバス 00 : 16 ビットバス 01 : 32 ビットバス
19~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	EXENB	0	R/W	動作許可 このビットにより SDRAMC の各チャンネルの動作許可 / 禁止を設定します。 0 : 動作禁止 1 : 動作許可
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

各チャンネルを動作禁止 (EXENB = 0) にする場合、内部のライトバッファに一時的に保持したデータを強制的に外部に書き出すために、以下の手順で実施ください。

1. まず動作禁止にするチャンネルへのリードアクセスを行う。
2. 次に、EXENB ビットに 0 ライト (動作禁止) を行う。

10.4.4 CSn モードレジスタ (CSMODn) (n = 0 ~ 5)

CSMODn は、ページリードアクセスモード選択、ページアクセス境界選択、ページリード/ライトアクセス許可、外部ウェイト許可およびライトアクセスモード選択を制御するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRMOD	-	PBCNT[1:0]	-	-	PWENB	PRENB	-	-	-	-	EWENB	-	-	WRMOD	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R/W	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	PRMOD	0	R/W	ページリードアクセスモード選択 このビットにより、ページリードアクセス時の動作モードを選択します。0を設定すると、ノーマルアクセス互換モードになります。このとき、1データをリードするごとに RD 信号がネゲートされ、RD アサートウェイトが挿入されます。1を設定すると、外部データリード連続アサートモードになります。このとき、ページアクセスの間連続して RD がアサートされ続けます。 0 : ノーマルアクセス互換モード 1 : 外部データリード連続アサートモード
30	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29, 28	PBCNT[1:0]	00	R/W	ページアクセスビット境界選択 このビットにより、ページアクセス動作のビット境界を選択します。ページアクセス動作中に、このビットで設定したビット境界を超えると、ページアクセス動作を一時終了 (CSn 信号をネゲート) し、再度ページアクセス動作を開始します。このビットへの書き込みは、PWENB ビット、PRENB ビットのいずれかを 1 に設定したときのみ有効になります。 00 : 64 ビット境界 01 : 128 ビット境界 10 : 256 ビット境界 11 : 設定禁止
27, 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	PWENB	0	R/W	ページライトアクセス許可 このビットにより、ページライトアクセスの許可を選択します。 0 : ページライトアクセス禁止 1 : ページライトアクセス許可

ビット	ビット名	初期値	R/W	説明
24	PRENB	0	R/W	ページリードアクセス許可 このビットにより、ページリードアクセスの許可を選択します。 0: ページリードアクセス禁止 1: ページリードアクセス許可
23~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19	EWENB	0	R/W	外部ウェイト許可 このビットにより、外部ウェイトの許可/禁止を設定します。 1を設定すると、外部ウェイト許可となり、外部ウェイト信号 (WAIT) により、各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT 信号がローレベルの間、ウェイトサイクルが挿入されます。 0であれば、WAIT 信号は無効になります。 0: 外部ウェイト禁止 1: 外部ウェイト許可
18, 17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	WRMOD	0	R/W	ライトアクセスモード選択 このビットにより、ライトアクセス時の動作モードを選択します。0を設定すると、バイトライトストローブモードになります。このとき、それぞれのバイト位置に対応した複数のライト信号 (WE3~WE0) によりデータ書き込みの制御を行います。1を設定すると、1ライトストローブモードになります。このとき、それぞれのバイト位置に対応した複数のバイトコントロール信号 (BC3~BC0) と単一のライト信号 (WE) によりデータ書き込みの制御を行います。 0: バイトライトストローブモード 1: 1ライトストローブモード
15~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

CSn モードレジスタ (CSMODn) への書き込みは、対応するチャンネルの CSC を動作禁止 (EXENB = 0) にして行ってください。チャンネル0 (CS0) のみ動作許可 (EXENB = 1) での変更が可能ですが、このときは、以下の制約をすべて満たしてください。

1. DMACを停止状態とする。
2. レジスタを更新しようとするCPU以外のCPUがCS0空間にアクセスしない (命令フェッチも含む) ようにする。たとえば、CPU0がレジスタを更新する場合、CPU1は内蔵メモリにコピーしたプログラムでループさせたり、またはSLEEPさせたりする。
3. リセット解除からレジスタ更新の間に、CS0へのデータライトアクセスを行っていない。

10.4.5 CSn ウェイト制御レジスタ 1 (CS1WCNTn) (n=0~5)

CS1WCNTn は、リード/ライトサイクル、またはページリード/ページライトサイクルに挿入するウェイト数を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	CSRWAIT[4:0]				-	-	-	CSWWAIT[4:0]					
初期値 :	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CSPRWAIT[2:0]		-	-	-	-	-	CSPWWAIT[2:0]			
初期値 :	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~24	CSRWAIT [4:0]	11111	R/W	リードサイクルウェイト選択 このビットにより、ノーマルリードサイクルおよびページリードサイクルの最初のサイクルに挿入するウェイト数を設定します。 00000 : 0 ウェイト : 11111 : 31 ウェイト
23~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~16	CSWWAIT [4:0]	11111	R/W	ライトサイクルウェイト選択 このビットにより、ノーマルライトサイクルおよびページライトサイクルの最初のサイクルに挿入するウェイト数を設定します。 00000 : 0 ウェイト : 11111 : 31 ウェイト
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	CSPRWAIT [2:0]	111	R/W	ページリードサイクルウェイト選択 このビットにより、ページリードサイクルの2サイクル目以降に挿入するウェイト数を設定します。本設定は、ページリードアクセス許可ビット (PRENB) が1のとき、有効になります。 000 : 0 ウェイト : 111 : 7 ウェイト
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	CSPWAIT [2:0]	111	R/W	ページライトサイクルウェイト選択 このビットにより、ページライトサイクルの2サイクル目以降に挿入するウェイト数を設定します。本設定は、ページライトアクセス許可ビット (PWENB) が1のとき、有効になります。 000 : 0 ウェイト : 111 : 7 ウェイト

- 【注】
1. ページリード/ライトサイクルウェイト (CSPRWAIT、CSPWAIT) は、リード/ライトサイクルウェイト (CSRWAIT、CSWAIT) の範囲内で設定してください。各ウェイト数の選択は、使用するシステム構成に応じて検討してください。
 2. CSn ウェイト制御レジスタ 1 (CS1WCNTn) への書き込みは、対応するチャネルの CSC を動作禁止 (EXENB = 0) にして行ってください。チャネル 0 (CS0) のみ動作許可 (EXENB = 1) での変更が可能ですが、このときは、以下の制約をすべて満たしてください。
 - ・ DMAC を停止状態とする。
 - ・ レジスタを更新しようとする CPU 以外の CPU が CS0 空間にアクセスしない (命令フェッチも含む) ようにする。たとえば、CPU0 がレジスタを更新する場合、CPU1 は内蔵メモリにコピーしたプログラムでループさせたり、または SLEEP させたりする。
 - ・ リセット解除からレジスタ更新の間に、CS0 へのデータライトアクセスを行っていない。

10.4.6 CSn ウェイト制御レジスタ 2 (CS2WCNTn) (n = 0 ~ 5)

CS2WCNTn は、各ウェイト数および延長サイクル数の選択を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	CSON[2:0]			-	WDON[2:0]			-	WRON[2:0]			-	RDON[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WDOFF[2:0]			-	CSWOFF[2:0]			-	CSROFF[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~28	CSON[2:0]	000	R/W	CS アサートウェイト選択 このビットにより、外部チップセレクト信号 (\overline{CSn}) のアサート前に挿入するウェイト数を設定します。 000 : 0ウェイト : 111 : 7ウェイト
27	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~24	WDON[2:0]	000	R/W	ライトデータ出力ウェイト選択 このビットにより、外部データバスを出力する前に挿入するウェイト数を設定します。 000 : 0ウェイト : 111 : 7ウェイト
23	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22~20	WRON[2:0]	000	R/W	WR アサートウェイト選択 このビットにより、外部データライト信号 ($\overline{WE3} \sim \overline{WE0}$) のアサート前に挿入するウェイト数を設定します。 000 : 0ウェイト : 111 : 7ウェイト

ビット	ビット名	初期値	R/W	説明
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	RDON[2:0]	000	R/W	RD アサートウェイト選択 このビットにより、外部データリード信号 (\overline{RD}) のアサート前に挿入するウェイト数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	WDOFF[2:0]	000	R/W	ライトデータ出力延長サイクル選択 このビットにより、ライト時のウェイトサイクル終了時 ($\overline{WE3} \sim \overline{WE0}$ 信号のネゲート時) から外部データバスをネゲートするまでのサイクル数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	CSWOFF[2:0]	000	R/W	ライト時 CS 延長サイクル選択 このビットにより、ライトアクセス時のウェイトサイクル終了時 ($\overline{WE3} \sim \overline{WE0}$ 信号のネゲート時) から $\overline{CS5} \sim \overline{CS0}$ 信号をネゲートするまでのサイクル数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	CSROFF[2:0]	111	R/W	リード時 CS 延長サイクル選択 このビットにより、リードアクセス時のウェイトサイクル終了時 (\overline{RD} 信号のネゲート時) から $\overline{CS5} \sim \overline{CS0}$ 信号をネゲートするまでのサイクル数を設定します。 000 : 0 ウェイト : 111 : 7 ウェイト

- 【注】
- 各ウェイト数、延長サイクル数の選択は、使用するシステム構成に応じて検討してください。
 - CSn ウェイト制御レジスタ 2 (CS2WCNTn) への書き込みは、対応するチャンネルの CSC を動作禁止 (EXENB = 0) にして行ってください。チャンネル 0 (CS0) のみ動作許可 (EXENB = 1) での変更が可能ですが、このときは、以下の制約をすべて満たしてください。
 - ・DMAC を停止状態とする。

- ・レジスタを更新しようとする CPU 以外の CPU が CS0 空間にアクセスしない (命令フェッチも含む) ようにする。たとえば、CPU0 がレジスタを更新する場合、CPU1 は内蔵メモリにコピーしたプログラムでループさせたり、または SLEEP させたりします。
 - ・リセット解除からレジスタ更新の間に、CS0 へのデータライトアクセスを行っていない。
3. 各ビットは、以下の制約の範囲内で設定ください。
- ページアクセス禁止時 (PRENB、PWENB = 0)
- CSON Min. (CSRWAIT、CSWAIT)、WDON CSWAIT、
- WRON CSWAIT、RDON CSRWAIT
- WDOFF CSWOFF
- ページアクセス許可時 (PRENB=1 または PWENB=1)
- ページアクセス禁止時の制約に加えて、以下の制約を追加。
- CSON Min. (CSPRWAIT、CSPWAIT)
- WRON CSPWAIT、RDON CSPRWAIT
- WDON CSPWAIT

10.4.7 SDRAM リフレッシュ制御レジスタ 0 (SDRFCNT0)

SDRFCNT0 は、セルフリフレッシュ動作を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DSFEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DSFEN	0	R/W	SDRAM 共通セルフリフレッシュ動作有効 このビットによりセルフリフレッシュ動作を制御します。制御は、全チャネル同時に行われます。1 をセットした場合、オートリフレッシュサイクル動作を行い、その直後にセルフリフレッシュ動作を開始します。0 にクリアした場合、セルフリフレッシュ動作を終了し、その直後にオートリフレッシュ動作を行います。このビットに書き込んだ値は、1 をセットした場合はセルフリフレッシュ動作開始時に、0 にクリアした場合はセルフリフレッシュ動作終了後のオートリフレッシュ開始時に反映されます。 0: セルフリフレッシュ無効 1: セルフリフレッシュ有効

10.4.8 SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1)

SDRFCNT1 は、オートリフレッシュ動作を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DRFEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DREFW[3:0]				DRFC[11:0]											
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	DRFEN	0	R/W	<p>オートリフレッシュ動作有効</p> <p>このビットにより、オートリフレッシュ動作を制御します。制御は全チャネル同時に行われます。このビットを 0 にクリアした場合、オートリフレッシュ動作を行いません。このビットを 1 にセットした場合、オートリフレッシュ動作を行います。オートリフレッシュ有効時にこのビットを 0 クリアすると、次のオートリフレッシュサイクル終了後に DRFEN ビットが 0 クリアされ、オートリフレッシュ動作が停止します。オートリフレッシュ無効時に 1 セットすると、DRFEN ビットに 1 がセットされるとともにオートリフレッシュを行い、その後カウンタにより定期的リフレッシュ要求が発生します。リフレッシュ要求の発生間隔は、オートリフレッシュ間隔選択ビット (DRFC) で設定した値に従います。リフレッシュ要求は、SDRAM へのアクセス中は受け付けられず、アクセス完了まで待たされます。SDRAM へのアクセスとリフレッシュ要求が同時に発生した場合は、リフレッシュ要求が優先されます。</p> <p>0 : オートリフレッシュ無効 1 : オートリフレッシュ有効</p>

ビット	ビット名	初期値	R/W	説明
15～12	DREFW [3:0]	不定	R/W	<p>オートリフレッシュサイクル/セルフリフレッシュ解除サイクル数設定</p> <p>このビットにより、オートリフレッシュサイクル数、セルフリフレッシュ解除サイクル数を設定します。このビットへの書き込みは、オートリフレッシュ動作有効ビット (DRFEN) の状態にかかわらず行うことができます。オートリフレッシュ無効時、このビットへ書き込んだ値は、直ちに反映されます。オートリフレッシュ有効時にこのビットへ書き込んだ値は、オートリフレッシュサイクル中でなければ直ちに反映され、オートリフレッシュサイクル中であれば終了後に反映されます。</p> <p>0000 : 1 サイクル 0001 : 2 サイクル 0010 : 3 サイクル : 1111 : 16 サイクル</p>
11～0	DRFC[11:0]	不定	R/W	<p>オートリフレッシュ要求間隔設定</p> <p>このビットにより、オートリフレッシュ間隔を設定します。このビットへの書き込みは、オートリフレッシュ動作有効ビット (DRFEN) の状態にかかわらず行うことができます。オートリフレッシュ無効時、このビットへ書き込んだ値は、直ちにリフレッシュカウンタへ反映されます。オートリフレッシュ有効時にこのビットへ書き込んだ値は、次のオートリフレッシュ要求発行時にリフレッシュカウンタに反映されます。</p> <p>000000000000 : 設定禁止 000000000001 : 2 サイクル 000000000010 : 3 サイクル : 111111111111 : 4096 サイクル</p>

【注】 複数リード、複数ライトアクセス中、DMAC による転送中はオートリフレッシュ要求を受け付けられないサイクルがありますので、オートリフレッシュ間隔が広がる場合があります。使用する SDRAM のオートリフレッシュ間隔規定を満たすようにオートリフレッシュ要求間隔を決定し、DRFC ビットを設定してください。このとき、オートリフレッシュ要求間隔はオートリフレッシュサイクルより長くなるように設定してください。

(a) オートリフレッシュ要求間隔と DRFC 設定値の関係

SDRAMC には、12 ビットのリフレッシュカウンタが内蔵されており、定期的にオートリフレッシュ要求を発生します。オートリフレッシュ要求間隔から DRFC ビットの設定値を求める計算式を以下に示します。

$$\text{DRFC} = (\text{オートリフレッシュ要求間隔} / \text{バスクロック周期}) - 1$$

オートリフレッシュ要求は SDRAM アクセス中には受け付けられず、アクセス終了まで待たされますが、要求が受け付けられたか否かにかかわらずカウンタ値は更新されます。アクセス中に 2 回以上オートリフレッシュ要求が発生した場合、2 回目以降のリフレッシュ要求は無視されますので注意してください。

10.4.9 SDRAM 初期化レジスタ 0 (SDIR0)

SDIR0 は SDRAM の初期化シーケンスのタイミングを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	DPC[2:0]			DARFC[3:0]			DARFI[3:0]				
初期値:	0	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	DPC[2:0]	不定	R/W	初期化プリチャージサイクル数設定 このビットにより、SDRAM の初期化シーケンスにおけるプリチャージサイクル数を設定します。 000 : 3 サイクル 001 : 4 サイクル : 111 : 10 サイクル
7~4	DARFC[3:0]	不定	R/W	初期化オートリフレッシュ回数 このビットにより、SDRAM の初期化シーケンスにおけるオートリフレッシュ回数を設定します。 0000 : 設定禁止 0001 : 1 回 : 1111 : 15 回
3~0	DARFI[3:0]	不定	R/W	初期化オートリフレッシュ間隔 このビットにより、SDRAM の初期化シーケンスにおけるオートリフレッシュコマンドの発行間隔を設定します。 0000 : 3 サイクル 0001 : 4 サイクル 0010 : 5 サイクル : 1111 : 18 サイクル

【注】 初期化シーケンス開始前に、接続する SDRAM の仕様を満たすように設定してください。

10.4.10 SDRAM 初期化レジスタ 1 (SDIR1)

SDIR1 は、SDRAM 初期化シーケンスの起動を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DINIST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DINIRQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	DINIST	0	R/W	初期化ステータス このビットに1がセットされている時は、SDRAM0、SDRAM1のいずれかのチャンネルがSDRAM初期化シーケンス実行中であることを示します。 0: 初期化シーケンス中ではない 1: 初期化シーケンス中
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	DINIRQ	0	R/W	共通初期化シーケンス開始 このビットに1をセットすると、SDRAM初期化シーケンスが開始され、自動的に初期化ステータスビット(DINIST)が1にセットされます。初期化シーケンス終了後、初期化ステータスビット(DINIST)が自動的にクリアされます。DINIRQビットへ書き込んだ値は保持されません。 0: 無効 1: 初期化シーケンス開始

10.4.11 SDRAM パワーダウン制御レジスタ (SDPWDCNT)

SDPWDCNT は、パワーダウンモードへの移行と復帰を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DPWD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	DPWD	0	R/W	SDRAM 共通パワーダウン有効 このビットにより、パワーダウンモードへの移行と復帰を制御します。制御は、全チャンネル同時に行われます。このビットに1をセットした場合、全チャンネルがパワーダウンモードへ移行します。このビットを0にクリアした場合、全チャンネルがパワーダウンモードから復帰します。パワーダウンモードへの移行は、オートリフレッシュ中はオートリフレッシュが完了するまで待たされます。 0: パワーダウン無効 1: パワーダウン有効

10.4.12 SDRAM ディープパワーダウン制御レジスタ (SDDPWDCNT)

SDDPWDCNT はディープパワーダウンモードへの移行と復帰を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DDPD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DDPD	0	R/W	SDRAM 共通ディープパワーダウン有効 このビットにより、ディープパワーダウンモードへの移行と復帰を制御します。制御は、全チャネル同時に行われます。このビットに 1 をセットした場合、SDRAM 全チャネルがディープパワーダウンモードへ移行します。このビットを 0 にクリアした場合、SDRAM 全チャネルがディープパワーダウンモードから復帰します。ディープパワーダウンモードへの移行は、オートリフレッシュ中はオートリフレッシュが完了するまで待たされます。 0 : ディープパワーダウン無効 1 : ディープパワーダウン有効

10.4.13 SDRAMm アドレスレジスタ (SDmADR) (m = 0, 1)

SDmADR は、SDRAM のデータバス幅およびチャネルサイズを選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	DDBW[1:0]	-	-	-	-	-	-	-	DSZ[2:0]	-
初期値:	0	0	0	0	0	0	不定	不定	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	DDBW[1:0]	不定	R/W	SDRAM データバス幅設定 このビットにより、使用する SDRAM のデータバス幅を指定します。16 ビットバス幅の SDRAM に対して 32 ビットデータのアクセスを行った場合は、先に前半アドレス (A1=0) の 16 ビットのアクセスを行い、次に後半アドレスの 16 ビット (A1=1) のアクセスが順に行われます。 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: 設定禁止
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	DSZ[2:0]	不定	R/W	チャネルサイズ設定 このビットにより、チャネル 0、1 のサイズを指定します。SDRAM 領域 0、1 よりも小さいサイズを選択した場合、残りはシャドー領域となります。 000: 設定禁止 001: 8MB 010: 16MB 011: 32MB 100: 64MB 101~111: 設定禁止

10.4.14 SDRAMm タイミングレジスタ (SDmTR) (m=0, 1)

SDmTR は、SDRAM のリード/ライトアクセスのタイミングを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DRAS[2:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	不定	不定	不定	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	DRCD[1:0]	DPCG[2:0]		DWR	-	-	-	-	-	-	-	-	DCL[2:0]		
初期値:	0	0	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	DRAS[2:0]	不定	R/W	ロウアクティブ期間設定 このビットにより、SDRAM の行活性化(ACT)コマンドから非活性化(PRA)までの最短期間を設定します。 000 : 1 サイクル : 111 : 8 サイクル
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	DRCD[1:0]	不定	R/W	ロウカラムレイテンシ設定 このビットにより、SDRAM のロウ - カラムレイテンシを設定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
11~9	DPCG[2:0]	不定	R/W	ロウプリチャージ期間設定 このビットにより、SDRAM の非活性化(PRA)コマンドから次の有効なコマンドまでの最短期間を設定します。 000 : 1 サイクル : 111 : 8 サイクル

ビット	ビット名	初期値	R/W	説 明
8	DWR	不定	R/W	ライトリカバリ期間設定 このビットにより、SDRAM のライト (WRITE) コマンドから非活性化 (PRA) までの期間を設定します。 0 : 1 サイクル 1 : 2 サイクル
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	DCL[2:0]	不定	R/W	SDRAM コントローラカラムレイテンシ設定 このビットにより、SDRAM コントローラのカラムレイテンシを設定します。この設定は、SDRAM コントローラ側のレイテンシ設定のみに影響し、外部に接続する SDRAM へのカラムレイテンシ設定は、後述する別途 SDRAMm モードレジスタ (SDmMOD) で行う必要があります。 000 : 設定禁止 001 : 1 サイクル 010 : 2 サイクル 011 : 3 サイクル 1xx : 設定禁止

【記号説明】 x : Don't care

10.4.15 SDRAMm モードレジスタ (SDmMOD) (m = 0、1)

SDmMOD は SDRAM モードレジスタ、エクステンデッドモードレジスタに書き込む値を設定します。このレジスタに書き込むところにより、自動的に SDRAM へのモードセットコマンド、エクステンデッドモードレジスタセットコマンドの発行が行われます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	DMR[14:0]														
初期値:	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明								
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。								
14~0	DMR[14:0]	不定	R/W	モードレジスタ設定 このビットへの書き込みにより、SDRAM に対しモードレジスタセットコマンド、エクステンデッドモードレジスタセットコマンドを発行します。このとき、DMR ビットに設定する値を A16~A2 信号に出力します。SDRAM はバンクアドレスによってモードレジスタセットとエクステンデッドモードレジスタセットを区別します。 書き込み実行：モードレジスタセットコマンド発行 DMR ビット <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>b14</td><td>b13</td><td>...</td><td>b0</td></tr></table> A16~A2 信号 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>A16</td><td>A15</td><td>...</td><td>A2</td></tr></table>	b14	b13	...	b0	A16	A15	...	A2
b14	b13	...	b0									
A16	A15	...	A2									

【注】 SDRAMm モードレジスタ設定においては、以下の点に注意してください。

1. SDRAM に対してバースト長 1 が設定されるように設定してください。バースト長 1 以外が設定された場合、動作は保証されません。
2. SDRAM のコラムレイテンシは、SDRAMC の SDRAM コントローラコラムレイテンシ設定ビット (DCL) の設定と必ず一致させてください。異なるレイテンシが設定された場合、動作は保証されません。
3. SDRAM ステータスレジスタ (SDSTR) のステータスビット (DSRFST、DPWDST、DDPDST、DMRSST) がすべて 0 になっていることを必ず確認してください。

10.4.16 SDRAM ステータスレジスタ (SDSTR)

SDSTR は、セルフリフレッシュ、初期化シーケンス、パワーダウンモード、ディープパワーダウンモードおよびモードレジスタセットの動作を示すステータスフラグで構成されています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	DSRFST	DINIST	DPWDST	DDPDST	DMSRST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	DSRFST	0	R	セルフリフレッシュ移行・復帰ステータス このビットに1がセットされているときは、SDRAM0、SDRAM1のいずれかのチャンネルがセルフリフレッシュへの移行・復帰動作中であることを示します。 0: 移行・復帰動作中ではない 1: 移行・復帰動作中
3	DINIST	0	R	初期化ステータス このビットに1がセットされているときは、SDRAM0、SDRAM1のいずれかのチャンネルがSDRAM初期化シーケンス実行中であることを示します。このビットはSDIR1レジスタのDINISTビットと同じ機能です。 0: 初期化シーケンス中ではない 1: 初期化シーケンス中
2	DPWDST	0	R	パワーダウン移行・復帰ステータス このビットに1がセットされているときは、SDRAM0、SDRAM1のいずれかのチャンネルがパワーダウンモードへの移行・復帰動作中であることを示します。 0: 移行・復帰動作中ではない 1: 移行・復帰動作中

ビット	ビット名	初期値	R/W	説明
1	DDPDST	0	R	ディープパワーダウン移行・復帰ステータス このビットに1がセットされているときは、SDRAM0、SDRAM1のいずれかのチャンネルがディープパワーダウンモードへの移行・復帰動作中であることを示します。 0：移行・復帰動作中ではない 1：移行・復帰動作中
0	DMRSST	0	R	モードレジスタセットステータス このビットに1がセットされているときは、SDRAM0、SDRAM1のいずれかのチャンネルがモードレジスタセット動作中であることを示します。 0：モードレジスタセット動作中ではない 1：モードレジスタセット動作中

移行・復帰動作中とは、表 10.5 に示す各ビットへの書き込みからそれぞれのコマンドが発行されるまでの期間を表します。

表 10.5 ステータスビット確認が必要なレジスタ、ビット名一覧

機能	レジスタ名	ビット名
セルフリフレッシュ	SDRFCNT0	DSFENCm、DSFEN
初期化シーケンス	SDIR1	DINIRQCm、DINIRQ
パワーダウン	SDPWDCNT	DPWDCm、DPWD
ディープパワーダウン	SDDPDCNT	DDPDCm、DDPD
モードレジスタセット	SDmMOD	DMR

【注】 セルフリフレッシュ、パワーダウン、ディープパワーダウンへの移行・復帰、および初期化シーケンス、モードレジスタセットの実行は、すべてのステータスビットが0時のみに行ってください。
ステータスビット (DSRFST、DINIST、DPWDST、DDPDST、DMRSST) のいずれかが1のときは、表 10.5 に示すレジスタ (ビット) を書き換えしないでください。

10.4.17 SDRAM クロックストップ制御信号設定レジスタ (SDCKSCNT)

SDCKSCNT は、チップ内部信号であるクロックストップ制御信号の有効 / 無効とアサートサイクル数を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DCKSEN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	DCKSC[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	DCKSEN	0	R/W	クロックストップ制御信号有効 このビットにより、クロックストップ機能の有効 / 無効を切り換えます。クロックストップ機能を有効にした場合、ディープパワーダウンモードへの移行と復帰時に CKIO が停止 (ローレベル) します。無効に設定した場合は、CKIO は停止しません。 0 : クロックストップ機能無効 1 : クロックストップ機能有効
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	DCKSC [7:0]	H'0F	R/W	クロックストップサイクル数設定 このビットにより、ディープパワーダウン移行コマンドが発行されてからクロックストップ機能によって CKIO が停止 (ローレベル) するまでの期間と、CKIO が動作してから復帰コマンドが発行されるまでの期間を設定します。 00000000 : 0 サイクル : 00001111 : 15 サイクル : 11111111 : 255 サイクル

10.5 動作説明

10.5.1 CS 空間アクセス

(1) ノーマルアクセス

ページリード・ライトアクセスを無効 (PRENB=0、PWENB=0) に設定した場合、すべてのバスアクセスはノーマルリード/ライト動作を行います。ページリード・ライトアクセスを許可 (PRENB=1、PWENB=1) にした場合でも、ページアクセス動作にあてはまらないバスアクセスは、ノーマルリード/ライト動作となります。図 10.2 にバイトライトストローブモードにおけるリード動作時とライト動作時の外部バス制御信号の基本動作を、図 10.3 に 1 ライトストローブモードにおけるリード動作時とライト動作時の外部バス制御信号の基本動作を示します。これらの図において、 \overline{DACTn} は DMA アクティブ出力信号です。詳細は、「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

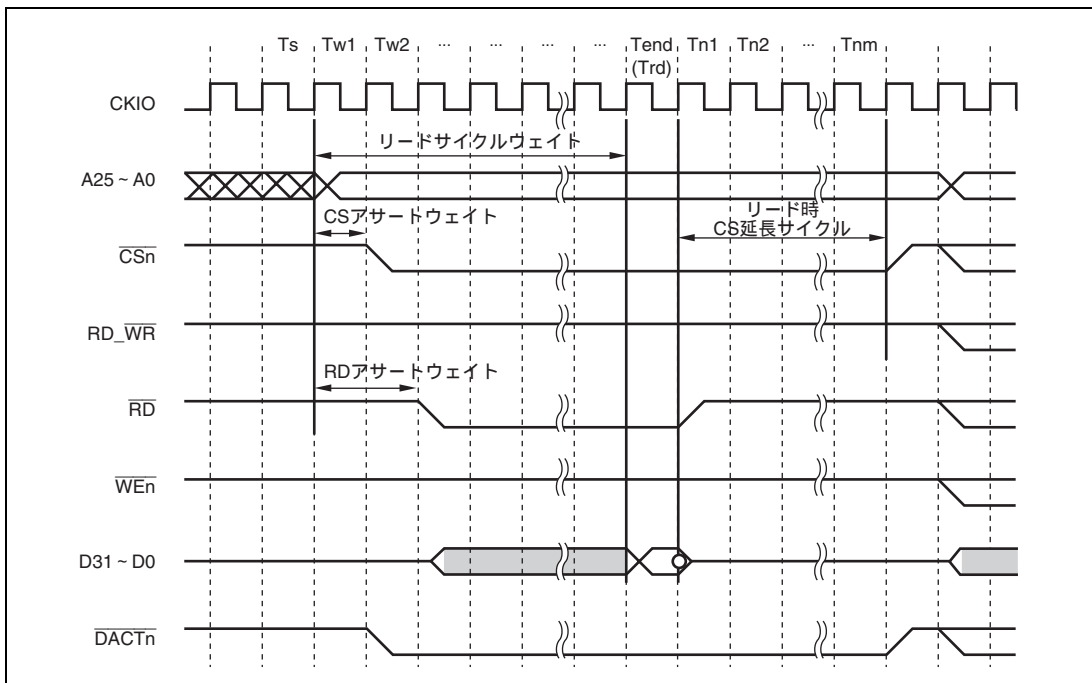


図 10.2 基本バスタイミング (バイトライトストローブモード：リード動作) (a)

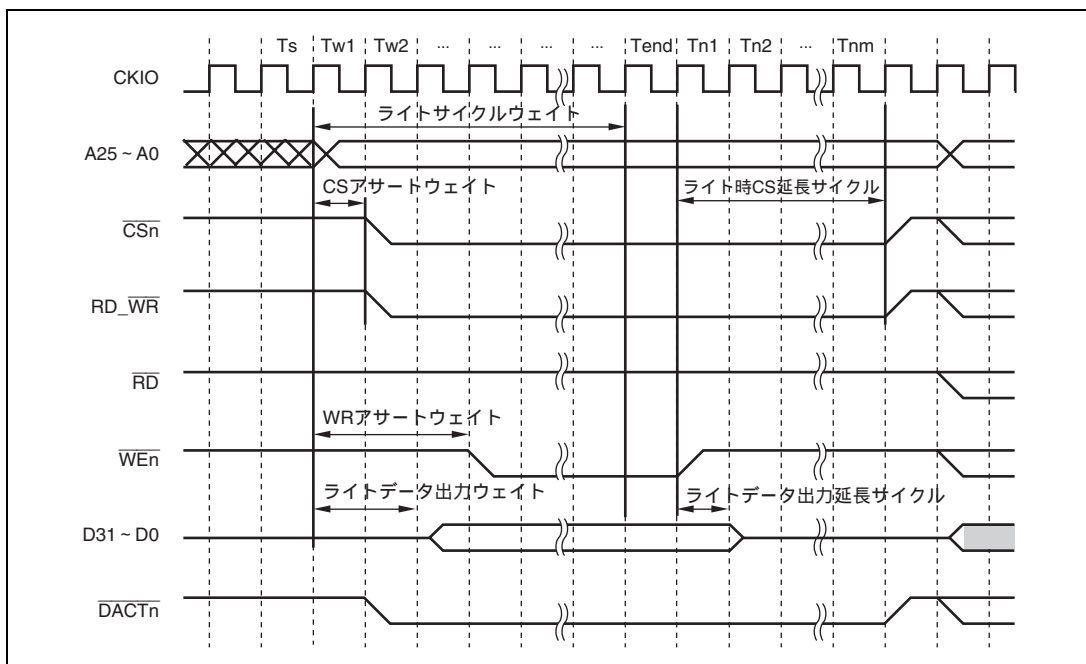


図 10.2 基本バスタイミング (バイトライトストロブモード: ライト動作) (b)

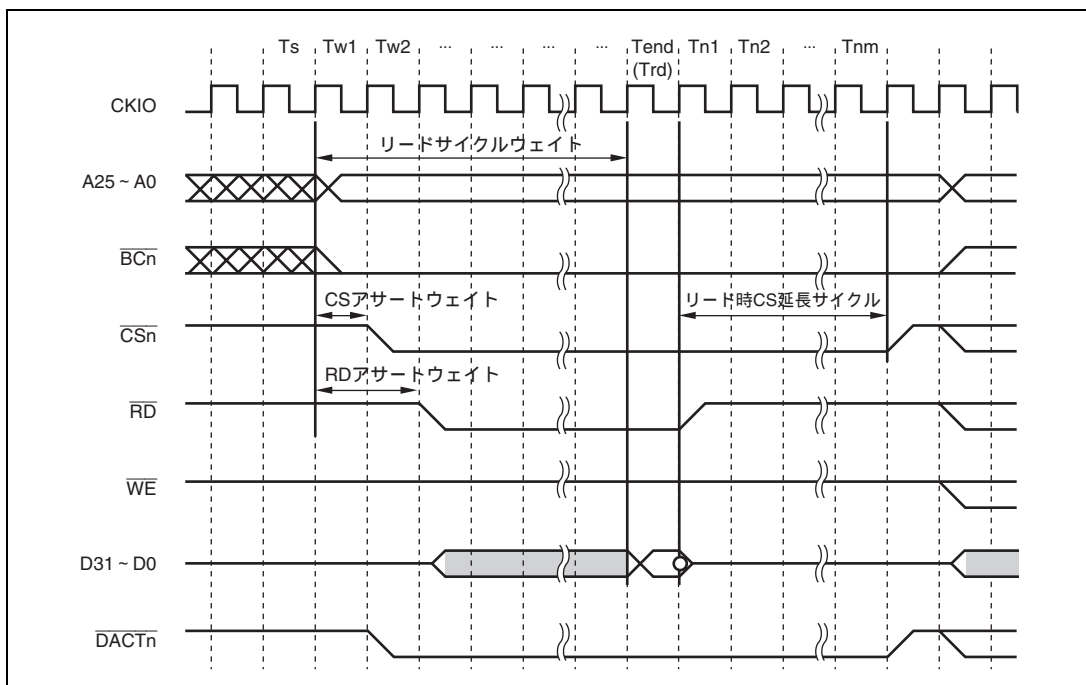


図 10.3 基本バスタイミング (1ライトストロブモード: リード動作) (a)

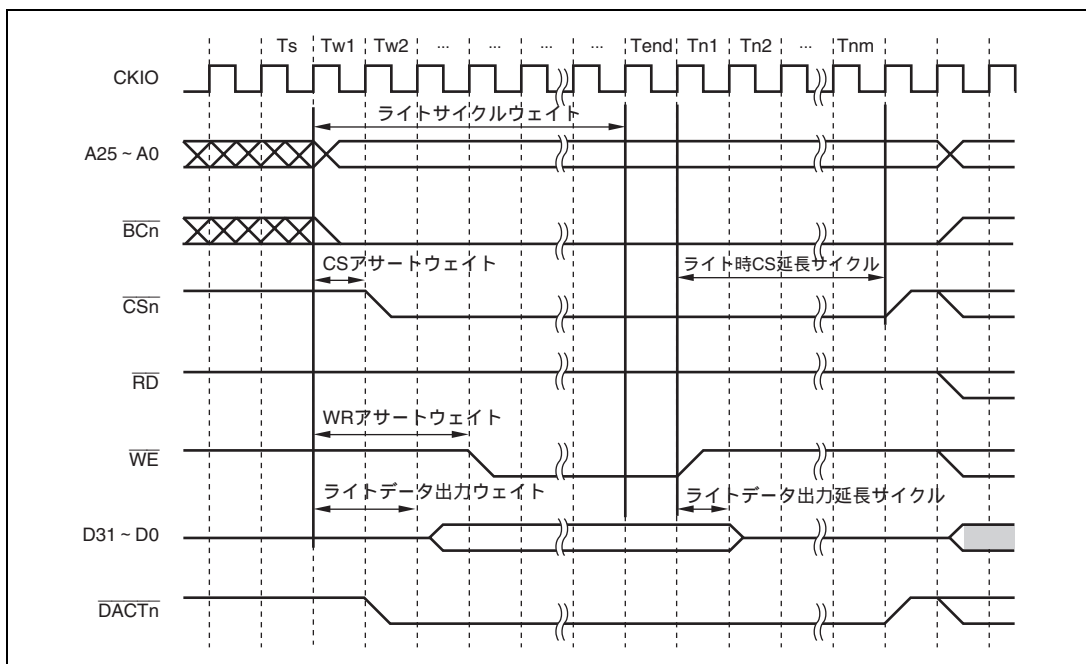


図 10.3 基本バスタイミング (1ライトストロブモード：ライト動作) (b)

1. T_s (内部バスアクセス開始)

内部バスマスタから外部バスに対するバスアクセス要求サイクルです。 \overline{CSn} は必ずハイレベルとなります。次のサイクルで $A_{25} \sim A_0$ 、 \overline{BCn} 、ライトデータが変化します。

2. $T_{w1} \sim T_{wn}$ (リードサイクルウェイト、ライトサイクルウェイト)

内部バスアクセス開始から、ウェイト終了サイクルの間のサイクル期間です。0~31クロックを選択できます。この期間内に、 \overline{CSn} 、 \overline{RD} 、 $\overline{WE_n}$ 、 \overline{WE} の各信号が、ウェイト設定に応じてLアサートされます。アサートするタイミングは、 \overline{CSn} 制御レジスタ1、2のCSアサートウェイト、RDアサートウェイト、WRアサートウェイト、ライトデータ出力ウェイトにより制御可能です。ウェイトのサイクル数は、内部バスアクセス開始 (T_s) の次のサイクルを起点に数え、0~7クロックを選択可能です。選択可能なクロック数は、リード・ライトサイクルウェイトのサイクル数以内です。 $\overline{RD_WR}$ 信号は、 \overline{CSn} 信号と同じタイミングで動作します。

3. T_{end} (ウェイト終了サイクル)

リードサイクルウェイト・ライトサイクルウェイトの終了サイクルです。次のサイクルで、 \overline{RD} 、 $\overline{WE_n}$ 、 \overline{WE} の各信号がHネゲートされます。

4. $T_{n1} \sim T_{nm}$ (CS延長サイクル)

ウェイト終了サイクルから \overline{CSn} をHネゲートするまでのサイクル期間です。ネゲートされるタイミングは、ライトデータ出力延長サイクルにより制御可能です。サイクル数は、ウェイト終了サイクルを起点に数えます。ライトアクセス時、またはリード時CS延長サイクル期間が0、1以外の場合、CS延長サイクル終了の次のサイクルで、後続のバスアクセスが開始可能です。リードアクセス時のリード時CS延長サイクルが0、1の場合、

リードデータサンプルサイクル (後述) の終了後、後続のバスアクセスが開始可能になります。

5. Trd (リードデータサンプルサイクル)

リードデータのサンプルサイクルです。

(2) ページアクセス

ページライトアクセス許可 (PWENB = 1)、ページリードアクセス許可 (PRENB = 1) を選んだ場合は、ページアクセス動作にあてはまるバスアクセスは、ページリード・ライト動作となります。ページアクセスは以下の場合に発生します。

1. CPUのキャッシュリプレース時(キャッシュフィルおよびライトバック)。アドレスは、1回の転送のたびに、1回の転送バイト数分だけインクリメントされます。
2. 8ビットまたは16ビット幅の外部データバスに対して、ロングワードアクセス(32ビット)を行ったとき
3. 8ビット幅の外部データバスに対して、ワードアクセス(16ビット)を行ったとき

図 10.4 にページリード動作時、図 10.5 にページライト動作時の外部バス制御信号の基本動作を示します。なお、モードレジスタの PBCNT ビットで設定した 1 ページアクセスビット境界が、キャッシュのラインサイズより小さい場合、1 回のキャッシュリプレースで複数回のページアクセスが起動されます。アドレスがページ境界を超えた時点でページアクセスを一時終了 (\overline{CSn} 信号をネゲート) し、再度ページアクセス動作を開始します。PBCNT ビットの設定がキャッシュラインサイズ以上の場合は、1 回のページアクセスで処理されます。

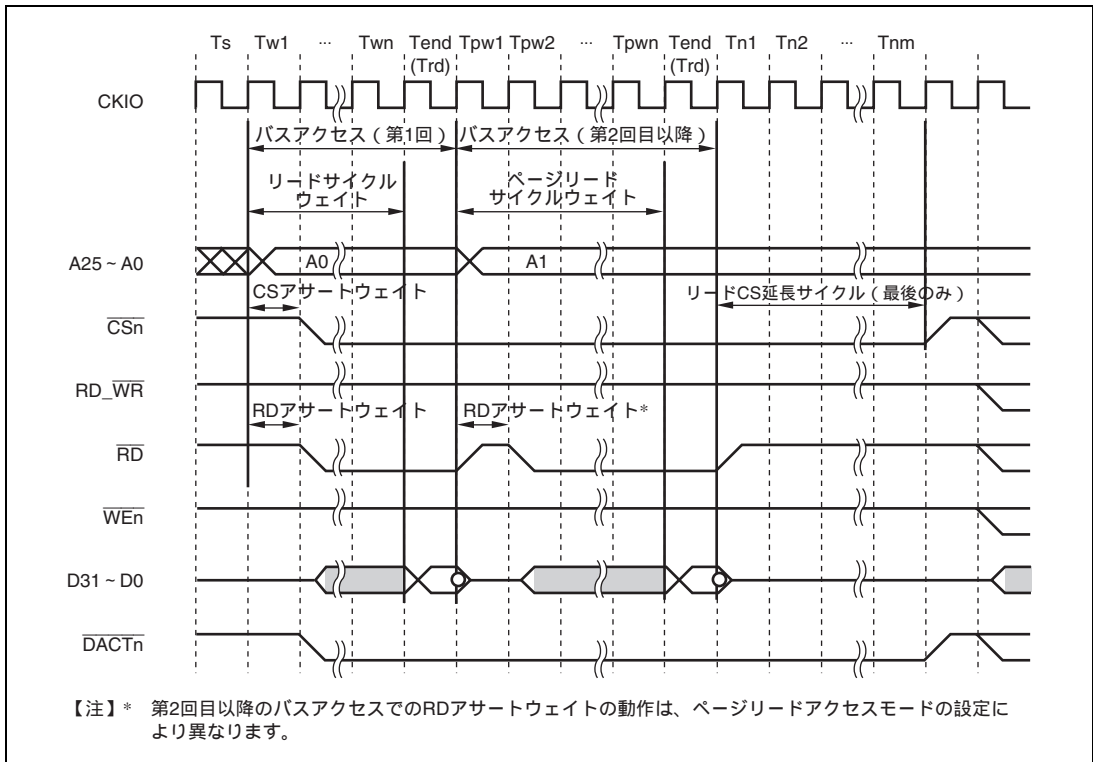


図 10.4 基本バスタイミング (バイトライトストロブモードのページリード動作)

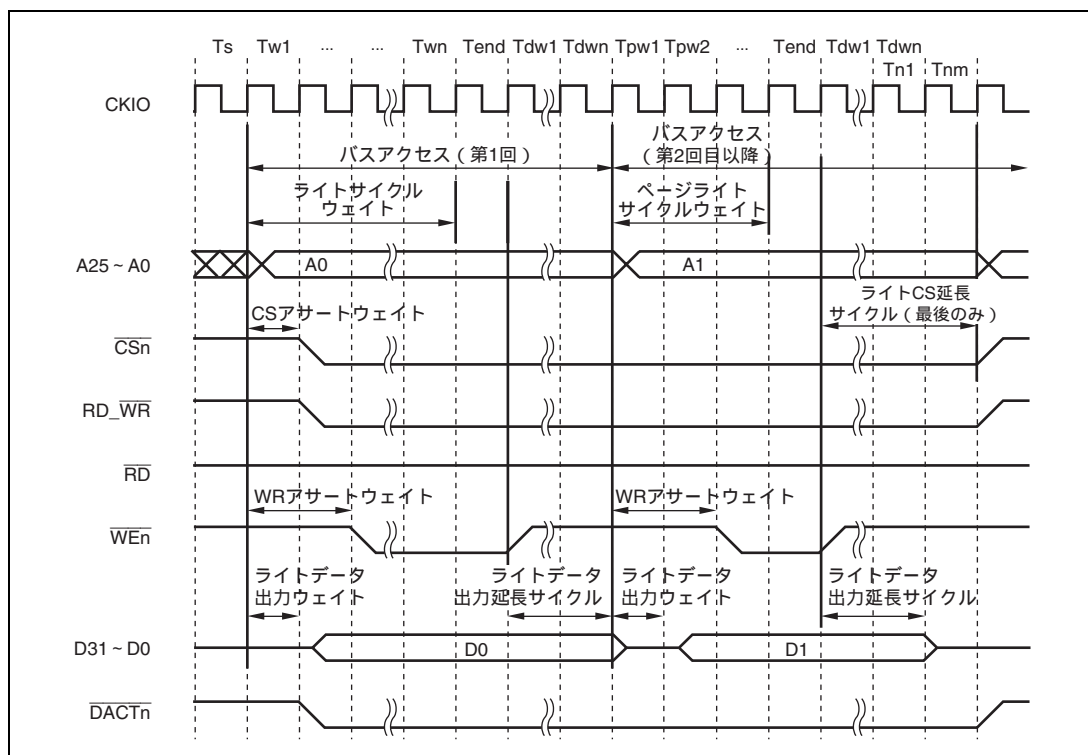


図 10.5 基本バスタイミング (バイトライトストロブモードのページライト動作)

1. T_s (内部バスアクセス開始)

内部バスマスタから外部バスに対するバスアクセス要求サイクルです。 \overline{CSn} は必ずハイレベルとなります。次のサイクルで、 $A_{25} \sim A_0$ 、 \overline{BCn} 、ライトデータが変化します。

2. $T_{w1} \sim T_{wn}$ (リードサイクルウェイト、ライトサイクルウェイト)

ページアクセスの第1回目のアクセスについては、内部バスアクセス開始からウェイト終了サイクルまでのウェイト制御は、ノーマルアクセスと同様となります。

3. T_{end} (第1回ウェイト終了サイクル)

1回目のリードサイクルウェイト・ライトサイクルウェイトの終了サイクルです。ライトアクセス時のライトデータ出力延長サイクルが設定されている (0以外の値) 場合を除いて、次のサイクルで2回目以降のページアクセスが開始されます。 RD アサートウェイト、 WR アサートウェイトの設定が0以外の場合、次のサイクルで \overline{RD} 、 \overline{WEn} 、 \overline{WE} 信号がHネグートされます。0の場合、Lアサートが継続されます。 \overline{CSn} 信号はネグートされず、常にLアサートを継続します。 RD 、 \overline{WR} 信号は、 \overline{CSn} 信号と同じタイミングで動作します。ページリードアクセスでは、リードデータサンプルサイクル (T_{rd}) を待たずに、後続のバスアクセスを開始します。

4. $T_{dw1} \sim T_{dwN}$ (ライトデータ出力延長サイクル)

ライトアクセス時で、ライトデータ出力延長ウェイトが0以外の設定の場合、ライトデータ出力延長サイクル

が、ウェイト終了サイクルと後続のページアクセスの間に挿入されます。この期間、アドレス、出力データのアサートが延長されます。また、 \overline{WE}_n 、 \overline{WE} 信号はHネゲートされます。

5. Tpw1 ~ TpwN (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセスの第2回目以降のバスサイクルについては、リードサイクルウェイト・ライトサイクルウェイトの設定の代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの設定が使用されます。WRアサートウェイトの設定は、第1回目と同様に働きます。RDアサートウェイトの設定は、ページリードアクセスモード (PRMOD) の設定値によって動作が異なります。

PRMOD = 0の場合 : RDアサートウェイトの設定は第1回目と同様の動作

PRMOD = 1の場合 : RDアサートウェイトの設定は無効

RDアサートウェイト0設定と同様の動作

6. Tend, Tdw1 ~ Tdwn (ウェイト終了サイクル / ライトデータ出力延長サイクル)

第1回目のアクセスと同様の動作 (3、4) を行います。

7. Tn1 ~ Tnm (CS延長サイクル)

最後のウェイト終了サイクルから \overline{CS}_n をHネゲートするまでのサイクル期間です。CS延長サイクル数は、ウェイト終了サイクルを起点に数えます。

8. Trd (最後のリードデータサンプルサイクル)

最後のリードデータのサンプルサイクルです。

(3) 外部ウェイト機能

外部ウェイト信号 ($\overline{\text{WAIT}}$) により、CSn ウェイト制御レジスタ (CSWCNTn) で設定したサイクルウェイト (CSRWAIT、CSWWAIT) やページアクセスサイクルウェイト (CSPRWAIT、CSPWWAIT) を超えて、ウェイトサイクルを延長することができます。外部ウェイト許可 (EWENB = 1) にすると、 $\overline{\text{WAIT}}$ 信号がローレベルの期間、ウェイトサイクルが挿入されます。外部ウェイト禁止 (EWENB = 0) であれば、 $\overline{\text{WAIT}}$ 信号は無効です。

なお、CSn ウェイト制御レジスタ (CSWCNTn) で設定した各ウェイトは、 $\overline{\text{WAIT}}$ 信号にかかわらず、挿入されます。

(a) ノーマルリード/ライト動作

$\overline{\text{WAIT}}$ 信号は常時サンプリングされていますが、その結果は2サイクル後に反映されます。サイクルウェイトが終了した時点で、その2サイクル前の $\overline{\text{WAIT}}$ 信号がローレベルであれば、外部ウェイトサイクルが挿入されます。 $\overline{\text{WAIT}}$ 信号がハイレベルになれば、その2サイクル後がウェイトサイクルの終了となります。

(b) ページアクセス動作

最初のデータリード・ライト動作は、ノーマルリード・ライト動作と同じです。サイクルウェイトが終了したサイクル ((Tend)) の2サイクル前の $\overline{\text{WAIT}}$ 信号がローレベルであれば外部ウェイトが挿入され、 $\overline{\text{WAIT}}$ 信号がハイレベルになった2サイクル後にウェイトサイクルを終了 (Tend) します。

2番目以降のリードアクセスに関しては、ページアクセスウェイトサイクルの終了時点 ((Tend)) で、2サイクル前の $\overline{\text{WAIT}}$ 信号に従ってページウェイトサイクルを延長し、 $\overline{\text{WAIT}}$ 信号がハイレベルになった2サイクル後にページウェイトサイクルを終了します (Tend)。

図 10.6 と図 10.7 に、16ビット幅設定のチャンネルへのロングワード (32ビット) アクセスによるページリードアクセスを例に、外部ウェイトタイミングを示します。図 10.6 は、サイクルウェイトやページサイクルウェイトが1以上の場合を示しています。図 10.7 は、サイクルウェイトやページサイクルウェイトがゼロの場合を示しています。サイクルウェイトが小さい場合、バスサイクル開始前の $\overline{\text{WAIT}}$ 信号の値が反映されることとなりますのでご注意ください。

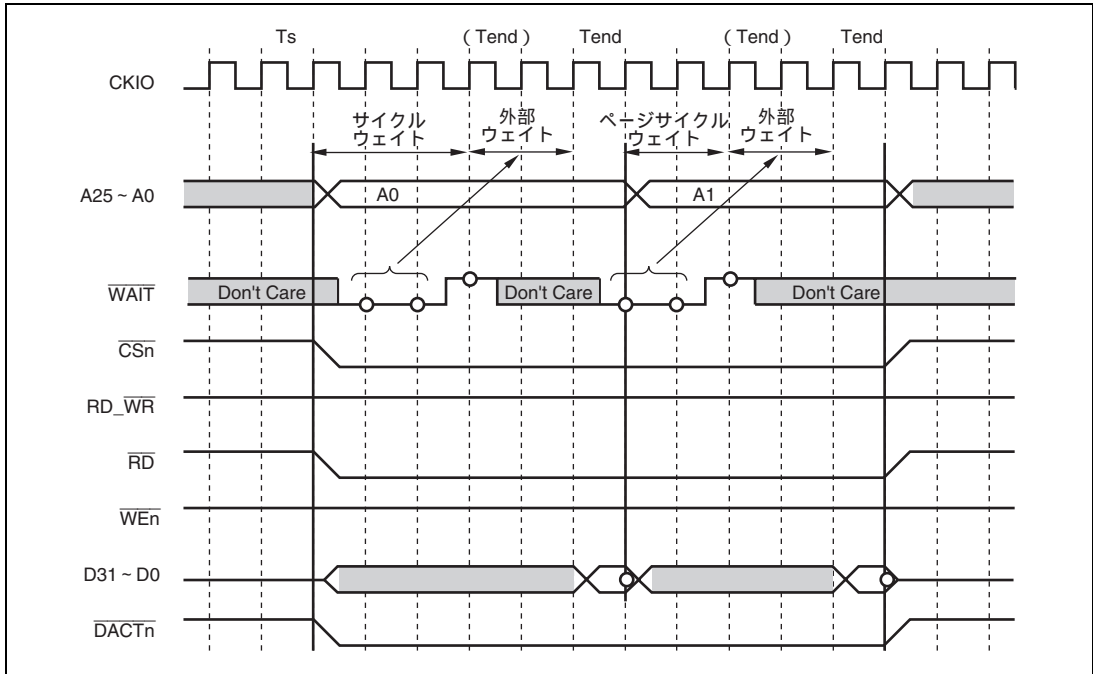


図 10.6 外部ウェイトタイミング例 (16 ビット幅チャネルへのページリードアクセス)

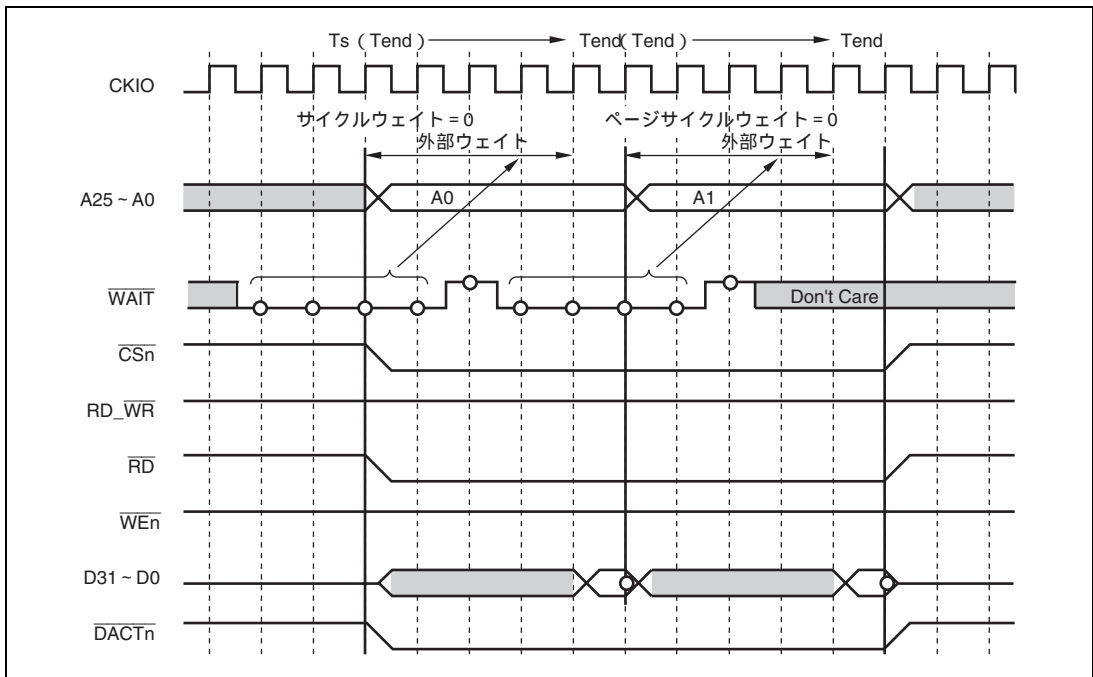


図 10.7 外部ウェイトタイミング例 (16 ビット幅チャネルへのページリードアクセス)

(4) アクセスタイプとデータアライメント

(a) 32 ビットバス幅チャネルの場合

CSn 制御レジスタの外部バス幅選択ビットにて、32 ビットバスを選んだ場合、A25 ~ A2 がロングワード単位のアドレス信号として有効になり、A1、A0 は無効 (ローレベル固定) になります。表 10.6 にデータサイズとバイトアドレスに応じたデータアライメントの一覧を示します。

バイトストロブモード (WRMOD=0) を選択した場合、 $\overline{WE3} \sim \overline{WE0}$ 信号がアクセス対象ビットを示します。ただし、リードアクセス時には、 $\overline{WE3} \sim \overline{WE0}$ 信号にかかわらずすべてのビットがアクセス対象となります。

1 ライトストロブモード (WRMOD=1) を選択した場合、リードアクセスとライトアクセスの両方について、 $\overline{BC3} \sim \overline{BC0}$ 信号がアクセス対象ビットを示します。ライト時には、ライトストロブ信号である \overline{WE} もアサートされます。

表 10.6 データアライメント (32 ビットバス幅チャネル)

データサイズ	バイトアドレス (下位 2 ビット)	DATA				$\overline{WE/BC}$			
		[31:24]	[23:16]	[15:8]	[7:0]	[3]	[2]	[1]	[0]
バイト	0		x	x	x	L	H	H	H
	1	x		x	x	H	L	H	H
	2	x	x		x	H	H	L	H
	3	x	x	x		H	H	H	L
ワード	0			x	x	L	L	H	H
	2	x	x			H	H	L	L
ロングワード	0					L	L	L	L

【注】 各データサイズにおけるデータバスの有効ビットを $\overline{}$ で表示します。

x で表示されたデータビットバスは、不定を示します。

(b) 16 ビットバス幅チャネルの場合

CSn 制御レジスタの外部バス幅選択ビットにて、16 ビットバスを選んだ場合、A25 ~ A1 がワード単位のアドレス信号として有効になり、A0 は無効 (ローレベル固定) になります。表 10.7 にデータサイズとバイトアドレスに応じたデータアライメントの一覧を示します。

バイトストローブモード (WRMOD=0) を選択した場合、 $\overline{WE1}$ 、 $\overline{WE0}$ 信号がアクセス対象ビットを示します。ただし、リードアクセス時には、 $\overline{WE1}$ 、 $\overline{WE0}$ 信号にかかわらずすべてのビットがアクセス対象となります。

1 ライトストローブモード (WRMOD=1) を選択した場合、リードアクセスとライトアクセスの両方について、 $\overline{BC1}$ 、 $\overline{BC0}$ 信号がアクセス対象ビットを示します。ライト時には、ライトストローブ信号である \overline{WE} もアサートされます。

表 10.7 データアライメント (16 ビットバス幅チャネル)

データサイズ	バイトアドレス (下位 2 ビット)	DATA				$\overline{WE/BC}$			
		[31:24]	[23:16]	[15:8]	[7:0]	[3]	[2]	[1]	[0]
バイト	0	x	x		x	*	*	L	H
	1	x	x	x		*	*	H	L
	2	x	x		x	*	*	L	H
	3	x	x	x		*	*	H	L
ワード	0	x	x			*	*	L	L
	2	x	x			*	*	L	L
ロングワード	0 (1st)	x	x			*	*	L	L
	2 (2nd)	x	x			*	*	L	L

【注】 各データサイズにおけるデータバスの有効ビットを \times で表示します。

\times で表示されたデータビットバスは、不定を示します。

* で表示されたライト/バイトコントロールビットは、無効 (H 固定) を示します。

(c) 8ビットバス幅チャネルの場合

CSn 制御レジスタの外部バス幅選択ビットにて、8ビットバスを選んだ場合、A25～A0 がバイト単位のアドレス信号として有効になります。表 10.8 にデータサイズとバイトアドレスに応じたデータアライメントの一覧を示します。

バイトストロブモード (WRMOD=0) を選択した場合、ライトアクセス時にものみ $\overline{WE0}$ 信号がアサートされます。リードアクセス時には、 $\overline{WE0}$ 信号はアサートされません。

1 ライトストロブモード (WRMOD=1) を選択した場合、リードアクセスとライトアクセスの両方について、 $\overline{BC0}$ 信号がアサートされます。ライト時には、ライトストロブ信号である \overline{WE} もアサートされます。

表 10.8 データアライメント (8ビットバス幅チャネル)

データサイズ	バイトアドレス (下位2ビット)	DATA				$\overline{WE}/\overline{BC}$			
		[31:24]	[23:16]	[15:8]	[7:0]	[3]	[2]	[1]	[0]
バイト	0	x	x	x		*	*	*	L
	1	x	x	x		*	*	*	L
	2	x	x	x		*	*	*	L
	3	x	x	x		*	*	*	L
ワード	0 (1st)	x	x	x		*	*	*	L
	1 (2nd)	x	x	x		*	*	*	L
	2 (1st)	x	x	x		*	*	*	L
	3 (2nd)	x	x	x		*	*	*	L
ロングワード	0 (1st)	x	x	x		*	*	*	L
	1 (2nd)	x	x	x		*	*	*	L
	2 (3rd)	x	x	x		*	*	*	L
	3 (4th)	x	x	x		*	*	*	L

【注】 各データサイズにおけるデータバスの有効ビットを \times で表示します。

\times で表示されたデータビットバスは、不定を示します。

* で表示されたライト/バイトコントロールビットは、無効 (H 固定) を示します。

10.5.2 SDRAM アクセス

ここでは、SDRAM 制御部 (SDRAMC) の動作許可、SDRAM バス幅の設定、SDRAM に対して行う各動作 (リード、ライト、オートリフレッシュ、セルフリフレッシュ、初期化シーケンス、モードレジスタ設定) について説明します。

(1) SDRAM のアクセス有効/無効、SDRAM バス幅設定

SDRAM のアクセス有効、無効の設定はそれぞれ、SDRAMC_m 制御レジスタで SDRAMC を動作許可、禁止に設定することにより行います。また、SDRAM バス幅の設定も同様のレジスタで行います。

SDRAMC 制御で SDRAMC を動作禁止状態に設定した場合でも、セルフリフレッシュもしくはオートリフレッシュ動作が有効に設定されている時には、リフレッシュ動作は行われます。

(2) SDRAM コマンド

SDRAMC は、バスサイクルごとに「コマンド」を発行することにより SDRAM の制御を行います。「コマンド」は、 $\overline{\text{RAS}}/\overline{\text{CAS}}/\overline{\text{WE}}/\overline{\text{CKE}}/\overline{\text{CS}}$ などの組み合わせにより定義します。

表 10.9 に SDRAMC が発行するコマンドを示します。

表 10.9 SDRAMC コマンド

略称	コマンド	SDCS	RAS	CAS	SDWE	CKE	A16 (BA1)	A15 (BA0)
DSL	ディセレクト	H	X	X	X	X	X	X
ACT	行およびバンク活性化	L	L	H	H	H	V	V
RD	リード	L	H	L	H	H	V	V
WR	ライト	L	H	L	L	H	V	V
PRA	プリチャージオールバンク	L	L	H	L	H	X	X
RFA	オートリフレッシュ	L	L	L	H	H	X	X
MRS	モードレジスタセット	L	L	L	L	H	L	L
EMRS	エクステンデッドモードレジスタ セット	L	L	L	L	H	H	L
RFS	セルフリフレッシュエントリ	L	L	L	H	H L	X	X
RFX	セルフリフレッシュイグジット	H	X	X	X	L H	X	X
DPD	ディープパワーダウン	L	H	H	L	H L	X	X
DPDX	ディープパワーダウンイグジット	X	X	X	X	L H	X	X

【記号説明】

H : High Level、L : Low Level、V : Valid、X : Don't Care

(3) SDRAMC レジスタ設定条件

SDRAMC の各レジスタを書き換える場合は、表 10.10 の条件をすべて満たしている場合にのみ行ってください。

表 10.10 レジスタ書き換え条件

機能・動作	レジスタ名	条件
セルフリフレッシュ	SDRFCNT0	<ul style="list-style-type: none"> • SDRAM アクセス無効 (SDRAMCm にて設定*¹) • オートリフレッシュ有効 (DRFEN = 1) • パワーダウ無効 (DPWD/DPWDCl = 0) • ディープパワーダウ無効 (DDPD/DDPDCI = 0)
オートリフレッシュ	SDRFCNT1	<ul style="list-style-type: none"> • セルフリフレッシュ無効 (DSFEN/DSFENCi = 0) • パワーダウ無効 (DPWD/DPWDCl = 0)
初期化シーケンス	SDIR0	• 初期化シーケンス開始前
	SDIR1	• リセット後、またはディープパワーダウからの復帰後
パワーダウ	SDPWCNT	<ul style="list-style-type: none"> • SDRAM アクセス無効 (SDRAMCm にて設定*¹) • オートリフレッシュ有効 (DRFEN = 1) • セルフリフレッシュ無効 (DSFEN/DSFENCi = 0) • ディープパワーダウ無効 (DDPD/DDPDCI = 0)
ディープパワーダウ	SDDPDCNT	<ul style="list-style-type: none"> • SDRAM アクセス無効 (SDRAMCm にて設定*¹) • セルフリフレッシュ無効 (DSFEN/DSFENCi = 0) • オートリフレッシュ無効 (DRFEN = 0) • パワーダウ無効 (DPWD/DPWDCl = 0)
アドレスレジスタ設定	SD0ADR、SD1ADR	<ul style="list-style-type: none"> • オートリフレッシュ無効 (DRFEN = 0) • SDRAM アクセス無効 (SDRAMCm にて設定*¹) • セルフリフレッシュ無効 (DSFEN/DSFENCi = 0) • パワーダウ無効 (DPWD/DPWDCl = 0) • ディープパワーダウ無効 (DDPD/DDPDCI = 0)
タイミングレジスタ設定	SD0TR、SD1TR	<ul style="list-style-type: none"> • セルフリフレッシュ動作中 (DSFEN/DSFENCi = 1) または <ul style="list-style-type: none"> • セルフリフレッシュ無効 (DSFEN/DSFENCi = 0) • オートリフレッシュ無効 (DRFEN = 0) • SDRAM アクセス無効 (SDRAMCm にて設定*¹)
モードレジスタ設定	SD0MOD、SD1MOD* ²	<ul style="list-style-type: none"> • SDRAM アクセス無効 (SDRAMCm にて設定*¹) • セルフリフレッシュ無効 (DSFEN/DSFENCi = 0) • パワーダウ無効 (DPWD/DPWDCl = 0) • ディープパワーダウ無効 (DDPD/DDPDCI = 0)
クロックストップ制御信号設定	SDCKSCNT	• ディープパワーダウ無効 (DDPD/DDPDCI = 0)

【注】 *1 EXENB への 0 書き込み後に EXENB ビットが 0 クリアされることを確認してください。

*2 書き換え前に SDRAM ステータスレジスタ (SDSTR) のステータスビットがすべて 0 になっていることを必ず確認してください。

(4) セルフリフレッシュ

SDRAM リフレッシュ制御レジスタ 0 (SDRFCNT0) の設定により、セルフリフレッシュモードへの移行・復帰を制御することができます。セルフリフレッシュモードへの移行・復帰は全チャンネル同時に行われます。セルフリフレッシュに設定した後は、本 LSI をソフトウェアスタンバイやディープスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。ただし、HIZCR レジスタの HIZBCS ビットを 0 に設定し、スタンバイ状態でも CKE 他の端子をドライブする必要があります。HIZCR レジスタについては、「第 33 章 低消費電力モード」を参照してください。

セルフリフレッシュモードへの移行直前には、オートリフレッシュサイクル動作が行われます。セルフリフレッシュモード中は、CKE 信号がローレベルになります。セルフリフレッシュモードからの復帰直後には、オートリフレッシュサイクルが起動されます。

図 10.8 にセルフリフレッシュモードへの移行タイミングを、図 10.9 に復帰タイミング例を示します。

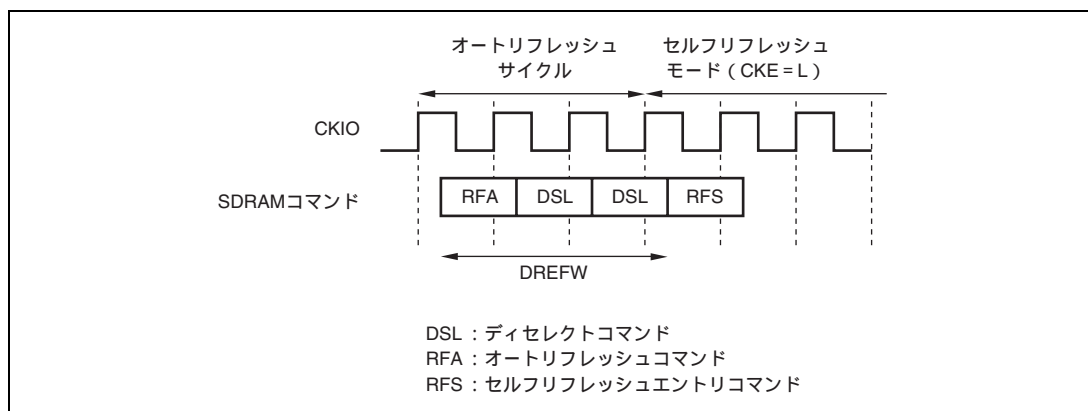


図 10.8 セルフリフレッシュモード移行タイミング例 (DREFW ビット設定値 : 0010 の場合)

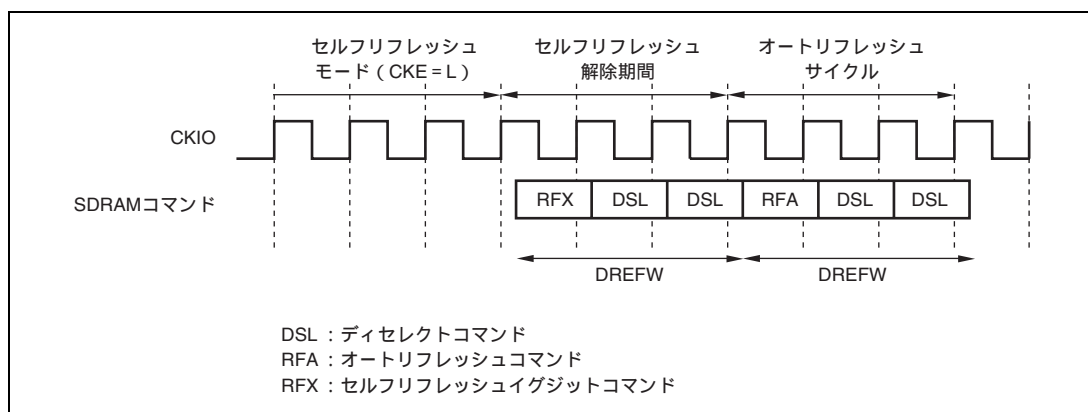


図 10.9 セルフリフレッシュモード復帰タイミング例 (DREFW ビット設定値 : 0010 の場合)

(5) オートリフレッシュ

オートリフレッシュサイクルは、SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1) のオートリフレッシュ動作有効ビット (DRFEN) に 1 をセットすると開始されます。以後リフレッシュカウンタにより定期的にリフレッシュ要求が発生し、オートリフレッシュサイクルが起動されます。ただし、リフレッシュ要求はリード・ライトアクセス中には受け付けられないため、オートリフレッシュサイクルの起動が待たされることがあります。

なお、オートリフレッシュ有効時に SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1) のオートリフレッシュ動作有効ビット (DRFEN) に 1 をセットした場合、直ちにリフレッシュ要求が発生します。

リフレッシュカウンタはセルフリフレッシュ中、ディープパワーダウン中は停止します。セルフリフレッシュ、ディープパワーダウン復帰後は、オートリフレッシュサイクルを起動した後、カウンタ値がリセットされカウンタが再開されます。

オートリフレッシュの設定は、SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1) で行ってください。なお、リフレッシュサイクルは全チャネルの SDRAM に対して行われます。図 10.10 にオートリフレッシュサイクルのタイミング例を示します。

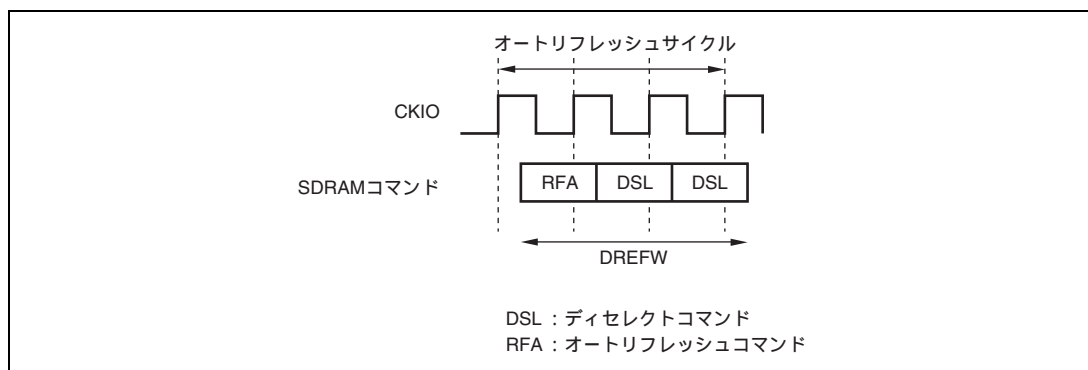


図 10.10 オートリフレッシュサイクルタイミング例 (DREFW ビット設定値 : 0010 の場合)

(6) 初期化シーケンス

SDRAMC は、SDRAM を初期化するためのコマンドを発行するシーケンスを備えています。初期化シーケンスの起動はリセット後（全チャンネル）およびディープパワーダウンからの復帰後（該当チャンネル）に必ず 1 回のみ行ってください。行わなかった場合、複数回行った場合の動作は保証されません。

SDRAM の初期化シーケンスは、プリチャージオールバンクコマンドの発行、および n ($n=1\sim 15$) 回のオートリフレッシュコマンドの発行を順に行います。初期化シーケンスのタイミング設定は SDRAM 初期化レジスタ 0 (SDIR0) で行ってください。初期化シーケンスの起動は SDRAM 初期化レジスタ 1 (SDIR1) で行ってください。

なお、初期化シーケンスは DINIRQ ビットにより SDRAM0、SDRAM1 同時に行われます。

図 10.11 に初期化シーケンスの動作タイミング例を示します。DARFC が 2 回以上に設定されている場合は、初期化オートリフレッシュサイクルが繰り返されます。

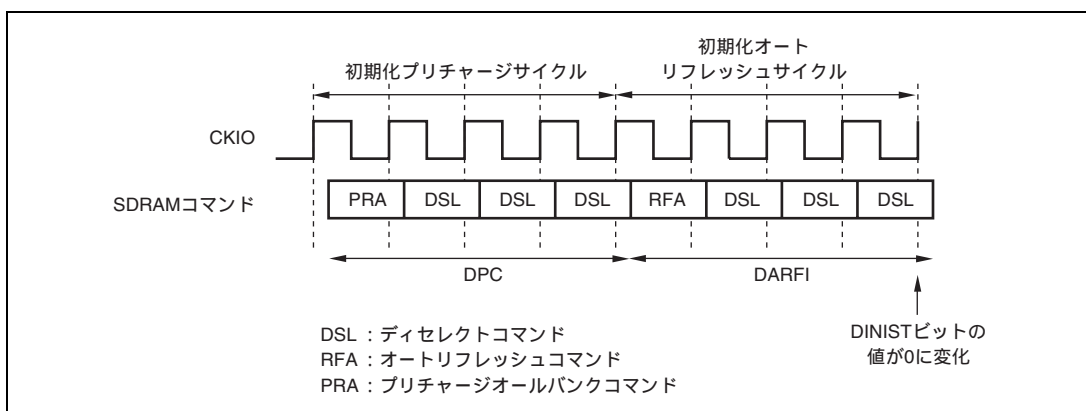


図 10.11 初期化シーケンスタイミング例

(DPC ビット設定値 : 001、DARFI ビット設定値 : 0001、DARFC ビット設定値 : 001 の場合)

(7) パワーダウンモード

SDRAMCはSDRAMのパワーダウンモードをサポートしています。パワーダウンモードになるとSDRAMCは、CKE信号をローレベルにします。パワーダウンモード中もSDRAMリフレッシュ制御レジスタ1 (SDRFCNT1)のオートリフレッシュ要求間隔設定ビット(DRFC)により設定された間隔でオートリフレッシュ動作を行います。オートリフレッシュコマンドを発行するときのみCKE信号はハイレベルになります。

パワーダウンモードへの移行・復帰はSDRAMパワーダウン制御レジスタ (SDPWDCNT)で行ってください。

DPWDビットに1をセットすることにより、SDRAMCはパワーダウンモードへ移行します。DPWDビットを0にクリアするとパワーダウンモードから復帰します。

パワーダウンモードから復帰するとSDRAMCは、CKE信号をハイレベルにします。

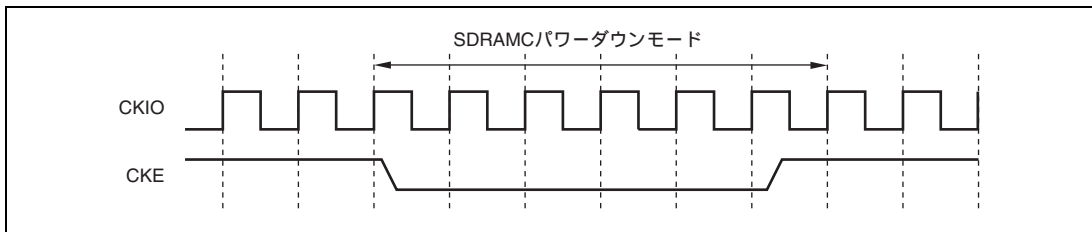


図 10.12 SDRAMC パワーダウンモード

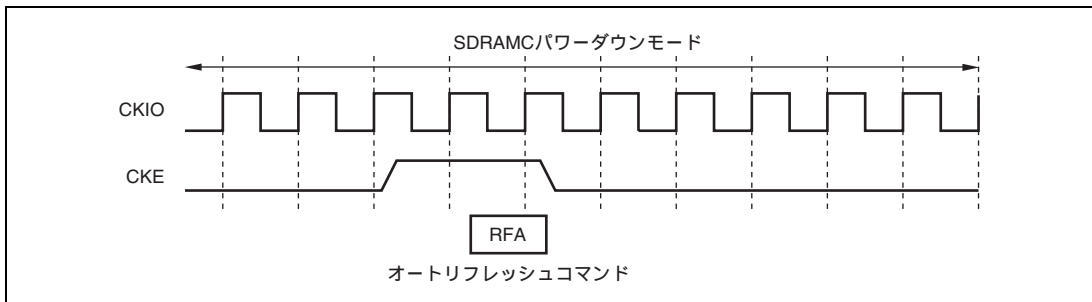


図 10.13 SDRAMC パワーダウンモード時のオートリフレッシュ動作

(8) ディープパワーダウンモード

SDRAMC は SDRAM のディープパワーダウンモードをサポートしています。ディープパワーダウンモードになると SDRAMC は、ディープパワーダウンコマンドを発行し、CKE 信号をローレベルにします。

ディープパワーダウンモードへの移行と復帰は SDRAM ディープパワーダウン制御レジスタ (SDDPDCNT) によって行います。

DDPD ビットに 1 をセットすることにより、SDRAMC は SDRAM0、SDRAM1 がディープパワーダウンモードになります。また、DDPD ビットを 0 にクリアすることにより、SDRAMC はディープパワーダウンモードから復帰します。

ディープパワーダウンモードから復帰すると SDRAMC は、ディープパワーダウンイグジットコマンドを発行し、CKE 信号をハイレベルにします。

ディープパワーダウンモードからの復帰後はご使用の SDRAM で規定されている所定の時間待ったあと初期化シーケンスを実行してください。

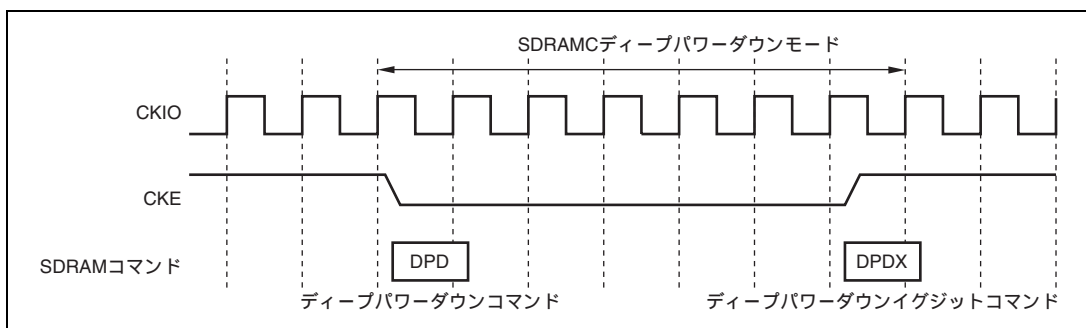


図 10.14 SDRAMC パワーダウンモード

(9) リード/ライトアクセス

リード/ライトアクセスには、以下の2種類があります。

- 複数リード/複数ライト
- シングルリード/シングルライト

複数リード/複数ライトアクセスは、以下の場合に発生します。

1. CPUのバーストアクセス時(キャッシュリブレース時)
2. 8ビットまたは16ビット幅のSDRAMデータバスに対して、ロングワードアクセス(32ビット)を行ったとき
3. 8ビット幅のSDRAMデータバスに対して、ワードアクセス(16ビット)を行ったとき
4. DMAパイプライン転送で、複数データを転送するとき

アクセスタイミングは、SDRAMm タイミングレジスタ (SDmTR) によりチャンネルごとに設定してください。以下に、アクセスタイミング例を示します。

(a) 複数リード/複数ライトアクセス

図 10.15 に4データの複数リード、図 10.16 に4データの複数ライトを行う場合のタイミング例を示します。

DMA 転送時は、1オペランドの転送数、転送データのサイズやSDRAMバス幅等に応じて転送数が変化します。リードコマンドやライトコマンドは、バスマスタからのアクセス要求に応じて、連続して発行される場合と連続して発行されない場合があります。リードコマンド/ライトコマンドが連続して発行されない場合、リードコマンド間/ライトコマンド間にディセレクトコマンドが発行されます。

また、DMA 転送中にSDRAMの行アドレスが変化する場合、自動的に行の非活性化、活性化を行います。

図 10.17 に4データの複数リード、図 10.18 に4データの複数ライトで連続してリードコマンド/ライトコマンドが発行されない場合のタイミング例を示します。図 10.19 に複数ライトで行アドレスが変化する場合のタイミング例を示します。

アクセスタイミングは、SDRAMm タイミングレジスタ (SDmTR) の設定によって変化します。

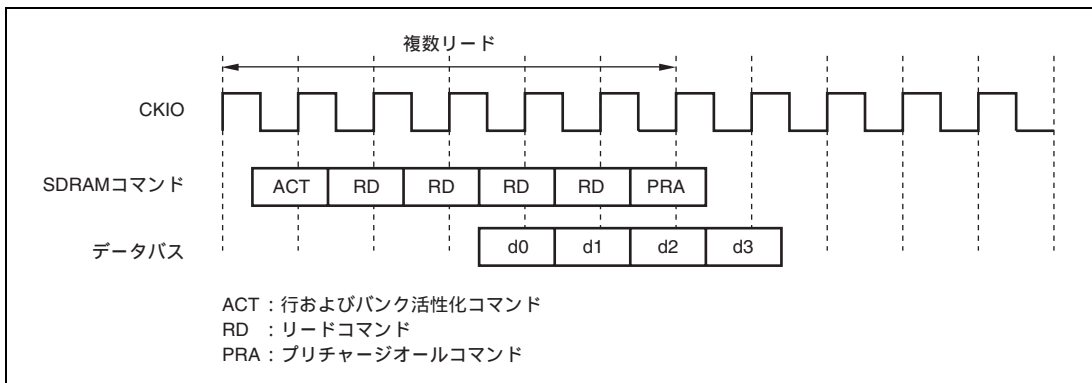


図 10.15 複数リードタイミング例 (4データ複数リード、最短タイミング設定時) 連続リードコマンド発行

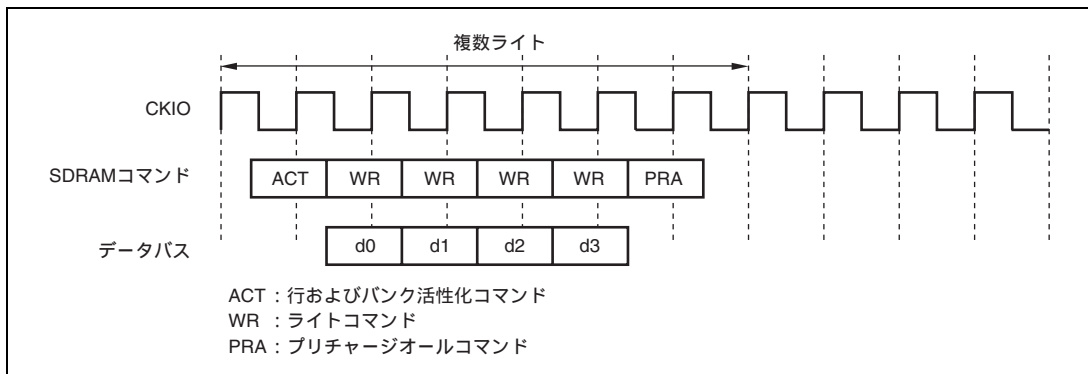


図 10.16 複数ライトタイミング例 (4 データ複数ライト、最短タイミング設定時) 連続ライトコマンド発行

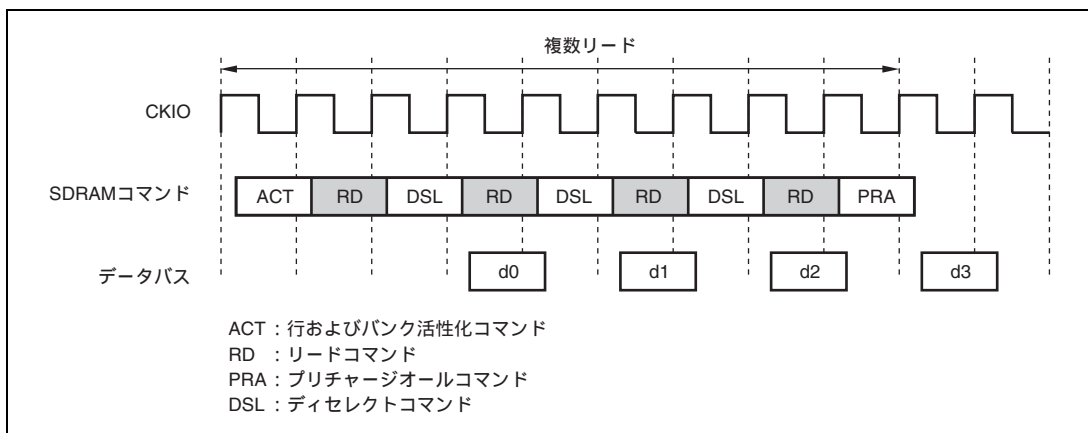


図 10.17 複数リードタイミング例 (4 データ複数リード、最短タイミング設定時) 非連続リードコマンド発行

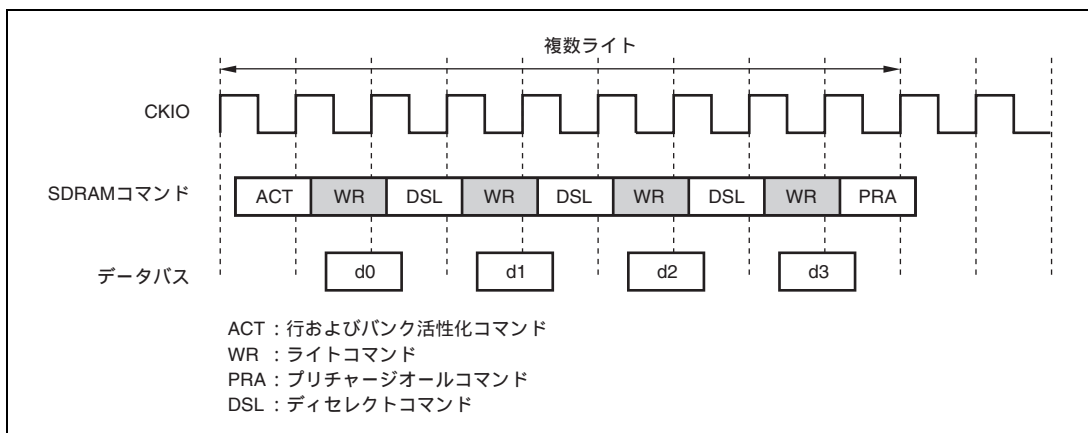


図 10.18 複数ライトタイミング例 (4 データ複数ライト、最短タイミング設定時) 非連続ライトコマンド発行

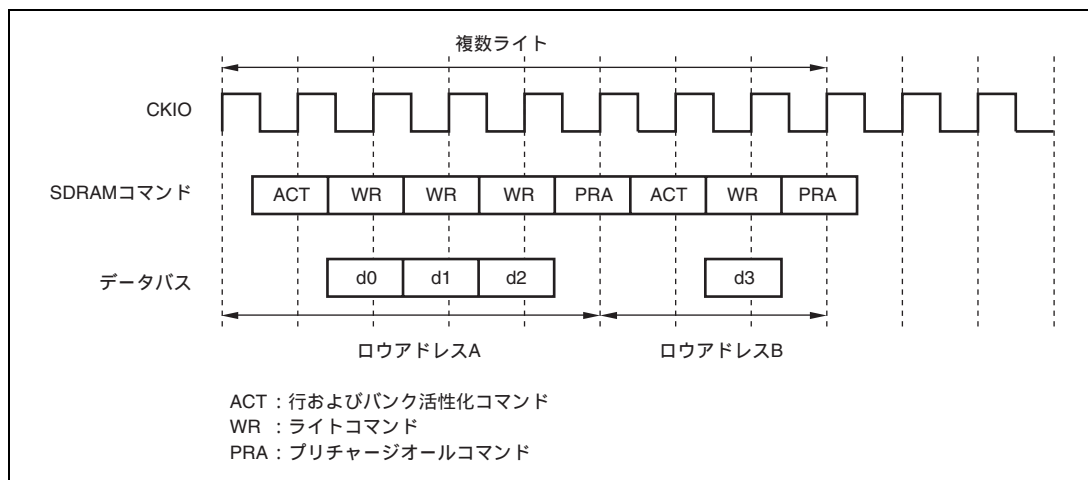


図 10.19 複数ライトタイミング例 (4 データ複数ライト、最短タイミング設定時) 行アドレスまたぎ

(b) シングルリード/シングルライトアクセス

図 10.20 にシングルリード、図 10.21 にシングルライトを行う場合のタイミング例を示します。アクセスタイミングは、SDRAMm タイミングレジスタ (SDmTR) の設定によって変化します。

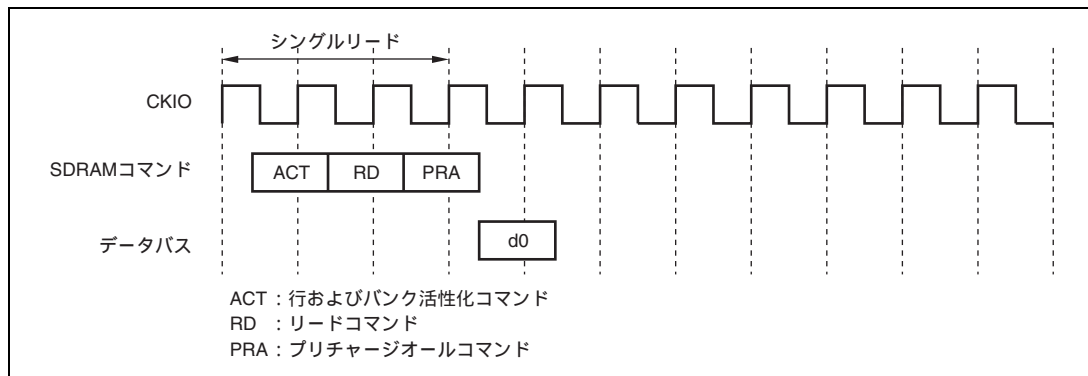


図 10.20 シングルリードタイミング例 (最短タイミング設定時)

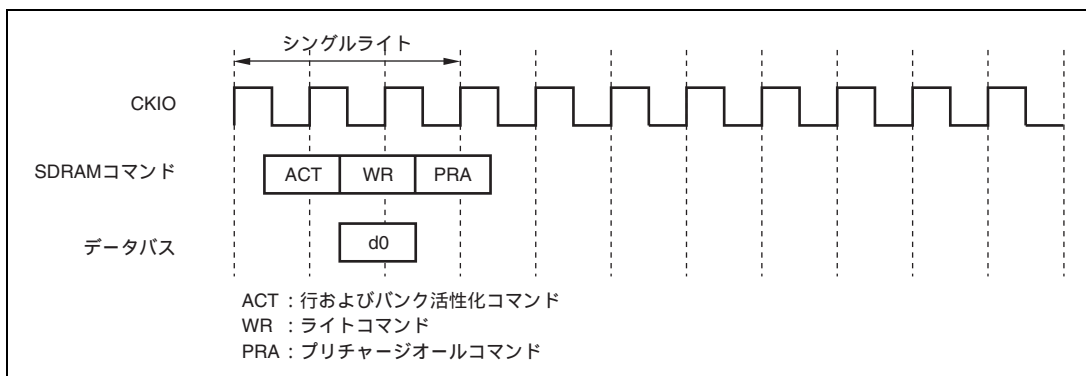


図 10.21 シングルライトタイミング例 (最短タイミング設定時)

(10) モードレジスタ設定

SDRAMm モードレジスタ (SDmMOD) に書き込むことにより、各チャンネルの SDRAM に対し、モードレジスタ設定コマンド、エクステンデッドモードレジスタ設定コマンドを発行します。SDRAMm モードレジスタ (SDmMOD) はチャンネルごとに設定してください。

図 10.22 に、モードレジスタ設定の動作タイミングを示します。

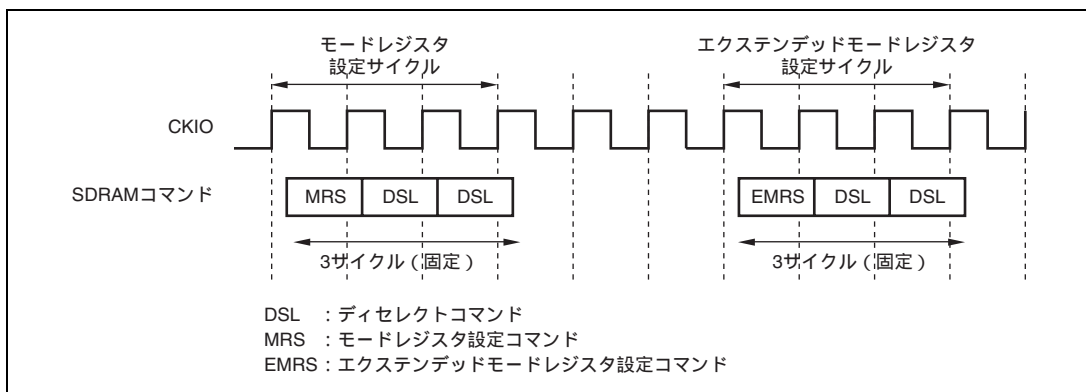


図 10.22 モードレジスタ設定動作タイミング

(11) クロックストップ制御信号

SDRAMC はクロックストップ機能を備えており、ディープパワーダウンモード時に CKIO を停止させることができます。SDRAM クロックストップ制御信号設定レジスタ (SDCKSCNT) の DCKSEN ビットにより、クロックストップ機能の有効・無効を切り替えることができます。

クロックストップ機能無効時には、CKIO は常に動作します。

クロックストップ機能有効時には、ディープパワーダウンモードへの移行と復帰にあわせて CKIO が停止したり、動作を再開したりします。

ディープパワーダウンモード移行時には、ディープパワーダウンエントリコマンドが発行されると CKIO が停止 (ローレベル) します。ディープパワーダウンモード復帰時には、DDPD ビットの 0 クリアが SDRAMC に受け付けられると、ディープパワーダウンイグジットコマンドが発行され、CKIO が動作を再開します。

ディープパワーダウンエントリ・イグジットコマンドから CKIO の動作停止や動作再開までのタイミング DCKSC は SDRAM クロックストップ制御信号設定レジスタで設定することができます。

図 10.23、図 10.24 にククロックストップ機能のタイミングを示します。

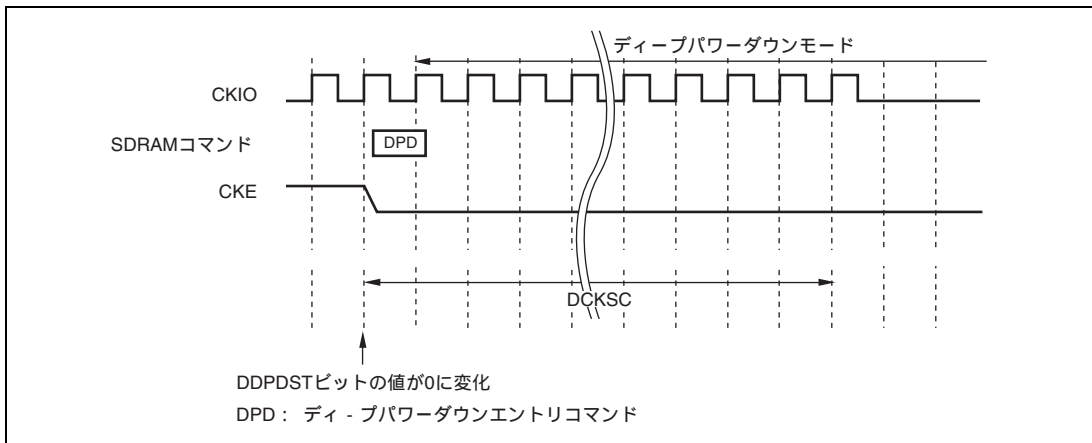


図 10.23 クロックストップ機能動作タイミング (ディープパワーダウンモード移行時)

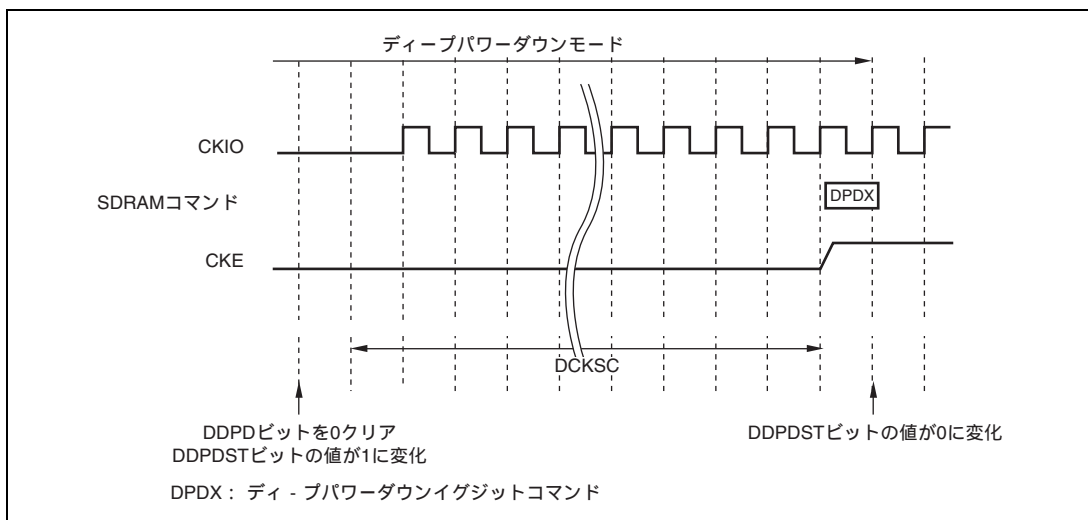


図 10.24 クロックストップ機能動作タイミング (ディープパワーダウンモード復帰時)

(12) SDRAMC 設定例

ここでは、SDRAMC の設定手順、タイミングレジスタの設定例、セルフリフレッシュモード、パワーダウンモード、ディープパワーダウンモードへの移行・復帰手順について説明します。

(a) SDRAMC の設定手順

図 10.25 に SDRAMC の設定手順を示します。

なお、使用される SDRAM により、パワーオンシーケンスなどの仕様が異なる場合があります。

SDRAM の仕様を十分ご検討の上、システム設計を行ってください。たとえば、初期化シーケンス時に DQM 端子を"H"に保持する必要がある SDRAM をご使用になる場合は、図 10.25 (b) に示す手順にて SDRAM を設定してください。本 LSI は JEDEC 規格に対応した初期化シーケンスを採用しており、パワーアップから初期化シーケンス時の DQM 端子の値を保証しておりません。

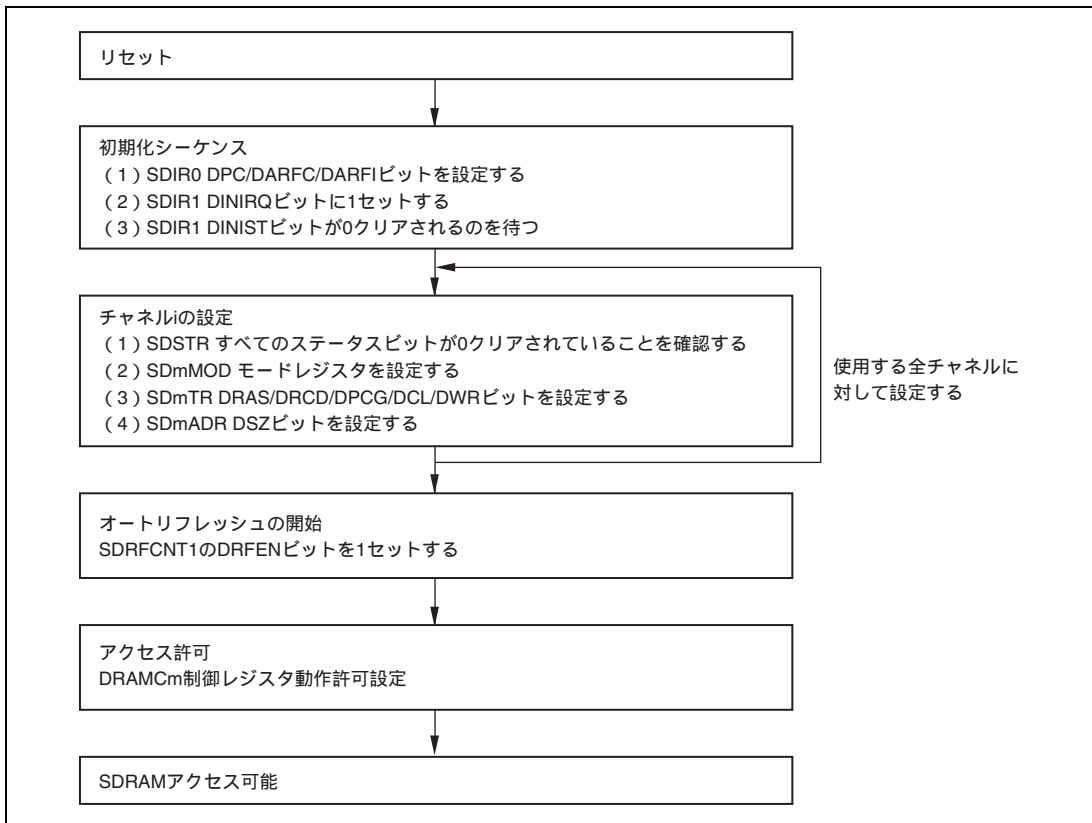


図 10.25 (a) SDRAMC 設定手順 (基本的な設定例)

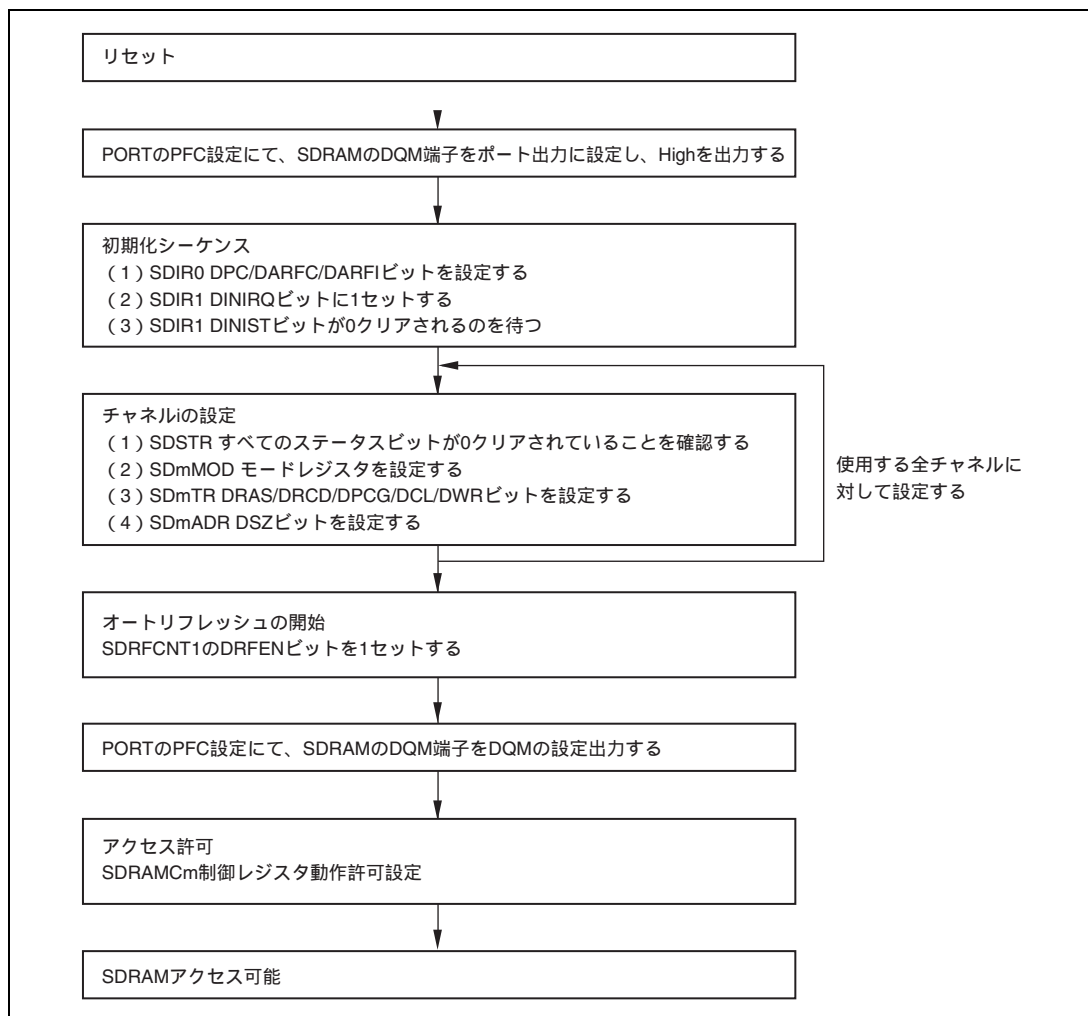


図 10.25 (b) SDRAMC 設定手順 (初期化時に DQM 端子を "H" に保つ必要がある場合)

(b) セルフリフレッシュモードへの移行・復帰手順

図 10.26 にセルフリフレッシュモードへの移行・復帰手順を示します。

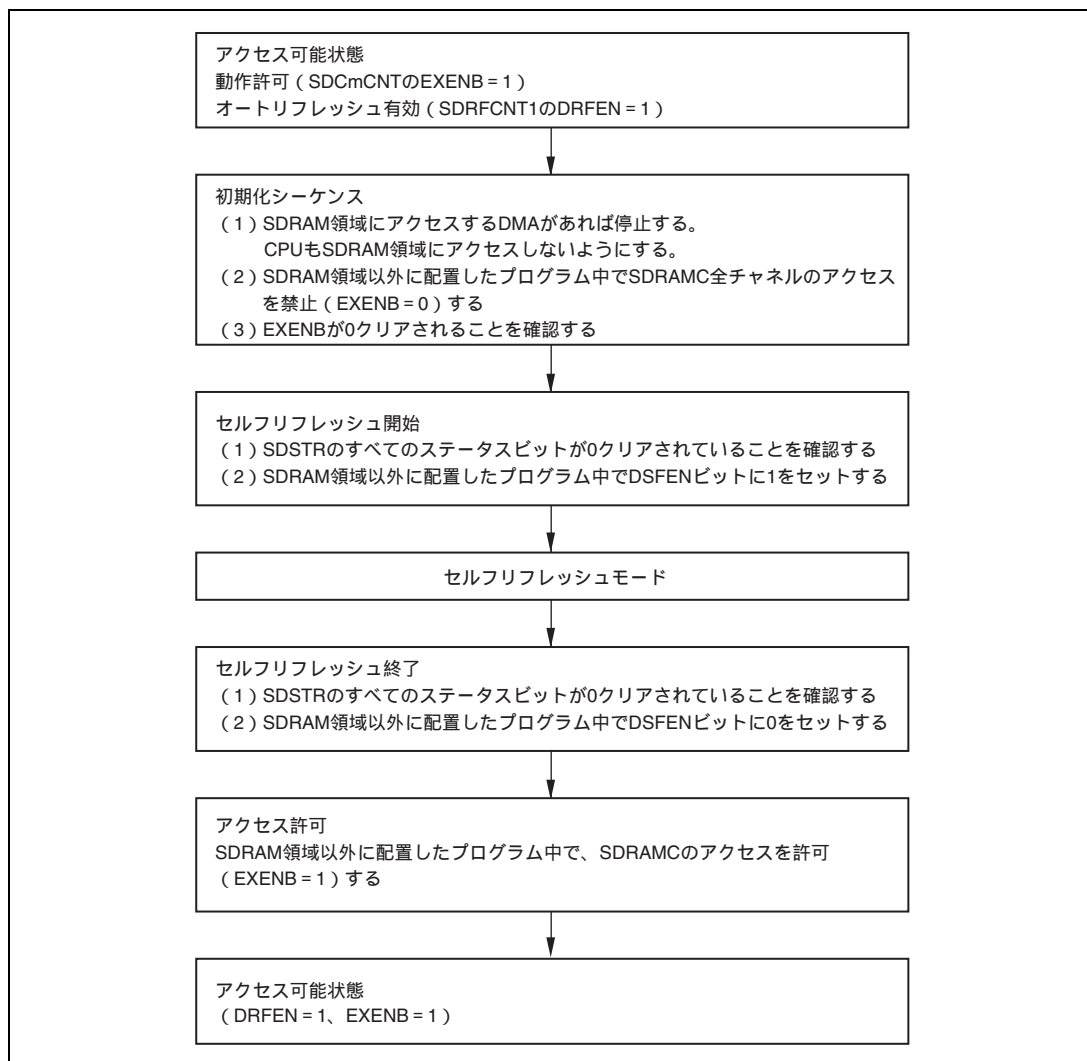


図 10.26 セルフリフレッシュモードへの移行・復帰手順

【注】 セルフリフレッシュモードへの移行・復帰時には、該当チャンネルへのSDRAMアクセスを禁止する必要があります。したがって、SDRAMをアクセスするプログラム/DMAの動作中には、セルフリフレッシュモードへの移行、復帰はできません。プログラミングにあたっては、以下の点に注意してください。

1. セルフリフレッシュモードに移行する前に、該当チャンネルのSDRAM領域にアクセスするDMAチャンネルの転送を禁止してください。
2. セルフリフレッシュ移行時、セルフリフレッシュモード中、セルフリフレッシュモード復帰に実行するプログラムは、SDRAM領域へのオペランドアクセス、命令フェッチ(プリフェッチを含む)が生じないようにしてください。

(c) ディープパワーダウンモードへの移行・復帰手順

図 10.27 にディープパワーダウンモードへの移行手順を示します。

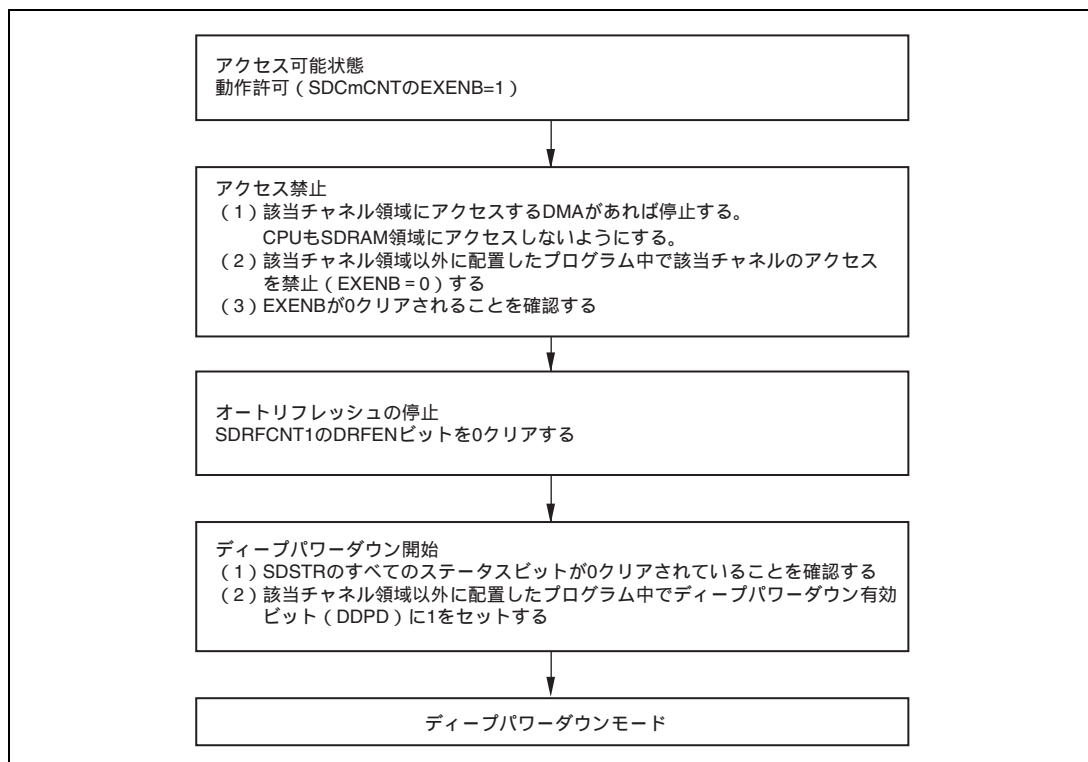


図 10.27 ディープパワーダウンモードへの移行手順

図 10.28 にディープパワーダウンモードからの復帰手順を示します。

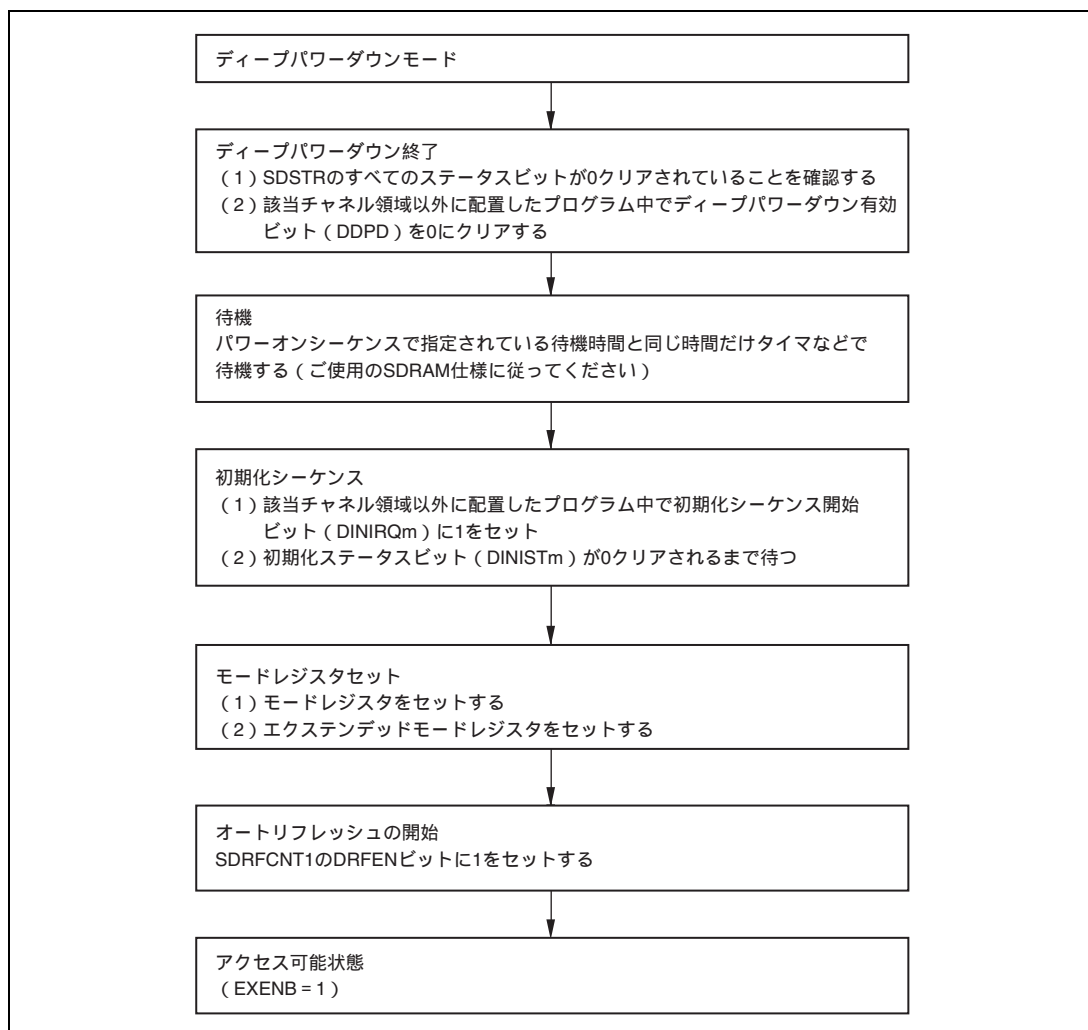


図 10.28 ディープパワーダウンモードからの復帰手順

【注】 ディープパワーダウンモードへの移行・復帰時には、該当チャンネルへの SDRAM アクセスを禁止する必要があります。したがって、SDRAM をアクセスするプログラム/DMA の動作中には、ディープパワーダウンモードへの移行、復帰はできません。プログラミングにあたっては、以下の点に注意してください。

1. ディープパワーダウンモードに移行する前に、該当チャンネルの SDRAM 領域にアクセスする DMA チャンネルの転送を禁止してください。
2. ディープパワーダウン移行時、ディープパワーダウンモード中、ディープパワーダウンモード復帰に実行するプログラムは、SDRAM 領域へのオペランドアクセス、命令フェッチ (プリフェッチを含む) が生じないようにしてください。

(d) タイミングレジスタ設定値とアクセスタイミング

リード・ライトアクセスタイミングと、SDRAMm タイミングレジスタ (SDmTR) 設定値の関連について説明します。

- 複数リードタイミング設定例

図 10.29 ~ 図 10.31 に、4 データの複数リード時のタイミングと SDRAMm タイミングレジスタ (SDmTR) 設定値の関係を示します。表 10.11 に、それぞれの図と SDRAMm タイミングレジスタ (SDmTR) 設定値の対応を示します。

表 10.11 SDITR 設定値対応表 (複数リードタイミング)

図	DRAS	DRCD	DPCG	DCL
図 10.29	010	00	001	010
図 10.30	000	01	001	010
図 10.31	000	01	001	011

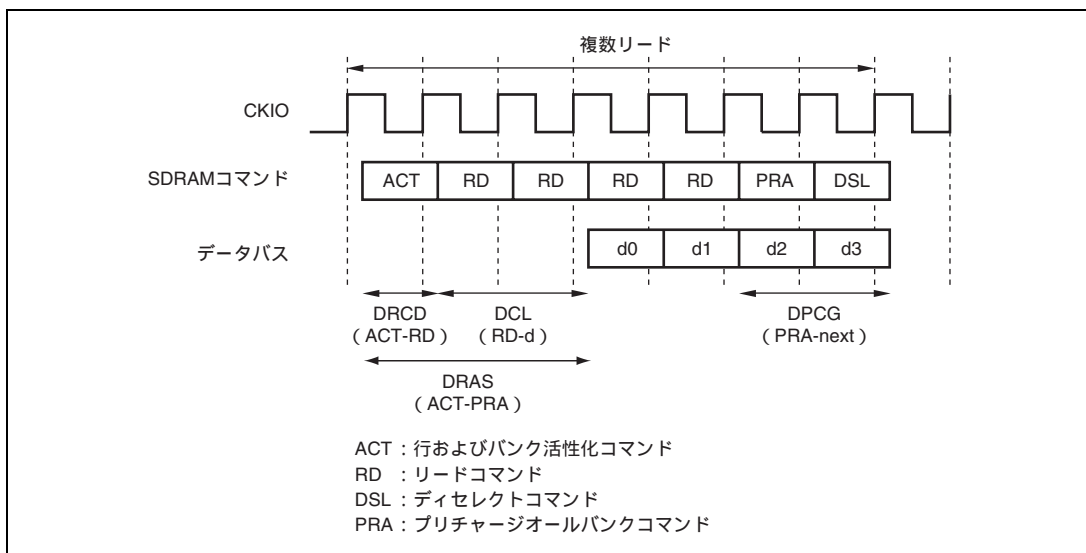


図 10.29 複数リードタイミング例 1

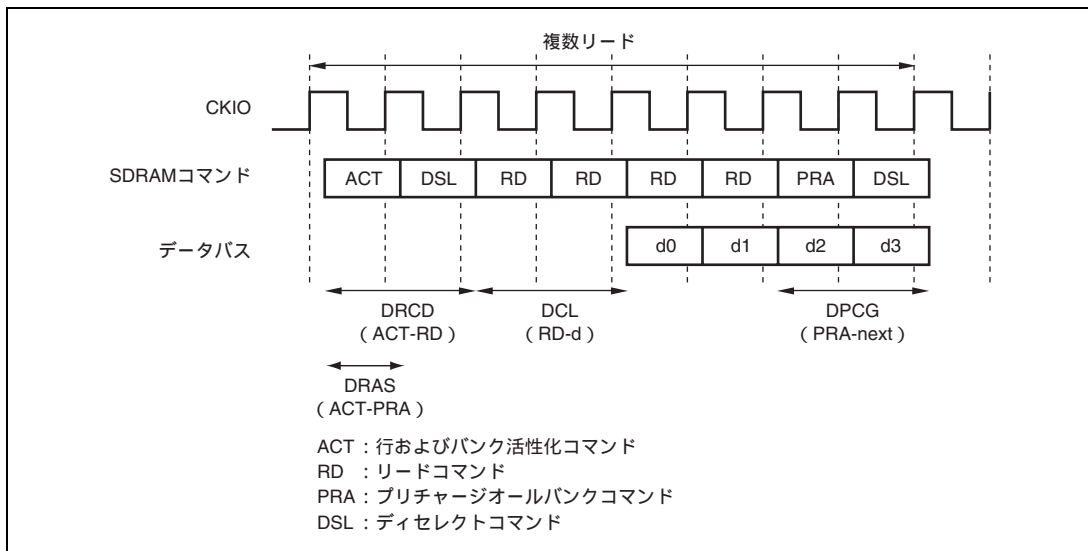


図 10.30 複数リードタイミング例 2

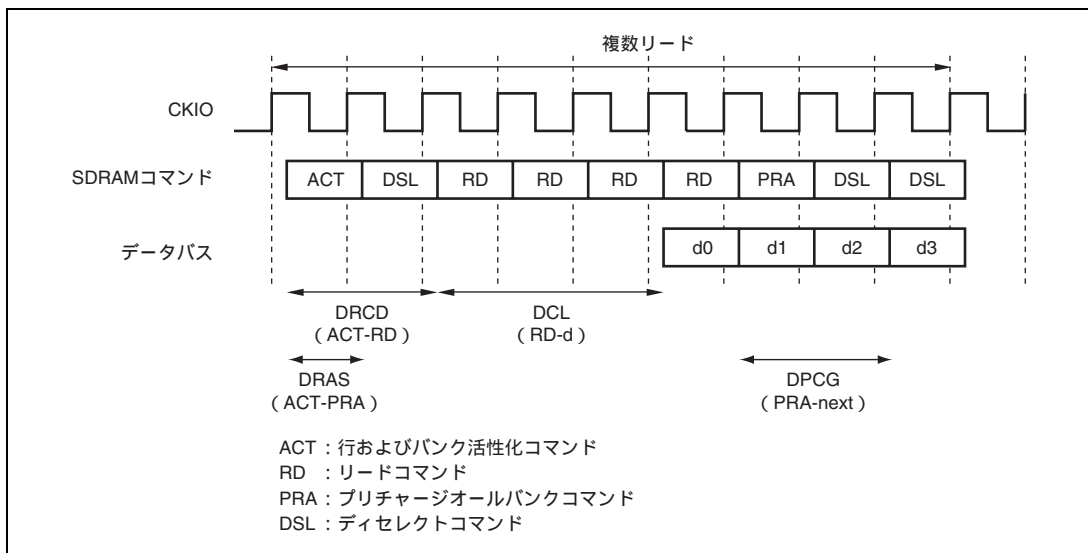


図 10.31 複数リードタイミング例 3

- 複数ライトタイミング設定例

図 10.32 ~ 図 10.34 に、4 データの複数ライト時のタイミングと SDRAMm タイミングレジスタ (SDmTR) 設定値の関係を示します。表 10.12 にそれぞれの図と SDRAMm タイミングレジスタ (SDmTR) 設定値の対応を示します。

表 10.12 SDITR 設定値対応表 (複数ライトタイミング)

図	DRAS	DRCD	DPCG	DWR
図 10.32	010	00	001	0
図 10.33	000	01	001	0
図 10.34	000	01	001	1

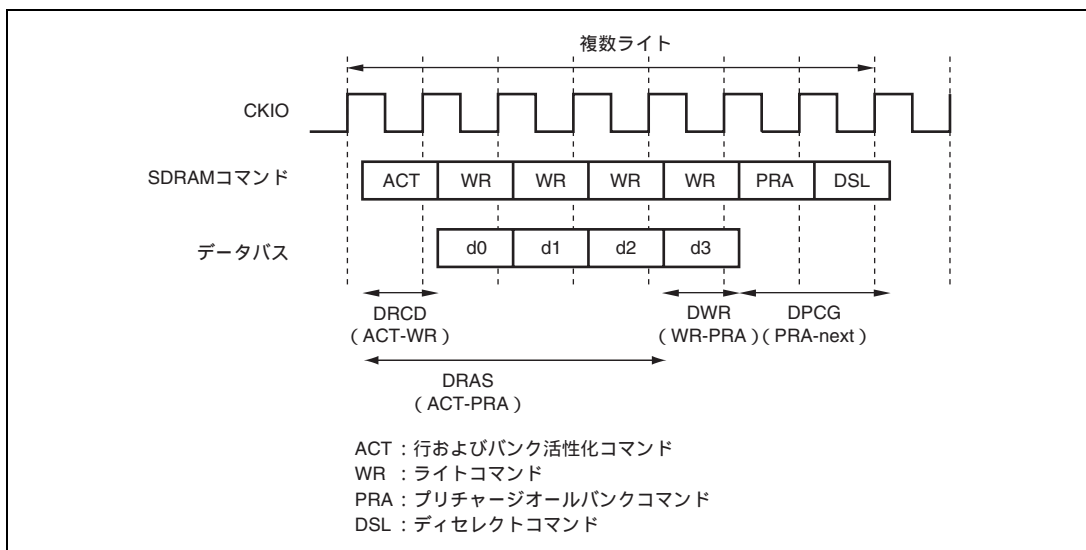


図 10.32 複数ライトタイミング例 1

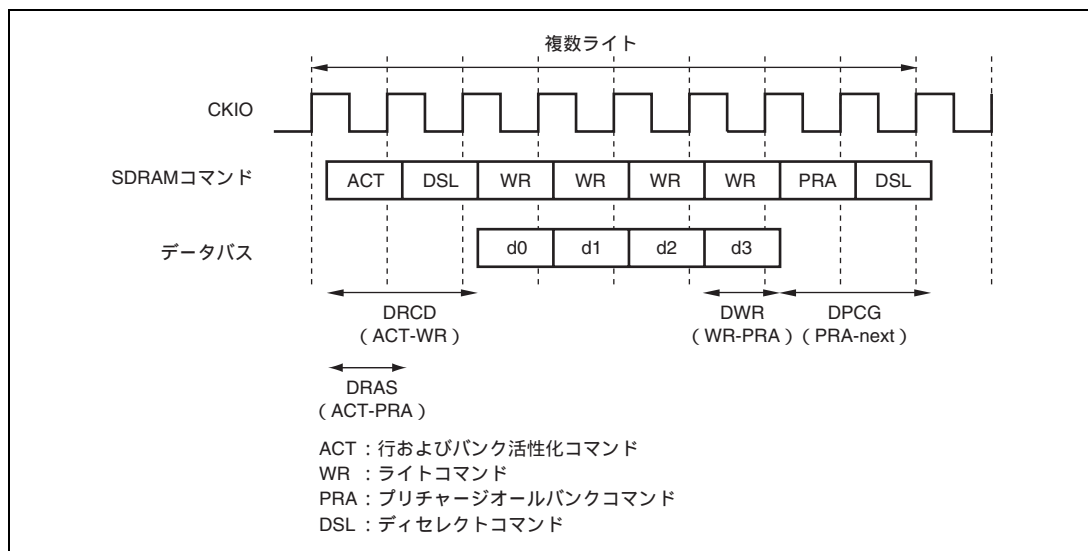


図 10.33 複数ライトタイミング例 2

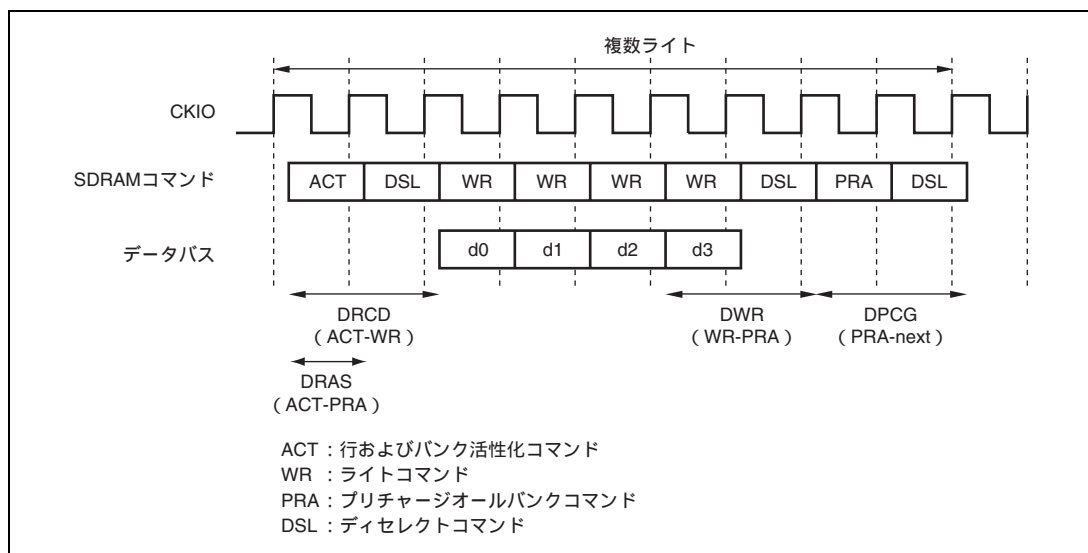


図 10.34 複数ライトタイミング例 3

• シングルリードタイミング設定例

図 10.35 ~ 図 10.37 に、シングルリードタイミングと SDRAMm タイミングレジスタ (SDmTR) 設定値の関係を示します。表 10.13 にそれぞれの図と SDRAMm タイミングレジスタ (SDmTR) 設定値の対応を示します。

表 10.13 SDITR 設定値対応表 (シングルリードタイミング)

図	DRAS	DRCD	DPCG	DCL
図 10.35	010	00	001	010
図 10.36	000	01	001	010
図 10.37	000	01	001	011

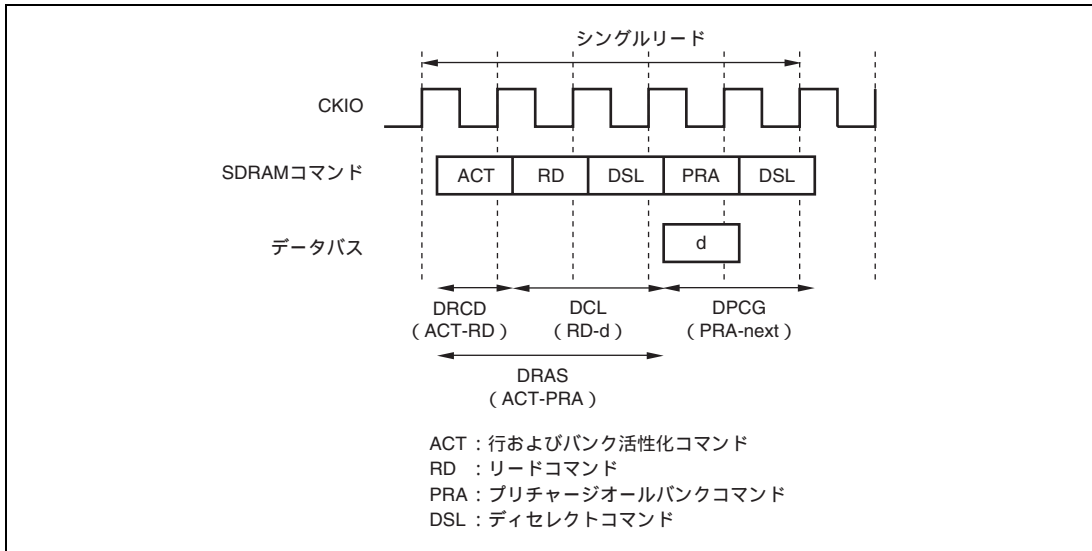


図 10.35 シングルリードタイミング例 1

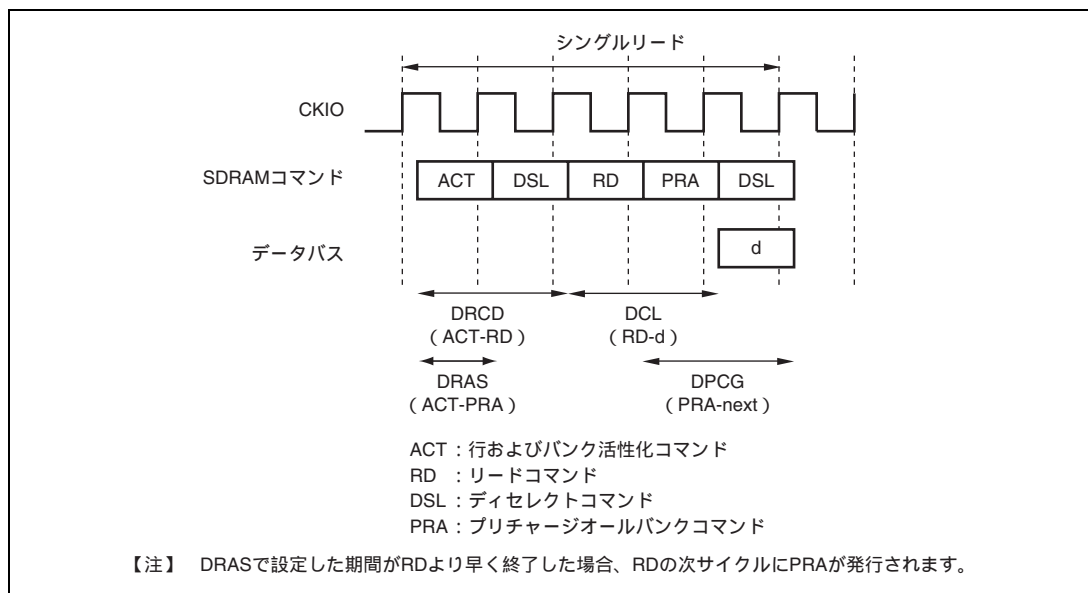


図 10.36 シングルリードタイミング例 2

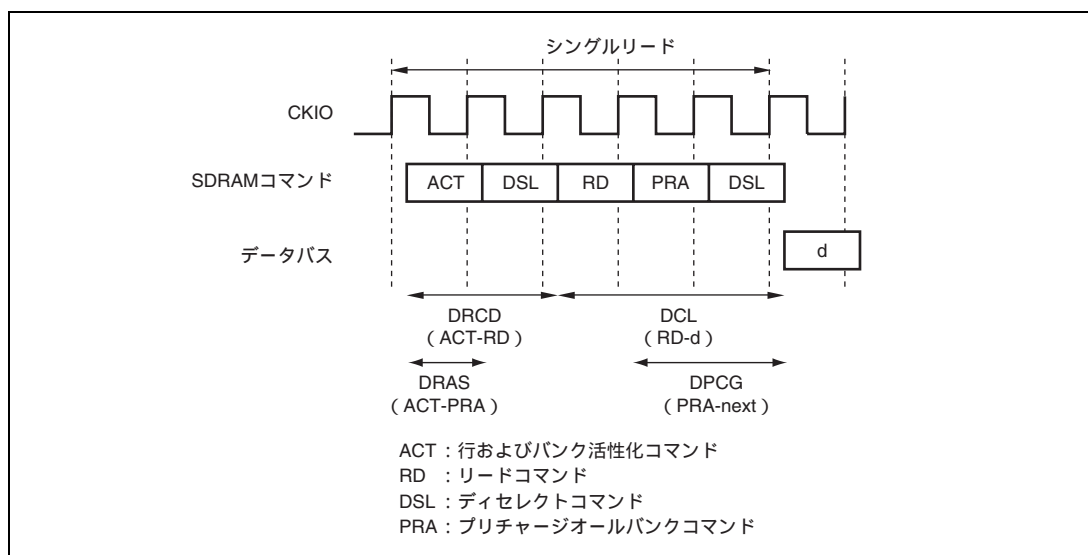


図 10.37 シングルリードタイミング例 3

• シングルライトタイミング設定例

図 10.38 ~ 図 10.40 に、シングルライトタイミングと SDRAMm タイミングレジスタ (SDmTR) 設定値の関係を示します。表 10.14 にそれぞれの図と SDRAMm タイミングレジスタ (SDmTR) 設定値の対応を示します。

表 10.14 SDITR 設定値対応表 (シングルライトタイミング)

図	DRAS	DRCD	DPCG	DWR
図 10.38	010	00	001	0
図 10.39	000	01	001	0
図 10.40	000	01	001	1

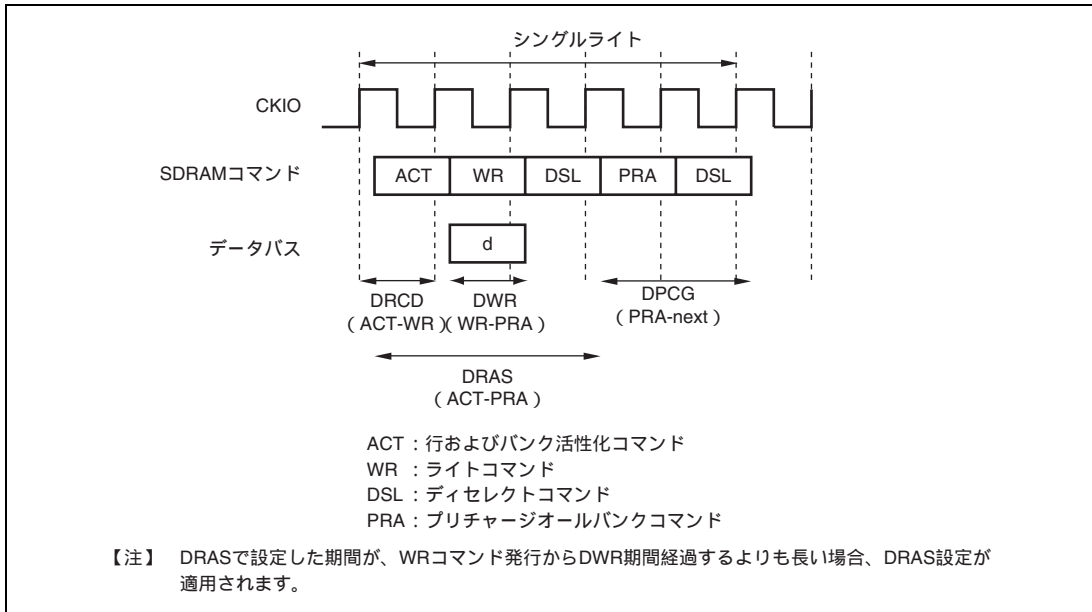


図 10.38 シングルライトタイミング例 1

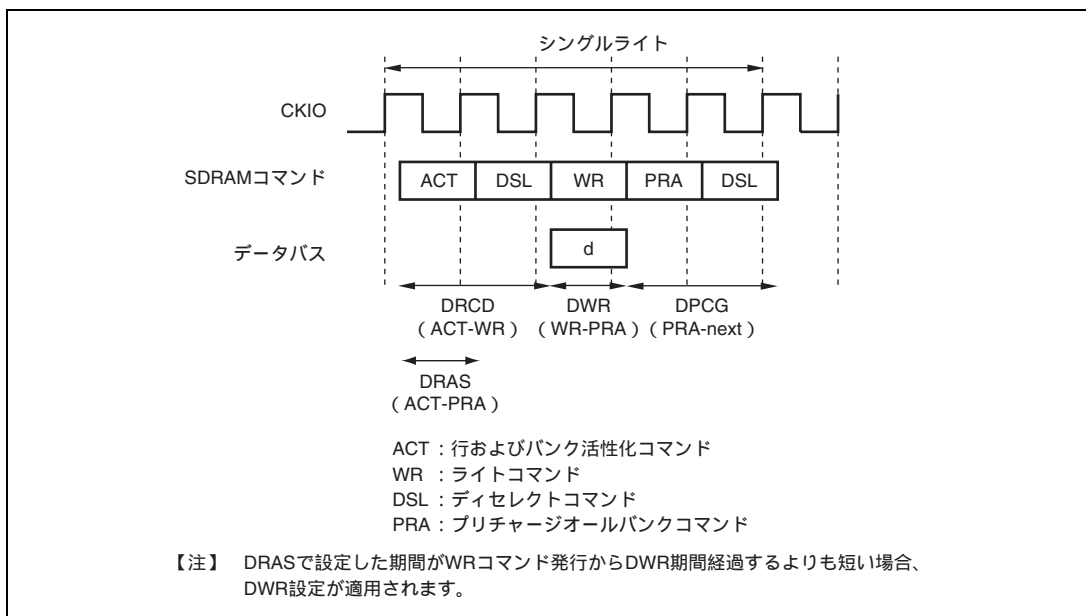


図 10.39 シングルライトタイミング例 2

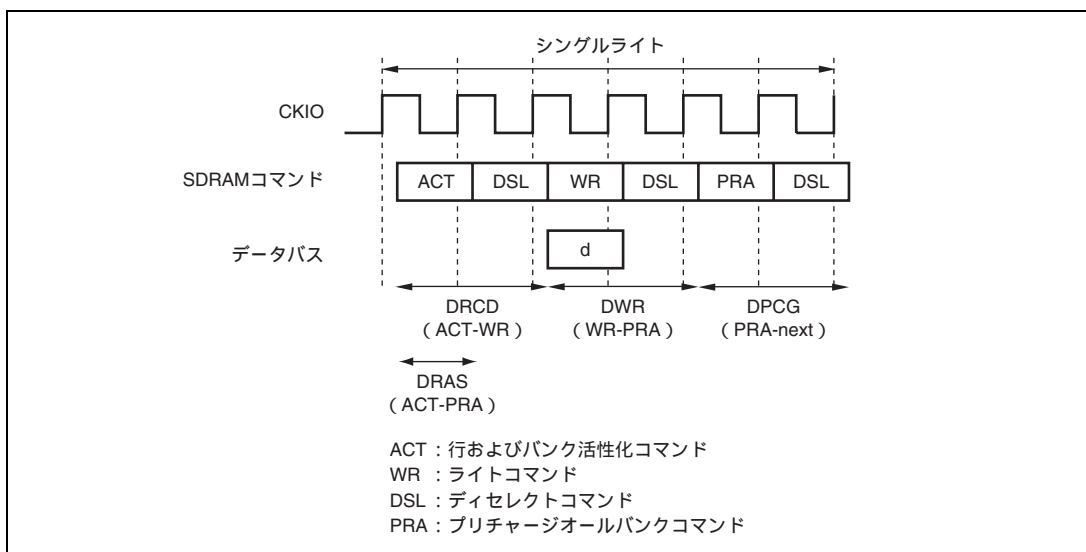


図 10.40 シングルライトタイミング例 3

(13) 外部アドレス / SDRAM アドレス信号マルチプレクス

(a) アドレスマルチプレクス

外部デバイスアクセスに用いるアドレスと、SDRAM アクセスに用いるアドレスはどちらも外部アドレス端子より出力されます。

表 10.15 外部アドレスピン / SDRAM アドレスピン

ピン名	機 能
A[25]	外部アドレス
A[24]	外部アドレス
A[23]	外部アドレス
A[22]	外部アドレス
A[21]	外部アドレス
A[20]	外部アドレス
A[19]	外部アドレス
A[18]	外部アドレス
A[17]	外部アドレス
A[16]/ba[1]	外部アドレス / SDRAM バンクアドレス
A[15]/ba[0]	外部アドレス / SDRAM バンクアドレス
A[14]/ma[12]	外部アドレス / SDRAM アドレス
A[13]/ma[11]	外部アドレス / SDRAM アドレス
A[12]/ma[10]	外部アドレス / SDRAM アドレス
A[11]/ma[9]	外部アドレス / SDRAM アドレス
A[10]/ma[8]	外部アドレス / SDRAM アドレス
A[9]/ma[7]	外部アドレス / SDRAM アドレス
A[8]/ma[6]	外部アドレス / SDRAM アドレス
A[7]/ma[5]	外部アドレス / SDRAM アドレス
A[6]/ma[4]	外部アドレス / SDRAM アドレス
A[5]/ma[3]	外部アドレス / SDRAM アドレス
A[4]/ma[2]	外部アドレス / SDRAM アドレス
A[3]/ma[1]	外部アドレス / SDRAM アドレス
A[2]/ma[0]	外部アドレス / SDRAM アドレス
A[1]	外部アドレス
A[0]	外部アドレス

(14) アドレスレジスタ設定値

(a) サポートする SDRAM の構成一覧

バス幅が 8 ビット、16 ビット、32 ビットのときに、サポートする SDRAM の構成を表 10.16 ~ 表 10.21 に示します。これらの表は、サポートする SDRAM のアドレスとアドレスマルチプレクスの関係を示すために掲載したものです。

ここで、addr[25:0]は、CPU や DMAC が SDRAM をアクセスするための論理的なアドレスです。以下の表は、DSZ と DDBW の設定ごとに、SDRAM アクセス用の端子にどのような信号が出力されるかを示しています。

表 10.16 外部データバス幅 = 8 ビット (BSIZE*¹ = (1, 0)) のとき

SDRAM 種類、個数	64Mbit (× 8)、1 個		128Mbit (× 8)、1 個		256Mbit (× 8)、1 個		512Mbit (× 8)、1 個	
DSZ* ²	001 (8MB)		010 (16MB)		011 (32MB)		100 (64MB)	
DDBW* ³	00 (8bit)		00 (8bit)		00 (8bit)		00 (8bit)	
本 LSI の 出力端子	行アドレス サイクル	列アドレス サイクル	行アドレス サイクル	列アドレス サイクル	行アドレス サイクル	列アドレス サイクル	行アドレス サイクル	列アドレス サイクル
A[16]/ba[1]* ⁴	addr[22]	addr[22]	addr[23]	addr[23]	addr[24]	addr[24]	addr[25]	addr[25]
A[15]/ba[0]* ⁴	addr[21]	addr[21]	addr[22]	addr[22]	addr[23]	addr[23]	addr[24]	addr[24]
A[14]/ma[12]* ⁴	0	0	0	0	addr[22]	0	addr[23]	0
A[13]/ma[11]* ⁴	addr[20]	0	addr[21]	0	addr[21]	0	addr[22]	addr[10]
A[12]/ma[10]* ⁴	addr[19]	* ⁵	addr[20]	* ⁵	addr[20]	* ⁵	addr[21]	* ⁵
A[11]/ma[9]* ⁴	addr[18]	0	addr[19]	addr[9]	addr[19]	addr[9]	addr[20]	addr[9]
A[10]/ma[8]* ⁴	addr[17]	addr[8]	addr[18]	addr[8]	addr[18]	addr[8]	addr[19]	addr[8]
A[9]/ma[7]* ⁴	addr[16]	addr[7]	addr[17]	addr[7]	addr[17]	addr[7]	addr[18]	addr[7]
A[8]/ma[6]* ⁴	addr[15]	addr[6]	addr[16]	addr[6]	addr[16]	addr[6]	addr[17]	addr[6]
A[7]/ma[5]* ⁴	addr[14]	addr[5]	addr[15]	addr[5]	addr[15]	addr[5]	addr[16]	addr[5]
A[6]/ma[4]* ⁴	addr[13]	addr[4]	addr[14]	addr[4]	addr[14]	addr[4]	addr[15]	addr[4]
A[5]/ma[3]* ⁴	addr[12]	addr[3]	addr[13]	addr[3]	addr[13]	addr[3]	addr[14]	addr[3]
A[4]/ma[2]* ⁴	addr[11]	addr[2]	addr[12]	addr[2]	addr[12]	addr[2]	addr[13]	addr[2]
A[3]/ma[1]* ⁴	addr[10]	addr[1]	addr[11]	addr[1]	addr[11]	addr[1]	addr[12]	addr[1]
A[2]/ma[0]* ⁴	addr[9]	addr[0]	addr[10]	addr[0]	addr[10]	addr[0]	addr[11]	addr[0]

【注】 *1 BSIZE は SDCmCNT 制御レジスタの BSIZE ビットを示します。

*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。

*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。

*4 ba[1:0]、ma[12:0]は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。

*5 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

表 10.17 外部データバス幅 = 16 ビット (BSIZE*1 = (0, 0)) のとき (1)

SDRAM 種類、個数	64Mbit (× 16)、1 個		64Mbit (× 8)、2 個		128Mbit (× 16)、1 個		128Mbit (× 8)、2 個	
DSZ*2	001 (8MB)		010 (16MB)		010 (16MB)		011 (32MB)	
DDBW*3	01 (16bit)		00 (8bit)		01 (16bit)		00 (8bit)	
本 LSI の 出力端子	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス
A[16]/ba[1]*4	addr[22]	addr[22]	addr[23]	addr[23]	addr[23]	addr[23]	addr[24]	addr[24]
A[15]/ba[0]*4	addr[21]	addr[21]	addr[22]	addr[22]	addr[22]	addr[22]	addr[23]	addr[23]
A[14]/ma[12]*4	0	0	0	0	0	0	0	0
A[13]/ma[11]*4	addr[20]	0	addr[21]	0	addr[21]	0	addr[22]	0
A[12]/ma[10]*4	addr[19]	*5	addr[20]	*5	addr[20]	*5	addr[21]	*5
A[11]/ma[9]*4	addr[18]	0	addr[19]	0	addr[19]	0	addr[20]	addr[10]
A[10]/ma[8]*4	addr[17]	0	addr[18]	addr[9]	addr[18]	addr[9]	addr[19]	addr[9]
A[9]/ma[7]*4	addr[16]	addr[8]	addr[17]	addr[8]	addr[17]	addr[8]	addr[18]	addr[8]
A[8]/ma[6]*4	addr[15]	addr[7]	addr[16]	addr[7]	addr[16]	addr[7]	addr[17]	addr[7]
A[7]/ma[5]*4	addr[14]	addr[6]	addr[15]	addr[6]	addr[15]	addr[6]	addr[16]	addr[6]
A[6]/ma[4]*4	addr[13]	addr[5]	addr[14]	addr[5]	addr[14]	addr[5]	addr[15]	addr[5]
A[5]/ma[3]*4	addr[12]	addr[4]	addr[13]	addr[4]	addr[13]	addr[4]	addr[14]	addr[4]
A[4]/ma[2]*4	addr[11]	addr[3]	addr[12]	addr[3]	addr[12]	addr[3]	addr[13]	addr[3]
A[3]/ma[1]*4	addr[10]	addr[2]	addr[11]	addr[2]	addr[11]	addr[2]	addr[12]	addr[2]
A[2]/ma[0]*4	addr[9]	addr[1]	addr[10]	addr[1]	addr[10]	addr[1]	addr[11]	addr[1]

- 【注】 *1 BSIZE は SDCmCNT 制御レジスタの BSIZE ビットを示します。
*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。
*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。
*4 ba[1:0]、ma[12:0]は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。
*5 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

表 10.18 外部データバス幅 = 16 ビット (BSIZE*¹ = (0, 0)) のとき (2)

SDRAM 種類、個数	256Mbit (× 16)、1 個		256Mbit (× 8)、2 個		512Mbit (× 16)、1 個	
DSZ* ²	011 (32MB)		100 (64MB)		100 (64MB)	
DDBW* ³	01 (16bit)		00 (8bit)		01 (16bit)	
本 LSI の出力端子	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス
A[16]/ba[1]* ⁴	addr[24]	addr[24]	addr[25]	addr[25]	addr[25]	addr[25]
A[15]/ba[0]* ⁴	addr[23]	addr[23]	addr[24]	addr[24]	addr[24]	addr[24]
A[14]/ma[12]* ⁴	addr[22]	0	addr[23]	0	addr[23]	0
A[13]/ma[11]* ⁴	addr[21]	0	addr[22]	0	addr[22]	0
A[12]/ma[10]* ⁴	addr[20]	* ⁵	addr[21]	* ⁵	addr[21]	* ⁵
A[11]/ma[9]* ⁴	addr[19]	0	addr[20]	addr[10]	addr[20]	addr[10]
A[10]/ma[8]* ⁴	addr[18]	addr[9]	addr[19]	addr[9]	addr[19]	addr[9]
A[9]/ma[7]* ⁴	addr[17]	addr[8]	addr[18]	addr[8]	addr[18]	addr[8]
A[8]/ma[6]* ⁴	addr[16]	addr[7]	addr[17]	addr[7]	addr[17]	addr[7]
A[7]/ma[5]* ⁴	addr[15]	addr[6]	addr[16]	addr[6]	addr[16]	addr[6]
A[6]/ma[4]* ⁴	addr[14]	addr[5]	addr[15]	addr[5]	addr[15]	addr[5]
A[5]/ma[3]* ⁴	addr[13]	addr[4]	addr[14]	addr[4]	addr[14]	addr[4]
A[4]/ma[2]* ⁴	addr[12]	addr[3]	addr[13]	addr[3]	addr[13]	addr[3]
A[3]/ma[1]* ⁴	addr[11]	addr[2]	addr[12]	addr[2]	addr[12]	addr[2]
A[2]/ma[0]* ⁴	addr[10]	addr[1]	addr[11]	addr[1]	addr[11]	addr[1]

- 【注】 *1 BSIZE は SDCmCNT 制御レジスタの BSIZE ビットを示します。
*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。
*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。
*4 ba[1:0]、ma[12:0]は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。
*5 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

表 10.19 外部データバス幅 = 32 ビット (BSIZE^{*1} = (0, 1)) のとき (1)

SDRAM 種類、個数	64Mbit (× 32)、1 個		64Mbit (× 16)、2 個		128Mbit (× 32)、1 個		64Mbit (× 8)、4 個	
	DSZ ^{*2}		DDBW ^{*3}		本 LSI の 出力端子			
	001 (8MB)		010 (16MB)		010 (16MB)		011 (32MB)	
	10 (32bit)		01 (16bit)		10 (32bit)		00 (8bit)	
	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス
A[16]/ba[1] ^{*4}	addr[22]	addr[22]	addr[23]	addr[23]	addr[23]	addr[23]	addr[24]	addr[24]
A[15]/ba[0] ^{*4}	addr[21]	addr[21]	addr[22]	addr[22]	addr[22]	addr[22]	addr[23]	addr[23]
A[14]/ma[12] ^{*4}	0	0	0	0	0	0	0	0
A[13]/ma[11] ^{*4}	0	0	addr[21]	0	addr[21]	0	addr[22]	0
A[12]/ma[10] ^{*4}	addr[20]	^{*5}	addr[20]	^{*5}	addr[20]	^{*5}	addr[21]	^{*5}
A[11]/ma[9] ^{*4}	addr[19]	0	addr[19]	0	addr[19]	0	addr[20]	0
A[10]/ma[8] ^{*4}	addr[18]	0	addr[18]	0	addr[18]	0	addr[19]	addr[10]
A[9]/ma[7] ^{*4}	addr[17]	addr[9]	addr[17]	addr[9]	addr[17]	addr[9]	addr[18]	addr[9]
A[8]/ma[6] ^{*4}	addr[16]	addr[8]	addr[16]	addr[8]	addr[16]	addr[8]	addr[17]	addr[8]
A[7]/ma[5] ^{*4}	addr[15]	addr[7]	addr[15]	addr[7]	addr[15]	addr[7]	addr[16]	addr[7]
A[6]/ma[4] ^{*4}	addr[14]	addr[6]	addr[14]	addr[6]	addr[14]	addr[6]	addr[15]	addr[6]
A[5]/ma[3] ^{*4}	addr[13]	addr[5]	addr[13]	addr[5]	addr[13]	addr[5]	addr[14]	addr[5]
A[4]/ma[2] ^{*4}	addr[12]	addr[4]	addr[12]	addr[4]	addr[12]	addr[4]	addr[13]	addr[4]
A[3]/ma[1] ^{*4}	addr[11]	addr[3]	addr[11]	addr[3]	addr[11]	addr[3]	addr[12]	addr[3]
A[2]/ma[0] ^{*4}	addr[10]	addr[2]	addr[10]	addr[2]	addr[10]	addr[2]	addr[11]	addr[2]

- 【注】 *1 BSIZE は SDCmCNT 制御レジスタの BSIZE ビットを示します。
*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。
*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。
*4 ba[1:0]、ma[12:0]は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。
*5 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

表 10.20 外部データバス幅 = 32 ビット (BSIZE*¹ = (0, 1)) のとき (2)

SDRAM 種類、個数	128Mbit (× 16)、2 個		256Mbit (× 32)、1 個		128Mbit (× 8)、4 個		256Mbit (× 16)、2 個	
DSZ* ²	011 (32MB)		011 (32MB)		100 (64MB)		100 (64MB)	
DDBW* ³	01 (16bit)		10 (32bit)		00 (8bit)		01 (16bit)	
本 LSI の 出力端子	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス	行アドレス	列アドレス
A[16]/ba[1]* ⁴	addr[24]	addr[24]	addr[24]	addr[24]	addr[25]	addr[25]	addr[25]	addr[25]
A[15]/ba[0]* ⁴	addr[23]	addr[23]	addr[23]	addr[23]	addr[24]	addr[24]	addr[24]	addr[24]
A[14]/ma[12]* ⁴	0	0	0	0	0	0	addr[23]	0
A[13]/ma[11]* ⁴	addr[22]	0	addr[22]	0	addr[23]	0	addr[22]	0
A[12]/ma[10]* ⁴	addr[21]	* ⁵	addr[21]	* ⁵	addr[22]	* ⁵	addr[21]	* ⁵
A[11]/ma[9]* ⁴	addr[20]	0	addr[20]	0	addr[21]	addr[11]	addr[20]	0
A[10]/ma[8]* ⁴	addr[19]	addr[10]	addr[19]	addr[10]	addr[20]	addr[10]	addr[19]	addr[10]
A[9]/ma[7]* ⁴	addr[18]	addr[9]	addr[18]	addr[9]	addr[19]	addr[9]	addr[18]	addr[9]
A[8]/ma[6]* ⁴	addr[17]	addr[8]	addr[17]	addr[8]	addr[18]	addr[8]	addr[17]	addr[8]
A[7]/ma[5]* ⁴	addr[16]	addr[7]	addr[16]	addr[7]	addr[17]	addr[7]	addr[16]	addr[7]
A[6]/ma[4]* ⁴	addr[15]	addr[6]	addr[15]	addr[6]	addr[16]	addr[6]	addr[15]	addr[6]
A[5]/ma[3]* ⁴	addr[14]	addr[5]	addr[14]	addr[5]	addr[15]	addr[5]	addr[14]	addr[5]
A[4]/ma[2]* ⁴	addr[13]	addr[4]	addr[13]	addr[4]	addr[14]	addr[4]	addr[13]	addr[4]
A[3]/ma[1]* ⁴	addr[12]	addr[3]	addr[12]	addr[3]	addr[13]	addr[3]	addr[12]	addr[3]
A[2]/ma[0]* ⁴	addr[11]	addr[2]	addr[11]	addr[2]	addr[12]	addr[2]	addr[11]	addr[2]

- 【注】 *1 BSIZE は SDCmCNT 制御レジスタの BSIZE ビットを示します。
*2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。
*3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。
*4 ba[1:0]、ma[12:0]は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。
*5 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

表 10.21 外部データバス幅 = 32 ビット (BSIZE^{*1} = (0, 1)) のとき (3)

SDRAM 種類、個数	512Mbit (× 32)、1 個	
DSZ ^{*2}	100 (64MB)	
DDBW ^{*3}	10 (32bit)	
本 LSI の出力端子	行アドレス	列アドレス
A[16]/ba[1] ^{*4}	addr[25]	addr[25]
A[15]/ba[0] ^{*4}	addr[24]	addr[24]
A[14]/ma[12] ^{*4}	addr[23]	0
A[13]/ma[11] ^{*4}	addr[22]	0
A[12]/ma[10] ^{*4}	addr[21]	* ⁵
A[11]/ma[9] ^{*4}	addr[20]	0
A[10]/ma[8] ^{*4}	addr[19]	addr[10]
A[9]/ma[7] ^{*4}	addr[18]	addr[9]
A[8]/ma[6] ^{*4}	addr[17]	addr[8]
A[7]/ma[5] ^{*4}	addr[16]	addr[7]
A[6]/ma[4] ^{*4}	addr[15]	addr[6]
A[5]/ma[3] ^{*4}	addr[14]	addr[5]
A[4]/ma[2] ^{*4}	addr[13]	addr[4]
A[3]/ma[1] ^{*4}	addr[12]	addr[3]
A[2]/ma[0] ^{*4}	addr[11]	addr[2]

- 【注】 *1 BSIZE は SDCmCNT 制御レジスタの BSIZE ビットを示します。
 *2 DSZ は SDRAMm アドレスレジスタの DSZ ビットを示します。
 *3 DDBW は SDRAMm アドレスレジスタの DDBW ビットを示します。
 *4 ba[1:0]、ma[12:0]は、それぞれ SDRAM バンクアドレス、SDRAM アドレスを示します。
 *5 RD、WR、PRA コマンドの発行時に、プリチャージオプションを示します。

10.6 接続例

以下に、本 LSI に SRAM や SDRAM を接続する例を示します。

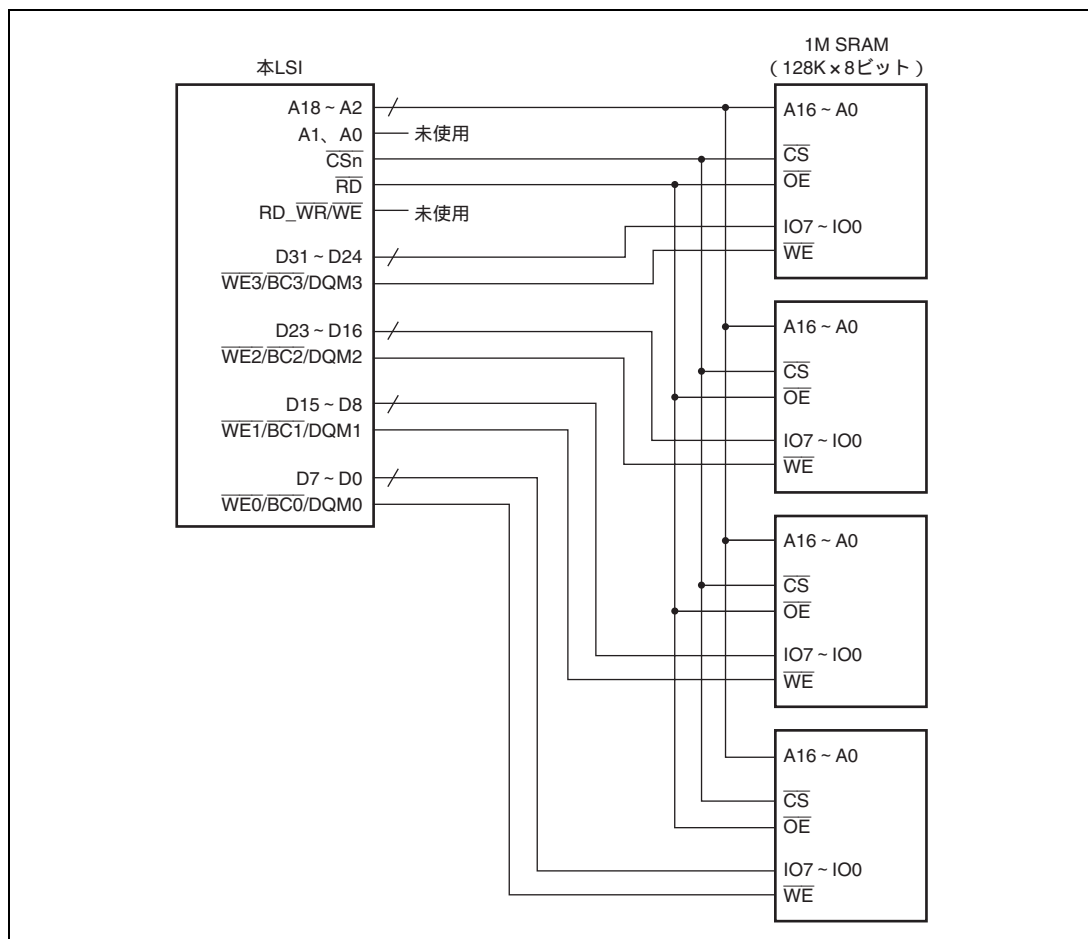


図 10.41 32 ビットデータ幅 SRAM 接続例

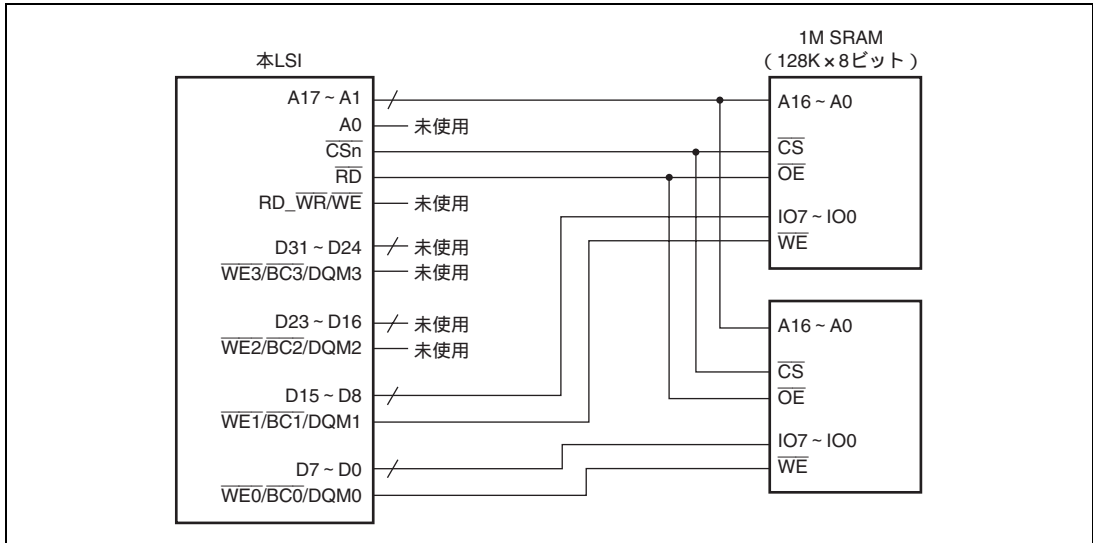


図 10.42 16 ビットデータ幅 SRAM 接続例

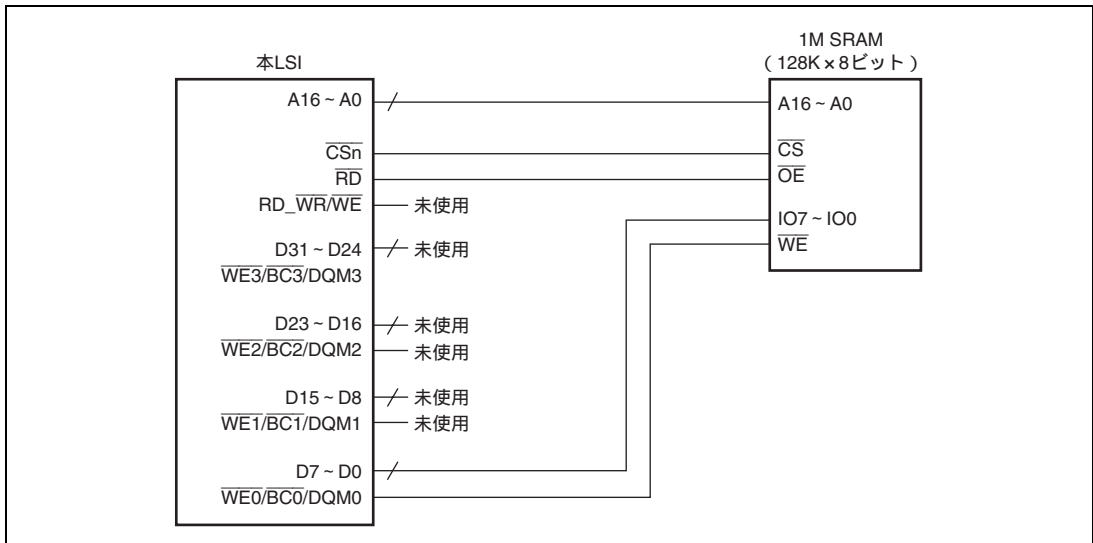


図 10.43 8 ビットデータ幅 SRAM 接続例

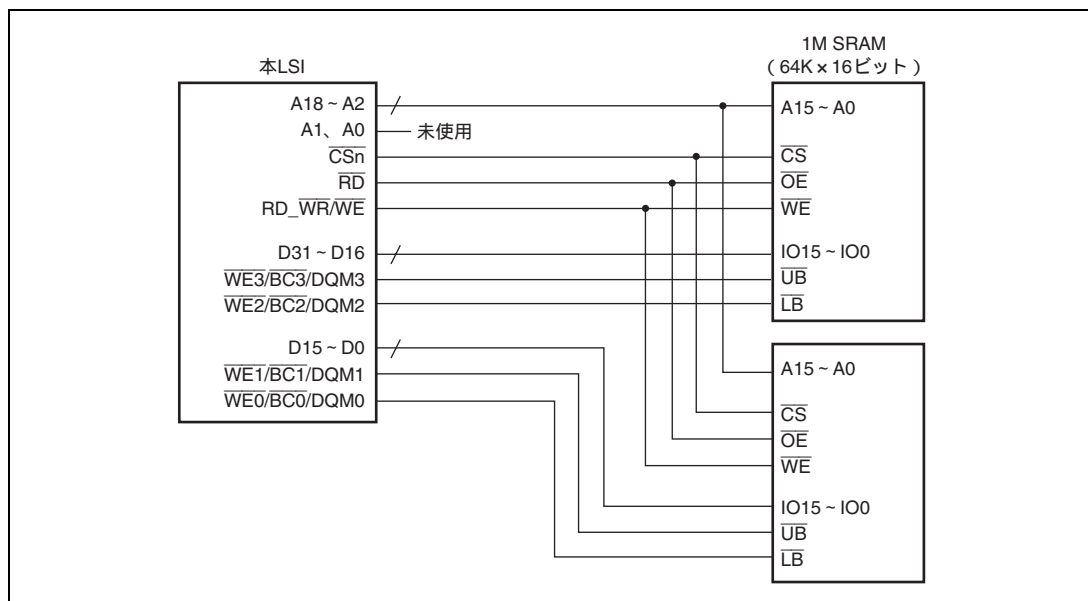


図 10.44 32 ビットデータ幅 SRAM 接続例 (バイトコントロール付き SRAM 使用時)

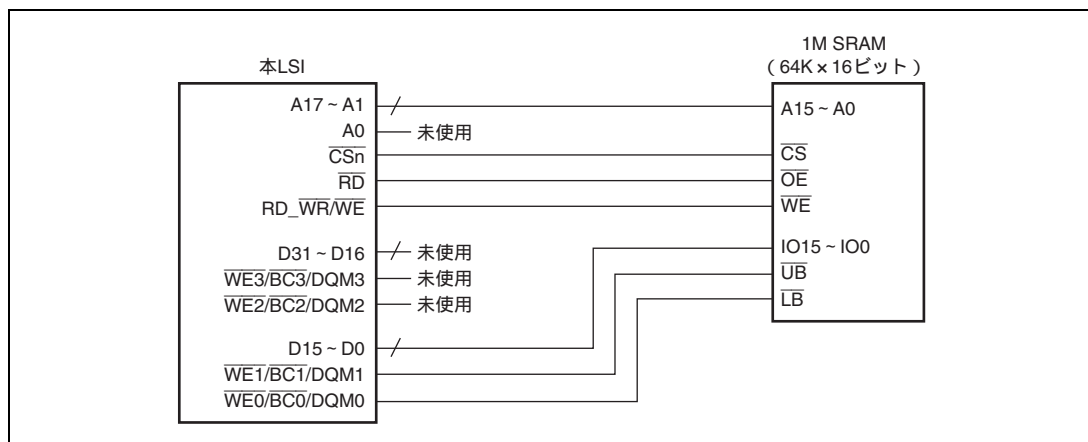


図 10.45 16 ビットデータ幅 SRAM 接続例 (バイトコントロール付き SRAM 使用時)

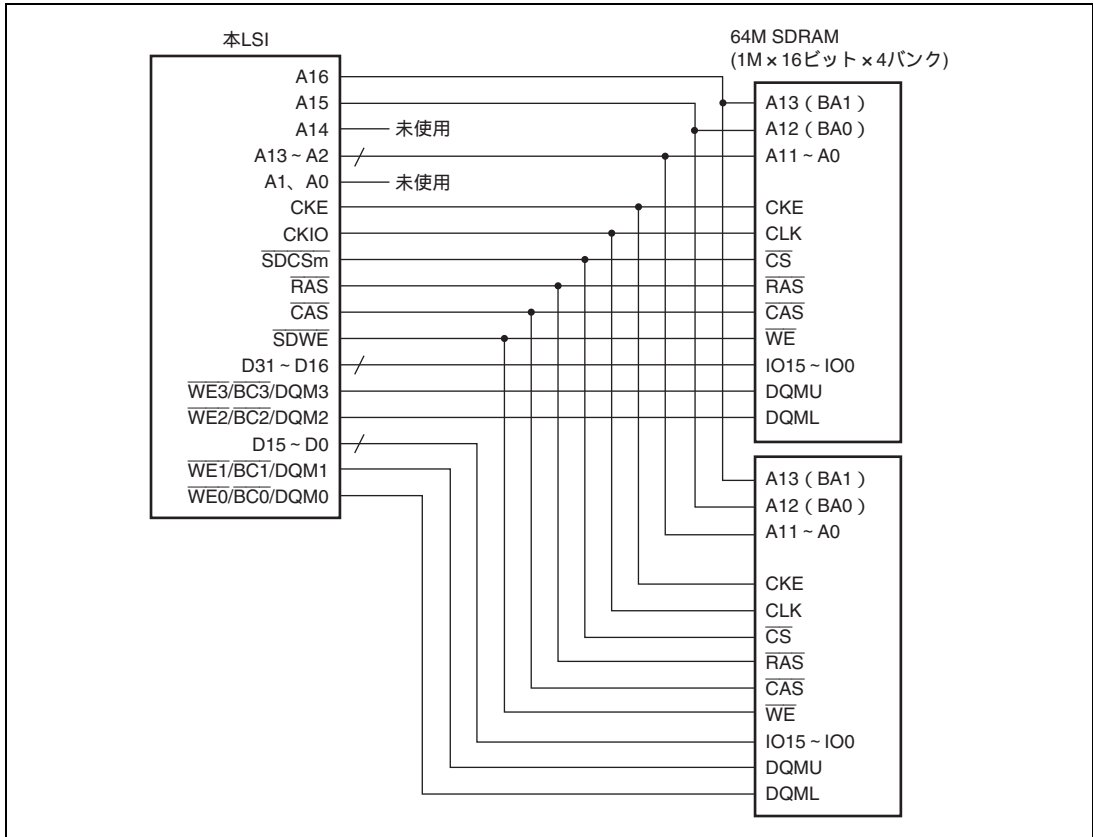


図 10.46 32 ビットデータ幅 SDRAM 接続例

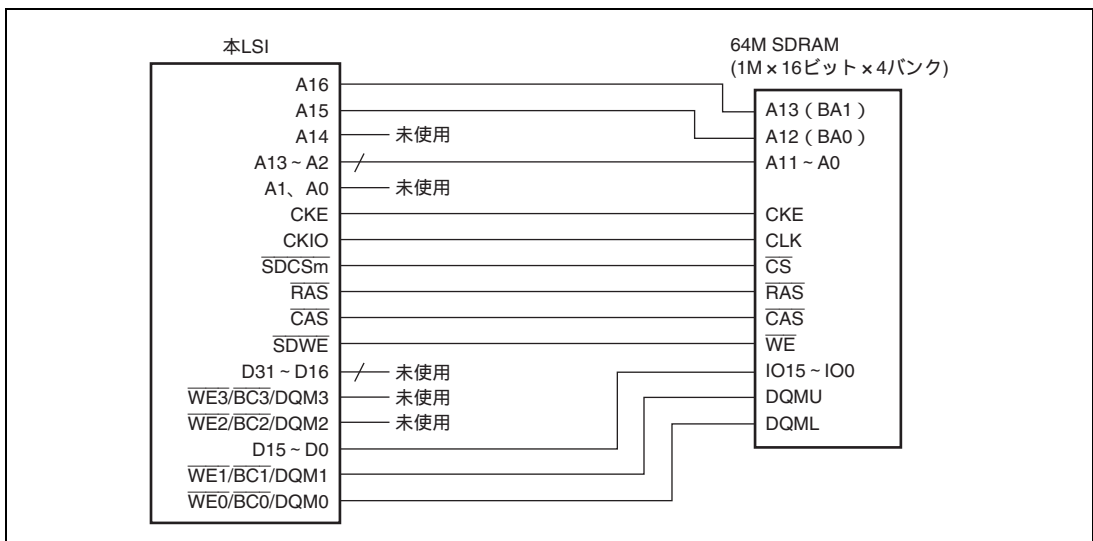


図 10.47 16 ビットデータ幅 SDRAM 接続例

10.7 使用上の注意事項

10.7.1 ライトバッファ

通常空間や SDRAM 空間にライトアクセスでは、ライトデータを一度 BSC 内部のライトバッファに格納し、その後で実際に通常空間や SDRAM 空間に接続されたデバイス (外部デバイス) に書き込みを行います。ライトバッファから外部デバイスへの書き込みは自動的に行われるため、ソフトウェアによって何かを処理する必要はありません。

しかしながら、次の点には注意が必要です。CPU や DMAC からのライトアクセスは上記ライトバッファに格納した時点で、見かけ上完了します。つまり、CPU や DMAC のライトアクセスが完了した時点では外部デバイスへの書き込みは完了していない場合があります。外部デバイスへの書き込みの完了を確認するには通常空間や SDRAM 空間へのダミーリードを実行してください。ダミーリードの完了によって、それ以前のライトアクセスによる外部デバイスへの書き込み完了を保証することができます。ダミーリードの対象はライトアクセスと同じデバイスである必要はありません。また、同じ空間である必要もありません。

10.7.2 ソフトウェアスタンバイモードまたはディープスタンバイモード遷移時の注意事項

通常空間や SDRAM 空間へのライトアクセスの実行後に、ソフトウェアスタンバイモードまたはディープスタンバイモードに遷移する場合、BSC 内のライトバッファ内にデータが残っている可能性があります。ライトバッファ内にデータが残っていないことを確認するためには、上記と同様に外部デバイスへのダミーリードを実行してください。

11. ダイレクトメモリアクセスコントローラ (DMAC)

DMA コントローラ (DMAC) は、ソフトウェア、内蔵周辺モジュール、または外部端子 (外部モジュール) からの要求により、CPU を介さず高速なデータ転送を行うためのモジュールです。ただし、DMAC 単体としては、内蔵周辺モジュール、外部端子 (外部モジュール) 要求の区別はありません。メモリ メモリ間、メモリ 内蔵周辺モジュール間、および内蔵周辺モジュール同士の転送をサポートしています。

11.1 特長

- チャンネル数：14チャンネル (うち4チャンネルで外部リクエスト可能、8チャンネルで2次元アドレッシングを指定可能)
- 転送要求：ソフトウェアトリガ、内蔵周辺モジュール要求 (52要因)、または外部端子からの要求 (4要因)
- 最大転送バイト数：64Mバイト
- アドレス空間：4Gバイト
- 転送データサイズ：
 - 1データ転送：8ビット、16ビット、32ビット
 - 1オペランド転送：1データ、2データ、4データ、8データ、16データ、32データ、64データ、128データ
 - ノンストップ転送：バイトカウント0まで
- 転送モード：
 - サイクルスチール転送
 - パイプライン転送
- 最高転送速度
 - サイクルスチール転送：Min.3バスクロックサイクル/1データ転送
 - パイプライン転送：Min.1バスクロックサイクル/1データ転送
- 転送条件
 - 以下の転送方法を選択可能。
 - 単一オペランド転送：1回のDMA要求で1オペランド分のデータを転送する
 - 1オペランド転送ごとにチャンネル調停を行う
 - 1オペランド転送ごとに要求トリガが必要
 - 連続オペランド転送：1回のDMA要求で1オペランド転送を繰り返し、バイトカウント0まで転送する
 - 1オペランド転送ごとにチャンネル調停を行う
 - 要求トリガは最初のみ
 - ノンストップ転送：1回のDMA要求でバイトカウント0まで転送する
 - ノンストップ転送中はチャンネル調停を行わない

要求トリガは最初のみ

- チャンネル優先度：チャンネル0 > チャンネル1 > ... > チャンネル12 > チャンネル13 (優先順位固定)
- 割り込み要求：2種類の割り込み要求 (バイトカウン트가0になったときに発生)

チャンネルごとの割り込み要求信号

各チャンネルをまとめた共用割り込み要求信号

- リロード機能：ソースアドレス、デスティネーションアドレス、バイトカウン트에設定可能
- ローテート機能：アドレスローテート機能設定可能
- 2次元アドレッシング：チャンネル0～7に指定可能
- DMAC停止 / 再開 / 中止機能設定可能

【注】 本章では以下のように用語を定義しています。

1 データ転送：DMAC による 1 リードサイクルと 1 ライトサイクルの転送

1 オペランド転送：1 チャンネルの DMAC が連続して行うデータ転送 (データ転送数はレジスタ設定による)

1DMA 転送：スタートアドレスからエンドアドレスまでのバイトカウントレジスタに設定された数の転送

チャンネル番号：n=0、1、...、12、13

2次元アドレッシングチャンネル番号：m=0、1、...、6、7

要求要因番号：k=0、1、2、...、56

図 11.1 に DMAC のブロック図を示します。

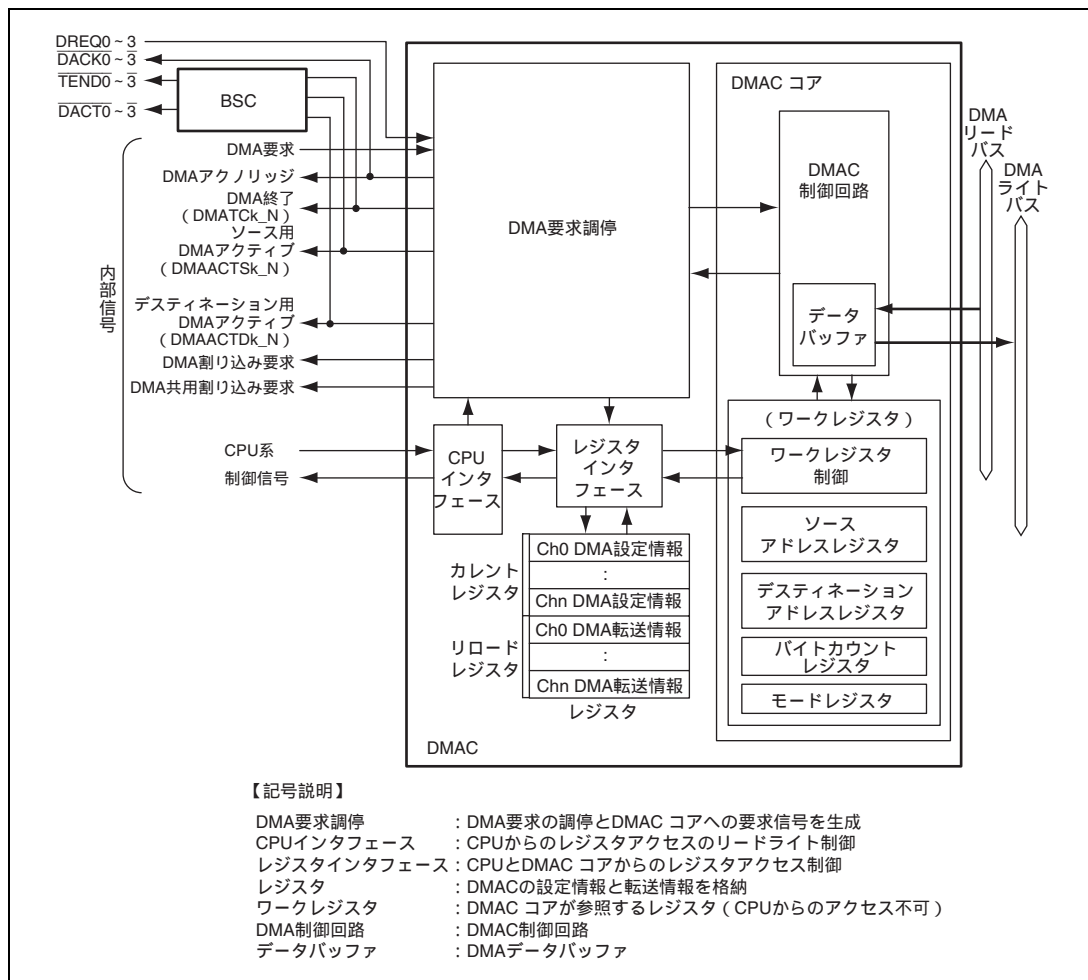


図 11.1 DMAC のブロック図

11.2 入出力端子

表 11.1 に DMAC の端子機能を示します。

表 11.1 端子構成

端子名	入出力	機能
DREQ0 ~ DREQ3	入力	DMA 転送の外部要求
$\overline{\text{DACK0}} \sim \overline{\text{DACK3}}$	出力	DMA 転送の外部要求に対する DMA アクノリッジ出力信号(L: アクティブ) DMA 転送の外部要求を受け付けた時に出力されます。
DACT0 ~ DACT3	出力	DMA 転送の外部要求に対する DMA アクティブ出力信号(L: アクティブ) DMA による通常空間アクセス時に出力されます。
TEND0 ~ TEND3	出力	DMA 転送の外部要求に対する DMA 終了出力信号(L: 終了) サイクルスチールモードの DMA による通常空間アクセスで、最後の通常空間アクセス時に出力されます。

11.3 レジスタの説明

DMAC には、表 11.2 および表 11.3 に示すレジスタがあります。すべてのレジスタは、パワーオンリセットおよびディープスタンバイ時に初期化され、それ以前の設定は失われます。

表 11.2 レジスタ構成 (2 次元アドレッシング関連以外)

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	DMA カレントソースアドレスレジスタ 0	DMCSADR0	R/W	不定	H'FF460000	32
	DMA カレントデスティネーションアドレスレジスタ 0	DMCDADR0	R/W	不定	H'FF460004	32
	DMA カレントバイトカウントレジスタ 0	DMCBCT0	R/W	不定	H'FF460008	32
	DMA モードレジスタ 0	DMMOD0	R/W	不定	H'FF46000C	32
	DMA リロードソースアドレスレジスタ 0	DMRSADR0	R/W	不定	H'FF460200	32
	DMA リロードデスティネーションアドレスレジスタ 0	DMRDADR0	R/W	不定	H'FF460204	32
	DMA リロードバイトカウントレジスタ 0	DMRBCT0	R/W	不定	H'FF460208	32
	DMA 制御レジスタ A0	DMACNTA0	R/W	H'00000000	H'FF460400	8、16、32
	DMA 制御レジスタ B0	DMACNTB0	R/W	H'00000000	H'FF460404	8、16、32
1	DMA カレントソースアドレスレジスタ 1	DMCSADR1	R/W	不定	H'FF460010	32
	DMA カレントデスティネーションアドレスレジスタ 1	DMCDADR1	R/W	不定	H'FF460014	32
	DMA カレントバイトカウントレジスタ 1	DMCBCT1	R/W	不定	H'FF460018	32
	DMA モードレジスタ 1	DMMOD1	R/W	不定	H'FF46001C	32
	DMA リロードソースアドレスレジスタ 1	DMRSADR1	R/W	不定	H'FF460210	32
	DMA リロードデスティネーションアドレスレジスタ 1	DMRDADR1	R/W	不定	H'FF460214	32
	DMA リロードバイトカウントレジスタ 1	DMRBCT1	R/W	不定	H'FF460218	32
	DMA 制御レジスタ A1	DMACNTA1	R/W	H'00000000	H'FF460408	8、16、32
	DMA 制御レジスタ B1	DMACNTB1	R/W	H'00000000	H'FF46040C	8、16、32
2	DMA カレントソースアドレスレジスタ 2	DMCSADR2	R/W	不定	H'FF460020	32
	DMA カレントデスティネーションアドレスレジスタ 2	DMCDADR2	R/W	不定	H'FF460024	32
	DMA カレントバイトカウントレジスタ 2	DMCBCT2	R/W	不定	H'FF460028	32
	DMA モードレジスタ 2	DMMOD2	R/W	不定	H'FF46002C	32
	DMA リロードソースアドレスレジスタ 2	DMRSADR2	R/W	不定	H'FF460220	32
	DMA リロードデスティネーションアドレスレジスタ 2	DMRDADR2	R/W	不定	H'FF460224	32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	DMA リロードバイトカウントレジスタ 2	DMRBCT2	R/W	不定	H'FF460228	32
	DMA 制御レジスタ A2	DMACNTA2	R/W	H'00000000	H'FF460410	8、16、32
	DMA 制御レジスタ B2	DMACNTB2	R/W	H'00000000	H'FF460414	8、16、32
3	DMA カレントソースアドレスレジスタ 3	DMCSADR3	R/W	不定	H'FF460030	32
	DMA カレントデスティネーションアドレスレジスタ 3	DMCDADR3	R/W	不定	H'FF460034	32
	DMA カレントバイトカウントレジスタ 3	DMCBCT3	R/W	不定	H'FF460038	32
	DMA モードレジスタ 3	DMMOD3	R/W	不定	H'FF46003C	32
	DMA リロードソースアドレスレジスタ 3	DMRSADR3	R/W	不定	H'FF460230	32
	DMA リロードデスティネーションアドレスレジスタ 3	DMRDADR3	R/W	不定	H'FF460234	32
	DMA リロードバイトカウントレジスタ 3	DMRBCT3	R/W	不定	H'FF460238	32
	DMA 制御レジスタ A3	DMACNTA3	R/W	H'00000000	H'FF460418	8、16、32
	DMA 制御レジスタ B3	DMACNTB3	R/W	H'00000000	H'FF46041C	8、16、32
4	DMA カレントソースアドレスレジスタ 4	DMCSADR4	R/W	不定	H'FF460040	32
	DMA カレントデスティネーションアドレスレジスタ 4	DMCDADR4	R/W	不定	H'FF460044	32
	DMA カレントバイトカウントレジスタ 4	DMCBCT4	R/W	不定	H'FF460048	32
	DMA モードレジスタ 4	DMMOD4	R/W	不定	H'FF46004C	32
	DMA リロードソースアドレスレジスタ 4	DMRSADR4	R/W	不定	H'FF460240	32
	DMA リロードデスティネーションアドレスレジスタ 4	DMRDADR4	R/W	不定	H'FF460244	32
	DMA リロードバイトカウントレジスタ 4	DMRBCT4	R/W	不定	H'FF460248	32
	DMA 制御レジスタ A4	DMACNTA4	R/W	H'00000000	H'FF460420	8、16、32
	DMA 制御レジスタ B4	DMACNTB4	R/W	H'00000000	H'FF460424	8、16、32
5	DMA カレントソースアドレスレジスタ 5	DMCSADR5	R/W	不定	H'FF460050	32
	DMA カレントデスティネーションアドレスレジスタ 5	DMCDADR5	R/W	不定	H'FF460054	32
	DMA カレントバイトカウントレジスタ 5	DMCBCT5	R/W	不定	H'FF460058	32
	DMA モードレジスタ 5	DMMOD5	R/W	不定	H'FF46005C	32
	DMA リロードソースアドレスレジスタ 5	DMRSADR5	R/W	不定	H'FF460250	32
	DMA リロードデスティネーションアドレスレジスタ 5	DMRDADR5	R/W	不定	H'FF460254	32
	DMA リロードバイトカウントレジスタ 5	DMRBCT5	R/W	不定	H'FF460258	32
	DMA 制御レジスタ A5	DMACNTA5	R/W	H'00000000	H'FF460428	8、16、32
	DMA 制御レジスタ B5	DMACNTB5	R/W	H'00000000	H'FF46042C	8、16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
6	DMA カレントソースアドレスレジスタ 6	DMCSADR6	R/W	不定	H'FF460060	32
	DMA カレントデスティネーションアドレスレジスタ 6	DMCDADR6	R/W	不定	H'FF460064	32
	DMA カレントバイトカウントレジスタ 6	DMCBCT6	R/W	不定	H'FF460068	32
	DMA モードレジスタ 6	DMMOD6	R/W	不定	H'FF46006C	32
	DMA リロードソースアドレスレジスタ 6	DMRSADR6	R/W	不定	H'FF460260	32
	DMA リロードデスティネーションアドレスレジスタ 6	DMRDADR6	R/W	不定	H'FF460264	32
	DMA リロードバイトカウントレジスタ 6	DMRBCT6	R/W	不定	H'FF460268	32
	DMA 制御レジスタ A6	DMACNTA6	R/W	H'00000000	H'FF460430	8、16、32
	DMA 制御レジスタ B6	DMACNTB6	R/W	H'00000000	H'FF460434	8、16、32
7	DMA カレントソースアドレスレジスタ 7	DMCSADR7	R/W	不定	H'FF460070	32
	DMA カレントデスティネーションアドレスレジスタ 7	DMCDADR7	R/W	不定	H'FF460074	32
	DMA カレントバイトカウントレジスタ 7	DMCBCT7	R/W	不定	H'FF460078	32
	DMA モードレジスタ 7	DMMOD7	R/W	不定	H'FF46007C	32
	DMA リロードソースアドレスレジスタ 7	DMRSADR7	R/W	不定	H'FF460270	32
	DMA リロードデスティネーションアドレスレジスタ 7	DMRDADR7	R/W	不定	H'FF460274	32
	DMA リロードバイトカウントレジスタ 7	DMRBCT7	R/W	不定	H'FF460278	32
	DMA 制御レジスタ A7	DMACNTA7	R/W	H'00000000	H'FF460438	8、16、32
	DMA 制御レジスタ B7	DMACNTB7	R/W	H'00000000	H'FF46043C	8、16、32
8	DMA カレントソースアドレスレジスタ 8	DMCSADR8	R/W	不定	H'FF460080	32
	DMA カレントデスティネーションアドレスレジスタ 8	DMCDADR8	R/W	不定	H'FF460084	32
	DMA カレントバイトカウントレジスタ 8	DMCBCT8	R/W	不定	H'FF460088	32
	DMA モードレジスタ 8	DMMOD8	R/W	不定	H'FF46008C	32
	DMA リロードソースアドレスレジスタ 8	DMRSADR8	R/W	不定	H'FF460280	32
	DMA リロードデスティネーションアドレスレジスタ 8	DMRDADR8	R/W	不定	H'FF460284	32
	DMA リロードバイトカウントレジスタ 8	DMRBCT8	R/W	不定	H'FF460288	32
	DMA 制御レジスタ A8	DMACNTA8	R/W	H'00000000	H'FF460440	8、16、32
	DMA 制御レジスタ B8	DMACNTB8	R/W	H'00000000	H'FF460444	8、16、32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
9	DMA カレントソースアドレスレジスタ 9	DMCSADR9	R/W	不定	H'FF460090	32
	DMA カレントデスティネーションアドレスレジスタ 9	DMCDADR9	R/W	不定	H'FF460094	32
	DMA カレントバイトカウントレジスタ 9	DMCBCT9	R/W	不定	H'FF460098	32
	DMA モードレジスタ 9	DMMOD9	R/W	不定	H'FF46009C	32
	DMA リロードソースアドレスレジスタ 9	DMRSADR9	R/W	不定	H'FF460290	32
	DMA リロードデスティネーションアドレスレジスタ 9	DMRDADR9	R/W	不定	H'FF460294	32
	DMA リロードバイトカウントレジスタ 9	DMRBCT9	R/W	不定	H'FF460298	32
	DMA 制御レジスタ A9	DMACNTA9	R/W	H'00000000	H'FF460448	8、16、32
	DMA 制御レジスタ B9	DMACNTB9	R/W	H'00000000	H'FF46044C	8、16、32
10	DMA カレントソースアドレスレジスタ 10	DMCSADR10	R/W	不定	H'FF4600A0	32
	DMA カレントデスティネーションアドレスレジスタ 10	DMCDADR10	R/W	不定	H'FF4600A4	32
	DMA カレントバイトカウントレジスタ 10	DMCBCT10	R/W	不定	H'FF4600A8	32
	DMA モードレジスタ 10	DMMOD10	R/W	不定	H'FF4600AC	32
	DMA リロードソースアドレスレジスタ 10	DMRSADR10	R/W	不定	H'FF4602A0	32
	DMA リロードデスティネーションアドレスレジスタ 10	DMRDADR10	R/W	不定	H'FF4602A4	32
	DMA リロードバイトカウントレジスタ 10	DMRBCT10	R/W	不定	H'FF4602A8	32
	DMA 制御レジスタ A10	DMACNTA10	R/W	H'00000000	H'FF460450	8、16、32
	DMA 制御レジスタ B10	DMACNTB10	R/W	H'00000000	H'FF460454	8、16、32
11	DMA カレントソースアドレスレジスタ 11	DMCSADR11	R/W	不定	H'FF4600B0	32
	DMA カレントデスティネーションアドレスレジスタ 11	DMCDADR11	R/W	不定	H'FF4600B4	32
	DMA カレントバイトカウントレジスタ 11	DMCBCT11	R/W	不定	H'FF4600B8	32
	DMA モードレジスタ 11	DMMOD11	R/W	不定	H'FF4600BC	32
	DMA リロードソースアドレスレジスタ 11	DMRSADR11	R/W	不定	H'FF4602B0	32
	DMA リロードデスティネーションアドレスレジスタ 11	DMRDADR11	R/W	不定	H'FF4602B4	32
	DMA リロードバイトカウントレジスタ 11	DMRBCT11	R/W	不定	H'FF4602B8	32
	DMA 制御レジスタ A11	DMACNTA11	R/W	H'00000000	H'FF460458	8、16、32
	DMA 制御レジスタ B11	DMACNTB11	R/W	H'00000000	H'FF46045C	8、16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
12	DMA カレントソースアドレスレジスタ 12	DMCSADR12	R/W	不定	H'FF4600C0	32
	DMA カレントデスティネーションアドレスレジスタ 12	DMCDADR12	R/W	不定	H'FF4600C4	32
	DMA カレントバイトカウントレジスタ 12	DMCBCT12	R/W	不定	H'FF4600C8	32
	DMA モードレジスタ 12	DMMOD12	R/W	不定	H'FF4600CC	32
	DMA リロードソースアドレスレジスタ 12	DMRSADR12	R/W	不定	H'FF4602C0	32
	DMA リロードデスティネーションアドレスレジスタ 12	DMRDADR12	R/W	不定	H'FF4602C4	32
	DMA リロードバイトカウントレジスタ 12	DMRBCT12	R/W	不定	H'FF4602C8	32
	DMA 制御レジスタ A12	DMACNTA12	R/W	H'00000000	H'FF460460	8、16、32
	DMA 制御レジスタ B12	DMACNTB12	R/W	H'00000000	H'FF460464	8、16、32
13	DMA カレントソースアドレスレジスタ 13	DMCSADR13	R/W	不定	H'FF4600D0	32
	DMA カレントデスティネーションアドレスレジスタ 13	DMCDADR13	R/W	不定	H'FF4600D4	32
	DMA カレントバイトカウントレジスタ 13	DMCBCT13	R/W	不定	H'FF4600D8	32
	DMA モードレジスタ 13	DMMOD13	R/W	不定	H'FF4600DC	32
	DMA リロードソースアドレスレジスタ 13	DMRSADR13	R/W	不定	H'FF4602D0	32
	DMA リロードデスティネーションアドレスレジスタ 13	DMRDADR13	R/W	不定	H'FF4602D4	32
	DMA リロードバイトカウントレジスタ 13	DMRBCT13	R/W	不定	H'FF4602D8	32
	DMA 制御レジスタ A13	DMACNTA13	R/W	H'00000000	H'FF460468	8、16、32
	DMA 制御レジスタ B13	DMACNTB13	R/W	H'00000000	H'FF46046C	8、16、32
共通	DMA 起動制御レジスタ	DMSCNT	R/W	H'00000000	H'FF460500	8、16、32
	DMA 割り込み制御レジスタ	DMICNT	R/W	H'00000000	H'FF460508	8、16、32
	DMA 共用割り込み制御レジスタ	DMICNTA	R/W	H'00000000	H'FF46050C	8、16、32
	DMA 割り込みステータスレジスタ	DMISTS	R	H'00000000	H'FF460510	8、16、32
	DMA 転送終了検出レジスタ	DMEDET	R/W	H'00000000	H'FF460514	8、16、32
	DMA アービトレーションステータスレジスタ	DMASTS	R/W	H'00000000	H'FF460518	8、16、32

表 11.3 2次元アドレッシング関連レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	DMA2 次元列設定レジスタ 0	DM2DCLM0	R/W	不定	H'FF460600	32
	DMA2 次元行設定レジスタ 0	DM2DROW0	R/W	不定	H'FF460604	32
	DMA2 次元ブロック設定レジスタ 0	DM2DBLK0	R/W	不定	H'FF460608	32
	DMA2 次元次行オフセットレジスタ 0	DM2DNROST0	R/W	不定	H'FF46060C	32
	DMA2 次元次ブロックオフセットレジスタ 0	DM2DNBOST0	R/W	不定	H'FF460610	32
	DMA2 次元次ラインオフセットレジスタ 0	DM2DNLOST0	R/W	不定	H'FF460614	32
	DMA リロード 2 次元列設定レジスタ 0	DMR2DCLM0	R/W	不定	H'FF460A00	32
	DMA リロード 2 次元行設定レジスタ 0	DMR2DROW0	R/W	不定	H'FF460A04	32
	DMA リロード 2 次元ブロック設定レジスタ 0	DMR2DBLK0	R/W	不定	H'FF460A08	32
	DMA リロード 2 次元次行オフセットレジスタ 0	DMR2DNROST0	R/W	不定	H'FF460A0C	32
	DMA リロード 2 次元次ブロックオフセット レジスタ 0	DMR2DNBOST0	R/W	不定	H'FF460A10	32
	DMA リロード 2 次元次ラインオフセット レジスタ 0	DMR2DNLOST0	R/W	不定	H'FF460A14	32
1	DMA2 次元列設定レジスタ 1	DM2DCLM1	R/W	不定	H'FF460620	32
	DMA2 次元行設定レジスタ 1	DM2DROW1	R/W	不定	H'FF460624	32
	DMA2 次元ブロック設定レジスタ 1	DM2DBLK1	R/W	不定	H'FF460628	32
	DMA2 次元次行オフセットレジスタ 1	DM2DNROST1	R/W	不定	H'FF46062C	32
	DMA2 次元次ブロックオフセットレジスタ 1	DM2DNBOST1	R/W	不定	H'FF460630	32
	DMA2 次元次ラインオフセットレジスタ 1	DM2DNLOST1	R/W	不定	H'FF460634	32
	DMA リロード 2 次元列設定レジスタ 1	DMR2DCLM1	R/W	不定	H'FF460A20	32
	DMA リロード 2 次元行設定レジスタ 1	DMR2DROW1	R/W	不定	H'FF460A24	32
	DMA リロード 2 次元ブロック設定レジスタ 1	DMR2DBLK1	R/W	不定	H'FF460A28	32
	DMA リロード 2 次元次行オフセットレジスタ 1	DMR2DNROST1	R/W	不定	H'FF460A2C	32
	DMA リロード 2 次元次ブロックオフセット レジスタ 1	DMR2DNBOST1	R/W	不定	H'FF460A30	32
	DMA リロード 2 次元次ラインオフセット レジスタ 1	DMR2DNLOST1	R/W	不定	H'FF460A34	32
2	DMA2 次元列設定レジスタ 2	DM2DCLM2	R/W	不定	H'FF460640	32
	DMA2 次元行設定レジスタ 2	DM2DROW2	R/W	不定	H'FF460644	32
	DMA2 次元ブロック設定レジスタ 2	DM2DBLK2	R/W	不定	H'FF460648	32
	DMA2 次元次行オフセットレジスタ 2	DM2DNROST2	R/W	不定	H'FF46064C	32
	DMA2 次元次ブロックオフセットレジスタ 2	DM2DNBOST2	R/W	不定	H'FF460650	32
	DMA2 次元次ラインオフセットレジスタ 2	DM2DNLOST2	R/W	不定	H'FF460654	32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	DMA リロード 2 次元列設定レジスタ 2	DMR2DCLM2	R/W	不定	H'FF460A40	32
	DMA リロード 2 次元行設定レジスタ 2	DMR2DROW2	R/W	不定	H'FF460A44	32
	DMA リロード 2 次元ブロック設定レジスタ 2	DMR2DBLK2	R/W	不定	H'FF460A48	32
	DMA リロード 2 次元次行オフセットレジスタ 2	DMR2DNROST2	R/W	不定	H'FF460A4C	32
	DMA リロード 2 次元次ブロックオフセット レジスタ 2	DMR2DNBOST2	R/W	不定	H'FF460A50	32
	DMA リロード 2 次元次ラインオフセット レジスタ 2	DMR2DNLOST2	R/W	不定	H'FF460A54	32
3	DMA2 次元列設定レジスタ 3	DM2DCLM3	R/W	不定	H'FF460660	32
	DMA2 次元行設定レジスタ 3	DM2DROW3	R/W	不定	H'FF460664	32
	DMA2 次元ブロック設定レジスタ 3	DM2DBLK3	R/W	不定	H'FF460668	32
	DMA2 次元次行オフセットレジスタ 3	DM2DNROST3	R/W	不定	H'FF46066C	32
	DMA2 次元次ブロックオフセットレジスタ 3	DM2DNBOST3	R/W	不定	H'FF460670	32
	DMA2 次元次ラインオフセットレジスタ 3	DM2DNLOST3	R/W	不定	H'FF460674	32
	DMA リロード 2 次元列設定レジスタ 3	DMR2DCLM3	R/W	不定	H'FF460A60	32
	DMA リロード 2 次元行設定レジスタ 3	DMR2DROW3	R/W	不定	H'FF460A64	32
	DMA リロード 2 次元ブロック設定レジスタ 3	DMR2DBLK3	R/W	不定	H'FF460A68	32
	DMA リロード 2 次元次行オフセットレジスタ 3	DMR2DNROST3	R/W	不定	H'FF460A6C	32
	DMA リロード 2 次元次ブロックオフセット レジスタ 3	DMR2DNBOST3	R/W	不定	H'FF460A70	32
	DMA リロード 2 次元次ラインオフセット レジスタ 3	DMR2DNLOST3	R/W	不定	H'FF460A74	32
4	DMA2 次元列設定レジスタ 4	DM2DCLM4	R/W	不定	H'FF460680	32
	DMA2 次元行設定レジスタ 4	DM2DROW4	R/W	不定	H'FF460684	32
	DMA2 次元ブロック設定レジスタ 4	DM2DBLK4	R/W	不定	H'FF460688	32
	DMA2 次元次行オフセットレジスタ 4	DM2DNROST4	R/W	不定	H'FF46068C	32
	DMA2 次元次ブロックオフセットレジスタ 4	DM2DNBOST4	R/W	不定	H'FF460690	32
	DMA2 次元次ラインオフセットレジスタ 4	DM2DNLOST4	R/W	不定	H'FF460694	32
	DMA リロード 2 次元列設定レジスタ 4	DMR2DCLM4	R/W	不定	H'FF460A80	32
	DMA リロード 2 次元行設定レジスタ 4	DMR2DROW4	R/W	不定	H'FF460A84	32
	DMA リロード 2 次元ブロック設定レジスタ 4	DMR2DBLK4	R/W	不定	H'FF460A88	32
	DMA リロード 2 次元次行オフセットレジスタ 4	DMR2DNROST4	R/W	不定	H'FF460A8C	32
	DMA リロード 2 次元次ブロックオフセット レジスタ 4	DMR2DNBOST4	R/W	不定	H'FF460A90	32
	DMA リロード 2 次元次ラインオフセット レジスタ 4	DMR2DNLOST4	R/W	不定	H'FF460A94	32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
5	DMA2 次元列設定レジスタ 5	DM2DCLM5	R/W	不定	H'FF4606A0	32
	DMA2 次元行設定レジスタ 5	DM2DROW5	R/W	不定	H'FF4606A4	32
	DMA2 次元ブロック設定レジスタ 5	DM2DBLK5	R/W	不定	H'FF4606A8	32
	DMA2 次元次行オフセットレジスタ 5	DM2DNROST5	R/W	不定	H'FF4606AC	32
	DMA2 次元次ブロックオフセットレジスタ 5	DM2DNBOST5	R/W	不定	H'FF4606B0	32
	DMA2 次元次ラインオフセットレジスタ 5	DM2DNLOST5	R/W	不定	H'FF4606B4	32
	DMA リロード 2 次元列設定レジスタ 5	DMR2DCLM5	R/W	不定	H'FF460AA0	32
	DMA リロード 2 次元行設定レジスタ 5	DMR2DROW5	R/W	不定	H'FF460AA4	32
	DMA リロード 2 次元ブロック設定レジスタ 5	DMR2DBLK5	R/W	不定	H'FF460AA8	32
	DMA リロード 2 次元次行オフセットレジスタ 5	DMR2DNROST5	R/W	不定	H'FF460AAC	32
	DMA リロード 2 次元次ブロックオフセット レジスタ 5	DMR2DNBOST5	R/W	不定	H'FF460AB0	32
	DMA リロード 2 次元次ラインオフセット レジスタ 5	DMR2DNLOST5	R/W	不定	H'FF460AB4	32
6	DMA2 次元列設定レジスタ 6	DM2DCLM6	R/W	不定	H'FF4606C0	32
	DMA2 次元行設定レジスタ 6	DM2DROW6	R/W	不定	H'FF4606C4	32
	DMA2 次元ブロック設定レジスタ 6	DM2DBLK6	R/W	不定	H'FF4606C8	32
	DMA2 次元次行オフセットレジスタ 6	DM2DNROST6	R/W	不定	H'FF4606CC	32
	DMA2 次元次ブロックオフセットレジスタ 6	DM2DNBOST6	R/W	不定	H'FF4606D0	32
	DMA2 次元次ラインオフセットレジスタ 6	DM2DNLOST6	R/W	不定	H'FF4606D4	32
	DMA リロード 2 次元列設定レジスタ 6	DMR2DCLM6	R/W	不定	H'FF460AC0	32
	DMA リロード 2 次元行設定レジスタ 6	DMR2DROW6	R/W	不定	H'FF460AC4	32
	DMA リロード 2 次元ブロック設定レジスタ 6	DMR2DBLK6	R/W	不定	H'FF460AC8	32
	DMA リロード 2 次元次行オフセットレジスタ 6	DMR2DNROST6	R/W	不定	H'FF460ACC	32
	DMA リロード 2 次元次ブロックオフセット レジスタ 6	DMR2DNBOST6	R/W	不定	H'FF460AD0	32
	DMA リロード 2 次元次ラインオフセット レジスタ 6	DMR2DNLOST6	R/W	不定	H'FF460AD4	32
7	DMA2 次元列設定レジスタ 7	DM2DCLM7	R/W	不定	H'FF4606E0	32
	DMA2 次元行設定レジスタ 7	DM2DROW7	R/W	不定	H'FF4606E4	32
	DMA2 次元ブロック設定レジスタ 7	DM2DBLK7	R/W	不定	H'FF4606E8	32
	DMA2 次元次行オフセットレジスタ 7	DM2DNROST7	R/W	不定	H'FF4606EC	32
	DMA2 次元次ブロックオフセットレジスタ 7	DM2DNBOST7	R/W	不定	H'FF4606F0	32
	DMA2 次元次ラインオフセットレジスタ 7	DM2DNLOST7	R/W	不定	H'FF4606F4	32
	DMA リロード 2 次元列設定レジスタ 7	DMR2DCLM7	R/W	不定	H'FF460AE0	32
	DMA リロード 2 次元行設定レジスタ 7	DMR2DROW7	R/W	不定	H'FF460AE4	32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
7	DMA リロード 2 次元ブロック設定レジスタ 7	DMR2DBLK7	R/W	不定	H'FF460AE8	32
	DMA リロード 2 次元次行オフセットレジスタ 7	DMR2DNROST7	R/W	不定	H'FF460AEC	32
	DMA リロード 2 次元次ブロックオフセット レジスタ 7	DMR2DNBOST7	R/W	不定	H'FF460AF0	32
	DMA リロード 2 次元次ラインオフセット レジスタ 7	DMR2DNLOST7	R/W	不定	H'FF460AF4	32

11.3.1 DMA カレントソースアドレスレジスタ (DMCSADR_n)

DMCSADR_n は、転送元の開始アドレスを設定するためのレジスタです。このレジスタの値は、DMA 転送開始時にワークソースアドレスレジスタに移されます。オペランド転送終了時に、ワークソースアドレスレジスタの内容がこのレジスタに戻されます。ただし、ソース側ローテート設定 (SAMOD=011) のときは、ワークソースアドレスレジスタの内容は戻されません。また、ソースアドレスリロード機能が有効のときは、DMA 転送終了時に DMA リロードソースアドレスレジスタ (DMRSADR_n) に格納されている内容がこのレジスタに戻されます。このレジスタは、リロード機能の有効、無効にかかわらず設定する必要があります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSA[31:16]															
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSA[15:0]															
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CSA[31:0]	不定	R/W	ソースアドレス A31 ~ A0

- 【注】
- このレジスタには、以下のように選択された転送データサイズに対して、アライメントのとれたアドレス境界内で DMA 転送が行われるように設定してください。
 - 転送データサイズが 16 ビット設定の場合 (SZSEL = 001) : (ビット 0) = 0
 - 転送データサイズが 32 ビット設定の場合 (SZSEL = 010) : (ビット 1、ビット 0) = (0, 0)
 - このレジスタへの書き込みは、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の対応するチャンネルの DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTB_n) の DEN = 0) に設定されている場合のみ行ってください。それ以外の場合に、このレジスタに書き込みを行った場合の動作は保証されません。

11.3.2 DMA カレントデスティネーションアドレスレジスタ (DMCDADRn)

DMCDADRn は、転送先の開始アドレスを設定するためのレジスタです。このレジスタの値は、DMA 転送開始時にワークデスティネーションアドレスレジスタに移されます。オペランド転送終了時に、ワークデスティネーションアドレスレジスタの内容がこのレジスタに戻されます。ただし、デスティネーション側ローテート設定 (DAMOD=011) のときは、ワークデスティネーションアドレスレジスタの内容は戻されません。また、デスティネーションアドレスリロード機能が有効のときは、DMA 転送終了時に DMA リロードデスティネーションアドレスレジスタ (DMRDADRn) に格納されている内容がこのレジスタに戻されます。このレジスタは、リロード機能の有効、無効にかかわらず設定する必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDA[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDA[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CDA[31:0]	不定	R/W	デスティネーションアドレス A31~A0

【注】 1. このレジスタには、以下のように選択された転送データサイズに対して、アライメントのとれたアドレス境界内で DMA 転送が行われるように設定してください。

・転送データサイズが 16 ビット設定の場合 (SZSEL=001) : (ビット 0) = 0

・転送データサイズが 32 ビット設定の場合 (SZSEL=010) : (ビット 1、ビット 0) = (0, 0)

2. このレジスタへの書き込みは、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の対応するチャンネルの DASTS=0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST=0 または DMA 制御レジスタ B (DMCNTBn) の DEN=0) に設定されている場合にのみ行ってください。それ以外の場合に、このレジスタに書き込みを行った場合の動作は保証されません。

11.3.3 DMA カレントバイトカウントレジスタ (DMCBCTn)

DMCBCTn は、DMA 転送するバイト数を設定するためのレジスタです。このレジスタの値は、DMA 転送開始時にワークバイトカウントレジスタに移され、1 データ転送ごとに、転送バイト数分減少します。減少数は以下のとおりです。

- ・転送データサイズが8ビット設定の場合 (SZSEL = 000) : -1
- ・転送データサイズが16ビット設定の場合 (SZSEL = 001) : -2
- ・転送データサイズが32ビット設定の場合 (SZSEL = 010) : -4

ワークバイトカウントレジスタの値が H'000 0000 になった時点で DMA 転送終了(バイトカウント=0 による終了)となります。このとき、DMA 転送終了検出レジスタ (DMEDET) の対応するビットが 1 にセットされます。DMA 転送のチャンネルが切り替わるときまたは DMA 転送終了(バイトカウントリロード機能無効)時に、ワークバイトカウントレジスタに格納されている内容がこのレジスタに戻されます。バイトカウントリロード機能が有効の場合は、DMA 転送終了時に DMA リロードバイトカウントレジスタ (DMRBCTn) に格納されている内容がこのレジスタに戻されます。このレジスタは、リロード機能の有効、無効にかかわらず設定する必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	CBC[25:16]									
初期値:	0	0	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBC[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~0	CBC[25:0]	不定	R/W	DMA 転送バイト数

- 【注】
1. 設定値が H'000 0000 の場合、最大転送バイト数の 64M バイトを転送しますので、注意してください。
 2. このレジスタには、以下のように DMA 転送の最終データ転送時にバイトカウント = 0 となるように設定してください。
 - ・転送データサイズが 16 ビット設定の場合 (SZSEL = 001) : (ビット 0) = 0
 - ・転送データサイズが 32 ビット設定の場合 (SZSEL = 010) : (ビット 1、ビット 0) = (0, 0)
 3. このレジスタへの書き込みは、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の対応するチャンネルの DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTBn) の DEN = 0) に設定されている場合に行ってください。それ以外の場合に、このレジスタに書き込みを行った場合の動作は保証されません。

11.3.4 DMA リロードソースアドレスレジスタ (DMRSADRn)

DMRSADRn は、DMA カレントソースアドレスレジスタ (DMCSADRn) にリロードするアドレスを設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTAn) の DMA ソースアドレスリロード機能有効ビット (SRL0D) を 1 にセットしてください。この場合、DMA カレントソースアドレスレジスタ (DMCSADRn)、および DMA リロードソースアドレスレジスタ (DMRSADRn) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RSA[31:0]	不定	R/W	リロードソースアドレス A31 ~ A0

【注】 このレジスタには、以下のように選択された転送データサイズに対して、アライメントのとれたアドレス境界内で DMA 転送が行われるように設定してください。

- ・転送データサイズが 16 ビット設定の場合 (SZSEL = 001) : (ビット 0) = 0
- ・転送データサイズが 32 ビット設定の場合 (SZSEL = 010) : (ビット 1、ビット 0) = (0、0)

11.3.5 DMA リロードデスティネーションアドレスレジスタ (DMRDADRn)

DMRDADRn は、DMA カレントデスティネーションアドレスレジスタ (DMCDADRn) にリロードするアドレスを設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTAn) の DMA デスティネーションアドレスリロード機能有効ビット (DRLOD) を 1 にセットしてください。この場合、DMA カレントデスティネーションアドレスレジスタ (DMCDADRn)、および DMA リロードデスティネーションアドレスレジスタ (DMRDADRn) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDA[31:0]	不定	R/W	リロードデスティネーションアドレス A31~A0

【注】 このレジスタには、以下のように選択された転送データサイズに対して、アライメントのとれたアドレス境界内で DMA 転送が行われるように設定してください。

- ・転送データサイズが 16 ビット設定の場合 (SZSEL=001) : (ビット 0) = 0
- ・転送データサイズが 32 ビット設定の場合 (SZSEL=010) : (ビット 1、ビット 0) = (0、0)

11.3.6 DMA リロードバイトカウントレジスタ (DMRBCTn)

DMRBCTn は、DMA カレントバイトカウントレジスタ (DMCBCTn) にリロードするバイトカウントを設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTAn) の DMA バイトカウントリロード機能有効ビット (BRL0D) を 1 にセットしてください。この場合、DMA カレントバイトカウントレジスタ (DMCBCTn)、および DMA リロードバイトカウントレジスタ (DMRBCTn) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	RBC[25:16]									
初期値:	0	0	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBC[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~0	RBC[25:0]	不定	R/W	DMA リロード転送バイト数

【注】 このレジスタには、以下のように DMA 転送の最終データ転送時にバイトカウント=0 となるように設定してください。

- ・転送データサイズが 16 ビット設定の場合 (SZSEL=001) : (ビット 0) = 0
- ・転送データサイズが 32 ビット設定の場合 (SZSEL=010) : (ビット 1、ビット 0) = (0、0)

11.3.7 DMA モードレジスタ (DMMODn)

DMMODn は、データ数、データサイズ選択、アドレス方向制御、および各種信号出力を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	OPSEL[3:0]				-	-	-	-	-	SZSEL[2:0]		
初期値:	0	0	0	0	不定	不定	不定	不定	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	SAMOD[2:0]			-	DAMOD[2:0]			-	-	-	-	SACT	DACT	DTCM[1:0]	
初期値:	0	不定	不定	不定	0	不定	不定	不定	0	0	0	0	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
27~24	OPSEL[3:0]	不定	R/W	<p>1 オペランド転送データ数選択ビット</p> <p>このビットにより、1 オペランド転送のデータ転送数を設定します。このビットで設定されたデータ数分の転送を連続的に行います。この設定数分のデータ転送 (1 オペランド転送) を終了するまでは、チャンネル調停は行いません。なお、DMA 制御レジスタ A (DMCNTAn) の DMA 転送条件選択ビット (DSEL) でノンストップ転送 (DSEL = 11) を選択した場合は、このビットは無効になります。</p> <p>0000 : 1 データ 0001 : 2 データ 0010 : 4 データ 0011 : 8 データ 0100 : 16 データ 0101 : 32 データ 0110 : 64 データ 0111 : 128 データ 1000 ~ 1111 : 設定禁止</p> <p>【注】オペランド転送の最終データ転送時に DMA カレントバイトカウントレジスタ (DMCBCTn) = H000 0000 となるように、DMA カレントバイトカウントレジスタ (DMCBCTn) を設定してください。</p> <ul style="list-style-type: none"> ・転送データサイズが 8 ビット設定の場合 (SZSEL = 000) 1 オペランド転送データ数の整数倍 (×1、×2、×3、…) ・転送データサイズが 16 ビット設定の場合 (SZSEL = 001) 1 オペランド転送データ数の 2 の倍数倍 (×2、×4、×6、…) ・転送データサイズが 32 ビット設定の場合 (SZSEL = 010) 1 オペランド転送データ数の 4 の倍数倍 (×4、×8、×12、…) <p>上記以外の値を設定した場合の動作は保証されません (詳細は、「11.3.3 DMA カレントバイトカウントレジスタ (DMCBCTn)」および「11.3.6 DMA リロードバイトカウントレジスタ (DMRBCTn)」を参照)。</p>
23~19	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
18~16	SZSEL[2:0]	不定	R/W	<p>転送データサイズ選択ビット</p> <p>このビットにより、1 データ転送のビットサイズを設定します。</p> <p>転送単位は、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) に設定可能です (詳細は、「11.10 転送単位と転送バイト位置」を参照)。</p> <p>000 : バイト (8 ビット) 001 : ワード (16 ビット) 010 : ロングワード (32 ビット) 011 ~ 111 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	SAMOD[2:0]	不定	R/W	ソースアドレス方向制御ビット このビットにより、ソースアドレスのカウント方向を設定します。 このビットに100(2次元アドレッシング)を設定した場合は、デスティネーションアドレス方向制御ビット(DAMOD)に100を設定することはできません。なお、2次元アドレッシング(100)はチャンネル0~7でのみ設定可能です。それ以外のチャンネルでは2次元アドレッシングを設定しないでください。 000: 固定 001: インクリメント 010: デクリメント 011: ローテート 100: 2次元アドレッシング 101~111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	DAMOD[2:0]	不定	R/W	デスティネーションアドレス方向制御ビット このビットにより、デスティネーションアドレスのカウント方向を設定します。このビットに100(2次元アドレッシング)を設定した場合は、ソースアドレス方向制御ビット(SAMOD)に100を設定することはできません。なお、2次元アドレッシング(100)はチャンネル0~7でのみ設定可能です。それ以外のチャンネルでは2次元アドレッシングを設定しないでください。 000: 固定 001: インクリメント 010: デクリメント 011: ローテート 100: 2次元アドレッシング 101~111: 設定禁止
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
3	SACT	不定	R/W	<p>ソース用 DMA アクティブ信号出力制御ビット</p> <p>このビットにより、DCTG ビットで設定した要求要因に対応するソース用 DMA アクティブ信号 (DMAACTSk_N) 出力を制御します。このビットに 0 を設定した場合、DMAACTS_N 信号は有効出力されずハイレベルに固定となります。このビットに 1 を設定した場合、DMAACTS_N 信号は DMAC のリードサイクル開始の次のサイクルより有効 (ローレベル) 出力されます。DMA 要求要因に内蔵周辺モジュールを選択した場合は、必ず 1 を選択してください (表 11.5 を参照)。</p> <p>0 : ソース用 DMA アクティブ信号出力停止 1 : リードアクセス時にソース用 DMA アクティブ信号出力</p> <p>【注】特に要因番号を指定する必要がない場合は、要因番号を示す k を省略し、単に DMAACTS_N と示しています。</p>
2	DACT	不定	R/W	<p>デスティネーション用 DMA アクティブ信号出力制御ビット</p> <p>このビットにより、DCTG ビットで設定した要求要因に対応するデスティネーション用 DMA アクティブ信号 (DMAACTDk_N) 出力を制御します。このビットに 0 を設定した場合、DMAACTD_N 信号は有効出力されずハイレベルに固定となります。このビットに 1 を設定した場合、DMAACTD_N 信号は DMAC のライトサイクル開始の次のサイクルより有効 (ローレベル) 出力されます。DMA 要求要因に内蔵周辺モジュールを選択した場合は、必ず 1 を選択してください (表 11.6 を参照)。</p> <p>0 : デスティネーション用 DMA アクティブ信号出力停止 1 : ライトアクセス時にデスティネーション用 DMA アクティブ信号出力</p> <p>【注】特に要因番号を指定する必要がない場合は、要因番号を示す k を省略し、単に DMAACTD_N と示しています。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	DTCM[1:0]	不定	R/W	<p>DMA 終了信号出力制御ビット</p> <p>このビットにより、DCTG ビットで設定した要求要因に対応する、DMA 転送終了条件検出時の DMA 終了信号 (DMATCk_N) 出力を制御します。このビットに 00 を設定した場合、DMA 転送が終了しても DMATC_N 信号は有効出力されずハイレベルに固定となります。このビットに 01 を設定した場合、DMATC_N 信号は DMA 転送終了直前のリードサイクル開始の次のサイクルより有効出力されます。このビットに 10 を設定した場合、DMATC_N 信号は DMA 転送終了直前のライトサイクル開始の次のサイクルより有効出力されます。このビットに 11 を設定した場合、DMATC_N 信号は DMA 転送終了割り込みと同じタイミングで、1 クロック分のローパルス信号が出力されます (詳細は図 11.6 を参照)。要求要因に USB_0 または USB_1 を選択した場合は、必ず 10 を選択してください (表 11.7 を参照)。</p> <p>00 : DMA 終了信号出力停止 01 : 最後のリードサイクル時に DMA 終了信号出力 10 : 最後のライトサイクル時に DMA 終了信号出力 11 : DMA 終了後に DMA 終了信号出力</p> <p>【注】特に要因番号を指定する必要がない場合は、要因番号を示す k を省略して DMATC_N と示しています。</p>

【注】 このレジスタへの書き込みは、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTBn) の DEN = 0) に設定されている場合にのみ行ってください。それ以外の場合にこのレジスタに書き込みを行った場合の動作は保証されません。

表 11.4 に DMA ソース / デスティネーションアドレスレジスタのカウンタ増減値を示します (アドレッシングモードのローテートの詳細は、「11.12 ローテート機能」を参照)。これらのビット (SAMOD、DAMOD) で 2 次元アドレッシングを指定した場合、「11.3.16 DMA2 次元列設定レジスタ (DM2DCLMm)」以降の 2 次元アドレッシング関連レジスタの設定が有効となります。また、バーストアクセスをサポートしている外部デバイス、モジュールに対して、パイプライン転送を行う場合は、必ずアドレスがプラスインクリメントされるプラス方向 (001)、ローテート (011)、または 2 次元 (100) を設定してください。

表 11.4 DMA ソース / デスティネーションアドレスレジスタのカウンタ増減値

転送データサイズ 選択ビット (SZSEL)	アドレッシングモード SAMOD または DAMOD				
	000 (固定)	001 (プラス方向)	010 (マイナス方向)	011 (ローテート)	100 (2次元)
000 (8 ビット)	±0	+1	-1	+1	+1
001 (16 ビット)	±0	+2	-2	+2	+2
010 (32 ビット)	±0	+4	-4	+4	+4

表 11.5 に DMA 要求要因とソース用 DMA アクティブ信号出力制御ビットの関係を示します。DMA 要求要因に DREQ0~3 端子を選択した場合は、必要に応じて 0 : 停止と 1 : 出力のいずれかを選択してください。この設定に対応した信号が外部端子 $\overline{DACT0}$ ~ $\overline{DACT3}$ に出力されます (「11.9 DMA アクノリッジ信号出力と DMA アクティブ信号出力」参照)。ソフトウェアトリガを選択した場合は、本ビットの設定は無効であり、0 と 1 のいずれでも設定可能です。その他の DMA 要求要因を選択した場合は、必ず 1 : 出力を設定してください。

表 11.5 DMA 要求要因とソース用 DMA アクティブ信号出力制御ビットの関係

DMA 要求要因	SACT ビットの設定		DCTG ビットの設定
	0 : 停止	1 : 出力	
ソフトウェアトリガ	-	-	000000
DREQ0 端子			000001
DREQ1 端子			000010
DREQ2 端子			000011
DREQ3 端子			000100
その他の DMA 要求要因	x		上記以外

【記号説明】

- : 設定可能
- x : 設定禁止
- : 設定無効

表 11.6 に DMA 要求要因とデスティネーション用 DMA アクティブ信号出力制御ビットの関係を示します。DMA 要求要因に DREQ0 ~ 3 端子を選択した場合は、必要に応じて 0 : 停止と 1 : 出力のいずれかを選択してください。この設定に対応した信号が外部端子 $\overline{DACT0} \sim \overline{DACT3}$ に出力されます (「11.9 DMA アクノリッジ信号出力と DMA アクティブ信号出力」参照)。ソフトウェアトリガを選択した場合は、本ビットの設定は無効であり、0 と 1 のいずれでも設定可能です。その他の DMA 要求要因を選択した場合は、必ず 1 : 出力を設定してください。

表 11.6 DMA 要求要因とデスティネーション用 DMA アクティブ信号出力制御ビットの関係

DMA 要求要因	DACT ビットの設定		DCTG ビットの設定
	0 : 停止	1 : 出力	
ソフトウェアトリガ	-	-	000000
DREQ0 端子			000001
DREQ1 端子			000010
DREQ2 端子			000011
DREQ3 端子			000100
その他の DMA 要求要因	x		上記以外

【記号説明】

- : 設定可能
- x : 設定禁止
- : 設定無効

表 11.7 に DMA 要求要因と DMA 終了信号出力制御ビットの関係を示します。DMA 要求要因に DREQ0~3 端子を選択した場合は、必要に応じて 00、01、10、11 のいずれかを選択してください。この設定に対応した信号が外部端子 $\overline{TEND0}$ ~ $\overline{TENDT3}$ に出力されます (「11.5.3 DMA 終了信号の出力」参照)。USB_0 または USB_1 を選択した場合は、必ず 11 を選択してください。2DG 関連の要因を選択した場合は、必ず 11 を選択してください。ソフトウェアトリガやその他の DMA 要求要因を選択した場合、このビットの設定は無効であり、0 と 1 のいずれでも設定可能です。

表 11.7 DMA 要求要因と DMA 終了信号出力制御ビットの関係

DMA 要求要因	DTCM ビットの設定				DCTG ビットの設定
	00 : 出力停止	01 : 最後のリードサイクル	10 : 最後のライトサイクル	11 : DMA 終了後	
ソフトウェアトリガ	-	-	-	-	000000
DREQ0 端子					000010
DREQ1 端子					000010
DREQ2 端子					000011
DREQ3 端子					000100
USB_0	x	x	x		000101
USB_1	x	x	x		000110
2DG 出力	x	x	x		101111
2DG BLT 入力 A	x	x	x		110000
2DG BLT 入力 B	x	x	x		110001
2DG BLT 出力 C	x	x	x		110010
その他の DMA 要求要因	-	-	-	-	上記以外

【記号説明】

- : 設定可能
- x : 設定禁止
- (斜線) : 設定無効

11.3.8 DMA 制御レジスタ A (DMCNTAn)

DMCNTAn は、転送モード、転送条件の選択、各種リロード機能の制御、および DMA 要因の選択を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	MDSEL[1:0]	-	-	DSEL[1:0]	-	-	-	-	-	-	-	-	STRG[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	2DRLOD	BRL0D	SRL0D	DRLOD	-	-	DCTG[5:0]					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29, 28	MDSEL[1:0]	00	R/W	DMA 転送モード選択ビット このビットにより、DMA 転送モードを設定します。このビットに 00 を設定した場合、サイクルスチール転送モードになります。このビットに 01 を設定した場合、パイプライン転送モードになります。なお、このビットに 10 または 11 は設定しないでください。10 または 11 に設定した場合の動作は保証されません（詳細は、「11.4.1 DMA 転送モード」を参照）。 00 : サイクルスチール転送 01 : パイプライン転送 10 : 設定禁止 11 : 設定禁止 【注】パイプライン転送モード (MDSEL = 01) で、ソースまたはデスティネーションが SDRAM デバイスの場合は、ノンストップ転送 (DSEL = 11) の設定はできません。
27, 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25, 24	DSEL[1:0]	00	R/W	DMA 転送条件選択ビット このビットにより、DMA 転送条件を設定します。このビットに 00 を設定した場合、単一オペランド転送になります。このビットに 01 を設定した場合、連続オペランド転送になります。このビットに 11 を設定した場合、ノンストップ転送になります（詳細は、「11.4.2 DMA 転送条件」を参照）。なお、このビットに 10 は設定しないでください。10 に設定した場合の動作は保証されません。 00 : 単一オペランド転送 01 : 連続オペランド転送 10 : 設定禁止 11 : ノンストップ転送

ビット	ビット名	初期値	R/W	説明
23~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17, 16	STRG[1:0]	00	R/W	入力センスモード選択ビット このビットにより、DMA 要求要因選択ビット (DCTG) により選択された要求要因から、DMAC に対して入力される DMA 要求信号の入力センスモードを設定します。表 11.8 に DMA 要求要因と入力センスモードの関係を示します。要求要因でソフトウェアトリガ (DCTG = 000000) を選択している場合は、立ち上がりエッジセンスを設定してください。DREQ 端子 (DCTG = 000001 ~ 000100) を選択している場合は、すべてのセンスモードを選択できます。その他の要求要因を選択している場合は、必ずローレベルセンスを設定してください。 00 : 立ち上がりエッジセンス 01 : ハイレベルセンス 10 : 立ち下がりエッジセンス 11 : ローレベルセンス
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	2DRLOD	0	R/W	2次元リロード機能有効ビット このビットにより、DMA 転送終了条件が検出された場合に6本のカレント2次元アドレッシング関連レジスタに対するリロードを有効にするか、無効にするかを選択します。このビットを0にクリアした場合、6本のカレント2次元アドレッシング関連レジスタに対するリロードは行われません。このビットを1にセットした場合、DMA 転送終了条件が検出されると6本のリロード2次元アドレッシング関連レジスタの内容が、カレント2次元アドレッシング関連レジスタにリロードされます。なお、本ビットはチャンネル0~7でのみ有効です。 0 : 2次元リロード機能無効 1 : 2次元リロード機能有効
10	BRL0D	0	R/W	DMA バイトカウントリロード機能有効ビット このビットにより、DMA 転送終了条件が検出された場合にバイトカウンタをリロードするか、しないかを選択します。このビットを0にクリアした場合、リロードは行われません。このビットを1にセットした場合、DMA 転送終了条件が検出されると DMA リロードバイトカウントレジスタ (DMRBCn) の内容が DMA カレントバイトカウントレジスタ (DMCBCn) にリロードされます。 0 : バイトカウントリロード機能無効 1 : バイトカウントリロード機能有効

ビット	ビット名	初期値	R/W	説明
9	SRLOD	0	R/W	<p>DMA ソースアドレスリロード機能有効ビット</p> <p>このビットにより、DMA 転送終了条件が検出された場合にソースアドレスをリロードするか、しないかを選択します。このビットを 0 にクリアした場合、リロードは行われません。このビットを 1 にセットした場合、DMA 転送終了条件が検出されると DMA リロードソースアドレスレジスタ (DMRSADRn) の内容が DMA カレントソースアドレスレジスタ (DMCSADRn) にリロードされます。</p> <p>0 : ソースアドレスリロード機能無効 1 : ソースアドレスリロード機能有効</p>
8	DRLOD	0	R/W	<p>DMA デスティネーションアドレスリロード機能有効ビット</p> <p>このビットにより、DMA 転送終了条件が検出された場合にデスティネーションアドレスをリロードするか、しないかを選択します。このビットを 0 にクリアした場合、リロードは行われません。このビットを 1 にセットした場合、DMA 転送終了条件が検出されると DMA リロードデスティネーションアドレスレジスタ (DMRDADRn) の内容が DMA カレントデスティネーションアドレスレジスタ (DMCDADRn) にリロードされます。</p> <p>0 : デスティネーションアドレスリロード機能無効 1 : デスティネーションアドレスリロード機能有効</p>
7, 6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5~0	DCTG[5:0]	000000	R/W	<p>DMA 要求要因選択ビット</p> <p>このビットにより、DMA 要求要因を設定します。</p> <p>ソフトウェアトリガ、DREQ0~3 端子、USB の 2 要因、SDHI の 2 要因、FLCTL の 2 要因、AESOP の 2 要因、および 2DG の 4 要因を除く要求要因を選択する場合は、INTC の DREQER0~DREQER8 の DMA 転送要求許可ビットを設定してください。DREQER0~DREQER8 の設定方法については、「第 7 章 割り込みコントローラ (INTC)」を参照してください。</p> <p>000000 : ソフトウェアトリガ 000001 : DREQ0 端子 000010 : DREQ1 端子 000011 : DREQ2 端子 000100 : DREQ3 端子 000101 : USB_0 000110 : USB_1 000111 : CMT_0 001000 : CMT_1 001001 : CMT_2 001010 : CMT_3 001011 : MTU2_0 001100 : MTU2_1 001101 : MTU2_2 001110 : MTU2_3</p>

ビット	ビット名	初期値	R/W	説明
5~0	DCTG[5:0]	000000	R/W	(続き) 001111 : MTU2_4 010000 : IIC3_0 受信 010001 : IIC3_0 送信 010010 : IIC3_1 受信 010011 : IIC3_1 送信 010100 : IIC3_2 受信 010101 : IIC3_2 送信 010110 : IIC3_3 受信 010111 : IIC3_3 送信 011000 : SCIF_0 受信 011001 : SCIF_0 送信 011010 : SCIF_1 受信 011011 : SCIF_1 送信 011100 : SCIF_2 受信 011101 : SCIF_2 送信 011110 : SCIF_3 受信 011111 : SCIF_3 送信 100000 : SCIF_4 受信 100001 : SCIF_4 送信 100010 : SCIF_5 受信 100011 : SCIF_5 送信 100100 : SSIF_0 送受信 100101 : SSIF_1 送受信 100110 : SSIF_2 送受信 100111 : SSIF_3 送受信 101000 : SSIF_4 送受信 101001 : SSIF_5 送受信 101010 : SSU_0 受信 101011 : SSU_0 送信 101100 : SSU_1 受信 101101 : SSU_1 送信 101110 : A/D 変換器 101111 : 2DG 出力 110000 : 2DG BLT 入力 A 110001 : 2DG BLT 入力 B 110010 : 2DG BLT 出力 C

ビット	ビット名	初期値	R/W	説明
5~0	DCTG[5:0]	000000	R/W	(続き) 110011 : FLCTL_0 送受信 110100 : FLCTL_1 送受信 110101 : SDHI 受信 110110 : SDHI 送信 110111 : RM0_0 (RCAN) 111000 : RCAN_1 RM0_1 (RCAN) 111001 : AESOP 入力 111010 : AESOP 出力 上記以外 : 設定禁止

【注】 各リロード機能有効ビット (BRLOD、SRLOD、DRLOD) 以外の DMA 制御レジスタ A (DMCNTAn) の設定値変更は、対応するチャンネルが 1 オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTBn) の DEN = 0) に設定されている場合にのみ行ってください。それ以外の場合にこのレジスタに書き込みを行った場合の動作は保証されません。

表 11.8 DMA 要求要因と入力センスモードの関係

DMA 要求要因	STRG ビットの設定				DCTG ビットの 設定
	00 : 立ち上がり エッジセンス	01 : ハイレベル センス	10 : 立ち下がり エッジセンス	11 : ローレベル センス	
ソフトウェアトリガ		x	x	x	000000
DREQ0 端子					000001
DREQ1 端子					000010
DREQ2 端子					000011
DREQ3 端子					000100
その他の DMA 要求要因	x	x	x		上記以外

【記号説明】

○ : 設定可能
x : 設定禁止

【注】 その他の DMA 要求要因の入力センスモード (11 : ローレベルセンス) は暫定版であり、今後、変更の可能性があります。

11.3.9 DMA 制御レジスタ B (DMCNTBn)

DMCNTBn は、DMA 転送許可制御、転送許可クリア、内部状態クリアの制御を行います。また、DMA 要求のステータスを参照することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	DEN	-	-	-	-	-	-	-	DREQ
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ECLR	-	-	-	-	-	-	-	DSCLR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	DEN	0	R/W	DMA 転送許可ビット このビットにより、DMA 転送の禁止、許可を設定します。このビットを 0 にクリアした場合、そのチャンネルの DMA 転送が禁止状態になります。このビットを 1 にセットした場合、そのチャンネルの DMA 転送が許可状態になります (DMA 転送の起動に関しては、「11.4.3 DMA の起動」を参照)。このビットが 0 にクリアされていても DMAC への DMA 要求入力により DMA 要求ビット (DREQ) は変化します。このビットは DMA 転送許可クリアビット (ECLR) = 1 の場合に、DMA 転送終了条件が検出されると自動的に 0 にクリアされます。また、DMA 転送中に 0 にクリアすることで、1 オペランド転送終了後、そのチャンネルを停止させることができます (詳細は、「11.6 DMA 転送の一時停止と再開、中止」を参照)。 0 : DMA 転送禁止 1 : DMA 転送許可
23~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
16	DREQ	0	R/W	<p>DMA 要求ビット</p> <p>このビットにより、DMA 要求の有無を参照することができます。また、DMA 要求要因選択ビット (DCTG) でソフトウェアトリガを選択した場合 (DCTG = 000000)、このビットにより DMA 要求の操作を行います。</p> <p>0 : DMA 要求なし 1 : DMA 要求あり</p> <p>このビットは、DMAC モジュール起動ビット (DMST)、および DMA 転送許可ビット (DEN) の設定にかかわらず、DMAC への DMA 要求信号入力の状態により変化し、そのセット、クリアの条件は DMA 要求要因選択ビット (DCTG)、および入力センスモード選択ビット (STRG) の設定により以下のように変化します。</p> <p>(a) DMA 要求要因選択ビット (DCTG) でソフトウェアトリガを選択した場合</p> <ul style="list-style-type: none"> • 1 セット条件 ソフトウェアによりこのビットに 1 を書き込んだ場合に 1 にセットされます。これにより DMA 要求が発生します。 • 0 クリア条件 以下のいずれかの条件を満たした場合、0 にクリアされます。 <ul style="list-style-type: none"> ・ソフトウェアによりこのビットに 0 を書き込んだ場合 ・このビットに対応するオペランド転送が開始された場合 <p>(b) DMA 要求要因選択ビット (DCTG) でソフトウェアトリガ以外を選択し、かつレベルセンスを選択した場合</p> <ul style="list-style-type: none"> • 1 セット条件 入力センスモード選択ビット (STRG) で設定したレベルと DMA 要求信号入力のレベルが一致した場合 (DMA 要求がある場合) に 1 にセットされます。 • 0 クリア条件 入力センスモード選択ビット (STRG) で設定したレベルと DMA 要求信号入力のレベルが一致しなくなった場合 (DMA 要求がなくなった場合) に 0 にクリアされます <p>DMA 要求受け付け前に DMA 要求がなくなった場合、その DMA 要求は保持されず DMA 要求ビット (DREQ) はクリアされます。したがって、レベルセンスで使用する場合は、DMA 要求受け付けまで DMA 要求を保持してください。</p> <p>(c) DMA 要求要因選択ビット (DCTG) でソフトウェアトリガ以外を選択し、かつエッジセンスを選択した場合</p> <ul style="list-style-type: none"> • 1 セット条件 入力センスモード選択ビット (STRG) で設定したエッジが検出された場合 (DMA 要求がある場合) に 1 にセットされます。 1 にセットされた場合、その後の DMA 要求信号の状態にかかわらず、0 クリア条件が満たされるまでは、DMA 要求ビット (DREQ) はセットされたままとなります。 • 0 クリア条件 以下のいずれかの条件を満たした場合、0 にクリアされます。 <ul style="list-style-type: none"> ・ソフトウェアによりこのビットに 0 を書き込んだ場合 ・このビットに対するオペランド転送が開始された場合 <p>【注】 1. 選択された要求要因がソフトウェアトリガ以外の場合には、ソフトウェアによって DMA 要求ビット (DREQ) に 1 を書き込まないでください。1 を書き込んだ場合の動作は保証されません。</p> <p>2. DMA 制御レジスタ A (DMCNTAn) の DMA 要求要因選択ビット (DCTG)、入力センスモード選択ビット (STRG) を設定した場合、必ず設定したチャンネルの DMA 要求ビット (DREQ) を 0 にクリアした後、DMA 転送許可 (DMST = 1、DEN = 1) にしてください。</p>

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	ECLR	0	R/W	DMA 転送許可クリアビット このビットにより、DMA 転送終了条件が検出された場合に、DMA 転送許可ビット (DEN) を0にクリアするか、しないかを選択します。このビットを0にクリアした場合、DMA 転送終了条件が検出されても DMA 転送許可ビット (DEN) は0にクリアされません。このビットを1にセットした場合、DMA 転送終了条件が検出されると DMA 転送許可ビット (DEN) が0にクリアされます。 0: DMA 転送終了条件検出により DMA 転送許可ビットを0にクリアしない 1: DMA 転送終了条件検出により DMA 転送許可ビットを0にクリアする 【注】オペランド転送中のチャンネルに対して DMA 転送許可クリアビットへの書き込みを行った場合の動作は保証されません。
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	DSCLR	0	R/W	DMAC 内部状態クリアビット このビットにより、1DMA 転送の途中 (バイトカウントが0になる前) で、残りの DMA 転送を中止し DMAC の内部状態を初期化することができます。このビットに1を書き込むことでクリアされるのは、DMAC 内部回路の転送ステータスのみで、各レジスタについては初期化されません。読み出し時は、常に0が読み出されます。 読み出し時: 0: リード 書き込み時: 0: 無効 1: DMAC の内部状態の初期化 【注】本ビットへの書き込みは、対応するチャンネルが1オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTBn) の DEN = 0) に設定されている場合にのみ行ってください。それ以外の場合に本ビットをセットした場合の動作は保証されません。

【注】 DMA 要求要因にソフトウェアトリガを選択している場合、DMA 要求ビット (DREQ) の1セットは、DMA 転送許可ビット (DEN) や DMAC モジュール起動ビット (DMST) の設定、オペランド転送状態に関係なく行うことが可能です。ただし、DMA 要求要因にソフトウェアトリガを選択している場合でも、DMA 要求ビット (DREQ) の0クリア、および DMAC 内部状態クリアビット (DSCLR) への書き込みは、対応するチャンネルが1オペランド転送中でなく (DMA アービトレーションステータスレジスタ (DMASTS) の DASTS = 0)、かつ DMA 転送が禁止 (DMA 起動制御レジスタ (DMSCNT) の DMST = 0 または DMA 制御レジスタ B (DMCNTBn) の DEN = 0) に設定されている場合にのみ行ってください。それ以外の場合にこのレジスタに書き込みを行った場合の動作は保証されません。

11.3.10 DMA 起動制御レジスタ (DMSCNT)

DMSCNT は、DMAC 全体の動作制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DMST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	DMST	0	R/W	DMAc モジュール起動ビット このビットにより、DMAc モジュールの動作 / 停止を設定します。このビットを 0 にクリアした場合、DMAc モジュールは停止状態になります。このビットを 1 にセットした場合、DMAc モジュールは動作状態になります (詳細は、「11.4.3 DMA の起動」および「11.6 DMA 転送の一時停止と再開、中止」を参照)。 0 : DMAc 停止 1 : DMAc 動作
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.3.11 DMA 割り込み制御レジスタ (DMICNT)

DMICNT は、各チャンネルに対して DMA 割り込みの制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DIN TM0	DIN TM1	DIN TM2	DIN TM3	DIN TM4	DIN TM5	DIN TM6	DIN TM7	DIN TM8	DIN TM9	DIN TM10	DIN TM11	DIN TM12	DIN TM13	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~18	DINTM0 ~ DINTM13	H'0000	R/W	<p>DMA 割り込み制御ビット</p> <p>このビットにより、各チャンネルの DMA 転送終了割り込みを、割り込みコントローラに対して発生するかどうかを制御します。このビットを 0 にクリアした場合、割り込みコントローラへの割り込み要求は発生しません。このビットを 1 にセットした場合、DMA 転送終了条件を検出すると割り込みコントローラへの割り込み要求が発生します（詳細は、「11.5.2 DMA 割り込み要求」を参照）。</p> <p>0: 割り込み禁止 1: 割り込み許可</p>
17~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 各ビット（ビット 31~18）は、チャンネル 0~チャンネル 13 に対応します。

11.3.12 DMA 共用割り込み制御レジスタ (DMICNTA)

DMICNTA は、各チャンネルに対して DMA 割り込みの制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DIN TA0	DIN TA1	DIN TA2	DIN TA3	DIN TA4	DIN TA5	DIN TA6	DIN TA7	DIN TA8	DIN TA9	DIN TA10	DIN TA11	DIN TA12	DIN TA13	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~18	DINTA0 ~ DINTA13	H'0000	R/W	<p>DMA 共用割り込み要求制御ビット</p> <p>このビットにより、共用割り込み要求信号の対象にするかどうかを設定します。このビットを 1 にセットしたチャンネルのみが共用割り込み要求信号として 1 本にまとめられます。このビットを 0 にクリアした場合、共用割り込み要求信号の対象になりません。また、このビットに 1 をセットしたチャンネルのみが、共用割り込み要求信号発生時に DMA 割り込みステータスレジスタ (DMISTS) に反映されます (詳細は、「11.5.2 DMA 割り込み要求」を参照)。</p> <p>0 : 共用割り込み要求の対象にしない 1 : 共用割り込み要求の対象にする</p>
17~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 各ビット (ビット 31~18) は、チャンネル 0~チャンネル 13 に対応します。

11.3.13 DMA 割り込みステータスレジスタ (DMISTS)

DMISTS は、DMA 割り込み要求ステータスビットで構成されています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DIS TS0	DIS TS1	DIS TS2	DIS TS3	DIS TS4	DIS TS5	DIS TS6	DIS TS7	DIS TS8	DIS TS9	DIS TS10	DIS TS11	DIS TS12	DIS TS13	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~18	DISTS0 ~ DISTS13	H'0000	R	<p>DMA 割り込み要求ステータスビット</p> <p>このビットにより、割り込みコントローラに対する共用割り込み要求の発生状態を参照することができます。</p> <p>0: 割り込み要求なし 1: 割り込み要求あり</p> <ul style="list-style-type: none"> • 1セット条件 <p>DMA 共用割り込み要求信号制御ビット (DINTA) を 1 に設定しているときに、DMA 転送終了条件を検出すると、対応するチャンネルのビットに 1 がセットされます。なお、DMA 割り込み制御ビット (DINTM) の設定には影響されません。</p> <ul style="list-style-type: none"> • 0クリア条件 <p>割り込みが発生しているチャンネルに対応した、DMA 転送終了検出レジスタ (DMEDET) の DMA 転送終了条件検出ビット (DEDET) をクリアすると、このビットは 0 にクリアされます (詳細は、「11.5.2 DMA 割り込み要求」を参照)。</p>
17~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

- 【注】
1. このレジスタは読み出し専用です。
 2. 各ビット (ビット 31~18) は、チャンネル 0~チャンネル 13 に対応します。

11.3.14 DMA 転送終了検出レジスタ (DMEDET)

DMEDET は、各チャンネルの DMA 転送終了検出のステータスを参照します。なお、DEDET ビットへの 0 書き込みは無効で、1 書き込みのデータは保持されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DED ET0	DED ET1	DED ET2	DED ET3	DED ET4	DED ET5	DED ET6	DED ET7	DED ET8	DED ET9	DED ET10	DED ET11	DED ET12	DED ET13	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~18	DEDET0 ~ DEDET13	H'0000	R/W	<p>読み出し時 : DMA 転送終了条件検出ビット</p> <p>0 : DMA 転送終了条件検出なし 1 : DMA 転送終了条件検出あり</p> <p>書き込み時 : DMA 割り込み要求ステータスクリアビット</p> <p>0 : 無効 1 : DMA 割り込み要求ステータスのクリア</p> <p>このビットにより、各チャンネルの DMA 転送終了条件検出の状態を参照することができます。このレジスタは、レジスタ読み出しによる自動クリアは行いません。1 にセットされた場合、ソフトウェアによるビットクリアを行わないかぎり、常に値を保持しています。</p> <ul style="list-style-type: none"> • 1 セット条件 DMA 転送終了条件を検出すると、このビットに 1 がセットされます。 • 0 クリア条件 クリアするビットに 1 を書き込むことにより 0 にクリアされます。このときクリアを行わないビットには 0 を書き込んでください。0 を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。 <p>DMA 転送終了割り込みを使用する場合には、割り込みハンドラ中で、割り込み要求が発生しているチャンネルの DMA 転送終了条件検出ビット (DEDET) に 1 を書き込んでください。転送終了条件検出ビット (DEDET) が 0 にクリアされるとともに、DMA 割り込み要求ステータスビット (DISTS) もクリアされます。</p>
17~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 各ビット (ビット 31~18) は、チャンネル 0~チャンネル 13 に対応します。

11.3.15 DMA アービトレーションステータスレジスタ (DMASTS)

DMASTS は、各チャンネルの DMA 転送実行状態を参照することができます。本レジスタへの書き込みは無効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAS TS0	DAS TS1	DAS TS2	DAS TS3	DAS TS4	DAS TS5	DAS TS6	DAS TS7	DAS TS8	DAS TS9	DAS TS10	DAS TS11	DAS TS12	DAS TS13	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~18	DASTS0 ~ DASTS13	H'0000	R	読み出し時: DMA アービトレーションステータスビット 0: オペランド転送中でない 1: オペランド転送中 このビットにより、各チャンネルの DMA 転送実行状態を参照することができます。 • 1セット条件 オペランド転送またはノンストップ転送が開始されたチャンネルのビットに 1 がセットされます。 • 0クリア条件 1 オペランド転送またはノンストップ転送が終了すると、対応するチャンネルのビットが 0 にクリアされます。 【注】外部デバイスへの DMA 転送では、外部バスアクセス終了前(最後のデータライトは開始されています)に DMA アービトレーションステータスビット (DASTS) がクリアされることがあります。
17~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 各ビット (ビット 31~18) は、チャンネル 0~チャンネル 13 に対応します。

11.3.16 DMA2 次元列設定レジスタ (DM2DCLMm)

DM2DCLMm は、2次元アドレッシングの1ブロックの列データ数を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCDN[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~0	DCDN [15:0]	不定	R/W	DMA ブロック列データ数ビット このビットにより、1ブロックの列のデータ数を設定します。 00000000_00000000 : 1 データ : 11111111_11111111 : 65536 データ 【注】1 オペランド転送データ数選択ビット (OPSEL) で設定したデータ数と同じデータ数、または整数倍の数を設定してください。異なる設定を行った場合の動作は保証されません。

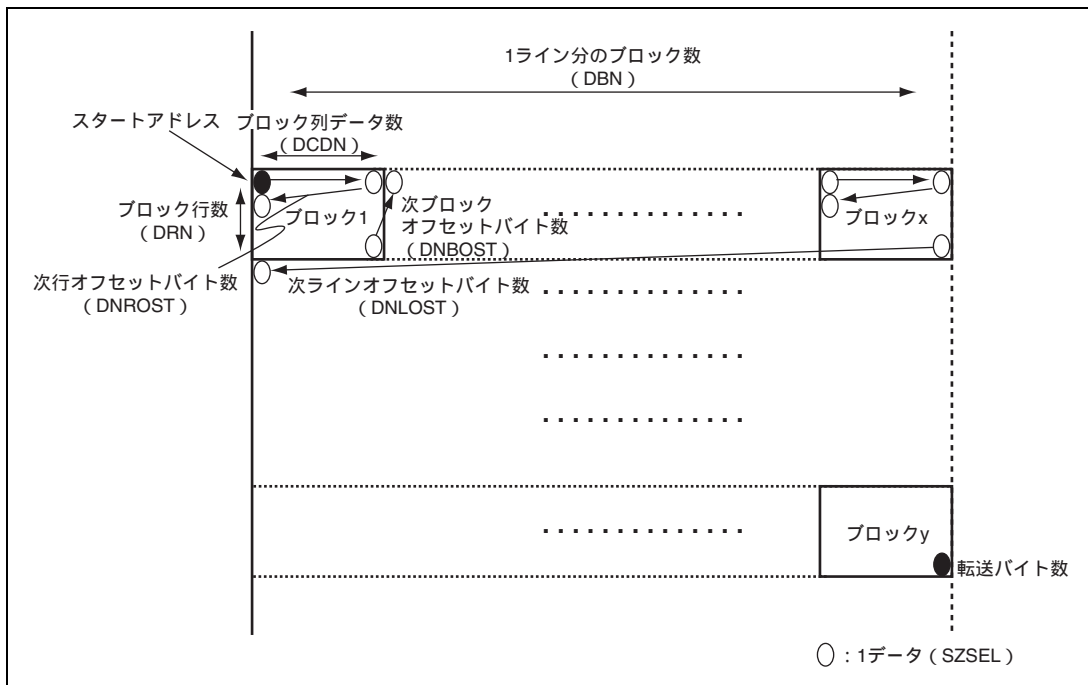


図 11.2 2次元ブロック設定方法

11.3.17 DMA2 次元行設定レジスタ (DM2DROWm)

DM2DROWm は、2 次元アドレッシングの 1 ブロックの行数を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRN[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	DRN[15:0]	不定	R/W	DMA ブロック行数ビット このビットにより、1 ブロックの行数を設定します。 00000000_00000000 : 1 行 : 11111111_11111111 : 65536 行

11.3.18 DMA2 次元ブロック設定レジスタ (DM2DBLKm)

DM2DBLKm は、2次元アドレッシングの1ライン分のブロック数を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	DBN[23:16]							
初期値:	0	0	0	0	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBN[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23~0	DBN[23:0]	不定	R/W	DMA ブロック数ビット このビットにより、1ライン分のブロック数を設定します。 00000000_00000000_00000000 : 1 ブロック : 11111111_11111111_11111111 : 16777216 ブロック

11.3.19 DMA2 次元次行オフセットレジスタ (DM2DNROSTm)

DM2DNROSTm は、2 次元アドレッシングにおいて、次の行の先頭アドレス計算時のオフセットを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DNROST[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DNROST[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DNROST [31:0]	不定	R/W	DMA2D 次元次行オフセットバイト数ビット このビットにより、2 次元アドレッシングのとき、1 ブロック内の 1 行分の DMA 転送が終了した時点で、次の行の先頭アドレスを計算するためにカレントソースアドレスまたは、カレントデスティネーションアドレスに加算されるバイト数を設定します。このビットは、2 の補数で設定してください。

11.3.20 DMA2 次元次ブロックオフセットレジスタ (DM2DNBOSTm)

DM2DNBOSTm は、2次元アドレッシングにおいて、次のブロックの先頭アドレス計算時のオフセットを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DNBOST[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DNBOST[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DNBOST [31:0]	不定	R/W	DMA2D 次ブロックオフセットバイト数ビット このビットにより、2次元アドレッシングのとき、1ブロックのDMA転送が終了した時点で、次のブロックの先頭アドレスを計算するためにカレントソースアドレスまたは、カレントデスティネーションアドレスに加算されるバイト数を設定します。このビットは、2の補数で設定してください。

11.3.21 DMA2 次元次ラインオフセットレジスタ (DM2DNLOSTm)

DM2DNLOSTm は、2 次元アドレッシングにおいて、次のラインの先頭アドレスを計算時のオフセットを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DNLOST[31:16]															
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DNLOST[15:0]															
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DNLOST [31:0]	不定	R/W	DMA2D 次元ラインオフセットバイト数ビット このビットにより、2 次元アドレッシングのとき、1 ライン分の DMA 転送が終了した時点で、次のラインの先頭アドレスを計算するためにカレントソースアドレスまたは、カレントデスティネーションアドレスに加算されるバイト数を設定します。このビットは、2 の補数で設定してください。

11.3.22 DMA リロード 2 次元列設定レジスタ (DMR2DCLMm)

DMR2DCLMm は、DMA2 次元列設定レジスタ (DM2DCLMm) にリロードする列データ数を設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTAm) の 2 次元リロード機能有効ビット (2DRLOD) を 1 にセットしてください。この場合、DMA2 次元列設定レジスタ (DM2DCLMm)、および DMA リロード 2 次元列設定レジスタ (DMR2DCLMm) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRCDN[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	DRCDN [15:0]	不定	R/W	DMA リロードブロック列データ数ビット このビットにより、DMA2 次元列設定レジスタにリロードされる 1 ブロックの列のデータ数を設定します。 00000000_00000000 : 1 データ : 11111111_11111111 : 65536 データ 【注】1 オペランド転送データ数選択ビット (OPSEL) で設定したデータ数と同じデータ数または整数倍の数を設定してください。異なる設定を行った場合の動作は保証されません。

11.3.23 DMA リロード 2 次元行設定レジスタ (DMR2DROWm)

DMR2DROWm は、DMA2 次元行設定レジスタ (DM2DROWm) にリロードする行数を設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTAm) の 2 次元リロード機能有効ビット (2DRLOD) を 1 にセットしてください。この場合、DMA2 次元行設定レジスタ (DM2DROWm)、および DMA リロード 2 次元行設定レジスタ (DMR2DROWm) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRN[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	DRN [15:0]	不定	R/W	DMA リロードブロック列データ数ビット このビットにより、DMA2 次元行設定レジスタにリロードされる 1 ブロックの行数を設定します。 00000000_00000000 : 1 行 : 11111111_11111111 : 65536 行

11.3.24 DMA リロード 2 次元ブロック設定レジスタ (DMR2DBLKm)

DMR2DBLKm は、DMA2 次元ブロック設定レジスタ (DM2DBLKm) にリロードするブロック数を設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTAm) の 2 次元リロード機能有効ビット (2DRLOD) を 1 にセットしてください。この場合、DMA2 次元ブロック設定レジスタ (DM2DBLKm)、および DMA リロード 2 次元ブロック設定レジスタ (DMR2DBLKm) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	DRBN[23:16]							
初期値:	0	0	0	0	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRBN[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~0	DRBN [23:0]	不定	R/W	DMA ブロック数ビット このビットにより、DMA2 次元ブロック設定レジスタにリロードされる 1 ライン分のブロック数を設定します。 00000000_00000000_00000000 : 1 ブロック : 11111111_11111111_11111111 : 16777216 ブロック

11.3.25 DMA リロード 2 次元次行オフセットレジスタ (DMR2DNROSTm)

DMR2DNROSTm は、DMA2 次元行オフセットレジスタ (DM2DNROSTm) にリロードするオフセットを設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTAm) の 2 次元リロード機能有効ビット (2DRLOD) を 1 にセットしてください。この場合、DMA2 次元行オフセットレジスタ (DM2DNROSTm) および DMA リロード 2 次元行オフセットレジスタ (DMR2DNROSTm) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DRNROST[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRNROST[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DRNROST [31:0]	不定	R/W	DMA2D リロード次元行オフセットバイト数ビット このビットにより、DMA2 次元行オフセットレジスタにリロードされるオフセットバイト数を設定します。このビットは、2 の補数で設定してください。

11.3.26 DMA リロード 2 次元次ブロックオフセットレジスタ (DMR2DNBOSTm)

DMR2DNBOSTm は、DMA2 次元ブロックオフセットレジスタ (DM2DNBOSTm) にリロードするオフセットを設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTAm) の 2 次元リロード機能有効ビット (2DRLOD) を 1 にセットしてください。この場合、DMA2 次元ブロックオフセットレジスタ (DM2DNBOSTm) および DMA リロード 2 次元ブロックオフセットレジスタ (DMR2DNBOSTm) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DRNBOST[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRNBOST[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DRNBOST [31:0]	不定	R/W	DMA リロード 2D 次元次ブロックオフセットバイト数ビット このビットにより、DMA2 次元次ブロックオフセットレジスタにリロードされるオフセットバイト数を設定します。このビットは、2 の補数で設定してください。

11.3.27 DMA リロード 2 次元次ラインオフセットレジスタ (DMR2DNLOSTm)

DMR2DNLOSTm は、DMA2 次元ラインオフセットレジスタ (DM2DNLOSTm) にリロードするオフセットを設定するためのレジスタです。リロード機能を有効にするには DMA 制御レジスタ A (DMCNTAm) の 2 次元リロード機能有効ビット (2DRLOD) を 1 にセットしてください。この場合、DMA2 次元ラインオフセットレジスタ (DM2DNLOSTm) および DMA リロード 2 次元ラインオフセットレジスタ (DMR2DNLOSTm) の両方に設定を行う必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DRNLOST[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRNLOST[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DRNLOST [31:0]	不定	R/W	DMA リロード 2D 次元ラインオフセットバイト数ビット このビットにより、DMA2 次元次ラインオフセットレジスタにリロードされるオフセットバイト数を設定します。このビットは、2 の補数で設定してください。

11.4 動作説明

11.4.1 DMA 転送モード

DMA 転送モードには、サイクルスチール転送モード、パイプライン転送モードとがあり DMA 制御レジスタ A (DMCNTAn) の DMA 転送モード選択ビット (MDSEL) で選択できます。

図 11.3 に、DMA 転送モードと DMAC/CPU のバス権の状態例を示します。

(1) サイクルスチール転送モード

DMA 転送モード選択ビット (MDSEL) を 00 に設定した場合、サイクルスチール転送モードになります。

サイクルスチール転送モードの場合、DMAC は 1 データ転送のリードアクセス起動とライトアクセス起動の間に少なくとも 1 サイクル空いて動作します。したがって、この間に CPU からのアクセス (ソースまたはデスティネーションとなっているターゲットの BIU 部へのアクセス) が可能となります。

(2) パイプライン転送モード

DMA 転送モード選択ビット (MDSEL) を 01 に設定した場合、パイプライン転送モードになります。

パイプライン転送モードの場合、DMAC はバスアクセス (リードアクセス/ライトアクセス) 起動を連続的に行います。したがって、1 オペランド転送終了まで CPU からのアクセス (ソースまたはデスティネーションとなっているターゲットの BIU 部へのアクセス) は受け付けられません。

また、同一 BIU 間へのパイプライン転送はできません。

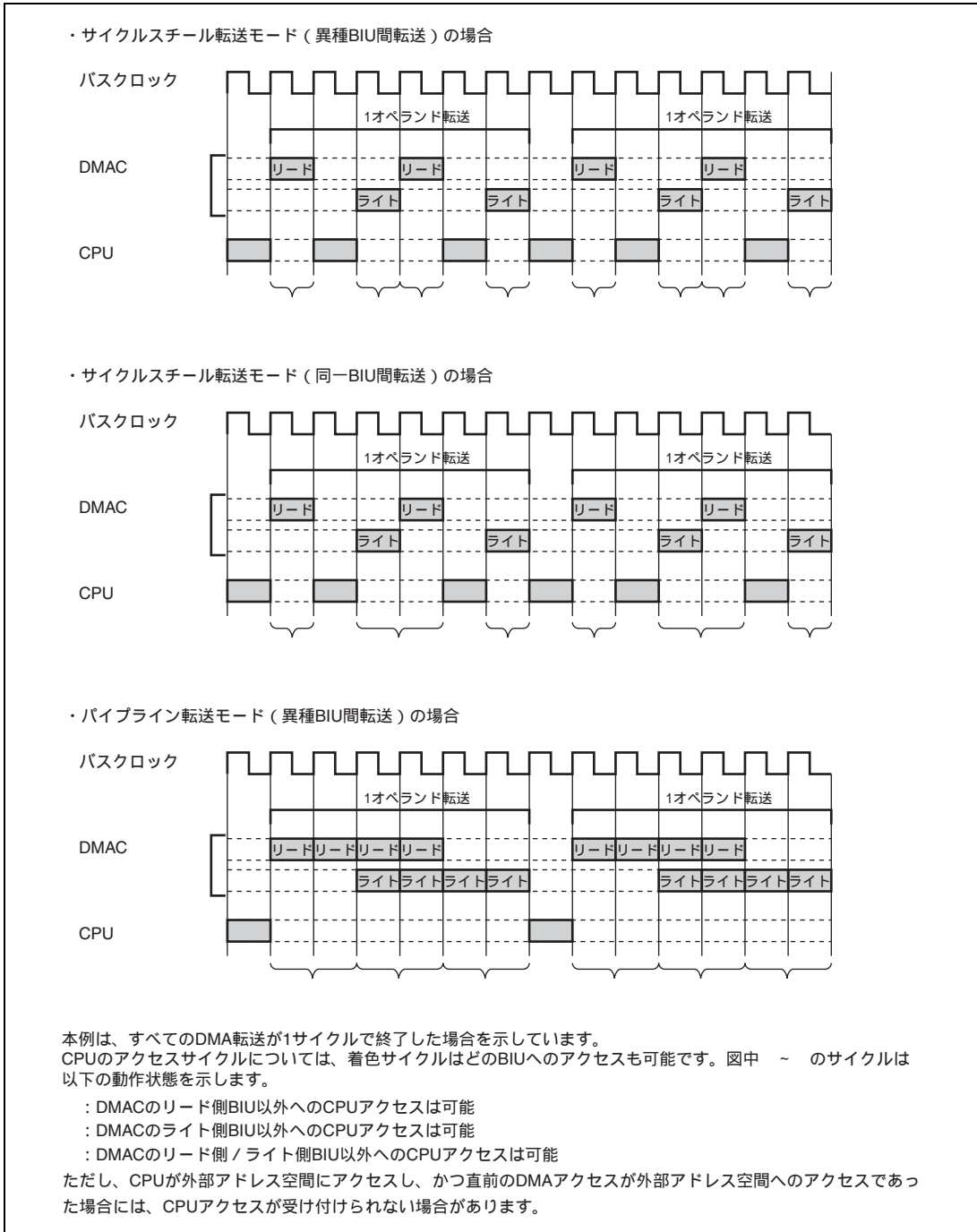


図 11.3 DMA 転送モードと DMAC/CPU のバス権の状態例

11.4.2 DMA 転送条件

DMA 転送の条件には、単一オペランド転送、連続オペランド転送、ノンストップ転送があり DMA 制御レジスタ A (DMCNTAn) の DMA 転送条件選択ビット (DSEL) で選択できます。以下にそれぞれについて説明します。

また、表 11.9、図 11.4 に DMA 転送条件の一覧を示します。

(1) 単一オペランド転送

DMA 転送条件選択ビット (DSEL) を 00 に設定すると、単一オペランド転送となります。

1 回の DMA 要求で、DMA モードレジスタ (DMMODn) の 1 オペランド転送データ数選択ビット (OPSEL) で設定されているデータ数分のデータが転送されます。

DMA 転送要求が与えられるたびに 1 オペランド転送を繰り返し、バイトカウントが 0 になった時点で 1DMA 転送の終了となります。

DMA 転送条件が単一オペランド転送かつ DMA 要求の入力センスモードがレベルセンスの場合、1 オペランド転送終了後のチャンネル調停期間にて DMA 要求のマスク期間が存在します (詳細は「11.7.3 DMA のセンスモード」を参照ください)。そのため、1 オペランド転送終了後のチャンネル調停期間において、転送中のチャンネルよりも優先順位の高いチャンネルの DMA 要求がなく優先順位の低いチャンネルの DMA 要求が有効な場合、優先順位の低いチャンネルの DMA 転送が開始します。優先順位の高いチャンネルを連続して転送する場合には、DMA 転送条件を連続オペランド転送かノンストップ転送に設定してください。

(2) 連続オペランド転送

DMA 転送条件選択ビット (DSEL) を 01 に設定すると、連続オペランド転送となります。

1 回の DMA 要求で、1 オペランド転送データ数選択ビット (OPSEL) で設定されているデータ数を 1 つの単位 (1 オペランド転送) とし、1DMA 転送終了まで (バイトカウントが 0 になるまで) 転送されます。1 オペランド転送が終了するごとにチャンネル調停が行われ、優先順位の高いチャンネルの DMA 要求がなければ、自動的に現在のチャンネルの転送が継続されます。

DMA 転送条件が連続オペランド転送の場合、DMA 要求の入力センスモードがレベルセンスであっても、バイトカウントが 0 になるまではマスク期間がありません。そのため、転送中のチャンネルよりも優先順位の低いチャンネルの転送が開始されることはありません。

(3) ノンストップ転送

DMA 転送条件選択ビット (DSEL) を 11 に設定すると、ノンストップ転送となります。

1 回の DMA 要求で、1DMA 転送終了まで (バイトカウントが 0 になるまで) 連続的に転送されます。この間、チャンネル調停は行われず、優先順位の高いチャンネルの DMA 要求があっても受け付けられません。

なお、ノンストップ転送時、1 オペランド転送データ数選択ビット (OPSEL) の設定は無効、2 次元アドレッシングは設定禁止となります。

表 11.9 DMA 転送条件一覧

DMA 転送条件選択ビット (DSEL)	DMA 転送条件	備 考
DSEL = 00	単一オペランド転送 <ul style="list-style-type: none"> • 1 回の DMA 要求で 1 オペランド転送データ数 (OPSEL) 分の転送を行う • 1 オペランド転送終了後にチャンネル調停を行う 	
DSEL = 01	連続オペランド転送 <ul style="list-style-type: none"> • 1 回の DMA 要求でバイトカウントが 0 まで、転送を行う • 1 オペランド転送終了ごとにチャンネル調停を行う 	
DSEL = 11	ノンストップ転送 <ul style="list-style-type: none"> • 1 回の DMA 要求でバイトカウントが 0 まで、続けて転送を行う • 転送開始後、チャンネル調停は行われない 	OPSEL ビットは無効 2 次元アドレッシングの設定不可

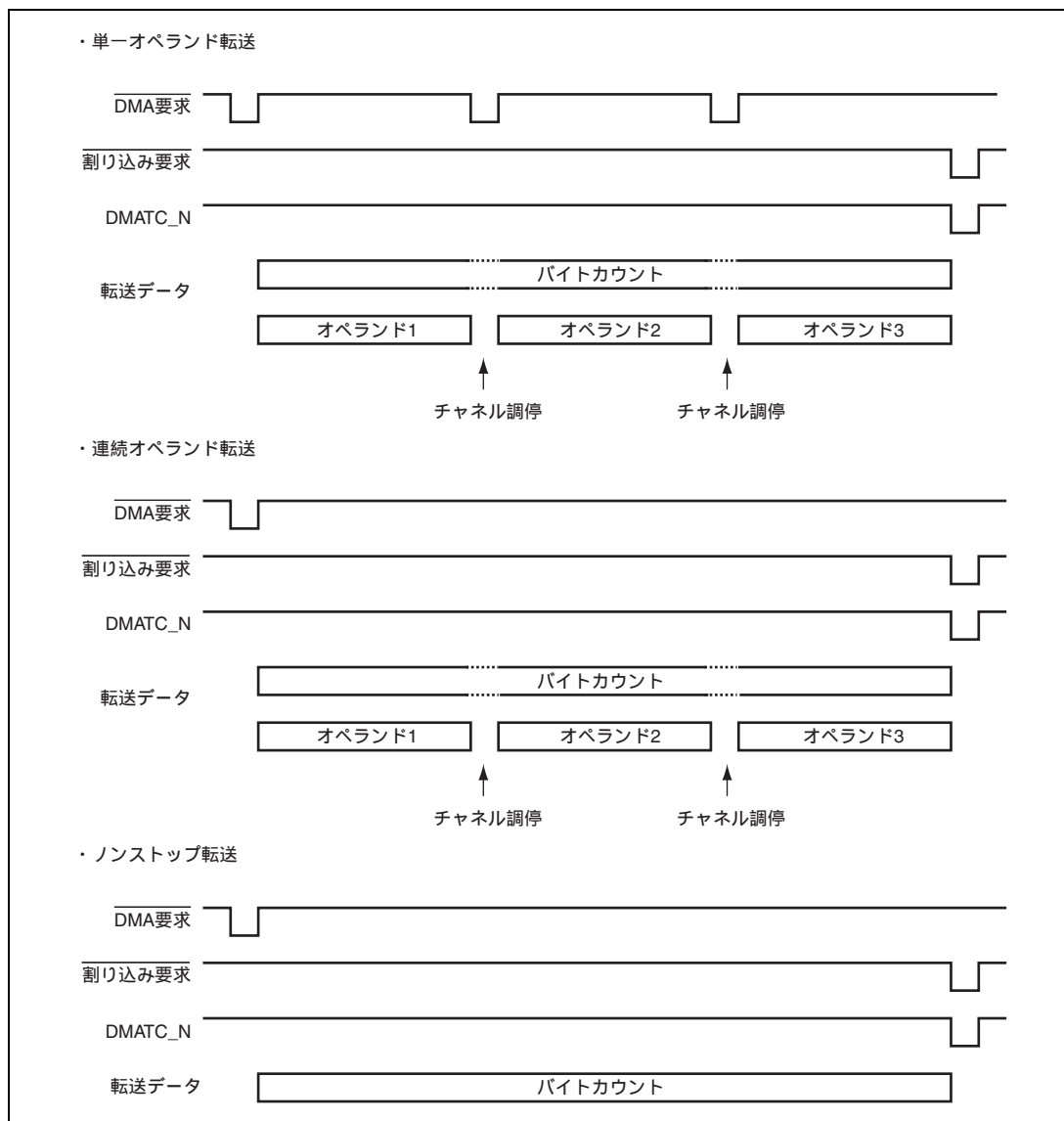


図 11.4 DMA 転送条件

表 11.10 に DMA 転送モードと DMA 転送条件の組み合わせを示します。

表 11.10 DMA 転送モードと DMA 転送条件の組み合わせ

		DMA 転送条件		
		単一オペランド転送 DSEL = 00	連続オペランド転送 DSEL = 01	ノンストップ転送 DSEL = 11
転送 モード	サイクルスチール転送 MDSEL = 00	可 (全 BIU 間)	可 (全 BIU 間)	可 (全 BIU 間)
	パイプライン転送 MDSEL = 01	可 (異なる BIU 間* ²)	可 (異なる BIU 間* ²)	一部可* ¹ (BIU_E を含まず、異なる BIU 間* ²)

【注】 *1 BIU_E へのパイプライン転送モードでのノンストップ転送の設定はできません。

*2 同一 BIU へのパイプライン転送はできません。

11.4.3 DMA の起動

(1) DMAC の初期設定

各レジスタの初期設定は、DMA 転送許可ビットをセット (DEN = 1) する前に行ってください。いったん転送が開始すると、これらの設定は変更できません。

以下に DMAC の初期設定例を示します。

1. DMAモードレジスタ (DMMOD_n)
2. DMA制御レジスタA (DMCNTA_n)
3. DMA制御レジスタB (DMCNTB_n)
4. DMAカレントソースアドレスレジスタ (DMCSADR_n)
5. DMAリロードソースアドレスレジスタ (DMRSADR_n)
 - ... リロード機能使用時
6. DMAカレントデスティネーションアドレスレジスタ (DMCDADR_n)
7. DMAリロードデスティネーションアドレスレジスタ (DMRDADR_n)
 - ... リロード機能使用時
8. DMAカレントバイトカウントレジスタ (DMCBCT_n)
9. DMAリロードバイトカウントレジスタ (DMRBCT_n)
 - ... リロード機能使用時
10. DMA割り込み制御レジスタ (DMICNT)
 - ... 割り込み使用時
11. DMA共用割り込み制御レジスタ (DMICNTA)
 - ... 割り込み使用時

12. DMA制御レジスタB (DMCNTBn) のDMA転送許可ビット (DEN)

13. DMA起動制御レジスタ (DMSCNT)

(2) DMA の起動

各チャンネルのDMA制御レジスタB (DMCNTBn) のDMA転送許可ビット (DEN) を1にセットし、DMA起動制御レジスタ (DMSCNT) のDMACモジュール起動ビット (DMST) を1にセットすることにより、該当チャンネルのDMA転送が可能となります。

DMA転送要求があるとチャンネル間の優先順位判断を行い、優先順位の高いチャンネルのDMA要求が受け付けられ、DMA転送を開始します。

DMA要求の有無はDMA制御レジスタB (DMCNTBn) のDMA要求ビット (DREQ) で参照することができます。

DMA要求が受け付けられDMA転送が開始されると、DMAアービトレーションステータスレジスタ (DMASTS) の対応するチャンネルのDMAアービトレーションステータスビット (DASTS) が1にセットされます。

(3) DMA 起動要因と制約事項

内蔵周辺モジュールからDMAを起動する場合には、転送元や転送先、オペランドサイズ、データサイズ、転送条件、転送モード (パイプライン転送の可否) が固定される場合があります。表 11.11 に各DMA要求要因において選択可能な転送方法を示します。

表 11.11 各DMA要求要因において選択可能な転送方法

要求要因	転送元	転送先	オペランド サイズ (OPSEL)	データ サイズ (SZSEL)	転送条件 (DSEL) * ¹	パイプ ライン転送 (MSEL)
ソフトウェア トリガ	任意	任意	任意	任意	任意	可
DREQ0 端子	任意	任意	任意	任意	任意	可
DREQ1 端子						
DREQ2 端子						
DREQ3 端子						
USB_0	書き込み時: 任意 読み出し時: D0FIFO、 D1FIFO	書き込み時: D0FIFO、 D1FIFO 読み出し時: 任意	* ²	* ²	単一	不可
USB_1						
CMT_0	任意	任意	任意	任意	任意	可
CMT_1						
CMT_2						
CMT_3						

要求要因	転送元	転送先	オペランド サイズ (OPSEL)	データ サイズ (SZSEL)	転送条件 (DSEL) *1	パイプ ライン転送 (MSEL)
MTU2_0	任意	任意	任意	任意	任意	可
MTU2_1						
MTU2_2						
MTU2_3						
MTU2_4						
IIC3_0 受信	ICDRR_0	任意	1	8	単一	不可
IIC3_1 受信	ICDRR_1					
IIC3_2 受信	ICDRR_2					
IIC3_3 受信	ICDRR_3					
IIC3_0 送信	任意	ICDRT_0	1	8	単一	不可
IIC3_1 送信		ICDRT_1				
IIC3_2 送信		ICDRT_2				
IIC3_3 送信		ICDRT_3				
SCIF_0 受信	SCFRDR_0	任意	1	8	単一	不可
SCIF_1 受信	SCFRDR_1					
SCIF_2 受信	SCFRDR_2					
SCIF_3 受信	SCFRDR_3					
SCIF_4 受信	SCFRDR_4					
SCIF_5 受信	SCFRDR_5					
SCIF_0 送信	任意	SDFTDR_0	1	8	単一	不可
SCIF_1 送信		SDFTDR_1				
SCIF_2 送信		SDFTDR_2				
SCIF_3 送信		SDFTDR_3				
SCIF_4 送信		SDFTDR_4				
SCIF_5 送信		SDFTDR_5				
SSIF_0 送受信	受信時: SSIFDR_n (nはチャネル番号) 送信時: 任意	受信時: 任意 送信時: SSIFDR_n (nはチャネル番号)	1、2、4	32	単一	不可
SSIF_1 送受信						
SSIF_2 送受信						
SSIF_3 送受信						
SSIF_4 送受信						
SSIF_5 送受信						
SSU_0 受信	SSRDR0_0 ~ SSRDR3_0	任意	1	8、16	単一	不可
SSU_1 受信	SSRDR0_1 ~ SSRDR3_1					

要求要因	転送元	転送先	オペランド サイズ (OPSEL)	データ サイズ (SZSEL)	転送条件 (DSEL) *1	パイプ ライン転送 (MSEL)
SSU_0 送信	任意	SSTDR0_0 ~ SSTDR3_0	1	8、16	単一	不可
SSU_1 送信		SSTDR0_1 ~ SSTDR3_1				
A/D 変換器	ADDR	任意	1	16	単一	不可
2DG 出力	任意	SE バッファ	任意	16、32	単一、 連続	可
2DG BLT 入力 A	任意	SA バッファ	1 ~ 64			
2DG BLT 入力 B	任意	SB バッファ	1 ~ 64			
2DG BLT 出力 C	DC バッファ	任意	任意			
FLCTL_0 送受信	受信時: FLDTFIFO 送信時: 任意	受信時: 任意 送信時: FLDTFIFO	1、4、32	32	単一	可
FLCTL_1 送受信	受信時: FLECFIFO 送信時: 任意	受信時: 任意 送信時: FLECFIFO				
SDHI 受信	データレジスタ	任意	任意	16	単一	可
SDHI 送信	任意	データレジスタ				
RM0_0	RCAN_0 MB0	任意	1	8、16、32	単一	不可
RM0_1	RCAN_1 MB0	任意				
AESOP 入力	任意	DMADI	1	32	単一	不可
AESOP 出力	DMADO	任意				

【注】 *1 転送条件 (DSEL) 欄の意味は以下のとおりです。

単一: 単一オペランド転送のみ指定可能

単一、連続: 単一オペランド転送または連続オペランド転送を指定可能

任意: 単一オペランド転送、連続オペランド転送、ノンストップ転送のいずれも指定可能

*2 1 データアクセスモード時: オペランドサイズ = 1、データサイズ = 8、16、32

16 バイト連続アクセスモード時: オペランドサイズ * データサイズ = 16 バイトになるように設定

32 バイト連続アクセスモード時: オペランドサイズ * データサイズ = 32 バイトになるように設定

11.5 DMA の終了と割り込み

11.5.1 DMA 転送の終了

DMA カレントバイトカウントレジスタ (DMCBCT_n) の値が、H'000 0000 (全データの転送終了) になった場合、DMA 転送終了条件検出となり、1DMA 転送が終了します。

以下に、DMA 転送終了条件検出により行われる動作を示します。

- DMA転送終了検出

DMA転送終了検出レジスタ (DMEDET) の対応するチャンネルのDMA転送終了条件検出ビット (DEDET) に 1 がセットされます。

- 割り込み要求の発生

DMA割り込み制御レジスタ (DMICNT)、およびDMA共用割り込み制御レジスタ (DMICNTA) の設定により、割り込みコントローラに対する割り込み要求を発生します。

- DMA終了信号の出力

DMAモードレジスタ (DMMOD_n) のDMA終了信号出力制御ビット (DTCM) の設定に合わせて、DMA終了 (DMATC_N) 信号が出力されます。

- DMA転送許可ビット (DEN) のクリア

DMA制御レジスタB (DMCNTB_n) のDMA転送許可クリアビット (ECLR) が 1 にセットされている場合、DMA制御レジスタB (DMCNTB_n) のDENビットは 0 にクリアされ、以降そのチャンネルのDMA転送は行われません。DMA転送許可クリアビット (ECLR) が 0 にクリアされている場合、DENビットはクリアされません。

- ソースアドレスレジスタのリロード

DMA制御レジスタA (DMCNTA_n) のDMAソースアドレスリロード機能有効ビット (SRL0D) が 1 にセットされている場合、DMAリロードソースアドレスレジスタ (DMRSADR_n) の値をDMAカレントソースアドレスレジスタ (DMCSADR_n) にリロードします。

- デスティネーションアドレスレジスタのリロード

DMA制御レジスタA (DMCNTA_n) のDMAデスティネーションアドレスリロード機能有効ビット (DRLOD) が 1 にセットされている場合、DMAリロードデスティネーションアドレスレジスタ (DMRDADR_n) の値をDMAカレントデスティネーションアドレスレジスタ (DMCDADR_n) にリロードします。

- バイトカウントレジスタのリロード

DMA制御レジスタA (DMCNTA_n) のDMAバイトカウントリロード機能有効ビット (BRLOD) が 1 にセットされている場合、DMAリロードバイトカウントレジスタ (DMRBCT_n) の値をDMAカレントバイトカウントレジスタ (DMCBCT_n) にリロードします。

【注】 リロードを行わない場合は、ECLR = 1 に設定して DEN ビットをクリアされるようにしてください。

11.5.2 DMA 割り込み要求

割り込みコントローラに対する割り込み要求信号には、チャンネルごとの割り込み要求信号 (DMINT_n_N, n=0 ~ 13) と、チャンネルごとの割り込み要求を 1 本にまとめた共用割り込み要求信号 (DMINTA_N) の 2 種類あります。

図 11.5 に、チャンネルごとの割り込み要求信号および共用割り込み要求信号生成ブロック図を示します。

DMA 転送が終了すると、DMA 割り込み制御レジスタ (DMICNT) の対応するチャンネルの DMA 割り込み制御ビット (DINTM) に 1 が設定されている場合、対応するチャンネルの割り込み要求が発生します。

また、DMA 共用割り込み制御レジスタ (DMICNTA) の対応するチャンネルの DMA 共用割り込み要求信号制御ビット (DINTA) に 1 が設定されているチャンネルのみが 1 本にまとめられ共用割り込み要求信号として出力されます。

発生した割り込み要求は、対応するチャンネルの DMA 転送終了条件検出ビット (DEDET) に 1 を書き込むことでクリアすることができます。

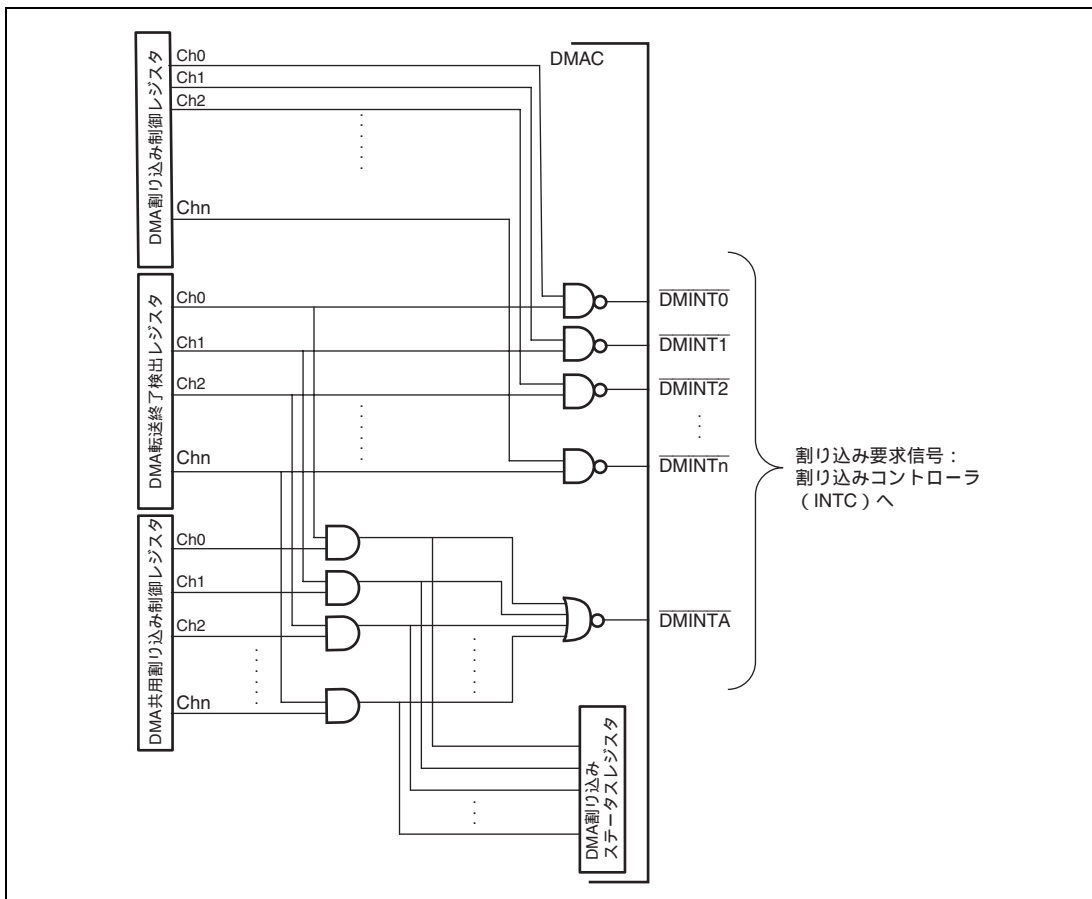


図 11.5 チャンネルごとの割り込み要求信号および共用割り込み要求信号生成ブロック図

11.5.3 DMA 終了信号の出力

(1) LSI 内部信号 (DMATC_N)

DMAC は、DMA カレントバイトカウンタレジスタ (DMCBCTn) に設定したサイズの DMA 転送の終了時に、LSI 内部の DMA 終了信号 (DMATC_N) を出力します。DMATC_N は LSI 内部信号であり、LSI 外部からこの信号をモニタすることはできません。

DMA モードレジスタ (DMMODn) の対応するチャンネルの DMA 終了信号出力制御ビット (DTCM) の設定により、DMATC_N の出力が異なります。

- DTCM = 00を設定した場合、DMA転送が終了してもDMATC_N信号は有効出力されずハイレベルに固定となります。
- DTCM = 01を設定した場合、DMATC_N信号はDMA転送終了直前のリードサイクル (最後の1データ転送のリードサイクル) 時に有効出力されます。
- DTCM = 10を設定した場合、DMATC_N信号はDMA転送終了直前のライトサイクル (最後の1データ転送のライトサイクル) 時に有効出力されます。
- DTCM = 11を設定した場合、DMATC_N信号はDMA転送終了割り込みと同じタイミングで、1クロック分のローパルス信号が出力されます。

図 11.6 に、DMA 終了信号出力タイミングを示します。

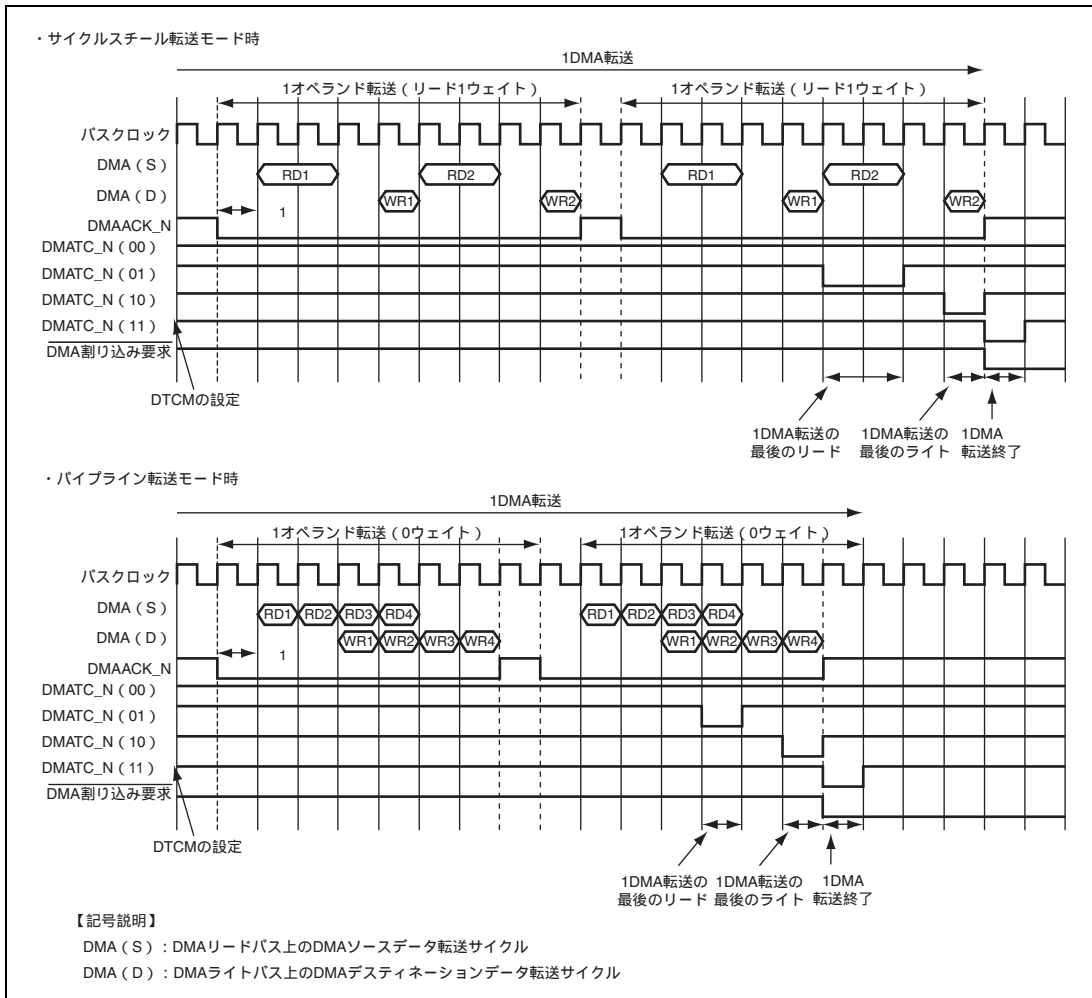


図 11.6 DMA 終了信号出力タイミング

(2) DMA 終了出力信号 (\overline{TENDi} , $i=0\sim 3$)

外部端子からの要求(\overline{DREQi})による DMA 転送の場合で、かつリード先とライト先のいずれかが通常空間($CS0\sim 5$)で、かつ転送モードがサイクルスチール転送の場合、LSI 外部に DMA 終了出力信号 (\overline{TENDi}) を出力することができます。アクセス先が LSI 内部や SDRAM 空間の場合や、転送モードがパイプライン転送の場合、 \overline{TENDi} 信号は出力されません。

- DMAによって通常空間をリードする場合は、DMAモードレジスタ ($DMMODn$) のDMA終了信号出力制御ビット (DTCM) を、最後のリードサイクル時にDMA終了信号出力 (01) に設定してください。最後の1データ転送のDMAリード時に、 \overline{TENDi} が出力されます。 \overline{TENDi} の出力タイミングは、DMAアクティブ信号 (\overline{DACTi}) と同じです(「11.9 DMA アクノリッジ信号出力とDMAアクティブ信号出力」および「第10章 バスステートコントローラ (BSC)」参照)。DTCMを01以外に設定した場合、 \overline{TENDi} は出力されません。

- DMAによって通常空間をライトする場合は、DMMOD_nのDTCMを、最後のライトサイクル時にTC信号出力 (10) に設定してください。最後の1データ転送のDMAライト時に、 \overline{TENDi} が出力されます。 \overline{TENDi} の出力タイミングは、DMAアクティブ信号 (\overline{DACTi}) と同じです (「11.9 DMAアクノリッジ信号出力とDMAアクティブ信号出力」および「第10章 バスステートコントローラ (BSC)」参照)。DTCMを10以外に設定した場合、 \overline{TENDi} は出力されません。

11.6 DMA 転送の一時停止と再開、中止

11.6.1 DMA 転送の一時停止と再開

DMA 起動制御レジスタ (DMSCNT) の DMAC モジュール起動ビット (DMST) を 0 にクリアすることによって、DMAC (全チャネル) を一時停止させることができます。また、対応するチャネルの DMA 制御レジスタ B (DMCNTB_n) の DMA 転送許可ビット (DEN) を 0 にクリアすることによって、該当チャネルを一時停止させることができます。

単一オペランド転送条件、または連続オペランド転送条件で 1 オペランド転送中に、DMST ビット、もしくは DEN ビットが 0 クリアされた場合、各転送モード (サイクルスチール転送モード、パイプライン転送モード) によらず、1 オペランド転送が終了してから一時停止となります。

ノンストップ転送条件で転送中に、DMST ビット、もしくは DEN ビットが 0 クリアされた場合、一時停止状態にはならず、DMA 転送終了まで (バイトカウント 0 まで) 転送を行います。

一時停止したチャネルの再開は、クリアした DMST ビット、DEN ビットを 1 にセットすることで、DMA 転送動作を再開します。

11.6.2 各チャネルの DMA 転送の中止

各チャネルの中止は、一時停止させた状態で中止したいチャネルの DMA 制御レジスタ B (DMCNTB_n) の DMAC 内部状態クリアビット (DSCLR) に 1 を書き込むことで DMAC 内部を初期化し中止します。この場合、初期化されるのは、DMAC 内部回路の転送ステータスのみで、各レジスタについては初期化されません。

11.7 DMA 要求

11.7.1 DMA 要求要因

DMA 要求要因には、ソフトウェアトリガによる要因と DMA 要求信号入力による要因があります。DMA 要求要因は、各チャネルの DMA 制御レジスタ A (DMCNTAn) の DMA 要求要因選択ビット (DCTG) で選択します。

11.7.2 DMA 要求信号入力の同期回路

DMAC の各チャネルには、非同期に入力された DMA 要求信号入力に対応するために同期回路が設けてあります。したがって、DREQ0~3 などの DMA 要求信号入力が有効になってから、実際に DMA 制御レジスタ B (DMCNTBn) の DMA 要求ビット (DREQ) に反映されるまでに数クロックのブランク期間が生じます。

図 11.7 に DMA 要求信号入力に対する DMA 要求ビットタイミング例を示します。

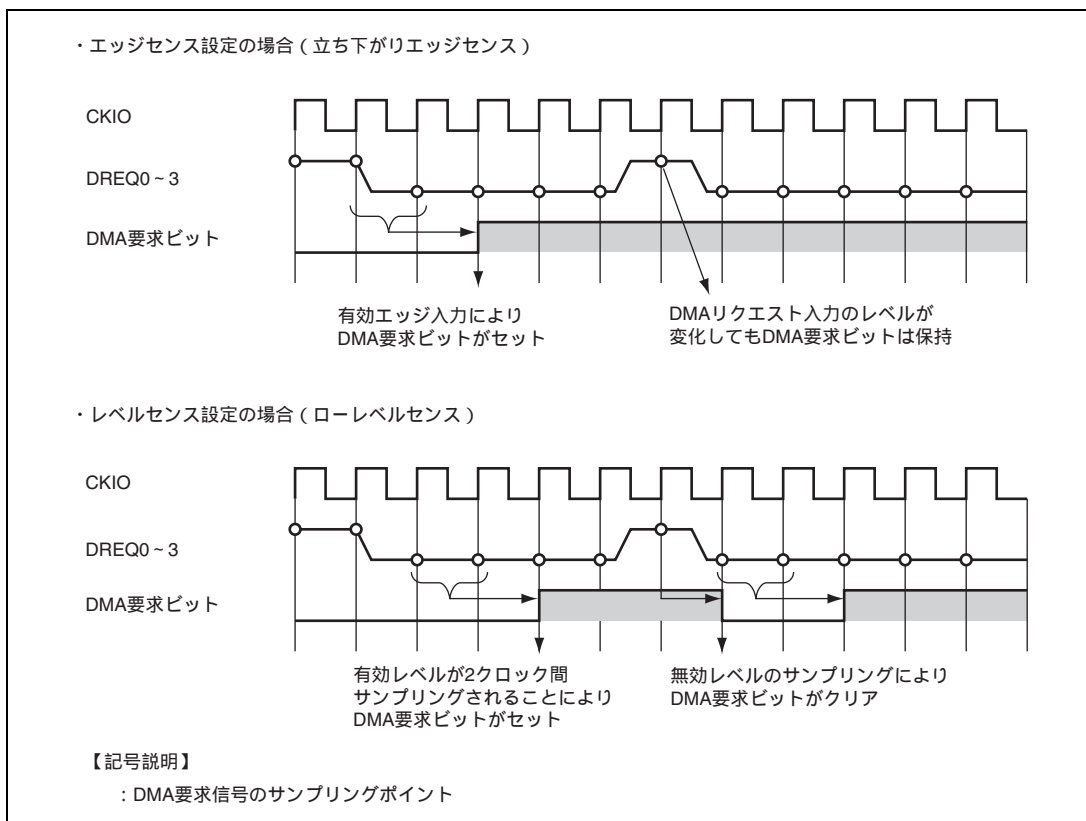


図 11.7 DMA 要求信号入力に対する DMA 要求ビットタイミング例

11.7.3 DMA 要求のセンスモード

DMA 要求要因選択ビット (DCTG) で DREQ0~3 端子 (DCTG = 000001 ~ 000100) を選択した場合、DMA 制御レジスタ A (DMCNTAn) の入力センスモード選択ビット (STRG) によって、レベルセンス (01、11) またはエッジセンス (00、10) を選択できます。

なお、要求要因でソフトウェアトリガ (DCTG = 000000) を選択している場合は、立ち上がりエッジセンス (00) を選択してください。内蔵周辺モジュールからの DMA 要求 (DCTG = 000101 ~ 111001) を選択している場合は、表 11.8 に記載しているセンスモードに設定してください。

次にレベルセンスとエッジセンスについて説明します。

(1) レベルセンス

レベルセンス選択 (STRG = 01 または 11) の時は、DMA 要求信号のレベルにより、DMA 要求の有無を判断します。DMA 要求は DMAC 内部では保持されないため、DMA 要求が受け付けられたことを確認するまで、DMA 要求信号のレベルを保持してください。

図 11.8 にレベルセンス時の DMA 要求受け付け処理例を示します。

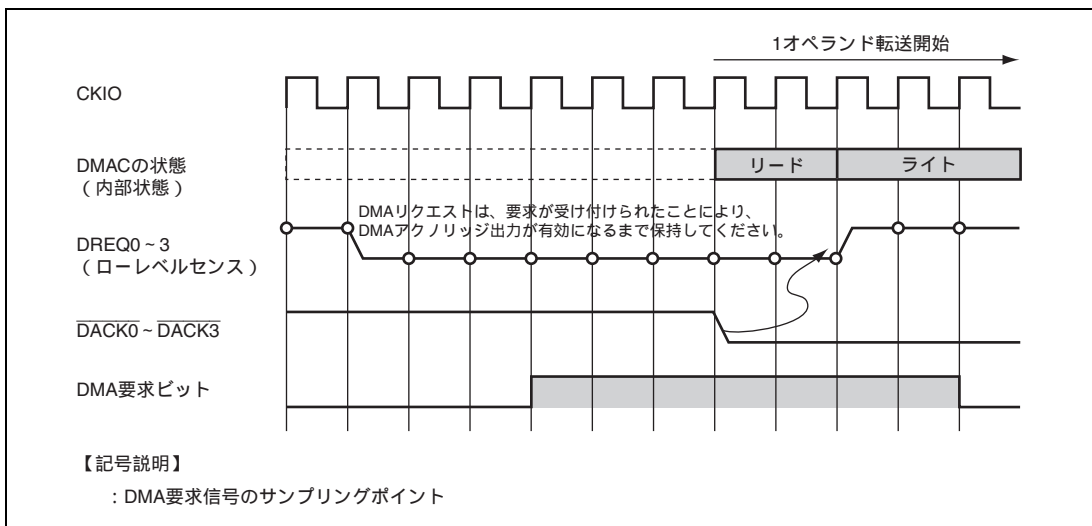


図 11.8 レベルセンス時の DMA 要求受け付け処理例

レベルセンスモードを選択している場合、DMA 要求信号の要求取り下げ期間に余裕をもたせるため、1 オペランド転送の最後のライトアクセス開始から 1 オペランド転送終了後 2 クロックサイクルの間、そのチャンネルの DMA 要求信号はマスクされます。

図 11.9 にレベルセンス時の DMA 要求信号マスク期間を示します。

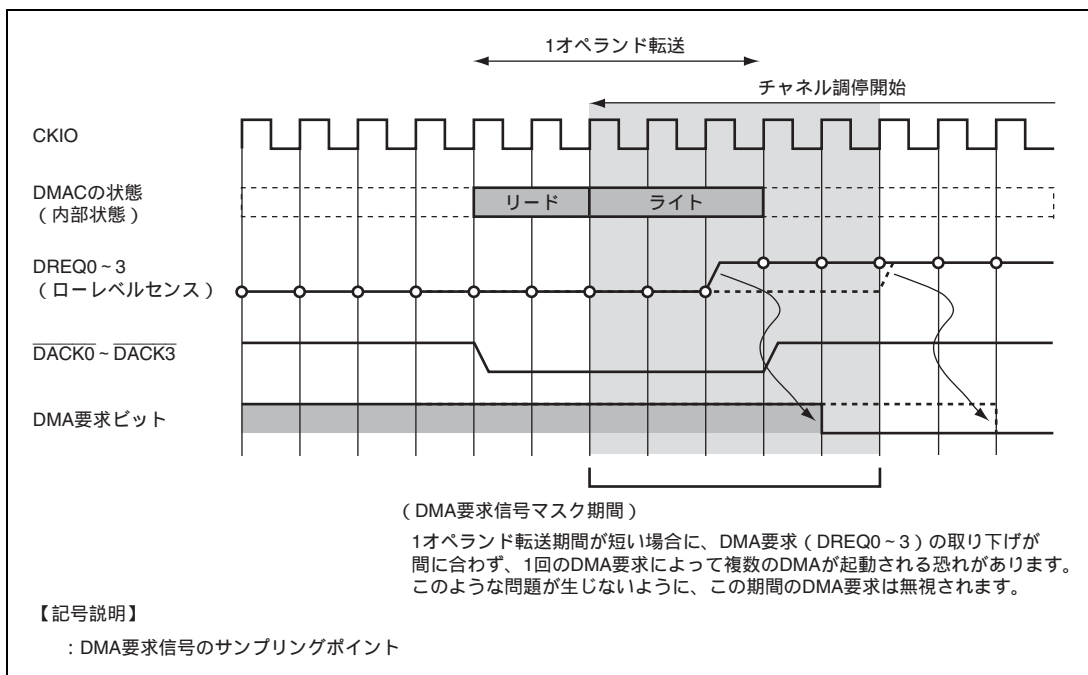


図 11.9 レベルセンス時の DMA 要求信号マスク期間

したがって、レベルセンス選択されているチャンネルにおいて、DMA 要求が受け付けられた後にそのまま DMA 要求信号のレベルを保持した (DMA 転送を要求し続けた) 場合でも、DMA 要求信号マスク期間中は DMA 要求がないものと判断されるため、他チャンネルの DMA 要求があればそちらが受け付けられます。

ただし、連続オペランド転送の場合、バイトカウント 0 時のオペランド転送終了時点でのみ本マスク期間が有効となります。バイトカウント 0 以外でのオペランド転送終了時点では、DMA 要求はマスクされずにチャンネル調停が行われます。また、ノンストップ転送の場合は、バイトカウント 0 での DMA 転送終了時点で本マスク期間が有効となります。

なお、連続して DMA 転送を行わない場合は、1 オペランド転送終了後 3 サイクル以内に DMA 要求を取り下げる必要があります。

(2) エッジセンス

エッジセンス選択 (STRG = 00 または 10) の時は、DMA 要求信号の立ち上がり / 立ち下がり遷移を DMA 要求として認識します。

有効エッジを検出すると DMA 制御レジスタ B (DMCNTBn) の DMA 要求ビット (DREQ) が 1 にセットされます。その後、DMA 要求信号の入力レベルが変化しても、DMA 要求ビット (DREQ) の値は保持されています。DMA 要求が受け付けられ、DMA アクノリッジ信号が有効出力されると、DMA 要求ビット (DREQ) は自動的に 0 クリアされます。

このように、エッジセンスモードの DMA 要求の保持は DMA 要求ビット (DREQ) で行っていますので、DMA 要求ビット (DREQ) が 1 にセットされている状態での、新たな DMA 要求信号によるエッジは無視されます。図 11.10 にエッジセンス時の DMA 受け付け処理例を示します。

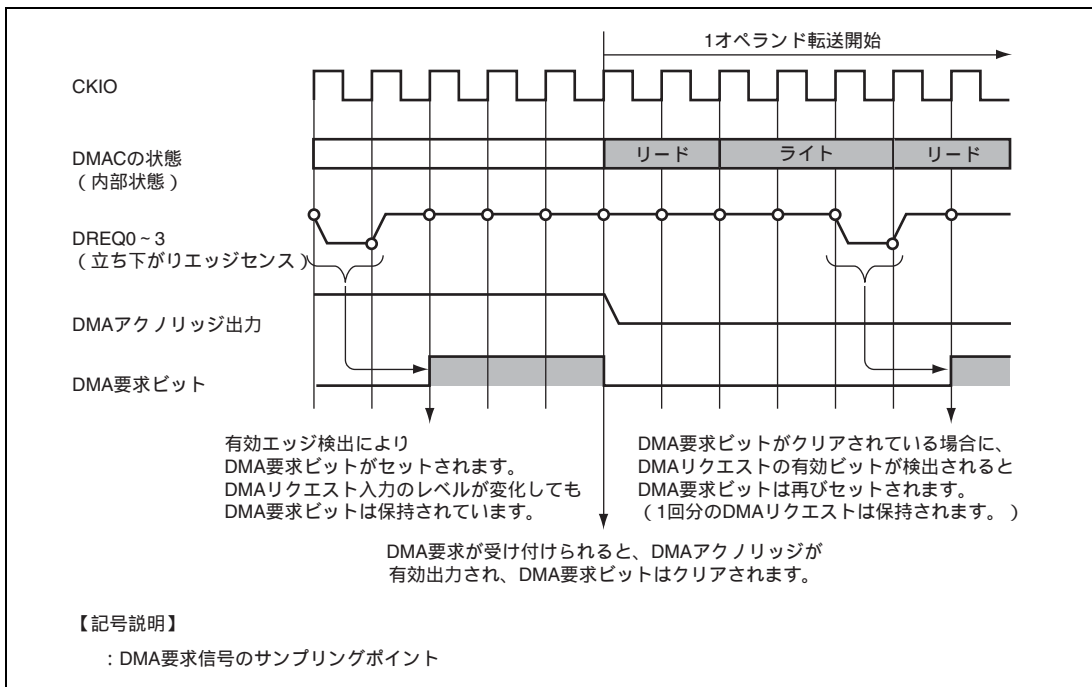


図 11.10 エッジセンス時の DMA 要求受け付け処理例

11.8 DMA チャンネルの優先順位判断

11.8.1 チャンネル優先順位

チャンネル間の優先順位はチャンネル0が最優先で、以下、
チャンネル0 > チャンネル1 > チャンネル2 > ... > チャンネル12 > チャンネル13
の順で固定です。

11.8.2 多重 DMA 要求時の動作

DMAC は、1 オペランド転送ごとに優先順位判断を行います。

あるチャンネルの転送中に優先順位の高いチャンネルの DMA 要求が発生した場合、実行中のチャンネルのオペランド転送が終了した後に、優先順位の高いチャンネルの転送が開始します。図 11.11 に多重 DMA 要求時の概略動作例を示します。図 11.11 中の太線は、DMA 要求信号がローレベル期間 (チャンネル0 (ch0)、チャンネル2 (ch2)、チャンネル3 (ch3) はレベルセンス、チャンネル1 (ch1) はエッジセンスの設定) を表します。

1. チャンネル2はマスク期間になるためDMA要求がないものとみなされ、チャンネル3の転送が開始します。
2. 優先順位が一番高いチャンネル0の転送が開始します。
3. 優先順位が一番高いチャンネル2の転送が再開します。
4. 他の要求がないため、チャンネル3の転送が開始します。
5. チャンネル0、チャンネル1、チャンネル3のDMA要求が同時に発生した場合、最も優先順位が高いチャンネル0の転送が開始します。
6. チャンネル0の転送が終了すると、次に優先順位が高いチャンネル1の転送が開始します。
7. チャンネル1のDMA転送中にチャンネル1のDMA要求 (ローレベルまたはハイレベルの要求エッジ) があると、チャンネル1の転送終了後再度チャンネル1の転送が開始します。エッジセンス設定の場合、マスク期間はありません。
8. チャンネル1の転送が終了すると、他の要求がないため、チャンネル3の転送が開始します。
9. チャンネル3のマスク期間中、ほかに要求がないため転送は開始されず、マスク期間終了後チャンネル3の転送が開始します。

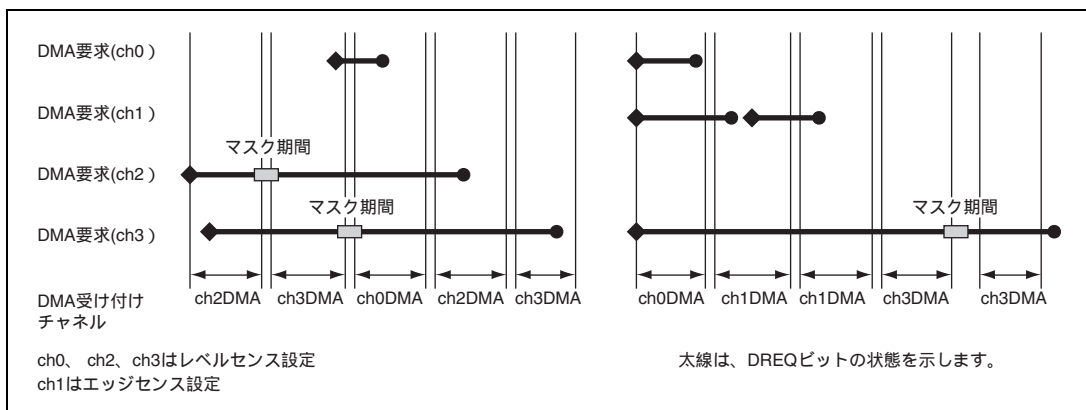


図 11.11 多重 DMA 要求時の概略動作例

11.9 DMA アクノリッジ信号出力と DMA アクティブ信号出力

(1) LSI 内部信号

DMAC は、DMA 要求の受け付けや、DMA 転送の実行時に、DMA アクノリッジ信号 (DMAACK_N) やソース用 / デスティネーション用 DMA アクティブ信号 (DMAACTS_N/DMAACTD_N) を出力します。これらの信号は LSI 内部信号であり、LSI 外部からこの信号をモニタすることはできません。DMA 転送を要求した内蔵周辺モジュールは、これらの信号をモニタすることによって、DMA 転送要求が受け付けられたことや、DMA 転送が実行されたことを認識します。

- DMA アクティブ信号

DMAACTS_N と DMAACTD_N は、DMA モードレジスタの対応するチャンネルのソース用 / デスティネーション用 DMA アクティブ信号出力制御ビット (SACT/DACT) の設定により出力が異なります。

SACT = 1 を設定した場合、DMAACTS_N 信号はリードアクセス時に有効出力されます。

DACT = 1 を設定した場合、DMAACTD_N 信号はライトアクセス時に有効出力されます。

- DMA アクノリッジ信号

DMAACK_N は、1 オペランド転送の開始から終了まで出力されます。

図 11.12 に、DMA アクノリッジ信号と DMA アクティブ信号の出力タイミングを示します。

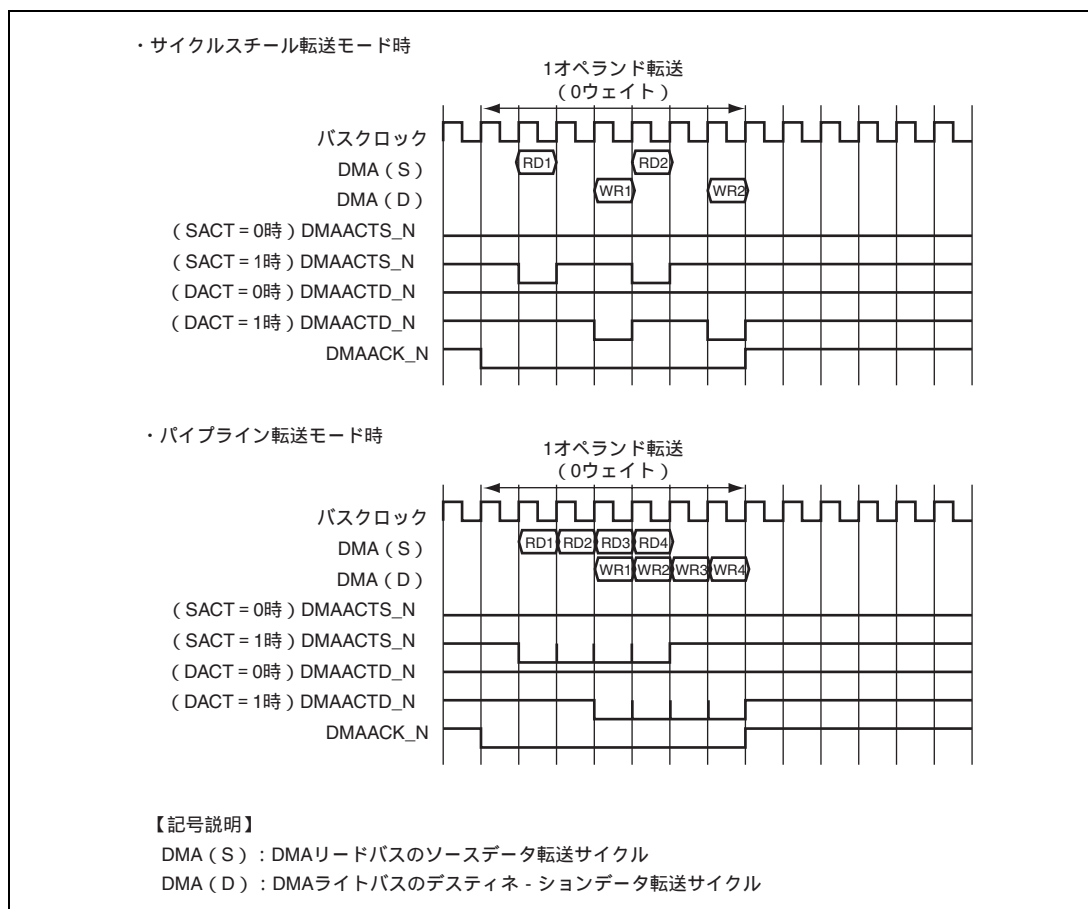


図 11.12 DMA アクノリッジ信号と DMA アクティブ信号の出力タイミング

(2) DMA アクティブ出力信号 (\overline{DACTi} , $i=0\sim 3$)

外部端子からの要求(DREQ_i)による DMA 転送の場合で、かつリード先とライト先のいずれかが通常空間(CS0~5)の場合、LSI 外部に DMA アクティブ出力信号 (\overline{DACTi}) を出力することができます。アクセス先が LSI 内部や SDRAM 空間の場合、 \overline{DACTi} 信号は出力されません。

- DMAによって通常空間をリードする場合は、DMAモードレジスタ(DMMOD_n)のソース用DMAアクティブ信号出力制御ビット(SACT)に1を設定してください。DMAリード時に、 \overline{DACTi} が出力されます。 \overline{DACTi} の出力タイミングは、「第10章 バスステートコントローラ(BSC)」を参照してください。SACTに0を設定した場合、DMAリード時に \overline{DACTi} は出力されません。
- DMAによって通常空間をライトする場合は、DMMOD_nのデスティネーション用DMAアクティブ信号出力制御ビット(DACT)に1を設定してください。DMAライト時に、 \overline{DACTi} が出力されます。「第10章 バスステートコントローラ(BSC)」を参照してください。DACTに0を設定した場合、DMAライト時に \overline{DACTi} は出力されません。
- 通常空間から通常空間へのDMA転送において、SACTとDACTの両方に1を設定した場合は、DMAリードとDMAライトの両方で \overline{DACTi} が出力されます。

(3) DMA アクノリッジ出力信号 (\overline{DACKi} , $i=0\sim 3$)

外部端子からの要求(DREQ_i)による DMA 転送の場合、DMA アクノリッジ出力信号 (\overline{DACKi}) が出力されます。 \overline{DACKi} は、LSI 内部の DMA アクノリッジ信号である DMAACK_N と同じタイミングで出力されます。

【注】 \overline{DACKi} 信号は、LSI 内部における DMA の動作タイミングを示しています。一方で通常空間や SDRAM 空間に対して DMA ライトを行った場合、LSI 外部で観測される DMA ライトアクセスは、LSI 内部の DMA ライトアクセスに比べて何サイクルが遅れることがあります。この場合、 \overline{DACKi} がネゲートされた後で、LSI 外部で DMA ライトアクセスが観測されることがあります。

11.10 転送単位と転送バイト位置

1 データ転送のビットサイズ (転送データサイズ) は、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) に設定可能です。

図 11.13 に、32 ビットバス幅の場合の DMA データバイトコントロール例を示します。

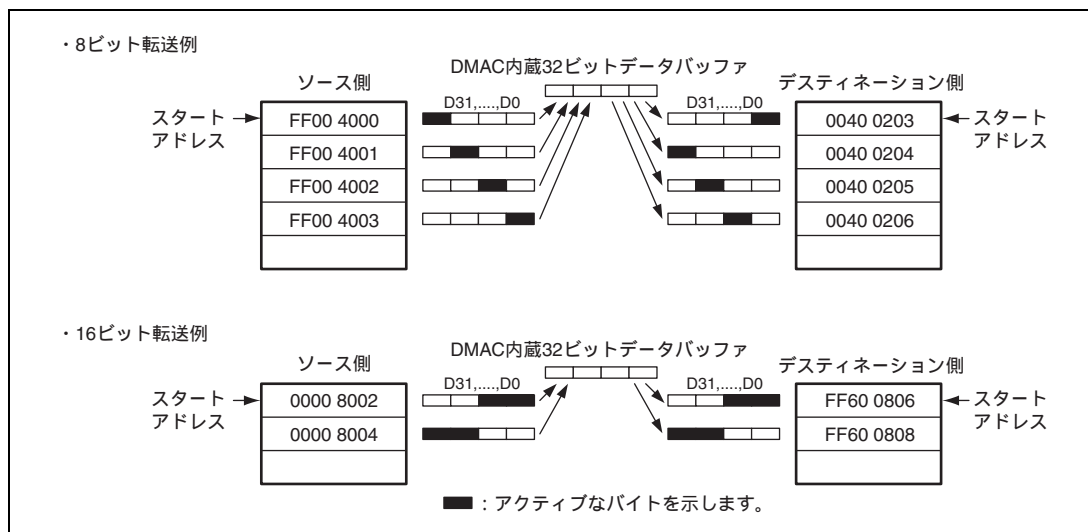


図 11.13 32 ビットバス幅の場合の DMA データバイトコントロール例

11.11 リロード機能

リロード機能の設定は、チャンネルおよび転送パラメータ（ソースアドレス、デスティネーションアドレス、バイトカウント）ごとに、DMA 制御レジスタ A (DMCNTAn) の各リロード機能有効ビットをセットすることにより行います。

また、2次元機能搭載チャンネルについては、2次元関連のレジスタ6本（2次元列設定、2次元行設定、2次元ブロック設定、2次元次行オフセット、2次元次ブロックオフセット、2次元次ラインオフセット）に対して、DMA 制御レジスタ A (DMCNTAn) の2次元リロード機能有効ビット（2DRLOD）をセットすることにより行います。

DMA 転送終了条件を検出した場合、DMA 転送パラメータを自動的にリロードします。

(1) リロードレジスタとカレントレジスタ

リロード機能を使用しない場合、カレントレジスタにデータを設定してください。リロード機能を使用する場合、リロードレジスタとカレントレジスタの両方にデータを設定してください。

なお、1オペランド転送中にカレントレジスタに書き込みを行わないでください。書き込みを行った場合の動作は保証されません。リロードレジスタについては、1オペランド転送途中でも設定可能ですが、DMA 転送終了となる最後のオペランド転送の開始までには設定してください。最後のオペランド転送開始後に設定した場合、DMA 転送終了後のリロード時に間に合わない場合があります。

(2) 離散配置された領域への連続転送

リロード機能を使用すると、離散配置された領域への連続転送が可能です。転送が終了する前に DMA リロードソース/デスティネーションアドレスレジスタ (DMRSADRn/DMRDADRn) や DMA リロードバイトカウントレジスタ (DMRBCn) に値を書き込むことによって、実行中の DMA 転送 (カレントレジスタ) に影響を及ぼすことなく次の転送パラメータの準備ができます。したがって、転送領域やバイト数の異なる複数の転送ブロックを同一チャンネルで連続的に転送することができます。

図 11.14 にリロード機能を用いた離散配置されたブロックの転送例を示します。

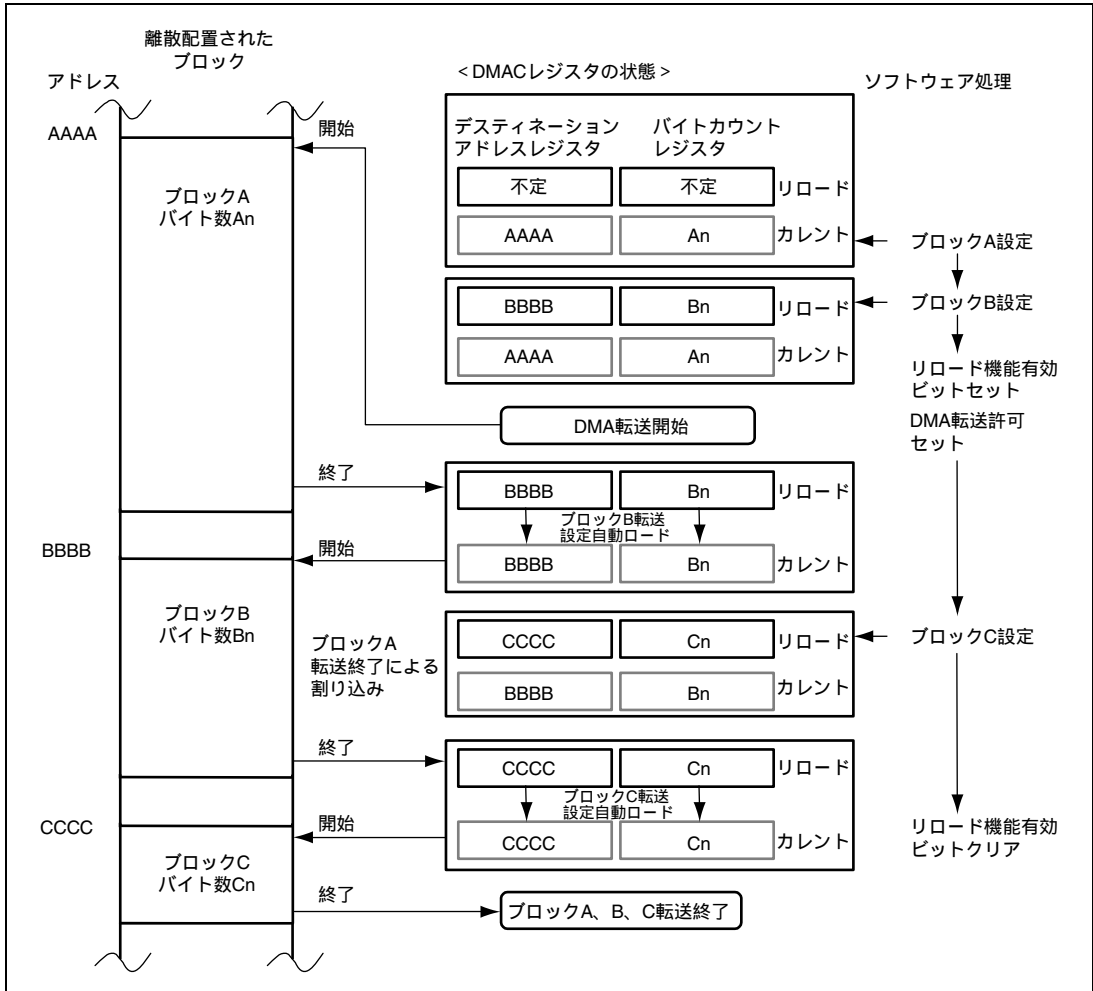


図 11.14 リロード機能を用いた離散配置されたブロックの転送例

11.12 ローテート機能

アドレッシングモードでローテートを選択した場合、アドレスはインクリメントされます。1 オペランド転送終了後、ローテート設定された方のワークソースアドレスレジスタまたはワークデスティネーションアドレスレジスタの内容は、DMA 転送開始時に設定された DMA カレントソースアドレスレジスタ (DMCSADRn) または DMA カレントデスティネーションアドレスレジスタ (DMCDADRn) の値となります。

図 11.15 に、ローテートを用いた転送例 (ソース : ローテート、デスティネーション、インクリメント) を示します。

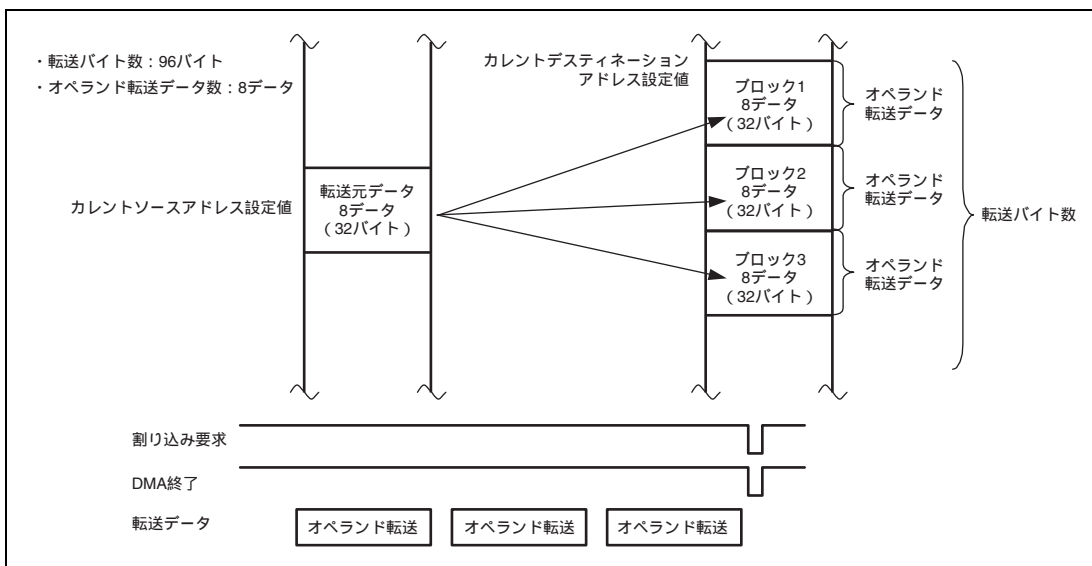


図 11.15 ローテートを用いた転送例 (ソース : ローテート、デスティネーション : インクリメント)

11.13 使用上の注意事項

11.13.1 ソフトウェアスタンバイモードまたはディープスタンバイモード遷移時の注意事項

DMAC が転送中に、ソフトウェアスタンバイモードまたはディープスタンバイモードへ遷移するための SLEEP 命令を実行すると、転送の終了を待たずに DMAC が停止するため、DMA 転送が保証されません。したがって、ソフトウェアスタンバイモードまたはディープスタンバイモードに遷移するときは、DMA 転送の終了を待つか、もしくは DMA 転送を停止してから SLEEP 命令を実行してください。また、PLL の通倍率を変更する場合も、事前に DMA 転送を停止させてください。

12. マルチファンクションタイマパルスユニット 2 (MTU2)

本 LSI は、5 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 (MTU2) を内蔵しています。

12.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相の PWM 出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 28種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種 (チョッピング、レベル) の波形出力が選択可能
- 相補PWMモード時、カウンタの山 / 谷での割り込み、およびA/D変換器の変換スタートトリガを間引くことが可能

表 12.1 MTU2 の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
カウントクロック	P / 1 P / 4 P / 16 P / 64 TCLKA TCLKB TCLKC TCLKD	P / 1 P / 4 P / 16 P / 64 P / 256 TCLKA TCLKB	P / 1 P / 4 P / 16 P / 64 P / 1024 TCLKA TCLKB TCLKC	P / 1 P / 4 P / 16 P / 64 P / 256 P / 1024 TCLKA TCLKB	P / 1 P / 4 P / 16 P / 64 P / 256 P / 1024 TCLKA TCLKB
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0 TGRF_0	-	-	TGRC_3 TGRD_3	TGRC_4 TGRD_4
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力				
	1 出力				
	トグル出力				
インプットキャプチャ機能					
同期動作					
PWM モード 1					
PWM モード 2				-	-
相補 PWM モード	-	-	-		
リセット PWM モード	-	-	-		
AC 同期モータ駆動モード		-	-		
位相計数モード	-			-	-
バッファ動作		-	-		

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
DMAC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャと TCNT オーバフロー/ アンダフロー
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ TGRE_0 の コンペアマッチ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ 相補 PWM モード時 TCNT_4 の アンダフロー (谷)
割り込み要因	7 要因 <ul style="list-style-type: none"> • コンペアマッ チ/インプッ トキャプチャ 0A • コンペアマッ チ/インプッ トキャプチャ 0B • コンペアマッ チ/インプッ トキャプチャ 0C • コンペアマッ チ/インプッ トキャプチャ 0D • コンペアマッ チ 0E • コンペアマッ チ 0F • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッ チ/インプッ トキャプチャ 1A • コンペアマッ チ/インプッ トキャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッ チ/インプッ トキャプチャ 2A • コンペアマッ チ/インプッ トキャプチャ 2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッ チ/インプッ トキャプチャ 3A • コンペアマッ チ/インプッ トキャプチャ 3B • コンペアマッ チ/インプッ トキャプチャ 3C • コンペアマッ チ/インプッ トキャプチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッ チ/インプッ トキャプチャ 4A • コンペアマッ チ/インプッ トキャプチャ 4B • コンペアマッ チ/インプッ トキャプチャ 4C • コンペアマッ チ/インプッ トキャプチャ 4D • オーバフロー /アンダフロー

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
A/D 変換開始要求 ディレイド機能	-	-	-	-	<ul style="list-style-type: none"> • TADCORA_4 と TCNT_4 の一致で、A/D 変換開始要求 • TADCORB_4 と TCNT_4 の一致で、A/D 変換開始要求
割り込み間引き機能	-	-	-	• TGRA_3 のコンペアマッチ割り込みを間引き	• TCIV_4 割り込みを間引き

【記号説明】

: 可能

- : 不可

図 12.1 に MTU2 のブロック図を示します。

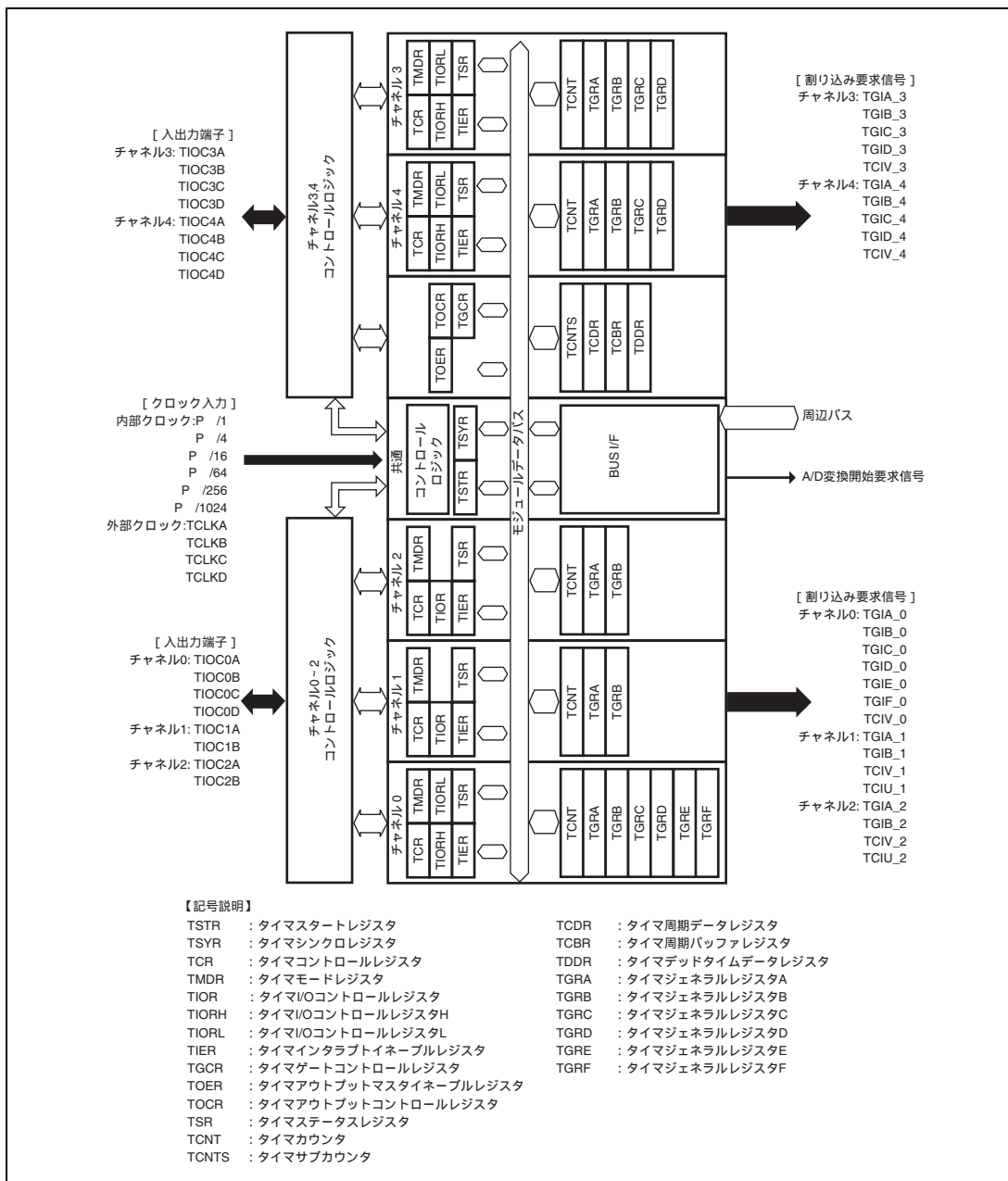


図 12.1 MTU2 のブロック図

12.2 入出力端子

表 12.2 端子構成

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

【注】 相補 PWM モードの端子構成は、表 12.54 を参照してください。

12.3 レジスタの説明

MTU2 には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 35 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 0 の TCR は TCR_0 と表記してあります。

表 12.3 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFFE2300	8
	タイマモードレジスタ_0	TMDR_0	R/W	H'00	H'FFFE2301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FFFE2302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FFFE2303	8
	タイマインタラプトイネーブル レジスタ_0	TIER_0	R/W	H'00	H'FFFE2304	8
	タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FFFE2305	8
	タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FFFE2306	16
	タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FFFE2308	16
	タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FFFE230A	16
	タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FFFE230C	16
	タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FFFE230E	16
	タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FFFE2320	16
	タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FFFE2322	16
	タイマインタラプトイネーブル レジスタ 2_0	TIER2_0	R/W	H'00	H'FFFE2324	8
	タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FFFE2325	8
	タイマパルファ動作転送モード レジスタ_0	TBTM_0	R/W	H'00	H'FFFE2326	8
1	タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFFE2380	8
	タイマモードレジスタ_1	TMDR_1	R/W	H'00	H'FFFE2381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	R/W	H'00	H'FFFE2382	8
	タイマインタラプトイネーブル レジスタ_1	TIER_1	R/W	H'00	H'FFFE2384	8
	タイマステータスレジスタ_1	TSR_1	R/W	H'C0	H'FFFE2385	8
	タイマカウンタ_1	TCNT_1	R/W	H'0000	H'FFFE2386	16
	タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FFFE2388	16
	タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FFFE238A	16
	タイマインプットキャプチャ コントロールレジスタ	TICCR	R/W	H'00	H'FFFE2390	8

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FFFE2000	8
	タイマモードレジスタ_2	TMDR_2	R/W	H'00	H'FFFE2001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	R/W	H'00	H'FFFE2002	8
	タイマインタラプトイネーブル レジスタ_2	TIER_2	R/W	H'00	H'FFFE2004	8
	タイマステータスレジスタ_2	TSR_2	R/W	H'00	H'FFFE2005	8
	タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FFFE2006	16
	タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FFFE2008	16
	タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FFFE200A	16
3	タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FFFE2200	8
	タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FFFE2202	8
	タイマ I/O コントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FFFE2204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FFFE2205	8
	タイマインタラプトイネーブル レジスタ_3	TIER_3	R/W	H'00	H'FFFE2208	8
	タイマステータスレジスタ_3	TSR_3	R/W	H'00	H'FFFE222C	8
	タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FFFE2210	16
	タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FFFE2218	16
	タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FFFE221A	16
	タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FFFE2224	16
	タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FFFE2226	16
	タイマパルファ動作転送モード レジスタ_3	TBTM_3	R/W	H'00	H'FFFE2238	8
4	タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FFFE2201	8
	タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FFFE2203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FFFE2206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FFFE2207	8
	タイマインタラプトイネーブル レジスタ_4	TIER_4	R/W	H'00	H'FFFE2209	8
	タイマステータスレジスタ_4	TSR_4	R/W	H'00	H'FFFE222D	8
	タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FFFE2212	16
	タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FFFE221C	16
	タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FFFE221E	16
	タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FFFE2228	16
	タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FFFE222A	16
	タイマパルファ動作転送モード レジスタ_4	TBTM_4	R/W	H'00	H'FFFE2239	8

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
4	タイマ A/D 変換開始要求コントロール レジスタ	TADCR	R/W	H'0000	H'FFFE2240	16
	タイマ A/D 変換開始要求周期設定 レジスタ A_4	TADCORA_4	R/W	H'FFFF	H'FFFE2244	16
	タイマ A/D 変換開始要求周期設定 レジスタ B_4	TADCORB_4	R/W	H'FFFF	H'FFFE2246	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	R/W	H'FFFF	H'FFFE2248	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	R/W	H'FFFF	H'FFFE224A	16
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFE2280	8
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFE2281	8
	タイマリードライトイネーブル レジスタ	TRWER	R/W	H'01	H'FFFE2284	8
3/4 共通	タイマアウトプットマスタイネーブル レジスタ	TOER	R/W	H'C0	H'FFFE220A	8
	タイマアウトプットコントロール レジスタ 1	TOCR1	R/W	H'00	H'FFFE220E	8
	タイマアウトプットコントロール レジスタ 2	TOCR2	R/W	H'00	H'FFFE220F	8
	タイマゲートコントロールレジスタ	TGCR	R/W	H80	H'FFFE220D	8
	タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FFFE2214	16
	タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFE2216	16
	タイマサブカウンタ	TCNTS	R	H'0000	H'FFFE2220	16
	タイマ周期バッファレジスタ	TCBR	R/W	H'FFFF	H'FFFE2222	16
	タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FFFE2230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FFFE2231	8
	タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FFFE2232	8
	タイマデッドタイムイネーブル レジスタ	TDER	R/W	H'01	H'FFFE2234	8
	タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FFFE2260	8
	タイマアウトプットレベルバッファ レジスタ	TOLBR	R/W	H'00	H'FFFE2236	8

12.3.1 タイマコントロールレジスタ (TCR)

TCR は、各チャンネルの TCNT を制御する 8 ビットの読み出し/書き込み可能なレジスタです。MTU2 には、チャンネル 0~4 に各 1 本、計 5 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	CCLR[2:0]	000	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 12.4、表 12.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: P / 4 の両エッジ = P / 2 の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが P / 4 もしくはそれより遅い場合に有効です。入力クロックに P / 1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合、値は書き込みませんが、動作は初期値となります。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント
2~0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 12.6 ~ 表 12.9 を参照してください。

【記号説明】 x : Don't care

表 12.4 CCLR2~CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 12.5 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込みは無効です。

表 12.6 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 12.7 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : P /256 でカウント
	1	1	1	TCNT_2 のオーバフロー / アンダフローでカウント

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

表 12.8 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : P /1024 でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

表 12.9 TPSC2~TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	内部クロック : P /256 でカウント
	1	0	1	内部クロック : P /1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

12.3.2 タイマモードレジスタ (TMDR)

TMDR は、8 ビットの読み出し/書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。MTU2 には、チャンネル 0~4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BFE	0	R/W	バッファ動作 E TGRE_0 と TGRF_0 を通常動作またはバッファ動作させるかどうかを選択します。 TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。 チャンネル 1、2、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGRE_0 と TGRF_0 は通常動作 1 : TGRE_0 と TGRF_0 はバッファ動作

ビット	ビット名	初期値	R/W	説 明
5	BFB	0	R/W	<p>バッファ動作 B</p> <p>TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ / アウトプットコンペアは発生しません。</p> <p>TGRD を持たないチャンネル 1, 2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRB と TGRD は通常動作 1 : TGRB と TGRD はバッファ動作</p>
4	BFA	0	R/W	<p>バッファ動作 A</p> <p>TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、チャンネル 4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGFC がセットされますので、タイムインタラプトイネーブルレジスタ_4 (TIER_4) の TGIEC ビットは 0 にしてください。</p> <p>TGRC を持たないチャンネル 1, 2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作</p>
3~0	MD[3:0]	0000	R/W	<p>モード 3~0</p> <p>MD3 ~ MD0 はタイマの動作モードを設定します。</p> <p>詳細は表 12.10 を参照してください。</p>

表 12.10 MD3~MD0 ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2* ¹
0	1	0	0	位相計数モード 1* ²
0	1	0	1	位相計数モード 2* ²
0	1	1	0	位相計数モード 3* ²
0	1	1	1	位相計数モード 4* ²
1	0	0	0	リセット同期 PWM モード* ³
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送)* ³
1	1	1	0	相補 PWM モード 2 (谷で転送)* ³
1	1	1	1	相補 PWM モード 3 (山・谷で転送)* ³

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

12.3.3 タイマ I/O コントロールレジスタ (TIOR)

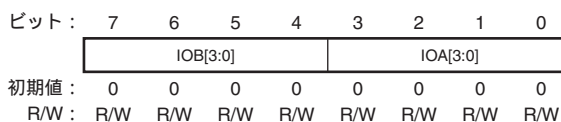
TIOR は、TGR を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。MTU2 には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、計 8 本の TIOR があります。

TIOR は TMDR の設定が、通常動作、PWM モード、位相係数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

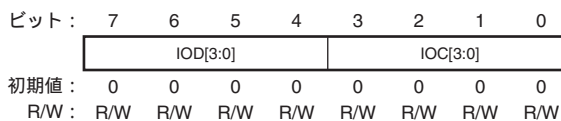
TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4



ビット	ビット名	初期値	R/W	説明
7~4	IOB[3:0]	0000	R/W	I/O コントロール B3 ~ B0 IOB3 ~ IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 12.11 TIOR_1 : 表 12.13 TIOR_2 : 表 12.14 TIORH_3 : 表 12.15 TIORH_4 : 表 12.17
3~0	IOA[3:0]	0000	R/W	I/O コントロール A3 ~ A0 IOA3 ~ IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 12.19 TIOR_1 : 表 12.21 TIOR_2 : 表 12.22 TIORH_3 : 表 12.23 TIORH_4 : 表 12.25

- TIORL_0、TIORL_3、TIORL_4



ビット	ビット名	初期値	R/W	説明
7~4	IOD[3:0]	0000	R/W	I/O コントロール D3 ~ D0 IOD3 ~ IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 12.12 TIORL_3 : 表 12.16 TIORL_4 : 表 12.18
3~0	IOC[3:0]	0000	R/W	I/O コントロール C3 ~ C0 IOC3 ~ IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 12.20 TIORL_3 : 表 12.24 TIORL_4 : 表 12.26

表 12.11 TIORH_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.12 TIORL_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 12.13 TIOR_1 (チャンネル 1)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.14 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.15 TIORH_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.16 TIORL_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ* ²
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.17 TIORH_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.18 TIORL_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ* ²
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ / アウトプットコンペアは発生しません。

表 12.19 TIORH_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.20 TIORL_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 12.21 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.22 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.23 TIORH_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.24 TIORL_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペア レジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ* ²	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 12.25 TIORH_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 12.26 TIORL_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ* ²	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

12.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~4 に各 1 本、計 6 本の TIER があります。

- TIER_0、TIER_1、TIER_2、TIER_3、TIER_4

ビット:	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 相補 PWM モードで、TCNT_4 のアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。 チャンネル 0~3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCNT_4 のアンダフロー (谷) による A/D 変換要求を禁止 1 : TCNT_4 のアンダフロー (谷) による A/D 変換要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されません。書き込む値も常に 0 にしてください。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可

ビット	ビット名	初期値	R/W	説明
3	TGIED	0	R/W	<p>TGR インタラプトイネーブル D</p> <p>チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可</p>
2	TGIEC	0	R/W	<p>TGR インタラプトイネーブル C</p> <p>チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可</p>
1	TGIEB	0	R/W	<p>TGR インタラプトイネーブル B</p> <p>TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。</p> <p>0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可</p>
0	TGIEA	0	R/W	<p>TGR インタラプトイネーブル A</p> <p>TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。</p> <p>0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可</p>

• TIER2_0

ビット:	7	6	5	4	3	2	1	0
	TTGE2	-	-	-	-	-	TGIEF	TGIEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を禁止する 1: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可する
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGIEF	0	R/W	TGR インタラプトイネーブル F TCNT_0 と TGRF_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGFE ビットによる割り込み要求 (TGIF) を禁止 1: TGFE ビットによる割り込み要求 (TGIF) を許可
0	TGIEE	0	R/W	TGR インタラプトイネーブル E TCNT_0 と TGRE_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGEE ビットによる割り込み要求 (TGIE) を禁止 1: TGEE ビットによる割り込み要求 (TGIE) を許可

12.3.5 タイマステータスレジスタ (TSR)

TSR は、8 ビットの読み出し/書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~4 に各 1 本、計 6 本の TSR があります。

- TSR_0、TSR_1、TSR_2、TSR_3、TSR_4

ビット:	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	カウント方向フラグ チャンネル 1~4 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)*1	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [クリア条件] • TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき*2 [セット条件] • TCNT の値がアンダフロー (H'0000 H'FFFF) したとき
4	TCFV	0	R/(W)*1	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [クリア条件] • TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき*2 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF H'0000) チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001 H'0000) したときにも本フラグがセットされます。

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき
2	TGFC	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき
1	TGFB	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DMAC が起動されたとき • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 1 を読み出した後、0 を書き込む前に次のフラグセットが発生した場合は、0 を書き込んでもフラグはクリアされません。再度 1 を読み出して 0 を書き込んでください。

• TSR2_0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7, 6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGFF	0	R/(W)*1	コンペアマッチフラグ F TCNT_0 と TGRF_0 のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFF=1 の状態で TGFF をリード後、TGFF に 0 をライトしたとき*2 [セット条件] • TGRF_0 をコンペアレジスタとして機能している場合、TCNT_0=TGRF_0 になったとき
0	TGFE	0	R/(W)*1	コンペアマッチフラグ E TCNT_0 と TGRE_0 のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFE=1 の状態で TGFE をリード後、TGFE に 0 をライトしたとき*2 [セット条件] • TGRE_0 をコンペアレジスタとして機能している場合、TCNT_0= TGRE_0 になったとき

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 1を読み出した後、0を書き込む前に次のフラグセットが発生した場合は、0を書き込んでフラグはクリアされません。再度1を読み出して0を書き込んでください。

12.3.6 タイマバッファ動作転送モードレジスタ (TBTM)

TBTM は、8 ビットの読み出し / 書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングの設定を行います。MTU2 には、チャンネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TTSE	0	R/W	タイミングセレクト E バッファ動作時の TGRF_0 から TGRE_0 への転送タイミングを設定します。 チャンネル 3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。 なお、チャンネル 0 を PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: チャンネル 0 のコンペアマッチ E 発生時 1: TCNT_0 クリア時
1	TTSB	0	R/W	タイミングセレクト B 各チャンネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ B 発生時 1: 各チャンネルの TCNT クリア時
0	TTSA	0	R/W	タイミングセレクト A 各チャンネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ A 発生時 1: 各チャンネルの TCNT クリア時

12.3.7 タイマインプットキャプチャコントロールレジスタ (TICCR)

TICCR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNT_1 と TCNT_2 のカスケード接続時のインプットキャプチャ条件を制御します。MTU2 には、チャンネル 1 に 1 本の TICCR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1 のインプットキャプチャ条件に TIOC2B 端子を追加する / しないを選択します。 0 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加しない 1 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1 のインプットキャプチャ条件に TIOC2A 端子を追加する / しないを選択します。 0 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加しない 1 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2 のインプットキャプチャ条件に TIOC1B 端子を追加する / しないを選択します。 0 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加しない 1 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2 のインプットキャプチャ条件に TIOC1A 端子を追加する / しないを選択します。 0 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加しない 1 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加する

12.3.8 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

TADCR は、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。MTU2 には、チャンネル 4 に 1 本の TADCR があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE	
初期値:	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*	0*
R/W:	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 相補PWMモード以外では、1に設定しないでください。

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	00	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 12.27 を参照してください。
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	UT4AE	0	R/W	アップカウント TRG4AN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可
6	DT4AE	0*	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
5	UT4BE	0	R/W	アップカウント TRG4BN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可
4	DT4BE	0*	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可

ビット	ビット名	初期値	R/W	説明
3	ITA3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

- 【注】
1. TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
 2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。
 3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- * 相補 PWM モード以外では、1 に設定しないでください。

表 12.27 BF1、BF0 ビットによる転送タイミングの設定

ビット7	ビット6	説 明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する* ¹
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する* ²
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する* ²

【注】 *1 相補 PWM モードでは TCNT_4 の山、リセット同期 PWM モードでは TCNT_3 が TGRA_3 とコンペアマッチしたとき、PWM モード 1 / 通常動作モードでは TCNT_4 が TGRA_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

*2 相補 PWM モード以外では設定禁止です。

12.3.9 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)

TADCORA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TCNT_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCORA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.10 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)

TADCOBRA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TADCORA/B_4 のバッファレジスタから山か谷で TADCORA/B_4 に転送します。

TADCOBRA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCOBRA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.11 タイマカウンタ (TCNT)

TCNT は、16 ビットの読み出し / 書き込み可能なカウンタです。チャンネル 0~4 に各 1 本、計 5 本の TCNT があります。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.12 タイマジェネラルレジスタ (TGR)

TGR は、16 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 0 に 6 本、チャンネル 1、2 に各 2 本、チャンネル 3、4 に各 4 本、計 18 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア / インプットキャプチャ兼用のレジスタです。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

TGRE_0、TGRF_0 はコンペアレジスタとして機能し、TCNT_0 と TGRE_0 が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE - TGRF になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

12.3.13 タイマスタートレジスタ (TSTR)

TSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の動作 / 停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット:	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2~TCNT_0 のカウント動作は停止 1 : TCNT_2~TCNT_0 はカウント動作

12.3.14 タイマシンクロレジスタ (TSYR)

TSYR は、8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SYNC4	0	R/W	タイマ同期 4、3
6	SYNC3	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1 : TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット/同期クリアが可能
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_2~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1 : TCNT_2~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

12.3.15 タイマリードライトイネーブルレジスタ (TRWER)

TRWER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3、4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。 0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する [クリア条件] • RWE = 1 の状態で RWE をリード後、RWE に 0 をライトしたとき

- 誤書き込み防止の対象レジスタ / カウンタ

TCR_3、4、TMDR_3、4、TIORH_3、4、TIORL_3、4、TIER_3、4、TGRA_3、4、TGRB_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT_3、4 の計 22 レジスタです。

12.3.16 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットの読み出し / 書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。

TOER の設定はチャンネル 3、4 の TCNT のカウント動作を停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可

【注】 * 非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2 (TOCR1/2) の設定によります。詳細は、「12.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)」、「12.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)」を参照してください。なお、相補 PWM モード / リセット同期 PWM モード以外で MTU2 出力する場合は 1 に設定してください。0 に設定した場合はローレベルが出力されます。

12.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)

TOCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット :	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R/(W)*	R/W	R/W	R/W

【注】* パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可 / 禁止を設定します。 0 : トグル出力を禁止 1 : トグル出力を許可
5, 4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TOCL	0	R/(W)* ³	TOC レジスタ書き込み禁止ビット* ¹ TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止
2	TOCS	0	R/W	TOC セレクトビット 相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0 : TOCR1 の設定を有効にする 1 : TOCR2 の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクト N* ² * ⁴ リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 12.28 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P* ² リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 12.29 を参照してください。

【注】 *1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。

*3 パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。

*4 デッドタイムを生成しない場合、逆相の出力は正相の反転となります。なお、OLSP、OLSN に同じ値を設定してください。

表 12.28 出力レベルセレクト機能

ビット 1	機 能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.29 出力レベルセレクト機能

ビット 0	機 能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 12.2 に示します。

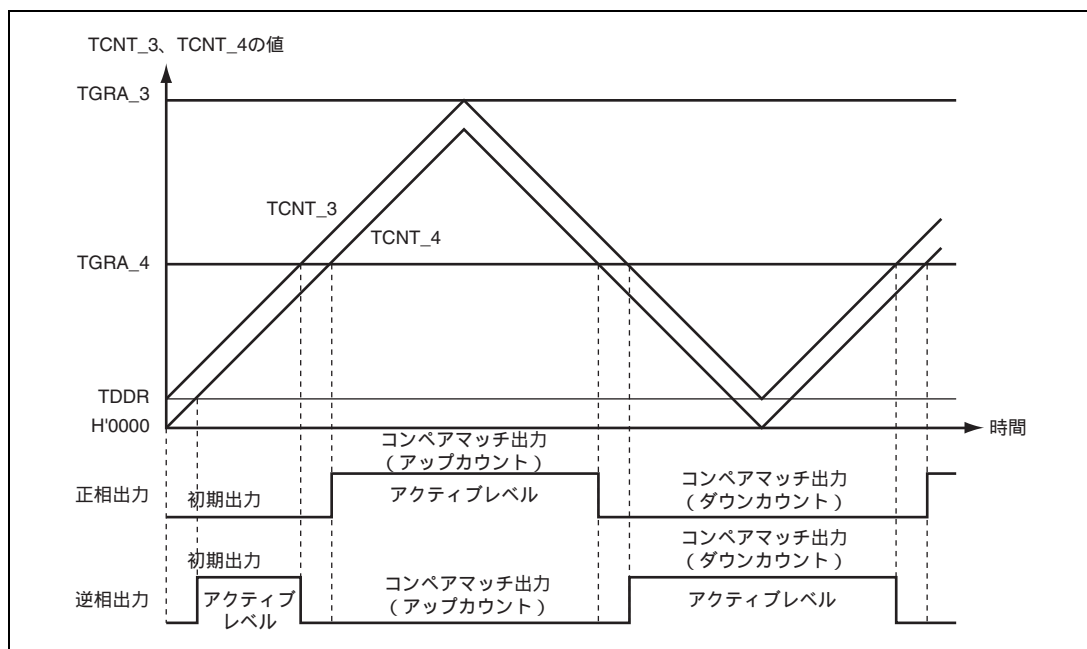


図 12.2 相補 PWM モードの出力レベルの例

12.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)

TOCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 12.30 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 12.31 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 12.32 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 12.33 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 12.34 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 12.35 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 12.36 を参照してください。

【注】 * TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。
デッドタイムを生成しない場合、逆相の出力は正相の反転となります。
なお、OLS1P、OLS1N に同じ値を設定してください。(i=1、2、3)

表 12.30 BF1、BF0 ビットの設定

ビット7	ビット6	説 明	
		相補 PWM モード時	リセット PWM モード時
BF1	BF0		
0	0	バッファレジスタ (TOLBR) から TOCR2 へ転送しない	バッファレジスタ (TOLBR) から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ (TOLBR) から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ (TOLBR) から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止

表 12.31 TIOC4D 出力レベルセレクト機能

ビット5	機 能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.32 TIOC4B 出力レベルセレクト機能

ビット4	機 能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 12.33 TIOC4C 出力レベルセレクト機能

ビット3	機 能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.34 TIOC4A 出力レベルセレクト機能

ビット 2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 12.35 TIOC3D 出力レベルセレクト機能

ビット 1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 12.36 TIOC4B 出力レベルセレクト機能

ビット 0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

12.3.19 タイマアウトプットレベルバッファレジスタ (TOLBR)

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 12.3 に示します。

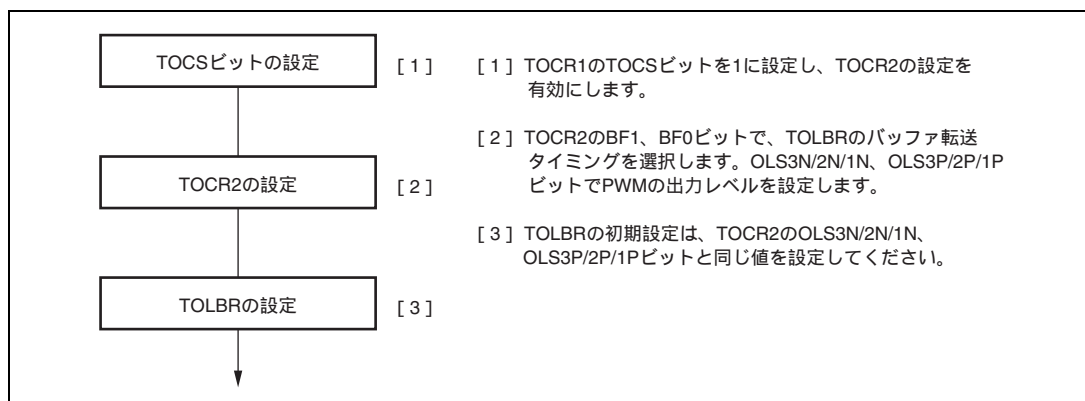


図 12.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

12.3.20 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット:	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB	WF	VF	UF
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
4	P	0	R/W	正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
3	FB	0	R/W	外部フィードバック信号許可 正相 / 逆相の出力の切り替えを MTU2 / チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0: 出力の切り替えは、外部入力 (入力元は、チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1: 出力の切り替えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り替え 2~0
1	VF	0	R/W	正相 / 逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代りになります。表 12.37 を参照してください。
0	UF	0	R/W	

表 12.37 出力レベルセレクト機能

ビット2	ビット1	ビット0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

12.3.21 タイマサブカウンタ (TCNTS)

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.22 タイマデッドタイムデータレジスタ (TDDR)

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.23 タイマ周期データレジスタ (TCDR)

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値 (ただし、TDDR の 2 倍 + 3 以上の値) を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます (ダウンカウント アップカウント)。TCDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.24 タイマ周期バッファレジスタ (TCBR)

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

12.3.25 タイマ割り込み間引き設定レジスタ (TITCR)

TITCR は、8 ビットの読み出し / 書き込み可能なレジスタで、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。MTU2 には 1 本の TITCR があります。

ビット:	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]		T4VEN	4VCOR[2:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止 / 許可を設定します。 0 : TGIA_3 割り込みの間引きを禁止する 1 : TGIA_3 割り込みの間引きを許可する
6~4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 12.38 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止 / 許可を設定します。 0 : TCIV_4 割り込みの間引きを禁止する 1 : TCIV_4 割り込みの間引きを許可する
2~0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 12.39 を参照してください。

【注】 * 割り込み間引き回数に 0 を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

表 12.38 3ACOR2~3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説 明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

表 12.39 4VCOR2~4VCOR0 ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説 明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

12.3.26 タイマ割り込み間引き回数カウンタ (TITCNT)

TITCNT は、8 ビットの読み出し可能なカウンタです。MTU2 には 1 本の TITCNT があります。TITCNT は、TCNT_3 および TCNT_4 のカウント動作停止後も、値を保持します。

ビット:	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 3ACOR2 ~ 3ACOR0 と TITCNT の 3ACNT2 ~ 3ACNT0 が一致したとき • TITCR の T3AEN ビットが 0 のとき • TITCR の 3ACOR2 ~ 3ACOR0 が 0 のとき
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説 明
2~0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 4VCOR2~4VCOR0 と TITCNT の 4VCNT2~4VCNT0 が一致したとき • TITCR の T4VEN ビットが 0 のとき • TITCR の 4VCOR2~4VCOR0 が 0 のとき

【注】 TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

12.3.27 タイマバッファ転送設定レジスタ (TBTER)

TBTER は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。MTU2 には 1 本の TBTER があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。詳細は表 12.40 を参照してください。

【注】 * 対象バッファレジスタ

TGRC_3、TGRD_3、TGRC_4、TGRD_4、TCBR

表 12.40 BTE1、BTE0 ビットの設定

ビット 1	ビット 0	説 明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない*1 また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する*2
1	1	設定禁止

【注】 *1 TMDR の MD3 ~ MD0 の設定に従い転送します。詳細は「12.4.8 相補 PWM モード」を参照してください。

*2 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定 (タイマバッファ転送レジスタ (TBTER) の BTE1 を 0 に設定) にしてください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

12.3.28 タイマデッドタイムイネーブルレジスタ (TDER)

TDER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。MTU2 には 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする / しないを設定します。 0: デッドタイムを生成しない 1: デッドタイムを生成する* [クリア条件] • TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたとき

【注】 * TDDR 1 に設定してください。

12.3.29 タイマ波形コントロールレジスタ (TWCR)

TWCR は、8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モードで TNCT_3、TNCT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	-	WRE
初期値 :	0*	0	0	0	0	0	0	0
R/W :	R/(W)	R	R	R	R	R	R	R/(W)

【注】 * 相補PWMモード1のとき以外は、1に設定しないでください。

ビット	ビット名	初期値	R/W	説 明
7	CCE	0*	R/(W)	コンペアマッチクリアイネーブル 相補 PWM モードで、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。 0 : TGRA_3 のコンペアマッチによるカウンタクリアをしない 1 : TGRA_3 のコンペアマッチによるカウンタクリアをする [セット条件] • CCE = 0 の状態で CCE をリード後、CCE に 1 をライトしたとき
6~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	WRE	0	R/(W)	初期出力抑止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の Tb 区間については、図 12.40 を参照してください。 0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する [セット条件] • WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき

【注】 * 相補 PWM モード 1 のとき以外は、1 に設定しないでください。

12.3.30 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCOR)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

12.4 動作説明

12.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTU2 の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

(1) カウンタの動作

TSTR の CST0 ~ CST4 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 12.4 に示します。

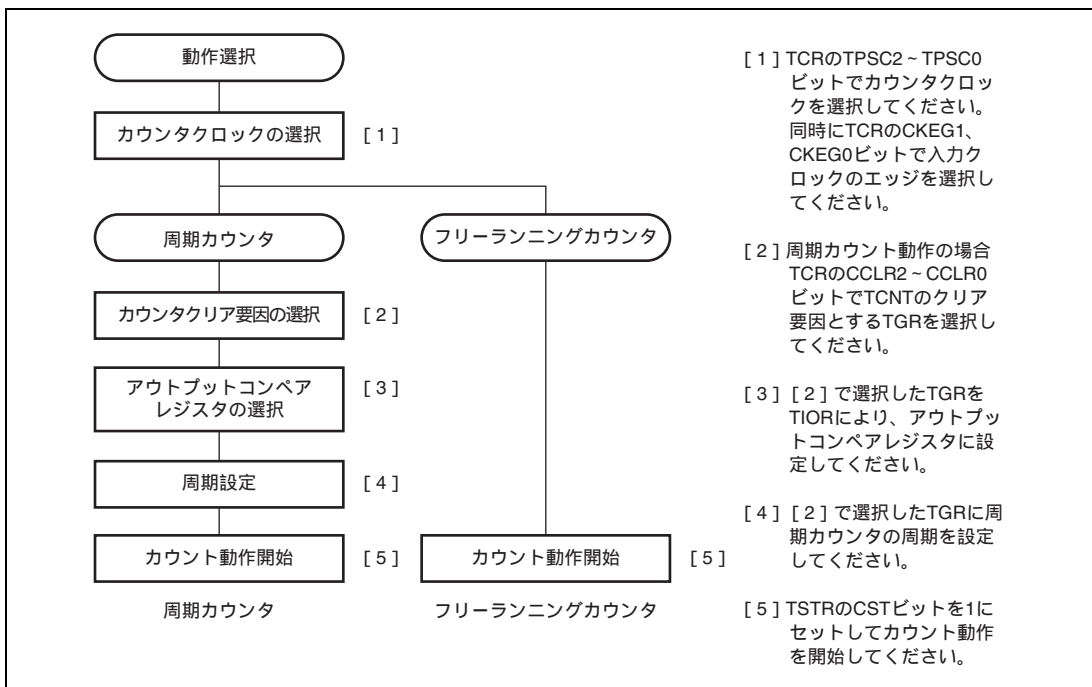


図 12.4 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTU2 の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウンタ動作を継続します。

フリーランニングカウンタの動作を図 12.5 に示します。

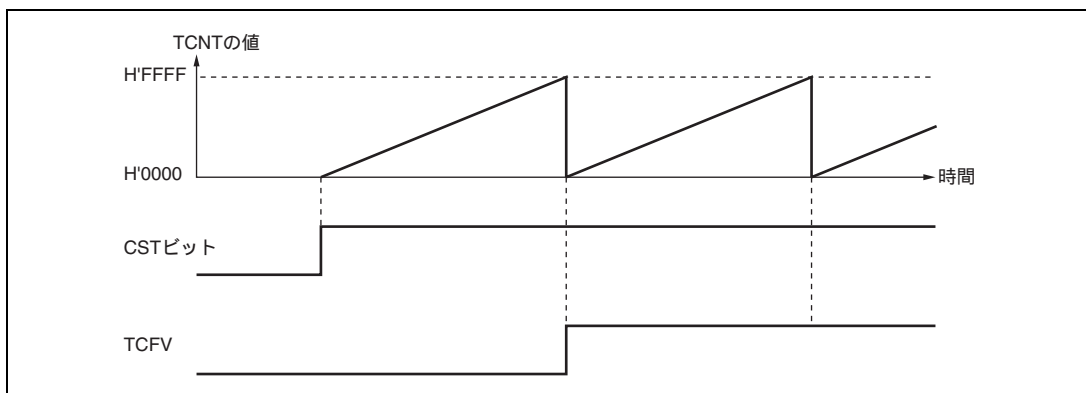


図 12.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウンタ動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウンタ動作を継続します。

周期カウンタの動作を図 12.6 に示します。

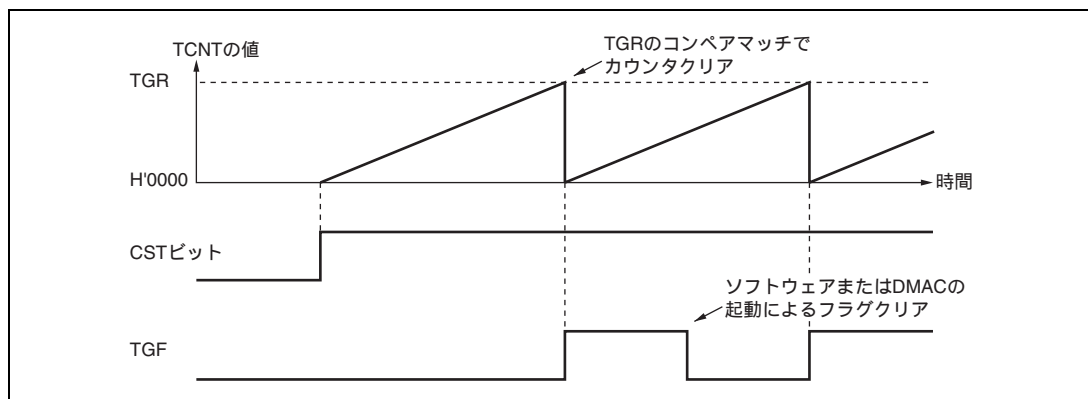


図 12.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU2 は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 12.7 に示します。

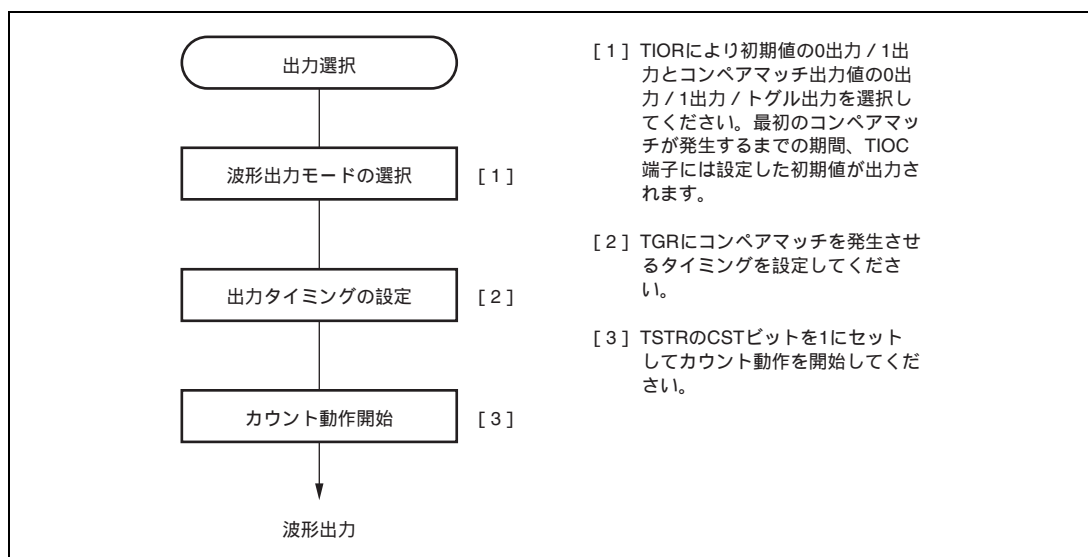


図 12.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 12.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

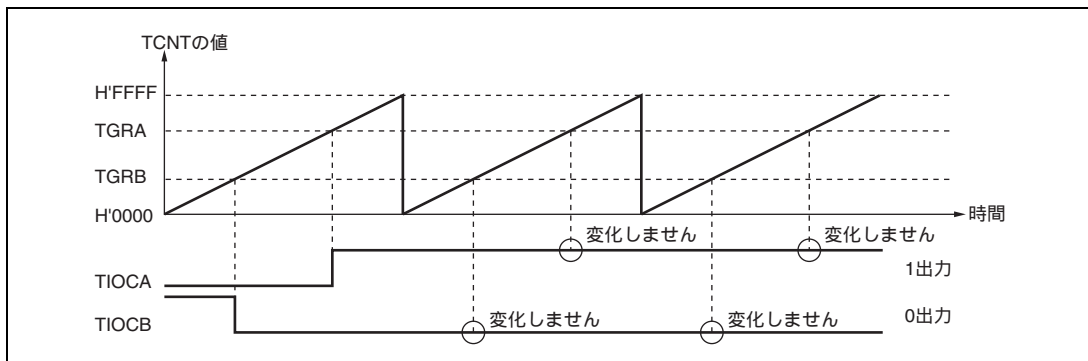


図 12.8 0 出力 / 1 出力の動作例

トグル出力の例を図 12.9 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

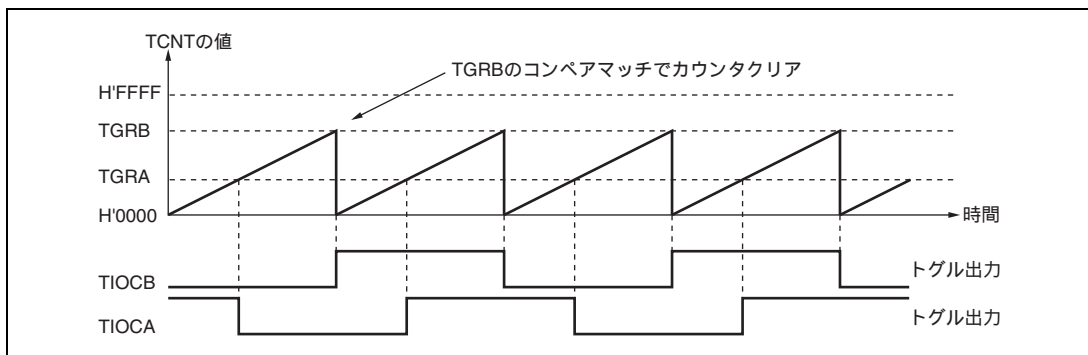


図 12.9 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに P / 1 を選択しないでください。P / 1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 12.10 に示します。

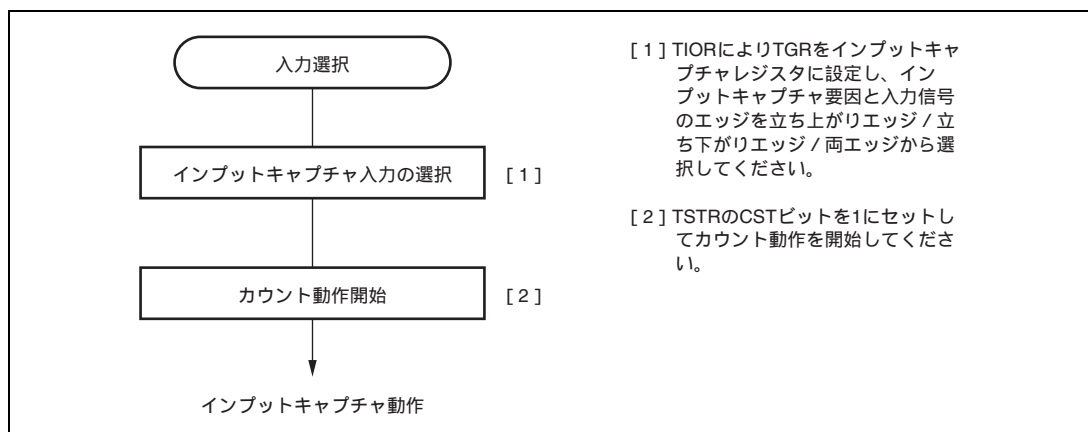


図 12.10 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 12.11 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

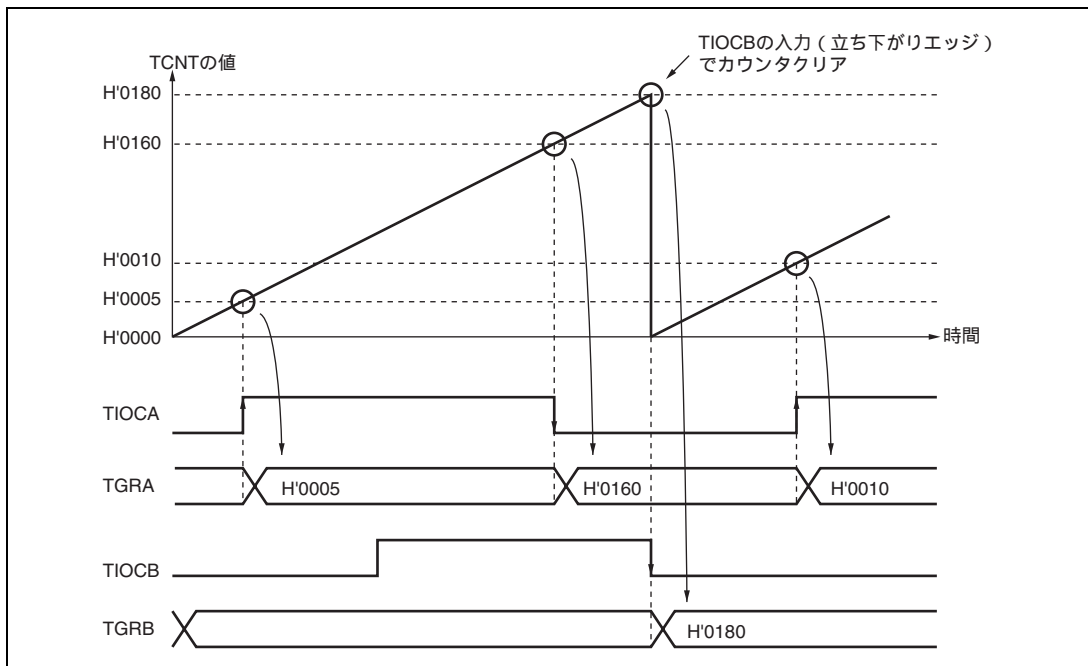


図 12.11 インพุットキャプチャ動作例

12.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 12.12 に示します。

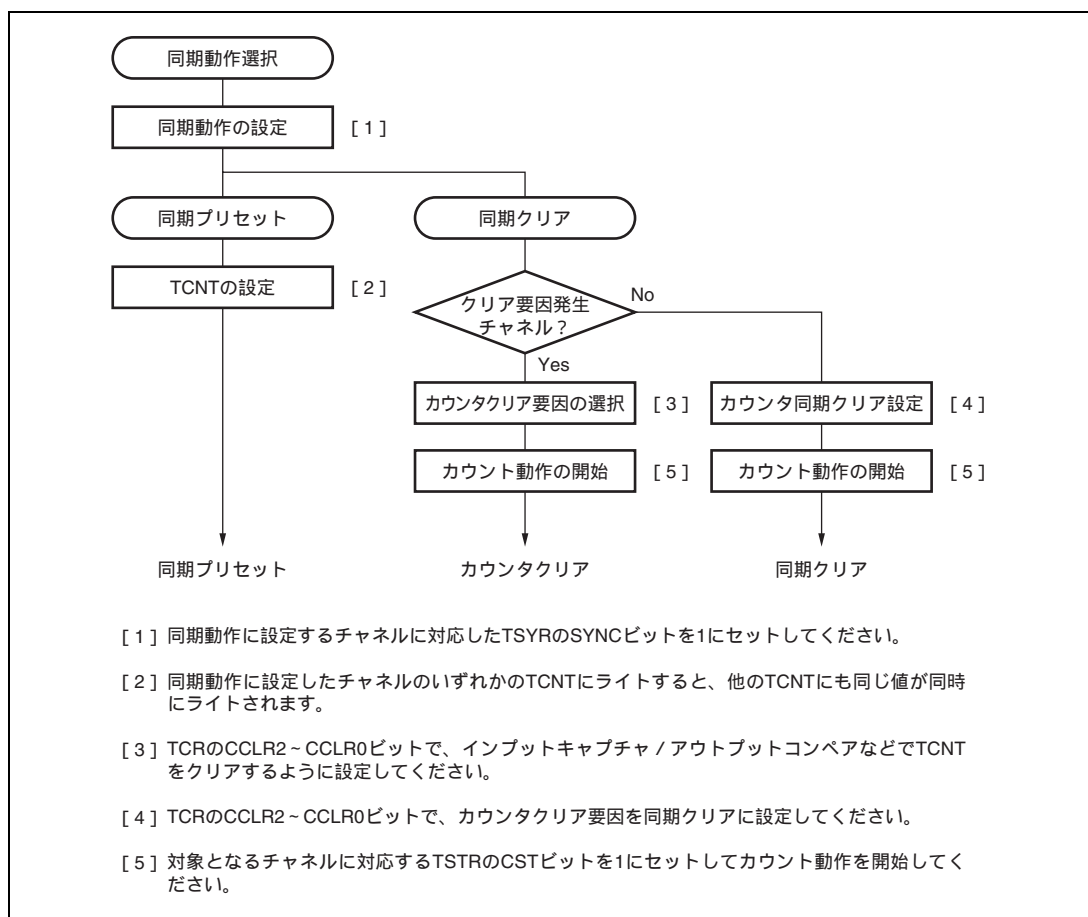


図 12.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 12.13 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「12.4.5 PWM モード」を参照してください。

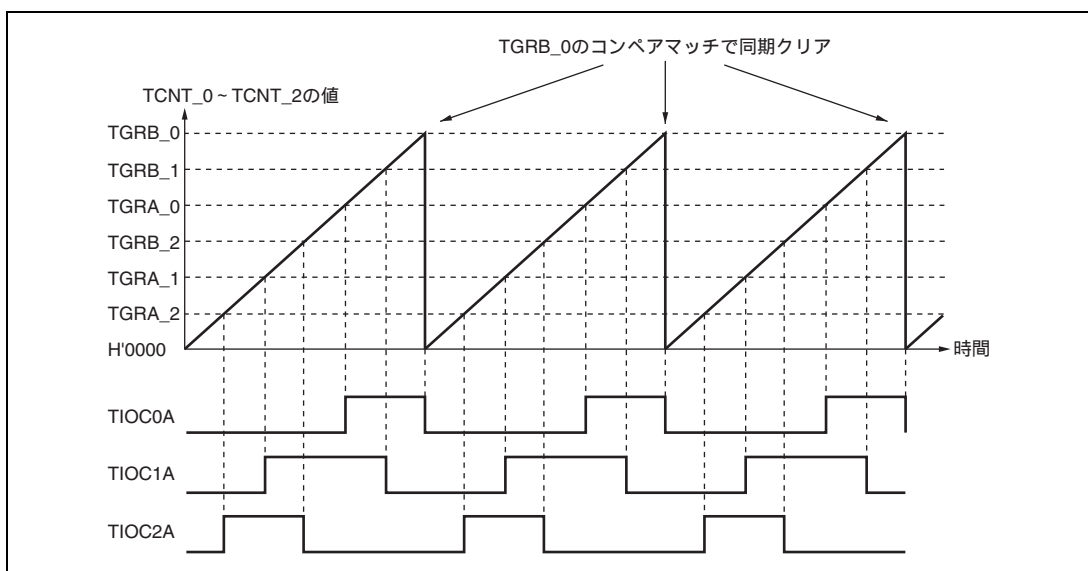


図 12.13 同期動作の動作例

12.4.3 バッファ動作

バッファ動作は、チャンネル0、3、4が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。また、チャンネル0はTGRFもバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

【注】 TGRE_0はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 12.41 にバッファ動作時のレジスタの組み合わせを示します。

表 12.41 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 12.14 に示します。

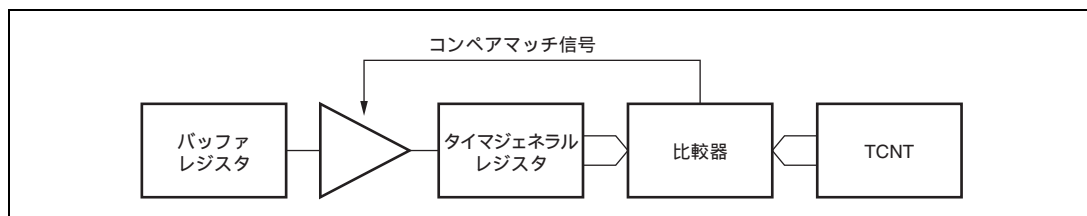


図 12.14 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 12.15 に示します。

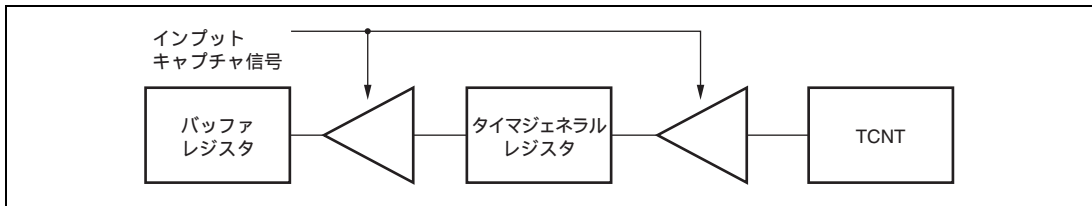


図 12.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 12.16 に示します。

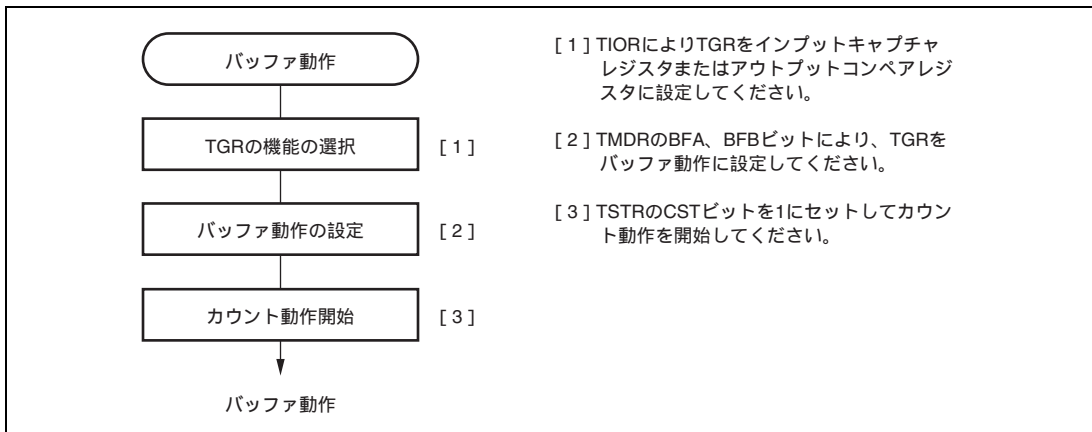


図 12.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 12.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSA ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「12.4.5 PWM モード」を参照してください。

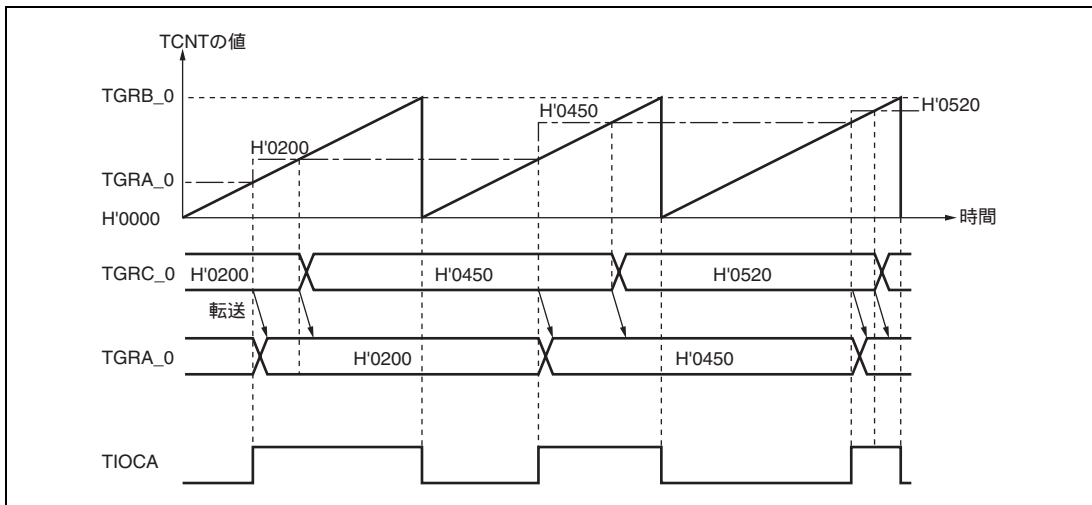


図 12.17 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 12.18 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

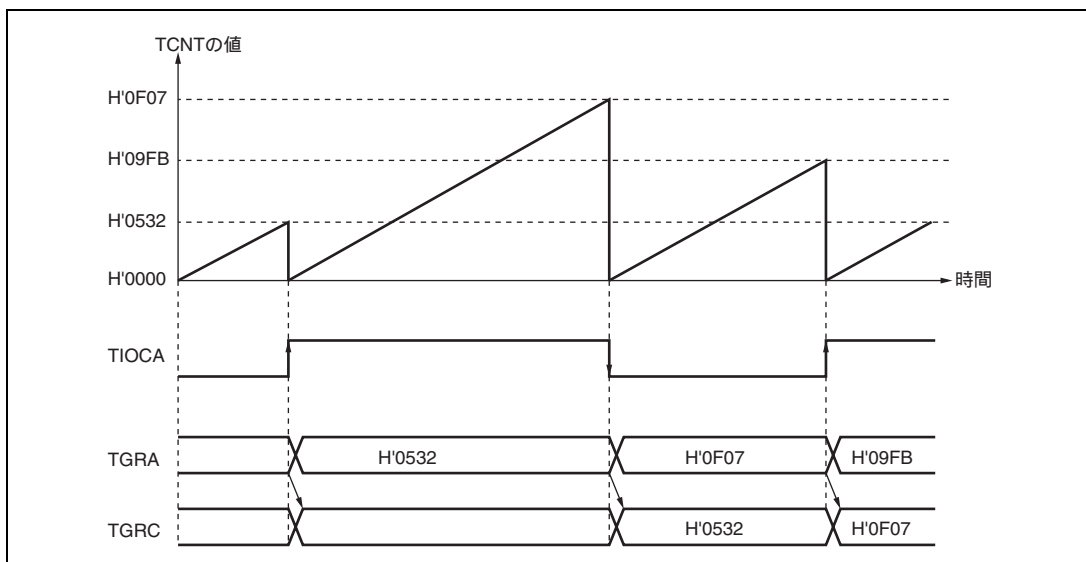


図 12.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (TBTM_0、TBTM_3、TBTM_4) を設定することで、チャンネル 0 では PWM モード 1、2 時の、チャンネル 3、4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNTがオーバーフローしたとき (H'FFFF H'0000)
- カウンタ動作中、TCNTにH'0000がライトされたとき
- TCRのCCLR2～CCLR0ビットで設定したクリア要因で、TCNTがH'0000になったとき

【注】 TBTM の設定は TCNT が停止した状態で行ってください。

チャンネル 0 を PWM モード 1 に設定し、TGRA_0 と TGRC_0 をバッファ動作に設定した場合の動作例を図 12.19 に示します。TCNT_0 はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、TBTM_0 の TTSA ビットは 1 に設定しています。

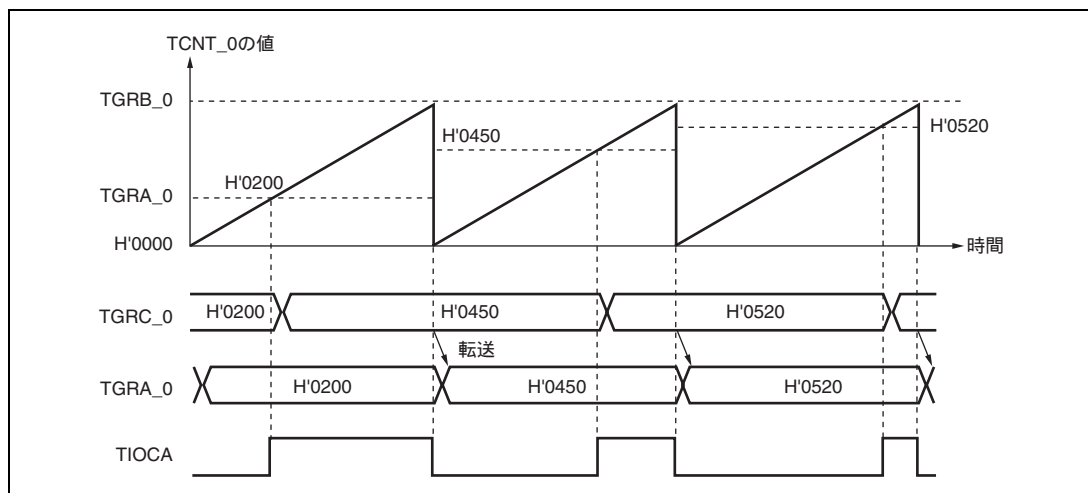


図 12.19 TGRB_0 から TGRA_0 のバッファ転送タイミングを TCNT_0 クリア時に選択した場合の動作例

12.4.4 カスケード接続動作

カスケード接続動作は、2 チャンルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT_2 のオーバフロー / アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 12.42 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 12.42 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2

カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。詳細は、「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。

TICCR 設定値とインプットキャプチャ入力端子の対応を表 12.43 に示します。

表 12.43 TICCR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット = 0 (初期値)	TIOC1A
	I2AE ビット = 1	TIOC1A、TIOC2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット = 0 (初期値)	TIOC1B
	I2BE ビット = 1	TIOC1B、TIOC2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット = 0 (初期値)	TIOC2A
	I1AE ビット = 1	TIOC2A、TIOC1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット = 0 (初期値)	TIOC2B
	I1BE ビット = 1	TIOC2B、TIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 12.20 に示します。

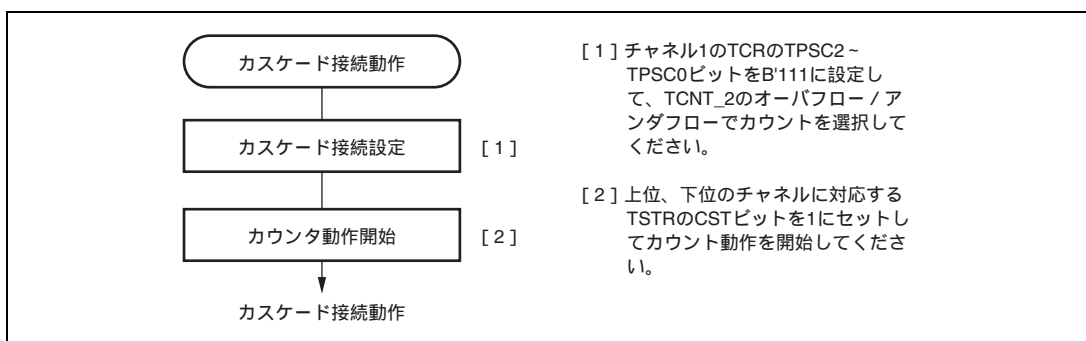


図 12.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル2 を位相計数モードに設定したときの動作を図 12.21 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

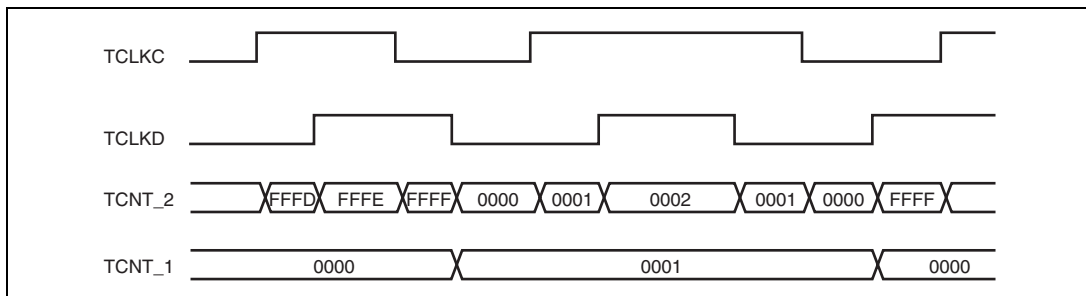


図 12.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 12.22 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、(TIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA_1 の入力キャプチャ条件に設定されます。また、TGRA_2 の入力キャプチャ条件は TIOC2A の立ち上がりエッジとなります。

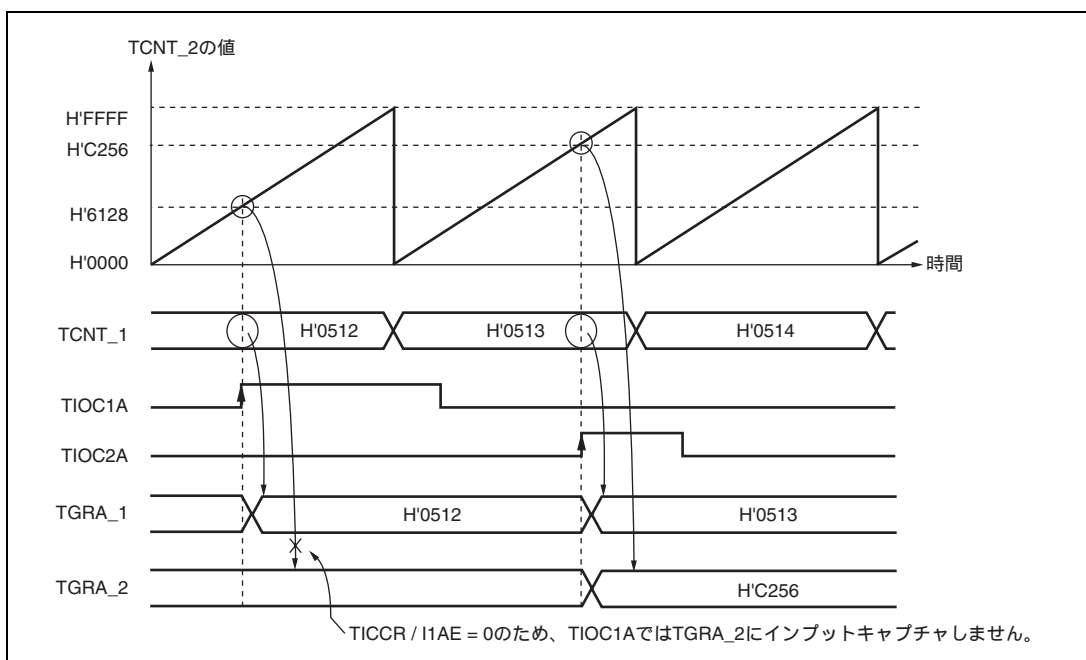


図 12.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加し、TIOC1A 端子を TGRA_2 の入力キャプチャ条件に追加した場合の動作を図 12.23 に示します。この例では TIOR_1、TIOR_2 の IOA0 ~ IOA3 の設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA_1 および TGRA_2 の入力キャプチャ条件となります。

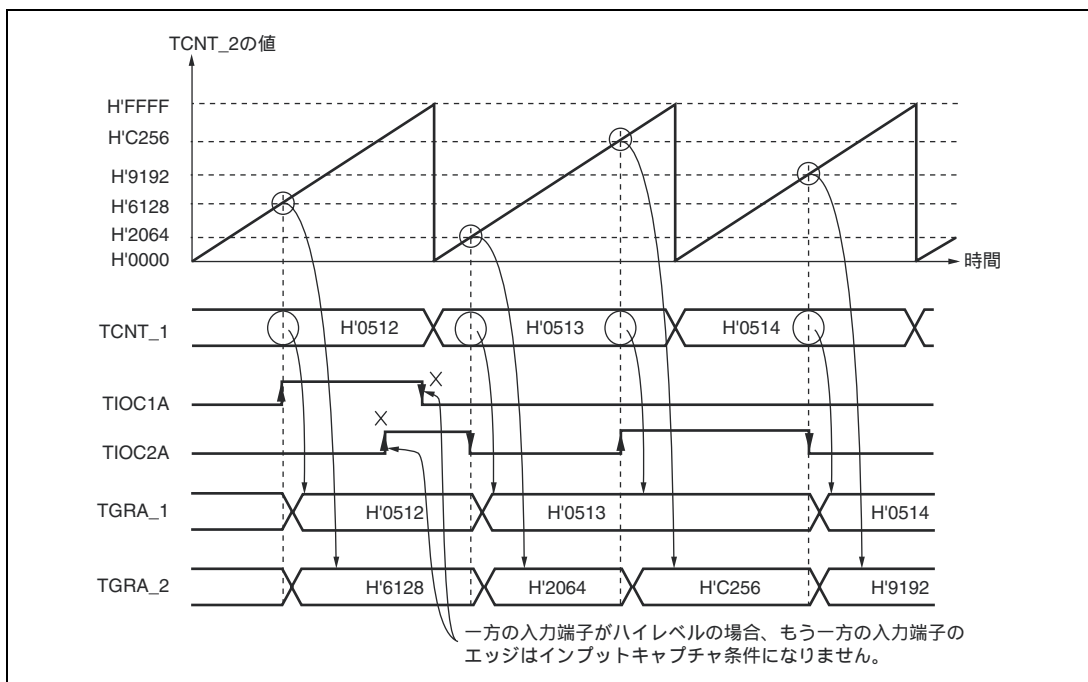


図 12.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加した場合の動作を図 12.24 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOR_1 の設定が TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャのため、TICCR の I2AE ビットを 1 にセットしても TIOC2A のエッジが TGRA_1 のインプットキャプチャ条件になることはありません。

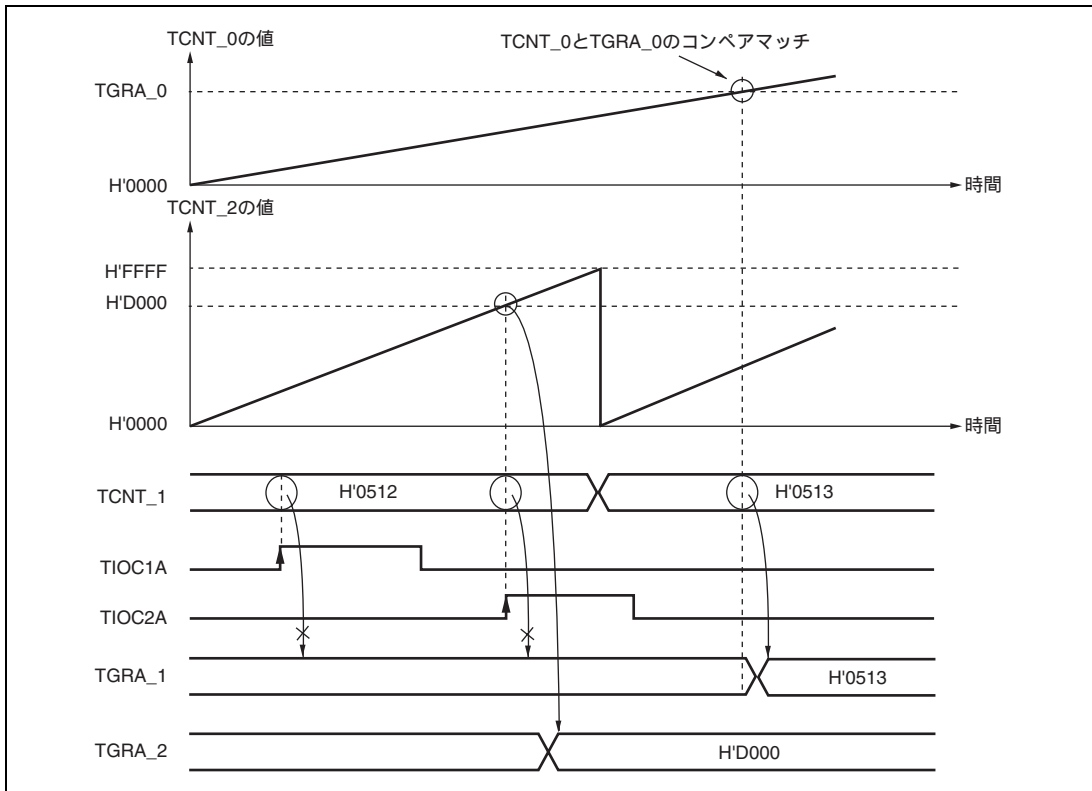


図 12.24 カスケード接続動作例 (d)

12.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

- PWMモード1

TGRAとTGRB、TGRCとTGRDをペアで使用して、TIOCA、TIOCC端子からPWM出力を生成します。TIOCA、TIOCC端子からコンペアマッチA、CによってTIORのIOA3~IOA0、IOC3~IOC0ビットで指定した出力を、また、コンペアマッチB、DによってTIORのIOB3~IOB0、IOD3~IOD0ビットで指定した出力を行います。初期出力値はTGRA、TGRCに設定した値になります。ペアで使用するTGRの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード1では、最大8相のPWM出力が可能です。

- PWMモード2

TGRの1本を周期レジスタ、他のTGRをデューティレジスタに使用してPWM出力を生成します。コンペアマッチによって、TIORで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値はTIORで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード2では、同期動作と併用することにより最大8相のPWM出力が可能です。

PWM出力端子とレジスタの対応を表12.44に示します。

表 12.44 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3		
	TGRC_3	TIOC3C	
	TGRD_3		
4	TGRA_4	TIOC4A	
	TGRB_4		
	TGRC_4	TIOC4C	
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 12.25 に示します。

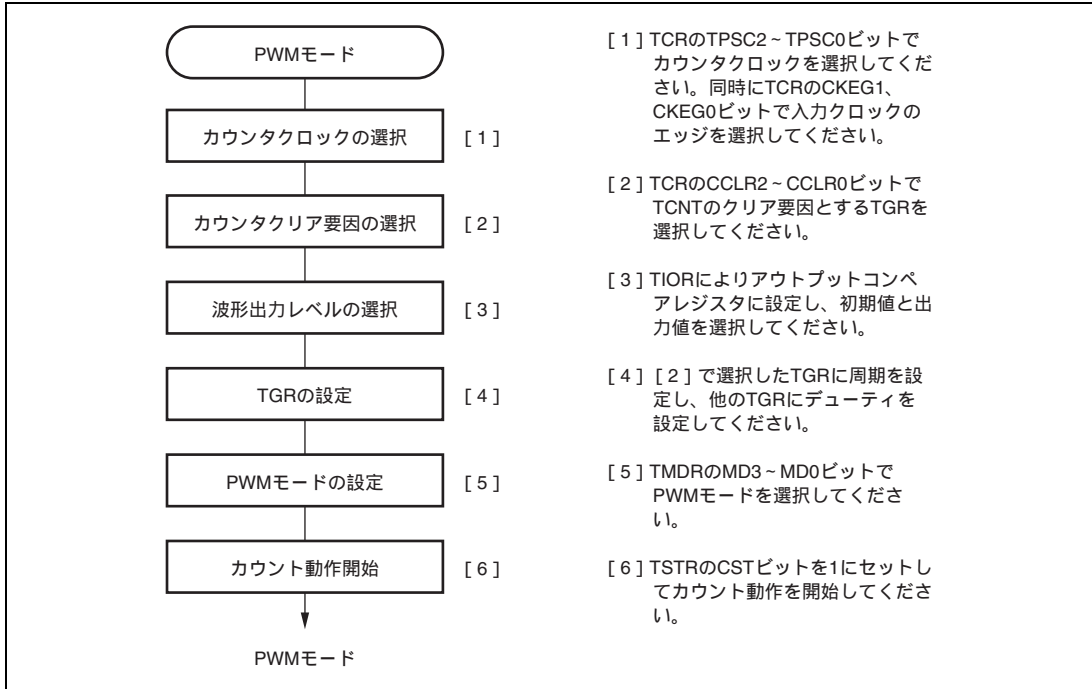


図 12.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 12.26 に示します。

この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値を0、TGRBの出力値を1に設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

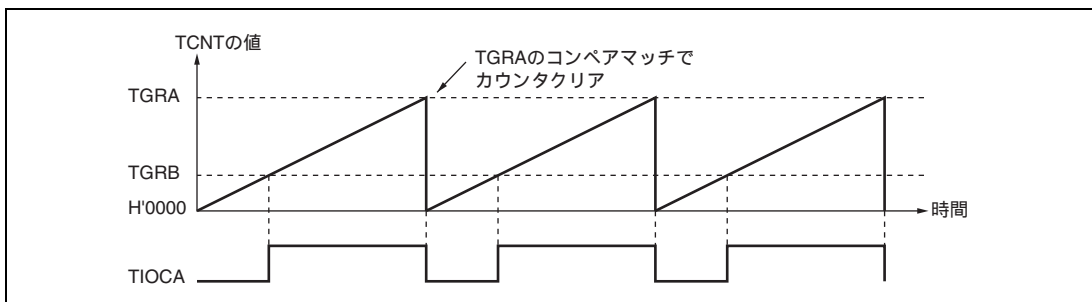


図 12.26 PWM モードの動作例

PWM モード 2 の動作例を図 12.27 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0、TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

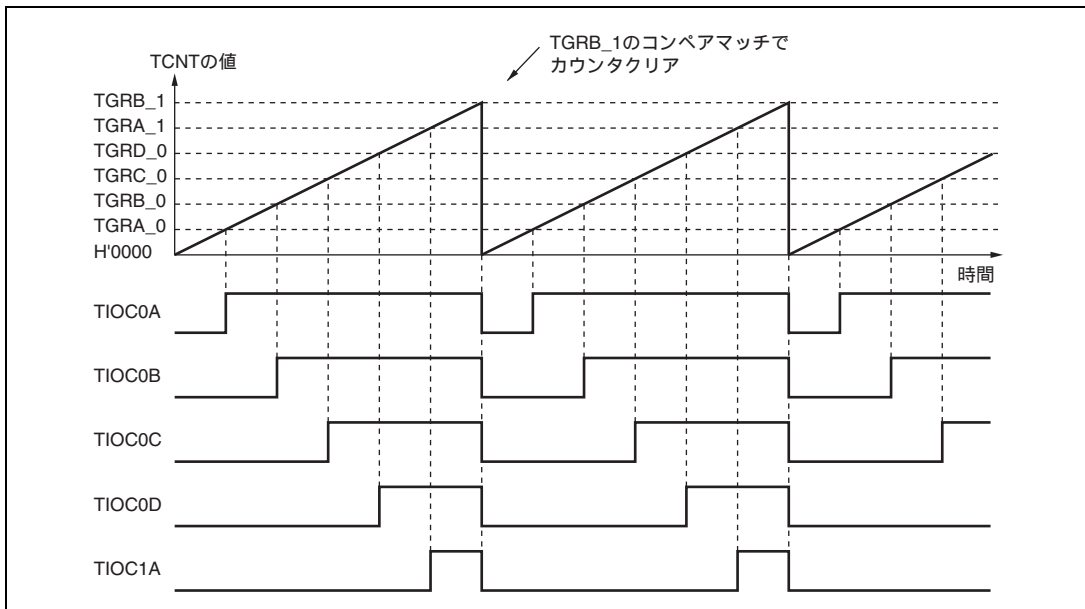


図 12.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 12.28 に示します。

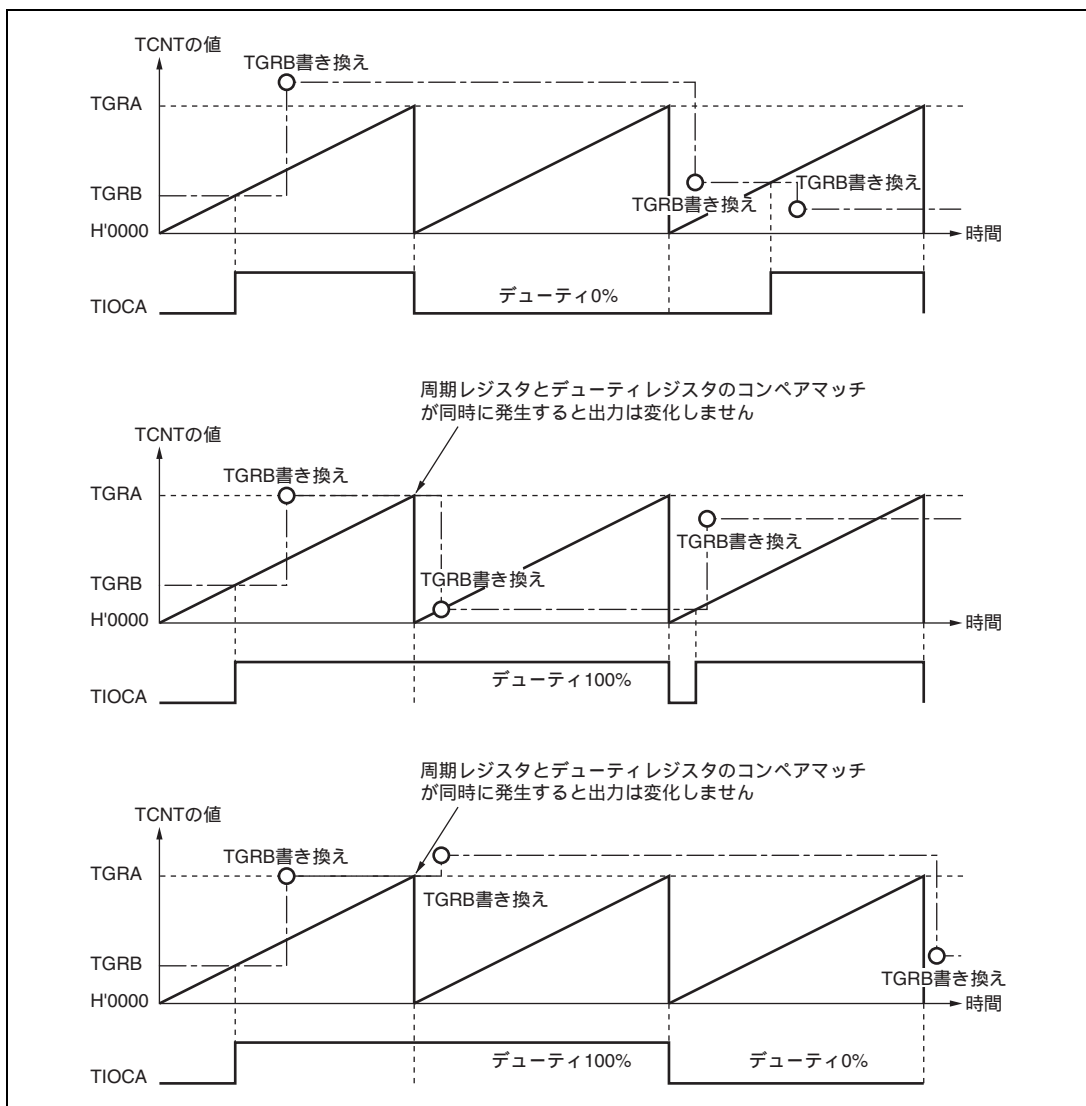


図 12.28 PWM モード動作例

12.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 12.45 に外部クロック端子とチャンネルの対応を示します。

表 12.45 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 12.29 に示します。

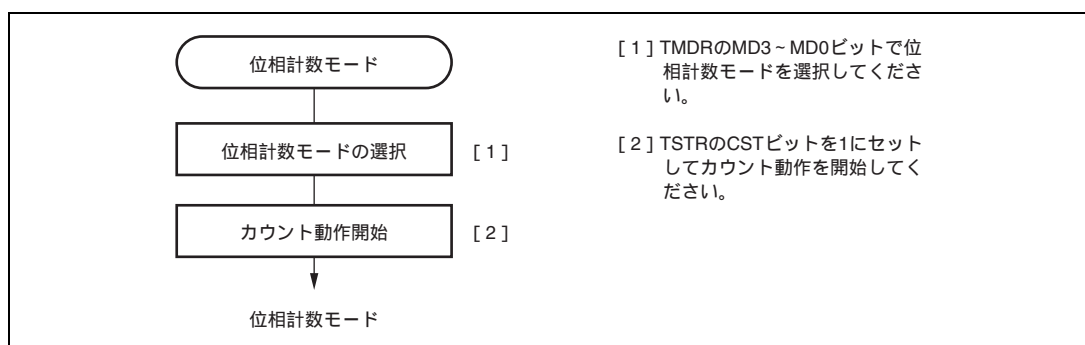


図 12.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4 つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 12.30 に、TCNT のアップ/ダウンカウント条件を表 12.46 に示します。

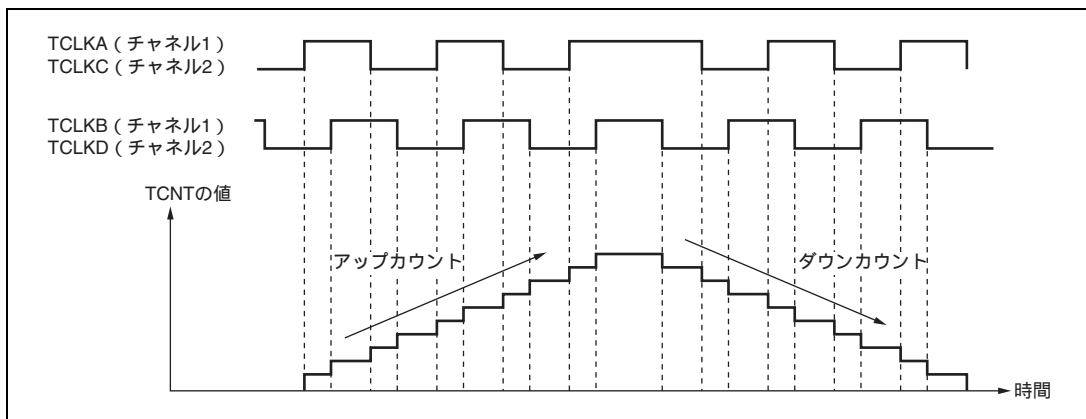


図 12.30 位相計数モード 1 の動作例

表 12.46 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 12.31 に、TCNT のアップ/ダウンカウント条件を表 12.47 に示します。

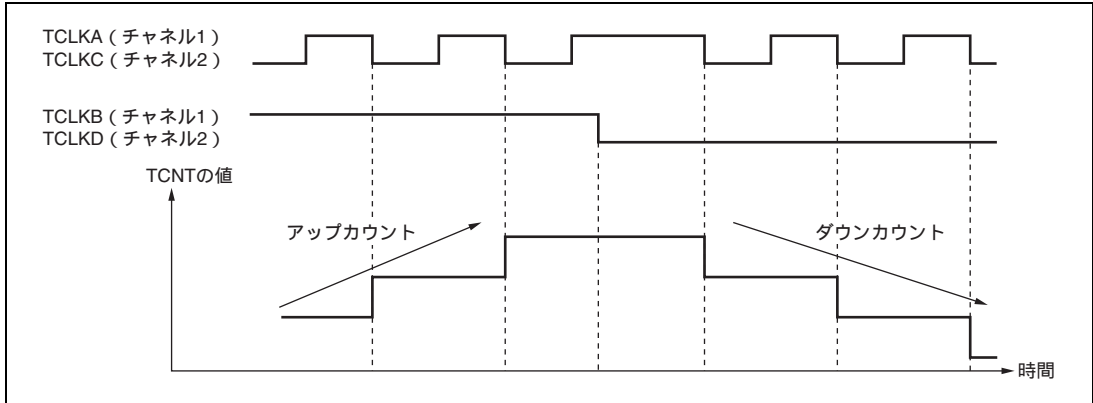


図 12.31 位相計数モード 2 の動作例

表 12.47 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)
	High レベル	アップカウント
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	High レベル	カウントしない (Don't care)
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 12.32 に、TCNT のアップ/ダウンカウント条件を表 12.48 に示します。

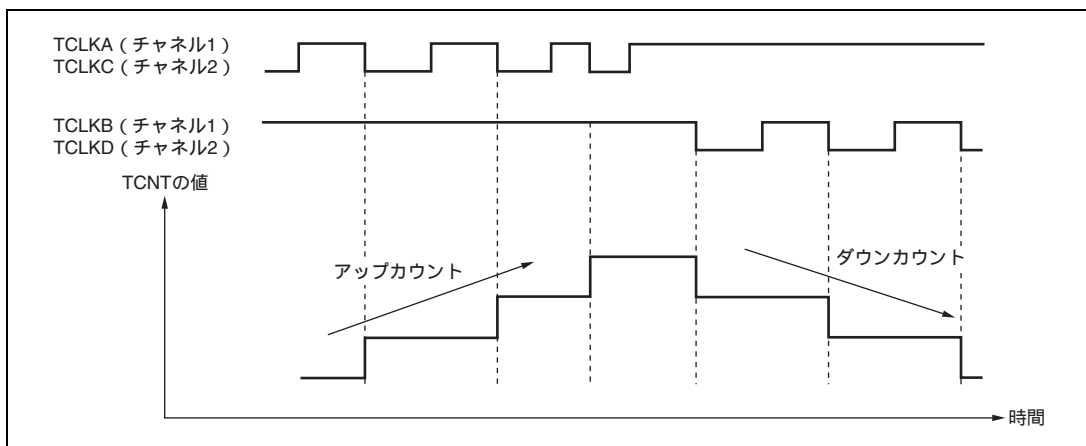


図 12.32 位相計数モード 3 の動作例

表 12.48 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	カウントしない (Don't care)

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 12.33 に、TCNT のアップ/ダウンカウント条件を表 12.49 に示します。

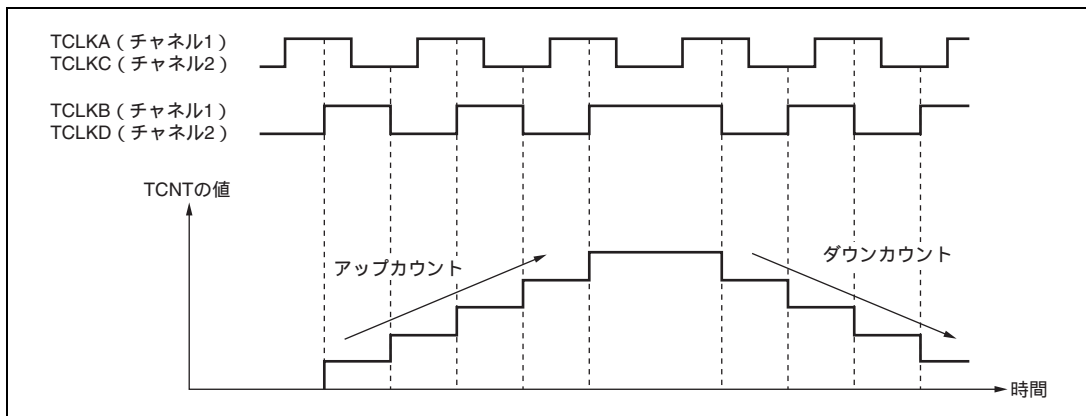


図 12.33 位相計数モード 4 の動作例

表 12.49 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		アップカウント
Low レベル		
	Low レベル	カウントしない (Don't care)
	High レベル	
High レベル		ダウンカウント
Low レベル		
	High レベル	カウントしない (Don't care)
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図12.34に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

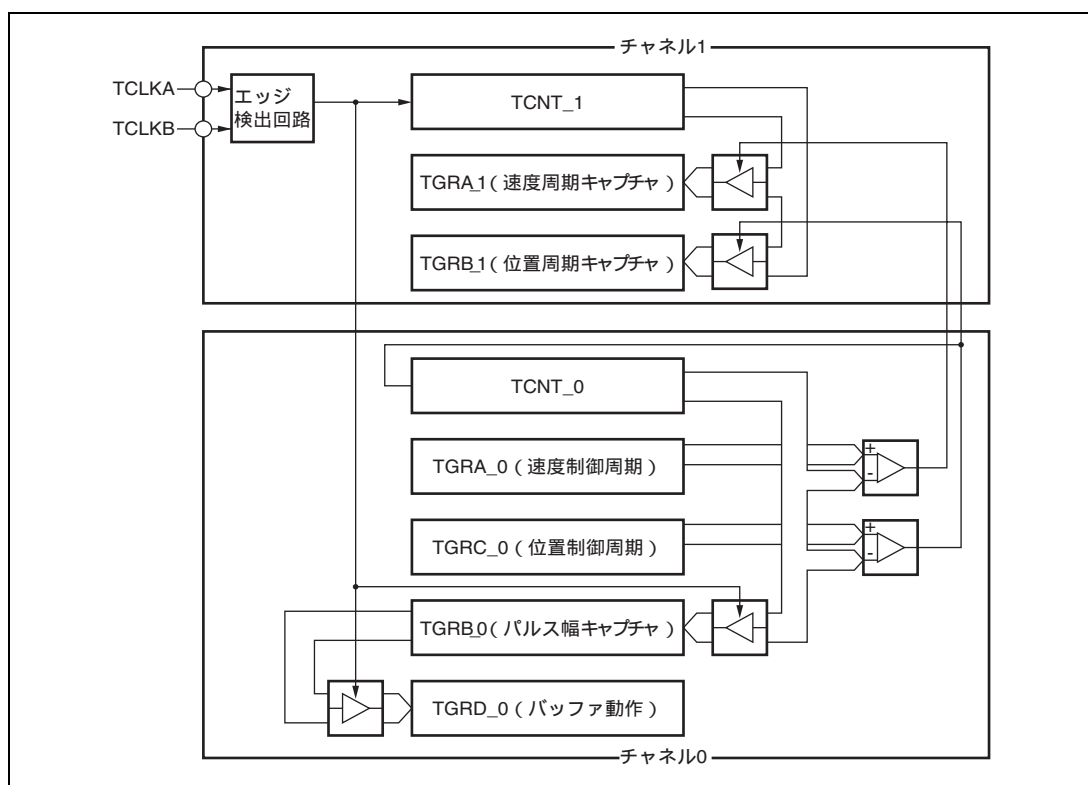


図 12.34 位相計数モードの応用例

12.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 12.50 に、使用するレジスタの設定を表 12.51 に示します。

表 12.50 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 12.51 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 12.35 に示します。

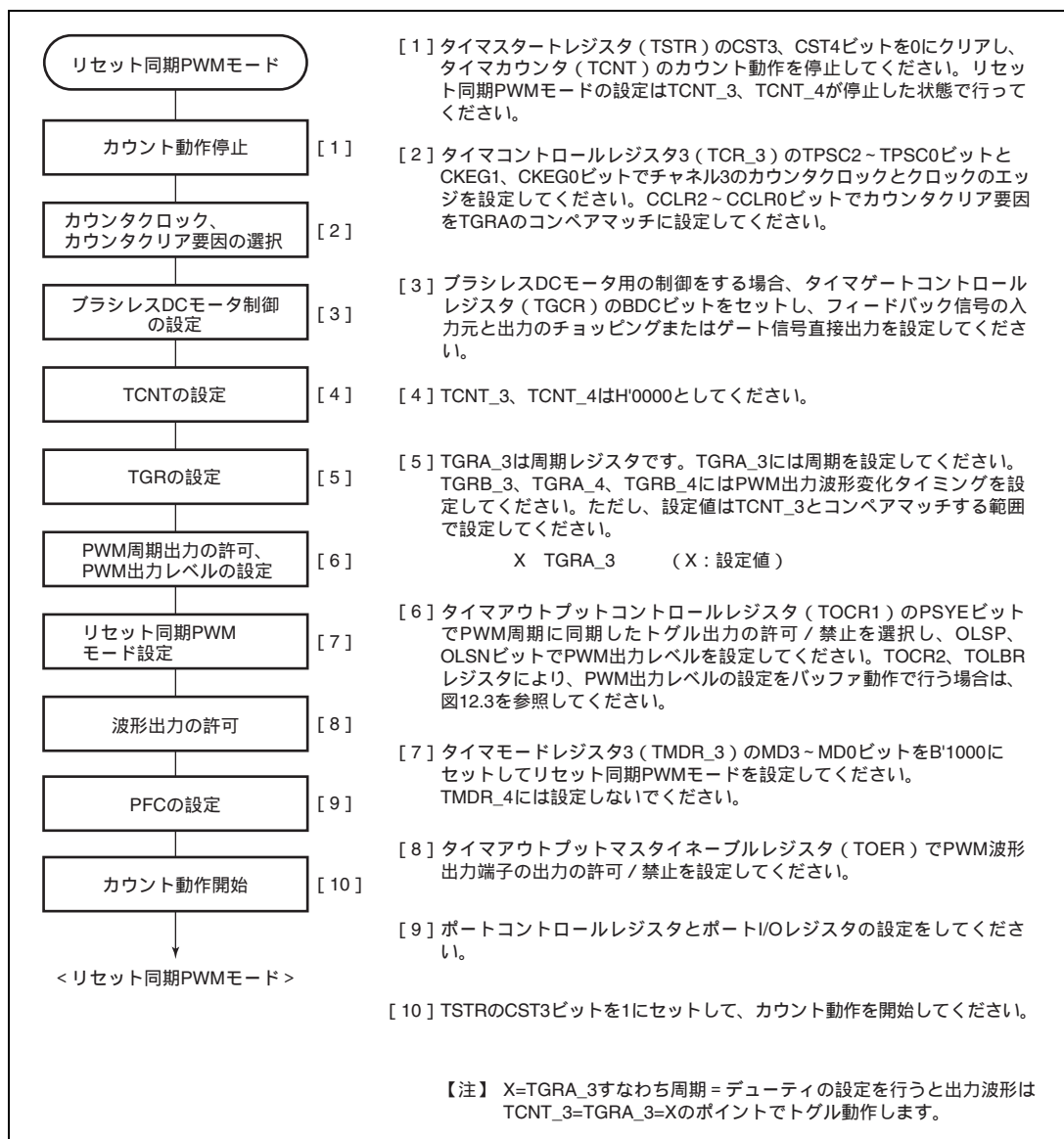


図 12.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 12.36 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

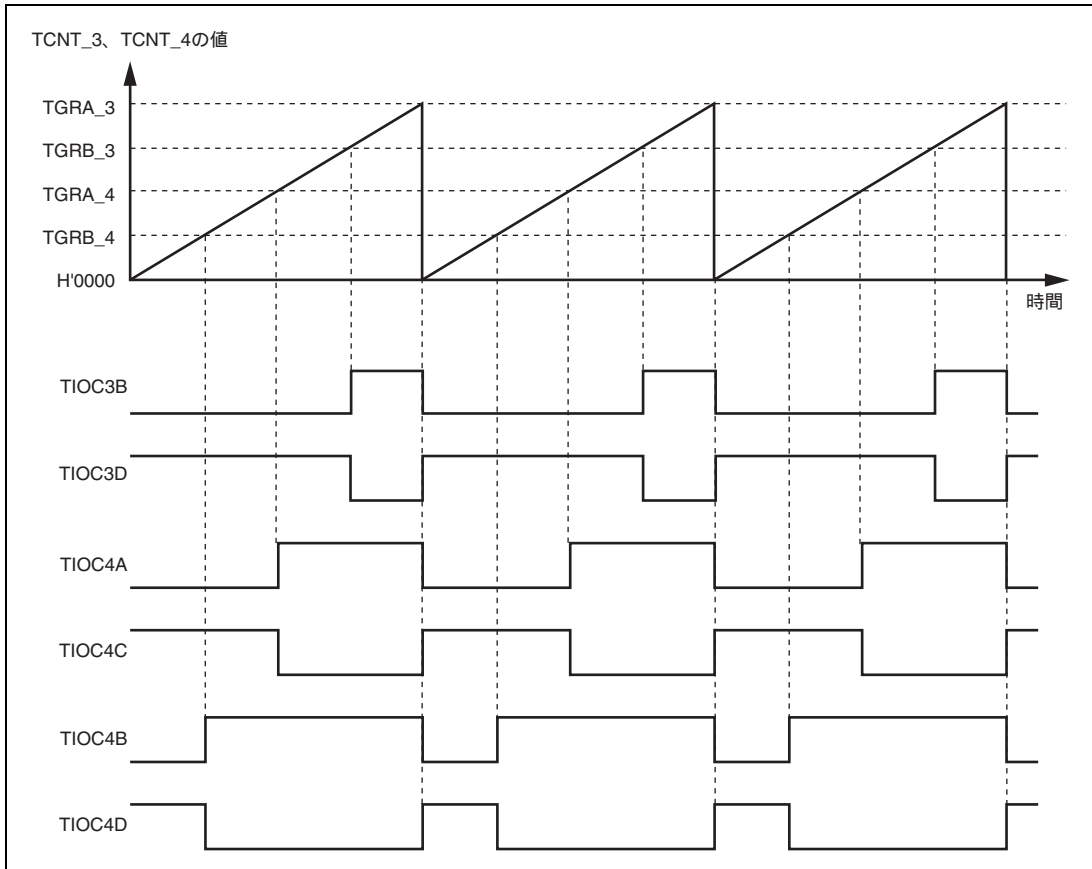


図 12.36 リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合)

12.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 12.52 に、使用するレジスタの設定を表 12.53 に示します。

表 12.52 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 12.53 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し / 書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し / 書き込み可能

チャンネル	カウンタ / レジスタ	説明	CPU からの 読み出し / 書き込み
	タイマデッドタイムデータレジスタ (TDDR)	TCNT_4 と TCNT_3 のオフセット値(デッドタイムの値)を設定	TRWER の設定*によりマスク可能
	タイマ周期データレジスタ (TCDR)	TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	TRWER の設定*によりマスク可能
	タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ	常に読み出し / 書き込み可能
	サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可能
	テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し / 書き込み不可
	テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し / 書き込み不可
	テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し / 書き込み不可

【注】 * TRWER (タイマリードライトイネーブルレジスタ) の設定によりアクセスの許可 / 禁止が可能です。

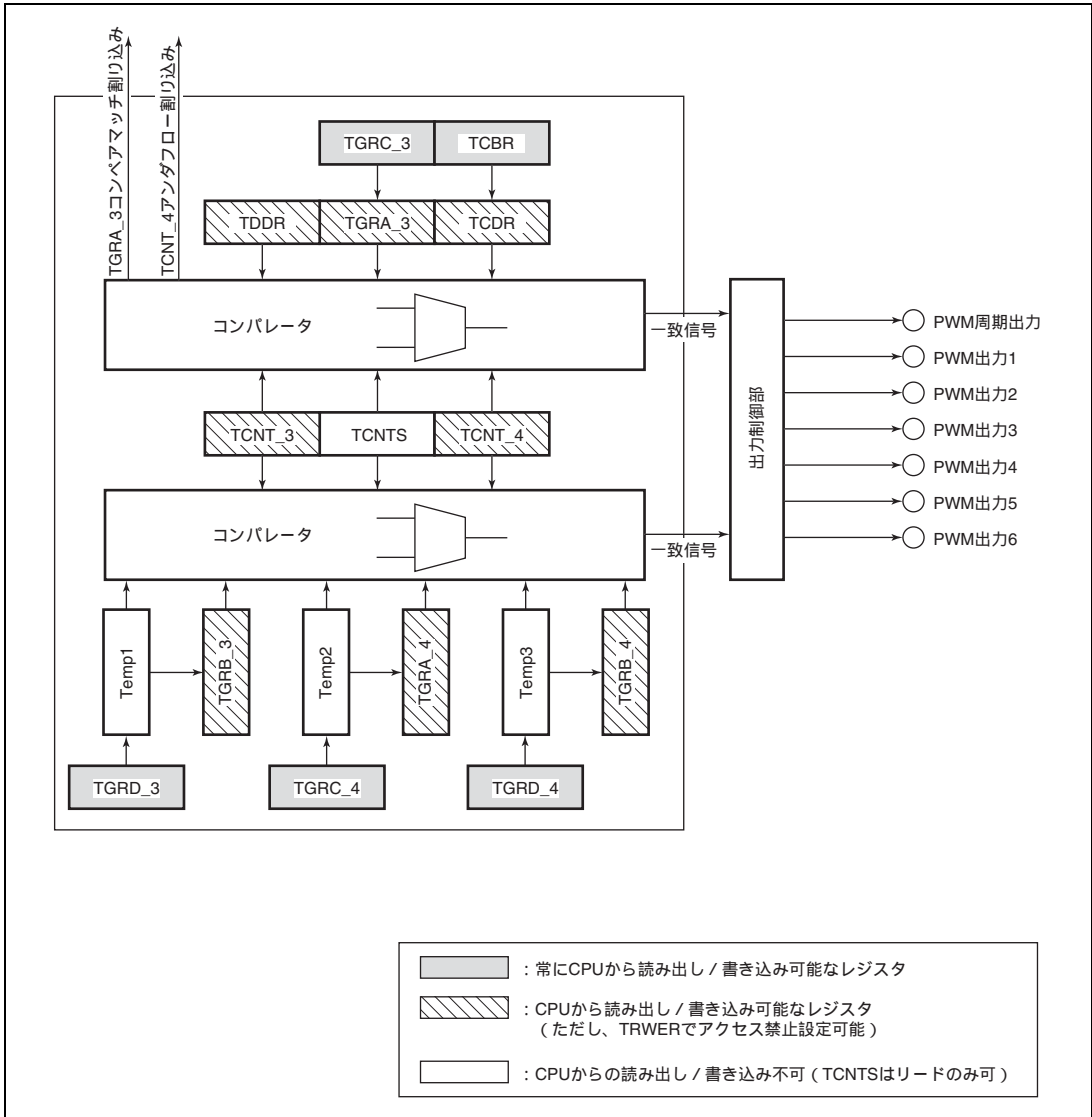


図 12.37 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 12.38 に示します。

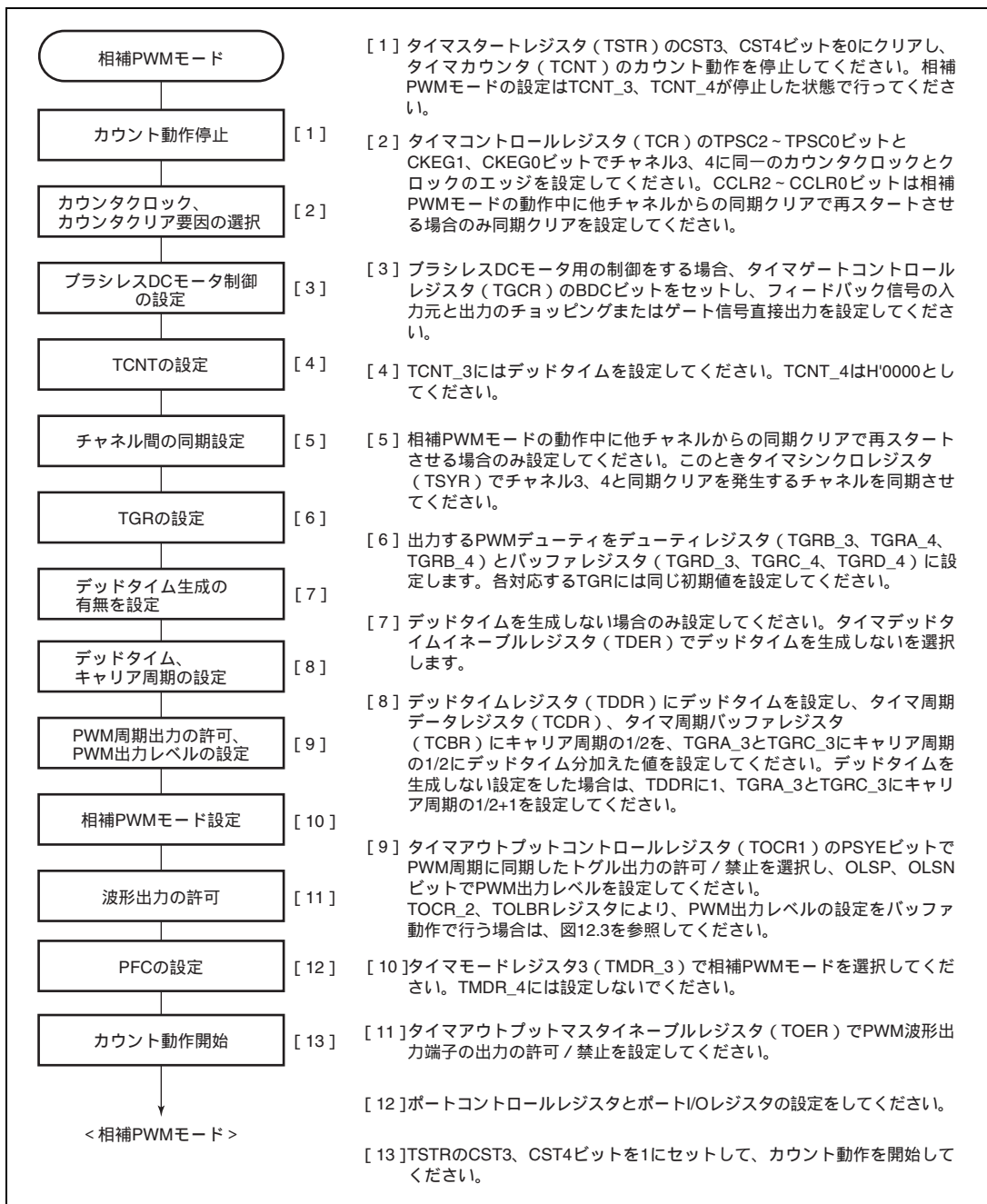


図 12.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 12.39 に相補 PWM モードのカウンタの動作を示します。図 12.40 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り替わります。その後、TDDR と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り替わります。この後、H'0000 と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCDR と一致するとダウンカウントを開始し、TCNTS が TCDR と一致するとアップカウントに切り替わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

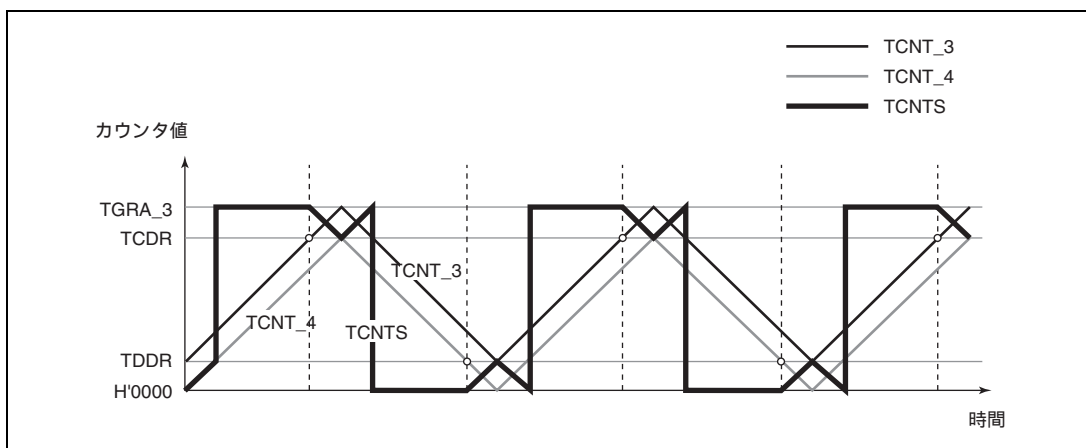


図 12.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 12.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで選択できます。図 12.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 12.40 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

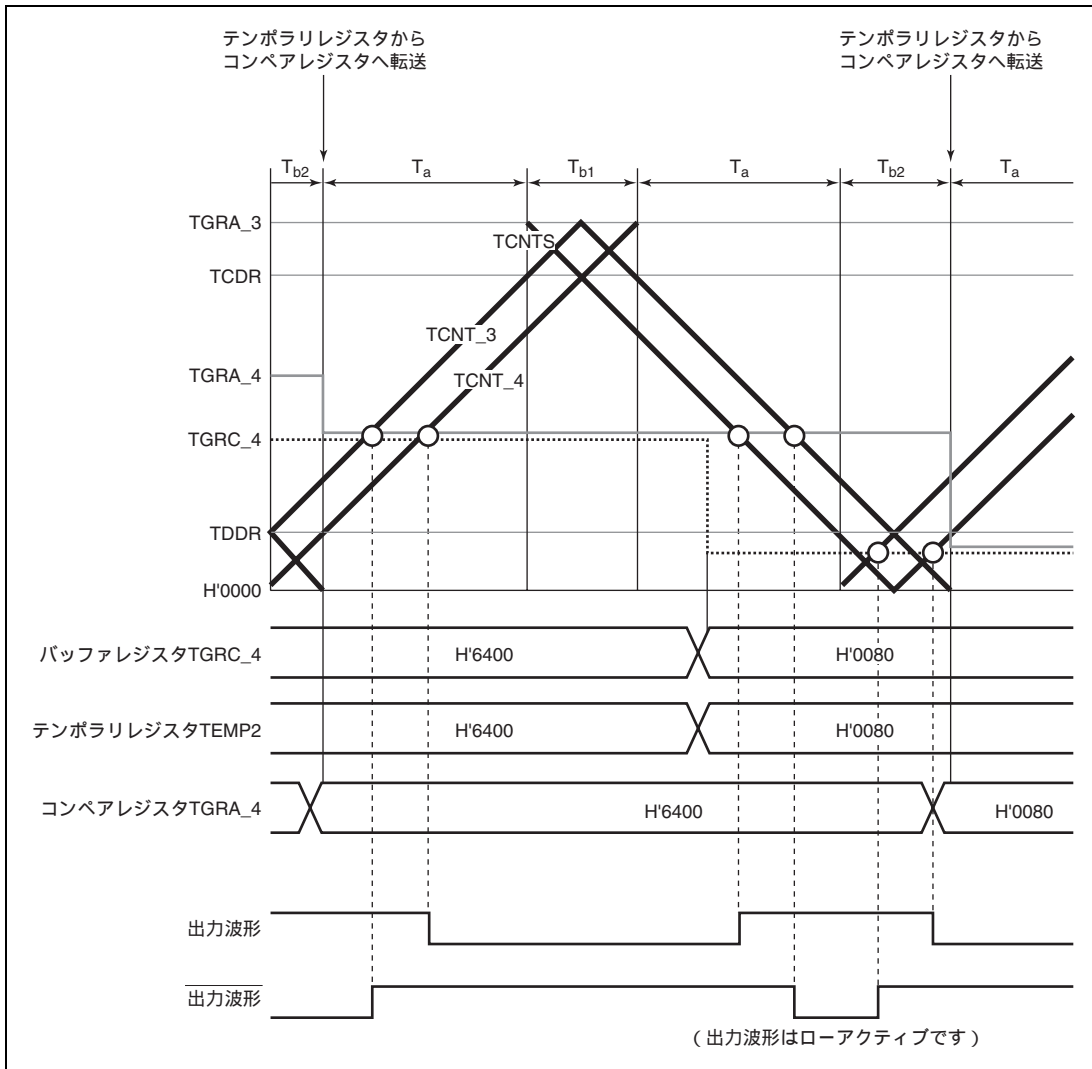


図 12.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定し、TGRC_3、TGRA_3 には、PWM キャリア周期の $1/2+1$ を、TDDR には 1 を設定します。

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 12.54 初期設定に必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
TGRC_3	PWM キャリア周期の $1/2 + \text{デッドタイム Td}$ (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDR	デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の $1/2$ の値と TDDR に設定するデッドタイム Td の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定します。TDER は、TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できません。

TGRA_3、TGRC_3 には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDR) には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 12.41 にデッドタイムを生成しない場合の動作例を示します。

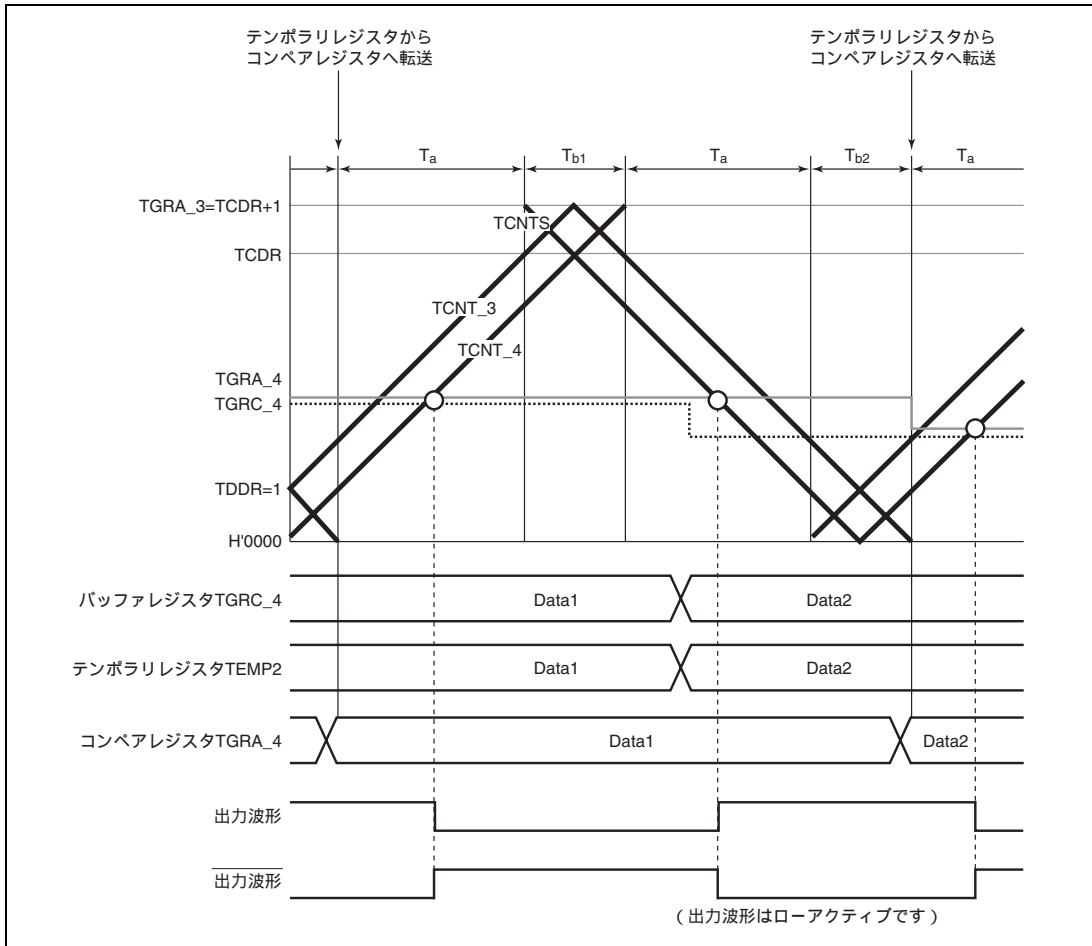


図 12.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : $TGRA_3 \text{ の設定値} = TCDR \text{ の設定値} + TDDR \text{ の設定値}$
 $TCDR \text{ の設定値} > TDDR \text{ の設定値の} 2 \text{ 倍} + 2$

デッドタイム生成なし : $TGRA_3 \text{ の設定値} = TCDR \text{ の設定値} + 1$
 $TCDR \text{ の設定値} > 4$

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。

TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 12.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

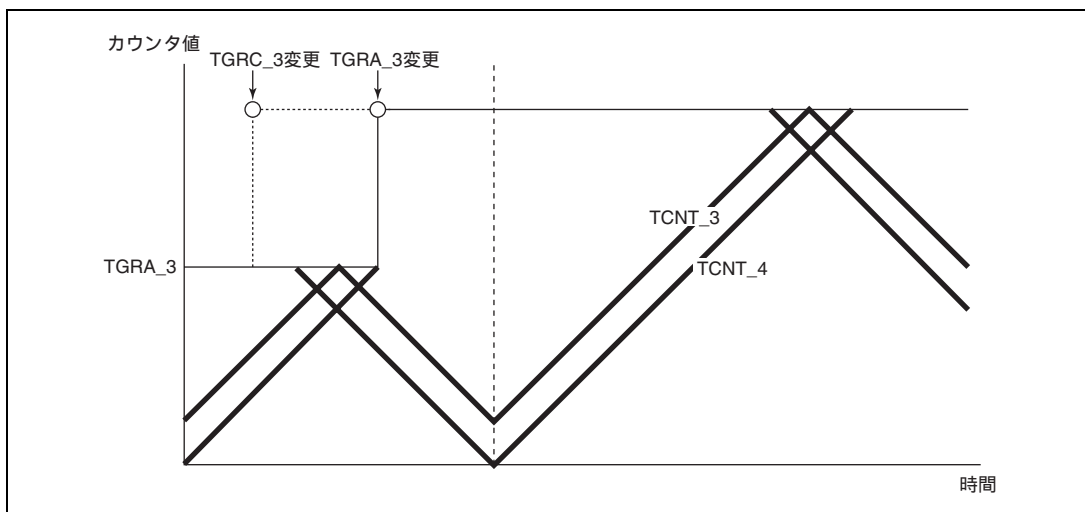


図 12.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 12.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

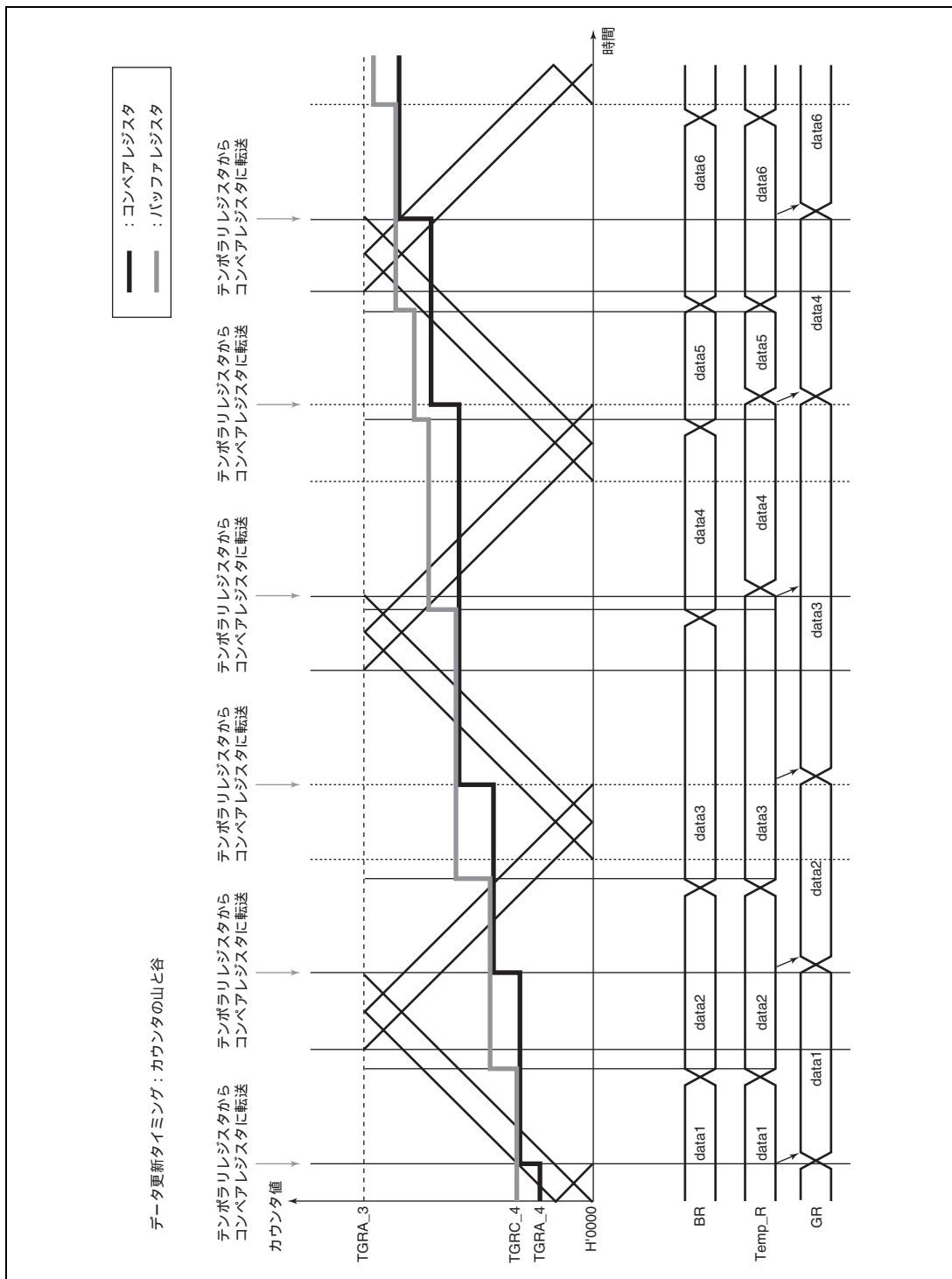


図 12.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 12.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 12.45 に示します。

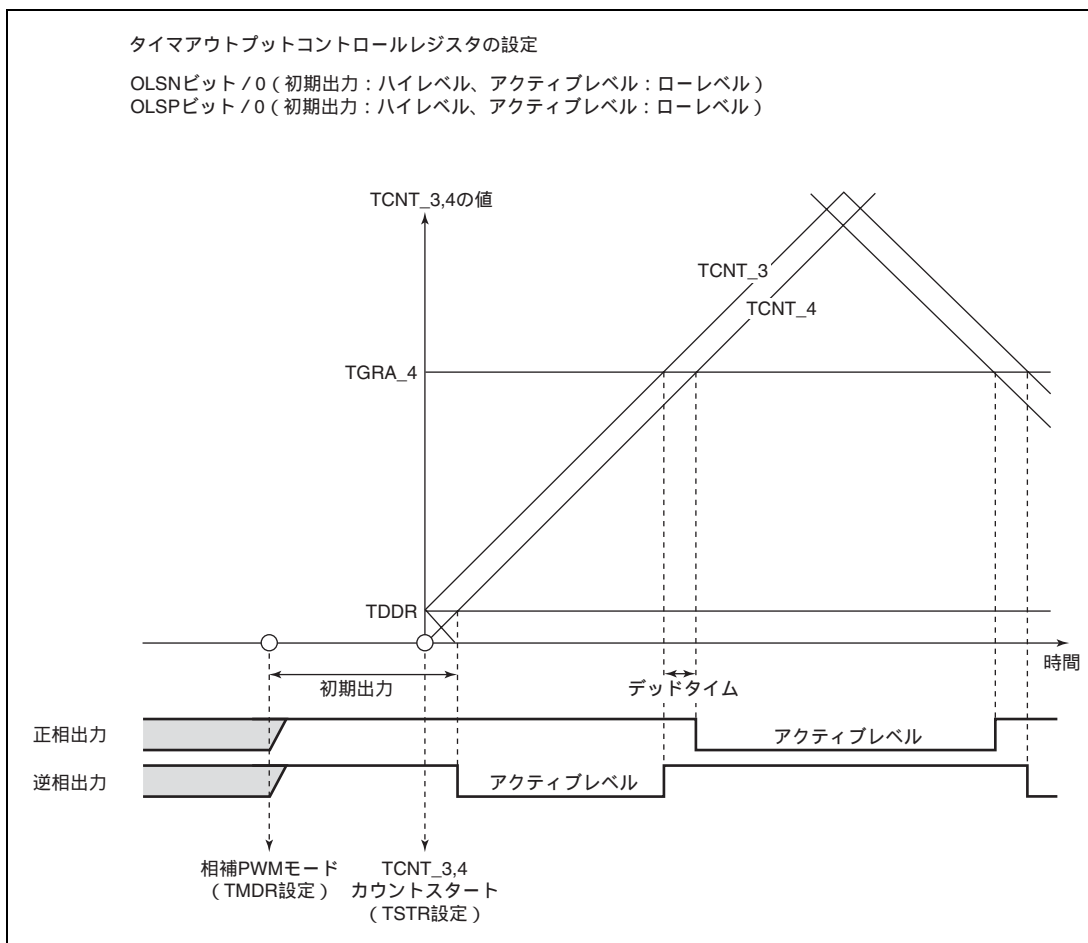


図 12.44 相補 PWM モードの初期出力例 (1)

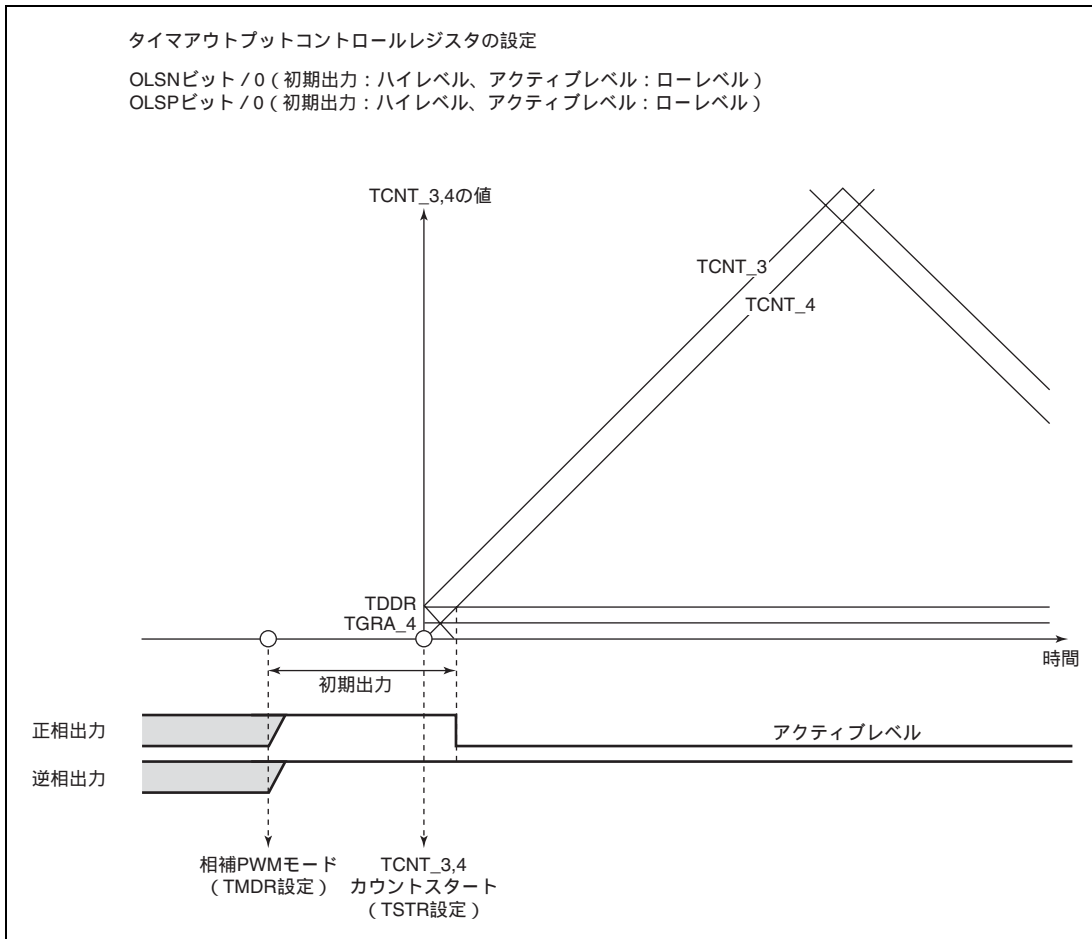


図 12.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 12.46 ~ 図 12.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 12.46 に示すように通常の場合のコンペアマッチは、a b c d (または c d a' b') の順番で発生します。

コンペアマッチが a b c d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c d a' b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 12.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 12.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

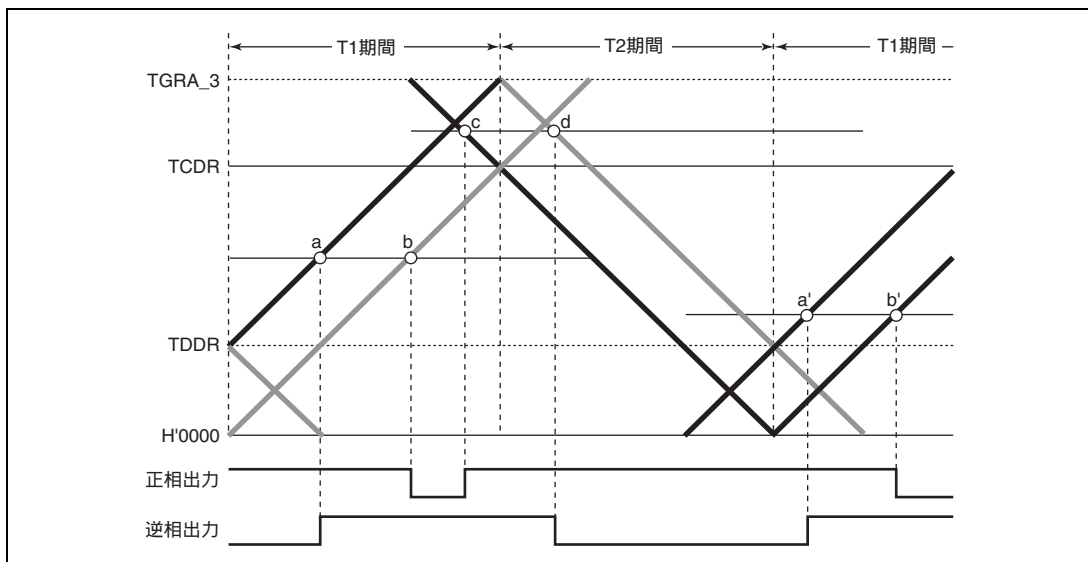


図 12.46 相補 PWM モード波形出力例 (1)

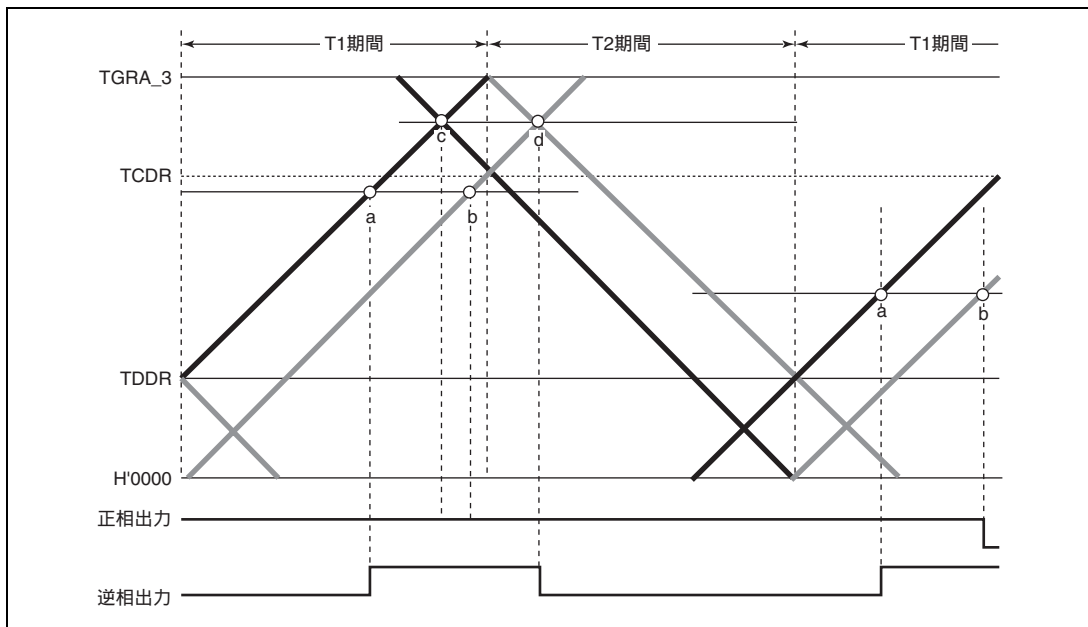


図 12.47 相補 PWM モード波形出力例 (2)

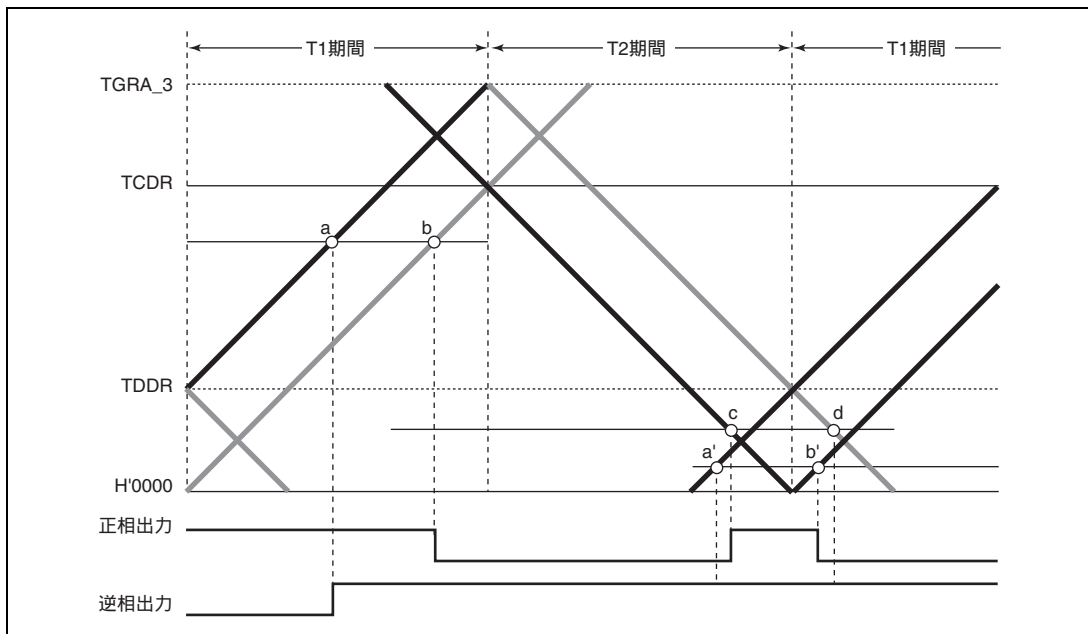


図 12.48 相補 PWM モード波形出力例 (3)

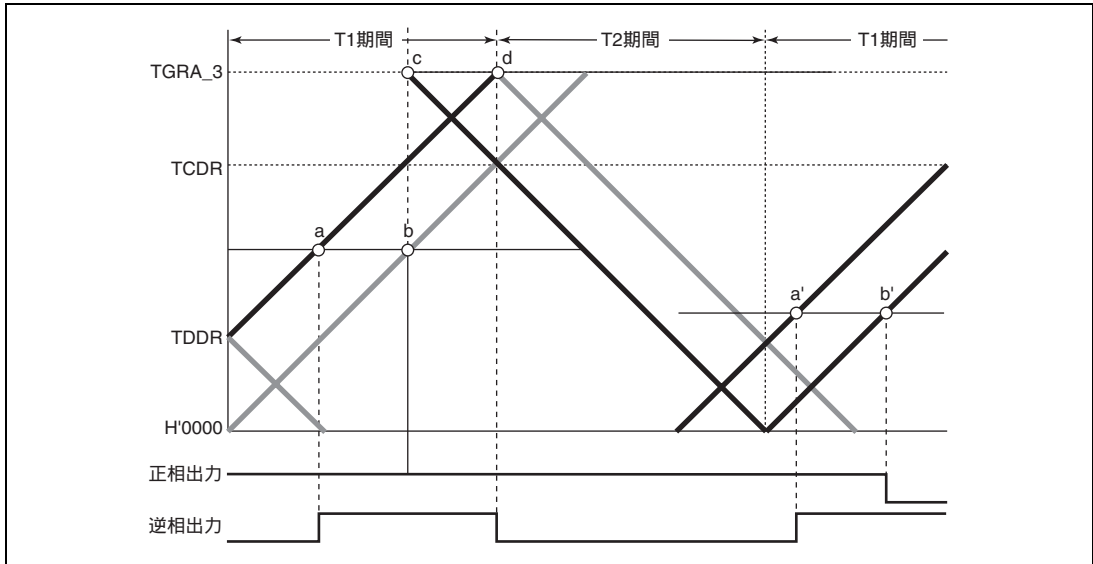


図 12.49 相補 PWM モード 0%、100%波形出力例 (1)

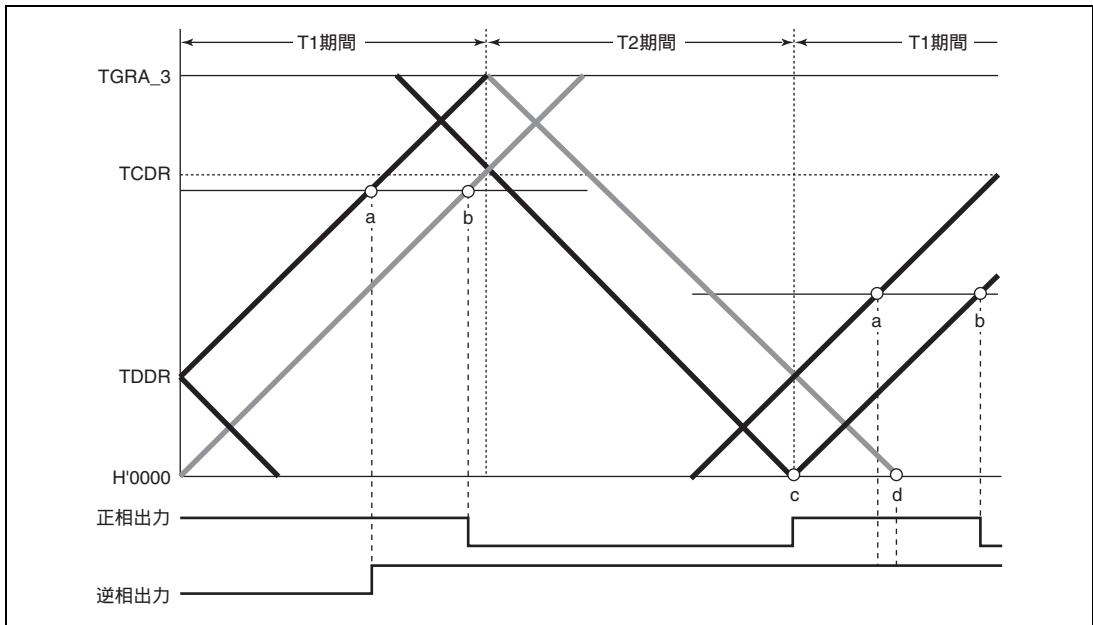


図 12.50 相補 PWM モード 0%、100%波形出力例 (2)

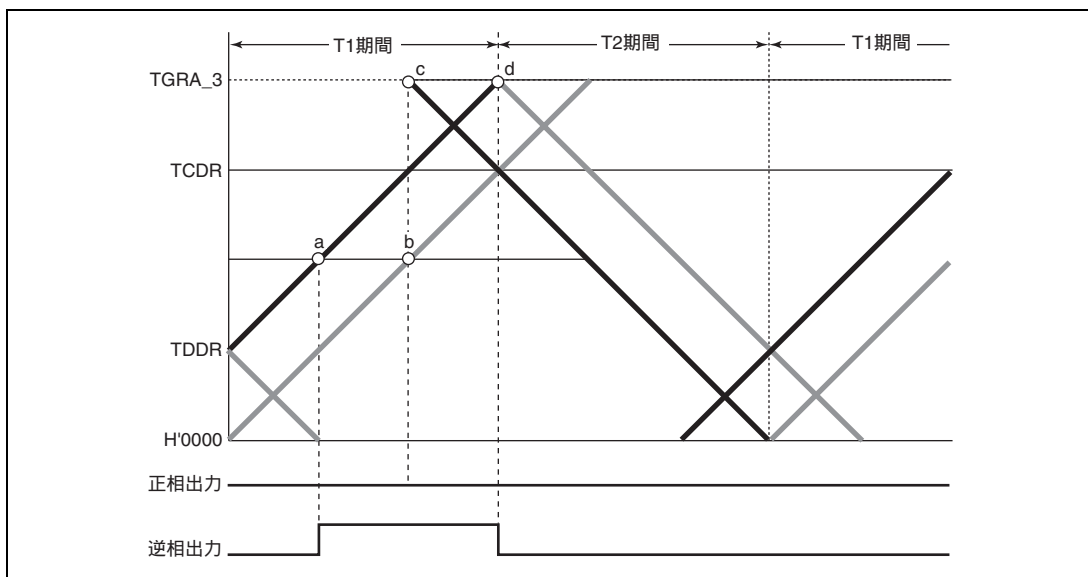


図 12.51 相補 PWM モード 0%、100%波形出力例 (3)

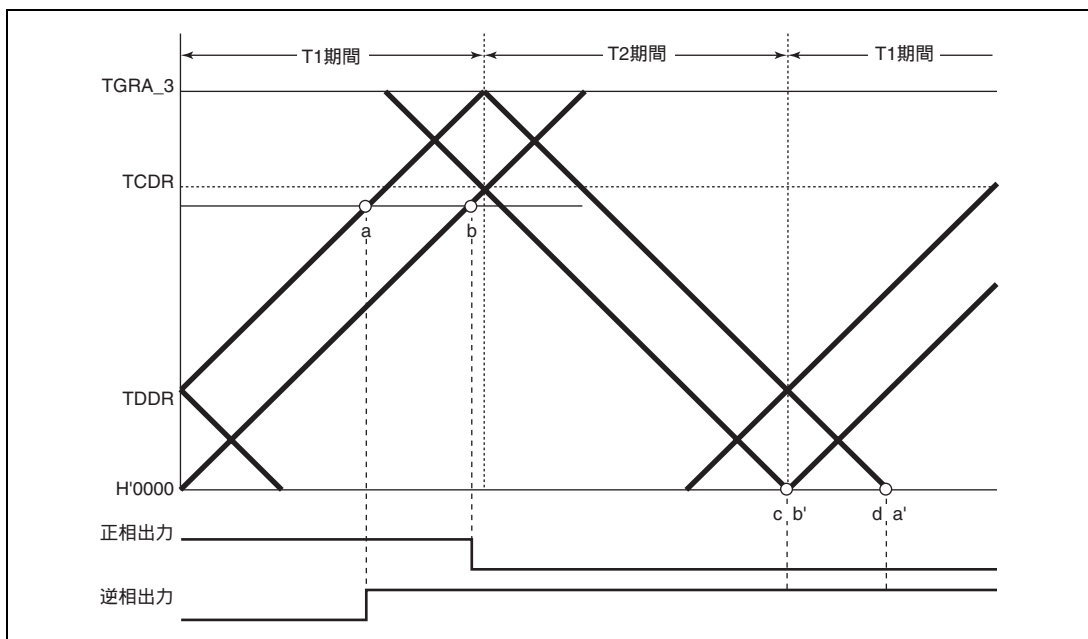


図 12.52 相補 PWM モード 0%、100%波形出力例 (4)

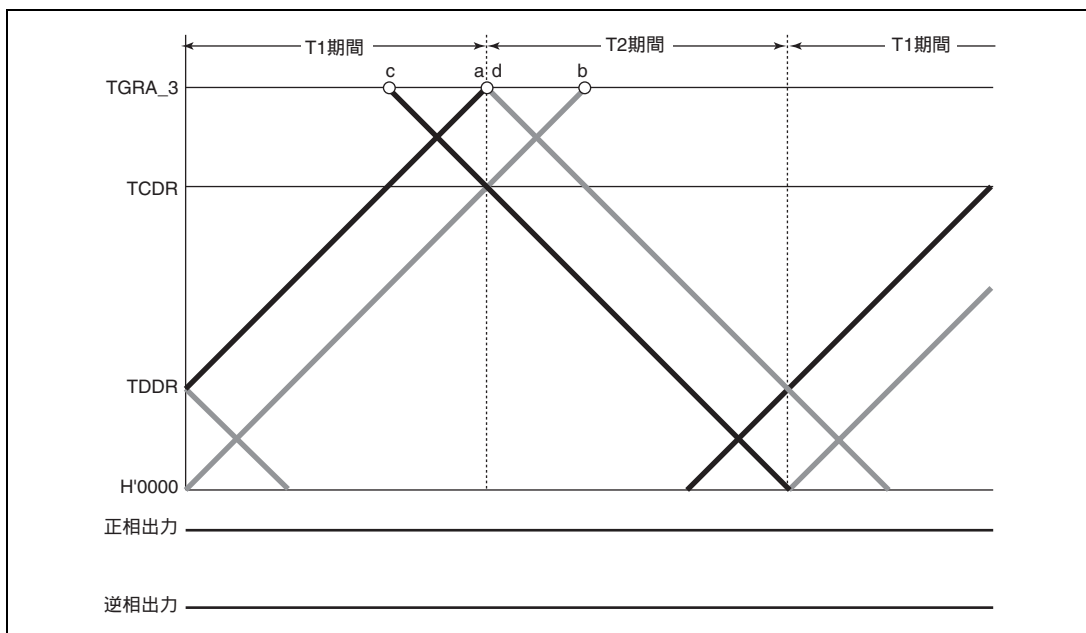


図 12.53 相補 PWM モード 0%、100%波形出力例 (5)

(k) 相補 PWM モードのデューティ 0%、100%出力

相補 PWM モードでは、デューティ 0%、100%を任意に出力可能です。図 12.49 ~ 図 12.53 に出力例を示します。

デューティ 100%出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、コンペアレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(l) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 12.54 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

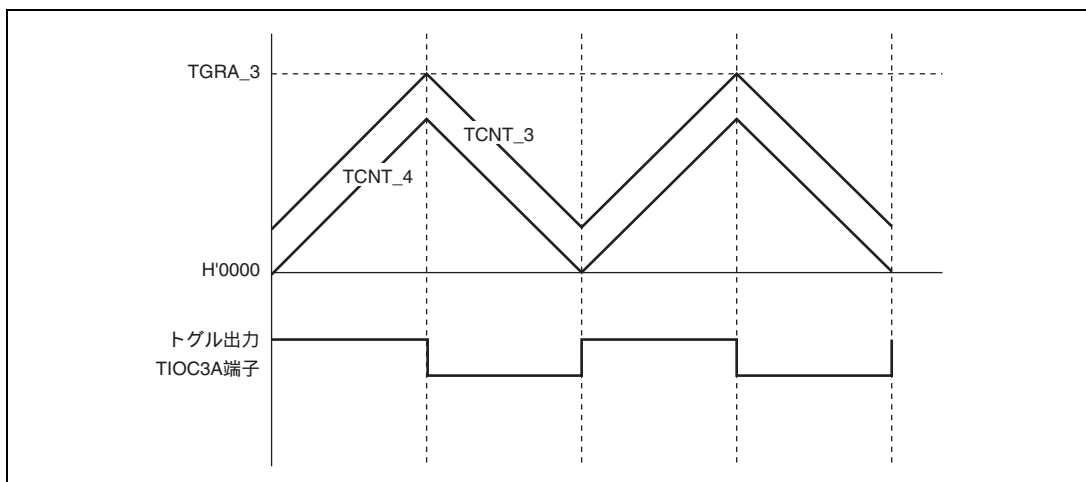


図 12.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 12.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

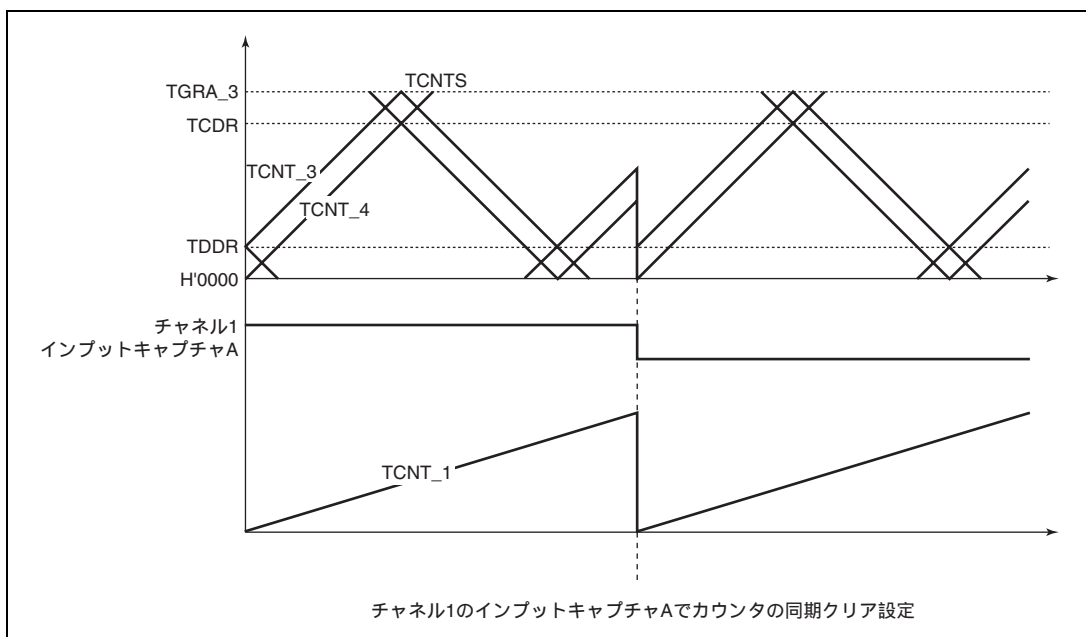


図 12.55 他のチャネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑止することができます。

WRE ビットを 1 に設定することで初期出力を抑止することができるのは、同期クリアが図 12.56 の、のような谷の T_b 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 12.56 ので示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

初期出力を抑止する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。

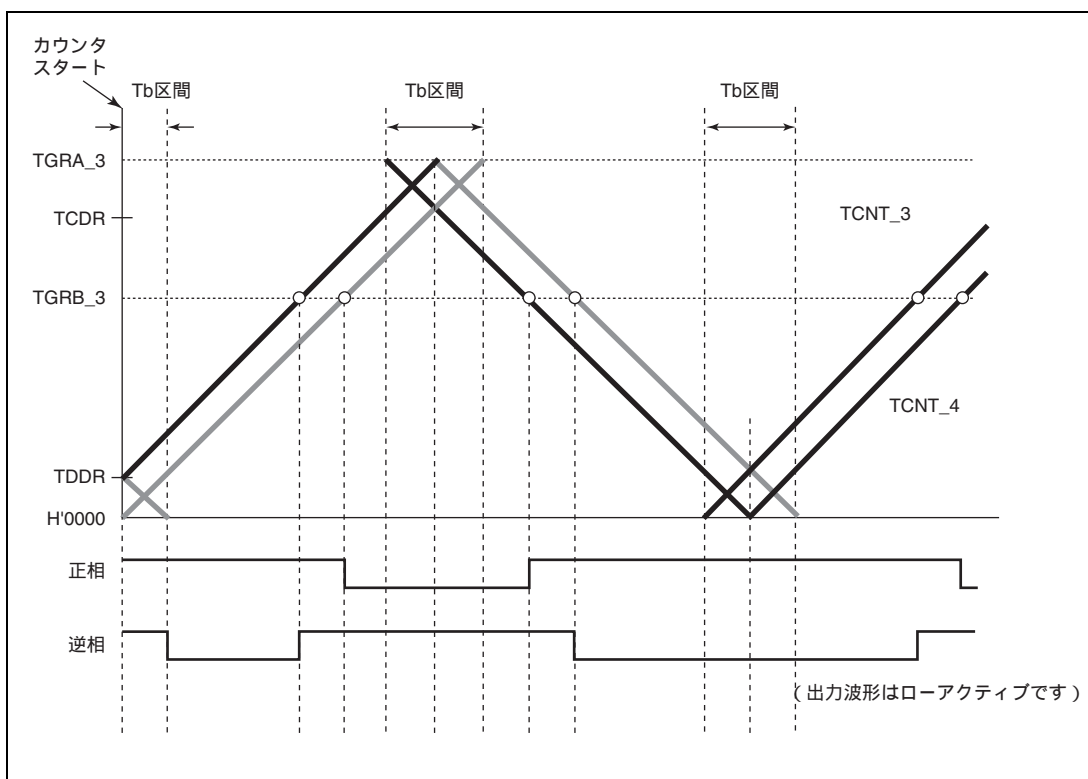


図 12.56 同期カウンタクリアタイミング

- 相補PWMモードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 12.57 に示します。

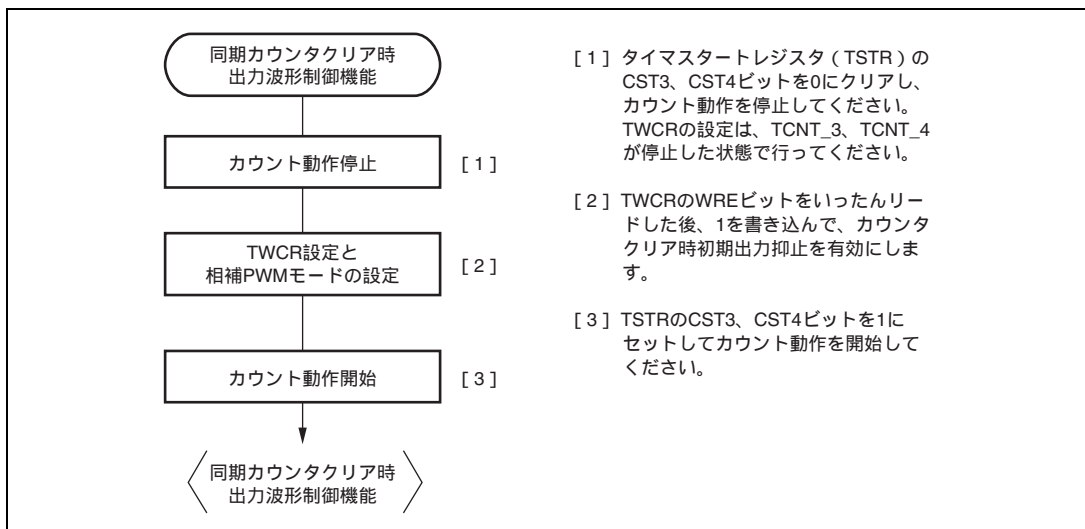


図 12.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補PWMモードでの同期カウンタクリア時出力波形制御動作例

図 12.58 ~ 図 12.61 に、TWCR の WRE ビットを 1 に設定した状態で MTU2 を相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 12.58 ~ 図 12.61 の同期カウンタクリアのタイミングは、それぞれ図 12.56 の 、 、 、 で示したタイミングです。

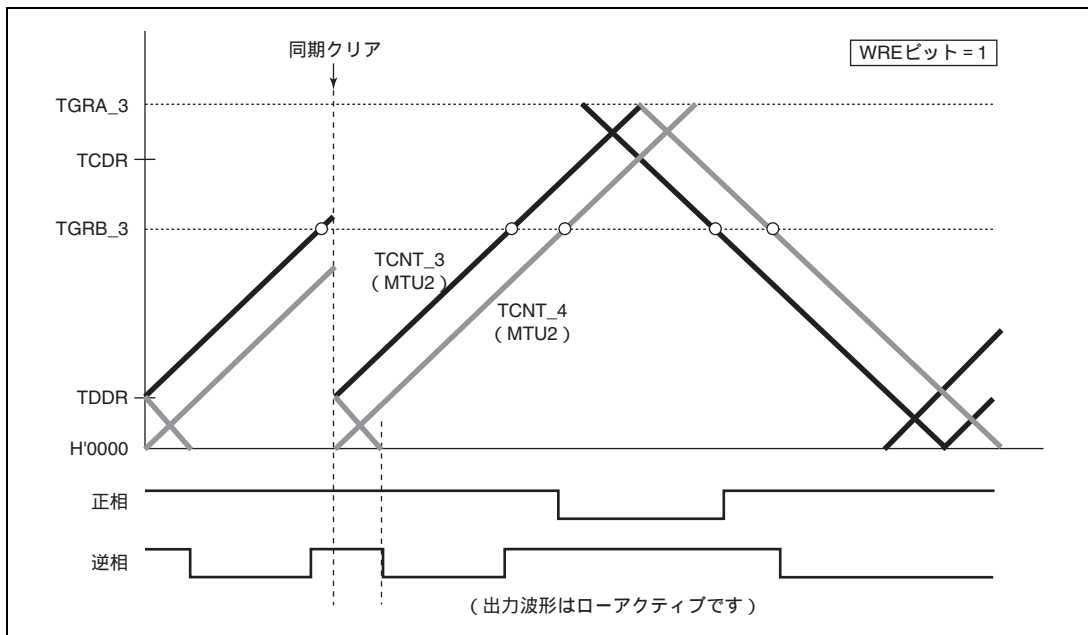


図 12.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット=1)

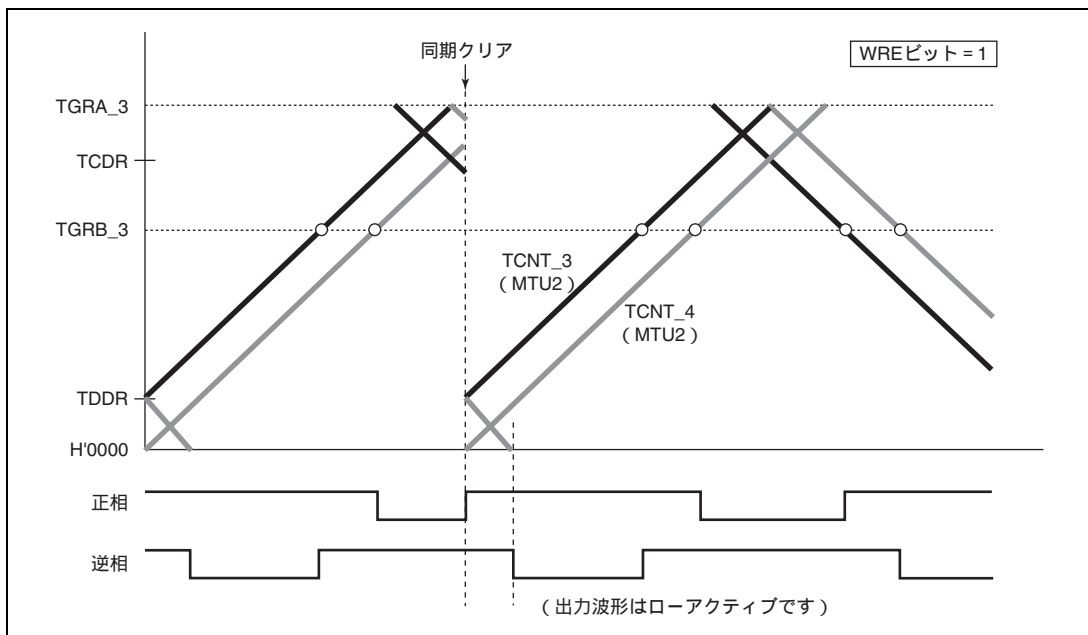


図 12.59 山の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット=1)

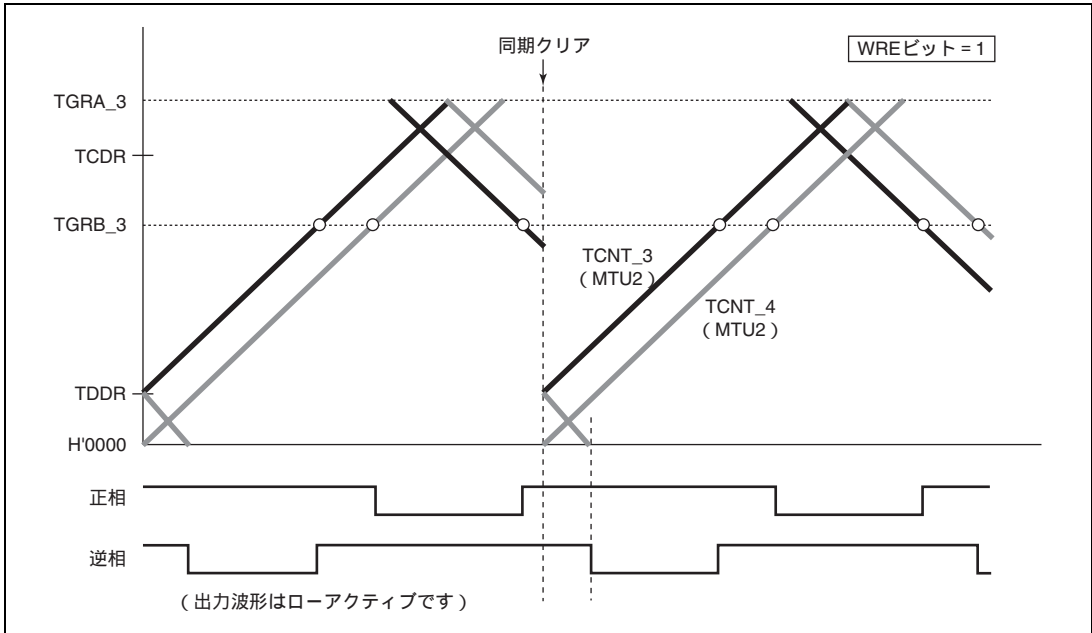


図 12.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 12.56 のタイミング、TWCR レジスタの WRE ビット = 1)

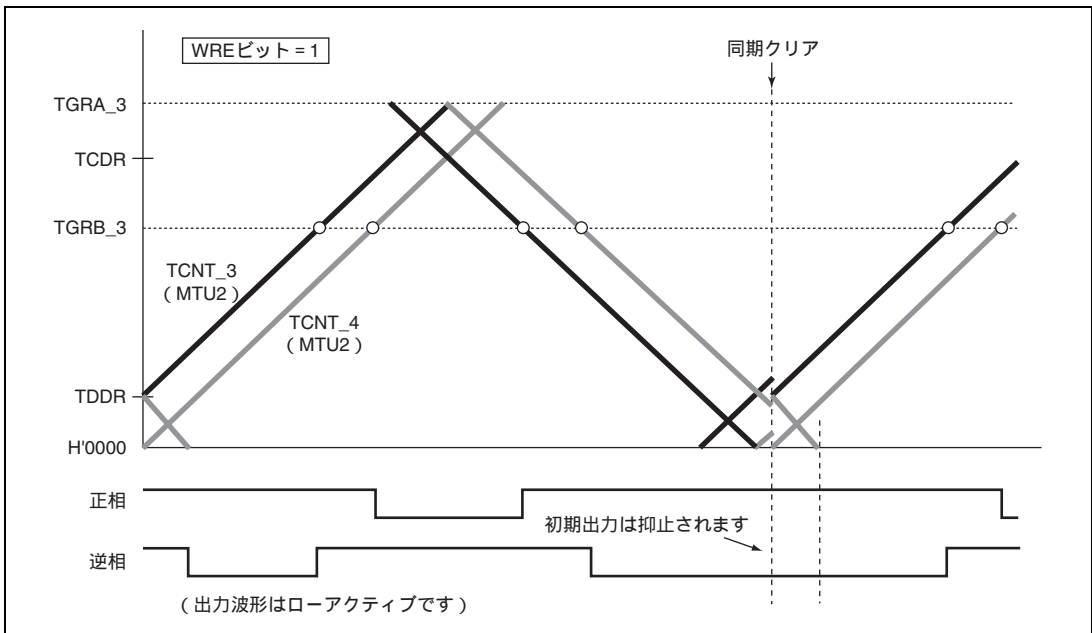


図 12.61 谷の Tb 区間で同期クリアが発生した場合
(図 12.56 のタイミング、TWCR レジスタの WRE ビット = 1)

(o) TGRA_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、TGRA_3 のコンペアマッチで TCNT_3、TCNT_4 および TCNTS をクリアすることが可能です。

図 12.62 に動作例を示します。

- 【注】
1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYR) の SYNC0 ~ SYNC4 ビットを 1 に設定しないでください)
 3. PWM デューティは、H'0000 を設定しないでください。
 4. タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを 1 に設定しないでください。

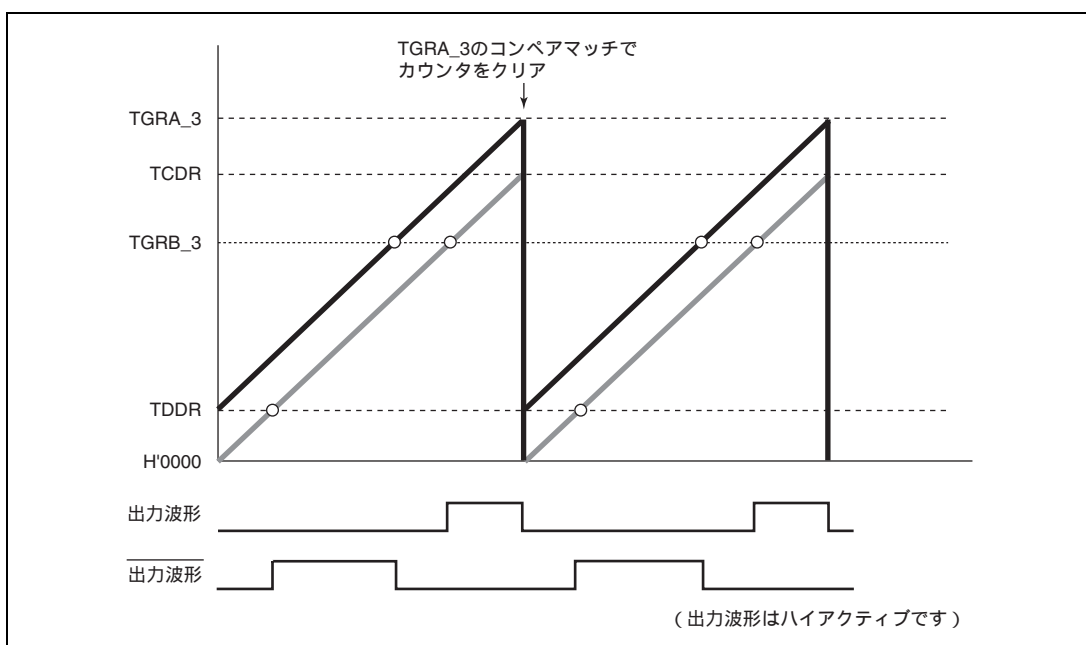


図 12.62 TGRA_3 のコンペアマッチにおけるカウンタクリアの動作例

(p) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 12.63 ~ 図 12.66 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFC で設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この 6 相出力は N ビットまたは P ビットを 1 に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが 0 の場合は、レベル出力になります。

また、6 相出力のアクティブレベル (ON 出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ (TOCR) の OLSN ビット、OLSP ビットで設定できます。

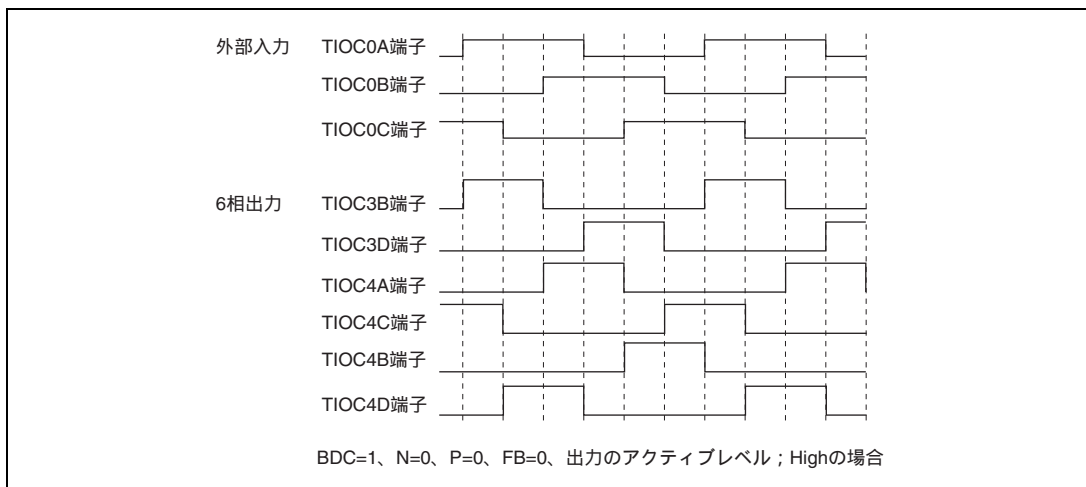


図 12.63 外部入力による出力相の切り替え動作例 (1)

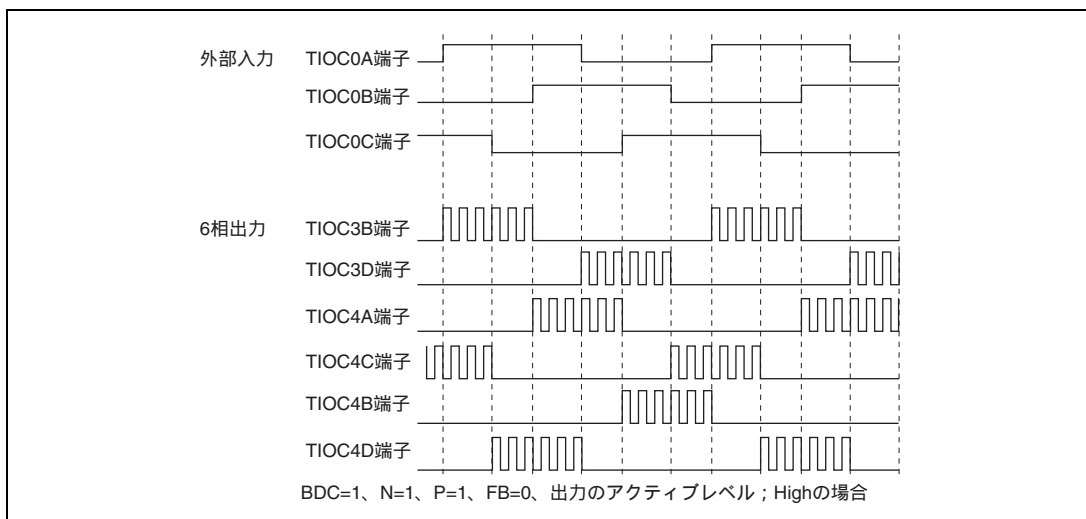


図 12.64 外部入力による出力相の切り替え動作例 (2)

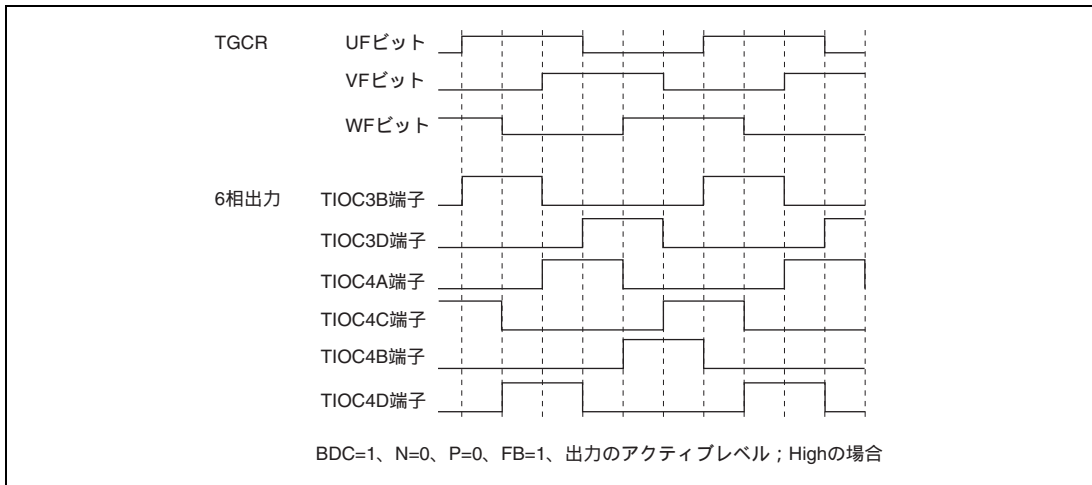


図 12.65 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

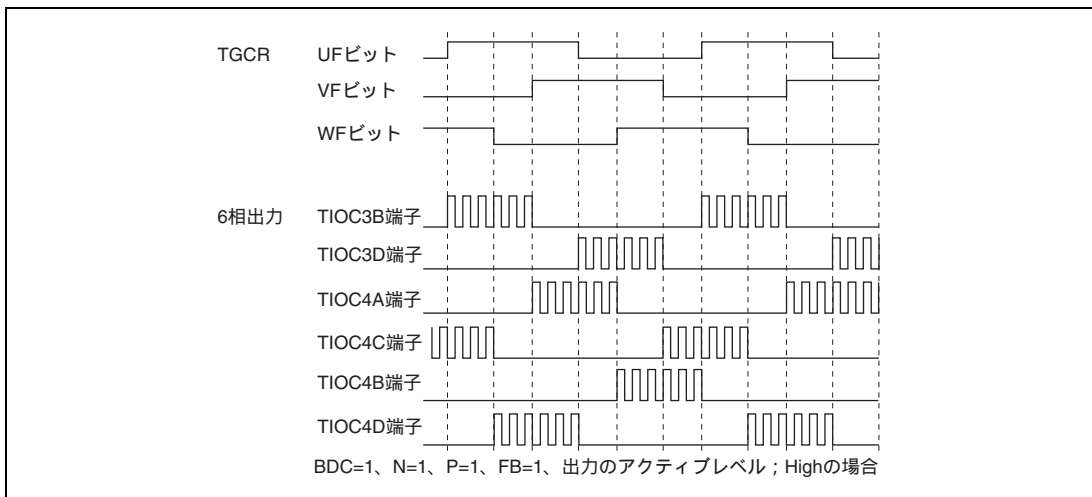


図 12.66 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチ、TCNT_4 のアンダフロー（谷）、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、TCNT_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイムインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。TCNT_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER_4 の TTGE2 ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

チャンネル 3 とチャンネル 4 の TGIA_3 (山の割り込み)、および TCIV_4 (谷の割り込み) は、タイマ割り込み間引き設定レジスタ (TITCR) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTER) を設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「12.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ (TITCR) の設定は、TIER_3、TIER_4 レジスタの設定で TGIA_3 と TCIV_4 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA_3、TCFV_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 12.67 に示します。また、割り込み間引き回数の変更可能期間を図 12.68 に示します。

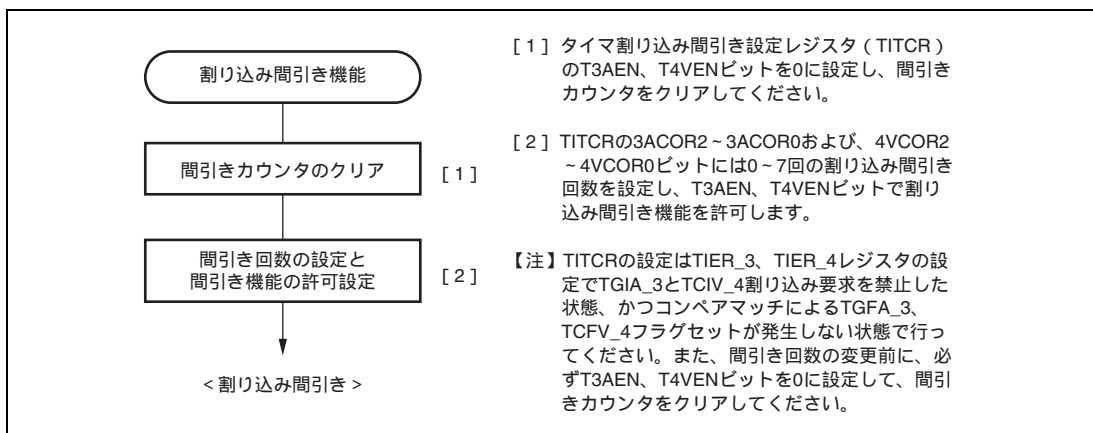


図 12.67 割り込み間引き機能の設定手順例

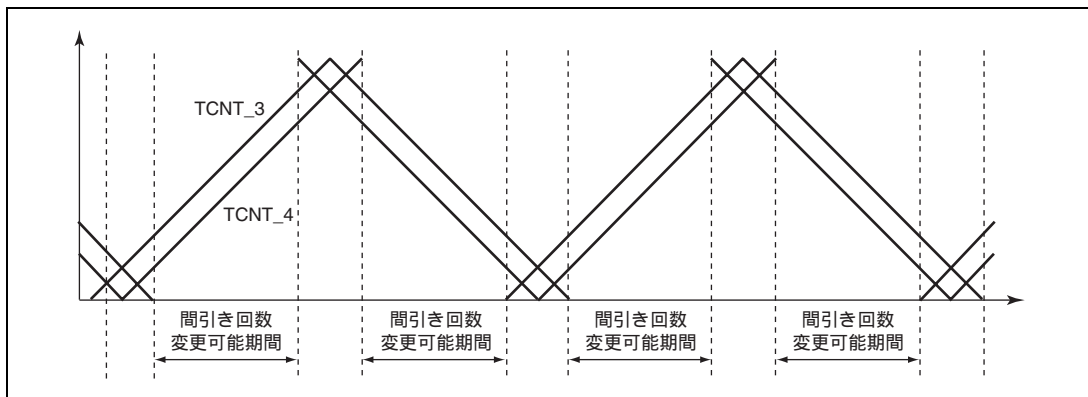


図 12.68 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ (TITCR) の 3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを 1 に設定した場合の、TGIA_3 割り込み間引きの動作例を図 12.69 に示します。

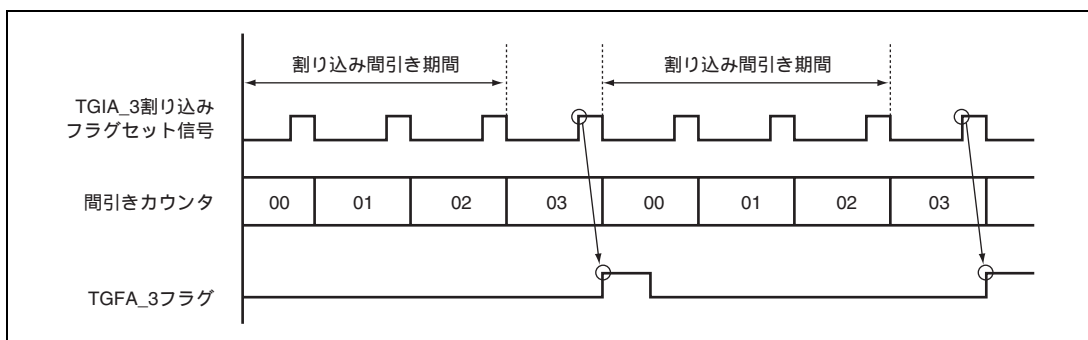


図 12.69 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ (TBTER) レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例を図 12.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例を図 12.71 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

割り込み発生からバッファレジスタの書き換えタイミングにより、バッファレジスタからテンポラリレジスタおよびテンポラリレジスタからジェネラルレジスタへの転送タイミングが 2 種類あります。

なお、タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN ビットを 1 に設定した場合、T4VEN ビットを 1 に設定した場合、T3AEN/T4VEN ビットを 1 に設定した場合で、それぞれバッファ転送許可期間が異なります。

TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 12.72 に示します。

【注】 本機能は、割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ (TBTER) の BTE1 を 0 に設定）してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

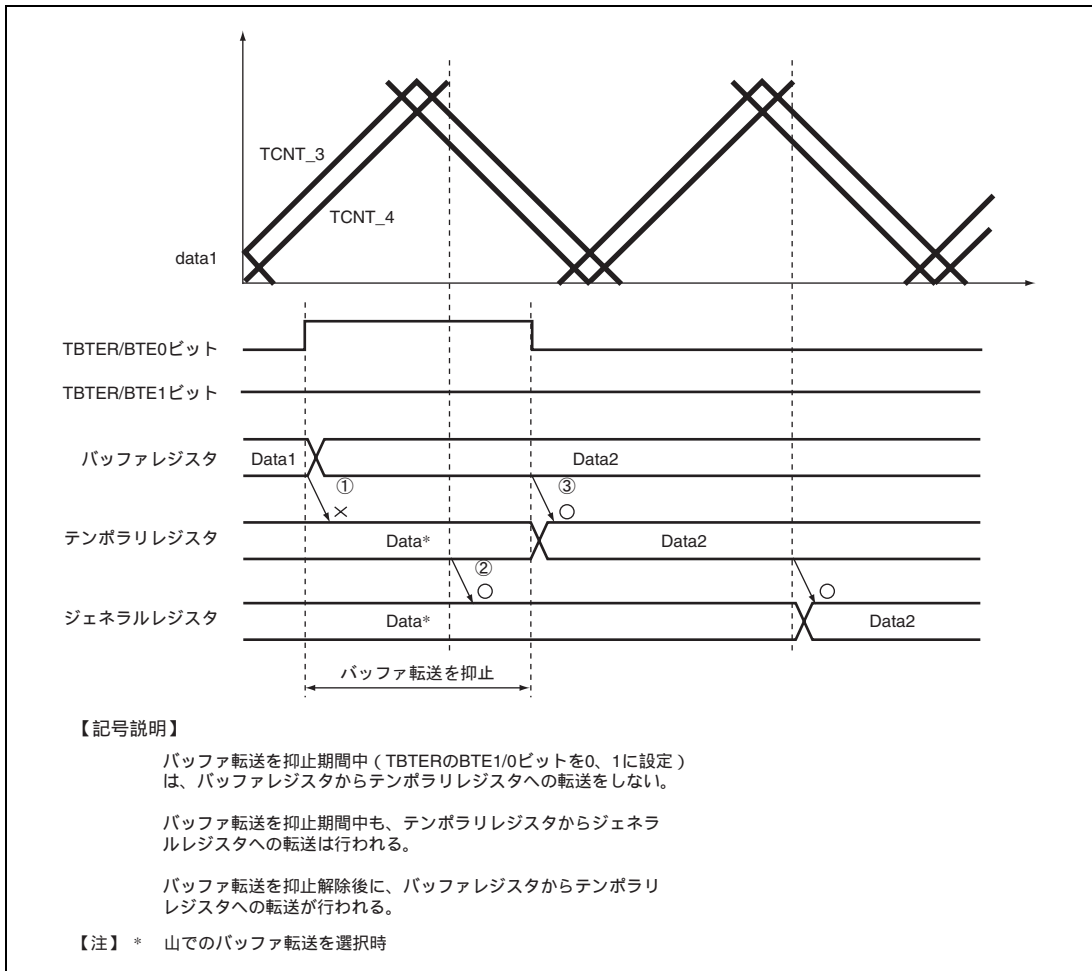


図 12.70 バッファ転送を抑制する設定（BTE1 = 0、BTE0 = 1）にした場合の動作例

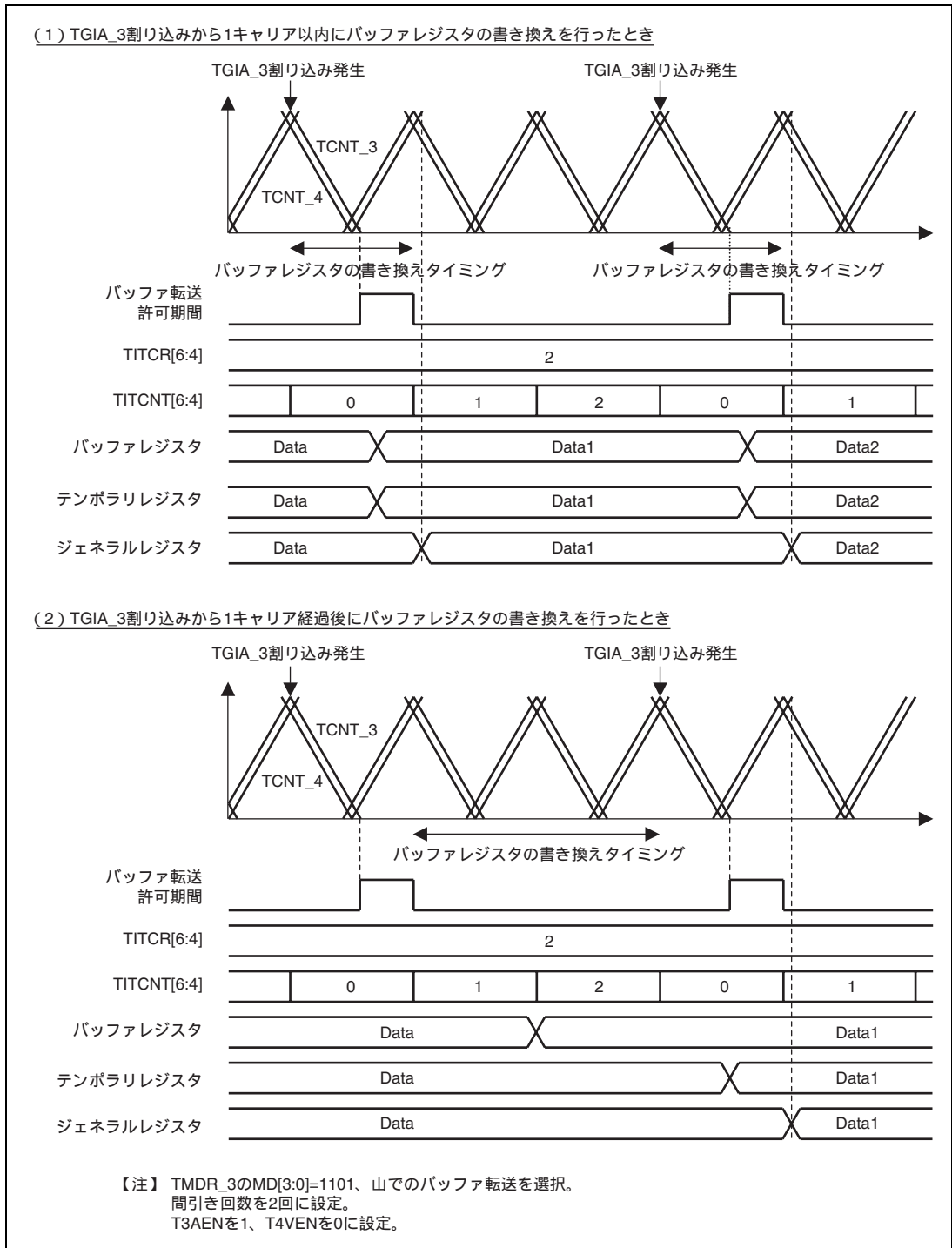


図 12.71 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例

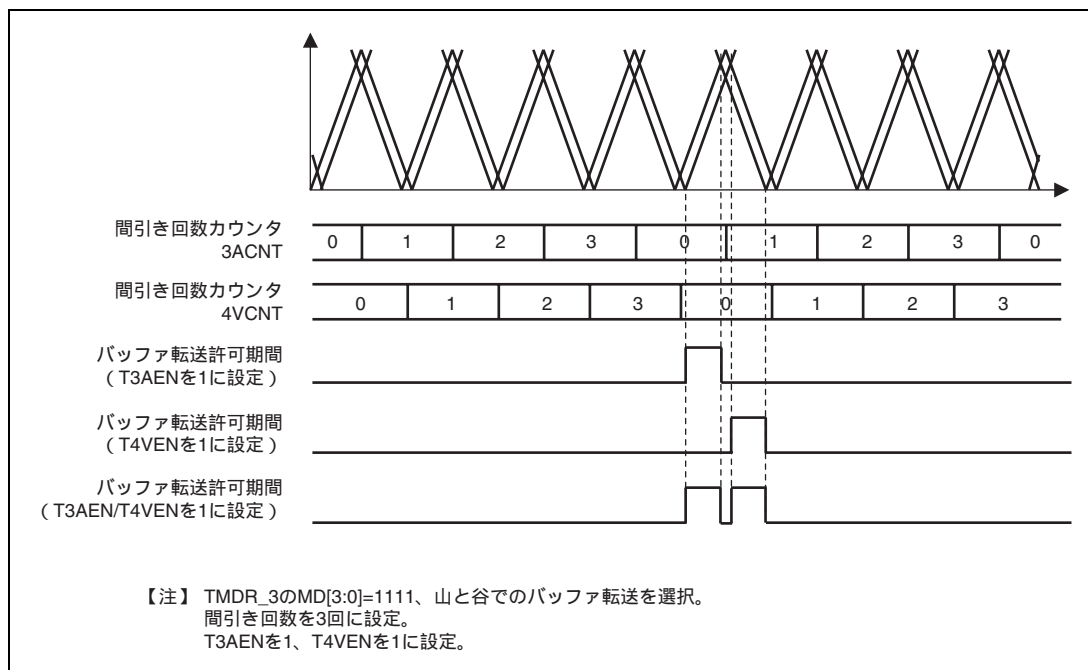


図 12.72 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定と
バッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIO RL_3 および TIO RL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

12.4.9 A/D 変換開始要求ディレイド機能

チャンネル 4 のタイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 起動要求用周期レジスタ (TADCORA_4、TADCORB_4)、タイマ A/D 起動要求用周期バッファレジスタ (TADCOBRA_4、TADCOBRB_4) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT_4 と TADCORA_4、TADCORB_4 を比較し、TCNT_4 と TADCORA_4、TADCORB_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

- A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 12.73 に示します。

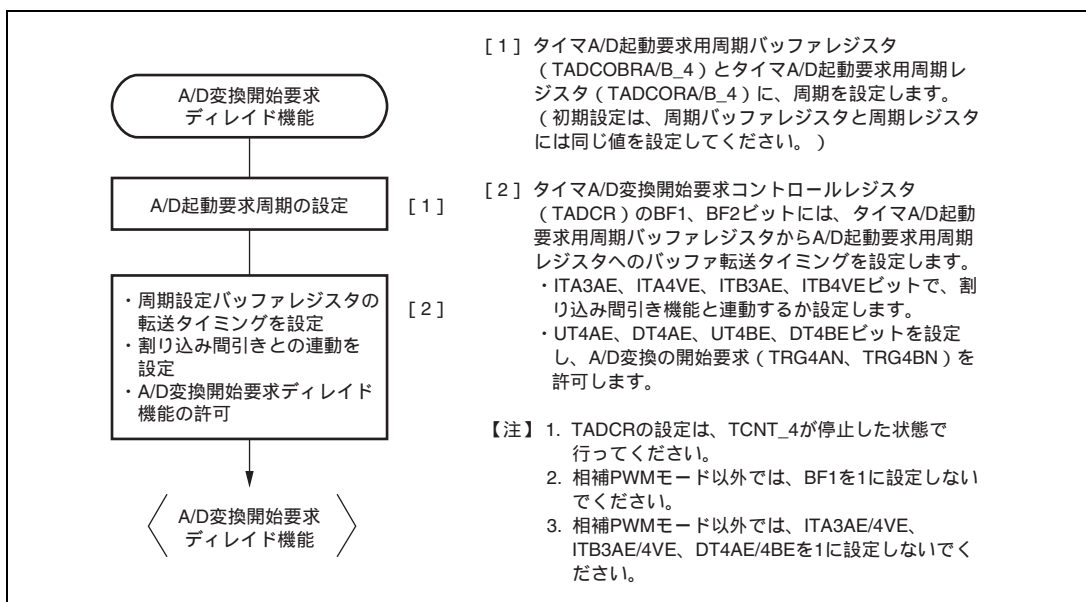


図 12.73 A/D 変換開始要求ディレイド機能の設定手順例

- A/D変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングをTCNT_4の谷に設定し、TCNT_4のダウンカウント時にA/D変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D変換の開始要求信号 (TRG4AN) の基本動作例を図12.74に示します。

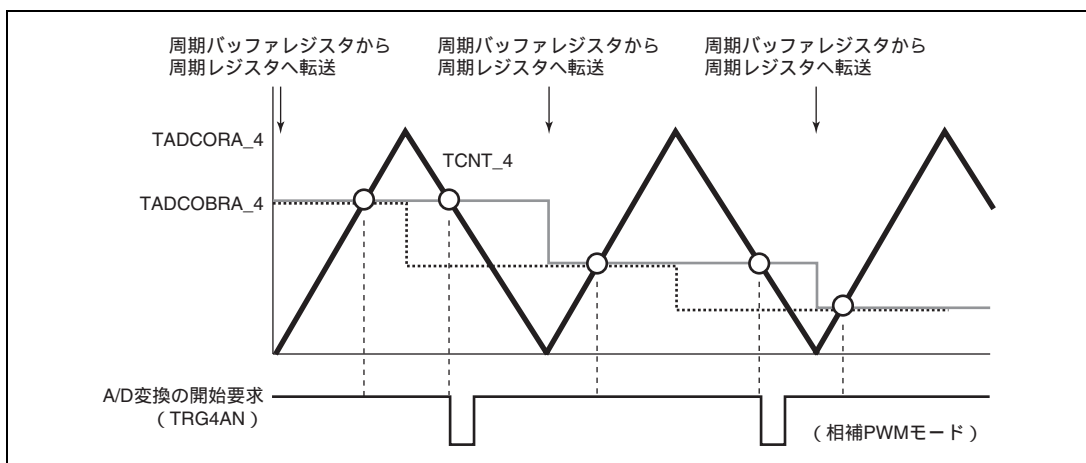


図 12.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

- バッファ転送

タイマA/D起動要求用周期設定レジスタ (TADCORA/B_4) のデータ更新は、タイマA/D起動要求用周期設定バッファレジスタ (TADCOBRA/B_4) にデータを書き込むことにより行います。タイマA/D起動要求用周期設定バッファレジスタからタイマA/D起動要求用周期設定レジスタへの転送タイミングは、タイマA/D変換開始要求コントロールレジスタ (TADCR_4) のBF1、BF0ビットを設定することにより選択することができます。

- 割り込み間引き機能と連動したA/D変換開始要求ディレイド機能

タイマA/D変換開始要求コントロールレジスタ (TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VEビットの設定により、割り込み間引き機能と連動してA/D変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT_4のアップカウント時、およびダウンカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例を図12.75に示します。

また、TCNT_4のアップカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例を図12.76に示します。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) のT3AEN、T4VEN ビットを0に設定したとき、またはTITCRの間引き回数設定ビット (3ACOR、4VCOR) を0に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマA/D変換開始要求コントロールレジスタ (TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを0に設定) 設定にしてください。

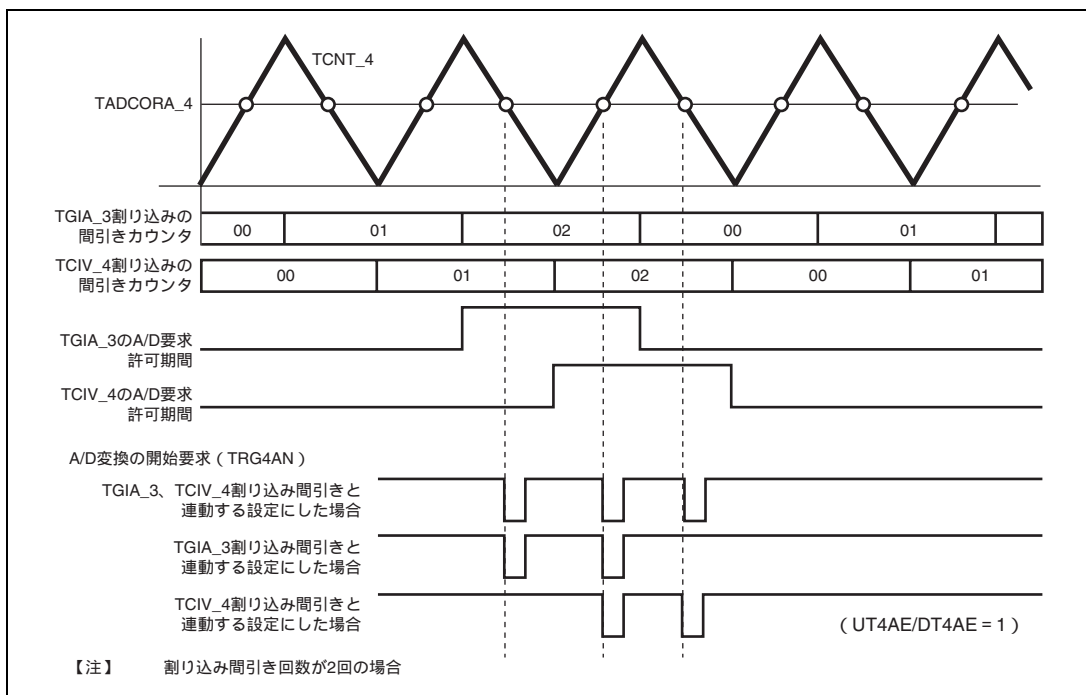


図 12.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

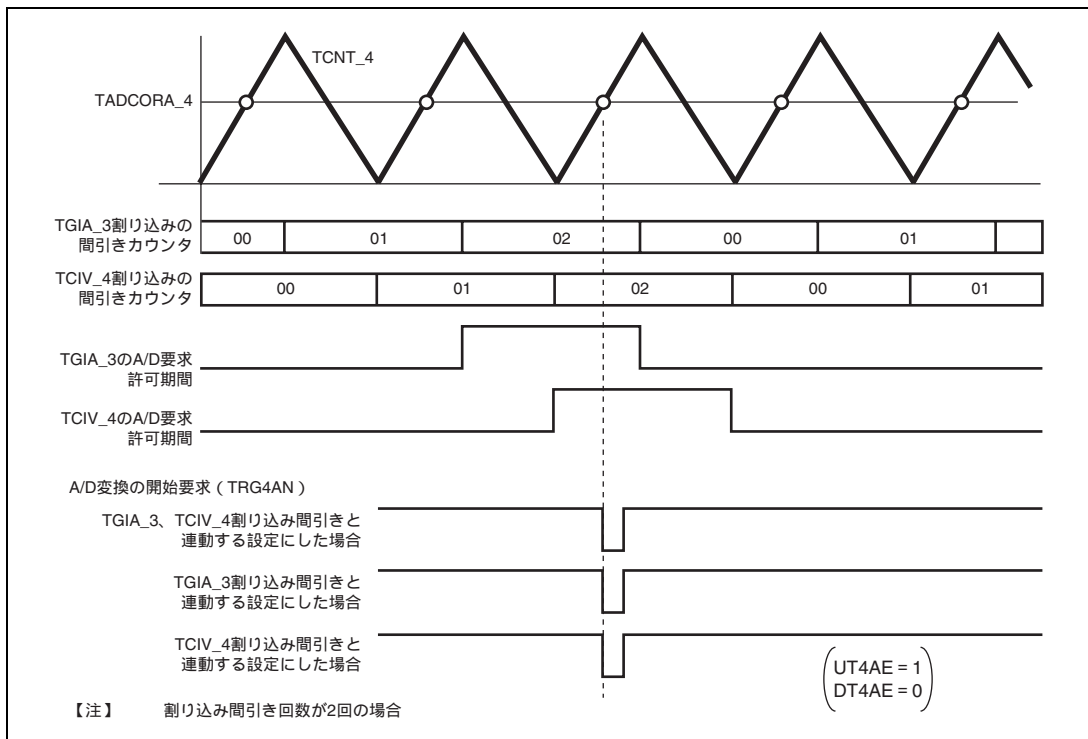


図 12.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

12.4.10 相補 PWM の「山/谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 12.77 は TCNT はフリーランでクリアせずに使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

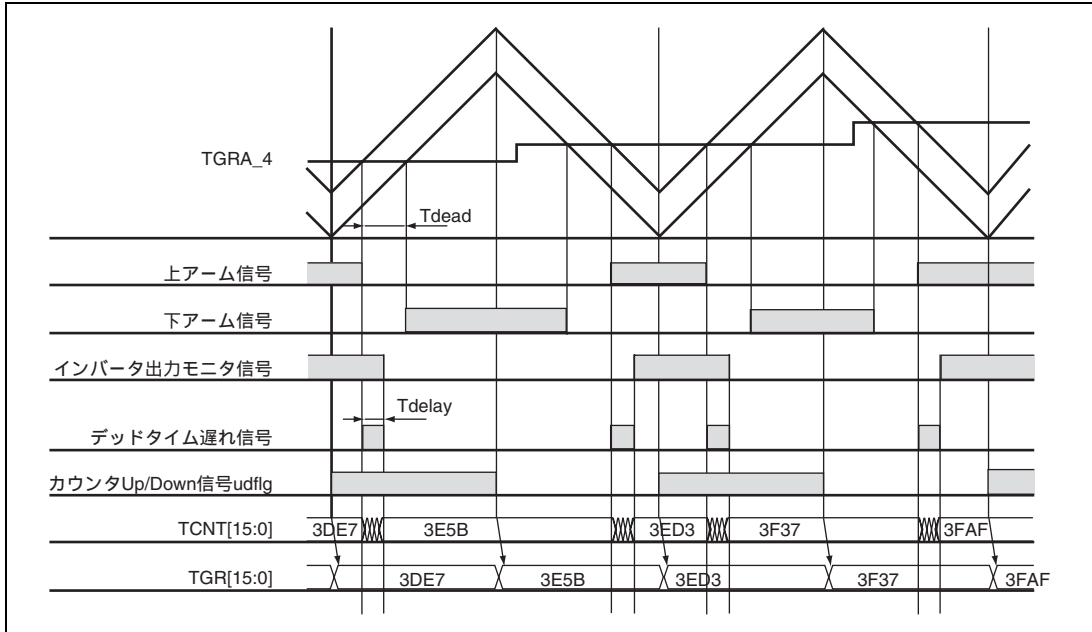


図 12.77 相補 PWM の「山/谷」での TCNT キャプチャ動作

12.5 割り込み要因

12.5.1 割り込み要因と優先順位

MTU2 の割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 7 章 割り込みコントローラ (INTC)」を参照してください。

表 12.55 に MTU2 の割り込み要因の一覧を示します。

表 12.55 MTU2 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC の起動	優先順位
0	TGIA_0	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可	高 ↑
	TGIB_0	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	不可	
	TGIC_0	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	不可	
	TGID_0	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	不可	
	TCIV_0	TCNT_0 のオーバフロー	TCFV_0	不可	
	TGIE_0	TGRE_0 のコンペアマッチ	TGFE_0	不可	
	TGIF_0	TGRF_0 のコンペアマッチ	TGFF_0	不可	
1	TGIA_1	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可	↑ ↓ 低
	TGIB_1	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	不可	
	TCIV_1	TCNT_1 のオーバフロー	TCFV_1	不可	
	TCIU_1	TCNT_1 のアンダフロー	TCFU_1	不可	
2	TGIA_2	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可	
	TGIB_2	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	不可	
	TCIV_2	TCNT_2 のオーバフロー	TCFV_2	不可	
	TCIU_2	TCNT_2 のアンダフロー	TCFU_2	不可	
3	TGIA_3	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可	
	TGIB_3	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	不可	
	TGIC_3	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	不可	
	TGID_3	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	不可	
	TCIV_3	TCNT_3 のオーバフロー	TCFV_3	不可	

チャンネル	名称	割り込み要因	割り込みフラグ	DMACの起動	優先順位
4	TGIA_4	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可	高 ↑ ↓ 低
	TGIB_4	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	不可	
	TGIC_4	TGRC_4 のインプットキャプチャ / コンペアマッチ	TGFC_4	不可	
	TGID_4	TGRD_4 のインプットキャプチャ / コンペアマッチ	TGFD_4	不可	
	TCIV_4	TCNT_4 のオーバフロー / アンダフロー	TCFV_4	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 0 に 6 本、チャンネル 3、4 に各 4 本、チャンネル 1、2 に各 2 本、計 18 本のインプットキャプチャ / コンペアマッチ割り込みがあります。チャンネル 0 の TGFE_0、TGFF_0 フラグは、インプットキャプチャではセットされません。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、各チャンネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

12.5.2 DMAC の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

MTU2 では、チャンネル 0~4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

12.5.3 A/D 変換器の起動

MTU2 では、次の 3 種類の方法で A/D 変換器を起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 12.56 に示します。

(1) TGRA のインプットキャプチャ/コンペアマッチと、相補 PWM モード時の TCNT_4 の谷での A/D 起動
各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。また、TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT_4 が谷 (TCNT_4 = H'0000) になったときも A/D 変換器を起動することができます。

次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT_4 が谷 (TCNT_4 = H'0000) になった場合

これらのとき A/D 変換器側で MTU2 の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) TCNT_0 と TGRE_0 のコンペアマッチによる A/D 起動

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチの発生により、TSR_0 の TGFE フラグが 1 にセットされたとき、TIER_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で MTU2 の変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (TADCR) の UT4AE、DT4AE、UT4BE、DT4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「12.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

表 12.56 各割り込み要因と A/D 変換開始要求の対応

対 象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ/コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

12.6 動作タイミング

12.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 12.78 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 12.79 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 12.80 に示します。

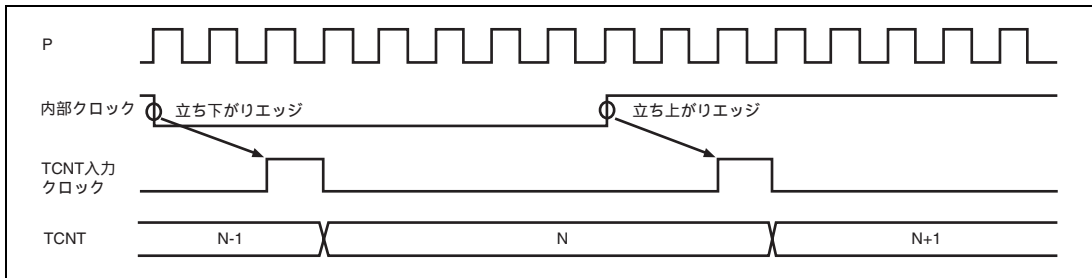


図 12.78 内部クロック動作時のカウントタイミング

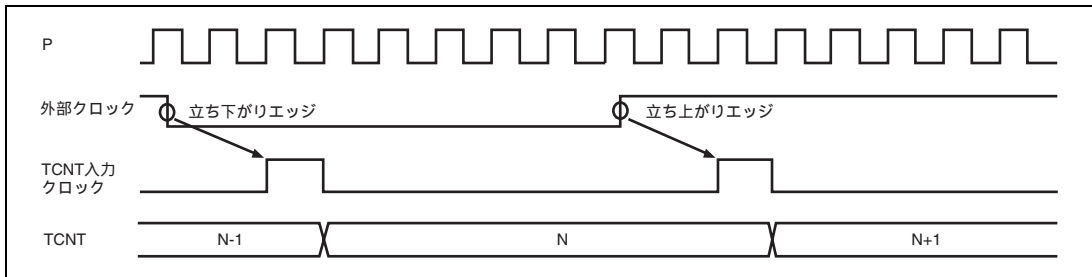


図 12.79 外部クロック動作時のカウントタイミング

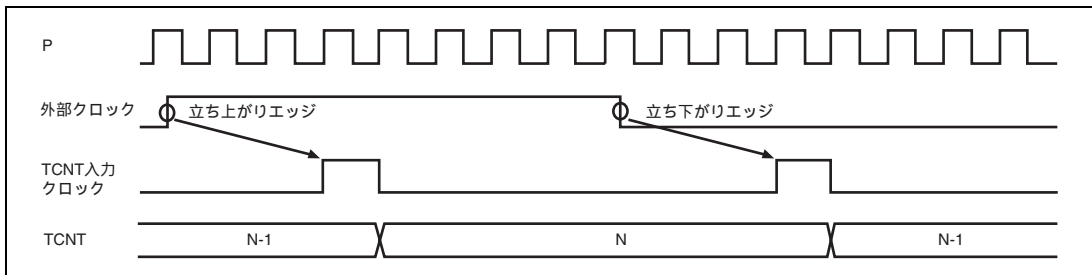


図 12.80 外部クロック動作時のカウントタイミング（位相計数モード）

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 12.81 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 12.82 に示します。

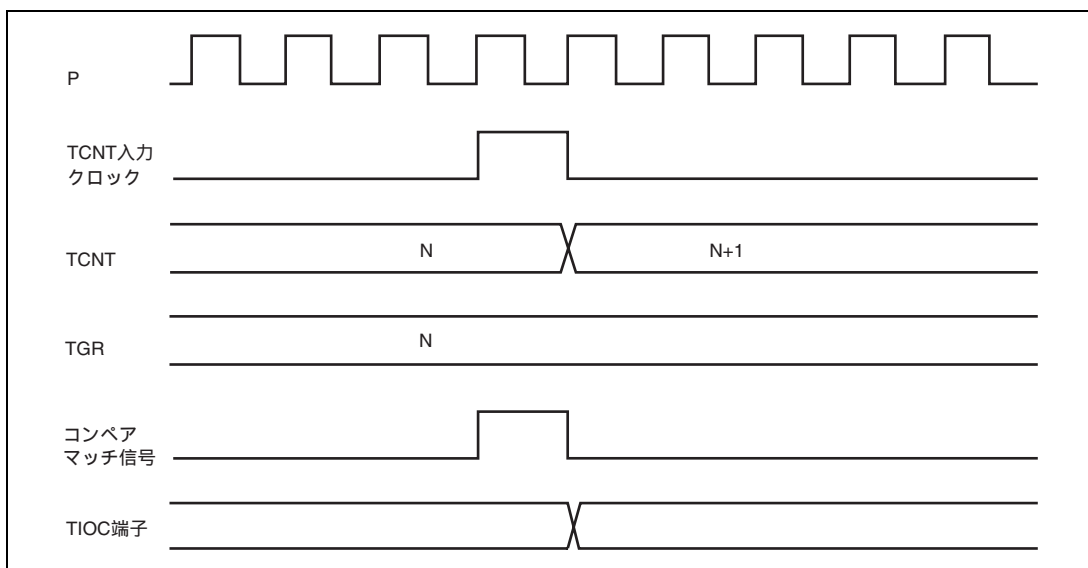


図 12.81 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

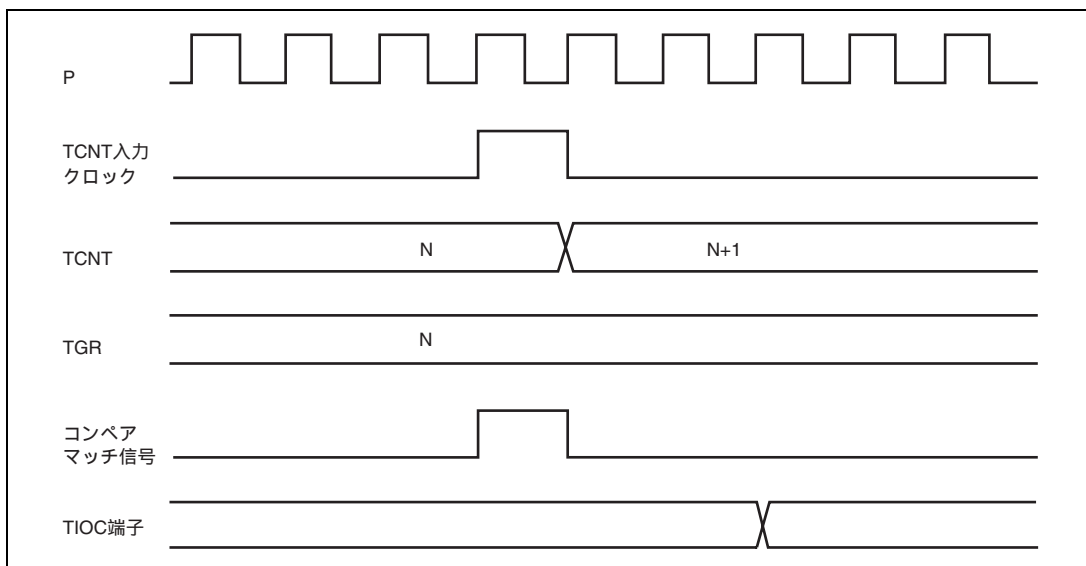


図 12.82 アウトputコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 12.83 に示します。

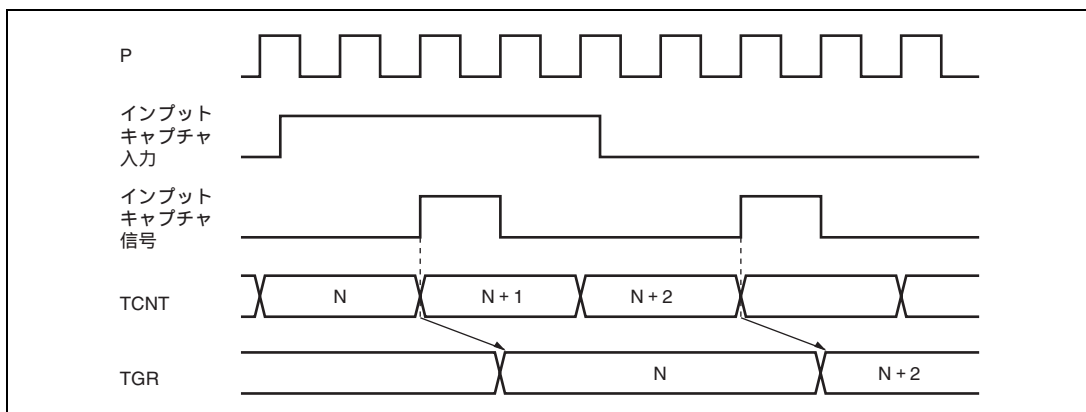


図 12.83 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 12.84 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 12.85 に示します。

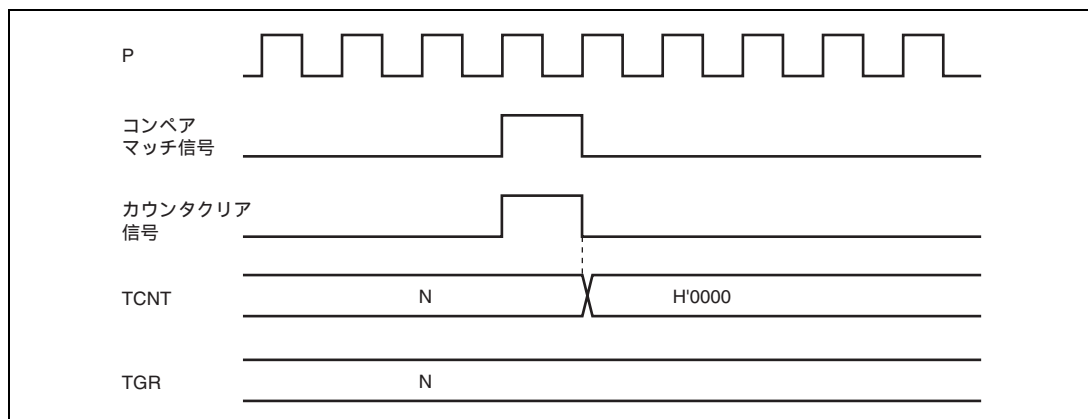


図 12.84 カウンタクリアタイミング (コンペアマッチ)

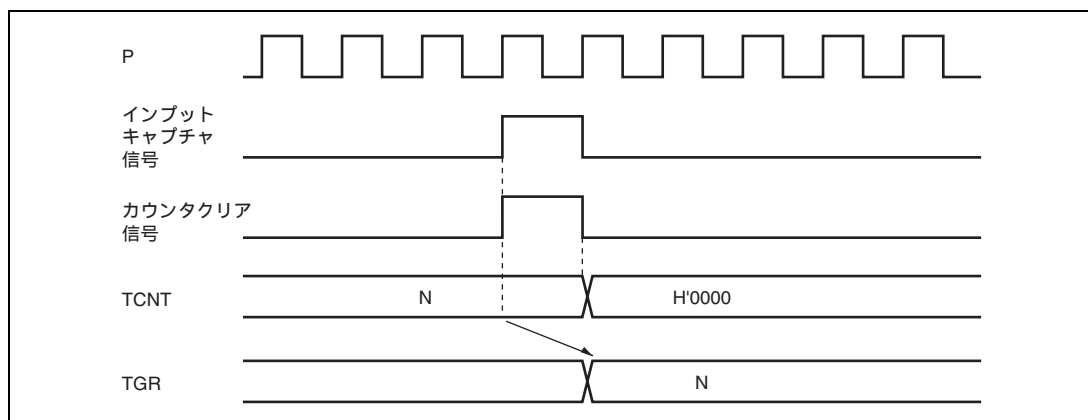


図 12.85 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 12.86 ~ 図 12.88 に示します。

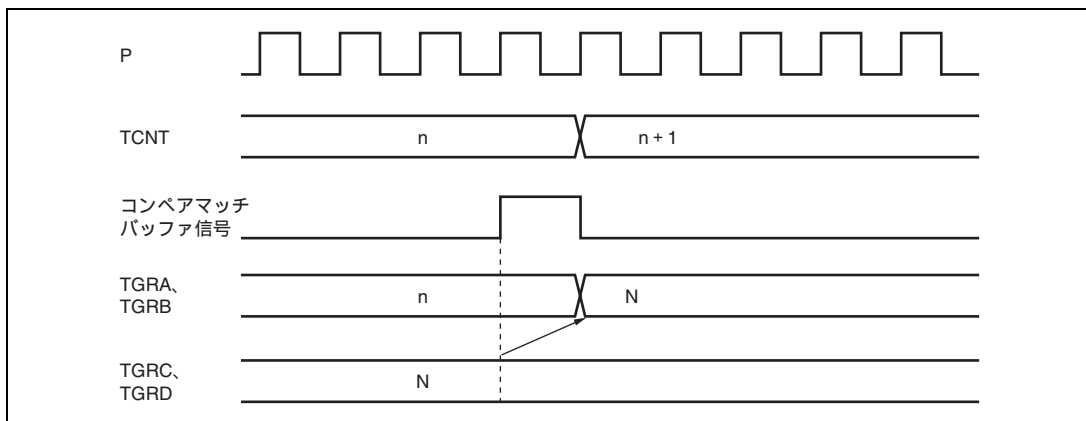


図 12.86 バッファ動作タイミング (コンペアマッチ)

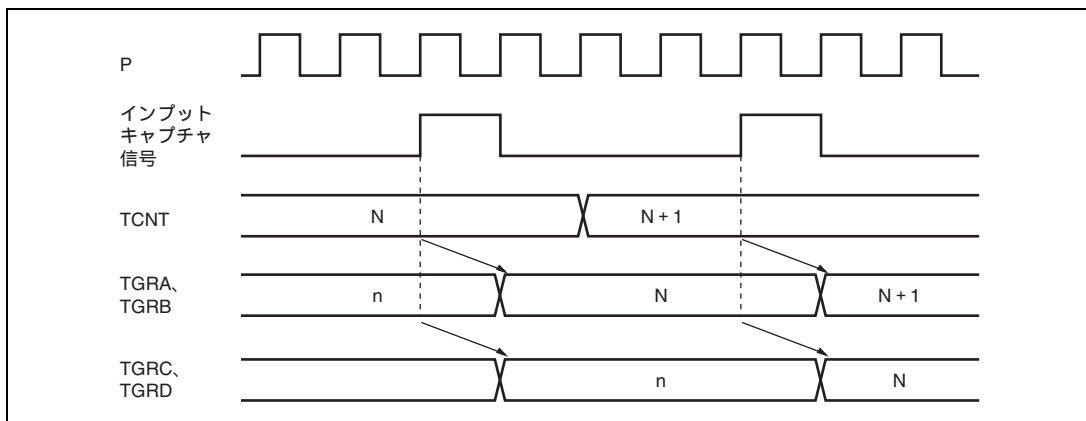


図 12.87 バッファ動作タイミング (インプットキャプチャ)

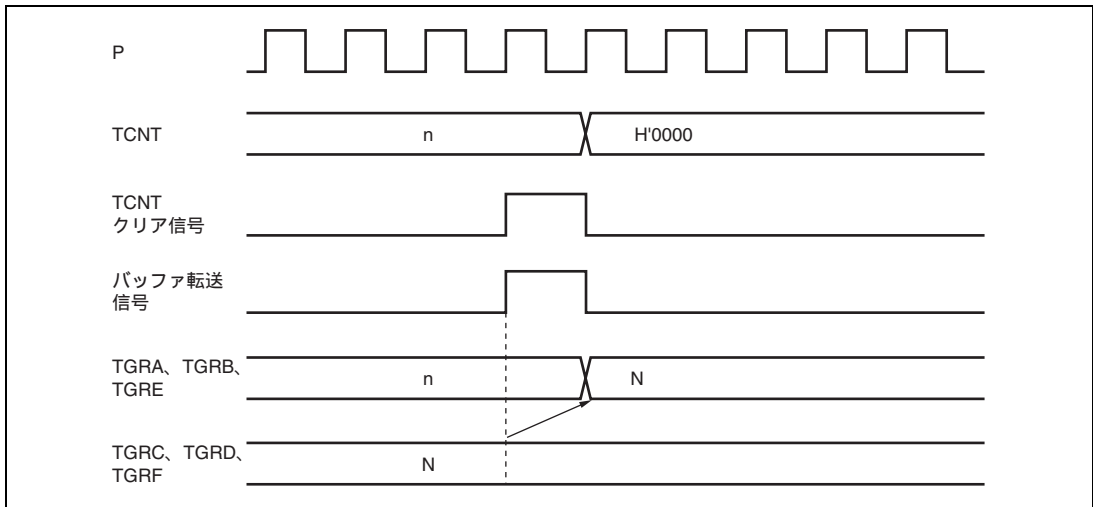


図 12.88 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 12.89 ~ 図 12.91 に示します。

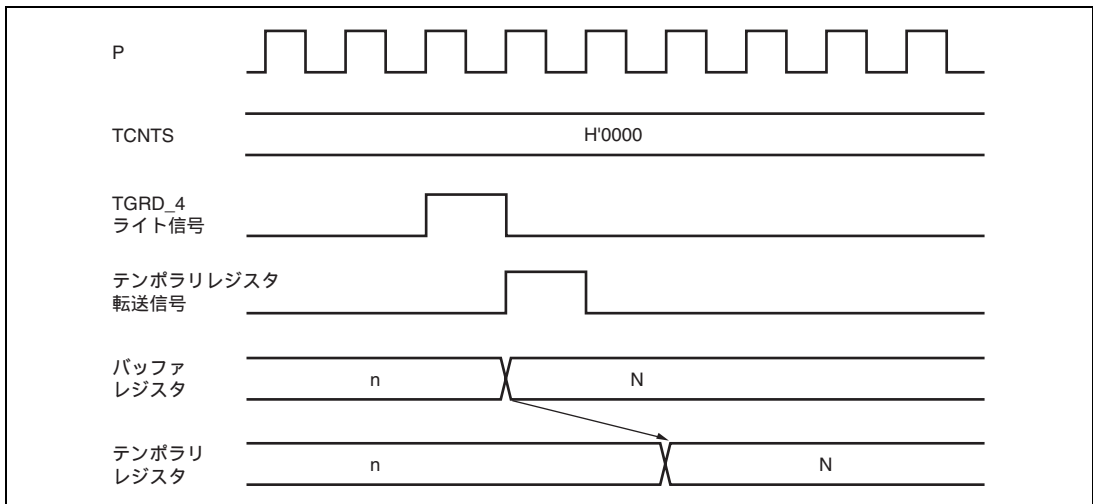


図 12.89 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

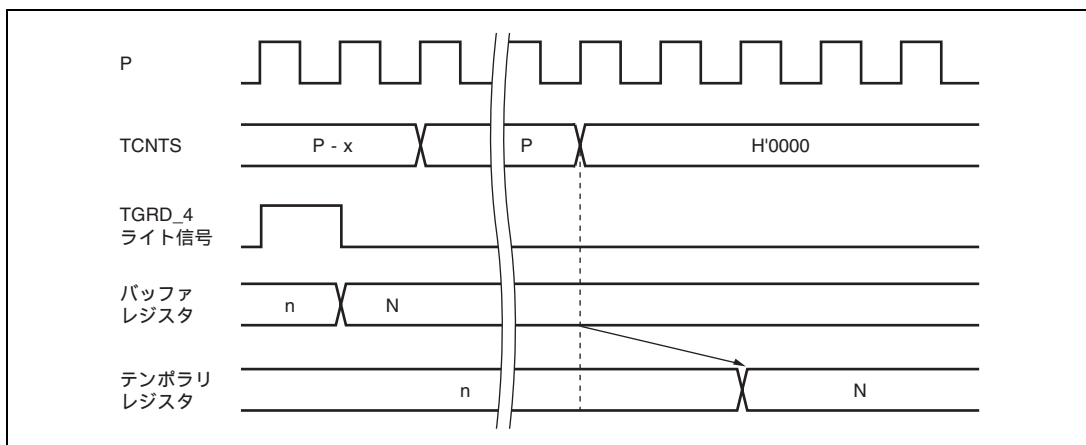


図 12.90 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

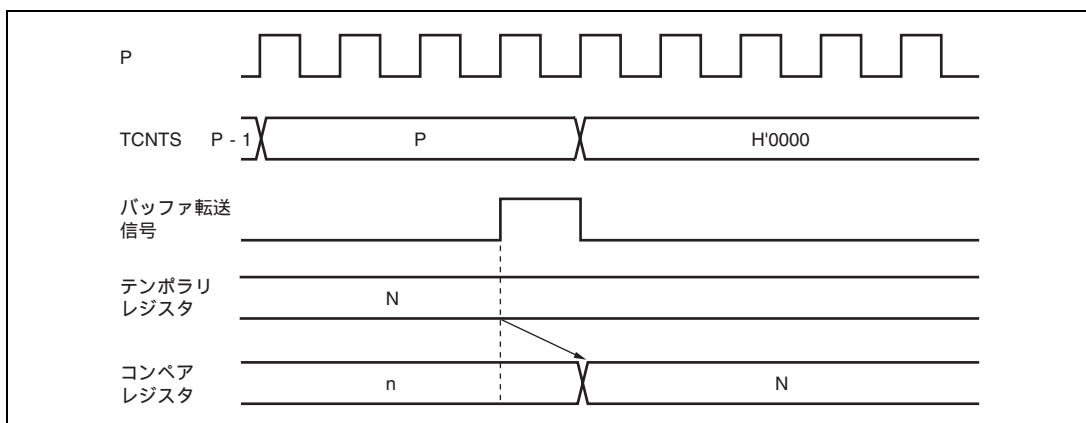


図 12.91 テンポラリレジスタからコンペアレジスタへの転送タイミング

12.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.92 に示します。

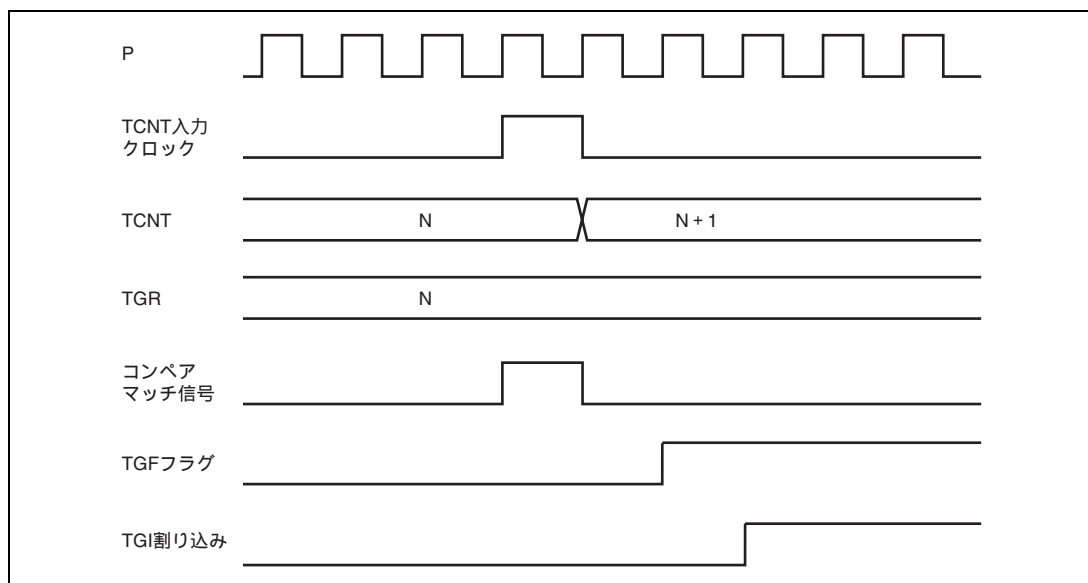


図 12.92 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 12.93 に示します。

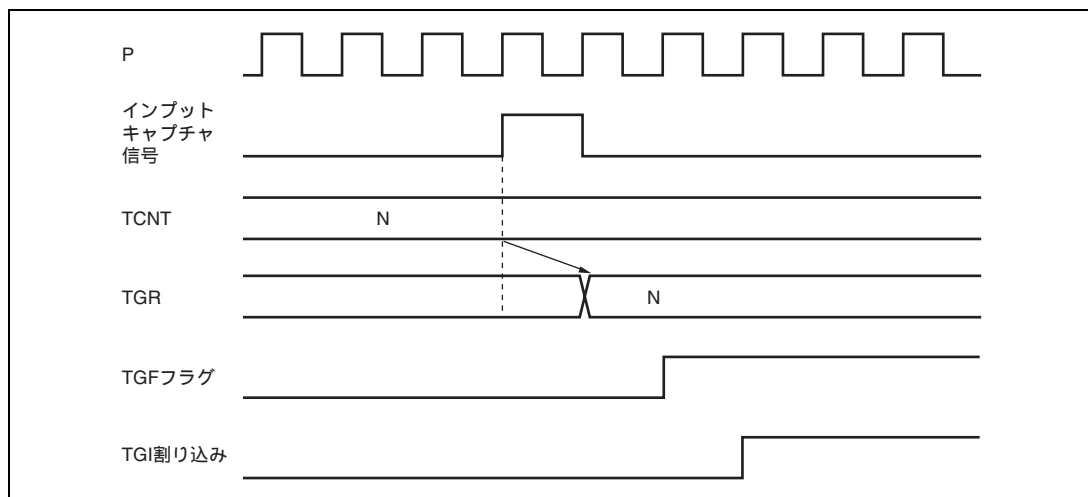


図 12.93 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 12.94 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 12.95 に示します。

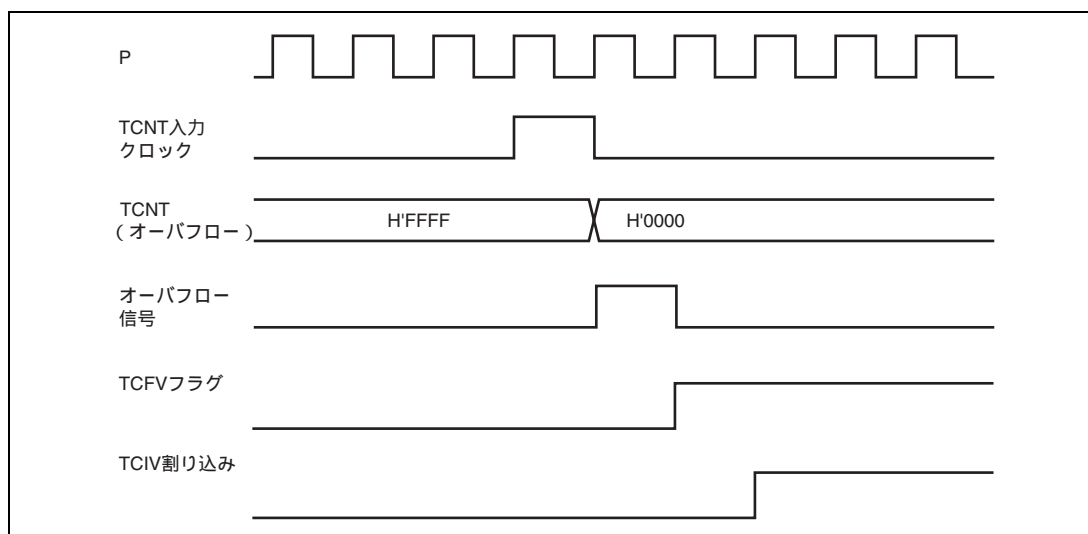


図 12.94 TCIV 割り込みのセットタイミング

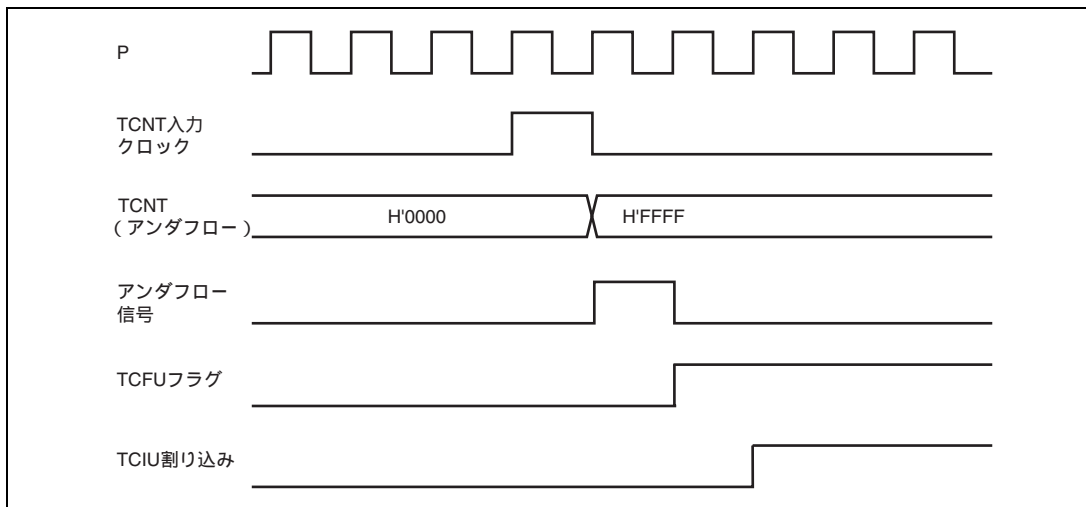


図 12.95 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図12.96に、DMACによるステータスフラグのクリアのタイミングを図12.97に示します。

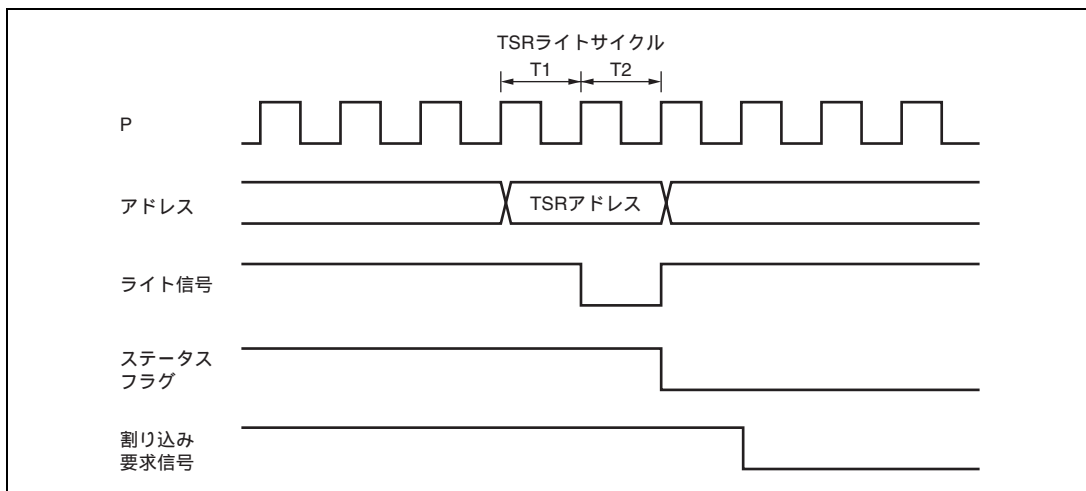


図 12.96 CPUによるステータスフラグのクリアタイミング

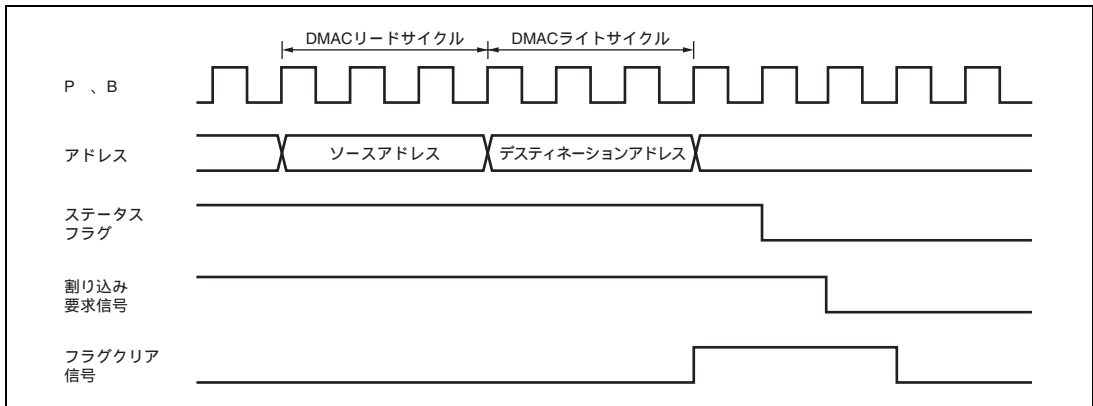


図 12.97 DMAC の起動によるステータスフラグのクリアタイミング

12.7 使用上の注意事項

12.7.1 モジュールスタンバイモードの設定

MTU2 は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、MTU2 の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 33 章 低消費電力モード」を参照してください。

12.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 12.98 に示します。

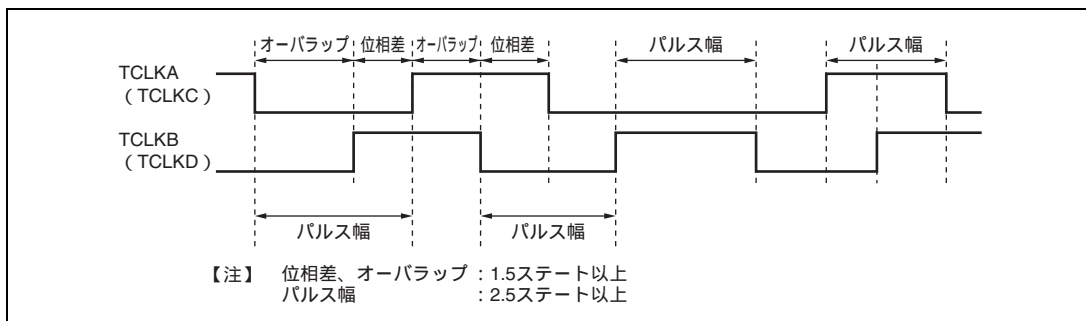


図 12.98 位相計数モード時の位相差、オーバーラップ、およびパルス幅

12.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{P}{(N+1)}$$

- f : カウンタ周波数
- P : 周辺クロック動作周波数
- N : TGR の設定値

12.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 12.99 に示します。

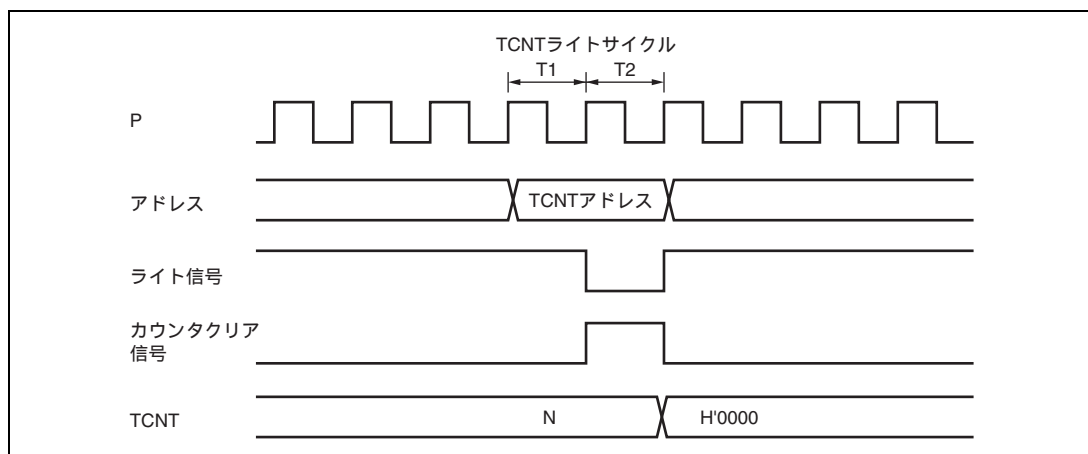


図 12.99 TCNT のライトとクリアの競合

12.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 12.100 に示します。

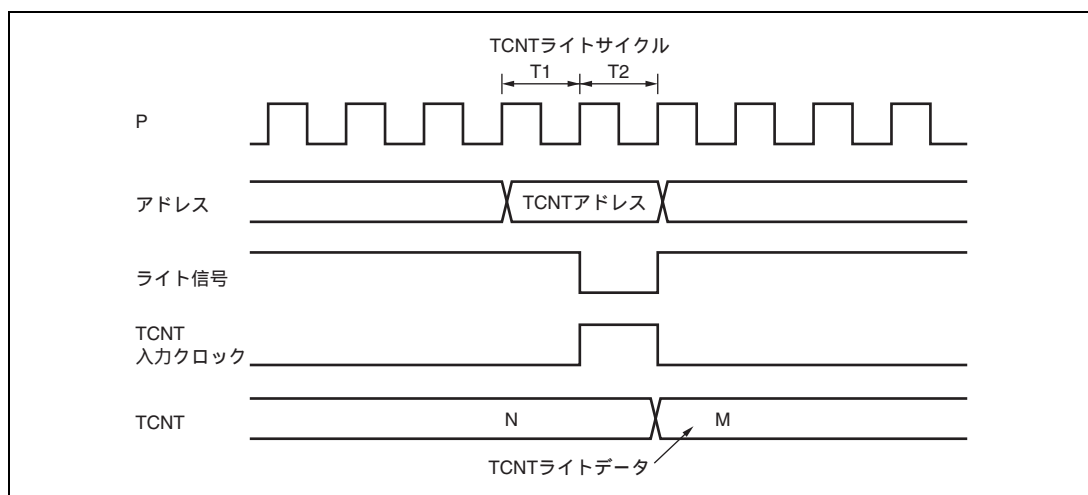


図 12.100 TCNT のライトとカウントアップの競合

12.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 12.101 に示します。

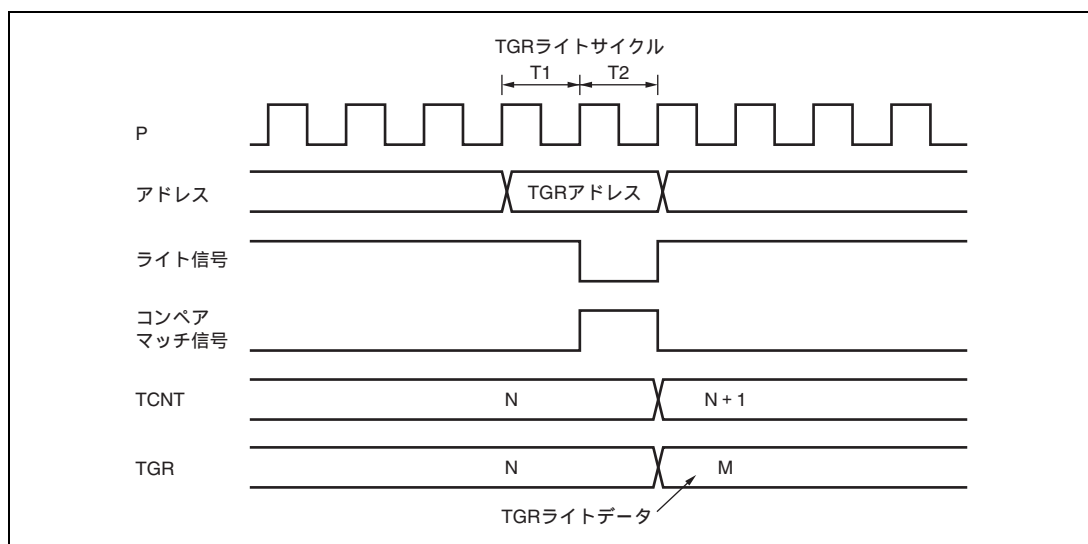


図 12.101 TGR のライトとコンペアマッチの競合

12.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 12.102 に示します。

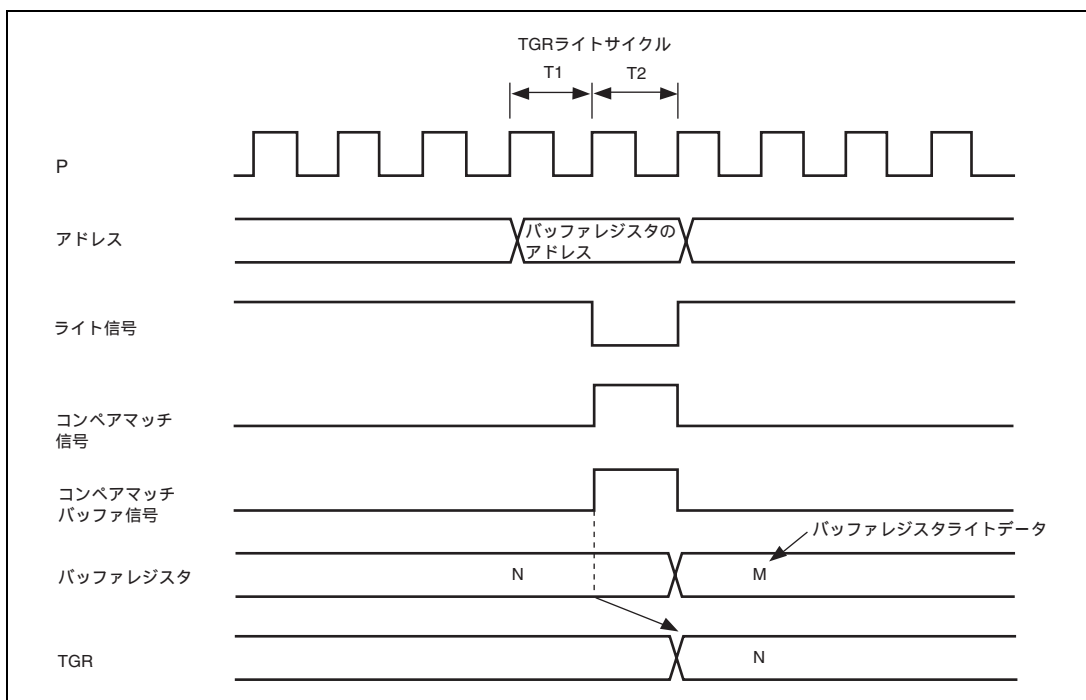


図 12.102 バッファレジスタのライトとコンペアマッチの競合

12.7.8 バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって転送されるデータは書き込み前のデータです。

このタイミングを図 12.103 に示します。

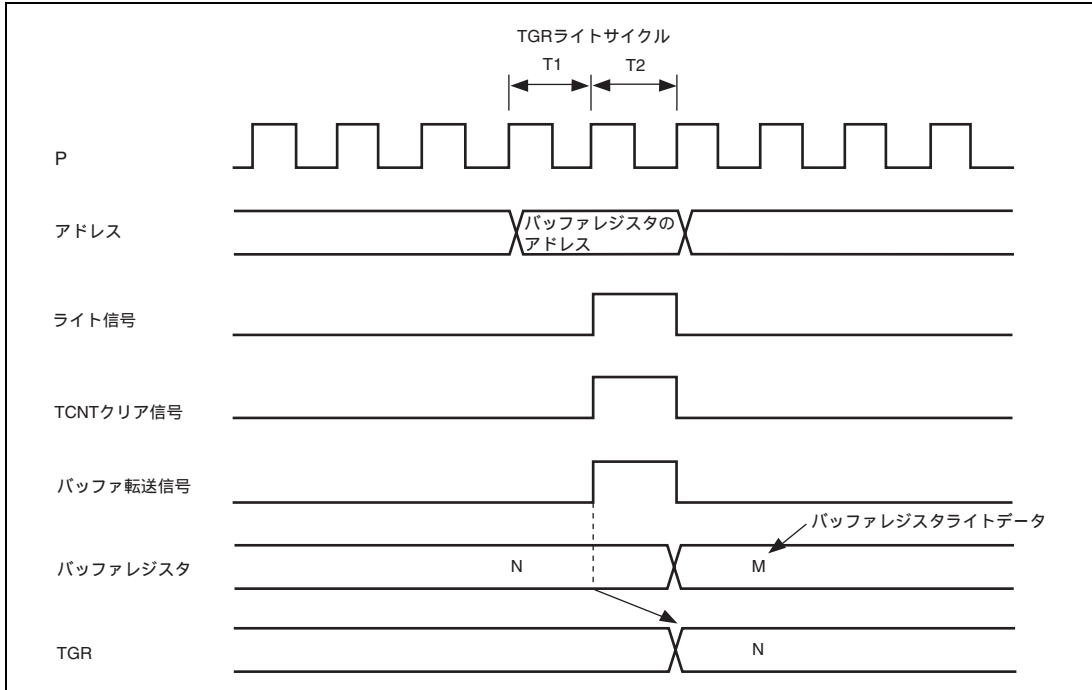


図 12.103 バッファレジスタのライトと TCNT クリアの競合

12.7.9 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 12.104 に示します。

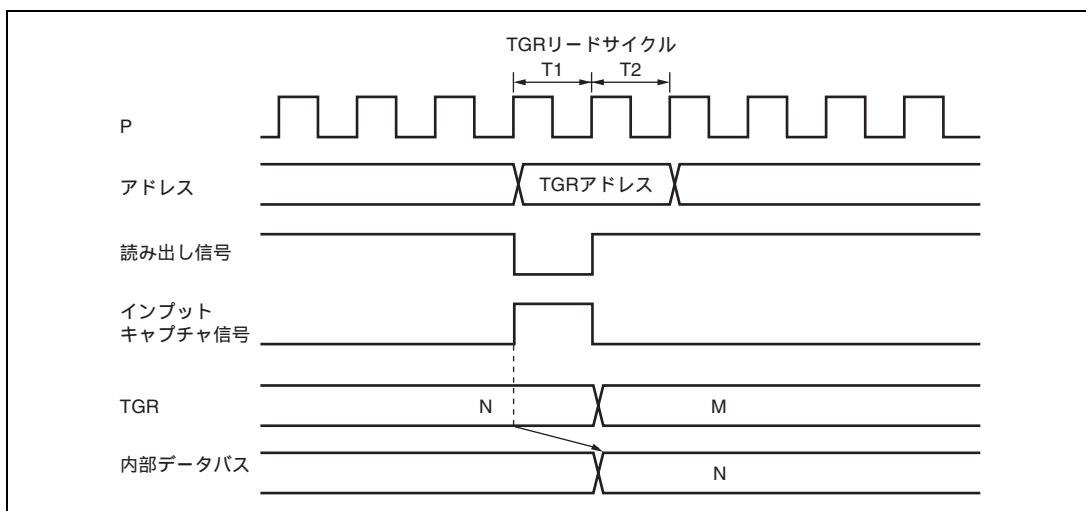


図 12.104 TGR のリードとインプットキャプチャの競合

12.7.10 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 12.105 に示します。

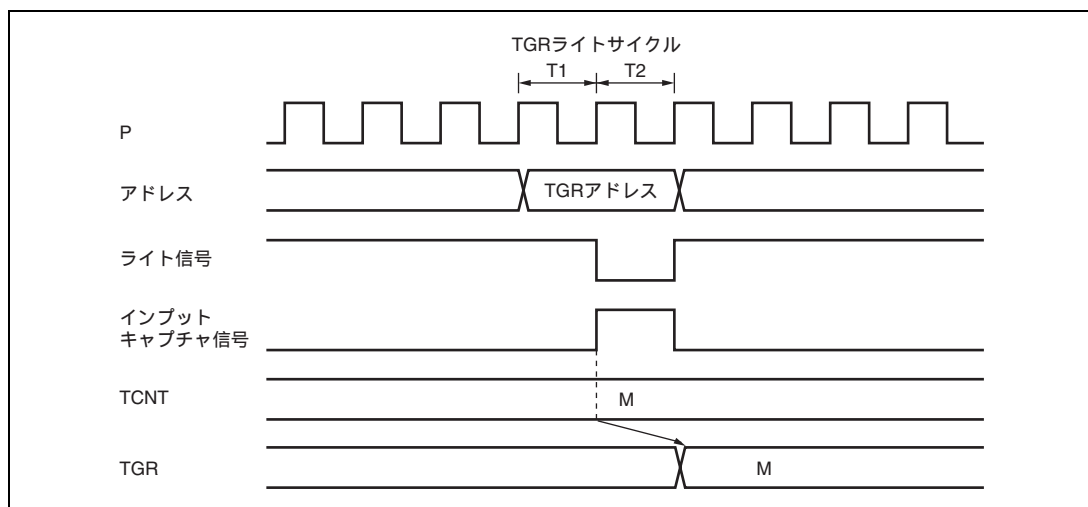


図 12.105 TGR のライトとインプットキャプチャの競合

12.7.11 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 12.106 に示します。

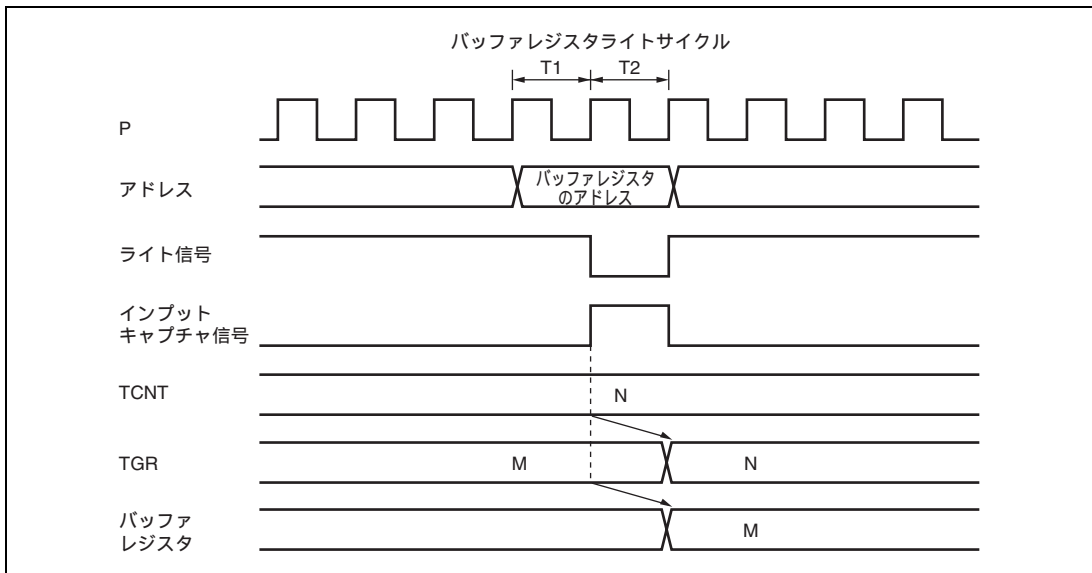


図 12.106 バッファレジスタのライトと入力キャプチャの競合

12.7.12 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバフロー / アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0 ~ D_0 は入力キャプチャ動作します。さらに TGRB_1 の入力キャプチャ要因に TGRC_0 のコンペアマッチ / 入力キャプチャを選択した場合には、TGRB_1 は入力キャプチャ動作します。

このタイミングを図 12.107 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

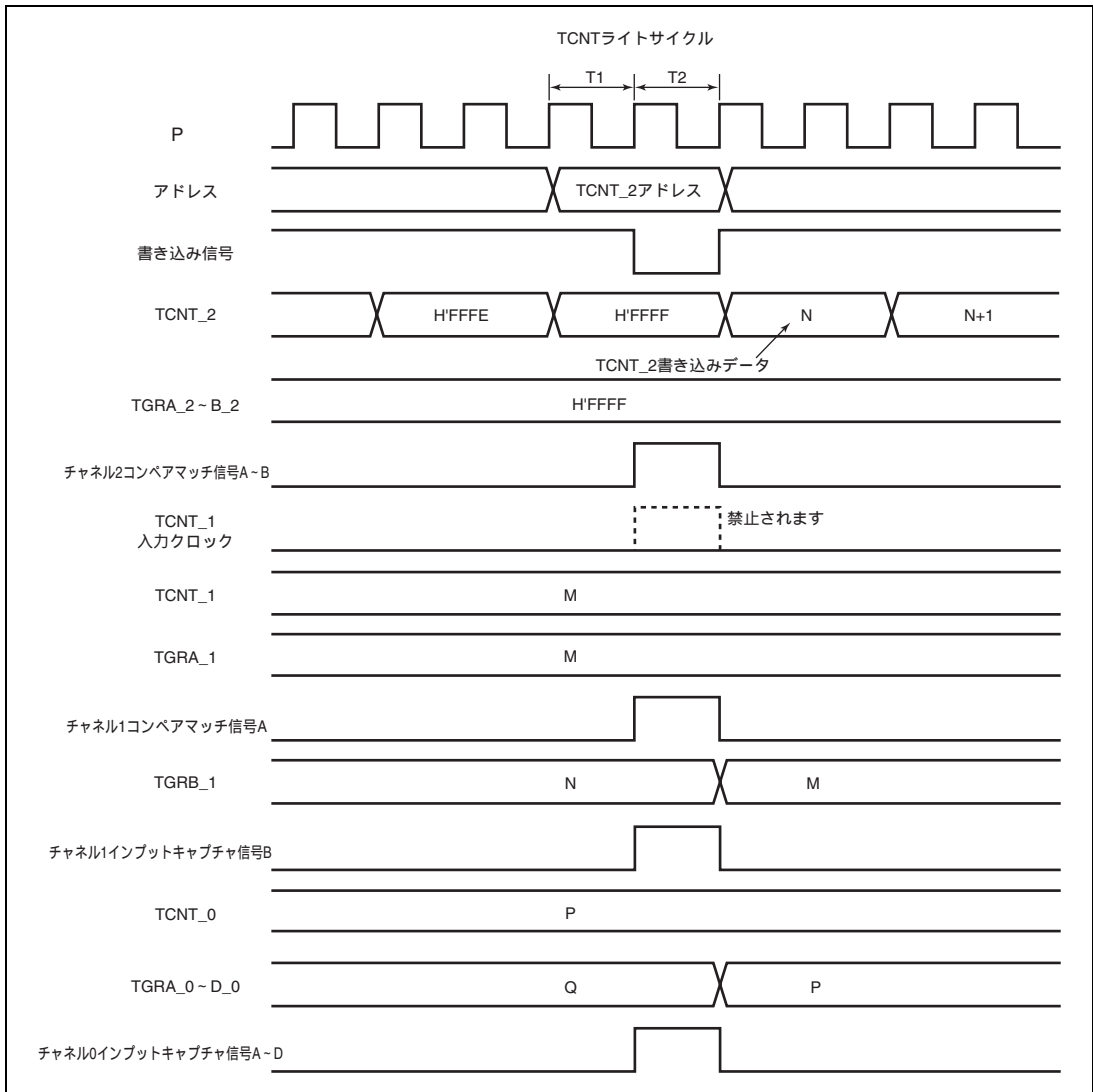


図 12.107 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

12.7.13 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作している時にカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 12.108 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

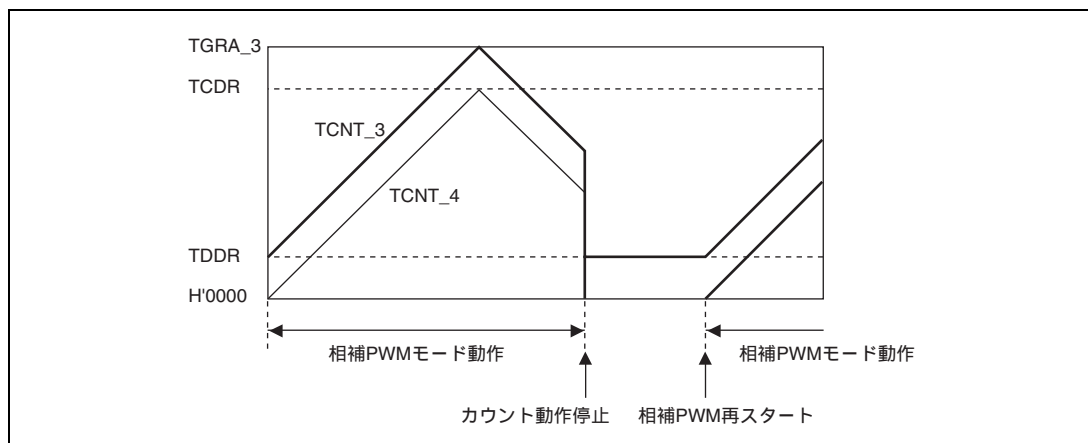


図 12.108 相補 PWM モード停止時のカウンタ値

12.7.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

12.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 12.109 に示します。

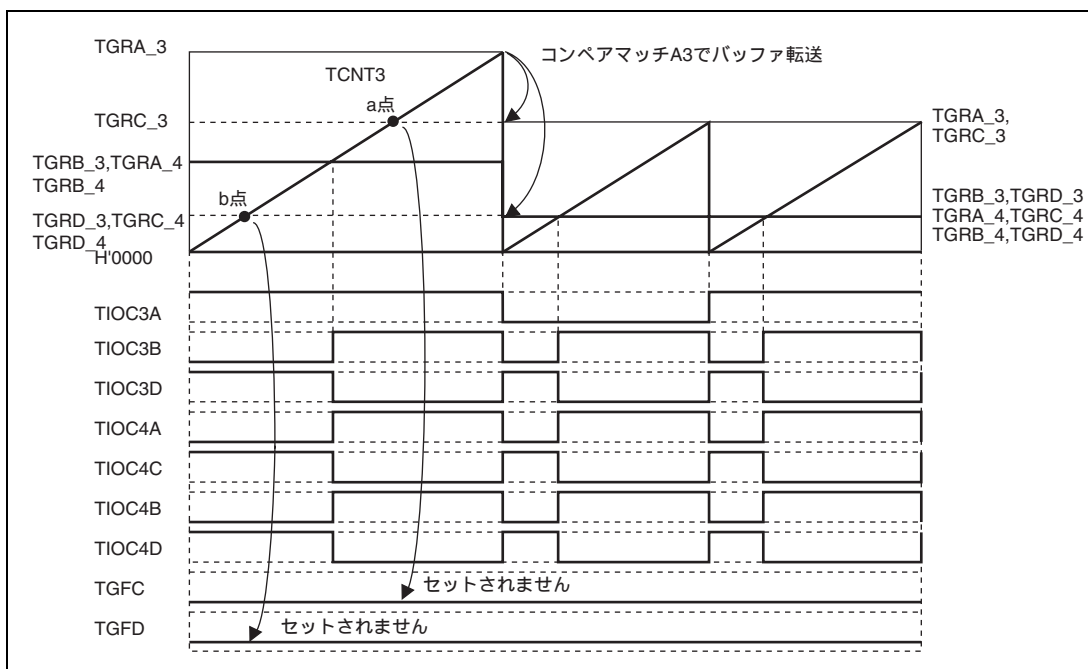


図 12.109 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

12.7.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 とともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 12.110 に示します。

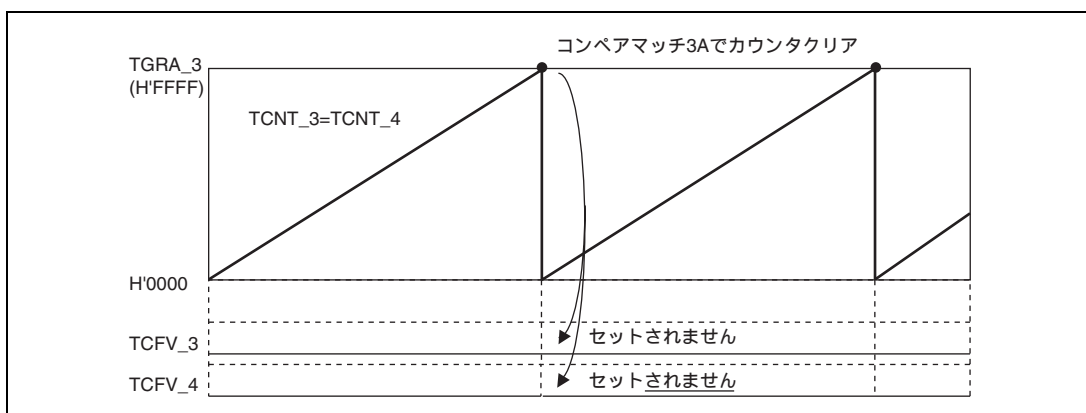


図 12.110 リセット同期 PWM モードのオーバーフローフラグ

12.7.17 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 12.111 に示します。

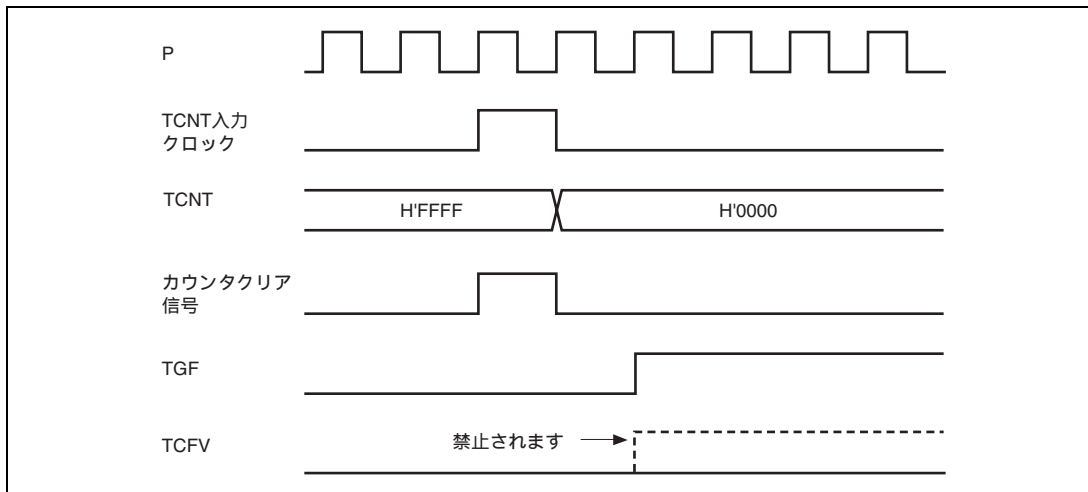


図 12.111 オーバフローとカウンタクリアの競合

12.7.18 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 12.112 に示します。

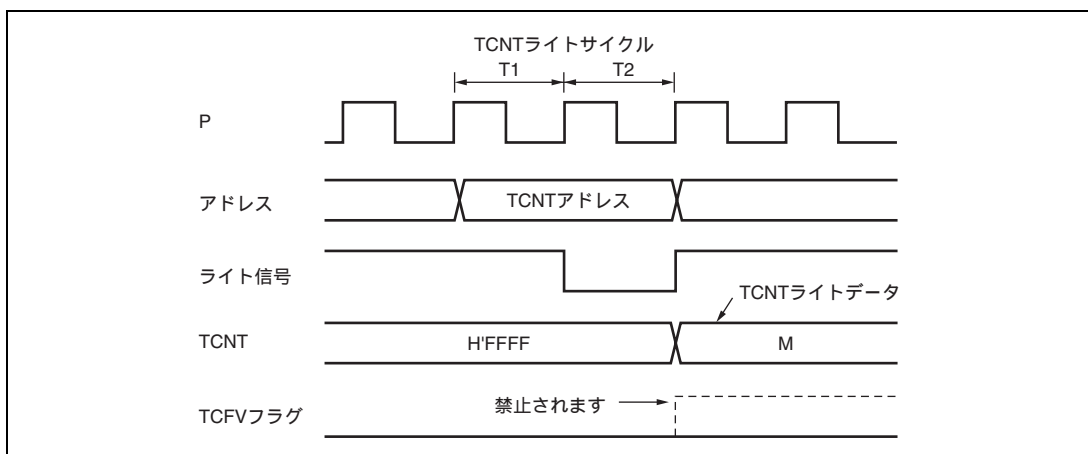


図 12.112 TCNT のライトとオーバフローの競合

12.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル 3、4 の通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D) をハイレベルの状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期 PWM モードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4 レジスタに H'11 を書いて出力端子をローレベルに初期化した後、レジスタの初期値 H'00 を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値 H'00 を設定してからリセット同期 PWM モードに遷移してください。

12.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル 3、4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルはタイマアウトプットコントロールレジスタ (TOCR) の OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR は H'00 としてください。

12.7.21 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPU の割り込み要因、または DMAC の起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ 1、2 (TCNT_1 と TCNT_2) をカスケード接続して、32 ビットカウンタとして動作させている場合、TIOC1A と TIOC2A、または TIOC1B と TIOC2B に同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2 に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、または TIOC1B と TIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正しくキャプチャできない可能性があります。

例として、TCNT_1 (上位 16 ビットのカウンタ) が TCNT_2 (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは TCNT_1=H'FFF1、TCNT_2=H'0000 の値を TGRA_1 と TGRA_2、もしくは TGRB_1 と TGRB_2 に転送すべきところを誤って TCNT_1=H'FFF0、TCNT_2=H'0000 の値を転送します。

12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項

相補 PWM モードにて、同期カウンタクリア時出力波形制御を有効(TWCR レジスタの WRE=1)とした状態で、条件 (1)、条件 (2) のいずれかを満たすと、下記の現象が発生します。

- PWM出力端子のデッドタイムが短くなる（もしくは消失）。
- PWM逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

条件 (1) 初期出力の抑止期間 にて、PWM 出力がデッドタイム期間中に、同期クリアする (図 12.113)。

条件 (2) 初期出力の抑止期間 、 にて、TGRB_3 TDDR、TGRA_4 TDDR、TGRB_4 TDDR のいずれかが成立する状態で、同期クリアする (図 12.114)。

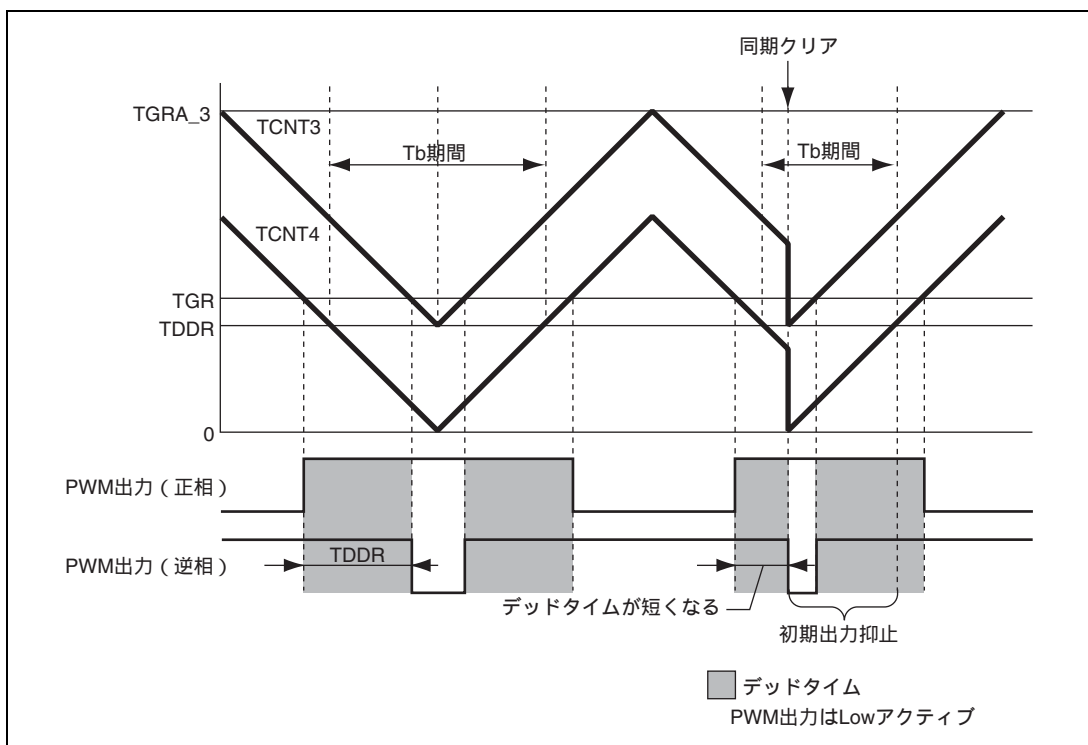


図 12.113 条件 (1) の同期クリア例

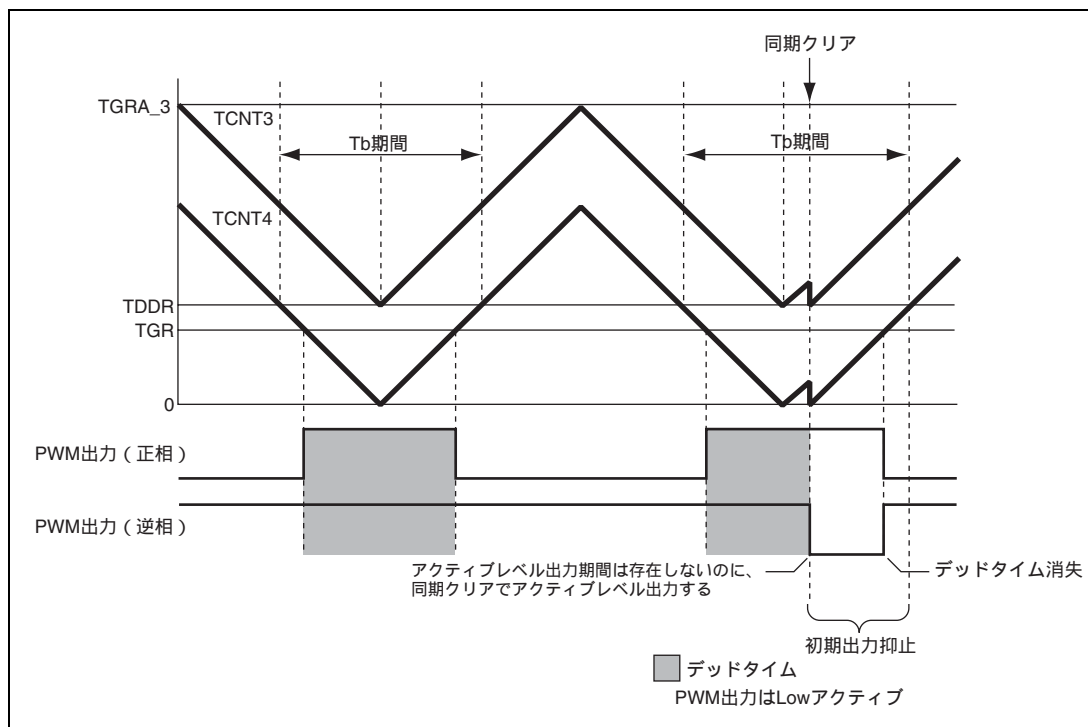


図 12.114 条件 (2) の同期クリア例

本現象は下記の方法により、回避することができます。

コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定した状態で、同期クリアする。

12.8 MTU2 出力端子の初期化方法

12.8.1 動作モード

MTU2 には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各モードでの MTU2 出力端子の初期化方法について示します。

12.8.2 リセットスタート時の動作

MTU2 の出力端子 (TIOC*) はパワーオンリセットまたはディープスタンバイモード時に L に初期化されます。MTU2 の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU2 の端子の状態がポートに出力されます。リセット直後に PFC で MTU2 の出力を選択した場合、ポート出力には MTU2 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU2 の出力端子の初期設定終了後に行ってください。

【注】 * チャンネル番号+ポート記号が入ります。

12.8.3 動作中の異常などによる再設定時の動作

MTU2 の動作中に異常が発生した場合、システムで MTU2 の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り換え、アクティブレベルの反転を出力することにより行います。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU2 には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 12.57 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 12.57 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

12.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC*B (TIOC*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

- タイマアウトブットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトブットマスタインーブルレジスタ (TOER) でチャンネル 3、4 を一度出力禁止としてください。その後モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 12.57 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは L とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.115 に示します。

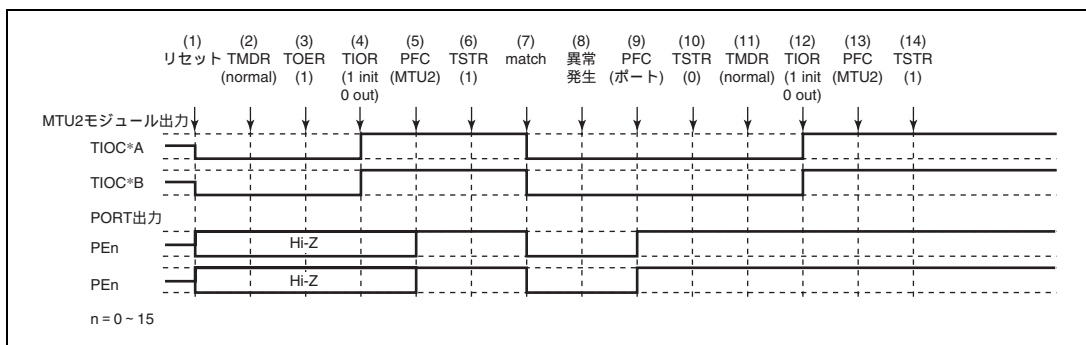


図 12.115 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりローレベルを出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.116 に示します。

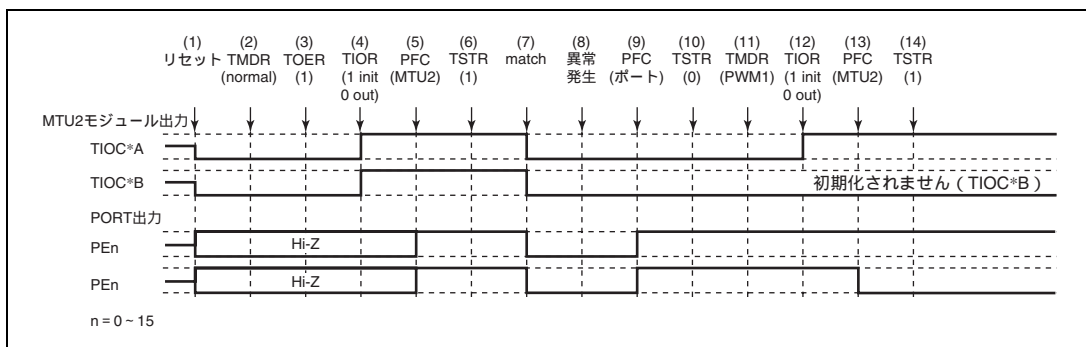


図 12.116 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.115 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.117 に示します。

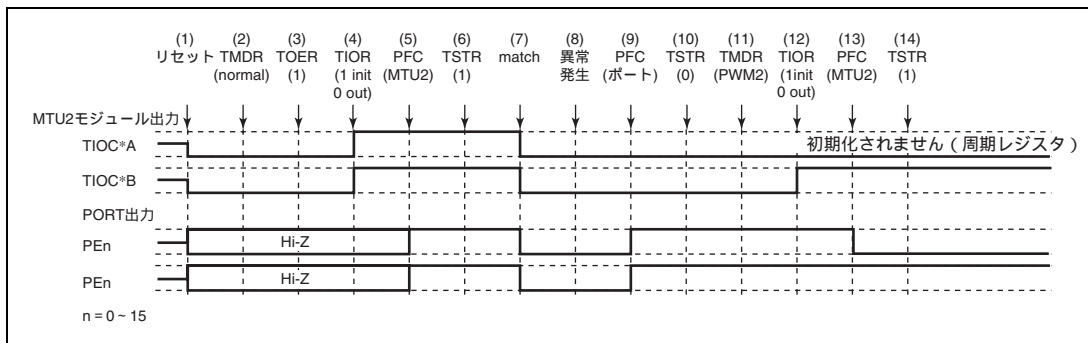


図 12.117 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.115 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.118 に示します。

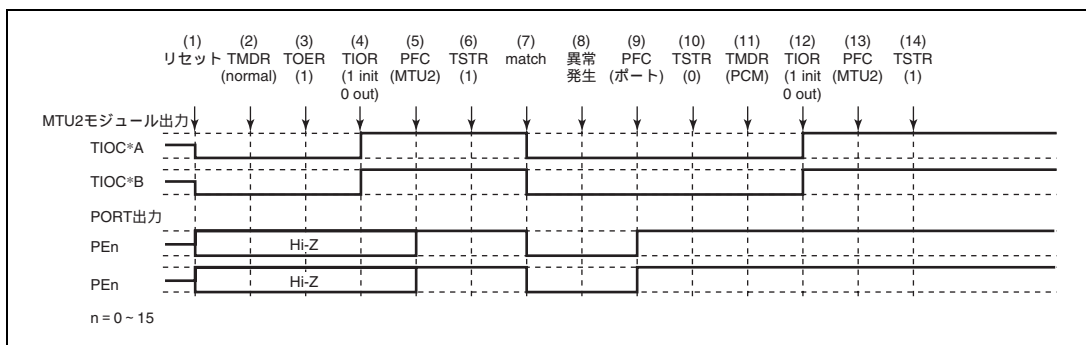


図 12.118 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 12.115 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR で端子を初期化してください。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.119 に示します。

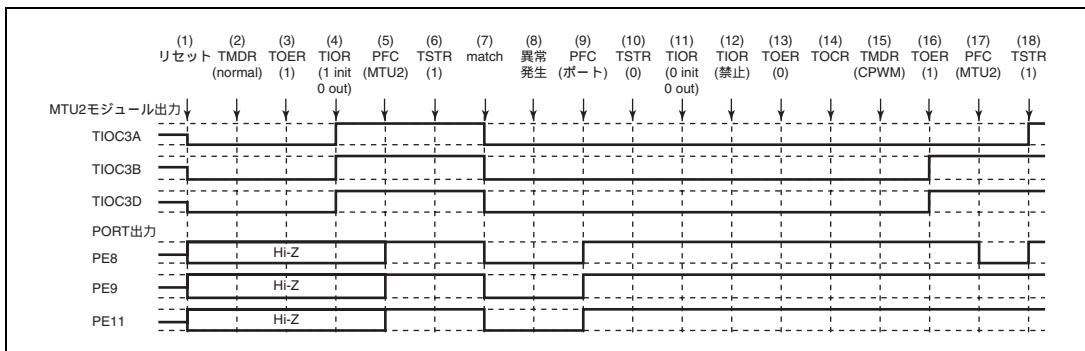


図 12.119 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 12.115 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU2 出力としてください。

(18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
 ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.120 に示します。

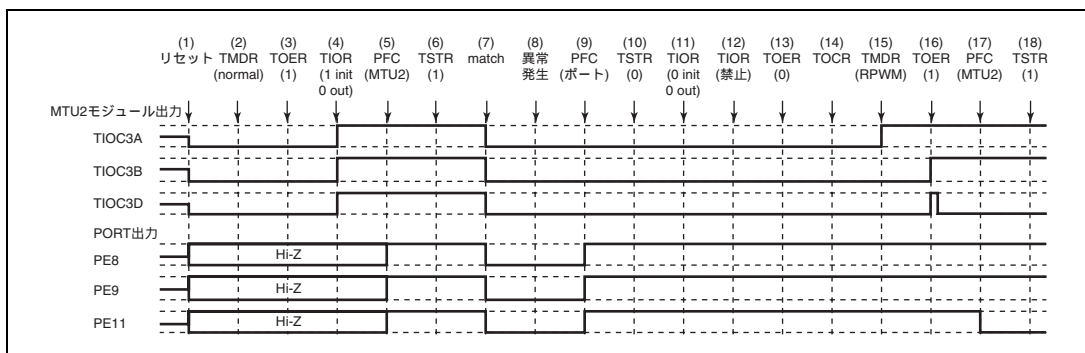


図 12.120 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 12.115 と共通です。
- (14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) PFC で MTU2 出力としてください。
- (18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.121 に示します。

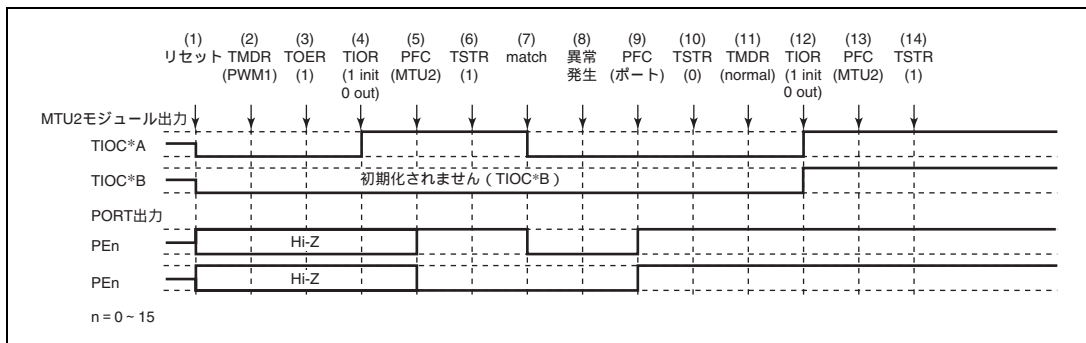


図 12.121 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.122 に示します。

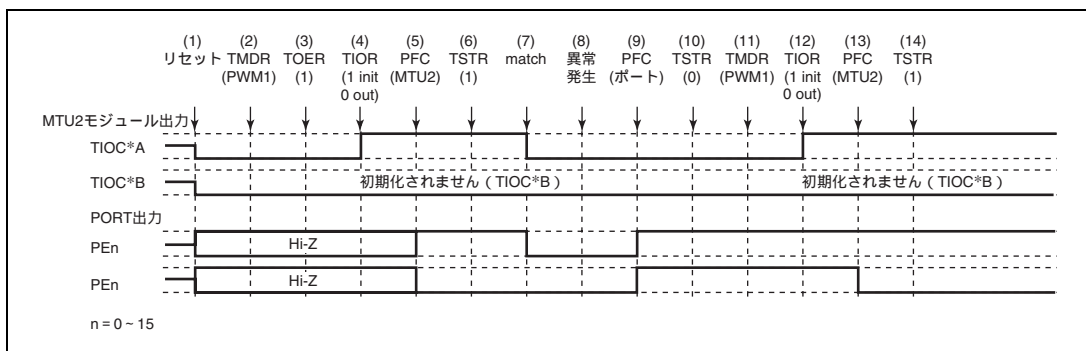


図 12.122 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.121 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.123 に示します。

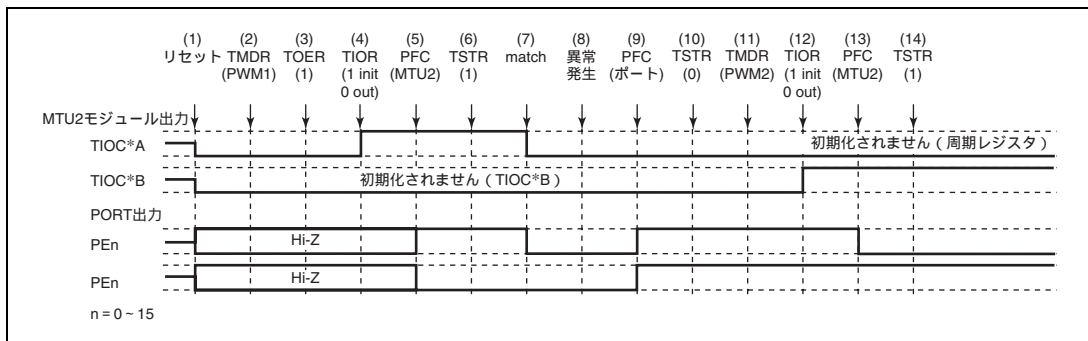


図 12.123 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 12.121 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.124 に示します。

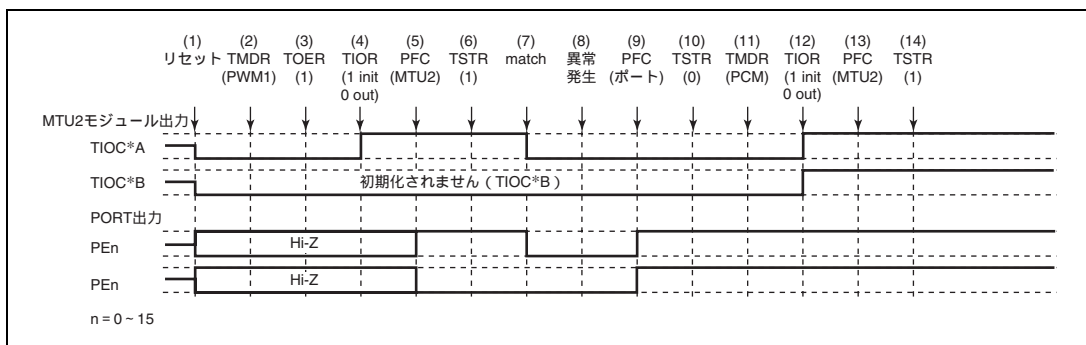


図 12.124 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 12.121 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR で端子を初期化してください。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.125 に示します。

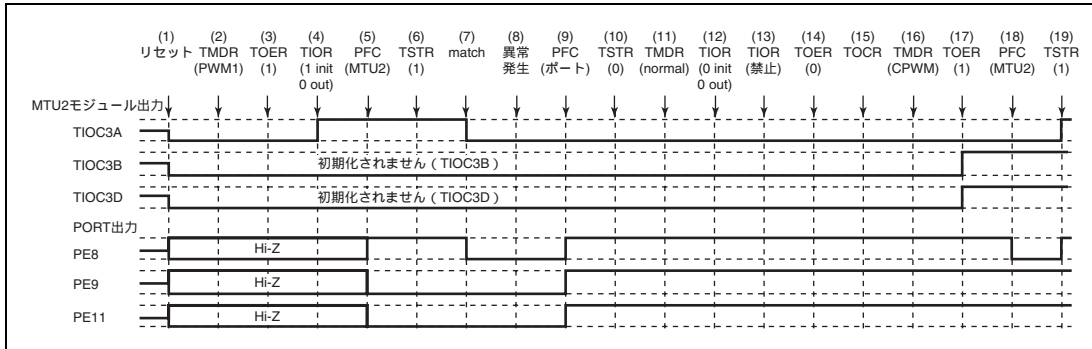


図 12.125 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 12.121 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR で PWM モード 1 の波形生成部を初期化してください。

(13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

(14) TOER でチャンネル 3、4 の出力を禁止してください。

(15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.126 に示します。

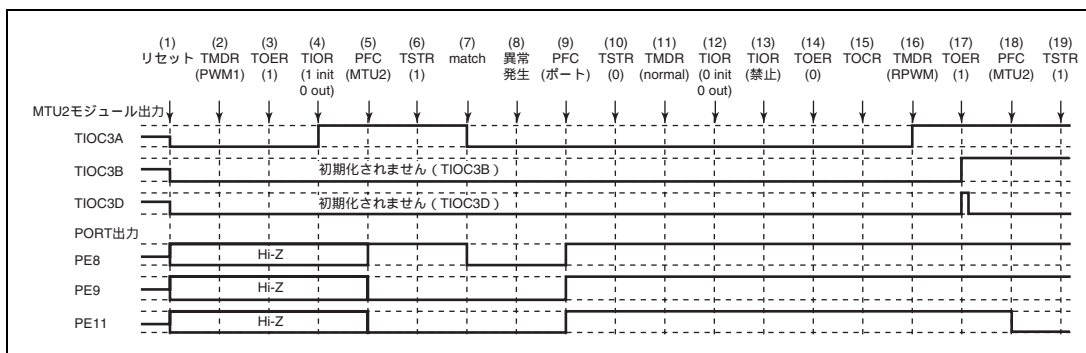


図 12.126 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 12.125 と共通です。

(15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.127 に示します。

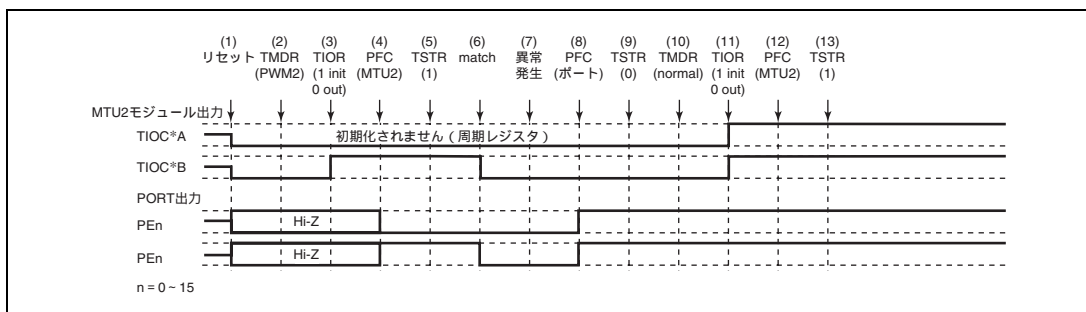


図 12.127 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.128 に示します。

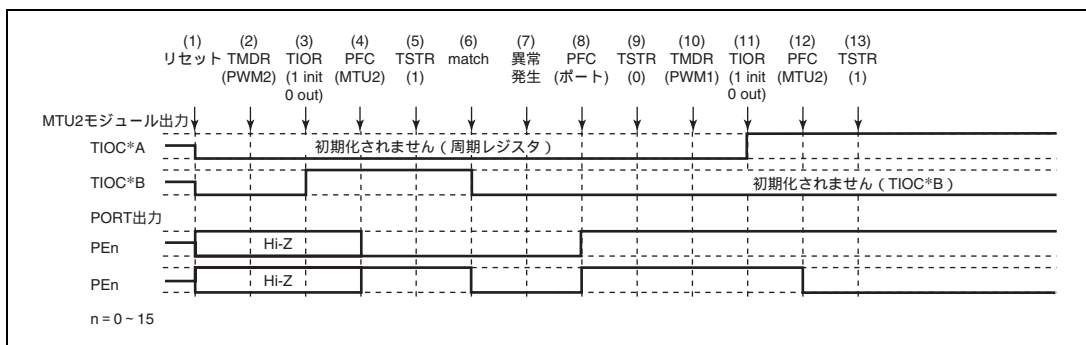


図 12.128 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 12.127 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 12.129 に示します。

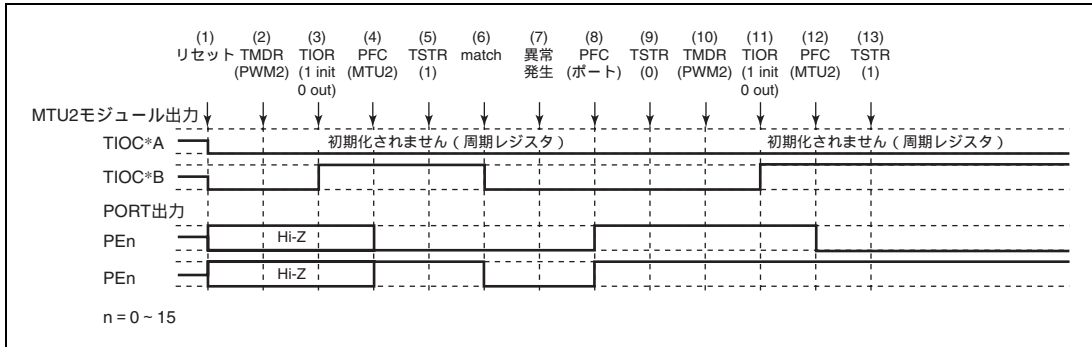


図 12.129 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 12.127 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.130 に示します。

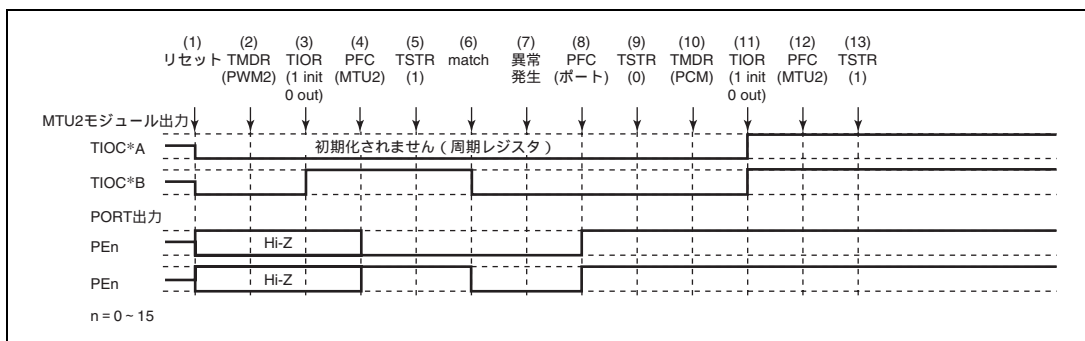


図 12.130 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 12.127 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR で端子を初期化してください。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.131 に示します。

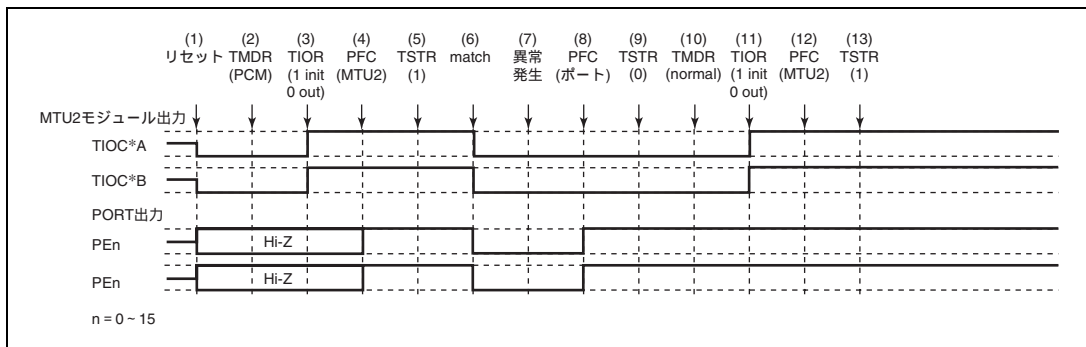


図 12.131 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.132 に示します。

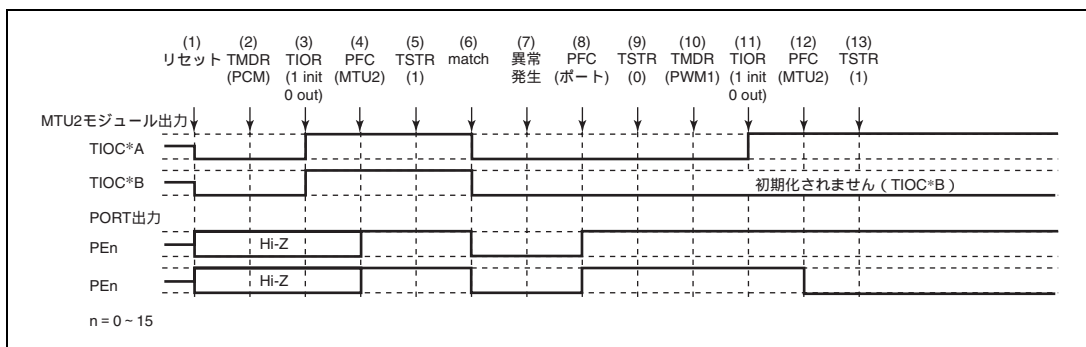


図 12.132 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 12.131 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 12.133 に示します。

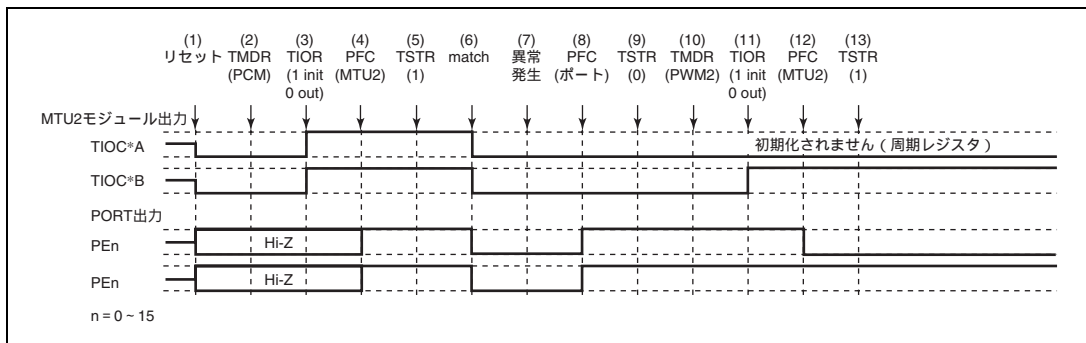


図 12.133 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 12.131 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 12.134 に示します。

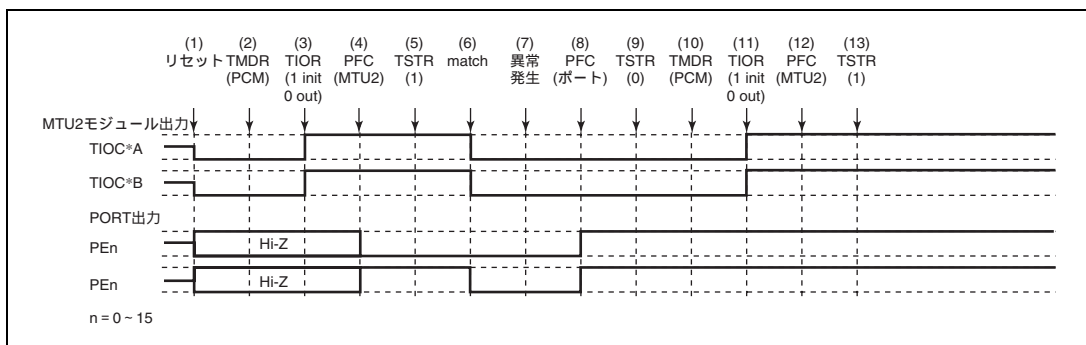


図 12.134 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 12.131 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 12.135 に示します。

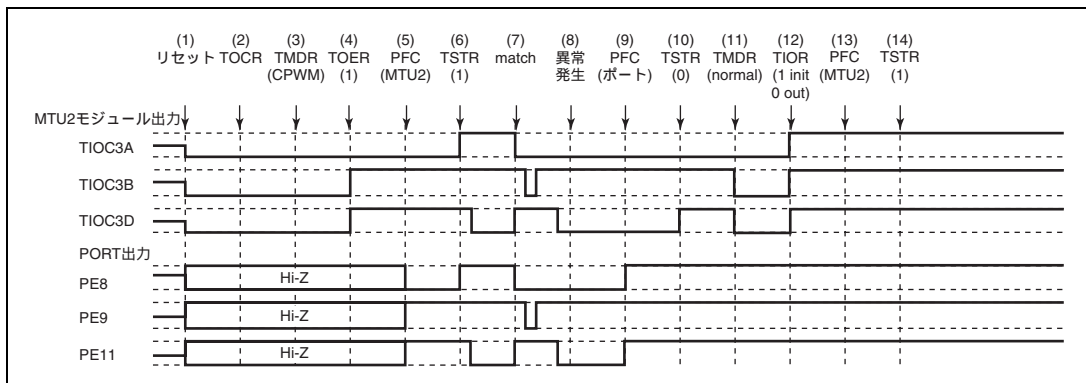


図 12.135 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.136 に示します。

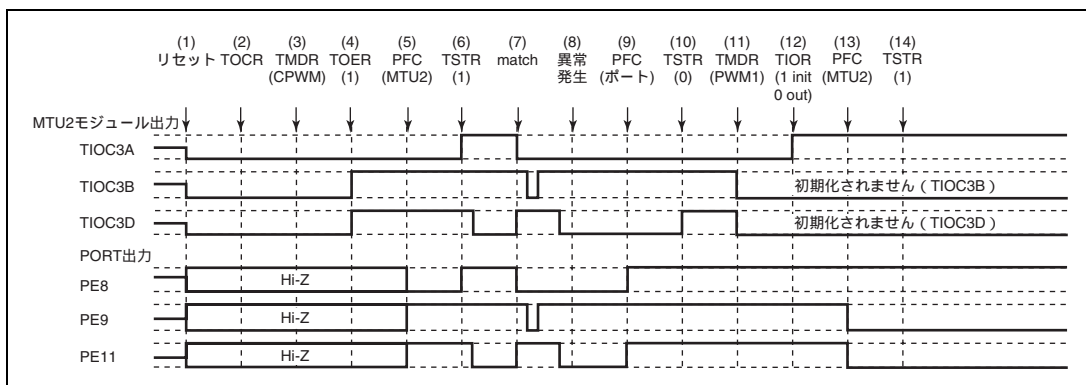


図 12.136 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.135 と共通です。

(11) PWM モード 1 を設定してください (MTU2 出力はローレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.137 に示します (周期、デューティ設定をカウンタを止めた時の値から再スタートする場合)。

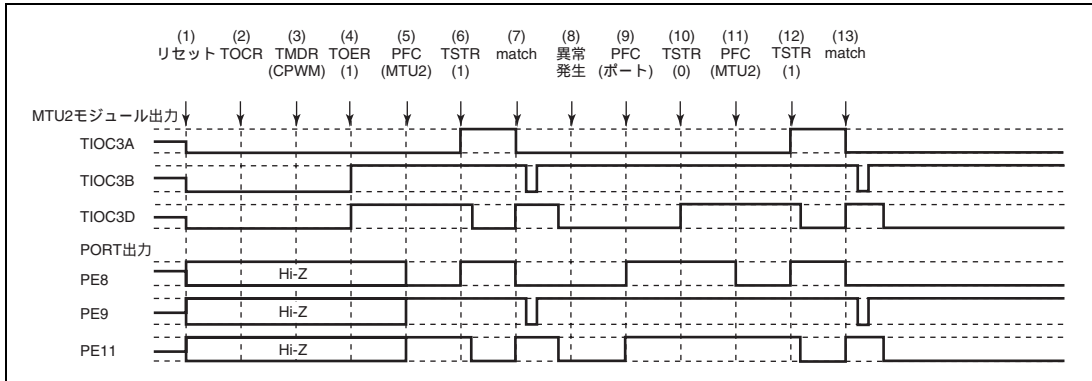


図 12.137 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.135 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作
 相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 12.138 に示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

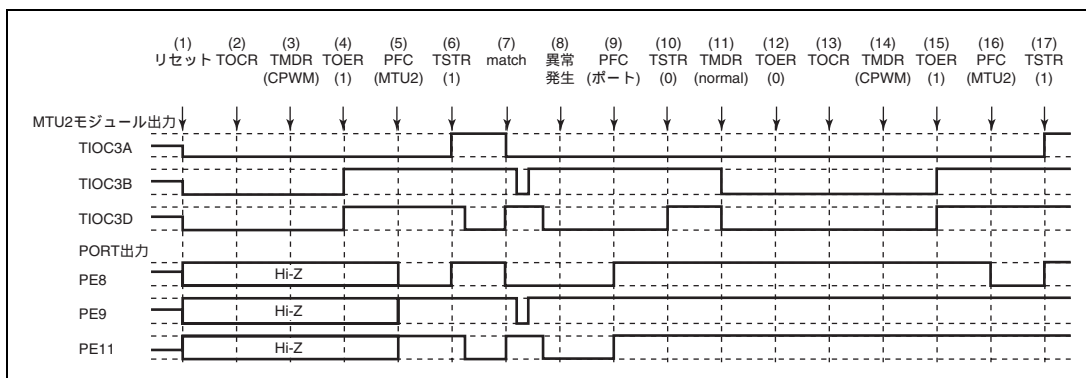


図 12.138 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.135 と共通です。
- (11) ノーマルモードを設定し新しい設定値を設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図
12.139 に示します。

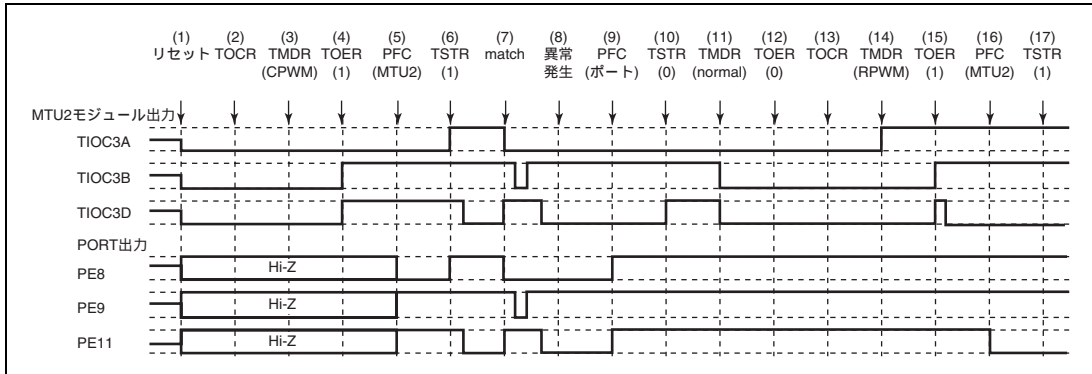


図 12.139 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 12.135 と共通です。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図
 12.140 に示します。

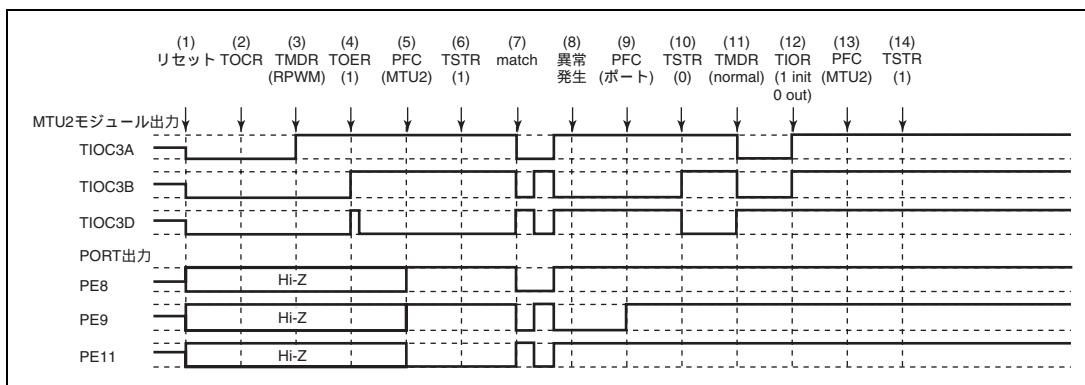


図 12.140 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 12.141 に示します。

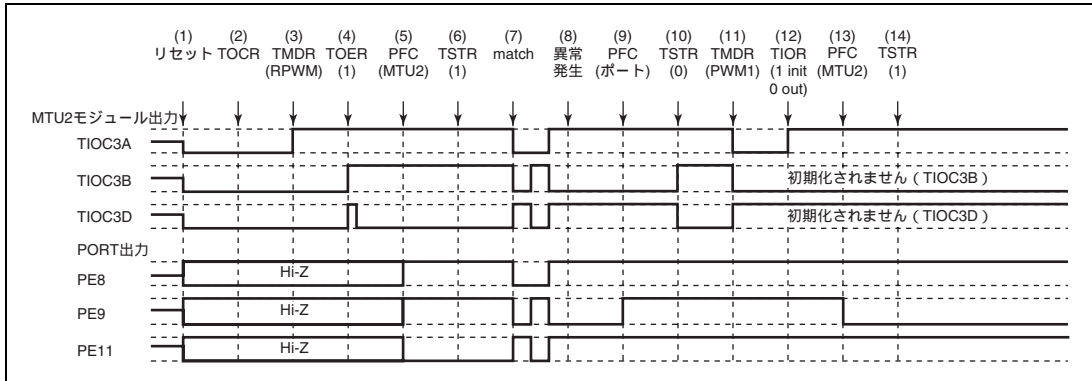


図 12.141 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 12.140 と共通です。

(11) PWM モード 1 を設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図
 12.142 に示します。

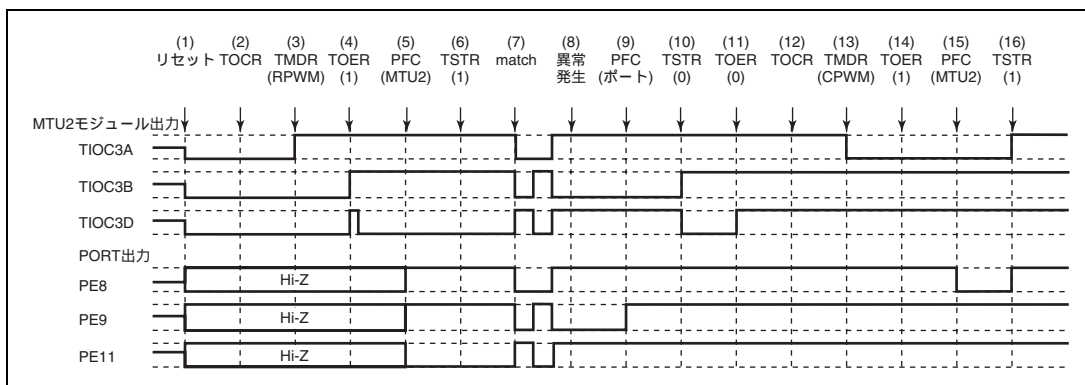


図 12.142 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 12.140 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU2 の周期出力端子はローレベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU2 出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 12.143 に示します。

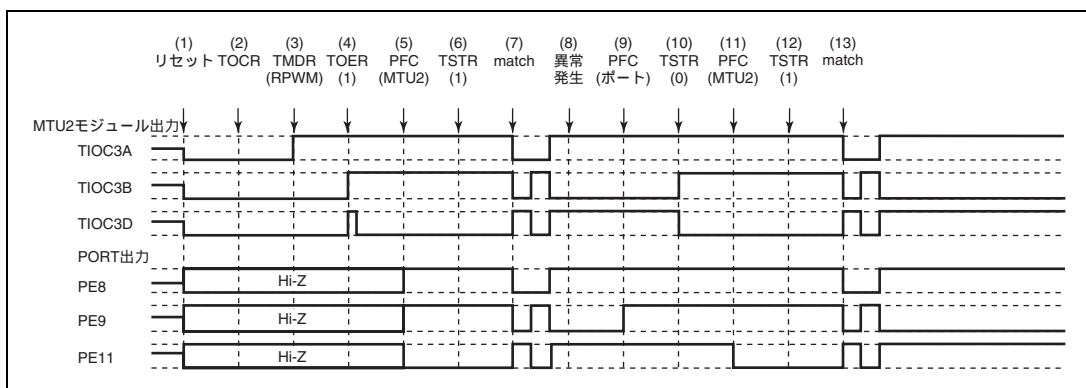


図 12.143 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 12.140 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

13. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマを 2 つ、合計 4 チャンネルにより構成されるコンペアマッチタイマ(CMT)を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

13.1 特長

- 4種類のカウンタ入力クロックを4チャンネル独立で選択可能
- 4種類の内部クロック (P /8、P /32、P /128、P /512) を選択可能
- コンペアマッチ時、DMAC設定により、DMA転送要求または割り込み要求の発生を選択可能
- CMTを使用しないときは、消費電力低減のためCMTに対してクロックの供給を止めて動作を停止させることができます。

図 13.1 に CMT のブロック図を示します。

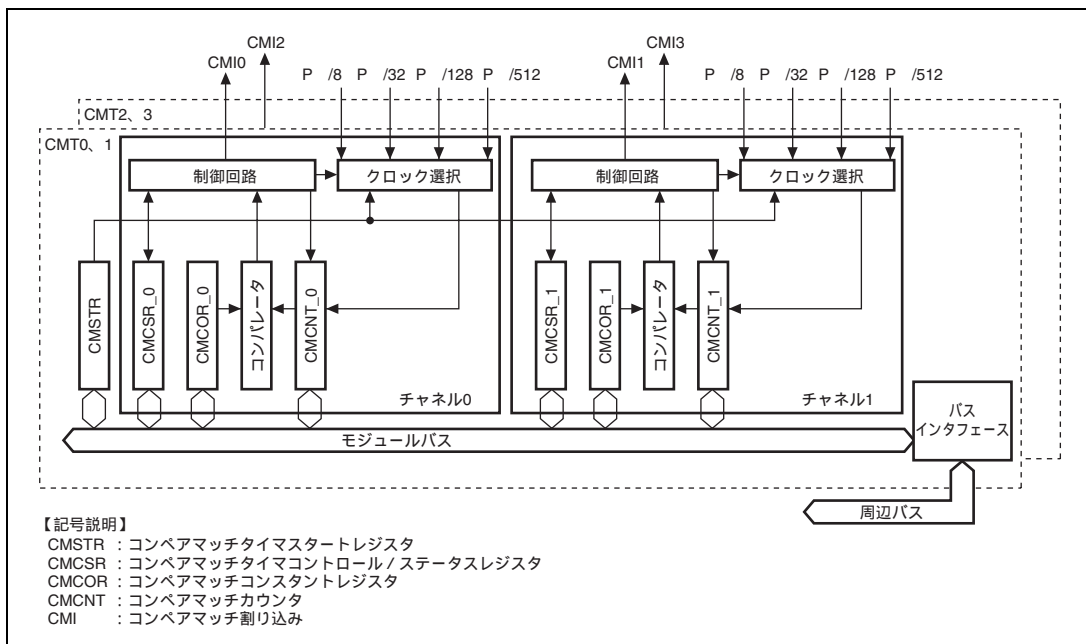


図 13.1 CMT のブロック図

13.2 レジスタの説明

CMT には以下のレジスタがあります。

表 13.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0/1 共通	コンペアマッチタイマスタートレジスタ	CMSTR_01	R/W	H'0000	H'FFFE3000	16
0	コンペアマッチタイマコントロール/ ステータスレジスタ_0	CMCSR_0	R/W	H'0000	H'FFFE3002	16
	コンペアマッチカウンタ_0	CMCNT_0	R/W	H'0000	H'FFFE3004	8、16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	R/W	H'FFFF	H'FFFE3006	8、16
1	コンペアマッチタイマコントロール/ ステータスレジスタ_1	CMCSR_1	R/W	H'0000	H'FFFE3008	16
	コンペアマッチカウンタ_1	CMCNT_1	R/W	H'0000	H'FFFE300A	8、16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	R/W	H'FFFF	H'FFFE300C	8、16
2/3 共通	コンペアマッチタイマスタートレジスタ	CMSTR_23	R/W	H'0000	H'FFFE3400	16
2	コンペアマッチタイマコントロール/ ステータスレジスタ_2	CMCSR_2	R/W	H'0000	H'FFFE3402	16
	コンペアマッチカウンタ_2	CMCNT_2	R/W	H'0000	H'FFFE3404	8、16
	コンペアマッチコンスタントレジスタ_2	CMCOR_2	R/W	H'FFFF	H'FFFE3406	8、16
3	コンペアマッチタイマコントロール/ ステータスレジスタ_3	CMCSR_3	R/W	H'0000	H'FFFE3408	16
	コンペアマッチカウンタ_3	CMCNT_3	R/W	H'0000	H'FFFE340A	8、16
	コンペアマッチコンスタントレジスタ_3	CMCOR_3	R/W	H'FFFF	H'FFFE340C	8、16

13.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作 / 停止を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1/3	STR0/2
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STR1/3	0	R/W	カウントスタート 1/3 コンペアマッチカウンタ_1/3 の動作 / 停止を選択します。 0 : CMCNT_1/3 はカウントを停止 1 : CMCNT_1/3 はカウントを開始
0	STR0/2	0	R/W	カウントスタート 0/2 コンペアマッチカウンタ_0/2 の動作 / 停止を選択します。 0 : CMCNT_0/2 はカウントを停止 1 : CMCNT_0/2 はカウントを開始

13.2.2 コンペアマッチタイムコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可/禁止、およびカウンタ入力クロックの設定を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0: CMCNT と CMCOR の値は不一致 [クリア条件] • CMF = 1 を読み出し後、CMF に 0 を書き込んだとき 1: CMCNT と CMCOR の値が一致
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF = 1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0: コンペアマッチ割り込み (CMI) を禁止 1: コンペアマッチ割り込み (CMI) を許可
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	CKS[1:0]	00	R/W	クロックセレクト 周辺クロック (P) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS[1:0] ビットにより選択されたクロックでカウントを開始します。 00: P /8 01: P /32 10: P /128 11: P /512

【注】 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

13.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCSR の CKS[1:0] ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

コンペアマッチタイマスタートレジスタ (CMSTR) の該当チャネルのカウントスタートビットを 1 から 0 にクリアしたとき、H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.3 動作説明

13.3.1 期間カウント動作

内部クロックが CMCSR の CKS[1:0]ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 13.2 にコンペアマッチカウンタ動作を示します。

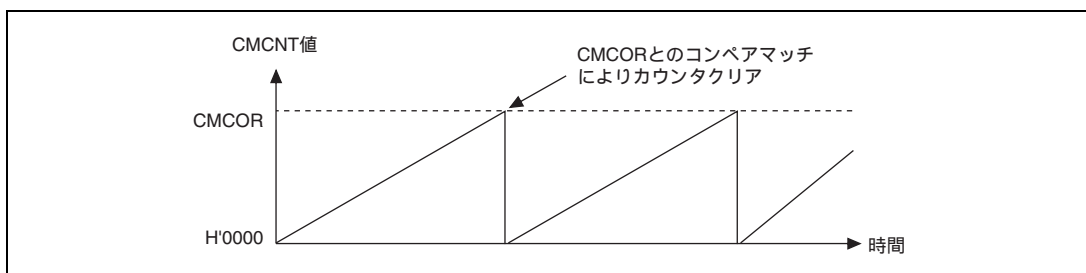


図 13.2 カウンタ動作

13.3.2 CMCNT カウントタイミング

周辺クロック (P) を分周して得られた 4 種類のクロック (P /8、P /32、P /128、P /512) のうち 1 つを CMCSR の CKS[1:0]ビットにより選択することができます。図 13.3 にそのタイミングを示します。

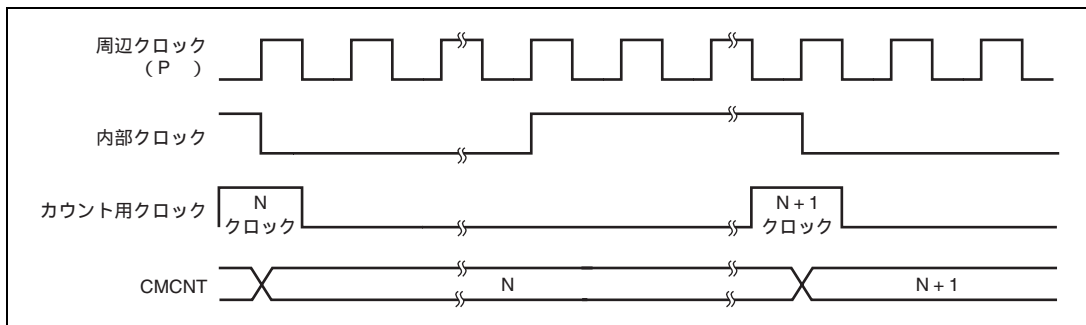


図 13.3 カウントタイミング

13.4 割り込み

13.4.1 割り込み要因と DMA 転送要求

CMT はチャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。コンペアマッチフラグ (CMF) が 1 にセットされ、かつ割り込みイネーブルビット (CMIE) が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 7 章 割り込みコントローラ (INTC)」を参照してください。

ユーザ例外処理ルーチン中に CMF ビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。また、コンペアマッチ割り込み要求時に、割り込みコントローラ (INTC) の設定により、DMAC を起動することができます。このとき、CPU へ割り込み発生はしません。DMAC の起動設定を行わない場合は、CPU へ割り込み要求が発生します。DMAC によるデータ転送時に CMF ビットは自動的にクリアされます。

13.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致すると、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) でコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 13.4 に CMF ビットのセットタイミングを示します。

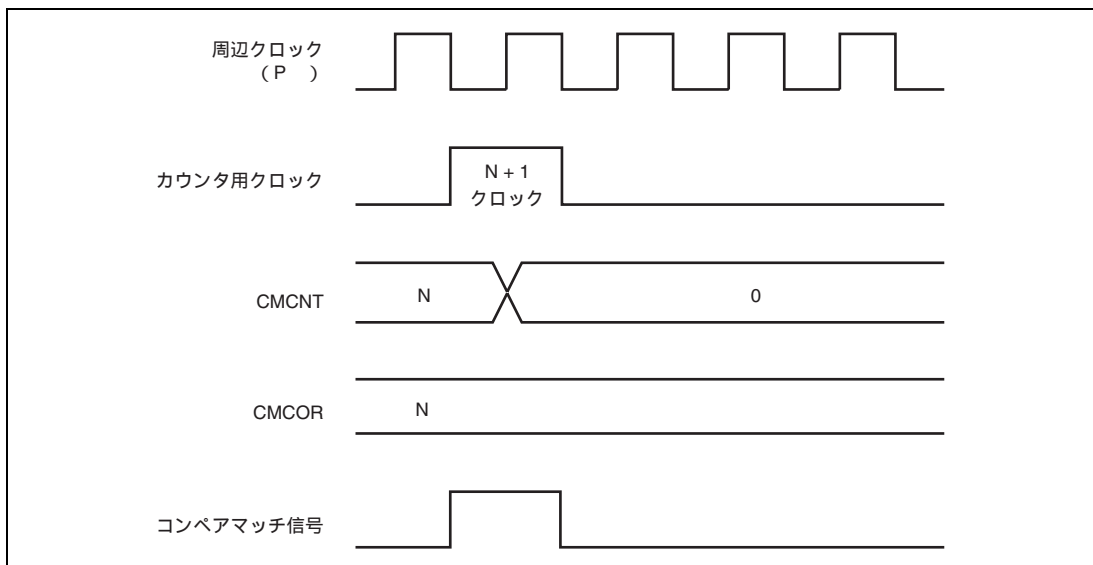


図 13.4 CMF セットタイミング

13.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、CMF = 1 を読み出した後に 0 を書き込むことでクリアされます。ただし、DMAC を起動した場合、DMAC がデータ転送を行った時点で、CMF ビットは自動的にクリアされます。

13.5 使用上の注意事項

13.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 13.5 に示します。

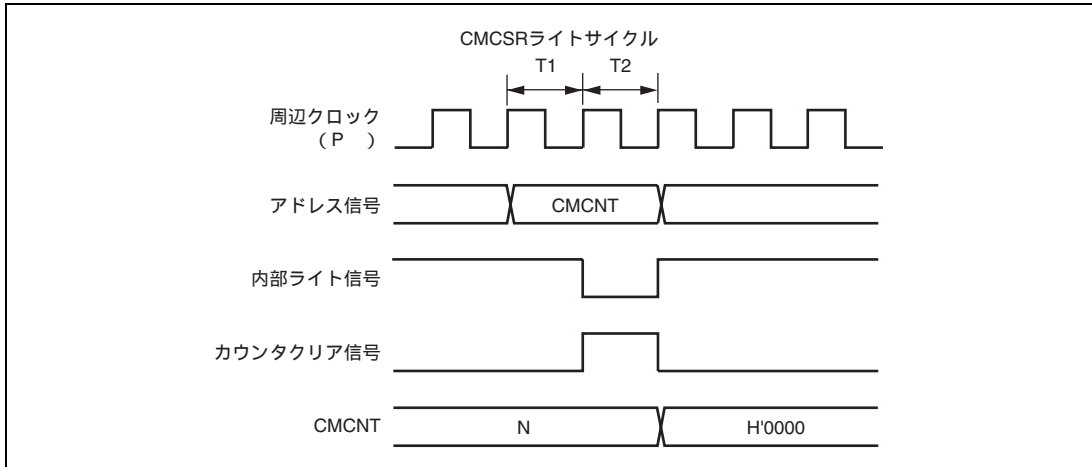


図 13.5 CMCNT の書き込みとコンペアマッチの競合

13.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 13.6 に示します。

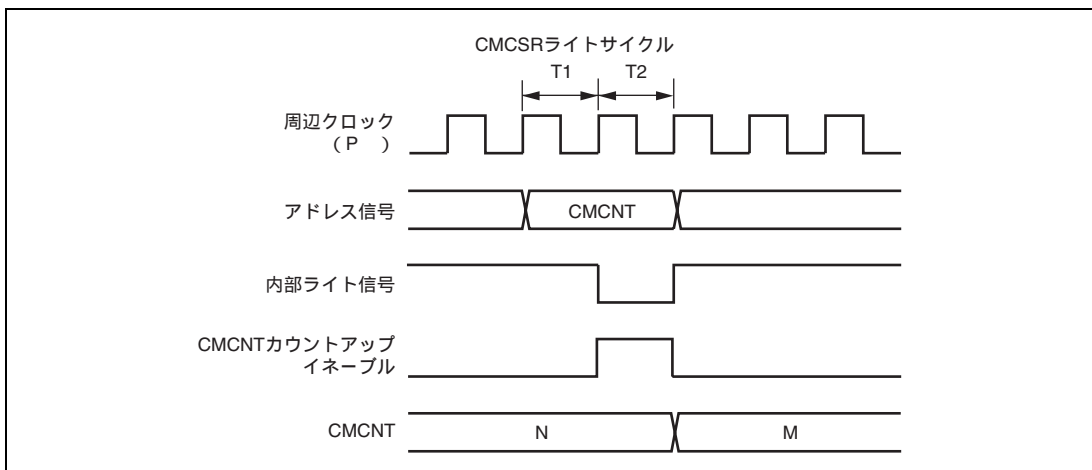


図 13.6 CMCNT のワード書き込みとカウントアップの競合

13.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 13.7 に示します。

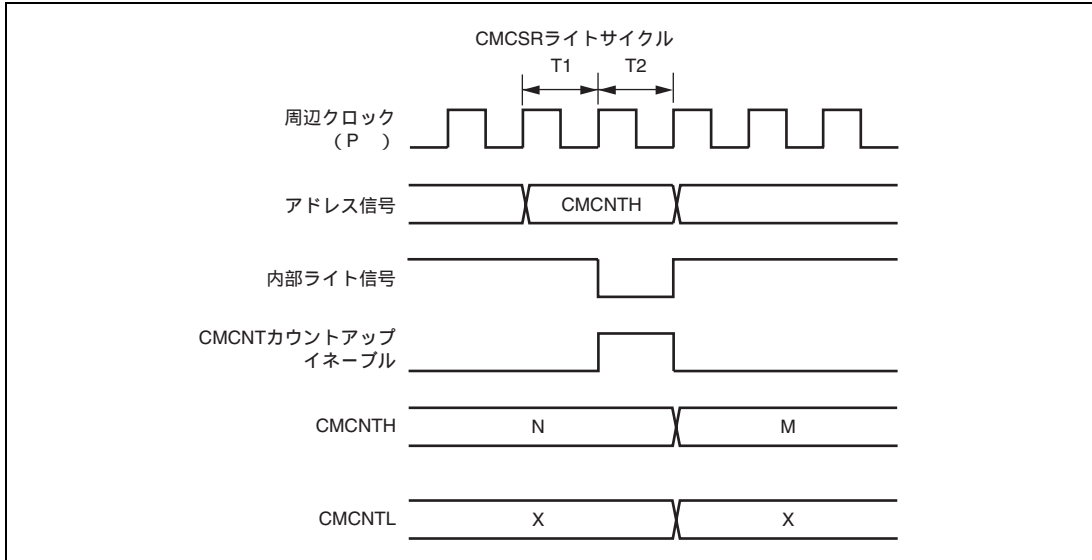


図 13.7 CMCNT のバイト書き込みとカウントアップの競合

13.5.4 CMCNT と CMCOR のコンペアマッチ

CMCNT のカウント停止状態で CMCNT と CMCOR に同じ値を設定しないでください。

14. ウォッチドッグタイマ (WDT)

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバーフローした場合、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

WDT は、CPU0 と CPU1 にそれぞれ 1 チャネルのタイマで、CPU0 用の WDT0 は、ソフトウェアスタンバイモードや周波数変更時の一時的なスタンバイ状態の解除のためのクロック発振安定時間のカウントに使用します。また、WDT0 と WDT1 はともに通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

14.1 特長

- クロック発振安定時間の確保に使用可能 (WDT0)
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能 (WDT0、WDT1)
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力 (WDT0、WDT1)
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本 LSI 内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生 (WDT0、WDT1)
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウント入力クロックを選択可能 (WDT0、WDT1)
周辺クロックを分周した8種類のクロック ($P \times 1 \sim \times 1/16384$) から選択できます。

図 14.1 に WDT のブロック図を示します。

図に示すようにオーバーフロー発生時の WDT0 と WDT1 からのリセット出力は、OR されて両 CPU に入力されます。

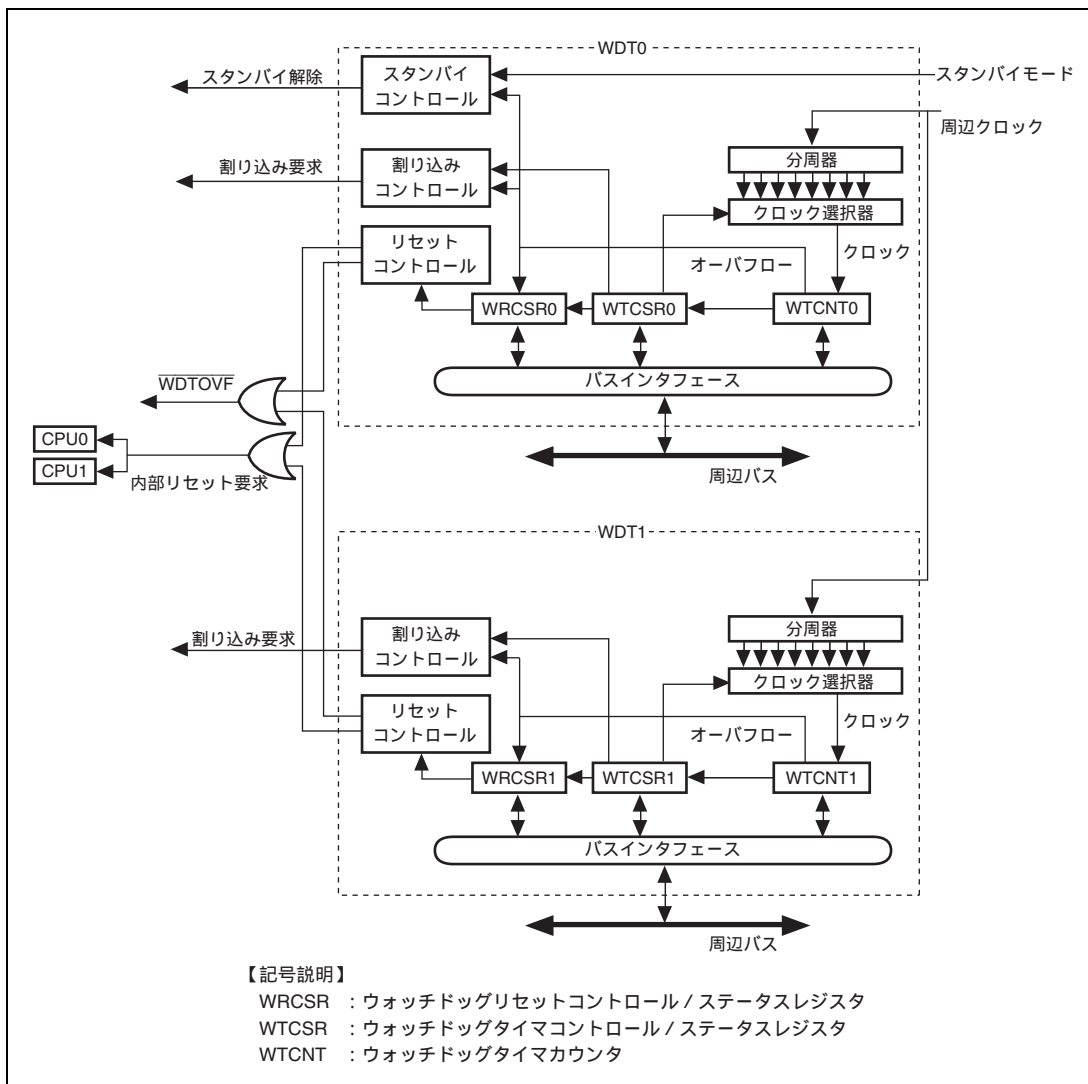


図 14.1 WDT のブロック図

14.2 入出力端子

WDT の端子を表 14.1 に示します。

表 14.1 端子構成

名称	端子名	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOV \bar{F}	出力	ウォッチドッグタイマモード時の WDT0 もしくは WDT1 のカウンタオーバーフロー信号出力

14.3 レジスタの説明

WDT には以下のレジスタがあります。

表 14.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ウォッチドッグタイマカウンタ 0	WTCNT0	R/W	H'00	H'FFFE0002	16*
ウォッチドッグタイマコントロール/ ステータスレジスタ 0	WTCSR0	R/W	H'18	H'FFFE0000	16*
ウォッチドッグリセットコントロール/ ステータスレジスタ 0	WRCSR0	R/W	H'1F	H'FFFE0004	16*
ウォッチドッグタイマカウンタ 1	WTCNT1	R/W	H'00	H'FFFE000A	16*
ウォッチドッグタイマコントロール/ ステータスレジスタ 1	WTCSR1	R/W	H'18	H'FFFE0008	16*
ウォッチドッグリセットコントロール/ ステータスレジスタ 1	WRCSR1	R/W	H'3F	H'FFFE000C	16*

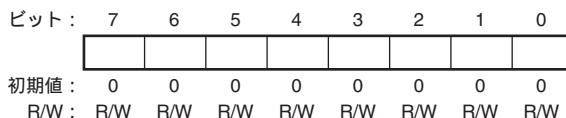
【注】 * アクセスサイズは、「14.3.4 レジスタアクセス時の注意」を参照してください。

14.3.1 ウォッチドッグタイマカウンタ (WTCNT0、WTCNT1)

WTCNT は、読み出し/書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーバフロー信号 ($\overline{\text{WDTOVF}}$) が発生し、インターバルタイマモードのときは割り込みが発生します。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。



14.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR0、WTCSR1)

WTCSR は、読み出し / 書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバフローフラグおよびイネーブルビットからなります。

WTCSR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	IOVF	WT/ $\overline{\text{IT}}$	TME	-	-	CKS[2:0]		
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IOVF	0	R/(W)	インターバルタイマオーバフロー インターバルタイマモードでWTCNTがオーバフローしたことを示します。 ウォッチドッグタイマモードでは、セットされません。 0: オーバフローなし 1: インターバルタイマモードでWTCNTがオーバフローした [クリア条件] • IOVFを読み出してから0を書き込む
6	WT/ $\overline{\text{IT}}$	0	R/W	タイマモード選択 ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード 【注】ウォッチドッグタイマモードでは、WTCNTがオーバフローしたとき $\overline{\text{WDTOVF}}$ 信号を外部へ出力 WDTの動作中にWT/ $\overline{\text{IT}}$ を書き換えるとカウントアップが正しく行われないことがあります。
5	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時にWDTを使用する場合には、このビットを0にしてください。 0: タイマディスエーブル カウントアップを停止し、WTCNTの値を保持する。 1: タイマイネーブル

ビット	ビット名	初期値	R/W	説 明																		
4, 3	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。																		
2~0	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>周辺クロック (P) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。かっこ内に示すオーバフロー周期は、周辺クロック (P) = 33MHz の場合の値です。</p> <table> <thead> <tr> <th>クロック分周比</th> <th>オーバフロー周期</th> </tr> </thead> <tbody> <tr> <td>000 : 1 × P</td> <td>(7.73 μs)</td> </tr> <tr> <td>001 : 1/64 × P</td> <td>(496.5 μs)</td> </tr> <tr> <td>010 : 1/128 × P</td> <td>(0.984ms)</td> </tr> <tr> <td>011 : 1/256 × P</td> <td>(1.97ms)</td> </tr> <tr> <td>100 : 1/512 × P</td> <td>(3.94ms)</td> </tr> <tr> <td>101 : 1/1024 × P</td> <td>(7.95ms)</td> </tr> <tr> <td>110 : 1/4096 × P</td> <td>(31.7ms)</td> </tr> <tr> <td>111 : 1/16384 × P</td> <td>(127.1ms)</td> </tr> </tbody> </table> <p>【注】 WDT の動作中に CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換える場合は、必ず WDT を停止させてください。</p>	クロック分周比	オーバフロー周期	000 : 1 × P	(7.73 μs)	001 : 1/64 × P	(496.5 μs)	010 : 1/128 × P	(0.984ms)	011 : 1/256 × P	(1.97ms)	100 : 1/512 × P	(3.94ms)	101 : 1/1024 × P	(7.95ms)	110 : 1/4096 × P	(31.7ms)	111 : 1/16384 × P	(127.1ms)
クロック分周比	オーバフロー周期																					
000 : 1 × P	(7.73 μs)																					
001 : 1/64 × P	(496.5 μs)																					
010 : 1/128 × P	(0.984ms)																					
011 : 1/256 × P	(1.97ms)																					
100 : 1/512 × P	(3.94ms)																					
101 : 1/1024 × P	(7.95ms)																					
110 : 1/4096 × P	(31.7ms)																					
111 : 1/16384 × P	(127.1ms)																					

14.3.3 ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR0、WRCSR1)

WRCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセット信号の発生を制御します。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	*1	1	1	1	1	1
R/W:	R/(W)	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。 0: オーバフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバーフローした [クリア条件] • WOVF を読み出してから 0 を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで WTCNT がオーバーフローしたとき本 LSI 内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: WTCNT がオーバーフローしたとき、内部リセットしない*2 1: WTCNT がオーバーフローしたとき、内部リセットする
5	RSTS	*1	R/W	リセットセレクト (WDT0 のみ有効、WRCSR1 ではリザーブビット) (どちらの WDT でオーバーフローが発生した場合でも WRCSR0.RSTS の値でリセットの種類が決定されます) ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: パワーオンリセット 1: マニュアルリセット
4~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

【注】 *1 WRCSR0 では 0、WRCSR1 では 1。

*2 本 LSI 内部はリセットされませんが、WDT 内の WTCNT、WTCR はリセットされます。

14.3.4 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出しまたは書き込みを行ってください。

(1) WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では書き込みません。

図 14.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

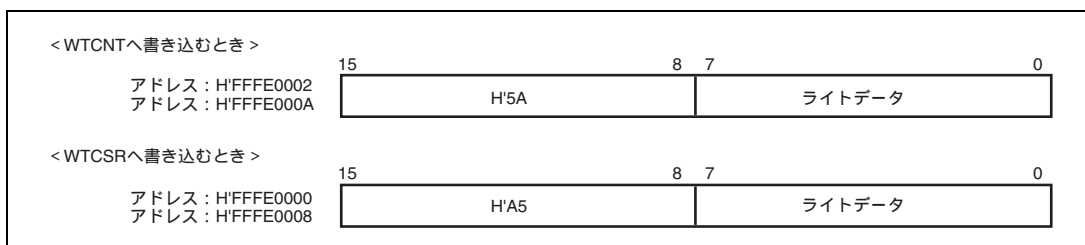


図 14.2 WTCNT および WTCSR への書き込み

(2) WRCSR への書き込み

WRCSR へ書き込むときは、アドレスに対してワード転送を行ってください。バイト転送命令およびロングワード転送命令では書き込みません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 14.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

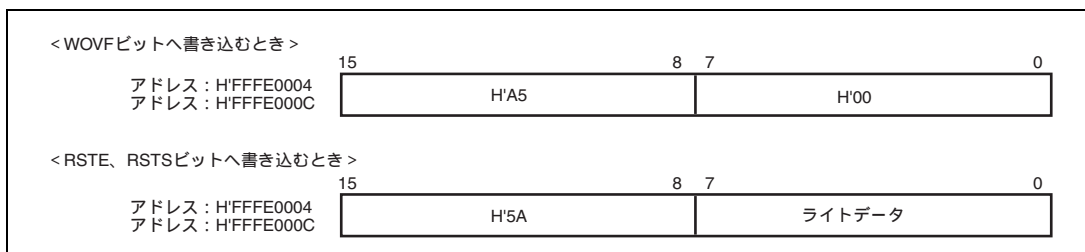


図 14.3 WRCSR への書き込み

(3) WTCNT、WTCSR、WRCSR からの読み出し

WDT0 のレジスタの読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR0 はアドレス H'FFFE0000 に、WTCNT0 はアドレス H'FFFE0002 に、WRCSR0 はアドレス H'FFFE0004 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

WDT1 のレジスタの読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR1 はアドレス H'FFFE0008 に、WTCNT1 はアドレス H'FFFE000A に、WRCSR1 はアドレス H'FFFE000C に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

14.4 WDT の使用方法

14.4.1 ソフトウェアスタンバイモード解除の手順

WDT0 は、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。

手順の詳細については「第 33 章 低消費電力モード」を参照してください。

14.4.2 PLL の通倍率変更の手順

PLL を使用した周波数変更時に、WDT0 を使用します。分周器の切り換えのみによる周波数変更の場合は、WDT は使用しません。手順の詳細については「第 5 章 クロックパルス発振器 (CPG)」を参照してください。

14.4.3 ウォッチドッグタイマモードの使用法

WDT0 は、CPU0 のウォッチドッグに使用し、WDT1 は CPU1 のウォッチドッグに使用するようになっています。

1. WTCSR の WT/IT ビットに 1 を設定して、CKS[2:0] にカウントクロックの種類、WRCSR の RSTE ビットに本 LSI の内部をリセットするかしないか、WRCSR0.RSTS ビットにこのときのリセットのタイプ、および WTCNT に初期値を設定します。
2. WTCSR の TME ビットに 1 をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタを H'00 に書き換えてください。カウンタがオーバーフローすると、WDT は WRCSR の WOVF を 1 にセットして、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。これを図 14.4 に示します。この $\overline{\text{WDTOVF}}$ 信号を用いて、システムをリセットすることができます。 $\overline{\text{WDTOVF}}$ 信号は、 $64 \times P$ クロックの間出力されます。
4. WRCSR の RSTE ビットを 1 にセットしておくと、 $\overline{\text{WDTOVF}}$ 信号と同時に本 LSI の内部をリセットする信号を発生させることができます。このリセットは、WRCSR0.RSTS ビットの設定によってパワーオンリセットまたはマニュアルリセットを選択できます。内部リセット信号は、 $128 \times P$ クロックの間出力されます。
5. $\overline{\text{RES}}$ 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。

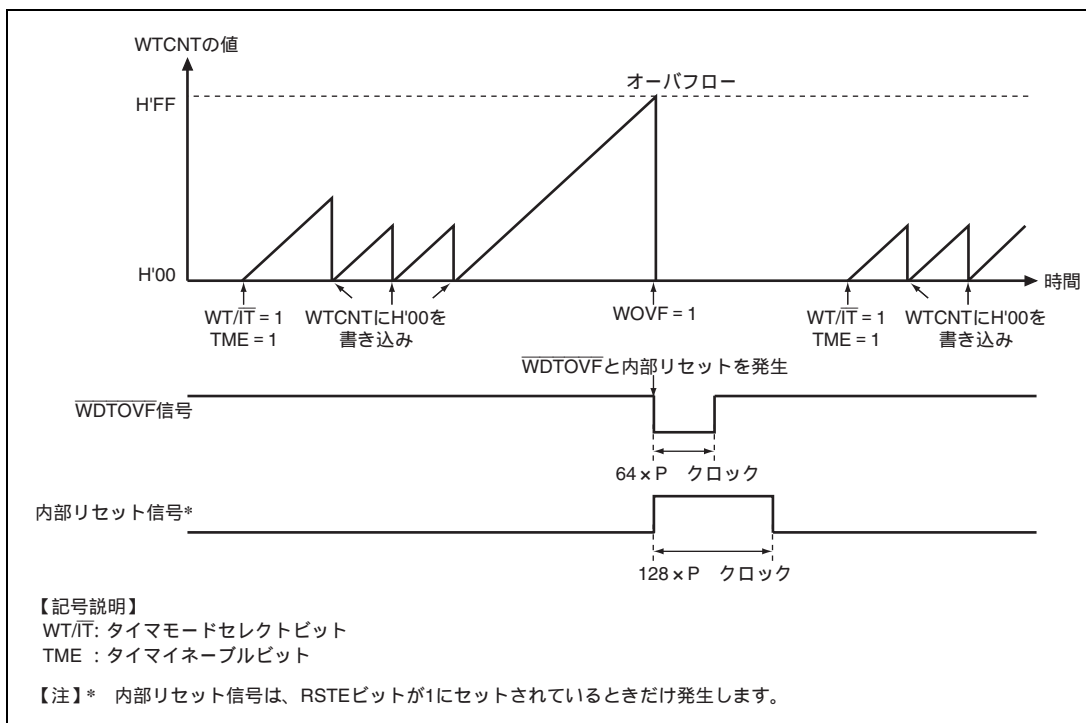


図 14.4 ウォッチドッグタイマモード時の動作

14.4.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSCRのWT/ITビットに0をセットして、CKS[2:0]ビットにカウントクロックの種類、WTCNTに初期値を設定します。
2. WTCSCRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSCRのIOVFに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

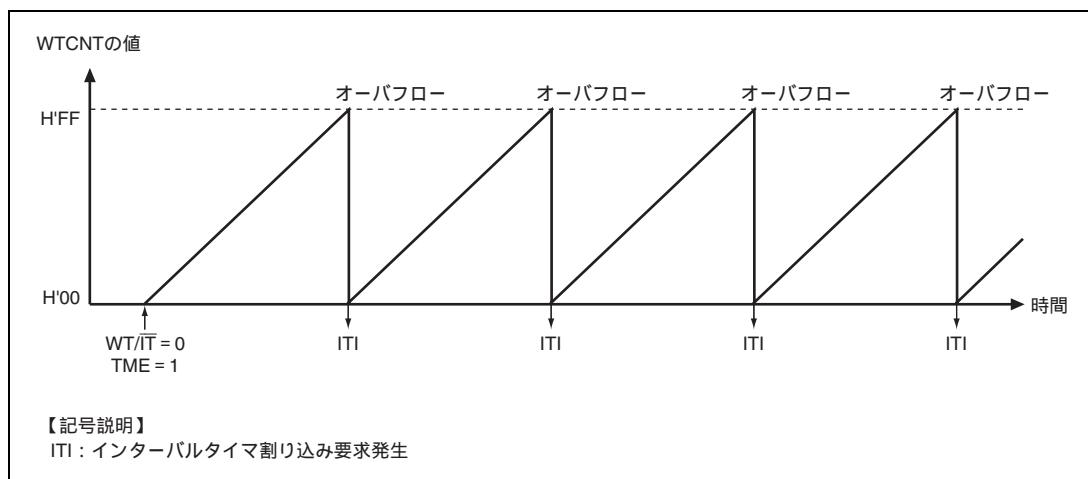


図 14.5 インターバルタイマモード時の動作

14.5 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

14.5.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCNT レジスタの TME ビットのセットタイミングによって、P の 1 サイクル後 (最短) から、CKS[2:0] で選択した分周タイミング (最長) までの間となります。2 回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

14.5.2 WTCNT の設定値として H'FF は設定禁止

WDT では WTCNT の値が H'FF になったことをオーバフローと判定します。したがって、WTCNT に H'FF を設定すると、CKS[2:0] の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたは WDT リセットが発生します。

14.5.3 インターバルタイマオーバフローフラグ

WTCNT の値が H'FF のときには、WTCNT の IOVF フラグはクリアできません。

WTCNT の値が H'00 になってからクリアを行うか、WTCNT の値を H'FF 以外の値に書き換えてから IOVF フラグをクリアしてください。

14.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$ 信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 14.6 に示すような回路で行ってください。

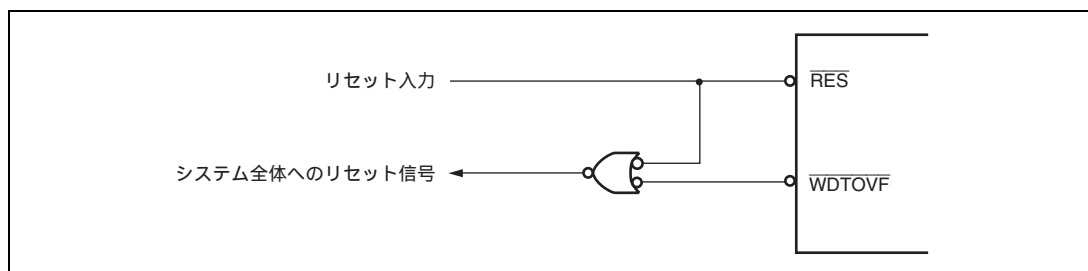


図 14.6 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

14.5.5 ウォッチドッグタイマモードのマニュアルリセット

ウォッチドッグタイマモードによるマニュアルリセット発生時、バスサイクルは保持されます。DMAC パースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。

14.5.6 ディープスタンバイモードへの遷移について

ディープスタンバイモードへの遷移および解除には、WDT は直接関係しませんが、CPU0 の SLEEP 命令発行によるディープスタンバイへの遷移中に WDT によるウォッチドッグタイマリセット、もしくはインターバルタイマ割り込みが起きる恐れがあるので、SLEEP 命令発行前に WTC SR0.TME および WTC SR1.TME ビットを 0 にして WDT を停止するようにしてください。

14.5.7 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモードで、ウォッチドッグタイマカウンタ (WTCNT0) のオーバーフローによる内部リセットが発生した場合、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR0) は初期化されず、WDT0 の WOVF ビットは 1 の状態となります。WDT0 の WOVF ビットが 1 の状態の場合、WTCNT0 がオーバーフローしても WDT0 による内部リセットは発生しません。

同様に、ウォッチドッグタイマモードで、ウォッチドッグタイマカウンタ (WTCNT1) のオーバーフローによる内部リセットが発生した場合、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR1) は初期化されず、WDT1 の WOVF ビットは 1 の状態となります。WDT1 の WOVF ビットが 1 の状態の場合、WTCNT1 がオーバーフローしても WDT1 による内部リセットは発生しません。

15. リアルタイムクロック (RTC)

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

15.1 特長

- 時計・カレンダー機能 (BCD表示) を搭載
秒、分、時、曜日、日、月、年をカウント
- 1~64Hzタイマ (バイナリ表示) を搭載
64Hzカウンタが、RTCの分周回路のうち64Hz~1Hzの状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

図 15.1 に RTC のブロック図を示します。

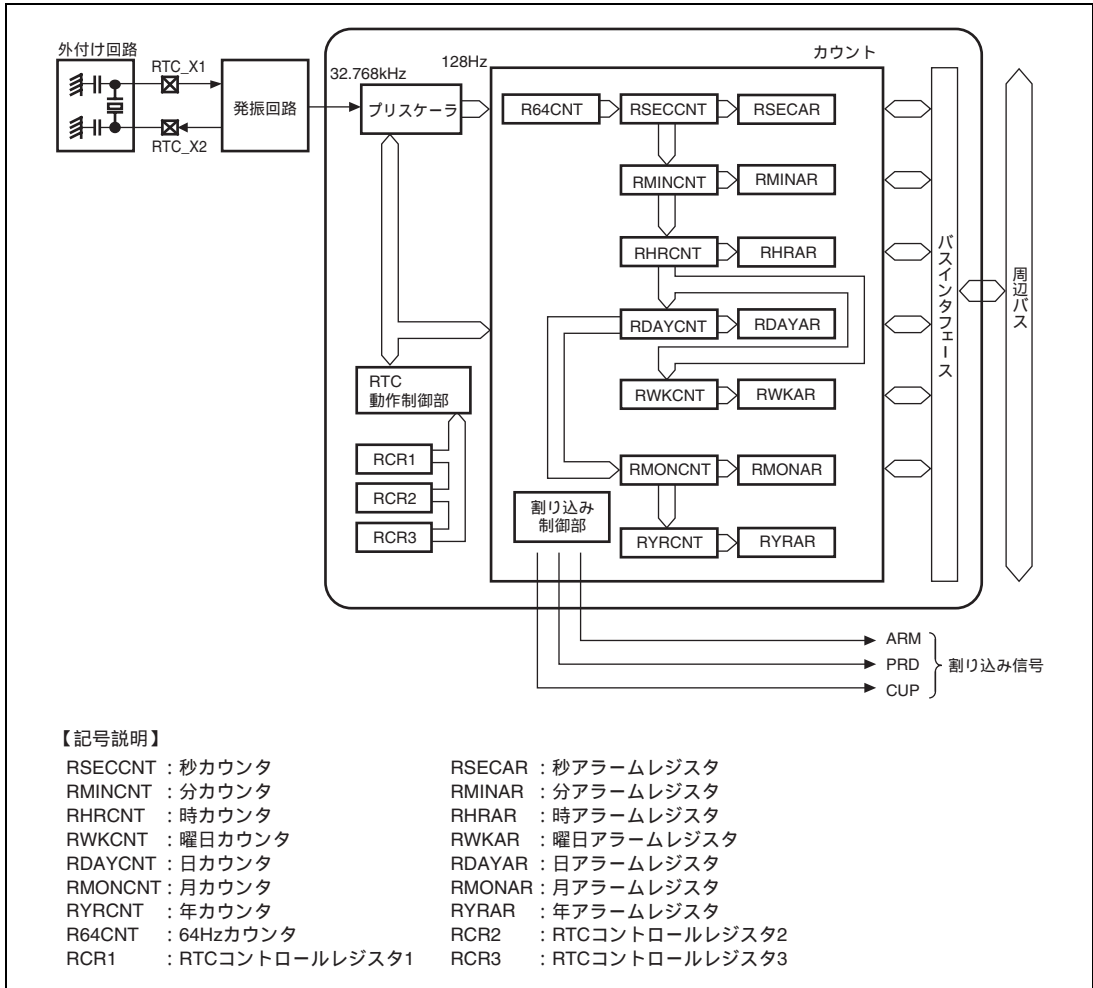


図 15.1 RTC のブロック図

15.2 入出力端子

RTC の端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	端子名	入出力	機能
RTC 用水晶発振子端子 / 外部クロック	RTC_X1	入力	RTC 用に 32.768kHz の水晶発振子を接続します。
	RTC_X2	出力	また RTC_X1 端子は外部クロックを入力することもできます。

15.3 レジスタの説明

RTC には以下のレジスタがあります。

表 15.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
64Hz カウンタ	R64CNT	R	H'xx	H'FFFE1000	8
秒カウンタ	RSECCNT	R/W	H'xx	H'FFFE1002	8
分カウンタ	RMINCNT	R/W	H'xx	H'FFFE1004	8
時カウンタ	RHRCNT	R/W	H'xx	H'FFFE1006	8
曜日カウンタ	RWKCNT	R/W	H'0x	H'FFFE1008	8
日カウンタ	RDAYCNT	R/W	H'xx	H'FFFE100A	8
月カウンタ	RMONCNT	R/W	H'xx	H'FFFE100C	8
年カウンタ	RYRCNT	R/W	H'xxxx	H'FFFE100E	16
秒アラームレジスタ	RSECAR	R/W	H'xx	H'FFFE1010	8
分アラームレジスタ	RMINAR	R/W	H'xx	H'FFFE1012	8
時アラームレジスタ	RHRAR	R/W	H'xx	H'FFFE1014	8
曜日アラームレジスタ	RWKAR	R/W	H'0x	H'FFFE1016	8
日アラームレジスタ	RDAYAR	R/W	H'xx	H'FFFE1018	8
月アラームレジスタ	RMONAR	R/W	H'xx	H'FFFE101A	8
年アラームレジスタ	RYRAR	R/W	H'xxxx	H'FFFE1020	16
RTC コントロールレジスタ 1	RCR1	R/W	H'00	H'FFFE101C	8
RTC コントロールレジスタ 2	RCR2	R/W	H'09	H'FFFE101E	8
RTC コントロールレジスタ 3	RCR3	R/W	H'00	H'FFFE1024	8

15.3.1 64Hz カウンタ (R64CNT)

R64CNT は、RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は初期化されます。

ビット:	7	6	5	4	3	2	1	0
	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	1Hz	不定	R	RTC の分周回路のうち、1Hz ~ 64Hz の状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

15.3.2 秒カウンタ (RSECCNT)

RSECCNT は、RTC の BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	10秒			1秒			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	10 秒	不定	R/W	秒十位カウント 秒十位は 0 から 5 をカウントして、60 秒のカウントを行います。
3~0	1 秒	不定	R/W	秒一位カウント 秒一位は 1 秒ごとに 0 から 9 をカウントします。桁上がりが発生すると、秒十位が +1 されます。

15.3.3 分カウンタ (RMINCNT)

RMINCNT は、RTC の BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00~59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	10分			1分			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	10 分	不定	R/W	分十位カウント 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
3~0	1 分	不定	R/W	分一位カウント 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。

15.3.4 時カウンタ (RHCNT)

RHCNT は、RTC の BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00~23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	10時間		1時間			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位カウント 時十位は 0 から 2 をカウントします。
3~0	1 時間	不定	R/W	時一位カウント 時一位は 1 時間ごとに 0 から 9 をカウントします。桁上がりが発生すると、時十位が +1 されます。

15.3.5 曜日カウンタ (RWKCNT)

RWKCNT は、RTC の BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 0~6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	曜日		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日カウント バイナリコードで曜日を表します。 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定禁止)

15.3.6 日カウンタ (RDAYCNT)

RDAYCNT は、RTC の BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 01 ~ 31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RDAYCNT の設定範囲は、月ごとおよびうるう年によって変化しますので、確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット:	7	6	5	4	3	2	1	0
	-	-	10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 日	不定	R/W	日十位カウンタ
3~0	1 日	不定	R/W	日一位カウンタ 日一位は 1 日ごとに 0~9 をカウントします。桁上がりが発生すると日十位が +1 されます。

15.3.7 月カウンタ (RMONCNT)

RMONCNT は、RTC の BCD コード化された月部分の設定・カウンタ用のカウンタであり、日カウンタの月ごとのキャリーによってカウンタ動作を行います。

設定可能範囲は、10 進 (BCD) で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウンタ動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	10月	1月			
初期値:	0	0	0	不定	不定	不定	不定	不定
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10 月	不定	R/W	月十位カウンタ
3~0	1 月	不定	R/W	月一位カウンタ 月一位は 1 月ごとに 0~9 をカウントします。桁上がりが発生すると月十位が +1 されます。

15.3.8 年カウンタ (RYRCNT)

RYRCNT は、RTC の BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリーによって、カウント動作を行います。

設定可能範囲は、10 進 (BCD) で 0000 ~ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	1000 年	不定	R/W	年千位カウント
11~8	100 年	不定	R/W	年百位カウント
7~4	10 年	不定	R/W	年十位カウント
3~0	1 年	不定	R/W	年一位カウント

15.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、RTC の BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RSECCNT の値と比較を行います。
6~4	10 秒	不定	R/W	秒十位の設定値
3~0	1 秒	不定	R/W	秒一位の設定値

15.3.10 分アラームレジスタ (RMINAR)

RMINAR は、RTC の BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RMINCNT の値と比較を行います。
6~4	10 分	不定	R/W	分十位の設定値
3~0	1 分	不定	R/W	分一位の設定値

15.3.11 時アラームレジスタ (RHRAR)

RHRAR は、RTC の BCD コード化された時部分のカウンタ RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10時間		1時間			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RHCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位の設定値
3~0	1 時間	不定	R/W	時一位の設定値

15.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 0~6+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	曜日		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RWKCNT の値と比較を行います。
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日の設定値 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定禁止)

15.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RDAYCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 日	不定	R/W	日十位の設定値
3~0	1 日	不定	R/W	日一位の設定値

15.3.14 月アラームレジスタ (RMONAR)

RMONAR は、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	10月	1月			
初期値:	0	0	0	不定	不定	不定	不定	不定
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RMONCNT の値と比較を行います。
6、5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10 月	不定	R/W	月十位の設定値
3~0	1 月	不定	R/W	月一位の設定値

15.3.15 年アラームレジスタ (RYRAR)

RYRAR は、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。
設定可能範囲は、10 進 (BCD) で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	1000年	不定	R/W	年千位の設定値
11~8	100年	不定	R/W	年百位の設定値
7~4	10年	不定	R/W	年十位の設定値
3~0	1年	不定	R/W	年一位の設定値

15.3.16 RTC コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのこのフラグについて、割り込みを発生するかどうか選択できます。

CF フラグは、分周回路がリセット (RCR2 の RESET ビットと ADJ ビットを 1 にセット) されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。

ビット:	7	6	5	4	3	2	1	0
	CF	-	-	CIE	AIE	-	-	AF
初期値:	不定	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	<p>桁上げフラグ</p> <p>このフラグが 1 にセットされた場合、秒カウンタ桁上げ、または 64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。</p> <p>0: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし</p> <p>[クリア条件] CF に 0 を書き込んだとき</p> <p>1: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり</p> <p>[セット条件] 秒カウンタ桁上げまたは 64Hz カウンタ桁上げ時の読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき</p>

ビット	ビット名	初期値	R/W	説明
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ 桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない 1: CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない 1: AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる
2, 1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	AF	0	R/W	アラームフラグ アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 1 にセットされるフラグです。 0: アラームレジスタとカウンタは不一致 [クリア条件] AF に 0 を書き込んだとき 1: アラームレジスタとカウンタは一致* [セット条件] アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 【注】* 1 を書き込むと、元の値が保持されます。

15.3.17 RTC コントロールレジスタ 2 (RCR2)

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、RTC カウント制御に関するレジスタです。

パワーオンリセット、およびディープスタンバイモード時は初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。

ビット:	7	6	5	4	3	2	1	0
	PEF	PES[2:0]		RTCEN	ADJ	RESET	START	
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	周期割り込みフラグ PES2 ~ PES0 ビットで設定された周期で割り込み発生を示すフラグです。 このフラグが 1 にセットされた場合、周期割り込みを発生します。 0 : PES2 ~ PES0 ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき 1 : PES2 ~ PES0 ビットで設定された周期で割り込み発生あり [セット条件] PES2 ~ PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき
6 ~ 4	PES[2:0]	000	R/W	割り込みイネーブルフラグ 周期割り込みの周期を設定します。 000 : 周期割り込み発生なし 001 : 周期割り込み発生を 1/256 秒ごとにする 010 : 周期割り込み発生を 1/64 秒ごとにする 011 : 周期割り込み発生を 1/16 秒ごとにする 100 : 周期割り込み発生を 1/4 秒ごとにする 101 : 周期割り込み発生を 1/2 秒ごとにする 110 : 周期割り込み発生を 1 秒ごとにする 111 : 周期割り込み発生を 2 秒ごとにする
3	RTCEN	1	R/W	RTC_X1 クロック制御 RTC_X1 端子の機能を制御します。 0 : 内蔵水晶発振器を停止 / 外部クロック入力禁止 1 : 内蔵水晶発振器を動作 / 外部クロック入力許可

ビット	ビット名	初期値	R/W	説 明
2	ADJ	0	R/W	30 秒調整 30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0: 通常の時計動作 1: 30 秒の調整を行う
1	RESET	0	R/W	リセット 1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) がリセットされた後、自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0: 通常の時計動作 1: 分周回路をリセット
0	START	1	R/W	START ビット カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。 0: 秒、分、時、日、曜日、月、年カウンタは停止 1: 秒、分、時、日、曜日、月、年カウンタは通常動作

15.3.18 RTC コントロールレジスタ 3 (RCR3)

RCR3 は、ENB ビットが 1 にセットされていると、RYRCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RYRCNT の値と比較を行います。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

15.4 動作説明

RTC の使用例を示します。

15.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

15.4.2 時刻設定手順

時刻設定手順例を図 15.2 に示します。

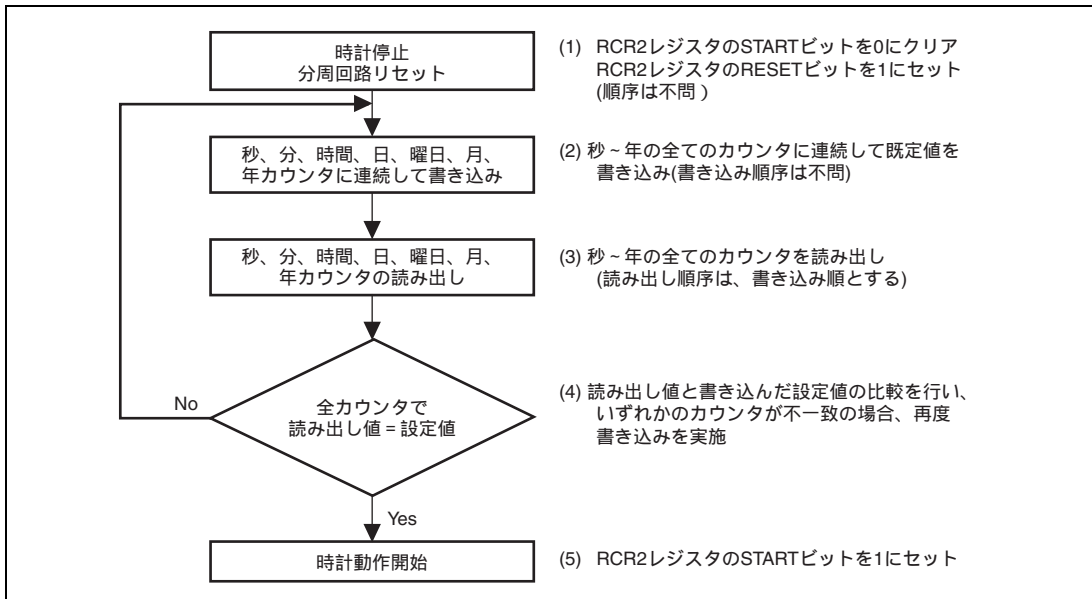


図 15.2 時刻設定手順

15.4.3 時刻読み出し手順

時刻読み出し手順を図 15.3 に示します。

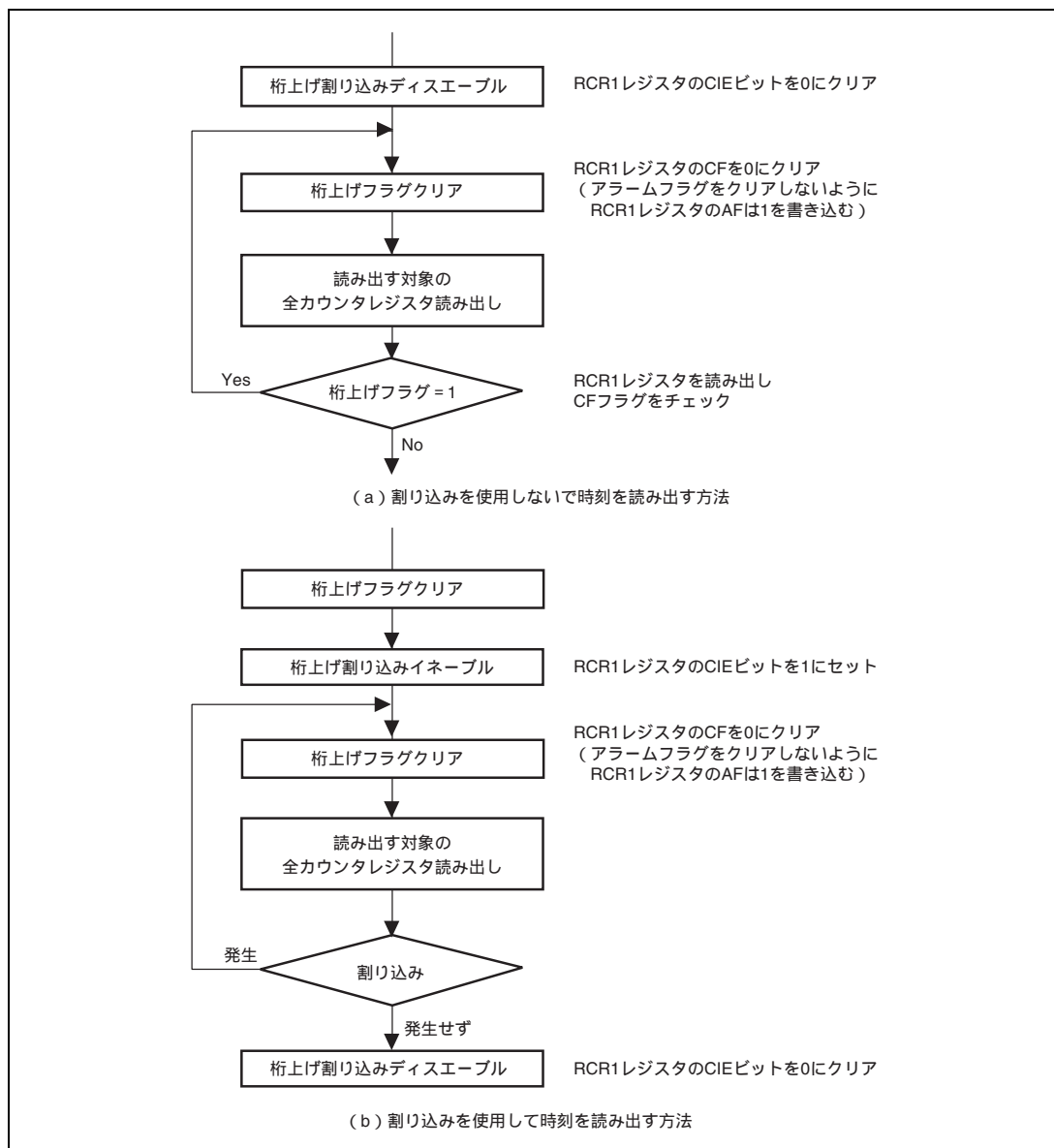


図 15.3 時刻読み出し手順

時刻読み出し中に桁上げが起ると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 15.3 の (a) に、桁上げ割り込みを使用する方法を図 15.3 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

15.4.4 アラーム機能

アラーム機能の使用例を図 15.4 に示します。

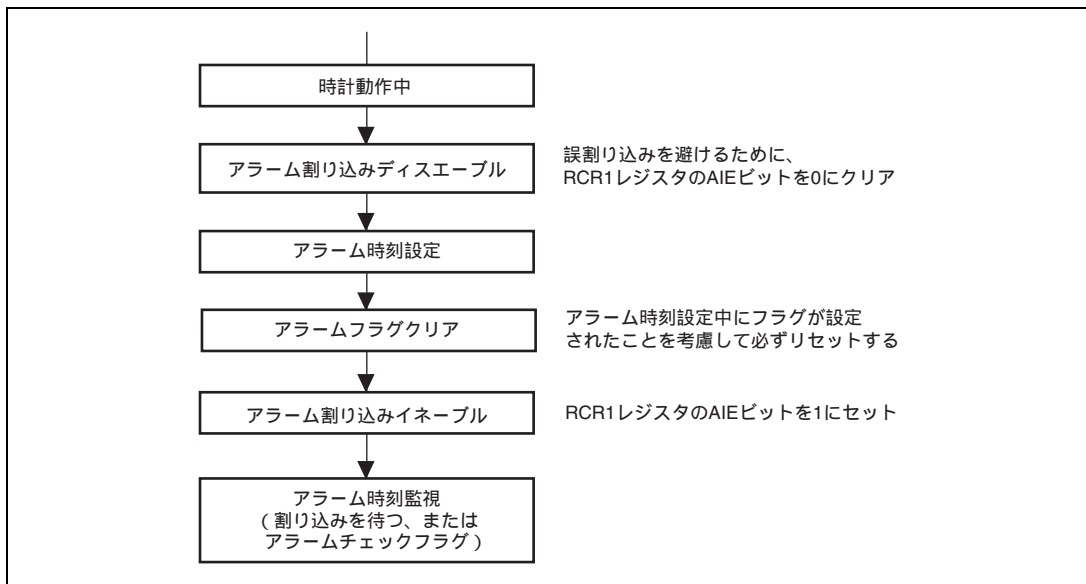


図 15.4 アラーム機能の使用方法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENBビットに0を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1レジスタのAFビットに1がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1レジスタのAIEビットに1が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに0を書き込むとクリアされます。

15.5 使用上の注意事項

15.5.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2 レジスタの START ビット = 1 のとき) は、以下のレジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

15.5.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込みの使用方法を図 15.5 に示します。

周期割り込みは、RCR2 レジスタの PES[2:0] ビットで設定した周期で定期的に割り込みを発生させることができます。PES[2:0] ビットで設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES[2:0] ビット設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

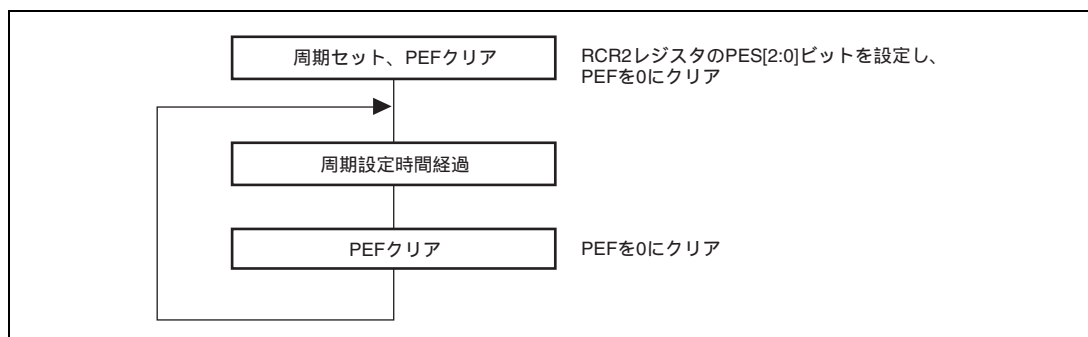


図 15.5 周期割り込み機能の使用方法

15.5.3 レジスタ設定後のスタンバイ遷移について

RTC 内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、設定したレジスタのダミーリードを行ってからスタンバイ状態に遷移してください。

15.5.4 レジスタ書き込み / 読み出し時の注意事項

- 秒カウンタなど、カウントレジスタの書き込み後の読み出しは、「時刻設定手順」に従ってください。このときに、秒~年の全てのカウンタに連続して書き込みを行う必要があります。図15.2の図中の(2)の書き込み処理の間に、カウントレジスタの読み出し処理が行われないようにしてください。
- RCR2レジスタの書き込み後の読み出し時は、ダミーリードを2回行った後に、リードしてください。2回のダミーリードでは、書き込み前の値が読み出せません。

3回目のリードで書き込み値が反映されます。

- 上記以外のレジスタは、書き込み直後の読み出しで、書き込み値が反映されます。

16. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 6 チャンネルの FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) を備えています。また、各チャンネルとも独立に送信 / 受信に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

16.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信 (チャンネル 0、1、2、5 のみ)

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速度連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース
ボーレートジェネレータ (内部クロック)、またはSCK端子 (外部クロック) から選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ割り込み、ブ레이크割り込み、受信FIFOデータフル割り込み、および受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいて、モデムコントロール機能 ($\overline{\text{RTS}}$ および $\overline{\text{CTS}}$) を内蔵 (チャンネル0のみ)
- 送信、および受信FIFOデータレジスタのデータ数、および受信FIFOデータレジスタの受信データの受信エラー数を検出できます。
- 調歩同期式モード受信時、タイムアウトエラー (DR) を検出できます。
- 調歩同期式モードにおいて、ビットレートの16/8倍の基本クロックでの動作を選択可能
- 調歩同期式モード、クロックソースが内部クロック / SCK端子は入力端子において、ボーレートジェネレータ通常 / 倍速モード選択可能

図 16.1 に SCIF (1 チャンネルあたり) のブロック図を示します。ただし、外部端子に関しては、チャンネルによってないものもあります。

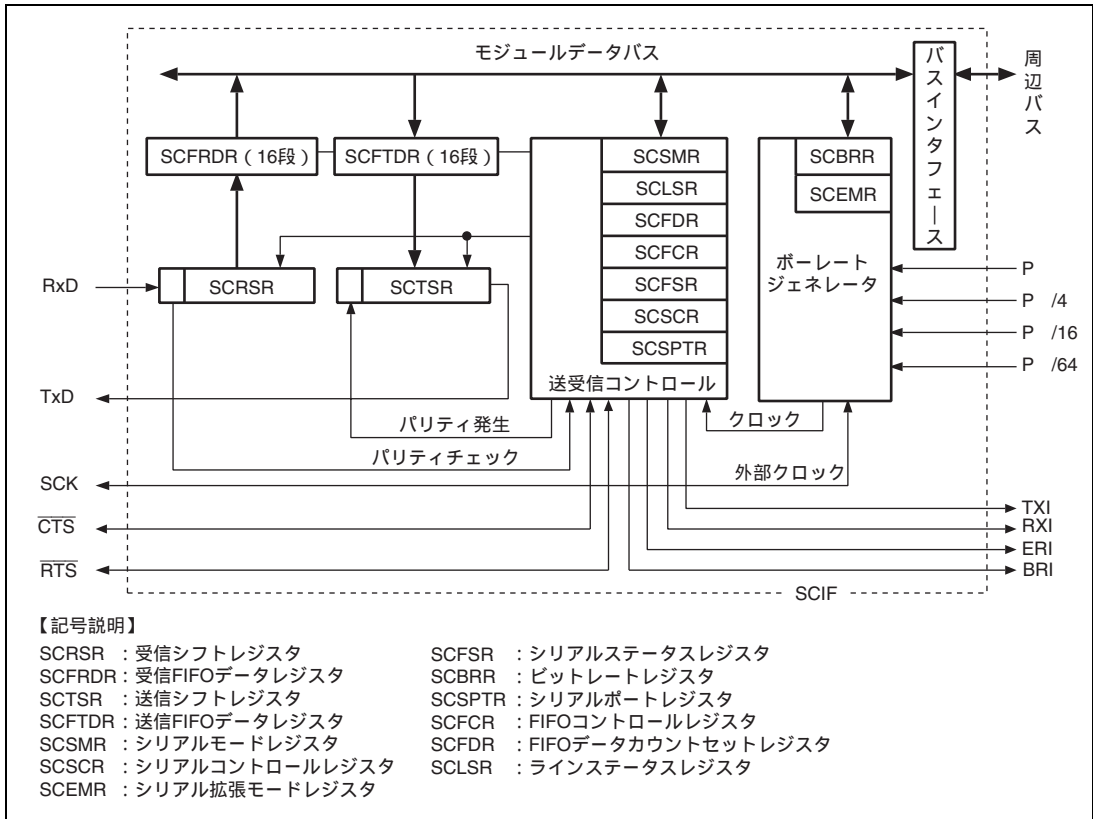


図 16.1 SCIF のブロック図

16.2 入出力端子

SCIF の端子構成を表 16.1 に示します。

表 16.1 端子構成

チャンネル	名称	端子名	入出力	機能
0~5	受信データ端子	RxD0 ~ RxD5	入力	受信データ入力
	送信データ端子	TxD0 ~ TxD5	出力	送信データ出力
0、1、2、5	シリアルクロック端子	SCK0、SCK1、 SCK2、SCK5	入出力	クロック入出力
0	リクエストツースェンド端子	RTS $\bar{0}$	入出力	リクエストツースェンド
	クリアツースェンド端子	CTS $\bar{0}$	入出力	クリアツースェンド

16.3 レジスタの説明

SCIF には以下のレジスタがあります。

表 16.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'0000	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'0000	H'FFFE8008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	W	不定	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	R/(W)* ¹	H'0060	H'FFFE8010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	R	不定	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	R/W	H'0000	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	R	H'0000	H'FFFE801C	16
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0050	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	R/(W)* ²	H'0000	H'FFFE8024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	R/W	H'0000	H'FFFE8028	16
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'0000	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'0000	H'FFFE8808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	W	不定	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	R/(W)* ¹	H'0060	H'FFFE8810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	R	不定	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	R/W	H'0000	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	R	H'0000	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0050	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	R/(W)* ²	H'0000	H'FFFE8824	16
	シリアル拡張モードレジスタ_1	SCEMR_1	R/W	H'0000	H'FFFE8828	16
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'0000	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'FFFE9004	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'0000	H'FFFE9008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	W	不定	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	R/(W)* ¹	H'0060	H'FFFE9010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	R	不定	H'FFFE9014	8
	FIFO コントロールレジスタ_2	SCFCR_2	R/W	H'0000	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	R	H'0000	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0050	H'FFFE9020	16
	ラインステータスレジスタ_2	SCLSR_2	R/(W)* ²	H'0000	H'FFFE9024	16
	シリアル拡張モードレジスタ_2	SCEMR_2	R/W	H'0000	H'FFFE9028	16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3	シリアルモードレジスタ_3	SCSMR_3	R/W	H'0000	H'FFFE9800	16
	ビットレートレジスタ_3	SCBRR_3	R/W	H'FF	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	R/W	H'0000	H'FFFE9808	16
	送信 FIFO データレジスタ_3	SCFTDR_3	W	不定	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	R/(W)*1	H'0060	H'FFFE9810	16
	受信 FIFO データレジスタ_3	SCFRDR_3	R	不定	H'FFFE9814	8
	FIFO コントロールレジスタ_3	SCFCR_3	R/W	H'0000	H'FFFE9818	16
	FIFO データカウントセットレジスタ_3	SCFDR_3	R	H'0000	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'0050	H'FFFE9820	16
	ラインステータスレジスタ_3	SCLSR_3	R/(W)*2	H'0000	H'FFFE9824	16
	シリアル拡張モードレジスタ_3	SCEMR_3	R/W	H'0000	H'FFFE9828	16
4	シリアルモードレジスタ_4	SCSMR_4	R/W	H'0000	H'FFFEA000	16
	ビットレートレジスタ_4	SCBRR_4	R/W	H'FF	H'FFFE A004	8
	シリアルコントロールレジスタ_4	SCSCR_4	R/W	H'0000	H'FFFE A008	16
	送信 FIFO データレジスタ_4	SCFTDR_4	W	不定	H'FFFE A00C	8
	シリアルステータスレジスタ_4	SCFSR_4	R/(W)*1	H'0060	H'FFFE A010	16
	受信 FIFO データレジスタ_4	SCFRDR_4	R	不定	H'FFFE A014	8
	FIFO コントロールレジスタ_4	SCFCR_4	R/W	H'0000	H'FFFE A018	16
	FIFO データカウントセットレジスタ_4	SCFDR_4	R	H'0000	H'FFFE A01C	16
	シリアルポートレジスタ_4	SCSPTR_4	R/W	H'0050	H'FFFE A020	16
	ラインステータスレジスタ_4	SCLSR_4	R/(W)*2	H'0000	H'FFFE A024	16
	シリアル拡張モードレジスタ_4	SCEMR_4	R/W	H'0000	H'FFFE A028	16
5	シリアルモードレジスタ_5	SCSMR_5	R/W	H'0000	H'FFFEA800	16
	ビットレートレジスタ_5	SCBRR_5	R/W	H'FF	H'FFFEA804	8
	シリアルコントロールレジスタ_5	SCSCR_5	R/W	H'0000	H'FFFEA808	16
	送信 FIFO データレジスタ_5	SCFTDR_5	W	不定	H'FFFEA80C	8
	シリアルステータスレジスタ_5	SCFSR_5	R/(W)*1	H'0060	H'FFFEA810	16
	受信 FIFO データレジスタ_5	SCFRDR_5	R	不定	H'FFFEA814	8
	FIFO コントロールレジスタ_5	SCFCR_5	R/W	H'0000	H'FFFEA818	16
	FIFO データカウントセットレジスタ_5	SCFDR_5	R	H'0000	H'FFFEA81C	16
	シリアルポートレジスタ_5	SCSPTR_5	R/W	H'0050	H'FFFEA820	16
	ラインステータスレジスタ_5	SCLSR_5	R/(W)*2	H'0000	H'FFFEA824	16
	シリアル拡張モードレジスタ_5	SCEMR_5	R/W	H'0000	H'FFFEA828	16

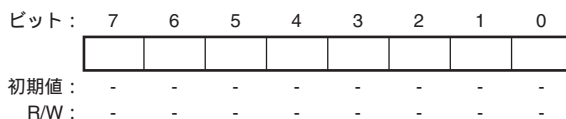
【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～8、3、2 は読み出し専用であり書き込むことはできません。

*2 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～1 は読み出し専用であり書き込むことはできません。

16.3.1 受信シフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCIF は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に受信 FIFO データレジスタ (SCFRDR) へ転送されます。

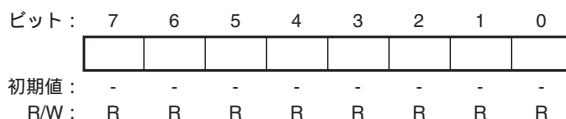
CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。



16.3.2 受信 FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段 FIFO レジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、受信シフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

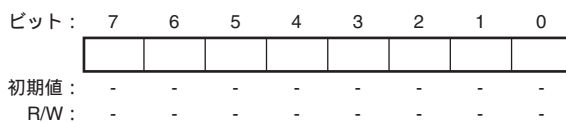
SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。



16.3.3 送信シフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。SCIF は、送信 FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

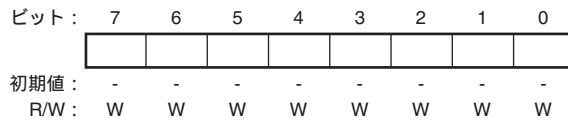
CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。



16.3.4 送信 FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。SCIF は、送信シフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

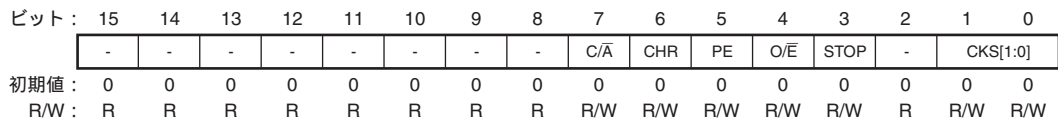
SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。



16.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。



ビット	ビット名	初期値	R/W	説 明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 チャンネル 3、4 ではリザーブビットです。読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、送信 FIFO データレジスタの MSB (ビット 7) は送信されません。

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると、送信時には O/E ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0: 偶数パリティ*¹ 1: 奇数パリティ*²</p> <p>【注】*¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>0:1ストップビット 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>1:2ストップビット 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータの内部クロックソースを選択します。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「16.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00:P クロック 01:P /4クロック 10:P /16クロック 11:P /64クロック</p> <p>【注】 P : 周辺クロック</p>

16.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	-	CKE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	送信インタラプトイネーブル 送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) へシリアル送信データが転送され、送信 FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンpty 割り込み (TXI) 要求の発生を許可 / 禁止します。 0: 送信 FIFO データエンpty 割り込み (TXI) 要求を禁止 1: 送信 FIFO データエンpty 割り込み (TXI) 要求を許可* 【注】* TXI の解除は、SCFTDR に指定した送信トリガ数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	受信インタラプトイネーブル シリアルステータスレジスタ (SCFSR) の RDF フラグまたは DR フラグが 1 にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたはラインステータスレジスタ (SCLSR) の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可 / 禁止します。 0: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を禁止 1: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を許可* 【注】* RXI 割り込み要求の解除は、DR または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。 ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>送信イネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* この状態で SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>受信イネーブル</p> <p>シリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロックをそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>受信エラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*</p> <p>【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE[1:0]によって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCSMR の C/\bar{A} ビットを 1 に設定してから CKE[1:0]を設定してください。</p> <p>チャンネル 3、4 ではリザーブビットです。読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <ul style="list-style-type: none"> 調歩同期式モード <ul style="list-style-type: none"> 00 : 内部クロック / SCK 端子は入力端子 (入力信号は無視) 01 : 内部クロック / SCK 端子はクロック出力 (ビットレートの 16/8 倍の周波数のクロックを出力) 10 : 外部クロック / SCK 端子はクロック入力 (ビットレートの 16/8 倍の周波数のクロックを入力) 11 : 設定禁止 クロック同期式モード <ul style="list-style-type: none"> 00 : 内部クロック / SCK 端子は同期クロック出力 01 : 内部クロック / SCK 端子は同期クロック出力 10 : 外部クロック / SCK 端子は同期クロック入力 11 : 設定禁止

16.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は、16 ビットのレジスタです。上位 8 ビットは受信 FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し / 書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、PER フラグ (ビット 15 ~ 12、2)、FER フラグ (ビット 11 ~ 8、3) は読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]				FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
15~12	PER[3:0]	0000	R	<p>パリティエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 15~12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER[3:0]は 0000 を表示します。</p>
11~8	FER[3:0]	0000	R	<p>フレーミングエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 11~8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は 0000 を表示します。</p>
7	ER	0	R(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*¹</p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ER=1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1回のデータ受信の終わりで受信データの最後のストップビットが1であるかどうかをチェックし、ストップビットが0の場合*² • 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき <p>【注】*¹ SCSCR の RE ビットを0にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーが含まれるかどうかは、SCFSR の FER ビットと PER ビットで判定できます。</p> <p>*² 2ストップモードのときは第1ストップビットのみチェックされ、第2ストップビットはチェックされません。</p>

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/(W)*	<p>送信エンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCFTDR へ送信データを書き込み、TEND=1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき*1 <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に SCFTDR に送信データがないとき <p>【注】*1 TXI 割り込み要求により DMAC で SCFTDR へデータのライトを行った場合、送信終了フラグとして使用しないでください。</p>
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンプティ</p> <p>送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0]で指定した送信トリガデータ数より少なくなり、SCFTDR への送信データの書き込みが許可されることを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータを SCFTDR に書き込み、TDFE に 0 を書き込んだとき 送信 FIFO データエンプティ 割り込み (TXI) により DMAC を起動し、指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを*1を表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】*1 SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットで示されます。</p>

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0: ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • BRK=1の状態を読み出した後、BRK フラグに 0 を書き込んだとき <p>1: ブレーク信号を受信*1</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】*1 ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。</p>
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

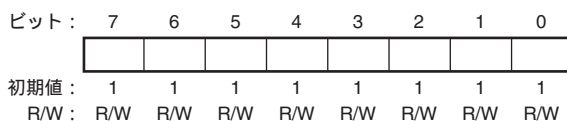
ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>受信 FIFO データフル</p> <p>受信データが受信 FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]で指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SCFRDR の書き込まれた受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • RDF=1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき • 受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数以上の受信データ数が SCFRDR に格納されるとき*1 <p>【注】*1 SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFCR の下位 8 ビットで示されます。</p>
0	DR	0	R/(W)*	<p>受信データレディ</p> <p>調歩同期モードで、受信 FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • DR=1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • 受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが受信されていないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*1後も次のデータが受信されないと <p>【注】*1 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

16.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS[1:0]、シリアル拡張モードレジスタ (SCEMR) の BGDM ビットおよび ABCS ビットとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、6 つのチャンネルにはそれぞれ異なる値を設定することができます。



SCBRR の設定値は以下の計算式で求められます。

【調歩同期モード】

- ボーレートジェネレータ通常モード (SCEMRのBGDM=0)

$$N = (P / (64 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの16倍の基本クロックで動作時)

$$N = (P / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCEMRのBGDM=1)

$$N = (P / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの16倍の基本クロックで動作時)

$$N = (P / (16 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの8倍の基本クロックで動作時)

【クロック同期モード】

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)
(電気的特性を満足する設定値としてください)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0, 1, 2, 3)
(n とクロックの関係は、表 16.3 を参照してください)

表 16.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS[1]	CKS[0]
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード (SCEMRのBGDM=0)

$$\text{誤差 (\%)} = \{ ((P \times 10^6) / ((N + 1) \times B \times 64 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ ((P \times 10^6) / ((N + 1) \times B \times 32 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCEMRのBGDM=1)

$$\text{誤差 (\%)} = \{ ((P \times 10^6) / ((N + 1) \times B \times 32 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ ((P \times 10^6) / ((N + 1) \times B \times 16 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

表 16.4 にポーレートジェネレータ通常モード (SCEMR の BGDM=0)、16 倍の基本クロック動作 (SCEMR の ABCS=0) のとき、調歩同期モードの SCBRR の設定例を示します。また、表 16.5 にクロック同期モードの SCBRR の設定例を示します。

表 16.4 ビットレートに対する SCBRR の設定例 [調歩同期モード、BGDM=0、ABCS=0] (1)

ビットレート (bit/s)	P (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	0	6	-6.99	0	7	0.00	0	7	1.73	0	9	-2.34

表 16.4 ビットレートに対する SCBRR の設定例 [調歩同期モード、BGDM=0、ABCS=0] (2)

ビットレート (bit/s)	P (MHz)								
	12.288			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	3	64	0.70	3	70	0.03
150	2	159	0.00	2	191	0.00	2	207	0.16
300	2	79	0.00	2	95	0.00	2	103	0.16
600	1	159	0.00	1	191	0.00	1	207	0.16
1200	1	79	0.00	1	95	0.00	1	103	0.16
2400	0	159	0.00	0	191	0.00	0	207	0.16
4800	0	79	0.00	0	95	0.00	0	103	0.16
9600	0	39	0.00	0	47	0.00	0	51	0.16
19200	0	19	0.00	0	23	0.00	0	25	0.16
31250	0	11	2.40	0	14	-1.70	0	15	0.00
38400	0	9	0.00	0	11	0.00	0	12	0.16

表 16.4 ビットレートに対する SCBRR の設定例 [調歩同期式モード、BGDM = 0、ABCS = 0] (3)

ビットレート (bit/s)	P (MHz)											
	20			24			24.576			28.7		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	- 0.25	3	106	- 0.44	3	108	0.08	3	126	0.31
150	3	64	0.16	3	77	0.16	3	79	0.00	3	92	0.46
300	2	129	0.16	2	155	0.16	2	159	0.00	2	186	- 0.08
600	2	64	0.16	2	77	0.16	2	79	0.00	2	92	0.46
1200	1	129	0.16	1	155	0.16	1	159	0.00	1	186	- 0.08
2400	1	64	0.16	1	77	0.16	1	79	0.00	1	92	0.46
4800	0	129	0.16	0	155	0.16	0	159	0.00	0	186	- 0.08
9600	0	64	0.16	0	77	0.16	0	79	0.00	0	92	0.46
19200	0	32	- 1.36	0	38	0.16	0	39	0.00	0	46	- 0.61
31250	0	19	0.00	0	23	0.00	0	24	- 1.70	0	28	- 1.03
38400	0	15	1.73	0	19	- 2.34	0	19	0.00	0	22	1.55

表 16.4 ビットレートに対する SCBRR の設定例 [調歩同期式モード、BGDM = 0、ABCS = 0] (4)

ビットレート (bit/s)	P (MHz)					
	30			33		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	132	0.13	3	145	0.33
150	3	97	- 0.35	3	106	0.39
300	2	194	0.16	2	214	- 0.07
600	2	97	- 0.35	2	106	0.39
1200	1	194	0.16	1	214	- 0.07
2400	1	97	- 0.35	1	106	0.39
4800	0	194	0.16	0	214	- 0.07
9600	0	97	- 0.35	0	106	0.39
19200	0	48	- 0.35	0	53	- 0.54
31250	0	29	0.00	0	32	0.00
38400	0	23	1.73	0	26	- 0.54

【注】 誤差は、なるべく 1%以内になるように設定してください。

表 16.5 ビットレートに対する SCBRR の設定例〔クロック同期式モード〕

ビットレート (bit/s)	P (MHz)									
	8		16		28.7		30		33	
	n	N	n	N	n	N	n	N	n	N
250	3	124	3	249						
500	2	249	3	124	3	223	3	233	3	255
1k	2	124	2	249	3	111	3	116	3	128
2.5k	1	199	2	99	2	178	2	187	2	205
5k	1	99	1	199	2	89	2	93	2	102
10k	0	199	1	99	1	178	1	187	1	205
25k	0	79	0	159	1	71	1	74	1	82
50k	0	39	0	79	0	143	0	149	0	164
100k	0	19	0	39	0	71	0	74	0	82
250k	0	7	0	15	-	-	0	29	0	32
500k	0	3	0	7	-	-	0	14	-	-
1M			0	3	-	-	-	-	-	-
2M					-	-	-	-	-	-

【記号説明】

空欄 : 設定できません。または、通信相手に関わらず、本 LSI 自身の電気的特性を満たすことができません。

- : 設定可能ですが誤差がでます。

表 16.6 にボーレートジェネレータを使用する場合の調歩同期モードの各周波数における最大ビットレートを示します。また、表 16.7 に外部クロック入力における調歩同期モードの最大ビットレート、表 16.8 に外部クロック入力 ($t_{\text{sync}} = 12t_{\text{pclk}}$ 時*) におけるクロック同期モードの最大ビットレートを示します。

【注】 * 本 LSI と通信相手先の電氣的特性を満足することを確認してください。

表 16.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期モード)

P (MHz)	設定値				最大ビットレート (bit/s)
	BGDM	ABCS	n	N	
8	0	0	0	0	250000
		1	0	0	500000
	1	0	0	0	500000
		1	0	0	1000000
9.8304	0	0	0	0	307200
		1	0	0	614400
	1	0	0	0	614400
		1	0	0	1228800
12	0	0	0	0	375000
		1	0	0	750000
	1	0	0	0	750000
		1	0	0	1500000
14.7456	0	0	0	0	460800
		1	0	0	921600
	1	0	0	0	921600
		1	0	0	1843200
16	0	0	0	0	500000
		1	0	0	1000000
	1	0	0	0	1000000
		1	0	0	2000000
20	0	0	0	0	625000
		1	0	0	1250000
	1	0	0	0	1250000
		1	0	0	2500000
24	0	0	0	0	750000
		1	0	0	1500000
	1	0	0	0	1500000
		1	0	0	3000000

P (MHz)	設定値				最大ビットレート (bit/s)
	BGDM	ABCS	n	N	
24.576	0	0	0	0	768000
		1	0	0	1536000
	1	0	0	0	1536000
		1	0	0	3072000
28.7	0	0	0	0	896875
		1	0	0	1793750
	1	0	0	0	1793750
		1	0	0	3587500
30	0	0	0	0	937500
		1	0	0	1875000
	1	0	0	0	1875000
		1	0	0	3750000
33	0	0	0	0	1031250
		1	0	0	2062500
	1	0	0	0	2062500
		1	0	0	4125000

表 16.7 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック (MHz)	設定値	最大ビットレート (bit/s)
		ABCS	
8	2.0000	0	125000
		1	250000
9.8304	2.4576	0	153600
		1	307200
12	3.0000	0	187500
		1	375000
14.7456	3.6864	0	230400
		1	460800
16	4.0000	0	250000
		1	500000
20	5.0000	0	312500
		1	625000
24	6.0000	0	375000
		1	750000
24.576	6.1440	0	384000
		1	768000
28.7	4.9152	0	448436
		1	896872
30	7.5000	0	468750
		1	937500
33	8.2500	0	515625
		1	1031250

表 16.8 外部クロック入力時の最大ビットレート (クロック同期式モード、 $t_{\text{sync}} = 12t_{\text{pccyc}}$ 時)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	0.6666	666666.6
16	1.3333	1333333.3
24	2.0000	2000000.0
28.7	2.3916	2391666.6
30	2.5000	2500000.0
33	2.7500	2750000.0

16.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、送信 FIFO データレジスタおよび受信 FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し/書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RSTRG[2:0]		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	RSTRG[2:0]	000	R/W	RTS 出力アクティブトリガ 受信 FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14
7、6	RTRG[1:0]	00	R/W	受信 FIFO データ数トリガ シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。受信 FIFO データレジスタ (SCFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。 <ul style="list-style-type: none"> 調歩同期式モード 00 : 1 01 : 4 10 : 8 11 : 14 クロック同期式モード 00 : 1 01 : 2 10 : 8 11 : 14 【注】クロック同期式モードのとき、DMAC により受信データを転送する場合、受信トリガ数を 1 に設定してください。1 以外に設定した場合、CPU により SCFRDR に残っている受信データを読み出す必要があります。

ビット	ビット名	初期値	R/W	説明
5, 4	TTRG[1:0]	00	R/W	<p>送信 FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。送信 FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。</p> <p>00 : 8 (8) *</p> <p>01 : 4 (12) *</p> <p>10 : 2 (14) *</p> <p>11 : 0 (16) *</p> <p>【注】* () 内の数値は TDFE フラグが 1 にセットされるとき SCFTDR レジスタの空きバイト数を意味します。</p>
3	MCE	0	R/W	<p>モデムコントロールラインネーブル</p> <p>モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を許可 / 禁止します。</p> <p>チャンネル 1~5、クロック同期モードでは MCE を常に 0 にしてください。</p> <p>0 : モデム信号を禁止*</p> <p>1 : モデム信号を許可</p> <p>【注】* 入力値に関係なく $\overline{\text{CTS}}$ のレベルは送信動作に影響しません。また、$\overline{\text{RTS}}$ のレベルは受信動作に影響しません。</p>
2	TFRST	0	R/W	<p>送信 FIFO データレジスタリセット</p> <p>送信 FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>受信 FIFO データレジスタリセット</p> <p>受信 FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TxD) と受信入力端子 (RxD)、$\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続しループバックテストを許可します。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

16.3.10 FIFO データカウントセットレジスタ (SCFDR)

SCFDR は、送信 FIFO データレジスタ (SCFTDR) と受信 FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]				-	-	-	R[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR 格納されていることを示します。

16.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 7、6 で $\overline{\text{RTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 5、4 で $\overline{\text{CTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。

SCSPTR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値 :	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO	0	R/W	$\overline{\text{RTS}}$ ポート入出力 シリアルポートの $\overline{\text{RTS}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力しない 1 : $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力する
6	RTSDT	1	R/W	$\overline{\text{RTS}}$ ポートデータ シリアルポートの $\overline{\text{RTS}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が $\overline{\text{RTS}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS}}$ 端子の値が読み出されます。ただし PFC で $\overline{\text{RTS}}$ 入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル
5	CTSIO	0	R/W	$\overline{\text{CTS}}$ ポート入出力 シリアルポートの $\overline{\text{CTS}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力しない 1 : $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力する

ビット	ビット名	初期値	R/W	説明
4	CTS $\overline{\text{SDT}}$	1	R/W	<p>$\overline{\text{CTS}}$ ポートデータ</p> <p>シリアルポートの $\overline{\text{CTS}}$ 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTS$\overline{\text{SDT}}$ ビットの値が $\overline{\text{CTS}}$ 端子に出力されます。CTSIO ビットの値にかかわらず、CTS$\overline{\text{SDT}}$ ビットからは $\overline{\text{CTS}}$ 端子の値が読み出されます。ただし PFC で $\overline{\text{CTS}}$ 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
3	SCKIO	0	R/W	<p>SCK ポート入出力</p> <p>シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。</p> <p>0 : SCK 端子に SCKDT ビットの値を出力しない 1 : SCK 端子に SCKDT ビットの値を出力する</p>
2	SCKDT	0	R/W	<p>SCK ポートデータ</p> <p>シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし PFC で SCK 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
1	SPB2IO	0	R/W	<p>シリアルポートブ레이크入出力</p> <p>シリアルポートの Tx$\overline{\text{D}}$ 端子の出力条件を指定します。実際に Tx$\overline{\text{D}}$ 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。</p> <p>0 : Tx$\overline{\text{D}}$ 端子に SPB2DT ビットの値を出力しない 1 : Tx$\overline{\text{D}}$ 端子に SPB2DT ビットの値を出力する</p>
0	SPB2DT	0	R/W	<p>シリアルポートブ레이크データ</p> <p>シリアルポートの Rx$\overline{\text{D}}$ 端子の入力データおよび Tx$\overline{\text{D}}$ 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。Tx$\overline{\text{D}}$ 端子を出力に設定した場合、SPB2DT ビットの値が Tx$\overline{\text{D}}$ 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは Rx$\overline{\text{D}}$ 端子の値が読み出されます。ただし PFC で Rx$\overline{\text{D}}$ 入力、Tx$\overline{\text{D}}$ 出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>

16.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU から読み出し / 書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ORER	0	R/(W)*	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ORER = 1 の状態を読み出した後、0 を書き込んだとき • 1: 受信時にオーバーランエラーが発生したことを表示*² <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信 FIFO にいっぱいの 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき <p>【注】*¹ シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*² 受信 FIFO データレジスタ (SCFRDR) ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

16.3.13 シリアル拡張モードレジスタ (SCEMR)

SCEMR は、常に CPU から読み出し / 書き込みが可能です。BGDM ビットを 1 にセットすることにより、調歩同期式モード (SCSMR の $C/\bar{A}=0$) かつクロックソースを内部クロック / SCK 端子は入力端子 (SCSCR の $CKE[1:0]=00$) のとき、SCIF 内部のポーレートジェネレータが倍速モードで動作します。

また、ABCS ビットの設定を変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックを選択することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BGDM	-	-	-	-	-	-	ABCS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	BGDM	0	R/W	ポーレートジェネレータ倍速モード BGDM ビットを 1 にセットすると、SCIF 内部のポーレートジェネレータが倍速モードで動作します。BGDM の設定は、調歩同期式モード (SCSMR の $C/\bar{A}=0$) かつクロックソースを内部クロック / SCK 端子は入力端子 (SCSCR の $CKE[1:0]=00$) のときに有効です。上記設定以外の場合は通常モードを使用してください。 0: 通常モード 1: 倍速モード
6~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。ABCS ビットの設定は、調歩同期式モード (SCSMR の $C/\bar{A}=0$) のとき有効です。 0: ビットレートの 16 倍の周波数の基本クロックで動作 1: ビットレートの 8 倍の周波数の基本クロックで動作

16.4 動作説明

16.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。ただし、チャンネル 3、4 ではクロック同期式モードは設定できません。

送信 / 受信のそれぞれに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。さらにチャンネル 0 にはモデムコントロール信号として $\overline{\text{RTS}}$ 信号、 $\overline{\text{CTS}}$ 信号を用意しています。送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 16.9 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の $\text{CKE}[1:0]$ の組み合わせで決まります。これを表 16.10 に示します。

(1) 調歩同期式モード

- データ長：7ビット / 8ビットから選択可能
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、受信データレディ、およびブレークの検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：SCIFはボーレートジェネレータのクロックで動作
外部クロックを選択した場合：ビットレートの16/8倍の周波数のクロックを入力することが必要
(内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード (チャンネル 0、1、2、5 のみ)

- 送信 / 受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：SCIFはボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された外部同期クロックで動作

表 16.9 SCSMR の設定値と SCIF 送信 / 受信フォーマット

SCSMR				モード	SCIF 送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビット	なし	なし

【記号説明】 x : Don't care

表 16.10 SCSMR、SCSCR の設定値と SCIF のクロックソースの選択

SCSMR	SCSCR	モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1、0			
C/ \bar{A}	CKE[1:0]			
0	00	調歩同期式モード	内部	SCIF は SCK 端子を使用しません
	01			ビットレートの 16/8 倍の周波数のクロックを出力
	10		外部	ビットレートの 16/8 倍の周波数のクロックを入力
	11		設定禁止	
1	0x	クロック同期式モード	内部	同期クロックを出力
	10		外部	同期クロックを入力
	11		設定禁止	

【記号説明】 x : Don't care

【注】 ボーレートジェネレータ倍速モード (BGDM=1) を使用する際は、調歩同期式モード (C/ \bar{A} =0) かつクロックソースを内部クロック / SCK 端子を使用しない (CKE[1:0]=00) 設定にしてください。

16.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 16.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCIF は、データを 1 ビット期間の 16/8 倍の周波数のクロックの 8/4 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

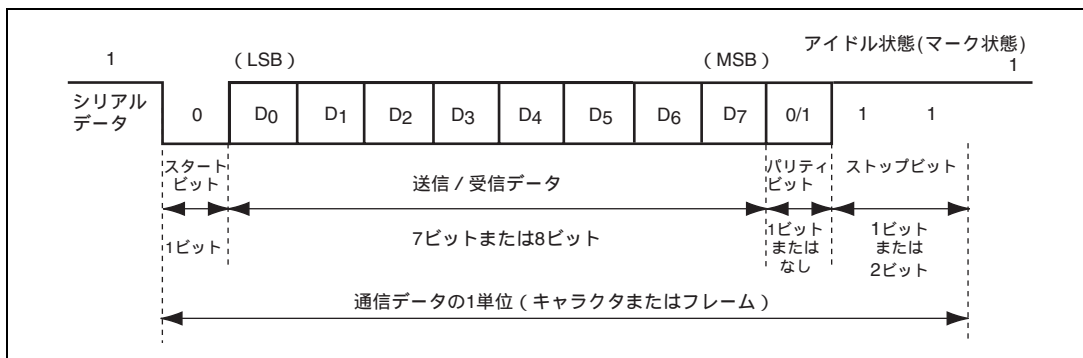


図 16.2 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 16.11 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 16.11 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCSMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR) の $CKE[1:0]$ の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 16.10 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16/8 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16/8 倍の周波数です。

(3) データの送信 / 受信動作

• SCIF初期化 (調歩同期式モード)

データの送信 / 受信前には、まずシリアルコントロールレジスタ (SCSCR) のTEビットおよびREビットを0にクリアした後、以下の順でSCIFを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ずTEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、送信シフトレジスタ (SCTSR) は初期化されます。しかし、TEビットとREビットを0にクリアしても、シリアルステータスレジスタ (SCFSR)、送信FIFOデータレジスタ (SCFTDR)、受信FIFOデータレジスタ (SCFRDR) は初期化されず、それらの内容は保持されますのでご注意ください。TEビットの0クリアは、送信データをすべて送信し、SCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図16.3にSCIFの初期化フローチャートの例を示します。

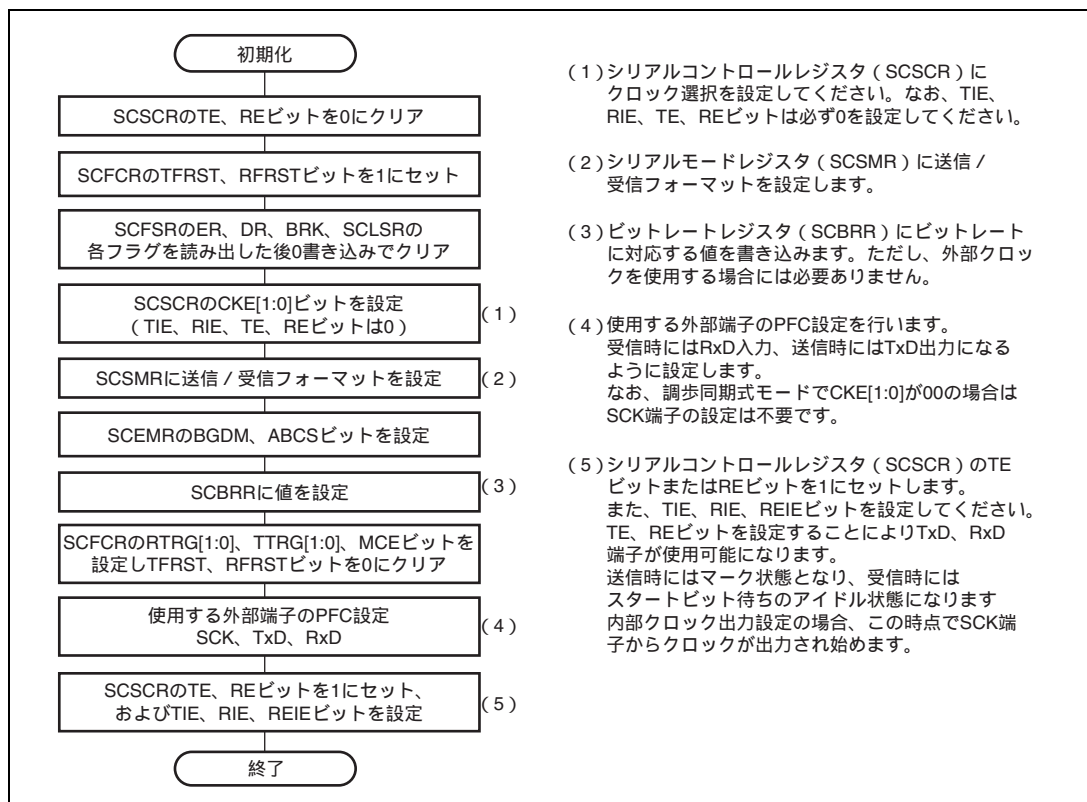


図 16.3 SCIF 初期化フローチャートの例

- シリアルデータ送信 (調歩同期モード)

図16.4にシリアル送信のフローチャートの例を示します。

SCIFの送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

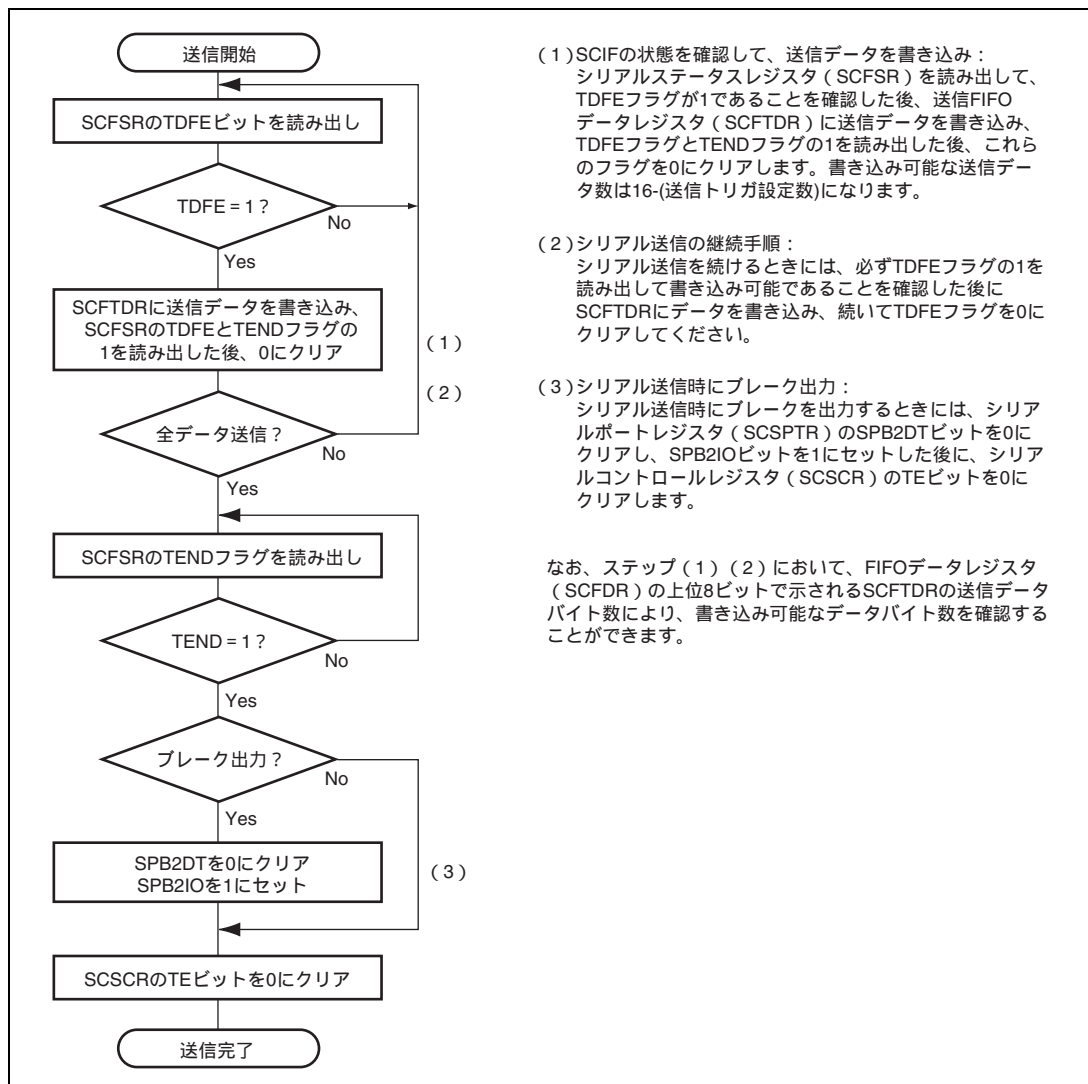


図 16.4 シリアル送信のフローチャートの例

SCIFは、シリアル送信時には以下のように動作します。

1. SCIFは、送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンpty割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- (a) スタートビット : 1ビットの0が出力されます。
 - (b) 送信データ : 8ビットまたは7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット : 1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます (なお、パリティビットを出力しないフォーマットも選択できます)。
 - (d) ストップビット : 1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データがあると、SCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

調歩同期式モードでの送信時の動作例を図16.5に示します。

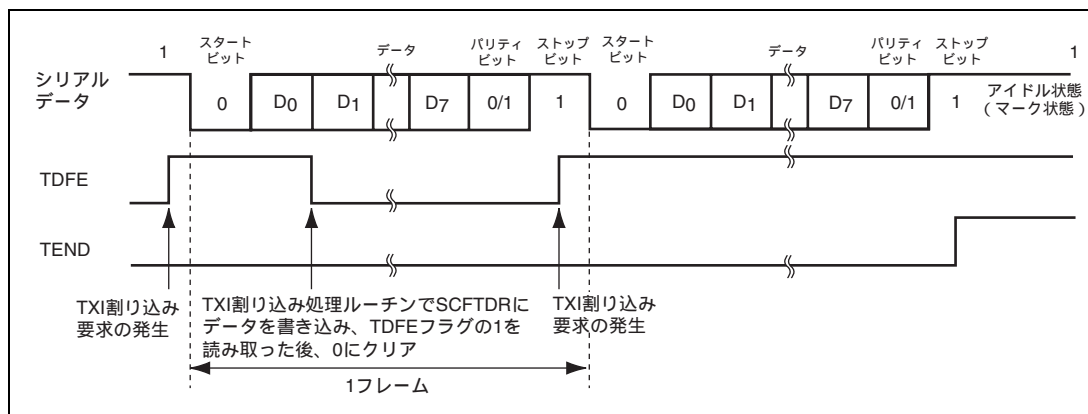


図 16.5 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

4. チャンネル0において、モデムコントロールを許可した場合、 $\overline{\text{CTS}}$ 入力値によって送信を停止 / 再開することができます。 $\overline{\text{CTS}}$ が1にセットされると、送信中のときは1フレームの送信終了後マーク状態になります。 $\overline{\text{CTS}}$ が0にセットされると、次の送信データがスタートビットを先頭に出力されます。

モデムコントロールを使用した動作例を図16.6に示します。

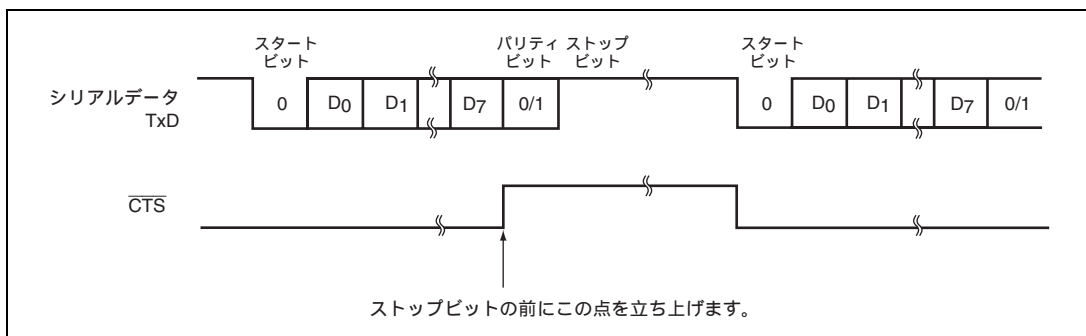


図 16.6 モデムコントロールを使用した動作例 ($\overline{\text{CTS}}$)

- シリアルデータ受信 (調歩同期式モード)

図16.7、図16.8にシリアル受信フローチャートの例を示します。

SCIFの受信を可能に設定した後、シリアルデータ受信は次の手順に従い行ってください。

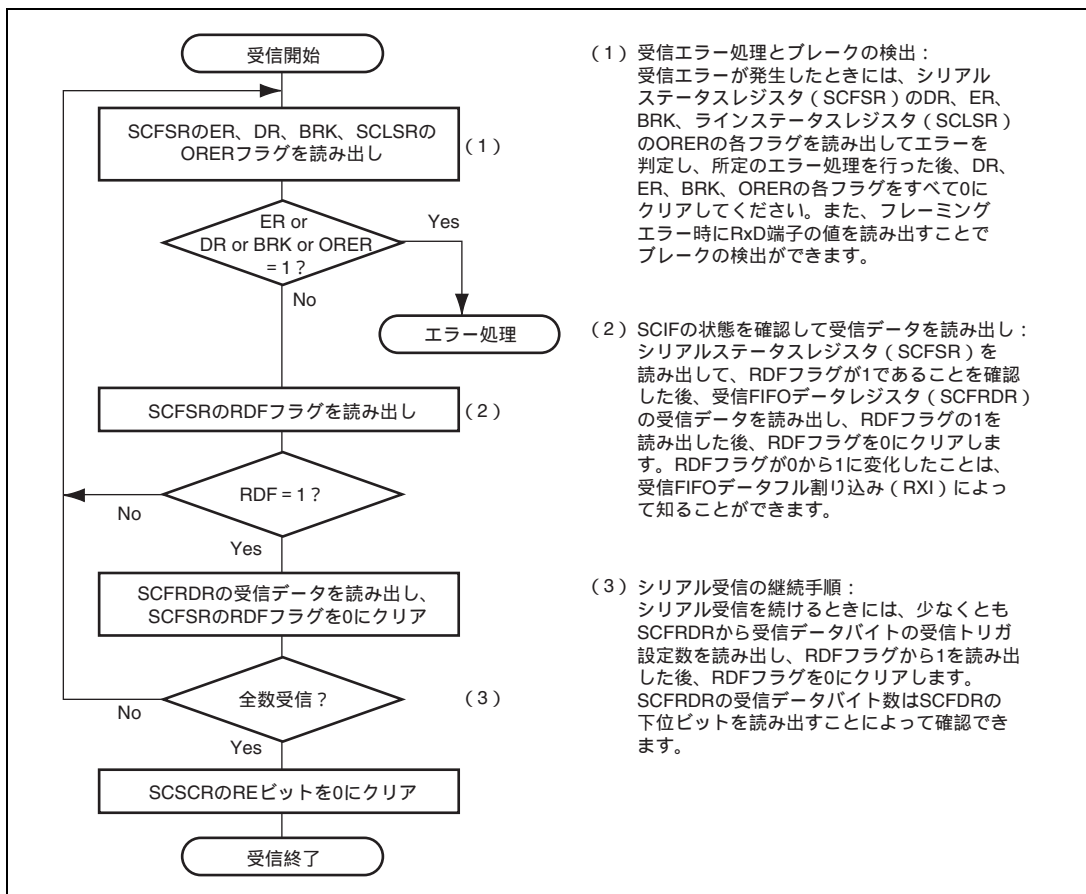


図 16.7 シリアル受信のフローチャートの例 (1)

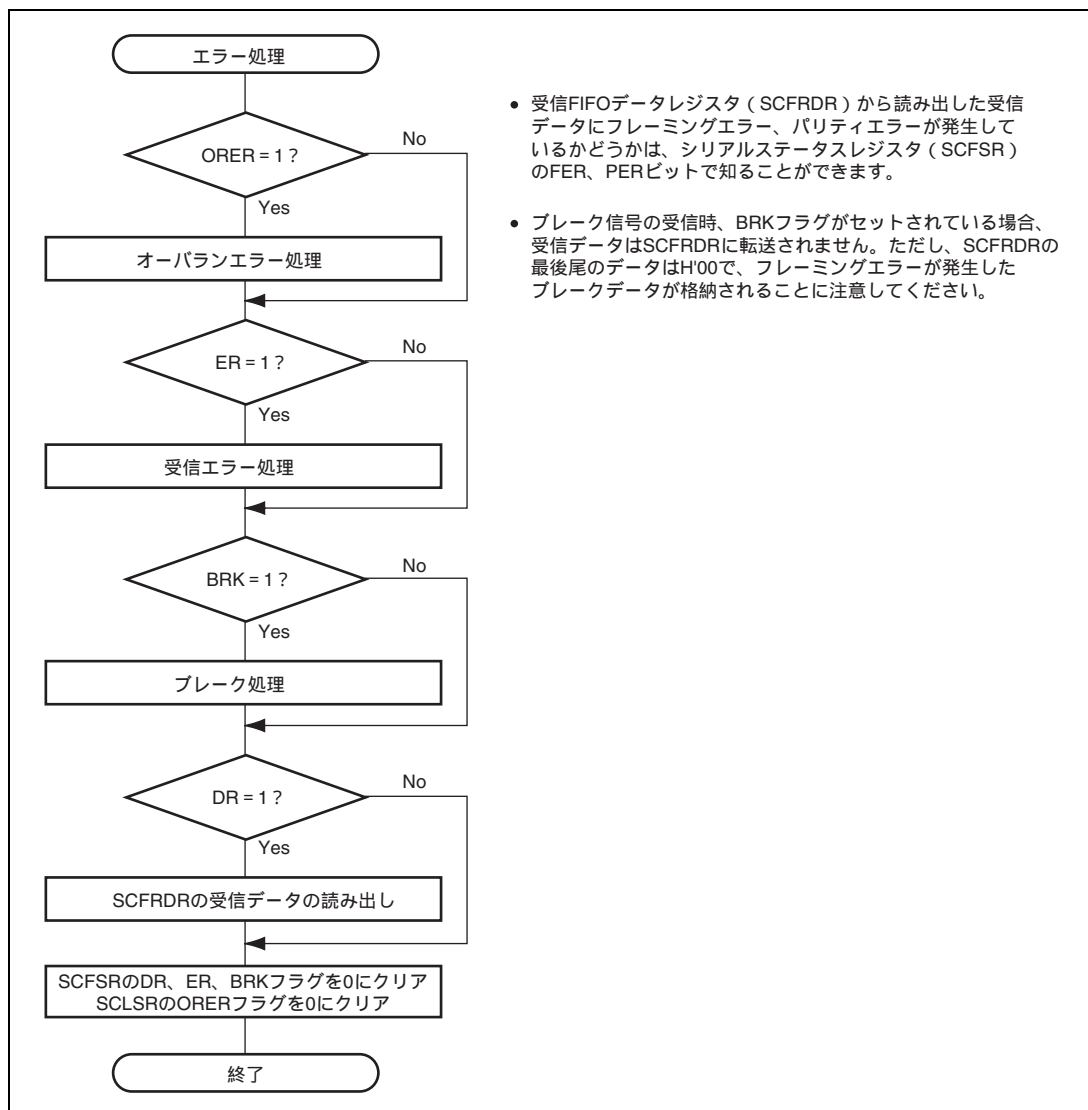


図 16.8 シリアル受信のフローチャートの例 (2)

SCIFは受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIFは以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。

- (b) 受信データを受信シフトレジスタ (SCRSR) から SCFRDR に転送できる状態であることをチェックします。
- (c) オーバランエラーチェック：オーバランエラーが発生していないことを示す ORER フラグが 0 であるかどうかをチェックします。
- (d) ブレークチェック：ブレーク状態がセットされていないことを示す BRK フラグが 0 であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDR に受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDF または DR フラグが 1 になったとき、SCSCR の RIE ビットが 1 にセットされていると、受信 FIFO データフル割り込み (RXI) 要求が発生します。また、ER フラグが 1 になったとき、SCSCR の RIE ビットまたは REIE ビットが 1 にセットされていると、受信エラー割り込み (ERI) 要求が発生します。さらに、BRK フラグまたは ORER フラグが 1 になったとき、SCSCR の RIE ビットまたは REIE ビットが 1 にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 16.9 に示します。

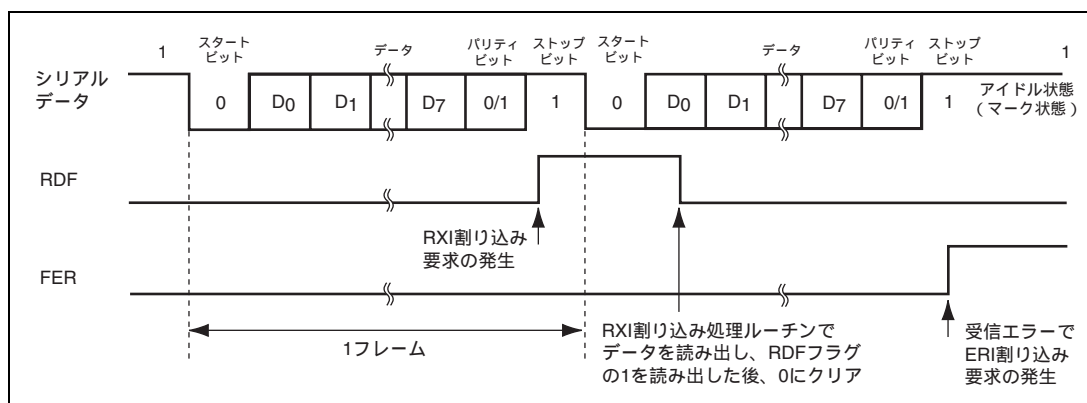


図 16.9 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

5. チャンネル 0 においてモデムコントロールが有効であると、SCFRDR が空のとき $\overline{\text{RTS}}$ 信号が出力されます。 $\overline{\text{RTS}}$ が 0 の場合受信が可能です。 $\overline{\text{RTS}}$ が 1 の場合は SCFRDR のデータ数が RTS 出力アクティブトリガ設定数以上であることを示します。

モデムコントロール使用時の動作例を図 16.10 に示します。

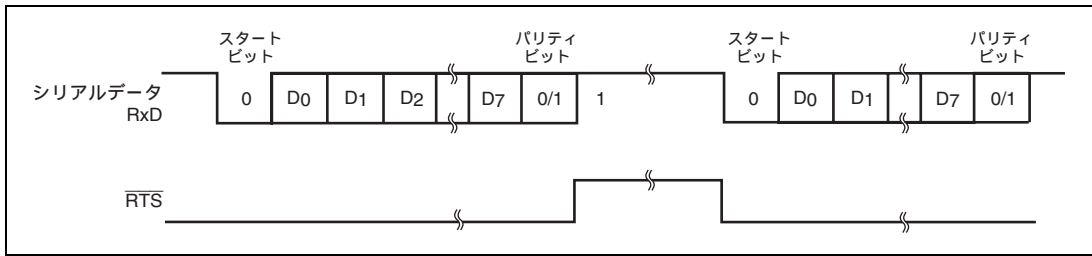


図 16.10 モデムコントロール使用時の動作例 (RTS)

16.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 16.11 に示します。

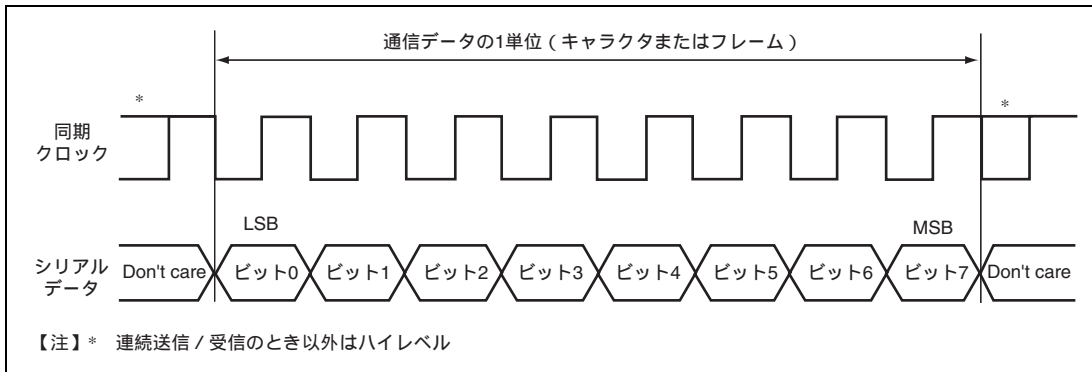


図 16.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりがりから次の立ち下がりがりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の $C\bar{A}$ ビットと SCSCR の $CKE[1:0]$ の設定により内蔵ポーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) データの送信 / 受信動作

- SCIFの初期化 (クロック同期式モード)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると送信シフトレジスタ (SCTSR) が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および受信データレジスタ (SCRDR) の内容は保持されますので注意してください。

図 16.12 に SCIF の初期化フローチャートの例を示します。

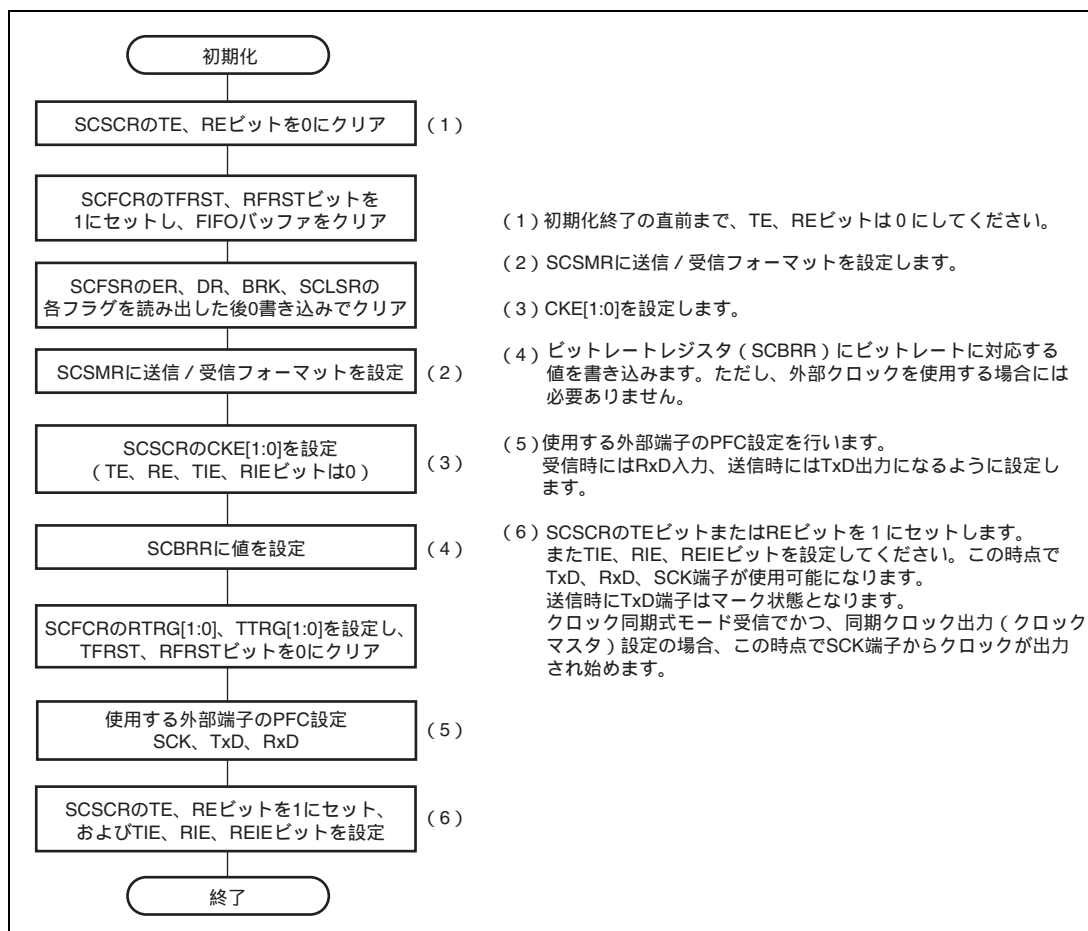


図 16.12 SCIF 初期化フローチャートの例

- シリアルデータ送信 (クロック同期式モード)

図16.13にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFを送信動作可能状態に設定した後、以下の手順で行ってください。

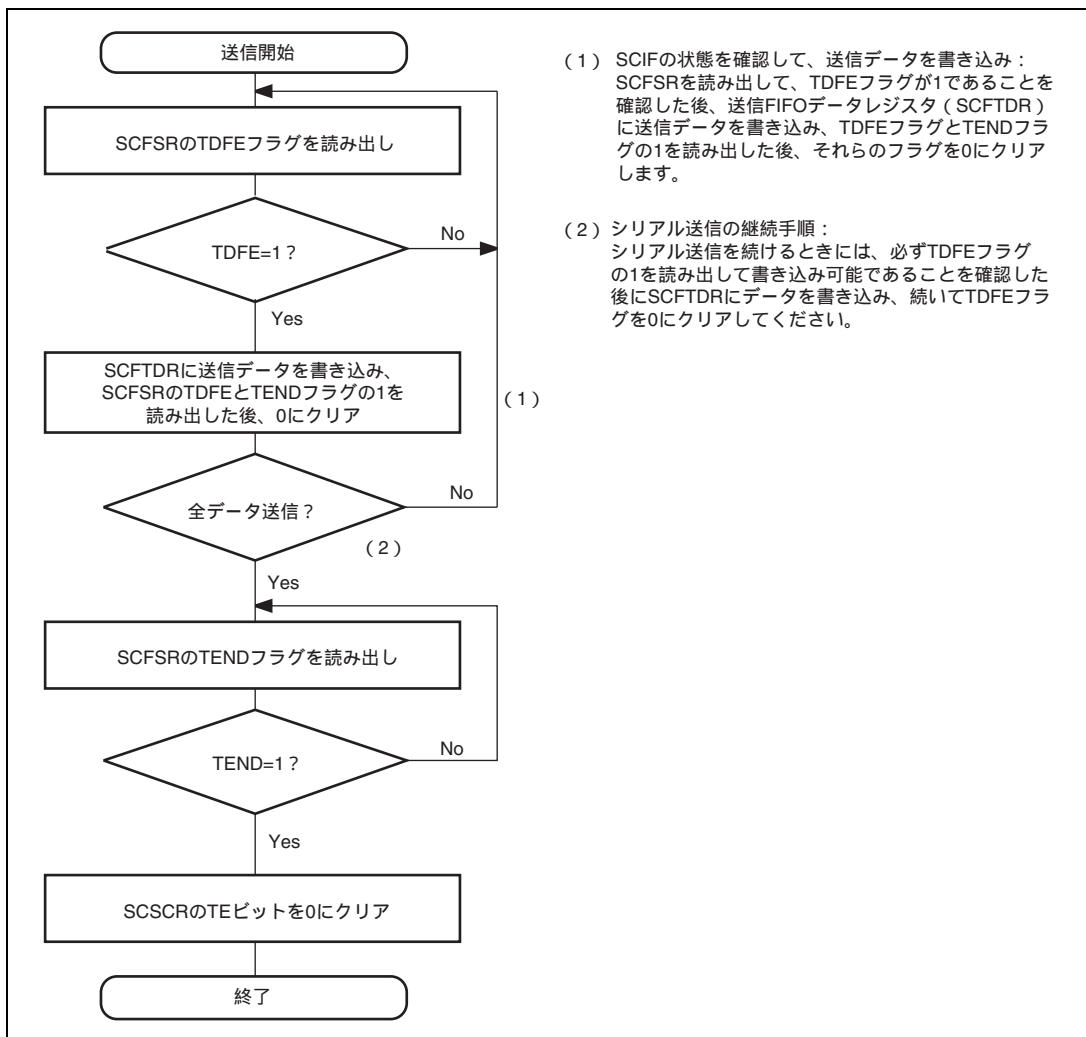


図 16.13 シリアル送信のフローチャートの例

SCIFはシリアル送信時に以下のように動作します。

1. SCIFは、送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンpty割り込み (TXI) 要求が発生します。

クロック出力モードに設定したときには、SCIFは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。

3. SCIFは、最終ビットを送出するタイミングでSCFTDR送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、TxD端子は状態を保持します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図16.14にSCIFの送信時の動作例を示します。

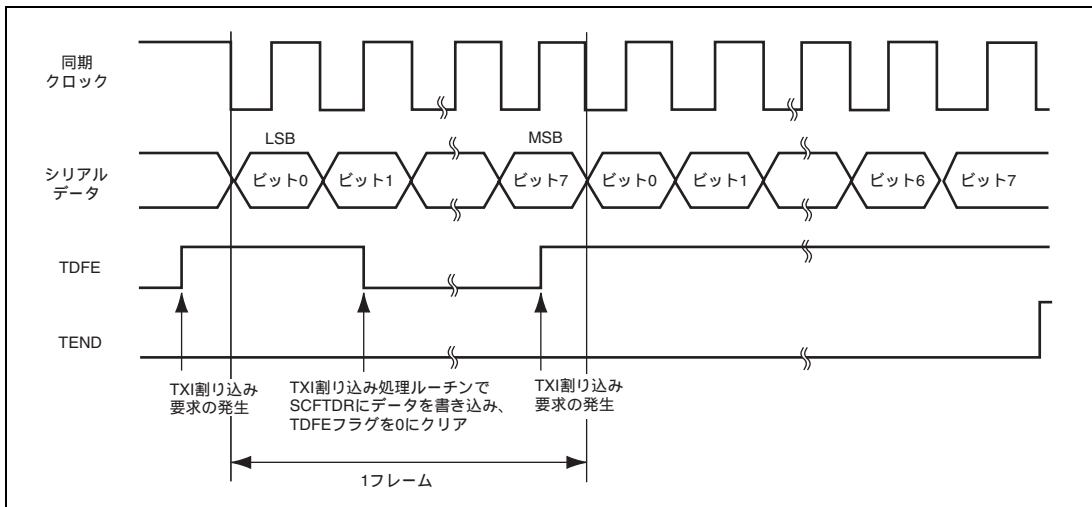


図 16.14 SCIF の送信時の動作例

- シリアルデータ受信 (クロック同期式モード)

図16.15、図16.16にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIFの初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

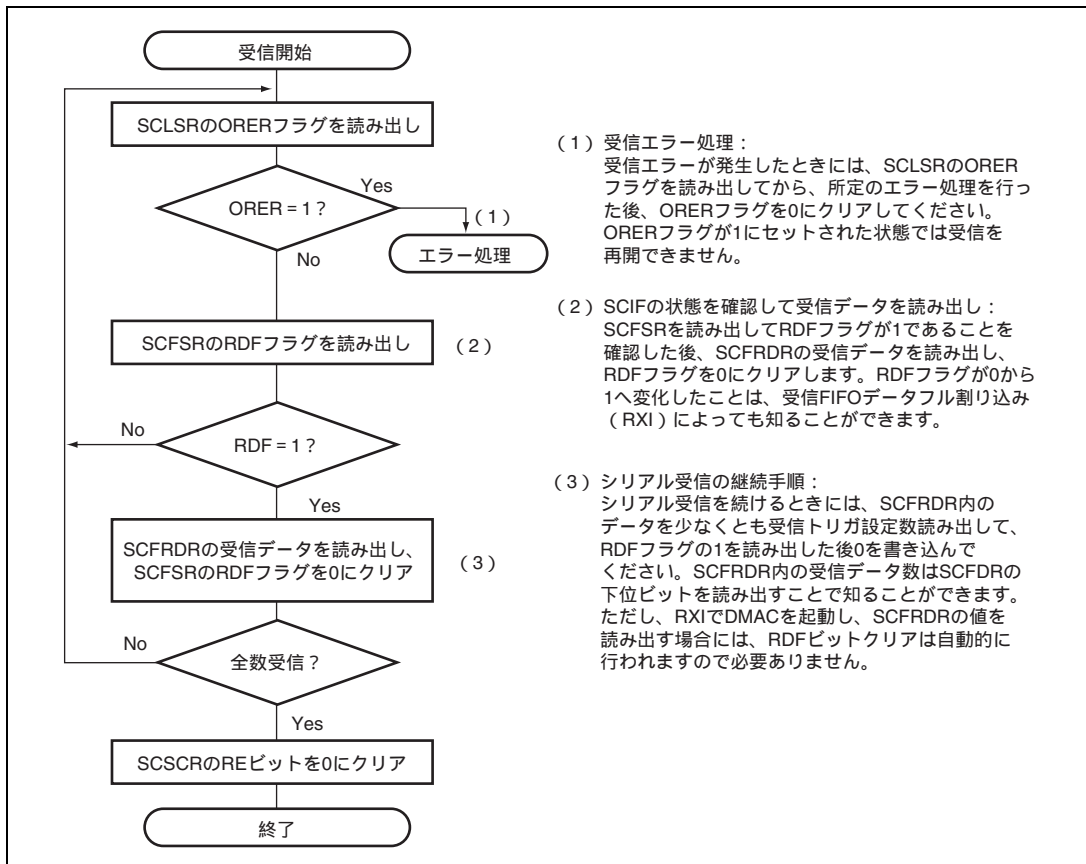


図 16.15 シリアル受信のフローチャートの例 (1)

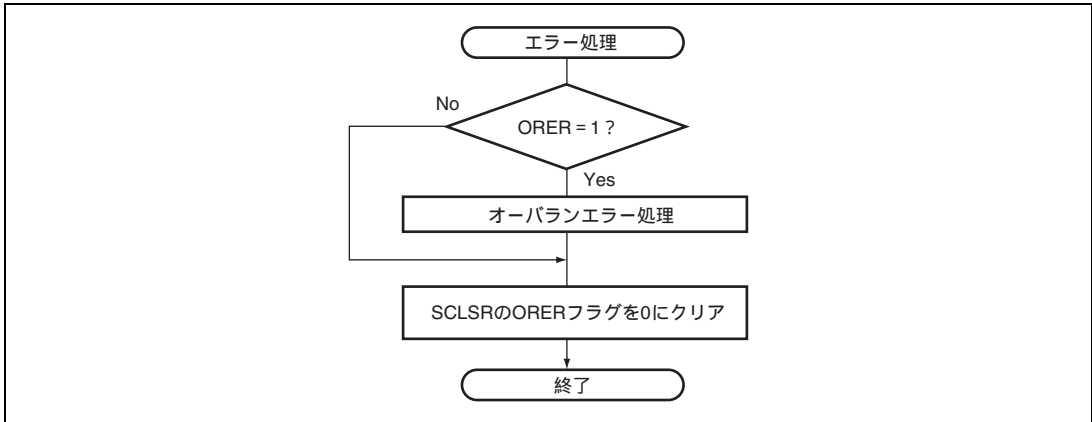


図 16.16 シリアル受信のフローチャートの例 (2)

SCIFはシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータを受信シフトレジスタ (SCRSR) のLSBからMSBの順に格納します。受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたときRDFフラグが1にセットされ、SCFRDRに受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブ레이크割り込み (BRI) 要求を発生します。

図16.17にSCIFの受信時の動作例を示します。

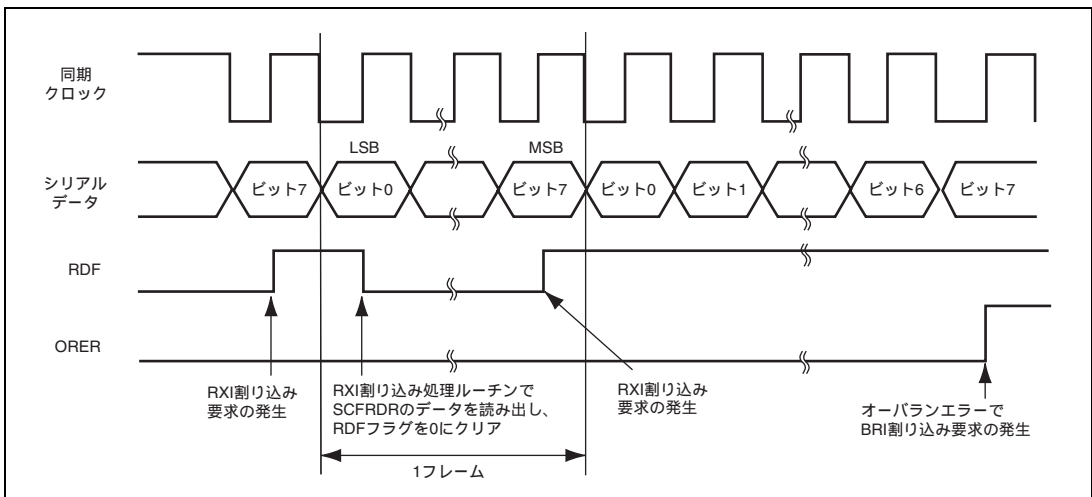


図 16.17 SCIF の受信時の動作例

- シリアルデータ送受信同時動作 (クロック同期式モード)

図16.18にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIFを送受信動作可能状態に設定した後、以下の手順に従って行ってください。

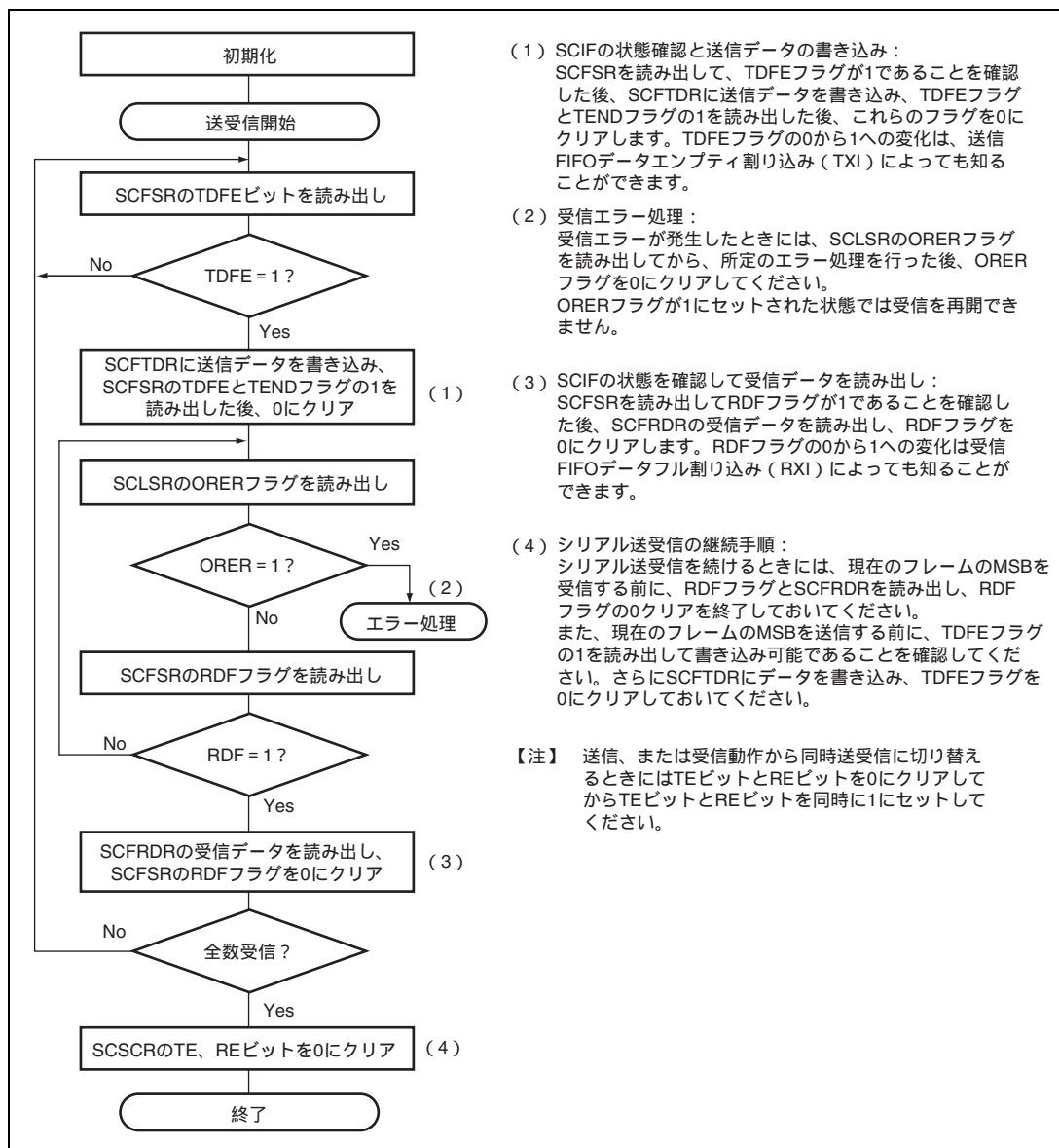


図 16.18 シリアルデータ送受信フローチャートの例

16.5 SCIF の割り込み

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 16.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。この TXI 割り込み要求で CPU への割り込み、もしくは DMAC を起動して、データ転送を行うことができます。CPU への割り込み、DMA 転送の選択は INTC の DMA 転送要求イネーブルレジスタ (DREQER) にて設定します。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求が発生します。この RXI 割り込み要求で CPU への割り込み、もしくは DMAC を起動して、データ転送を行うことができます。CPU への割り込み、DMA 転送の選択は INTC の DMA 転送要求イネーブルレジスタ (DREQER) にて設定します。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期式モード時のみ発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求または BRI 割り込み要求を出すことができます。

なお、TXI は送信データを書き込み可能なことを示し、RXI は SCFRDR に受信データがあることを示しています。

表 16.12 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時 優先順位
BRI	ブ레이크 (BRK) またはオーバラン (ORER) による割り込み	不可	高 ↑ ↓ 低
ERI	受信エラー (ER) による割り込み	不可	
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

16.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

16.6.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ (SCFSR) の TDFE フラグは、送信 FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0] で設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE フラグのクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回る時に 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

16.6.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ (SCFSR) の RDF フラグは、受信 FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0] で設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF フラグのクリアは、受信 FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

16.6.3 DMAC 使用上の制約事項

TXI 割り込み要求により DMAC で SCFTDR へデータのライトを行った場合、TEND フラグの状態は不定となります。したがって、この場合 TEND フラグを転送終了フラグとして使用しないでください。

16.6.4 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力すべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

16.6.5 ブレークの送り出し

TxD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPB2IO ビットと SPB2DR ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 (ハイレベル出力) に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子から 0 が出力されます。

16.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIF はビットレートの 16/8 倍の周波数の基本クロックで動作しています。受信時に SCIF は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8/4 クロック目の立ち上がりエッジで内部に取り込みます。16 倍の周波数の基本クロックで動作したときのタイミングを図 16.19 に示します。

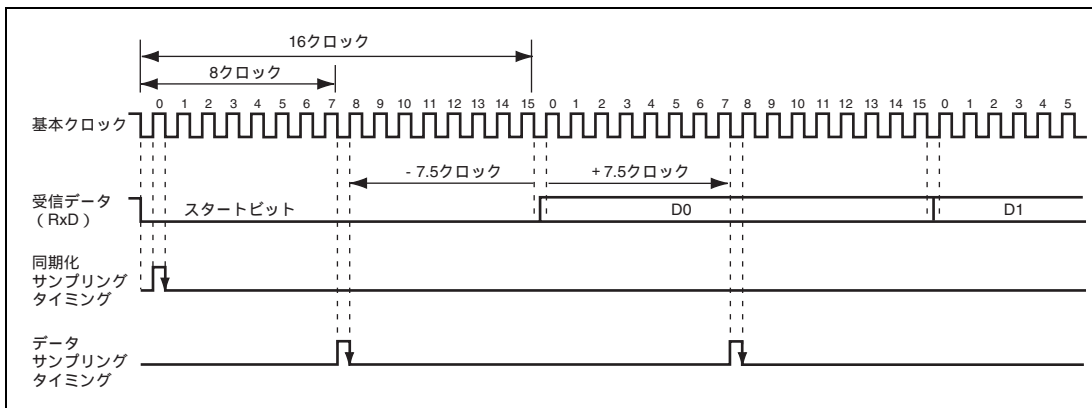


図 16.19 調歩同期式モードでの受信データサンプリングタイミング
(ビットレートの 16 倍の周波数の基本クロックで動作)

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100[\%] \quad \dots \text{式 (1)}$$

M: 受信マージン (%)

N: ビットレートに対するクロック周波数の比 (N=16/8)

D: クロックデューティ (D:0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5、N=16 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

16.6.7 調歩同期式基本クロックセレクト

本 LSI では、シリアル拡張モードレジスタ (SCEMR) の ABCS ビットを変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックをビットレートの 16/8 倍の周波数にすることができます。

ただし、「16.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) からわかるように、基本クロックの周波数をビットレートの 8 倍に下げると受信マージンが減少するので注意してください。

所望のビットレートが、シリアルモードレジスタ (SCSMR) の CKS[1:0]、ビットレートレジスタ (SCBRR) の設定のみで可能であれば、1 ビット期間の基本クロックをビットレートの 16 倍の周波数 (SCEMR の ABCS=0) とすることをお勧めします。また、クロックソースを内部クロック / SCK 端子を使用しなければ、ポーレートジェネレータ倍速モード (SCEMR の BGDGM=1) にすることで受信マージンを落とさずにビットレートを上げることができます。

17. シンクロナスシリアルコミュニケーションユニット (SSU)

本 LSI は 2 チャンネルのシンクロナスシリアルコミュニケーションユニット (SSU : Synchronous Serial communication Unit) を備えています。SSU には、本 LSI がマスタデバイスとして外部にクロックを出力し同期シリアル通信を行うマスタモードと、外部デバイスからのクロックを入力し同期シリアル通信を行うスレーブモードがあります。また、クロック極性とクロック位相の異なるデバイス間との同期シリアル通信が可能です。

17.1 特長

- SSUモードとクロック同期式通信モードを選択可能
- マスタモードとスレーブモードが選択可能
- 標準モードと双方向モードが選択可能
- クロック位相とクロック極性の異なる他のデバイスとの同期シリアル通信が可能
- 送受信データ長を8ビット / 16ビット / 32ビットで選択可能
- 全二重通信が可能
送信と受信を同時に実行可能なシフトレジスタを装備
- 連続シリアル通信が可能
- LSBファースト方式 / MSBファースト方式が選択可能
- クロックソースとして7種類の内部クロック (P /4、P /8、P /16、P /32、P /64、P /128、P /256) と外部クロックを選択可能
- 割り込み要因 : 5種類
送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラーの5種類の割り込み要因
送信データエンプティ要求、受信データフル要求により、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータ転送を行うことができます。
- モジュールスタンバイモードの設定が可能
消費電力低減のため、SSUに対してクロックの供給を止めて動作を停止させることができます。

図 17.1 に SSU のブロック図を示します。

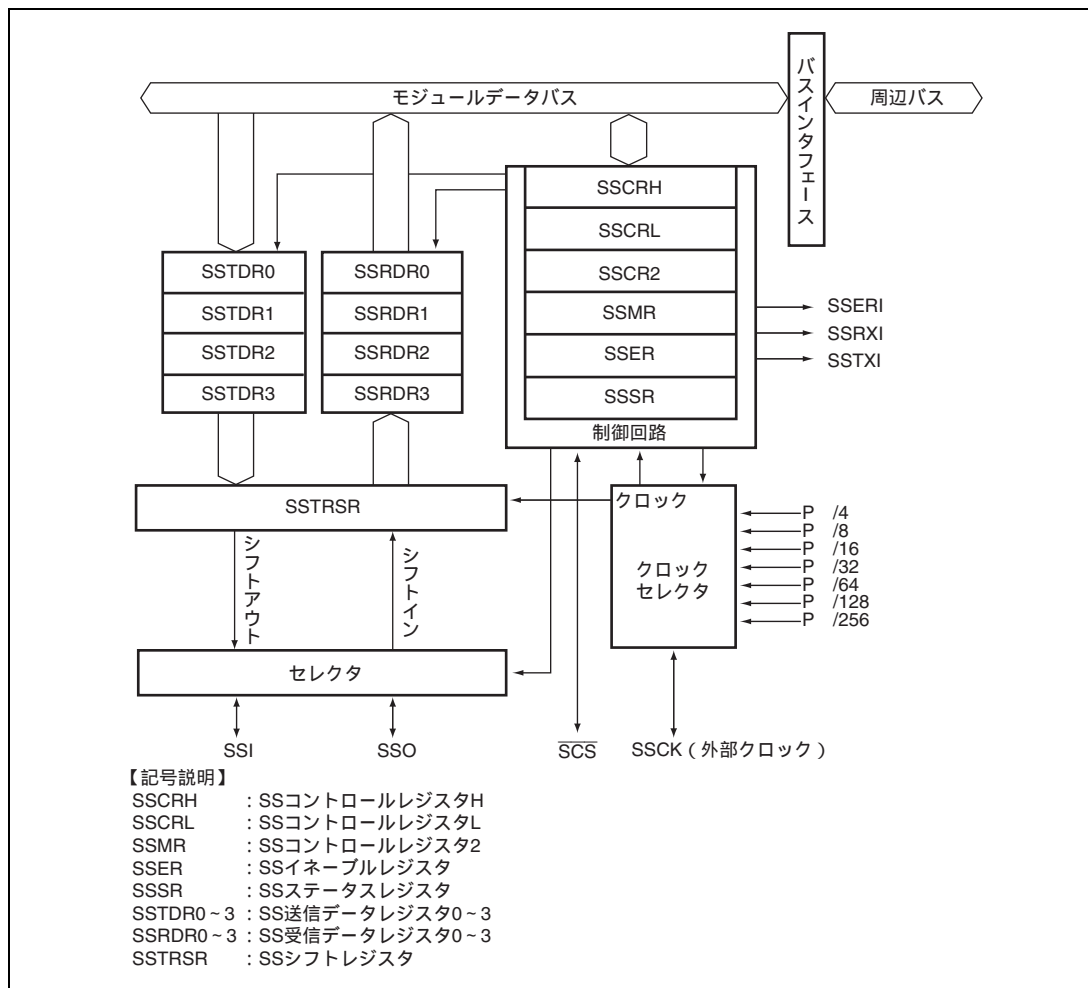


図 17.1 SSU のブロック図

17.2 入出力端子

SSU には、表 17.1 の入出力端子があります。

表 17.1 端子構成

チャンネル	端子名	入出力	機能
0、1	SSCK0、SSCK1	入出力	SSU クロック入出力端子
	SSI0、SSI1	入出力	SSU データ入出力端子
	SSO0、SSO1	入出力	SSU データ入出力端子
	SCS0、SCS1	入出力	SSU チップセレクト入出力端子

17.3 レジスタの説明

SSU には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 35 章 レジスタ一覧」を参照してください。

表 17.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	SS コントロールレジスタ H_0	SSCRH_0	R/W	H'0D	H'FFFE7000	8、16
	SS コントロールレジスタ L_0	SSCRL_0	R/W	H'00	H'FFFE7001	8
	SS モードレジスタ_0	SSMR_0	R/W	H'00	H'FFFE7002	8、16
	SS イネーブルレジスタ_0	SSER_0	R/W	H'00	H'FFFE7003	8
	SS ステータスレジスタ_0	SSSR_0	R/W	H'04	H'FFFE7004	8、16
	SS コントロールレジスタ 2_0	SSCR2_0	R/W	H'00	H'FFFE7005	8
	SS 送信データレジスタ 0_0	SSTDR0_0	R/W	H'00	H'FFFE7006	8、16
	SS 送信データレジスタ 1_0	SSTDR1_0	R/W	H'00	H'FFFE7007	8
	SS 送信データレジスタ 2_0	SSTDR2_0	R/W	H'00	H'FFFE7008	8、16
	SS 送信データレジスタ 3_0	SSTDR3_0	R/W	H'00	H'FFFE7009	8
	SS 受信データレジスタ 0_0	SSRDR0_0	R	H'00	H'FFFE700A	8、16
	SS 受信データレジスタ 1_0	SSRDR1_0	R	H'00	H'FFFE700B	8
	SS 受信データレジスタ 2_0	SSRDR2_0	R	H'00	H'FFFE700C	8、16
	SS 受信データレジスタ 3_0	SSRDR3_0	R	H'00	H'FFFE700D	8
1	SS コントロールレジスタ H_1	SSCRH_1	R/W	H'0D	H'FFFE7800	8、16
	SS コントロールレジスタ L_1	SSCRL_1	R/W	H'00	H'FFFE7801	8
	SS モードレジスタ_1	SSMR_1	R/W	H'00	H'FFFE7802	8、16
	SS イネーブルレジスタ_1	SSER_1	R/W	H'00	H'FFFE7803	8
	SS ステータスレジスタ_1	SSSR_1	R/W	H'04	H'FFFE7804	8、16
	SS コントロールレジスタ 2_1	SSCR2_1	R/W	H'00	H'FFFE7805	8
	SS 送信データレジスタ 0_1	SSTDR0_1	R/W	H'00	H'FFFE7806	8、16
	SS 送信データレジスタ 1_1	SSTDR1_1	R/W	H'00	H'FFFE7807	8
	SS 送信データレジスタ 2_1	SSTDR2_1	R/W	H'00	H'FFFE7808	8、16
	SS 送信データレジスタ 3_1	SSTDR3_1	R/W	H'00	H'FFFE7809	8
	SS 受信データレジスタ 0_1	SSRDR0_1	R	H'00	H'FFFE780A	8、16
	SS 受信データレジスタ 1_1	SSRDR1_1	R	H'00	H'FFFE780B	8
	SS 受信データレジスタ 2_1	SSRDR2_1	R	H'00	H'FFFE780C	8、16
	SS 受信データレジスタ 3_1	SSRDR3_1	R	H'00	H'FFFE780D	8

17.3.1 SS コントロールレジスタ H (SSCRH)

SSCRH は、マスタ/スレーブデバイス選択、双方向モードイネーブル、SSO 端子の出力値選択、SSCK 端子選択、 $\overline{\text{SCS}}$ 端子選択を設定します。

ビット:	7	6	5	4	3	2	1	0
	MSS	BIDE	-	SOL	SOLP	-	CSS[1:0]	
初期値:	0	0	0	0	1	1	0	1
R/W:	R/W	R/W	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSS	0	R/W	マスタ/スレーブデバイス選択 SSU をマスタモードとして使用するか、スレーブモードとして使用するかを選択します。マスタモードで使用する場合は、SSCK 端子から転送クロックを出力します。SSSR の CE ビットがセットされた場合、このビットは自動的にクリアされます。 0: スレーブモードを選択 1: マスタモードを選択
6	BIDE	0	R/W	双方向モードイネーブル シリアルデータ入力端子、出力端子を 2 端子使用するか、1 端子のみ使用するかを選択します。ただし、双方向モードを選択した場合、送受信を同時に行うことはできません。詳細は、「17.4.3 データ入出力端子とシフトレジスタの関係」を参照してください。 0: 標準モード (データ入力端子とデータ出力端子の 2 端子を使用して通信) 1: 双方向モード (データ入力とデータ出力を 1 端子のみで通信)
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	SOL	0	R/W	シリアルデータ出力値選択 送信完了後のシリアルデータ出力は、送信データの最終ビットの値を保存しますが、送信前または、送信後にシリアルデータの出力レベルを変更できます。出力レベルを変更する場合は、SOLP ビットを 0 にして MOV 命令で行ってください。なおデータ転送中にこのビットにライトすると誤動作の原因となりますので、送信中は操作しないでください。 0: シリアルデータの出力を Low レベルに変更 1: シリアルデータの出力を High レベルに変更
3	SOLP	1	R/W	SOL ビットライトプロテクト シリアルデータの出力レベルを変更する場合には、SOL=1 かつ SOLP=0、または SOL=0 かつ SOLP=0 を MOV 命令で行ってください。なお、本ビットに 0 を書き込む場合には、読み出し後 1 を確認した後に書き込んでください。 0: SOL の値によって出力レベルを変更可能 1: SOL の値によって出力レベルを変更不可能

ビット	ビット名	初期値	R/W	説明
2	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1, 0	CSS[1:0]	01	R/W	SCS 端子選択 SCS 端子を、 $\overline{\text{SCS}}$ 入力または $\overline{\text{SCS}}$ 出力として機能させるかを選択します。 00: 設定禁止 01: 設定禁止 10: $\overline{\text{SCS}}$ 自動入力出力機能 (転送前、転送後は $\overline{\text{SCS}}$ 入力、転送中は Low 出力) 11: $\overline{\text{SCS}}$ 自動出力機能 (転送前、転送後は High 出力、転送中は Low 出力)

17.3.2 SS コントロールレジスタ L (SSCRL)

SSCRL は、動作モード、ソフトウェアリセット、送受信データのデータ長を選択します。

ビット:	7	6	5	4	3	2	1	0
	-	SSUMS	SRES	-	-	-	DATS[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	SSUMS	0	R/W	SSU モードとクロック同期式通信モードを選択します。 0: SSU モード 1: クロック同期式通信モード
5	SRES	0	R/W	ソフトウェアリセット 本ビットを1にセットすると SSU 内部シーケンサを強制的にリセットします。その後、本ビットは自動的にクリアされ、SSSR の ORER、TEND、TDRE、RDRF、CE の各ビットおよび、SSER の TE、RE ビットが初期化されます。その他の SSU 内部レジスタ値は保持されます。 なお、転送を途中で中断したい場合には、本ビットに1を書き込んで、内部シーケンサをリセットしてください。
4~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	DATS[1:0]	00	R/W	送受信データ長選択 シリアルデータのデータ長を選択します。 00: 8 ビットデータ長 01: 16 ビットデータ長 10: 32 ビットデータ長 11: 設定無効

17.3.3 SS モードレジスタ (SSMR)

SSMR は、MSB ファースト / LSB ファースト選択、クロック極性選択、クロック位相選択、転送クロックレートを選択します。

ビット:	7	6	5	4	3	2	1	0
	MLS	CPOS	CPHS	-	-	CKS[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 シリアルデータを MSB ファーストで転送するか、LSB ファーストで転送するかを選択します。 0 : LSB ファースト 1 : MSB ファースト
6	CPOS	0	R/W	クロック極性選択 SSCK クロックの極性を選択します。 0 : アイドル時に High 出力、アクティブ時に Low 出力 1 : アイドル時に Low 出力、アクティブ時に High 出力
5	CPHS	0	R/W	クロック位相選択 (SSU モード時のみ有効) SSCK クロックの位相を選択します。 0 : 最初のエッジでデータ変化 1 : 最初のエッジでデータラッチ
4、3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CKS[2:0]	000	R/W	転送クロックレート選択 内部クロックを選択した場合の転送クロックレート (プリスケアラ分周比) を選択します。 000 : リザーブ 001 : P /4 010 : P /8 011 : P /16 100 : P /32 101 : P /64 110 : P /128 111 : P /256

17.3.4 SS イネーブルレジスタ (SSER)

SSER は、送信イネーブル、受信イネーブル、および割り込み要求イネーブルを設定します。

ビット:	7	6	5	4	3	2	1	0
	TE	RE	-	-	TEIE	TIE	RIE	CEIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TE	0	R/W	送信イネーブル このビットを 1 にセットすると、送信動作が可能になります。
6	RE	0	R/W	受信イネーブル このビットを 1 にセットすると、受信動作が可能になります。
5、4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TEIE	0	R/W	送信終了割り込みイネーブル このビットを 1 にセットすると送信終了時の SSTXI 割り込み要求がイネーブルになります。
2	TIE	0	R/W	送信割り込みイネーブル このビットを 1 にセットすると送信データエンプティ時の SSTXI 割り込み要求がイネーブルになります。
1	RIE	0	R/W	受信割り込みイネーブル このビットを 1 にセットすると SSRXI 割り込みおよびオーバーランエラー時の SSERI 割り込み要求がイネーブルになります。
0	CEIE	0	R/W	コンフリクトエラー割り込みイネーブル このビットを 1 にセットするとコンフリクトエラー時の SSERI がイネーブルになります。

17.3.5 SS ステータスレジスタ (SSSR)

SSSR は、各種割り込みのステータスフラグレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	ORER	-	-	TEND	TDRE	RDRF	CE
初期値:	0	0	0	0	0	1	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	ORER	0	R/W	オーバランエラー RDRF=1 の状態で、次のデータを受信するとオーバランエラーが発生し、異常終了したことを示します。SSRDR は、オーバランエラーが発生する前の 1 フレーム分の受信データを保持し、後から受信したデータは失われます。さらに ORER=1 にセットされた状態でそれ以降のシリアル受信を続けることはできません。またシリアル送信も続けることはできません。なお、SSU モード (SSCRL の SSUMS=0) のスレーブデータ受信動作 (SSCRH の MSS=0 かつ SSER の TE=0、RE=1) では本ビットは無効です。 [セット条件] <ul style="list-style-type: none"> • RDRF=1 の状態で、次のシリアル受信の 1 バイトが完了したとき (SSU モードのスレーブデータ受信動作を除く) [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
5、4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TEND	0	R/W	送信終了 [セット条件] <ul style="list-style-type: none"> • SSCR2 の TENDSTS が 0 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信時 • SSCR2 の TENDSTS が 1 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信後 [クリア条件] <ul style="list-style-type: none"> • TEND=1 の状態をリードした後、TEND フラグに 0 をライトしたとき • SSTDR ヘデータをライトしたとき

ビット	ビット名	初期値	R/W	説明
2	TDRE	1	R/W	<p>送信データエンプティ SSTDR 内のデータの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SSER の TE が 0 のとき • SSTDR から SSTRSR にデータが転送され、SSTDR にデータライトが可能になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき • TE=1 で、SSTDR ヘデータをライトしたとき • SSTXI 割り込みにより DMAC が起動され、DMAC 転送により SSTDR に転送データをライトしたとき
1	RDRF	0	R/W	<p>受信データフル SSRDR 内のデータの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • RDRF=1 の状態をリードした後、RDRF フラグに 0 をライトしたとき • SSRDR から受信データをリードしたとき • SSRXI 割り込みにより DMAC が起動され、DMAC 転送により SSRDR から受信データをリードしたとき

ビット	ビット名	初期値	R/W	説明
0	CE	0	R/W	<p>コンフリクトエラー/インコンプリートエラー</p> <p>SSUMS=0 (SSU モード)、MSS=1 (マスタデバイス) の状態で、外部より $\overline{\text{SCS}}$ から 0 が入力されたとき、コンフリクトエラーが発生したことを示します。また、SSUMS=0 (SSU モード)、MSS=0 (スレーブデバイス) の状態で、$\overline{\text{SCS}}$ 端子が 1 になったとき、マスタデバイスが転送動作を打ち切ったと判断し、インコンプリートエラーを発生させます。SSU モードのスレーブデバイスの受信動作状態で受信データの読み出し (SSRDR リード) および SSSR の RDRF のクリアや、同様のスレーブデバイスの送受信動作状態で送信データの書き込み (SSTDR ライト) および SSSR の TDRE のクリアが、次のフレームの開始までに間に合わない場合も、次のフレームが終了したときにインコンプリートエラーを発生させます。</p> <p>CE=1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、シリアル送信を続けることもできません。再転送を開始する前に必ず SSCRL の SRES を 1 にセットして、内部シーケンサをリセットしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタデバイス (SSCRH の MSS=1) のとき $\overline{\text{SCS}}$ 端子に Low レベルが入力されたとき スレーブデバイス (SSCRH の MSS=0) のとき転送途中で $\overline{\text{SCS}}$ 端子が 1 になったとき スレーブデバイスの受信動作において、SSRDR リードと RDRF クリアが次のフレーム開始までに完了せず、次のフレームが終了したとき スレーブデバイスの送受信動作において、SSTDR ライトと TDRE クリアが次のフレーム開始までに完了せず、次のフレームが終了したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき

17.3.6 SS コントロールレジスタ 2 (SSCR2)

SSCR2 は、 $\overline{\text{SCS}}$ 端子のアサートタイミング、SSO 端子のデータ出力タイミング、TEND ビットのセットタイミングを設定するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	TENDSTS	SCSATS	SSODTS	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	TENDSTS	0	R/W	TEND ビットのセットタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0: 最後尾ビットの送信中に TEND ビットをセット 1: 最後尾ビットの送信後に TEND ビットをセット
3	SCSATS	0	R/W	$\overline{\text{SCS}}$ 端子のアサートタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0: t_{LEAD} 、 t_{LAG} の出力期間の Min. を $1/2 \times t_{\text{SU}(\text{key})}$ とする 1: t_{LEAD} 、 t_{LAG} の出力期間の Min. を $3/2 \times t_{\text{SU}(\text{key})}$ とする
2	SSODTS	0	R/W	SSO 端子のデータ出力タイミングを選択 (SSU モード、マスタ設定時のみ有効) 0: BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき SSO 端子はデータを出力 1: BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき、かつ SCS 端子の Low レベル期間中で SSO 端子はデータを出力
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17.3.7 SS 送信データレジスタ 0~3 (SSTDR0~SSTDR3)

SSTDR は、送信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSTDR0、16 ビットデータ長を選択した場合は SSTDR0、SSTDR1、32 ビットデータ長を選択した場合は SSTDR0、SSTDR1、SSTDR2、SSTDR3 が有効になります。有効になっていない SSTDR へはアクセスしないでください。

SSU は、SSTRSR の空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中に SSTDR に次のデータをライトしておく、連続シリアル送信ができます。

SSTDR は CPU と DMAC から常に読み出し / 書き込み可能ですが、シリアル通信を確実に行うためには、SSTDR へのライトは、必ず SSSR の TDRE が 1 にセットされていることを確認してから行ってください。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0		H'00	R/W	シリアル送信データ

表 17.3 DATS ビットの設定と SSTDR の対応表

SSTDR	DATS[1:0] (SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	無効
1	無効	有効	有効	無効
2	無効	無効	有効	無効
3	無効	無効	有効	無効

17.3.8 SS 受信データレジスタ 0~3 (SSRDR0~SSRDR3)

SSRDR は、受信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSRDR0、16 ビットデータ長を選択した場合は SSRDR0、SSRDR1、32 ビットデータ長を選択した場合は SSRDR0、SSRDR1、SSRDR2、SSRDR3 が有効になります。有効になっていない SSRDR へはアクセスしないでください。

SSU は、1 バイトのデータ受信を完了すると、SSTRSR から SSRDR へ受信したシリアルデータを転送して格納します。この後、SSTRSR は受信可能となります。このように、SSTRSR と SSRDR はダブルバッファになっているため、連続受信動作が可能です。

SSRDR のリードは、SSSR レジスタの RDRF ビットが 1 にセットされていることを確認して行ってください。

SSRDR はリード専用レジスタです。CPU からライトすることはできません。

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0		H'00	R	シリアル受信データ

表 17.4 DATS ビットの設定と SSRDR の対応表

SSRDR	DATS[1:0] (SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	無効
1	無効	有効	有効	無効
2	無効	無効	有効	無効
3	無効	無効	有効	無効

17.3.9 SS シフトレジスタ (SSTRSR)

SSTRSR は、シリアルデータを送受信するためのシフトレジスタです。

SSTDTR から SSTRSR に送信データが転送される際のビット 0 には、SSMR の MLS=0 のとき SSTDTR のビット 0 が転送され (LSB ファースト通信)、MLS=1 のとき SSTDTR のビット 7 が転送されます (MSB ファースト通信)。その後、SSTRSR の LSB (ビット 0) から順に SSO 端子にデータを送り出すことでシリアルデータ送信を行います。

また、受信時は、SSI 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順に SSTRSR にセットします。1 バイトのデータ受信を完了すると、SSTRSR のデータを自動的に SSRDR へ転送します。SSTRSR は CPU から直接アクセスすることはできません。

ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	-	-	-	-	-	-	-	-									
R/W:	-	-	-	-	-	-	-	-									

17.4 動作説明

17.4.1 転送クロック

転送クロックは7種類の内部クロックと外部クロックから選択できます。まず、本モジュールを使用する場合はPFCでSSCK端子を有効にしておく必要があります。SSCRHのMSS=1のときは、内部クロックが選択されSSCK端子が出力になります。転送が開始されるとSSMRのCKS2~CKS0に設定された転送レートのクロックがSSCK端子から出力されます。MSS=0のときは外部クロックが選択され、SSCK端子は入力端子になります。

17.4.2 クロックの位相、極性とデータの関係

SSCRLのSSUMS=0のとき、SSMRのCPOSとCPHSの組み合わせでクロックの位相、極性および転送データの関係が変わります。これらの関係を図17.2に示します。SSUMS=1のとき、CPOSの設定は有効ですが、CPHSの設定は無効となります。SSUMS=1の場合の送信データの変化タイミングおよび受信データの取り込みタイミングは図17.2の「(1) CPHS=0のとき」と同じタイミングになります。

なお、SSMRのMLSの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLS=0のときはLSBからMSBの順で転送されます。また、MLS=1のときは、MSBからLSBの順で転送されます。

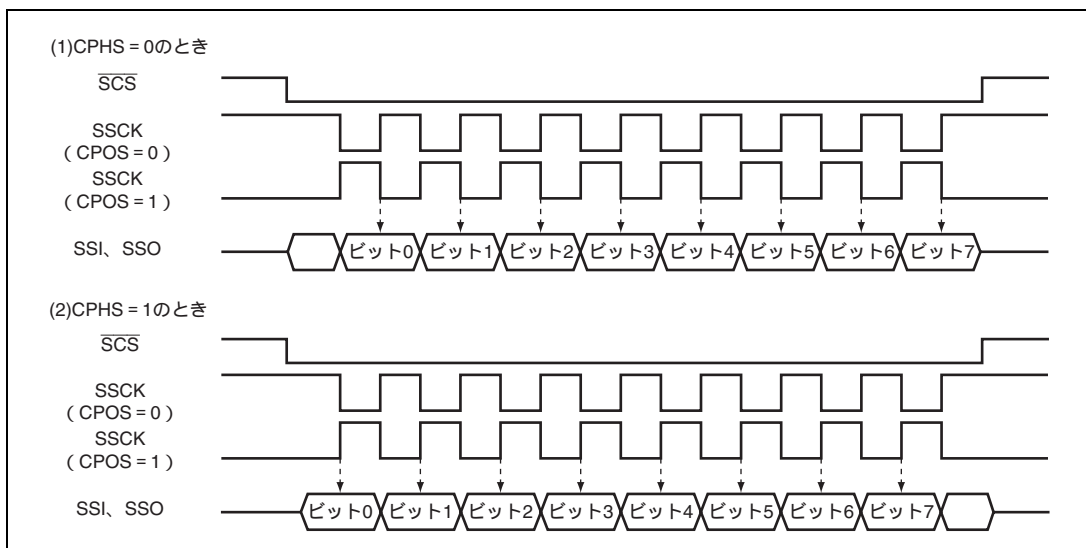


図 17.2 クロックの位相、極性とデータの関係

17.4.3 データ入出力端子とシフトレジスタの関係

SSCRH の MSS、BIDE と、SSCRL の SSUMS の組み合わせにより、データ入出力端子と SS シフトレジスタ (SSTRSR) の接続関係が変わります。これらの接続関係を図 17.3 に示します。

SSU は、BIDE=0、MSS=1 (標準、マスタモード) で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します (図 17.3 (1))。また、BIDE=0、MSS=0 (標準、スレーブモード) で動作しているとき、SSI 端子からシリアルデータを送信し、SSO 端子からシリアルデータを受信します (図 17.3 (2))。

BIDE=1 (双方向モード) では、マスタモード、スレーブモードにかかわらず、SSO 端子からシリアルデータの送信または受信を行います (図 17.3 (3)、図 17.3 (4))。

ただし、TE と RE を同時に 1 にセットしての送受信同時動作はできません。必ず、TE または RE のどちらか 1 つを選択してください。

SSUMS=1 で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します。MSS=1 のときは SSCK 端子から内部クロックを出力し、MSS=0 のときは SSCK 端子は入力端子となります (図 17.3 (5)、図 17.3 (6))。

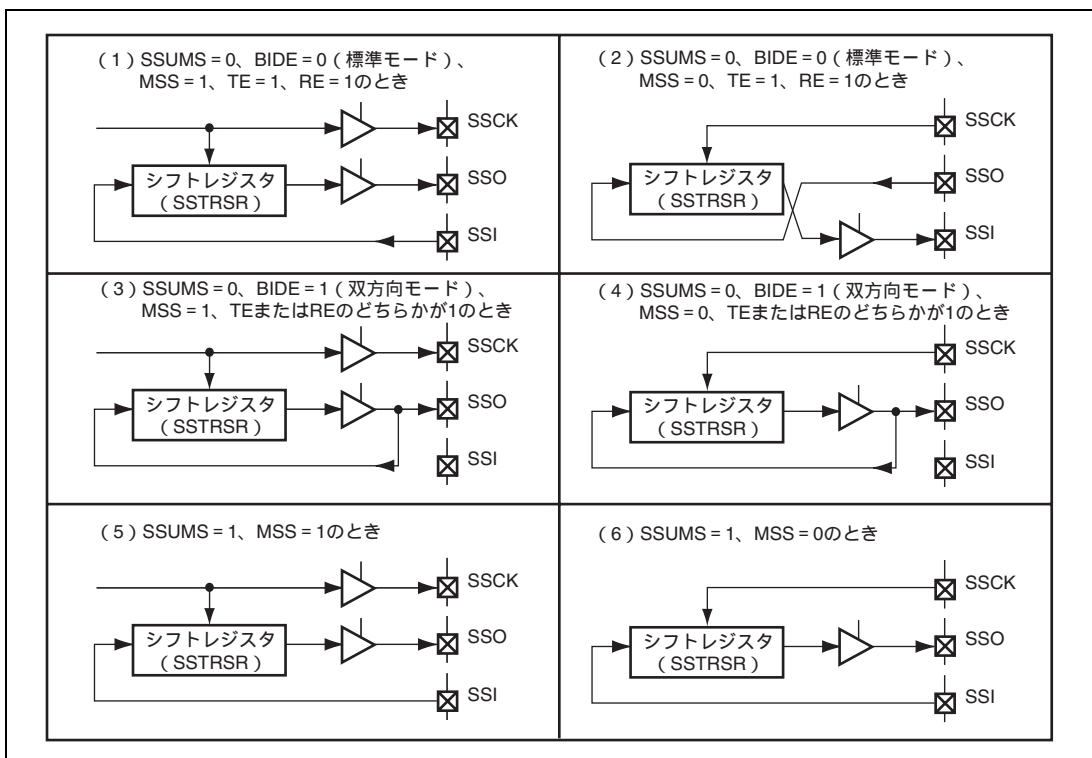


図 17.3 データ入出力端子とシフトレジスタの関係

17.4.4 各通信モードと端子機能

SSU は各通信モードとレジスタの設定により入出力端子 (SSI、SSO、SSCK、 \overline{SCS}) の機能を切り替えます。各通信モードと入出力端子の関係を表 17.5 ~ 表 17.7 に示します。

表 17.5 各通信モードと SSI、SSO 端子の状態

通信モード	レジスタ状態					端子状態	
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO
SSU 通信モード	0	0	0	0	1	-	入力
				1	0	出力	-
					1	出力	入力
			1	0	1	入力	-
				1	0	-	出力
					1	入力	出力
SSU (双方向) 通信モード	0	1	0	0	1	-	入力
				1	0	-	出力
			1	0	1	-	入力
				1	0	-	出力
クロック同期式 通信モード	1	0	0	0	1	入力	-
				1	0	-	出力
					1	入力	出力
			1	0	1	入力	-
				1	0	-	出力
					1	入力	出力

【記号説明】 - : SSU として端子を用いない (I/O ポートとして使用可能)

表 17.6 各通信モードと SSCK 端子の状態

通信モード	レジスタ状態		端子状態
	SSUMS	MSS	SSCK
SSU 通信モード	0	0	入力
		1	出力
クロック同期式 通信モード	1	0	入力
		1	出力

表 17.7 各通信モードと \overline{SCS} 端子の状態

通信モード	レジスタ状態				端子状態
	SSUMS	MSS	CSS1	CSS0	\overline{SCS}
SSU 通信モード	0	0	x	x	入力
			0	0	(設定禁止)
		1	0	1	(設定禁止)
			1	0	自動入出力
			1	1	出力
クロック同期式 通信モード	1	x	x	x	-

【記号説明】 x : Don't care

- : SSU として端子を用いない (I/O ポートとして使用可能)

17.4.5 SSU モード

SSU モードは、クロックライン (SSCK)、データ入力ライン (SSI または SSO)、データ出力ライン (SSI または SSO)、チップセレクト (\overline{SCS}) の 4 本のバスを使用してデータ通信を行います。

また、データ入力ラインとデータ出力ラインを 1 端子で行う双方向モードも対応しています。

(1) SSU モードの初期設定

SSU モードの初期設定例を図 17.4 に示します。データの送信 / 受信前には、SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグおよび SSRDR の内容は保持されていますので注意してください。

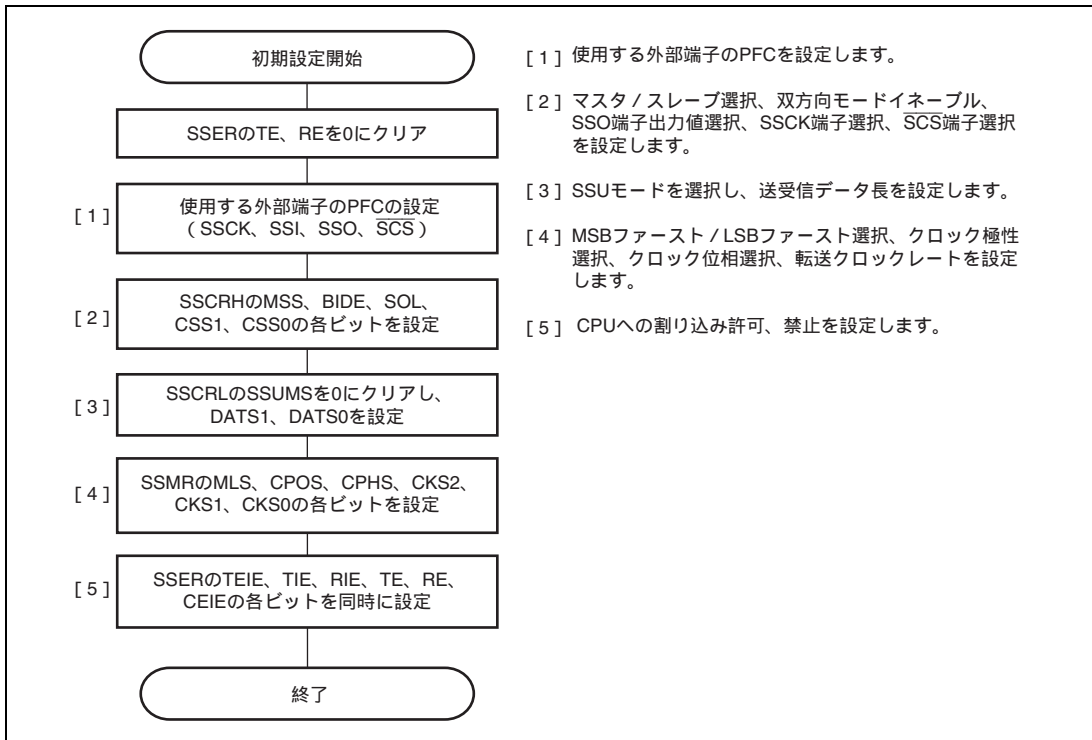


図 17.4 SSU モードの初期設定例

(2) データ送信

図 17.5 に送信時の動作例を、図 17.6 にデータ送信のフローチャートの例を示します。

データ送信時に SSU は以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出します。スレーブデバイスに設定すると、 $\overline{\text{SCS}}$ 端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出します。

SSU は、SSER の TE を 1 にセットした後、SSTDR に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると送信データエンプティ時の SSTXI 割り込み要求が発生します。

TDRE=0 の状態で 1 フレームのデータ転送が終了すると、SSTDR から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE=1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると送信終了時の SSTXI 割り込みが発生します。送信終了後は、SSCK 端子は SSMR の CPOS=0 のとき High レベルに固定され、CPOS=1 のときには Low レベルに固定されます。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

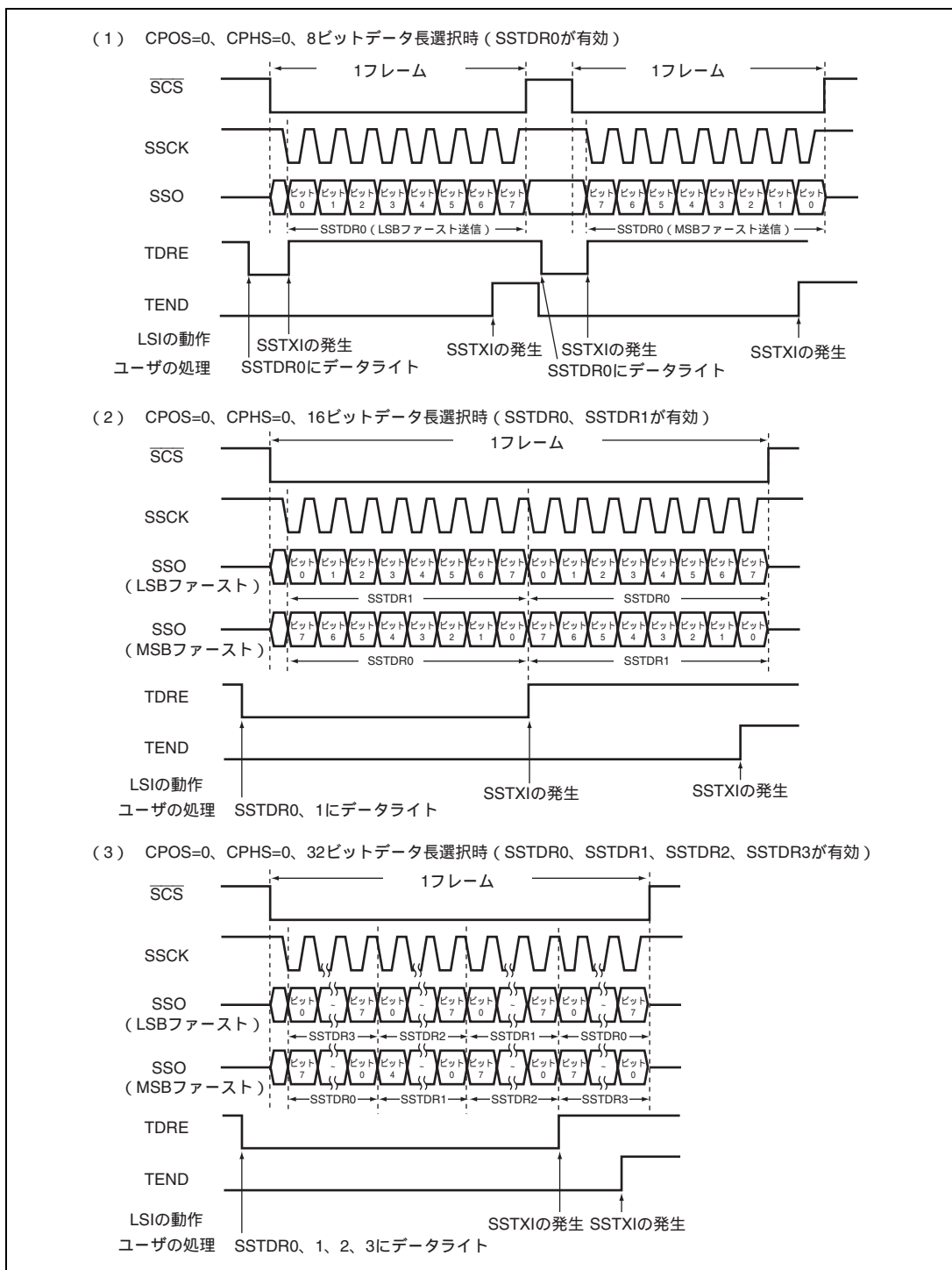
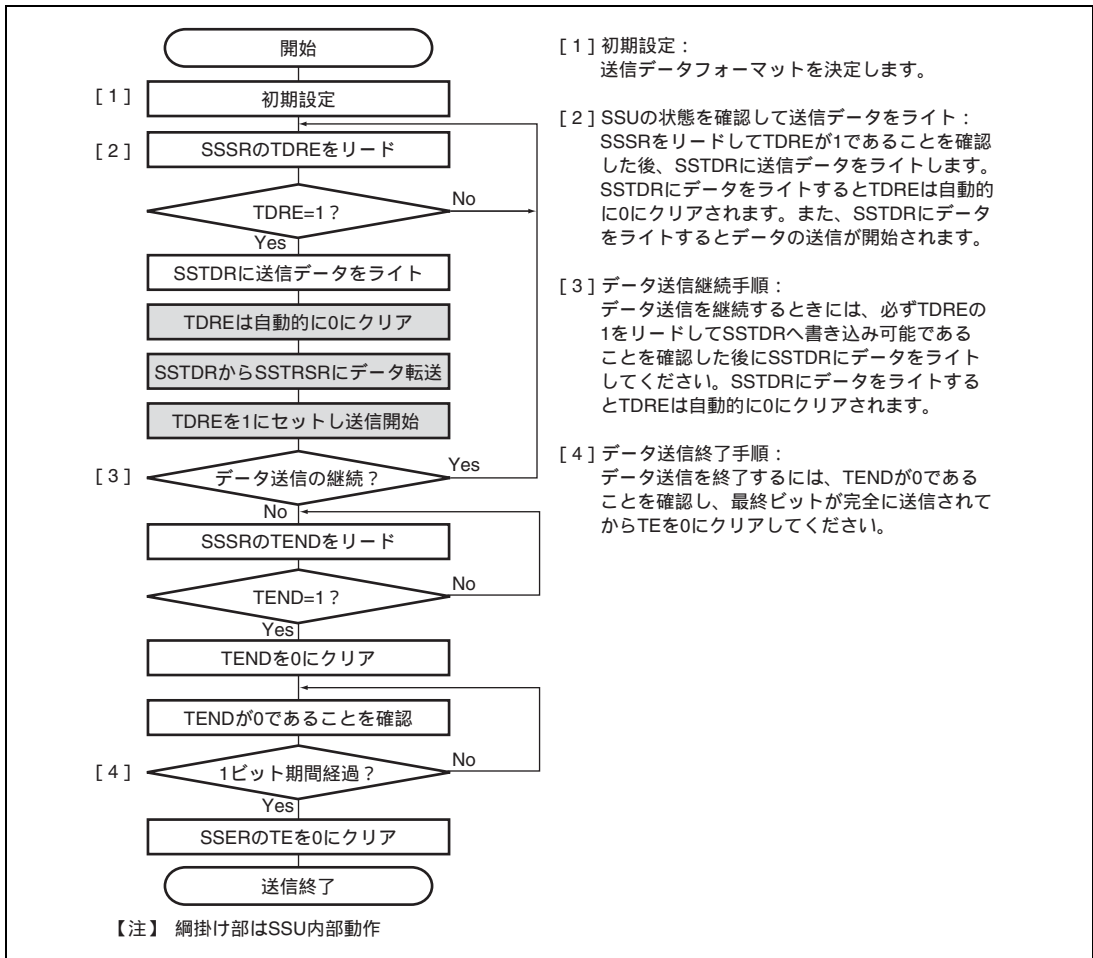


図 17.5 送信時の動作例 (SSU モード)



- [1] 初期設定：
送信データフォーマットを決定します。
- [2] SSUの状態を確認して送信データをライト：
SSSRをリードしてTDREが1であることを確認した後、SSTDTRに送信データをライトします。SSTDTRにデータをライトするとTDREは自動的に0にクリアされます。また、SSTDTRにデータをライトするとデータの送信が開始されます。
- [3] データ送信継続手順：
データ送信を継続するときには、必ずTDREの1をリードしてSSTDTRへ書き込み可能であることを確認した後にSSTDTRにデータをライトしてください。SSTDTRにデータをライトするとTDREは自動的に0にクリアされます。
- [4] データ送信終了手順：
データ送信を終了するには、TENDが0であることを確認し、最終ビットが完全に送信されてからTEを0にクリアしてください。

図 17.6 データ送信のフローチャート例 (SSU モード)

(3) データ受信

図 17.7 に受信時の動作例を、図 17.8 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットし、SSRDR をダミーリードすることにより受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、 $\overline{\text{SCS}}$ 端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると SSRXI 割り込み要求が発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

SSU モードのスレーブ受信で連続受信する場合は、次の受信を開始する前に (外部に接続したマスタデバイスが次の送信を開始する前に) SS 受信データレジスタ (SSRDR) をリードしてください。SS ステータスレジスタ (SSSR) の受信データフル (RDRF) ビットが 1 にセットされてから SSRDR をリードする前に次の受信が開始され、1 フレーム受信完了前に SSRDR をリードすると、受信完了後に SSSR のコンフリクト/インコンプリートエラー (CE) ビットが 1 にセットされます。また、RDRF が 1 にセットされてから SSRDR をリードする前に次の受信が開始され、1 フレーム受信完了後までに SSRDR をリードしなかった場合には、SSSR の CE ビットもオーバーランエラー (ORER) ビットもセットされませんが、受信データは破棄されます。

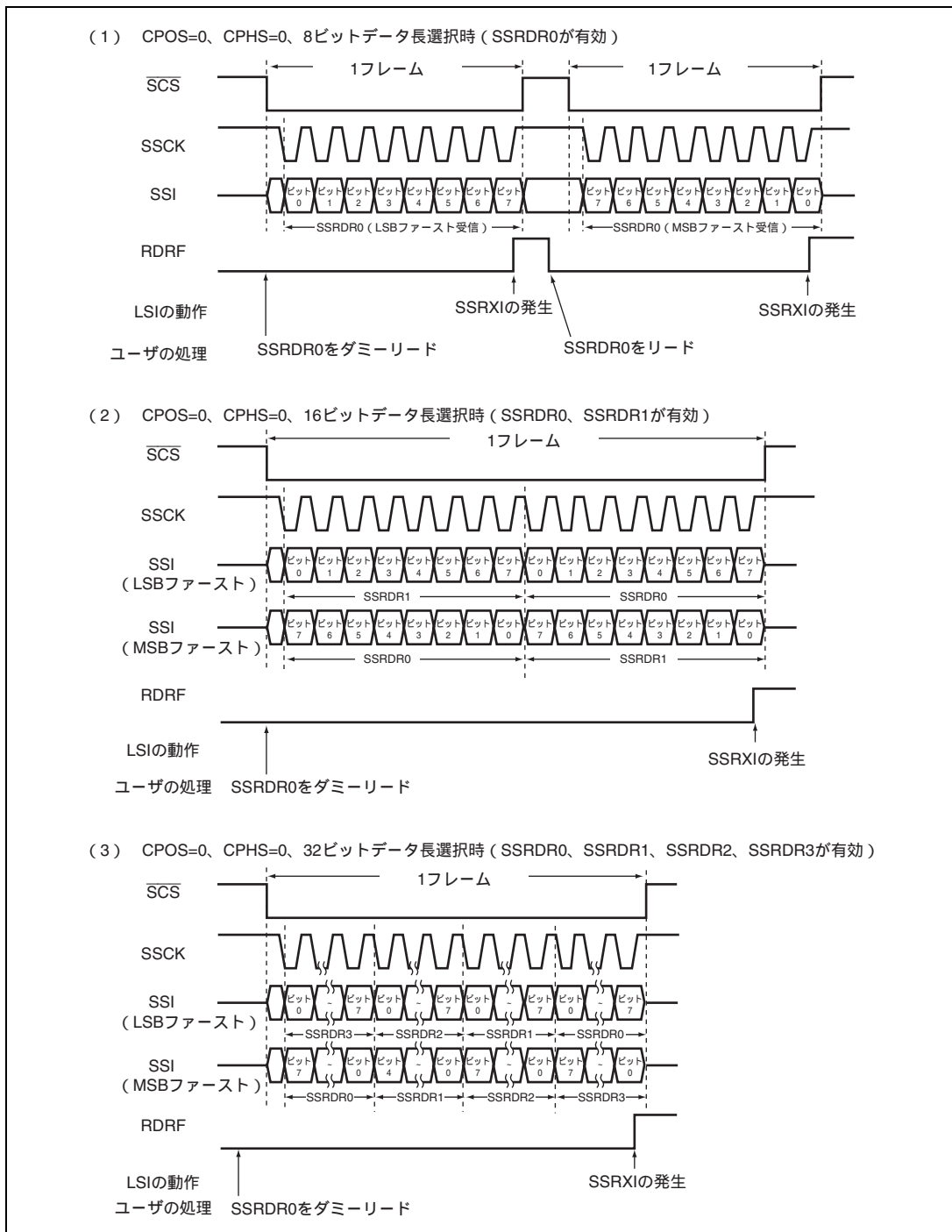


図 17.7 受信時の動作例 (SSU モード)

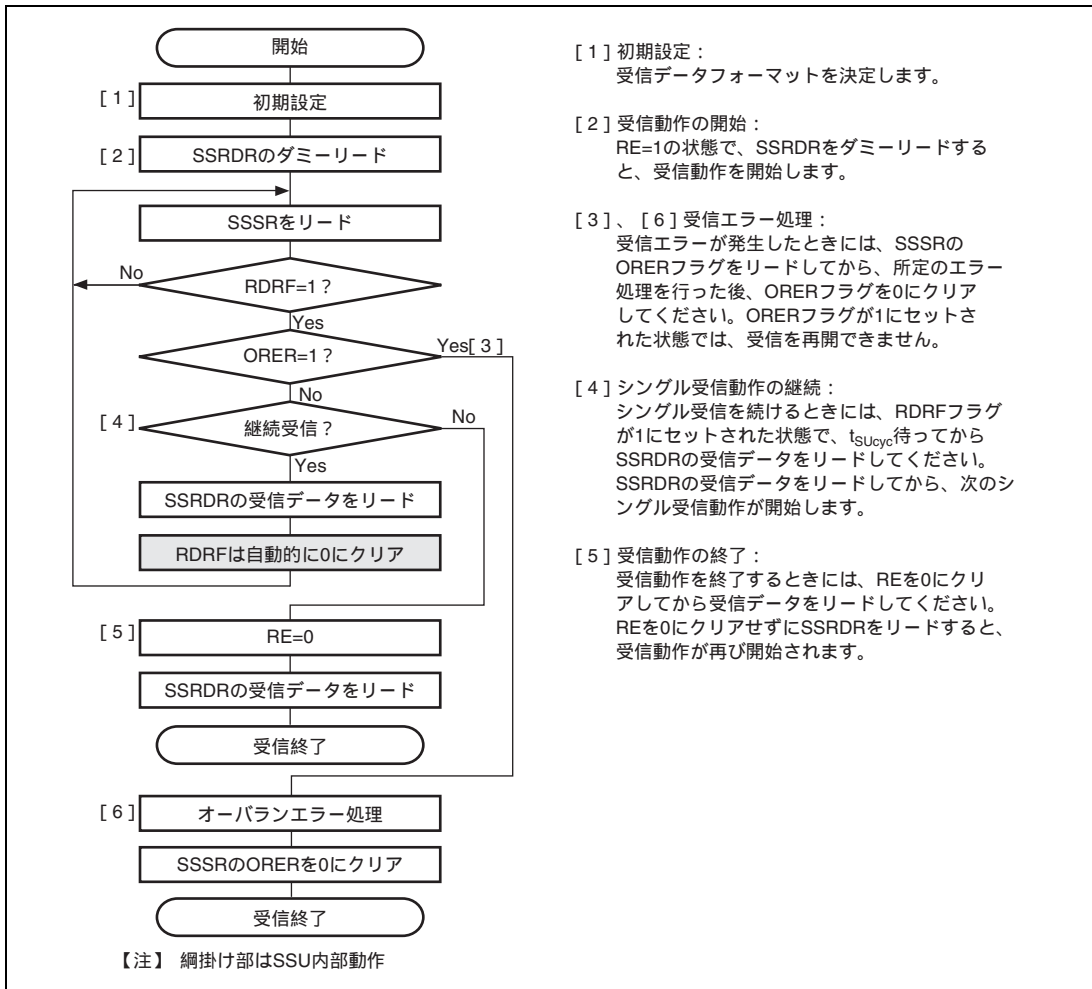


図 17.8 データ受信のフローチャート例 (SSU モード)

(4) データ送受信

図 17.9 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、 $TE=RE=1$ の状態で、SSTDR に送信データをライトすることで開始されます。RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバーランエラー (SSERI) が発生し、送受信を停止します。ORER=1 の状態では送受信は行えませんが、送受信を再開する場合は、ORER を 0 にクリアしてください。

なお、送信モード ($TE=1$) あるいは受信モード ($RE=1$) から送受信モード ($TE=RE=1$) に切り替える場合は、一度 TE 、 RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、 TE および RE を 1 にセットしてください。

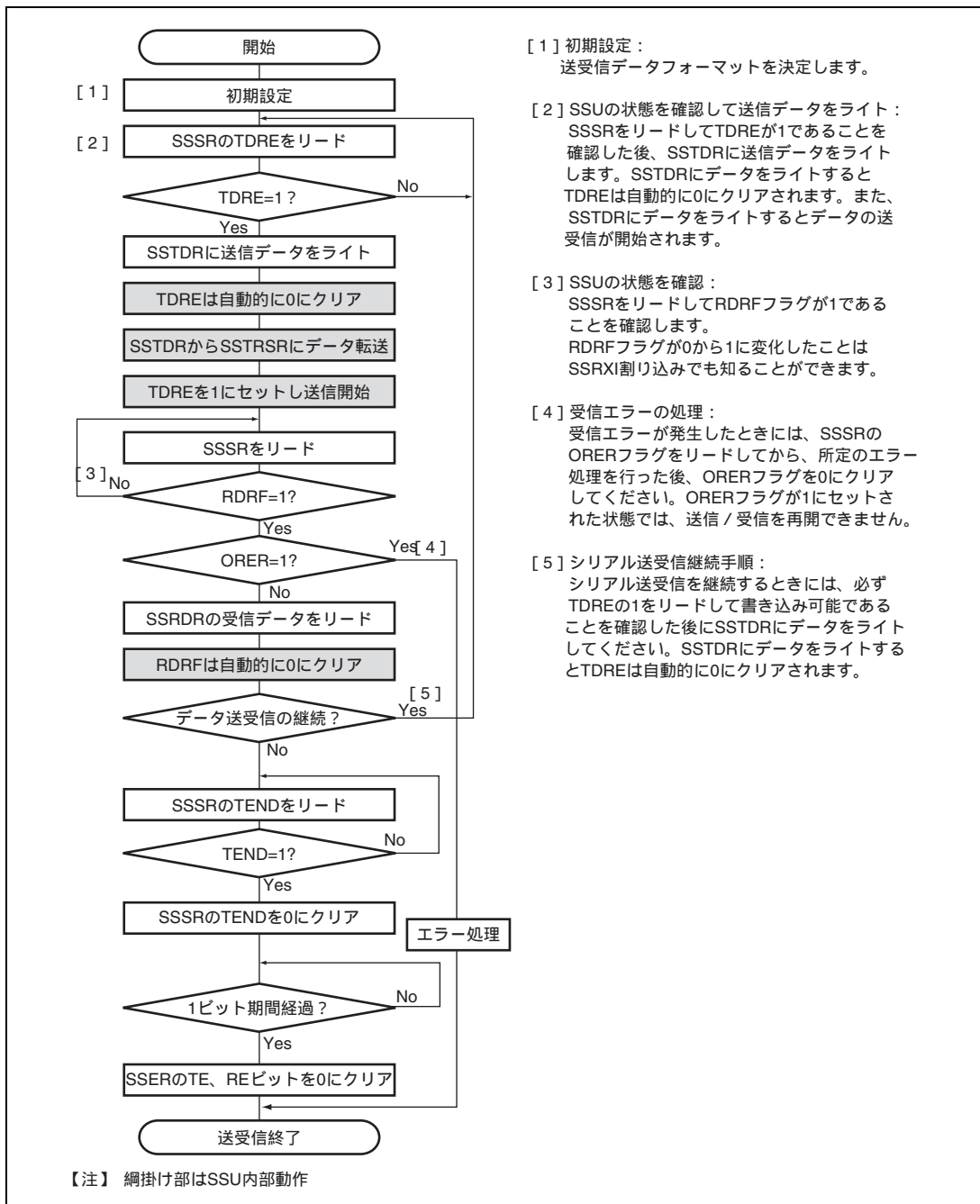


図 17.9 データ送受信同時動作のフローチャート例 (SSU モード)

17.4.6 $\overline{\text{SCS}}$ 端子制御とコンフリクトエラー

SSCRH の CSS1、CSS0=10、SSCRL の SSUMS=0 に設定した場合、SSCRH の MSS を 1 にセットしてからシリアル転送を開始する前と転送終了後に $\overline{\text{SCS}}$ 端子は入力 (Hi-Z) となり、コンフリクトエラーを検出します。この期間に $\overline{\text{SCS}}$ 端子から Low レベルが入力されるとコンフリクトエラーとなり、SSSR の CE がセットされ、MSS はクリアされます。

【注】 コンフリクトエラーがセットされた状態では、以後の送信 / 受信動作はできません。送信 / 受信を開始する前には、必ず CE を 0 にクリアしてください。

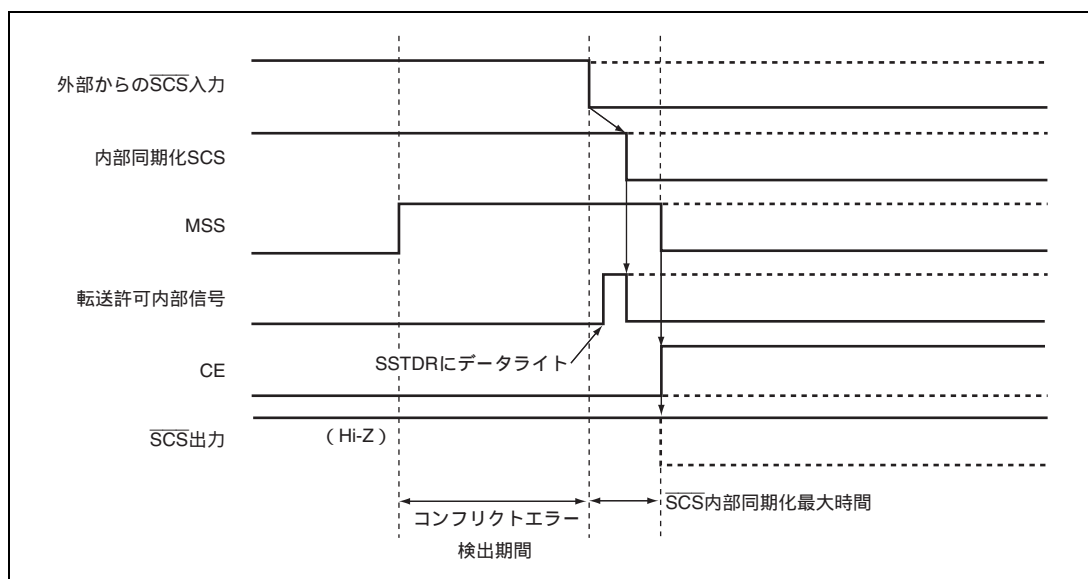


図 17.10 コンフリクトエラー検出タイミング (転送前)

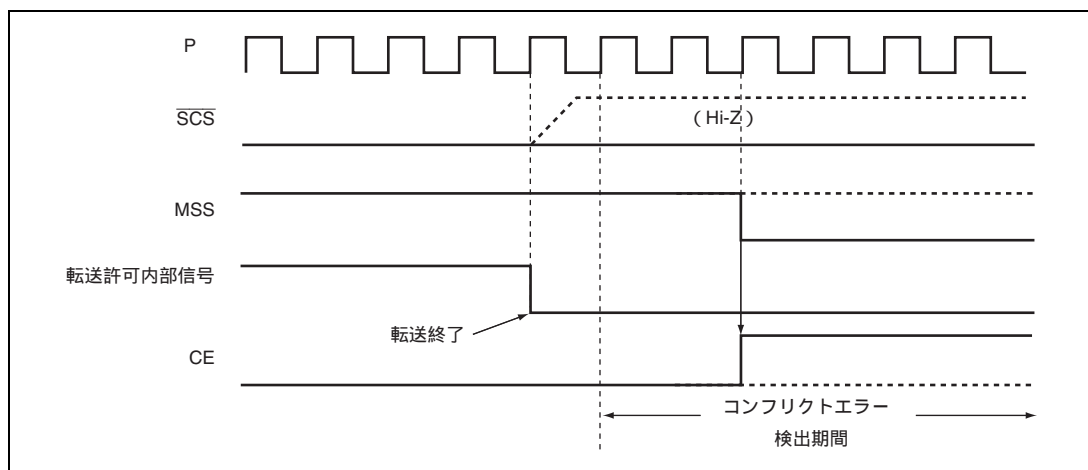


図 17.11 コンフリクトエラー検出タイミング (転送終了後)

17.4.7 クロック同期式通信モード

クロック同期式通信モードは、クロックライン (SSCK)、データ入力ライン (SSI)、データ出力ライン (SSO) の3本のバスを使用してデータ通信を行います。

(1) クロック同期式通信モードの初期設定

クロック同期式通信モードの初期設定例を図 17.12 に示します。データの送信 / 受信前には、まず SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグおよび SSRDR の内容は保持されていますので注意してください。

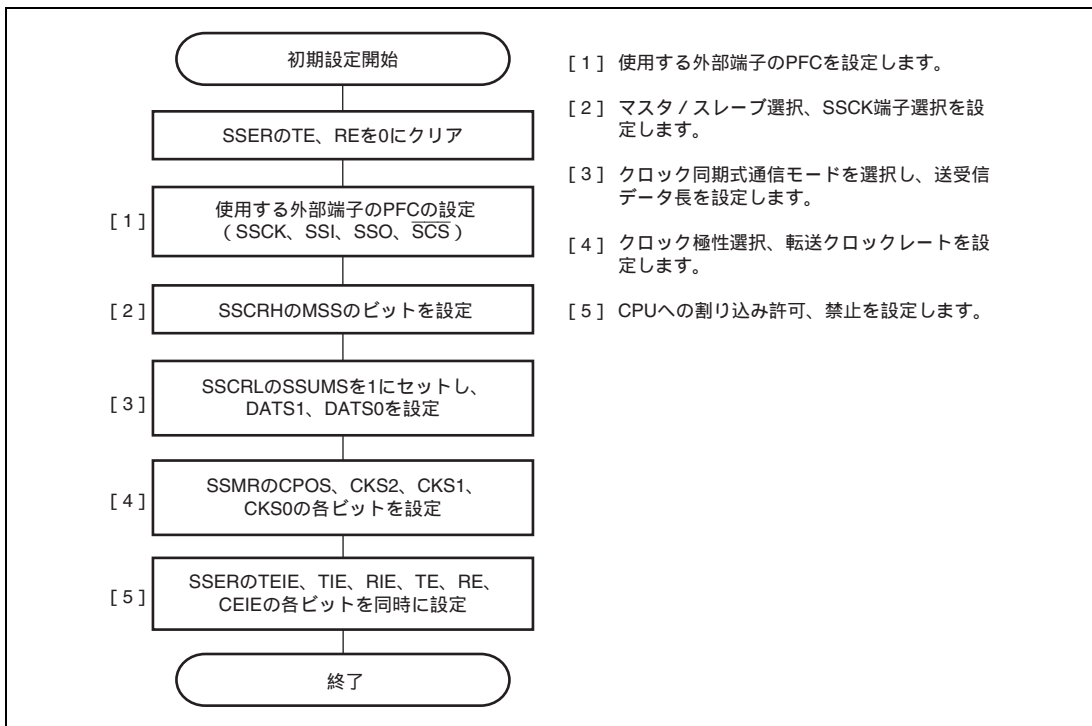


図 17.12 クロック同期式通信モードの初期設定例

(2) データ送信

図 17.13 に送信時の動作例を、図 17.14 にデータ送信のフローチャートの例を示します。データ送信時にクロック同期式通信モードでは以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出力します。SSU をスレーブデバイスに設定し、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出力します。

SSU は、SSER の TE を 1 にセットした後、SSTDR に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると送信データエンプティ時の SSTXI 割り込み要求を発生します。

TDRE=0 の状態で 1 フレームのデータ転送が終了すると、SSTDR から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE=1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると送信終了時の SSTXI 割り込み要求を発生します。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

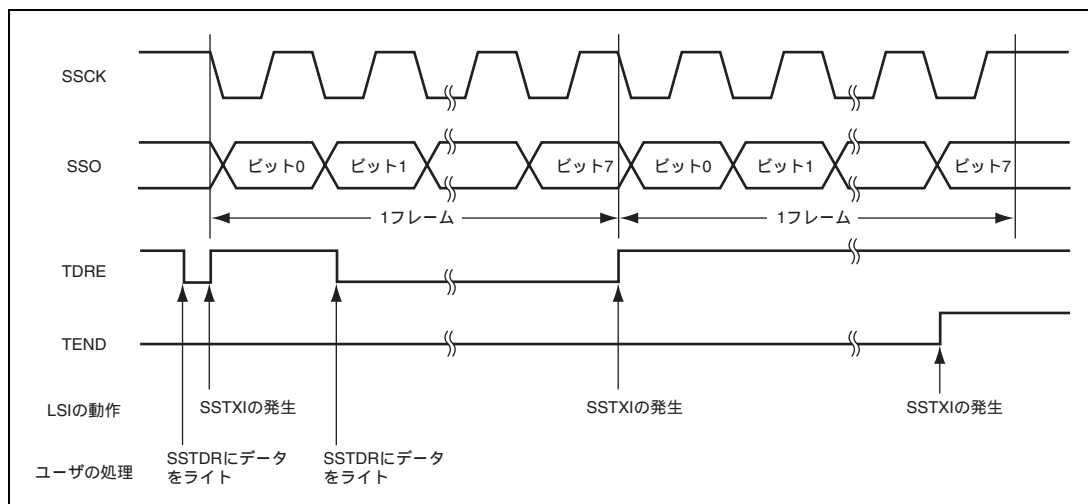
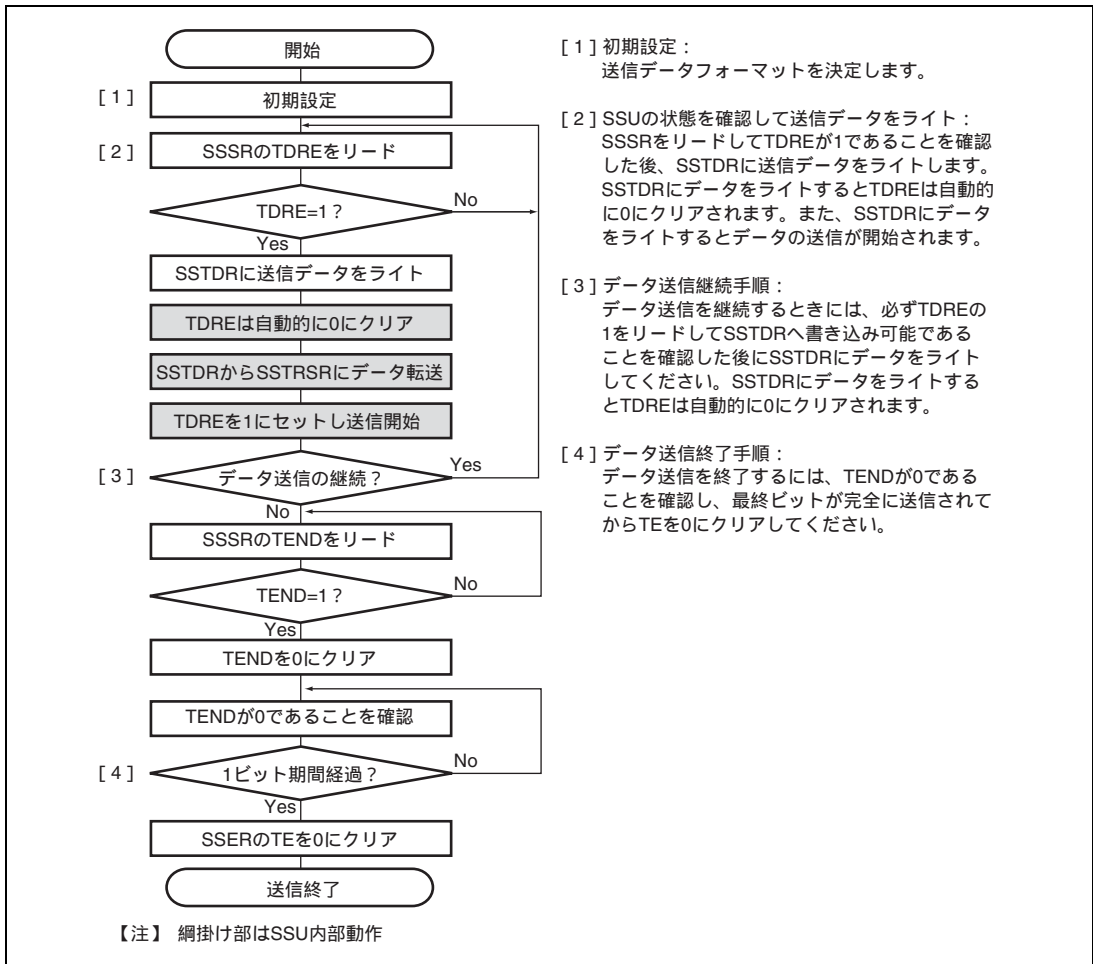


図 17.13 送信時の動作例 (クロック同期式通信モード)



- [1] 初期設定：
送信データフォーマットを決定します。
- [2] SSUの状態を確認して送信データをライト：
SSSRをリードしてTDREが1であることを確認した後、SSTDRに送信データをライトします。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。また、SSTDRにデータをライトするとデータの送信が開始されます。
- [3] データ送信継続手順：
データ送信を継続するときには、必ずTDREの1をリードしてSSTDRへ書き込み可能であることを確認した後にSSTDRにデータをライトしてください。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。
- [4] データ送信終了手順：
データ送信を終了するには、TENDが0であることを確認し、最終ビットが完全に送信されてからTEを0にクリアしてください。

図 17.14 データ送信のフローチャート例 (クロック同期式通信モード)

(3) データ受信

図 17.15 に受信時の動作例を、図 17.16 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットすると受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると SSRXI 割り込み要求を発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバランエラー (SSERI) が発生し、受信を停止します。ORER=1 の状態では受信できませんので、受信を再開する場合は ORER を 0 にクリアしてください。

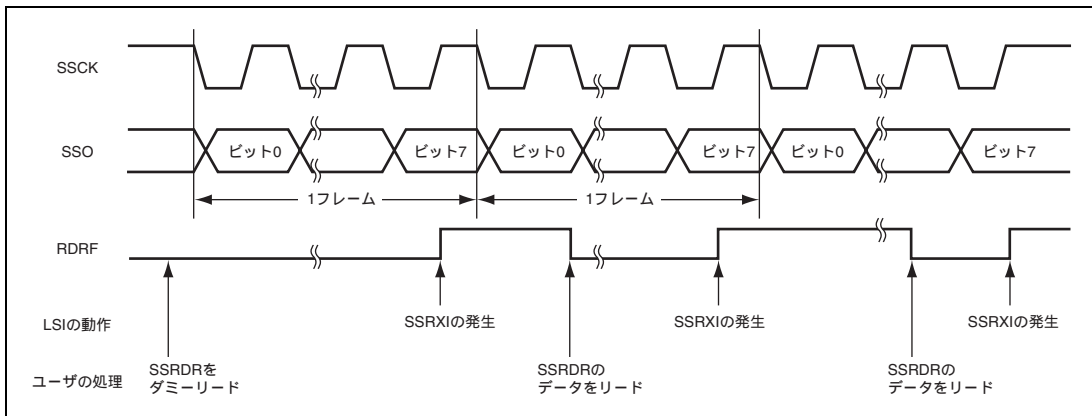


図 17.15 受信時の動作例 (クロック同期式通信モード)

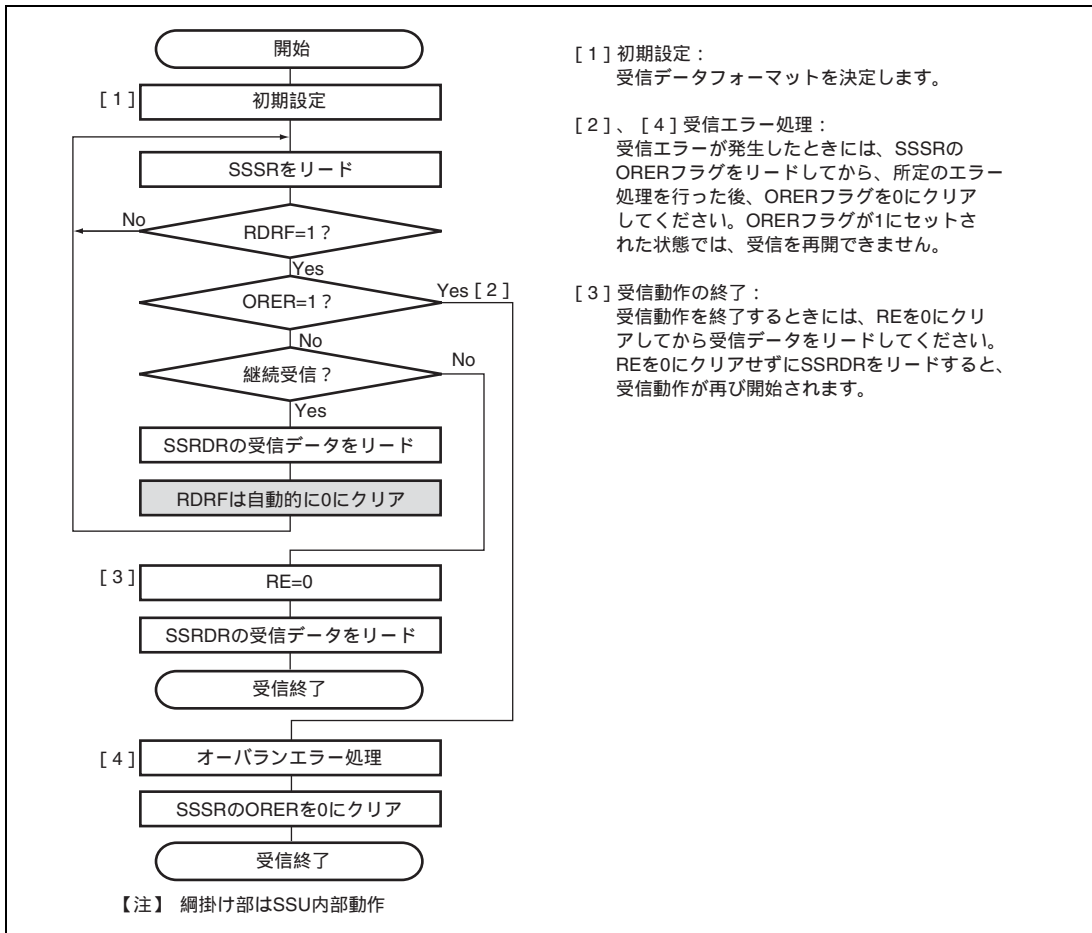


図 17.16 データ受信のフローチャート例 (クロック同期式通信モード)

(4) データ送受信

図 17.17 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、 $TE=RE=1$ の状態で、SSTDR に送信データをライトすることで開始されます。RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバーランエラー (SSERI) が発生し、送受信を停止します。ORER=1 の状態では送受信は行えませんが、送受信を再開する場合は ORER を 0 にクリアしてください。

なお、送信モード ($TE=1$) あるいは受信モード ($RE=1$) から送受信モード ($TE=RE=1$) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。

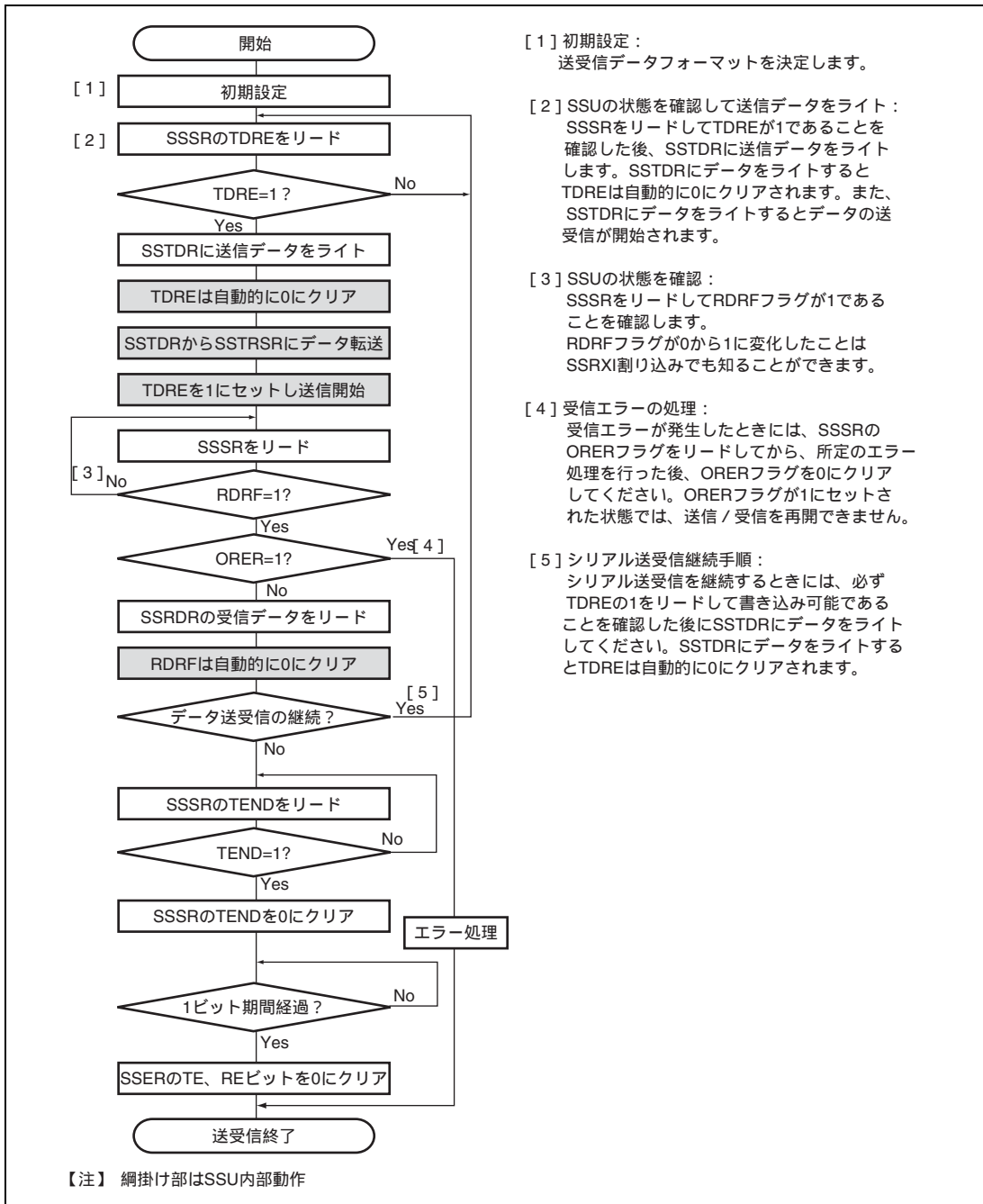


図 17.17 データ送受信同時動作のフローチャート例 (クロック同期式通信モード)

17.5 SSU の割り込み要因と DMAC

SSU の割り込み要求には、オーバランエラー、コンフリクトエラー、受信データフル、送信データエンプティ、送信終了割り込みがあります。また、受信データフル、送信データエンプティの割り込み要求で DMAC を起動しデータ転送を行うことができます。

オーバランエラー、コンフリクトエラーの割り込み要求が SSERI、送信データエンプティ、送信終了の割り込み要求が SSTXI のベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。表 17.8 に割り込み要因を示します。

表 17.8 の割り込み条件が成立すると、割り込み要求が発生します。CPU または DMAC によるデータ転送で割り込み要因をクリアしてください。

表 17.8 SSU 割り込み要因

名称	割り込み要因	割り込み条件	DMAC の起動
SSERI	オーバランエラー	$(RIE=1) \cdot (ORER=1) +$	-
	コンフリクトエラー	$(CEIE=1) \cdot (CE=1)$	
SSRXI	受信データフル	$(RIE=1) \cdot (RDRF=1)$	
SSTXI	送信データエンプティ	$(TIE=1) \cdot (TDRE=1) +$	
	送信終了	$(TEIE=1) \cdot (TEND=1)$	

17.6 使用上の注意事項

17.6.1 モジュールスタンバイモードの設定

SSU は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、SSU の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 33 章 低消費電力モード」を参照してください。

17.6.2 SSU スレーブモードにおける連続送受信時の注意事項

SSU スレーブモードで連続送受信時は、1 フレームごとに \overline{SCS} 端子をネグート (ハイレベル) してください。1 フレームを超えて \overline{SCS} 端子をアサート (ローレベル) した場合は、正しく送受信できません。

17.6.3 SSU モードのマスタ送信動作またはマスタ送受信動作における注意事項

SSU モードのマスタ送信動作またはマスタ送受信動作を行う場合は、以下のいずれかで動作させてください。

- (1) SSSR の TDRE ビットが 1 にセットされたら最終ビットから 1 つ前のビットの送信開始前に SSTDR に次の送信データを格納してください。
- (2) SSSR の TEND ビットが 1 にセットされた後で SSTDR に次の送信データを書き込んでください。
- (3) SSCR2 を TENDSTS=0、または、TENDSTS=1 かつ SCSATS=1 の設定で使用してください。

18. I²C バスインタフェース 3 (IIC3)

I²C バスインタフェース 3 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

なお、チャンネル数は 4 チャンネルあります。

18.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信 / 受信可能

シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期機能内蔵

マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。

- 割り込み要因：6種類

送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトラジョンロスト、NACK 検出、停止条件検出

- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- バスを直接駆動可能

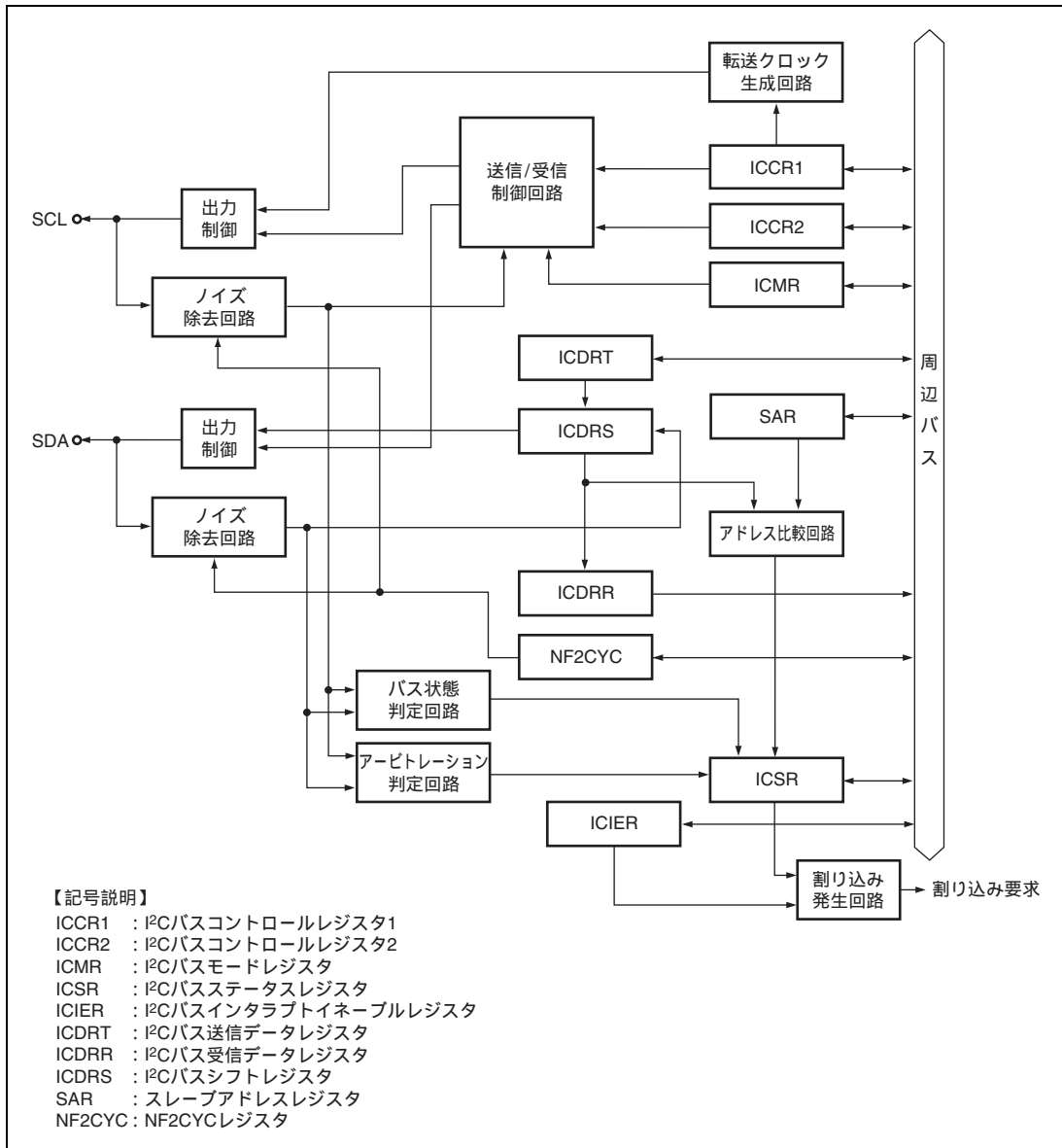
SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期式シリアルフォーマット

- 割り込み要因：4種類

送信データエンプティ、送信終了、受信データフル、オーバランエラー

- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

図 18.1 に I²C バスインタフェース 3 のブロック図を示します。図 18.1 I²C バスインタフェース 3 のブロック図

18.2 入出力端子

I²C バスインタフェース 3 で使用する端子構成を表 18.1 に示します。

表 18.1 端子構成

名称	端子名	入出力	機能
シリアルクロック端子	SCL0 ~ SCL3	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA0 ~ SDA3	入出力	I ² C シリアルデータ入出力端子

図 18.2 に入出力端子の外部回路接続例を示します。

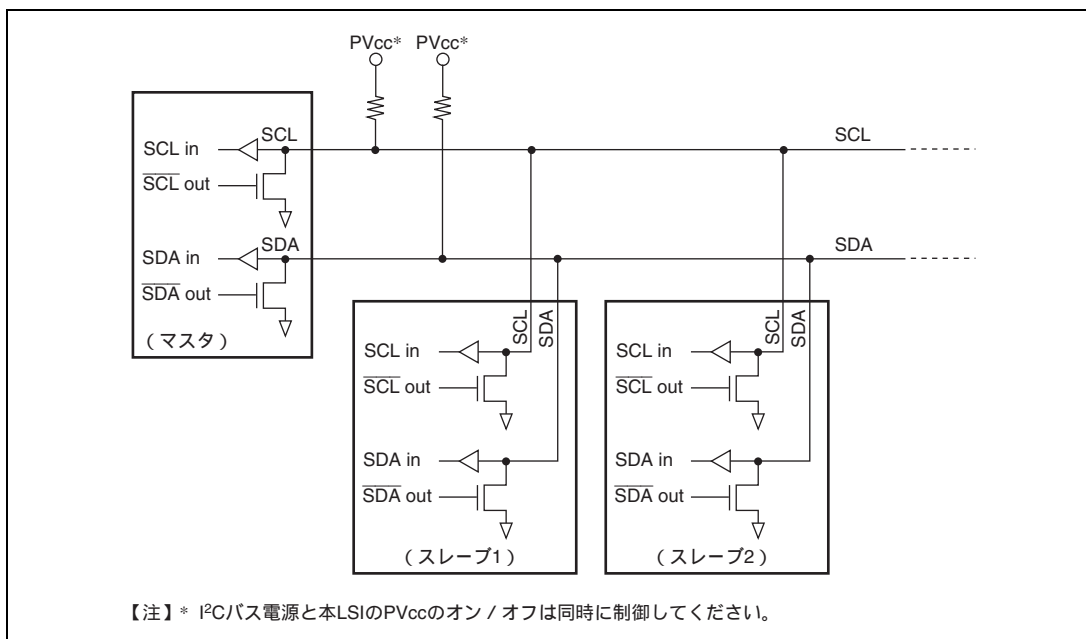


図 18.2 入出力端子の外部回路接続例

18.3 レジスタの説明

I²C バスインタフェース 3 には以下のレジスタがあります。

表 18.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	I ² C バスコントロールレジスタ 1	ICCR1_0	R/W	H'00	H'FFFEE000	8
	I ² C バスコントロールレジスタ 2	ICCR2_0	R/W	H'7D	H'FFFEE001	8
	I ² C バスモードレジスタ	ICMR_0	R/W	H'38	H'FFFEE002	8
	I ² C バスインタラプティネーブルレジスタ	ICIER_0	R/W	H'00	H'FFFEE003	8
	I ² C バスステータスレジスタ	ICSR_0	R/W	H'00	H'FFFEE004	8
	スレーブアドレスレジスタ	SAR_0	R/W	H'00	H'FFFEE005	8
	I ² C バス送信データレジスタ	ICDRT_0	R/W	H'FF	H'FFFEE006	8
	I ² C バス受信データレジスタ	ICDRR_0	R/W	H'FF	H'FFFEE007	8
	NF2CYC レジスタ	NF2CYC_0	R/W	H'00	H'FFFEE008	8
1	I ² C バスコントロールレジスタ 1	ICCR1_1	R/W	H'00	H'FFFEE400	8
	I ² C バスコントロールレジスタ 2	ICCR2_1	R/W	H'7D	H'FFFEE401	8
	I ² C バスモードレジスタ	ICMR_1	R/W	H'38	H'FFFEE402	8
	I ² C バスインタラプティネーブルレジスタ	ICIER_1	R/W	H'00	H'FFFEE403	8
	I ² C バスステータスレジスタ	ICSR_1	R/W	H'00	H'FFFEE404	8
	スレーブアドレスレジスタ	SAR_1	R/W	H'00	H'FFFEE405	8
	I ² C バス送信データレジスタ	ICDRT_1	R/W	H'FF	H'FFFEE406	8
	I ² C バス受信データレジスタ	ICDRR_1	R/W	H'FF	H'FFFEE407	8
	NF2CYC レジスタ	NF2CYC_1	R/W	H'00	H'FFFEE408	8
2	I ² C バスコントロールレジスタ 1	ICCR1_2	R/W	H'00	H'FFFEE800	8
	I ² C バスコントロールレジスタ 2	ICCR2_2	R/W	H'7D	H'FFFEE801	8
	I ² C バスモードレジスタ	ICMR_2	R/W	H'38	H'FFFEE802	8
	I ² C バスインタラプティネーブルレジスタ	ICIER_2	R/W	H'00	H'FFFEE803	8
	I ² C バスステータスレジスタ	ICSR_2	R/W	H'00	H'FFFEE804	8
	スレーブアドレスレジスタ	SAR_2	R/W	H'00	H'FFFEE805	8
	I ² C バス送信データレジスタ	ICDRT_2	R/W	H'FF	H'FFFEE806	8
	I ² C バス受信データレジスタ	ICDRR_2	R/W	H'FF	H'FFFEE807	8
	NF2CYC レジスタ	NF2CYC_2	R/W	H'00	H'FFFEE808	8

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3	I ² C バスコントロールレジスタ 1	ICCR1_3	R/W	H'00	H'FFFEEC00	8
	I ² C バスコントロールレジスタ 2	ICCR2_3	R/W	H'7D	H'FFFEEC01	8
	I ² C バスモードレジスタ	ICMR_3	R/W	H'38	H'FFFEEC02	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_3	R/W	H'00	H'FFFEEC03	8
	I ² C バスステータスレジスタ	ICSR_3	R/W	H'00	H'FFFEEC04	8
	スレープアドレスレジスタ	SAR_3	R/W	H'00	H'FFFEEC05	8
	I ² C バス送信データレジスタ	ICDRT_3	R/W	H'FF	H'FFFEEC06	8
	I ² C バス受信データレジスタ	ICDRR_3	R/W	H'FF	H'FFFEEC07	8
	NF2CYC レジスタ	NF2CYC_3	R/W	H'00	H'FFFEEC08	8

18.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、I²C バスインタフェース 3 の動作 / 停止、送信 / 受信制御、マスタモード / スレープモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ビット :	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止

ビット	ビット名	初期値	R/W	説明
5 4	MST TRS	0 0	R/W R/W	<p>マスタ/スレーブ選択 送信/受信選択</p> <p>I²C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。</p> <p>また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。</p> <p>MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST=1 のとき、クロック出力となります。</p> <p>00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード</p>
3~0	CKS[3:0]	0000	R/W	<p>転送クロック選択</p> <p>マスタモードのとき、必要な転送レート(表 18.3 参照)にあわせて設定してください。</p>

表 18.3 転送レート

ビット 3 CKS[3]	ビット 2 CKS[2]	ビット 1 CKS[1]	ビット 0 CKS[0]	クロック	転送レート (kHz)				
					P =16.7MHz	P =20.0MHz	P =25.0MHz	P =26.7MHz	P =33.3MHz
0	0	0	0	P /44	379	455	568	606	758
			1	P /52	321	385	481	513	641
		1	0	P /64	260	313	391	417	521
			1	P /72	231	278	347	370	463
	1	0	0	P /84	198	238	298	317	397
			1	P /92	181	217	272	290	362
		1	0	P /100	167	200	250	267	333
			1	P /108	154	185	231	247	309
1	0	0	0	P /176	94.7	114	142	152	189
			1	P /208	80.1	96.2	120	128	160
		1	0	P /256	65.1	78.1	97.7	104	130
			1	P /288	57.9	69.4	86.8	92.6	116
	1	0	0	P /336	49.6	59.5	74.4	79.4	99.2
			1	P /368	45.3	54.3	67.9	72.5	90.6
		1	0	P /400	41.7	50.0	62.5	66.7	83.3
			1	P /432	38.6	46.3	57.9	61.7	77.2

【注】 外部仕様を満足するように設定してください。

18.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスのコントロール部のリセットを制御します。

ビット:	7	6	5	4	3	2	1	0
	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
初期値:	0	1	1	1	1	1	0	1
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有 / 解放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I²C バスフォーマットの場合、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。</p>
6	SCP	1	R/W	<p>開始 / 停止条件発行禁止</p> <p>SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p style="margin-left: 20px;">0 : リード時、SDA 端子出力が Low レベル ライト時、SDA 端子出力を Low レベルに変更</p> <p style="margin-left: 20px;">1 : リード時、SDA 端子出力が High レベル ライト時、SDA 端子出力を Hi-Z に変更(外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 をライトします。本ビットは読み出すと常に 1 が読み出されます。</p>

ビット	ビット名	初期値	R/W	説明
3	SCLO	1	R	SCL 出力レベル SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。
2	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I ² C バスのレジスタを除くコントロール部をリセットします。I ² C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると IIC3 の一部のレジスタとコントロール部をリセットすることができます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

18.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、8 ビットの読み出し / 書き込み可能なレジスタで、MSB ファースト / LSB ファーストの選択、転送ビット数の選択を行います。

ICCR2 の IICRST により BC[2:0] が H'0 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	MLS	-	-	-	BCWP	BC[2:0]		
初期値:	0	0	1	1	1	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときには 0 に設定してください。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説 明																		
3	BCWP	1	R/W	<p>BC ライトプロテクト</p> <p>BC[2:0]の書き込みを制御します。BC[2:0]を書き換える場合は、本ビットを 0 に設定してください。なおクロック同期式シリアルフォーマットでは BC[2:0] の書き換えは行わないでください。</p> <p>0 : ライト時、BC[2:0]の値を設定 1 : リード時、常に 1 をリード ライト時、BC[2:0]設定値は無効</p>																		
2~0	BC[2:0]	000	R/W	<p>ビットカウンタ</p> <p>次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。また本ビットは、パワーオンリセット、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。</p> <table border="0"> <tr> <td>I²C バスフォーマット</td> <td>クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

18.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因の許可、アクノリッジの有効 / 無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット:	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	送信インタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンpty割り込み (TXI) を許可 / 禁止します。 0: 送信データエンpty割り込み要求 (TXI) の禁止 1: 送信データエンpty割り込み要求 (TXI) の許可
6	TEIE	0	R/W	送信エンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可 / 禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	受信インタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出 / アービトレーションロスト / オーバランエラー割り込み要求 (NAKI) の許可 / 禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可
3	STIE	0	R/W	停止条件検出インタラプトイネーブル STIE は、ICSR の STOP がセットされたとき、停止条件検出割り込み要求 (STPI) の許可 / 禁止を選択します。 0: 停止条件検出割り込み要求 (STPI) の禁止 1: 停止条件検出割り込み要求 (STPI) の許可

ビット	ビット名	初期値	R/W	説 明
2	ACKE	0	R/W	アクノリッジビット判定選択 0: 受信アクノリッジの内容を無視して連続的に転送を行う 1: 受信アクノリッジが 1 の場合、転送を中断する
1	ACKBR	0	R	受信アクノリッジ 送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2 の BBSY を 1 にセットするとクリアされます。 0: 受信アクノリッジ = 0 1: 受信アクノリッジ = 1
0	ACKBT	0	R/W	送信アクノリッジ 受信モード時、アクノリッジのタイミングで送出するビットを設定します。 0: アクノリッジのタイミングで 0 を送出 1: アクノリッジのタイミングで 1 を送出

18.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。

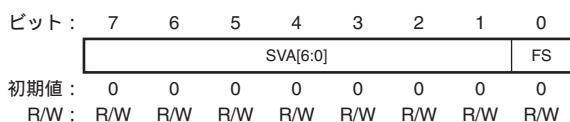
ビット:	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TDRE	0	R/W	送信データエンプティ [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件 (再送含む) を発行したとき • スLEEPモードで受信モードから送信モードになったとき
6	TEND	0	R/W	送信エンド [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] • I ² C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき
5	RDRF	0	R/W	受信データフル [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ICDRR をリードしたとき [セット条件] • ICDRS から ICDRR に受信データが転送されたとき
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [クリア条件] • 1 の状態をリードした後、0 をライトしたとき [セット条件] • ICIEP の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • フレームの転送の完了後に停止条件を検出したとき
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVE は、I²C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF = 1の状態では最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときにI²C バスインタフェース 3は SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA 端子が High レベルのとき • クロック同期式シリアルフォーマットの場合、RDRF = 1の状態では最終ビットを受信したとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6 ~ SVA0 と一致した場合にセットされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードのとき有効</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

18.3.6 スレーブアドレスレジスタ (SAR)

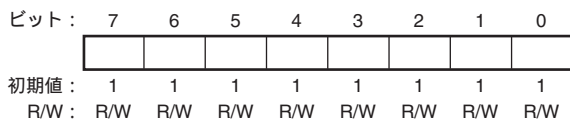
SAR は、8 ビットの読み出し / 書き込み可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。



ビット	ビット名	初期値	R/W	説明
7~1	SVA[6:0]	0000000	R/W	スレーブアドレス I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I ² C バスフォーマット選択 1: クロック同期式シリアルフォーマット選択

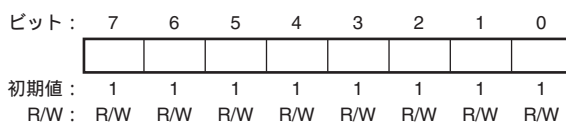
18.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットの読み出し / 書き込み可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておくこと、連続送信が可能です。



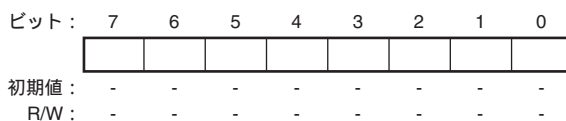
18.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。



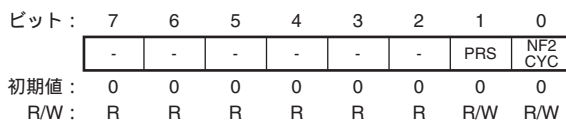
18.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信 / 受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。



18.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は、8 ビットの読み出し / 書き込み可能なレジスタで、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。詳細動作については、「18.4.7 ノイズ除去回路」を参照してください。



ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PRS	0	R/W	パルス幅比率選択 SCL の High 幅と Low 幅の比率を指定します。 0 : High : Low = 0.5 : 0.5 1 : High : Low 0.4 : 0.6
0	NF2CYC	0	R/W	ノイズ除去幅選択 0 : 周辺クロックで 1 サイクル周期以内のノイズを除去することができます 1 : 周辺クロックで 2 サイクル周期以内のノイズを除去することができます

18.4 動作説明

I²C バスインタフェース 3 には、SAR の FS の設定により、I²C バスフォーマットとクロック同期式シリアルフォーマットで通信することができます。

18.4.1 I²C バスフォーマット

I²C バスフォーマットを図 18.3 に、I²C バスのタイミングを図 18.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

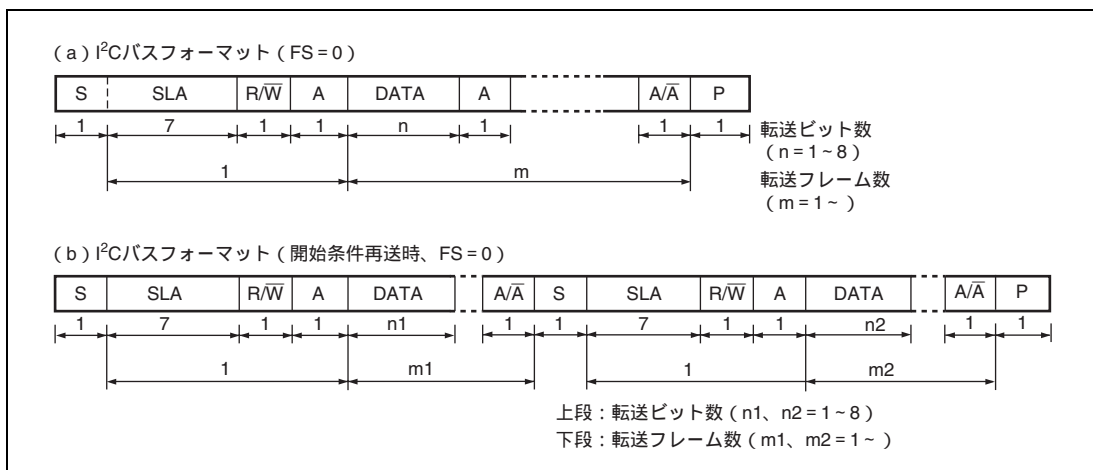


図 18.3 I²C バスフォーマット

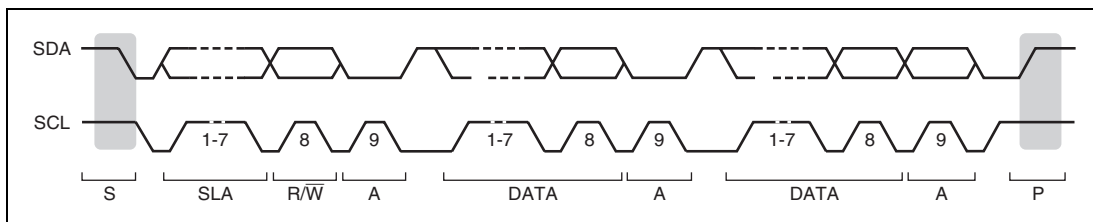


図 18.4 I²C バスタイミング

【記号説明】

- S : 開始条件。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

18.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 18.5 と図 18.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。また、ICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが解放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR \bar{W} を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

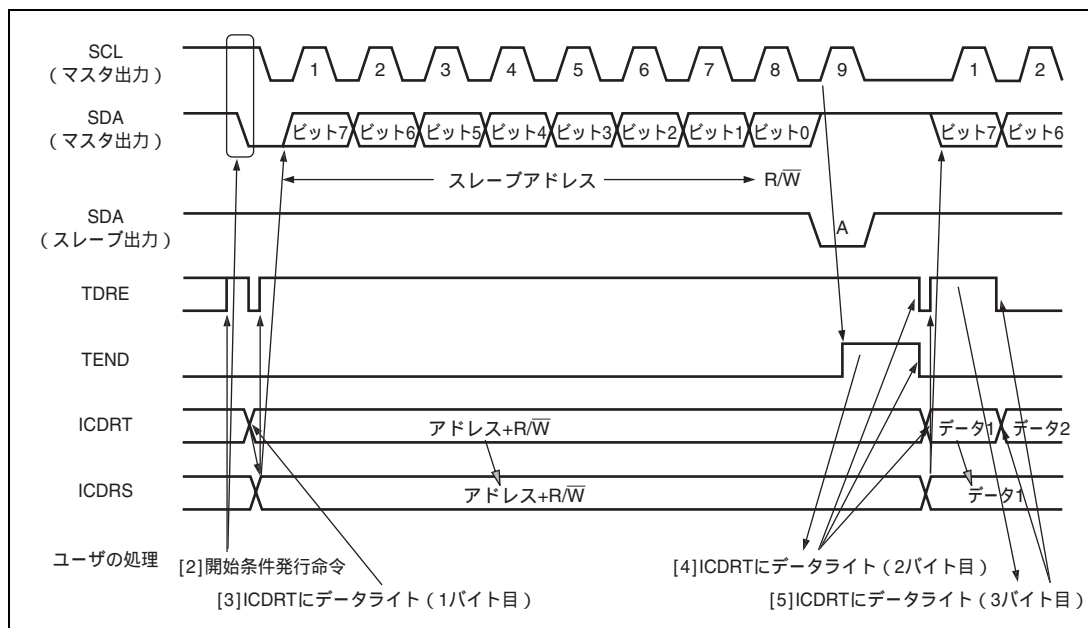


図 18.5 マスタ送信モード動作タイミング (1)

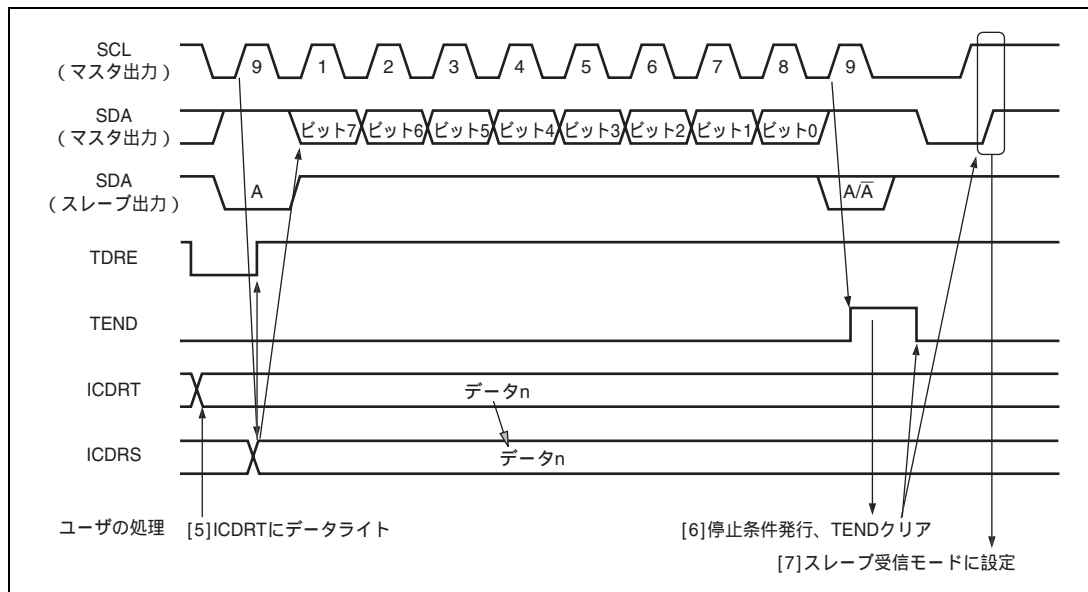


図 18.6 マスタ送信モード動作タイミング (2)

18.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアキュリッジを返します。マスタ受信モードの動作タイミングについては図 18.7 と図 18.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま
す。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始*し、内部クロックに同期して受信クロックを出力し、データを受
信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力し
ます。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされま
す。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはク
リアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFが
セットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCL
がLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の
受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 * 1バイトだけ受信したい場合は、ICCR1のRCVDセット後、ICDRRのダミーリードを行ってください。

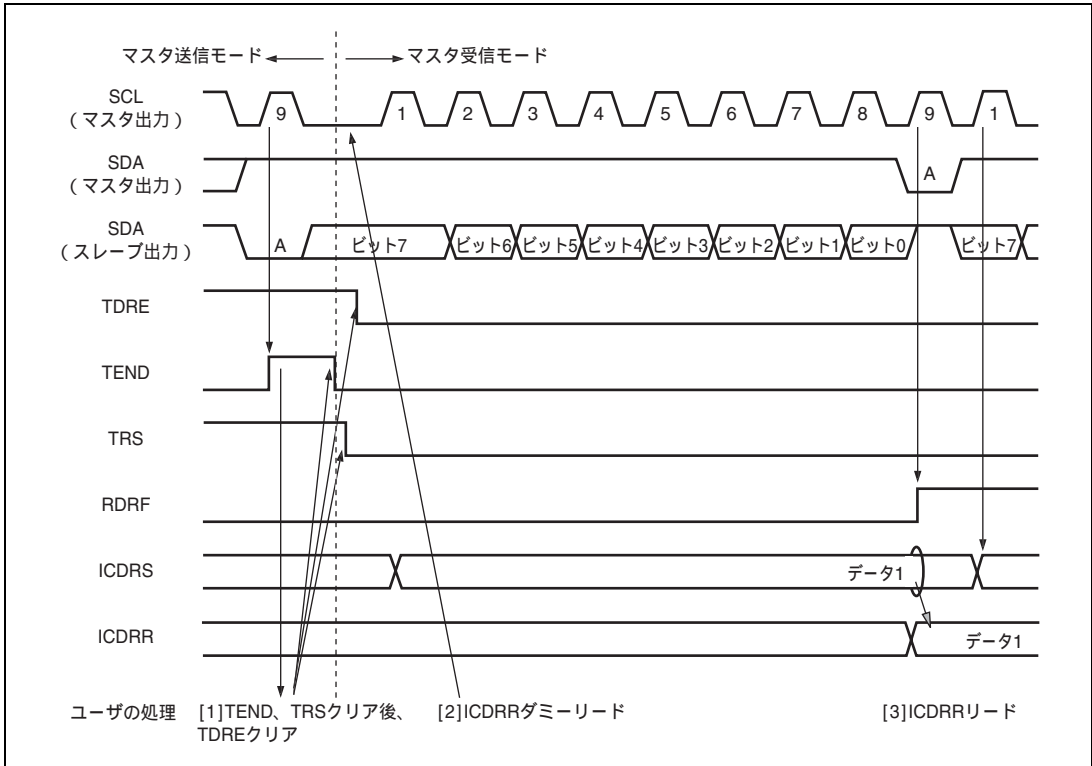


図 18.7 マスタ受信モード動作タイミング (1)

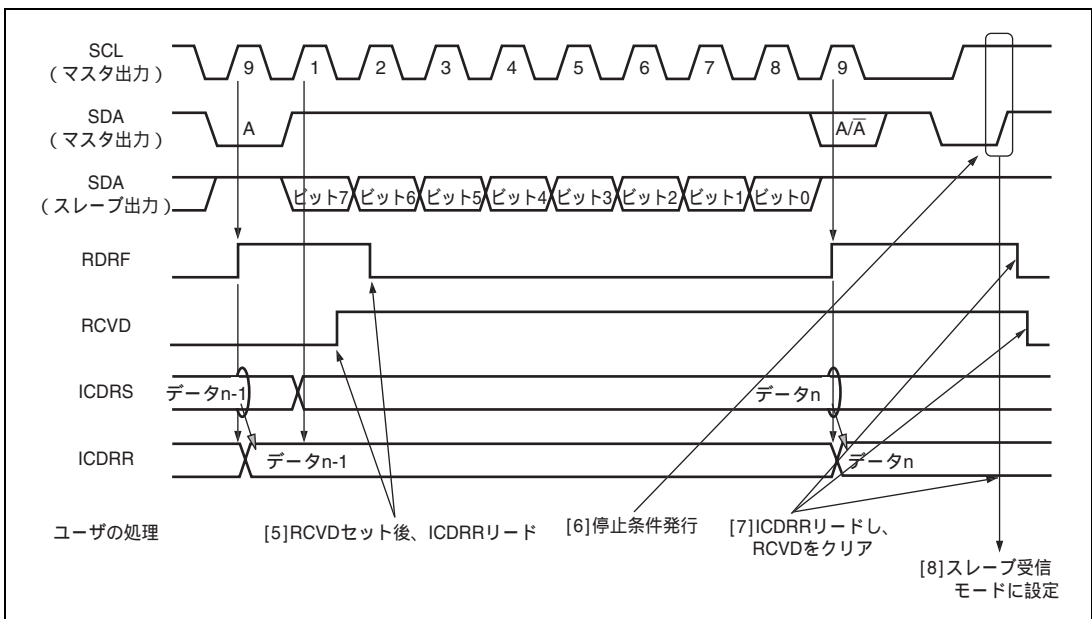


図 18.8 マスタ受信モード動作タイミング (2)

18.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 18.9 と図 18.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE = 1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

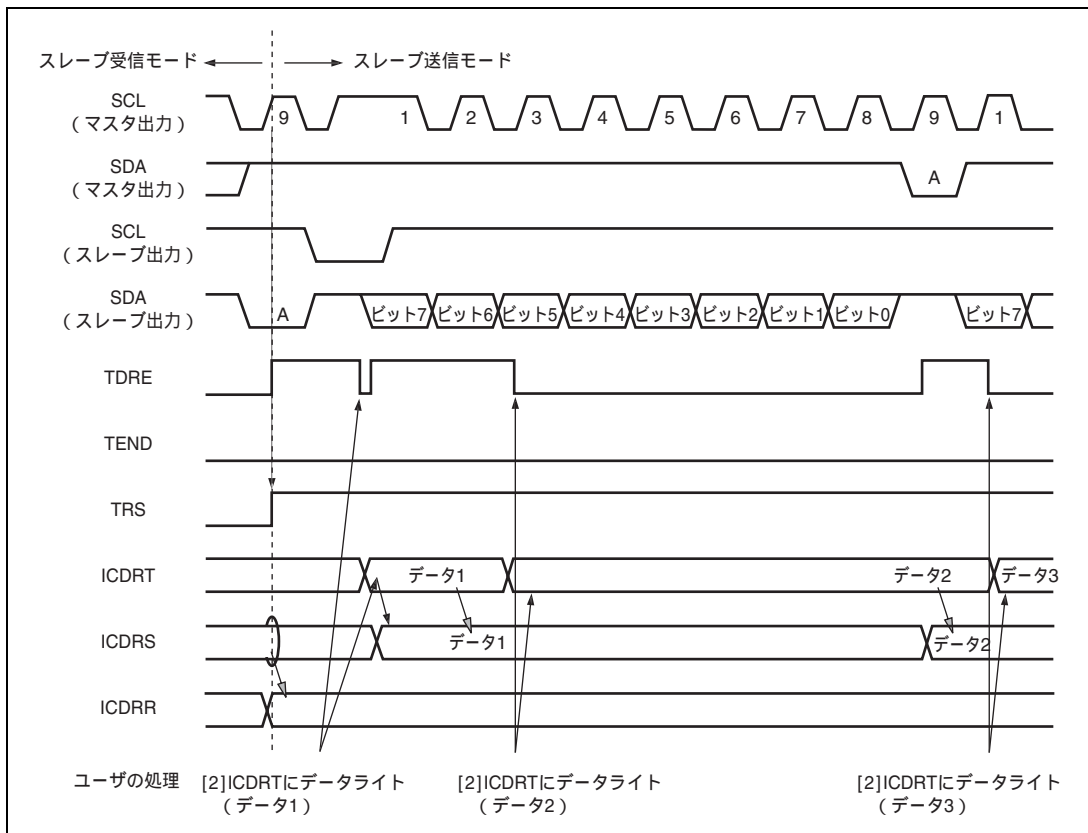


図 18.9 スレーブ送信モード動作タイミング (1)

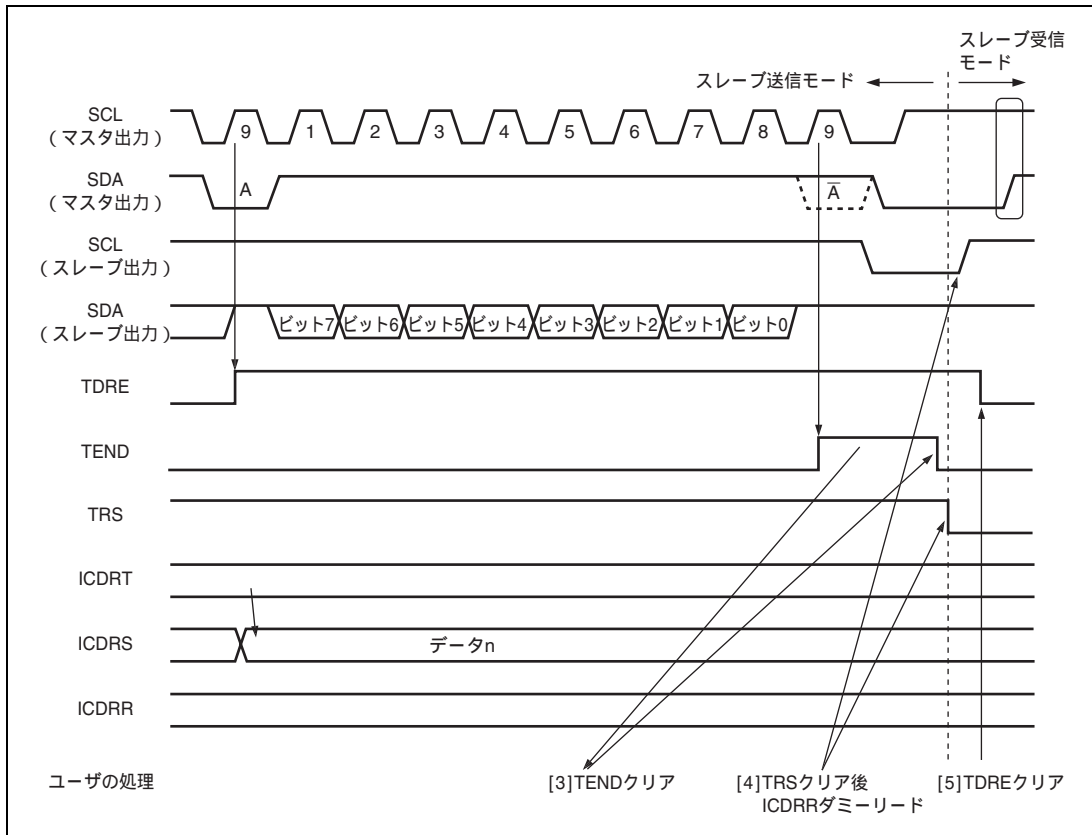


図 18.10 スレーブ送信モード動作タイミング (2)

18.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 18.11 と図 18.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード(リードデータはスレーブアドレス+R/Wを示すので不要)します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下がるまでICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

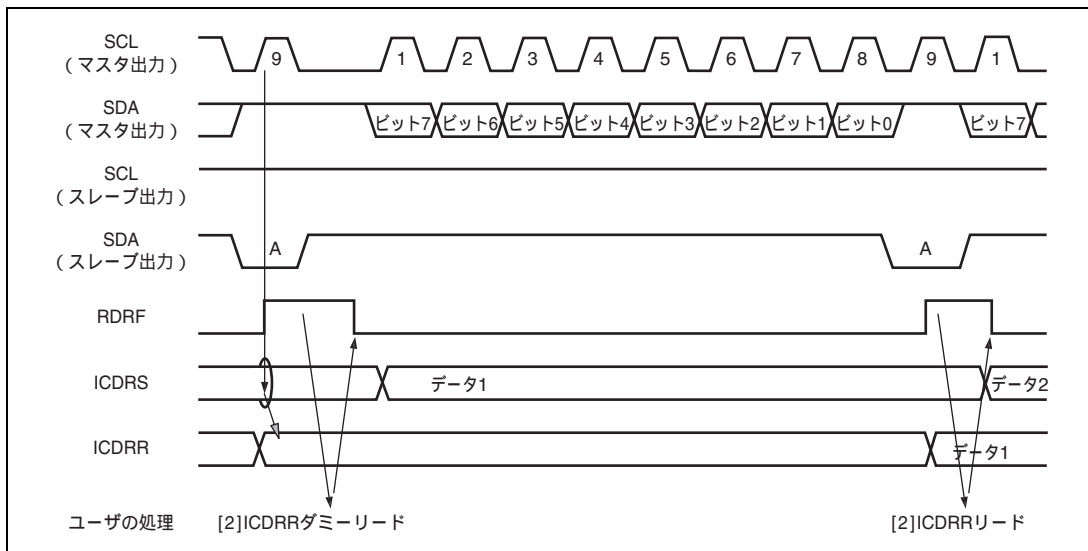


図 18.11 スレーブ受信モード動作タイミング (1)

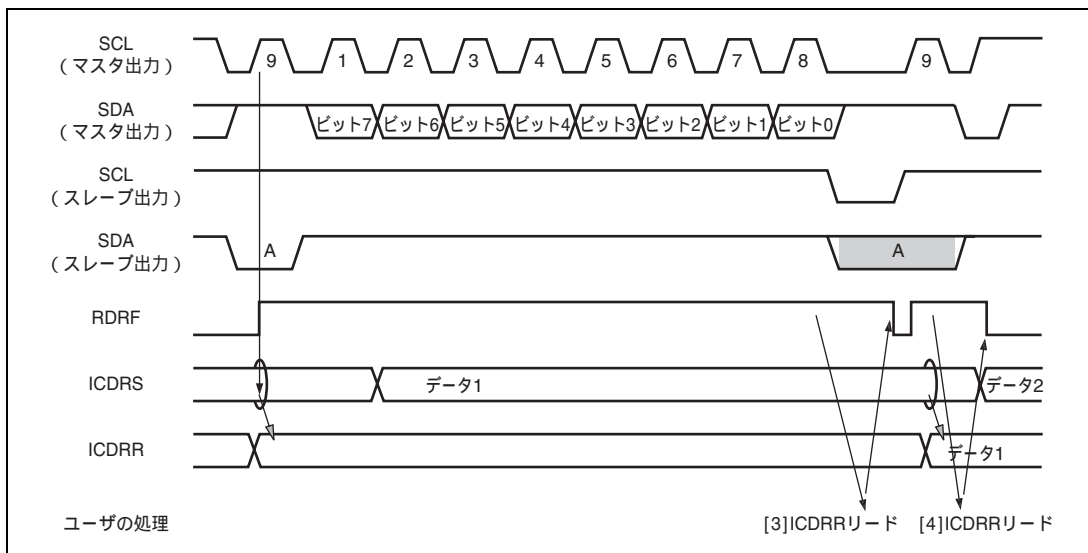


図 18.12 スレーブ受信モード動作タイミング (2)

18.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき転送クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルフォーマットの転送フォーマットを図 18.13 に示します。

転送データは SCL クロックの立ち下がりから立ち上がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

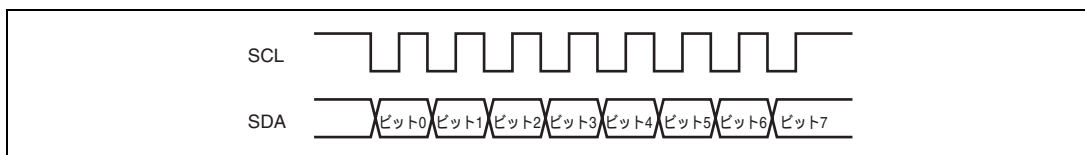


図 18.13 クロック同期式シリアルフォーマットの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 18.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS[3:0]などを設定します（初期設定）。
2. ICCR1のTRSを設定して送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

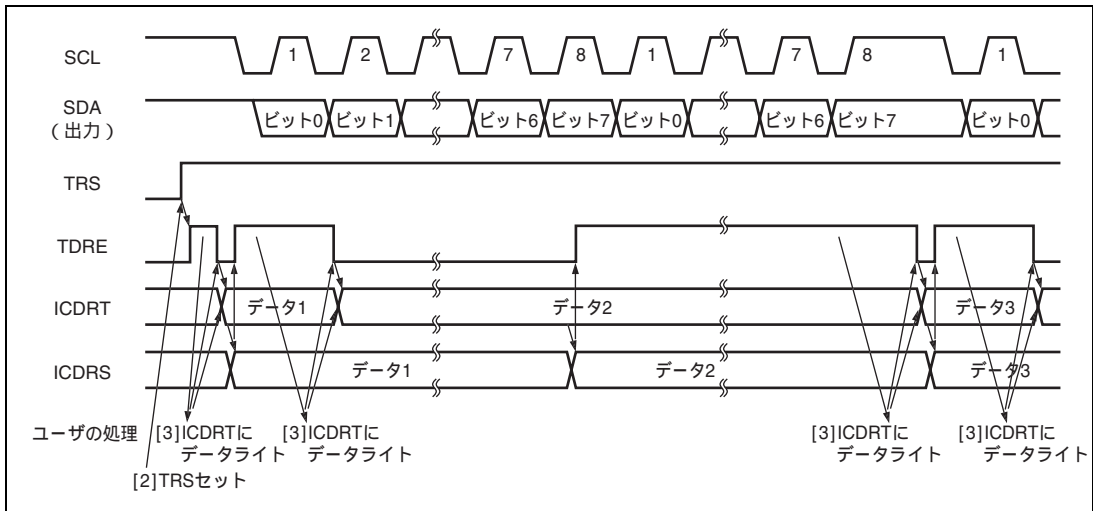


図 18.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。受信モード動作タイミングについては図 18.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]等を設定します（初期設定）。
2. 転送クロックを出力時、MST=1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST=1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST=1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

【注】 MST=1で1バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 18.16 を参照してください。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR1のRCVDビットが0の状態、MST=1にセットします。これにより受信クロックの出力を開始します。
3. ICMRのBC[2]ビットが1にセットされたことを確認後、ICCR1のRCVD=1にセットしてください。これにより受信クロックを1バイト分出力した後、SCLがHighレベルに固定されます。

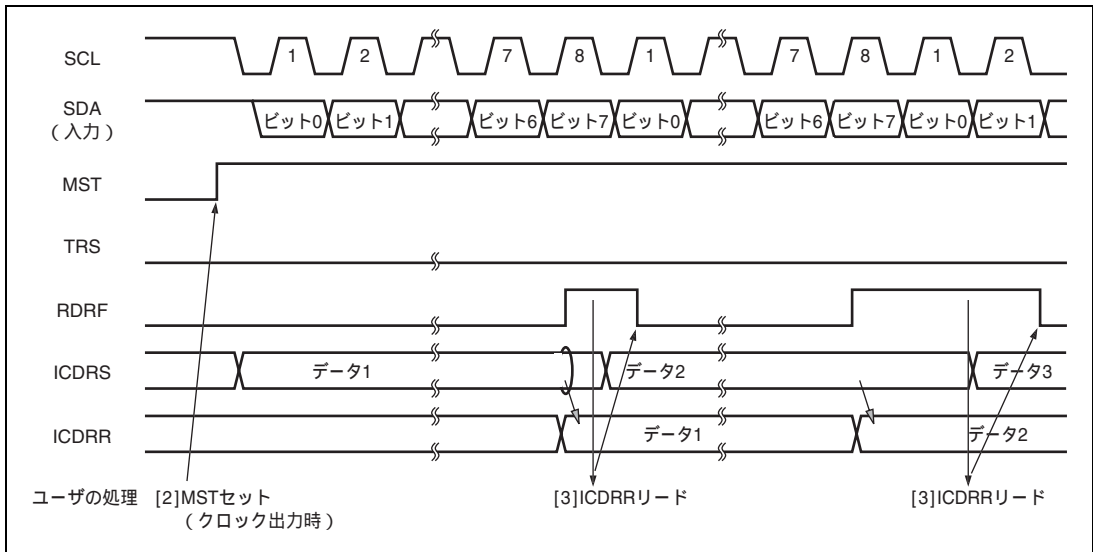


図 18.15 受信モード動作タイミング

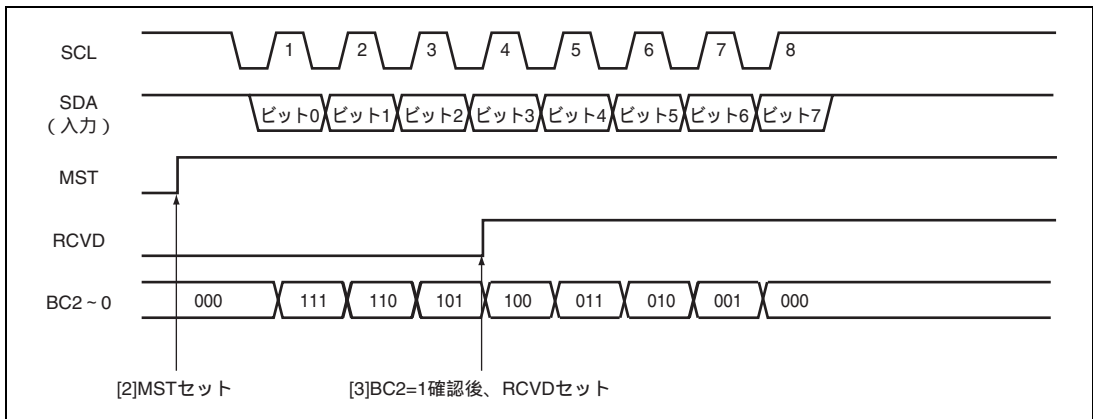


図 18.16 1 バイト受信動作タイミング (MST = 1)

18.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 18.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、NF2CYC レジスタが 0 のときは、2 つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが 1 のときは、3 つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

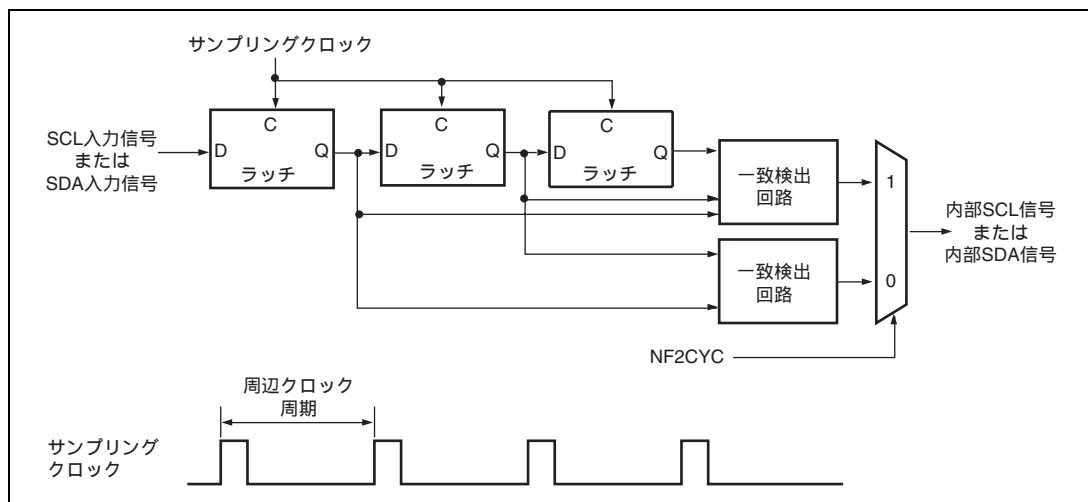


図 18.17 ノイズ除去回路のブロック図

18.4.8 使用例

I²C バスインタフェース 3 を使用する場合の各モードでのフローチャート例を図 18.18 ~ 図 18.21 に示します。

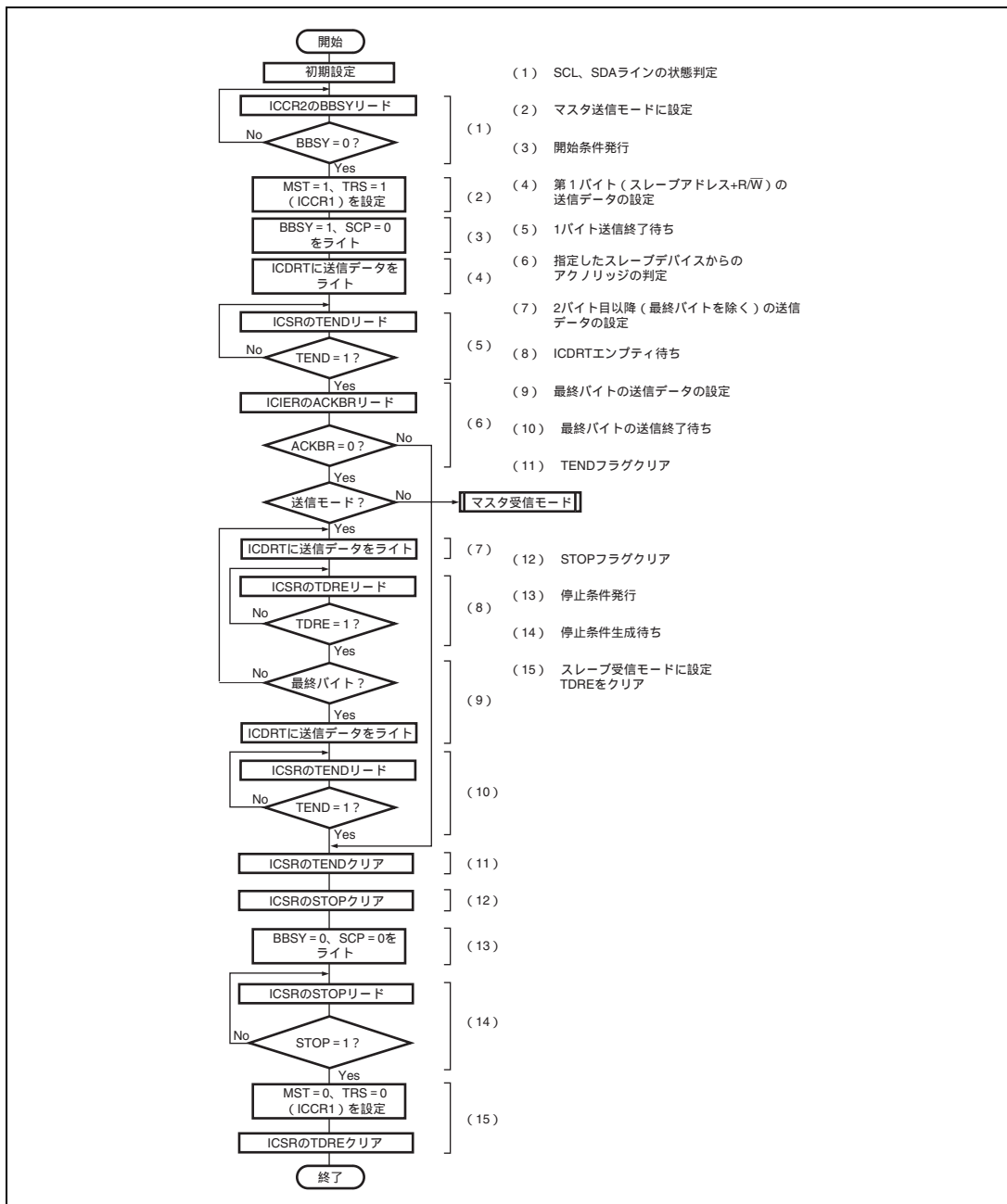


図 18.18 マスタ送信モードのフローチャート例

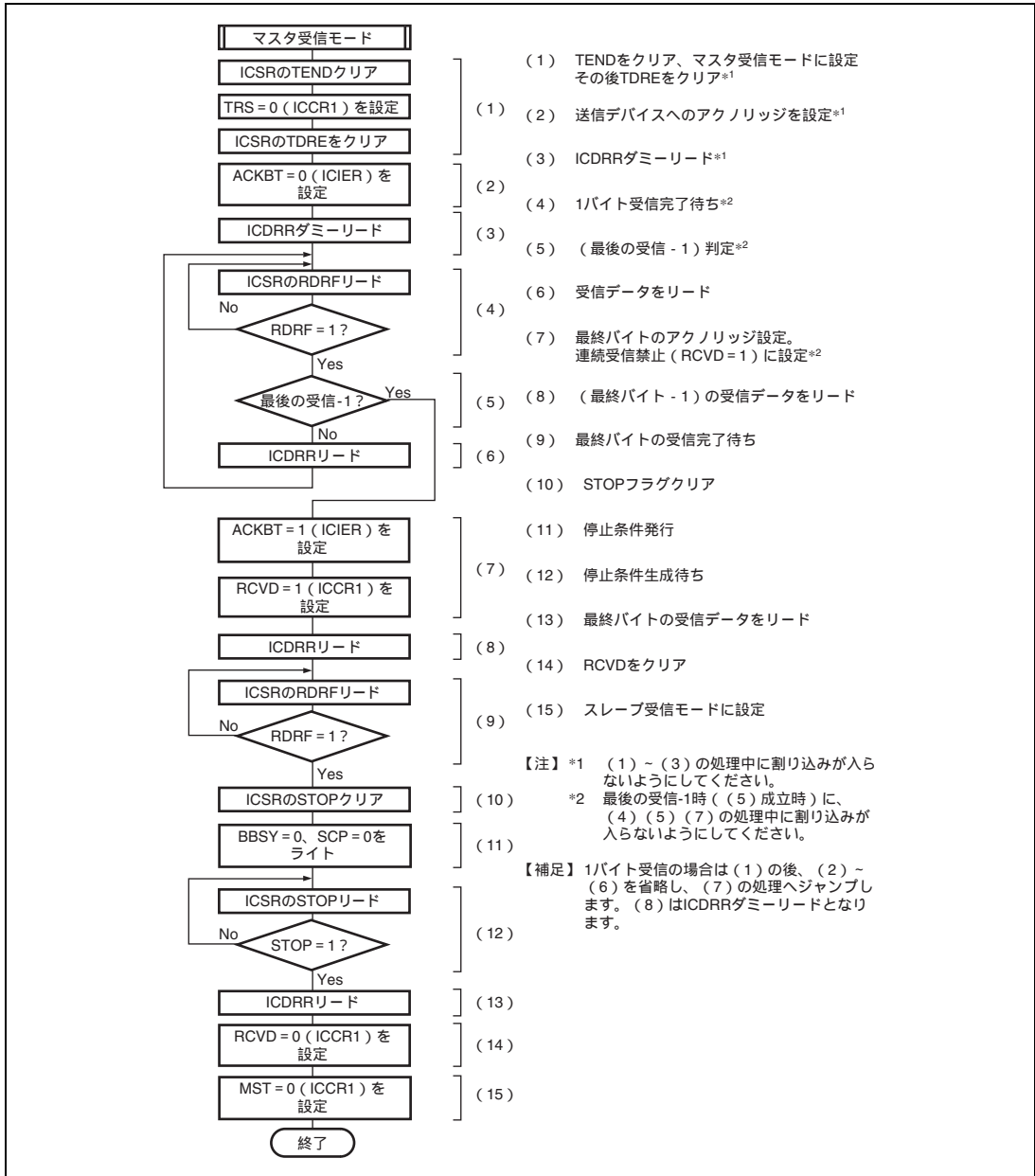


図 18.19 マスタ受信モードのフローチャート例

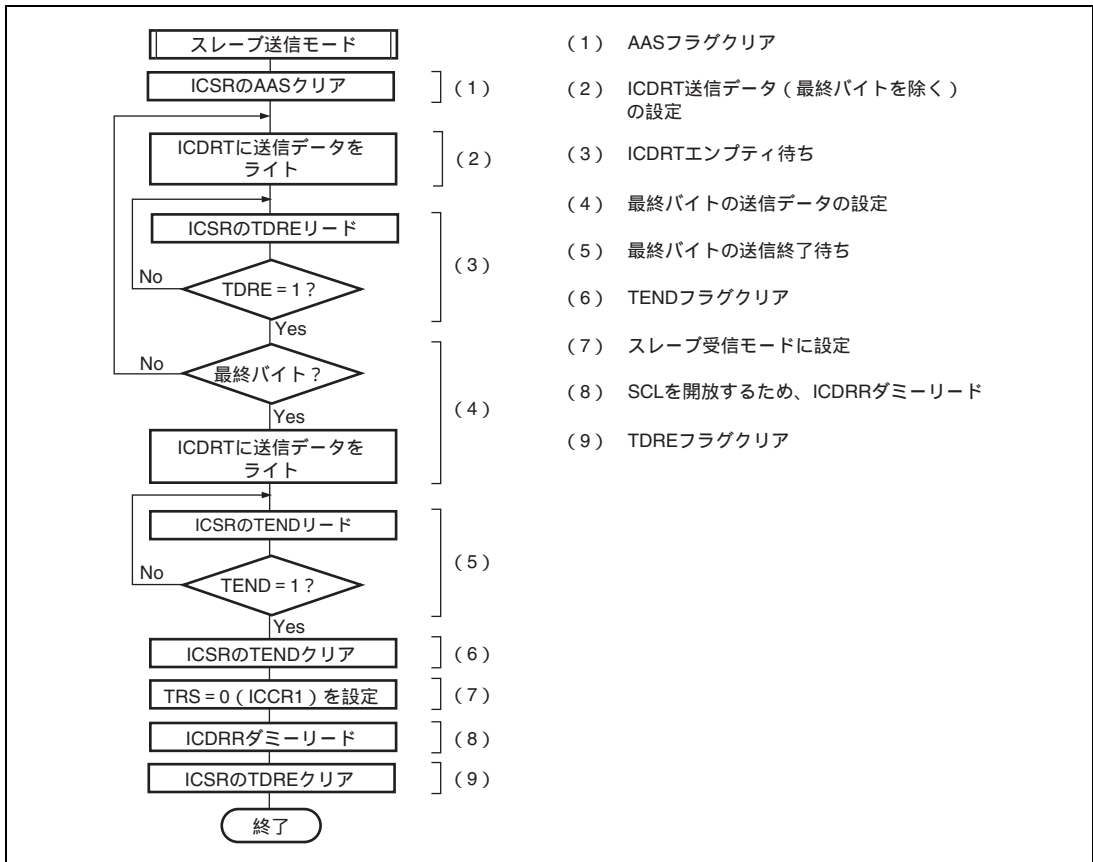


図 18.20 スレーブ送信モードのフローチャート例

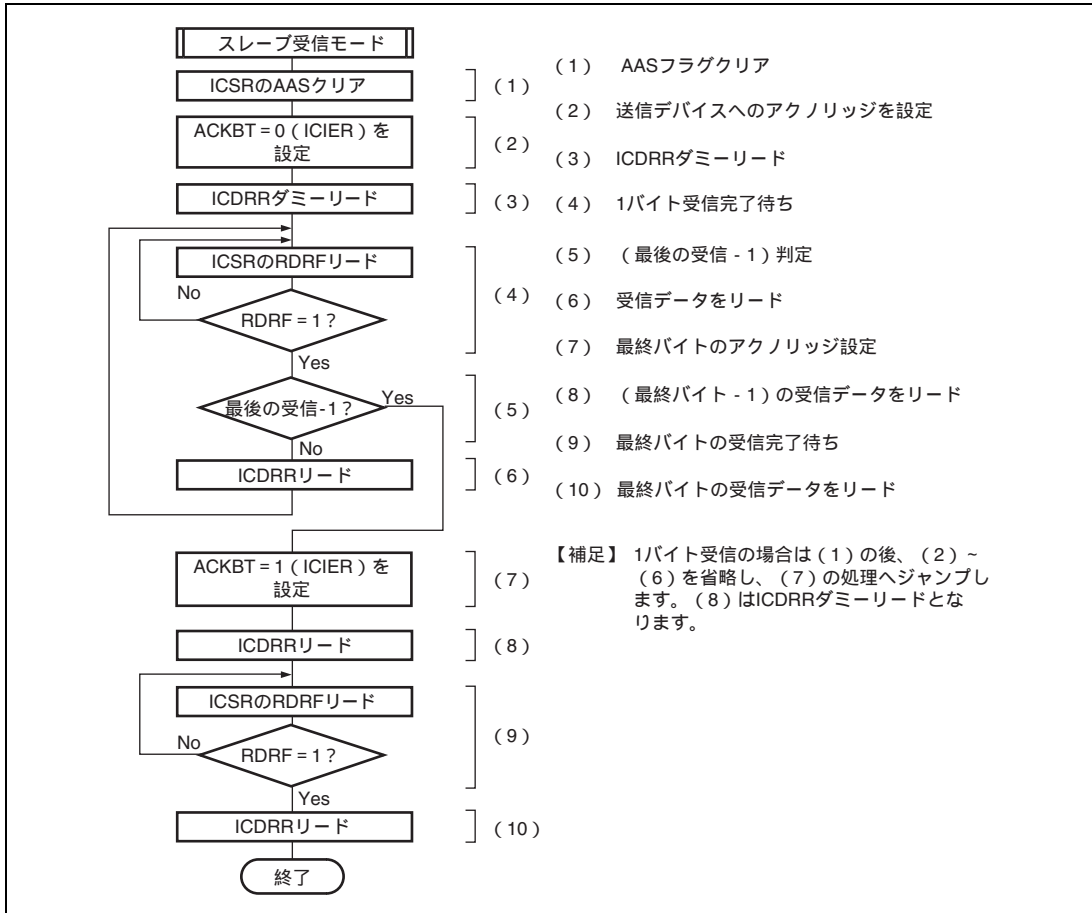


図 18.21 スレープ受信モードのフローチャート例

18.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト/オーバランエラーの 6 種類があります。表 18.4 に各割り込み要求の内容を示します。

表 18.4 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C バス フォーマット	クロック同期式 シリアル フォーマット
送信データエンプティ	TXI	$(TDRE = 1) \cdot (TIE = 1)$		
送信終了	TEI	$(TEND = 1) \cdot (TEIE = 1)$		
受信データフル	RXI	$(RDRF = 1) \cdot (RIE = 1)$		
停止条件検出	STPI	$(STOP = 1) \cdot (STIE = 1)$		×
NACK 検出	NAKI	$\{(NACKF = 1) + (AL = 1)\} \cdot (NAKIE = 1)$		×
アービトレーションロスト/ オーバランエラー				

表 18.4 の割り込み条件が 1 のとき、CPU は割り込み例外処理を実行します。なお TXI と RXI は、DMAC の起動設定を行っている場合は、DMAC を起動できます。その場合、CPU への割り込みは発生しません。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

18.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 18.22 に、SCL を Low 出力 Hi-Z にしてから SCL をモニタするまでの時間を表 18.5 に示します。

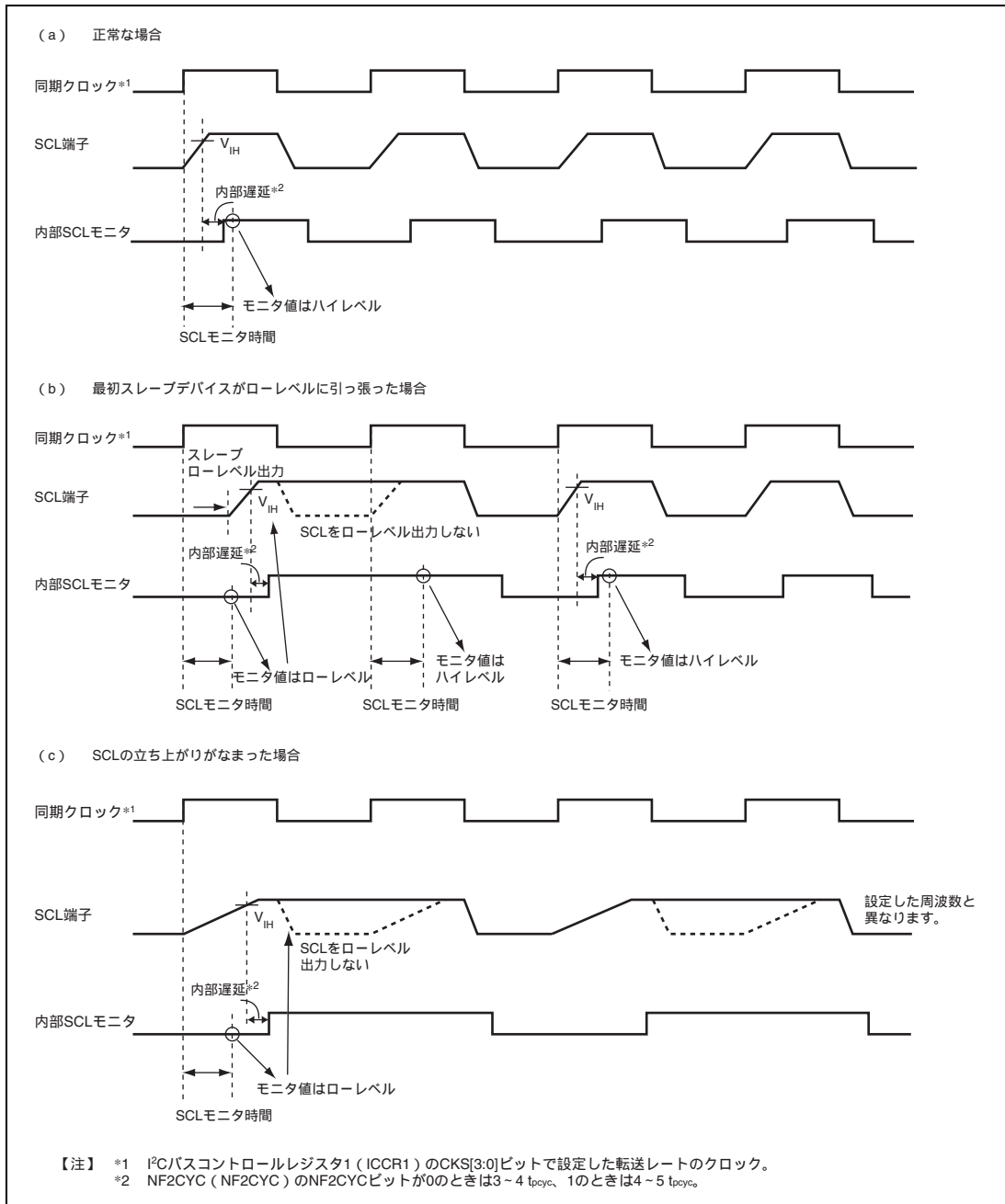


図 18.22 ビット同期回路のタイミング

表 18.5 SCL をモニタする時間

CKS[3]	CKS[2]	SCL をモニタする時間
0	0	9 tpcyc*
	1	21 tpcyc*
1	0	39 tpcyc*
	1	87 tpcyc*

【注】 * tpcyc は周辺クロック (P) の同期を示します。

18.7 使用上の注意事項

18.7.1 マルチマスタで使用時の注意

マルチマスタで使用し、本 LSI の IIC 転送ルートの設定 (ICCR1 CKS[3:0]) が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。

他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定する必要があります。

18.7.2 マスタ受信モード時の注意

8 クロック目の立ち下がり付近で ICDRR をリードした場合、受信データが取れなくなる場合があります。

また、受信バッファフルかつ 8 クロック目の立ち下がり付近で RCVD = 1 に設定すると、停止条件の発行ができなくなる場合があります。

以下の、1.か2.の方法どちらかで対応してください。

1. マスタ受信モードでICDRRをリードする処理は8クロックの立ち上がりまでに行ってください。
2. マスタ受信モードはRCVD = 1にし、1バイトごとの通信で処理を行ってください。

18.7.3 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの 8 つ目の SCL が立ち下がる前に ACKBT を設定してください。スレーブ送信側デバイスがオーバーランする恐れがあります。

18.7.4 アービトレーションロスト時の MST と TRN ビットの状態についての注意

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL = 1 かつマスタ送信モード (MST = 1、TRS = 1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MST、TRSの設定はMOV命令で行ってください。
- アービトレーションロストした場合、MST = 0、TRS = 0を確認してください。

万一、MST = 0、TRS = 0 以外の状態の場合、MST = 0、TRS = 0 を設定し直してください。

18.7.5 I²C バスインタフェースモードのマスタ受信モード時の注意事項

マスタ受信完了後、SCL の 9 クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

18.7.6 IICRST、BBSY ビットに関する注意事項

ICCR2 の IICRST ビットに 1 をライトすると、本 LSI は SCL、SDA 端子を解放します。そのとき、端子が SCL = High レベルの状態でも SDA が Low レベルから High レベルに変化すると、停止条件と認識して ICCR2 の BBSY

ビットが 0 にクリアされます。

18.7.7 マスタ送信モード、ACKE ビット = 1 設定時における停止条件発行の注意

マスタ送信モードかつ I²C バスインタラプトイネーブルレジスタ (ICIER) の ACKE ビット = 1 設定で停止条件を発行したとき、発行するタイミングにより停止条件が正常に出力されないことがあります。

この現象を回避するためには、9 クロック目の立ち下がりを経験してから、停止条件の発行を行ってください。9 クロック目の立ち下がりには、I²C バスコントロールレジスタ 2 (ICCR2) の SCLO ビットをチェックすることにより認識することができます。

19. FIFO 内蔵シリアルサウンドインタフェース (SSIF)

FIFO 内蔵シリアルサウンドインタフェース (SSIF) は、I²S バスと互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、マルチチャンネルモードにも対応しています。

19.1 特長

- チャンネル数：6チャンネル
- 動作モード：非圧縮モード
 - 非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- トランスマッタまたはレシーバのいずれとしても動作可能
- シリアルバスフォーマットを使用可能
- データバッファとシフトレジスタ間は非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能
- DMACまたは割り込みで、データ送受信を制御可能
- オーバサンプルクロックを以下の端子から選択可能

EXTAL、XTAL (クロック動作モード0、1：10～33.33MHz)

CKIO (クロック動作モード2：40～50MHz*)

AUDIO_CLK (1～40MHz)

AUDIO_X1、AUDIO_X2 (水晶発振子接続時：10～40MHz、外部クロック入力時：1～40MHz)

【注】 * クロック動作モード2でCKIOの周波数を50MHz超で使用する場合は、オーバサンプルクロックの供給源をCKIOに設定しないでください。

- 送受信兼用8段FIFOバッファ内蔵

図 19.1 に SSIF モジュールの概略図を示します。

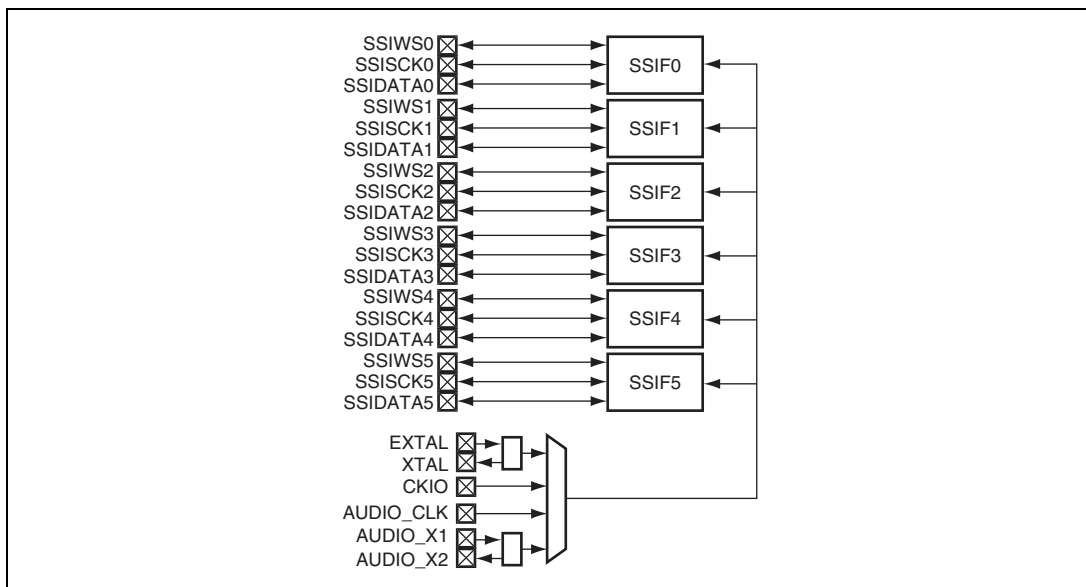


図 19.1 SSIF モジュールの概略図

図 19.2 に SSIF のブロック図を示します。

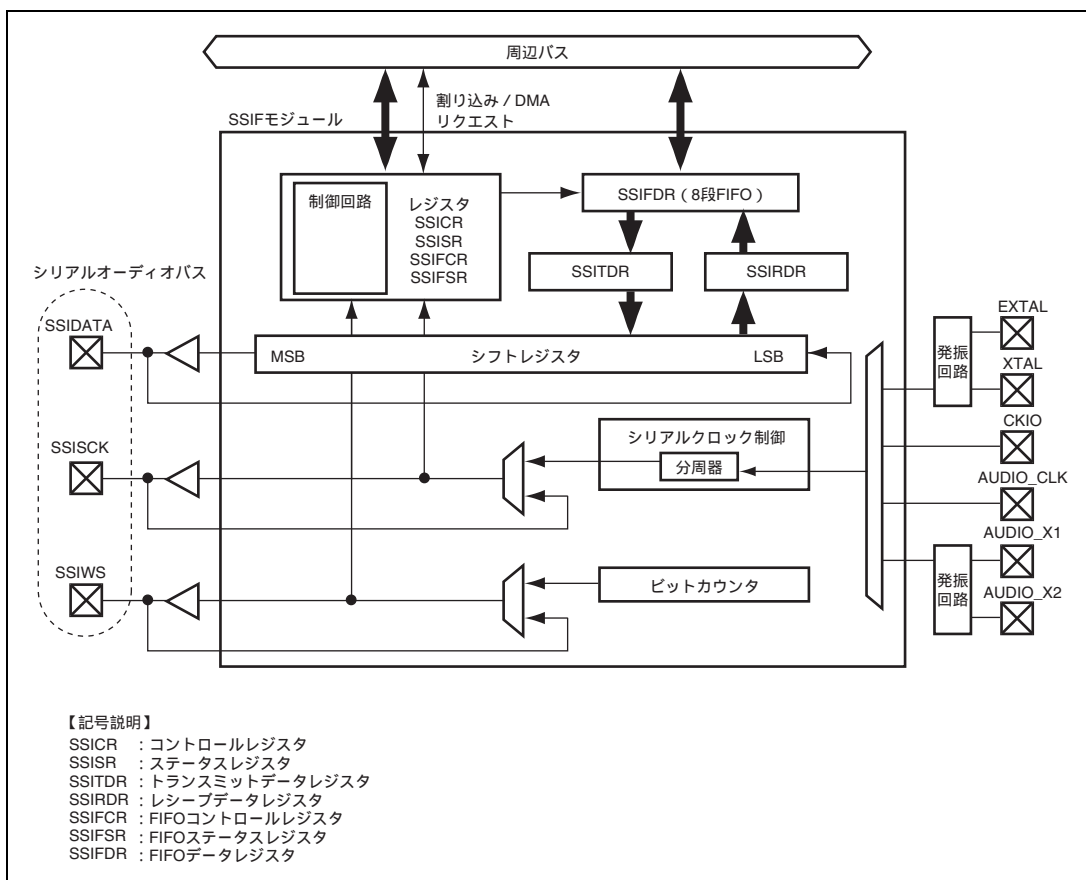


図 19.2 SSIF のブロック図

19.2 入出力端子

SSIF モジュールに関する端子構成を表 19.1 に示します。

表 19.1 端子構成

チャンネル	名称	入出力	機能
0 ~ 5	SSISCK0 ~ SSISCK5	入出力	シリアルビットクロック
	SSIWS0 ~ SSIWS5	入出力	ワード選択
	SSIDATA0 ~ SSIDATA5	入出力	シリアルデータ入出力
共通	AUDIO_CLK	入力	オーディオ用外部クロック (オーバーサンプルクロックを入力)
	AUDIO_X1	入力	オーディオ用水晶発振子 (オーバーサンプルクロックを入力)
	AUDIO_X2	出力	

19.3 レジスタの説明

SSIF には以下のレジスタがあります。また本文中では、チャンネルによる区別を省略して説明しています。

表 19.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	コントロールレジスタ 0	SSICR_0	R/W	H'00000000	H'FFFEB000	8、16、32
	ステータスレジスタ 0	SSISR_0	R/W ^{*1}	H'02000003	H'FFFEB004	8、16、32
	FIFO コントロールレジスタ 0	SSIFCR_0	R/W	H'00000000	H'FFFEB010	8、16、32
	FIFO ステータスレジスタ 0	SSIFSR_0	R/(W) ^{*2}	H'00000002	H'FFFEB014	8、16、32
	FIFO データレジスタ 0	SSIFDR_0	R/W ^{*3}	不定	H'FFFEB018	32
1	コントロールレジスタ 1	SSICR_1	R/W	H'00000000	H'FFFEB400	8、16、32
	ステータスレジスタ 1	SSISR_1	R/W ^{*1}	H'02000003	H'FFFEB404	8、16、32
	FIFO コントロールレジスタ 1	SSIFCR_1	R/W	H'00000000	H'FFFEB410	8、16、32
	FIFO ステータスレジスタ 1	SSIFSR_1	R/(W) ^{*2}	H'00000002	H'FFFEB414	8、16、32
	FIFO データレジスタ 1	SSIFDR_1	R/W ^{*3}	不定	H'FFFEB418	32
2	コントロールレジスタ 2	SSICR_2	R/W	H'00000000	H'FFFEB800	8、16、32
	ステータスレジスタ 2	SSISR_2	R/W ^{*1}	H'02000003	H'FFFEB804	8、16、32
	FIFO コントロールレジスタ 2	SSIFCR_2	R/W	H'00000000	H'FFFEB810	8、16、32
	FIFO ステータスレジスタ 2	SSIFSR_2	R/(W) ^{*2}	H'00000002	H'FFFEB814	8、16、32
	FIFO データレジスタ 2	SSIFDR_2	R/W ^{*3}	不定	H'FFFEB818	32
3	コントロールレジスタ 3	SSICR_3	R/W	H'00000000	H'FFFEC000	8、16、32
	ステータスレジスタ 3	SSISR_3	R/W ^{*1}	H'02000003	H'FFFEC004	8、16、32
	FIFO コントロールレジスタ 3	SSIFCR_3	R/W	H'00000000	H'FFFEC010	8、16、32
	FIFO ステータスレジスタ 3	SSIFSR_3	R/(W) ^{*2}	H'00000002	H'FFFEC014	8、16、32
	FIFO データレジスタ 3	SSIFDR_3	R/W ^{*3}	不定	H'FFFEC018	32
4	コントロールレジスタ 4	SSICR_4	R/W	H'00000000	H'FFFEC000	8、16、32
	ステータスレジスタ 4	SSISR_4	R/W ^{*1}	H'02000003	H'FFFEC004	8、16、32
	FIFO コントロールレジスタ 4	SSIFCR_4	R/W	H'00000000	H'FFFEC010	8、16、32
	FIFO ステータスレジスタ 4	SSIFSR_4	R/(W) ^{*2}	H'00000002	H'FFFEC014	8、16、32
	FIFO データレジスタ 4	SSIFDR_4	R/W ^{*3}	不定	H'FFFEC018	32
5	コントロールレジスタ 5	SSICR_5	R/W	H'00000000	H'FFFEC400	8、16、32
	ステータスレジスタ 5	SSISR_5	R/W ^{*1}	H'02000003	H'FFFEC404	8、16、32
	FIFO コントロールレジスタ 5	SSIFCR_5	R/W	H'00000000	H'FFFEC410	8、16、32
	FIFO ステータスレジスタ 5	SSIFSR_5	R/(W) ^{*2}	H'00000002	H'FFFEC414	8、16、32
	FIFO データレジスタ 5	SSIFDR_5	R/W ^{*3}	不定	H'FFFEC418	32

【注】 *1 本レジスタのビット 27 とビット 26 は読み出し / 書き込み可能ですが、それ以外のビットは読み出し専用です。
詳細は、「19.3.2 ステータスレジスタ (SSISR)」を参照してください。

- *2 本レジスタのビット1とビット0はフラグをクリアするために0のみ書き込むことができます。それ以外のビットは読み出し専用です。詳細は、「19.3.6 FIFO ステータスレジスタ (SSIFSR)」を参照してください。
- *3 受信動作時は書き込みできません。詳細は、「19.3.7 FIFO データレジスタ (SSIFDR)」を参照してください。

19.3.1 コントロールレジスタ (SSICR)

SSICR は、読み出し / 書き込み可能な 32 ビットのレジスタで、IRQ の制御、各極性の状態の選択、動作モードの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CKS[1:0]		-	-	UIEN	OIEN	IIEN	-	CHNL[1:0]			DWL[2:0]		SWL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]			MUEN	-	TRMD	EN	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明																								
31, 30	CKS[1:0]	00	R/W	オーバサンプルクロック選択 オーバサンプルクロックの供給源を選択します。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>CKS[1:0]</th><th colspan="3">クロック動作モード</th></tr> <tr> <th>設定値</th><th>0 または 1</th><th>2</th><th>3</th></tr> </thead> <tbody> <tr> <td>00</td><td colspan="3">AUDIO_X1 入力</td></tr> <tr> <td>01</td><td colspan="3">AUDIO_CLK 入力*</td></tr> <tr> <td>10</td><td>EXTAL 入力</td><td>CKIO 入力</td><td>設定禁止</td></tr> <tr> <td>11</td><td colspan="3">設定禁止</td></tr> </tbody> </table> 【注】 * AUDIO_CLK を使用する場合は、ポート H コントロールレジスタ L4 (PHCRL4) の PH15MD0 ビットを 1 に設定してください。	CKS[1:0]	クロック動作モード			設定値	0 または 1	2	3	00	AUDIO_X1 入力			01	AUDIO_CLK 入力*			10	EXTAL 入力	CKIO 入力	設定禁止	11	設定禁止		
CKS[1:0]	クロック動作モード																											
設定値	0 または 1	2	3																									
00	AUDIO_X1 入力																											
01	AUDIO_CLK 入力*																											
10	EXTAL 入力	CKIO 入力	設定禁止																									
11	設定禁止																											
29, 28	-	すべて 0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。																								
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0: アンダフロー割り込みを禁止 1: アンダフロー割り込みを許可																								
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可																								
25	IIEN	0	R/W	アイドルモード割り込みイネーブル 0: アイドルモード割り込みを禁止 1: アイドルモード割り込みを許可																								

ビット	ビット名	初期値	R/W	説明
24	-	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
23, 22	CHNL[1:0]	00	R/W	チャンネル 各システムワードのチャンネル数を示します。 00: 各システムワードは1チャンネルで構成されています。 01: 各システムワードは2チャンネルで構成されています。 10: 各システムワードは3チャンネルで構成されています。 11: 各システムワードは4チャンネルで構成されています。
21 ~ 19	DWL[2:0]	000	R/W	データワード長 データワードのビット数を示します。 000: 8ビット 001: 16ビット 010: 18ビット 011: 20ビット 100: 22ビット 101: 24ビット 110: 32ビット 111: 設定禁止
18 ~ 16	SWL[2:0]	000	R/W	システムワード長 システムワードのビット数を示します。 000: 8ビット 001: 16ビット 010: 24ビット 011: 32ビット 100: 48ビット 101: 64ビット 110: 128ビット 111: 256ビット
15	SCKD	0	R/W	シリアルビットクロック方向 0: シリアルビットクロック入力、スレーブモード 1: シリアルビットクロック出力、マスタモード 【注】(SCKD、SWSD) = (0、0)と(1、1)の設定のみ可能です。それ以外の設定は禁止です。
14	SWSD	0	R/W	シリアル WS 方向 0: シリアルワード選択入力、スレーブモード 1: シリアルワード選択出力、マスタモード 【注】(SCKD、SWSD) = (0、0)と(1、1)の設定のみ可能です。それ以外の設定は禁止です。

ビット	ビット名	初期値	R/W	説明															
13	SCKP	0	R/W	シリアルビットクロック極性 0: SSIWS と SSIDATA は SSISCK の立ち下がりエッジで変化 (SCK 立ち上がりエッジでサンプリング) 1: SSIWS と SSIDATA は SSISCK の立ち上がりエッジで変化 (SCK 立ち下がりエッジでサンプリング) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>SCKP = 0</th> <th>SCKP = 1</th> </tr> </thead> <tbody> <tr> <td>受信時 (TRMD = 0) SSIDATA 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 (TRMD = 1) SSIDATA 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> <tr> <td>スレーブモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP = 0	SCKP = 1	受信時 (TRMD = 0) SSIDATA 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	送信時 (TRMD = 1) SSIDATA 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ	スレーブモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ
	SCKP = 0	SCKP = 1																	
受信時 (TRMD = 0) SSIDATA 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
送信時 (TRMD = 1) SSIDATA 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
スレーブモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
12	SWSP	0	R/W	シリアル WS 極性 0: SSIWS は第 1 チャンネルではローレベル、第 2 チャンネルではハイレベル 1: SSIWS は第 1 チャンネルではハイレベル、第 2 チャンネルではローレベル															
11	SPDP	0	R/W	シリアルパディング極性 0: パディングビットはローレベル 1: パディングビットはハイレベル															
10	SDTA	0	R/W	シリアルデータアライメント 0: シリアルデータ、パディングビットの順に送受信 1: パディングビット、シリアルデータの順に送受信															

ビット	ビット名	初期値	R/W	説明
9	PDTA	0	R/W	<p>パラレルデータアライメント</p> <p>データワード長が 32、16、8 ビットのと看、このビットは意味を持ちません。</p> <p>このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。</p> <p>0 : パラレルデータ (SSITDR、SSIRDR) を左詰め</p> <p>1 : パラレルデータ (SSITDR、SSIRDR) を右詰め</p> <ul style="list-style-type: none"> • DWL = 000 (データワード長 8 ビット時)、PDTA 設定は無視 <p>SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 4 データワードが送受信されます。ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。</p> <ul style="list-style-type: none"> • DWL = 001 (データワード長 16 ビット時)、PDTA 設定は無視 <p>SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 2 データワードが送受信されます。ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。</p> <ul style="list-style-type: none"> • DWL = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 0 (左詰め) <p>SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。ビット 31~ビット (32 - DWL によって設定されたデータワード長のビット数)</p> <p>つまり、DWL = 011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 31~12 が使用されます。他のすべてのビットは無視されるかりザーブビットになります。</p> <ul style="list-style-type: none"> • DWL = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 1 (右詰め) <p>SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。ビット (DWL によって設定されたデータワード長のビット数 - 1) ~ ビット 0</p> <p>つまり、DWL = 011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 19~0 が使用されます。他のすべてのビットは無視されるかりザーブビットになります。</p> <ul style="list-style-type: none"> • DWL = 110 (データワード長 32 ビット時)、PDTA 設定は無視 <p>SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。</p>
8	DEL	0	R/W	<p>シリアルデータディレイ</p> <p>0 : SSIWS と SSIDATA 間で 1 クロックサイクルの遅延</p> <p>1 : SSIWS と SSIDATA 間の遅延なし</p>

ビット	ビット名	初期値	R/W	説明
7-4	CKDV[3:0]	0000	R/W	シリアルオーバサンプルクロック分周比 オーバサンプルクロック (AUDIO) に対するシリアルビットクロックの分周比を設定します。SCKD=0 のとき、これらのビットは無視されます。シリアルビットクロックはシフトレジスタで使われ、SSISCK 端子から供給されます。 0000 : AUDIO 0001 : AUDIO /2 0010 : AUDIO /4 0011 : AUDIO /8 0100 : AUDIO /16 0101 : AUDIO /32 0110 : AUDIO /64 0111 : AUDIO /128 1000 : AUDIO /6 1001 : AUDIO /12 1010 : AUDIO /24 1011 : AUDIO /48 1100 : AUDIO /96 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止
3	MUEN	0	R/W	ミュートイネーブル 0 : SSIF モジュールはミュート状態でない 1 : SSIF モジュールはミュート状態 【注】ミュート状態では、出力するシリアルデータを 0 に置き換えますが、モジュール内部のデータ転送は停止しません。FIFO のデータ数は減少していきますので、送信アンダフローを発生させないためには、SSIFDR にダミーデータを書き込んでください。
2	-	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
1	TRMD	0	R/W	送信 / 受信モード選択 0 : SSIF モジュールは受信モード 1 : SSIF モジュールは送信モード
0	EN	0	R/W	SSIF モジュールイネーブル 0 : SSIF モジュール動作を禁止 1 : SSIF モジュール動作を許可

19.3.2 ステータスレジスタ (SSISR)

SSISR は、SSIF モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	UIRQ	OIRQ	IIRQ	-	-	-	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	0	0	1	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNO[1:0]	SWNO	IDST	
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	-	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
27	UIRQ	0	R/(W)*	アンダフローエラー割り込みステータスフラグ 本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。 このビットは、UIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。 UIRQ = 1 かつ UIEN = 1 のとき、割り込みが発生します。 [TRMD = 0 (受信モード) のとき] UIRQ = 1 のとき、FIFO が空 (DC = H'0) の状態で SSIFDR が読み出されたことを示しています。このとき、無効な受信データが格納される可能性があり、マルチチャンネルデータの破壊につながる恐れがあります。 [TRMD = 1 (送信モード) のとき] UIRQ = 1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャンネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローより深刻です。 【注】アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。

ビット	ビット名	初期値	R/W	説明
26	OIRQ	0	R/(W)*	<p>オーバフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは OIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ = 1 かつ OIEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>OIRQ = 1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャンネルデータの破壊につながる恐れがあります。</p> <p>【注】 オーバフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>OIRQ = 1 のとき、FIFO がフル (DC = H'8) の状態で SSIFDR への書き込みが発生したことを示しています。これによりデータが損失される可能性があり、マルチチャンネルデータの破壊につながる恐れがあります。</p>
25	IIRQ	1	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSIF モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、I IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んででも割り込みをクリアできません。</p> <p>IIRQ = 1 かつ I IEN = 1 のとき、割り込みが発生します。</p> <p>0 : SSIF モジュールはアイドル状態でない 1 : SSIF モジュールはアイドル状態</p>
24~4	-	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
3, 2	CHNO [1:0]	00	R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどのチャンネルのものかを表します。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどのチャンネルのデータを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>

ビット	ビット名	初期値	R/W	説明
1	SWNO	1	R	<p>シリアルワード番号 現在のワード番号を示します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表します。SSIRDR が読み出されたかどうかにかかわらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどちらのシステムワードを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>
0	IDST	1	R	<p>アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。</p> <p>EN = 1 かつシリアルバスが動作中のとき、このビットはクリアされます。このビットは以下の条件のときに自動的に 1 にセットされます。</p> <p>[SSI がマスタトランスミッタ (SWSD = 1 かつ TRMD = 1) のとき]</p> <p>システムワード中送信すべきデータがすべて SSITDR に書き込まれた後で、EN ビットをクリアして現在出力中のシステムワードを終了すると、このビットは 1 にセットされます。</p> <p>[SSI がマスタレシーバ (SWSD = 1 かつ TRMD = 0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>[SSI がスレーブトランスミッタ/レシーバ (SWSD = 0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>【注】現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

【注】 * 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

19.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。SSITDR へ格納する送信データは FIFO データレジスタから自動的に転送されます。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

CPU から SSITDR の読み出し / 書き込みをすることはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

19.3.4 レシーブデータレジスタ (SSIRDR)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。SSIRDR に格納された受信データは FIFO データレジスタへ自動的に転送されます。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

CPU から SSIRDR の読み出し / 書き込みをすることはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

19.3.5 FIFO コントロールレジスタ (SSIFCR)

SSIFCR は、FIFO データレジスタのデータトリガ数、送受信選択、リセットおよび割り込み要求イネーブルの設定を行うレジスタです。また、SSIFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TTRG[1:0]		RTRG[1:0]		-	TIE	RIE	FRST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7、6	TTRG[1:0]	00	R/W	送信データ数トリガ FIFO 送信動作時に、FIFO ステータスレジスタ (SSIFSR) の TDE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。FIFO データレジスタ (SSIFDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDE フラグは 1 にセットされます。 00 : 7 (1) * 01 : 6 (2) * 10 : 4 (4) * 11 : 2 (6) * 【注】* () 内の数値は TDE フラグが 1 にセットされるとき SSIFDR レジスタの空き段数を意味します。
5、4	RTRG[1:0]	00	R/W	受信データ数トリガ FIFO 受信動作時に、FIFO ステータスレジスタ (SSIFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。FIFO データレジスタ (SSIFDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。 00 : 1 01 : 2 10 : 4 11 : 6
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2	TIE	0	R/W	<p>送信インタラプトイネーブル</p> <p>FIFO 送信動作時に、FIFO データレジスタ (SSIFDR) からトランスミットデータレジスタ (SSITDR) へシリアル送信データが転送され、FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、FIFO ステータスレジスタ (SSIFSR) の TDE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。</p> <p>0: 送信データエンプティ割り込み (TXI) 要求を禁止</p> <p>1: 送信データエンプティ割り込み (TXI) 要求を許可*</p> <p>【注】* TXI の解除は、TDE フラグの 0 クリア (詳細は TDE ビットの説明参照) が、TIE を 0 にクリアすることで行うことができます。</p>
1	RIE	0	R/W	<p>受信インタラプトイネーブル</p> <p>FIFO 受信動作時に、FIFO ステータスレジスタ (SSIFSR) の RDF フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求の発生を許可 / 禁止します。</p> <p>0: 受信データフル割り込み (RXI) 要求を禁止</p> <p>1: 受信データフル割り込み (RXI) 要求を許可*</p> <p>【注】* RXI 割り込み要求の解除は、RDF フラグの 0 クリア (詳細は RDF ビットの説明参照) が、RIE ビットを 0 にクリアすることで行えます。</p>
0	FRST	0	R/W	<p>FIFO データレジスタリセット</p> <p>FIFO データレジスタ内のデータを無効にし、データを空の状態にリセットします。</p> <p>0: リセット動作を禁止*</p> <p>1: リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>

19.3.6 FIFO ステータスレジスタ (SSIFSR)

SSIFSR は、FIFO データレジスタの動作状態を示すステータスフラグで構成されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	DC[3:0]			-	-	-	-	-	-	-	TDE	RDF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*R/(W)*	R/(W)*R/(W)*

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~8	DC[3:0]	0000	R	SSIFDR に格納されたデータ数を示します。 ・送信動作時: H'0 は送信データがないことを、H'8 は 32 バイトの送信データが SSIFDR に格納されていることを示します。 ・受信動作時: H'0 は受信データがないことを、H'8 は 32 バイトの受信データが SSIFDR 格納されていることを示します。
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
1	TDE	1	R/(W)*	<p>送信データエンプティ</p> <p>FIFO 送信動作時に、FIFO データレジスタ (SSIFDR) からトランスミットデータレジスタ (SSITDR) にデータが転送され、SSIFDR のデータ数が FIFO コントロールレジスタ (SSIFCR) の TTRG[1:0]で指定した送信トリガデータ数より少なくなり、SSIFDR への送信データの書き込みが許可されることを示します。</p> <p>0 : SSIFDR の送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 指定送信トリガ数より多いデータを SSIFDR に書き込み、TDE に 0 を書き込んだとき 送信データエンプティ割り込み (TXI) により DMAC を起動し、指定送信トリガ数より多いデータを SSIFDR に書き込んだとき <p>1 : SSIFDR の送信データ数が指定送信トリガ数以下であることを*1を表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット SSIFDR に格納された送信データ数が指定送信トリガ数以下になったとき <p>【注】*1 SSIFDR は 8 段の FIFO レジスタであるため、TDE = 1 の状態で書き込むことができるデータの最大数は「8 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SSIFDR のデータ数は SSIFSR の DC ビットで示されます。</p>
0	RDF	0	R/(W)*	<p>受信データフル</p> <p>FIFO 受信動作時に、受信データが FIFO データレジスタ (SSIFDR) に転送され、SSIFDR のデータ数が FIFO コントロールレジスタ (SSIFCR) の RTRG[1:0]で指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SSIFDR の受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセット FRST に 1 を書き込んで FIFO を空にした後、RDF に 0 を書き込んだとき SSIFDR の受信データ数が指定受信トリガ数より少なくなるまで SSIFDR を読み出し、RDF に 0 を書き込んだとき 受信データフル割り込み (RXI) により DMAC を起動し、SSIFDR の受信データ数が指定受信トリガ数より少なくなるまで SSIFDR を読み出したとき <p>1 : SSIFDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 指定受信トリガ数以上の受信データ数が SSIFDR に格納される時*1 <p>【注】*1 SSIFDR は 8 段の FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SSIFDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SSIFDR のデータ数は SSIFSR の DC ビットで示されます。</p>

【注】 * 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

19.3.7 FIFO データレジスタ (SSIFDR)

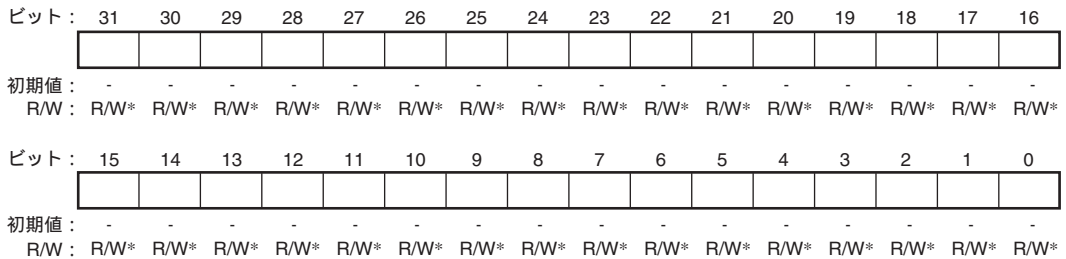
FIFO 送信動作時に、SSIFDR は、シリアル送信するデータを格納する 32 ビット×8 段 FIFO レジスタです。SSI は、トランスミットデータレジスタ (SSITDR) の空を検出すると、SSIFDR に書き込まれた送信データを SSITDR に転送してシリアル送信を開始します。SSIFDR の送信データが空になるまで連続シリアル送信ができます。

SSIFDR は常に CPU による書き込みが可能です。

SSIFDR が送信データでいっぱい (32 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

FIFO 受信動作時に、SSIFDR は、受信したシリアルデータを格納する 32 ビット×8 段 FIFO レジスタです。SSI は、4 バイトのシリアルデータの受信が終了すると、レシーブデータレジスタ (SSIRDR) から SSIFDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。32 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SSIFDR から読み出しはできますが書き込みはできません。FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SSIFDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。



【注】* FIFO受信動作時は書き込みできません。

19.4 動作説明

19.4.1 バスフォーマット

SSIF モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 19.3 に示す 4 つの主要なモードから選択できます。

表 19.3 SSIF モジュールのバスフォーマット

	TRMD	SCKD	SWSD	EN	MUEN	DIEN	IIEN	OIEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL [2:0]	DWL [2:0]	CHNL [1:0]
非圧縮スレーブレシーバ	0	0	0	コントロールビット						コンフィギュレーションビット								
非圧縮スレーブトランスミッタ	1	0	0															
非圧縮マスタレシーバ	0	1	1															
非圧縮マスタトランスミッタ	1	1	1															

19.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。I²S 互換フォーマットだけでなく、多数の改良版にも対応しています。

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSIF モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSIF モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はオーバサンブルクロックから内部生成されます。これらの信号のフォーマットは SSIF モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はオーバサンブルクロックから内部生成されます。これらの信号のフォーマットは SSIF モジュールのコンフィギュレーションビットの設定に従います。

(5) 動作設定 - ワード長関連

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSIF モジュールは多数のコンフィギュレーションをサポートできますが、ここでは I²S 互換、MSB ファースト・左詰め、MSB ファースト・右詰めの各フォーマットについて説明します。

- I²S互換フォーマット

図 19.3、図 19.4 に、パディングなしとパディングありの I²S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

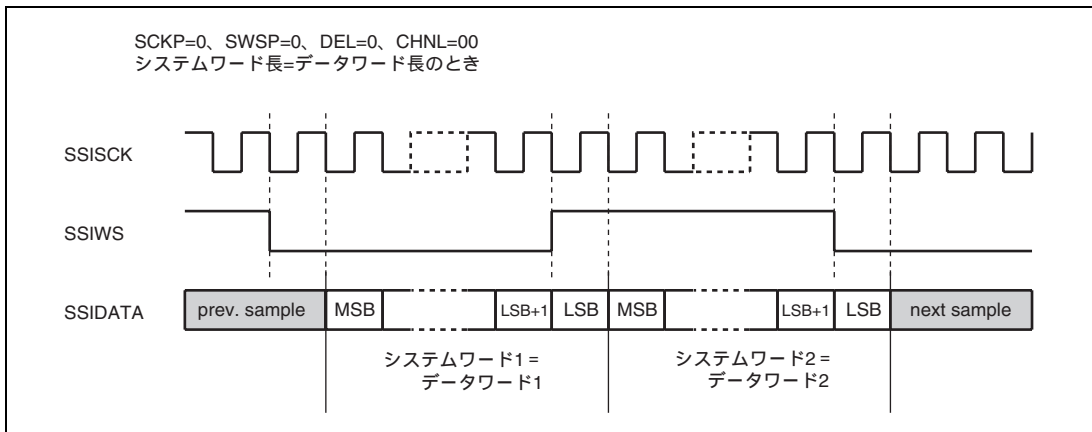
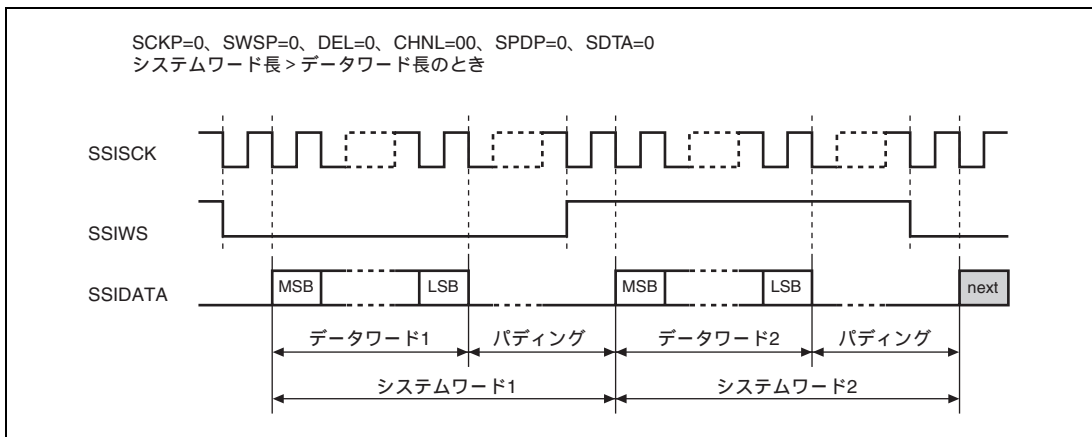
図 19.3 I²S 互換フォーマット (パディングなし)図 19.4 I²S 互換フォーマット (パディングあり)

図 19.5 に MSB ファースト・左詰めフォーマットを、図 19.6 に MSB ファースト・右詰めのフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

- MSBファースト・左詰めフォーマット

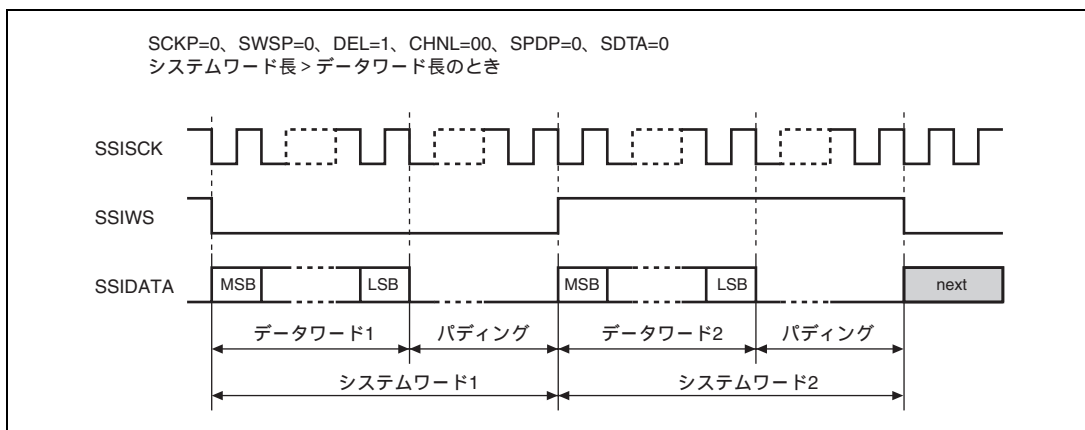


図 19.5 MSB ファースト・左詰めフォーマット (シリアルデータ、パディングビットの順に送受信)

- MSBファースト・右詰めフォーマット

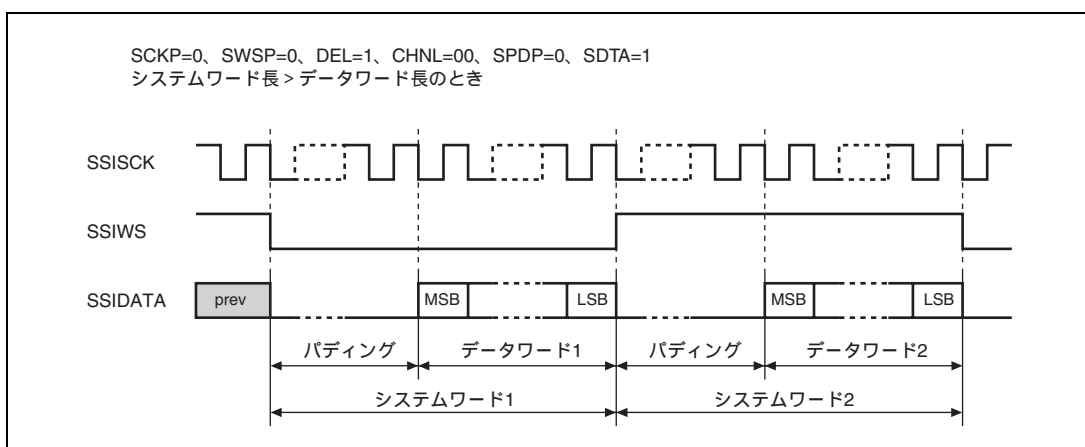


図 19.6 MSB ファースト・右詰めフォーマット (パディングビット、シリアルデータの順に送受信)

(6) マルチチャンネルフォーマット

I²S バス仕様の定義を拡張し、2 システムワード中に 2 より多いチャンネルの転送を行うデバイスタイプもあります。

SSIF モジュールは、CHNL、SWL および DWL ビットを使って、4、6、および 8 チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 19.4 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

表 19.4 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとに デコードされるチャンネル	SWL [2:0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

SSIF モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。SSIF モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 19.7～図 19.9 に、4、6 および 8 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。図 19.7 はパディングビットがない場合、図 19.8 は左詰めの場合、図 19.9 は右詰めの場合を示します。これらの例は、すべて任意の例です。

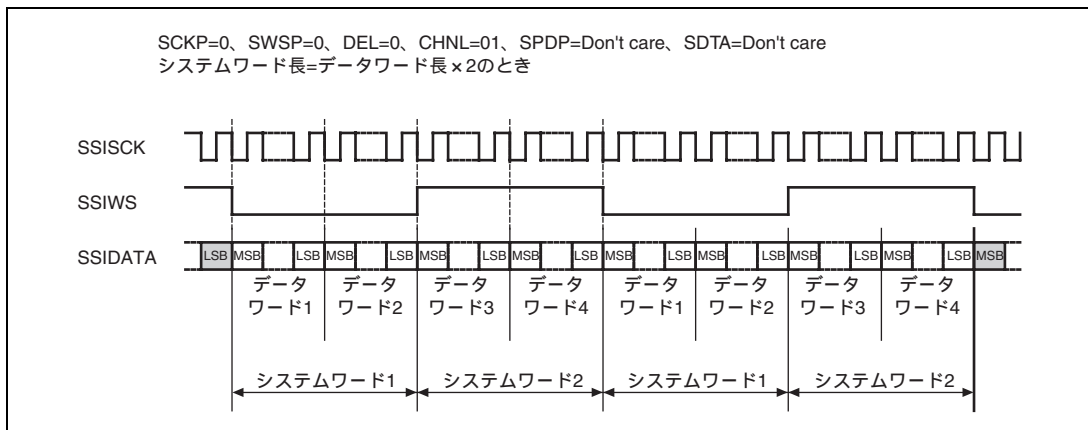


図 19.7 マルチチャンネルフォーマット (4 チャンル、パディングなし)

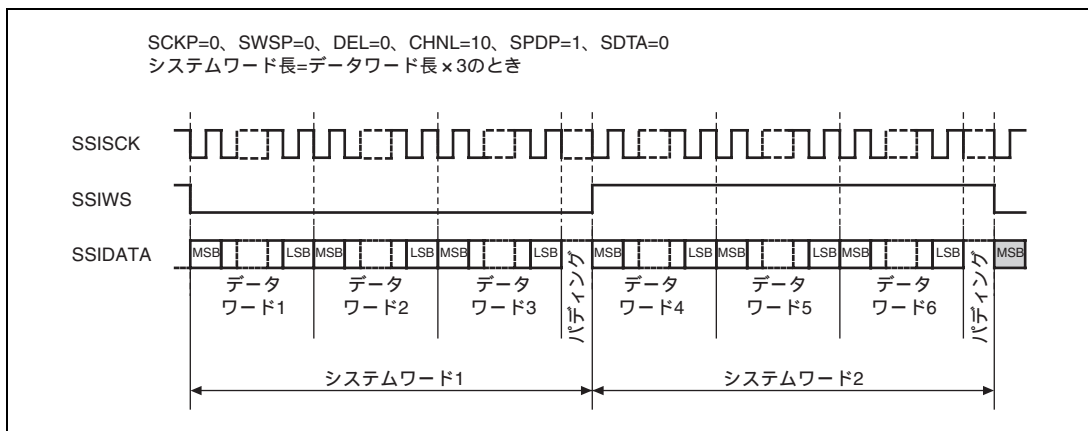


図 19.8 マルチチャンネルフォーマット (6 チャンル、High パディング)

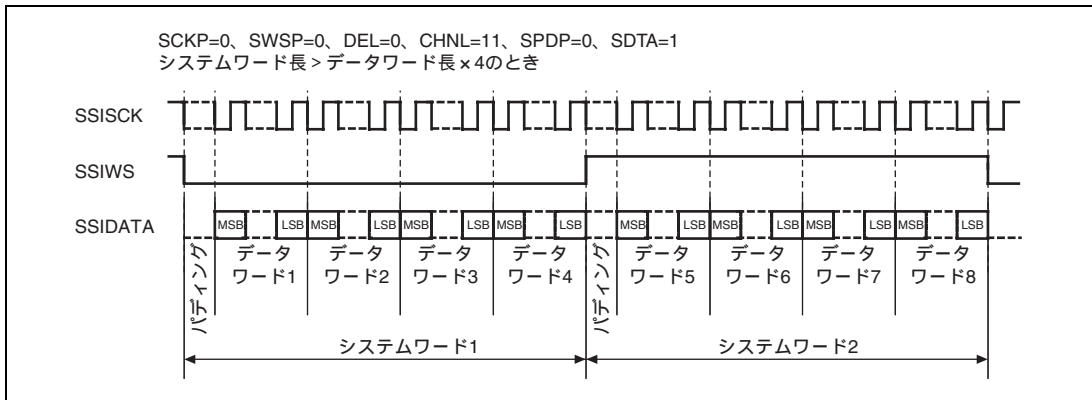


図 19.9 マルチチャンネルフォーマット

(8 チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり)

(7) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 19.10 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

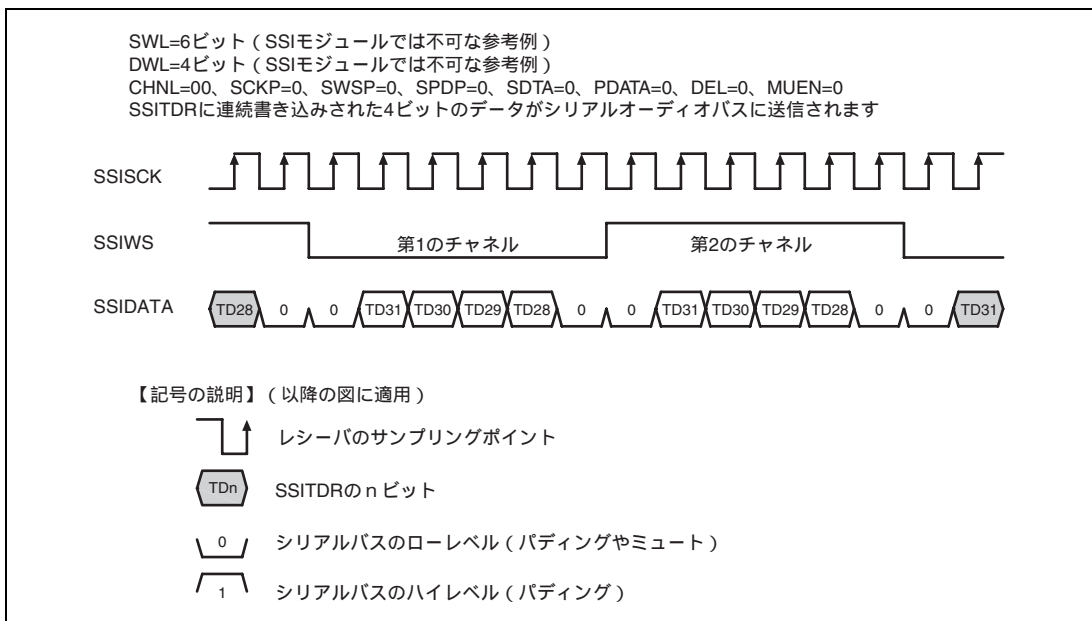


図 19.10 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 19.10 の例では、6 ビットのシステムワードと 4 ビットのデータワードが使用されます。これらの設定は SSIF モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

- 反転クロック

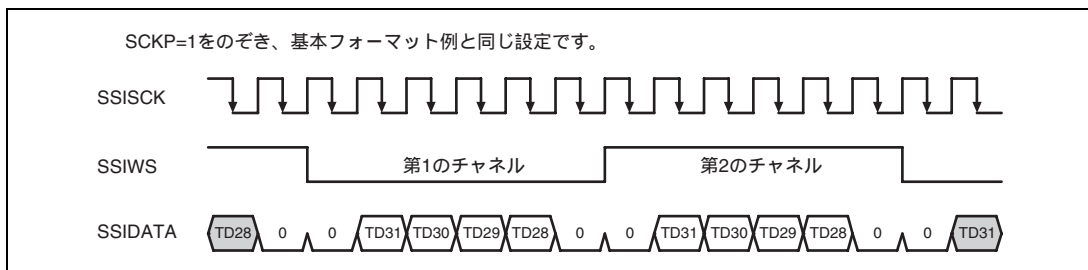


図 19.11 反転クロック

- 反転ワード選択信号

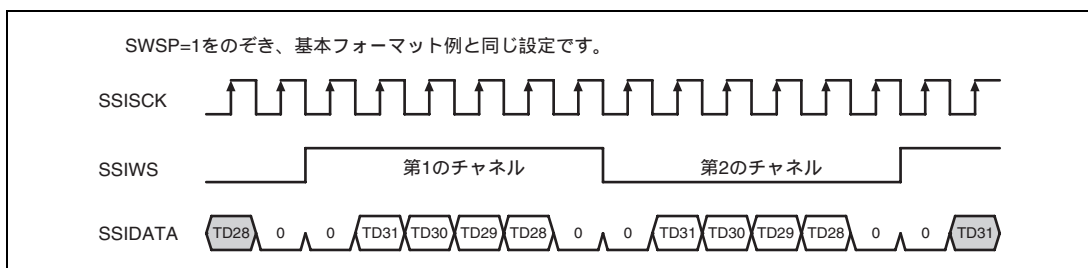


図 19.12 反転ワード選択信号

- 反転パディング極性

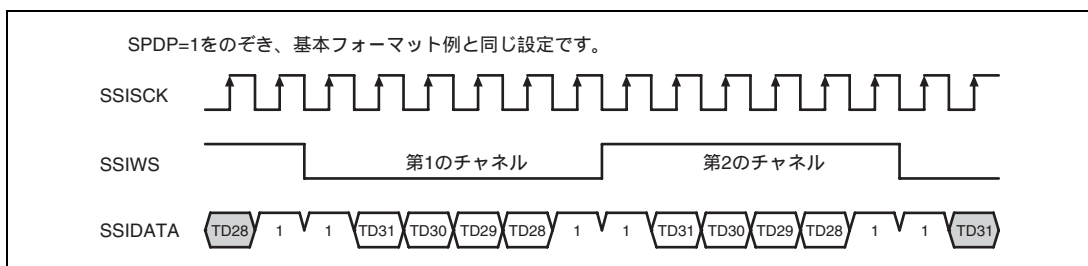


図 19.13 反転パディング極性

- パディングビット、シリアルデータの順に送受信、遅延あり

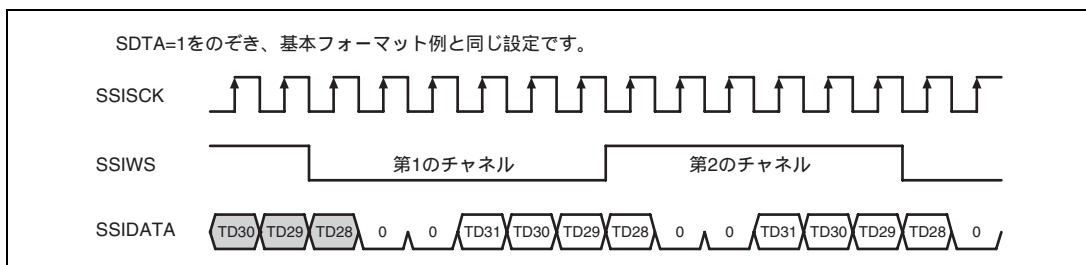


図 19.14 パディングビット、シリアルデータの順に送受信、遅延あり

- パディングビット、シリアルデータの順に送受信、遅延なし

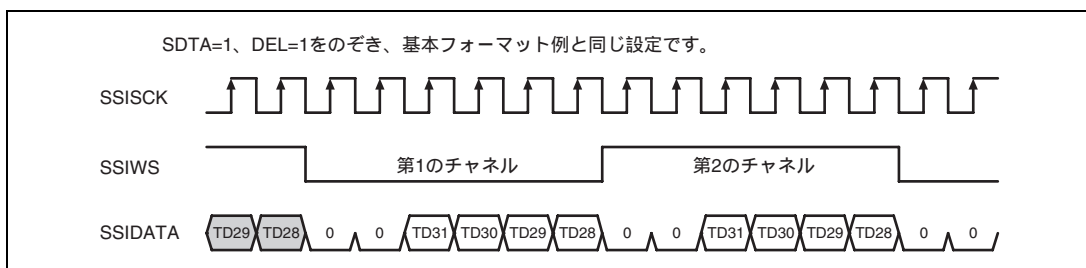


図 19.15 パディングビット、シリアルデータの順に送受信、遅延なし

- シリアルデータ、パディングビットの順に送受信、遅延なし

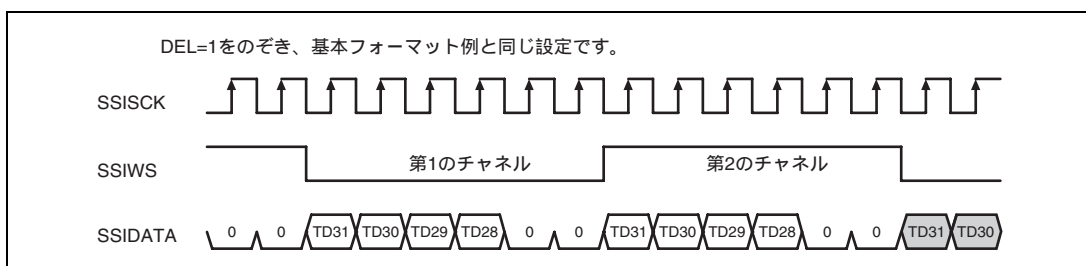


図 19.16 シリアルデータ、パディングビットの順に送受信、遅延なし

- パラレルデータの右詰め、遅延あり

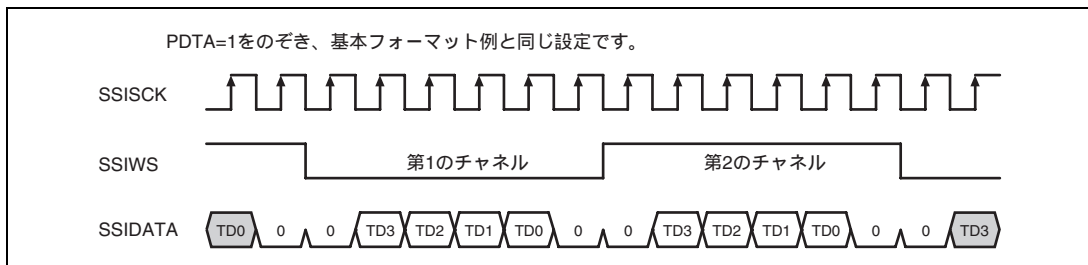


図 19.17 パラレルデータの右詰め、遅延あり

- ミュート有効

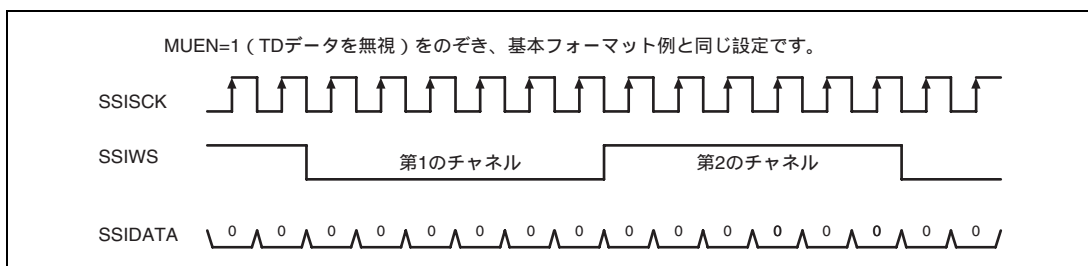


図 19.18 ミュート有効

19.4.3 動作モード

コンフィギュレーション、有効および無効の3つの動作モードがあります。図 19.19 に動作モードの遷移図を示します。

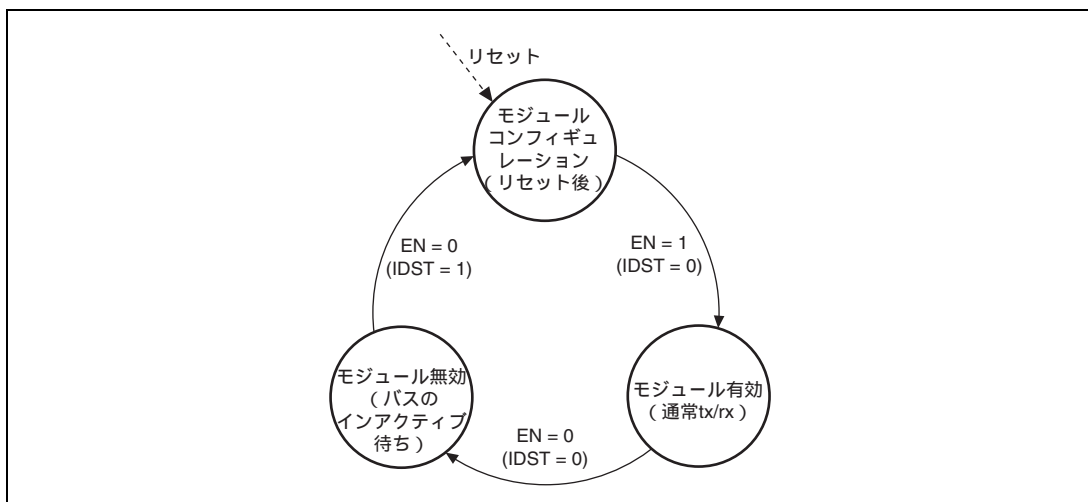


図 19.19 動作モード遷移図

(1) コンフィギュレーションモード

リセット解除後にこのモードになります。SSIF モジュールが EN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

EN ビットをセットすると、SSIF モジュールはモジュール有効モードに遷移します。

(2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「19.4.4 送信動作」と「19.4.5 受信動作」を参照してください。

19.4.4 送信動作

送信は DMA が割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバーフローの発生時、または DMAC の転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて SSIF モジュールがデータ供給のために生成する割り込みを用いる方法があります。

SSIF モジュールを無効にする場合、IIRQ ビットが SSIF のアイドル状態を示すまで SSIF クロック*は供給され続けなければなりません。

図 19.20 に DMA 制御モードの送信動作を、図 19.21 に割り込み制御モードの送信動作を示します。

【注】 * SCKD=0 のとき SSISCK 端子からの入力クロック
SCKD=1 のときオーバサンプルクロック

(1) DMA コントローラを使用した送信

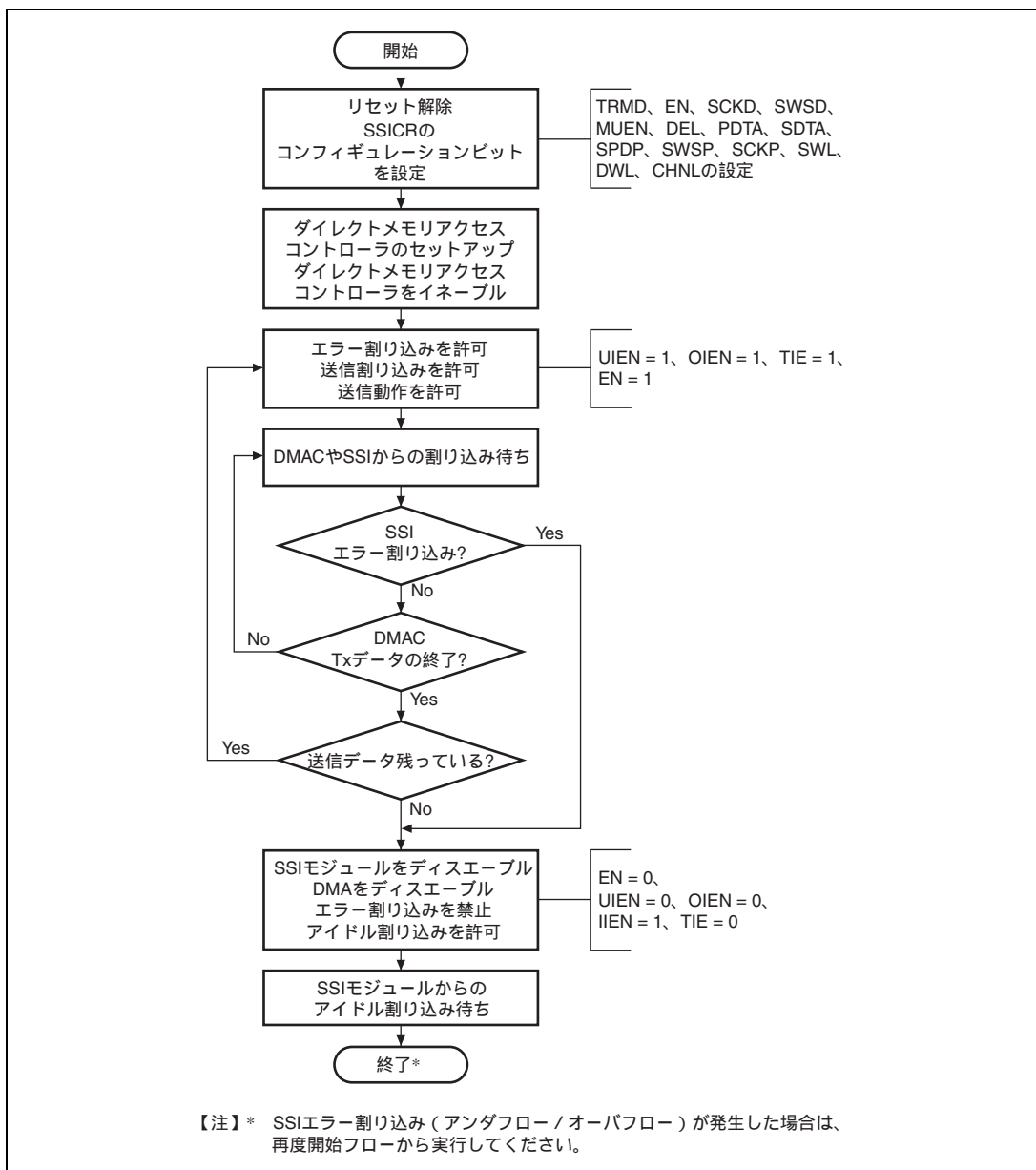


図 19.20 DMA コントローラを使用した送信

(2) 割り込みデータフロー制御を使用した送信

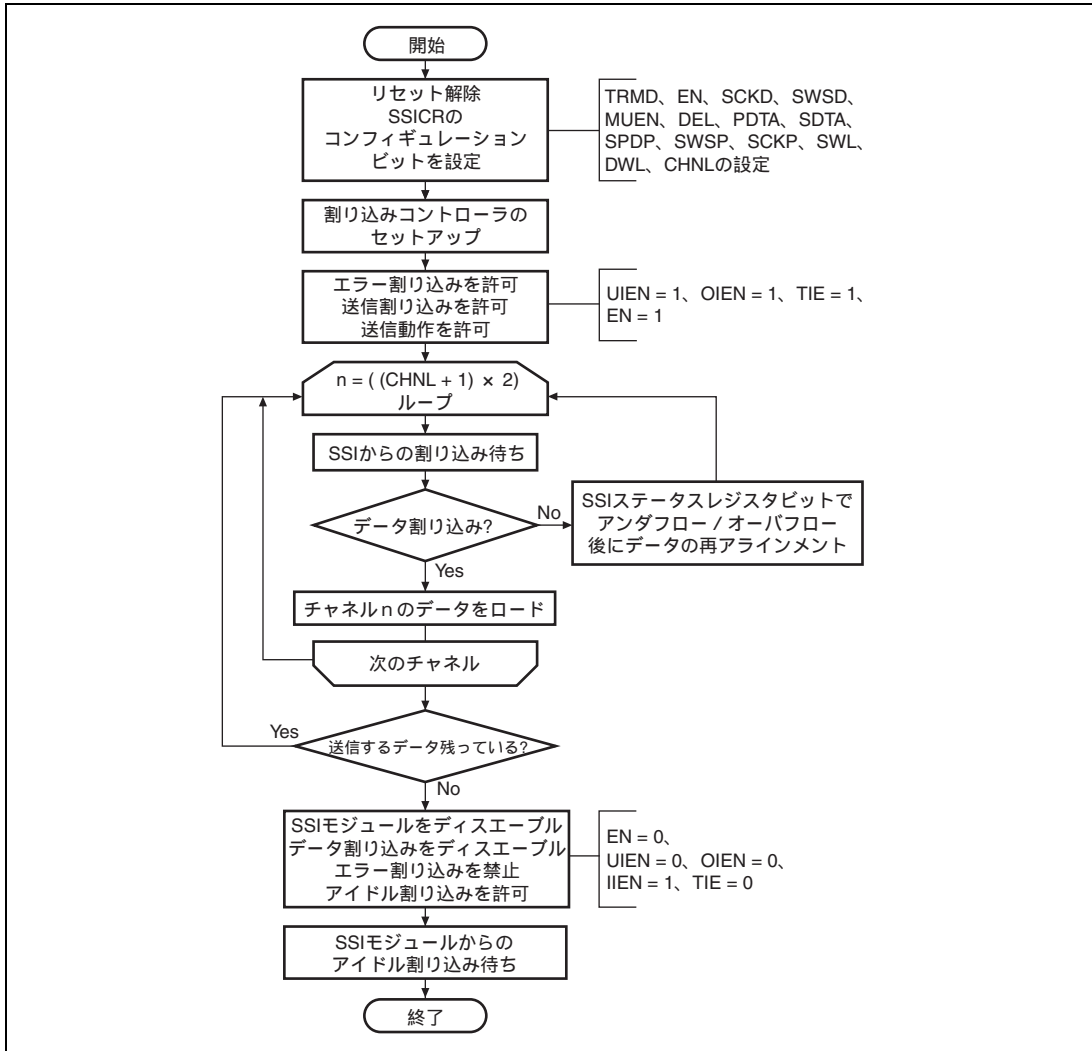


図 19.21 割り込みデータフロー制御を使用した送信

19.4.5 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 19.22、図 19.23 にそれぞれの動作フローチャートを示します。

SSIF モジュールを無効にする場合、IIRQ ビットが SSIF のアイドル状態を示すまで SSIF クロック*は供給され続けなければなりません。

【注】 * SCKD = 0 のとき SSISCK 端子からの入力クロック
SCKD = 1 のときオーバサンプルクロック

(1) DMA コントローラを使用した受信

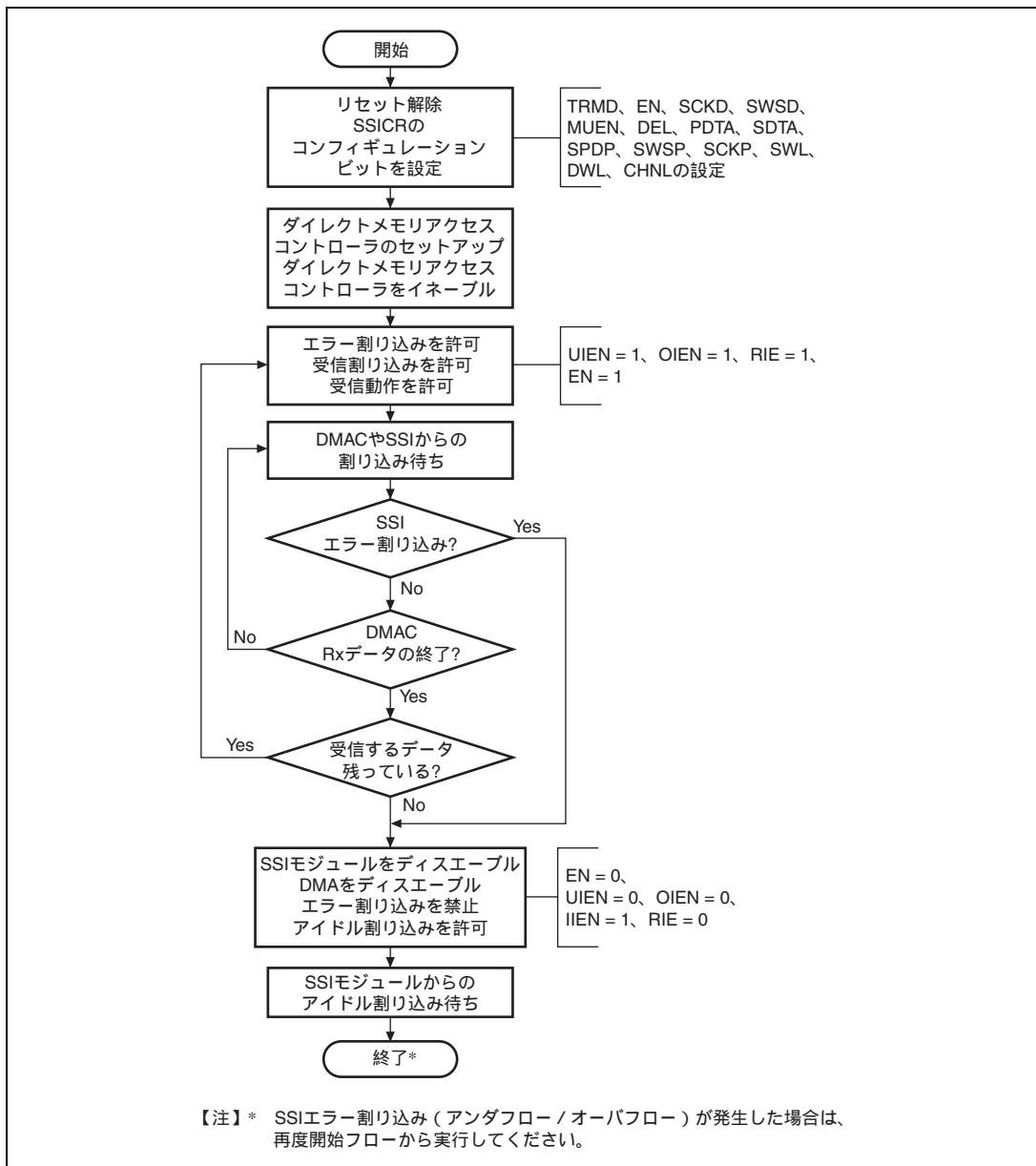


図 19.22 DMA コントローラを使用した受信

(2) 割り込みデータフロー制御を使用した受信

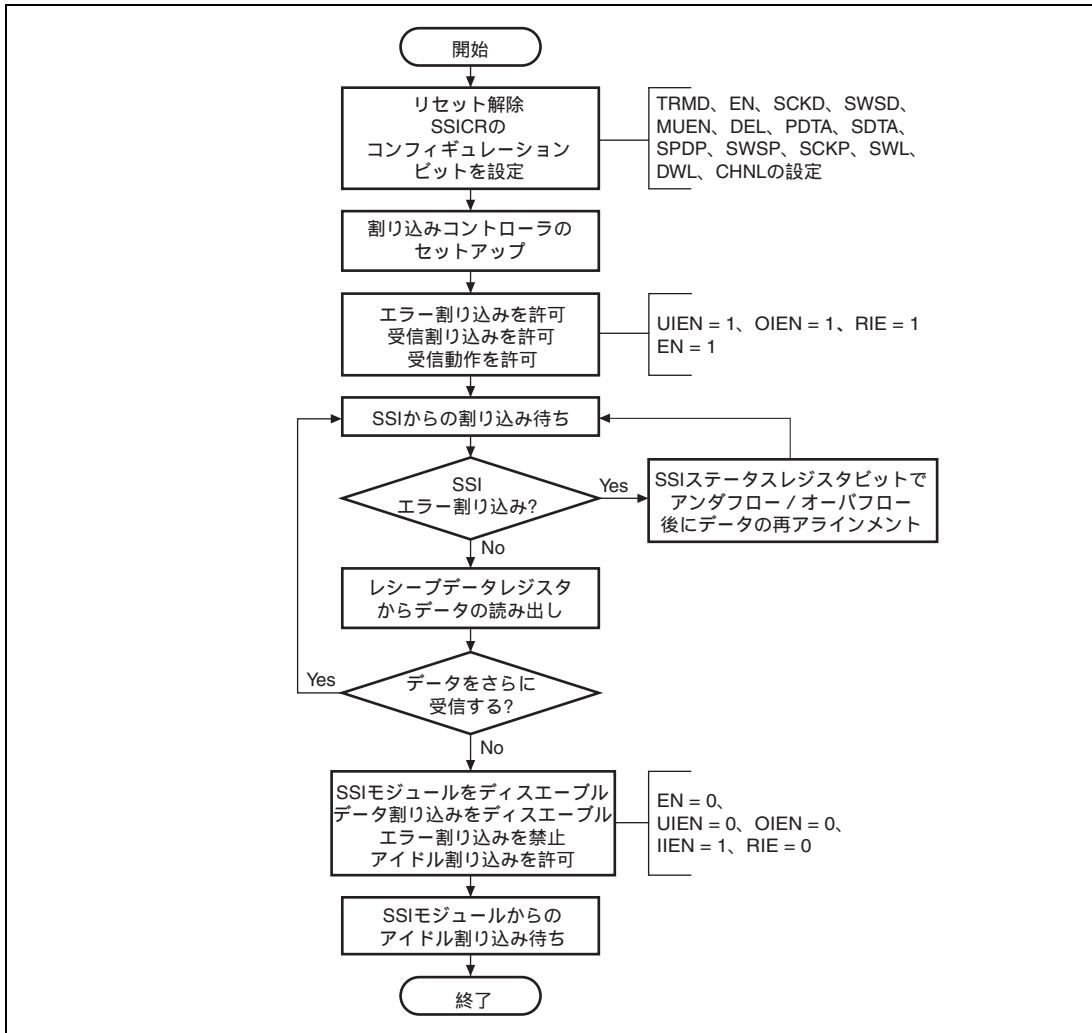


図 19.23 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が一致した場合、CHNO[1:0]ビットとSWNOビットを使ってSSIFモジュールを一致する前の状態に回復できます。アンダフローやオーバーフローが発生したら、ホストCPUはチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、SSIFモジュールが次に送信する予定のデータに到達するまでホストCPUは送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、SSIFモジュールが次に受信すると示しているデータを格納できるようになるまでホストCPUはヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

19.4.6 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SCKD=0)、SSIF モジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSISCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SCKD=1)、SSIF モジュールはクロックマスターモードであり、シフトレジスタが使うビットクロックはオーバサンプルクロックまたはそれを分周したクロックです。オーバサンプルクロックは、SSICR のシリアルオーバサンプルクロック分周比 (CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSISCK 端子の出力はビットクロックと同じになります。

19.5 使用上の注意事項

19.5.1 DMA 動作中にアンダフローまたはオーバフローが起こった場合の制限事項

DMA 動作中にアンダフローまたはオーバフローが起こった場合、モジュールの再起動が必要です。送信バッファおよび受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、たとえばコントロールレジスタ (SSICR) のデータワード長 (DWL2~DWL0) が 32 ビットの設定で、システムワード長 (SWL2~SWL0) が 32 ビットの設定の場合、アンダフローまたはオーバフローが一度発生すると、L チャンネルで送受信すべきデータを、R チャンネルで送受信してしまうことがあります。

そこで、アンダフロー、オーバフローの 2 通りのエラー割り込み、またはこれらに対応するエラーステータスフラグ (SSISR の UIRQ、OIRQ の各ビット) によりエラーの発生を確認した場合、SSICR の EN ビットに 0 を書き込むことにより、DMA 転送要求を禁止して動作を停止させてください (このときダイレクトメモリアクセスコントローラの設定も停止させてください)。その後、エラーステータスフラグビットに 0 を書き込み、エラーステータスをクリアし、再度ダイレクトメモリアクセスコントローラの設定を行い転送を再開してください。

20. コントローラエリアネットワーク (RCAN-TL1)

コントローラエリアネットワーク (RCAN-TL1 : Renesas CAN Time Trigger Level 1) は自動車および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。

本章は RCAN-TL1 のプログラムインタフェースについて説明します。

また CAN のデータリンクコントローラの機能については下記参考文献を参照してください。

[参考文献]

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-11898-1, 2003)
5. Road vehicles - Controller area network (CAN): Part 4: Time triggered communication (ISO-11898-4, 2004)

20.1 特長

20.1.1 RCAN-TL1 の特長

- CAN規格2.0B対応
- ビットタイミングはISO-11898規格に準拠
- 32個のメールボックス
- クロック周波数：16～33MHz
- プログラム可能な31個の送受信メールボックスおよび1個の受信メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク（スタンダードIDおよびエクステンデッドID）
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因
- テスト機能を内蔵（リスンオンリモード、エラーバシブモード）
- 16ビットのフリーランニングタイマ（多様なクロックソース、プリスケアラ、3個のタイマコンペアマッチレジスタ）
- タイムトリガ送信用の6ビットサイクルカウンタ（Basic Cycle）
- タイマのコンペアマッチレジスタによる割り込み
- タイマカウンタのクリアおよび設定が可能
- タイムトリガ用レジスタ：Local_Time、Cycle_time、Ref_Mark、Tx_Enable_Window、Ref_Trigger_Offset
- SOFでのフレキシブルなタイムスタンプ機能を送信、受信ともにサポート
- イベントトリガ送信に加え、タイムトリガ送信および定期送信もサポート
- サイクルカウンタ（Basic Cycle）をCANフレームに組み込んで送信可能

20.1.2 本マイコンにおける特長

- 32メールボックスRCAN×2チャンネル搭載（RCAN0、1）
- RCANの2チャンネルはピンファンクションコントローラ（PFC）の設定により、次の接続による使用が可能
32メールボックス×2チャンネル（RCAN0、1）
64メールボックス*×1チャンネル（RCAN0、1）
- RCAN0、1ともにメールボックス0の受信メッセージによりDMAC起動可能

【注】 * 64メールボックス構成においては使用上の注意事項があります。「20.12 使用上の注意事項」を参照してください。

20.2 構成

20.2.1 ブロック図

RCAN-TL1 は、CAN2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する自由度の大きい洗練された方法を提供します。RCAN-TL1 は機能的に、マイクロプロセッサインタフェース (MPI)、メールボックス、メールボックスコントロール、タイマ、および CAN インタフェースの 5 種類のブロックからなります。

図 20.1 に RCAN-TL1 のブロック図を示します。

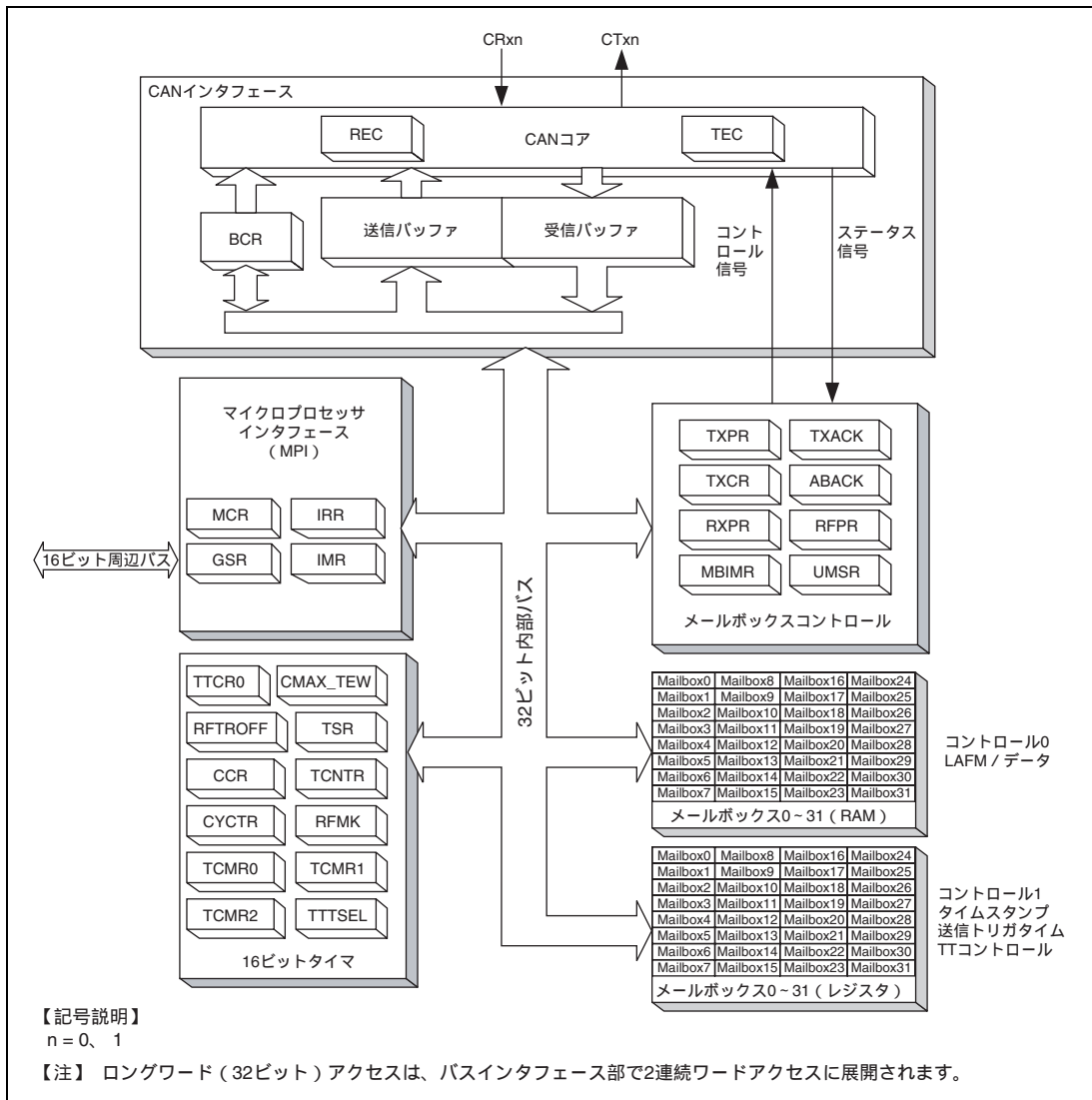


図 20.1 RCAN-TL1 のブロック図 (1 チャネルあたり)

20.2.2 各ブロックの機能

(1) マイクロプロセッサインタフェース (MPI)

MPI は、CPU と RCAN-TL1 のレジスタやメールボックスとの間の通信を可能にし、メモリアンタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自身や RCAN-TL1 の他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、RCAN-TL1 は自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

(2) メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。RAM とレジスタ内には、それぞれ 32 個のメールボックスがあり、以下の情報を格納します。

[RAM]

- CANメッセージコントロール (ID、RTR、IDEなど)
- CANメッセージデータ (CANデータフレーム用)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM)

[レジスタ]

- CANメッセージコントロール (DLC)
- メッセージ送信/受信用タイムスタンプ
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット
- 送信トリガタイム

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスとデータを生成し、対応するレジスタをセット/クリアします。
- イベントトリガメッセージ送信時は、内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。タイムトリガ送信の場合は、送信トリガタイムのコンペアマッチでメッセージをロードします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

(4) タイマ

本タイマは、特定の時間枠でメッセージを送信し、結果を記録するための機能ブロックです。16 ビットのフリーランニングアップカウンタで、CPU で制御することができます。ローカルタイムと比較する 16 ビットのコンペアマッチレジスタが 1 個と、サイクルタイムと比較するコンペアマッチレジスタが 2 個あります。これらのコンペアマッチレジスタは、割り込み信号を発生し、カウンタをクリアすることができます。本タイマのクロックは、システムクロックから生成する多数のクロック周期から選択することができますが、CAN バスの 1 ビットタイミングでカウントするようにプログラムすることも可能です。本タイマのレジスタには、TCNTR、TTCR0、CMA_X_TEW、RFTROFF、TSR、CCR、CYCTR、RFMK、TCMR0、TCMR1、TCMR2、および TTTSEL があります。

(5) CAN インタフェース

本ブロックは参考文献[2]と[4]の CAN バスデータリンクコントローラ仕様をサポートしています。これは OSI モデルで規定されるデータリンクコントローラの全機能を満たします。また、CAN バスに特化したレジスタやロジックも提供します。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CAN データリンクコントローラの送受信を格納する機能もあります。

20.2.3 端子構成

RCAN-TL1 の端子構成を表 20.1 に示します。

表 20.1 端子構成

名称	端子名	入出力	機能
送信データ端子	CTxn	出力	CAN バス送信用端子です。
受信データ端子	CRxn	入力	CAN バス受信用端子です。

【注】 n=0, 1

20.2.4 メモリマップ

RCAN-TL1 のメモリマップを図 20.2 に示します。

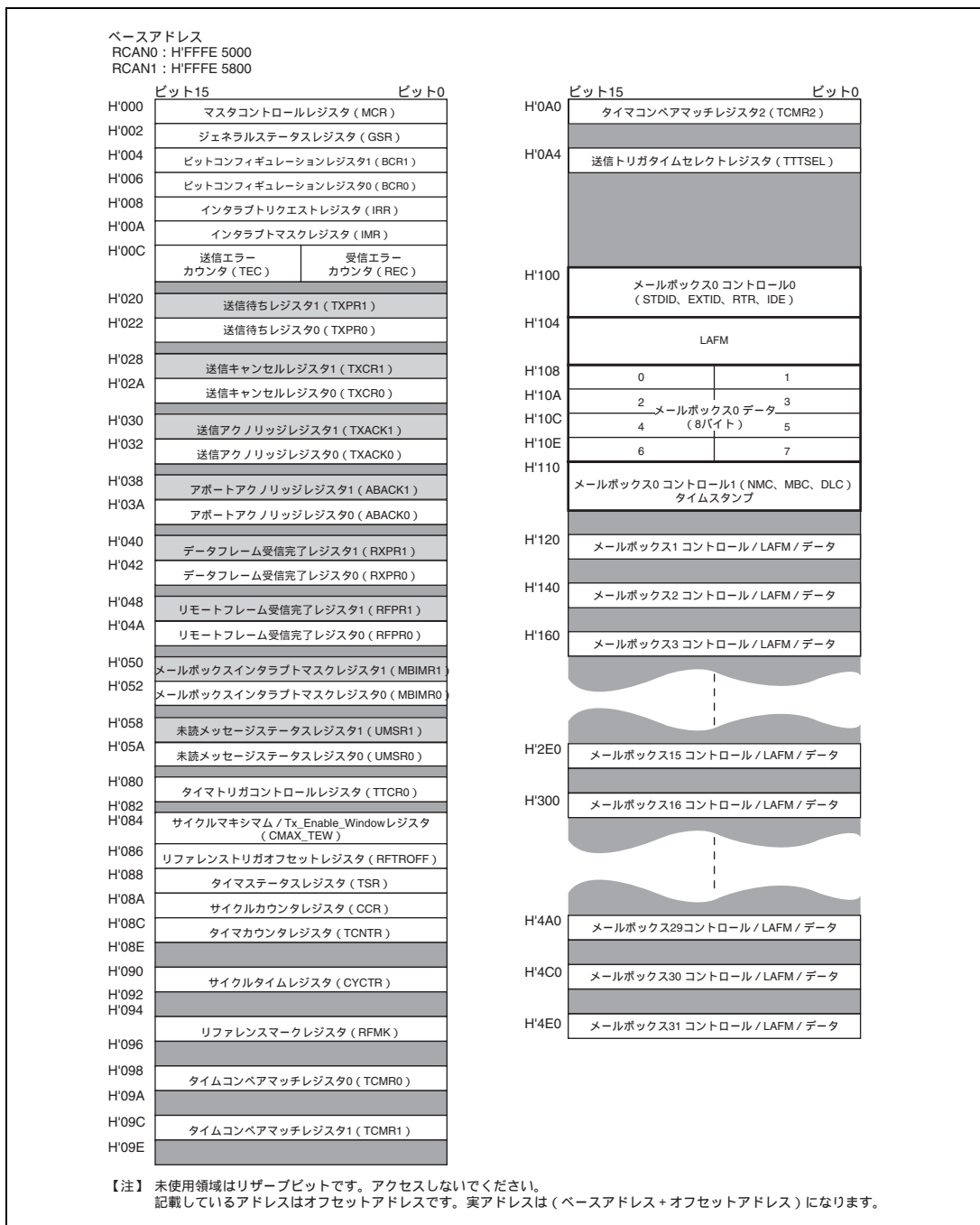


図 20.2 RCAN-TL1 のメモリマップ (1 チャンネルあたり)

20.3 メールボックス

20.3.1 メールボックスの構成

メールボックスは CAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの 3 個の格納フィールドからなります。さらに、タイムスタンプ、タイムトリガコンフィギュレーション、およびタイムトリガコントロールのフィールドを持つメールボックスもあります。

表 20.2 に各メールボックスに対するメッセージコントロール、LAFM、メッセージデータ、タイムスタンプ、送信トリガタイム、およびタイムトリガコントロールのアドレスマップを示します。

表 20.2 各メールボックスのアドレスマップ (1 チャンネルあたり)

メール ボックス	アドレス						
	コントロール 0	LAFM	データ	コントロール 1	タイム スタンプ	トリガタイム	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
0 (受信のみ)	100 - 103	104 - 107	108 - 10F	110 - 111	112 - 113	-	-
1	120 - 123	124 - 127	128 - 12F	130 - 131	132 - 133	-	-
2	140 - 143	144 - 147	148 - 14F	150 - 151	152 - 153	-	-
3	160 - 163	164 - 167	168 - 16F	170 - 171	172 - 173	-	-
4	180 - 183	184 - 187	188 - 18F	190 - 191	192 - 193	-	-
5	1A0 - 1A3	1A4 - 1A7	1A8 - 1AF	1B0 - 1B1	1B2 - 1B3	-	-
6	1C0 - 1C3	1C4 - 1C7	1C8 - 1CF	1D0 - 1D1	1D2 - 1D3	-	-
7	1E0 - 1E3	1E4 - 1E7	1E8 - 1EF	1F0 - 1F1	1F2 - 1F3	-	-
8	200 - 203	204 - 207	208 - 20F	210 - 211	212 - 213	-	-
9	220 - 223	224 - 227	228 - 22F	230 - 231	232 - 233	-	-
10	240 - 243	244 - 247	248 - 24F	250 - 251	252 - 253	-	-
11	260 - 263	264 - 267	268 - 26F	270 - 271	272 - 273	-	-
12	280 - 283	284 - 287	288 - 28F	290 - 291	292 - 293	-	-
13	2A0 - 2A3	2A4 - 2A7	2A8 - 2AF	2B0 - 2B1	2B2 - 2B3	-	-
14	2C0 - 2C3	2C4 - 2C7	2C8 - 2CF	2D0 - 2D1	2D2 - 2D3	-	-
15	2E0 - 2E3	2E4 - 2E7	2E8 - 2EF	2F0 - 2F1	2F2 - 2F3	-	-
16	300 - 303	304 - 307	308 - 30F	310 - 311	-	-	-
17	320 - 323	324 - 327	328 - 32F	330 - 331	-	-	-
18	340 - 343	344 - 347	348 - 34F	350 - 351	-	-	-
19	360 - 363	364 - 367	368 - 36F	370 - 371	-	-	-
20	380 - 383	384 - 387	388 - 38F	390 - 391	-	-	-
21	3A0 - 3A3	3A4 - 3A7	3A8 - 3AF	3B0 - 3B1	-	-	-
22	3C0 - 3C3	3C4 - 3C7	3C8 - 3CF	3D0 - 3D1	-	-	-

メールボックス	アドレス						
	コントロール0	LAFM	データ	コントロール1	タイムスタンプ	トリガタイム	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
23	3E0 - 3E3	3E4 - 3E7	3E8 - 3EF	3F0 - 3F1	-	-	-
24	400 - 403	404 - 407	408 - 40F	410 - 411	-	414 - 415	416 - 417
25	420 - 423	424 - 427	428 - 42F	430 - 431	-	434 - 435	436 - 437
26	440 - 443	444 - 447	448 - 44F	450 - 451	-	454 - 455	456 - 457
27	460 - 463	464 - 467	468 - 46F	470 - 471	-	474 - 475	476 - 477
28	480 - 483	484 - 487	488 - 48F	490 - 491	-	494 - 495	496 - 497
29	4A0 - 4A3	4A4 - 4A7	4A8 - 4AF	4B0 - 4B1	-	4B4 - 4B5	4B6 - 4B7
30	4C0 - 4C3	4C4 - 4C7	4C8 - 4CF	4D0 - 4D1	4D2 - 4D3 (ローカル タイム)	4D4 - 4D5	-
31	4E0 - 4E3	4E4 - 4E7	4E8 - 4EF	4F0 - 4F1	4F2 - 4F3 (ローカル タイム)	-	-

メールボックス0は受信専用です。他のすべてのメールボックスは、メッセージコントロールのMBC(メールボックス構成)ビットの設定により、送信、受信ともに可能です。メールボックスの構成の詳細を図20.3~図20.5に示します。

表 20.3 メールボックスの役割

	イベントトリガ		タイムトリガ		備考	
	送信	受信	送信	受信	タイムスタンプレジスタ	送信トリガタイムレジスタ
MB31	設定可	設定可	-	タイムリファレンス受信	有	-
MB30	設定可	設定可	タイムマスタモード時 タイムリファレンス送信	タイムスレーブ モード時受信	有	有
MB29 ~ MB24	設定可	設定可	設定可	設定可	-	有
MB23 ~ MB16	設定可	設定可	-(ET)	設定可	-	-
MB15 ~ MB1	設定可	設定可	-(ET)	設定可	有	-
MB0	-	設定可	-	設定可	有	-

【注】ET: タイムトリガモード時のマージドアービトラレーティングウィンドウ内で送信動作可能です。

・ MB0 (タイムスタンプ付き受信メールボックス)

アドレス	データベース																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0	
H*102+N*32	EXTID[15:0]																16	
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]																16	
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16	
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16	
H*110+N*32	0	0	NMC	0	0	MBC[2:0]*				0	0	0	0	DLC[3:0]		8/16	コントロール1	
H*112+N*32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)																16	タイムスタンプ

・ MB15-1 (タイムスタンプ付きメールボックス)

アドレス	データベース																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0	
H*102+N*32	EXTID[15:0]																16	
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]																16	
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16	
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16	
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]				0	0	0	0	DLC[3:0]		8/16	コントロール1	
H*112+N*32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)																16	タイムスタンプ

【注】 * MBC[1] = 1 固定

1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. ATXとDARTはメールボックス0ではサポートされません。また、メールボックス0のMBCの設定値は限られています。
3. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 20.3 メールボックス (0~15) の構成

・ MB23 - 16 (メールボックス: タイムスタンプなし)

アドレス	データバス																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0	
H*102+N*32	EXTID[15:0]																16	
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]																16	
H*108+N*32	MSG_DATA_0 (最初のRxTxバイト)								MSG_DATA_1								8/16/32	データ
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16	
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16	
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]		8/16	コントロール1			

・ MB29 - 24 (タイムトリガモード時タイムトリガ送信)

アドレス	データバス																アクセスサイズ	フィールド名		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0			
H*102+N*32	EXTID[15:0]																16			
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM		
H*106+N*32	EXTID_LAFM[15:0]																16			
H*108+N*32	MSG_DATA_0 (最初のRxTxバイト)								MSG_DATA_1								8/16/32	データ		
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16			
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32			
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16			
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]		8/16	コントロール1					
H*112+N*32	リザーブ																—	—		
H*114+N*32	送信トリガタイム (TTT)																16	トリガタイム		
H*116+N*32	TTW[1:0]	オフセット										0	0	0	0	0	0	Rep_Factor	16	TTコントロール

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 20.4 メールボックス (16 ~ 29) の構成

・MB30 (タイムトリガモード時タイムリファレンス送信)

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16	
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]															16	
H*108+N*32	MSG_DATA_0 (最初のRxTx バイト)							MSG_DATA_1							8/16/32	データ	
H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16		
H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16		
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]	0	0	0	0	0	DLC[3:0]			8/16	コントロール1	
H*112+N*32	TimeStamp[15:0] (SOFでのTCNTR値)															16	タイムスタンプ
H*114+N*32	タイムリファレンスとしての送信トリガタイム (TTT)															16	トリガタイム

・MB31 (タイムトリガモード時タイムリファレンス受信)

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16	
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]															16	
H*108+N*32	MSG_DATA_0 (最初のRxTx バイト)							MSG_DATA_1							8/16/32	データ	
H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16		
H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16		
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]	0	0	0	0	0	DLC[3:0]			8/16	コントロール1	
H*112+N*32	TimeStamp[15:0] (SOFでのTCNTR値)															16	タイムスタンプ

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
 2. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 20.5 メールボックス (30、31) の構成

20.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL0H	H'100+N*32	15	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダードフォーマットかエクステンデッドフォーマットかを区別します。 0: スタンダードフォーマット 1: エクステンデッドフォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き換えます。 【重要】 MBC=B'001 でデータフレーム自動送信 (ATX) ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2 (リモートフレーム受信割り込み) ビットによって通知されますが、RCAN-TL1 は現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変化しません。 【重要】 MBC=B'001 で ATX=1 を設定し、リモートフレームを受信したメールボックスは自動的に送信設定されます。そのときデータフレームが送信されるように、RTR は 0 に設定しなければなりません。 0: データフレーム 1: リモートフレーム
		13	-	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12~2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定するビットです。
		1, 0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID (エクステンデッド ID) を設定するビットです。
MB[x]. CONTROL0L	H'102+N*32	15~0	EXTID [15:0]	

- メールボックス0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	0	0	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

【注】 MBC[1]の値は常に1です。

- メールボックス1~31

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1	H'110+N*32	15, 14	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
		13	NMC	<p>ニューメッセージコントロール</p> <p>このビットが0にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持しUMSRの対応するビットをセットします。</p> <p>このビットが1にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージをオーバーライトし、UMSRの対応するビットをセットします。</p> <p>【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPRおよびRFPRフラグは(USMRと一緒に)同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にあるRTRビットも上書きされます。</p> <p>【重要】 タイムトリガモード使用時には、メールボックス31のNMCを必ず1にセットし、RXPR[31]がクリアされなくてもすべてのリファレンスメッセージを受信できるようにしてください。</p> <p>0: オーバランモード 1: オーバライトモード</p>

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1	H'110+N*32	12	ATX	<p>データフレーム自動送信</p> <p>本ビットが1にセットされ、リモートフレームがメールボックスで受信されると、DLCが格納され、TXPRは自動的にセットされます。同じメールボックスから書き換えられたDLCを使用し、自動的にデータフレームが送信されます。</p> <p>自動送信設定されたメールボックスは、メッセージ送信プライオリティビット (MCR2) の設定に従って、ID優先順位あるいはメールボックス優先順位にスケジューリングされます。本機能を使用するにはMBC[2:0]をB'001に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード (DLC) は受信されたものが使用されます。これを適用するには、リモートフレームのDLCは要求されているデータフレームのDLCに対応したものであることが必要です。</p> <p>【重要】 1. ATXが使用され、MBCがB'001のとき、リモートフレームのIDは、応答メッセージの場合と同じく、データフレームのIDと完全に同じでなくてはならないため、IDEビットのフィルタは使用できません。</p> <p>2. 本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTRビットはセットされません。リモートフレームを受信するとCPUはセット済みRFPRによって通知されますが、RCAN-TL1は現在のメッセージをデータフレームとして送信する必要があるためRTRビットは変更されません。</p> <p>3. リモートフレームの自動送信が開始されないこともあります。オーバランの状態 (NMC=0のときのUMSRセット) に注意してください。</p> <p>4. ATX=1に設定されたメールボックスがリモートフレームによりオーバラン状態になった場合、旧メッセージの自動送信の要求が受け付けられる場合があります。</p> <p>0: データフレームの自動送信無効 1: データフレームの自動送信有効</p> <p>【注】 本ビットはメールボックス1~31にのみあります。メールボックス0ではリザーブビットとなります。</p>
		11	DART	<p>自動再送信無効</p> <p>このビットが1にセットされると、CANバスエラーのイベントが発生した場合や、CANバスのアービトレーションで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応するTXCRビットが送信の最初に自動的にセットされます。このビットが0にセットされると、RCAN-TL1は、TXCRで送信リクエストをキャンセルされるか、送信が正常終了されるまで送信をリクエストします。</p> <p>0: 再送信有効 1: 再送信無効</p> <p>【注】 本ビットはメールボックス1~31にのみあります。メールボックス0ではリザーブビットとなります。</p>

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1	H'110+N*32	10~8	MBC[2:0]	<p>メールボックスコンフィギュレーション</p> <p>これらのビットは各メールボックスの機能を表 20.4 のように設定します。MBC が B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。</p> <p>MBC を B'100、B'101、B'110 に設定することは禁止されています。MBC の値を B'000 とそれ以外に設定すれば、LAFM フィールドは使用可能となります。</p> <p>MBC が受信に設定されているとき、TXPR はセットしないでください。ハードウェア保護機能はなく、TXPR はセットされたままになります。メールボックス 0 の MBC[1]は受信専用のため、ハードウェアによって 1 に固定されています。</p>
		7~4	-	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
		3~0	DLC[3:0]	<p>データ長コード</p> <p>データフレームで送信されるデータのバイト数 (0~8) をエンコードします。</p> <p>0000 : データ長 0 バイト 0001 : データ長 1 バイト 0010 : データ長 2 バイト 0011 : データ長 3 バイト 0100 : データ長 4 バイト 0101 : データ長 5 バイト 0110 : データ長 6 バイト 0111 : データ長 7 バイト 1xxx : データ長 8 バイト</p> <p>【注】 x : Don't care</p>

表 20.4 メールボックスの機能の設定

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明	
0	0	0	可	可	不可	不可	<ul style="list-style-type: none"> • メールボックス 0 は使用不可能 • タイムトリガ送信は使用可能 	
0	0	1	可	可	不可	可	<ul style="list-style-type: none"> • ATX で使用可能* • メールボックス 0 は使用不可能 • LAFM は使用可能 	
0	1	0	不可	不可	可	可	<ul style="list-style-type: none"> • メールボックス 0 は使用可能 • LAFM は使用可能 	
0	1	1	不可	不可	可	不可	<ul style="list-style-type: none"> • メールボックス 0 は使用可能 • LAFM は使用可能 	
1	0	0	設定禁止					
1	0	1	設定禁止					
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ (初期値)					

【注】 * 自動再送信をサポートするために、MBC が B'001 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用するときは IDE のフィルタは使用しないでください。

20.3.3 ローカルアクセプタンスフィルタマスク (LAFM)

MBC が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールボックスが複数の受信 ID を受け入れることを許可します。LAFM は、図 20.6 に示すとおり、2 つの 16 ビットの読み出し / 書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MB[0].LAFMH	H'104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]												EXTID_LAFM[17:16]	16/32	LAFM
MB[0].LAFML	H'106+N*32	EXTID_LAFM[15:0]															16		

図 20.6 ローカルアクセプタンスフィルタマスク (LAFM)

1 つのビットが LAFM にセットされている場合、RCAN-TL1 が一致する CAN-ID でメールボックスを検索するとき、受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STDID/IDE/EXTID と一致していない限りなりません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. RCAN-TL1 は、メールボックス 31 からメールボックス 0 まで、一致する ID の検索を行います。RCAN-TL1 は一致する ID を検知すると、そのメッセージは NMC や RXPR/RFPR フラグによらず、直ちに検索を終了します。これは、LAFM を使用していても受信メッセージは 1 つのメールボックスにのみ格納されることを示します。
 2. 1 つのメッセージが受信され一致するメールボックスが見つかったら、メッセージ全体がメールボックスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なることがあります。

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. LAFMH	H'104+N*32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0 : 対応する IDE ビットが有効 1 : 対応する IDE ビットが無効
		14、13	-	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12~2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0 : 対応する STDID ビットが有効 1 : 対応する STDID ビットが無効
		1、0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0 : 対応する EXTID ビットが有効 1 : 対応する EXTID ビットが無効
MB[x]. LAFML	H'106+N*32	15~0	EXTID_LAFM [15:0]	1 : 対応する EXTID ビットが無効

20.3.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

- タイムトリガ送信時の注意事項

メールボックス 30 は、CMAX B'111、MBC[30]=B'000 で TXPR[30] を 1 に設定すると、タイムリファレンス送信用に設定できます。この際、必ず DLC には 0 より大きい値を設定し、RTR は 0 に設定してください (TTCAN Level 1 にて規定)。メールボックス 30 の送信開始時に、データフィールドの先頭バイトの MSG_DATA_0[5:0] にサイクルカウンタ値 (CCR) が埋め込まれてメッセージを送信します。

MSG_DATA_0[7:6] は、メールボックスに格納された値が送信されます。

Next_is_Gap を送信する必要がある場合は、ユーザは MSG_DATA_0[7] を 1 に設定することで送信できます。

このとき、CCR の値は送信されるフレームに入りますが、メールボックス 30 のメッセージデータフィールドには格納されませんのでご注意ください。

メールボックス 31 は、CMAX B'111、MBC[31]=B'011 で設定するとタイムリファレンス受信用に設定されます。有効なリファレンスメッセージを受信すると (ID 一致、DLC>0)、RCAN-TL1 は RFMK およびサイクルカウンタ (CCR) を書き換えることにより、Cycle_Time と Basic_Cycle を同期化します。

MB30, 31		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
H'108+N*32	Next_is_Gap/Cycle_Counter (最初のRx/Tx/バイト)	MSG_DATA_1											8/16/32ビット	データ				
H'10A+N*32	MSG_DATA_2	MSG_DATA_3											8/16ビット					
H'10C+N*32	MSG_DATA_4	MSG_DATA_5											8/16/32ビット					
H'10E+N*32	MSG_DATA_6	MSG_DATA_7											8/16ビット					

図 20.7 メッセージデータフィールド

20.3.5 タイムスタンプ

送信 / 受信メッセージに記録されたタイムスタンプを格納します。タイムスタンプは、メッセージがスケジュールどおりに送信 / 受信されたかどうかをモニタするのに役立ちます。

- タイムスタンプ

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(1) メッセージ受信

メールボックス0～15の受信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ0 (TTCR0) のビット14の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値またはCCR[5:0] (サイクルカウンタ) + CYCTR[15:6] (サイクルタイムレジスタ) の値が受信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

メールボックス30、31の受信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が受信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

(2) メッセージ送信

メールボックス1～15の送信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ0 (TTCR0) のビット14の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値またはCCR[5:0] (サイクルカウンタ) + CYCTR[15:6] (サイクルタイムレジスタ) の値が送信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

メールボックス30、31の送信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が送信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

【重要】 タイムスタンプはテンポラリレジスタに格納されます。送信または受信が正常に行われると、その値がメールボックスのフィールドにコピーされます。また、オーバーランによって UMSR[N] がセットされると同時に CPU が RXPR[N]/RFPR[N] をクリアしたとき、タイムスタンプのみが更新されることがあります。したがって、RXPR[N]/RFPR[N] がクリアされる前の正しいタイムスタンプ値をリードすることができます。

20.3.6 送信トリガタイム (TTT) とタイムトリガコントロール

メールボックス 24~29 では、タイムトリガモード (CMAX B'111) で MBC を B'000 に設定すると、送信トリガタイムはタイムウィンドウ間の境界を決定するための Time_Mark として機能します。

送信トリガタイム (TTT) とタイムトリガコントロール (TT コントロール) は、以下に示す 2 つの 16 ビットリード/ライトレジスタで構成されています。

メールボックス 30 にはタイムトリガコントロール (TT コントロール) がなく、Time_Ref として機能します。

メールボックス 24~30 をタイムトリガモード送信に使用しない場合は、受信用メールボックスとして使用することができます。ただし、タイムトリガモードを使用する場合は、イベントトリガ送信の対象にはなりません。

- 送信トリガタイム (TTT)

送信トリガタイム (TTT) は、サイクルタイム内でメッセージの送信を開始する時間を指定します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8	TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- タイムトリガコントロール (TT コントロール)

タイムトリガコントロール (TT コントロール) は、ウィンドウの属性、送信を開始するシステムマトリックス内のサイクルカウント (Basic Cycle) および定周期送信の頻度を指定します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTW[1:0]	Offset[5:0]					0	0	0	0	0	rep_factor[2:0]				
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

タイムトリガモードをサポートするすべてのメールボックス間の相違点を図 20.8 に示します。

MB29 - 24																		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'114 + N*32	送信トリガタイム (サイクルタイム)															16ビット	トリガタイム	
H'116 + N*32	TTW[1:0]	Offset[5:0]					0	0	0	0	0	rep_factor[2:0]					16ビット	TTコントロール
MB30																		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'114 + N*32	送信トリガタイム (サイクルタイム)															16ビット	トリガタイム	

図 20.8 送信トリガコントロールフィールド

- TTW[1:0] (タイムトリガウィンドウ)

タイムウィンドウの属性を示します。TTW=B'10 設定でスタートしたマージドアービトレーティングウィンドウ (Merged Arbitrating Window) は、必ず TTW=B'11 設定によって終了してください。マージドアービトレーティングウィンドウの先頭から最後まで間に TTW=B'10 設定のメッセージを数個使用することができます。

TTW[1]	TTW[0]	説 明
0	0	エクスクルージブウィンドウ : exclusive window (初期値)
0	1	アービトレーティングウィンドウ : arbitrating window
1	0	マージドアービトレーティングウィンドウの開始 : Start of Merged arbitrating window
1	1	マージドアービトレーティングウィンドウの終了 : End of Merged arbitrating window

TT レジスタの値が CYCTR の値と一致し、Offset の値が CCR の値と一致すると、対応するメールボックスから送信を試みます。この機能を有効にするには、CMAX B'111 に設定し、タイマ (TCNTR) を動作させ (TTCR0 のビット 15 が 1)、対応するメールボックスの MBC=B'000 に設定し、対応する TXPR のビットを 1 に設定してください。TXPR のビットをソフトウェアでセットした後は、定周期送信を続けるために、RCAN-TL1 はその TXPR のビット (メールボックス 24~30) をクリアしません。

定周期送信を停止するには、TXCR で TXPR をクリアしてください。この場合、送信完了直後に TXACK をクリアしないと、同じメールボックスの TXACK と ABACK の両方がセットされる可能性があります (図 20.9 参照)。

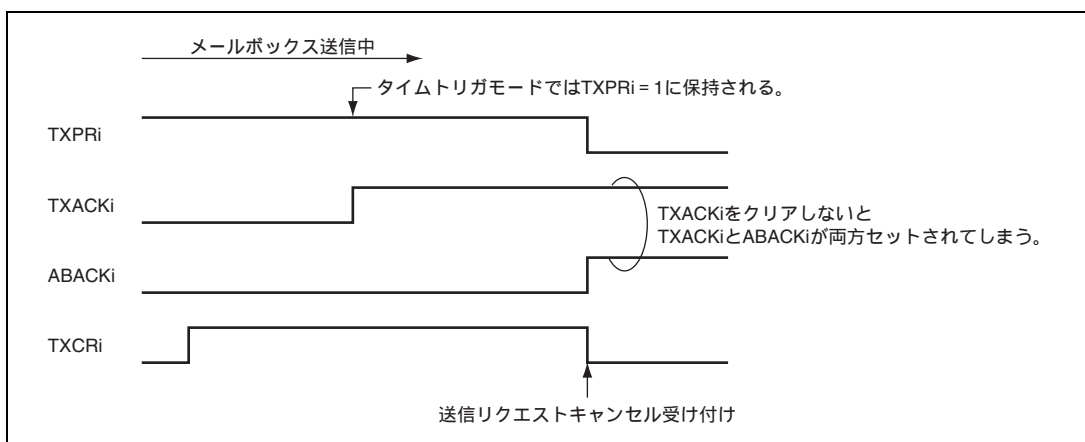


図 20.9 タイムトリガ送信時の TXACK と ABACK

なお、メールボックス 30 では TTW=B'01、Offset=B'000000、rep_factor=B'000 に固定です。以下の表に rep_factor と Offset の組み合わせを示します。

rep_factor	説 明
B'000	サイクルカウントごと (初期値)
B'001	2 サイクルカウントごと
B'010	4 サイクルカウントごと
B'011	8 サイクルカウントごと
B'100	16 サイクルカウントごと
B'101	32 サイクルカウントごと
B'110	64 サイクルカウントごと (システムマトリックスごとに 1 回)
B'111	リザーブ

Offset フィールドは、タイムトリガメールボックスがメッセージの送信を開始できる最初のサイクルカウンタ値を決定します。

Offset	説 明
B'000000	オフセット (Offset) = 最初のサイクルカウント (初期値)
B'000001	オフセット (Offset) = 2 番目のサイクルカウント
B'000010	オフセット (Offset) = 3 番目のサイクルカウント
B'000011	オフセット (Offset) = 4 番目のサイクルカウント
B'000100	オフセット (Offset) = 5 番目のサイクルカウント
...	...
B'111110	オフセット (Offset) = 63 番目のサイクルカウント
B'111111	オフセット (Offset) = 64 番目のサイクルカウント

以下の関係を満たさなければなりません。

$$\text{Cycle_Count_Maximum} + 1 > \text{Repeat_Factor} > \text{Offset}$$

$$\text{Cycle_Count_Maximum} = 2^{\text{CMAX}} - 1$$

$$\text{Repeat_Factor} = 2^{\text{rep_factor}}$$

CMAX、Repeat_Factor、および Offset はレジスタ値です。

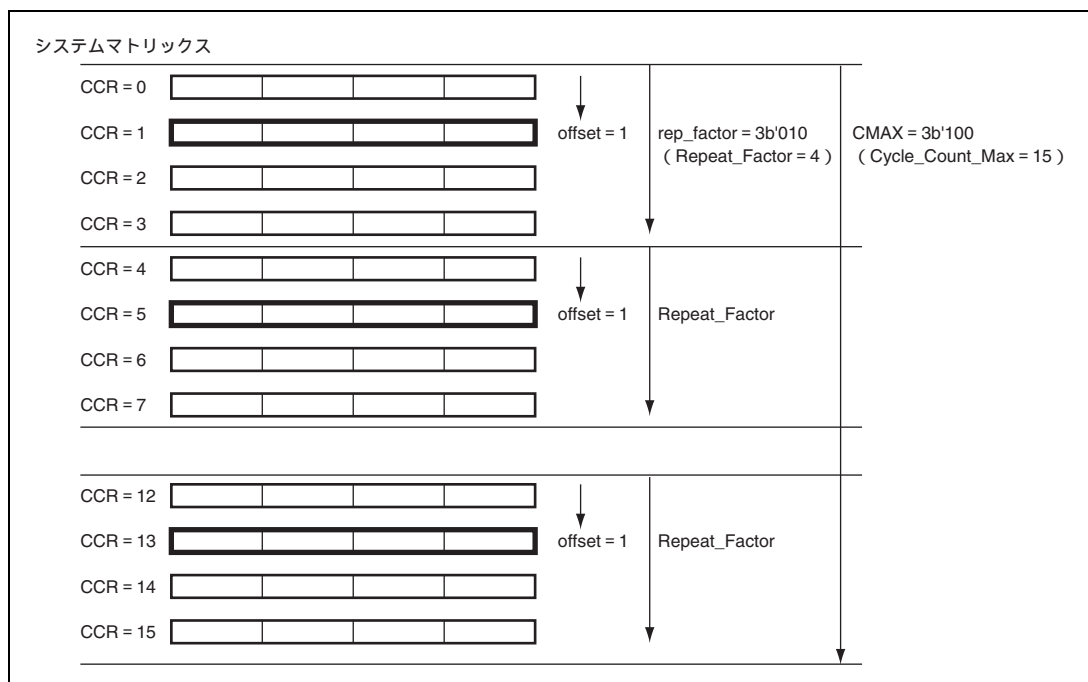


図 20.10 システムマトリックス

送信トリガタイムは昇順に設定してください。送信トリガタイム間の差は、 $TTT(\text{メールボックス } i) - TTT(\text{メールボックス } i-1) > TEW + \text{最大フレーム長} + 9$ を満たすように設定してください。

20.4 RCAN-TL1 のコントロールレジスタ

RCAN-TL1 のコントロールレジスタについて説明します。RCAN-TL1 のコントロールレジスタはワードサイズ (16 ビット) でのみアクセスできます。

表 20.5 に RCAN-TL1 のコントロールレジスタを示します。

表 20.5 RCAN-TL1 のコントロールレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
マスタコントロールレジスタ	MCR	H'000	16
ジェネラルステータスレジスタ	GSR	H'002	16
ビットコンフィギュレーションレジスタ 1	BCR1	H'004	16
ビットコンフィギュレーションレジスタ 0	BCR0	H'006	16
インタラプトリクエストレジスタ	IRR	H'008	16
インタラプトマスクレジスタ	IMR	H'00A	16
送信エラーカウンタ / 受信エラーカウンタ	TEC/REC	H'00C	16

20.4.1 マスタコントロールレジスタ (MCR)

MCR は、16 ビットの読み出し / 書き込み可能なレジスタで、RCAN-TL1 を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	-	-	-	TST[2:0]		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MCR15	1	R/W	<p>ID 並び替え</p> <p>本ビットは HCAN2 と互換性のあるメッセージコントロールおよび LAFM の STDID、RTR、IDE、EXTID の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 20.11 を参照してください。</p> <p>0 : RCAN-TL1 と HCAN2 は同等の順序 1 : RCAN-TL1 と HCAN2 は異なる順序</p>

ビット	ビット名	初期値	R/W	説明
14	MCR14	0	R/W	<p>自動バスオフホルト</p> <p>本ビットと MCR6 がともに設定された場合、RCAN-TL1 がバスオフ状態に入ると MCR1 は直ちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。</p> <p>0 : 通常の復帰シーケンス (128×11 レセツシブビット) で RCAN-TL1 バスオフ状態を維持</p> <p>1 : MCR6 がセットされると RCAN-TL1 はバスオフ状態のあと、直ちにホルトモードに入ります</p>
13~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
10~8	TST[2:0]	000	R/W	<p>テストモード</p> <p>本ビットはテストモードを有効/無効にします。テストモードを起動する前に、RCAN-TL1 をホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「20.7.2 テストモードの設定」を参照してください。</p> <p>テストモードは診断およびテストのためだけに用いるもので、RCAN-TL1 が通常動作時には使用できません。</p> <p>000 : ノーマルモード</p> <p>001 : リスンオンリモード (受信専用モード)</p> <p>010 : セルフテストモード 1 (外部)</p> <p>011 : セルフテストモード 2 (内部)</p> <p>100 : ライトエラーカウンタ</p> <p>101 : エラーパッシブモード</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>
7	MCR7	0	R/W	<p>自動ウェイクモード</p> <p>本ビットは CAN スリープモードの自動ウェイクモードを有効/無効にします。本ビットが設定されると、RCAN-TL1 は CAN バスアクティビティ (ドミナントビット) を検出して自動的に CAN スリープモード (MCR5) を解除します。本ビットがクリアされると RCAN-TL1 は自動的に CAN スリープモードを解除しません。</p> <p>RCAN-TL1 は、RCAN-TL1 をウェイクアップしたメッセージを格納できません。</p> <p>0 : CAN バスのアクティビティによる自動ウェイクモードが無効</p> <p>1 : CAN バスのアクティビティによる自動ウェイクモードが有効</p> <p>【注】 CAN スリープモード中は MCR7 ビットを変更できません。</p>

ビット	ビット名	初期値	R/W	説明
6	MCR6	0	R/W	<p>バスオフ時ホルト</p> <p>本ビットは、バスオフ時に MCR1 がセットされると直ちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CAN コントローラも直ちにエラーアクティブモードに復帰するので注意してください。</p> <p>0 : バスオフ時にホルトモードにはならず、復帰シーケンスが終了するのを待ちます</p> <p>1 : バスオフ時に MCR1 設定によるホルトモード遷移を有効にします</p>
5	MCR5	0	R/W	<p>CAN スリープモード</p> <p>本ビットは CAN スリープモードへの遷移を有効/無効にします。RCAN-TL1 がホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2つのエラー - カウンタ (REC、TEC) は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには2つの方法があります。</p> <ul style="list-style-type: none"> • MCR5 ビットに 0 を書き込む • MCR7 が有効の場合、CAN バス上のドミナントビットを検出する <p>自動スリープ解除モードが無効であれば、CAN スリープモードが終了するまで RCAN-TL1 はすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、RCAN-TL1 は CAN バス動作に入る前に 11 レセツピットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに RCAN-TL1 が最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。</p> <p>CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。詳細は「20.7.1 (3) CAN スリープモード」を参照してください。</p> <p>0 : CAN スリープモードが解除されています</p> <p>1 : CAN スリープモードへの遷移が有効です</p> <p>【注】 RCAN-TL1 は、最初にホルトモードに設定してから CAN スリープモードに遷移できます。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に RCAN-TL1 はホルトモードから CAN スリープモードに遷移しなければなりません。(具体的には MCR5 に 1 を、MCR1 に 0 を同時にライトします。)</p>
4、3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはベンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ (TXPR) のビット順で送信されます。</p> <p>送信はメールボックス 31 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。</p> <p>本機能は、メールボックス 24~30 のタイムトリガ送信には使用できませんのでご注意ください。もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) ID 優先順位どおり送信されます。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE = 1 の場合) + RTR ビット) を持ち、最初に送信されます。</p> <p>内部アービトレーションは RTR ビットと IDE ビットを含みます (内部アービトレーションは、2 つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。</p> <p>本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0: メッセージ ID 優先順に送信 1: メールボックス番号順 (メールボックス 31 → メールボックス 1) に送信</p>

ビット	ビット名	初期値	R/W	説明
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>本ビットをセットするとCANコントローラは現在の動作を終了したのちホルトモードに入ります(ここでCANバスからは切り離されます)。RCAN-TL1は本ビットがクリアされるまでホルトモードのままになります。</p> <p>ホルトモード中、CANインタフェースはCANバス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態をCPUに通知するためのIRR0とGSR4を除き、ユーザレジスタ(メールボックスの内容およびTEC/RECを含みます)の内容は保持されます。</p> <p>CANバスがアイドルまたはインタミッション状態の場合は、MCR6にかかわらずRCAN-TL1は1ビット時間内にホルトモードになります。MCR6がセットされていると、バスオフ中のホルトリクエストも1ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスが完了するまではホルトモードに入りません。ホルトモードになるとIRR0とGSR4によって通知されます。</p> <p>MCR14とMCR6がセットされていると、本ビットはRCAN-TL1がバスオフ状態に遷移するとすぐに自動的にセットされます。</p> <p>ホルトモード中、RCAN-TL1はバス動作に関係しないため、ビットタイミング設定を除きRCAN-TL1の構成を変更することができます。CANバス動作に再び参加するには、本ビットを0にクリアする必要があります。クリア後、RCAN-TL1は11レセシブビットが検出されるまで待ち、CANバスに参加します。</p> <p>0: ホルトモードリクエストをクリア 1: ホルトモード遷移リクエスト</p> <p>【注】1. ホルトリクエストが発行された後は、CPUはホルトモードへの遷移が完了するまで(IRR0とGSR4で通知されます)TXPRとTXCRにアクセスおよび本ビットをクリアすることができません。MCR1がセットされた後、この状態はホルトモードに入ってからか、(ソフトウェアまたはハードウェアでの)リセット動作でのみ解除できます。</p> <p>2. ホルトモードへのあるいはホルトモードからの遷移が可能なのは、BCR1とBCR0レジスタが適切なポーレートに設定されているときだけです。</p>

ビット	ビット名	初期値	R/W	説明
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>本ビットは RCAN-TL1 モジュールのリセットを制御します。本ビットが 0 から 1 に変わったとき、RCAN-TL1 コントローラはリセットルーチンに入り、内部ロジックを初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。</p> <p>本ビットがセットされている間、RCAN-TL1 は再構成することができません。CAN バスに参加するために本ビットは 0 をライトしてクリアする必要があります。クリア後、RCAN-TL1 モジュールは、11 レセシブビットの検出を待って CAN バスに参加します。</p> <p>CAN バス上の値をサンプリングするためにボーレートを適切な値にセットする必要があります。パワーオンリセット後には、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ RCAN-TL1 を構成する必要があることを示します。</p> <p>リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。</p> <p>0 : リセットモードリクエストをクリア [クリア条件] RCAN-TL1 をリセットした後に 0 が書き込まれたとき 1 : CAN インタフェースのリセットモード遷移リクエスト</p>

・ MCR15 (ID並べ替え) = 0																		
アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H*100+N*32	0	STDID[10:0]											RTR	IDE	EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16		
H*104+N*32	0	STDID_LAFM[10:0]											0	IDE_LAFM	EXTID_LAFM[17:16]	16/32	LAFMフィールド	
H*106+N*32	EXTID_LAFM[15:0]															16		
・ MCR15 (ID並べ替え) = 1																		
アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H*100+N*32	IED	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H*102+N*32	EXTID[15:0]															16		
H*104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM[17:16]		16/32	LAFMフィールド
H*106+N*32	EXTID_LAFM[15:0]															16		

図 20.11 ID 並べ替え

20.4.2 ジェネラルステータスレジスタ (GSR)

GSR は、16 ビットの読み出し専用レジスタで、RCAN-TL1 の状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
5	GSR5	0	R	エラーパッシブステータス CAN インタフェースがエラーパッシブかどうかを示します。本ビットは RCAN-TL1 がエラーパッシブ状態になるとすぐに1にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーパッシブ中とバスオフ中は、GSR5 は1を保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0: RCAN-TL1 はエラーパッシブあるいはバスオフ状態ではありません [クリア条件] RCAN-TL1 がエラーアクティブ状態の間 1: RCAN-TL1 がエラーパッシブ (ただし GSR0=0 の場合) あるいはバスオフ (ただし GSR0=1 の場合) です [セット条件] TEC 128 または REC 128 またはテストモードでエラーパッシブモード選択時
4	GSR4	0	R	ホルト/スリープステータス CAN コントローラがホルト/スリープかどうかを示します。本フラグのクリア時間は IRR12 のセッティング時間とは同じではありませんので留意してください。このフラグは CAN コントローラの状態を反映するもので、RCAN-TL1 の状態をフルに反映するものではありません。RCAN-TL1 は CAN スリープモードを終了し MCR5 がクリアされるとアクセス可能になります。CAN コントローラの CAN スリープモードは、転送クロック 2 ビット分経過後に終了します。 0: RCAN-TL1 はホルトモードでも CAN スリープモードでもありません 1: ホルトモード (MCR1=1 の場合) または CAN スリープモード (MCR5=1 の場合) です [セット条件] MCR1 がセットされ CAN バスがインタミッションまたはアイドルの場合、または MCR5 がセットされ RCAN-TL1 がホルトモードのとき、または MCR14 と MCR6 が両者ともセットされて RCAN-TL1 がバスオフへ遷移したとき

ビット	ビット名	初期値	R/W	説明
3	GSR3	1	R	リセットステータス RCAN-TL1 がリセット状態かどうかを示します。 0 : RCAN-TL1 はリセット状態ではありません 1 : RCAN-TL1 がリセット状態です [セット条件] RCAN-TL1 のソフトウェアまたはハードウェアリセットの後
2	GSR2	1	R	メッセージ送信中フラグ RCAN-TL1 がバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー/オーバロードのフラグを送信中なのかを CPU に示すフラグです。TXACK をセットするタイミングと GSR2 をクリアするタイミングとは異なります。TXACK は EOF の 7 番目のビットにセットされます。GSR2 については、送信待ちのメッセージがない場合には、インタミッションの 3 番目のビットでセットされます。また、アービトレーションロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。 0 : RCAN-TL1 はバスオフ状態またはメッセージを送信中です 1 : [セット条件] バスオフ状態でない、またはメッセージを送信中でない
1	GSR1	0	R	送信/受信ワーニングフラグ エラーワーニングを示すフラグです。 0 : [クリア条件] TEC < 96 かつ REC < 96 またはバスオフのとき 1 : [セット条件] 96 TEC < 256 または 96 REC < 256 のとき 【注】 REC は、バスオフ復帰シーケンスに必要な 11 レセップビットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。
0	GSR0	0	R	バスオフフラグ RCAN-TL1 がバスオフ状態であることを示します。 0 : [クリア条件] バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1 : [セット条件] TEC 256 (バスオフ状態)

20.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)

BCR0、BCR1 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケアラを設定します。

以下、タイムクオンタを以下のとおり定義します。

$$\text{タイムクオンタ} = 2 \times \text{BRP} / f_{\text{clk}}$$

BRP (ボーレートプリスケアラ) は BCR0 格納値 + 1 の値です。 f_{clk} は周辺クロック周波数です。

(1) BCR1

TSEG1 と TSEG2 の設定については表 20.5 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG1[3:0]				-	TSG2[2:0]			-	-	SJW[1:0]		-	-	-	BSP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~12	TSG1[3:0]	0000	R/W	タイムセグメント 1 これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1 (= PRSEG + PHSEG1) を設定するために使用します。4~16 タイムクオンタが設定できます。 0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1 = 4 タイムクオンタ 0100 : PRSEG + PHSEG1 = 5 タイムクオンタ : : 1111 : PRSEG + PHSEG1 = 16 タイムクオンタ
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	TSG2[2:0]	000	R/W	<p>タイムセグメント 2</p> <p>これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2 (= PRSEG2) を設定することに使用します。2~8 タイムクオンタが設定できます。</p> <p>000 : 設定禁止</p> <p>001 : PHSEG2 = 2 タイムクオンタ (条件によっては設定禁止です。表 20.5 を参照してください)</p> <p>010 : PHSEG2 = 3 タイムクオンタ</p> <p>011 : PHSEG2 = 4 タイムクオンタ</p> <p>100 : PHSEG2 = 5 タイムクオンタ</p> <p>101 : PHSEG2 = 6 タイムクオンタ</p> <p>110 : PHSEG2 = 7 タイムクオンタ</p> <p>111 : PHSEG2 = 8 タイムクオンタ</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5、4	SJW[1:0]	00	R/W	<p>再同期ジャンプ幅</p> <p>同期ジャンプ幅を設定します。</p> <p>00 : 同期ジャンプ幅 = 1 タイムクオンタ</p> <p>01 : 同期ジャンプ幅 = 2 タイムクオンタ</p> <p>10 : 同期ジャンプ幅 = 3 タイムクオンタ</p> <p>11 : 同期ジャンプ幅 = 4 タイムクオンタ</p>
3~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント</p> <p>データがサンプリングされるポイントを設定します。</p> <p>0 : 1 か所でビットサンプリングが行われます (タイムセグメント 1 の最後)</p> <p>1 : 3 か所でビットサンプリングが行われます (PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ)</p>

(2) BCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BRP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
7~0	BRP[7:0]	00000000	R/W	ポーレートプリスケラ これらのビットは、1タイムクオンタに対応する周辺クロック数を設定します。 00000000 : 2×周辺クロック 00000001 : 4×周辺クロック 00000010 : 6×周辺クロック : 2×(レジスタ値+1)×周辺クロック 11111111 : 512×周辺クロック

- ビットコンフィギュレーションレジスタについて

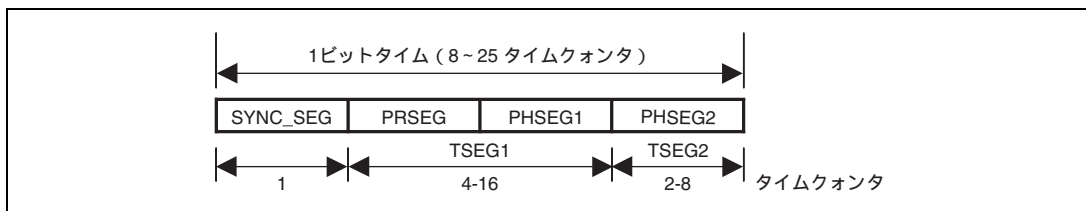


図 20.12 1ビットタイムの構成

SYNC_SEG : CAN バス上のノードの同期をするセグメント

(通常のビットエッジ遷移がこのセグメントで発生します)

PRSEG : ネットワーク間の物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます)

PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます)

TSEG1 : TSG1 + 1

TSEG2 : TSG2 + 1

RCAN-TL1 ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = f_{clk} / (2 \times (\text{BRP} + 1) \times (\text{TSEG1} + \text{TSEG2} + 1))$$

BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は上述の表から算出した値であって実際の設定値ではありません。前記ビットレート計算式のタイムセグメントの「+1」は SYNC_SEG の 1 タイムクオンタであること

によります。

f_{clk} = 周辺クロック

BCR 設定上の制約となる事項

$TSEG1 (Min.) > TSEG2 \quad SJW (Max.) \quad (SJW = 1 \sim 4)$

8 $TSEG1 + TSEG2 + 1 \leq 25$ タイムクオンタ ($TSEG1 + TSEG2 + 1 = 7$ は不可)

$TSEG2 \leq 2$

ビットコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が表 20.6 に示される設定値の範囲であれば、上述の制限事項を満たします。表 20.6 の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 20.6 TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1-3	不可	不可	不可	不可	不可	
0100	5	1-2	1-3	1-4	不可	不可	不可	不可	
0101	6	1-2	1-3	1-4	1-4	不可	不可	不可	
0110	7	1-2	1-3	1-4	1-4	1-4	不可	不可	
0111	8	1-2	1-3	1-4	1-4	1-4	1-4	不可	
1000	9	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1001	10	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1010	11	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1011	12	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1100	13	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1101	14	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1110	15	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1111	16	1-2	1-3	1-4	1-4	1-4	1-4	1-4	

例 1: f_{clk} が 32MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 11、TSEG2 = 4 が条件を満たします。この場合、BCR1 には H'A300、BCR0 には H'0001 をライトすることになります。

例 2: f_{clk} が 20MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 6、TSEG2 = 3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0001 をライトすることになります。

20.4.4 インタラプトリクエストレジスタ (IRR)

IRR は、16 ビットの読み出し/書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	IRR15	0	R/W	<p>タイマコンペアマッチ割り込み 1</p> <p>タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチが発生したことを示します。TCMR1 の設定値がサイクルタイムと一致すると (TCMR1=CYCTR)、本ビットがセットされます。</p> <p>0: TCMR1 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: TCMR1 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR1 がサイクルタイムと一致 (TCMR1=CYCTR)</p>
14	IRR14	0	R/W	<p>タイマコンペアマッチ割り込み 0</p> <p>タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチが発生したことを示します。TCMR0 の設定値がローカルタイムと一致すると (TCMR0=TCNTR)、本ビットがセットされます。</p> <p>0: TCMR0 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: TCMR0 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR0 がタイム値と一致 (TCMR0=TCNTR)</p>

ビット	ビット名	初期値	R/W	説明
13	IRR13	0	R/W	<p>タイマオーバーラン割り込み / Next_is_Gap 受信割り込み / メッセージエラー割り込み</p> <p>本割り込みは RCAN-TL1 のモードにより異なった意味を持ち、以下の状態を示します。</p> <ul style="list-style-type: none"> • イベントトリガモード (テストモードを含む) で動作中、タイマ (TCNTR) オーバランが発生。 • タイムトリガモード (テストモードを含む) で動作中、Next_is_Gap がセットされたタイムリファレンスメッセージを受信。 • テストモードでメッセージエラーが発生。ただし、テストモード中にメッセージオーバーロード条件が発生しても、本ビットはセットされません。 <p>0: イベントトリガモード (テストモードを含む) でタイマ (TCNTR) オーバランが発生していない タイムトリガモード (テストモードを含む) で Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: [セット条件] イベントトリガモード (テストモードを含む) でタイマ (TCNTR) オーバランが発生し、H'FFFF から H'0000 に変化 タイムトリガモード (テストモードを含む) で Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生</p>
12	IRR12	0	R/W	<p>CAN スリープモード時バスアクティビティ</p> <p>本ビットは CAN バスアクティビティの存在を示します。RCAN-TL1 が CAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みを受け付けない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりエッジにより、再び割り込みがセットされるのを防ぐためです。</p> <p>本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。</p> <p>0: バスアイドル状態</p> <p>[クリア条件] 1 を書き込む</p> <p>1: CAN バスアクティビティを CAN スリープモード中に検出</p> <p>[セット条件] CAN スリープモード中に CRxn 上でドミナントへのビット状態変化を検出</p>

ビット	ビット名	初期値	R/W	説明
11	IRR11	0	R/W	<p>タイマコンペアマッチ割り込み 2</p> <p>タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチが発生したことを示します。TCMR2 の設定値がサイクルタイムと一致すると (TCMR2=CYCTR)、本ビットがセットされます。</p> <p>0 : TCMR2 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : TCMR2 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR2 がサイクルタイムと一致 (TCMR2=CYCTR)</p>
10	IRR10	0	R/W	<p>スタートシステムマトリックス割り込み</p> <p>次のシステムマトリックスが開始したことを示します。CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信完了時に本ビットがセットされます。CMAI=0 の場合は、本割り込みはサイクルカウント (Basic Cycle) ごとにセットされます。</p> <p>0 : 新しいシステムマトリックスの先頭でない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : サイクルカウンタが 0 になった</p> <p>[セット条件]</p> <p>CMAI=B'1111 かつ CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信が完了</p>
9	IRR9	0	R	<p>メッセージオーバラン / オーバライト割り込みフラグ</p> <p>本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより新しく受信されたメッセージは NMC ビットの設定によって、捨てられる (オーバラン) か上書き (オーバライト) されたことを示します。本ビットは UMSR レジスタの対応するビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0 : メッセージオーバラン / オーバライト通知がない</p> <p>[クリア条件] UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット</p> <p>1 : オーバランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバライトされた</p> <p>[セット条件] 対応する PXPR または RFPR = 1 かつ MBIMR = 0 のときにメッセージを受信</p>

ビット	ビット名	初期値	R/W	説明
8	IRR8	0	R	<p>メールボックスエンプティ割り込みフラグ</p> <p>送信用に設定されたメッセージの1つが正常に送信(対応する TXACK フラグがセット)または送信アボート(送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット)されると、本ビットがセットされます。</p> <p>このときイベントトリガモードでは、対応する TXPR がクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。</p> <p>タイムトリガモードでは、プログラムされたサイクルカウント (Basic Cycle) ごとの送信を続けるため、メールボックス 24~30 の TXPR は送信完了後にクリアされません。</p> <p>実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0: 送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべての TXACK および ABACK ビットがクリアまたは、セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット</p> <p>1: メッセージが送信または送信アボート(送信キャンセル)され、次のメッセージの格納が可能となった(タイムトリガモードでは、メールボックス 24~30 はアボート時のみ次のメッセージを格納可能)</p> <p>[セット条件] TXACK または ABACK ビットがセットされたとき(対応する MBIMR = 0 の場合)</p>
7	IRR7	0	R/W	<p>オーバーロードフレーム</p> <p>RCAN-TL1 がオーバーロードフレーム送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: [セット条件] オーバロード条件を検出</p>

ビット	ビット名	初期値	R/W	説明
6	IRR6	0	R/W	<p>バスオフ割り込みフラグ</p> <p>本ビットは、RCAN-TL1 がバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの TEC \geq 256、バスオフ復帰シーケンスの終了 (11 レセッシブビットを 128 回連続受信) またはバスオフから停止状態への遷移 (オートまたはマニュアル) が要因となります。</p> <p>本ビットは RCAN-TL1 がバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードして、RCAN-TL1 がバスオフ状態かエラーアクティブ状態か判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した</p> <p>[セット条件] TEC \geq 256 または 11 レセッシブビットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移</p>
5	IRR5	0	R/W	<p>エラーパッシブ割り込みフラグ</p> <p>受信または送信エラーカウンタによるエラーパッシブ状態、またはテストモードによって強制的にエラーパッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーパッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、RCAN-TL1 がエラーパッシブ状態であるかバスオフ状態であるか判定する必要があります。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信 / 受信エラーによるエラーパッシブ状態</p> <p>[セット条件] TEC \geq 128 または REC \geq 128 またはエラーパッシブテストモードを使用</p>
4	IRR4	0	R/W	<p>受信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN-TL1 がバスオフ状態でないときに受信エラーカウンタ (REC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 受信エラーによるエラーワーニング状態</p> <p>[セット条件] RCAN-TL1 がバスオフ状態以外で REC \geq 96</p>

ビット	ビット名	初期値	R/W	説明
3	IRR3	0	R/W	<p>送信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN-TL1 がバスオフ状態でないときに送信エラーカウンタ (TEC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む 1 : 送信エラーによるエラーワーニング状態</p> <p>[セット条件] TEC ≥ 96</p>
2	IRR2	0	R	<p>リモートフレーム受信割り込みフラグ</p> <p>メールボックスがリモートフレームを受信したことを示します。対応する MBIMR がセットされていない少なくとも 1 つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ (RFPR) のすべてのビットがクリアされるとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0 : [クリア条件] RFPR のすべてのビットがクリア 1 : 少なくとも 1 つのリモートフレームリクエストが処理待ち状態</p> <p>[セット条件] 対応する MBIMR = 0 のときリモートフレームを受信</p>
1	IRR1	0	R	<p>データフレーム受信割り込みフラグ</p> <p>処理待ち状態の受信データフレームが存在することを示します。本ビットが 1 のとき、少なくとも 1 つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ (RXPR) のすべてのビットがクリアされると (どの受信メールボックスにも未処理のメッセージがない) クリアされます。MBIMR が 0 でない各受信メールボックスの RXPR フラグの論理和が設定されます。</p> <p>また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0 : [クリア条件] RXPR のすべてのビットがクリア 1 : データフレームを受信しメールボックスに格納した</p> <p>[セット条件] 対応する MBIMR = 0 のときデータを受信</p>

ビット	ビット名	初期値	R/W	説明
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ 下記の3つの要因によってセットされます。</p> <ul style="list-style-type: none"> ソフトウェアリセット (MCR0) またはハードウェアリセット後、リセットモードに遷移 ホルトリクエスト (MCR1) の後、ホルトモードに遷移 ホルトモードでスリープリクエスト (MCR5) 発行後、CAN スリープモードに遷移 <p>本ビットがセットされた後 GSR をリードして、RCAN-TL1 の状態を知ることができます。</p> <p>【注】 スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5 の説明および図 20.17 を参照してください。</p> <p>IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、RCAN-TL1 がホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード / CAN スリープモードから送信 / 受信動作に遷移する際、GSR4 がクリアされるまでに [1 ビット時間 - TSEG2] ~ [1 ビット時間 × 2 - TSEG2] の時間が必要です。</p> <p>リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。</p> <p>0 : [クリア条件] 1 を書き込む 1 : ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移</p> <p>[セット条件] リセット (MCR0 またはハードウェア) またはホルトモード (MCR1) または CAN スリープモード (MCR5) リクエストの後、リセット / ホルト / CAN スリープモードへの遷移が完了</p>

20.4.5 インタラプトマスクレジスタ (IMR)

IMR は、16 ビットの読み出し / 書き込み可能なレジスタで、インタラプトリクエストレジスタ (IRR) の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	IMR[15:0]	H'FFFF	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0 : 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1 : IRR の対応する割り込みをマスクする

20.4.6 送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)

TEC および REC は、読み出し / 条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信 / 受信メッセージエラー数を示すカウンタです。カウント値は前述した参考文献の [1]、[2]、[3]、[4] に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き換え可能です。本レジスタは、リセットリクエスト (MCR0) またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード (TST[2:0]=B'100) では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、RCAN-TL1 をホルトモードにする必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * MCR の TST[2:0]=B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 レセツピットを受信回数をカウントします。

ビット	ビット名	初期値	R/W	説明
15~8	TEC[7:0]	H'00	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7~0	REC[7:0]	H'00	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

20.5 RCAN-TL1 のメールボックスレジスタ

RCAN-TL1 のメールボックスレジスタについて説明します。RCAN-TL1 のメールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。

表 20.7 に RCAN-TL1 のメールボックスレジスタを示します。

【重要】 ロングワードアクセスは、2つの連続したワードアクセスとして行われます。

表 20.7 RCAN-TL1 のメールボックスレジスタ

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
送信待ちレジスタ 1	TXPR1	H'020	32
送信待ちレジスタ 0	TXPR0	H'022	-
		H'024	
		H'026	
送信キャンセルレジスタ 1	TXCR1	H'028	16 / 32
送信キャンセルレジスタ 0	TXCR0	H'02A	16
		H'02C	
		H'02E	
送信アクノリッジレジスタ 1	TXACK1	H'030	16 / 32
送信アクノリッジレジスタ 0	TXACK0	H'032	16
		H'034	
		H'036	
アポートアクノリッジレジスタ 1	ABACK1	H'038	16 / 32
アポートアクノリッジレジスタ 0	ABACK0	H'03A	16
		H'03C	
		H'03E	
データフレーム受信完了レジスタ 1	RXPR1	H'040	16 / 32
データフレーム受信完了レジスタ 0	RXPR0	H'042	16
		H'044	
		H'046	
リモートフレーム受信完了レジスタ 1	RFPR1	H'048	16 / 32
リモートフレーム受信完了レジスタ 0	RFPR0	H'04A	16
		H'04C	
		H'04E	
メールボックスインタラプトマスクレジスタ 1	MBIMR1	H'050	16 / 32
メールボックスインタラプトマスクレジスタ 0	MBIMR0	H'052	16
		H'054	
		H'056	
未読メッセージステータスレジスタ 1	UMSR1	H'058	16 / 32

レジスタ名	略称	アドレス	アクセスサイズ(ビット)
未読メッセージステータスレジスタ 0	UMSR0	H'05A	16
		H'05C	
		H'05E	

20.5.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)

TXPR1 と TXPR0 は連結され、CAN モジュールの送信待ちフラグを格納する 32 ビットのレジスタを構成します。16 ビットバスインタフェースの場合、ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

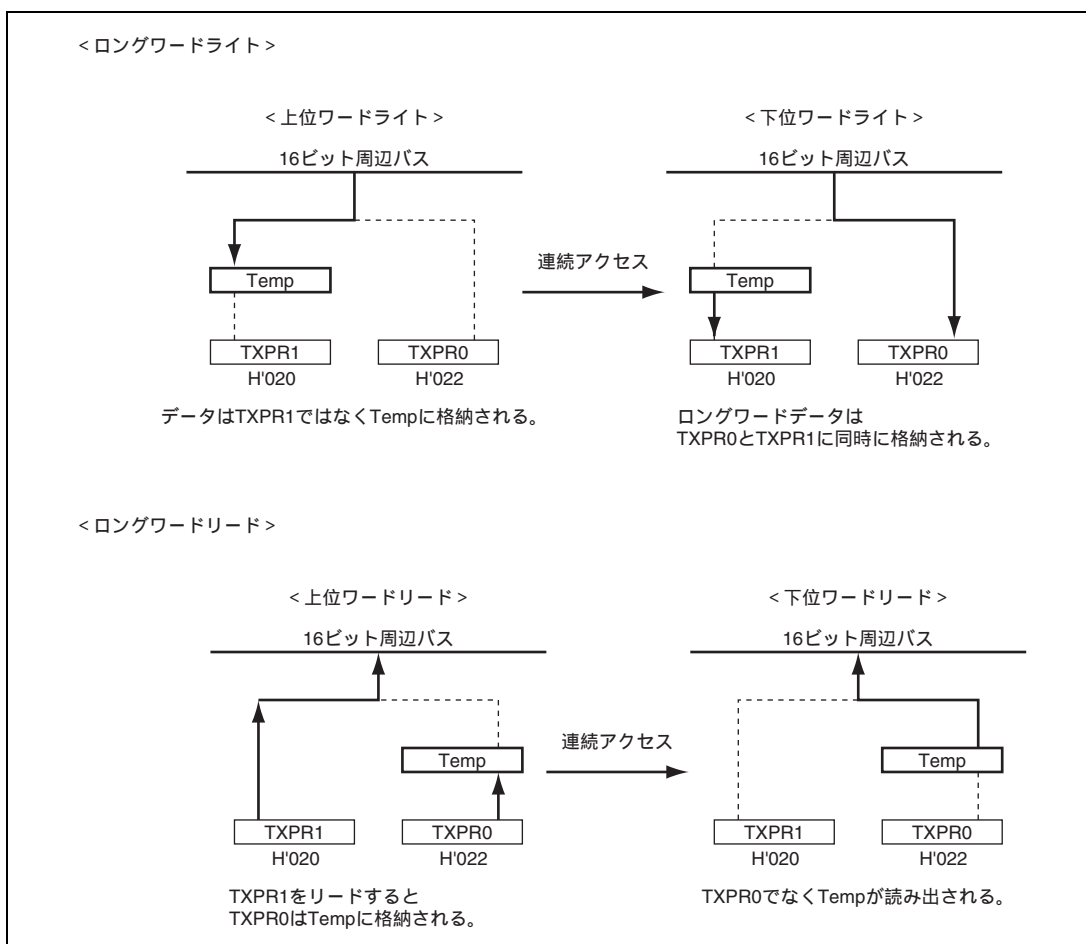


図 20.13 16 ビットバスインタフェース時のロングワードアクセス

TXPR1 レジスタはメールボックス 31~16 を制御し、TXPR0 レジスタはメールボックス 15~1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

イベントトリガモードでは、メッセージが正常に送信された後または TXCR からの送信アポートが行われた後、RCAN-TL1 は対応する送信待ちフラグをクリアします。タイムトリガモードでは、プログラムされたサイクルカウント (Basic Cycle) ごとの送信を続けるため、メールボックス 30~24 の TXPR は送信完了後にクリアされません。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていなければ、RCAN-TL1 は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアポートアクノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されます。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位 (MCR2=0) が最も高いメッセージが常に送信されるように処理します。詳細については「20.7 動作説明」を参照してください。

RCAN-TL1 が TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアポートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアポートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用に書き換えることができます。

(1) TXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXPR1[15:0]	H'0000	R/W	<p>対応するメールボックスに対して CAN フレーム送信をリクエストします。ビット 15~0 はメールボックス 31~16 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件] メッセージ送信終了 (イベントトリガメッセージの場合) またはメッセージ送信アボート (自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>

(2) TXPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。

TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。

ビット	ビット名	初期値	R/W	説明
15~1	TXPR0[15:1]	H'0000	R/W	<p>対応するメールボックスに CAN フレーム送信リクエストが発生していることを示します。ビット 15~1 はメールボックス 15~1 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件] メッセージ送信終了 (イベントトリガメッセージの場合) またはメッセージ送信アボート (自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視されます。読み出し値は 0 です。</p>

20.5.2 送信キャンセルレジスタ 1、0 (TXCR1、TXCR0)

TXCR1 と TXCR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、TXCR1 はメールボックス 31 ~ 16 を制御し、TXCR0 はメールボックス 15 ~ 1 を制御します。CPU は TXCR を使用して、TXPR の送信リクエストをキャンセルします。TXPR のビットをクリアするには、CPU から対応する TXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アポートが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したことによって送信が行われなかった場合は、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、対応する ABACK のビットをセットします。CPU が送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPU は TXCR のフラグをセットすることはできません。

(1) TXCR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXCR1[15:0]	H'0000	R/W	<p>送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~0 はメールボックス 31~16 (および TXPR1[15:0]) に対応しています。</p> <p>0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)</p> <p>1: 対応するメールボックスに対して送信キャンセルを要求</p>

(2) TXCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXCR0[15:1]	H'0000	R/W	<p>送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~1 はメールボックス 15~1 (および TXPR0[15:1]) に対応しています。</p> <p>0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)</p> <p>1: 対応するメールボックスに対して送信キャンセルを要求</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に0となります。1を書き込むと無視され、読み出し値は常に0です。</p>

20.5.3 送信アクノリッジレジスタ 1、0 (TXACK1、TXACK0)

TXACK1 と TXACK0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことを CPU に通知するために使用します。送信が正常に行われると、RCAN-TL1 は TXACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって TXACK のビットをクリアすることができます。0 を書き込むと無視されます。

(1) TXACK1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXACK1[15:0]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~0 はメールボックス 31~16 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了

(2) TXACK0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

20.5.4 アポートアクノリッジレジスタ 1、0 (ABACK1、ABACK0)

ABACK1 と ABACK0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアポートされたことを CPU に通知するために使用します。アポートが行われると、RCAN-TL1 は ABACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK のビットをクリアすることができます。0 を書き込むと無視されます。RCAN-TL1 が ABACK のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

(1) ABACK1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	ABACK1[15:0]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~0 はメールボックス 31~16 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル

(2) ABACK0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	ABACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

20.5.5 データフレーム受信完了レジスタ 1、0 (RXPR1、RXPR0)

RXPR1 と RXPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効とされます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1 (データフレーム受信割り込みフラグ) もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

(1) RXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR1[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 31~16 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

(2) RXPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 15~0 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

20.5.6 リモートフレーム受信完了レジスタ 1、0 (RFPR1、RFPR0)

RFPR1 と RFPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効となります。すべてのメールボックスに対してビットが存在しますが、メールボックスが MBC (メールボックスコンフィギュレーション) によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR2 (リモートフレーム受信割り込みフラグ) もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

(1) RFPR1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR1[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RFPR1[15:0]	H'0000	R/W	メールボックス 31 ~ 16 のリモートリクエスト受信フラグです。 0 : [クリア条件] 1 を書き込む 1 : 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

(2) RFPR0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR0[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RFPR0[15:0]	H'0000	R/W	メールボックス 15 ~ 0 のリモートリクエスト受信フラグです。 0 : [クリア条件] 1 を書き込む 1 : 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

20.5.7 メールボックスインタラプトマスクレジスタ 1、0 (MBIMR1、MBIMR0)

MBIMR1 と MBIMR0 は、16 ビットの読み出し / 書き込み可能なレジスタです。MBIMR は、メールボックスの動作に関連する IRR (IRR1 : データフレーム受信割り込み、IRR2 : リモートフレーム受信割り込み、IRR8 : メールボックスエンプティ割り込み、IRR9 : メッセージオーバーラン / オーバライト割り込み) をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ (IRR1、IRR2、IRR9) による割り込みをマスクします。RXPR、RFPR、UMSR ビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アボート (IRR8) による割り込みやメールボックスエンプティ割り込みをマスクします。送信による TXPR/TXCR ビットのクリアと TXACK ビットのセット、送信アボートによる TXPR/TXCR ビットのクリアと ABACK ビットのセットには影響しません。

マスクするメールボックスに対応するビットに 1 を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます。

(1) MBIMR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR1[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR1[15:0]	H'FFFF	R/W	メールボックス 31 ~ 16 からの割り込み要求を許可 / 禁止します。 0 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

(2) MBIMR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR0[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15 ~ 0 からの割り込み要求を許可 / 禁止します。 0 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

20.5.8 未読メッセージステータスレジスタ 1、0 (UMSR1、UMSR0)

UMSR1 と UMSR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU/DMAC によって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR または RFPR の対応するビットが CPU によってクリアされていないと、UMSR のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

メールボックスが送信に設定されている場合は、対応する UMSR のビットはセットされません。

(1) UMSR1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR1[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	UMSR1[15:0]	H'0000	R/W	メールボックス 31 ~ 16 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。 0 : [クリア条件] 1 を書き込む 1 : 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した [セット条件] RXPR または RFPR がクリアされる前に新しいメッセージを受信

(2) UMSR0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR0[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	UMSR0[15:0]	H'0000	R/W	メールボックス 15 ~ 0 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。 0 : [クリア条件] 1 を書き込む 1 : 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した [セット条件] RXPR または RFPR がクリアされる前に新しいメッセージを受信

20.6 タイマレジスタ

RCAN-TL1 のタイマは 16 ビットのタイマで、数種のクロックソースをサポートしています。プリスケールカウンタにより、クロックの速度を落とすことができます。また、3 個のコンペアマッチレジスタ (TCMR2、TCMR1、TCMR0) を備えています。アドレスマップを以下に示します。

【重要】タイマレジスタはすべてワード (16 ビット) アクセスのみ可能です。

表 20.8 RCAN-TL1 のタイマレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
タイムトリガコントロールレジスタ 0	TTCR0	H'080	16
サイクルマキシマム / Tx_Enable_Window レジスタ	CMAX_TEW	H'084	16
リファレンストリガオフセットレジスタ	RFTROFF	H'086	16
タイマステータスレジスタ	TSR	H'088	16
サイクルカウンタレジスタ	CCR	H'08A	16
タイマカウンタレジスタ	TCNTR	H'08C	16
サイクルタイムレジスタ	CYCTR	H'090	16
リファレンスマークレジスタ	RFMK	H'094	16
タイマコンペアマッチレジスタ 0	TCMR0	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	H'0A0	16
送信トリガタイムセレクトレジスタ	TTTSEL	H'0A4	16

20.6.1 タイムトリガコントロールレジスタ 0 (TTCR0)

TTCR0 は、16 ビットの読み出し / 書き込み可能なレジスタです。

タイマの動作を制御します。定周期送信や監視用レジスタの設定は、本レジスタを設定し、タイマを動作させてから行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-	-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TCR15	0	R/W	<p>タイマイネーブル</p> <p>本ビットをセットすると TCNTR は動作し、クリアすると TCNTR と CCR がクリアされます。</p> <p>0 : TCNTR と CCR をクリアし、動作停止</p> <p>1 : タイマ動作</p>
14	TCR14	0	R/W	<p>タイムスタンプ値</p> <p>メールボックス 15~0 の送信および受信用タイムスタンプとして、サイクルタイム (CYCTR) を使用するか CCR[5:0] + CYCTR[15:6] を使用するか指定します。本機能は、タイムトリガモードで Rx_Trigger をモニタするのに便利です。</p> <p>本レジスタはメールボックス 30 および 31 のタイムスタンプには影響しません。</p> <p>0 : メールボックス 15~0 のタイムスタンプに CYCTR[15:0] を使用</p> <p>1 : メールボックス 15~0 のタイムスタンプに CCR[5:0] + CYCTR[15:6] を使用</p>
13	TCR13	0	R/W	<p>TCMR2 によるキャンセル</p> <p>本ビットおよびビット 12 がセットされた状態で、RCAN-TL1 がホルトモード以外でコンペアマッチが発生したときに、当該 TXPR ビットに対応するすべての TXCR ビットを自動セットします。それにより送信キュー内のメッセージをキャンセルします。</p> <p>0 : TCMR2 のコンペアマッチによる送信キャンセル禁止</p> <p>1 : TCMR2 のコンペアマッチによる送信キャンセル許可</p>
12	TCR12	0	R/W	<p>コンペアマッチイネーブル</p> <p>本ビットをセットすると TCMR2 のコンペアマッチで IRR11 がセットされません。</p> <p>0 : TCMR2 のコンペアマッチで IRR11 がセットされない</p> <p>1 : TCMR2 のコンペアマッチで IRR11 がセットされる</p>

ビット	ビット名	初期値	R/W	説明
11	TCR11	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR1 のコンペアマッチで IRR15 がセットされます。 0 : TCMR1 のコンペアマッチで IRR15 がセットされない 1 : TCMR1 のコンペアマッチで IRR15 がセットされる
10	TCR10	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR0 のコンペアマッチで IRR14 がセットされます。 0 : TCMR0 のコンペアマッチで IRR14 がセットされない 1 : TCMR0 のコンペアマッチで IRR14 がセットされる
9~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
6	TCR6	0	R/W	TCMR0 によるタイムクリア制御 TCNTR が TCMR0 と一致したときにタイマを H'0000 にクリアするか指定します。また、TCMR0 は IRR14 により CPU に対して割り込み信号を発生することもできます。 【注】 RCAN-TL1 が TTCAN モードで動作中 (CMAX≠B'111) は、本ビットを 0 に設定しローカルタイムがクリアされないようにしてください。 0 : TCMR0 でタイムクリアしない 1 : TCMR0 でタイムクリア
5~0	TPSC5~ TPSC0	H'00	R/W	タイムプリスケアラ 本ビットの設定により、タイマのソースクロック (4×[RCAN-TL1 のシステムクロック]) を分周して使用することができます。プリスケアラはイベントトリガモードでのみ有効です。TTCAN モードで (CMAX≠B'111) は、自動的に 1 ビットタイミング (=CAN バスの 1 ビット長) が TCNTR のソースクロックとして選択されます。 ソースクロック周期とタイマ周期の関係を以下に示します。 000000 : 1X ソースクロック 000001 : 2X ソースクロック 000010 : 3X ソースクロック 000011 : 4X ソースクロック 000100 : 5X ソースクロック : 111111 : 64X ソースクロック

20.6.2 サイクルマキシマム / Tx_Enable_Window レジスタ (CMAX_TEW)

CMAX_TEW は、16 ビットの読み出し / 書き込み可能なレジスタです。

CMAX はタイムトリガ送信用のサイクルカウンタ (CCR) の最大値を指定し、これによりシステムマトリックスのサイクルカウンタ数 (Basic Cycle) が設定されます。サイクルカウンタが最大値になると (CCR=CMAX)、1 サイクルカウンタ後にサイクルカウンタは 0 にクリアされ、IRR10 割り込みが発生します。

TEW は Tx_Enable_Window 幅を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMAX[2:0]			-	-	-	-	TEW[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
10~8	CMAX[2:0]	111	R/W	サイクルカウンタ最大値 CCR の最大値を示します。 サイクルカウンタ最大値 = $2^{\text{CMAX}} - 1$ (CMAX = レジスタ値) タイムトリガ送信用のマトリックスサイクル内で可能なサイクルカウンタ数は、(サイクルカウンタ最大値 + 1) となります。 CMAX = B'111 設定時、RCAN-TL1 はタイムトリガモードであり、タイムトリガ機能を使用できます。 CMAX = B'111 設定時、RCAN-TL1 はイベントトリガモードです。 000 : サイクルカウンタ最大値 = 0 001 : サイクルカウンタ最大値 = 1 010 : サイクルカウンタ最大値 = 3 011 : サイクルカウンタ最大値 = 7 100 : サイクルカウンタ最大値 = 15 101 : サイクルカウンタ最大値 = 31 110 : サイクルカウンタ最大値 = 63 111 : RCAN-TL1 はイベントトリガモード (CCR はクリア) 【注】 イベントトリガモードを使用する場合は、CMAX=B'111 に設定してください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
3~0	TEW[3:0]	0000	R/W	<p>Tx_Enable_Window</p> <p>Tx_Enable_Window 幅を設定します。</p> <p>TEW=B'0000 のとき、ウィンドウ幅は 1 ビットタイミングとなります。</p> <p>B'0000 ~ B'1111 のすべての値を設定することができます。</p> <p>0000 : Tx_Enable_Window 幅=1</p> <p>0001 : Tx_Enable_Window 幅=2</p> <p>0010 : Tx_Enable_Window 幅=3</p> <p>0011 : Tx_Enable_Window 幅=4</p> <p>：</p> <p>1111 : Tx_Enable_Window 幅=16</p> <p>【注】RCAN-TL1 の CAN データリンクコントローラは、送信リクエストから送信を開始するのに常に CAN バス 1~2 ビットタイミングを必要とします。したがって、上記の値はこの精度を考慮していません。</p>

20.6.3 リファレンストリガオフセットレジスタ (RFTROFF)

RFTROFF は、8 ビットの読み出し/書き込み可能なレジスタです。

メールボックス 30 の送信トリガタイム (TTT) に -127 ~ +127 までオフセットを設定することができます。メールボックス 30 の TTT は、RFTROFF レジスタ値の符号拡張値を付加した後、CYCTR と比較されます。

ただし、TTT の値は変更されません。本オフセット値はメールボックス 30 にのみ影響します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTROFF[7:0]								-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	RFTROFF [7:0]	H'00	R/W	<p>リファレンストリガオフセット値を示します。</p> <p>00000000 : ref_trigger_offset =+0</p> <p>00000001 : ref_trigger_offset =+1</p> <p>00000010 : ref_trigger_offset =+2</p> <p>：</p> <p>01111111 : ref_trigger_offset =+127</p> <p>：</p> <p>11111111 : ref_trigger_offset =-1</p> <p>11111110 : ref_trigger_offset =-2</p> <p>：</p> <p>10000001 : ref_trigger_offset =-127</p>
7~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

20.6.4 タイマステータスレジスタ (TSR)

TSR は、16 ビットの読み出し専用レジスタで、これにより CPU はタイマコンペアマッチ状態およびタイマオーバラン状態を監視することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R*	R*	R*	R*	R*

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
4	TSR4	0	R*	スタートシステムマトリックス 次のシステムマトリックスが開始したことを示します。 CCR=0 のとき、本ビットはタイムリファレンスメッセージの送信 / 受信完了時にセットされます。 0: 次のシステムマトリックスの先頭でない [クリア条件] IRR10 (サイクルカウンタオーバーフロー割り込みフラグ) に 1 を書き込む 1: サイクルカウンタが 0 になった [セット条件] サイクルカウンタの値が最大値 (CMAX) から H'0 に変化 CMAX=B'111 かつ CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信が完了
3	TSR3	0	R*	タイマコンペアマッチフラグ 2 タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチが発生したことを示します。TCMR2 に設定した値がサイクルタイムレジスタと一致 (TCMR2=CYCTR) したとき、TTCR0 のビット 12 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR11 (タイマコンペアマッチ割り込み 2 フラグ) がクリアされるとクリアされます。 0: TCMR2 のタイマコンペアマッチが発生していない [クリア条件] IRR11 (タイマコンペアマッチ割り込み 2 フラグ) に 1 を書き込む 1: TCMR2 のタイマコンペアマッチが発生 [セット条件] TTCR0 のビット 12 が 1 のとき TCMR2 がサイクルタイムと一致 (TCMR2=CYCTR)

ビット	ビット名	初期値	R/W	説明
2	TSR2	0	R*	<p>タイマコンペアマッチフラグ 1</p> <p>タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチが発生したことを示します。TCMR1 に設定した値がサイクルタイムレジスタと一致 (TCMR1=CYCTR) したとき、TTCR0 のビット 11 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR15 (タイマコンペアマッチ割り込み 1 フラグ) がクリアされるとクリアされます。</p> <p>0 : TCMR1 のタイマコンペアマッチが発生していない</p> <p>[クリア条件]</p> <p>IRR15 (タイマコンペアマッチ割り込み 1 フラグ) に 1 を書き込む</p> <p>1 : TCMR1 のタイマコンペアマッチが発生</p> <p>[セット条件]</p> <p>TTCR0 のビット 11 が 1 のとき TCMR1 がサイクルタイムと一致 (TCMR1=CYCTR)</p>
1	TSR1	0	R*	<p>タイマコンペアマッチフラグ 0</p> <p>タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチが発生したことを示します。TCM02 に設定した値がタイマ値と一致 (TCMR0=TCNTR) したとき、TTCR0 のビット 10 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR14 (タイマコンペアマッチ割り込み 0 フラグ) がクリアされるとクリアされます。</p> <p>0 : TCMR0 のタイマコンペアマッチが発生していない</p> <p>[クリア条件]</p> <p>IRR14 (タイマコンペアマッチ割り込み 0 フラグ) に 1 を書き込む</p> <p>1 : TCMR0 のタイマコンペアマッチが発生</p> <p>[セット条件]</p> <p>TTCR0 のビット 10 が 1 のとき TCMR0 がタイマ値と一致 (TCMR0=TCNTR)</p>

ビット	ビット名	初期値	R/W	説明
0	TSR0	0	R*	<p>タイマオーバーラン / Next_is_Gap 受信 / メッセージエラー</p> <p>本フラグは 3 つの異なる機能が割り付けられています。イベントトリガモードで動作中にタイマオーバーランが発生、タイムトリガモードで動作中に Next_is_Gap がセットされたタイムリファレンスメッセージを受信、およびテストモード中に CAN バス上で検出されたエラーが発生したことを示します。テストモードは他の設定よりも高い優先度を持ちます。</p> <p>0: イベントトリガモードでタイマ (TCNTR) オーバーランが発生していない タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] IRR13 に 1 を書き込む</p> <p>1: [セット条件] イベントトリガモードでタイマ (TCNTR) オーバーランが発生し、H'FFFF から H'0000 に変化 タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生</p>

【注】 * 本ビットは読み出し専用で、CPU はサイクルカウンタ、タイマ、およびコンペアマッチレジスタの状態を監視することができます。本ビットに対する書き込みは無効です。

20.6.5 サイクルカウンタレジスタ (CCR)

CCR は、6 ビットの読み出し / 書き込み可能なレジスタです。

タイムトリガ送信のサイクルカウント値 (Basic Cycle) を表示するためのレジスタです。

CCR の値は、RCAN-TL1 がポテンシャルタイムマスタとして動作するか、タイムスレーブとして動作するかにより、更新方法が変わります。CCR は以下のように更新されます。

RCAN-TL1 がタイムマスタ (ポテンシャル) として動作する場合 :

- サイクルタイム (CYCTR) がメールボックス30の送信トリガタイムと一致するたびに+1増加
- または

- 有効なリファレンスメッセージを受信するたびにメールボックス31のMSG_DATA_0[5:0]の値を上書き

RCAN-TL1 がタイムスレーブとして動作する場合 :

- 有効なリファレンスメッセージを受信するたびにメールボックス31のMSG_DATA_0[5:0]の値を上書き

CMAX=B'111 かつ TTCR0[15]=0 の場合 :

- CCRの値は常にB'000000

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	CCR[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
5~0	CCR[5:0]	H'00	R/W	サイクルカウンタレジスタ タイムトリガ送信用マトリックスサイクルの現在のサイクルカウント数を示します。

20.6.6 タイマカウンタレジスタ (TCNTR)

TCNTR は、16 ビットの読み出し / 書き込み可能なレジスタです。

TCNTR はフリーランニングタイマカウンタです。TTCR0[15]=1 に設定することでタイマがカウントします。

タイマカウンタのプリスケアラは、RCAN-TL1 のトリガモードにより変わります。

- イベントトリガモード時 (C_{MAX} = B'111) : TTCR0[5:0]のTPSC値
- タイムトリガモード時 (C_{MAX} = B'111) : CANバス1ビットタイミング

TTCR0[6]=1 を設定時、TCNTR の値がタイマコンペアマッチレジスタ 0 (TCMR0) と一致すると、TCNTR は H'0000 にクリアされカウントアップします。

タイムトリガモードでは、TCNTR はローカルタイム (Local time) として使用します。したがって、TTCR0[6]=0 に設定してフリーランニングタイマとして動作させます。

- 【注】
1. TTCR0[15]=0 の場合、TCNTR は常に H'0000 です。
 2. タイマをイネーブル設定 (TTCR0[15]=1) してから TCNTR がカウントを開始するまで、数クロックサイクルの遅延があります。これはプリスケアラの内部論理に起因するものです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

- 【注】 * 本レジスタへの書き込みは、タイマイネーブル設定 (TTCR0[15]=1) されたときのみ可能です。
タイムトリガモード (C_{MAX} が B'111 以外) では、書き込みは禁止です。

ビット	ビット名	初期値	R/W	説明
15~0	TCNTR[15:0]	H'0000	R/W	フリーランニングタイマの値を示します。

20.6.7 サイクルタイムレジスタ (CYCTR)

CYCTR は、サイクルタイムを示す 16 ビットの読み出し専用レジスタです。

$Cycle_Time (CYCTR) = Local_Time (TCNTR) - Reference_Mark (RFMK)$

イベントトリガモードでは、RFMK は 0 に固定されるので本レジスタは TCNTR のコピーとなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CYCTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	CYCTR[15:0]	H'0000	R	サイクルタイムを示します。

20.6.8 リファレンスマークレジスタ (RFMK)

RFMK は、16 ビットの読み出し専用レジスタです。リファレンスメッセージが正常に送信または受信されたときに、リファレンスメッセージの SOF におけるローカルタイム(TCNTR)をキャプチャするためのレジスタです。イベントトリガモードでは本レジスタは使用せず、常に 0 にクリアされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMK[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	RFMK[15:0]	H'0000	R	リファレンスマークレジスタ タイムリファレンスメッセージの SOF における TCNTR の値を示します。

20.6.9 タイマコンペアマッチレジスタ 0~2 (TCMR0~2)

TCMR0~2 は、16 ビットの読み出し / 書き込み可能なレジスタです。

割り込み信号の発生、タイマ値のクリア (TCMR0 のみサポート)、送信リクエストのクリア (TCMR2 のみサポート) を行うことが可能です。

TCMR0 は TCNTR と比較し、TCMR1 と TCMR2 は CYCTR と比較します。各コンペアマッチレジスタの比較値はそれぞれ独立に設定することができます。コンペアマッチのフラグをセットするには、TTCR0 のビット 12~10 をセットする必要があります。タイムトリガモードでは、TCMR0 は Init_Watch_Trigger、TCMR2 は Watch_Trigger に使用します。

(1) 割り込み機能

各レジスタの割り込みフラグは、TTCR0 のビット 12、ビット 11、ビット 10 を設定することで許可します。

コンペアマッチが発生すると、IRR の対応する割り込みフラグ (ビット 11、ビット 15、ビット 14) をセットします。

割り込み信号の発生は、IMR のビット 11、ビット 15、ビット 14 で抑止することができます。

コンペアマッチ発生時に IRR11 (または IRR15 か IRR14) がセットされると、タイムステータスレジスタ (TSR) のビット 3、ビット 2、またはビット 1 もセットされます。また、IRR のビットをクリアすると、対応する TSR のビットもクリアされます。

(2) タイマクリア機能

TCMR0 のみコンペアマッチによるタイマ値 (TCNTR) のクリア機能があります。TTCR0[6]=1 設定時に有効です。TCMR1 と TCMR2 には本機能はありません。

(3) 送信リクエストされたメッセージのキャンセル機能

TCMR2 は、TTCR0[13:12]=B'11 設定時に、ホルトモード以外で TCMR2 のコンペアマッチ発生時に TXPR 設定に対応する TXCR 設定を行います。したがって、送信中のメッセージを除き、送信待ちリクエストをキャンセルします。

TCMR1 と TCMR0 には本機能はありません。

• TCMR0

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCMR0[15:0]

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR0[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の TCNTR の値を示します。

• TCMR1

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCMR1[15:0]

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR1 [15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

• TCMR2

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCMR2[15:0]

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR2[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

20.6.10 送信トリガタイムセレクトレジスタ (TTTSEL)

TTTSEL は、16 ビットの読み出し / 書き込み可能なレジスタで、サイクルタイムとコンペアマッチさせる送信トリガタイムを指定します。1 ビットのみセットできます。複数のビットをセットしないでください。またはすべてのビットをクリアしないでください。本レジスタは、コンフィギュレーションモードでのみ変更することができます。変更時のアルゴリズムを図 20.14 に示します。

TTTSEL はテストおよび診断専用です。通常動作時は書き込まないでください。また、読み出し値は保証されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	TTTSEL[14:8]								-	-	-	-	-	-	-	-
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	

【注】 1 ビットのみセット可能。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
14~8	TTTSEL [14:8]	B'1000000	R/W	CYCTR とコンペアマッチさせる送信トリガタイムを指定します。ビット 14~8 は、メールボックス 30~24 に対応しています。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

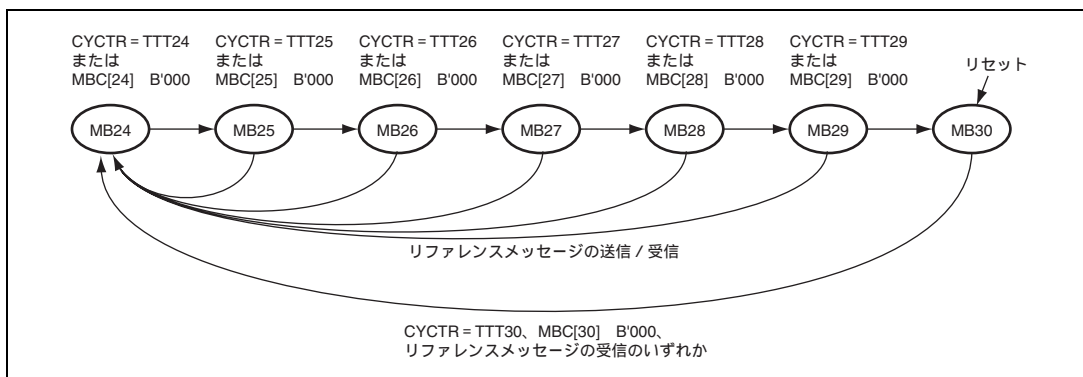


図 20.14 TTTSEL 変更アルゴリズム

20.7 動作説明

20.7.1 RCAN-TL1 の設定

ハードウェアリセット (パワーオンリセット) またはソフトウェアリセット (MCR0) 後のコンフィギュレーションモードおよびホルトモード時の RCAN-TL1 の設定について説明します。どちらの場合も RCAN-TL1 は CAN バスアクティビティに参加できません。また、RCAN-TL1 の設定の変更が CAN バス上の通信に影響を与えることはありません。

(1) リセットシーケンス

図 20.15 にソフトウェアリセットまたはハードウェアリセット後の RCAN-TL1 の設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CAN バスアクティビティに参加する前に RCAN-TL1 を設定する必要があります。詳細については図中の注を参照してください。

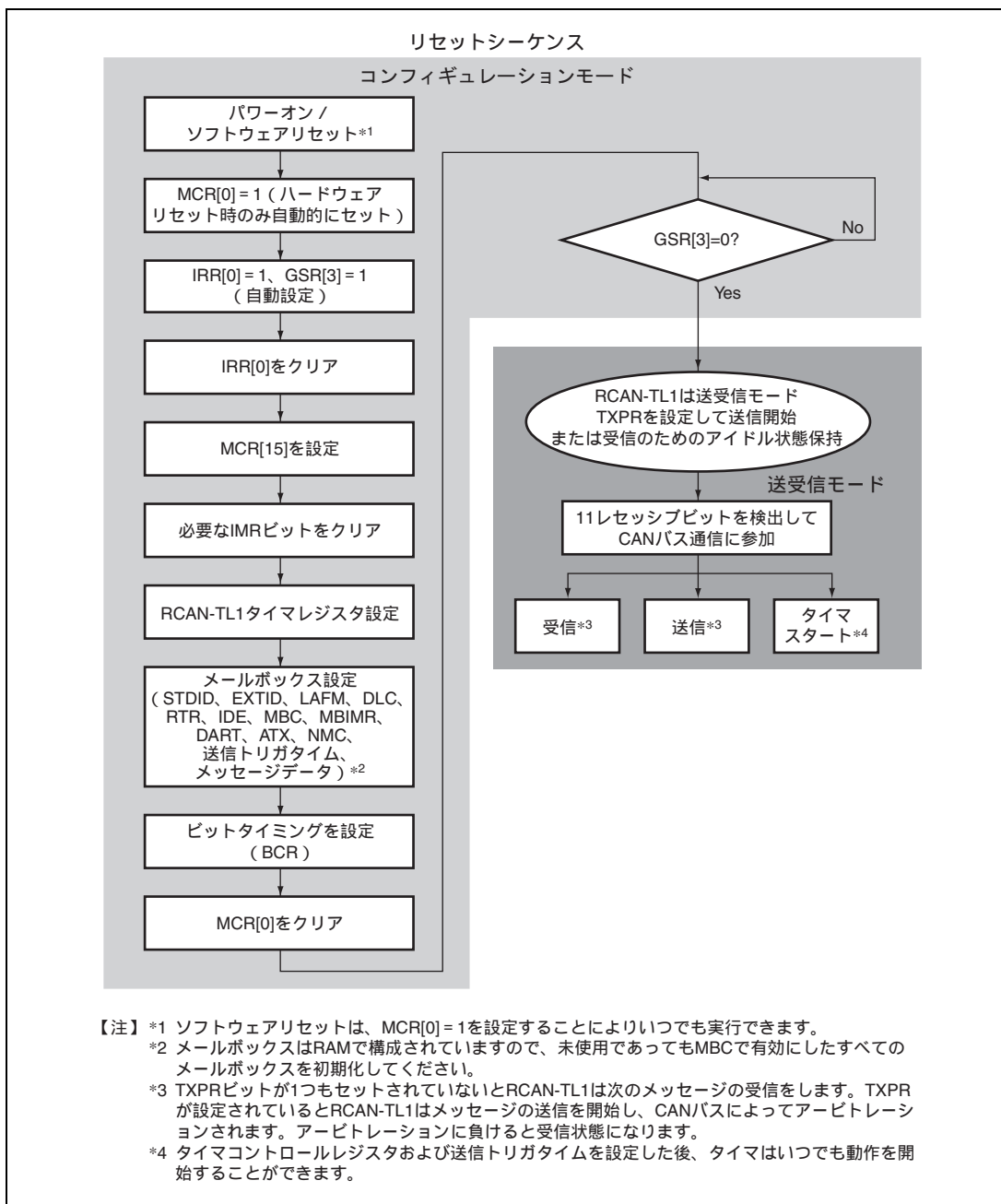


図 20.15 リセットシーケンス

(2) ホルトモード

RCAN-TL1 はホルトモードのとき、CAN バスアクティビティに参加することができません。したがってユーザは、CAN バス上の通信に影響を与えずに必要レジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前に RCAN-TL1 がホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません (CAN バスがアイドルまたは休止状態のときに遷移します)。

RCAN-TL1 がホルトモードに遷移すると GSR4 ビットがセットされます。

レジスタ設定終了後はホルトリクエストを解除する必要があります。ホルトリクエスト解除後 (MCR1=0 か GSR4=0) に RCAN-TL1 は CAN バス上で 11 レセッシブビットを検出した後 CAN バスアクティビティに参加します。

(3) CAN スリープモード

CAN スリープモード中では、RCAN-TL1 の主要なモジュールのクロックは消費電流を低減するために停止しますが、MCR、GSR、IRR、および IMR レジスタのみアクセスできます。なお、送信と受信に関連する割り込みは、CAN スリープモード中ではクリアできませんので、あらかじめクリアしてください。

図 20.16 に RCAN-TL1 の CAN スリープモードのフローチャートを示します。

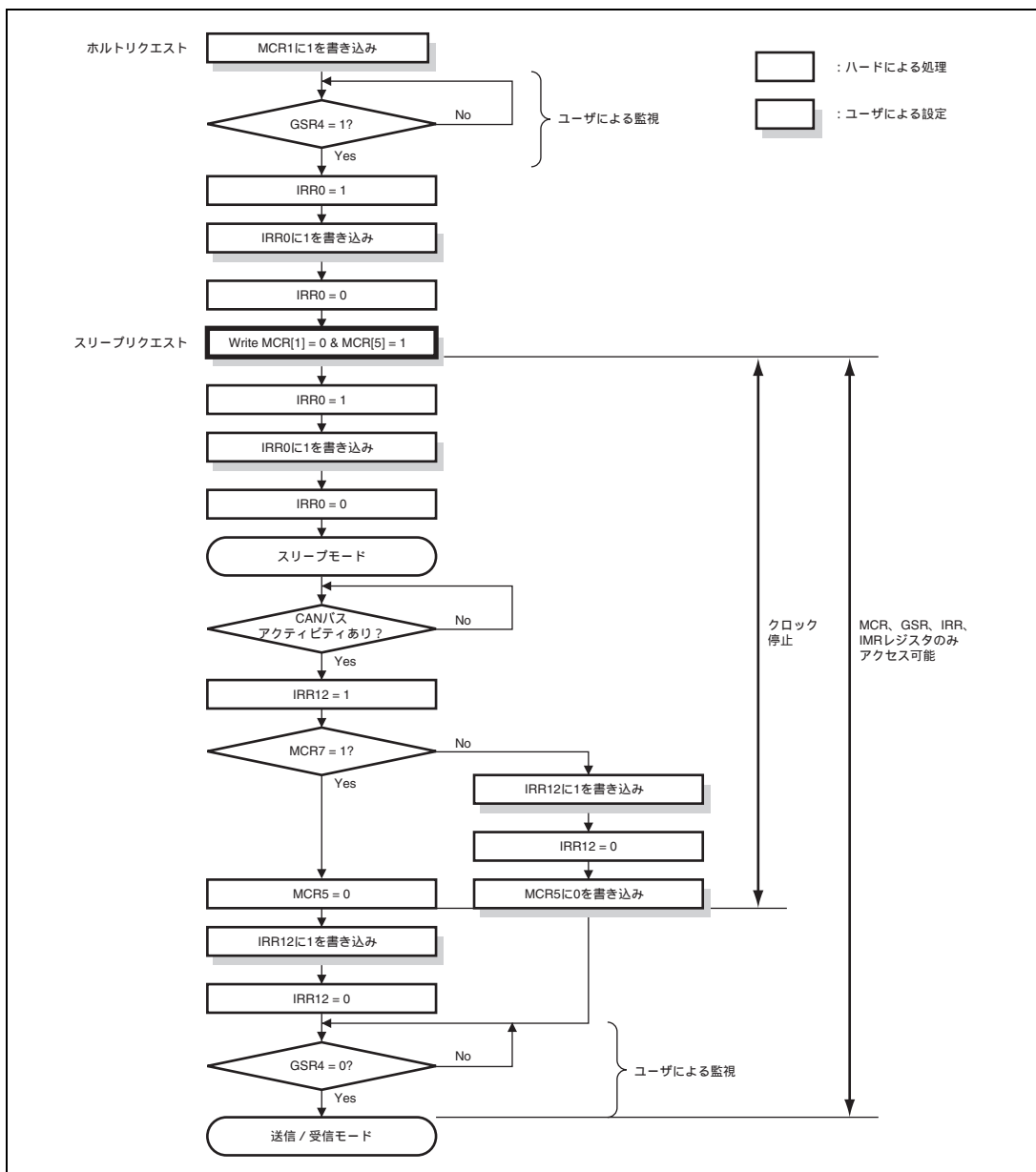


図 20.16 CAN スリープモードのフローチャート

図 20.17 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5 (CAN スリープモード) ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前に必ず GSR4 のセットを確認して RCAN-TL1 をホルトモードにしてください。

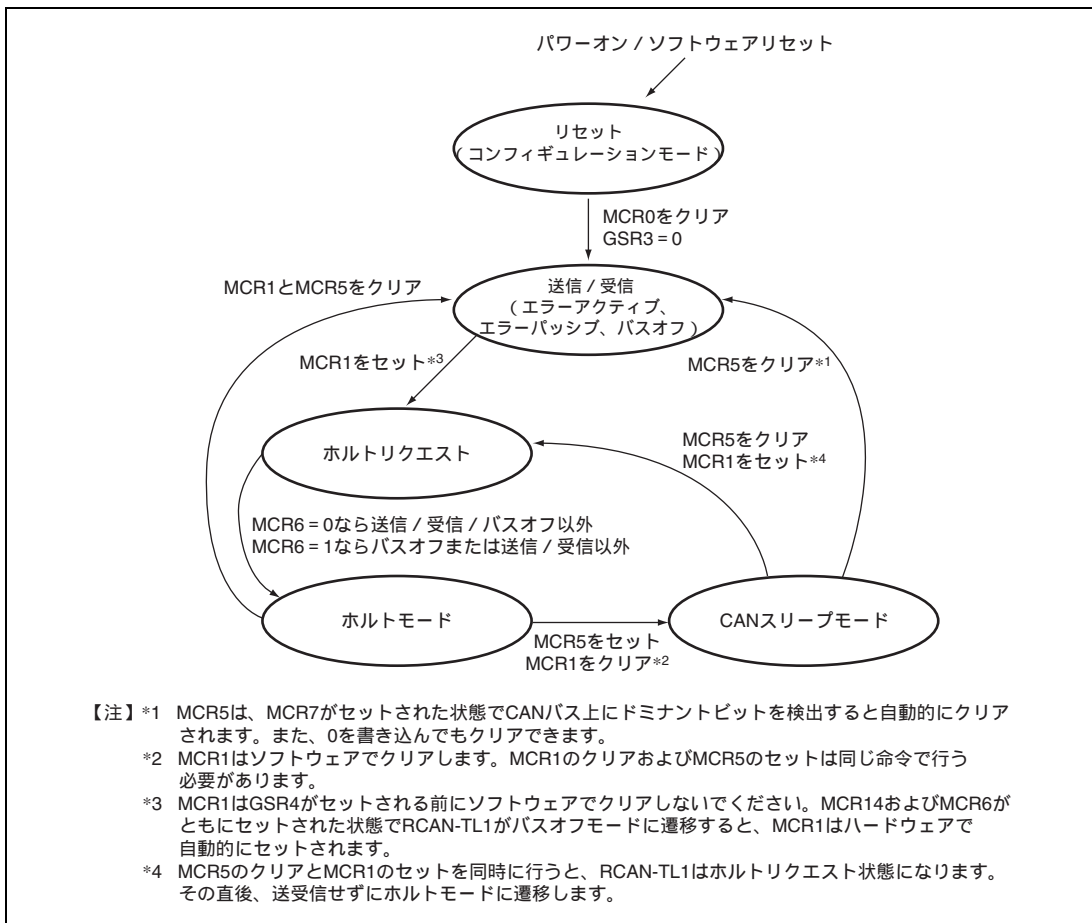


図 20.17 状態遷移図

各モードでのアクセスを許可する条件を表 20.9 に示します。

表 20.9 アクセス可能なレジスタ

ステータス モード	レジスタ											
	MCR、 GSR	IRR、 IMR	BCR	MBIMR タイマ TT レジ スタ	フラグ レジスタ	メール ボックス (コント ロール0、 LAFM)		メール ボックス (データ)		メール ボックス (コント ロール1)		メール ボックス (トリガ タイム、 TT コント ロール)
リセット	Yes	Yes	Yes	Yes	Yes	Yes		Yes		Yes		Yes
送信 / 受信	Yes	Yes	No	Yes	Yes	No	Yes *	Yes*		No	Yes *	Yes*
ホルト リクエスト	Yes	Yes	No	Yes	Yes	No	Yes *	Yes*		No	Yes *	Yes*
ホルト モード	Yes	Yes	No	Yes	Yes	Yes		Yes		Yes		Yes
CAN スリープ モード	Yes	Yes	No	No	No	No		No		No		No

【記号説明】

Yes : アクセスを許可するレジスタ

No : アクセスを禁止するレジスタ

【注】 * TXPR0 がセットされていない場合

20.7.2 テストモードの設定

RCAN-TL1には種々のテストモードがあります。テストモードの選択はMCRレジスタのTST[2:0]ビットで行います。RCAN-TL1は、デフォルト（初期値）ではノーマルモードで動作します。

表 20.10 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除（BCR0/BCR1が設定されていることを確認）してください。

表 20.10 テストモードの設定

TST2	TST1	TST0	モード
0	0	0	ノーマルモード
0	0	1	リスンオンリモード（受信専用モード）
0	1	0	セルフテストモード1（外部）
0	1	1	セルフテストモード2（内部）
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

- ノーマルモード

RCAN-TL1は通常の動作をします。

- リスンオンリモード

ボーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しないようになります。また、CTxn（n=0、1）出力を禁止し、RCAN-TL1によるエラーフレームやアクノリッジビットの生成を抑止します。メッセージエラーが発生するとIRR13がセットされます。

- セルフテストモード（外部）

RCAN-TL1自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-TL1の受信メールボックスに格納します。CRxn/CTxn（n=0、1）端子は必ずCANバスに接続してください。

- セルフテストモード（内部）

RCAN-TL1自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-TL1の受信メールボックスに格納します。内部CTxn（n=0、1）が内部CRxn（n=0、1）にループバックされるため、CRxn/CTxn（n=0、1）端子をCANバスその他の外部デバイスに接続する必要はありません。CTxn（n=0、1）端子はレセツピビットのみ出力し、CRxn（n=0、1）端子は無効となります。

- ライトエラーカウンタ

TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、RCAN-TL1を強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込

まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、RCAN-TL1を強制的にエラーワーニングモードにすることができます。

TEC/RECに書き込む際はRCAN-TL1がホルトモードでなければなりません(エラーカウンタ書き込み時にMCR1=1)。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。

- エラーパッシブモード

RCAN-TL1は強制的にエラーパッシブモードにすることができます。

エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達するとRCAN-TL1はバスオフ状態になりますが、本モードを使用するとRCAN-TL1はエラーアクティブになることができません。したがってRCAN-TL1はバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードでIRR13ビットがセットされます。

20.7.3 メッセージ送信シーケンス

(1) メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスの例を図 20.18 に示します。

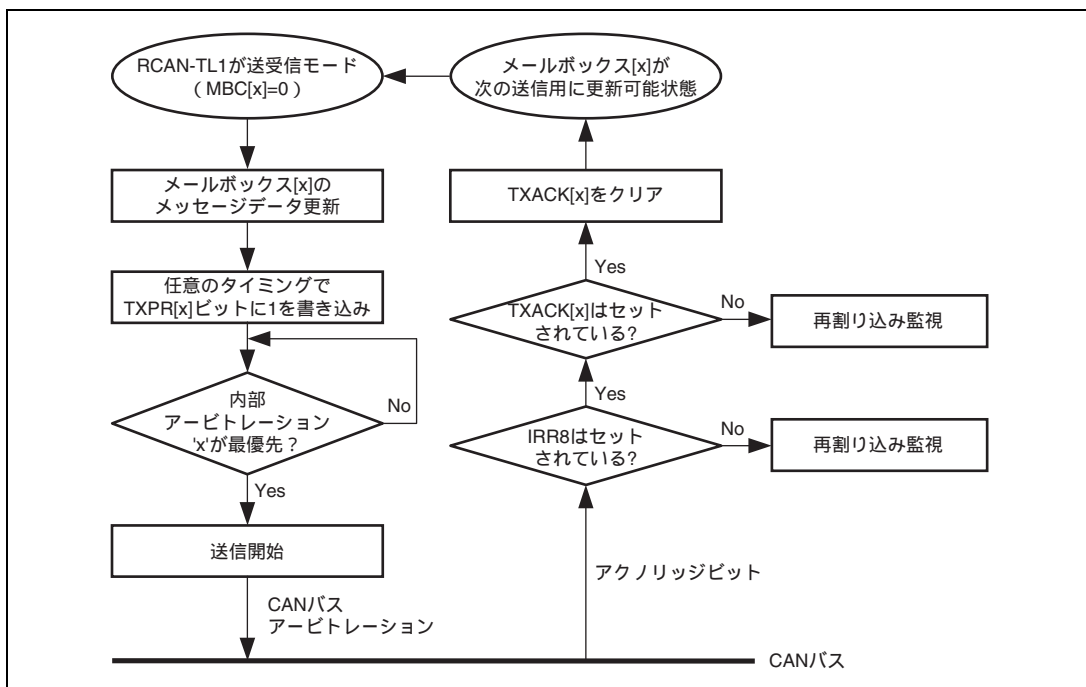


図 20.18 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることにご注意ください。これはいずれかのメールボックスが送信または送信アボートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない(すべての TXPR フラグがセットされていない)ことを示しています。

(2) 送信用内部アービトレーション

図 20.19 は、RCAN-TL1 がどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

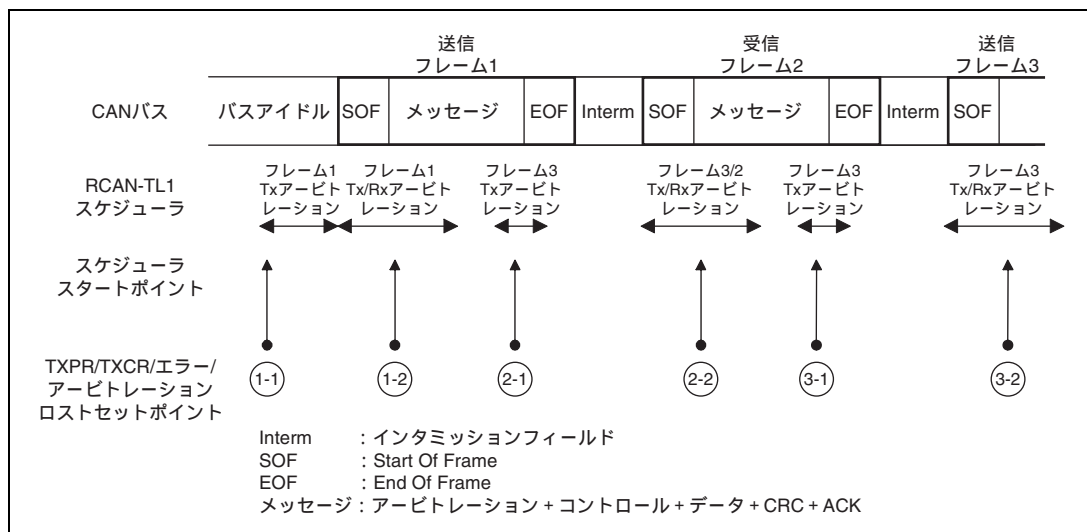


図 20.19 送信用内部アービトレーション

- 1-1 : CAN バスがアイドル状態のとき TXPR ビットがセットされると、直ちに内部アービトレーションを実行し、送信を開始します。
- 1-2 : SOF で送信、受信の両方の動作を開始します。受信フレームでないため、RCAN-TL1 は送信を行います。
- 2-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 2-2 : SOF で送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、RCAN-TL1 は受信を行います。このため、フレーム 3 を送信せずに受信を行います。
- 3-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 3-2 : SOF で送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、RCAN-TL1 は送信を行います。

CAN バス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミタの先頭でも行われます。また、オーバーロードフレームの後のエラーデリミタの先頭でも行われます。

送信用アービトレーションは CRC のデリミタで行われるため、ATX = 1 のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応じて送信するメッセージが送信用アービトレーションに参加するタイミングは、その後のバスアイドルまたは CRC デリミタまたはエラーデリミタになります。

CAN バスの状態により、TXCR がセットされてから最大 1CAN フレームの遅延後に対応するメッセージのアポート処理が行われます。

(3) タイムトリガ送信

RCAN-TL1 は、ISO-11898-4 TTCAN Level 1 の仕様に準拠したタイムトリガモード通信を、ハードウェアでサポートしています。

ここでは、タイムトリガモードを使用するための基本的な手順を記します。

- タイムトリガモードの設定

タイムトリガモードをセットアップするには以下の設定が必要です。

- CMAX_TEWのCMAXをB'111以外の値に設定
- TTCR0のビット15をセットし、TCNTRの動作を開始
- コンペアマッチでTCNTRがクリアされないように、TTCR0のビット6をクリア
- タイムトリガ送信をするメールボックスのTXPRは、定周期送信を行うためにクリアされません。

- 各レジスタの役割

RCAN-TL1 のユーザレジスタを使用して、TTCAN 規格が要求する主な機能を扱うことができます。

TCNTR	Local_Time
RFMK	Ref_Mark
CYCTR	サイクルタイム = TCNTR - RFMK
RFTROFF	メールボックス 30 の Ref_Trigger_Offset
メールボックス 31	タイムリファレンスメッセージ専用受信メールボックス
メールボックス 30	タイムリファレンスメッセージ専用送信メールボックス (ポテンシャルタイムマスタとして動作する場合)
メールボックス 29~24	タイムトリガ送信対応のメールボックス
メールボックス 23~16	タイムスタンプなしの受信対応のメールボックス (イベントトリガ送信用メールボックスとして使用することもできます。)
メールボックス 15~0	タイムスタンプ付き受信対応のメールボックス (イベントトリガ送信用メールボックスとして使用することもできます。)
Tx-Trigger Time	メッセージを送信するタイミングを指定する Time_Mark
CMAX	ポテンシャルタイムマスタとして動作する場合のサイクルカウント数 (Basic Cycle) の最大値を指定
TEW	Tx_Enable_Window 幅を指定
TCMR0	Init_Watch_Trigger (ローカルタイムとコンペアマッチ)
TCMR1	ユーザ指定イベント監視用にサイクルタイムとコンペアマッチ
TCMR2	Watch_Trigger (サイクルタイムとコンペアマッチ) 待ち状態にある送信をすべてアボートするように設定することができます。
TTW	送信に使用するタイムウィンドウの属性を指定
TTTSEL	次の送信待ちメールボックスを指定

- タイムマスタ/タイムスレーブ

RCAN-TL1 は、ネットワークのポテンシャルタイムマスタまたはタイムスレーブとして動作するように設定することができます。各モードに必要な設定と RCAN-TL1 が自動的に行う処理を下記の表に示します。

モード	設定	機能
タイムスレーブ	TXPRI[30]=0 & MBC[30]≠B'000 & CMAX≠B'111 & MBC[31]=B'011	CAN バス上で SOF が検出されるたびに TCNTR をサンプリングし、内部レジスタに格納します。メールボックス 31 が有効なタイムリファレンスメッセージを受信すると、TCNTR の値 (SOF で格納) を Ref_Mark (RFMK) にコピーします。 受信したリファレンスメッセージのサイクルカウンタ値 (CCR) を自ノードのサイクルカウンタレジスタ (CCR) にコピーします。 Next_is_Gap=1 ならば IRR13 をセットします。
(ポテンシャル) タイムマスタ	TXPRI[30]=1 & MBC[30]=B'000 & DLC[30]>0 & CMAX≠B'111 & MBC[31]=B'011	以下の 2 つの場合があります。 (1) メールボックス 31 が有効なタイムリファレンスメッセージを受信すると、SOF で内部レジスタに格納した TCNTR の値を Ref_Mark (RFMK) にコピーします。受信したリファレンスメッセージのサイクルカウンタ値 (CCR) を自ノードのサイクルカウンタレジスタ (CCR) にコピーし、Next_is_Gap=1 ならば IRR13 をセットします。 (2) メールボックス 30 からタイムリファレンスメッセージが送信されると、SOF で内部レジスタに格納した TCNTR の値を Ref_Mark (RFMK) にコピーします。メールボックス 30 の TTT が CYCTR に一致するとサイクルカウンタ (CCR) をインクリメントします。 サイクルカウンタ (CCR) はタイムリファレンスメッセージの最初のデータバイト (Data0[7:6], CCR[5:0]) に組み込まれます。

- 送信トリガタイムの設定

送信トリガタイム (TTT) は、以下に示すように昇順に設定してください。TTT 間の差分は、次の式を満たす必要があります。式中の TEW はレジスタ値です。

$$\begin{aligned} & \text{TTT (メールボックス 24)} < \text{TTT (メールボックス 25)} < \text{TTT (メールボックス 26)} < \\ & \text{TTT (メールボックス 27)} < \text{TTT (メールボックス 28)} < \text{TTT (メールボックス 29)} < \\ & \text{TTT (メールボックス 30)} \end{aligned}$$

かつ

$$\text{TTT (メールボックス } i) - \text{TTT (メールボックス } i-1) > \text{TEW} + \text{最大フレーム長} + 9$$

ポテンシャルタイムマスタとして動作する場合、TTT (メールボックス 24) ~ TTT (メールボックス 29) は Time_Mark に、TTT (メールボックス 30) は Basic_Cycle length を示す Time_Ref に対応しています。

上記の制約は、タイムトリガ送信に設定されたメールボックスにのみ適用されます。

【重要】 送信トリガタイム設定の制約により、1 つのタイムウィンドウに割り付けることのできるメールボックスは 1 つのみとなります。

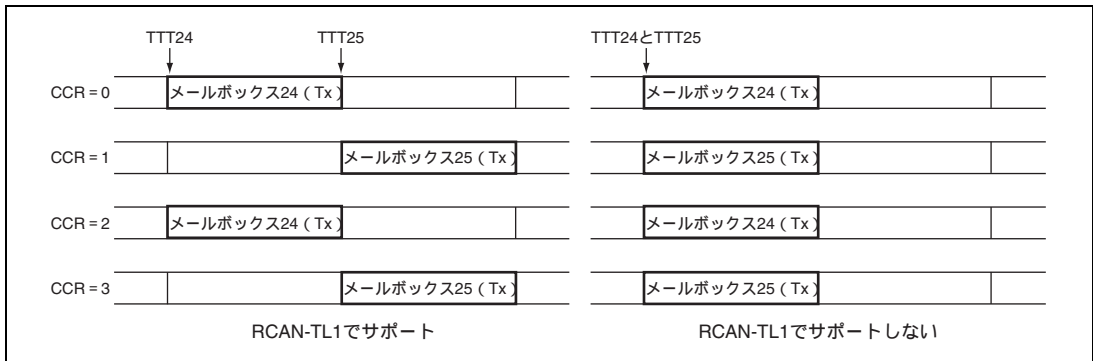


図 20.20 送信トリガタイムの制約

Watch_Trigger としての TCMR2 の値は、1Basic_Cycle length を示す TTT (メールボックス 30) より大きくなければなりません。

図 20.21、図 20.22 に、(ポテンシャル)タイムマスタおよびタイムスレーブの設定例を示します。図中の L は、タイムリファレンスメッセージの時間長です。

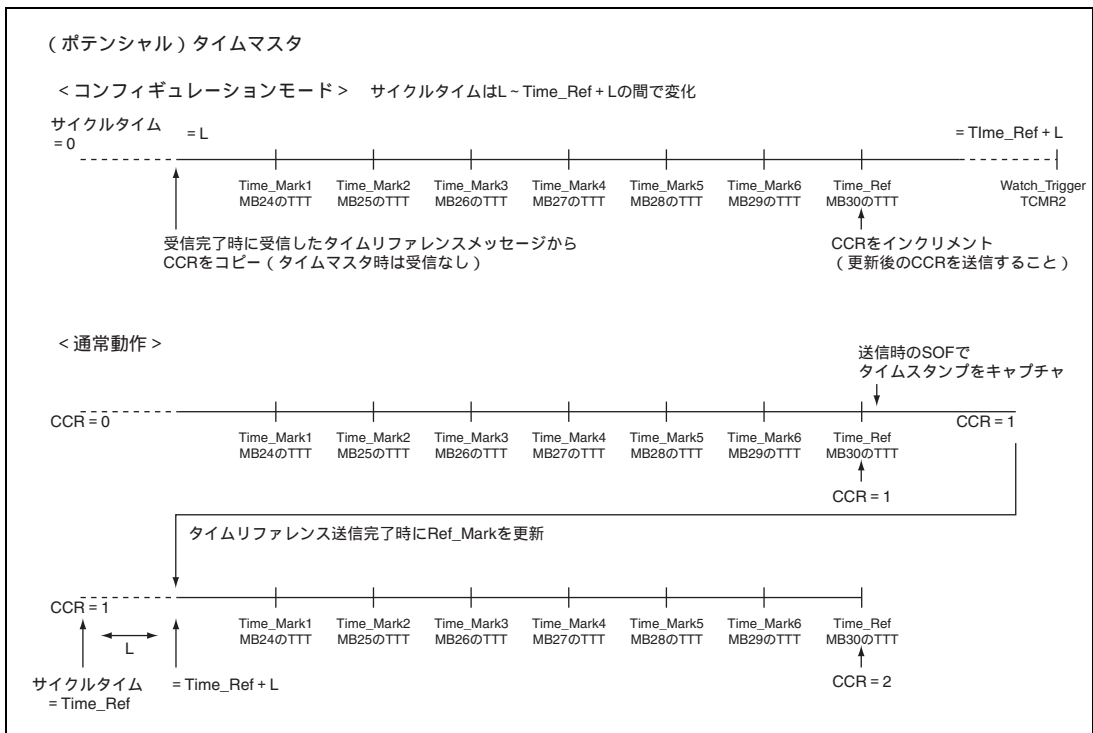


図 20.21 (ポテンシャル) タイムマスタ

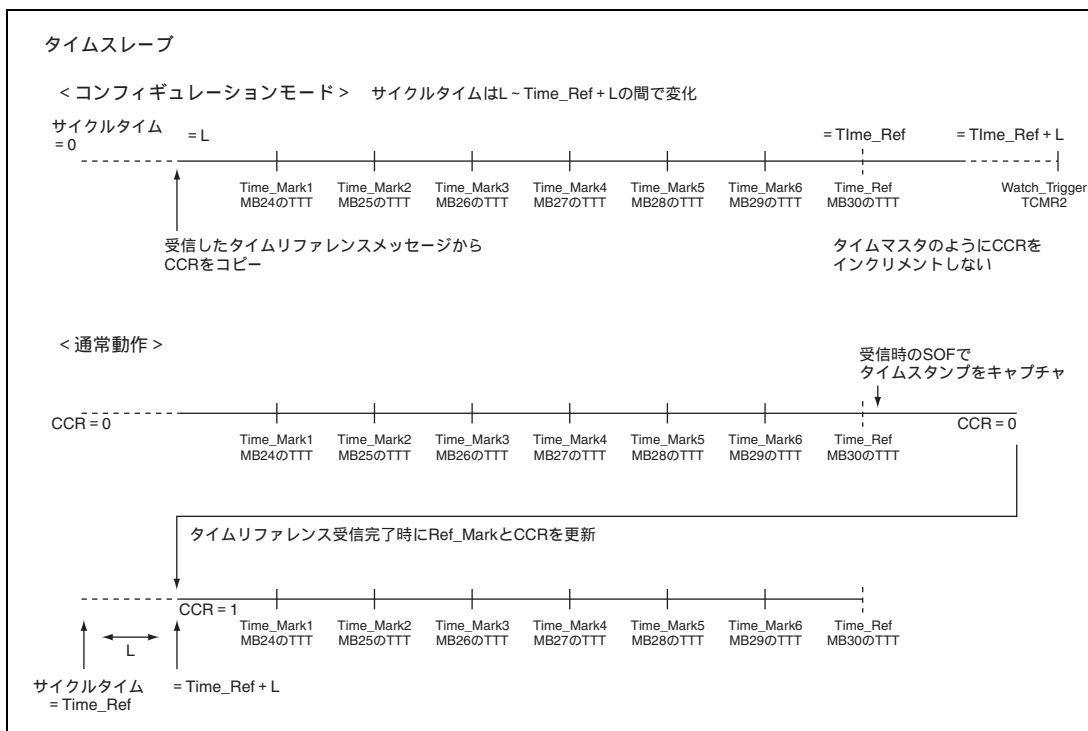


図 20.22 タイムスレーブ

- ソフトウェアで実装する機能

TTCAN の機能には、ソフトウェアで実装する必要のあるものがあります。主な機能を以下に示します。詳細は ISO-11898-4 を参照してください。

- Init_Watch_Trigger から Watch_Trigger への変更

RCAN-TL1 では、Init_Watch_Trigger および Watch_Trigger のハードウェアサポートとしてそれぞれ TCMR0 レジスタと TCMR2 レジスタを用意しています。CAN バス上で最初のリファレンスメッセージが検出されるまで TCMR0 を有効かつ TCMR2 を無効にし、その後 TCMR0 を無効かつ TCMR2 を有効にする制御はソフトウェアで行います。(スケジュール同期化ステートマシンの)

Next_is_Gap 受信割り込みのみサポートしています。アプリケーションにて、対応する TXCR フラグをセットすることにより、現在の Basic_Cycle の終了時にすべての送信を停止する必要があります。

マスタ/スレーブモード制御

自動サイクルタイム同期と CCR のインクリメントのみサポートしています。

- メッセージステータスカウント

エクスクルーシブウィンドウの定周期メッセージに関するスケジュールエラーを、ソフトウェアでカウントする必要があります。

- タイムトリガ通信のメッセージ送信リクエスト

タイムトリガモードを使用する場合、ISO11898-4 の要求事項を満たさなければなりません。

以下の手順を行ってください。

1. RCAN-TL1をリセットまたはホルトモードにする
2. TCMR0にInit_Watch_Trigger (H'FFFF) を設定
3. TTCR0のビット10でTCMR0によるコンペアマッチを有効に設定
4. TCMR2に指定のWatch_Trigger 値を設定
5. TTCR0のビット12を0に保持し、TCMR2によるコンペアマッチを無効にする。
6. CMAXに必要な値を設定 (B'111以外)
7. TEWに必要な値を設定
8. メールボックスをタイムトリガ送信および受信に設定する
9. メールボックス31のLAFMを下位3ビットに対して設定
10. MCR、BCR1、BCR0に必要な値を設定
11. ポテンシャルタイムマスタとして動作する場合は下記を設定
 - RFTROFFに必要なInit_Ref_Offset値を設定
 - メールボックス30のTXPRをセット
 - TTTSELにH'4000を書き込む
12. TTCR0のビット15でタイムTCNTRをイネーブルにする
13. 通常モードに移行
14. 有効なリファレンスメッセージが送信または受信されるのを待つ、もしくはTCMR0のコンペアマッチを待つ
15. ローカルタイム (TCNTR) がTCMR0の値に一致したら、Init_Watch_Triggerに到達したことを意味し、アプリケーションでメールボックス30のTXCRをセットし再び開始する
16. リファレンスメッセージが送信されたら (TXACK[30] がセットされた)、RFTROFFを0に設定
17. 有効なリファレンスメッセージを受信したら (RXPR[31] がセットされた)、下記を行う
 - メールボックス31のIDの下位3ビットの優先度がメールボックス30の下位3ビットよりも高ければ (ポテンシャルタイムマスタとして動作する場合)、RFTROFFの値をInit_Ref_Offsetに保持
 - メールボックス31のIDの下位3ビットの優先度がメールボックス30の下位3ビットよりも低ければ (ポテンシャルタイムマスタとして動作する場合)、RFTROFFの値を1デクリメント
18. TTCR0のビット10をクリアし、TCMR0 によるコンペアマッチを無効にする
19. TTCR0のビット12をセットし、TCMR2 によるコンペアマッチを有効にする
20. CANバス上でリファレンスメッセージを2個検出 (送信または受信) した後、アプリケーションで他のタイムトリガメールボックスのTXPRをセットすることができます。

CAN バス上でリファレンスメッセージが検出されずに、サイクルタイム CYCTR が TCMR2 の値に到達した場合はいつでも、RCAN-TL1 は待ち状態の送信(リファレンスメッセージを含む)をすべて自動的にアボートします。

タイムトリガモードでさらに送信を要求するときのシーケンスを以下に示します。

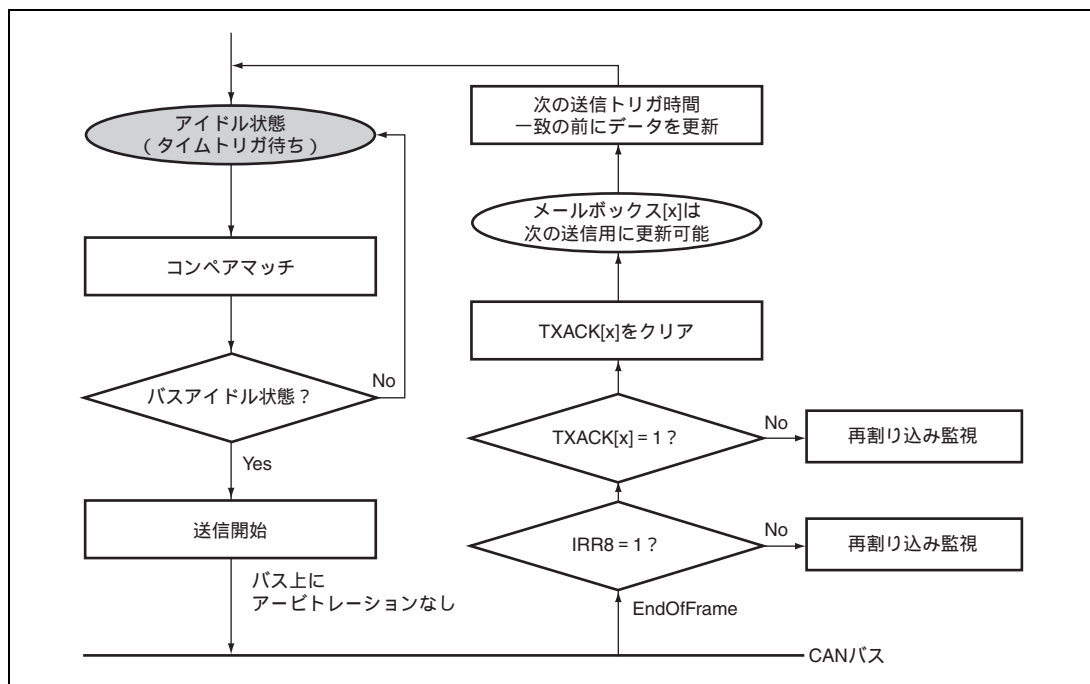


図 20.23 メッセージ送信リクエスト

ソフトウェアは、送信トリガが発生する前にメッセージの更新が確実に行われるようにしなければなりません。CYCTR がメールボックスの TTT (送信トリガタイム) に到達し、CCR がプログラムされた送信用サイクルに一致すると、RCAN-TL1 は直ちに送信バッファにメッセージを転送します。

この時点で、RCAN-TL1 は指定された Tx_Enable Window 内で送信を試みます。このタイムスロットを逃すと、送信が定周期の場合 (メールボックス 24 ~ 30)、RCAN-TL1 は対応する TXPR ビットを 1 に保持し送信リクエストを次の送信トリガまで保留します。

RCAN-TL1 が上記のタイムスロットを逃す 3 つの要因があります。

1. CANバスが使用中
2. タイムトリガメッセージ送信中にCANバス上にエラーが発生
3. タイムトリガメッセージ送信中にアービトレーションロストが発生

マージドアービトレーティングウィンドウ (Merged Arbitrating Window) の場合、この送信スロットは、ウィンドウを開始した (TTW=B'10) メールボックスの送信トリガから、ウィンドウを終了する (TTW=B'11) メールボックスの TEW の最後までです。TXPR はいつでも変更可能です。RCAN-TL1 は、タイムトリガメッセージの送信が常に正しくスケジュールされるようにしますが、正確なスケジュールを保证するため、以下に示す重要な規則があります。

- TTT (送信トリガタイム) は、コンフィギュレーションモードで変更可能。
- Basic_Cycle length サイクルカウンタ (Basic Cycle) 長を指定する Time_Ref を超える TTT の設定は不可。違反すると、スケジューリングで問題が発生します。
- 定周期送信では、TXPR は自動的にクリアされません。定周期送信をキャンセルする必要がある場合は、アプリケーションで対応する TXCR ビットをセットします。

• タイムトリガシステムの例

タイムスレープモードの RCAN-TL1 を使用して、タイムトリガシステムが動作する簡単な例を下図に示します。

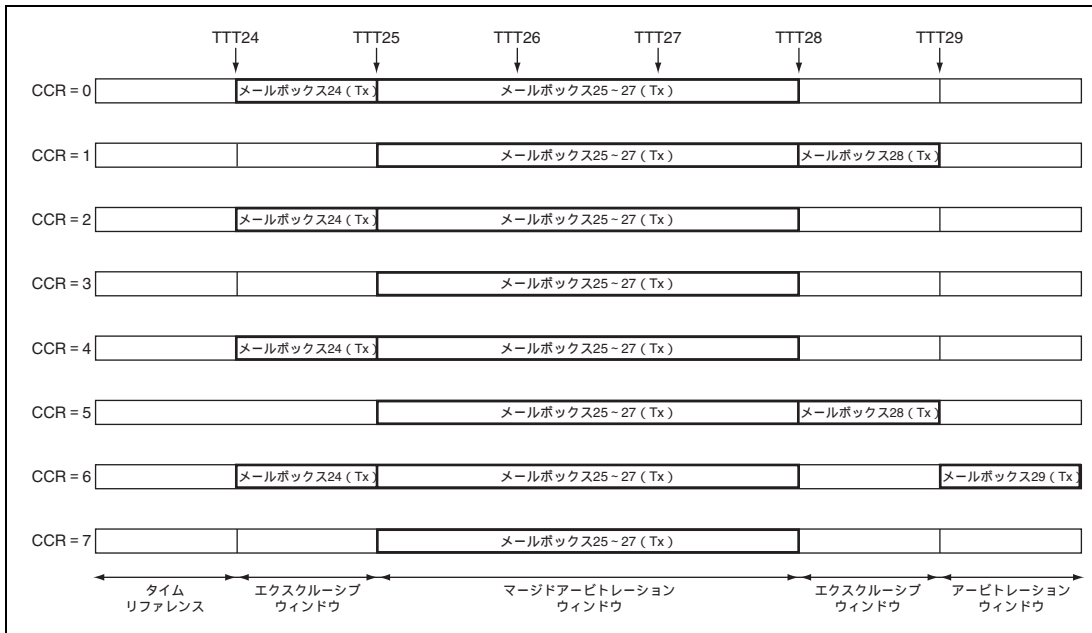


図 20.24 タイムスレープとしてのタイムトリガシステム例

図 20.24 の例で使用する値を表 20.11 に示します。

表 20.11 例で使用する設定値

	rep_factor (レジスタ)	Offset		TTW[1:0]	MBC[2:0]
メールボックス 24	B'001	B'000000		B'00	B'000
メールボックス 25	B'000	B'000000		B'10	B'000
メールボックス 26	B'000	B'000000		B'10	B'000
メールボックス 27	B'000	B'000000		B'11	B'000
メールボックス 28	B'010	B'000001		B'00	B'000
メールボックス 29	B'011	B'000110		B'01	B'000
メールボックス 30	-	-		-	B'111
メールボックス 31	-	-		-	B'011

【注】 CMAX = B'011、TXPR[30] = 0

マージドアービトレイティングウィンドウ内では、タイムトリガ送信リクエストは FCFS (First Come First Served) で処理されます。たとえば、メールボックス 25 が送信トリガタイム 25 (TTT25) と送信トリガタイム 26 (TTT26) の間で送信できなかった場合、TTT26 - TTT28 間ではメールボックス 25 はメールボックス 26 より優先度が高くなります。

タイムトリガ送信を無効にするには、MBC を B'111 に設定します。RCAN-TL1 がタイムマスタの場合、MBC[30] = B'000 としなければならず、タイムリファレンスウィンドウは自動的にアービトレイティングウィンドウと認識されます。

- タイマ動作

図20.25にタイマのタイミング図を示します。送信トリガタイム = n と設定すると、タイムトリガ送信は、CYCTR = $n+2$ から CYCTR = $n+3$ の間に開始します。

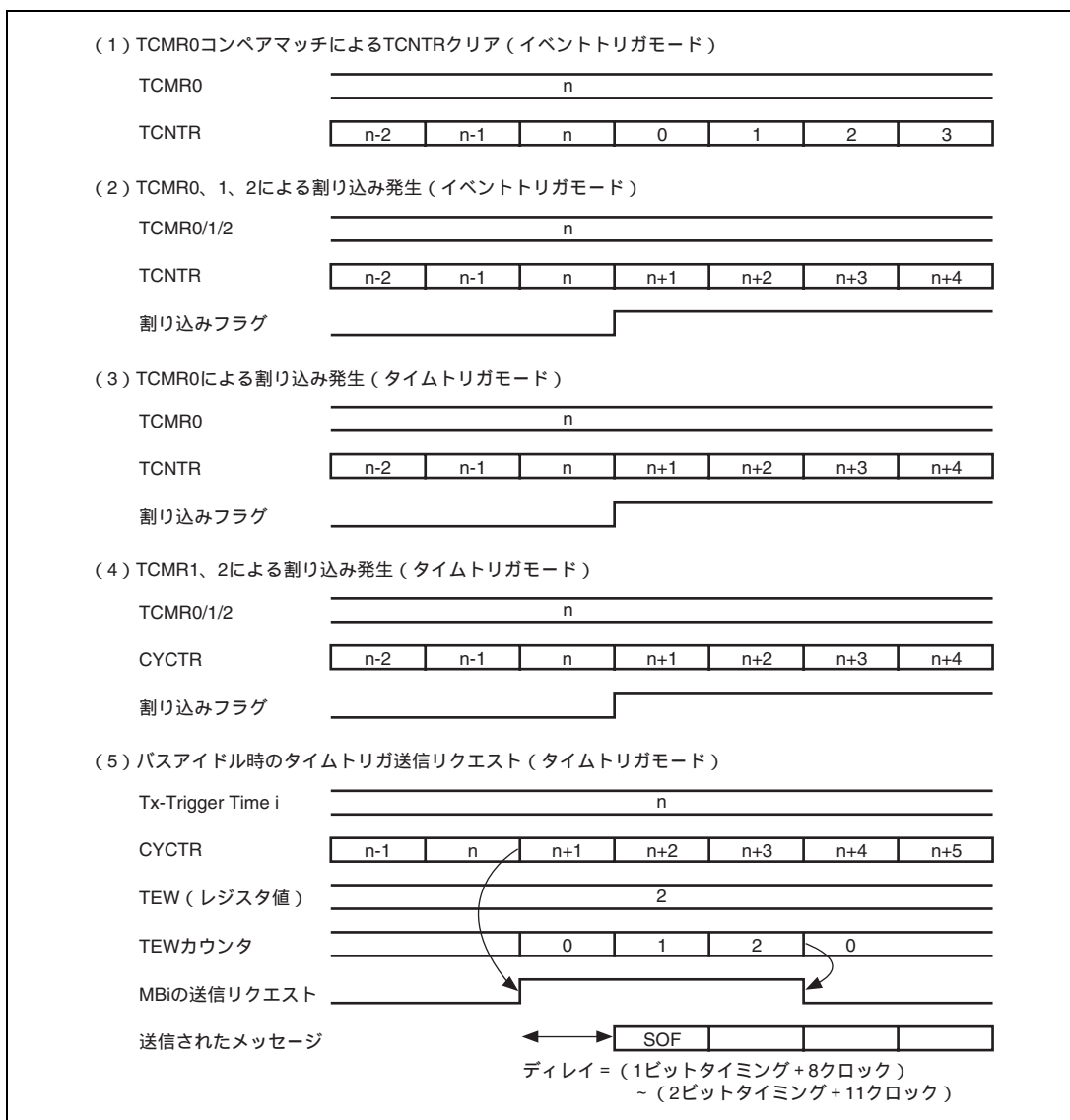


図 20.25 タイマのタイミング図

マージドアービトレイティングウィンドウ内では、イベントトリガ送信はタイマトリガ送信完了後に処理されます。たとえば、メールボックス 25 の送信が完了したときに CYCTR が TTT26 に到達していないと、MCR2 で指定したメッセージ送信の優先順位により、イベントトリガ送信が開始します。タイマトリガ送信の TXPR は送信完了後にクリアされませんが、イベントトリガ送信の TXPR は送信完了後にクリアされます。

マージドアービトレイティングウィンドウを閉じるメールボックスの TXPR がセットされない場合は、そのメールボックスの TTT の後に続く TEW の最後でマージドアービトレイティングウィンドウが閉じます。

表 20.3 を参照してください。

20.7.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 20.26 に示します。

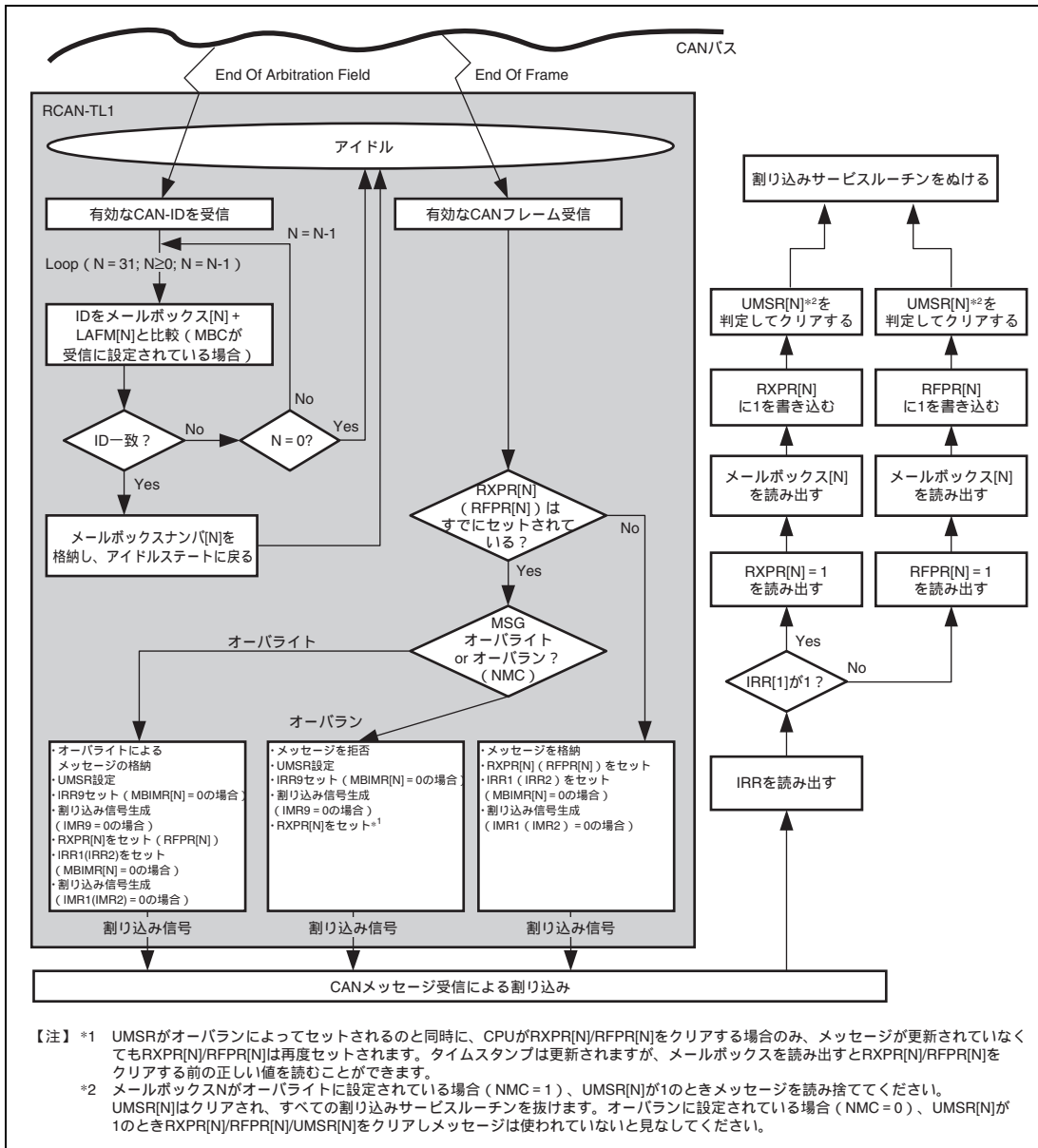


図 20.26 メッセージ受信シーケンス

メッセージを受信中に RCAN-TL1 がアービトラージフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 31 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 31 (受信用に設定されている場合) の ID を読み込み、受信した ID と比較します。一致しない場合は、メールボックス 30 (受信用に設定されている場合) に対して同じチェックを行います。一致する ID を見つけると RCAN-TL1 はそのメールボックス番号 (N) を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF (End Of Frame) を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に RCAN-TL1 のメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。受信メッセージを対応するメールボックスに書き込むときに、メッセージ ID を含めて書き込まれるため、LAFM を使用するときは CAN-ID が異なる CAN-ID でオーバーライトされることがあります。これはまた、受信したメッセージの ID が複数のメールボックスの ID + LAFM と一致する場合には、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 20.26 に示すデータおよびリモットフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバーライトされること (NMC が 1 のとき) を検出するためです。UMSR の最後のチェック中にオーバーライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

メールボックスがオーバーランに (NMC=0) 設定されているときは、UMSR がセットされた場合のメッセージは有効です。しかし、CAN バスでモニタされた最新のメッセージではなく古いメッセージです。メッセージの読み出しは、関連する RXPR/RFPR フラグをクリアする前に行ってください。

受信したリモットフレームがデータフレームでオーバーライトされた場合、リモットフレーム受信割り込み (IRR2) およびデータフレーム受信割り込み (IRR1) がセットされ、受信フラグ (RXPR、RFPR) もセットされますので、ご注意ください。同様にデータフレームがリモットフレームでオーバーライトされた場合も IRR2 と IRR1 がセットされます。

メッセージを受信しメールボックスに格納すると、受信されなかったデータフィールドはすべて 0 として格納されます。スタンダード ID を受信した場合も同様です。エクステンデッド ID (EXTID[17:0]) には 0 が書き込まれます。

20.7.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

(1) 送信ボックスの設定変更

下記の2つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DARTの変更

MBC = B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定 (MBCを除く) はいつでも変更することができます。

- 送信ボックスから受信ボックスへの設定変更

対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。RCAN-TL1がメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります (受信 / 送信が終了するのを待ってからホルト状態に遷移するためです)。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-TL1がバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

(2) 受信ボックスの ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBC の設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージが CAN バス上にあり RCAN-TL1 が受信モードの場合、そのメッセージを逃すことはありません。RCAN-TL1 は現在行っている受信を完了してからホルトモードに遷移します。RCAN-TL1 がメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります (受信 / 送信が終了するのを待ってからホルト状態に遷移するためです)。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-TL1 がバスオフ状態の場合、ホルト状態への遷移は MCR レジスタのビット 6 およびビット 14 の設定に従います。

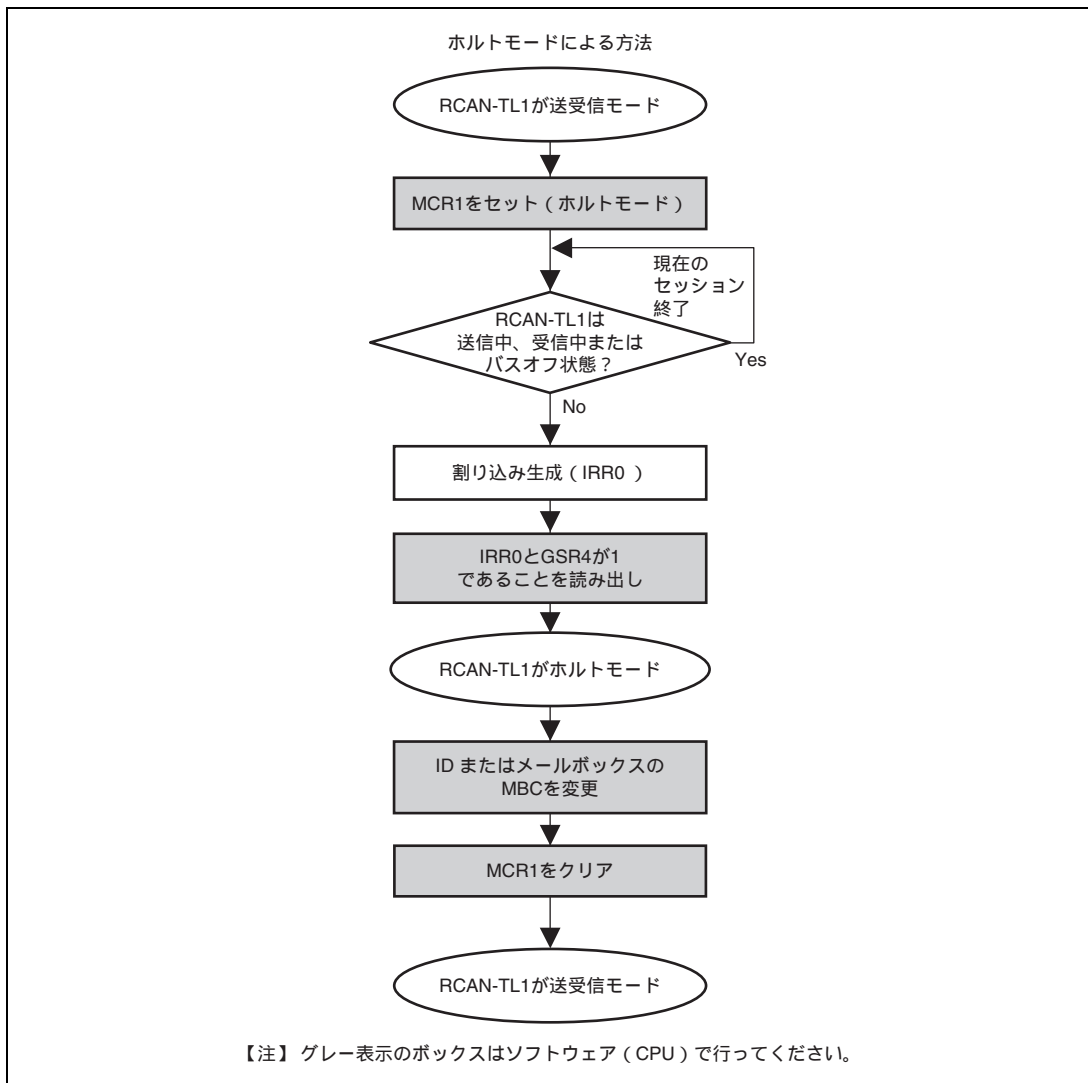


図 20.27 受信ボックスの ID 変更 / 受信ボックスから送信ボックスへの変更

20.8 割り込み要因

RCAN-TL1 には表 20.12 に示す割り込み要因があります。これらの要因はマスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ (MBIMR) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第 7 章 割り込みコントローラ (INTC)」を参照してください。

表 20.12 RCAN-TL1 の割り込み要因

モジュール名	名称	要 因	割り込みフラグ	DMAC の起動	
RCANn* ¹	ERSn* ¹	エラーパッシブ (TEC 128 または REC 128)	IRR5	不可	
		バスオフ (TEC 256) / バスオフからの復帰	IRR6		
		エラーワーニング (TEC 96)	IRR3		
		エラーワーニング (REC 96)	IRR4		
	OVRn* ¹	リセット / ホルト / CAN スリープ遷移	IRR0		
		オーバーロードフレーム送信	IRR7		
		未読メッセージのオーバーライト (オーバーラン)	IRR9		
		スタートシステムマトリックス	IRR10		
		TCMR2 コンペアマッチ	IRR11		
		CAN スリープ中 CAN バス動作の検出	IRR12		
		タイマオーバーラン / Next_is_Gap / メッセージエラー	IRR13		
		TCMR0 コンペアマッチ	IRR14		
		TCMR1 コンペアマッチ	IRR15		
	RM0n* ^{1,*2}	データフレーム受信	IRR1* ³		可* ⁴
	RM1n* ^{1,*2}	リモートフレーム受信	IRR2* ³		
SLEn* ¹	メッセージの送信 / 送信取り消し (スロットエンプティ)	IRR8	不可		

【注】 *1 n = 0, 1

*2 RM0 はメールボックス 0 のリモートフレーム受信フラグ (RFPR0[0]) またはデータフレーム受信フラグ (RXPR0[0]) による割り込み、RM1 はメールボックス n (n = 1 ~ 31) のリモートフレーム受信フラグ (RFPR0[n]) またはデータフレーム受信フラグ (RXPR0[n]) による割り込みです。

*3 IRR1 はメールボックス 0 ~ 31 のデータフレーム受信フラグ、IRR2 はメールボックス 0 ~ 31 のリモートフレーム受信フラグです。

*4 RM0n 割り込みのみ DMAC を起動できます。

20.9 DMAC インタフェース

各 RCAN-TL1 のメールボックス 0 にメッセージを受信すると、DMAC を起動することができます。なお、DMAC 起動を設定し、DMAC による転送が終了すると、自動的に RXPR0 と RFPR0 レジスタのフラグはクリアされます。このとき、RCAN-TL1 からの受信割り込みで CPU への割り込みは発生しません。図 20.28 に DMAC の転送フローチャートを示します。

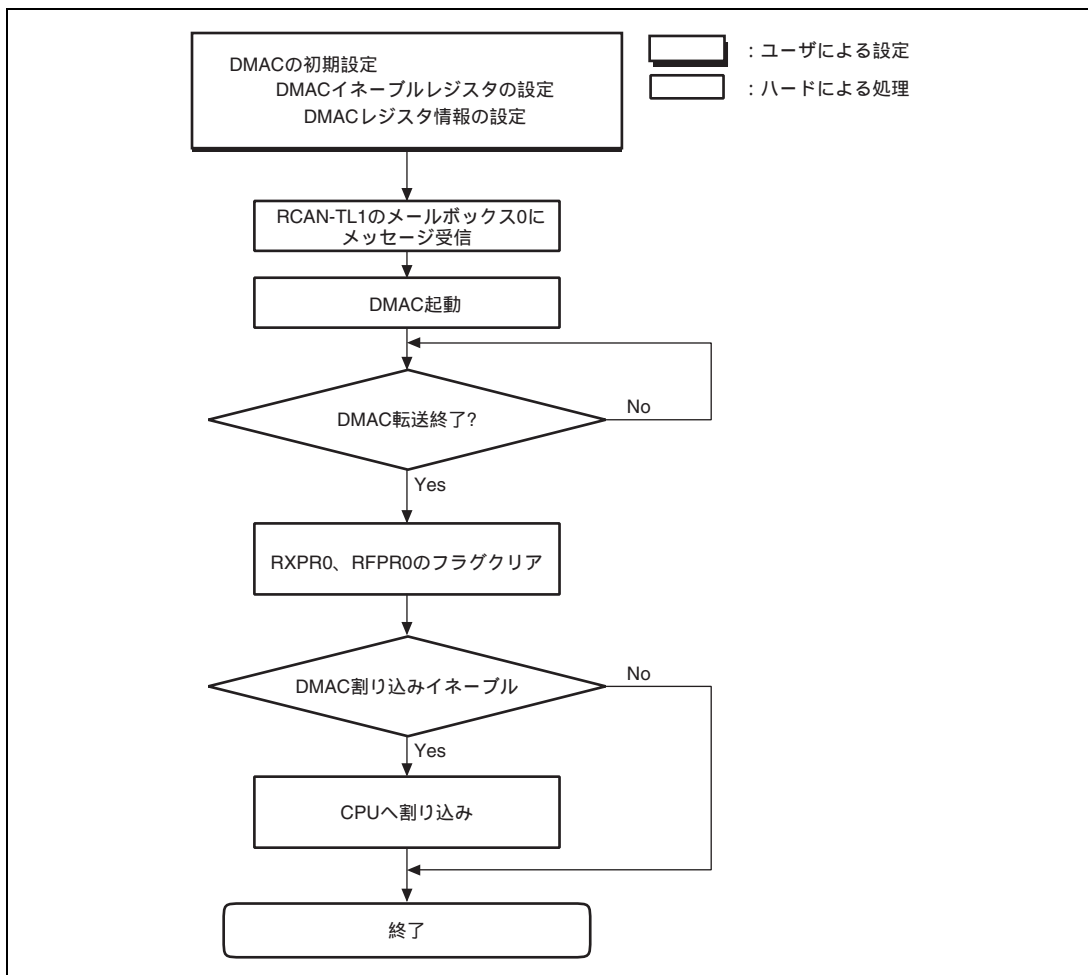


図 20.28 DMAC の転送フローチャート

20.10 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC にはルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。また、CRx、CTx 端子は 3V 仕様のため、レベルシフトを外付けする必要があります。図 20.29 に接続例を示します。

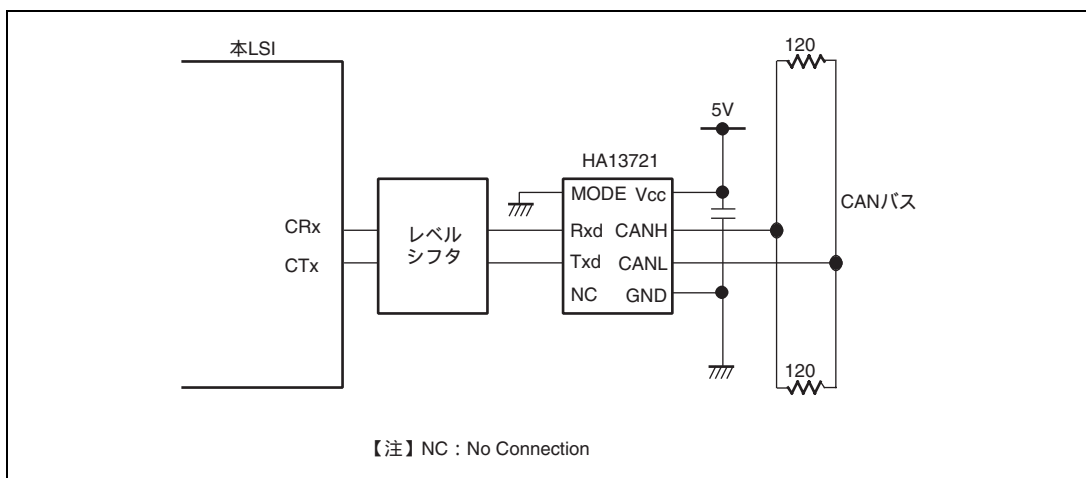


図 20.29 HA13721 を用いたハイスピードインタフェース

20.11 RCAN-TL1 端子ポート設定

RCAN-TL1 ポート設定は、必ずコンフィギュレーションモード中またはそれ以前に行ってください。ポート設定方法の詳細は「第 30 章 ピンファンクションコントローラ (PFC)」を参照してください。本 LSI は 2 チャンネルの RCAN-TL1 を内蔵しており、2 種類の使用方法があります。

- 2チャンネルの32メールボックス (RCAN0、1)
- 1チャンネルの64メールボックス (RCAN0+1)

【注】 64 メールボックス使用時には注意が必要です。「20.12.1 1チャンネル 64 メールボックスでのポート設定についての注意事項」を必ずお読みください。

図 20.30、図 20.31 に各ポート設定での接続例を示します。

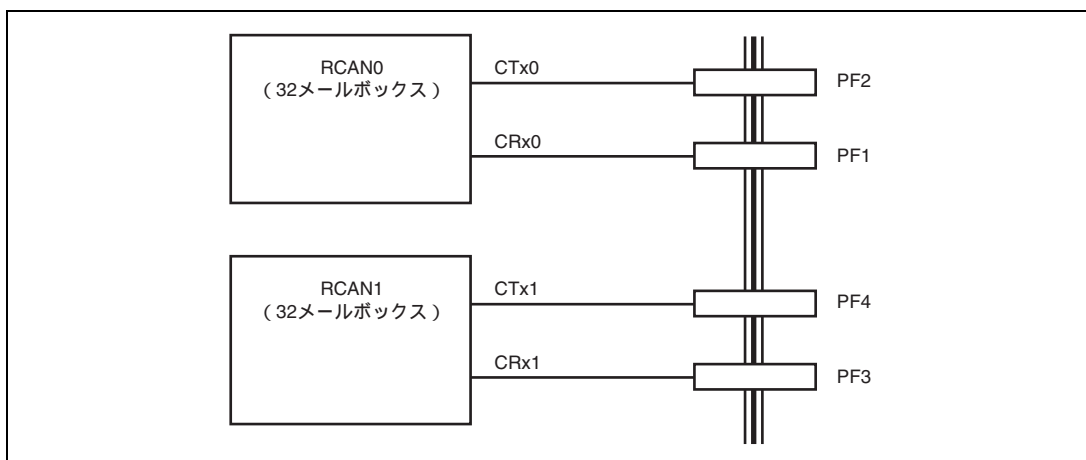


図 20.30 RCAN0、1 を個別のチャンネルとして使用するときの接続例

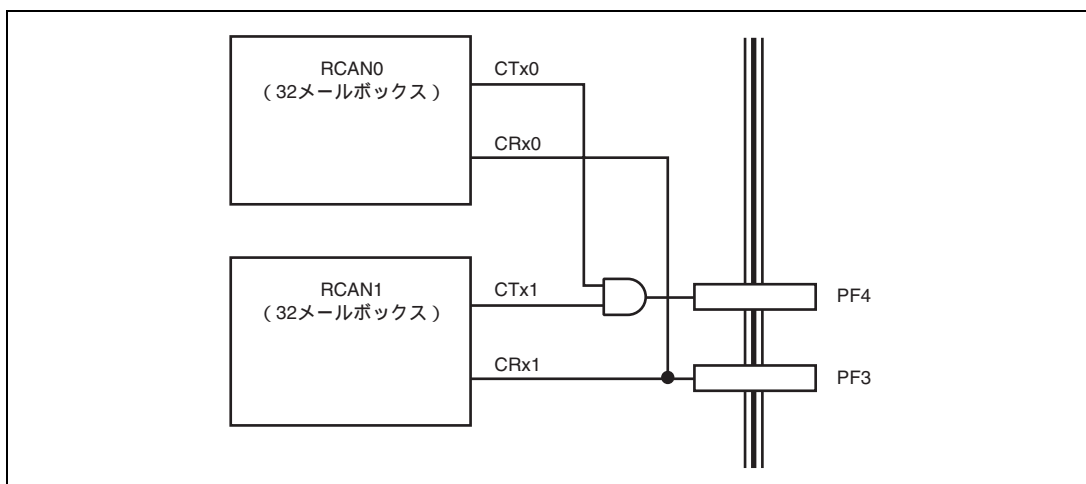


図 20.31 RCAN0、1 を 64 メールボックスの 1 チャンネルとして使用するときの接続例

20.12 使用上の注意事項

20.12.1 1チャンネル64メールボックスでのポート設定についての注意事項

本 LSI は、2チャンネルの RCAN-TL1 を内蔵しています。1チャンネルで64メールボックスの設定で使用する際、以下の注意事項があります。

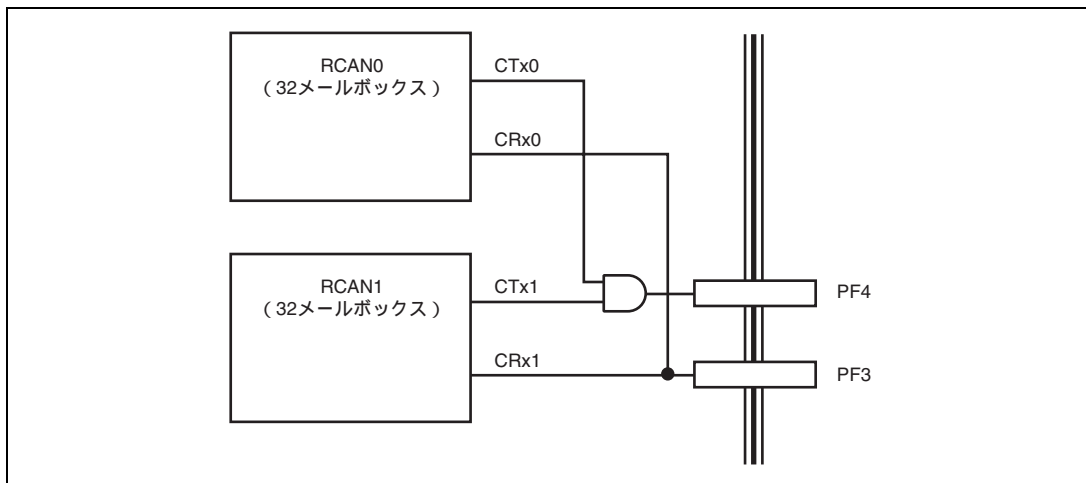


図 20.32 RCAN0、1 を 64 メールボックスの 1 チャンネルとして使用するときの接続例

1. CANバスに他ノードを接続しない状態でメッセージ送信した場合、ACKエラーが発生しません。上図の RCAN0 からメッセージを送信した場合、ACK フィールドで RCAN1 が ACK を送信するためです。RCAN1 は CANバス上のメッセージを受信しており、CAN プロトコルに従い ACK フィールドで ACK を送信し、その ACK を RCAN0 が受信します。
対応方法は、メッセージを送信しない RCAN1 をテストモードのリスンオンリモード状態 (TST[2:0] = B'001) またはリセット状態 (MCR0=1 設定) にしてください。これにより、メッセージを送信しないチャンネルから ACK を送信しません。
2. 送信順位を決定する内部アービトレーションは、それぞれ RCAN0 と RCAN1 で独立に実施します。送信可能バッファは、RCAN-TL1 には 31 メールボックス / チャンネルありますが、62 バッファの範囲で内部アービトレーションは実施しません。
3. 同一送信メッセージ ID を RCAN0 と RCAN1 に設定しないでください。CANバス上でのアービトレーション実施後、2つのチャンネルからメッセージを送信することになります。

21. IEBus™ コントローラ (IEB)

本 LSI は、1 チャンネルの IEBus コントローラ (IEB) を内蔵しています。IEBus™ (Inter Equipment Bus™) *は、装置間のデータ転送を目的とした小規模のデジタルデータ転送システムです。

本 LSI は IEBus ドライバ/レシーバを内蔵していないため、専用のドライバ/レシーバを外付けする必要があります。また、IERxD、IETxD 端子は 3V 仕様のため、専用のレベルシフタを外付けする必要があります。

【注】 * IEBus (Inter Equipment Bus) はルネサス エレクトロニクスの商標です。

21.1 特長

- IEBusのプロトコル制御 (レイア2) に対応
 - 半二重非同期通信
 - マルチマスタ方式
 - 同報通信機能
 - 伝送速度の異なる3種類のモードが選択可能
- データ送受信用バッファ内蔵
 - 送信バッファ / 受信バッファは各128バイト
 - モード2の最大伝送バイト数である128バイトまで連続送受信が可能
- 動作周波数
 - 12MHz、12.58MHzのクロックを1/2に分周して使用
 - 18MHz、18.87MHzのクロックを1/3に分周して使用
 - 24MHz、25.16MHzのクロックを1/4に分周して使用
 - 30MHz、31.45MHzのクロックを1/5に分周して使用
 - 36MHz、37.74MHzのクロックを1/6に分周して使用

【注】 AUDIO_X1 は、SSI オーディオ用のクロック入力として使用しない場合のみ、IEB のクロック入力として使用できます。

- モジュールスタンバイモードの設定可能

21.1.1 IEBus 通信プロトコル

IEBus の概要は、以下のとおりです。

- 通信方式：半2重非同期通信
- マルチマスタ方式

IEBusに接続しているすべてのユニットが他のユニットへデータの伝送が実現できます。

- 同報通信機能 (1ユニット対複数ユニットの通信)

グループ同報通信：グループユニットに対しての同報通信

一斉同報通信：すべてのユニットに対しての同報通信

- 伝送速度の異なる3種類のモードが選択可能

表 21.1 3 種類のモード

モード	IEB *1 = 12MHz、18MHz、 24MHz、30MHz、36MHz*2	IEB *1 = 12.58MHz、18.87MHz、 25.16MHz、31.45MHz、 37.74MHz*2	最大伝送バイト数 (バイト/フレーム)
0	約 3.9kbps	約 4.1kbps	16
1	約 17kbps	約 18kbps	32
2	約 26kbps	約 27kbps	128

【注】 *1 周辺クロック (P) または AUDIO_X1、AUDIO_X2 のクロック

*2 本 LSI を使用したときの発振周波数

- アクセス制御：CSMA/CD (Carrier Sense Multiple Access with Collision Detection)

バス占有の優先順位は、次のとおりです。

1. 同報通信 (1ユニット対複数ユニットの通信) が通常通信 (1ユニット対1ユニットの通信) より優先
2. マスタアドレスの小さい方が優先

- 通信規模

ユニット数：最大50

ケーブル長：最長150m (ツイストペアケーブルを使用した場合)

【注】 実際のシステムにおける通信規模は、外付けの IEBus ドライバ/レシーバの特性や使用するケーブルの特性により異なります。

(1) バス占有権の決定 (アービトレーション)

IEBus に接続された装置は他の装置を制御するときに、バスを占有するための動作を行います。この動作を、アービトレーションと呼びます。アービトレーションでは、複数のユニットが同時に送信を開始した場合に、それらの中から1つのユニットに対し、バスを占有する許可を与える処理が行われます。

アービトレーションにより1装置のみがバス占有権を得るため、次のようなバス占有の優先条件が決められています。

(a) 通信の種類による優先

同報通信(1 ユニット対複数ユニットの通信)が通常通信(1 ユニット対1 ユニットの通信)より優先されます。

(b) マスタアドレスによる優先

通信種類が同じ場合には、マスタアドレスの最も小さいものが優先されます。

例：マスタアドレスは12ビットで構成され、H'000のユニットが最上位の優先順位を持ち、H'FFFのユニットが最下位の優先順位を持ちます。

【注】アービトレーションに負けた場合、自動的に再送信モードに入ることができます(再送信回数は、IEMCRのRNビットで0~7回に設定可能です)。

(2) 通信モード

IEBusには、伝送速度の異なる3種の通信モードが用意されています。各通信モードにおける伝送速度および1通信フレームの中の最大伝送バイト数を、表21.2に示します。

表 21.2 各通信モードにおける伝送速度、最大伝送バイト数

通信モード	最大伝送バイト数 (バイト/フレーム)	実効伝送速度*1 (kbps)	
		IEB *2 = 12MHz、18MHz、24MHz、30MHz、 36MHz*3	IEB *2 = 12.58MHz、18.87MHz、 25.16MHz、31.45MHz、37.74MHz*3
0	16	約 3.9	約 4.1
1	32	約 17	約 18
2	128	約 26	約 27

【注】IEBusに接続した各装置は、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタユニットとその通信相手局(スレーブユニット)の通信モードが同一でないと、通信は正しく行われません。

IEB = 12MHzの装置とIEB = 12.58MHzの装置間では、通信モードが同一でも通信は正しく行われません。必ず同じ発振周波数で通信を行ってください。

*1 最大伝送バイト数を伝送したときの実行伝送速度

*2 周辺クロック(P)またはAUDIO_X1、AUDIO_X2のクロック

*3 本LSIを使用したときの発振周波数

(3) 通信アドレス

IEBusでは、各装置に12ビットの固有な通信アドレスが割り当てられます。通信アドレスは、次のように構成されます。

上位4ビット：グループ番号(各装置の所属するグループを識別する番号)

下位8ビット：ユニット番号(グループ内の各装置を識別する番号)

(4) 同報通信

通常の送信では、マスタユニットとその通信相手局となるスレーブユニットはともに1ユニットで、1対1の送信または受信が行われます。それに対し、同報通信ではスレーブユニットが複数存在し、マスタユニットは複数のスレーブユニットに対して送信を行います。スレーブユニットは複数存在するため、通信中スレーブユニットからは、アクノリッジは返されません。

また、同報通信を行うか通常の通信を行うかは、同報ビットによって決まります。(同報ビットについては、「21.1.2(1)(b)同報ビット」を参照してください)。

同報通信には、次の2種類があります。

(a) グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内の装置に対して同報通信を行います。

(b) 一斉同報通信

グループ番号の値にかかわらずすべての装置に対して同報通信を行います。

グループ同報と一斉同報の識別は、スレーブアドレスの値で行われます(スレーブアドレスについては、「21.1.2(3)スレーブアドレスフィールド」を参照してください)。

21.1.2 伝送プロトコル

IEBus の伝送信号フォーマットを図 21.1 に示します。

通信データは、通信フレームと呼ぶ一連の信号として伝送されます。1通信フレームで伝送可能なデータ数および伝送速度は、通信モードによって異なります。

(IEB = 12MHz、18MHz、24MHz、30MHz、36MHz時)																			
フィールド名	ヘッダ		マスタアドレスフィールド		スレーブアドレスフィールド			コントロールフィールド			電文長フィールド			データフィールド					
ビット数	1	1	12	1	12	1	1	4	1	1	8	1	1	8	1	1	8	1	1
	スタートビット	同報ビット	マスタアドレス	P	スレーブアドレス	P	A	コントロールビット	P	A	電文長ビット	P	A	データビット	P	A	データビット	P	A
伝送時間																			
モード0	約7330μs													約1590 × Nμs					
モード1	約2090μs													約410 × Nμs					
モード2	約1590μs													約300 × Nμs					

P: パリティビット (1ビット)
A: アクノリッジビット (1ビット)
A = 0のとき: ACK
A = 1のとき: NAK
N: データバイト数

【注】同報通信時には、アクノリッジビットの値は無視されます。

図 21.1 伝送信号フォーマット

(1) ヘッダ

ヘッダは、スタートビットおよび同報ビットで構成されています。

(a) スタートビット

スタートビットはデータ伝送の始まりを他のユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間間口レベルの信号 (スタートビット) を出力し、同報ビットの出力へ移行します。

スタートビットを出力しようとしたとき、すでに他のユニットがスタートビットを出力している場合には、スタートビットを出力しないでそのユニットのスタートビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を始めたユニット以外は、このスタートビットを検出し受信状態へ移行します。

(b) 同報ビット

同報ビットは、同報通信、または通常の通信の識別を行うビットです。

同報ビットが 0 の場合には同報通信、1 の場合には通常の通信を表します。また同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブアドレスの値によって行われます (スレーブアドレスについては、「21.1.2 (3) スレーブアドレスフィールド」を参照してください)。

同報通信の場合には通信相手局となるスレーブユニットが複数存在するため、(2)以降各フィールドでのアクノリッジビットは返されません。

2 つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には、同報通信が通常の通信より優先し、アービトレーションに勝ち残ります。

(2) マスタアドレスフィールド

マスタアドレスフィールドは、自分のユニットアドレス (マスタアドレス) を他のユニットに送信するためのフィールドです。マスタアドレスフィールドはマスタアドレスビットとパリティビットで構成されています。

マスタアドレスは 12 ビットで構成されており MSB より出力されます。

2 つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタアドレスフィールドへ持ち越されます。

マスタアドレスフィールドでは、1 ビット送信するたびに自分が出力しているデータとバス上のデータとの比較を行います。比較の結果、自分の出力しているマスタアドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断し、送信を中止し受信状態へ移行します。

IEBus はワイヤード AND で構成されているため、アービトレーションに参加しているユニット (アービトレーションマスタ) の中で、最小のマスタアドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に 12 ビットのマスタアドレス出力後、1 つのユニットのみがマスタユニットとして送信状態で残ります。

次に、このマスタユニットはパリティビット*を出力し、他のユニットに対してマスタアドレスを確定させ、スレーブアドレスフィールド出力へ移行します。

【注】 * パリティは偶数パリティを使用しており、マスタアドレスビット中の 1 のビットの数が奇数のとき、パリティビットが 1 となります。

(3) スレーブアドレスフィールド

スレーブアドレスフィールドは、通信を行いたいユニット (スレーブユニット) のアドレス (スレーブアドレス) を送信するためのフィールドです。スレーブアドレスフィールドはスレーブアドレスビット、パリティビットおよびアクノリッジビットで構成されています。

スレーブアドレスは 12 ビットで構成され MSB から出力されます。12 ビットのスレーブアドレス送信後、スレーブアドレスが間違っ受信されることを避けるため、パリティビットを出力します。次に、スレーブユニットがバス上に存在することを確認するために、マスタユニットはスレーブユニットからのアクノリッジ信号の検出を行います。アクノリッジ信号を検出した場合、コントロールフィールド出力へ移行します。ただし、同報通信時には、アクノリッジビットを検出せずに、コントロールフィールド出力へ移行します。

スレーブユニットは、スレーブアドレスが一致し、マスタアドレスとスレーブアドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブユニットはパリティが奇数の場合、マスタアドレスまたはスレーブアドレスが正しく受信されなかったと判断し、アクノリッジ信号を出力しません。このとき、マスタユニットは、待機 (モニタ) 状態になり通信が終了します。

また、同報通信の場合は、スレーブアドレスは次のようにグループ同報か、一斉同報かの識別に使用されます。

スレーブアドレスが H'FFF のとき : 一斉同報通信

スレーブアドレスが H'FFF 以外のとき : グループ同報通信

【注】 グループ同報通信時のグループ番号は、スレーブアドレスの上位 4 ビットの値になります。

(4) コントロールフィールド

コントロールフィールドは、次のデータフィールドの種類や方向を送信するためのフィールドです。コントロールフィールドはコントロールビット、パリティビットおよびアクノリッジビットで構成されています。

コントロールビットは 4 ビットで構成され MSB から出力されます。

コントロールビットに続いて、パリティビットが出力されます。パリティが偶数でかつ、マスタユニットの要求機能をスレーブが実行可能な場合は、スレーブユニットはアクノリッジ信号を出力し、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブユニットがマスタユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブユニットはアクノリッジ信号を出力せず、待機 (モニタ) 状態に戻ります。

マスタユニットはアクノリッジ信号を確認後、次の電文長フィールドへ移行します。

アクノリッジ信号の確認ができない場合は、マスタユニットは待機状態になり、通信が終了します。ただし同報通信の場合には、マスタユニットはアクノリッジ信号を確認せずに、次の電文長フィールドへ移行します。

コントロールビットの内容については表 21.4 を参照してください。

(5) 電文長フィールド

電文長フィールドは、通信データのバイト数を指定するためのフィールドです。電文長フィールドは、電文長ビットと、パリティビットおよびアクノリッジビットで構成されます。

電文長ビットは 8 ビットで構成され、MSB から出力されます。通信データのバイト数を表 21.3 に示します。

表 21.3 電文長ビットの内容

電文長ビット	送信データ・バイト数
H'01	1 バイト
H'02	2 バイト
.	.
.	.
H'FF	255 バイト
H'00	256 バイト

【注】 通信モードにより、1 フレームの最大伝送バイト数以上を設定すると、複数フレームでの通信となります。その際、2 回目以降は、電文長ビットは残りの通信データのバイト数となります。本 LSI では電文長ビットの設定は 1 フレームの最大伝送バイト数以上は設定できません。以下に示す範囲内で設定してください。

モード 0 : 1 ~ 16 バイト

モード 1 : 1 ~ 32 バイト

モード 2 : 1 ~ 128 バイト

このフィールドの動作は、マスタ送信時 (コントロールビットのビット 3 が 1) とマスタ受信時 (コントロールビットのビット 3 が 0) で異なります。

(a) マスタ送信時

電文長ビットおよびパリティビットは、マスタユニットが出力します。スレーブユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力し、次のデータフィールドへ移行します。ただし、同報通信時では、スレーブユニットはアクノリッジ信号を出力しません。

また、スレーブユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機 (モニタ) 状態に戻ります。このとき、マスタユニットも待機状態に戻り、通信が終了します。

(b) マスタ受信時

電文長ビットおよびパリティビットは、スレーブユニットが出力します。マスタユニットはパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機状態に戻ります。このとき、スレーブユニットも待機状態に戻り、通信が終了します。

(6) データフィールド

データフィールドは、スレーブユニットに対しデータを送受信するためのフィールドです。マスタユニットは、データフィールドを使用してスレーブユニットにデータを送信したり、スレーブユニットからデータを受信したりします。データフィールドはデータビット、パリティビットおよびアクノリッジビットで構成されています。

データユニットは 8 ビットで構成され MSB から出力されます。

データビットに続きパリティビットとアクノリッジビットが、それぞれマスタユニットおよびスレーブユニットより出力されます。

同報通信は、マスタユニットの送信動作のみに行われます。また、このときアクノリッジ信号は無視されます。

マスタ送信時とマスタ受信時の動作は次のようになります。

(a) マスタ送信時

マスタユニットからスレーブユニットへ書き込みを行う場合、マスタユニットは、スレーブユニットに対してデータビット、パリティビットを送信します。スレーブユニットはデータビット、パリティビットを受信し、パリティが偶数で、かつ受信バッファが空いていれば、アクノリッジ信号を出力します。パリティが奇数、または受信バッファが空いていない場合には、スレーブユニットは対応するデータの受け付けを拒否し、アクノリッジ信号出力を行いません。

スレーブユニットからアクノリッジ信号が出力されなかった場合、マスタユニットは再び同じデータを送信します。この動作はスレーブユニットからのアクノリッジ信号を検出するか、データ最大伝送バイト数を超えるまで続けられます。

パリティが偶数で、スレーブユニットからアクノリッジ信号が出力された場合は、データに続きがあり、かつ最大伝送バイト数を超えていなければ、マスタユニットは次のデータを送信します。

また、同報通信の場合では、スレーブユニットからはアクノリッジ信号は出力されず、マスタユニットはデータを1バイトごとに転送します。

(b) マスタ受信時

マスタユニットがスレーブユニットから読み込みを行う場合、マスタユニットはすべての読み込みビットに対応する同期信号を出力します。

スレーブユニットは、データ、パリティビットの内容をマスタユニットからの同期信号に応じてバス上に出力します。

マスタユニットは、スレーブユニットの出力したデータパリティビットを読み込み、パリティを確認します。

パリティが奇数の場合、または受信バッファが空いていない場合は、マスタユニットはそのデータ受け付けを拒否し、アクノリッジ信号を出力しません。1通信フレームで送信可能な最大伝送バイト数以内であれば、マスタユニットは同じデータの読み込み動作を繰り返します。また、パリティが偶数で、かつ受信バッファが空いていれば、マスタユニットはデータを受け付け、アクノリッジ信号を返します。1フレームで送信可能な最大バイト数以内であればマスタユニットは次のデータを読み込みます。

(7) パリティビット

パリティビットは、伝送データに誤りが無いことを確認するために使用されます。

パリティビットは、マスタアドレスビット、スレーブアドレスビット、コントロールビット、電文長ビット、データビットの各データに対して付加されます。

パリティは、偶数パリティです。データの中の1のビット数が奇数の場合は、パリティビットは1となります。データ中の1の数が偶数の場合は、パリティビットは0となります。

(8) アクノリッジビット

通常通信(1ユニット対1ユニット間の通信)においては、データを正しく受け付けたかを確認するために、次の箇所にアクノリッジビットが付加されます。

- スレーブアドレスフィールドの最後
- コントロールフィールドの最後

- 電文長フィールドの最後
- データフィールドの最後

アクノリッジビットの定義は次のとおりです。

- 0: 伝送データを認識したことを表します。(ACK)
- 1: 伝送データを認識しなかったことを表します。(NAK)

ただし、同報通信の場合には、アクノリッジビットの内容は無視されます。

(a) スレーブアドレスフィールドの最後のアクノリッジビット

スレーブアドレスフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- マスタアドレスビットまたはスレーブアドレスビットのパリティが正しくない場合
- タイミングエラー (ビットフォーマットにエラー) が発生した場合
- スレーブユニットが存在しなかった場合

(b) コントロールフィールドの最後のアクノリッジビット

コントロールフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- コントロールビットのパリティが正しくない場合
- スレーブ受信バッファ*が空でないのに、コントロールビットのビット3が1 (書き込み動作) の場合
- スレーブ送信バッファ*が空なのに、コントロールビットがデータの読み込み (H'3、H'7) の場合
- ロックを設定されているのに、ロックを設定したユニット以外からコントロールビットのH'3、H'6、H'7、H'A、H'B、H'E、H'Fを要求した場合
- ロックを設定されていないのに、コントロールビットがロックアドレスの読み込み (H'4、H'5) の場合
- タイミングエラーが発生した場合
- 未定義のコントロールビットの場合

【注】 * 「21.1.3 (1) スレーブステータス (SSR) の読み込み (コントロールビット: H'0、H'6)」を参照してください。

(c) 電文長フィールドの最後のアクノリッジビット

電文長フィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- 電文長ビットのパリティが正しくない場合
- タイミングエラーが発生した場合

(d) データフィールドの最後のアクノリッジビット

データフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- データビットのパリティが正しくない場合*
- タイミングエラーが前回のアクノリッジビット伝送以降で発生した場合
- 受信バッファがフルの状態になり、それ以上のデータを受け付けることができない場合*

【注】 * この場合、送信側では1フレームで伝送可能な最大伝送バイト数以内であれば、最大伝送バイト数に達するまでそのデータフィールドの送信を再実行します。

21.1.3 伝送データ (データフィールドの内容)

データフィールドの内容は、コントロールビットで示されるデータになります。

表 21.4 コントロールビットの内容

設定値	ビット 3* ¹	ビット 2	ビット 1	ビット 0	機能* ²
H'0	0	0	0	0	スレープステータス (SSR) の読み込み
H'1	0	0	0	1	未定義
H'2	0	0	1	0	未定義
H'3	0	0	1	1	データ読み込みとロック
H'4	0	1	0	0	ロックアドレスの読み込み (下位 8 ビット)
H'5	0	1	0	1	ロックアドレスの読み込み (上位 4 ビット)
H'6	0	1	1	0	スレープステータス (SSR) の読み込みとロック解除
H'7	0	1	1	1	データ読み込み
H'8	1	0	0	0	未定義
H'9	1	0	0	1	未定義
H'A	1	0	1	0	コマンド書き込みとロック
H'B	1	0	1	1	データ書き込みとロック
H'C	1	1	0	0	未定義
H'D	1	1	0	1	未定義
H'E	1	1	1	0	コマンド書き込み
H'F	1	1	1	1	データ書き込み

【注】 *1 ビット 3 (MSB) の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータの転送方向が変わります。

ビット 3 が 1 の場合：マスタユニットからスレーブユニットへ転送

ビット 3 が 0 の場合：スレーブユニットからマスタユニットへ転送

*2 H'3、H'6、H'A、H'B はロックの設定、および解除を指定するコントロールビットです。

H'1、H'2、H'8、H'9、H'C、H'D の未定義値が送信された場合はアクノリッジを返しません。

マスタユニットによりロックを設定されたユニットは、ロックを要求したマスタユニット以外から受信したコントロールビットが表 21.5 以外の場合、受け付けを拒否し、アクノリッジビットを出力しません。

表 21.5 ロックされたスレーブユニットに対するコントロールフィールド

設定値	ビット 3	ビット 2	ビット 1	ビット 0	機能
H'0	0	0	0	0	スレープステータスの読み込み
H'4	0	1	0	0	ロックアドレスの読み込み (下位 8 ビット)
H'5	0	1	0	1	ロックアドレスの読み込み (上位 4 ビット)

(1) スレープステータス (SSR) の読み込み (コントロールビット : H'0、H'6)

マスタユニットは、スレープステータスの読み込み (H'0、H'6) を行うことにより、スレープユニットが、アクノリッジビット (ACK) を返送しなかった理由を知ることができます。スレープステータスは、スレープステータスが最後に行った通信結果に対して決定されます。すべてのスレープユニットは、スレープステータスの情報を提供できます。スレープステータスについて、図 21.2 に示します。

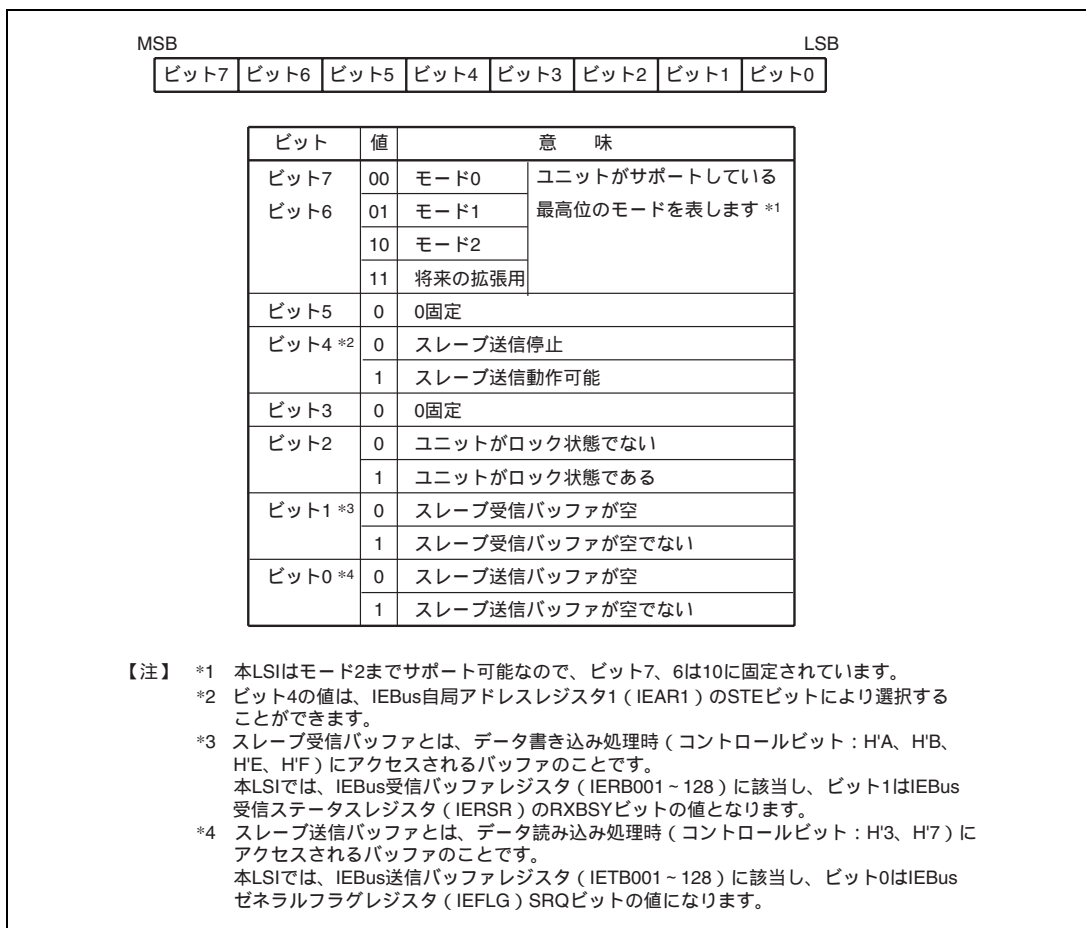


図 21.2 スレープステータス (SSR) のビット構成

(2) データコマンド転送 (コントロールビット : 読み込み (H'3、H'7)、書き込み (H'A、H'B、H'E、H'F))

データ読み込み (H'3、H'7) の場合、スレープユニットのデータバッファにあるデータが、マスタユニットに読み込まれます。データ書き込み (H'B、H'F) またはコマンド書き込み (H'A、H'E) の場合、スレープユニットが受信したデータはそのスレープユニットの動作規定に従って処理されます。

- 【注】 1. データとコマンドの選択は、ユーザがシステムに応じて自由に決めることができます。
 2. H'3、H'A、H'B は通信条件、状態によりロックが設定されることがあります。

(3) ロックアドレスの読み込み (コントロールビット : H'4、H'5)

ロックアドレスの読み込み処理時 (H'4、H'5) には、ロック命令を発行したマスタユニットのアドレス (12 ビット) が、次に示すように 1 バイト単位に構成されて、読み出されます。

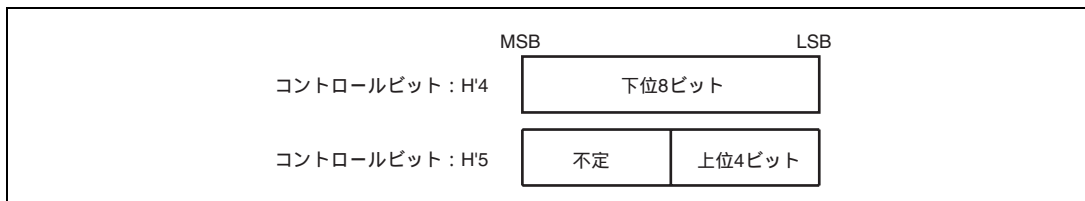


図 21.3 ロックアドレスの構成

(4) ロックの設定、解除 (コントロールビット : 設定 (H'3、H'A、H'B)、解除 (H'6))

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。ロックを設定されたユニットは、ロックをかけたユニット以外からは受信しません。

ロックの設定および解除を、次に示します。

(a) ロックの設定

ロックを指定したコントロールビット (H'3、H'A、H'B) で、電文長フィールドのアクノリッジビット 0 の送受信終了後、電文長ビットにて指定されたバイト数分のデータの送受信を完了せずに通信フレームを終了した場合に、スレーブユニットはマスタユニットにより、ロックを設定されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット (ビット 2) が 1 にセットされます。

ロックが設定されるのは、フレーム最大伝送バイト数を超えたときのみで、他のエラー終了ではセットされません。

(b) ロックの解除

ロックを指定したコントロールビット (H'3、H'A、H'B) または、ロックの解除を指定したコントロールビット (H'6) で、1 通信フレーム内に、電文長ビットで指定したバイト数分のデータの送受信完了後、スレーブユニットは、マスタユニットによりロックを解除されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット (ビット 2) が 0 にリセットされます。

なお、同報通信時にはロックの設定および解除は行われません。

【注】 ロックの解除を指定されたユニット自身で解除するには、次の 3 種類の方法があります。

- ・ パワーオンリセットをかける
- ・ ディープスタンバイをかける
- ・ IEBus コマンドレジスタ (IECMR) でロック状態解除コマンドを発行する

なお、ロック状態の有無は IEFLG の LCK ビットで確認できます。

21.1.4 ビットフォーマット

IEBus の通信フレームを構成するビットのフォーマット (概念) を図 21.4 に示します。

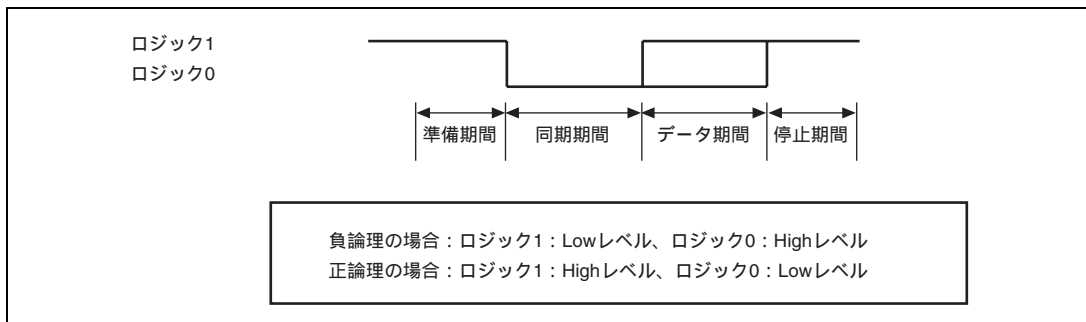


図 21.4 IEBus のビットフォーマット (概念)

以下、正論理の場合のビットフォーマットの各期間を説明します。

準備期間 : 最初のロジック 1 期間 (High レベル)

同期期間 : 次のロジック 0 期間 (Low レベル)

データ期間 : ビットの値を表す期間 (ロジック 1 : High レベル、ロジック 0 : Low レベル)

停止期間 : 最後のロジック 1 期間 (High レベル)

負論理の場合、正論理から反転したレベルになります。

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBus は、1 ビットごとに同期がとられています。また、ビット全体の時間と、そのビット内に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタユニットかスレーブユニットかの違いにより異なります。

21.1.5 構成

図 21.5 に IEB の全体ブロック図を、表 21.6 に各ブロックの機能を示します。

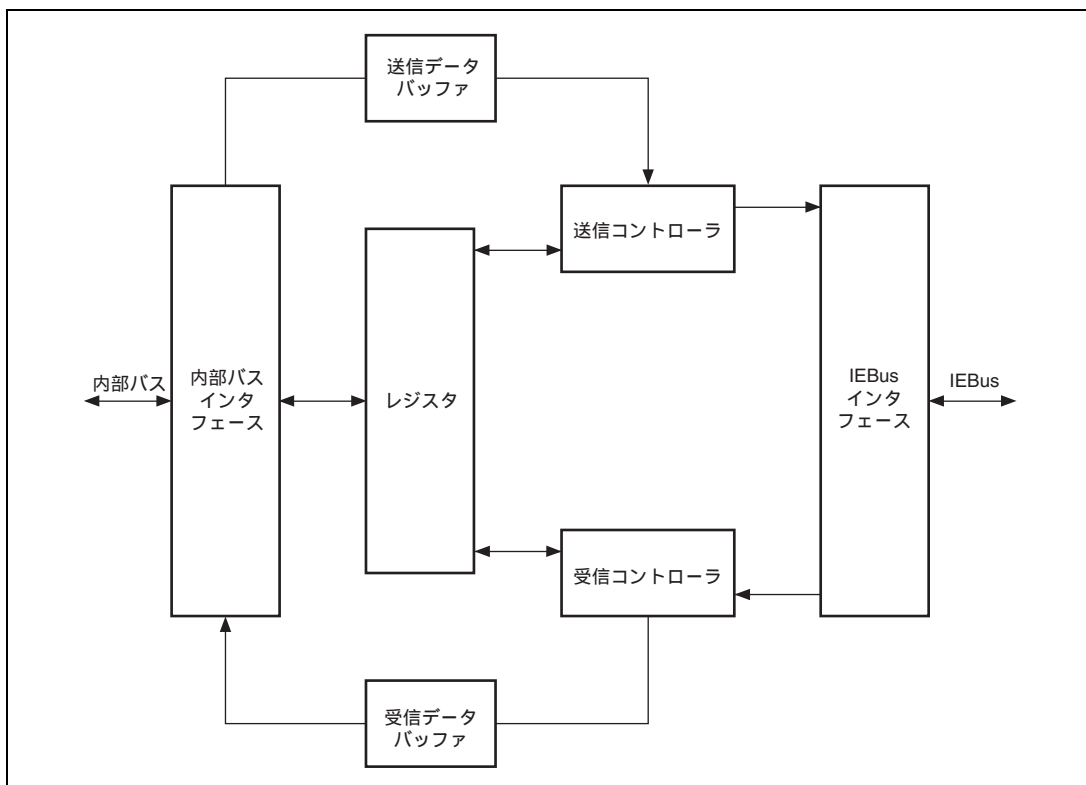


図 21.5 IEB のブロック図

表 21.6 各ブロックの機能

ブロック	機 能
内部バスインタフェース	内部バスのインタフェース機能
	<ul style="list-style-type: none"> • データ幅 8 ビット • IEB レジスタアクセス
IEBus インタフェース	IEBus 仕様に準拠したインタフェース機能
	<ul style="list-style-type: none"> • 送信コントローラからデータを IEBus 仕様のビットフォーマットで IEBus 送出 • IEBus 仕様のビットフォーマットからフレームデータを抽出し受信コントローラへ転送
レジスタ	IEB 制御レジスタ
	<ul style="list-style-type: none"> • IEB 制御のためのレジスタ • 内部バスよりリード/ライト可能
送信コントローラ	送信バッファのデータ IEBus に送信
	<ul style="list-style-type: none"> • レジスタからのヘッダ情報と送信バッファのデータにより送信フレームを生成し送信 • 送信エラー検出
受信コントローラ	IEBus からのデータを受信バッファに格納
	<ul style="list-style-type: none"> • 受信したフレームをヘッダ情報はレジスタにデータは受信バッファに格納 • 受信エラー検出
送信データバッファ	データ送信用バッファ
	<ul style="list-style-type: none"> • IEBus へ送信するデータを格納するバッファ • バッファ容量 128 バイト
受信データバッファ	データ受信用バッファ
	<ul style="list-style-type: none"> • IEBus から受信したデータを格納するバッファ • バッファ容量 128 バイト

21.2 入出力端子

表 21.7 端子構成

名称	端子名	入出力	機 能
IEB 受信データ端子	IERxD	入力	受信データ入力端子
IEB 送信データ端子	IETxD	出力	送信データ出力端子

21.3 レジスタの説明

IEB には以下のレジスタがあります。

各レジスタは 8 ビット長で、8 ビット単位のアクセスを原則とします。

表 21.8 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
IEBus コントロールレジスタ	IECTR	R/W	H'00	H'FFFEF000	8
IEBus コマンドレジスタ	IECMR	W	H'00	H'FFFEF001	8
IEBus マスタコントロールレジスタ	IEMCR	R/W	H'00	H'FFFEF002	8
IEBus 自局アドレスレジスタ 1	IEAR1	R/W	H'00	H'FFFEF003	8
IEBus 自局アドレスレジスタ 2	IEAR2	R/W	H'00	H'FFFEF004	8
IEBus スレーブアドレス設定レジスタ 1	IESA1	R/W	H'00	H'FFFEF005	8
IEBus スレーブアドレス設定レジスタ 2	IESA2	R/W	H'00	H'FFFEF006	8
IEBus 送信電文長レジスタ	IETBFL	R/W	H'00	H'FFFEF007	8
IEBus 受信マスタアドレスレジスタ 1	IEMA1	R	H'00	H'FFFEF009	8
IEBus 受信マスタアドレスレジスタ 2	IEMA2	R	H'00	H'FFFEF00A	8
IEBus 受信コントロールフィールド レジスタ	IERCTL	R	H'00	H'FFFEF00B	8
IEBus 受信電文長レジスタ	IERBFL	R	H'00	H'FFFEF00C	8
IEBus ロックアドレスレジスタ 1	IELA1	R	H'00	H'FFFEF00E	8
IEBus ロックアドレスレジスタ 2	IELA2	R	H'00	H'FFFEF00F	8
IEBus ゼネラルフラグレジスタ	IEFLG	R	H'00	H'FFFEF010	8
IEBus 送信ステータスレジスタ	IETSR	R/(W)*	H'00	H'FFFEF011	8
IEBus 送信割り込み許可レジスタ	IEIET	R/W	H'00	H'FFFEF012	8
IEBus 受信ステータスレジスタ	IERSR	R/(W)*	H'00	H'FFFEF014	8
IEBus 受信割り込み許可レジスタ	IEIER	R/W	H'00	H'FFFEF015	8
IEBus クロック選択レジスタ	IECKSR	R/W	H'01	H'FFFEF018	8
IEBus 送信データバッファ 001 ~ 128	IETB001 ~ IETB128	W	不定	H'FFFEF100 ~ H'FFFEF17F	8
IEBus 受信データバッファ 001 ~ 128	IERB001 ~ IERB128	R	不定	H'FFFEF200 ~ H'FFFEF27F	8

【注】 * フラグをクリアするための 1 ライトのみ可能です。

21.3.1 IEBus コントロールレジスタ (IECTR)

IECTR は、IEB の動作の制御の設定を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	IOL	DEE	-	RE	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	IOL	0	R/W	入出力レベル IERxD、IETxD 端子の入出力端子のレベル (正論理、負論理) を選択します。 0: 端子の入出力は負論理 (ロジック 1 が Low レベル、ロジック 0 が High レベル) 1: 端子の入出力は正論理 (ロジック 1 が High レベル、ロジック 0 が Low レベル)
5	DEE	0	R/W	同報受信エラー割り込みイネーブル 本ビットを 1 にセットすると、同報受信時に、受信バッファが受信可能状態にならない場合 (RE ビットが 1 にセットされていない状態か、RXBSY フラグがセットされている状態)、同報受信エラー割り込みが発生します。その際、IEBus 受信マスタアドレスレジスタ 1、2 が格納されます。 本ビットが 0 のときは、同報受信時に、受信バッファが受信可能状態にならない場合、同報受信エラー割り込みは発生せず受信を中止して待機状態に入ります。マスタアドレスは保存されません。 0: コントロールフィールドまでの同報受信エラーを発生させない。 1: コントロールフィールドまでの同報受信エラーを発生させる。
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RE	0	R/W	レシーブイネーブル IEB の受信の許可 / 禁止を設定します。本ビットの設定は、フレーム受信前の初期設定で行ってください。 0: 受信動作を禁止 1: 受信動作を許可
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3.2 IEBus コマンドレジスタ (IECMR)

IECMR は、IEB の通信の制御を行うためのコマンドを発行するレジスタです。本レジスタはライト専用レジスタです。リード値は不定です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMD[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	W	W	W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	-	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
2~0	CMD[2:0]	000	W	コマンドビット IEB の通信制御を行うためのコマンドを発行します。本コマンド発行後、IEFLG の CMX ビットがセットされている間はコマンド実行中です。CMX が 0 になって、動作状態に移行します。 000: ノーオペレーション (動作に影響なし) 001: ロック状態 (他局からの要求) を解除*1 010: マスタとしての通信を要求 011: マスタ通信を中止*2 100: 未定義*4 101: スレーブからのデータ送信を要求 110: スレーブからのデータ送信を中止*3 111: 未定義*4

【注】 *1 スレーブ通信状態では、実行禁止です。

*2 マスタ通信中 (MRQ = 1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されず。マスタ通信中に本コマンドを発行すると、通信コントローラは直ちに待機状態に入ります。同時に、発行されていたマスタ送信要求は終了 (MRQ = 0) します。

*3 スレーブ送信 (SRQ = 1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されず。スレーブ送信中に本コマンドを発行すると、スレーブ送信を行う前では、SRQ = 0 となるため、マスタからの送信要求に対応しなくなります。スレーブ送信を行っている状態でコマンドを発行すると、送信動作を中止し、待機状態になります。(SRQ = 0)

*4 未定義ビットです。本コマンドを発行しても動作に影響ありません。

21.3.3 IEBus マスタコントロールレジスタ (IEMCR)

IEMCR は、マスタ通信を行うときの通信条件を設定します。

ビット:	7	6	5	4	3	2	1	0
	SS	RN[2:0]			CTL[3:0]*1			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SS	0	R/W	同報 / 通常通信の選択 マスタ通信時の、同報 / 通常通信の選択を行います。 0 : マスタ通信時、同報通信 1 : マスタ通信時、通常通信
6~4	RN[2:0]	000	R/W	再送回数 マスタ通信中にアービトレーションに負けた場合に、自動的に再送信を行う回数を設定します。アービトレーションに負けた場合、IETSR の TXEAL ビットがセットされ、送信エラー終了となります。 000 : 0 回 001 : 1 回 010 : 2 回 011 : 3 回 100 : 4 回 101 : 5 回 110 : 6 回 111 : 7 回

ビット	ビット名	初期値	R/W	説 明
3~0	CTL[3:0]*1	0000	R/W	コントロールビット マスタ送信時の、コントロールフィールドのコントロールビットの設定を行います。 0000 : スレープステータスの読み込み 0001 : 未定義*3 0010 : 未定義*3 0011 : データ読み込みとロック*2 0100 : ロックアドレスの読み込み (下位 8 ビット) 0101 : ロックアドレスの読み込み (上位 4 ビット) 0110 : スレープステータスの読み込みとロック解除*2 0111 : データ読み込み 1000 : 未定義*3 1001 : 未定義*3 1010 : コマンド書き込みとロック*2 1011 : データ書き込みとロック*2 1100 : 未定義*3 1101 : 未定義*3 1110 : コマンド書き込み 1111 : データ書き込み

【注】 *1 ビット 3 の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータ転送方向が変わります。

ビット 3 が 1 の場合 : マスタユニットからスレープユニットへの転送

ビット 3 が 0 の場合 : スレープユニットからマスタユニットへの転送

*2 ロックの設定、および解除を指定するコントロールビットです。

*3 使用禁止です。

21.3.4 IEBus 自局アドレスレジスタ 1 (IEAR1)

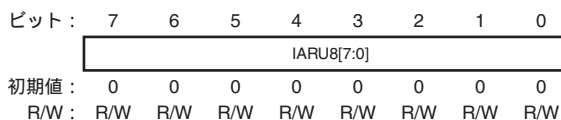
IEAR1 は、自局アドレスの下位 4 ビットと、通信モードを設定します。自局アドレスは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。

ビット:	7	6	5	4	3	2	1	0
	IARL4[3:0]				IMD[1:0]		-	STE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IARL4[3:0]	0000	R/W	IEBus 自局アドレス下位 4 ビット 自局アドレスの下位 4 ビットを設定します。マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスとの比較を行います。
3, 2	IMD[1:0]	00	R/W	IEBus 通信モード IEBus 通信モードの選択を行います。 00: 通信モード 0 01: 通信モード 1 10: 通信モード 2 11: 設定禁止
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	STE	0	R/W	スレーブ送信設定 スレーブステータスレジスタのビット 4 の値を設定します。本ビットを 1 に設定すると、マスタユニットに対して、スレーブステータスレジスタの送信により、スレーブ送信可能状態である、という情報を与えます。本ビットはスレーブステータスレジスタの値を設定するだけで、スレーブ送信の動作には直接影響しません。 0: スレーブステータスのビット 4 は 0 (スレーブ送信停止状態) 1: スレーブステータスのビット 4 は 1 (スレーブ送信可能状態)

21.3.5 IEBus 自局アドレスレジスタ 2 (IEAR2)

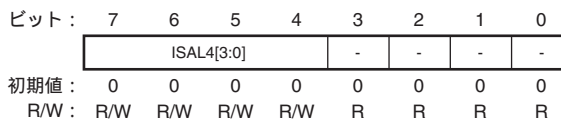
IEAR2 は、自局アドレスの上位 8 ビットを設定します。本レジスタは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。



ビット	ビット名	初期値	R/W	説明
7~0	IARU8[7:0]	H'00	R/W	IEBus 自局アドレス上位 8 ビット 自局アドレスの上位 8 ビットを設定します。マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスとの比較を行います。

21.3.6 IEBus スレーブアドレス設定レジスタ 1 (IESA1)

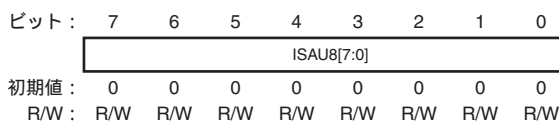
IESA1 は、通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。



ビット	ビット名	初期値	R/W	説明
7~4	ISAL4[3:0]	0000	R/W	IEBus スレーブアドレス下位 4 ビット 通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3.7 IEBus スレーブアドレス設定レジスタ 2 (IESA2)

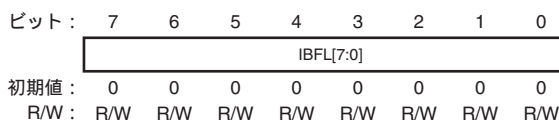
IESA2 は、通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。



ビット	ビット名	初期値	R/W	説明
7~0	ISAU8[7:0]	H'00	R/W	IEBus スレーブアドレス上位 8 ビット 通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。

21.3.8 IEBus 送信電文長レジスタ (IETBFL)

IETBFL は、マスタ送信、スレーブ送信を行う際の電文長を設定します。



ビット	ビット名	初期値	R/W	説明
7~0	IBFL[7:0]	H'00	R/W	送信電文長ビット マスタ送信する際の電文長の値を設定します。通信モードの最大伝送バイト数以内の値を設定してください。 H'01 : 1 バイト H'02 : 2 バイト : H'7F : 127 バイト H'80 : 128 バイト H'81 : 未定義* : H'FF : 未定義* H'00 : 未定義*

【注】 * 設定禁止です。

21.3.9 IEBus 受信マスタアドレスレジスタ 1 (IEMA1)

IEMA1 は、スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	IMAL4[3:0]				-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~4	IMAL4[3:0]	0000	R	IEBus 受信マスタアドレス下位 4 ビット スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットを表示します。本レジスタは、スレーブ / 同報受信が開始されると有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。 IECTR の DEE ビットで同報受信エラーが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA1 にマスタアドレス下位 4 ビットが格納されます。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3.10 IEBus 受信マスタアドレスレジスタ 2 (IEMA2)

IEMA2 は、スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットが読み出されます。本レジスタは、スレーブ / 同報受信が開始すると有効になります (IERSR の RXS ビットがセットされた時点で、内容が書き換えられます)。

IECTR の DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 にマスタアドレス上位 8 ビットが格納されます。本レジスタへのライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	IMAU8[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	IMAU8[7:0]	H'00	R	IEBus 受信マスタアドレス上位 8 ビット スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットを表示します。本レジスタは、スレーブ / 同報受信が開始されると有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。 IECTR の DEE ビットで同報受信エラーが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 にマスタアドレス上位 8 ビットが格納されます。

21.3.11 IEBus 受信コントロールフィールドレジスタ (IERCTL)

IERCTL は、スレープ / 同報受信時のコントロールフィールドの値が読み出されます。本レジスタは、スレープ / 同報受信が開始すると有効になります (IERSR の RXS ビットがセットされた時点で、内容が書き換えられます)。本レジスタへのライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RCTL[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	RCTL[3:0]	0000	R	IEBus 受信コントロールフィールド スレープ / 同報受信時のコントロールフィールドの値を表示します。本レジスタは、スレープ / 同報受信が開始されると有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。

21.3.12 IEBus 受信電文長レジスタ (IERBFL)

IERBFL は、スレープ / 同報受信時の電文長フィールドが読み出されます。本レジスタは、スレープ / 同報受信が開始すると有効になります (IERSR の RXS ビットがセットされた時点で、内容が書き換えられます)。

本レジスタへのライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	RBFL[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	RBFL[7:0]	H'00	R	IEBus 受信電文長 スレープ / 同報受信時の電文長フィールドの内容が読み出されます。

21.3.13 IEBus ロックアドレスレジスタ 1 (IELA1)

IELA1 は、ロックが設定されたときのロックアドレスの低位 8 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	ILAL8[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	ILAL8[7:0]	H'00	R	IEBus ロックアドレス低位 8 ビット ロックを設定したマスタユニットのアドレス低位 8 ビットを表示します。 IEFLG の LCK ビットがセットされているときのみ有効です。

21.3.14 IEBus ロックアドレスレジスタ 2 (IELA2)

IELA2 は、ロックが設定されたときのロックアドレスの上位 4 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	ILAU4[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	ILAU4[3:0]	0000	R	IEBus ロックアドレス上位 4 ビット ロックを設定したマスタユニットのアドレス上位 4 ビットを格納します。 IEFLG の LCK ビットがセットされているときのみ有効です。

21.3.15 IEBus ゼネラルフラグレジスタ (IEFLG)

IEFLG は、IEB のコマンドの実行状態の表示、ロック状態の表示、スレーブアドレスの一致、同報受信の検出を行います。

ビット:	7	6	5	4	3	2	1	0
	CMX	MRQ	SRQ	SRE	LCK	-	RSS	GG
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	CMX	0	R	コマンド実行状態 コマンドの実行状態を示します。 0: コマンドの実行は終了 1: コマンド実行中 [セット条件] • MRQ、SRQ、SRE のいずれかがセットされた条件で、マスタ通信要求コマンドかスレーブ送信要求コマンドを発行時 [クリア条件] • コマンドが実行終了したとき。
6	MRQ	0	R	マスタ通信要求 マスタユニットとして、通信要求期間中か期間中でないかを示します。 0: マスタユニットとしての通信要求期間中ではない 1: マスタユニットとしての通信要求期間中 [セット条件] • マスタ通信要求コマンドを発行し、CMX ビットが 0 になったとき。 [クリア条件] • マスタ通信が終了したとき。
5	SRQ	0	R	スレーブ送信要求 スレーブユニットとして、送信要求期間中か期間中でないかを示します。 0: スレーブユニットとして送信要求期間中ではない 1: スレーブユニットとして送信要求期間中 [セット条件] • スレーブ送信要求コマンドを発行し、CMX ビットが 0 になったとき。 [クリア条件] • スレーブ送信が終了したとき。

ビット	ビット名	初期値	R/W	説明
4	SRE	0	R	<p>スレーブ受信状態</p> <p>スレーブ/同報受信の実行状態を示します。</p> <p>0: スレーブ/同報受信中ではない</p> <p>1: スレーブ/同報受信中</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IECTR の RE ビットが 1 の状態で、スレーブ/同報受信を開始したとき。 <p>[クリア条件]</p> <ul style="list-style-type: none"> • スレーブ/同報受信が終了したとき。
3	LCK	0	R	<p>ロック状態表示</p> <p>マスタユニットからロック要求を受けて、ロックが設定された場合、セットされます。IELA1、IELA2 の値は本ビットがセットされているとき、有効です。</p> <p>0: ロックは解除</p> <p>1: ロック状態</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタからロック設定のコントロールビットを受信し、電文長で指定されたデータを受信しなかったとき (LCK がセットされるのはフレーム最大伝送バイト数を越えたときのみで、他のエラー終了ではセットされません)。 <p>[クリア条件]</p> <ul style="list-style-type: none"> • ロック解除条件が成立するか、ロック解除コマンドを発行したとき。
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	RSS	0	R	<p>受信同報ビット</p> <p>受信した同報ビットの値を示します。スレーブ/同報受信開始時有効になります (RXS ビットがセットされた時点で内容が書き換えられます)。</p> <p>スレーブ/同報受信開始時までは、前回値を保持します。</p> <p>0: 受信した同報ビットは 0</p> <p>1: 受信した同報ビットは 1</p>
0	GG	0	R	<p>一斉同報受信認識</p> <p>同報受信時、スレーブアドレスが H'FFF を認識したとき、セットされます。受信同報ビットと同様に、スレーブ/同報受信開始時有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。</p> <p>スレーブ/同報受信開始時までは、前回値を保持します。スレーブ通常受信の場合は、0 になります。</p> <p>0: (1) スレーブ受信であった</p> <p>(2) 同報受信時、スレーブアドレスフィールドで H'FFF を認識しなかった</p> <p>1: 同報受信時、スレーブアドレスフィールドで H'FFF を認識した</p>

21.3.16 IEBus 送信ステータスレジスタ (IETSR)

IETSR は、送信開始、送信正常終了、送信エラー終了等の状態を検出します。

それぞれの要因は、IEBus 送信割り込み許可レジスタ (IEIET) に対応したビットを持っており、割り込みの禁止/許可を設定することができます。本ビットは各ビットに 1 を書き込むことによりクリアされます。

ビット:	7	6	5	4	3	2	1	0
	-	TXS	TXF	-	TXEAL	TXETTME	TXERO	TXEACK
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/(W)*	R/(W)*	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TXS	0	R/(W)*	送信開始 IEB が、送信開始したことを示します。 [セット条件] • マスタ送信時、アービトレーションに勝ち残って、マスタアドレスフィールドまで送信終了したとき。 [クリア条件] • 1 をライトしたとき
5	TXF	0	R/(W)*	送信正常終了 送信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを検出します。 [セット条件] • 電文長ビットで指定した送信データバイト数分の送信を終了したとき [クリア条件] • 1 をライトしたとき
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TXEAL	0	R/(W)*	アービトレーション負け IEB はマスタ通信時にアービトレーションに負けた場合、IEMCR の RN で設定された回数だけ、再度スタートビットから送信を行います。設定回数すべて、アービトレーションに負けた場合には、本ビットをセットし待機状態になります。設定回数の再送時にアービトレーションに勝った場合、本ビットは 1 にセットされません。本ビットがセットされるのは、アービトレーションに負けて、通信が待機状態になったときです。 [セット条件] • データ送信中に、アービトレーション負けが発生し送信が終了したことを示します。 [クリア条件] • 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
2	TXETTME	0	R/(W)*	<p>送信タイミングエラー</p> <p>データ送信中、IEB プロトコルで規定したタイミングでデータの転送が行われなかったとき、本ビットがセットされます。IEB は、本ビットをセットして待機状態になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> データ送信中に、タイミングエラーが発生したことを示します。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 をライトしたとき
1	TXERO	0	R/(W)*	<p>送信フレーム最大伝送バイト数オーバ</p> <p>データ送信時に、受信ユニットから NAK を受信し再送したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは電文長の値が最大伝送数より大きい値であったため、送信が終了しなかったことを示します。IEB は本ビットをセットして待機状態になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 通信モードで定義する最大バイト数まで送信したが、送信が終了しなかったことを示します。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 をライトしたとき
0	TXEACK	0	R/(W)*	<p>アクノリッジビット</p> <p>データフィールドのアクノリッジビットで受信したデータを示します。</p> <ul style="list-style-type: none"> データフィールド以外のアクノリッジビット <p>NAK を受信すると、送信を中止し待機状態に入ります。本ビットは 1 にセットされます。</p> <ul style="list-style-type: none"> データフィールドでのアクノリッジビット <p>データフィールド送信時に、受信ユニットから NAK を受信すると、受信ユニットから ACK を受信するまで、通信モードで定義される最大バイト数まで再送を行います。この場合、送信中に受信ユニットから、ACK を受信した場合には、本ビットは設定されず、そのまま送信を行います。ACK を受信することができずに、通信を終了した場合に、本ビットは 1 にセットされます。</p> <p>【注】本フラグは同報通信では、無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> アクノリッジビットで 1 (NAK) を検出したことを示します。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 をライトしたとき

【注】 * フラグをクリアするための 1 ライトのみ可能です。

21.3.17 IEBus 送信割り込み許可レジスタ (IEIET)

IEIET は、IETSR の送信開始、送信正常終了、送信エラー終了等の各要因について、割り込みの禁止 / 許可を設定することができます。

ビット:	7	6	5	4	3	2	1	0
	-	TXSE	TXFE	-	TXEAL	TXE TTMEE	TXEROE	TXE ACKE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TXSE	0	R/W	送信開始割り込み許可 送信開始 (TXS) 割り込みの禁止 / 許可を設定します。 0: 送信開始 (TXS) 割り込みを禁止 1: 送信開始 (TXS) 割り込みを許可
5	TXFE	0	R/W	送信正常終了割り込み許可 送信正常終了 (TXF) 割り込みの禁止 / 許可を設定します。 0: 送信正常終了 (TXF) 割り込みを禁止 1: 送信正常終了 (TXF) 割り込みを許可
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TXEAL	0	R/W	アービトレーション負け割り込み許可 アービトレーション負け (TXEAL) 割り込みの禁止 / 許可を設定します。 0: アービトレーション負け (TXEAL) 割り込みを禁止 1: アービトレーション負け (TXEAL) 割り込みを許可
2	TXE TTMEE	0	R/W	送信タイミングエラー割り込み許可 送信タイミングエラー (TXETTMEE) 割り込みの禁止 / 許可を設定します。 0: 送信タイミングエラー (TXETTMEE) 割り込みを禁止 1: 送信タイミングエラー (TXETTMEE) 割り込みを許可
1	TXEROE	0	R/W	送信フレーム最大伝送バイト数オーバー割り込み許可 送信フレーム最大伝送バイト数オーバー (TXEROE) 割り込みの禁止 / 許可を設定します。 0: 送信連フレーム最大伝送バイト数オーバー (TXEROE) 割り込みを禁止 1: 送信連フレーム最大伝送バイト数オーバー (TXEROE) 割り込みを許可
0	TXE ACKE	0	R/W	アクノリッジビット割り込み許可 アクノリッジビット (TXEACKE) 割り込みの禁止 / 許可を設定します。 0: アクノリッジビット (TXEACKE) 割り込みを禁止 1: アクノリッジビット (TXEACKE) 割り込みを許可

21.3.18 IEBus 受信ステータスレジスタ (IERSR)

IERSR は、受信ビジー、受信開始、受信正常終了、受信エラー終了等の状態を検出します。各要因は、IEIER に対応したビットを持っており、割り込みの禁止/許可を設定することができます。本ビットは各ビットに 1 を書き込むことによりクリアされます。

ビット:	7	6	5	4	3	2	1	0
	RXBSY	RXS	RXF	RXEDE	RXEOVE	RXE RTME	RXEDLE	RXEPE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
7	RXBSY	0	R/(W)*	受信ビジー 受信データバッファ (IERB001 ~ IERB128) に受信したデータが格納されていることを示します。受信データをすべて読み出した後クリアしてください。本ビットがセットされている間は、次の受信データを受信できません。 [セット条件] • 受信データが受信データバッファにすべて書き込まれたとき [クリア条件] • 1 をライトしたとき
6	RXS	0	R/(W)*	受信開始 IEB が受信開始したことを示します。 [セット条件] • スレープ受信時、マスタユニットから、電文長フィールドまで正しく受信したとき [クリア条件] • 1 をライトしたとき
5	RXF	0	R/(W)*	受信正常終了 受信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを示します。 [セット条件] • 1 : 電文長ビットで指定した受信データバイト数分の受信を終了したとき [クリア条件] • 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
4	RXEDE	0	R/(W)*	<p>同報受信エラー</p> <p>同報受信のコントロールフィールド受信時、受信バッファが受信可能状態でない (RE ビットが 1 にセットされていない状態か、RXBSY フラグがセットされている状態) ためデータを受信できなかったことを示します。本ビットは IECTR の DEE ビットが 1 のとき、機能します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 同報受信でデータを受信できなかったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 をライトしたとき
3	RXEOVE	0	R/(W)*	<p>受信オーバランフラグ</p> <p>データ受信中のオーバラン発生を示すフラグです。</p> <p>IEB は、RXBSY フラグがクリアされていない状態、すなわち受信データが読み出されていない状態で、次のデータ受信を開始すると、本フラグをセットします。このとき IEB はオーバランエラーが発生したと判断し、通信相手に NAK を返送します。この後、通信相手はフレーム最大伝送バイト数に達するまで、再送を行います。RXBSY フラグがセットされたままだと、IEB は NAK を送信し続けます。RXBSY フラグがクリアされると、IEB は ACK を送信し次のデータを取り込みます。同報受信の場合、データ受信開始時に、RXBSY ビットがセットされていると、直ちに待機状態に入ります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RXBSY フラグがクリアされていない状態で、次のデータを受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 をライトしたとき
2	RXERTME	0	R/(W)*	<p>受信タイミングエラー</p> <p>データ受信時、IEB プロトコルで規定したタイミングで正しくデータを受信できなかった場合、本ビットがセットされます。IEB は、本ビットをセットして待機状態になります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、このビットはセットされません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • データ受信中に、タイミングエラーが発生したことを示します <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
1	RXEDLE	0	R/(W)*	<p>受信フレーム最大伝送バイト数オーバ</p> <p>データ受信時に、パリティエラーかオーバランエラーが発生し、再送による受信を行ったため、通信モードで定義される最大バイト長内で、受信が終了しなかったか、電文長の値が、最大伝送バイト数より大きい値であったため、受信が終了しなかったことを示します。IEB は本ビットをセットして待機状態になります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このときビットはセットされません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 通信モードで定義される最大バイト数内で、受信が終了しなかったことを示します <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 をライトしたとき
0	RXEPE	0	R/(W)*	<p>パリティエラー</p> <p>データフィールド受信中に、パリティエラーが発生したことを示します。データフィールド受信前にパリティエラーが発生した場合、IEB は直ちに待機状態になります。RXEPE はセットされません。データフィールド受信中にパリティエラーが発生し、フレーム最大伝送バイト数に達するまで受信を行っていない場合、RXEPE はまだセットされません。パリティエラーが発生すると、IEB はアクノリッジビットで通信相手に NAK を返送します。このとき、通信相手はフレーム最大伝送バイト数に達するまで、再送を行います。再受信中に、パリティエラーが解消され、正常に受信が行われると、RXEPE はセットされません。電文長で設定されたバイト数だけ受信を行わずに受信を中止し待機状態になった時に、パリティエラーが解消されていなかった場合、RXEPE はセットされます。同報受信の場合、データフィールド受信中にパリティエラーが発生すると、IEB は RXEPE をセットし、直ちに待機状態になります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、このビットはセットされません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレーム最大伝送バイト数に達するまで受信を行い、最終受信バイトのデータフィールドのパリティビットが偶数パリティでなかったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 をライトしたとき

【注】 * フラグをクリアするための 1 ライトのみ可能です。

21.3.19 IEBus 受信割り込み許可レジスタ (IEIER)

IEIER は、IERSR の受信ビジー、受信開始、受信正常終了、受信エラー終了等のそれぞれの要因について、割り込みの禁止 / 許可を設定することができます。

ビット:	7	6	5	4	3	2	1	0
	RXBSYE	RXSE	RXFE	RXEDEE	RXE OVEE	RXE RTMEE	RXE DLEE	RXEPEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	RXBSYE	0	R/W	受信ビジー割り込み許可 受信ビジー (RXBSY) 割り込みの禁止 / 許可を設定します。 0: 受信ビジー (RXBSY) 割り込みを禁止 1: 受信ビジー (RXBSY) 割り込みを許可
6	RXSE	0	R/W	受信開始割り込み許可 受信開始 (RXS) 割り込みの禁止 / 許可を設定します。 0: 受信開始 (RXS) 割り込みを禁止 1: 受信開始 (RXS) 割り込みを許可
5	RXFE	0	R/W	受信正常終了割り込み許可 受信正常終了 (RXF) 割り込みの禁止 / 許可を設定します。 0: 受信正常終了 (RXF) 割り込みを禁止 1: 受信正常終了 (RXF) 割り込みを許可
4	RXEDEE	0	R/W	同報受信エラー割り込み許可 同報受信エラー (RXEDE) 割り込みの禁止 / 許可を設定します。 0: 同報受信エラー (RXEDE) 割り込みを禁止 1: 同報受信エラー (RXEDE) 割り込みを許可
3	RXEOVEE	0	R/W	オーバラン制御フラグ割り込み許可 オーバラン制御フラグ (RXEOVE) 割り込みの禁止 / 許可を設定します。 0: オーバラン制御フラグ (RXEOVE) 割り込みを禁止 1: オーバラン制御フラグ (RXEOVE) 割り込みを許可
2	RXERTMEE	0	R/W	受信タイミングエラー割り込み許可 受信タイミングエラー (RXERTME) 割り込みの禁止 / 許可を設定します。 0: 受信タイミングエラー (RXERTME) 割り込みを禁止 1: 受信タイミングエラー (RXERTME) 割り込みを許可
1	RXEDLEE	0	R/W	受信フレーム最大伝送バイト数オーバ割り込み許可 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みの禁止 / 許可を設定します。 0: 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みを禁止 1: 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みを許可

ビット	ビット名	初期値	R/W	説 明
0	RXEPEE	0	R/W	パリティエラー割り込み許可 パリティエラー (RXEPE) 割り込みの禁止 / 許可を設定します。 0 : パリティエラー (RXEPE) 割り込みを禁止 1 : パリティエラー (RXEPE) 割り込みを許可

21.3.20 IEBus クロック選択レジスタ (IECKSR)

IECKSR は、読み出し / 書き込み可能な 8 ビットのレジスタです。IEB で使用するクロックの設定を行います。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	CKS3	-	CKS[2:0]		
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CKS3	0	R/W	入力クロック選択 3 ^{*1} *2 IEB で使用するクロックの選択を行います。 0 : 周辺クロック (P) を使用します。 1 : AUDIO_X1、AUDIO_X2 のクロックを使用します。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CKS[2:0]	001	R/W	入力クロック選択 2~0 ^{*1} IEB で使用するクロックの分周を選択します。 000 : 設定禁止 001 : CKS3 で選択したクロック (IEB) の 1/2 のクロックを使用します。 (IEB = 12MHz、12.58MHz) 010 : CKS3 で選択したクロック (IEB) の 1/3 のクロックを使用します。 (IEB = 18MHz、18.87MHz) 011 : CKS3 で選択したクロック (IEB) の 1/4 のクロックを使用します。 (IEB = 24MHz、25.16MHz) 100 : CKS3 で選択したクロック (IEB) の 1/5 のクロックを使用します。 (IEB = 30MHz、31.45MHz) 101 : CKS3 で選択したクロック (IEB) の 1/6 のクロックを使用します。 (IEB = 36MHz、37.74MHz) 110 : 設定禁止 111 : 設定禁止

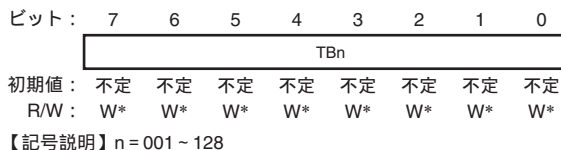
【注】 *1 IEBus 送受信動作中は CKS3~CKS0 ビットの設定を変更しないでください。

*2 CKS3 ビットを 1 に設定しているときは、STBCR3 レジスタの MSTP36 ビットを必ず 0 に設定してください。
STBCR3 レジスタの設定方法については「第 33 章 低消費電力モード」を参照してください。

21.3.21 IEBus 送信データバッファ 001 ~ 128 (IETB001 ~ IETB128)

マスタ送信時に送信するデータを書き込む 128 バイト (8×128) バッファです。

IETB001 ~ IETB128 の初期値は不定です。



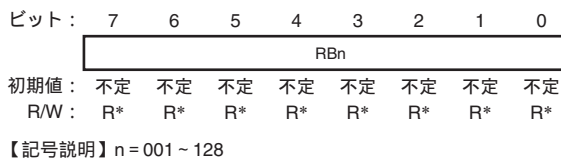
ビット	ビット名	初期値	R/W	説明
7~0	TBn	不定	W*	IEBus 送信データバッファ TB001 から TB128 は、マスタ送信時にデータフィールドで送信するデータを書き込みます。TB001 が先頭データ 1 バイトで、TB002、TB003...の順に送信順に書き込みます。TB128 が 128 バイト送信時の最終データとなります。

【注】 * マスタ送信中 (IEFLG の MRQ = 1) のときは、書き込み禁止です。

21.3.22 IEBus 受信データバッファ 001 ~ 128 (IERB001 ~ IERB128)

スレーブ受信時に送信するデータを格納する 128 バイト (8×128) バッファです。

IERB001 ~ IERB128 の初期値は不定です。



ビット	ビット名	初期値	R/W	説明
7~0	RBn	不定	R*	IEBus 受信データバッファ RB001 から RB128 は、IEBus 受信ステータスレジスタ (IERSR) の RXBSY ビットが 1 のとき、読み出すことができます。RB001 から RB128 で読み出すデータはスレーブ受信時のデータフィールドの値になります。受信時のデータは RB001 が先頭データ 1 バイトで、RB002、RB003...の順に書き込まれます。RB128 が 128 バイト受信時の最終データとなります。

【注】 * スレーブ受信中 (IEFLG の SRE = 1 かつ IERSR の RXBSY = 0) のときは、読み出し禁止です。(リード値不定)

21.4 データフォーマット

21.4.1 送信フォーマット

図 21.6 に IEBus データ送信時の伝送フォーマットと各レジスタの関係を示します。

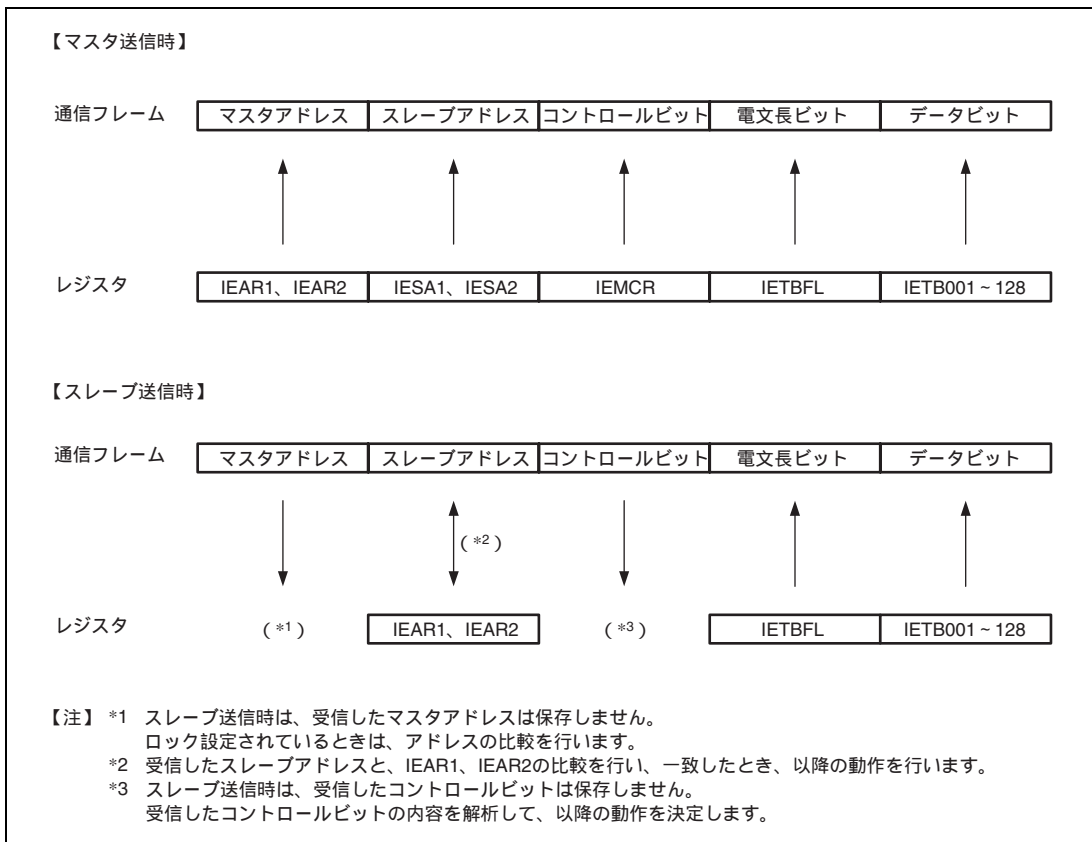


図 21.6 送信時の伝送信号フォーマットと各レジスタの関係

21.4.2 受信フォーマット

図 21.7 に IEBus データ受信時の伝送フォーマットと各レジスタの関係を示します。

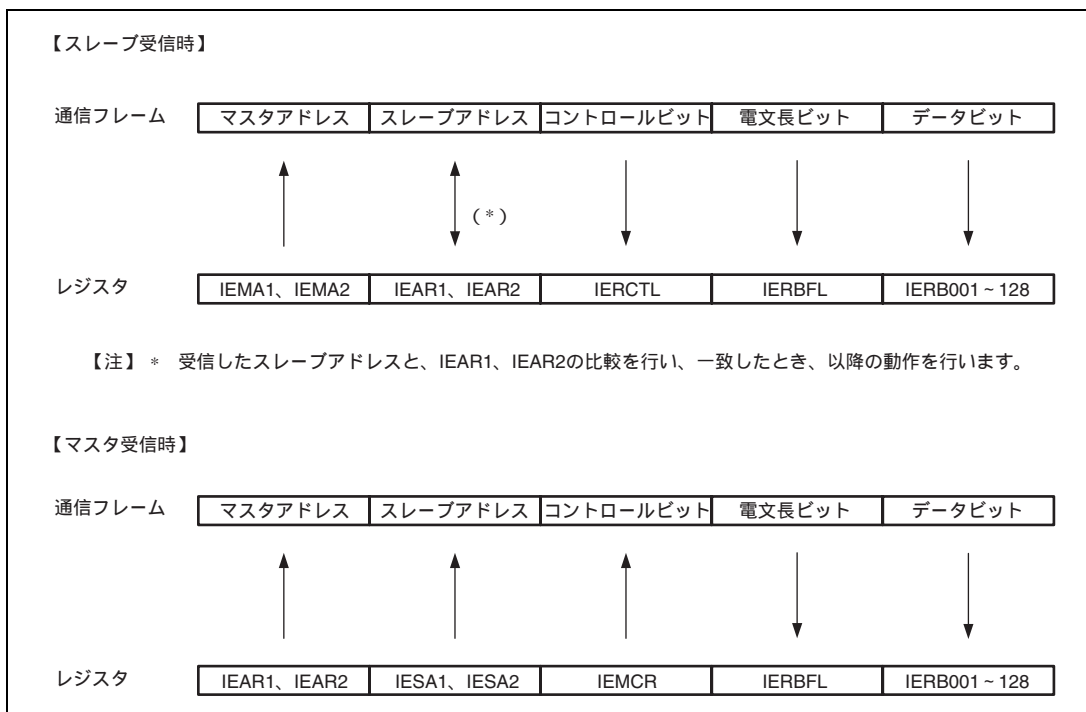


図 21.7 受信時の伝送信号フォーマットと各レジスタの関係

21.5 ソフト制御フロー

21.5.1 初期設定

図 21.8 に初期設定フローを示します。

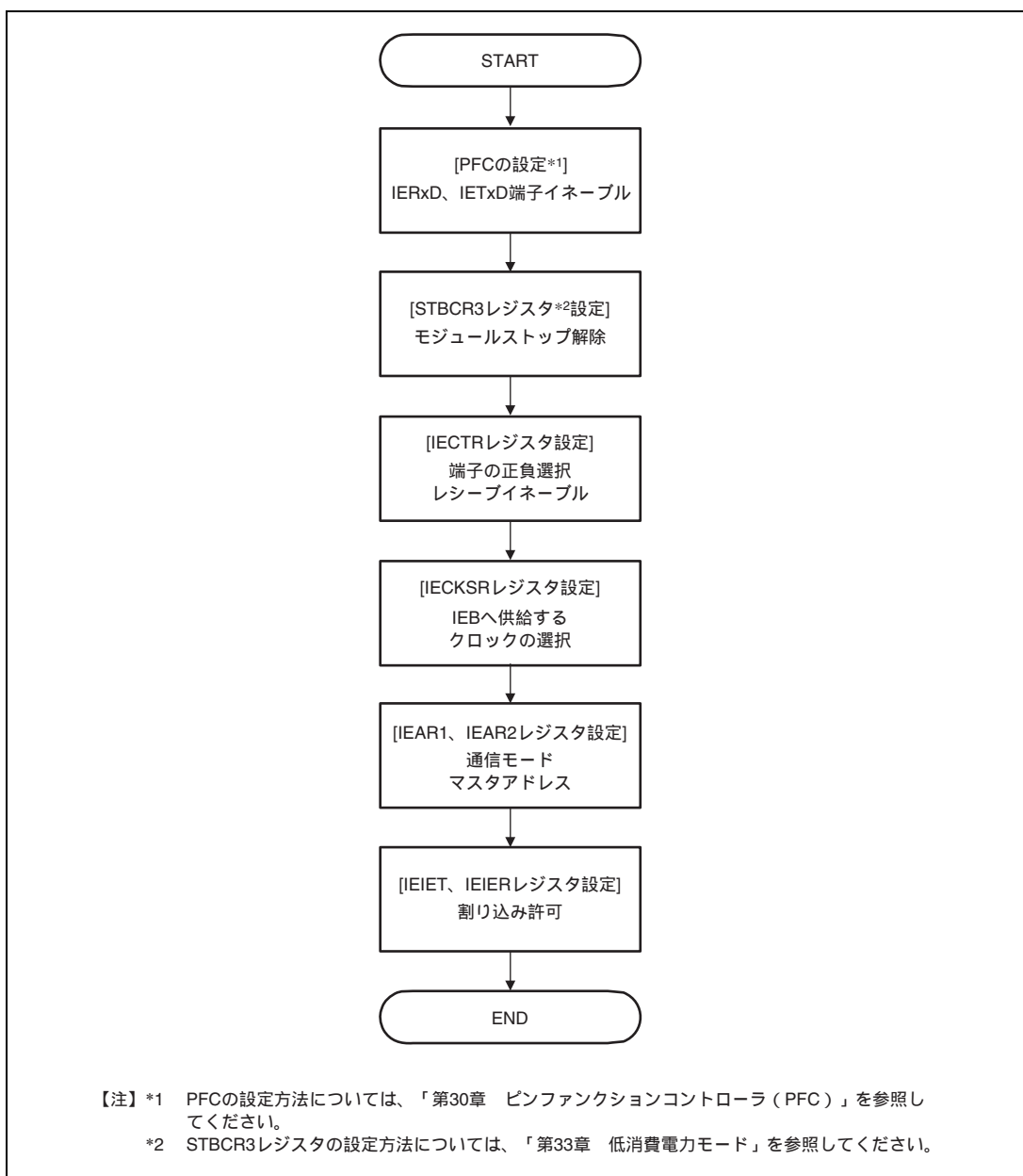


図 21.8 初期設定フロー

21.5.2 マスタ送信

図 21.9 にマスタ送信フローを示します。

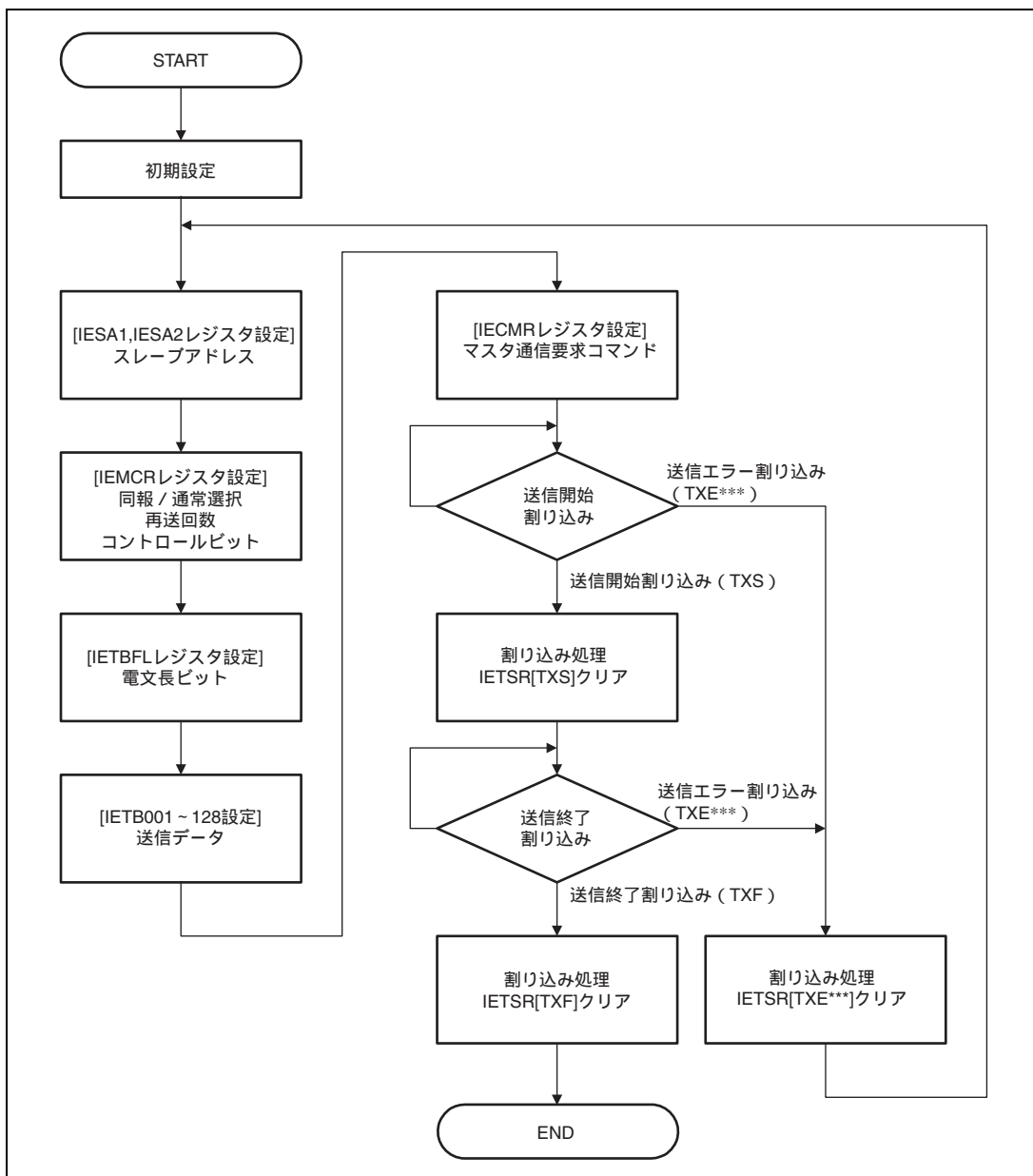


図 21.9 マスタ送信フロー

21.5.3 スレーブ受信

図 21.10 にスレーブ受信フローを示します。

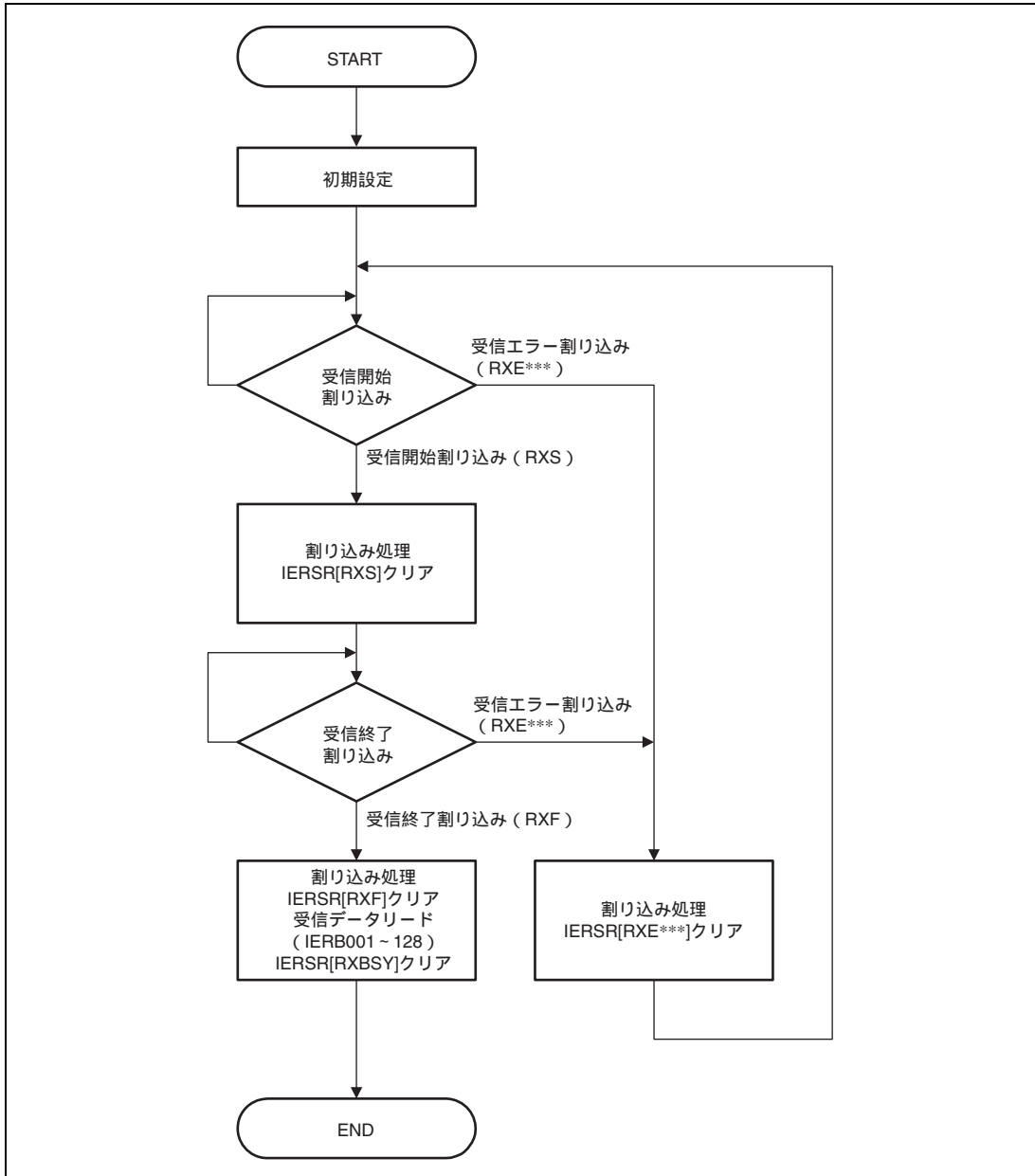


図 21.10 スレーブ受信フロー

21.5.4 マスタ受信

図 21.11 にマスタ受信フローを示します。

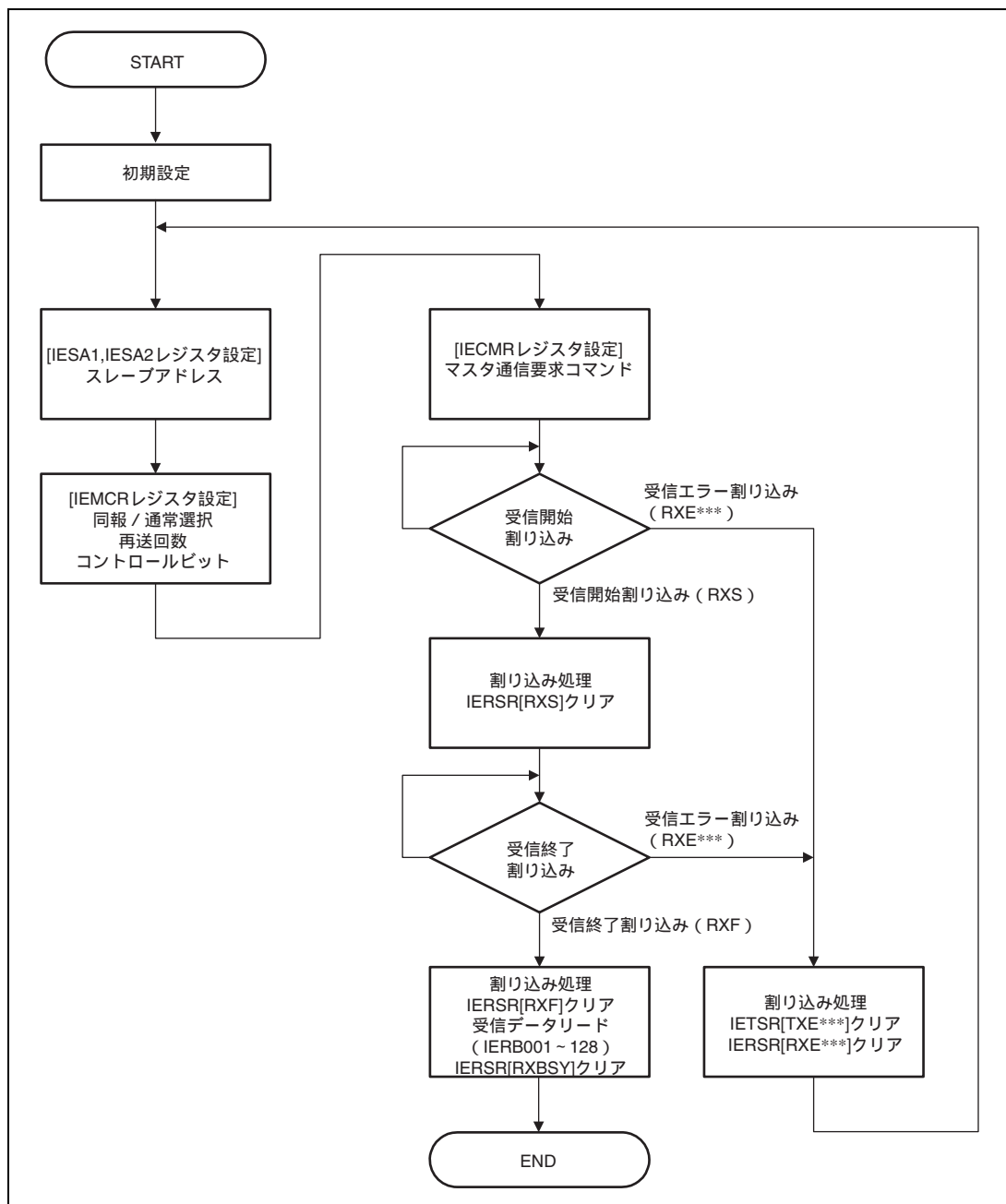


図 21.11 マスタ受信フロー

21.5.5 スレーブ送信

図 21.12 にスレーブ送信を示します。

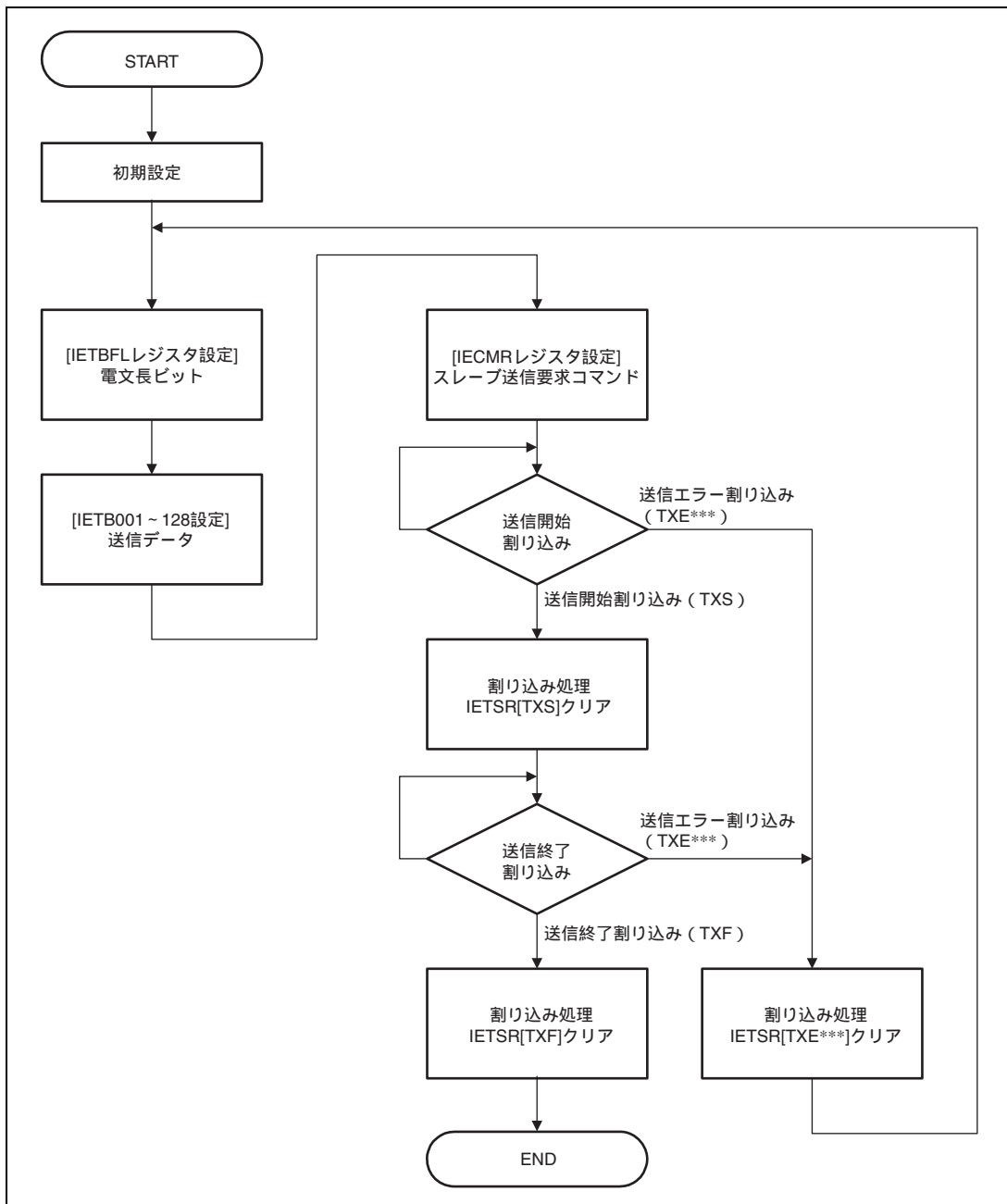


図 21.12 スレーブ送信フロー

21.6 動作タイミング

21.6.1 マスタ送信

図 21.13 にマスタ送信動作タイミングを示します。

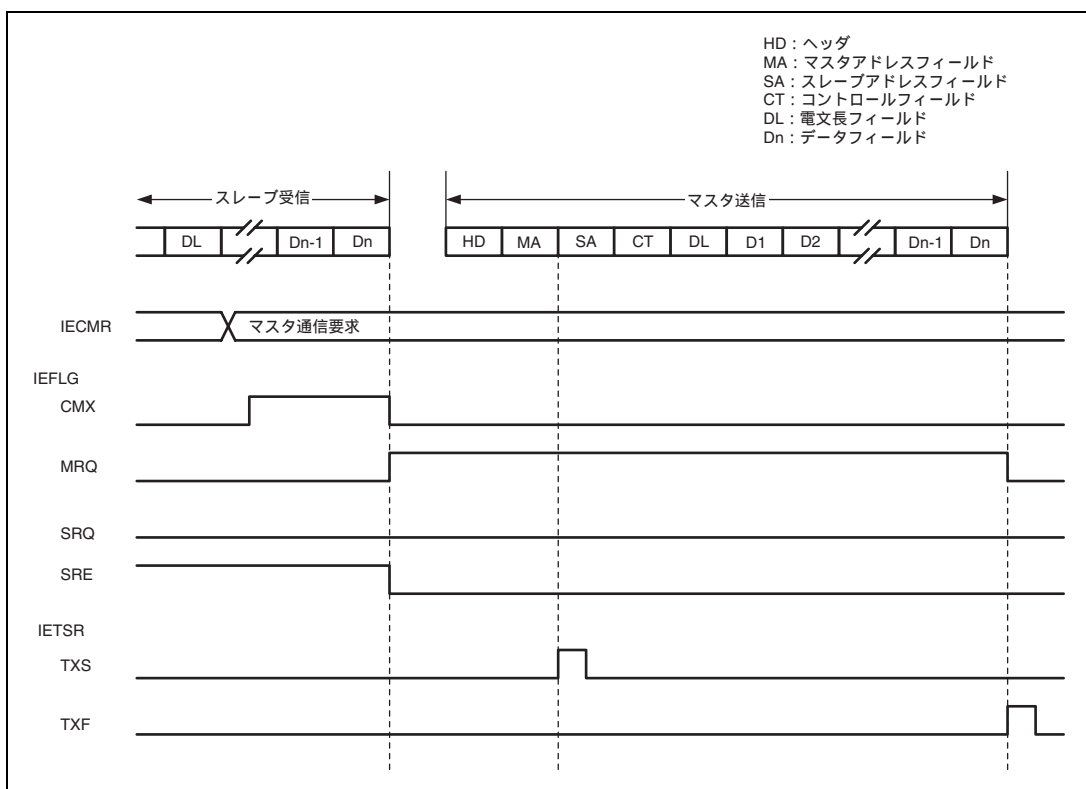


図 21.13 マスタ送信動作タイミング

21.6.2 スレーブ受信

図 21.14 にスレーブ受信動作タイミングを示します。

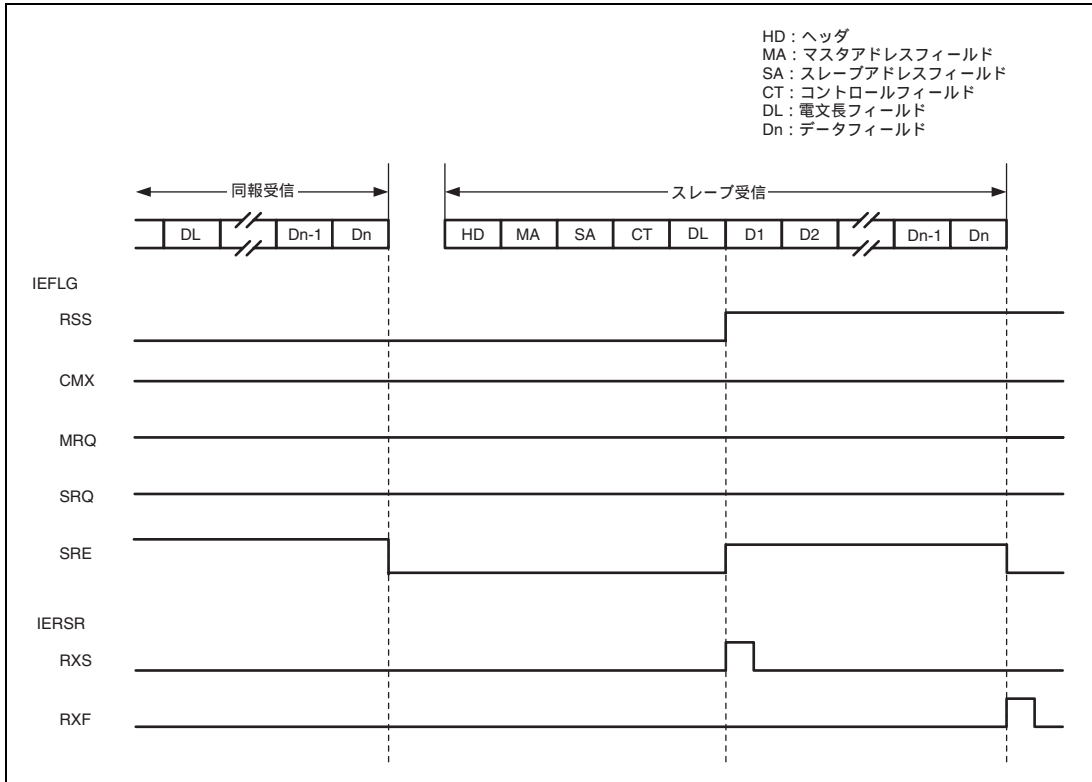


図 21.14 スレーブ受信動作タイミング

21.6.3 マスタ受信

図 21.15 にマスタ受信動作タイミングを示します。

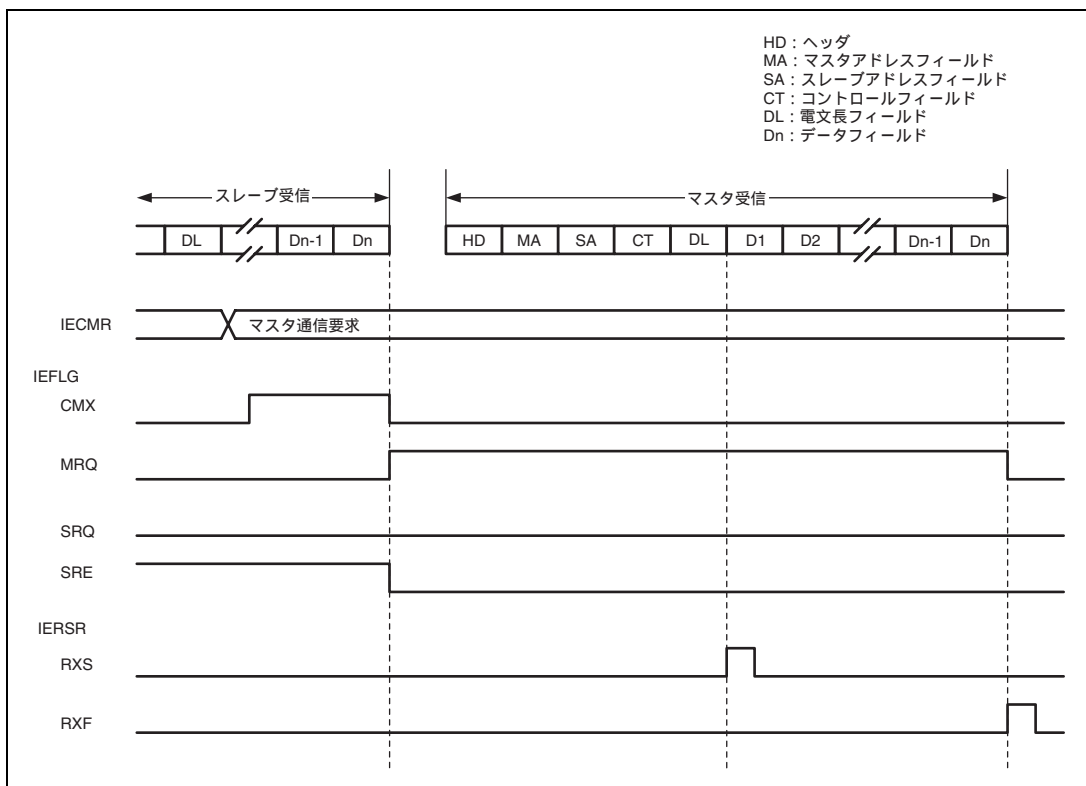


図 21.15 マスタ受信動作タイミング

21.6.4 スレーブ送信

図 21.16 にスレーブ送信動作タイミングを示します。

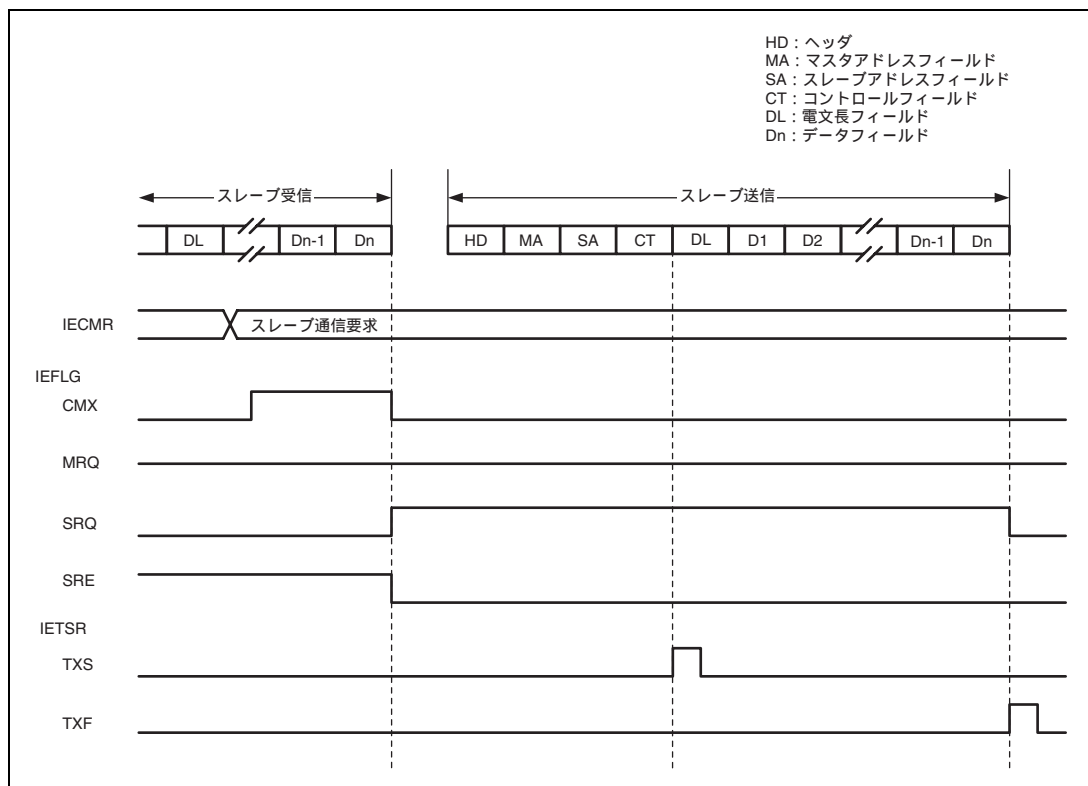


図 21.16 スレーブ送信動作タイミング

21.7 割り込み要因

IEB の割り込みには、送信開始 (TXS)、送信正常終了 (TXF)、アービトレーション負け (TXEAL)、送信タイミングエラー (TXETTME)、送信フレーム最大伝送バイト数オーバー (TXERO)、アクノリッジビット (TXEACK)、受信ビジー (RXBSY)、受信開始 (RXS)、受信正常終了 (RXF)、同報受信エラー (RXEDE)、受信オーバーランフラグ (RXEOVE)、受信タイミングエラー (RXERTME)、受信フレーム最大伝送バイト数オーバー (RXEDLE)、パリティエラー (RXEPE) があります。

各要因は、IEBus 送信割り込み許可レジスタ (IEIET)、IEBus 受信割り込み許可レジスタ (IEIER) に対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。また、IEBus 送信ステータスレジスタ (IETSR)、IEBus 受信ステータスレジスタ (IERSR) に対応したステータスフラグを持っており、ステータスフラグをリードすることで要因の判定を行うことができます。

図 21.17 に IEB の割り込み要因の関係を示します。

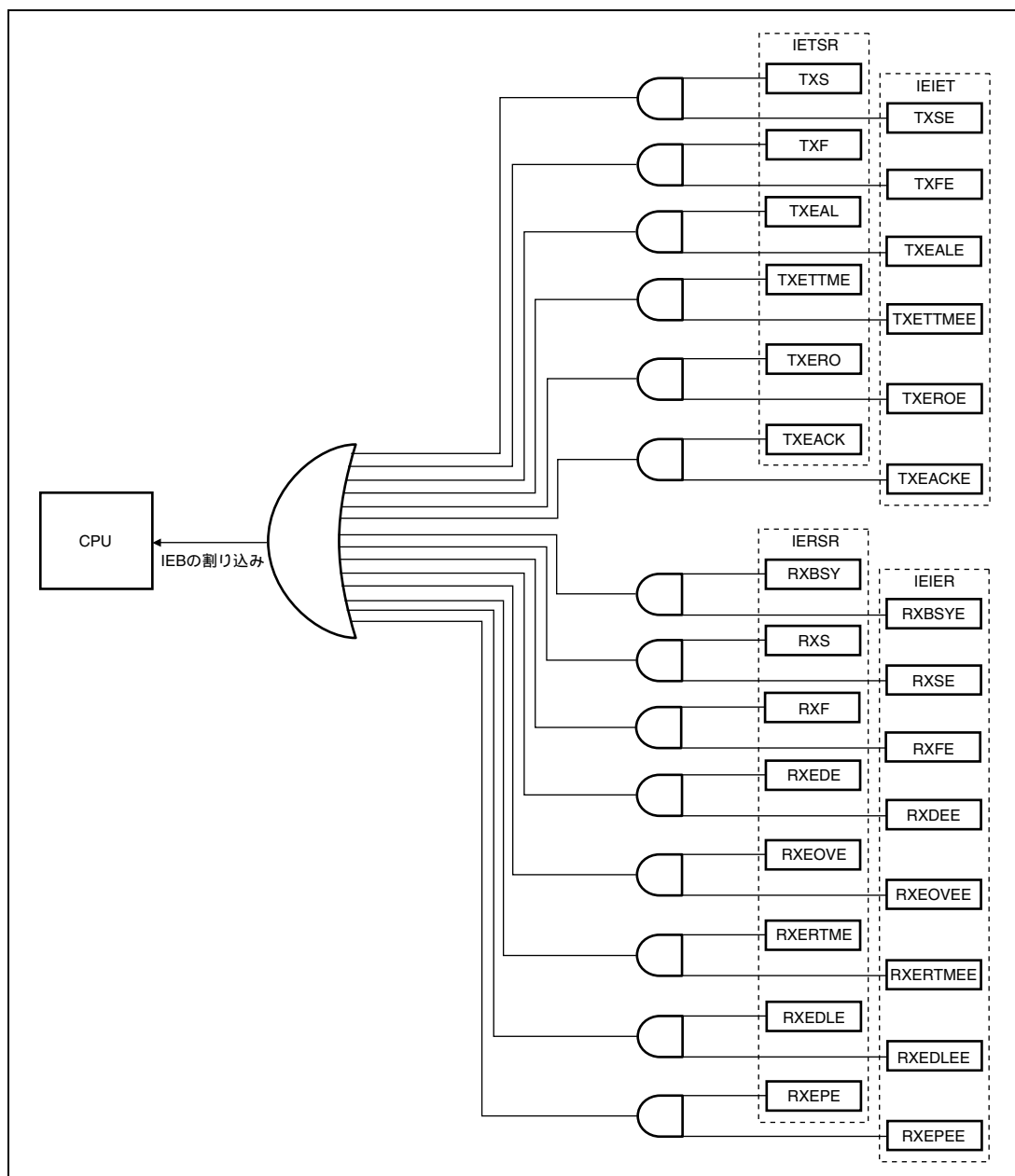


図 21.17 IEB の割り込み要因の関係

21.8 使用上の注意事項

21.8.1 最大伝送バイト長内で通信が終了しなかったときの注意事項

(1) データ送信

データ送信時に、受信ユニットから NAK を受信したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは電文長の値が最大伝送バイト数より大きい値であったため、最大バイト長内で送信が終了しなかった場合、IETSR のエラーフラグをセットして待機状態に入りますが、このとき最大伝送バイト数 + 1 バイト目まで送信を行います。その後、最大伝送バイト数 + 1 バイト目のアクノリッジビットで NAK を受信した場合、TXERO フラグがセットされます。NAK ではなく ACK を受信した場合は TXF フラグがセットされます。

図 21.18 に最大バイト長内で送信が終了しなかったときの動作タイミングを示します。

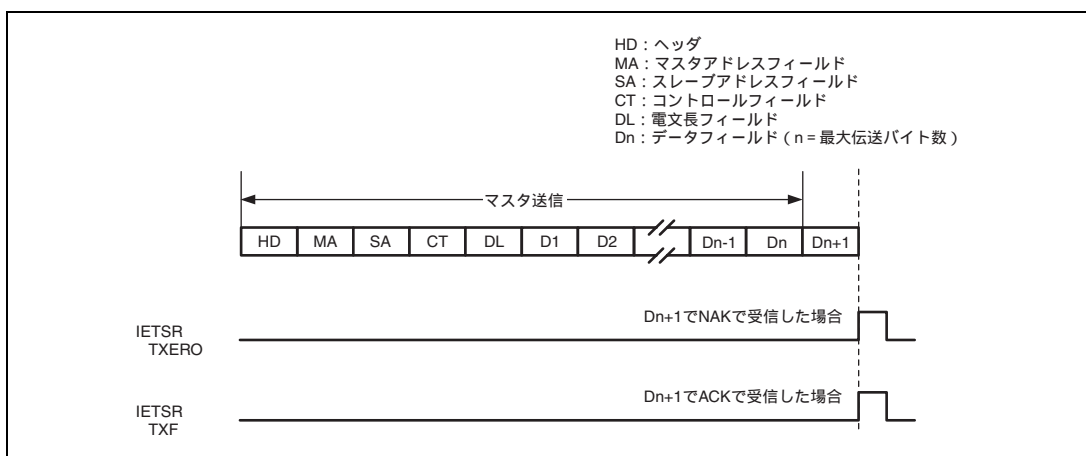


図 21.18 最大バイト長内で送信が終了しなかったときの動作タイミング

(2) データ受信

データ受時に、パリティエラーかオーバランエラーが発生し再送による受信を行ったため、通信モードで定義される最大バイト長内で受信が終了しなかったか、電文長の値が最大伝送バイト数より大きい値であったため受信が終了しなかった場合、IERSRのエラーフラグをセットして待機状態に入りますが、このとき最大転送バイト数+1バイト目のデータ受信待ち状態になります。そのため、最大伝送バイト数+1バイト目のデータを受信できなかった場合、受信タイミングエラーを検出し、RXERTMEフラグがセットされます。このときRXEDLEフラグはセットされません。RXEDLEフラグは最大伝送バイト数+1バイト目のデータを受信した場合にセットされます。

また最大伝送バイト長まで受信し、パリティエラーが解消されていなかった場合も同様で、最大伝送バイト数+1バイト目のデータを受信できなかった場合、RXERTMEフラグがセットされます。このときRXEPEフラグはセットされません。RXEPEフラグは最大伝送バイト数+1バイト目のデータを受信した場合にセットされます。図21.19に最大バイト長内で受信が終了しなかったときの動作タイミングを示します。

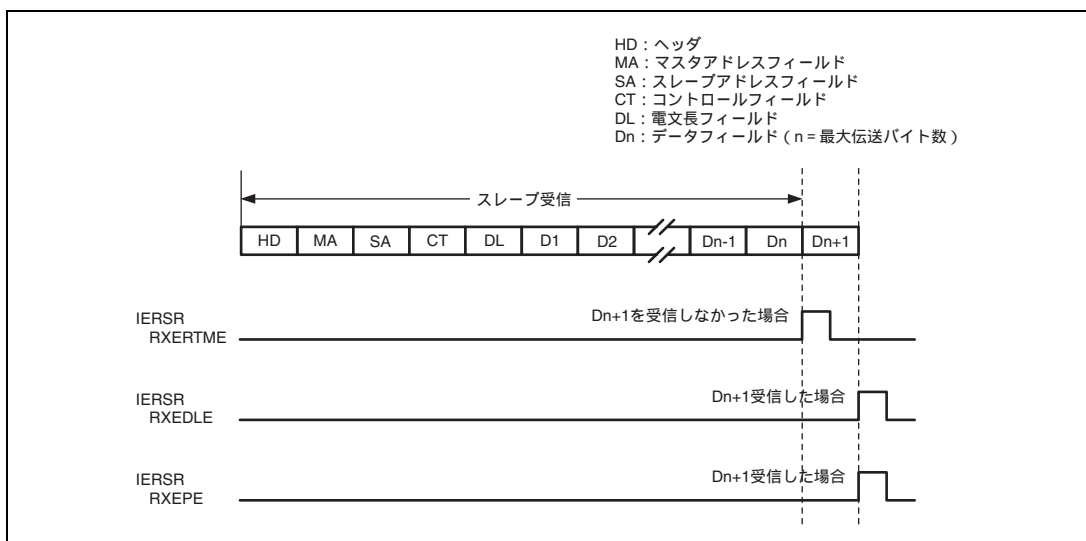


図 21.19 最大バイト長内で受信が終了しなかったときの動作タイミング

22. A/D 変換器 (ADC)

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

22.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネル
- 最小変換時間：1チャンネル当たり3.9 μ s
- 絶対精度： ± 4 LSB
- 動作モード：3種類
 - シングルモード：1チャンネルのA/D変換
 - マルチモード：1~4チャンネルのA/D変換または1~8チャンネルのA/D変換
 - スキャンモード：1~4チャンネルの連続A/D変換または1~8チャンネルの連続A/D変換
- データレジスタ：8本
 - 変換結果を各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - マルチファンクションタイマパルスユニット2 (MTU2) による変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能
- モジュールスタンバイモードの設定可能

図 22.1 に A/D 変換器のブロック図を示します。

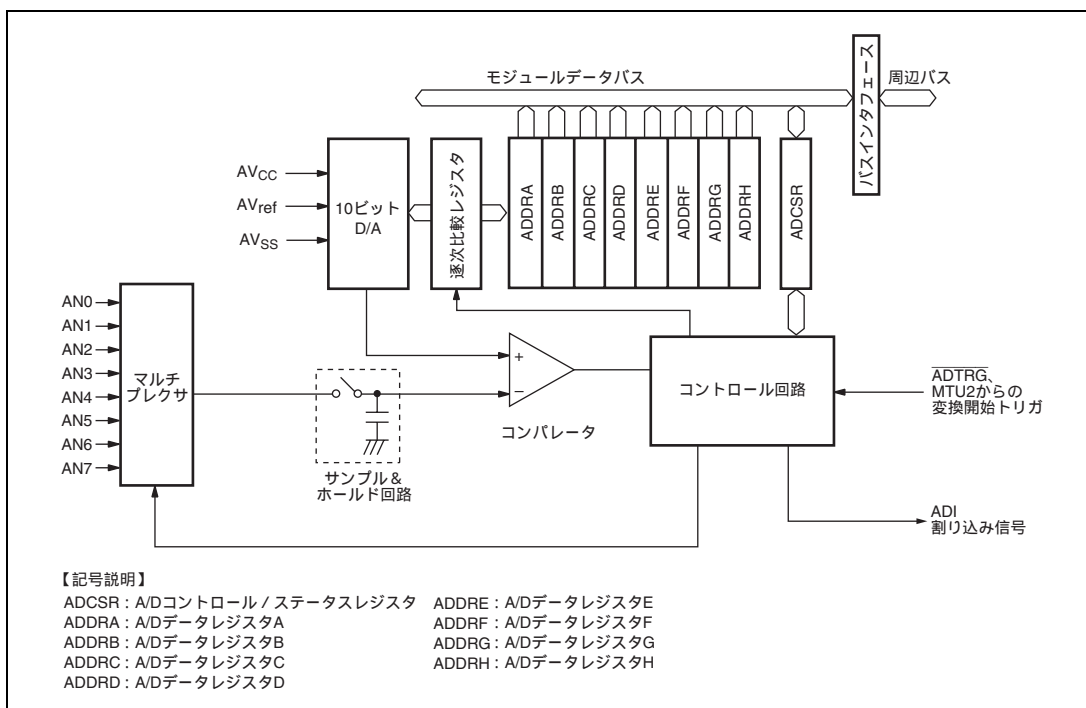


図 22.1 A/D 変換器のブロック図

22.2 入出力端子

A/D 変換器で使用する入力端子を表 22.1 に示します。

表 22.1 端子構成

名称	端子名	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子および A/D 変換の基準グランド
アナログ基準電圧端子	AVref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0	AN0	入力	アナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力

22.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

表 22.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ A	ADDRA	R	H'0000	H'FFFE4800	16
A/D データレジスタ B	ADDRB	R	H'0000	H'FFFE4802	16
A/D データレジスタ C	ADDRC	R	H'0000	H'FFFE4804	16
A/D データレジスタ D	ADDRD	R	H'0000	H'FFFE4806	16
A/D データレジスタ E	ADDRE	R	H'0000	H'FFFE4808	16
A/D データレジスタ F	ADDRF	R	H'0000	H'FFFE480A	16
A/D データレジスタ G	ADDRG	R	H'0000	H'FFFE480C	16
A/D データレジスタ H	ADDRH	R	H'0000	H'FFFE480E	16
A/D コントロール/ステータスレジスタ	ADCSR	R/W	H'0040	H'FFFE4820	16

22.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA~ADDRH の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15~6 に転送され、保持されます。ビット 5~0 は読み出すと常に 0 が読み出されます。

ADDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

アナログ入力チャンネルと ADDR の対応を表 22.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6		すべて 0	R	ビットデータ (10 ビット)
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 22.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

22.3.2 A/D コントロール / ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し / 書き込み可能なレジスタで、動作モードの選択、A/D 変換の動作制御、および外部トリガ入力による A/D 変換開始の許可または禁止の選択を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	-	TRGS[3:0]			CKS[1:0]		MDS[2:0]			CH[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R/(W)*1	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)* ¹	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [クリア条件] <ul style="list-style-type: none"> • ADF = 1 の状態で ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき • ADI 割り込みにより DMAC が起動され、ADDR を読み出したとき [セット条件] <ul style="list-style-type: none"> • シングルモードで A/D 変換が終了したとき • マルチモードで選択されたすべてのチャンネルの A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき
14	ADIE	0	R/W	A/D インタラプトイネーブル A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。 ADIE ビットの設定は変換停止中に行ってください。 0 : A/D 変換の終了による割り込み (ADI) 要求を禁止 1 : A/D 変換の終了による割り込み (ADI) 要求を許可
13	ADST	0	R/W	A/D スタート A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。 0 : A/D 変換を停止 1 : シングルモード時 : A/D 変換を開始。指定したチャンネルの A/D 変換が終了すると自動的にクリア。 マルチモード時 : A/D 変換を開始。指定したすべてのチャンネルを一巡して A/D 変換が終了すると自動的に 0 にクリア。 スキャンモード時 : A/D 変換を開始。ソフトウェア、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、またはモジュールスタンバイモードへの遷移により 0 にクリアされるまで連続変換します。
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11-8	TRGS[3:0]	0000	R/W	タイマトリガセレクト トリガ信号による A/D 変換開始の許可または禁止を選択します。 0000 : 外部トリガによる A/D 変換開始を禁止 0001 : MTU2 からの変換トリガ TRGAN による A/D 変換開始 0010 : MTU2 からの変換トリガ TRG0N による A/D 変換開始 0011 : MTU2 からの変換トリガ TRG4AN による A/D 変換開始 0100 : MTU2 からの変換トリガ TRG4BN による A/D 変換開始 1001 : $\overline{\text{ADTRG}}$ による A/D 変換開始 上記以外 : 設定禁止

ビット	ビット名	初期値	R/W	説明																														
7、6	CKS[1:0]	01	R/W	クロックセレクト A/D 変換時間の設定を行います* ² 。変換時間の設定は変換停止中 (ADST=0) に行ってください。 00: 変換時間 = 138 t _{psyc} * ³ (最大値) 01: 変換時間 = 274 t _{psyc} (最大値) 10: 変換時間 = 546 t _{psyc} (最大値) 11: 設定禁止																														
5~3	MDS[2:0]	000	R/W	マルチスキャンモード A/D 変換の動作モードを選択します。 0xx: シングルモード 100: マルチモード。1~4 チャンネルの A/D 変換 101: マルチモード。1~8 チャンネルの A/D 変換 110: スキャンモード。1~4 チャンネルの A/D 変換 111: スキャンモード。1~8 チャンネルの A/D 変換																														
2~0	CH[2:0]	000	R/W	チャンネルセレクト ADCSR の MDS ビットとともにアナログ入力を選択します。 <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 33%;"></td> <td style="width: 33%; text-align: center;">MDS = 100 または</td> <td style="width: 33%; text-align: center;">MDS = 101 または</td> </tr> <tr> <td style="text-align: center;">MDS = 0xx のとき</td> <td style="text-align: center;">MDS = 110 のとき</td> <td style="text-align: center;">MDS = 111 のとき</td> </tr> <tr> <td>000: AN0</td> <td>000: AN0</td> <td>000: AN0</td> </tr> <tr> <td>001: AN1</td> <td>001: AN0、AN1</td> <td>001: AN0、AN1</td> </tr> <tr> <td>010: AN2</td> <td>010: AN0 ~ AN2</td> <td>010: AN0 ~ AN2</td> </tr> <tr> <td>011: AN3</td> <td>011: AN0 ~ AN3</td> <td>011: AN0 ~ AN3</td> </tr> <tr> <td>100: AN4</td> <td>100: AN4</td> <td>100: AN0 ~ AN4</td> </tr> <tr> <td>101: AN5</td> <td>101: AN4、AN5</td> <td>101: AN0 ~ AN5</td> </tr> <tr> <td>110: AN6</td> <td>110: AN4 ~ AN6</td> <td>110: AN0 ~ AN6</td> </tr> <tr> <td>111: AN7</td> <td>111: AN4 ~ AN7</td> <td>111: AN0 ~ AN7</td> </tr> </table>		MDS = 100 または	MDS = 101 または	MDS = 0xx のとき	MDS = 110 のとき	MDS = 111 のとき	000: AN0	000: AN0	000: AN0	001: AN1	001: AN0、AN1	001: AN0、AN1	010: AN2	010: AN0 ~ AN2	010: AN0 ~ AN2	011: AN3	011: AN0 ~ AN3	011: AN0 ~ AN3	100: AN4	100: AN4	100: AN0 ~ AN4	101: AN5	101: AN4、AN5	101: AN0 ~ AN5	110: AN6	110: AN4 ~ AN6	110: AN0 ~ AN6	111: AN7	111: AN4 ~ AN7	111: AN0 ~ AN7
	MDS = 100 または	MDS = 101 または																																
MDS = 0xx のとき	MDS = 110 のとき	MDS = 111 のとき																																
000: AN0	000: AN0	000: AN0																																
001: AN1	001: AN0、AN1	001: AN0、AN1																																
010: AN2	010: AN0 ~ AN2	010: AN0 ~ AN2																																
011: AN3	011: AN0 ~ AN3	011: AN0 ~ AN3																																
100: AN4	100: AN4	100: AN0 ~ AN4																																
101: AN5	101: AN4、AN5	101: AN0 ~ AN5																																
110: AN6	110: AN4 ~ AN6	110: AN0 ~ AN6																																
111: AN7	111: AN4 ~ AN7	111: AN0 ~ AN7																																

【記号説明】 x: Don't care

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

ただし、以下の場合も 0 書き込みによるクリアとなりますのでご注意ください。

- (1) CPU で ADF = 1 の状態を読み出す
- (2) DMAC による ADDR 読み出しによる ADF クリア
- (3) A/D 変換終了による ADF フラグセット
- (4) CPU で ADF フラグに 0 書き込み

*2 A/D 変換器特性の絶対精度を満足するためには、最小変換時間以上となるよう設定してください。

*3 t_{psyc} は周辺クロック (P) の周期を示します。

22.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。動作モードにはシングルモードとマルチモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

22.4.1 シングルモード

シングルモードは、1 チャネルのみの A/D 変換を行う場合に選択します。

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU2、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的に 0 にクリアされて A/D 変換器は待機状態になります。

A/D 変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。更新した後、ADST ビットを 1 にセットすると（モードおよびチャネルの変換と ADST ビットのセットは同時に行うことができます）、再び A/D 変換を開始します。

シングルモードでチャネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 22.2 に示します（動作例におけるビットの指定は ADCSR レジスタです）。

1. 動作モードをシングルモードに、入力チャネルを AN1 に (CH[2:0]=001)、A/D 割り込み要求許可 (ADIE=1) に設定して、A/D 変換を開始 (ADST=1) します。
2. A/D 変換が終了すると、A/D 変換結果が ADDR1 に転送されます。同時に、ADF=1、ADST=0 となり、A/D 変換器は変換待機となります。
3. ADF=1、ADIE=1 となっているため、ADI 割り込み要求が発生します。
4. A/D 割り込み処理ルーチンが開始されます。
5. ADF=1 を読み出した後、ADF に 0 を書き込みます。
6. A/D 変換結果 (ADDR1) を読み出して、処理します。
7. A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され 2.~7. を行います。

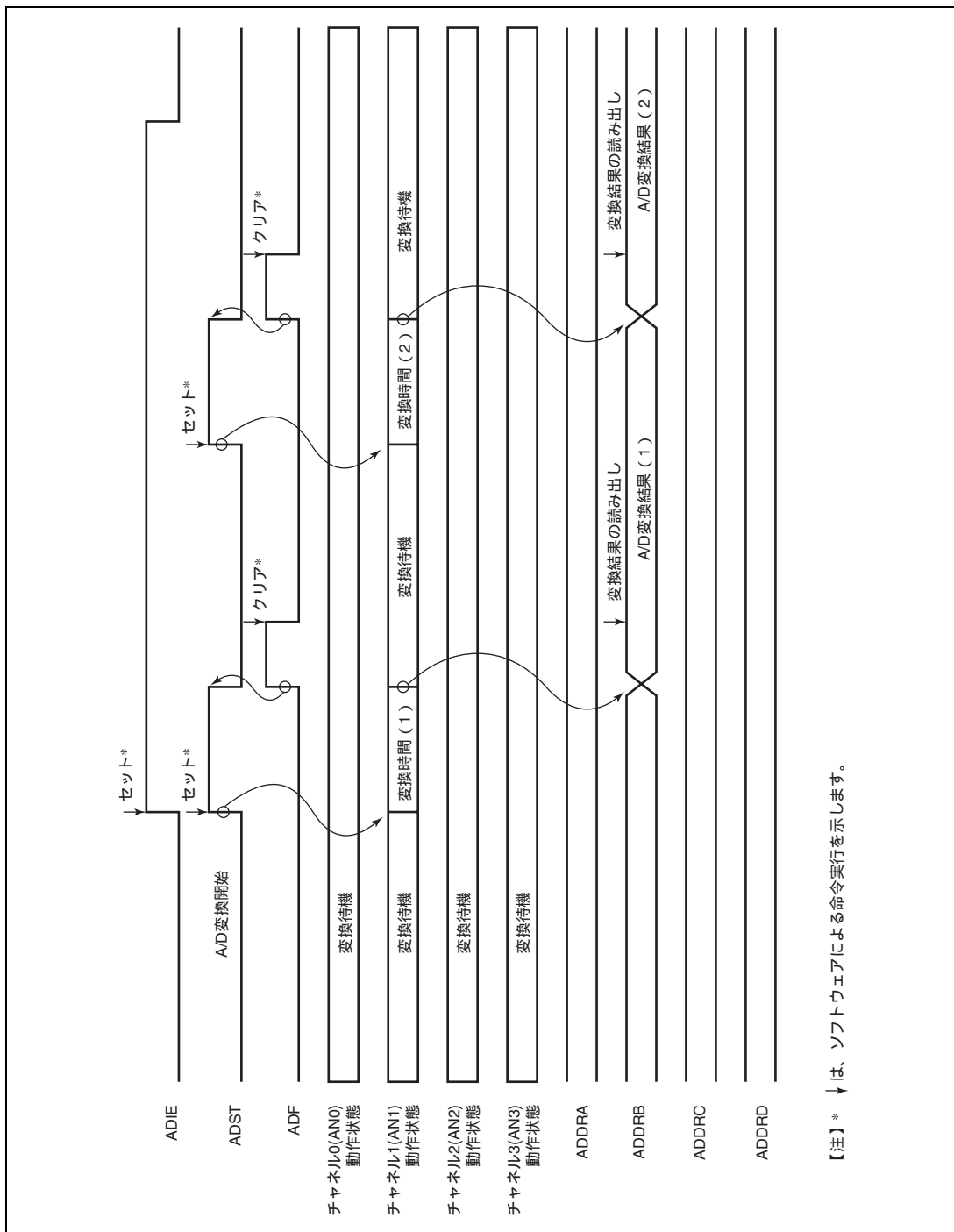


図 22.2 A/D 変換器の動作例 (シングルモード、チャンネル 1 選択時)

22.4.2 マルチモード

マルチモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力をそれぞれ 1 回順次変換します。

マルチモードは指定された最大 8 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順 (たとえばAN0、AN1...AN3) にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的に0にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

A/D 変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

マルチモードで 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 22.3 に示します。

1. 動作モードをマルチモード (MDS[2]=1、MDS[1]=0) に、アナログ入力チャンネルを AN0 ~ AN2 (CH[2:0]=010) に設定して A/D 変換を開始 (ADST=1) します。
2. 第1チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDRA に転送します。
3. 次に第2チャンネル (AN1) が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル (AN2) まで変換を行います。
5. 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF=1 となり、ADST ビットを 0 にして変換を終了します。
6. このとき ADIE ビットが 1 であると、A/D 変換終了後、ADI 割り込みを発生します。

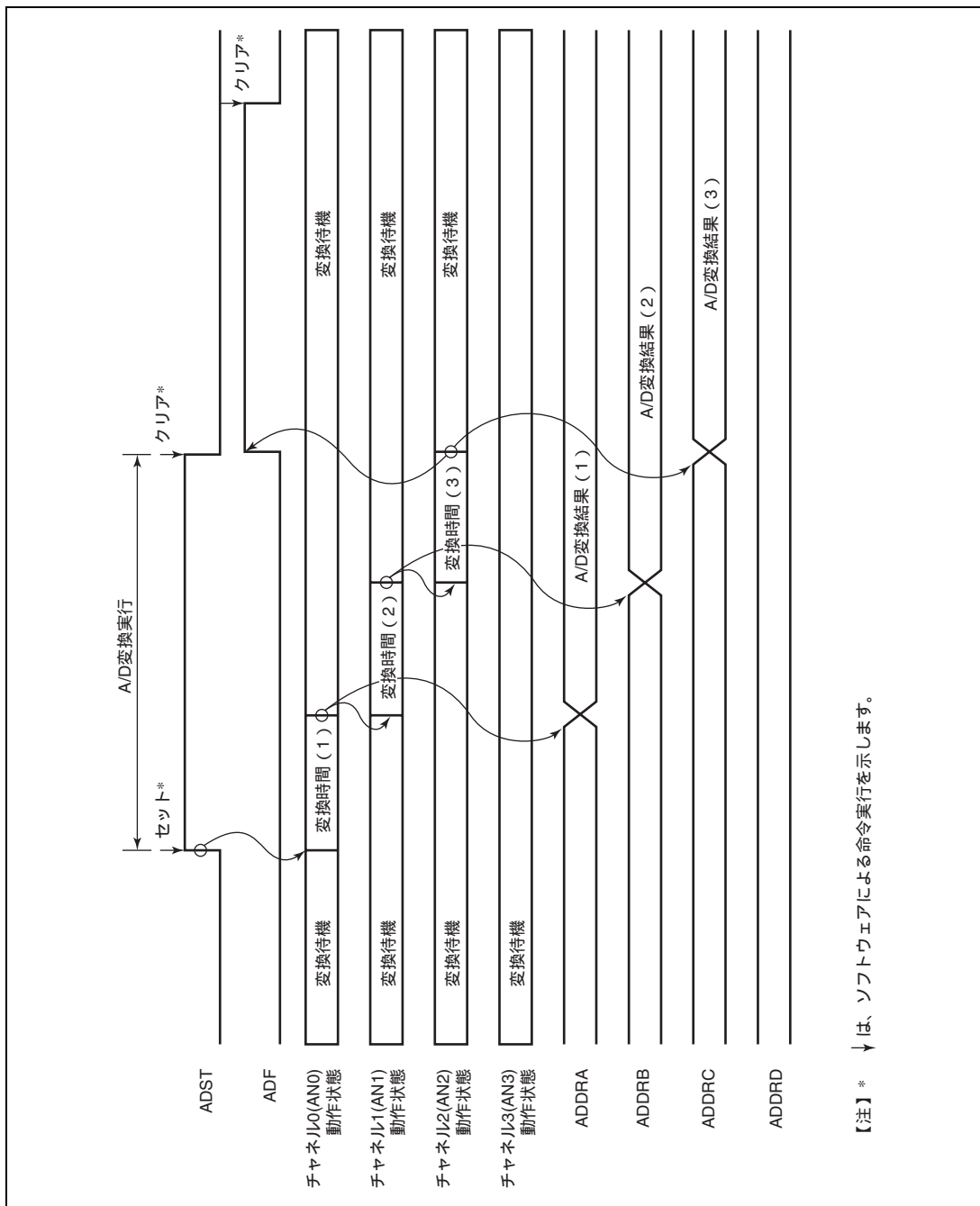


図 22.3 A/D 変換器の動作例 (マルチモード、AN0~AN2 の 3 チャンネル選択時)

22.4.3 スキャンモード

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするようなシステムに適します。スキャンモードは、指定された最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、MTU2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順(たとえばAN0、AN1...AN3)にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びチャンネル番号の小さい順にA/D変換を実行します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。
ADFビットは、ADF=1を読み出したあと、ADFビットに0を書き込むとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると(モードおよびチャンネルの変更とADSTビットのセットは同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードで3チャンネル(AN0~AN2)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図22.4に示します。

1. 動作モードをスキャンモード(MDS[2]=1、MDS[1]=1)に、アナログ入力チャンネルをAN0~AN2(CH[2:0]=010)に設定してA/D変換を開始(ADST=1)します。
2. 第1チャンネル(AN0)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRAに転送します。
3. 次に第2チャンネル(AN1)が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル(AN2)まで変換を行います。
5. 選択されたすべてのチャンネル(AN0~AN2)の変換が終了すると、ADF=1となり、再び、第1チャンネル(AN0)を選択し、連続して変換が行われます。このときADIEビットが1であると、A/D変換(第3チャンネルの変換)終了後、ADI割り込みを発生します。
6. ADSTビットは自動的にクリアされず、ADSTビットが1にセットされている間は2.~4.を繰り返します。繰り返している間はADF=1を保持しています。ADSTビットを0にクリアすると、A/D変換が停止します。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

2.~4.を繰り返している間ADF=1でADIE=1の場合、常にADI割り込みを発生します。第3チャンネルの変換終了時点で割り込みを発生させたい場合は、割り込み発生後、ADFビットを0にクリアしてください。

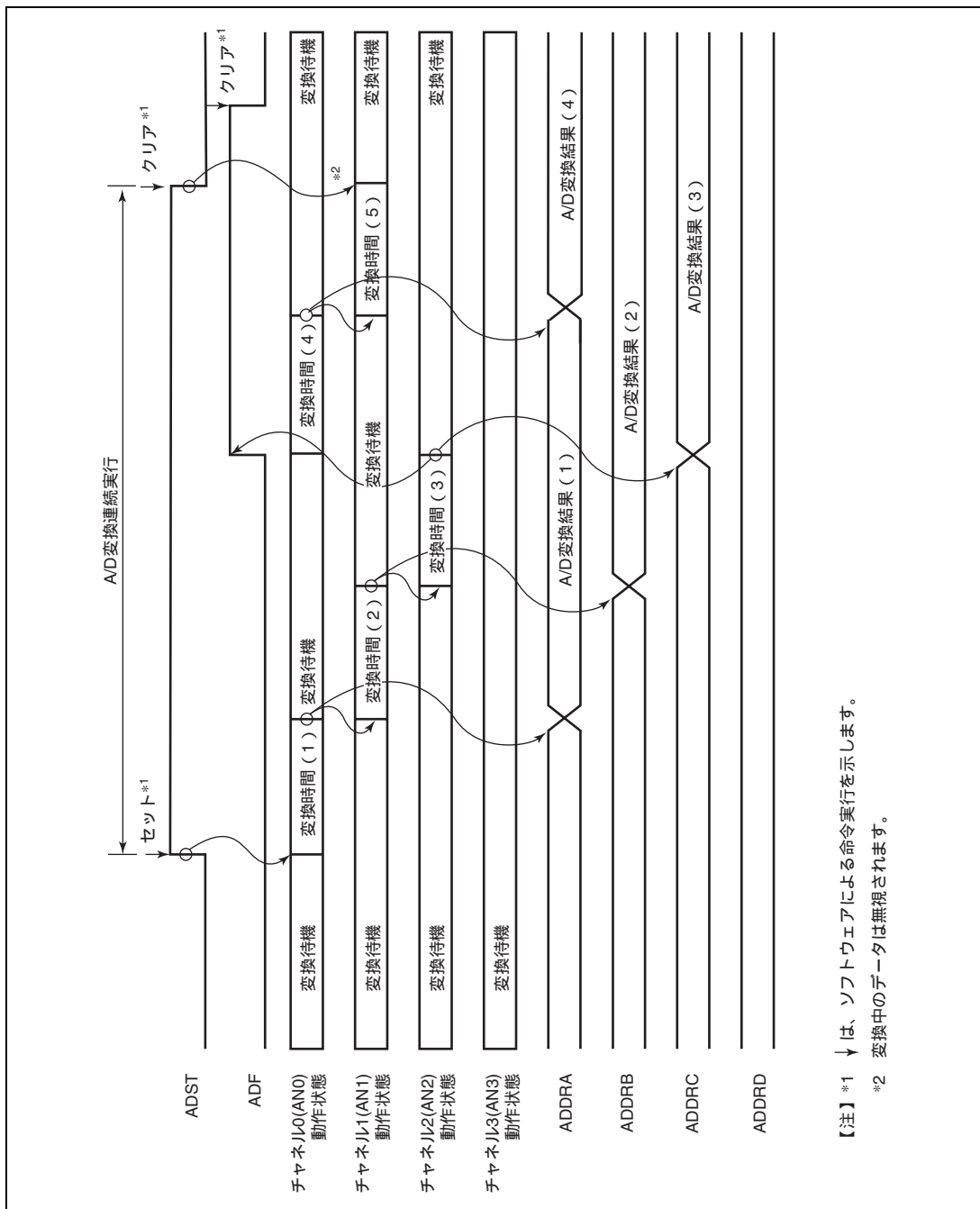


図 22.4 A/D 変換器の動作例 (スキャンモード、AN0~AN2 の3チャンネル選択時)

【注】*1 ↓ は、ソフトウェアによる命令実行を示します。
*2 変換中のデータは無視されます。

22.4.4 外部トリガ、MTU2 による A/D 変換器の起動

外部トリガ、MTU2 からの A/D 変換要求によって、A/D 変換器を独立に起動することができます。外部トリガ、MTU2 から A/D 変換器を起動するときには、A/D トリガイネーブルビット (TRGS3 ~ TRGS0) の設定を行います。この状態で外部トリガ、MTU2 の A/D 変換要求が発生すると、ADST ビットを 1 にセットします。これで、A/D 変換が開始されます。変換を行うチャンネルは、ADCSR の CH2 ~ CH0 ビットで決まります。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

22.4.5 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_D) 経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 22.5 に示します。また、A/D 変換時間を表 22.4 に示します。

A/D 変換時間 (t_{CONV}) は、図 22.5 に示すように、 t_D と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 22.4 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 22.4 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 22.5 に示す値となります。

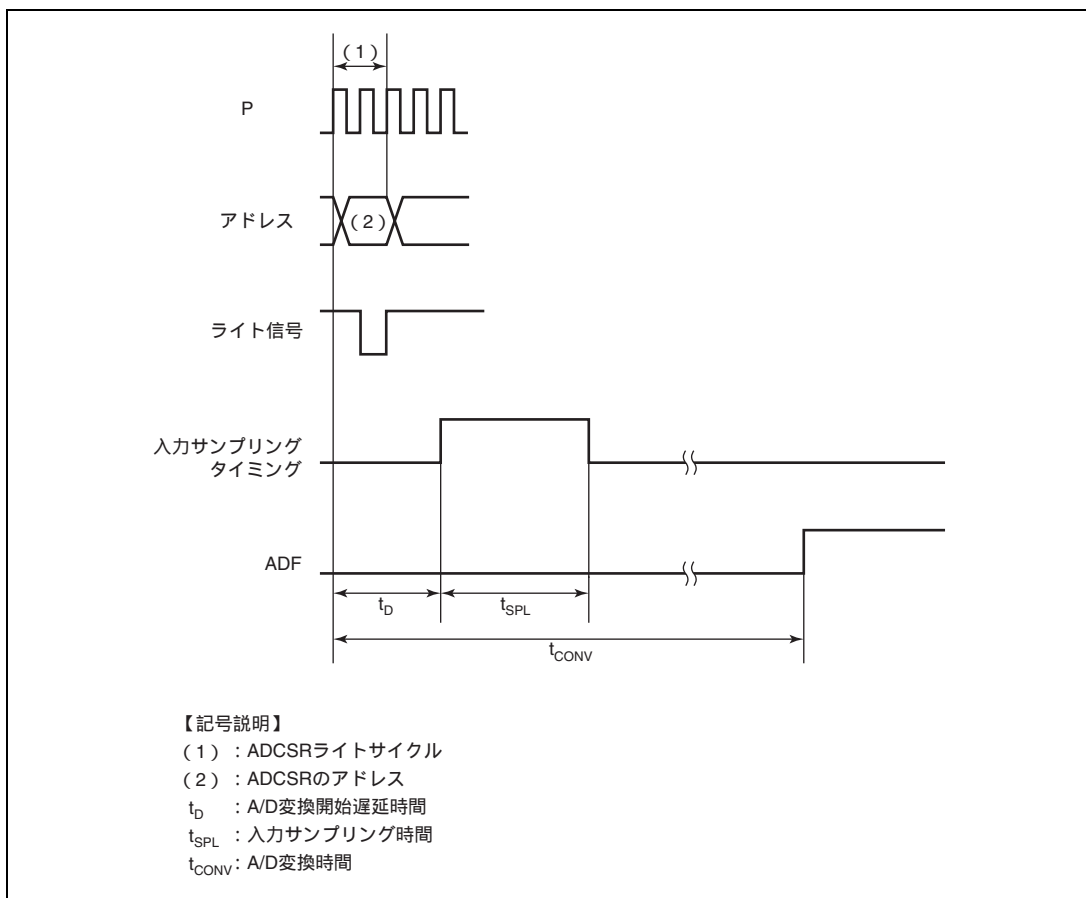


図 22.5 A/D 変換タイミング

表 22.4 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1		
		CKS0 = 0			CKS0 = 1			CKS0 = 0		
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
A/D 変換開始遅延時間	t_D	11	-	14	19	-	26	35	-	50
入力サンプリング時間	t_{SPL}	-	33	-	-	65	-	-	129	-
A/D 変換時間	t_{CONV}	135	-	138	267	-	274	531	-	546

【注】 表中の数値の単位は t_{pclk} です。 t_{pclk} は周辺クロック (P) の周期を示します。

表 22.5 A/D 変換時間 (マルチモード / スキャンモード)

CKS1	CKS0	変換時間 (t_{pcc})
0	0	128 (固定)
	1	256 (固定)
1	0	512 (固定)

【注】 表中の数値の単位は t_{pcc} です。 t_{pcc} は周辺クロック (P) の周期を示します。

外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCSR の TRGS3 ~ TRGS0 ビットが B'1001 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード / マルチモード / スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 22.6 に示します。

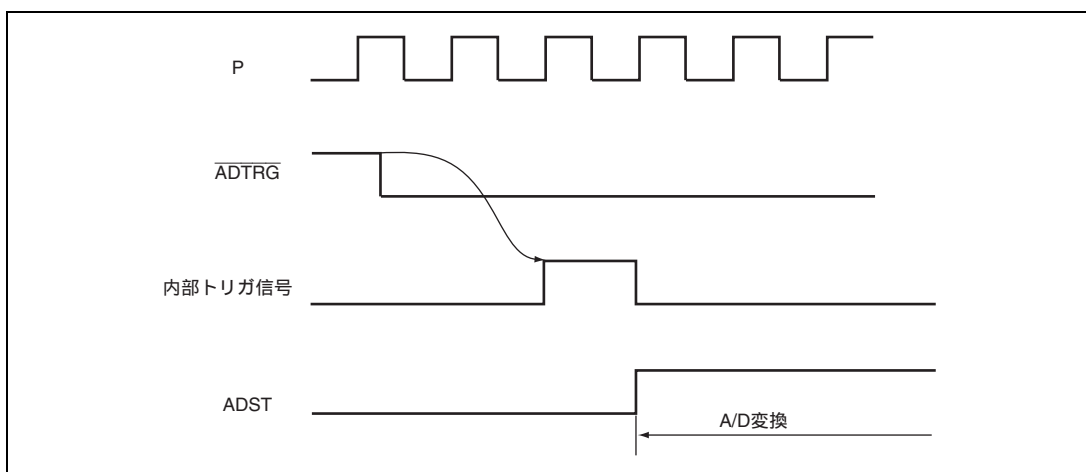


図 22.6 外部トリガ入力タイミング

22.5 割り込み要因と DMAC 転送要求

A/D 変換器は、A/D 変換が終了すると、A/D 変換割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされていると ADI 割り込み要求が発生します。なお、ADI 割り込みは、割り込みコントローラ (INTC) の設定により、DMAC の起動ができます。このとき、CPU への割り込み要求は発生されません。DMAC の起動設定を行わない場合は、CPU への割り込み要求が発生します。DMAC を使用して ADI 割り込みで変換されたデータのリードを行うと、連続変換がソフトウェアの負担なく実現できます。

シングルモードでは、ADI 割り込みによる DMA 転送は 1 回となるように設定してください。スキャンモードまたはマルチモードによる複数チャンネルの A/D 変換では DMA 転送回数を 1 回に設定すると、1 チャンネルのデータ転送のみで DMA 転送が終了してしまいます。DMAC によりすべての変換データを転送するには、転送元アドレスが A/D 変換データ格納先の ADDR となるように設定し、転送バイト数を変換チャンネル数 × 2 バイトに設定し、DMA 転送条件を連続オペランド転送かノンストップ転送に設定してください。

ADI で DMAC を起動する場合、DMAC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされません。

表 22.6 割り込み要因と DMAC 転送要求の関係

名称	割り込み要因	割り込みフラグ	DMAC の起動
ADI	A/D 変換終了	ADCSR の ADF	可

22.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値をアナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 22.7 に沿って、上記 1.~4.の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの A/D 変換器を 3 ビットの A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）B'000000000（図では 000）から B'000000001（図では 001）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 22.7（1））です。フルスケール誤差とはデジタル出力値が B'111111110（図では 110）から最大値（フルスケール電圧）B'111111111（図では 111）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 22.7（2））です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます（図 22.7（3））。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 22.7（4））です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

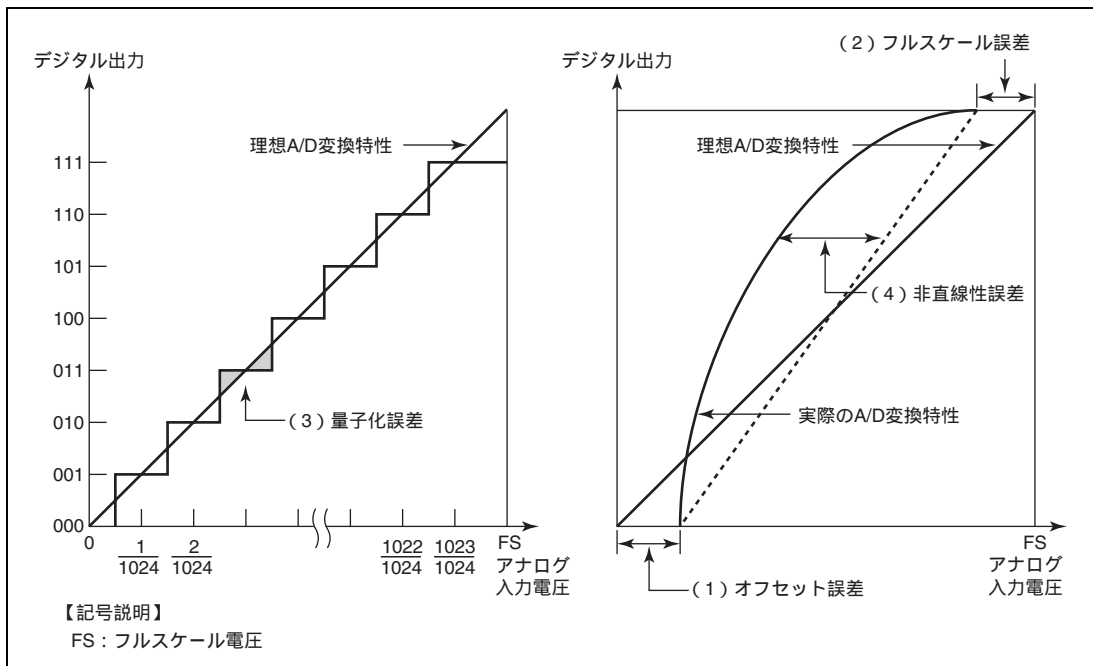


図 22.7 A/D 変換精度の定義

22.7 使用上の注意事項

A/D 変換器を使用する際は、以下のことに注意してください。

22.7.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 33 章 低消費電力モード」を参照してください。

22.7.2 アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

1. アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 ANn に印加する電圧は $AV_{SS} < ANn < AV_{CC}$ の範囲としてください。(n=0~7)

2. AV_{CC}、AV_{SS}入力電圧

AV_{CC}、AV_{SS}入力電圧は、 $PV_{CC} - 0.3V < AV_{CC} < PV_{CC}$ 、 $AV_{SS} = PV_{SS}$ としてください。さらに、A/D変換器およびD/A変換器を使用しないときやソフトウェアスタンバイモード時でも、AV_{CC}、AV_{SS}端子をオープンにしないでください。使用しないときは、必ずAV_{CC}は電源(PV_{CC})に、AV_{SS}はグランド(PV_{SS})に接続してください。

3. AV_{ref}の設定範囲

4. AV_{ref}端子によるリファレンス電圧範囲は $3.0V < AV_{ref} < AV_{CC}$ にしてください。

22.7.3 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN0 ~ AN7)、アナログ基準電圧 (AV_{ref})、アナログ電源 (AV_{CC}) は、アナロググランド (AV_{SS}) で、デジタル回路を分離してください。さらに、アナロググランド (AV_{SS}) は、ボード上の安定したデジタルグランド (PV_{SS}) に一点接続してください。

22.7.4 アナログ入力端子の取り扱い

アナログ入力端子 (AN0 ~ AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 22.8 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 22.9 にアナログ入力端子の等価回路を、表 22.7 にアナログ入力端子の規格を示します。

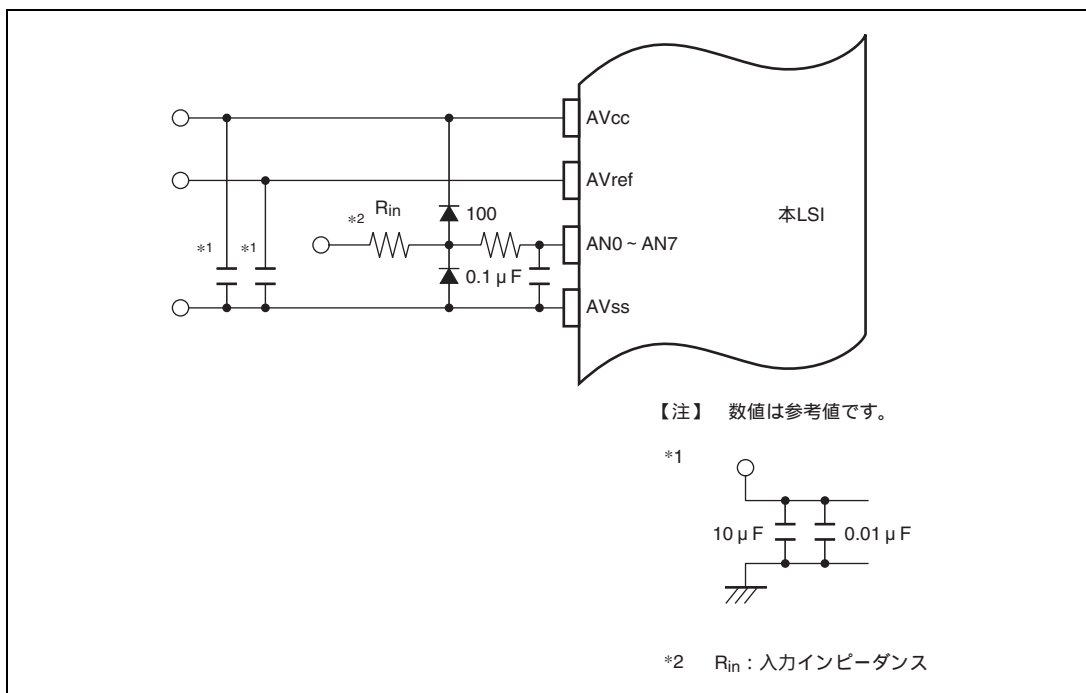


図 22.8 アナログ入力端子の保護回路例

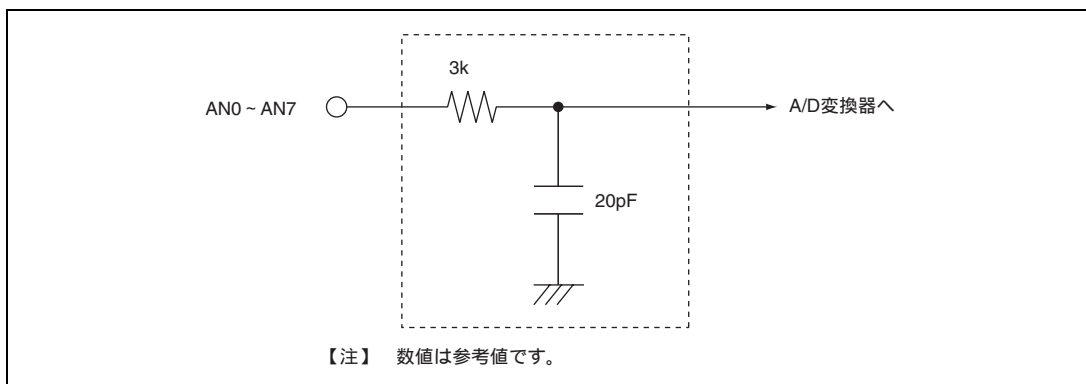


図 22.9 アナログ入力端子の等価回路

表 22.7 アナログ入力端子の規格

項目	Min.	Max.	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k

22.7.5 許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが $5k$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k$ を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $3k$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号(たとえば $5mV/\mu s$ 以上)には追従できないことがあります(図 22.10)。高速のアナログ信号を変換する場合やスキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

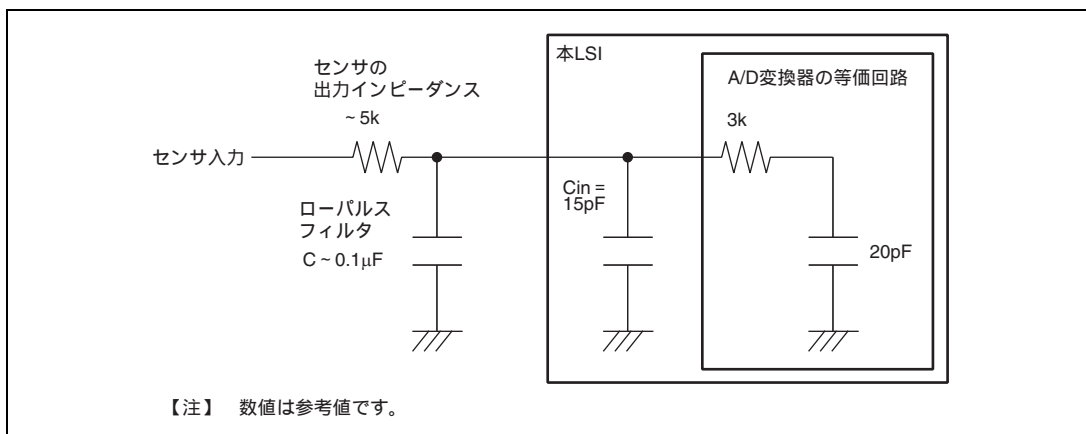


図 22.10 アナログ入力回路の例

22.7.6 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになります。GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等は電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

22.7.7 スキャンモードおよびマルチモード使用時の注意

スキャンモードおよびマルチモードの停止直後に変換を開始した場合、誤った変換結果を示すことがあります。連続して変換を行う場合は、 $ADST=0$ とした後、1 チャンル分の A/D 変換時間以上経過してから起動 ($ADST=1$) するようにしてください (1 チャンル分の変換時間は分周レジスタ設定により異なります)。

23. D/A 変換器 (DAC)

23.1 特長

- 分解能 : 8ビット
- 出力チャンネル : 2チャンネル
- 最小変換時間 : 10 μ s (負荷容量20pF時)
- 出力電圧 : 0V ~ AVref
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールスタンバイモードの設定可能

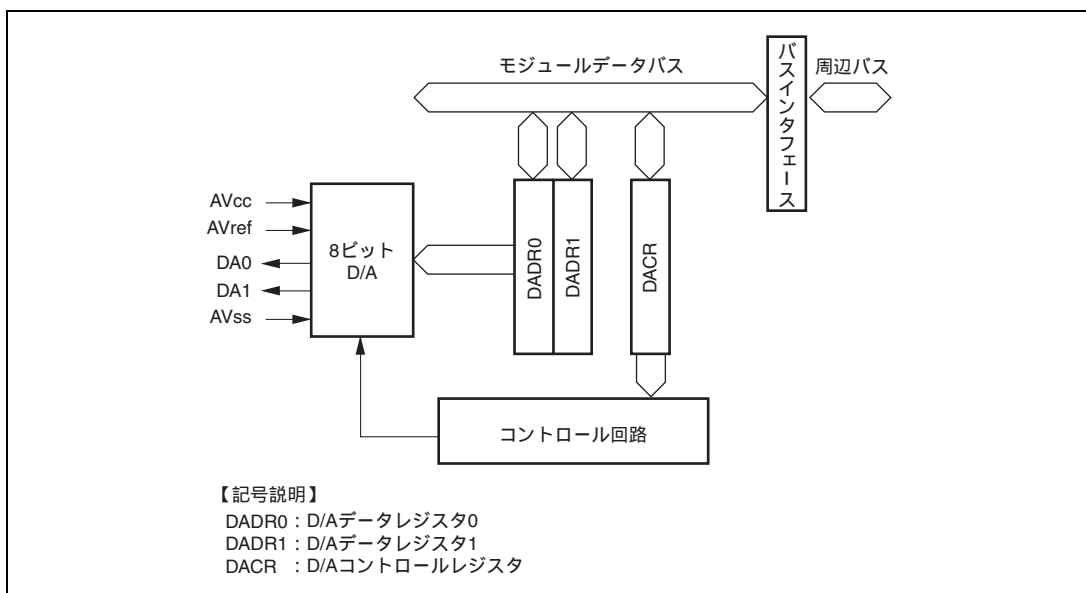


図 23.1 D/A 変換器のブロック図

23.2 入出力端子

D/A 変換器で使用する入出力端子を表 23.1 に示します。

表 23.1 端子構成

名称	端子名	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
アナログ基準電圧端子	AVref	入力	D/A 変換器の基準電圧端子
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力

23.3 レジスタの説明

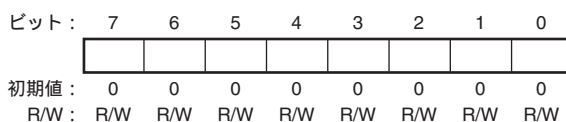
D/A 変換器には以下のレジスタがあります。

表 23.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
D/A データレジスタ 0	DADR0	R/W	H'00	H'FFFE4C00	8、16
D/A データレジスタ 1	DADR1	R/W	H'00	H'FFFE4C01	8、16
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FFFE4C02	8、16

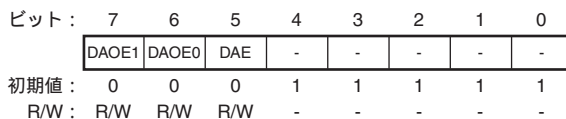
23.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

DADR は、D/A 変換を行うデータを格納するための 8 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力許可すると、DADR の値が変換されアナログ出力端子に出力されます。



23.3.2 D/A コントロールレジスタ (DACR)

DACR は、8 ビットの読み出し / 書き込み可能なレジスタで、D/A 変換器の動作を制御します。



ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 チャンネル 1 の D/A 変換とアナログ出力を制御します。 0: チャンネル 1 のアナログ出力 (DA1) を禁止 1: チャンネル 1 の D/A 変換を許可。チャンネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 チャンネル 0 の D/A 変換とアナログ出力を制御します。 0: チャンネル 0 のアナログ出力 (DA0) を禁止 1: チャンネル 0 の D/A 変換を許可。チャンネル 0 のアナログ出力 (DA0) を許可

ビット	ビット名	初期値	R/W	説 明
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 23.3 を参照してください。 0 : チャネル 0 とチャネル 1 の D/A 変換を独立に制御する 1 : チャネル 0 とチャネル 1 の D/A 変換を一括して制御する
4~0	-	すべて 1	-	リザーブビット 読み出すと常に 1 が読み出されます。書き込みは無効です。

表 23.3 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説 明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャネル 0 の D/A 変換を許可。チャネル 1 の D/A 変換を禁止
	1	0	チャネル 1 の D/A 変換を許可。チャネル 0 の D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
	1	0	
		1	

23.4 動作説明

2チャンネルのD/A変換は、それぞれ独立して変換を行うことができます。DACRのDAOEビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図23.2に示します。

1. DADR0に変換データをライトします。
2. DACRのDAOE0ビットを1にセットすると、D/A変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \times \text{AVref}$$

3. DADR0を書き換えると直ちに変換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアするとアナログ出力を禁止します。

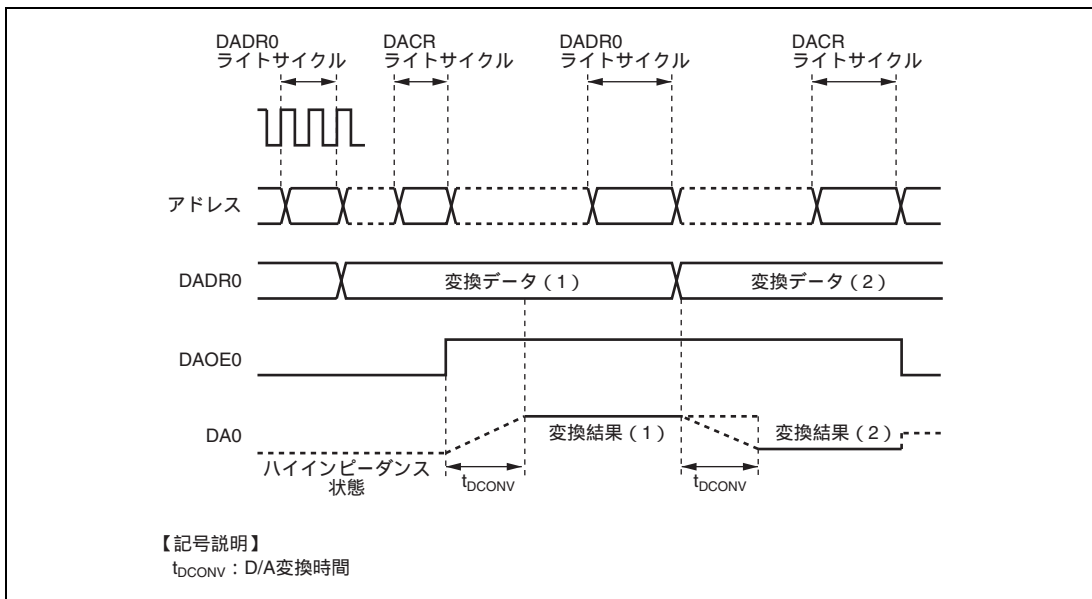


図 23.2 D/A 変換器の動作例

23.5 使用上の注意事項

23.5.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、D/A 変換器の動作禁止 / 許可を設定することが可能です。初期値では、D/A 変換の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 33 章 低消費電力モード」を参照してください。

23.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

23.5.3 アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

1. AVcc、AVss 入力電圧

AVcc、AVss 入力電圧は、 $PVcc - 0.3V \leq AVcc \leq PVcc$ 、 $AVss = PVss$ としてください。さらに、A/D 変換器および D/A 変換器を使用しないときやソフトウェアスタンバイモード時でも、AVcc、AVss 端子をオープンにしないでください。使用しないときは、必ず AVcc は電源 (PVcc) に、AVss はグランド (PVss) に接続してください。

2. AVref の設定範囲

AVref 端子による基準電圧範囲は $3.0V \leq AVref \leq AVcc$ にしてください。

24. AND/NAND フラッシュメモリコントローラ (FLCTL)

AND/NAND フラッシュメモリコントローラ (FLCTL) は、外付けの AND 型フラッシュメモリと NAND 型フラッシュメモリとのメモリインタフェースを提供します。また、フラッシュメモリ特有の読み出し不具合に対応するための ECC 符号の生成およびエラー検出機能を持ちます。

これまでの 3 シンボル ECC 検出回路に加え、4 シンボルまでの ECC 符号の生成、エラー検出、およびハードウェアでの誤りパターン生成回路を有します。

24.1 特長

(1) AND/NAND 型フラッシュメモリのメモリインタフェース

- AND/NAND型フラッシュメモリとの直結が可能なインタフェース
- セクタ (512 + 16バイト) 単位のリードライト。ECC処理を実行します。
- バイト単位のリードライト
- ラージブロック (2048 + 64) サイズのフラッシュメモリに対応*
- 5バイトアドレスへの拡張により2Gビット超のアドレスに対応

【注】 * 本 FLCTL は、512+16 バイトを 1 セクタとして扱います。1 ページ 2048 + 64 バイトの製品に関しては、512+16 バイトごと (1 ページを 4 セクタ) に分割して処理します。

(2) アクセスモード：FLCTL では次の 2 つのアクセスモードが選択できます。

- コマンドアクセスモード：本 FLCTL からフラッシュメモリに対して発行するコマンド、アドレス、入出力するデータサイズをレジスタに指定することで一連のアクセスを行います。これにより、ECC 処理をともなわないデータのリードライトおよびイレースが行えます。
- セクタアクセスモード：セクタアドレスを指定することで、セクタ単位のリードライトを実行します。ECC 符号生成 / チェックの制御を行います。セクタ数を指定することで、連続するセクタに対するリードライトを実行できます。

(3) セクタと管理コード

- セクタはアクセスの基本単位で、512バイトのデータと16バイトの管理コードから構成されます。管理コードには、3シンボルECC回路使用時は8バイトのECCが含まれます。4シンボルECC回路使用時は10バイトのECCが含まれます。
- 管理コード内のECCの埋め込まれる位置は、3シンボルECC回路使用時が4バイト単位で、4シンボルECC回路使用時は1バイト単位で指定可能です。
- ECC以外の管理コードには、ユーザ情報を書き込むことができます。

(4) 3シンボル ECC

- セクタ (データ : 512バイト + 管理コード : 0/4/8バイト) に対し60ビット (8バイト) のECCコードを付加します。
- 訂正エラー数、検出エラー数ともに、ランダム3箇所 (最高30ビット) です。
- 書き込み時、データおよびECCより前の管理コードまでがECC符号生成の対象です。ECCより後の管理コードは、ECCの対象外です。
- 読み出し時、データおよびECCより前の管理コードがECCエラー判定の対象です。また、FIFO内の管理コード上のECCは、フラッシュメモリから読み出されたECCコードではなく、ECC回路による判定結果に置換されています。
- ECCエラー発生時のエラー訂正は行いません。ソフト処理を行ってください。

(5) 4シンボル ECC

- セクタ (データ : 512バイト + 管理コード : 1~6バイト) に対し80ビット (10バイト) のECCコードを付加します。
- 訂正エラー数、検出エラー数ともに、ランダム4箇所 (最高40ビット) です。
- 書き込み時、データおよびECCより前の管理コードまでがECC符号生成の対象です。ECCより後の管理コードはECCの対象外です。
- 読み出し時、データおよびECCより前の管理コードがECCエラー判定の対象です。また、FIFO内の管理コード上のECCは、フラッシュから読み出されたECCコードではなく、ECC回路による判定結果に置換されています。
- 本FLCTL内蔵の4シンボルECC回路はハードウェアによる、誤り訂正パターンを生成可能です。誤り訂正パターン生成の実行はセクタ単位での実行になります。
- ハードウェアでの誤り訂正においては、誤り位置を示すアドレスと誤りを訂正するための誤りパターンが出力されます。データの置き換えはソフトウェアで実行してください。

(6) データエラー時

- プログラム/イレースエラー発生時、エラー要因フラグに反映されます。独立要因の割り込みが指定可能です。
- リードエラー発生時、管理コード内のECCは0以外になります。その場合、ECCエラー要因フラグに反映されます。
- ECCエラーが発生した場合、エラー訂正を行い、代替セクタを指定し、必要に応じてブロックの内容を代替セクタにコピーしてください。

(7) データ転送用 FIFO とデータレジスタ

- フラッシュメモリのデータ転送用に224バイトのデータFIFOレジスタ (FLDTFIFO) を内蔵
- 管理コードのデータ転送用に32バイトの管理コードFIFOレジスタ (FLECFIFO) を内蔵

(8) DMA 転送

- DMAコントローラにフラッシュメモリのデータと管理コードの転送先を個別に指定することにより、異なる領域にデータと管理コードを転送できます。

(9) アクセスタイム

- AND/NAND型フラッシュメモリ端子側の動作クロック (FCLK) は、周辺クロック (P) を分周して使用します。分周率は、共通コントロールレジスタ (FLCMNCR) のFCKSELビットとQTSELビットにより指定可能です。
- CPGの設定を変更する場合は、FLCTLをモジュールストップにより停止させた状態で行ってください。
- NAND型フラッシュメモリでは、FSC端子、 \overline{FWE} 端子がFCLKの動作周波数で動作します。AND型フラッシュメモリでは、FSC端子がFCLKの動作周波数で、 \overline{FWE} 端子がFCLKの半分の周波数で動作します。接続するメモリの最大動作周波数を超えないように設定してください。

図 24.1 に FLCTL のブロック図を示します。

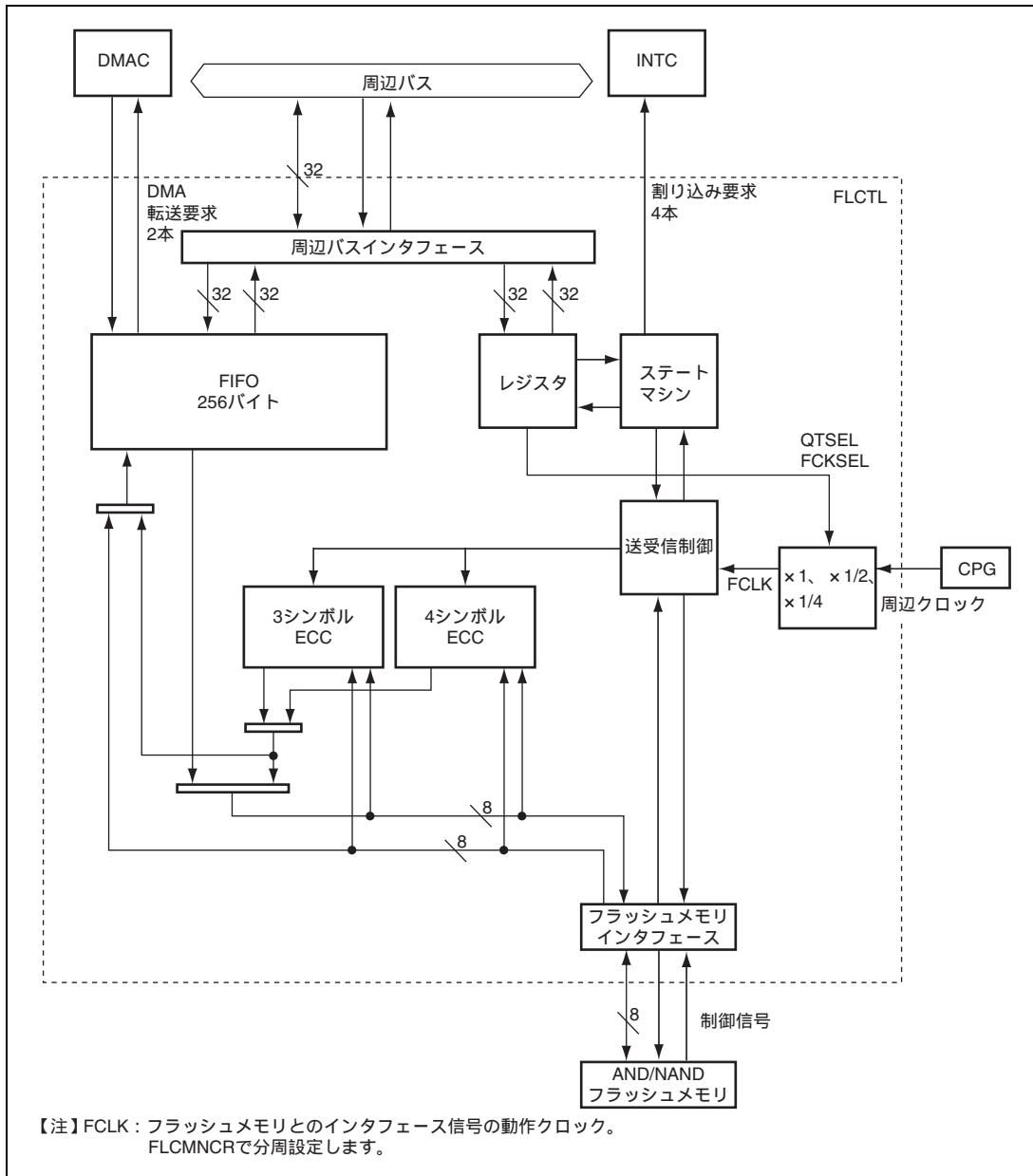


図 24.1 FLCTL のブロック図

24.2 入出力端子

FLCTL の端子構成を表 24.1 に示します。

表 24.1 端子構成

端子名	入出力	対応するフラッシュメモリの端子		機能
		NAND 型	AND 型	
FCE	出力	\overline{CE}	\overline{CE}	チップイネーブル 本 LSI に接続されたフラッシュメモリをイネーブルにします。
NAF7~0	入出力	I/O7~I/O0	I/O7~I/O0	データ入出力 コマンド、アドレス、データの入出力端子です。
FCDE	出力	CLE	\overline{CDE}	コマンドラッチイネーブル (CLE) コマンド出力時にアサートします。 コマンドデータイネーブル (\overline{CDE}) コマンド出力時にアサートします。
FOE	出力	ALE	\overline{OE}	アドレスラッチイネーブル (ALE) アドレス出力時にアサートします。 データ入出力時にネゲートします。 アウトプットイネーブル (\overline{OE}) データ入力時 / ステータスリード時にアサートします。
FSC	出力	\overline{RE}	SC	リードイネーブル (\overline{RE}) \overline{RE} の立ち下がりエッジでデータリードします。 シリアルクロック (SC) SC に同期してデータの入出力を行います。
FWE	出力	WE	WE	ライトイネーブル \overline{WE} の立ち上がりエッジでフラッシュメモリがコマンド、アドレスおよびデータをラッチします。
FRB	入力	R/B	R/B	レディ / ビジー ハイレベルでレディ状態を、ローレベルでビジー状態を示します。
- *	-	WP	RES	ライトプロテクト / リセット ローレベルで電源投入切断時の偶発的消去 / プログラムから保護します。
- *	-	SE	-	スペアエリアイネーブル スペアエリアアクセス可能にする端子です。セクタアクセスモードを使う場合は、ローレベル固定にしてください。

【注】 * 本 LSI では、サポートしていません。

24.3 レジスタの説明

FLCTL のレジスタ構成を表 24.2 に示します。

表 24.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	FLCMNCR	R/W	H'00000000	H'FFFEC800	32
コマンド制御レジスタ	FLCMDCR	R/W	H'00000000	H'FFFEC804	32
コマンドコードレジスタ	FLCMCDR	R/W	H'00000000	H'FFFEC808	32
アドレスレジスタ	FLADR	R/W	H'00000000	H'FFFEC80C	32
アドレスレジスタ 2	FLADR2	R/W	H'00000000	H'FFFEC83C	32
データレジスタ	FLDATAR	R/W	H'00000000	H'FFFEC810	32
データカウンタレジスタ	FLDTCNTR	R/W	H'00000000	H'FFFEC814	32
割り込み DMA 制御レジスタ	FLINTDMACR	R/W	H'00000000	H'FFFEC818	32
レディビジータイムアウト設定レジスタ	FLBSYTMR	R/W	H'00000000	H'FFFEC81C	32
レディビジータイムアウトカウンタ	FLBSYCNT	R	H'00000000	H'FFFEC820	32
データ FIFO レジスタ	FLDTFIFO	R/W	H'xxxxxxxx	H'FFFEC850	32
管理コード FIFO レジスタ	FLECFIFO	R/W	H'xxxxxxxx	H'FFFEC860	32
転送制御レジスタ	FLTRCR	R/W	H'00	H'FFFEC82C	8
4 シンボル ECC 処理結果レジスタ 1	FL4ECCRES1	R	H'03FF03FF	H'FFFEC880	32
4 シンボル ECC 処理結果レジスタ 2	FL4ECCRES2	R	H'03FF03FF	H'FFFEC884	32
4 シンボル ECC 処理結果レジスタ 3	FL4ECCRES3	R	H'03FF03FF	H'FFFEC888	32
4 シンボル ECC 処理結果レジスタ 4	FL4ECCRES4	R	H'03FF03FF	H'FFFEC88C	32
4 シンボル ECC 制御レジスタ	FL4ECCCR	R/W	H'00000000	H'FFFEC890	32
4 シンボル ECC エラーカウンタレジスタ	FL4ECCCNT	R/W	H'00000000	H'FFFEC894	32

24.3.1 共通コントロールレジスタ (FLCMNCR)

FLCMNCR は、読み出し/書き込み可能な 32 ビットのレジスタで、フラッシュのメモリタイプ(AND/NAND)、アクセスモードなどを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	ECCPOS [2]	4ECCCN TEN	4ECCEN	4ECCCO RRECT	-	-	-	SNAND	QT SEL	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FCK SEL	-	ECCPOS[1:0]	ACM[1:0]	NAND WF	-	-	-	-	-	-	CE	-	-	TYPE SEL	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	ECCPOS[2]	0	R/W	ビット[13:12]の ECCPOS[1:0]の説明を参照してください。
24	4ECCCNTEN	0	R/W	4 シンボル ECC エラーカウントビット 読み出したセクタに含まれる誤り数の合計カウントおよび読み出しセクタの中で最大の誤り数を FL4ECCCNT に出力します。 0: カウントは実施しません。 1: 4 シンボル ECC 回路を使用時、読み出しセクタに含まれる合計誤り数のカウントおよび最大の誤り数を FL4ECCCNT に出力します。 【注】本ビットに 1 をセットした場合、4ECCCORRECT ビットは 0 にセットしてください。
23	4ECCEN	0	R/W	4 シンボル ECC 回路有効ビット セクタアクセスモード時、本ビットに 1 をセットすることで、4 シンボル ECC 回路が有効になります。 0: 3 シンボル ECC 回路が有効になります。 1: 4 シンボル ECC 回路が有効になります。 【注】AND 型フラッシュメモリ使用時は 0 に設定してください。また、4 シンボル ECC 回路を使用する際は「24.7 使用上の注意事項」を参照してください。
22	4ECCCORRECT	0	R/W	4 シンボル ECC 回路訂正実行ビット 4 シンボル ECC 回路を使用時、誤り訂正を 1 セクタ分実施します。 ECC エラーが発生した時点で、読み出しが一時停止し 4 シンボル ECC 回路の訂正パターン生成を開始します。 0: 訂正パターン出力は実施せず、ECC コードの出力のみ実施します。 1: ECC エラーが発生すると、読み出しを一時停止します。
21~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
18	SNAND	0	R/W	<p>大容量 NAND フラッシュメモリ選択ビット</p> <p>1G ビット以上のフラッシュメモリのうち、1 ページの構成が 2048 + 64 バイトである NAND フラッシュメモリおよび 1G ビット以上の AG-AND フラッシュメモリ指定のために使用します。</p> <p>0 : 1 ページ構成が 512 + 16 バイトのフラッシュメモリおよび AND 型フラッシュメモリ使用時は 0 に設定してください</p> <p>1 : 1 ページ構成が 2048 + 64 バイトの NAND 型フラッシュメモリおよび 1G ビット以上の AG-AND フラッシュメモリ使用時は 1 に設定してください</p> <p>【注】 TYPESEL = 0 のときは、1 への設定禁止。</p>
17	QTSEL	0	R/W	<p>フラッシュクロック分周選択ビット</p> <p>フラッシュメモリ内で使用するクロック FCLK の分周選択ビットです。FCKSEL とあわせて使用します。</p> <p>QTSEL=0、FCKSEL=0 : CPG からのクロック (P) を 2 分の 1 に分周して FCLK として使用します。</p> <p>QTSEL=0、FCKSEL=1 : CPG からのクロック (P) をそのまま FCLK として使用します。</p> <p>QTSEL=1、FCKSEL=0 : CPG からのクロック (P) を 4 分の 1 に分周して FCLK として使用します。</p> <p>QTSEL=1、FCKSEL=1 : 設定禁止</p>
16	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
15	FCKSEL	0	R/W	<p>フラッシュクロック選択ビット</p> <p>フラッシュメモリ内で使用するクロック FCLK の分周選択ビットです。QTSEL とあわせて使用します。QTSEL の説明部を参照してください。</p>
14	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
13、12	ECCPOS[1:0]	00	R/W	<p>ECC コード埋め込み位置指定ビット</p> <p>3/4 シンボル ECC 使用時、管理領域の ECC コード埋め込み位置を ECCPOS[2:0]を使用し、指定します。</p> <ul style="list-style-type: none"> • 4ECCEN = 0 (ECC コードは 8 バイト) <ul style="list-style-type: none"> 000 : オフセット 512 バイト目から ECC コードを配置 001 : オフセット 516 バイト目から ECC コードを配置 010 : オフセット 520 バイト目から ECC コードを配置 上記以外 : 設定禁止 • 4ECCEN = 1 (ECC コードは 10 バイト) <ul style="list-style-type: none"> 000 : オフセット 518 バイト目から ECC コードを配置 001 : オフセット 517 バイト目から ECC コードを配置 010 : オフセット 516 バイト目から ECC コードを配置 011 : オフセット 515 バイト目から ECC コードを配置 100 : オフセット 514 バイト目から ECC コードを配置 101 : オフセット 513 バイト目から ECC コードを配置 110 : オフセット 512 バイト目から ECC コードを配置 111 : 設定禁止
11、10	ACM[1:0]	00	R/W	<p>アクセスモード指定ビット 1、0</p> <p>アクセスモードを指定します。</p> <ul style="list-style-type: none"> 00 : コマンドアクセスモード 01 : セクタアクセスモード 10 : 設定禁止 11 : 設定禁止
9	NANDWF	0	R/W	<p>NAND ウェイト挿入動作ビット</p> <ul style="list-style-type: none"> 0 : アドレス、データの入出力が 1FCLK サイクルで行われます 1 : アドレス、データの入出力が 2FCLK サイクルで行われます
8~4	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
3	CE	0	R/W	<p>チップイネーブルビット</p> <ul style="list-style-type: none"> 0 : ディスエーブル (FCE 端子にハイレベルを出力します。) 1 : イネーブル (FCE 端子にローレベルを出力します。)
2、1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	TYPESEL	0	R/W	<p>メモリ選択ビット</p> <ul style="list-style-type: none"> 0 : AND 型フラッシュメモリを選択します。 1 : NAND 型フラッシュメモリ、AG-AND を選択します。

24.3.2 コマンド制御レジスタ (FLCMDCR)

FLCMDCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセスモードでのコマンド発行、アドレス発行の有無やデータの入出力先の指定ができます。セクタアクセスモードでは、セクタ転送回数の指定ができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	ADR CNT2	SCTCNT[19:16]				ADR MD	CDS RC	DOSR	-	-	SEL RW	DOA DR	ADRCNT[1:0]	DOC MD2	DOC MD1		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SCTCNT[15:0]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31	ADRCNT2	0	R/W	アドレス発行バイト数指定ビット 2 アドレスステージで発行するアドレスデータのバイト数を指定します。 ADRCNT[1:0]ビットとあわせて使用します。 0: ADRCNT[1:0]で指定したバイト数だけアドレスを発行します。 1: 5 バイトのアドレスを発行 ADRCNT[1:0]は 00 に設定してください。
30~27	SCTCNT [19:16]	0000	R/W	セクタ転送回数指定ビット[19:16] セクタ転送回数指定ビット SCTCNT[15:0]の拡張ビットです。 SCTCNT[19:16]と SCTCNT[15:0]はあわせて SCTCNT[19:0]の 20 ビットの カウンタとして動作します。
26	ADRMD	0	R/W	セクタアクセスアドレス指定ビット コマンドアクセスモード時は、このビットは無効です。セクタアクセスモ ード時のみ有効となります。 0: アドレスレジスタの値はセクタアドレスとして処理されます。セク タアクセス時は通常こちらを使用してください。 1: アドレスレジスタの値がそのまま、フラッシュメモリのアドレスと して出力されます。 【注】連続セクタアクセス時は、0 に設定してください。
25	CDSRC	0	R/W	データバッファ指定ビット コマンドアクセスモード時、データステージのリード/ライトするデー タバッファを指定します。 0: データバッファとして FLDATAR を指定 1: データバッファとして FLDTFIFO を指定

ビット	ビット名	初期値	R/W	説明
24	DOSR	0	R/W	ステータスリードチェックビット コマンドアクセスモード時、第2コマンド発行後、ステータスリードを行うか指定します。 0: ステータスリードを行わない 1: ステータスリードを実行する
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	SELRW	0	R/W	データリードライト指定ビット データステージでのリードライト方向を指定します。 0: リード 1: ライト
20	DOADR	0	R/W	アドレスステージ実行指定ビット コマンドアクセスモード時、アドレスステージを実行するかどうかを指定します。 0: アドレスステージを実行しない 1: アドレスステージを実行する
19, 18	ADRCNT[1:0]	00	R/W	アドレス発行バイト数指定ビット 1、0 アドレスステージで発行するアドレスデータのバイト数を指定します。 00: 1 バイトのアドレスを発行 01: 2 バイトのアドレスを発行 10: 3 バイトのアドレスを発行 11: 4 バイトのアドレスを発行
17	DOCMD2	0	R/W	第2コマンドステージ実行指定ビット コマンドアクセスモード時、第2コマンドステージを実行するかどうかを指定します。 0: 第2コマンドステージを実行しない 1: 第2コマンドステージを実行する
16	DOCMD1	0	R/W	第1コマンドステージ実行指定ビット コマンドアクセスモード時、第1コマンドステージを実行するかどうかを指定します。 0: 第1コマンドステージを実行しない 1: 第1コマンドステージを実行する
15~0	SCTCNT[15:0]	H'0000	R/W	セクタ転送回数指定ビット[15:0] セクタアクセスモードで連続して読み出すセクタ数を指定します。1セクタ転送終了ごとにカウントダウンし、0になると停止します。 SCTCNT[19:16]と合わせて使用します。 コマンドアクセスモード時は、動作中 H'0 0001 になります。

24.3.3 コマンドコードレジスタ (FLCMCDR)

FLCMCDR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセス、セクタアクセス時に発行するコマンドの値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD2[7:0]								CMD1[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~8	CMD2[7:0]	H'00	R/W	第 2 コマンドデータビット 第 2 コマンドステージに発行するコマンドコードを指定します。
7~0	CMD1[7:0]	H'00	R/W	第 1 コマンドデータビット 第 1 コマンドステージに発行するコマンドコードを指定します。

24.3.4 アドレスレジスタ (FLADR)

FLADR は、読み出し / 書き込み可能な 32 ビットのレジスタで、アドレスとして出力する値を指定します。ADR1 から順にコマンドレジスタで指定されたバイト数がバイト単位でアドレスとして出力されます。なお、コマンド制御レジスタのセクタアクセスアドレス指定ビット (ADRMD) で、アドレスデータビットに指定されたセクタ番号がアドレスに変換された値を出力するかどうかを指定できます。

- ADRMD = 1 のとき

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR4[7:0]								ADR3[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR2[7:0]								ADR1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ADR4[7:0]	H'00	R/W	第 4 アドレスデータビット ADRMD = 1 のときにアドレスとしてフラッシュメモリに 4 番目に出力されるデータを指定します。
23~16	ADR3[7:0]	H'00	R/W	第 3 アドレスデータビット ADRMD = 1 のときにアドレスとしてフラッシュメモリに 3 番目に出力されるデータを指定します。
15~8	ADR2[7:0]	H'00	R/W	第 2 アドレスデータビット ADRMD = 1 のときにアドレスとしてフラッシュメモリに 2 番目に出力されるデータを指定します。
7~0	ADR1[7:0]	H'00	R/W	第 1 アドレスデータビット ADRMD = 1 のときにアドレスとしてフラッシュメモリに最初に出力されるデータを指定します。

• ADRMD = 0 のとき

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	ADR[25:16]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25 ~ 0	ADR[25:0]	H'0000000	R/W	セクタアドレス指定ビット ADRMD = 0 のとき、アクセスするセクタ番号を指定します。セクタ番号は、アドレスに変換されてフラッシュメモリに出力されます。FLCMDRCR の ADRCNT2 ビットが 1 のときは、ADR[25:0]、ADRCNT2 ビットが 0 のときは ADR[17:0] が有効になります。詳細は図 24.15 を参照してください。 <ul style="list-style-type: none"> • ラージブロック品 (2048 + 64 バイト) ADR[25:2] でページアドレス、ADR[1:0] でセクタ単位のカラムアドレスを指定できます。 ADR[1:0] = 00 : 0 バイト目 (0 セクタ) ADR[1:0] = 01 : 512 + 16 バイト目 (1 セクタ) ADR[1:0] = 10 : 1024 + 32 バイト目 (2 セクタ) ADR[1:0] = 11 : 1536 + 48 バイト目 (3 セクタ) • スモールブロック品 (512 + 16 バイト) ページアドレスのみの指定となります。

24.3.5 アドレスレジスタ 2 (FLADR2)

FLADR2 は、読み出し / 書き込み可能な 32 ビットのレジスタで、FLCMDRCR の ADRCNT2 ビットが 1 のとき有効になります。コマンドアクセスモードでアドレスとして出力する値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	ADR5[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	ADR5[7:0]	H'00	R/W	第 5 アドレスデータビット ADRMD = 1 のときにアドレスとしてフラッシュメモリに 5 番目に出力されるデータを指定します。

24.3.6 データカウンタレジスタ (FLDTCNTR)

FLDTCNTR は、読み出し / 書き込み可能な 32 ビットのレジスタです。コマンドアクセスモード時に、リードライトするバイト数を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFLW[7:0]								DTFLW[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	DTCNT[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ECFLW[7:0]	H'00	R	FLECFIFO アクセス数ビット FLECFIFO のリードライト可能なロングワード数を示します。 CPU による FLECFIFO リードライト時に利用できます。 FLECFIFO リード時は、FLECFIFO 内の読み出し可能なデータのロングワード数を示します。 FLECFIFO ライト時は、FLECFIFO 内の書き込み可能な空きロングワード数を示します。
23~16	DTFLW[7:0]	H'00	R	FLDTFIFO アクセス数ビット FLDTFIFO のリードライト可能なロングワード数を示します。 CPU による FLDTFIFO リードライト時に利用できます。 FLDTFIFO リード時は、FLDTFIFO 内の読み出し可能なデータのロングワード数を示します。 FLDTFIFO ライト時は、FLDTFIFO 内の書き込み可能な空きロングワード数を示します。
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	DTCNT[11:0]	H'000	R/W	データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定します (2048 + 64 バイトまで指定可能です)。

24.3.7 データレジスタ (FLDATAR)

FLDATAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

コマンドアクセスモードで FLCMDCR の CDSRC ビットに 0 を設定した場合に使用される入出力データ格納用レジスタです。5 バイト以上の連続データのリードライト時には使用できません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DT4[7:0]								DT3[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DT2[7:0]								DT1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	DT4[7:0]	H'00	R/W	第 4 データビット NAF7~0 から 4 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。
23~16	DT3[7:0]	H'00	R/W	第 3 データビット NAF7~0 から 3 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。
15~8	DT2[7:0]	H'00	R/W	第 2 データビット NAF7~0 から 2 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。
7~0	DT1[7:0]	H'00	R/W	第 1 データビット NAF7~0 から 1 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。

24.3.8 割り込み DMA 制御レジスタ (FLINTDMACR)

FLINTDMACR は、読み出し/書き込み可能な 32 ビットのレジスタで、DMA 転送要求および割り込みの許可/禁止を設定します。FLCTL から DMAC に対する転送要求は、各アクセスモードの動作開始後発生します。

また、ビット 9~5 は、フラッシュメモリアクセス時の各種エラーおよび FIFO からの転送要求の有無を表示するフラグビットで、0 書き込みのみ可能なビットです。フラグをクリアする場合、クリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	4ECE INTE	ECER INTE	-	-	FIFOTRG [1:0]	AC1 CLR	AC0 CLR	DREQ1 EN	DREQ0 EN	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	EC ERB	ST ERB	BTO ERB	TRR EQF1	TRR EQF0	STER INTE	RBBER INTE	TE INTE	TR INTE1	TR INTE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	4ECEINTE	0	R/W	4 シンボル ECC パターン生成終了割り込み許可ビット 4 シンボル ECC パターン生成終了による CPU に対する割り込みの許可/禁止を選択します。 0: 4 シンボル ECC パターン生成終了による CPU に対する割り込みを禁止します 1: 4 シンボル ECC パターン生成終了による CPU に対する割り込みを許可します
24	ECERINTE	0	R/W	ECC エラー割り込み許可ビット ECC エラーによる CPU に対する割り込みの許可/禁止を選択します。 0: ECC エラー発生による CPU に対する割り込みを禁止します 1: ECC エラー発生による CPU に対する割り込みを許可します
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
21、20	FIFOTRG[1:0]	00	R/W	<p>FIFOトリガ設定ビット</p> <p>FLDTFIFO、FLECFIFOの転送要求発生条件(バイト数)を設定します。</p> <ul style="list-style-type: none"> フラッシュメモリ読み出し時 <p>FLDTFIFO (FLECFIFO) の格納バイト数が以下に示す値以上になったとき CPU に割り込み、または DMA 転送要求を発生。</p> <p>00 : 4 (4)</p> <p>01 : 16 (16)</p> <p>10 : 128 (4)</p> <p>11 : 128 (16)</p> <ul style="list-style-type: none"> フラッシュメモリ書き込み時 <p>FLDTFIFO (FLECFIFO) の空きバイト数が以下に示す値以上になったとき CPU に割り込み、または DMA 転送要求を発生。</p> <p>00 : 4 (4)</p> <p>01 : 16 (16)</p> <p>10 : 128 (4)</p> <p>11 : 128 (16)</p> <p>【注】DMA 転送を行う場合、オペランド転送データ数 (OPSEL) と一致するように設定してください。</p>
19	AC1CLR	0	R/W	<p>FLECFIFO クリアビット</p> <p>FLECFIFO をクリアします。</p> <p>0 : FLECFIFO の値を保持します。フラッシュメモリアクセス時は 0 に設定してください。</p> <p>1 : FLECFIFO をクリアします。クリア後は 0 に設定してください。</p>
18	AC0CLR	0	R/W	<p>FLDTFIFO クリアビット</p> <p>データ領域 FLDTFIFO をクリアします。</p> <p>0 : FLDTFIFO の値を保持します。フラッシュメモリアクセス時は 0 に設定してください。</p> <p>1 : FLDTFIFO の値をクリアします。クリア後は 0 に設定してください。</p>
17	DREQ1EN	0	R/W	<p>FLECFIFODMA リクエストイネーブルビット</p> <p>FLECFIFO 領域からの DMA 転送要求発行許可 / 禁止を選択します。</p> <p>0 : FLECFIFO 領域からの DMA 転送要求発行を禁止します</p> <p>1 : FLECFIFO 領域からの DMA 転送要求発行を許可します</p>
16	DREQ0EN	0	R/W	<p>FLDTFIFODMA リクエストイネーブルビット</p> <p>FLDTFIFO 領域からの DMA 転送要求発行許可 / 禁止を選択します。</p> <p>0 : FLDTFIFO 領域からの DMA 転送要求発行を禁止します</p> <p>1 : FLDTFIFO 領域からの DMA 転送要求発行を許可します</p>
15~10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
9	ECERB	0	R/(W)*	<p>ECC エラービット</p> <p>ECC のエラー検出結果を示します。セクタアクセスモードでフラッシュメモリを読み出した場合、その中の ECC エラーが発生していれば、本ビットに 1 がセットされます。</p> <p>本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : ECC エラーなし (取り込んだ ECC がすべて 0 であったことを示します)</p> <p>1 : ECC エラーが発生したことを示します。</p>
8	STERB	0	R/(W)*	<p>ステータスエラービット</p> <p>ステータスリードの結果を示します。ステータスリードした場合、FLBSYCNT の STAT[7:0] ビットの特定期間ビットが 1 であれば、本ビットに 1 がセットされます。</p> <p>本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : ステータスエラーなし (FLBSYCNT の STAT[7:0] ビットの特定期間ビットが 0 であったことを示します)</p> <p>1 : ステータスエラーが発生したことを示します。</p> <p>特定期間ビットに関しては「24.4.7 ステータスリード」を参照してください。</p>
7	BTOERB	0	R/(W)*	<p>R/\bar{B} タイムアウトエラービット</p> <p>R/\bar{B} タイムアウトエラーが発生した (FLBSYCNT の RBTIMCNT[19:0] ビットがカウントダウン後 0 になった) とき、本ビットに 1 がセットされます。</p> <p>本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : R/\bar{B} タイムアウトエラーなし</p> <p>1 : R/\bar{B} タイムアウトエラーが発生したことを示します。</p>
6	TRREQF1	0	R/(W)*	<p>FLECFIFO 転送要求フラグビット</p> <p>FLECFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : FLECFIFO からの転送要求は発生していません</p> <p>1 : FLECFIFO からの転送要求が発生したことを示します</p>
5	TRREQF0	0	R/(W)*	<p>FLDTFIFO 転送要求フラグビット</p> <p>FLDTFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : FLDTFIFO からの転送要求は発生していません</p> <p>1 : FLDTFIFO からの転送要求が発生したことを示します</p>

ビット	ビット名	初期値	R/W	説明
4	STERINTE	0	R/W	ステータスエラー発生時の割り込み許可ビット ステータスエラーによる CPU に対する割り込みの許可 / 禁止を選択します。 0 : ステータスエラーによる CPU に対する割り込み禁止 1 : ステータスエラーによる CPU に対する割り込み許可
3	RBERINTE	0	R/W	R/ \bar{B} タイムアウトエラー発生時の割り込み許可ビット R/ \bar{B} タイムアウトエラーによる CPU に対する割り込みの許可 / 禁止を選択します。 0 : R/ \bar{B} タイムアウトエラーによる CPU に対する割り込み禁止 1 : R/ \bar{B} タイムアウトエラーによる CPU に対する割り込み許可
2	TEINTE	0	R/W	転送終了割り込み許可ビット 転送終了 (FLTRCR の TREND ビット) による CPU に対する割り込みの許可 / 禁止を選択します。 0 : 転送終了による CPU に対する割り込み禁止 1 : 転送終了による CPU に対する割り込み許可
1	TRINTE1	0	R/W	CPU への FLECFIFO 転送要求許可ビット FLECFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。 0 : FLECFIFO からの転送要求による CPU に対する割り込み禁止 1 : FLECFIFO からの転送要求による CPU に対する割り込み許可 DMA 転送をイネーブルにしている時は、本ビットを 0 に設定してください。
0	TRINTE0	0	R/W	CPU への FLDTFIFO 転送要求許可ビット FLDTFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。 0 : FLDTFIFO からの転送要求による CPU に対する割り込み禁止 1 : FLDTFIFO からの転送要求による CPU に対する割り込み許可 DMA 転送をイネーブルにしている時は、本ビットを 0 に設定してください。

【注】 * 0 書き込みのみ有効です。

24.3.9 レディビジータイムアウト設定レジスタ (FLBSYTMR)

FLBSYTMR は、読み出し / 書き込み可能な 32 ビットのレジスタで、FRB 端子がビジー状態のときのタイムアウト時間を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	RBTMOUT[19:16]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTMOUT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	RBTMOUT[19:0]	H'00000	R/W	レディビジータイムアウトビット ビジー状態のタイムアウトまでの時間を (P のクロック数で) 設定します。0 に設定した場合、タイムアウトは発生しません。

24.3.10 レディビジータイムアウトカウンタ (FLBSYCNT)

FLBSYCNT は、読み出し専用の 32 ビットのレジスタです。

ステータスリード動作で読み出したフラッシュメモリのステータスを STAT[7:0]に格納します。

FRB 端子がビジー状態になると、FLBSYTMR の RBTMOUT[19:0]ビットに設定したタイムアウト時間を RBTIMCNT[19:0]ビットにコピーしカウントダウンを開始します。RBTIMCNT[19:0]ビットの値が 0 になると FLINTDMACR の BTOERB ビットに 1 をセットしタイムアウトエラーが発生したことを通知します。このとき FLINTDMACR の RBERINTE ビットで割り込みを許可していれば、FLSTE 割り込みを発行することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STAT[7:0]								-	-	-	-	RBTIMCNT[19:16]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTIMCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	STAT[7:0]	H'00	R	フラッシュメモリからステータスリードした値を表示します。
23~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
19~0	RBTIMCNT[19:0]	H'00000	R	レディビジータイムアウトカウンタビット FRB 端子がビジー状態になったとき、FLBSYTMR の RBTMOUT[19:0]ビットの設定値が本ビットにコピーされます。 その後 FRB 端子がビジー状態の間、本ビットの値はカウントダウンされ、0 になるとタイムアウトエラーが発生します。

24.3.11 データ FIFO レジスタ (FLDTFIFO)

FLDTFIFO は、データ FIFO 領域に対するリードライト用レジスタです。

DMA 転送時は、本レジスタをデータの転送先 (転送元) に指定してください。

FLCMDRCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。また、リードライト方向を変更する場合、FLINTDMACR の AC0CLR ビットで FLDTFIFO をクリアしてから使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTFO[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTFO[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DTFO[31:0]	H'xxxxxxx	R/W	データ FIFO 領域へのリードライト用レジスタ 書き込み時: データ FIFO 領域にデータが書き込まれます。 読み出し時: データ FIFO 領域のデータが読み出されます。

24.3.12 管理コード FIFO レジスタ (FLECFIFO)

FLECFIFO は、管理コード FIFO 領域に対するリードライト用レジスタです。

DMA 転送時は、本レジスタを管理コードの転送先 (転送元) に指定してください。

FLCMDRCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。また、リードライト方向を変更する場合、FLINTDMACR の AC1CLR ビットで FLECFIFO をクリアしてから使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFO[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECFO[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	ECFO[31:0]	H'xxxxxxx	R/W	管理コード FIFO 領域へのリードライト用レジスタ 書き込み時: 管理コード FIFO 領域にデータが書き込まれます。 読み出し時: 管理コード FIFO 領域のデータが読み出されます。

24.3.13 転送制御レジスタ (FLTRCR)

TRSTRT ビットを 1 にすることによりフラッシュメモリへのアクセスを開始させます。TREND ビットによりアクセスの終了を確認できます。転送中 (TRSTRT ビットを 1 にセットしてから TREND ビットに 1 がセットされるまでの間) には強制終了 (TRSTRT ビットを 0 にセット) は行わないでください。また、フラッシュメモリ読み出し時は、フラッシュメモリからの読み出しが終了した時点で TREND がセットされます。FIFO に読み出しデータが残っている場合は、FIFO の読み出しが終了するまで強制終了は行わないでください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TR END	TR STRT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TREND	0	R/W	処理終了フラグビット 指定したアクセスモードによる処理が終了したことを示します。 書き込むときは、0 を書き込んでください。
0	TRSTRT	0	R/W	転送開始ビット TREND が 0 のときに TRSTR を 0 から 1 にセットすることで、アクセスモード指定ビット ACM[1:0] で指定したアクセスモードでの処理を開始します。 0 : 転送停止 1 : 転送開始

24.3.14 4 シンボル ECC 処理結果レジスタ n (FL4ECCRESn) (n = 1 ~ 4)

FL4ECCRESn は、32 ビットの読み出し専用レジスタで、4 シンボル ECC 回路により生成された、n 箇所目の誤り訂正パターンならびに n 箇所目の誤り箇所のアドレスが格納されます。書き込みはできません。本レジスタは FLCMNCR レジスタのビット 23 (4ECCEN)、ビット 22 (4ECCCORRECT) に 1 をセットし、かつ 4 シンボル ECC 制御レジスタ (FL4ECCCR) により、訂正パターンを生成した際に有効となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	LOCn[9:0]									
初期値:	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PATn[9:0]									
初期値:	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25 ~ 16	LOCn[9:0]	すべて 1	R	n 箇所誤りアドレス表示ビット 4 箇所誤りの内、n 箇所目の誤りアドレスを表示します。 1 セクタを 528 バイトとして扱うため、有効アドレスは H'000 ~ H'20F までになります。H'000 ~ H'20F 以外のアドレスは無効 (誤りパターンが生成できなかった、もしくは誤りがなかったことを示す) となります。 初期値は H'3FF になります。 4 シンボル ECC 制御レジスタのビットの内、4ECCEND ビットに 1 がセットされたあとに本ビットにセットされた値が有効になります。本ビットを読み出す前に、次セクタのデータ読み出しを開始するとデータが破壊されますので、注意してください。
15 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9 ~ 0	PATn[9:0]	すべて 1	R	n 箇所誤り訂正パターン表示ビット 4 箇所誤りの内、n 箇所目の誤りを訂正するためのパターンを表示します。 PAT[9:8] ビットが 1 となるパターンや、PAT[9:0] ビットがすべて 0 となるパターンは無効 (誤りパターンが生成できなかった、もしくは誤りがなかったことを示す) となります。 初期値は H'3FF になります。 4 シンボル ECC 制御レジスタのビットの内、4ECCEND ビットに 1 がセットされたあとに本ビットにセットされた値が有効になります。本ビットを読み出す前に、次セクタのデータ読み出しを開始するとデータが破壊されますので、注意してください。

【注】 n = 1 ~ 4

24.3.15 4 シンボル ECC 制御レジスタ (FL4ECCCR)

FL4ECCCR は、32 ビットの読み出し可能なレジスタで、4 シンボル ECC 回路の処理ステータスを表示します。本レジスタは、0 書き込みのみ可能なフラグビットです。フラグをクリアする場合、クリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	4ECC FA	4ECC END	4ECC EXST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	4ECCFA	0	R/(W)*	4 シンボル ECC 訂正不能ビット 本ビットは 0 のみ書き込み可能です。 5 箇所以上の誤りを検出した際に、訂正不能として本ビットに 1 がセットされます。 0: 訂正可能であったことを示します。 1: 訂正が不可能であったことを示します。
1	4ECCEND	0	R/(W)*	4 シンボル ECC エラー数カウント、訂正パターン生成終了ビット 本ビットは 0 のみ書き込み可能です。 本ビットに 1 がセットされるとエラー個数のカウント、もしくは訂正パターンの生成まで終了したことを示します。4ECCFA ビットに 1 がセットされ、かつ本ビットに 1 がセットされた場合は、5 箇所以上の誤りが検出されたため、訂正パターンの生成まで実行されずに処理が終了したことを示します。
0	4ECCXST	0	R/(W)*	4ECC 訂正実行ビット ECC エラーを検出した場合、本ビットに 1 がセットされ、エラー個数のカウント、もしくは訂正パターンの生成を実行します。 誤り訂正パターンの生成は 1 セクタに対して実行されます。 0: エラーカウント、訂正パターン生成停止 1: エラーカウント、もしくは訂正パターン生成開始 FLCMNCR の 4ECCCORRECT ビットが 1 の場合は、本ビットが 1 にセットされている間、読み出しが停止し、本ビットをクリアすると読み出しが再開します。4ECCEND ビットに 1 がセットされるまでは本ビットに 0 を書き込まないでください。

【注】 * 0 書き込みのみ有効です。

24.3.16 4 シンボル ECC エラーカウントレジスタ (FL4ECCCNT)

FL4ECCCNT は、32 ビットの読み出し可能なレジスタで、4 シンボル ECC 回路で検出されたエラー数を表示します。本レジスタは、0 書き込みのみ可能なビットです。クリアする場合、すべてのビットに 0 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	ERRCNT[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	ERRMAX[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~16	ERRCNT [10:0]	H'000	R/W	誤り数カウントビット 本ビットは 0 のみ書き込み可能です。 連続で読み込んだセクタ (最大 1 ブロック分、64 ページ×4 セクタ分) で検出された誤り数の総数を表示します。 1 セクタに 5 箇所以上の誤りがある場合は、誤り数 5 としてカウントされます。
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	ERRMAX [2:0]	000	R/W	最大エラー個数表示ビット 本ビットは 0 のみ書き込み可です。 連続で読み出したセクタのうち、1 セクタで検出されたエラー数の最大値を示します。 000: 最大の誤り数が 0 個であったことを示します。 001: 最大の誤り数が 1 個であったことを示します。 010: 最大の誤り数が 2 個であったことを示します。 011: 最大の誤り数が 3 個であったことを示します。 100: 最大の誤り数が 4 個であったことを示します。 101: 最大の誤り数が 5 個以上であったことを示します。 110: セットされません。 111: セットされません。

24.4 動作説明

24.4.1 アクセス手順

FLCTL のアクセスは、一連のアクセス手順を分割して、独立したステージに分かれています。

たとえば、AND 型フラッシュメモリの書き込み時は、以下の 5 つのステージからなります。

- 第1コマンド発行ステージ (ライトセットアップコマンド)
- アドレス発行ステージ (ライトアドレス)
- データステージ (出力)
- 第2コマンド発行ステージ (ライトスタートコマンド)
- ステータスリード

一連のアクセスはこの 5 つのステージを順に実行することにより実現され、最後のステージ (この場合ステータスリード) が終了した時点でフラッシュメモリへのアクセスが終了します。

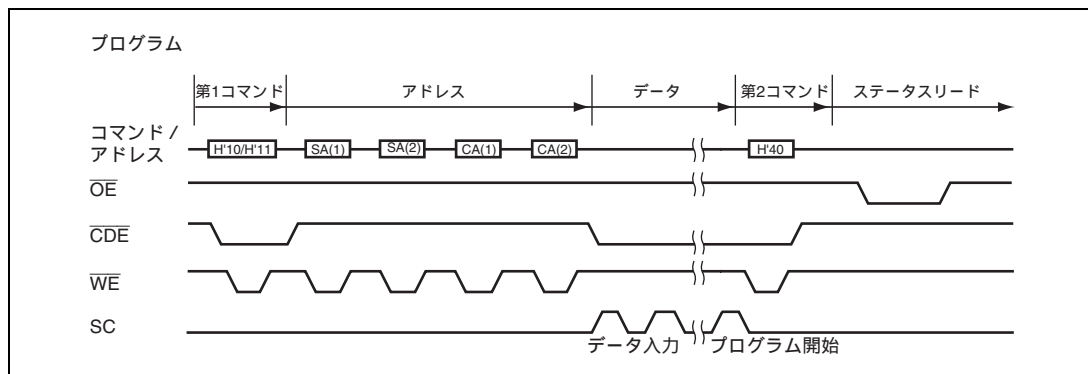


図 24.2 AND 型フラッシュメモリのライト動作をステージに区分した例

詳細および AND 型フラッシュメモリのリード、NAND 型フラッシュメモリのリード/ライト動作については、「24.4.4 コマンドアクセスモード」を参照してください。

24.4.2 動作モード

動作モードには、

- コマンドアクセスモード
- セクタアクセスモード

の 2 モードがあります。ECC の生成 / エラーチェックは、セクタアクセスモードで実行されます。

24.4.3 レジスタ設定手順

図 24.3 にフラッシュメモリとのアクセスに必要なレジスタ設定フローを示します。

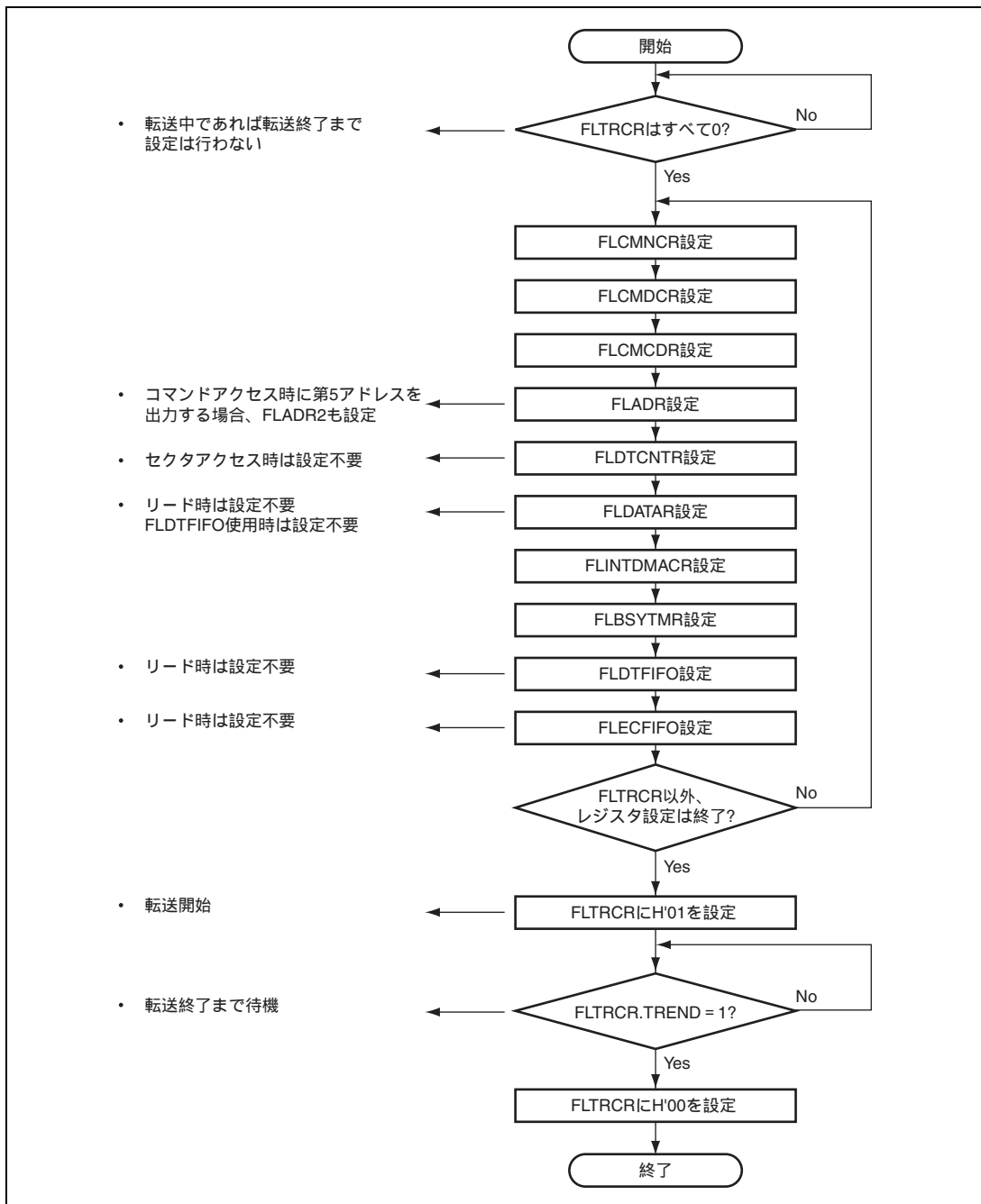


図 24.3 レジスタ設定フロー

24.4.4 コマンドアクセスモード

コマンドアクセスモードは、レジスタにフラッシュメモリに対して発行するコマンド、アドレス、データ、リード/ライト方向および回数等を設定することにより、フラッシュメモリにアクセスを行うモードです。入出力データは、FLDTFIFO を用いDMA 転送が可能です。

(1) AND 型フラッシュメモリのアクセス

図 24.4、図 24.5 に AND 型フラッシュメモリに対し読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、アドレスデータ長は 2 バイトで SA1、SA2 を指定。(SA1、2 のみ指定して、CA1、2 を指定していません。) リードバイト数としてデータカウンタに 4 バイトを指定。第 2 コマンドとして H'FF を指定した場合の動作です。

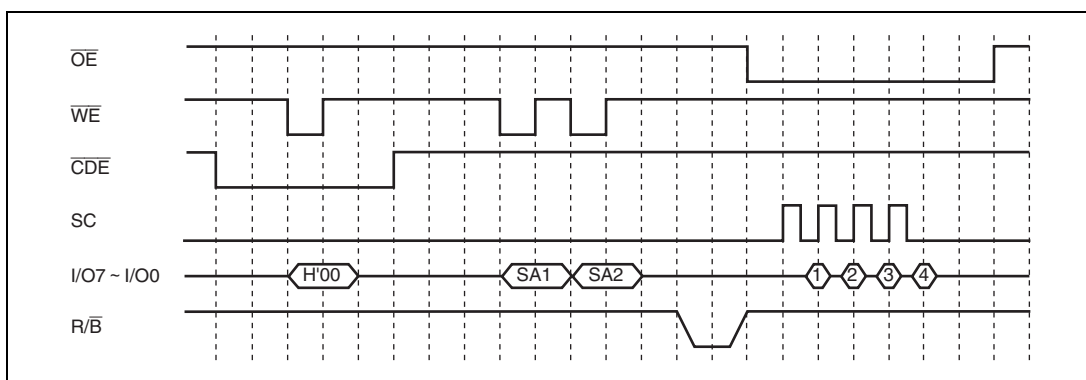


図 24.4 AND 型フラッシュメモリの読み出し動作タイミング (1)

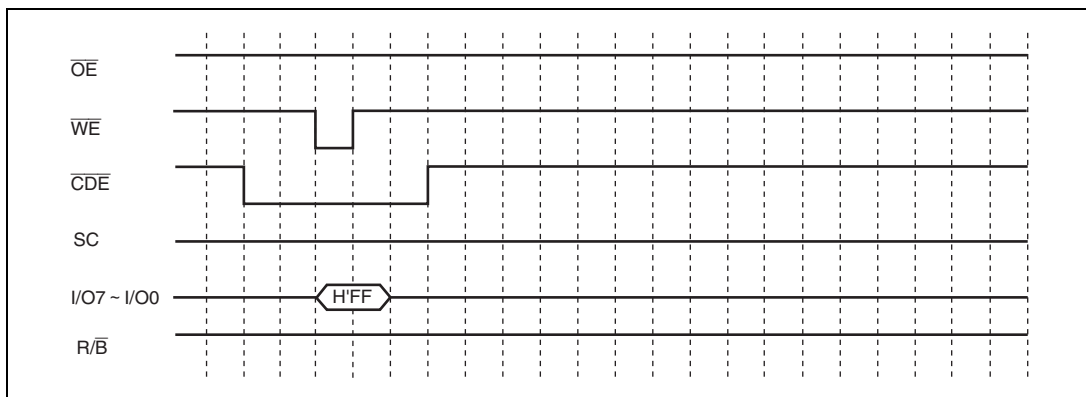


図 24.5 AND 型フラッシュメモリの読み出し動作タイミング (2)

次に、図 24.6、図 24.7 に AND 型フラッシュメモリに対して書き込み動作を行った場合の波形を示します。

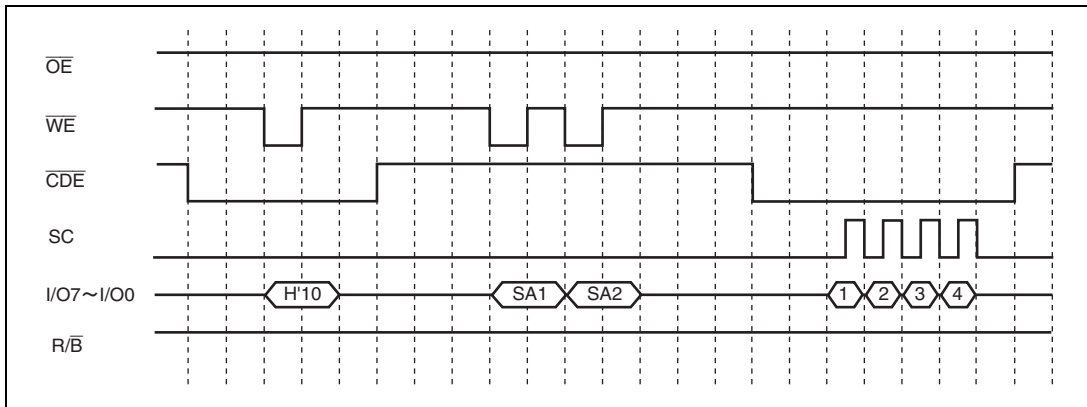


図 24.6 AND 型フラッシュメモリの書き込み動作タイミング (1)

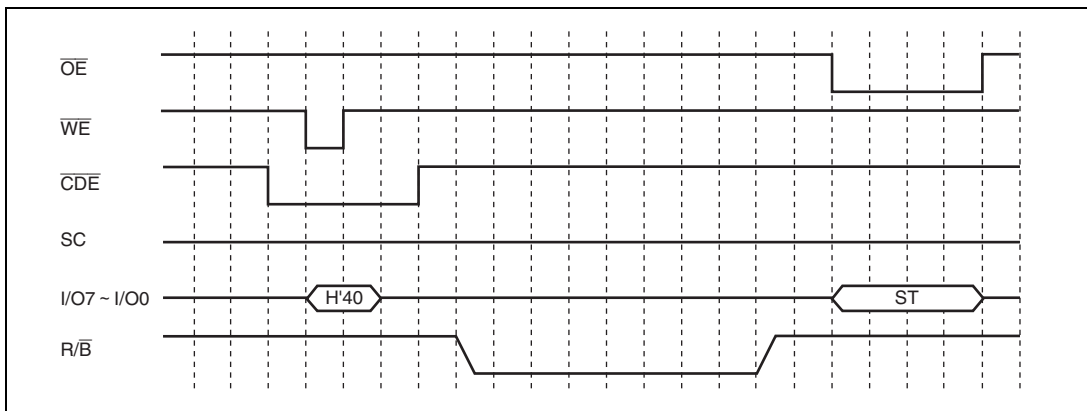


図 24.7 AND 型フラッシュメモリの書き込み動作タイミング (2)

(2) NAND 型フラッシュメモリのアクセス

図 24.8 に NAND 型フラッシュメモリに対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、アドレス長は 3 バイトを指定。リードバイト数としてデータカウンタに 8 バイトを指定した場合の動作です。

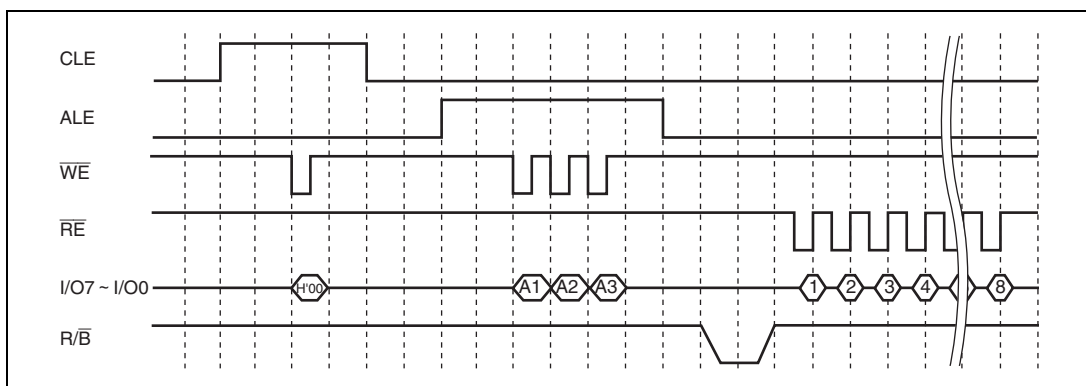


図 24.8 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 24.9、図 24.10 に NAND 型フラッシュメモリに対して書き込み動作を行った場合の波形を示します。

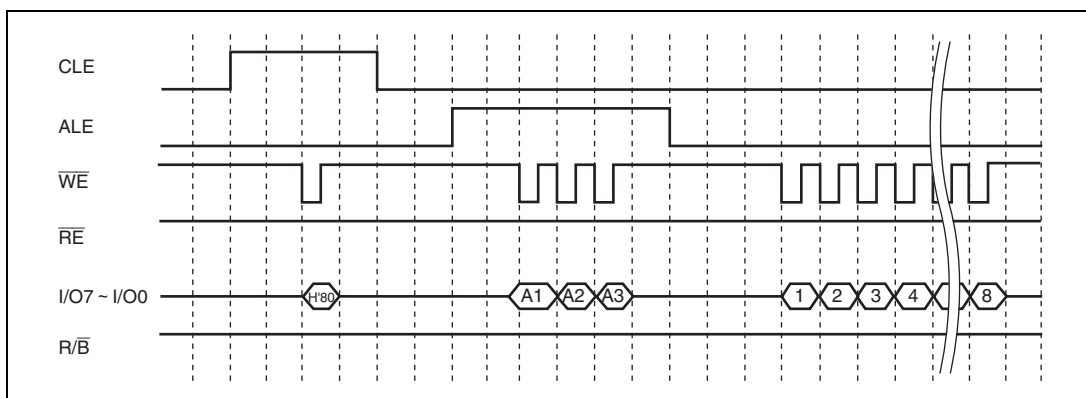


図 24.9 NAND 型フラッシュメモリの書き込み動作タイミング (1)

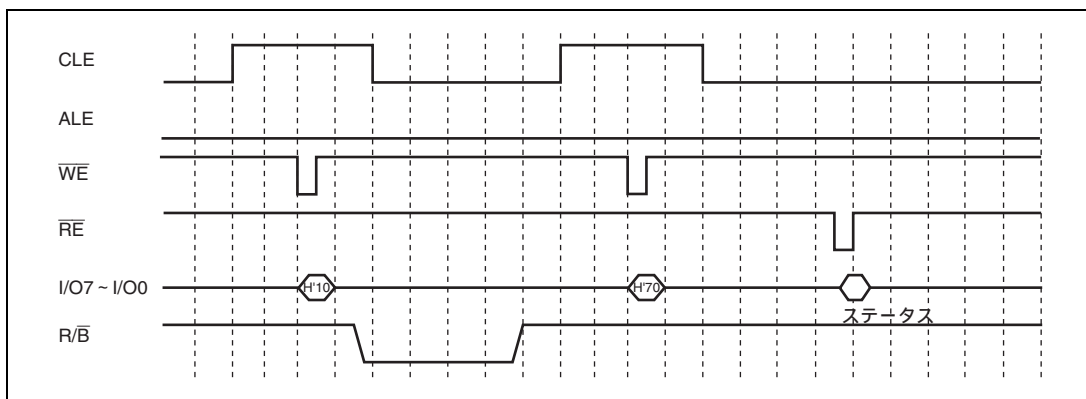


図 24.10 NAND 型フラッシュメモリの書き込み動作タイミング (2)

(3) NAND 型フラッシュメモリ (2048 + 64 バイト) のアクセス

図 24.11 に NAND 型フラッシュメモリ (2048 + 64 バイト) に対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00、第 2 コマンドに H'30 を指定、アドレス長は 4 バイトを指定。リードバイト数としてデータカウンタに 4 バイトを指定した場合の動作です。

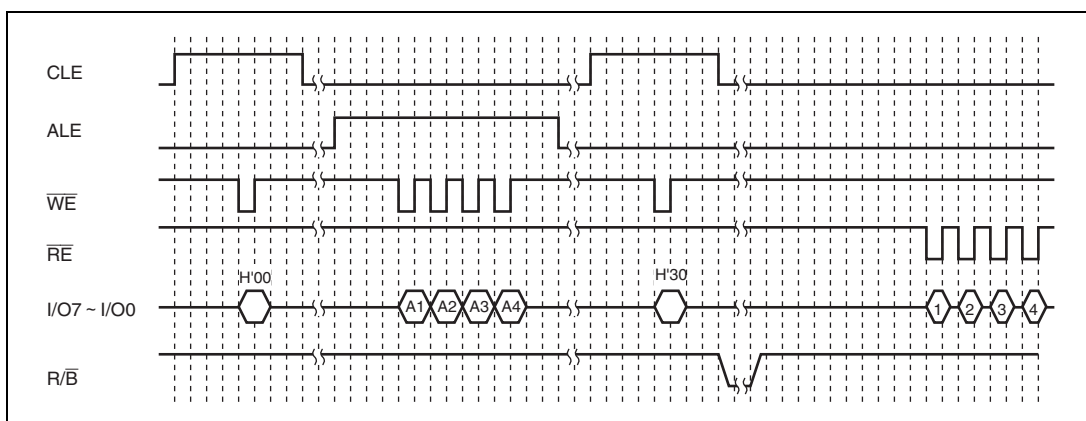


図 24.11 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 24.12、図 24.13 に NAND 型フラッシュメモリ (2048 + 64 バイト) に対して書き込み動作を行った場合の波形を示します。

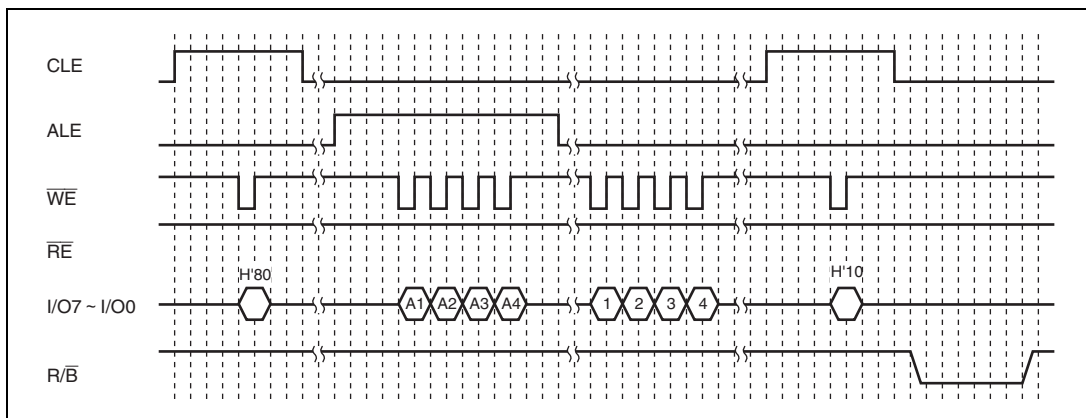


図 24.12 NAND 型フラッシュメモリの書き込み動作タイミング (1)

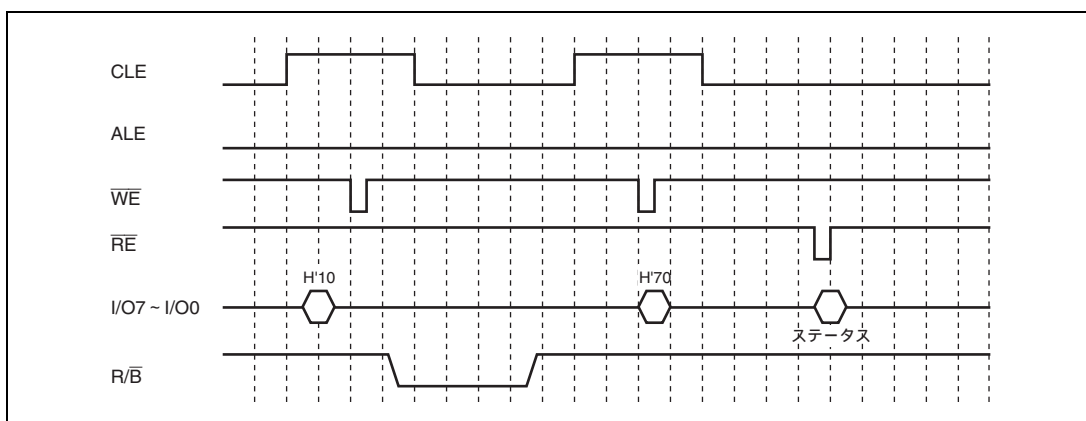


図 24.13 NAND 型フラッシュメモリの書き込み動作タイミング (2)

24.4.5 セクタアクセスモード

セクタアクセスモードでは、アクセスするセクタ番号を指定することによりセクタ単位のリードライトが可能です。また書き込み時には ECC 付加、読み出し時には ECC エラーチェック（検出）処理が実行されます。

512 バイトのデータは FLDTFIFO に、16 バイトの管理コードは FLECFIFO に格納されるので、FLINTDMACR の DREQ1EN、DREQ0EN を設定しそれぞれ DMA 転送が行えます。

フラッシュメモリ内のセクタ(データ+管理コード)とアドレス空間上のメモリとのDMA転送の関係を図24.14に示します。

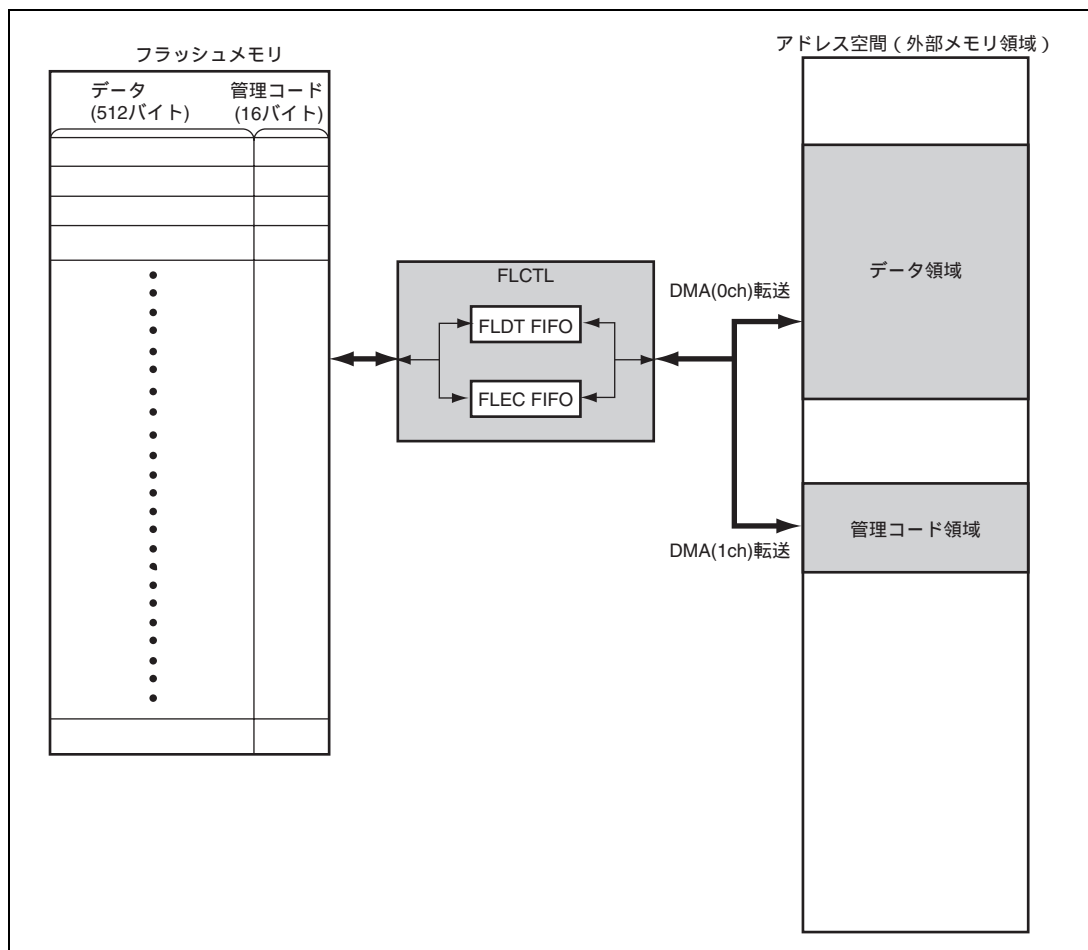


図 24.14 DMA 転送とセクタ（データ、管理コード）とメモリと DMA 転送の関連模式図

(1) セクタアドレス

AND/NAND型フラッシュメモリの物理セクタアドレスとフラッシュメモリのアドレスの関係を図24.15に示します。

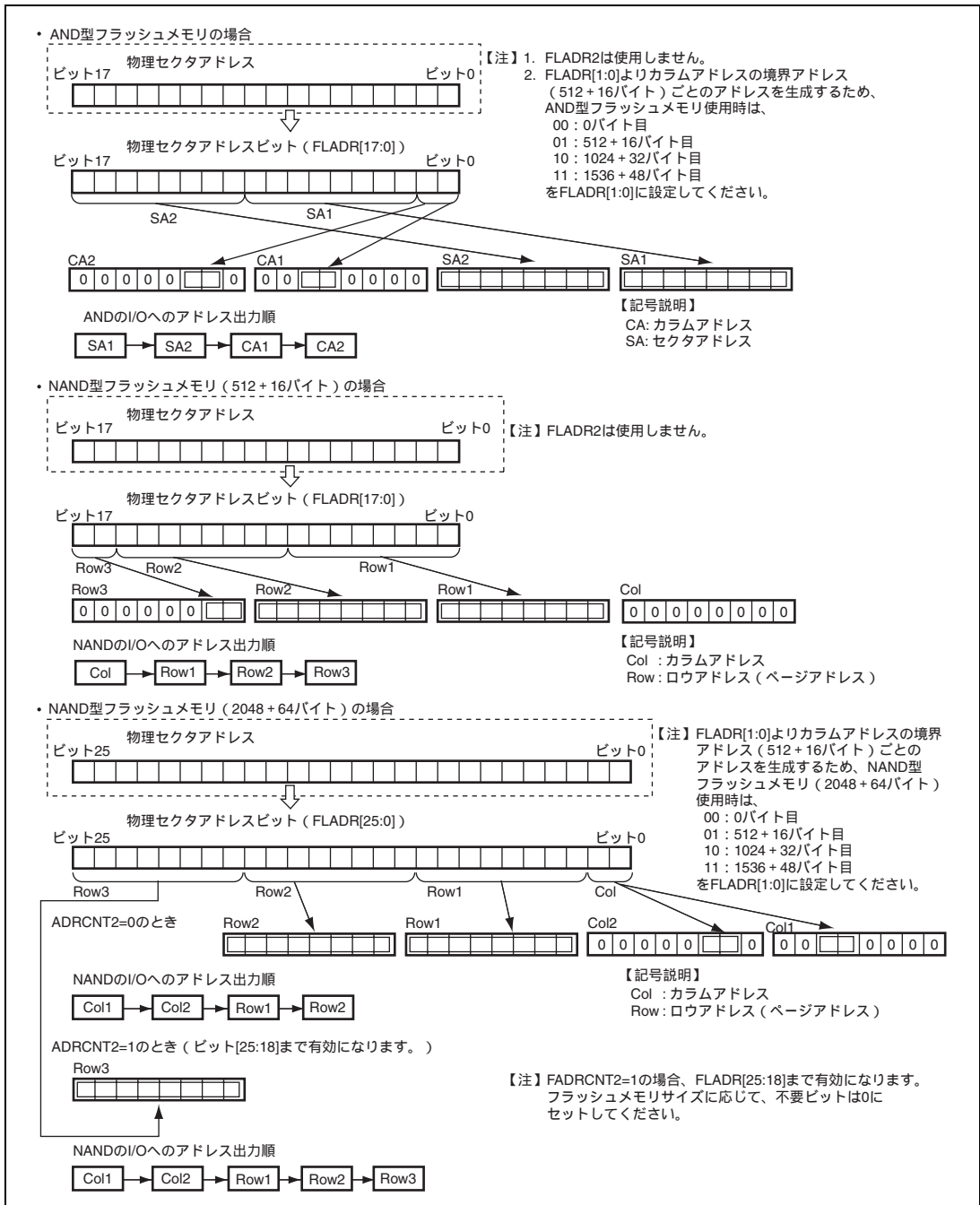


図 24.15 セクタ番号と AND/NAND 型フラッシュメモリのアドレスの展開例

(2) 連続セクタアクセス

NAND 型フラッシュメモリの先頭のセクタアドレスとセクタ転送回数を指定することにより、連続したセクタのリード/ライトが可能になります。途中で不良セクタが存在し、物理セクタが不連続である 0~40 までの論理セクタを転送する場合の物理セクタ指定レジスタとセクタ転送回数指定レジスタの設定例を図 24.16 にまとめます。

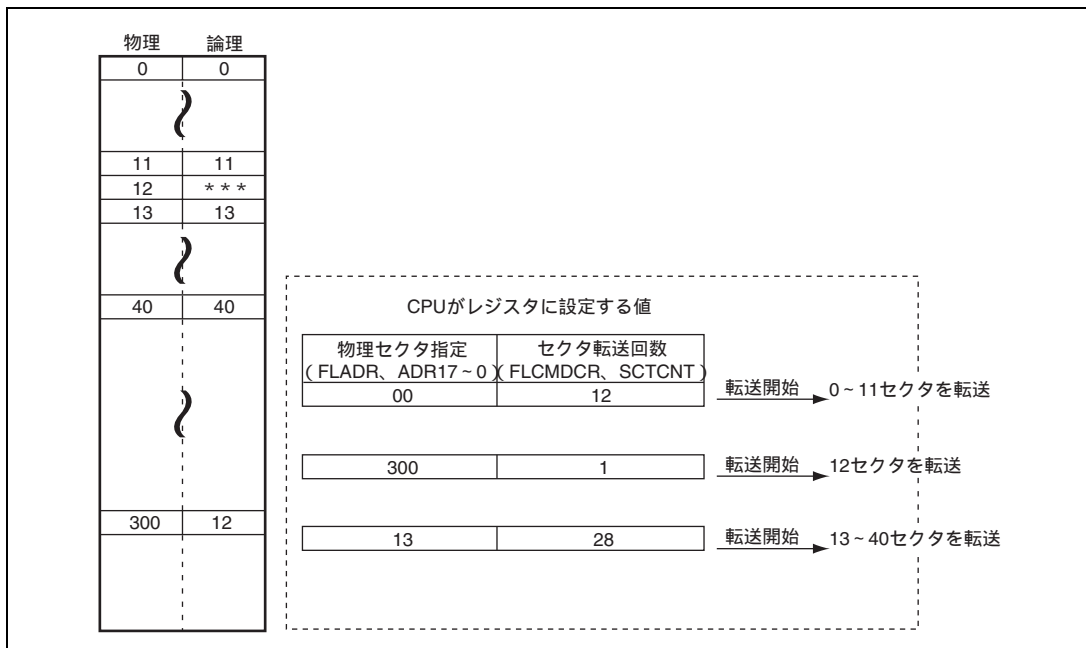


図 24.16 不良セクタがある場合のセクタアクセス例

24.4.6 ECC のエラー修正

本 FLCTL では、セクタアクセスモードの書き込み時には ECC コードの生成および付加を、読み出し時には ECC エラーチェックを行います。ECC は、従来の FLCTL が有する 3 シンボル ECC と 4 シンボル ECC の選択が可能です。3 シンボル ECC では、ECC コードの生成、エラー検出のみを行い、エラー訂正は行いません。エラー訂正は、ソフト処理で行う必要があります。4 シンボル ECC では、ECC コードの生成、エラー検出、および誤り訂正パターンをハードウェアで生成することが可能です。

(1) 4 シンボル ECC 回路概要

本 FLCTL に内蔵される 4 シンボル ECC は、1 シンボルあたり最大 10 ビット、4 シンボルでは最大 40 ビットまでの訂正が可能です。フラッシュメモリのデータ領域は 8 ビットを 1 シンボルとしてカウントしますので、最大 32 ビットまでの訂正となります。

誤り訂正パターン生成とは、誤り訂正を実施するのではなく、誤り訂正に必要な情報を生成することを意味します。詳細は「24.4.6 (3) 4 シンボル ECC 誤り訂正パターン生成」を参照してください。

4 シンボル ECC 回路は大きく分けて、3 つのステージから構成されます (図 24.17)。

1. ECCコード生成回路
2. エラー個数検出回路
3. エラー訂正パターン生成回路

ECC コードの生成およびエラー個数の検出に関しては、連続して実行することが可能です。

エラー訂正パターンの生成に関しては、1 セクタごとの実行になります。

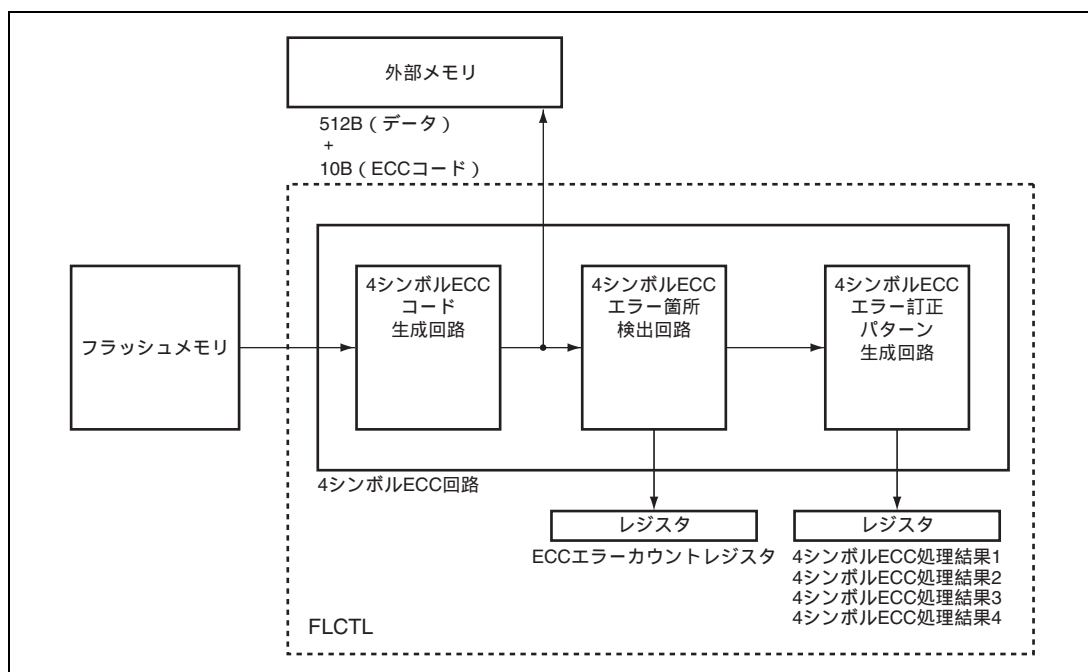


図 24.17 4 シンボル ECC 回路

(2) 4 シンボル ECC 動作

図 24.18 に 4 シンボル ECC 回路使用時の動作フローを示します。FLCMNCR の 4ECCEN ビットに 1 をセットすると、4 シンボル ECC 回路が有効になり、セクタ単位の ECC コードを生成および出力します。さらに、FLCMNCR の 4ECCCORRECT ビットに 1 を設定すると、訂正パターン生成に必要な情報を 4 シンボル ECC 回路に蓄えます。

連続セクタアクセスでフラッシュメモリからデータ読み出しを実施している場合、不良セクタの読み出しが終了した時点で、残りの読み出しセクタ数にかかわらず、動作が停止します。読み出し終了後、FL4ECCCR を設定することで、誤りパターン生成を開始します。5 箇所以上の誤り箇所が存在するときは、訂正不能です。誤りパターンによっては、誤り箇所が 4 箇所以内でも訂正できないパターンが存在します。その際、FL4ECCRES1 ~ 4 レジスタには無効データがセットされます。

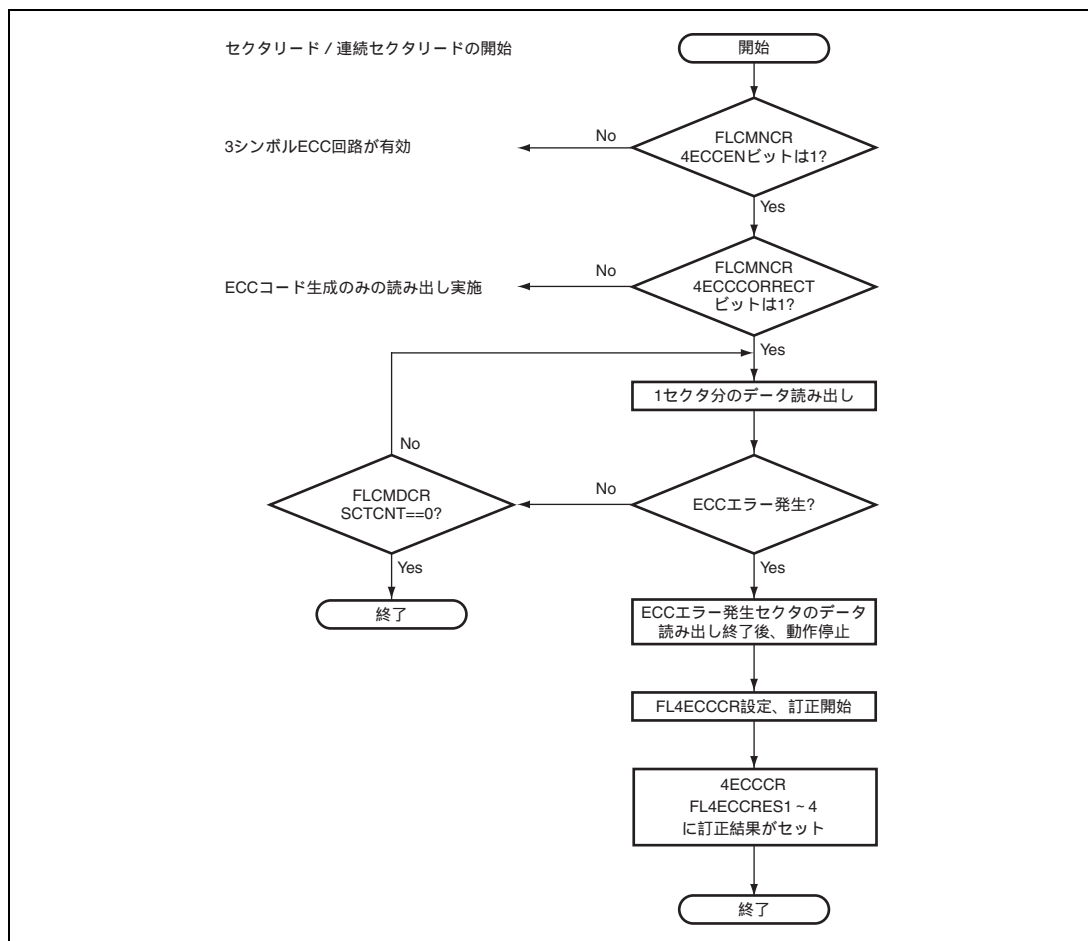


図 24.18 4 シンボル ECC 動作フロー図

(3) 4 シンボル ECC 誤り訂正パターン生成

本 FLCTL に内蔵される 4 シンボル ECC 回路はハードウェアによる誤り訂正パターンを生成することが可能です。訂正パターンを使用することで、正しい元の値にデータを復元することが可能です。ハードウェアは、誤り訂正パターンの生成までであり、データ復元の処理はソフトで実施してください。

誤り訂正パターンは以下の形式で出力されます。誤りビットに 1 がセットされますので、誤りデータと誤り訂正パターンの EOR をとった値が復元データとなります。

- 例1

元データ : B'00000000
誤りデータ : B'11111111
訂正パターン : B'0011111111 (上位2ビットは不要データ)
復元データ : B'00000000
(誤りパターンと訂正パターンのEOR)

- 例2

元データ : B'10101010
誤りデータ : B'01010101
訂正パターン : B'0011111111 (上位2ビットは不要データ)
復元データ : B'10101010
(誤りパターンと訂正パターンのEOR)

- 例3

元データ : B'11110000
誤りデータ : B'00000000
訂正パターン : B'0011110000 (上位2ビットは不要データ)
復元データ : B'11110000
(誤りパターンと訂正パターンのEOR)

24.4.7 ステータスリード

FLCTL は AND/NAND 型フラッシュメモリのステータスレジスタの値を読み出すことができます。ステータスレジスタの値は I/O7 ~ 0 から入力され FLBSYCNT の STAT[7:0] ビットに格納され、CPU からの読み出しが可能です。ステータスレジスタの値が FLBSYCNT の STAT[7:0] ビットに格納されたときに書き込みエラーやイレースエラーを検出した場合、FLINTDMACR の STERB ビットに 1 がセットされ、FLINTDMACR の STERINTE ビットが許可されていれば CPU に対し割り込みを発生させます。また、連続セクタアクセスの途中でステータスエラーが発生した場合、FLTRCR の TREND ビットに 1 がセットされ、処理が終了します。

(1) AND 型フラッシュメモリのステータスリード

AND 型フラッシュメモリのステータスリードは、アウトプットイネーブル信号 \overline{OE} をアサート ($\overline{OE}=0$) することで実現できます。FLCMDRCR の DOSR ビットを 1 にセットして、コマンドアクセスモード、またはセクタアクセスモードで書き込みを実行すれば、FLCTL は自動的に \overline{OE} をアサートし、ステータスリードを行います。AND 型フラッシュメモリステータスリード時、I/O7~0 から入力されるステータスレジスタ各ビットの意味を表 24.3 に示します。

表 24.3 AND 型フラッシュメモリのステータスリード

I/O	状態 (definition)	説明
I/O7	レディ / ビジー	0 : ビジー状態 1 : レディ状態
I/O6	リザーブ	-
I/O5	消去 (イレース) チェック	0 : Pass (消去) 1 : Fail (消去失敗)
I/O4	書き込み (プログラム) チェック	0 : Pass (書き込み) 1 : Fail (書き込み失敗)
I/O3~0	リザーブ	-

(2) NAND 型フラッシュメモリのステータスリード

NAND 型フラッシュメモリのステータスリードは、NAND 型フラッシュメモリに対し、コマンド H'70 を入力することで実現できます。FLCMDRCR の DOSR ビットを 1 にセットし、コマンドアクセスモードまたはセクタアクセスモードで書き込みを実行すれば、FLCTL は自動的に H'70 を NAND 型フラッシュメモリに入力し、ステータスリードを行います。NAND 型フラッシュメモリステータスリード時、I/O7~0 から入力されるステータスレジスタ各ビットの意味を表 24.4 に示します。

表 24.4 NAND 型フラッシュメモリのステータスリード

I/O	状態 (definition)	説明
I/O7	書き込み保護	0 : 書き込み不可 1 : 書き込み可
I/O6	レディ / ビジー	0 : ビジー状態 1 : レディ状態
I/O5~1	リザーブ	-
I/O0	書き込み / 消去	0 : Pass (成功) 1 : Fail (失敗)

24.5 割り込み処理

FLCTL には 7 種類の割り込み要因 (ステータスエラー、レディ / ビジータイムアウトエラー、ECC エラー、4 シンボル ECC パターン生成終了、転送終了、FIFO0 転送要求、FIFO1 転送要求) があります。すべての割り込み要因は独立した割り込みフラグを持っており、割り込みイネーブルビットにより許可されていれば、CPU に対し独立した割り込み要求が発生します。ステータスエラーとレディ / ビジータイムアウトエラー、ECC エラー、4 シンボル ECC パターン生成終了は、CPU に対して共通の FLSTE 割り込みを使用します。

表 24.5 FLCTL の割り込み要求

割り込み要因	割り込みフラグ	許可ビット	意味	優先順位
FLSTE 割り込み	STERB	STERINTE	ステータスエラー	高   低
	BTOERB	RBERINTE	レディ / ビジータイムアウトエラー	
	ECERB	ECERINTE	ECC エラー	
	4ECCEND	4ECEINTE	4 シンボル ECC パターン生成終了	
FLTEND 割り込み	TREND	TEINTE	転送終了	
FLTRQ0 割り込み	TRREQF0	TRINTE0	FIFO0 転送要求	
FLTRQ1 割り込み	TRREQF1	TRINTE1	FIFO1 転送要求	

24.6 DMA 転送の設定

FLCTL はデータ領域 FLDTFIFO と管理コード領域 FLECFIFO から個別に DMA 転送要求を出すことができます。各アクセスモードでの DMA 転送の可 / 不可を表 24.6 に示します。

表 24.6 DMA 転送の設定

	セクタアクセスモード	コマンドアクセスモード
FLDTFIFO	可能	可能
FLECFIFO	可能	不可

DMAC の設定については「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

24.7 使用上の注意事項

24.7.1 4 シンボル ECC 回路使用時の管理コード領域書き込み

4 シンボル ECC 回路使用時の管理コード領域書き込みは、以下の手順に従って行ってください。この手順に従わないとフラッシュメモリの管理コード領域に対して正しく書き込みできません。

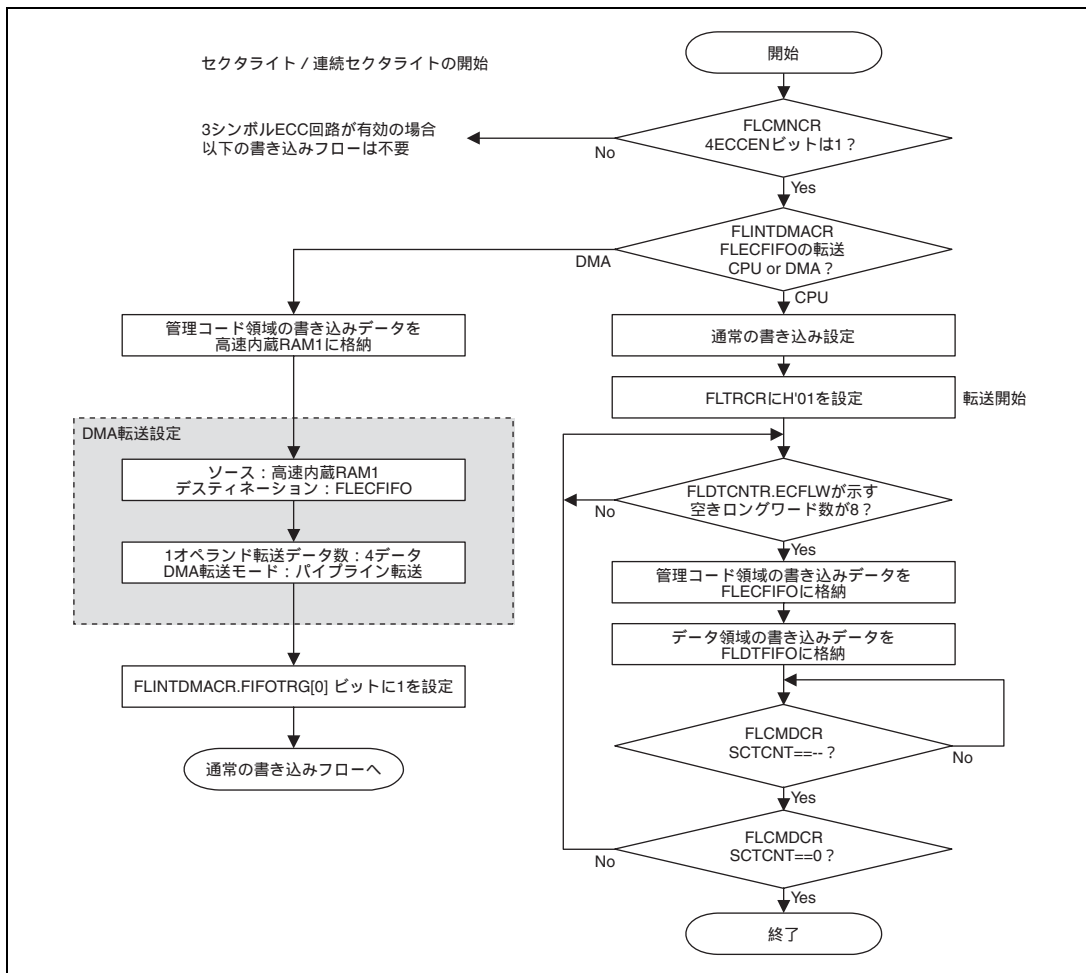


図 24.19 4 シンボル ECC 使用時の管理コード領域書き込み手順

24.7.2 SNAND ビットに関する注意事項

共通コントロールレジスタ (FLCMNCR) の SNAND ビット使用時は、コマンド制御レジスタ (FLCMDCR) の DOCMD1、DOCMD2 ビットの設定によらず、第 1 コマンド、第 2 コマンドのみの対応となります。

コマンド発行無し、もしくは第 1 コマンドのみを発行する場合、SNAND ビットには 0 を設定してください。

25. USB2.0 ホスト / ファンクションモジュール (USB)

本モジュールは、USB ホスト機能およびファンクション機能を備えた USB コントローラです。

ホストコントローラ機能選択時は、USB 規格 Rev.2.0 のハイスピード転送、フルスピード転送、ロースピード転送に対応し、USB ポートを 2 ポート使用可能です。

ファンクションコントローラ機能選択時は、USB 規格 Rev.2.0 のハイスピード転送、フルスピード転送に対応し、USB ポートを 1 ポート使用可能です。

また、本モジュールは、USB トランシーバを内蔵*し、USB 規格で定義されている全転送タイプに対応しています。

データ転送用に 10K バイトのバッファメモリを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1~9 に対しては、通信を行うファンクション機器やユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

【注】 * 本モジュールを使用する場合、初めに内蔵トランシーバの設定を行う必要があります。詳細は、「25.5.1 USB トランシーバの設定手順」を参照してください。

25.1 特長

(1) USB ハイスピード対応のホストコントローラとファンクションコントローラを内蔵

- USBホストコントローラとファンクションコントローラを内蔵
- USBホスト機能とファンクション機能をレジスタ設定により切り替え可能
- ハイスピード / フルスピード / ロースピードUSBトランシーバ内蔵 (ホストとファンクション共用)

(2) 少ない外付け素子かつ省スペース実装が可能

- D+プルアップ抵抗内蔵 (ファンクション動作時)
- D+、D-プルダウン抵抗内蔵 (ホスト動作時)
- D+、D-終端抵抗内蔵 (ハイスピード動作時)
- D+、D-出力抵抗内蔵 (ロースピード、フルスピード動作時)

(3) USB 通信の全種類のデータ転送タイプに対応

- コントロール転送
- バルク転送
- インタラプト転送 (High Bandwidthは非対応)
- アイソクロナス転送 (High Bandwidthは非対応)

(4) 内部バスインタフェース

- DMAインタフェースを2チャンネル内蔵

(5) パイプコンフィギュレーション

- USB通信用バッファメモリを10Kバイト内蔵
- 最大10本のパイプを選択可能 (デフォルトコントロールパイプを含む)
- プログラム可能なパイプ構成
- パイプ1~9は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件は以下のとおりです。

パイプ0 : コントロール転送専用のパイプ、256バイト固定シングルバッファ

パイプ1、2 : バルク転送またはアイソクロナス転送を選択可能なパイプ、連続転送モード、バッファサイズはプログラムブル (最大2Kバイトでダブルバッファ指定可能)

パイプ3~5 : バルク転送専用のパイプ、連続転送モード、バッファサイズはプログラムブル (最大2Kバイトでダブルバッファ指定可能)

パイプ6~9 : インタラプト転送専用のパイプ、64バイト固定シングルバッファ

(6) ホスト機能選択時の特長

- ハイスピード転送 (480Mbps)、フルスピード転送 (12Mbps)、ロースピード転送 (1.5Mbps) に対応
- ハブを1段経由し、複数のペリフェラル機器と接続可能
- リセットハンドシェイク自動応答
- SOF、パケット送信のスケジュールを自動化
- アイソクロナス転送、インタラプト転送の転送インターバル設定機能

(7) ファンクション機能選択時の特長

- ハイスピード転送 (480Mbps)、フルスピード転送 (12Mbps) に対応
- リセットハンドシェイク自動応答による、ハイスピード動作、もしくはフルスピード動作自動認識
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能 (NRDY)
- SOF補間機能

(8) その他の機能

- バイトエンディアンスワップ機能により、ビッグエンディアン、リトルエンディアンのどちらのデータ形式にも対応可能
- トランザクションカウントによるトランスファ終了機能
- DMA転送の終了機能
- BRDY割り込みイベント通知タイミング変更機能 (BFRE)
- DnFIFO (n=0、1) ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM)
- トランスファ終了による応答PIDのNAK設定機能 (SHTNAK)

25.2 入出力端子

USB の端子構成を表 25.1 に示します。

本モジュールを使用しない場合は、下記のように処理してください。

- 電源は必ず印加してください。
- DP1、DP0、DM1、DM0、およびVBUSはV_{ss}に接続してください。
- REFRINは5.6kΩ ± 20%の抵抗を介して、USBAPV_{cc}に接続してください。
- USB_X1、USB_X2については、「5.3 クロック動作モード」を参照してください。

表 25.1 端子構成

区分	名称	端子名	入出力	機能
USB バス インタフェース	USB D+データ	DP1、DP0	入出力	USB 内蔵トランシーバD+入出力です。 USB バスの D+端子に接続してください。
	USB D-データ	DM1、DM0	入出力	USB 内蔵トランシーバD-入出力です。 USB バスの D-端子に接続してください。
VBUS 監視入力	VBUS 入力	VBUS	入力	USB ケーブル接続モニタ端子です。 USB バスの Vbus に接続してください。Vbus の接続 / 切断を検出することができます。USB バスの Vbus と接続しない場合は、5V に固定してください。ホストコントローラ機能選択時にも 5V を供給してください。 【注】 接続されるデバイスへの Vbus 供給はできません。
基準抵抗	リファレンス入力	REFRIN	入力	基準抵抗接続用端子です。 5.6k Ω ± 1%抵抗を介して USBAPV _{ss} に接続してください。
クロック	USB 用水晶発振子 / 外部クロック	USB_X1	入力	USB 用水晶発振子を接続します。また USB_X1 端子は外部クロックを入力することもできます。
		USB_X2	出力	
電源	トランシーバ部 アナログ端子電源	USBAPV _{cc}	入力	端子用電源です。
	トランシーバ部 アナログ端子グランド	USBAPV _{ss}	入力	端子用グランドです。
	トランシーバ部 アナログコア電源	USBAV _{cc}	入力	コア用電源です。
	トランシーバ部 アナログコアグランド	USBAV _{ss}	入力	コア用グランドです。
	トランシーバ部 デジタルコア電源	USBDV _{cc}	入力	コア用電源です。

25.3 レジスタの説明

USB のレジスタ構成を表 25.2 に示します。

表 25.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
Port0 システムコンフィギュレーションコントロールレジスタ	SYSCFG0	R/W	H'xx0x	H'FFFF0000	16
Port1 システムコンフィギュレーションコントロールレジスタ	SYSCFG1	R/W	H'xxxF	H'FFFF0002	16
Port0 システムコンフィギュレーションステータスレジスタ	SYSSTS0	R	H'xxxx	H'FFFF0004	16
Port1 システムコンフィギュレーションステータスレジスタ	SYSSTS1	R	H'xxxx	H'FFFF0006	16
Port0 デバイスステートコントロールレジスタ	DVSTCTR0	R/W	H'xx0x	H'FFFF0008	16
Port1 デバイスステートコントロールレジスタ	DVSTCTR1	R/W	H'xx0x	H'FFFF000A	16
テストモードレジスタ	TESTMODE	R/W	H'xxx0	H'FFFF000C	16
DMA0 ビンコンフィギュレーションレジスタ	D0FBCFG	R/W	H'xxxx	H'FFFF0010	16
DMA1 ビンコンフィギュレーションレジスタ	D1FBCFG	R/W	H'xxxx	H'FFFF0012	16
CFIFO ポートレジスタ	CFIFO	R/W	H'00000000	H'FFFF0014	8、16、32
D0FIFO ポートレジスタ	D0FIFO	R/W	H'00000000	H'FFFF0018	8、16、32
D1FIFO ポートレジスタ	D1FIFO	R/W	H'00000000	H'FFFF001C	8、16、32
CFIFO ポート選択レジスタ	CFIFOSEL	R/W	H'xxxx	H'FFFF0020	16
CFIFO ポートコントロールレジスタ	CFIFOCTR	R/W	H'x000	H'FFFF0022	16
D0FIFO ポート選択レジスタ	D0FIFOSEL	R/W	H'0xxx	H'FFFF0028	16
D0FIFO ポートコントロールレジスタ	D0FIFOCTR	R/W	H'x000	H'FFFF002A	16
D1FIFO ポート選択レジスタ	D1FIFOSEL	R/W	H'0xxx	H'FFFF002C	16
D1FIFO ポートコントロールレジスタ	D1FIFOCTR	R/W	H'x000	H'FFFF002E	16
割り込み許可レジスタ 0	INTENB0	R/W	H'00xx	H'FFFF0030	16
割り込み許可レジスタ 1	INTENB1	R/W	H'xxxx	H'FFFF0032	16
割り込み許可レジスタ 2	INTENB2	R/W	H'xxxx	H'FFFF0034	16
BRDY 割り込み許可レジスタ	BRDYENB	R/W	H'xx00	H'FFFF0036	16
NRDY 割り込み許可レジスタ	NRDYENB	R/W	H'xx00	H'FFFF0038	16
BEMP 割り込み許可レジスタ	BEMPENB	R/W	H'xx00	H'FFFF003A	16
SOF 出力コンフィギュレーションレジスタ	SOFCFG	R/W	H'xxxx	H'FFFF003C	16
割り込みステータスレジスタ 0	INTSTS0	R/W	H'00x0	H'FFFF0040	16
割り込みステータスレジスタ 1	INTSTS1	R/W	H'xxxx	H'FFFF0042	16
割り込みステータスレジスタ 2	INTSTS2	R/W	H'xxxx	H'FFFF0044	16
BRDY 割り込みステータスレジスタ	BRDYSTS	R/W	H'xx00	H'FFFF0046	16
NRDY 割り込みステータスレジスタ	NRDYSTS	R/W	H'xx00	H'FFFF0048	16
BEMP 割り込みステータスレジスタ	BEMPSTS	R/W	H'xx00	H'FFFF004A	16

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
フレームナンバーレジスタ	FRMNUM	R/W	H'xx00	H'FFFF004C	16
μフレームナンバーレジスタ	UFRMNUM	R	H'xxxx	H'FFFF004E	16
USB アドレスレジスタ	USBADDR	R	H'xxx0	H'FFFF0050	16
USB リクエストタイプレジスタ	USBREQ	R/W	H'0000	H'FFFF0054	16
USB リクエストバリュレジスタ	USBVAL	R/W	H'0000	H'FFFF0056	16
USB リクエストインデックスレジスタ	USBINDX	R/W	H'0000	H'FFFF0058	16
USB リクエストレンクスレジスタ	USBLENG	R/W	H'0000	H'FFFF005A	16
DCP コンフィギュレーションレジスタ	DCPCFG	R/W	H'xxxx	H'FFFF005C	16
DCP マックスパケットサイズレジスタ	DCPMAXP	R/W	H'0xx0	H'FFFF005E	16
DCP コントロールレジスタ	DCPCTR	R/W	H'0x4x	H'FFFF0060	16
パイプウィンドウ選択レジスタ	PIPESEL	R/W	H'xxx0	H'FFFF0064	16
パイプコンフィギュレーションレジスタ	PIPECFG	R/W	H'xxx0	H'FFFF0068	16
パイプバッファ指定レジスタ	PIPEBUF	R/W	H'xx00	H'FFFF006A	16
パイプマックスパケットサイズレジスタ	PEMAXP	R/W	H'0x00	H'FFFF006C	16
パイプ周期制御レジスタ	PIPEPERI	R/W	H'xxxx	H'FFFF006E	16
パイプ1 コントロールレジスタ	PIPE1CTR	R/W	H'0xxx	H'FFFF0070	16
パイプ2 コントロールレジスタ	PIPE2CTR	R/W	H'0xxx	H'FFFF0072	16
パイプ3 コントロールレジスタ	PIPE3CTR	R/W	H'0xxx	H'FFFF0074	16
パイプ4 コントロールレジスタ	PIPE4CTR	R/W	H'0xxx	H'FFFF0076	16
パイプ5 コントロールレジスタ	PIPE5CTR	R/W	H'0xxx	H'FFFF0078	16
パイプ6 コントロールレジスタ	PIPE6CTR	R/W	H'xxxx	H'FFFF007A	16
パイプ7 コントロールレジスタ	PIPE7CTR	R/W	H'xxxx	H'FFFF007C	16
パイプ8 コントロールレジスタ	PIPE8CTR	R/W	H'xxxx	H'FFFF007E	16
パイプ9 コントロールレジスタ	PIPE9CTR	R/W	H'xxxx	H'FFFF0080	16
パイプ1 トランザクションカウンタインーブルレジスタ	PIPE1TRE	R/W	H'xxxx	H'FFFF0090	16
パイプ1 トランザクションカウンタレジスタ	PIPE1TRN	R/W	H'0000	H'FFFF0092	16
パイプ2 トランザクションカウンタインーブルレジスタ	PIPE2TRE	R/W	H'xxxx	H'FFFF0094	16
パイプ2 トランザクションカウンタレジスタ	PIPE2TRN	R/W	H'0000	H'FFFF0096	16
パイプ3 トランザクションカウンタインーブルレジスタ	PIPE3TRE	R/W	H'xxxx	H'FFFF0098	16
パイプ3 トランザクションカウンタレジスタ	PIPE3TRN	R/W	H'0000	H'FFFF009A	16
パイプ4 トランザクションカウンタインーブルレジスタ	PIPE4TRE	R/W	H'xxxx	H'FFFF009C	16
パイプ4 トランザクションカウンタレジスタ	PIPE4TRN	R/W	H'0000	H'FFFF009E	16
パイプ5 トランザクションカウンタインーブルレジスタ	PIPE5TRE	R/W	H'xxxx	H'FFFF00A0	16
パイプ5 トランザクションカウンタレジスタ	PIPE5TRN	R/W	H'0000	H'FFFF00A2	16
USB AC 特性切り替えレジスタ 0	USBACSWR0	R/W	H'0000	H'FFFF00C0	16
USB AC 特性切り替えレジスタ 1	USBACSWR1	R/W	H'0000	H'FFFF00C2	16

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
デバイスアドレス 0 コンフィギュレーションレジスタ	DEVADD0	R/W	H'x0xx	H'FFFF00D0	16
デバイスアドレス 1 コンフィギュレーションレジスタ	DEVADD1	R/W	H'x0xx	H'FFFF00D2	16
デバイスアドレス 2 コンフィギュレーションレジスタ	DEVADD2	R/W	H'x0xx	H'FFFF00D4	16
デバイスアドレス 3 コンフィギュレーションレジスタ	DEVADD3	R/W	H'x0xx	H'FFFF00D6	16
デバイスアドレス 4 コンフィギュレーションレジスタ	DEVADD4	R/W	H'x0xx	H'FFFF00D8	16
デバイスアドレス 5 コンフィギュレーションレジスタ	DEVADD5	R/W	H'x0xx	H'FFFF00DA	16
デバイスアドレス 6 コンフィギュレーションレジスタ	DEVADD6	R/W	H'x0xx	H'FFFF00DC	16
デバイスアドレス 7 コンフィギュレーションレジスタ	DEVADD7	R/W	H'x0xx	H'FFFF00DE	16
デバイスアドレス 8 コンフィギュレーションレジスタ	DEVADD8	R/W	H'x0xx	H'FFFF00E0	16
デバイスアドレス 9 コンフィギュレーションレジスタ	DEVADD9	R/W	H'x0xx	H'FFFF00E2	16
デバイスアドレス A コンフィギュレーションレジスタ	DEVADDA	R/W	H'x0xx	H'FFFF00E4	16

25.3.1 システムコンフィギュレーションコントロールレジスタ 0 (SYSCFG0)

SYSCFG0 は、本モジュールへの USB クロック供給許可、PORT0 のハイスピード動作の許可、ホスト機能またはファンクション機能の選択、DP、DM 端子の制御、および USB ブロックの動作許可制御を行うレジスタです。本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCKE	—	—	HSE	DCFM	DRPD	DPRPU	—	—	—	USBE
初期値:	不定	不定	不定	不定	不定	0	不定	不定	0	0	0	0	不定	不定	不定	0
R/W:	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
10	SCKE	0	R/W	USB クロック許可 本ビットを 1 に設定することにより、本モジュールへの USB クロック供給を許可します。 本モジュールへの USB クロック供給を停止する場合には、0 を書き込んでください。 本ビットが 0 のときは、SYSCFG0 および SYSCFG1 のみ書き込み可能です。その他のレジスタへの書き込みは行えません。 本ビットが 0 のときでも、各レジスタの読み出しは可能です。 0: 本モジュールへの USB クロック供給禁止 1: 本モジュールへの USB クロック供給許可
9, 8	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7	HSE	0	R/W	<p>PORT0 ハイスピード動作許可 PORT0 のハイスピード動作禁止 / 許可を指定します。</p> <p>• ホストコントローラ機能選択時 HSE = 0 を設定した場合、ロースピード動作またはフルスピード動作を行います。 PORT0 にロースピードのファンクションデバイスがアタッチされたことを検出した場合には、必ず HSE = 0 を設定してください。 HSE = 1 を設定した場合、本モジュールはリセットハンドシェイクプロトコルを実行し、その結果に従い、自動的に PORT0 をハイスピードまたはフルスピード動作させます。</p> <p>0 : ハイスピード動作禁止 (フルスピードまたはロースピード) 1 : ハイスピード動作許可 (本モジュールが通信速度を検出)</p> <p>【注】本ビットの変更は、アタッチ検出 (ATTCH 割り込み検出) 後から USB バスリセット実行前 (USBRESET = 1 設定) の間に行ってください。</p> <p>• ファンクションコントローラ機能選択時 HSE = 0 を設定した場合、フルスピード動作を行います。 HSE = 1 を設定した場合、リセットハンドシェイクプロトコルを実行し、その結果に従い自動的にハイスピードまたはフルスピード動作を行います。</p> <p>0 : ハイスピード動作禁止 (フルスピード) 1 : ハイスピード動作許可 (本モジュールが通信速度を検出)</p> <p>【注】本ビットの変更は、DPRPU = 0 のときに行ってください。</p>
6	DCFM	0	R/W	<p>コントローラ機能選択 ホストまたはファンクション機能の選択をします。</p> <p>0 : ファンクションコントローラ機能を選択 1 : ホストコントローラ機能を選択</p> <p>【注】本ビットの変更は、DPRPU = 0、DRPD = 0 のときに行ってください。</p>
5	DRPD	0	R/W	<p>PORT0 D+/D-ラインプルダウン制御 PORT0 の D+/D-ラインのプルダウン禁止 / 許可を指定します。 ホストコントローラ機能選択時に本ビットを 1 に設定すると、PORT0 の D+、D-ラインをプルダウンします。</p> <p>0 : プルダウン禁止 1 : プルダウン許可</p>

ビット	ビット名	初期値	R/W	説明
4	DPRPU	0	R/W	<p>PORT0 D+ラインプルアップ制御</p> <p>PORT0 の D+ラインのプルアップ禁止 / 許可を指定します。</p> <p>ファンクションコントローラ機能選択時に本ビットを 1 に設定すると、PORT0 の D+ラインをプルアップします。</p> <p>0 : プルアップ禁止 1 : プルアップ許可</p> <p>【注】 USB 切断時は必ず本ビットを 0 に変更してください。また、本ビットを 1 から 0 に変更する際は、必ず以下の処理を追加してください。</p> <ol style="list-style-type: none"> DPRPU ビットに 0 を設定 1 μs 以上待つ DCFM ビットを 1 に設定 200ns 以上待つ DCFM ビットを 0 に設定
3~1	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
0	USBE	0	R/W	<p>USB ブロック動作許可</p> <p>本モジュールの USB ブロックの動作許可 / 禁止を指定します。</p> <p>本ビットを 1 から 0 に変更した場合は、表 25.3、表 25.4 に示すビットを初期化します。</p> <p>0 : USB ブロック動作禁止 1 : USB ブロック動作許可</p> <p>【注】 本ビットの変更は SCKE = 1 のときに行ってください。また、ホストコントローラ機能選択時は、DRPD = 1 設定後、LNST ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USB E = 1 の設定を行ってください。</p>

【注】 ファンクションコントローラ機能を選択したときは、DRPD ビットの値を 0 に設定してください。
また、ホストコントローラ機能を選択したときは、DPRPU ビットの値を 0 に設定してください。

表 25.3 USB E = 0 書き込みにより初期化されるレジスタ一覧 (ファンクションコントローラ機能選択時)

レジスタ名	ビット名
SYSSTS0、SYSSTS1	LNST
DVSTCTR0、DVSTCTR1	RHST
INTSTS0	DVSQ
USBADDR	USBADDR
USBREQ	bRequest bmRequestType
USBVAL	wValue
USBINDEX	wIndex
USBLENG	wLength

表 25.4 USBE = 0 書き込みにより初期化されるレジスタ一覧 (ホストコントローラ機能選択時)

レジスタ名	ビット名
DVSTCTR0, DVSTCTR1	RHST
FRMNUM	FRNM
UFRMNUM	UFRNM

25.3.2 システムコンフィギュレーションコントロールレジスタ 1 (SYSCFG1)

SYSCFG1 は、PORT1 のハイスピード動作の許可、DP、DM 端子制御、および本モジュールへのアクセスサイクルを制御するレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	不定	不定	不定	不定	不定	不定	不定	不定	0	不定	0	不定	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
7	HSE	0	R/W	PORT1 ハイスピード動作許可 PORT1 のハイスピード動作禁止 / 許可を指定します。 HSE = 0 を設定した場合、ロースピード動作またはフルスピード動作を行います。 PORT1 にロースピードのファンクションデバイスがアタッチされたことを検出した場合には、必ず HSE = 0 を設定してください。 HSE = 1 を設定した場合、本モジュールはリセットハンドシェイクプロトコルを実行し、その結果に従い、自動的に PORT1 をハイスピードまたはフルスピード動作させます。 0 : ハイスピード動作禁止 (フルスピードまたはロースピード) 1 : ハイスピード動作許可 (本モジュールが通信速度を検出) 【注】 本ビットの変更は、アタッチ検出 (ATTCH 割り込み検出) 後から USB パスリセット実行前 (USBRESET = 1 設定) の間に行ってください。
6	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 ください。
5	DRPD	0	R/W	PORT1 D+/D-ラインプルダウン制御 D+/D-ラインのプルダウン禁止 / 許可を指定します。 ホストコントローラ機能選択時に本ビットを 1 に設定すると、PORT1 の D+、D-ラインをプルダウンします。 0 : プルダウン禁止 1 : プルダウン許可

ビット	ビット名	初期値	R/W	説明
4	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
3~0	BWAIT[3:0]	1111	R/W	CPU バスアクセスウェイトの指定 レジスタアクセスウェイト数を指定します(FIFO ポートへのアクセスウェイトと共通)。詳細は「25.4.1 (4) レジスタアクセスウェイト制御」を参照してください。 0000 : 0 ウェイト (アクセスサイクル 2) : 0010 : 2 ウェイト (アクセスサイクル 4) : 0100 : 4 ウェイト (アクセスサイクル 6) : 1111 : 15 ウェイト (アクセスサイクル 17)

【注】 ファンクションコントローラ機能を選択したときは、HSE、DRPD ビットの値を0に設定してください。

25.3.3 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)

SYSSTS0 は、PORT0 の USB データバスのラインステータス (D+および D-ライン) をモニタします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LNST[1:0]
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~2	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
1、0	LNST[1:0]	*	R	PORT0 USB データラインステータス 表 25.5 に本モジュールの USB データバスラインステータス表を示します。 本ビットの設定によって PORT0 の USB データバスのラインステータス(D+ラインおよび D-ライン) をモニタします。 【注】 本ビットの参照は、ファンクションコントローラ機能選択時にはタッチ処理 (DPRPU = 1) 後、ホストコントローラ機能選択時には、ブルダウン許可 (DRPD = 1) 後に行ってください。

【注】 * D+および D-ラインの状態に依存します。

25.3.4 システムコンフィギュレーションステータスレジスタ 1 (SYSSTS1)

SYSSTS1 は、PORT1 の USB データバスのラインステータス (D+および D-ライン) をモニタします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~2	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
1、0	LNST[1:0]	*	R	PORT1 USB データラインステータス 表 25.5 に本モジュールの USB データバスラインステータス表を示します。 本ビットの設定によって PORT1 の USB データバスのラインステータス (D+ ラインおよび D-ライン) をモニタします。 本ビットは、ホストコントローラ機能選択時のみ有効です。 【注】本ビットの参照はプルダウン許可 (DRPD=1) 後に行ってください。

【注】 * D+および D-ラインの状態に依存します。

表 25.5 USB データバスラインステータス表

LNST1	LNST0	ロースピード動作時 (ホストコントローラ 機能選択時のみ)	フルスピード動作時	ハイスピード動作時	Chirp 動作時
0	0	SE0	SE0	Squelch	Squelch
	1	K-State	J-State	not Squelch	Chirp J
1	0	J-State	K-State	Invalid	Chirp K
	1	SE1	SE1	Invalid	Invalid

【記号説明】

Chirp : ハイスピード動作許可の状態 (HSE=1) でリセットハンドシェイクプロトコル実行中

Squelch : SE0 またはアイドル状態

not Squelch : ハイスピード J-State またはハイスピード K-State

Chirp J : Chirp J-State

Chirp K : Chirp K-State

Invalid : 無効

25.3.5 デバイスステートコントロールレジスタ 0 (DVSTCTRL0)

DVSTCTRL0 は、PORT0 の USB データバスの状態制御および確認をします。

本レジスタは、パワーオンリセットで初期化されます。また USB バスリセットでは、WKUP ビットのみ初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
初期値:	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	不定	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
8	WKUP	0	R/W	ウェイクアップ出力 ファンクションコントローラ機能選択時に本ビットを1に設定すると、PORT0 USB バスにリモートウェイクアップ信号を出力します。 本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。本ビットに1を設定すると、本モジュールは10msのK-Stateを出力した後、本ビットを0にします。 USB規格では、リモートウェイクアップ信号の送信までに最短5msのUSBバスアイドル状態を保持する必要があります。このため、本モジュールは、サスペンド状態を検出した直後に本ビットに1を書き込んで、2ms待ってからK-Stateを出力します。 0: 非出力 1: リモートウェイクアップ信号出力 【注】 本ビットへの1書き込みは、デバイスステートがサスペンド (INTSTS0.DVSQL = 1xx) であり、かつUSBホストからリモートウェイクアップが許可されている場合以外は行わないでください。また、本ビットを1に設定する場合は、サスペンド中であってもUSBクロックを停止しないでください (SCKE = 1の状態では本ビットに1を書き込んでください)。

ビット	ビット名	初期値	R/W	説明
7	RWUPE	0	R/W	<p>リモートウェイクアップ検出許可</p> <p>ホストコントローラ機能選択時に、PORT0 に接続されたファンクションデバイスに対してリモートウェイクアップ (レジューム信号出力) の許可/禁止を指定します。</p> <p>本ビットを 1 に設定すると、本モジュールは PORT0 に接続されたファンクションデバイスからのリモートウェイクアップ信号 (2.5 μs 間の K-State) を検出し、レジューム信号を出力 (K-State のドライブ) します。このとき、本モジュールは RESUME ビットを 1 にセットします。本ビットを 0 に設定した場合、本モジュールが PORT0 に接続されたファンクションデバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。</p> <p>0 : ダウンポートウェイクアップ禁止 1 : ダウンポートウェイクアップ許可</p> <p>【注】 本ビットを 1 に設定する場合は、サスペンドであっても USB クロックを停止しないでください (SCKE = 1 の状態にしてください)。また、サスペンド状態からの USB バスリセット実行 (USBRST = 1 設定) は行わないでください。USB Specification2.0 で禁止されています。</p>
6	USBRST	0	R/W	<p>PORT0 USB バスリセット出力</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT0 の SE0 ドライブを行い、USB バスリセット処理を行います。このとき、PORT0 に対応する HSE ビットが 1 の場合、リセットハンドシェイクプロトコルを実行します。</p> <p>本モジュールは、USBRST = 1 の期間 SE0 出力を継続します。USBRST = 1 の期間 (USB バスリセット期間) は USB Specification2.0 に準拠した時間を確保してください。</p> <p>0 : USB バスリセット信号出力停止 1 : USB バスリセット信号出力</p> <p>【注】 通信中 (UACT = 1) またはレジューム中 (RESUME = 1) に本ビットに 1 を書き込んだ場合、本モジュールは UACT = 0 かつ RESUME = 0 の状態になるまで USB バスリセットを開始しません。また、USB バスリセット処理終了時は、本ビットへの 0 書き込みと同時に UACT ビットに 1 を書き込んでください。</p>
5	RESUME	0	R/W	<p>PORT0 レジューム出力</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT0 を K-State ドライブし、レジュームを行います。本モジュールは、RESUME = 1 の期間 K-State 出力を継続します、RESUME = 1 の期間 (レジューム期間) は USB Specification2.0 に準拠した時間を確保してください。</p> <p>0 : レジューム信号出力停止 1 : レジューム信号出力</p> <p>【注】 本ビットへの 1 書き込みは、サスペンド中のみ行ってください。また、レジューム処理終了時は、本ビットへの 0 書き込みと同時に UACT ビットに 1 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
4	UACT	0	R/W	<p>PORT0 USB バス許可</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT0 を USB バス許可状態にし、SOF 出力およびデータ送受信を行います。本ビットに 1 を設定した場合、1 (μ) フレーム時間以内に (μ) SOF 出力を開始します。本ビットに 0 を設定した場合、本モジュールは (μ) SOF 出力後、アイドル状態に遷移します。</p> <p>0 : ダウンポート動作禁止 (SOF / μ SOF 送出禁止)</p> <p>以下の場合に、本モジュールは本ビットを 0 に設定します。</p> <ul style="list-style-type: none"> • 通信中 (UACT = 1) に DTCH 割り込みを検出した場合 • 通信中 (UACT = 1) に EOFERR 割り込みを検出した場合 <p>1 : ダウンポート動作許可 (SOF / μ SOF 送出許可)</p> <p>【注】 本ビットへの 1 書き込みは、USB バスリセット処理終了時 (USBRST = 0) またはサスペンドからのレジューム処理終了時 (RESUME = 0) いずれかのタイミングで行ってください。</p>
3	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
2~0	RHST[2:0]	000	R	<p>PORT0 リセットハンドシェイク</p> <p>PORT0 のリセットハンドシェイクの状態を表示します。表 25.6 にリセットハンドシェイク一覧を示します。</p> <p>[ホストコントローラ機能選択時]</p> <p>USBRST = 1 を書き込んだ後、本ビットは 100 を示します。PORT0 に対して HSE = 1 を設定している場合、本モジュールがファンクションデバイスからの ChirpK を検出した時点で、本ビットは 111 を示します。PORT0 の USBRST = 0 を書き込み、本モジュールが SE0 ドライブを終了した時点で、本ビットの値を確定します。UTST = 1xxxx を書き込んだ場合 (HOST テスト用パラメータを設定したとき) には、本ビットは 011 を示します。</p> <p>[ファンクションコントローラ機能選択時]</p> <p>PORT0 に対して HSE = 1 を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは 100 を示します。その後、本モジュールが ChirpK を出力し、USB ホストからの ChirpK を 3 回検出した時点で本ビットは 011 を示します。ChirpK 出力後、2.5ms 以内に Hi-Speed に確定しなければ、本ビットは 010 を示します。PORT0 に対して HSE = 0 を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは 010 を示します。本モジュールが USB バスリセットを検出後、本ビットが 010 または 011 に確定した時点で、DVST 割り込みが発生します。</p>

【注】 ファンクションコントローラ機能を選択したときは、RWUPE、USBRST、RESUME、UACT ビットの値をすべて 0 に設定してください。

また、ホストコントローラ機能を選択したときは、WKUP ビットの値は 0 に設定してください。

表 25.6 PORT0 USB データバスラインステータス表

バスの状態	ファンクションコントローラ機能選択時	ホストコントローラ機能選択時
Powered 時または Disconnect 時	000	000
ResetHadshake 中	100	1xx
Low-Speed 接続時	-	001
Full-Speed 接続時	010	010
Hi-Speed 接続時	011	011

25.3.6 デバイスステートコントロールレジスタ 1 (DVSTCTR1)

DVSTCTR1 は、PORT1 の USB データバスの状態制御および確認をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	不定	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
7	RWUPE	0	R/W	リモートウェイクアップ検出許可 ホストコントローラ機能選択時に、PORT1 に接続されたファンクションデバイスに対してリモートウェイクアップ (レジューム信号出力) の許可/禁止を指定します。本ビットを1に設定すると、本モジュールは PORT1 に接続されたファンクションデバイスからのリモートウェイクアップ信号 (2.5 μ s 間の K-State) を検出し、レジューム信号を出力 (K-State のドライブ) します。このとき、本モジュールは RESUME ビットを1にセットします。本ビットを0に設定した場合、本モジュールが PORT1 に接続されたファンクションデバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。 0: ダウンポートウェイクアップ禁止 1: ダウンポートウェイクアップ許可 【注】 本ビットを1に設定する場合は、サスペンドであっても USB クロックを停止しないでください (SCKE=1 の状態にしてください)。また、サスペンド状態からの USB バスリセット実行 (USBRST=1 設定) は行わないでください。USB Specification2.0 で禁止されています。
6	USBRST	0	R/W	PORT1 USB バスリセット出力 ホストコントローラ機能選択時に本ビットを1に設定すると、本モジュールは PORT1 の SE0 ドライブを行い、USB バスリセット処理を行います。このとき、PORT1 に対応する HSE ビットが1の場合、リセットハンドシェイクプロトコルを実行します。本モジュールは、USBRST=1 の期間 SE0 出力を継続します。USBRST=1 の期間 (USB バスリセット期間) は USB Specification2.0 に準拠した時間を確保してください。 0: USB バスリセット信号出力停止 1: USB バスリセット信号出力 【注】 通信中 (UACT=1) またはレジューム中 (RESUME=1) に本ビットに1を書き込んだ場合、本モジュールは UACT=0 かつ RESUME=0 の状態になるまで USB バスリセットを開始しません。また、USB バスリセット処理終了時は、本ビットへの0書き込みと同時に UACT ビットに1を書き込んでください。

ビット	ビット名	初期値	R/W	説明
5	RESUME	0	R/W	<p>PORT1 レジューム出力</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT1 を K-State ドライブし、レジュームを行います。本モジュールは、RESUME = 1 の期間 K-State 出力を継続します、RESUME = 1 の期間 (レジューム期間) は USB Specification2.0 に準拠した時間を確保してください。</p> <p>0 : レジューム信号出力停止 1 : レジューム信号出力</p> <p>【注】 本ビットへの 1 書き込みは、サスペンド中の中のみ行ってください。 また、レジューム処理終了時は、本ビットへの 0 書き込みと同時に UACT ビットに 1 を書き込んでください。</p>
4	UACT	0	R/W	<p>PORT1 USB バス許可</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT1 を USB バス許可状態にし、SOF 出力およびデータ送受信を行います。本ビットに 1 を設定した場合、1 (μ) フレーム時間以内に (μ) SOF 出力を開始します。本ビットに 0 を設定した場合、本モジュールは (μ) SOF 出力後、アイドル状態に遷移します。</p> <p>0 : ダウンポート動作禁止 (SOF / μSOF 送出禁止) 以下の場合に、本モジュールは本ビットを 0 に設定します。 (1) 通信中 (UACT = 1) に DTCH 割り込みを検出した場合 (2) 通信中 (UACT = 1) に EOFERR 割り込みを検出した場合 1 : ダウンポート動作許可 (SOF / μSOF 送出許可)</p> <p>【注】 本ビットへの 1 書き込みは、USB バスリセット処理終了時 (USBRSST = 0) またはサスペンドからのレジューム処理終了時 (RESUME = 0) いずれかのタイミングで行ってください。</p>
3	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
2~0	RHST[2:0]	000	R	<p>PORT1 リセットハンドシェイク</p> <p>PORT1 のリセットハンドシェイクの状態を表示します。表 25.7 にリセットハンドシェイク一覧を示します。USBRSST = 1 を書き込んだ後、本ビットは 100 を示します。PORT1 に対して HSE = 1 を設定している場合、本モジュールがファンクションデバイスからの ChirpK を検出した時点で、本ビットは 111 を示します。PORT1 の USBRSST = 0 を書き込み、本モジュールが SE0 ドライブを終了した時点で、本ビットの値を確定します。UTST = 1xxxx を書き込んだ場合 (HOST テスト用パラメータを設定したとき) には、本ビットは 011 を示します。</p>

【注】 ファンクションコントローラ機能を選択したときは、RWUPE、USBRSST、RESUME、および UACT ビットの値をすべて 0 に設定してください。

表 25.7 PORT1 USB データバスラインステータス表

バスの状態	ファンクションコントローラ機能選択時	ホストコントローラ機能選択時
Powered 時または Disconnect 時	-	000
ResetHadshake 中	-	1xx
Low-Speed 接続時	-	001
Full-Speed 接続時	-	010
Hi-Speed 接続時	-	011

25.3.7 テストモードレジスタ (TESTMODE)

TESTMODE は、ハイスピード動作時の USB テスト信号出力を制御します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
3~0	UTST[3:0]	0000	R/W	<p>テストモード</p> <p>ハイスピード動作時の USB テスト信号出力を行います。表 25.8 にテストモード動作表を示します。</p> <p>[ホストコントローラ機能選択時]</p> <p>PORT0 および PORT1 のうちテスト対象の Port に対応する DRPD = 1 書き込み後に本ビットの設定が可能です。本ビットは PORT0 および PORT1 共通のレジスタです。DRPD = 1 かつ UACT = 1 を設定した PORT に対して波形出力を行います。本ビットへの書き込みを行うことにより、PORT0 および PORT1 に対してハイスピード終端を行います。本ビット設定手順は以下のとおりです。</p> <ol style="list-style-type: none"> (1) パワーオンリセット (2) クロック起動 (SCKE = 1) (3) DCFM = 1、DRPD = 1 (HSE = 1 の設定は必要ありません) (4) USBE = 1 (5) UTST ビットにテスト内容に応じた値を設定 (6) テスト対象 PORT の UACT ビットに 1 を設定 <p>また本ビットの変更手順は以下のとおりです。</p> <ol style="list-style-type: none"> (1) (上記 (6) の状態で) UACT = 0、USBE = 0 (2) USBE = 1 (3) 本ビットにテスト内容に応じた値を設定 (4) テスト対象 PORT の UACT ビットに 1 を設定 <p>【注】 Test_SE0_NAK (1011) 設定時は、UACT = 1 を設定した PORT に対しても SOF パケットを出力しません。Test_Force_Enable (1101) 設定時は、UACT = 1 を設定した PORT に対して SOF パケットを出力します。また、本モード設定時には、本モジュールがハイスピードディスコネクトを検出 (DTCH 割り込みを検出) しても本モジュールは付随する制御を行いません。UTST ビットを設定する場合は、すべてのパイプの PID ビットに NAK を設定してください。テストモード設定後、通常の USB 通信を行う場合はパワーオンリセットを実施してください。</p> <p>[ファンクションコントローラ機能選択時]</p> <p>ハイスピード通信時の USB ホストからの SetFeature リクエストに従って本ビットを書き込んでください。</p> <p>【注】 本ビットに 0001 ~ 0100 を設定しているときは、本モジュールはサスペンド状態に遷移しません。</p>

表 25.8 テストモード動作表

テストモード	UTST ビット設定	
	ファンクションコントローラ機能選択時	ホストコントローラ機能選択時
通常動作	0000	0000
Test_J	0001	1001
Test_K	0010	1010
Test_SE0_NAK	0011	1011
Test_Packet	0100	1100
Test_Force_Enable	-	1101
Reserved	0101 ~ 0111	1110 ~ 1111

25.3.8 DMA-FIFO バスコンフィギュレーションレジスタ (D0FBCFG、D1FBCFG)

D0FIFO、D1FIFO ポートのアクセス制御を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DFACC[1:0]	—	—	—	—	—	—	—	—	TENDE	—	—	—	—
初期値:	不定	不定	0	0	不定	不定	不定	不定	不定	不定	不定	0	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
13、12	DFACC[1:0]	00	R/W	当該 FIFO ポートのアクセスモードを指定 1 オペランドあたりの転送データを指定します。詳細は「25.4.4 (4) DMA 転送 (D0FIFO/D1FIFO ポート)」を参照してください。 00: 1 データアクセスモード 01: 16 バイト連続アクセスモード 10: 32 バイト連続アクセスモード 11: 設定禁止
11~5	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
4	TENDE	0	R/W	DMA 転送終了サンプリング許可 DMA 転送終了時に、ダイレクトメモリアccessコントローラ (DMAC) から出力される DMA 転送終了信号の受け付け制御を行います。詳細は「25.4.4 (4) DMA 転送 (D0FIFO/D1FIFO ポート)」を参照してください。 0: DMA 転送終了信号をサンプリングしない 1: DMA 転送終了信号をサンプリングする
3~0	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

25.3.9 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)

FIFO バッファメモリへのデータ読み出し/書き込みを行うポートレジスタです。

本モジュールの送受信バッファメモリは FIFO 構造 (FIFO バッファ) になっています。FIFO バッファへのアクセスは本レジスタを使用してください。FIFO ポートには、CFIFO、D0FIFO、D1FIFO の 3 つのポートがあります。各 FIFO ポートは、バッファメモリへのデータリード/ライトを行うポートレジスタ (CFIFO、D0FIFO、D1FIFO)、FIFO ポートに割り当てるパイプを選択する選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)、コントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR) で構成されています。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIFOPORT[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFOPORT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FIFOPORT [31:0]	H'00000000	R/W	FIFO ポート 受信データをバッファメモリからリードまたは送信データをバッファメモリにライトします。

- 【注】
1. DPC 用 FIFO バッファへのアクセスは CFIFO ポートを通して行ってください。
 2. DMA 転送によるバッファメモリへのアクセスは D0FIFO ポートと D1FIFO ポート以外では行えません。
 3. CPU による D0FIFO ポート、D1FIFO ポートアクセスも可能です。
 4. FIFO ポート固有の機能を使用する場合は、CURPIPE ビットに設定するパイプ番号 (選択パイプ) を変更できません。
 5. FIFO ポートを構成するレジスタ群は、他の FIFO ポートに影響を与えることはありません。
 6. 同一パイプを別々の FIFO ポートに割り当てないでください。
 7. バッファメモリ状況には、アクセス権が CPU 側にある場合と SIE 側にある場合があります。バッファメモリへのアクセス権が SIE 側にある場合は、CPU から正しいアクセスができません。
 8. 本レジスタのアクセスは、各コントロールレジスタ (CFIFOCTR、D0FIFOCTR、および D1FIFOCTR) の FRDY ビットが 1 を示しているときのみ可能です。
 9. 本レジスタの有効ビットは、MBW ビットの設定値および BIGEND ビットの設定値によりことなります。有効ビットを表 25.9、表 25.10、表 25.11 に示します。

表 25.9 32 ビットアクセス (MBW = 10) 時のエンディアン動作表

BIGEND	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス

表 25.10 16 ビットアクセス (MBW = 01) 時のエンディアン動作表

BIGEND	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	書き込み：無効 読み出し：禁止		奇数アドレス	偶数アドレス
1	偶数アドレス	奇数アドレス	書き込み：無効 読み出し：禁止	

表 25.11 8 ビットアクセス (MBW = 00) 時のエンディアン動作表

BIGEND	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	書き込み：無効 読み出し：禁止			書き込み：有効 読み出し：有効
1	書き込み：有効 読み出し：有効	書き込み：無効 読み出し：禁止		

25.3.10 FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)

FIFO ポートに割り当てるパイプの選択、当該ポートへのアクセスの制御をします。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE ビットの設定が B'000 の場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

(1) CFIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	—	—	MBW[1:0]	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]				
初期値:	0	0	不定	不定	0	0	不定	0	不定	不定	0	不定	0	0	0	0
R/W:	R/W	R/W*	R	R	R/W	R/W	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	<p>リードカウントモード</p> <p>CFIFOCTR の DTLN の読み出しモードを指定します。本ビットを 0 に指定した場合、CURPIPE ビットに指定したパイプ(指定パイプ)に割り付けた FIFO バッファの全受信データ読み出し終了時(ダブルバッファの場合は 1 面分の読み出し終了時)に、CFIFOCTR レジスタの DTLN ビットを 0 にクリアします。本ビットを 1 に設定した場合、指定パイプに割り付けた FIFO バッファから受信データを読み出しごとに、CFIFOCTR レジスタの DTLN ビットをカウントダウンします。</p> <p>0: 全受信データ読み出しで DTLN ビットクリア 1: 受信データ読み出しで DTLN ビットカウントダウン</p>
14	REW	0	R/W*	<p>バッファポインタリワインド</p> <p>バッファポインタのリワインドを行う場合に 1 を指定します。指定パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットを 1 に設定すると、FIFO バッファの最初のデータから読み出すことができます(ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。</p> <p>0: バッファポインタリワインドしない 1: バッファポインタリワインドする</p> <p>【注】 REW = 1 設定と、CURPIPE ビットの設定変更を同時に行わないでください。REW = 1 設定を実行するときには、必ず FRDY = 1 であることを確認してから実施してください。送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。</p>
13、12	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
11、10	MBW[1:0]	00	R/W	<p>FIFO ポートアクセスビット幅</p> <p>CFIFO ポートへのアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅</p> <p>01 : 16 ビット幅</p> <p>10 : 32 ビット幅</p> <p>11 : 設定禁止</p> <p>【注】 いったんバッファメモリの読み出し処理を開始すると、すべてのデータ読み出しが完了するまで FIFO ポートアクセスビット幅の変更は行えません。また、指定パイプが受信方向の場合、本ビットの設定は下記いずれかの手順で行ってください。</p> <ul style="list-style-type: none"> ・ CURPIPE ビットへの設定と同時に書き込んでください。 ・ DCP 設定 (CURPIPE = 000) の場合、ISEL ビットへの設定と同時に書き込んでください。 <p>詳細は「25.4.4 FIFO バッファ」を参照してください。</p> <p>バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p>
9	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
8	BIGEND	0	R/W	<p>FIFO ポートエンディアン制御</p> <p>CFIFO ポートのバイトエンディアンを指定します。</p> <p>0 : リトルエンディアン</p> <p>1 : ビッグエンディアン</p>
7、6	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
5	ISEL	0	R/W	<p>DCP 選択時の FIFO ポートアクセス方向</p> <p>0 : バッファメモリ読み出し選択</p> <p>1 : バッファメモリ書き込み選択</p> <p>【注】 指定パイプが DCP のときに、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻した後、続けてアクセスすることができます。本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。</p>
4	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説 明
3~0	CURPIPE [3:0]	0000	R/W	<p>FIFO ポートアクセスパイプ指定</p> <p>CFIFO ポートにアクセスするパイプ番号を指定します。</p> <p>0000 : DCP</p> <p>0001 : パイプ 1</p> <p>0010 : パイプ 2</p> <p>0011 : パイプ 3</p> <p>0100 : パイプ 4</p> <p>0101 : パイプ 5</p> <p>0110 : パイプ 6</p> <p>0111 : パイプ 7</p> <p>1000 : パイプ 8</p> <p>1001 : パイプ 9</p> <p>【注】 本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。CFIFOSEL レジスタ、D0FIFOSEL レジスタおよびD1FIFOSEL レジスタのCURPIPE ビットに同じパイプを設定しないでください。FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻した後、続けてアクセスすることができます。</p>

【注】 * 0 読み出し、1 書き込みのみ有効です。

(2) D0FIFOSEL、D1FIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	DCLRM	DREQE	MBW[1:0]	—	BIGEND	—	—	—	—	—	CURPIPE[3:0]			
初期値:	0	0	不定	不定	0	0	不定	0	不定	不定	不定	不定	0	0	0	0
R/W:	R/W	R/W*	R	R	R/W	R/W	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	RCNT	0	R/W	<p>リードカウントモード</p> <p>DnFIFOCTR の DTLN の読み出しモードを指定します。本ビットを 0 に指定した場合、CURPIPE ビットに指定したパイプ（指定パイプ）に割り付けた FIFO バッファの全受信データ読み出し終了時（ダブルバッファの場合は 1 面分の読み出し終了時）に、DnFIFOCTR レジスタの DTLN ビットを 0 にクリアします。本ビットを 1 に設定した場合、指定パイプに割り付けた FIFO バッファから受信データを読み出しごとに、DnFIFOCTR レジスタの DTLN ビットをカウントダウンします。</p> <p>0: 全受信データ読み出しで DTLN ビットクリア 1: 受信データ読み出しで DTLN ビットカウントダウン</p> <p>【注】 BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、本ビットに 0 を設定してください。</p>
14	REW	0	R/W*	<p>バッファポインタリワインド</p> <p>バッファポインタのリワインドを行う場合に 1 を指定します。指定パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットを 1 に設定すると、FIFO バッファの最初のデータから読み出すことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。</p> <p>0: バッファポインタリワインドしない 1: バッファポインタリワインドする</p> <p>【注】 REW = 1 設定と、CURPIPE ビットの設定変更を同時に行わないでください。</p> <p>REW = 1 設定を実行するときには、必ず FRDY = 1 であることを確認してから実施してください。BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、ショートパケットデータを読み出し終えた状態で本ビットに 1 を設定しないでください。送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。</p>

ビット	ビット名	初期値	R/W	説明
13	DCLRM	0	R/W	<p>指定パイプのデータ読み出し後自動バッファメモリクリアモード</p> <p>指定パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。</p> <p>本ビットに 1 を設定した場合、指定パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または BFRE = 1 設定時にショートパケットを受信しデータ読み出し完了時に、FIFO バッファへの BCLR = 1 処理を行います。</p> <p>0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可</p> <p>【注】 BRDYM = 1 に設定している場合は、必ず本ビットを 0 設定してください。</p>
12	DREQE	0	R/W	<p>DMA 転送要求許可</p> <p>DMA 転送要求禁止 / 許可を指定します。</p> <p>0 : DMA 転送要求禁止 1 : DMA 転送要求許可</p> <p>【注】 DMA 転送要求を許可する場合は、CURPIPE ビット設定後に本ビットを 1 に設定してください。CURPIPE ビット設定を変更するときには、本ビットに 0 を設定した後で変更を行ってください。</p>
11、10	MBW[1:0]	00	R/W	<p>FIFO ポートアクセスビット幅</p> <p>DnFIFO ポートへのアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅 01 : 16 ビット幅 10 : 32 ビット幅 11 : 設定禁止</p> <p>【注】 いったんバッファメモリの読み出し処理を開始すると、すべてのデータ読み出しが完了するまで FIFO ポートアクセスビット幅の変更は行えません。また、指定パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。詳細は「25.4.4 FIFO バッファ」を参照してください。</p> <p>バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p>
9	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
8	BIGEND	0	R/W	<p>FIFO ポートエンディアン制御</p> <p>DnFIFO ポートのバイトエンディアンを指定します。</p> <p>0 : リトルエンディアン 1 : ビッグエンディアン</p>
7~4	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説 明
3~0	CURPIPE [3:0]	0000	R/W	<p>FIFO ポートアクセスパイプ指定 DnFIFO ポートにアクセスするパイプ番号を指定します。</p> <p>0000 : 指定なし 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9</p> <p>【注】 本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。CFIFOSEL レジスタ、D0FIFOSEL レジスタおよびD1FIFOSEL レジスタのCURPIPE ビットに同じパイプを設定しないでください。FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻した後、続けてアクセスすることができます。</p>

【注】 * 0 読み出し、1 書き込みのみ有効です。

25.3.11 FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)

バッファメモリの書き込み終了、CPU 側バッファクリア、および FIFO ポートアクセス可能かどうかを設定するレジスタです。本レジスタには、各 FIFO ポートに対応して CFIFOCTR、D0FIFOCTR、および D1FIFOCTR があります。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
初期値:	0	0	0	不定	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*1	R/W*2	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BVAL	0	R/W*1	<p>バッファメモリ有効フラグ</p> <p>CURPIPE ビットに指定してパイプ (指定パイプ) が送信方向のとき、以下の場合に本ビットに 1 を設定してください。CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <ul style="list-style-type: none"> • ショートパケットの送信を行いたいとき、データ書き込み終了時 • Zero-Length パケットの送信を行いたいとき、FIFO ヘータを書き込む前 • 連続転送モードのパイプに対して、マックスパケットサイズの自然数倍かつバッファサイズ未満のデータ書き込み後 <p>非連続転送モードのパイプに対してマックスパケットサイズ分のデータを書き込むと、本モジュールは本ビットを 1 に設定し、CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <p>指定パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に 1 を書き込んだ場合には、それ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。</p> <p>0: 無効 1: 書き込み終了</p> <p>【注】 本ビットへの 1 書き込みは、FRDY = 1 を示しているときに実施してください。</p> <p>指定パイプが受信方向のときには、本ビットへの 1 書き込みを行わないでください。</p>

ビット	ビット名	初期値	R/W	説明
14	BCLR	0	R/W* ²	<p>CPU バッファクリア</p> <p>当該パイプの CPU 側の FIFO バッファをクリアする場合に 1 を指定します。指定パイプにアサインされている FIFO バッファのうち、CPU 側の FIFO バッファをクリアします。指定パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能状態である場合でも、片面の FIFO バッファのみをクリアします。</p> <p>0 : 無効 1 : CPU 側バッファメモリクリア</p> <p>【注】 指定パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR=1 設定により FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の PID ビットを必ず NAK に設定した後で、BCLR=1 を行ってください。 指定パイプが DCP 以外の場合、本ビットへの 1 書き込みは、FRDY=1 を示しているときに行ってください。</p>
13	FRDY	0	R	<p>FIFO ポートレディ</p> <p>FIFO ポートにアクセス可能かどうか確認できます。</p> <p>以下の場合には、FRDY=1 を示しますが、読み出すべきデータがないため FIFO ポートからの読み出しはできません。これらのケースでは、BCLR=1 を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。</p> <ul style="list-style-type: none"> 指定パイプにアサインされている FIFO バッファが空の状態 Zero-Lengh パケット受信した場合 BFRE=1 設定時に、ショートパケットを受信し、データ読み出しを完了したとき <p>0 : FIFO ポートアクセス不可 1 : FIFO ポートアクセス可能</p>
12	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
11~0	DTLN [11:0]	H'000	R	<p>受信データ長</p> <p>受信データ長を確認できます。</p> <p>本ビットの値は、RCNT ビットの設定値によって以下のように異なります。</p> <p>[RCNT = 0 設定時]</p> <p>FIFO バッファ一面分の受信データを読み出し完了するまで、受信データ長を保持します。BFRE = 1 設定時には、読み出しが完了しても BCLR = 1 を行うまでは受信データ長を保持します。</p> <p>[RCNT = 1 設定時]</p> <p>読み出しごとに DTLN ビットの表示をダウンカウントします。(MBW = 00 設定時は-1、MBW = 01 設定時は-2、MBW = 10 設定時は-4)</p> <p>一面分の FIFO バッファ読み出し完了時に、DTLN = 0 になります。ただし、ダブルバッファ設定時かつ FIFO バッファ一面分の受信データの読み出しを完了する前にもう一面分の FIFO バッファに受信完了した場合は、先の一面分の読み出し完了時に後の一面分の受信データ長を DTLN ビットに表示します。</p> <p>【注】 RCNT = 1 設定時、FIFO ポートをリードしてから本ビットが更新されるまで 10 バスサイクルかかります。</p>

【注】 *1 1 書き込みのみ有効です。

*2 0 読み出し、1 書き込みのみ有効です。

25.3.12 割り込み許可レジスタ 0 (INTENB0)

各割り込みの割り込み許可指定を行います。本レジスタに 1 を設定したビットに対応する割り込みが発生した場合に、割り込みコントローラへ割り込み要求を出力します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBSE	0	R/W	VBUS 割り込み許可 VBINT 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
14	RSME	0	R/W	レジューム割り込み許可 RESM 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	SOFE	0	R/W	フレーム番号更新割り込み許可 SOF 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
12	DVSE	0	R/W	デバイスステート遷移割り込み許可 DVST 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	CTRE	0	R/W	コントロール転送ステージ遷移割り込み許可 CTRTR 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10	BEMPE	0	R/W	バッファエンブティ割り込み許可 BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
9	NRDYE	0	R/W	バッファノットレディ応答割り込み許可 NRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
8	BRDYE	0	R/W	バッファレディ割り込み許可 BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
7~0	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

【注】 ホストコントローラ機能を選択したときは、RSME、DVSE、および CTRE ビットの値をすべて0に設定してください。

25.3.13 割り込み許可レジスタ 1 (INTENB1)

各割り込みの割り込み許可指定を行います。本レジスタに 1 を設定したビットに対応する割り込みが発生した場合に、割り込みコントローラへ割り込み要求を出力します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHGE	—	DTCHE	ATT CHE	—	—	—	—	EOFE RRE	SIGNE	SACKE	—	—	—	—
初期値:	不定	0	不定	0	0	不定	不定	不定	不定	0	0	0	不定	不定	不定	不定
R/W:	R	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
14	BCHGE	0	R/W	PORT0 USB バス変化割り込み許可 PORT0 BCHG 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
12	DTCHE	0	R/W	PORT0 切断検出割り込み許可 PORT0 DTCH 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	ATT CHE	0	R/W	PORT0 接続検出割り込み許可 PORT0 ATTCH 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10~7	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
6	EOFERRE	0	R/W	PORT0 EOF エラー検出割り込み許可 PORT0 EOFERR 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
5	SIGNE	0	R/W	セットアップトランザクションエラー割り込み許可 SIGN 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
4	SACKE	0	R/W	セットアップトランザクション正常応答割り込み許可 SACK 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
3~0	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

【注】 ファンクションコントローラ機能を選択したときは、本レジスタの各ビットに 0 を設定してください。

25.3.14 割り込み許可レジスタ 2 (INTENB2)

各割り込みの割り込み許可指定を行います。本レジスタに 1 を設定したビットに対応する割り込みが発生した場合に、割り込みコントローラへ割り込み要求を出力します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHGE	—	DTCHE	ATT CHE	—	—	—	—	EOFE RRE	—	—	—	—	—	—
初期値:	不定	0	不定	0	0	不定	不定	不定	不定	0	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R	R/W	R/W	R	R	R	R	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
14	BCHGE	0	R/W	PORT1 USB バス変化割り込み許可 PORT1 BCHG 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
12	DTCHE	0	R/W	PORT1 切断検出割り込み許可 PORT01DTCH 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	ATTCHE	0	R/W	PORT1 接続検出割り込み許可 PORT1 ATTCH 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10-7	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
6	EOFERRE	0	R/W	PORT1 EOF エラー検出割り込み許可 PORT1 EOFERR 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
5-0	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

【注】 ファンクションコントローラ機能を選択したときは、本レジスタの各ビットに 0 を設定してください。

25.3.15 BRDY 割り込み許可レジスタ (BRDYENB)

各パイプの BRDY 割り込み許可指定を行います。本レジスタに 1 を設定したビットに対応する BRDY 割り込みが発生した場合に、割り込みコントローラへ割り込み要求を出力します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDYE	PIPE8 BRDYE	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE
初期値:	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
9	PIPE9BRDYE	0	R/W	パイプ 9 の BRDY 割り込み許可 パイプ 9 の BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BRDYE	0	R/W	パイプ 8 の BRDY 割り込み許可 パイプ 8 の BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BRDYE	0	R/W	パイプ 7 の BRDY 割り込み許可 パイプ 7 の BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BRDYE	0	R/W	パイプ 6 の BRDY 割り込み許可 パイプ 6 の BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BRDYE	0	R/W	パイプ 5 の BRDY 割り込み許可 パイプ 5 の BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BRDYE	0	R/W	パイプ 4 の BRDY 割り込み許可 パイプ 4 の BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3BRDYE	0	R/W	パイプ 3 の BRDY 割り込み許可 パイプ 3 の BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
2	PIPE2BRDYE	0	R/W	パイプ 2 の BRDY 割り込み許可 パイプ 2 の BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1BRDYE	0	R/W	パイプ 1 の BRDY 割り込み許可 パイプ 1 の BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0BRDYE	0	R/W	パイプ 0 の BRDY 割り込み許可 パイプ 0 の BRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可

25.3.16 NRDY 割り込み許可レジスタ (NRDYENB)

各パイプの NRDY 割り込み許可指定を行います。本レジスタに 1 を設定したビットに対応する NRDY 割り込みが発生した場合に、割り込みコントローラへ割り込み要求を出力します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDYE	PIPE8 NRDYE	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE
初期値:	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
9	PIPE9NRDYE	0	R/W	パイプ 9 の NRDY 割り込み許可 パイプ 9 の NRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8NRDYE	0	R/W	パイプ 8 の NRDY 割り込み許可 パイプ 8 の NRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7NRDYE	0	R/W	パイプ 7 の NRDY 割り込み許可 パイプ 7 の NRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6NRDYE	0	R/W	パイプ 6 の NRDY 割り込み許可 パイプ 6 の NRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5NRDYE	0	R/W	パイプ 5 の NRDY 割り込み許可 パイプ 5 の NRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4NRDYE	0	R/W	パイプ 4 の NRDY 割り込み許可 パイプ 4 の NRDY 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3NRDYE	0	R/W	パイプ 3 の NRDY 割り込み許可 パイプ3のNRDY割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
2	PIPE2NRDYE	0	R/W	パイプ 2 の NRDY 割り込み許可 パイプ2のNRDY割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1NRDYE	0	R/W	パイプ 1 の NRDY 割り込み許可 パイプ1のNRDY割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0NRDYE	0	R/W	パイプ 0 の NRDY 割り込み許可 パイプ0のNRDY割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可

25.3.17 BEMP 割り込み許可レジスタ (BEMPENB)

各パイプの BEMP 割り込み許可指定を行います。本レジスタに 1 を設定したビットに対応する BEMP 割り込みが発生した場合に、割り込みコントローラへ割り込み要求を出力します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMPE	PIPE8 BEMPE	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
初期値:	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
9	PIPE9BEMPE	0	R/W	パイプ 9 の BEMP 割り込み許可 パイプ 9 の BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BEMPE	0	R/W	パイプ 8 の BEMP 割り込み許可 パイプ 8 の BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BEMPE	0	R/W	パイプ 7 の BEMP 割り込み許可 パイプ 7 の BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BEMPE	0	R/W	パイプ 6 の BEMP 割り込み許可 パイプ 6 の BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BEMPE	0	R/W	パイプ 5 の BEMP 割り込み許可 パイプ 5 の BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BEMPE	0	R/W	パイプ 4 の BEMP 割り込み許可 パイプ 4 の BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3BEMPE	0	R/W	パイプ 3 の BEMP 割り込み許可 パイプ 3 の BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
2	PIPE2BEMPE	0	R/W	パイプ 2 の BEMP 割り込み許可 パイプ 2 の BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1BEMPE	0	R/W	パイプ 1 の BEMP 割り込み許可 パイプ 1 の BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0BEMPE	0	R/W	パイプ 0 の BEMP 割り込み許可 パイプ 0 の BEMP 割り込み検出時、割り込み要求の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可

25.3.18 SOF 出力コンフィグレーションレジスタ (SOFCFG)

トランザクション有効期間の切り替え、PIPEBRDY 割り込みステータスクリアタイミングの設定を行います。本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TRNENSEL	—	BRDYM	—	—	—	—	—	—
初期値:	不定	不定	不定	不定	不定	不定	不定	0	不定	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
8	TRNENSEL	0	R/W	トランザクション有効期間切り替えビット フルスピードまたはロースピード通信中の PORT において、1 フレーム中に本モジュールがトークン発行を行う期間 (トランザクション有効期間) を指定します。 0: ロースピード未対応 1: ロースピード対応 【注】 本ビットの設定は、ホストコントローラ機能選択時のみ有効です。また、ホストコントローラ機能選択時であってもハイスピードのトランザクション有効期間には影響しません。本ビットは2つの PORT に共通のビットです。
7	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
6	BRDYM	0	R/W	PIPEBRDY 割り込みステータスクリアタイミング設定 PIPEBRDY 割り込みステータスをクリアするタイミングを指定します。 0: 0 書き込みによりステータスクリア 1: FIFO バッファの読み出しまたは FIFO バッファへの書き込み動作によりステータス自動クリア 【注】 本ビットの設定は、本モジュールの初期設定時 (通信前) に行ってください。通信後の設定変更は行わないでください。
5~0	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

【注】 ファンクションコントローラ機能を選択したときは、TRNENSEL ビットの値を0を設定してください。

25.3.19 割り込みステータスレジスタ 0 (INTSTS0)

各割り込みのステータスを確認するレジスタです。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで DVST、DVSQ[2:0]ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
初期値:	0	0	0	*1	0	0	0	0	不定	*1	*1	*1	0	0	0	0
R/W:	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R	R	R	R	R	R	R	R/W*2	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBINT	0	R/W*2	VBUS 変化検出割り込みステータス*3*4 VBUS 端子入力値の変化を検出したとき、本ビットはセットされます。 VBINT 割り込み発生時は、VBUS 端子をモニタしている VBSTS ビット読み出しを数回行い一致することを確認することで、チャタリング除去を実施してください。 0: VBUS 割り込み非発生 1: VBUS 割り込み発生
14	RESM	0	R/W*2	レジューム割り込みステータス*3*4*5 ファンクションコントローラ機能選択時、サスペンド状態 (DVSQ = 1xx) かつ DP 端子の立ち下がりを検出したとき、本ビットはセットされます。 0: レジューム割り込み非発生 1: レジューム割り込み発生
13	SOFR	0	R/W*2	フレーム番号更新割り込みステータス*3 フレーム番号更新割り込みステータスを示します。本ビットは下記のときセットされます [ホストコントローラ機能選択時] PORT0、PORT1 に対応する UACT ビットを設定している状態で、フレームナンバーを更新 (1ms ごとに検出します) [ファンクションコントローラ機能選択時] フレームナンバーの更新時 (1ms ごとに検出します)。USB ホストからの SOF パケットが破損したときでも、内部補間によりセットされます。 0: SOF 割り込み非発生 1: SOF 割り込み発生
12	DVST	*1	R/W*2	デバイスステート遷移割り込みステータス*3*5 ファンクションコントローラ機能選択時、デバイスステートの変化を検出したとき、DVSQ の値を更新後セットされます。本割り込みが発生したときは、次のデバイスステート遷移が発生する前に、ステータスクリアしてください。 0: デバイスステート遷移割り込み非発生 1: デバイスステート遷移割り込み発生

ビット	ビット名	初期値	R/W	説明
11	CTRT	0	R/W ^{*2}	<p>コントロール転送ステージ遷移割り込みステータス^{*3,*5}</p> <p>ファンクションコントローラ機能選択時、コントロール転送のステージ遷移が発生したとき、CTSQ の値を更新後セットされます。本割り込みが発生したときは、コントロール転送の次の遷移が発生する前に、ステータスクリアしてください。</p> <p>0 : コントロール転送ステージ遷移割り込み非発生 1 : コントロール転送ステージ遷移割り込み発生</p>
10	BEMP	0	R	<p>バッファエンpty割り込みステータス</p> <p>BEMPENB レジスタの PIPEBEMPE ビットに 1 に設定したパイプに対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくとも 1 つが 1 の状態になったときに、セットされます。本ビットは、BEMPSTS レジスタの全ビットがクリアされた場合にクリアされます。</p> <p>0 : BEMP 割り込み非発生 1 : BEMP 割り込み発生</p>
9	NRDY	0	R	<p>バッファノットレディ割り込みステータス</p> <p>NRDYENB レジスタの PIPENRDYE ビットに 1 に設定したパイプに対応する NRDYSTS レジスタの PIPENRDY ビットのうち、少なくとも 1 つが 1 の状態になったときに、セットされます。本ビットは、NRDYSTS レジスタの全ビットがクリアされた場合にクリアされます。</p> <p>0 : NRDY 割り込み非発生 1 : NRDY 割り込み発生</p>
8	BRDY	0	R	<p>バッファレディ割り込みステータス</p> <p>BRDYENB レジスタの PIPEBRDYE ビットに 1 に設定したパイプに対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくとも 1 つが 1 の状態になったときに、セットされます。本ビットは、BRDYSTS レジスタの全ビットがクリアされた場合にクリアされます。</p> <p>0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生</p>
7	VBSTS	不定	R	<p>VBUS 入力ステータス</p> <p>VBUS 端子に入力されている信号のレベルが設定されます。VBSTS ビットによる VBUS 入力ステータスは、制御用プログラムによりチャタリングを除去する必要があります。</p> <p>0 : VBUS 端子がローレベル 1 : VBUS 端子がハイレベル</p>
6~4	DVSQ[2:0]	* ¹	R	<p>デバイスステート^{*6}</p> <p>デバイスステートの状態が設定されます。</p> <p>000 : パワードステート 001 : デフォルトステート 010 : アドレスステート 011 : コンフィギュレーションステート 1xx : サスペンドステート</p>

ビット	ビット名	初期値	R/W	説明
3	VALID	0	R/W*2	USB リクエスト受信*6 USB リクエスト受信検出有無が設定されます。 0 : 未検出 1 : セットアップパケット受信
2~0	CTSQ[2:0]	000	R	コントロール転送ステージ*6 コントロール転送ステージの状態が設定されます。 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : 設定禁止

- 【注】 *1 パワーオンリセットのとき、DVST は 0 に、DVSQ[2:0]ビットは 000 に初期化されます。
USB バスリセットのとき、DVST は 1 に、DVSQ[2:0]ビットは 001 に初期化されます。
- *2 0 書き込みのみ有効です。
- *3 VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、および CTRT ビットをクリアする場合は、クリアしたいビットのみに 0 を、他のビットには 1 を書き込んでください。0 を示しているステータスビットへの 0 書き込みを行わないでください。
- *4 本モジュールは、VBINT ビット、RESM ビットが示すステータス変化がクロック停止中 (SCKE = 0) でも検出し、対応する割り込みが許可されていれば割り込み要求を出力します。ステータスのクリアはクロック許可後に行ってください。
- *5 RESM ビット、DVST ビット、CTRT ビットのステータス変化は、ファンクションコントローラ機能選択時に発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを 0 (禁止) に設定してください。
- *6 DVSQ ビット、VALID ビット、CTRQ ビットは、ファンクションコントローラ機能選択時に有効です。

25.3.20 割り込みステータスレジスタ 1 (INTSTS1)

各割り込みのステータスを確認するレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHG	—	DTCH	ATTCH	—	—	—	—	EOF ERR	SIGN	SACK	—	—	—	—
初期値:	不定	0	不定	0	0	不定	不定	不定	不定	0	0	0	不定	不定	不定	不定
R/W:	R	R/W*1	R	R/W*1	R/W*1	R	R	R	R	R/W*1	R/W*1	R/W*1	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
14	BCHG	0	R/W*1	PORT0 USB バス変化割り込みステータス*3 PORT0 のフルスピード/ロースピード信号レベルでの状態変化が発生した (J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかに状態変化した) ときに、本ビットはセットされます。BCHG 割り込み発生時は、LNST ビット読み出しを数回行い一致することを確認することで、チャタリング除去を実施してください。 0: BCHG 割り込み非発生 1: BCHG 割り込み発生
13	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
12	DTCH	0	R/W*1	PORT0 USB 切断検出割り込みステータス PORT0 の USB バスディスコネクタ検出時にセットされます。本モジュールは、USB Specification2.0 に準じた基準でバスディスコネクタを検出します。本モジュールは、DTCH 割り込みを発生後 (当該する割り込み許可ビットの設定値にかかわらず) 以下の制御を行います。PORT0 に対して通信を行っているパイプをすべて通信終了させ、PORT0 へのアタッチ (ATTCH 割り込み発生) 待ちの状態に遷移してください。 (1) PORT0 の UACT ビットを0に変更 (2) PORT0 をアイドル状態に遷移 0: DTCH 割り込み非発生 1: DTCH 割り込み発生

ビット	ビット名	初期値	R/W	説明
11	ATTCH	0	R/W*1	<p>PORT0 USB 接続検出割り込みステータス</p> <p>ホストコントローラ機能選択時に、PORT0 にフルスピード / ロースピード信号レベルの J-State または K-State を 2.5μs 間発生したとき、PORT0 ATTCH 割り込みを検知し、セットされます。詳細な検出条件は以下のとおりです。</p> <p>(1) K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5μs 間継続したとき</p> <p>(2) J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5μs 間継続したとき</p> <p>0 : ATTCH 割り込み非発生 1 : ATTCH 割り込み発生</p>
10-7	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
6	EOFERR	0	R/W*1	<p>PORT0 EOF エラー検出割り込みステータス</p> <p>USB Specification2.0 に定められている EOF2 タイミング時点で、PORT0 の通信が終了しないときにセットされます。本モジュールは、EOFERR 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下の制御を行います。PORT0 に対して通信を行っているパイプをすべて通信終了させ、PORT0 への再 Enumeration を行ってください。</p> <p>(1) PORT0 の UACT ビットを 0 に変更</p> <p>(2) PORT0 をアイドル状態に遷移</p> <p>0 : EOFERR 割り込み非発生 1 : EOFERR 割り込み発生</p>
5	SIGN	0	R/W*1	<p>セットアップトランザクションエラー割り込みステータス</p> <p>本モジュールが発行した SETUP トランザクションにおいて、ファンクションデバイスが ACK 応答を行わない状態が連続 3 回発生したときにセットされます。詳細な検出条件は以下のとおりです。</p> <p>(1) ファンクションデバイスが何も応答しない状態で本モジュールがタイムアウトを検出したとき</p> <p>(2) ACK パケットが破損したとき</p> <p>(3) ACK 以外のハンドシェイク (NAK、NTET、または STALL) を受信したとき</p> <p>0 : SIGN 割り込み非発生 1 : SIGN 割り込み発生</p>
4	SACK	0	R/W*1	<p>セットアップトランザクション正常応答割り込みステータス</p> <p>本モジュールが発行した SETUP トランザクションにおいて、ファンクションデバイスからの ACK 応答を受信したときにセットされます。</p> <p>0 : SACK 割り込み非発生 1 : SACK 割り込み発生</p>
3-0	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>

- 【注】 *1 0書き込みのみ有効です。
- *2 本レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。
- *3 本モジュールは BCHG ビットが示すステータス変化をクロック停止中 (SCKE = 0) でも検出し、対応する割り込みが許可されていれば割り込み要求を出力します。ステータスのクリアはクロック許可後に行ってください。

25.3.21 割り込みステータスレジスタ 2 (INTSTS2)

各割り込みのステータスを確認するレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHG	—	DTCH	ATTCH	—	—	—	—	EOF ERR	—	—	—	—	—	—
初期値:	不定	0	不定	0	0	不定	不定	不定	不定	0	不定	不定	不定	不定	不定	不定
R/W:	R	R/W*1	R	R/W*1	R/W*1	R	R	R	R	R/W*1	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
14	BCHG	0	R/W*1	PORT1 USB バス変化割り込みステータス*3 PORT1 のフルスピード/ロースピード信号レベルでの状態変化が発生した (J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかに状態変化した) ときに、本ビットはセットされます。BCHG 割り込み発生時は、LNST ビット読み出しを数回行い一致することを確認することで、チャタリング除去を実施してください。 0: BCHG 割り込み非発生 1: BCHG 割り込み発生
13	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
12	DTCH	0	R/W*1	PORT1 USB 切断検出割り込みステータス PORT1 の USB バスディスコネク検出時にセットされます。本モジュールは、USB Specification2.0 に準じた基準でバスディスコネクを検出します。本モジュールは、DTCH 割り込みを発生後 (当該する割り込み許可ビットの設定値にかかわらず) 以下の制御を行います。PORT1 に対して通信を行っているパイプをすべて通信終了させ、PORT1 へのアタッチ (ATTCH 割り込み発生) 待ちの状態に移行してください。 (1) PORT1 の UACT ビットを0に変更 (2) PORT1 をアイドル状態に移行 0: DTCH 割り込み非発生 1: DTCH 割り込み発生

ビット	ビット名	初期値	R/W	説明
11	ATTCH	0	R/W*1	<p>PORT1 USB 接続検出割り込みステータス</p> <p>ホストコントローラ機能選択時に、PORT1 にフルスピード / ロースピード信号レベルの J-State または K-State を 2.5μs 間発生したとき、PORT1 ATTCH 割り込みを検知し、セットされます。詳細な検出条件は以下のとおりです。</p> <p>(1) K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5μs 間継続したとき</p> <p>(2) J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5μs 間継続したとき</p> <p>0 : ATTCH 割り込み非発生 1 : ATTCH 割り込み発生</p>
10~7	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
6	EOFERR	0	R/W*1	<p>PORT1 EOF エラー検出割り込みステータス</p> <p>USB Specification2.0 に定められている EOF2 タイミング時点で、PORT1 の通信が終了しないときにセットされます。本モジュールは、EOFERR 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下の制御を行います。PORT1 に対して通信を行っているパイプをすべて通信終了させ、PORT1 への再 Enumeration を行ってください。</p> <p>(1) PORT1 の UACT ビットを 0 に変更</p> <p>(2) PORT1 をアイドル状態に遷移</p> <p>0 : EOFERR 割り込み非発生 1 : EOFERR 割り込み発生</p>
5~0	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>

【注】 *1 0 書き込みのみ有効です。

*2 本レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

*3 本モジュールは BCHG ビットが示すステータス変化をクロック停止中 (SCKE = 0) でも検出し、対応する割り込みが許可されていれば割り込み要求を出力します。ステータスのクリアはクロック許可後に行ってください。

25.3.22 BRDY 割り込みステータスレジスタ (BRDYSTS)

各パイプの BRDY 割り込みステータスを確認するレジスタです。BRDY 割り込みステータスは、BRDYM ビットおよび各パイプの BFRE ビットの設定により発生条件とクリア方法が異なります。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDY	PIPE8 BRDY	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY
初期値:	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

(1) BRDYM = 0 かつ BFRE = 0 設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応するビットに 1 を設定します。

(a) 送信方向に設定したパイプの場合

- DIR ビットを 0 から 1 に変更したとき
- 当該パイプに割り付けた FIFO バッファへ、CPU からの書き込み不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、当該パイプの packets 送信を完了したとき。連続送受信モードに設定した場合には、FIFO バッファ面分のデータの送信完了時に要求トリガが発生します。
- FIFO バッファをダブルバッファに設定しているとき、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき。FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- アイソクロナス転送のパイプにおいて、本モジュールによるバッファフラッシュが発生したとき
- ACLRM ビットに 1 を書き込みことにより、FIFO バッファが書き込み不可状態から書き込み可能状態になったとき

DCP に対して (すなわちコントロール転送でのデータ転送においては) は、要求トリガは発生しません。

(b) 受信方向に設定したパイプの場合

- 当該パイプに割り付けたFIFOバッファへ、CPUからの読み出し不可状態のとき (BSTSビット読み出し値が0のとき) に、パケット受信が正常に完了しFIFOバッファが読み出し可能状態になったとき。
データPIDミスマッチのトランザクションに対して要求トリガは発生しません。
連続送受信モードの場合には、マックスパケットサイズのデータサイズで、まだバッファに空きがある場合には要求トリガは発生しません。
ショートパケットを受信した場合には、FIFOバッファに空きがあっても要求トリガは発生します。
トランザクションを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。
このとき、FIFOバッファにまだ空きがあっても要求トリガは発生します。
- FIFOバッファをダブルバッファに設定しているとき、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき。読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では、本割り込みは発生しません。

本レジスタの該当パイプに対応するビットに0を書き込むことにより、該当パイプの割り込みステータスビットを0にクリアすることができます。本割り込みステータスのクリアは、必ずFIFOバッファへのアクセスを行う前に実施してください。

(2) BRDYM = 0 かつ BFRE = 1 設定時

この設定の場合、受信パイプにおいて1トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、該当パイプに対応するビットに1を設定します。

以下のいずれかのときに1トランスファにおける最後のデータを受信したと判断します。

(a) Zero-Length パケットを含むショートパケットを受信したとき

(b) トランザクションカウンタ (TRNCNT ビット) を使用し、TRNCNT ビット設定値分のパケットを受信したとき。

上記判定条件を満たした後、そのデータの読み出しが完了したときに、1トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合には、FIFO ポートコントロールレジスタのFRDY ビットが1、DTLN ビットが0の状態になった時点で、1トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応する FIFICTR レジスタのBCLR ビットに1を書き込んでください。

本設定の場合には、送信パイプに対してBRDY 割り込みを検出しません。

本レジスタの該当パイプに対応するビットに 0 を書き込むことにより、当該パイプの割り込みステータスビットを 0 にクリアすることができます。

本モードを使用するときには、トランスファ分の処理を終了するまで BFRE ビットの設定値を変更しないでください。途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(3) BRDYM = 1 かつ BFRE = 0 設定時

この設定の場合、本ビットの値は各パイプの BSTS ビットに連動します。すなわち、BRDY 割り込みステータスは FIFO バッファの状態によって設定されます。

(a) 送信方向に設定したパイプの場合

FIFO ポートにデータが書き込み可能な状態であれば 1 を設定し、書き込み不可の状態になれば 0 が設定されます。ただし、DCP の送信パイプが書き込み可能であっても、BRDY 割り込みは発生しません。

(b) 受信方向に設定したパイプの場合

FIFO ポートにデータが読み出し可能な状態であれば 1 を設定し、すべてのデータを読み出したら（読み出し不可の状態になったら）0 が設定されます。

FIFO バッファが空で Zero-length パケットを受信した場合、BCLR = 1 を書き込むまで該当ビットには 1 が設定され BRDY 割り込みを発生し続けます。

本設定時、本ビットの 0 クリアを行うことはできません。

BRDYM = 1 設定時は、BFRE ビットは必ずすべて（全パイプ）0 に設定してください。

ビット	ビット名	初期値	R/W	説明
15 ~ 10	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
9	PIPE9BRDY	0	R/W*	パイプ 9 の BRDY 割り込みステータス パイプ 9 の BRDY 割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生
8	PIPE8BRDY	0	R/W*	パイプ 8 の BRDY 割り込みステータス パイプ 8 の BRDY 割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生
7	PIPE7BRDY	0	R/W*	パイプ 7 の BRDY 割り込みステータス パイプ 7 の BRDY 割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生

ビット	ビット名	初期値	R/W	説明
6	PIPE6BRDY	0	R/W*	パイプ 6 の BRDY 割り込みステータス パイプ 6 の BRDY 割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生
5	PIPE5BRDY	0	R/W*	パイプ 5 の BRDY 割り込みステータス パイプ 5 の BRDY 割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生
4	PIPE4BRDY	0	R/W*	パイプ 4 の BRDY 割り込みステータス パイプ 4 の BRDY 割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生
3	PIPE3BRDY	0	R/W*	パイプ 3 の BRDY 割り込みステータス パイプ 3 の BRDY 割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生
2	PIPE2BRDY	0	R/W*	パイプ 2 の BRDY 割り込みステータス パイプ 2 の BRDY 割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生
1	PIPE1BRDY	0	R/W*	パイプ 1 の BRDY 割り込みステータス パイプ 1 の BRDY 割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生
0	PIPE0BRDY	0	R/W*	パイプ 0 の BRDY 割り込みステータス パイプ 0 の BRDY 割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生

【注】 * 0 書き込みのみ有効です。

25.3.23 NRDY 割り込みステータスレジスタ (NRDYSTS)

各パイプの NRDY 割り込みステータスを確認するレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDY	PIPE8 NRDY	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
初期値:	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

PID = BUF に設定したパイプに内部 NRDY 割り込み要求が発生した場合、発生したパイプに対応するビットを 1 に設定します。あるパイプに対して内部 NRDY 割り込み要求が発生する条件を下記に述べます。ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時の SETUP トランザクションでは、SACK 割り込み、または SIGN 割り込みが発生します。また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生しません。

(1) ホストコントローラ機能選択時、かつスプリットトランザクションが発生しない接続の場合

(a) 送信方向パイプの場合

下記のいずれかの条件を満たした場合に、NRDY 割り込みが発生します。

- アイソクロナス転送のパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき。このとき、本モジュールはOUTトークンに続けてZero-Lengthパケットを送信し、当該パイプに対応するビットに1を設定し、OVRNビットにも1を設定します。
- アイソクロナス転送以外のパイプ、かつSETUPトランザクション以外の通信において、ファンクションデバイスが無応答（ファンクションデバイスからのハンドシェイクパケットを検出しないうままタイムアウトを検出した。またはファンクションデバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。このとき、当該パイプに対応するビットに1を設定し、対応するパイプのPIDビットをSTALLに変更します。
- SETUPトランザクション以外の通信において、ファンクションデバイスからSTALLハンドシェイクを受信したとき（OUTに対するSTALLだけでなく、PINGに対するSTALLも該当します）、当該パイプに対応するビットに1を設定し、対応するパイプのPIDビットをSTALLに変更します。

(b) 受信方向パイプの場合

- アイソクロナス転送のパイプにおいて、FIFOバッファに空きがない状態でINトークン発行タイミングに達したとき。このとき、本モジュールはINトークンに対する受信データを破棄し、当該パイプに対応するビットに1を設定し、OVRNビットも1に設定します。さらに、INトークンに対する受信データにパケットエラーを検出した場合には、CRCEビットにも1を設定します。
- アイソクロナス転送以外のパイプで、本モジュールが発行したINトークンに対して、ファンクションデバイスが無応答（ファンクションデバイスからのDATAパケットを検出しないうままタイムアウトを検出した場合、またはファンクションデバイスからのパケットにエラーを検出したケースが任意の組み合わせで3

回連続して発生したとき。このとき、当該パイプに対応するビットに1を設定し、対応するパイプのPIDビットをNAKに設定します。

- アイソクロナス転送のパイプにおいて、INトークンに対してファンクションデバイスが無応答（ファンクションデバイスからのDATAパケットを検出しないうままタイムアウトを検出）した場合、またはファンクションデバイスからのパケットにエラーを検出したとき。このとき、当該パイプに対応するビットに1を設定します。（対応するパイプのPIDビットの変更は行いません）
- アイソクロナス転送のパイプにおいて、受信したデータパケットにCRCエラーまたはビットスタッフィングエラーを検出したとき。このとき、当該パイプに対応するビットに1を設定し、CRCEビットに1を設定します。
- STALLハンドシェイクを受信したとき。このとき、当該パイプに対応するビットに1を設定し、対応するパイプのPIDビットをSTALLに変更します。

(2) ホストコントローラ機能選択時、かつスプリットトランザクションが発生するの接続の場合

(a) 送信方向パイプの場合

- アイソクロナス転送のパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき。このとき、Start-Splitトランザクション（S-Split）発行時点で当該パイプに対応するビットに1を設定し、OVRNビットに1を設定します。また、OUTトークンに続けてZero-Lengthパケットを送信します。
- アイソクロナス転送以外のパイプにおいて、S-SplitまたはComplete-Splitトランザクション（C-Split）に対して、ハブが無応答（ハブからのハンドシェイクパケットを検出しないうままタイムアウトを検出）、またはハブからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。このとき、当該パイプに対応するビットに1を設定し、対応するパイプのPIDビットをNAKに変更します。C-Split発行時にNRDY割り込みを検出した場合には、本モジュールはCSSTSビットをクリアし0を設定します。
- C-Splitに対し、STALLハンドシェイクを受信したとき。このとき、当該パイプに対応するビットに1を設定し、対応するパイプのPIDビットをSTALLに変更し、CSSTSビットをクリアし0を設定します。ただしSETUPトランザクションにおいては、本割り込みを検出しません。
- インタラプト転送のパイプにおいて、microFrame番号 = 4のときのC-Splitに対して、NYETを受信したとき。このとき、当該パイプに対応するビットに1を設定し、CSSTSビットをクリアし0を設定します（対応するパイプのPIDビットは変更しません）。

(b) 受信方向パイプの場合

- アイソクロナス転送のパイプにおいて、FIFOバッファに空きがない状態でINトークン発行タイミングに達したとき。このとき、S-Split発行時点で当該パイプに対応するビットに1を設定し、OVRNビットに1を設定します。また、INトークンに対する受信データを破棄します。
- バルク転送のパイプの転送、またはDCPのSETUPトランザクション以外の転送において、S-SplitまたはC-Split発行時に、本モジュールが発行したINトークンに対してハブが無応答（ハブからのDATAパケットを検出しないうままタイムアウトを検出）した場合、またはハブからのパケットにエラーを検出した場合が任意の組み

合わせて3回連続して発生したとき。このとき、当該パイプに対応するビットに1を設定し、対応するパイプのPIDビットをNAKに変更します。C-Splitにおいて本条件が発生した場合には、CSSTSビットをクリアし0を設定します。

- アイソクロナス転送またはインタラプト転送のパイプのC-Splitにおいて、本モジュールが発行したINトークンに対してハブが無応答（ハブからのDATAパケットを検出しないままタイムアウトを検出）した場合、またはハブからのパケットにエラーを検出した場合が任意の組み合わせで3回連続して発生したとき。インタラプト転送のパイプにおいて本条件が発生した場合、当該パイプに対応するビットに1を設定し、対応するパイプのPIDビットをNAKに変更し、CSSTSビットをクリアし0を設定します。アイソクロナス転送のパイプにおいて本条件が発生した場合、当該パイプに対応するビットに1を設定し、CRCEビットに1を設定し、CSSTSビットをクリアし0を設定します（パイプのPIDビットの変更は行いません）。
- アイソクロナス転送以外のパイプのC-Splitにおいて、STALLハンドシェイクを受信したとき。このとき、当該パイプに対応するビットに1を設定し、対応するパイプのPIDビットをSTALLに変更し、CSSTSビットをクリアし0を設定します。
- アイソクロナス転送/インタラプト転送のパイプのC-Splitにおいて、microFrame = 4のときにNYETハンドシェイクを受信した場合。このとき、当該パイプに対応するビットに1を設定し、CRCEビットに1を設定し、CSSTSビットをクリアし0を設定します（パイプのPIDビットの変更は行いません）。

(3) ファンクションコントローラ機能選択時

(a) 送信方向パイプの場合

- FIFOバッファに送信データがない状態でINトークンを受信したとき。INトークン受信時にNRDY割り込み要求を発生させ、当該パイプに対応するビットに1を設定します。割り込み発生パイプがアイソクロナス転送の場合、本モジュールはZero-Lengthパケットを送信し、OVRNビットに1を設定します。

(b) 受信方向パイプの場合

- FIFOバッファに空きがない状態でOUTトークンを受信したとき。割り込み発生パイプがアイソクロナス転送の場合、OUTトークン受信時にNRDY割り込み要求を発生させ、当該パイプに対応するビットに1を設定し、OVRNビットに1を設定します。割り込み発生パイプがアイソクロナス転送以外の場合、OUTトークンに続くデータ受信後NAKハンドシェイクを送信するときにNRDY割り込み要求を発生させ、当該パイプに対応するビットに1を設定します。ただし、再送とき（DATA-PIDミスマッチ発生とき）には、NRDY割り込み要求を発生させません。また、DATAパケットにエラーがある場合にも、発生させません。
- FIFOバッファに空きがない状態でPINGトークンを受信したとき。PINGトークン受信時にNRDY割り込み要求を発生させ、当該パイプに対応するビットに1を設定します。
- アイソクロナス転送のパイプにおいて、インターバルフレーム内に正常受信されなかったとき。SOF受信のタイミングで、NRDY割り込み要求を発生させ、当該パイプに対応するビットに1を設定します。

ビット	ビット名	初期値	R/W	説明
15~10	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
9	PIPE9NRDY	0	R/W*	パイプ9のNRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
8	PIPE8NRDY	0	R/W*	パイプ8のNRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7NRDY	0	R/W*	パイプ7のNRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6NRDY	0	R/W*	パイプ6のNRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5NRDY	0	R/W*	パイプ5のNRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4NRDY	0	R/W*	パイプ4のNRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3NRDY	0	R/W*	パイプ3のNRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2NRDY	0	R/W*	パイプ2のNRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1NRDY	0	R/W*	パイプ1のNRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
0	PIPE0NRDY	0	R/W*	パイプ0のNRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

【注】 * 0書き込みのみ有効です。

25.3.24 BEMP 割り込みステータスレジスタ (BEMPSTS)

各パイプの BEMP 割り込みステータスを確認するレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMP	PIPE8 BEMP	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP
初期値:	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

PID=BUF に設定したパイプに対して、本モジュールが BEMP 割り込みを検出した場合に、該当パイプに対応するビットに 1 を設定します。以下の場合に、本モジュールは内部 BEMP 割り込み要求を発生させます。

(a) 送信方向パイプの場合

送信方向パイプにおいて、送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき。シングルバッファ設定時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。

ただし、以下の場合には内部 BEMP 割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時に、CPU側のFIFOバッファに対する書き込みを開始している場合
- ACLRMビットまたはBCLRビットに1を書き込むことによるバッファクリア (エンプティ)。
- ファンクションコントローラ機能設定時、コントロール転送ステータスステージのIN転送 (Zero-Lengthパケット送信) 時

(b) 受信方向パイプの場合

マックスパケットサイズの設定値より大きなデータサイズを正常受信したとき。この場合、BEMP 割り込み要求を発生させ、該当パイプに対応するビットに 1 を設定し、受信データを破棄し、対応するパイプの PID ビットを STALL に変更します。このとき本モジュールは、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。

ただし、以下の場合には内部 BEMP 割り込み要求を発生させません。

- 受信データにCRCエラー、またはビットスタッフィングエラー等を検出したとき
- SETUPトランザクション実行時

ビット	ビット名	初期値	R/W	説明
15 ~ 10	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
9	PIPE9BEMP	0	R/W*	パイプ 9 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説 明
8	PIPE8BEMP	0	R/W*	パイプ 8 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7BEMP	0	R/W*	パイプ 7 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BEMP	0	R/W*	パイプ 6 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BEMP	0	R/W*	パイプ 5 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BEMP	0	R/W*	パイプ 4 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BEMP	0	R/W*	パイプ 3 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BEMP	0	R/W*	パイプ 2 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BEMP	0	R/W*	パイプ 1 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
0	PIPE0BEMP	0	R/W*	パイプ 0 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

【注】 * 0 書き込みのみ有効です。

25.3.25 フレームナンバーレジスタ (FRMNUM)

アイソクロナスエラー通知の要因判別、およびフレーム番号の表示をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
初期値:	0	0	不定	不定	不定	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	OVRN	0	R/W*	<p>オーバラン/アンダラン検出ステータス</p> <p>転送タイプがアイソクロナス転送のパイプにおいて、オーバランまたはアンダランを検出したときにセットされます。</p> <p>オーバランまたはアンダラン検出時には、NRDY 割り込み要求を発生させます。</p> <p>詳細は、「25.3.23 NRDY 割り込みステータスレジスタ (NRDYSTS)」を参照してください。</p> <p>[ホストコントローラ機能選択時]</p> <p>以下のいずれかの場合に、本ビットを 1 にセットします。</p> <ul style="list-style-type: none"> 転送タイプがアイソクロナス転送の送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき。 転送タイプがアイソクロナス転送の受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき。 <p>[ファンクションコントローラ機能選択時]</p> <p>以下のいずれかの場合に、本ビットを 1 にセットします。</p> <ul style="list-style-type: none"> 転送タイプがアイソクロナス転送の送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき。 転送タイプがアイソクロナス転送の受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき。 <p>0 : エラーなし 1 : エラー発生</p> <p>【注】 本ビットはデバッグ用です。システムとしてオーバラン/アンダランが発生しないよう設計してください。</p>

ビット	ビット名	初期値	R/W	説明
14	CRCE	0	R/W*	CRC エラー検出ステータス 転送タイプがアイソクロナス転送のパイプにおいて、CRC エラーやビットスタッフィングエラーを検出したときにセットされます。またこのとき、同時に内部 NRDY 割り込み要求を発生させます。詳細は「25.3.23 NRDY 割り込みステータスレジスタ (NRDYSTS)」を参照してください。 0: エラーなし 1: エラー発生
13~11	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
10-0	FRNM [10:0]	H'000	R	フレーム番号 フレーム番号を確認できます。1ms に 1 回の SOF 発行タイミングまたは SOF 受信時に本ビットを更新し、フレーム番号を表示します。 【注】 本ビットを読み出す場合には、2 回読み出し一致することを確認してください。

【注】 * 0 書き込みのみ有効です。

25.3.26 μフレームナンバーレジスタ (UFRMNUM)

μフレーム番号を表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRMNUM[2:0]		
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
2~0	UFRMNUM[2:0]	000	R	μフレーム μフレーム番号が確認できます。PORT0またはPORT1の少なくとも一方がハイスピードの場合、μフレーム番号が読み出されます。PORT0とPORT1の両方がハイスピード以外の場合、本ビットは常にB'000が読み出されます。 【注】本ビットを読み出す場合には、2回読み出し一致することを確認してください。

25.3.27 USB アドレスレジスタ (USBADDR)

USB アドレスを表示します。

本レジスタは、ファンクションコントローラ機能選択時のみ有効です。ホストコントローラ機能選択時のファンクションのアドレスの設定は、PIPEMAXP レジスタの DEVSEL ビットを使用してください。

本レジスタは、パワーオンリセット、および USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
6~0	USBADDR[6:0]	H'00	R	USB アドレス ファンクションコントローラ機能選択時、ホストから SetAddress リクエストにて割り付けられた USB アドレスが設定されます。

25.3.28 USB リクエストタイプレジスタ (USBREQ)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。

ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。ホストコントローラ機能選択時、SUREQ = 1 設定後、SUREQ = 0 を読み出すまでは、本レジスタの書き換えは行わないでください。

本レジスタは、パワーオンリセット、および USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~8	BREQUEST[7:0]	H'00	R/W*	リクエスト USB リクエスト bRequest の値を格納します。
7~0	BMREQUEST TYPE[7:0]	H'00	R/W*	リクエストタイプ USB リクエスト bmRequestType の値を格納します。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

25.3.29 USB リクエストバリューレジスタ (USBVAL)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。

ホストコントローラ機能選択時、送信する wValue の値を設定します。ホストコントローラ機能選択時、SUREQ = 1 設定後、SUREQ = 0 を読み出すまでは、本レジスタの書き換えは行わないでください。

本レジスタは、パワーオンリセット、および USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WVALUE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WVALUE[15:0]	H'0000	R/W*	バリュー USB リクエスト wValue の値を格納します。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

25.3.30 USB リクエストインデックスレジスタ (USBINDEX)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。

ホストコントローラ機能選択時、送信する wIndex の値を設定します。ホストコントローラ機能選択時、SUREQ = 1 設定後、SUREQ = 0 を読み出すまでは、本レジスタの書き換えは行わないでください。

本レジスタは、パワーオンリセット、および USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WINDEX[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WINDEX[15:0]	H'0000	R/W*	インデックス USB リクエスト wIndex の値を格納します。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

25.3.31 USB リクエストレングスレジスタ (USBLENG)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

ファンクションコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

ホストコントローラ機能選択時、送信する wValue の値を設定します。ホストコントローラ機能選択時、SUREQ = 1 設定後、SUREQ = 0 を読み出すまでは、本レジスタの書き換えは行わないでください。

本レジスタは、パワーオンリセット、および USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WLENGTH[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WLENGTH[15:0]	H'0000	R/W*	レングス USB リクエスト wLength の値を格納します。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

25.3.32 DCP コンフィギュレーションレジスタ (DCPCFG)

デフォルトコントロールパイプ (DCP) の転送方向を選択します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CNTMD	SHTNAK	—	—	DIR	—	—	—	—
初期値:	不定	不定	不定	不定	不定	不定	不定	0	0	不定	不定	0	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
8	CNTMD	0	R/W	連続転送モード* DCP を連続転送モードで通信させるかどうかを指定します。本ビットの設定値によって、本モジュールは DCP に割り当てられた FIFO バッファに対する送受信完了判定を表 25.12 に示すとおりに行います。 0: 非連続転送モード 1: 連続転送モード
7	SHTNAK	0	R/W	トランスファ終了時のパイプ禁止* DCP が受信方向の場合に、トランスファ終了時 PID を NAK に変更するかどうかを指定します。 本ビットを 1 に設定している場合、本モジュールは DCP に対しトランスファの終了を判定したときに、PID ビットを NAK に変更します。 本モジュールは、ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したときにトランスファ終了と判定します。 0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止 【注】 DCP が送信方向の場合は、本ビットを 0 に設定してください。
6, 5	-	不定	R/W	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
4	DIR	0	R/W	転送方向 ホストコントローラ機能選択時のコントロール転送のデータステージ、ステータスステージの転送方向を設定します。 0: データ受信方向 1: データ送信方向
3~0	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

【注】 ファンクションコントローラ機能を選択したときは、DIR ビットの値を 0 に設定してください。

- * DCP の PID ビットを BUF から NAK へ変更してからビットの変更をする場合には、CSSTS=0 および PBUSY=0 を確認してから変更してください。ただし、本モジュールが PID を NAK に変更した場合には、PBUSY ビットの確認は必要ありません。
- CNTMD ビットの変更は、CSSTS=0、PID=NAK、および CURPIPE ビット未設定時に行ってください。また、DCP を使用した USB 通信を行った後、ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、BCLR=1 を書き込み、DCP に割り付けられた FIFO バッファのクリアを実行してください。
- SHTNAK ビットの変更は、CSSTS=0 および PID=NAK の状態のときに行ってください。

表 25.12 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

CNTMD ビット 設定値	読み出し可能状態、送信可能状態判別方法
0	受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 <ul style="list-style-type: none"> • 本モジュールが 1 パケット受信したとき
	送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 以下、(1)、(2)のいずれかを満たしたとき (1) マックスパケットサイズ分のデータを FIFO バッファに書き込んだとき (2) ショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき
1	受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 以下、(1) ~ (3)のいずれかを満たしたとき (1) DCP に割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 (256 バイト固定) が等しくなったとき (2) Zero-Length パケット以外のショートパケットを受信したとき (3) DCP に割り当てられた FIFO バッファにすでにデータが格納されている状態で、本モジュールが Zero-Length パケットを受信したとき
	送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 以下、(1)、(2)のいずれかを満たしたとき (1) 書き込んだデータ数が、DCP に割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき (2) DCP に割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき

25.3.33 DCP マックスパケットサイズレジスタ (DCPMAXP)

DCP に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
初期値:	0	0	0	0	不定	不定	不定	不定	不定	1	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	DEVSEL[3:0]	0000	R/W	デバイス選択* ホストコントローラ機能選択時に通信相手のデバイスアドレスを指定します。本ビットの設定値に対応する DEVADDn レジスタの設定を行った後で、本ビットを設定してください。たとえば、DEVSEL = 0010 を設定する場合、DEVADD2 レジスタの設定を行ってください。 0000 : アドレス 0000 0001 : アドレス 0001 . . . 1001 : アドレス 1001 1010 : アドレス 1010 1011~1111 : 設定禁止
11~7	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
6~0	MXPS[6:0]	H'40	R/W	マックスパケットサイズ* DCP のマックスパケットサイズを指定します。 【注】 USB 規格以外の設定は行わないでください。 MXPS = 0 の設定で FIFO バッファへの書き込み、または PID = BUF の設定は行わないでください。

【注】 * DEVSEL ビットの設定は、CSSTS = 0、PID = NAK、および SUREQ = 0 の期間に実施してください。

MXPS ビットの設定は、CSSTS = 0、PID = NAK の状態のときに行ってください。

DCP の PID ビットを BUF から NAK へ変更してからビットの変更をする場合には、CSSTS = 0 および PBUSY = 0 を確認してから変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

ファンクションコントローラ機能を選択したときは、DEVSEL ビットの値を 0 に設定してください。

25.3.34 DCP コントロールレジスタ (DCPCTR)

DCP に対して、バッファメモリステータスの確認、セットアップトランザクション制御、スプリットトランザクション制御、データ PID シーケンスビットの変更と確認、および応答 PID の設定を行います。

本レジスタは、パワーオンリセットで初期化されます。また、USB パスリセットで CCPL、PID[1:0]ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	SUREQ	CSCLR	CSSTS	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	PINGE	—	CCPL	PID[1:0]	
初期値:	0	0	0	0	0	不定	不定	0	0	1	0	0	不定	0	0	0
R/W:	R	R/W*2	R*1/ W*2	R	R*1/ W*2	R	R	R*1/ W*2	R*1/ W*2	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>DCP FIFO バッファへのアクセス可否ステータスを示します。バッファアクセスの方向が書き込みなのか読み出しなのかは、CFIFOSEL.ISEL ビットの設定値によって決まります。</p> <p>0: バッファアクセス不可 1: バッファアクセス可</p>
14	SUREQ	0	R/W*2	<p>セットアップトークン送出</p> <p>本ビットを 1 にセットすることにより、セットアップパケットを送信します。本モジュールは、セットアップトランザクション完了後、SACK 割り込みもしくは SIGN 割り込みのどちらかを発生させ、本ビットを 0 にします。DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタにセットアップトランザクションで送信したい USB リクエストを設定した後で、本ビットに 1 を設定してください。本ビットを 1 に設定する前に、DCP の PID ビットが NAK に設定されていることを確認してください。</p> <p>0: 無効 1: セットアップパケット送出</p> <p>【注】本ビットを 1 に設定後、セットアップトランザクションが終了するまで (SUREQ = 1) の期間は、DEVSEL ビット、USBREQ ビット、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。SETUP トークンを出力するときのみ本ビットを 1 に設定してください。その他のときには、必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
13	CSCLR	0	R*/W* ²	<p>スプリットトランザクションの CSPLIT ステータスクリア</p> <p>ホストコントローラ機能選択時、本ビットに 1 を設定すると CSSTS ビットは 0 にクリアされます。スプリットトランザクションを使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-Split 終了時に自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。</p> <p>0 : START-SPLIT (SSPLIT) トランザクション処理中またはスプリットトランザクション未使用デバイスの処理中</p> <p>1 : CSPLIT トランザクション処理中</p> <p>【注】本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。</p>
12	CSSTS	0	R	<p>スプリットトランザクションの COMPLETE SPLIT (CSPLIT) ステータス</p> <p>ホストコントローラ機能選択時に、スプリットトランザクションの C-Split ステータスを示します。C-Split 開始時に 1 が設定され、C-Split が終了したときに 0 に設定されます。</p> <p>0 : START-SPLIT (SSPLIT) トランザクション処理中またはスプリットトランザクション未使用デバイスの処理中</p> <p>1 : CSPLIT トランザクション処理中</p>
11	SUREQCLR	0	R*/W* ²	<p>SUREQ ビットのクリア</p> <p>ホストコントローラ機能選択時に、本ビットを 1 に設定すると SUREQ ビットが 0 にクリアされます。セットアップトランザクションにおいて、SUREQ=1 のまま通信が停止したときに、本ビットに 1 を設定してください。正常なセットアップトランザクションでは、トランザクション終了時に自動的に SUREQ ビットを 0 にクリアしますので、クリア処理は不要です。</p> <p>0 : 無効</p> <p>1 : SUREQ ビットの 0 クリア実効</p> <p>【注】本ビットによる SUREQ ビットの制御は、UACT=0 による通信停止時またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。</p>
10、9	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
8	SQCLR	0	R*/W* ²	<p>トグルビットクリア*³</p> <p>DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定することができます。</p> <p>0: 無効</p> <p>1: DATA0 指定</p> <p>【注】 SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p>
7	SQSET	0	R*/W* ²	<p>トグルビットセット*³</p> <p>DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定することができます。</p> <p>0: 無効</p> <p>1: DATA1 指定</p> <p>【注】 SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p>
6	SQMON	1	R	<p>トグルビット確認</p> <p>DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を示します。トランザクションが正常処理すると本ビットはトグルします。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、トグルしません。ファンクションコントローラ機能選択時、セットアップパケット正常受信時に、本ビットは 1 にセット（期待値を DATA1 に設定）されます。ファンクションコントローラ機能選択時、本モジュールはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また正常終了してもトグルしません。</p> <p>0: DATA0</p> <p>1: DATA1</p>
5	PBUSY	0	R	<p>PIPE ビジー</p> <p>当該パイプを現在トランザクションで使用中心かどうかが表示されます。</p> <p>0: 当該パイプはトランザクションで未使用</p> <p>1: 当該パイプはトランザクションで使用</p> <p>本モジュールは、DCP の USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。</p> <p>PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p> <p>詳細は「25.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
4	PINGE	0	R/W	<p>PING トークン発行許可*3</p> <p>ホストコントローラ機能選択時、本ビットを 1 にすることにより、送信方向の転送において PING トークンの発行を行います。送信方向の転送を PING トランザクションから開始します。PING トランザクションにおいて ACK ハンドシェイクを検出した場合、次のトランザクションで OUT トランザクションを実行します。OUT トランザクションにおいて NAK ハンドシェイクを検出した場合、次のトランザクションで PING トランザクションを実行します。ホストコントローラ機能選択時、本ビットを 0 にすることにより、送信方向において PING トークンの発行を行いません。送信方向の転送はすべて OUT トランザクションを実行します。</p> <p>0 : PING トークン発行禁止 1 : 通常 PING 動作</p>
3	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
2	CCPL	0	R/W	<p>コントロール転送終了許可</p> <p>ファンクションコントローラ機能選択時、対応する PID ビットが BUF のときに、本ビットを 1 に設定することでコントロール転送のステータスを完了することができます。</p> <p>すなわち、コントロールリード転送時ではホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時ではホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、本ビットの設定に関係なくセットアップステージからステータスステージ完了まで自動応答を行います。新たな SETUP パケットを受信したとき、本モジュールは本ビットを 1 から 0 に変更します。</p> <p>0 : 無効 1 : コントロール転送終了</p> <p>【注】 VALID=1 のとき、本ビットへの 1 書き込みを行うことはできません。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>コントロール転送における応答を制御します。</p> <p>コントロール転送のデータステージまたはステータスステージ実行時、NAK から BUF に変更してください。</p> <p>[ホストコントローラ機能選択時]</p> <p>以下の手順で本ビットを NAK から BUF に変更してください。</p> <p>(1) 送信方向設定時</p> <p>UACT = 1 かつ PID = NAK の状態で FIFO バッファに送信データを書き込み完了し、PID = BUF を書き込んでください。PID = BUF の書き込み後、OUT トランザクション (または PING トランザクション) を実行します。</p> <p>(2) 受信方向設定時</p> <p>UACT = 1 かつ PID = NAK の状態で FIFO バッファが空の状態であることを確認し (空の状態にし)、PID = BUF を書き込んでください。PID = BUF の書き込み後、IN トランザクションを実行します。</p> <p>以下の (1) ~ (3) いずれかの場合には本モジュールが本ビットの値を変更します。</p> <p>(1) 本ビットに BUF を設定しているときに、マックスパケットサイズを超えるデータを受信した場合、本モジュールは PID = STALL に設定します。</p> <p>(2) CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID = NAK に設定します。</p> <p>(3) STALL ハンドシェイクを受信した場合、本モジュール PID = STALL に設定します。</p> <p>当該パイプにおいて Split トランザクションの S-Split 発行後 (CSSTS = 1 表示中) に本ビットを NAK に変更しても、C-Split 終了までトランザクションを実行します。</p> <p>[ファンクションコントローラ機能選択時]</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <p>(1) SETUP パケットを受信したときに、本モジュールは PID = NAK に設定します。このとき、本モジュールは VALID = 1 を表示し、VALID = 0 を設定するまでは本ビットの変更を行うことはできません。</p> <p>(2) PID = BUF を設定しているときに、マックスパケットサイズを超えるデータを受信した場合、本モジュールは PID = STALL に設定します。</p> <p>(3) コントロール転送シーケンスエラーを検出した場合、本モジュールは PID = STALL に設定します。</p> <p>(4) USB パスリセットを検出した場合、本モジュールは PID = NAK に設定します。</p> <p>SET_ADDRESS リクエスト処理 (自動処理) 時には、本モジュールは本ビットの設定値を参照しません。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p>

【注】 ファンクションコントローラ機能を選択したときは、SUREQ、CSCLR、CSSTS、SUREQCLR、PINGE ビットの値をすべて 0 に設定してください。

また、ホストコントローラ機能を選択したときは、CCPL ビットの値は 0 に設定してください。

*1 0 読み出しのみ有効です。

*2 1 書き込みのみ有効です。

*3 ビットの変更は、CSSTS=0 および PID=NAK の状態のときに行ってください。

DCP の PID ビットを BUF から NAK へ変更してから、ビットの変更をする場合には CSSTS=0 および PBUSY=0 を確認してから変更してください。

ただし、本モジュールが PID ビットを NAK に変更した場合には PBUSY ビットの確認は必要ありません。

25.3.35 パイプウィンドウ選択レジスタ (PIPESEL)

パイプ1~9のうち、使用するパイプを選択します。パイプを選択した後、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタに、各パイプの機能設定を行います。PIPEnCTR、PIPEnTRE レジスタおよび PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
3~0	PIPESEL [3:0]	0000	R/W	パイプウィンドウ選択 本ビットに0001~1001を設定すると、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタは対応するパイプの情報、および設定値を示します。 0000: 未選択 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 【注】本ビットに0000を設定すると、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタはすべて0を示します。このとき、上記レジスタへの書き込みは無効です。

25.3.36 パイプコンフィギュレーションレジスタ (PIPECFG)

パイプ1~9に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、また連続転送モードか非連続転送モードか、シングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[1:0]	—	—	—	BFRE	DBLB	CNTMD	SHT NAK	—	—	DIR	EPNUM[3:0]				
初期値:	0	0	不定	不定	不定	0	0	0	0	不定	不定	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	TYPE[1:0]	00	R/W	転送タイプ* PIPESEL ビットに指定したパイプ (当該パイプ) の転送タイプを指定します。 <ul style="list-style-type: none"> • パイプ1、2の場合 <ul style="list-style-type: none"> 00: パイプ使用不可 01: バルク転送 10: 設定禁止 11: アイソクロナス転送 • パイプ3~5の場合 <ul style="list-style-type: none"> 00: パイプ使用不可 01: バルク転送 10: 設定禁止 11: 設定禁止 • パイプ6~9の場合 <ul style="list-style-type: none"> 00: パイプ使用不可 01: 設定禁止 10: インタラプト転送 11: 設定禁止 【注】 PID = BUF に設定する前に、必ず本ビットを 00 以外の値に設定してください。
13~11	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10	BFRE	0	R/W	<p>BRDY 割り込み動作指定*</p> <p>当該パイプに関する BRDY 割り込みの通知タイミングを指定します。本ビットは、選択パイプがパイプ 1~パイプ 5 の場合に有効なビットです。本ビットに 1 を設定し、かつ選択パイプを受信方向で使用している (DIR = 0) 場合、本モジュールは、トランスファの終了を検出し、そのパケットを読み出し終了したときに BRDY 割り込みを発行します。この設定で BRDY 割り込みが発生したときには、BCLR = 1 の書き込み処理を行う必要があります。BCLR = 1 を行うまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。本ビットに 1 を設定し、かつ選択パイプを送信方向で使用している (DIR = 1) 場合、本モジュールは BRDY 割り込みを発生させません。</p> <p>0 : データ送受信で BRDY 割り込み 1 : データ読み出しで BRDY 割り込み</p>
9	DBLB	0	R/W	<p>ダブルバッファモード*</p> <p>当該パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。本ビットは、選択パイプがパイプ 1~パイプ 5 の場合に有効なビットです。</p> <p>本ビットに 1 を設定している場合、選択パイプに対し PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを 2 面分割り当てます。すなわち、選択パイプに対して割り当てる FIFO バッファの容量は以下のとおりです。</p> <p>$(BUFSIZE+1) \times 64 \times (DBLB+1)$ バイト</p> <p>0 : シングルバッファ 1 : ダブルバッファ</p>
8	CNTMD	0	R/W	<p>連続転送モード*</p> <p>当該パイプを連続転送モードで通信させるかどうかを指定します。本ビットは選択パイプがパイプ 1~パイプ 5 であり、かつ選択パイプをバルク転送に設定している場合に有効なビットです。本ビットの設定値によって、本モジュールは選択パイプに割り当てられた FIFO バッファに対する送受信完了判定を表 25.13 に示すとおりに行います。</p> <p>0 : 非連続転送モード 1 : 連続転送モード</p>

ビット	ビット名	初期値	R/W	説明
7	SHTNAK	0	R/W	<p>トランスファ終了時のパイプ禁止*</p> <p>当該パイプが受信方向の場合に、トランスファ終了時 PID を NAK に変更するかどうかを指定します。本ビットは選択パイプがパイプ1~パイプ5であり、かつ受信方向である場合に有効なビットです。受信方向パイプに対して本ビットを 1 に設定している場合、本モジュールは選択パイプに対してトランスファの終了を判定したときに、選択パイプに対する PID ビットを NAK に変更します。本モジュールは、以下の (1) または (2) の条件が満たされたときにトランスファ終了と判定します。</p> <p>(1) ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき</p> <p>(2) トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき</p> <p>0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止</p> <p>【注】 送信方向パイプに対しては、本ビットを 0 に設定してください。</p>
6, 5	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
4	DIR	0	R/W	<p>転送方向*</p> <p>当該パイプの転送方向を指定します。</p> <p>0: 受信方向 1: 送信方向</p>
3~0	EPNUM[3:0]	0000	R/W	<p>エンドポイント番号*</p> <p>当該パイプのエンドポイント番号を指定します。</p> <p>0000 の設定は未使用パイプを意味します。</p> <p>【注】 DIR ビットと EPNUM ビットの設定の組み合わせが他のパイプ設定と重複しないように設定してください (0000 の設定は重複可能です)。</p>

【注】 選択パイプの PID ビットを BUF から NAK へ変更してからビットの変更をする場合には、CSSTS = 0 および PBUSY = 0 を確認してから変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

* TYPE ビットの変更は、選択パイプの PID ビットが NAK 状態のときに行ってください。

BFRE、DBLB、CNTMD、DIR ビットの変更は、CSSTS = 0、PID = NAK、および CURPIPE ビット未設定時に行ってください。また、選択パイプを使用した USB 通信を行った後、ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。

SHTNAK ビットの変更は、CSSTS = 0 および PID = NAK の状態のときに行ってください。

EPNUM ビットの変更は、CSSTS = 0、PID = NAK、および CURPIPE ビット未設定時に行ってください。

表 25.13 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

CNTMD ビット 設定値	読み出し可能状態、送信可能状態判定方法
0	受信方向設定時 (DIR = 0) FIFO バッファ読み出し可能状態になる条件 ・本コントローラが 1 パケット受信したとき
	送信方向設定時 (DIR = 1) FIFO バッファ送信可能状態になる条件 以下、(1)、(2)のいずれかを満たしたとき (1) マックスパケットサイズ分のデータを FIFO バッファに書き込んだとき (2) ショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL = 1 を書き込んだとき
1	受信方向設定時 (DIR = 0) FIFO バッファ読み出し可能状態になる条件 以下、(1) ~ (4)のいずれかを満たしたとき (1) 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE + 1) × 64) が等しくなったとき (2) Zero-Length パケット以外のショートパケットを受信したとき (3) 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本コントローラが Zero-Length パケットを受信したとき (4) 選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき
	送信方向設定時 (DIR = 1) FIFO バッファ送信可能状態になる条件 以下、(1) ~ (3)のいずれかを満たしたとき (1) 書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき (2) 選択パイプに割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL = 1 を書き込んだとき (3) DMA 転送終了サンプリング許可ビット (TENDE) を 1 に設定し DMA 転送で、選択パイプに割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、最後の書き込み時に DMA 転送終了信号を受け付けたとき

25.3.37 パイプバッファ指定レジスタ (PIPEBUF)

パイプ1~9に対して、バッファサイズおよびバッファ番号を指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BUFSIZE[4:0]						—	—	BUFNMB[7:0]						
初期値:	不定	0	0	0	0	0	不定	不定	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
14~10	BUFSIZE [4:0]	H'00	R/W	バッファサイズ* 当該パイプのバッファサイズを指定します。端子はブロック数であり、1ブロックは64バイトです。DBLB=1を設定している場合、選択パイプに対し本ビットで指定したFIFOバッファサイズを2面分割り当てます。選択パイプに対して割り当てるFIFOバッファの容量は以下のとおりです。 (BUFSIZE+1) × 64 × (DBLB+1) バイト PIPESELレジスタのPIPESELビットで選択したパイプに応じて、本ビットに設定可能な値が異なります。 パイプ1~5の場合: BUFSIZE = H'00 ~ H'1F を設定してください。 パイプ6~9の場合: BUFSIZE = H'00 を設定してください。 【注】CNTMD=1で使用する場合には、本ビットにはマックスパケットサイズの整数倍の値を設定してください。
9、8	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
7~0	BUFNMB [7:0]	H'00	R/W	<p>バッファ番号*</p> <p>当該パイプに割り付ける FIFO バッファのうち、先頭のブロック番号を指定してください。選択パイプに対して割り当てる FIFO バッファのブロックは以下のとおりです。</p> <p>ブロック番号 : BUFNMB ~ ブロック番号 : BUFNMB + (BUFSIZE + 1) × (DBLB + 1) - 1</p> <p>本ビットへは H'04 ~ H'9F の範囲で指定します。ただし、以下の条件があります。</p> <p>BUFNMB = H'00 ~ H'03 は DCP 専用です。</p> <p>BUFNMB = H'04 はパイプ 6 専用です。ただし、パイプ 6 を使用しない場合は他のパイプで使用可能です。また選択パイプがパイプ 6 の場合、本ビットへの書き込みは無効です。本モジュールはパイプ 6 に対し BUFNMB = H'04 を自動的に割り付けます。</p> <p>BUFNMB = H'05 はパイプ 7 専用です。ただし、パイプ 7 を使用しない場合は他のパイプで使用可能です。また選択パイプがパイプ 7 の場合、本ビットへの書き込みは無効です。本モジュールはパイプ 7 に対し BUFNMB = H'05 を自動的に割り付けます。</p> <p>BUFNMB = H'06 はパイプ 8 専用です。ただし、パイプ 8 を使用しない場合は他のパイプで使用可能です。また選択パイプがパイプ 8 の場合、本ビットへの書き込みは無効です。本モジュールはパイプ 8 に対し BUFNMB = H'06 を自動的に割り付けます。</p> <p>BUFNMB = H'07 はパイプ 9 専用です。ただし、パイプ 9 を使用しない場合は他のパイプで使用可能です。また選択パイプがパイプ 9 の場合、本ビットへの書き込みは無効です。本モジュールはパイプ 9 に対し BUFNMB = H'07 を自動的に割り付けます。</p>

【注】 選択パイプの PID ビットを BUF から NAK へ変更してからビットの変更をする場合には、CSSTS=0 および PBUSY=0 を確認してから変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

* ビットの変更は、CSSTS=0、PID=NAK、および CURPIPE ビット未設定時に行ってください。

25.3.38 パイプマックスパケットサイズレジスタ (PIPEMAXP)

ホストコントロール機能選択時にファンクションデバイスのアドレス設定、およびパイプ1~9に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	MXPS[10:0]										
初期値:	0	0	0	0	不定	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	DEVSEL[3:0]	0000	R/W	デバイス選択*1 ホストコントローラ機能選択時にファンクションデバイスのデバイスアドレスを指定します。本ビットの設定値に対応する DEVADDn レジスタの設定を行った後で、本ビットを設定してください。たとえば、DEVSEL = 0010 を設定する場合、DEVADD2 アドレスの設定を行ってください。 0000 : アドレス 0000 0001 : アドレス 0001 : 1001 : アドレス 1001 1010 : アドレス 1010 1011 ~ 1111 : 設定禁止
11	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
10~0	MXPS[10:0]	*2	R/W	マックスパケットサイズ*1 当該パイプの最大データペイロード (マックスパケットサイズ) を指定します。パイプ1、2に対しては、1バイト (H'001) ~ 1024バイト (H'400) の値を設定してください。 パイプ3~5に対しては、8バイト (H'008)、16バイト (H'010)、32バイト (H'020)、64バイト (H'040)、512バイト (H'200) の値を設定してください。パイプ6~9に対しては、1バイト (H'001) ~ 64バイト (H'040) の値を設定してください。 【注】 転送タイプごとに USB 規格に準拠した値を設定してください。 当該パイプがアイソクロナス転送かつスプリットトランザクションで通信する場合には、本ビットを188バイト以下の値を設定してください。 MXPS = 0 の設定で FIFO バッファへの書き込み、PID = BUF の設定は行わないでください。

【注】 ファンクションコントローラ機能を選択したときは、DEVSEL ビットの値を0に設定してください。

*1 DEVSEL ビットの設定は、CSSTS=0 および PID=NAK の状態のときに行ってください。

MXPS ビットの変更は、CSSTS = 0、PID = NAK、および CURPIPE ビット未設定時に行ってください。

選択パイプのPIDビットをBUFからNAKへ変更してからビットの変更をする場合には、CSSTS = 0 および PBUSY

= 0 を確認してから変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

*2 PIPESEL レジスタの PIPESEL ビットでパイプを選択していないとき H'000、選択しているとき H'040 です。

25.3.39 パイプ周期制御レジスタ (PIPEPERI)

パイプ1~9に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	—	IITV[2:0]		
初期値:	不定	不定	不定	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
12	IFIS	0	R/W	アイソクロナス IN バッファフラッシュ ファンクションコントローラ機能選択時に、アイソクロナス転送かつ転送方向が IN 転送の場合において、IITV ビットに設定したインターバルごとの (マイクロ) フレーム中に USB ホストから IN トークンを受信しなかった場合に、自動的に FIFO バッファをクリアする機能です。ダブルバッファ設定時 (DBLB = 1 設定時) は、クリアするのは古い方の 1 面分データのみです。FIFO バッファクリアのタイミングは、IN トークンを受信するはずの (マイクロ) フレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングにクリアを行います。 0: バッファフラッシュしない 1: バッファフラッシュする 【注】 選択パイプがアイソクロナス転送以外の場合、本ビットへは 0 を設定してください。
11~3	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
2~0	IITV[2:0]	000	R/W	インターバルエラー検出間隔* インターバルエラー検出間隔をフレームタイミングの 2 の n 乗で指定します。 【注】 本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID = NAK 設定後 ACLRM = 1 をセットし、インターバルタイムの初期化を行ってください。パイプ 3~5 に対しては、本ビットは存在しません。パイプ 3~5 に対応する本ビットの位置には 0 を設定してください。

【注】 ホストコントローラ機能を選択したときは、IFIS ビットの値を 0 に設定してください。

* ビットの変更は、CSSTS = 0、PID = NAK、および CURPIPE ビット未設定時に行ってください。

選択パイプの PID ビットを BUF から NAK へ変更してからビットの変更をする場合には、CSSTS = 0 および PBUSY = 0 を確認してから変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

インターバルエラー検出間隔ビット (IITV) について説明します。

(1) ホストコントローラ機能選択時

選択パイプがアイソクロナス転送、またはインタラプト転送の場合に、本ビットへの設定が可能です。本ビットの設定値に従って本モジュールはトークン発行間隔を制御します。本モジュールは 2^{IITV} 回の(マイクロ)フレームに1回の間隔で選択パイプに対するトークンを発行します。

本モジュールは、ハイスピードハブに接続されたフルスピード/ロースピードファンクションデバイスとの通信に使用するパイプに対しては、1ms フレームでインターバルをカウントします。

本モジュールは、PID ビットを BUF に設定した次の(マイクロ)フレームからトークン発行間隔のカウントを開始します。

USBバス	S O F		S O F		S O F	O U T	D A T A 0	S O F	O U T	D A T A 0
PIDビット設定値	NAK		BUF		BUF		BUF		BUF	
トークン発行有無 (0: 発行 -: 非発行)	-		-		0		0			
インターバル カウント開始										

図 25.1 IITV = 0 の場合のトークン発行有無

USBバス	S O F		S O F		S O F	O U T	D A T A 0	S O F		S O F	O U T	D A T A 0	S O F		S O F	O U T	D A T A 0
PIDビット設定値	NAK		BUF		BUF		BUF		BUF		BUF		BUF		BUF		BUF
トークン発行有無 (0: 発行 -: 非発行)	-		-		0		-		0		-		0		-		0
インターバル カウント開始																	

図 25.2 IITV = 1 の場合のトークン発行有無

選択パイプがアイソクロナス転送の場合には、本モジュールはトークン発行間隔の制御に付随して以下の動作を行います。また、NRDY 割り込み発生条件を満たした場合でも本モジュールはトークンを発行します。

- 選択パイプがアイソクロナス転送かつ転送方向がIN方向の場合

INトークンを発行し、ファンクションデバイスから正常にパケットを受信しなかった場合（無応答やパケットエラーなどの場合）に、NRDY割り込みを発生させます。

FIFOバッファからデータを読み出すのが遅いなどの原因でFIFOバッファがフルのために、本モジュールがデータを受信できない状態で、INトークン発行タイミングに至った場合、OVRNビットを1に設定し、NRDY割り込みを発生させます。

- 選択パイプがアイソクロナス転送かつ転送方向がOUT方向の場合

FIFOバッファにデータを書き込むのが遅いなどの原因で送信可能なデータがFIFOバッファに無い状態でOUTトークン発行タイミングに至った場合、OVRNビットに1を設定し、NRDY割り込みを発生させ、Zero-Lengthパケットを送信します。

トークン発行間隔のリセット条件は、パワーオンリセットおよび ACLRM = 1 に設定したときです。

(2) ファンクションコントローラ機能選択時

転送パイプがアイソクロナス転送の場合に、本ビットへの設定が可能です。

- 選択パイプがアイソクロナス転送かつ転送方向がOUT方向の場合

IITVビットに設定したインターバルごとの(マイクロ)フレーム中にDATAパケットを受信しなかったとき、本モジュールはNRDY割り込みを発生させます。DATAパケットにCRCエラーなどのエラーが発生したために受信できなかったとき、またはFIFOバッファからデータを読み出すのが遅いなどの原因でFIFOバッファがフルのために本モジュールがデータを受信できなかったときにもNRDY割り込みを発生させます。

NRDY割り込みの発生のタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングに割り込みを発生させます。ただしIITV = 0以外のときには、インターバルのカウント開始後のインターバルごとのSOFパケット受信時にNRDY割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアでPIDビットをNAKに設定した場合、本モジュールはSOFパケットを受信してもNRDY割り込みを発生させません。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。

(a) IITV = 0 のとき：選択パイプの PID ビットを BUF に変更した次の(マイクロ)フレームからインターバルのカウントを開始します。

USBバス	S O F	S O F	S O F	O U T	D A T A	S O F	O U T	D A T A
PIDビット設定値	NAK	BUF	BUF	BUF	BUF			
トークン受信期待有無 (0: 受信を期待 - : 非受信を期待)	-	-	0	0				
インターバル カウント開始								

図 25.3 IITV = 0 の場合の(マイクロ)フレームとトークン受信期待有無の関係

(b) IITV=0 以外するとき：選択パイプの PID ビットを BUF に変更した後最初の DATA パケット正常受信完了時点からインターバルのカウンタを開始します。

USBバス	S O F		S O F		S O F	O U T	D A T A	S O F		S O F	O U T	D A T A	S O F		S O F	O U T	D A T A
PIDビット設定値	NAK		BUF		BUF		BUF		BUF		BUF		BUF		BUF		BUF
トークン受信期待有無 (0: 受信を期待 -: 非受信を期待)	-		-		0		-		0		-		0		-		0
インターバル カウンタ開始																	

図 25.4 IITV = 1 の場合の (マイクロ) フレームとトークン受信期待有無の関係

- 選択パイプがアイソクロナス転送かつ転送方向がIN方向の場合

IFIS = 1 と組み合わせて使用します。IFIS = 0 の場合には IITV ビットへの設定値とは関係なく、受信したトークンに回答してデータパケットを送信します。IFIS = 1 を設定している場合、FIFOバッファに送信可能なデータが存在している状態で、IITV ビットに設定したインターバルごとの (マイクロ) フレーム中に IN トークンを受信しなかったとき、本モジュールは FIFO バッファをクリアします。

IN トークンに CRC エラー等のバスエラーが発生したために本モジュールが正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウンタ開始条件は、IITV ビットの設定値により異なります (OUT 時と同様です)。

ファンクションコントローラ機能選択時のインターバルカウンタのクリア条件は以下、(a)、(b)、または (c) の場合です。

- (a) パワーオンリセット
- (b) ACLRM = 1 を設定した場合
- (c) USB バスリセットを検出した場合

25.3.40 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ~ 5)

パイプ 1~5 に対して、当該パイプのバッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、オート応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答 PID の設定等を行います。本設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで PID[1:0] ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	INB UFM	CSCLR	CSSTS	—	AT REPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値:	0	0	0	0	不定	0	0	0	0	0	0	不定	不定	不定	0	0
R/W:	R	R	R*1/ W*2	R	R	R/W	R/W	R*1/ W*2	R*1/ W*2	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>当該パイプに割り付けた FIFO バッファへ、CPU からアクセス可能かどうかを示します。</p> <p>本ビットの意味は、DIR ビット、BFRE ビットおよび DCLRМ ビットの設定値により表 25.14 のように異なります。</p> <p>0: バッファアクセス不可</p> <p>1: バッファアクセス可</p>
14	INBUFM	0	R	<p>送信バッファモニタ</p> <p>当該パイプを送信方向 (DIR = 1) に設定している場合に、少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに 1 を示します。書き込みが完了している面の FIFO バッファ上のデータをすべて送信完了したときに 0 を示します。ダブルバッファ使用時 (DBLB = 1 設定時) には、本モジュールが 2 面分のデータを送信完了し、かつ 1 面分のデータ書き込みを完了していないときに 0 を示します。当該パイプを受信方向 (DIR = 0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。</p> <p>0: バッファメモリに送信可能データなし</p> <p>1: バッファメモリに送信可能データあり</p>

ビット	ビット名	初期値	R/W	説明
13	CSCLR	0	R*/W* ²	<p>CSPLIT ステータスクリアビット</p> <p>当該パイプの CSSTS ビットをクリアする場合に CSCLR=1 を設定します。ホストコントローラ機能選択時に、本ビットを 1 に設定すると、本モジュールは CSSTS ビットを 0 にクリアします。スプリットトランザクションを使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-Split 終了時に自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実な時に行ってください。</p> <p>0 : 書き込み無効 1 : CSSTS ビットをクリア</p> <p>【注】 CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。</p>
12	CSSTS	0	R	<p>CSSTS ステータスビット</p> <p>当該パイプのスプリットトランザクションの CSPLIT ステータスが表示されます。</p> <p>ホストコントローラ機能選択時に、スプリットトランザクションの C-Split のステータスを示します。C-Split 開始時に 1 を示し、C-Split 終了を検出したときに 0 を示します。</p> <p>なお、C-SPLIT 処理中にデタッチした場合、本ビットは 1 のままとなる場合があります。この場合 (DTCH=1 検出時)、CSCLR ビットにて本ビットのクリアを実施してください。</p> <p>0 : SSplit トランザクション処理中、またはスプリットトランザクション未使用転送 1 : CSplit トランザクション処理中</p>
11	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	ATREPM	0	R/W	<p>オート応答モード^{*3}</p> <p>当該パイプの自動応答禁止 / 許可を指定します。ファンクションコントローラ機能選択時に、当該パイプがバルク転送の場合、本ビットへの 1 設定が可能です。本ビットに 1 を設定した場合、USB ホストからのトークンに対し本モジュールは以下のように応答します。</p> <p>(1) 当該パイプがバルクイン (TYPE = 01 かつ DIR = 1 を設定) の場合 ATREPM = 1 かつ PID = BUF を設定している場合、IN トークンに対して Zero-Length パケットを送信します。USB ホストからの ACK 受信のたびに (1 トランザクションは IN トークン受信 Zero Length パケット送信 ACK 受信)、本モジュールはシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。BRDY 割り込み、BEMP 割り込みは発生させません。</p> <p>(2) 当該パイプがバルクアウト転送 (TYPE = 01 かつ DIR = 0 を設定) の場合 ATREPM = 1 かつ PID = BUF を設定している場合、OUT トークン (または PING トークン) に対して NAK 応答を行い、NRDY 割り込みを発生させます。</p> <p>0 : 自動応答禁止 1 : 自動応答許可</p> <p>【注】本ビットを 1 に設定して USB 通信を行う場合、FIFO バッファは必ず空の状態を設定を行ってください。本ビットを 1 に設定して USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。 当該パイプがアイソクロナス転送の場合、本ビットには必ず 0 を設定してください。</p>
9	ACLRM	0	R/W	<p>自動バッファクリアモード^{*3}</p> <p>当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。</p> <p>当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、本ビットに 1、0 を連続して書き込んでください。本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容を表 25.15(1) に示します。また、この処理が必要なケースを表 25.15(2) に示します。</p> <p>0 : 禁止 1 : 許可 (全バッファ初期化)</p>
8	SQCLR	0	R ^{*1} /W ^{*2}	<p>トグルビットクリア^{*3}</p> <p>当該パイプの次トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。ホストコントローラ機能選択時、バルクアウト転送パイプに対して本ビットに 1 を設定すると、当該パイプの次回転送を PING トークンから開始します。</p> <p>0 : 無効 1 : DATA0 指定</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R*/W* ²	<p>トグルビットセット*³</p> <p>当該パイプの次トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。</p> <p>0 : 無効</p> <p>1 : DATA1 指定</p>
6	SQMON	0	R	<p>トグルビット確認</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。当該パイプがアイソクロナス転送以外の場合、トランザクションが正常終了すると本ビットはトグルします。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットはトグルしません。</p> <p>0 : DATA0</p> <p>1 : DATA1</p>
5	PBUSY	0	R	<p>PIPE ビジー</p> <p>当該パイプを現在トランザクションで使用かどうか示します。当該パイプの USB トランザクションを開始したとき、0 から 1 に変更します。ひとつのトランザクションが正常終了したとき、1 から 0 に変更します。PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p> <p>0 : 当該パイプはトランザクションで未使用</p> <p>1 : 当該パイプはトランザクションで使用</p>
4~2	-	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本モジュールの基本動作（通信パケットにエラーがない場合の動作）は表 25.16 および表 25.17 のとおりです。当該パイプにおいてスプリットトランザクションの S-Split 発行後（CSSTS = 1）に、本ビットを NAK に変更しても、C-Split 終了までトランザクションを実行します。</p> <p>以下の場合には本コントローラが本ビットの値を変更します。</p> <p>(1) 当該パイプが受信方向の場合、かつ当該パイプの SHTNAK ビットに 1 を設定している場合、トランスファ終了を認識したときに、PID = NAK を示します。</p> <p>(2) 当該パイプに対し、マックスパケットサイズを超えるペイロードのデータパケットを受信した場合、PID = STALL(11) を示します。</p> <p>(3) ファンクションコントローラ機能選択時に、USB パスリセットを検出した場合、PID = NAK を示します。</p> <p>(4) ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、PID = NAK を示します。</p> <p>(5) ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、PID = STALL(11) を示します。</p> <p>00 : NAK 応答 01 : BUF 応答（バッファ状態に従う） 10 : STALL 応答 11 : STALL 応答</p> <p>【注】 当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY = 0 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。PID = NAK(00)の状態から PID = STALL 状態にする場合には、10 を書き込んでください。 PID = BUF(01)状態から STALL 状態にする場合には、11 を書き込んでください。 PID = STALL(11)状態から NAK 状態にする場合には、いったん 10 を書き込んでから 00 を書き込んでください。 PID = STALL(11)状態から BUF 状態にする場合には、いったん 00 を書き込んでから 01 を書き込んでください。</p>

【注】 ファンクションコントローラ機能を選択したときは、CSCLR ビットの値を 0 に設定してください。また、ホストコントローラ機能を選択したときは、ATREPM ビットの値を 0 に設定してください。

*1 0 読み出しのみ有効です。

*2 1 書き込みのみ有効です。

*3 ATREPM、SQCLR、SQSET ビットの変更は、CSSTS = 0、PID = NAK の状態のときに行ってください。ACLRM ビットの変更は、CSSTS = 0、PID = NAK、および当該パイプを CURPIPE ビット未設定時に行ってください。選択パイプの PID ビットを BUF から NAK へ変更してからビットの変更をする場合には、CSSTS = 0 および PBUSY = 0 を確認してから変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

表 25.14 BSTS ビットの動作

DIR ビット 設定値	BFRE ビット 設定値	DCLRM ビット 設定値	BSTS ビットの意味
0	0	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了した後で、BCLR = 1 を書き込んだときに 0 を表示します。
		1	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
1	0	0	FIFO バッファへの送信データの書き込みが可能になったときに 1 を表示し、データの書き込みが完了したときに 0 を表示します。
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

表 25.15 (1) ACLRM = 1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容
1	当該パイプに割り付けた FIFO バッファのすべての内容(ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値

表 25.15 (2) ACLRM = 1 設定が必要なケース

番号	クリアが必要なケース
1	当該パイプに割り付けた FIFO バッファのすべての内容をクリアしたい場合
2	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットの設定値変更時
4	DBLB ビットの設定値変更時
5	トランザクションカウント機能の強制終了実行時

表 25.16 PID ビットによる本コントローラの動作一覧 (ホストコントローラ機能選択時)

PID ビット設定値	転送 TYPE (TYPE ビット設定値)	転送方向 (DIR ビット設定値)	本コントローラの動作
00 (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
01 (BUF)	バルク転送または インタラプト転送	設定値に依存しない	UACT = 1 が設定されて、かつ当該パイプに対応する FIFO バッファが送受信可能な状態ならばトークンを発行する。 UACT = 0 が設定される、または送受信可能でなければトークンを発行しない。
	アイソクロナス転送	設定値に依存しない	当該パイプに対応する FIFO バッファの状態にかかわらずトークンを発行する。
10 (STALL) または 11 (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 25.17 PID ビットによる本コントローラの動作一覧 (ファンクションコントローラ機能選択時)

PID ビット設定値	転送 TYPE (TYPE ビット設定値)	転送方向 (DIR ビット設定値)	本コントローラの動作
00 (NAK)	バルク転送または インタラプト転送	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う。
		アイソクロナス転送	受信方向 (DIR=0)
		送信方向 (DIR=1)	USB ホストからのトークンに対し Zero-Length パケットを送信する。
01 (BUF)	バルク転送	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う USB ホストからの PING トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならば ACK 応答を行う。受信可能な状態でなければ NYET 応答を行う
		インタラプト転送	受信方向 (DIR = 0)
	バルク転送または インタラプト転送	送信方向 (DIR = 1)	対応する FIFO バッファが送信可能な状態ならば USB ホストからのトークンに対しデータを送信する。送信可能でなければ NAK 応答を行う。
		アイソクロナス転送	受信方向 (DIR = 0)
			送信方向 (DIR = 1)

PID ビット設定値	転送 TYPE (TYPE ビット設定値)	転送方向 (DIR ビット設定値)	本コントローラの動作
10 (STALL) または 11 (STALL)	バルク転送または インタラプト転送	設定値に依存しない	USB ホストからのトークンに STALL 応答を行う
	アイソクロナス転送	設定値に依存しない	USB ホストからのトークンに無応答を行う

25.3.41 パイプ n コントロールレジスタ (PIPEnCTR) (n=6~9)

パイプ6~9に対して、当該パイプのバッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、オート応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答 PID の設定等を行います。本設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで PID[1:0]ビットは初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	CSCLR	CSSTS	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値	0	不定	0	0	不定	不定	0	0	0	0	0	不定	不定	不定	0	0
R/W	R	R	R*1/ W*2	R	R	R	R/W	R*1/ W*2	R*1/ W*2	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス 当該パイプに割り付けた FIFO バッファへ、CPU からアクセス可能かどうかを示します。 本ビットの意味は、DIR ビット、BFRE ビットおよび DCLRM ビットの設定値により表 25.14 のように異なります。 0: バッファアクセス不可 1: バッファアクセス可
14	-	不定	R	リザーブビット 不定値が読み出されます。書き込み値は常に 0 にしてください。
13	CSCLR	0	R*/W*2	CSPLIT ステータスクリアビット 当該パイプの CSSTS ビットをクリアする場合に CSCLR=1 を設定します。ホストコントローラ機能選択時に、本ビットを 1 に設定すると、本モジュールは CSSTS ビットを 0 にクリアします。スプリットトランザクションを使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-Split 終了時に自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。 0: 書き込み無効 1: CSSTS ビットをクリア 【注】 CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。

ビット	ビット名	初期値	R/W	説明
12	CSSTS	0	R	CSSTS ステータスビット 当該パイプのスプリットトランザクションの CSPLIT ステータスが表示されます。 ホストコントローラ機能選択時に、スプリットトランザクションの C-Split のステータスを示します。C-Split 開始時に 1 を示し、C-Split 終了を検出したときに 0 を示します。 0 : S-Split トランザクション処理中、またはスプリットトランザクション未使用転送 1 : C-Split トランザクション処理中
11、10	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
9	ACLRM	0	R/W	自動バッファクリアモード* ³ 当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。 当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、本ビットに 1、0 を連続して書き込んでください。本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容を表 25.18(1)に示します。また、この処理が必要なケースを表 25.18(2)に示します。 0 : 禁止 1 : 許可 (全バッファ初期化)
8	SQCLR	0	R*/W* ²	トグルビットクリア* ³ 当該パイプの次トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。ホストコントローラ機能選択時、バルクアウト転送パイプに対して本ビットに 1 を設定すると、当該パイプの次回転送を PING トークンから開始します。 0 : 無効 1 : DATA0 指定
7	SQSET	0	R*/W* ²	トグルビットセット* ³ 当該パイプの次トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。 0 : 無効 1 : DATA1 指定
6	SQMON	0	R	トグルビット確認 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。当該パイプがアイソクロナス転送以外の場合、トランザクションが正常終了すると本ビットはトグルします。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットはトグルしません。 0 : DATA0 1 : DATA1

ビット	ビット名	初期値	R/W	説明
5	PBUSY	0	R	PIPE ビジー 当該パイプを現在トランザクションで使用かどうかを示します。当該パイプの USB トランザクションを開始したとき、0 から 1 に変更します。ひとつのトランザクションが正常終了したとき、1 から 0 に変更します。PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用
4~2	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。</p> <p>本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本モジュールの基本動作(通信パケットにエラーがない場合の動作)は表 25.16 および表 25.17 のとおりです。</p> <p>当該パイプにおいてスプリットトランザクションの S-Split 発行後(CSSTS = 1)に、本ビットを NAK に変更しても、C-Split 終了までトランザクションを実行します。</p> <p>以下の場合には本コントローラが本ビットの値を変更します。</p> <p>(1) 当該パイプが受信方向の場合、かつ当該パイプの SHTNAK ビットに 1 を設定している場合、トランスファ終了を認識したときに、PID = NAK を示します。</p> <p>(2) 当該パイプに対し、マックスパケットサイズを超えるペイロードのデータパケットを受信した場合、PID = STALL(11)を示します。</p> <p>(3) ファンクションコントローラ機能選択時に、USB パスリセットを検出した場合、PID = NAK を示します。</p> <p>(4) ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、PID = NAK を示します。</p> <p>(5) ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、PID = STALL(11)を示します。</p> <p>00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答</p> <p>【注】 当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY = 0 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。PID = NAK(00)の状態から PID = STALL 状態にする場合には、10 を書き込んでください。</p> <p>PID = BUF(01)状態から STALL 状態にする場合には、11 を書き込んでください。</p> <p>PID = STALL(11)状態から NAK 状態にする場合には、いったん 10 を書き込んでから 00 を書き込んでください。</p> <p>PID = STALL(11)状態から BUF 状態にする場合には、いったん 00 を書き込んでから 01 を書き込んでください。</p>

【注】 ファンクションコントローラ機能を選択したときは、CSCLR ビットの値を 0 に設定してください。

- *1 0 読み出しのみ有効です。
- *2 1 書き込みのみ有効です。
- *3 ACLRM ビットの変更は、CSSTS=0、PID=NAK および当該パイプを CURPIPE ビット未設定時に行ってください。SQCLR、SQSET ビットの変更は、CSSTS = 0、PID = NAK の状態のときに行ってください。選択パイプの PID ビットを BUF から NAK へ変更してからビットの変更をする場合には、CSSTS = 0 および PBUSY = 0 を確認してから変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

表 25.18 (1) ACLRM = 1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容
1	当該パイプに割り付けた FIFO バッファのすべての内容
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値

表 25.18 (2) ACLRM = 1 設定が必要なケース

番号	クリアが必要なケース
1	当該パイプに割り付けた FIFO バッファのすべての内容をクリアしたい場合
2	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットの設定値変更時
4	トランザクションカウント機能の強制終了実行時

25.3.42 トランザクションカウンタ許可レジスタ (PIPEnTRE) (n = 1 ~ 5)

パイプ1~5に対して、トランザクションカウンタの動作設定を行います。

本設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
初期値:	不定	不定	不定	不定	不定	不定	0	0	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R/W	R*1/ W*2	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
9	TRENB	0	R/W	トランザクションカウンタ許可*3 トランザクションカウンタ無効 / 有効を指定します。 受信パイプに対して、TRNCNT ビットに総パケット数を設定した後で本ビットに1を設定すると、本コントローラは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。 (1) 連続送受信モード使用 (CNTMD = 1) 時、受信完了時に FIFO バッファがフルの状態でも、CPU 側にトグルさせます。 (2) SHTNAK = 1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点に対応するパイプの PID ビットを NAK に変更します。 (3) BFRE = 1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします。 0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効 【注】送信パイプについては、本ビットに0を設定してください。 トランザクションカウンタ機能を使用しない場合は、本ビットに0を設定してください。トランザクションカウンタ機能を使用する場合、本ビットに1を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前に本ビットに1を設定してください。
8	TRCLR	0	R*/W*2	トランザクションカウンタクリア*3 本ビットを1に設定することによりトランザクションカウンタを0にクリアすることができます。 0: 無効 1: カレントカウンタクリア
7~0	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

【注】 *1 0 読み出しのみ有効です。

*2 1 書き込みのみ有効です。

- *3 各ビットの変更は、CSSTS=0、PID=NAKの状態のときに行ってください。
 選択パイプのPIDビットをBUFからNAKへ変更してからビットの変更をする場合には、CSSTS=0およびPBUSY=0を確認してから変更してください。ただし、本モジュールがPIDビットをNAKに変更した場合には、PBUSYビットの確認は必要ありません。

25.3.43 トランザクションカウンタレジスタ (PIPE_nTRN) (n = 1 ~ 5)

パイプ1~5に対して、DMA転送のトランザクション回数の設定、およびトランザクション回数読み出しをするレジスタです。

本レジスタは、パワーオンレジスタで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRNCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT [15:0]	H'0000	R	<p>トランザクションカウンタ*</p> <p>受信パイプに対して、本ビットに受信すべき総パケット数を設定した後で TRENB ビットに 1 を設定すると、本モジュールは TRENB ビットで述べる制御を行います。</p> <p>TRENB = 0 の場合、設定したトランザクション回数を表示します。 TRENB = 1 の場合、カウント中のトランザクション回数を表示します。</p> <p>本モジュールは、受信時の状態が以下 (a) から (c) をすべて満たしたときに TRNCNT ビットを 1 インクリメントします。</p> <p>(a) TRENB = 1 である (b) パケット受信時に (TRNCNT 設定値 現在のカウント値 + 1) である (c) 受信したパケットのペイロードが MXPS ビットへの設定値と一致した</p> <p>本モジュールは、以下、(1)、(2)、または(3)のいずれかの条件が満たされたときに TRNCNT ビットを 0 にクリアします。</p> <p>(1) 以下、(a) から (c) の条件がすべて満たされたとき (a) TRENB = 1 である (b) パケット受信時に (TRNCNT 設定値 = 現在のカウント値 + 1) である (c) 受信したパケットのペイロードが MXPS ビットへの設定値と一致した</p> <p>(2) 以下、(a) および (b) の条件がすべて満たされたとき (a) TRENB = 1 である (b) ショートパケットを受信した</p> <p>(3) 以下の条件が満たされたとき TRCLR ビットに 1 を設定した</p> <p>ライト時：DMA 転送のトランザクション回数を設定します。 リード時：TRENB = 0 の場合、設定したトランザクション回数が読み出されます。 TRENB = 1 の場合、カウント中のトランザクション回数が読み出されます。</p> <p>【注】送信パイプについては、本ビットに 0 を設定してください。 トランザクションカウント機能を使用しない場合は、本ビットに 0 を設定してください。本ビットの値を変更する場合は、TRENB = 1 を設定する前に TRCLR = 1 を行ってください。</p>

【注】 * ビットの変更は、CSSTS = 0、PID = NAK、かつ TRENB = 0 の状態のときに行ってください。
選択パイプの PID ビットを BUF から NAK へ変更してからビットの変更をする場合には、CSSTS = 0 および PBUSY = 0 を確認してから変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

25.3.44 デバイスアドレスコンフィグレーションレジスタ (DEVADDn) (n=0~9、A)

ホストコントローラ機能選択時、通信対象のファンクションデバイスが接続されているハブ、通信対象ファンクションデバイスの通信速度、および接続されているポート番号の設定を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	UPPHUB[3:0]				HUBPORT[2:0]		USBSPD[1:0]		—	—	—	—	—	—	RTP ORT
初期値:	不定	0	0	0	0	0	0	0	0	0	不定	不定	不定	不定	不定	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
14~11	UPPHUB[3:0]	0000	R/W	通信対象接続ハブレジスタ 通信対象のファンクションデバイスが接続されているハブのUSBアドレスを設定します。ホストコントローラ機能選択時、本モジュールはスプリットトランザクションを実行するときに本ビットの設定値を参照してパケットを生成します。 0000: 本モジュールのポートに直接接続されている 0001~1010: ハブのUSBアドレス 1011~1111: 予約
10~8	HUBPORT[2:0]	000	R/W	通信対象接続ハブポート 通信対象のファンクションデバイスが接続されているハブのポート番号を設定します。 ホストコントローラ機能選択時、本モジュールはスプリットトランザクションを実行するときに本ビットの設定値を参照してパケットを生成します。 000: 本モジュールのポートに直接接続されている 001~111: ハブのポート番号
7, 6	USBSPD[1:0]	00	R/W	通信対象デバイスの転送速度 通信対象のファンクションデバイスのUSB転送速度を設定します。 ホストコントローラ機能選択時、本モジュールは本ビットの設定値を参照してパケットを生成します。 00: DEVADDn レジスタ未使用 01: ロースピード 10: フルスピード 11: ハイスピード
5~1	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
0	RTPORT	0	R/W	<p>通信対象ツリーのルートハブポート番号</p> <p>通信対象ツリーが接続されている本モジュールのポート番号 (ルートハブポート番号) を設定します。ホストコントローラ機能選択時、本モジュールは本ビットの設定値を参照してパケットを生成します。</p> <p>0 : PORT0 1 : PORT1</p>

- 【注】
1. ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、必ず本レジスタの各ビットを設定してください。
 2. 本レジスタの各ビットの変更は、本ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下 (1) および (2) の両方を満たしているパイプです。
 - (1) DEVSEL ビットの設定が、本レジスタを指定しているとき
 - (2) 当該パイプの PID ビットに BUF を設定しているとき、または当該パイプが DCP であり SUREQ = 1 を設定しているとき
 3. ファンクションコントローラ機能を選択したときは、本レジスタの各ビットに 0 を設定してください。

25.3.45 USB AC 特性切り替えレジスタ 0 (USBACSWR0)

USBACSWR0 は、本モジュールに内蔵している USB トランシーバの設定を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	UACS14	—	—	—	—	—	—	—	—	UACS5	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	UACS14	0	R/W	USB AC 特性スイッチ 14 ロースピード時のクロスポイント電圧の調整を行います。*
13~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	UACS5	0	R/W	USB AC 特性スイッチ 5 ディスコネクト電圧の調整を行います。*
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 本モジュールを使用する際は、必ず本ビットに 1 をライトしてください。
詳細は「25.5.1 USB トランシーバの設定手順」を参照してください。

25.3.46 USB AC 特性切り替えレジスタ 1 (USBACSWR1)

USBACSWR1 は、本モジュールに内蔵している USB トランシーバの設定を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	UACS26	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	UACS26	0	R/W	USB AC 特性スイッチ 26 フルスピード時のクロスポイント電圧の調整を行います。*
9~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 本モジュールを使用する際は、必ず本ビットに 1 をライトしてください。
詳細は「25.5.1 USB トランシーバの設定手順」を参照してください。

25.4 動作説明

25.4.1 システム制御

本節では、本モジュールの初期設定に必要なレジスタ操作および消費電力制御を行うために必要なレジスタについて説明します。

(1) リセット

表 25.19 に本モジュールのリセット種別の一覧を示します。なお、各リセット動作後のレジスタ初期化状態については、「25.3 レジスタの説明」を参照してください。

表 25.19 リセット種別一覧表

名称	操 作
パワーオンリセット	RES 端子からのローレベル入力
USB バスリセット	ファンクションコントローラ機能選択時に、本モジュールが D+、D-ラインから自動検出

(2) コントローラ機能の選択設定

本モジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG0 レジスタの DCFM ビットで行ってください。

表 25.20 に本コントローラの各 USB ポートに対する機能選択について示します。

表 25.20 USB ポートの機能選択

ホストモード選択時 (DCFM = 1)		
ポート 0	ポート 1	備考
ハイスピード	ハイスピード	転送スケジューリングはポート 0 / ポート 1 共通であり、出力はポート 0 / ポート 1 の両ポートへドライブします。
フルスピード、ロースピード	フルスピード、ロースピード	
ハイスピード	フルスピード、ロースピード	転送スケジューリングはポート 0 / ポート 1 別々に動作し、それぞれのポートの転送速度に依存しません。
フルスピード、ロースピード	ハイスピード	
ファンクションモード選択時 (DCFM = 0)		
ポート 0	ポート 1	備考
ハイスピード、フルスピード	未使用	ポート 1 は無効です。またロースピードには未対応です。

(3) USB データバス抵抗制御

本モジュールは、D+信号のプルアップ抵抗と D+、D-信号のプルダウン抵抗の切り替え制御を行います。SYSCFG0 レジスタの DPRPU、DRPD ビットの設定 (ポート 0 用)、および SYSCFG1 レジスタの DRPD ビットの設定 (ポート 1 用) により各信号のプルアップ、プルダウンを設定してください。

ファンクションコントローラ機能選択時は、USB ホストへの接続を認識した後で、SYSCFG レジスタの DPRPU ビットを 1 に設定し、D+信号をプルアップしてください。

また、USB ホストの切断を認識した場合は、以下処理の通り、DPRPU ビットと DCFM ビットの操作を実施してください。

- (1) DPRPU ビットに 0 を設定
- (2) 1 μ s 以上待つ
- (3) DCFM ビットを 1 に設定
- (4) 200ns 以上待つ
- (5) DCFM ビットを 0 に設定

また、本モジュールは D+、D-信号の終端抵抗 (ハイスピード動作時) と出力抵抗 (フルスピード動作時) を内蔵しています。USB ホストまたはファンクション機器との接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム時に本モジュールが自動的に行います。

また、ファンクションコントローラ機能を選択し、USB ホストと通信中に SYSCFG0 レジスタの DPRPU ビットに 0 を設定した場合は、USB データラインのプルアップ抵抗 (もしくは終端抵抗) をディスエーブルにしますので、USB ホストにデバイス切断を通知することができます。

(4) レジスタアクセスウェイト制御

本モジュールの SYSSTS0 以降のレジスタへのアクセスサイクルには、以下のような制約があります。

ウェイト制約: 本モジュールのレジスタへの連続アクセスのサイクルは、USB クロック (48MHz) の 4 サイクル期間 (83.33ns) 以上でなければなりません。

本制約を満たすために SYSCFG1 レジスタの BWIT[3:0] ビットで、レジスタアクセスへのウェイト制御を行う必要があります。初期値は最大値 (アクセスサイクル 17 クロックサイクル) ですので、最適な設定値を選択してください。

設定例 1: 本モジュールのレジスタに連続してアクセスする場合

バスクロック周波数: 66MHz

計算: (2 サイクル (本モジュールのレジスタへのアクセスサイクル) + 1 サイクル (連続アクセス間隔期間) + BWAIT) \times 1/66MHz = 83.33ns
BWAIT = 3

設定例 2: 内蔵メモリから FIFO ポートレジスタへデータを転送する場合

バスクロック周波数: 66MHz

計算 : (2 サイクル (本モジュールのレジスタへのアクセスサイクル) + 2 サイクル (内蔵メモリへのアクセス
 サイクル) + BWAIT) × 1/66MHz 83.33ns
 BWAIT = 2

25.4.2 割り込み機能

(1) 割り込み制御概要

表 25.21 に本モジュールの割り込み発生条件一覧表を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されている
 とき、本モジュールは割り込みコントローラ (INTC) へ USB 割り込み要求信号を出力します。

表 25.21 割り込み発生条件一覧表

ビット	割り込み名称	割り込み発生条件	発生する機能	関連 ステータス
VBINT	VBUS 割り込み	<ul style="list-style-type: none"> VBUS 入力端子の状態変化を検出したとき (L H、H Lの両方の変化) 	ホスト、 ファンクション	VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> サスペンド状態において USB バスの状態変化を検出したとき (J-State K-State または J-State SE0) 	ファンクション	-
SOFR	フレーム番号更新 割り込み	<ul style="list-style-type: none"> [ホストコントローラ機能選択時] フレーム番号の異なる SOF パケットを送信したとき [ファンクションコントローラ機能選択時] フレーム番号の異なる SOF パケットを受信したとき 	ホスト、 ファンクション	-
DVST	デバイスステート 遷移割り込み	<ul style="list-style-type: none"> デバイスステートの遷移を検出したとき USB バスリセット検出 サスペンド状態検出 Set Address リクエストの受信 Set Configuration リクエストの受信 	ファンクション	DVSQ
CTRT	コントロール転送 ステージ遷移 割り込み	<ul style="list-style-type: none"> コントロール転送のステージ遷移を検出したとき セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生 	ファンクション	CTSQ
BEMP	バッファEMPTY 割り込み	<ul style="list-style-type: none"> バッファメモリ中の全データを送信してバッファが空 になったとき マックスパケットサイズを超えたパケットを受信した とき 	ホスト、 ファンクション	PIPEBEMP

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
NRDY	バッファノットレディ割り込み	<p>[ホストコントローラ機能選択時]</p> <ul style="list-style-type: none"> 発行したトークンに対してファンクション側からのSTALLを受信したとき 発行したトークンに対してファンクション側からの応答が正しく受信できなかったとき(無応答またはパケット受信エラーが3回連続) アイソクロナス転送時にオーバラン / アンダランが発生したとき <p>[ファンクションコントローラ機能選択時]</p> <ul style="list-style-type: none"> PID=BUF 設定かつバッファメモリが送信可能ではない状態でトークンを受信したとき アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフエラーが発生したとき アイソクロナス転送でデータ受信時にインターバルエラーが発生したとき 	ホスト、ファンクション	NRDYSTS. PIPENRDY
BRDY	バッファレディ割り込み	<ul style="list-style-type: none"> バッファがレディ(リードまたはライト可能状態)になったとき 	ホスト、ファンクション	BRDYSTS. PIPEBRDY
BCHG	バス変化割り込み	<ul style="list-style-type: none"> USB バスステートの変化を検出したとき 	ホスト	-
DTCH	デバイス切断検出	<ul style="list-style-type: none"> ファンクションの切断を検出したとき 	ホスト	-
ATTCH	デバイス接続検出	<ul style="list-style-type: none"> USB バスステートが2.5μs連続したJ-State、または2.5μs連続したK-Stateを検出したとき。ファンクションの接続検出に使用可能 	ホスト	-
EOFERR	EOFエラー検出	<ul style="list-style-type: none"> ファンクションのEOFエラーを検出したとき 	ホスト	-
SACK	SETUP 正常	<ul style="list-style-type: none"> セットアップトランザクションの正常応答(ACK)を受信したとき 	ホスト	-
SIGN	SETUP エラー	<ul style="list-style-type: none"> セットアップトランザクションのエラー(無応答、ACKパケット破損)を3回連続で検出したとき 	ホスト	-

図 25.5 に本モジュールの割り込み関連図を示します。

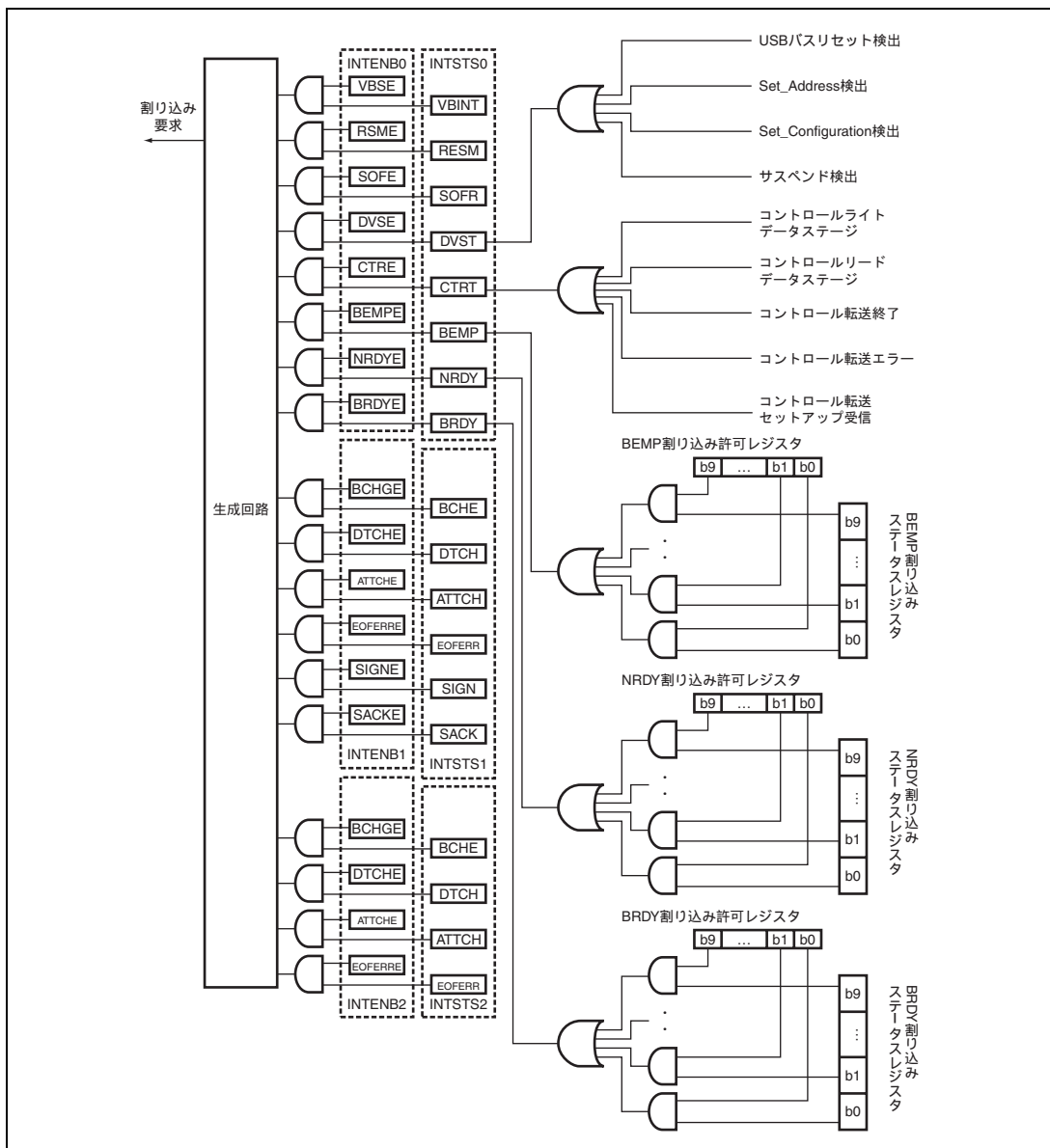


図 25.5 割り込みの関連図

(2) デバイスステート遷移割り込み (ファンクションコントローラ機能)

図 25.6 に本モジュールのデバイスステート遷移図を示します。本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰 (レジューム信号検出) は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

デフォルトステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

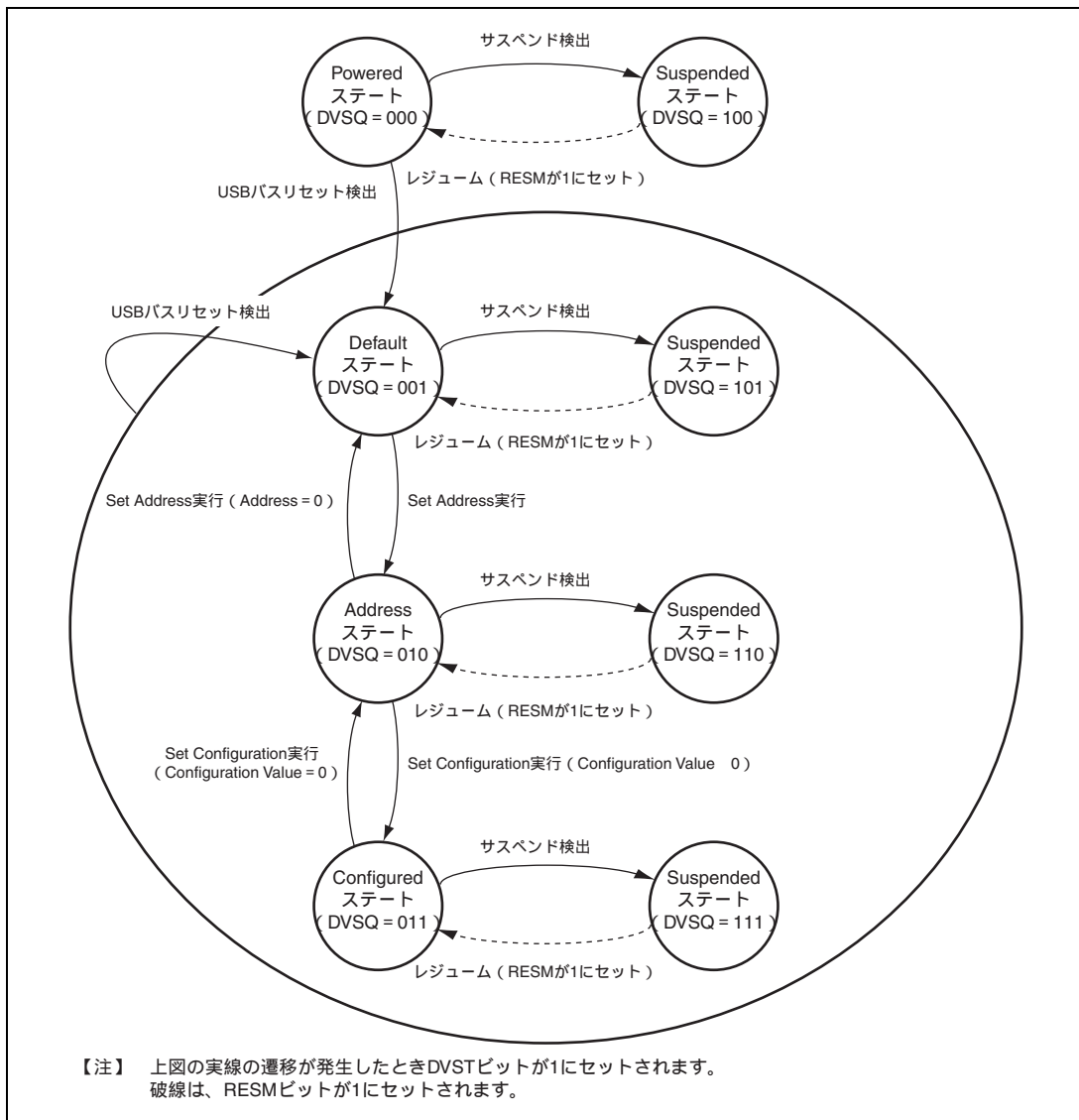


図 25.6 デバイス状態遷移図

(3) コントロール転送ステージ遷移割り込み (ファンクションコントローラ機能)

図 25.7 に本モジュールのコントロール転送ステージ遷移図を示します。本モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送ステージ遷移割り込みはファンクションコントローラ機能を選択した場合にのみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが B'1x (STALL 応答) になります。

1. コントロールリード転送時

- データステージのINトークンに対して、一度もデータ転送していない状態でOUTまたはPINGトークンを受信
- ステータスステージでINトークン受信
- ステータスステージでデータパケットがDATAPID = DATA0のパケットを受信

2. コントロールライト転送時

- データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- データステージで最初のデータパケットがDATAPID = DATA0のパケットを受信
- ステータスステージでOUTまたはPINGトークン受信

3. コントロールライトノータデータコントロール転送時

- ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時は、CTSQ = 110 の値がシステムから CTRT = 0 書き込み (割り込みステータスクリア) するまで保持されます。このため、CTSQ = 110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、本モジュールで保持されており、ソフトウェアによる割り込みステータスクリア後に、CTRT 割り込みが発生します)。

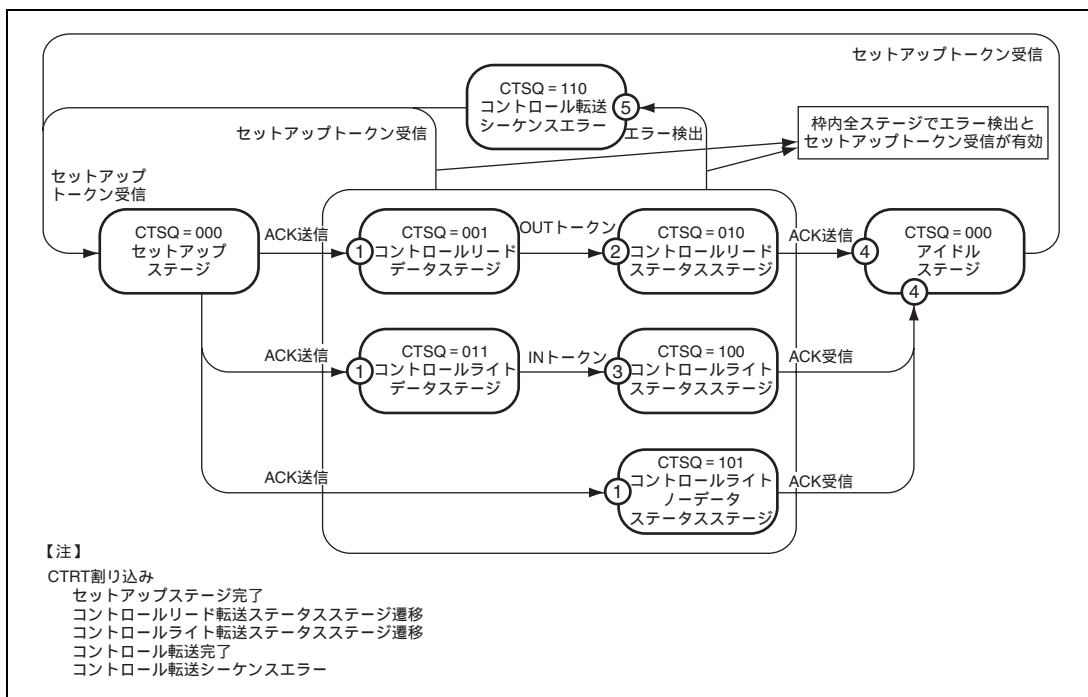


図 25.7 コントロール転送ステージ遷移図

25.4.3 パイプコントロール

表 25.22 に本モジュールのパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。本モジュールにはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 25.22 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備 考
DCPCFG	TYPE	転送タイプを指定	パイプ 1~9: 設定可
PIPECFG	BFRE	BRDY 割り込みモードを選択	パイプ 1~5: 設定可
	DBLB	シングルまたはダブルバッファを選択	パイプ 1~5: 設定可
	CNTMD	連続転送または非連続転送を選択	DCP: 設定可 パイプ 1、2: 設定可 (バルク転送選択時のみ設定可能) パイプ 3~5: 設定可 連続送受信ではバッファサイズをペイロードの整数倍に設定
	DIR	転送方向(読み出しまたは書き込み)を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	パイプ 1~9: 設定可 パイプ使用時は 0000 以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	DCP: 設定可 パイプ 1、2: バルク転送選択時のみ設定可 パイプ 3~5: 設定可
	PIPEBUF	BUFSIZE	バッファメモリサイズ
BUFNMB		バッファメモリ番号	DCP: 設定不可 (領域 H'0~H'3 固定) パイプ 1~5: 設定可 (領域 H'6~H'9F で指定可) パイプ 6~9: 設定不可 (領域 H'4~H'7 固定)
DCPMAXP	DEVSEL	デバイス選択	ホストコントローラ機能選択時のみ参照
PIPEMAXP	MXPS	マックスパケットサイズ	USB 規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1、2: アイソクロナス転送選択時のみ設定可 パイプ 3~9: 設定不可
	IITV	インターバルカウンタ	パイプ 1、2: アイソクロナス転送選択時のみ設定可 パイプ 3~5: 設定不可 パイプ 6~9: ホストコントローラ機能選択時のみ設定可

レジスタ名	ビット名	設定内容	備 考
DCPCTR	BSTS	バッファステータス	DCP は ISEL ビットにより、受信 / 送信バッファ状態の切替
PIPEnCTR	INBUFM	IN バッファモニタ	パイプ 3~5 のみ搭載
	SUREQ	SETUP リクエスト	DCP のみ設定可能 ホストコントローラ機能時のみ制御可能
	SUREQCLR	SUREQ クリア	DCP のみ設定可能 ホストコントローラ機能時のみ制御可能
	CSCLR	CSSTS クリア	ホストコントローラ機能時のみ制御可能
	CSSTS	スプリットステータス確認	ホストコントローラ機能時のみ制御可能
	ATREPM	自動応答モード	パイプ 1~5 : 設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ 1~9 : 設定可
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	パイプビジュー確認	
	PID	応答 PID	
	PIPEnTRE	TRENB	トランザクションカウント 許可
TRCLR		カレントトランザクション カウンタのクリア	パイプ 1~5 : 設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ 1~5 : 設定可能

(1) パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可 (PID = NAK) であるときのみ書き換えが可能です。図 25.8 に USB 通信許可 (PID = BUF) 状態からパイプコントロールレジスタの切り替え手順を示します。

USB 通信許可 (PID = BUF) 状態では設定禁止であるレジスタ

- DCPMAXPレジスタの各ビット
- DCPCTRレジスタのSQCLRビット、SQSETビット、PINGEビット
- PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット
- PIPEnCTRレジスタのATREPMビット、ACLRMビット、SQCLRビット、SQSETビット
- PIPEnTREレジスタ、PIPEnTRNレジスタの各ビット
- DEVADDnレジスタの各ビット

【注】 CSCLR ビットおよび DEVADDn レジスタの設定については、上記以外にもレジスタ説明にある設定方法を守ってください。

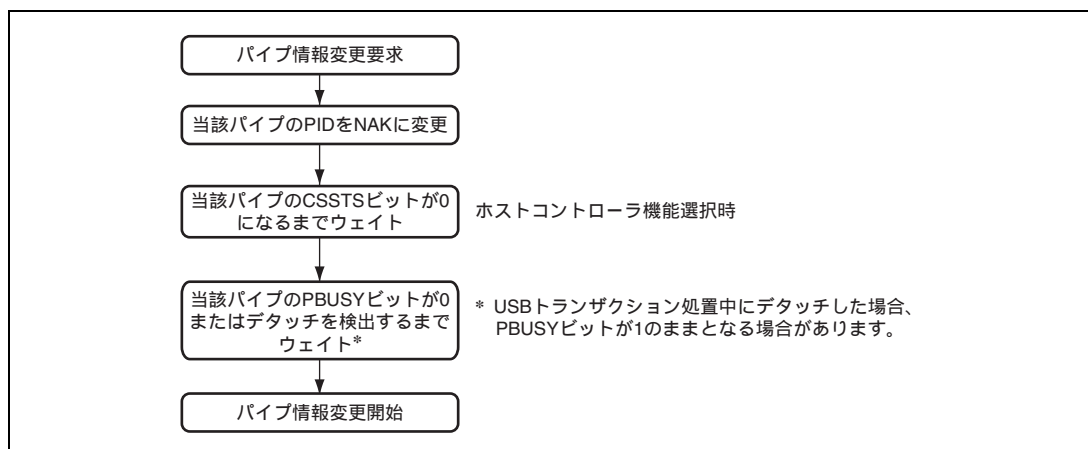


図 25.8 USB 通信許可 (PID = BUF) 状態からのパイプ情報変更手順

またパイプコントロールレジスタの以下のビットは、CPU/DMA0/DMA1-FIFO ポートのいずれの CURPIPE にも設定されていないパイプ情報のみ書き換えが可能です。

FIFO ポートの CURPIPE に設定中に設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット
- PIPECTRレジスタのACLRMビット

パイプ情報を変更する場合には、CURPIPE の設定を変更パイプ以外にしてください。なお、DCP についてはパ

イブ情報修正後、BCLR にてバッファのクリア処理をしてください。

(2) マックスパケットサイズ設定

DCPMAXP レジスタおよび PIPEMAXP レジスタの MXPS ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ 1~5 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ 6~9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前 (PID = BUF) に設定してください。

- DCP : ハイスピード動作時は64を設定してください。
- DCP : フルスピード動作時は、8、16、32、64から選択して設定してください。
- パイプ1~5 : ハイスピードバルク転送時は、512を設定してください。
- パイプ1~5 : フルスピードバルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2 : ハイスピードアイソクロナス転送時は、1から1024の値を設定してください。
- パイプ1、2 : フルスピードアイソクロナス転送時は、1から1023の値を設定してください。
- パイプ6~9 : 1から64の値を設定してください。

インタラプト転送およびアイソクロナス転送の High Bandwidth は未対応です。

(3) 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID ビットにて各パイプの応答 PID を設定します。各設定における本モジュールの動作は下記のとおりです。

1. ホストコントローラ機能選択時の応答PID設定

応答PIDは、トランザクションの実施を指定します。

- NAK設定 : パイプ禁止状態です。トランザクションは実施されません。
- BUF設定 : バッファメモリの状況に応じてトランザクションが実施されます。
OUT方向の場合、バッファメモリに送信データがある場合、OUTトークンを発行します。
IN方向の場合、バッファメモリに空きがあり受信可能な場合、INトークンを発行します。
- STALL設定 : パイプ禁止状態です。トランザクションは実施されません。

【注】 DCP のセットアップトランザクションは、SUREQ ビットで設定します。

2. ファンクションコントローラ機能選択時の応答PID設定

応答PIDは、ホストからのトランザクションに対する応答を指定します。

- NAK設定 : 発生したトランザクションに対して常にNAK応答します。
- BUF設定 : バッファメモリの状況に応じてトランザクションに応答します。
- STALL設定 : 発生したトランザクションに対して常にSTALL応答します。

【注】 セットアップトランザクションに対しては、PID の設定にかかわらず、常に ACK 応答し、レジスタに USB リクエスト

を格納します。

PID ビットは、トランザクション結果により本モジュールによる書き込みが発生する場合があります。本モジュールにより PID ビットへの書き込みが発生するのは以下の場合です。

1. ホストコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID = NAKとなり、トークンの発行を自動的に停止します。
 - アイソクロナス以外の転送で、送信したトークンに対する応答において、無応答、ビットスタッフィングエラーまたはCRCエラーなどの受信エラーが3回連続して発生したとき
 - アイソクロナス転送で、送信したトークンに対する応答において、ビットスタッフィングエラーまたはCRCエラーなどの受信エラーが3回連続して発生したとき
 - DCPCFGレジスタのSHTNAKビットを1に設定した場合で、コントロールリード転送のデータステージにおいて、ショートパケットを受信したとき
 - バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定した場合でショートパケットを受信したとき
 - バルク転送時にSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき
- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID = STALLとなり、トークンの発行を自動的に停止します。
 - 送信したトークンに対してSTALLを受信したとき
 - 受信したデータパケットがマックスパケットサイズを超えたとき

2. ファンクションコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID = NAKとなり、トランザクションに対して常にNAK応答します。
 - セットアップトークンを正常に受信したとき (DCPのみ)
 - バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID = STALLとなり、トランザクションに対して常にSTALL応答します。
 - 受信データパケットでマックスパケットサイズオーバーエラーを検出したとき
 - コントロール転送シーケンスエラーを検出したとき (DCPのみ)

(4) データPIDシーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本モジュールによりデータPIDのシーケンスビットが自動的にトグル動作します。次に送出されるデータPIDのシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビット

ットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に本モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 になります。ステータスステージではシーケンスビットを参照せず、DATA1 で応答します。このため、設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットを設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、データ PID シーケンスビットを設定する必要がありますので注意してください。

なお、アイソクロナス転送設定パイプは、SQSET ビットによるシーケンスビット操作を行うことはできません。

25.4.4 FIFO バッファ

本節では本モジュールに内蔵する FIFO バッファに関する動作を説明します。特に記載がなければ、ホスト、ファンクションコントローラ機能のどちらを選択した場合も同じ動作となります。

(1) FIFO バッファ割り当て

図 25.9 に本モジュールの FIFO バッファのメモリマップ例を示します。FIFO バッファは CPU と本モジュールが共用する領域です。FIFO バッファの状況には、アクセス権がシステム (CPU 側) にある場合と本モジュール (SIE 側) にある場合があります。

FIFO バッファは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数 (PIPEBUF レジスタの BUFNMB ビットおよび BUFSIZE ビットで指定) で設定します。PIPECFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ずマックスパケットサイズの整数倍にあるように設定してください。また、PIPECFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットに指定したメモリ領域を 2 面分割り当てられます。

FIFO バッファへのアクセス (データ読み書き) は 3 本の FIFO ポートを使用します。FIFO ポートに割り当てるパイプは、C/DnFIFOSEL レジスタの CURPIPE ビットにてパイプ番号を指定します。

各パイプの FIFO バッファステータスは、DCPCTR レジスタ、および PIPEnCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、C/DnFIFOCTR レジスタの FRDY ビットで確認できます。

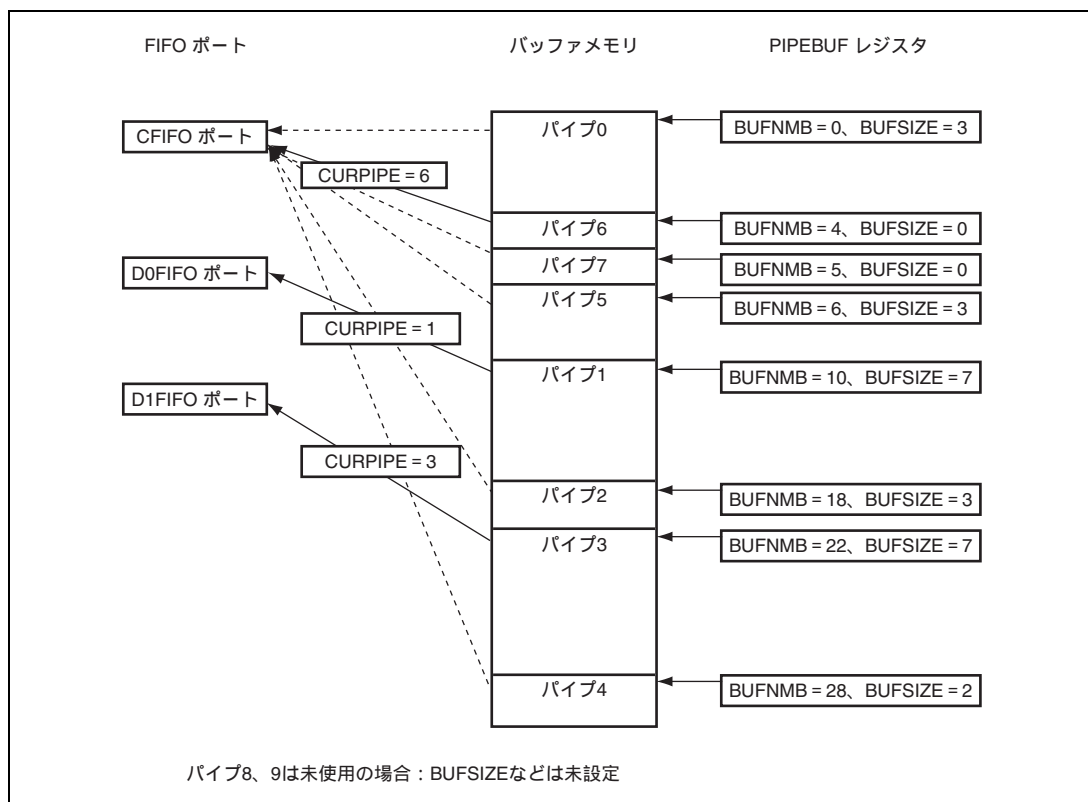


図 25.9 FIFO バッファのメモリマップ例

(2) FIFO バッファクリア

表 25.23 に本モジュールによる FIFO バッファのクリア一覧表を示します。FIFO バッファは下記の 3 ビットによってクリアできます。

表 25.23 FIFO バッファクリア一覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
機能	CPU 側 FIFO バッファをクリアします。	指定パイプのデータを読み出した後で、自動で FIFO バッファをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	1 ライトでクリア	1：モード有効 0：モード無効	1：モード有効 0：モード無効

(3) FIFO ポートの機能

表 25.24 に本モジュールの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、バッファフル(非連続転送時はマックスバケットサイズ数)まで書き込みを行うと、自動的に USB バスに送信可能な状態となります。バッファフル(非連続転送時はマックスバケットサイズ数)未満のデータを送信可能な状態にするには、C/DnFIFOCTR レジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能な状態になります。ただし、Zero-Length パケット受信時(DTLN=0)は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DnFIFOCTR レジスタの DTLN ビットにて確認します。

表 25.24 FIFO ポート機能設定表

レジスタ名	ビット名	機 能	備考
C/DnFIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリリワインド(再読み出し、再書き込み)	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	DnFIFO 専用
	DREQE	DMA 転送許可	DnFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	BIGEND	FIFO ポートエンディアン選択	
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CURPIPE	カレントパイプ選択	
C/DnFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU 側バッファメモリクリア	
	FRDY	FIFO ポートレディモニタ	
	DTLN	受信データ長確認	

(a) FIFO ポート選択

表 25.25 に各 FIFO ポートで選択可能なパイプ表を示します。C/DnFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、本モジュールがパイプ変更処理中であることを示します)、FRDY = 1 を確認し FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、DCP の場合は ISEL ビットの設定に従います。その他のパイプは PIPECFG レジスタの DIR ビットに従います。

表 25.25 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1~9	CPU アクセス	CFIFO ポートレジスタ
	DMA アクセス	D0FIFO/D1FIFO ポートレジスタ

(b) FIFO ポートへの端数データアクセス方法

FIFO ポートの読み出しにおいて、読み出すデータが FIFO ポート選択レジスタの MBW ビットで指定したビット幅よりも少ない場合、MBW ビットで指定したビット幅で読み出し、不要なデータをソフトウェアにて削除してください。

FIFO ポートの書き込みにおいて、書き込むデータが FIFO ポート選択レジスタの MBW ビットで指定したビット幅よりも少ない場合、下記例のようにアクセスしてください。例として、FIFO ポートアクセス幅を 32 ビット (MBW = 10) に設定している際、24 ビットデータを書き込む方法を示します。

端数データ書き込み例 1 : 16 ビット幅で 1 回、8 ビット幅で 1 回書き込む

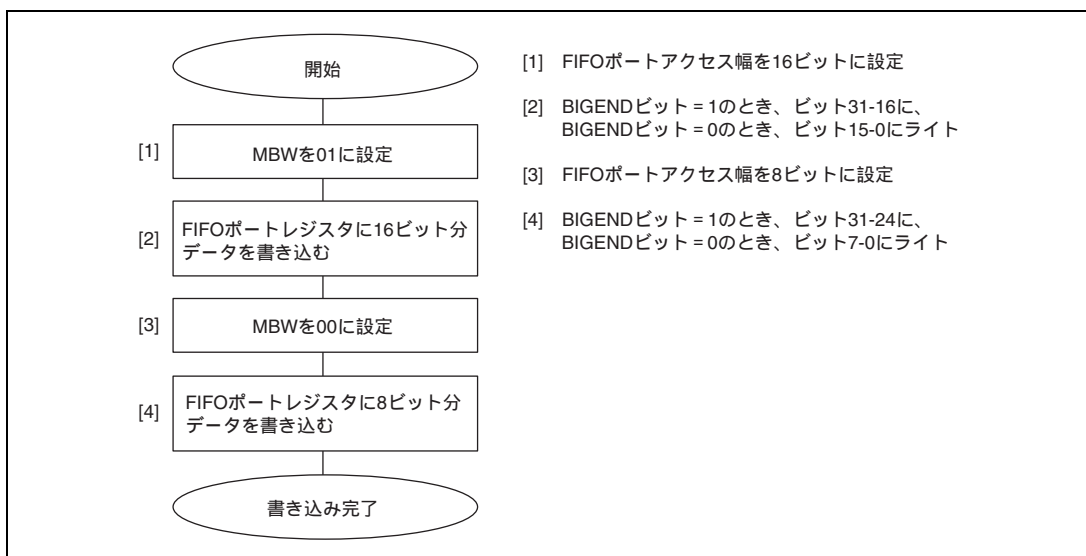


図 25.10 FIFO ポートへの端数データ書き込み例 1

端数データ書き込み例 2 : 8 ビット幅で 3 回書き込む

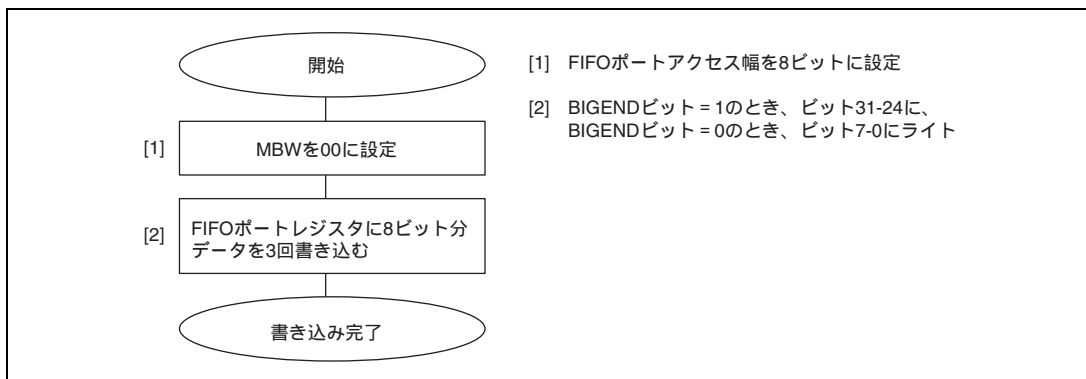


図 25.11 FIFO ポートへの端数データ書き込み例 2

(c) 指定パイプが受信方向の場合における MBW ビット変更方法

指定パイプが受信方向の場合、FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL) の MBW ビットは、CURPIPE の設定と同時に書き込みを行ってください。CFIFO レジスタで DCP 設定 (CURPIPE = 000) の場合は、CURPIPE または ISEL ビットの設定と同時に書き込みを行ってください。

現在設定中のパイプで MBW ビットのみを変更したい場合は下記手順で行ってください。ただし、いったんバッファメモリの読み出し処理を開始した場合は、すべてのデータ読み出しが完了するまで MBW ビットの変更は行わないでください。

選択 CURPIPE がバッファメモリ書き込み方向のときは、MBW のみの設定で変更可能です。

ただし、いったんバッファメモリの書き込み処理を開始した場合は、8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅への切り替えは行わないでください。

- DFIFO0、DFIFO1またはCFIFOのCURPIPEがDCP設定 (000) 以外のとき

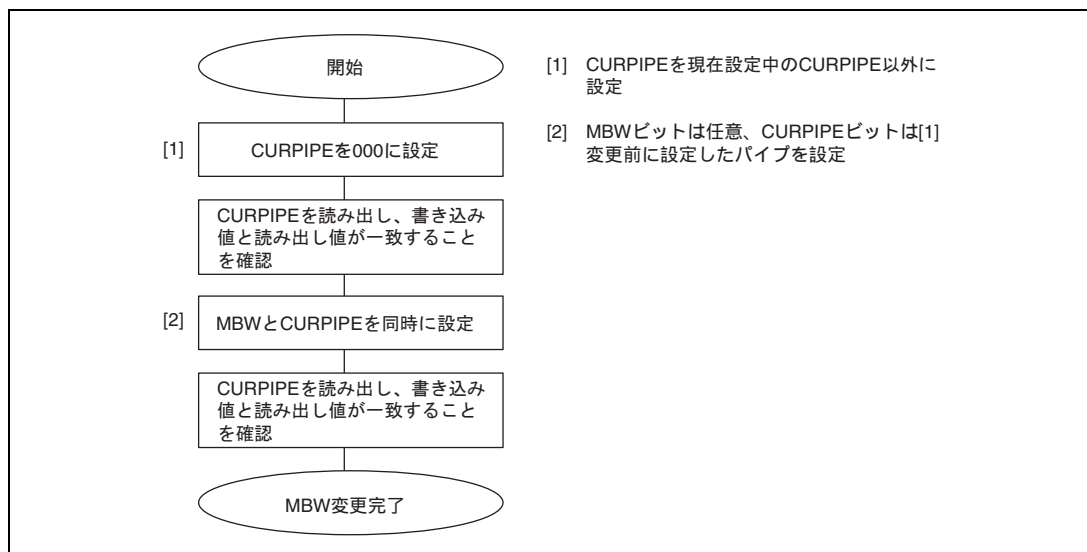


図 25.12 DFIFO0、DFIFO1、または CFIFO の CURPIPE が DCP 設定 (000) 以外のときの MBW 変更例

- CFIFOのCURPIPEがDCP設定 (000) のとき

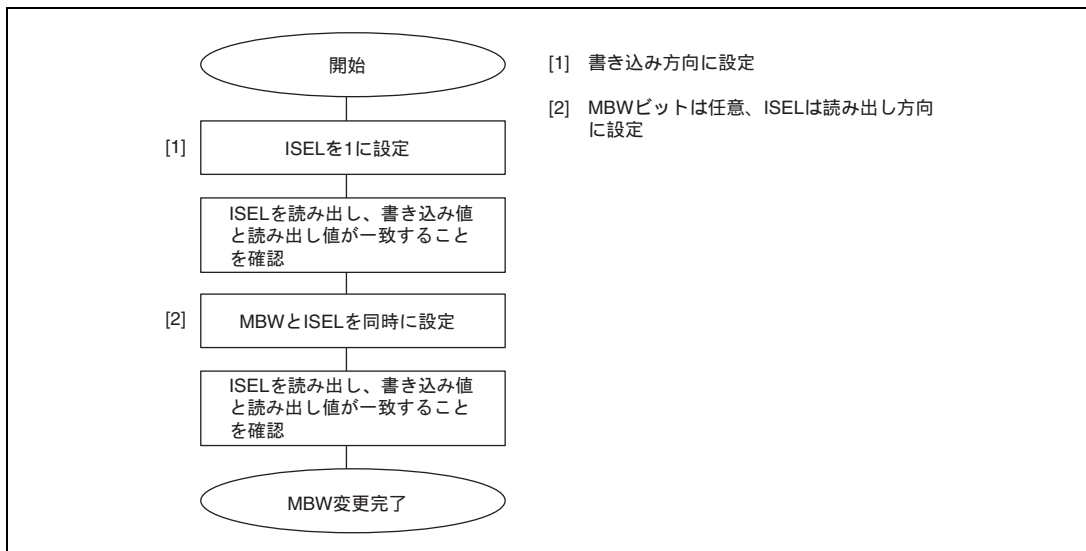


図 25.13 CURPIPE が DCP 設定 (000) 時の MBW 変更例

(4) DMA 転送 (D0FIFO/D1FIFO ポート)

(a) DMA 転送概要

パイプ 1~9 に対して、DMAC による FIFO ポートアクセスが可能です。DMA に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL レジスタの MBW ビットにて FIFO ポートへの転送単位を、CURPIPE ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

(b) DMA 転送終了自動認識

本モジュールは、DMA 転送終了信号入力を制御することによって、DMA 転送による FIFO データ書き込みを終了させることが可能です。DMA 転送終了信号は、DMAC の DMA カレントバイトカウンレジスタ (DMCBCT) に設定した回数分 DMA 転送を行うと DMAC から出力されます。DMA 転送終了信号をサンプリングすると、バッファメモリを送信可能状態 (BVAL=1 を設定したのと同じ状態) にします。DMA 転送終了信号をサンプリングする / しないの設定を DnFBCFG レジスタの TENDE ビットにて行うことができます。なお本機能を使用する際は、必ず DMAC の DMA モードレジスタ (DMMOD) DMA 終了信号出力制御ビット (DTCM) の値を 10 に設定 (最後のライトサイクル時に DMA 終了信号出力) してください。

(c) 1 オペランド転送データ

本モジュールは、DMA-FIFO バスコンフィギュレーションレジスタ (DnFBCFG) の DFACC ビットにより、1 オペランドあたりの転送データを 1 データ / 16 バイト / 32 バイトから選択することができます。

- DFACC = 00 (1 データアクセス) に設定した場合は、DMACの転送方法をオペランドサイズ = 1、データサイズを MBW ビットにて設定したサイズに設定してください。
- DFACC = 01 (16 バイト連続アクセス) に設定した場合は、DMACの転送方法をオペランドサイズ × データサイズ (MBW ビットにて設定したサイズ) が 16 バイトになるように設定してください。
- DFACC = 10 (32 バイト連続アクセス) に設定した場合は、DMACの転送方法をオペランドサイズ × データサイズ (MBW ビットにて設定したサイズ) が 32 バイトになるように設定してください。

(d) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

本モジュールは、DnFIFOSEL レジスタの DCLRM ビットに 1 を設定することで、バッファメモリからのデータ読み出しを完了した場合に、当該パイプのバッファメモリを自動的にクリアします。

表 25.26 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 25.26 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要ななどのような状態においても、DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 25.26 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態				
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

(e) BRDY 割り込みタイミング選択機能

PIPECFG レジスタの BFRE ビットの設定により、マックスパケットサイズのデータパケットを受信時に BRDY 割り込みを発生させないようにすることができます。

この機能により DMA 転送を使用している場合に、最終データを受信したときのみ割り込みを発生させることができます。最終データとは、ショートパケットの受信またはトランザクションカウントの終了を示します。BFRE=1 に設定している場合は、受信したデータを読み出した後で、BRDY 割り込みが発生します。DnFIFOCTR レジスタの DTLN ビットを読み出すことにより、BRDY 割り込みの発生時に最後に受信したデータパケットの受信データ長を確認することができます。

表 25.27 に本モジュールの BRDY 割り込み発生タイミングを示します。

表 25.27 BRDY 割り込み発生タイミング表

レジスタ設定	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態		
バッファフル (通常のパケット受信)	パケット受信時	発生しない
Zero-Length パケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウント終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

【注】 BFRE ビットはバッファメモリから読み出し方向のみ有効です。書き込み方向の場合には BFRE ビットは 0 に固定してください。

25.4.5 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 256 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

(1) ホストコントローラ機能選択時のコントロール転送

(a) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタの SUREQ ビットに 1 を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、0 にクリアされます。SUREQ=1 中は上記 USB リクエストレジスタを操作しないでください。セットアップトランザクションのデバイスアドレスは、DCPMAXP レジスタの DEVSEL ビットで指定します。

トランザクションを送出すると、ファンクションからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットおよび SACK ビット)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR レジスタの SQMON ビットの内容にかかわらず、常に DATA0 のデータパケット (USB リクエスト) が送信されます。

(b) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。また、DCPCFG レジスタの DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCTR レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するように制御してください。

(c) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR レジスタの DTLN ビットで受信データ長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

(2) ファンクションコントローラ機能選択時のコントロール転送

(a) セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップパケットに対して必ず ACK 応答します。セットアップステージの本モジュールの動作を以下に示します。

1. 新しいセットアップパケットを受信すると、本モジュールは以下のビットをセットします。
 - INTSTS0レジスタのVALIDビットを1にセット
 - DCPCTRレジスタのPIDビットをNAKにセット
 - DCPCTRレジスタのCCPLビットを0にセット
2. セットアップパケットに引き続きデータパケット受信すると、本モジュールは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、必ず VALID = 0 を設定後に行ってください。VALID = 1 状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信した USB リクエストの方向ビット (bmRequestType のビット 8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本モジュールのステージ管理については図 25.7 を参照してください。

(b) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

DCPCTR レジスタの PID ビットを BUF に設定することでトランザクションを実行します。

データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してください。

ハイスピード動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

(c) ステータスステージ

DCPCTR レジスタのPID ビットがPID = BUF の状態で、CCPL ビットに 1 を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

• コントロールリード転送の場合

USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。

• コントロールライト転送、ノーデータコントロール転送の場合

本モジュールはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

(d) コントロール転送自動応答機能

本モジュールは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestType H'00
- wIndex H'00
- wLength H'00
- wValue > H'7F
- DVSQ = 011 (Configured)

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

25.4.6 バルク転送 (パイプ 1~5)

バルク転送は、バッファメモリ使用方法 (シングル / ダブルバッファ設定、または連続 / 非連続転送モード設定) の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態は本モジュールが管理し、PING パケット / NYET ハンドシェイクには自動応答します。

(1) ホストコントローラ機能選択時の PING パケット制御

OUT 方向の PING パケットの送信は、本モジュールにより自動的に送出されます。

以下に示すとおり初期状態が PING パケット送出状態で ACK ハンドシェイクを受信することにより OUT パケットを送出します。OUT トランザクションにおいて NAK または NYET を受信すると PING 送出状態に戻ります。

1. OUTデータ送信設定
2. PINGパケット送信
3. ACKハンドシェイク受信
4. OUTデータパケット送信
5. ACKハンドシェイク受信
(4.と5.を繰り返します。)
6. OUTデータパケット送信
7. NAK/NYETハンドシェイク受信
8. PINGパケット送信

また、本モジュールが PING パケットの送信に戻る要因は、パワーオンリセット、NYET/NAK ハンドシェイク受信、シーケンストグルビットのクリア (SQCLR)、バッファクリア (ACLRM) 設定です。

(2) ファンクションコントローラ機能選択時の NYET ハンドシェイク制御

表 25.28 にバルク転送およびコントロール転送における受信トークンに対する応答一覧表を示します。本モジュールは、バルク転送およびコントロール転送において、OUT トークン受信時にバッファメモリに 1 パケットの空き領域しかない場合に NYET 応答を行います。ただし、ショートパケット受信時は、この条件の場合でも NYET パケット応答をせずに ACK 応答となります。

表 25.28 受信トークンに対する応答一覧表

DCPCTR.PID ビット設定値	バッファメモリ の状態	トークン	応答	備 考
NAK/STALL	-	SETUP	ACK	-
	-	IN/OUT/PING	NAK/STALL	-
BUF	-	SETUP	ACK	-
	RCV-BRDY1	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信
	RCV-BRDY2	OUT	NYET	データパケット受信、受信不能通知
	RCV-BRDY2	OUT (Short)	ACK	データパケット受信、受信可能通知
	RCV-BRDY2	PING	ACK	受信可能通知
	RCV-NRDY	OUT/PING	NAK	受信不能通知
	TRN-BRDY	IN	DATA0/1	データパケット送信
	TRN-NRDY	IN	NAK	送信不能通知

【記号説明】

RCV-BRDY1 : OUT/PING トークン受信時にバッファメモリに 2 パケット分以上の空き領域がある

RCV-BRDY2 : OUT トークン受信時にバッファメモリに 1 パケット分の空き領域しかない

RCV-NRDY : PING トークン受信時にバッファメモリに空き領域がない

TRN-BRDY : IN トークン受信時にバッファメモリに送信データがある

TRN-NRDY : IN トークン受信時にバッファメモリに送信データがない

25.4.7 インタラプト転送 (パイプ 6~9)

ファンクションコントローラ機能選択時、本モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PING パケットは無視 (無応答になる) します。また、NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。OUT 方向の転送であっても、PING トークンは発行せずに OUT トークンを発行します。

なお、本モジュールは、インタラプト転送の High-Bandwidth 転送には対応していません。

(1) ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

(a) 動作概要

インタラプト転送を行う場合、PIPEPERI レジスタの IITV ビットに、トランザクションのインターバルを設定します。本コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(b) カウンタの初期化

本コントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- パワーオンリセット :

IITV ビットが初期化されます。

- ACLRM によるバッファメモリ初期化

IITV ビットは初期化されませんがカウントは初期化されます。ACLRM ビットを 0 にすることにより、IITV の設定値を最初からカウントします。

なお以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USB バスリセット、USB サスペンド

IITV ビットは初期化されません。UACT ビットを 1 にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

(c) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- IN 方向 (受信) の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向 (送信) の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

25.4.8 アイソクロナス転送 (パイプ 1、2)

本モジュールは、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (IITVビット指定)
- アイソクロナスIN転送データセットアップコントロール (IDLY機能)
- アイソクロナスIN転送バッファフラッシュ機能 (IFISビット指定)

本モジュールは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

ホストコントローラ機能選択時で、2パイプ同時にアイソクロナス転送として使用する場合には、USB2.0 Specification「5.6.3 Isochronous Transfer Packet Size Constraints」に記載されているパケット制約を守ってください。

(1) アイソクロナス転送のエラー検出

本モジュールは、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表 25.29 および表 25.30 に本モジュールがエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

1. PIDエラー

- 受信パケットのPIDが不正な場合

2. CRCエラー、ビットスタッフィングエラー

- 受信パケットのCRCにエラーがあった場合またはビットスタッフィングが不正な場合

3. マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた

4. オーバラン、アンダランエラー

- ホストコントローラ機能選択時

IN方向 (受信) の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合

OUT方向 (送信) の転送時にトークンの送信タイミングにバッファメモリにデータがない場合

- ファンクションコントローラ機能選択時

IN方向 (送信) の転送時にINトークン受信時にバッファメモリにデータがない場合

OUT方向 (受信) の転送時にOUTトークン受信したがバッファメモリに空き領域がない場合

5. インターバルエラー

ファンクションコントローラ機能選択時に、以下の場合にインターバルエラーとします。

- アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合

- アイソクロナスOUT転送でインターバルフレーム以外にOUTトークンを受信した場合

表 25.29 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)。
2	CRC エラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)。
3	オーバラン、アンダランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、OVRN ビットをセットします。ホストコントローラ機能選択時は、トークンを送信しません。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません。

表 25.30 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込み発生せず(破損パケットとして無視)。
2	CRC エラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させて、CRCE ビットをセットします。
3	マックスパケットサイズオーバーエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP 割り込みを発生させて、PID を STALL にセットします。

(2) DATA-PID

本モジュールは、High-Bandwidth 転送には対応していません。ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

1. IN方向

- DATA0 : データパケットのPIDとして送信します。
- DATA1 : 送信しません。
- DATA2 : 送信しません。
- mDATA : 送信しません。

2. OUT方向 (フルスピード動作時)

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：パケットを無視します。
- mData：パケットを無視します。

3. OUT方向 (ハイスピード動作時)

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：データパケットのPIDとして正常受信します。
- mData：データパケットのPIDとして正常受信します。

(3) インターバルカウンタ

(a) 動作概要

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 25.31 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 25.31 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機 能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない。

インターバルのカウンタは、SOF の受信または補間された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームまたは 2^{IITV} μ フレームです。

(b) ファンクションコントローラ機能選択時でのインターバルカウンタの初期化

本モジュールは、下記の条件でインターバルカウンタを初期化します。

- パワーオンリセット
 - IITV ビットが初期化されます。
- ACLRM によるバッファメモリ初期化
 - IITV ビットは初期化されませんがカウンタは初期化されます。
- USBバスリセット

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記 1.または 2.の条件でインターバルのカウンタを開始します。

1. PID = BUF状態でINトークンに対して、データを送信後のSOF受信
2. PID = BUF状態でOUTトークンのデータを受信後のSOF受信

なお、下記の条件ではインターバルカウンタは初期化されません。

1. PIDビットをNAKまたはSTALLに設定した場合

インターバルタイムは停止しません。次のインターバルにトランザクションの実行を試みます。

2. USBバスリセットおよびUSBサスペンド

IITVビットは初期化されません。SOFを受信すると、受信前の値からカウンタを開始します。

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、本モジュールのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOFパケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数のINトークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

INトークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Lengthパケットを送出しアンダランエラーとなります。

図 25.14 に本モジュールで、IITV = 0 (毎フレーム) を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

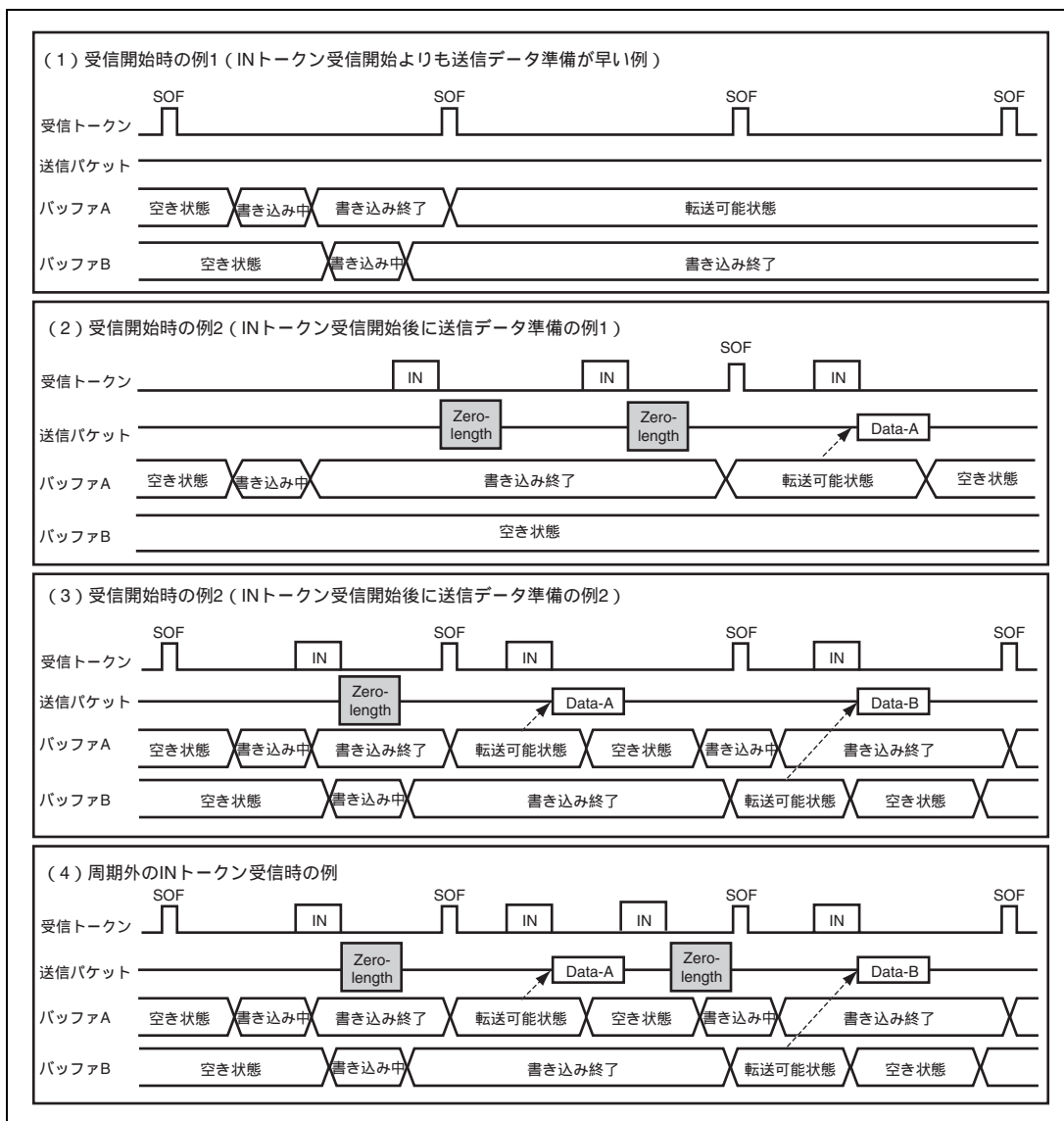


図 25.14 データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、本モジュールは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF または μ SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF または μ SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

- IITV = 0 の場合

パイプが有効となった次のフレームからバッファフラッシュ動作します。

- IITV = 0 以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 25.15 に本モジュールのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外 (インターバルフレーム前のトークン) に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダランエラーとして Zero-Length パケットを送出します。

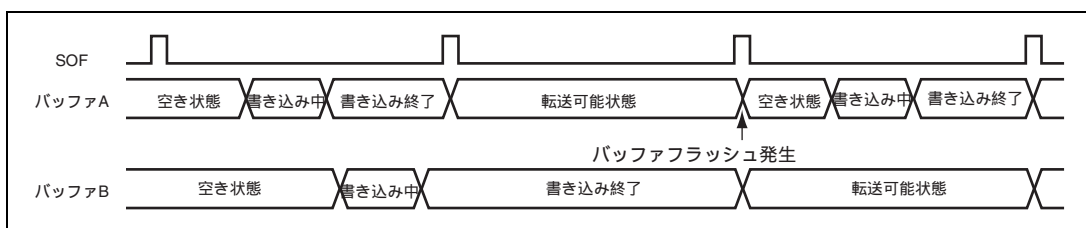


図 25.15 バッファフラッシュ機能動作例

図 25.16 に本モジュールのインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は OVRN ビットで判定してください。図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

1. IN方向

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であればZero-Lengthパケット送信しアンダランエラー

2. OUT方向

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

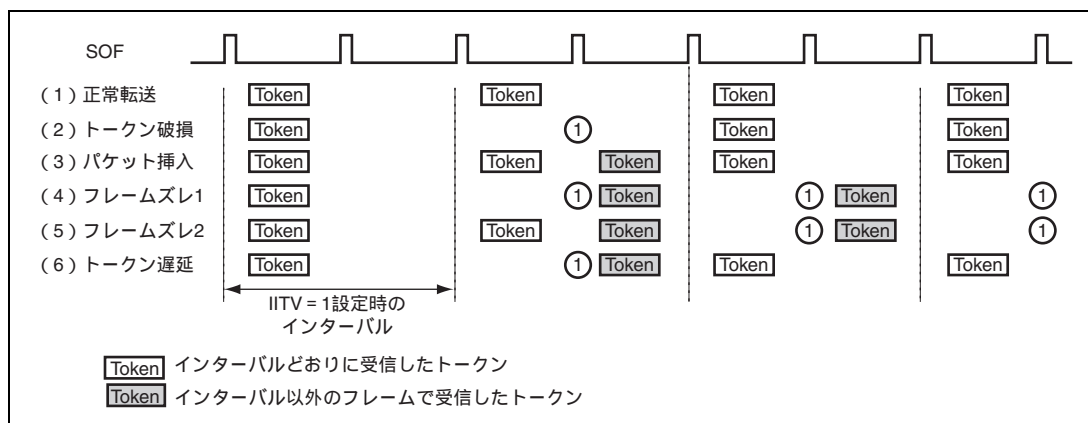


図 25.16 IITV = 1 のときのインターバルエラー発生例

25.4.9 SOF 補間機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1ms (フルスピード動作時) または 125 μ s (ハイスピード動作時) 間隔で SOF パケットを受信できなかった場合に、本モジュールは SOF を補間します。SOF 補間動作の開始は SYSCFG.USBE = 1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- USBバスリセット
- サスペンド検出

また、SOF 補間は次の仕様で動作します。

- フレーム間隔 (125 μ s または 1ms) はリセットハンドシェイクプロトコルの結果に従う。
- SOFパケット受信までは補間機能は動作しない。
- 最初のSOFパケット受信後は内部クロック48MHzで125 μ s または 1ms をカウントし補間する。
- 2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する。
- サスペンド時およびUSBバスリセット受信中は補間しない。

(ハイスピード時のサスペンド移行では最終パケットから3msの間は補間を継続します)

本モジュールは、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補間を行うため、正常動作を継続させることができます。

- フレーム番号およびマイクロフレーム番号の更新
- SOFR 割り込みおよび μ SOF ロック
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。ハイスピード動作時に μ SOF パケットが欠落した場合には、UFRMNUM レジスタの UFRNM ビットが更新されます。ただし、UFRNM = 000 の μ SOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する UFRNM = 000 以外の μ SOF パケットが正常に受信されても FRNM ビットは更新されません。

25.5 使用上の注意事項

25.5.1 USB トランシーバの設定手順

本モジュールを使用する場合は、初めに内蔵 USB トランシーバの設定を行う必要があります。
下記に設定方法を示します。また以下の手順のプログラム例を図 25.17 に示します。

- (1) USBAC 特性切り替えレジスタ 0 (USBACSWR0) の UACS14、UACS5 ビットに 1 をライトします。
- (2) USBAC 特性切り替えレジスタ 1 (USBACSWR1) の UACS26 ビットに 1 をライトします。

```
        ; 初期化ルーチン
        ; (1) UACS14、UACS5=1に設定
        MOVI20 #H'FFFF00C0, R0
        MOV.W  #H'4020, R1
        MOV.W  R1, @R0

        ; (2) UACS26=1に設定
        MOVI20 #H'FFFF00C2, R0
        MOV.W  #H'0400, R1
        MOV.W  R1, @R0
        .
        .
        .
        .
```

図 25.17 USB トランシーバの設定手順

26. SD ホストインタフェース (SDHI)

本章は、守秘契約を結んでいただいたうえで公開致します。

詳細は、弊社の営業担当にご確認ください。

27. AT アタッチメントパッケージインタフェース (ATAPI)

ATAPI インタフェースは、ATA および ATAPI 物理インタフェースを提供します。このデバイスは、ATA タスクコマンドおよび ATAPI パケットコマンドをサポートしています。

27.1 特長

- プライマリチャネルサポート
- マスタ/スレーブサポート
- 3.3V I/Oインタフェース
- PIOモード0~4、マルチワードDMAモード0~2、ウルトラDMAモード0~2をサポート

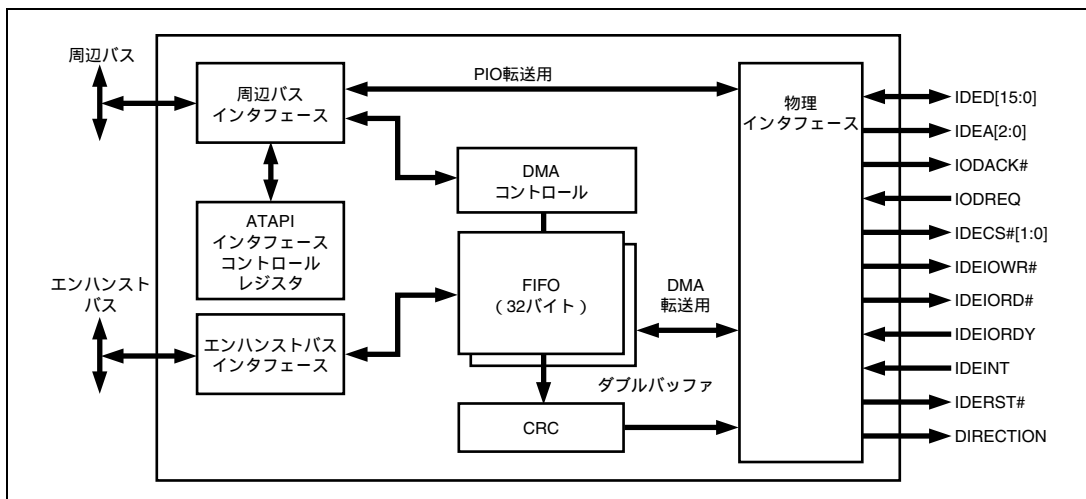


図 27.1 ATAPI のブロック図

27.2 入出力端子

表 27.1 端子構成

信号	ATAPI 仕様	入出力	機能
IDED[15:0]	DD[15:0]	入力 / 出力	双方向データバス
IDEA[2:0]	DA[2:0]	出力	アドレスバス
IODACK#	DMACK#	出力	プライマリチャネル DMA アクノリッジ (アクティブロー)
IODREQ	DMARQ	入力	プライマリチャネル DMA リクエスト (アクティブハイ)
IDECS#[1:0]	CS0#, CS1#	出力	プライマリチャネルチップセレクト (アクティブロー)
IDEIOWR#	DIOW#, STOP	出力	プライマリチャネルディスク書き込み (アクティブロー)
IDEIORD#	DIOR#、 HDMARDY#、 HSTROBE	出力	プライマリチャネルディスク読み出し (アクティブロー)
IDEIORDY	IORDY、 DDMARDY#、 DSTROBE	入力	プライマリチャネルレディ信号 (アクティブハイ)
IDEINT	INTRQ	入力	プライマリチャネル割り込み要求* (アクティブハイ)
IDERST#	RESET#	出力	プライマリチャネル ATAPI デバイス リセット (アクティブロー)
DIRECTION	-	出力	外部レベルシフターディレクション信号 (デバイスへのライト時に 0)

【注】 * ATAPI インタフェースは、ATAPI デバイスからの割り込み信号をレベルトリガ入力とみなします。

27.3 レジスタの説明

以下のレジスタセットは、本 LSI の内蔵周辺モジュール空間に割り付けられています。

27.3.1 ATAPI インタフェースレジスタ

表 27.2 ATA タスクファイルレジスタマップ

(下記のレジスタは、ATAPI/ATA デバイスに割り付けられており、本 LSI ATAPI モジュールには割り付けられていません。)

アドレス	読み出しレジスタ	書き込みレジスタ	端子アドレス (IDECS#[1:0]、IDEA[2:0]) H : HighLevel L : LowLevel@3.3V I/O	アクセスサイズ*1 (可能ビット サイズ)	レジスタ ロケーション
H'FFFECC00	データ	データ	HL-LLL/HH-XXX (X : Don't care)	32 (16) *2	ドライブ
H'FFFECC04	エラー	機能	HL-LLH	32 (8) *3	ドライブ
H'FFFECC08	セクタカウント	セクタカウント	HL-LHL	32 (8) *3	ドライブ
H'FFFECC0C	セクタ番号	セクタ番号	HL-LHH	32 (8) *3	ドライブ
H'FFFECC10	シリンダロー	シリンダロー	HL-HLL	32 (8) *3	ドライブ
H'FFFECC14	シリンダハイ	シリンダハイ	HL-HLH	32 (8) *3	ドライブ
H'FFFECC18	デバイス/ヘッド	デバイス/ヘッド	HL-HHL	32 (8) *3	ドライブ
H'FFFECC1C	ステータス	コマンド	HL-HHH	32 (8) *3	ドライブ
H'FFFECC38	代替ステータス	デバイス コントロール	LH-HHL	32 (8) *3	ドライブ

【注】 *1 CPU は、上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

*2 データバスの 15~0 ビットが使用されます。

*3 データバスの 7~0 ビットが使用されます。

表 27.3 ATAPI パケットコマンドタスクファイルレジスタマップ

(下記のレジスタは、ATAPI/ATA デバイスに割り付けられており、本 LSI ATAPI モジュールには割り付けられていません。)

アドレス	読み出しレジスタ	書き込みレジスタ	端子アドレス (IDECS#[1:0]、IDEA[2:0])	アクセスサイズ* ¹ (可能ビット サイズ)	レジスタ ロケーション サイズ
H'FFFECC00	データ	データ	HL-LLL	32 (16) * ²	ドライブ
H'FFFECC04	エラー	機能	HL-LLH	32 (8) * ³	ドライブ
H'FFFECC08	割り込み要因	-	HL-LHL	32 (8) * ³	ドライブ
H'FFFECC0C	-	-	HL-LHH	32 (8) * ³	ドライブ
H'FFFECC10	バイトカウン ロー	バイトカウン ロー	HL-HLL	32 (8) * ³	ドライブ
H'FFFECC14	バイトカウン ハイ	バイトカウン ハイ	HL-HLH	32 (8) * ³	ドライブ
H'FFFECC18	デバイスセレクト	デバイスセレクト	HL-HHL	32 (8) * ³	ドライブ
H'FFFECC1C	ステータス	コマンド	HL-HHH	32 (8) * ³	ドライブ
H'FFFECC38	代替ステータス	デバイス コントロール	LH-HHL	32 (8) * ³	ドライブ

【注】 *1 上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

*2 データバスの 15~0 ビットが使用されます。

*3 データバスの 7~0 ビットが使用されます。

表 27.4 ATAPI インタフェースコントロールレジスタマップ

(下記のレジスタは、本 LSI ATAPI モジュールに割り付けられています。)

アドレス	レジスタ名	略 称	アクセス タイプ	アクセスサイズ*
H'FFFECC80	ATAPI コントロール	ATAPI_CONTROL	R/W	32
H'FFFECC84	ATAPI ステータス	ATAPI_STATUS	R/W	32
H'FFFECC88	割り込みイネーブル	ATAPI_INT_ENABLE	R/W	32
H'FFFECC8C	PIO タイミング	ATAPI_PIO_TIMING	R/W	32
H'FFFECC90	マルチワード DMA タイミング	ATAPI_MULTI_TIMING	R/W	32
H'FFFECC94	ウルトラ DMA タイミング	ATAPI_ULTRA_TIMING	R/W	32
H'FFFECC9C	DMA スタートアドレス	ATAPI_DMA_START_ADR	R/W	32
H'FFFECCA0	DMA 転送カウント	ATAPI_DMA_TRANS_CNT	R/W	32
H'FFFECCA4	ATAPI コントロール 2	ATAPI_CONTROL2	R/W	32
H'FFFECCB0	ATAPI 信号ステータス	ATAPI_SIG_ST	R	32
H'FFFECCBC	バイトスワップ	ATAPI_BYTE_SWAP	R/W	32

【注】 * 上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

27.3.2 ATAPI インタフェースコントロールレジスタマップ

【レジスタ説明の記号説明】

初期値 : パワーオンリセット後のレジスタ値

: 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R : リードのみ可。特別な記述がないかぎり、書き込む値は常に 0 にしてください。

/W : ライトのみ可。読み出し値は不定です。

コントロールレジスタおよびステータスレジスタは、すべてアクティブハイです。

(1) ATAPI コントロールレジスタ (ATAPI_CONTROL)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	DTCD	-	RESET	M/S	-	UDMAEN	-	R/W	STOP	START
初期値 :	-	-	-	-	-	-	0	-	0	0	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	-	R	リザーブビット
9	DTCD	0	R/W	<p>本ビットは、ウルトラ DMA 動作時に連続するデバイスターミネーション動作に対する動作モードを制御します。</p> <p>デバイスターミネーションを受け付けても転送数に達していない場合は、異常終了せず、次のデバイスからの DMARQ を待って、転送を再開します。</p> <p>既存の ATA デバイスの中に、デバイスターミネーションをポーズと同等に扱っているデバイスが存在するため、デバイスターミネーションを受け付けても転送数に達していない場合は、異常終了せず、次のデバイスからの DMARQ を待って転送を再開する必要があります。この動作モードをデバイスターミネーション連続モードとよびます。</p> <p>1 : デバイスターミネーション連続モードの抑止 0 : デバイスターミネーション連続モード</p>
8	-	-	R	リザーブビット

ビット	ビット名	初期値	R/W	説明
7	RESET	0	R/W	本ビットは、ATAPI デバイスのリセットを制御します。本ビットを 1 にセットすると、ATAPI リセット信号がアサートされます。IDERST# 信号はアクティブロー信号です。 本ビットが 1 にセットされると、IDERST#信号がローレベルになります。本ビットを 0 にクリアすると、IDERST#信号はハイレベルになります。
6	M/S	0	R/W	本ビットは、ATAPI デバイスのマスタあるいはスレーブを選択します。 1 : ATAPI デバイスはマスタになります。 0 : ATAPI デバイスはスレーブになります。
5	-	1	R	リザーブビット 書き込む場合は必ず 1 を書き込んでください。
4	UDMAEN	0	R/W	本ビットは、ウルトラ DMA のイネーブルビットです。 ウルトラ DMA を使用する場合は、本ビットを 1 にセットしてください。 マルチワード DMA を使用する場合は、PIO モード時は、本ビットを 0 にクリアしてください。
3	-	0	R	リザーブビット
2	R/W	0	R/W	本ビットは、FIFO のリード/ライトを制御します。 1 : FIFO リード (DMA 転送時の data-in 動作) 0 : FIFO ライト (DMA 転送時の data-out 動作) データを ATAPI デバイスから読み出す場合は、本ビットを 1 にセットしてください。 データを ATAPI デバイスに書き込む場合は、0 にクリアしてください。
1	STOP	0	R/W	本ビットは、DMA 転送を強制終了します。 [書き込み時] 0 : 無視されます。 1 : データ転送を強制終了します。 [読み出し時] 0 : 強制終了コマンドは、発行されません。 1 : データ転送の強制終了コマンドが発行されます。 本ビットは、次の DMA 転送が開始されると 0 にクリアされます。 【注】DMA 転送が強制終了されたアドレスから転送を再開できるわけではありません。

ビット	ビット名	初期値	R/W	説 明
0	START	0	R/W	<p>本ビットは DMA 転送を開始します。</p> <p>本ビットが 1 にセットされると、DMA 転送が開始します。本ビットを 0 にクリアした場合、無視されます。</p> <p>[書き込み時]</p> <p>0 : 無視されます。</p> <p>1 : DMA 転送を開始します。</p> <p>[読み出し時]</p> <p>0 : DMA 転送は非アクティブです。</p> <p>1 : DMA 転送中でビジー状態です。</p> <p>【注】DMA がアクティブである場合は、タスクファイルレジスタのアクセスは禁止です。</p>

(2) ATAPI ステータスレジスタ (ATAPI_STATUS)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SWERR	IFERR	-	DEVTRM	DEVINT	TOUT	ERR	NEND	ACT
初期値 :	-	-	-	-	-	-	-	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/WC0	R/WC0	R	R/WC0	R	R/WC0	R/WC0	R/WC0	R

ビット	ビット名	初期値	R/W	説 明
31-9	-	-	R	リザーブビット
8	SWERR	0	R/WC0	<p>ソフトウェアエラービットです。本ビットが 1 にセットされた場合、DMA がアクティブのときにタスクファイルレジスタがアクセスされたことを示します。DMA アクティブ中のタスクレジスタアクセスは禁止されています。たとえば、ウルトラ DMA、マルチワード DMA 転送中に PIO 転送を行うと本ビットが 1 にセットされます。このとき、LSI 外部には出力されることはなく、アクセスは無視されます。</p> <p>0 を書き込むことにより、本ビットはリセットされます。</p>

ビット	ビット名	初期値	R/W	説明
7	IFERR	0	R/WC0	<p>本ビットは、ATAPI インタフェースプロトコルエラーが検出されたことを示します。</p> <ul style="list-style-type: none"> • ウルトラ DMAdata-in パーストがホスト終了状態において、(IDEDREQ = 1) または (IDEIORDY = 0) のとき。 • ウルトラ DMAdata-in パーストがデバイス終了状態において、IDEIORDY = 0 のとき。 • ウルトラ DMAdata-out パーストが開始されたとき、IDEIORDY = 0。 • ウルトラ DMAdata-out パーストがホスト終了状態において、(IDEDREQ = 1) または (IDEIORDY = 0) のとき。 <p>0 を書き込むことにより、本ビットはリセットされます。</p>
6	-	0	R	リザーブビット
5	DEVTRM	0	R/WC0	<p>本 ATAPI モジュールに設定された DMA 転送バイト数に到達する前に ATAPI デバイスのウルトラ DMA モードが終了された場合、本ビットは 1 にセットされます。0 を書き込むことにより、本ビットはリセットされます。</p>
4	DEVINT	0	R	<p>本ビットは、ATAPI デバイス割り込み IDEINT のステータスを示します。本ビットは、リード専用ビットです。本ビットは、本 LSI チップ内にステータスを保持していないので、IDEINT が 0 の場合は、本ビットも 0 にクリアされます。ATAPI インタフェースは、ATAPI デバイスからの割り込み信号をレベルトリガ入力とみなします。ATAPI 規格に従い、割り込みペンドリング状態をクリアするためにステータスレジスタを読み出すために使用する IDEIORD# をネゲートしてから 400ns 以内に、IDEINT は ATAPI デバイスによりネゲートされます。</p>
3	TOUT	0	R/WC0	<p>本ビットは、IORDY タイムアウトが検出されたことを示します。タイムアウトは、エンハンストバスクロックで 150 サイクル以上の期間、応答がない (IDEIORDY 端子がローレベル) 場合に検出されます。本ビットに 0 を書き込むと、本ビットはリセットされます。</p>
2	ERR	0	R/WC0	<p>本ビットは、DMA アバートを検出した場合に 1 にセットされます。</p> <ul style="list-style-type: none"> • ホストが DMA 転送を強制終了する場合 • DTCD=1 かつデバイスターミネーションが発生し ACT=0 になる場合に ERR=1 になります。 <p>0 を書き込むことにより、本ビットはリセットされます。</p>
1	NEND	0	R/WC0	<p>本ビットは DMA が正常終了したことを示します。0 を書き込むことにより、本ビットはリセットされます。</p>
0	ACT	0	R	<p>本ビットは、DMA がアクティブであることを示します。本ビットは、リード専用ビットです。本ビットは、DMA 転送が完了すると 0 にクリアされます。本ビットを割り込みソースとして使用することはお勧めしません。</p>

(3) 割り込みイネーブル (ATAPI_INT_ENABLE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	iSWERR	iIFERR	-	iDEVTRM	iDEVINT	iTOUT	iERR	iNEND	iACT
初期値:	-	-	-	-	-	-	-	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	-	R	リザーブビット
8	iSWERR	0	R/W	本ビットは、SWERR 割り込みイネーブルビットです。
7	iIFERR	0	R/W	本ビットは、IFERR 割り込みイネーブルビットです。
6	-	-	R	リザーブビット
5	iDEVTRM	0	R/W	本ビットは、DEVTRM 割り込みイネーブルビットです。
4	iDEVINT	0	R/W	本ビットは、DEVINT 割り込みイネーブルビットです。
3	iTOUT	0	R/W	本ビットは、TOUT 割り込みイネーブルビットです。
2	iERR	0	R/W	本ビットは、ERR 割り込みイネーブルビットです。
1	iNEND	0	R/W	本ビットは、NEND 割り込みイネーブルビットです。
0	iACT	0	R/W	本ビットは、ACT 割り込みイネーブルビットです。ACT は DMA 転送が完了すると自動的にクリアされるので、本ビットを 1 にセットすることはおすすめしません。

【注】 各ビットに 1 を書き込むと、ATAPI ステータスレジスタの各ビットに対応する割り込み信号がイネーブルになります。

(4) PIO タイミングレジスタ (ATAPI_PIO_TIMING)

ATAPI デバイスをアクセスする前に、本レジスタの以下のビットにマシンサイクル数を設定してください。

マシンサイクルは、エンハンストバスクロックです。なお、エンハンストバスクロックの周波数はバスクロックの周波数と同じです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	pSDCT						pSDPW						pSDST	
初期値 :	-	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	pMDCT						pMDPW						pMDST	
初期値 :	-	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	-	-	R	リザーブビット
29~24	pSDCT	000000	R/W	本ビットは、スレーブ ATAPI デバイスのサイクル時間を設定します。
23~19	pSDPW	00000	R/W	本ビットは、スレーブ ATAPI デバイスの IDEIORD#/IDEIOWR#パルス幅を設定します。
18~16	pSDST	000	R/W	本ビットは、PIO モードのスレーブ ATAPI デバイスの IDEIORD#/IDEIOWR#に対するアドレスセットアップ時間を設定します。
15、14	-	-	R	リザーブビット
13~8	pMDCT	000000	R/W	本ビットは、マスタ ATAPI デバイスのサイクル時間を設定します。
7~3	pMDPW	00000	R/W	本ビットは、マスタ ATAPI デバイスの IDEIORD#/IDEIOWR#パルス幅を設定します。
2~0	pMDST	000	R/W	本ビットは、PIO モードのマスタ ATAPI デバイスの IDEIORD#/IDEIOWR#に対するアドレスセットアップ時間を設定します。

【注】 接頭の pS はスレーブ、pM はマスタを表します。

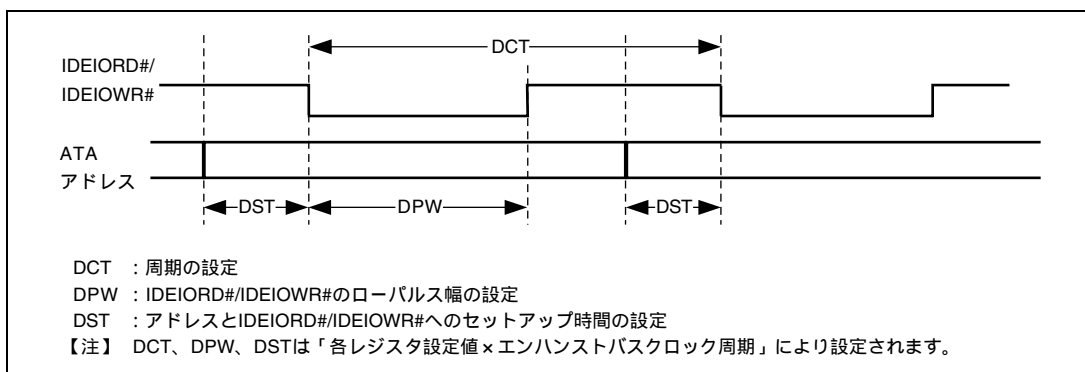


図 27.2 PIO タイミングレジスタ

• PIOタイミングレジスタ設定値表 (マスタ/スレーブ)

エンハストバス クロック	モード 0	モード 1	モード 2	モード 3	モード 4
66MHz	H'29A5	H'1BA4	H'11A3	H'0D3B	H'0933

(5) マルチワード DMA タイミングレジスタ (ATAPI_MULTI_TIMING)

ATAPI デバイスをアクセスする前に、本レジスタの以下のビットにマシンサイクル数を設定してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	mSDCT						mSDPW				
初期値	-	-	-	-	-	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	mMDCT						mMDPW				
初期値	-	-	-	-	-	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	-	R	リザーブビット
26~21	mSDCT	000000	R/W	本ビットは、スレーブ ATAPI デバイスのサイクル時間を設定します。
20~16	mSDPW	00000	R/W	本ビットは、スレーブ ATAPI デバイスの IDEIORD#/IDEIOWR#パルス幅を設定します。
15~11	-	-	R	リザーブビット
10~5	mMDCT	000000	R/W	本ビットは、マスタ ATAPI デバイスのサイクル時間を設定します。
4~0	mMDPW	00000	R/W	本ビットは、マスタ ATAPI デバイスの IDEIORD#/IDEIOWR#パルス幅を設定します。

【注】 接頭の mS はスレーブ、mM はマスタを表します。

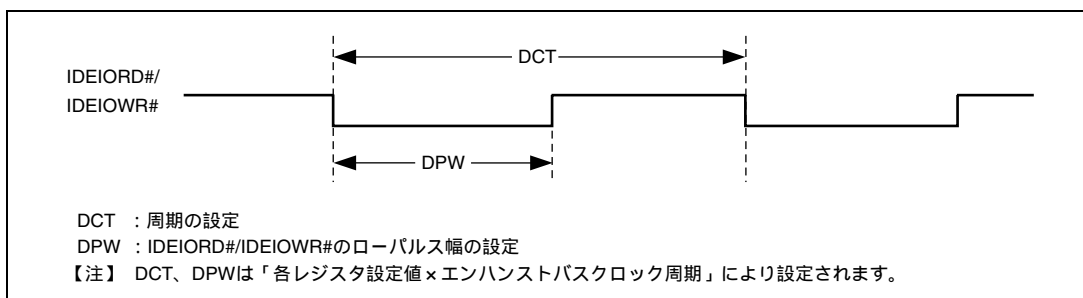


図 27.3 マルチワード DMA タイミングレジスタ

● マルチワードDMAタイミングレジスタ設定値表

エンハンスドバスクロック	モード 0	モード 1	モード 2
66MHz	H'042F	H'0166	H'0126

(6) ウルトラ DMA タイミングレジスタ (ATAPI_ULTRA_TIMING)

ATAPI デバイスをアクセスする前に、本レジスタの以下のビットにマシンサイクル数を設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	uSDCT				uSDRP				
初期値 :	-	-	-	-	-	-	-	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	uMDCT				uMDRP				
初期値 :	-	-	-	-	-	-	-	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	-	R	リザーブビット
24~21	uSDCT	0000	R/W	本ビットは、スレーブ ATAPI デバイスのサイクル時間を設定します。
20~16	uSDRP	00000	R/W	本ビットは、DMARDY (IDEIORDY ではない) ネゲートからスレーブ ATAPI デバイスによる中断までの時間を設定します。
15~9	-	-	R	リザーブビット
8~5	uMDCT	0000	R/W	本ビットは、マスタ ATAPI デバイスのサイクル時間を設定します。
4~0	uMDRP	00000	R/W	本ビットは、DMARDY (IDEIORDY ではない) ネゲートからマスタ ATAPI デバイスによる中断までの時間を設定します。

【注】 接頭の uS はスレーブ、uM はマスタを表します。

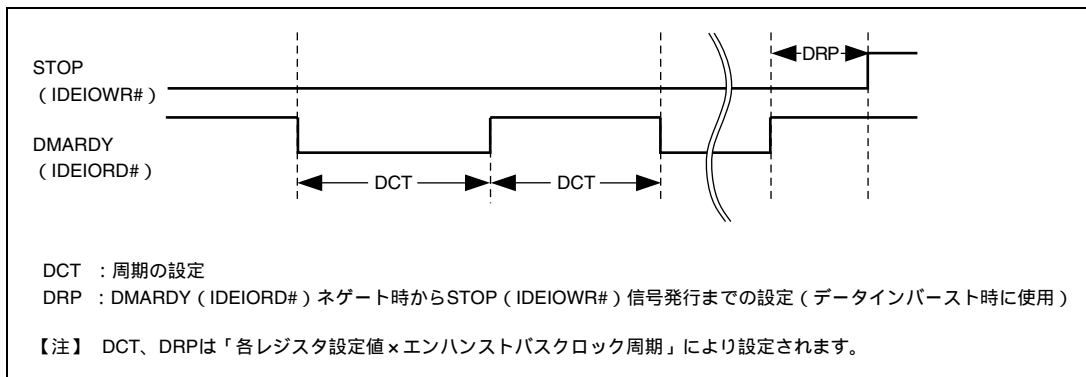


図 27.4 ウルトラ DMA タイミングレジスタ

• ウルトラDMAタイミング設定値表

エンハンスバスクロック	モード 0	モード 1	モード 2
66MHz	H'010C	H'00C9	H'00A8

(7) DMA スタートアドレスレジスタ (ATAPI_DMA_START_ADR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DSTA[28:16]												
初期値:	-	-	-	-	-	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSTA[15:2]														-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~29	-	-	R	リザーブビット
28~2	DSTA[28:2]	H'x000000	R/W	<p>本ビットは、メモリ内のデータ転送開始アドレスを示す DMA スタートアドレスを設定します。ビット 28~0 は、DMA スタートアドレスをバイト単位で設定するために使用されます。</p> <p>DMA スタートアドレス用に 32 ビットアドレス境界を確保しなければならいので、ビット 1、0 は無視されます。</p> <p>[書き込み時]</p> <p>ビット 28、27 には 1 を書き込んでください。</p>
1、0	-	-	R	リザーブビット

- 【注】
1. 本アドレスは、DMA アクティブ後も変化せず、設定値は保持されます。
 2. アクセス先は、SDRAM 領域になります。

(8) DMA 転送カウントレジスタ (ATAPI_DMA_TRANS_CNT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DTRC[28:16]												
初期値:	-	-	-	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTRC[15:1]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~29	-	-	R	リザーブビット
28~1	DTRC[28:1]	H'0000000	R/W	本ビットは、DMA 転送カウンタを設定します。 ビット 28~0 は、DMA 転送カウンタをバイト単位で設定するために使用されます。 ビット 0 は、ATAPI のデータバスが 16 ビット単位 (ワード単位) ですので無視されます。
0	-	-	R	リザーブビット

【注】 本カウンタ値は、DMA アクティブ後も変化せず、設定値は保持されます。

(9) ATAPI コントロール 2 レジスタ (ATAPI_CONTROL2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	WORD SWAP	IFEN
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	-	R	リザーブビット
1	WORDSWAP	0	R/W	<p>本ビットは、エンハンストバスの 32 ビットバスがイネーブルされている場合、上位 16 ビットデータと下位 16 ビットデータを交換するかどうかを制御します。</p> <p>0: ワードスワップは実行されません。エンハンストバス上の 32 ビットデータは、ビッグエンディアン形式で表されます。</p> <p>1: ATAPI インタフェースとレジスタ/エンハンストバス間で、ワードスワップが実行されます。エンハンストバス上の 32 ビットデータは、リトルエンディアン形式で表されます。</p> <p>データ転送におけるワードスワップは、ATAPI コントロールレジスタのビット 0 が 1 にセットされ DMA モードがスタートした場合のみ有効です。DMA 以外は、全レジスタアクセスは、ロングワードアクセスです。</p>
0	IFEN	0	R/W	<p>本ビットは、ATAPI インタフェースのイネーブルを制御します。</p> <p>0: ATAPI インタフェースは無効</p> <p>1: ATAPI インタフェースは有効</p> <p>【注】0 のとき、ATAPI インタフェースの I/O 端子は入力端子として機能し、出力端子はハイインピーダンス状態になります。</p>

(10) ATAPI 信号ステータスレジスタ (ATAPI_SIG_ST)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DDMARDY	DMARQ
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~2	-	-	R	リザーブビット
1	DDMARDY	-	R	本ビットは、ATAPIDDMARDY (IDEIORDY の反転) 信号状態を示します。
0	DMARQ	-	R	本ビットは、ATAPIDMARQ (IDEDREQ) 信号状態を示します。

(11) バイトスワップレジスタ (ATAPI_BYTE_SWAP)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BYTE SWAP
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	-	R	リザーブビット
0	BYTESWAP	0	R/W	<p>本ビットは、ATAPI インタフェースの上位 8 ビットと下位 8 ビットのスワップを制御するビットです。</p> <p>1: APAPI インタフェースとエンハンスバス間でバイトスワップが実行されます。</p> <p>バイトスワップは、ATAPI コントロールレジスタのビット 0 が 1 にセットされ DMA モードがスタートした場合のみ有効です。</p>

27.4 動作説明

ATAPI インタフェースは、プライマリチャネルをホストとしてサポートしています。また、ATAPI インタフェース仕様書に定義されているように、マスタ/スレーブ構成もサポートしています。ATAPI インタフェースのリード/ライト FIFO バッファは、マルチワード DMA モードへの最大 16M バイト/秒のデータ転送およびウルトラ DMA モードへの最大 33M バイト/秒のデータ転送を実現するために設計されています。ATAPI インタフェースは、3.3V I/O インタフェースをサポートしています。

ATA タスクファイルレジスタおよび ATAPI パケットコマンドタスクファイルレジスタは、本 LSI の内蔵周辺モジュール空間に割り付けられています。そのため、本 LSI により本レジスタをアクセスする場合は、DVDROM ドライブなどのデバイス内のレジスタを DCS[1:0]端子および DSA[2:0]端子でアドレスすることによりアクセスできます。

27.4.1 データ転送モード

ATAPI インタフェースコントロールレジスタは、PIO 転送モード、マルチワード DMA 転送モード、ウルトラ DMA 転送モードをサポートしています。ATAPI インタフェースコントロールレジスタは、転送モードを開始し、各転送モードにより異なる ATAPI インタフェースタイミングを設定します。

PIO モード 0~4、マルチワード DMA モード 0~2、ウルトラ DMA モード 0~2 をサポートしています。

マルチワード DMA データ転送およびウルトラ DMA データ転送では、エンハンストバスを使用します。一方、PIO 転送では、周辺バスを使用します。

表 27.5 データ転送モード

データ転送モード 内部動作および内部レジスタ	PIO データ転送	ATA デバイス - エンハンストバス間の DMA データ転送	
		マルチワード DMA	ウルトラ DMA
FIFO 動作	バイパス*	使用	使用
コントロールレジスタ UDMAEN ビット	Don't Care	0	1
コントロールレジスタ START/STOP ビット	Not Used	Used	Used

【注】 * CPU が ATA デバイスに対して PIO アクセスします。

エンハンストバス DMA 転送では、ATAPI デバイスとメモリ間でデータが転送されます。

27.4.2 初期化手順

(1) インタフェースイネーブルビットの設定

ATAPI コントロール 2 レジスタの IFEN ビットを 1 にセットしてください。

(2) タイミングレジスタの設定

以下のレジスタに適切な値を書き込んでください。

各値については、各レジスタの説明を参照してください。

- PIO タイミングレジスタ
- マルチワードDMA タイミングレジスタ
- ウルトラDMA タイミングレジスタ

27.4.3 PIO 転送モード手順

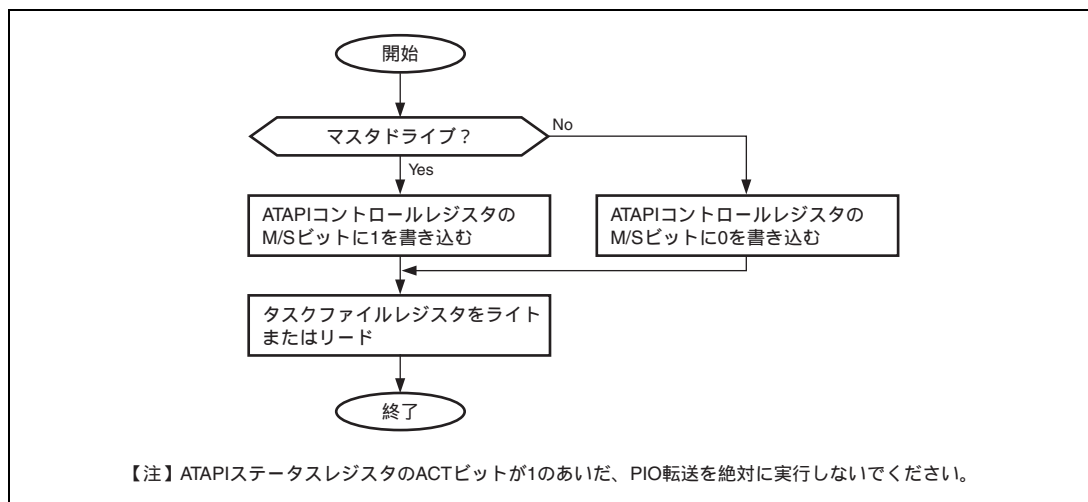


図 27.5 PIO 転送モード手順

27.4.4 マルチワード DMA 転送モード手順

(1) ポーリングによるエンハンストバスを介したメモリとの転送

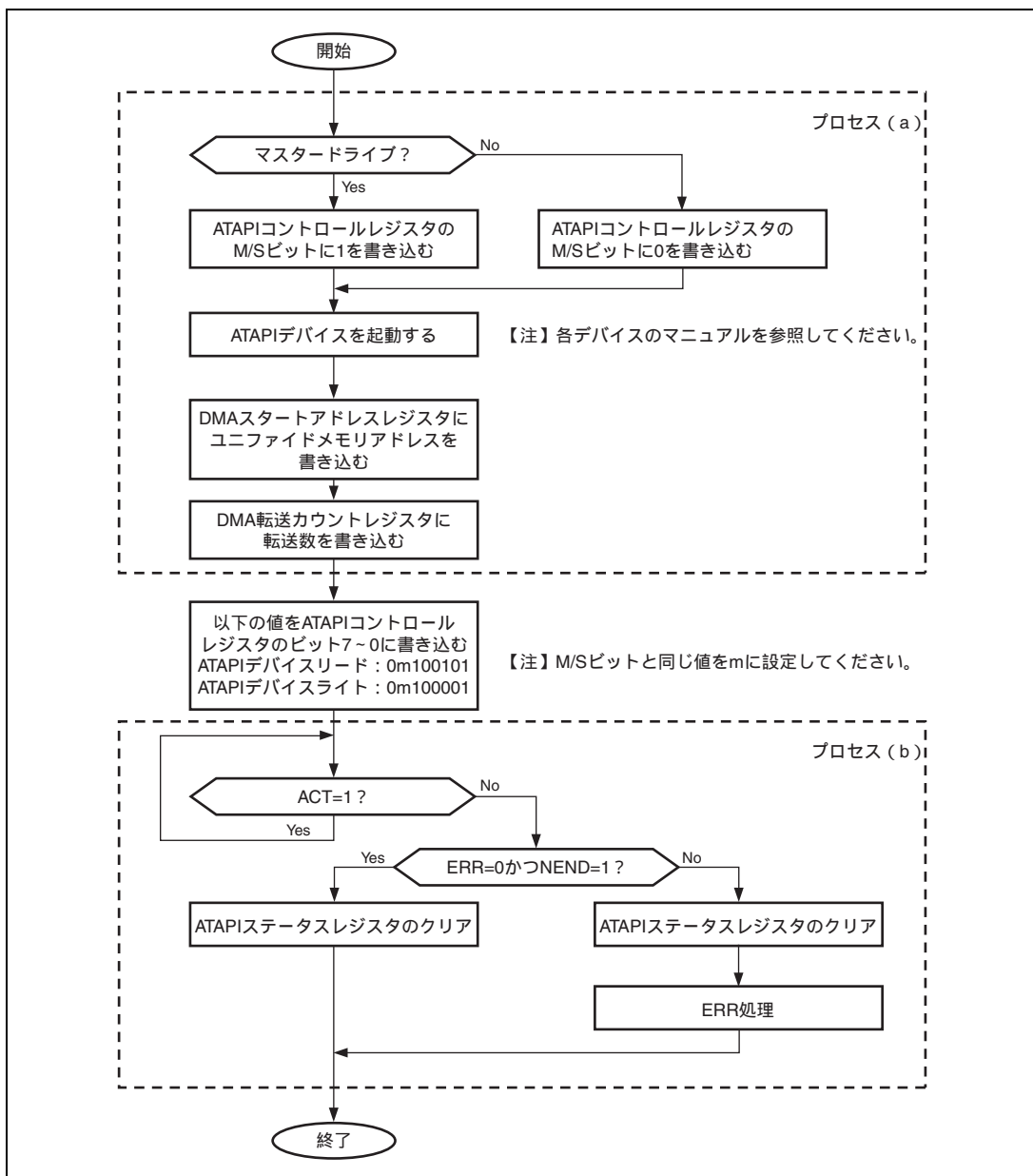


図 27.6 ポーリングによるエンハンストバスを介したメモリとの転送

(2) 割り込みによるエンハンストバスを介したメモリとの転送

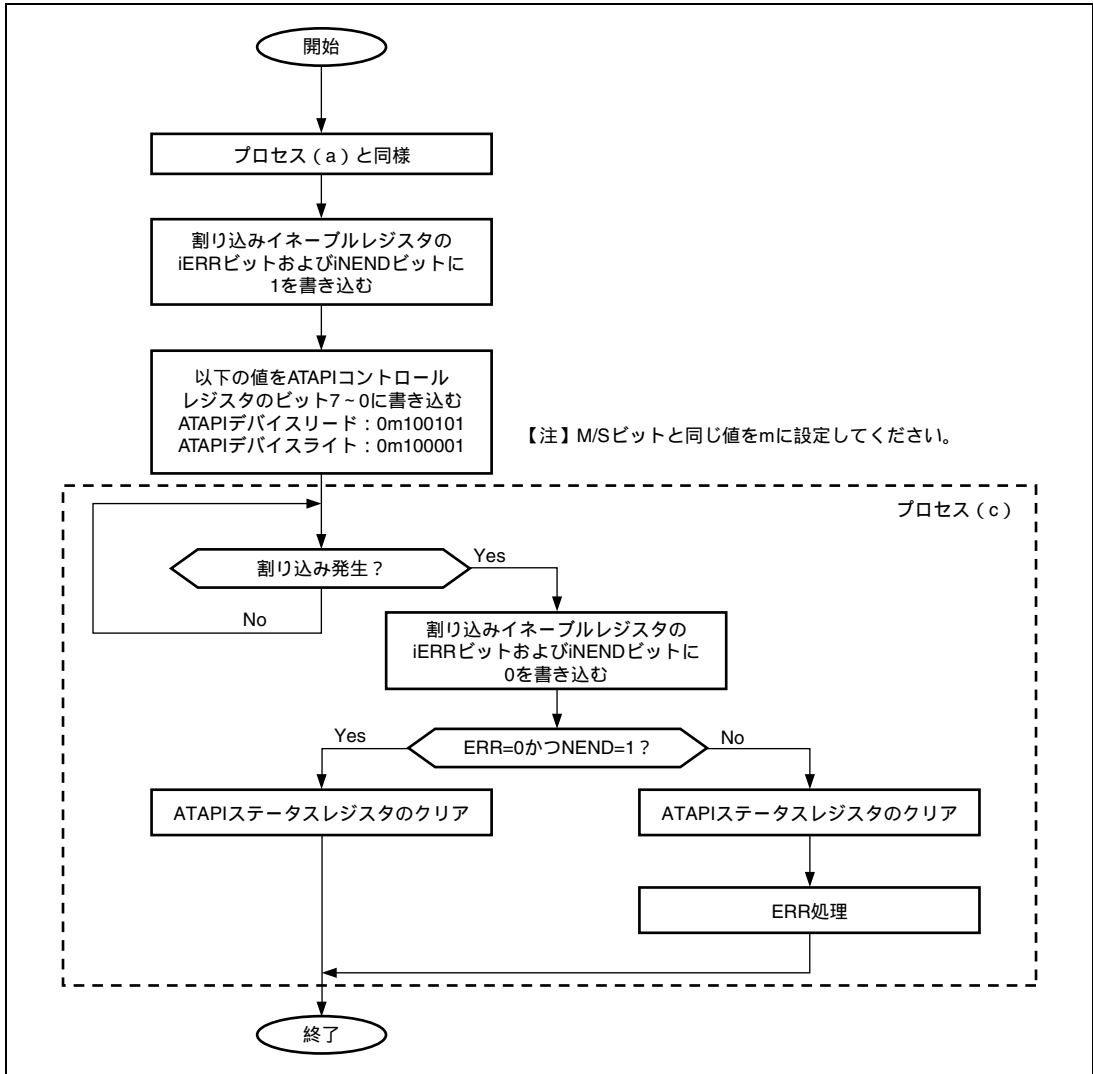


図 27.7 割り込みによるエンハンストバスを介したメモリとの転送

27.4.5 ウルトラ DMA 転送モード手順

(1) ポーリングによるエンハンストバスを介したメモリとの転送

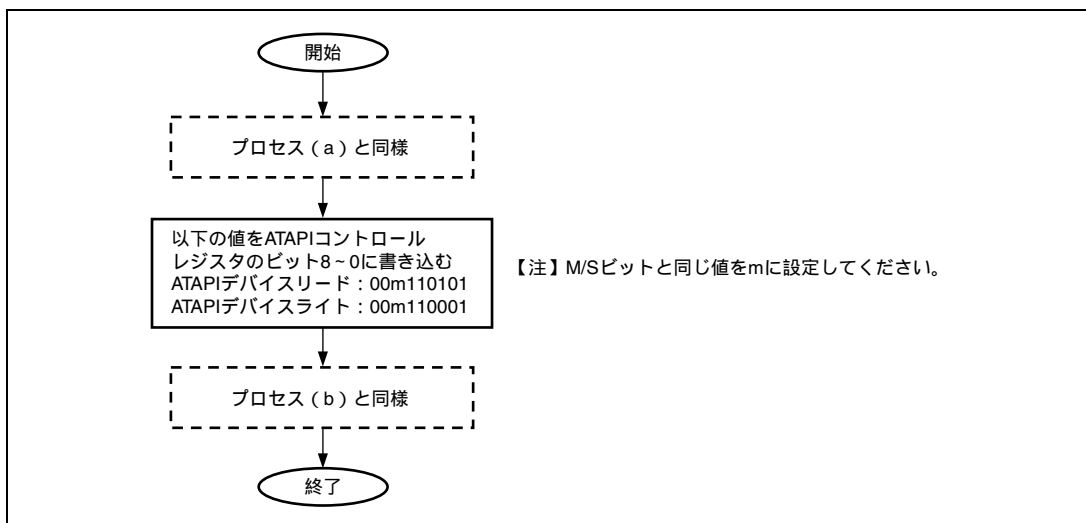


図 27.8 ポーリングによるエンハンストバスを介したメモリとの転送

(2) 割り込みによるエンハンストバスを介したメモリとの転送

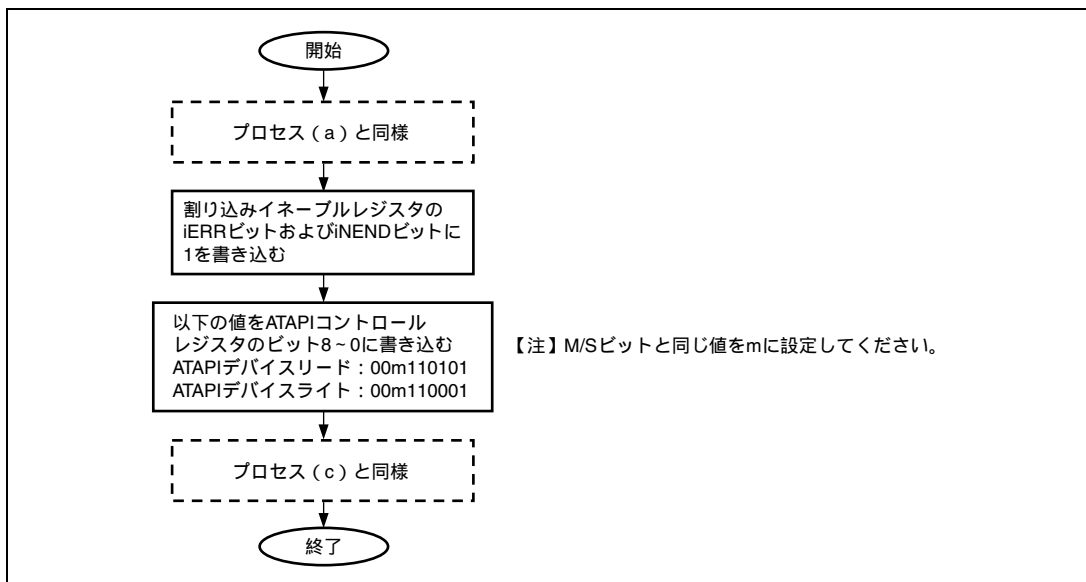


図 27.9 割り込みによるエンハンストバスを介したメモリとの転送

27.4.6 ATAPI デバイスのハードウェアリセット手順

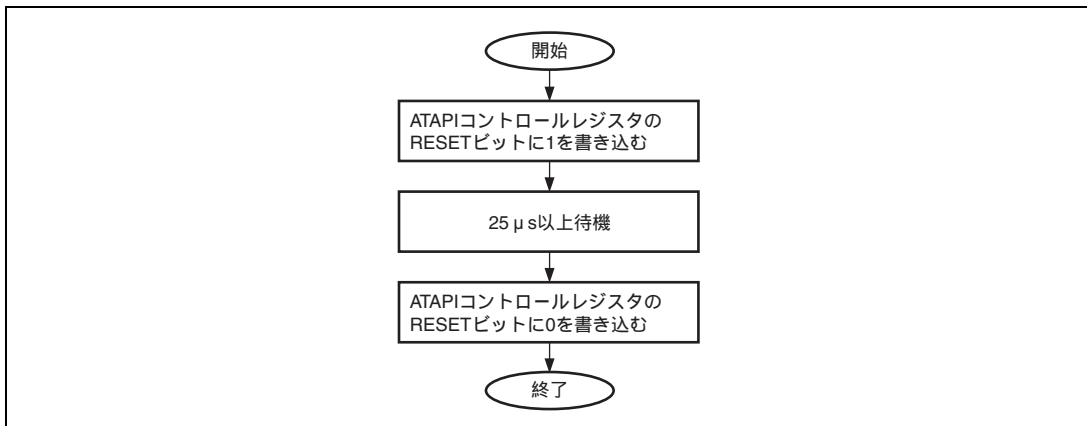


図 27.10 ATAPI デバイスのハードウェアリセット手順

27.5 DIRECTION 端子

DIRECTION 端子は、本 LSI から外部 ATA デバイスへのデータライト時にローレベルを出力します。

具体的には、

- デバイスへのPIOデータ転送時
- マルチワードDMA転送（データアウト）時
- ウルトラDMAデータインのCRC送信時
- ウルトラDMA転送データアウト時

に DIRECTION 端子出力はローレベルとなります。

各転送モードにおけるタイミングは、「第 36 章 電気的特性」を参照してください。

27.6 使用上の注意事項

ATAPI モジュールを使用する場合には、バスクロックと周辺クロックの周波数比率を 2:1 に設定してください。

28. 2D エンジン (2DG)

2DG は、矩形で指定された 2 つの領域を ブレンドし、その後、リサイズ処理をして、矩形領域を拡大 / 縮小した結果を出力する機能と、外部から入力された画像 (動画) は、表示パネルサイズにリサイズしたあと出画グラフィック面と重畳し、コンスタントレートにて、VIDEO OUT (D/A 変換器) に出力する機能を備えます。

CPU からコントロールされる DMAC によって、グラフィックデータは、SDRAM - 2DG 間を高速転送されます。このため、SDRAM 領域上のソース、デスティネーションアドレス、または 2DG のソース、デスティネーションアドレスは、すべて CPU からコントロールされる DMAC によって発行されます。2DG のプリント処理は、ソースバッファに入力されたデータ数に対して指定された処理を行い、デスティネーションバッファに出力するだけです。

28.1 特長

- ブレーン構成 : 代表例 (文字、図形ブレーンと出画 2 ブレーン)
- アクセラレーション機能
 - 2 入力 1 出力 プリット、Fill、Bitblt、クロマキー、論理演算、色階調処理、可変ブレンド処理
- リサイズ機能
 - プリット部 : 水平 / 垂直独立して、バイリニア法 / ニアレストネイバー法選択 (変換率 1/2 ~ 2 倍)
 - プリフィルタ (モワレ対策用) オン / オフ選択
 - 出力部 : 水平方向のみバイキュービックアルゴリズム (変換率 1/3 ~ 1 倍)
- 動画入力 : BT656 フォーマット (NTSC/PAL) 入力 (ただし、VIHSYNC 信号および VIVSYNC 信号入力も必要)
- 動画重畳 : グラフィック面と動画を ブレンドし、RGB666 にてコンスタント出力
- プリット部入力フォーマット : 画素フォーマット = RGB444 (16 ビット)、 RGB555 (16 ビット)、 (4 ビット)
- プリット部出力フォーマット : 画素フォーマット = RGB444 (16 ビット)、 RGB555 (16 ビット)
- 最終出画解像度 : WQVGA (480 × 234) または QVGA (320 × 240)
- グラフィック用入出力バッファ容量 (各バッファともにダブルバッファ構成)
 - 出力用入力 E バッファ容量 = 16 ビット × 512 ワード × 2 面
 - プリット用入力 A、B バッファ容量 = 各 16 ビット × 64 ワード × 2 面
 - プリット用出力 C バッファ容量 = 16 ビット × 256 ワード × 2 面

図 28.1に 2DG のブロック図を示します。

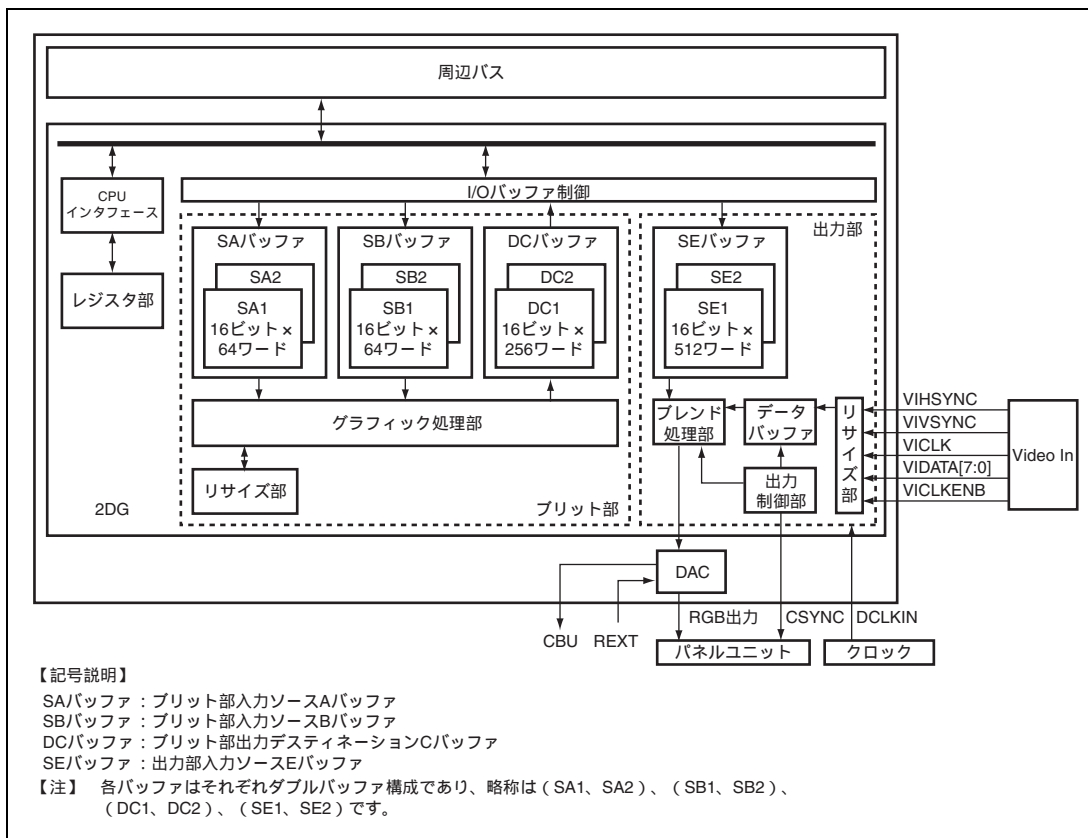


図28.1 2DG のブロック図

28.2 入出力端子

表28.1 端子構成

名称	端子名	入出力	機能
外部 HSYNC 入力端子	VIHSYNC	入力	ビデオデコーダからの入力 HSYNC 信号
外部 VSYNC 入力端子	VIVSYNC	入力	ビデオデコーダからの入力 VSYNC 信号
外部クロック入力端子	VICLK	入力	ビデオデコーダからの入力クロック信号
外部データ入力端子	VIDATA[7:0]	入力	ビデオデコーダからの入力データ信号
外部イネーブル入力端子	VICLKENB	入力	ビデオデコーダからの入力イネーブル信号
外部クロック入力端子	DCLKIN	入力	RGB 表示用入力クロック信号
CSYNC 出力端子	CSYNC	出力	RGB 表示用出力コンポジット SYNC 信号
表示データ R 出力端子	R	出力	RGB 表示用アナログ出力 R 信号
表示データ G 出力端子	G	出力	RGB 表示用アナログ出力 G 信号
表示データ B 出力端子	B	出力	RGB 表示用アナログ出力 B 信号
外部リファレンス端子	REXT	入力	アナログ出力振幅調整用信号
外部容量端子	CBU	出力	内蔵アンプ位相補償用信号
2DG D/A 変換器 アナログ電源	2DGAPVcc0、 2DGAPVcc1	入力	D/A 変換器用の電源端子
2DG D/A 変換器 アナロググランド	2DGAPVss0、 2DGAPVss1	入力	D/A 変換器用のグランド端子

28.3 レジスタの説明

2DG には以下のレジスタがあります。VSYNC 信号に同期して動作するレジスタ値の回路への反映は、VSYNC 信号が L パルスのときに行われます。ただし該当レジスタへのリード/ライトは、VSYNC 同期とは無関係です。

表28.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
グラフィック部 BLT 機能指定実行レジスタ	GR_BLTPLY	R/W	H'00000000	H'E8000000	16, 32
グラフィック部 MIX 機能指定実行レジスタ (VSYNC 信号同期)	GR_MIXPLY	R/W	H'00000000	H'E8000004	16, 32
グラフィック部動作ステータスレジスタ	GR_DOSTAT	R	H'00000000	H'E8000008	16, 32
グラフィック部割り込みステータスレジスタ	GR_IRSTAT	R	H'00000000	H'E800000C	16, 32
グラフィック部割り込みマスク制御レジスタ	GR_INTMSK	R/W	H'00007171	H'E8000010	16, 32
グラフィック部割り込み解除制御レジスタ	GR_INTDIS	W	H'00000000	H'E8000014	16, 32
グラフィック部 DMAC 要求制御レジスタ	GR_DMACH	R/W	H'30000010	H'E8000020	16, 32
BLT 用ソース AB 読み込み領域設定レジスタ	GR_SABSET	R/W	H'00000000	H'E8000030	16, 32
BLT 用デスティネーション C 書き込み領域 設定レジスタ	GR_DCSET	R/W	H'00000001	H'E8000038	16, 32
出力部用ソース E 読み込み領域設定レジスタ (VSYNC 信号同期)	MGR_SESET	R/W	H'00000000	H'E8000040	16, 32
グラフィック部用画素フォーマット設定レジスタ (SE_FMT ビットのみ VSYNC 信号同期)	GR_PIXLFMT	R/W	H'00000000	H'E8000048	16, 32
BLT 用動作モード設定レジスタ	GR_BLMODE	R/W	H'00000000	H'E8000050	16, 32
グラフィック用リサイズ画面設定レジスタ	GR_RISZSET	R/W	H'00010300	H'E8000060	16, 32
BLT 用リサイズモード選択レジスタ	GR_RISZMOD	R/W	H'00000404	H'E8000064	16, 32
BLT 用リサイズデルタ設定レジスタ	GR_DELT	R/W	H'00000000	H'E8000068	16, 32
BLT 用リサイズ水平先頭位相設定レジスタ	GR_HSPHAS	R/W	H'00000000	H'E800006C	16, 32
BLT 用リサイズ垂直先頭位相設定レジスタ	GR_VSPHAS	R/W	H'00000000	H'E8000070	16, 32
出力部用リサイズ水平デルタ設定レジスタ (VSYNC 信号同期)	MGR_HDELTA	R/W	H'00001800	H'E8000074	16, 32
出力部用リサイズ水平先頭位相設定レジスタ (VSYNC 信号同期)	MGR_HPHAS	R/W	H'00000000	H'E8000078	16, 32
BLT 用論理演算入力データレジスタ	GR_LGDAT	R/W	H'00000000	H'E8000080	16, 32
BLT 用クロマキー対象色データレジスタ	GR_DETCOL	R/W	H'00000000	H'E8000084	16, 32
BLT 用ブレンド処理用置換色データレジスタ	GR_BRDCOL	R/W	H'00000000	H'E8000088	16, 32
BLT 用ブレンド 1 コントロールレジスタ	GR_BRD1CNT	R/W	H'00000000	H'E800008C	16, 32
出力部動作モード設定レジスタ (VSYNC 信号同期)	MGR_MIXMODE	R/W	H'00000000	H'E8000098	16, 32

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
出力部パネル出力水平タイミング設定レジスタ (VSYNC 信号同期)	MGR_MIXHTMG	R/W	H'0005000F	H'E80000A0	16、32
出力部パネル出力水平有効領域設定レジスタ (VSYNC 信号同期)	MGR_MIXHS	R/W	H'00370020	H'E80000A4	16、32
出力部パネル出力垂直タイミング設定レジスタ (VSYNC 信号同期)	MGR_MIXVTMG	R/W	H'00003004	H'E80000A8	16、32
出力部パネル出力垂直有効領域設定レジスタ (VSYNC 信号同期)	MGR_MIXVS	R/W	H'000D0007	H'E80000AC	16、32
グラフィック部出力 SYNC 位置設定レジスタ	GR_VSDLY	R/W	H'00000160	H'E80000C4	16、32
VideoDAC タイミング設定レジスタ	VDAC_TMC	R/W	H'00000000	H'EA000000	32

28.3.1 グラフィック部 BLT 機能指定実行レジスタ (GR_BLTPLY)

ブリット機能の実行許可を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SB_STEN	SA_STEN
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
1	SB_STEN	0	R/W	SB ブリット実行許可 SB のブリット動作の許可 / 待機を設定します。 0: 待機中 1: 実行許可または実行中。動作完了後ハードウェア自律で0になります。
0	SA_STEN	0	R/W	SA ブリット実行許可 SA のブリット動作の許可 / 待機を設定します。 0: 待機中 1: 実行許可または実行中。動作完了後ハードウェア自律で0になります。

以下に SB_STEN ビットおよび SA_STEN ビットの設定値とブリット動作の関係を示します。

表28.3 SB_STEN ビットおよび SA_STEN ビットの設定値とブリット動作

SB_STEN	SA_STEN	ブリット動作
0	0	待機中です。
	1	設定禁止です。ブリット動作は行いません。
1	0	SB のみブリット動作を許可します。
	1	SA および SB ともにブリット動作を許可します。

- SA のみでのブリット動作は禁止です。1 入力時は SB を使用してください。
- 実行動作中に 0 ライトを実行するとブリット動作が強制終了します。
- SA バッファまたは SB バッファがエンプティでないときは、1 をライトしないでください。エンプティかどうかの判断は、GR_DOSTAT レジスタにより行えます。
- SB_STEN=1 かつ SA_STEN=1 を設定したときは、SA バッファと SB バッファへの転送量が一致した場合のみブリット動作を実行します (詳細は「28.4.3 (2) ブリット部と外部メモリ間の動作概要」を参照してください)。

28.3.2 グラフィック部 MIX 機能指定実行レジスタ (GR_MIXPLY)

外部入力画像の表示およびグラフィックの表示を設定します。レジスタ値の 2DG への反映は、VSYNC 信号に同期して実行されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	EXTEN	-	-	-	OUTEN
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	不定	不定	不定	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
4	EXTEN	0	R/W	外部入力画像表示許可 外部入力画像の表示の許可 / 禁止を設定します。 0: 禁止 1: 許可
3~1	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
0	OUTEN	0	R/W	グラフィック表示許可 グラフィックの表示の許可 / 禁止を設定します。 0: 禁止 1: 許可

以下に EXTEN ビットおよび OUTEN ビットの設定値と画像表示の関係を示します。

表28.4 EXTEN ビットおよび OUTEN ビットの設定値と画像表示

OUTEN	EXTEN	画像表示
0	0	外部入力画像およびグラフィックともに表示禁止のため、黒画面となります
	1	外部入力画像の表示のみ許可します
1	0	グラフィックの表示のみ許可します
	1	外部入力画像とグラフィックの MIX 画像の表示を許可します

28.3.3 グラフィック部動作ステータスレジスタ (GR_DOSTAT)

2DG 部の動作状態を示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DISP_STAT	SEHF_STAT	-	-	DCHF_STAT	SBHF_STAT	SAHF_STAT	-	-	SB_REND	SA_REND					
初期値:	0	0	0	0	不定	不定	0	0	0	0	0	0	不定	不定	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	不定	R	リザーブビット 読み出すと不定が読み出されます。
15, 14	DISP_STAT	00	R	出力部表示状態 出力部の表示状態を示します。 00: 何も表示されません 01: 外部入力画像のみ表示します 10: グラフィックのみ表示します 11: 外部入力画像とグラフィックの MIX 画像を表示します
13, 12	SEHF_STAT	00	R	出力部入力 E バッファーフコントロール SE1 バッファ (bit12) および SE2 バッファ (bit13) の状態を表示します。 00: SE1 バッファエンプティかつ SE2 バッファエンプティです 01: SE1 バッファ一致かつ SE2 バッファエンプティです 10: SE1 バッファエンプティかつ SE2 バッファ一致です 11: SE1 バッファ一致かつ SE2 バッファ一致です
11, 10	-	不定	R	リザーブビット 読み出すと不定が読み出されます。
9, 8	DCHF_STAT	00	R	ブリット部デスティネーション出力 C バッファーフコントロール DC1 バッファ (bit8) および DC2 バッファ (bit9) の状態を表示します。 00: DC1 バッファエンプティかつ DC2 バッファエンプティです 01: DC1 バッファ一致かつ DC2 バッファエンプティです 10: DC1 バッファエンプティかつ DC2 バッファ一致です 11: DC1 バッファ一致かつ DC2 バッファ一致です

ビット	ビット名	初期値	R/W	説明
7、6	SBHF_STAT	00	R	ブリット部ソース入力 B バッファーフコントロール SB1 バッファ (bit6) および SB2 バッファ (bit7) の状態を表示します。 00 : SB1 バッファエンプティかつ SB2 バッファエンプティです 01 : SB1 バッファ一致かつ SB2 バッファエンプティです 10 : SB1 バッファエンプティかつ SB2 バッファ一致です 11 : SB1 バッファ一致かつ SB2 バッファ一致です
5、4	SAHF_STAT	00	R	ブリット部ソース入力 A バッファーフコントロール SA1 バッファ (bit4) および SA2 バッファ (bit5) の状態を表示します。 00 : SA1 バッファエンプティかつ SA2 バッファエンプティです 01 : SA1 バッファ一致かつ SA2 バッファエンプティです 10 : SA1 バッファエンプティかつ SA2 バッファ一致です 11 : SA1 バッファ一致かつ SA2 バッファ一致です
3、2	-	不定	R	リザーブビット 読み出すと不定が読み出されます。
1	SB_REND	0	R	ブリット部ソース入力 B バッファアクセス状態 SB バッファへのアクセス状態を表示します。 0 : ブリットアクセス完了または待機中です 1 : SB バッファへのアクセス完了かつ DC バッファへのアクセス中です
0	SA_REND	0	R	ブリット部ソース入力 A バッファアクセス状態 SA バッファへのアクセス状態を表示します。 0 : ブリットアクセス完了または待機中です 1 : SA バッファへのアクセス完了かつ DC バッファへのアクセス中です

- SEHF_STATの各ビットは、SE1バッファまたはSE2バッファがフルになった場合、もしくは設定画素数とSEバッファ取り込み画素数が一致した場合に0から1に変化します。
また、SEバッファの半分（または残り分）の読み出しが完了したときに、1から0に変化します。
- DCHF_STATの各ビットは、DC1バッファまたはDC2バッファがフルになった場合、もしくはトータル転送画素数とDCバッファ取り込み画素数が一致した場合に0から1に変化します。
また、DCバッファの半分（または残り分）のデータがDMA転送完了したときに、1から0に変化します。
- SBHF_STATの各ビットは、SB1バッファまたはSB2バッファがフルになった場合、もしくはトータル転送画素数とSBバッファ取り込み画素数が一致した場合に0から1に変化します。
また、SBバッファの半分（または残り分）の読み出しが完了したときに、1から0に変化します。
- SAHF_STATの各ビットは、SA1バッファまたはSA2バッファがフルになった場合、もしくはトータル転送画素数とSAバッファ取り込み画素数が一致した場合に0から1に変化します。
また、SAバッファの半分（または残り分）の読み出しが完了したときに、1から0に変化します。
- 上表中「一致」とは、GR_SABSETレジスタ、GR_DCSETレジスタ、およびMGR_SESETレジスタで設定された水平方向幅とバッファ転送数が一致した、またはバッファハーフフルになったことを意味します。

- グラフィック動作中に動作完了せずにグラフィック動作を停止するなどの異常状態になった場合、本レジスタで異常な状態に陥っている箇所を確認してください。

SB_RENDビット=1またはSA_RENDビット=1の状態が保持されている場合は、DCバッファ関連のレジスタ設定（たとえば、GR_DCSETレジスタの設定値）に誤りがないかどうかを確認してください。SB_RENDビット=0またはSA_RENDビット=0で、SBバッファまたはSAバッファがハーフフルになっている場合は、SBバッファおよびSAバッファ関連レジスタの設定（たとえば、GR_SABSETレジスタの設定値）に誤りがないかどうかを確認してください。

プリント部を再起動する場合は、GR_BLTPLYレジスタのSB_STENビットおよびSA_STENビットに0をライトしてください。また、SEバッファがエンプティの場合には、GR_MIXPLYレジスタのOUTENビットおよびEXTENビットに0をライトしてください。出力部を再起動することができます。

28.3.4 グラフィック部割り込みステータスレジスタ (GR_IRSTAT)

2DG の割り込みステータスレジスタです。割り込み事象が発生した場合、IRQ_DEMPT ビット/IRQ_ASHFUL ビット/IRQ_DHFUL ビット/IRQ_SHFUL ビットは、GR_INTMSK レジスタの MSK_DEMPT ビット/MSK_ASHFUL ビット/MSK_DHFUL ビット/MSK_SHFUL ビットの設定に従って本レジスタにセットされます。それ以外のビットは、GR_INTMSK レジスタの設定にかかわらず、本レジスタにセットされます。割り込みの詳細については「28.4.5 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	IRQ_DEMPT	-	IRQ_ASHFUL	IRQ_DHFUL	IRQ_SHFUL	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	0	不定	0	0	0	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	INT_VSYC	INT_UDFL	INT_FILD	-	-	-	INT_DEMPT	-	INT_ASHFUL	INT_DHFUL	INT_SHFUL	-	-	-	INT_GR
初期値:	不定	0	0	0	不定	不定	不定	0	不定	0	0	0	不定	不定	不定	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~25	-	不定	R	リザーブビット 読み出すと不定が読み出されます。
24	IRQ_DEMPT	0	R	出力部入力 E バッファフルフラグ発生 出力部入力 E バッファにてバッファフルフラグが発生したことを示します。 0: 出力部入力 E バッファがフルではない 1: 出力部入力 E バッファにてバッファフルフラグ発生 [クリア条件] • GR_INTDIS レジスタの DIS_DEMPT ビットに 1 を書き込んだとき [セット条件] • 出力部入力 E バッファにてバッファフルフラグが発生したとき
23	-	不定	R	リザーブビット 読み出すと不定が読み出されます。
22	IRQ_ASHFUL	0	R	ブリット部入力 A バッファフルフラグ発生 ブリット部入力 A バッファにてバッファフルフラグが発生したことを示します。 0: ブリット部入力 A バッファがフルではない 1: ブリット部入力 A バッファにてバッファフルフラグ発生 [クリア条件] • GR_INTDIS レジスタの DIS_ASHFUL ビットに 1 を書き込んだとき [セット条件] • ブリット部入力 A バッファにてバッファフルフラグが発生したとき

ビット	ビット名	初期値	R/W	説明
21	IRQ_DHFUL	0	R	<p>ブリット部出力 C バッファフルフラグ発生</p> <p>ブリット部出力 C バッファにてバッファフルフラグが発生したことを示します。</p> <p>0: ブリット部出力 C バッファがフルではない</p> <p>1: ブリット部出力 C バッファにてバッファフルフラグ発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> GR_INTDIS レジスタの DIS_DHFUL ビットに 1 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> ブリット部出力 C バッファにてバッファフルフラグが発生したとき
20	IRQ_SHFUL	0	R	<p>ブリット部入力 B バッファフルフラグ発生</p> <p>ブリット部入力 B バッファにてバッファフルフラグが発生したことを示します。</p> <p>0: ブリット部入力 B バッファがフルではない</p> <p>1: ブリット部入力 B バッファにてバッファフルフラグ発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> GR_INTDIS レジスタの DIS_SHFU ビットに 1 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> ブリット部入力 B バッファにてバッファフルフラグが発生したとき
19~15	-	不定	R	<p>リザーブビット</p> <p>読み出すと不定が読み出されます。</p>
14	INT_VSYC	0	R	<p>出力部 VSYNC 入力</p> <p>出力部への VSYNC 信号の入力状態を示します。</p> <p>0: VSYNC 信号の入力がありません</p> <p>1: VSYNC 信号の入力があります (ただし GR_MIXPLY レジスタで表示許可を設定している場合のみ有効です)</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> GR_INTDIS レジスタの DIS_VSYC ビットに 1 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> VSYNC 信号入力があるとき
13	INT_UDFL	0	R	<p>出力部出力アンダフロー発生</p> <p>出力部にて出力アンダフローが発生したことを示します。</p> <p>0: 出力部からの出力は正常です</p> <p>1: 出力部出力アンダフローが発生しました</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> GR_INTDIS レジスタの DIS_UDFL ビットに 1 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> 出力部出力アンダフローが発生したとき

ビット	ビット名	初期値	R/W	説明
12	INT_FILD	0	R	出力部最終ライン取り込み完了 出力部入力 E バッファで最終ラインの取り込みが完了したことを示します。 0: 出力部入力 E バッファ内最終ラインなし 1: 出力部入力 E バッファ内最終ライン取り込み完了 [クリア条件] • GR_INTDIS レジスタの DIS_FILD ビットに 1 を書き込んだとき [セット条件] • 出力部入力 E バッファにて最終ラインの取り込みが完了したとき
11~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。
8	INT_DEMPT	0	R	出力部入力 E バッファフル発生 出力部入力 E バッファにてバッファフルが発生したことを示します。 0: 出力部入力 E バッファがフルではない 1: 出力部入力 E バッファにてバッファフル発生 [クリア条件] • SE1 バッファまたは SE2 バッファの少なくとも片方がエンプティになったとき、ハードウェア自律でクリアします [セット条件] • 出力部入力 E バッファにてバッファフルが発生したとき
7	-	不定	R	リザーブビット 読み出すと不定が読み出されます。
6	INT_ASHFUL	0	R	ブリット部入力 A バッファフル発生 ブリット部入力 A バッファにてバッファフルが発生したことを示します。 0: ブリット部入力 A バッファがフルではない 1: ブリット部入力 A バッファにてバッファフル発生 [クリア条件] • SA1 バッファまたは SA2 バッファの少なくとも片方がエンプティになったとき、ハードウェア自律でクリアします。 [セット条件] • ブリット部入力 A バッファにてバッファフルが発生したとき

ビット	ビット名	初期値	R/W	説明
5	INT_DHFUL	0	R	<p>ブリット部出力 C バッファフル発生</p> <p>ブリット部出力 C バッファにてバッファフルが発生したことを示します。</p> <p>0: ブリット部出力 C バッファがフルではない</p> <p>1: ブリット部出力 C バッファにてバッファフル発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> DC1 バッファまたは DC2 バッファの少なくとも片方がエンプティになったとき、ハードウェア自律でクリアします。 <p>[セット条件]</p> <ul style="list-style-type: none"> ブリット部出力 C バッファにてバッファフルが発生したとき
4	INT_SHFUL	0	R	<p>ブリット部入力 B バッファフル発生</p> <p>ブリット部入力 B バッファにてバッファフルが発生したことを示します。</p> <p>0: ブリット部入力 B バッファがフルではない</p> <p>1: ブリット部入力 B バッファにてバッファフル発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SB1 バッファまたは SB2 バッファの少なくとも片方がエンプティになったとき、ハードウェア自律でクリアします <p>[セット条件]</p> <ul style="list-style-type: none"> ブリット部入力 B バッファにてバッファフルが発生したとき
3~1	-	不定	R	<p>リザーブビット</p> <p>読み出すと不定が読み出されます。</p>
0	INT_GR	0	R	<p>ブリット動作完了</p> <p>ブリット動作が完了したことを示します。</p> <p>0: ブリット動作中または未設定です</p> <p>1: ブリット動作完了</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> GR_INTDIS の DIS_GR ビットに 1 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> ブリット動作が完了したとき

【注】 INT_UDFL ビットおよび INT_VSYC ビットは、出力部が未起動時でもセットされる可能性があります。そのため出力部を起動する前に、必ず GR_INTDIS レジスタにて INT_UDFL ビットおよび INT_VSYC ビットをクリアしてください。

28.3.5 グラフィック部割り込みマスク制御レジスタ (GR_INTMSK)

2DG の割り込みマスクレジスタです。割り込み事象が発生した場合、本レジスタにより割り込みを許可していない場合 (マスク時) でも、グラフィック部割り込みステータスレジスタ (GR_IRSTAT) はセットされます。割り込みの詳細については「28.4.5 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	MSK_VSYC	MSK_UDFL	MSK_FILD	-	-	-	MSK_DEMPT	-	MSK_ASHFUL	MSK_DHFUL	MSK_SHFUL	-	-	-	MSK_GR
初期値:	不定	1	1	1	不定	不定	不定	1	不定	1	1	1	不定	不定	不定	1
R/W:	R	R/W	R/W	R/W	R	R	R	R/W	R	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
14	MSK_VSYC	1	R/W	出力部 VSYNC 入力割り込みマスク 出力部 VSYNC 入力の割り込みマスクを設定します。 0: 割り込み出力を許可します 1: 割り込み出力をマスクします
13	MSK_UDFL	1	R/W	出力部出力アンダフロー発生割り込みマスク 出力部出力アンダフロー発生の割り込みマスクを設定します。 0: 割り込み出力を許可します 1: 割り込み出力をマスクします
12	MSK_FILD	1	R/W	出力部最終ライン取り込み完了割り込みマスク 出力部最終ライン取り込み完了の割り込みマスクを設定します。 0: 割り込み出力を許可します 1: 割り込み出力をマスクします
11~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
8	MSK_DEMPT	1	R/W	出力部入力 E バッファフル発生割り込みマスク 出力部入力 E バッファフル発生の割り込みマスクを設定します。 0: 割り込み出力を許可します 1: 割り込み出力をマスクします
7	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
6	MSK_ASHFUL	1	R/W	ブリット部入力 A バッファフル発生割り込みマスク ブリット部入力 A バッファフル発生の割り込みマスクを設定します。 0: 割り込み出力を許可します 1: 割り込み出力をマスクします
5	MSK_DHFUL	1	R/W	ブリット部出力 C バッファフル発生割り込みマスク ブリット部出力 C バッファフル発生の割り込みマスクを設定します。 0: 割り込み出力を許可します 1: 割り込み出力をマスクします
4	MSK_SHFUL	1	R/W	ブリット部入力 B バッファフル発生割り込みマスク ブリット部入力 B バッファフル発生の割り込みマスクを設定します。 0: 割り込み出力を許可します 1: 割り込み出力をマスクします
3~1	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
0	MSK_GR	1	R/W	ブリット動作完了割り込みマスク ブリット動作完了の割り込みマスクを設定します。 0: 割り込み出力を許可します 1: 割り込み出力をマスクします

- MSK_UDFLビットおよびMSK_FILDビットによるマスク解除は、使用する表示パネルにあった適切な値をMGR_MIXHTMGレジスタ、MGR_MIXHSレジスタ、およびMGR_MIXVTMGレジスタに設定したあとに行ってください。

28.3.6 グラフィック部割り込み解除制御レジスタ (GR_INTDIS)

2DG の割り込み解除レジスタです。本レジスタに 1 をライトすることで、割り込み信号は解除されます。グラフィック部割り込みステータスレジスタの

IRQ_DEMPT/IRQ_ASHFUL/IRQ_DHFUL/IRQ_SHFUL/INT_VSYC/INT_UDFL/INT_FILD/INT_GR ビットは、本レジスタに 1 をライトすることでクリアされます。グラフィック部割り込みステータスレジスタの

INT_DEMPT/INT_ASHFUL/INT_DHFUL/INT_SHFUL ビットについては、本レジスタに 1 をライトしてもクリアされません (ハードウェア自律でクリアされます)。1 ライト時はハードウェア自律で初期値にもどります。割り込みの詳細については「28.4.5 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	DIS_VSYC	DIS_UDFL	DIS_FILD	-	-	-	DIS_DEMPT	-	DIS_ASHFUL	DIS_DHFUL	DIS_SHFUL	-	-	-	DIS_GR
初期値:	不定	0	0	0	不定	不定	不定	0	不定	0	0	0	不定	不定	不定	0
R/W:	R	W	W	W	R	R	R	W	R	W	W	W	R	R	R	W

ビット	ビット名	初期値	R/W	説明
31~15	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
14	DIS_VSYC	0	W	出力部 VSYNC 入力割り込み解除 出力部 VSYNC 入力の割り込み解除を設定します。 0: 現状レベルを保持します 1: 割り込みを解除します
13	DIS_UDFL	0	W	出力部出力アンダフロー発生割り込み解除 出力部出力アンダフロー発生の割り込み解除を設定します。 0: 現状レベルを保持します 1: 割り込みを解除します
12	DIS_FILD	0	W	出力部最終ライン取り込み完了割り込み解除 出力部最終ライン取り込み完了の割り込み解除を設定します。 0: 現状レベルを保持します 1: 割り込みを解除します
11~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
8	DIS_DEMPT	0	W	出力部入力 E バッファフル発生割り込み解除 出力部入力 E バッファフル発生の割り込み解除を設定します。 0: 現状レベルを保持します 1: 割り込みを解除します

ビット	ビット名	初期値	R/W	説明
7	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
6	DIS_ ASHFUL	0	W	ブリット部入力 A バッファフル発生割り込み解除 ブリット部入力 A バッファフル発生割り込み解除を設定します。 0: 現状レベルを保持します 1: 割り込みを解除します
5	DIS_DHFUL	0	W	ブリット部出力 C バッファフル発生割り込み解除 ブリット部出力 C バッファフル発生割り込み解除を設定します。 0: 現状レベルを保持します 1: 割り込みを解除します
4	DIS_SHFUL	0	W	ブリット部入力 B バッファフル発生割り込み解除 ブリット部入力 B バッファフル発生割り込み解除を設定します。 0: 現状レベルを保持します 1: 割り込みを解除します
3~1	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
0	DIS_GR	0	W	ブリット動作完了割り込み解除 ブリット動作完了割り込み解除を設定します。 0: 現状レベルを保持します 1: 割り込みを解除します

28.3.7 グラフィック部 DMAC 要求制御レジスタ (GR_DMAC)

SA バッファ、SB バッファ、DC バッファ、SE バッファに対する、DMA 転送と CPU 転送の制御方法を指定します。本レジスタの設定は DMAC 側の設定と合わせてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	SZSEL2	SZSEL1	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	1	1	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	DM1_DSEL	DM2_DSEL	DM34_DSEL	-	-	DM1_MSEL	DM2_MSEL	DM34_MSEL						
初期値:	不定	不定	0	0	0	0	0	不定	不定	0	1	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
29	SZSEL2	1	R/W	出力部 DMA 転送データサイズ 出力部 DMA 転送における 1 データのビットサイズを設定します。 0: 16 ビット 1: 32 ビット
28	SZSEL1	1	R/W	ブリット部 DMA 転送データサイズ ブリット部 DMA 転送における 1 データのビットサイズを設定します。 0: 16 ビット 1: 32 ビット
27~14	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
13, 12	DM1_DSEL	00	R/W	SE バッファへの DMAC 転送条件設定 SE バッファへの DMAC 転送条件を設定します。 00: 単一オペランド転送 01: 連続オペランド転送 10: リザーブ 11: リザーブ
11, 10	DM2_DSEL	00	R/W	DC バッファからの DMAC 転送条件設定 DC バッファからの DMAC 転送条件を設定します。 00: 単一オペランド転送 01: 連続オペランド転送 10: リザーブ 11: リザーブ

ビット	ビット名	初期値	R/W	説明
9、8	DM34_DSEL	00	R/W	SA/SB バッファへの DMAC 転送条件設定 SA/SB バッファへの DMAC 転送条件を設定します。 00 : 単一オペランド転送 01 : 連続オペランド転送 10 : リザーブ 11 : リザーブ
7、6	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
5、4	DM1_MSEL	01	R/W	SE バッファへの DMAC 転送モード SE バッファへの DMAC 転送モードを設定します。 00 : サイクルスチール転送 01 : バイブライン転送 10 : リザーブ 11 : CPU 転送
3、2	DM2_MSEL	00	R/W	DC バッファからの DMAC 転送モード DC バッファからの DMAC 転送モードを設定します。 00 : サイクルスチール転送 01 : バイブライン転送 10 : リザーブ 11 : CPU 転送
1、0	DM34_MSEL	00	R/W	SA/SB バッファへの DMAC 転送モード SA/SB バッファへの DMAC 転送モードを設定します。 00 : サイクルスチール転送 01 : バイブライン転送 10 : リザーブ 11 : CPU 転送

【注】 GR_HSPHAS レジスタ H1PHS_INTGR ビットが奇数 (H1PHS_INTGR[0]ビット=1) のとき、SZSEL1 ビットは必ず 0 (16bit) に設定してください。

28.3.8 BLT 用ソース AB 読み込み領域設定レジスタ (GR_SABSET)

SA/SB 領域の設定を行います。DMA 転送時、外部メモリ領域から転送されるトータルの画素数は、SSWIDTH × SSHIGH となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	SSHIGH								
初期値:	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SSWIDTH								
初期値:	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
24~16	SSHIGH	H'000	R/W	SA/SB 領域垂直方向設定 転送する矩形領域 (SA 領域または SB 領域) の垂直方向の高さ (ライン数) の設定を行います。 有効範囲: 1~288
15~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
8~0	SSWIDTH	H'000	R/W	SA/SB 領域水平方向設定 転送する矩形領域 (SA 領域または SB 領域) の水平方向の幅 (画素数) の設定を行います。 有効範囲: 1~511

- SA/SB2入力の場合、SB (前景) > SA (後景) となります。たとえば、SBが文字でSAが背景とした場合、2面合成を行うと文字が常に前景となるようなブレンドとなります。
- SBの画素フォーマットを (4ビット) に設定した場合、以下に従ってください。
16ビットアクセス時: SSWIDTHは、最小転送画素数 = 4画素、転送画素単位 = $4 \times n$ (n : 任意の整数) としてください。2画素や3画素などの設定は禁止です。
32ビットアクセス時: SSWIDTHは、最小転送画素数 = 8画素、転送画素単位 = $8 \times n$ (n : 任意の整数) としてください。
- 画素フォーマットを RGB444および RGB555に設定した場合、トータルの転送画素数 (SSWIDTH × SSHIGH) が奇数の場合には16ビットアクセスのみ可能です。偶数の場合には32ビットアクセスおよび16ビットアクセスとも可能です。ただし拡大リサイズ処理のために重複ライン設定を行っているときは、トータル転送画素数ではなく1ラインあたりの画素数 (SSWIDTH) を基準に32ビットアクセスまたは16ビットアクセスを決定してください。

28.3.9 BLT 用デスティネーション C 書き込み領域設定レジスタ (GR_DCSET)

DC 領域の設定を行います。DMA 転送時、外部メモリ領域へ転送されるトータルの画素数は、DCWIDTH × DCHIGH となります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	DCHIGH								
初期値 :	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	DCWIDTH								
初期値 :	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
24~16	DCHIGH	H'000	R/W	DC 領域垂直方向設定 転送する矩形領域 (DC 領域) の垂直方向の高さ (ライン数) の設定を行います。 有効範囲 : 1 ~ 288
15~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
8~0	DCWIDTH	H'001	R/W	DC 領域水平方向設定 転送する矩形領域 (DC 領域) の水平方向の幅 (画素数) の設定を行います。 有効範囲 : 1 ~ 511

- 画素フォーマットを RGB444および RGB555に設定した場合、トータルの転送画素数 (DCWIDTH × DCHIGH) が奇数の場合には16ビットアクセスのみ可能です。偶数の場合には、32ビットアクセスおよび16ビットアクセスともに可能です。

28.3.10 出力部用ソース E 読み込み領域設定レジスタ (MGR_SESET)

SE 領域の設定を行います。DMA 転送時、外部メモリ領域から転送されるトータルの画素数は、SEWIDTH × SEHIGH となります。また本レジスタ値の 2DG への反映は、VSYNC 信号に同期して実行されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	SEHIGH								
初期値:	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SEWIDTH								
初期値:	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
24~16	SEHIGH	H'000	R/W	SE 領域垂直方向設定 転送する矩形領域 (SE 領域) の垂直方向の高さ (ライン数) の設定を行います。 有効範囲: 2~288
15~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
8~0	SEWIDTH	H'000	R/W	SE 領域水平方向設定 転送する矩形領域 (SE 領域) の水平方向の幅 (画素数) の設定を行います。 有効範囲: 2~511

- トータルの転送画素数 (SEWIDTH × SEHIGH) が奇数の場合には、16ビットアクセスのみ可能です。偶数の場合には、32ビットアクセスおよび16ビットアクセスとも可能です。

- 本レジスタとMGR_MIXHSレジスタおよびMGR_MIXVSレジスタの設定は同じにしてください。

SEWIDTHビット = MGR_MIXHSレジスタのVLDPHビット

SEHIGHビット = MGR_MIXVSレジスタのVLDPVビット

- 表示を破綻させないために、SEパツファへのDMA転送は効率の良い転送設定を行ってください。たとえば以下を推奨します。

- SEWIDTHビット: 480や320など、8の倍数の画素を設定してください
- 出力部DMAC転送データサイズ: 1 (32bit) を設定してください
- 1オペランドあたりの転送量: 大きな値を設定してください
- DMACの転送モード: パイプライン転送を設定してください

28.3.11 グラフィック部用画素フォーマット設定レジスタ (GR_PIXLFMT)

入力バッファおよび出力バッファで扱う画素のフォーマットを設定します。SE_FMT ビットの 2DG への反映は、VSYNC 信号に同期して実行されます。それ以外のビットは直ちに反映されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SE_FMT
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	DC_FMT	-	-	SB_FMT	-	-	-	-	SA_FMT
初期値:	不定	不定	不定	不定	不定	不定	不定	0	不定	不定	0	0	不定	不定	不定	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
16	SE_FMT	0	R/W	SE 画像フォーマット SE への画像フォーマットを指定します。 0: RGB444 (16 ビット) 1: RGB555 (16 ビット)
15~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
8	DC_FMT	0	R/W	DC 画像フォーマット DC からの画像フォーマットを指定します。 0: RGB444 (16 ビット) 1: RGB555 (16 ビット)
7、6	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
5、4	SB_FMT	00	R/W	SB 画像フォーマット SB への画像フォーマットを指定します。 00: RGB444 (16 ビット) 01: RGB555 (16 ビット) 10: (4 ビット) 11: リザーブ
3~1	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
0	SA_FMT	0	R/W	SA 画像フォーマット SA への画像フォーマットを指定します。 0: RGB444 (16 ビット) 1: RGB555 (16 ビット)

- SB_FMTビットを10に設定した場合、以下に従ってください。

16ビットアクセス時: GR_SABSETレジスタのSSWIDTHビットは、最小転送画素数 = 4画素、転送画素単位 = $4 \times n$ (n : 任意の整数) としてください。2画素や3画素等の設定は禁止です。

32ビットアクセス時: GR_SABSETレジスタのSSWIDTHビットは、最小転送画素数 = 8画素、転送画素単位 = $8 \times n$ (n : 任意の整数) としてください。

28.3.12 BLT 用動作モード設定レジスタ (GR_BLTMODE)

ブリット部の動作モードを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	CRKEY	-	-	LGTYPE	SBSEL	BTYP				
初期値:	不定	不定	不定	不定	不定	不定	0	0	不定	不定	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
9、8	CRKEY	00	R/W	クロマキータイプ選択 クロマキーのタイプを選択します。 00: クロマキー処理を行いません。対象色 (GR_DETCOL レジスタ) および置換色 (GR_BRDCOL レジスタ) は無効となります。 01: クロマキー (対象色 (GR_DETCOL レジスタ) を置換色 (GR_BRDCOL レジスタ) に置き換えます) 10: クロマキー (対象色 (GR_DETCOL レジスタ) と置換色 (GR_BRDCOL レジスタ) をブレンドします) 11: 設定禁止
7、6	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
5、4	LGTYPE	00	R/W	論理演算タイプ選択 論理演算のタイプを選択します。 00：設定禁止 01：(SB データ) xor (GR_LGDAT レジスタ) 10：(SB データ) or (GR_LGDAT レジスタ) 11：(inv){(SB データ) xor (GR_LGDAT レジスタ)}
3、2	SBSEL	00	R/W	SB 出力データ選択 SB 出力後の各種演算処理後のデータを選択します。 00：SB データ 01：クロマキー処理後のデータ 10：論理演算後のデータ 11：色階調処理後のデータ
1、0	BTYPE	00	R/W	ブリット動作モード設定 ブリットの動作モードを設定します。 00：Blit 動作 (SA または SB 入力あり、かつ DC 出力あり) 01：設定禁止 10：Fill 動作 (SB 入力とレジスタ値によるブレンド処理後、DC 出力あり) 11：設定禁止

- CRKEYビットは、SBSELビット=01かつBTYPEビット=10設定時のみ有効です。
- クロマキーが有効なとき (SBSELビット=01かつBTYPEビット=10設定時) には、GR_BRD1CNTレジスタ GCOLRビット=1のときと同様の動作を行います。ただしGR_BRD1CNTレジスタGCOLRビットは変化しません。
- LGTYPEビットは、SBSELビット=10設定時のみ有効です。
- SBSELは、Fill動作選択時 (BTYPE=10) は、SBSEL=00/01/10が選択可能で、Blit動作選択時 (BTYPE=00) は、SBSEL=00/10/11が選択可能です。
- BTYPEビット=00設定時は、クロマキー設定は禁止です。

28.3.13 グラフィック用リサイズ画面設定レジスタ (GR_RISZSET)

リサイズ機能の設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PREON	-	-	EDGE	-	-	-	-	-	-	-	-	BRSIZ
初期値:	不定	不定	不定	0	不定	不定	1	1	不定	不定	不定	不定	不定	不定	不定	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
12	PREON	0	R/W	ブリット部プリフィルタ設定 ブリット部プリフィルタ機能の選択を設定します。 0: プリフィルタなし 1: プリフィルタあり
11, 10	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
9, 8	EDGE	11	R/W	ブリット部 EDGE 処理設定 ブリット部での下端 (垂直方向) (bit9) / 右端 (水平方向) (bit8) の処理を設定します。 リサイズ未使用時は11に設定してください。リサイズ使用時は以下から設定してください。 00: 垂直方向=下端ではない / 水平方向=右端ではない 01: 垂直方向=下端ではない / 水平方向=右端 10: 垂直方向=下端 / 水平方法=右端ではない 11: 垂直方向=下端 / 水平方向=右端
7~1	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
0	BRSIZ	0	R/W	ブリット部リサイズ機能設定 ブリット部でのリサイズ機能の選択を設定します。 0: リサイズ機能を使用しない 1: リサイズ機能を使用する

- プリット部リサイズ機能を使用するときは、以下に従いEDGEビットを設定してください。
ソース領域すべてをリサイズする全面リサイズ時はEDGEビット = 11に設定してください。
ソース領域の一部をリサイズする部分リサイズ時はEDGEビットの説明に従い設定してください。
- 干渉縞が気になる場合は、PREONビット = 1に設定しプリフィルタを使用することで緩和することができます。

28.3.14 BLT 用リサイズモード選択レジスタ (GR_RISZMOD)

プリット部リサイズ機能の設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	A1_H	-	H1_MTHD	-	-	-	-	-	A1_V	-	V1_MTHD
初期値:	不定	不定	不定	不定	不定	1	不定	0	不定	不定	不定	不定	不定	1	不定	0
R/W:	R	R	R	R	R	R/W	R	R/W	R	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
10	A1_H	1	R/W	水平方向 リサイズ方式設定 水平方向 リサイズ方式を選択します。 0: バイリニア法 1: ニアレストネイバー法
9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
8	H1_MTHD	0	R/W	水平方向リサイズ方式設定 水平方向リサイズ方式を選択します。 0: バイリニア法 1: ニアレストネイバー法
7~3	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
2	A1_V	1	R/W	垂直方向 リサイズ方式設定 垂直方向 リサイズ方式を選択します。 0: バイリニア法 1: ニアレストネイバー法
1	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
0	V1_MTHD	0	R/W	垂直方向リサイズ方式設定 垂直方向リサイズ方式を選択します。 0: バイリニア法 1: ニアレストネイバー法

【注】 リサイズを行うときは必ず設定してください。リサイズを行わないときは設定する必要はありません。

28.3.15 BLT 用リサイズデルタ設定レジスタ (GR_DELT)

ブリット部リサイズ用デルタ計算結果の設定を行います。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	VDLT_INTGR				VDLT_DCML									
初期値:	不定	不定	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	HDLT_INTGR				HDLT_DCML									
初期値:	不定	不定	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
29, 28	VDLT_INTGR	00	R/W	垂直方向デルタ計算結果整数部設定 垂直方向デルタ計算結果の整数部を設定します。
27~16	VDLT_DCML	H'000	R/W	垂直方向デルタ計算結果小数部設定 垂直方向デルタ計算結果の小数部を設定します。
15, 14	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
13, 12	HDLT_INTGR	00	R/W	水平方向デルタ計算結果整数部設定 水平方向デルタ計算結果の整数部を設定します。
11~0	HDLT_DCML	H'000	R/W	水平方向デルタ計算結果小数部設定 水平方向デルタ計算結果の小数部を設定します。

【注】 リサイズを行うときは必ず設定してください。リサイズを行わないときは設定する必要はありません。

- 垂直拡大リサイズ時かつCPUからの1ラインの転送画素数が65画素以上の場合のみ、CPUから転送する転送画素は、同じラインの画素を2回転送する必要があります。詳細については「28.4.3 (6) 拡大リサイズ用重複ライン設定」を参照してください。

28.3.16 BLT 用リサイズ水平先頭位相設定レジスタ (GR_HSPHAS)

ブリット部リサイズ用水平先頭位置の位相計算結果を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	H1PHS_DCML											
初期値:	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	H1PHS_INTGR									
初期値:	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
27~16	H1PHS_DCML	H'000	R/W	水平先頭位置位相計算結果小数部設定 ソース側水平先頭位置の位相計算結果の小数部を設定します。
15~10	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
9~0	H1PHS_INTGR	H'000	R/W	水平先頭位置位相計算結果整数部設定 ソース側水平先頭位置の位相計算結果の整数部を設定します。

【注】 リサイズを行うときは必ず設定してください。リサイズを行わないときはすべて0を設定してください。2.
H1PHS_INTGR ビットが奇数 (H1PHS_INTGR[0]ビット=1) のとき、GR_DMAC レジスタ SZSEL1 ビットは必ず α (16bit) に設定してください。

28.3.17 BLT 用リサイズ垂直先頭位相設定レジスタ (GR_VSPHAS)

ブリット部リサイズ用垂直先頭位置の位相計算結果を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	V1PHS_DCML											
初期値:	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	V1PHS_INTGR								
初期値:	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
27~16	V1PHS_DCML	H'000	R/W	垂直先頭位置位相計算結果小数部設定 ソース側垂直先頭位置の位相計算結果の小数部を設定します。
15~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
8~0	V1PHS_INTGR	H'000	R/W	垂直先頭位置位相計算結果整数部設定 ソース側垂直先頭位置の位相計算結果の整数部を設定します。

【注】 リサイズを行うときは必ず設定してください。リサイズを行わないときはすべて0を設定してください。

28.3.18 出力部用リサイズ水平デルタ設定レジスタ (MGR_HDELTA)

出力部リサイズ用水平デルタ計算結果の設定を行います。出力部へのレジスタ値の反映は、VSYNC 信号に同期して実行されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MHDLT_INTGR				MHDLT_DCML											
初期値:	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
15~12	MHDLT_INTGR	0001	R/W	水平方向デルタ計算結果整数部設定 水平方向デルタ計算結果の整数部を設定します。
11~0	MHDLT_DCML	H'800	R/W	水平方向デルタ計算結果小数部設定 水平方向デルタ計算結果の小数部を設定します。

28.3.19 出力部用リサイズ水平先頭位相設定レジスタ (MGR_HPHAS)

出力部リサイズ用水平先頭位置の位相計算結果を設定します。出力部へのレジスタ値の反映は、VSYNC 信号に同期して実行されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	MH1PHS_DCML											
初期値:	不定	不定	不定	不定	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
11~0	MH1PHS_ DCML	H'000	R/W	水平先頭位置位相計算結果小数部設定 ソース側水平先頭位置の位相計算結果の小数部を設定します。

28.3.20 BLT 用論理演算入力データレジスタ (GR_LGDAT)

ブリット部論理演算用データを設定します。論理演算はフォーマット変換されたのちに実行されるため、LGDAT_R=R データ (5 ビット)、LGDAT_G=G データ (5 ビット)、LGDAT_B=B データ (5 ビット) で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	LGDAT_A					-	-	-	LGDAT_R				
初期値:	不定	不定	不定	不定	0	0	0	0	不定	不定	不定	0	0	0	0	0	
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	LGDAT_G					-	-	-	LGDAT_B					
初期値:	不定	不定	不定	0	0	0	0	0	不定	不定	不定	0	0	0	0	0	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~28	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
27~24	LGDAT_A	0000	R/W	論理演算用データ () 設定 論理演算用データ () = log を設定します。
23~21	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
20~16	LGDAT_R	00000	R/W	論理演算用データ (R) 設定 論理演算用データ (R) = Clog_r を設定します。
15~13	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
12~8	LGDAT_G	00000	R/W	論理演算用データ (G) 設定 論理演算用データ (G) = Clog_g を設定します。
7~5	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
4~0	LGDAT_B	00000	R/W	論理演算用データ (B) 設定 論理演算用データ (B) = Clog_b を設定します。

【注】 本レジスタは論理演算機能選択 (GR_BLTMODE レジスタの SBSSEL ビット = 10) 時のみ有効です。

28.3.21 BLT 用クロマキー対象色データレジスタ (GR_DETCOL)

クロマキー時に対象色とする色を指定します (値は対象外です)。クロマキー処理はフォーマット変換された後に実行するため、DETC_R=R データ (5 ビット)、DETC_G=G データ (5 ビット)、DETC_B=B データ (5 ビット) で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	DETC_R				
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	DETC_G				-	-	-	DETC_B					
初期値:	不定	不定	不定	0	0	0	0	0	不定	不定	不定	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
20~16	DETC_R	00000	R/W	クロマキー用対象色データ (R) 設定 クロマキー用対象色データ (R) = Cdasg_r を設定します。
15~13	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
12~8	DETC_G	00000	R/W	クロマキー用対象色データ (G) 設定 クロマキー用対象色データ (G) = Cdasg_g を設定します。
7~5	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
4~0	DETC_B	00000	R/W	クロマキー用対象色データ (B) 設定 クロマキー用対象色データ (B) = Cdasg_b を設定します。

- 本レジスタはクロマキー機能選択 (GR_BLTMODEレジスタSBSSELビット=01) 時のみ有効です。
- 本レジスタはGR_BLTMODEレジスタのCRKEYビットの設定に従い、以下のように使用されます。

CRKEY=01の場合: SB入力データに対し、本レジスタで指定した対象色をGR_BRDCOLレジスタにて設定した置換色に置換処理します。

CRKEY=10の場合: SB入力データに対し、本レジスタで指定した対象色とGR_BRDCOLレジスタにて設定した置換色をブレンド処理します。

28.3.22 BLT 用ブレンド処理用置換色データレジスタ (GR_BRDCOL)

クロマキー処理および色階調処理時に使用します。クロマキー時には、対象色の部分を置換またはブレンドするための色として指定します。色階調処理時には、置換するための色として指定します。フォーマット変換した後にクロマキー処理および色階調処理を実行するため、BRDC_R=R データ(5ビット)、BRDC_G=G データ(5ビット)、BRDC_B=B データ(5ビット)で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	BRDC_A					-	-	-	BRDC_R				
初期値:	不定	不定	不定	不定	0	0	0	0	不定	不定	不定	0	0	0	0	0	
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	BRDC_G					-	-	-	BRDC_B					
初期値:	不定	不定	不定	0	0	0	0	0	不定	不定	不定	0	0	0	0	0	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~28	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
27~24	BRDC_A	0000	R/W	ブレンド処理用置換色データ()設定 ブレンド処理用置換色データ() = sasg を設定します。
23~21	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
20~16	BRDC_R	00000	R/W	ブレンド処理用置換色データ(R)設定 ブレンド処理用置換色データ(R) = Csasg_r を設定します。
15~13	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
12~8	BRDC_G	00000	R/W	ブレンド処理用置換色データ(G)設定 ブレンド処理用置換色データ(G) = Csasg_g を設定します。
7~5	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
4~0	BRDC_B	00000	R/W	ブレンド処理用置換色データ(B)設定 ブレンド処理用置換色データ(B) = Csasg_b を設定します。

28.3.23 BLT 用ブレンド 1 コントロールレジスタ (GR_BRD1CNT)

ブリット部ブレンド処理の設定を行います。詳細については「28.4.3 (3) (a) ブレンド処理」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	AFTER_A			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	FBFA		-	-	-	GALFA	-	-	-	GCOLR
初期値:	不定	不定	不定	不定	不定	不定	0	0	不定	不定	不定	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
19~16	AFTER_A	0000	R/W	ブレンド処理後アルファ値置換データ () 設定 ブレンド処理後アルファ値置換データ () = after を設定します。
15~10	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
9、8	FBFA	00	R/W	混合係数値選択 混合係数の数値を選択します。 組み合わせについては下表を参照してください。
7~5	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
4	GALFA	0	R/W	グローバル 設定 グローバル オン/オフを設定します。ブレンド合成後の 値のみ AFTER_A ビットに変更することができます。 0: オフ (dc= out) 1: オン (dc= AFTER_A ビット)
3~1	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
0	GCOLR	0	R/W	グローバル COLOR 設定 グローバル COLOR オン/オフを設定します。 0: オフ (Ca1= Ca) 1: オン (Ca1= GR_BRDCOL レジスタ)

【注】 上記表中の記号については、図 28.23 を参照してください。

表28.5 FBFA ビットの詳細

FBFA (レジスタ値)	Fb	Fa	備考
00 (初期値)	b	(1 - b) a	2入力プレーン処理時。 out = Fb+Fa です。
01	1	0	1入力プレーン処理時。 out = b です。
10	b	(1 - b)	aを使用しないブレンド処理。 out = b です。
11	0	1	SA または GR_BRDCOL 値だけを出力。 out = a です。

- Fill動作選択 (GR_BLTMODEレジスタのBTYPEビット = 10) 時、GCOLRビット = 1、FBFAビット = 任意 (ブレンドありのFill動作なので基本は00) を設定してください。
- AFTER_AビットはGALFAビット = 1に設定したときのみ有効になります。
- FBFAビットは、ブレンドなしかつクロマキー処理選択時は01に設定してください。
- GCOLRビットは、Fill時 (GR_BLTMODEレジスタBTYPEビット = 10) は1に設定してください。

28.3.24 出力部動作モード設定レジスタ (MGR_MIXMODE)

出力部の動作モードを設定します。出力部へのレジスタ値の反映は、VSYNC 信号に同期して実行されます。詳細については「28.4.4 (5) 出力部ブレンド処理」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	NTSC	-	-	-	-	CHG_A				-	FCFD		
初期値 :	不定	不定	不定	0	不定	不定	不定	不定	0	0	0	0	不定	0	0	0
R/W :	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	MVON	-	-	-	CBCR	-	-	-	-	-	-	-	VLD_N
初期値 :	不定	不定	不定	0	不定	不定	不定	0	不定	不定	不定	不定	不定	不定	不定	0
R/W :	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
28	NTSC	0	R/W	出力部 NTSC/PAL 設定 出力部 NTSC/PAL を設定します。 0 : NTSC 1 : PAL
27~24	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
23~20	CHG_A	0000	R/W	出力部 値置換データ設定 出力部 RGB555 の 値置換データを設定します。
19	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
18~16	FCFD	000	R/W	出力部 ブレンド値選択 出力部の ブレンド値を選択します。 出力部ブレンド部からの出力は $Cp = (Fc \times Cdc) + (Fd \times Cv)$ です。 組み合わせについては下表を参照してください。
15~13	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
12	MVON	0	R/W	外部入力映像指定 外部入力映像のオン/オフを指定します。 0 : 外部入力映像がないシステム時 (内部発生 VSYNC 使用) 1 : 外部入力映像があるシステム時 (外部 VIVSYNC 疑似同期)
11~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
8	CBCR	0	R/W	CbCr ビット位置反転設定 YCbCr422 YCbCr444 変換時、CbCr 位置の反転を設定します。 0: 反転しない 1: 反転する
7~1	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
0	VLD_N	0	R/W	VICKLENB 極性選択 外部入力画像の VALID 信号である VICKLENB の極性を選択します。 0: VALID 時は L 極性です 1: VALID 時は H 極性です

- 【注】
- 上記表中の記号については、図 28.55を参照してください。
 - CBCR ビットの詳細については、図 28.15を参照してください。3.外部入力映像があるシステムを選択したとき、外部入力映像の品質が悪い状態にてグラフィック画面のみを表示する場合には、MVON ビットを 0 に設定してください。これにより内部生成した SYNC を使用することで同期エラーの発生がなくなり、表示品位が良くなります。また MVON ビットに 1 を設定した場合、必ず外部入力映像と同期した VIHSYNC および VIVSYNC を入力してください。
 - 画素フォーマットとして RGB555 (GR_PIXFMT レジスタの SE_FMT ビット=1) を選択し、かつ画素データのデータが 1 であるならば、データ 4 ビットを CHG_A ビットに置換します。
 - GR_MIXPLY レジスタ EXTEN ビットを 1 に設定する場合は、その前に MVON ビットを 1 に設定してください。MVON ビット=0 かつ GR_MIXPLY レジスタ EXTEN ビット=1 の設定は禁止です。
 - MVON ビットにより VSYNC の内部/外部同期を切替える場合は、以下の手順に従って行ってください。
 - GR_MIXPLY レジスタで表示禁止に設定します
 - MVON ビットで VSYNC 同期を変更します
 - 変更した VSYNC の発生を 2 回以上確認します
 - GR_MIXPLY レジスタで表示許可を設定します

表28.6 FCFD ビットの詳細

FCFD (レジスタ値)	Fc	Fd	備考
000 (初期値)	1	1 - dc	SE バッファ入力画像が pre-multiplied のときです。
001	dc	1 - dc	SE バッファ入力画像が non-pre-multiplied のときです。
010	1	0	グラフィックのみ出力します。
011	0	1	動画のみ出力します。
100	0	0	なにも出力しません (黒画面出力)。
その他	-	-	リザーブ

- 【注】 GR_MIXPLY レジスタの設定により以下と同様の動作を行います。ただし FCFD ビットは変化しません。
- 外部入力画像 (動画) のみを選択されている場合 (OUTEN ビット=0、EXTEN ビット=1) : FCFD ビット = 011
 グラフィック画像のみを選択されている場合 (OUTEN ビット=1、EXTEN ビット=0) : FCFD ビット = 010
 表示禁止を設定されている場合 (OUTEN ビット=0、EXTEN ビット=0) : FCFD ビット = 100

28.3.25 出力部パネル出力水平タイミング設定レジスタ (MGR_MIXHTMG)

パネルへの出力信号の水平タイミングを設定します。レジスタ値の反映は、VSYNC 信号に同期して実行されま
す。詳細については、「28.4.1 (5) パネル出力設定」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	WPH					
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0	1	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PDPH								
初期値 :	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	1	1	1	1
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
21~16	WPH	H'05	R/W	パネル出力用 HSYNC パルス幅設定 パネル出力用の HSYNC のパルス幅を設定します。 HSync_out 立ち下がりからの DCLKIN 数で設定します。 有効範囲 : 1 ~ 63 画素
15~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
8~0	PDPH	H'00F	R/W	パネル出力用画像水平読み出しスタートタイミング設定 パネル出力用画像水平読み出しスタートタイミングを設定します。 WPH からの DCLKIN 数で設定します。 有効範囲 : 0 ~ 511 画素

28.3.26 出力部パネル出力水平有効領域設定レジスタ (MGR_MIXHS)

パネルへの出力信号の水平有効領域を設定します。レジスタ値の反映は、VSYNC 信号に同期して実行されます。詳細については、「28.4.1 (5) パネル出力設定」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	ALLPH											
初期値:	不定	不定	不定	不定	不定	不定	0	0	0	0	1	1	0	1	1	1		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	VLDPH											
初期値:	不定	不定	不定	不定	不定	不定	0	0	0	0	1	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~26	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
25~16	ALLPH	H'037	R/W	パネル出力用画像水平幅設定 パネル出力用画像の水平幅を設定します。 HSync_out 立ち上がりからの DCLKIN 数で設定します。 有効範囲: 0~1023 画素
15~10	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
9~0	VLDPH	H'020	R/W	パネル出力用画像水平有効幅設定 パネル出力用画像の水平有効幅を設定します。 PDPH からの DCLKIN 数で設定します。 有効範囲: 0~511 画素

【注】 本レジスタと出力部用ソース E 読み込み領域設定レジスタの設定は同じにしてください。

VLDPH ビット = MGR_SESET レジスタの SEWIDTH ビット

28.3.27 出力部パネル出力垂直タイミング設定レジスタ (MGR_MIXVTMG)

パネルへの出力信号の垂直タイミングを設定します。レジスタ値の反映は、VSYNC 信号に同期して実行されます。詳細については、「28.4.1 (5) パネル出力設定」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WPV				-	-	-	PDPV								
初期値 :	0	0	1	1	不定	不定	不定	0	0	0	0	0	0	1	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
15~12	WPV	0011	R/W	パネル出力用 VSYNC パルス幅設定 パネル出力用 VSYNC のパルス幅を設定します。 VSync_out 立ち下がりからのライン数で設定します。 有効範囲 : 1~15 ライン
11~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
8~0	PDPV	H'004	R/W	パネル出力用画像垂直読み出しスタートタイミング設定 パネル出力用画像の垂直読み出しスタートタイミングを設定します。 VSync_out 立ち上がりからのライン数で設定します。 有効範囲 : 0~511 ライン

28.3.28 出力部パネル出力垂直有効領域設定レジスタ (MGR_MIXVS)

パネルへの出力信号の垂直領域を設定します。レジスタ値の反映は、VSYNC 信号に同期して実行されます。詳細については、「28.4.1 (5) パネル出力設定」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	ALLPV								
初期値:	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	1	1	0	1
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	VLDPV								
初期値:	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
24~16	ALLPV	H'00D	R/W	パネル出力用 VSYNCH 期間幅設定 パネル出力用 VSYNC の H 期間幅を設定します。 VSYNC の H 期間をライン数で設定します。 有効範囲: 0~511 ライン
15~9	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
8~0	VLDPV	H'007	R/W	パネル出力用画像垂直有効幅設定 パネル出力用画像の垂直有効幅を設定します。 PDPV からのライン数で設定します。 有効範囲: 0~511 ライン

【注】 本レジスタと出力部用ソース E 読み込み領域設定レジスタの設定は同じにしてください。
VLDPV ビット = MGR_SESET レジスタの SEHIGH ビット

28.3.29 グラフィック部出力 SYNC 位置設定レジスタ (GR_VSDLY)

出力 VSYNC 位置の設定を行います。使用するモニタによっては動画が垂直方向に変動する場合があります。このような場合、本レジスタを調整することで、垂直方向の変動を止めることができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	VSDLY									
初期値:	不定	不定	不定	不定	不定	不定	0	1	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
9~0	VSDLY	H'160	R/W	出力 VSYNC 位置設定 DCLKIN 単位での出力 VSYNC 位置の遅延量を調整します。

- 【注】
- 外部映像が NTSC (MGR_MIXMODE レジスタ NTSC ビット=0 設定時) のときは、初期値 160(H)を使用してください。PAL を使用する時は、本レジスタを 100(H)に設定してから、MGR_MIXMODE レジスタ NTSC ビット=1 を設定してください。
 - 本レジスタは all"0"設定禁止です。

28.3.30 VideoDAC タイミング設定レジスタ (VDAC_TMC)

モニタへの出力タイミングの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	edgesel
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に0にしてください。
0	edgesel	0	R/W	出力タイミング設定 モニタへの出力タイミングの設定を行います。 0 : DCLKIN の立ち上がりに同期してアナログ RGB データを出力します 1 : DCLKIN の立ち下がりに同期してアナログ RGB データを出力します

【注】 本レジスタにライトアクセスする場合は、2DG モジュールをストップ状態にしてからアクセスしてください。

28.4 動作説明

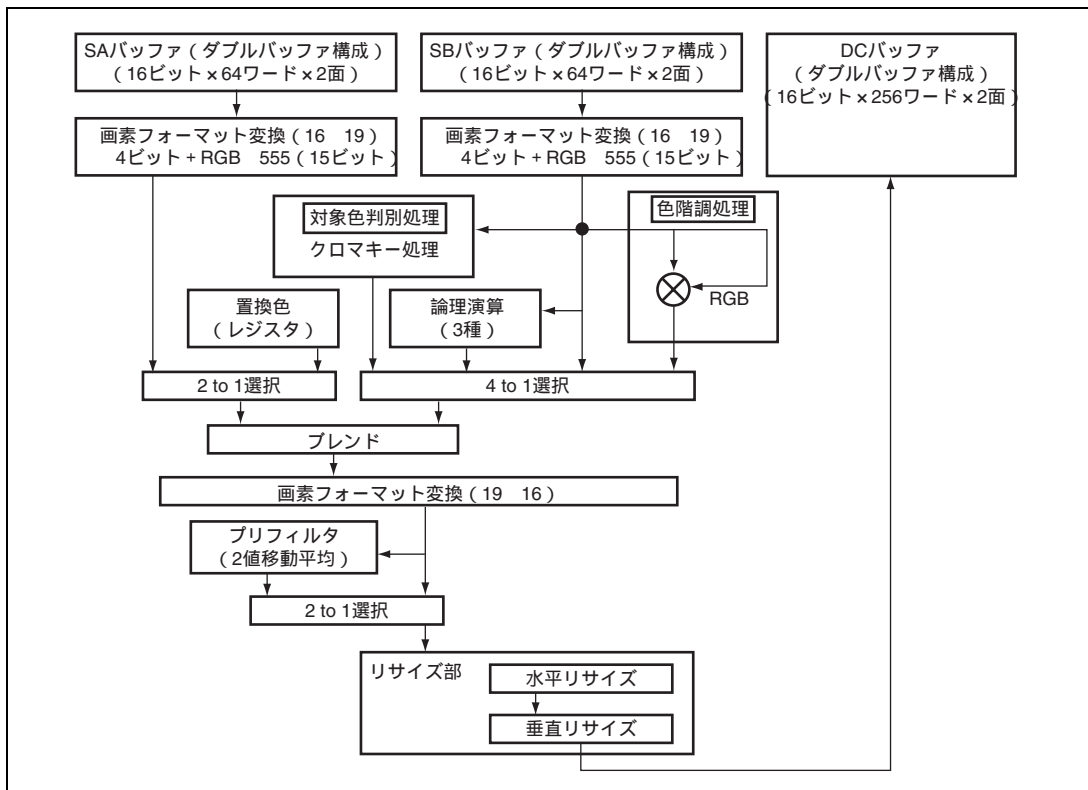


図28.2 ブリティ部のブロック図

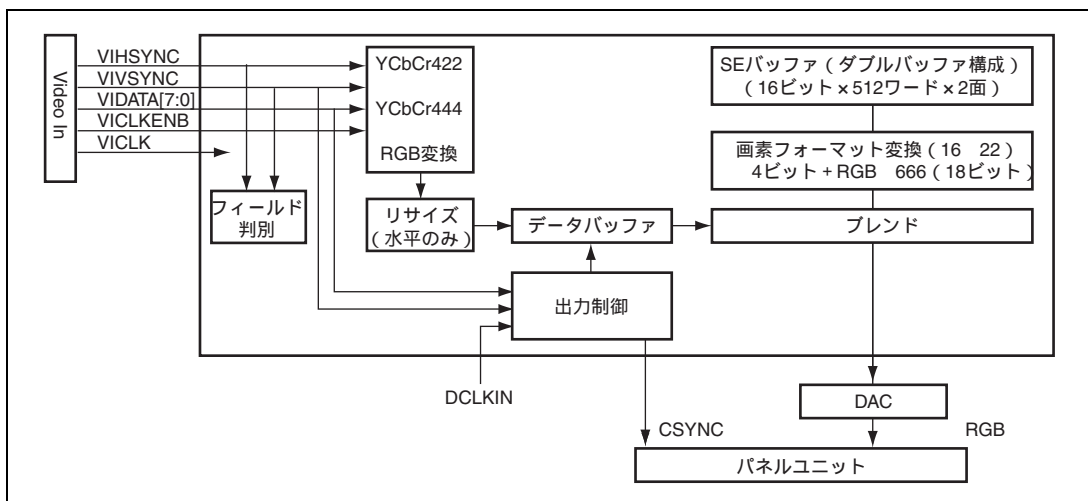


図28.3 出力部のブロック図

28.4.1 入出力

(1) 画素フォーマットのデータビットマップ

2DG の入出力時の画素フォーマットは、RGB444 (16 ビット) / RGB555 (16 ビット) / (4 ビット) です。以下にフォーマットを示します。

- RGB444

ビット15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
値				R値				G値				B値			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- RGB555

ビット15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
値	R値					G値					B値				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- (4ビット)

ビット15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0値				1値				2値				3値			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【注】 データは、必ず4個単位にてメモリから転送してください。2、3など、途中からの転送は禁止です。

(2) メモリ空間上の画素アサイン

入出力データが物理メモリ空間上にどのようにマッピングされているか図 28.4 に示します。ここでは例として、RGB444 (16 ビット) を画素フォーマットとして選択した場合について示します。

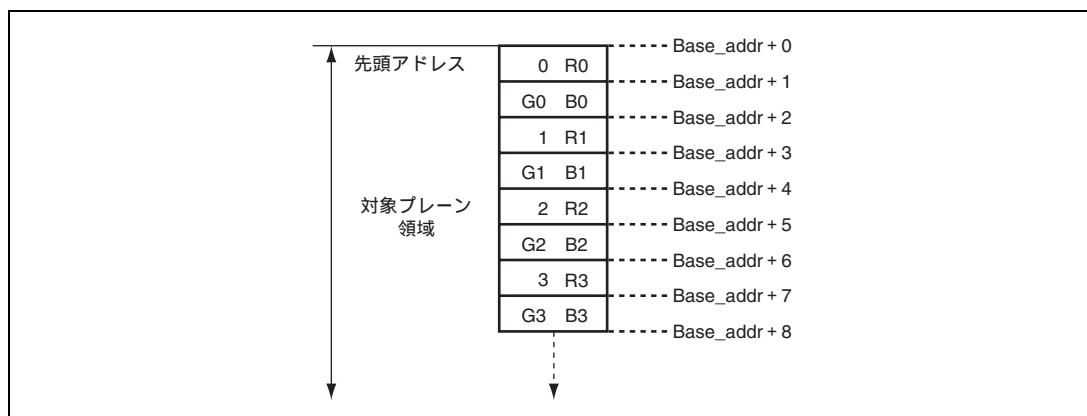


図28.4 画素フォーマット = RGB444 (16 ビット) 時のデータマッピング例

(3) 行ピッチとメモリプレーンの関係

2DG が対象とするパネルは、QVGA(320 画素×240 ライン)と WQVGA(480 画素×234 ライン)です。SDRAM のメモリ空間と各作業画面(たとえば、文字プレーンや図形プレーン)との関係を決める行ピッチは、64 バイト境界とします。そのため各プレーンの先頭アドレスは、必ず以下となります。

XXXX_XX[4n][0](H) (X = 任意数、n = 整数の関係)

つまり、プレーンの先頭アドレスは、XXXX_XX00またはXXXX_XX40またはXXXX_XX80またはXXXX_XXC0のどれかの値となります。

例として、図 28.5に画素フォーマット = RGB444 (16 ビット) 時のメモリ空間上のプレーン (WQVGA サイズ) 3 面と行ピッチの関係を示します。

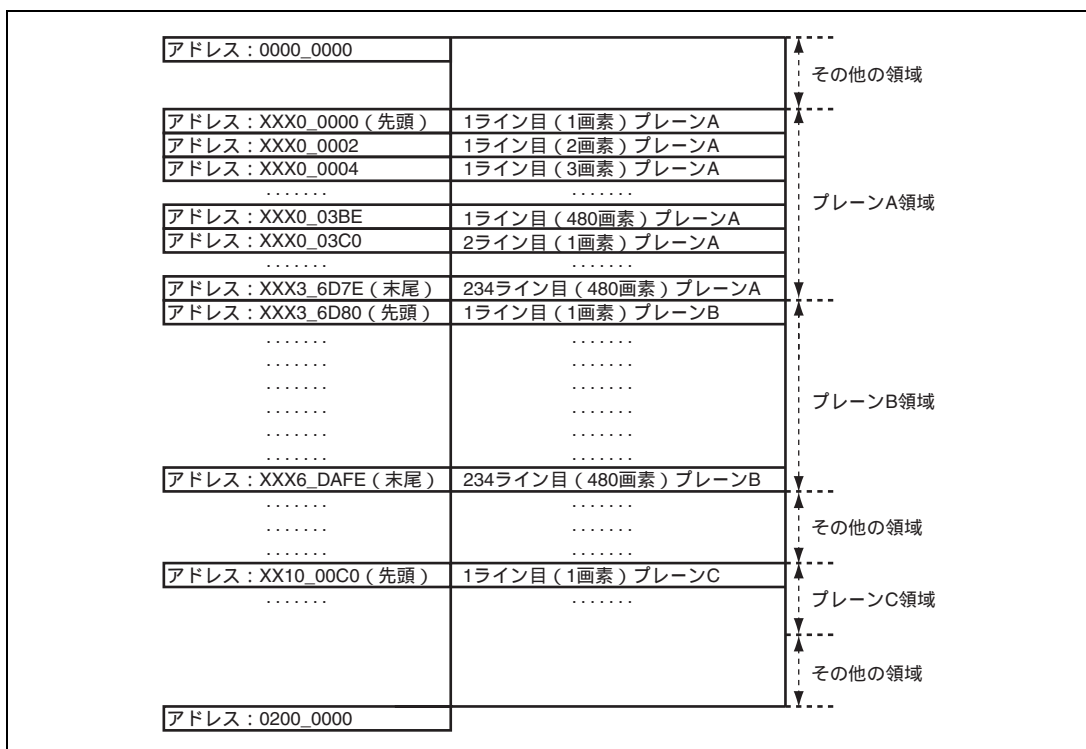


図28.5 画素フォーマット = RGB444 (16 ビット) 時のメモリ空間上のプレーンと行ピッチの関係

図 28.5に示すように、各プレーン(たとえばプレーン B やプレーン C)領域の先頭アドレスは、必ず 64 バイト境界上に配置されます。各プレーンからの読み出し領域は、任意の先頭アドレスと任意の領域を指定できます。ただし、1 画素当たりのバイト数によってアクセス単位は制約されます。たとえば RGB444 設定時は 2 バイト単位となり、奇数アドレスのアクセスは禁止とし偶数アドレス単位のアクセスのみ可能とします。

(4) 入出力バッファ

2DG 内部の SA バッファ、SB バッファ、DC バッファおよび SE バッファは、CPU がコントロールする DMAC により DMA 転送する必要があるため、CPU 側からはメモリ空間 (SRAM 空間) として見えるように構成されています。表 28.7 に入出力バッファのアドレスマップを示します。

表28.7 入出力バッファアドレスマップ

バッファ名称	略称	アドレス
出力部入力 E バッファ (276K バイト)	SE バッファ	H'E8010000 ~ H'E8054FFC
ブリット部入力 A バッファ (276K バイト)	SA バッファ	H'E8060000 ~ H'E80A4FFC
ブリット部入力 B バッファ (276K バイト)	SB バッファ	H'E80B0000 ~ H'E80F4FFC
ブリット部出力 C バッファ (276K バイト)	DC バッファ	H'E8100000 ~ H'E8144FFC

2DG は、ある限られたサイズの入出力バッファのみを備え、その領域に対し繰り返し DMA 転送を行うことで処理を行います。表 28.8 に各バッファの仕様を示します。なお各バッファはそれぞれダブルバッファ構成 (2 面) です。

表28.8 入出力バッファ仕様

バッファ名称	サイズ
SE バッファ	16 ビット × 512 ワード × 2 面
SA バッファ	16 ビット × 64 ワード × 2 面
SB バッファ	16 ビット × 64 ワード × 2 面
DC バッファ	16 ビット × 256 ワード × 2 面

(5) パネル出力設定

図 28.6 に Sync 信号とパネル表示用レジスタの関係について示します。

パネル出力用に設定するレジスタは以下です。

- MGR_MIXHTMGレジスタWPHビットおよびPDPHビット
- MGR_MIXHSレジスタALLPHビットおよびVLDPHビット
- MGR_MIXVTMGレジスタWPVビットおよびPDPVビット
- MGR_MIXVSレジスタALLPVビットおよびVLDPVビット

使用する表示パネルにあわせて上記レジスタを設定してください。

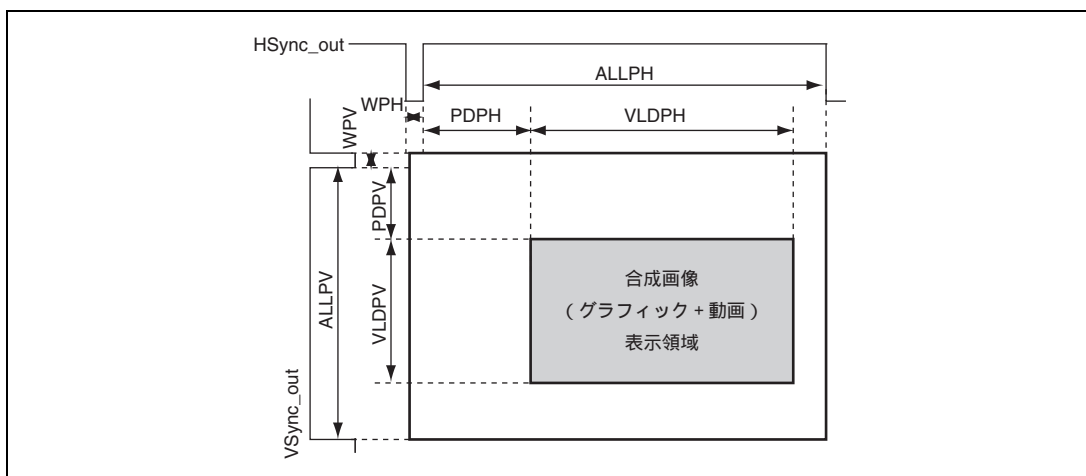


図28.6 パネル出力と各レジスタ設定の関係

(6) 出力部内同期信号と各クロックの関係

(a) 外部にビデオデコーダ LSI がある場合

動画入力があるシステムの場合は、MGR_MIXMODE レジスタの MVON ビットを 1 に設定してください。この場合、DCLKIN で発生させたフリーランの HSYNC_dck (内部信号) と VIVSYNC から VSYNC_dck (内部信号) を作成し、HSYNC_dck と VSYNC_dck から CSYNC 信号を作成します。

外部にビデオデコーダ LSI があるシステムでも動画入力がない場合は、MGR_MIXMODE レジスタの MVON ビットを 0 に設定してください。この場合、DCLKIN で発生させたフリーランの HSYNC_dck しかないため、HSYNC_dck をカウントすることによりハードウェア自律で VSYNC_dck を作成し、HSYNC_dck と VSYNC_dck から CSYNC 信号を作成します。

(b) 外部にビデオデコーダ LSI がない場合

外部にビデオデコーダ LSI がなく動画入力がないシステムの場合は、MGR_MIXMODE レジスタの MVON ビットを 0 に設定してください。この場合、DCLKIN で発生させたフリーランの HSYNC_dck しかないため、HSYNC_dck をカウントすることによりハードウェア自律で VSYNC_dck を作成し、HSYNC_dck と VSYNC_dck から CSYNC 信号を作成します。

参考

- 出力部からの合成画像 (グラフィック + 動画) と CSYNC 信号は、外部入力の DCLKIN に同期 (立ち上がりエッジ同期) して出力します。
- SEバッファからのグラフィックデータリードタイミングは、HSYNC_dck、VSYNC_dck および MGR_SESET レジスタにより制御されます (VICLK 系のシステムでは制御されません)。
- 外部入力動画画像の水平方向有効画素領域は外部入力する VICLKENB 信号指示期間とし、垂直方向有効ライン領域は MGR_MIXVS レジスタの VLDPV ビットで指定されたライン数とします。
- 外部入力動画画像は、指定された有効領域だけリサイズしたのちデータバッファにライトされます。データバッファからのリードは、HSYNC_dck、VSYNC_dck、および各 MGR_MIXxx レジスタにより制御されます。

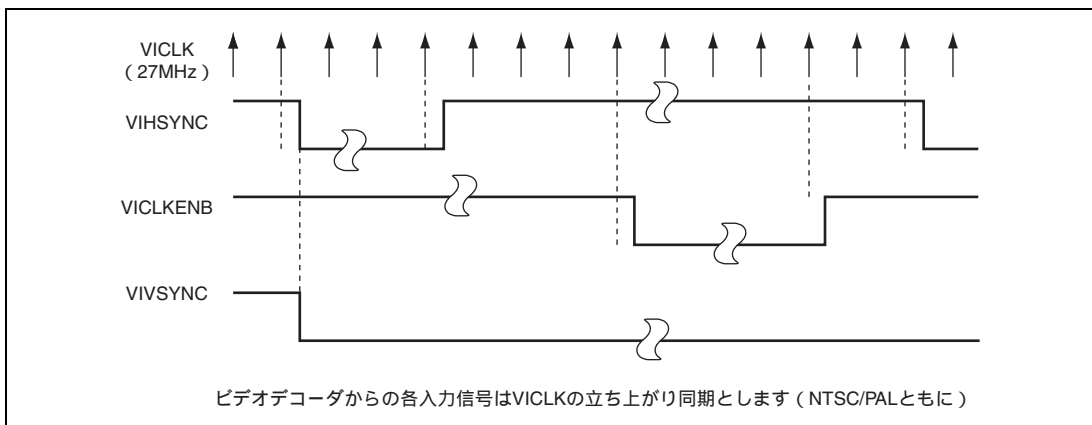


図28.7 外部入力同期信号と VICLK の関係

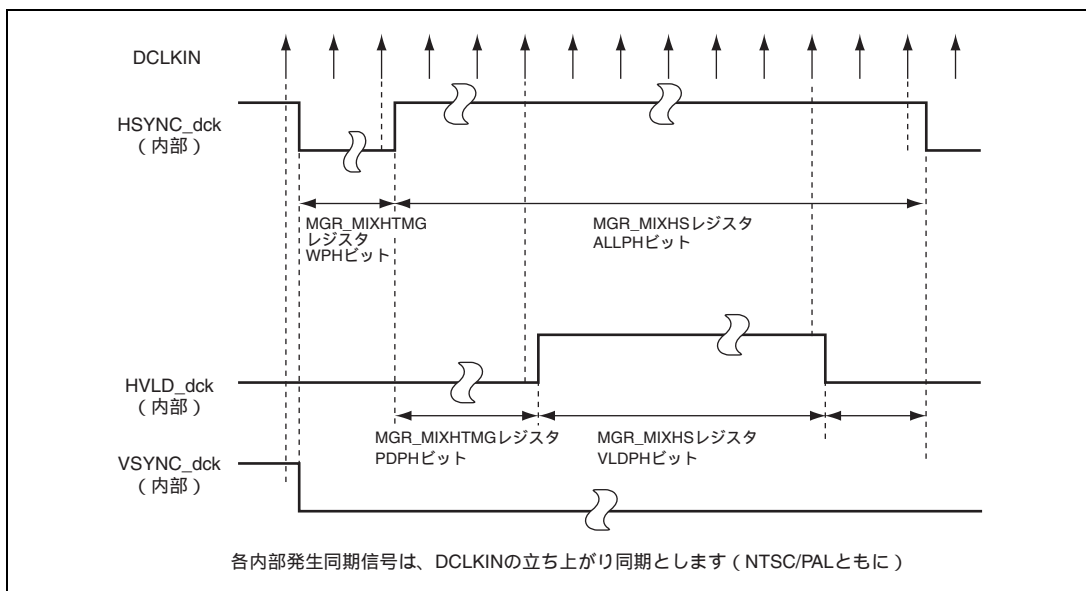


図28.8 内部作成同期信号と DCLKIN の関係

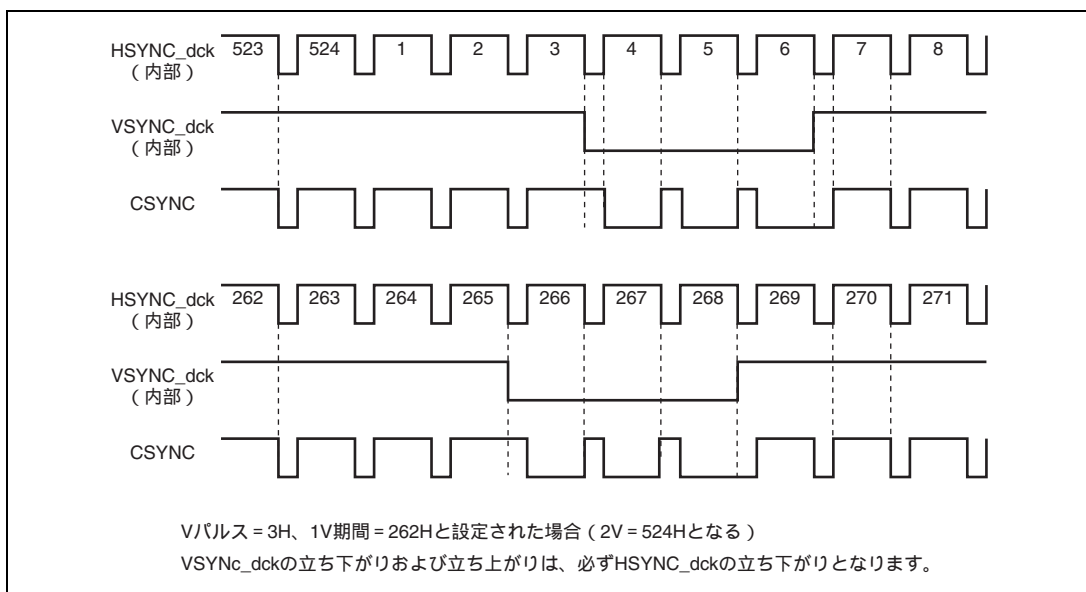


図28.9 VIVSYNC 入力がない場合の内部発生同期信号タイミング 1 (NTSC)

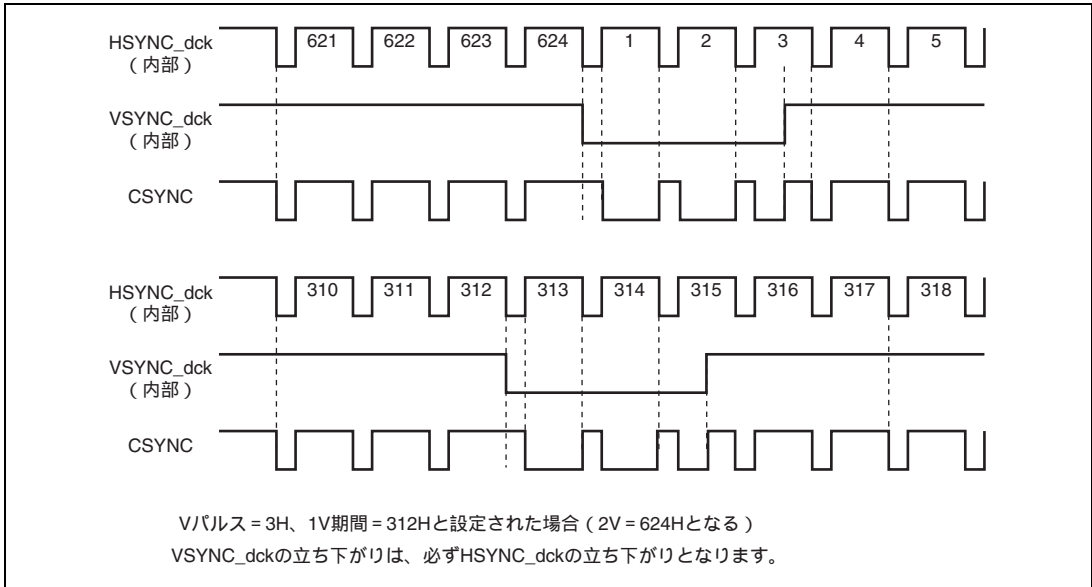


図28.10 VIVSYNC 入力がない場合の内部発生同期信号タイミング 2 (PAL)

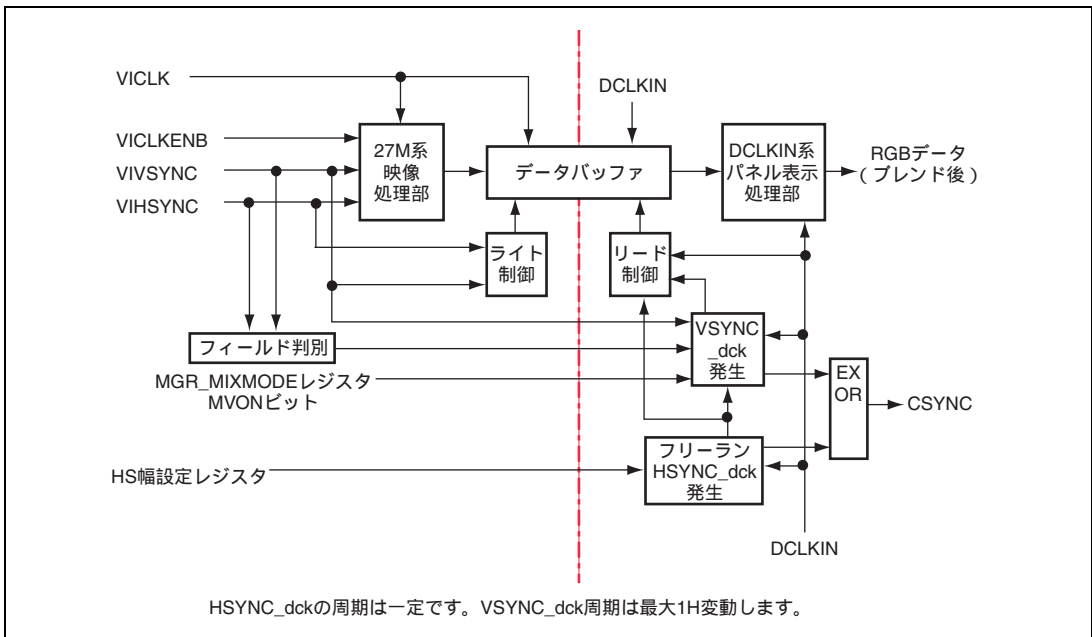


図28.11 VICKL 系 / DCLKIN 系 SYNC 信号発生部

(7) 出力部の動画/グラフィック合成タイミングチャート

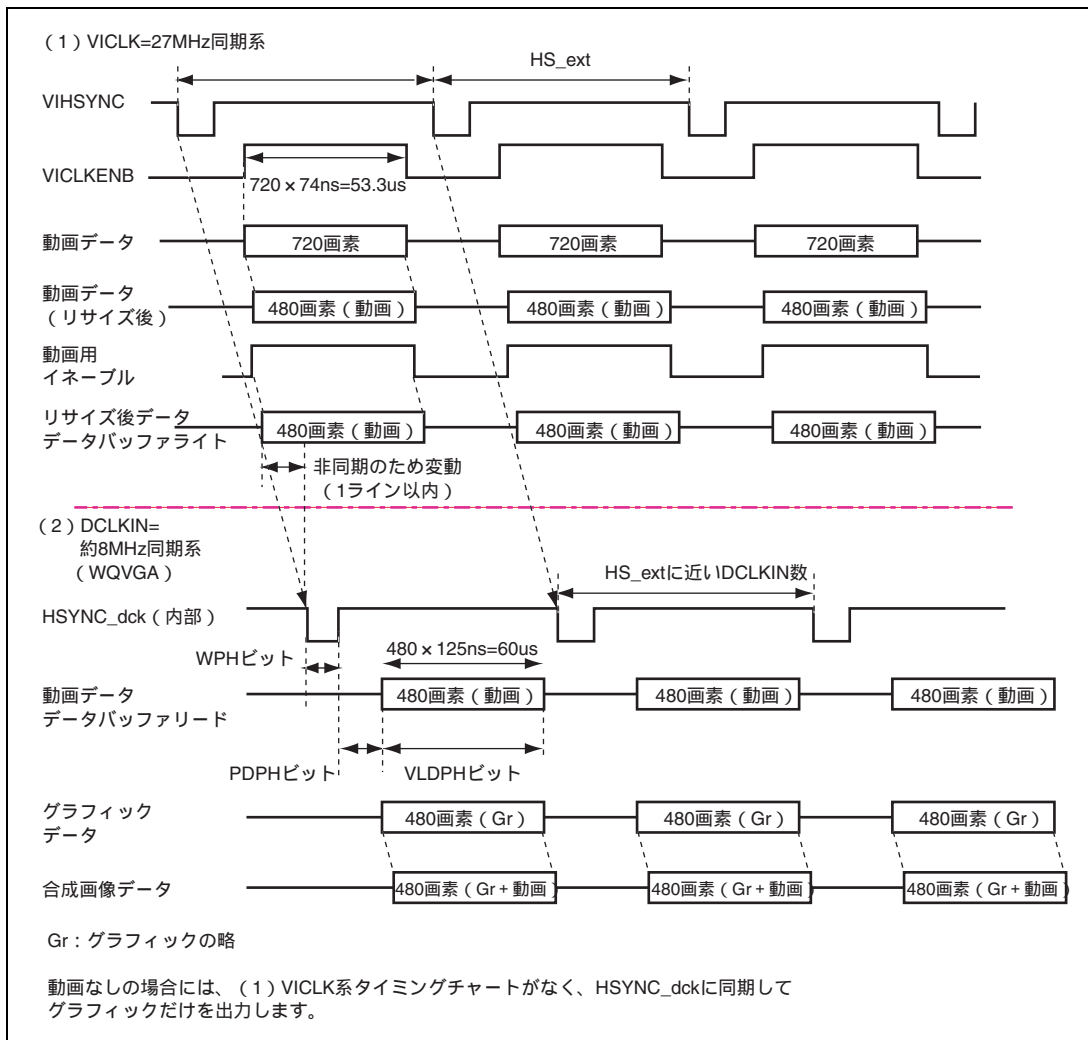


図28.12 水平方向タイミング (動画ありの場合)

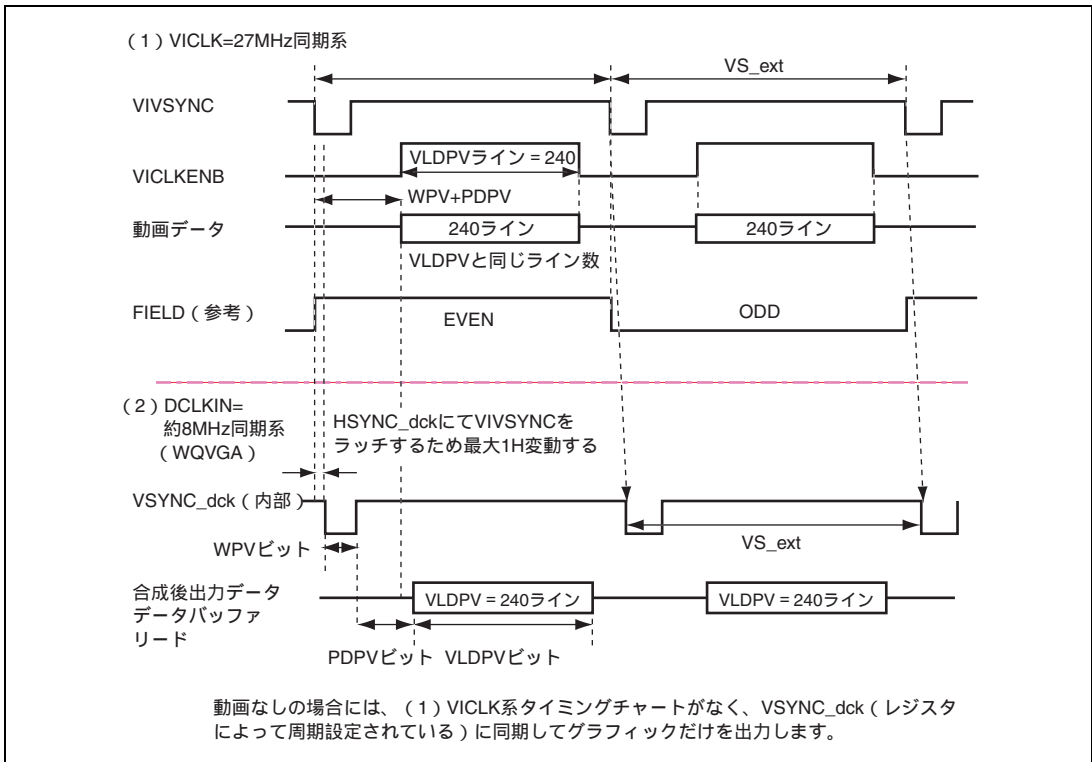


図28.13 垂直方向タイミング (動画ありの場合)

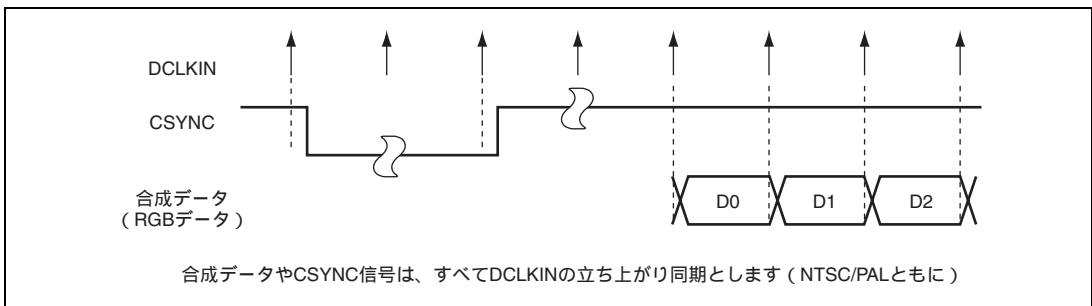


図28.14 2DG 出力信号と DCLKIN の関係

(8) 外部入力動画の RGB 変換

外部のビデオデコーダから出力されるデータとクロックの関係は、図 28.15 の VICLK、VICLKENB、VIDATA[7:0] のような関係となっています。

この画素フォーマットは YCbCr422 なので、グラフィック (RGB) と合成するために、まず図 28.15 に示すタイミングにて、YCbCr422 YCbCr444 変換を行い、その後 YCbCr RGB 変換を行います。

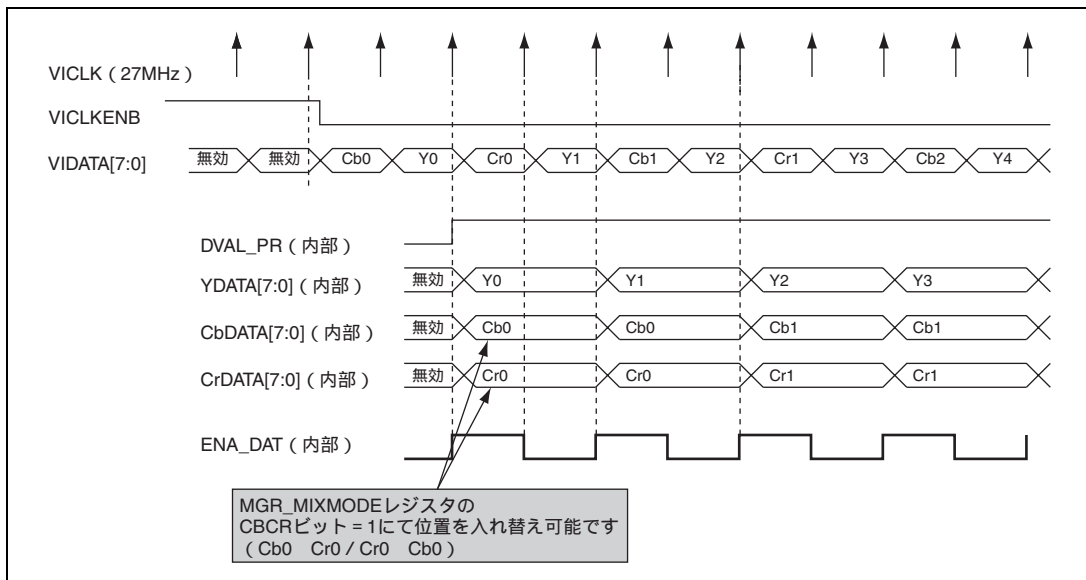


図28.15 YCbCr422 YCbCr444 変換タイミング

YCbCr RGB 変換のための変換式を以下に示します。

$$R = 1.164 (Y - 16) + 1.596 (Cr - 128)$$

$$G = 1.164 (Y - 16) - 0.391 (Cb - 128) - 0.813 (Cr - 128)$$

$$B = 1.164 (Y - 16) + 2.018 (Cb - 128)$$

28.4.2 DMA 使用方法

- 2DGのDMACは4チャンネルあります。DMACにてチャンネルを割り当てる際、優先度は以下にしてください。
SEバッファ用DMA(2DG出力) > DCバッファ用DMA(2DG BLT 出力C) > SBバッファ用DMA(2DG BLT 入力B) > SAバッファ用DMA(2DG BLT 入力A)
例として、割り当てを以下とします。
チャンネル1 : SEバッファ用DMA
チャンネル2 : DCバッファ用DMA
チャンネル3 : SBバッファ用DMA
チャンネル4 : SAバッファ用DMA
- DMACを使用せずに通常のCPU転送を使用してデータ転送を行う場合、GR_DMALレジスタの該当するDMx_MSELビットを11に設定してください。なお、DMA転送中にCPU転送設定に変更することは禁止です。
- SA/SB領域については、GR_DMALレジスタのDM34_DSELビットおよびDM34_MSELビットを設定することで同じDMA設定となります。
- 1データ転送のビット数(32ビットまたは16ビット)はSZSEL1(プリット部)/SZSEL2(出力部)で指定します。DMA転送する先頭画素のアドレス下位2bitが"00"でない場合は、SZSEL1またはSZSEL2を0(16ビット)に設定してください。
- SZSEL1 = 32ビット設定時、SSWIDTHの設定値は必ず偶数、SZSEL1 = 16ビット設定時では偶数/奇数どちらの設定も可能です。また、SZSEL2 = 32ビット設定時、SEWIDTHの設定値は必ず偶数、SZSEL2 = 16ビット設定時では、偶数/奇数どちらの設定も可能です。外部メモリであるSDRAMのデータ幅が16ビット時でも、転送効率を重視すると32ビット設定を推奨します。基本的には転送1ライン = 偶数画素ならば32ビット、転送1ライン = 奇数画素ならば16ビット設定としてください。
- アクセスするバッファの容量が割り切れるように、オペランドあたりのデータ数を設定してください。
たとえば、データ転送サイズ = 16ビットまたは32ビット、1オペランド = 1、2、4、または16データの場合、すべてのバッファに対してフル画素(480画素)転送ができます。しかし、データ転送サイズ = 32ビット、1オペランド = 32データの場合、SEバッファへのフル画素(480画素)転送を行うと $480 / (32 \times 2) = 7.5$ となるため、オペランドを7回(32×7 = 224ワードまでアクセス)した後、240ワードでDMA転送をとめることはできず256ワードまで転送を行うこととなります。このとき、1オペランド = 16データならば、オペランド転送を15回行うことでフル画像転送を行うことができます。
- DMAで2DGをアクセスする場合、最初のアドレスはバッファの先頭アドレスとしてください。途中のアドレスから開始することは禁止します。
- DMAによるバッファへの転送において連続オペランド転送を設定した場合、1回の最大転送サイズはアクセスするバッファ分(たとえばSBバッファならば128バイト、SEバッファならば960バイト)としてください。連続オペランド設定を選択した場合、設定した転送データ数すべてを終了するまで転送を継続するため、SB、SA、DC、SEの各バッファフルによるDMA転送の一時停止は行えません。そのため、連続オペランド転送を実行する場合は、SB、SAバッファに対する場合、1水平画素設定 = 32または64画素のみで、ライン単位転送

を行ってください。DCバッファの場合は、1水平画素設定 = 32、64、128、256画素のみで、ライン単位転送を行ってください。またSEバッファの場合は、1水平画素設定で設定された画素数のライン単位転送を行ってください。

- DMAによるバッファへの転送において単一オペランド転送を設定した場合、バッファ境界とオペランド境界が一致するように設定するため、バッファ分アクセスが終了した後さらにバッファ分アクセス可能だった場合には、ハードウェアが自動でDMA要求を引き続き発行します。バッファ分アクセス不可能だった場合には、内部処理を実行した後DMA要求が発行できる条件になるまでDMACを待機させます。

- DMA転送時の設定例を以下に示します。

2DGへの転送画素数を水平幅64画素 / 垂直ライン3ラインとし、転送されるデータを1画素 = 16ビットとします。この場合、トータルの転送画素数は、16ビット × 64画素 × 3ライン = 384バイトとなります。このとき、DMA転送を使用するならば、下記に示す2つの設定が可能です。

案1 : 1データ = 16ビット / 1オペランド = 8データ / 転送モード = パイプライン (またはサイクルスチール) / 転送条件 = 単一オペランド転送を設定し、1回のDMA転送バイト数を384バイトとした場合、2DGはバッファに空きが発生したらDMA転送を再開するように、バッファの容量ごとにDMA要求のコントロールを行い、DMA転送を行います。

案2 : 1データ = 16ビット / 1オペランド = 8データ / 転送モード = パイプライン (またはサイクルスチール) / 転送条件 = 連続オペランド転送を設定し、1回のDMA転送バイト数を128バイトとしDMAをリロードにて3回実行する場合、1回のDMA転送で必ずバッファの容量分がフルになるため、2DGはバッファに空きが発生したらDMA転送を再開するように、バッファの容量ごとにDMA要求のコントロールを行い、DMA転送を行います。

- DMA転送時のCPU側設定例を以下に示します。

2DGへの転送画素数を水平幅52画素 / 垂直ライン20ラインとし、転送されるサイズを32ビットとします。

通常のDMA使用時 : 1回のDMA転送量を52画素としリロード20回にて転送する場合は、DMAモードレジスタのOPSELビットは52画素の整数倍に設定する必要があります。そのため、2データ / 1オペランド転送を設定してください。

2次元DMAC使用時 : 1ライン分のブロック数DBN = 1、1ブロック数の行数DRN = 20、1ブロック数の列データ数DCDN = 26データ、OPSEL = 2データ / 1オペランドと設定してください。

- DMA側の転送設定事項である1オペランドあたりのデータ転送数は任意に設定できますが、転送領域によってはHSYNC期間内に1ラインデータ転送が間に合わない場合が発生する可能性があります (この場合アンダフローが発生します)。発生した場合は、GR_IRSTATレジスタINT_UDRFLビットを見ると判別することができます。アンダフローが発生している場合は、DMA側の1オペランドあたりのデータ転送数を増やしてください。

- SE、SB、SAバッファへのデータライト転送時およびDCバッファからのデータリード転送時、DMA転送CPU転送どちらの場合でも2DG内部にて、内部発生したアドレスに付け替えて処理を行います。そのため、CPU側が該当メモリ空間の任意のアドレスからデータ転送を行っても、2DG側はメモリ空間の最初のアドレスからのアクセスとなります。

- DMACからSE、SB、SAバッファの2DGへのデスティネーション転送またはDCバッファからのソース転送時のDMACの方向制御ビットは、インクリメント (Memory to Memoryイメージ) を対象とします (Memory to I/Oイメージの転送は禁止です)。
- CPU転送時の動作：

DMA転送ではなくCPU転送にて2DGとのデータアクセスを行う場合、該当するバッファの最大容量を考慮して転送を行う必要があります (DMA転送では内部ハードウェアが制御しているので考慮の必要はありません)。

たとえば60画素×4ライン (トータル240画素) の画像を、CPU転送を使用してSBバッファに転送する場合は、

1. SBバッファへのライトアクセスを128 (=64×2) 画素を行います (INT_SHFUL発生)
2. GR_DOSTATレジスタをリードしてSBバッファ両バンクフル以外になったとき、64画素単位でデータ転送を再開します。
3. INT_SHFULの発生がなければ引き続き残り48画素の転送を行い、データ転送を終了します

DCバッファの場合は、片バンク256画素 (両バンクでは512画素) となります。SEバッファからのアクセスは、表示に影響するため、CPU転送でのアクセスは推奨しません。

図 28.16に DMAC による SB バッファへのデータ転送例を示します。

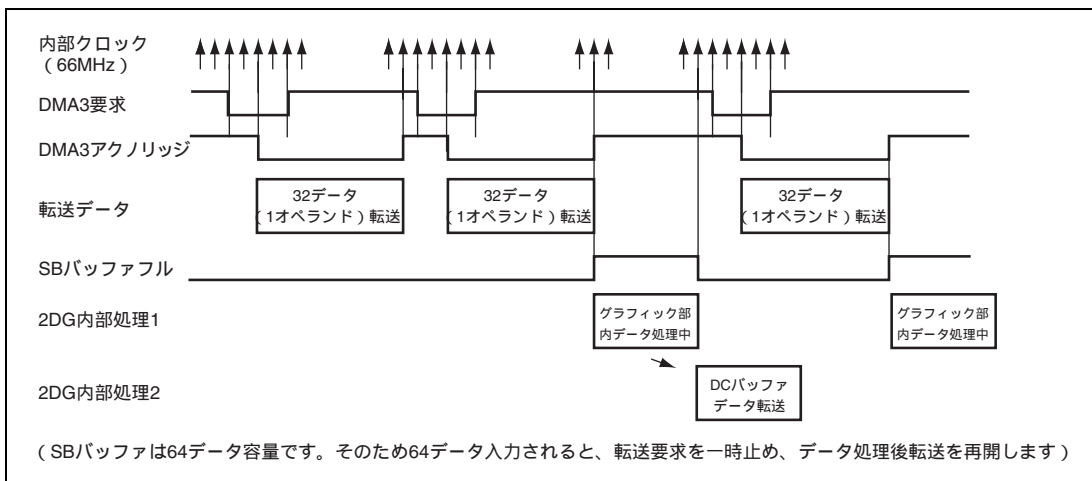


図28.16 デュアル/シングルアドレス転送 (単一オペランド転送) での 96 データ転送時のタイミングチャート

28.4.3 ブリット部動作

(1) ブリット部画素フォーマット変換

ブリット部は入出力画素フォーマットとして、RGB444、RGB555および(4ビット)の3種類のフォーマットが設定可能です。そのためブリット部内部では各フォーマットから統一フォーマットに変換したのち、各種演算を行います。統一フォーマットは(4ビット)+RGB(各5ビット)=計19ビットです。以下に各フォーマットから統一フォーマットへの変換則を示します。

- RGB444 (AF83 (H)) 統一フォーマットへの変換

: A (H) A (H) R : F (H) 1E (H) G : 8 (H) 10 (H) B : 3 (H) 06 (H)

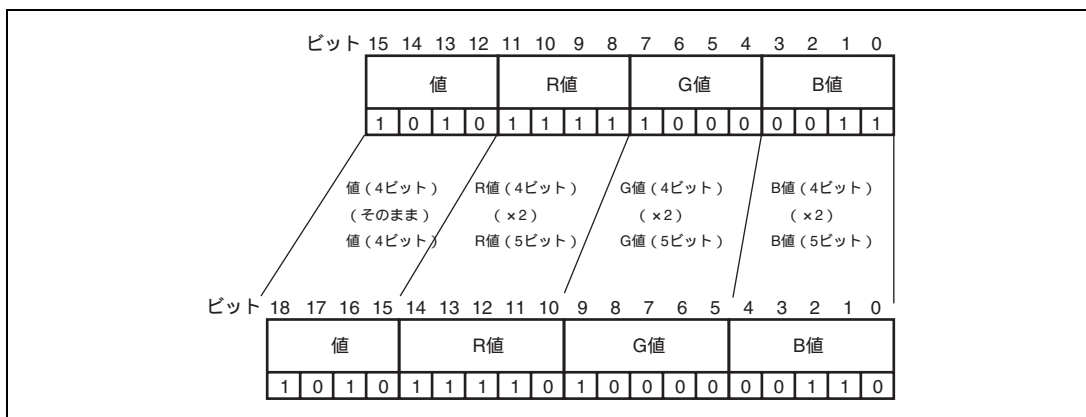


図28.17 ブリット部画素フォーマット変換 1

- RGB555 (F599 (H)) 統一フォーマットへの変換

: 1 (H) F (H) R : 1D (H) 1D (H) G : 0C (H) 0C (H) B : 19 (H) 19 (H)

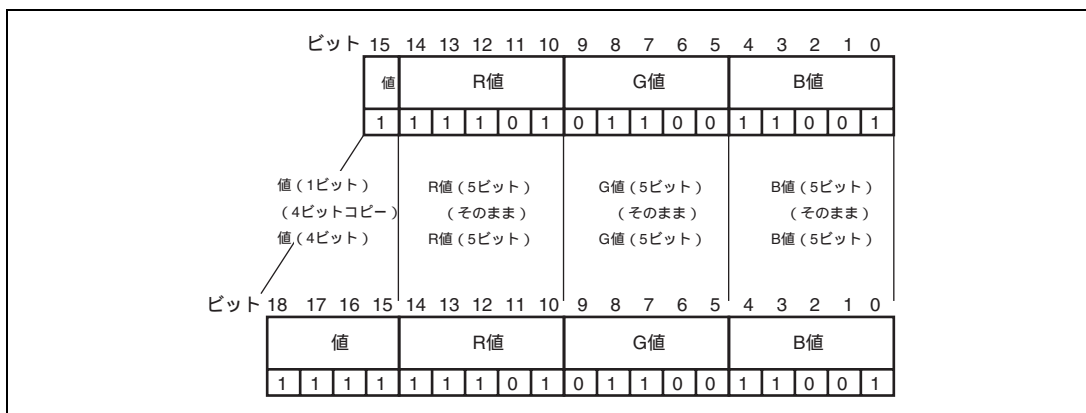


図28.18 ブリット部画素フォーマット変換 2

- (4ビット) (B(H)) 統一フォーマットへの変換
: B(H) B(H) R: Csasg_r G: Csasg_g B: Csasg_b

値にはそのままの値を割り当てます。一方 RGB 値には GR_BRDCOL レジスタの BRDC_R ビット / BRDC_G ビット / BRDC_B ビットを割り当てます。

(2) プリット部と外部メモリ間の動作概要

プリット部と外部メモリ間の動作概要について以下に示します。

1. プリット部はDMA要求信号をネゲートし、外部メモリからのDMA転送を受け付けます
2. SA/SBバッファ ((SA1, SA2)、(SB1, SB2)) にて、DMA転送されたデータを交互にバッファリングします
3. INT_SHFULとINT_ASHFULがアサートされたら (ソースバッファハーフが一致したら)、プリット動作を開始します
4. プリット動作完了後、DCバッファからDMA転送を行います
5. データ処理がすべて完了するまで、上記1.~4.を繰り返し行います

上記のように、まず外部メモリ領域を読み出し、次に読み出した領域に対しプリット処理を行い、最後に同じメモリ領域に書き戻すことで、画像合成などの処理が可能となります。

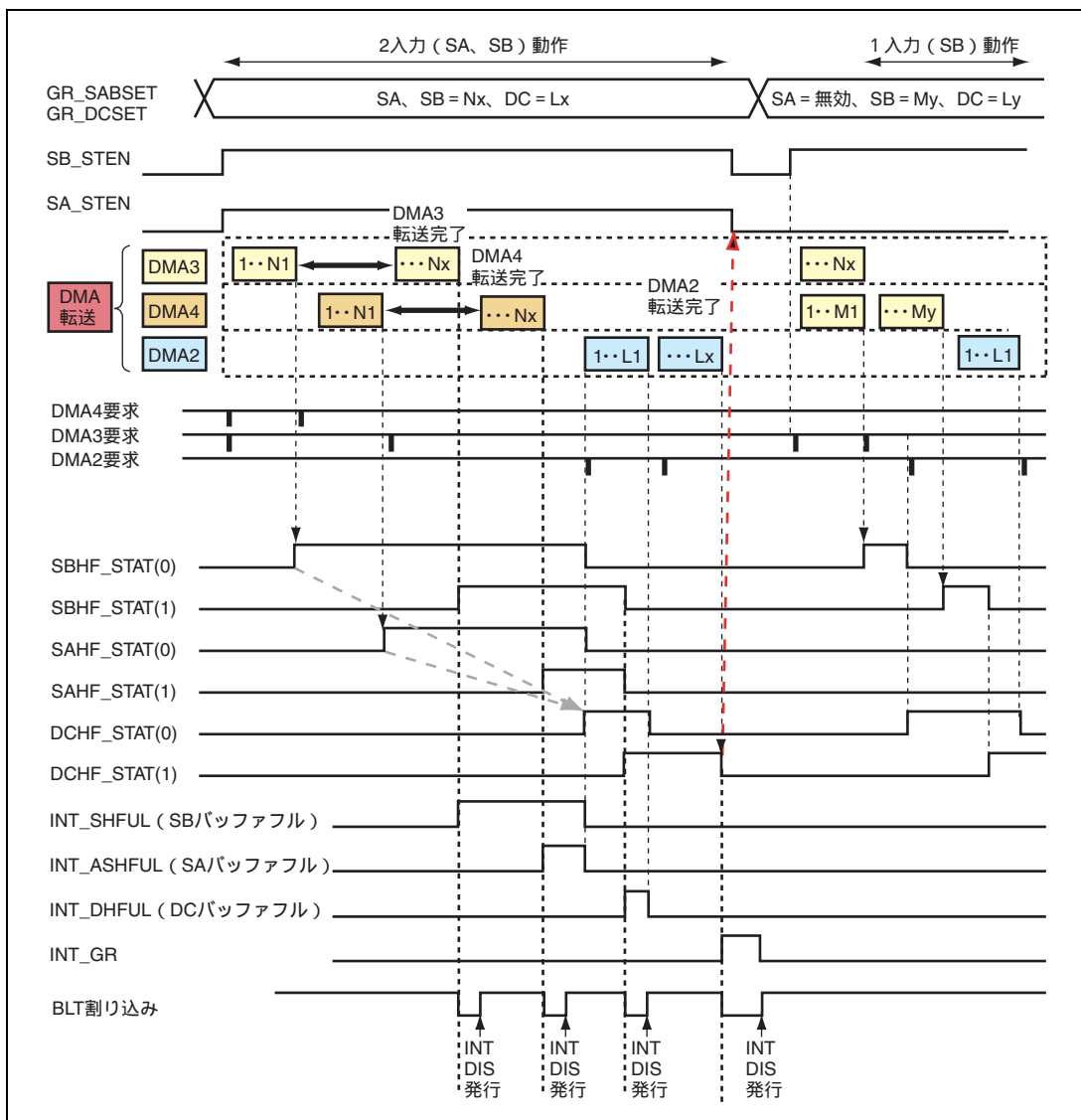


図28.19 プリット部と外部メモリ間の動作概要

(3) プリット部動作概要

プリット部の動作概要について示します。表 28.9 に組み合わせ一覧を示します。クロマキー処理、色階調処理、および論理演算処理は、同時に使用することはできません。クロマキー処理は Fill 時のみ可能です。色階調処理はプリット時のみ可能です。また、論理演算処理、ブレンド処理、およびリサイズ処理は、プリット / Fill 関係なく使用できます (ただし一部制限が付きます)。

表28.9 プリット部動作組み合わせ一覧

項番	動作 (GR_BLTMODE レジスタ BTYPETYPE ビット)	SB 経路動作 (GR_BLTMODE レジスタ SBSEL ビット)			ブレンド (GR_BR D1CNT レジスタ FBFA ビット)	参照
		クロマキー処理	色階調処理	論理演算処理		
1	プリット	x	x	x	x	28.4.3 (3) (c)
2		x	x	x		28.4.3 (3) (c)
3		x	x		x	-
4		x	x			-
5		x		x	x	28.4.3 (3) (f)
6* ¹		x		x	* ²	28.4.3 (3) (f)
7	Fill	x	x	x	x	-
8		x	x		x	-
9		x	x	x		28.4.3 (3) (b)
10		x	x			28.4.3 (3) (e)
11			x	x	x	28.4.3 (3) (d)
12				x	x	28.4.3 (3) (d)

【注】 リサイズ機能：プリット動作時は各項目でオン/オフ可能です。Fill 動作時は使用できません。

1. リサイズ機能は、全体リサイズのみ可能です。部分リサイズは使用できません。
2. ブレンド時の対象データは SA 入力されたデータのみです。レジスタ設定値とのブレンドはできません。

プリット部動作概要として、対象プレーン P1 と P2 を 2 面全面合成し、SDRAM 上の任意のメモリ空間 PX に書き戻すときの動作例を示します。

プレーン P1 と P2 の領域設定は、ライン数は GR_SABSET レジスタの SSHIGH ビットで、画素数は GR_SABSET レジスタの SSWIDTH ビットで設定します。一方 PX は、ライン数は GR_DCSET レジスタの DCHIGH ビットで、画素数は GR_DCSET レジスタの DCWIDTH ビットで設定します。

SA パッファおよび SB パッファは、それぞれ 128 バイトのダブルパッファ構成 ((SA1, SA2) (SB1, SB2)) です。たとえば、1 入力選択時 (GR_BLTPLY レジスタ SB_STEN ビット = 1 かつ SA_STEN ビット = 0) に、GR_SABSET レジスタ SSWIDTH ビット = 40 (画素)、GR_SABSET レジスタ SSHIGH ビット = 4 (ライン) を設定したとき、以下のように動作します。

1. 最初の64画素をSB1に転送します (SBHF_STAT (0) = 1)。その後プリット処理を行い出力します。

2. 次の64画素をSB2に転送します (SBHF_STAT (1)=1)。その後プリット処理を行い出力します。
3. 残りの32画素をSB1に転送します (SBHF_STAT (0)=1)。その後プリット処理を行い出力します。
4. プリット動作完了です (SB_STEN=0)。

DC バッファは、256 バイトのダブルバッファ構成 (DC1、DC2) です。たとえば、GR_DCSET レジスタ DCWIDTH ビット = 60 (画素)、GR_DCSET レジスタ DCHIGH ビット = 5 (ライン) を設定したとき、以下のように動作します。

1. 最初の128画素をDC1に転送します (DCHF_STAT (0)=1)。その後DMA転送を行います。
2. 次の128画素をDC2に転送します (DCHF_STAT (1)=1)。その後DMA転送を行います。
3. 残りの44画素をDC1に転送します (DCHF_STAT (0)=1)。その後DMA転送を行います。

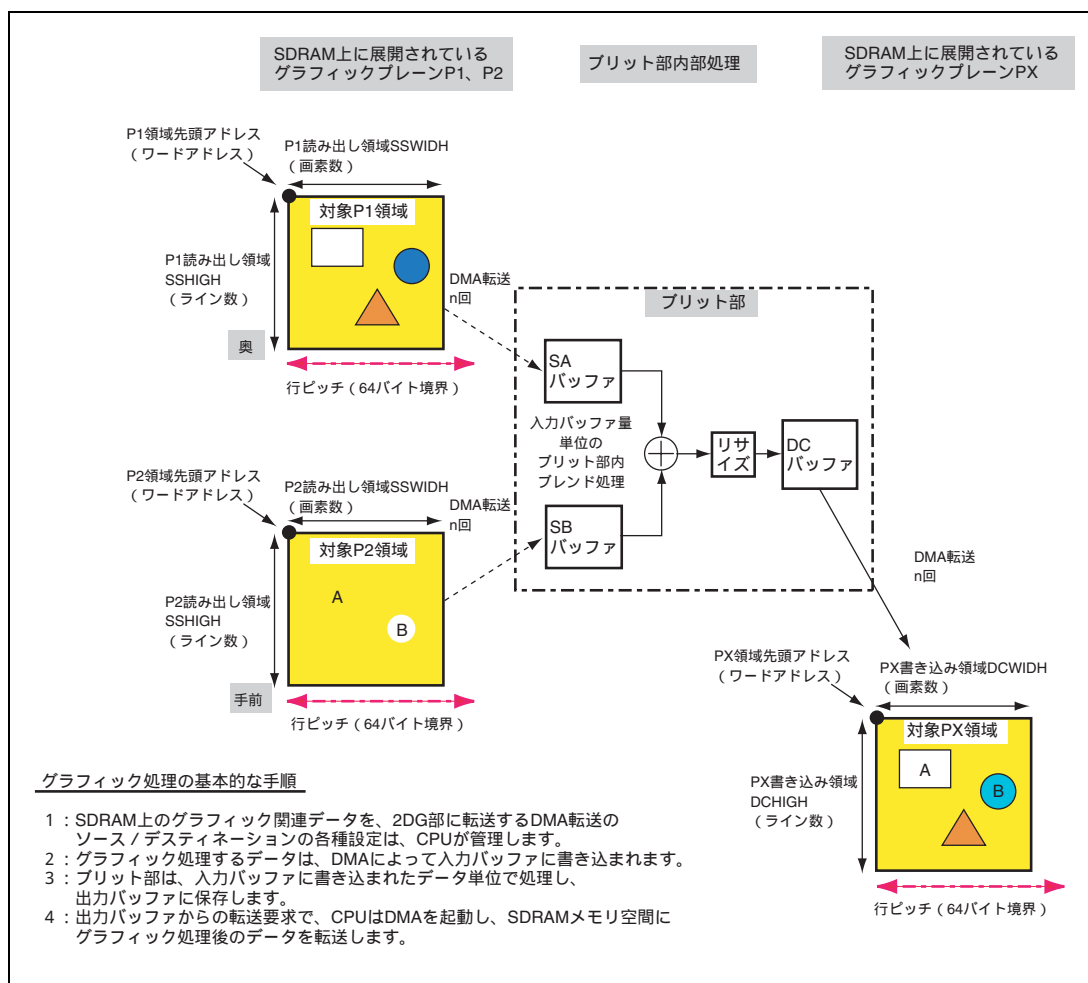


図28.20 プリット部動作概要

(a) ブレンド処理

2面合成のためのブレンド処理は、背面プレーンの色値 C_b と 値 b 、前面プレーンの色値 C_f と 値 f の合成順番に関係なく一般式とするため、以下の計算式に従い行います (C_{pout} : ブレンド後の色値、 A_{pout} : ブレンド後の 値としたとき、 $C(i)$: オフセット値)。

$$C_{pout} = M_f * (C_f - C(i)) + (1 - A_f) * M_b * (C_b - C(i)) + C(i)$$

$$A_{pout} = 1 - (1 - A_f) * (1 - A_b)$$

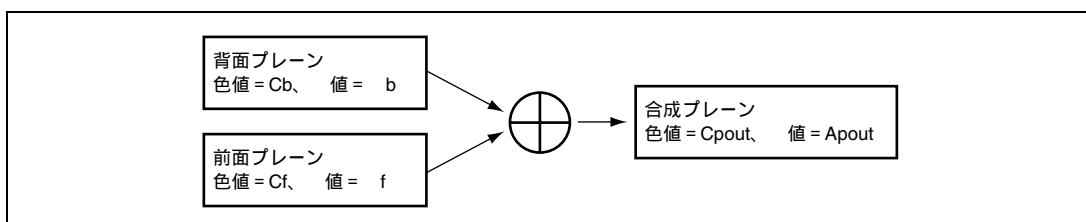


図28.21 2面合成のためのブレンド処理

ただし

前面が premultiplied の場合: $M_f = 1$ 、 $C_f = C_{pf}$

前面が non-premultiplied の場合: $M_f = A_f$ 、 $C_f = C_f$

背面が premultiplied の場合: $M_b = 1$ 、 $C_b = C_{pb}$

背面が non-premultiplied の場合: $M_b = A_b$ 、 $C_b = C_b$

です。

グラフィック合成用プレーンの関係を以下に示します。

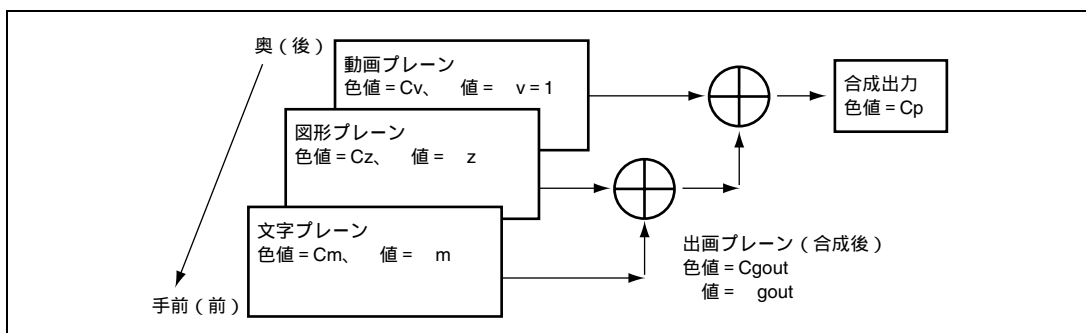


図28.22 グラフィック合成用プレーンの関係

出画プレーンは、その元となる文字プレーンおよび図形プレーンがともに non-premultiplied であるため、 $M_f = m$ 、 $C_f = C_m$ 、 $M_b = z$ 、 $C_b = C_z$ になります。また画像フォーマットは RGB444 なので $C(i) = 0$ となります。したがって出画プレーンに C_{pout} および A_{pout} の算出式を適用すると以下となります。

$$C_{gout} = m * C_m + (1 - m) * z * C_z$$

$$g_{out} = 1 - (1 - m) * (1 - z)$$

また最終出力である合成出力は、その元となる出画プレーンは premultiplied、動画プレーンは non-premultiplied であるため、 $M_b = v = 1$ になります。したがって合成出力に C_{pout} の算出式を適用すると以下となります。

$$C_p = 1 * C_{gout} + (1 - g_{out}) * 1 * C_v$$

例として、文字を優先表示する場合 (文字に付いている 値 = 1 の場合) について示します。この場合 $m = 1$ となるので、文字部分の色値と 値のブレンド結果は以下となります。

$$C_{gout} = C_m, \quad g_{out} = 1$$

また最終出力では文字部分は以下となります。

$$C_p = C_m \text{ (動画は合成されない)}$$

したがって出力合成結果も文字だけが表示されることとなります。

また図形プレーンの 値 = 1 ($z = 1$) として最優先表示にしようとした場合、最前面が文字プレーンであるため、文字プレーンの 値 = 0 ($m = 0$) でないかぎりブレンド結果は以下に示のように文字と図形のブレンドとなります。

$$C_{gout} = m C_m + (1 - m) C_z, \quad g_{out} = 1$$

また最終出力は

$$C_p = m C_m + (1 - m) C_z \text{ (動画は合成されない)}$$

となります。

ブリット部内ブレンド処理部は、たとえば、文字と擬似的にアンチエイリアスするために、任意の 値を持った文字と 値 = 1 図形を矩形領域でブレンドし、そのブレンド結果に、動画と合成するための任意の 値 (レジスタ値) に変換して出画プレーンに転送することができます。このとき文字と図形のブレンド結果は

$$C_{gout} = m C_m + (1 - m) C_z, \quad g_{out} = 1$$

となります。また後段のグローバル 選択用レジスタ (GR_BRDICNT レジスタの GALFA ビット) にてグローバル (GR_BRDCOL レジスタの BRDC_A ビット) を選択した場合、ブリット部内ブレンド処理部から出力する結果は、

$$C_{gout} = m C_m + (1 - m) C_z, \quad g_{out} = dc = \text{GR_BRDCOL レジスタの BRDC_A ビット}$$

となり、出画プレーンには dc 値を持った画素が作成されることとなります。

2DG として考えると、上記例のようにブリット部内ブレンド処理にて 2 面プレーン合成を行い、出画プレーンのカラー値がすべて 値演算された (つまり重み付けられた) データとなっている場合には、出力部での動画と出画プレーンのブレンドは、出力部内ブレンド処理部で premultiplied 時を選択し合成することとなります。一方、出画プレーンのカラー値が 値による重み付けされていない場合には、出力部での動画と出画プレーンのブレンドは、出力部内ブレンド処理部で non-premultiplied 時を選択し合成することとなります。

ブレンド処理の動作概要を図 28.23に示します。

1. GR_BRD1CNTレジスタGCOLRビット=0のときは、SAバッファからのデータを選択します。
GR_BRD1CNTレジスタGCOLRビット=1のときは、GR_BRDCOLレジスタの値を選択します。ただしFillモード時は、GR_BRD1CNTレジスタGCOLRビット=1のときと同様にGR_BRDCOLレジスタの値を選択します。
このときGR_BRD1CNTレジスタGCOLRビットは変化しません。
2. 上記1.で選択されたデータとGR_BLTMODEレジスタSBSELビットにて選択したSBバッファからのデータをブレンドします。
3. 上記2.でブレンドされたデータのうち、カラー値CoutはそのままDCバッファへ出力します。一方 値 outについては、GR_BRD1CNTレジスタGALFAビット=0のとき、ブレンドされた 値をそのままDCバッファへ出力します。GR_BRD1CNTレジスタGALFAビット=1のとき、GR_BRD1CNTレジスタAFTER_Aビット値をDCバッファへ出力します。

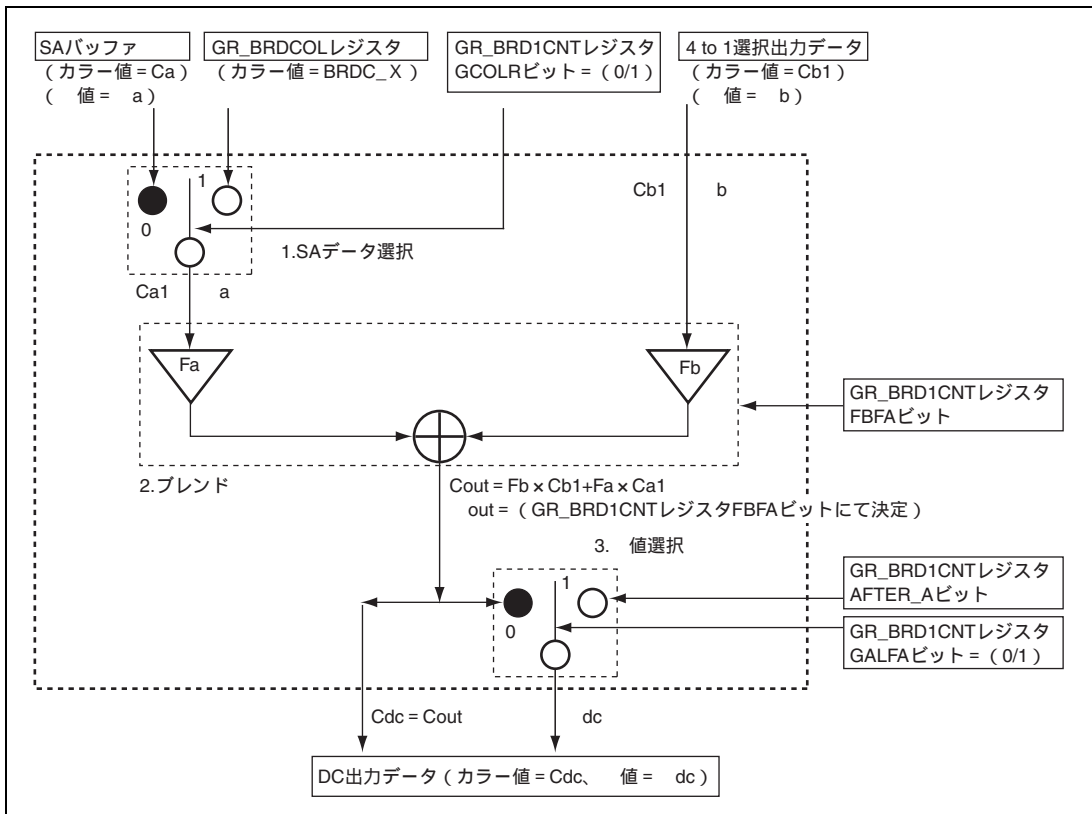


図28.23 プリント部ブレンド処理の動作概要

(b) Fill 機能概要

Fill 機能の例について示します。まず、以下に従ってレジスタの設定を行ってください。

- 塗りつぶし色を設定するために、GR_BRDCOLレジスタを設定してください
- SBバッファの転送画素数を設定するために、GR_SABSETレジスタを設定してください
- DCバッファの転送画素数を設定するために、GR_DCSETレジスタを設定してください
- ブリット動作モードをFillに設定するために、GR_BLTMODEレジスタBTYPETYPEビットを10に設定してください
- ブリット機能を設定するために、GR_BLTPLYレジスタのSB_SETENビットを1にSA_SETENビットを0に設定してください

上記を設定すると、以下のよう動作します。

1. GR_BLTPLYレジスタの設定により、GR_SABSETレジスタで設定された画素数分だけの画像データがSBバッファに転送されます
2. SBバッファに転送された画素データとGR_BRDCOLレジスタで設定した画素データをブレンド処理します
3. GR_DCSETレジスタで設定した画素数分だけ、DCバッファに出力されます

DMAC は、まず CPU によって指定された SDRAM 領域から、レジスタに設定された画素数分だけを SB バッファにメモリ to メモリ転送を行います。その後 2DG 内で処理終了した画素データを DC バッファから、CPU にて設定された SDRAM 領域 (SB バッファへ転送した元の画像領域) へのメモリ to メモリ転送を行います。結果として SDRAM 上の指定領域をブレンド処理した画素データに置き換えることができます。この場合、2DG は SB バッファへの入力と DC バッファからの出力を行うことになります。

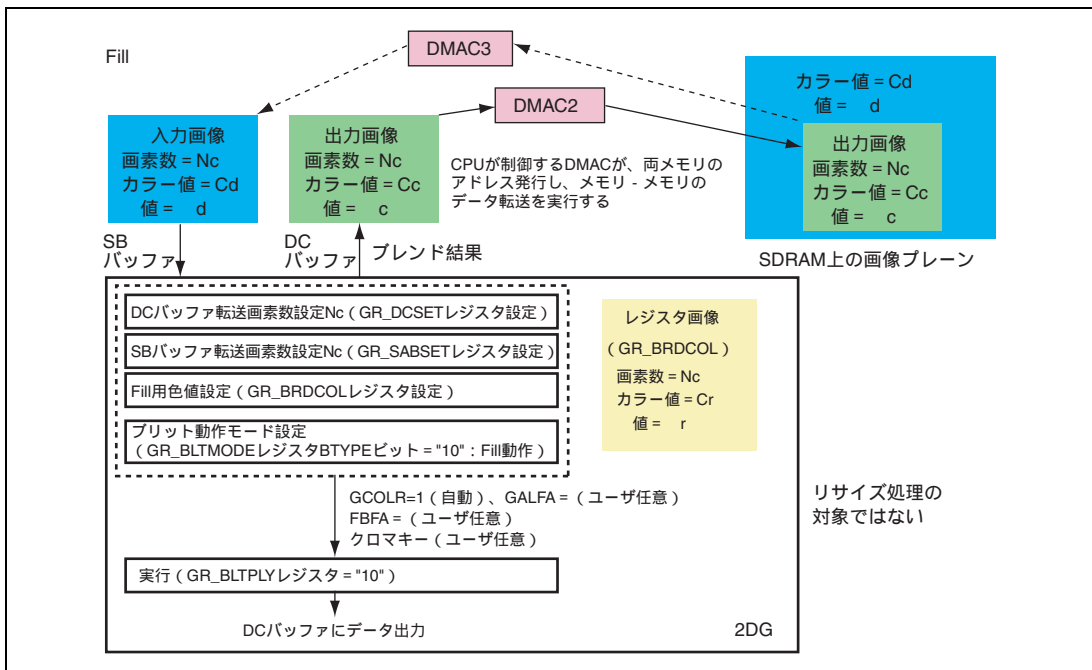


図28.24 Fill 機能例

(c) ブリット機能概要

- Blit機能 & ブレンド機能なし

Blit 機能 & ブレンド機能なしの例について示します。まず、以下に従ってレジスタの設定を行ってください。

- SBバッファの転送画素数を設定するために、 GR_SABSET レジスタを設定してください
- DCバッファの転送画素数を設定するために、 GR_DCSET レジスタを設定してください
- ブリット動作モードをBlitに設定するために、 $GR_BLTMODE$ レジスタBTYPEビットを00に設定してください
- 1入力処理を設定するために、 $GR_BRDICNT$ レジスタFBFAビットを01に設定してください
- ブリット機能の実行許可を設定するために、 GR_BLTPLY レジスタのSB_SETENビットを1にSA_SETENビットを0に設定してください

上記を設定すると、以下のように動作します。

1. GR_BLTPLY レジスタの設定により、 GR_SABSET レジスタで設定された画素数分だけの画像データがSBバッファに転送されます
2. SBバッファに転送された画素データは、各種レジスタにて設定された画像処理を行います
3. GR_DCSET レジスタで設定した画素数分だけ、DCバッファに出力されます

DMAC は、まず CPU によって指定された SDRAM 領域から、レジスタに設定された画素数だけを SB バッファにメモリ to メモリ転送を行います。その後 2DG 内で処理終了した画素データを DC バッファから、CPU にて設定された SDRAM 領域へのメモリ to メモリ転送を行います。結果として SDRAM 上の任意領域の画像を 2DG で各種画像処理した画素データに置き換えることができます。この場合、2DG は SB バッファへの入力と DC バッファからの出力を行うことになります。

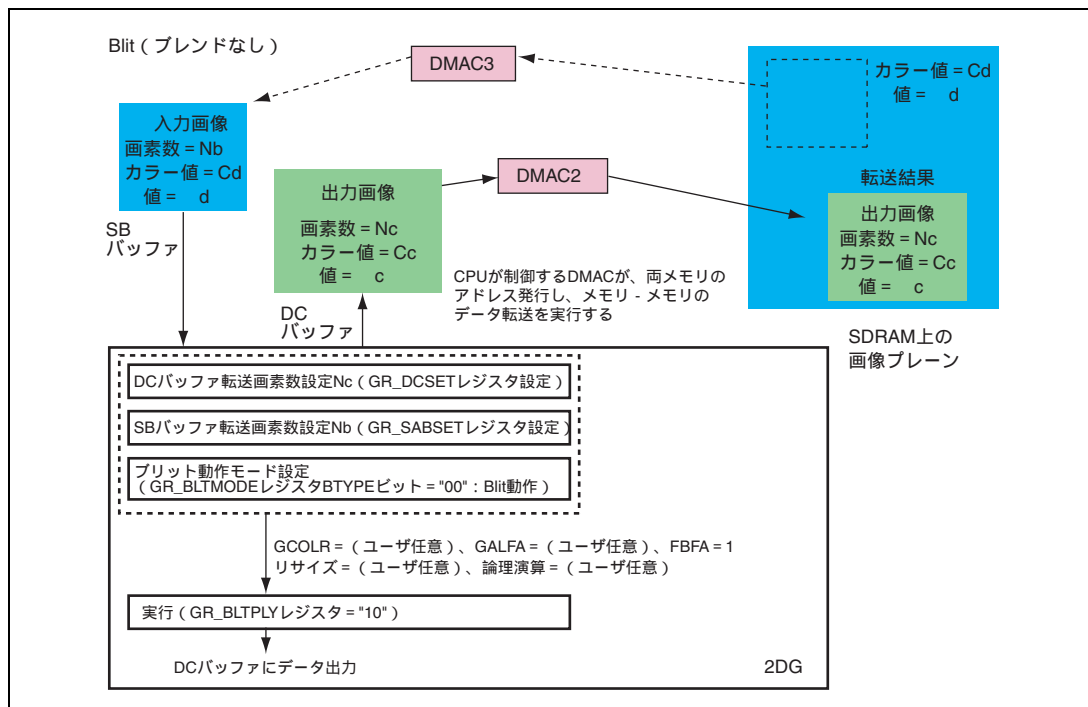


図28.25 Blit 機能 & ブレンド機能なしの例

- Blit機能 & ブレンド機能あり1

例として、図形どうしのブレンドを行う場合について説明します。まず、以下に従ってレジスタの設定を行ってください。

- SA/SBバッファの転送画素数を設定するために、GR_SABSETレジスタを設定してください
- DCバッファの転送画素数を設定するために、GR_DCSETレジスタを設定してください
- プリット動作モードをBlitに設定するために、GR_BLTMODEレジスタBTYPEビットを00に設定してください
- プリット機能の実行許可を設定するために、GR_BLTPLYレジスタのSB_SETENビットを1にSA_SETENビットを1に設定してください

上記を設定すると、以下のように動作します。

1. GR_BLTPLYレジスタの設定により、GR_SABSETレジスタで設定された画素数だけの画像データがSA/SBバッファに転送されます
2. SA/SBバッファに転送された画素データは、各種レジスタにて設定された画像処理を行います
3. GR_DCSETレジスタで設定した画素数だけ、DCバッファに出力されます

DMACは、まずCPUによって指定されたSDRAM領域から、レジスタに設定された画素数だけをSA/SBバッファにメモリ to メモリ転送を行います。その後2DG内で処理終了した画素データをDCバッファから、CPUにて設定されたSDRAM領域へのメモリ to メモリ転送を行います。結果としてSDRAM上の任意領域の画像を2DGで各種画像処理した画素データに置き換えることができます。この場合、2DGはSA/SBバッファへの入力とDCバッファからの出力を行うことになります。

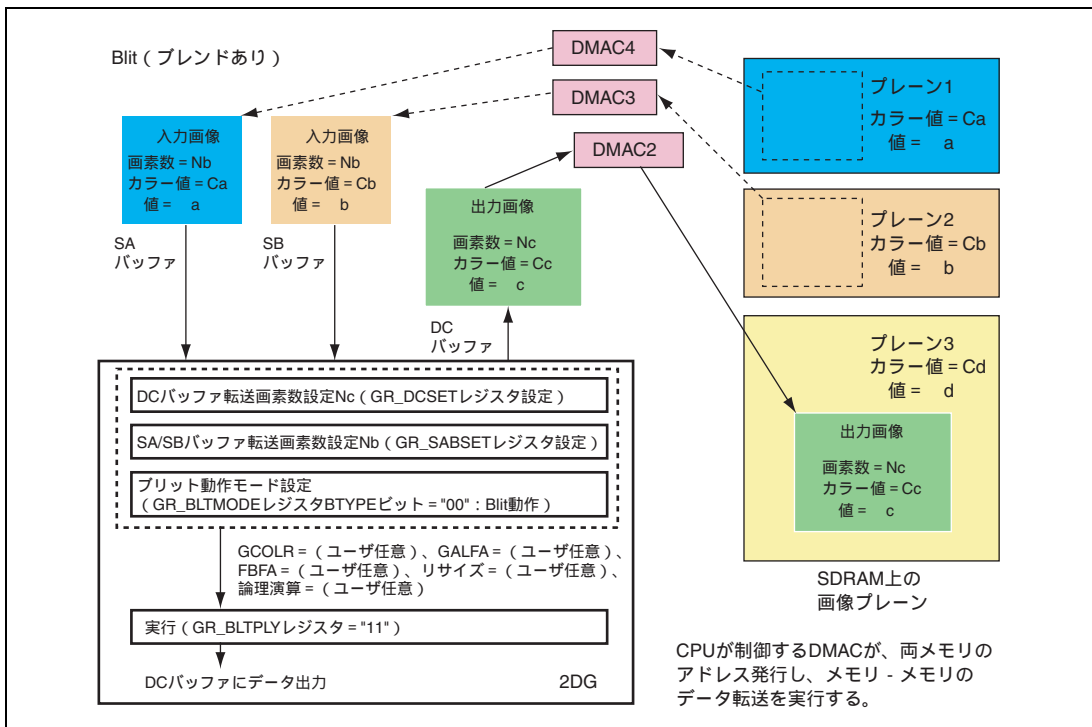


図28.26 Blit 機能 & ブレンド機能ありの例 (1)

- Blit機能&ブレンド機能あり2

例として、図形と文字のブレンドを行う場合について説明します。まず、以下に従ってレジスタの設定を行ってください。

- SA/SBバッファの転送画素数を設定するために、GR_SABSETレジスタを設定してください
- DCバッファの転送画素数を設定するために、GR_DCSETレジスタを設定してください
- プリット動作モードをBlitに設定するために、GR_BLTMODEレジスタBTYPETYPEビットを00に設定してください
- プリット機能の実行許可を設定するために、GR_BLTPLYレジスタのSB_SETENビットを1にSA_SETENビットを1に設定してください

このとき SB バッファに矩形領域で設定された 値付き文字画素を入力、SA バッファには SB と同じ矩形領域で設定された図形画素 (値=F(H)=1) を入力した場合、出力画像は図形と文字を矩形領域で ブレンドし、そのあとリサイズ処理した画像となります。この際、文字情報は画像の一番手前にするために、SB バッファに入力するようにしてください。

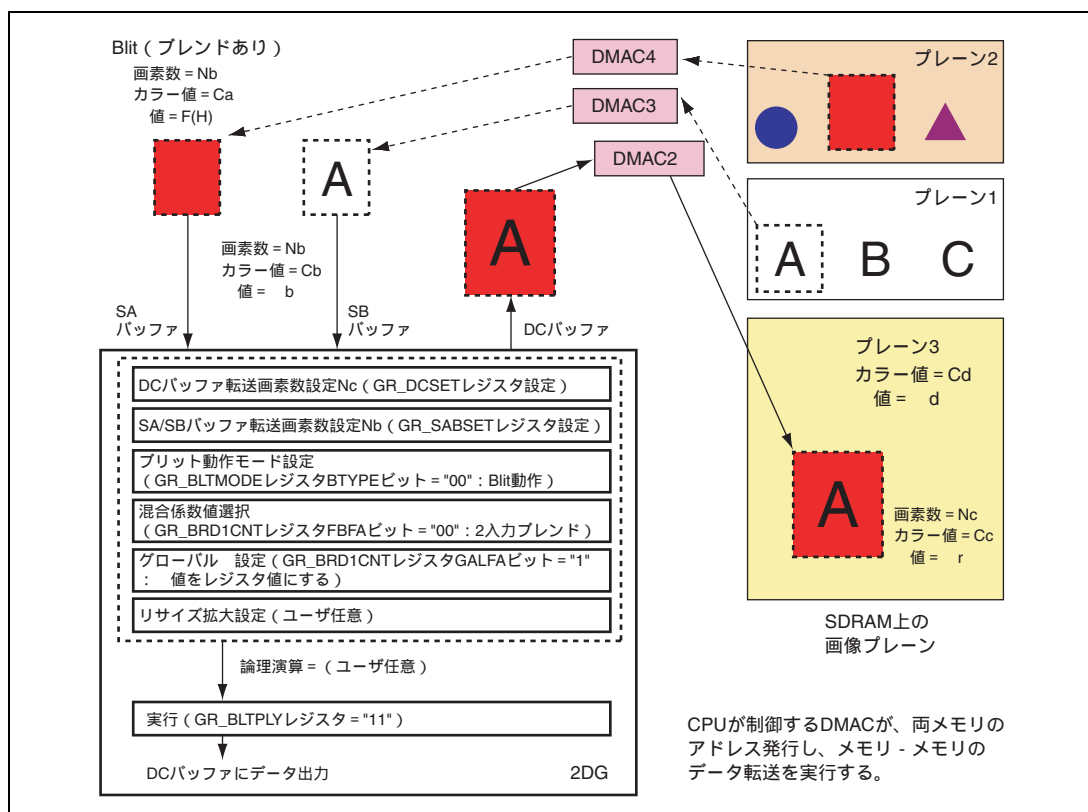


図28.27 Blit 機能 & ブレンド機能ありの例 (2)

(d) クロマキー処理概要

クロマキー処理機能は入力 B 経路にのみ実装されているため、入力 A 経路についてはクロマキー処理を行うことはできません。また論理演算処理または色階調処理を同時に実行することはできません。クロマキーの仕様として、Fill 動作時のみクロマキー設定を有効とします。そのため、クロマキー処理を行う時は Fill モード (GR_BLTMODE レジスタ BTYPE ビット=10) に設定してください。また、クロマキー処理は Fill 時のみの機能のため、リサイズ機能を使用することはできません。

以下ではクロマキー処理実行時の効果について例を挙げて示します。

• クロマキー処理例 (1)

- ブリット動作モード設定 : Fill モード (GR_BLTMODE レジスタ BTYPE ビット=10)
- クロマキータイプ選択 : クロマキー置換 (GR_BLTMODE レジスタ CRKEY ビット=01)
ブレンド混合係数 GR_BRD1CNT レジスタ FBFA ビット=01 時と同様の動作を行います。ただし GR_BRD1CNT レジスタ FBFA ビットは変化しません。
- SB 出力データ選択 : SB データ選択= (GR_BLTMODE レジスタ SBSEL ビット=01)
- 対象色設定 : GR_DETCOL レジスタにて対象色に緑を設定
- 置換色設定 : GR_BRDCOL レジスタにて置換色に青を設定

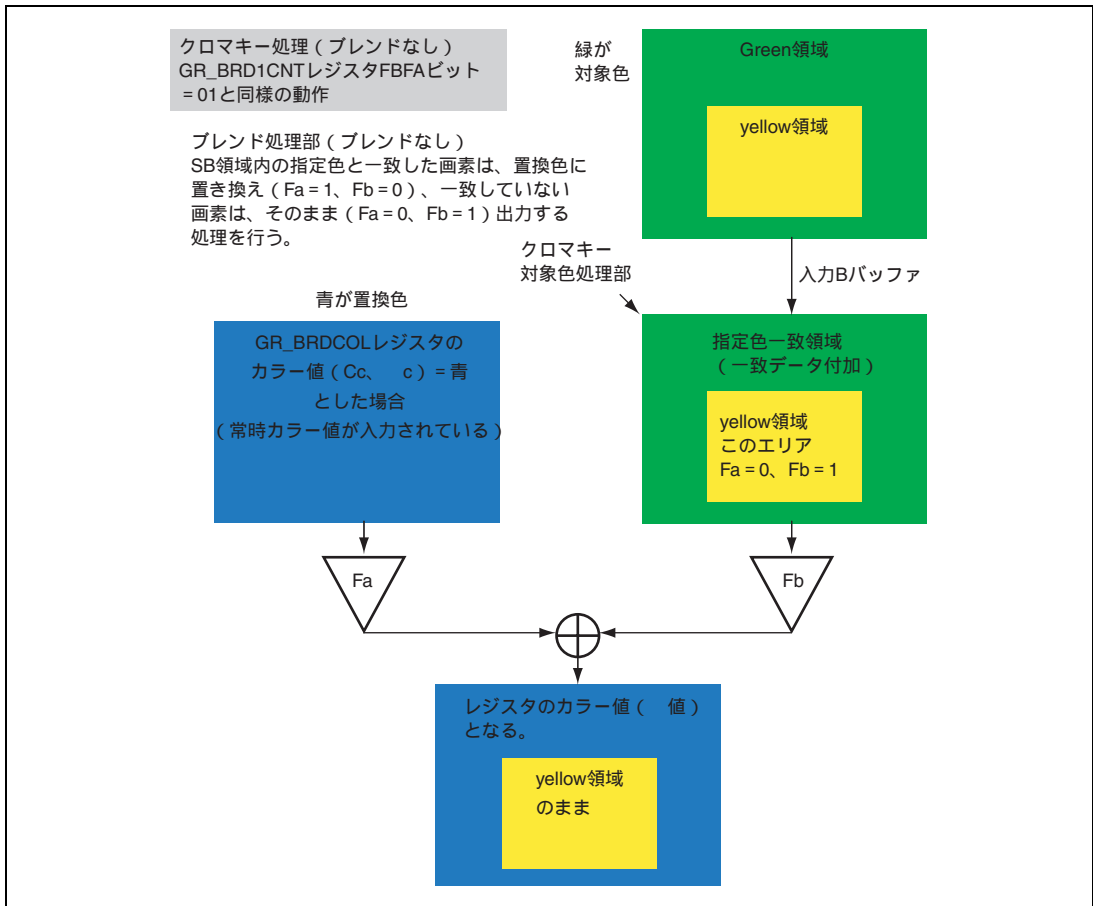


図28.28 クロマキー処理例 (1)

- クロマキー処理例 (2)

ブリット動作モード設定	: Fill モード (GR_BLTMODE レジスタ BTYPE ビット=10)
クロマキータイプ選択	: クロマキーブレンド (GR_BLTMODE レジスタ CRKEY ビット=10)
混合係数値選択	: ブレンド混合係数= (GR_BRDICNT レジスタ FBFA ビット=00)
SB 出力データ選択	: SB データ選択= (GR_BLTMODE レジスタ SBSSEL ビット=01)
対象色設定	: GR_DETCOL レジスタにて対象色に緑を設定
置換色設定	: GR_BRDCOL レジスタにて置換色に青を設定

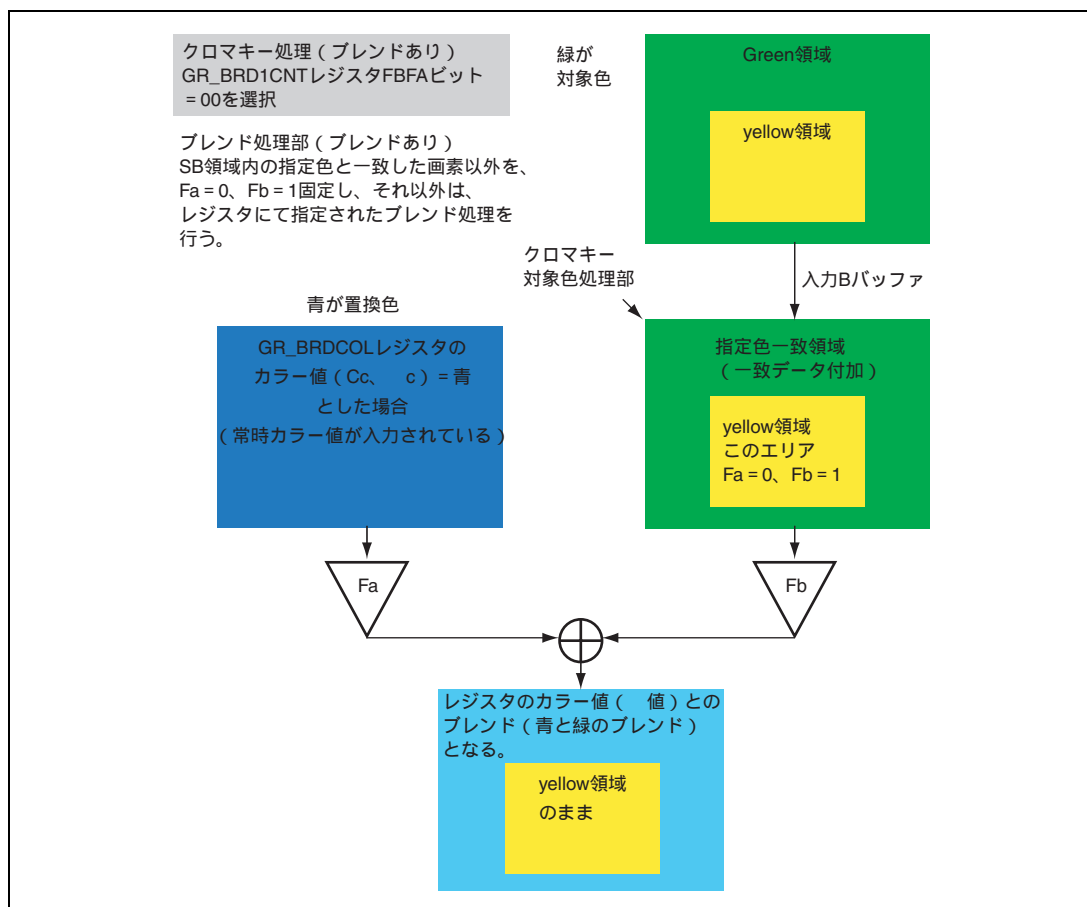


図28.29 クロマキー処理例 (2)

(e) 論理演算処理概要

論理演算処理機能は入力 B 経路にのみ実装されているため、入力 A 経路については論理演算処理を行うことはできません。またクロマキー処理または色階調処理を同時に実行することはできません。論理演算処理の仕様として、GR_BLTMODE レジスタ BTYPE ビットで指定するすべての動作モードで論理演算設定を有効とします。以下では論理演算処理実行時の効果について例を挙げて示します。

プリット動作モード設定：Fill モード (GR_BLTMODE レジスタ BTYPE ビット=10)

混合係数値選択：ブレンド混合係数=(GR_BRD1CNT レジスタ FBFA ビット=00)

論理演算タイプ選択：論理演算タイプ=(GR_BRD1CNT レジスタ LGTYPE ビット=01)

論理演算色設定：GR_LGDAT レジスタにて論理演算色に白を設定

置換色設定：GR_BRDCOL レジスタにて置換色に灰を設定

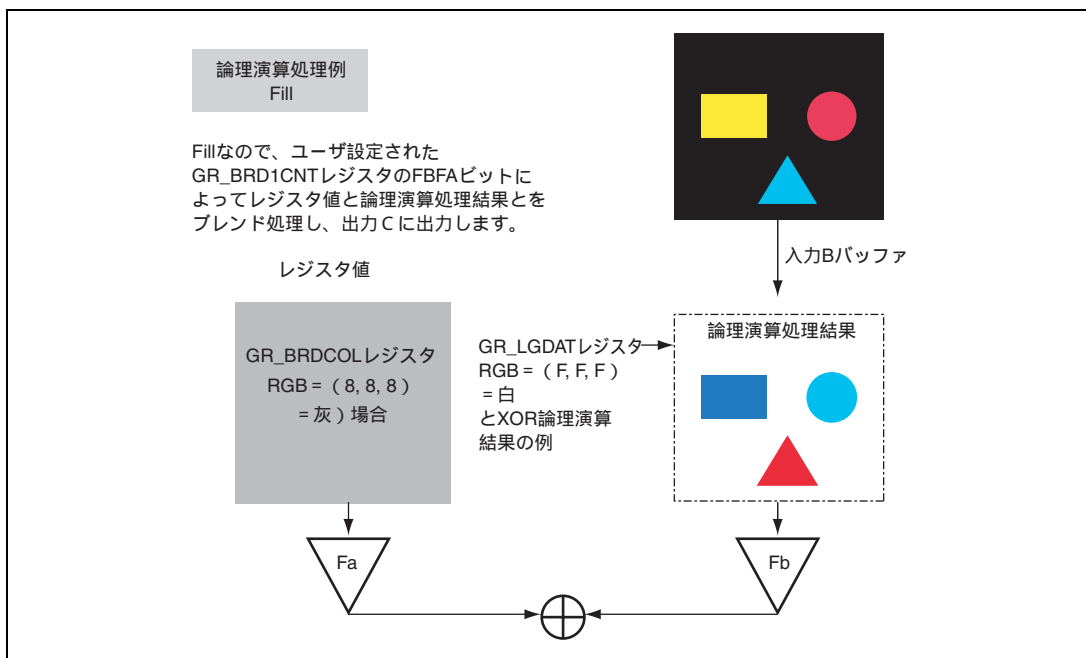


図28.30 論理演算処理例

(f) 色階調処理概要

色階調処理機能は入力 B 経路にのみ実装されているため、入力 A 経路については色階調処理を行うことはできません。色階調処理は、ブレンドのありなしにかかわらずプリット動作時にのみ対応します。このとき、クロマキー処理または論理演算処理を同時に実行することはできません。また、リサイズ処理は可能ですが、文字品位を考慮した場合は推奨できません。できるだけ等倍処理を行ってください。また、部分リサイズ処理には対応していません。

色階調処理の基本動作を以下に示します。

1. (4ビット) で作られたSDRAM上の任意のフォント領域から、指定エリアだけを2DGにDMA転送します
2. GR_BRDCOLレジスタで設定された色に拡張します
3. 転送された 値と指定色とで重み付け (乗算) を行うことで、 値に応じた色階調を作成します

値によるフォントの作り方次第では、擬似アンチエイリアスの効果も期待できます。

• 色階調処理例 (1)

プリット動作モード設定 : Blit モード (GR_BLTMODE レジスタ BTYPE ビット=00)

ブレンド動作 : ブレンドなし (GR_BLTPLY レジスタ SB_STEN ビット=1 かつ SA_STEN ビット=0)

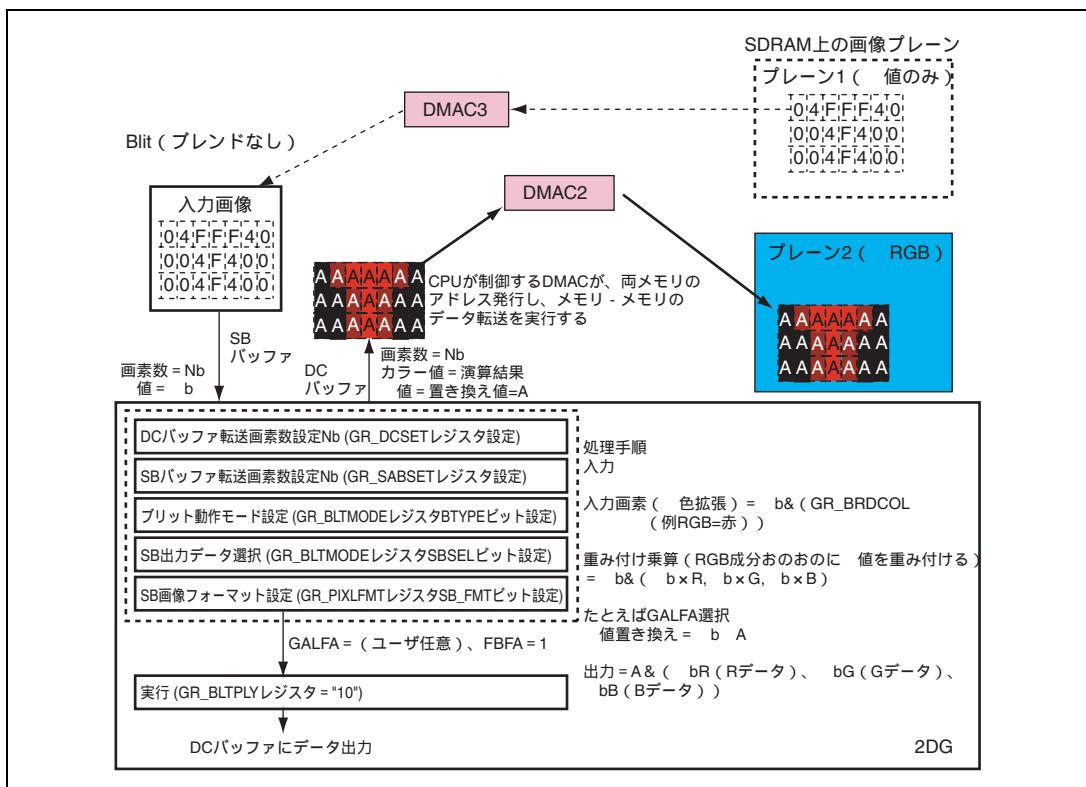


図28.31 色階調処理例 (1)

• 色階調処理例 (2)

フォント領域からの指定エリア内データと出画プレーンからの指定エリア内データを2DGに入力し、その後色階調処理を行い出画プレーンの指定エリアに書き戻す場合の処理について、以下に示します。

- ブリット動作モード設定 : Blit モード (GR_BLTMODE レジスタ BTYPE ビット=0)
- ブレンド動作 : ブレンドあり (GR_BLTPLY レジスタ SB_STEN ビット=1 かつ SA_STEN ビット=1)

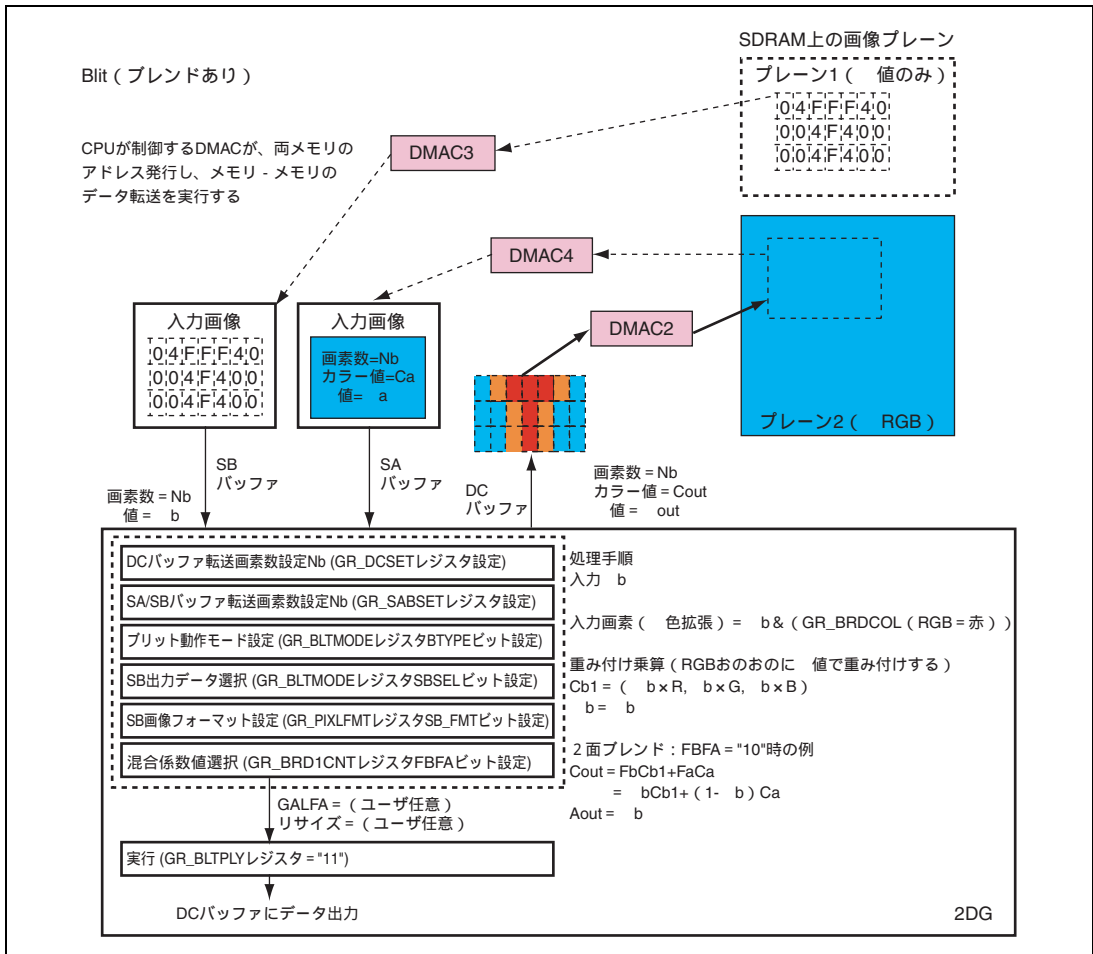


図28.32 色階調処理例 (2)

(4) リサイズ処理

(a) リサイズモードの設定

ブリット部リサイズ処理の実行 / 停止の設定は、GR_RISZSET レジスタ BRISZ ビットにて設定します。リサイズモードは、GR_RISZMOD レジスタで以下の4つについて設定が可能です。

- A1_Hビット：水平方向の リサイズ方式を選択します。0：バイリニア法、1：ニアレストネイバー法。
- H1_MTHDビット：水平方向のリサイズ方式を選択します。0：バイリニア法、1：ニアレストネイバー法。
- A1_Vビット：垂直方向の リサイズ方式を選択します。0：バイリニア法、1：ニアレストネイバー法。
- V1_MTHDビット：垂直方向のリサイズ方式を選択します。0：バイリニア法、1：ニアレストネイバー法。

(b) EDGE 処理の設定

全体リサイズや部分リサイズをする場合、そのリサイズ設定する領域の右端や下端が全体リサイズプレーンの右端や下端と一致するか一致しないかを判断する必要があります。そこで、全体リサイズや部分リサイズを行う場合は、必ず GR_RISZSET レジスタ EDGE ビットを設定してください。

GR_RISZSET レジスタ EDGE ビットの設定例として、水平方向（右端）について示します。図 28.33は、GR_RISZSET レジスタ EDGE ビットを決める際判断に使用する、ソース全面領域 / ソース更新領域 / ソース設定領域の関係について示しています。色付きマスはソース全面領域内の更新された領域（ソース更新領域）です。また太矢印で示す範囲が、部分リサイズ時にソース領域としてレジスタに設定する領域（ソース設定領域）となります。詳細については「28.4.3 (5) 部分リサイズ処理」を参照してください。

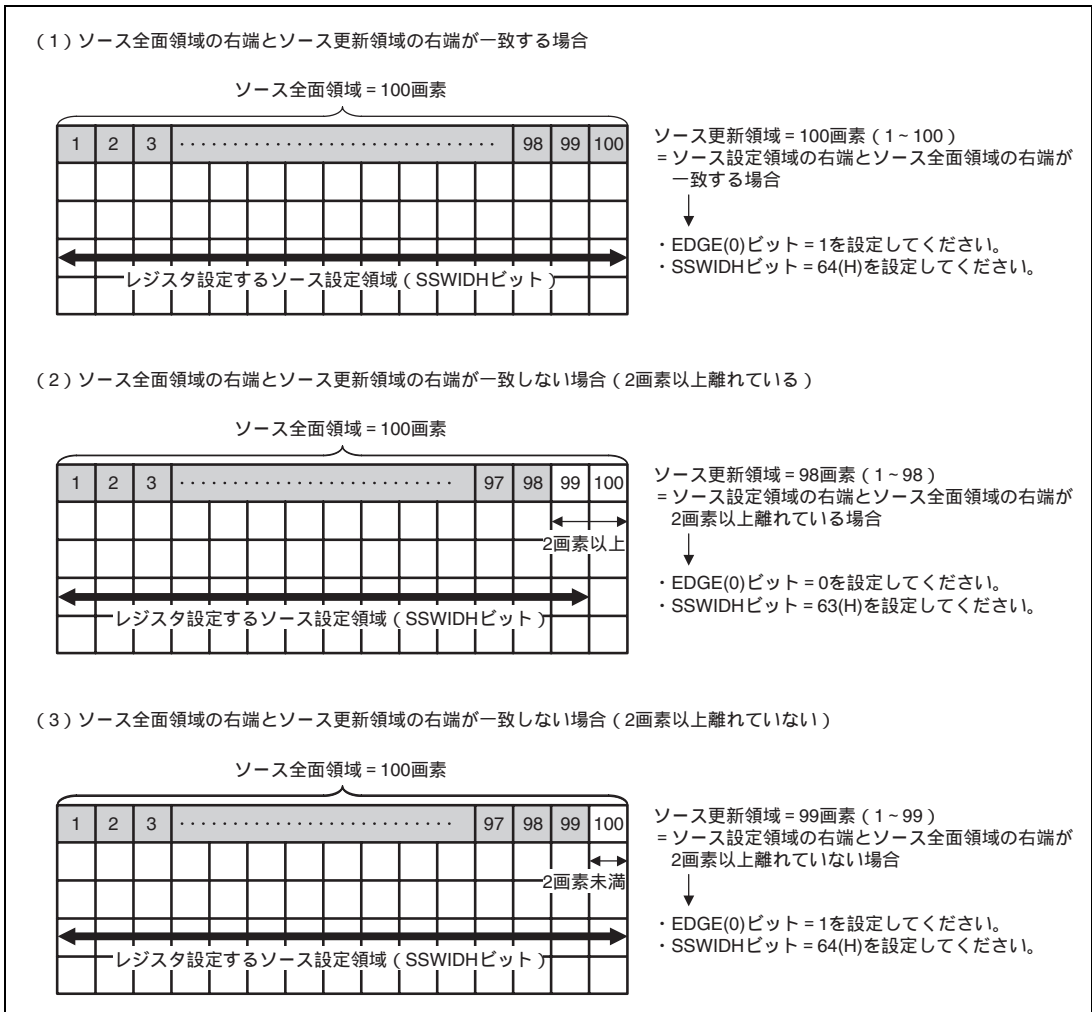


図28.33 GR_RISZSET レジスタ EDGE ビットの設定 (水平方向のみ)

(c) リサイズ用デルタの設定方法

リサイズ用デルタ (Ch) 設定値は以下の算出式に基づき求めます。

$$\text{Ch} = (\text{ソース解像度} / \text{デスティネーション解像度}) \times 4096$$

【注】 Ch = 1 / リサイズ率は必ず (ソース画素数 / デスティネーション画素数) から算出してください。なお、小数点以下は切り捨ててください。

たとえば、ソース画素数を 479、デスティネーション画素数を 240 とすると Ch は、

$$\text{Ch} = (479 / 240) \times 4096 = 8174.933 = 1\text{FEE} (\text{H})$$

となります。

これからリサイズ用デルタ設定値は以下となります。

$$\text{HDLT_INTGR} \text{ は Ch の整数部であるため、} \text{HDLT_INTGR} = 1 (\text{H})$$

$$\text{HDLT_DCML} \text{ は Ch の小数部であるため、} \text{HDLT_DCML} = \text{FEE} (\text{H})$$

なお GR_RISZSET レジスタ BRSIZ ビット=0 つまりリサイズ機能を使用しないときには、HDLT_INTGR ビット=1(H)、HDLT_DCML ビット=000(H)のときと同様の動作を行います。ただし HDLT_INTGR ビットおよび HDLT_DCML ビットは変化しません。

リサイズ用デルタ (Cv) 設定値は以下の算出式に基づき求めます。

$$\text{Cv} = (\text{ソース解像度} / \text{デスティネーション解像度}) \times 4096$$

このとき、Ch 同様の算出方法により、VDLT_INTGR は Cv の整数部分 (2 ビット) / VDLT_DCML は Cv の小数部分 (12 ビット) となります。なお GR_RISZSET レジスタ BRSIZ ビット=0 つまりリサイズ機能を使用しないときには、VDLT_INTGR ビット=1(H)、VDLT_DCML ビット=000(H)のときと同様の動作を行います。ただし VDLT_INTGR ビットおよび VDLT_DCML ビットは変化しません。

- 全体リサイズの場合の設定範囲

全体リサイズなので必ず整数項 (GR_HSPHAS レジスタ H1PHS_INTGR ビット) は 0 になります。

拡大時: H1PHS_INTGR = H'000、H1PHS_DCML = H'000 ~ H' (HDLT_DCML - 1)

縮小時: H1PHS_INTGR = H'000、H1PHS_DCML = H'000 ~ H'FFF

- 部分リサイズの場合の設定範囲

部分リサイズ設定領域の左端画素に合わせて整数部および小数部を設定してください。

(d) リサイズ用ソース側先頭位相の設定方法

ソース側先頭位相 (Psh) は以下の算出式に基づき求めます。

$$\text{Psh} = \text{Ch} \times (\text{スタートさせる画素数}) + (\text{スタートさせる初期位相} \times 4096)$$

このとき、H1PHS_INTGR は Psh の整数部 (10 ビット) / H1PHS_DCML は Psh の小数部 (12 ビット) になります。なお、リサイズを行わない場合や等倍 (リサイズ 1 倍) の場合には、Psh = 0 としてください。

ソース側先頭位相 (Psv) は以下の算出式に基づき求めます。

$$Psv = Cv \times (\text{スタートさせるライン}) + (\text{スタートさせる初期位相} \times 4096)$$

このとき、V1PHS_INTGR は Psv の整数部 (9 ビット) / V1PHS_DCML は Psv の小数部 (12 ビット) になります。なお、リサイズを行わない場合や等倍 (リサイズ 1 倍) の場合には、Psv = 0 としてください。

- 全体リサイズの場合の設定範囲

全体リサイズなので必ず整数部 (V1PHS_INTGR) は 0 に設定してください。

拡大時: V1PHS_INTGR = H'000、V1PHS_DCML = H'000 ~ H' (VDLT_DCML - 1)

縮小時: V1PHS_INTGR = H'000、V1PHS_DCML = H'000 ~ H'FFF

- 部分リサイズの場合の設定範囲

部分リサイズ設定領域の上端画素に合わせて整数部および小数部を設定してください

先頭位相とは、バイリニア法にてリサイズする際に参照する 2 つのソース画素の混合比割合を変えるために使用します。これにより、1/2 倍等の縮小時に発生する画素抜けをなくすることができます。ただし、先頭位相を大きくしすぎるとデスティネーションの左端画素に色ずれが発生します。そのため全体リサイズ時の先頭位相の設定には以下の制約条件があります。

【制約条件】

先頭位相の整数部 (H1PHS_INTGR ビットおよび V1PHS_INTGR ビット) は必ず "0" に設定してください。

先頭位相の小数部 (H1PHS_DCML ビットおよび V1PHS_DCML ビット) の設定範囲は以下にしてください。

拡大リサイズ時: H1PHS_DCML ビットおよび V1PHS_DCML ビット = H'000 ~ H' (VDLT_DCML - 1)

縮小リサイズ時: H1PHS_DCML ビットおよび V1PHS_DCML ビット = H'000 ~ H'FFF

以下に縮小リサイズ (1/2 倍) 時の先頭位相の設定例を示します (ここでは水平方向についてのみ説明します)。
 図 28.34 内の S0 ~ S4 はソース画素を、D0 ~ D2 はそれぞれの倍率において内挿されるデスティネーション画素を示しています。デスティネーション画素(1)は先頭位相を 0(H)に設定した場合、デスティネーション画素(2)は先頭位相を 800(H)に設定した場合のデスティネーション画素の内挿される位相を示しています。

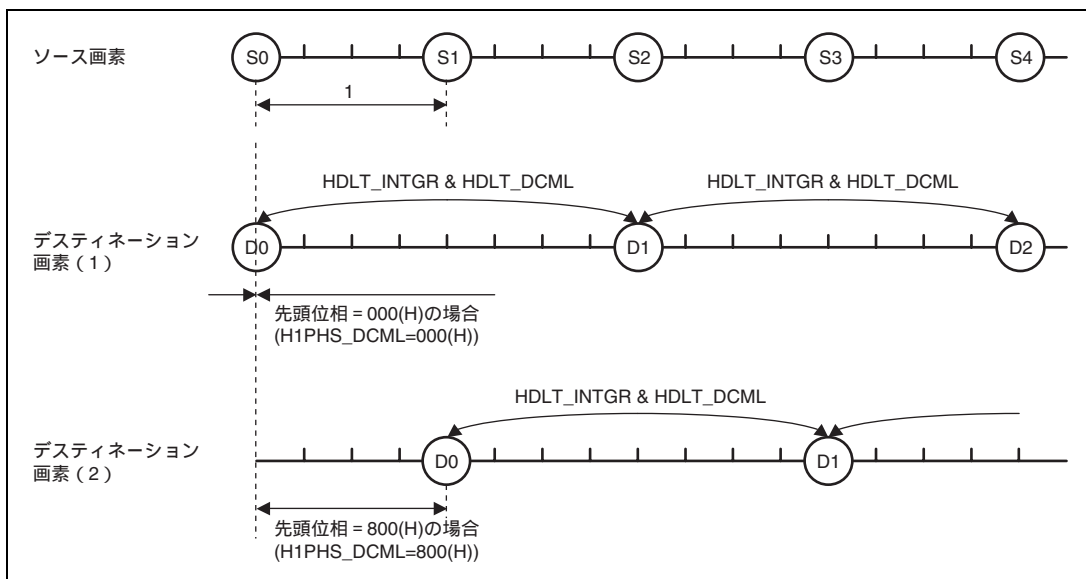


図28.34 縮小サイズ (1/2 倍) 時の先頭位相の設定例

先頭位相の小数部 (H1PHS_DCML ビットおよび V1PHS_DCML ビット) には、ソース画素間隔を "1" とした場合の割合を設定します。図 28.34 のデスティネーション画素(1)は、先頭位相 (H1PHS_DCML) = 000(H) の場合のデスティネーション画素の内挿位置を表しており、先頭画素(D0)は位相 0 の位置に生成されます。デスティネーション画素(2)は、先頭位相 (H1PHS_DCML) = 800(H) の場合のデスティネーション画素の内挿位置を表しており、先頭画素(D0)は先頭位相 (H1PHS_DCML) 分だけ進んだ位置に内挿され、それ以降は先頭位相を保ったまま内挿されます。

このように先頭位相を付けた場合と付けない場合で、参照する 2 つのソース画素の混合比を変えることができます。そのため画素抜けによる影響を和らげることができます。図 28.35 に先頭位相を付けた場合と付けない場合の縮小サイズ (1/2 倍) 時の効果例を示します。

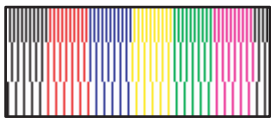

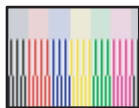
図28.34：ソース画素元画像	図28.34：デスティネーション画素(1)バイリニア法にて水平のみ1/2倍に縮小先頭位相 (H1PHS_DCML) = 000(H)	図28.34：デスティネーション画素(2)バイリニア法にて水平のみ1/2倍に縮小先頭位相 (H1PHS_DCML) = 800(H)
		
<p>画像の上1/3は1dot抜き、中央1/3は2dot抜き、下1/3は3dot抜きのカラー色の縦線画像 (画像サイズ：130×60画素)</p>	<p>画像の上1/3の1dot抜きのところが、カラー色の画素が間引かれており、白一色になっている。 (白色：カラー色の混合比=1：0)</p>	<p>画像の上1/3の1dot抜きのところが、白色とカラー色が均等にブレンドされるため、縦線は潰れているが、カラー色は認識できる。 (白色：カラー色の混合比 = 1：1)</p>

図28.35 縮小リサイズ (1/2 倍) 時の先頭位相の設定による効果例

図 28.35に示すように、バイリニア法にて縮小リサイズした場合でも、初期位相 = 000(H)の場合は、上 1/3 の 1dot 抜きの部分が白色とカラー色の混合比が 1：0 となり、カラー色の画素は単に間引かれてしまいます。そのため画像は白一色になります。初期位相 = 800(H)の場合は、白色とカラー色の混合比が 1：1 となり、白色とカラー色が均等にブレンドされるため、縦線は潰れていますが、カラー色は再現されます。

ただし拡大リサイズの場合は画素の間引きは発生しないため、縮小リサイズの様な大きな効果はありません。しかし拡大リサイズ (バイリニア法) の場合も同様に、先頭位相を設定することで参照する 2 つのソース画素の混合比割合を変えることができます。

(5) 部分リサイズ処理

リサイズ処理されたソースプレーン上の一部の領域を変更したい場合には、リサイズ後のソース領域ではなくリサイズ前のソース領域に対し部分切り出し処理を行うことで、領域の変更を行います。これはリサイズ前のソース領域を部分切り出したあとリサイズ処理をして、その領域をリサイズ処理されたプレーン上の一部領域に貼り付けても、境界を正しく保つことができるからです。図 28.36に例を示します。なお色階調処理選択時は、部分リサイズ処理を行うことはできません。

一部変更された領域 (図 28.36内更新領域) を

垂直オフセット=Va、水平オフセット=Ha、垂直高さ=Vb、水平幅=Hb

とします。

ソース領域水平・垂直方向幅のレジスタ設定値は、更新領域そのものを設定するのではなく、部分リサイズに適した設定領域を以下の計算式で求め、その値を GR_HSPHAS レジスタおよび GR_VSPHAS レジスタに設定します。

垂直オフセット：Va1 = Va - Vx1、水平オフセット：Ha1 = Ha - Hx1

垂直高さ：Vb1 = Vb + Vx1 + Vx2、水平幅：Hb1 = Hb1 + Hx1 + Hx2

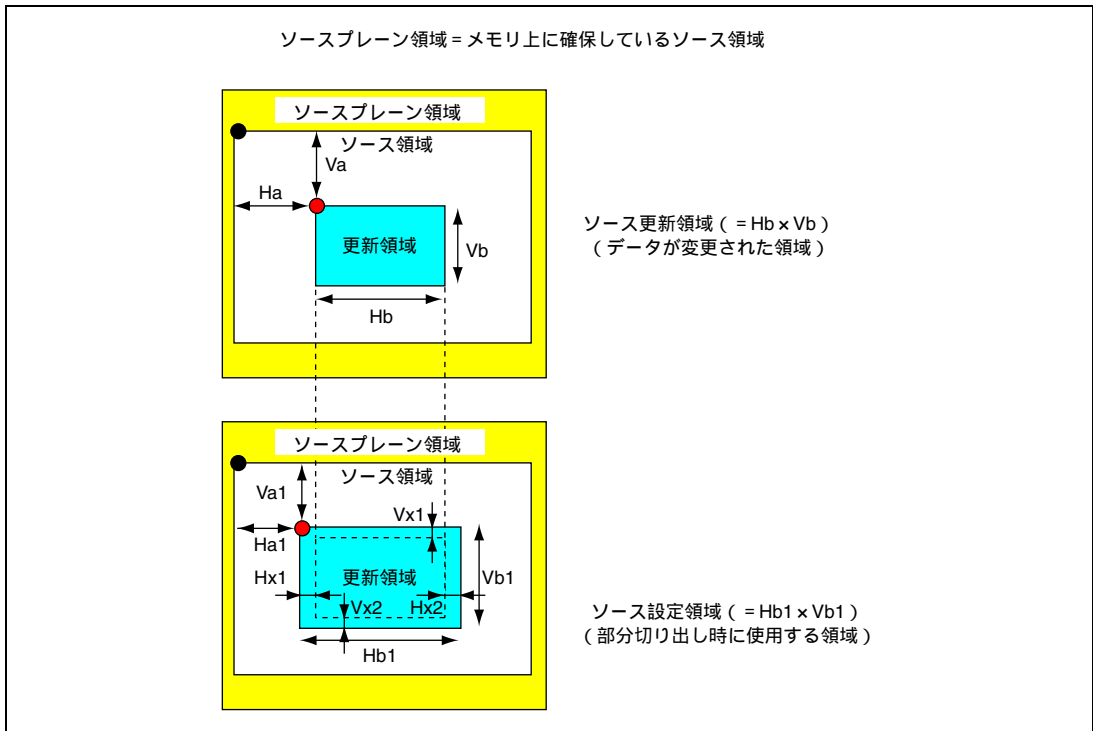


図28.36 部分切り出しリサイズ処理における領域の指定方法

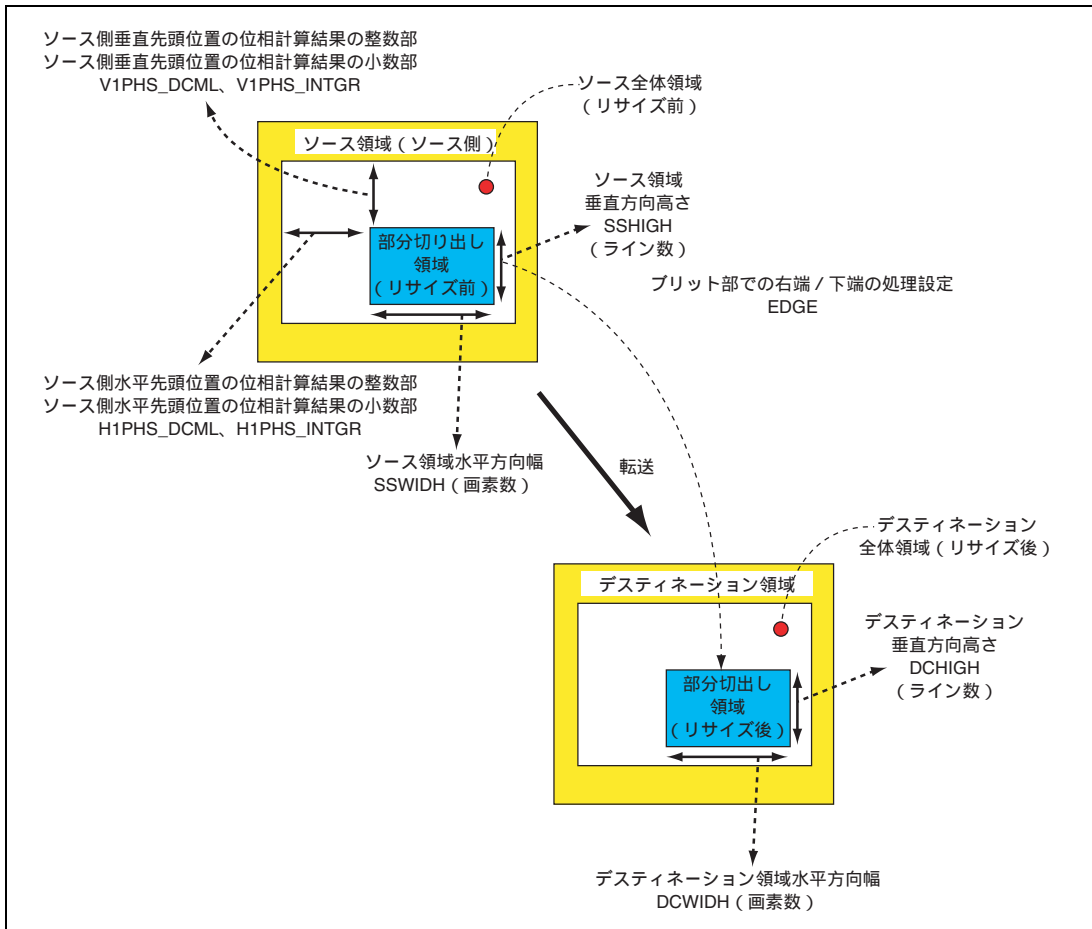


図28.37 部分切り出しリサイズ処理の概要

(a) 部分リサイズとは

全体リサイズ処理されたデスティネーション画像の元のソース画像領域 (たとえば 500×300 画素) に対し、そのソース画像領域のある一部分 (たとえば 50×50 画素) だけが変更された場合、再びソース画像領域全体 (500×300) のリサイズをするのではなく、変更された領域 (50×50 画素) だけをリサイズする方法です。

(b) 部分リサイズする場合の設定領域について

- GR_RISZSETレジスタEDGEビット

全体リサイズや部分リサイズを行う場合、そのリサイズ設定するソース領域の右端や下端が全体リサイズ領域の右端や下端と一致するか、一致しないかを判断する必要があります。そのため、全体リサイズや部分リサイズを行う場合は、必ず GR_RISZSET レジスタ EDGE ビットを設定するようにしてください。

図 28.38に、全体リサイズ領域 (太枠領域) に対する 1.TL ~ 5.MM の部分リサイズ領域について、設定すべき GR_RISZSET レジスタ EDGE ビットの値について示します。下記要領にて、部分リサイズ領域の位置に応じて EDGE ビットを設定してください。

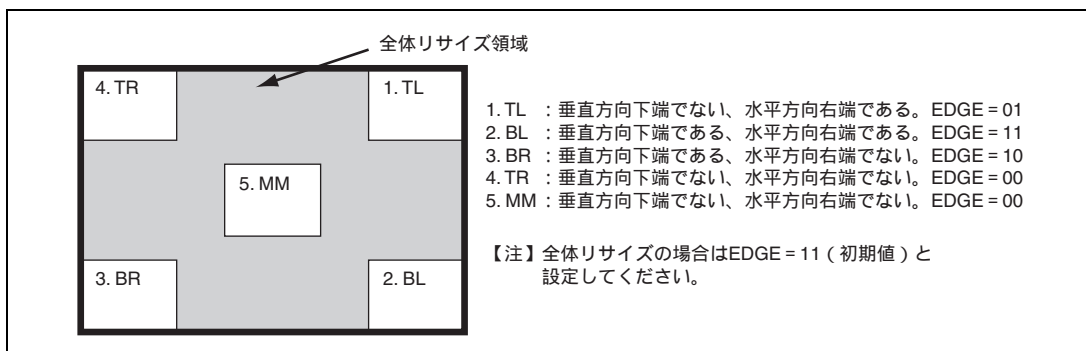


図28.38 部分リサイズ領域例

- 部分リサイズのソース設定領域 (GR_SABSETレジスタSSWIDTHビットおよびSSHIGHビット)

部分リサイズは、実際に更新された領域よりも若干大きい領域を部分リサイズソース領域としてレジスタに設定します。そうすることで、部分更新した領域としていない領域との境界を無くするようにしています。図 28.39 に例を示します。なお、設定領域はリサイズ率 (拡大・縮小) により変わります。

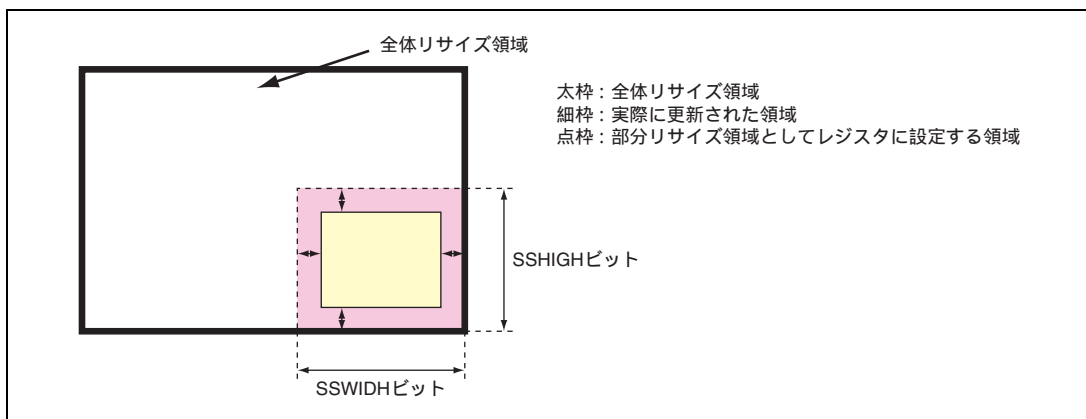


図28.39 部分リサイズ設定領域の説明図

図 28.39のように、実際に更新された領域 (細枠領域) に対し、上下左右に + だけ広げた領域を部分リサイズ設定領域 (SSWIDTH ビット / SSHIGH ビット) に設定します。また、図 28.39のように更新領域 (細枠領域) が全体リサイズ領域の右端や下端に近い場合は、実際の更新領域とは異なり、設定領域として右端や下端として設定する場合がありますので、そのときはEDGE ビットについても右端や下端の設定が必要になります (リサイズ率 (拡大・縮小) により異なります)。

(c) ソース水平 / 垂直方向先頭位相 (GR_HSPHAS レジスタ H1PHS_DCML ビット / GR_VSPHAS レジスタ V1PHS_DCML ビット)

部分リサイズする場合、あらかじめ全体リサイズしている出力画像と、後で部分リサイズした出力画像の境界が完全に一致するためには、部分リサイズの設定領域だけでなく、全体リサイズしたときの先頭画素の先頭位相についても考慮する必要があります。たとえば、全体リサイズでソース水平方向先頭位相 (H1PHS_DCML) を H'FFF とした場合、部分リサイズするときも部分リサイズの前頭位相 (H1PHS_DCML) に全体リサイズと同じ値 (H'FFF) を加える必要があります。

また、全体リサイズにおいてこの H1PHS_DCML や V1PHS_DCML を使用する場合には、拡大リサイズと縮小リサイズで制約条件が異なっており、以下の範囲で設定してください。

[拡大時]

H1PHS_DCML または V1PHS_DCML = H'000 ~ H' (HDLT_DCML - 1)

[縮小時]

H1PHS_DCML または V1PHS_DCML = H'000 ~ H'FFF

(d) 部分リサイズ設定領域の求め方

図 28.40内 ST、SL、SSHIGH、SSWIDH はユーザに算出していただく値です。その他は既知の値です。

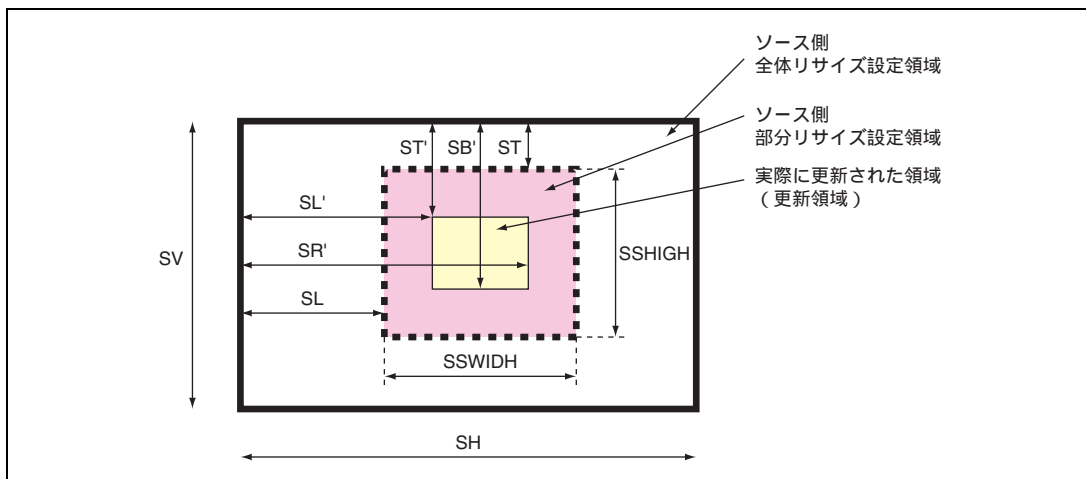


図28.40 ソースデータ領域における部分リサイズ設定領域

図 28.41内 DT/DL/DCHIGH/DCWIDH はユーザに算出していただく値です。その他は既知の値です。

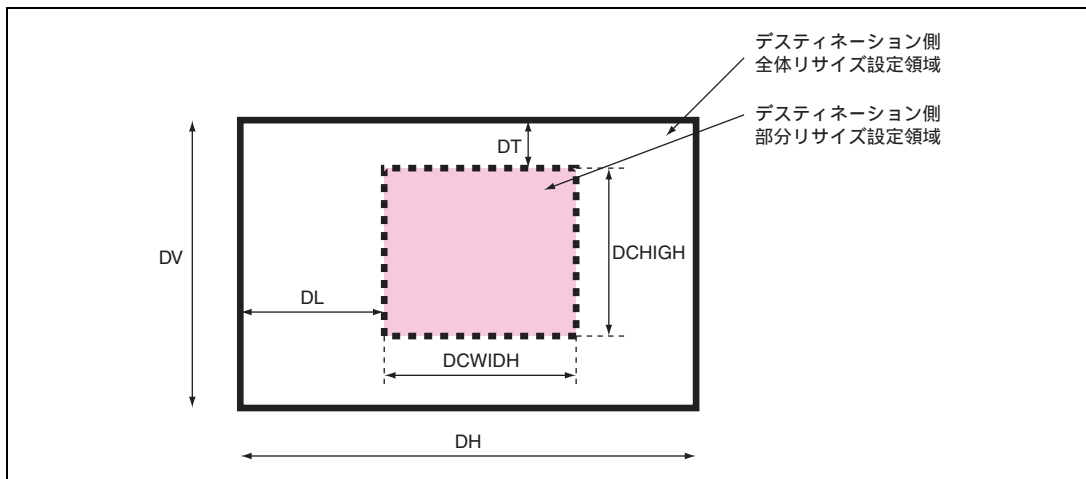


図28.41 デスティネーションデータ領域における部分リサイズ設定領域

- 定義：図28.40、図28.41記載の記号の説明

SH：ソースデータの全体リサイズ時の水平方向リサイズ設定領域幅

SV：ソースデータの全体リサイズ時の垂直方向リサイズ設定領域高さ

SSWIDTH：ソースデータの部分リサイズ時の水平方向リサイズ設定領域幅

SSHIGH：ソースデータの部分リサイズ時の垂直方向リサイズ設定領域高さ

DH：デスティネーションデータの全体リサイズ時の水平方向リサイズ設定領域幅

DV：デスティネーションデータの全体リサイズ時の垂直方向リサイズ設定領域高さ

DCWIDTH：デスティネーションデータの部分リサイズ時の水平方向リサイズ設定領域幅

DCHIGH：デスティネーションデータの部分リサイズ時の垂直方向リサイズ設定領域高さ

ST'：全体リサイズ時の垂直方向ソース読み出し領域の先頭ライン数から、更新領域の垂直方向ソース読み出し領域の上端画素までのライン数

SB'：全体リサイズ時の垂直方向ソース読み出し領域の先頭ライン数から、更新領域の垂直方向ソース読み出し領域の下端画素までのライン数

SL'：全体リサイズ時の水平方向ソース読み出し領域の左端画素数から、更新領域の水平方向ソース読み出し領域の左端（先頭）画素までの画素数

SR'：全体リサイズ時の水平方向ソース読み出し領域の左端画素数から、更新領域の水平方向ソース読み出し領域の右端（最終）画素までの画素数

ST：全体リサイズ時の垂直方向ソース読み出し領域の先頭ライン数から、部分リサイズ設定領域の垂直方向ソース読み出し領域の上端画素までのライン数

SL：全体リサイズ時の水平方向ソース読み出し領域の左端画素数から、部分リサイズ設定領域の水平方向ソース読み出し領域の左端（先頭）画素までの画素数

DT：全体リサイズ時の垂直方向デスティネーション領域の先頭ライン数から、部分リサイズ設定領域の垂直方向デスティネーション領域の上端画素までのライン数

DL：全体リサイズ時の水平方向デスティネーション領域の左端画素数から、部分リサイズ設定領域の水平方向デスティネーション領域の左端（先頭）画素までの画素数

- 図28.40、図28.41に記載ない記号の説明

GR_HSPHASレジスタH1PHS_DCMLビット：全体リサイズ時のソース側水平先頭位置の位相計算結果小数部

GR_VSPHASレジスタV1PHS_DCMLビット：全体リサイズ時のソース側垂直先頭位置の位相計算結果小数部

デスティネーション設定領域の左端画素数 (DL) ・ 上端ライン数 (DT) の算出式

DL 判定式：

$SL' > 1$ の場合、 $INT(DH / SH \times (SL' - 1)) \times INT(SH / DH \times 4096) + H1PHS_DCML$ $(SL' - 1) \times 4096$

$SL' = 1$ の場合、例外処理として算出式にかかわらず $DL = 0$ としてください

DL 算出式：

判定式の結果が真 : $DL = \text{INT}(DH / SH \times (SL' - 1))$

判定式の結果が偽 : $DL = \text{INT}(DH / SH \times (SL' - 1)) + 1$

DT 判定式 :

$ST' > 1$ の場合、 $\text{INT}(DV / SV \times (ST' - 1)) \times \text{INT}(SV / DV \times 4096) + V1PHS_DCML \quad (ST' - 1) \times 4096$

$ST' = 1$ の場合、例外処理として算出式にかかわらず $DT = 0$ としてください

DT 算出式 :

判定式の結果が真 : $DT = \text{INT}(DV / SV \times (ST' - 1))$

判定式の結果が偽 : $DT = \text{INT}(DV / SV \times (ST' - 1)) + 1$

ソース設定領域の左端画素数 (SL) ・ 上端ライン数 (ST) の算出式

SL 算出式 :

$SL' > 1$ の場合、 $SL = \text{INT}((DL \times \text{INT}(SH / DH \times 4096) + H1PHS_DCML) / 4096) = (H1PHS_INTGR)$

$SL' = 1$ の場合、例外処理として $SL = 0$ としてください

ST 算出式 :

$ST' > 1$ の場合、 $ST = \text{INT}((DT \times \text{INT}(SV / DV \times 4096) + V1PHS_DCML) / 4096) = (V1PHS_INTGR)$

$ST' = 1$ の場合、例外処理として $ST = 0$ としてください

デスティネーション設定領域の水平方向幅 (DCWIDTH) ・ 垂直方向高さ (DCHIGH) の算出式

DCWIDTH 判定式 :

$SR' < SH - 2$ の場合、 $\text{INT}(DH / SH \times (SR' + 1)) \times \text{INT}(SH / DH \times 4096) + H1PHS_DCML \quad (SR' + 1) \times 4096$

$SR' = SH - 2$ の場合、例外処理として算出式にかかわらず $DCWIDTH = DH - DL$ としてください

DCWIDTH 算出式 :

判定式の結果が真 : $DCWIDTH = \text{INT}(DH / SH \times (SR' + 1)) - DL$

判定式の結果が偽 : $DCWIDTH = \text{INT}(DH / SH \times (SR' + 1)) - DL + 1$

DCHIGH 判定式 :

$SB' < SV - 2$ の場合、 $\text{INT}(DV / SV \times (SB' + 1)) \times \text{INT}(SV / DV \times 4096) + V1PHS_DCML \quad (SB' + 1) \times 4096$

$SB' = SV - 2$ の場合、例外処理として算出式にかかわらず $DCHIGH = DV - DT$ としてください

DCHIGH 算出式 :

判定式の結果が真 : $DCHIGH = \text{INT}(DV / SV \times (SB' + 1)) - DT$

判定式の結果が偽 : $DCHIGH = \text{INT}(DV / SV \times (SB' + 1)) - DT + 1$

ソース設定領域の水平方向幅 (SSWIDTH) ・ 垂直方向高さ (SSHIGH) の算出式

SSWIDTH 判定式 :

$SR' < SH - 2$ の場合、 $\text{INT}(DH / SH \times (SR' + 1)) \times \text{INT}(SH / DH \times 4096) + H1PHS_DCML \quad (SR' + 1) \times 4096$

$SR' = SH - 2$ の場合、例外処理として算出式にかかわらず $SSWIDTH = SH - SL$ としてください

SSWIDTH 算出式 :

判定式の結果が真 : $SSWIDTH = \text{INT}(((\text{INT}(DH / SH \times (SR' + 1)) - 1) \times \text{INT}(SH / DH \times 4096) + H1PHS_DCML) / 4096) - SL + 2$

判定式の結果が偽 : $SSWIDH = INT(((INT(DH / SH \times (SR' + 1)) - 0) \times INT(SH / DH \times 4096) + H1PHS_DCML) / 4096) - SL + 2$

SSHIGH 判定式 :

SB' < SV - 2 の場合、 $INT(DV / SV \times (SB' + 1)) \times INT(SV / DV \times 4096) + V1PHS_DCML \quad (SB' + 1) \times 4096$

SB' \geq SV - 2 の場合、例外処理として算出式にかかわらず SSHIGH = SV - ST としてください

SSHIGH 算出式 :

判定式の結果が真 : $SSHIGH = INT(((INT(DV / SV \times (SB' + 1)) - 1) \times INT(SV / DV \times 4096) + V1PHS_DCML) / 4096) - ST + 2$

判定式の結果が偽 : $SSHIGH = INT(((INT(DH / SH \times (SR' + 1)) - 0) \times INT(SV / DV \times 4096) + V1PHS_DCML) / 4096) - ST + 2$

ソース側先頭位置の位相計算式 (PHS_H / PHS_V)

$PHS_H = INT(SH / DH \times 4096) \times DL + H1PHS_DCML$

ソース側先頭位置の位相計算結果の整数部 (H1PHS_INTGR) = PHS_H(H) の上位10bit

ソース側先頭位置の位相計算結果の小数部 (H1PHS_DCML) = PHS_H(H) の下位12bit

$PHS_V = INT(SV / DV \times 4096) \times DT + V1PHS_DCML$

ソース側先頭位置の位相計算結果の整数部 (V1PHS_INTGR) = PHS_V(H) の上位9bit

ソース側先頭位置の位相計算結果の小数部 (V1PHS_DCML) = PHS_V(H) の下位 12bit

【注】 なお上記計算式中の INT は、小数部を切り捨てて整数に丸めることを意味します。

(e) レジスタ設定値の算出例 (水平方向についてのみ説明)

- 条件

ソース領域の水平方向幅 (SH) : 280画素

デスティネーション領域の水平方向幅 (DH) : 350画素

ソース領域で実際に更新された部分領域の左端画素数 (SL') : 55画素

ソース領域で実際に更新された部分領域の右端画素 (SR') : 133画素

ソース側先頭位置の位相計算結果の小数部 (H1PHS_DCML(D)) : 819(D) (=333(H))

- ユーザが算出する項目

部分リサイズ時のデスティネーション設定領域の左端画素数 (DL)

部分リサイズ時のソース設定領域の左端画素数 (SL)

部分リサイズ時のデスティネーション設定領域の水平方向幅 (DCWIDTH)

部分リサイズ時のソース設定領域の水平方向幅 (SSWIDTH)

ソース側先頭位置の位相計算結果の整数部 (H1PHS_INTGR)

ソース側先頭位置の位相計算結果の小数部 (H1PHS_DCML)

デスティネーション設定領域の左端画素の算出 (DL)

SL=55 画素なので、以下に従い判定します

$$\begin{aligned} \text{判定式} : & \text{INT}(\text{DH} / \text{SH} \times (\text{SL}' - 1)) \times \text{INT}(\text{SH} / \text{DH} \times 4096) + \text{H1PHS_DCML} \quad (\text{SL}' - 1) \times 4096 \\ & \text{INT}(350 / 280 \times (55 - 1)) \times \text{INT}(280 / 350 \times 4096) + 819 \quad (55 - 1) \times 4096 \end{aligned}$$

判定式の結果は偽なので、以下に従い算出します

$$\text{(偽)} : \text{DL} = \text{INT}(\text{DH} / \text{SH} \times (\text{SL}' - 1)) + 1 = \text{INT}(350 / 280 \times (55 - 1)) + 1 = 68$$

ソース設定領域の左端画素の算出 (SL)

SL=55 画素なので、以下に従い算出します

$$\begin{aligned} \text{SL} &= \text{INT}((\text{DL} \times \text{INT}(\text{SH} / \text{DH} \times 4096) + \text{H1PHS_DCML}) / 4096) \\ &= \text{INT}((68 \times \text{INT}(280 / 350 \times 4096) + 819) / 4096) = 54 \end{aligned}$$

以上よりソース側先頭位置の位相計算結果の整数部 H1PHS_INTGR=54

デスティネーション領域水平方向幅の算出 (DCWIDTH)

SR=133 画素 / SH=280 画素なので、以下に従い判定します

$$\begin{aligned} \text{判定式} : & \text{INT}(\text{DH} / \text{SH} \times (\text{SR}' + 1)) \times \text{INT}(\text{SH} / \text{DH} \times 4096) + \text{H1PHS_DCML} \quad (\text{SR}' + 1) \times 4096 \\ & \text{INT}(350 / 280 \times (133 + 1)) \times \text{INT}(280 / 350 \times 4096) + 819 \quad (133 + 1) \times 4096 \end{aligned}$$

判定式の結果は偽なので、以下に従い算出します

$$\text{(偽)} : \text{DCWIDTH} = \text{INT}(\text{DH} / \text{SH} \times (\text{SR}' + 1)) - \text{DL} + 1 = \text{INT}(350 / 280 \times (133 + 1)) - 68 + 1 = 100$$

ソース領域水平方向幅の算出 (SSWIDTH)

SR=133 画素 / SH=280 画素なので、以下に従い判定します

$$\begin{aligned} \text{判定式} : & \text{INT}(\text{DH} / \text{SH} \times (\text{SR}' + 1)) \times \text{INT}(\text{SH} / \text{DH} \times 4096) + \text{H1PHS_DCML} \quad (\text{SR}' + 1) \times 4096 \\ & \text{INT}(350 / 280 \times (133 + 1)) \times \text{INT}(280 / 350 \times 4096) + 819 \quad (133 + 1) \times 4096 \end{aligned}$$

判定式の結果は偽なので、以下に従い算出します

$$\begin{aligned} \text{(偽)} : \text{SSWIDTH} \\ &= \text{INT}(((\text{INT}(\text{DH} / \text{SH} \times (\text{SR}' + 1)) - 0) \times \text{INT}(\text{SH} / \text{DH} \times 4096) + \text{H1PHS_DCML}) / 4096) - \text{SL} + 2 \\ &= \text{INT}(((\text{INT}(350 / 280 \times (133 + 1)) - 0) \times \text{INT}(280 / 350 \times 4096) + 819) / 4096) - 54 + 2 = 81 \end{aligned}$$

【注】 このとき SL+SSWIDTH SH であるため、水平エッジは右端ではありません。したがって EDGE(0) ビット=0 と設定してください。

ソース側先頭位置の位相計算結果 (PHS_H)

$$\begin{aligned} \text{PHS} &= \text{INT}(\text{INT}(\text{SH} / \text{DH} \times 4096) \times \text{DL} + \text{H1PHS_DCML}) = \text{INT}(\text{INT}(280 / 350 \times 4096) \times 68 + 819) \\ &= 223587 \text{ (} =036963 \text{ (H))} \end{aligned}$$

上記よりソース側先頭位置の位相計算結果は以下となります。

$$\text{ソース側先頭位置の位相計算結果の整数部 (H1PHS_INTGR)} = \text{PHS_H(上位 10bit)} = 036(\text{H})$$

$$\text{ソース側先頭位置の位相計算結果の小数部 (H1PHS_DCML)} = \text{PHS_H(下位 12bit)} = 963(\text{H})$$

(f) CPU 側が DMAC へ設定すべき部分リサイズ領域の先頭アドレスの求め方

- ソース設定領域の先頭アドレス (Sa) の求め方

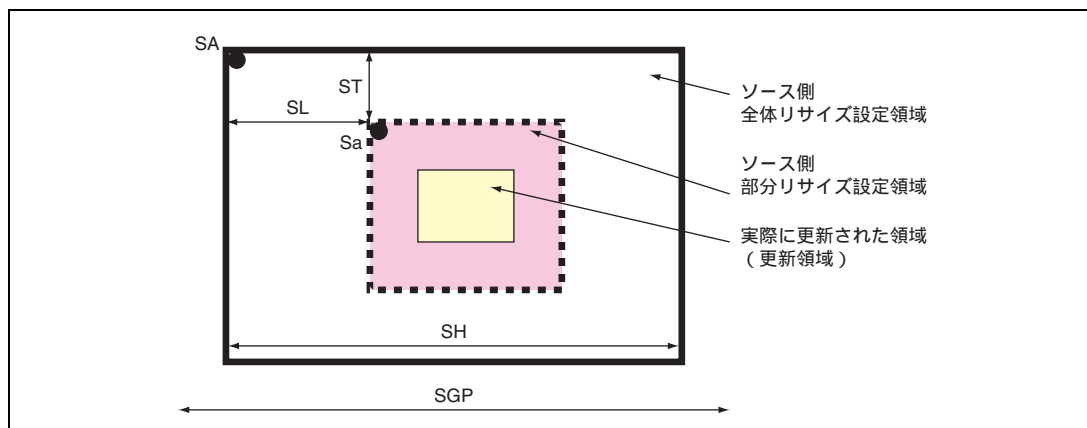


図28.42 ソース設定領域の先頭アドレス (Sa) の求め方

[定義]

Sa : ソースデータの部分リサイズ時の読み出し先頭アドレス

SA : ソースデータの全体リサイズ時の読み出し先頭アドレス

SGP : ソースプレーン行ピッチ (64Byte境界)

$$SGP = \text{ROUNDUP}((1 \text{ 画素あたりのバイト数}) \times SH / 64\text{Byte}) \times 64\text{Byte}$$

【注】なお計算式中のROUNDUPは、小数部を切り上げて整数に丸めることを意味します。

ST : 全体リサイズ時の垂直方向ソース読み出し領域の先頭ライン数から、部分リサイズ時の垂直方向ソース読み出し領域の上端画素までのライン数

SL : 全体リサイズ時の水平方向ソース読み出し領域の左端画素数から、部分リサイズ時の水平方向ソース読み出し領域の左端 (先頭) 画素までの画素数

Sa算出式 : $Sa = SA + SGP \times ST + SL \times (1 \text{ 画素あたりのバイト数})$

- デスティネーション設定領域の先頭アドレス (Da) の求め方

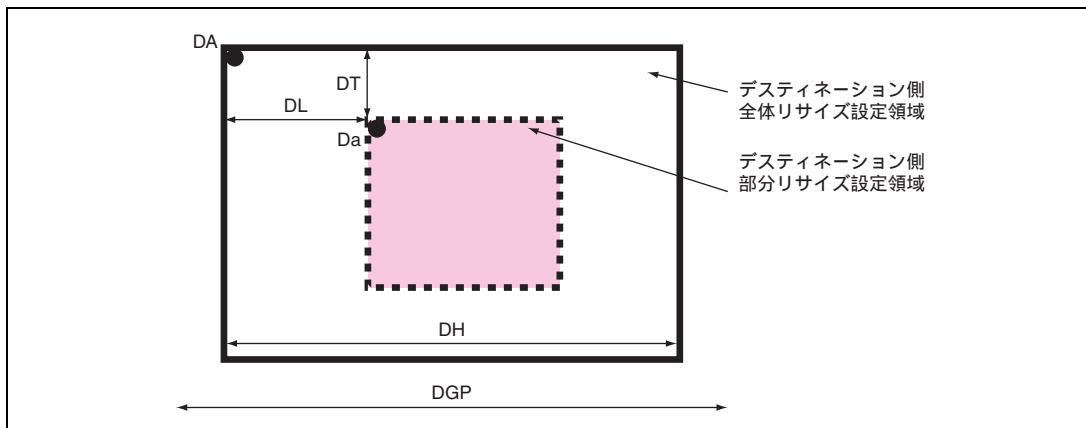


図28.43 デスティネーション設定領域の先頭アドレス (Da) の求め方

[定義]

Da : デスティネーション領域の部分リサイズ時の書き込み先頭アドレス

DA : デスティネーション領域の全体リサイズ時の書き込み先頭アドレス

DGP : デスティネーション領域の行ピッチ (64Byte境界)

$$DGP = \text{ROUNDUP}((1 \text{画素あたりのバイト数}) \times DH / 64\text{Byte}) \times 64\text{Byte}$$

【注】なお計算式中のROUNDUPは、小数部を切り上げて整数に丸めることを意味します。

DT : 全体リサイズ時の垂直方向デスティネーション領域の先頭ライン数から、部分リサイズ時の垂直方向デスティネーション領域の上端画素までのライン数

DL : 全体リサイズ時の水平方向デスティネーション領域の左端画素数から、部分リサイズ時の水平方向デスティネーション領域の左端 (先頭) 画素までの画素数

$$Da \text{算出式} : Da = DA + DGP \times DT + DL \times (1 \text{画素あたりのバイト数})$$

- メモリ空間上の配置

ソース画像水平幅 100 画素、ソース画像垂直幅 3 ラインとした場合のメモリ空間上の配置イメージを図 28.44 に示します。

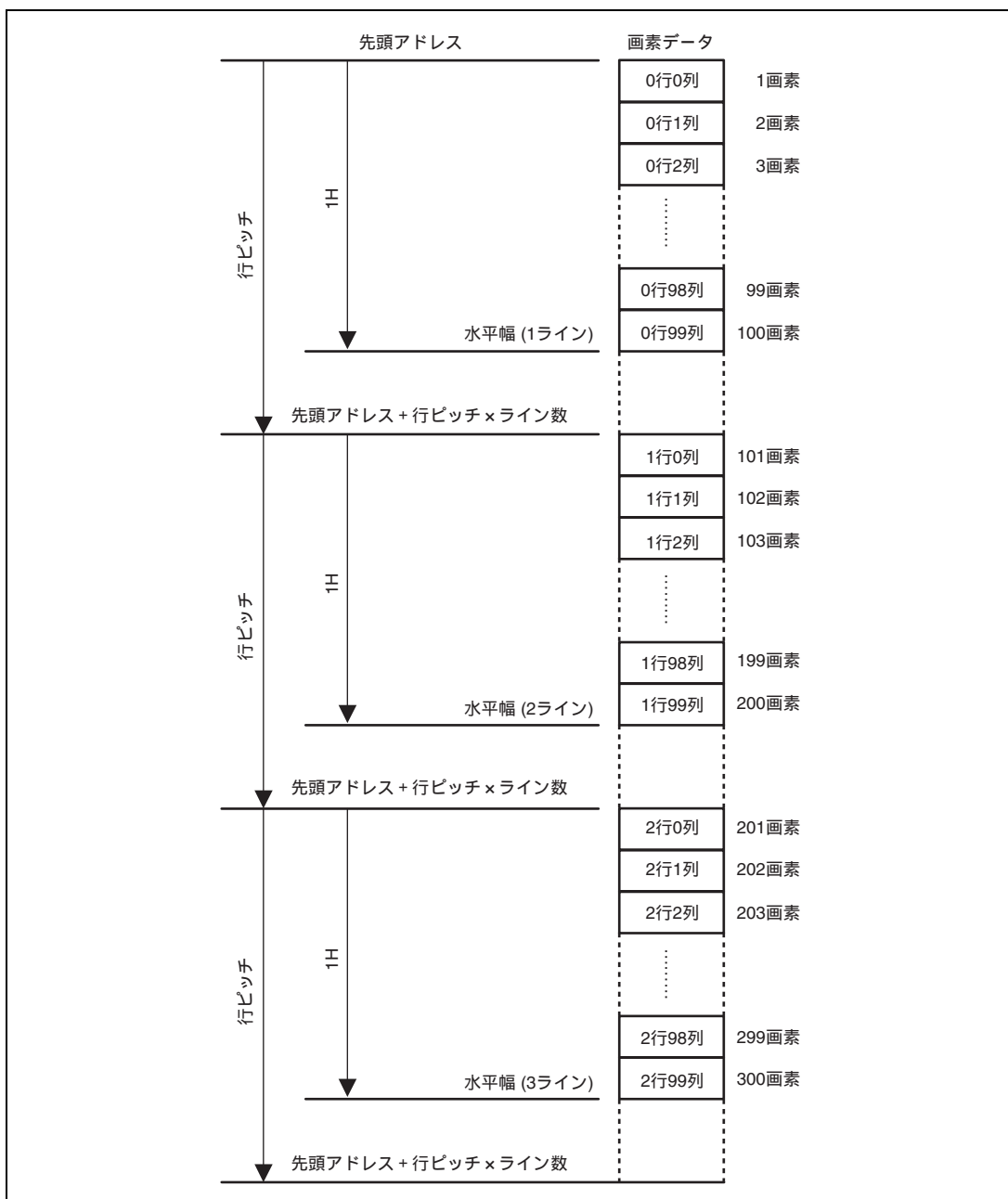


図28.44 メモリ空間上の配置イメージ

- 算出例

(1) ソース設定領域の先頭アドレス (Sa) の求め方

(a) 条件

全体リサイズ時のソース領域の先頭アドレス (SA) : 10000(H)(=65536)

全体リサイズ時のソース領域の水平画素数 (SH) : 120画素

部分リサイズ時の垂直方向ソース読出し領域の上端までのライン数 (ST) : 15ライン

部分リサイズ時の水平方向ソース読出し領域の左端(先頭)画素までの画素数 (SL) : 5画素

1画素あたりのバイト数 : 2Byte

(b) ソースプレーン行ピッチの算出 (SGP)

$$SGP = \text{ROUNDUP} \left(\left(1 \text{画素あたりのバイト数} \right) \times SH / 64\text{Byte} \right) \times 64\text{Byte}$$

$$= \text{ROUNDUP} \left(\left(2\text{Byte} \right) \times 120 / 64\text{Byte} \right) \times 64\text{Byte} = 256\text{Byte}$$

(c) ソース設定領域の先頭アドレスの算出 (Sa)

$$Sa = SA + SGP \times ST + SL \times \left(1 \text{画素あたりのバイト数} \right)$$

$$= 65536 + 256\text{Byte} \times 15 + 5 \times 2\text{Byte} = 69386 \quad (=10F0A(H))$$

(2) デスティネーション設定領域の先頭アドレス (Da) の求め方

(a) 条件

全体リサイズ時のデスティネーション領域の先頭アドレス (DA) : 11000(H)(=69632)

全体リサイズ時のデスティネーション領域の水平画素数 (DH) : 277画素

部分リサイズ時の垂直方向デスティネーション領域の上端までのライン数 (DT) : 33ライン

部分リサイズ時の水平方向デスティネーション領域の左端(先頭)画素までの画素数 (DL) : 15画素

1画素あたりのバイト数 : 2Byte

(b) デスティネーション行ピッチの算出 (DGP)

$$DGP = \text{ROUNDUP} \left(\left(1 \text{画素あたりのバイト数} \right) \times DH / 64\text{Byte} \right) \times 64\text{Byte}$$

$$= \text{ROUNDUP} \left(\left(2\text{Byte} \right) \times 277 / 64\text{Byte} \right) \times 64\text{Byte} = 576\text{Byte}$$

(c) デスティネーション設定領域の先頭アドレスの算出 (Da)

$$Da = DA + DGP \times DT + DL \times \left(1 \text{画素あたりのバイト数} \right)$$

$$= 69632 + 576\text{Byte} \times 33 + 15 \times 2\text{Byte} = 88670 \quad (=15A5E(H))$$

(6) 拡大リサイズ用重複ライン設定

垂直方向の拡大リサイズを行う場合、メモリ上のソース画像の画素データをライン単位で2回連続して使用することがあります。そのため、2回使用するラインの画素データ(ライン単位)をCPUが2DGへ2回連続して転送する必要があります。

(a) 対象条件

水平画素数がバッファのバンクサイズ(64画素)を超えるソース画像を垂直拡大リサイズする場合は対象です(水平リサイズ率は関係ありません)。つまり、

ソース画像の水平画素数 65 かつ 垂直拡大リサイズ
です。図 28.45、図 28.46に例を示します。

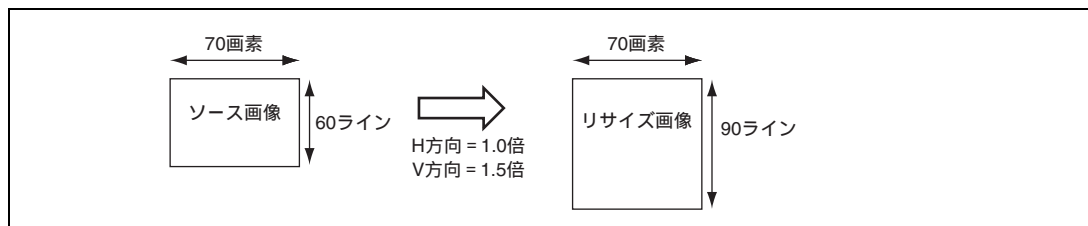


図28.45 拡大リサイズ用重複ライン設定例 1

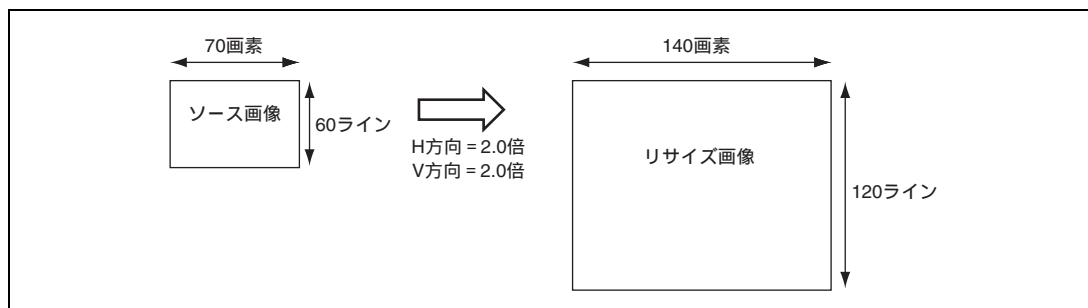


図28.46 拡大リサイズ用重複ライン設定例 2

(b) 対象ライン(重複ライン)の判別方法:

2回連続使用するラインは、以下の判別式にて判断します。

[判別式]

$$b0 = \text{INT}((\text{VDLT_DCML} \times \text{INT}(\text{SL} \times \text{DV} / \text{SV}) + \text{V1PHS_DCML} + (\text{VDLT_DCML} \times (-2))) / 4096)$$

$$b1 = \text{INT}((\text{VDLT_DCML} \times \text{INT}(\text{SL} \times \text{DV} / \text{SV}) + \text{V1PHS_DCML} + (\text{VDLT_DCML} \times (-1))) / 4096)$$

$$b2 = \text{INT}((\text{VDLT_DCML} \times \text{INT}(\text{SL} \times \text{DV} / \text{SV}) + \text{V1PHS_DCML} + (\text{VDLT_DCML} \times (0))) / 4096)$$

$$b3 = \text{INT}((\text{VDLT_DCML} \times \text{INT}(\text{SL} \times \text{DV} / \text{SV}) + \text{V1PHS_DCML} + (\text{VDLT_DCML} \times (1))) / 4096)$$

$$\text{IF}(\text{OR}(\text{AND}(b1=(\text{SL} - 1), b1=b0),$$

$$\text{AND}(b1=(\text{SL} - 1), b1=b2),$$

AND(b2=(SL - 1), b2=b3), 2, 1)

[記号意味]

SV : ソース画像 (リサイズ前) の垂直ライン数

DV : リサイズ画像 (リサイズ後) の垂直ライン数

SL : 判定するソース画像 (リサイズ前) のライン番号

V1PHS_DCML : 垂直方向初期位相小数部 (= デルタ未満での設定が可能)

VDLT_DCML : 垂直方向デルタ小数部

【注】 判別式が真 (2) なら 2 回連続転送ライン、偽 (1) なら 1 回転送ラインを示します。

表28.10 対象ライン (重複ライン) の判別方法例

例 1 : 垂直倍率 3/2 倍 SV = 100/DV = 150/V1PHS_DCML = 0		例 2 : 垂直倍率 5/4 倍 SV = 80/DV = 100/V1PHS_DCML = 0		例 3 : 垂直倍率 2/1 倍 SV = 100/DV = 200/V1PHS_DCML = 0	
SL	判定	SL	判定	SL	判定
0	1	0	1	0	1
1	2	1	2	1	2
2	2	2	1	2	2
3	1	3	1	3	2
4	2	4	2	4	2
5	1	5	1	5	2
6	2	6	1	6	2
:		:		:	:
:		:		:	:
78	2	:		:	:
:		79	1	:	:
:				:	:
99	1			99	2

【注】 SL = 0 ラインについては例外処理として、倍率に関係なく必ず 1 回転送ラインとしてください。

例として、以下の場合に重複ライン設定が必要であるかどうか判定します。

- 条件

ソース画素数 (SV) : 100 画素

デスティネーション画素数 (DV) : 150 画素

垂直先頭位置位相計算結果小数部 (V1PHS_DCML) : 555(H)(=1365(D))

ライン番号 (SL) : 78

- ユーザが算出する項目

垂直方向デルタ計算結果小数部 (VDLT_DCML)

VDLT_DCML を求めるため C_v を算出します。

$$C_v = \text{INT}((SV / DV) \times 4096) = \text{INT}(100 / 150 \times 4096) = 2730(D)$$

VDLT_DCML は C_v の下位 12bit になるため、VDLT_DCML=2730 となります。

ライン番号 (SL) =78 のとき、重複ライン設定が必要であるかどうか前述の[判別式]より求めます。

$$b_0 = \text{INT}((2730 \times \text{INT}(78 \times 150 / 100) + 1365 + (2730 \times (-2))) / 4096) = 76$$

$$b_1 = \text{INT}((2730 \times \text{INT}(78 \times 150 / 100) + 1365 + (2730 \times (-1))) / 4096) = 77$$

$$b_2 = \text{INT}((2730 \times \text{INT}(78 \times 150 / 100) + 1365 + (2730 \times (0))) / 4096) = 78$$

$$b_3 = \text{INT}((2730 \times \text{INT}(78 \times 150 / 100) + 1365 + (2730 \times (1))) / 4096) = 78$$

$$\text{IF}(\text{OR}(\text{AND}(77=(78-1), 77=76),$$

$$\text{AND}(77=(78-1), 77=78),$$

$$\text{AND}(78=(78-1), 78=78.)), 2, 1)$$

上記判別式においてすべての項が偽であるため、78 ラインは 1 回転送ラインとなります。

[転送画素データ設定例]

例として、表 28.10 中の例 1 について説明します。

この場合、以下の順番で CPU から 2DG へ画素データ (ライン単位) を転送するように設定してください。

転送データ (ライン単位) = 0、1、1、2、3、3、4、5、5、6、7、7、8、...

このように 1 ライン、3 ライン、5 ライン、7 ライン、... については画素データ (ライン単位) を 2 回連続転送してください。

[重複ライン設定時の転送ライン数の求め方]

重複ライン設定時の転送ライン数は、全体リサイズおよび部分リサイズに関係なく常に

重複ライン判別式から求められる総和=転送ライン数

となります。以下に全体リサイズ時、および部分リサイズ時それぞれについて例をあげて説明します。なお例ではすべて水平画素数が 65 画素以上ある重複ライン設定とします。

例 1 : 全体リサイズ時の重複ライン設定

- 条件

ソースライン数 : 20 ライン

デスティネーションライン数 : 40 ライン

倍率 : 2倍

この場合、各ラインに対して前述の[判別式]を適用すると、図 28.47 に示す判定結果となります。そのため転送ライン数は重複ライン判別式から求められる総和=39 ラインとなります。

ソースライン番号	判定結果
0	1
1	2
2	2
3	2
4	2
5	2
6	2
7	2
8	2
9	2
10	2
11	2
12	2
13	2
14	2
15	2
16	2
17	2
18	2
19	2

ソースライン数 : 20ライン

転送ライン数 = 判定結果の総和 : 39ライン

図28.47 全体リサイズ時の重複ライン設定

例 2 : 部分リサイズ時の重複ライン設定

• 条件

ソースライン数 : 9ライン

デスティネーションライン数 : 18ライン

倍率 : 2倍

ソース先頭位置 : 5ライン

この場合、各ラインに対して前述の[判別式]を適用すると、図 28.48に示す判定結果となります。そのため転送ライン数は重複ライン判別式から求められる総和=17ラインとなります。

ソースライン番号	判定結果
0	
1	
2	
3	
4	
5	1
6	2
7	2
8	2
9	2
10	2
11	2
12	2
13	2
14	
15	
16	
17	
18	
19	

ソースライン数 : 9ライン

転送ライン数 = 判定結果の総和 : 17ライン

図28.48 部分リサイズ時の重複ライン設定

(c) 重複ライン設定時のレジスタの設定方法

重複ライン設定を行う場合、2DGのリサイズレジスタの設定は通常のリサイズ設定方法と同様です。ソース画像サイズには、CPUが2DGに実際に転送する水平画素数とライン数を設定してください。リサイズ画像サイズには、2DGが実際にメモリに書き出す水平画素数とライン数を設定してください。図28.49、図28.50に例を示します。

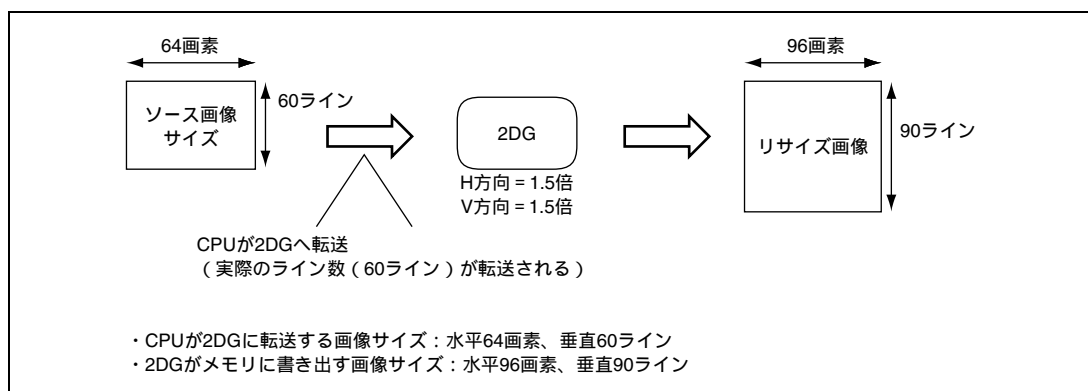


図28.49 水平画像が64画素以下の画像を水平・垂直ともに拡大する場合(通常設定(重複設定ではない))

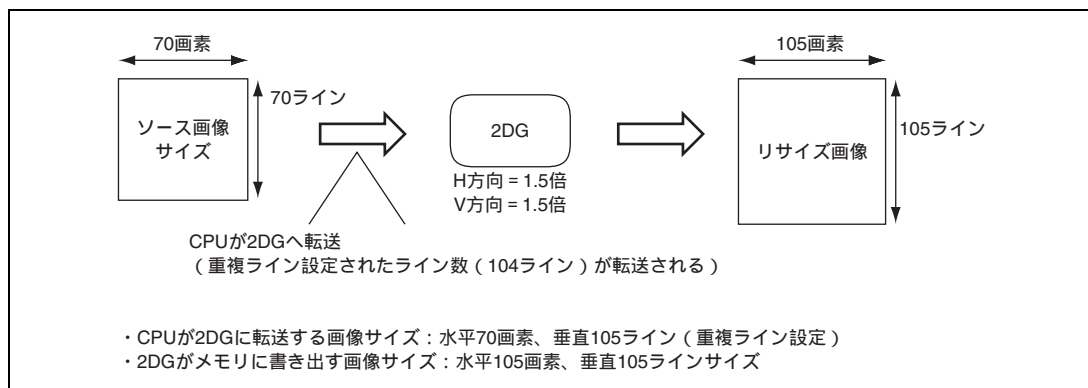


図28.50 水平画像が65画素以上の画像を水平・垂直ともに拡大する場合(重複ライン設定)

28.4.4 出力動作

(1) 出力部と外部メモリ間の動作概要

出力部と外部メモリ間の動作概要について以下に示します。

1. 出力部はDMA要求信号をネゲートし、外部メモリからのDMA転送を受け付けます
2. SEバッファ (SE1、SE2) にて、DMA転送されたデータを交互にバッファリングします
3. VSYNC信号をトリガにして各種処理を行い、パネルユニットへ出力します
4. データ処理がすべて完了するまで、上記1.~3.を繰り返し行います

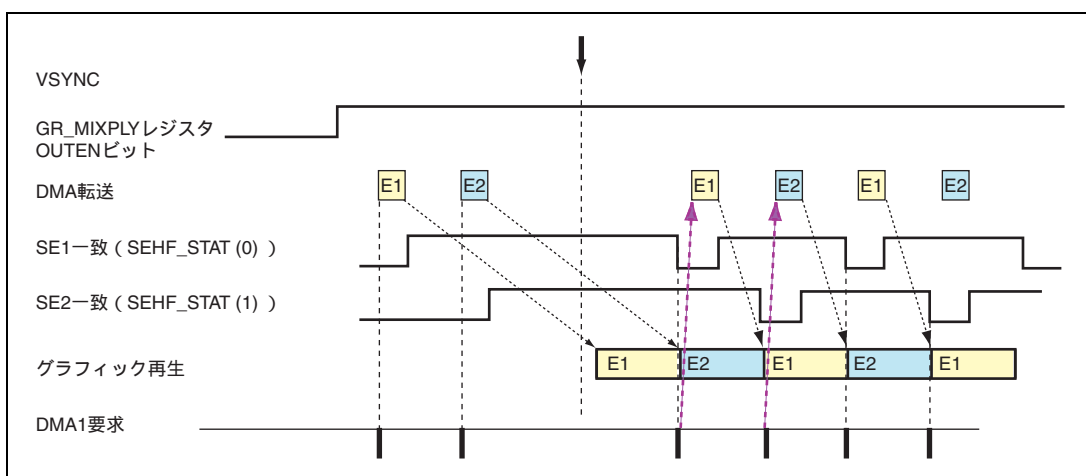


図28.51 出力部と外部メモリ間の動作概要

(2) 出力部画素フォーマット変換

出力部は画素フォーマットとして、RGB444 および RGB555 のフォーマット設定が可能です。出力部は動画とのブレンドを各色 6 ビットで行います。そのため各フォーマットから統一フォーマット (4 ビット) + RGB (各 6 ビット) = 計 22 ビットに変換します。以下に各フォーマットから統一フォーマットへの変換則を示します。

- RGB444 (AF83 (H)) 統一フォーマットへの変換

: A (H) A (H) R : F (H) 3C (H) G : 8 (H) 20 (H) B : 3 (H) 0C (H)

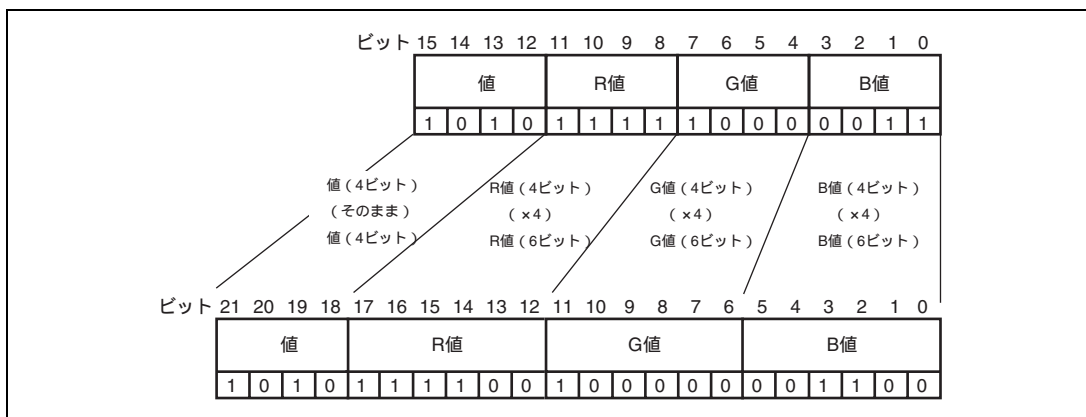


図28.52 出力部画素フォーマット変換 (1)

- RGB555 (F599 (H)) 統一フォーマットへの変換

: 1 (H) MGR_MIXMODEレジスタCHG_Aビット

R : 1D (H) 3A (H) G : 0C (H) 18 (H) B : 19 (H) 32 (H)

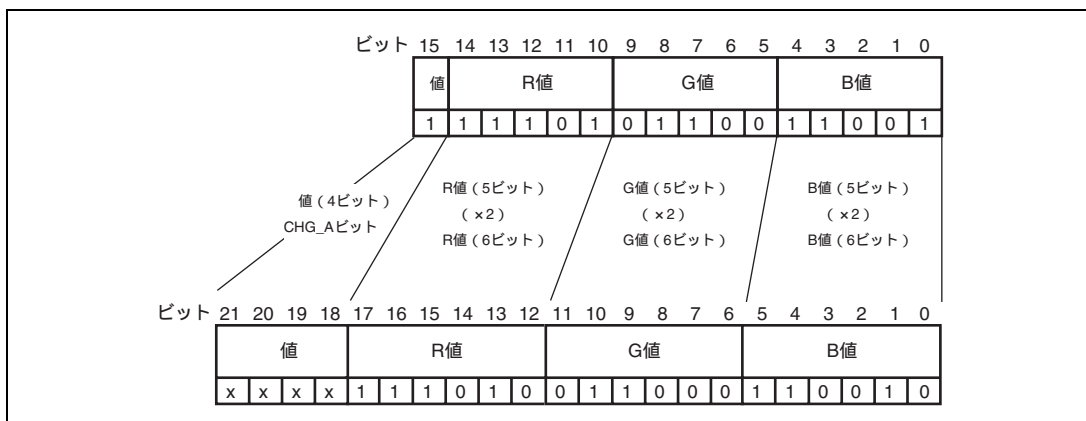


図28.53 出力部画素フォーマット変換 (2)

(3) 出力部動作概要

出力部動作概要として、SDRAM 上の任意のメモリ空間領域上に書かれた出画ブレン PX から、指定された画素数を DMAC によって、SE バッファにデータ転送し、動画と合成して出力する場合の動作例を示します。

メモリブレン PX の領域設定は、ライン数は MGR_SESET レジスタの SEHIGH ビットで、画素数は MGR_SESET レジスタの SEWIDTH ビットで設定します。

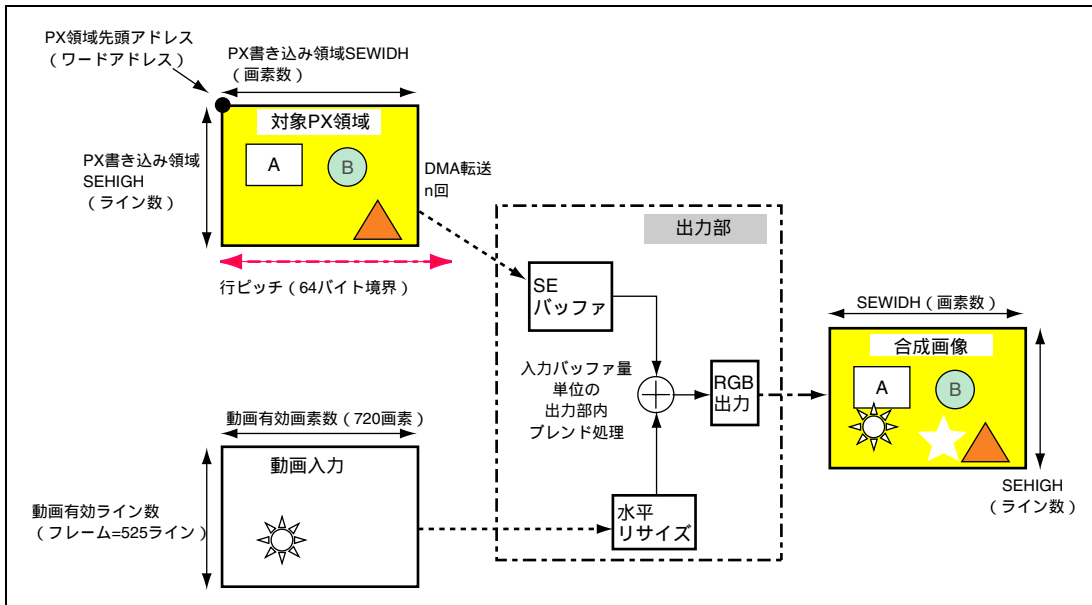


図28.54 出力部動作概要

SE バッファは、960 バイトのダブルバッファ構成 (SE1、SE2) です。たとえば、MGR_SESET レジスタ SEWIDTH ビット=480(画素)、MGR_SESET レジスタ SEHIGH ビット=240(ライン)を設定し、GR_MIXPLY レジスタ OUTEN ビット=1 を設定しグラフィック表示許可としたとき、以下のように動作します。

1. 最初の480画素をSE1に転送します (SEHF_STAT (0) =1)。VIVSYNC入力後コンスタント出力処理を行い出画します。
2. 次の480画素をSE2に転送します (SEHF_STAT (1) =1)。VIVSYNC入力後コンスタント出力処理を行い出画します。
3. 240ラインまでSE1およびSE2への転送を繰り返し、240ラインで割り込み信号INT_FILDを出力します。
4. GR_MIXPLYレジスタのOUTENビットが0に設定変更されるまで、上記1.~3.の処理を繰り返します。

(4) リサイズ処理

(a) リサイズ用デルタの設定値方法

リサイズ用デルタ (Ch) 設定値は以下の算出式に基づき求めます。

$$\text{Ch} = (\text{ソース解像度} / \text{デスティネーション解像度}) \times 4096$$

【注】 Ch = 1 / リサイズ率は必ず (ソース画素数 / デスティネーション画素数) から算出してください。

たとえば、ソース画素数を 720、デスティネーション画素数を 480 とすると Ch は、

$$\text{Ch} = (720 / 480) \times 4096 = 6144 = 1800 (\text{H})$$

となります。

これからリサイズ用デルタ設定値は以下となります。

MHDLT_INTGR は Ch の整数部 (4 ビット) であるため、MHDLT_INTGR = 1 (H)

MHDLT_DCML は Ch の小数部 (12 ビット) であるため、MHDLT_DCML = 800 (H)

リサイズ機能を使用しないときには、MHDLT_INTGR ビット=1(H)/MHDLT_DCML ビット=000(H)に設定してください。

(b) リサイズ用ソース側先頭位相の設定方法

ソース側先頭位相 (Psh) は以下の算出式に基づき求めます。

$$\text{Psh} = \text{Ch} \times (\text{スタートさせる画素数}) + (\text{スタートさせる初期位相} \times 4096)$$

このとき、MH1PHS_DCML は Psh の小数部 (12 ビット) になります。また、リサイズ未使用時や等倍 (リサイズ 1 倍) の場合には、Psh = 0 としてください。なお、出力部ではリサイズ対象が動画であるため、スタートさせる画素数は必ず 0 画素目 (先頭画素) になります。そのためプリット部とは異なり、Psh で必要とするのは小数部のみとなります。

(5) 出力部ブレンド処理

出力部のブレンド処理機能を以下に示します。出力部ブレンド部からの出力は以下の計算式に基づき行われま

$$C_p = (F_c \times C_{dc}) + (F_d \times C_v)$$

このとき、 F_c と F_d の設定は MGR_MIXMODE レジスタ FCFD ビットにより行います。以下に FCFD レジスタの設定値を示します。

表28.11 MGR_MIXMODE レジスタ FCFD ビットの詳細

FCFD (レジスタ値)	F_c	F_d	備考
000 (初期値)	1	$1 - dc$	SE 入力画像が premultiplied のときです。
001	dc	$1 - dc$	SE 入力画像が non-premultiplied のときです。
010	1	0	グラフィックのみ出力します。
011	0	1	動画のみ出力します。
100	0	0	なにも出力しません (黒画面出力)。
その他	-	-	リザーブ

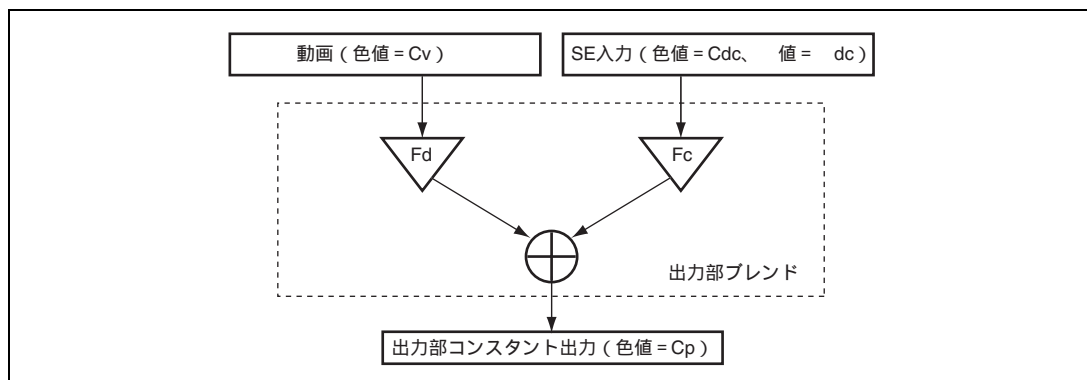


図28.55 出力部ブレンド処理の動作概要

28.4.5 割り込み

2DG の割り込み信号は、プリット部関連割り込み (BLT 割り込み) および出力部関連割り込み (出力割り込み) の 2 種類があります。表 28.12 に割り込み要因と発生 / クリア条件の対応を示します。また、図 28.56 に割り込み構成図を示します。

表28.12 割り込み要因と発生 / クリア条件

割り込み要因	ステータスビット	発生条件	クリア条件
BLT 割り込み	DC バッファフルフラグ (IRQ_DHFUL ビット)	DC バッファにてフルフラグが発生した時	GR_INTDIS レジスタ DIS_DSHFUL ビットに 1 ライトでクリア
	SA バッファフルフラグ (IRQ_ASHFUL ビット)	SA バッファにてフルフラグが発生した時	GR_INTDIS レジスタ DIS_ASHFUL ビットに 1 ライトでクリア
	SB バッファフルフラグ (IRQ_SHFUL ビット)	SB バッファにてフルフラグが発生した時	GR_INTDIS レジスタ DIS_SHFUL ビットに 1 ライトでクリア
	プリット動作完了 (INT_GR ビット)	プリット動作が完了した時	GR_INTDIS レジスタ DIS_GR ビットに 1 ライトでクリア
出力割り込み	SE バッファフルフラグ (IRQ_DEMPT ビット)	SE バッファにてフルフラグが発生した時	GR_INTDIS レジスタ DIS_DEMPT ビットに 1 ライトでクリア
	出力部 VSYNC 入力 (INT_VSYN ビット)	VSYNC 入力がある時 (ただし表示 ON の場合のみ)	GR_INTDIS レジスタ DIS_VSYN ビットに 1 ライトでクリア
	出力部出力アンダフロー発生 (INT_UDFL ビット)	出力部出力アンダフローが発生した時	GR_INTDIS レジスタ DIS_UDFL ビットに 1 ライトでクリア
	出力部最終ライン取込完了 (INT_FILD ビット)	SE バッファの最終ライン取り込みが完了した時	GR_INTDIS レジスタ DIS_FILD ビットに 1 ライトでクリア

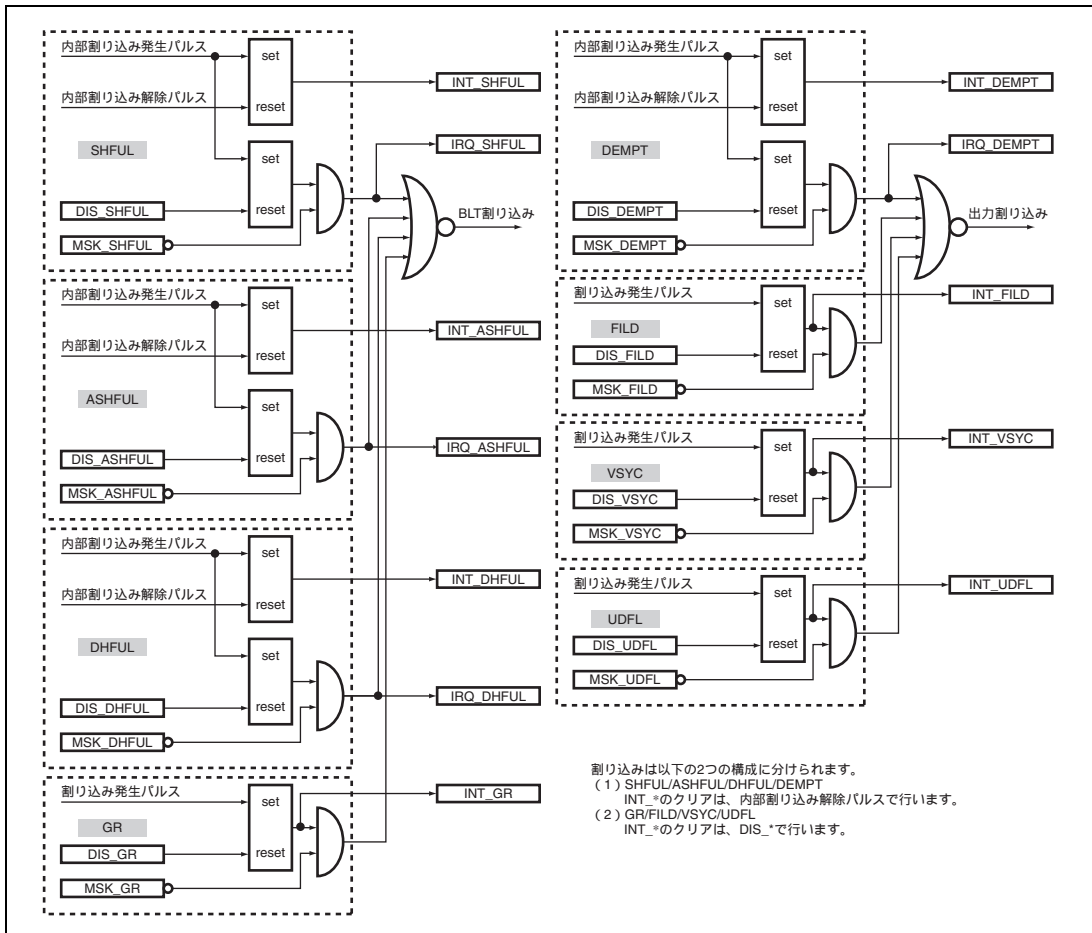


図28.56 割り込み構成図

2DGの割り込み処理は、以下の2つの方法に分別されます。

- (1) 割り込み要因が、DCバッファフル、SAバッファフル、SBバッファフル、SEバッファフルの場合
 - (1-1) 2DG 内部にて割り込み事象が発生します
 - (1-2) GR_IRSTAT レジスタ INT_****ビット/IRQ_****ビットをセットします (=割り込み信号：負論理)
 - (1-3) CPU が割り込みを認識し、GR_IRSTAT レジスタをリードします
 - (1-4) CPU が GR_INTDIS レジスタに"1"をライトします
 - (1-5) 上記を受け GR_IRSTAT レジスタ IRQ_****ビットをクリアします (=割り込み信号解除)
 - (1-6) 2DG 内部にて割り込み事象解除が発生します
 - (1-7) 上記を受け、GR_IRSTAT レジスタ INT_****ビットをクリアします

図 28.57に SB バッファフル時の処理フローを示します。

CPU が GR_INTDIS レジスタにライトする (上記 (1-4)) ことで解除されるレジスタは、GR_IRSTAT レジスタ IRQ_****ビットのみであり、GR_IRSTAT レジスタ INT_****ビットはクリアされません。

また CPU がグラフィック部割り込みステータスレジスタをリードする (上記 (1-3)) 前に、2DG 内部にて該当割り込み事象解除が発生した場合 (上記 (1-6))、GR_IRSTAT レジスタをリードするとすでに対応する GR_IRSTAT レジスタ INT_****ビットがクリアされたレジスタ値が読み出されます。

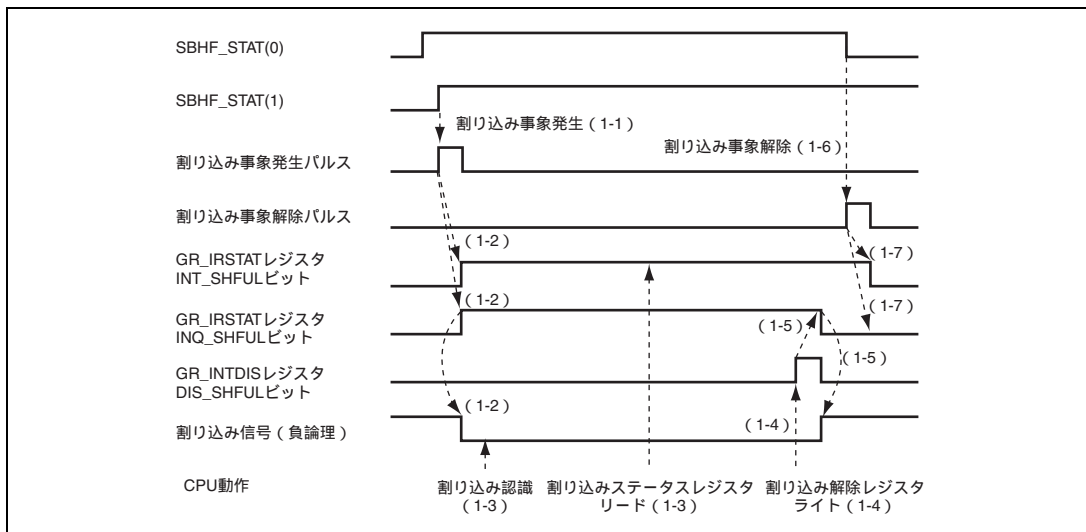


図28.57 割り込み処理 (1)

(2) 割り込み要因が、プリット動作完了、出力部 VSYNC 入力、出力部出力アンダフロー発生、出力部最終ライン取り込み終了の場合

(2-1) 2DG 内部にて割り込み事象が発生します

(2-2) GR_IRSTAT レジスタ INT_****ビットをセットします (=割り込み信号：負論理)

(2-3) CPU が割り込みを認識し、GR_IRSTAT レジスタをリードします

(2-4) CPU が GR_INTDIS レジスタに"1"をライトします

(2-5) 上記を受け、GR_IRSTAT レジスタ INT_****ビットをクリアします (=割り込み信号解除)

図 28.58に 1 入力プリット完了時の処理フローを示します。

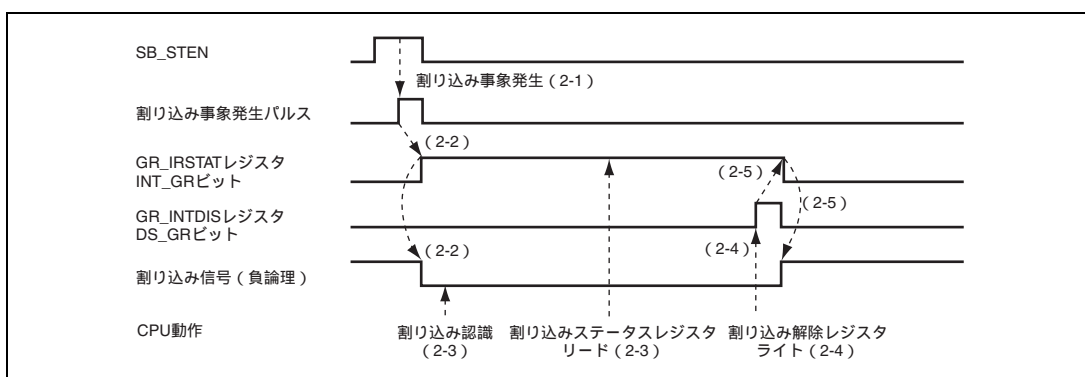


図28.58 割り込み処理 (2)

2DG の割り込み信号はレベル信号であり、各割り込み信号に対して複数のステータスビットが割り当てられています。そのため CPU は割り込み信号が解除されるまで割り込みステータスレジスタのリードを行い、すべての対応するステータスビットを認識し定められた優先度に従い処理を行う必要があります。

28.5 付録 VIDEO OUT (D/A 変換器)

VIDEO OUT は電流セルマトリックス型 D/A 変換器を用いた電流出力方式の D/A 変換器 (DAC) を内蔵し、6 ビットのデジタル入力信号に対応した電流をアナログ出力端子 R、G、B から出力します。

28.5.1 アナログ出力電流

(1) DAC 出力抵抗 (RL) の決定

本 DAC は電流出力タイプの DAC ですので、電流を電圧に変換するためには LSI 外部に抵抗 (RL) が必要となります。RL は許容電流値、外部負荷容量 (CL)、所望整定時間 (tset) に応じて 75 ~ 180 の間で設定することができます。RL の計算式を以下に示します。

ここでは出力が変化しはじめてから最終到達レベルの ±1.0% に収束するまでの時間を整定時間と定義します。

$$t_{set} = 4.6 \times RL \times C \quad t_{set} : \pm 1\% \text{ 整定時間 [ns]}, C : \text{総負荷容量 [pF]}$$

$$C = C_{in} + CL \quad C_{in} : \text{モジュール内部容量 (約 5pF) [pF]}, CL : I/O+PKG+基板上容量 [pF]}$$

ここで、所望の整定時間を得るために RL が満たすべき条件は、

$$RL < t_{set} / \{4.6 \times (C_{in} + CL)\}$$

となります。

数値例 (tset=18[ns]、CL=15[pF]の場合)

$$RL < 18\text{ns} / \{4.6 \times (5\text{pF} + 15\text{pF})\} = 195.6$$

したがって、18ns で整定させたい場合は、RL を 195.6 以下 (たとえば 180) に設定してください。

(2) DAC 出力電流 (I/O Max.) の決定

本 DAC は最大出力電圧が 1.0V となるように設計されています。したがって、RL が決まると I/O Max. が計算できます。

$$I/O \text{ Max.} = 1.0 / RL \quad (RL = 180 \text{ の場合、} I/O \text{ Max.} = 5.6\text{mA} \text{ となります。)}$$

【注】 I/O Max. は、必ず 13.4mA 以下で設計してください。これを超える使い方をした場合、性能および信頼性低下の原因になる可能性がありますのでご注意ください。

(3) Rext 抵抗の決定

本モジュール内部では図 28.59 に示すように、オペアンプを用いた回路で電流セルを駆動しています。

VCCA=3.3V 時、オペアンプの "+" 端子は、約 0.91V になるように設定されています。オペアンプには負帰還がかかっていますので、REXT 端子にも約 0.91V が現われます。

各電流セルはオペアンプの負荷回路とカレントミラーになるようにできていますので、外付け抵抗 Rext を小さくすると各電流セルの出力電流が増し、アナログ出力 R、G、B の出力電流が増えます。フルスケール時の出力電流 I/O Max. と Rext の関係は、次の式で与えられます。

$$R_{ext} = \{VCCA \times (4 / 15) + 0.03\} \times (1023 / 32) / I/O \text{ Max.}$$

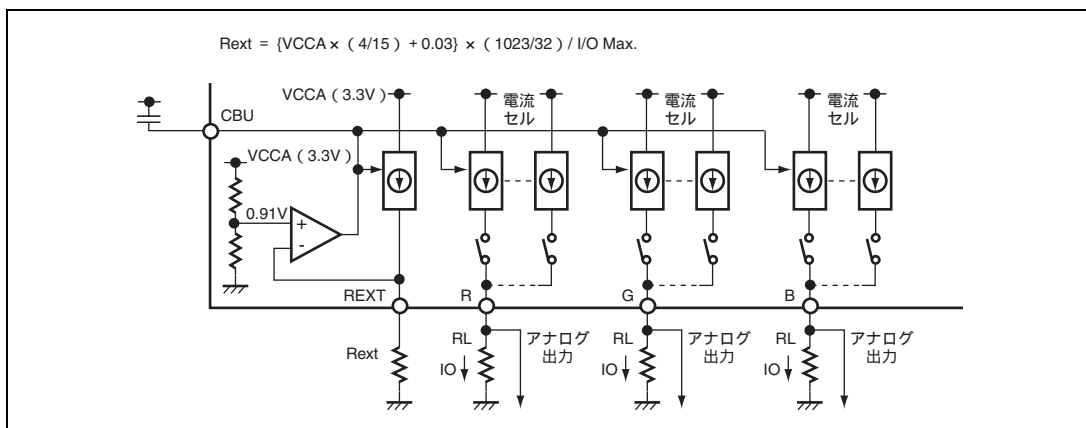


図28.59 電流セルとアナログ出力

本モジュールのアナログ出力電圧は図 28.60 に示すとおり、最大出力が 1.0V です。

アナログ出力電圧は R_{ext} の値で調整し、図 28.60 に示す範囲に入るようにしてください。この範囲を超えて使用した場合、精度および信頼性低下の原因となりますので注意してください。

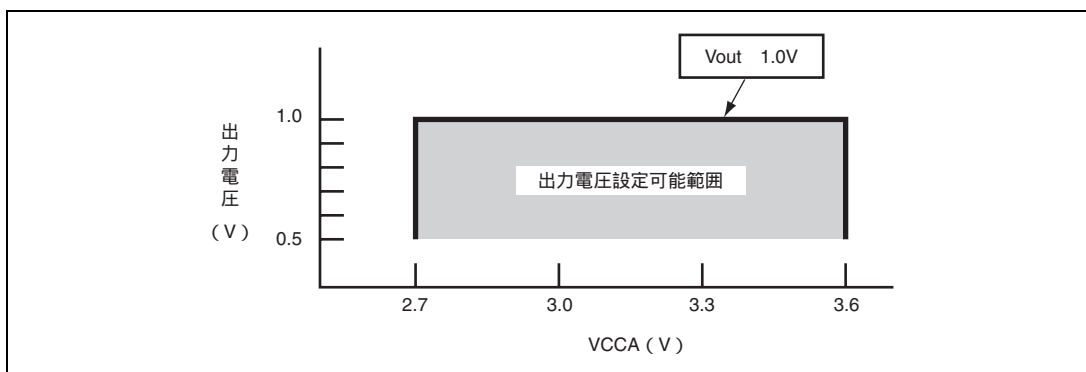


図28.60 アナログ出力電圧範囲

28.5.2 使用上の注意

(1) 電源端子

D/A 出力電圧は、1 ステップが約 1mV という微小電圧ですので、LSI 外部から入り込んでくるノイズをできるかぎり小さくする必要があります。そのため、各電源端子と VSS 間に 0.01 ~ 0.1 μ F 程度のセラミックコンデンサを、できるかぎり LSI のピンの近くにつけるようにしてください。また、電源と VSSA 間に最低 1 個ずつ 10 μ F のコンデンサをつけることをお奨めします (図 28.61)。

(2) 電源分離

アナログ電源にできるかぎりノイズのない電圧を供給するため、システムのアナログ電源を本 DAC の電源に供給してください (図 28.61)。また、VSSA もシステムのアナロググランドに接続してください。

(3) CBU 端子

CBU 端子はオペアンプの位相補償用コンデンサを接続する端子です。VCCA との間にコンデンサを接続してください。この端子にはこれ以外の素子や回路を接続しないでください。

(4) REXT 端子

REXT 端子は本モジュールの基準電流を決定するための外付け抵抗素子を接続する端子です。RL に対応した抵抗素子を VSSA との間に接続してください。また、この端子にノイズが乗ると D/A 変換結果に大きく影響します。

ピン配置検討、基板設計に際しては DAC 出力やその他デジタル信号と交差や並走がないように注意してください。

28.5.3 使用例

図 28.61 に DAC の使用例を示します。

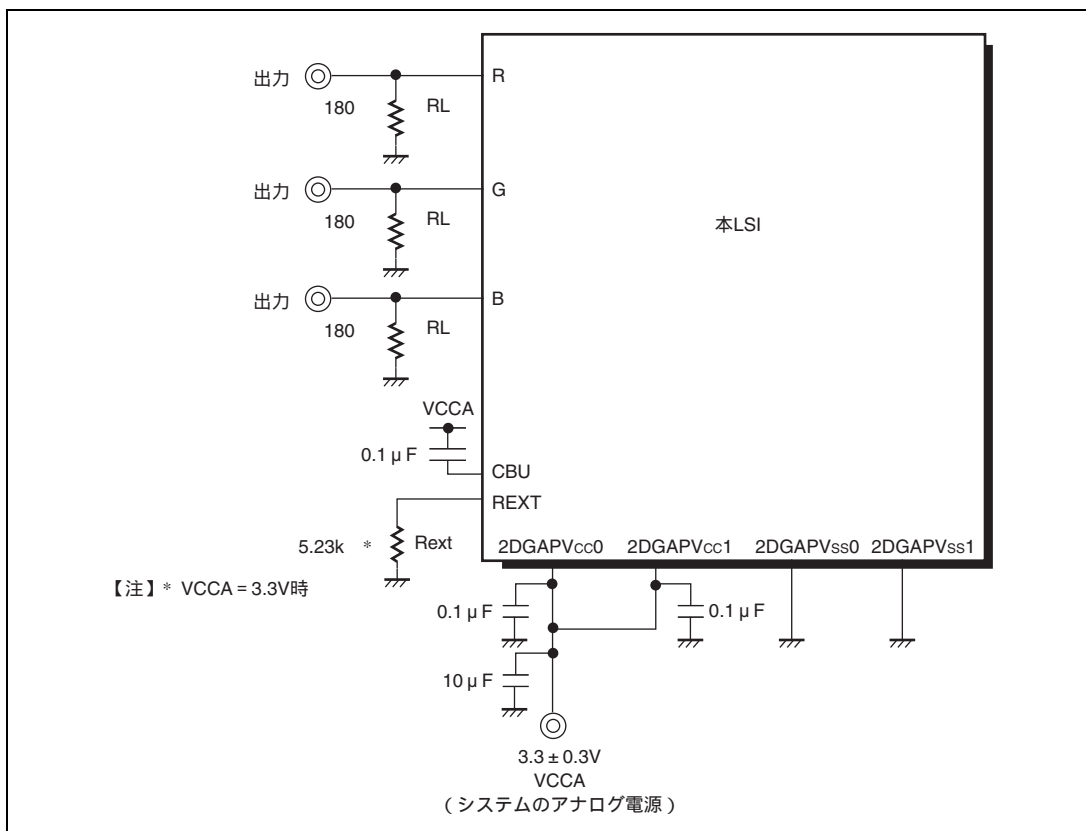


図28.61 DAC の使用例

29. AAC エンコーダ (AESOP)

AAC エンコーダ (AESOP) は、AAC のオーディオ符号化を実行するためのアクセラレータです。AAC のオーディオ符号化は、ホスト CPU 処理負荷なしの独立ハードとして、バスクロック周波数 66MHz の場合、単体性能で最大 20 倍速の動作が可能です。ただし、システムの動作条件により、エンコード速度は影響を受けますので、ご注意ください。

29.1 特長

AESOP の特長を表 29.1 に示します。

表 29.1 AESOP の特長

機 能	エンコーダ
入力形式	16 ビット PCM ステレオ
出力形式	RAW データ、ADTS 形式
エンディアン	ビッグエンディアン
アルゴリズム	MPEG2 AAC (ISO/IEC13818-7) 準拠
プロファイル	LC プロファイル
チャンネル	ステレオのみ対応
サンプリング周波数	44.1 kHz
ビットレート	ステレオ : 256 kbps

図 29.1 に AESOP のブロック図を示します。

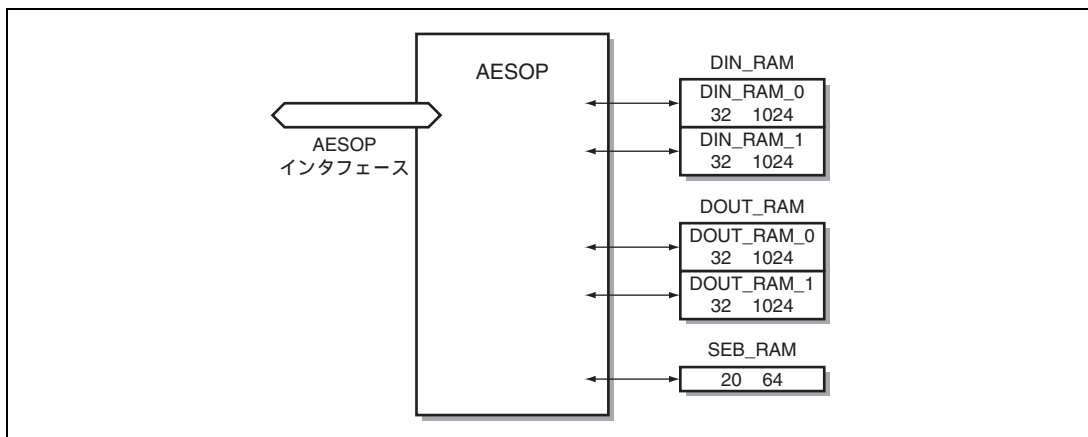


図 29.1 AESOP のブロック図

以下、AESOP のブロックを構成する機能の概要です。

- AESOPインタフェース：ホストモジュールとの接続インタフェースです。
- DIN_RAM：AESOPでエンコード処理するPCMデータを格納します。DIN_RAM_0とDIN_RAM_1の2面構成になっており、それぞれ4Kバイトです。
- DOUT_RAM：AESOPでエンコード処理されたAACデータを格納します。DOUT_RAM_0とDOUT_RAM_1の2面構成になっており、それぞれ4Kバイトです。
- SFB_RAM：エンコード初期値設定において、設定される係数を格納します。

29.2 入力形式

AESOPに入力する 16 ビット PCM ステレオのデータは、必ず図 29.2 に示すような形式（ビッグエンディアン）で入力してください。その他の場合は、ブリッジなどで変換してください。

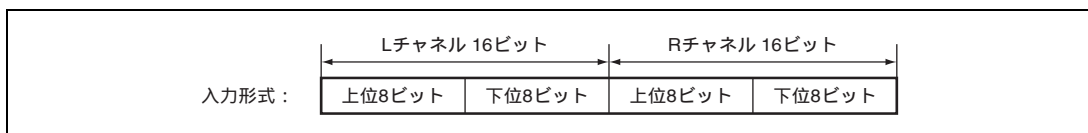


図 29.2 入力形式

29.3 レジスタの説明

AESOP のレジスタ構成を表 29.2 に示します。

表 29.2 レジスタ構成

レジスタ名称	略称	R/W	初期値	アドレス	アクセス サイズ
ソフトウェアリセットレジスタ	SWRSR	R/W	H'00000001	H'FFFA1000	32
エンコード処理初期化レジスタ	RPRSR	R/W	H'00000000	H'FFFA1004	32
DMA コントロールレジスタ	DMACR	R/W	H'00000000	H'FFFA1008	32
DIN_RAM バッファライト用 DMA 転送レジスタ	DMADI	W	不定	H'FFFA100C	32
DOUT_RAM バッファリード用 DMA 転送レジスタ	DMADO	R	不定	H'FFFA1010	32
リザーブ	-	-	-	H'FFFA1014	32
リザーブ	-	-	-	H'FFFA1018	32
イベントマスクレジスタ	EVMSR	R/W	H'00000000	H'FFFA101C	32
リザーブ	-	-	-	H'FFFA1020	32
イベントクリアレジスタ	EVCLR	R/W	H'000001xx	H'FFFA1024	32
設定指定レジスタ 1	MBOTR	R/W	H'00000000	H'FFFA1028	32
設定指定レジスタ 2	BACCR	R/W	H'00000000	H'FFFA102C	32
設定指定レジスタ 3	ACESR	R/W	H'00000000	H'FFFA1030	32
オーディオ処理情報設定レジスタ	ADIFR	R/W	H'00000004	H'FFFA1034	32
設定指定レジスタ 4	TBR SR	R/W	H'00000000	H'FFFA1038	32
ヘッダ設定レジスタ	HEADR	R/W	H'00000000	H'FFFA103C	32
ADTS 形式ヘッダ情報設定レジスタ	ADTSR	R/W	H'00000000	H'FFFA1040	32
設定指定レジスタ 5	MSS1R	R/W	H'00000000	H'FFFA1044	32
設定指定レジスタ 6	MSS2R	R/W	H'00000000	H'FFFA1048	32
設定指定レジスタ 7	QLMDR	R/W	H'00000000	H'FFFA104C	32
設定指定レジスタ 8	QCHAR	R/W	H'00000000	H'FFFA1050	32
設定指定レジスタ 9	QGGAR	R/W	H'00000000	H'FFFA1054	32
リザーブ	-	-	-	H'FFFA1058	32
設定指定レジスタ 10	SDTRR	R/W	H'00000000	H'FFFA105C	32
ストリームデータ強制転送レジスタ	SDFOR	R/W	H'00000000	H'FFFA1060	32
ストリームデータ強制転送バイト量表示レジスタ	SDBTR	R	H'00000000	H'FFFA1064	32
リザーブ	-	-	-	H'FFFA1068	32
フレームバイト量表示レジスタ	FBYTR	R	H'00000000	H'FFFA106C	32
リザーブ	-	-	-	H'FFFA1070	32
リザーブ	-	-	-	H'FFFA1074	32

29.3.1 ソフトウェアリセットレジスタ (SWRSR)

SWRSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、AESOP 内部回路の動作 / 停止状態を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SWRST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SWRST	1	R/W	ソフトウェアリセット 本ビットが 0 の間は AESOP 内部回路がリセット状態となります。本レジスタ以外のレジスタはリセット状態となり、リセット状態の解除後に再設定が必要となります。 0 : リセット状態 1 : 動作状態

29.3.2 エンコード処理初期化レジスタ (RPRSR)

RPRSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、AESOP のエンコード処理の曲単位または任意のデータ単位に初期化を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RPRST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RPRST	0	R/W	エンコード初期化ビット 本ビットが 1 となると AESOP のエンコード処理が初期化されます。本ビットを 1 にセットした場合、必ず 0 に戻してください。 0 : 待機 1 : エンコード処理の初期化状態

29.3.3 DMA コントロールレジスタ (DMACR)

DMACR は、読み出し/書き込み可能な 32 ビットのレジスタで、DMA の転送を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TRAN DOCTL	TRAN ICTL	-	-	-	-	-	-	DMA OMD	DMA IMD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TRANDOCTL	0	R/W	DMACR 設定指定ビット 2 本ビットは、1 を設定してください。
8	TRANICTL	0	R/W	DMACR 設定指定ビット 1 本ビットは、1 を設定してください。
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DMAOMD	0	R/W	出力 DMA 転送モード DMA 転送により DOUT_RAM からのデータ出力許可を設定します。本ビットを DMA 転送許可に設定する場合は、必ず本レジスタの TRANOCTL ビットを 1 に設定してください。 0 : DMA 転送禁止 1 : DMA 転送許可
0	DMAIMD	0	R/W	入力 DMA 転送モード DMA 転送により DIN_RAM へのデータ入力許可を設定します。本ビットを DMA 転送許可に設定する場合は、必ず本レジスタの TRANICTL ビットを 1 に設定してください。 0 : DMA 転送禁止 1 : DMA 転送許可

29.3.4 DIN_RAM バッファライト用 DMA 転送レジスタ (DMADI)

DMADI は、DIN_RAM バッファ (入力 PCM データ用バッファ) への DMA 転送データ格納レジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMADI[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMADI[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~0	DMADI[31:0]	不定	W	DIN_RAM バッファへの DMA 転送データ格納

29.3.5 DOUT_RAM バッファリード用 DMA 転送レジスタ (DMADO)

DMADO は、DOUT_RAM バッファ (出力 AAC データ用バッファ) からの DMA 転送データ格納レジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMADO[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMADO[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	DMADO[31:0]	不定	R	DOUT_RAM バッファからの DMA 転送データ格納

29.3.6 イベントマスクレジスタ (EVMSR)

EVMSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、割り込みに発生させたい要因となるイベントのマスクを制御します。要因の動作については、イベントクリアレジスタ (EVCLR) をご確認ください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	EVMNPRO	-	-	-	-	-	-	EVMDO	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	EVMNPRO	0	R/W	処理ステータス終了フラグマスク DIN_RAM へ転送した最終入力データのエンコード処理が終了しているかを判定する割り込み要因のマスクビットです。 0 : 割り込み禁止 1 : 割り込み許可
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	EVMDO	0	R/W	DOUT_RAM バッファ蓄積データ転送要求フラグマスク DOUT_RAM に転送可能な 4K バイトデータが蓄積しているかを判定する割り込み要因のマスクビットです。 0 : 割り込み禁止 1 : 割り込み許可
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

29.3.7 イベントクリアレジスタ (EVCLR)

EVCLR は、読み出し / 書き込み可能な 32 ビットのレジスタで、割り込みの要因となるイベントの状態をクリアします。各要因はイベントが発生すると値が自動的に 1 となり、イベントが発生したビットに 0 を書き込むまで 1 のままです。各要因は、0 を書き込んだビットのみクリアされ、1 を書き込んだビットは書き込み前の値が保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	EVCNPRO	-	-	-	-	-	-	EVCDO	-
初期値:	0	0	0	0	0	0	0	1	不定	不定	不定	不定	不定	不定	0	不定
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	EVCNPRO	1	R/W	処理ステータス終了フラグクリア DIN_RAM へ転送した最終入力データのエンコード処理が終了しているかを判定する割り込み要因です。最終入力データがエンコード処理され、DOUT_RAM への書き込みが終了したとき、本ビットは 1 となります。 0: フラグクリア 1: フラグ待機
7~2	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
1	EVCDO	0	R/W	DOUT_RAM バッファ蓄積データ転送要求フラグクリア DOUT_RAM に転送可能な 4K バイトデータが蓄積しているかを判定する割り込み要因です。DOUT_RAM に 4K バイト蓄積すると本ビットは 1 となります。本ビットが 1 において、DOUT_RAM に蓄積した 4K バイトのデータを転送した後、本ビットを 0 にセットすると要因はクリアされます。4K バイトの転送が終了していないうちに本ビットを 0 にセットしても、再び本ビットは 1 となります。 0: フラグクリア 1: データ転送要求待機
0	-	不定	R	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。

29.3.8 設定指定レジスタ 1 (MBOTR)

初期値のままご使用ください。

29.3.9 設定指定レジスタ 2 (BACCR)

初期値のままご使用ください。

29.3.10 設定指定レジスタ 3 (ACESR)

AESOP で AAC エンコード処理を行うには、本レジスタを H'0000000F に設定してご使用ください。

29.3.11 オーディオ処理情報設定レジスタ (ADIFR)

ADIFR は、読み出し/書き込み可能な 32 ビットのレジスタで、サンプリング周波数、ビットレート情報を設定してください (128 kbps/channel = ステレオ 256 kbps のみ設定可能です)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	REV
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	SFB[5:0]					-	BR[2:0]			SF[3:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	REV	0	R/W	ADIFR 設定指定ビット 2 本ビットは、1 を設定してください。
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~8	SFB[5:0]	000000	R/W	ADIFR 設定指定ビット 1 ビットレートの設定を以下の値にしてください。 110000 : 128 kbps/channel (ステレオ 256 kbps 設定)
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	BR[2:0]	000	R/W	ビットレート 片チャンネルあたりのビットレートを設定してください。 100 : 128 kbps/channel (ステレオ 256 kbps 設定)
3~0	SF[3:0]	0100	R/W	サンプリング周波数 サンプリング周波数を設定してください。 0100 : 44100 Hz

29.3.12 設定指定レジスタ 4 (TBRSR)

AESOP で AAC エンコード処理を行うには、本レジスタを H'0DEE094A に設定して使用してください。本レジスタの設定値は、音質調整のデフォルト値です。

29.3.13 ヘッダ設定レジスタ (HEADR)

HEADR は、読み出し / 書き込み可能な 32 ビットのレジスタで、AAC エンコードの ADTS 形式ヘッダの有無を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	HEADSEL
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	HEADSEL	0	R/W	AAC ヘッダフォーマット選択 AAC のヘッダフォーマットを選択してください。 0 : なし (RAW データ) 1 : ADTS 形式

29.3.14 ADTS 形式ヘッダ情報設定レジスタ (ADTSR)

ADTSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、ADTS 形式の詳細を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADTSDAT[19:4]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTSDAT[3:0]				-	-	-	-	-	-	-	ADTSLEN[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	ADTSDAT[19:0]	H'00000	R/W	ADTS ヘッダ情報の設定 ADTS のヘッダ情報の設定をしてください。表 29.3 を参照してください。Syncword、aac_frame_length、adts_buffer_fullness、no_raw_data_blocks_in_frame は、AESOP 内部回路が固定値を設定します。ID~copy_right_identification_start を設定してください。設定した値の有効ビット幅は、ADTSLEN ビットで設定してください。上位ビット詰めで書き込んでください (規格改定などの対応は、注意してください)。
11~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	ADTSLEN[4:0]	00000	R/W	ADTS ヘッダ情報の有効ビット幅設定 ADTSDAT ビットで設定した ADTS ヘッダ情報の有効ビットを設定します。有効ビット数は、上位ビットからカウントしてください。

ADTS のヘッダ情報の状態を表 29.3 に示します。設定状況の固定値は、内部回路で決まっている値を出力するので値は変更できません。ADTSR レジスタは、それぞれで設定してください。

ADTS ヘッダの詳細は、ISO/IEC 13818 (MPEG-2) および ISO/IEC 14496 (MPEG-4) 規格を参照してください。MPEG-4 の規格は改定前と後で ADTS ヘッダに変更がありますので、ご注意ください。

表 29.3 ADTS ヘッダ情報

No.	コード名	コード	コード長	設定値
1	Syncword	H'FFF	12 ビット	H'FFF (固定値)
2	ID	1 : MPEG-2	1 ビット	ADTSR レジスタ
3	Layer	00 : MPEG-2、4 設定値	2 ビット	
4	protection_absent	adts_error_check()の有無 1 : 無	1 ビット	
5	Profile_ObjectType	MPEG-2、4 定義 01 : AAC LC	2 ビット	
6	sampling_frequency_index	0100 : 44100	4 ビット	
7	private_bit	未定義ビット 0	1 ビット	
8	channel_configuration	チャンネル数 010 : 2 チャンネル CPE	3 ビット	
9	original/copy	0 : no copyright 1 : copyright protected	1 ビット	
10	home	0 : bitstream is a copy 1 : it is an original	1 ビット	
11	Emphasis (規格改正前 MPEG-4 の場合 のみ設定)	H'0 : none H'1 : 50/15 μ s H'2 : reserved H'3 : CCITT J.17	2 ビット	
12	copyright_identification_bit	ISO/IEC 13818-3 subclause 2.5.2.13 参照	1 ビット	
13	copyright_identification_start	ISO/IEC 13818-3 subclause 2.5.2.13 参照	1 ビット	
14	aac_frame_length	フレームバイト量 (ヘッダ含む)	13 ビット	内部回路
15	adts_buffer_fullness	available bit 量 H'7FF : 適用外	11 ビット	H'7FF (固定値)
16	no_raw_data_blocks_in_frame	raw data block 数 0 : 1 raw data block 1 : 2 raw data block	2 ビット	0 (固定値)

29.3.15 設定指定レジスタ 5 (MSS1R)

AESOP で AAC エンコード処理を行うには、本レジスタを H'FFFFFFF に設定して使用してください。

29.3.16 設定指定レジスタ 6 (MSS2R)

AESOP で AAC エンコード処理を行うには、本レジスタを H'0007FFFF に設定して使用してください。

29.3.17 設定指定レジスタ 7 (QLMDR)

AESOP で AAC エンコード処理を行うには、本レジスタを H'00008A03 に設定して使用してください。本レジスタの設定値は、音質調整のデフォルト値です。

29.3.18 設定指定レジスタ 8 (QCHAR)

AESOP で AAC エンコード処理を行うには、本レジスタを H'0A142322 に設定して使用してください。本レジスタの設定値は、音質調整のデフォルト値です。

29.3.19 設定指定レジスタ 9 (QGGAR)

AESOP で AAC エンコード処理を行うには、本レジスタを初期値 H'00000000 に設定して使用してください。本レジスタの設定値は、音質調整のデフォルト値です。

29.3.20 設定指定レジスタ 10 (SDTRR)

AESOP で AAC エンコード処理を行うには、本レジスタを初期値 H'00000001 に設定して使用してください。

29.3.21 ストリームデータ強制転送設定レジスタ (SDFOR)

SDFOR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DOUT_RAM バッファに蓄積されているデータを強制的に転送することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PUSH
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PUSH	0	R/W	DOUT_RAM 蓄積データ強制転送設定 DOUT_RAM に蓄積しているデータを強制的に転送する場合に設定してください。強制転送が正常に行われると自動的に本ビットは 0 に戻ります。 0: 待機 1: 強制転送

29.3.22 ストリームデータ強制転送バイト量表示レジスタ (SDBTR)

SDBTR は、読み出し可能な 32 ビットのレジスタで、SDFOR レジスタの PUSH ビットが設定されたとき、DOUT_RAM に蓄積しているデータ量をバイトで表示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUSHBYTE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	PUSHBYTE [15:0]	H'0000	R	DOUT_RAM 蓄積強制転送データ量 強制的に転送する DOUT_RAM 蓄積データ量をバイトで表示します。

29.3.23 フレームバイト量表示レジスタ (FBYTR)

FBYTR は、読み出し専用の 32 ビットのレジスタで、DOUT_RAM バッファに蓄積する 1 フレームのデータ量をバイトで表示します。フレーム単位で更新されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DOBYTE[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	DOBYTE [15:0]	H'0000	R	DOUT_RAM 蓄積 1 フレームデータ量 DOUT_RAM バッファに蓄積する 1 フレームのデータ量をバイトで表示します。フレーム単位で更新されます。

29.4 動作説明

AAC エンコード処理動作する場合、パイプライン処理として、前半部と後半部の 2 段構成で動作します。DIN.RAM へのデータ入力および DOUT.RAM からのデータ出力は、DMA 転送により行ってください。

29.4.1 DMA 転送による動作

AAC エンコード処理動作のタイミングを図 29.3 に示します。

1 曲 N フレームのストリームについて説明します。

初期設定では、動作させたい条件のレジスタ設定を行います。自動的に DMA リクエストが発生し DMA 転送により PCM データが DIN_RAM に書き込まれます。曲先頭の転送は、PCM データ 2048 サンプルが転送され、AESOP 前半部の処理が行われます。AESOP 前半部の処理途中で、DIN_RAM が開放されるので、DMA リクエストが発生し、次の PCM データ 1024 サンプルが DIN_RAM に書き込まれます。以降は PCM データ 1024 サンプルが転送され、AESOP 前半部、後半部が並列処理されます。転送フレーム分繰り返し処理が行われます。

AESOP 後半部の処理が終了すると、DMA リクエストが発生し、蓄積された AAC フォーマットデータが DOUT_RAM から読み出されます。AAC 出力データを 4K バイト単位転送するので、AESOP 後半部が終了した後、DOUT_RAM に 4K バイト蓄積している場合に DMA リクエストが発生します。なお、DOUT_RAM に蓄積するデータは、フレーム単位にバイトアライメントされ、連続的に格納されます。

1 曲分のデータが転送し終わったら、最後に 1 フレーム分 0 データを転送してください。これにより、N フレーム目のフレームデータが処理されます。

最終 PCM 入力データの AESOP 後半部の処理が終了した時点で DOUT_RAM が 4K バイトに満たない量の蓄積データは、レジスタ設定により強制的に転送してください。

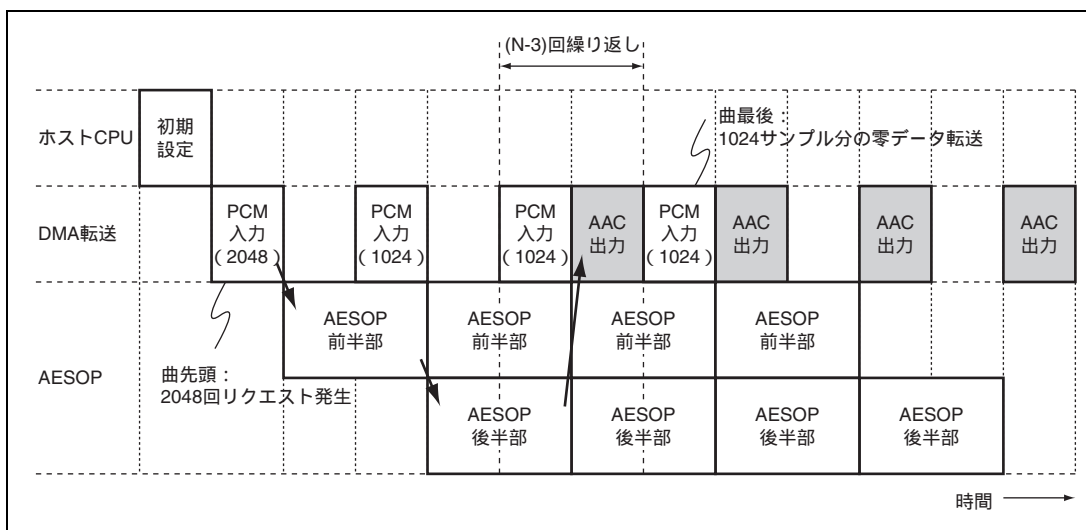


図 29.3 DMA 転送タイミング

29.4.2 AESOP 処理手順

処理手順例のフローチャートを図 29.4 に示します。

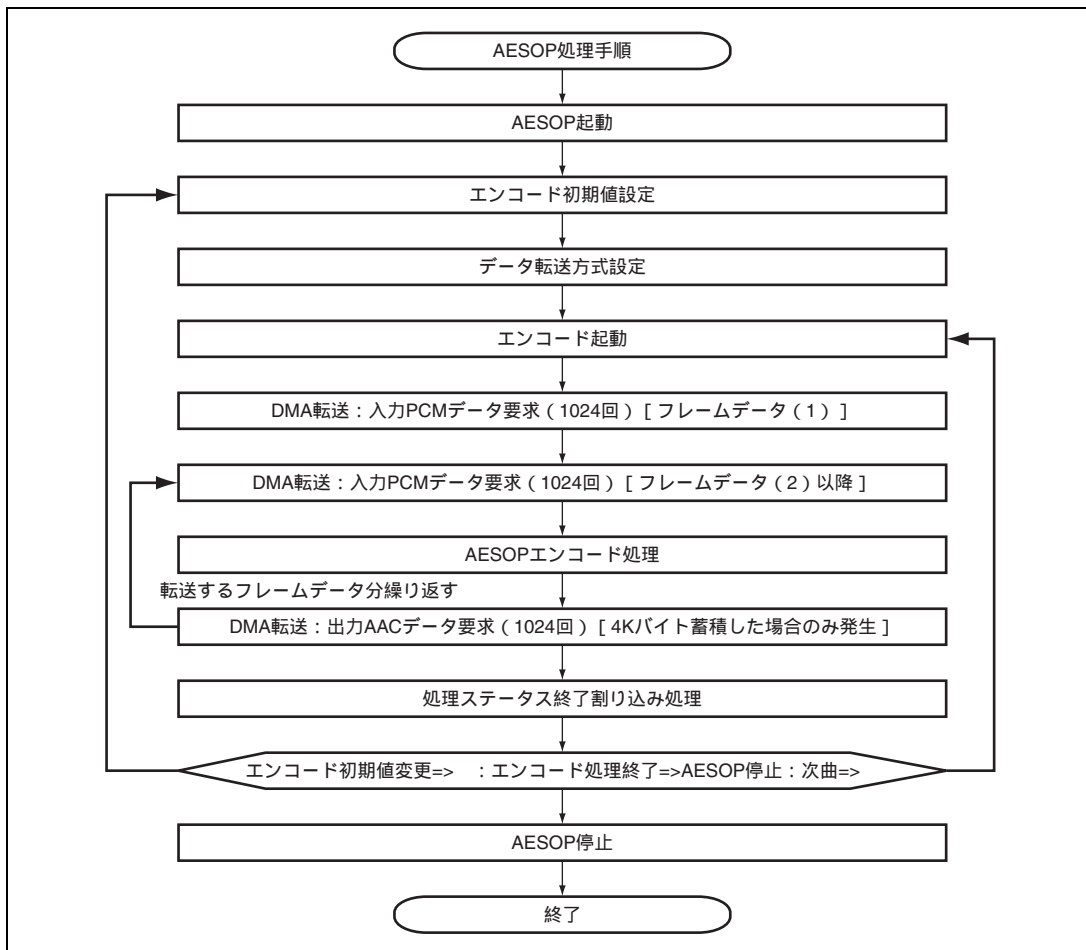


図 29.4 処理手順例フローチャート

29.4.3 AESOP 起動

AESOP 起動時には、ソフトウェアリセットを設定し、レジスタ状態を初期化します。その後、ソフトウェアリセットの解除を行い、AAC エンコード処理設定を行います。AESOP の起動フローチャートを図 29.5 に示します。

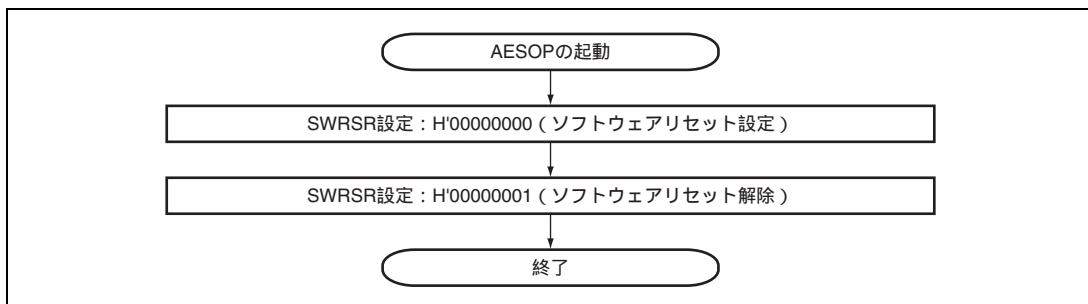


図 29.5 AESOP 起動フローチャート

29.4.4 AESOP 停止

AESOP 停止は、AESOP をリセット状態にします。AESOP 停止のフローチャートを図 29.6 に示します。

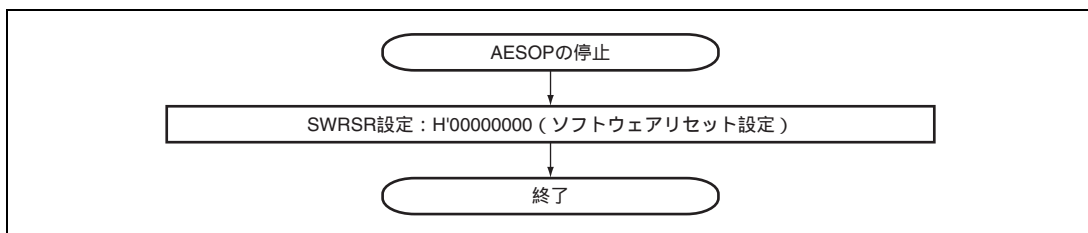


図 29.6 AESOP 停止フローチャート

29.4.5 エンコード初期値設定

エンコード初期値設定は、AESOP 起動時の AAC エンコード処理条件を設定します。エンコード初期値設定のフローチャートを図 29.7 に示します。

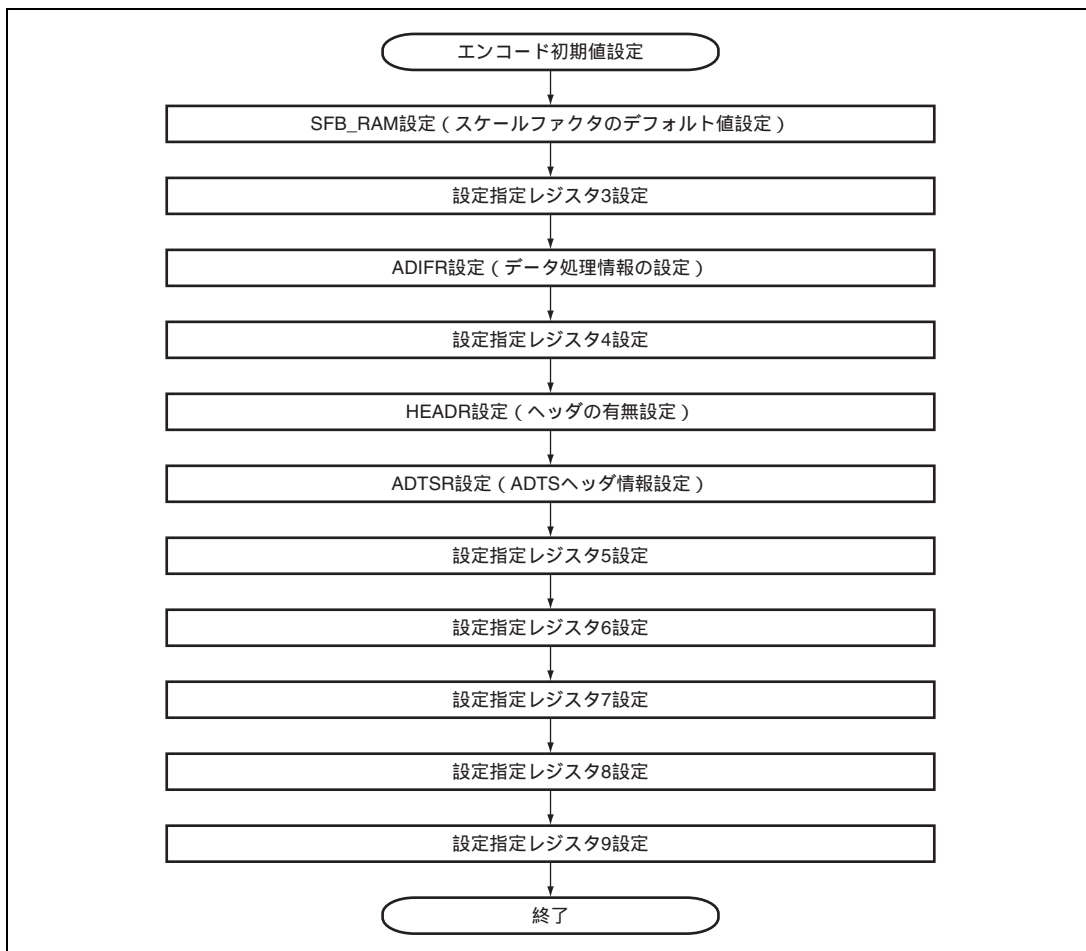


図 29.7 エンコード処理設定フローチャート

29.4.6 データ転送方式設定

データ転送方式設定は、AESOP の入出力オーディオデータの転送方式を設定します。データ転送方式の初期設定のフローチャートを図 29.8 に示します。

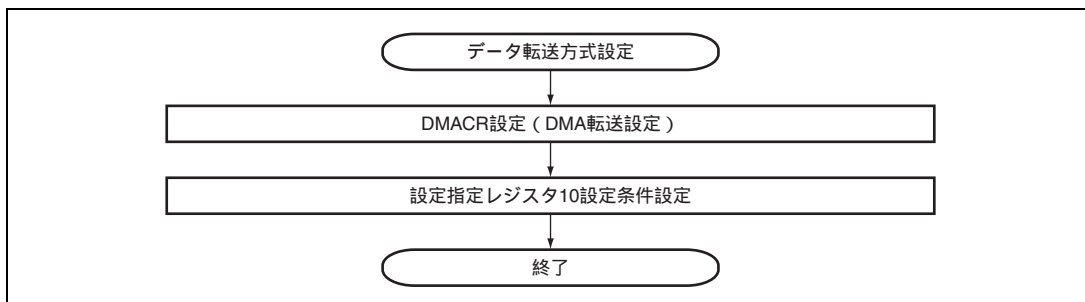


図 29.8 データ転送方式設定

29.4.7 エンコード起動

エンコード起動は、任意の PCM データ単位 (たとえば曲単位) のエンコード処理する前に RPRSR レジスタを設定し、エンコード処理を初期化します。エンコード起動のフローチャートを図 29.9 に示します。

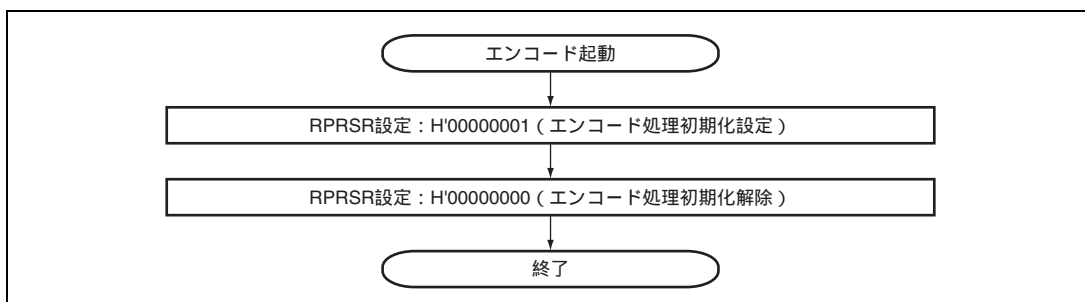


図 29.9 エンコード起動フローチャート

29.4.8 DMA 転送 (AESOP へのデータ入力転送用 DMA)

データ転送方式設定において、データ入力転送用 DMA が設定され、データ要求の条件になると必ず 1 フレーム分のデータを連続的に要求するのでリクエストが 1024 回発生します。

データの転送設定詳細は、DMAC のレジスタで設定してください。

29.4.9 DMA 転送 (AESOP からのデータ出力転送用 DMA)

データ転送方式設定において、データ出力転送用 DMA が設定され、DOUT_RAM に 4K バイトのデータが蓄積するとリクエストが 1024 回発生します。DOUT_RAM に 4K バイトのデータが蓄積するには、数フレーム分のエンコード処理が実行されます。

ただし、最終フレームの入力データのエンコード処理が終了し、DOUT_RAM の蓄積データが 4K バイト未満の場合、データを強制的に転送する設定が必要となります。このとき、転送されるデータ量は、ストリームデータ強制転送バイト量表示レジスタ (SDBTR) で確認することができます。

29.4.10 処理ステータス終了割り込み処理

処理ステータス終了割り込み処理は、最終フレームの入力 PCM データの転送終了後に AESOP 割り込み要因を設定し、エンコード処理が終了したときに DOUT_RAM に蓄積したデータが 4K バイト未満である場合のデータ転送します。

処理手順例を 2 通り (タイマ割り込みを使用の有無) 示します。いずれの処理手順においてもホスト CPU で入力 PCM データの量を管理して、最終フレームの入力 PCM データの転送終了を判定してください。

(1) タイマ割り込みを使用しない手順

処理ステータス終了割り込み処理のタイマ割り込みを使用しない手順のフローチャートを図 29.10 に示します。強制転送の回数を設定するとき以外、AESOP からのデータ出力転送用 DMA は、必ず 4K バイト (32 ビットアクセス × 1024 回転送) 設定で行ってください。

最終フレームの入力 PCM データの転送終了後、いったん割り込み要因 (EVCLR) をクリアしてください。割り込み要因クリア後、AESOP 割り込みを発生させるため、EVMSR レジスタの EVNPRO ビットを割り込み許可に設定してください。これにより、最終フレームの PCM データがエンコード処理され DOUT_RAM へ書き込み終了すると AESOP 割り込みが発生します。

AESOP 割り込みが確認した後、割り込み要因を解除するため、EVMSR レジスタの EVNPRO を割り込み禁止に設定してください。割り込み禁止設定後、DMAC の DOUT_RAM データの DMA 転送を中断設定してください。DMAC 中断設定後、割り込み要因 (EVCLR) クリアしてください。

次に、AESOP クロックで 10 サイクル後、割り込み要因 (EVCLR) が更新されるので、割り込み要因 (EVCLR) の値をリードしてください。このとき、EVCLR の EVCDO ビットが 0 である場合、DOUT_RAM 転送中のデータがないため、DOUT_RAM に蓄積されている 4K バイト未満のデータを強制転送するため強制転送設定をしてください。

一方、EVCLR レジスタの EVCDO ビットが 1 である場合、DOUT_RAM 転送中のデータがあるため、DMAC の DMA 転送を再開してください。DMA 転送再開後、DMA 転送終了割り込みが発生します。DMA 転送終了割り込みが発生したならば、DOUT_RAM に蓄積されている 4K バイト未満のデータを強制転送するため強制転送設定をしてください。

強制転送設定は、SDFOR レジスタの PUSH ビットを強制転送に設定してください。このとき、DOUT_RAM に蓄積されている強制転送するためのデータ量を確認するため、SDBTR レジスタをリードしてください。リードした蓄積バイト量をもとに、転送回数を計算し、DMAC の DMA 転送設定をしてください。データ転送が行われると DMA 終了割り込みが発生し処理は終了となります。このとき、SDFOR レジスタの PUSH ビットが待機状態になり、強制転送が終了していることが確認できます。

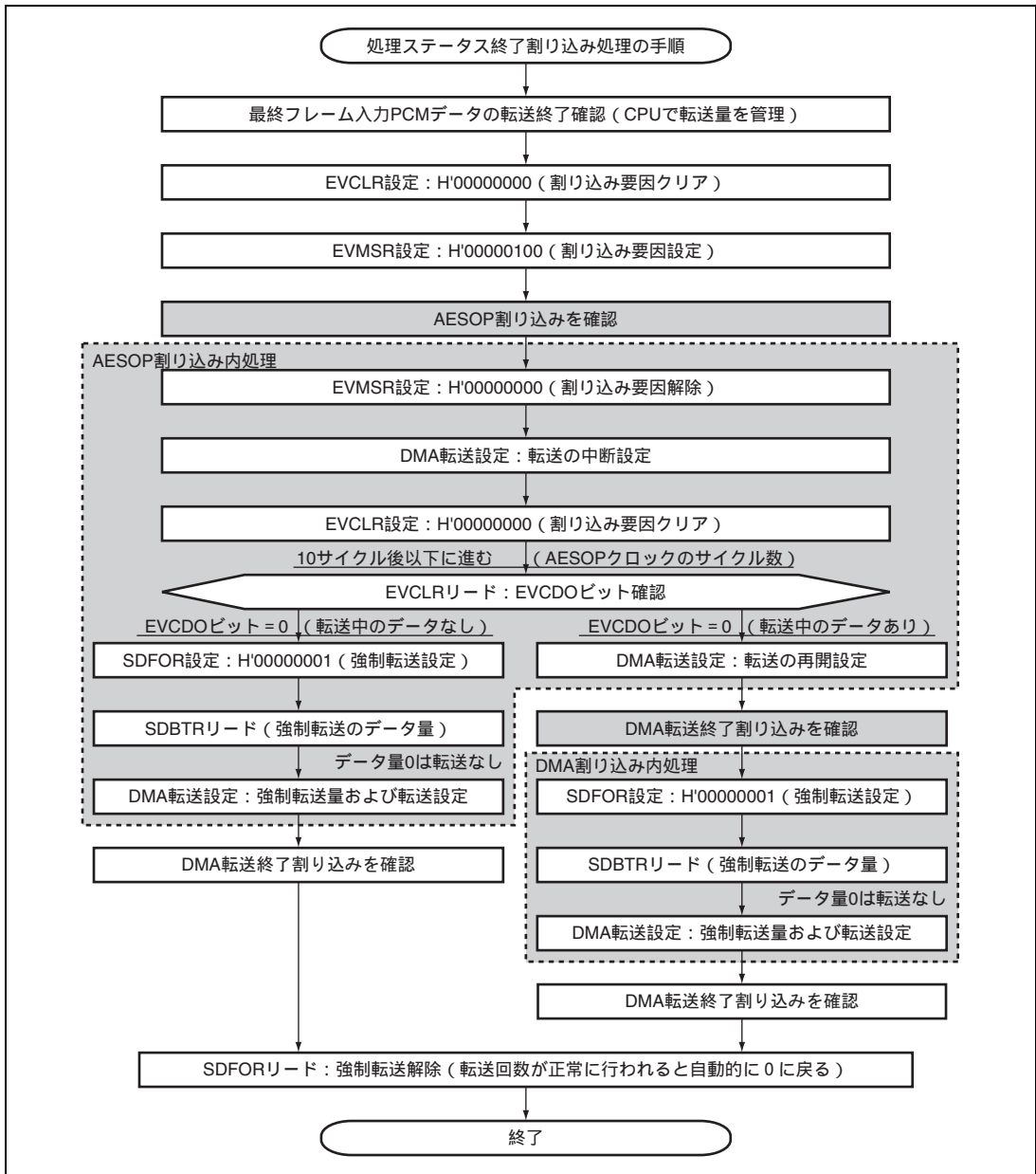


図 29.10 処理ステータス終了割り込み処理フローチャート (タイマ割り込みを使用しない手順)

(2) タイマ割り込みを使用する手順

処理ステータス終了割り込み処理のタイマ割り込みを使用する手順のフローチャートを図 29.11 に示します。AESOP からのデータ出力転送用 DMA は、必ず 4K バイト (32 ビットアクセス×1024 回転送) の整数倍の値を設定してください。

最終フレームの入力 PCM データの転送終了後、いったん割り込み要因 (EVCLR) をクリアしてください。割り込み要因クリア後、AESOP 割り込みを発生させるため、EVMSR レジスタの EVNPRO ビットを割り込み許可に設定してください。これにより、最終フレームの PCM データがエンコード処理され DOUT_RAM へ書き込み終了すると AESOP 割り込みが発生します。

AESOP 割り込みが確認した後、割り込み要因を解除するため、EVMSR レジスタの EVNPRO を割り込み禁止に設定してください。割り込み禁止設定後、割り込み要因 (EVCLR) をクリアしてください。

次に、DOUT_RAM に蓄積されている 4K バイト未満のデータを強制転送するため強制転送設定をしてください。強制転送設定は、SDFOR レジスタの PUSH ビットを強制転送に設定してください。このとき、DOUT_RAM に蓄積されている強制転送するためのデータ量を確認するため、SDBTR レジスタをリードしてください。

DOUT_RAM に蓄積されているすべてのエンコードデータが転送されたら、SDFOR レジスタの PUSH ビットが待機状態になります。PUSH ビットが転送中である場合は、タイマ割り込みを仕掛け、一定時間後に再び SDFOR レジスタの PUSH ビットをリード状態を確認してください。PUSH ビットが待機状態となれば処理は終了です。このとき、強制転送のデータ量から換算する転送回数と DMA の転送回数が一致します。

タイマ割り込みの時間は、CD のサンプリング周波数 44.1kHz のデータが途切れないためのシステム性能から換算すると、50ms となります。

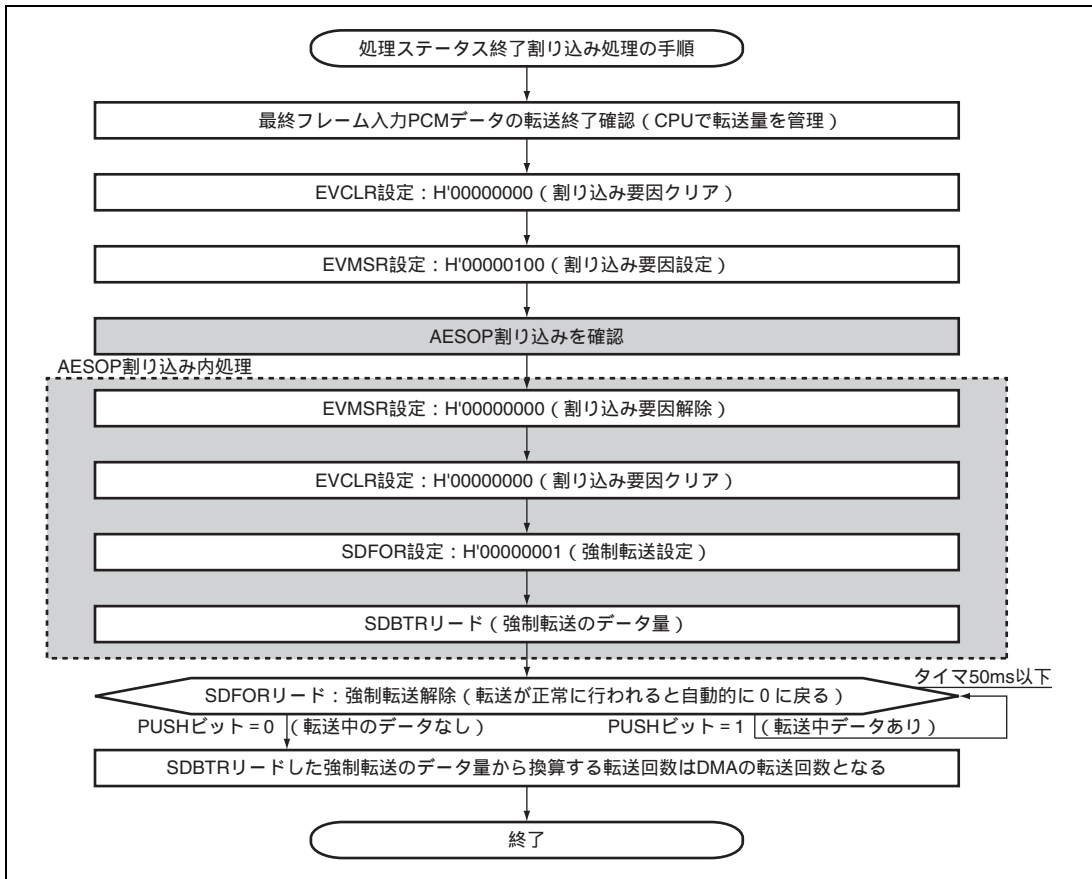


図 29.11 処理ステータス終了割り込み処理フローチャート (タイマ割り込みを使用する手順)

29.4.11 SFB_RAM 係数デフォルト値

エンコード初期値設定において、設定される SFB_RAM 係数のデフォルト値について表 29.4 に示します。アドレスは 32 ビット、設定値は、20 ビットで記載しています。AESOP のデータ線は、4 バイト (32 ビット) アクセスなので、設定値は下位 12 ビットを 0 詰めて書き込んでください。

表 29.4 SFB_RAM 係数

アドレス	設定値	アドレス	設定値	アドレス	設定値
H'FFA0A000	H'08070	H'FFA0A050	H'04030	H'FFA0A0A0	H'00000
H'FFA0A004	H'08070	H'FFA0A054	H'04030	H'FFA0A0A4	H'00000
H'FFA0A008	H'08070	H'FFA0A058	H'04030	H'FFA0A0A8	H'00000
H'FFA0A00C	H'08070	H'FFA0A05C	H'04030	H'FFA0A0AC	H'00000
H'FFA0A010	H'08070	H'FFA0A060	H'03020	H'FFA0A0B0	H'00000
H'FFA0A014	H'08070	H'FFA0A064	H'03020	H'FFA0A0B4	H'00000
H'FFA0A018	H'08070	H'FFA0A068	H'03020	H'FFA0A0B8	H'00000
H'FFA0A01C	H'08070	H'FFA0A06C	H'03020	H'FFA0A0BC	H'00000
H'FFA0A020	H'07060	H'FFA0A070	H'02010	H'FFA0A0C0	H'00000
H'FFA0A024	H'07060	H'FFA0A074	H'02010	H'FFA0A0C4	H'00000
H'FFA0A028	H'07060	H'FFA0A078	H'01000	H'FFA0A0C8	H'0000B
H'FFA0A02C	H'07060	H'FFA0A07C	H'01000	H'FFA0A0CC	H'00000
H'FFA0A030	H'06050	H'FFA0A080	H'00000	H'FFA0A0D0	H'0000A
H'FFA0A034	H'06050	H'FFA0A084	H'00000	H'FFA0A0D4	H'00000
H'FFA0A038	H'06050	H'FFA0A088	H'00000	H'FFA0A0D8	H'00008
H'FFA0A03C	H'06050	H'FFA0A08C	H'00000	H'FFA0A0DC	H'00000
H'FFA0A040	H'05040	H'FFA0A090	H'00000	H'FFA0A0E0	H'00006
H'FFA0A044	H'05040	H'FFA0A094	H'00000	H'FFA0A0E4	H'00000
H'FFA0A048	H'05040	H'FFA0A098	H'00000	H'FFA0A0E8	H'00004
H'FFA0A04C	H'05040	H'FFA0A09C	H'00000	H'FFA0A0EC	H'00000
				H'FFA0A0F0	H'00002
				H'FFA0A0F4	H'00000
				H'FFA0A0F8	H'0000B
				H'FFA0A0FC	H'00000

30. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 30.1 ~ 表 30.10 に本 LSI のマルチプレクス端子を示します。

表 30.1 マルチプレクス一覧表 (ポート A)

設定 レジスタ	モードビット (PAnMD[3:0]) 設定値			
	0000	0001	0010	0011
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
PACRL4	PA15 入出力 (ポート)	D31 入出力 (データ)	IDED15 入出力 (ATAPI)	ADTRG $\bar{}$ 入力 (アナログ)
	PA14 入出力 (ポート)	D30 入出力 (データ)	IDED14 入出力 (ATAPI)	-
	PA13 入出力 (ポート)	D29 入出力 (データ)	IDED13 入出力 (ATAPI)	TENDT $\bar{}$ 出力 (DMAC)
	PA12 入出力 (ポート)	D28 入出力 (データ)	IDED12 入出力 (ATAPI)	DACK1 $\bar{}$ 出力 (DMAC)
PACRL3	PA11 入出力 (ポート)	D27 入出力 (データ)	IDED11 入出力 (ATAPI)	DREQ1 入力 (DMAC)
	PA10 入出力 (ポート)	D26 入出力 (データ)	IDED10 入出力 (ATAPI)	TEND0 $\bar{}$ 出力 (DMAC)
	PA9 入出力 (ポート)	D25 入出力 (データ)	IDED9 入出力 (ATAPI)	DACK0 $\bar{}$ 出力 (DMAC)
	PA8 入出力 (ポート)	D24 入出力 (データ)	IDED8 入出力 (ATAPI)	DREQ0 入力 (DMAC)
PACRL2	PA7 入出力 (ポート)	D23 入出力 (データ)	IDED7 入出力 (ATAPI)	TCLKD 入力 (MTU2)
	PA6 入出力 (ポート)	D22 入出力 (データ)	IDED6 入出力 (ATAPI)	TCLKC 入力 (MTU2)
	PA5 入出力 (ポート)	D21 入出力 (データ)	IDED5 入出力 (ATAPI)	TCLKB 入力 (MTU2)
	PA4 入出力 (ポート)	D20 入出力 (データ)	IDED4 入出力 (ATAPI)	TCLKA 入力 (MTU2)
PACRL1	PA3 入出力 (ポート)	D19 入出力 (データ)	IDED3 入出力 (ATAPI)	-
	PA2 入出力 (ポート)	D18 入出力 (データ)	IDED2 入出力 (ATAPI)	-
	PA1 入出力 (ポート)	D17 入出力 (データ)	IDED1 入出力 (ATAPI)	DACK2 $\bar{}$ 出力 (DMAC)
	PA0 入出力 (ポート)	D16 入出力 (データ)	IDED0 入出力 (ATAPI)	DREQ2 入力 (DMAC)

設定 レジスタ	モードビット (PAnMD[3:0]) 設定値			
	0100	0101	0110	0111
	機能 5 (関連モジュール)	機能 6 (関連モジュール)	機能 7 (関連モジュール)	機能 8 (関連モジュール)
PACRL4	TIOC4D 入出力 (MTU2)	PINT7 入力 (INTC)	SD_WP 入力 (SDHI)	-
	TIOC4C 入出力 (MTU2)	PINT6 入力 (INTC)	SD_CLK 出力 (SDHI)	-
	TIOC4B 入出力 (MTU2)	PINT5 入力 (INTC)	SD_CMD 入出力 (SDHI)	-
	TIOC4A 入出力 (MTU2)	PINT4 入力 (INTC)	SD_CD 入力 (SDHI)	$\overline{\text{DACT1}}$ 出力 (DMAC)
PACRL3	TIOC3D 入出力 (MTU2)	PINT3 入力 (INTC)	SD_D3 入出力 (SDHI)	-
	TIOC3C 入出力 (MTU2)	PINT2 入力 (INTC)	SD_D2 入出力 (SDHI)	-
	TIOC3B 入出力 (MTU2)	PINT1 入力 (INTC)	SD_D1 入出力 (SDHI)	$\overline{\text{DACT0}}$ 出力 (DMAC)
	TIOC3A 入出力 (MTU2)	PINT0 入力 (INTC)	SD_D0 入出力 (SDHI)	-
PACRL2	TIOC2B 入出力 (MTU2)	IRQ7 入力 (INTC)	$\overline{\text{SCS1}}$ 入出力 (SSU)	-
	TIOC2A 入出力 (MTU2)	IRQ6 入力 (INTC)	SSO1 入出力 (SSU)	-
	TIOC1B 入出力 (MTU2)	IRQ5 入力 (INTC)	SSI1 入出力 (SSU)	-
	TIOC1A 入出力 (MTU2)	IRQ4 入力 (INTC)	SSCK1 入出力 (SSU)	-
PACRL1	TIOC0D 入出力 (MTU2)	IRQ3 入力 (INTC)	$\overline{\text{SCS0}}$ 入出力 (SSU)	-
	TIOC0C 入出力 (MTU2)	IRQ2 入力 (INTC)	SSO0 入出力 (SSU)	-
	TIOC0B 入出力 (MTU2)	IRQ1 入力 (INTC)	SSI0 入出力 (SSU)	$\overline{\text{DACT2}}$ 出力 (DMAC)
	TIOC0A 入出力 (MTU2)	IRQ0 入力 (INTC)	SSCK0 入出力 (SSU)	-

表 30.2 マルチプレクス一覧表 (ポート B)

設定 レジスタ	モードビット (PBnMD[3:0]) 設定値			
	0000	0001	0010	0011
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
PBCRH2	PB18 入出力 (ポート)	WDTOVF 出力 (WDT)	$\overline{\text{UBCTR}}\overline{\text{G}}$ 出力 (UBC)	-
PBCRH1	PB17 入出力 (ポート)	WAIT 入力 (BSC)	-	-
	PB16 入出力 (ポート)	$\overline{\text{SDWE}}$ 出力 (BSC)	-	-
PBCRL4	PB15 入出力 (ポート)	CKE 出力 (BSC)	-	-
	PB14 入出力 (ポート)	$\overline{\text{CAS}}$ 出力 (BSC)	-	-
	PB13 入出力 (ポート)	$\overline{\text{RAS}}$ 出力 (BSC)	-	-
	PB12 入出力 (ポート)	$\overline{\text{WE3}}/\overline{\text{BC3}}/\overline{\text{DQM3}}$ 出力 (BSC)	IDECS#1 出力 (ATAPI)	FCDE 出力 (FLCTL)

設定 レジスタ	モードビット (PBnMD[3:0]) 設定値			
	0000	0001	0010	0011
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
PBCRL3	PB11 入出力 (ポート)	WE2/BC2/DQM2 出力 (BSC)	IDECs0#出力 (ATAPI)	FWE 出力 (FLCTL)
	PB10 入出力 (ポート)	WE1/BC1/DQM1 出力 (BSC)	-	-
	PB9 入出力 (ポート)	WE0/BC0/DQM0 出力 (BSC)	-	-
	PB8 入出力 (ポート)	CS5 出力 (BSC)	SDCS1 出力 (BSC)	MRES 入力 (システム制御)
PBCRL2	PB7 入出力 (ポート)	CS4 出力 (BSC)	SDCS0 出力 (BSC)	-
	PB6 入出力 (ポート)	CS3 出力 (BSC)	RD_WR/WE 出力 (BSC)	-
	PB5 入出力 (ポート)	CS2 出力 (BSC)	-	-
	PB4 入出力 (ポート)	CS1 出力 (BSC)	-	-
PBCRL1	PB3 入出力 (ポート)	A22 出力 (アドレス)	TxD2 出力 (SCIF)	-
	PB2 入出力 (ポート)	A21 出力 (アドレス)	RxD2 入力 (SCIF)	-
	PB1 入出力 (ポート)	A1 出力 (アドレス)	-	-
	PB0 入出力 (ポート)	A0 出力 (アドレス)	RD_WR/WE 出力 (BSC)	-

表 30.3 マルチプレクス一覧表 (ポート C)

設定 レジスタ	モードビット (PCnMC[3:0]) 設定値					
	0000	0001	0010	0011	0100	0101
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PCCRL3	PC10 入出力 (ポート)	DIRECTION 出力 (ATAPI)	TENDT 出力 (DMAC)	FCE 出力 (FLCTL)	PINT6 入力 (INTC)	-
	PC9 入出力 (ポート)	IDERST#出力 (ATAPI)	DACK1 出力 (DMAC)	NAF7 入出力 (FLCTL)	PINT5 入力 (INTC)	DACK1 出力 (DMAC)
	PC8 入出力 (ポート)	IDEINT 入力 (ATAPI)	DREQ1 入力 (DMAC)	NAF6 入出力 (FLCTL)	PINT4 入力 (INTC)	-
PCCRL2	PC7 入出力 (ポート)	IDEIORDY 入力 (ATAPI)	TIOC4D 入出力 (MTU2)	NAF5 入出力 (FLCTL)	PINT3 入力 (INTC)	-
	PC6 入出力 (ポート)	IDEIORD#出力 (ATAPI)	TIOC4C 入出力 (MTU2)	NAF4 入出力 (FLCTL)	PINT2 入力 (INTC)	-
	PC5 入出力 (ポート)	IDEIOWR#出力 (ATAPI)	TIOC4B 入出力 (MTU2)	NAF3 入出力 (FLCTL)	PINT1 入力 (INTC)	-
	PC4 入出力 (ポート)	IODREQ 入力 (ATAPI)	TIOC4A 入出力 (MTU2)	NAF2 入出力 (FLCTL)	PINT0 入力 (INTC)	-

設定 レジスタ	モードビット (PCnMC[3:0]) 設定値					
	0000	0001	0010	0011	0100	0101
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PCCRL1	PC3 入出力 (ポート)	IODACK#出力 (ATAPI)	TCLKD 入力 (MTU2)	NAF1 入出力 (FLCTL)	IRQ3 入力 (INTC)	-
	PC2 入出力 (ポート)	IDEA2 出力 (ATAPI)	TCLKC 入力 (MTU2)	NAF0 入出力 (FLCTL)	IRQ2 入力 (INTC)	-
	PC1 入出力 (ポート)	IDEA1 出力 (ATAPI)	TCLKB 入力 (MTU2)	FSC 出力 (FLCTL)	IRQ1 入力 (INTC)	-
	PC0 入出力 (ポート)	IDEA0 出力 (ATAPI)	TCLKA 入力 (MTU2)	FOE 出力 (FLCTL)	IRQ0 入力 (INTC)	-

表 30.4 マルチプレクス一覧表 (ポート D)

設定 レジスタ	モードビット (PDnMD[3:0]) 設定値				
	0000	0001	0010	0011	0100
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
PDCRL1	PD2 入出力 (ポート)	TEND0 出力 (DMAC)	A23 出力 (アドレス)	SCK2 入出力 (SCIF)	IRQ6 入力 (INTC)
	PD1 入出力 (ポート)	DACK0 出力 (DMAC)	A24 出力 (アドレス)	DACT0 出力 (DMAC)	IRQ5 入力 (INTC)
	PD0 入出力 (ポート)	DREQ0 入力 (DMAC)	A25 出力 (アドレス)	ADTRG 入力 (ADC)	IRQ4 入力 (INTC)

表 30.5 マルチプレクス一覧表 (ポート E)

設定 レジスタ	モードビット (PEnMD[3:0]) 設定値				
	0000	0001	0010	0011	0100
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
PECRL4	PE13 入出力 (ポート)	TxD4 出力 (SCIF)	SDA2 入出力 (IIC3)	-	-
	PE12 入力 (ポート)	RxD4 入力 (SCIF)	SCL2 入出力 (IIC3)	-	-
PECRL3	PE11 入出力 (ポート)	TxD3 出力 (SCIF)	SDA1 入出力 (IIC3)	-	-
	PE10 入力 (ポート)	RxD3 入力 (SCIF)	SCL1 入出力 (IIC3)	-	-
	PE9 入出力 (ポート)	TxD2 出力 (SCIF)	SDA0 入出力 (IIC3)	-	-
	PE8 入力 (ポート)	RxD2 入力 (SCIF)	SCL0 入出力 (IIC3)	-	-

設定 レジスタ	モードビット (PEnMD[3:0]) 設定値				
	0000	0001	0010	0011	0100
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
PECRL2	PE7 入出力 (ポート)	SCK1 入出力 (SCIF)	$\overline{\text{SCS1}}$ 入出力 (SSU)	SD_D3 入出力 (SDHI)	SSIDATA5 出力 (SSIF)
	PE6 入出力 (ポート)	TxD1 出力 (SCIF)	SSO1 入出力 (SSU)	SD_CLK 出力 (SDHI)	SSIWS5 入出力 (SSIF)
	PE5 入出力 (ポート)	RxD1 入力 (SCIF)	SSI1 入出力 (SSU)	SD_CMD 入出力 (SDHI)	SSISCK5 入出力 (SSIF)
	PE4 入出力 (ポート)	SCK0 入出力 (SCIF)	SSCK1 入出力 (SSU)	-	-
PECRL1	PE3 入出力 (ポート)	$\overline{\text{RTS0}}$ 入出力 (SCIF)	$\overline{\text{SCS0}}$ 入出力 (SSU)	-	TIOC2B 入出力 (MTU2)
	PE2 入出力 (ポート)	$\overline{\text{CTS0}}$ 入出力 (SCIF)	SSO0 入出力 (SSU)	-	TIOC2A 入出力 (MTU2)
	PE1 入出力 (ポート)	TxD0 出力 (SCIF)	SSI0 入出力 (SSU)	-	-
	PE0 入出力 (ポート)	RxD0 入力 (SCIF)	SSCK0 入出力 (SSU)	-	-

表 30.6 マルチプレクス一覧表 (ポート F)

設定 レジスタ	モードビット (PFnMD[3:0]) 設定値					
	0000	0001	0010	0011	0100	0101
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PFCRL2	PF4 入出力 (ポート)	-	$\overline{\text{DACK3}}$ 出力 (DMAC)	CTx1 出力 (RCAN-TL1)	CTx0&CTx1 出力 (RCAN-TL1)	$\overline{\text{DACT3}}$ 出力 (DMAC)
PFCRL1	PF3 入出力 (ポート)	-	DREQ3 入力 (DMAC)	CRx1 入力 (RCAN-TL1)	CRx0/CRx1 入力 (RCAN-TL1)	-
	PF2 入出力 (ポート)	-	-	CTx0 出力 (RCAN-TL1)	IETxD 出力 (IEB)	-
	PF1 入出力 (ポート)	-	SDA3 入出力 (IIC3)	CRx0 入力 (RCAN-TL1)	IERxD 入力 (IEB)	-
	PF0 入出力 (ポート)	-	SCL3 入出力 (IIC3)	-	-	-

表 30.7 マルチプレクス一覧表 (ポート G)

設定 レジスタ	モードビット (PGnMD[3:0]) 設定値				
	0000	0001	0010	0011	0100
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
PGCRL2	PG7 入力 (ポート)	VIHSYNC 入力 (Video-In)	AN7 入力 (ADC)	DA1 出力 (DAC)	-
	PG6 入力 (ポート)	VIVSYNC 入力 (Video-In)	AN6 入力 (ADC)	DA0 出力 (DAC)	-
	PG5 入力 (ポート)	-	AN5 入力 (ADC)	-	-
	PG4 入力 (ポート)	VICLKENB 入力 (Video-In)	AN4 入力 (ADC)	-	-
PGCRL1	PG3 入力 (ポート)	IRQ3 入力 (INTC)	AN3 入力 (ADC)	SD_WP 入力 (SDHI)	TCLKD 入力 (MTU2)
	PG2 入力 (ポート)	IRQ2 入力 (INTC)	AN2 入力 (ADC)	SD_CD 入力 (SDHI)	TCLKC 入力 (MTU2)
	PG1 入力 (ポート)	IRQ1 入力 (INTC)	AN1 入力 (ADC)	-	TCLKB 入力 (MTU2)
	PG0 入力 (ポート)	IRQ0 入力 (INTC)	AN0 入力 (ADC)	FRB 入力 (FLCTL)	TCLKA 入力 (MTU2)

表 30.8 マルチプレクス一覧表 (ポート H)

設定 レジスタ	モードビット (PHnMD[3:0]) 設定値				
	0000	0001	0010	0011	0100
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
PHCRL4	PH15 入出力 (ポート)	AUDIO_CLK 入力 (SSIF)	-	-	-
	PH14 入出力 (ポート)	SSIDATA4 入出力 (SSIF)	SCK5 入出力 (SCIF)	SD_D2 入出力 (SDHI)	NAF5 入出力 (FLCTL)
	PH13 入出力 (ポート)	SSIWS4 入出力 (SSIF)	TxD5 出力 (SCIF)	SD_D1 入出力 (SDHI)	NAF4 入出力 (FLCTL)
	PH12 入出力 (ポート)	SSISCK4 入出力 (SSIF)	RxD5 入力 (SCIF)	SD_D0 入出力 (SDHI)	NAF3 入出力 (FLCTL)
PHCRL3	PH11 入出力 (ポート)	SSIDATA3 入出力 (SSIF)	-	-	NAF2 入出力 (FLCTL)
	PH10 入出力 (ポート)	SSIWS3 入出力 (SSIF)	-	-	NAF1 入出力 (FLCTL)
	PH9 入出力 (ポート)	SSISCK3 入出力 (SSIF)	-	-	NAF0 入出力 (FLCTL)
	PH8 入出力 (ポート)	SSIDATA2 入出力 (SSIF)	-	-	-
PHCRL2	PH7 入出力 (ポート)	SSIWS2 入出力 (SSIF)	-	-	-
	PH6 入出力 (ポート)	SSISCK2 入出力 (SSIF)	-	-	-
	PH5 入出力 (ポート)	SSIDATA1 入出力 (SSIF)	TEND2 出力 (DMAC)	-	-
	PH4 入出力 (ポート)	SSIWS1 入出力 (SSIF)	DACK2 出力 (DMAC)	DACT2 出力 (DMAC)	-
PHCRL1	PH3 入出力 (ポート)	SSISCK1 入出力 (SSIF)	DREQ2 入力 (DMAC)	-	-
	PH2 入出力 (ポート)	SSIDATA0 入出力 (SSIF)	-	-	-
	PH1 入出力 (ポート)	SSIWS0 入出力 (SSIF)	-	-	-
	PH0 入出力 (ポート)	SSISCK0 入出力 (SSIF)	-	-	-

表 30.9 マルチプレクス一覧表 (ポート J)

設定レジスタ	モードビット (PJnMD[3:0]) 設定値					
	0000	0001	0010	0011	0100	0101
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PJCRL4	PJ12 出力 (ポート)	VIDATA7 入力 (Video-In)	SCSI 入出力 (SSU)	SD_WP 入力 (SDHI)	FRB 入力 (FLCTL)	-
PJCRL3	PJ11 入出力 (ポート)	VIDATA6 入力 (Video-In)	SSO1 入出力 (SSU)	SD_CD 入力 (SDHI)	-	-
	PJ10 入出力 (ポート)	VIDATA5 入力 (Video-In)	SSI1 入出力 (SSU)	SD_D3 入出力 (SDHI)	-	-
	PJ9 入出力 (ポート)	VIDATA4 入力 (Video-In)	SSCK1 入出力 (SSU)	SD_D2 入出力 (SDHI)	-	-
	PJ8 入出力 (ポート)	VIDATA3 入力 (Video-In)	TIOC1B 入出力 (MTU2)	SD_D1 入出力 (SDHI)	NAF7 入出力 (FLCTL)	-
PJCRL2	PJ7 入出力 (ポート)	VIDATA2 入力 (Video-In)	TIOC1A 入出力 (MTU2)	SD_D0 入出力 (SDHI)	NAF6 入出力 (FLCTL)	-
	PJ6 入出力 (ポート)	VIDATA1 入力 (Video-In)	TEND3 出力 (DMAC)	SD_CLK 出力 (SDHI)	FCE 出力 (FLCTL)	-
	PJ5 入出力 (ポート)	VIDATA0 入力 (Video-In)	DACK3 出力 (DMAC)	DACT3 出力 (DMAC)	FSC 出力 (FLCTL)	TxD4 出力 (SCIF)
	PJ4 入出力 (ポート)	VICLK 入力 (Video-In)	DREQ3 入力 (DMAC)	SD_CMD 入出力 (SDHI)	FOE 出力 (FLCTL)	RxD4 入力 (SCIF)
PJCRL1	PJ3 入出力 (ポート)	IRQ7 入力 (INTC)	TIOC0D 入出力 (MTU2)	-	-	TxD3 出力 (SCIF)
	PJ2 入出力 (ポート)	IRQ6 入力 (INTC)	TIOC0C 入出力 (MTU2)	-	-	RxD3 入力 (SCIF)
	PJ1 入出力 (ポート)	IRQ5 入力 (INTC)	TIOC0B 入出力 (MTU2)	-	-	-
	PJ0 入出力 (ポート)	IRQ4 入力 (INTC)	TIOC0A 入出力 (MTU2)	-	-	-

表 30.10 マルチプレクス一覧表 (ポート K)

設定レジスタ	モードビット (PKnMD[3:0]) 設定値				
	0000	0001	0010	0011	0100
	機能 1 (汎用入出力)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
PKCRL1	PK1 入出力 (ポート)	DCLKIN 入力 (Video-Out)	-	-	FCDE 出力 (FLCTL)
	PK0 入出力 (ポート)	CSYNC 出力 (Video-Out)	-	-	FWE 出力 (FLCTL)

30.1 特長

- コントロールレジスタの設定により、マルチプレクス端子の機能を選択
- 汎用入出力機能またはMTU2のTIOC入出力機能が選択された場合、I/Oレジスタの設定により入出力方向を選択

30.2 レジスタの説明

PFC には以下のレジスタがあります。

表 30.11 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート A・IO レジスタ L	PAIORL	R/W	H'0000	H'FFFE3802	8、16
ポート A コントロールレジスタ L4	PACRL4	R/W	H'0000/ H'1111*2	H'FFFE380C	8、16、32
ポート A コントロールレジスタ L3	PACRL3	R/W	H'0000/ H'1111*2	H'FFFE380E	8、16
ポート A コントロールレジスタ L2	PACRL2	R/W	H'0000/ H'1111*2	H'FFFE3810	8、16、32
ポート A コントロールレジスタ L1	PACRL1	R/W	H'0000/ H'1111*2	H'FFFE3812	8、16
ポート B・IO レジスタ H	PBIORH	R/W	H'0000	H'FFFE3820	8、16、32
ポート B・IO レジスタ L	PBIORL	R/W	H'0000	H'FFFE3822	8、16
ポート B コントロールレジスタ H2	PBCRH2	R/W	H'0000	H'FFFE3828	8*1、16、32
ポート B コントロールレジスタ H1	PBCRH1	R/W	H'0000	H'FFFE382A	8、16
ポート B コントロールレジスタ L4	PBCRL4	R/W	H'0000	H'FFFE382C	8、16、32
ポート B コントロールレジスタ L3	PBCRL3	R/W	H'0000	H'FFFE382E	8、16
ポート B コントロールレジスタ L2	PBCRL2	R/W	H'0000	H'FFFE3830	8、16、32
ポート B コントロールレジスタ L1	PBCRL1	R/W	H'0000/ H'0010*2	H'FFFE3832	8、16
ポート C・IO レジスタ L	PCIORL	R/W	H'0000	H'FFFE3842	8、16
ポート C コントロールレジスタ L3	PCCRL3	R/W	H'0000	H'FFFE384E	8、16
ポート C コントロールレジスタ L2	PCCRL2	R/W	H'0000	H'FFFE3850	8、16、32
ポート C コントロールレジスタ L1	PCCRL1	R/W	H'0000	H'FFFE3852	8、16
ポート D・IO レジスタ L	PDIORL	R/W	H'0000	H'FFFE3862	8、16
ポート D コントロールレジスタ L1	PDCRL1	R/W	H'0000	H'FFFE3872	8、16
ポート E・IO レジスタ L	PEIORL	R/W	H'0000	H'FFFE3882	8、16
ポート E コントロールレジスタ L4	PECRL4	R/W	H'0000	H'FFFE388C	8、16、32
ポート E コントロールレジスタ L3	PECRL3	R/W	H'0000	H'FFFE388E	8、16
ポート E コントロールレジスタ L2	PECRL2	R/W	H'0000	H'FFFE3890	8、16、32
ポート E コントロールレジスタ L1	PECRL1	R/W	H'0000	H'FFFE3892	8、16
ポート F・IO レジスタ L	PFIORL	R/W	H'0000	H'FFFE38A2	8、16
ポート F コントロールレジスタ L2	PFCL2	R/W	H'0000	H'FFFE38B0	8、16、32

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート F コントロールレジスタ L1	PFCRL1	R/W	H'0000	H'FFFE38B2	8、16
ポート G コントロールレジスタ L2	PGCRL2	R/W	H'0000	H'FFFE38D0	8、16、32
ポート G コントロールレジスタ L1	PGCRL1	R/W	H'0000	H'FFFE38D2	8、16
ポート H・IO レジスタ L	PHIORL	R/W	H'0000	H'FFFE38E2	8、16
ポート H コントロールレジスタ L4	PHCRL4	R/W	H'0000	H'FFFE38EC	8、16、32
ポート H コントロールレジスタ L3	PHCRL3	R/W	H'0000	H'FFFE38EE	8、16
ポート H コントロールレジスタ L2	PHCRL2	R/W	H'0000	H'FFFE38F0	8、16、32
ポート H コントロールレジスタ L1	PHCRL1	R/W	H'0000	H'FFFE38F2	8、16
ポート J・IO レジスタ L	PJIORL	R/W	H'0000	H'FFFE3902	8、16
ポート J コントロールレジスタ L4	PJCRL4	R/W	H'0000	H'FFFE390C	8、16、32
ポート J コントロールレジスタ L3	PJCRL3	R/W	H'0000	H'FFFE390E	8、16
ポート J コントロールレジスタ L2	PJCRL2	R/W	H'0000	H'FFFE3910	8、16、32
ポート J コントロールレジスタ L1	PJCRL1	R/W	H'0000	H'FFFE3912	8、16
ポート K・IO レジスタ L	PKIORL	R/W	H'0000	H'FFFE3922	8、16
ポート K コントロールレジスタ L1	PKCRL1	R/W	H'0000	H'FFFE3932	8、16

【注】 *1 8ビットアクセスの場合、読み出しはできますが、書き込みはできません。

*2 LSIの動作モードにより初期値が異なります。

30.2.1 ポート A・IO レジスタ L (PAIORL)

PAIORL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA15IOR ~ PA0IOR ビットが、それぞれ、PA15 ~ PA0 端子に対応しています。PAIORL は、ポート A の端子機能が汎用入出力または MTU2 の TIOC 入出力の場合に有効で、その他の機能の場合は無効です。PAIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

30.2.2 ポート A コントロールレジスタ L1 ~ L4 (PACRL1 ~ PACRL4)

PACRL1 ~ PACRL4 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。マルチプレクスされている機能については、表 30.1 を参照してください。

(1) ポート A コントロールレジスタ L4 (PACRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15MD[3:0]				PA14MD[3:0]				PA13MD[3:0]				PA12MD[3:0]			
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 12	PA15MD[3:0]	0000/ 0001*	R/W	PA15 モード PA15 端子の機能を制御します。
11 ~ 8	PA14MD[3:0]	0000/ 0001*	R/W	PA14 モード PA14 端子の機能を制御します。
7 ~ 4	PA13MD[3:0]	0000/ 0001*	R/W	PA13 モード PA13 端子の機能を制御します。
3 ~ 0	PA12MD[3:0]	0000/ 0001*	R/W	PA12 モード PA12 端子の機能を制御します。

【注】 * 16 ビットモード (MD=0) のとき初期値は 0000、32 ビットモード (MD=1) のとき初期値は 0001 になります。

(2) ポート A コントロールレジスタ L3 (PACRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA11MD[3:0]				PA10MD[3:0]				PA9MD[3:0]				PA8MD[3:0]			
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PA11MD[3:0]	0000/ 0001*	R/W	PA11 モード PA11 端子の機能を制御します。
11~8	PA10MD[3:0]	0000/ 0001*	R/W	PA10 モード PA10 端子の機能を制御します。
7~4	PA9MD[3:0]	0000/ 0001*	R/W	PA9 モード PA9 端子の機能を制御します。
3~0	PA8MD[3:0]	0000/ 0001*	R/W	PA8 モード PA8 端子の機能を制御します。

【注】 * 16 ビットモード (MD=0) のとき初期値は 0000、32 ビットモード (MD=1) のとき初期値は 0001 になります。

(3) ポート A コントロールレジスタ L2 (PACRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7MD[3:0]				PA6MD[3:0]				PA5MD[3:0]				PA4MD[3:0]			
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PA7MD[3:0]	0000/ 0001*	R/W	PA7 モード PA7 端子の機能を制御します。
11~8	PA6MD[3:0]	0000/ 0001*	R/W	PA6 モード PA6 端子の機能を制御します。
7~4	PA5MD[3:0]	0000/ 0001*	R/W	PA5 モード PA5 端子の機能を制御します。
3~0	PA4MD[3:0]	0000/ 0001*	R/W	PA4 モード PA4 端子の機能を制御します。

【注】 * 16 ビットモード (MD=0) のとき初期値は 0000、32 ビットモード (MD=1) のとき初期値は 0001 になります。

(4) ポート A コントロールレジスタ L1 (PACRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA3MD[3:0]			PA2MD[3:0]			PA1MD[3:0]			PA0MD[3:0]						
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PA3MD[3:0]	0000/ 0001*	R/W	PA3 モード PA3 端子の機能を制御します。
11~8	PA2MD[3:0]	0000/ 0001*	R/W	PA2 モード PA2 端子の機能を制御します。
7~4	PA1MD[3:0]	0000/ 0001*	R/W	PA1 モード PA1 端子の機能を制御します。
3~0	PA0MD[3:0]	0000/ 0001*	R/W	PA0 モード PA0 端子の機能を制御します。

【注】 * 16 ビットモード (MD=0) のとき初期値は 0000、32 ビットモード (MD=1) のとき初期値は 0001 になります。

30.2.3 ポート B・IO レジスタ H (PBIORH)

PBIORH は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB18IOR~PB16IOR ビットが、それぞれ、PB18~PB16 端子に対応しています。PBIORH は、ポート B の端子機能が汎用入出力の場合に有効で、その他の機能の場合は無効です。PBIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIORH のビット 15~3 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PB18 IOR	PB17 IOR	PB16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

30.2.4 ポート B・IO レジスタ L (PBIORL)

PBIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB15IOR ~ PB0IOR ビットが、それぞれ、PB15 ~ PB0 端子に対応しています。PBIORL は、ポート B の端子機能が汎用入出力の場合に有効で、その他の機能の場合は無効です。PBIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 IOR	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

30.2.5 ポート B コントロールレジスタ H1、H2、L1 ~ L4 (PBCRH1、PBCRH2、PBCRL1 ~ PBCRL4)

PBCRH1、PBCRH2、PBCRL1 ~ PBCRL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。マルチプレクスされている機能については、表 30.2 を参照してください。

(1) ポート B コントロールレジスタ H2 (PBCRH2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PB18MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0*1	0*1	0*1	0*1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W*2	R/W*2	R/W*2	R/W*2

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
3~0	PB18MD[3:0]	0000*1	R/W*2	PB18 モード PB18 機能を制御します。

【注】 *1 WDT オーバフローによるリセットでは初期化されません。

*2 PBCRH2 を書き込むにはビット 15~8 の値を H'A5、ビット 7~4 の値を 0 にして 16 ビットまたは 32 ビットアクセスで書き込んでください。

(2) ポート B コントロールレジスタ H1 (PBCRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PB17MD[3:0]			PB16MD[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~4	PB17MD[3:0]	0000	R/W	PB17 モード PB17 端子の機能を制御します。
3~0	PB16MD[3:0]	0000	R/W	PB16 モード PB16 端子の機能を制御します。

(3) ポート B コントロールレジスタ L4 (PBCRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15MD[3:0]				PB14MD[3:0]				PB13MD[3:0]				PB12MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PB15MD[3:0]	0000	R/W	PB15 モード PB15 端子の機能を制御します。
11~8	PB14MD[3:0]	0000	R/W	PB14 モード PB14 端子の機能を制御します。
7~4	PB13MD[3:0]	0000	R/W	PB13 モード PB13 端子の機能を制御します。
3~0	PB12MD[3:0]	0000	R/W	PB12 モード PB12 端子の機能を制御します。

(4) ポート B コントロールレジスタ L3 (PBCRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB11MD[3:0]				PB10MD[3:0]				PB9MD[3:0]				PB8MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PB11MD[3:0]	0000	R/W	PB11 モード PB11 端子の機能を制御します。
11~8	PB10MD[3:0]	0000	R/W	PB10 モード PB10 端子の機能を制御します。
7~4	PB9MD[3:0]	0000	R/W	PB9 モード PB9 端子の機能を制御します。
3~0	PB8MD[3:0]	0000	R/W	PB8 モード PB8 端子の機能を制御します。

(5) ポート B コントロールレジスタ L2 (PBCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7MD[3:0]				PB6MD[3:0]				PB5MD[3:0]				PB4MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PB7MD[3:0]	0000	R/W	PB7 モード PB7 端子の機能を制御します。
11~8	PB6MD[3:0]	0000	R/W	PB6 モード PB6 端子の機能を制御します。
7~4	PB5MD[3:0]	0000	R/W	PB5 モード PB5 端子の機能を制御します。
3~0	PB4MD[3:0]	0000	R/W	PB4 モード PB4 端子の機能を制御します。

(6) ポート B コントロールレジスタ L1 (PBCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB3MD[3:0]				PB2MD[3:0]				PB1MD[3:0]				PB0MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0/1*	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PB3MD[3:0]	0000	R/W	PB3 モード PB3 端子の機能を制御します。
11~8	PB2MD[3:0]	0000	R/W	PB2 モード PB2 端子の機能を制御します。
7~4	PB1MD[3:0]	0001/ 0000*	R/W	PB1 モード PB1 端子の機能を制御します。
3~0	PB0MD[3:0]	0000	R/W	PB0 モード PB0 端子の機能を制御します。

【注】 * 16 ビットモード (MD=0) のとき初期値は 0001、32 ビットモード (MD=1) のとき初期値は 0000 になります。

30.2.6 ポート C・IO レジスタ L (PCIORL)

PCIORL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PC10IOR~PC0IOR ビットが、それぞれ、PC10~PC0 端子に対応しています。PCIORL はポート C の端子機能が汎用入出力または MTU2 の TIOC 入出力の場合に有効で、その他の機能の場合は無効です。PCIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIORL のビット 15~11 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

30.2.7 ポート C コントロールレジスタ L1 ~ L3 (PCCRL1 ~ PCCRL3)

PCCRL1 ~ PCCRL3 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。マルチプレクスされている機能については、表 30.3 を参照してください。

(1) ポート C コントロールレジスタ L3 (PCCRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PC10MD[3:0]				PC9MD[3:0]				PC8MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~8	PC10MD[3:0]	0000	R/W	PC10 モード PC10 端子の機能を制御します。
7~4	PC9MD[3:0]	0000	R/W	PC9 モード PC9 端子の機能を制御します。
3~0	PC8MD[3:0]	0000	R/W	PC8 モード PC8 端子の機能を制御します。

(2) ポート C コントロールレジスタ L2 (PCCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC7MD[3:0]				PC6MD[3:0]				PC5MD[3:0]				PC4MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PC7MD[3:0]	0000	R/W	PC7 モード PC7 端子の機能を制御します。
11~8	PC6MD[3:0]	0000	R/W	PC6 モード PC6 端子の機能を制御します。
7~4	PC5MD[3:0]	0000	R/W	PC5 モード PC5 端子の機能を制御します。
3~0	PC4MD[3:0]	0000	R/W	PC4 モード PC4 端子の機能を制御します。

(3) ポート C コントロールレジスタ L1 (PCCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC3MD[3:0]				PC2MD[3:0]				PC1MD[3:0]				PC0MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PC3MD[3:0]	0000	R/W	PC3 モード PC3 端子の機能を制御します。
11~8	PC2MD[3:0]	0000	R/W	PC2 モード PC2 端子の機能を制御します。
7~4	PC1MD[3:0]	0000	R/W	PC1 モード PC1 端子の機能を制御します。
3~0	PC0MD[3:0]	0000	R/W	PC0 モード PC0 端子の機能を制御します。

30.2.8 ポート D・IO レジスタ L (PDIORL)

PDIORL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD2IOR ~ PD0IOR ビットが、それぞれ、PD2 ~ PD0 端子に対応しています。PDIORL はポート D の端子機能が汎用入出力の場合に有効で、その他の機能の場合は無効です。PDIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIORL のビット 15~3 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

30.2.9 ポート D コントロールレジスタ L1 (PDCRL1)

PDCRL1 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。マルチプレクスされている機能については、表 30.4 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PD2MD[3:0]			PD1MD[3:0]			PD0MD[3:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~8	PD2MD[3:0]	0000	R/W	PD2 モード PD2 端子の機能を制御します。
7~4	PD1MD[3:0]	0000	R/W	PD1 モード PD1 端子の機能を制御します。
3~0	PD0MD[3:0]	0000	R/W	PD0 モード PD0 端子の機能を制御します。

30.2.10 ポート E・IO レジスタ L (PEIORL)

PEIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。PE13IOR、PE11IOR、PE9IOR、PE7IOR ~ PE0IOR ビットが、それぞれ、PE13、PE11、PE9、PE7 ~ PE0 端子に対応しています。PEIORL はポート E の端子機能が汎用入出力または MTU2 の TIOC 入出力の場合に有効で、その他の機能の場合は無効です。PEIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIORL のビット 15、14、12、10、8 はリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PE13 IOR	-	PE11 IOR	-	PE9 IOR	-	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

30.2.11 ポート E コントロールレジスタ L1 ~ L4 (PECRL1 ~ PECRL4)

PECRL1 ~ PECRL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にあるマルチプレクス端子の機能を選びます。マルチプレクスされている機能については、表 30.5 を参照してください。

(1) ポート E コントロールレジスタ L4 (PECRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PE13MD[3:0]				PE12MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~4	PE13MD[3:0]	0000	R/W	PE13 モード PE13 端子の機能を制御します。
3~0	PE12MD[3:0]	0000	R/W	PE12 モード PE12 端子の機能を制御します。

(2) ポート E コントロールレジスタ L3 (PECRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE11MD[3:0]				PE10MD[3:0]				PE9MD[3:0]				PE8MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PE11MD[3:0]	0000	R/W	PE11 モード PE11 端子の機能を制御します。
11~8	PE10MD[3:0]	0000	R/W	PE10 モード PE10 端子の機能を制御します。
7~4	PE9MD[3:0]	0000	R/W	PE9 モード PE9 端子の機能を制御します。
3~0	PE8MD[3:0]	0000	R/W	PE8 モード PE8 端子の機能を制御します。

(3) ポートEコントロールレジスタ L2 (PECRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE7MD[3:0]				PE6MD[3:0]				PE5MD[3:0]				PE4MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PE7MD[3:0]	0000	R/W	PE7 モード PE7 端子の機能を制御します。
11~8	PE6MD[3:0]	0000	R/W	PE6 モード PE6 端子の機能を制御します。
7~4	PE5MD[3:0]	0000	R/W	PE5 モード PE5 端子の機能を制御します。
3~0	PE4MD[3:0]	0000	R/W	PE4 モード PE4 端子の機能を制御します。

(4) ポートEコントロールレジスタ L1 (PECRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE3MD[3:0]				PE2MD[3:0]				PE1MD[3:0]				PE0MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PE3MD[3:0]	0000	R/W	PE3 モード PE3 端子の機能を制御します。
11~8	PE2MD[3:0]	0000	R/W	PE2 モード PE2 端子の機能を制御します。
7~4	PE1MD[3:0]	0000	R/W	PE1 モード PE1 端子の機能を制御します。
3~0	PE0MD[3:0]	0000	R/W	PE0 モード PE0 端子の機能を制御します。

30.2.12 ポート F・IO レジスタ L (PFIORL)

PFIORL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F にある端子の入出力方向を選びます。PF4IOR ~ PF0IOR ビットが、それぞれ、PF4 ~ PF0 端子に対応しています。PFIORL はポート F の端子機能が汎用入出力の場合に有効で、その他の機能の場合は無効です。PFIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PFIORL のビット 15 ~ 5 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PF4 IOR	PF3 IOR	PF2 IOR	PF1 IOR	PF0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

30.2.13 ポート F コントロールレジスタ L1、L2 (PFCRL1、PFCRL2)

PFCRL1、PFCRL2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート F にあるマルチプレクス端子の機能を選びます。マルチプレクスされている機能については、表 30.6 を参照してください。

(1) ポート F コントロールレジスタ L2 (PFCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PF4MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	PF4MD[3:0]	0000	R/W	PF4 モード PF4 端子の機能を制御します。

(2) ポート F コントロールレジスタ L1 (PFCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF3MD[3:0]				PF2MD[3:0]				PF1MD[3:0]				PF0MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PF3MD[3:0]	0000	R/W	PF3 モード PF3 端子の機能を制御します。
11~8	PF2MD[3:0]	0000	R/W	PF2 モード PF2 端子の機能を制御します。
7~4	PF1MD[3:0]	0000	R/W	PF1 モード PF1 端子の機能を制御します。
3~0	PF0MD[3:0]	0000	R/W	PF0 モード PF0 端子の機能を制御します。

30.2.14 ポート G コントロールレジスタ L1~L2 (PGCRL1~PGCRL2)

PGCRL1~PGCRL2 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート G にあるマルチプレクス端子の機能を選びます。マルチプレクスされている機能については、表 30.7 を参照してください。

(1) ポート G コントロールレジスタ L2 (PGCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG7MD[3:0]				PG6MD[3:0]				PG5MD[3:0]				PG4MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PG7MD[3:0]	0000	R/W	PG7 モード PG7 端子の機能を制御します。
11~8	PG6MD[3:0]	0000	R/W	PG6 モード PG6 端子の機能を制御します。
7~4	PG5MD[3:0]	0000	R/W	PG5 モード PG5 端子の機能を制御します。
3~0	PG4MD[3:0]	0000	R/W	PG4 モード PG4 端子の機能を制御します。

(2) ポート G コントロールレジスタ L1 (PGCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG3MD[3:0]				PG2MD[3:0]				PG1MD[3:0]				PG0MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PG3MD[3:0]	0000	R/W	PG3 モード PG3 端子の機能を制御します。
11~8	PG2MD[3:0]	0000	R/W	PG2 モード PG2 端子の機能を制御します。
7~4	PG1MD[3:0]	0000	R/W	PG1 モード PG1 端子の機能を制御します。
3~0	PG0MD[3:0]	0000	R/W	PG0 モード PG0 端子の機能を制御します。

30.2.15 ポート H・IO レジスタ L (PHIORL)

PHIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート H にある端子の入出力方向を選びます。PH15IOR ~ PH0IOR ビットが、それぞれ、PH15 ~ PH0 端子に対応しています。PHIORL はポート H の端子機能が汎用入出力の場合に有効で、その他の機能の場合は無効です。PHIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 IOR	PH14 IOR	PH13 IOR	PH12 IOR	PH11 IOR	PH10 IOR	PH9 IOR	PH8 IOR	PH7 IOR	PH6 IOR	PH5 IOR	PH4 IOR	PH3 IOR	PH2 IOR	PH1 IOR	PH0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

30.2.16 ポートHコントロールレジスタ L1～L4 (PHCRL1～PHCRL4)

PHCRL1～PHCRL4は、それぞれ16ビットの読み出し/書き込み可能なレジスタで、ポートHにあるマルチプレクス端子の機能を選びます。マルチプレクスされている機能については、表 30.8 を参照してください。

(1) ポートHコントロールレジスタ L4 (PHCRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15MD[3:0]				PH14MD[3:0]				PH13MD[3:0]				PH12MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～12	PH15MD[3:0]	0000	R/W	PH15 モード PH15 端子の機能を制御します。
11～8	PH14MD[3:0]	0000	R/W	PH14 モード PH14 端子の機能を制御します。
7～4	PH13MD[3:0]	0000	R/W	PH13 モード PH13 端子の機能を制御します。
3～0	PH12MD[3:0]	0000	R/W	PH12 モード PH12 端子の機能を制御します。

(2) ポートHコントロールレジスタ L3 (PHCRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH11MD[3:0]				PH10MD[3:0]				PH9MD[3:0]				PH8MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～12	PH11MD[3:0]	0000	R/W	PH11 モード PH11 端子の機能を制御します。
11～8	PH10MD[3:0]	0000	R/W	PH10 モード PH10 端子の機能を制御します。
7～4	PH9MD[3:0]	0000	R/W	PH9 モード PH9 端子の機能を制御します。
3～0	PH8MD[3:0]	0000	R/W	PH8 モード PH8 端子の機能を制御します。

(3) ポートHコントロールレジスタ L2 (PHCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH7MD[3:0]				PH6MD[3:0]				PH5MD[3:0]				PH4MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PH7MD[3:0]	0000	R/W	PH7 モード PH7 端子の機能を制御します。
11~8	PH6MD[3:0]	0000	R/W	PH6 モード PH6 端子の機能を制御します。
7~4	PH5MD[3:0]	0000	R/W	PH5 モード PH5 端子の機能を制御します。
3~0	PH4MD[3:0]	0000	R/W	PH4 モード PH4 端子の機能を制御します。

(4) ポートHコントロールレジスタ L1 (PHCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH3MD[3:0]				PH2MD[3:0]				PH1MD[3:0]				PH0MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PH3MD[3:0]	0000	R/W	PH3 モード PH3 端子の機能を制御します。
11~8	PH2MD[3:0]	0000	R/W	PH2 モード PH2 端子の機能を制御します。
7~4	PH1MD[3:0]	0000	R/W	PH1 モード PH1 端子の機能を制御します。
3~0	PH0MD[3:0]	0000	R/W	PH0 モード PH0 端子の機能を制御します。

30.2.17 ポート J・IO レジスタ L (PJIORL)

PJIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート J にある端子の入出力方向を選びます。PJ12IOR ~ PJ0IOR ビットが、それぞれ、PJ12 ~ PJ0 端子に対応しています。PJIORL はポート J の端子機能が汎用入出力または MTU2 の TIOC 入出力の場合に有効で、その他の機能の場合は無効です。PJIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PJIORL のビット 15 ~ 13 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PJ12 IOR	PJ11 IOR	PJ10 IOR	PJ9 IOR	PJ8 IOR	PJ7 IOR	PJ6 IOR	PJ5 IOR	PJ4 IOR	PJ3 IOR	PJ2 IOR	PJ1 IOR	PJ0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

30.2.18 ポート J コントロールレジスタ L1 ~ L4 (PJCRLL1 ~ PJCRLL4)

PJCRLL1 ~ PJCRLL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート J にあるマルチプレクス端子の機能を選びます。マルチプレクスされている機能については、表 30.9 を参照してください。

(1) ポート J コントロールレジスタ L4 (PJCRLL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PJ12MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	PJ12MD[3:0]	0000	R/W	PJ12 モード PJ12 端子の機能を制御します。

(2) ポートJコントロールレジスタ L3 (PJCR L3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ11MD[3:0]				PJ10MD[3:0]				PJ9MD[3:0]				PJ8MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PJ11MD[3:0]	0000	R/W	PJ11 モード PJ11 端子の機能を制御します。
11~8	PJ10MD[3:0]	0000	R/W	PJ10 モード PJ10 端子の機能を制御します。
7~4	PJ9MD[3:0]	0000	R/W	PJ9 モード PJ9 端子の機能を制御します。
3~0	PJ8MD[3:0]	0000	R/W	PJ8 モード PJ8 端子の機能を制御します。

(3) ポートJコントロールレジスタ L2 (PJCR L2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ7MD[3:0]				PJ6MD[3:0]				PJ5MD[3:0]				PJ4MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PJ7MD[3:0]	0000	R/W	PJ7 モード PJ7 端子の機能を制御します。
11~8	PJ6MD[3:0]	0000	R/W	PJ6 モード PJ6 端子の機能を制御します。
7~4	PJ5MD[3:0]	0000	R/W	PJ5 モード PJ5 端子の機能を制御します。
3~0	PJ4MD[3:0]	0000	R/W	PJ4 モード PJ4 端子の機能を制御します。

(4) ポートJコントロールレジスタ L1 (PJCRLL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ3MD[3:0]				PJ2MD[3:0]				PJ1MD[3:0]				PJ0MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	PJ3MD[3:0]	0000	R/W	PJ3 モード PJ3 端子の機能を制御します。
11~8	PJ2MD[3:0]	0000	R/W	PJ2 モード PJ2 端子の機能を制御します。
7~4	PJ1MD[3:0]	0000	R/W	PJ1 モード PJ1 端子の機能を制御します。
3~0	PJ0MD[3:0]	0000	R/W	PJ0 モード PJ0 端子の機能を制御します。

30.2.19 ポートK・IO レジスタ L (PKIORL)

PKIORL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、ポート K にある端子の入出力方向を選びます。PK1IOR~PK0IOR ビットが、それぞれ、PK1~PK0 端子に対応しています。PKIORL はポート K の端子機能が汎用入出力の場合に有効で、その他の機能の場合は無効です。PKIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PKIORL のビット 15~2 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PK1 IOR	PK0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

30.2.20 ポート K コントロールレジスタ L1 (PKCRL1)

PKCRL1 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート K にあるマルチプレクス端子の機能を選びます。マルチプレクスされている機能については、表 30.10 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PK1MD[3:0]				PK0MD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~4	PK1MD[3:0]	0000	R/W	PK1 モード PK1 端子の機能を制御します。
3~0	PK0MD[3:0]	0000	R/W	PK0 モード PK0 端子の機能を制御します。

30.3 使用上の注意事項

表 30.1 ~ 表 30.10 に示したマルチプレクス一覧表のうち PE8 ~ PE13、PF0 ~ PF1、PG0 ~ PG7 を除く全端子の I/O バッファには、端子の電位が中間電位状態となることを抑止するため、ウィークキーバ回路またはプルアップ回路 (PB18) が付いています。しかし、ハイインピーダンス出力状態時に保持された電位は、ノイズ等の影響により変化することがありますのでご注意ください。

31. I/O ポート

本 LSI のポートは、A、B、C、D、E、F、G、H、J、K の 10 本から構成されています。

それぞれのポートの端子は、すべて、その他の機能を兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタおよび端子の値を読み出すためのポートレジスタを持っています。

31.1 特長

1. ポート総数：107本（入出力96本、入力11本）

- ポートA：入出力16本
- ポートB：入出力19本
- ポートC：入出力11本
- ポートD：入出力3本
- ポートE：入出力11本、入力3本
- ポートF：入出力5本
- ポートG：入力8本
- ポートH：入出力16本
- ポートJ：入出力13本
- ポートK：入出力2本

2. ウィークキーパ付き端子

本LSIの以下のI/O端子には、端子の電位が中間電位状態となることを抑止するウィークキーパ回路またはブルアップ回路（PB18）が付いています。

- ポートA：PA0～PA15
- ポートB：PB0～PB18
- ポートC：PC0～PC10
- ポートD：PD0～PD2
- ポートE：PE0～PE7
- ポートF：PF2～PF4
- ポートH：PH0～PH15
- ポートJ：PJ0～PJ12
- ポートK：PK0～PK1

ウィークキーパ回路またはプルアップ回路は、I/O端子に内蔵され、I/O端子が外部からドライブされていないときに、入力をハイまたはローレベルに固定する回路です。一般にCMOS製品では未使用の入力端子は外部にプルアップまたはプルダウン抵抗を付けて入力レベルを固定する必要がありますが、本LSIのウィークキーパまたはプルアップが付いたI/O端子ではこのような外付け回路は不要であり、部品点数を減らすことが可能です。

なお、プルアップまたはプルダウン抵抗により端子レベルを固定する必要がある場合は、抵抗値は10k 以下にしてください。

31.2 レジスタの説明

ポートには以下のレジスタがあります。

表 31.1 レジスタの構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート A データレジスタ L	PADRL	R/W	H'0000	H'FFFE3816	8、16
ポート A ポートレジスタ L	PAPRL	R	H'xxxx	H'FFFE381A	8、16
ポート B データレジスタ H	PBDRH	R/W	H'0000	H'FFFE3834	8、16
ポート B データレジスタ L	PBDRL	R/W	H'0000	H'FFFE3836	8、16
ポート B ポートレジスタ H	PBPRH	R	H'000x	H'FFFE3838	8、16
ポート B ポートレジスタ L	PBPRL	R	H'xxxx	H'FFFE383A	8、16
ポート C データレジスタ L	PCDRL	R/W	H'0000	H'FFFE3856	8、16
ポート C ポートレジスタ L	PCPRL	R	H'0xxx	H'FFFE385A	8、16
ポート D データレジスタ L	PDDRL	R/W	H'0000	H'FFFE3876	8、16
ポート D ポートレジスタ L	PDPRL	R	H'000x	H'FFFE387A	8、16
ポート E データレジスタ L	PEDRL	R/W	H'xx00	H'FFFE3896	8、16
ポート E ポートレジスタ L	PEPRL	R	H'xxxx	H'FFFE389A	8、16
ポート F データレジスタ L	PFDRL	R/W	H'0000	H'FFFE38B6	8、16
ポート F ポートレジスタ L	PFPRL	R	H'00xx	H'FFFE38BA	8、16
ポート G データレジスタ L	PGDRL	R/W	H'00xx	H'FFFE38D6	8、16
ポート H データレジスタ L	PHDRL	R/W	H'0000	H'FFFE38F6	8、16
ポート H ポートレジスタ L	PHPRL	R	H'xxxx	H'FFFE38FA	8、16
ポート J データレジスタ L	PJDRL	R/W	H'0000	H'FFFE3916	8、16
ポート J ポートレジスタ L	PJPRL	R	H'xxxx	H'FFFE391A	8、16
ポート K データレジスタ L	PKDRL	R/W	H'0000	H'FFFE3936	8、16
ポート K ポートレジスタ L	PKPRL	R	H'xxxx	H'FFFE393A	8、16

31.2.1 ポート A データレジスタ L (PADRL)

PADRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA15DR ~ PA0DR ビットは、それぞれ PA15 ~ PA0 端子に対応しています。

端子機能が汎用出力の場合には、PADRL に値を書き込むと端子からその値が出力され、PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRL に値を書き込むと、PADRL にその値を書き込めますが端子の状態には影響しません。表 31.2 に PADRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 DR	PA14 DR	PA13 DR	PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PA15DR	0	R/W	表 31.2 参照
14	PA14DR	0	R/W	
13	PA13DR	0	R/W	
12	PA12DR	0	R/W	
11	PA11DR	0	R/W	
10	PA10DR	0	R/W	
9	PA9DR	0	R/W	
8	PA8DR	0	R/W	
7	PA7DR	0	R/W	
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

表 31.2 ポート A データレジスタ L (PADRL) の読み出し / 書き込み動作

• PADRLのビット15~0

PAIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PADRL の値	書き込み値が端子から出力される
	汎用出力以外	PADRL の値	PADRL に書き込めるが、端子の状態に影響しない

31.2.2 ポート A ポートレジスタ L (PAPRL)

PAPRL は、読み出し専用の 16 ビットのレジスタで、PA15PR ~ PA0PR ビットが、それぞれ PA15 ~ PA0 端子に対応しています。PAPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 PR	PA14 PR	PA13 PR	PA12 PR	PA11 PR	PA10 PR	PA9 PR	PA8 PR	PA7 PR	PA6 PR	PA5 PR	PA4 PR	PA3 PR	PA2 PR	PA1 PR	PA0 PR
初期値 :	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PA15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PA14PR	端子の状態	R	
13	PA13PR	端子の状態	R	
12	PA12PR	端子の状態	R	
11	PA11PR	端子の状態	R	
10	PA10PR	端子の状態	R	
9	PA9PR	端子の状態	R	
8	PA8PR	端子の状態	R	
7	PA7PR	端子の状態	R	
6	PA6PR	端子の状態	R	
5	PA5PR	端子の状態	R	
4	PA4PR	端子の状態	R	
3	PA3PR	端子の状態	R	
2	PA2PR	端子の状態	R	
1	PA1PR	端子の状態	R	
0	PA0PR	端子の状態	R	

31.2.3 ポート B データレジスタ H、L (PBDRH、PBDRL)

PBDRH、PBDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB18DR ~ PB0DR ビットは、それぞれ PB18 ~ PB0 端子に対応しています。

端子機能が汎用出力の場合には、PBDRH、PBDRL に値を書き込むと端子からその値が出力され、PBDRH、PBDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDRH、PBDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDRH、PBDRL に値を書き込むと、PBDRH、PBDRL にその値を書き込みますが端子の状態には影響しません。表 31.3 に PBDRH、PBDRL の読み出し / 書き込み動作を示します。

(1) ポート B データレジスタ H (PBDRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PB18 DR	PB17 DR	PB16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PB18DR	0	R/W	表 31.3 参照
1	PB17DR	0	R/W	
0	PB16DR	0	R/W	

(2) ポート B データレジスタ L (PBDRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 DR	PB14 DR	PB13 DR	PB12 DR	PB11 DR	PB10 DR	PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PB15DR	0	R/W	表 31.3 参照
14	PB14DR	0	R/W	
13	PB13DR	0	R/W	
12	PB12DR	0	R/W	
11	PB11DR	0	R/W	
10	PB10DR	0	R/W	
9	PB9DR	0	R/W	
8	PB8DR	0	R/W	
7	PB7DR	0	R/W	
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

表 31.3 ポート B データレジスタ H、L (PBDRH、PBDRL) の読み出し / 書き込み動作

- PBDRHのビット2~0およびPBDRLのビット15~0

PBIORH、L	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PBDRH、L の値	PBDRH、L に書き込めるが、端子の状態に影響しない

31.2.4 ポート B ポートレジスタ H、L (PBPRH、PBPR L)

PBPRH、PBPR L は、読み出し専用の 16 ビットのレジスタで、PB18PR ~ PB0PR ビットが、それぞれ PB18 ~ PB0 端子に対応しています。PBPRH、PBPR L は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

(1) ポート B ポートレジスタ H (PBPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PB18 PR	PB17 PR	PB16 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PB18	PB17	PB16
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PB18PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
1	PB17PR	端子の状態	R	
0	PB16PR	端子の状態	R	

(2) ポート B ポートレジスタ L (PBPR L)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 PR	PB14 PR	PB13 PR	PB12 PR	PB11 PR	PB10 PR	PB9 PR	PB8 PR	PB7 PR	PB6 PR	PB5 PR	PB4 PR	PB3 PR	PB2 PR	PB1 PR	PB0 PR
初期値:	PB15	PB14	PB13	PB12	PB11	PB10	PB9	PB8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PB15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PB14PR	端子の状態	R	
13	PB13PR	端子の状態	R	
12	PB12PR	端子の状態	R	
11	PB11PR	端子の状態	R	
10	PB10PR	端子の状態	R	
9	PB9PR	端子の状態	R	
8	PB8PR	端子の状態	R	
7	PB7PR	端子の状態	R	
6	PB6PR	端子の状態	R	
5	PB5PR	端子の状態	R	
4	PB4PR	端子の状態	R	
3	PB3PR	端子の状態	R	
2	PB2PR	端子の状態	R	
1	PB1PR	端子の状態	R	
0	PB0PR	端子の状態	R	

31.2.5 ポート C データレジスタ L (PCDRL)

PCDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC10DR ~ PC0DR ビットは、それぞれ PC10 ~ PC0 端子に対応しています。

端子機能が汎用出力の場合には、PCDRL に値を書き込むと端子からその値が出力され、PCDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDRL に値を書き込むと、PCDRL にその値を書き込みますが端子の状態には影響しません。表 31.4 に PCDRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	PC10 DR	PC9 DR	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PC10DR	0	R/W	表 31.4 参照
9	PC9DR	0	R/W	
8	PC8DR	0	R/W	
7	PC7DR	0	R/W	
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

表 31.4 ポート C データレジスタ L (PCDRL) の読み出し / 書き込み動作

- PCDRLのビット10~0

PCIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDRL の値	書き込み値が端子から出力される
	汎用出力以外	PCDRL の値	PCDRL に書き込めるが、端子の状態に影響しない

31.2.6 ポート C ポートレジスタ L (PCPRL)

PCPRL は、読み出し専用の 16 ビットのレジスタで、PC10PR ~ PC0PR ビットが、それぞれ PC10 ~ PC0 端子に対応しています。PCPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	PC10 PR	PC9 PR	PC8 PR	PC7 PR	PC6 PR	PC5 PR	PC4 PR	PC3 PR	PC2 PR	PC1 PR	PC0 PR
初期値:	0	0	0	0	0	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PC10PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
9	PC9PR	端子の状態	R	
8	PC8PR	端子の状態	R	
7	PC7PR	端子の状態	R	
6	PC6PR	端子の状態	R	
5	PC5PR	端子の状態	R	
4	PC4PR	端子の状態	R	
3	PC3PR	端子の状態	R	
2	PC2PR	端子の状態	R	
1	PC1PR	端子の状態	R	
0	PC0PR	端子の状態	R	

31.2.7 ポート D データレジスタ L (PDDRL)

PDDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD2DR ~ PD0DR ビットは、それぞれ PD2 ~ PD0 端子に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRL に値を書き込むと、PDDRL にその値を書き込めますが端子の状態には影響しません。表 31.5 に PDDRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PD2DR	PD1DR	PD0DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PD2DR	0	R/W	表 31.5 参照
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

表 31.5 ポート D データレジスタ L (PDDRL) の読み出し / 書き込み動作

• PDDRL のビット 2~0

PDIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDRL の値	書き込み値が端子から出力される
	汎用出力以外	PDDRL の値	PDDRL に書き込めるが、端子の状態に影響しない

31.2.8 ポート D ポートレジスタ L (PDPRL)

PDPRL は、読み出し専用の 16 ビットのレジスタで、PD2PR ~ PD0PR ビットが、それぞれ PD2 ~ PD0 端子に対応しています。PDPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PD2 PR	PD1 PR	PD0 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	PD2	PD1	PD0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PD2PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
1	PD1PR	端子の状態	R	
0	PD0PR	端子の状態	R	

31.2.9 ポート E データレジスタ L (PEDRL)

PEDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE13DR ~ PE0DR ビットは、それぞれ PE13 ~ PE0 端子に対応しています。

端子機能が汎用出力の場合には、PEDRL に値を書き込むと端子からその値が出力され、PEDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRL に値を書き込むと、PEDRL にその値を書き込みますが端子の状態には影響しません。表 31.6 に PEDRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PE13 DR	PE12 DR	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値:	0	0	0	*	0	*	0	*	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PE13DR	0	R/W	表 31.6 参照
12	PE12DR	端子の状態	R	
11	PE11DR	0	R/W	
10	PE10DR	端子の状態	R	
9	PE9DR	0	R/W	
8	PE8DR	端子の状態	R	
7	PE7DR	0	R/W	
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

表 31.6 ポート E データレジスタ L (PEDRL) の読み出し / 書き込み動作

- PEDRLのビット13、11、9、7~0

PEIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDRL の値	書き込み値が端子から出力される
	汎用出力以外	PEDRL の値	PEDRL に書き込めるが、端子の状態に影響しない

- PEDRLのビット12、10、8

端子機能	読み出し	書き込み
汎用入力	端子の状態	無効
汎用入力以外	端子の状態	無効

31.2.10 ポート E ポートレジスタ L (PEPRL)

PEPRL は、読み出し専用の 16 ビットのレジスタで、PE13PR ~ PE0PR ビットが、それぞれ PE13 ~ PE0 端子に対応しています。PEPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PE13 PR	PE12 PR	PE11 PR	PE10 PR	PE9 PR	PE8 PR	PE7 PR	PE6 PR	PE5 PR	PE4 PR	PE3 PR	PE2 PR	PE1 PR	PE0 PR
初期値:	0	0	PE13	PE12	PE11	PE10	PE9	PE8	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
13	PE13PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
12	PE12PR	端子の状態	R	
11	PE11PR	端子の状態	R	
10	PE10PR	端子の状態	R	
9	PE9PR	端子の状態	R	
8	PE8PR	端子の状態	R	
7	PE7PR	端子の状態	R	
6	PE6PR	端子の状態	R	
5	PE5PR	端子の状態	R	
4	PE4PR	端子の状態	R	
3	PE3PR	端子の状態	R	
2	PE2PR	端子の状態	R	
1	PE1PR	端子の状態	R	
0	PE0PR	端子の状態	R	

31.2.11 ポート F データレジスタ L (PFDR L)

PFDR L は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F のデータを格納します。PF4DR ~ PF0DR ビットは、それぞれ PF4 ~ PF0 端子に対応しています。

端子機能が汎用出力の場合には、PFDR L に値を書き込むと端子からその値が出力され、PFDR L を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PFDR L を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDR L に値を書き込むと、PFDR L にその値を書き込みますが端子の状態には影響しません。表 31.7 に PFDR L の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PF4 DR	PF3 DR	PF2 DR	PF1 DR	PF0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PF4DR	0	R/W	表 31.7 参照
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

表 31.7 ポート F データレジスタ L (PFDR L) の読み出し / 書き込み動作

- PFDR L のビット 4 ~ 0

PFIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR L に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR L の値	書き込み値が端子から出力される
	汎用出力以外	PFDR L の値	PFDR L に書き込めるが、端子の状態に影響しない

31.2.12 ポート F ポートレジスタ L (PFPR)

PFPR は、読み出し専用の 16 ビットのレジスタで、PF4PR ~ PF0PR ビットが、それぞれ PF4 ~ PF0 端子に対応しています。PFPR は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PF4 PR	PF3 PR	PF2 PR	PF1 PR	PF0 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	PF4	PF3	PF2	PF1	PF0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
4	PF4PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
3	PF3PR	端子の状態	R	
2	PF2PR	端子の状態	R	
1	PF1PR	端子の状態	R	
0	PF0PR	端子の状態	R	

31.2.13 ポート G データレジスタ L (PGDRL)

PGDRL は、読み出し専用の 16 ビットのレジスタで、PG7DR ~ PG0DR ビットはそれぞれ PG7 ~ PG0 端子に対応しています。PG7 ~ PG0 の汎用入力機能は、A/D、D/A 変換器以外の機能を選択しているとき有効です。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D、D/A 変換器の機能を選択している端子は、固定値が読み出されます。表 31.8 に PGDRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PG7 DR	PG6 DR	PG5 DR	PG4 DR	PG3 DR	PG2 DR	PG1 DR	PG0 DR
初期値:	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PG7DR	端子の状態	R	表 31.8 参照
6	PG6DR	端子の状態	R	
5	PG5DR	端子の状態	R	
4	PG4DR	端子の状態	R	
3	PG3DR	端子の状態	R	
2	PG2DR	端子の状態	R	
1	PG1DR	端子の状態	R	
0	PG0DR	端子の状態	R	

表 31.8 ポート G データレジスタ L (PGDRL) の読み出し / 書き込み動作

• PGDRLのビット7~0

端子機能	読み出し	書き込み
汎用入力または ANn、DAm 以外の機能入力	端子の状態	無視 (端子の状態に影響しない)
ANn 入力、DAm 出力	固定値	無視 (端子の状態に影響しない)

【記号説明】n=7~0、m=1、0。

31.2.14 ポートHデータレジスタL (PHDRL)

PHDRLは、読み出し/書き込み可能な16ビットのレジスタで、ポートHのデータを格納します。PH15DR～PH0DRビットは、それぞれPH15～PH0端子に対応しています。

端子機能が汎用出力の場合には、PHDRLに値を書き込むと端子からその値が出力され、PHDRLを読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PHDRLを読み出すとレジスタの値ではなく端子の状態が直接読み出されます。またPHDRLに値を書き込むと、PHDRLにその値を書き込めますが端子の状態には影響しません。表31.9にPHDRLの読み出し/書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 DR	PH14 DR	PH13 DR	PH12 DR	PH11 DR	PH10 DR	PH9 DR	PH8 DR	PH7 DR	PH6 DR	PH5 DR	PH4 DR	PH3 DR	PH2 DR	PH1 DR	PH0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	PH15DR	0	R/W	表 31.9 参照
14	PH14DR	0	R/W	
13	PH13DR	0	R/W	
12	PH12DR	0	R/W	
11	PH11DR	0	R/W	
10	PH10DR	0	R/W	
9	PH9DR	0	R/W	
8	PH8DR	0	R/W	
7	PH7DR	0	R/W	
6	PH6DR	0	R/W	
5	PH5DR	0	R/W	
4	PH4DR	0	R/W	
3	PH3DR	0	R/W	
2	PH2DR	0	R/W	
1	PH1DR	0	R/W	
0	PH0DR	0	R/W	

表 31.9 ポートHデータレジスタL (PHDRL) の読み出し/書き込み動作

- PHDRLのビット15～0

PHIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PHDRLに書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PHDRLに書き込めるが、端子の状態に影響しない
1	汎用出力	PHDRLの値	書き込み値が端子から出力される
	汎用出力以外	PHDRLの値	PHDRLに書き込めるが、端子の状態に影響しない

31.2.15 ポートHポートレジスタL (PHPRL)

PHPRL は、読み出し専用の 16 ビットのレジスタで、PH15PR ~ PH0PR ビットが、それぞれ PH15 ~ PH0 端子に対応しています。PHPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 PR	PH14 PR	PH13 PR	PH12 PR	PH11 PR	PH10 PR	PH9 PR	PH8 PR	PH7 PR	PH6 PR	PH5 PR	PH4 PR	PH3 PR	PH2 PR	PH1 PR	PH0 PR
初期値 :	PH15	PH14	PH13	PH12	PH11	PH10	PH9	PH8	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	PH15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PH14PR	端子の状態	R	
13	PH13PR	端子の状態	R	
12	PH12PR	端子の状態	R	
11	PH11PR	端子の状態	R	
10	PH10PR	端子の状態	R	
9	PH9PR	端子の状態	R	
8	PH8PR	端子の状態	R	
7	PH7PR	端子の状態	R	
6	PH6PR	端子の状態	R	
5	PH5PR	端子の状態	R	
4	PH4PR	端子の状態	R	
3	PH3PR	端子の状態	R	
2	PH2PR	端子の状態	R	
1	PH1PR	端子の状態	R	
0	PH0PR	端子の状態	R	

31.2.16 ポート J データレジスタ L (PJDRL)

PJDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート J のデータを格納します。PJ12DR ~ PJ0DR ビットは、それぞれ PJ12 ~ PJ0 端子に対応しています。

端子機能が汎用出力の場合には、PJDRL に値を書き込むと端子からその値が出力され、PJDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PJDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PJDRL に値を書き込むと、PJDRL にその値を書き込みますが端子の状態には影響しません。表 31.10 に PJDRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PJ12 DR	PJ11 DR	PJ10 DR	PJ9 DR	PJ8 DR	PJ7 DR	PJ6 DR	PJ5 DR	PJ4 DR	PJ3 DR	PJ2 DR	PJ1 DR	PJ0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PJ12DR	0	R/W	表 31.10 参照
11	PJ11DR	0	R/W	
10	PJ10DR	0	R/W	
9	PJ9DR	0	R/W	
8	PJ8DR	0	R/W	
7	PJ7DR	0	R/W	
6	PJ6DR	0	R/W	
5	PJ5DR	0	R/W	
4	PJ4DR	0	R/W	
3	PJ3DR	0	R/W	
2	PJ2DR	0	R/W	
1	PJ1DR	0	R/W	
0	PJ0DR	0	R/W	

表 31.10 ポート J データレジスタ L (PJDRL) の読み出し / 書き込み動作

- PJDRLのビット12~0

PJIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PJDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PJDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PJDRL の値	書き込み値が端子から出力される
	汎用出力以外	PJDRL の値	PJDRL に書き込めるが、端子の状態に影響しない

31.2.17 ポート J ポートレジスタ L (PJPR)

PJPR は、読み出し専用の 16 ビットのレジスタで、PJ12PR ~ PJ0PR ビットが、それぞれ PJ12 ~ PJ0 端子に対応しています。PJPR は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PJ12 PR	PJ11 PR	PJ10 PR	PJ9 PR	PJ8 PR	PJ7 PR	PJ6 PR	PJ5 PR	PJ4 PR	PJ3 PR	PJ2 PR	PJ1 PR	PJ0 PR
初期値:	0	0	0	PJ12	PJ11	PJ10	PJ9	PJ8	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15 ~ 13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
12	PJ12PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
11	PJ11PR	端子の状態	R	
10	PJ10PR	端子の状態	R	
9	PJ9PR	端子の状態	R	
8	PJ8PR	端子の状態	R	
7	PJ7PR	端子の状態	R	
6	PJ6PR	端子の状態	R	
5	PJ5PR	端子の状態	R	
4	PJ4PR	端子の状態	R	
3	PJ3PR	端子の状態	R	
2	PJ2PR	端子の状態	R	
1	PJ1PR	端子の状態	R	
0	PJ0PR	端子の状態	R	

31.2.18 ポート K データレジスタ L (PKDRL)

PKDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート K のデータを格納します。PK1DR、PK0DR ビットは、それぞれ PK1、PK0 端子に対応しています。

端子機能が汎用出力の場合には、PKDRL に値を書き込むと端子からその値が出力され、PKDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PKDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PKDRL に値を書き込むと、PKDRL にその値を書き込みますが端子の状態には影響しません。表 31.11 に PKDRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PK1 DR	PK0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PK1DR	0	R/W	表 31.11 参照
0	PK0DR	0	R/W	

表 31.11 ポート K データレジスタ L (PKDRL) の読み出し / 書き込み動作

- PKDRL のビット 1、0

PKIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PKDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PKDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PKDRL の値	書き込み値が端子から出力される
	汎用出力以外	PKDRL の値	PKDRL に書き込めるが、端子の状態に影響しない

31.2.19 ポート K ポートレジスタ L (PKPRL)

PKPRL は、読み出し専用の 16 ビットのレジスタで、PK1PR、PK0PR ビットが、それぞれ PK1、PK0 端子に対応しています。PKPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PK1 PR	PK0 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PK1	PK0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
1	PK1PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
0	PK0PR	端子の状態	R	

31.3 使用上の注意事項

PFC により端子が以下の機能に選択された場合、データレジスタおよびポートレジスタにアクセスして端子の状態を読み出すことはできません。

- D31 ~ D16 (データバス)

32. 内蔵 RAM

本 LSI は、高速アクセス可能な高速内蔵 RAM と、ディープスタンバイモードでもデータを保持できる保持用内蔵 RAM を内蔵しており、命令やデータを格納することができます。

高速内蔵 RAM は、RAM イネーブルおよびライトイネーブルにより、メモリの動作およびライト動作を禁止することが可能です。

保持用内蔵 RAM は、ディープスタンバイモードでデータを保持するかしないかをページごとに選択することが可能です。

32.1 特長

- ページ

高速内蔵 RAM0 は4ページ（ページ0、1、2、3）、高速内蔵 RAM1 は2ページ（ページ0、1）で構成されており、1ページあたりの容量は16Kバイトです。

保持用内蔵 RAM は4ページで構成されており、1ページあたりの容量は4Kバイトです。

- メモリマップ

高速内蔵 RAM は、表32.1、表32.2のアドレス空間に配置されています。保持用内蔵 RAM は表32.3に配置されます。

高速内蔵 RAM 上に CPU0、CPU1 の共有領域を設け、TAS.B 命令を使用してその領域を排他的にアクセスする場合は、表32.2のアドレス空間から高速内蔵 RAM をアクセスしてください。

表 32.1 高速内蔵 RAM アドレス空間

ページ	アドレス
高速内蔵 RAM0 ページ 0	H'FFF80000 ~ H'FFF83FFF
高速内蔵 RAM0 ページ 1	H'FFF84000 ~ H'FFF87FFF
高速内蔵 RAM0 ページ 2	H'FFF88000 ~ H'FFF8BFFF
高速内蔵 RAM0 ページ 3	H'FFF8C000 ~ H'FFF8FFFF
高速内蔵 RAM1 ページ 0	H'FFFA0000 ~ H'FFFA3FFF
高速内蔵 RAM1 ページ 1	H'FFFA4000 ~ H'FFFA7FFF

表 32.2 高速高速内蔵 RAM アドレス空間 (シャドウ空間)

ページ	アドレス
高速内蔵 RAM0 ページ 0	H'FFD80000 ~ H'FFD83FFF
高速内蔵 RAM0 ページ 1	H'FFD84000 ~ H'FFD87FFF
高速内蔵 RAM0 ページ 2	H'FFD88000 ~ H'FFD8BFFF
高速内蔵 RAM0 ページ 3	H'FFD8C000 ~ H'FFD8FFFF
高速内蔵 RAM1 ページ 0	H'FFDA0000 ~ H'FFDA3FFF
高速内蔵 RAM1 ページ 1	H'FFDA4000 ~ H'FFDA7FFF

表 32.3 保持用内蔵 RAM アドレス空間

ページ	アドレス
ページ 0	H'FF800000 ~ H'FF800FFF
ページ 1	H'FF801000 ~ H'FF801FFF
ページ 2	H'FF802000 ~ H'FF802FFF
ページ 3	H'FF803000 ~ H'FF803FFF

- ポート

高速内蔵RAM0は、CPU0の命令フェッチバス、CPU0のメモリアクセスバス、高速内蔵RAM0アクセスバスと接続されています。CPU0が表32.1のアドレス空間から高速内蔵RAM0をアクセスする場合は、CPU0の命令フェッチバスまたはCPU0のメモリアクセスバスが使用されます。CPU0が表32.2のアドレス空間から高速内蔵RAM0をアクセスする場合は、高速内蔵RAM0アクセスバスが使用されます。CPU1およびDMACから高速内蔵RAM0へのアクセスは、表32.1、表32.2のいずれの場合も高速内蔵RAM0アクセスが使用されません。

高速内蔵RAM1は、CPU1の命令フェッチバス、CPU1のメモリアクセスバス、高速内蔵RAM1アクセスバスと接続されています。CPU1が表32.1のアドレス空間から高速内蔵RAM1をアクセスする場合は、CPU1の命令フェッチバスまたはCPU1のメモリアクセスバスが使用されます。CPU1が表32.2のアドレス空間から高速内蔵RAM1をアクセスする場合は、高速内蔵RAM1アクセスバスが使用されます。CPU0およびDMACから高速内蔵RAM1へのアクセスは、表32.1、表32.2のいずれの場合も高速内蔵RAM1アクセスバスが使用されません。保持用内蔵RAMの各ページは1本の読み出し/書き込みポートを持ち、周辺バスに接続されています。

- 優先順位

高速内蔵RAMの同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は、高い順に、高速内蔵RAMアクセスバス、メモリアクセスバス、命令フェッチバスとなります。

32.2 使用上の注意事項

32.2.1 ページ競合

高速内蔵 RAM の同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨します。各バスから異なるページをアクセスする場合は、同時にアクセス可能です。

32.2.2 RAME ビット、RAMWE ビットについて

SYSCR1、SYSCR3、SYSCR5、SYSCR7、SYSCR9、SYSCR11 の RAME ビットおよび SYSCR2、SYSCR4、SYSCR6、SYSCR8、SYSCR10、SYSCR12 の RAMWE ビットを 0 に設定する場合は、RAME ビットおよび RAMWE ビット設定前に、必ず各ページの任意の同一アドレスに対してリードとライトを実行してください。このアクセスを実行しない場合、対応するページの最後に書かれたデータが RAM に書き込まれない可能性があります。

```
//内蔵RAM0 ページ0に対して
MOV.L #H'FFF80000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//内蔵RAM0 ページ1に対して
MOV.L #H'FFF84000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//内蔵RAM0 ページ2に対して
MOV.L #H'FFF88000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//内蔵RAM0 ページ3に対して
MOV.L #H'FFF8C000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//内蔵RAM1 ページ0に対して
MOV.L #H'FFFA0000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//内蔵RAM1 ページ1に対して
MOV.L #H'FFFA4000, R0
MOV.L @R0, R1
MOV.L R1, @R0
```

図 32.1 実行例

32.2.3 データ保持について

高速内蔵 RAM、保持用内蔵 RAM は、パワーオンリセット、ディープスタンバイモード以外の動作状態において、データを保持し続けます。パワーオンリセット、ディープスタンバイモードでは下記動作となります。

(1) パワーオンリセット

(a) 高速内蔵 RAM

RAME ビットまたは RAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。

RAME、RAMWE ビットが共に有効の場合、データを保持することはできません。

(b) 保持用内蔵 RAM

データを保持することはできません。

(2) ディープスタンバイモード

(a) 高速内蔵 RAM

データを保持することはできません。

(b) 保持用内蔵 RAM

RRAMKP ビットを有効にすることにより、ディープスタンバイモードにおいてもデータを保持し続けます。

ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、データを保持することはできません。

割り込み、マニュアルリセット端子によりディープスタンバイモードを解除した場合は、パワーオンリセット例外処理が実行されますが、データは保持されます。

33. 低消費電力モード

本 LSI は、低消費電力モードとして、シングルプロセッサモード、デュアルスリープモード、ソフトウェアスタンバイモード、ディープスタンバイモード、モジュールスタンバイ機能をサポートしています。低消費電力モードでは、CPU、クロック、内蔵メモリ、一部内蔵周辺モジュール等の機能を停止したり、電源をオフにしたりすることにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込みなどによって解除されます。

33.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. デュアルプロセッサモード
2. シングルプロセッサモード (シングルプロセッサ0モード、シングルプロセッサ1モード)
3. デュアルスリープモード
4. ソフトウェアスタンバイモード
5. ディープスタンバイモード
6. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 33.1 に示します。

表 33.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態 ^{*1}										解除方法		
		CPG	CPU0	CPU0レジスタ	高速内蔵RAM0 キャッシュメモリ0	CPU1	CPU1レジスタ	高速内蔵RAM1 キャッシュメモリ1	保持用内蔵RAM	内蔵周辺モジュール	RTC		電源	外部メモリ
デュアルプロセッサ	-	動作	動作	保持	動作	動作	保持	動作	動作	選択 ^{*2}	選択 ^{*2,*3}	動作	オートリフレッシュにしてください	-
シングルプロセッサ0	デュアルプロセッサモード時に、CPU1がSLEEP命令を実行	動作	動作	保持	動作	停止	保持	動作	動作	選択 ^{*2}	選択 ^{*2,*3}	動作	オートリフレッシュにしてください	・割り込み ・マニュアルリセット ・パワーオンリセット ・CPUアドレスエラー
シングルプロセッサ1	デュアルプロセッサモード時に、STBCR1のSTBYビットが0の状態にCPU0がSLEEP命令を実行	動作	停止	保持	動作	動作	保持	動作	動作	選択 ^{*2}	選択 ^{*2,*3}	動作	オートリフレッシュにしてください	・割り込み ・マニュアルリセット ・パワーオンリセット ・CPUアドレスエラー
デュアルスリープ	・シングルプロセッサ0モード時に、STBCR1のSTBYビットが0の状態にCPU0がSLEEP命令を実行 ・シングルプロセッサ1モード時にCPU1がSLEEP命令を実行	動作	停止	保持	動作	停止	保持	動作	動作	選択 ^{*2}	選択 ^{*2,*3}	動作	オートリフレッシュにしてください	・割り込み ・マニュアルリセット ・パワーオンリセット ・CPUアドレスエラー
ソフトウェアスタンバイ	シングルプロセッサ0モード時に、STBCR1のSTBYビットが1、DEEPビットが0の状態にCPU0がSLEEP命令を実行	停止	停止	保持	停止 (内容は保持 ^{*6,*7})	停止	保持	停止 (内容は保持 ^{*6,*8})	停止 (内容は保持 ^{*6})	停止	動作 ^{*3}	動作	セルフリフレッシュにしてください	・NMI割り込み ・IRQ割り込み ・マニュアルリセット ・パワーオンリセット
ディープスタンバイ	シングルプロセッサ0モード時に、STBCR1のSTBYビットが1、DEEPビットが1の状態にCPU0がSLEEP命令を実行	停止	停止	停止	停止 (内容は非保持)	停止	停止	停止 (内容は非保持)	停止 (内容は保持 ^{*6})	停止	動作 ^{*3}	停止	セルフリフレッシュにしてください	・NMI割り込み ^{*5} ・IRQ割り込み ^{*5} ・マニュアルリセット ^{*5} ・パワーオンリセット ^{*5}

- 【注】 *1 端子状態は、保持またはハイインピーダンスです。詳細は「付録 A. 端子状態」を参照してください。
- *2 モジュールスタンバイ機能を指定した場合、内蔵周辺モジュール（RTC 含む）は停止します。モジュールスタンバイ機能を指定する場合は、STBCR2~7のMSTPビットを1にしてください。モジュールスタンバイ機能を解除するには、MSTPビットを0にクリアしてください。ただし、H-UDI、UBCのみパワーオンリセットでも解除することが可能です。
- *3 RTCはRCR2レジスタのSTARTビットが1のとき動作します。詳細は「第15章 リアルタイムクロック(RTC)」を参照してください。なお、パワーオンリセットによりディープスタンバイモードを解除した場合、動作状態を保持することができません。再度、リアルタイムクロックの初期設定を行ってください。
- *4 RRAMKPレジスタのRRAMKP3~RRAMKP0ビットを1にセットすると保持用内蔵RAMの対象エリアの内容を、ディープスタンバイモード遷移時に保持することができます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、保持している内容は初期化されます。
- *5 ディープスタンバイモードは、割り込み（NMI、IRQ）およびリセット（マニュアルリセット、パワーオンリセット）により解除されます。ただし、NMI割り込みまたはIRQ割り込みによってディープスタンバイモードを解除する場合、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。さらに、マニュアルリセットもパワーオンリセット例外処理となります。
- *6 パワーオンリセットによりソフトウェアスタンバイモードを解除した場合、保持している内容は初期化されます。
- *7 高速内蔵RAM0は、SYSCR1、3、5レジスタのRAMEビット、またはSYSCR2、4、6レジスタのRAMWEビットをディスエーブルにすることにより、パワーオンリセットでソフトウェアスタンバイモードを解除した場合でも、保持し続けることができます。
- *8 高速内蔵RAM1は、SYSCR7、9、11レジスタのRAMEビット、またはSYSCR8、10、12レジスタのRAMWEビットをディスエーブルにすることにより、パワーオンリセットでソフトウェアスタンバイモードを解除した場合でも、保持し続けることができます。

33.2 レジスタ説明

低消費電力モード関連で使用するレジスタには、以下のものがあります。

表 33.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
スタンバイコントロールレジスタ 1	STBCR1	R/W	H'00	H'FFFE0014	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'00	H'FFFE0018	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'FE	H'FFFE0400	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'FF	H'FFFE0402	8
スタンバイコントロールレジスタ 5	STBCR5	R/W	H'FF	H'FFFE0404	8
スタンバイコントロールレジスタ 6	STBCR6	R/W	H'FF	H'FFFE0406	8
スタンバイコントロールレジスタ 7	STBCR7	R/W	H'FF	H'FFFE0408	8
システムコントロールレジスタ 1	SYSCR1	R/W	H'FF	H'FFFE0480	8
システムコントロールレジスタ 2	SYSCR2	R/W	H'FF	H'FFFE0482	8
システムコントロールレジスタ 3	SYSCR3	R/W	H'FF	H'FFFE0484	8
システムコントロールレジスタ 4	SYSCR4	R/W	H'FF	H'FFFE0486	8
システムコントロールレジスタ 5	SYSCR5	R/W	H'FF	H'FFFE0488	8
システムコントロールレジスタ 6	SYSCR6	R/W	H'FF	H'FFFE048A	8
システムコントロールレジスタ 7	SYSCR7	R/W	H'FF	H'FFFE04A0	8
システムコントロールレジスタ 8	SYSCR8	R/W	H'FF	H'FFFE04A2	8
システムコントロールレジスタ 9	SYSCR9	R/W	H'FF	H'FFFE04A4	8
システムコントロールレジスタ 10	SYSCR10	R/W	H'FF	H'FFFE04A6	8
システムコントロールレジスタ 11	SYSCR11	R/W	H'FF	H'FFFE04A8	8
システムコントロールレジスタ 12	SYSCR12	R/W	H'FF	H'FFFE04AA	8
ソフトウェアリセットコントロールレジスタ	SWRSTCR	R/W	H'00	H'FFFE0440	8
ハインピーダンスコントロールレジスタ	HIZCR	R/W	H'00	H'FFFE0442	8
CPU0 モードステータスレジスタ	C0MSR	R	H'00	H'FFFE0040	8
CPU1 モードステータスレジスタ	C1MSR	R	H'00	H'FFFE0042	8
保持用内蔵 RAM 保持エリア指定レジスタ	RRAMKP	R/W	H'00	H'FFFE0C00	8
ディープスタンバイコントロールレジスタ	DSCTR	R/W	H'00	H'FFFE0C02	8
ディープスタンバイ解除要因セレクトレジスタ	DSSSR	R/W	H'0000	H'FFFE0C04	16
ディープスタンバイ解除要因フラグレジスタ	DSFR	R/W	H'0000	H'FFFE0C08	16

33.2.1 スタンバイコントロールレジスタ 1 (STBCR1)

STBCR1 は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	STBY	DEEP	SLP ERE	AXTALE	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ、ディープスタンバイ
6	DEEP	0	R/W	ソフトウェアスタンバイモード、ディープスタンバイモードへの遷移を指定します。 0x: CPU0 の SLEEP 命令の実行で、CPU0 がスリープ状態へ遷移 10: CPU0 の SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移 11: CPU0 の SLEEP 命令の実行で、ディープスタンバイモードへ遷移
5	SLPERE	0	R/W	スリープエラーイネーブルビット スリープエラー例外発生の禁止 / 許可を指定します。 SLPERE ビットを 1 にセットして、スリープエラー例外が発生した後は、必ず割り込み例外処理ルーチン内で SLPERE の 0 クリアを行ってください。 0: スリープエラー例外を禁止します 1: スリープエラー例外を許可します
4	AXTALE	0	R/W	AUDIO_X1 クロック制御 AUDIO_X1 端子の機能を制御します。 0: 内蔵水晶発振器を動作 / 外部クロック入力許可 1: 内蔵水晶発振器を停止 / 外部クロック入力禁止
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【記号説明】 x : Don't care

33.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 27	-	-	MSTP 24	MSTP 23	MSTP 22	MSTP 21	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	MSTP27	0	R/W	モジュールストップ 27 MSTP27 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロックの供給を停止
6、5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MSTP24	0	R/W	モジュールストップ 24 MSTP24 ビットを 1 にセットすると FPU0 へのクロックの供給を停止します。 MSTP24 ビットを 1 にセットした後、0 をライトしてクリアすることはできません。つまり、MSTP24 ビットを 1 にセットして FPU0 へのクロック供給をいったん停止した後、MSTP24 ビットを 0 にクリアして FPU0 へのクロック供給を再開することはできません。FPU0 へのクロックの供給を停止した後、再開するには本 LSI をパワーオンリセットしてください。 0 : FPU0 は動作 1 : FPU0 へのクロックの供給を停止
3	MSTP23	0	R/W	モジュールストップ 23 MSTP23 ビットを 1 にセットすると FPU1 へのクロックの供給を停止します。 MSTP23 ビットを 1 にセットした後、0 をライトしてクリアすることはできません。つまり、MSTP23 ビットを 1 にセットして FPU1 へのクロック供給をいったん停止した後、MSTP23 ビットを 0 にクリアして FPU1 へのクロック供給を再開することはできません。FPU1 へのクロックの供給を停止した後、再開するには本 LSI をパワーオンリセットしてください。 0 : FPU1 は動作 1 : FPU1 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
2	MSTP22	0	R/W	モジュールストップ 22 MSTP22 ビットを 1 にセットすると UBC0 へのクロックの供給を停止します。 0 : UBC0 は動作 1 : UBC0 へのクロックの供給を停止
1	MSTP21	0	R/W	モジュールストップ 21 MSTP21 ビットを 1 にセットすると UBC1 へのクロックの供給を停止します。 0 : UBC1 は動作 1 : UBC1 へのクロックの供給を停止
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

33.2.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット: 7 6 5 4 3 2 1 0

MSTP	MSTP	MSTP	MSTP	MSTP	MSTP	MSTP	MSTP
37	36	35	34	33	32	31	30
初期値: 1	1	1	1	1	1	1	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSTP37	1	R/W	モジュールストップ 37 MSTP37 ビットを 1 にセットすると ATAPI へのクロックの供給を停止します。 0 : ATAPI は動作 1 : ATAPI へのクロックの供給を停止
6	MSTP36	1	R/W	モジュールストップ 36 MSTP36 ビットを 1 にセットすると IEB へのクロックの供給を停止します。 0 : IEB は動作 1 : IEB へのクロックの供給を停止
5	MSTP35	1	R/W	モジュールストップ 35 MSTP35 ビットを 1 にセットすると MTU2 へのクロックの供給を停止します。 0 : MTU2 は動作 1 : MTU2 へのクロックの供給を停止
4	MSTP34	1	R/W	モジュールストップ 34 MSTP34 ビットを 1 にセットすると SDHI0 へのクロックの供給を停止します。 0 : SDHI0 は動作 1 : SDHI0 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説 明
3	MSTP33	1	R/W	モジュールストップ 33 MSTP33 ビットを 1 にセットすると SDHI1 へのクロックの供給を停止します。 0 : SDHI1 は動作 1 : SDHI1 へのクロックの供給を停止
2	MSTP32	1	R/W	モジュールストップ 32 MSTP32 ビットを 1 にセットすると ADC へのクロックの供給を停止します。 0 : ADC は動作 1 : ADC へのクロックの供給を停止
1	MSTP31	1	R/W	モジュールストップ 31 MSTP31 ビットを 1 にセットすると DAC へのクロックの供給を停止します。 0 : DAC は動作 1 : DAC へのクロックの供給を停止
0	MSTP30	0	R/W	モジュールストップ 30 MSTP30 ビットを 1 にセットすると RTC へのクロックの供給を停止します。 0 : RTC は動作 1 : RTC へのクロックの供給を停止

33.2.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し/書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 47	MSTP 46	MSTP 45	MSTP 44	MSTP 43	MSTP 42	-	-
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	MSTP47	1	R/W	モジュールストップ 47 MSTP47 ビットを 1 にセットすると SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロックの供給を停止
6	MSTP46	1	R/W	モジュールストップ 46 MSTP46 ビットを 1 にセットすると SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロックの供給を停止
5	MSTP45	1	R/W	モジュールストップ 45 MSTP45 ビットを 1 にセットすると SCIF2 へのクロックの供給を停止します。 0 : SCIF2 動作 1 : SCIF2 のクロックの供給を停止
4	MSTP44	1	R/W	モジュールストップ 44 MSTP44 ビットを 1 にセットすると SCIF3 へのクロックの供給を停止します。 0 : SCIF3 動作 1 : SCIF3 のクロックの供給を停止
3	MSTP43	1	R/W	モジュールストップ 43 MSTP43 ビットを 1 にセットすると SCIF4 へのクロックの供給を停止します。 0 : SCIF4 動作 1 : SCIF4 のクロックの供給を停止
2	MSTP42	1	R/W	モジュールストップ 42 MSTP42 ビットを 1 にセットすると SCIF5 へのクロックの供給を停止します。 0 : SCIF5 動作 1 : SCIF5 のクロックの供給を停止
1、0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

33.2.5 スタンバイコントロールレジスタ 5 (STBCR5)

STBCR5 は、読み出し/書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 57	MSTP 56	MSTP 55	MSTP 54	MSTP 53	MSTP 52	-	-
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	MSTP57	1	R/W	モジュールストップ 57 MSTP57 ビットを 1 にセットすると IIC3_0 へのクロックの供給を停止します。 0: IIC3_0 は動作 1: IIC3_0 へのクロックの供給を停止
6	MSTP56	1	R/W	モジュールストップ 56 MSTP56 ビットを 1 にセットすると IIC3_1 へのクロックの供給を停止します。 0: IIC3_1 は動作 1: IIC3_1 へのクロックの供給を停止
5	MSTP55	1	R/W	モジュールストップ 55 MSTP55 ビットを 1 にセットすると IIC3_2 へのクロックの供給を停止します。 0: IIC3_2 は動作 1: IIC3_2 へのクロックの供給を停止
4	MSTP54	1	R/W	モジュールストップ 54 MSTP54 ビットを 1 にセットすると IIC3_3 へのクロックの供給を停止します。 0: IIC3_3 は動作 1: IIC3_3 へのクロックの供給を停止
3	MSTP53	1	R/W	モジュールストップ 53 MSTP53 ビットを 1 にセットすると RCAN0 へのクロックの供給を停止します。 0: RCAN0 は動作 1: RCAN0 へのクロックの供給を停止
2	MSTP52	1	R/W	モジュールストップ 52 MSTP52 ビットを 1 にセットすると RCAN1 へのクロックの供給を停止します。 0: RCAN1 は動作 1: RCAN1 へのクロックの供給を停止
1、0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

33.2.6 スタンバイコントロールレジスタ 6 (STBCR6)

STBCR6 は、読み出し/書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 67	MSTP 66	MSTP 65	MSTP 64	MSTP 63	MSTP 62	-	-
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	MSTP67	1	R/W	モジュールストップ 67 MSTP67 ビットを 1 にセットすると SSIF0 へのクロックの供給を停止します。 0 : SSIF0 は動作 1 : SSIF0 へのクロックの供給を停止
6	MSTP66	1	R/W	モジュールストップ 66 MSTP66 ビットを 1 にセットすると SSIF1 へのクロックの供給を停止します。 0 : SSIF1 は動作 1 : SSIF1 へのクロックの供給を停止
5	MSTP65	1	R/W	モジュールストップ 65 MSTP65 ビットを 1 にセットすると SSIF2 へのクロックの供給を停止します。 0 : SSIF2 は動作 1 : SSIF2 へのクロックの供給を停止
4	MSTP64	1	R/W	モジュールストップ 64 MSTP64 ビットを 1 にセットすると SSIF3 へのクロックの供給を停止します。 0 : SSIF3 は動作 1 : SSIF3 へのクロックの供給を停止
3	MSTP63	1	R/W	モジュールストップ 63 MSTP63 ビットを 1 にセットすると SSIF4 へのクロックの供給を停止します。 0 : SSIF4 は動作 1 : SSIF4 へのクロックの供給を停止
2	MSTP62	1	R/W	モジュールストップ 62 MSTP62 ビットを 1 にセットすると SSIF5 へのクロックの供給を停止します。 0 : SSIF5 は動作 1 : SSIF5 へのクロックの供給を停止
1、0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

33.2.7 スタンバイコントロールレジスタ 7 (STBCR7)

STBCR7 は、読み出し/書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 77	MSTP 76	MSTP 75	MSTP 74	MSTP 73	MSTP 72	MSTP 71	MSTP 70
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSTP77	1	R/W	モジュールストップ 77 MSTP77 ビットを 1 にセットすると CMT0/1 へのクロックの供給を停止します。 0 : CMT0/1 は動作 1 : CMT0/1 へのクロックの供給を停止
6	MSTP76	1	R/W	モジュールストップ 76 MSTP76 ビットを 1 にセットすると CMT2/3 へのクロックの供給を停止します。 0 : CMT2/3 は動作 1 : CMT2/3 へのクロックの供給を停止
5	MSTP75	1	R/W	モジュールストップ 75 MSTP75 ビットを 1 にセットすると AESOP へのクロックの供給を停止します。 0 : AESOP は動作 1 : AESOP へのクロックの供給を停止
4	MSTP74	1	R/W	モジュールストップ 74 MSTP74 ビットを 1 にセットすると FLCTL へのクロックの供給を停止します。 0 : FLCTL は動作 1 : FLCTL へのクロックの供給を停止
3	MSTP73	1	R/W	モジュールストップ 73 MSTP73 ビットを 1 にセットすると SSU0 へのクロックの供給を停止します。 0 : SSU0 は動作 1 : SSU0 へのクロックの供給を停止
2	MSTP72	1	R/W	モジュールストップ 72 MSTP72 ビットを 1 にセットすると SSU1 へのクロックの供給を停止します。 0 : SSU1 は動作 1 : SSU1 へのクロックの供給を停止
1	MSTP71	1	R/W	モジュールストップ 71 MSTP71 ビットを 1 にセットすると Video IN/2DG/Video OUT へのクロックの供給を停止します。 0 : Video IN/2DG/Video OUT は動作 1 : Video IN/2DG/Video OUT へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
0	MSTP70	1	R/W	モジュールストップ 70 MSTP70 ビットを 1 にセットすると USB へのクロックの供給を停止します。 0 : USB は動作 1 : USB へのクロックの供給を停止

33.2.8 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は、読み出し/書き込み可能な 8 ビットのレジスタで、CPU0 から高速内蔵 RAM0 の各ページへのアクセス (リードおよびライト) の許可/禁止を設定します。

SYSCR1 の RAME_n (n=0~3) ビットを 1 に設定するとページ n へのアクセスが有効になります。0 に設定するとページ n はアクセスできません。このとき、ページ n からのリードおよび命令フェッチは不定値が読み出され、ページ n へのライトは無視されます。初期値は 1 です。

RAME_n ビットを 0 に設定する場合は、RAME_n ビット設定前に、必ずページ n の任意の同一アドレスに対し、リードとライトを実行してください。このアクセスを実行しない場合、ページ n の最後に書かれたデータが高速内蔵 RAM に書き込まれない可能性があります。

SYSCR1 の設定は、高速内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR1 へのライトを実行する命令の直後に SYSCR1 からリードを実行する命令を配置してください。これらが守られない場合、高速内蔵 RAM への正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAME3	RAME2	RAME1	RAME0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAME3	1	R/W	RAM イネーブル 3 (対象: 高速内蔵 RAM0 のページ 3*) 0 : ページ 3 へのアクセス無効 1 : ページ 3 へのアクセス有効
2	RAME2	1	R/W	RAM イネーブル 2 (対象: 高速内蔵 RAM0 のページ 2*) 0 : ページ 2 へのアクセス無効 1 : ページ 2 へのアクセス有効
1	RAME1	1	R/W	RAM イネーブル 1 (対象: 高速内蔵 RAM0 のページ 1*) 0 : ページ 1 へのアクセス無効 1 : ページ 1 へのアクセス有効
0	RAME0	1	R/W	RAM イネーブル 0 (対象: 高速内蔵 RAM0 のページ 0*) 0 : ページ 0 へのアクセス無効 1 : ページ 0 へのアクセス有効

【注】 * 各ページのアドレスについては「第 32 章 内蔵 RAM」を参照してください。

33.2.9 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、CPU0 から高速内蔵 RAM0 の各ページへのライトの許可 / 禁止を設定します。

SYSCR2 の RAMWE_n (n=0~3) ビットを 1 に設定するとページ n へのライトが有効になります。0 に設定するとページ n へのライトは無視されます。初期値は 1 です。

RAMWE_n ビットを 0 に設定する場合は、RAMWE_n ビット設定前に、ページ n の任意の同一アドレスに対し、リードとライトを実行してください。このアクセスを実行しない場合、ページ n の最後に書かれたデータが高速内蔵 RAM に書き込まれない可能性があります。

SYSCR2 の設定は、高速内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR2 へのライトを実行する命令の直後に SYSCR2 からリードを実行する命令を配置してください。これらが守られない場合、高速内蔵 RAM への正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAM WE3	RAM WE2	RAM WE1	RAM WE0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAMWE3	1	R/W	RAM ライトイネーブル 3 (対象: 高速内蔵 RAM0 のページ 3*) 0: ページ 3 へのライト無効 1: ページ 3 へのライト有効
2	RAMWE2	1	R/W	RAM ライトイネーブル 2 (対象: 高速内蔵 RAM0 のページ 2*) 0: ページ 2 へのライト無効 1: ページ 2 へのライト有効
1	RAMWE1	1	R/W	RAM ライトイネーブル 1 (対象: 高速内蔵 RAM0 のページ 1*) 0: ページ 1 へのライト無効 1: ページ 1 へのライト有効
0	RAMWE0	1	R/W	RAM ライトイネーブル 0 (対象: 高速内蔵 RAM0 のページ 0*) 0: ページ 0 へのライト無効 1: ページ 0 へのライト有効

【注】 * 各ページのアドレスについては「第 32 章 内蔵 RAM」を参照してください。

33.2.10 システムコントロールレジスタ 3 (SYSCR3)

SYSCR3 は、読み出し / 書き込み可能な 8 ビットのレジスタで、CPU1 から内蔵 RAM0 の各ページへのアクセス (リードおよびライト) の許可 / 禁止を設定します。以降の説明は SYSCR1 と同じです。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

33.2.11 システムコントロールレジスタ 4 (SYSCR4)

SYSCR4 は、読み出し / 書き込み可能な 8 ビットのレジスタで、CPU1 から内蔵 RAM0 の各ページへのライトの許可 / 禁止を設定します。以降の説明は SYSCR2 と同じです。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

33.2.12 システムコントロールレジスタ 5 (SYSCR5)

SYSCR5 は、読み出し / 書き込み可能な 8 ビットのレジスタで、DMAC から内蔵 RAM0 の各ページへのアクセス (リードおよびライト) の許可 / 禁止を設定します。以降の説明は SYSCR1 と同じです。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

33.2.13 システムコントロールレジスタ 6 (SYSCR6)

SYSCR6 は、読み出し / 書き込み可能な 8 ビットのレジスタで、DMAC から内蔵 RAM0 の各ページへのライトの許可 / 禁止を設定します。以降の説明は SYSCR2 と同じです。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

33.2.14 システムコントロールレジスタ 7 (SYSCR7)

SYSCR7 は、読み出し/書き込み可能な 8 ビットのレジスタで、CPU0 から内蔵 RAM1 の各ページへのアクセス（リードおよびライト）の許可/禁止を設定します。以降の説明は SYSCR1 と同じです。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RAME1	RAME0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	RAME1	1	R/W	RAM イネーブル 1 (対象: 高速内蔵 RAM1 のページ 1*) 0: ページ 1 へのアクセス無効 1: ページ 1 へのアクセス有効
0	RAME0	1	R/W	RAM イネーブル 0 (対象: 高速内蔵 RAM1 のページ 0*) 0: ページ 0 へのアクセス無効 1: ページ 0 へのアクセス有効

【注】 * 各ページのアドレスについては「第 32 章 内蔵 RAM」を参照してください。

33.2.15 システムコントロールレジスタ 8 (SYSCR8)

SYSCR8 は、読み出し / 書き込み可能な 8 ビットのレジスタで、CPU0 から内蔵 RAM1 の各ページへのライトの許可 / 禁止を設定します。以降の説明は SYSCR2 と同じです。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RAM WE1	RAM WE0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	RAMWE1	1	R/W	RAM ライトイネーブル 1 (対象: 高速内蔵 RAM1 のページ 1*) 0: ページ 1 へのライト無効 1: ページ 1 へのライト有効
0	RAMWE0	1	R/W	RAM ライトイネーブル 0 (対象: 高速内蔵 RAM1 のページ 0*) 0: ページ 0 へのライト無効 1: ページ 0 へのライト有効

【注】 * 各ページのアドレスについては「第 32 章 内蔵 RAM」を参照してください。

33.2.16 システムコントロールレジスタ 9 (SYSCR9)

SYSCR9 は、読み出し / 書き込み可能な 8 ビットのレジスタで、CPU1 から内蔵 RAM1 の各ページへのアクセス (リードおよびライト) の許可 / 禁止を設定します。以降の説明は SYSCR1 と同じです。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

33.2.17 システムコントロールレジスタ 10 (SYSCR10)

SYSCR10 は、読み出し / 書き込み可能な 8 ビットのレジスタで、CPU1 から内蔵 RAM1 の各ページへのライトの許可 / 禁止を設定します。以降の説明は SYSCR2 と同じです。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

33.2.18 システムコントロールレジスタ 11 (SYSCR11)

SYSCR11 は、読み出し / 書き込み可能な 8 ビットのレジスタで、DMAC から内蔵 RAM1 の各ページへのアクセス (リードおよびライト) の許可 / 禁止を設定します。以降の説明は SYSCR1 と同じです。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

33.2.19 システムコントロールレジスタ 12 (SYSCR12)

SYSCR12 は、読み出し / 書き込み可能な 8 ビットのレジスタで、DMAC から内蔵 RAM1 の各ページへのライトの許可 / 禁止を設定します。以降の説明は SYSCR2 と同じです。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

33.2.20 ソフトウェアリセットコントロールレジスタ (SWRSTCR)

SWRSTCR は、読み出し/書き込み可能な 8 ビットのレジスタで、SSIF0~5 と IEB のソフトウェアリセット制御を行います。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	IEB SRST	SSIF5 SRST	SSIF4 SRST	SSIF3 SRST	SSIF2 SRST	SSIF1 SRST	SSIF0 SRST
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	IEBSRST	0	R/W	IEB ソフトウェアリセット IEB のリセットをソフトウェアで制御します。 0 : IEB のリセットを解除 1 : IEB をリセット状態
5	SSIF5SRST	0	R/W	SSIF5 ソフトウェアリセット SSIF5 のリセットをソフトウェアで制御します。 0 : SSIF5 のリセットを解除 1 : SSIF5 をリセット状態
4	SSIF4SRST	0	R/W	SSIF4 ソフトウェアリセット SSIF4 のリセットをソフトウェアで制御します。 0 : SSIF4 のリセットを解除 1 : SSIF4 をリセット状態
3	SSIF3SRST	0	R/W	SSIF3 ソフトウェアリセット SSIF3 のリセットをソフトウェアで制御します。 0 : SSIF3 のリセットを解除 1 : SSIF3 をリセット状態
2	SSIF2SRST	0	R/W	SSIF2 ソフトウェアリセット SSIF2 のリセットをソフトウェアで制御します。 0 : SSIF2 のリセットを解除 1 : SSIF2 をリセット状態
1	SSIF1SRST	0	R/W	SSIF1 ソフトウェアリセット SSIF1 のリセットをソフトウェアで制御します。 0 : SSIF1 のリセットを解除 1 : SSIF1 をリセット状態

ビット	ビット名	初期値	R/W	説明
0	SSIF0SRST	0	R/W	SSIF0 ソフトウェアリセット SSIF0 のリセットをソフトウェアで制御します。 0 : SSIF0 のリセットを解除 1 : SSIF0 をリセット状態

33.2.21 ハイインピーダンスコントロールレジスタ (HIZCR)

HIZCR は、読み出し / 書き込み可能な 8 ビットのレジスタでソフトウェアスタンバイモード時およびディープスタンバイモード時に、状態を保持するか、ハイインピーダンスにするかを選択します。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	HIZ	HIZ BSC
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	HIZ	0	R/W	外部バス制御以外ポートハイインピーダンス ソフトウェアスタンバイモード時およびディープスタンバイモード時に、外部バス制御以外の端子に関して、状態を保持するか、ハイインピーダンスにするかを選択します。どの端子を制御するかは、「付録 A. 端子状態」を参照してください。 本ビットは、WDT の WTSCR0 の TME ビットが 1 の状態では設定しないでください。出力端子の状態をハイインピーダンスにしたいときには、必ず TME ビットが 0 の状態で、HIZ ビットをセットしてください。 0 : ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態を保持する 1 : ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態をハイインピーダンスにする

ビット	ビット名	初期値	R/W	説 明
0	HIZBSC	0	R/W	<p>外部バス制御ポートハインピーダンス</p> <p>ソフトウェアスタンバイモード時およびディープスタンバイモード時に、外部バス制御端子に関して、状態を保持するか、ハインピーダンスにするかを選択します。どの端子を制御するかは、「付録 A. 端子状態」を参照してください。</p> <p>本ビットは、WDT の WTSCR0 の TME ビットが 1 の状態では設定しないでください。出力端子の状態をハインピーダンスにしたいときには、必ず TME ビットが 0 の状態で、HIZBSC ビットをセットしてください。</p> <p>SDRAM のセルフリフレッシュ中にソフトウェアスタンバイモードやディープスタンバイモードに遷移する場合、HIZBSC ビットには 0 を設定してください。詳細は「第 10 章 バスステートコントローラ (BSC)」を参照してください。</p> <p>0 : ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態を保持する</p> <p>1 : ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態をハインピーダンスにする</p>

33.2.22 CPU0、1 モードステータスレジスタ (C0MSR、C1MSR)

C0MSR、C1MSR は読み出しのみ可能な 8 ビットのレジスタで、各プロセッサの現在の動作モードを示したレジスタです。書き込みは無効です。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SLEEP
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

• C0MSR

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SLEEP	0	R	<p>CPU0 ステータスビット</p> <p>0 : CPU0 が通常動作モード (CPU0 のクロックが動作中)</p> <p>1 : CPU0 がスリープモード (CPU0 のクロックが停止中)</p>

• C1MSR

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SLEEP	0	R	<p>CPU1 ステータスビット</p> <p>0 : CPU1 が通常動作モード (CPU1 のクロックが動作中)</p> <p>1 : CPU1 がスリープモード (CPU1 のクロックが停止中)</p>

33.2.23 保持用内蔵 RAM 保持エリア指定レジスタ (RRAMKP)

RRAMKP は、読み出し / 書き込み可能な 8 ビットのレジスタで、ディープスタンバイモード時に、対象の保持用内蔵 RAM エリアの内容を保持するかどうかを設定します。

RRAMKP ビットを 1 にセットすると、対象の保持用内蔵 RAM エリアの内容がディープスタンバイモード時に保持されます。0 にクリアすると対象の保持用内蔵 RAM エリアの内容がディープスタンバイモード時に保持されません。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RRAM KP3	RRAM KP2	RRAM KP1	RRAM KP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RRAMKP3	0	R/W	RRAM 保持エリア 3 (対象: 保持用内蔵 RAM のページ 3*) 0: ディープスタンバイモード時、保持用内蔵 RAM 保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM 保持する
2	RRAMKP2	0	R/W	RRAM 保持エリア 2 (対象: 保持用内蔵 RAM のページ 2*) 0: ディープスタンバイモード時、保持用内蔵 RAM 保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM 保持する
1	RRAMKP1	0	R/W	RRAM 保持エリア 1 (対象: 保持用内蔵 RAM のページ 1*) 0: ディープスタンバイモード時、保持用内蔵 RAM 保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM 保持する
0	RRAMKP0	0	R/W	RRAM 保持エリア 0 (対象: 保持用内蔵 RAM のページ 0*) 0: ディープスタンバイモード時、保持用内蔵 RAM 保持しない 1: ディープスタンバイモード時、保持用内蔵 RAM 保持する

【注】 * 各ページのアドレスについては「第 32 章 内蔵 RAM」を参照してください。

33.2.24 ディープスタンバイコントロールレジスタ (DSCTR)

DSCTR は、読み出し / 書き込み可能な 8 ビットのレジスタで、ディープスタンバイモードを解除する際の、外部バス制御端子の状態と起動方法を制御します。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	CS0 KEEPE	RAM BOOT	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	CS0KEEPE	0	R/W	外部バス制御端子状態保持 0: ディープスタンバイモード解除時、外部バス制御端子の状態を保持しない 1: ディープスタンバイモード解除時、外部バス制御端子の状態を保持する
6	RAMBOOT	0	R/W	ディープスタンバイ復帰後の起動方法選択 ディープスタンバイを MRES、NMI、IRQ で解除したときのパワーオンリセット例外処理において、プログラムカウンタ (PC) とスタックポインタ (SP) を 0: H'00000000 番地、H'00000004 番地から取り出す 1: H'FF800000 番地、H'FF800004 番地から取り出す
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

33.2.25 ディープスタンバイ解除要因セレクトレジスタ (DSSSR)

DSSSR は、読み出し/書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードをどの割り込みで解除するかを選択するビットで構成されています。IRQ7～IRQ0 は、PJ3～PJ0 および PC3～PC0 に割り当てられる端子のみ有効です。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	MRES	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	MRES	0	R/W	マニュアルリセットで解除 0: マニュアルリセットで解除しない 1: マニュアルリセットで解除する
7	IRQ7	0	R/W	IRQ7 で解除 (PJ3 のみ) 0: IRQ7 で解除しない 1: IRQ7 で解除する
6	IRQ6	0	R/W	IRQ6 で解除 (PJ2 のみ) 0: IRQ6 で解除しない 1: IRQ6 で解除する
5	IRQ5	0	R/W	IRQ5 で解除 (PJ1 のみ) 0: IRQ5 で解除しない 1: IRQ5 で解除する
4	IRQ4	0	R/W	IRQ4 で解除 (PJ0 のみ) 0: IRQ4 で解除しない 1: IRQ4 で解除する
3	IRQ3	0	R/W	IRQ3 で解除 (PC3 のみ) 0: IRQ3 で解除しない 1: IRQ3 で解除する
2	IRQ2	0	R/W	IRQ2 で解除 (PC2 のみ) 0: IRQ2 で解除しない 1: IRQ2 で解除する
1	IRQ1	0	R/W	IRQ1 で解除 (PC1 のみ) 0: IRQ1 で解除しない 1: IRQ1 で解除する
0	IRQ0	0	R/W	IRQ0 で解除 (PC0 のみ) 0: IRQ0 で解除しない 1: IRQ0 で解除する

33.2.26 ディープスタンバイ解除要因フラグレジスタ (DSFR)

DSFR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードがどの割り込みで解除されたのかを確認するフラグと、ディープスタンバイモード解除後の端子状態保持を解除するビットで構成されます。DSFR は、ディープスタンバイモードが割り込み (NMI、IRQ) およびマニュアルリセットにより解除された場合、パワーオンリセット例外処理が実行されますが、本レジスタは前の値を保持します。ディープスタンバイモードがパワーオンリセットにより解除された場合、本レジスタは、H'0000 に初期化されます。

ディープスタンバイモードに遷移する直前にはすべてのフラグをクリアする必要があります。

【注】 本レジスタに書き込みを行う場合は、「33.4 使用上の注意事項」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO KEEP	-	-	-	-	-	MRESF	NMIF	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IOKEEP	0	R/W	端子状態保持 ディープスタンバイモード解除後に端子状態保持を解除するビットです。 0: 端子状態を保持しない [クリア条件] 0 ライト 1: 端子状態を保持する [セット条件] ディープスタンバイモードに遷移したとき
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	MRESF	0	R/W	MRES フラグ 0: MRES 端子に割り込みなし 1: MRES 端子に割り込みあり
8	NMIF	0	R/W	NMI フラグ 0: NMI 端子に割り込みなし 1: NMI 端子に割り込みあり
7	IRQ7F	0	R/W	IRQ7 フラグ (PJ3 のみ) 0: IRQ7 端子に割り込みなし 1: IRQ7 端子に割り込みあり
6	IRQ6F	0	R/W	IRQ6 フラグ (PJ2 のみ) 0: IRQ6 端子に割り込みなし 1: IRQ6 端子に割り込みあり
5	IRQ5F	0	R/W	IRQ5 フラグ (PJ1 のみ) 0: IRQ5 端子に割り込みなし 1: IRQ5 端子に割り込みあり

ビット	ビット名	初期値	R/W	説明
4	IRQ4F	0	R/W	IRQ4 フラグ (PJ0 のみ) 0: IRQ4 端子に割り込みなし 1: IRQ4 端子に割り込みあり
3	IRQ3F	0	R/W	IRQ3 フラグ (PC3 のみ) 0: IRQ3 端子に割り込みなし 1: IRQ3 端子に割り込みあり
2	IRQ2F	0	R/W	IRQ2 フラグ (PC2 のみ) 0: IRQ2 端子に割り込みなし 1: IRQ2 端子に割り込みあり
1	IRQ1F	0	R/W	IRQ1 フラグ (PC1 のみ) 0: IRQ1 端子に割り込みなし 1: IRQ1 端子に割り込みあり
0	IRQ0F	0	R/W	IRQ0 フラグ (PC0 のみ) 0: IRQ0 端子に割り込みなし 1: IRQ0 端子に割り込みあり

33.3 動作説明

33.3.1 低消費電力モードでの状態遷移

低消費電力モードの状態遷移は図 33.1 のようになります。

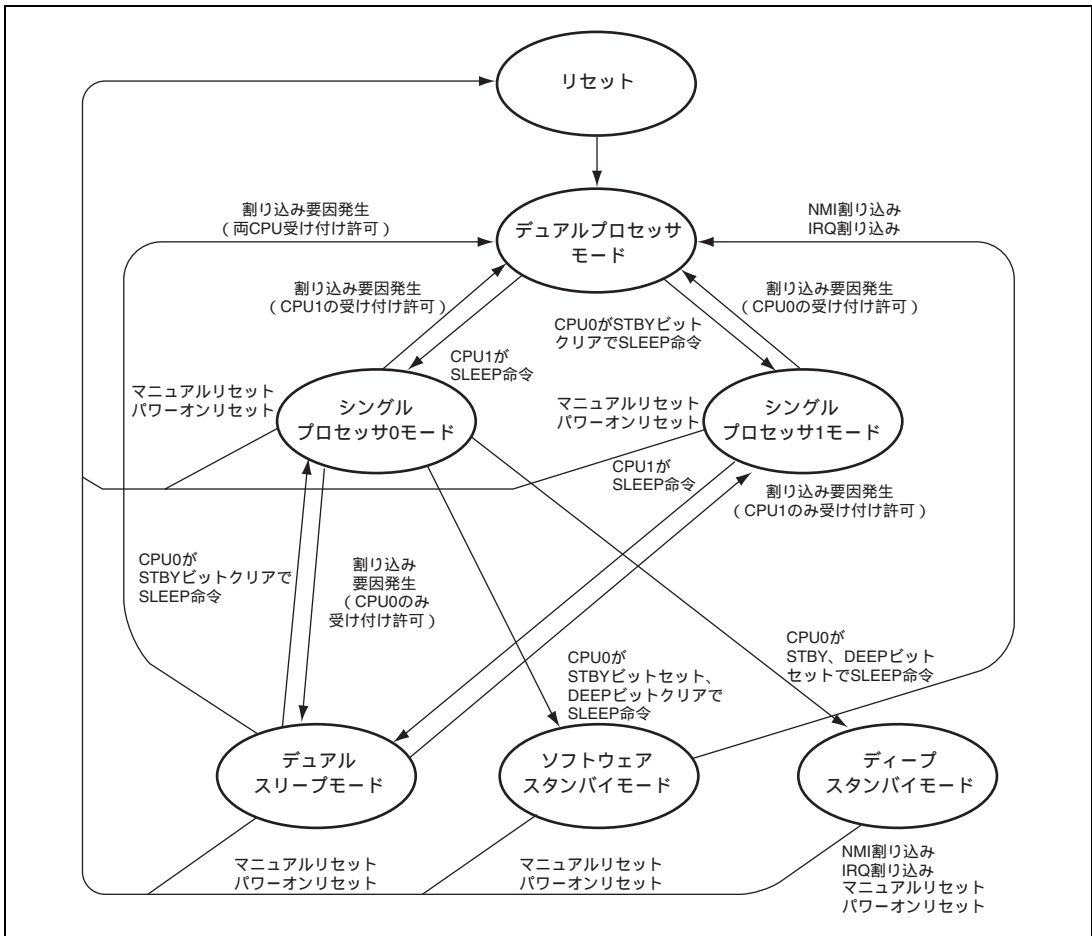


図 33.1 低消費電力モードの状態遷移

33.3.2 デュアルプロセッサモード

リセット例外処理終了後は、CPU0 と CPU1 とともに起動しデュアルプロセッサモードとなります。リセット解除後の手順の詳細については、「第 4 章 マルチコアプロセッサ」を参照してください。

33.3.3 シングルプロセッサモード

(1) シングルプロセッサモードへの遷移

CPU0 と CPU1 がともに起動しているデュアルプロセッサモードの場合、CPU0 あるいは CPU1 のどちらか一方の CPU が起動しているシングルプロセッサモードへ遷移することができます。

デュアルプロセッサモードの状態では、CPU1 が SLEEP 命令を実行すると、プログラム実行状態から CPU1 がスリープ状態となりシングルプロセッサ 0 モードに遷移します。このとき、STBCR1 の STBY ビットの値に関係なく、シングルプロセッサ 0 モードに遷移します。

また、デュアルプロセッサモードの状態では、STBCR1 の STBY ビットが 0 の状態で、CPU0 が SLEEP 命令を実行すると、プログラム実行状態から CPU0 がスリープ状態となりシングルプロセッサ 1 モードに遷移します。ただし、STBCR1 の SLPERE ビットが 1 の状態で、CPU0 が SLEEP 命令を実行した場合は、シングルプロセッサ 1 モードに遷移せずに、スリープエラー例外が発生します。

該当 CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。CKIO 端子には、クロックが出力され続けます。

(2) シングルプロセッサモードの解除

シングルプロセッサモードは、割り込み (NMI、IRQ、PINT、内蔵周辺、プロセッサ間) およびリセット (マニュアルリセット、パワーオンリセット) により解除されます。

(a) 割り込みによる解除

プロセッサ間割り込み、NMI、IRQ、内蔵周辺、プロセッサ間の各割り込みが発生すると、シングルプロセッサモードが解除され割り込み例外処理が実行された後、デュアルプロセッサモードに遷移します。そのとき、各割り込みに対して、スリープ状態である CPU が各割り込み要因の受け付けを許可するように割り込みイネーブルビットを設定してください。割り込みイネーブルビットの詳細に関しては「第 7 章 割り込みコントローラ (INTC)」を参照ください。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、シングルプロセッサモードは解除されません。

(b) リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、シングルプロセッサモードは解除されリセット例外処理が実行された後、デュアルプロセッサモードに遷移します。

33.3.4 デュアルスリープモード

(1) デュアルスリープモードへの遷移

CPU0 あるいは CPU1 のいずれかが起動しているシングルプロセッサモードの場合、デュアルスリープモードへ遷移することができます。

シングルプロセッサ 0 モードのときに、STBCR1 の STBY ビットが 0 の状態で CPU0 が SLEEP 命令を実行すると、プログラム実行状態からデュアルスリープモードへ遷移します。ただし、STBCR1 の SLPERE ビットが 1 の状態で、CPU0 が SLEEP 命令を実行した場合は、デュアルスリープモードに遷移せずに、スリープエラー例外が

発生します。

また、シングルプロセッサ1モードのときに、CPU1がSLEEP命令を実行すると、プログラム実行状態からデュアルスリープモードへ遷移します。このとき、STBCR1のSTBYビットの値に関係なく、デュアルスリープモードに遷移します。

CPUはSLEEP命令実行後に停止しますが、CPUのレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。CKIO端子には、クロックが出力され続けます。

(2) デュアルスリープモードの解除

デュアルスリープモードは、割り込み(NMI、IRQ、PINT、内蔵周辺、プロセッサ間)およびリセット(マニュアルリセット、パワーオンリセット)により解除されます。

(a) 割り込みによる解除

プロセッサ間割り込み、NMI、IRQ、内蔵周辺、プロセッサ間の各割り込みが発生すると、シングルプロセッサモードが解除され割り込み例外処理が実行されます。その後、各CPUに対する各割り込み要因の受け付けの許可/不許可を制御する割り込みイネーブルビットの設定により、その後の遷移先が異なります。各割り込み要因に対して、両CPUが受け付けを許可する場合は、デュアルプロセッサモードに、CPU0のみが受け付けを許可する場合には、シングルプロセッサ0モードに、CPU1のみが受け付けを許可する場合には、シングルプロセッサ1モードに遷移します。割り込みイネーブルビットの詳細に関しては「第7章 割り込みコントローラ(INTC)」を参照ください。発生した割り込みの優先レベルがCPUのステータスレジスタ(SR)に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、シングルプロセッサモードは解除されません。

(b) リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、デュアルスリープモードは解除されリセット例外処理が実行された後、デュアルプロセッサモードに遷移します。

33.3.5 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

CPU0のみが起動しているシングルプロセッサ0モードの場合、ソフトウェアスタンバイモードへ遷移することができます。

CPU1に割り込みが入らないように設定し、C1MSRのSLEEPビットが1であることを確認した後に、STBCR1のSTBYビットが1、DEEPビットが0の状態ではCPU0がSLEEP命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ただし、STBCR1のSLPEREビットが1の状態では、CPU0がSLEEP命令を実行した場合は、ソフトウェアスタンバイモードに遷移せずにスリープエラー例外が発生します。

ソフトウェアスタンバイモードでは、CPU0およびCPU1の両CPUだけでなくクロックや内蔵周辺モジュールも停止します。CKIO端子からのクロック出力も停止します。

CPUおよびキャッシュのレジスタ内容は、保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態は「35.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

また、CPU は、STBCR1 への書き込みを 1 サイクルで完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR1 への書き込み値を SLEEP 命令に確実に反映するためには、STBCR1 を読み出してから SLEEP 命令を実行してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDT0のタイマコントロール/ステータスレジスタ (WTCSR0) のTMEビットを0にし、WDTを停止させます。
2. WDT0のタイマカウンタ(WTCNT0)に0をセットし、WTCSR0レジスタのクロックセレクトビット(CKS[2:0])を発振安定時間以上になるように、値を設定します。
3. STBCR1レジスタのSTBYビットに1、DEEPビットに0を設定した後にSTBCR1レジスタを読み出します。
4. CPU1に割り込みが入らないように設定しC1MSRのSLEEPビットが1であることを確認した後、CPU0でSLEEP命令を実行させます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により、解除されます。

(a) 割り込みによる解除

NMI 端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ 0 (C0ICR0、C1ICR0) の NMI エッジセレクトビット (NMIE) で選択)、IRQ 端子 (IRQ7 ~ IRQ0) の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ 1 (C0ICR1、C1ICR1) の IRQn センスセレクトビット (IRQnIS ~ IRQnOS) で選択) が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ (WDT) にだけ供給されません。

ソフトウェアスタンバイモードに遷移する前に WDT0 のウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR0) のクロックセレクトビット (CKS[2:0]) に設定しておいた時間が経過すると、WDT のオーバフローが発生します。このオーバフロー発生によってクロックが安定したと判断され本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI 割り込み例外処理 (IRQ の場合、IRQ 割り込み例外処理) が実行された後、デュアルプロセッサモードに遷移します。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、ソフトウェアスタンバイモードは解除されません。

NMI 割り込みまたは IRQ 割り込みによってソフトウェアスタンバイモードを解除する場合、WDT のオーバフロー周期が発振安定時間以上となるように、CKS[2:0] ビットを設定してください。

割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になる、あるいはローレベルに固定することがあります。なお、立ち下がりエッジに設定した NMI 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) の NMI 端子のレベルがハイレベルに、かつソフトウェアスタンバイモード解除時 (発振安定後のクロック起動時) の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI

端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき（クロック停止時）の NMI 端子のレベルがローレベルに、かつソフトウェアスタンバイモード解除時（発振安定後のクロック起動時）の NMI 端子のレベルがハイレベルになるようにしてください（IRQ 端子の場合も同様です）。

（b）リセットによる解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセットまたはマニュアルリセット状態に遷移し、ソフトウェアスタンバイモードは解除されリセット例外処理実行後、デュアルプロセッサモードに遷移します。

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

CKIO 端子には、内部のクロックが出力され続けます。

（3）ソフトウェアスタンバイモード遷移時の注意事項

ソフトウェアスタンバイモードは、割り込み（NMI、IRQ）およびリセット（マニュアルリセット、パワーオンリセット）により解除されますが、SLEEP 命令と NMI、IRQ 以外の割り込みが同時に発生すると、割り込みを受け付けてソフトウェアスタンバイモードが解除される場合があります。

ソフトウェアスタンバイモードへ遷移させるときは、割り込みが入らないように設定してから SLEEP 命令を実行してください。

33.3.6 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がり後にソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 33.2 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

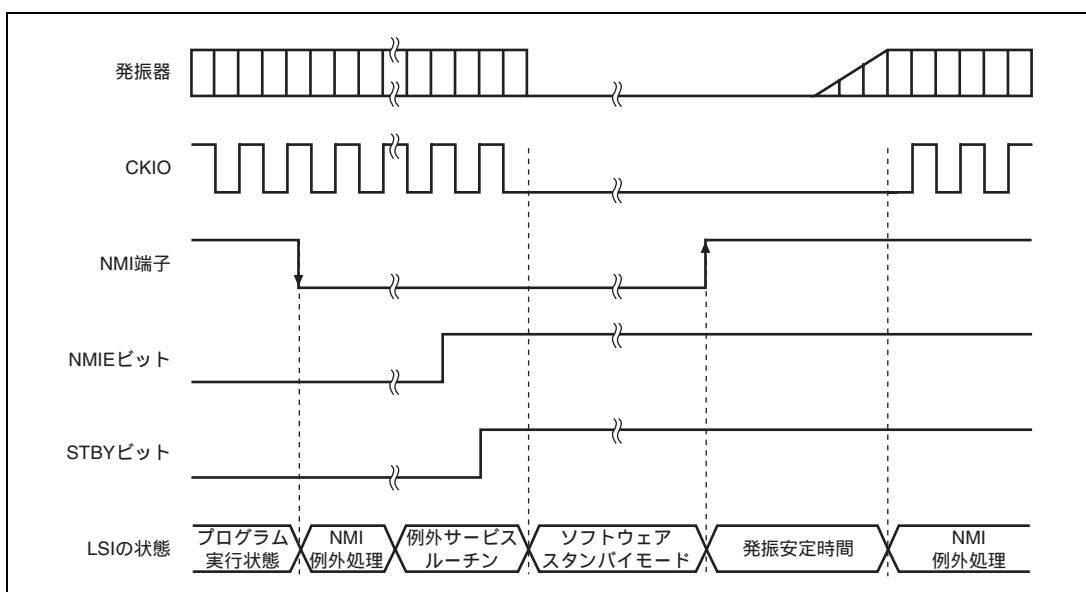


図 33.2 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

33.3.7 ディープスタンバイモード

(1) ディープスタンバイモードへの遷移

CPU0 のみが起動しているシングルプロセッサ 0 モードの場合、ディープスタンバイモードへ遷移することができます。

CPU1 に割り込みが入らないように設定し C1MSR の SLEEP ビットが 1 であることを確認した後に、STBCR1 の STBY と DEEP ビットがともに 1 の状態で CPU0 が SLEEP 命令を実行すると、プログラム実行状態からディープスタンバイモードに遷移します。ただし、STBCR1 の SLPERE ビットが 1 の状態で、CPU0 が SLEEP 命令を実行した場合は、ディープスタンバイモードに遷移せずに、スリープエラー例外が発生します。

ディープスタンバイモードでは、CPU0 および CPU1 の両 CPU、クロック、および内蔵周辺モジュールが停止するだけでなく、RRAMKP レジスタの RRAMKP3 ~ RRAMKP0 ビットの設定により保持となる保持用内蔵 RAM エリア、RTC を除き電源がオフになり、消費電力を削減できます。そのため CPU およびキャッシュのレジスタ内容、内蔵周辺モジュールのレジスタに関しても値は保持されません。ただし、端子の状態はディープスタンバイモードに遷移する直前の値を保持することができます。

CPU は、DSFR への書き込みを 1 サイクルで完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から DSFR への書き込み値を SLEEP 命令に確実に反映するためには、DSFR を読み出してから SLEEP 命令を実行してください。

ディープスタンバイモードへ遷移する手順を以下に示します。また、そのフローを図 33.3 に示します。

1. 保持する必要がある保持用内蔵RAMエリアに対して、RRAMKPレジスタのRRAMKP3 ~ RRAMKP0ビットを設定します。設定した保持用内蔵RAMエリアに保持したいプログラムを転送します。
2. ディープスタンバイモードから割り込みおよびマニュアルリセットで解除する場合、どの端子で解除するか DSSSR の該当ビットを設定します。このとき解除する端子の入力信号検出モードを設定します（割り込みコントローラ（INTC）の割り込みコントロールレジスタ0、1（C0ICR0、C1ICR0、C0ICR1、C1ICR1）で設定します）。ディープスタンバイモードの場合、立ち上がりまたは立ち下がりエッジ設定のみ有効です（IRQ のローレベルおよび両エッジ検出設定では解除できません）。
3. 保持する保持用内蔵RAMの各ページに対し、任意の同一アドレスのリード/ライトを実行します。実行しない場合、最後に書かれたデータが保持用内蔵RAMに書き込まれない可能性があります。以後、保持用内蔵RAMへのライトがある場合には、最後の保持用内蔵RAMライト後に、本処理を実行してください。
4. STBCR1 レジスタの STBY ビットと DEEP ビットに 1 を設定します。
5. DSFR レジスタのフラグをクリアした後に、DSFR レジスタを読み出します。
6. CPU1 に割り込みが入らないように設定し C1MSR の SLEEP ビットが 1 であることを確認した後、CPU0 が SLEEP 命令を実行します。

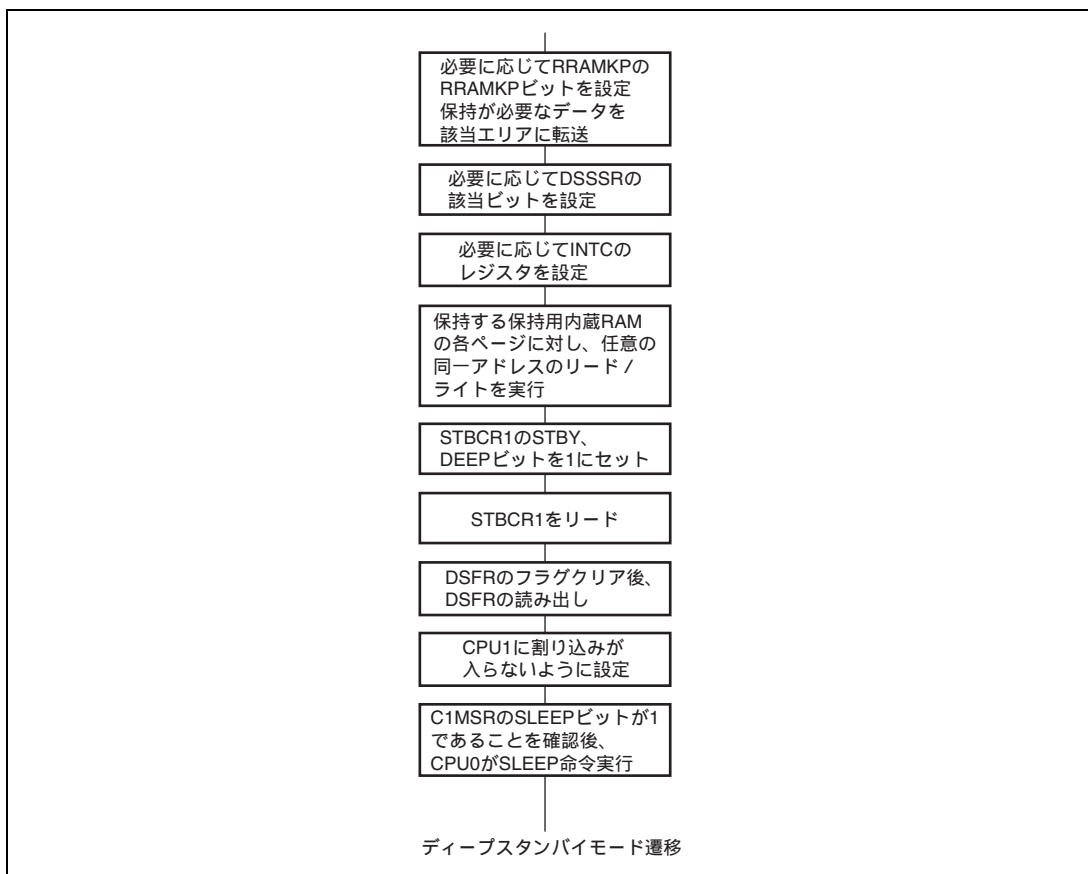


図 33.3 ディープスタンバイモード遷移フロー

(2) ディープスタンバイモードの解除

ディープスタンバイモードは、割り込み（NMI、PJ3～PJ0、PC3～PC0に割り当てられたIRQ）およびリセット（マニュアルリセット、パワーオンリセット）により、解除されます。NMI割り込みまたは、IRQ割り込みによって解除する場合、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。同様にマニュアルリセットもパワーオンリセット例外処理となります。パワーオン例外処理実行後は、デュアルプロセッサモードに遷移します。ディープスタンバイモード解除のフローを図33.4に示します。

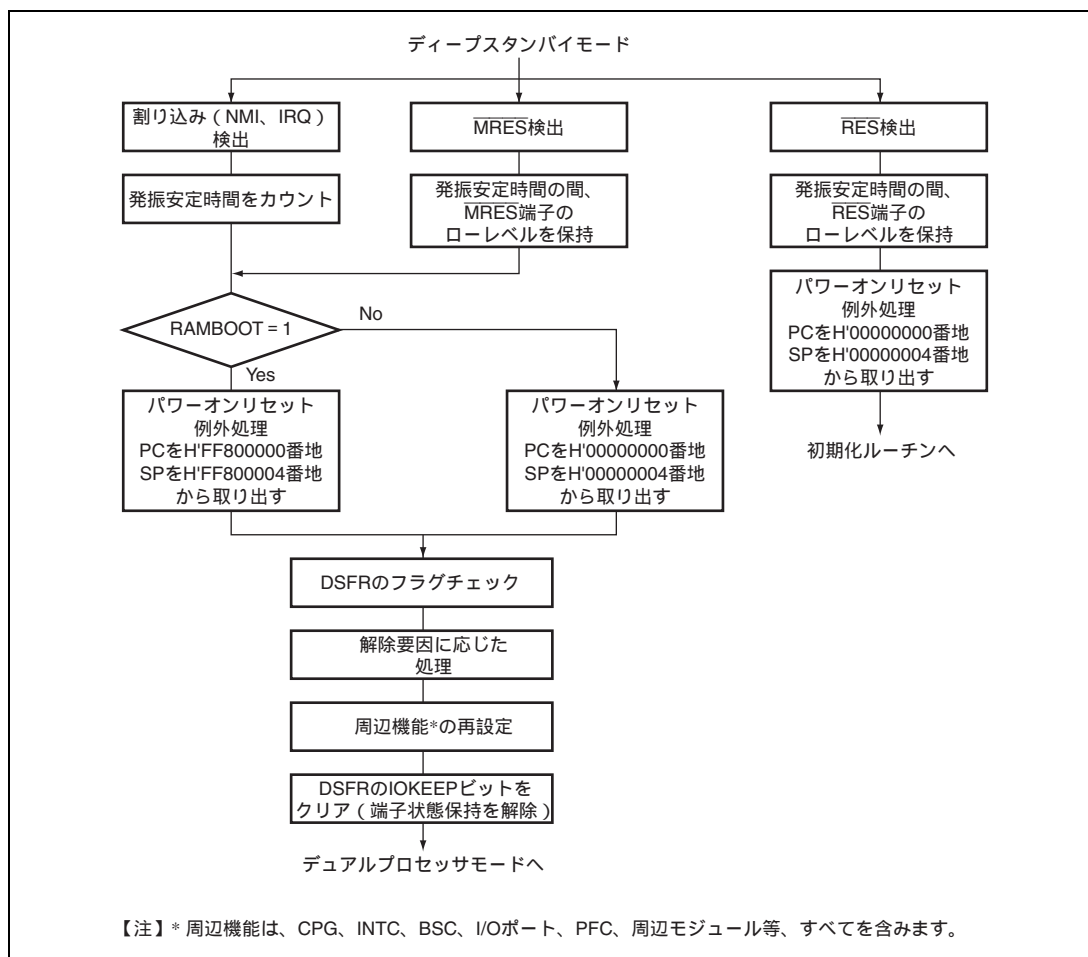


図 33.4 ディープスタンバイモード解除フロー

(a) 割り込みによる解除

NMI 端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ 0 (COICR0, C1ICR0) の NMI エッジセレクトビット (NMIE) で選択)、IRQ 端子 (PJ3 ~ PJ0 および PC3 ~ PC0 に割り当てられた IRQ7 ~ IRQ0) の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ 1 (COICR1, C1ICR1) の IRQ_n センスセレクトビット (IRQ_nIS ~ IRQ_nOS) で選択) が検出されると電源安定待ち時間後、クロックの発振が開始されます。発振安定時間経過後ディープスタンバイモードが解除され、パワーオンリセット例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、ディープスタンバイモードは解除されません。

割り込み検出直後からディープスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。なお、立ち下がりエッジに設定した NMI 端子でディープスタンバイモードを解除する場合、ディープスタンバイモードに入るとき (クロック停止時) の NMI 端子のレベルがハイレベルに、かつディープスタンバイモード解除時 (発振安定後のクロック起動時) の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI 端子でディープスタンバイモードを解除する場合、ディープスタンバイモードに入るとき (クロック停止時) の NMI 端子のレベルがローレベルに、かつディープスタンバイモード解除時 (発振安定後のクロック起動時) の NMI 端子のレベルがハイレベルになるようにしてください (IRQ 端子の場合も同様です)。

また、NMI およびディープスタンバイモード解除として選択 (ディープスタンバイ解除要因セレクトレジスタを設定) したすべての割り込み端子 (IRQ) は、その端子でディープスタンバイモードを解除する / 解除しないに関係なく、ディープスタンバイモードに遷移するときに以下の端子レベルとしてください。

- 解除を立ち上がりエッジに設定した端子は、ディープスタンバイモード遷移時にローレベル。
- 解除を立ち下がりエッジに設定した端子は、ディープスタンバイモード遷移時にハイレベル。

(b) リセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、ディープスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。CKIO 端子には、クロックモード 0、1、3 のとき $\overline{\text{RES}}$ 端子をローレベルにすると内部のクロックが出力され始めます。

$\overline{\text{MRES}}$ 端子をローレベルにすると、ディープスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{MRES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。CKIO 端子には、クロックモード 0、1、3 のとき $\overline{\text{MRES}}$ 端子をハイレベルにすると内部のクロックが出力され始めます。

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

(3) ディープスタンバイモード解除後の動作

DSCTR レジスタの RAMBOOT ビット設定により外部バス起動が保持用内蔵 RAM 起動かを選択することができます。CS0KEEPE ビットの設定によりディープスタンバイモード解除後も外部バス制御端子の状態を保持することができます。各ビットによるディープスタンバイモード解除後の端子状態を表 33.3 に示します。外部バス制御端子一覧を表 33.4 に示します。

表 33.3 DSCTR レジスタ設定によるディープスタンバイ解除後の端子状態と起動方法

CS0KEEPE ビット	RAMBOOT ビット	起動方法	ディープスタンバイ解除後の端子状態
0	0	外部バス	外部バス制御端子は保持しない。 その他の端子は IOKEEP ビットクリア時に端子保持解除。
	1	保持用 内蔵 RAM	外部バス制御端子は保持しない。 ディープスタンバイ解除後、外部バス制御端子保持解除。 その他の端子は IOKEEP ビットクリア時に端子保持解除。
1	0	-	設定禁止
	1	保持用 内蔵 RAM	外部バス制御端子は保持する。 外部バス制御端子もその他の端子も、IOKEEP ビットクリア時に端子保持解除。

表 33.4 外部バス制御端子一覧

動作モード 0 (外部 16 ビットバス起動)	動作モード 1 (外部 32 ビットバス起動)
A[20:1] D[15:0] $\overline{CS0}$ 、 \overline{RD} 、CKIO	A[20:2] D[31:0] $\overline{CS0}$ 、 \overline{RD} 、CKIO

ディープスタンバイモードが、割り込み (NMI、IRQ) およびマニュアルリセットにより解除された場合、どの割り込みで解除されたのかをディープスタンバイ解除要因フラグレジスタ (DSFR) により確認することができます。

ディープスタンバイモードに遷移する際、端子は直前の状態を保持していますが、外部バス起動モード時は、ディープスタンバイモード解除後、外部バス制御端子の状態保持を解除してプログラムフェッチ可能とします。ディープスタンバイモード解除後も DSFR レジスタの IOKEEP ビットに 0 を書き込むまで端子の状態保持を続けます。ディープスタンバイモード遷移前の状態にするには、周辺機能の再設定を行います。周辺機能には、CPG、INTC、BSC、I/O ポート、PFC、周辺モジュールなどのすべてを含みます。再設定後、DSFR の IOKEEP ビットに 0 を書き込むことにより、端子の状態保持を解除することができます。

(4) ディープスタンバイモード遷移時の注意事項

解除要因を複数設定し複数の解除要因が入力された場合、解除要因フラグは複数セットされます。

33.3.8 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、デュアルプロセッサモード、シングルプロセッサモード、およびデュアルスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

レジスタの状態は、「35.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセット(ただし RTC、H-UDI、UBC のみ)により行います。各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

33.4 使用上の注意事項

33.4.1 レジスタ書き込みに関する注意事項

低消費電力モード関連のレジスタに書き込みを行う際には、以下のことに注意してください。

CPU から低消費電力モード関連のレジスタに書き込みを行う際、CPU は書き込み命令実行後、実際のレジスタへの書き込み完了まで待たされずに、後続の命令を実行します。

後続命令実行時にレジスタへの書き込みによる変更を反映させたい場合には、レジスタ書き込み命令と後続命令の間に同じレジスタに対するダミーリードを行ってください。

33.4.2 ディープスタンバイコントロールレジスタ (DSCTR) に関する注意事項

$\overline{\text{RES}}$ 端子によるパワーオンリセット解除後、ディープスタンバイコントロールレジスタ (DSCTR) のビット7 (CS0KEEPE)、ビット6 (RAMBOOT) に"1"を書き込んだ状態でディープスタンバイモードに遷移すると、以降"0"書き込みができなくなります。"0"書き込みをするためには $\overline{\text{RES}}$ 端子をローアサートする必要があります。

33.4.3 パワーオンリセット例外処理に関する注意事項

- $\overline{\text{RES}}$ 端子によるパワーオンリセット解除後、ディープスタンバイコントロールレジスタ (DSCTR) のビット6 (RAMBOOT) に"1"を書き込んだ状態でディープスタンバイモードへ遷移し解除した後に、再度 $\overline{\text{RES}}$ によるパワーオンリセットを行う前にWDTによるパワーオンリセット / H-UDIリセットが発生した場合、これらのリセット例外処理は表33.5の動作となります。したがって、上記の動作に該当する場合は、該当保持RAM領域にPCおよびSPを保持しておいてください。

表 33.5 リセット例外処理

プログラムカウンタ (PC) の取り出し番地	スタックポインタ (SP) の取り出し番地
H'FF800000	H'FF800004

- $\overline{\text{RES}}$ 端子によるパワーオンリセット解除後、ディープスタンバイモードへ遷移し解除した後に、再度 $\overline{\text{RES}}$ によるパワーオンリセットを行う前にWDTによるパワーオンリセット / H-UDIリセットが発生する可能性がある場合は、ディープスタンバイモード解除後にディープスタンバイ解除要因フラグレジスタ (DSFR) のビット15 (IOKEEP) およびビット9~0がすべて0クリアされた状態で (1の場合は0ライトしてください)、WDT およびH-UDIの設定を行ってください。

IOKEEPビットが0でない状態でWDTおよびH-UDIの設定を行い、 $\overline{\text{RES}}$ 端子によるパワーオンリセットを行う前にWDTによるパワーオンリセット / H-UDIリセットが発生した場合、表33.4以外のディープスタンバイで保持されている全端子が、保持されたままになります。また、ディープスタンバイコントロールレジスタ (DSCTR) のビット7 (CS0KEEPE) を "1" に設定している場合には、表33.4の外部バス制御端子も保持されたままになります。

ビット9~0のすべてのフラグが0でない状態でWDTおよびH-UDIの設定を行い、 $\overline{\text{RES}}$ 端子によるパワーオンリセットを行う前にWDTによるパワーオンリセット / H-UDIリセットが発生した場合、内部の解除要因情報がクリアされず、以降ディープスタンバイモードに再度遷移しようとしたときに誤って解除されます。

34. ユーザデバッグインタフェース (H-UDI)

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェース(H-UDI)を内蔵しています。

34.1 特長

ユーザデバッグインタフェース(H-UDI)は、JTAG(Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) に対応したシリアル入出力インタフェースです。

本 LSI の H-UDI は、バウンダリスキャン用 TAP コントローラと H-UDI 割り込み機能などを制御するエミュレーション用 TAP コントローラを内蔵しています。電源投入時を含め、 $\overline{\text{TRST}}$ 端子をアサートすることでバウンダリスキャン用 TAP コントローラが選択されます。また、エミュレーション用 TAP コントローラ切り替えコマンドを入力することにより、エミュレーション用 TAP コントローラが選択されます。エミュレーション用 TAP コントローラからバウンダリスキャン用 TAP コントローラに切り替えるには、 $\overline{\text{TRST}}$ 端子をアサートする必要があります。

ASE モード時は、エミュレーション用 TAP コントローラが選択されます。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

図 34.1 に H-UDI のブロック図を示します。

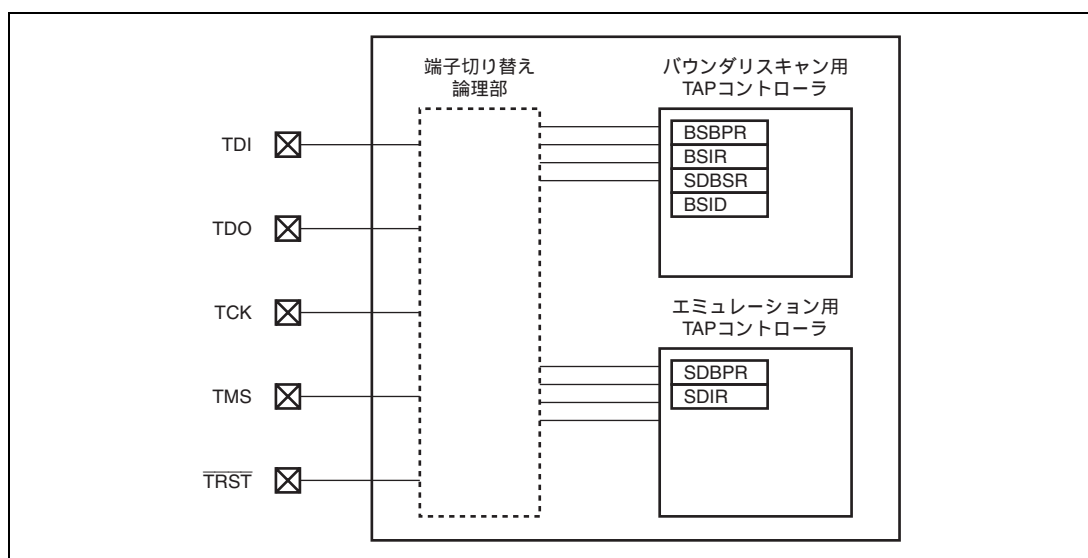


図 34.1 H-UDI のブロック図

34.2 入出力端子

表 34.1 端子構成

名称	端子名	入出力	機能
H-UDI シリアルデータ 入出力用クロック端子	TCK	入力	データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
モードセレクト入力端子	TMS	入力	TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは、JTAG 規格 (IEEE Std.1149.1) に対応しています。
H-UDI リセット入力端子	$\overline{\text{TRST}}$	入力	TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。リセット構成の詳細については、「34.5.2 リセット構成」を参照してください。
H-UDI シリアルデータ入力端子	TDI	入力	TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。
H-UDI シリアルデータ出力端子	TDO	出力	TCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出力タイミングの初期値は立ち下がり同期ですが、SDIR に「TDO 変化タイミング切り替え」コマンドを入力することにより立ち上がり同期に変更することができます。詳細については、「34.5.3 TDO 出力タイミング」を参照してください。
ASE モードセレクト端子	$\overline{\text{ASEMD}}^*$	入力	RES 端子アサート期間中に、 $\overline{\text{ASEMD}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。 $\overline{\text{ASEMD}}$ 端子への入力レベルは、RES 端子ネグート後、最低 1 サイクル保持してください。

【注】 * エミュレータを使用しない場合は、ハイレベルに固定するようにしてください。

34.3 バウンダリスキャン用 TAP コントローラのレジスタの説明

バウンダリスキャン用 TAP コントローラには以下のレジスタがあります。

表 34.2 バウンダリスキャン用 TAP コントローラのレジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	BSBPR	-	-	-	-
インストラクションレジスタ	BSIR	-	H'4	-	-
バウンダリスキャンレジスタ	SDBSR	-	-	-	-
ID レジスタ	BSID	-	H'08057447	-	-

34.3.1 バイパスレジスタ (BSBPR)

BSBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。BSIR を BYPASS モードにセットすると、BSBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定です。

34.3.2 インストラクションレジスタ (BSIR)

BSIR は 4 ビットのレジスタです。 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されません。CPU からは、アクセスできません。

ビット	ビット名	初期値	R/W	説明
3~0	TI[3:0]	0100	-	テストインストラクション H-UDI のインストラクションは TDI からのシリアル入力によって BSIR に転送されます。 コマンドは表 34.3 を参照してください。

表 34.3 バウンダリスキャン用 TAP コントローラのサポートコマンド

ビット 3~0				説 明
TI3	TI2	TI1	TI0	
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	0	1	1	エミュレーション用 TAP コントローラ切り替えコマンド
0	1	0	0	IDCODE (初期値)
0	1	1	0	CLAMP
0	1	1	1	HIGHZ
1	1	1	1	BYPASS
上記以外				予約

34.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。CPU からは、アクセスできません。初期値は、不定です。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。表 34.4 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

表 34.4 本 LSI の端子とバウンダリスキャンレジスタの対応

ビット番号	端子名*1	タイプ	ビット番号	端子名*1	タイプ	ビット番号	端子名*1	タイプ
From TDI			364	PE0	CONTROL	329	PC6	INPUT
398	NMI	INPUT	363	PE0	OUTPUT	328	PC5	CONTROL
397	PE10	OUTPUT*2	362	PE0	INPUT	327	PC5	OUTPUT
396	PE10	INPUT	361	PE5	CONTROL	326	PC5	INPUT
395	PE11	CONTROL	360	PE5	OUTPUT	325	PC4	CONTROL
394	PE11	OUTPUT	359	PE5	INPUT	324	PC4	OUTPUT
393	PE11	INPUT	358	PF4	CONTROL	323	PC4	INPUT
392	PE7	CONTROL	357	PF4	OUTPUT	322	PC3	CONTROL
391	PE7	OUTPUT	356	PF4	INPUT	321	PC3	OUTPUT
390	PE7	INPUT	355	PF3	CONTROL	320	PC3	INPUT
389	PE12	OUTPUT*2	354	PF3	OUTPUT	319	PC2	CONTROL
388	PE12	INPUT	353	PF3	INPUT	318	PC2	OUTPUT
387	PE13	CONTROL	352	PF2	CONTROL	317	PC2	INPUT
386	PE13	OUTPUT	351	PF2	OUTPUT	316	PC1	CONTROL
385	PE13	INPUT	350	PF2	INPUT	315	PC1	OUTPUT
384	PE3	CONTROL	349	PF0	CONTROL	314	PC1	INPUT
383	PE3	OUTPUT	348	PF0	OUTPUT	313	PC0	CONTROL
382	PE3	INPUT	347	PF0	INPUT	312	PC0	OUTPUT
381	PE8	OUTPUT*2	346	PF1	CONTROL	311	PC0	INPUT
380	PE8	INPUT	345	PF1	OUTPUT	310	MD0	INPUT
379	PE9	CONTROL	344	PF1	INPUT	309	PA0	CONTROL
378	PE9	OUTPUT	343	PC10	CONTROL	308	PA0	OUTPUT
377	PE9	INPUT	342	PC10	OUTPUT	307	PA0	INPUT
376	PE6	CONTROL	341	PC10	INPUT	306	PA1	CONTROL
375	PE6	OUTPUT	340	PC9	CONTROL	305	PA1	OUTPUT
374	PE6	INPUT	339	PC9	OUTPUT	304	PA1	INPUT
373	PE4	CONTROL	338	PC9	INPUT	303	PA2	CONTROL
372	PE4	OUTPUT	337	PC8	CONTROL	302	PA2	OUTPUT
371	PE4	INPUT	336	PC8	OUTPUT	301	PA2	INPUT
370	PE1	CONTROL	335	PC8	INPUT	300	PA3	CONTROL
369	PE1	OUTPUT	334	PC7	CONTROL	299	PA3	OUTPUT
368	PE1	INPUT	333	PC7	OUTPUT	298	PA3	INPUT
367	PE2	CONTROL	332	PC7	INPUT	297	PA4	CONTROL
366	PE2	OUTPUT	331	PC6	CONTROL	296	PA4	OUTPUT
365	PE2	INPUT	330	PC6	OUTPUT	295	PA4	INPUT

ビット番号	端子名*1	タイプ	ビット番号	端子名*1	タイプ	ビット番号	端子名*1	タイプ
294	PA5	CONTROL	259	D0	INPUT	224	D12	OUTPUT
293	PA5	OUTPUT	258	D1	CONTROL	223	D12	INPUT
292	PA5	INPUT	257	D1	OUTPUT	222	D13	CONTROL
291	PA6	CONTROL	256	D1	INPUT	221	D13	OUTPUT
290	PA6	OUTPUT	255	D2	CONTROL	220	D13	INPUT
289	PA6	INPUT	254	D2	OUTPUT	219	D14	CONTROL
288	PA7	CONTROL	253	D2	INPUT	218	D14	OUTPUT
287	PA7	OUTPUT	252	D3	CONTROL	217	D14	INPUT
286	PA7	INPUT	251	D3	OUTPUT	216	D15	CONTROL
285	PA8	CONTROL	250	D3	INPUT	215	D15	OUTPUT
284	PA8	OUTPUT	249	D4	CONTROL	214	D15	INPUT
283	PA8	INPUT	248	D4	OUTPUT	213	PA9	CONTROL
282	PA9	CONTROL	247	D4	INPUT	212	PA9	OUTPUT
281	PA9	OUTPUT	246	D5	CONTROL	211	PA9	INPUT
280	PA9	INPUT	245	D5	OUTPUT	210	PB10	CONTROL
279	PA10	CONTROL	244	D5	INPUT	209	PB10	OUTPUT
278	PA10	OUTPUT	243	D6	CONTROL	208	PB10	INPUT
277	PA10	INPUT	242	D6	OUTPUT	207	PB11	CONTROL
276	PA11	CONTROL	241	D6	INPUT	206	PB11	OUTPUT
275	PA11	OUTPUT	240	D7	CONTROL	205	PB11	INPUT
274	PA11	INPUT	239	D7	OUTPUT	204	PB12	CONTROL
273	PA12	CONTROL	238	D7	INPUT	203	PB12	OUTPUT
272	PA12	OUTPUT	237	D8	CONTROL	202	PB12	INPUT
271	PA12	INPUT	236	D8	OUTPUT	201	PB13	CONTROL
270	PA13	CONTROL	235	D8	INPUT	200	PB13	OUTPUT
269	PA13	OUTPUT	234	D9	CONTROL	199	PB13	INPUT
268	PA13	INPUT	233	D9	OUTPUT	198	PB14	CONTROL
267	PA14	CONTROL	232	D9	INPUT	197	PB14	OUTPUT
266	PA14	OUTPUT	231	D10	CONTROL	196	PB14	INPUT
265	PA14	INPUT	230	D10	OUTPUT	195	$\overline{CS0}$	CONTROL
264	PA15	CONTROL	229	D10	INPUT	194	$\overline{CS0}$	OUTPUT
263	PA15	OUTPUT	228	D11	CONTROL	193	PB4	CONTROL
262	PA15	INPUT	227	D11	OUTPUT	192	PB4	OUTPUT
261	D0	CONTROL	226	D11	INPUT	191	PB4	INPUT
260	D0	OUTPUT	225	D12	CONTROL	190	PB5	CONTROL

ビット番号	端子名 ^{*1}	タイプ	ビット番号	端子名 ^{*1}	タイプ	ビット番号	端子名 ^{*1}	タイプ
189	PB5	OUTPUT	154	A5	OUTPUT	119	PB3	OUTPUT
188	PB5	INPUT	153	A6	CONTROL	118	PB3	INPUT
187	PB6	CONTROL	152	A6	OUTPUT	117	PD2	CONTROL
186	PB6	OUTPUT	151	A7	CONTROL	116	PD2	OUTPUT
185	PB6	INPUT	150	A7	OUTPUT	115	PD2	INPUT
184	PB7	CONTROL	149	A8	CONTROL	114	PD1	CONTROL
183	PB7	OUTPUT	148	A8	OUTPUT	113	PD1	OUTPUT
182	PB7	INPUT	147	A9	CONTROL	112	PD1	INPUT
181	PB16	CONTROL	146	A9	OUTPUT	111	PD0	CONTROL
180	PB16	OUTPUT	145	A10	CONTROL	110	PD0	OUTPUT
179	PB16	INPUT	144	A10	OUTPUT	109	PD0	INPUT
178	PB15	CONTROL	143	A11	CONTROL	108	PH0	CONTROL
177	PB15	OUTPUT	142	A11	OUTPUT	107	PH0	OUTPUT
176	PB15	INPUT	141	A12	CONTROL	106	PH0	INPUT
175	PB8	CONTROL	140	A12	OUTPUT	105	PH1	CONTROL
174	PB8	OUTPUT	139	A13	CONTROL	104	PH1	OUTPUT
173	PB8	INPUT	138	A13	OUTPUT	103	PH1	INPUT
172	\overline{RD}	CONTROL	137	A14	CONTROL	102	PH2	CONTROL
171	\overline{RD}	OUTPUT	136	A14	OUTPUT	101	PH2	OUTPUT
170	PB17	CONTROL	135	A15	CONTROL	100	PH2	INPUT
169	PB17	OUTPUT	134	A15	OUTPUT	99	PH3	CONTROL
168	PB17	INPUT	133	A16	CONTROL	98	PH3	OUTPUT
167	PB0	CONTROL	132	A16	OUTPUT	97	PH3	INPUT
166	PB0	OUTPUT	131	A17	CONTROL	96	PH15	CONTROL
165	PB0	INPUT	130	A17	OUTPUT	95	PH15	OUTPUT
164	PB1	CONTROL	129	A18	CONTROL	94	PH15	INPUT
163	PB1	OUTPUT	128	A18	OUTPUT	93	PH4	CONTROL
162	PB1	INPUT	127	A19	CONTROL	92	PH4	OUTPUT
161	A2	CONTROL	126	A19	OUTPUT	91	PH4	INPUT
160	A2	OUTPUT	125	A20	CONTROL	90	PB18	CONTROL
159	A3	CONTROL	124	A20	OUTPUT	89	PB18	OUTPUT
158	A3	OUTPUT	123	PB2	CONTROL	88	PB18	INPUT
157	A4	CONTROL	122	PB2	OUTPUT	87	MD_CLK1	INPUT
156	A4	OUTPUT	121	PB2	INPUT	86	MD_CLK0	INPUT
155	A5	CONTROL	120	PB3	CONTROL	85	PH9	CONTROL

ビット番号	端子名*1	タイプ	ビット番号	端子名*1	タイプ	ビット番号	端子名*1	タイプ
84	PH9	OUTPUT	54	PJ2	OUTPUT	24	PJ10	OUTPUT
83	PH9	INPUT	53	PJ2	INPUT	23	PJ10	INPUT
82	PH10	CONTROL	52	PJ3	CONTROL	22	PJ11	CONTROL
81	PH10	OUTPUT	51	PJ3	OUTPUT	21	PJ11	OUTPUT
80	PH10	INPUT	50	PJ3	INPUT	20	PJ11	INPUT
79	PH5	CONTROL	49	PJ1	CONTROL	19	PJ12	CONTROL
78	PH5	OUTPUT	48	PJ1	OUTPUT	18	PJ12	OUTPUT
77	PH5	INPUT	47	PJ1	INPUT	17	PJ12	INPUT
76	PH8	CONTROL	46	PJ0	CONTROL	16	PK1	CONTROL
75	PH8	OUTPUT	45	PJ0	OUTPUT	15	PK1	OUTPUT
74	PH8	INPUT	44	PJ0	INPUT	14	PK1	INPUT
73	PH13	CONTROL	43	PJ4	CONTROL	13	PK0	CONTROL
72	PH13	OUTPUT	42	PJ4	OUTPUT	12	PK0	OUTPUT
71	PH13	INPUT	41	PJ4	INPUT	11	PK0	INPUT
70	PH6	CONTROL	40	PJ5	CONTROL	10	PG0	INPUT
69	PH6	OUTPUT	39	PJ5	OUTPUT	9	PG1	INPUT
68	PH6	INPUT	38	PJ5	INPUT	8	PG2	INPUT
67	PH7	CONTROL	37	PJ7	CONTROL	7	PG3	INPUT
66	PH7	OUTPUT	36	PJ7	OUTPUT	6	PG4	INPUT
65	PH7	INPUT	35	PJ7	INPUT	5	PG5	INPUT
64	PH12	CONTROL	34	PJ6	CONTROL	4	PG6	INPUT
63	PH12	OUTPUT	33	PJ6	OUTPUT	3	PG7	INPUT
62	PH12	INPUT	32	PJ6	INPUT	2	ASEBRKAK /ASEBRK	CONTROL
61	PH11	CONTROL	31	PJ8	CONTROL			
60	PH11	OUTPUT	30	PJ8	OUTPUT	1	ASEBRKAK /ASEBRK	OUTPUT
59	PH11	INPUT	29	PJ8	INPUT			
58	PH14	CONTROL	28	PJ9	CONTROL	0	ASEBRKAK /ASEBRK	INPUT
57	PH14	OUTPUT	27	PJ9	OUTPUT			
56	PH14	INPUT	26	PJ9	INPUT	To TDO		
55	PJ2	CONTROL	25	PJ10	CONTROL			

【注】 *1 機能 1 の端子機能名

*2 オープンドレイン端子です。Low にすることで Low 出力、High にすることで Hi-Z となります。

*3 CONTROL はローアクティブです。CONTROL を Low にすることで該当端子を OUT 値に出力します。

34.3.4 ID レジスタ (BSID)

BSID は、CPU ではアクセスすることができない 32 ビットのレジスタです。H-UDI 端子側からは、IDCODE のコマンドがセットされたときに、読み出し可能です。書き込みはできません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DID[31:16]															
初期値 :	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	1
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DID[15:0]															
初期値 :	0	1	1	1	0	1	0	0	0	1	0	0	0	1	1	1
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~0	DID[31:0]	H'08057447	-	デバイス JTAG に規定されている ID レジスタです。本 LSI では、H'08057447 です。 ただし、上位 4 ビットは、チップのバージョンにより変更されることがあります。

34.4 エミュレーション用 TAP コントローラのレジスタの説明

エミュレーション用 TAP コントローラを使用するためには、バウンダリスキャン用 TAP コントローラの BSIR レジスタにエミュレーション用 TAP コントローラ切り替えコマンドを入力する必要があります。エミュレーション用 TAP コントローラには以下のレジスタがあります。

表 34.5 エミュレーション用 TAP コントローラのレジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	SDBPR	-	-	-	-
インストラクションレジスタ	SDIR	R	H'EFFD	H'FFFD9000	16

34.4.1 バイパスレジスタ (SDBPR)

SDBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定です。

34.4.2 インストラクションレジスタ (SDIR)

SDIR は、16 ビットの読み出し専用のレジスタです。 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。初期値は H'EFFD です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	T[7:0]							-	-	-	-	-	-	-	-	-
初期値:	1*	1*	1*	0*	1*	1*	1*	1*	1	1	1	1	1	1	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】* T[7:0]の初期値は予約値ですが、コマンドをセットする場合は必ず予約以外の値をセットしてください。

ビット	ビット名	初期値	R/W	説明
15~8	T[7:0]	11101111*	R	テストインストラクション H-UDI のインストラクションは TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 34.6 を参照してください。
7~2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

表 34.6 エミュレーション用 TAP コントローラのサポートコマンド

ビット 15～8								説 明
TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	
0	1	1	0	-	-	-	-	H-UDI リセットネゲート
0	1	1	1	-	-	-	-	H-UDI リセットアサート
1	0	0	1	1	1	0	0	TDO 変化タイミング切り替え
1	0	1	1	-	-	-	-	H-UDI 割り込み
1	1	1	1	-	-	-	-	BYPASS
上記以外								予約

34.5 動作説明

34.5.1 TAP コントローラ

図 34.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

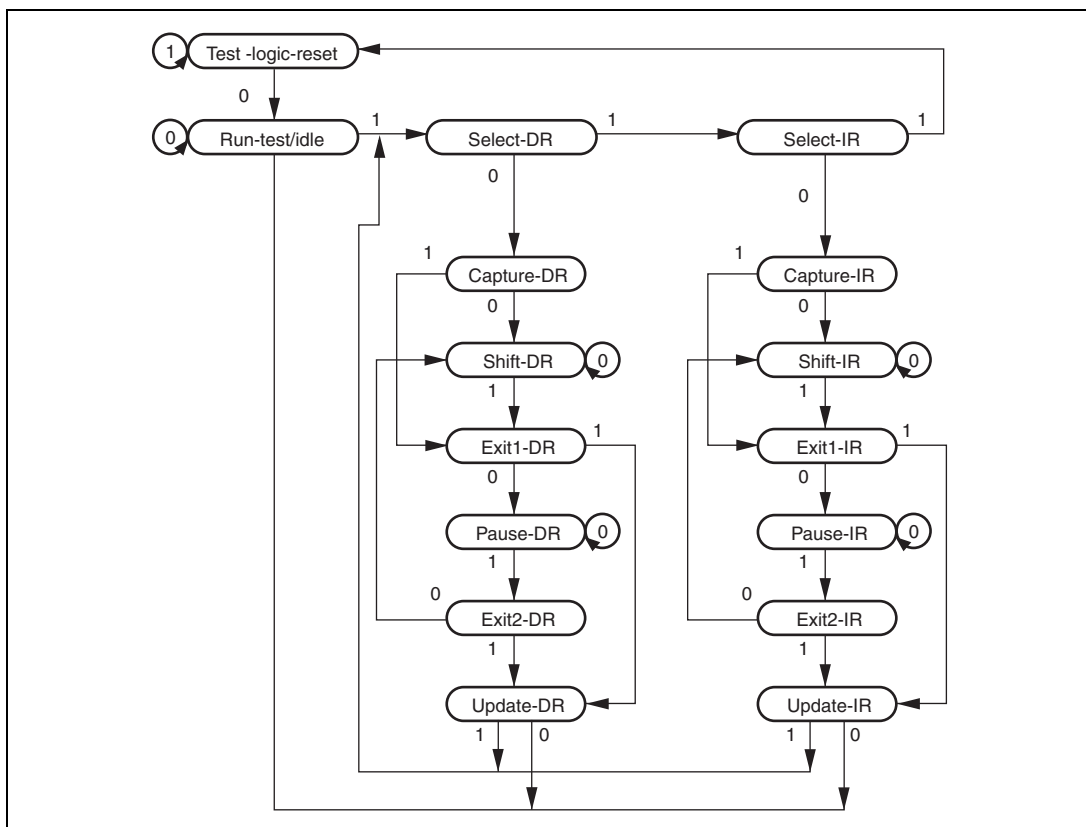


図 34.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「34.5.3 TDO 出力タイミング」を参照してください。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。 $\overline{\text{TRST}}$ のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

34.5.2 リセット構成

表 34.7 リセット構成

ASEMD* ¹	RES	TRST	チップ状態
H	L	L	パワーオンリセットおよびH-UDIのリセット
		H	パワーオンリセット
	H	L	H-UDIのみリセット
		H	通常動作
L	L	L	リセットホールド* ²
		H	パワーオンリセット
	H	L	H-UDIのみリセット
		H	通常動作

【注】 *1 製品チップモードとASEモードの設定を選択。

$\overline{\text{ASEMD}} = \text{H}$ 、製品チップモード

$\overline{\text{ASEMD}} = \text{L}$ 、ASEモード

*2 ASEモードで $\overline{\text{RES}}$ ネゲート時に $\overline{\text{TRST}}$ 端子がローレベルであるとリセットホールド状態になります。この状態では、CPUは起動しません。その後、 $\overline{\text{TRST}}$ をハイレベルにセットすると、H-UDI動作が有効になりますが、CPUは起動しません。リセットホールド状態は、パワーオンリセットにより解除されます。

34.5.3 TDO 出力タイミング

エミュレーション用TAPコントローラを選択したときのTDO変化タイミングは、初期値ではTCKの立ち下がりがエッジ同期で出力されます。ただし、H-UDI端子からSDIRにTDO変化タイミング切り替えコマンドをセットし、Update-IRを通過することで、TDOの変化タイミングはTCKの立ち上がりエッジに同期します。本コマンドは、バウンダリスキャン用TAPコントローラのTDO出力タイミングには影響しません。

TDO変化タイミング切り替えコマンドをセット後、TDOの変化タイミングをTCKの立ち下がりがエッジ同期出力にする場合は、パワーオンリセットと同時に $\overline{\text{TRST}}$ 端子のアサートを行う必要があります。 $\overline{\text{RES}}$ 端子によるパワーオンリセットの場合、 $\overline{\text{RES}}$ 端子ネゲート後もチップ内部で同期リセットが一定期間働いています。そのため、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、TDO変化タイミング切り替えコマンドはクリアされ、TDOの変化タイミングがTCKの立ち上がりエッジ同期出力になります。これを防ぐため、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず20 tcy以上間隔を空けてください。

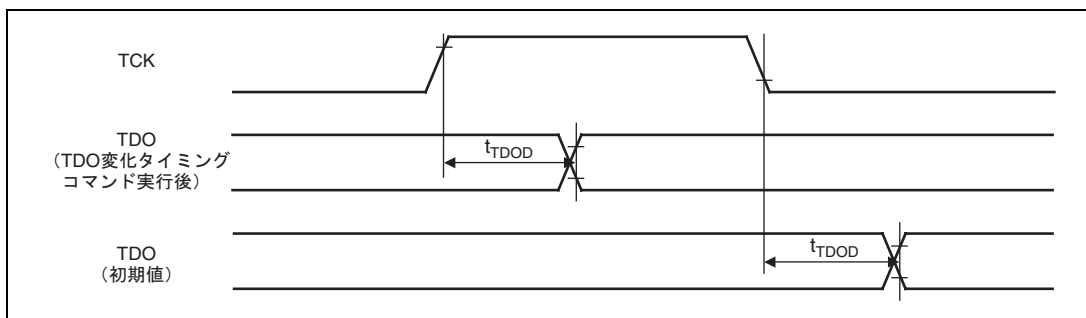


図 34.3 H-UDI データ転送タイミング

34.5.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドをセットすることにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。

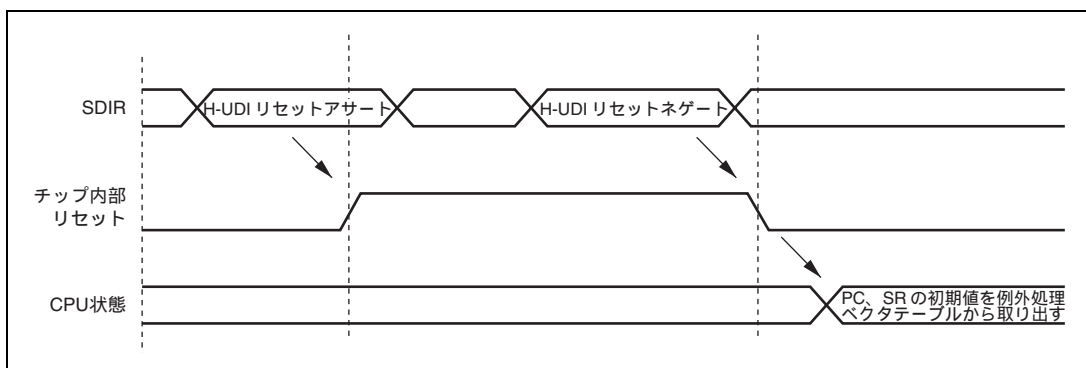


図 34.4 H-UDI リセット

34.5.5 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からのコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外 / 割り込み動作であり、例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは受け付けられますが、ソフトウェアスタンバイモードでは H-UDI 割り込みは受け付けられません。

34.6 バウンダリスキャン

H-UDI から BSIR にコマンドを設定することにより、H-UDI 端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

34.6.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、および EXTEST) と 3 つのオプション命令 (IDCODE、CLAMP、および HIGHZ) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令は、シフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中、本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は、何の影響も受けません。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは、Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは、本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力ピンから不定値が出力される (EXTEST 命令では出力ピンに常に平行出力ラッチを出力する) ことになります。

(3) EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うときは、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません (シフト動作で入れ換えます)。

(4) IDCODE

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている IDCODE モードに設定できます。H-UDI を初期化した場合 ($\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする場合) は、IDCODE モードになります。

(5) CLAMP、HIGHZ

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている CLAMP、および HIGHZ モードに設定できます。

34.6.2 注意事項

1. クロック関連信号 (EXTAL、XTAL、CKIO、AUDIO_X1、AUDIO_X2、USB_X1、USB_X2、RTC_X1、および RTC_X2) は、バウンダリスキャン対象外です。
2. リセット関連記号 ($\overline{\text{RES}}$) は、バウンダリスキャン対象外です。
3. H-UDI 関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ 、および $\overline{\text{ASEMD}}$) は、バウンダリスキャン対象外です。
4. USB 関連信号 (DP0、DM0、DP1、DM1、VBUS、および REFRIN) は、バウンダリスキャン対象外です。
5. 2DG VIDEO OUT 関連信号 (R、G、B、REXT、および CBU) は、バウンダリスキャン対象外です。
6. バウンダリスキャンを実行するときは、 $\overline{\text{RES}}$ 端子アサート期間中に必ず $\overline{\text{ASEMD}}$ 端子にハイレベルを入力し製品チップモードで行ってください。また、バウンダリスキャン実行中は、必ず $\overline{\text{ASEMD}}$ 端子をハイレベルに固定してください。

34.7 使用上の注意事項

1. H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド (BYPASSモード等) をいったんセットしてから再度コマンドをセットする必要があります。
2. ソフトウェアスタンバイモード、H-UDIモジュールスタンバイ状態中は、H-UDIのすべての機能を使用することができません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
3. H-UDIを使用する / しないにかかわらず、電源投入、ディープスタンバイからの $\overline{\text{RES}}$ 端子アサートによる解除時は必ず $\overline{\text{TRST}}$ 端子をローレベルにしてH-UDIを初期化してください。
4. TDO変化タイミング切り替えコマンドをセットし、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、TDO変化タイミング切り替えコマンドがクリアされることがあります。
これを防ぐため、TDO変化タイミング切り替えコマンドをセットした場合、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず20 t_{cy}以上間隔を空けてください。詳細は「34.5.3 TDO出力タイミング」を参照してください。
5. $\overline{\text{TRST}}$ 端子ネゲート後、TAPコントローラを動かす際は必ず200ns以上間隔を空けてください。
6. $\overline{\text{TRST}}$ 端子ネゲートから200ns経過するまでの間、TMS端子はハイレベルに固定してください。

35. レジスタ一覧

レジスタ一覧では、本 LSI の内蔵 I/O レジスタの情報について、以下の構成で説明します。

(1) レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)

- 機能モジュールごと、マニュアルの章番号順にレジスタを記載します。
- レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。

(2) レジスタビット一覧

- 「レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)」の順序で、各レジスタのビットの構成を記載します。
- リザーブビットは、ビット名称部に「 - 」と表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

(3) 各動作モードにおけるレジスタの状態の一覧

- 「レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しています。内蔵周辺モジュール固有のリセットがある場合は、内蔵周辺モジュールの章を参照してください。

(4) 内蔵周辺モジュールのレジスタ書き込み時のご注意

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (P) で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR1 レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR1 レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR1 レジスタのダミーリードが必要です。本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

35.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
マルチコア プロセッサ	CPU ID レジスタ	CPUIDR	32	H'FFFC1404	32
	セマフォレジスタ 0	SEMR0	8	H'FFFC1E00	8
	セマフォレジスタ 1	SEMR1	8	H'FFFC1E04	8
	セマフォレジスタ 2	SEMR2	8	H'FFFC1E08	8
	セマフォレジスタ 3	SEMR3	8	H'FFFC1E0C	8
	セマフォレジスタ 4	SEMR4	8	H'FFFC1E10	8
	セマフォレジスタ 5	SEMR5	8	H'FFFC1E14	8
	セマフォレジスタ 6	SEMR6	8	H'FFFC1E18	8
	セマフォレジスタ 7	SEMR7	8	H'FFFC1E1C	8
	セマフォレジスタ 8	SEMR8	8	H'FFFC1E20	8
	セマフォレジスタ 9	SEMR9	8	H'FFFC1E24	8
	セマフォレジスタ 10	SEMR10	8	H'FFFC1E28	8
	セマフォレジスタ 11	SEMR11	8	H'FFFC1E2C	8
	セマフォレジスタ 12	SEMR12	8	H'FFFC1E30	8
	セマフォレジスタ 13	SEMR13	8	H'FFFC1E34	8
	セマフォレジスタ 14	SEMR14	8	H'FFFC1E38	8
	セマフォレジスタ 15	SEMR15	8	H'FFFC1E3C	8
	セマフォレジスタ 16	SEMR16	8	H'FFFC1E40	8
	セマフォレジスタ 17	SEMR17	8	H'FFFC1E44	8
	セマフォレジスタ 18	SEMR18	8	H'FFFC1E48	8
	セマフォレジスタ 19	SEMR19	8	H'FFFC1E4C	8
	セマフォレジスタ 20	SEMR20	8	H'FFFC1E50	8
	セマフォレジスタ 21	SEMR21	8	H'FFFC1E54	8
	セマフォレジスタ 22	SEMR22	8	H'FFFC1E58	8
	セマフォレジスタ 23	SEMR23	8	H'FFFC1E5C	8
	セマフォレジスタ 24	SEMR24	8	H'FFFC1E60	8
	セマフォレジスタ 25	SEMR25	8	H'FFFC1E64	8
	セマフォレジスタ 26	SEMR26	8	H'FFFC1E68	8
	セマフォレジスタ 27	SEMR27	8	H'FFFC1E6C	8
	セマフォレジスタ 28	SEMR28	8	H'FFFC1E70	8
	セマフォレジスタ 29	SEMR29	8	H'FFFC1E74	8
	セマフォレジスタ 30	SEMR30	8	H'FFFC1E78	8
セマフォレジスタ 31	SEMR31	8	H'FFFC1E7C	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
CPG	周波数制御レジスタ 0	FRQCR0	16	H'FFFE0010	16
	周波数制御レジスタ 1	FRQCR1	16	H'FFFE0012	16
INTC	割り込みコントロールレジスタ 0	C0ICR0	16	H'FFFD9400	16、32
	割り込みコントロールレジスタ 1	C0ICR1	16	H'FFFD9402	16、32
	割り込みコントロールレジスタ 2	C0ICR2	16	H'FFFD9404	16、32
	IRQ 割り込み要求レジスタ	C0IRQRR	16	H'FFFD9406	16、32
	PINT 割り込みイネーブルレジスタ	C0PINTER	16	H'FFFD9408	16、32
	PINT 割り込み要求レジスタ	C0PIRR	16	H'FFFD940A	16、32
	バンクコントロールレジスタ	C0IBCR	16	H'FFFD940C	16、32
	バンク番号レジスタ	C0IBNR	16	H'FFFD940E	16、32
	割り込み優先レベル設定レジスタ 01	C0IPR01	16	H'FFFD9418	16、32
	割り込み優先レベル設定レジスタ 02	C0IPR02	16	H'FFFD941A	16、32
	割り込み優先レベル設定レジスタ 05	C0IPR05	16	H'FFFD9420	16、32
	割り込みイネーブル制御レジスタ	C0INTER	16	H'FFFD9428	16、32
	IRQ 割り込みイネーブル制御レジスタ	C0IRQER	16	H'FFFD942A	16、32
	割り込みコントロールレジスタ 0	C1ICR0	16	H'FFFD9500	16、32
	割り込みコントロールレジスタ 1	C1ICR1	16	H'FFFD9502	16、32
	割り込みコントロールレジスタ 2	C1ICR2	16	H'FFFD9504	16、32
	IRQ 割り込み要求レジスタ	C1IRQRR	16	H'FFFD9506	16、32
	PINT 割り込みイネーブルレジスタ	C1PINTER	16	H'FFFD9508	16、32
	PINT 割り込み要求レジスタ	C1PIRR	16	H'FFFD950A	16、32
	バンクコントロールレジスタ	C1IBCR	16	H'FFFD950C	16、32
	バンク番号レジスタ	C1IBNR	16	H'FFFD950E	16、32
	割り込み優先レベル設定レジスタ 01	C1IPR01	16	H'FFFD9518	16、32
	割り込み優先レベル設定レジスタ 02	C1IPR02	16	H'FFFD951A	16、32
	割り込み優先レベル設定レジスタ 05	C1IPR05	16	H'FFFD9520	16、32
	割り込みイネーブル制御レジスタ	C1INTER	16	H'FFFD9528	16、32
	IRQ 割り込みイネーブル制御レジスタ	C1IRQER	16	H'FFFD952A	16、32
	プロセッサ間割り込み制御レジスタ 15	C0IPCR15	16	H'FFFC1C00	16
	プロセッサ間割り込み制御レジスタ 14	C0IPCR14	16	H'FFFC1C02	16
	プロセッサ間割り込み制御レジスタ 13	C0IPCR13	16	H'FFFC1C04	16
	プロセッサ間割り込み制御レジスタ 12	C0IPCR12	16	H'FFFC1C06	16
	プロセッサ間割り込み制御レジスタ 11	C0IPCR11	16	H'FFFC1C08	16
	プロセッサ間割り込み制御レジスタ 10	C0IPCR10	16	H'FFFC1C0A	16
	プロセッサ間割り込み制御レジスタ 9	C0IPCR09	16	H'FFFC1C0C	16
プロセッサ間割り込み制御レジスタ 8	C0IPCR08	16	H'FFFC1C0E	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
INTC	プロセッサ間割り込みイネーブルレジスタ	C0IPER	16	H'FFFC1C10	16
	プロセッサ間割り込み制御レジスタ 15	C1IPCR15	16	H'FFFC1C20	16
	プロセッサ間割り込み制御レジスタ 14	C1IPCR14	16	H'FFFC1C22	16
	プロセッサ間割り込み制御レジスタ 13	C1IPCR13	16	H'FFFC1C24	16
	プロセッサ間割り込み制御レジスタ 12	C1IPCR12	16	H'FFFC1C26	16
	プロセッサ間割り込み制御レジスタ 11	C1IPCR11	16	H'FFFC1C28	16
	プロセッサ間割り込み制御レジスタ 10	C1IPCR10	16	H'FFFC1C2A	16
	プロセッサ間割り込み制御レジスタ 9	C1IPCR09	16	H'FFFC1C2C	16
	プロセッサ間割り込み制御レジスタ 8	C1IPCR08	16	H'FFFC1C2E	16
	プロセッサ間割り込みイネーブルレジスタ	C1IPER	16	H'FFFC1C30	16
	割り込み優先レベル設定レジスタ 06	C0IPR06	16	H'FFFD9800	16、32
	割り込み優先レベル設定レジスタ 07	C0IPR07	16	H'FFFD9802	16、32
	割り込み優先レベル設定レジスタ 08	C0IPR08	16	H'FFFD9804	16、32
	割り込み優先レベル設定レジスタ 09	C0IPR09	16	H'FFFD9806	16、32
	割り込み優先レベル設定レジスタ 10	C0IPR10	16	H'FFFD9808	16、32
	割り込み優先レベル設定レジスタ 11	C0IPR11	16	H'FFFD980A	16、32
	割り込み優先レベル設定レジスタ 12	C0IPR12	16	H'FFFD980C	16、32
	割り込み優先レベル設定レジスタ 13	C0IPR13	16	H'FFFD980E	16、32
	割り込み優先レベル設定レジスタ 14	C0IPR14	16	H'FFFD9810	16、32
	割り込み優先レベル設定レジスタ 15	C0IPR15	16	H'FFFD9812	16、32
	割り込み優先レベル設定レジスタ 16	C0IPR16	16	H'FFFD9814	16、32
	割り込み優先レベル設定レジスタ 17	C0IPR17	16	H'FFFD9816	16、32
	割り込み優先レベル設定レジスタ 18	C0IPR18	16	H'FFFD9818	16、32
	割り込み優先レベル設定レジスタ 19	C0IPR19	16	H'FFFD981A	16、32
	割り込み優先レベル設定レジスタ 20	C0IPR20	16	H'FFFD981C	16、32
	割り込み優先レベル設定レジスタ 21	C0IPR21	16	H'FFFD981E	16、32
	割り込み優先レベル設定レジスタ 06	C1IPR06	16	H'FFFD9900	16、32
	割り込み優先レベル設定レジスタ 07	C1IPR07	16	H'FFFD9902	16、32
	割り込み優先レベル設定レジスタ 08	C1IPR08	16	H'FFFD9904	16、32
	割り込み優先レベル設定レジスタ 09	C1IPR09	16	H'FFFD9906	16、32
	割り込み優先レベル設定レジスタ 10	C1IPR10	16	H'FFFD9908	16、32
	割り込み優先レベル設定レジスタ 11	C1IPR11	16	H'FFFD990A	16、32
	割り込み優先レベル設定レジスタ 12	C1IPR12	16	H'FFFD990C	16、32
	割り込み優先レベル設定レジスタ 13	C1IPR13	16	H'FFFD990E	16、32
	割り込み優先レベル設定レジスタ 14	C1IPR14	16	H'FFFD9910	16、32
	割り込み優先レベル設定レジスタ 15	C1IPR15	16	H'FFFD9912	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
INTC	割り込み優先レベル設定レジスタ 16	C1IPR16	16	H'FFFD9914	16、32
	割り込み優先レベル設定レジスタ 17	C1IPR17	16	H'FFFD9916	16、32
	割り込み優先レベル設定レジスタ 18	C1IPR18	16	H'FFFD9918	16、32
	割り込み優先レベル設定レジスタ 19	C1IPR19	16	H'FFFD991A	16、32
	割り込み優先レベル設定レジスタ 20	C1IPR20	16	H'FFFD991C	16、32
	割り込み優先レベル設定レジスタ 21	C1IPR21	16	H'FFFD991E	16、32
	割り込み検出制御レジスタ 6	IDCNT6	16	H'FFFD9C0C	8、16
	割り込み検出制御レジスタ 7	IDCNT7	16	H'FFFD9C0E	8、16
	割り込み検出制御レジスタ 8	IDCNT8	16	H'FFFD9C10	8、16
	割り込み検出制御レジスタ 9	IDCNT9	16	H'FFFD9C12	8、16
	割り込み検出制御レジスタ 10	IDCNT10	16	H'FFFD9C14	8、16
	割り込み検出制御レジスタ 11	IDCNT11	16	H'FFFD9C16	8、16
	割り込み検出制御レジスタ 12	IDCNT12	16	H'FFFD9C18	8、16
	割り込み検出制御レジスタ 13	IDCNT13	16	H'FFFD9C1A	8、16
	割り込み検出制御レジスタ 14	IDCNT14	16	H'FFFD9C1C	8、16
	割り込み検出制御レジスタ 15	IDCNT15	16	H'FFFD9C1E	8、16
	割り込み検出制御レジスタ 16	IDCNT16	16	H'FFFD9C20	8、16
	割り込み検出制御レジスタ 17	IDCNT17	16	H'FFFD9C22	8、16
	割り込み検出制御レジスタ 18	IDCNT18	16	H'FFFD9C24	8、16
	割り込み検出制御レジスタ 19	IDCNT19	16	H'FFFD9C26	8、16
	割り込み検出制御レジスタ 20	IDCNT20	16	H'FFFD9C28	8、16
	割り込み検出制御レジスタ 21	IDCNT21	16	H'FFFD9C2A	8、16
	割り込み検出制御レジスタ 22	IDCNT22	16	H'FFFD9C2C	8、16
	割り込み検出制御レジスタ 23	IDCNT23	16	H'FFFD9C2E	8、16
	割り込み検出制御レジスタ 24	IDCNT24	16	H'FFFD9C30	8、16
	割り込み検出制御レジスタ 25	IDCNT25	16	H'FFFD9C32	8、16
	割り込み検出制御レジスタ 26	IDCNT26	16	H'FFFD9C34	8、16
	割り込み検出制御レジスタ 27	IDCNT27	16	H'FFFD9C36	8、16
	割り込み検出制御レジスタ 28	IDCNT28	16	H'FFFD9C38	8、16
	割り込み検出制御レジスタ 29	IDCNT29	16	H'FFFD9C3A	8、16
	割り込み検出制御レジスタ 30	IDCNT30	16	H'FFFD9C3C	8、16
	割り込み検出制御レジスタ 31	IDCNT31	16	H'FFFD9C3E	8、16
	割り込み検出制御レジスタ 32	IDCNT32	16	H'FFFD9C40	8、16
	割り込み検出制御レジスタ 33	IDCNT33	16	H'FFFD9C42	8、16
	割り込み検出制御レジスタ 34	IDCNT34	16	H'FFFD9C44	8、16
割り込み検出制御レジスタ 35	IDCNT35	16	H'FFFD9C46	8、16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
INTC	割り込み検出制御レジスタ 36	IDCNT36	16	H'FFFD9C48	8、16
	割り込み検出制御レジスタ 37	IDCNT37	16	H'FFFD9C4A	8、16
	割り込み検出制御レジスタ 38	IDCNT38	16	H'FFFD9C4C	8、16
	割り込み検出制御レジスタ 39	IDCNT39	16	H'FFFD9C4E	8、16
	割り込み検出制御レジスタ 40	IDCNT40	16	H'FFFD9C50	8、16
	割り込み検出制御レジスタ 41	IDCNT41	16	H'FFFD9C52	8、16
	割り込み検出制御レジスタ 42	IDCNT42	16	H'FFFD9C54	8、16
	割り込み検出制御レジスタ 43	IDCNT43	16	H'FFFD9C56	8、16
	割り込み検出制御レジスタ 44	IDCNT44	16	H'FFFD9C58	8、16
	割り込み検出制御レジスタ 45	IDCNT45	16	H'FFFD9C5A	8、16
	割り込み検出制御レジスタ 46	IDCNT46	16	H'FFFD9C5C	8、16
	割り込み検出制御レジスタ 47	IDCNT47	16	H'FFFD9C5E	8、16
	割り込み検出制御レジスタ 48	IDCNT48	16	H'FFFD9C60	8、16
	割り込み検出制御レジスタ 49	IDCNT49	16	H'FFFD9C62	8、16
	割り込み検出制御レジスタ 50	IDCNT50	16	H'FFFD9C64	8、16
	割り込み検出制御レジスタ 51	IDCNT51	16	H'FFFD9C66	8、16
	割り込み検出制御レジスタ 52	IDCNT52	16	H'FFFD9C68	8、16
	割り込み検出制御レジスタ 53	IDCNT53	16	H'FFFD9C6A	8、16
	割り込み検出制御レジスタ 54	IDCNT54	16	H'FFFD9C6C	8、16
	割り込み検出制御レジスタ 55	IDCNT55	16	H'FFFD9C6E	8、16
	割り込み検出制御レジスタ 56	IDCNT56	16	H'FFFD9C70	8、16
	割り込み検出制御レジスタ 57	IDCNT57	16	H'FFFD9C72	8、16
	割り込み検出制御レジスタ 58	IDCNT58	16	H'FFFD9C74	8、16
	割り込み検出制御レジスタ 59	IDCNT59	16	H'FFFD9C76	8、16
	割り込み検出制御レジスタ 60	IDCNT60	16	H'FFFD9C78	8、16
	割り込み検出制御レジスタ 61	IDCNT61	16	H'FFFD9C7A	8、16
	割り込み検出制御レジスタ 62	IDCNT62	16	H'FFFD9C7C	8、16
	割り込み検出制御レジスタ 63	IDCNT63	16	H'FFFD9C7E	8、16
	割り込み検出制御レジスタ 64	IDCNT64	16	H'FFFD9C80	8、16
	割り込み検出制御レジスタ 65	IDCNT65	16	H'FFFD9C82	8、16
	割り込み検出制御レジスタ 66	IDCNT66	16	H'FFFD9C84	8、16
	割り込み検出制御レジスタ 67	IDCNT67	16	H'FFFD9C86	8、16
割り込み検出制御レジスタ 68	IDCNT68	16	H'FFFD9C88	8、16	
割り込み検出制御レジスタ 69	IDCNT69	16	H'FFFD9C8A	8、16	
割り込み検出制御レジスタ 70	IDCNT70	16	H'FFFD9C8C	8、16	
割り込み検出制御レジスタ 71	IDCNT71	16	H'FFFD9C8E	8、16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
INTC	割り込み検出制御レジスタ 72	IDCNT72	16	H'FFFD9C90	8、16
	割り込み検出制御レジスタ 73	IDCNT73	16	H'FFFD9C92	8、16
	割り込み検出制御レジスタ 74	IDCNT74	16	H'FFFD9C94	8、16
	割り込み検出制御レジスタ 75	IDCNT75	16	H'FFFD9C96	8、16
	割り込み検出制御レジスタ 76	IDCNT76	16	H'FFFD9C98	8、16
	割り込み検出制御レジスタ 77	IDCNT77	16	H'FFFD9C9A	8、16
	割り込み検出制御レジスタ 78	IDCNT78	16	H'FFFD9C9C	8、16
	割り込み検出制御レジスタ 79	IDCNT79	16	H'FFFD9C9E	8、16
	割り込み検出制御レジスタ 80	IDCNT80	16	H'FFFD9CA0	8、16
	割り込み検出制御レジスタ 81	IDCNT81	16	H'FFFD9CA2	8、16
	割り込み検出制御レジスタ 82	IDCNT82	16	H'FFFD9CA4	8、16
	割り込み検出制御レジスタ 83	IDCNT83	16	H'FFFD9CA6	8、16
	割り込み検出制御レジスタ 84	IDCNT84	16	H'FFFD9CA8	8、16
	割り込み検出制御レジスタ 85	IDCNT85	16	H'FFFD9CAA	8、16
	割り込み検出制御レジスタ 86	IDCNT86	16	H'FFFD9CAC	8、16
	割り込み検出制御レジスタ 87	IDCNT87	16	H'FFFD9CAE	8、16
	割り込み検出制御レジスタ 88	IDCNT88	16	H'FFFD9CB0	8、16
	割り込み検出制御レジスタ 89	IDCNT89	16	H'FFFD9CB2	8、16
	割り込み検出制御レジスタ 90	IDCNT90	16	H'FFFD9CB4	8、16
	割り込み検出制御レジスタ 91	IDCNT91	16	H'FFFD9CB6	8、16
	割り込み検出制御レジスタ 92	IDCNT92	16	H'FFFD9CB8	8、16
	割り込み検出制御レジスタ 93	IDCNT93	16	H'FFFD9CBA	8、16
	割り込み検出制御レジスタ 94	IDCNT94	16	H'FFFD9CBC	8、16
	割り込み検出制御レジスタ 95	IDCNT95	16	H'FFFD9CBE	8、16
	割り込み検出制御レジスタ 96	IDCNT96	16	H'FFFD9CC0	8、16
	割り込み検出制御レジスタ 97	IDCNT97	16	H'FFFD9CC2	8、16
	割り込み検出制御レジスタ 98	IDCNT98	16	H'FFFD9CC4	8、16
	割り込み検出制御レジスタ 99	IDCNT99	16	H'FFFD9CC6	8、16
	割り込み検出制御レジスタ 100	IDCNT100	16	H'FFFD9CC8	8、16
	割り込み検出制御レジスタ 101	IDCNT101	16	H'FFFD9CCA	8、16
割り込み検出制御レジスタ 102	IDCNT102	16	H'FFFD9CCC	8、16	
割り込み検出制御レジスタ 103	IDCNT103	16	H'FFFD9CCE	8、16	
割り込み検出制御レジスタ 104	IDCNT104	16	H'FFFD9CD0	8、16	
割り込み検出制御レジスタ 105	IDCNT105	16	H'FFFD9CD2	8、16	
割り込み検出制御レジスタ 106	IDCNT106	16	H'FFFD9CD4	8、16	
割り込み検出制御レジスタ 107	IDCNT107	16	H'FFFD9CD6	8、16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
INTC	割り込み検出制御レジスタ 108	IDCNT108	16	H'FFFD9CD8	8、16
	割り込み検出制御レジスタ 109	IDCNT109	16	H'FFFD9CDA	8、16
	割り込み検出制御レジスタ 110	IDCNT110	16	H'FFFD9CDC	8、16
	割り込み検出制御レジスタ 111	IDCNT111	16	H'FFFD9CDE	8、16
	割り込み検出制御レジスタ 112	IDCNT112	16	H'FFFD9CE0	8、16
	割り込み検出制御レジスタ 113	IDCNT113	16	H'FFFD9CE2	8、16
	割り込み検出制御レジスタ 114	IDCNT114	16	H'FFFD9CE4	8、16
	割り込み検出制御レジスタ 115	IDCNT115	16	H'FFFD9CE6	8、16
	割り込み検出制御レジスタ 116	IDCNT116	16	H'FFFD9CE8	8、16
	割り込み検出制御レジスタ 117	IDCNT117	16	H'FFFD9CEA	8、16
	割り込み検出制御レジスタ 118	IDCNT118	16	H'FFFD9CEC	8、16
	割り込み検出制御レジスタ 119	IDCNT119	16	H'FFFD9CEE	8、16
	割り込み検出制御レジスタ 120	IDCNT120	16	H'FFFD9CF0	8、16
	割り込み検出制御レジスタ 121	IDCNT121	16	H'FFFD9CF2	8、16
	割り込み検出制御レジスタ 122	IDCNT122	16	H'FFFD9CF4	8、16
	割り込み検出制御レジスタ 123	IDCNT123	16	H'FFFD9CF6	8、16
	割り込み検出制御レジスタ 124	IDCNT124	16	H'FFFD9CF8	8、16
	割り込み検出制御レジスタ 125	IDCNT125	16	H'FFFD9CFA	8、16
	割り込み検出制御レジスタ 126	IDCNT126	16	H'FFFD9CFC	8、16
	割り込み検出制御レジスタ 127	IDCNT127	16	H'FFFD9CFE	8、16
	割り込み検出制御レジスタ 128	IDCNT128	16	H'FFFD9D00	8、16
	割り込み検出制御レジスタ 129	IDCNT129	16	H'FFFD9D02	8、16
	割り込み検出制御レジスタ 130	IDCNT130	16	H'FFFD9D04	8、16
	割り込み検出制御レジスタ 131	IDCNT131	16	H'FFFD9D06	8、16
	割り込み検出制御レジスタ 132	IDCNT132	16	H'FFFD9D08	8、16
	割り込み検出制御レジスタ 133	IDCNT133	16	H'FFFD9D0A	8、16
	割り込み検出制御レジスタ 134	IDCNT134	16	H'FFFD9D0C	8、16
	割り込み検出制御レジスタ 135	IDCNT135	16	H'FFFD9D0E	8、16
	割り込み検出制御レジスタ 136	IDCNT136	16	H'FFFD9D10	8、16
	割り込み検出制御レジスタ 137	IDCNT137	16	H'FFFD9D12	8、16
	割り込み検出制御レジスタ 138	IDCNT138	16	H'FFFD9D14	8、16
	割り込み検出制御レジスタ 139	IDCNT139	16	H'FFFD9D16	8、16
	割り込み検出制御レジスタ 140	IDCNT140	16	H'FFFD9D18	8、16
DMA 転送要求イネーブルレジスタ 0	DREQER0	8	H'FFFE0800	8、16、32	
DMA 転送要求イネーブルレジスタ 1	DREQER1	8	H'FFFE0801	8、16、32	
DMA 転送要求イネーブルレジスタ 2	DREQER2	8	H'FFFE0802	8、16、32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
INTC	DMA 転送要求イネーブルレジスタ 3	DREQER3	8	H'FFFE0803	8、16、32
	DMA 転送要求イネーブルレジスタ 4	DREQER4	8	H'FFFE0804	8、16、32
	DMA 転送要求イネーブルレジスタ 5	DREQER5	8	H'FFFE0805	8、16、32
	DMA 転送要求イネーブルレジスタ 6	DREQER6	8	H'FFFE0806	8、16、32
	DMA 転送要求イネーブルレジスタ 7	DREQER7	8	H'FFFE0807	8、16、32
	DMA 転送要求イネーブルレジスタ 8	DREQER8	8	H'FFFE0808	8、16、32
UBC	ブレイクアドレスレジスタ_0	BAR_0	32	H'FFFC0400	32
	ブレイクアドレスマスクレジスタ_0	BAMR_0	32	H'FFFC0404	32
	ブレイクバスサイクルレジスタ_0	BBR_0	16	H'FFFC04A0	16
	ブレイクデータレジスタ_0	BDR_0	32	H'FFFC0408	32
	ブレイクデータマスクレジスタ_0	BDMR_0	32	H'FFFC040C	32
	ブレイクアドレスレジスタ_1	BAR_1	32	H'FFFC0410	32
	ブレイクアドレスマスクレジスタ_1	BAMR_1	32	H'FFFC0414	32
	ブレイクバスサイクルレジスタ_1	BBR_1	16	H'FFFC04B0	16
	ブレイクデータレジスタ_1	BDR_1	32	H'FFFC0418	32
	ブレイクデータマスクレジスタ_1	BDMR_1	32	H'FFFC041C	32
	ブレイクコントロールレジスタ	BRCR	32	H'FFFC04C0	32
キャッシュ	キャッシュ制御レジスタ 1	CCR1	32	H'FFFC1000	32
	キャッシュ制御レジスタ 2	CCR2	32	H'FFFC1004	32
BSC	CS0 制御レジスタ	CS0CNT	32	H'FF420000	8、16、32
	CS0 リカバリサイクル設定レジスタ	CS0REC	32	H'FF420008	8、16、32
	CS1 制御レジスタ	CS1CNT	32	H'FF420010	8、16、32
	CS1 リカバリサイクル設定レジスタ	CS1REC	32	H'FF420018	8、16、32
	CS2 制御レジスタ	CS2CNT	32	H'FF420020	8、16、32
	CS2 リカバリサイクル設定レジスタ	CS2REC	32	H'FF420028	8、16、32
	CS3 制御レジスタ	CS3CNT	32	H'FF420030	8、16、32
	CS3 リカバリサイクル設定レジスタ	CS3REC	32	H'FF420038	8、16、32
	CS4 制御レジスタ	CS4CNT	32	H'FF420040	8、16、32
	CS4 リカバリサイクル設定レジスタ	CS4REC	32	H'FF420048	8、16、32
	CS5 制御レジスタ	CS5CNT	32	H'FF420050	8、16、32
	CS5 リカバリサイクル設定レジスタ	CS5REC	32	H'FF420058	8、16、32
	SDRAM0 制御レジスタ	SDC0CNT	32	H'FF420100	8、16、32
	SDRAM1 制御レジスタ	SDC1CNT	32	H'FF420110	8、16、32
	CS0 モードレジスタ	CSMOD0	32	H'FF421000	8、16、32
	CS0 ウェイト制御レジスタ 1	CS1WCNT0	32	H'FF421004	8、16、32
	CS0 ウェイト制御レジスタ 2	CS2WCNT0	32	H'FF421008	8、16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
BSC	CS1 モードレジスタ	CSMOD1	32	H'FF421010	8、16、32
	CS1 ウェイト制御レジスタ 1	CS1WCNT1	32	H'FF421014	8、16、32
	CS1 ウェイト制御レジスタ 2	CS2WCNT1	32	H'FF421018	8、16、32
	CS2 モードレジスタ	CSMOD2	32	H'FF421020	8、16、32
	CS2 ウェイト制御レジスタ 1	CS1WCNT2	32	H'FF421024	8、16、32
	CS2 ウェイト制御レジスタ 2	CS2WCNT2	32	H'FF421028	8、16、32
	CS3 モードレジスタ	CSMOD3	32	H'FF421030	8、16、32
	CS3 ウェイト制御レジスタ 1	CS1WCNT3	32	H'FF421034	8、16、32
	CS3 ウェイト制御レジスタ 2	CS2WCNT3	32	H'FF421038	8、16、32
	CS4 モードレジスタ	CSMOD4	32	H'FF421040	8、16、32
	CS4 ウェイト制御レジスタ 1	CS1WCNT4	32	H'FF421044	8、16、32
	CS4 ウェイト制御レジスタ 2	CS2WCNT4	32	H'FF421048	8、16、32
	CS5 モードレジスタ	CSMOD5	32	H'FF421050	8、16、32
	CS5 ウェイト制御レジスタ 1	CS1WCNT5	32	H'FF421054	8、16、32
	CS5 ウェイト制御レジスタ 2	CS2WCNT5	32	H'FF421058	8、16、32
	SDRAM リフレッシュ制御レジスタ 0	SDRFCNT0	32	H'FF422000	8、16、32
	SDRAM リフレッシュ制御レジスタ 1	SDRFCNT1	32	H'FF422004	16、32
	SDRAM 初期化レジスタ 0	SDIR0	32	H'FF422008	8、16、32
	SDRAM 初期化レジスタ 1	SDIR1	32	H'FF42200C	8、16、32
	SDRAM パワーダウン制御レジスタ	SDPWDCNT	32	H'FF422010	8、16、32
	SDRAM ディープパワーダウン制御レジスタ	SDDPWDCNT	32	H'FF422014	8、16、32
	SDRAM0 アドレスレジスタ	SD0ADR	32	H'FF422020	8、16、32
	SDRAM0 タイミングレジスタ	SD0TR	32	H'FF422024	8、16、32
	SDRAM0 モードレジスタ	SD0MOD	32	H'FF422028	16、32
	SDRAM1 アドレスレジスタ	SD1ADR	32	H'FF422040	8、16、32
	SDRAM1 タイミングレジスタ	SD1TR	32	H'FF422044	8、16、32
SDRAM1 モードレジスタ	SD1MOD	32	H'FF422048	16、32	
SDRAM ステータスレジスタ	SDSTR	32	H'FF4220E4	8、16、32	
SDRAM クロックストップ制御設定レジスタ	SDCKSCNT	32	H'FF4220E8	8、16、32	
DMAC	DMA カレントソースアドレスレジスタ 0	DMCSADR0	32	H'FF460000	32
	DMA カレントデスティネーションアドレスレジスタ 0	DMCDADR0	32	H'FF460004	32
	DMA カレントバイトカウントレジスタ 0	DMCBCT0	32	H'FF460008	32
	DMA モードレジスタ 0	DMMOD0	32	H'FF46000C	32
	DMA リロードソースアドレスレジスタ 0	DMRSADR0	32	H'FF460200	32
	DMA リロードデスティネーションアドレスレジスタ 0	DMRDADR0	32	H'FF460204	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA リロードバイトカウントレジスタ 0	DMRBCT0	32	H'FF460208	32
	DMA 制御レジスタ A0	DMACNTA0	32	H'FF460400	8、16、32
	DMA 制御レジスタ B0	DMACNTB0	32	H'FF460404	8、16、32
	DMA カレントソースアドレスレジスタ 1	DMCSADR1	32	H'FF460010	32
	DMA カレントデスティネーションアドレスレジスタ 1	DMCDADR1	32	H'FF460014	32
	DMA カレントバイトカウントレジスタ 1	DMCBCT1	32	H'FF460018	32
	DMA モードレジスタ 1	DMMOD1	32	H'FF46001C	32
	DMA リロードソースアドレスレジスタ 1	DMRSADR1	32	H'FF460210	32
	DMA リロードデスティネーションアドレスレジスタ 1	DMRDADR1	32	H'FF460214	32
	DMA リロードバイトカウントレジスタ 1	DMRBCT1	32	H'FF460218	32
	DMA 制御レジスタ A1	DMACNTA1	32	H'FF460408	8、16、32
	DMA 制御レジスタ B1	DMACNTB1	32	H'FF46040C	8、16、32
	DMA カレントソースアドレスレジスタ 2	DMCSADR2	32	H'FF460020	32
	DMA カレントデスティネーションアドレスレジスタ 2	DMCDADR2	32	H'FF460024	32
	DMA カレントバイトカウントレジスタ 2	DMCBCT2	32	H'FF460028	32
	DMA モードレジスタ 2	DMMOD2	32	H'FF46002C	32
	DMA リロードソースアドレスレジスタ 2	DMRSADR2	32	H'FF460220	32
	DMA リロードデスティネーションアドレスレジスタ 2	DMRDADR2	32	H'FF460224	32
	DMA リロードバイトカウントレジスタ 2	DMRBCT2	32	H'FF460228	32
	DMA 制御レジスタ A2	DMACNTA2	32	H'FF460410	8、16、32
	DMA 制御レジスタ B2	DMACNTB2	32	H'FF460414	8、16、32
	DMA カレントソースアドレスレジスタ 3	DMCSADR3	32	H'FF460030	32
	DMA カレントデスティネーションアドレスレジスタ 3	DMCDADR3	32	H'FF460034	32
	DMA カレントバイトカウントレジスタ 3	DMCBCT3	32	H'FF460038	32
	DMA モードレジスタ 3	DMMOD3	32	H'FF46003C	32
	DMA リロードソースアドレスレジスタ 3	DMRSADR3	32	H'FF460230	32
	DMA リロードデスティネーションアドレスレジスタ 3	DMRDADR3	32	H'FF460234	32
	DMA リロードバイトカウントレジスタ 3	DMRBCT3	32	H'FF460238	32
	DMA 制御レジスタ A3	DMACNTA3	32	H'FF460418	8、16、32
	DMA 制御レジスタ B3	DMACNTB3	32	H'FF46041C	8、16、32
	DMA カレントソースアドレスレジスタ 4	DMCSADR4	32	H'FF460040	32
	DMA カレントデスティネーションアドレスレジスタ 4	DMCDADR4	32	H'FF460044	32
DMA カレントバイトカウントレジスタ 4	DMCBCT4	32	H'FF460048	32	
DMA モードレジスタ 4	DMMOD4	32	H'FF46004C	32	
DMA リロードソースアドレスレジスタ 4	DMRSADR4	32	H'FF460240	32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA リロードデスティネーションアドレスレジスタ 4	DMRDADR4	32	H'FF460244	32
	DMA リロードバイトカウントレジスタ 4	DMRBCT4	32	H'FF460248	32
	DMA 制御レジスタ A4	DMACNTA4	32	H'FF460420	8、16、32
	DMA 制御レジスタ B4	DMACNTB4	32	H'FF460424	8、16、32
	DMA カレントソースアドレスレジスタ 5	DMCSADR5	32	H'FF460050	32
	DMA カレントデスティネーションアドレスレジスタ 5	DMCDADR5	32	H'FF460054	32
	DMA カレントバイトカウントレジスタ 5	DMCBCT5	32	H'FF460058	32
	DMA モードレジスタ 5	DMMOD5	32	H'FF46005C	32
	DMA リロードソースアドレスレジスタ 5	DMRSADR5	32	H'FF460250	32
	DMA リロードデスティネーションアドレスレジスタ 5	DMRDADR5	32	H'FF460254	32
	DMA リロードバイトカウントレジスタ 5	DMRBCT5	32	H'FF460258	32
	DMA 制御レジスタ A5	DMACNTA5	32	H'FF460428	8、16、32
	DMA 制御レジスタ B5	DMACNTB5	32	H'FF46042C	8、16、32
	DMA カレントソースアドレスレジスタ 6	DMCSADR6	32	H'FF460060	32
	DMA カレントデスティネーションアドレスレジスタ 6	DMCDADR6	32	H'FF460064	32
	DMA カレントバイトカウントレジスタ 6	DMCBCT6	32	H'FF460068	32
	DMA モードレジスタ 6	DMMOD6	32	H'FF46006C	32
	DMA リロードソースアドレスレジスタ 6	DMRSADR6	32	H'FF460260	32
	DMA リロードデスティネーションアドレスレジスタ 6	DMRDADR6	32	H'FF460264	32
	DMA リロードバイトカウントレジスタ 6	DMRBCT6	32	H'FF460268	32
	DMA 制御レジスタ A6	DMACNTA6	32	H'FF460430	8、16、32
	DMA 制御レジスタ B6	DMACNTB6	32	H'FF460434	8、16、32
	DMA カレントソースアドレスレジスタ 7	DMCSADR7	32	H'FF460070	32
	DMA カレントデスティネーションアドレスレジスタ 7	DMCDADR7	32	H'FF460074	32
	DMA カレントバイトカウントレジスタ 7	DMCBCT7	32	H'FF460078	32
	DMA モードレジスタ 7	DMMOD7	32	H'FF46007C	32
	DMA リロードソースアドレスレジスタ 7	DMRSADR7	32	H'FF460270	32
	DMA リロードデスティネーションアドレスレジスタ 7	DMRDADR7	32	H'FF460274	32
	DMA リロードバイトカウントレジスタ 7	DMRBCT7	32	H'FF460278	32
	DMA 制御レジスタ A7	DMACNTA7	32	H'FF460438	8、16、32
	DMA 制御レジスタ B7	DMACNTB7	32	H'FF46043C	8、16、32
	DMA カレントソースアドレスレジスタ 8	DMCSADR8	32	H'FF460080	32
DMA カレントデスティネーションアドレスレジスタ 8	DMCDADR8	32	H'FF460084	32	
DMA カレントバイトカウントレジスタ 8	DMCBCT8	32	H'FF460088	32	
DMA モードレジスタ 8	DMMOD8	32	H'FF46008C	32	
DMA リロードソースアドレスレジスタ 8	DMRSADR8	32	H'FF460280	32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA リロードデスティネーションアドレスレジスタ 8	DMRDADR8	32	H'FF460284	32
	DMA リロードバイトカウントレジスタ 8	DMRBCT8	32	H'FF460288	32
	DMA 制御レジスタ A8	DMACNTA8	32	H'FF460440	8、16、32
	DMA 制御レジスタ B8	DMACNTB8	32	H'FF460444	8、16、32
	DMA カレントソースアドレスレジスタ 9	DMCSADR9	32	H'FF460090	32
	DMA カレントデスティネーションアドレスレジスタ 9	DMCDADR9	32	H'FF460094	32
	DMA カレントバイトカウントレジスタ 9	DMCBCT9	32	H'FF460098	32
	DMA モードレジスタ 9	DMMOD9	32	H'FF46009C	32
	DMA リロードソースアドレスレジスタ 9	DMRSADR9	32	H'FF460290	32
	DMA リロードデスティネーションアドレスレジスタ 9	DMRDADR9	32	H'FF460294	32
	DMA リロードバイトカウントレジスタ 9	DMRBCT9	32	H'FF460298	32
	DMA 制御レジスタ A9	DMACNTA9	32	H'FF460448	8、16、32
	DMA 制御レジスタ B9	DMACNTB9	32	H'FF46044C	8、16、32
	DMA カレントソースアドレスレジスタ 10	DMCSADR10	32	H'FF4600A0	32
	DMA カレントデスティネーションアドレスレジスタ 10	DMCDADR10	32	H'FF4600A4	32
	DMA カレントバイトカウントレジスタ 10	DMCBCT10	32	H'FF4600A8	32
	DMA モードレジスタ 10	DMMOD10	32	H'FF4600AC	32
	DMA リロードソースアドレスレジスタ 10	DMRSADR10	32	H'FF4602A0	32
	DMA リロードデスティネーションアドレスレジスタ 10	DMRDADR10	32	H'FF4602A4	32
	DMA リロードバイトカウントレジスタ 10	DMRBCT10	32	H'FF4602A8	32
	DMA 制御レジスタ A10	DMACNTA10	32	H'FF460450	8、16、32
	DMA 制御レジスタ B10	DMACNTB10	32	H'FF460454	8、16、32
	DMA カレントソースアドレスレジスタ 11	DMCSADR11	32	H'FF4600B0	32
	DMA カレントデスティネーションアドレスレジスタ 11	DMCDADR11	32	H'FF4600B4	32
	DMA カレントバイトカウントレジスタ 11	DMCBCT11	32	H'FF4600B8	32
	DMA モードレジスタ 11	DMMOD11	32	H'FF4600BC	32
	DMA リロードソースアドレスレジスタ 11	DMRSADR11	32	H'FF4602B0	32
	DMA リロードデスティネーションアドレスレジスタ 11	DMRDADR11	32	H'FF4602B4	32
	DMA リロードバイトカウントレジスタ 11	DMRBCT11	32	H'FF4602B8	32
	DMA 制御レジスタ A11	DMACNTA11	32	H'FF460458	8、16、32
	DMA 制御レジスタ B11	DMACNTB11	32	H'FF46045C	8、16、32
	DMA カレントソースアドレスレジスタ 12	DMCSADR12	32	H'FF4600C0	32
	DMA カレントデスティネーションアドレスレジスタ 12	DMCDADR12	32	H'FF4600C4	32
	DMA カレントバイトカウントレジスタ 12	DMCBCT12	32	H'FF4600C8	32
	DMA モードレジスタ 12	DMMOD12	32	H'FF4600CC	32
	DMA リロードソースアドレスレジスタ 12	DMRSADR12	32	H'FF4602C0	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA リロードデスティネーションアドレスレジスタ 12	DMRDADR12	32	H'FF4602C4	32
	DMA リロードバイトカウントレジスタ 12	DMRBCT12	32	H'FF4602C8	32
	DMA 制御レジスタ A12	DMACNTA12	32	H'FF460460	8、16、32
	DMA 制御レジスタ B12	DMACNTB12	32	H'FF460464	8、16、32
	DMA カレントソースアドレスレジスタ 13	DMCSADR13	32	H'FF4600D0	32
	DMA カレントデスティネーションアドレスレジスタ 13	DMCDADR13	32	H'FF4600D4	32
	DMA カレントバイトカウントレジスタ 13	DMCBCT13	32	H'FF4600D8	32
	DMA モードレジスタ 13	DMMOD13	32	H'FF4600DC	32
	DMA リロードソースアドレスレジスタ 13	DMRSADR13	32	H'FF4602D0	32
	DMA リロードデスティネーションアドレスレジスタ 13	DMRDADR13	32	H'FF4602D4	32
	DMA リロードバイトカウントレジスタ 13	DMRBCT13	32	H'FF4602D8	32
	DMA 制御レジスタ A13	DMACNTA13	32	H'FF460468	8、16、32
	DMA 制御レジスタ B13	DMACNTB13	32	H'FF46046C	8、16、32
	DMA 起動制御レジスタ	DMSCNT	32	H'FF460500	8、16、32
	DMA 割り込み制御レジスタ	DMICNT	32	H'FF460508	8、16、32
	DMA 共用割り込み制御レジスタ	DMICNTA	32	H'FF46050C	8、16、32
	DMA 割り込みステータスレジスタ	DMISTS	32	H'FF460510	8、16、32
	DMA 転送終了検出レジスタ	DMEDET	32	H'FF460514	8、16、32
	DMA アービトレーションステータスレジスタ	DMASTS	32	H'FF460518	8、16、32
	DMA2 次元列設定レジスタ 0	DM2DCLM0	32	H'FF460600	32
	DMA2 次元行設定レジスタ 0	DM2DROW0	32	H'FF460604	32
	DMA2 次元ブロック設定レジスタ 0	DM2DBLK0	32	H'FF460608	32
	DMA2 次元次行オフセットレジスタ 0	DM2DNROST0	32	H'FF46060C	32
	DMA2 次元次ブロックオフセットレジスタ 0	DM2DNBOST0	32	H'FF460610	32
	DMA2 次元次ラインオフセットレジスタ 0	DM2DNLOST0	32	H'FF460614	32
	DMA リロード 2 次元列設定レジスタ 0	DMR2DCLM0	32	H'FF460A00	32
	DMA リロード 2 次元行設定レジスタ 0	DMR2DROW0	32	H'FF460A04	32
	DMA リロード 2 次元ブロック設定レジスタ 0	DMR2DBLK0	32	H'FF460A08	32
	DMA リロード 2 次元次行オフセットレジスタ 0	DMR2DNROST0	32	H'FF460A0C	32
	DMA リロード 2 次元次ブロックオフセットレジスタ 0	DMR2DNBOST0	32	H'FF460A10	32
	DMA リロード 2 次元次ラインオフセットレジスタ 0	DMR2DNLOST0	32	H'FF460A14	32
	DMA2 次元列設定レジスタ 1	DM2DCLM1	32	H'FF460620	32
	DMA2 次元行設定レジスタ 1	DM2DROW1	32	H'FF460624	32
	DMA2 次元ブロック設定レジスタ 1	DM2DBLK1	32	H'FF460628	32
DMA2 次元次行オフセットレジスタ 1	DM2DNROST1	32	H'FF46062C	32	
DMA2 次元次ブロックオフセットレジスタ 1	DM2DNBOST1	32	H'FF460630	32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA2 次元次ラインオフセットレジスタ 1	DM2DNLOST1	32	H'FF460634	32
	DMA リロード 2 次元列設定レジスタ 1	DMR2DCLM1	32	H'FF460A20	32
	DMA リロード 2 次元行設定レジスタ 1	DMR2DROW1	32	H'FF460A24	32
	DMA リロード 2 次元ブロック設定レジスタ 1	DMR2DBLK1	32	H'FF460A28	32
	DMA リロード 2 次元次行オフセットレジスタ 1	DMR2DNROST1	32	H'FF460A2C	32
	DMA リロード 2 次元次ブロックオフセットレジスタ 1	DMR2DNBOST1	32	H'FF460A30	32
	DMA リロード 2 次元次ラインオフセットレジスタ 1	DMR2DNLOST1	32	H'FF460A34	32
	DMA2 次元列設定レジスタ 2	DM2DCLM2	32	H'FF460640	32
	DMA2 次元行設定レジスタ 2	DM2DROW2	32	H'FF460644	32
	DMA2 次元ブロック設定レジスタ 2	DM2DBLK2	32	H'FF460648	32
	DMA2 次元次行オフセットレジスタ 2	DM2DNROST2	32	H'FF46064C	32
	DMA2 次元次ブロックオフセットレジスタ 2	DM2DNBOST2	32	H'FF460650	32
	DMA2 次元次ラインオフセットレジスタ 2	DM2DNLOST2	32	H'FF460654	32
	DMA リロード 2 次元列設定レジスタ 2	DMR2DCLM2	32	H'FF460A40	32
	DMA リロード 2 次元行設定レジスタ 2	DMR2DROW2	32	H'FF460A44	32
	DMA リロード 2 次元ブロック設定レジスタ 2	DMR2DBLK2	32	H'FF460A48	32
	DMA リロード 2 次元次行オフセットレジスタ 2	DMR2DNROST2	32	H'FF460A4C	32
	DMA リロード 2 次元次ブロックオフセットレジスタ 2	DMR2DNBOST2	32	H'FF460A50	32
	DMA リロード 2 次元次ラインオフセットレジスタ 2	DMR2DNLOST2	32	H'FF460A54	32
	DMA2 次元列設定レジスタ 3	DM2DCLM3	32	H'FF460660	32
	DMA2 次元行設定レジスタ 3	DM2DROW3	32	H'FF460664	32
	DMA2 次元ブロック設定レジスタ 3	DM2DBLK3	32	H'FF460668	32
	DMA2 次元次行オフセットレジスタ 3	DM2DNROST3	32	H'FF46066C	32
	DMA2 次元次ブロックオフセットレジスタ 3	DM2DNBOST3	32	H'FF460670	32
	DMA2 次元次ラインオフセットレジスタ 3	DM2DNLOST3	32	H'FF460674	32
	DMA リロード 2 次元列設定レジスタ 3	DMR2DCLM3	32	H'FF460A60	32
	DMA リロード 2 次元行設定レジスタ 3	DMR2DROW3	32	H'FF460A64	32
	DMA リロード 2 次元ブロック設定レジスタ 3	DMR2DBLK3	32	H'FF460A68	32
	DMA リロード 2 次元次行オフセットレジスタ 3	DMR2DNROST3	32	H'FF460A6C	32
	DMA リロード 2 次元次ブロックオフセットレジスタ 3	DMR2DNBOST3	32	H'FF460A70	32
	DMA リロード 2 次元次ラインオフセットレジスタ 3	DMR2DNLOST3	32	H'FF460A74	32
	DMA2 次元列設定レジスタ 4	DM2DCLM4	32	H'FF460680	32
	DMA2 次元行設定レジスタ 4	DM2DROW4	32	H'FF460684	32
	DMA2 次元ブロック設定レジスタ 4	DM2DBLK4	32	H'FF460688	32
	DMA2 次元次行オフセットレジスタ 4	DM2DNROST4	32	H'FF46068C	32
	DMA2 次元次ブロックオフセットレジスタ 4	DM2DNBOST4	32	H'FF460690	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA2 次元次ラインオフセットレジスタ 4	DM2DNLOST4	32	H'FF460694	32
	DMA リロード 2 次元列設定レジスタ 4	DMR2DCLM4	32	H'FF460A80	32
	DMA リロード 2 次元行設定レジスタ 4	DMR2DROW4	32	H'FF460A84	32
	DMA リロード 2 次元ブロック設定レジスタ 4	DMR2DBLK4	32	H'FF460A88	32
	DMA リロード 2 次元次行オフセットレジスタ 4	DMR2DNROST4	32	H'FF460A8C	32
	DMA リロード 2 次元次ブロックオフセットレジスタ 4	DMR2DNBOST4	32	H'FF460A90	32
	DMA リロード 2 次元次ラインオフセットレジスタ 4	DMR2DNLOST4	32	H'FF460A94	32
	DMA2 次元列設定レジスタ 5	DM2DCLM5	32	H'FF4606A0	32
	DMA2 次元行設定レジスタ 5	DM2DROW5	32	H'FF4606A4	32
	DMA2 次元ブロック設定レジスタ 5	DM2DBLK5	32	H'FF4606A8	32
	DMA2 次元次行オフセットレジスタ 5	DM2DNROST5	32	H'FF4606AC	32
	DMA2 次元次ブロックオフセットレジスタ 5	DM2DNBOST5	32	H'FF4606B0	32
	DMA2 次元次ラインオフセットレジスタ 5	DM2DNLOST5	32	H'FF4606B4	32
	DMA リロード 2 次元列設定レジスタ 5	DMR2DCLM5	32	H'FF460AA0	32
	DMA リロード 2 次元行設定レジスタ 5	DMR2DROW5	32	H'FF460AA4	32
	DMA リロード 2 次元ブロック設定レジスタ 5	DMR2DBLK5	32	H'FF460AA8	32
	DMA リロード 2 次元次行オフセットレジスタ 5	DMR2DNROST5	32	H'FF460AAC	32
	DMA リロード 2 次元次ブロックオフセットレジスタ 5	DMR2DNBOST5	32	H'FF460AB0	32
	DMA リロード 2 次元次ラインオフセットレジスタ 5	DMR2DNLOST5	32	H'FF460AB4	32
	DMA2 次元列設定レジスタ 6	DM2DCLM6	32	H'FF4606C0	32
	DMA2 次元行設定レジスタ 6	DM2DROW6	32	H'FF4606C4	32
	DMA2 次元ブロック設定レジスタ 6	DM2DBLK6	32	H'FF4606C8	32
	DMA2 次元次行オフセットレジスタ 6	DM2DNROST6	32	H'FF4606CC	32
	DMA2 次元次ブロックオフセットレジスタ 6	DM2DNBOST6	32	H'FF4606D0	32
	DMA2 次元次ラインオフセットレジスタ 6	DM2DNLOST6	32	H'FF4606D4	32
	DMA リロード 2 次元列設定レジスタ 6	DMR2DCLM6	32	H'FF460AC0	32
	DMA リロード 2 次元行設定レジスタ 6	DMR2DROW6	32	H'FF460AC4	32
	DMA リロード 2 次元ブロック設定レジスタ 6	DMR2DBLK6	32	H'FF460AC8	32
	DMA リロード 2 次元次行オフセットレジスタ 6	DMR2DNROST6	32	H'FF460ACC	32
	DMA リロード 2 次元次ブロックオフセットレジスタ 6	DMR2DNBOST6	32	H'FF460AD0	32
	DMA リロード 2 次元次ラインオフセットレジスタ 6	DMR2DNLOST6	32	H'FF460AD4	32
	DMA2 次元列設定レジスタ 7	DM2DCLM7	32	H'FF4606E0	32
	DMA2 次元行設定レジスタ 7	DM2DROW7	32	H'FF4606E4	32
	DMA2 次元ブロック設定レジスタ 7	DM2DBLK7	32	H'FF4606E8	32
DMA2 次元次行オフセットレジスタ 7	DM2DNROST7	32	H'FF4606EC	32	
DMA2 次元次ブロックオフセットレジスタ 7	DM2DNBOST7	32	H'FF4606F0	32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA2 次元ラインオフセットレジスタ 7	DM2DNLOST7	32	H'FF4606F4	32
	DMA リロード 2 次元列設定レジスタ 7	DMR2DCLM7	32	H'FF460AE0	32
	DMA リロード 2 次元行設定レジスタ 7	DMR2DROW7	32	H'FF460AE4	32
	DMA リロード 2 次元ブロック設定レジスタ 7	DMR2DBLK7	32	H'FF460AE8	32
	DMA リロード 2 次元次行オフセットレジスタ 7	DMR2DNROST7	32	H'FF460AEC	32
	DMA リロード 2 次元次ブロックオフセットレジスタ 7	DMR2DNBOST7	32	H'FF460AF0	32
	DMA リロード 2 次元ラインオフセットレジスタ 7	DMR2DNLOST7	32	H'FF460AF4	32
MTU2	タイマコントロールレジスタ_0	TCR_0	8	H'FFFE2300	8
	タイマモードレジスタ_0	TMDR_0	8	H'FFFE2301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFE2302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFE2303	8
	タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFE2304	8
	タイマステータスレジスタ_0	TSR_0	8	H'FFFE2305	8
	タイマカウンタ_0	TCNT_0	16	H'FFFE2306	16
	タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFE2308	16
	タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFE230A	16
	タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFE230C	16
	タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFE230E	16
	タイマジェネラルレジスタ E_0	TGRE_0	16	H'FFFE2320	16
	タイマジェネラルレジスタ F_0	TGRF_0	16	H'FFFE2322	16
	タイマインタラプトイネーブルレジスタ 2_0	TIER2_0	8	H'FFFE2324	8
	タイマステータスレジスタ 2_0	TSR2_0	8	H'FFFE2325	8
	タイマバッファ動作転送モードレジスタ_0	TBTM_0	8	H'FFFE2326	8
	タイマコントロールレジスタ_1	TCR_1	8	H'FFFE2380	8
	タイマモードレジスタ_1	TMDR_1	8	H'FFFE2381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFE2382	8
	タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFE2384	8
	タイマステータスレジスタ_1	TSR_1	8	H'FFFE2385	8
	タイマカウンタ_1	TCNT_1	16	H'FFFE2386	16
	タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFE2388	16
	タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFE238A	16
	タイマインビットキャプチャコントロールレジスタ	TICCR	8	H'FFFE2390	8
	タイマコントロールレジスタ_2	TCR_2	8	H'FFFE2000	8
	タイマモードレジスタ_2	TMDR_2	8	H'FFFE2001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFE2002	8
	タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE2004	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマステータスレジスタ_2	TSR_2	8	H'FFFE2005	8
	タイマカウンタ_2	TCNT_2	16	H'FFFE2006	16
	タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE2008	16
	タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFE200A	16
	タイマコントロールレジスタ_3	TCR_3	8	H'FFFE2200	8
	タイマモードレジスタ_3	TMDR_3	8	H'FFFE2202	8
	タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFFE2204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFFE2205	8
	タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFE2208	8
	タイマステータスレジスタ_3	TSR_3	8	H'FFFE222C	8
	タイマカウンタ_3	TCNT_3	16	H'FFFE2210	16
	タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFE2218	16
	タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFE221A	16
	タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFE2224	16
	タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFE2226	16
	タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFE2238	8
	タイマコントロールレジスタ_4	TCR_4	8	H'FFFE2201	8
	タイマモードレジスタ_4	TMDR_4	8	H'FFFE2203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	8	H'FFFE2206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	8	H'FFFE2207	8
	タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFFE2209	8
	タイマステータスレジスタ_4	TSR_4	8	H'FFFE222D	8
	タイマカウンタ_4	TCNT_4	16	H'FFFE2212	16
	タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFFE221C	16
	タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFFE221E	16
	タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFFE2228	16
	タイマジェネラルレジスタ D_4	TGRD_4	16	H'FFFE222A	16
	タイマバッファ動作転送モードレジスタ_4	TBTM_4	8	H'FFFE2239	8
	タイマ A/D 変換開始要求コントロールレジスタ	TADCR	16	H'FFFE2240	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	16	H'FFFE2244	16
	タイマ A/D 変換開始要求周期設定レジスタ B_4	TADCORB_4	16	H'FFFE2246	16
	タイマ A/D 変換開始要求周期設定バッファレジスタ A_4	TADCOBRA_4	16	H'FFFE2248	16
	タイマ A/D 変換開始要求周期設定バッファレジスタ B_4	TADCOBRB_4	16	H'FFFE224A	16
タイマスタートレジスタ	TSTR	8	H'FFFE2280	8	
タイマシンクロレジスタ	TSYR	8	H'FFFE2281	8	
タイマリードライトイネーブルレジスタ	TRWER	8	H'FFFE2284	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'FFFE220A	8
	タイマアウトプットコントロールレジスタ 1	TOCR1	8	H'FFFE220E	8
	タイマアウトプットコントロールレジスタ 2	TOCR2	8	H'FFFE220F	8
	タイマゲートコントロールレジスタ	TGCR	8	H'FFFE220D	8
	タイマ周期データレジスタ	TCDR	16	H'FFFE2214	16
	タイマデッドタイムデータレジスタ	TDDR	16	H'FFFE2216	16
	タイマサブカウンタ	TCNTS	16	H'FFFE2220	16
	タイマ周期バッファレジスタ	TCBR	16	H'FFFE2222	16
	タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFE2230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	8	H'FFFE2231	8
	タイマバッファ転送設定レジスタ	TBTER	8	H'FFFE2232	8
	タイマデッドタイムイネーブルレジスタ	TDER	8	H'FFFE2234	8
	タイマ波形コントロールレジスタ	TWCR	8	H'FFFE2260	8
	タイマアウトプットレベルバッファレジスタ	TOLBR	8	H'FFFE2236	8
CMT	コンペアマッチタイマスタートレジスタ 01	CMSTR01	16	H'FFFE3000	16
	コンペアマッチタイマコントロール / ステータス レジスタ_0	CMCSR0	16	H'FFFE3002	16
	コンペアマッチカウンタ_0	CMCNT0	16	H'FFFE3004	8、16
	コンペアマッチコンスタントレジスタ_0	CMCOR0	16	H'FFFE3006	8、16
	コンペアマッチタイマコントロール / ステータス レジスタ_1	CMCSR1	16	H'FFFE3008	16
	コンペアマッチカウンタ_1	CMCNT1	16	H'FFFE300A	8、16
	コンペアマッチコンスタントレジスタ_1	CMCOR1	16	H'FFFE300C	8、16
	コンペアマッチタイマスタートレジスタ 23	CMSTR23	16	H'FFFE3400	16
	コンペアマッチタイマコントロール / ステータス レジスタ_2	CMCSR2	16	H'FFFE3402	16
	コンペアマッチカウンタ_2	CMCNT2	16	H'FFFE3404	8、16
	コンペアマッチコンスタントレジスタ_2	CMCOR2	16	H'FFFE3406	8、16
	コンペアマッチタイマコントロール / ステータス レジスタ_3	CMCSR3	16	H'FFFE3408	16
	コンペアマッチカウンタ_3	CMCNT3	16	H'FFFE340A	8、16
コンペアマッチコンスタントレジスタ_3	CMCOR3	16	H'FFFE340C	8、16	
WDT	ウォッチドッグタイマコントロール / ステータス レジスタ 0	WTCSR0	16	H'FFFE0000	16
	ウォッチドッグタイマカウンタ 0	WTCNT0	16	H'FFFE0002	16
	ウォッチドッグリセットコントロール / ステータス レジスタ 0	WRCSR0	16	H'FFFE0004	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
WDT	ウォッチドッグタイムコントロール/ステータス レジスタ 1	WTCSR1	16	H'FFFE0008	16
	ウォッチドッグタイムカウンタ 1	WTCNT1	16	H'FFFE000A	16
	ウォッチドッグリセットコントロール/ステータス レジスタ 1	WRCSR1	16	H'FFFE000C	16
RTC	64Hz カウンタ	R64CNT	8	H'FFFE1000	8
	秒カウンタ	RSECCNT	8	H'FFFE1002	8
	分カウンタ	RMINCNT	8	H'FFFE1004	8
	時カウンタ	RHRCNT	8	H'FFFE1006	8
	曜日カウンタ	RWKCNT	8	H'FFFE1008	8
	日カウンタ	RDAYCNT	8	H'FFFE100A	8
	月カウンタ	RMONCNT	8	H'FFFE100C	8
	年カウンタ	RYRCNT	16	H'FFFE100E	16
	秒アラームレジスタ	RSECAR	8	H'FFFE1010	8
	分アラームレジスタ	RMINAR	8	H'FFFE1012	8
	時アラームレジスタ	RHRAR	8	H'FFFE1014	8
	曜日アラームレジスタ	RWKAR	8	H'FFFE1016	8
	日アラームレジスタ	RDAYAR	8	H'FFFE1018	8
	月アラームレジスタ	RMONAR	8	H'FFFE101A	8
	年アラームレジスタ	RYRAR	16	H'FFFE1020	16
	RTC コントロールレジスタ 1	RCR1	8	H'FFFE101C	8
	RTC コントロールレジスタ 2	RCR2	8	H'FFFE101E	8
	RTC コントロールレジスタ 3	RCR3	8	H'FFFE1024	8
SCIF	シリアルモードレジスタ_0	SCSMR_0	16	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	8	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	16	H'FFFE8008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	8	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	16	H'FFFE8010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	8	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	16	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	16	H'FFFE801C	16
	シリアルポートレジスタ_0	SCSPTR_0	16	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	16	H'FFFE8024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	16	H'FFFE8028	16
	シリアルモードレジスタ_1	SCSMR_1	16	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	8	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	16	H'FFFE8808	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
SCIF	送信 FIFO データレジスタ_1	SCFTDR_1	8	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	16	H'FFFE8810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	8	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	16	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	16	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	16	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	16	H'FFFE8824	16
	シリアル拡張モードレジスタ_1	SCEMR_1	16	H'FFFE8828	16
	シリアルモードレジスタ_2	SCSMR_2	16	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	8	H'FFFE9004	8
	シリアルコントロールレジスタ_2	SCSCR_2	16	H'FFFE9008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	8	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	16	H'FFFE9010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	8	H'FFFE9014	8
	FIFO コントロールレジスタ_2	SCFCR_2	16	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	16	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	16	H'FFFE9020	16
	ラインステータスレジスタ_2	SCLSR_2	16	H'FFFE9024	16
	シリアル拡張モードレジスタ_2	SCEMR_2	16	H'FFFE9028	16
	シリアルモードレジスタ_3	SCSMR_3	16	H'FFFE9800	16
	ビットレートレジスタ_3	SCBRR_3	8	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	16	H'FFFE9808	16
	送信 FIFO データレジスタ_3	SCFTDR_3	8	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	16	H'FFFE9810	16
	受信 FIFO データレジスタ_3	SCFRDR_3	8	H'FFFE9814	8
	FIFO コントロールレジスタ_3	SCFCR_3	16	H'FFFE9818	16
	FIFO データカウントセットレジスタ_3	SCFDR_3	16	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	16	H'FFFE9820	16
	ラインステータスレジスタ_3	SCLSR_3	16	H'FFFE9824	16
	シリアル拡張モードレジスタ_3	SCEMR_3	16	H'FFFE9828	16
	シリアルモードレジスタ_4	SCSMR_4	16	H'FFFEA000	16
	ビットレートレジスタ_4	SCBRR_4	8	H'FFFEA004	8
シリアルコントロールレジスタ_4	SCSCR_4	16	H'FFFEA008	16	
送信 FIFO データレジスタ_4	SCFTDR_4	8	H'FFFEA00C	8	
シリアルステータスレジスタ_4	SCFSR_4	16	H'FFFEA010	16	
受信 FIFO データレジスタ_4	SCFRDR_4	8	H'FFFEA014	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
SCIF	FIFO コントロールレジスタ_4	SCFCR_4	16	H'FFFEA018	16
	FIFO データカウントセットレジスタ_4	SCFDR_4	16	H'FFFEA01C	16
	シリアルポートレジスタ_4	SCSPTR_4	16	H'FFFEA020	16
	ラインステータスレジスタ_4	SCLSR_4	16	H'FFFEA024	16
	シリアル拡張モードレジスタ_4	SCEMR_4	16	H'FFFEA028	16
	シリアルモードレジスタ_5	SCSMR_5	16	H'FFFEA800	16
	ビットレートレジスタ_5	SCBRR_5	8	H'FFFEA804	8
	シリアルコントロールレジスタ_5	SCSCR_5	16	H'FFFEA808	16
	送信 FIFO データレジスタ_5	SCFTDR_5	8	H'FFFEA80C	8
	シリアルステータスレジスタ_5	SCFSR_5	16	H'FFFEA810	16
	受信 FIFO データレジスタ_5	SCFRDR_5	8	H'FFFEA814	8
	FIFO コントロールレジスタ_5	SCFCR_5	16	H'FFFEA818	16
	FIFO データカウントセットレジスタ_5	SCFDR_5	16	H'FFFEA81C	16
	シリアルポートレジスタ_5	SCSPTR_5	16	H'FFFEA820	16
	ラインステータスレジスタ_5	SCLSR_5	16	H'FFFEA824	16
	シリアル拡張モードレジスタ_5	SCEMR_5	16	H'FFFEA828	16
SSU	SS コントロールレジスタ H_0	SSCRH_0	8	H'FFFE7000	8、16
	SS コントロールレジスタ L_0	SSCRL_0	8	H'FFFE7001	8
	SS モードレジスタ_0	SSMR_0	8	H'FFFE7002	8、16
	SS イネーブルレジスタ_0	SSER_0	8	H'FFFE7003	8
	SS ステータスレジスタ_0	SSSR_0	8	H'FFFE7004	8、16
	SS コントロールレジスタ 2_0	SSCR2_0	8	H'FFFE7005	8
	SS 送信データレジスタ 0_0	SSTDR0_0	8	H'FFFE7006	8、16
	SS 送信データレジスタ 1_0	SSTDR1_0	8	H'FFFE7007	8
	SS 送信データレジスタ 2_0	SSTDR2_0	8	H'FFFE7008	8、16
	SS 送信データレジスタ 3_0	SSTDR3_0	8	H'FFFE7009	8
	SS 受信データレジスタ 0_0	SSRDR0_0	8	H'FFFE700A	8、16
	SS 受信データレジスタ 1_0	SSRDR1_0	8	H'FFFE700B	8
	SS 受信データレジスタ 2_0	SSRDR2_0	8	H'FFFE700C	8、16
	SS 受信データレジスタ 3_0	SSRDR3_0	8	H'FFFE700D	8
	SS コントロールレジスタ H_1	SSCRH_1	8	H'FFFE7800	8、16
	SS コントロールレジスタ L_1	SSCRL_1	8	H'FFFE7801	8
	SS モードレジスタ_1	SSMR_1	8	H'FFFE7802	8、16
	SS イネーブルレジスタ_1	SSER_1	8	H'FFFE7803	8
	SS ステータスレジスタ_1	SSSR_1	8	H'FFFE7804	8、16
SS コントロールレジスタ 2_1	SSCR2_1	8	H'FFFE7805	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
SSU	SS 送信データレジスタ 0_1	SSTDR0_1	8	H'FFFE7806	8、16
	SS 送信データレジスタ 1_1	SSTDR1_1	8	H'FFFE7807	8
	SS 送信データレジスタ 2_1	SSTDR2_1	8	H'FFFE7808	8、16
	SS 送信データレジスタ 3_1	SSTDR3_1	8	H'FFFE7809	8
	SS 受信データレジスタ 0_1	SSRDR0_1	8	H'FFFE780A	8、16
	SS 受信データレジスタ 1_1	SSRDR1_1	8	H'FFFE780B	8
	SS 受信データレジスタ 2_1	SSRDR2_1	8	H'FFFE780C	8、16
	SS 受信データレジスタ 3_1	SSRDR3_1	8	H'FFFE780D	8
IIC3	I2C バスコントロールレジスタ 1_0	ICCR1_0	8	H'FFFEE000	8
	I2C バスコントロールレジスタ 2_0	ICCR2_0	8	H'FFFEE001	8
	I2C バスモードレジスタ_0	ICMR_0	8	H'FFFEE002	8
	I2C バスインタラプトイネーブルレジスタ_0	ICIER_0	8	H'FFFEE003	8
	I2C バスステータスレジスタ_0	ICSR_0	8	H'FFFEE004	8
	スレーブアドレスレジスタ_0	SAR_0	8	H'FFFEE005	8
	I2C バス送信データレジスタ_0	ICDRT_0	8	H'FFFEE006	8
	I2C バス受信データレジスタ_0	ICDRR_0	8	H'FFFEE007	8
	NF2CYC レジスタ_0	NF2CYC_0	8	H'FFFEE008	8
	I2C バスコントロールレジスタ 1_1	ICCR1_1	8	H'FFFEE400	8
	I2C バスコントロールレジスタ 2_1	ICCR2_1	8	H'FFFEE401	8
	I2C バスモードレジスタ_1	ICMR_1	8	H'FFFEE402	8
	I2C バスインタラプトイネーブルレジスタ_1	ICIER_1	8	H'FFFEE403	8
	I2C バスステータスレジスタ_1	ICSR_1	8	H'FFFEE404	8
	スレーブアドレスレジスタ_1	SAR_1	8	H'FFFEE405	8
	I2C バス送信データレジスタ_1	ICDRT_1	8	H'FFFEE406	8
	I2C バス受信データレジスタ_1	ICDRR_1	8	H'FFFEE407	8
	NF2CYC レジスタ_1	NF2CYC_1	8	H'FFFEE408	8
	I2C バスコントロールレジスタ 1_2	ICCR1_2	8	H'FFFEE800	8
	I2C バスコントロールレジスタ 2_2	ICCR2_2	8	H'FFFEE801	8
	I2C バスモードレジスタ_2	ICMR_2	8	H'FFFEE802	8
	I2C バスインタラプトイネーブルレジスタ_2	ICIER_2	8	H'FFFEE803	8
	I2C バスステータスレジスタ_2	ICSR_2	8	H'FFFEE804	8
	スレーブアドレスレジスタ_2	SAR_2	8	H'FFFEE805	8
	I2C バス送信データレジスタ_2	ICDRT_2	8	H'FFFEE806	8
	I2C バス受信データレジスタ_2	ICDRR_2	8	H'FFFEE807	8
	NF2CYC レジスタ_2	NF2CYC_2	8	H'FFFEE808	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
IIC3	I2C バスコントロールレジスタ 1_3	ICCR1_3	8	H'FFFEEC00	8
	I2C バスコントロールレジスタ 2_3	ICCR2_3	8	H'FFFEEC01	8
	I2C バスモードレジスタ_3	ICMR_3	8	H'FFFEEC02	8
	I2C バスインタラプトイネーブルレジスタ_3	ICIER_3	8	H'FFFEEC03	8
	I2C バスステータスレジスタ_3	ICSR_3	8	H'FFFEEC04	8
	スレーブアドレスレジスタ_3	SAR_3	8	H'FFFEEC05	8
	I2C バス送信データレジスタ_3	ICDRT_3	8	H'FFFEEC06	8
	I2C バス受信データレジスタ_3	ICDRR_3	8	H'FFFEEC07	8
	NF2CYC レジスタ_3	NF2CYC_3	8	H'FFFEEC08	8
SSIF	コントロールレジスタ_0	SSICR_0	32	H'FFFEB000	8、16、32
	ステータスレジスタ_0	SSISR_0	32	H'FFFEB004	8、16、32
	FIFO コントロールレジスタ_0	SSIFCR_0	32	H'FFFEB010	8、16、32
	FIFO ステータスレジスタ_0	SSIFSR_0	32	H'FFFEB014	8、16、32
	FIFO データレジスタ_0	SSIFDR_0	32	H'FFFEB018	32
	コントロールレジスタ_1	SSICR_1	32	H'FFFEB400	8、16、32
	ステータスレジスタ_1	SSISR_1	32	H'FFFEB404	8、16、32
	FIFO コントロールレジスタ_1	SSIFCR_1	32	H'FFFEB410	8、16、32
	FIFO ステータスレジスタ_1	SSIFSR_1	32	H'FFFEB414	8、16、32
	FIFO データレジスタ_1	SSIFDR_1	32	H'FFFEB418	32
	コントロールレジスタ_2	SSICR_2	32	H'FFFEB800	8、16、32
	ステータスレジスタ_2	SSISR_2	32	H'FFFEB804	8、16、32
	FIFO コントロールレジスタ_2	SSIFCR_2	32	H'FFFEB810	8、16、32
	FIFO ステータスレジスタ_2	SSIFSR_2	32	H'FFFEB814	8、16、32
	FIFO データレジスタ_2	SSIFDR_2	32	H'FFFEB818	32
	コントロールレジスタ_3	SSICR_3	32	H'FFFEC000	8、16、32
	ステータスレジスタ_3	SSISR_3	32	H'FFFEC004	8、16、32
	FIFO コントロールレジスタ_3	SSIFCR_3	32	H'FFFEC010	8、16、32
	FIFO ステータスレジスタ_3	SSIFSR_3	32	H'FFFEC014	8、16、32
	FIFO データレジスタ_3	SSIFDR_3	32	H'FFFEC018	32
	コントロールレジスタ_4	SSICR_4	32	H'FFFEC000	8、16、32
	ステータスレジスタ_4	SSISR_4	32	H'FFFEC004	8、16、32
	FIFO コントロールレジスタ_4	SSIFCR_4	32	H'FFFEC010	8、16、32
	FIFO ステータスレジスタ_4	SSIFSR_4	32	H'FFFEC014	8、16、32
	FIFO データレジスタ_4	SSIFDR_4	32	H'FFFEC018	32
	コントロールレジスタ_5	SSICR_5	32	H'FFFEC400	8、16、32
	ステータスレジスタ_5	SSISR_5	32	H'FFFEC404	8、16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
SSIF	FIFO コントロールレジスタ_5	SSIFCR_5	32	H'FFFE410	8、16、32
	FIFO ステータスレジスタ_5	SSIFSR_5	32	H'FFFE414	8、16、32
	FIFO データレジスタ_5	SSIFDR_5	32	H'FFFE418	32
RCAN-TL1	マスタコントロールレジスタ_0	MCR_0	16	H'FFFE5000	16
	ジェネラルステータスレジスタ_0	GSR_0	16	H'FFFE5002	16
	ビットコンフィギュレーションレジスタ 1_0	BCR1_0	16	H'FFFE5004	16
	ビットコンフィギュレーションレジスタ 0_0	BCR0_0	16	H'FFFE5006	16
	インタラプトリクエストレジスタ_0	IRR_0	16	H'FFFE5008	16
	インタラプトマスクレジスタ_0	IMR_0	16	H'FFFE500A	16
	送信/受信エラーカウンタ_0	TEC_REC_0	16	H'FFFE500C	8、16
	送信待ちレジスタ 1_0	TXPR1_0	16	H'FFFE5020	32
	送信待ちレジスタ 0_0	TXPR0_0	16	H'FFFE5022	16
	送信キャンセルレジスタ 1_0	TXCR1_0	16	H'FFFE5028	16
	送信キャンセルレジスタ 0_0	TXCR0_0	16	H'FFFE502A	16
	送信アクノリッジレジスタ 1_0	TXACK1_0	16	H'FFFE5030	16
	送信アクノリッジレジスタ 0_0	TXACK0_0	16	H'FFFE5032	16
	アボートアクノリッジレジスタ 1_0	ABACK1_0	16	H'FFFE5038	16
	アボートアクノリッジレジスタ 0_0	ABACK0_0	16	H'FFFE503A	16
	データフレーム受信完了レジスタ 1_0	RXPR1_0	16	H'FFFE5040	16
	データフレーム受信完了レジスタ 0_0	RXPR0_0	16	H'FFFE5042	16
	リモートフレーム受信完了レジスタ 1_0	RFPR1_0	16	H'FFFE5048	16
	リモートフレーム受信完了レジスタ 0_0	RFPR0_0	16	H'FFFE504A	16
	メールボックスインタラプトマスクレジスタ 1_0	MBIMR1_0	16	H'FFFE5050	16
	メールボックスインタラプトマスクレジスタ 0_0	MBIMR0_0	16	H'FFFE5052	16
	未読メッセージステータスレジスタ 1_0	UMSR1_0	16	H'FFFE5058	16
	未読メッセージステータスレジスタ 0_0	UMSR0_0	16	H'FFFE505A	16
	タイマトリガコントロールレジスタ 0_0	TTCR0_0	16	H'FFFE5080	16
	サイクルマキシマム / Tx_Enable_Window レジスタ_0	CMAX_TEW_0	16	H'FFFE5084	16
	リファレンストリガオフセットレジスタ_0	RFTROFF_0	16	H'FFFE5086	16
	タイムステータスレジスタ_0	TSR_0	16	H'FFFE5088	16
	サイクルカウンタレジスタ_0	CCR_0	16	H'FFFE508A	16
	タイムカウンタレジスタ_0	TCNTR_0	16	H'FFFE508C	16
	サイクルタイムレジスタ_0	CYCTR_0	16	H'FFFE5090	16
	リファレンスマークレジスタ_0	RFMK_0	16	H'FFFE5094	16
	タイムコンペアマッチレジスタ 0_0	TCMR0_0	16	H'FFFE5098	16
	タイムコンペアマッチレジスタ 1_0	TCMR1_0	16	H'FFFE509C	16
タイムコンペアマッチレジスタ 2_0	TCMR2_0	16	H'FFFE50A0	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
RCAN-TL1	送信トリガタイムセレクトレジスタ_0	TTTSEL_0	16	H'FFFE50A4	16
	メールボックス n コントロール 0H_0 (n=0~31)	MBn_CONTROL0_H_0 (n=0~31)	16	H'FFFE5100 + n x 32	16、32
	メールボックス n コントロール 0L_0 (n=0~31)	MBn_CONTROL0_L_0 (n=0~31)	16	H'FFFE5102 + n x 32	16
	メールボックス n ローカルアクセプタンス フィルタマスク 0_0 (n=0~31)	MBn_LAFM0_0 (n=0~31)	16	H'FFFE5104 + n x 32	16、32
	メールボックス n ローカルアクセプタンス フィルタマスク 1_0 (n=0~31)	MBn_LAFM1_0 (n=0~31)	16	H'FFFE5106 + n x 32	16
	メールボックス n データ 01_0 (n=0~31)	MBn_DATA_01_0 (n=0~31)	16	H'FFFE5108 + n x 32	8、16、32
	メールボックス n データ 23_0 (n=0~31)	MBn_DATA_23_0 (n=0~31)	16	H'FFFE510A + n x 32	8、16
	メールボックス n データ 45_0 (n=0~31)	MBn_DATA_45_0 (n=0~31)	16	H'FFFE510C + n x 32	8、16、32
	メールボックス n データ 67_0 (n=0~31)	MBn_DATA_67_0 (n=0~31)	16	H'FFFE510E + n x 32	8、16
	メールボックス n コントロール 1_0 (n=0~31)	MBn_CONTROL1_0 (n=0~31)	16	H'FFFE5110 + n x 32	8、16
	メールボックス n タイムスタンプ_0 (n=0~15、30、31)	MBn_TIMESTAMP_0 (n=0~15、30、31)	16	H'FFFE5112 + n x 32	16
	メールボックス n トリガタイム_0 (n=24~30)	MBn_TTT_0 (n=24~30)	16	H'FFFE5114 + n x 32	16
	メールボックス n TT コントロール_0 (n=24~29)	MBn_TTCONTROL_0 (n=24~29)	16	H'FFFE5116 + n x 32	16
	マスタコントロールレジスタ_1	MCR_1	16	H'FFFE5800	16
	ジェネラルステータスレジスタ_1	GSR_1	16	H'FFFE5802	16
	ビットコンフィギュレーションレジスタ 1_1	BCR1_1	16	H'FFFE5804	16
	ビットコンフィギュレーションレジスタ 0_1	BCR0_1	16	H'FFFE5806	16
	インタラプトルクエストレジスタ_1	IRR_1	16	H'FFFE5808	16
	インタラプトマスクレジスタ_1	IMR_1	16	H'FFFE580A	16
	送信 / 受信エラーカウンタ_1	TEC_REC_1	16	H'FFFE580C	8、16
	送信待ちレジスタ 1_1	TXPR1_1	16	H'FFFE5820	32
	送信待ちレジスタ 0_1	TXPR0_1	16	H'FFFE5822	16
	送信キャンセルレジスタ 1_1	TXCR1_1	16	H'FFFE5828	16
	送信キャンセルレジスタ 0_1	TXCR0_1	16	H'FFFE582A	16
	送信アクノリッジレジスタ 1_1	TXACK1_1	16	H'FFFE5830	16
	送信アクノリッジレジスタ 0_1	TXACK0_1	16	H'FFFE5832	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
RCAN-TL1	アボートアクノリッジレジスタ 1_1	ABACK1_1	16	H'FFFE5838	16
	アボートアクノリッジレジスタ 0_1	ABACK0_1	16	H'FFFE583A	16
	データフレーム受信完了レジスタ 1_1	RXPR1_1	16	H'FFFE5840	16
	データフレーム受信完了レジスタ 0_1	RXPR0_1	16	H'FFFE5842	16
	リモートフレーム受信完了レジスタ 1_1	RFPR1_1	16	H'FFFE5848	16
	リモートフレーム受信完了レジスタ 0_1	RFPR0_1	16	H'FFFE584A	16
	メールボックスインタラプトマスクレジスタ 1_1	MBIMR1_1	16	H'FFFE5850	16
	メールボックスインタラプトマスクレジスタ 0_1	MBIMR0_1	16	H'FFFE5852	16
	未読メッセージステータスレジスタ 1_1	UMSR1_1	16	H'FFFE5858	16
	未読メッセージステータスレジスタ 0_1	UMSR0_1	16	H'FFFE585A	16
	タイマトリガコントロールレジスタ 0_1	TTCR0_1	16	H'FFFE5880	16
	サイクルマキシマム / Tx_Enable_Window レジスタ_1	CMAX_TEW_1	16	H'FFFE5884	16
	リファレンストリガオフセットレジスタ_1	RFTROFF_1	16	H'FFFE5886	16
	タイムステータスレジスタ_1	TSR_1	16	H'FFFE5888	16
	サイクルカウンタレジスタ_1	CCR_1	16	H'FFFE588A	16
	タイムカウンタレジスタ_1	TCNTR_1	16	H'FFFE588C	16
	サイクルタイムレジスタ_1	CYCTR_1	16	H'FFFE5890	16
	リファレンスマークレジスタ_1	RFMK_1	16	H'FFFE5894	16
	タイムコンペアマッチレジスタ 0_1	TCMR0_1	16	H'FFFE5898	16
	タイムコンペアマッチレジスタ 1_1	TCMR1_1	16	H'FFFE589C	16
	タイムコンペアマッチレジスタ 2_1	TCMR2_1	16	H'FFFE58A0	16
	送信トリガタイムセレクトレジスタ_1	TTSEL_1	16	H'FFFE58A4	16
	メールボックス n コントロール 0H_1 (n=0~31)	MBn_CONTROL0_H_1 (n=0~31)	16	H'FFFE5900 + n x 32	16、32
	メールボックス n コントロール 0L_1 (n=0~31)	MBn_CONTROL0_L_1 (n=0~31)	16	H'FFFE5902 + n x 32	16
	メールボックス n ローカルアクセプタンス フィルタマスク 0_1 (n=0~31)	MBn_LAFM0_1 (n=0~31)	16	H'FFFE5904 + n x 32	16、32
	メールボックス n ローカルアクセプタンス フィルタマスク 1_1 (n=0~31)	MBn_LAFM1_1 (n=0~31)	16	H'FFFE5906 + n x 32	16
	メールボックス n データ 01_1 (n=0~31)	MBn_DATA_01_1 (n=0~31)	16	H'FFFE5908 + n x 32	8、16、32
	メールボックス n データ 23_1 (n=0~31)	MBn_DATA_23_1 (n=0~31)	16	H'FFFE590A + n x 32	8、16
	メールボックス n データ 45_1 (n=0~31)	MBn_DATA_45_1 (n=0~31)	16	H'FFFE590C + n x 32	8、16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
RCAN-TL1	メールボックス n データ 67_1 (n=0~31)	MBn_DATA_67_1 (n=0~31)	16	H'FFFE590E + n×32	8、16
	メールボックス n コントロール 1_1 (n=0~31)	MBn_CONTROL1_1 (n=0~31)	16	H'FFFE5910 + n×32	8、16
	メールボックス n タイムスタンプ_1 (n=0~15、30、31)	MBn_TIMESTAMP_1 (n=0~15、30、31)	16	H'FFFE5912 + n×32	16
	メールボックス n トリガタイム_1 (n=24~30)	MBn_TTT_1 (n=24~30)	16	H'FFFE5914 + n×32	16
	メールボックス n TT コントロール_1 (n=24~29)	MBn_TTCONTROL_1 (n=24~29)	16	H'FFFE5916 + n×32	16
IEB	IEBus コントロールレジスタ	IECTR	8	H'FFFEF000	8
	IEBus コマンドレジスタ	IECMR	8	H'FFFEF001	8
	IEBus マスタコントロールレジスタ	IEMCR	8	H'FFFEF002	8
	IEBus 自局アドレスレジスタ 1	IEAR1	8	H'FFFEF003	8
	IEBus 自局アドレスレジスタ 2	IEAR2	8	H'FFFEF004	8
	IEBus スレーブアドレス設定レジスタ 1	IESA1	8	H'FFFEF005	8
	IEBus スレーブアドレス設定レジスタ 2	IESA2	8	H'FFFEF006	8
	IEBus 送信電文長レジスタ	IETBFL	8	H'FFFEF007	8
	IEBus 受信マスタアドレスレジスタ 1	IEMA1	8	H'FFFEF009	8
	IEBus 受信マスタアドレスレジスタ 2	IEMA2	8	H'FFFEF00A	8
	IEBus 受信コントロールフィールドレジスタ	IERCTL	8	H'FFFEF00B	8
	IEBus 受信電文長レジスタ	IERBFL	8	H'FFFEF00C	8
	IEBus ロックアドレスレジスタ 1	IELA1	8	H'FFFEF00E	8
	IEBus ロックアドレスレジスタ 2	IELA2	8	H'FFFEF00F	8
	IEBus ゼネラルフラグレジスタ	IEFLG	8	H'FFFEF010	8
	IEBus 送信ステータスレジスタ	IETSR	8	H'FFFEF011	8
	IEBus 送信割り込み許可レジスタ	IEIET	8	H'FFFEF012	8
	IEBus 受信ステータスレジスタ	IERSR	8	H'FFFEF014	8
	IEBus 受信割り込み許可レジスタ	IEIER	8	H'FFFEF015	8
	IEBus クロック選択レジスタ	IECKSR	8	H'FFFEF018	8
IEBus 送信データバッファ 001 ~ 128	IETB001 ~ IETB128	8	H'FFFEF100 ~ H'FFFEF17F	8	
IEBus 受信データバッファ 001 ~ 128	IERB001 ~ IERB128	8	H'FFFEF200 ~ H'FFFEF27F	8	
ADC	A/D データレジスタ A	ADDRA	16	H'FFFE4800	16
	A/D データレジスタ B	ADDRB	16	H'FFFE4802	16
	A/D データレジスタ C	ADDRC	16	H'FFFE4804	16
	A/D データレジスタ D	ADDRD	16	H'FFFE4806	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ADC	A/D データレジスタ E	ADDRE	16	H'FFFE4808	16
	A/D データレジスタ F	ADDRF	16	H'FFFE480A	16
	A/D データレジスタ G	ADDRG	16	H'FFFE480C	16
	A/D データレジスタ H	ADDRH	16	H'FFFE480E	16
	A/D コントロール/ステータスレジスタ	ADCSR	16	H'FFFE4820	16
DAC	D/A データレジスタ 0	DADR0	8	H'FFFE4C00	8、16
	D/A データレジスタ 1	DADR1	8	H'FFFE4C01	8、16
	D/A コントロールレジスタ	DACR	8	H'FFFE4C02	8、16
FLCTL	共通コントロールレジスタ	FLCMNCR	32	H'FFFE800	32
	コマンド制御レジスタ	FLCMDCR	32	H'FFFE804	32
	コマンドコードレジスタ	FLCMCDR	32	H'FFFE808	32
	アドレスレジスタ	FLADR	32	H'FFFE80C	32
	アドレスレジスタ 2	FLADR2	32	H'FFFE83C	32
	データレジスタ	FLDATAR	32	H'FFFE810	32
	データカウンタレジスタ	FLDTCNTR	32	H'FFFE814	32
	割り込み DMA 制御レジスタ	FLINTDMACR	32	H'FFFE818	32
	レディビジータイムアウト設定レジスタ	FLBSYTMR	32	H'FFFE81C	32
	レディビジータイムアウトカウンタ	FLBSYCNT	32	H'FFFE820	32
	データ FIFO レジスタ	FLDTFIFO	32	H'FFFE850	32
	管理コード FIFO レジスタ	FLECFIFO	32	H'FFFE860	32
	転送制御レジスタ	FLTRCR	8	H'FFFE82C	8
	4 シンボル ECC 処理結果レジスタ 1	FL4ECCRES1	32	H'FFFE880	32
	4 シンボル ECC 処理結果レジスタ 2	FL4ECCRES2	32	H'FFFE884	32
	4 シンボル ECC 処理結果レジスタ 3	FL4ECCRES3	32	H'FFFE888	32
	4 シンボル ECC 処理結果レジスタ 4	FL4ECCRES4	32	H'FFFE88C	32
	4 シンボル ECC 制御レジスタ	FL4ECCCR	32	H'FFFE890	32
	4 シンボル ECC エラーカウンタレジスタ	FL4ECCCNT	32	H'FFFE894	32
	USB	Port0 システムコンフィギュレーションコントロールレジスタ	SYSCFG0	16	H'FFFF0000
Port1 システムコンフィギュレーションコントロールレジスタ		SYSCFG1	16	H'FFFF0002	16
Port0 システムコンフィギュレーションステータスレジスタ		SYSSTS0	16	H'FFFF0004	16
Port1 システムコンフィギュレーションステータスレジスタ		SYSSTS1	16	H'FFFF0006	16
Port0 デバイスステートコントロールレジスタ		DVSTCTR0	16	H'FFFF0008	16
Port1 デバイスステートコントロールレジスタ		DVSTCTR1	16	H'FFFF000A	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
USB	テストモードレジスタ	TESTMODE	16	H'FFFF000C	16
	DMA0 ビンコンフィギュレーションレジスタ	D0FBCFG	16	H'FFFF0010	16
	DMA1 ビンコンフィギュレーションレジスタ	D1FBCFG	16	H'FFFF0012	16
	CFIFO ポートレジスタ	CFIFO	32	H'FFFF0014	8、16、32
	D0FIFO ポートレジスタ	D0FIFO	32	H'FFFF0018	8、16、32
	D1FIFO ポートレジスタ	D1FIFO	32	H'FFFF001C	8、16、32
	CFIFO ポート選択レジスタ	CFIFOSEL	16	H'FFFF0020	16
	CFIFO ポートコントロールレジスタ	CFIFOCTR	16	H'FFFF0022	16
	D0FIFO ポート選択レジスタ	D0FIFOSEL	16	H'FFFF0028	16
	D0FIFO ポートコントロールレジスタ	D0FIFOCTR	16	H'FFFF002A	16
	D1FIFO ポート選択レジスタ	D1FIFOSEL	16	H'FFFF002C	16
	D1FIFO ポートコントロールレジスタ	D1FIFOCTR	16	H'FFFF002E	16
	割り込み許可レジスタ 0	INTENB0	16	H'FFFF0030	16
	割り込み許可レジスタ 1	INTENB1	16	H'FFFF0032	16
	割り込み許可レジスタ 2	INTENB2	16	H'FFFF0034	16
	BRDY 割り込み許可レジスタ	BRDYENB	16	H'FFFF0036	16
	NRDY 割り込み許可レジスタ	NRDYENB	16	H'FFFF0038	16
	BEMP 割り込み許可レジスタ	BEMPENB	16	H'FFFF003A	16
	SOF 出力コンフィギュレーションレジスタ	SOFCFG	16	H'FFFF003C	16
	割り込みステータスレジスタ 0	INTSTS0	16	H'FFFF0040	16
	割り込みステータスレジスタ 1	INTSTS1	16	H'FFFF0042	16
	割り込みステータスレジスタ 2	INTSTS2	16	H'FFFF0044	16
	BRDY 割り込みステータスレジスタ	BRDYSTS	16	H'FFFF0046	16
	NRDY 割り込みステータスレジスタ	NRDYSTS	16	H'FFFF0048	16
	BEMP 割り込みステータスレジスタ	BEMPSTS	16	H'FFFF004A	16
	フレームナンバレジスタ	FRMNUM	16	H'FFFF004C	16
	μフレームナンバレジスタ	UFRMNUM	16	H'FFFF004E	16
	USB アドレスレジスタ	USBADDR	16	H'FFFF0050	16
	USB リクエストタイプレジスタ	USBREQ	16	H'FFFF0054	16
	USB リクエストバリュレジスタ	USBVAL	16	H'FFFF0056	16
	USB リクエストインデックスレジスタ	USBINDX	16	H'FFFF0058	16
	USB リクエストレンクスレジスタ	USBLENG	16	H'FFFF005A	16
	DCP コンフィギュレーションレジスタ	DCPCFG	16	H'FFFF005C	16
	DCP マックスパケットサイズレジスタ	DCPMAXP	16	H'FFFF005E	16
DCP コントロールレジスタ	DCPCTR	16	H'FFFF0060	16	
パイプウィンドウ選択レジスタ	PIPESEL	16	H'FFFF0064	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
USB	パイプコンフィギュレーションレジスタ	PIPECFG	16	H'FFFF0068	16
	パイプバッファ指定レジスタ	PIPEBUF	16	H'FFFF006A	16
	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	H'FFFF006C	16
	パイプ周期制御レジスタ	PIPEPERI	16	H'FFFF006E	16
	パイプ1コントロールレジスタ	PIPE1CTR	16	H'FFFF0070	16
	パイプ2コントロールレジスタ	PIPE2CTR	16	H'FFFF0072	16
	パイプ3コントロールレジスタ	PIPE3CTR	16	H'FFFF0074	16
	パイプ4コントロールレジスタ	PIPE4CTR	16	H'FFFF0076	16
	パイプ5コントロールレジスタ	PIPE5CTR	16	H'FFFF0078	16
	パイプ6コントロールレジスタ	PIPE6CTR	16	H'FFFF007A	16
	パイプ7コントロールレジスタ	PIPE7CTR	16	H'FFFF007C	16
	パイプ8コントロールレジスタ	PIPE8CTR	16	H'FFFF007E	16
	パイプ9コントロールレジスタ	PIPE9CTR	16	H'FFFF0080	16
	パイプ1トランザクションカウンタインエーブルレジスタ	PIPE1TRE	16	H'FFFF0090	16
	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	H'FFFF0092	16
	パイプ2トランザクションカウンタインエーブルレジスタ	PIPE2TRE	16	H'FFFF0094	16
	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	H'FFFF0096	16
	パイプ3トランザクションカウンタインエーブルレジスタ	PIPE3TRE	16	H'FFFF0098	16
	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	H'FFFF009A	16
	パイプ4トランザクションカウンタインエーブルレジスタ	PIPE4TRE	16	H'FFFF009C	16
	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	H'FFFF009E	16
	パイプ5トランザクションカウンタインエーブルレジスタ	PIPE5TRE	16	H'FFFF00A0	16
	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	H'FFFF00A2	16
	USB AC 特性切り替えレジスタ 0	USBACSWR0	16	H'FFFF00C0	16
	USB AC 特性切り替えレジスタ 1	USBACSWR1	16	H'FFFF00C2	16
	デバイスアドレス0 コンフィギュレーションレジスタ	DEVADD0	16	H'FFFF00D0	16
	デバイスアドレス1 コンフィギュレーションレジスタ	DEVADD1	16	H'FFFF00D2	16
	デバイスアドレス2 コンフィギュレーションレジスタ	DEVADD2	16	H'FFFF00D4	16
	デバイスアドレス3 コンフィギュレーションレジスタ	DEVADD3	16	H'FFFF00D6	16
	デバイスアドレス4 コンフィギュレーションレジスタ	DEVADD4	16	H'FFFF00D8	16
	デバイスアドレス5 コンフィギュレーションレジスタ	DEVADD5	16	H'FFFF00DA	16
	デバイスアドレス6 コンフィギュレーションレジスタ	DEVADD6	16	H'FFFF00DC	16
	デバイスアドレス7 コンフィギュレーションレジスタ	DEVADD7	16	H'FFFF00DE	16
デバイスアドレス8 コンフィギュレーションレジスタ	DEVADD8	16	H'FFFF00E0	16	
デバイスアドレス9 コンフィギュレーションレジスタ	DEVADD9	16	H'FFFF00E2	16	
デバイスアドレスA コンフィギュレーションレジスタ	DEVADDA	16	H'FFFF00E4	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ATAPI	ATAPI コントロールレジスタ	ATAPI_CONTROL	32	H'FFFECC80	32
	ATAPI ステータスレジスタ	ATAPI_STATUS	32	H'FFFECC84	32
	割り込みイネーブルレジスタ	ATAPI_INT_ENABLE	32	H'FFFECC88	32
	PIO タイミングレジスタ	ATAPI_PIO_TIMING	32	H'FFFECC8C	32
	マルチワード DMA タイミングレジスタ	ATAPI_MULTI_ TIMING	32	H'FFFECC90	32
	ウルトラ DMA タイミングレジスタ	ATAPI_ULTRA_ TIMING	32	H'FFFECC94	32
	DMA スタートアドレスレジスタ	ATAPI_DMA_ START_ADR	32	H'FFFECC9C	32
	DMA 転送カウンタレジスタ	ATAPI_DMA_ TRANS_CNT	32	H'FFFECCA0	32
	ATAPI コントロール2 レジスタ	ATAPI_CONTROL2	32	H'FFFECCA4	32
	ATAPI 信号ステータスレジスタ	ATAPI_SIG_ST	32	H'FFFECCB0	32
	バイトスワップレジスタ	ATAPI_BYTE_SWAP	32	H'FFFECCBC	32
2DG	グラフィック部 BLT 機能指定実行レジスタ	GR_BLTPLY	32	H'E8000000	16、32
	グラフィック部 MIX 機能指定実行レジスタ	GR_MIXPLY	32	H'E8000004	16、32
	グラフィック部動作ステータスレジスタ	GR_DOSTAT	32	H'E8000008	16、32
	グラフィック部割り込みステータスレジスタ	GR_IRSTAT	32	H'E800000C	16、32
	グラフィック部割り込みマスク制御レジスタ	GR_INTMSK	32	H'E8000010	16、32
	グラフィック部割り込み解除制御レジスタ	GR_INTDIS	32	H'E8000014	16、32
	グラフィック部 DMAC 要求制御レジスタ	GR_DMACH	32	H'E8000020	16、32
	BLT 用ソース A B 読み込み領域設定レジスタ	GR_SABSET	32	H'E8000030	16、32
	BLT 用デスティネーション C 書き込み領域設定レジスタ	GR_DCSET	32	H'E8000038	16、32
	出力部用ソース E 読み込み領域設定レジスタ	MGR_SESET	32	H'E8000040	16、32
	グラフィック部用画素フォーマット設定レジスタ	GR_PIXLFMT	32	H'E8000048	16、32
	BLT 用動作モード設定	GR_BLTMODE	32	H'E8000050	16、32
	グラフィック用リサイズ画面設定レジスタ	GR_RISZSET	32	H'E8000060	16、32
	BLT 用リサイズモード選択レジスタ	GR_RISZMOD	32	H'E8000064	16、32
	BLT 用リサイズデルタ設定レジスタ	GR_DELT	32	H'E8000068	16、32
	BLT 用リサイズ水平先頭位相設定レジスタ	GR_HSPHAS	32	H'E800006C	16、32
	BLT 用リサイズ垂直先頭位相設定レジスタ	GR_VSPHAS	32	H'E8000070	16、32
	出力部用リサイズ水平デルタ設定レジスタ	MGR_HDELTA	32	H'E8000074	16、32
	出力部用リサイズ水平先頭位相設定レジスタ	MGR_HPHAS	32	H'E8000078	16、32
	BLT 用論理演算入力データレジスタ	GR_LGDAT	32	H'E8000080	16、32
	BLT 用クロマキー対象色データレジスタ	GR_DETCOL	32	H'E8000084	16、32
	BLT 用ブレンド処理用置換色データレジスタ	GR_BRDCOL	32	H'E8000088	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
2DG	BLT用ブレンド1コントロールレジスタ	GR_BRD1CNT	32	H'E800008C	16、32
	出力部動作モード設定レジスタ	MGR_MIXMODE	32	H'E8000098	16、32
	出力部パネル出力水平タイミング設定レジスタ	MGR_MIXHTMG	32	H'E80000A0	16、32
	出力部パネル出力水平有効領域設定レジスタ	MGR_MIXHS	32	H'E80000A4	16、32
	出力部パネル出力垂直タイミング設定レジスタ	MGR_MIXVTMG	32	H'E80000A8	16、32
	出力部パネル出力垂直有効領域設定レジスタ	MGR_MIXVS	32	H'E80000AC	16、32
	グラフィック部出力 SYNC 位置設定レジスタ	GR_VSDLY	32	H'E80000C4	16、32
	Video DAC タイミング設定レジスタ	VDAC_TMC	32	H'EA000000	32
AESOP	ソフトウェアリセットレジスタ	SWRSR	32	H'FFFA10000	32
	エンコード処理初期化レジスタ	RPRSR	32	H'FFFA10004	32
	DMA コントロールレジスタ	DMACR	32	H'FFFA10008	32
	DIN_RAM バッファライト用 DMA 転送レジスタ	DMADI	32	H'FFFA1000C	32
	DOUT_RAM バッファリード用 DMA 転送レジスタ	DMADO	32	H'FFFA10010	32
	イベントマスクレジスタ	EVMSR	32	H'FFFA1001C	32
	イベントクリアレジスタ	EVCLR	32	H'FFFA10024	32
	設定指定レジスタ 1	MBOTR	32	H'FFFA10028	32
	設定指定レジスタ 2	BACCR	32	H'FFFA1002C	32
	設定指定レジスタ 3	ACESR	32	H'FFFA10030	32
	オーディオ処理情報設定レジスタ	ADIFR	32	H'FFFA10034	32
	設定指定レジスタ 4	TBR SR	32	H'FFFA10038	32
	ヘッダ設定レジスタ	HEADR	32	H'FFFA1003C	32
	ADTS 形式ヘッダ情報設定レジスタ	ADTSR	32	H'FFFA10040	32
	設定指定レジスタ 5	MSS1R	32	H'FFFA10044	32
	設定指定レジスタ 6	MSS2R	32	H'FFFA10048	32
	設定指定レジスタ 7	QLMDR	32	H'FFFA1004C	32
	設定指定レジスタ 8	QCHAR	32	H'FFFA10050	32
	設定指定レジスタ 9	QGGAR	32	H'FFFA10054	32
	設定指定レジスタ 10	SDTRR	32	H'FFFA1005C	32
ストリームデータ強制転送レジスタ	SDFOR	32	H'FFFA10060	32	
ストリームデータ強制転送バイト量表示レジスタ	SDBTR	32	H'FFFA10064	32	
フレームバイト量表示レジスタ	FBYTR	32	H'FFFA1006C	32	
PFC	ポート A・IO レジスタ L	PAIORL	16	H'FFFE3802	8、16
	ポート A コントロールレジスタ L4	PACRL4	16	H'FFFE380C	8、16、32
	ポート A コントロールレジスタ L3	PACRL3	16	H'FFFE380E	8、16
	ポート A コントロールレジスタ L2	PACRL2	16	H'FFFE3810	8、16、32
	ポート A コントロールレジスタ L1	PACRL1	16	H'FFFE3812	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
PFC	ポート B・IO レジスタ H	PBIORH	16	H'FFFE3820	8、16、32
	ポート B・IO レジスタ L	PBIORL	16	H'FFFE3822	8、16
	ポート B コントロールレジスタ H2	PBCRH2	16	H'FFFE3828	8、16、32
	ポート B コントロールレジスタ H1	PBCRH1	16	H'FFFE382A	8、16
	ポート B コントロールレジスタ L4	PBCRL4	16	H'FFFE382C	8、16、32
	ポート B コントロールレジスタ L3	PBCRL3	16	H'FFFE382E	8、16
	ポート B コントロールレジスタ L2	PBCRL2	16	H'FFFE3830	8、16、32
	ポート B コントロールレジスタ L1	PBCRL1	16	H'FFFE3832	8、16
	ポート C・IO レジスタ L	PCIORL	16	H'FFFE3842	8、16
	ポート C コントロールレジスタ L3	PCCRL3	16	H'FFFE384E	8、16
	ポート C コントロールレジスタ L2	PCCRL2	16	H'FFFE3850	8、16、32
	ポート C コントロールレジスタ L1	PCCRL1	16	H'FFFE3852	8、16
	ポート D・IO レジスタ L	PDIORL	16	H'FFFE3862	8、16
	ポート D コントロールレジスタ L1	PDCRL1	16	H'FFFE3872	8、16
	ポート E・IO レジスタ L	PEIORL	16	H'FFFE3882	8、16
	ポート E コントロールレジスタ L4	PECRL4	16	H'FFFE388C	8、16、32
	ポート E コントロールレジスタ L3	PECRL3	16	H'FFFE388E	8、16
	ポート E コントロールレジスタ L2	PECRL2	16	H'FFFE3890	8、16、32
	ポート E コントロールレジスタ L1	PECRL1	16	H'FFFE3892	8、16
	ポート F・IO レジスタ L	PFIORL	16	H'FFFE38A2	8、16
	ポート F コントロールレジスタ L2	PFCRL2	16	H'FFFE38B0	8、16、32
	ポート F コントロールレジスタ L1	PFCRL1	16	H'FFFE38B2	8、16
	ポート G コントロールレジスタ L2	PGCRL2	16	H'FFFE38D0	8、16、32
	ポート G コントロールレジスタ L1	PGCRL1	16	H'FFFE38D2	8、16
	ポート H・IO レジスタ L	PHIORL	16	H'FFFE38E2	8、16
	ポート H コントロールレジスタ L4	PHCRL4	16	H'FFFE38EC	8、16、32
	ポート H コントロールレジスタ L3	PHCRL3	16	H'FFFE38EE	8、16
	ポート H コントロールレジスタ L2	PHCRL2	16	H'FFFE38F0	8、16、32
	ポート H コントロールレジスタ L1	PHCRL1	16	H'FFFE38F2	8、16
	ポート J・IO レジスタ L	PJIORL	16	H'FFFE3902	8、16
	ポート J コントロールレジスタ L4	PJCRL4	16	H'FFFE390C	8、16、32
	ポート J コントロールレジスタ L3	PJCRL3	16	H'FFFE390E	8、16
ポート J コントロールレジスタ L2	PJCRL2	16	H'FFFE3910	8、16、32	
ポート J コントロールレジスタ L1	PJCRL1	16	H'FFFE3912	8、16	
ポート K・IO レジスタ L	PKIORL	16	H'FFFE3922	8、16	
ポート K コントロールレジスタ L1	PKCRL1	16	H'FFFE3932	8、16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
I/O ポート	ポート A データレジスタ L	PADRL	16	H'FFFE3816	8、16
	ポート A ポートレジスタ L	PAPRL	16	H'FFFE381A	8、16
	ポート B データレジスタ H	PBDRH	16	H'FFFE3834	8、16、32
	ポート B データレジスタ L	PBDRL	16	H'FFFE3836	8、16
	ポート B ポートレジスタ H	PBPRH	16	H'FFFE3838	8、16、32
	ポート B ポートレジスタ L	PBPRL	16	H'FFFE383A	8、16
	ポート C データレジスタ L	PCDRL	16	H'FFFE3856	8、16
	ポート C ポートレジスタ L	PCPRL	16	H'FFFE385A	8、16
	ポート D データレジスタ L	PDDRL	16	H'FFFE3876	8、16
	ポート D ポートレジスタ L	PDPRL	16	H'FFFE387A	8、16
	ポート E データレジスタ L	PEDRL	16	H'FFFE3896	8、16
	ポート E ポートレジスタ L	PEPRL	16	H'FFFE389A	8、16
	ポート F データレジスタ L	PFDRL	16	H'FFFE38B6	8、16
	ポート F ポートレジスタ L	PFPRL	16	H'FFFE38BA	8、16
	ポート G データレジスタ L	PGDRL	16	H'FFFE38D6	8、16
	ポート H データレジスタ L	PHDRL	16	H'FFFE38F6	8、16
	ポート H ポートレジスタ L	PHPRL	16	H'FFFE38FA	8、16
	ポート J データレジスタ L	PJDRL	16	H'FFFE3916	8、16
	ポート J ポートレジスタ L	PJPRL	16	H'FFFE391A	8、16
	ポート K データレジスタ L	PKDRL	16	H'FFFE3936	8、16
ポート K ポートレジスタ L	PKPRL	16	H'FFFE393A	8、16	
低消費電力モード	スタンバイコントロールレジスタ 1	STBCR1	8	H'FFFE0014	8
	スタンバイコントロールレジスタ 2	STBCR2	8	H'FFFE0018	8
	スタンバイコントロールレジスタ 3	STBCR3	8	H'FFFE0400	8
	スタンバイコントロールレジスタ 4	STBCR4	8	H'FFFE0402	8
	スタンバイコントロールレジスタ 5	STBCR5	8	H'FFFE0404	8
	スタンバイコントロールレジスタ 6	STBCR6	8	H'FFFE0406	8
	スタンバイコントロールレジスタ 7	STBCR7	8	H'FFFE0408	8
	システムコントロールレジスタ 1	SYSCR1	8	H'FFFE0480	8
	システムコントロールレジスタ 2	SYSCR2	8	H'FFFE0482	8
	システムコントロールレジスタ 3	SYSCR3	8	H'FFFE0484	8
	システムコントロールレジスタ 4	SYSCR4	8	H'FFFE0486	8
	システムコントロールレジスタ 5	SYSCR5	8	H'FFFE0488	8
	システムコントロールレジスタ 6	SYSCR6	8	H'FFFE048A	8
	システムコントロールレジスタ 7	SYSCR7	8	H'FFFE04A0	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
低消費電力モード	システムコントロールレジスタ 8	SYSCR8	8	H'FFFE04A2	8
	システムコントロールレジスタ 9	SYSCR9	8	H'FFFE04A4	8
	システムコントロールレジスタ 10	SYSCR10	8	H'FFFE04A6	8
	システムコントロールレジスタ 11	SYSCR11	8	H'FFFE04A8	8
	システムコントロールレジスタ 12	SYSCR12	8	H'FFFE04AA	8
	ソフトウェアリセットコントロールレジスタ	SWRSTCR	8	H'FFFE0440	8
	ハインピーダンスコントロールレジスタ	HIZCR	8	H'FFFE0442	8
	CPU0 モードステートレジスタ	COMSR	8	H'FFFE0040	8
	CPU1 モードステートレジスタ	C1MSR	8	H'FFFE0042	8
	保持用 RAM 保持エリア指定レジスタ	RRAMKP	8	H'FFFE0C00	8
	ディープスタンバイコントロールレジスタ	DSCTR	8	H'FFFE0C02	8
	ディープスタンバイ解除要因セレクトレジスタ	DSSSR	16	H'FFFE0C04	16
ディープスタンバイ解除要因フラグレジスタ	DSFR	16	H'FFFE0C08	16	
H-UDI	インストラクションレジスタ	SDIR	16	H'FFFD9000	16

35.2 レジスタビット一覧

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
マルチコア プロセッサ	CPUIDR	-	ID	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	SEMR0	-	-	-	-	-	-	-	SEMF
	SEMR1	-	-	-	-	-	-	-	SEMF
	SEMR2	-	-	-	-	-	-	-	SEMF
	SEMR3	-	-	-	-	-	-	-	SEMF
	SEMR4	-	-	-	-	-	-	-	SEMF
	SEMR5	-	-	-	-	-	-	-	SEMF
	SEMR6	-	-	-	-	-	-	-	SEMF
	SEMR7	-	-	-	-	-	-	-	SEMF
	SEMR8	-	-	-	-	-	-	-	SEMF
	SEMR9	-	-	-	-	-	-	-	SEMF
	SEMR10	-	-	-	-	-	-	-	SEMF
	SEMR11	-	-	-	-	-	-	-	SEMF
	SEMR12	-	-	-	-	-	-	-	SEMF
	SEMR13	-	-	-	-	-	-	-	SEMF
	SEMR14	-	-	-	-	-	-	-	SEMF
	SEMR15	-	-	-	-	-	-	-	SEMF
	SEMR16	-	-	-	-	-	-	-	SEMF
	SEMR17	-	-	-	-	-	-	-	SEMF
	SEMR18	-	-	-	-	-	-	-	SEMF
	SEMR19	-	-	-	-	-	-	-	SEMF
	SEMR20	-	-	-	-	-	-	-	SEMF
	SEMR21	-	-	-	-	-	-	-	SEMF
	SEMR22	-	-	-	-	-	-	-	SEMF
	SEMR23	-	-	-	-	-	-	-	SEMF
	SEMR24	-	-	-	-	-	-	-	SEMF
SEMR25	-	-	-	-	-	-	-	SEMF	
SEMR26	-	-	-	-	-	-	-	SEMF	
SEMR27	-	-	-	-	-	-	-	SEMF	
SEMR28	-	-	-	-	-	-	-	SEMF	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
マルチコアプロセッサ	SEMR29	-	-	-	-	-	-	-	SEMF
	SEMR30	-	-	-	-	-	-	-	SEMF
	SEMR31	-	-	-	-	-	-	-	SEMF
CPG	FRQCR0	-	CKOEN2	CKOEN[1:0]		-	-	STC[1:0]	
		-	-	IFC[1:0]		-	PFC[2:0]		
	FRQCR1	-	-	-	-	-	-	-	-
		-	-	IFC[1:0]		-	-	-	-
INTC	C0ICR0	NMIL	-	-	-	-	-	-	NMIS
		-	-	-	-	-	-	-	-
	C0ICR1	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
	C0ICR2	-	-	-	-	-	-	-	-
		PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
	C0IRQRR	-	-	-	-	-	-	-	-
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
	C0PINTER	-	-	-	-	-	-	-	-
		PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
	C0PIRR	-	-	-	-	-	-	-	-
		PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R
	C0IBCR	E15	E14	E13	E12	E11	E10	E9	E8
		E7	E6	E5	E4	E3	E2	E1	-
	C0IBNR	BE[1:0]		BOVE	-	-	-	-	-
		-	-	-	-	BN[3:0]			
	C0IPR01								
	C0IPR02								
	C0IPR05								
	C0INTER	NMIE	UDIE	SLPEE	-	-	-	-	-
		-	-	-	-	-	-	-	-
	C0IRQER	-	-	-	-	-	-	-	-
		IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
	C1ICR0	NMIL	-	-	-	-	-	-	NMIS
		-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
INTC	C1ICR1	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
	C1ICR2	-	-	-	-	-	-	-	-
		PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
	C1IRQR	-	-	-	-	-	-	-	-
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
	C1PINTER	-	-	-	-	-	-	-	-
		PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
	C1PIRR	-	-	-	-	-	-	-	-
		PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R
	C1IBCR	E15	E14	E13	E12	E11	E10	E9	E8
		E7	E6	E5	E4	E3	E2	E1	-
	C1IBNR	BE[1:0]		BOVE	-	-	-	-	-
		-	-	-	-	BN[3:0]			
	C1IPR01								
	C1IPR02								
	C1IPR05								
	C1INTER	NMIE	UDIE	SLPEE	-	-	-	-	-
		-	-	-	-	-	-	-	-
	C1IRQER	-	-	-	-	-	-	-	-
		IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
	C0IPCR15	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C0IPCR14	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C0IPCR13	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C0IPCR12	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C0IPCR11	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C0IPCR10	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
INTC	C0IPCR09	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C0IPCR08	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C0IPER	CIPE15	CIPE14	CIPE13	CIPE12	CIPE11	CIPE10	CIPE9	CIPE8
		-	-	-	-	-	-	-	-
	C1IPCR15	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C1IPCR14	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C1IPCR13	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C1IPCR12	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C1IPCR11	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C1IPCR10	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C1IPCR09	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C1IPCR08	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CI
	C1IPER	CIPE15	CIPE14	CIPE13	CIPE12	CIPE11	CIPE10	CIPE9	CIPE8
		-	-	-	-	-	-	-	-
	C0IPR06								
	C0IPR07								
	C0IPR08								
	C0IPR09								
	C0IPR10								
	C0IPR11								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
INTC	C0IPR12								
	C0IPR13								
	C0IPR14								
	C0IPR15								
	C0IPR16								
	C0IPR17								
	C0IPR18								
	C0IPR19								
	C0IPR20								
	C0IPR21								
	C1IPR06								
	C1IPR07								
C1IPR08									
C1IPR09									
C1IPR10									
C1IPR11									
C1IPR12									
C1IPR13									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
INTC	C1IPR14									
	C1IPR15									
	C1IPR16									
	C1IPR17									
	C1IPR18									
	C1IPR19									
	C1IPR20									
	C1IPR21									
	IDCNT6		-	-	-	-	-	-	CPUN	INTEN
			-	-	-	MON	-	-	-	-
	IDCNT7		-	-	-	-	-	-	CPUN	INTEN
			-	-	-	MON	-	-	-	-
	IDCNT8		-	-	-	-	-	-	CPUN	INTEN
			-	-	-	MON	-	-	-	-
	IDCNT9		-	-	-	-	-	-	CPUN	INTEN
			-	-	-	MON	-	-	-	-
	IDCNT10		-	-	-	-	-	-	CPUN	INTEN
			-	-	-	MON	-	-	-	-
	IDCNT11		-	-	-	-	-	-	CPUN	INTEN
			-	-	-	MON	-	-	-	-
	IDCNT12		-	-	-	-	-	-	CPUN	INTEN
			-	-	-	MON	-	-	-	-
IDCNT13		-	-	-	-	-	-	CPUN	INTEN	
		-	-	-	MON	-	-	-	-	
IDCNT14		-	-	-	-	-	-	CPUN	INTEN	
		-	-	-	MON	-	-	-	-	
IDCNT15		-	-	-	-	-	-	CPUN	INTEN	
		-	-	-	MON	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
INTC	IDCNT16	-	-	-	-	-	-	CPUN	INTEN	
		-	-	-	MON	-	-	-	-	
	IDCNT17	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT18	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT19	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT20	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT21	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT22	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT23	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT24	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT25	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT26	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT27	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT28	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT29	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT30	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT31	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT32	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT33	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
INTC	IDCNT34	-	-	-	-	-	-	CPUN	INTEN	
		-	-	-	MON	-	-	-	-	
	IDCNT35	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT36	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT37	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT38	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT39	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT40	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT41	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT42	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT43	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT44	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT45	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT46	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT47	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT48	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT49	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT50	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT51	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
INTC	IDCNT52	-	-	-	-	-	-	CPUN	INTEN	
		-	-	-	MON	-	-	-	-	
	IDCNT53	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT54	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT55	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT56	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT57	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT58	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT59	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT60	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT61	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT62	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT63	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT64	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT65	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT66	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT67	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT68	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT69	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
INTC	IDCNT70	-	-	-	-	-	-	CPUN	INTEN	
		-	-	-	MON	-	-	-	-	
	IDCNT71	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT72	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT73	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT74	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT75	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT76	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT77	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT78	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT79	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT80	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT81	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT82	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT83	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT84	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT85	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT86	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT87	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
INTC	IDCNT88	-	-	-	-	-	-	CPUN	INTEN	
		-	-	-	MON	-	-	-	-	
	IDCNT89	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT90	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT91	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT92	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT93	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT94	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT95	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT96	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT97	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT98	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT99	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT100	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT101	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT102	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT103	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT104	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT105	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
INTC	IDCNT106	-	-	-	-	-	-	CPUN	INTEN	
		-	-	-	MON	-	-	-	-	
	IDCNT107	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT108	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT109	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT110	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT111	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT112	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT113	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT114	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT115	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT116	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT117	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT118	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT119	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT120	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT121	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT122	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT123	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
INTC	IDCNT124	-	-	-	-	-	-	CPUN	INTEN	
		-	-	-	MON	-	-	-	-	
	IDCNT125	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT126	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT127	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT128	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT129	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT130	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT131	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT132	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT133	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT134	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT135	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT136	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT137	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT138	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT139	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-
	IDCNT140	-	-	-	-	-	-	-	CPUN	INTEN
		-	-	-	MON	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
INTC	DREQER0	-	-	-	-	CMI3	CMI2	CMI1	CMI0
	DREQER1	-	-	-	TGI4A	TGI3A	TGI2A	TGI1A	TGI0A
	DREQER2	IIC TXI3	IIC RXI3	IIC TXI2	IIC RXI2	IIC TXI1	IIC RXI1	IIC TXI0	IIC RXI0
	DREQER3	-	-	-	-	SCIF TXI5	SCIF RXI5	SCIF TXI4	SCIF RXI4
	DREQER4	SCIF TXI3	SCIF RXI3	SCIF TXI2	SCIF RXI2	SCIF TXI1	SCIF RXI1	SCIF TXI0	SCIF RXI0
	DREQER5	-	-	SSIF5	SSIF4	SSIF3	SSIF2	SSIF1	SSIF0
	DREQER6	-	-	-	-	SSTXI1	SSRXI1	SSTXI0	SSRXI0
	DREQER7	-	-	-	-	-	-	-	ADC ADI
	DREQER8	-	-	-	-	-	-	RM01	RM00
UBC	BAR_0	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BAMR_0	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
	BBR_0	-	-	UBID	DBE	-	-	-	CP
		CD[1:0]		ID[1:0]		RW[1:0]		SZ[1:0]	
	BDR_0	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24
		BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
		BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8
		BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
	BDMR_0	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24
		BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
		BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8
		BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0
	BAR_1	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BAMR_1	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
	BBR_1	-	-	UBID	DBE	-	-	-	CP
		CD[1:0]		ID[1:0]		RW[1:0]		SZ[1:0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
UBC	BDR_1	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24	
		BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16	
		BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8	
		BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0	
	BDMR_1	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	
		BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16	
		BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	
		BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0	
	BRCR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	CKS[1:0]		
		SCMFC0	SCMFC1	SCMFD0	SCMFD1	-	-	-	-	
		-	PCB1	PCB0	-	-	-	-	-	
	キャッシュ	CCR1	-	-	-	-	-	-	-	
			-	-	-	-	-	-	-	
			-	-	-	-	ICF	-	-	ICE
			-	-	-	-	OCF	-	WT	OCE
CCR2		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	LE	
		-	-	-	-	-	-	W3LOAD	W3LOCK	
		-	-	-	-	-	-	W2LOAD	W2LOCK	
BSC		CS0CNT	-	-	-	-	-	-	-	
			-	-	BSIZE[1:0]		-	-	-	EXENB
	-		-	-	-	-	-	-	-	
	-		-	-	-	-	-	-	-	
	CS0REC	-	-	-	-	WRCV[3:0]				
		-	-	-	-	RRCV[3:0]				
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	CS1CNT	-	-	-	-	-	-	-	-	
		-	-	BSIZE[1:0]		-	-	-	EXENB	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	CS1REC	-	-	-	-	WRCV[3:0]				
		-	-	-	-	RRCV[3:0]				
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
BSC	CS2CNT	-	-	-	-	-	-	-	-	
		-	-	BSIZE[1:0]			-	-	-	EXENB
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
	CS2REC	-	-	-	-	WRCV[3:0]				
		-	-	-	-	RRCV[3:0]				
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
	CS3CNT	-	-	-	-	-	-	-	-	-
		-	-	BSIZE[1:0]			-	-	-	EXENB
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
	CS3REC	-	-	-	-	WRCV[3:0]				
		-	-	-	-	RRCV[3:0]				
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
	CS4CNT	-	-	-	-	-	-	-	-	-
		-	-	BSIZE[1:0]			-	-	-	EXENB
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
	CS4REC	-	-	-	-	WRCV[3:0]				
		-	-	-	-	RRCV[3:0]				
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
	CS5CNT	-	-	-	-	-	-	-	-	-
		-	-	BSIZE[1:0]			-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
	CS5REC	-	-	-	-	WRCV[3:0]				
		-	-	-	-	RRCV[3:0]				
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
	SDC0CNT	-	-	-	-	-	-	-	-	-
		-	-	BSIZE[1:0]			-	-	-	EXENB
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
BSC	SDC1CNT	-	-	-	-	-	-	-	-	
		-	-	BSIZE[1:0]			-	-	-	EXENB
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
	CSMOD0	PRMOD	-	PBCNT[1:0]			-	-	PWENB	PRENB
		-	-	-	-	EWENB	-	-	WRMOD	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	CS1WCNT0	-	-	-	CSRWAIT[4:0]					
		-	-	-	CSWWAIT[4:0]					
		-	-	-	-	-	CSPRWAIT[2:0]			
		-	-	-	-	-	CSPWWAIT[2:0]			
	CS2WCNT0	-	CSON[2:0]			-	WDON[2:0]			
		-	WRON[2:0]			-	RDON[2:0]			
		-	-	-	-	-	WDOFF[2:0]			
		-	CSWOFF[2:0]			-	CSROFF[2:0]			
	CSMOD1	PRMOD	-	PBCNT[1:0]			-	-	PWENB	PRENB
		-	-	-	-	EWENB	-	-	WRMOD	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	CS1WCNT1	-	-	-	CSRWAIT[4:0]					
		-	-	-	CSWWAIT[4:0]					
		-	-	-	-	-	CSPRWAIT[2:0]			
		-	-	-	-	-	CSPWWAIT[2:0]			
	CS2WCNT1	-	CSON[2:0]			-	WDON[2:0]			
		-	WRON[2:0]			-	RDON[2:0]			
		-	-	-	-	-	WDOFF[2:0]			
		-	CSWOFF[2:0]			-	CSROFF[2:0]			
	CSMOD2	PRMOD	-	PBCNT[1:0]			-	-	PWENB	PRENB
		-	-	-	-	EWENB	-	-	WRMOD	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	CS1WCNT2	-	-	-	CSRWAIT[4:0]					
		-	-	-	CSWWAIT[4:0]					
		-	-	-	-	-	CSPRWAIT[2:0]			
		-	-	-	-	-	CSPWWAIT[2:0]			

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS2WCNT2	-	CSON[2:0]			-	WDON[2:0]		
		-	WRON[2:0]			-	RDON[2:0]		
		-	-	-	-	-	WDOFF[2:0]		
		-	CSWOFF[2:0]			-	CSROFF[2:0]		
	CSMOD3	PRMOD	-	PBCNT[1:0]		-	-	PWENB	PRENB
		-	-	-	-	EWENB	-	-	WRMOD
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	CS1WCNT3	-	-	-	CSRWAIT[4:0]				
		-	-	-	CSWWAIT[4:0]				
		-	-	-	-	-	CSPRWAIT[2:0]		
		-	-	-	-	-	CSPWWAIT[2:0]		
	CS2WCNT3	-	CSON[2:0]			-	WDON[2:0]		
		-	WRON[2:0]			-	RDON[2:0]		
		-	-	-	-	-	WDOFF[2:0]		
		-	CSWOFF[2:0]			-	CSROFF[2:0]		
	CSMOD4	PRMOD	-	PBCNT[1:0]		-	-	PWENB	PRENB
		-	-	-	-	EWENB	-	-	WRMOD
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	CS1WCNT4	-	-	-	CSRWAIT[4:0]				
		-	-	-	CSWWAIT[4:0]				
		-	-	-	-	-	CSPRWAIT[2:0]		
		-	-	-	-	-	CSPWWAIT[2:0]		
	CS2WCNT4	-	CSON[2:0]			-	WDON[2:0]		
		-	WRON[2:0]			-	RDON[2:0]		
		-	-	-	-	-	WDOFF[2:0]		
		-	CSWOFF[2:0]			-	CSROFF[2:0]		
	CSMOD5	PRMOD	-	PBCNT[1:0]		-	-	PWENB	PRENB
		-	-	-	-	EWENB	-	-	WRMOD
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	CS1WCNT5	-	-	-	CSRWAIT[4:0]				
		-	-	-	CSWWAIT[4:0]				
		-	-	-	-	-	CSPRWAIT[2:0]		
		-	-	-	-	-	CSPWWAIT[2:0]		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
BSC	CS2WCNT5	-	CSON[2:0]				-	WDON[2:0]			
		-	WRON[2:0]				-	RDON[2:0]			
		-	-	-	-	-	WDOFF[2:0]				
		-	CSWOFF[2:0]				-	CSROFF[2:0]			
	SDRFCNT0	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	DSFEN	
	SDRFCNT1	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	DRFEN	
		DREFW[3:0]				DRFC[11:8]					
		DRFC[7:0]									
	SDIR0	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	DPC[2:0]				
		DARFC[3:0]				DARFI[3:0]					
	SDIR1	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	DINIST	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	DINIRQ	
	SDPWCNT	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	DPWD	
	SDDPWCNT	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	DDPD	
	SD0ADR	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	DDBW[1:0]			
		-	-	-	-	-	DSZ[2:0]				
	SD0TR	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	DRAS[2:0]				
		-	-	DRCD[1:0]			DPCG[2:0]			DWR	
		-	-	DCL[2:0]							

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
BSC	SD0MOD	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	DMR[14:8]							
		DMR[7:0]								
	SD1ADR	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	DDBW[1:0]		
		-	-	-	-	-	DSZ[2:0]			
	SD1TR	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	DRAS[2:0]			
		-	-	DRCD[1:0]		DPCG[2:0]			DWR	
		-	-	DCL[2:0]						
	SD1MOD	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	DMR[14:8]							
		DMR[7:0]								
	SDSTR	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	DSRFST	DINIST	DPWDST	DDPDST	DMRSST	
	SDCKSCNT	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	DCKSEN	
		-	-	-	-	-	-	-	-	-
		DCKSC[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR0	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR0	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT0	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD0	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR0	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR0	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT0	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA0	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRL0D	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB0	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR1	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR1	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT1	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD1	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR1	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR1	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT1	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA1	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB1	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR2	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR2	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT2	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD2	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR2	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR2	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT2	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA2	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB2	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR3	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR3	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT3	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD3	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR3	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR3	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT3	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA3	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB3	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR4	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR4	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT4	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD4	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR4	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR4	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT4	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA4	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB4	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR5	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR5	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT5	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:24]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD5	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR5	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR5	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT5	-	-	-	-	-	-	-	RBC[25:0]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA5	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB5	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSDR6	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR6	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT6	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD6	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR6	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR6	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT6	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA6	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRL0D	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB6	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR7	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR7	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT7	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD7	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR7	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR7	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT7	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA7	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB7	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR8	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR8	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT8	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD8	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR8	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR8	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT8	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA8	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRL0D	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB8	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR9	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR9	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT9	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD9	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR9	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR9	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT9	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA9	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB9	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR10	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR10	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT10	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD10	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR10	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR10	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT10	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA10	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB10	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR11	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR11	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT11	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD11	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR11	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR11	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT11	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA11	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB11	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR12	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR12	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT12	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD12	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR12	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR12	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT12	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA12	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB12	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMCSADR13	CSA[31:24]								
		CSA[23:16]								
		CSA[15:8]								
		CSA[7:0]								
	DMCDADR13	CDA[31:24]								
		CDA[23:16]								
		CDA[15:8]								
		CDA[7:0]								
	DMCBCT13	-	-	-	-	-	-	-	CBC[25:24]	
		CBC[23:16]								
		CBC[15:8]								
		CBC[7:0]								
	DMMOD13	-	-	-	-	OPSEL[3:0]				
		-	-	-	-	-	SZSEL[2:0]			
		-	SAMOD[2:0]			-	DAMOD[2:0]			
		-	-	-	-	SACT	DACT	DTCM[1:0]		
	DMRSADR13	RSA[31:24]								
		RSA[23:16]								
		RSA[15:8]								
		RSA[7:0]								
	DMRDADR13	RDA[31:24]								
		RDA[23:16]								
		RDA[15:8]								
		RDA[7:0]								
	DMRBCT13	-	-	-	-	-	-	-	RBC[25:24]	
		RBC[23:16]								
		RBC[15:8]								
		RBC[7:0]								
	DMACNTA13	-	-	MDSEL[1:0]		-	-	DSEL[1:0]		
		-	-	-	-	-	-	STRG[1:0]		
		-	-	-	-	2DRLOD	BRLOD	SRL0D	DRLOD	
		-	-	DTCG[5:0]						
	DMACNTB13	-	-	-	-	-	-	-	DEN	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	ECLR	
		-	-	-	-	-	-	-	DSCLD	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMSCNT	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	DREQ	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	DMICNT	DINTM0	DINTM1	DINTM2	DINTM3	DINTM4	DINTM5	DINTM6	DINTM7	
		DINTM8	DINTM9	DINTM10	DINTM11	DINTM12	DINTM13	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	DMICNTA	DINTA0	DINTA1	DINTA2	DINTA3	DINTA4	DINTA5	DINTA6	DINTA7	
		DINTA8	DINTA9	DINTA10	DINTA11	DINTA12	DINTA13	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	DMISTS	DISTS0	DISTS1	DISTS2	DISTS3	DISTS4	DISTS5	DISTS6	DISTS7	
		DISTS8	DISTS9	DISTS10	DISTS11	DISTS12	DISTS13	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	DMEDET	DEDET0	DEDET1	DEDET2	DEDET3	DEDET4	DEDET5	DEDET6	DEDET7	
		DEDET8	DEDET9	DEDET10	DEDET11	DEDET12	DEDET13	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	DMASTS	DASTS0	DASTS1	DASTS2	DASTS3	DASTS4	DASTS5	DASTS6	DASTS7	
		DASTS8	DASTS9	DASTS10	DASTS11	DASTS12	DASTS13	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	DM2DCLM0	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		DCDN[15:8]								
		DCDN[7:0]								
	DM2DROW0	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		DRN[15:8]								
		DRN[7:0]								
	DM2DBLK0	-	-	-	-	-	-	-	-	
		DBN[23:16]								
		DBN[15:8]								
		DBN[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DM2D NROST0	DNROST[31:24]								
		DNROST[23:16]								
		DNROST[15:8]								
		DNROST[7:0]								
	DM2D NBOST0	DNBOST[31:24]								
		DNBOST[23:16]								
		DNBOST[15:8]								
		DNBOST[7:0]								
	DM2D NLOST0	DNLOST[31:24]								
		DNLOST[23:16]								
		DNLOST[15:8]								
		DNLOST[7:0]								
	DMR2D CLM0	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRCDN[15:8]								
		DRCDN[7:0]								
	DMR2D ROW0	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRRN[15:8]								
		DRRN[7:0]								
	DMR2D BLK0	-	-	-	-	-	-	-	-	-
		DRBN[23:16]								
		DRBN[15:8]								
		DRBN[7:0]								
	DMR2D NROST0	DRNROST[31:24]								
		DRNROST[23:16]								
		DRNROST[15:8]								
		DRNROST[7:0]								
	DMR2D NBOST0	DRNBOST[31:24]								
		DRNBOST[23:16]								
		DRNBOST[15:8]								
		DRNBOST[7:0]								
	DMR2D NLOST0	DRNLOST[31:24]								
		DRNLOST[23:16]								
		DRNLOST[15:8]								
		DRNLOST[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC	DM2DCLM1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DCDN[15:8]							
		DCDN[7:0]							
	DM2DROW1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DRN[15:8]							
		DRN[7:0]							
	DM2DBLK1	-	-	-	-	-	-	-	-
		DBN[23:16]							
		DBN[15:8]							
		DBN[7:0]							
	DM2D NROST1	DNROST[31:24]							
		DNROST[23:16]							
		DNROST[15:8]							
		DNROST[7:0]							
	DM2D NBOST1	DNBOST[31:24]							
		DNBOST[23:16]							
		DNBOST[15:8]							
		DNBOST[7:0]							
	DM2D NLOST1	DNLOST[31]							
		DNLOST[23]							
		DNLOST[15]							
		DNLOST[7]							
	DMR2D CLM1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DRCDN[15:8]							
		DRCDN[7:0]							
	DMR2D ROW1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DRRN[15:8]							
		DRRN[7:0]							
	DMR2D BLK1	-	-	-	-	-	-	-	-
		DRBN[23:16]							
		DRBN[15:8]							
	DRBN[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMR2D NROST1	DRNRST[31:24]								
		DRNRST[23:16]								
		DRNRST[15:8]								
		DRNRST[7:0]								
	DMR2D NBOST1	DRNBOST[31:24]								
		DRNBOST[23:16]								
		DRNBOST[15:8]								
		DRNBOST[7:0]								
	DMR2D NLOST1	DRNLOST[31:24]								
		DRNLOST[23:16]								
		DRNLOST[15:8]								
		DRNLOST[7:0]								
	DM2DCLM2	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DCDN[15:8]								
		DCDN[7:0]								
	DM2DROW2	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRN[15:8]								
		DRN[7:0]								
	DM2DBLK2	-	-	-	-	-	-	-	-	-
		DBN[23:16]								
		DBN[15:8]								
		DBN[7:0]								
	DM2D NROST2	DNROST[31:24]								
		DNROST[23:16]								
		DNROST[15:8]								
		DNROST[7:0]								
	DM2D NBOST2	DNBOST[31:24]								
		DNBOST[23:16]								
		DNBOST[15:8]								
		DNBOST[7:0]								
DM2D NLOST2	DNLOST[31:24]									
	DNLOST[23:16]									
	DNLOST[15:8]									
	DNLOST[7:0]									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC	DMR2D	-	-	-	-	-	-	-	-
		DRCDN[15:8]							
	CLM2	-	-	-	-	-	-	-	-
		DRCDN[7:0]							
	DMR2D	-	-	-	-	-	-	-	-
		ROW2	-	-	-	-	-	-	-
	DRRN[15:8]								
	DRRN[7:0]								
	DMR2D	-	-	-	-	-	-	-	-
		BLK2	DRBN[23:16]						
	DRBN[15:8]								
	DRBN[7:0]								
	DMR2D	DRNROST[31:24]							
		NROST2	DRNROST[23:16]						
	DRNROST[15:8]								
	DRNROST[7:0]								
	DMR2D	DRNBOST[31:24]							
		NBOST2	DRNBOST[23:16]						
	DRNBOST[15:8]								
	DRNBOST[7:0]								
	DMR2D	DRNLOST[31:24]							
		NLOST2	DRNLOST[23:16]						
	DRNLOST[15:8]								
	DRNLOST[7:0]								
	DM2DCLM3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	DCDN[15:8]								
	DCDN[7:0]								
	DM2D	-	-	-	-	-	-	-	-
		ROW3	-	-	-	-	-	-	-
	DRN[15:8]								
	DRN[7:0]								
	DM2DBLK3	-	-	-	-	-	-	-	-
		DBN[23:16]							
	DBN[15:8]								
	DBN[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DM2D NROST3	DNROST[31:24]								
		DNROST[23:16]								
		DNROST[15:8]								
		DNROST[7:0]								
	DM2DN BOST3	DNBOST[31:24]								
		DNBOST[23:16]								
		DNBOST[15:8]								
		DNBOST[7:0]								
	DM2DN LOST3	DNLOST[31:24]								
		DNLOST[23:16]								
		DNLOST[15:8]								
		DNLOST[7:0]								
	DMR2D CLM3	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRCDN[15:8]								
		DRCDN[7:0]								
	DMR2D ROW3	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRRN[15:8]								
		DRRN[7:0]								
	DMR2D BLK3	-	-	-	-	-	-	-	-	-
		DRBN[23:16]								
		DRBN[15:8]								
		DRBN[7:0]								
	DMR2D NROST3	DRNROST[31:24]								
		DRNROST[23:16]								
		DRNROST[15:8]								
		DRNROST[7:0]								
	DMR2D NBOST3	DRNBOST[31:24]								
		DRNBOST[23:16]								
		DRNBOST[15:8]								
		DRNBOST[7:0]								
DMR2D NLOST3	DRNLOST[31:24]									
	DRNLOST[23:16]									
	DRNLOST[15:8]									
	DRNLOST[7:0]									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DM2DCLM4	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		DCDN[15:8]								
		DCDN[7:0]								
	DM2D ROW4	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRN[15:8]								
		DRN[7:0]								
	DM2DBLK4	-	-	-	-	-	-	-	-	-
		DBN[23:16]								
		DBN[15:8]								
		DBN[7:0]								
	DM2D NROST4	DNROST[31:24]								
		DNROST[23:16]								
		DNROST[15:8]								
		DNROST[7:0]								
	DM2D NBOST4	DNBOST[31:24]								
		DNBOST[23:16]								
		DNBOST[15:8]								
		DNBOST[7:0]								
	DM2D NLOST4	DNLOST[31:24]								
		DNLOST[23:16]								
		DNLOST[15:8]								
		DNLOST[7:0]								
	DMR2D CLM4	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRCDN[15:8]								
		DRCDN[7:0]								
	DMR2D ROW4	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRRN[15:8]								
		DRRN[7:0]								
	DMR2D BLK4	-	-	-	-	-	-	-	-	-
		DRBN[23:16]								
		DRBN[15:8]								
	DRBN[7:0]									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMR2D NROST4	DRNRST[31:24]								
		DRNRST[23:16]								
		DRNRST[15:8]								
		DRNRST[7:0]								
	DMR2D NBOST4	DRNBOST[31:24]								
		DRNBOST[23:16]								
		DRNBOST[15:8]								
		DRNBOST[7:0]								
	DMR2D NLOST4	DRNLOST[31:24]								
		DRNLOST[23:16]								
		DRNLOST[15:8]								
		DRNLOST[7:0]								
	DM2DCLM5	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DCDN[15:8]								
		DCDN[7:0]								
	DM2D ROW5	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRN[15:8]								
		DRN[7:0]								
	DM2DBLK5	-	-	-	-	-	-	-	-	-
		DBN[23:16]								
		DBN[15:8]								
		DBN[7:0]								
	DM2D NROST5	DNROST[31:24]								
		DNROST[23:16]								
		DNROST[15:8]								
		DNROST[7:0]								
	DM2D NBOST5	DNBOST[31:24]								
		DNBOST[23:16]								
		DNBOST[15:8]								
		DNBOST[7:0]								
DM2D NLOST5	DNLOST[31:24]									
	DNLOST[23:16]									
	DNLOST[15:8]									
	DNLOST[7:0]									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC	DMR2D	-	-	-	-	-	-	-	-
		DRCDN[15:8]							
	CLM5	-	-	-	-	-	-	-	-
		DRCDN[7:0]							
	DMR2D	-	-	-	-	-	-	-	-
		DRRN[15:8]							
	ROW5	-	-	-	-	-	-	-	-
		DRRN[7:0]							
	DMR2D	-	-	-	-	-	-	-	-
		DRBN[23:16]							
	BLK5	DRBN[15:8]							
		DRBN[7:0]							
	DMR2D	DRNROST[31:24]							
		NROST5	DRNROST[23:16]						
	DRNROST[15:8]								
	DRNROST[7:0]								
	DMR2D	DRNBOST[31:24]							
		NBOST5	DRNBOST[23:16]						
	DRNBOST[15:8]								
	DRNBOST[7:0]								
	DMR2D	DRNLOST[31:24]							
		NLOST5	DRNLOST[23:16]						
	DRNLOST[15:8]								
	DRNLOST[7:0]								
	DM2DCLM6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	DCDN[15:8]								
	DCDN[7:0]								
	DM2D	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	ROW6	DRN[15]	DRN[14]	DRN[13]	DRN[12]	DRN[11]	DRN[10]	DRN[9]	DRN[8]
		DRN[7]	DRN[6]	DRN[5]	DRN[4]	DRN[3]	DRN[2]	DRN[1]	DRN[0]
	DM2DBLK6	-	-	-	-	-	-	-	-
		DBN[23]	DBN[22]	DBN[21]	DBN[20]	DBN[19]	DBN[18]	DBN[17]	DBN[16]
		DBN[15]	DBN[14]	DBN[13]	DBN[12]	DBN[11]	DBN[10]	DBN[9]	DBN[8]
		DBN[7]	DBN[6]	DBN[5]	DBN[4]	DBN[3]	DBN[2]	DBN[1]	DBN[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DM2D NROST6	DNROST[31:24]								
		DNROST[23:16]								
		DNROST[15:8]								
		DNROST[7:0]								
	DM2D NBOST6	DNBOST[31:24]								
		DNBOST[23:16]								
		DNBOST[15:8]								
		DNBOST[7:0]								
	DM2D NLOST6	DNLOST[31:24]								
		DNLOST[23:16]								
		DNLOST[15:8]								
		DNLOST[7:0]								
	DMR2D CLM6	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRCDN[15:8]								
		DRCDN[7:0]								
	DMR2D ROW6	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		DRRN[15:8]								
		DRRN[7:0]								
	DMR2D BLK6	-	-	-	-	-	-	-	-	-
		DRBN[23:16]								
		DRBN[15:8]								
		DRBN[7:0]								
	DMR2D NROST6	DRNROST[31:24]								
		DRNROST[23:16]								
		DRNROST[15:8]								
		DRNROST[7:0]								
	DMR2D NBOST6	DRNBOST[31:24]								
		DRNBOST[23:16]								
		DRNBOST[15:8]								
		DRNBOST[7:0]								
	DMR2D NLOST6	DRNLOST[31:24]								
		DRNLOST[23:16]								
		DRNLOST[15:8]								
		DRNLOST[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC	DM2DCLM7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DCDN[15:8]							
		DCDN[7:0]							
	DM2D ROW7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DRN[15:8]							
		DRN[7:0]							
	DM2DBLK7	-	-	-	-	-	-	-	-
		DBN[23:16]							
		DBN[15:8]							
		DBN[7:0]							
	DM2D NROST7	DNROST[31:24]							
		DNROST[23:16]							
		DNROST[15:8]							
		DNROST[7:0]							
	DM2D NBOST7	DNBOST[31:24]							
		DNBOST[23:16]							
		DNBOST[15:8]							
		DNBOST[7:0]							
	DM2D NLOST7	DNLOST[31:24]							
		DNLOST[23:16]							
		DNLOST[15:8]							
		DNLOST[7:0]							
	DMR2D CLM7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DRCDN[15:8]							
		DRCDN[7:0]							
	DMR2D ROW7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DRRN[15:8]							
		DRRN[7:0]							
	DMR2D BLK7	-	-	-	-	-	-	-	-
		DRBN[23:16]							
		DRBN[15:8]							
		DRBN[7:0]							

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC	DMR2D NROST7	DRNROST[31:24]							
		DRNROST[23:16]							
		DRNROST[15:8]							
		DRNROST[7:0]							
	DMR2D NBOST7	DRNBOST[31:24]							
		DRNBOST[23:16]							
		DRNBOST[15:8]							
		DRNBOST[7:0]							
	DMR2D NLOST7	DRNLOST[31:24]							
		DRNLOST[23:16]							
		DRNLOST[15:8]							
		DRNLOST[7:0]							
MTU2	TCR_0	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
	TMDR_0	-	BFE	BFB	BFA	MD[3:0]			
	TIORH_0	IOB[3:0]				IOA[3:0]			
	TIORL_0	IOD[3:0]				IOC[3:0]			
	TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_0	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_0								
	TGRA_0								
	TGRB_0								
	TGRC_0								
	TGRD_0								
	TGRE_0								
	TGRF_0								
	TIER2_0	TTGE2	-	-	-	-	-	TGIEF	TGIEE
	TSR2_0	-	-	-	-	-	-	TGFF	TGFE
	TBTM_0	-	-	-	-	-	TTSE	TTSB	T TSA

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TCR_1	-	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]		
	TMDR_1	-	-	-	-	MD[3:0]			
	TIOR_1	IOB[3:0]				IOA[3:0]			
	TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
	TSR_1	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_1								
	TGRA_1								
	TGRB_1								
	TICCR	-	-	-	-	I2BE	I2AE	I1BE	I1AE
	TCR_2	-	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]		
	TMDR_2	-	-	-	-	MD[3:0]			
	TIOR_2	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
	TSR_2	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_2								
	TGRA_2								
	TGRB_2								
	TCR_3	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
	TMDR_3	-	-	BFB	BFA	MD[3:0]			
	TIORH_3	IOB[3:0]				IOA[3:0]			
	TIORL_3	IOD[3:0]				IOC[3:0]			
	TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_3	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_3								
	TGRA_3								
	TGRB_3								
	TGRC_3								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TGRD_3								
	TBTM_3	-	-	-	-	-	-	TTSB	TTSA
	TCR_4	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
	TMDR_4	-	-	BFB	BFA	MD[3:0]			
	TIORH_4	IOB[3:0]				IOA[3:0]			
	TIORL_4	IOD[3:0]				IOC[3:0]			
	TIER_4	TTGE	TTGE2	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_4	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_4								
	TGRA_4								
	TGRB_4								
	TGRC_4								
	TGRD_4								
	TBTM_4	-	-	-	-	-	-	TTSB	TTSA
	TADCR	BF[1:0]		-	-	-	-	-	-
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
	TADCORA_4								
	TADCORB_4								
	TADCOBRA_4								
	TADCOBRB_4								
	TSTR	CST4	CST3	-	-	-	CST2	CST1	CST0
	TSYR	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
	TRWER	-	-	-	-	-	-	-	RWE
	TOER	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
	TOCR1	-	PSYE	-	-	TOCL	TOCS	OLSN	PLSP
	TOCR2	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TGCR	-	BDC	N	P	FB	WF	VF	UF
	TCDR								
	TDDR								
	TCNTS								
	TGBR								
	TITCR	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]		
	TITCNT	-	3ACNT[2:0]			-	4VCNT[2:0]		
	TBTER	-	-	-	-	-	-	BTE[1:0]	
	TDER	-	-	-	-	-	-	-	TDER
	TWCR	CCE	-	-	-	-	-	-	WRE
	TOLBR	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
	CMT	CMSTR01	-	-	-	-	-	-	-
-			-	-	-	-	-	STR1	STR0
CMCSR0		-	-	-	-	-	-	-	-
		CMF	CMIE	-	-	-	-	CKS[1:0]	
CMCNT0									
CMCOR0									
CMCSR1		-	-	-	-	-	-	-	-
		CMF	CMIE	-	-	-	-	CKS[1:0]	
CMCNT1									
CMCOR1									
CMSTR23		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	STR3	STR2
CMCSR2		-	-	-	-	-	-	-	-
		CMF	CMIE	-	-	-	-	CKS[1:0]	
CMCNT2									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
CMT	CMCOR2									
	CMCSR3	-	-	-	-	-	-	-	-	
		CMF	CMIE	-	-	-	-	CKS[1:0]		
	CMCNT3									
CMCOR3										
WDT	WTCSR0	IOVF	WT/IT	TME	-	-	CKS[2:0]			
	WTCNT0	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0	
	WRCSR0	WOVF	RSTE	RSTS	-	-	-	-	-	
	WTCSR1	IOVF	WT/IT	TME	-	-	CKS[2:0]			
	WTCNT1	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0	
	WRCSR1	WOVF	RSTE	-	-	-	-	-	-	
RTC	R64CNT	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz	
	RSECCNT	-	10 秒			1 秒				
	RMINCNT	-	10 分			1 分				
	RHRCNT	-	-	10 時間			1 時間			
	RWKCNT	-	-	-	-	-	曜日			
	RDAYCNT	-	-	10 日			1 日			
	RMONCNT	-	-	-	10 月	1 月				
	RYRCNT	1000 年			100 年					
		10 年			1 年					
	RSECAR	ENB	10 秒			1 秒				
	RMINAR	ENB	10 分			1 分				
	RHRAR	ENB	-	10 時間			1 時間			
	RWKAR	ENB	-	-	-	-	曜日			
	RDAYAR	ENB	-	10 日			1 日			
	RMONAR	ENB	-	-	10 月	1 月				
	RYRAR	1000 年			100 年					
		10 年			1 年					
	RCR1	CF	-	-	CIE	AIE	-	-	AF	
	RCR2	PEF	PES[2:0]			RTCEN	ADJ	RESET	START	
	RCR3	ENB	-	-	-	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCIF	SCSMR_0	-	-	-	-	-	-	-	-	
		C/A	CHR	PE	O/E	STOP	-	CKS[1:0]		
	SCBRR_0									
	SCSCR_0	-	-	-	-	-	-	-	-	
		TIE	RIE	TE	RE	REIE	-	CKE[1:0]		
	SCFTDR_0									
	SCFSR_0	PER[3:0]				FER[3:0]				
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_0									
	SCFCR_0	-	-	-	-	-	RSTRG[2:0]			
		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
	SCFDR_0	-	-	-	T[4:0]					
		-	-	-	R[4:0]					
	SCSPTR_0	-	-	-	-	-	-	-	-	
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_0	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	
	SCEMR_0	-	-	-	-	-	-	-	-	
		BGDM	-	-	-	-	-	-	ABCS	
	SCSMR_1	-	-	-	-	-	-	-	-	
		C/A	CHR	PE	O/E	STOP	-	CKS[1:0]		
	SCBRR_1									
	SCSCR_1	-	-	-	-	-	-	-	-	
		TIE	RIE	TE	RE	REIE	-	CKE[1:0]		
	SCFTDR_1									
	SCFSR_1	PER[3:0]				FER[3:0]				
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_1									
	SCFCR_1	-	-	-	-	-	RSTRG[2:0]			
		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
	SCFDR_1	-	-	-	T[4:0]					
		-	-	-	R[4:0]					
	SCSPTR_1	-	-	-	-	-	-	-	-	
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_1	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCIF	SCEMR_1	-	-	-	-	-	-	-	-	
		BGDM	-	-	-	-	-	-	ABCS	
	SCSMR_2	-	-	-	-	-	-	-	-	
		C/A	CHR	PE	O/E	STOP	-	CKS[1:0]		
	SCBRR_2									
	SCSCR_2	-	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1:0]		
	SCFTDR_2									
	SCFSR_2	PER[3:0]				FER[3:0]				
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_2									
	SCFCR_2	-	-	-	-	-	RSTRG[2:0]			
		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
	SCFDR_2	-	-	-	T[4:0]					
		-	-	-	R[4:0]					
	SCSPTR_2	-	-	-	-	-	-	-	-	-
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_2	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	ORER
	SCEMR_2	-	-	-	-	-	-	-	-	-
		BGDM	-	-	-	-	-	-	-	ABCS
	SCSMR_3	-	-	-	-	-	-	-	-	-
		C/A	CHR	PE	O/E	STOP	-	CKS[1:0]		
	SCBRR_3									
	SCSCR_3	-	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1:0]		
	SCFTDR_3									
	SCFSR_3	PER[3:0]				FER[3:0]				
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_3									
	SCFCR_3	-	-	-	-	-	RSTRG[2:0]			
		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
	SCFDR_3	-	-	-	T[4:0]					
		-	-	-	R[4:0]					
	SCSPTR_3	-	-	-	-	-	-	-	-	-
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCIF	SCLSR_3	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	
	SCEMR_3	-	-	-	-	-	-	-	-	
		BGDM	-	-	-	-	-	-	-	ABCS
	SCSMR_4	-	-	-	-	-	-	-	-	
		C/A	CHR	PE	O/E	STOP	-	CKS[1:0]		
	SCBRR_4									
	SCSCR_4	-	-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1:0]		
	SCFTDR_4									
	SCFSR_4	PER[3:0]				FER[3:0]				
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_4									
	SCFCR_4	-	-	-	-	-	RSTRG[2:0]			
		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
	SCFDR_4	-	-	-	T[4:0]					
		-	-	-	R[4:0]					
	SCSPTR_4	-	-	-	-	-	-	-	-	
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_4	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	
	SCEMR_4	-	-	-	-	-	-	-	-	
		BGDM	-	-	-	-	-	-	ABCS	
	SCSMR_5	-	-	-	-	-	-	-	-	
		C/A	CHR	PE	O/E	STOP	-	CKS[1:0]		
	SCBRR_5									
	SCSCR_5	-	-	-	-	-	-	-	-	
		TIE	RIE	TE	RE	REIE	-	CKE[1:0]		
	SCFTDR_5									
	SCFSR_5	PER[3:0]				FER[3:0]				
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_5									
	SCFCR_5	-	-	-	-	-	RSTRG[2:0]			
		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
	SCFDR_5	-	-	-	T[4:0]					
		-	-	-	R[4:0]					

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SCIF	SCSPTR_5	-	-	-	-	-	-	-	-
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	ORER
	SCEMR_5	-	-	-	-	-	-	-	-
		BGDM	-	-	-	-	-	-	ABCS
SSU	SSCRH_0	MSS	BIDE	-	SOL	SOLP	-	CSS[1:0]	
	SSCRL_0	-	SSUMS	SRES	-	-	-	DATS[1:0]	
	SSMR_0	MLS	CPOS	CPHS	-	-	CKS[2:0]		
	SSER_0	TE	RE	-	-	TEIE	TIE	RIE	CEIE
	SSSR_0	-	ORER	-	-	TEND	TDRE	RDRF	CE
	SSCR2_0	-	-	-	TENDSTS	SCSATS	SSODTS	-	-
	SSTDR0_0								
	SSTDR1_0								
	SSTDR2_0								
	SSTDR3_0								
	SSRDR0_0								
	SSRDR1_0								
	SSRDR2_0								
	SSRDR3_0								
	SSCRH_1	MSS	BIDE	-	SOL	SOLP	-	CSS[1:0]	
	SSCRL_1	-	SSUMS	SRES	-	-	-	DATS[1:0]	
	SSMR_1	MLS	CPOS	CPHS	-	-	CKS[2:0]		
	SSER_1	TE	RE	-	-	TEIE	TIE	RIE	CEIE
	SSSR_1	-	ORER	-	-	TEND	TDRE	RDRF	CE
	SSCR2_1	-	-	-	TENDSTS	SCSATS	SSODTS	-	-
	SSTDR0_1								
	SSTDR1_1								
	SSTDR2_1								
	SSTDR3_1								
	SSRDR0_1								
	SSRDR1_1								
	SSRDR2_1								
	SSRDR3_1								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
IIC3	ICCR1_0	ICE	RCVD	MST	TRS	CKS[3:0]			
	ICCR2_0	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-
	ICMR_0	MLS	-	-	-	BCWP	BC[2:0]		
	ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_0	SVA[6:0]							FS
	ICDRT_0								
	ICDRR_0								
	NF2CYC_0	-	-	-	-	-	-	PRS	NF2CYC
	ICCR1_1	ICE	RCVD	MST	TRS	CKS[3:0]			
	ICCR2_1	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-
	ICMR_1	MLS	-	-	-	BCWP	BC[2:0]		
	ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_1	SVA[6:0]							FS
	ICDRT_1								
	ICDRR_1								
	NF2CYC_1	-	-	-	-	-	-	PRS	NF2CYC
	ICCR1_2	ICE	RCVD	MST	TRS	CKS[3:0]			
	ICCR2_2	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-
	ICMR_2	MLS	-	-	-	BCWP	BC[2:0]		
	ICIER_2	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_2	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_2	SVA[6:0]							FS
	ICDRT_2								
	ICDRR_2								
	NF2CYC_2	-	-	-	-	-	-	PRS	NF2CYC
	ICCR1_3	ICE	RCVD	MST	TRS	CKS[3:0]			
	ICCR2_3	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-
	ICMR_3	MLS	-	-	-	BCWP	BC[2:0]		
	ICIER_3	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_3	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_3	SVA[6:0]							FS
	ICDRT_3								
	ICDRR_3								
	NF2CYC_3	-	-	-	-	-	-	PRS	NF2CYC

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SSIF	SSICR_0	CKS[1:0]		-	-	UIEN	OIEN	IEN	-
		CHNL[1:0]		DWL[2:0]			SWL[2:0]		
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3:0]				MUEN	-	TRMD	EN
	SSISR_0	-	-	-	-	UIRQ	OIRQ	IIRQ	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CHNO[1:0]		SWNO	IDST
	SSIFCR_0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TTRG[1:0]		RTRG[1:0]		-	TIE	RIE	FRST
	SSIFSR_0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DC[3:0]				-	-	TDE	RDF
	SSIFDR_0								
	SSICR_1	CKS[1:0]		-	-	UIEN	OIEN	IEN	-
		CHNL[1:0]		DWL[2:0]			SWL[2:0]		
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3:0]				MUEN	-	TRMD	EN
	SSISR_1	-	-	-	-	UIRQ	OIRQ	IIRQ	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CHNO[1:0]		SWNO	IDST
	SSIFCR_1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TTRG[1:0]		RTRG[1:0]		-	TIE	RIE	FRST
SSIFSR_1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DC[3:0]				-	-	TDE	RDF	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SSIF	SSIFDR_1									
	SSICR_2	CKS[1:0]		-		UIEN		OIEN	IEN	-
		CHNL[1:0]		DWL[2:0]				SWL[2:0]		
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	
		CKDV[3:0]				MUEN	-	TRMD	EN	
	SSISR_2	-	-	-	-	UIRQ	OIRQ	IIRQ	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	CHNO[1:0]		SWNO	IDST	
	SSIFCR_2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		TTRG[1:0]		RTRG[1:0]		-	TIE	RIE	FRST	
	SSIFSR_2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		DC[3:0]				-	-	TDE	RDF	
	SSIFDR_2									
	SSICR_3	CKS[1:0]		-		UIEN		OIEN	IEN	-
		CHNL[1:0]		DWL[2:0]				SWL[2:0]		
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	
		CKDV[3:0]				MUEN	-	TRMD	EN	
	SSISR_3	-	-	-	-	UIRQ	OIRQ	IIRQ	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	CHNO[1:0]		SWNO	IDST	
	SSIFCR_3	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		TTRG[1:0]		RTRG[1:0]		-	TIE	RIE	FRST	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SSIF	SSIFSR_3	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		DC[3:0]					-	-	TDE	RDF
	SSIFDR_3									
	SSICR_4	CKS[1:0]		-	-	UIEN	OIEN	IIEN	-	
		CHNL[1:0]		DWL[2:0]			SWL[2:0]			
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	
		CKDV[3:0]				MUEN	-	TRMD	EN	
	SSISR_4	-	-	-	-	UIRQ	OIRQ	IIRQ	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	CHNO[1:0]		SWNO	IDST	
	SSIFCR_4	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		TTRG[1:0]		RTRG[1:0]		-	TIE	RIE	FRST	
	SSIFSR_4	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		DC[3:0]					-	-	TDE	RDF
	SSIFDR_4									
	SSICR_5	CKS[1:0]		-	-	UIEN	OIEN	IIEN	-	
		CHNL[1:0]		DWL[2:0]			SWL[2:0]			
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	
		CKDV[3:0]				MUEN	-	TRMD	EN	
	SSISR_5	-	-	-	-	UIRQ	OIRQ	IIRQ	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	CHNO[1:0]		SWNO	IDST	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SSIF	SSIFCR_5	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		TTRG[1:0]		RTRG[1:0]		-	TIE	RIE	FRST	
	SSIFSR_5	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		DC[3:0]				-	-	TDE	RDF	
	SSIFDR_5									
RCAN-TL1	MCR_0	MCR15	MCR14	-	-	-	TST[2:0]			
		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
	GSR_0	-	-	-	-	-	-	-	-	
		-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
	BCR1_0	TSG1[3:0]			-	TSG2[2:0]				
		-	-	SJW[1]	SJW[0]	-	-	-	BSP	
	BCR0_0	-	-	-	-	-	-	-	-	
		BRP[7:0]								
	IRR_0	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
	IMR_0	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
	TEC_REC_0	TEC[7:0]								
		REC[7:0]								
	TXPR1_0	TXPR1[15:8]								
		TXPR1[7:0]								
	TXPR0_0	TXPR0[15:8]								
		TXPR0[7:1]								-
	TXCR1_0	TXCR1[15:8]								
		TXCR1[7:0]								
	TXCR0_0	TXCR0[15:8]								
		TXCR0[7:1]								-
	TXACK1_0	TXACK1[15:8]								
		TXACK1[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
RCAN-TL1	TXACK0_0	TXACK0[15:8]								
		TXACK0[7:1]							-	
	ABACK1_0	ABACK1[15:8]								
		ABACK1[7:0]								
	ABACK0_0	ABACK0[15:8]								
		ABACK0[7:1]							-	
	RXPR1_0	RXPR1[15:8]								
		RXPR1[7:0]								
	RXPR0_0	RXPR0[15:8]								
		RXPR0[7:0]								
	RFPR1_0	RFPR1[15:8]								
		RFPR1[7:0]								
	RFPR0_0	RFPR0[15:8]								
		RFPR0[7:0]								
	MBIMR1_0	MBIMR1[15:8]								
		MBIMR1[7:0]								
	MBIMR0_0	MBIMR0[15:8]								
		MBIMR0[7:0]								
	UMSR1_0	UMSR1[15:8]								
		UMSR1[7:0]								
	UMSR0_0	UMSR0[15:8]								
		UMSR0[7:0]								
	TCR0_0	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-	
		-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0	
	CMAX_	-	-	-	-	-	CMAX[2:0]			
	TEW_0	-	-	-	-	TEW[3:0]				
	RFTROFF_0	RFTROFF[7:0]								
		-	-	-	-	-	-	-	-	
	TSR_0	-	-	-	-	-	-	-	-	
		-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0	
	CCR_0	-	-	-	-	-	-	-	-	
		-	-	CCR[5:0]						
	TCNTR_0	TCNTR[15:8]								
		TCNTR[7:0]								
	CYCTR_0	CYCTR[15:8]								
		CYCTR[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
RCAN-TL1	RFMK_0	RFMK[15:8]								
		RFMK[7:0]								
	TCMR0_0	TCMR0[15:8]								
		TCMR0[7:0]								
	TCMR1_0	TCMR1[15:8]								
		TCMR1[7:0]								
	TCMR2_0	TCMR2[15:8]								
		TCMR2[7:0]								
	TTTSEL_0	-	TTTSEL[14:8]							
		-	-	-	-	-	-	-	-	-
	MBn_CONT	-	STDID[10:4]							
	ROL0_H_0 (n = 0 ~ 31)	STDID[3:0]				RTR	IDE	EXTID[17:16]		
	MBn_CONT	IDE	RTR	-	STDID[10:6]					
	ROL0_H_0 (n = 0 ~ 31)	STDID[5:0]						EXTID[17:16]		
	MBn_CONT	EXTID[15:8]								
	ROL0_L_0 (n = 0 ~ 31)	EXTID[7:0]								
	MBn_LAFM0 _0(n = 0 ~ 31)	-	STDID_LAFM[10:4]							
		STDID_LAFM[3:0]				-	IDE	EXTID_LAFM[17:16]		
	MBn_LAFM0 _0(n = 0 ~ 31)	IDE	-	-	STDID_LAFM[10:6]					
	STDID_LAFM[5:0]				EXTID_LAFM[17:16]					
	MBn_LAFM1 _0(n = 0 ~ 31)	EXTID_LAFM[15:8]								
		EXTID_LAFM[7:0]								
	MBn_DATA_ 01_0 (n = 0 ~ 31)	MSG_DATA_0								
		MSG_DATA_1								
	MBn_DATA_ 23_0 (n = 0 ~ 31)	MSG_DATA_2								
		MSG_DATA_3								
	MBn_DATA_ 45_0 (n = 0 ~ 31)	MSG_DATA_4								
		MSG_DATA_5								
	MBn_DATA_ 67_0 (n = 0 ~ 31)	MSG_DATA_6								
		MSG_DATA_7								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
RCAN-TL1	MBn_CONT	-	-	NMC	-	-	MBC[2:0]			
	ROL1_0 (n = 0)	-	-	-	-	DLC[3:0]				
	MBn_CONT	-	-	NMC	ATX	DART	MBC[2:0]			
	ROL1_0 (n = 1 - 31)	-	-	-	-	DLC[3:0]				
	MBn_TIMES	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	
	TAMP_0 (n = 0 - 15, 30, 31)	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	
	MBn_TTT_0 (n = 24 ~ 30)	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8	
		TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0	
	MBn_TTCON	TTW[1:0]		Offset[5:0]						
	TROL_0 (n = 24 ~ 29)	-	-	-	-	-	rep_factor[2:0]			
	MCR_1	MCR15	MCR14	-	-	-	TST[2:0]			
		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
	GSR_1	-	-	-	-	-	-	-	-	
		-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
	BCR1_1	TSG1[3:0]			-	TSG2[2:0]				
		-	-	SJW[1:0]		-	-	-	BSP	
	BCR0_1	-	-	-	-	-	-	-	-	
		BRP[7:0]								
	IRR_1	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
	IMR_1	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
	TEC_REC_1	TEC[7:0]								
		REC[7:0]								
	TXPR1_1	TXPR1[15:8]								
		TXPR1[7:0]								
	TXPR0_1	TXPR0[15:8]								
		TXPR0[7:1]							-	
	TXCR1_1	TXCR1[15:8]								
		TXCR1[7:0]								
TXCR0_1	TXCR0[15:8]									
	TXCR0[7:1]							-		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
RCAN-TL1	TXACK1_1	TXACK1[15:8]								
		TXACK1[7:0]								
	TXACK0_1	TXACK0[15:8]								
		TXACK0[7:1]							-	
	ABACK1_1	ABACK1[15:8]								
		ABACK1[7:0]								
	ABACK0_1	ABACK0[15:8]								
		ABACK0[7:1]							-	
	RXPR1_1	RXPR1[15:8]								
		RXPR1[7:0]								
	RXPR0_1	RXPR0[15:8]								
		RXPR0[7:0]								
	RFPR1_1	RFPR1[15:8]								
		RFPR1[7:0]								
	RFPR0_1	RFPR0[15:8]								
		RFPR0[7:0]								
	MBIMR1_1	MBIMR1[15:8]								
		MBIMR1[7:0]								
	MBIMR0_1	MBIMR0[15:8]								
		MBIMR0[7:0]								
	UMSR1_1	UMSR1[15:8]								
		UMSR1[7:0]								
	UMSR0_1	UMSR0[15:8]								
		UMSR0[7:0]								
	TTCR0_1	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-	
		-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0	
	CMA_	-	-	-	-	-	CMA[2:0]			
	TEW_1	-	-	-	-	TEW[3:0]				
	RFTROFF_1	RFTROFF[7:0]								
		-	-	-	-	-	-	-	-	
	TSR_1	-	-	-	-	-	-	-	-	
		-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0	
	CCR_1	-	-	-	-	-	-	-	-	
		-	-	CCR[5:0]						
	TCNTR_1	TCNTR[15:8]								
		TCNTR[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
RCAN-TL1	CYCTR_1	CYCTR[15:8]								
		CYCTR[7:0]								
	RFMK_1	RFMK[15:8]								
		RFMK[7:0]								
	TCMR0_1	TCMR0[15:8]								
		TCMR0[7:0]								
	TCMR1_1	TCMR1[15:8]								
		TCMR1[7:0]								
	TCMR2_1	TCMR2[15:8]								
		TCMR2[7:0]								
	TTTSEL_1	-	TTTSEL[14:8]							
		-	-	-	-	-	-	-	-	-
	MBn_CONT	-	STDID[10:4]							
	ROL0_H_1 (n = 0 - 31)	STDID[3:0]				RTR	IDE	EXTID[17:16]		
	MBn_CONT	IDE	RTR	-	STDID[10:6]					
	ROL0_H_1 (n = 0 - 31)	STDID[5:0]					EXTID[17:16]			
	MBn_CONT	EXTID[15:8]								
	ROL0_L_1 (n = 0 - 31)	EXTID[7:0]								
	MBn_LAFM0	-	STDID_LAFM[10:4]							
	_1(n = 0 - 31)	STDID_LAFM[3:0]				-	IDE	EXTID_LAFM[17:16]		
	MBn_LAFM0	IDE	-	-	STDID_LAFM[10:6]					
	_1(n = 0 - 31)	STDID_LAFM[5:0]					EXTID_LAFM[17:16]			
	MBn_LAFM1	EXTID_LAFM[15:8]								
	_1 (n = 0 - 31)	EXTID_LAFM[7:0]								
	MBn_DATA_	MSG_DATA_0								
	01_1 (n = 0 - 31)	MSG_DATA_1								
	MBn_DATA_	MSG_DATA_2								
	23_1 (n = 0 - 31)	MSG_DATA_3								
	MBn_DATA_	MSG_DATA_4								
	45_1 (n = 0 - 31)	MSG_DATA_5								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
RCAN-TL1	MBn_DATA_67_1 (n = 0 ~ 31)	MSG_DATA_6								
		MSG_DATA_7								
	MBn_CONT ROL1_1 (n = 0)	-	-	NMC	-	-	MBC[2:0]			
		-	-	-	-	DLC[3:0]				
	MBn_CONT ROL1_1 (n = 1 ~ 31)	-	-	NMC	ATX	DART	MBC[2:0]			
		-	-	-	-	DLC[3:0]				
	MBn_TIMES TAMP_1(n = 0 ~ 15, 30, 31)	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	
		TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	
	MBn_TTT_1 (n = 24 ~ 30)	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8	
		TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0	
MBn_TTCON TROL_1 (n = 24 ~ 29)	TTW[1:0]		Offset[5:0]							
	-	-	-	-	-	rep_factor[2:0]				
IEB	IECTR	-	IOL	DEE	-	RE	-	-	-	
	IECMR	-	-	-	-	-	CMD[2:0]			
	IEMCR	SS	RN[2:0]			CTL[3:0]				
	IEAR1	IARL4[3:0]			IMD[1:0]		-	STE		
	IEAR2	IARU8[7:0]								
	IESA1	ISAL4[3:0]			-	-	-	-		
	IESA2	ISAU8[7:0]								
	IETBFL	IBFL[7:0]								
	IEMA1	IMAL4[3:0]			-	-	-	-		
	IEMA2	IMAU8[7:0]								
	IERCTL	-	-	-	-	RCTL[3:0]				
	IERBFL	RBFL[7:0]								
	IELA1	ILAL8[7:0]								
	IELA2	-	-	-	-	ILAU4[3:0]				
	IEFLG	CMX	MRQ	SRQ	SRE	LCK	-	RSS	GG	
	IETSR	-	TXS	TXF	-	TXEAL	TXETTME	TXERO	TXEACK	
	IEIET	-	TXSE	TXFE	-	TXEALE	TXETTMEE	TXEROE	TXEACK	
	IERSR	RXBSY	RXS	RXF	RXEDE	RXEOVE	RXERTME	RXEDLE	RXEPE	
	IEIER	RXBSYE	RXSE	RXFE	RXEDEE	RXEOVEE	RXERTMEE	RXEDLEE	RXEPEE	
	IECKSR	-	-	-	CKS3	-	CKS[2:0]			

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
IEB	IETB001 ~ IETB128								
	IERB001 ~ IERB128								
ADC	ADDRA								
				-	-	-	-	-	-
	ADDRB								
				-	-	-	-	-	-
	ADDRC								
				-	-	-	-	-	-
	ADDRD								
				-	-	-	-	-	-
	ADDRE								
				-	-	-	-	-	-
	ADDRF								
				-	-	-	-	-	-
ADDRG									
			-	-	-	-	-	-	
ADDRH									
			-	-	-	-	-	-	
ADCSR	ADF	ADIE	ADST	-	TRGS[3:0]				
	CKS[1:0]		MDS[2:0]			CH[2:0]			
DAC	DADR0								
	DADR1								
	DACR	DAOE1	DAOE0	DAE	-	-	-	-	-
FLCTL	FLCMNCR	-	-	-	-	-	-	ECCPOS[2]	4ECCCNTEN
		4ECCEN	4ECCCORRECT	-	-	-	SNAND	QTSEL	-
		FCKSEL	-	ECCPOS[1:0]		ACM[1:0]		NANDWF	-
		-	-	-	-	CE	-	-	TYPESEL
	FLCMDCR	ADRCNT2	SCTCNT[19:16]				ADRMD	CDSRC	DOSR
		-	-	SELRW	DOADR	ADRCNT[1:0]		DOCMD2	DOCMD1
		SCTCNT[15:8]							
SCTCNT[7:0]									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
FLCTL	FLCMCDR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	CMD2[7:0]									
	CMD1[7:0]									
	FLADR (ADRMD=1)	ADR4[7:0]								
		ADR3[7:0]								
		ADR2[7:0]								
		ADR1[7:0]								
	FLADR (ADRMD=0)	-	-	-	-	-	-	-	ADR[25:24]	
		ADR[23:16]								
		ADR[15:8]								
		ADR[7:0]								
	FLADR2	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		ADR5[7:0]								
	FLDTCNTR	ECFLW[7:0]								
		DTFLW[7:0]								
		-	-	-	-	DTCNT[11:8]				
		DTCNT[7:0]								
	FLDATAR	DT4[7:0]								
		DT3[7:0]								
		DT2[7:0]								
		DT1[7:0]								
	FLINTDMACR	-	-	-	-	-	-	-	4ECEINTE	ECERINTE
		-	-	FIFOTRG[1:0]			AC1CLR	AC0CLR	DREQ1EN	DREQ0EN
		-	-	-	-	-	-	-	ECERB	STERB
		BTOERB	TRREQF1	TRREQF0	STERINTE	RBERINTE	TEINTE	TRINTE1	TRINTE0	
	FLBSYTMR	-	-	-	-	-	-	-	-	-
		-	-	-	-	RBTMOUT[19:16]				
		RBTMOUT[15:8]								
		RBTMOUT[7:0]								
	FLBSYCNT	STAT[7:0]								
		-	-	-	-	RBTIMCNT[19:16]				
		RBTIMCNT[15:8]								
		RBTIMCNT[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
FLCTL	FLDTFIFO	DTFO[31:24]								
		DTFO[23:16]								
		DTFO[15:8]								
		DTFO[7:0]								
	FLECFIFO	ECFO[31:24]								
		ECFO[23:16]								
		ECFO[15:8]								
		ECFO[7:0]								
	FLTRCR	-	-	-	-	-	-	-	TREND	TRSTRT
	FL4ECCRES1	LOC1[9:8]								
		LOC1[7:0]								
		-	-	-	-	-	-	-	PAT1[9:8]	
		PAT1[7:0]								
	FL4ECCRES2	LOC2[9:8]								
		LOC2[7:0]								
		-	-	-	-	-	-	-	PAT2[9:8]	
		PAT2[7:0]								
	FL4ECCRES3	LOC3[9:8]								
		LOC3[7:0]								
		-	-	-	-	-	-	-	PAT3[9:8]	
		PAT3[7:0]								
	FL4ECCRES4	LOC4[9:8]								
		LOC4[7:0]								
		-	-	-	-	-	-	-	PAT4[9:8]	
		PAT4[7:0]								
	FL4ECCCR	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	4ECCFA	4ECCEND	4ECCXST
	FL4ECCCNT	ERRCNT[10:8]								
		ERRCNT[7:0]								
		-	-	-	-	-	-	-	-	-
		ERRMAX[2:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
USB	SYSCFG0	-	-	-	-	-	SCKE	-	-	
		HSE	DCFM	DRPD	DPRPU	-	-	-	USBE	
	SYSCFG1	-	-	-	-	-	-	-	-	
		HSE	-	DRPD	-	BWAIT[3:0]				
	SYSSTS0	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	LNST[1:0]		
	SYSSTS1	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	LNST[1:0]		
	DVSTCTR0	-	-	-	-	-	-	-	WKUP	
		RWUPE	USBRST	RESUME	UACT	-	RHST[2:0]			
	DVSTCTR1	-	-	-	-	-	-	-	-	
		RWUPE	USBRST	RESUME	UACT	-	RHST[2:0]			
	TESTMODE	-	-	-	-	-	-	-	-	
		-	-	-	-	UTST[3:0]				
	D0FBCFG	-	-	DFACC[1:0]		-	-	-	-	
		-	-	-	TENDE	-	-	-	-	
	D1FBCFG	-	-	DFACC[1:0]		-	-	-	-	
		-	-	-	TENDE	-	-	-	-	
	CFIFO	FIFOPORT[31:24]								
		FIFOPORT[23:16]								
		FIFOPORT[15:8]								
		FIFOPORT[7:0]								
	D0FIFO	FIFOPORT[31:24]								
		FIFOPORT[23:16]								
		FIFOPORT[15:8]								
		FIFOPORT[7:0]								
	D1FIFO	FIFOPORT[31:0]								
		FIFOPORT[23:16]								
		FIFOPORT[15:8]								
		FIFOPORT[7:0]								
	CFIFOSEL	RCNT	REW	-	-	MBW[1:0]		-	BIGEND	
		-	-	ISEL	-	CURPIPE[3:0]				
	CFIFOCTR	BVAL	BCLR	FRDY	-	DTLN[11:8]				
		DTLN[7:0]								
	D0FIFOSEL	RCNT	REW	DCLRM	DREQE	MBW[1:0]		-	BIGEND	
		-	-	-	-	CURPIPE[3:0]				

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB	D0FIFOCTR	BVAL	BCLR	FRDY	-	DTLN[11:8]			
		DTLN[7:0]							
	D1FIFOSEL	RCNT	REW	DCLRM	DREQE	MBW[1:0]		-	BIGEND
		CURPIPE[3:0]							
	D1FIFOCTR	BVAL	BCLR	FRDY	-	DTLN[11:8]			
		DTLN[7:0]							
	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE
		-	-	-	-	-	-	-	-
	INTENB1	-	BCHGE	-	DTCHE	ATTCHE	-	-	-
		-	EOFERRE	SIGNE	SACKE	-	-	-	-
	INTENB2	-	BCHGE	-	DTCHE	ATTCHE	-	-	-
		-	EOFERRE	-	-	-	-	-	-
	BRDYENB	-	-	-	-	-	-	PIPE9BRDYE	PIPE8BRDYE
		PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
	NRDYENB	-	-	-	-	-	-	PIPE9NRDYE	PIPE8NRDYE
		PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
	BEMPENB	-	-	-	-	-	-	PIPE9BEMPE	PIPE8BEMPE
		PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
	SOFCFG	-	-	-	-	-	-	-	TRNENSEL
		-	BRDYM	-	-	-	-	-	-
	INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY
		VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
	INTSTS1	-	BCHG	-	DTCH	ATTCH	-	-	-
		-	EOFERR	SIGN	SACK	-	-	-	-
	INTSTS2	-	BCHG	-	DTCH	ATTCH	-	-	-
		-	EOFERR	-	-	-	-	-	-
	BRDYSTS	-	-	-	-	-	-	PIPE9BRDY	PIPE8BRDY
		PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
	NRDYSTS	-	-	-	-	-	-	PIPE9NRDY	PIPE8NRDY
		PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
	BEMPSTS	-	-	-	-	-	-	PIPE9BEMP	PIPE8BEMP
		PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
	FRMNUM	OVRN	CRCE	-	-	-	FRNM[10:8]		
		FRNM[7:0]							
	UFRMNUM	-	-	-	-	-	-	-	-
		UFRNM[2:0]							

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
USB	USBADDR	-	-	-	-	-	-	-	-	
		-	USBADDR[6:0]							
	USBREQ	BREQUEST[7:0]								
		BMREQUESTTYPE[7:0]								
	USBVAL	WVALUE[15:8]								
		WVALUE[7:0]								
	USBINDX	WINDEX[15:8]								
		WINDEX[7:0]								
	USBLENG	WLENGTH[15:8]								
		WLENGTH[7:0]								
	DCPCFG	-	-	-	-	-	-	-	-	CNTMD
		SHTNAK	-	-	DIR	-	-	-	-	-
	DCPMAXP	DEVSEL[3:0]					-	-	-	-
		-	MXPS[6:0]							
	DCPCTR	BSTS	SUREQ	CSCLR	CSSTS	SUREQCLR	-	-	SQCLR	
		SQSET	SQMON	PBUSY	PINGE	-	CCPL	PID[1]	PID[0]	
	PIPESEL	-	-	-	-	-	-	-	-	
		-	-	-	-	PIPESEL[3:0]				
	PIPECFG	TYPE[1:0]			-	-	-	BFRE	DBLB	CNTMD
		SHTNAK	-	-	DIR	EPNUM[3:0]				
	PIPEBUF	-	BUFSIZE[4:0]					-	-	
		BUFNMB[7:0]								
	PIPEMAXP	DEVSEL[3:0]					-	MXPS[10:8]		
		MXPS[7:0]								
	PIPEPERI	-	-	-	IFIS	-	-	-	-	
		-	-	-	-	-	IITV[2:0]			
	PIPE1CTR	BSTS	INBUFM	CSCLR	CSSTS	-	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	-	-	-	PID[1:0]		
	PIPE2CTR	BSTS	INBUFM	CSCLR	CSSTS	-	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	-	-	-	PID[1:0]		
	PIPE3CTR	BSTS	INBUFM	CSCLR	CSSTS	-	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	-	-	-	PID[1:0]		
	PIPE4CTR	BSTS	INBUFM	CSCLR	CSSTS	-	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	-	-	-	PID[1:0]		
	PIPE5CTR	BSTS	INBUFM	CSCLR	CSSTS	-	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	-	-	-	PID[1:0]		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
USB	PIPE6CTR	BSTS	-	CSCLR	CSSTS	-	-	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	-	-	-	PID[1:0]		
	PIPE7CTR	BSTS	-	CSCLR	CSSTS	-	-	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	-	-	-	PID[1:0]		
	PIPE8CTR	BSTS	-	CSCLR	CSSTS	-	-	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	-	-	-	PID[1:0]		
	PIPE9CTR	BSTS	-	CSCLR	CSSTS	-	-	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	-	-	-	PID[1:0]		
	PIPE1TRE	-	-	-	-	-	-	TRENB	TRCLR	
		-	-	-	-	-	-	-	-	
	PIPE1TRN	TRNCNT[15:8]								
		TRNCNT[7:0]								
	PIPE2TRE	-	-	-	-	-	-	TRENB	TRCLR	
		-	-	-	-	-	-	-	-	
	PIPE2TRN	TRNCNT[15:8]								
		TRNCNT[7:0]								
	PIPE3TRE	-	-	-	-	-	-	TRENB	TRCLR	
		-	-	-	-	-	-	-	-	
	PIPE3TRN	TRNCNT[15:8]								
		TRNCNT[7:0]								
	PIPE4TRE	-	-	-	-	-	-	TRENB	TRCLR	
		-	-	-	-	-	-	-	-	
	PIPE4TRN	TRNCNT[15:8]								
		TRNCNT[7:0]								
	PIPE5TRE	-	-	-	-	-	-	TRENB	TRCLR	
		-	-	-	-	-	-	-	-	
	PIPE5TRN	TRNCNT[15:8]								
		TRNCNT[7:0]								
	USBACSWR0	-	UACS14	-	-	-	-	-	-	
		-	-	UACS5	-	-	-	-	-	
	USBACSWR1	-	-	-	-	-	UACS26	-	-	
		-	-	-	-	-	-	-	-	
	DEVADD0	-	UPPHUB[3:0]				HUBPORT[2:0]			
		USBSPD[1:0]		-	-	-	-	-	RTPORT	
	DEVADD1	-	UPPHUB[3:0]				HUBPORT[2:0]			
		USBSPD[1:0]		-	-	-	-	-	RTPORT	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
USB	DEVADD2	-			UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	RTPORT	
	DEVADD3	-			UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	RTPORT	
	DEVADD4	-			UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	RTPORT	
	DEVADD5	-			UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	RTPORT	
	DEVADD6	-			UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	RTPORT	
	DEVADD7	-			UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	RTPORT	
	DEVADD8	-			UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	RTPORT	
	DEVADD9	-			UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	RTPORT	
	DEVADDA	-			UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	RTPORT	
ATAPI	ATAPI_ CONTROL	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	DTCD	-
		RESET	M/S	-	UDMAEN	-	R/W	STOP	START	
	ATAPI_ STATUS	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	SWERR	
		IFERR	-	DEVTRM	DEVINT	TOUT	ERR	NEND	ACT	
	ATAPI_INT_ ENABLE	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	iSWERR	
		iIFERR	-	iDEVTRM	iDEVINT	iTOUT	iERR	iNEND	iACT	
	ATAPI_PIO_ TIMING	-	-	pSDCT						
		pSDPW				pSDST				
		-	-	pMDCT						
		pMDPW				pMDST				

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ATAPI	ATAPI_MULTI _TIMING	-	-	-	-	-	mSDCT			
		mSDCT			mSDPW					
		-	-	-	-	-	mMDCT			
		mMDCT			mMDPW					
	ATAPI_ULTRA _TIMING	-	-	-	-	-	-	-	-	uSDCT
		uSDCT			uSDRP					
		-	-	-	-	-	-	-	-	uMDCT
		uMDCT			uMDRP					
	ATAPI_DMA_ START_ADR	-	-	-	DSTA[28:24]					
					DSTA[23:16]					
					DSTA[15:8]					
					DSTA[7:2]			-	-	
	ATAPI_DMA_ TRANS_CNT	-	-	-	DTRC[28:24]					
					DTRC[23:16]					
					DTRC[15:8]					
					DTRC[7:1]					
	ATAPL_ CONTROL2	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	WORDSWAP	IFEN
	ATAPI_ SIG_ST	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	DDMARDY	DMARQ
ATAPL_BYTE_ SWAP	-	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	BYTESWAP	
2DG	GR_BLTPLY	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	SB_STEN	SA_STEN
	GR_MIXPLY	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	EXTEN	-	-	-	-	OUTEN

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
2DG	GR_DOSTAT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DISP_STAT[1:0]		SEHF_STAT[1:0]		-	-	DCHF_STAT[1:0]	
		SBHF_STAT[1:0]		SAHF_STAT[1:0]		-	-	SB_REND	SA_REND
	GR_IRSTAT	-	-	-	-	-	-	-	-
		-	IRQ_ASHFUL	IRQ_DHFUL	IRQ_SHFUL	-	-	-	-
		-	INT_VSYC	INT_UDFL	INT_FILD	-	-	-	INT_DEMPT
		-	INT_ASHFUL	INT_DHFUL	INT_SHFUL	-	-	-	INT_GR
	GR_INTMSK	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	MSK_VSYC	MSK_UDFL	MSK_FILD	-	-	-	MSK_DEMPT
		-	MSK_ASHFUL	MSK_DHFUL	MSK_SHFUL	-	-	-	MSK_GR
	GR_INTDIS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	DIS_VSYC	DIS_UDFL	DIS_FILD	-	-	-	DIS_DEMPT
		-	DIS_ASHFUL	DIS_DHFUL	DIS_SHFUL	-	-	-	DIS_GR
	GR_DMxAC	-	-	SZSEL2	SZSEL1	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	DM1_DSEL[1:0]		DM2_DSEL[1:0]		DM34_DSEL[1:0]	
		-	-	DM1_MSEL[1:0]		DM2_MSEL[1:0]		DM34_MSEL[1:0]	
	GR_SABSET	-	-	-	-	-	-	-	SSHIGH[8]
		SSHIGH[7:0]							
		-	-	-	-	-	-	-	SSWIDH[8]
		SSWIDH[7:0]							
	GR_DCSET	-	-	-	-	-	-	-	DCHIGH[8]
		DCHIGH[7:0]							
		-	-	-	-	-	-	-	DCWIDH[8]
		DCWIDH[7:0]							
	MGR_SESET	-	-	-	-	-	-	-	SEHIGH[8]
		SEHIGH[7:0]							
		-	-	-	-	-	-	-	SEWIDH[8]
		SEWIDH[7:0]							
	GR_PIXLFMT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	SE_FMT
		-	-	-	-	-	-	-	DC_FMT
		-	-	SB_FMT[1:0]		-	-	-	SA_FMT

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
2DG	GR_BLTMODE	-	-	-	-	-	-	-	-		
		-	-	-	-	-	-	-	-		
		-	-	-	-	-	-	CRKEY[1:0]			
		-	-	LGTYPE[1:0]		SBSEL[1:0]		BTYPE[1:0]			
	GR_RISZSET	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	PREON	-	-	EDGE[1:0]			
		-	-	-	-	-	-	-	-	BRSIZ	
	GR_RISZMOD	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	A1_H	-	H1_MTHD	
		-	-	-	-	-	-	A1_V	-	V1_MTHD	
	GR_DELT	-	-	VDLT_INTGR[1:0]		VDLT_DCML[11:8]					
		VDLT_DCML[7:0]									
		-	-	HDLT_INTGR[1:0]		HDLT_DCML[11:8]					
		HDLT_DCML[7:0]									
	GR_HSPHAS	-	-	-	-	H1PHS_DCML[11:8]					
		H1PHS_DCML[7:0]									
		-	-	-	-	-	-	-	-	H1PHS_INTGR[9:8]	
		H1PHS_INTGR[7:0]									
	GR_VSPHAS	-	-	-	-	V1PHS_DCML[11:8]					
		V1PHS_DCML[7:0]									
		-	-	-	-	-	-	-	-	V1PHS_INTGR[8]	
		V1PHS_INTGR[7:0]									
	MGR_HDELT	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		MHDLT_INTGR[3:0]					MHDLT_DCML[11:8]				
		MHDLT_DCML[7:0]									
	MGR_HPHAS	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	MH1PHS_DCML[11:8]					
		MH1PHS_DCML[7:0]									
	GR_LGDAT	-	-	-	-	LGDAT_A[3:0]					
		-	-	-	LGDAT_R[4:0]						
		-	-	-	LGDAT_G[4:0]						
		-	-	-	LGDAT_B[4:0]						

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
2DG	GR_DETCOL	-	-	-	-	-	-	-	-		
		-	-	-	DETC_R[4:0]						
		-	-	-	DETC_G[4:0]						
		-	-	-	DETC_B[4:0]						
	GR_BRDCOL	-	-	-	-	BRDC_A[3:0]					
		-	-	-	BRDC_R[4:0]						
		-	-	-	BRDC_G[4:0]						
		-	-	-	BRDC_B[4:0]						
	GR_BRD1CNT	-	-	-	-	-	-	-	-	-	
		-	-	-	-	AFTER_A[3:0]					
		-	-	-	-	-	-	FBFA[1:0]		-	
		-	-	-	GALFA	-	-	-	-	GCOLR	
	MGR_MIXMODE	-	-	-	NTSC	-	-	-	-	-	
		CHG_A[3:0]					-	FCFD[2:0]			
		-	-	-	MVON	-	-	-	-	CBCR	
		-	-	-	-	-	-	-	-	VLD_N	
	MGR_MIXHTMG	-	-	-	-	-	-	-	-	-	
		-	-	WPH[5:0]						-	-
		-	-	-	-	-	-	-	-	PDPH[8]	
		PDPH[7:0]									
	MGR_MIXHS	-	-	-	-	-	-	-	-	ALLPH[9:8]	
		ALLPH[7:0]									
		-	-	-	-	-	-	-	-	VLDPH[9:8]	
		VLDPH[7:0]									
	MGR_MIXVTMG	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		WPV[3:0]					-	-	-	PDPV[8]	
		PDPV[7:0]									
	MGR_MIXVS	-	-	-	-	-	-	-	-	ALLPV[8]	
		ALLPV[7:0]									
		-	-	-	-	-	-	-	-	VLDPV[8]	
		VLDPV[7:0]									
	GR_VSDLY	-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	VSDLY[9:8]	
		VSDLY[7:0]									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
2DG	VDAC_TMG	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	edgesel	
AESOP	SWRSR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	SWRST	
	RPRSR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	RPRST	
	DMACR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	TRANDOCTL	TRANICTL	
		-	-	-	-	-	-	DMAOMD	DMAIMD	
	DMADI	DMADI[31:24]								
		DMADI[23:16]								
		DMADI[15:8]								
		DMADI[7:0]								
	DMADO	DMADO[31:24]								
		DMADO[23:16]								
		DMADO[15:8]								
		DMADO[7:0]								
	EVMSR	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	EVMNPRO
		-	EVMFRAM	-	-	-	-	-	EVMDO	EVM DI
	EVCLR	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	EVCNPRO
		-	EVCFRAM	-	-	-	-	-	EVCDO	EVC DI
	MBOTR									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
AESOP	BACCR									
	ACESR									
	ADIFR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	REV	
		-	-	SFB[5:0]						
		-	BR[2:0]			SF[3:0]				
	TBRSR									
	HEADR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	HEADSEL	
	ADTSR	ADTSDAT[19:12]								
		ADTSDAT[11:4]								
		ADTSDAT[3:0]			-	-	-	-		
		-	-	-	ADTSLEN[4:0]					
	MSS1R									
	MSS2R									
	QLMDR									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
AESOP	QCHAR									
	QGGAR									
	SDTRR									
	SDFOR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	PUSH	
	SDBTR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		PUSHBYTE[15:8]								
		PUSHBYTE[7:0]								
	FBYTR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		DOBYTE[15:8]								
		DOBYTE[7:0]								
	PFC	PAIORL	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR
			PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR
		PACRL4	PA15MD[3:0]					PA14MD[3:0]		
PA13MD[3:0]					PA12MD[3:0]					
PACRL3		PA11MD[3:0]					PA10MD[3:0]			
		PA9MD[3:0]					PA8MD[3:0]			
PACRL2		PA7MD[3:0]					PA6MD[3:0]			
		PA5MD[3:0]					PA4MD[3:0]			
PACRL1		PA3MD[3:0]					PA2MD[3:0]			
		PA1MD[3:0]					PA0MD[3:0]			
PBIORH		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	PB18IOR	PB17IOR	PB16IOR

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
PFC	PBIORL	PB15IOR	PB14IOR	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR	
		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR	
	PBCRH2	-	-	-	-	-	-	-	-	
		-	-	-	-	PB18MD[3:0]				
	PBCRH1	-	-	-	-	-	-	-	-	
		PB17MD[3:0]				PB16MD[3:0]				
	PBCRL4	PB15MD[3:0]			PB14MD[3:0]					
		PB13MD[3:0]			PB12MD[3:0]					
	PBCRL3	PB11MD[3:0]			PB10MD[3:0]					
		PB9MD[3:0]			PB8MD[3:0]					
	PBCRL2	PB7MD[3:0]			PB6MD[3:0]					
		PB5MD[3:0]			PB4MD[3:0]					
	PBCRL1	PB3MD[3:0]			PB2MD[3:0]					
		PB1MD[3:0]			PB0MD[3:0]					
	PCIORL	-	-	-	-	-	PC10IOR	PC9IOR	PC8IOR	
		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR	
	PCCRL3	-	-	-	-	PC10MD[3:0]				
		PC9MD[3:0]				PC8MD[3:0]				
	PCCRL2	PC7MD[3:0]				PC6MD[3:0]				
		PC5MD[3:0]				PC4MD[3:0]				
	PCCRL1	PC3MD[3:0]				PC2MD[3:0]				
		PC1MD[3:0]				PC0MD[3:0]				
	PDIORL	-	-	-	-	-	-	-	-	
		-	-	-	-	-	PD2IOR	PD1IOR	PD0IOR	
	PDCRL1	-	-	-	-	PD2MD[3:0]				
		PD1MD[3:0]				PD0MD[3:0]				
	PEIORL	-	-	PE13IOR	-	PE11IOR	-	PE9IOR	-	
		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR	
	PECRL4	-	-	-	-	-	-	-	-	
		PE13MD[3:0]				PE12MD[3:0]				
	PECRL3	PE11MD[3:0]				PE10MD[3:0]				
		PE9MD[3:0]				PE8MD[3:0]				
	PECRL2	PE7MD[3:0]				PE6MD[3:0]				
		PE5MD[3:0]				PE4MD[3:0]				
	PECRL1	PE3MD[3:0]				PE2MD[3:0]				
		PE1MD[3:0]				PE0MD[3:0]				

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
PFC	PFIORL	-	-	-	-	-	-	-	-	
		-	-	-	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR	
	PFCRL2	-	-	-	-	-	-	-	-	
		-	-	-	-	PF4MD[3:0]				
	PFCRL1	PF3MD[3:0]				PF2MD[3:0]				
		PF1MD[3:0]				PF0MD[3:0]				
	PGCRL2	PG7MD[3:0]				PG6MD[3:0]				
		PG5MD[3:0]				PG4MD[3:0]				
	PGCRL1	PG3MD[3:0]				PG2MD[3:0]				
		PG1MD[3:0]				PG0MD[3:0]				
	PHIORL	PH15IOR	PH14IOR	PH13IOR	PH12IOR	PH11IOR	PH10IOR	PH9IOR	PH8IOR	
		PH7IOR	PH6IOR	PH5IOR	PH4IOR	PH3IOR	PH2IOR	PH1IOR	PH0IOR	
	PHCRL4	PH15MD[3:0]				PH14MD[3:0]				
		PH13MD[3:0]				PH12MD[3:0]				
	PHCRL3	PH11MD[3:0]				PH10MD[3:0]				
		PH9MD[3:0]				PH8MD[3:0]				
	PHCRL2	PH7MD[3:0]				PH6MD[3:0]				
		PH5MD[3:0]				PH4MD[3:0]				
	PHCRL1	PH3MD[3:0]				PH2MD[3:0]				
		PH1MD[3:0]				PH0MD[3:0]				
	PJIORL	-	-	-	PJ12IOR	PJ11IOR	PJ10IOR	PJ9IOR	PJ8IOR	
		PJ7IOR	PJ6IOR	PJ5IOR	PJ4IOR	PJ3IOR	PJ2IOR	PJ1IOR	PJ0IOR	
	PJCRL4	-	-	-	-	-	-	-	-	
		-	-	-	-	PJ12MD[3:0]				
	PJCRL3	PJ11MD[3:0]				PJ10MD[3:0]				
		PJ9MD[3:0]				PJ8MD[3:0]				
	PJCRL2	PJ7MD[3:0]				PJ6MD[3:0]				
		PJ5MD[3:0]				PJ4MD[3:0]				
	PJCRL1	PJ3MD[3:0]				PJ2MD[3:0]				
		PJ1MD[3:0]				PJ0MD[3:0]				
	PKIORL	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	PK11IOR	PK0IOR	
	PKCRL1	-	-	-	-	-	-	-	-	
		PK1MD[3:0]				PK0MD[3:0]				

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
I/O ポート	PADRL	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR	
		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
	PAPRL	PA15PR	PA14PR	PA13PR	PA12PR	PA11PR	PA10PR	PA9PR	PA8PR	
		PA7PR	PA6PR	PA5PR	PA4PR	PA3PR	PA2PR	PA1PR	PA0PR	
	PBDRH	-	-	-	-	-	-	-	-	
		-	-	-	-	-	PB18DR	PB17DR	PB16DR	
	PBDRL	PB15DR	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR	
		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
	PBPRH	-	-	-	-	-	-	-	-	
		-	-	-	-	-	PB18PR	PB17PR	PB16PR	
	PBPRL	PB15PR	PB14PR	PB13PR	PB12PR	PB11PR	PB10PR	PB9PR	PB8PR	
		PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	PB0PR	
	PCDRL	-	-	-	-	-	-	PC10DR	PC9DR	PC8DR
		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
	PCPRL	-	-	-	-	-	-	PC10PR	PC9PR	PC8PR
		PC7PR	PC6PR	PC5PR	PC4PR	PC3PR	PC2PR	PC1PR	PC0PR	
	PDDRL	-	-	-	-	-	-	-	-	
		-	-	-	-	-	PD2DR	PD1DR	PD0DR	
	PDPRL	-	-	-	-	-	-	-	-	
		-	-	-	-	-	PD2PR	PD1PR	PD0PR	
	PEDRL	-	-	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	
		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
	PEPRL	-	-	PE13PR	PE12PR	PE11PR	PE10PR	PE9PR	PE8PR	
		PE7PR	PE6PR	PE5PR	PE4PR	PE3PR	PE2PR	PE1PR	PE0PR	
	PFDRL	-	-	-	-	-	-	-	-	
		-	-	-	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
	PFPRL	-	-	-	-	-	-	-	-	
		-	-	-	PF4PR	PF3PR	PF2PR	PF1PR	PF0PR	
	PGDRL	-	-	-	-	-	-	-	-	
		PG7DR	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR	
	PHDRL	PH15DR	PH14DR	PH13DR	PH12DR	PH11DR	PH10DR	PH9DR	PH8DR	
		PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
	PHPRL	PH15PR	PH14PR	PH13PR	PH12PR	PH11PR	PH10PR	PH9PR	PH8PR	
		PH7PR	PH6PR	PH5PR	PH4PR	PH3PR	PH2PR	PH1PR	PH0PR	
	PJDRL	-	-	-	PJ12DR	PJ11DR	PJ10DR	PJ9DR	PJ8DR	
		PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
I/O ポート	PJPRL	-	-	-	PJ12PR	PJ11PR	PJ10PR	PJ9PR	PJ8PR	
		PJ7PR	PJ6PR	PJ5PR	PJ4PR	PJ3PR	PJ2PR	PJ1PR	PJ0PR	
	PKDRL	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	PK1DR	PK0DR	
	PKPRL	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	PK1PR	PK0PR	
低消費電力 モード	STBCR1	STBY	DEEP	SLPERE	AXTALE	-	-	-	-	
	STBCR2	MSTP27	-	-	MSTP24	MSTP23	MSTP22	MSTP21	-	
	STBCR3	MSTP37	MSTP36	MSTP35	MSTP34	MSTP33	MSTP32	MSTP31	MSTP30	
	STBCR4	MSTP47	MSTP46	MSTP45	MSTP44	MSTP43	MSTP42	-	-	
	STBCR5	MSTP57	MSTP56	MSTP55	MSTP54	MSTP53	MSTP52	-	-	
	STBCR6	MSTP67	MSTP66	MSTP65	MSTP64	MSTP63	MSTP62	-	-	
	STBCR7	MSTP77	MSTP76	MSTP75	MSTP74	MSTP73	MSTP72	MSTP71	MSTP70	
	SYSCR1	-	-	-	-	RAME3	RAME2	RAME1	RAME0	
	SYSCR2	-	-	-	-	RAMWE3	RAMWE2	RAMWE1	RAMWE0	
	SYSCR3	-	-	-	-	RAME3	RAME2	RAME1	RAME0	
	SYSCR4	-	-	-	-	RAMWE3	RAMWE2	RAMWE1	RAMWE0	
	SYSCR5	-	-	-	-	RAME3	RAME2	RAME1	RAME0	
	SYSCR6	-	-	-	-	RAMWE3	RAMWE2	RAMWE1	RAMWE0	
	SYSCR7	-	-	-	-	-	-	RAME1	RAME0	
	SYSCR8	-	-	-	-	-	-	RAMWE1	RAMWE0	
	SYSCR9	-	-	-	-	-	-	RAME1	RAME0	
	SYSCR10	-	-	-	-	-	-	RAMWE1	RAMWE0	
	SYSCR11	-	-	-	-	-	-	RAME1	RAME0	
	SYSCR12	-	-	-	-	-	-	RAMWE1	RAMWE0	
	SWRSTCR	-	IEBSRST	SSIF5SRST	SSIF4SRST	SSIF3SRST	SSIF2SRST	SSIF1SRST	SSIF0SRST	
	HIZCR	-	-	-	-	-	-	HIZ	HIZBSC	
	COMSR	-	-	-	-	-	-	-	SLEEP	
	C1MSR	-	-	-	-	-	-	-	SLEEP	
	RRAMKP	-	-	-	-	-	RRAMKP3	RRAMKP2	RRAMKP1	RRAMKP0
	DSCTR	CS0KEEPE	RAMBOOT	-	-	-	-	-	-	
	DSSSR	-	-	-	-	-	-	-	MRES	
		IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0	
	DSFR	IOKEEP	-	-	-	-	-	MRESF	NMIF	
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
	H-UDI	SDIR	T[7:0]							
			-	-	-	-	-	-	-	-

35.3 各動作モードにおけるレジスタの状態の一覧

モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
マルチコア プロセッサ	全レジスタ	初期化	保持	初期化	保持	-	保持
CPG	FRQCR0	初期化 ^{*1}	保持	初期化	保持	-	保持
	FRQCR1	初期化 ^{*1}	保持	初期化	保持	-	保持
INTC	IBNR	初期化	保持 ^{*2}	初期化	保持	-	保持
	上記以外の 全レジスタ	初期化	保持	初期化	保持	-	保持
UBC	全レジスタ	初期化	保持	初期化	保持	保持	保持
キャッシュ	全レジスタ	初期化	保持	初期化	保持	-	保持
BSC	全レジスタ	初期化	保持	初期化	保持	-	保持
DMAC	全レジスタ	初期化	保持	初期化	保持	-	保持
MTU2	全レジスタ	初期化	保持	初期化	保持	初期化	保持
CMT	全レジスタ	初期化	保持	初期化	初期化	保持	保持
WDT	WTCSR0	初期化	初期化	初期化	保持	-	保持
	WTCNT0	初期化	初期化	初期化	保持	-	保持
	WRCSR0	初期化 ^{*1}	保持	初期化	保持	-	保持
	WTCSR1	初期化	初期化	初期化	保持	-	保持
	WTCNT1	初期化	初期化	初期化	保持	-	保持
	WRCSR1	初期化 ^{*1}	保持	初期化	保持	-	保持
RTC	R64CNT	保持 ^{*3}	保持 ^{*3}	保持 ^{*3}	保持 ^{*3}	保持	保持 ^{*3}
	RSECCNT						
	RMINCNT						
	RHRCNT						
	RWKCNT						
	RDAYCNT						
	RMONCNT						
	RYRCNT						
	RSECAR	初期化	保持	初期化	保持	保持	保持
	RMINAR						
	RHRAR						
	RWKAR						
	RDAYAR						
	RMONAR						

モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
RTC	RYRAR						
	RCR1	初期化	初期化	初期化	保持	保持	保持
	RCR2	初期化	初期化 ^{*4}	初期化	保持	保持	保持
	RCR3	初期化	保持	初期化	保持	保持	保持
SCIF	全レジスタ	初期化	保持	初期化	保持	保持	保持
SSU	全レジスタ	初期化	保持	初期化	初期化	初期化	保持
IIC3	ICMR_0 ~ 3	初期化	保持	初期化	保持 ^{*5}	保持 ^{*5}	保持
	上記以外の 全レジスタ	初期化	保持	初期化	保持	保持	保持
SSIF	全レジスタ	初期化	保持	初期化	保持	保持	保持
RCAN-TL1	全レジスタ	初期化	保持	初期化	保持	保持	保持
IEB	全レジスタ	初期化	保持	初期化	保持	保持	保持
ADC	全レジスタ	初期化	保持	初期化	初期化	初期化	保持
DAC	全レジスタ	初期化	保持	初期化	保持	初期化	保持
FLCTL	全レジスタ	初期化	保持	初期化	保持	保持	保持
USB	全レジスタ	初期化	保持	初期化	保持	保持	保持
ATAPI	全レジスタ	初期化	保持	初期化	保持	保持	保持
2DG	全レジスタ	初期化	保持	初期化	保持	保持	保持
AESOP	全レジスタ	初期化	保持	初期化	保持	保持	保持
PFC	PBCRH2	初期化 ^{*1}	保持	初期化	保持	-	保持
	全レジスタ	初期化	保持	初期化	保持	-	保持
I/O ポート	全レジスタ	初期化 ^{*6}	保持	初期化	保持	-	保持
低消費電力 モード	STBCR1	初期化	保持	初期化	保持	-	保持
	STBCR2	初期化	保持	初期化	保持	-	保持
	STBCR3	初期化	保持	初期化	保持	-	保持
	STBCR4	初期化	保持	初期化	保持	-	保持
	STBCR5	初期化	保持	初期化	保持	-	保持
	STBCR6	初期化	保持	初期化	保持	-	保持
	STBCR7	初期化	保持	初期化	保持	-	保持
	CSTBCR1	初期化	保持	初期化	保持	-	保持
	SYSCR1	初期化	保持	初期化	保持	-	保持
	SYSCR2	初期化	保持	初期化	保持	-	保持
	SYSCR3	初期化	保持	初期化	保持	-	保持
	SYSCR4	初期化	保持	初期化	保持	-	保持

モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
低消費電力 モード	SYSCR5	初期化	保持	初期化	保持	-	保持
	SYSCR6	初期化	保持	初期化	保持	-	保持
	SYSCR7	初期化	保持	初期化	保持	-	保持
	SYSCR8	初期化	保持	初期化	保持	-	保持
	SYSCR9	初期化	保持	初期化	保持	-	保持
	SYSCR10	初期化	保持	初期化	保持	-	保持
	SYSCR11	初期化	保持	初期化	保持	-	保持
	SYSCR12	初期化	保持	初期化	保持	-	保持
	SWRSTCR	初期化	保持	初期化	保持	-	保持
	HIZCR	初期化	保持	初期化	保持	-	保持
	C0MSR	初期化	初期化	初期化	初期化	-	初期化
	C1MSR	初期化	初期化	初期化	初期化	-	初期化
	RRAMKP	初期化	保持	初期化	保持	-	保持
	DSCTR	初期化	保持	初期化	保持	-	保持
	DSSSR	初期化	保持	初期化	保持	-	保持
DSFR	初期化	保持	保持	保持	-	保持	
H-UDI ^{*7}	SDIR	保持	保持	初期化	保持	保持	保持

【注】 *1 WDT による内部パワーオンリセットでは前の値を保持

*2 BN[3:0]ビットは初期化

*3 カウントアップ続行

*4 RTCEN、START ビットは保持

*5 BC[2:0]ビットは初期化

*6 PGDRL およびポートレジスタは端子状態読み出し用のため初期化も保持もなし

*7 TRST のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化

36. 電気的特性

36.1 絶対最大定格

表 36.1 絶対最大定格

項 目	記号	定格値	単位	
電源電圧 (I/O)	PVcc	- 0.3 ~ 4.6	V	
電源電圧 (内部)	Vcc	- 0.3 ~ 1.7	V	
PLL 電源電圧	PLLVcc	- 0.3 ~ 1.7	V	
アナログ電源電圧	AVcc	- 0.3 ~ 4.6	V	
アナログ基準電圧	AVref	- 0.3 ~ AVcc + 0.3	V	
USB トランシーバ部アナログ電源電圧 (I/O)	USBAPVcc	- 0.3 ~ 4.6	V	
USB トランシーバ部アナログ電源電圧 (内部)	USBVcc	- 0.3 ~ 1.7	V	
USB トランシーバ部デジタル電源電圧 (内部)	USBDVcc	- 0.3 ~ 1.7	V	
2DG DAC 部アナログ電源電圧 0	2DGAPVcc0	- 0.3 ~ 4.6	V	
2DG DAC 部アナログ電源電圧 1	2DGAPVcc1	- 0.3 ~ 4.6	V	
入力電圧	アナログ入力端子	V _{AN}	- 0.3 ~ AVcc + 0.3	V
	VBUS	V _{in}	- 0.3 ~ 5.5	V
	その他の入力端子	V _{in}	- 0.3 ~ PVcc + 0.3	V
動作温度	T _{opr}	- 40 ~ 85		
保存温度	T _{stg}	- 55 ~ 125		

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

36.2 電源投入・切断シーケンス

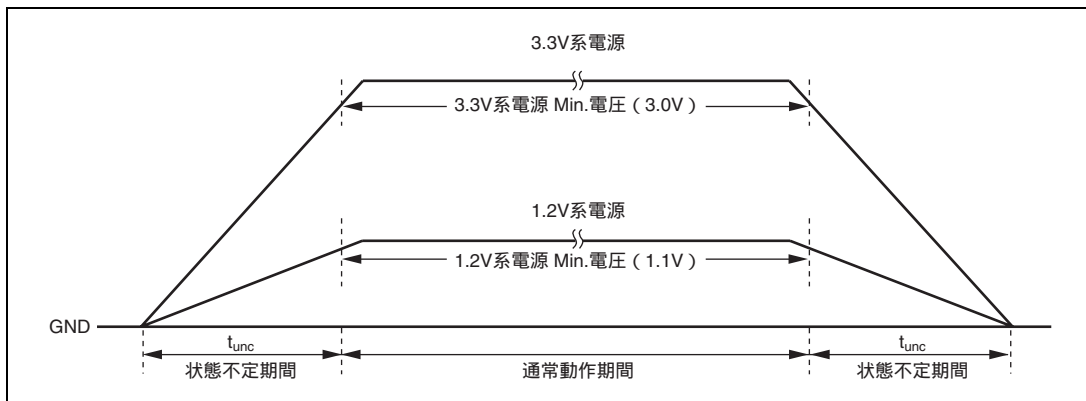


図 36.1 電源投入・切断シーケンス

表 36.2 電源投入・切断時間

項目	記号	Min.	Max.	単位
状態不定時間	t_{unc}	-	100	ms

【注】 1.2V系電源 (V_{cc} 、 $PLL_{V_{cc}}$ 、 $USBA_{V_{cc}}$ 、 $USBD_{V_{cc}}$)と3.3V系電源 (PV_{cc} 、 AV_{cc} 、 $USBAPV_{cc}$ 、 $2DGAPV_{cc0}$ 、 $2DGAPV_{cc1}$)は、できる限り同時に投入および遮断してください。電源投入開始から両方の電源がMin.電圧以上に到達するまで、およびどちらかの電源がMin.電圧以下になってから電圧が0Vになるまでの期間は、状態不定期間となります。この期間は出力端子および入出力端子の端子状態、および内部状態が不定となりますので、この期間ができる限り短くなるように電源回路の設計を行ってください。また、この不定状態によってシステム全体が誤動作を引き起こさないようにシステム設計を行ってください。

36.3 DC 特性

表 36.3 DC 特性 (1) 【共通項目】

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$, $USBV_{cc} = 1.1 \sim 1.3V$, $PV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $USBAPV_{cc} = 3.0 \sim 3.6V$,
 $2DGAPV_{cc0} = 3.0 \sim 3.6V$, $2DGAPV_{cc1} = 3.0 \sim 3.6V$, $V_{ss} = PLLV_{ss} = USBV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$,
 $T_a = -40 \sim 85$

項 目		記号	Min.	Typ.	Max.	単位	測定条件	
電源電圧		PV _{cc}	3.0	3.3	3.6	V		
		V _{cc}	1.1	1.2	1.3	V		
PLL 電源電圧		PLL _{Vcc}	1.1	1.2	1.3	V		
アナログ電源電圧		AV _{cc}	3.0	3.3	3.6	V		
USB 電源電圧		USBAP _{Vcc}	3.0	3.3	3.6	V		
		USB _{AVcc}	1.1	1.2	1.3	V		
		USB _{DVcc}						
2DG DAC 部電源電圧		2DGAP _{Vcc0}	3.0	3.3	3.6	V		
		2DGAP _{Vcc1}	3.0	3.3	3.6	V		
消費電流*1	通常動作時	I _{cc} *2	-	380	500	mA	V _{cc} = 1.2V	
		USB ハイス ピード非動作 時	PI _{cc} *3	-	110	-	mA	I ₀ = 200.00MHz I ₁ = 200.00MHz
				-	210	-	mA	B = 66.66MHz P = 33.33MHz
	デュアルスリープモード時		I _{sleep} *2	-	270	450	mA	V _{cc} = 1.2V I ₀ = 200.00MHz I ₁ = 200.00MHz B = 66.66MHz P = 33.33MHz
	ソフトウェアスタンバイ モード時		I _{stby} *2	-	30	150	mA	T _a > 50 V _{cc} = 1.2V
				-	10	50	mA	T _a 50 V _{cc} = 1.2V

項 目		記号	Min.	Typ.	Max.	単位	測定条件
消費電流* ¹	ディープスタンバイ モード時	I _{dstby} * ²	-	5	30	μA	T _a > 50 1.2V 系電源* ⁴ = 1.2V RAM 0KB 保持
			-	23	130	μA	T _a > 50 1.2V 系電源* ⁴ = 1.2V RAM 4KB 保持
			-	41	230	μA	T _a > 50 1.2V 系電源* ⁴ = 1.2V RAM 8KB 保持
			-	59	330	μA	T _a > 50 1.2V 系電源* ⁴ = 1.2V RAM 12KB 保持
			-	77	430	μA	T _a > 50 1.2V 系電源* ⁴ = 1.2V RAM 16KB 保持
			-	9	58	μA	T _a > 50 3.3V 系電源* ⁵ = 3.3V
			-	11	12	μA	T _a > 50 VBUS = 5.0V
			-	2	10	μA	T _a 50 1.2V 系電源* ⁴ = 1.2V RAM 0KB 保持
			-	12	32	μA	T _a 50 1.2V 系電源* ⁴ = 1.2V RAM 4KB 保持
			-	22	54	μA	T _a 50 1.2V 系電源* ⁴ = 1.2V RAM 8KB 保持

項目	記号	Min.	Typ.	Max.	単位	測定条件	
消費電流* ¹	ディープスタンバイ モード時	I _{dstby} * ²	-	32	76	μA	T _a 50 1.2V 系電源* ⁴ = 1.2V RAM 12KB 保持
			-	42	98	μA	T _a 50 1.2V 系電源* ⁴ = 1.2V RAM 16KB 保持
			-	5	26	μA	T _a 50 3.3V 系電源* ⁵ = 3.3V
			-	11	12	μA	T _a 50 VBUS = 5.0V
入力リーク電流	全入力端子	I _{in}	-	-	1.0	μA	V _{in} = 0.5 ~ PV _{CC} - 0.5V
スリープステート リーク電流	全入出力、出力端子 (PE13 ~ PE8、PF1、PF0 およびウィークキーパ端 子除く) (オフ状態)	I _{STI}	-	-	1.0	μA	V _{in} = 0.5 ~ PV _{CC} - 0.5V
	PE13 ~ PE8、PF1、PF0		-	-	10	μA	
端子容量	全端子	C _{in}	-	-	20	pF	
アナログ電源 電流	A/D、D/A 変換中	I _{lcc}	-	0.7	4	mA	
	A/D、D/A 変換待機時		-	0.8	3	μA	
アナログ基準電 圧電流	A/D、D/A 変換中	I _{iref}	-	1.2	4	mA	
	A/D、D/A 変換待機時		-	0.5	2	mA	
USB 電源電流	USBAV _{CC} + USBDV _{CC}	I _{USBCC}	-	15	20	mA	USBAV _{CC} = USB DV _{CC} = 1.2V
	USBAPV _{CC}	I _{USBPCC}	-	3	7	mA	USBAPV _{CC} = 3.3V
2DG DAC 電源 電流	2DGAPV _{CC0} + 2DGAPV _{CC1}	I _{2DGPCC}	-	20	-	mA	2DGAPV _{CC0} = 2DGAPV _{CC1} = 3.3V RL=180

【使用上の注意】 A/D 変換器および D/A 変換器を使用しないときに、AV_{CC}、AV_{SS} 端子を開放しないでください。

【注】 *1 消費電流は、すべての出力端子およびプルアップ付き端子を無負荷状態にした場合の値です。

*2 I_{CC}、I_{sleep}、I_{stby}、I_{dstby} は、V_{CC}、PLL_{VCC} 系統で消費する電流の合計値です。

*3 I_{lcc} は、すべての出力端子を無負荷状態および入力端子を固定した場合の PV_{CC} の電流値 (参考値) です。実際の動作電流はシステムに大きく依存します (IO の負荷による波形なまり、トグル頻度等) ので、必ずシステムでの

実測を行ってください。

*4 I_{dstby} の 1.2V 系電流は、 V_{cc} 、 PLL_{Vcc} 、 $USBA_{Vcc}$ 、 $USBD_{Vcc}$ で消費する電流の合計値です。

*5 I_{dstby} の 3.3V 系電流は、 PV_{cc} 、 AV_{cc} 、 $USBAP_{Vcc}$ 、 $2DGAP_{Vcc0}$ 、 $2DGAP_{Vcc1}$ で消費する電流の合計値です。

表 36.3 DC 特性 (2) 【 $I^{\circ}C$ 、USB 関連端子を除く】

条件 : $V_{cc} = PLL_{Vcc} = 1.1 \sim 1.3V$ 、 $USBD_{Vcc} = 1.1 \sim 1.3V$ 、 $USBA_{Vcc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAP_{Vcc} = 3.0 \sim 3.6V$ 、 $2DGAP_{Vcc0} = 3.0 \sim 3.6V$ 、 $2DGAP_{Vcc1} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLL_{Vss} = USBA_{Vss} = AV_{ss} = USBAP_{Vss} = 2DGAP_{Vss0} = 2DGAP_{Vss1} = 0V$ 、

$T_a = -40 \sim 85$

項 目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル 電圧	RES、MRES、NMI、MD、 MD_CLK1、MD_CLK0、 ASEMD、TRST、 EXTAL、CKIO、 AUDIO_X1、RTC_X1	$PV_{cc} - 0.5$	-	$PV_{cc} + 0.3$	V	
	PG7 ~ PG0	2.2	-	$AV_{cc} + 0.3$	V	
	その他の入力端子 (シュミット端子除く)	2.2	-	$PV_{cc} + 0.3$	V	
入力ローレベル 電圧	RES、MRES、NMI、MD、 MD_CLK1、MD_CLK0、 ASEMD、TRST、 EXTAL、CKIO、 AUDIO_X1、RTC_X1	- 0.3	-	0.5	V	
	その他の入力端子 (シュミット端子除く)	- 0.3	-	0.8	V	
シュミットトリガ 入力特性	IRQ7 ~ IRQ0、 PINT7 ~ PINT0、 DREQ3 ~ DREQ0、 TIOC0A ~ TIOC0D、 TIOC1A、TIOC1B、 TIOC2A、TIOC2B、 TIOC3A ~ TIOC3D、 TIOC4A ~ TIOC4D、 TCLKA ~ TCLKD、 SCK5、SCK2、 SCK1、SCK0、 RxD5 ~ RxD0、 $\overline{CTS0}$ 、 $\overline{RTS0}$ 、 SSCK1、SSCK0、 SSI1、SSI0、 SSO1、SSO0、 SCS1、 $\overline{SCS0}$ 、 SSIDATA5 ~ SSIDATA0、	V_{T^+}	$PV_{cc} - 0.5$	-	-	V
		V_{T^-}	-	-	0.5	V
		$V_{T^+} - V_{T^-}$	0.2	-	-	V

項目	記号	Min.	Typ.	Max.	単位	測定条件	
シュミットトリガ 入力特性	SSISCK5 ~ SSISCK0、 V_{T^+}	PV _{CC} - 0.5	-	-	V		
	SSIWS5 ~ SSIWS0、 V_{T^-}	-	-	0.5	V		
	AUDIO_CLK、 CRx1、CRx0、 IERxD、 \overline{ADTRG} 、 FRB、NAF7 ~ NAF0、 SD_CMD、 SD_D3 ~ SD_D0、 SD_CD、SD_WP、 PB2、PB8、PC15 ~ PC0、 PD2 ~ PD0、PE7 ~ PE0、 PG3 ~ PG0、PJ3 ~ PJ0、 PH15 ~ PH0 $V_{T^+} - V_{T^-}$	0.2	-	-	V		
出力ハイレベル電圧	V _{OH}	PV _{CC} - 0.5	-	-	V	I _{OH} = - 2mA	
出力ローレベル電圧	V _{OL}	-	-	0.4	V	I _{OL} = 1.6mA	
RAM スタンバイ電 圧	ソフトウェアスタンバ イモード時（高速内蔵 RAM および保持用内蔵 RAM）	V _{RAMS}	0.75	-	-	V	V _{CC} (= PLLV _{CC}) をパラメータ として測定
	ディープスタンバイモ ード時（保持用内蔵 RAM のみ）	V _{RAMD}	1.1	-	-	V	

表 36.3 DC 特性 (3) 【I²C 関連端子*】

条件 : V_{CC} = PLLV_{CC} = 1.1 ~ 1.3V、USB_DV_{CC} = 1.1 ~ 1.3V、USB_AV_{CC} = 1.1 ~ 1.3V、PV_{CC} = 3.0 ~ 3.6V、AV_{CC} = 3.0 ~ 3.6V、USB_APV_{CC} = 3.0 ~ 3.6V、
2DGAPV_{CC0} = 3.0 ~ 3.6V、2DGAPV_{CC1} = 3.0 ~ 3.6V、V_{SS} = PLLV_{SS} = USB_AV_{SS} = AV_{SS} = USB_APV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V、
T_a = - 40 ~ 85

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V _{IH}	PV _{CC} × 0.7	-	PV _{CC} + 0.3	V	
入力ローレベル電圧	V _{IL}	- 0.3	-	PV _{CC} × 0.3	V	
シュミットトリガ入力特性	V _{IH} - V _{IL}	PV _{CC} × 0.05	-	-	V	
出力ローレベル電圧	V _{OL}	-	-	0.4	V	I _{OL} = 3.0mA

【注】 * PE13/TxD4/SDA2 ~ PE8/RxD2/SCL0、PF1/SCL3/CRx0/IERxD、PF0/SDA3 端子（オープンドレイン端子）

表 36.3 DC 特性 (4) 【USB 関連端子*】

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$ 、 $USBDV_{CC} = 1.1 \sim 1.3V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC1} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$ 、
 $T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	測定条件
基準抵抗	R _{REF}	5.6k ± 1%				
入力ハイレベル電圧 (VBUS)	V _{IH}	4.02	-	5.25	V	
入力ローレベル電圧 (VBUS)	V _{IL}	- 0.3	-	0.5	V	
入力ハイレベル電圧 (USB_X1)	V _{IH}	PV _{CC} - 0.5	-	PV _{CC} + 0.3	V	
入力ローレベル電圧 (USB_X1)	V _{IL}	- 0.3	-	0.5	V	

【注】 * REFRIN、VBUS、USB_X1、USB_X2 端子

表 36.3 DC 特性 (5) 【USB 関連端子* (ロースピード/フルスピード/ハイスピード共通項目)】

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$ 、 $USBDV_{CC} = 1.1 \sim 1.3V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC1} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$ 、
 $T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	測定条件
DP ブルアップ抵抗 (ファンクション機能選択時)	R _{pu}	0.900	-	1.575	k	アイドル時
		1.425	-	3.090	k	送受信時
DP、DM ブルダウン抵抗 (ホスト機能選択時)	R _{pd}	14.25	-	24.80	k	

【注】 * DP1、DP0、DM1、DM0 端子

表 36.3 DC 特性 (6) 【USB 関連端子* (ロースピード/フルスピード時)】

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$ 、 $USBDV_{CC} = 1.1 \sim 1.3V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC1} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$ 、
 $T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V _{IH}	2.0	-	-	V	
入力ローレベル電圧	V _{IL}	-	-	0.8	V	
差動入力感度	V _{DI}	0.2	-	-	V	(DP) - (DM)
差動共通モード範囲	V _{CM}	0.8	-	2.5	V	
出力ハイレベル電圧	V _{OH}	2.8	-	3.6	V	I _{OH} = - 200 μA
出力ローレベル電圧	V _{OL}	0.0	-	0.3	V	I _{OL} = 2mA
出力信号クロスオーバー電圧	V _{CRS}	1.3	-	2.0	V	C _L = 50pF (フルスピード時) C _L = 200pF ~ 600pF (ロースピード時)

【注】 * DP1、DP0、DM1、DM0 端子

表 36.3 DC 特性 (7) 【USB 関連端子* (ハイスピード時)】

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$, $USBDV_{cc} = 1.1 \sim 1.3V$, $USBAV_{cc} = 1.1 \sim 1.3V$, $PV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $USBAPV_{cc} = 3.0 \sim 3.6V$,
 $2DGAPV_{cc0} = 3.0 \sim 3.6V$, $2DGAPV_{cc1} = 3.0 \sim 3.6V$, $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$,

$T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	測定条件
スケルチ検出スレッシュヨルド電圧 (差動電圧)	V _{HSSQ}	100	-	150	mV	
コモンモード電圧範囲	V _{HSCM}	- 50	-	500	mV	
アイドル状態	V _{HSOI}	- 10.0	-	10.0	mV	
出力ハイレベル電圧	V _{HSOH}	360	-	440	mV	
出力ローレベル電圧	V _{H SOL}	- 10.0	-	10.0	mV	
Chirp J 出力電圧 (差分)	V _{CHIRPJ}	700	-	1100	mV	
Chirp K 出力電圧 (差分)	V _{CHIRPK}	- 900	-	- 500	mV	

【注】 * DP1、DP0、DM1、DM0 端子

表 36.4 出力許容電流値

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$, $USBDV_{cc} = 1.1 \sim 1.3V$, $USBAV_{cc} = 1.1 \sim 1.3V$, $PV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $USBAPV_{cc} = 3.0 \sim 3.6V$,
 $2DGAPV_{cc0} = 3.0 \sim 3.6V$, $2DGAPV_{cc1} = 3.0 \sim 3.6V$, $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$,

$T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル 許容電流 (1 端子当たり)	PE13 ~ PE8, PF1, PF0	I _{OL}	-	-	10
	その他の出力端子				2
出力ローレベル許容電流 (総和)	ΣI_{OL}	-	-	150	mA
出力ハイレベル許容電流 (1 端子当たり)	-I _{OH}	-	-	2	mA
出力ハイレベル許容電流 (総和)	$\Sigma -I_{OH}$	-	-	50	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 36.4 の値を超えないようにしてください。

36.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 36.5 動作周波数

条件 : Vcc = PLLVcc = 1.1 ~ 1.3V、USBDVcc = 1.1 ~ 1.3V、USBVcc = 1.1 ~ 1.3V、PVcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、USBAPVcc = 3.0 ~ 3.6V、
2DGAPVcc0 = 3.0 ~ 3.6V、2DGAPVcc1 = 3.0 ~ 3.6V、Vss = PLLVss = USBVss = AVss = USBAPVss = 2DGAPVss0 = 2DGAPVss1 = 0V、

Ta = -40 ~ 85

項 目		記号	Min.	Max.	単位	備考
動作周波数	CPU0 クロック (I ₀)	f	40.00	200.00	MHz	
	CPU1 クロック (I ₁)		40.00	200.00	MHz	
	バスクロック (B)		40.00	66.66	MHz	
	周辺クロック (P)		10.00	33.33	MHz	

36.4.1 クロックタイミング

表 36.6 クロックタイミング

条件 : Vcc = PLLVcc = 1.1 ~ 1.3V、USBVcc = 1.1 ~ 1.3V、USBAVcc = 1.1 ~ 1.3V、PVcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、USBAPVcc = 3.0 ~ 3.6V、
2DGAPVcc0 = 3.0 ~ 3.6V、2DGAPVcc1 = 3.0 ~ 3.6V、Vss = PLLVss = USBAVss = AVss = USBAPVss = 2DGAPVss0 = 2DGAPVss1 = 0V、

Ta = - 40 ~ 85

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	fEX	10.00	33.33	MHz	36.2
EXTAL クロック入力サイクル時間	tEXcyc	30	100	ns	
AUDIO_X1、AUDIO_CLK クロック入力周波数	fEX	10	40	MHz	
AUDIO_X1、AUDIO_CLK クロック入力サイクル時間	tEXcyc	25	100	ns	
USB_X1 クロック入力周波数 (ハイスピード転送使用時)	fEX	48MHz ± 100ppm			
USB_X1 クロック入力周波数 (ハイスピード転送未使用、ホストコントローラ機能使用時)		48MHz ± 500ppm			
USB_X1 クロック入力周波数 (ハイスピード転送未使用、ホストコントローラ機能未使用時)		48MHz ± 2500ppm			
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力ローレベルパルス幅	tEXL	0.4	0.6	tEXcyc	
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力ハイレベルパルス幅	tEXH	0.4	0.6	tEXcyc	
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力立ち上がり時間	tEXr	-	4	ns	
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力立ち下がり時間	tEXf	-	4	ns	
CKIO クロック入力周波数	fCK	40.00	66.66	MHz	36.3
CKIO クロック入力サイクル時間	tCKIcyc	15	25	ns	
CKIO クロック入力ローレベルパルス幅	tCKIL	0.4	0.6	tCKIcyc	
CKIO クロック入力ハイレベルパルス幅	tCKIH	0.4	0.6	tCKIcyc	
CKIO クロック入力立ち上がり時間	tCKIr	-	3	ns	
CKIO クロック入力立ち下がり時間	tCKIf	-	3	ns	
CKIO クロック出力周波数	fOP	40.00	66.66	MHz	36.4
CKIO クロック出力サイクル時間	tCYC	15	25	ns	
CKIO クロック出力ローレベルパルス幅	tCKOL	tCYC/2 - tCKOr	-	ns	
CKIO クロック出力ハイレベルパルス幅	tCKOH	tCYC/2 - tCKOf	-	ns	
CKIO クロック出力立ち上がり時間	tCKOr	-	3	ns	
CKIO クロック出力立ち下がり時間	tCKOf	-	3	ns	
パワーオン発振安定時間	tOSC1	10	-	ms	36.5
スタンバイ復帰発振安定時間 1	tOSC2	10	-	ms	36.6
スタンバイ復帰発振安定時間 2	tOSC3	10	-	ms	36.7
RTC クロック発振安定時間	tROSC	3	-	s	36.8

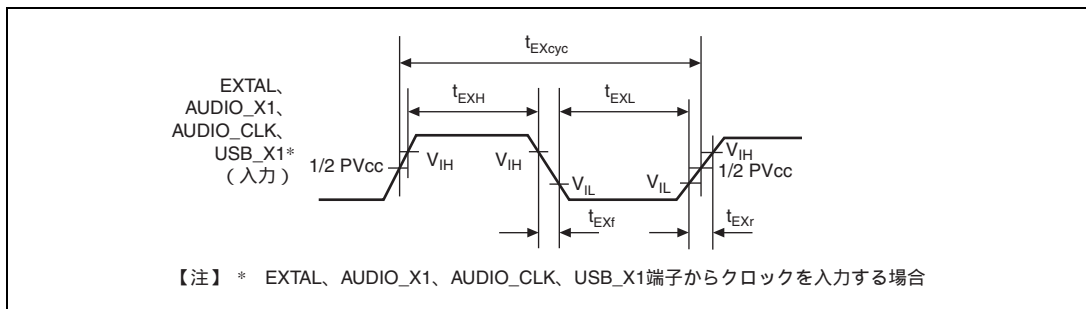


図 36.2 EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力タイミング

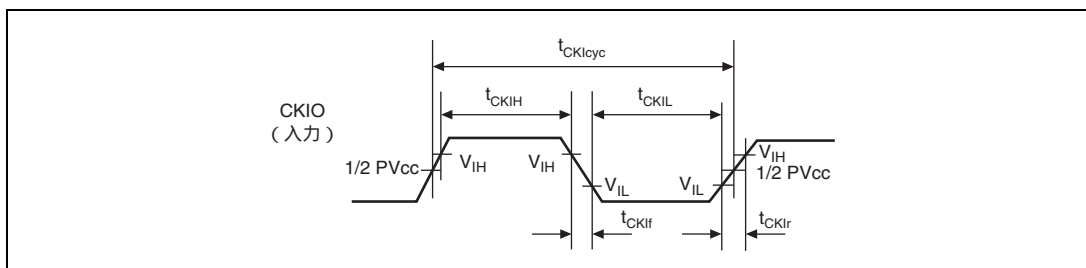


図 36.3 CKIO クロック入力タイミング

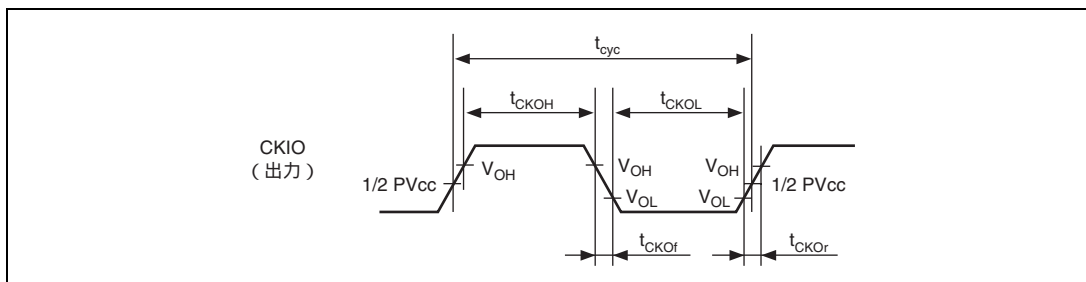


図 36.4 CKIO クロック出力タイミング

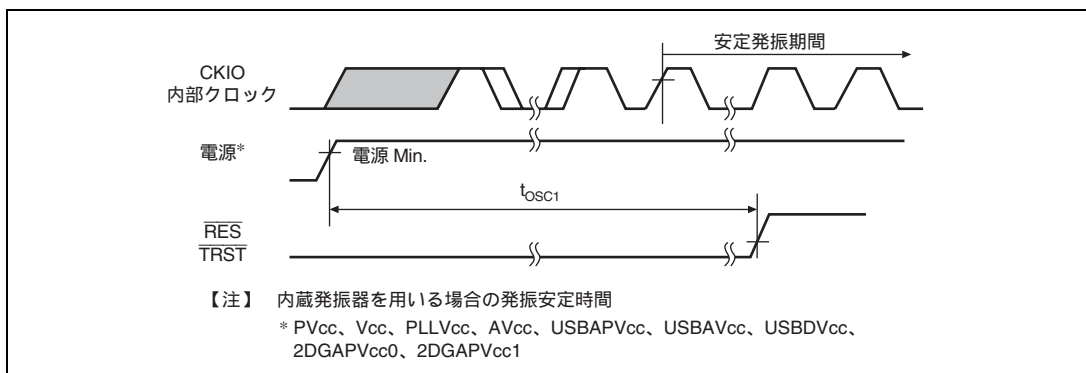


図 36.5 パワーオン発振安定時間

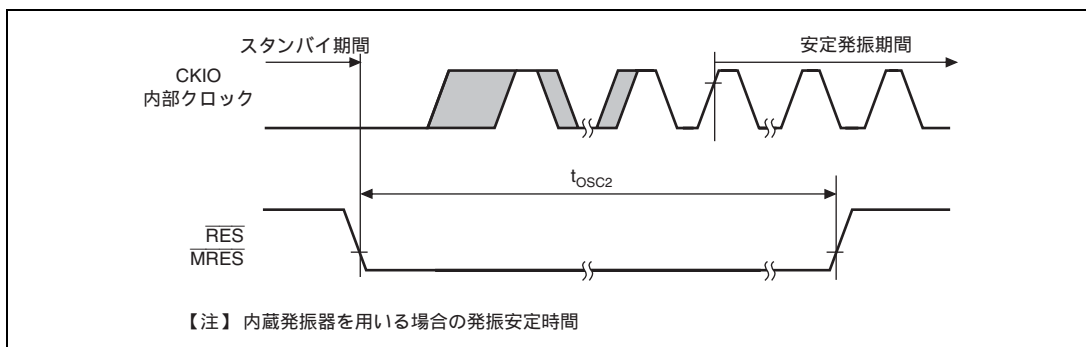


図 36.6 スタンバイ復帰時発振安定時間 (リセットによる復帰)

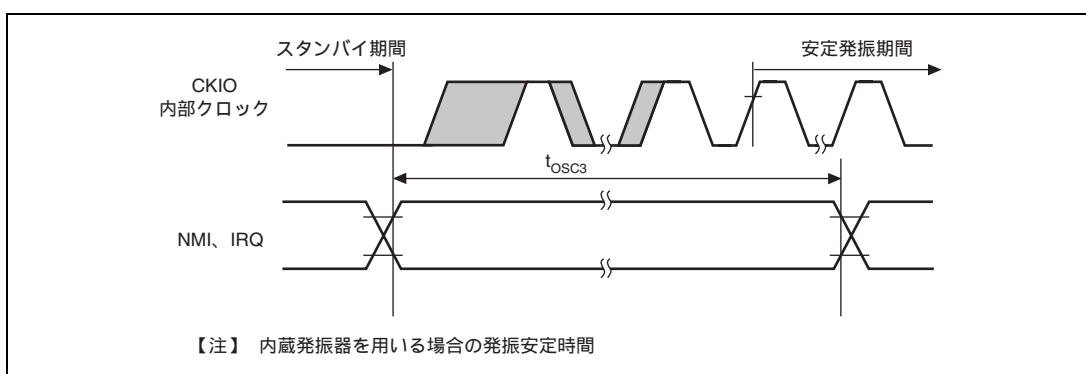


図 36.7 スタンバイ復帰時発振安定時間 (NMI、IRQ による復帰)

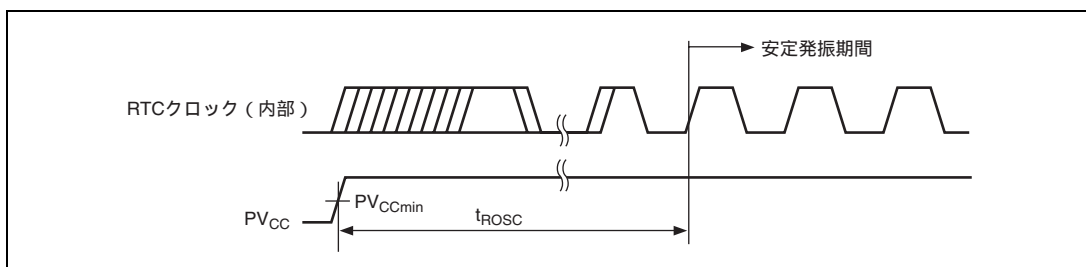


図 36.8 RTC クロック発振安定時間

36.4.2 制御信号タイミング

表 36.7 制御信号タイミング

条件 : Vcc = PLLVcc = 1.1 ~ 1.3V、 USBDVcc = 1.1 ~ 1.3V、 USBAVcc = 1.1 ~ 1.3V、 PVcc = 3.0 ~ 3.6V、 AVcc = 3.0 ~ 3.6V、 USBAPVcc = 3.0 ~ 3.6V、
2DGAPVcc0 = 3.0 ~ 3.6V、 2DGAPVcc1 = 3.0 ~ 3.6V、 Vss = PLLVss = USBAVss = AVss = USBAPVss = 2DGAPVss0 = 2DGAPVss1 = 0V、

Ta = - 40 ~ 85

項目		記号	B = 66.66MHz		単位	参照図
			Min.	Max.		
RES パルス幅	スタンバイモード解除時 または PLL 通倍率変化時	tRESW	10	-	ms	36.9
	上記以外		20	-	t _{cyc}	
MRES パルス幅	スタンバイモード解除時	tMRESW	10	-	ms	
	上記以外		20	-	t _{cyc}	
TRST パルス幅		tTRSW	20	-	t _{cyc}	
NMI パルス幅	スタンバイモード解除時	tNMIW	10	-	ms	36.10
	上記以外		20	-	t _{cyc}	
IRQ パルス幅	スタンバイモード解除時	tIRQW	10	-	ms	
	上記以外		20	-	t _{cyc}	
PINT パルス幅		tPINTW	20	-	t _{cyc}	

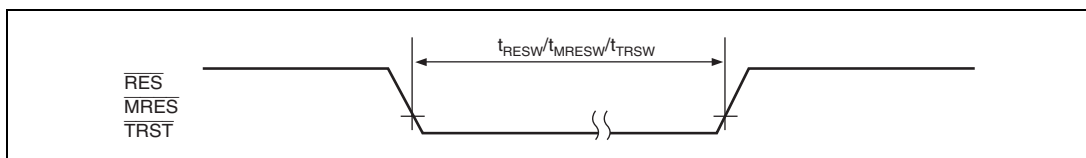


図 36.9 リセット入力タイミング

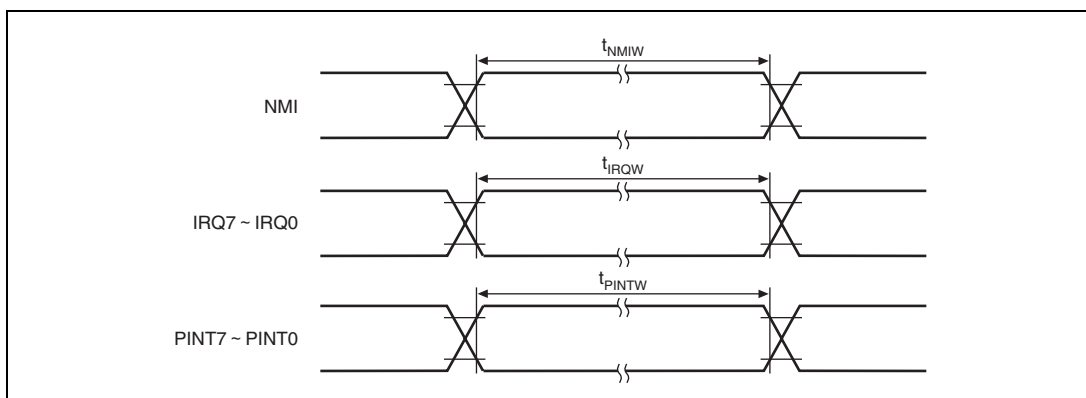


図 36.10 割り込み信号入力タイミング

36.4.3 バスタイミング

表 36.8 バスタイミング

条件 : Vcc = PLLVcc = 1.1 ~ 1.3V、 USBDVcc = 1.1 ~ 1.3V、 USBAVcc = 1.1 ~ 1.3V、 PVcc = 3.0 ~ 3.6V、 AVcc = 3.0 ~ 3.6V、 USBAPVcc = 3.0 ~ 3.6V、
2DGAPVcc0 = 3.0 ~ 3.6V、 2DGAPVcc1 = 3.0 ~ 3.6V、 Vss = PLLVss = USBAVss = AVss = USBAPVss = 2DGAPVss0 = 2DGAPVss1 = 0V、

Ta = - 40 ~ 85

項 目	記号	B = 66.66MHz*		単位	参照図
		Min.	Max.		
アドレス遅延時間 1 (外部空間)	tAD1	1	13	ns	36.11 ~ 36.15
アドレス遅延時間 2 (SDRAM 空間)	tAD2	1	13	ns	36.16 ~ 36.22
バイトコントロール遅延時間	tBCD	-	13	ns	36.11 ~ 36.15
チップセレクト遅延時間 1 (外部空間)	tCSD1	1	13	ns	36.11 ~ 36.15
チップセレクト遅延時間 2 (SDRAM 空間)	tCSD2	1	13	ns	36.16 ~ 36.22
リードストロブ遅延時間	tRSD	-	13	ns	36.11 ~ 36.13、 36.15
リードデータセットアップ時間 1 (外部空間)	tRDS1	7	-	ns	36.11 ~ 36.13、 36.15
リードデータセットアップ時間 2 (SDRAM 空間)	tRDS2	7	-	ns	36.16、 36.18、 36.20
リードデータホールド時間 1 (外部空間)	tRDH1	2	-	ns	36.11 ~ 36.13、 36.15
リードデータホールド時間 2 (SDRAM 空間)	tRDH2	2	-	ns	36.16、 36.18、 36.20
リードデータホールド時間 3 (外部空間)	tRDH3	0	-	ns	36.11 ~ 36.13、 36.15
リードライトモード遅延時間	tRWM	1	13	ns	36.11 ~ 36.15
ライトイネーブル遅延時間 1 (外部空間)	tWED1	-	13	ns	36.11、 36.14
ライトイネーブル遅延時間 2 (SDRAM 空間)	tWED2	1	13	ns	36.17、 36.19、 36.21
ライトデータ遅延時間 1 (外部空間)	tWDD1	-	13	ns	36.11、 36.14
ライトデータ遅延時間 2 (SDRAM 空間)	tWDD2	-	13	ns	36.17、 36.19
ライトデータホールド時間 (外部空間)	tWDH1	1	-	ns	36.11、 36.14
ライトデータホールド時間 (SDRAM 空間)	tWDH2	1	-	ns	36.17、 36.19
外部ウェイトセットアップ時間	tWTS	7	-	ns	36.15
外部ウェイトホールド時間	tWTH	2	-	ns	36.15
RAS 遅延時間	tRASD	1	13	ns	36.16 ~ 36.22
CAS 遅延時間	tCASD	1	13	ns	36.16 ~ 36.22
DQM 遅延時間	tDQMD	1	13	ns	36.16 ~ 36.22
CKE 遅延時間	tCKED	1	13	ns	36.22

【注】 * B (バスクロック) の f_{max} は、ご使用されるシステム構成に応じてウェイト数とあわせてご検討ください。

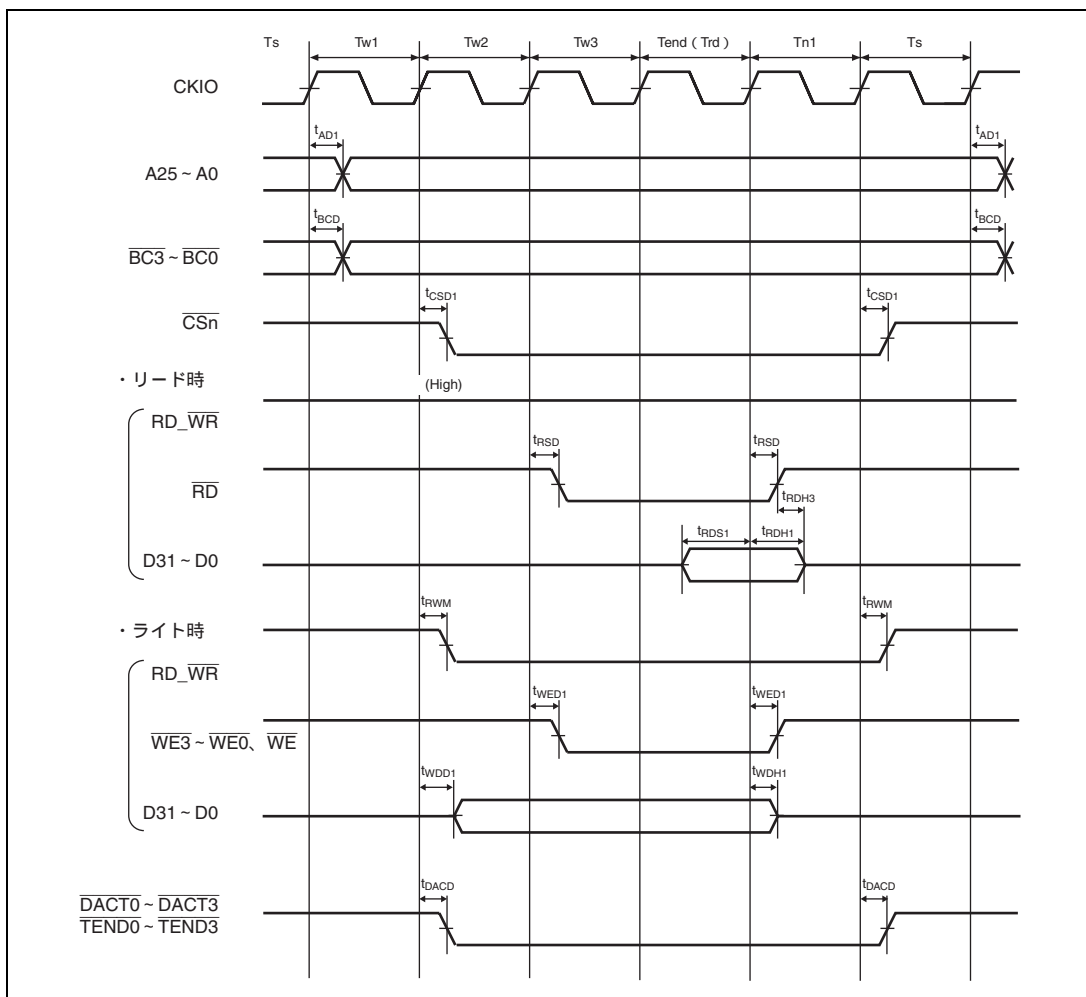


図 36.11 (1) 外部アドレス空間基本バスタイミング

(ノーマルアクセス、リード/ライトサイクルウェイト3、CSアサートウェイト1、
 ライトデータ出力ウェイト1、WR/RDアサートウェイト2、ライトデータ出力遅延サイクル0、
 リード時/ライト時CS遅延サイクル1)

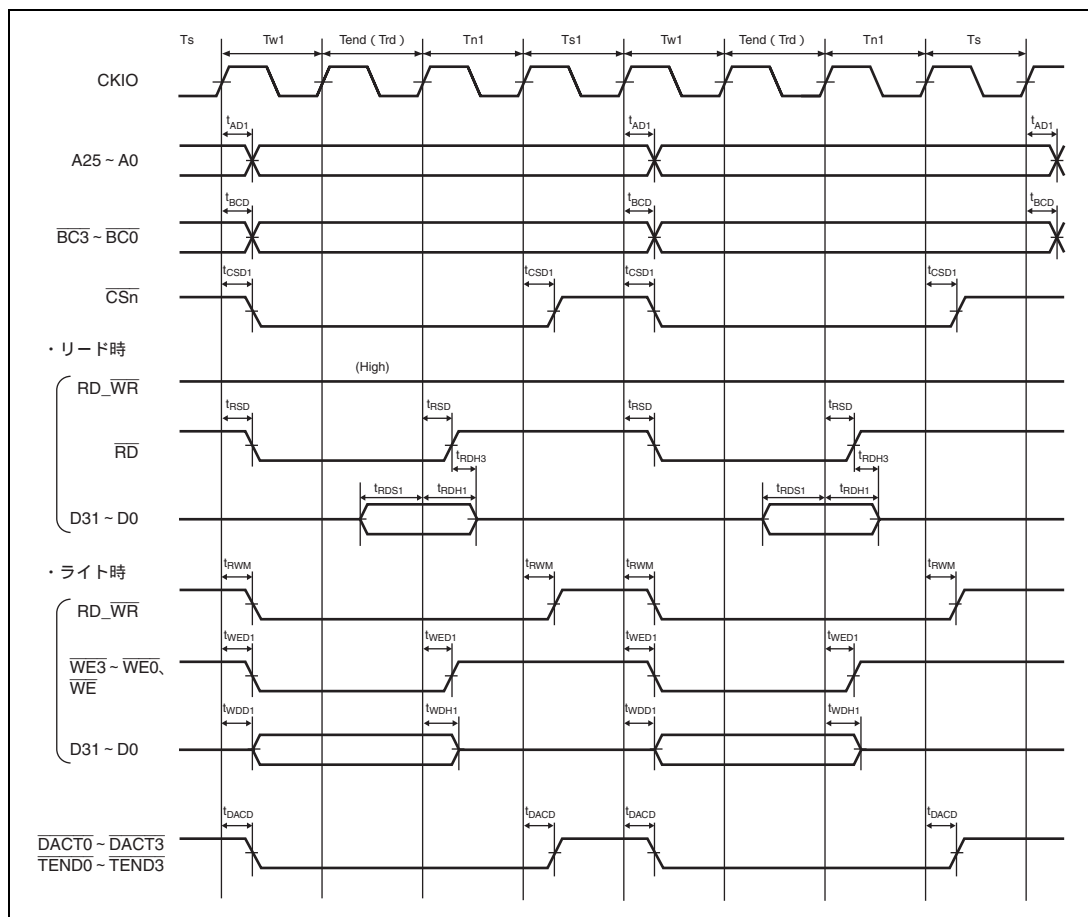


図 36.11 (2) 外部アドレス空間基本バスタイミング
 (ノーマルアクセス、データリカバリサイクル0、リード/ライトサイクルウェイト1、
 リード時/ライト時 CS 延長サイクル1、他ウェイト設定は0)

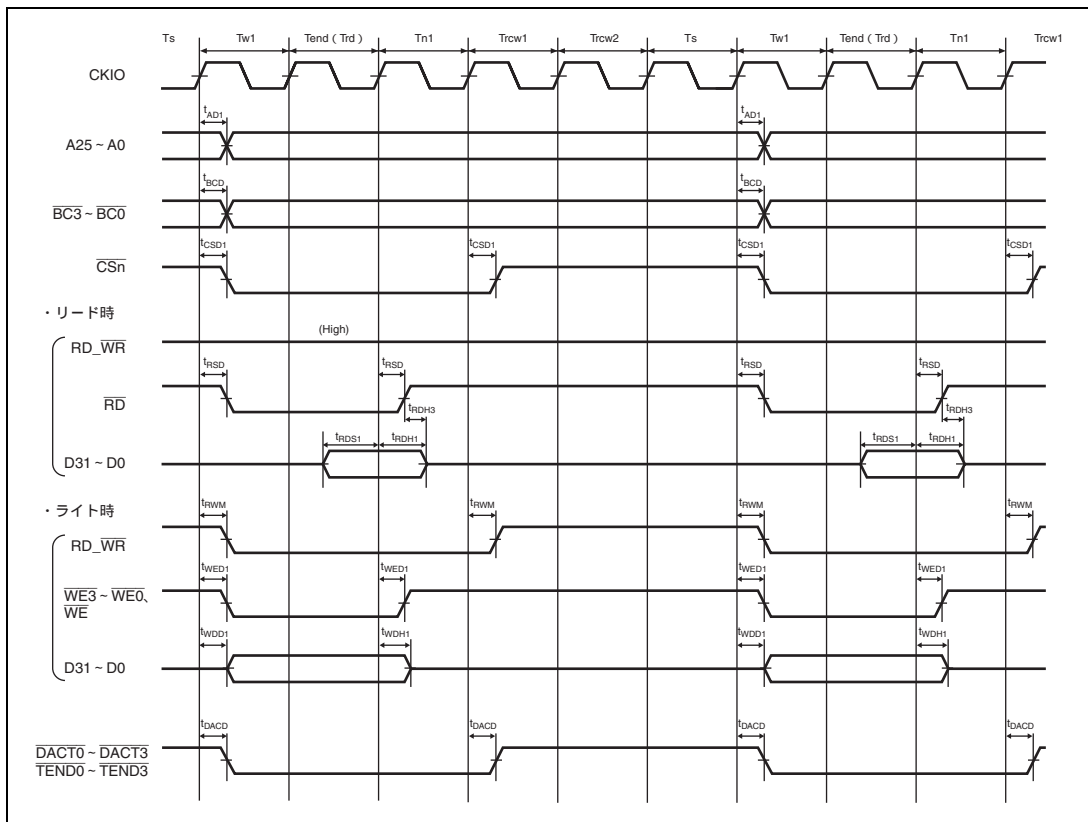


図 36.11 (3) 外部アドレス空間基本バスタイミング
 (ノーマルアクセス、データリカバリサイクル2、リード/ライトサイクルウェイト1、
 リード時/ライト時CS延長サイクル1、他ウェイト設定は0)

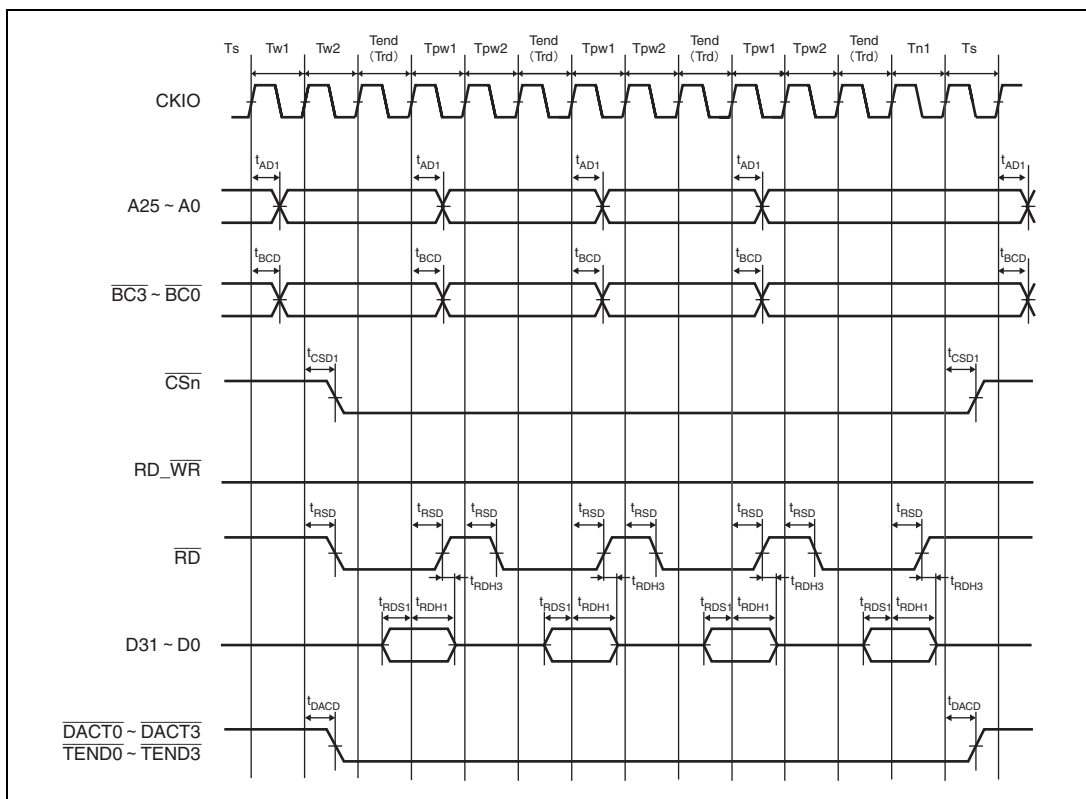


図 36.12 外部アドレス空間基本バスタイミング

(ページリードアクセス、ノーマルアクセス互換モード、リードサイクルウェイト2、ページリードサイクルウェイト2、CSアサートウェイト1、RDアサートウェイト1、リード時CS延長サイクル1)

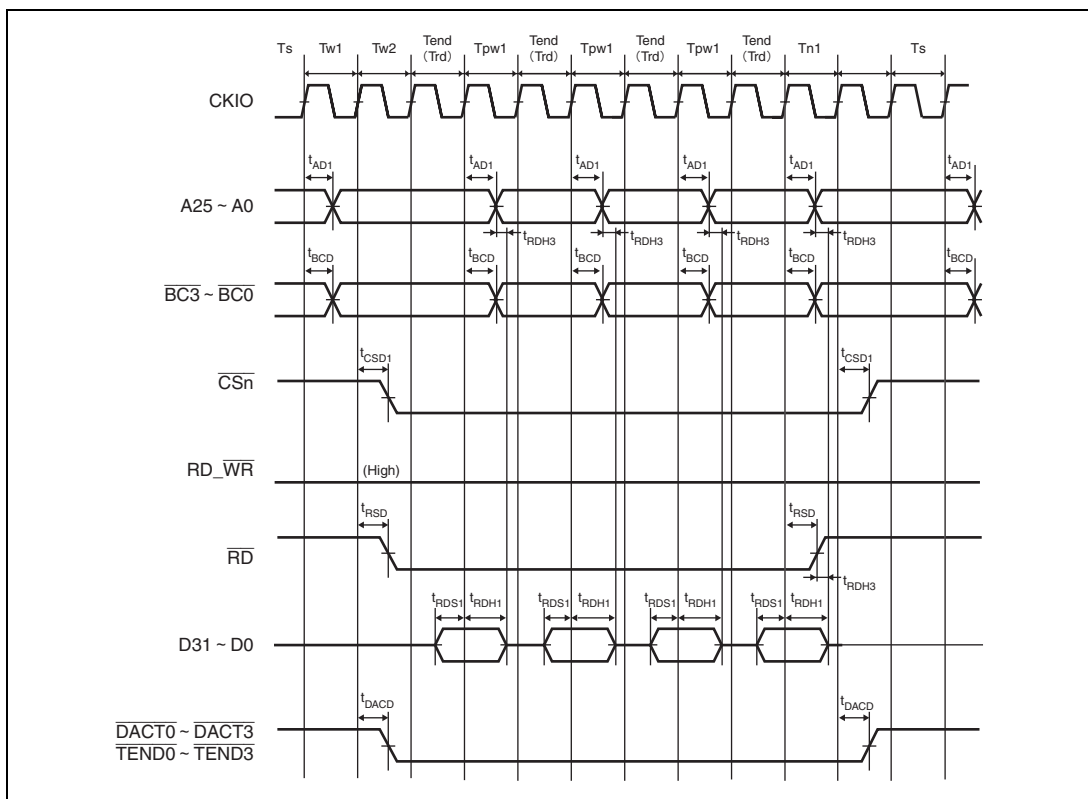


図 36.13 外部アドレス空間基本バスタイミング

(ページリードアクセス、外部リードデータ連続アサートモード、リードサイクルウェイト2、ページリードサイクルウェイト1、CSアサートウェイト1、RDアサートウェイト1、リード時CS延長サイクル1)

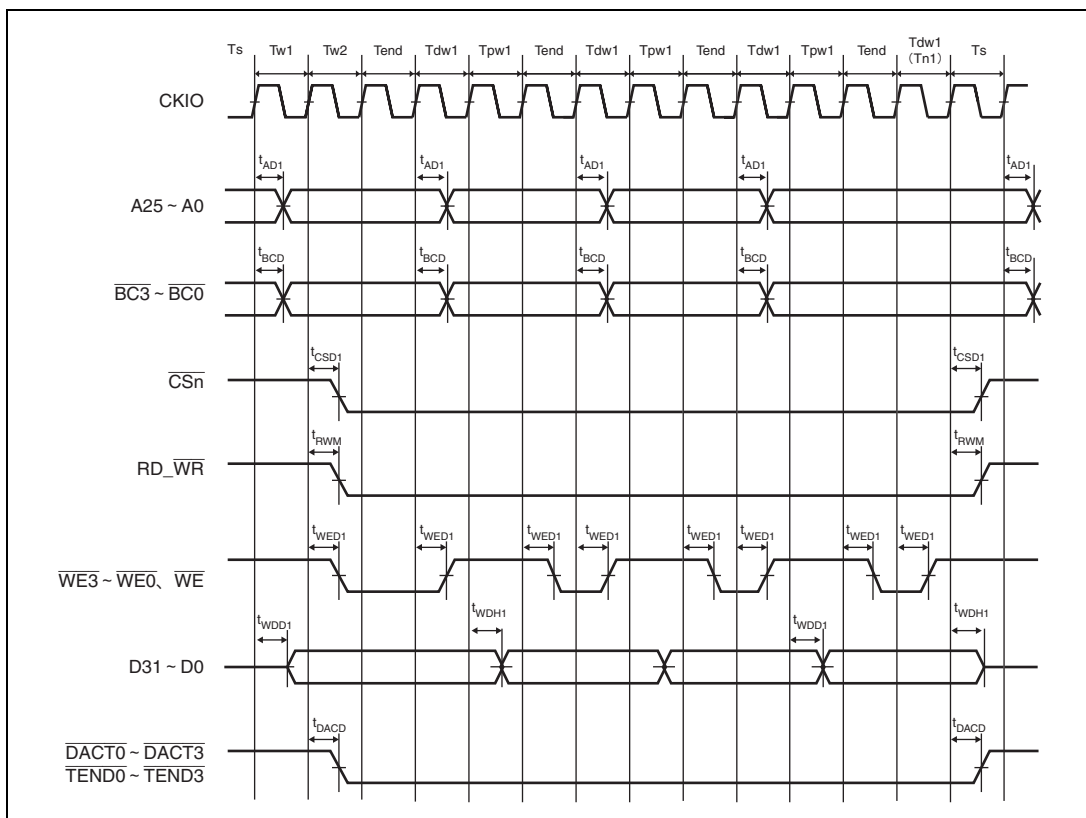


図 36.14 外部アドレス空間基本バスタイミング (ページライトアクセス、ライトサイクルウェイト 2、CS アサートウェイト 1、WR アサートウェイト 1、ライトデータ出力遅延サイクル 1、他ウェイト設定は 0)

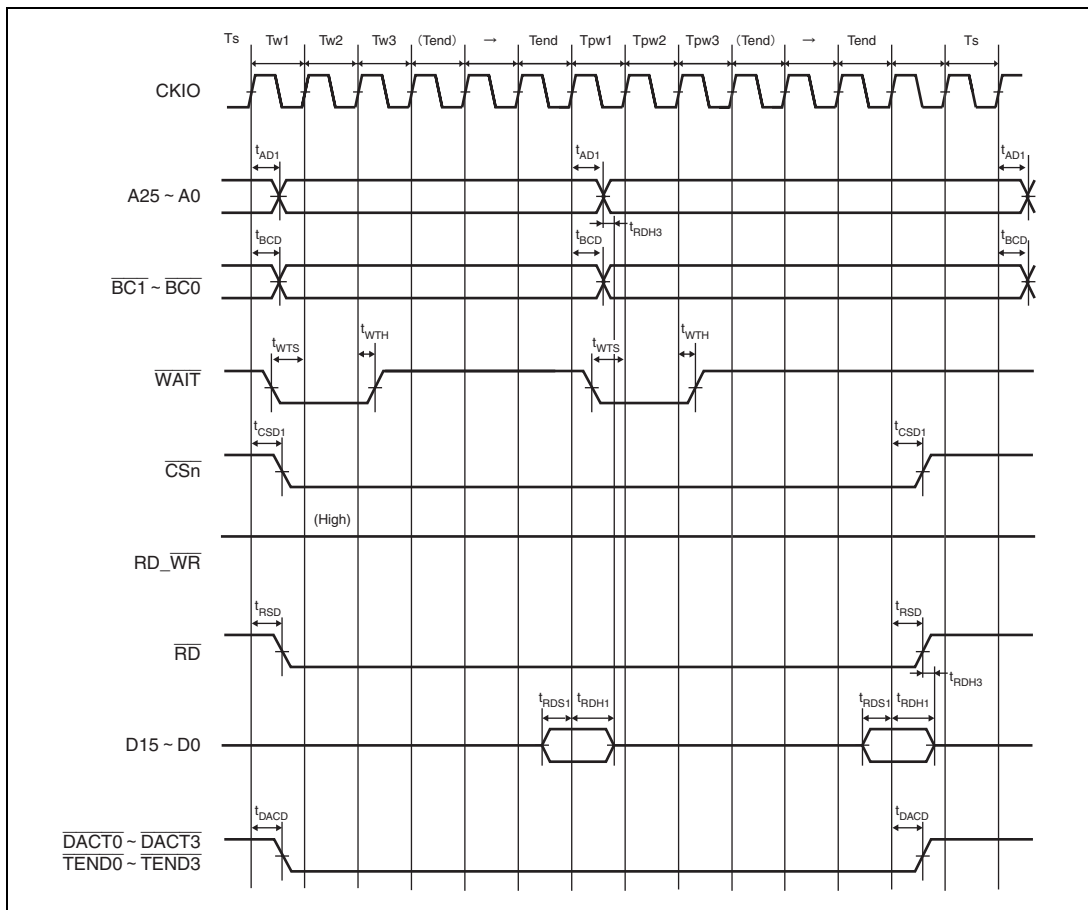


図 36.15 外部アドレス空間 外部ウェイトタイミング

(16 ビット幅チャネルへのページリードアクセス、外部リードデータ連続アサートモード、リードサイクルウェイト 3、ページリードサイクルウェイト 3、他ウェイト設定は 0、外部ウェイトサイクル 2)

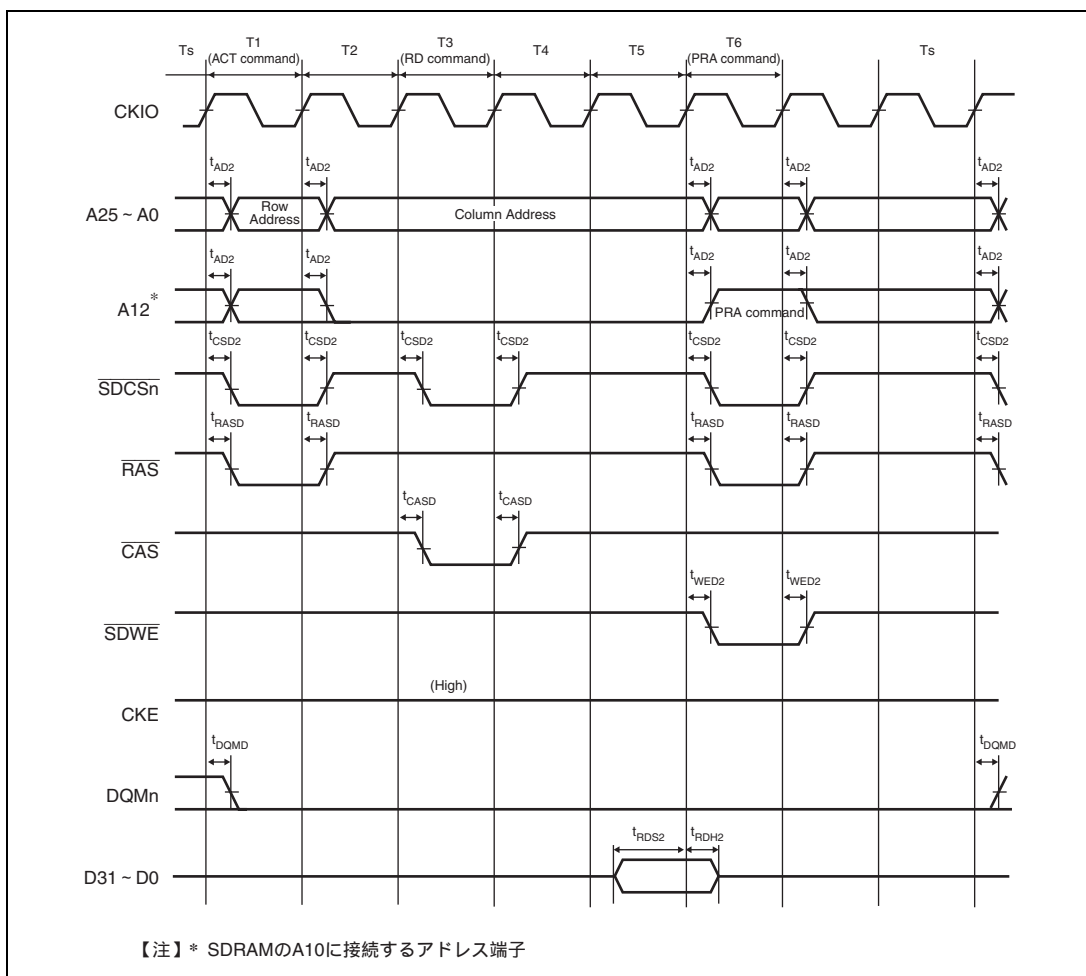


図 36.16 SDRAM 空間 シングルリードバスタイミング
(DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))

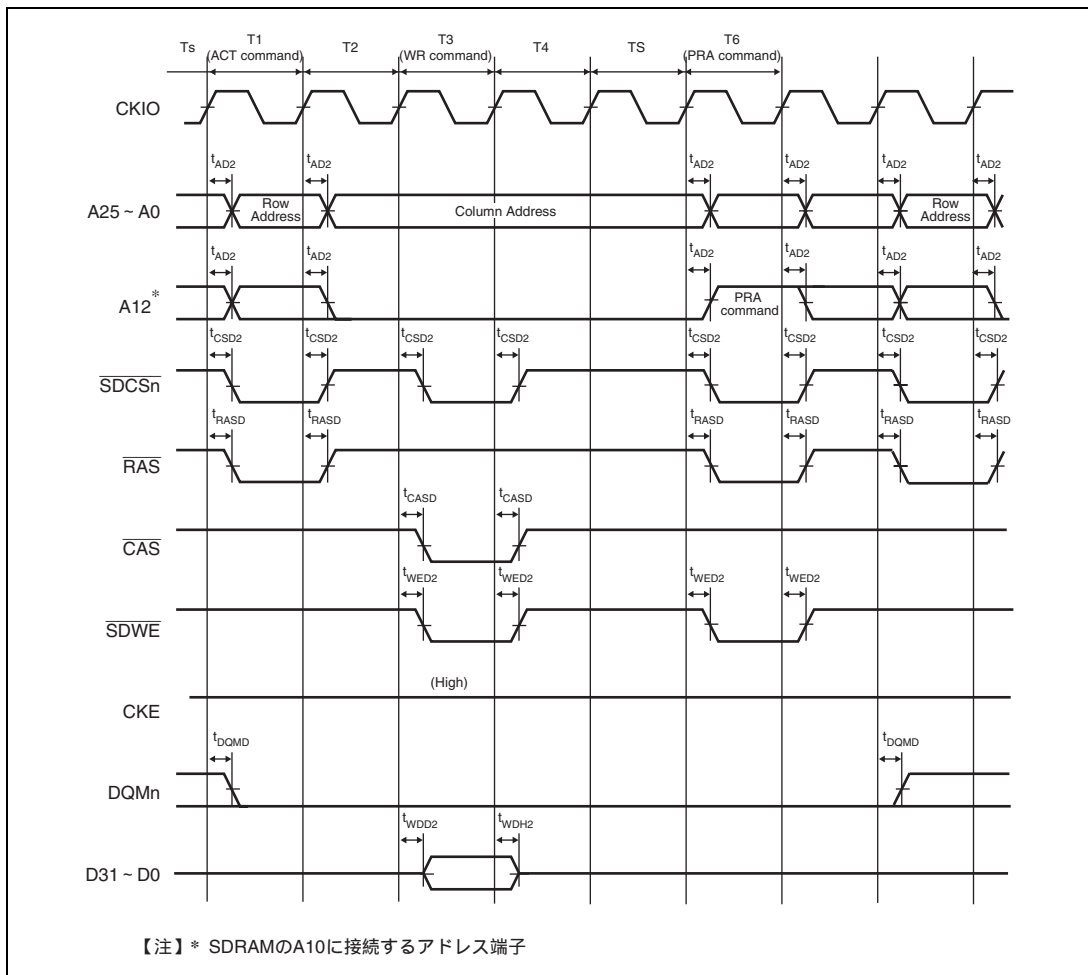


図 36.17 SDRAM 空間 シングルライトバスタイミング
 (DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))

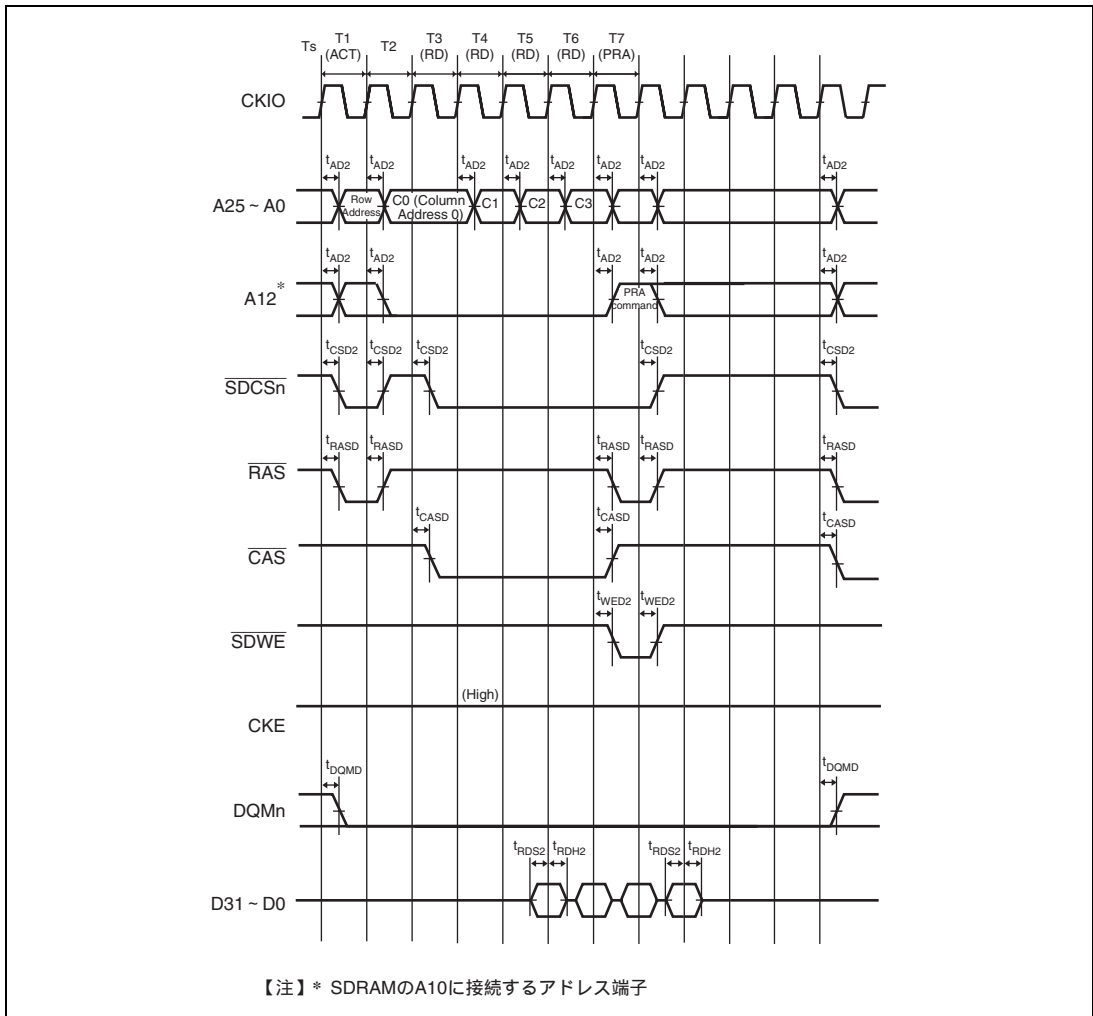


図 36.18 SDRAM 空間 複数リードバスタイミング
 (4 データアクセス、DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))

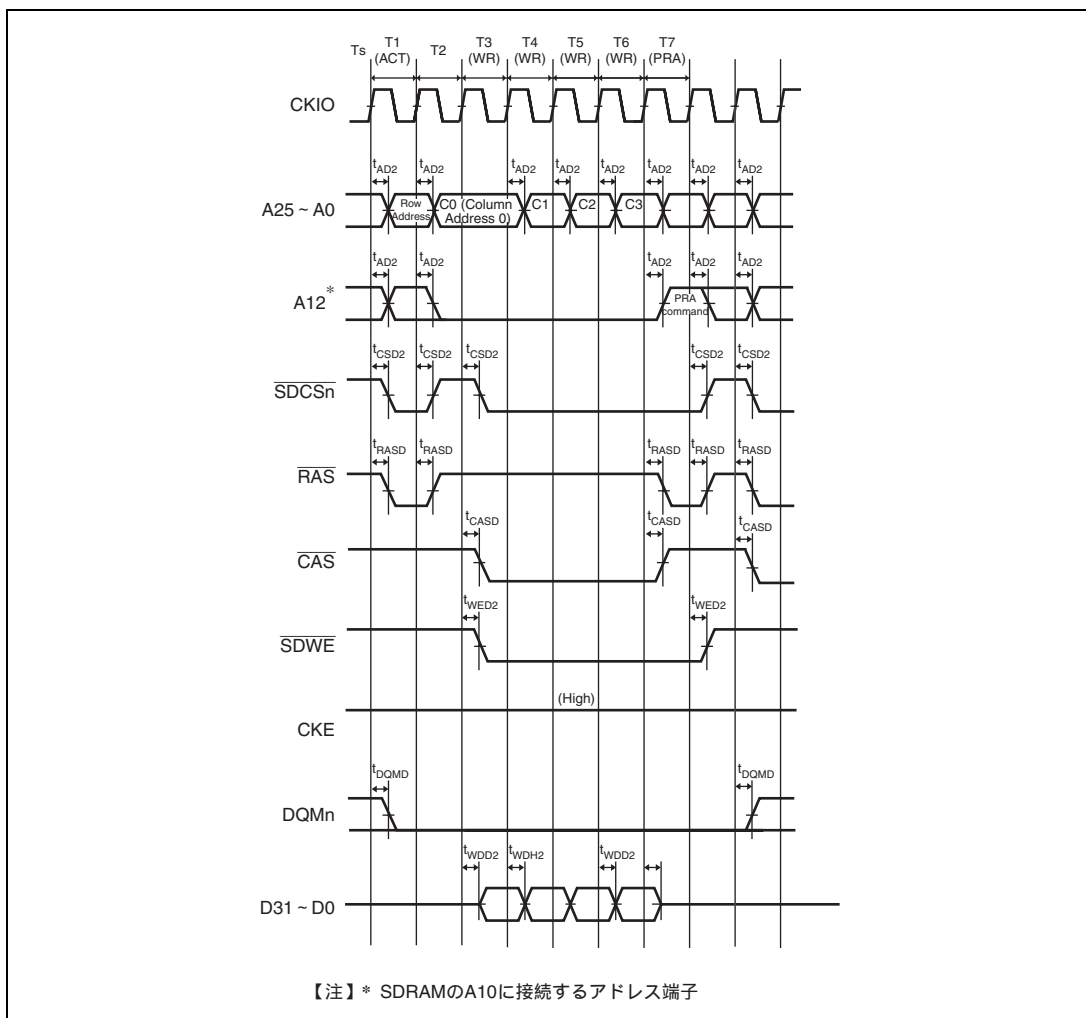


図 36.19 SDRAM 空間 複数ライトバスタイミング
 (4 データアクセス、DCL=2(2 サイクル)、DRCD=1(2 サイクル)、DPCG=1(2 サイクル))

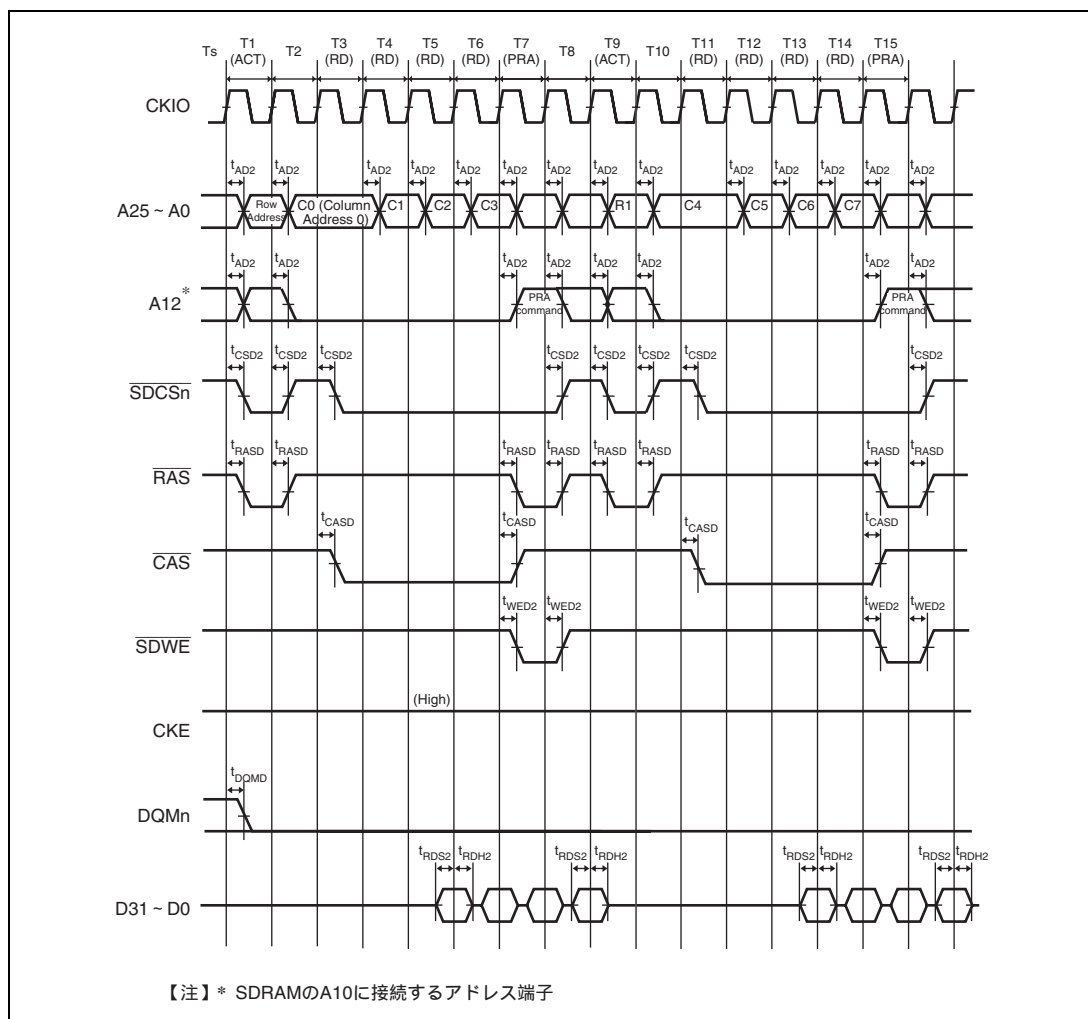


図 36.20 SDRAM 空間 複数リード行またぎバスタイミング
(8 データアクセス、DCL=2 (2 サイクル)、DRCD=1 (2 サイクル)、DPCG=1 (2 サイクル))

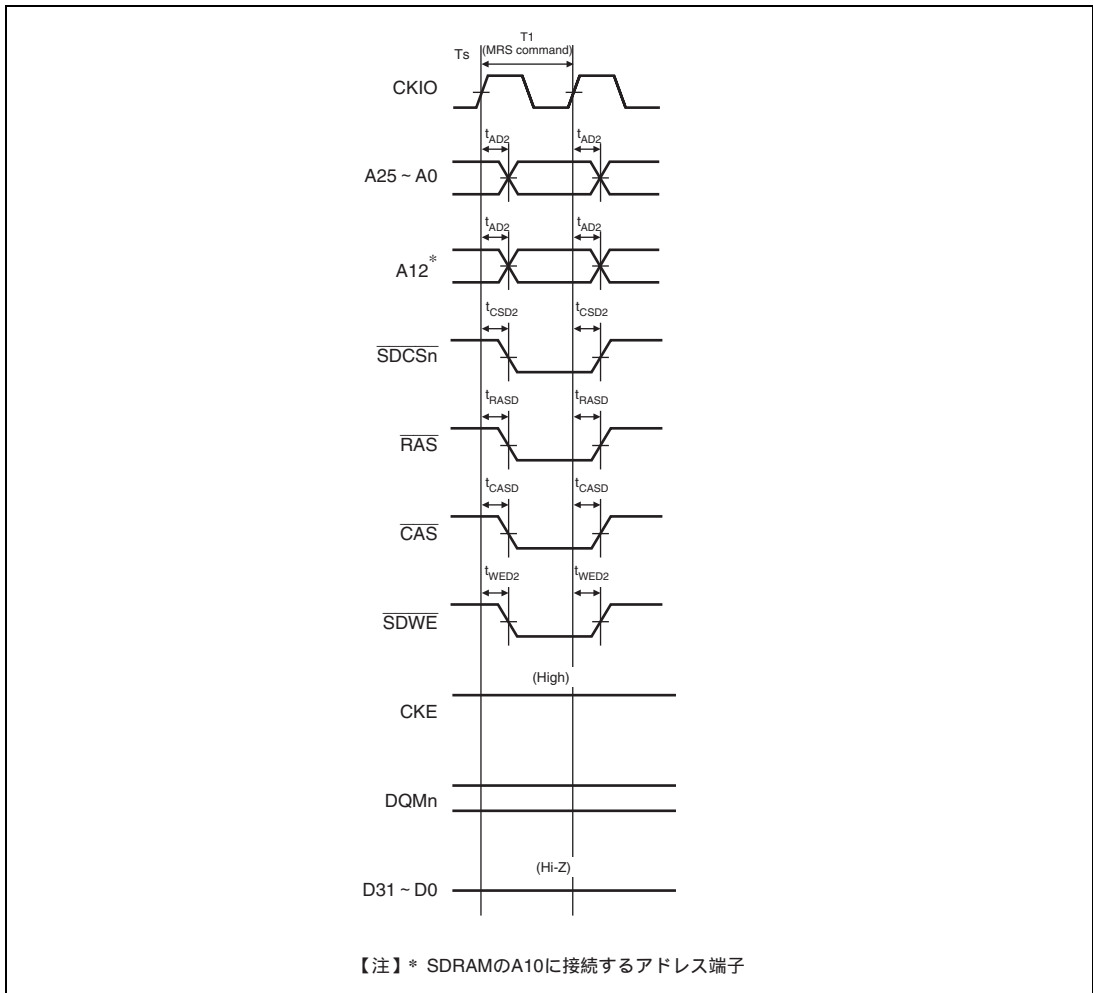


図 36.21 SDRAM 空間モードレジスタセットバスタイミング

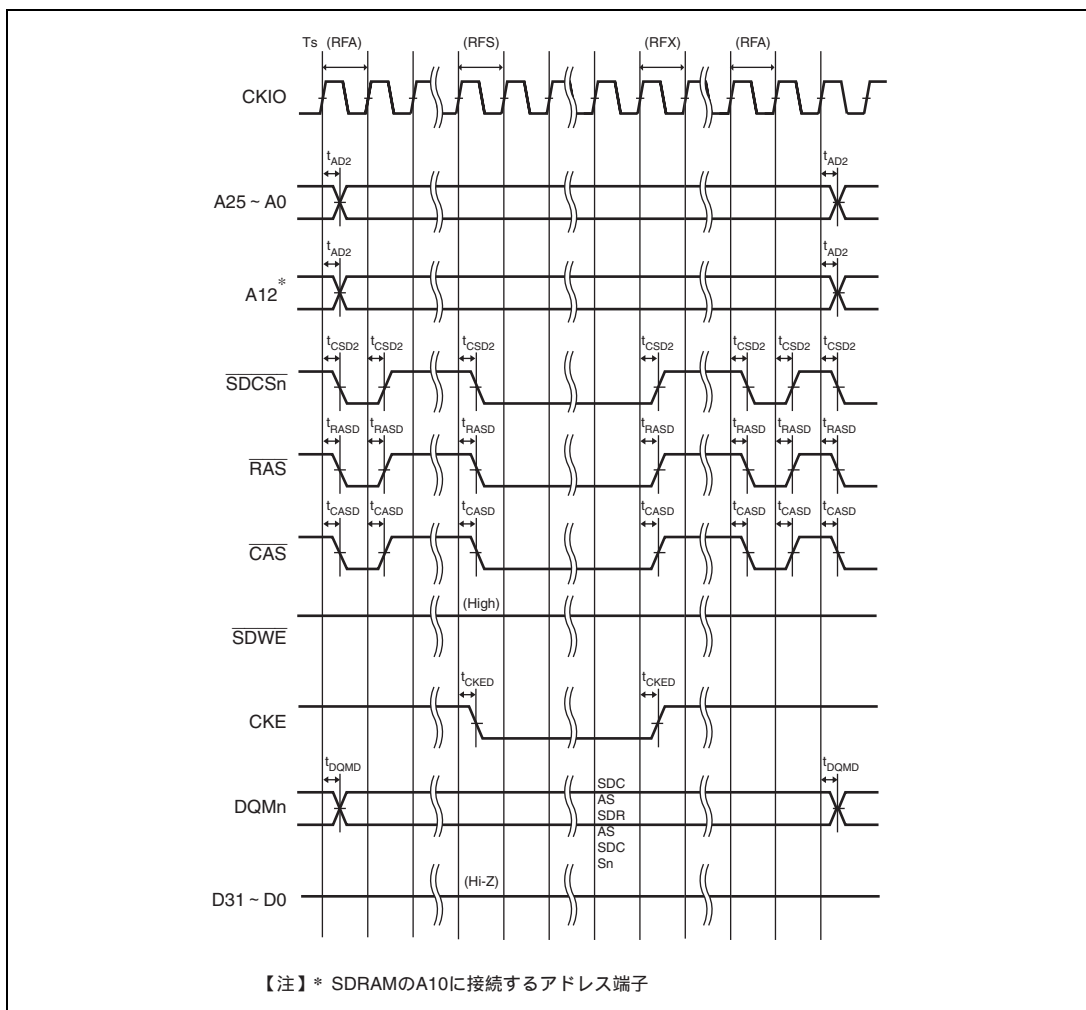


図 36.22 SDRAM 空間セルフリフレッシュバスタイミング

36.4.4 UBC タイミング

表 36.9 UBC タイミング

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$ 、 $USBDV_{cc} = 1.1 \sim 1.3V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、
 $2DGAPV_{cc0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{cc1} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$ 、

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
UBCTRG 遅延時間	t_{UBCTGD}	-	14	ns	36.23

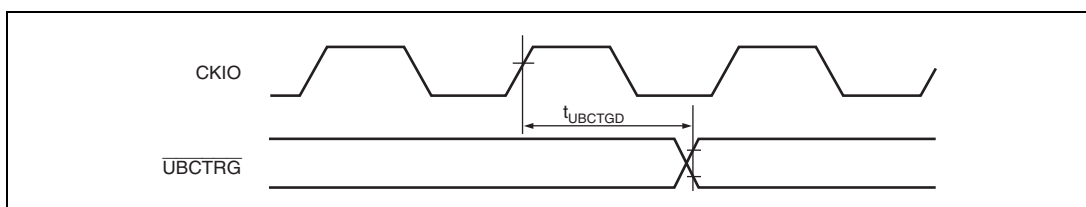


図 36.23 UBC タイミング

36.4.5 DMAC タイミング

表 36.10 DMAC タイミング

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$, $USBDV_{cc} = 1.1 \sim 1.3V$, $USBAV_{cc} = 1.1 \sim 1.3V$, $PV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $USBAPV_{cc} = 3.0 \sim 3.6V$,
 $2DGAPV_{cc0} = 3.0 \sim 3.6V$, $2DGAPV_{cc1} = 3.0 \sim 3.6V$, $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$,

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t_{DRQS}	15	-	ns	36.24
DREQ ホールド時間	t_{DRQH}	15	-	ns	36.24
DACK 遅延時間	t_{DACK}	0	13	ns	36.25
DACT、TEND 遅延時間	t_{DADC}	0	13	ns	36.25、36.11 ~ 36.15

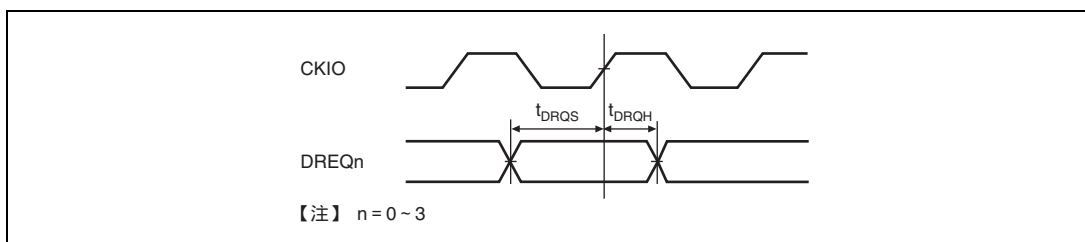


図 36.24 DREQ 入力タイミング

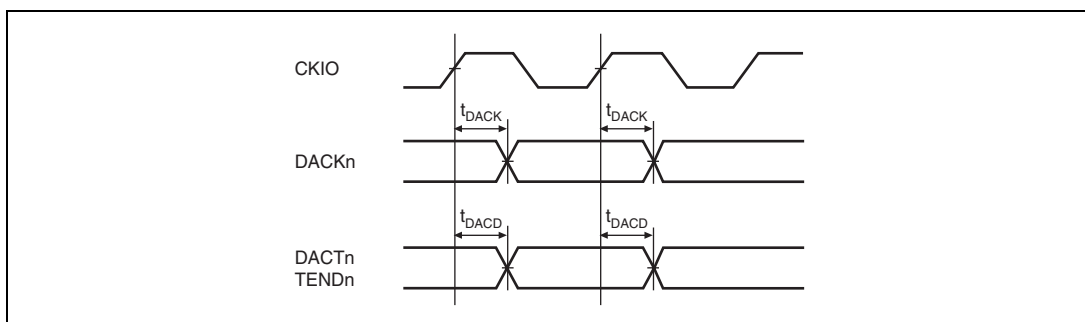


図 36.25 DACK、DACT、TEND 出力タイミング

36.4.6 MTU2 タイミング

表 36.11 MTU2 タイミング

条件 : Vcc = PLLVcc = 1.1 ~ 1.3V、 USBDVcc = 1.1 ~ 1.3V、 USBAVcc = 1.1 ~ 1.3V、 PVcc = 3.0 ~ 3.6V、 AVcc = 3.0 ~ 3.6V、 USBAPVcc = 3.0 ~ 3.6V、
2DGAPVcc0 = 3.0 ~ 3.6V、 2DGAPVcc1 = 3.0 ~ 3.6V、 Vss = PLLVss = USBAVss = AVss = USBAPVss = 2DGAPVss0 = 2DGAPVss1 = 0V、

Ta = - 40 ~ 85

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t _{TOCD}	-	100	ns	36.26
インプットキャプチャ入力セットアップ時間	t _{TICS}	20	-	ns	
タイマ入力セットアップ時間	t _{TCKS}	20	-	ns	36.27
タイマクロックパルス幅 (単エッジ指定)	t _{TCKWH/L}	1.5	-	t _{pcyc}	
タイマクロックパルス幅 (両エッジ指定)	t _{TCKWH/L}	2.5	-	t _{pcyc}	
タイマクロックパルス幅 (位相計数モード)	t _{TCKWH/L}	2.5	-	t _{pcyc}	

【注】 t_{pcyc} は周辺クロック (P) の周期を示します。

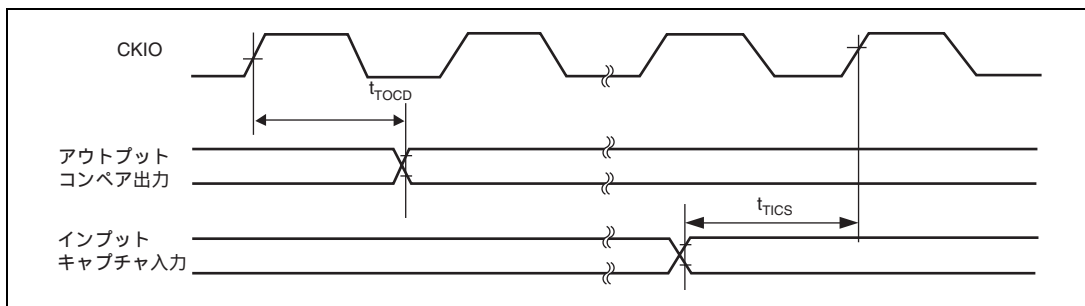


図 36.26 MTU2 入出力タイミング

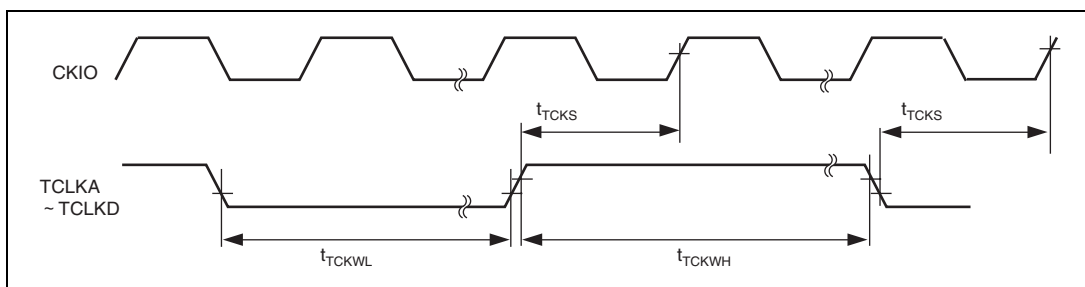


図 36.27 MTU2 クロック入力タイミング

36.4.7 WDT タイミング

表 36.12 WDT タイミング

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$ 、 $USBDV_{cc} = 1.1 \sim 1.3V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、
 $2DGAPV_{cc0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{cc1} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$ 、

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
WDTOVF 遅延時間	t_{WOVD}	-	100	ns	36.28

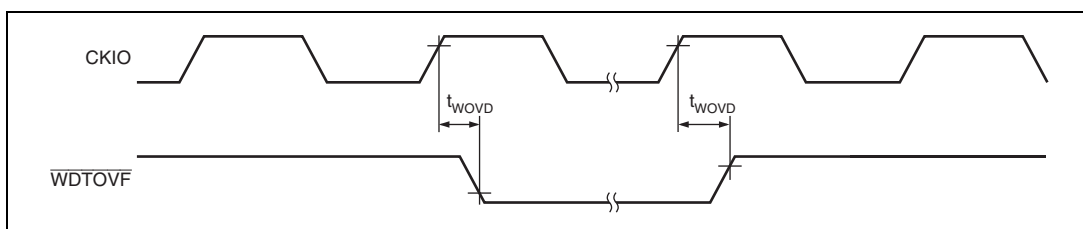


図 36.28 WDT タイミング

36.4.8 SCIF タイミング

表 36.13 SCIF タイミング

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$ 、 $USBDV_{CC} = 1.1 \sim 1.3V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC1} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$ 、

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
入力クロックサイクル	クロック同期	12	-	t_{pcyc}	36.29
	調歩同期	4	-	t_{pcyc}	36.29
入力クロック立ち上がり時間	t_{SCKr}	-	1.5	t_{pcyc}	36.29
入力クロック立ち下がり時間	t_{SCKf}	-	1.5	t_{pcyc}	36.29
入力クロック幅	t_{SCKW}	0.4	0.6	t_{scyc}	36.29
送信データ遅延時間 (クロック同期)	t_{TXD}	-	$3t_{pcyc} + 15$	ns	36.30
受信データセットアップ時間 (クロック同期)	t_{RXS}	$4t_{pcyc} + 15$	-	ns	36.30
受信データホールド時間 (クロック同期)	t_{RXH}	$1t_{pcyc} + 15$	-	ns	36.30

【注】 t_{pcyc} は周辺クロック (P) の周期を示します。

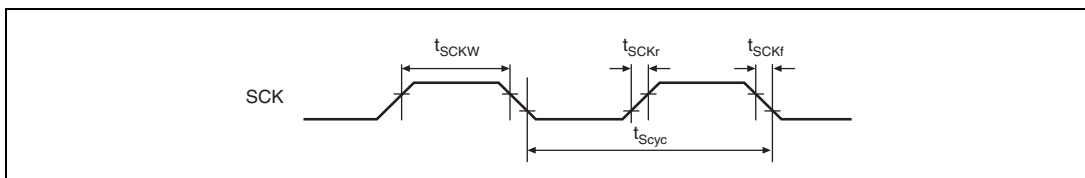


図 36.29 SCK 入力クロックタイミング

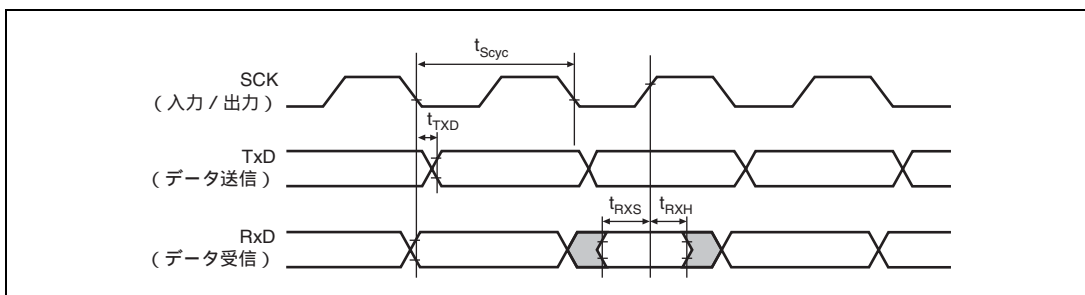


図 36.30 クロック同期式モード時の SCIF 入出力タイミング

36.4.9 SSU タイミング

表 36.14 SSU タイミング

条件 : Vcc = PLLVcc = 1.1 ~ 1.3V、USB DVcc = 1.1 ~ 1.3V、USB AVcc = 1.1 ~ 1.3V、PVcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、USB APVcc = 3.0 ~ 3.6V、
2DGAPVcc0 = 3.0 ~ 3.6V、2DGAPVcc1 = 3.0 ~ 3.6V、Vss = PLLVss = USB AVss = AVss = USB APVss = 2DGAPVss0 = 2DGAPVss1 = 0V、

Ta = - 40 ~ 85

項 目		記号	Min.	Max.	単位	参照図
クロックサイクル	マスタ	tsUcyc	4	256	t _{pcyc}	36.31
	スレーブ		4	256		
クロックハイレベルパルス幅	マスタ	t _{HI}	48	-	ns	36.33
	スレーブ		48	-		
クロックローレベルパルス幅	マスタ	t _{LO}	48	-	ns	
	スレーブ		48	-		
クロック立ち上がり時間		t _{RISE}	-	12	ns	
クロック立ち下がり時間		t _{FALL}	-	12	ns	
データ入力セットアップ時間	マスタ	tsu	30	-	ns	
	スレーブ		20	-		
データ入力ホールド時間	マスタ	t _H	0	-	ns	
	スレーブ		20	-		
SCS セットアップ時間	マスタ	t _{LEAD}	1.5	-	t _{pcyc}	
	スレーブ		1.5	-		
SCS ホールド時間	マスタ	t _{LAG}	1.5	-	t _{pcyc}	
	スレーブ		1.5	-		
データ出力遅延時間	マスタ	t _{OD}	-	50	ns	
	スレーブ		-	50		
データ出力ホールド時間	マスタ	t _{OH}	0	-	ns	
	スレーブ		0	-		
連続送信遅延時間	マスタ	t _{TD}	1.5	-	t _{pcyc}	
	スレーブ		1.5	-		
スレーブアクセス時間		t _{SA}	-	1	t _{pcyc}	36.33
スレーブアウト開放時間		t _{REL}	-	1	t _{pcyc}	36.34

【注】 t_{pcyc} は周辺クロック (P) の周期を示します。

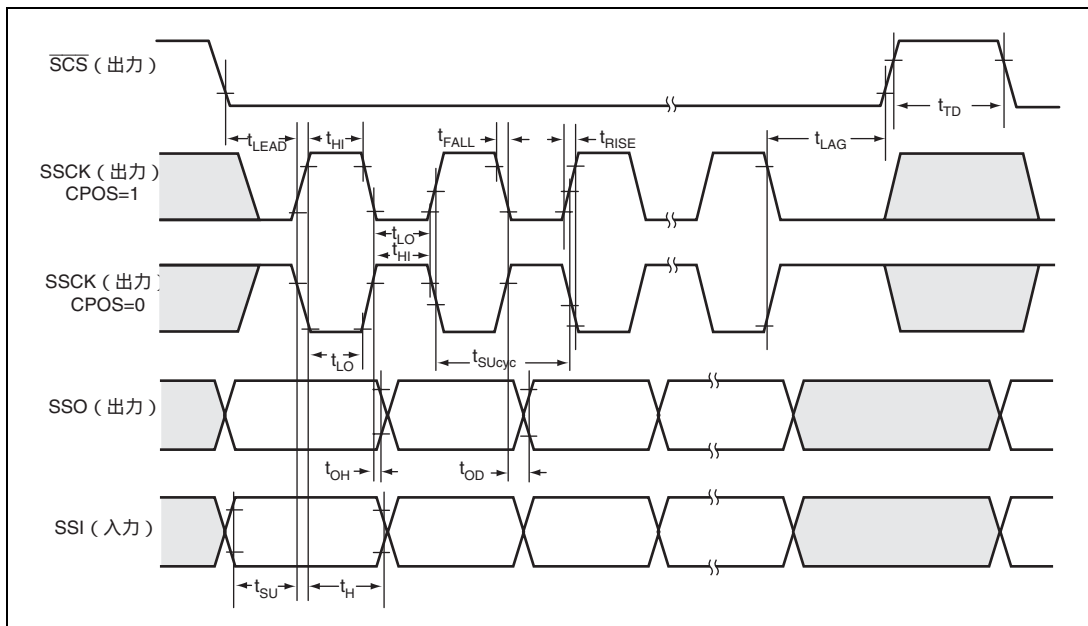


図 36.31 SSU タイミング (マスタ、CPHS = 1)

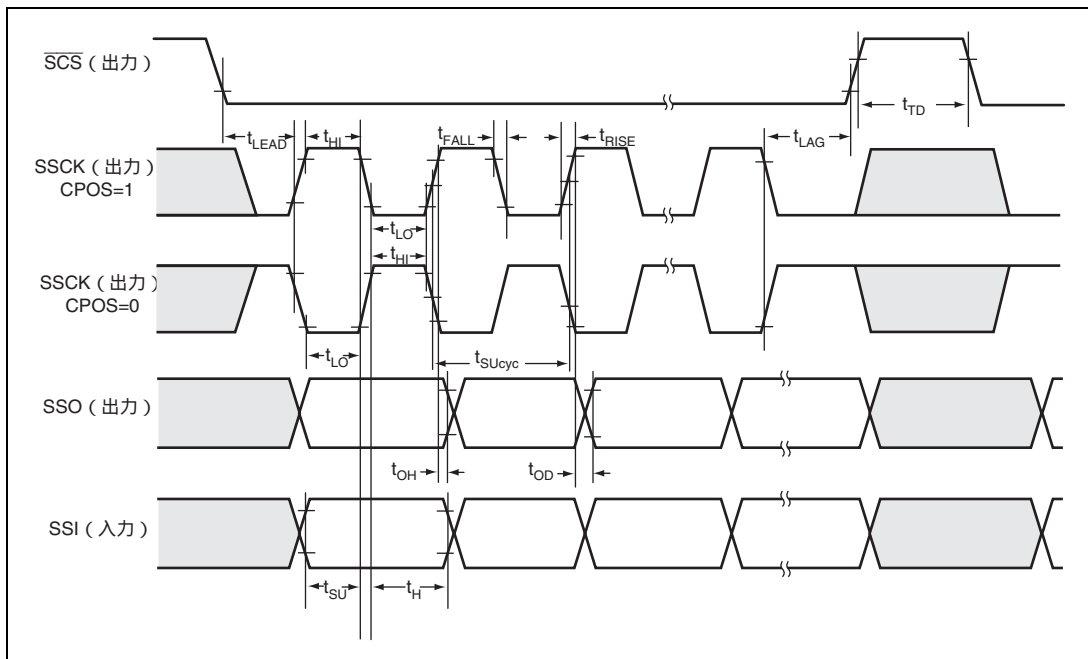


図 36.32 SSU タイミング (マスタ、CPHS = 0)

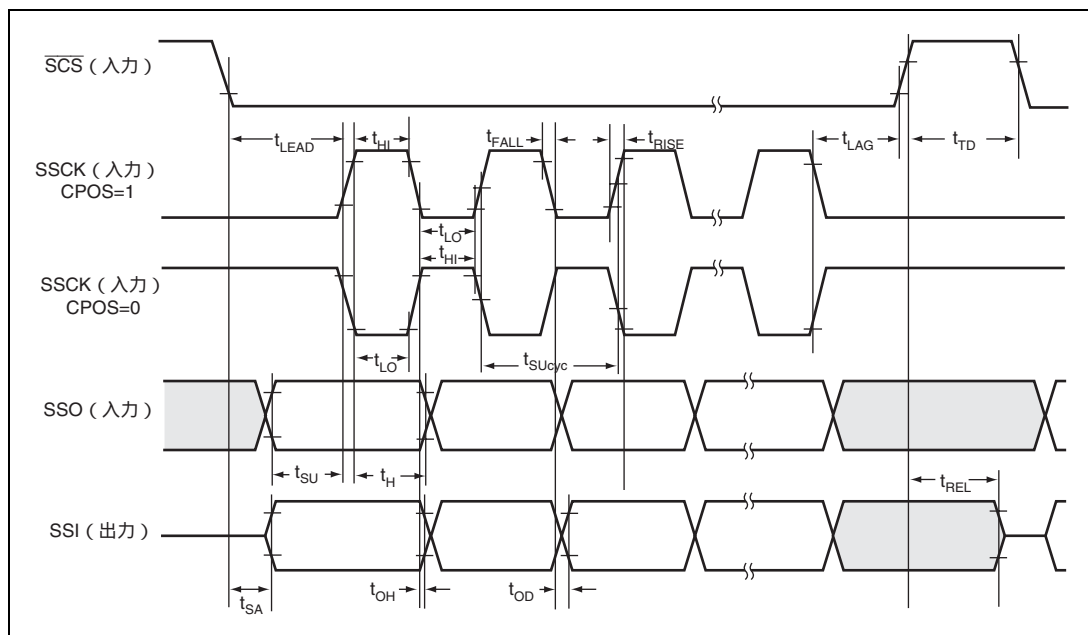


図 36.33 SSU タイミング (スレープ、CPHS = 1)

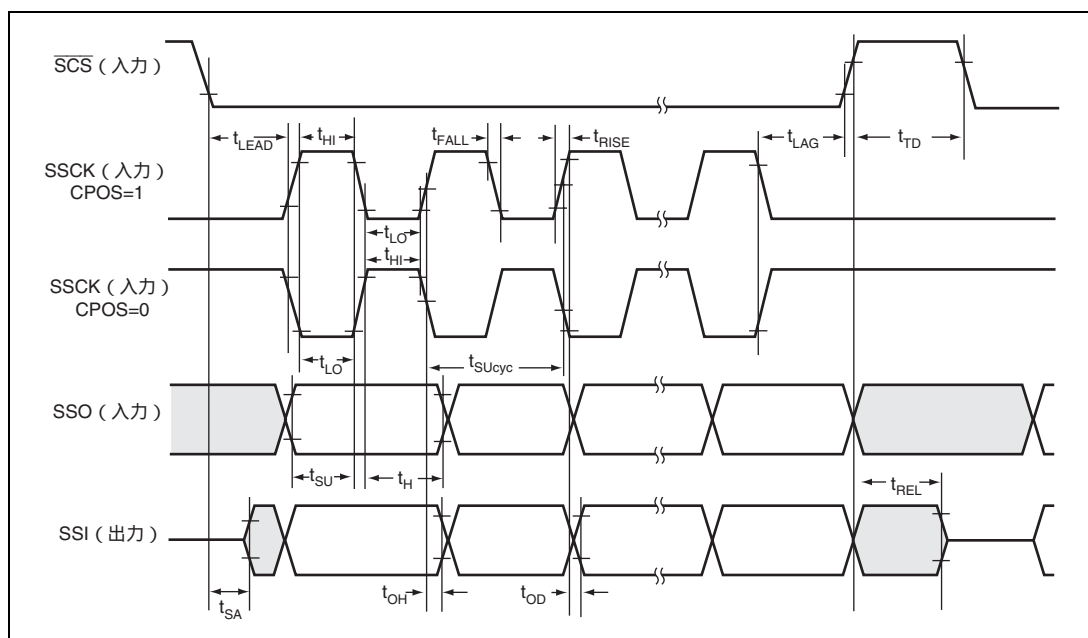


図 36.34 SSU タイミング (スレープ、CPHS = 0)

36.4.10 IIC3 タイミング

表 36.15 (1) IIC3 タイミング I²C バスフォーマット

条件 : Vcc = PLLVcc = 1.1 ~ 1.3V, USBDVcc = 1.1 ~ 1.3V, USBAVcc = 1.1 ~ 1.3V, PVcc = 3.0 ~ 3.6V, AVcc = 3.0 ~ 3.6V, USBAPVcc = 3.0 ~ 3.6V,
2DGAPVcc0 = 3.0 ~ 3.6V, 2DGAPVcc1 = 3.0 ~ 3.6V, Vss = PLLVss = USBAVss = AVss = USBAPVss = 2DGAPVss0 = 2DGAPVss1 = 0V,

Ta = - 40 ~ 85

項目	記号	Min.	Max.	単位	参照図
SCL 入力サイクル時間	tsCL	12t _{pcyc} ^{*1} + 600	-	ns	36.35 (1)
SCL 入力ハイレベルパルス幅	tsCLH	3t _{pcyc} ^{*1} + 300	-	ns	
SCL 入力ローレベルパルス幅	tsCLL	5t _{pcyc} ^{*1} + 300	-	ns	
SCL、SDA 入力立ち上がり時間	tsr	-	300	ns	
SCL、SDA 入力立ち下がり時間	tsf	-	300	ns	
SCL、SDA 入カスパイクパルス除去時間 ^{*2}	tSP	-	1、2	t _{pcyc} ^{*1}	
SDA 入力バスフリー時間	tBUF	5	-	t _{pcyc} ^{*1}	
開始条件入力ホールド時間	tSTAH	3	-	t _{pcyc} ^{*1}	
再送開始条件入力セットアップ時間	tSTAS	3	-	t _{pcyc} ^{*1}	
停止条件入力セットアップ時間	tSTOS	3	-	t _{pcyc} ^{*1}	
データ入力セットアップ時間	tSDAS	1t _{pcyc} ^{*1} + 20	-	ns	
データ入力ホールド時間	tSDAH	0	-	ns	
SCL、SDA の容量性負荷	Cb	0	400	pF	
SCL、SDA 出力立ち下がり時間 ^{*3}	tsf	-	250	ns	

【注】 *1 t_{pcyc} は周辺クロック (P) の周期を示します。

*2 NF2CYC レジスタの値に依存します。

*3 I/O バッファの特性を示しています。

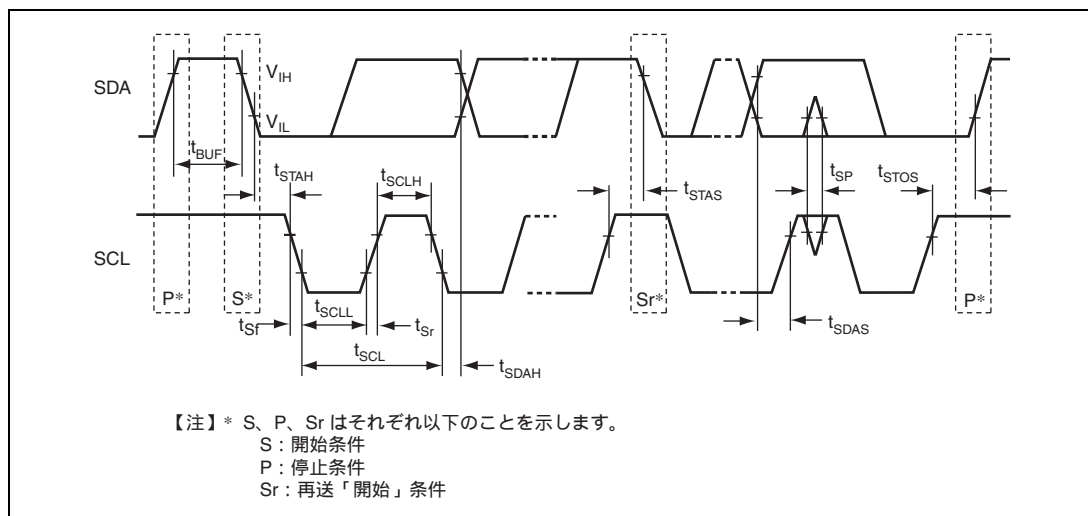


図 36.35 (1) IIC3 入出力タイミング

表 36.15 (2) I²C バスインタフェース 3 タイミング クロック同期式シリアルフォーマット

項 目	記号	Min.	Max.	単位	参照図
SCL 入力サイクル時間	tSCL	$12t_{\text{pcyc}}^{*1} + 600$	-	ns	36.35 (2)
SCL 入力ハイレベルパルス幅	tSCLH	$3t_{\text{pcyc}}^{*1} + 300$	-	ns	
SCL 入力ローレベルパルス幅	tSCLL	$5t_{\text{pcyc}}^{*1} + 300$	-	ns	
SCL、SDA 入力立ち上がり時間	tSr	-	300	ns	
SCL、SDA 入力立ち下がり時間	tSf	-	300	ns	
SCL、SDA 入カスパイクパルス除去時間 ^{*2}	tSP	-	1、2	t_{pcyc}^{*1}	
データ出力遅延時間	tHD	0	900	ns	36.35 (3)
データ入力セットアップ時間	tSDAS	$1t_{\text{pcyc}}^{*1} + 20$	-	ns	
データ入力ホールド時間	tSDAH	0	-	ns	
SCL、SDA の容量性負荷	Cb	0	400	pF	36.35 (2)
SCL、SDA 出力立ち下がり時間 ^{*3}	tSf	-	250	ns	36.35 (3)

【注】 *1 t_{pcyc} は周辺クロック (P) の周期を示します。

*2 NF2CYC レジスタの値に依存します。

*3 I/O バッファの特性を示しています。

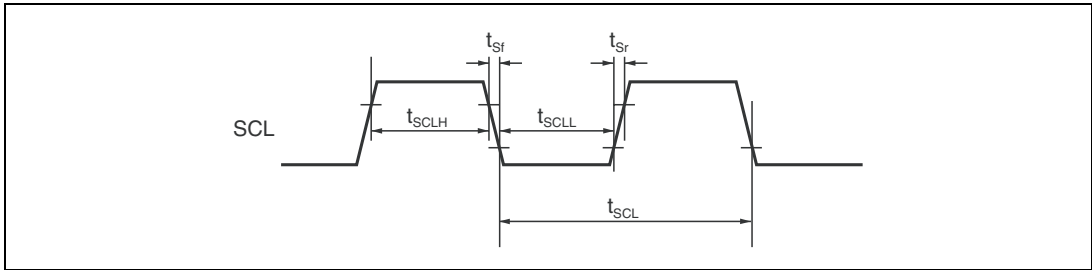


図 36.35 (2) クロック入出力タイミング

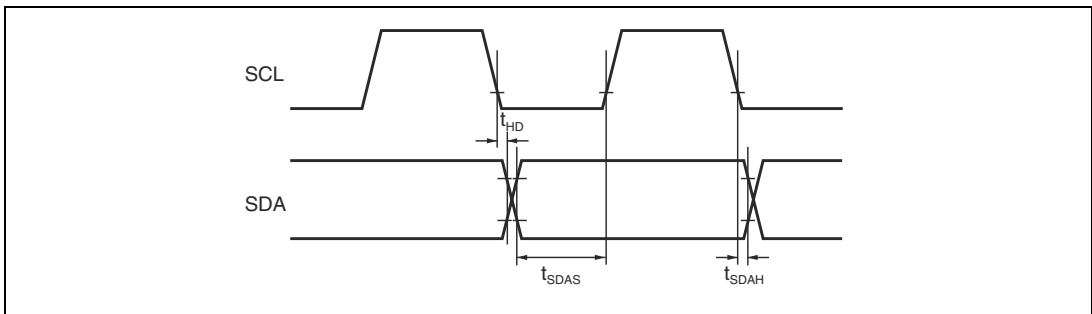


図 36.35 (3) 送受信タイミング

36.4.11 SSIF タイミング

表 36.16 SSIF タイミング

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$ 、 $USBDV_{cc} = 1.1 \sim 1.3V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、
 $2DGAPV_{cc0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{cc1} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$ 、

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	備考	参考図
出力クロック周期	t_o	80	64000	ns	出力	36.36
入力クロック周期	t_i	80	64000	ns	入力	
クロックハイレベル	t_{HC}	32	-	ns	双方向	
クロックローレベル	t_{LC}	32	-	ns		
クロック立ち上がり時間	t_{RC}	-	25	ns	出力	
遅延	t_{DTR}	- 5	25	ns	送信	36.37、36.38
セットアップ時間	t_{SR}	25	-	ns	受信	36.39、36.40
ホールド時間	t_{HTR}	5	-	ns	受信、送信	36.37 ~ 36.40
AUDIO_CLK 入力周波数	f_{AUDIO}	1	40	MHz		36.41

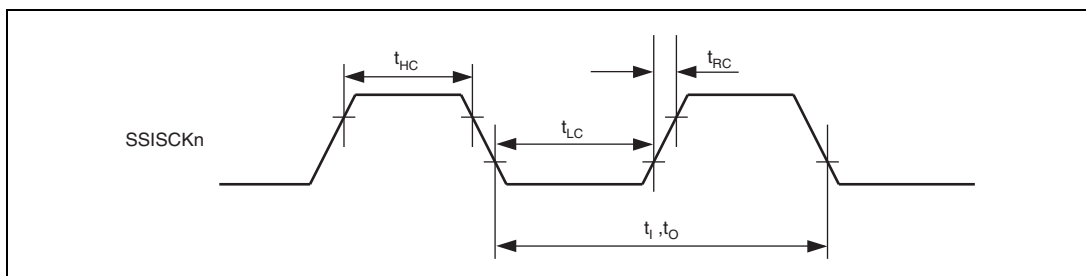


図 36.36 クロック入出力タイミング

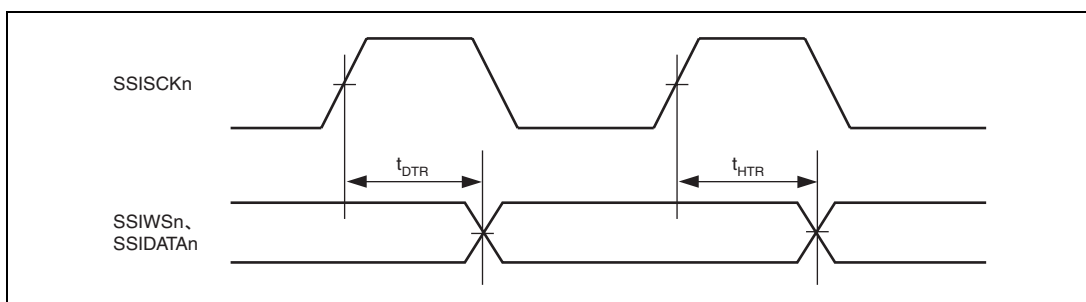


図 36.37 SSIF 送信タイミング (1)

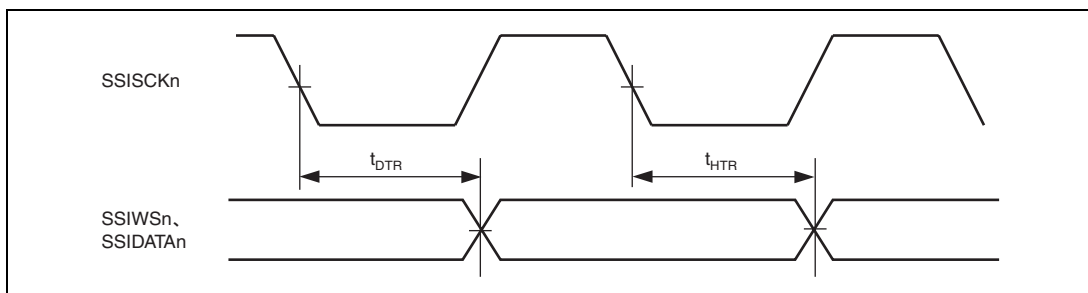


図 36.38 SSIF 送信タイミング (2)

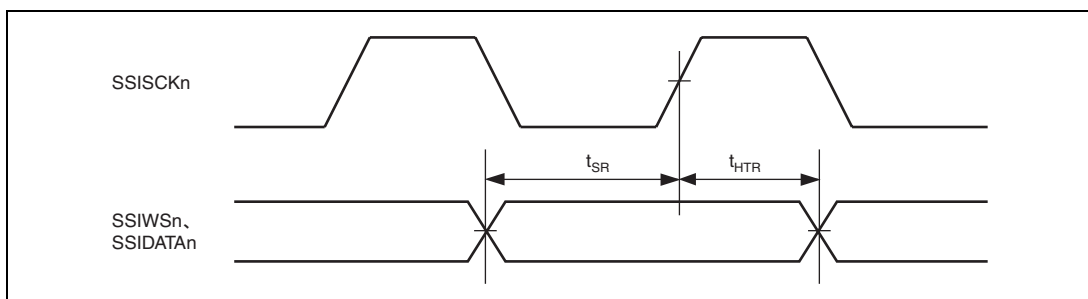


図 36.39 SSIF 受信タイミング (1)

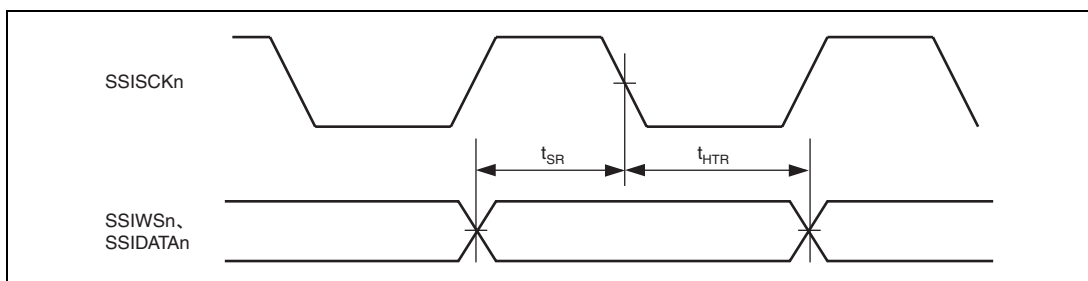


図 36.40 SSIF 受信タイミング (2)

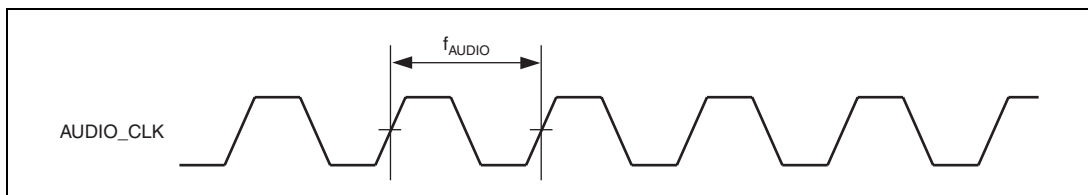


図 36.41 AUDIO_CLK 入力タイミング

36.4.12 RCAN-TL1 タイミング

表 36.17 RCAN-TL1 タイミング

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$ 、 $USBDV_{cc} = 1.1 \sim 1.3V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $2DGAPV_{cc0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{cc1} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$ 、

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
送信データ遅延時間	t_{CTXD}	-	100	ns	36.42
受信データセットアップ時間	t_{CRXS}	100	-		
受信データホールド時間	t_{CRXH}	100	-		

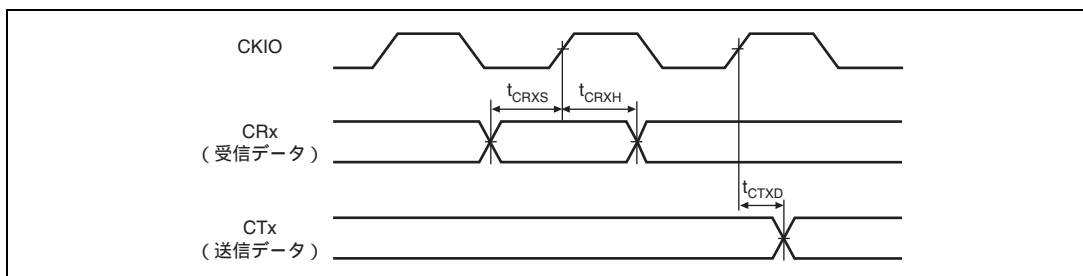


図 36.42 RCAN-TL1 入出力タイミング

36.4.13 ADC タイミング

表 36.18 ADC タイミング

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$, $USBDV_{cc} = 1.1 \sim 1.3V$, $USBAV_{cc} = 1.1 \sim 1.3V$, $PV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $USBAPV_{cc} = 3.0 \sim 3.6V$,
 $2DGAPV_{cc0} = 3.0 \sim 3.6V$, $2DGAPV_{cc1} = 3.0 \sim 3.6V$, $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$,
 $T_a = -40 \sim 85$

モジュール	項目	記号	Min.	Max.	単位	参照図
A/D 変換器	トリガ入力セット アップ時間	B : P クロック比 = 1 : 1	17	-	ns	36.43
		B : P クロック比 = 2 : 1	$t_{cyc} + 17$	-		
		B : P クロック比 = 4 : 1	$3 \times t_{cyc} + 17$	-		

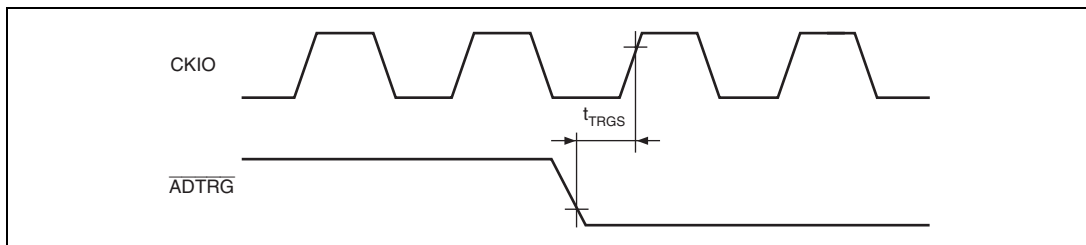


図 36.43 A/D 変換器外部トリガ入力タイミング

36.4.14 FLCTL タイミング

表 36.19 AND 型フラッシュメモリインタフェースタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$, $USBDV_{cc} = 1.1 \sim 1.3V$, $USBAV_{cc} = 1.1 \sim 1.3V$, $PV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $USBAPV_{cc} = 3.0 \sim 3.6V$,
 $2DGAPV_{cc0} = 3.0 \sim 3.6V$, $2DGAPV_{cc1} = 3.0 \sim 3.6V$, $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$,

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
コマンド発行セットアップ時間	tACDS	$2 \times t_{f_{cyc}} - 10$	-	ns	36.44、36.48
コマンド発行ホールド時間	tACDH	$2 \times t_{f_{cyc}} - 10$	-	ns	
データ出力セットアップ時間	tADOS	$t_{f_{cyc}} - 10$	-	ns	36.44、36.45、 36.48
データ出力ホールド時間	tADOH	$t_{f_{cyc}} - 10$	-	ns	
データ出力セットアップ時間 2	tADOS2	$0.5 \times t_{f_{cyc}} - 10$	-	ns	36.47
データ出力ホールド時間 2	tADOH2	$0.5 \times t_{f_{cyc}} - 10$	-	ns	
FWE サイクル時間	tACWC	$2 \times t_{f_{cyc}} - 5$	-	ns	36.45
FWE ローパルス幅	tAWP	$t_{f_{cyc}} - 5$	-	ns	36.44、36.45、 36.48
FWE ハイパルス幅	tAWPH	$t_{f_{cyc}} - 5$	-	ns	
コマンド - アドレス遷移時間	tACAS	$4 \times t_{f_{cyc}}$	-	ns	36.46
アドレス - データリード遷移時間	tAADDR	$32 \times t_{p_{cyc}}$	-	ns	
アドレス - レディ / ビジー遷移時間	tAADRB	-	$35 \times t_{p_{cyc}}$	ns	
レディ / ビジー - データリード遷移時間	tARBDR	$3 \times t_{f_{cyc}}$	-	ns	
データリードセットアップ時間	tADRS	$t_{f_{cyc}} - 10$	-	ns	36.46
FSC サイクル時間	tASCC	$t_{f_{cyc}} - 5$	-	ns	36.46、36.47
FSC ハイパルス幅	tASP	$0.5 \times t_{f_{cyc}} - 5$	-	ns	
FSC ローパルス幅	tASPL	$0.5 \times t_{f_{cyc}} - 5$	-	ns	
リードデータセットアップ時間	tARDS	24	-	ns	36.46、36.48
リードデータホールド時間	tARDH	5	-	ns	
ステータスリードセットアップ時間	tASRDS	$2 \times t_{p_{cyc}} + 24$	-	ns	36.48
アドレス - データライト遷移時間	tAADDW	$4 \times t_{p_{cyc}}$	-	ns	36.47
データライトセットアップ時間	tADWS	$50 \times t_{p_{cyc}}$	-	ns	
FSC - FOE ホールド時間	tASOH	$2 \times t_{f_{cyc}} - 10$	-	ns	36.46

【注】 $t_{f_{cyc}}$ は FLCTL クロックの 1 サイクル時間を示します。

$t_{p_{cyc}}$ は周辺クロック (P) の 1 サイクル時間を示します。

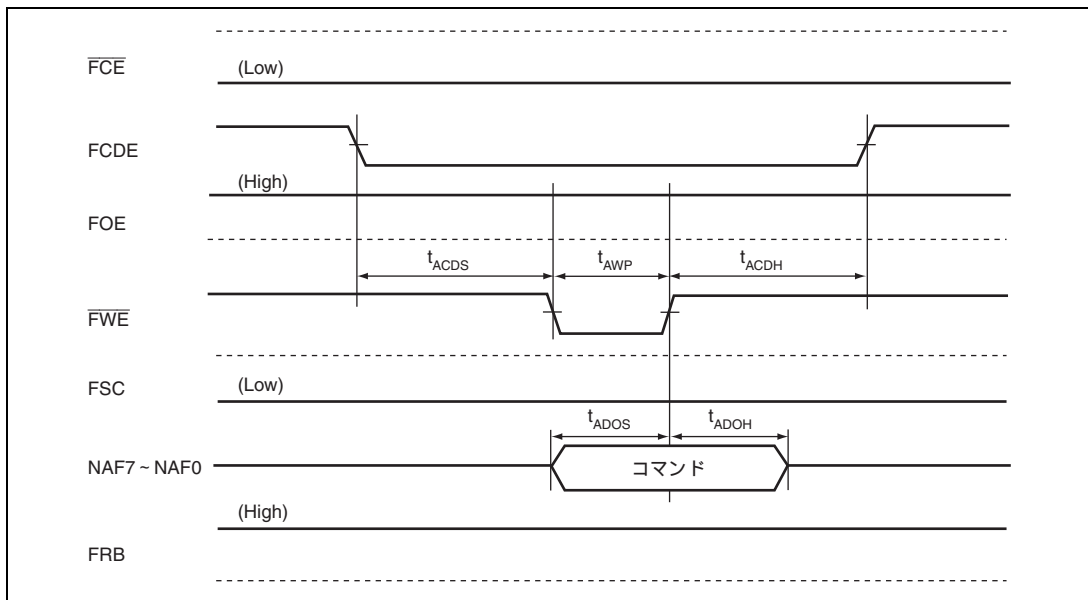


図 36.44 AND 型フラッシュメモリのコマンド発行タイミング

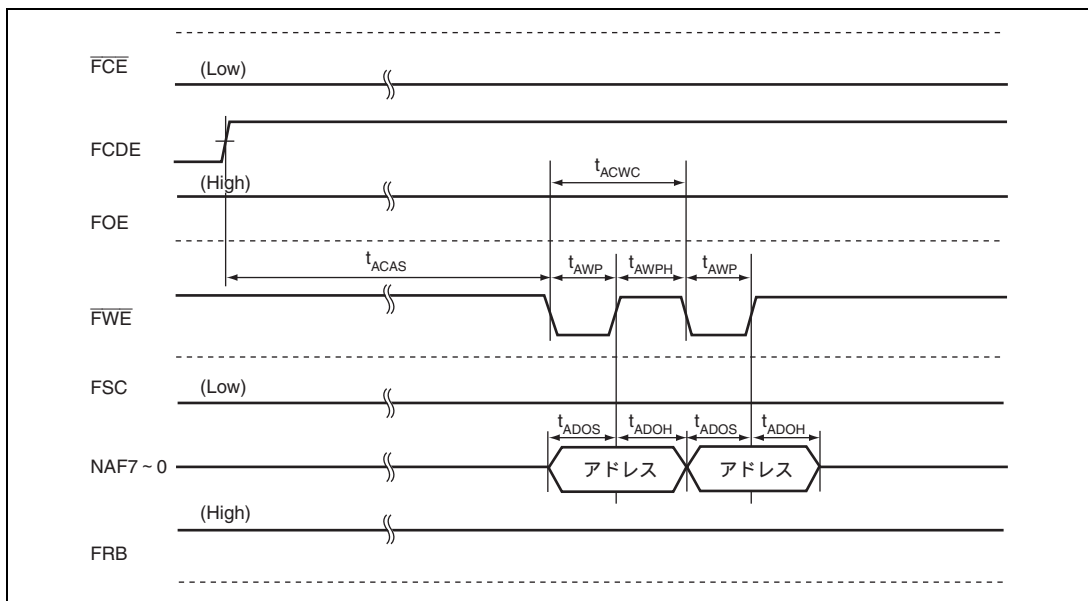


図 36.45 AND 型フラッシュメモリのアドレス発行タイミング

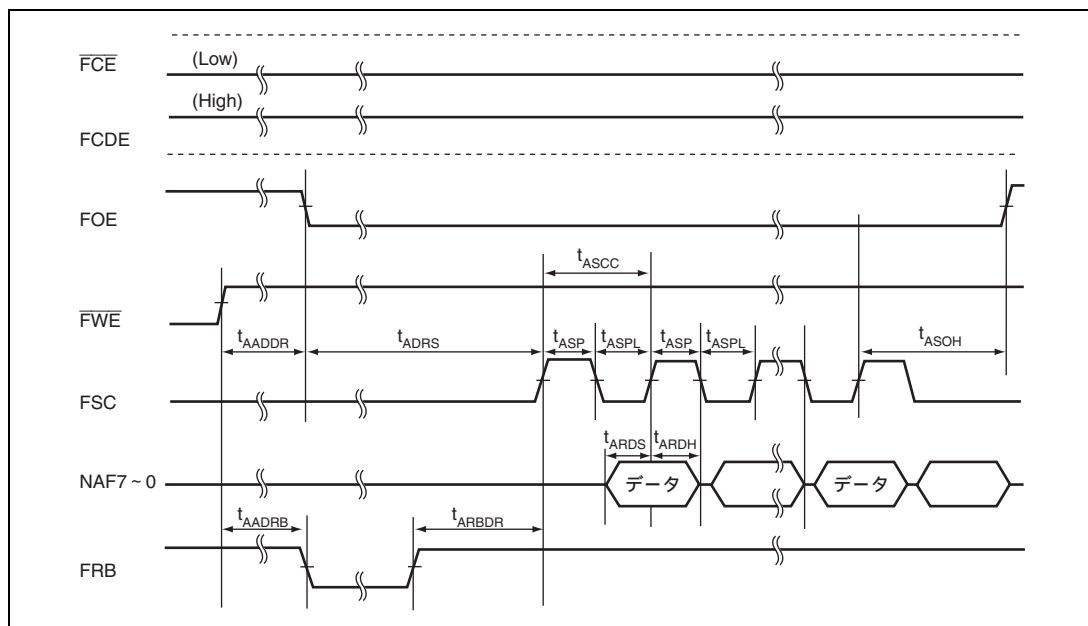


図 36.46 AND型フラッシュメモリのデータリードタイミング

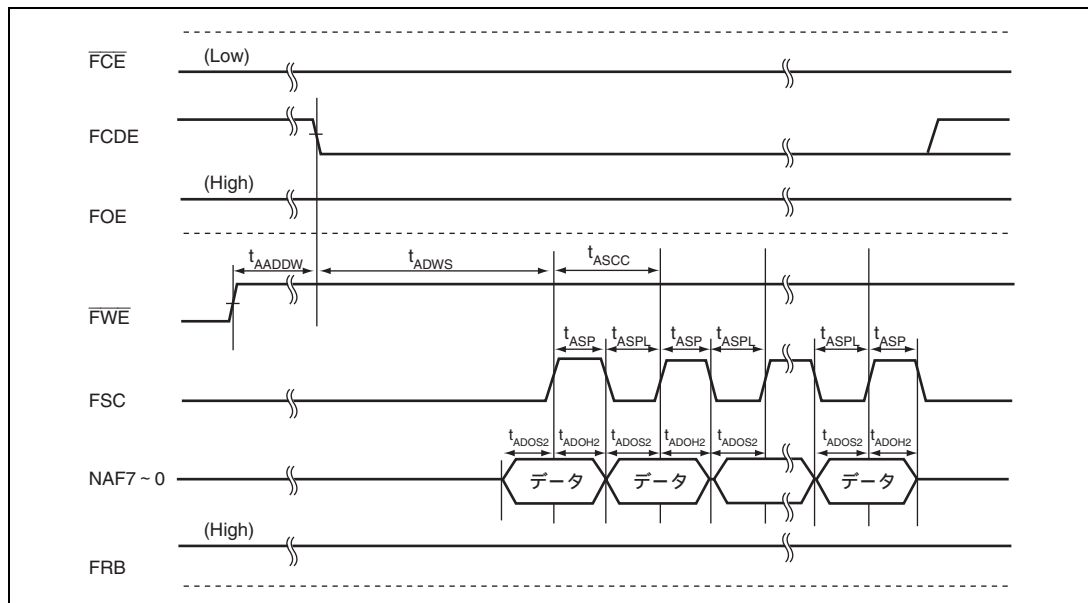


図 36.47 AND型フラッシュメモリのデータライトタイミング

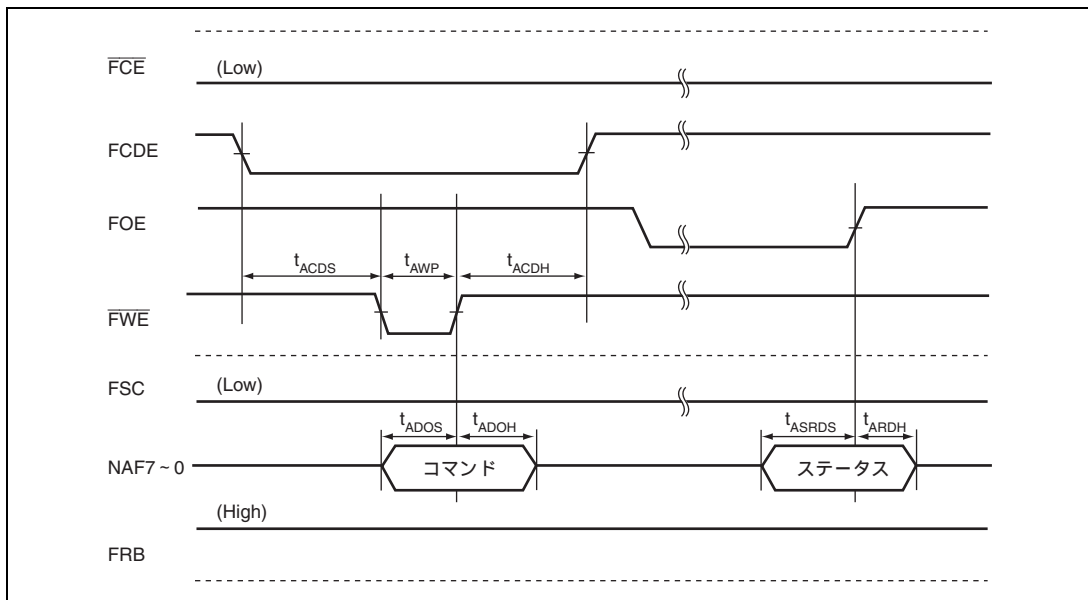


図 36.48 AND 型フラッシュメモリのステータスリードタイミング

表 36.20 NAND 型フラッシュメモリインタフェースタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$ 、 $USBDV_{cc} = 1.1 \sim 1.3V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $2DGAPV_{cc0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{cc1} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$ 、

$T_a = -40 \sim 85$

項 目	記号	Min.	Max.	単位	参照図
コマンド出力セットアップ時間	tNCDS	$2 \times t_{fycyc} - 10$	-	ns	36.49、36.53
コマンド出力ホールド時間	tNC DH	$1.5 \times t_{fycyc} - 5$	-	ns	
データ出力セットアップ時間	tNDOS	$0.5 \times t_{wfcyc} - 5$	-	ns	36.49、36.50、 36.52、36.53
データ出力ホールド時間	tND OH	$0.5 \times t_{wfcyc} - 10$	-	ns	
コマンド - アドレス遷移時間 1	tNC DAD1	$1.5 \times t_{fycyc} - 10$	-	ns	36.49、36.50
コマンド - アドレス遷移時間 2	tNC DAD2	$2 \times t_{fycyc} - 10$	-	ns	36.50
FWE サイクル時間	tNWC	$t_{wfcyc} - 5$	-	ns	36.50、36.52
FWE ローパルス幅	tNWP	$0.5 \times t_{wfcyc} - 5$	-	ns	36.49、36.50、 36.52、36.53
FWE ハイパルス幅	tNWH	$0.5 \times t_{wfcyc} - 5$	-	ns	
アドレス - レディ / ビジー遷移時間	tNADRB	-	$32 \times t_{pcyc}$	ns	36.50、36.51
コマンド - レディ / ビジー遷移時間	tNC DRB	-	$10 \times t_{pcyc}$	ns	
レディ / ビジー - データリード遷移時間 1	tNR BDR1	$1.5 \times t_{fycyc}$	-	ns	36.51
レディ / ビジー - データリード遷移時間 2	tNR BDR2	$32 \times t_{pcyc}$	-	ns	
FSC サイクル時間	tNSCC	$t_{wfcyc} - 5$	-	ns	36.51、36.53
FSC ローパルス幅	tNSP	$0.5 \times t_{wfcyc} - 5$	-	ns	
FSC ハイパルス幅	tNSPH	$0.5 \times t_{wfcyc} - 5$	-	ns	36.51
リードデータセットアップ時間	tNR DS	24	-	ns	36.51、36.53
リードデータホールド時間	tNR DH	5	-	ns	36.51、36.53
データライトセットアップ時間	tND WS	$32 \times t_{pcyc}$	-	ns	36.52
コマンド - ステータスリード遷移時間	tNC DSR	$4 \times t_{fycyc}$	-	ns	36.53
コマンド出力オフ - ステータスリード遷移時間	tNC DFSR	$3.5 \times t_{fycyc}$	-	ns	
ステータスリードセットアップ時間	tNSTS	$2.5 \times t_{fycyc}$	-	ns	

【注】 t_{fycyc} は FLCTL クロックの 1 サイクル時間になります。

t_{wfcyc} は NANDWF ビットが 0 の場合、FLCTL クロックの 1 サイクル時間、NANDWF ビットが 1 の場合、FLCTL クロックの 2 サイクル時間になります。

t_{pcyc} は周辺クロック (P) の 1 サイクル時間を示します。

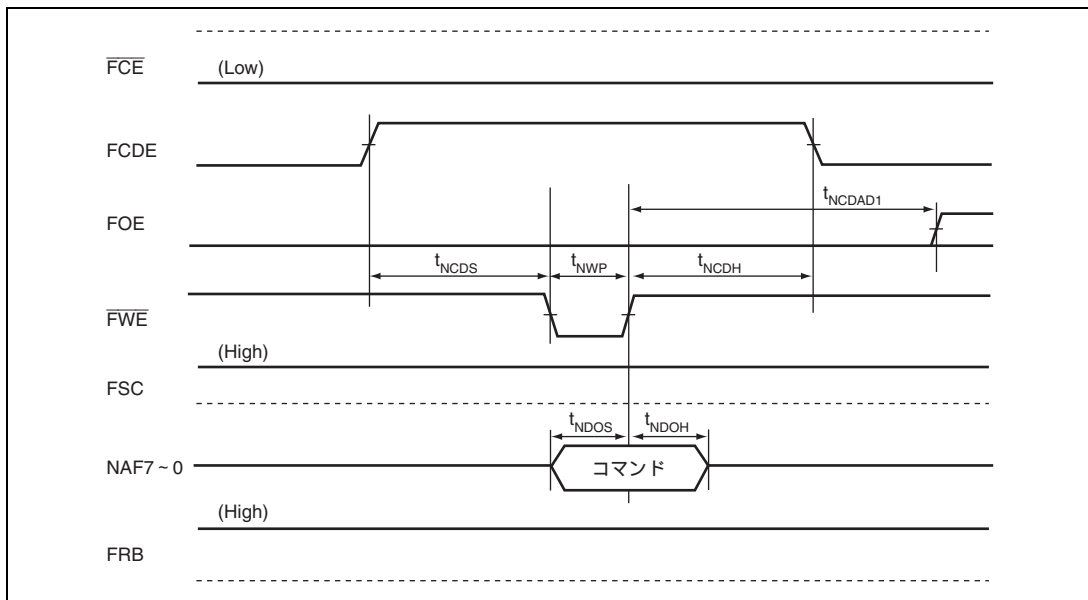


図 36.49 NAND 型フラッシュメモリのコマンド発行タイミング

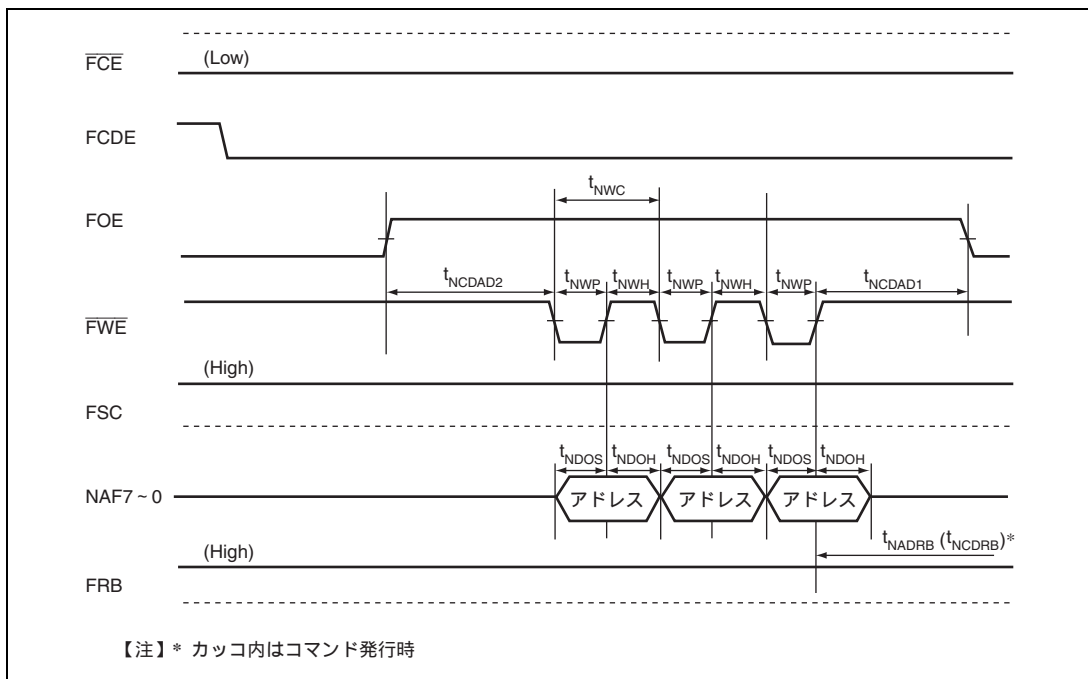


図 36.50 NAND 型フラッシュメモリのアドレス発行タイミング

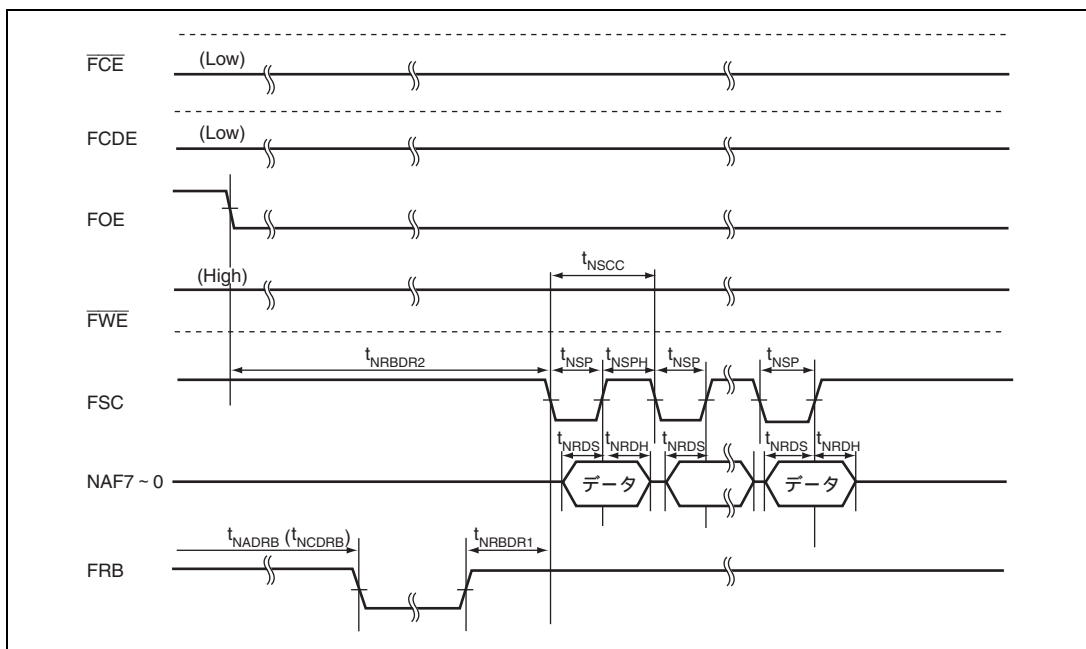


図 36.51 NAND 型フラッシュメモリのデータリードタイミング

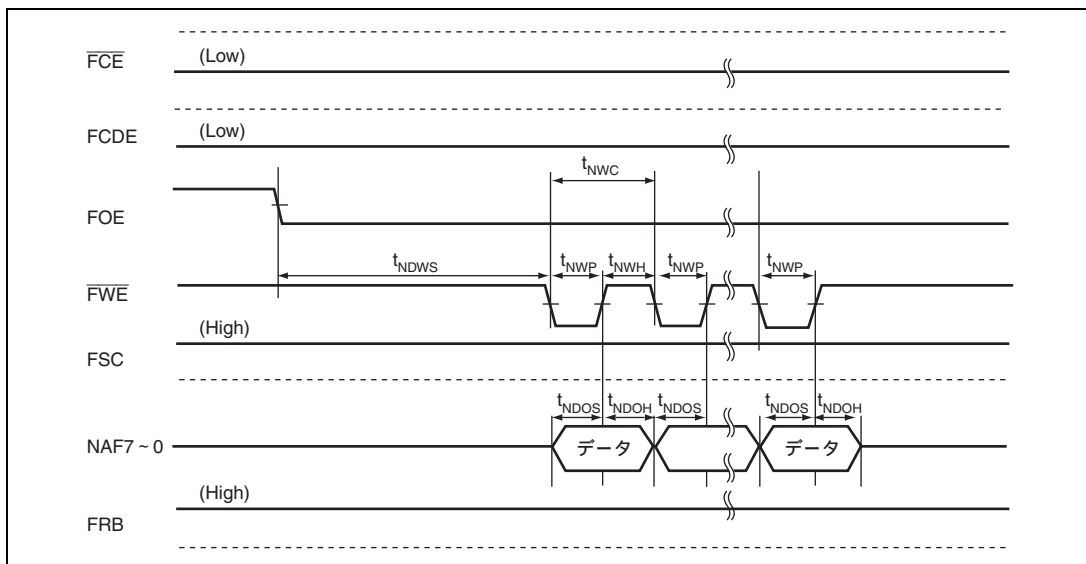


図 36.52 NAND 型フラッシュメモリのデータライトタイミング

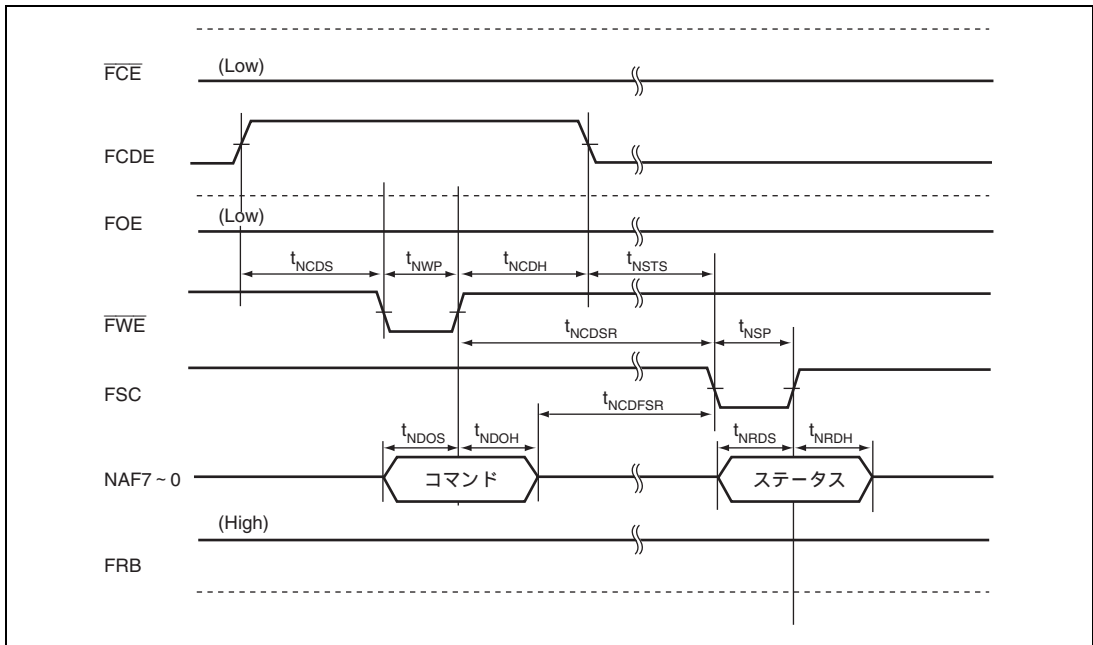


図 36.53 NAND 型フラッシュメモリのステータスリードタイミング

36.4.15 USB タイミング

表 36.21 USB トランシーバタイミング (ロースピード時)

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$ 、 $USBDV_{CC} = 1.1 \sim 1.3V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC1} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$ 、

$T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{LR}	75	-	300	ns	36.54
立ち下がり時間	t_{LF}	75	-	300	ns	
立ち上がり / 立ち下がり時間比	t_{LR}/t_{LF}	80	-	125	%	

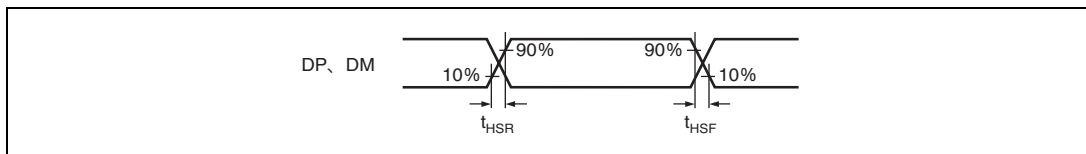


図 36.54 DP、DM 出力タイミング (ロースピード時)

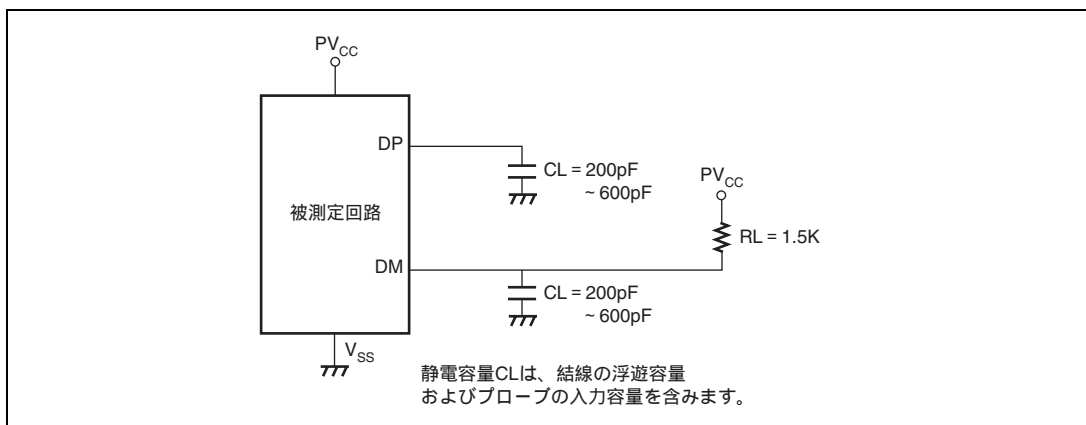


図 36.55 測定回路 (ロースピード時)

表 36.22 USB トランシーバタイミング (フルスピード時)

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$, $USBDV_{CC} = 1.1 \sim 1.3V$, $USBAV_{CC} = 1.1 \sim 1.3V$, $PV_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.0 \sim 3.6V$, $USBAPV_{CC} = 3.0 \sim 3.6V$,
 $2DGAPV_{CC0} = 3.0 \sim 3.6V$, $2DGAPV_{CC1} = 3.0 \sim 3.6V$, $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$,
 $T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{FR}	4	-	20	ns	36.56
立ち下がり時間	t_{FF}	4	-	20	ns	
立ち上がり / 立ち下がり時間比	t_{FR}/t_{FF}	90	-	111.11	%	

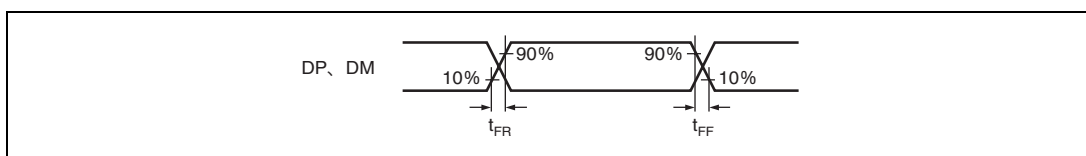


図 36.56 DP、DM 出力タイミング (フルスピード時)

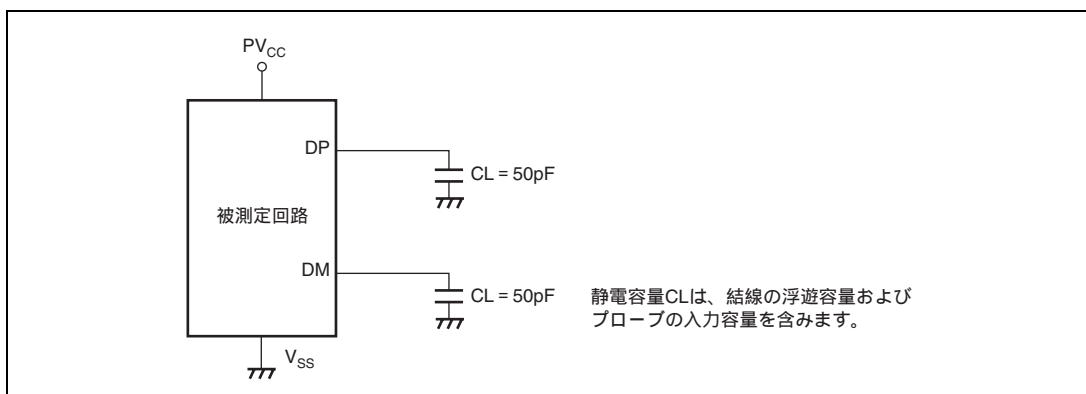


図 36.57 測定回路 (フルスピード時)

表 36.23 USB トランシーバタイミング (ハイスピード時)

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$, $USBDV_{CC} = 1.1 \sim 1.3V$, $USBAV_{CC} = 1.1 \sim 1.3V$, $PV_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.0 \sim 3.6V$, $USBAPV_{CC} = 3.0 \sim 3.6V$,
 $2DGAPV_{CC0} = 3.0 \sim 3.6V$, $2DGAPV_{CC1} = 3.0 \sim 3.6V$, $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$,

$T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{HSR}	500	-	-	ps	36.56
立ち下がり時間	t_{HSF}	500	-	-	ps	
出力ドライバ抵抗	Z_{HSDRV}	40.5	-	49.5		

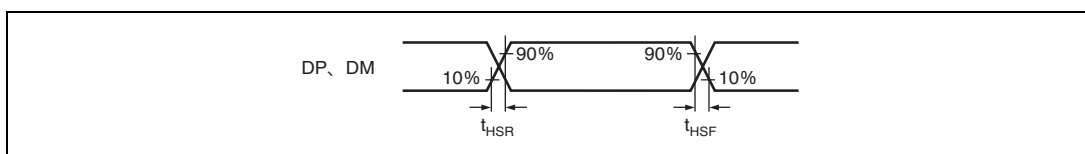


図 36.58 DP、DM 出力タイミング (ハイスピード時)

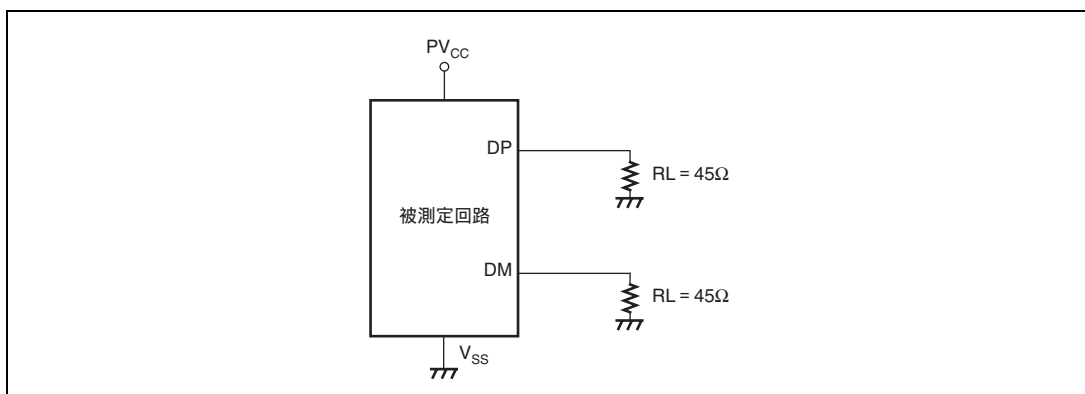


図 36.59 測定回路 (ハイスピード時)

36.4.16 ATAPI タイミング

表 36.24 ATAPI インタフェース PIO 転送によるレジスタアクセスタイミング

条件 : $PV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -40 \sim 85$ 、 $PV_{SS} = 0V$

項目	記号	条件	モード0	モード1	モード2	モード3	モード4	参考図
			ns	ns	ns	ns	ns	
サイクル時間	t_0	Min.	600	383	330	180	120	36.60
アドレスセットアップ時間	t_1	Min.	70	50	30	30	25	
IDEIORD#/IDEIOWR#パルス幅 8 ビット	t_2	Min.	290	290	290	80	70	
IDEIORD#/IDEIOWR#リカバリ時間	t_{2i}	Min.	-	-	-	70	25	
IDEIOWR#データセットアップ時間	t_3	Min.	60	45	30	30	20	
IDEIOWR#データホールド時間	t_4	Min.	30	20	15	10	10	
IDEIORD#データセットアップ時間	t_5	Min.	50	35	20	20	20	
IDEIORD#データホールド時間	t_6	Min.	5	5	5	5	5	
IDEIORD#スリーステート遅延時間	t_{6Z}	Max.	30	30	30	30	30	
アドレスホールド時間	t_9	Min.	20	15	10	10	10	
IDEIORDY リードデータ有効時間	t_{RD}	Min.	0	0	0	0	0	
IDEIORDY 信号の立ち上がりから IDEIORD#信号の立ち上がりまでの 反応時間	t_{RR}	Min.	30	30	30	30	30	
		Max.	90	90	90	90	90	
IDEIORDY セットアップ時間	t_A	Min.	35	35	35	35	35	
IDEIORDY パルス時間	t_B	Max.	1250	1250	1250	1250	1250	
IDEIORDY のネゲートから ハイインピーダンスまでの時間	t_C	Max.	5	5	5	5	5	

表 36.25 ATAPI インタフェース PIO 転送によるデータ転送のタイミング

条件 : $PV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -40 \sim 85$ 、 $PV_{SS} = 0V$

項 目	記号	条件	モード0	モード1	モード2	モード3	モード4	参考図
			ns	ns	ns	ns	ns	
サイクル時間	t_0	Min.	600	383	240	180	120	36.60
アドレスセットアップ時間	t_1	Min.	70	50	30	30	25	
IDEIORD#/IDEIOWR#パルス幅 8 ビット	t_2	Min.	165	125	100	80	70	
IDEIORD#/IDEIOWR#リカバリ時間	t_{2i}	Min.	-	-	-	70	25	
IDEIOWR#データセットアップ時間	t_3	Min.	60	45	30	30	20	
IDEIOWR#データホールド時間	t_4	Min.	30	20	15	10	10	
IDEIORD#データセットアップ時間	t_5	Min.	50	35	20	20	20	
IDEIORD#データホールド時間	t_6	Min.	5	5	5	5	5	
IDEIORD#スリーステート遅延時間	t_{6Z}	Max.	30	30	30	30	30	
アドレスホールド時間	t_9	Min.	20	15	10	10	10	
IDEIORDY リードデータ有効時間	t_{RD}	Min.	0	0	0	0	0	
IORDY 信号の立ち上がりから IDEIORD# 信号の立ち上がりまでの反応時間	t_{RR}	Min.	30	30	30	30	30	
		Max.	90	90	90	90	90	
IDEIORDY セットアップ時間	t_A	Min.	35	35	35	35	35	
IDEIORDY パルス時間	t_B	Max.	1250	1250	1250	1250	1250	
IDEIORDY のネゲートから ハイインピーダンスまでの時間	t_C	Max.	5	5	5	5	5	

表 36.26 ATAPI インタフェース マルチワード転送のタイミング

条件 : $PV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -40 \sim 85$ 、 $PV_{SS} = 0V$

項 目	記号	条件	モード 0	モード 1	モード 2	参考図
			ns	ns	ns	
サイクル時間	t_o	Min.	480	150	120	36.60 ~ 36.64
IDEIORD#/IDEIOWR#パルス幅	t_D	Min.	215	80	70	
IDEIORD#データアクセス時間	t_E	Max.	150	60	50	
IDEIORD#データホールド時間	t_F	Min.	5	5	5	
IDEIORD#データセットアップ時間	t_G	Min.	100	30	20	
IDEIOWR#データセットアップ時間		Min.	100	30	20	
IDEIOWR#データホールド時間	t_H	Min.	20	15	10	
IODACK#セットアップ時間	t_I	Min.	0	0	0	
IODACK#ホールド時間	t_J	Min.	20	5	5	
IDEIORD#ネゲートパルス幅	t_{KR}	Min.	50	50	25	
IDEIOWR#ネゲートパルス幅	t_{KW}	Min.	215	50	25	
IDEIORD# IODREQ 遅延時間	t_{LR}	Max.	120	40	35	
IDEIOWR# IODREQ 遅延時間	t_{LW}	Max.	40	40	35	
IDECS#[1:0]セットアップ時間	t_M	Min.	50	30	25	
IDECS#[1:0]ホールド時間	t_N	Min.	15	10	10	
IODACK#スリーステート遅延時間	t_Z	Max.	20	25	25	
DREQ ネゲート検出時間 (IDEIORD#、IDEIOWR#立ち上がりから IODREQ 立ち下がり)	t_S	Min.	20	20	20	
		Max.	45	45	45	

表 36.27 ATAPI インタフェース ウルトラ DMA 転送のタイミング

条件 : $PV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -40 \sim 85$ 、 $PV_{SS} = 0V$

ウルトラ DMA 転送の記号	モード 0		モード 1		モード 2		参考図
	ns		ns		ns		
	Min.	Max.	Min.	Max.	Min.	Max.	
t _{2CYCTYP}	240	-	160	-	120	-	36.65 ~ 36.74
t _{CYC}	112	-	73	-	54	-	
t _{2CYC}	230	-	154	-	115	-	
t _{DS}	15	-	10	-	7	-	
t _{DH}	5	-	5	-	5	-	
t _{DVS}	70	-	48	-	30	-	
t _{DVH}	6.2	-	6.2	-	6.2	-	
t _{CS}	15	-	10	-	7	-	
t _{CH}	5	-	5	-	5	-	
t _{CVS}	70	-	48	-	31	-	
t _{CVH}	6.2	-	6.2	-	6.2	-	
t _{ZFS}	0	-	0	-	0	-	
t _{DZFS}	70	-	48	-	31	-	
t _{FS}	-	230	-	200	-	170	
t _{LI}	0	150	0	150	0	150	
t _{MLI}	20	-	20	-	20	-	
t _{UI}	0	-	0	-	0	-	
t _{AZ}	-	10	-	10	-	10	
t _{ZA}	20	-	20	-	20	-	
t _{ZAD}	0	-	0	-	0	-	
t _{ENV}	20	70	20	70	20	70	
t _{RFS}	-	75	-	70	-	60	
t _{RP}	160	-	125	-	100	-	
t _{ORDYZ}	-	20	-	20	-	20	
t _{ZORDY}	0	-	0	-	0	-	
t _{ACK}	20	-	20	-	20	-	
t _{SS}	50	-	50	-	50	-	

表 36.28 ATAPI インタフェース ウルトラ DMA 転送のタイミングの記号について

記号	備考
t _{2CYCTYP}	平均サイクル時間 (2 サイクル分)
t _{CYC}	サイクル時間
t _{2CYC}	最小サイクル時間 (2 サイクル分)
t _{DS}	データセットアップ時間 (受け側)
t _{DH}	データホールド時間 (受け側)
t _{DVS}	データセットアップ時間 (送り側)
t _{DVH}	データホールド時間 (送り側)
t _{CS}	CRC データセットアップ時間 (受け側)
t _{CH}	CRC データホールド時間 (受け側)
t _{CVS}	CRC データセットアップ時間 (送り側)
t _{CVH}	CRC データホールド時間 (送り側)
t _{ZFS}	ストロークのドライブから最初のストロークまでのセットアップ時間 (送り側)
t _{DZFS}	データのドライブから最初のストロークまでのセットアップ時間 (送り側)
t _{FS}	最終のストローク時間
t _{LI}	制限付きインターロック時間
t _{MLI}	最小インターロック時間
t _{UI}	制限なしインターロック時間
t _{AZ}	出力リリース時間
t _{ZA}	出力ディレイ時間
t _{ZAD}	出力確定時間 (リリースから)
t _{ENV}	エンベローブ時間
t _{RFS}	最終のストローク時間
t _{RP}	STOP をアサートまたは DMARQ をネゲートするまでの時間
t _{IORDY}	IORDY をリリースするまでの時間
t _{ZIORDY}	ストロークをドライブするまでの時間
t _{ACK}	DMACK# をセットアップ / ホールド時間
t _{SS}	ストロークストップ時間

表 36.29 ATAPI インタフェース DIRECTION のタイミング

条件 : $PV_{CC} = 3.3 \pm 0.3V$ 、 $T_a = -40 \sim 85$ 、 $PV_{SS} = 0V$

項 目	記号	モード 0		モード 1		モード 2		モード 3		モード 4		参考図
		ns		ns		ns		ns		ns		
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
PIO ライト時の DIRECTION 立ち下がり遅延時間	tDIRECTION_WF	53	64	38	49	23	34	23	34	23	34	36.75
PIO ライト時の DIRECTION 立ち上がり遅延時間	tDIRECTION_WR	71	80	71	80	71	80	71	80	71	80	
マルチワード DMA データアウト DIRECTION 立ち下がり遅延時間	tMDIRECTION_F	-18	-9	-18	-9	-18	-9	-	-	-	-	36.77
マルチワード DMA データアウト DIRECTION 立ち上がり遅延時間	tMDIRECTION_R	11	20	11	20	11	20	-	-	-	-	
ウルトラ DMA データイン CRC 送信時の DIRECTION 立ち下がり遅延時間	tUDIRECTION_F (CRC)	130	139	100	109	85	94	-	-	-	-	36.79 36.80
ウルトラ DMA データイン CRC 送信時の DIRECTION 立ち上がり遅延時間	tUDIRECTION_R (CRC)	26	35	26	35	26	35	-	-	-	-	
ウルトラ DMA データアウト時の DIRECTION 立ち下がり遅延時間	tUDIRECTION_F	54	64	54	64	54	64	-	-	-	-	36.81
ウルトラ DMA データアウト時の DIRECTION 立ち上がり遅延時間	tUDIRECTION_R	71	80	71	80	71	80	-	-	-	-	36.82 36.83
DIRECTION 立ち下がりから IDED データバスを ON する時間	tDON	24	34	24	34	24	34	24	34	24	34	36.75 36.77
IDED データバスを OFF から DIRECTION 立ち上がり時間	tDOFF	11	19	11	19	11	19	11	19	11	19	36.79 ~ 36.83

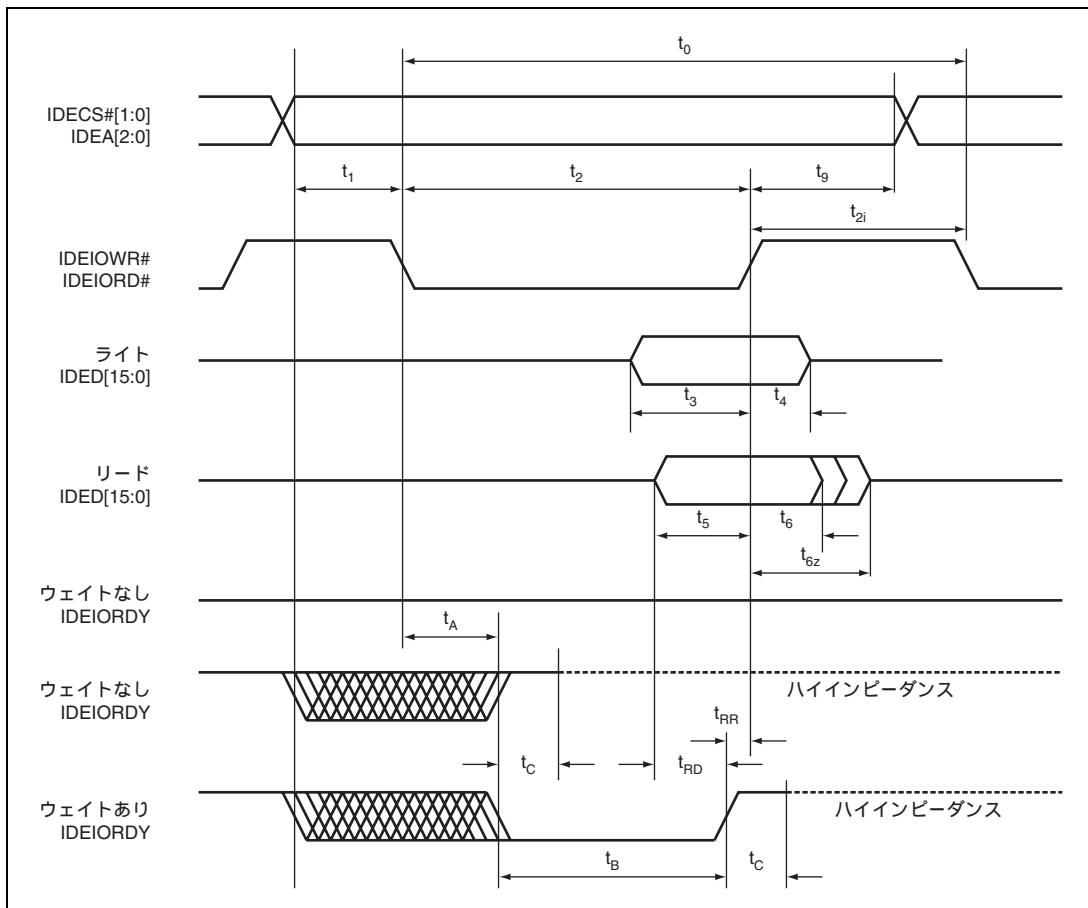


図 36.60 デバイス間の PIO データ転送およびレジスタ転送

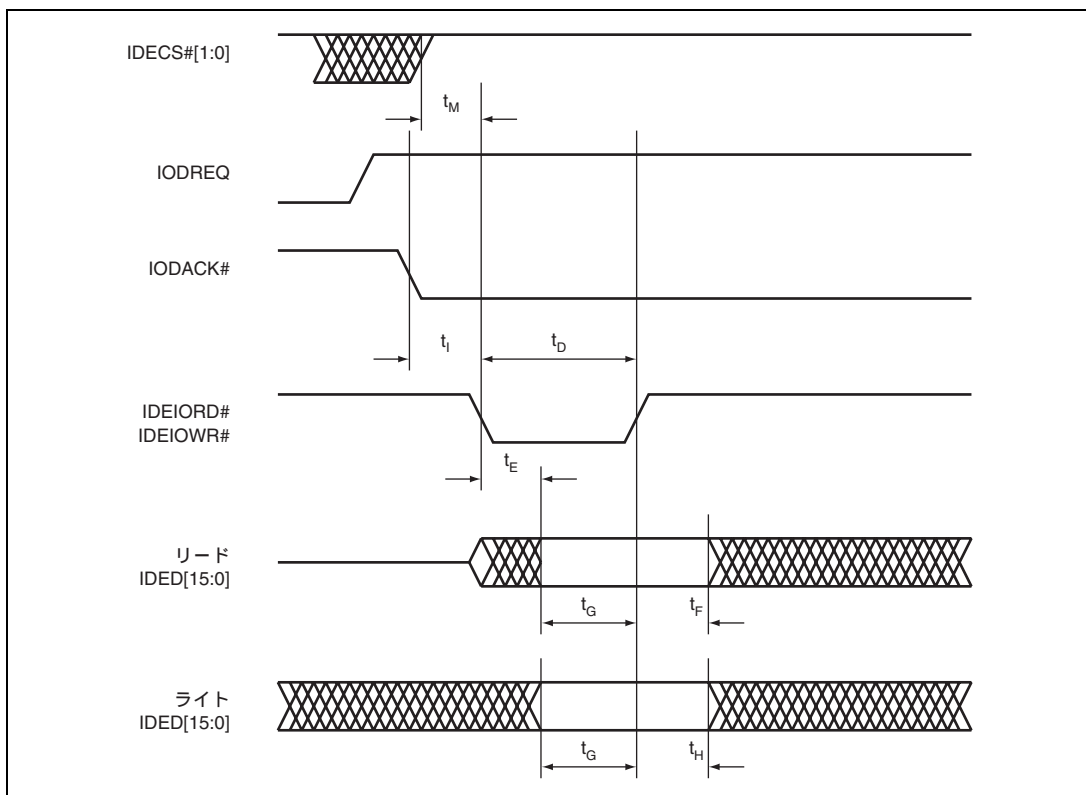


図 36.61 マルチワード DMA データ転送開始

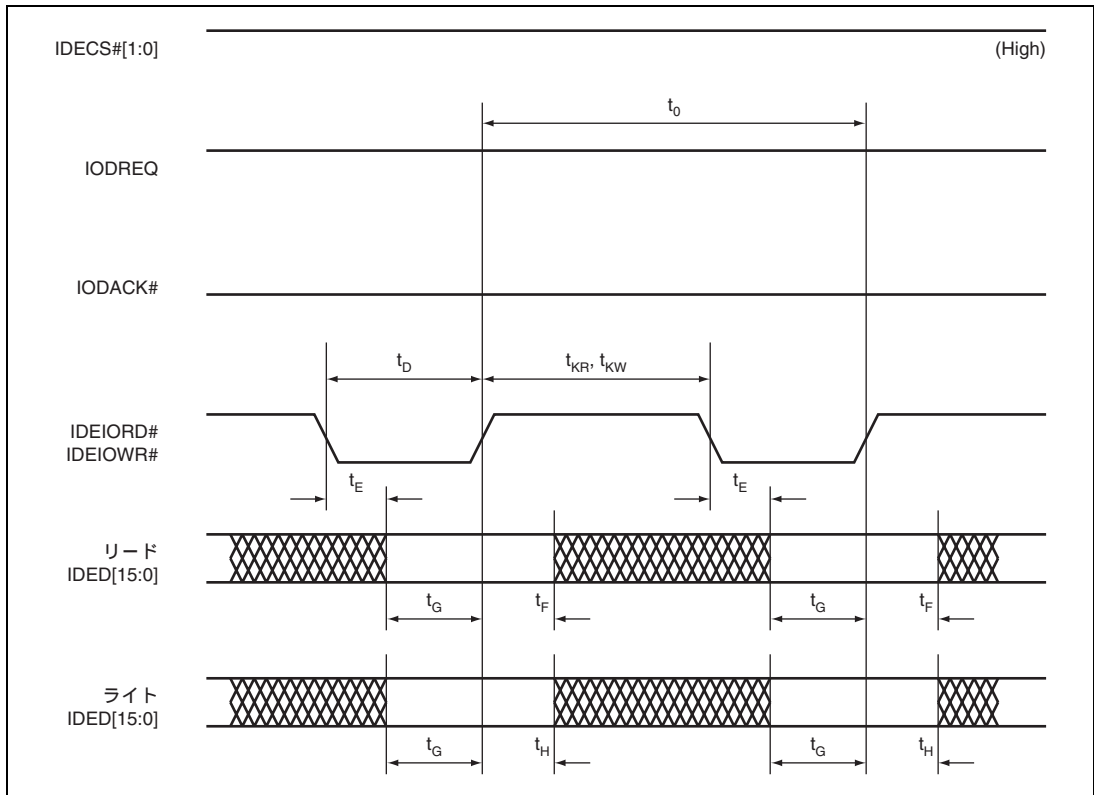


図 36.62 マルチワード DMA データ転送

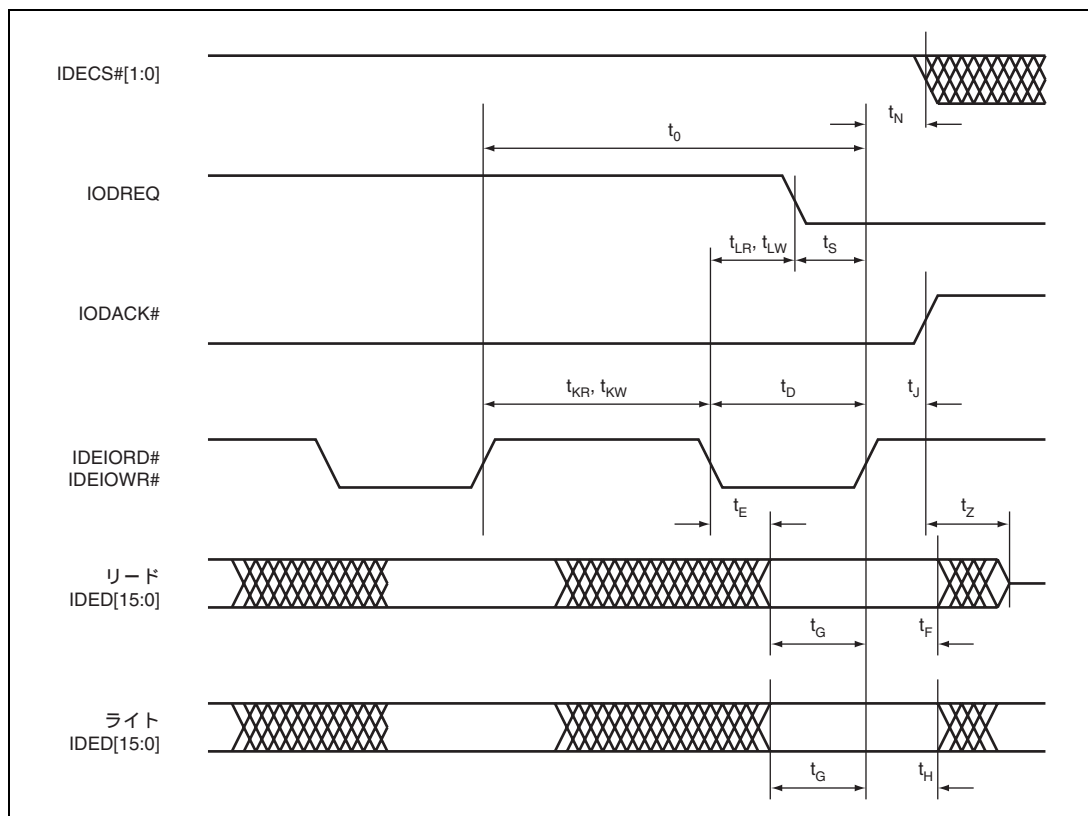


図 36.63 デバイスからのマルチワード DMA データ転送終了

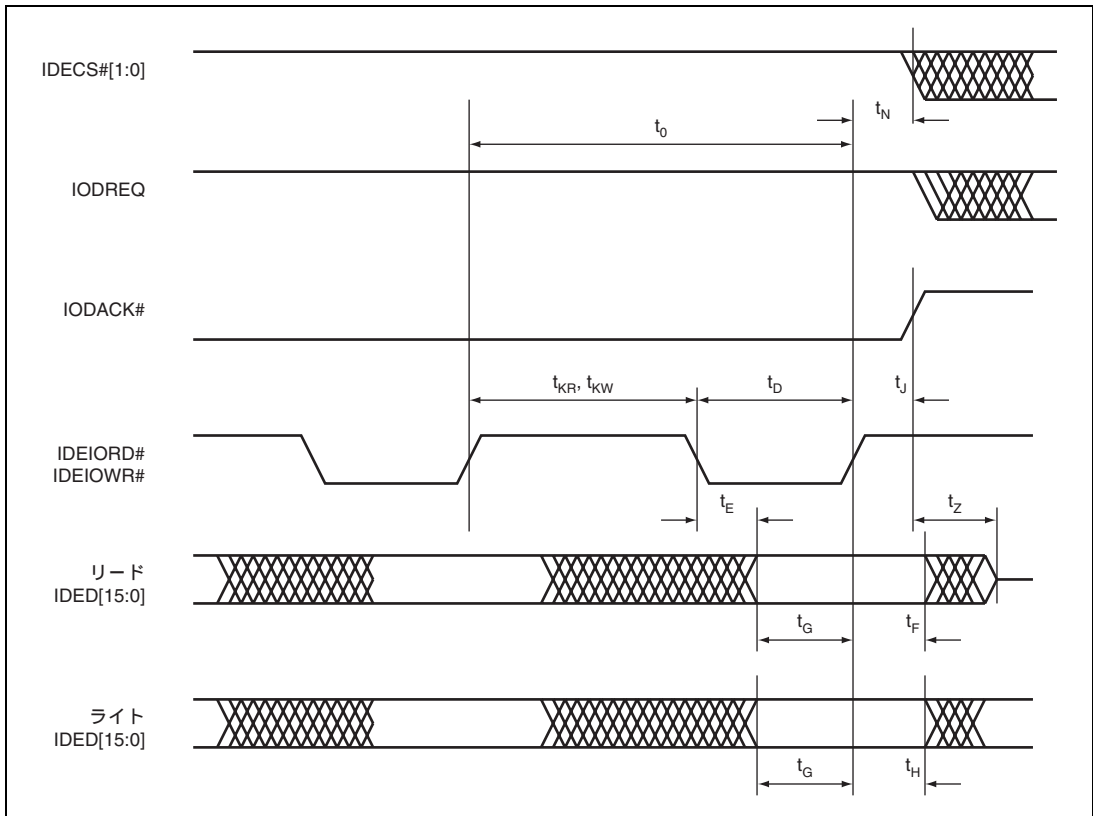


図 36.64 ホストからのマルチワード DMA データ転送終了

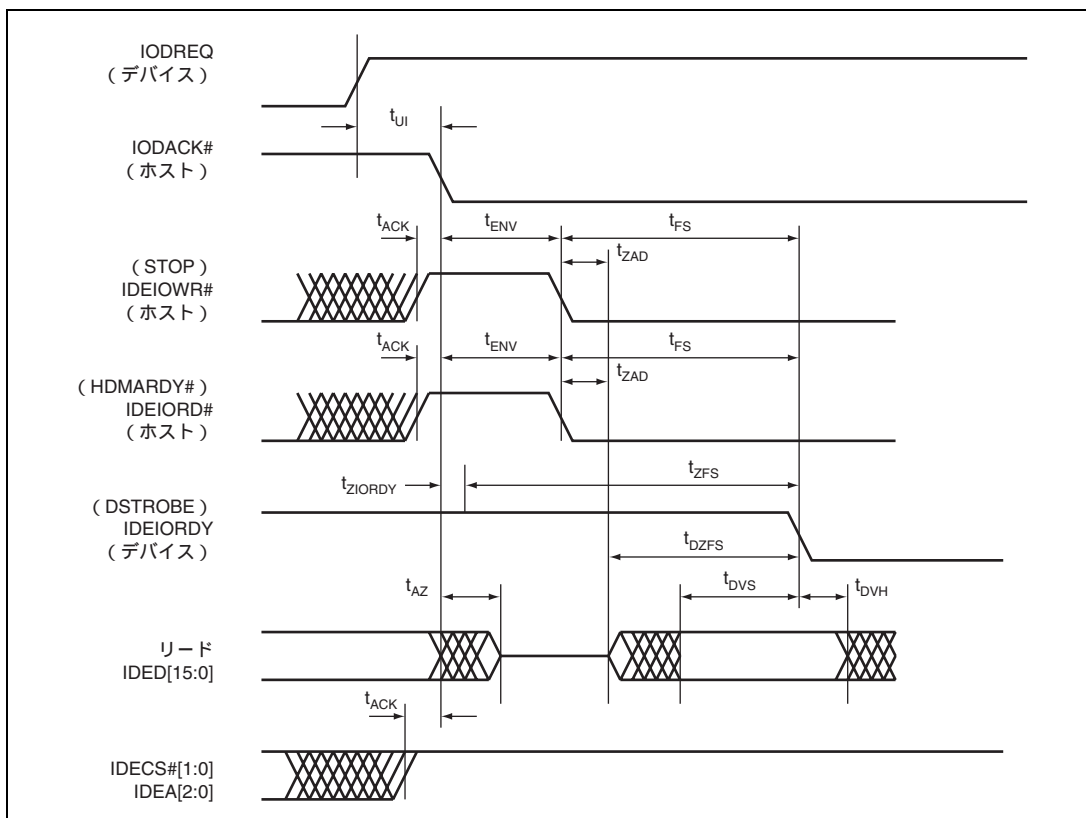


図 36.65 ウルトラ DMA データインバースト開始

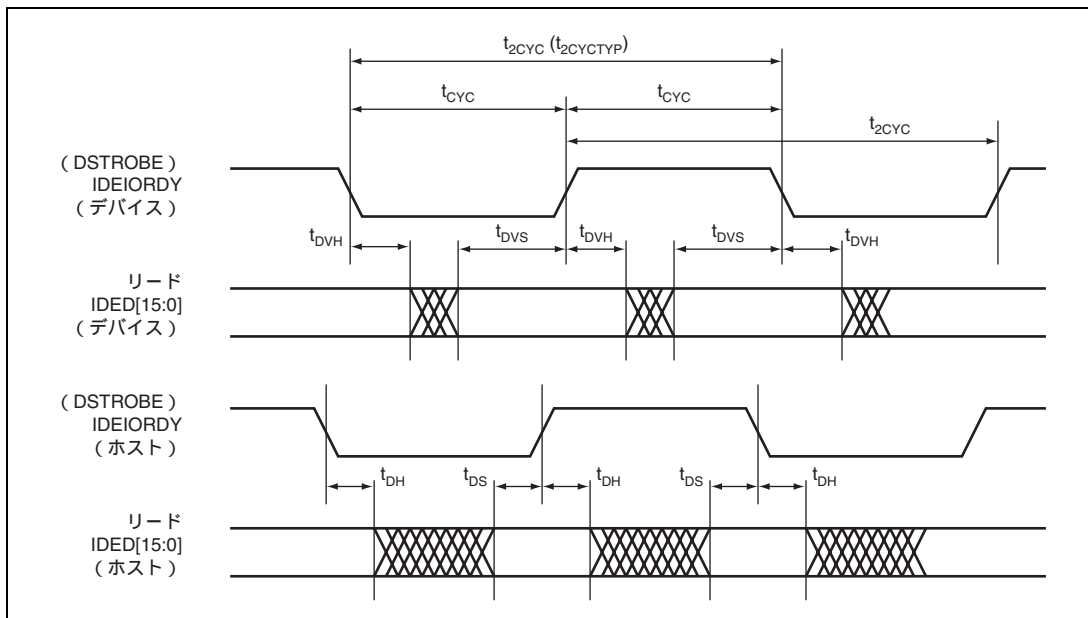


図 36.66 ウルトラ DMA データインバースト

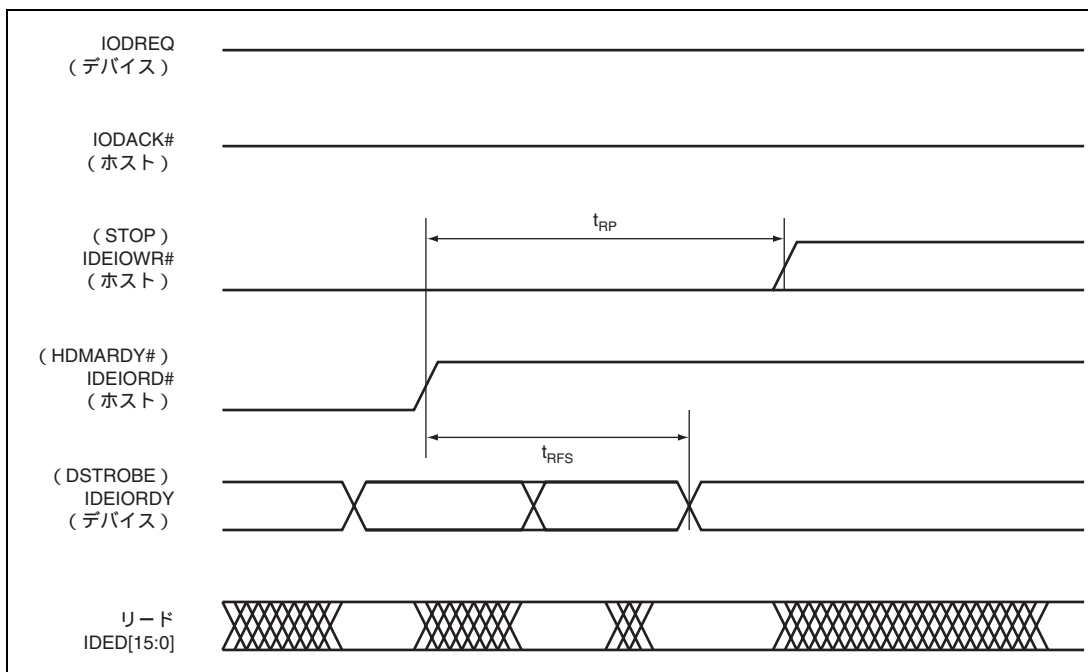


図 36.67 ホストからのウルトラ DMA データインバーストポーズ

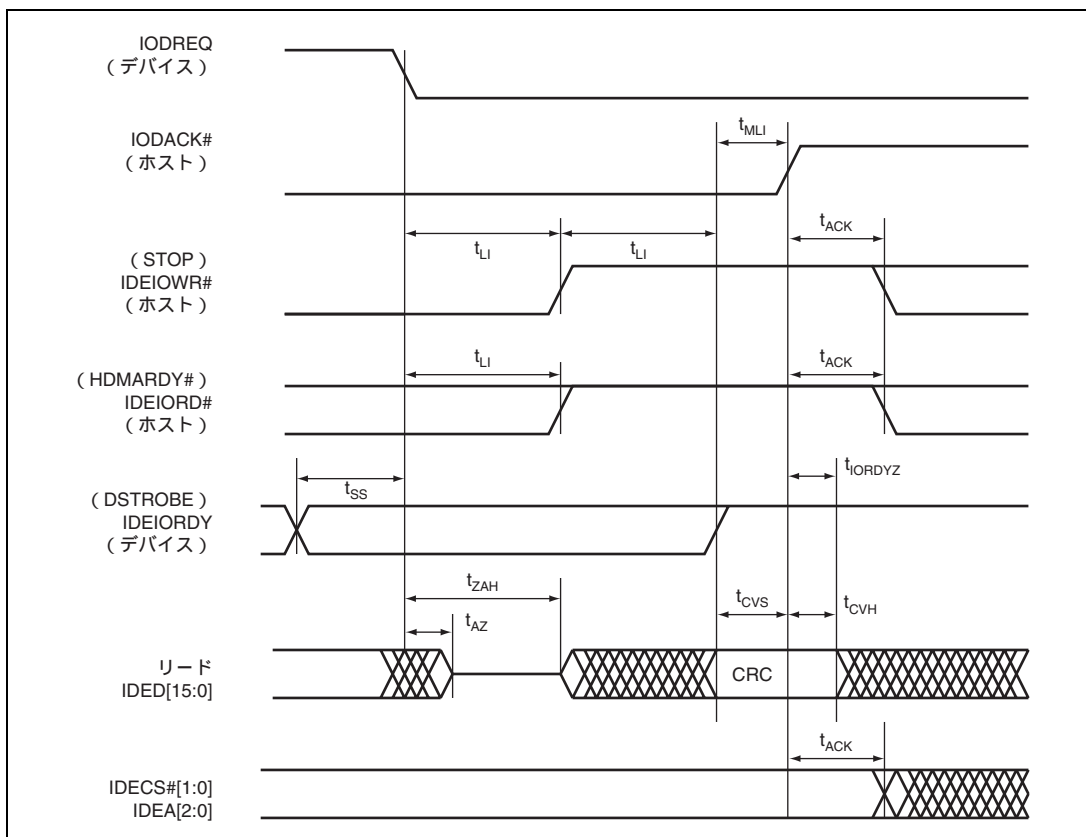


図 36.68 デバイスからのウルトラ DMA データインバースト終了

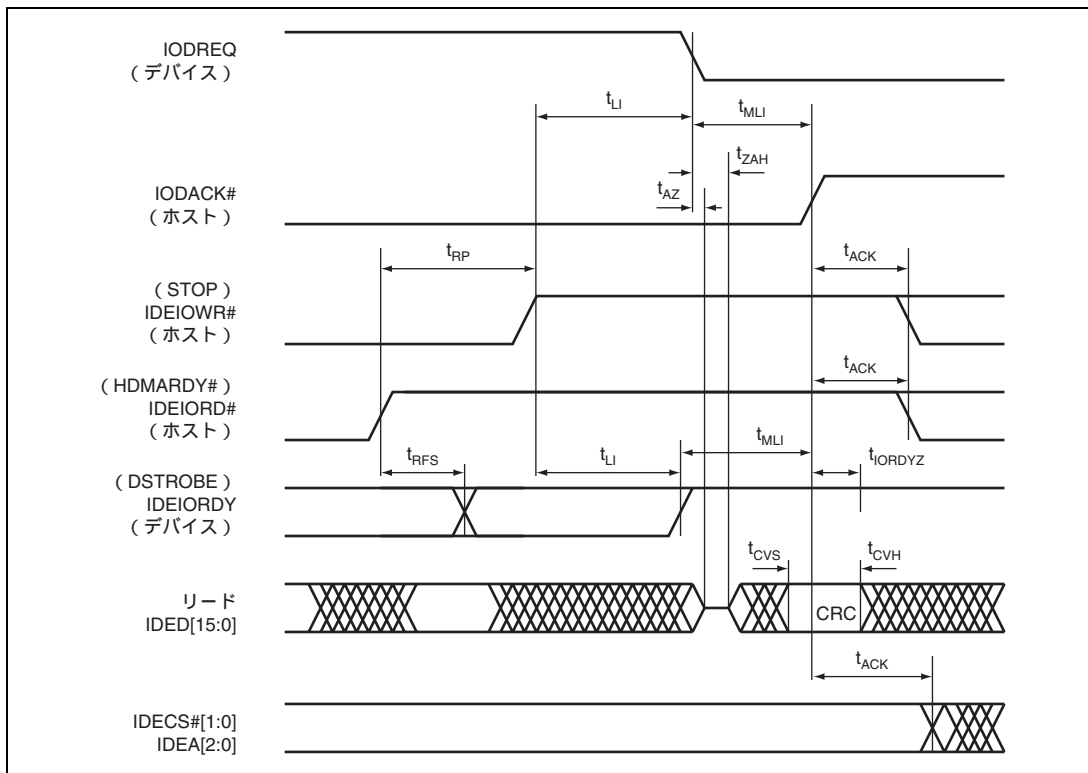


図 36.69 ホストからのウルトラ DMA データインバースト終了

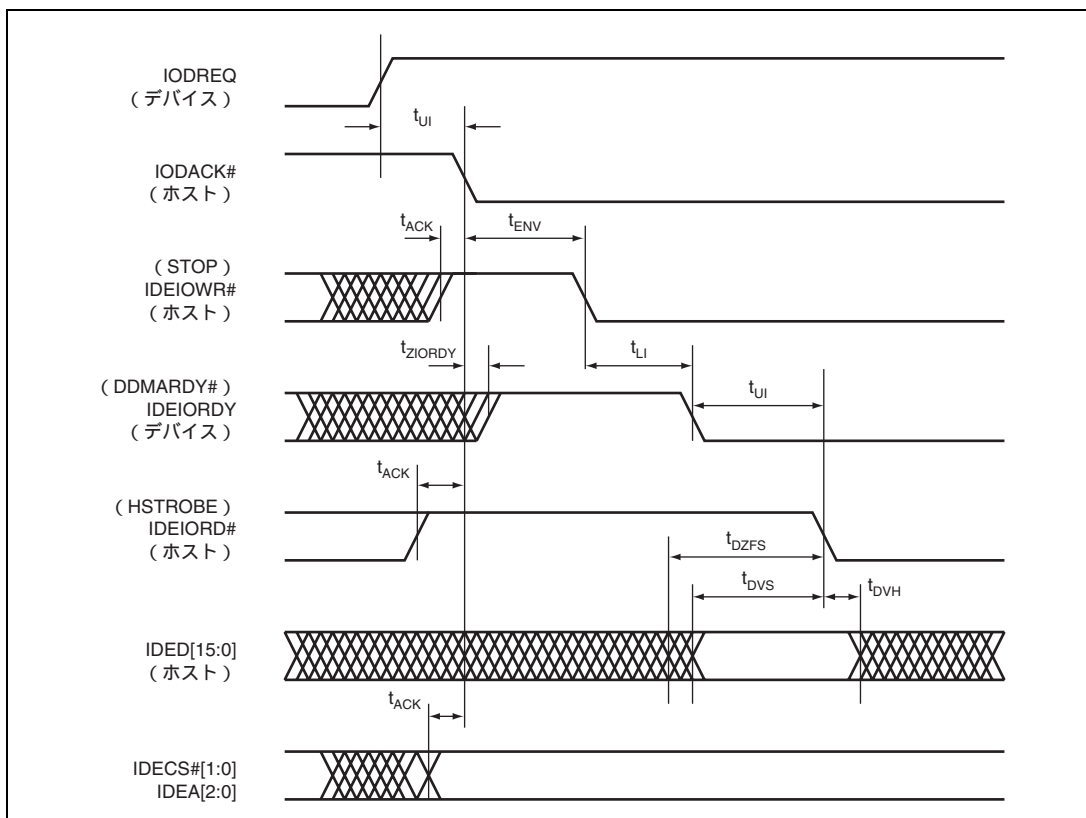


図 36.70 ウルトラ DMA データアウトバースト開始

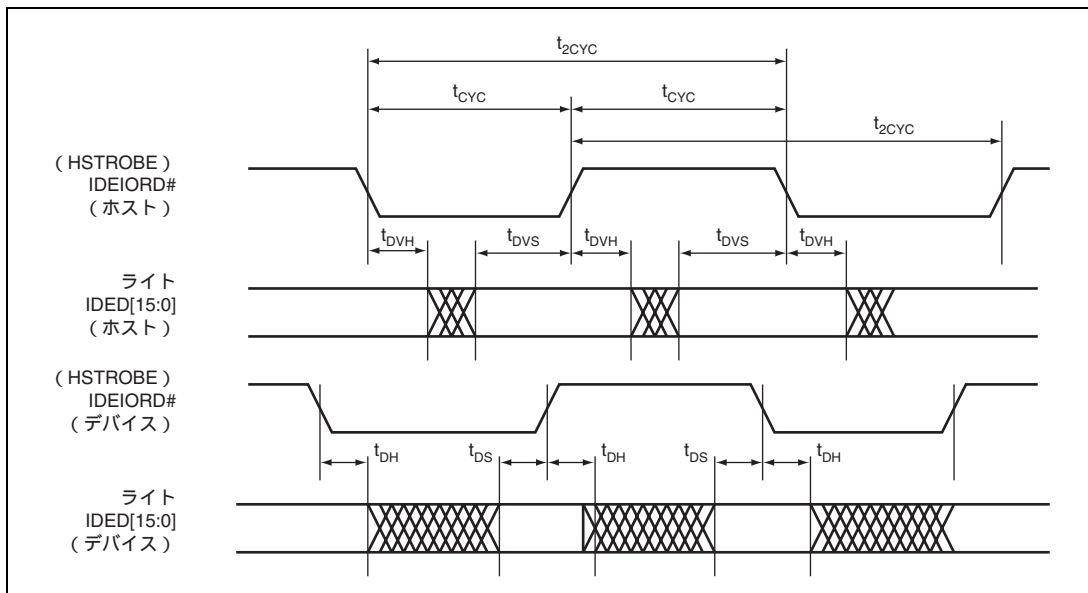


図 36.71 ウルトラ DMA データアウトバースト

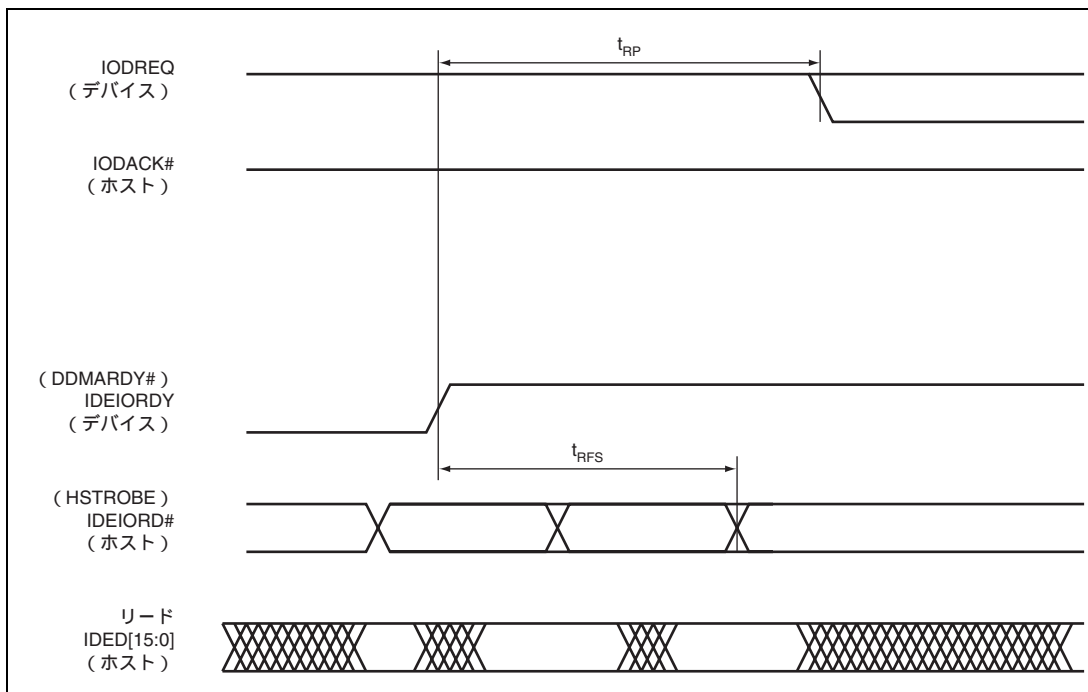


図 36.72 デバイスからのウルトラ DMA データアウトバーストポーズ

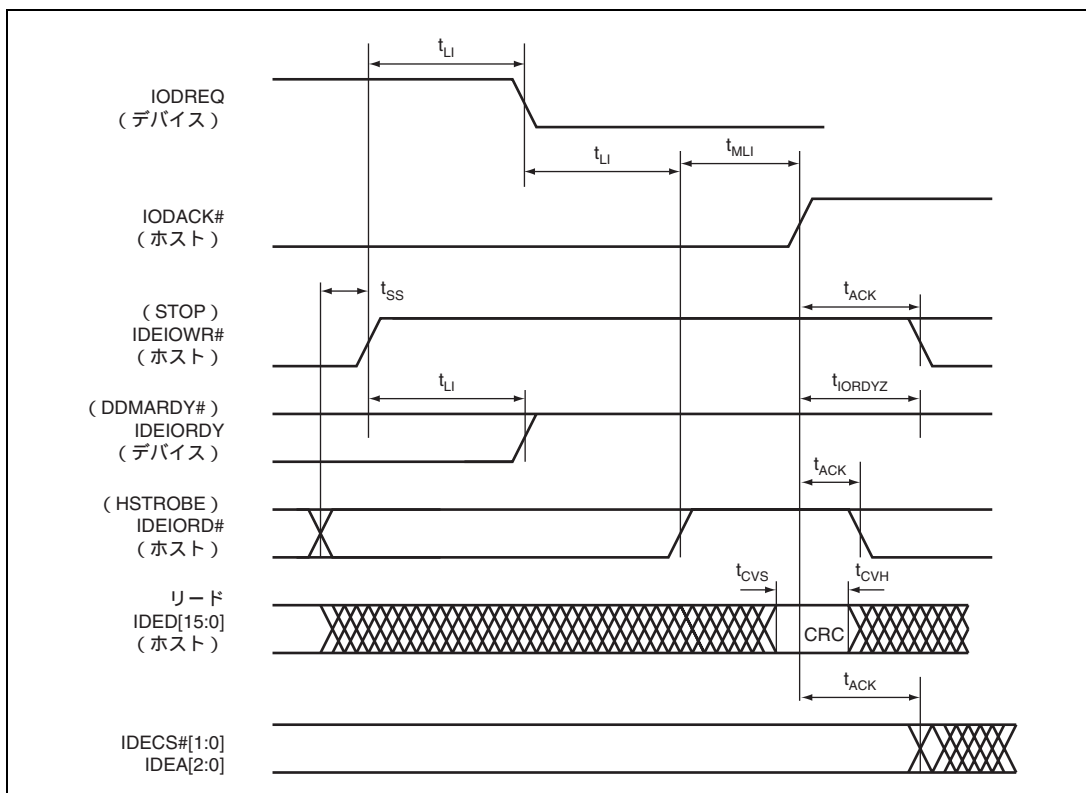


図 36.73 ホストからのウルトラ DMA データアウトバースト終了

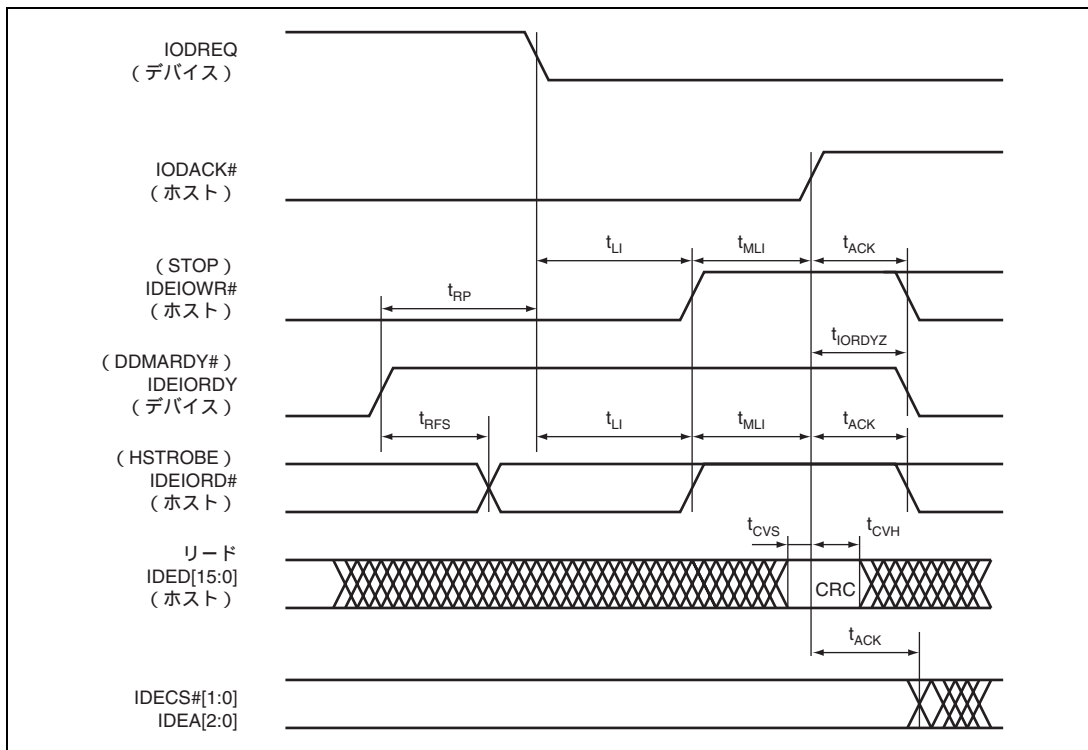


図 36.74 デバイスからのウルトラ DMA データアウトバースト終了

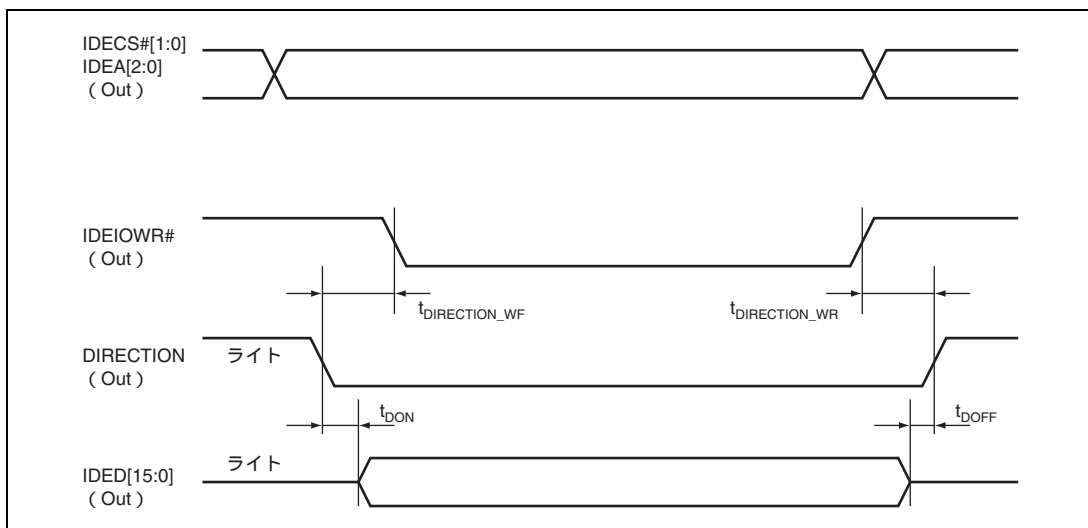


図 36.75 デバイスへの PIO データ転送 (DIRECTION)

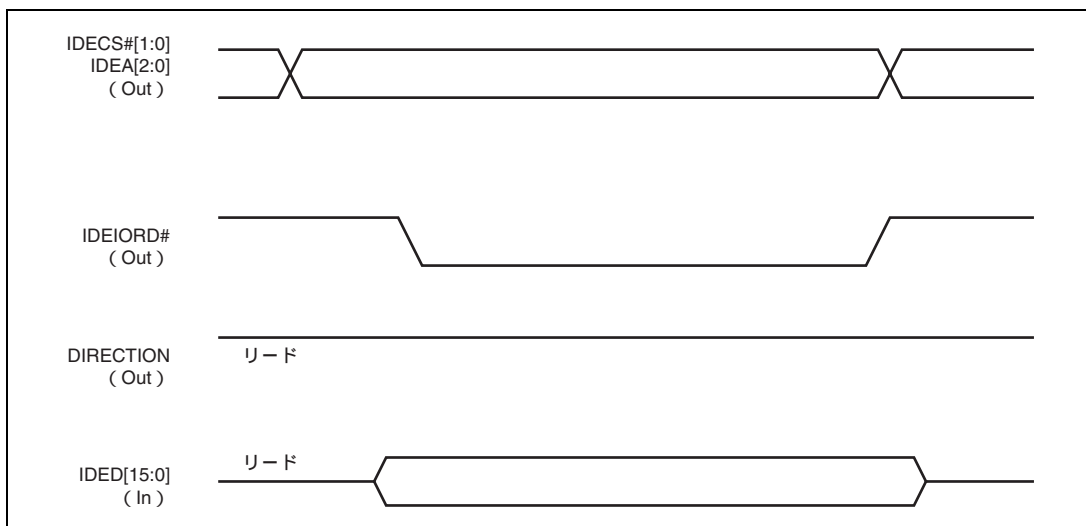


図 36.76 デバイスからの PIO データ転送 (DIRECTION)

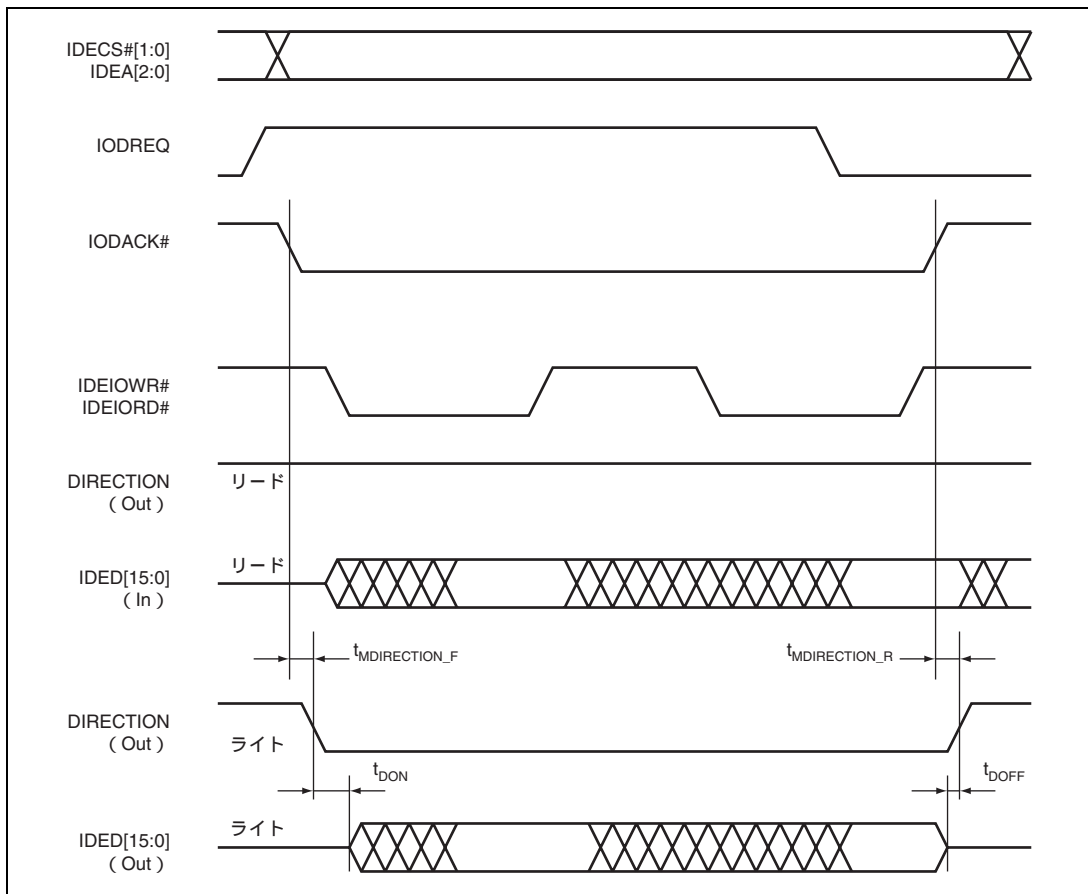


図 36.77 マルチワード DMA 転送 (DIRECTION)

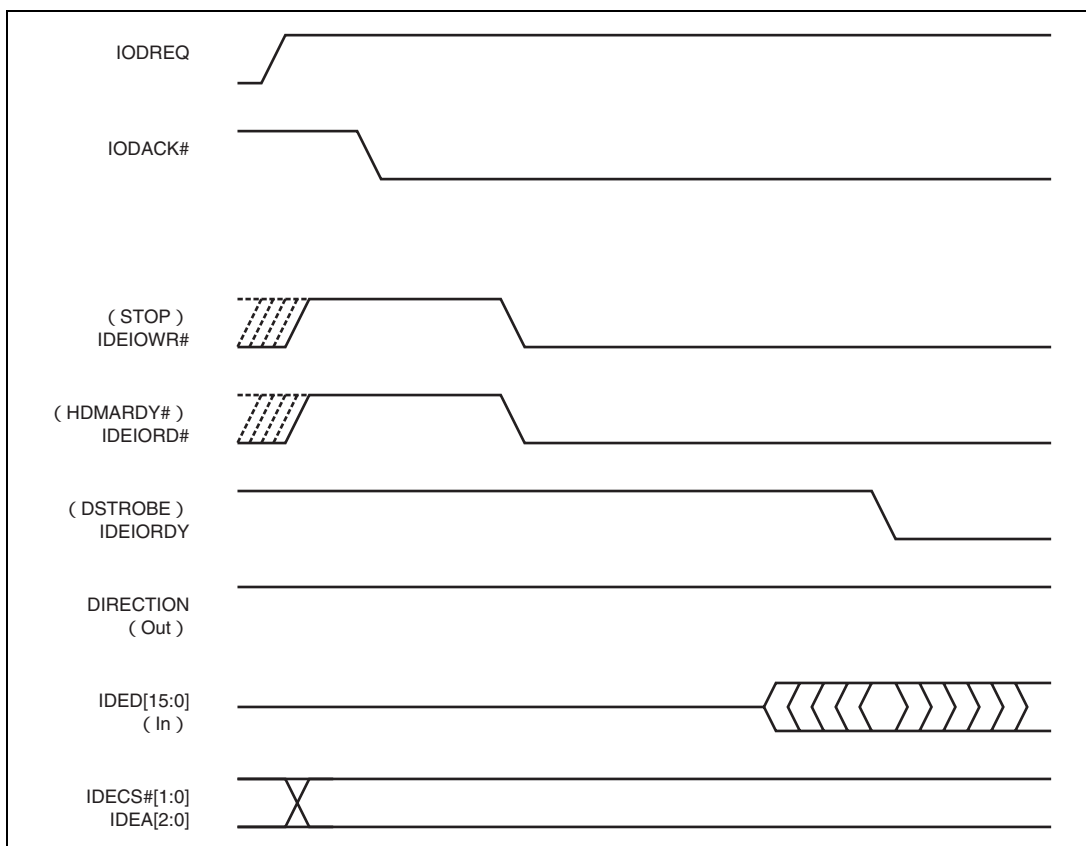


図 36.78 ウルトラ DMA 転送データインバースト開始 (DIRECTION)

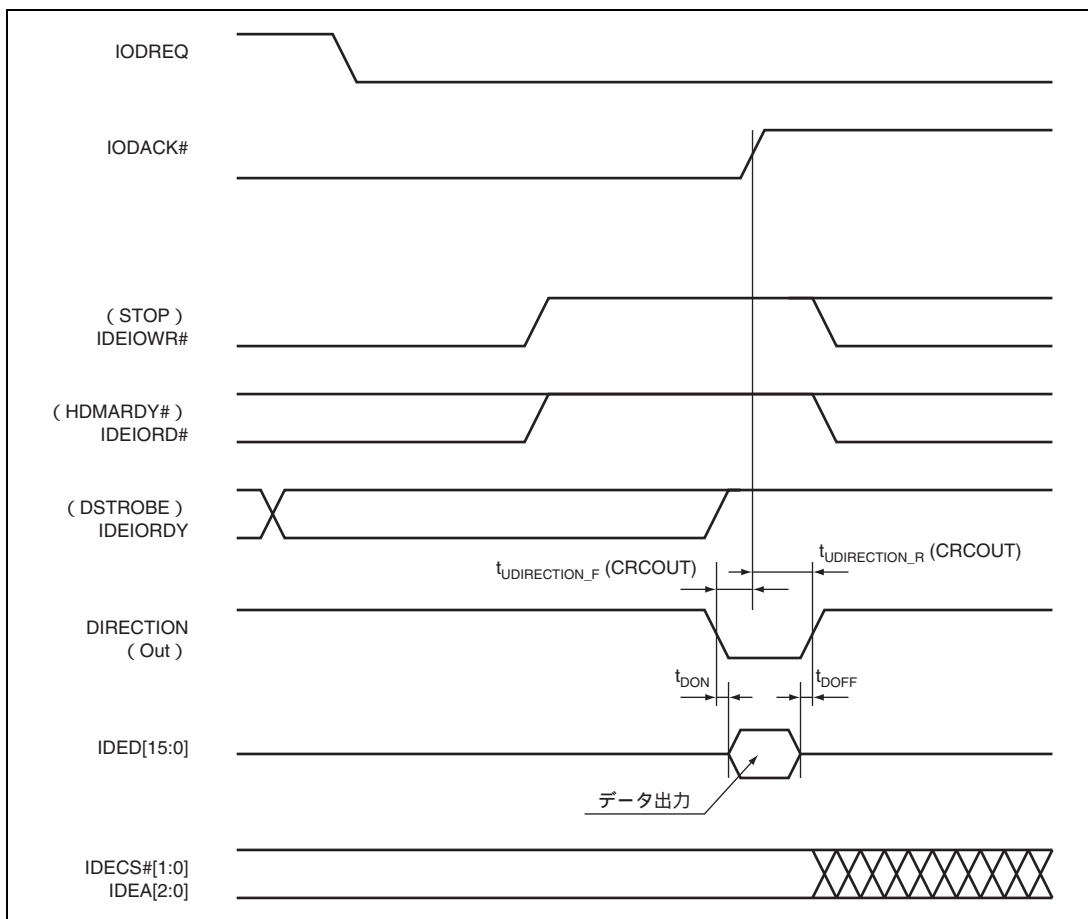


図 36.79 デバイスからのウルトラ DMA 転送データインバースト終了 (DIRECTION)

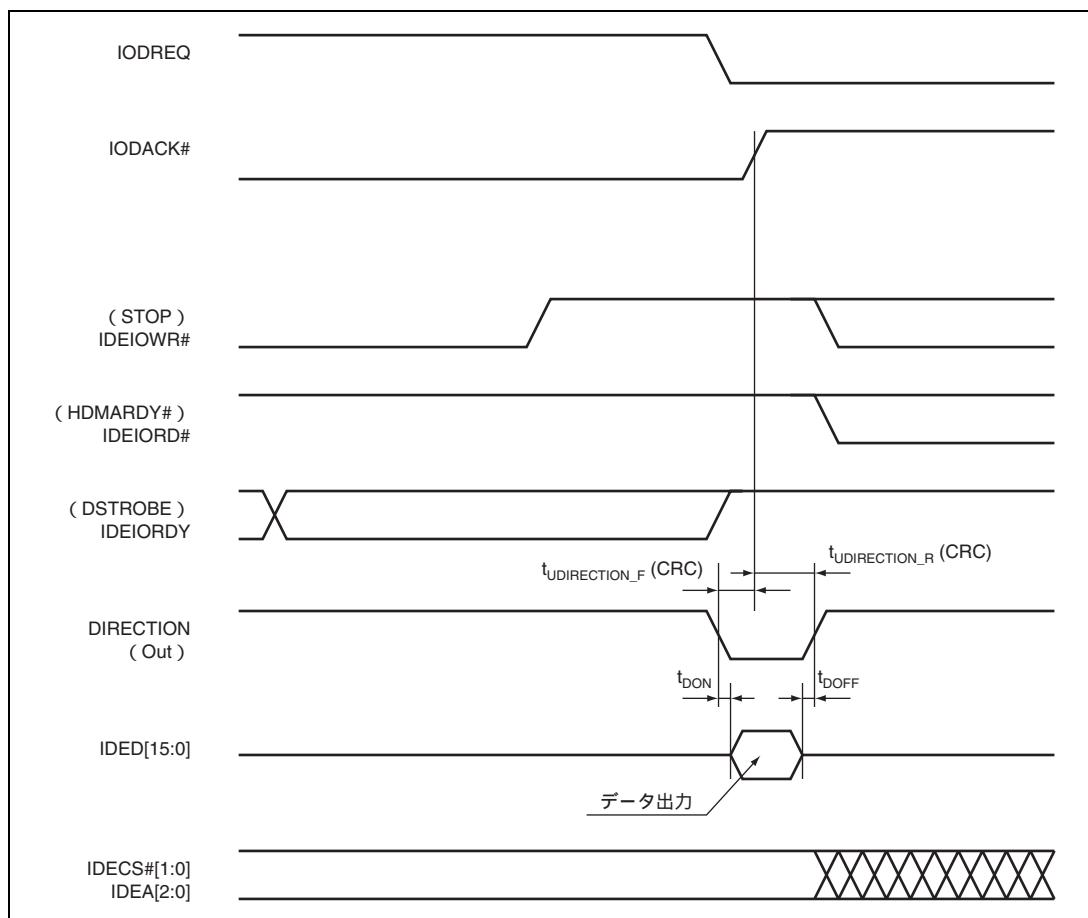


図 36.80 ホストからのウルトラ DMA 転送データインバースト終了 (DIRECTION)

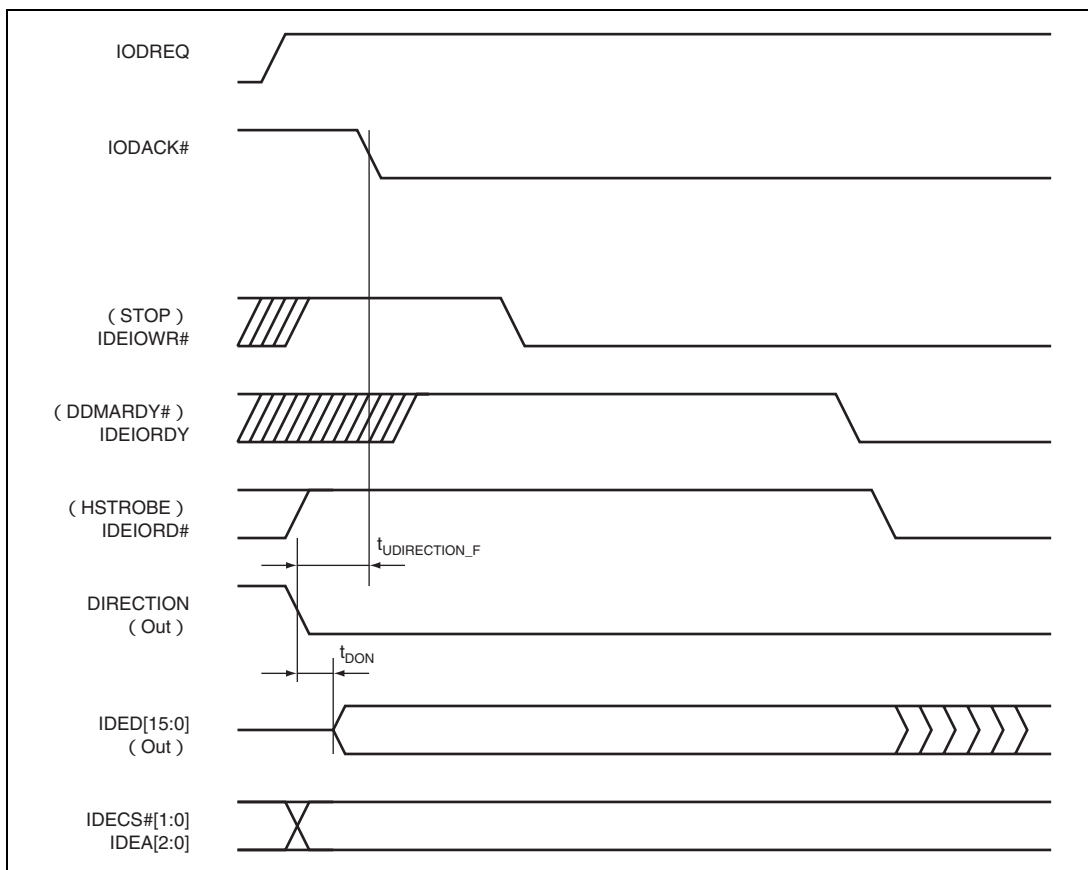


図 36.81 ウルトラ DMA 転送データアウトバースト開始 (DIRECTION)

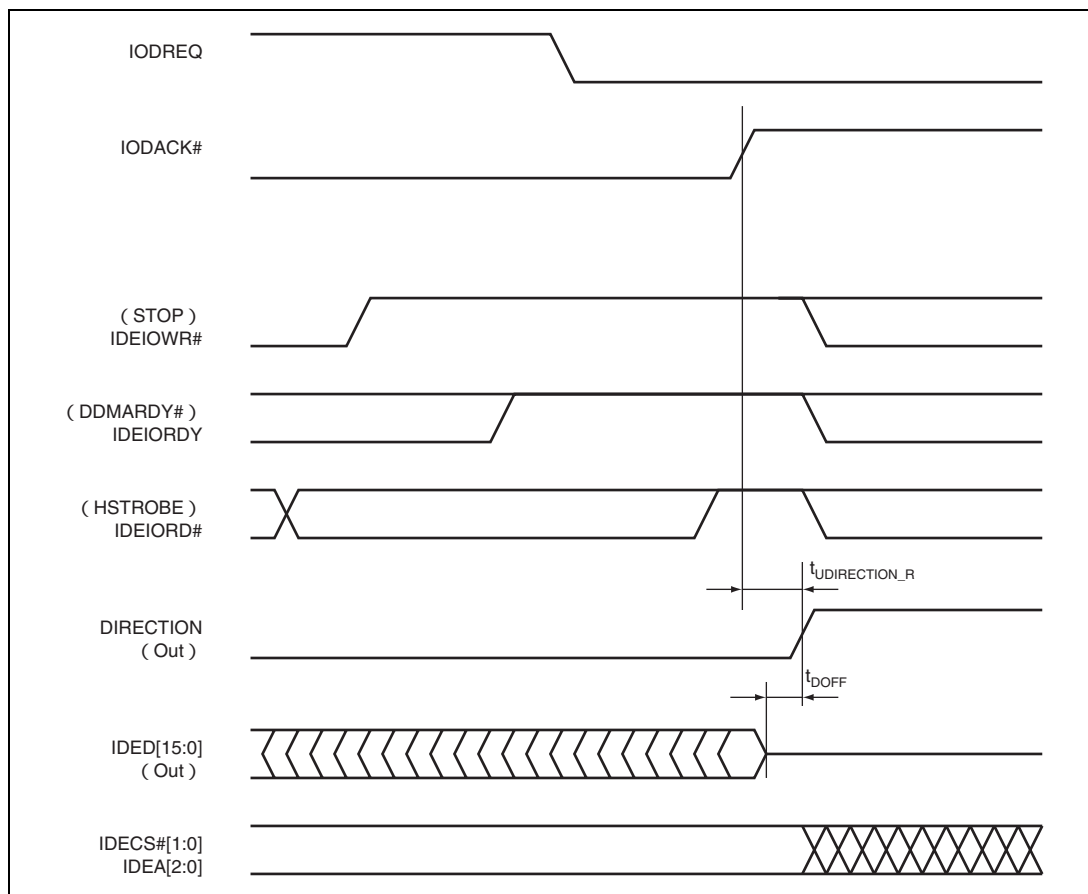


図 36.82 ホストからのウルトラ DMA 転送データアウトバースト終了 (DIRECTION)

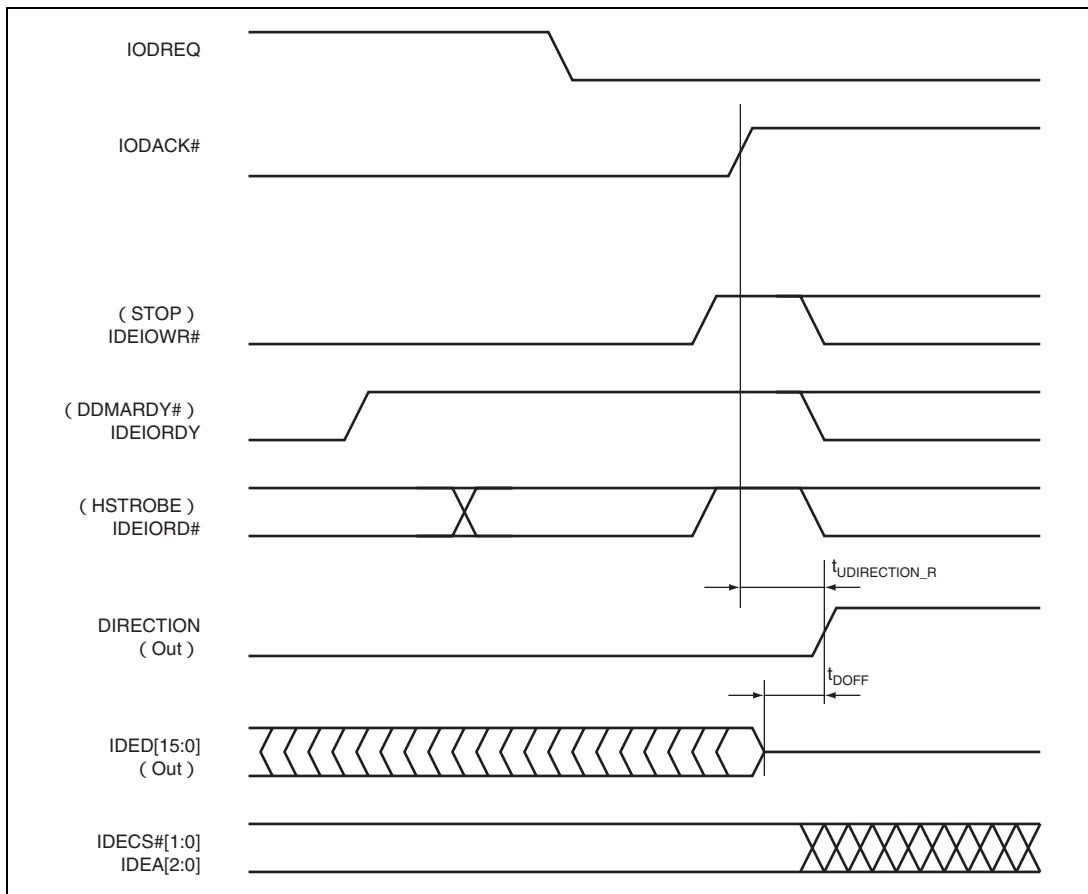


図 36.83 デバイスからのウルトラ DMA 転送データアウトバースト終了 (DIRECTION)

36.4.17 2DG タイミング

表 36.30 2DG ビデオ入力タイミング

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$ 、 $USBDV_{cc} = 1.1 \sim 1.3V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $2DGAPV_{cc0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{cc1} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$ 、

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
VICLK クロック入力サイクル時間	t_{VCKcyc}	34	40	ns	36.84
入力データセットアップ時間	t_{VS}	5	-	ns	
入力データホールド時間	t_{VH}	3	-	ns	

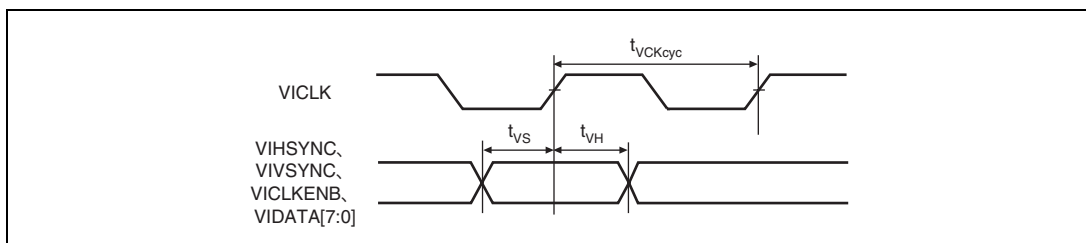


図 36.84 ビデオ入力タイミング

表 36.31 2DG ディスプレイ出力タイミング

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$ 、 $USBDV_{CC} = 1.1 \sim 1.3V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC1} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$ 、

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
DCLKIN クロック入力サイクル時間	t_{DCKcyc}	83	200	ns	36.85
DCLKIN クロック入力ローレベルパルス幅	t_{DCKL}	34	-	ns	
DCLKIN クロック入力ハイレベルパルス幅	t_{DCKH}	34	-	ns	
DCLKIN クロック入力立ち上がり時間	t_{DCKr}	-	3	ns	
DCLKIN クロック入力立ち下がり時間	t_{DCKf}	-	3	ns	
出力データ遅延時間	t_{DD}	0	15	ns	36.86

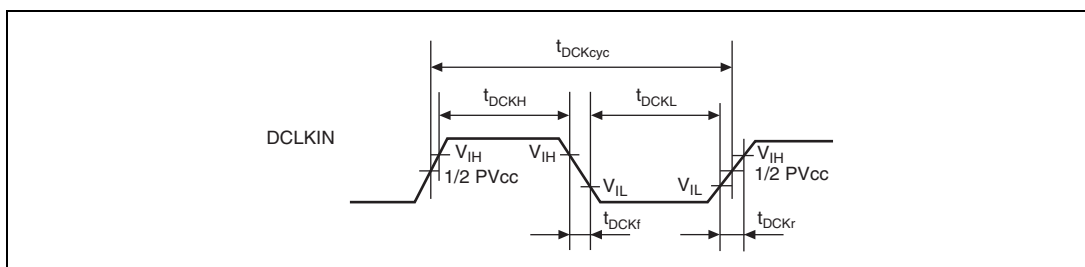


図 36.85 DCLKIN クロック入力タイミング

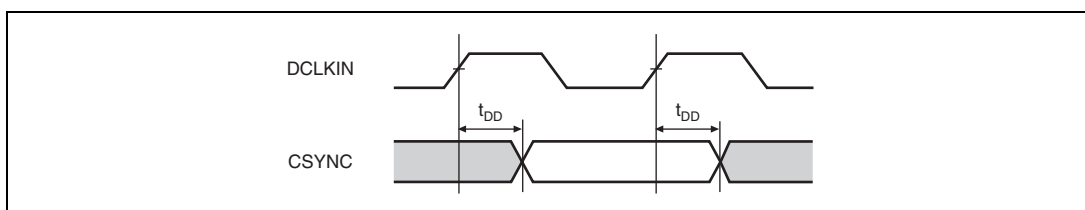


図 36.86 ディスプレイ出力タイミング

表 36.32 VIDEO OUT D/A 変換特性

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$ 、 $USBDV_{CC} = 1.1 \sim 1.3V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC1} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$ 、

$RL = 180$ 、 $R_{ext} = 5.23k$ 、 $T_a = -40 \sim 85$

項目	Min.	Typ.	Max.	単位	備考
分解能	6	6	6	ビット	
微分直線性誤差	-	± 0.5	± 1.0	LSB	
積分直線性誤差	-	± 1.5	± 3.0	LSB	

36.4.18 SDHI タイミング

表 36.33 SDHI タイミング

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$, $USBDV_{CC} = 1.1 \sim 1.3V$, $USBAV_{CC} = 1.1 \sim 1.3V$, $PV_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.0 \sim 3.6V$, $USBAPV_{CC} = 3.0 \sim 3.6V$,
 $2DGAPV_{CC0} = 3.0 \sim 3.6V$, $2DGAPV_{CC1} = 3.0 \sim 3.6V$, $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$,

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
SD_CLK クロックサイクル	tSDPP	$2 \times t_{pcyc}$	-	ns	36.87
SD_CLK クロックハイレベル幅	tSDWH	$0.4 \times t_{SDPP}$	-	ns	
SD_CLK クロックローレベル幅	tSDWL	$0.4 \times t_{SDPP}$	-	ns	
SD_CMD、SD_D3 ~ SD_D0 出力データ遅延 (データ転送モード)	tSDODLY	-	14	ns	
SD_CMD、SD_D3 ~ SD_D0 入力データセットアップ	tSDISU	5	-	ns	
SD_CMD、SD_D3 ~ SD_D0 入力データホールド	tSDIH	5	-	ns	

【注】 t_{pcyc} は周辺クロック (P) の 1 サイクル時間を示します。

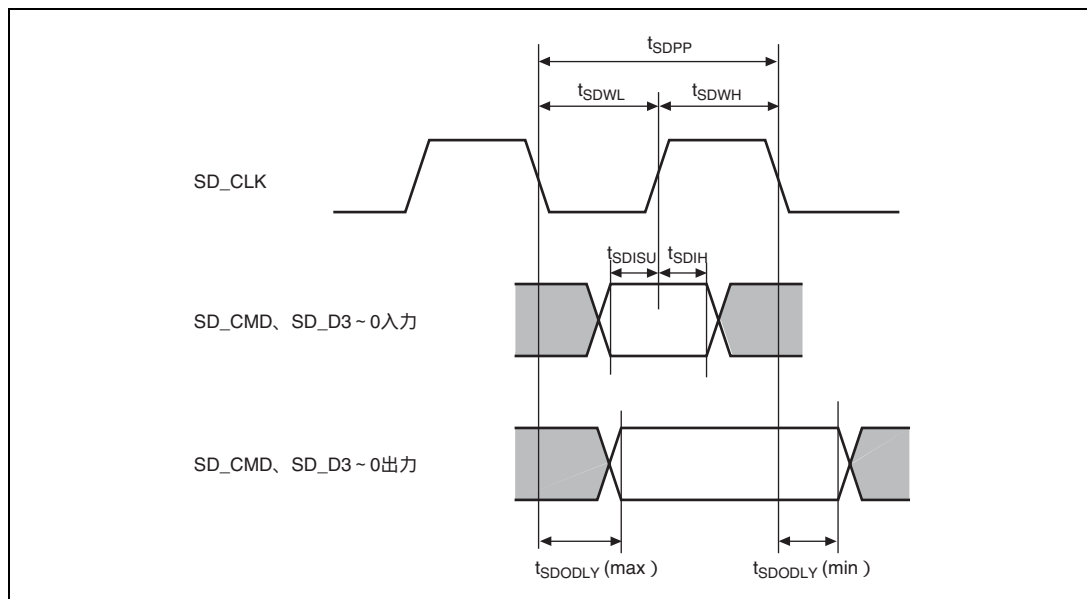


図 36.87 SD カードインタフェース

36.4.19 I/O ポートタイミング

表 36.34 I/O ポートタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.1 \sim 1.3V$, $USBDV_{cc} = 1.1 \sim 1.3V$, $USBAV_{cc} = 1.1 \sim 1.3V$, $PV_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $USBAPV_{cc} = 3.0 \sim 3.6V$,
 $2DGAPV_{cc0} = 3.0 \sim 3.6V$, $2DGAPV_{cc1} = 3.0 \sim 3.6V$, $V_{ss} = PLLV_{ss} = USBAV_{ss} = AV_{ss} = USBAPV_{ss} = 2DGAPV_{ss0} = 2DGAPV_{ss1} = 0V$,

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t_{PORTD}	-	100	ns	36.88
入力データセットアップ時間	t_{PORTS}	100	-		
入力データホールド時間	t_{PORTH}	100	-		

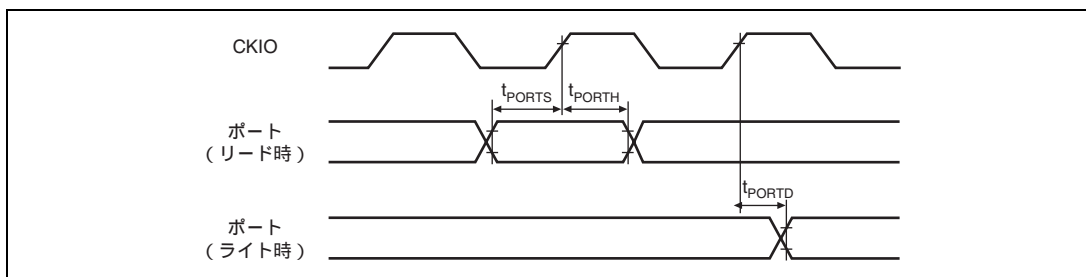


図 36.88 I/O ポートタイミング

36.4.20 H-UDI タイミング

表 36.35 H-UDI タイミング

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$ 、 $USBDV_{CC} = 1.1 \sim 1.3V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、
 $2DGAPV_{CC0} = 3.0 \sim 3.6V$ 、 $2DGAPV_{CC1} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$ 、

$T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
TCK サイクル時間	t_{TCKcyc}	50*	-	ns	36.89
TCK ハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCK ローレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDI セットアップ時間	t_{TDIS}	10	-	ns	36.90
TDI ホールド時間	t_{TDIH}	10	-	ns	
TMS セットアップ時間	t_{TMSS}	10	-	ns	
TMS ホールド時間	t_{TMSh}	10	-	ns	
TDO 遅延時間	t_{TDOD}	-	16	ns	
キャプチャレジスタセットアップ時間	t_{CAPTS}	10	-	ns	36.91
キャプチャレジスタホールド時間	t_{CAPTH}	10	-	ns	
アップデートレジスタ遅延時間	$t_{UPDATED}$	-	20	ns	

【注】 * 周辺クロック (P) のサイクル時間より大きくなるようにしてください。

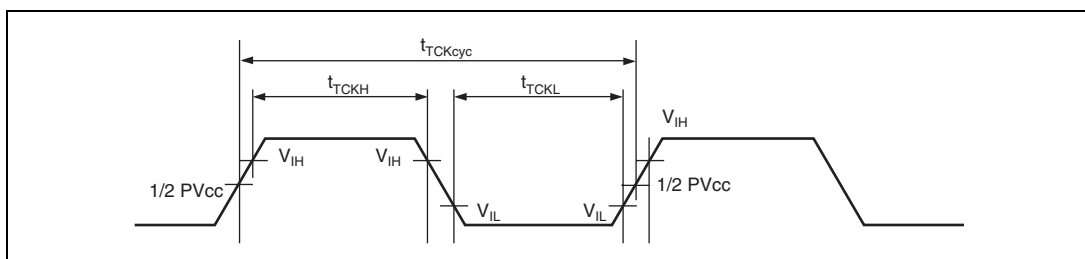


図 36.89 TCK 入力タイミング

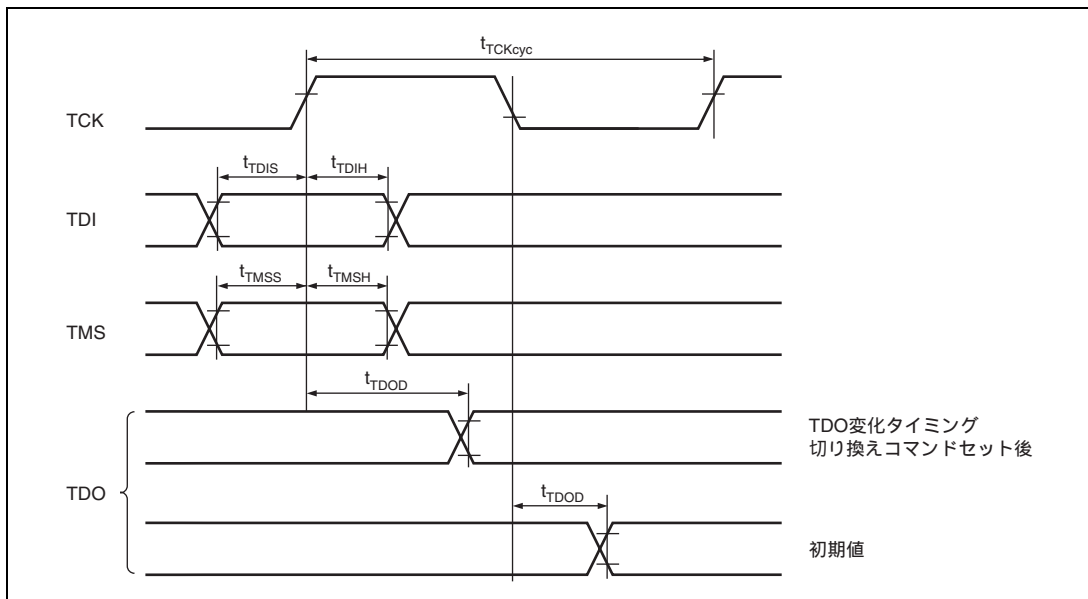


図 36.90 H-UDI データ転送タイミング

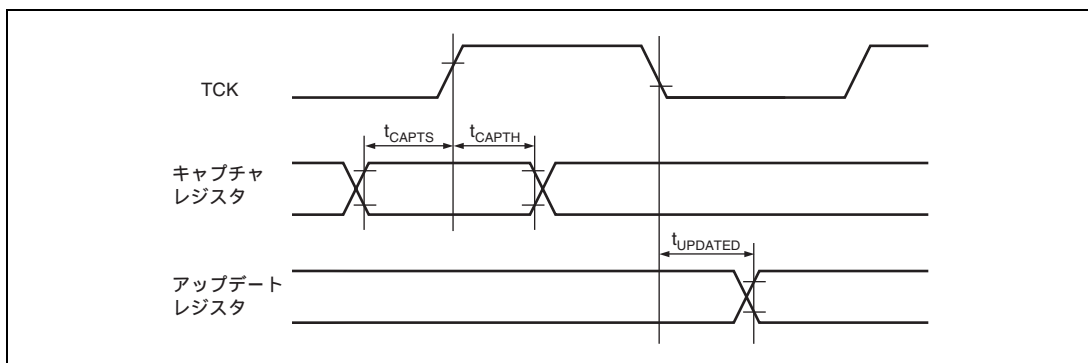


図 36.91 バウンダリスキャン入出力タイミング

36.4.21 AC 特性測定条件

- 入出力信号参照レベル： $PV_{CC}/2$ ($PV_{CC} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.1 \sim 1.3V$)
- 入力パルスレベル： $V_{SS} \sim 3.0V$ (ただし、 \overline{RES} 、 \overline{MRES} 、 NMI 、 $MD0$ 、 MD_CLK1 、 MD_CLK0 、 \overline{ASEMD} 、 \overline{TRST} 、およびシュミットトリガ入力端子は $V_{SS} \sim PV_{CC}$)
- 入力立ち上がり、立ち下がり時間：1ns

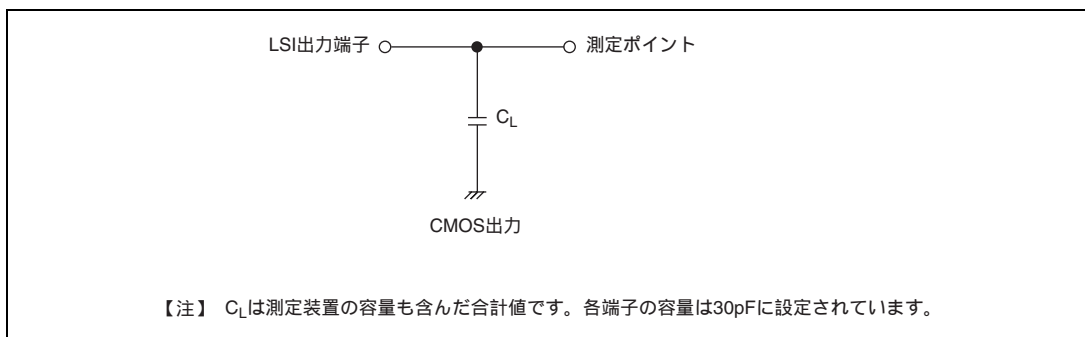


図 36.92 出力付加回路

36.5 A/D 変換器特性

表 36.36 A/D 変換器特性

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$, $USBDV_{CC} = 1.1 \sim 1.3V$, $USBAV_{CC} = 1.1 \sim 1.3V$, $PV_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.0 \sim 3.6V$, $USBAPV_{CC} = 3.0 \sim 3.6V$,
 $2DGAPV_{CC0} = 3.0 \sim 3.6V$, $2DGAPV_{CC1} = 3.0 \sim 3.6V$, $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$,
 $T_a = -40 \sim 85$

項 目	Min.	Typ.	Max.	単位
分解能	10	10	10	ビット
変換時間	3.9	-	-	μs
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	k
非直線性誤差	-	-	$\pm 3.0^*$	LSB
オフセット誤差	-	-	$\pm 2.0^*$	LSB
フルスケール誤差	-	-	$\pm 2.0^*$	LSB
量子化誤差	-	-	$\pm 0.5^*$	LSB
絶対精度	-	-	± 4.0	LSB

【注】 * 参考値

36.6 D/A 変換器特性

表 36.37 D/A 変換器特性

条件 : $V_{CC} = PLLV_{CC} = 1.1 \sim 1.3V$, $USBDV_{CC} = 1.1 \sim 1.3V$, $USBAV_{CC} = 1.1 \sim 1.3V$, $PV_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.0 \sim 3.6V$, $USBAPV_{CC} = 3.0 \sim 3.6V$,
 $2DGAPV_{CC0} = 3.0 \sim 3.6V$, $2DGAPV_{CC1} = 3.0 \sim 3.6V$, $V_{SS} = PLLV_{SS} = USBAV_{SS} = AV_{SS} = USBAPV_{SS} = 2DGAPV_{SS0} = 2DGAPV_{SS1} = 0V$,
 $T_a = -40 \sim 85$

項 目	Min.	Typ.	Max.	単位	測定条件
分解能	8	8	8	ビット	
変換時間	10	-	-	μs	負荷容量 20pF
絶対精度	-	± 2.0	± 3.0	LSB	負荷抵抗 2M
	-	-	± 2.5	LSB	負荷抵抗 4M

36.7 使用上の注意事項

電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり LSI の電源端子の近くに実装してください。コンデンサの容量値は $0.1\ \mu\text{F}$ ~ $0.33\ \mu\text{F}$ (推奨値) を使用してください。水晶発振関連のコンデンサについては「5.8 ボード設計上の注意事項」を参照してください。

表 36.38 に外付けコンデンサの組み合わせを示します。

表 36.38 外付けコンデンサ組み合わせ

電源		グラウンド	
ピン No.	端子名	ピン No.	端子名
B20、C4、C5、C11、 C19、D5、D11、D18、 E17、E18、K3、K4、 L17、L18、T3、T4、 U3、U10、U16、V2、 V10、V16、V17、W1	Vcc	A1、B2、C3、D4、 J9、J10、J11、J12、 K9、K10、K11、K12、 L9、L10、L11、L12、 M9、M10、M11、M12、 M19、N17、N18、N19、 P17、P18、P19、U17、 U20、V18、W19、Y20	Vss
A20、B19、C10、C17、 C18、D3、D10、D17、 E3、E4、K17、K18、 L3、L4、M17、M18、 T17、T18、U4、U11、 U18、V3、V4、V11、 W2、Y1	PVcc		
T20	USB DVcc		
Y3	PLL Vcc	Y2	PLL Vss
Y16	AVcc	Y15	AVss
W16	AVref		
U19	USB AVcc	V19	USB AVss
R18	USB APVcc	T19	USB APVss
U15	2DGAPVcc0	U14	2DGAPVss0
V15	2DGAPVcc1	V14	2DGAPVss1

付録

A. 端子状態

各動作モードにおける、各端子機能の状態表を下記に示します。

入出力端子機能については、上段に入力バッファの状態、下段に出力バッファの状態を記載しています。

表 A.1 端子状態

端子機能				端子状態						
分類	端子名			通常状態 (右記 以外)	パワーオン リセット*1	端子状態 保持*2			低消費電力状態	
						パワーオン リセット*3	左記 以外		ディープ スタンバイ モード*4	ソフトウェア スタンバイ モード
							CS0KEE PE=1*12	CS0KEE PE=0*12		
クロック	EXTAL*5	クロック 動作モード	0、1	I	I	I		Z	Z	
			XTAL*5	O	O	O		L	L	
	CKIO	クロック 動作モード	0、1、3	O/Z*6	O	O+/Z+*6	O/Z*6	O+/Z+*6	O/Z*6	
			2	I	I	I		Z	I	
システム 制御	RES			I	I	I		I	I	
	MRES			I	-	-		I/Z*9	I	
	WDTOVF			O	-	H+		H+	O+	
動作モード 制御	MD			I	I	I		I	I	
	MD_CLK1、MD_CLK0			I	I	I		I	I	
	ASEMD			I	I	I		I	I	
割り込み	NMI			I	I	I		I	I	
	IRQ7 ~ IRQ0 (PA7 ~ PA0、PD2 ~ PD0、PG3 ~ PG0)			I	-	-		Z	I	
	IRQ7 ~ IRQ0 (PC3 ~ PC0、PJ3 ~ PJ0)			I	-	-		I/Z*9	I	
	PINT7 ~ PINT0 (PA15 ~ PA8)			I	-	-		Z	Z	
UBC	UBCTRG			O	-	O+/Z+*7		O+/Z+*7	O+/Z+*7	

端子機能				端子状態						
分類	端子名			通常状態 (右記以外)	パワーオン リセット ^{*1}	端子状態 保持 ^{*2}			低消費電力状態	
						パワーオン リセット ^{*3}	左記 以外		ディープ スタンバイ モード ^{*4}	ソフトウェア スタンバイ モード
							CS0KEEP E=1 ^{*12}	CS0KEEP E=0 ^{*12}		
アドレス バス	A25 ~ A21、A0			O	-	O+/Z+ ^{*8}			O+/Z+ ^{*8}	O+/Z+ ^{*8}
	A20 ~ A2			O	O	O+/Z+ ^{*8}	O		O+/Z+ ^{*8}	O+/Z+ ^{*8}
	A1	エリア0 データバス幅	16	O	O	O+/Z+ ^{*8}	O		O+/Z+ ^{*8}	O+/Z+ ^{*8}
32				-	O+/Z+ ^{*8}					
バス制御	D31 ~ D16	エリア0 データバス幅	16	I/Z	-	-			Z	Z
				O/Z		Z				
			32	I/Z	Z	Z	I/Z		Z	Z
				O/Z		Z	Z	O/Z		
	D15 ~ D0			I/Z	Z	Z	I/Z		Z	Z
				O/Z		Z	Z	O/Z		
	CS0			O	H	H+/Z+ ^{*8}		O	H+/Z+ ^{*8}	H+/Z+ ^{*8}
	CS5 ~ CS1			O	-	H+/Z+ ^{*8}			H+/Z+ ^{*8}	H+/Z+ ^{*8}
	RD			O	H	H+/Z+ ^{*8}		O	H+/Z+ ^{*8}	H+/Z+ ^{*8}
	RD_W \bar{R} /WE			O	-	H+/Z+ ^{*8}			H+/Z+ ^{*8}	H+/Z+ ^{*8}
	WAIT			I	-	-			Z	Z
	WE3/BC3/DQM3、 WE2/BC2/DQM2、 WE1/BCT1/DQM1、 WE0/BC0/DQM0			O	-	H+/Z+ ^{*8}			H+/Z+ ^{*8}	H+/Z+ ^{*8}
	SDCS1、SDCS0			O	-	O+/Z+ ^{*8}			O+/Z+ ^{*8}	O+/Z+ ^{*8}
	RAS、CAS			O	-	O+/Z+ ^{*8}			O+/Z+ ^{*8}	O+/Z+ ^{*8}
SDWE			O	-	H+/Z+ ^{*8}			H+/Z+ ^{*8}	H+/Z+ ^{*8}	
CKE			O	-	O+/Z+ ^{*8}			O+/Z+ ^{*8}	O+/Z+ ^{*8}	
DMAC	DREQ3 ~ DREQ0			I	-	-			Z	Z
	DACK3 ~ DACK0			O	-	O+/Z+ ^{*7}			O+/Z+ ^{*7}	O+/Z+ ^{*7}
	DACT3 ~ DACT0			O	-	O+/Z+ ^{*7}			O+/Z+ ^{*7}	O+/Z+ ^{*7}
	TEND3 ~ TEND0			O	-	O+/Z+ ^{*7}			O+/Z+ ^{*7}	O+/Z+ ^{*7}

端子機能		端子状態						
分類	端子名	通常状態 (右記以外)	パワーオン リセット ^{*1}	端子状態 保持 ^{*2}		低消費電力状態		
				パワーオン リセット ^{*3}	左記 以外		ディープ スタンバイ モード ^{*4}	ソフトウェア スタンバイ モード
					CS0KEEP E=1 ^{*12}	CS0KEEP E=0 ^{*12}		
MTU2	TCLKA, TCLKB, TCLKC, TCLKD	I	-	-		Z	Z	
	TIOC0A, TIOC0B, TIOC0C, TIOC0D	I	-	-		Z	Z	
		O		O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	TIOC1A, TIOC1B	I	-	-		Z	Z	
		O		O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	TIOC2A, TIOC2B	I	-	-		Z	Z	
		O		O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	TIOC3A, TIOC3B, TIOC3C, TIOC3D	I	-	-		Z	Z	
		O		O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	TIOC4A, TIOC4B, TIOC4C, TIOC4D	I	-	-		Z	Z	
		O		O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	RTC	RTC_X1 ^{*5}	I/Z ^{*10}	I	I	I/Z ^{*10}	I	I/Z ^{*10}
		RTC_X2 ^{*5}	O/H ^{*10}	O	O	O/H ^{*10}	O	O/H ^{*10}
	SCIF	TxD5 ~ TxD0	O/Z	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}
RxD5 ~ RxD0		I	-	-		Z	Z	
SCK5, SCK2, SCK1, SCK0		I	-	-		Z	Z	
		O/Z		O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
RTS0		I	-	-		Z	Z	
		O/Z		O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
CTS0		I	-	-		Z	Z	
		O/Z		O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
SSU	SSO1, SSO0	I	-	-		Z	Z	
		O/Z		Z				
	SSI1, SSI0	I	-	-		Z	Z	
		O/Z		Z				
	SSCK1, SSCK0	I	-	-		Z	Z	
		O/Z		Z				
	SCS1, SCS0	I	-	-		Z	Z	
		O/Z		Z				

端子機能		端子状態						
分類	端子名	通常状態 (右記以外)	パワーオン リセット ^{*1}	端子状態 保持 ^{*2}		低消費電力状態		
				パワーオン リセット ^{*3}	左記 以外		ディープ スタンバイ モード ^{*4}	ソフトウェア スタンバイ モード
					CS0KEEP E=1 ^{*12}	CS0KEEP E=0 ^{*12}		
IIC3	SCL3 - SCL0	I	-	-		Z	Z	
		O/Z						
	SDA3 - SDA0	I	-	-		Z	Z	
		O/Z						
SSIF	SSIDATA5 - SSIDATA0	I	-	-		Z	Z	
		O/Z		O+/Z+ ^{*7}	O+/Z+ ^{*7}	O+/Z+ ^{*7}		
	SSISCK5 - SSISCK0	I	-	-		Z	Z	
		O/Z		O+/Z+ ^{*7}	O+/Z+ ^{*7}	O+/Z+ ^{*7}		
	SSIWS5 - SSIWS0	I	-	-		Z	Z	
		O/Z		O+/Z+ ^{*7}	O+/Z+ ^{*7}	O+/Z+ ^{*7}		
	AUDIO_CLK	I	-	-		Z	Z	
	AUDIO_X1 ^{*5}	I/Z ^{*11}	I	I/Z ^{*11}		Z	Z	
AUDIO_X2 ^{*5}	O/L ^{*11}	O	O/L ^{*11}		L	L		
RCAN-TL1	CTx1, CTx0	O	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	CRx1, CRx0	I	-	-		Z	Z	
IEB	IETxD	O	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	IERxD	I	-	-		Z	Z	
ADC	AN7 - AN0	I	-	-		Z	Z	
	ADTRG	I	-	-		Z	Z	
DAC	DA1, DA0	O/Z	-	-		Z	O+/Z+	
FLCTL	FOE	O	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	FSC	O	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	FCE	O	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	FCDE	O	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	FRB	I	-	-		Z	Z	
	FWE	O	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	NAF7 - NAF0	I	-	-		Z	Z	
O/Z		-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}		

端子機能		端子状態						
分類	端子名	通常状態 (右記以外)	パワーオン リセット ^{*1}	端子状態 保持 ^{*2}		低消費電力状態		
				パワーオン リセット ^{*3}	左記 以外		ディープ スタンバイ モード ^{*4}	ソフトウェア スタンバイ モード
					CS0KEEP E=1 ^{*12}	CS0KEEP E=0 ^{*12}		
USB	DP1、DP0、DM1、DM0	I/Z	Z	Z	I/Z		Z	I/Z
		O/Z	Z	Z	O/Z		Z	O+/Z+
	VBUS	I	I	I		I	I	
	REFIN	I	I	I		I	I	
	USB_X1 ^{*5}	I	I	I		Z	Z	
USB_X2 ^{*5}	O	O	O		L	L		
ATAPI	IDED15 - IDED0	I	-	-		Z	Z	
		O/Z	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	IDEA2 - IDEA0	O/Z	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	IODACK#	O/Z	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	IODREQ	O/Z	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	IDECS#[1:0]	O/Z	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	IDEIOWR#	O/Z	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	IDEIORD#	O/Z	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	IDEIORDY	I	-	-		Z	Z	
	IDEINT	I	-	-		Z	Z	
	IDERST#	O/Z	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
DIRECTION	O	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}		
2DG	R、G、B	O	O	O		Z	O+	
	REXT	I	I	I		I	I	
	CBU	O	O	O		O	O	
	CSYNC	O	-	O+/Z+ ^{*7}		O+/Z+ ^{*7}	O+/Z+ ^{*7}	
	DCLKIN	I	-	-		Z	Z	
	VIHSYNC	I	-	-		Z	Z	
	VIVSYNC	I	-	-		Z	Z	
	VIDATA7 ~ VIDATA0	I	-	-		Z	Z	
VICKENB	I	-	-		Z	Z		

端子機能				端子状態						
分類	端子名			通常状態 (右記以外)	パワーオン リセット*1	端子状態 保持*2			低消費電力状態	
						パワーオン リセット*3	左記 以外		ディープ スタンバイ モード*4	ソフトウェア スタンバイ モード
							CS0KEEP E=1*12	CS0KEEP E=0*12		
SDHI	SD_CLK			O	-	O+/Z+*7			O+/Z+*7	O+/Z+*7
	SD_CMD			I	-	-			Z	Z
				O/Z	-	O+/Z+*7			O+/Z+*7	O+/Z+*7
	SD_D3 ~ SD_D0			I	-	-			Z	Z
				O/Z	-	O+/Z+*7			O+/Z+*7	O+/Z+*7
	SD_CD			I	-	-			Z	Z
SD_WP			I	-	-			Z	Z	
I/Oポート	PA15 ~ PA0	エリア0 データバス幅	16	I	Z	Z	I	Z	Z	
			O	O+/Z+*7			O+/Z+*7	O+/Z+*7		
		32	I	-	-			Z	Z	
			O	O+/Z+*7		-	O+/Z+*7	O+/Z+*7		
	PB18 ~ PB2、PB0			I	Z	Z	I	Z	Z	
				O	O+/Z+*7			O+/Z+*7	O+/Z+*7	
	PB1	エリア0 データバス幅	16	I	-	-			Z	Z
			O	O/Z*7		-	O+/Z+*7	O+/Z+*7		
		32	I	Z	Z	I	Z	Z		
			O	O+/Z+*7			O+/Z+*7	O+/Z+*7		
	PC10 ~ PC0			I	Z	Z	I	Z	Z	
				O	O+/Z+*7			O+/Z+*7	O+/Z+*7	
	PD2 ~ PD0			I	Z	Z	I	Z	Z	
				O	O+/Z+*7			O+/Z+*7	O+/Z+*7	
	PE13、PE11、PE9、PE7 ~ PE0			I	Z	Z	I	Z	Z	
				O	O+/Z+*7			O+/Z+*7	O+/Z+*7	
	PE12、PE10、PE8			I	Z	Z	I	Z	Z	
	PF4 ~ PF0			I	Z	Z	I	Z	Z	
				O	O+/Z+*7			O+/Z+*7	O+/Z+*7	
	PG7 ~ PG0			I	Z	Z	I	Z	Z	
	PJ12 ~ PJ0			I	Z	Z	I	Z	Z	
				O	O+/Z+*7			O+/Z+*7	O+/Z+*7	

端子機能		端子状態					
分類	端子名	通常状態 (右記以外)	パワーオン リセット*1	端子状態 保持*2		低消費電力状態	
				パワーオン リセット*3	左記 以外	ディープ スタンバイ モード*4	ソフトウェア スタンバイ モード
					CS0KEEP E=1*12		
I/O ポート	PH15 - PH0	I	Z	Z	I	Z	Z
		O		O+/Z+*7		O+/Z+*7	O+/Z+*7
	PK1, PK0	I	Z	Z	I	Z	Z
		O		O+/Z+*7		O+/Z+*7	O+/Z+*7
H-UDI	TRST	I	I	I	I	Z	I
	TCK	I	I	I	I	Z	I
	TDI	I	I	I	I	Z	I
	TDO	O/Z*13	O/Z*13	O/Z*13		O+/Z+*13	O+/Z+*13
	TMS	I	I	I	I	Z	I
エミュレー タ*14	AUDSYNC	-	-	-	-	-	-
	AUDCK	-	-	-	-	-	-
	AUDATA3 - AUDATA0	-	-	-	-	-	-
	ASEBRKAK/ASEBRK	Z	Z	Z	Z	Z	Z

【記号説明】

- I : 入力
- O : 出力
- H : ハイレベル出力
- L : ローレベル出力
- Z : 入力端子は入力固定、出力端子はハイインピーダンス
- + : 出力状態保持

- 【注】 *1 $\overline{\text{RES}}$ 端子へのローレベル入力によるパワーオンリセットを指します。H-UDI リセットアサートコマンドおよび WDT オーバフローによるパワーオンリセットの場合、各端子における初期機能の通常動作時と同じ端子状態になります（「第 30 章 ビンファンクションコントローラ (PFC)」参照）。
- *2 ディープスタンバイモードから NMI、 $\overline{\text{MRES}}$ 、IRQ7 ~ IRQ0 の各端子入力によって復帰した後、ディープスタンバイ解除要因フラグレジスタ (DSFR) の IOKEEP ビットがクリアされるまでの状態を指します（「第 33 章 低消費電力モード」参照）。
- *3 ディープスタンバイから復帰後、本 LSI は一定期間パワーオンリセット状態になります（「第 33 章 低消費電力モード」参照）。
- *4 I/O 端子に内蔵されたウィークキーパ、プルアップ回路はオフ状態になります。
- *5 水晶発振子接続用の端子を使用しない場合は、入力端子 (EXTAL、RTC_X1、AUDIO_X1、USB_X1) は固定 (プルアップ / プルダウン / 電源接続 / グランド接続)、出力端子 (XTAL、RTC_X2、AUDIO_X2、USB_X2) はオープンにしてください。
- *6 CPG の周波数制御レジスタ (FRQCR) の CKOEN ビットの設定に従います（「第 5 章 クロックパルス発振器 (CPG)」参照）。
- *7 ハイインピーダンスコントロールレジスタ (HIZCR) の HIZ ビットの設定に従います（「第 33 章 低消費電力モード」参照）。
- *8 ハイインピーダンスコントロールレジスタ (HIZCR) の HIZBSC ビットの設定に従います（「第 33 章 低消費電力モード」参照）。
- *9 ディープスタンバイ解除要因セレクトレジスタ (DSSSR) の各ビットの設定に従います（「第 33 章 低消費電力モード」参照）。
- *10 RTC の RTC コントロールレジスタ (RCR2) の RTCEN ビットの設定に従います（「第 15 章 リアルタイムクロック (RTC)」参照）。
- *11 スタンバイコントロールレジスタ (STBCR1) の AXTALE ビットの設定に従います（「第 33 章 低消費電力モード」参照）。
- *12 ディープスタンバイコントロールレジスタ (DSCTR) の CS0KEEPE ビット（「第 33 章 低消費電力モード」参照）。
- *13 H-UDI の TAP コントローラが Shift-DR、Shift-IR 状態以外では Z となります。
- *14 製品チップモード時 ($\overline{\text{ASEMD}}=\text{H}$) の端子状態です。ASE モード時 ($\overline{\text{ASEMD}}=\text{L}$) の端子状態については、「エミュレーションマニュアル」を参照してください。

B. 未使用端子の処理

表 B.1 未使用端子の処理 (H-UDI/エミュレータインタフェース端子を除く)

端 子	処 理
NMI	ハイレベル固定 (プルアップ / 電源接続)
DP1、DP0、DM1、DM0、VBUS	PVss に接続
REFRIN	5.6k \pm 20%の抵抗を介して USBAPVcc に接続
USB 専用電源 (USBAPVcc、USBAPVss、USBAVcc、USBAVss、USBDVcc)	電源、グラウンドに接続
AVref	AVcc に接続
A/D、D/A 専用電源 (AVcc、AVss)	電源、グラウンドに接続
R、G、B、REXT、CBU	オープン
2DG 専用電源 (2DGAPVcc0、2DGAPVcc1、2DGAPVss0、2DGAPVss1)	電源、グラウンドに接続
ウィークキーバ、プルアップ付き端子	オープン
上記以外の入力専用端子	固定 (プルアップ / プルダウン / 電源接続 / グラウンド接続)
上記以外の入出力専用端子	入力端子設定にして固定 (プルアップ / プルダウン) または出力設定にしてオープン
出力専用端子	オープン

【注】 プルアップ / プルダウンの抵抗は 4.7k ~ 100k を推奨します。

表 B.2 製品チップモードかつ H-UDI 未使用時の端子処理

端 子	処 理
ASEMD	ハイレベル固定 (プルアップ / 電源接続)
TRST	1k の抵抗でプルダウン固定 もしくは、電源投入時および RES 端子アサートによるディープスタンバイの解除時は必ずローレベル固定。それ以外はオープン
TCK、TMS、TDI、TDO、ASEBRKAK/ASEBRK	オープン

- 【注】 1. H-UDI 使用時の端子処理は、使用するエミュレータの仕様に従ってください。
2. プルアップの抵抗は 4.7k ~ 100k を推奨します。

C. 外形寸法図

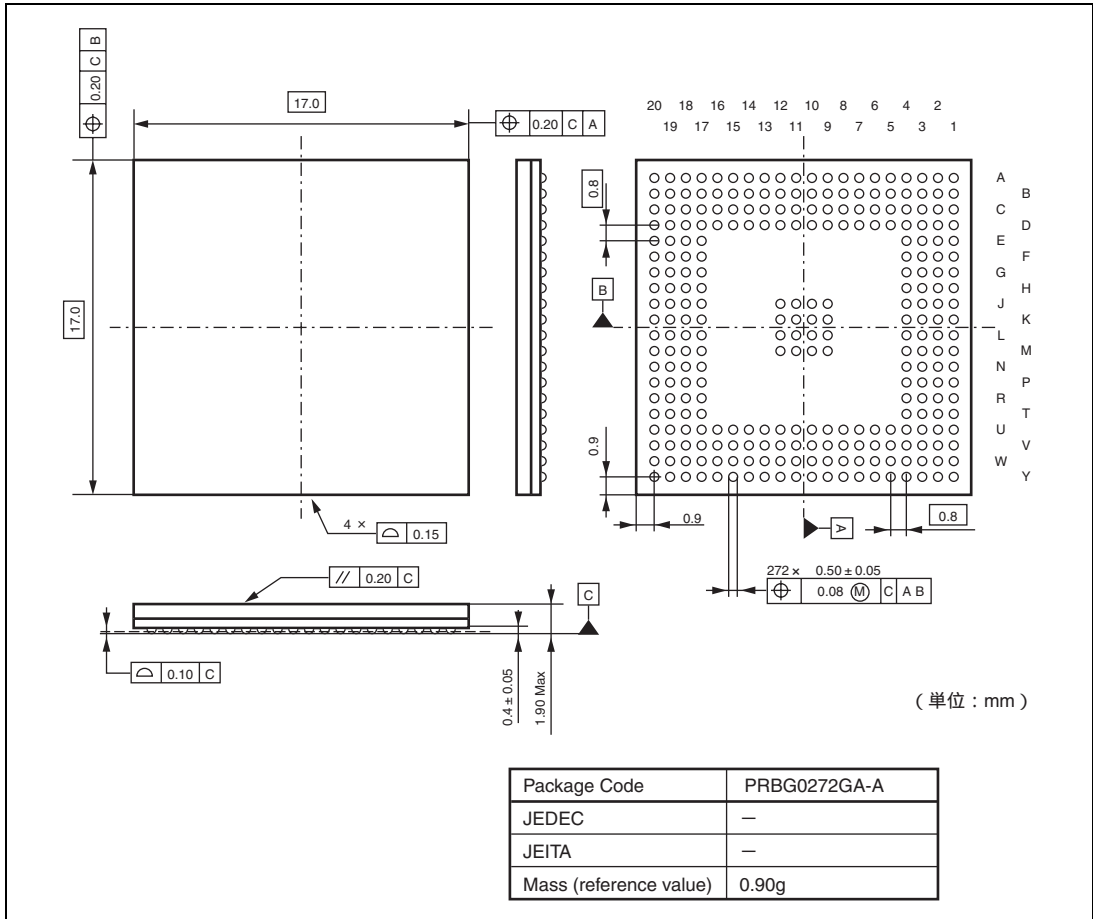
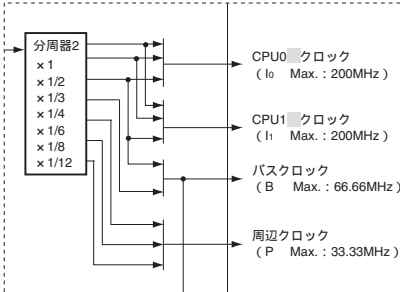


図 C.1 外形寸法図

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）				
1.1 SH7265 の特長	1-1	<p>説明を修正</p> <p>本 LSI は、ルネサス オリジナルの RISC（縮小命令セットコンピュータ）方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。</p> <hr/> <p>注を修正</p> <p>【注】* IEBus（Inter Equipment Bus）はルネサス エレクトロニクスの商標です。</p>				
表 1.1 SH7265 の特長	1-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>特 長</th> </tr> </thead> <tbody> <tr> <td>IEBus™ コントローラ（IEB）</td> <td> IEBus のプロトコル制御（レイア2）に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる 3 種類のモードが選択可能 モード 2 の最大伝送バイト数である 128 バイトまで連続送受信可能なデータ送受信用バッファ（デュアルポート RAM）内蔵 動作周波数： 12MHz、12.58MHz のクロックを 1/2 に分周して使用 18MHz、18.87MHz のクロックを 1/3 に分周して使用 24MHz、25.16MHz のクロックを 1/4 に分周して使用 30MHz、31.45MHz のクロックを 1/5 に分周して使用 36MHz、37.74MHz のクロックを 1/6 に分周して使用 </td> </tr> </tbody> </table>	項目	特 長	IEBus™ コントローラ（IEB）	IEBus のプロトコル制御（レイア2）に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる 3 種類のモードが選択可能 モード 2 の最大伝送バイト数である 128 バイトまで連続送受信可能なデータ送受信用バッファ（デュアルポート RAM）内蔵 動作周波数： 12MHz、12.58MHz のクロックを 1/2 に分周して使用 18MHz、18.87MHz のクロックを 1/3 に分周して使用 24MHz、25.16MHz のクロックを 1/4 に分周して使用 30MHz、31.45MHz のクロックを 1/5 に分周して使用 36MHz、37.74MHz のクロックを 1/6 に分周して使用
項目	特 長					
IEBus™ コントローラ（IEB）	IEBus のプロトコル制御（レイア2）に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる 3 種類のモードが選択可能 モード 2 の最大伝送バイト数である 128 バイトまで連続送受信可能なデータ送受信用バッファ（デュアルポート RAM）内蔵 動作周波数： 12MHz、12.58MHz のクロックを 1/2 に分周して使用 18MHz、18.87MHz のクロックを 1/3 に分周して使用 24MHz、25.16MHz のクロックを 1/4 に分周して使用 30MHz、31.45MHz のクロックを 1/5 に分周して使用 36MHz、37.74MHz のクロックを 1/6 に分周して使用					
5. クロックパルス発振器（CPG）	5-1	<p>説明を修正</p> <p>本 LSI は、クロックパルス発振器を内蔵しており、CPU0 クロック（I_0）、CPU1 クロック（I_1）、周辺クロック（P）、およびバスクロック（B）を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。</p>				
5.1 特長		<p>説明を修正</p> <ul style="list-style-type: none"> 3 種類のクロック <p>CPU、キャッシュで使用する CPU0 クロック（I_0）、CPU1 クロック（I_1）、周辺モジュールで使用する周辺クロック（P）、さらに外部バスインタフェースで使用するバスクロック（B = CKIO）を独立に生成できます。</p> 周波数変更機能 <p>CPG 内部の PLL（Phase Locked Loop）回路や分周回路により、CPU0 クロック、CPU1 クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ 0、1（FRQCR0、FRQCR1）の設定により、ソフトウェアで行います。</p> 				

修正項目	ページ	修正内容 (詳細はマニュアル参照)																												
5.1 特長 図 5.1 クロックパルス発振器のブロック図	5-2	図を修正 																												
(4) 分周器 2	5-3	説明を修正 分周器 2 は、CPU0 クロック、CPU1 クロック、周辺クロック、およびバスクロックで使用する動作周波数のクロックを生成する機能を持ちます。CPU0 クロック、CPU1 クロックと周辺クロックの分周率は、周波数制御レジスタで設定します。バスクロックの分周率は、クロック動作モードおよび PLL 通倍率により決まります。																												
(7) 周波数制御レジスタ 0 (FRQCR0)		説明を修正 周波数制御レジスタ 0 (FRQCR0) には、ソフトウェアスタンバイモード時の CKIO 端子からのクロック出力の有無、PLL 回路の周波数通倍率、CPU0 クロック (I ₀)、および周辺クロック (P) の周波数分周率の各制御ビットが割り当てられています。																												
(8) 周波数制御レジスタ 1 (FRQCR1)		説明を修正 周波数制御レジスタ 1 (FRQCR1) には、CPU1 クロック (I ₁) の周波数分周率の各制御ビットが割り当てられています。																												
5.3 クロック動作モード 表 5.3 クロック動作モードと設定可能な周波数範囲	5-7	表を修正 <table border="1" data-bbox="644 1159 1207 1275"> <thead> <tr> <th rowspan="2">クロック動作モード</th> <th>FRQCR0 レジスタ</th> <th>FRQCR1 レジスタ</th> <th>PLL 通倍率</th> <th rowspan="2">内部クロック比 (L₀:L₁:B:P)</th> <th colspan="5">設定可能な周波数範囲 (MHz)</th> </tr> <tr> <th>設定値</th> <th>設定値</th> <th>PLL 設定</th> <th>入力クロック</th> <th>CPU0 クロック (L₀)</th> <th>CPU1 クロック (L₁)</th> <th>バスクロック (B = CKIO 端子)</th> <th>周辺クロック (P)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Hx104</td> <td>H0000</td> <td>ON (x12)</td> <td>12 : 12 : 4 : 2</td> <td>10 ~ 16.67</td> <td>120 ~ 200</td> <td>120 ~ 200</td> <td>40 ~ 66.66</td> <td>20 ~ 33.33</td> </tr> </tbody> </table>	クロック動作モード	FRQCR0 レジスタ	FRQCR1 レジスタ	PLL 通倍率	内部クロック比 (L ₀ :L ₁ :B:P)	設定可能な周波数範囲 (MHz)					設定値	設定値	PLL 設定	入力クロック	CPU0 クロック (L ₀)	CPU1 クロック (L ₁)	バスクロック (B = CKIO 端子)	周辺クロック (P)	0	Hx104	H0000	ON (x12)	12 : 12 : 4 : 2	10 ~ 16.67	120 ~ 200	120 ~ 200	40 ~ 66.66	20 ~ 33.33
クロック動作モード	FRQCR0 レジスタ	FRQCR1 レジスタ		PLL 通倍率	内部クロック比 (L ₀ :L ₁ :B:P)	設定可能な周波数範囲 (MHz)																								
	設定値	設定値	PLL 設定	入力クロック		CPU0 クロック (L ₀)	CPU1 クロック (L ₁)	バスクロック (B = CKIO 端子)	周辺クロック (P)																					
0	Hx104	H0000	ON (x12)	12 : 12 : 4 : 2	10 ~ 16.67	120 ~ 200	120 ~ 200	40 ~ 66.66	20 ~ 33.33																					
	5-8	表を修正 <table border="1" data-bbox="644 1333 1207 1449"> <thead> <tr> <th rowspan="2">クロック動作モード</th> <th>FRQCR0 レジスタ</th> <th>FRQCR1 レジスタ</th> <th>PLL 通倍率</th> <th rowspan="2">内部クロック比 (L₀:L₁:B:P)</th> <th colspan="5">設定可能な周波数範囲 (MHz)</th> </tr> <tr> <th>設定値</th> <th>設定値</th> <th>PLL 設定</th> <th>入力クロック</th> <th>CPU0 クロック (L₀)</th> <th>CPU1 クロック (L₁)</th> <th>バスクロック (B = CKIO 端子)</th> <th>周辺クロック (P)</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>Hx104</td> <td>H0000</td> <td>ON (x12)</td> <td>3 : 3 : 1 : 1/2</td> <td>40 ~ 66.66</td> <td>120 ~ 200.0</td> <td>120 ~ 200.0</td> <td>40 ~ 66.66</td> <td>20 ~ 33.33</td> </tr> </tbody> </table>	クロック動作モード	FRQCR0 レジスタ	FRQCR1 レジスタ	PLL 通倍率	内部クロック比 (L ₀ :L ₁ :B:P)	設定可能な周波数範囲 (MHz)					設定値	設定値	PLL 設定	入力クロック	CPU0 クロック (L ₀)	CPU1 クロック (L ₁)	バスクロック (B = CKIO 端子)	周辺クロック (P)	2	Hx104	H0000	ON (x12)	3 : 3 : 1 : 1/2	40 ~ 66.66	120 ~ 200.0	120 ~ 200.0	40 ~ 66.66	20 ~ 33.33
クロック動作モード	FRQCR0 レジスタ	FRQCR1 レジスタ		PLL 通倍率	内部クロック比 (L ₀ :L ₁ :B:P)	設定可能な周波数範囲 (MHz)																								
	設定値	設定値	PLL 設定	入力クロック		CPU0 クロック (L ₀)	CPU1 クロック (L ₁)	バスクロック (B = CKIO 端子)	周辺クロック (P)																					
2	Hx104	H0000	ON (x12)	3 : 3 : 1 : 1/2	40 ~ 66.66	120 ~ 200.0	120 ~ 200.0	40 ~ 66.66	20 ~ 33.33																					
5.4.1 周波数制御レジスタ 0、1 (FRQCR0、FRQCR1) (1) FRQCR0	5-10	説明を修正 FRQCR0 は、読み出し / 書き込み可能な 16 ビットのレジスタで、通常時、PLL 回路の通倍率変更時、ソフトウェアスタンバイモード時、およびスタンバイ解除時の CKIO 端子からクロック出力の有無、PLL 回路の周波数通倍率、CPU0 クロック (I ₀)、および周辺クロック (P) の周波数分周率の指定ができます。FRQCR0 レジスタを変更するときは、CPU0 からのみとしてください。																												

修正項目	ページ	修正内容（詳細はマニュアル参照）															
5.4.1 周波数制御レジスタ 0、1 (FRQCR0、FRQCR1) (1) FRQCR0	5-12	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5、4</td> <td>IFC[1:0]</td> <td>1001*</td> <td>R/W</td> <td>CPU0 クロック周波数の分周率 (I₀) PLL 回路の出力周波数に対しての CPU0 クロック周波数の分周率を指定します。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	5、4	IFC[1:0]	1001*	R/W	CPU0 クロック周波数の分周率 (I ₀) PLL 回路の出力周波数に対しての CPU0 クロック周波数の分周率を指定します。					
ビット	ビット名	初期値	R/W	説明													
5、4	IFC[1:0]	1001*	R/W	CPU0 クロック周波数の分周率 (I ₀) PLL 回路の出力周波数に対しての CPU0 クロック周波数の分周率を指定します。													
(2) FRQCR1	5-13	説明を修正 FRQCR1 は、読み出し / 書き込み可能な 16 ビットのレジスタで、CPU1 クロック (I ₁) の周波数分周率の指定ができます。FRQCR1 を変更するときは、CPU1 からのみとしてください。 表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15-6</td> <td>-</td> <td>すべて 0</td> <td>R</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</td> </tr> <tr> <td>5、4</td> <td>IFC[1:0]</td> <td>1001*</td> <td>R/W</td> <td>CPU1 クロック周波数の分周率 (I₁) PLL 回路の出力周波数に対しての CPU1 クロック周波数の分周率を指定します。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	15-6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	5、4	IFC[1:0]	1001*	R/W	CPU1 クロック周波数の分周率 (I ₁) PLL 回路の出力周波数に対しての CPU1 クロック周波数の分周率を指定します。
ビット	ビット名	初期値	R/W	説明													
15-6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。													
5、4	IFC[1:0]	1001*	R/W	CPU1 クロック周波数の分周率 (I ₁) PLL 回路の出力周波数に対しての CPU1 クロック周波数の分周率を指定します。													
5.5 周波数変更方法	5-14	説明を修正 CPU0 クロック (I ₀)、CPU1 クロック (I ₁) および周辺クロック (P) の周波数を変更するには、PLL 回路の逡倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタ 0、1 (FRQCR0、FRQCR1) によってソフトウェアで制御します。以下にこれらの方法について示します。															
5.5.1 逡倍率の変更		説明を修正 4. 本 LSI 内部は、一時的に停止し、WDT0 のカウントアップを開始します。WDT0 にのみクロックが供給されそれ以外の内部クロックが停止します。CKIO 端子にはクロックが出力され続けます。または、FRQCR0 の CKOEN2 の設定によりローレベル出力を選択することもできます。															
5.5.2 分周率の変更	5-16	説明を修正 分周率変更のみで同時に逡倍率の変更を行わない場合は、WDT0 によるカウントは行いません。ただし、周辺クロックの分周率変更を行う場合には、CPU1 に割り込みが入らないように設定後 CPU1 をスリープ状態に移行して CPU0 から行ってください。CPU1 クロックのみ分周率変更の場合は CPU1 をスリープ状態に移行する必要はありません。 • CPU0 から CPU0 クロックを変更する場合 • CPU1 から CPU1 クロックを変更する場合															
5.5.3 逡倍率・分周率変更時の注意事項		説明を修正 1. CPU1 クロックの分周率を変更する場合、CPU1 がスリープ状態中に FRQCR1.IFC[1:0]の変更を行っても反映されません。誤動作を防止するため、CPU1 からのみ FRQCR1 レジスタの変更を行うようにしてください。															

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																		
5.8.1 PLL 発振回路使用時の注意	5-20	<p>説明を追加</p> <p>PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と Vcc、PVcc のデジタル電源系は、極力基板上で同一リソースを供給しないでください。</p> <p>PLL Vcc は Vcc と同電位にしてください。</p>																																																																		
6.2.2 リセットの種類 表 6.6 リセット状態	6-6	<p>表タイトルを修正</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">種類</th> <th colspan="5">リセット状態への遷移条件</th> <th colspan="4">内部状態</th> </tr> <tr> <th>RES</th> <th>H-UDI コマンド</th> <th>MRES</th> <th>WDT0 オーバフロー</th> <th>WDT1 オーバフロー</th> <th>CPU</th> <th>CPU 以外のモジュール</th> <th>高速内蔵 RAM</th> <th>保持用内蔵 RAM</th> </tr> </thead> <tbody> <tr> <td rowspan="3">パワーオンリセット</td> <td>ロー</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td>初期化 or 保持^{*2}</td> <td>初期化</td> </tr> <tr> <td>ハイ</td> <td>H-UDI リセットアサートコマンドをセット</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td>初期化 or 保持^{*2}</td> <td>初期化</td> </tr> <tr> <td>ハイ</td> <td>H-UDI リセットアサート以外のコマンドをセット</td> <td>-</td> <td>パワーオン</td> <td>パワーオン</td> <td>初期化</td> <td>^{*1}</td> <td>初期化 or 保持^{*2}</td> <td>初期化</td> </tr> <tr> <td rowspan="2">マニュアルリセット</td> <td>ハイ</td> <td>H-UDI リセットアサート以外のコマンドをセット</td> <td>ロー</td> <td>-</td> <td>-</td> <td>初期化</td> <td>^{*1}</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>ハイ</td> <td>H-UDI リセットアサート以外のコマンドをセット</td> <td>ハイ</td> <td>マニュアル</td> <td>マニュアル</td> <td>初期化</td> <td>^{*1}</td> <td>保持</td> <td>保持</td> </tr> </tbody> </table> <p>注を修正</p> <p>【注】*1 「35.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。</p> <p>*2 RAME ビットまたは RAMWE ビットを無効にすることにより、データを保持し続けます。</p>	種類	リセット状態への遷移条件					内部状態				RES	H-UDI コマンド	MRES	WDT0 オーバフロー	WDT1 オーバフロー	CPU	CPU 以外のモジュール	高速内蔵 RAM	保持用内蔵 RAM	パワーオンリセット	ロー	-	-	-	-	初期化	初期化	初期化 or 保持 ^{*2}	初期化	ハイ	H-UDI リセットアサートコマンドをセット	-	-	-	初期化	初期化	初期化 or 保持 ^{*2}	初期化	ハイ	H-UDI リセットアサート以外のコマンドをセット	-	パワーオン	パワーオン	初期化	^{*1}	初期化 or 保持 ^{*2}	初期化	マニュアルリセット	ハイ	H-UDI リセットアサート以外のコマンドをセット	ロー	-	-	初期化	^{*1}	保持	保持	ハイ	H-UDI リセットアサート以外のコマンドをセット	ハイ	マニュアル	マニュアル	初期化	^{*1}	保持	保持
種類	リセット状態への遷移条件					内部状態																																																														
	RES	H-UDI コマンド	MRES	WDT0 オーバフロー	WDT1 オーバフロー	CPU	CPU 以外のモジュール	高速内蔵 RAM	保持用内蔵 RAM																																																											
パワーオンリセット	ロー	-	-	-	-	初期化	初期化	初期化 or 保持 ^{*2}	初期化																																																											
	ハイ	H-UDI リセットアサートコマンドをセット	-	-	-	初期化	初期化	初期化 or 保持 ^{*2}	初期化																																																											
	ハイ	H-UDI リセットアサート以外のコマンドをセット	-	パワーオン	パワーオン	初期化	^{*1}	初期化 or 保持 ^{*2}	初期化																																																											
マニュアルリセット	ハイ	H-UDI リセットアサート以外のコマンドをセット	ロー	-	-	初期化	^{*1}	保持	保持																																																											
	ハイ	H-UDI リセットアサート以外のコマンドをセット	ハイ	マニュアル	マニュアル	初期化	^{*1}	保持	保持																																																											
6.10.4 割り込みマスクビット変更による割り込み制御	6-20	新規追加																																																																		
10.3.1 アドレスマップ 表 10.2 アドレスマップ	10-5	<p>注を修正</p> <p>【注】*2 キャッシュのアドレスレイ空間や一部の内蔵周辺モジュールは、どの BIU にも割り当てられていません。これらのデバイスは、内部バスを経由することなく、個々の CPU から直接アクセスされます。DMAC がこれらのデバイスをアクセスすることはできません。</p>																																																																		
10.3.2 各エリアのデータバス幅と関連端子設定	10-6	説明を差し替え																																																																		
10.4.8 SDRAM リフレッシュ制御レジスタ 1 (SDRFCNT1) (a) オートリフレッシュ要求間隔と DRFC 設定値の関係	10-22	<p>説明を修正</p> <p>DRFC = (オートリフレッシュ要求間隔 / バスクロック周期) - 1</p>																																																																		
10.5.1 CS 空間アクセス 図 10.7 外部ウェイトタイミング例 (16 ビット幅チャネルへのページリードアクセス)	10-42	<p>図を修正</p> <p>The diagram shows a square wave signal CKIO. Above the signal, three horizontal arrows indicate timing intervals: Ts (Tend) for the first cycle, Tenc (Tend) for the next cycle, and Tend for the final cycle. Below the signal, two dashed lines indicate 'サイクルウェイト=0' and 'ページサイクルウェイト=0'.</p>																																																																		

修正項目	ページ	修正内容（詳細はマニュアル参照）															
12.3.16 タイマアウトプットマスタイネーブルレジスタ (TOER)	12-49	<p>説明を追加</p> <p>TOER は、8 ビットの読み出し / 書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。</p> <p>TOER の設定はチャンネル 3、4 の TCNT のカウント動作を停止した状態で行ってください。</p>															
12.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)	12-50	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>TOCL</td> <td>0</td> <td>R(W)[※]</td> <td>TOC レジスタ書き込み禁止ビット¹⁾ TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止</td> </tr> <tr> <td>1</td> <td>OLSN</td> <td>0</td> <td>R/W</td> <td>出力レベルセレクト N^{※2)} リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 12.28 を参照してください。</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】 *3 パワーオンリセット後、1 回のみ 1 を書き込みできます。1 を書き込み後は、0 を書き込むことはできません。</p> <p>*4 デッドタイムを生成しない場合、逆相の出力は正相の反転となります。なお、OLSP、OLSN に同じ値を設定してください。</p>	ビット	ビット名	初期値	R/W	説 明	3	TOCL	0	R(W) [※]	TOC レジスタ書き込み禁止ビット ¹⁾ TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止	1	OLSN	0	R/W	出力レベルセレクト N ^{※2)} リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 12.28 を参照してください。
ビット	ビット名	初期値	R/W	説 明													
3	TOCL	0	R(W) [※]	TOC レジスタ書き込み禁止ビット ¹⁾ TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止													
1	OLSN	0	R/W	出力レベルセレクト N ^{※2)} リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 12.28 を参照してください。													
12.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)	12-52	<p>注を追加</p> <p>【注】 * TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。</p> <p>デッドタイムを生成しない場合、逆相の出力は正相の反転となります。</p> <p>なお、OLSP、OLSN に同じ値を設定してください。(i = 1、2、3)</p>															
12.3.23 タイマ周期データレジスタ (TCDR)	12-58	<p>説明を追加</p> <p>TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値(ただし、TDDR の 2 倍 + 3 以上の値)を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます(ダウンカウントアップカウント)。TCDR の初期値は H'FFFF です。</p>															
12.3.29 タイマ波形コントロールレジスタ (TWCR)	12-63	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>WRE</td> <td>0</td> <td>R(W)</td> <td>初期出力禁止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑制されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の Tb 区間については、図 12.40 を参照してください。 0: TOCR レジスタで設定した初期出力値を出力 1: 初期出力を抑制する [セット条件] WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	0	WRE	0	R(W)	初期出力禁止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑制されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の Tb 区間については、図 12.40 を参照してください。 0: TOCR レジスタで設定した初期出力値を出力 1: 初期出力を抑制する [セット条件] WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき					
ビット	ビット名	初期値	R/W	説 明													
0	WRE	0	R(W)	初期出力禁止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑制されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の Tb 区間については、図 12.40 を参照してください。 0: TOCR レジスタで設定した初期出力値を出力 1: 初期出力を抑制する [セット条件] WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき													

修正項目	ページ	修正内容（詳細はマニュアル参照）
12.4.4 カスケード接続動作	12-77	説明を追加 カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ(TICCR)で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。詳細は、「(4) カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「12.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。
(4) カスケード接続動作例(c) 図 12.23 カスケード接続動作例(c)	12-80	図を差し替え
12.4.5 PWM モード • PWM モード 2	12-82	説明を修正 TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOIR で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOIR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。
12.4.8 相補 PWM モード	12-95	説明を削除 使用される PWM 出力端子を表 12.52 に、使用するレジスタの設定を表 12.53 に示します。
(1) 相補 PWM モードの設定手順例 図 12.38 相補 PWM モードの設定手順例	12-98	図を修正 <p>[8] デッドタイムレジスタ (TDDR) にデッドタイムを設定し、タイマ同期データレジスタ (TCDR)、タイマ同期パワアレジスタ (TCBR) にキャリア周波数の1/2を、TGRA_3とTGR_3にキャリア周波数の1/2にデッドタイム分加えた値を設定してください。デッドタイムを生成しない設定をした場合は、TDDRに1、TGRA_3とTGR_3にキャリア周波数の1/2+1を設定してください。</p>
(2) 相補 PWM モードの動作概要 (g) PWM 周期の設定	12-103	説明を追加 デッドタイム生成あり : $TGRA_3$ の設定値 = $TCDR$ の設定値 + $TDDR$ の設定値 $TCDR$ の設定値 > $TDDR$ の設定値の 2 倍 + 2 デッドタイム生成なし : $TGRA_3$ の設定値 = $TCDR$ の設定値 + 1 $TCDR$ の設定値 > 4

修正項目	ページ	修正内容（詳細はマニュアル参照）
12.4.8 相補 PWM モード (2) 相補 PWM モードの動作概要 (j) 相補 PWM モードの PWM 出力生成方法	12-107	説明を修正 PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0～100%まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相/逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。
(k) 相補 PWM モードのデューティ 0%、100%出力	12-112	説明を修正 相補 PWM モードでは、デューティ 0%、100%を任意に出力可能です。図 12.49～図 12.53 に出力例を示します。 デューティ 100%出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、コンペアレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。
(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御	12-114	説明を追加それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の Tb 区間であっても、図 12.56 の 示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。 初期出力を抑止する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。
12.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項	12-160	新規追加
12.8.2 リセットスタート時の動作	12-162	説明を修正 MTU2 の出力端子 (TIOC*) はパワーオンリセットまたはディープスタンバイモード時に L に初期化されます。MTU2 の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU2 の端子の状態がポートに出力されます。
14.5.7 ウォッチドッグタイマモードでの内部リセット	14-14	新規追加
15.4.2 時刻設定手順 図 15.2 時刻設定手順	15-22	図を差し替え

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																			
15.4.3 時刻読み出し手順 図 15.3 時刻読み出し手順	15-23	<p>図を修正</p> <pre> graph TD Start([読み出す対象の 全カウンタレジスタ読み出し]) --> Decision{桁上げフラグ = 1} Decision -- Yes --> Note1[RCR1レジスタを読み出し CFフラグをチェック] Decision -- No --> Note2["(a) 割り込みを使用しないで時刻を読み出す方法"] Note1 --> Step1[桁上げフラグクリア] Note2 --> Step1 Step1 --> Step2[桁上げ割り込みイネーブル] Step2 --> Note3[RCR1レジスタのCIEビットを1にセット] Note3 --> Step3[桁上げフラグクリア] Step3 --> Note4[RCR1レジスタのCFを0にクリア (アラームフラグをクリアしないように RCR1レジスタのAFは1を書き込む)] Note4 --> End([読み出す対象の 全カウンタレジスタ読み出し]) </pre>																																																			
15.5.4 レジスタ書き込み / 読み出し時の 注意事項	15-25	<p>説明を修正</p> <ul style="list-style-type: none"> 秒カウンタなど、カウントレジスタの書き込み後の読み出しは、「時刻設定手順」に従ってください。 <p>このときに、秒～年の全てのカウンタに連続して書き込みを行う必要があります。図 15.2 の図中の(2)の書き込み処理の間に、カウントレジスタの読み出し処理が行われないようにしてください。</p>																																																			
16.3.6 シリアルコントロールレジスタ (SCSCR)	16-11	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>REIE</td> <td>0</td> <td>R/W</td> <td>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。 0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止 1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可 【注】* ERI, BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	REIE	0	R/W	受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。 0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止 1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可 【注】* ERI, BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。																																									
ビット	ビット名	初期値	R/W	説明																																																	
3	REIE	0	R/W	受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。 0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止 1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可 【注】* ERI, BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。																																																	
16.3.8 ビットレートレジスタ (SCBRR) 表 16.4 ビットレートに対する SCBRR の 設定例〔調歩同期モード、BGDM = 0、 ABCS = 0〕(2)	16-19	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">ビットレート (bit/s)</th> <th colspan="3">P (MHz)</th> </tr> <tr> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr><td>110</td><td>3</td><td>70</td><td>0.03</td></tr> <tr><td>150</td><td>2</td><td>207</td><td>0.16</td></tr> <tr><td>300</td><td>2</td><td>103</td><td>0.16</td></tr> <tr><td>600</td><td>1</td><td>207</td><td>0.16</td></tr> <tr><td>1200</td><td>1</td><td>103</td><td>0.16</td></tr> <tr><td>2400</td><td>0</td><td>207</td><td>0.16</td></tr> <tr><td>4800</td><td>0</td><td>103</td><td>0.16</td></tr> <tr><td>9600</td><td>0</td><td>51</td><td>0.16</td></tr> <tr><td>19200</td><td>0</td><td>25</td><td>0.16</td></tr> <tr><td>31250</td><td>0</td><td>15</td><td>0.00</td></tr> <tr><td>38400</td><td>0</td><td>12</td><td>0.16</td></tr> </tbody> </table>	ビットレート (bit/s)	P (MHz)			n	N	誤差 (%)	110	3	70	0.03	150	2	207	0.16	300	2	103	0.16	600	1	207	0.16	1200	1	103	0.16	2400	0	207	0.16	4800	0	103	0.16	9600	0	51	0.16	19200	0	25	0.16	31250	0	15	0.00	38400	0	12	0.16
ビットレート (bit/s)	P (MHz)																																																				
	n	N	誤差 (%)																																																		
110	3	70	0.03																																																		
150	2	207	0.16																																																		
300	2	103	0.16																																																		
600	1	207	0.16																																																		
1200	1	103	0.16																																																		
2400	0	207	0.16																																																		
4800	0	103	0.16																																																		
9600	0	51	0.16																																																		
19200	0	25	0.16																																																		
31250	0	15	0.00																																																		
38400	0	12	0.16																																																		
表 16.5 ビットレートに対する SCBRR の 設定例〔クロック同期モード〕	16-21	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">ビットレート (bit/s)</th> <th colspan="4">P (MHz)</th> </tr> <tr> <th colspan="2">8</th> <th colspan="2">16</th> </tr> <tr> <td></td> <th>n</th> <th>N</th> <th>n</th> <th>N</th> </tr> </thead> <tbody> <tr> <td>1M</td> <td>■</td> <td>■</td> <td>0</td> <td>3</td> </tr> <tr> <td>2M</td> <td>■</td> <td>■</td> <td>■</td> <td>■</td> </tr> </tbody> </table>	ビットレート (bit/s)	P (MHz)				8		16			n	N	n	N	1M	■	■	0	3	2M	■	■	■	■																											
ビットレート (bit/s)	P (MHz)																																																				
	8		16																																																		
	n	N	n	N																																																	
1M	■	■	0	3																																																	
2M	■	■	■	■																																																	

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																
16.3.8 ビットレートレジスタ（SCBRR） 表 16.5 ビットレートに対する SCBRR の設定例（クロック同期モード）	16-21	説明を修正 【記号説明】 空欄：設定できません。または、通信相手に関わらず、本 LSI 自身の電気的特性を満たすことができません。 -：設定可能ですが誤差がでます。																																																
表 16.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート（調歩同期モード）	16-22	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">P (MHz)</th> <th colspan="4">設定値</th> <th rowspan="2">最大ビットレート (bit/s)</th> </tr> <tr> <th>BGDM</th> <th>ABCS</th> <th>n</th> <th>N</th> </tr> </thead> <tbody> <tr> <td rowspan="4">16</td> <td rowspan="2">0</td> <td>0</td> <td>0</td> <td>0</td> <td>500000</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1000000</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>0</td> <td>0</td> <td>1000000</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2000000</td> </tr> <tr> <td rowspan="4">20</td> <td rowspan="2">0</td> <td>0</td> <td>0</td> <td>0</td> <td>625000</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1250000</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>0</td> <td>0</td> <td>1250000</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2500000</td> </tr> </tbody> </table>	P (MHz)	設定値				最大ビットレート (bit/s)	BGDM	ABCS	n	N	16	0	0	0	0	500000	1	0	0	1000000	1	0	0	0	1000000	1	0	0	2000000	20	0	0	0	0	625000	1	0	0	1250000	1	0	0	0	1250000	1	0	0	2500000
P (MHz)	設定値				最大ビットレート (bit/s)																																													
	BGDM	ABCS	n	N																																														
16	0	0	0	0	500000																																													
		1	0	0	1000000																																													
	1	0	0	0	1000000																																													
		1	0	0	2000000																																													
20	0	0	0	0	625000																																													
		1	0	0	1250000																																													
	1	0	0	0	1250000																																													
		1	0	0	2500000																																													
表 16.7 外部クロック入力時の最大ビットレート（調歩同期モード）	16-24	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">P (MHz)</th> <th rowspan="2">外部入力クロック (MHz)</th> <th>設定値</th> <th rowspan="2">最大ビットレート (bit/s)</th> </tr> <tr> <th>ABCS</th> </tr> </thead> <tbody> <tr> <td rowspan="2">16</td> <td rowspan="2">4.0000</td> <td>0</td> <td>250000</td> </tr> <tr> <td>1</td> <td>500000</td> </tr> <tr> <td rowspan="2">20</td> <td rowspan="2">5.0000</td> <td>0</td> <td>312500</td> </tr> <tr> <td>1</td> <td>625000</td> </tr> </tbody> </table>	P (MHz)	外部入力クロック (MHz)	設定値	最大ビットレート (bit/s)	ABCS	16	4.0000	0	250000	1	500000	20	5.0000	0	312500	1	625000																															
P (MHz)	外部入力クロック (MHz)	設定値			最大ビットレート (bit/s)																																													
		ABCS																																																
16	4.0000	0	250000																																															
		1	500000																																															
20	5.0000	0	312500																																															
		1	625000																																															
16.4.2 調歩同期モード時の動作 (3) データの送信 / 受信動作 図 16.10 モデムコントロール使用時の動作例（RTS）	16-43	図を修正 																																																
16.6.6 調歩同期モードの受信データサンプリングタイミングと受信マージン	16-54	説明を修正 $M = \left\lfloor \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{ D - 0.5 }{N} (1 + F) \right\rfloor \times 100[\%] \quad \dots \text{式 (1)}$																																																
18.3.1 I ² C バスコントロールレジスタ 1（ICCR1）	18-5	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>ICE</td> <td>0</td> <td>R/W</td> <td>I²C バスインタフェース 3 イネーブル 0: SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0: SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)																																						
ビット	ビット名	初期値	R/W	説明																																														
7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0: SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)																																														
18.7.5 I ² C バスインタフェースモードのマスタ受信モード時の注意事項	18-38	新規追加																																																
18.7.6 IICRST、BBSY ビットに関する注意事項		新規追加																																																
18.7.7 マスタ送信モード、ACKE ビット = 1 設定時における停止条件発行の注意	18-39	新規追加																																																

修正項目	ページ	修正内容（詳細はマニュアル参照）
19. FIFO 内蔵シリアルサウンドインタフェース (SSIF)	19-1	説明を修正 FIFO 内蔵シリアルサウンドインタフェース (SSIF) は、I ² S バスと互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、マルチチャンネルモードにも対応しています。
19.4.1 バスフォーマット	19-20	説明を修正 バスフォーマットは表 19.3 に示す 4 つの主要なモードから選択できます。
19.4.2 非圧縮モード		説明を修正 非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。I ² S 互換フォーマットだけでなく、多数の改良版にも対応しています。
(5) 動作設定・ワード長関連	19-21	説明を修正 非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは I ² S 互換、MSB ファースト・左詰め、MSB ファースト・右詰めの各フォーマットについて説明します。
• I ² S 互換フォーマット		タイトルを修正
		説明を修正 図 19.3、図 19.4 に、パディングなしとパディングありの I ² S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。
図 19.3 I ² S 互換フォーマット (パディングなし)		図タイトルを修正
図 19.4 I ² S 互換フォーマット (パディングあり)		図タイトルを修正
		説明を修正 図 19.5 に MSB ファースト・左詰めフォーマットを、図 19.6 に MSB ファースト・右詰めのフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。
• MSB ファースト・左詰めフォーマット		19-22
図 19.5 MSB ファースト・左詰めフォーマット (シリアルデータ、パディングビットの順に送受信)	図タイトルを修正	
• MSB ファースト・右詰めフォーマット	タイトルを修正	
図 19.6 MSB ファースト・右詰めフォーマット (パディングビット、シリアルデータの順に送受信)	図タイトルを修正	
(6) マルチチャンネルフォーマット		説明を修正 I ² S バス仕様の定義を拡張し、2 システムワード中に 2 より多いチャンネルの転送を行うデバイスタイプもあります。

修正項目	ページ	修正内容（詳細はマニュアル参照）										
19.4.4 送信動作 (1) DMA コントローラを使用した送信 図 19.20 DMA コントローラを使用した送信	19-30	図を差し替え										
(2) 割り込みデータフロー制御を使用した送信 図 19.21 割り込みデータフロー制御を使用した送信	19-31	図を差し替え										
19.4.5 受信動作 (1) DMA コントローラを使用した受信 図 19.22 DMA コントローラを使用した受信	19-32	図を差し替え										
(2) 割り込みデータフロー制御を使用した受信 図 19.23 割り込みデータフロー制御を使用した受信	19-33	図を差し替え										
20.2.1 ブロック図 図 20.1 RCAN-TL1 のブロック図 (1 チャネルあたり)	20-3	図を修正 ----- 【記号説明】 n = 0, 1 【注】 ロングワード (32ビット) アクセスは、バスインタフェース部で2連続ワードアクセスに展開されます。										
20.2.2 各ブロックの機能 (4) タイマ	20-5	説明を修正 本タイマのレジスタには、TCNTR、TTCR0、CMAX_TEW、RTTROFF、TSR、CCR、CYCTR、RFMK、TCMR0、TCMR1、TCMR2、および TTTSEL があります。										
20.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)	20-32	説明を修正 BRP (ポーレートプリスケラ) は BCR0 格納値 + 1 の値です。f _{clk} は周辺 クロック周波数です。										
(2) BCR0	20-34	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7-0</td> <td>BRP[7:0]</td> <td>0000000</td> <td>R/W</td> <td>ポーレートプリスケラ これらのビットは、1 タイムクオンタに対応する周辺 クロック数を設定します。 0000000 : 2 × 周辺 クロック 0000001 : 4 × 周辺 クロック 0000010 : 6 × 周辺 クロック : 2 × (レジスタ値 + 1) × 周辺 クロック 1111111 : 512 × 周辺 クロック</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	7-0	BRP[7:0]	0000000	R/W	ポーレートプリスケラ これらのビットは、1 タイムクオンタに対応する周辺 クロック数を設定します。 0000000 : 2 × 周辺 クロック 0000001 : 4 × 周辺 クロック 0000010 : 6 × 周辺 クロック : 2 × (レジスタ値 + 1) × 周辺 クロック 1111111 : 512 × 周辺 クロック
ビット	ビット名	初期値	R/W	説 明								
7-0	BRP[7:0]	0000000	R/W	ポーレートプリスケラ これらのビットは、1 タイムクオンタに対応する周辺 クロック数を設定します。 0000000 : 2 × 周辺 クロック 0000001 : 4 × 周辺 クロック 0000010 : 6 × 周辺 クロック : 2 × (レジスタ値 + 1) × 周辺 クロック 1111111 : 512 × 周辺 クロック								
• ビットコンフィギュレーションレジスタについて	20-35	説明を修正 f _{clk} = 周辺 クロック										
20.5.7 メールボックスインタラプトマスクレジスタ 1、0 (MBIMR1、MBIMR0)	20-54	説明を修正 マスクするメールボックスに対応するビットに 1 を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます。										

修正項目	ページ	修正内容（詳細はマニュアル参照）																
20.7.4 メッセージ受信シーケンス	20-90	<p>説明を修正</p> <p>図 20.26 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバーライトされること（NMC が 1 のとき）を検出するためです。UMSR の最後のチェック中にオーバーライトが検出された場合、メッセージを破棄し再度読み込む必要があります。</p>																
20.8 割り込み要因 表 20.12 RCAN-TL1 の割り込み要因	20-93	<p>表を修正</p> <table border="1"> <thead> <tr> <th>モジュール名 RCANn¹</th> <th>名称 RM0n^{1,2} RM1n^{1,2}</th> <th>要 因 データフレーム受信 リモートフレーム受信</th> <th>割り込みフラグ IRR1³ IRR2³</th> <th>DMAC の起動 可⁴</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>注を修正</p> <p>【注】 *4 RM0n 割り込みのみ DMAC を起動できます。</p>	モジュール名 RCANn ¹	名称 RM0n ^{1,2} RM1n ^{1,2}	要 因 データフレーム受信 リモートフレーム受信	割り込みフラグ IRR1 ³ IRR2 ³	DMAC の起動 可 ⁴											
モジュール名 RCANn ¹	名称 RM0n ^{1,2} RM1n ^{1,2}	要 因 データフレーム受信 リモートフレーム受信	割り込みフラグ IRR1 ³ IRR2 ³	DMAC の起動 可 ⁴														
21.1 特長	21-1	<p>説明を修正</p> <p>【注】 * IEBus (Inter Equipment Bus) はルネサス エレクトロニクスの商標です。</p> <p>説明を修正</p> <p>• 動作周波数</p> <p>12MHz、12.58MHz のクロックを 1/2 に分周して使用 18MHz、18.87MHz のクロックを 1/3 に分周して使用 24MHz、25.16MHz のクロックを 1/4 に分周して使用 30MHz、31.45MHz のクロックを 1/5 に分周して使用 36MHz、37.74MHz のクロックを 1/6 に分周して使用</p> <p>注を修正</p> <p>【注】 AUDIO_X1 は、SSI オーディオ用のクロック入力として使用しない場合のみ、IEB のクロック入力として使用できます。</p>																
21.3.16 IEBus 送信ステータスレジスタ (IETSRS)	21-29	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>-</td> <td>0</td> <td>R</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。						
ビット	ビット名	初期値	R/W	説 明														
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。														
21.3.19 IEBus 受信割り込み許可レジスタ (IEIER)	21-35	<p>図を修正</p> <p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1"> <thead> <tr> <th>RXBSYE</th> <th>RXSE</th> <th>RXFE</th> <th>RXDEEE</th> <th>RXE OVEE</th> <th>RXE RTMEE</th> <th>RXE DLEE</th> <th>RXEPEE</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> </tbody> </table> <p>初期値: 0 0 0 0 0 0 0 0 R/W: R/W R/W R/W R/W R/W R/W R/W</p>	RXBSYE	RXSE	RXFE	RXDEEE	RXE OVEE	RXE RTMEE	RXE DLEE	RXEPEE	0	0	0	0	0	0	0	0
RXBSYE	RXSE	RXFE	RXDEEE	RXE OVEE	RXE RTMEE	RXE DLEE	RXEPEE											
0	0	0	0	0	0	0	0											
22.1 特長	22-1	<p>説明を削除</p> <p>• 最小変換時間: 1 チャンネル当たり 3.9μs</p>																
22.3.2 A/D コントロール / ステータスレジスタ (ADCSR)	22-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>ADF</td> <td>0</td> <td>R/(W)¹</td> <td>A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 【クリア条件】</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	15	ADF	0	R/(W) ¹	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 【クリア条件】						
ビット	ビット名	初期値	R/W	説 明														
15	ADF	0	R/(W) ¹	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 【クリア条件】														
	22-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7, 6</td> <td>CKS[1:0]</td> <td>01</td> <td>R/W</td> <td>クロックセレクト A/D 変換時間の設定を行います²。変換時間の設定は変換停止中 (ADST = 0) に行ってください。 00: 変換時間 = 138 (最大値) <input type="checkbox"/> 01: 変換時間 = 274 (最大値) <input type="checkbox"/> 10: 変換時間 = 546 (最大値) <input type="checkbox"/> 11: 設定禁止</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	7, 6	CKS[1:0]	01	R/W	クロックセレクト A/D 変換時間の設定を行います ² 。変換時間の設定は変換停止中 (ADST = 0) に行ってください。 00: 変換時間 = 138 (最大値) <input type="checkbox"/> 01: 変換時間 = 274 (最大値) <input type="checkbox"/> 10: 変換時間 = 546 (最大値) <input type="checkbox"/> 11: 設定禁止						
ビット	ビット名	初期値	R/W	説 明														
7, 6	CKS[1:0]	01	R/W	クロックセレクト A/D 変換時間の設定を行います ² 。変換時間の設定は変換停止中 (ADST = 0) に行ってください。 00: 変換時間 = 138 (最大値) <input type="checkbox"/> 01: 変換時間 = 274 (最大値) <input type="checkbox"/> 10: 変換時間 = 546 (最大値) <input type="checkbox"/> 11: 設定禁止														

修正項目	ページ	修正内容（詳細はマニュアル参照）												
22.3.2 A/D コントロール/ステータスレジスタ（ADCSR）	22-6	<p>注を追加</p> <p>【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。</p> <p>ただし、以下の場合も0書き込みによるクリアとなりますのでご注意ください。</p> <p>(1) CPUでADF=1の状態を読み出す</p> <p>(2) DMACによるADDR読み出しによるADFクリア</p> <p>(3) A/D変換終了によるADFフラグセット</p> <p>(4) CPUでADFフラグに0書き込み</p> <p>*2 A/D変換器特性の絶対精度を満足するためには、最小変換時間以上となるよう設定してください。</p> <p>*3 t_{pcyc}は周辺クロック（P）の周期を示します。</p>												
22.4.5 入力サンプリングとA/D変換時間 表 22.4 A/D変換時間（シングルモード）	22-14	<p>注を修正</p> <p>【注】 表中の数値の単位は t_{pcyc} です。 t_{pcyc} は周辺クロック（P）の周期を示します。</p>												
表 22.5 A/D変換時間（マルチモード/スキャンモード）	22-15	<p>表を修正</p> <table border="1"> <thead> <tr> <th>CKS1</th> <th>CKS0</th> <th>変換時間 (t_{pcyc})</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>128 (固定)</td> </tr> <tr> <td></td> <td>1</td> <td>256 (固定)</td> </tr> <tr> <td>1</td> <td>0</td> <td>512 (固定)</td> </tr> </tbody> </table> <p>注を修正</p> <p>【注】 表中の数値の単位は t_{pcyc} です。 t_{pcyc} は周辺クロック（P）の周期を示します。</p>	CKS1	CKS0	変換時間 (t_{pcyc})	0	0	128 (固定)		1	256 (固定)	1	0	512 (固定)
CKS1	CKS0	変換時間 (t_{pcyc})												
0	0	128 (固定)												
	1	256 (固定)												
1	0	512 (固定)												
22.7.6 絶対精度への影響	22-20	<p>説明を修正</p> <p>またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。</p>												
22.7.7 ディープスタンバイモード時のA/D変換		<p>項目を削除</p>												
23.5.3 ディープスタンバイモード時のD/A変換	23-6	<p>項目を削除</p>												
25.1 特長 (5) パイプコンフィギュレーション	25-2	<p>説明を修正</p> <ul style="list-style-type: none"> 各パイプの設定可能な転送条件は以下のとおりです。 <p>パイプ0: コントロール転送専用のパイプ、256バイト固定シングルバッファ</p>												

修正項目	ページ	修正内容 (詳細はマニュアル参照)															
25.3.1 システムコンフィギュレーション コントロールレジスタ 0 (SYSCFG0)	25-10	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>DRPDU</td> <td>0</td> <td>RW</td> <td> <p>PORT0 D+ラインプルアップ制御</p> <p>PORT0 の D+ラインのプルアップ禁止 / 許可を指定します。</p> <p>ファンクションコントローラ機能選択時に本ビットを 1 に設定すると、PORT0 の D+ラインをプルアップします。</p> <p>0 : プルアップ禁止 1 : プルアップ許可</p> <p>【注】 USB 切断時は必ず本ビットを 0 に変更してください。また、本ビットを 1 から 0 に変更する際は、必ず以下の処理を追加してください。</p> <ol style="list-style-type: none"> 1. DRPDU ビットに 0 を設定 2. 1 μs 以上待つ 3. DCFM ビットを 1 に設定 4. 200ns 以上待つ 5. DCFM ビットを 0 に設定 </td> </tr> <tr> <td>0</td> <td>USBE</td> <td>0</td> <td>RW</td> <td> <p>USB ブロック動作許可</p> <p>本モジュールの USB ブロックの動作許可 / 禁止を指定します。</p> <p>本ビットを 1 から 0 に変更した場合は、表 25.3、表 25.4 に示すビットを初期化します。</p> <p>0 : USB ブロック動作禁止 1 : USB ブロック動作許可</p> <p>【注】 本ビットの変更は SCKE = 1 のときに行ってください。また、ホストコントローラ機能選択時は、DRPDU = 1 設定後、LNST ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USB = 1 の設定を行ってください。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	RW	説明	4	DRPDU	0	RW	<p>PORT0 D+ラインプルアップ制御</p> <p>PORT0 の D+ラインのプルアップ禁止 / 許可を指定します。</p> <p>ファンクションコントローラ機能選択時に本ビットを 1 に設定すると、PORT0 の D+ラインをプルアップします。</p> <p>0 : プルアップ禁止 1 : プルアップ許可</p> <p>【注】 USB 切断時は必ず本ビットを 0 に変更してください。また、本ビットを 1 から 0 に変更する際は、必ず以下の処理を追加してください。</p> <ol style="list-style-type: none"> 1. DRPDU ビットに 0 を設定 2. 1 μs 以上待つ 3. DCFM ビットを 1 に設定 4. 200ns 以上待つ 5. DCFM ビットを 0 に設定 	0	USBE	0	RW	<p>USB ブロック動作許可</p> <p>本モジュールの USB ブロックの動作許可 / 禁止を指定します。</p> <p>本ビットを 1 から 0 に変更した場合は、表 25.3、表 25.4 に示すビットを初期化します。</p> <p>0 : USB ブロック動作禁止 1 : USB ブロック動作許可</p> <p>【注】 本ビットの変更は SCKE = 1 のときに行ってください。また、ホストコントローラ機能選択時は、DRPDU = 1 設定後、LNST ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USB = 1 の設定を行ってください。</p>
ビット	ビット名	初期値	RW	説明													
4	DRPDU	0	RW	<p>PORT0 D+ラインプルアップ制御</p> <p>PORT0 の D+ラインのプルアップ禁止 / 許可を指定します。</p> <p>ファンクションコントローラ機能選択時に本ビットを 1 に設定すると、PORT0 の D+ラインをプルアップします。</p> <p>0 : プルアップ禁止 1 : プルアップ許可</p> <p>【注】 USB 切断時は必ず本ビットを 0 に変更してください。また、本ビットを 1 から 0 に変更する際は、必ず以下の処理を追加してください。</p> <ol style="list-style-type: none"> 1. DRPDU ビットに 0 を設定 2. 1 μs 以上待つ 3. DCFM ビットを 1 に設定 4. 200ns 以上待つ 5. DCFM ビットを 0 に設定 													
0	USBE	0	RW	<p>USB ブロック動作許可</p> <p>本モジュールの USB ブロックの動作許可 / 禁止を指定します。</p> <p>本ビットを 1 から 0 に変更した場合は、表 25.3、表 25.4 に示すビットを初期化します。</p> <p>0 : USB ブロック動作禁止 1 : USB ブロック動作許可</p> <p>【注】 本ビットの変更は SCKE = 1 のときに行ってください。また、ホストコントローラ機能選択時は、DRPDU = 1 設定後、LNST ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USB = 1 の設定を行ってください。</p>													
25.3.5 デバイスステートコントロールレジスタ 0 (DVSTCTR0)	25-16	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>UACT</td> <td>0</td> <td>RW</td> <td> <p>PORT0 USB バス許可</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT0 を USB バス許可状態にし、SOF 出力およびデータ送受信を行います。本ビットに 1 を設定した場合、1 (μ)フレーム時間以内に (μ)SOF 出力を開始します。本ビットに 0 を設定した場合、本モジュールは (μ)SOF 出力後、アイドル状態に移ります。</p> <p>0 : ダウンポート動作禁止 (SOF / μSOF 送出禁止)</p> <p>以下の場合に、本モジュールは本ビットを 0 に設定します。</p> <p>通信中 (UACT = 1) に DTCH 割り込みを検出した場合</p> <p>通信中 (UACT = 1) に EOFERR 割り込みを検出した場合</p> <p>1 : ダウンポート動作許可 (SOF / μSOF 送出許可)</p> <p>【注】 本ビットへの 1 書き込みは、USB バスリセット処理終了時 (USBRST = 0) またはサスペンドからのレジューム処理終了時 (RESUME = 0) いずれかのタイミングで行ってください。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	RW	説明	4	UACT	0	RW	<p>PORT0 USB バス許可</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT0 を USB バス許可状態にし、SOF 出力およびデータ送受信を行います。本ビットに 1 を設定した場合、1 (μ)フレーム時間以内に (μ)SOF 出力を開始します。本ビットに 0 を設定した場合、本モジュールは (μ)SOF 出力後、アイドル状態に移ります。</p> <p>0 : ダウンポート動作禁止 (SOF / μSOF 送出禁止)</p> <p>以下の場合に、本モジュールは本ビットを 0 に設定します。</p> <p>通信中 (UACT = 1) に DTCH 割り込みを検出した場合</p> <p>通信中 (UACT = 1) に EOFERR 割り込みを検出した場合</p> <p>1 : ダウンポート動作許可 (SOF / μSOF 送出許可)</p> <p>【注】 本ビットへの 1 書き込みは、USB バスリセット処理終了時 (USBRST = 0) またはサスペンドからのレジューム処理終了時 (RESUME = 0) いずれかのタイミングで行ってください。</p>					
ビット	ビット名	初期値	RW	説明													
4	UACT	0	RW	<p>PORT0 USB バス許可</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT0 を USB バス許可状態にし、SOF 出力およびデータ送受信を行います。本ビットに 1 を設定した場合、1 (μ)フレーム時間以内に (μ)SOF 出力を開始します。本ビットに 0 を設定した場合、本モジュールは (μ)SOF 出力後、アイドル状態に移ります。</p> <p>0 : ダウンポート動作禁止 (SOF / μSOF 送出禁止)</p> <p>以下の場合に、本モジュールは本ビットを 0 に設定します。</p> <p>通信中 (UACT = 1) に DTCH 割り込みを検出した場合</p> <p>通信中 (UACT = 1) に EOFERR 割り込みを検出した場合</p> <p>1 : ダウンポート動作許可 (SOF / μSOF 送出許可)</p> <p>【注】 本ビットへの 1 書き込みは、USB バスリセット処理終了時 (USBRST = 0) またはサスペンドからのレジューム処理終了時 (RESUME = 0) いずれかのタイミングで行ってください。</p>													
25.3.6 デバイスステートコントロールレジスタ 1 (DVSTCTR1)	25-19	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>UACT</td> <td>0</td> <td>RW</td> <td> <p>PORT1 USB バス許可</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT1 を USB バス許可状態にし、SOF 出力およびデータ送受信を行います。本ビットに 1 を設定した場合、1 (μ)フレーム時間以内に (μ)SOF 出力を開始します。本ビットに 0 を設定した場合、本モジュールは (μ)SOF 出力後、アイドル状態に移ります。</p> <p>0 : ダウンポート動作禁止 (SOF / μSOF 送出禁止)</p> <p>以下の場合に、本モジュールは本ビットを 0 に設定します。</p> <p>(1) 通信中 (UACT = 1) に DTCH 割り込みを検出した場合</p> <p>(2) 通信中 (UACT = 1) に EOFERR 割り込みを検出した場合</p> <p>1 : ダウンポート動作許可 (SOF / μSOF 送出許可)</p> <p>【注】 本ビットへの 1 書き込みは、USB バスリセット処理終了時 (USBRST = 0) またはサスペンドからのレジューム処理終了時 (RESUME = 0) いずれかのタイミングで行ってください。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	RW	説明	4	UACT	0	RW	<p>PORT1 USB バス許可</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT1 を USB バス許可状態にし、SOF 出力およびデータ送受信を行います。本ビットに 1 を設定した場合、1 (μ)フレーム時間以内に (μ)SOF 出力を開始します。本ビットに 0 を設定した場合、本モジュールは (μ)SOF 出力後、アイドル状態に移ります。</p> <p>0 : ダウンポート動作禁止 (SOF / μSOF 送出禁止)</p> <p>以下の場合に、本モジュールは本ビットを 0 に設定します。</p> <p>(1) 通信中 (UACT = 1) に DTCH 割り込みを検出した場合</p> <p>(2) 通信中 (UACT = 1) に EOFERR 割り込みを検出した場合</p> <p>1 : ダウンポート動作許可 (SOF / μSOF 送出許可)</p> <p>【注】 本ビットへの 1 書き込みは、USB バスリセット処理終了時 (USBRST = 0) またはサスペンドからのレジューム処理終了時 (RESUME = 0) いずれかのタイミングで行ってください。</p>					
ビット	ビット名	初期値	RW	説明													
4	UACT	0	RW	<p>PORT1 USB バス許可</p> <p>ホストコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは PORT1 を USB バス許可状態にし、SOF 出力およびデータ送受信を行います。本ビットに 1 を設定した場合、1 (μ)フレーム時間以内に (μ)SOF 出力を開始します。本ビットに 0 を設定した場合、本モジュールは (μ)SOF 出力後、アイドル状態に移ります。</p> <p>0 : ダウンポート動作禁止 (SOF / μSOF 送出禁止)</p> <p>以下の場合に、本モジュールは本ビットを 0 に設定します。</p> <p>(1) 通信中 (UACT = 1) に DTCH 割り込みを検出した場合</p> <p>(2) 通信中 (UACT = 1) に EOFERR 割り込みを検出した場合</p> <p>1 : ダウンポート動作許可 (SOF / μSOF 送出許可)</p> <p>【注】 本ビットへの 1 書き込みは、USB バスリセット処理終了時 (USBRST = 0) またはサスペンドからのレジューム処理終了時 (RESUME = 0) いずれかのタイミングで行ってください。</p>													
25.3.7 テストモードレジスタ (TESTMODE)	25-22	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3-0</td> <td>UTST[3:0]</td> <td>0000</td> <td>RW</td> <td> <p>(1) パワーオンリセット</p> <p>(2) クロック起動 (SCKE = 1)</p> <p>(3) DCFM = 1、DRPDU = 1 (HSE = 1 の設定は必要ありません)</p> <p>(4) USBE = 1</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	RW	説明	3-0	UTST[3:0]	0000	RW	<p>(1) パワーオンリセット</p> <p>(2) クロック起動 (SCKE = 1)</p> <p>(3) DCFM = 1、DRPDU = 1 (HSE = 1 の設定は必要ありません)</p> <p>(4) USBE = 1</p>					
ビット	ビット名	初期値	RW	説明													
3-0	UTST[3:0]	0000	RW	<p>(1) パワーオンリセット</p> <p>(2) クロック起動 (SCKE = 1)</p> <p>(3) DCFM = 1、DRPDU = 1 (HSE = 1 の設定は必要ありません)</p> <p>(4) USBE = 1</p>													

修正項目	ページ	修正内容（詳細はマニュアル参照）										
25.3.11 FIFO ポートコントロールレジスタ(CFIFOCTR, D0FIFOCTR, D1FIFOCTR)	25-33	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>BVAL</td> <td>0</td> <td>RW¹</td> <td>バッファメモリ有効フラグ CURPIPE ビットに指定してパイプ（指定パイプ）が送信方向のとき、以下の場合に本ビットに 1 を設定してください。CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。 ショートパケットの送信を行いたいとき、データ書き込み終了時 Zero-Length パケットの送信を行いたいとき、FIFO ヘデータを書き込む前連続転送モードのパイプに対して、マックスパケットサイズの内蔵数値かつバッファサイズ未満のデータ書き込み後 非連続転送モードのパイプに対してマックスパケットサイズ分のデータを書き込むと、本モジュールは本ビットを 1 に設定し、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。 指定パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に 1 を書き込んだ場合には、それ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。 0：無効 1：書き込み終了</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	15	BVAL	0	RW ¹	バッファメモリ有効フラグ CURPIPE ビットに指定してパイプ（指定パイプ）が送信方向のとき、以下の場合に本ビットに 1 を設定してください。CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。 ショートパケットの送信を行いたいとき、データ書き込み終了時 Zero-Length パケットの送信を行いたいとき、FIFO ヘデータを書き込む前連続転送モードのパイプに対して、マックスパケットサイズの内蔵数値かつバッファサイズ未満のデータ書き込み後 非連続転送モードのパイプに対してマックスパケットサイズ分のデータを書き込むと、本モジュールは本ビットを 1 に設定し、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。 指定パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に 1 を書き込んだ場合には、それ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。 0：無効 1：書き込み終了
	ビット	ビット名	初期値	R/W	説明							
15	BVAL	0	RW ¹	バッファメモリ有効フラグ CURPIPE ビットに指定してパイプ（指定パイプ）が送信方向のとき、以下の場合に本ビットに 1 を設定してください。CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。 ショートパケットの送信を行いたいとき、データ書き込み終了時 Zero-Length パケットの送信を行いたいとき、FIFO ヘデータを書き込む前連続転送モードのパイプに対して、マックスパケットサイズの内蔵数値かつバッファサイズ未満のデータ書き込み後 非連続転送モードのパイプに対してマックスパケットサイズ分のデータを書き込むと、本モジュールは本ビットを 1 に設定し、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。 指定パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に 1 を書き込んだ場合には、それ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。 0：無効 1：書き込み終了								
25-34	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>14</td> <td>BCLR</td> <td>0</td> <td>RW²</td> <td>CPU バッファクリア 当該パイプの CPU 側の FIFO バッファをクリアする場合に 1 を指定します。指定パイプにアサインされている FIFO バッファのうち、CPU 側の FIFO バッファをクリアします。指定パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面とも読み出し可能状態である場合でも、片面の FIFO バッファのみをクリアします。 0：無効 1：CPU 側バッファメモリクリア</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	14	BCLR	0	RW ²	CPU バッファクリア 当該パイプの CPU 側の FIFO バッファをクリアする場合に 1 を指定します。指定パイプにアサインされている FIFO バッファのうち、CPU 側の FIFO バッファをクリアします。指定パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面とも読み出し可能状態である場合でも、片面の FIFO バッファのみをクリアします。 0：無効 1：CPU 側バッファメモリクリア	
ビット	ビット名	初期値	R/W	説明								
14	BCLR	0	RW ²	CPU バッファクリア 当該パイプの CPU 側の FIFO バッファをクリアする場合に 1 を指定します。指定パイプにアサインされている FIFO バッファのうち、CPU 側の FIFO バッファをクリアします。指定パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面とも読み出し可能状態である場合でも、片面の FIFO バッファのみをクリアします。 0：無効 1：CPU 側バッファメモリクリア								
25.3.18 SOF 出力コンフィグレーションレジスタ (SOFCFG)	25-47	<p>タイトルを修正</p>										
		<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>BRDYM</td> <td>0</td> <td>RW</td> <td>PIPEBRDY 割り込みステータスクリアタイミング設定 PIPEBRDY 割り込みステータスをクリアするタイミングを指定します。 0：0 書き込みによりステータスクリア 1：FIFO バッファの読み出しまたは FIFO バッファへの書き込み動によりステータス自動クリア 【注】 本ビットの設定は、本モジュールの初期設定時（通信前）に行ってください。通信後の設定変更は行わないでください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	6	BRDYM	0	RW	PIPEBRDY 割り込みステータスクリアタイミング設定 PIPEBRDY 割り込みステータスをクリアするタイミングを指定します。 0：0 書き込みによりステータスクリア 1：FIFO バッファの読み出しまたは FIFO バッファへの書き込み動によりステータス自動クリア 【注】 本ビットの設定は、本モジュールの初期設定時（通信前）に行ってください。通信後の設定変更は行わないでください。
ビット	ビット名	初期値	R/W	説明								
6	BRDYM	0	RW	PIPEBRDY 割り込みステータスクリアタイミング設定 PIPEBRDY 割り込みステータスをクリアするタイミングを指定します。 0：0 書き込みによりステータスクリア 1：FIFO バッファの読み出しまたは FIFO バッファへの書き込み動によりステータス自動クリア 【注】 本ビットの設定は、本モジュールの初期設定時（通信前）に行ってください。通信後の設定変更は行わないでください。								
25.3.19 割り込みステータスレジスタ 0 (INTSTS0)	25-50	<p>注を修正</p> <p>【注】*1 パワーオンリセットのとき、DVST は 0 に、DVSQ[2:0]ビットは 000 に初期化されます。 USB バスリセットのとき、DVST は 1 に、DVSQ[2:0]ビットは 001 に初期化されます。</p>										
25.3.22 BRDY 割り込みステータスレジスタ (BRDYSTS) (2) BRDYM = 0 かつ BFRF = 1 設定時	25-56	<p>説明を修正</p> <p>FIFO バッファが空の状態 で Zero-Length パケット受信した場合には、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN ビットが 0 の状態になった時点で、1 トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応する FIFOCTR レジスタの BCLR ビットに 1 を書き込んでください。</p>										

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																									
25.3.32 DCP コンフィギュレーションレジスタ (DCPCFG)	25-70	<p>図を修正</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>CNTMD</td><td>SHTNAK</td><td>—</td><td>—</td><td>DIR</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> <tr> <td>初期値:</td><td>不定</td><td>不定</td><td>不定</td><td>不定</td><td>不定</td><td>不定</td><td>0</td><td>0</td><td>不定</td><td>不定</td><td>0</td><td>不定</td><td>不定</td><td>不定</td><td>不定</td> </tr> <tr> <td>R/W:</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td><td>R/W</td><td>R</td><td>R</td><td>R/W</td><td>R</td><td>R</td><td>R</td><td>R</td> </tr> </table> <p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15-9</td> <td>-</td> <td>不定</td> <td>R</td> <td>リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。</td> </tr> <tr> <td>8</td> <td>CNTMD</td> <td>0</td> <td>R/W</td> <td>連続転送モード* DCP を連続転送モードで通信させるかどうかを指定します。本ビットの設定値によって、本モジュールは DCP に割り当てられた FIFO バッファに対する送受信完了判定を表 25.12 に示すとおりに行います。 0: 非連続転送モード 1: 連続転送モード</td> </tr> <tr> <td>7</td> <td>SHTNAK</td> <td>0</td> <td>R/W</td> <td>トランスファ終了時のパイプ禁止* DCP が受信方向の場合に、トランスファ終了時 PID を NAK に変更するかどうかを指定します。 本ビットを 1 に設定している場合、本モジュールは DCP に対しトランスファの終了を判定したときに、PID ビットを NAK に変更します。 本モジュールは、ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したときにトランスファ終了と判定します。 0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止 【注】 DCP が送信方向の場合は、本ビットを 0 に設定してください。</td> </tr> <tr> <td>6-5</td> <td>-</td> <td>不定</td> <td>R/W</td> <td>リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。</td> </tr> </tbody> </table>	—	—	—	—	—	—	—	CNTMD	SHTNAK	—	—	DIR	—	—	—	—	初期値:	不定	不定	不定	不定	不定	不定	0	0	不定	不定	0	不定	不定	不定	不定	R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R	ビット	ビット名	初期値	R/W	説明	15-9	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。	8	CNTMD	0	R/W	連続転送モード* DCP を連続転送モードで通信させるかどうかを指定します。本ビットの設定値によって、本モジュールは DCP に割り当てられた FIFO バッファに対する送受信完了判定を表 25.12 に示すとおりに行います。 0: 非連続転送モード 1: 連続転送モード	7	SHTNAK	0	R/W	トランスファ終了時のパイプ禁止* DCP が受信方向の場合に、トランスファ終了時 PID を NAK に変更するかどうかを指定します。 本ビットを 1 に設定している場合、本モジュールは DCP に対しトランスファの終了を判定したときに、PID ビットを NAK に変更します。 本モジュールは、ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したときにトランスファ終了と判定します。 0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止 【注】 DCP が送信方向の場合は、本ビットを 0 に設定してください。	6-5	-	不定	R/W	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
—	—	—	—	—	—	—	CNTMD	SHTNAK	—	—	DIR	—	—	—	—																																																												
初期値:	不定	不定	不定	不定	不定	不定	0	0	不定	不定	0	不定	不定	不定	不定																																																												
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R																																																												
ビット	ビット名	初期値	R/W	説明																																																																							
15-9	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。																																																																							
8	CNTMD	0	R/W	連続転送モード* DCP を連続転送モードで通信させるかどうかを指定します。本ビットの設定値によって、本モジュールは DCP に割り当てられた FIFO バッファに対する送受信完了判定を表 25.12 に示すとおりに行います。 0: 非連続転送モード 1: 連続転送モード																																																																							
7	SHTNAK	0	R/W	トランスファ終了時のパイプ禁止* DCP が受信方向の場合に、トランスファ終了時 PID を NAK に変更するかどうかを指定します。 本ビットを 1 に設定している場合、本モジュールは DCP に対しトランスファの終了を判定したときに、PID ビットを NAK に変更します。 本モジュールは、ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したときにトランスファ終了と判定します。 0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止 【注】 DCP が送信方向の場合は、本ビットを 0 に設定してください。																																																																							
6-5	-	不定	R/W	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。																																																																							
	25-71	<p>注を追加</p> <p>【注】 ファンクションコントローラ機能を選択したときは、DIR ビットの値を 0 に設定してください。</p> <p>* DCP の PID ビットを BUF から NAK へ変更してからビットの変更をする場合には、CSSTS=0 および PBUSY=0 を確認してから変更してください。ただし、本モジュールが PID を NAK に変更した場合には、PBUSY ビットの確認は必要ありません。</p> <p>CNTMD ビットの変更は、CSSTS=0、PID=NAK、および CURPIPE ビット未設定時に行ってください。また、DCP を使用した USB 通信を行った後、ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、BCLR=1 を書き込み、DCP に割り付けられた FIFO バッファのクリアを実行してください。</p> <p>SHTNAK ビットの変更は、CSSTS=0 および PID=NAK の状態のときに行ってください。</p>																																																																									
		<p>表 25.12 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係</p> <p>表を追加</p>																																																																									
25.3.34 DCP コントロールレジスタ (DCPCTR)	25-75	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>PBUSY</td> <td>0</td> <td>R</td> <td>PIPE ビジ- 当該パイプを現在トランザクションで使用かどうかが表示されます。 0: 当該パイプはトランザクションで未使用 1: 当該パイプはトランザクションで使用 本モジュールは、DCP の USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。 PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 詳細は「25.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	5	PBUSY	0	R	PIPE ビジ- 当該パイプを現在トランザクションで使用かどうかが表示されます。 0: 当該パイプはトランザクションで未使用 1: 当該パイプはトランザクションで使用 本モジュールは、DCP の USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。 PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 詳細は「25.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。																																																															
ビット	ビット名	初期値	R/W	説明																																																																							
5	PBUSY	0	R	PIPE ビジ- 当該パイプを現在トランザクションで使用かどうかが表示されます。 0: 当該パイプはトランザクションで未使用 1: 当該パイプはトランザクションで使用 本モジュールは、DCP の USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが正常終了したときに本ビットを 1 から 0 に変更します。 PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 詳細は「25.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。																																																																							

修正項目	ページ	修正内容（詳細はマニュアル参照）																																								
25.3.34 DCP コントロールレジスタ (DCPCTR)	25-78	<p>注を修正</p> <p>【注】*3 ビットの変更は、CSSTS=0 および PID=NAK の状態のときに行ってください。</p> <p>DCP の PID ビットを BUF から NAK へ変更してから、ビットの変更をする場合には CSSTS=0 および PBUSY=0 を確認してから変更してください。</p> <p>ただし、本モジュールが PID ビットを NAK に変更した場合には PBUSY ビットの確認は必要ありません。</p>																																								
25.3.36 パイプコンフィギュレーションレジスタ (PIPECFG) 表 25.13 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係	25-83	<p>表を修正</p> <table border="1"> <thead> <tr> <th>CNTMD ビット設定値</th> <th>読み出し可能状態、送信可能状態判定方法</th> </tr> </thead> <tbody> <tr> <td>0</td> <td> <p>受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 本コントローラが 1 パケット受信したとき</p> <p>送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 以下、(1)、(2)のいずれかを満たしたとき (1) マックスパケットサイズ分のデータを FIFO バッファに書き込んだとき (2) ショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき</p> </td> </tr> <tr> <td>1</td> <td> <p>受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 以下、(1) - (4)のいずれかを満たしたとき (1) 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE+1) × 64) が等しくなったとき (2) Zero-Length パケット以外のショートパケットを受信したとき (3) 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本コントローラが Zero-Length パケットを受信したとき (4) 選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき</p> <p>送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 以下、(1) - (3)のいずれかを満たしたとき (1) 書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき。 (2) 選択パイプに割り当てられた FIFO バッファサイズ 1 面分より小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき。 (3) DMA 転送終了サンプリング許可ビット (TENDE) を 1 に設定し DMA 転送で、選択パイプに割り当てられた FIFO バッファサイズ 1 面分より小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、最後の書き込み時に DMA 転送終了信号を受け付けたとき。</p> </td> </tr> </tbody> </table>	CNTMD ビット設定値	読み出し可能状態、送信可能状態判定方法	0	<p>受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 本コントローラが 1 パケット受信したとき</p> <p>送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 以下、(1)、(2)のいずれかを満たしたとき (1) マックスパケットサイズ分のデータを FIFO バッファに書き込んだとき (2) ショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき</p>	1	<p>受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 以下、(1) - (4)のいずれかを満たしたとき (1) 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE+1) × 64) が等しくなったとき (2) Zero-Length パケット以外のショートパケットを受信したとき (3) 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本コントローラが Zero-Length パケットを受信したとき (4) 選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき</p> <p>送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 以下、(1) - (3)のいずれかを満たしたとき (1) 書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき。 (2) 選択パイプに割り当てられた FIFO バッファサイズ 1 面分より小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき。 (3) DMA 転送終了サンプリング許可ビット (TENDE) を 1 に設定し DMA 転送で、選択パイプに割り当てられた FIFO バッファサイズ 1 面分より小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、最後の書き込み時に DMA 転送終了信号を受け付けたとき。</p>																																		
CNTMD ビット設定値	読み出し可能状態、送信可能状態判定方法																																									
0	<p>受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 本コントローラが 1 パケット受信したとき</p> <p>送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 以下、(1)、(2)のいずれかを満たしたとき (1) マックスパケットサイズ分のデータを FIFO バッファに書き込んだとき (2) ショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき</p>																																									
1	<p>受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 以下、(1) - (4)のいずれかを満たしたとき (1) 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE+1) × 64) が等しくなったとき (2) Zero-Length パケット以外のショートパケットを受信したとき (3) 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本コントローラが Zero-Length パケットを受信したとき (4) 選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき</p> <p>送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 以下、(1) - (3)のいずれかを満たしたとき (1) 書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき。 (2) 選択パイプに割り当てられた FIFO バッファサイズ 1 面分より小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき。 (3) DMA 転送終了サンプリング許可ビット (TENDE) を 1 に設定し DMA 転送で、選択パイプに割り当てられた FIFO バッファサイズ 1 面分より小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、最後の書き込み時に DMA 転送終了信号を受け付けたとき。</p>																																									
25.3.38 パイプマックスパケットサイズレジスタ (PIPEMAXP)	25-86	<p>注を修正</p> <p>【注】*1 DEVSEL ビットの設定は、CSSTS=0 および PID=NAK の状態のときに行ってください。</p>																																								
25.3.39 パイプ周期制御レジスタ (PIPEPERI) (2) ファンクションコントローラ機能選択時 図 25.3 IITV=0 の場合の (マイクロ) フレームとトークン受信期待有無の関係	25-91	<p>図を修正</p> <table border="1"> <thead> <tr> <th>USBバス</th> <th>SOF</th> <th>SOF</th> <th>SOF</th> <th>DATA0</th> <th>DATA0</th> <th>DATA0</th> <th>DATA0</th> </tr> </thead> <tbody> <tr> <td>PIDビット設定値</td> <td>NAK</td> <td>BUF</td> <td>BUF</td> <td>BUF</td> <td>BUF</td> <td></td> <td></td> </tr> <tr> <td>トークン受信期待有無 (0: 受信を期待 -: 非受信を期待)</td> <td>-</td> <td>-</td> <td>0</td> <td>0</td> <td></td> <td></td> <td></td> </tr> <tr> <td>インターバル カウント開始</td> <td></td> <td></td> <td></td> <td>1</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	USBバス	SOF	SOF	SOF	DATA0	DATA0	DATA0	DATA0	PIDビット設定値	NAK	BUF	BUF	BUF	BUF			トークン受信期待有無 (0: 受信を期待 -: 非受信を期待)	-	-	0	0				インターバル カウント開始				1											
USBバス	SOF	SOF	SOF	DATA0	DATA0	DATA0	DATA0																																			
PIDビット設定値	NAK	BUF	BUF	BUF	BUF																																					
トークン受信期待有無 (0: 受信を期待 -: 非受信を期待)	-	-	0	0																																						
インターバル カウント開始				1																																						
図 25.4 IITV=1 の場合の (マイクロ) フレームとトークン受信期待有無の関係	25-92	<p>図を修正</p> <table border="1"> <thead> <tr> <th>USBバス</th> <th>TOG</th> <th>TOG</th> <th>SOF</th> <th>DATA0</th> <th>DATA0</th> <th>DATA0</th> <th>DATA0</th> <th>SOF</th> <th>DATA0</th> </tr> </thead> <tbody> <tr> <td>PIDビット設定値</td> <td>NAK</td> <td>BUF</td> <td>BUF</td> <td>BUF</td> <td>BUF</td> <td>BUF</td> <td>BUF</td> <td>BUF</td> <td>BUF</td> </tr> <tr> <td>トークン受信期待有無 (0: 受信を期待 -: 非受信を期待)</td> <td>-</td> <td>-</td> <td>0</td> <td>-</td> <td>0</td> <td>-</td> <td>-</td> <td>0</td> <td>0</td> </tr> <tr> <td>インターバル カウント開始</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>説明を修正</p> <p>(c) USB バスリセットを検出した場合</p>	USBバス	TOG	TOG	SOF	DATA0	DATA0	DATA0	DATA0	SOF	DATA0	PIDビット設定値	NAK	BUF	BUF	BUF	BUF	BUF	BUF	BUF	BUF	トークン受信期待有無 (0: 受信を期待 -: 非受信を期待)	-	-	0	-	0	-	-	0	0	インターバル カウント開始									
USBバス	TOG	TOG	SOF	DATA0	DATA0	DATA0	DATA0	SOF	DATA0																																	
PIDビット設定値	NAK	BUF	BUF	BUF	BUF	BUF	BUF	BUF	BUF																																	
トークン受信期待有無 (0: 受信を期待 -: 非受信を期待)	-	-	0	-	0	-	-	0	0																																	
インターバル カウント開始																																										

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																
25.3.40 パイプ n コントロールレジスタ (PIPEnCTR) (n=1~5)	25-93	<p>図を修正</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>BSTS</td> <td>INB_UFM</td> <td>CSCLR</td> <td>CSSTS</td> <td>—</td> <td>AT_DEGM</td> <td>ACLARM</td> <td>CSCLR</td> <td>CSSET</td> <td>CSMON</td> <td>PBUSY</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>PID(1:5)</td> </tr> <tr> <td>初期値: 0</td> <td>0</td> <td>0</td> <td>0</td> <td>不定</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>不定</td> <td>不定</td> <td>不定</td> <td>0</td> <td>0</td> </tr> <tr> <td>R/W: R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R/W</td> <td>R/W</td> <td>R^{1/1}</td> <td>R^{1/1}</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R/W</td> <td>R/W</td> </tr> </table>	BSTS	INB_UFM	CSCLR	CSSTS	—	AT_DEGM	ACLARM	CSCLR	CSSET	CSMON	PBUSY	—	—	—	—	PID(1:5)	初期値: 0	0	0	0	不定	0	0	0	0	0	0	不定	不定	不定	0	0	R/W: R	R	R	R	R	R/W	R/W	R ^{1/1}	R ^{1/1}	R	R	R	R	R	R/W	R/W
		BSTS	INB_UFM	CSCLR	CSSTS	—	AT_DEGM	ACLARM	CSCLR	CSSET	CSMON	PBUSY	—	—	—	—	PID(1:5)																																	
	初期値: 0	0	0	0	不定	0	0	0	0	0	0	不定	不定	不定	0	0																																		
R/W: R	R	R	R	R	R/W	R/W	R ^{1/1}	R ^{1/1}	R	R	R	R	R	R/W	R/W																																			
<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>14</td> <td>INBUFM</td> <td>0</td> <td>R</td> <td>送信バッファモニタ 当該パイプを送信方向 (DIR = 1) に設定している場合に、少なくとも 1 部分のデータを FIFO バッファに書き込み完了したときに 1 を示します。書き込みが完了している面の FIFO バッファ上のデータをすべて送信完了したときに 0 を示します。ダブルバッファ使用時 (DBLB = 1 設定時) には、本モジュールが 2 部分のデータを送信完了し、かつ 1 部分のデータ書き込みを完了していないときに 0 を示します。当該パイプを受信方向 (DIR = 0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。 0: バッファメモリに送信可能データなし 1: バッファメモリに送信可能データあり</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	14	INBUFM	0	R	送信バッファモニタ 当該パイプを送信方向 (DIR = 1) に設定している場合に、少なくとも 1 部分のデータを FIFO バッファに書き込み完了したときに 1 を示します。書き込みが完了している面の FIFO バッファ上のデータをすべて送信完了したときに 0 を示します。ダブルバッファ使用時 (DBLB = 1 設定時) には、本モジュールが 2 部分のデータを送信完了し、かつ 1 部分のデータ書き込みを完了していないときに 0 を示します。当該パイプを受信方向 (DIR = 0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。 0: バッファメモリに送信可能データなし 1: バッファメモリに送信可能データあり																																								
ビット	ビット名	初期値	R/W	説明																																														
14	INBUFM	0	R	送信バッファモニタ 当該パイプを送信方向 (DIR = 1) に設定している場合に、少なくとも 1 部分のデータを FIFO バッファに書き込み完了したときに 1 を示します。書き込みが完了している面の FIFO バッファ上のデータをすべて送信完了したときに 0 を示します。ダブルバッファ使用時 (DBLB = 1 設定時) には、本モジュールが 2 部分のデータを送信完了し、かつ 1 部分のデータ書き込みを完了していないときに 0 を示します。当該パイプを受信方向 (DIR = 0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。 0: バッファメモリに送信可能データなし 1: バッファメモリに送信可能データあり																																														
25-94	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>13</td> <td>CSCLR</td> <td>0</td> <td>R^{1/1}W^{1/0}</td> <td>CSPLIT ステータスクリアビット 当該パイプの CSSTS ビットをクリアする場合に CSCLR = 1 を設定します。ホストコントローラ機能選択時に、本ビットを 1 に設定すると、本モジュールは CSSTS ビットを 0 にクリアします。スプリットランザクションを使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットランザクションでは、C-Split 終了時に自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。本ビットによる CSSTS ビットの制御は、UACT = 0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実な時に行ってください。 0: 書き込み無効 1: CSSTS ビットをクリア 【注】 CSSTS = 0 のときに本ビットに 1 を設定しても、CSSTS = 0 のままです。</td> </tr> <tr> <td>12</td> <td>CSSTS</td> <td>0</td> <td>R</td> <td>CSSTS ステータスビット 当該パイプのスプリットランザクションの CSPLIT ステータスが表示されます。 ホストコントローラ機能選択時に、スプリットランザクションの C-Split のステータスを示します。C-Split 開始時に 1 を示し、C-Split 終了を検出したときに 0 を示します。 なお、C-SPLIT 処理中にデタッチした場合、本ビットは 1 のままとなる場合があります。この場合 (DTCH=1 検出時)、CSCLR ビットにて本ビットのクリアを実施してください。 0: S-Split トラザクション処理中、またはスプリットランザクション未使用転送 1: C-Split トラザクション処理中</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	13	CSCLR	0	R ^{1/1} W ^{1/0}	CSPLIT ステータスクリアビット 当該パイプの CSSTS ビットをクリアする場合に CSCLR = 1 を設定します。ホストコントローラ機能選択時に、本ビットを 1 に設定すると、本モジュールは CSSTS ビットを 0 にクリアします。スプリットランザクションを使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットランザクションでは、C-Split 終了時に自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。本ビットによる CSSTS ビットの制御は、UACT = 0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実な時に行ってください。 0: 書き込み無効 1: CSSTS ビットをクリア 【注】 CSSTS = 0 のときに本ビットに 1 を設定しても、CSSTS = 0 のままです。	12	CSSTS	0	R	CSSTS ステータスビット 当該パイプのスプリットランザクションの CSPLIT ステータスが表示されます。 ホストコントローラ機能選択時に、スプリットランザクションの C-Split のステータスを示します。C-Split 開始時に 1 を示し、C-Split 終了を検出したときに 0 を示します。 なお、C-SPLIT 処理中にデタッチした場合、本ビットは 1 のままとなる場合があります。この場合 (DTCH=1 検出時)、CSCLR ビットにて本ビットのクリアを実施してください。 0: S-Split トラザクション処理中、またはスプリットランザクション未使用転送 1: C-Split トラザクション処理中																																		
	ビット	ビット名	初期値	R/W	説明																																													
13	CSCLR	0	R ^{1/1} W ^{1/0}	CSPLIT ステータスクリアビット 当該パイプの CSSTS ビットをクリアする場合に CSCLR = 1 を設定します。ホストコントローラ機能選択時に、本ビットを 1 に設定すると、本モジュールは CSSTS ビットを 0 にクリアします。スプリットランザクションを使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットランザクションでは、C-Split 終了時に自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。本ビットによる CSSTS ビットの制御は、UACT = 0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実な時に行ってください。 0: 書き込み無効 1: CSSTS ビットをクリア 【注】 CSSTS = 0 のときに本ビットに 1 を設定しても、CSSTS = 0 のままです。																																														
12	CSSTS	0	R	CSSTS ステータスビット 当該パイプのスプリットランザクションの CSPLIT ステータスが表示されます。 ホストコントローラ機能選択時に、スプリットランザクションの C-Split のステータスを示します。C-Split 開始時に 1 を示し、C-Split 終了を検出したときに 0 を示します。 なお、C-SPLIT 処理中にデタッチした場合、本ビットは 1 のままとなる場合があります。この場合 (DTCH=1 検出時)、CSCLR ビットにて本ビットのクリアを実施してください。 0: S-Split トラザクション処理中、またはスプリットランザクション未使用転送 1: C-Split トラザクション処理中																																														
25-95	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>9</td> <td>ACLARM</td> <td>0</td> <td>R/W</td> <td>自動バッファクリアモード²⁾ 当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。 当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、本ビットに 1、0 を連続して書き込んでください。本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容を表 25.14(1) に示します。また、この処理が必要なケースを表 25.14(2) に示します。 0: 禁止 1: 許可 (全バッファ初期化)</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	9	ACLARM	0	R/W	自動バッファクリアモード ²⁾ 当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。 当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、本ビットに 1、0 を連続して書き込んでください。本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容を表 25.14(1) に示します。また、この処理が必要なケースを表 25.14(2) に示します。 0: 禁止 1: 許可 (全バッファ初期化)																																							
	ビット	ビット名	初期値	R/W	説明																																													
9	ACLARM	0	R/W	自動バッファクリアモード ²⁾ 当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。 当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、本ビットに 1、0 を連続して書き込んでください。本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容を表 25.14(1) に示します。また、この処理が必要なケースを表 25.14(2) に示します。 0: 禁止 1: 許可 (全バッファ初期化)																																														
<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>PBUSY</td> <td>0</td> <td>R</td> <td>PIPE ビジー 当該パイプを現在トラザクションで使用かどうかを示します。当該パイプの USB トラザクションを開始したとき、0 から 1 に変更します。ひとつのトラザクションが正常終了したとき、1 から 0 に変更します。PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 0: 当該パイプはトラザクションで未使用 1: 当該パイプはトラザクションで使用</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	5	PBUSY	0	R	PIPE ビジー 当該パイプを現在トラザクションで使用かどうかを示します。当該パイプの USB トラザクションを開始したとき、0 から 1 に変更します。ひとつのトラザクションが正常終了したとき、1 から 0 に変更します。PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 0: 当該パイプはトラザクションで未使用 1: 当該パイプはトラザクションで使用																																								
ビット	ビット名	初期値	R/W	説明																																														
5	PBUSY	0	R	PIPE ビジー 当該パイプを現在トラザクションで使用かどうかを示します。当該パイプの USB トラザクションを開始したとき、0 から 1 に変更します。ひとつのトラザクションが正常終了したとき、1 から 0 に変更します。PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 0: 当該パイプはトラザクションで未使用 1: 当該パイプはトラザクションで使用																																														

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																												
25.3.40 パイプ n コントロールレジスタ (PIPEnCTR) (n=1~5)	25-97	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1, 0</td> <td>PID[1:0]</td> <td>00</td> <td>R/W</td> <td>【注】当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY=0 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。PID=NAK(00)の状態から PID=STALL 状態にする場合には、10 を書き込んでください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	1, 0	PID[1:0]	00	R/W	【注】当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY=0 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。PID=NAK(00)の状態から PID=STALL 状態にする場合には、10 を書き込んでください。																																																		
ビット	ビット名	初期値	R/W	説明																																																										
1, 0	PID[1:0]	00	R/W	【注】当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY=0 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。PID=NAK(00)の状態から PID=STALL 状態にする場合には、10 を書き込んでください。																																																										
表 25.15 (1) ACLRM=1 設定時に本モジュールがクリアする内容	25-98	表を差し替え																																																												
表 25.15 (2) ACLRM=1 設定が必要なケース		表を追加																																																												
表 25.17 PID ビットによる本コントローラの動作一覧(ファンクションコントローラ機能選択時)	25-99	<p>表を修正</p> <table border="1"> <thead> <tr> <th>PID ビット設定値</th> <th>転送 TYPE (TYPE ビット設定値)</th> <th>転送方向 (DIR ビット設定値)</th> <th>本コントローラの動作</th> </tr> </thead> <tbody> <tr> <td rowspan="2">00 (NAK)</td> <td>バルク転送またはインタラプト転送</td> <td>設定値に依存しない</td> <td>USB ホストからのトークンに NAK 応答を行う。</td> </tr> <tr> <td>アイソクロナス転送</td> <td>受信方向 (DIR=0)</td> <td>USB ホストからのトークン無応答を行う。</td> </tr> <tr> <td></td> <td></td> <td>送信方向 (DIR=1)</td> <td>USB ホストからのトークンに対し Zero-Length パケットを送信する。</td> </tr> </tbody> </table>	PID ビット設定値	転送 TYPE (TYPE ビット設定値)	転送方向 (DIR ビット設定値)	本コントローラの動作	00 (NAK)	バルク転送またはインタラプト転送	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う。	アイソクロナス転送	受信方向 (DIR=0)	USB ホストからのトークン無応答を行う。			送信方向 (DIR=1)	USB ホストからのトークンに対し Zero-Length パケットを送信する。																																													
PID ビット設定値	転送 TYPE (TYPE ビット設定値)	転送方向 (DIR ビット設定値)	本コントローラの動作																																																											
00 (NAK)	バルク転送またはインタラプト転送	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う。																																																											
	アイソクロナス転送	受信方向 (DIR=0)	USB ホストからのトークン無応答を行う。																																																											
		送信方向 (DIR=1)	USB ホストからのトークンに対し Zero-Length パケットを送信する。																																																											
25.3.41 パイプ n コントロールレジスタ (PIPEnCTR) (n=6~9)	25-100	<p>図を修正</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <thead> <tr> <th>BSSTS</th> <th>CSCLR</th> <th>CSSTS</th> <th>ACLRM</th> <th>SOCLR</th> <th>SOSET</th> <th>SOMON</th> <th>PBUSY</th> <th></th> <th></th> <th></th> <th></th> <th></th> <th></th> <th></th> <th>PID[1:0]</th> </tr> </thead> <tbody> <tr> <td>初期値: 0</td> <td>不定</td> <td>0</td> <td>0</td> <td>不定</td> <td>不定</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>不定</td> <td>不定</td> <td>不定</td> <td>不定</td> <td>0</td> <td>0</td> </tr> <tr> <td>R/W: R</td> <td>R</td> <td>R/W</td> <td>R</td> <td>R</td> <td>R</td> <td>R/W</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R/W</td> <td>R/W</td> </tr> </tbody> </table> <p>W² W² W²</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>CSCLR</td> <td>0</td> <td>R/W</td> <td>当該パイプの CSSTS ビットをクリアする場合に CSCLR=1 を設定します。ホストコントローラ機能選択時に、本ビットを 1 に設定すると、本モジュールは CSSTS ビットを 0 にクリアします。スプリットランザクションを使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットランザクションでは、C-Split 終了時に自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。 0: 書き込み無効 1: CSSTS ビットをクリア 【注】 CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。</td> </tr> </tbody> </table>	BSSTS	CSCLR	CSSTS	ACLRM	SOCLR	SOSET	SOMON	PBUSY								PID[1:0]	初期値: 0	不定	0	0	不定	不定	0	0	0	0	0	不定	不定	不定	不定	0	0	R/W: R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R	R/W	R/W	ビット	ビット名	初期値	R/W	説明	15	CSCLR	0	R/W	当該パイプの CSSTS ビットをクリアする場合に CSCLR=1 を設定します。ホストコントローラ機能選択時に、本ビットを 1 に設定すると、本モジュールは CSSTS ビットを 0 にクリアします。スプリットランザクションを使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットランザクションでは、C-Split 終了時に自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。 0: 書き込み無効 1: CSSTS ビットをクリア 【注】 CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。
BSSTS	CSCLR	CSSTS	ACLRM	SOCLR	SOSET	SOMON	PBUSY								PID[1:0]																																															
初期値: 0	不定	0	0	不定	不定	0	0	0	0	0	不定	不定	不定	不定	0	0																																														
R/W: R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R	R/W	R/W																																														
ビット	ビット名	初期値	R/W	説明																																																										
15	CSCLR	0	R/W	当該パイプの CSSTS ビットをクリアする場合に CSCLR=1 を設定します。ホストコントローラ機能選択時に、本ビットを 1 に設定すると、本モジュールは CSSTS ビットを 0 にクリアします。スプリットランザクションを使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに 1 を設定してください。正常なスプリットランザクションでは、C-Split 終了時に自動的に CSSTS ビットを 0 にクリアしますので、クリア処理は不要です。本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。 0: 書き込み無効 1: CSSTS ビットをクリア 【注】 CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。																																																										
	25-101	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>9</td> <td>ACLRM</td> <td>0</td> <td>R/W</td> <td>自動バッファクリアモード 当該パイプの自動バッファクリアモードの禁止/許可を指定します。当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、本ビットに 1, 0 を連続して書き込んでください。本ビットに 1, 0 を連続して設定した場合に本モジュールがクリアする内容を表 25.17(1)に示します。また、この処理が必要なケースを表 25.17(2)に示します。 0: 禁止 1: 許可 (全バッファ初期化)</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	9	ACLRM	0	R/W	自動バッファクリアモード 当該パイプの自動バッファクリアモードの禁止/許可を指定します。当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、本ビットに 1, 0 を連続して書き込んでください。本ビットに 1, 0 を連続して設定した場合に本モジュールがクリアする内容を表 25.17(1)に示します。また、この処理が必要なケースを表 25.17(2)に示します。 0: 禁止 1: 許可 (全バッファ初期化)																																																		
ビット	ビット名	初期値	R/W	説明																																																										
9	ACLRM	0	R/W	自動バッファクリアモード 当該パイプの自動バッファクリアモードの禁止/許可を指定します。当該パイプに割り付けた FIFO バッファの内容をすべてクリアしたい場合に、本ビットに 1, 0 を連続して書き込んでください。本ビットに 1, 0 を連続して設定した場合に本モジュールがクリアする内容を表 25.17(1)に示します。また、この処理が必要なケースを表 25.17(2)に示します。 0: 禁止 1: 許可 (全バッファ初期化)																																																										
	25-102	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>PBUSY</td> <td>0</td> <td>R</td> <td>PIPE ビジー 当該パイプを現在トランザクションで使用かどうかを示します。当該パイプの USB トランザクションを開始したとき、0 から 1 に変更します。ひとつのトランザクションが正常終了したとき、1 から 0 に変更します。PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 0: 当該パイプはトランザクションで未使用 1: 当該パイプはトランザクションで使用</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	5	PBUSY	0	R	PIPE ビジー 当該パイプを現在トランザクションで使用かどうかを示します。当該パイプの USB トランザクションを開始したとき、0 から 1 に変更します。ひとつのトランザクションが正常終了したとき、1 から 0 に変更します。PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 0: 当該パイプはトランザクションで未使用 1: 当該パイプはトランザクションで使用																																																		
ビット	ビット名	初期値	R/W	説明																																																										
5	PBUSY	0	R	PIPE ビジー 当該パイプを現在トランザクションで使用かどうかを示します。当該パイプの USB トランザクションを開始したとき、0 から 1 に変更します。ひとつのトランザクションが正常終了したとき、1 から 0 に変更します。PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 0: 当該パイプはトランザクションで未使用 1: 当該パイプはトランザクションで使用																																																										

修正項目	ページ	修正内容（詳細はマニュアル参照）										
25.3.41 パイプ n コントロールレジスタ (PIPEnCTR) (n=6~9)	25-103	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1, 0</td> <td>PID[1:0]</td> <td>00</td> <td>R/W</td> <td>【注】当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY = 0 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。PID = NAK(00)の状態から PID = STALL 状態にする場合には、10 を書き込んでください。PID = BUF(01)状態から STALL 状態にする場合には、11 を書き込んでください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	1, 0	PID[1:0]	00	R/W	【注】当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY = 0 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。PID = NAK(00)の状態から PID = STALL 状態にする場合には、10 を書き込んでください。PID = BUF(01)状態から STALL 状態にする場合には、11 を書き込んでください。
ビット	ビット名	初期値	R/W	説明								
1, 0	PID[1:0]	00	R/W	【注】当該パイプが USB 通信中であるときに、本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY = 0 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。PID = NAK(00)の状態から PID = STALL 状態にする場合には、10 を書き込んでください。PID = BUF(01)状態から STALL 状態にする場合には、11 を書き込んでください。								
表 25.18 (1) ACLRM = 1 設定時に本モジュールがクリアする内容	25-104	表を差し替え										
表 25.18 (2) ACLRM = 1 設定が必要なケース		表を追加										
25.3.43 トランザクションカウンタレジスタ (PIPEnTRN) (n=1~5)	25-107	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15~0</td> <td>TRNCNT [15:0]</td> <td>H0000</td> <td>R</td> <td>(3) 以下の条件が満たされたとき TRCLR ビットに 1 を設定した</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	15~0	TRNCNT [15:0]	H0000	R	(3) 以下の条件が満たされたとき TRCLR ビットに 1 を設定した
ビット	ビット名	初期値	R/W	説明								
15~0	TRNCNT [15:0]	H0000	R	(3) 以下の条件が満たされたとき TRCLR ビットに 1 を設定した								
25.4.1 システム制御 (3) USB データバス抵抗制御	25-113	<p>説明を追加</p> <p>本モジュールは、D+信号のプルアップ抵抗と D+、D-信号のプルダウン抵抗の切り替え制御を行います。SYSCFG0 レジスタの DPRPU、DRPD ビットの設定（ポート 0 用）、および SYSCFG1 レジスタの DRPD ビットの設定（ポート 1 用）により各信号のプルアップ、プルダウンを設定してください。</p> <p>ファンクションコントローラ機能選択時は、USB ホストへの接続を認識した後で、SYSCFG レジスタの DPRPU ビットを 1 に設定し、D+ 信号をプルアップしてください。</p> <p>また、USB ホストの切断を認識した場合は、以下処理の通り、DPRPU ビットと DCFM ビットの操作を実施してください。</p> <ol style="list-style-type: none"> (1) DPRPU ビットに 0 を設定 (2) 1us 以上待つ (3) DCFM ビットを 1 に設定 (4) 200ns 以上待つ (5) DCFM ビットを 0 に設定 <p>また、本モジュールは D+、D-信号の終端抵抗（ハイスピード動作時）と出力抵抗（フルスピード動作時）を内蔵しています。USB ホストまたはファンクション機器との接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム時に本モジュールが自動的に行います。</p>										

修正項目	ページ	修正内容（詳細はマニュアル参照）																				
25.4.1 システム制御 (4) レジスタアクセスウェイト制御	25-113	<p>説明を修正</p> <p>本モジュールの SYSSTS0 以降のレジスタへのアクセスサイクルには、以下のような制約があります。</p> <p>ウェイト制約：本モジュールのレジスタへの連続アクセスのサイクルは、USB クロック（48MHz）の 4 サイクル期間（83.33ns）以上でなければなりません。</p> <p>本制約を満たすために SYSCFG1 レジスタの BWAIT[3:0] ビットで、レジスタアクセスへのウェイト制御を行う必要があります。初期値は最大値（アクセスサイクル 17 クロックサイクル）ですので、最適な設定値を選択してください。</p> <p>設定例 1：本モジュールのレジスタに連続してアクセスする場合 バスクロック周波数：66MHz 計算：（2 サイクル（本モジュールのレジスタへのアクセスサイクル）+1 サイクル（連続アクセス間隔期間）+BWAIT）× 1/66MHz 83.33ns BWAIT = 3</p> <p>設定例 2：内蔵メモリから FIFO ポートレジスタへデータを転送する場合 バスクロック周波数：66MHz 計算：（2 サイクル（本モジュールのレジスタへのアクセスサイクル）+2 サイクル（内蔵メモリへのアクセスサイクル）+BWAIT）× 1/66MHz 83.33ns BWAIT = 2</p>																				
25.4.2 割り込み機能 表 25.21 割り込み発生条件一覧表	25-115	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>割り込み名称</th> <th>割り込み発生条件</th> <th>発生する機能</th> <th>関連ステータス</th> </tr> </thead> <tbody> <tr> <td>NRDY</td> <td>バッファノットレディ割り込み</td> <td> [ホストコントローラ機能選択時] 発行したトークンに対してファンクション側からの STALL を受信したとき 発行したトークンに対してファンクション側からの応答が正しく受信できなかったとき（無応答またはパケット受信エラーが 3 回連続） アイソクロナス転送時にオーバラン / アンダランが発生したとき [ファンクションコントローラ機能選択時] PID-BUF 設定かつ（バッファメモリが送信可能ではない）状態でトークンを受信したとき アイソクロナス転送でデータ受信時に CRC エラー、ビットスタックエラーが発生したとき アイソクロナス転送でデータ受信時にインターバルエラーが発生したとき </td> <td>ホスト、ファンクション</td> <td>NRDYSTS PIPENRDY</td> </tr> <tr> <td>BRDY</td> <td>バッファレディ割り込み</td> <td>バッファがレディ（リードまたはライト可能状態）になったとき</td> <td>ホスト、ファンクション</td> <td>BRDYSTS PIPEBRDY</td> </tr> <tr> <td>BCHG</td> <td>バス変化割り込み</td> <td>USB バスステータスの変化を検出したとき</td> <td>ホスト</td> <td>-</td> </tr> </tbody> </table>	ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス	NRDY	バッファノットレディ割り込み	[ホストコントローラ機能選択時] 発行したトークンに対してファンクション側からの STALL を受信したとき 発行したトークンに対してファンクション側からの応答が正しく受信できなかったとき（無応答またはパケット受信エラーが 3 回連続） アイソクロナス転送時にオーバラン / アンダランが発生したとき [ファンクションコントローラ機能選択時] PID-BUF 設定かつ（バッファメモリが送信可能ではない）状態でトークンを受信したとき アイソクロナス転送でデータ受信時に CRC エラー、ビットスタックエラーが発生したとき アイソクロナス転送でデータ受信時にインターバルエラーが発生したとき	ホスト、ファンクション	NRDYSTS PIPENRDY	BRDY	バッファレディ割り込み	バッファがレディ（リードまたはライト可能状態）になったとき	ホスト、ファンクション	BRDYSTS PIPEBRDY	BCHG	バス変化割り込み	USB バスステータスの変化を検出したとき	ホスト	-
ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス																		
NRDY	バッファノットレディ割り込み	[ホストコントローラ機能選択時] 発行したトークンに対してファンクション側からの STALL を受信したとき 発行したトークンに対してファンクション側からの応答が正しく受信できなかったとき（無応答またはパケット受信エラーが 3 回連続） アイソクロナス転送時にオーバラン / アンダランが発生したとき [ファンクションコントローラ機能選択時] PID-BUF 設定かつ（バッファメモリが送信可能ではない）状態でトークンを受信したとき アイソクロナス転送でデータ受信時に CRC エラー、ビットスタックエラーが発生したとき アイソクロナス転送でデータ受信時にインターバルエラーが発生したとき	ホスト、ファンクション	NRDYSTS PIPENRDY																		
BRDY	バッファレディ割り込み	バッファがレディ（リードまたはライト可能状態）になったとき	ホスト、ファンクション	BRDYSTS PIPEBRDY																		
BCHG	バス変化割り込み	USB バスステータスの変化を検出したとき	ホスト	-																		
(3) コントロール転送ステージ遷移割り込み（ファンクションコントローラ機能）	25-119	<p>説明を修正</p> <p>シーケンスエラーによる CTRT 割り込み発生時は、CTS_Q = 110 の値がシステムから CTRT = 0 書き込み（割り込みステータスクリア）するまで保持されます。このため、CTS_Q = 110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません（セットアップステージ完了は、本モジュールで保持されており、ソフトウェアによる割り込みステータスクリア後に、CTR_T 割り込みが発生します）。</p>																				

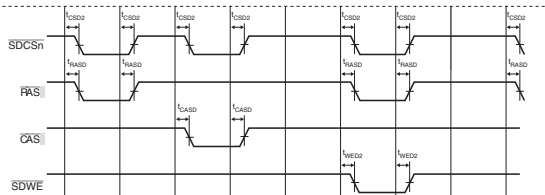
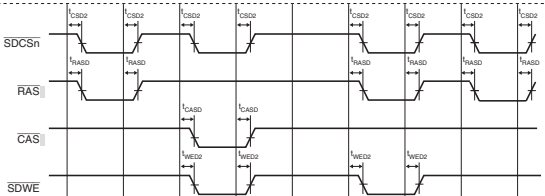
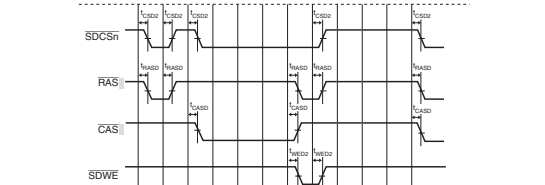
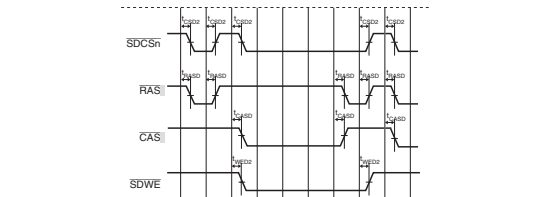
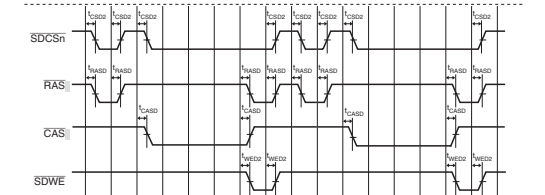
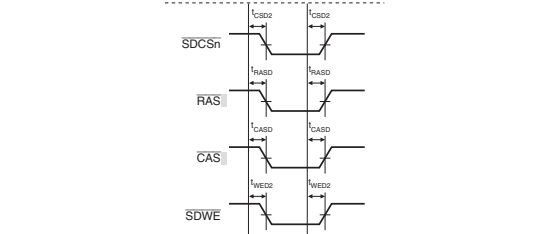
修正項目	ページ	修正内容（詳細はマニュアル参照）																																	
25.4.3 パイプコントロール 表 25.22 パイプ設定項目一覧表	25-121	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット名</th> <th>設定内容</th> <th>備 考</th> </tr> </thead> <tbody> <tr> <td>DCPCFG</td> <td>TYPE</td> <td>転送タイプを指定</td> <td>パイプ1-9：設定可</td> </tr> <tr> <td rowspan="3">PIPECFG</td> <td>BFRE</td> <td>BRDY 割り込みモードを選択</td> <td>パイプ1-5：設定可</td> </tr> <tr> <td>DBLB</td> <td>シングルまたはダブルバッファを選択</td> <td>パイプ1-5：設定可</td> </tr> <tr> <td>CNTMD</td> <td>連続転送または非連続転送を選択</td> <td>DCP：設定可 パイプ1、2：設定可（バルク転送選択時のみ設定可能） パイプ3-5：設定可 連続送受信ではバッファサイズをペイロードの整数倍に設定</td> </tr> <tr> <td>DIR</td> <td>転送方向（読み出しまたは書き込み）を選択</td> <td>IN または OUT 設定可</td> </tr> <tr> <td>EPNUM</td> <td>エンドポイント番号</td> <td>パイプ1-9：設定可 パイプ使用時は 0000 以外に設定</td> </tr> <tr> <td rowspan="2">SHTNAK</td> <td rowspan="2"></td> <td rowspan="2">トランスファ終了時のパイプ禁止選択</td> <td>DCP：設定可 パイプ1、2：バルク転送選択時のみ設定可 パイプ3-5：設定可</td> </tr> <tr> <td>パイプ1、2：アイソクロナス転送選択時のみ設定可 パイプ3-9：設定不可</td> </tr> <tr> <td>PIPEPERI</td> <td>IFIS</td> <td>バッファフラッシュ</td> <td>パイプ3-9：設定不可</td> </tr> </tbody> </table>	レジスタ名	ビット名	設定内容	備 考	DCPCFG	TYPE	転送タイプを指定	パイプ1-9：設定可	PIPECFG	BFRE	BRDY 割り込みモードを選択	パイプ1-5：設定可	DBLB	シングルまたはダブルバッファを選択	パイプ1-5：設定可	CNTMD	連続転送または非連続転送を選択	DCP：設定可 パイプ1、2：設定可（バルク転送選択時のみ設定可能） パイプ3-5：設定可 連続送受信ではバッファサイズをペイロードの整数倍に設定	DIR	転送方向（読み出しまたは書き込み）を選択	IN または OUT 設定可	EPNUM	エンドポイント番号	パイプ1-9：設定可 パイプ使用時は 0000 以外に設定	SHTNAK		トランスファ終了時のパイプ禁止選択	DCP：設定可 パイプ1、2：バルク転送選択時のみ設定可 パイプ3-5：設定可	パイプ1、2：アイソクロナス転送選択時のみ設定可 パイプ3-9：設定不可	PIPEPERI	IFIS	バッファフラッシュ	パイプ3-9：設定不可
レジスタ名	ビット名	設定内容	備 考																																
DCPCFG	TYPE	転送タイプを指定	パイプ1-9：設定可																																
PIPECFG	BFRE	BRDY 割り込みモードを選択	パイプ1-5：設定可																																
	DBLB	シングルまたはダブルバッファを選択	パイプ1-5：設定可																																
	CNTMD	連続転送または非連続転送を選択	DCP：設定可 パイプ1、2：設定可（バルク転送選択時のみ設定可能） パイプ3-5：設定可 連続送受信ではバッファサイズをペイロードの整数倍に設定																																
DIR	転送方向（読み出しまたは書き込み）を選択	IN または OUT 設定可																																	
EPNUM	エンドポイント番号	パイプ1-9：設定可 パイプ使用時は 0000 以外に設定																																	
SHTNAK		トランスファ終了時のパイプ禁止選択	DCP：設定可 パイプ1、2：バルク転送選択時のみ設定可 パイプ3-5：設定可																																
			パイプ1、2：アイソクロナス転送選択時のみ設定可 パイプ3-9：設定不可																																
PIPEPERI	IFIS	バッファフラッシュ	パイプ3-9：設定不可																																
(1) パイプコントロールレジスタの切り替え手順	25-123	<p>説明、注を追加</p> <ul style="list-style-type: none"> • PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット • DEVADDn レジスタの各ビット <p>【注】 CSCLR ビットおよび DEVADDn レジスタの設定については、上記以外にもレジスタ説明にある設定方法を守ってください。</p> <p>図を修正</p> <pre> graph TD A[パイプ情報変更要求] --> B[当該パイプのPIDをNAKに変更] B --> C[当該パイプのCSSTSビットが0になるまでウェイト] C --> D[当該パイプのPBUSYビットが0またはデータタッチを検出するまでウェイト*] D --> E[パイプ情報変更開始] </pre> <p>ホストコントローラ機能選択時</p> <p>* USBトランスザクション処置中にデータタッチした場合、PBUSYビットが1のままとなる場合があります。</p> <p>説明を追加</p> <p>FIFO ポートの CURPIPE に設定中に設定禁止であるレジスタ</p> <ul style="list-style-type: none"> • DCPCFG レジスタ、DCPMAXP レジスタの各ビット • PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット • PIPECTR レジスタの ACLRM ビット 																																	
(2) マックスパケットサイズ設定	25-124	新規追加																																	
(3) 応答 PID		新規追加																																	
(4) データ PID シーケンスビット	25-125	新規追加																																	

修正項目	ページ	修正内容（詳細はマニュアル参照）											
25.4.4 FIFO バッファ (1) FIFO バッファ割り当て	25-126	説明を修正 FIFO バッファは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数（PIPEBUF レジスタの BUFNMB ビットおよび BUFSIZE ビットで指定）で設定します。PIPE_CFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ずマックスパケットサイズの整数倍にあるように設定してください。また、PIPE_CFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットに指定したメモリ領域を 2 面割り当てられます。											
(3) FIFO ポートの機能 (a) FIFO ポート選択 表 25.25 パイプ別 FIFO ポートアクセス表	25-129	説明を修正 また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、DCP の場合は ISEL ビットの設定に従います。その他のパイプは PIPE_CFG レジスタの DIR ビットに従います。 表を修正 <table border="1"> <thead> <tr> <th>パイプ</th> <th>アクセス方法</th> <th>使用可能なポート</th> </tr> </thead> <tbody> <tr> <td>DCP</td> <td>CPU アクセス</td> <td>CFIFO ポートレジスタ</td> </tr> <tr> <td rowspan="2">パイプ1-9</td> <td>CPU アクセス</td> <td>CFIFO ポートレジスタ</td> </tr> <tr> <td>DMA アクセス</td> <td>D0FIFO/D1FIFO ポートレジスタ</td> </tr> </tbody> </table>	パイプ	アクセス方法	使用可能なポート	DCP	CPU アクセス	CFIFO ポートレジスタ	パイプ1-9	CPU アクセス	CFIFO ポートレジスタ	DMA アクセス	D0FIFO/D1FIFO ポートレジスタ
パイプ	アクセス方法	使用可能なポート											
DCP	CPU アクセス	CFIFO ポートレジスタ											
パイプ1-9	CPU アクセス	CFIFO ポートレジスタ											
	DMA アクセス	D0FIFO/D1FIFO ポートレジスタ											
25.4.5 コントロール転送（DCP） (1) ホストコントローラ機能選択時のコントロール転送 (b) データステージ (c) ステータスステージ	25-135	説明を修正 データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCTR レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。 説明を修正 ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットしてください。											
(2) ファンクションコントローラ機能選択時のコントロール転送 (b) データステージ	25-136	説明を追加、削除 受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。 DCPCTR レジスタの PID ビットを BUF に設定することでトランザクションを実行します。 データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。 コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してください。 ハイスピード動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。											

修正項目	ページ	修正内容（詳細はマニュアル参照）
25.4.5 コントロール転送（DCP） （2）ファンクションコントローラ機能選択時のコントロール転送 （d）コントロール転送自動応答機能	25-137	説明を修正 <ul style="list-style-type: none"> bmRequestType H'00 wIndex H'00 wLength H'00 wValue > H'7F DVSQ = 011 (Configured)
25.4.6 バルク転送（パイプ1～5） （1）ホストコントローラ機能選択時のPING パケット制御	25-138	新規追加
（2）ファンクションコントローラ機能選択時のNYET ハンドシェイク制御	25-139	新規追加
25.4.8 アイソクロナス転送（パイプ1、2）	25-141	説明を修正 ホストコントローラ機能選択時で、2パイプ同時にアイソクロナス転送として使用する場合には、USB2.0 Specification「5.6.3 Isochronous Transfer Packet Size Constraints」に記載されているパケット制約を守ってください。
（1）アイソクロナス転送のエラー検出		新規追加
（2）DATA-PID	25-142	新規追加
（3）インターバルカウンタ （b）ファンクションコントローラ機能選択時でのインターバルカウンタの初期化	25-143	説明を修正 <ul style="list-style-type: none"> ACLRM によるバッファメモリ初期化 IITV ビットは初期化されませんがカウントは初期化されます。 USB バスリセット
（4）ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ	25-144	説明を修正 図 25.14 に本モジュールで、IITV = 0（毎フレーム）を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。
図 25.14 データセットアップ機能動作例	25-145	図を差し替え
（5）ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ 図 25.15 バッファフラッシュ機能動作例	25-146	図を差し替え
図 25.16 IITV = 1 のときのインターバルエラー発生例	25-147	図を差し替え
25.4.9 SOF 補間機能	25-148	説明を修正 <ul style="list-style-type: none"> SOFR 割り込み および μ SOF ロック
32.2.3 データ保持について	32-4	新規追加
33.2.2 スタンバイコントロールレジスタ2（STBCR2）	33-5	説明を修正 STBCR2は、読み出し / 書き込み可能な8ビットのレジスタで、各モジュールの動作を制御します。

修正項目	ページ	修正内容（詳細はマニュアル参照）																																		
33.2.3 スタンバイコントロールレジスタ3 (STBCR3)	33-6	説明を修正 STBCR3は、読み出し / 書き込み可能な8ビットのレジスタで、各モジュールの動作を制御します。																																		
33.2.4 スタンバイコントロールレジスタ4 (STBCR4)	33-8	説明を修正 STBCR4は、読み出し / 書き込み可能な8ビットのレジスタで、各モジュールの動作を制御します。																																		
33.2.5 スタンバイコントロールレジスタ5 (STBCR5)	33-9	説明を修正 STBCR5は、読み出し / 書き込み可能な8ビットのレジスタで、各モジュールの動作を制御します。																																		
33.2.6 スタンバイコントロールレジスタ6 (STBCR6)	33-10	説明を修正 STBCR6は、読み出し / 書き込み可能な8ビットのレジスタで、各モジュールの動作を制御します。																																		
33.2.7 スタンバイコントロールレジスタ7 (STBCR7)	33-11	説明を修正 STBCR7は、読み出し / 書き込み可能な8ビットのレジスタで、各モジュールの動作を制御します。																																		
33.3.7 ディープスタンバイモード (2) ディープスタンバイモードの解除 図 33.4 ディープスタンバイモード解除フロー	33-34	図を修正 <pre> graph TD A[DSFRのフラグチェック] --> B[解除要因に応じた処理] B --> C[周辺機能の再設定] C --> D[DSFRのIOKEEPビットをクリア(端子状態保持を解除)] D --> E[デュアルプロセッサモードへ] </pre>																																		
(4) ディープスタンバイモード遷移時の注意事項	33-36	新規追加																																		
35.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)	35-25	表を修正 <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名</th> <th>略称</th> <th>ビット数</th> <th>アドレス</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td rowspan="3">RCAN-TL1</td> <td>未読メッセージステータスレジスタ0_0</td> <td>UMSR0_0</td> <td>16</td> <td>HFFFFE05A</td> <td>16</td> </tr> <tr> <td>タイマトリガコントロールレジスタ0_0</td> <td>TTCR0_0</td> <td>16</td> <td>HFFFFE080</td> <td>16</td> </tr> <tr> <td>サイクルマキシマム / Tx_Enable_Window レジスタ0</td> <td>CMAX_TEW_0</td> <td>16</td> <td>HFFFFE084</td> <td>16</td> </tr> </tbody> </table>	モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	RCAN-TL1	未読メッセージステータスレジスタ0_0	UMSR0_0	16	HFFFFE05A	16	タイマトリガコントロールレジスタ0_0	TTCR0_0	16	HFFFFE080	16	サイクルマキシマム / Tx_Enable_Window レジスタ0	CMAX_TEW_0	16	HFFFFE084	16												
モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ																															
RCAN-TL1	未読メッセージステータスレジスタ0_0	UMSR0_0	16	HFFFFE05A	16																															
	タイマトリガコントロールレジスタ0_0	TTCR0_0	16	HFFFFE080	16																															
	サイクルマキシマム / Tx_Enable_Window レジスタ0	CMAX_TEW_0	16	HFFFFE084	16																															
	35-27	表を修正 <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名</th> <th>略称</th> <th>ビット数</th> <th>アドレス</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td rowspan="3">RCAN-TL1</td> <td>未読メッセージステータスレジスタ0_1</td> <td>UMSR0_1</td> <td>16</td> <td>HFFFFE85A</td> <td>16</td> </tr> <tr> <td>タイマトリガコントロールレジスタ0_1</td> <td>TTCR0_1</td> <td>16</td> <td>HFFFFE880</td> <td>16</td> </tr> <tr> <td>サイクルマキシマム / Tx_Enable_Window レジスタ1</td> <td>CMAX_TEW_1</td> <td>16</td> <td>HFFFFE884</td> <td>16</td> </tr> </tbody> </table>	モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	RCAN-TL1	未読メッセージステータスレジスタ0_1	UMSR0_1	16	HFFFFE85A	16	タイマトリガコントロールレジスタ0_1	TTCR0_1	16	HFFFFE880	16	サイクルマキシマム / Tx_Enable_Window レジスタ1	CMAX_TEW_1	16	HFFFFE884	16												
モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ																															
RCAN-TL1	未読メッセージステータスレジスタ0_1	UMSR0_1	16	HFFFFE85A	16																															
	タイマトリガコントロールレジスタ0_1	TTCR0_1	16	HFFFFE880	16																															
	サイクルマキシマム / Tx_Enable_Window レジスタ1	CMAX_TEW_1	16	HFFFFE884	16																															
35.2 レジスタビット一覧	35-107	表を修正 <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ略称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td rowspan="2">USB</td> <td rowspan="2">DCPCFG</td> <td>31:23/15/7</td> <td>30:22/14/6</td> <td>29:21/13/5</td> <td>28:20/12/4</td> <td>27/19/11/3</td> <td>26/18/10/2</td> <td>25/17/9/1</td> </tr> <tr> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>CNTMD</td> </tr> <tr> <td></td> <td></td> <td>SHTNAK</td> <td>-</td> <td>-</td> <td>DIR</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	USB	DCPCFG	31:23/15/7	30:22/14/6	29:21/13/5	28:20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	-	-	-	-	-	-	CNTMD			SHTNAK	-	-	DIR	-	-	-
モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット																												
USB	DCPCFG	31:23/15/7	30:22/14/6	29:21/13/5	28:20/12/4	27/19/11/3	26/18/10/2	25/17/9/1																												
		-	-	-	-	-	-	CNTMD																												
		SHTNAK	-	-	DIR	-	-	-																												

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																										
35.3 各動作モードにおけるレジスタの状態の一覧	35-121	表を修正 <table border="1"> <thead> <tr> <th>モジュール</th> <th>レジスタ名</th> <th>パワーオン リセット</th> <th>マニュアル リセット</th> <th>ディープ スタンバイ</th> <th>ソフトウェア スタンバイ</th> <th>モジュール スタンバイ</th> <th>スリープ</th> </tr> </thead> <tbody> <tr> <td rowspan="7">WDT</td> <td>WTCNR0</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>-</td> <td>保持</td> </tr> <tr> <td>WTCNT0</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>-</td> <td>保持</td> </tr> <tr> <td>WRCSR0</td> <td>初期化¹⁾</td> <td>保持</td> <td>初期化</td> <td>保持</td> <td>-</td> <td>保持</td> </tr> <tr> <td>WTCNR1</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>-</td> <td>保持</td> </tr> <tr> <td>WTCNT1</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>-</td> <td>保持</td> </tr> <tr> <td>WRCSR1</td> <td>初期化¹⁾</td> <td>保持</td> <td>初期化</td> <td>保持</td> <td>-</td> <td>保持</td> </tr> <tr> <td>WRCSR1</td> <td>初期化¹⁾</td> <td>保持</td> <td>初期化</td> <td>保持</td> <td>-</td> <td>保持</td> </tr> </tbody> </table>	モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	WDT	WTCNR0	初期化	初期化	初期化	保持	-	保持	WTCNT0	初期化	初期化	初期化	保持	-	保持	WRCSR0	初期化 ¹⁾	保持	初期化	保持	-	保持	WTCNR1	初期化	初期化	初期化	保持	-	保持	WTCNT1	初期化	初期化	初期化	保持	-	保持	WRCSR1	初期化 ¹⁾	保持	初期化	保持	-	保持	WRCSR1	初期化 ¹⁾	保持	初期化	保持	-	保持
	モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ																																																				
WDT	WTCNR0	初期化	初期化	初期化	保持	-	保持																																																					
	WTCNT0	初期化	初期化	初期化	保持	-	保持																																																					
	WRCSR0	初期化 ¹⁾	保持	初期化	保持	-	保持																																																					
	WTCNR1	初期化	初期化	初期化	保持	-	保持																																																					
	WTCNT1	初期化	初期化	初期化	保持	-	保持																																																					
	WRCSR1	初期化 ¹⁾	保持	初期化	保持	-	保持																																																					
	WRCSR1	初期化 ¹⁾	保持	初期化	保持	-	保持																																																					
35-123	注を修正 【注】*5 BC[2:0]ビットは初期化																																																											
36.4 AC 特性 表 36.5 動作周波数	36-10	表タイトルを修正 表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td rowspan="4">動作周波数</td> <td>CPU0クロック (f_0)</td> <td rowspan="4">f</td> <td>40.00</td> <td>200.00</td> <td>MHz</td> <td></td> </tr> <tr> <td>CPU1クロック (f_1)</td> <td>40.00</td> <td>200.00</td> <td>MHz</td> <td></td> </tr> <tr> <td>バスクロック (B)</td> <td>40.00</td> <td>66.66</td> <td>MHz</td> <td></td> </tr> <tr> <td>周辺クロック (P)</td> <td>10.00</td> <td>33.33</td> <td>MHz</td> <td></td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	備考	動作周波数	CPU0クロック (f_0)	f	40.00	200.00	MHz		CPU1クロック (f_1)	40.00	200.00	MHz		バスクロック (B)	40.00	66.66	MHz		周辺クロック (P)	10.00	33.33	MHz																															
		項目	記号	Min.	Max.	単位	備考																																																					
動作周波数	CPU0クロック (f_0)	f	40.00	200.00	MHz																																																							
	CPU1クロック (f_1)		40.00	200.00	MHz																																																							
	バスクロック (B)		40.00	66.66	MHz																																																							
	周辺クロック (P)		10.00	33.33	MHz																																																							
36-12	図を修正 <p>【注】 内蔵発振器を用いる場合の発振安定時間 * PVcc、Vcc、PLLVcc、AVcc、USBAPVcc、USBAVcc、USBDVcc、2DGAPVcc0、2DGAPVcc1</p>																																																											
36.4.3 バスタイミング 図 36.15 外部アドレス空間 外部ウェイトタイミング (16ビット幅チャンネルへのページリードアクセス、外部リードデータ連続アサートモード、リードサイクルウェイト3、ページリードサイクルウェイト3、他ウェイト設定は0、外部ウェイトサイクル2)	36-22	図を修正 																																																										

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>36.4.3 バスタイミング</p> <p>図 36.16 SDRAM 空間 シングルリードバスタイミング</p> <p>(DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))</p>	36-23	<p>図を修正</p> 
<p>図 36.17 SDRAM 空間 シングルライトバスタイミング</p> <p>(DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))</p>	36-24	<p>図を修正</p> 
<p>図 36.18 SDRAM 空間 複数リードバスタイミング</p> <p>(4 データアクセス、DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))</p>	36-25	<p>図を修正</p> 
<p>図 36.19 SDRAM 空間 複数ライトバスタイミング</p> <p>(4 データアクセス、DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))</p>	36-26	<p>図を修正</p> 
<p>図 36.20 SDRAM 空間 複数リード行またぎバスタイミング</p> <p>(8 データアクセス、DCL = 2 (2 サイクル)、DRCD = 1 (2 サイクル)、DPCG = 1 (2 サイクル))</p>	36-27	<p>図を修正</p> 
<p>図 36.21 SDRAM 空間モードレジスタセットバスタイミング</p>	36-28	<p>図を修正</p> 

修正項目	ページ	修正内容 (詳細はマニュアル参照)												
36.4.3 バスタイミング 図 36.22 SDRAM 空間セルリフレッシュ バスタイミング	36-29	図を修正 												
36.4.10 IIC3 タイミング 表 36.15 (1) IIC3 タイミング I ² C バスフ ォーマット	36-38	表タイトルを修正 表を修正 <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>SCL 入力サイクル時間</td> <td>t_{SCL}</td> <td>12k_{typ} + 600</td> <td>-</td> <td>ns</td> <td>36.35 (1)</td> </tr> </tbody> </table>	項 目	記号	Min.	Max.	単位	参照図	SCL 入力サイクル時間	t _{SCL}	12k _{typ} + 600	-	ns	36.35 (1)
項 目	記号	Min.	Max.	単位	参照図									
SCL 入力サイクル時間	t _{SCL}	12k _{typ} + 600	-	ns	36.35 (1)									
図 36.35 (1) IIC3 入出力タイミング 表 36.15 (2) I2C バスインタフェース 3 タイミング クロック同期式シリアルフォ ーマット	36-39	図タイトルを修正 表を追加												
図 36.35 (2) クロック入出力タイミング 図 36.35 (3) 送受信タイミング	36-40	図を追加 図を追加												

索引

【数字 / 記号】

(ポテンシャル) タイムマスタ	20-81
16 ビット / 32 ビットディスプレイメント	2-10
2DG モジュールタイミング	36-83
2D エンジン (2DG)	28-1

【A】

A/D トリガ入力タイミング	36-44
A/D 変換開始要求ディレイド機能	12-126
A/D 変換器 (ADC)	22-1
A/D 変換器特性	36-90
A/D 変換器の起動	12-133
A/D 変換時間 (シングルモード)	22-14
A/D 変換時間 (マルチモード / スキャンモード)	22-15
A/D 変換精度の定義	22-17
A/D 変換タイミング	22-14
AAC エンコーダ (AESOP)	29-1
AC 特性	36-10
AC 特性測定条件	36-89
AND/NAND フラッシュメモリコントローラ (FLCTL)	24-1
AT アタッチメントパケットインタフェース (ATAPI)	27-1

【C】

CAN インタフェース	20-5
CAN スリープモード	20-72
CMCNT カウントタイミング	13-6
CMCNT の書き込みとコンペアマッチの競合	13-9
CMCNT のバイト書き込みとカウントアップの競合	13-10
CMCNT のワード書き込みとカウントアップの競合	13-9
CPU	2-1
CS 空間アクセス	10-34

【D】

D/A 変換器 (DAC)	23-1
D/A 変換器特性	36-91
DC 特性	36-3, 36-6
DMAC インタフェース	20-94
DMAC 使用上の制約事項	16-52

DMAC タイミング	36-31
DMAC の起動	12-133
DMA チャンネルの優先順位判断	11-74
DMA 転送条件一覧	11-58
DMA の起動	11-60
DMA 要求	11-70

【F】

FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	16-1
FIFO 内蔵シリアルサウンドインタフェース (SSIF) ...	19-1
FIFO バッファ	25-126
FLCTL タイミング	36-45
FLCTL の割り込み要求	24-43
FPU 例外要因	3-9

【H】

H-UDI 関連端子のタイミング	36-87
H-UDI リセット	34-14
H-UDI 割り込み	7-31, 34-14

【I】

I/O ポート	31-1
I/O ポートタイミング	36-86
I ² C バスインタフェース 3 (IIC3)	18-1
I ² C バスフォーマット	18-17
ID 並べ替え	20-29
IEBus™ コントローラ (IEB)	21-1
IEBus 通信プロトコル	21-2
IEBus ビットフォーマット	21-13
IIC3 タイミング	36-38
IRQ 割り込み	7-32

【M】

MTU2 出力端子の初期化方法	12-162
MTU2 タイミング	36-32
MTU2 の機能一覧	12-2
MTU2 割り込み要因	12-131

【N】

NMI 割り込み	7-31
----------------	------

NYET ハンドシェイク応答表 25-139

【 P 】

PINT 割り込み 7-32
PLL 回路 5-3
PLL の通倍率変更の手順 14-10
PLL 発振回路使用時の注意 5-17, 5-20
PWM モード 12-81

【 R 】

RCAN-TL1 のコントロールレジスタ 20-24
RCAN-TL1 のタイマレジスタ 20-56
RCAN-TL1 のメールボックスレジスタ 20-44
RCAN-TL1 のメモリマップ 20-6
RCAN-TL1 の割り込み要因 20-93
RCAN-TL1 の設定 20-69
RCAN-TL1 モジュールタイミング 36-43
RCAN-TL1 端子ポート設定 20-96
RISC 方式 2-7

【 S 】

SCBRR の設定値を求める計算式 16-17
SCIF モジュールタイミング 36-34
SCIF 割り込み要因 16-51
SDHI タイミング 36-85
SD ホストインタフェース (SDHI) 26-1
SOF 補間機能 25-148
SSIF タイミング 36-41
SSU タイミング 36-35
SSU モード 17-19
SSU 割り込み要因 17-34

【 T 】

TAP コントローラ 34-12
TDO 出力タイミング 34-13
TSG と TSEG の設定 20-35
TTW[1:0] (タイムトリガウィンドウ) 20-20
T ビット 2-8

【 U 】

UBC トリガタイミング 36-30
USB2.0 ホスト / ファンクションモジュール (USB) 25-1
USB タイミング 36-53
USB データバス抵抗制御 25-113

【 あ 】

アイソクロナス転送 25-141

アドレスアレイ 9-2, 9-13
アドレスエラー 6-9
アドレスマップ 10-4
アドレッシングモード 2-11
アナログ電圧の設定 22-18, 23-6
アナログ入力端子の規格 22-19
アナログ入力端子の取り扱い 22-18
アラーム機能の使用法 15-24
位相計数モード 12-86
一般不当命令 6-16
イミディエイトデータ 2-9
イミディエイトデータによる参照 2-9
イミディエイトデータのデータ形式 2-6
インターバルタイマモードの使用法 14-12
インタラプト転送 25-140
ウォッチドッグタイマ (WDT) 14-1
ウォッチドッグタイマタイミング 36-33
ウォッチドッグタイマモードの使用法 14-10
応答 PID 25-124
オフセット誤差 22-17

【 か 】

外形寸法図 付録-10
外部トリガ入力タイミング 22-15
各動作モードにおけるレジスタの状態の一覧 35-121
カスケード接続動作 12-77
キャッシュ 9-1
キャッシュ動作まとめ 9-12
キャッシュと外部メモリとのコヒーレンシ 9-13
キャッシュの検索 9-9
キャッシュの構成 9-1
許容信号源インピーダンス 22-20
グローバルベースレジスタ (GBR) 2-3
クロック周波数制御回路 5-3
クロックタイミング 36-11
クロック同期式シリアルフォーマット 18-26
クロック同期式モード時の動作 16-43
クロック動作モード 5-5
クロックパルス発振器 (CPG) 5-1
コマンドアクセスモード 24-31
コントローラエリアネットワーク (RCAN-TL1) 20-1
コントロール転送ステージ遷移割り込み 25-119
コントロールレジスタの初期値 2-4
コンフィギュレーションモード 19-29
コンフリクトエラー 17-27
コンペアマッチタイマ (CMT) 13-1

【さ】

サイクルスチール転送モード	11-55
算術演算命令	2-27
システム制御命令	2-32
システムマトリックス	20-23
システムレジスタの初期値	2-4
実効アドレスの計算方法	2-11
シフト命令	2-30
ジャンプテーブルベースレジスタ (TBR)	2-3
周期設定上の注意事項	12-146
出力付加回路	36-89
乗算 / 積和演算	2-8
シングルプロセッサ動作状態	2-39
シングルモード	22-7
シンクロナスシリアルコミュニケーションユニット (SSU)	17-1
水晶発振器	5-3
スキャンモード	22-11
スタックからの復帰	7-51
スタックへの退避	7-51
スタンバイ制御回路	5-3
ステータスレジスタ (SR)	2-2
スリープエラー	6-12
スレーブ受信動作	18-24
スレーブ送信動作	18-22
スロット不当命令	6-16
制御信号タイミング	36-14
整数除算命令	6-16
製品一覧	1-9
積和下位レジスタ (MACL)	2-4
積和上位レジスタ (MACH)	2-4
セクタアクセスモード	24-36
絶対アドレス	2-9
絶対アドレスによる参照	2-10
絶対最大定格	36-1
絶対精度への影響	22-20
送信トリガコントロールフィールド	20-20
送信トリガタイム (TTT)	20-20
送信用内部アービトレーション	20-77
相補 PWM モード	12-95
ソフトウェアスタンバイモード解除の手順 (WDT)	14-10
ソフトウェアスタンバイモード時の D/A 出力保持機能	23-6

【た】

タイムスタンプ	20-19
タイムスレーブ	20-82

タイムトリガコントロール (TT コントロール)	20-20
タイムトリガシステムの例	20-85
タイムトリガ送信	20-78
ダイレクトメモリアクセスコントローラ (DMAC)	11-1
単精度浮動小数点フォーマット	3-2
遅延スロットなし無条件分岐命令	2-8
遅延分岐命令	2-8
遅延分岐命令の直後の例外要因発生	6-18
調歩同期式モード時の動作	16-34
調歩同期式モードの受信データサンプリング	
タイミングと受信マージン	16-53
低消費電力状態	2-39
低消費電力モード	33-1
ディスプレイメントによる参照	2-10
通信率の変更	5-14
データ PID シーケンスビット	25-125
データアクセスサイクルでのブ레이크	8-15
データアレイ	9-2, 9-14
データ転送命令	2-24
テストモードの設定	20-75
デバイスステート遷移割り込み	25-117
デュアルプロセッサ動作状態	2-39
電気的特性	36-1
電源投入・切断シーケンス	36-2
転送クロック	17-16
伝送プロトコル	21-4
転送レート	18-7
トラップ命令	6-15

【な】

内蔵 RAM	32-1
内蔵周辺モジュール割り込み	7-33
ノイズ除去回路	18-29

【は】

倍精度浮動小数点フォーマット	3-2
パイプコントロール	25-121
パイプライン転送モード	11-55
バウンダリスキャン	34-15
バスステートコントローラ (BSC)	10-1
バスタイミング	36-15
バルク転送	25-138
パワーオンリセット	6-7
バンクからの復帰	7-50
バンクへの退避	7-49
汎用レジスタ	2-1
汎用レジスタの初期値	2-4

非圧縮モード	19-20
非数 (NaN)	3-4
非正規化数	3-4
非直線性誤差	22-17
ビット操作命令	2-37
ビット同期回路	18-35
ピンファンクションコントローラ (PFC)	30-1
ファンクションコントローラ機能選択時の コントロール転送	25-136
浮動小数点演算命令	6-17
浮動小数点の範囲	3-3
浮動小数点命令	2-34
浮動小数点ユニット (FPU)	3-1
浮動小数点レジスタ	3-5
フルスケール誤差	22-17
ブレークの送り出し	16-53
ブレークの検出と処理	16-52
プログラムカウンタ (PC)	2-4
プロシージャレジスタ (PR)	2-4
分岐命令	2-31
分周器 1	5-3
分周器 2	5-3
分周率の変更	5-16
ベクタベースレジスタ (VBR)	2-3
ホストコントローラ機能選択時のコントロール 転送	25-135
ホルトモード	20-71
本 LSI の端子状態	付録-1
本 LSI の特長	1-2
本 LSI のバス構成	1-43
本 LSI のピン配置図	1-11
本 LSI のブロック図	1-10

【ま】

マイクロプロセッサインタフェース (MPI)	20-4
マスタ受信動作	18-20
マスタ送信動作	18-18
マニュアルリセット	6-8
マルチコアプロセッサ	4-1
マルチファンクションタイムバルスユニット 2 (MTU2)	12-1
マルチプレクス端子の一覧表 (ポート A)	30-1
マルチプレクス端子の一覧表 (ポート B)	30-2
マルチプレクス端子の一覧表 (ポート C)	30-3
マルチプレクス端子の一覧表 (ポート D)	30-4
マルチプレクス端子の一覧表 (ポート E)	30-4
マルチプレクス端子の一覧表 (ポート F)	30-5

マルチプレクス端子の一覧表 (ポート G)	30-6
マルチプレクス端子の一覧表 (ポート H)	30-6
マルチプレクス端子の一覧表 (ポート J)	30-7
マルチプレクス端子の一覧表 (ポート K)	30-7
マルチモード	22-9
丸め	3-8
命令形式	2-15
命令セット	2-19
命令による例外	6-15
命令の特長	2-7
命令フェッチサイクルでのブレイク	8-14
メールボックス	20-4, 20-7
メールボックスコントロール	20-4
メールボックスの機能の設定	20-16
メールボックスの再設定	20-91
メールボックスの役割	20-8
メッセージコントロールフィールド	20-12
メッセージ受信シーケンス	20-89
メッセージ送信リクエスト	20-77, 20-84
メッセージデータフィールド	20-18
メモリのデータ形式	2-5
メモリ割り付けキャッシュの構成	9-13
モジュールスタンバイモードの設定	17-35
モジュール有効モード	19-29

【や】

ユーザデバッグインタフェース (H-UDI)	34-1
ユーザブレイクコントローラ (UBC)	8-1
ユーザブレイク動作の流れ	8-13
ユーザブレイク割り込み	7-31

【ら】

リアルタイムクロック (RTC)	15-1
リセットシーケンス	20-70
リセット状態	2-39
リセット同期 PWM モード	12-92
量子化誤差	22-17
リロード機能	11-80
例外処理	6-1
例外処理後のスタックの状態	6-19
例外処理ベクタテーブル	6-4
例外処理ベクタテーブルアドレスの算出法	6-5
例外要因の種類と優先順位	6-1
レジスタ	
ABACK0	20-51
ABACK1	20-51
ACESR	29-10

ADCSR.....	22-4	C1ICR0.....	7-13
ADDRA ~ ADDRH	22-4	C1ICR1.....	7-14
ADIFR.....	29-11	C1ICR2.....	7-15
ADTSR	29-13	C1INTER.....	7-23
ATAPI_BYTE_SWAP.....	27-16	C1IPCR15 ~ 08	7-21
ATAPI_CONTROL	27-5	C1IPER	7-22
ATAPI_CONTROL2	27-15	C1IPR01、02、05 ~ 21.....	7-12
ATAPI_DMA_START_ADR	27-13	C1IRQER	7-24
ATAPI_DMA_TRANS_CNT	27-14	C1IRQRR	7-16
ATAPI_INT_ENABLE.....	27-9	C1MSR.....	33-20
ATAPI_MULTI_TIMING	27-11	C1PINTER	7-17
ATAPI_PIO_TIMING	27-10	C1PIRR	7-18
ATAPI_SIG_ST	27-16	CCR.....	20-63
ATAPI_STATUS.....	27-7	CCR1.....	9-4
ATAPI_ULTRA_TIMING	27-12	CCR2.....	9-6
BACCR.....	29-10	CFIFO.....	25-25
BAMR	8-6	CFIFOCTR	25-33
BAR	8-5	CFIFOSEL.....	25-27
BBR	8-9	CMAX_TEW.....	20-59
BCR0.....	20-34	CMCNT	13-5
BCR1.....	20-32	CMCOR.....	13-5
BDMR.....	8-8	CMCSR	13-4
BDR.....	8-7	CMSTR.....	13-3
BEMPENB.....	25-45	CPUIDR	4-4
BEMPSTS	25-63	CS1WCNTn	10-15
BRCR	8-11	CS2WCNTn	10-17
BRDYENB	25-41	CSMODn.....	10-13
BRDYSTS	25-55	CSnCNT.....	10-9
BSBPR	34-3	CSnREC.....	10-10
BSID	34-9	CYCTR.....	20-65
BSIR	34-3	D0FBCFG	25-24
C0IBCR	7-19	D0FIFO.....	25-25
C0IBNR	7-20	D0FIFOCTR	25-33
C0ICR0.....	7-13	D0FIFOSEL.....	25-30
C0ICR1.....	7-14	D1FBCFG	25-24
C0ICR2.....	7-15	D1FIFO.....	25-25
C0INTER	7-23	D1FIFOCTR	25-33
C0IPCR15 ~ 08.....	7-21	D1FIFOSEL.....	25-30
C0IPER.....	7-22	DACR	23-3
C0IPR01、02、05 ~ 21.....	7-12	DADR0	23-3
C0IRQER.....	7-24	DADR1	23-3
C0IRQRR	7-16	DCPCFG	25-70
C0MSR.....	33-20	DCPCTR	25-73
C0PINTER.....	7-17	DCPMAXP	25-72
C0PIRR	7-18	DEVADDn	25-108
C1IBCR	7-19	DM2DBLKm	11-45
C1IBNR	7-20	DM2DCLMm	11-42

DM2DNBOSTm.....	11-47	FLDATAR.....	24-17
DM2DNLOSTm.....	11-48	FLDTCNTR.....	24-16
DM2DNROSTm.....	11-46	FLDTFIFO.....	24-24
DM2DROWm.....	11-44	FLECFIFO.....	24-24
DMACR.....	29-6	FLINTDMACR.....	24-18
DMADI.....	29-7	FLTRCR.....	24-25
DMADO.....	29-7	FPSCR.....	3-6
DMASTS.....	11-41	FPUL.....	3-7
DMCBCTn.....	11-16	FRMNUM.....	25-65
DMCDADRn.....	11-15	FRQCR0.....	5-10
DMCNTAn.....	11-28	FRQCR1.....	5-13
DMCNTBn.....	11-33	GR_BLTMODE.....	28-25
DMCSADRn.....	11-14	GR_BLTPLY.....	28-6
DMEDET.....	11-40	GR_BRD1CNT.....	28-36
DMICNT.....	11-37	GR_BRDCOL.....	28-35
DMICNTA.....	11-38	GR_DCSET.....	28-22
DMISTS.....	11-39	GR_DELT.....	28-29
DMMODn.....	11-20	GR_DETCOL.....	28-34
DMR2DBLKm.....	11-51	GR_DMAC.....	28-19
DMR2DCLMm.....	11-49	GR_DOSTAT.....	28-8
DMR2DNBOSTm.....	11-53	GR_HSPHAS.....	28-30
DMR2DNLOSTm.....	11-54	GR_INTDIS.....	28-17
DMR2DNROSTm.....	11-52	GR_INTMSK.....	28-15
DMR2DROWm.....	11-50	GR_IRSTAT.....	28-11
DMRBCTn.....	11-19	GR_LGDAT.....	28-33
DMRDADRn.....	11-18	GR_MIXPLY.....	28-7
DMRSADRn.....	11-17	GR_PIXLFMT.....	28-24
DMSCNT.....	11-36	GR_RISZMOD.....	28-28
DREQER0 ~ 8.....	7-28	GR_RISZSET.....	28-27
DSCTR.....	33-22	GR_SABSET.....	28-21
DSFR.....	33-24	GR_VSDLY.....	28-44
DSSSR.....	33-23	GR_VSPHAS.....	28-31
DVSTCTR0.....	25-14	GSR.....	20-30
DVSTCTR1.....	25-18	HEADR.....	29-12
EVCLR.....	29-9	HIZCR.....	33-19
EVMSR.....	29-8	ICCR1.....	18-5
FBYTR.....	29-17	ICCR2.....	18-8
FL4ECCCNT.....	24-28	ICDRR.....	18-16
FL4ECCCR.....	24-27	ICDRS.....	18-16
FL4ECCRESn.....	24-26	ICDRT.....	18-15
FLADR.....	24-13	ICIER.....	18-11
FLADR2.....	24-15	ICMR.....	18-9
FLBSYCNTR.....	24-23	ICSR.....	18-13
FLBSYTMR.....	24-22	IDCNT6 ~ 144.....	7-25
FLCMCDR.....	24-12	IEAR1.....	21-21
FLCMDCR.....	24-10	IEAR2.....	21-22
FLCMNCR.....	24-7	IECKSR.....	21-36

IECMR	21-18	PACRL4	30-11
IECTR	21-17	PADRL	31-4
IEFLG	21-27	PAIORL	30-11
IEIER	21-35	PAPRL	31-5
IEIET	21-31	PBCRH1	30-15
IELA1	21-26	PBCRH2	30-14
IELA2	21-26	PBCRL1	30-17
IEMA1	21-24	PBCRL2	30-16
IEMA2	21-24	PBCRL3	30-16
IEMCR	21-19	PBCRL4	30-15
IERB	21-37	PBDRH	31-6
IERBFL	21-25	PBDRL	31-7
IERCTL	21-25	PBIORH	30-13
IERSR	21-32	PBIORL	30-14
IESA1	21-22	PBPRH	31-8
IESA2	21-23	PBPRL	31-8
IETB	21-37	PCCRL1	30-19
IETBFL	21-23	PCCRL2	30-18
IETSR	21-29	PCCRL3	30-18
IMR	20-43	PCDRL	31-9
INTENB0	25-36	PCIORL	30-17
INTENB1	25-38	PCPRL	31-10
INTENB2	25-40	PDCRL1	30-20
INTSTS0	25-48	PDDRL	31-11
INTSTS1	25-51	PDIORL	30-19
INTSTS2	25-53	PDPRL	31-12
IRR	20-36	PECRL1	30-22
MBIMR0	20-54	PECRL2	30-22
MBIMR1	20-54	PECRL3	30-21
MBOTR	29-10	PECRL4	30-21
MCR	20-24	PEDRL	31-13
MGR_HDELT	28-32	PEIORL	30-20
MGR_HPHAS	28-32	PEPRL	31-14
MGR_MIXHS	28-41	PFCL1	30-24
MGR_MIXHTMG	28-40	PFCL2	30-23
MGR_MIXMODE	28-38	PFDRL	31-15
MGR_MIXVS	28-43	PFIORL	30-23
MGR_MIXVTMG	28-42	PPPRL	31-16
MGR_SESET	28-23	PGCL1	30-25
MSS1R	29-15	PGCL2	30-24
MSS2R	29-15	PGDRL	31-17
NF2CYC	18-16	PHCL1	30-27
NRDYENB	25-43	PHCL2	30-27
NRDYSTS	25-59	PHCL3	30-26
PACRL1	30-13	PHCL4	30-26
PACRL2	30-12	PHDRL	31-18
PACRL3	30-12	PHIORL	30-25

PHPRL.....	31-19	RXPR1	20-52
PIPEBUF	25-84	RYRAR.....	15-18
PIPECFG.....	25-80	RYRCNT	15-11
PIPEMAXP	25-86	SAR (IIC3)	18-15
PIPEnCTR.....	25-93, 25-100	SCBRR.....	16-17
PIPEnTRE	25-105	SCEMR	16-31
PIPEnTRN	25-106	SCFCR	16-25
PIPEPERI.....	25-88	SCFDR	16-27
PIPESEL.....	25-79	SCFRDR	16-6
PJCRL1	30-30	SCFSR	16-12
PJCRL2	30-29	SCFTDR.....	16-7
PJCRL3	30-29	SCLSR	16-30
PJCRL4	30-28	SCRSR.....	16-6
PJDRL	31-20	SCSCR.....	16-10
PJIORL	30-28	SCSMR	16-7
PJPRL	31-21	SCSPTR.....	16-28
PKCRL1.....	30-31	SCTSR	16-6
PKDRL.....	31-22	SDBPR.....	34-10
PKIORL	30-30	SDBSR.....	34-4
PKPRL.....	31-23	SDBTR	29-16
QCHAR.....	29-15	SDCKSCNT	10-33
QGGAR	29-15	SDCmCNT	10-12
QLMDR.....	29-15	SDDPWCNT	10-26
R64CNT.....	15-4	SDFOR.....	29-16
RCR1.....	15-18	SDIR.....	34-10
RCR2.....	15-20	SDIR0.....	10-23
RCR3.....	15-21	SDIR1	10-24
RDAYAR.....	15-16	SDmADR.....	10-27
RDAYCNT	15-9	SDmMOD	10-30
REC	20-43	SDmTR.....	10-28
RFMK	20-65	SDPWCNT	10-25
RFPR0	20-53	SDRFCNT0	10-20
RFPR1	20-53	SDRFCNT1	10-21
RFTROFF.....	20-60	SDSTR	10-31
RHRAR.....	15-14	SDTRR	29-15
RHRCNT	15-7	SEMR0 ~ 31	4-5
RMINAR	15-13	SOFCFG	25-47
RMINCNT	15-6	SSCR2	17-12
RMONAR.....	15-17	SSCRH.....	17-5
RMONCNT	15-10	SSCRL	17-6
RPRSR.....	29-5	SSER.....	17-8
RRAMKP	33-21	SSICR	19-6
RSECAR.....	15-12	SSIFCR	19-15
RSECCNT	15-5	SSIFDR	19-19
RWKAR	15-15	SSIFSR	19-17
RWKCNT.....	15-8	SSIRDR.....	19-14
RXPRO.....	20-52	SSISR.....	19-11

SSITDR	19-14	TDER.....	12-62
SSMR	17-7	TEC	20-43
SSRDR0 ~ SSRDR3	17-14	TESTMODE	25-21
SSSR.....	17-9	TGCR	12-56
SSTDR0 ~ SSTDR3	17-13	TGR.....	12-45
SSTRSR	17-15	TICCR	12-41
STBCR1	33-4	TIER	12-33
STBCR2	33-5	TIOR.....	12-15
STBCR3	33-6	TITCNT.....	12-60
STBCR4	33-8	TITCR.....	12-59
STBCR5	33-9	TMDR	12-13
STBCR6	33-10	TOCR1	12-50
STBCR7	33-11	TOCR2	12-52
SWRSR	29-4	TOER	12-49
SWRSTCR	33-18	TOLBR	12-55
SYSCFG0.....	25-8	TRWER	12-48
SYSCFG1.....	25-11	TSR	12-36, 20-61
SYSCR1	33-12	TSTR	12-46
SYSCR10.....	33-17	TSYR.....	12-47
SYSCR11.....	33-17	TTCR0.....	20-57
SYSCR12.....	33-17	TTTSEL.....	20-68
SYSCR2	33-13	TWCR.....	12-63
SYSCR3	33-14	TXACK0	20-50
SYSCR4	33-14	TXACK1	20-50
SYSCR5	33-14	TXCR0.....	20-49
SYSCR6	33-14	TXCR1.....	20-48
SYSCR7	33-15	TXPR0.....	20-47
SYSCR8	33-16	TXPR1.....	20-47
SYSCR9	33-17	UFRMNUM.....	25-67
SYSSTS0	25-12	UMSR0.....	20-55
SYSSTS1	25-13	UMSR1.....	20-55
TADCOBRA_4	12-44	USBACSWR0	25-110
TADCOBRB_4	12-44	USBACSWR1	25-111
TADCORA_4	12-44	USBADDR.....	25-67
TADCORB_4	12-44	USBINDX	25-69
TADCR	12-42	USBLENG	25-69
TBRSR	29-11	USBREQ	25-68
TBTER.....	12-61	USBVAL.....	25-68
TBTM.....	12-40	VDAC_TMC	28-45
TCBR.....	12-58	WRCSR.....	14-7
TCDR.....	12-58	WTCNT	14-4
TCMR0 ~ 2	20-66	WTCSR	14-5
TCNT	12-45	レジスタアドレス一覧（機能モジュールごと、 マニュアル章番号順）	35-2
TCNTR	20-64	レジスタのデータ形式	2-5
TCNTS.....	12-57	レジスタバンク	2-4, 7-48
TCR	12-10	レジスタバンクエラー	6-11
TDDR.....	12-57		

レジスタバンクエラー例外処理	6-11, 7-52
レジスタバンクとバンク制御レジスタ	7-49
レジスタバンクの例外	7-51
レジスタビット一覧	35-37
ローカルアクセプタンスフィルタマスク (LAFM) ..	20-17
ローテート機能	11-82
ロードストアアーキテクチャ	2-7
論理演算命令	2-29

【わ】

ワードデータの符号拡張	2-7
割り込み応答時間	7-43
割り込みコントローラ (INTC)	7-1
割り込み優先順位	6-13
割り込み要因クリアのタイミング	7-52
割り込み例外処理	6-14
割り込み例外処理終了後のスタックの状態	7-42
割り込み例外ベクタと優先順位	7-35

ルネサス32ビットRISCマイクロコンピュータ
SH7265グループ
ユーザーズマニュアル ハードウェア編

発行年月日 2010年1月29日 Rev.2.00
2014年3月27日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH7265 グループ
ユーザーズマニュアル ハードウェア編