

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7050、SH7051グループ

ハードウェアマニュアル

ルネサス32ビットRISCマイクロコンピュータ

SuperH™ RISC engineファミリ / SH7050シリーズ

SH7050	HD6437050F20
	HD64F7050SF20
SH7051	HD64F7051SF20

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

はじめに

SH7050、SH7051 グループは、ルネサスオリジナルの RISC (Reduced instruction set computer) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

SH7050、SH7051 グループの CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート (1 システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに SH7050、SH7051 グループはシステム構成に必要な周辺機能として、大容量 ROM、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、タイマ、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。

また、外部メモリアクセスサポート機能により、ROM や SRAM と直接接続が行えます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM にはマスク ROM 版とフラッシュメモリ版があります。フラッシュメモリは本 LSI の書き込みをサポートしているライターを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み / 消去することもできます。

このハードウェアマニュアルでは、SH7050、SH7051 グループのハードウェアについて説明します。命令の詳細については、プログラミングマニュアルをご覧ください。

関連するマニュアル

SH7050、SH7051 グループの実行命令について

「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」(資料 No. RJJ09B0228-0700)

開発環境システムについては、当社営業所までお問い合わせください。

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）
全体		<ul style="list-style-type: none">・ 社名変更による変更 日立製作所 ルネサステクノロジ・ 呼称変更による変更 SH7050 シリーズ SH7050,SH7051 グループ・ パッケージコード変更による変更 FP-168B PRQP0168JA-A

目次

第1章 概要

1.1	特長	1-1
1.2	ブロック図	1-5
1.3	端子説明	1-6
1.3.1	ピン配置	1-6
1.3.2	端子機能	1-7
1.3.3	端子一覧	1-11

第2章 CPU

2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ (Rn)	2-1
2.1.2	コントロールレジスタ	2-2
2.1.3	システムレジスタ	2-3
2.1.4	レジスタの初期値	2-3
2.2	データ形式	2-4
2.2.1	レジスタのデータ形式	2-4
2.2.2	メモリ上でのデータ形式	2-4
2.2.3	イミディエイトデータのデータ形式	2-4
2.3	命令の特長	2-5
2.3.1	RISC方式	2-5
2.3.2	アドレッシングモード	2-8
2.3.3	命令形式	2-11
2.4	命令セット	2-13
2.4.1	分類順命令セット	2-13
2.5	処理状態	2-21
2.5.1	状態遷移	2-21

第3章 動作モード

3.1	動作モードの種類と選択	3-1
-----	-------------	-----

第4章 クロック発振器

4.1	概要	4-1
4.1.1	ブロック図	4-1
4.1.2	端子構成	4-2
4.2	クロック動作モード	4-3
4.3	クロックソース	4-4
4.3.1	水晶発振子の接続方法	4-4
4.3.2	外部クロックの入力方法	4-5

4.4	使用上の注意.....	4-6
第5章 例外処理		
5.1	概要.....	5-1
5.1.1	例外処理の種類と優先順位.....	5-1
5.1.2	例外処理の動作.....	5-2
5.1.3	例外処理ベクタテーブル.....	5-3
5.2	リセット.....	5-5
5.2.1	パワーオンリセット.....	5-5
5.3	アドレスエラー.....	5-6
5.3.1	アドレスエラー発生要因.....	5-6
5.3.2	アドレスエラー例外処理.....	5-6
5.4	割り込み.....	5-7
5.4.1	割り込み要因.....	5-7
5.4.2	割り込み優先順位.....	5-8
5.4.3	割り込み例外処理.....	5-8
5.5	命令による例外.....	5-9
5.5.1	命令による例外の種類.....	5-9
5.5.2	トラップ命令.....	5-9
5.5.3	スロット不当命令.....	5-9
5.5.4	一般不当命令.....	5-9
5.6	例外処理が受け付けられない場合.....	5-10
5.6.1	遅延分岐命令の直後.....	5-10
5.6.2	割り込み禁止命令の直後.....	5-10
5.7	例外処理後のスタックの状態.....	5-11
5.8	使用上の注意.....	5-12
5.8.1	スタックポインタ (SP) の値.....	5-12
5.8.2	ベクタベースレジスタ (VBR) の値.....	5-12
5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー.....	5-12
第6章 割り込みコントローラ (INTC)		
6.1	概要.....	6-1
6.1.1	特長.....	6-1
6.1.2	ブロック図.....	6-2
6.1.3	端子構成.....	6-3
6.1.4	レジスタ構成.....	6-3
6.2	割り込み要因.....	6-4
6.2.1	NMI 割り込み.....	6-4
6.2.2	ユーザブレイク割り込み.....	6-4
6.2.3	IRQ 割り込み.....	6-4
6.2.4	内蔵周辺モジュール割り込み.....	6-5
6.2.5	割り込み例外処理ベクタと優先順位.....	6-5
6.3	レジスタの説明.....	6-8
6.3.1	割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH).....	6-8
6.3.2	割り込みコントロールレジスタ (ICR).....	6-9

6.3.3	IRQ ステータスレジスタ (ISR)	6-10
6.4	動作説明.....	6-12
6.4.1	割り込み動作の流れ.....	6-12
6.4.2	割り込み例外処理終了後のスタックの状態	6-14
6.5	割り込み応答時間	6-15
6.6	割り込み要求信号によるデータ転送.....	6-17
6.6.1	割り込み要求信号を CPU の割り込み要因とし、 DMAC の起動要因としない場合	6-17
6.6.2	割り込み要求信号を DMAC の起動要因とし、 CPU の割り込み要因としない場合.....	6-17
第 7 章 ユーザブレイクコントローラ (UBC)		
7.1	概要.....	7-1
7.1.1	特長	7-1
7.1.2	ブロック図.....	7-2
7.1.3	レジスタ構成	7-3
7.2	レジスタの説明	7-4
7.2.1	ユーザブレイクアドレスレジスタ (UBAR)	7-4
7.2.2	ユーザブレイクアドレスマスクレジスタ (UBAMR)	7-5
7.2.3	ユーザブレイクバスサイクルレジスタ (UBBR)	7-6
7.3	動作説明.....	7-8
7.3.1	ユーザブレイク動作の流れ.....	7-8
7.3.2	内蔵メモリの命令フェッチサイクルによるブレイク	7-10
7.3.3	退避するプログラムカウンタ (PC) の値	7-10
7.4	ユーザブレイク使用例	7-11
7.5	使用上の注意.....	7-13
7.5.1	2 命令同時フェッチ	7-13
7.5.2	分岐時の命令フェッチ	7-13
7.5.3	ユーザブレイクと例外処理の競合	7-13
7.5.4	非遅延分岐命令の飛び先でのブレイク	7-13
第 8 章 バスステートコントローラ		
8.1	概要.....	8-1
8.1.1	特長	8-1
8.1.2	ブロック図.....	8-2
8.1.3	端子構成	8-3
8.1.4	レジスタ構成	8-3
8.1.5	アドレスマップ.....	8-4
8.2	レジスタの説明	8-7
8.2.1	バスコントロールレジスタ 1 (BCR1)	8-7
8.2.2	バスコントロールレジスタ 2 (BCR2)	8-8
8.2.3	ウェイトコントロールレジスタ 1 (WCR1)	8-11
8.2.4	ウェイトコントロールレジスタ 2 (WCR2)	8-12
8.2.5	RAM エミュレーションレジスタ (RAMER)	8-13

8.3	外部空間アクセス	8-14
8.3.1	基本タイミング	8-14
8.3.2	ウェイトステート制御	8-14
8.3.3	\overline{CS} アサート期間拡張	8-16
8.4	アクセスサイクル間ウェイト	8-17
8.4.1	データバス衝突防止	8-17
8.4.2	バスサイクル開始検出の容易化	8-18
8.5	バスアービトレーション	8-19
8.6	メモリ接続例	8-20
第9章 ダイレクトメモリアクセスコントローラ (DMAC)		
9.1	概要	9-1
9.1.1	特長	9-1
9.1.2	DMAC ブロック図	9-3
9.1.3	端子構成	9-4
9.1.4	レジスタ構成	9-5
9.2	各レジスタの説明	9-6
9.2.1	DMA ソースアドレスレジスタ 0~3 (SAR0~3)	9-6
9.2.2	DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)	9-6
9.2.3	DMA トランスファカウンタレジスタ 0~3 (DMATCR0~3)	9-7
9.2.4	DMA チャネルコントロールレジスタ 0~3 (CHCR0~3)	9-7
9.2.5	DMA オペレーションレジスタ (DMAOR)	9-12
9.3	動作説明	9-14
9.3.1	動作説明	9-14
9.3.2	DMA 転送要求	9-16
9.3.3	チャンネルの優先順位	9-18
9.3.4	DMA 転送の種類	9-21
9.3.5	バスサイクルのステート数と \overline{DREQ} 端子のサンプリングタイミング	9-33
9.3.6	ソースアドレスリロード機能	9-38
9.3.7	DMA 転送終了	9-40
9.3.8	CPU からの DMAC アクセス	9-40
9.4	使用例	9-41
9.4.1	内蔵 SCI と外部メモリとの DMA 転送例	9-41
9.4.2	外部 RAM と \overline{DACK} 付外部デバイスとの DMA 転送例	9-41
9.4.3	A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン)	9-42
9.4.4	外部メモリと SCI 送信側との DMA 転送例 (インダイレクトアドレスオン)	9-44
9.5	使用上の注意	9-45
第10章 アドバンスドタイマユニット (ATU)		
10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-5
10.1.3	チャンネル間およびモジュール間信号連絡図	10-13
10.1.4	プリスケアラ図	10-14
10.1.5	端子構成	10-15
10.1.6	レジスタ構成およびカウンタ構成	10-17

10.2	レジスタの説明	10-20
10.2.1	タイマスタートレジスタ (TSTR)	10-20
10.2.2	タイマモードレジスタ (TMDR)	10-22
10.2.3	プリスケアラレジスタ 1 (PSCR1)	10-23
10.2.4	タイマコントロールレジスタ (TCR)	10-24
10.2.5	タイマ I/O コントロールレジスタ (TIOR)	10-27
10.2.6	トリガセレクションレジスタ (TGSR)	10-33
10.2.7	タイマステータスレジスタ (TSR)	10-34
10.2.8	タイマインタラプトイネーブルレジスタ (TIER)	10-50
10.2.9	インターバルインタラプトリクエストレジスタ (ITVRR)	10-62
10.2.10	ダウンカウントスタートレジスタ (DSTR)	10-64
10.2.11	タイマコネクションレジスタ (TCNR)	10-67
10.2.12	フリーランニングカウンタ (TCNT)	10-69
10.2.13	インプットキャプチャレジスタ (ICR)	10-71
10.2.14	ジェネラルレジスタ (GR)	10-72
10.2.15	ダウンカウンタ (DCNT)	10-73
10.2.16	オフセットベースレジスタ (OSBR)	10-74
10.2.17	サイクルレジスタ (CYLR)	10-74
10.2.18	バッファレジスタ (BFR)	10-75
10.2.19	デューティレジスタ (DTR)	10-76
10.3	動作説明	10-77
10.3.1	概要	10-77
10.3.2	フリーランニングカウンタ動作と周期カウンタ動作	10-79
10.3.3	アウトプットコンペアマッチ機能	10-80
10.3.4	インプットキャプチャ機能	10-82
10.3.5	ワンショットパルス機能	10-83
10.3.6	オフセット付ワンショットパルス機能	10-84
10.3.7	インターバルタイマ機能	10-86
10.3.8	ツインキャプチャ機能	10-88
10.3.9	PWM タイマ機能	10-89
10.3.10	バッファ機能	10-91
10.3.11	ワンショットパルス機能のパルス出力タイミング	10-92
10.3.12	オフセット付ワンショットパルス機能のパルス出力タイミング	10-93
10.3.13	チャンネル 3~5 の PWM 出力波形の実サイクルと実デューティ	10-94
10.3.14	チャンネル 3~5 の PWM 出力波形の設定と割り込み処理時間	10-95
10.3.15	チャンネル 3~5 のカウンタスタート時の PWM 出力動作	10-96
10.3.16	チャンネル 6~9 のカウンタスタート時の PWM 出力動作	10-97
10.3.17	バッファレジスタ (BFR) の書き込みとバッファ機能による転送のタイミング	10-98
10.4	割り込み	10-99
10.4.1	ステータスフラグのセットタイミング	10-99
10.4.2	割り込みステータスフラグのクリア	10-104
10.5	CPU とのインタフェース	10-106
10.5.1	32 ビットアクセスのみ可能なレジスタ	10-106
10.5.2	16 ビットアクセスのみ可能なレジスタ	10-107
10.5.3	8 ビットおよび 16 ビットアクセス可能なレジスタ	10-108
10.5.4	8 ビットのみアクセス可能なレジスタ	10-109

10.6	設定手順例.....	10-110
10.7	使用上の注意.....	10-118
10.8	アドバンスタイマユニットのレジスタおよび端子の一覧表.....	10-132
第 11 章 アドバンストパルスコントローラ (APC)		
11.1	概要	11-1
11.1.1	特長.....	11-1
11.1.2	ブロック図.....	11-2
11.1.3	端子構成.....	11-3
11.1.4	レジスタ構成.....	11-3
11.2	レジスタの説明.....	11-4
11.2.1	パルスアウトポートコントロールレジスタ (POPCCR)	11-4
11.3	動作説明	11-5
11.3.1	概要.....	11-5
11.3.2	APC 出力動作.....	11-6
11.4	使用上の注意.....	11-8
第 12 章 ウォッチドッグタイマ (WDT)		
12.1	概要	12-1
12.1.1	特長.....	12-1
12.1.2	ブロック図.....	12-2
12.1.3	端子構成.....	12-2
12.1.4	レジスタ構成.....	12-3
12.2	レジスタの説明.....	12-4
12.2.1	タイマカウンタ (TCNT)	12-4
12.2.2	タイマコントロール/ステータスレジスタ (TCSR)	12-4
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	12-6
12.2.4	レジスタアクセス時の注意.....	12-8
12.3	動作説明	12-10
12.3.1	ウォッチドッグタイマモード時の動作.....	12-10
12.3.2	インターバルタイマモード時の動作.....	12-11
12.3.3	ソフトウェアスタンバイモード解除時の動作.....	12-11
12.3.4	オーバフローフラグ (OVF) のセットタイミング.....	12-12
12.3.5	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング.....	12-12
12.4	使用上の注意.....	12-13
12.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合.....	12-13
12.4.2	CKS2 ~ CKS0 ビットの書き換え.....	12-13
12.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え.....	12-13
12.4.4	WDTOVF 信号によるシステムのリセット.....	12-14
12.4.5	ウォッチドッグタイマモードでの内部リセット.....	12-14
第 13 章 シリアルコミュニケーションインタフェース		
13.1	概要	13-1
13.1.1	特長.....	13-1
13.1.2	ブロック図.....	13-2
13.1.3	端子構成.....	13-2

13.1.4	レジスタ構成	13-3
13.2	レジスタの説明	13-4
13.2.1	レシーブシフトレジスタ (RSR)	13-4
13.2.2	レシーブデータレジスタ (RDR)	13-4
13.2.3	トランスミットシフトレジスタ (TSR)	13-4
13.2.4	トランスミットデータレジスタ (TDR)	13-5
13.2.5	シリアルモードレジスタ (SMR)	13-5
13.2.6	シリアルコントロールレジスタ (SCR)	13-8
13.2.7	シリアルステータスレジスタ (SSR)	13-11
13.2.8	ビットレートレジスタ (BRR)	13-15
13.3	動作説明	13-22
13.3.1	概要	13-22
13.3.2	調歩同期式モード時の動作	13-24
13.3.3	マルチプロセッサ通信機能	13-34
13.3.4	クロック同期式モード時の動作	13-41
13.4	SCI の割り込み要因と DMAC	13-50
13.5	使用上の注意	13-51
第 14 章 A/D 変換器		
14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-3
14.1.3	端子構成	14-4
14.1.4	レジスタ構成	14-5
14.2	レジスタの説明	14-6
14.2.1	A/D データレジスタ 0 ~ 15 (ADDR0 ~ ADDR15)	14-6
14.2.2	A/D コントロールステータスレジスタ 0 (ADCSR0)	14-7
14.2.3	A/D コントロールレジスタ 0 (ADCR0)	14-10
14.2.4	A/D コントロールステータスレジスタ 1 (ADCSR1)	14-12
14.2.5	A/D コントロールレジスタ 1 (ADCR1)	14-13
14.2.6	A/D トリガレジスタ (ADTRGR)	14-14
14.3	CPU とのインタフェース	14-15
14.4	動作説明	14-16
14.4.1	単一モード	14-16
14.4.2	スキャンモード	14-18
14.4.3	アナログ入力のサンプリングと A/D 変換時間	14-20
14.4.4	外部トリガによる A/D 変換器の起動	14-21
14.4.5	ATU による A/D 変換器の起動	14-22
14.4.6	ADEND 出力端子	14-22
14.5	割り込み要因と DMA 転送要求	14-23
14.6	使用上の注意	14-23
第 15 章 コンペアマッチタイマ (CMT)		
15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-1

15.1.3	レジスタ構成	15-2
15.2	レジスタの説明	15-3
15.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	15-3
15.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	15-3
15.2.3	コンペアマッチタイマカウンタ (CMCNT)	15-5
15.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	15-5
15.3	動作説明	15-6
15.3.1	周期カウント動作	15-6
15.3.2	CMCNT のカウントタイミング	15-6
15.4	割り込み	15-7
15.4.1	割り込み要因	15-7
15.4.2	コンペアマッチフラグのセットタイミング	15-7
15.4.3	コンペアマッチフラグのクリアタイミング	15-8
15.5	使用上の注意	15-9
第 16 章 ピンファンクションコントローラ (PFC)		
16.1	概要	16-1
16.2	レジスタ構成	16-4
16.3	レジスタ説明	16-5
16.3.1	ポート A・IO レジスタ (PAIOR)	16-5
16.3.2	ポート A コントロールレジスタ (PACR)	16-5
16.3.3	ポート B・IO レジスタ (PBIOR)	16-9
16.3.4	ポート B コントロールレジスタ (PBCR)	16-9
16.3.5	ポート C・IO レジスタ (PCIOR)	16-12
16.3.6	ポート C コントロールレジスタ 1、2 (PCCR1、PCCR2)	16-13
16.3.7	ポート D・IO レジスタ (PDIOR)	16-17
16.3.8	ポート D・コントロールレジスタ (PDCR)	16-18
16.3.9	ポート E・IO レジスタ (PEIOR)	16-22
16.3.10	ポート E コントロールレジスタ (PECR)	16-22
16.3.11	ポート F・IO レジスタ (PFIOR)	16-26
16.3.12	ポート F・コントロールレジスタ 1、2 (PFCR1、PFCR2)	16-26
16.3.13	ポート G・IO レジスタ (PGIOR)	16-30
16.3.14	ポート G・コントロールレジスタ 1、2 (PGCR1、PGCR2)	16-30
16.3.15	CK コントロールレジスタ (CKCR)	16-35
第 17 章 I/O ポート (I/O)		
17.1	概要	17-1
17.2	ポート A	17-1
17.2.1	レジスタ構成	17-2
17.2.2	ポート A データレジスタ (PADR)	17-2
17.3	ポート B	17-3
17.3.1	レジスタ構成	17-3
17.3.2	ポート B データレジスタ (PBDR)	17-4
17.4	ポート C	17-5
17.4.1	レジスタ構成	17-5
17.4.2	ポート C データレジスタ (PCDR)	17-6

17.5	ポート D	17-7
17.5.1	レジスタ構成	17-8
17.5.2	ポート D データレジスタ (PDDR)	17-8
17.6	ポート E	17-9
17.6.1	レジスタ構成	17-9
17.6.2	ポート E データレジスタ (PEDR)	17-10
17.7	ポート F	17-11
17.7.1	レジスタ構成	17-11
17.7.2	ポート F データレジスタ (PFDR)	17-12
17.8	ポート G	17-13
17.8.1	レジスタ構成	17-13
17.8.2	ポート G データレジスタ (PGDR)	17-14
17.9	ポート H	17-15
17.9.1	レジスタ構成	17-15
17.9.2	ポート H データレジスタ (PHDR)	17-16
17.10	POD (ポートアウトプットディスエーブル)	17-16
第 18 章 ROM (128kB 版)		
18.1	特長	18-1
18.2	概要	18-2
18.2.1	ブロック図	18-2
18.2.2	モード遷移図	18-3
18.2.3	オンボードプログラムモード	18-4
18.2.4	RAM によるフラッシュメモリのエミュレーション	18-6
18.2.5	ブートモードとユーザプログラムモードの相違点	18-7
18.2.6	ブロック分割法	18-7
18.3	端子構成	18-8
18.4	レジスタ構成	18-8
18.5	レジスタの説明	18-9
18.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	18-9
18.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	18-11
18.5.3	ブロック指定レジスタ 1 (EBR1)	18-12
18.5.4	RAM エミュレーションレジスタ (RAMER)	18-13
18.6	オンボードプログラミングモード	18-15
18.6.1	ブートモード	18-16
18.6.2	ユーザプログラムモード	18-19
18.7	フラッシュメモリの書き込み / 消去	18-20
18.7.1	プログラムモード	18-20
18.7.2	プログラムベリファイモード	18-21
18.7.3	イレースモード	18-23
18.7.4	イレースベリファイモード	18-23
18.8	プロテクト	18-25
18.8.1	ハードウェアプロテクト	18-25
18.8.2	ソフトウェアプロテクト	18-25

18.8.3	エラープロテクト.....	18-26
18.9	RAM によるフラッシュメモリのエミュレーション.....	18-27
18.10	フラッシュメモリの書き込み / 消去時の注意.....	18-29
18.11	フラッシュメモリのライターモード.....	18-29
18.11.1	ソケットアダプタの端子対応図.....	18-29
18.11.2	ライターモードの動作.....	18-31
18.11.3	メモリ読み出しモード.....	18-32
18.11.4	自動書き込みモード.....	18-35
18.11.5	自動消去モード.....	18-36
18.11.6	ステータス読み出しモード.....	18-37
18.11.7	ステータスポーリング.....	18-38
18.11.8	ライターモードへの遷移時間.....	18-38
18.11.9	メモリ書き込み注意事項.....	18-39
18.12	F-ZTAT マイコンのマスク ROM 化時の注意事項.....	18-39
第 19 章 ROM (256kB 版)		
19.1	特長.....	19-1
19.2	概要.....	19-2
19.2.1	ブロック図.....	19-2
19.2.2	モード遷移図.....	19-3
19.2.3	オンボードプログラムモード.....	19-4
19.2.4	RAM によるフラッシュメモリのエミュレーション.....	19-6
19.2.5	ブートモードとユーザプログラムモードの相違点.....	19-7
19.2.6	ブロック分割法.....	19-7
19.3	端子構成.....	19-8
19.4	レジスタ構成.....	19-8
19.5	レジスタの説明.....	19-9
19.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1).....	19-9
19.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2).....	19-11
19.5.3	ブロック指定レジスタ 1 (EBR1).....	19-13
19.5.4	ブロック指定レジスタ 2 (EBR2).....	19-14
19.5.5	RAM エミュレーションレジスタ (RAMER).....	19-14
19.6	オンボードプログラミングモード.....	19-16
19.6.1	ブートモード.....	19-17
19.6.2	ユーザプログラムモード.....	19-20
19.7	フラッシュメモリの書き込み / 消去.....	19-21
19.7.1	プログラムモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2).....	19-21
19.7.2	プログラムベリファイモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2).....	19-22
19.7.3	イレースモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2).....	19-24
19.7.4	イレースベリファイモード (対象アドレス H'00000 ~ H'1FFFF のとき、 n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2).....	19-24

19.8	プロテクト.....	19-26
19.8.1	ハードウェアプロテクト.....	19-26
19.8.2	ソフトウェアプロテクト.....	19-26
19.8.3	エラープロテクト.....	19-27
19.9	RAM によるフラッシュメモリのエミュレーション.....	19-28
19.10	フラッシュメモリの書き込み / 消去時の注意.....	19-30
19.11	フラッシュメモリのライターモード.....	19-30
19.11.1	ソケットアダプタの端子対応図.....	19-30
19.11.2	ライターモードの動作.....	19-32
19.11.3	メモリ読み出しモード.....	19-33
19.11.4	自動書き込みモード.....	19-36
19.11.5	自動消去モード.....	19-37
19.11.6	ステータス読み出しモード.....	19-38
19.11.7	ステータスポーリング.....	19-39
19.11.8	ライターモードへの遷移時間.....	19-40
19.11.9	メモリ書き込み注意事項.....	19-40
19.12	F-ZTAT マイコンのマスク ROM 化時の注意事項.....	19-40
第 20 章 RAM		
20.1	概要.....	20-1
20.1.1	概要.....	20-1
20.2	動作説明.....	20-2
第 21 章 低消費電力状態		
21.1	概要.....	21-1
21.1.1	低消費電力モードの種類.....	21-1
21.1.2	端子構成.....	21-3
21.1.3	関連レジスタ.....	21-3
21.2	レジスタの説明.....	21-4
21.2.1	スタンバイコントロールレジスタ (SBYCR).....	21-4
21.2.2	システムコントロールレジスタ (SYSCR).....	21-5
21.3	ハードウェアスタンバイモード.....	21-6
21.3.1	ハードウェアスタンバイモードへの遷移.....	21-6
21.3.2	ハードウェアスタンバイモードの解除.....	21-6
21.3.3	ハードウェアスタンバイモードのタイミング.....	21-6
21.4	ソフトウェアスタンバイモード.....	21-7
21.4.1	ソフトウェアスタンバイモードへの遷移.....	21-7
21.4.2	ソフトウェアスタンバイモードの解除.....	21-8
21.4.3	ソフトウェアスタンバイモードの応用例.....	21-9
21.5	スリープモード.....	21-10
21.5.1	スリープモードへの遷移.....	21-10
21.5.2	スリープモードの解除.....	21-10

第 22 章 電気的特性

22.1	絶対最大定格.....	22-1
22.2	DC 特性.....	22-2
22.3	AC 特性.....	22-4
22.3.1	クロックタイミング.....	22-4
22.3.2	制御信号タイミング.....	22-6
22.3.3	バスタイミング.....	22-8
22.3.4	ダイレクトメモリアクセスコントローラタイミング.....	22-12
22.3.5	アドバンストイマユニットタイミング、アドバンストパルス コントローラタイミング.....	22-14
22.3.6	I/O ポートタイミング.....	22-15
22.3.7	ウォッチドッグタイマタイミング.....	22-15
22.3.8	シリアルコミュニケーションインタフェースタイミング.....	22-16
22.3.9	A/D 変換器タイミング.....	22-17
22.3.10	AC 特性測定条件.....	22-18
22.4	A/D 変換器特性.....	22-19

付録

A.	内蔵周辺モジュールレジスタ.....	付録-1
A.1	アドレス一覧.....	付録-1
A.2	レジスタ一覧.....	付録-14
A.3	リセット、低消費電力状態でのレジスタ状態.....	付録-91
B.	端子状態.....	付録-94
B.1	リセット、低消費電力、バス権解放状態での端子状態.....	付録-94
B.2	バス関連信号の端子状態.....	付録-96
C.	型名一覧.....	付録-97
D.	外形寸法図.....	付録-98

1. 概要

1.1 特長

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート (1 システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに本 LSI はシステム構成に必要な周辺機能として、大容量 ROM、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、タイマ、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。

また、外部メモリアクセスサポート機能により、ROM や SRAM と直接接続が行えます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM にはマスク ROM 版とフラッシュメモリを内蔵した F-ZTAT™*(Flexible Zero Turn Around Time) 版があります。フラッシュメモリは本 LSI の書き込みをサポートしているライタを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み / 消去することもできます。これにより、ユーザサイトで LSI をボードに組み込んだままの書き換えが可能です。

本 LSI の特長を表 1.1 に示します。

【注】* F-ZTAT は、(株)ルネサステクノロジの商標です。

1. 概要

表 1.1 本 LSI の特長

項目	特長
CPU	ルネサスオリジナルアーキテクチャを採用 内部 32 ビット構成 汎用レジスタマシン <ul style="list-style-type: none"> • 汎用レジスタ 32 ビット×16 本 • コントロールレジスタ 32 ビット×3 本 • システムレジスタ 32 ビット×4 本 RISC タイプの命令セット <ul style="list-style-type: none"> • 16 ビット固定長命令による優れたコード効率 • ロードストアアーキテクチャ (基本演算はレジスタ間で実行) • 無条件 / 条件分岐命令を遅延分岐方式とすることで、分岐時のパイプラインの乱れを軽減 • C 言語指向の命令セット 命令実行時間 基本命令は 1 命令 / 1 ステート (20MHz 動作時 : 50ns / 命令) アドレス空間 アーキテクチャ上は 4GB 乗算器内蔵 乗算器内蔵により、 32×32 64 の乗算を通常 2~4 ステートで実行 32×32+64 64 の積和演算を通常 2~4 ステートで実行 パイプライン 5 段パイプライン方式
動作状態	動作モード <ul style="list-style-type: none"> • シングルチップモード • 8/16 ビットバス拡張モード (エリア 0 のみモード端子で設定) 内蔵 ROM ありモード 内蔵 ROM なしモード 処理状態 <ul style="list-style-type: none"> • パワーオンリセット状態 • プログラム実行状態 • 例外処理状態 • バス権解放状態 • 低消費電力状態 低消費電力状態 <ul style="list-style-type: none"> • スリープモード • ソフトウェアスタンバイモード • ハードウェアスタンバイモード
割り込み コントローラ (INTC)	外部割り込み端子×9 本 (NMI、IRQ0~IRQ7) 内部割り込み要因 66 要因 (ATU×44、SCI×12、DMAC×4、A/D×2、WDT×1、UBC×1、CMT×2) 16 レベルの優先順位設定が可能
ユーザブレイク コントローラ (UBC)	CPU や DMAC が、ある設定した条件のバスサイクルを生成すると割り込みを発生 オンチップデバッグの構築が容易
クロック発振器 (CPG/PLL)	クロック発振器内蔵 (最大動作周波数 : 20MHz) 内蔵 PLL によりクロックの逡倍 (×1、×2、×4) が可能 外部入力周波数範囲 : 4~10MHz

項目	特長
バスステート コントローラ (BSC)	外部のメモリアクセスをサポート (SRAM、ROM をダイレクト接続可) <ul style="list-style-type: none"> 外部データバスは 8/16 ビット 外部アドレス空間を 4 エリアに分割 各々のエリアごとに下記の設定が可能 <ul style="list-style-type: none"> バスサイズ (8/16 ビット) ウェイトサイクル数 各エリアに対応したチップセレクト信号 ($\overline{CS0} \sim \overline{CS3}$) を出力 外部 WAIT 信号によるウェイトサイクルの挿入可 外部最小アクセスサイクル 2 サイクル バス衝突回避のためのアイドルサイクル挿入可 (外部空間に対するリードサイクルとライトサイクルの間など)
ダイレクトメモリ アクセス コントローラ (DMAC) × 4 チャネル	下記デバイス間の DMA 転送が可能 <ul style="list-style-type: none"> 外部メモリ、外部 I/O、内蔵メモリ、内蔵周辺モジュール (除く DMAC、UBC、BSC) 外部端子、内蔵 SCI、内蔵 A/D、内蔵 ATU からの DMA 転送要求可能 サイクルスチールまたはバースト転送可能 チャネル間優先順位設定可能 チャネル 0、1 デュアル/シングルアドレスモード転送選択可、外部要求可 チャネル 2、3 デュアルアドレスモード転送、内部要求のみ ソースアドレスリロード機能 (チャネル 2 のみ) 直接アドレス転送モード/間接アドレス転送モード切り替え可能 (チャネル 3 のみ) <ul style="list-style-type: none"> 直接アドレス転送モード: 転送元アドレスにあるデータを転送先アドレスに転送 間接アドレス転送モード: 転送元アドレスにあるデータをアドレスとして、そのアドレスにある転送先アドレスに転送
アドバンスト タイマユニット (ATU)	2 段構成のプリスケアラを内蔵 フリーランニングカウンタ 10 本、ダウンカウンタ 8 本、計 18 本 最大 34 本のパルス入出力処理が可能 <ul style="list-style-type: none"> 32 ビットインプットキャプチャ × 4 本 16 ビットワンショットパルス × 8 本 16 ビットインプットキャプチャ/アウトプットコンペア × 18 本 16 ビット PWM × 4 本 16 ビットインプットキャプチャ × 1 本 (端子なし)
アドバンストパルスコン トローラ (APC)	最大 8 本のパルス出力可能
ウォッチドッグタイマ (WDT) × 1 チャネル	ウォッチドッグタイマ/インターバルタイマの切り替えが可能 カウンタオーバーフロー時、内部リセット、外部信号、または割り込みを発生
シリアル コミュニケーションイン タフェース (SCI) × 3 チャネル	調歩同期/クロック同期式モードの選択が可能 送受信を同時に行うことが可能 (全二重) 専用のボーレートジェネレータ内蔵 マルチプロセッサ間通信機能
A/D 変換器	分解能 10 ビット チャネル数: 16 チャネル <ul style="list-style-type: none"> サンプル&ホールド機能 2 ユニット内蔵 (12 チャネルと 4 チャネル独立動作) 単一モード/スキャンモードの選択が可能 外部トリガと ATU のコンペアマッチによる起動も可能 A/D 変換終了時、ADEND 出力 (A/D1 のみ)
コンペアマッチタイマ (CMT) × 2 チャネル	4 種類のカウンタ入力クロックを選択可能 コンペアマッチ割り込みを各チャネル独立に要求可能

1. 概要

項目	特長																
I/O ポート	入出力：102本 入力：16本 合計118本（兼用ポート） • ビットごとに入出力設定可能																
大容量内蔵メモリ	<table border="1"><thead><tr><th>メモリ \ 品名</th><th colspan="2">SH7050</th><th>SH7051</th></tr></thead><tbody><tr><td>マスクROM</td><td>128kB</td><td></td><td></td></tr><tr><td>フラッシュメモリ</td><td></td><td>128kB</td><td>256kB</td></tr><tr><td>RAM</td><td>6kB</td><td>6kB</td><td>10kB</td></tr></tbody></table>	メモリ \ 品名	SH7050		SH7051	マスクROM	128kB			フラッシュメモリ		128kB	256kB	RAM	6kB	6kB	10kB
メモリ \ 品名	SH7050		SH7051														
マスクROM	128kB																
フラッシュメモリ		128kB	256kB														
RAM	6kB	6kB	10kB														

1.2 ブロック図

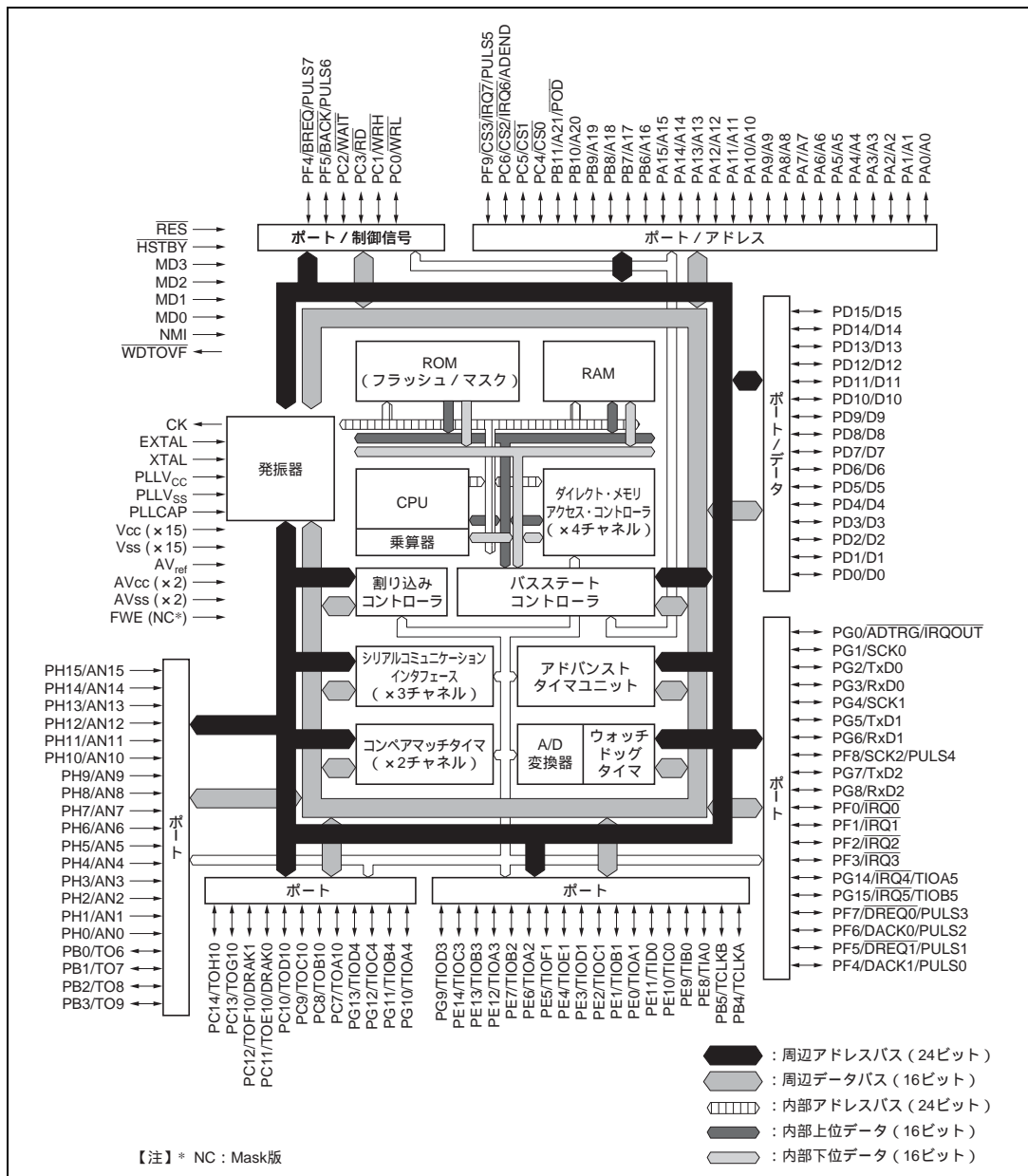


図 1.1 ブロック図

1. 概要

1.3 端子説明

1.3.1 ピン配置

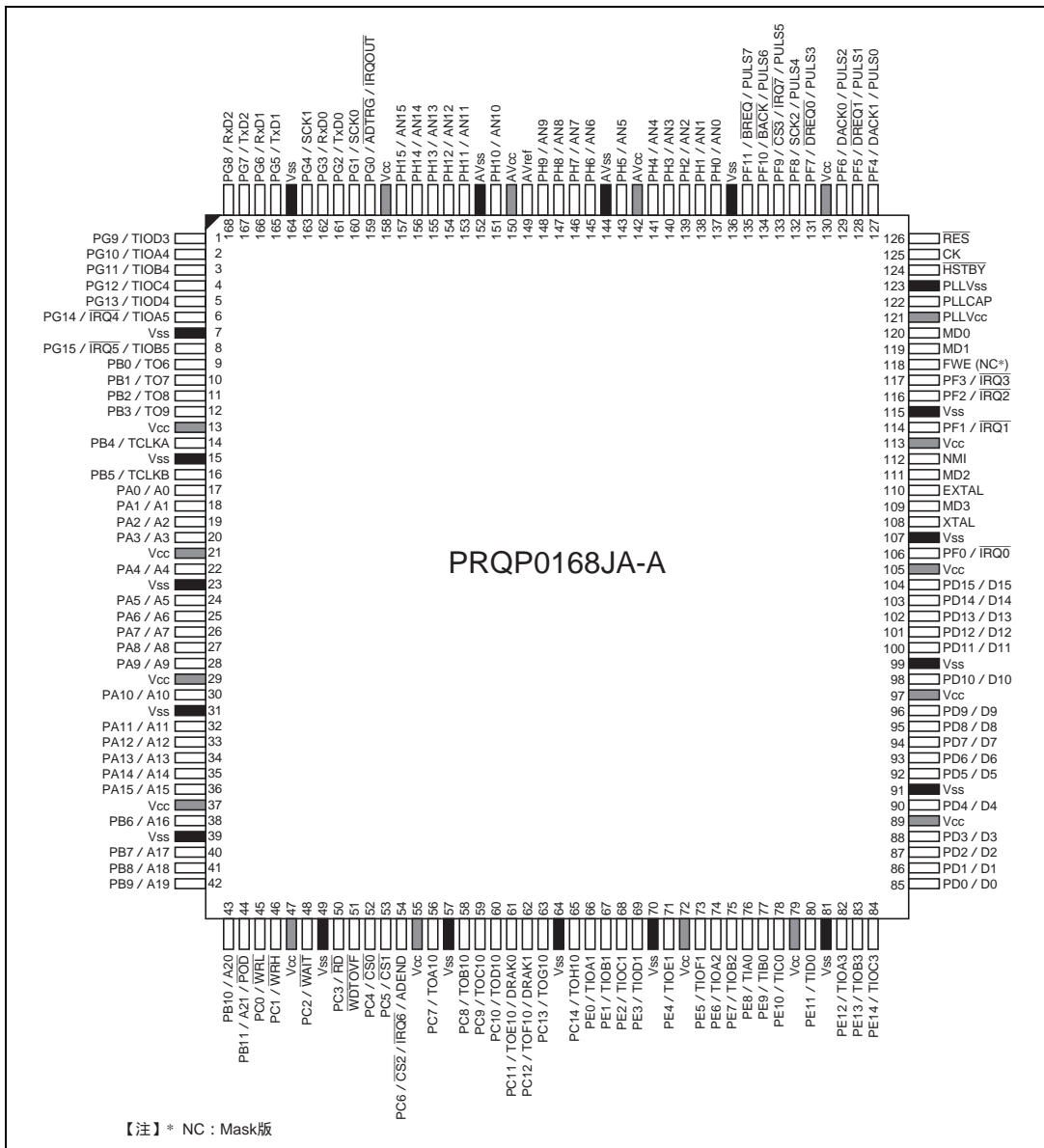


図 1.2 ピン配置

1.3.2 端子機能

端子の機能について表 1.2 に示します。

表 1.2 端子の機能

分類	記号	ピン番号	入出力	名称	機能
電源	V _{CC}	13, 21, 29, 37, 47, 55, 72, 79, 89, 97, 105, 113, 130, 158	入力	電源	電源に接続します。 V _{CC} 端子は、すべてのシステムの電源に接続してください。開放端子があると動作しません。
	V _{SS}	7, 15, 23, 31, 39, 49, 57, 64, 70, 81, 91, 99, 107, 115, 136, 164	入力	グラウンド	グラウンドに接続します。 V _{SS} 端子は、すべてのシステムのグラウンドに接続してください。開放端子があると動作しません。
フラッシュメモリ	FWE	118	入力	フラッシュライトイネーブル	通常動作時は、グラウンドに接続します。オンボードプログラム時は、V _{CC} を印加します。 (マスク ROM 版にはありません。)
クロック	PLL _{V_{CC}}	121	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。電源の接続は「4. クロック発振器」を参照してください。
	PLL _{V_{SS}}	123	入力	PLL 用グラウンド	内蔵 PLL 発振器用のグラウンドです。電源の接続は「4. クロック発振器」を参照してください。
	PLLCAP	122	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。外付け容量の接続は「4. クロック発振器」を参照してください。
	EXTAL	110	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	108	入力	クリスタル	水晶発振子を接続します。
	CK	125	出力	システムクロック	周辺デバイスにシステムクロックを供給します。
システム制御	RES	126	入力	パワーオンリセット	この端子にローレベルを印加すると、パワーオンリセット状態になります。
	WDTOVF	51	出力	ウォッチドッグタイマオーバーフロー	WDT からのオーバフロー出力信号です。
	BREQ	135	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	134	出力	バス権要求アクノリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。

1. 概要

分類	記号	ピン番号	入出力	名称	機能
動作モード制御	MD0 ~ MD3	120, 119, 111, 109	入力	モード設定	動作モードを決める端子です。動作中は、入力値を変化させないでください。
	HSTBY	124	入力	ハードウェアスタンバイ	この端子にローレベルを入力するとハードウェアスタンバイ状態になります。
割り込み	NMI	112	入力	ノンマスクブル割り込み	マスク不可能な割り込み要求端子です。立ち上がりエッジ、立ち下がりエッジのどちらで受け付けるかを選択できます。
	IRQ0 ~ IRQ7	106, 114, 116, 117, 6, 8, 54, 133	入力	割り込み要求 0~7	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。
	IRQOUT	159	出力	割り込み要求出力	割り込み要因が発生したことを示します。バスリリース中にも割り込み発生を知ることができます。
アドレスバス	A0 ~ A21	17 ~ 20, 22, 24 ~ 28, 30, 32 ~ 36, 38, 40 ~ 44	出力	アドレスバス	アドレスを出力します。
データバス	D0 ~ D15	85 ~ 88, 90, 92 ~ 96, 98, 100 ~ 104	入出力	データバス	16ビットの双方向データバスです。
バス制御	CS0 ~ CS3	52 ~ 54, 133	出力	チップセレクト 0~3	外部メモリまたはデバイスのためのチップセレクト信号です。
	RD	50	出力	リード	外部のデバイスから読み出しすることを示します。
	WRH	46	出力	上位側ライト	外部の上位 8ビットに書き込みすることを示します
	WRL	45	出力	下位側ライト	外部の下位 8ビットに書き込みすることを示します
	WAIT	48	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
ダイレクトメモリアクセスコントローラ (DMAC)	DREQ0 ~ DREQ1	131, 128	入力	DMA 転送要求 (チャンネル 0, 1)	外部からの DMA 転送要求の入力端子です。
	DRAK0 ~ DRAK1	61, 62	出力	DREQ 要求受け付け (チャンネル 0, 1)	外部からの DMA 転送要求の入力のサンプリング受け付けを出力します。
	DACK0 ~ DACK1	129, 127	出力	DMA 転送ストロープ (チャンネル 0, 1)	外部からの DMA 転送要求の外部 I/O へのストロープを出力します。

分類	記号	ピン番号	入出力	名称	機能
アドバンス タイマ ユニット (ATU)	TCLKA	14	入力	ATU タイ マクロック入力	ATU のカウンタへの外部クロック入 力端子です。
	TCLKB	16			
	TIA0	76	入力	ATU インพุット キャブチャ (チャンネル0)	チャンネル0のインพุットキャブチャ 入力端子です。
	TIB0	77			
	TIC0	78			
	TID0	80			
	TIOA1	66	入出力	ATU インพุット キャブチャ / ア ウトพุットコン ペア(チャンネル1)	チャンネル1のインพุットキャブチャ 入力 / アウトพุットコンペア出力端 子です。
	TIOB1	67			
	TIOC1	68			
	TIOD1	69			
	TIOE1	71			
	TIOF1	73			
	TIOA2	74	入出力	ATU インพุット キャブチャ / ア ウトพุットコン ペア(チャンネル2)	チャンネル2のインพุットキャブチャ 入力 / アウトพุットコンペア出力端 子です。
	TIOB2	75			
	TIOA3	82	入出力	ATU インพุット キャブチャ / ア ウトพุットコン ペア / PWM 出力 (チャンネル3)	チャンネル3のインพุットキャブチャ 入力 / アウトพุットコンペア / PWM 出力端子です。
	TIOB3	83			
	TIOC3	84			
	TIOD3	1			
	TIOA4	2	入出力	ATU インพุット キャブチャ / ア ウトพุットコン ペア / PWM 出力 (チャンネル4)	チャンネル4のインพุットキャブチャ 入力 / アウトพุットコンペア / PWM 出力端子です。
TIOB4	3				
TIOC4	4				
TIOD4	5				
TIOA5	6	入出力	ATU インพุット キャブチャ / ア ウトพุットコン ペア / PWM 出力 (チャンネル5)	チャンネル5のインพุットキャブチャ 入力 / アウトพุットコンペア / PWM 出力端子です。	
TIOB5	8				
TO6	9	出力	ATU PWM 出力 (チャンネル6~9)	チャンネル6~9のPWM出力端子です。	
TO7	10				
TO8	11				
TO9	12				
TOA10	56	出力	ATU ワンショッ トパルス (チャンネル10)	チャンネル10のダウンカウンタのワ ンショットパルス出力端子です。	
TOB10	58				
TOC10	59				
TOD10	60				
TOE10	61				
TOF10	62				
TOG10	63				
TOH10	65				
アドバンス パルスコン ローラ (APC)	PULS0 ~ PULS7	127 ~ 129, 131 ~ 135	出力	APC パルス出力 0~7	APC のパルス出力端子です。

1. 概要

分類	記号	ピン番号	入出力	名称	機能
シリアル コミュニケーション インタフェース (SCI)	TxD0 ~ TxD2	161, 165, 167	出力	送信データ (チャンネル0~2)	SCI0 ~ SCI2の送信データ出力端子です。
	RxD0 ~ RxD2	162, 166, 168	入力	受信データ (チャンネル0~2)	SCI0 ~ SCI2の受信データ入力端子です。
	SCK0 ~ SCK2	160, 163, 132	入出力	シリアル クロック (チャンネル0~2)	SCI0 ~ SCI2のクロック入出力端子です。
A/D 変換器	AV _{CC}	142, 150	入力	アナログ電源	A/D 変換器用の電源です。
	AV _{SS}	144, 152	入力	アナログ グランド	A/D 変換器用の電源です。
	AVref	149	入力	アナログリファ レンス電源	アナログリファレンス電源入力端子 です。
	AN0 ~ AN15	137 ~ 141, 143, 145 ~ 148, 151, 153 ~ 157	入力	アナログ入力	アナログ信号入力端子です。
	ADTRG	159	入力	A/D 変換トリガ 入力	A/D 変換開始の外部トリガ入力です。
	ADEND	54	出力	ADEND 出力	A/D1のチャンネル15変換タイミングモ ニタ出力端子
I/O ポート	POD	44	入力	ポートアウト プットディス エーブル	汎用ポートが出力設定時に、ポート端 子のドライブ制御をするための入力 端子です。
	PA0 ~ PA15	17 ~ 20, 22, 24 ~ 28, 30, 32 ~ 36	入出力	ポート A	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PB0 ~ PB11	9 ~ 12, 14, 16, 38, 40 ~ 44	入出力	ポート B	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PC0 ~ PC14	45, 46, 48, 50, 52 ~ 54, 56, 58 ~ 63, 65	入出力	ポート C	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PD0 ~ PD15	85 ~ 88, 90, 92 ~ 96, 98, 100 ~ 104	入出力	ポート D	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PE0 ~ PE14	66 ~ 69, 71, 73 ~ 78, 80, 82 ~ 84	入出力	ポート E	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PF0 ~ PF11	106, 114, 116, 117, 127 ~ 129, 131 ~ 135	入出力	ポート F	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PG0 ~ PG15	159 ~ 163, 165 ~ 168, 1 ~ 6, 8	入出力	ポート G	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PH0 ~ PH15	137 ~ 141, 143, 145 ~ 148, 151, 153 ~ 157	入力	ポート H	汎用入力ポート端子です。

1.3.3 端子一覧

表 1.3 端子一覧

ピン番号	MCU モード	ライタモード
1	PG9/TIOD3	V _{CC}
2	PG10/TIOA4	V _{CC}
3	PG11/TIOB4	N.C.
4	PG12/TIOC4	N.C.
5	PG13/TIOD4	V _{CC}
6	PG14/IRQ4/TIOA5	N.C.
7	V _{SS}	V _{SS}
8	PG15/IRQ5/TIOB5	N.C.
9	PB0/TO6	N.C.
10	PB1/TO7	N.C.
11	PB2/TO8	N.C.
12	PB3/TO9	N.C.
13	V _{CC}	V _{CC}
14	PB4/TCLKA	N.C.
15	V _{SS}	V _{SS}
16	PB5/TCLKB	N.C.
17	PA0/A0	A0
18	PA1/A1	A1
19	PA2/A2	A2
20	PA3/A3	A3
21	V _{CC}	V _{CC}
22	PA4/A4	A4
23	V _{SS}	V _{SS}
24	PA5/A5	A5
25	PA6/A6	A6
26	PA7/A7	A7
27	PA8/A8	A8
28	PA9/A9	OE
29	V _{CC}	V _{CC}
30	PA10/A10	A10
31	V _{SS}	V _{SS}
32	PA11/A11	A11
33	PA12/A12	A12
34	PA13/A13	A13
35	PA14/A14	A14
36	PA15/A15	A15
37	V _{CC}	V _{CC}
38	PB6/A16	A16
39	V _{SS}	V _{SS}
40	PB7/A17	V _{SS} (HD64F7050S)/A17 (HD64F7051S)

1. 概要

ピン番号	MCU モード	ライターモード
41	PB8/A18	CE
42	PB9/A19	WE
43	PB10/A20	N.C.
44	PB11/A21/POD	N.C.
45	PC0/WRL	N.C.
46	PC1/WRH	N.C.
47	V _{CC}	V _{CC}
48	PC2/WAIT	N.C.
49	V _{SS}	V _{SS}
50	PC3/RD	N.C.
51	WDTOVF	N.C.
52	PC4/CS0	N.C.
53	PC5/CS1	N.C.
54	PC6/CS2/IRQ6/ADEND	N.C.
55	V _{CC}	V _{CC}
56	PC7/TOA10	N.C.
57	V _{SS}	V _{SS}
58	PC8/TOB10	N.C.
59	PC9/TOC10	N.C.
60	PC10/TOD10	N.C.
61	PC11/TOE10/DRAK0	N.C.
62	PC12/TOF10/DRAK1	N.C.
63	PC13/TOG10	N.C.
64	V _{SS}	V _{SS}
65	PC14/TOH10	N.C.
66	PE0/TIOA1	N.C.
67	PE1/TIOB1	N.C.
68	PE2/TIOC1	N.C.
69	PE3/TIOD1	N.C.
70	V _{SS}	V _{SS}
71	PE4/TIOE1	N.C.
72	V _{CC}	V _{CC}
73	PE5/TIOF1	N.C.
74	PE6/TIOA2	N.C.
75	PE7/TIOB2	N.C.
76	PE8/TIA0	N.C.
77	PE9/TIB0	N.C.
78	PE10/TIC0	N.C.
79	V _{CC}	V _{CC}
80	PE11/TID0	N.C.
81	V _{SS}	V _{SS}
82	PE12/TIOA3	N.C.
83	PE13/TIOB3	N.C.

ピン番号	MCU モード	ライタモード
84	PE14/TIOC3	N.C.
85	PD0/D0	I/O0
86	PD1/D1	I/O1
87	PD2/D2	I/O2
88	PD3/D3	I/O3
89	V _{CC}	V _{CC}
90	PD4/D4	I/O4
91	V _{SS}	V _{SS}
92	PD5/D5	I/O5
93	PD6/D6	I/O6
94	PD7/D7	I/O7
95	PD8/D8	N.C.
96	PD9/D9	N.C.
97	V _{CC}	V _{CC}
98	PD10/D10	N.C.
99	V _{SS}	V _{SS}
100	PD11/D11	N.C.
101	PD12/D12	N.C.
102	PD13/D13	N.C.
103	PD14/D14	N.C.
104	PD15/D15	N.C.
105	V _{CC}	V _{CC}
106	PF0/IRQ0	N.C.
107	V _{SS}	V _{SS}
108	XTAL	XTAL
109	MD3	V _{CC}
110	EXTAL	EXTAL
111	MD2	V _{CC}
112	NMI	A9
113	V _{CC}	V _{CC}
114	PF1/IRQ1	N.C.
115	V _{SS}	V _{SS}
116	PF2/IRQ2	N.C.
117	PF3/IRQ3	N.C.
118	FWE (NC*)	FWE
119	MD1	V _{SS}
120	MD0	V _{CC}
121	PLL _{V_{CC}}	PLL _{V_{CC}}
122	PLLCAP	PLLCAP
123	PLL _{V_{SS}}	PLL _{V_{SS}}
124	HSTBY	V _{CC}
125	CK	N.C.
126	RES	RES

1. 概要

ピン番号	MCU モード	ライターモード
127	PF4/DACK1/PULS0	N.C.
128	PF5/DREQ1/PULS1	N.C.
129	PF6/DACK0/PULS2	N.C.
130	V _{cc}	V _{cc}
131	PF7/DREQ0/PULS3	N.C.
132	PF8/SCK2/PULS4	N.C.
133	PF9/CS3/IRQ7/PULS5	N.C.
134	PF10/BACK/PULS6	N.C.
135	PF11/BREQ/PULS7	N.C.
136	V _{ss}	V _{ss}
137	PH0/AN0	N.C.
138	PH1/AN1	N.C.
139	PH2/AN2	N.C.
140	PH3/AN3	N.C.
141	PH4/AN4	N.C.
142	AV _{cc}	V _{cc}
143	PH5/AN5	N.C.
144	AV _{ss}	V _{ss}
145	PH6/AN6	N.C.
146	PH7/AN7	N.C.
147	PH8/AN8	N.C.
148	PH9/AN9	N.C.
149	AV _{ref}	V _{cc}
150	AV _{cc}	V _{cc}
151	PH10/AN10	N.C.
152	AV _{ss}	V _{ss}
153	PH11/AN11	N.C.
154	PH12/AN12	N.C.
155	PH13/AN13	N.C.
156	PH14/AN14	N.C.
157	PH15/AN15	N.C.
158	V _{cc}	V _{cc}
159	PG0/ADTRG/IRQOUT	N.C.
160	PG1/SCK0	N.C.
161	PG2/TxD0	N.C.
162	PG3/RxD0	N.C.
163	PG4/SCK1	N.C.
164	V _{ss}	V _{ss}
165	PG5/TxD1	N.C.
166	PG6/RxD1	N.C.
167	PG7/TxD2	N.C.
168	PG8/RxD2	N.C.

【注】 * NC : Mask 版

2. CPU

2.1 レジスタ構成

レジスタは、汎用レジスタ（32ビット×16本）、コントロールレジスタ（32ビット×3本）、システムレジスタ（32ビット×4本）の3種類があります。

2.1.1 汎用レジスタ（Rn）

汎用レジスタ（Rn）は、32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。R15は、ハードウェアスタックポインタ（SP）として使われます。例外処理でのステータスレジスタ（SR）とプログラムカウンタ（PC）の退避、回復はR15を用いてスタックを参照し行います。

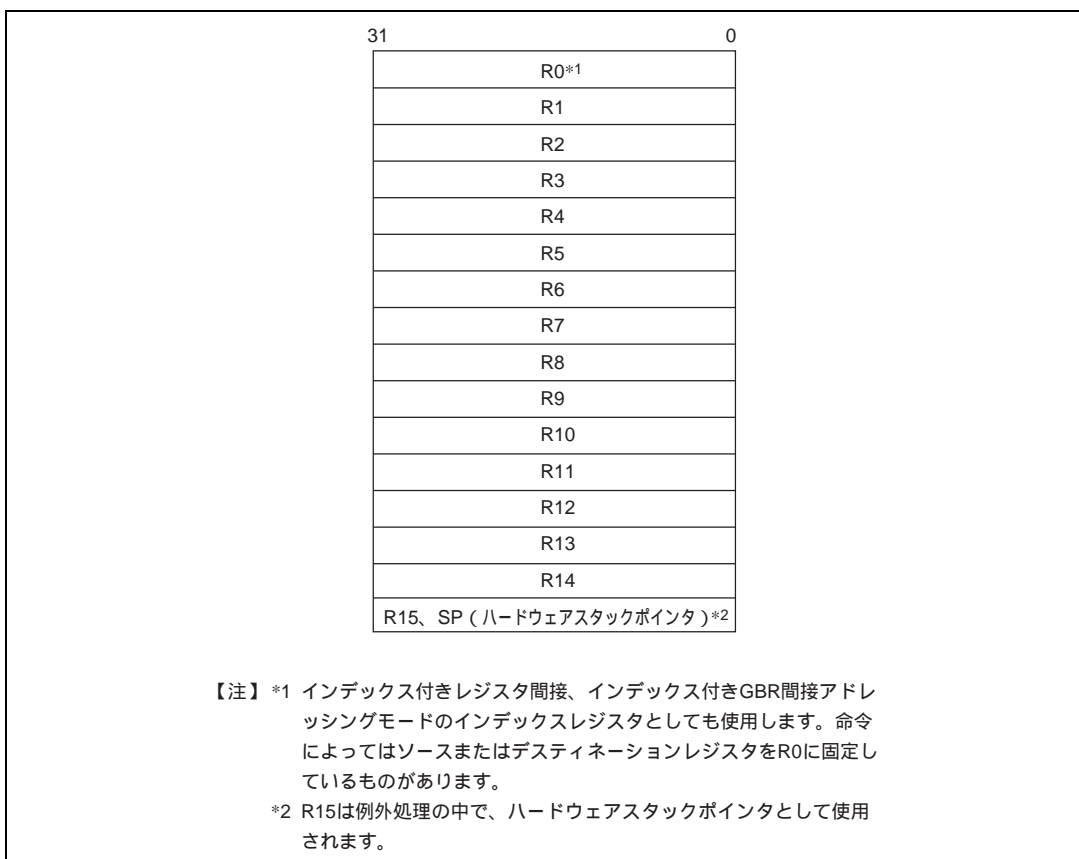


図 2.1 汎用レジスタの構成

2.1.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR) の3本があります。SR は処理の状態を表します。GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

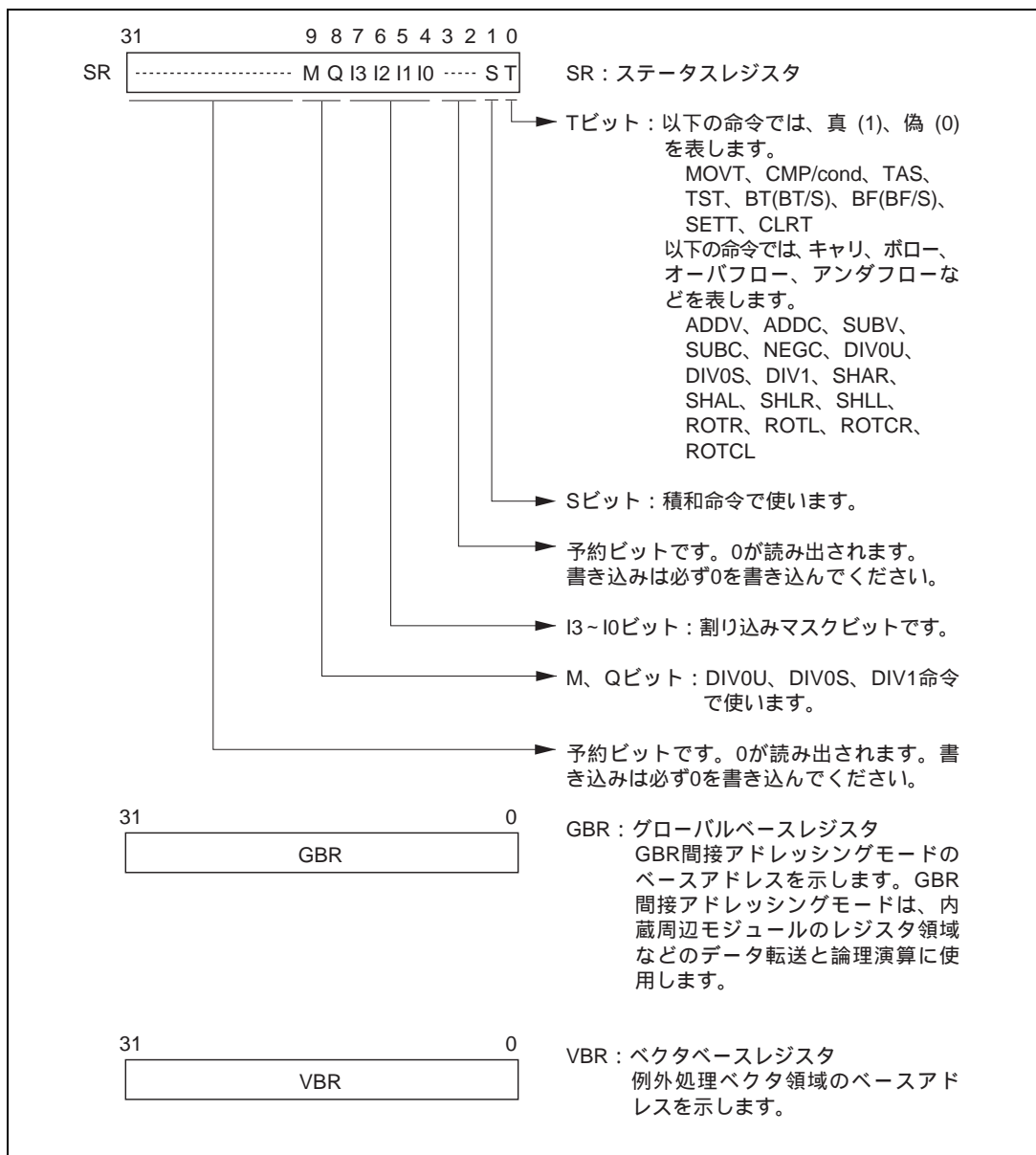


図 2.2 コントロールレジスタの構成

2.1.3 システムレジスタ

システムレジスタは32ビットの長さで、積和レジスタ（MACH、MACLの2本）、プロシージャレジスタ（PR）、プログラムカウンタ（PC）の4本があります。MACH、MACLは乗算または積和演算の結果を格納します。PRはサブルーチンプロシージャからの戻り先アドレスを格納します。PCは実行中のプログラムのアドレスを示し、処理の流れを制御します。

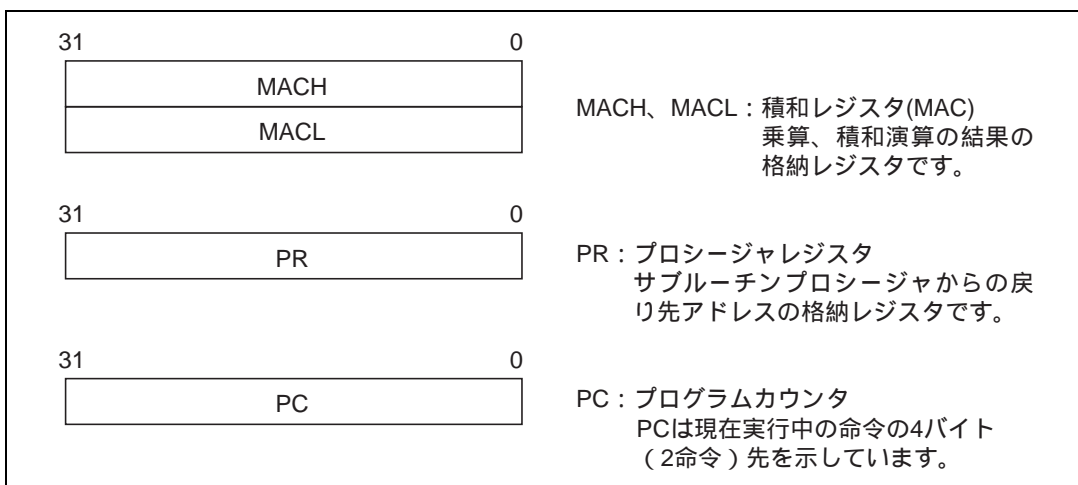


図 2.3 システムレジスタの構成

2.1.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します

表 2.1 レジスタの初期値

区 分	レジスタ	初 期 値
汎用レジスタ	R0 ~ R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3 ~ I0 は 1111 (H'F)、予約ビットは 0、その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

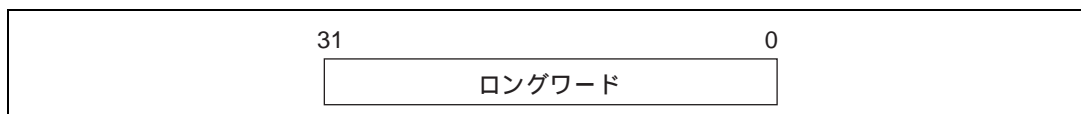


図 2.4 レジスタのデータ形式

2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは 2n 番地から、ロングワードデータは 4n 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証しません。特に、ハードウェアスタックポインタ (SP、R15) が指し示すスタックにはプログラムカウンタ (PC) とステータスレジスタ (SR) をロングワードで保持しますので、ハードウェアスタックポインタの値が 4n になるように設定してください。

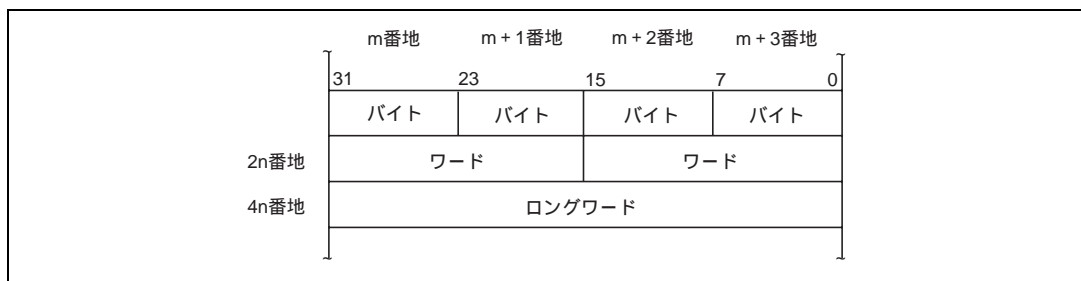


図 2.5 メモリ上でのデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。20MHz 動作時、1 ステートは 50ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU	説 明	他の CPU の例
MOV.W@(disp, PC), R1 ADDR1, R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます	ADD.W #H'1234, R0

【注】 @(disp, PC)でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付分岐命令には遅延分岐命令と通常分岐命令の 2 つがあります。

表 2.3 遅延分岐命令

本 LSI の CPU	説 明	他の CPU の例
BRATRGET ADDR1, R0	TRGET に分岐する前に ADD を実行します。	ADD.WR1, R0 BRATRGET

(6) 乗算 / 積和演算

16 × 16 32 の乗算を 1 ~ 2 ステート、16 × 16 + 64 64 の積和演算を 2 ~ 3 ステートで実行します。
32 × 32 64 の乗算や、32 × 32 + 64 64 の積和演算を 2 ~ 4 ステートで実行します。

2. CPU

(7) Tビット

比較結果はSRのTビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみTビットを変化させ、処理速度を向上させています。

表 2.4 Tビット

本 LSI の CPU	説 明	他の CPU の例
CMP/GER1, R0 BTTRGET0 BFTRGET1	R0 R1 のとき Tビットがセットされます。 R0 R1 のとき TRGET0 へ分岐します。 R0 < R1 のとき TRGET1 へ分岐します。	CMP.WR1, R0 BGETRGET0 BLTTRGET1
ADD#1, R0 CMP/EQ#0, R0 BTTRGET	ADD では Tビットが変化しません。 R0 = 0 のとき Tビットがセットされます。 R0 = 0 のとき分岐します。	SUB.W#1, R0 BEQTRGET

(8) イミディエイトデータ

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令 (MOV) で参照します。

表 2.5 イミディエイトデータによる参照

区 分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV#H'12, R0	MOV.B#H'12, R0
16 ビットイミディエイト	MOV.W@(disp, PC), R0DATA.WH'1234	MOV.W#H'1234, R0
32 ビットイミディエイト	MOV.L@(disp, PC), R0DATA.LH'12345678	MOV.L#H'12345678, R0

【注】 @(disp, PC)でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区 分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L@(disp, PC), R1 MOV.B@ R1, R0DATA.LH'12345678	MOV.B @ H'12345678, R0

【注】 @(disp, PC)でイミディエイトデータを参照します。

(10) 16ビット/32ビットディスプレイースメント

16ビット、または32ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照


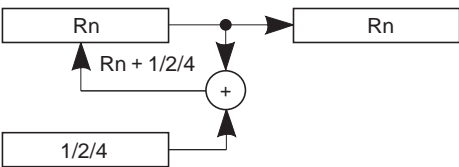
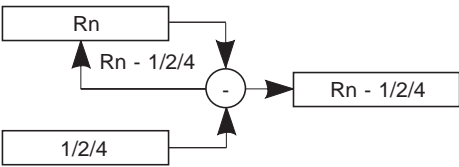
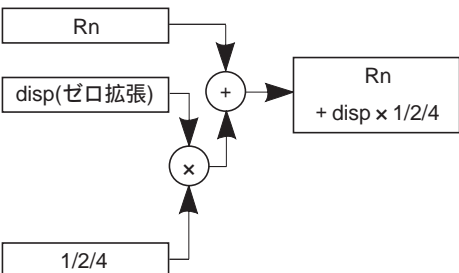
区 分	本 LSI の CPU	他の CPU の例
16ビットディスプレイースメント	MOV.W@(disp , PC), R0 MOV.W@(R0 , R1), R2DATA.WH'1234	MOV.W @ (H'1234, R1), R2

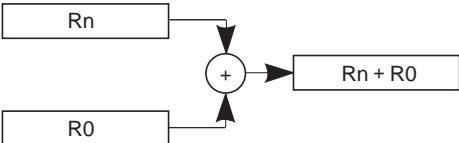
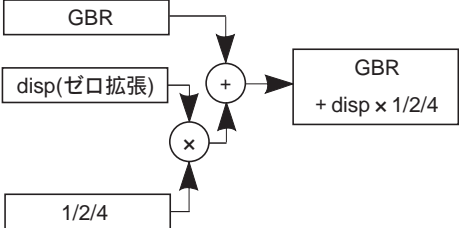
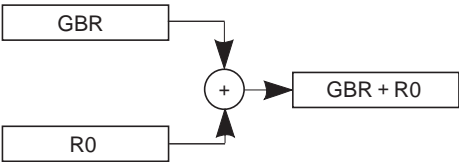
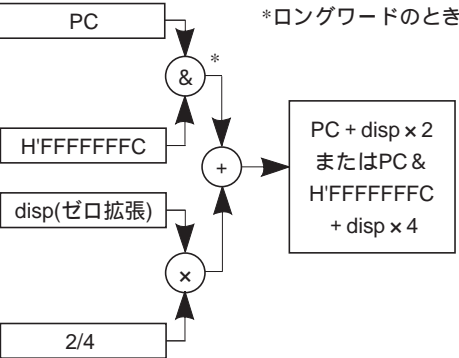
【注】 @(disp , PC)でイミディエイトデータを参照します。

2.3.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : $Rn + 1$ Rn ワード : $Rn + 2$ Rn ロングワード : $Rn + 4$ Rn
プリデクリメントレジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : $Rn - 1$ Rn ワード : $Rn - 2$ Rn ロングワード : $Rn - 4$ Rn (計算後の Rn で命令実行)
ディスプレースメント付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : $Rn + \text{disp}$ ワード : $Rn + \text{disp} \times 2$ ロングワード : $Rn + \text{disp} \times 4$

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレースメント付き GBR 間接	@ (disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@ (R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレースメント付き PC 相対	@ (disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  <p>*ロングワードのとき</p>	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$

2. CPU

アドレッシングモード	表 記	実行アドレスの計算方法	計算式
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + disp × 2
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + disp × 2
	Rn	<p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p>	PC + Rn
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式				NOP
n 形式			nnnn: レジスタ直接	MOVT Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	STS MACH, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメント レジスタ間接	STC.L SR, @-Rn
m 形式		mmmm: レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm, SR
		mmmm: ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+, SR
		mmmm: レジスタ直接		JMP @Rm
		mmmm: Rm を用いた PC 相対		BRAF Rm
nm 形式		mmmm: レジスタ直接	nnnn: レジスタ直接	ADD Rm, Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV. LRm, @Rn
		mmmm: ポストインクリメント レジスタ間接 (積和演算) nnnn: * ポストインクリメント レジスタ間接 (積和演算)	MACH, MACL	MAC.W @Rm+, @Rn+
		mmmm: ポストインクリメント レジスタ間接	nnnn: レジスタ直接	MOV.L @Rm+, Rn
		mmmm: レジスタ直接	nnnn: プリデクリメント レジスタ間接	MOV.L Rm, @-Rn
		mmmm: レジスタ直接	nnnn: インデックス付き レジスタ間接	MOV.L Rm, @(R0, Rn)
		mmmm: レジスタ直接	nnnn: インデックス付き レジスタ間接	MOV.L Rm, @(R0, Rn)

【注】 * 積和命令では nnnn は、ソースレジスタです。

2. CPU

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
md 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{mmm} & \text{ddd} \\ \hline \end{array}$	mmmmddd: ディスプレイースメント 付きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp, Rn), R0
nd4 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{ddd} \\ \hline \end{array}$	R0 (レジスタ直接)	nnnddd: ディスプレイースメント 付きレジスタ間接	MOV.B R0, @(disp, Rn)
nmd 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmm} & \text{ddd} \\ \hline \end{array}$	mmmm: レジスタ直接	nnnddd: ディスプレイースメント 付きレジスタ間接	MOV.L Rm, @(disp, Rn)
		mmmmddd: ディスプレイースメント 付きレジスタ間接	nnnn: レジスタ直接	MOV.L @(disp, Rm), Rn
d 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{ddd} & \text{ddd} \\ \hline \end{array}$	ddddddd: ディスプレイースメント 付き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp, GBR), R0
		R0 (レジスタ直接)	ddddddd: ディスプレイースメント 付き GBR 間接	MOV.L R0, @(disp, GBR)
		ddddddd: ディスプレイースメント 付き PC 相対	R0 (レジスタ直接)	MOVA @(disp, PC), R0
			ddddddd: PC 相対	BF label
d12 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{ddd} & \text{ddd} & \text{ddd} \\ \hline \end{array}$		ddddddddddd: PC 相対	BRA label (label=disp+pc)
nd8 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{ddd} & \text{ddd} \\ \hline \end{array}$	ddddddd: ディスプレイースメント 付き PC 相対	nnnn: レジスタ直接	MOV.L @(disp, PC), Rn
i 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiii: イミディエイト	インデックス付き GBR 間接	AND.B #imm, @(R0, GBR)
		iiiiiii: イミディエイト	R0 (レジスタ直接)	AND #imm, R0
		iiiiiii: イミディエイト		TRAPA #imm
ni 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiii: イミディエイト	nnnn: レジスタ直接	ADD #imm, Rn

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分 類	命令の種類	オペコード	機 能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実行アドレスの転送	
		MOVT	Tビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連続レジスタの中央切り出し	
算術演算命令	21	ADD	2進加算	33
		ADDC	キャリ付き 2 加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2進減算	
		SUBC	ポロー付き 2 減算	
SUBV	アンダフロー付き 2 進減算			

2. CPU

分 類	命令の種類	オペコード	機 能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	
シフト命令	10	ROTL	1ビット左回転	14
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T=1で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	11	CLRMAC	MACレジスタのクリア	31
		CLRT	Tビットのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無条件	
		RTE	例外処理からの復帰	
		SETT	Tビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
	計 62			142

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示しています。 記号の説明 OP.Sz SRC, DEST OP:オペコード Sz:サイズ SRC:ソース DEST:デスティネーション Rm:ソースレジスタ Rn:デスティネーションレジスタ imm:イミディエイトデータ disp: ディスプレースメント*2	MSB LSB の順で表示しています。 記号の説明 mmmm:ソースレジスタ nnnn:デスティネーションレジスタ 0000: R0 0001: R1 1111: R15 iiii:イミディエイトデータ dddd:ディスプレースメント	動作の概略を表示しています。 記号の説明 、 : 転送方向 (xx):メモリオペランド M/Q/T: SR 内のフラグビット &:ビットごとの論理積 :ビットごとの論理和 ^:ビットごとの排他的論理和 ~:ビットごとの論理否定 <<n:左 n ビットシフト >>n:右 n ビットシフト	ノーウェイトのときの値です。 *1	命令実行後の、Tビットの値を表示しています。 記号の説明 :変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
 - (2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合
- などの条件により、命令実行ステート数は増加します。

- *2 命令のオペランドサイズなどに応じてスケーリング(×1、×2、×4)されます。
 詳細は「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。

2. CPU

(1) データ転送命令

命 令	命令コード	動 作	実行 ステート	T ビット
MOV #imm, Rn	1110nnnniiiiiii	#imm 符号拡張 Rn	1	
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2+PC) 符号拡張 Rn	1	
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4+PC) Rn	1	
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	
MOV.B Rm, @-Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)	1	
MOV.W Rm, @-Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)	1	
MOV.L Rm, @-Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)	1	
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	
MOV.B R0, @(disp, Rn)	10000000nnnndddd	R0 (disp+Rn)	1	
MOV.W R0, @(disp, Rn)	10000001nnnndddd	R0 (disp × 2+Rn)	1	
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmdddd	Rm (disp × 4+Rn)	1	
MOV.B @(disp, Rm), R0	10000100mmmmdddd	(disp+Rm) 符号拡張 R0	1	
MOV.W @(disp, Rm), R0	10000101mmmmdddd	(disp × 2+Rm) 符号拡張 R0	1	
MOV.L @(disp, Rm), R0	0101nnnnmmmmdddd	(disp × 4+Rm) Rn	1	
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	
MOV.B R0, @(disp, GBR)	11000000dddddddd	R0 (disp+GBR)	1	
MOV.W R0, @(disp, GBR)	11000001dddddddd	R0 (disp × 2+GBR)	1	
MOV.L R0, @(disp, GBR)	11000010dddddddd	R0 (disp × 4+GBR)	1	
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR) 符号拡張 R0	1	
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp × 2+GBR) 符号拡張 R0	1	
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp × 4+GBR) R0	1	
MOVA @(disp, PC), R0	11000111dddddddd	disp × 4+PC R0	1	
MOVT Rn	0000nnnn00101001	T Rn	1	
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バイト 交換 Rn	1	
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm: Rn の中央 32 ビット Rn	1	

(2) 算術演算命令

命 令	命令コード	動 作	実行 ステート	T ビット
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm Rn	1	
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm Rn	1	
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリ T	1	キャリ
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T	1	比較 結果
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T	1	比較 結果
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T	1	比較 結果
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T	1	比較 結果
CMP/HI Rm, Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1 T	1	比較 結果
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1 T	1	比較 結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1 T	1	比較 結果
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T	1	比較 結果
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T	1	比較 結果
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算 (Rn ÷ Rm)	1	計算 結果
DIV0S Rm, Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M^Q T	1	計算 結果
DIV0U	0000000000011001	0 M/Q/T	1	0
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32×32 64ビット	2~4*	
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32×32 64ビット	2~4*	
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	1	比較 結果
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn	1	
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn	1	
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn	1	
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn	1	
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 32×32 + 64 64ビット	3/(2~4) *	

2. CPU

命 令	命令コード	動 作	実行 ステート	T ビット
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 16×16+64 64 ビット	3/(2)*	
MULL Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32×32 32 ビット	2~4*	
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MAC 16×16 32 ビット	1~3*	
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MAC 16×16 32 ビット	1~3*	
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm Rn	1	
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T Rn, ボロー T	1	ボロー
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm Rn	1	
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T Rn, ボロー T	1	ボロー
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm Rn, アンダフロー T	1	オーバ フロー

【注】 * 通常実行ステートを示します。()内の値は、前後の命令との競合関係による実行ステートです。

(3) 論理演算命令

命 令	命令コード	動 作	実行 ステート	T ビット
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	
AND #imm, R0	11001001iiiiiii	R0 & imm R0	1	
AND.B #imm, @(R0, GBR)	11001101iiiiiii	(R0+GBR) & imm (R0+GBR)	3	
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	
OR #imm, R0	11001011iiiiiii	R0 imm R0	1	
OR.B #imm, @(R0, GBR)	11001111iiiiiii	(R0+GBR) imm (R0+GBR)	3	
TAS.B @Rn*	0100nnnn00011011	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)	4	テスト 結果
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が 0 のとき 1 T	1	テスト 結果
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が 0 のとき 1 T	1	テスト 結果
TST.B #imm, @(R0, GBR)	11001100iiiiiii	(R0+GBR) & imm, 結果が 0 のとき 1 T	3	テスト 結果
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	
XOR #imm, R0	11001010iiiiiii	R0 ^ imm R0	1	
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	

【注】 * TAS命令の実行サイクルのリードサイクルとライトサイクルの間には内蔵DMACのバスサイクルは入りません。ただしBREQによりバス権解放は行われます。

(4) シフト命令

命 令	命令コード	動 作	実行 ステート	T ビット
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB
SHLL2 Rn	0100nnnn00001000	Rn << 2 Rn	1	
SHLR2 Rn	0100nnnn00001001	Rn >> 2 Rn	1	
SHLL8 Rn	0100nnnn00011000	Rn << 8 Rn	1	
SHLR8 Rn	0100nnnn00011001	Rn >> 8 Rn	1	
SHLL16 Rn	0100nnnn00101000	Rn << 16 Rn	1	
SHLR16 Rn	0100nnnn00101001	Rn >> 16 Rn	1	

(5) 分岐命令

命 令	命令コード	動 作	実行ス テート	T ビット
BF label	10001011dddddddd	T=0 のとき disp×2+PC PC, T=1 のとき nop	3/1*	
BF/S label	10001111dddddddd	遅延分岐、T=0 のとき disp× 2+PC PC, T=1 のとき nop	3/1*	
BT label	10001001dddddddd	T=1 のとき disp×2+PC PC, T=0 のとき nop	3/1*	
BT/S label	10001101dddddddd	遅延分岐、T=1 のとき disp× 2+PC PC, T=0 のとき nop	2/1*	
BRA label	1010dddddddddddd	遅延分岐、disp×2+PC PC	2	
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC PC	2	
BSR label	1011dddddddddddd	遅延分岐、PC PR, disp×2+PC PC	2	
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, Rm+PC PC	2	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	
RTS	0000000000001011	遅延分岐、PR PC	2	

【注】 * 分岐しないときは1ステートになります。

2. CPU

(6) システム制御命令

命 令	命令コード	動 作	実行 ステート	T ビット
CLRT	00000000000001000	0 T	1	0
CLRMACH	00000000000101000	0 MACH, MACL	1	
LDC Rm, SR	0100mmmm00001110	Rm SR	1	LSB
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	3	LSB
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	3	
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	3	
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	
LDS Rm, PR	0100mmmm00101010	Rm PR	1	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	
NOP	0000000000001001	無操作	1	
RTE	0000000000010101	遅延分岐、スタック領域 PC/SR	4	
SETT	0000000000011000	1 T	1	1
SLEEP	0000000000011011	スリープ	3*	
STC SR, Rn	0000nnnn00000010	SR Rn	1	
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	
STC.L SR, @-Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	
STC.L GBR, @-Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	2	
STC.L VBR, @-Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	2	
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	
STS PR, Rn	0000nnnn00101010	PR Rn	1	
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、(imm) PC	8	

【注】 * スリープ状態に移るまでのステート数です。

・命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

2.5 処理状態

2.5.1 状態遷移

CPUの処理状態には、パワーオンリセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.6に示します。

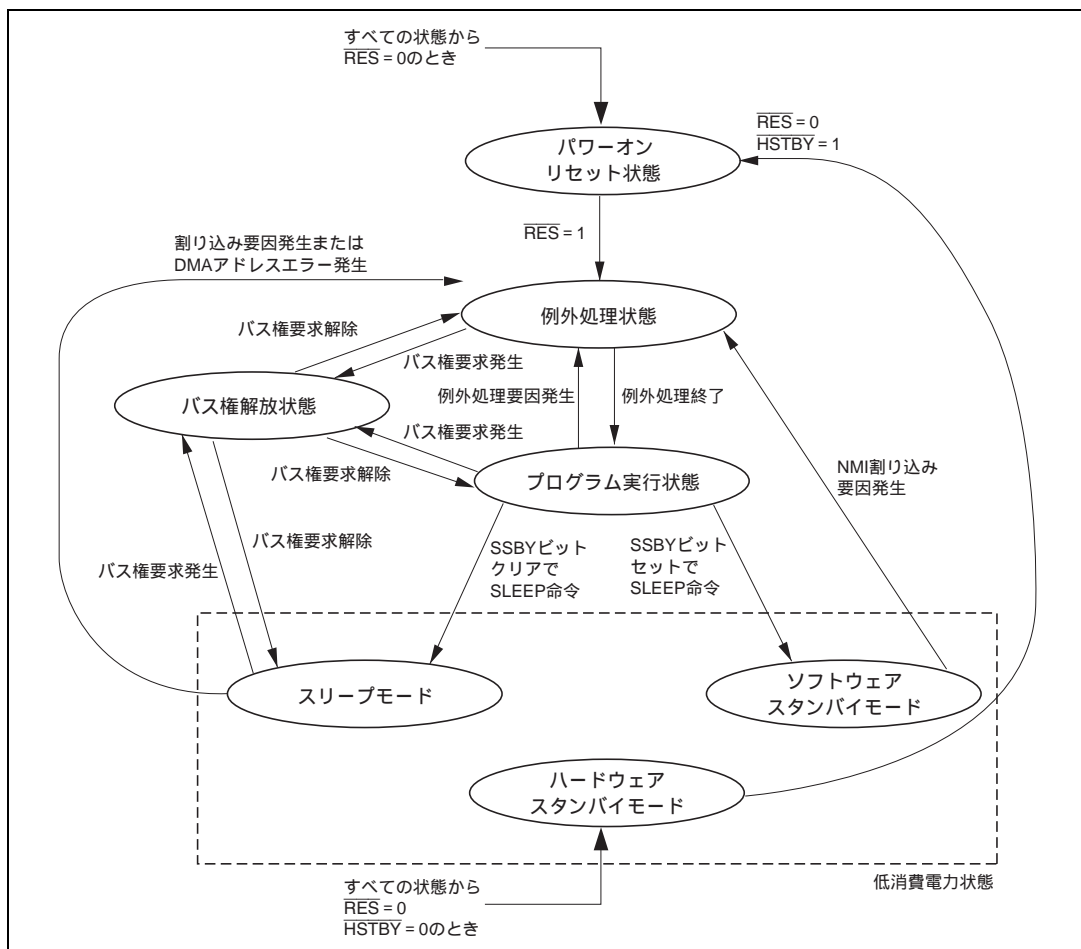


図 2.6 処理状態の状態遷移図

2. CPU

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RES}}$ 端子がローレベルになるとリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときの一時的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、またはソフトウェアスタンバイモードになります。また、 $\overline{\text{RES}}$ 端子をローレベルにした状態で $\overline{\text{HSTBY}}$ 端子をローレベルにするとハードウェアスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. 動作モード

3.1 動作モードの種類と選択

本 LSI には、5 種類の動作モードがあります。動作モードは、MD3～MD0、FWE 端子で設定します。モード設定端子は、LSI の動作中には変化させないでください。また、表 3.1 にない組み合わせは設定しないでください。

表 3.1 動作モードの選択

動作モード 番号	端子設定					モード名	内蔵 ROM	エリア 0 のバス幅	
	FWE	MD3	MD2	MD1	MD0				
モード 0	0	*1			0	0	無効	8 ビット	
モード 1	0				0	1		MCU 拡張モード	16 ビット
モード 2	0				1	0			有効
モード 3	0				1	1	MCU シングルチップモード	有効	
モード 16	1				0	0	ブートモード	有効	BCR1 により設定
モード 17	1				0	1			
モード 18	1				1	0	ユーザプログラムモード	有効	BCR1 により設定
モード 19	1				1	1			
モード 13	0/1				1	1	0	1	ライターモード

【注】 *1 MD3、MD2 端子は、クロック動作モードを設定します。

クロックモードの設定は、「4.2 クロック動作モード」を参照してください。

通常の動作モードとして、シングルチップモードと拡張モードがあります。

フラッシュメモリにプログラムを書き込むモードとして、オンボードプログラミングモードであるブートモードとユーザプログラムモード、および EPROM ライタ（本デバイスの書き込みをサポートしているライタ）により書き込むライターモードがあります。

なお詳細は「18. ROM (128kB 版)」、「19. ROM (256kB 版)」を参照してください。

3. 動作モード

4. クロック発振器

4.1 概要

クロック発振器（CPG）は、本 LSI 内部と外部デバイスにクロックパルスを供給します。本 LSI の CPG は、発振回路と PLL 通倍回路で構成されています。CPG でクロックを発生させる方法としては、水晶発振子を接続する方法と、外部クロックを入力する方法の 2 通りがあります。発振回路は入力クロックと同じ周波数で発振します。LSI の動作周波数は PLL 通倍回路により発振周波数の 1 倍、2 倍、4 倍が選択できます。

CPG はソフトウェアスタンバイモードおよび、ハードウェアスタンバイモードで停止します。

4.1.1 ブロック図

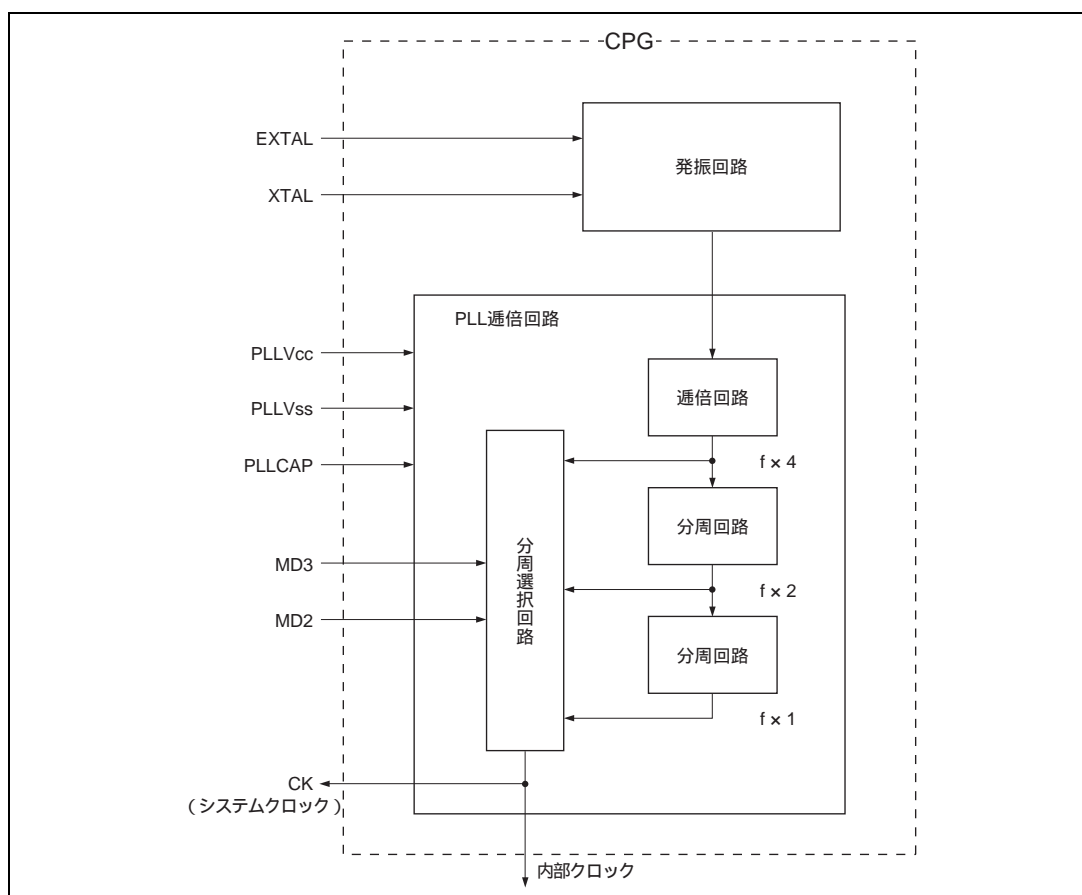


図 4.1 CPG のブロック図

4. クロック発振器

4.1.2 端子構成

クロック発振器に関連する端子を表 4.1 に示します。

表 4.1 端子構成

名称	略称	入出力	機能
外部クロック	EXTAL	入力	水晶発振子または外部クロックの入力
クリスタル	XTAL	入力	水晶発振子を接続
システムクロック	CK	出力	システムクロック出力
モード設定	MD3	入力	PLL 逡倍モードを設定
モード設定	MD2	入力	PLL 逡倍モードを設定
PLL 電源	PLL _{V_{cc}}	入力	PLL 逡倍回路用電源
PLL グランド	PLL _{V_{ss}}	入力	PLL 逡倍回路用グランド
PLL 容量	PLLCAP	入力	PLL 逡倍回路発振用外付け容量端子

4.2 クロック動作モード

クロック動作モードは、MD3、MD2 端子で設定します。

クロックモードの選択は、動作モード 0~3 および 16~19 で選択可能です。このとき、MD3 端子と MD2 端子を共に 1 に設定しないでください。ライトモードでは、クロック動作モードは変えられません。

モード端子とクロック動作モードの関係を表 4.2 に示します。

表 4.2 クロック動作モードの設定

クロックモード	MD3	MD2	入力周波数範囲 (MHz)	PLL 逡倍比	動作周波数範囲 (MHz)
モード 0	0	0	4~10	× 1	4~10
モード 1	0	1	4~10	× 2	8~20
モード 2	1	0	4~5	× 4	16~20

【注】 水晶発振子および外部クロック入力

LSI の動作周波数は、内蔵 PLL 回路により、入力周波数の 1 倍、2 倍、4 倍が内部クロックとして選択できます。システムクロック (CK 端子) は、内部クロックと同じ周波数が出力されます。

MD3、MD2 端子は、LSI 動作中に切り替えないでください。切り替えた場合、正常な動作ができません。

4. クロック発振器

4.3 クロックソース

クロックソースとして、水晶発振子と外部クロックのどちらかを選ぶことができます。

4.3.1 水晶発振子の接続方法

(1) 回路構成

図 4.2 に水晶発振子の接続方法を示します。ダンピング抵抗 R_d は表 4.3 に示すものを使用してください。水晶発振子は、AT カット並列共振型のものを使ってください。また、図のように、負荷容量 (CL1、CL2) を必ず接続してください。

水晶発振子と内部の発振器によって生成されたクロックパルスは、PLL 逡倍回路に送られ、そこで逡倍された周波数を選択し、本 LSI の内部と外部デバイスに供給されます。

なお、水晶と LSI の相性については、水晶メーカーにご相談いただきますようお願い致します。

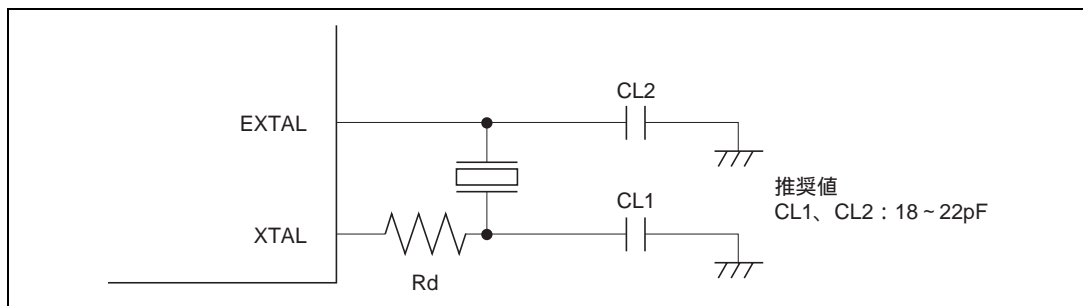


図 4.2 水晶発振子の接続例

表 4.3 ダンピング抵抗値 (推奨値)

周波数 (MHz)	4	8	10
R_d (Ω)	500	200	0

(2) 水晶発振子

図 4.3 に水晶発振子の等価回路を示します。水晶発振子は、表 4.4 に示す特性のものを使ってください。

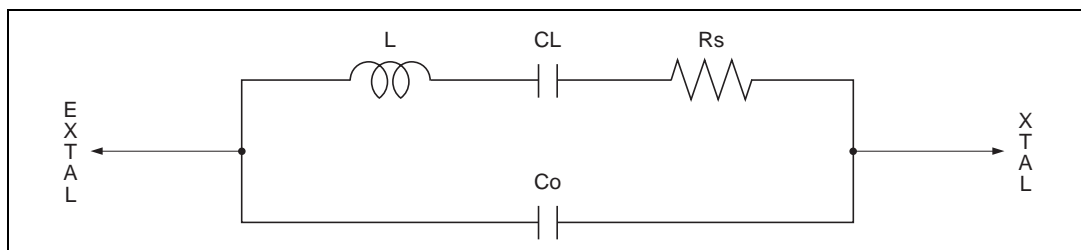


図 4.3 水晶発振子の等価回路

表 4.4 水晶発振子の特性（推奨値）

パラメータ	周波数 (MHz)		
	4	8	10
Rs max (Ω)	120	80	60
Co max (pF)	7		

なお水晶と LSI の相性については、水晶メーカーにご相談いただきますようお願いいたします。

4.3.2 外部クロックの入力方法

外部クロック入力の接続例を図 4.4 に示します。図 4.4 の場合、スタンバイモード時に外部クロックを止める場合、ハイレベルになるようにしてください。

XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時や、スタンバイ解除時は、発振安定時間以上待つようにしてください。

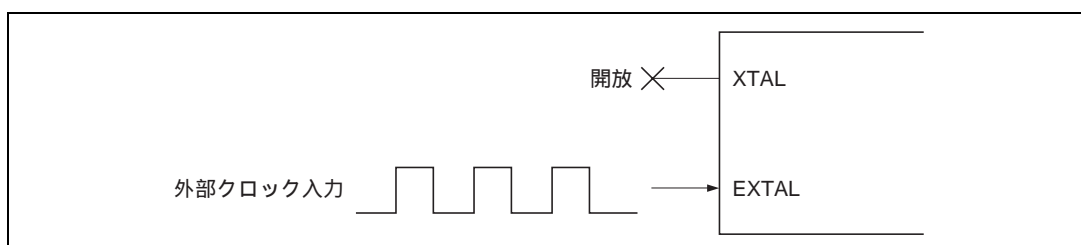


図 4.4 外部クロックの入力方法

4.4 使用上の注意

(1) ボード設計上の注意

水晶発振子と負荷容量は、できるだけ EXTAL、XTAL 端子の近くに置いてください。また、EXTAL、XTAL 端子の信号線に他の信号線を交差させないでください（図 4.5）。誘導のために正しい発振ができなくなることがあります。

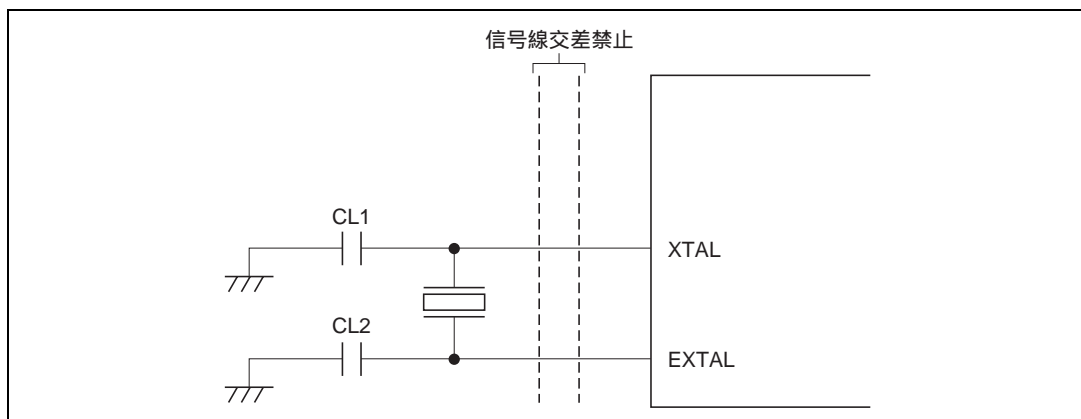


図 4.5 ボード設計上の注意

(2) PLL 発振用電源

発振安定用の容量 C1 および抵抗 R1 は、PLL および CAP 端子の近くに置き、他の信号線と交差させないでください。C1 のグラウンドは、PLL_{VSS} から供給してください。

さらに、PLL_{VCC} と PLL_{VSS} は、その他の V_{CC}、V_{SS} とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ C_{PB} および C_B を必ず挿入してください。

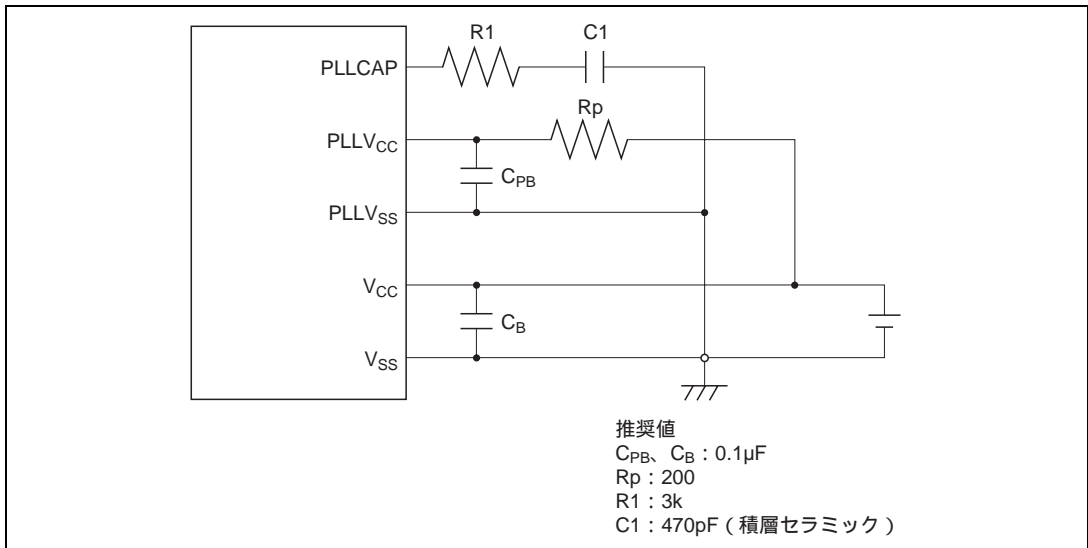


図 4.6 PLL 用電源接続時の注意

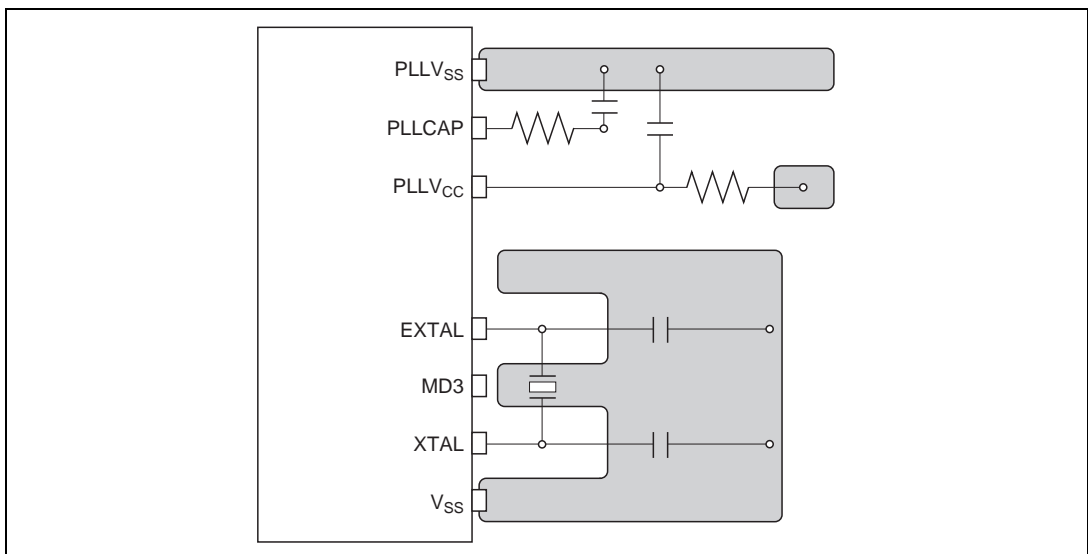


図 4.7 ボード設計の具体例

4. クロック発振器



5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位にしたがって受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

	例外処理	優先順位	
リセット	パワーオンリセット	高   低	
アドレスエラー	CPU アドレスエラー		
	DMAC アドレスエラー		
割り込み	NMI		
	ユーザブレイク		
	IRQ		
	内蔵周辺モジュール		ダイレクトメモリアクセスコントローラ (DMAC)
			アドバンスドタイマユニット (ATU)
			コンペアマッチタイマ (CMT)
			A/D 変換器 (A/D)
シリアルコミュニケーションインタフェース (SCI)			
	ウォッチドッグタイマ (WDT)		
命令	トラップ命令 (TRAPA 命令)		
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令*1直後に配置された未定義コードまたは PC を書き換える命令*2)		

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA

5. 例外処理

5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化で開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了
割り込み		後開始される
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令（遅延スロット）以外にある未定義コートがデコードされると開始される
	スロット不当命令	遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ(PC)とスタックポインタ(SP)の初期値を例外処理ベクタテーブル(PC、SPをそれぞれ、パワーオンリセット時にH'00000000番地、H'00000004番地)から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ(VBR)を0に、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)を1111にセットします。例外処理ベクタテーブルから取り出したPCのアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SRとPCをR15で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルをSRの割り込みマスクビット(I3~I0)に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます(リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます)。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオン リセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
(システム予約)		2	H'00000008 ~ H'0000000B
		3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMAC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
(システム予約)		13	H'00000034 ~ H'00000037
		⋮	⋮
		31	H'0000007C ~ H'0000007F
トラップ命令(ユーザベクタ)		32	H'00000080 ~ H'00000083
		⋮	⋮
		63	H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
	IRQ4	68	H'00000110 ~ H'00000113
	IRQ5	69	H'00000114 ~ H'00000117
	IRQ6	70	H'00000118 ~ H'0000011B
	IRQ7	71	H'0000011C ~ H'0000011F
内蔵周辺モジュール*		72	H'00000120 ~ H'00000124
		⋮	⋮
		255	H'000003FC ~ H'000003FF

【注】 * 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは「6. 割り込みコントローラ」の「表 6.3 割り込み例外ベクタと優先順位」を参照してください。

5. 例外処理

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

- 【注】 VBR：ベクタベースレジスタ
ベクタテーブルアドレスオフセット：表 5.3 を参照
ベクタ番号：表 5.3 を参照

5.2 リセット

5.2.1 パワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時またはスタンバイ時（クロックが停止している場合）は発振安定時間の間、クロックが動作している場合は最低 20t_{cy} の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが全て初期化されます。パワーオンリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) を HF (1111) にセットします。
- (4) 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.5 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.5 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU または DMAC	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間については、「8. バスステートコントローラ」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

5.4 割り込み

5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.6 に示すように NMI、ユーザブレイク、IRQ、内蔵周辺モジュールがあります。

表 5.6 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ	1
IRQ	IRQ0 ~ IRQ7 端子 (外部からの入力)	8
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ	4
	アドバンスドタイマユニット	44
	コンペアマッチタイマ	2
	A/D 変換器	2
	シリアルコミュニケーションインタフェース	12
	ウォッチドッグタイマ	1

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「6. 割り込みコントローラ」の「表 6.3 割り込み例外ベクタと優先順位」を参照してください。

5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果にしたがって例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0～16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込みの優先レベルは 15 です。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ A～H（IPRA～IPRH）で自由に設定することができます（表 5.7）。設定できる優先レベルは 0～15 で、優先レベル 16 は設定できません。IPRA～IPRH の詳細については「6.3.1 割り込み優先レベル設定レジスタ A～H（IPRA～IPRH）」を参照してください。

表 5.7 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレイク	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ A～H (IPRA～IPRH) により設定
内蔵周辺モジュール		

5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ（INTC）によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ（SR）の割り込みマスクビット（I3～I0）に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は SR とプログラムカウンタ（PC）をスタックに退避し、受け付けた割り込みの優先レベル値を SR の I3～I0 ビットに書き込みます。ただし、NMI の場合優先レベルは 16 ですが、I3～I0 ビットに設定される値は HF（レベル 15）です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理の詳細については「6.4 動作説明」を参照してください。

5.5 命令による例外

5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.8 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 5.8 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA
一般不当命令	遅延スロット以外にある未定義コード	

5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA 命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令が PC を書き換える命令のときも、この PC を書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

- (1) SR をスタックに退避します。
- (2) PC をスタックに退避します。退避する PC の値は、未定義コードまたは PC を書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6 例外処理が受け付けられない場合

アドレスエラーと割り込みは、表 5.9 に示すように、遅延分岐命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.9 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因	
	アドレスエラー	割り込み
遅延分岐命令* ¹ の直後	×	×
割り込み禁止命令* ² の直後		×

【注】 : 受け付けられる

× : 受け付けられない

*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA_F

*2 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

5.6.1 遅延分岐命令の直後

遅延分岐命令直後（遅延スロット）に配置されている命令のデコード時は、アドレスエラーと割り込みの両方とも受け付けられません。遅延分岐命令とその直後（遅延スロット）にある命令は、必ず連続して実行され、この間に例外処理が行われることはありません。

5.6.2 割り込み禁止命令の直後

割り込み禁止命令直後の命令のデコード時は、割り込みは受け付けられません。アドレスエラーは受け付けられます。

5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.10 に示すようになります。

表 5.10 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー		割り込み	
トラップ 命令		スロット 不当命令	
一般不当 命令			

5.8 使用上の注意

5.8.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル(ライト)は実行されます。SR と PC のスタッキングでは、SP がそれぞれ - 4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6. 割り込みコントローラ (INTC)

6.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、これによりユーザが設定した優先順位にしたがって、割り込み要求を処理させることができます。

6.1.1 特長

INTC には、次のような特長があります。

割り込み優先順位を 16 レベル設定可能

8 本の割り込み優先レベル設定レジスタにより、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位を要求元別に 16 レベルまで設定することができます。

NMI ノイズキャンセラ機能

NMI 端子の状態を示す NMI 入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

割り込みが発生したことを外部へ出力可能 (IRQOUT 端子)

例えば、本 LSI がバス権を解放しているときに、内蔵周辺モジュール割り込みが発生したことを外部バスマスタに知らせ、バス権を要求することができます。

6. 割り込みコントローラ (INTC)

6.1.2 ブロック図

INTC のブロック図を図 6.1 に示します。

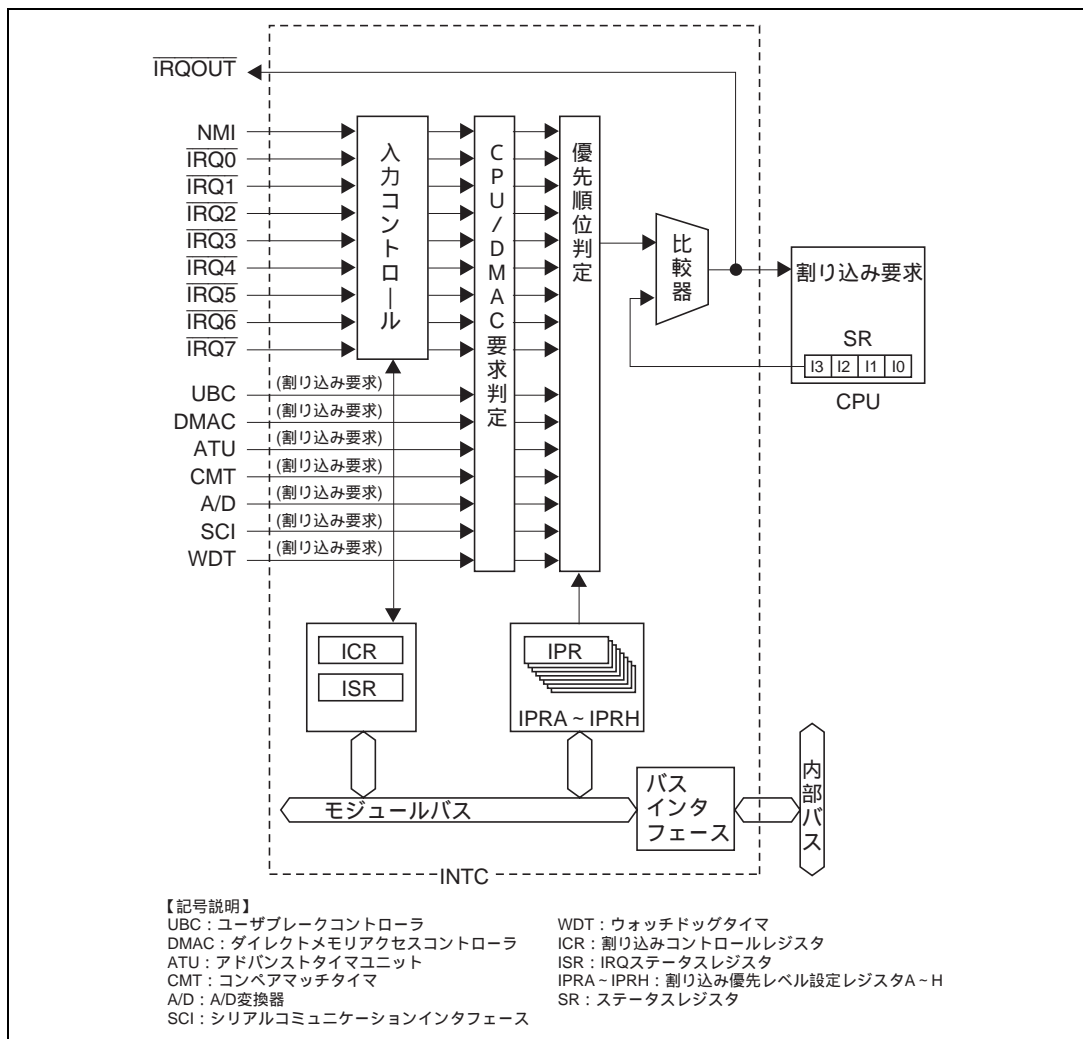


図 6.1 INTC のブロック図

6.1.3 端子構成

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ0 ~ IRQ7	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	IRQOUT	出力	割り込み要因の発生を知らせる信号を出力

6.1.4 レジスタ構成

INTC には、表 6.2 に示すように 10 本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'FFFF8348	8、16、32
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'0000	H'FFFF834A	8、16、32
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'FFFF834C	8、16、32
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'FFFF834E	8、16、32
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'FFFF8350	8、16、32
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'0000	H'FFFF8352	8、16、32
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'0000	H'FFFF8354	8、16、32
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'0000	H'FFFF8356	8、16、32
割り込みコントロールレジスタ	ICR	R/W	*1	H'FFFF8358	8、16、32
IRQ ステータスレジスタ	ISR	R/(W)*2	H'0000	H'FFFF835A	8、16、32

【注】 アクセスサイクルはバイトアクセス、ワードアクセス時には 2 サイクル、ロングワードアクセス時には 4 サイクルになります。

*1 NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000

*2 フラグをクリアするための 0 ライトのみ可能です

6.2 割り込み要因

割り込み要因は、NMI、ユーザブレイク、IRQ、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

6.2.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ(ICR)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は15に設定されます。

6.2.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ(UBC)で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレイク例外処理によって、SRのI3~I0は15に設定されます。ユーザブレイクの詳細は、「7. ユーザブレイクコントローラ」を参照してください。

6.2.3 IRQ 割り込み

IRQ 割り込みは $\overline{IRQ0}$ ~ $\overline{IRQ7}$ 端子からの入力による割り込みです。ICRのIRQセンスセレクトビット(IRQ0S~IRQ7S)の設定によって、端子ごとにローレベル検出あるいは立ち下がりエッジ検出を選択できます。また、割り込み優先レベル設定レジスタA~B(IPRA~IPRB)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ端子がローレベルの期間INTCに割り込み要求信号が送られます。IRQ端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQステータスレジスタ(ISR)のIRQフラグ(IRQ0F~IRQ7F)をリードすることにより割り込み要求のレベルを確認できます。

IRQ 割り込みを立ち下がりエッジ検出に設定している場合、IRQ端子のハイレベルからローレベルの変化により割り込み要求が検出され、INTCに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、ISRのIRQ0F~IRQ7FをリードすることによりIRQ 割り込み要求が検出されているかどうかを確認でき、1リード後に0をライトすることによりIRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SRのI3~I0は、受け付けたIRQ 割り込みの優先レベル値に設定されます。

6.2.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ (DMAC)
- アドバンスドタイマユニット (ATU)
- コンペアマッチタイマ (CMT)
- A/D 変換器 (A/D)
- シリアルコミュニケーションインタフェース (SCI)
- ウォッチドッグタイマ (WDT)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ C~H (IPRC~IPRH) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3~I0 は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.2.5 割り込み例外処理ベクタと優先順位

表 6.3 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「5. 例外処理」の「表 5.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A~H (IPRA~IPRH) によって、端子またはモジュールごとに、優先レベル 0~15 の範囲で任意に設定できます。ただし、IPRC~IPRH に対応する割り込み要因の優先順位は、表 6.3 の「IPR 設定単位内の優先順位」に示すように定められており、変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.3 に示す「デフォルト優先順位」に従って処理されます。

6. 割り込みコントローラ (INTC)

表 6.3 割り込み例外ベクタと優先順位

割り込み要因番号		割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 範囲内の 優先順位	デフォルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット					
NMI		11	H'0000002C ~ H'0000002F	16	-	-	高 ↑ ↓ 低	
ユーザブ레이크		12	H'00000030 ~ H'00000033	15	-	-		
IRQ0		64	H'00000100 ~ H'00000103	0 ~ 15 (0)	IPRA (15 ~ 12)	-		
IRQ1		65	H'00000104 ~ H'00000107	0 ~ 15 (0)	IPRA (11 ~ 8)	-		
IRQ2		66	H'00000108 ~ H'0000010B	0 ~ 15 (0)	IPRA (7 ~ 4)	-		
IRQ3		67	H'0000010C ~ H'0000010F	0 ~ 15 (0)	IPRA (3 ~ 0)	-		
IRQ4		68	H'00000110 ~ H'00000113	0 ~ 15 (0)	IPRB (15 ~ 12)	-		
IRQ5		69	H'00000114 ~ H'00000117	0 ~ 15 (0)	IPRB (11 ~ 8)	-		
IRQ6		70	H'00000118 ~ H'0000011B	0 ~ 15 (0)	IPRB (7 ~ 4)	-		
IRQ7		71	H'0000011C ~ H'0000011F	0 ~ 15 (0)	IPRB (3 ~ 0)	-		
DMAC0	DEI0	72	H'00000120 ~ H'00000123	0 ~ 15 (0)	IPRC (15 ~ 12)	↑ 1		
DMAC1	DEI1	74	H'00000128 ~ H'0000012B			↓ 2		
DMAC2	DEI2	76	H'00000130 ~ H'00000133	0 ~ 15 (0)	IPRC (11 ~ 8)	↑ 1		
DMAC3	DEI3	78	H'00000138 ~ H'0000013B			↓ 2		
ATU0	ATU01	ITV	80	H'00000140 ~ H'00000143	0 ~ 15 (0)	IPRC (7 ~ 4)		-
	ATU02	IC10A	84	H'00000150 ~ H'00000153	0 ~ 15 (0)	IPRC (3 ~ 0)		↑ 1
		IC10B	85	H'00000154 ~ H'00000157				2
		IC10C	86	H'00000158 ~ H'0000015B				3
		IC10D	87	H'0000015C ~ H'0000015F				↓ 4
ATU03	OVI0	88	H'00000160 ~ H'00000163	0 ~ 15 (0)	IPRD (15 ~ 12)	-		
ATU1	ATU11	IMI1A	92	H'00000170 ~ H'00000173	0 ~ 15 (0)	IPRD (11 ~ 8)		↑ 1
		IMI1B	93	H'00000174 ~ H'00000177				2
		IMI1C	94	H'00000178 ~ H'0000017B				↓ 3
	ATU12	IMI1D	96	H'00000180 ~ H'00000183	0 ~ 15 (0)	IPRD (7 ~ 4)		↑ 1
		IMI1E	97	H'00000184 ~ H'00000187				2
		IMI1F	98	H'00000188 ~ H'0000018B				↓ 3
	ATU13	OV11	100	H'00000190 ~ H'00000193	0 ~ 15 (0)	IPRD (3 ~ 0)	-	
ATU2	IMI2A	104	H'000001A0 ~ H'000001A3	0 ~ 15 (0)	IPRE (15 ~ 12)	↑ 1		
	IMI2B	105	H'000001A4 ~ H'000001A7			2		
	OV12	106	H'000001A8 ~ H'000001AB			↓ 3		
ATU3	ATU31	IMI3A	108	H'000001B0 ~ H'000001B3	0 ~ 15 (0)	IPRE (11 ~ 8)	↑ 1	
		MII3B	109	H'000001B4 ~ H'000001B7			2	
		IMI3C	110	H'000001B8 ~ H'000001BB			3	
		IMI3D	111	H'000001BC ~ H'000001BF			↓ 4	
	ATU32	OV13	112	H'000001C0 ~ H'000001C3	0 ~ 15 (0)	IPRE (7 ~ 4)	-	
ATU4	ATU41	IMI4A	116	H'000001D0 ~ H'000001D3	0 ~ 15 (0)	IPRE (3 ~ 0)	↑ 1	
		IMI4B	117	H'000001D4 ~ H'000001D7			2	
		IMI4C	118	H'000001D8 ~ H'000001DB			3	
		IMI4D	119	H'000001DC ~ H'000001DF			↓ 4	
	ATU42	OV14	120	H'000001E0 ~ H'000001E3	0 ~ 15 (0)	IPRF (15 ~ 12)	-	

6. 割り込みコントローラ (INTC)

割り込み要因番号		割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 範囲内の 優先順位	デフォ ルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット					
ATU5	IMI5A	124	H'000001F0 ~ H'000001F3	0 ~ 15 (0)	IPRF (11 ~ 8)	↑ 1	↑ 高	
	IMI5B	125	H'000001F4 ~ H'000001F7			↓ 2		
	OV15	126	H'000001F8 ~ H'000001FB			↓ 3		
ATU6	CMI6	128	H'00000200 ~ H'00000203	0 ~ 15 (0)	IPRF (7 ~ 4)	↑ 1	↑	
ATU7	CMI7	129	H'00000204 ~ H'00000207			↓ 2		
ATU8	CMI8	130	H'00000208 ~ H'0000020B			↓ 3		
ATU9	CMI9	131	H'0000020C ~ H'0000020F			↓ 4		
ATU10	ATU101	OSI10A	132	H'00000210 ~ H'00000213	0 ~ 15 (0)	IPRF (3 ~ 0)	↑ 1	↑
		OSI10B	133	H'00000214 ~ H'00000217			↓ 2	
		OSI10C	134	H'00000218 ~ H'0000021B			↓ 3	
	ATU102	OSI10D	136	H'00000220 ~ H'00000223	0 ~ 15 (0)	IPRG (15 ~ 12)	↑ 1	
		OSI10E	137	H'00000224 ~ H'00000227			↓ 2	
		OSI10F	138	H'00000228 ~ H'0000022B			↓ 3	
	ATU103	OSI10G	140	H'00000230 ~ H'00000233	0 ~ 15 (0)	IPRG (11 ~ 8)	↑ 1	
		OSI10H	141	H'00000234 ~ H'00000237			↓ 2	
	CMT0	CMTI0	144	H'00000240 ~ H'00000243	0 ~ 15 (0)	I PRG (7 ~ 4)	↑ 1	
A/D0	ADI0	145	H'00000244 ~ H'00000247	0 ~ 15 (0)		↓ 2		
CMT1	CMT11	148	H'00000250 ~ H'00000253	0 ~ 15 (0)	IPRG (3 ~ 0)	↑ 1		
A/D1	ADI1	149	H'00000254 ~ H'00000257	0 ~ 15 (0)		↓ 2		
SCI0	ERI0	152	H'00000260 ~ H'00000263	0 ~ 15 (0)	IPRH(15 ~ 12)	↑ 1		
	RXI0	153	H'00000264 ~ H'00000267			↓ 2		
	TXI0	154	H'00000268 ~ H'0000026B			↓ 3		
	TEI0	155	H'0000026C ~ H'0000026F			↓ 4		
SCI1	ERI0	156	H'00000270 ~ H'00000273	0 ~ 15 (0)	IPRH (11 ~ 8)	↑ 1		
	RXI1	157	H'00000274 ~ H'00000277			↓ 2		
	TXI1	158	H'00000278 ~ H'0000027B			↓ 3		
	TEI1	159	H'0000027C ~ H'0000027F			↓ 4		
SCI2	ERI2	160	H'00000280 ~ H'00000283	0 ~ 15 (0)	IPRH (7 ~ 4)	↑ 1		
	RXI2	161	H'00000284 ~ H'00000287			↓ 2		
	TXI2	162	H'00000288 ~ H'0000028B			↓ 3		
	TEI2	163	H'0000028C ~ H'0000028F			↓ 4		
WDT	ITI	164	H'00000290 ~ H'00000293	0 ~ 15 (0)	IPRH (3 ~ 0)	-	↓ 低	

6.3 レジスタの説明

6.3.1 割り込み優先レベル設定レジスタ A~H (IPRA~IPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み優先レベル設定レジスタ A~H (IPRA~IPRH) は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0~15) を設定します。割り込み要求元と IPRA~IPRH の各ビットの対応を表 6.4 に示します。

表 6.4 割り込み要求元と IPRA~IPRH

レジスタ	ビット			
	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	DMAC0、1	DMAC2、3	ATU01	ATU02
割り込み優先レベル設定レジスタ D	ATU03	ATU11	ATU12	ATU13
割り込み優先レベル設定レジスタ E	ATU2	ATU31	ATU32	ATU41
割り込み優先レベル設定レジスタ F	ATU42	ATU5	ATU6~9	ATU101
割り込み優先レベル設定レジスタ G	ATU102	ATU103	CMT0、A/D0	CMT1、A/D1
割り込み優先レベル設定レジスタ H	SCI0	SCI1	SCI2	WDT

表 6.4 に示すように、1 本のレジスタに 4 つの \overline{IRQ} 端子、または 4 組の内蔵周辺モジュールが割り当てられています。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。複数の内蔵周辺モジュールが同じビットに割り当てられている場合 (DMAC0 と DMAC1、DMAC2 と DMAC3、ATU6~ATU9、CMT0 と A/D0、CMT1 と A/D1) その複数のモジュールは同じ優先順位に設定されます。

IPRA~IPRH は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

6.3.2 割り込みコントロールレジスタ (ICR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL							NMIE	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * NMI端子がハイレベルのとき1、ローレベルのとき0

割り込みコントロールレジスタ (ICR) は、16 ビットのレジスタで、外部割り込み入力端子 NMI と $\overline{IRQ0} \sim \overline{IRQ7}$ の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR はパワーオンリセットおよびハードウェアスタンバイモードで初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	説明
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

ビット 14~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : NMI エッジセレクト (NMIE)

ビット 8	説明
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット 7~0 : IRQ0 ~ IRQ7 センスセレクト (IRQ0S ~ IRQ7S)

IRQ0 ~ IRQ7 割り込み要求の検出モードを設定します。

ビット 7~0	説明
IRQ0S ~ IRQ7S	
0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
1	IRQ 入力の立ち下がりエッジで割り込み要求を検出

6. 割り込みコントローラ (INTC)

6.3.3 IRQ ステータスレジスタ (ISR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ ステータスレジスタ (ISR) は 16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $\text{IRQnF}=1$ をリード後 IRQnF に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

ISR はパワーオンリセットで初期化されます。スタンバイモード時には初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7~0 : IRQ0 ~ IRQ7 フラグ (IRQ0F ~ IRQ7F)

IRQ0 ~ IRQ7 割り込み要求のステータスを表示します。

ビット 7~0 IRQ0F ~ IRQ7F	検出設定	説明
0	レベル検出時	IRQn 割り込み要求が存在しません。 【クリア条件】 $\overline{\text{IRQn}}$ 入力がハイレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されていません。 (初期値) 【クリア条件】 (1) $\text{IRQnF}=1$ の状態をリード後に 0 をライトしたとき (2) IRQn 割り込み例外処理を実行したとき
1	レベル検出時	IRQn 割り込み要求が存在します。 【セット条件】 $\overline{\text{IRQn}}$ 入力がローレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されています。 【セット条件】 $\overline{\text{IRQn}}$ 入りに立ち下がりエッジが発生したとき

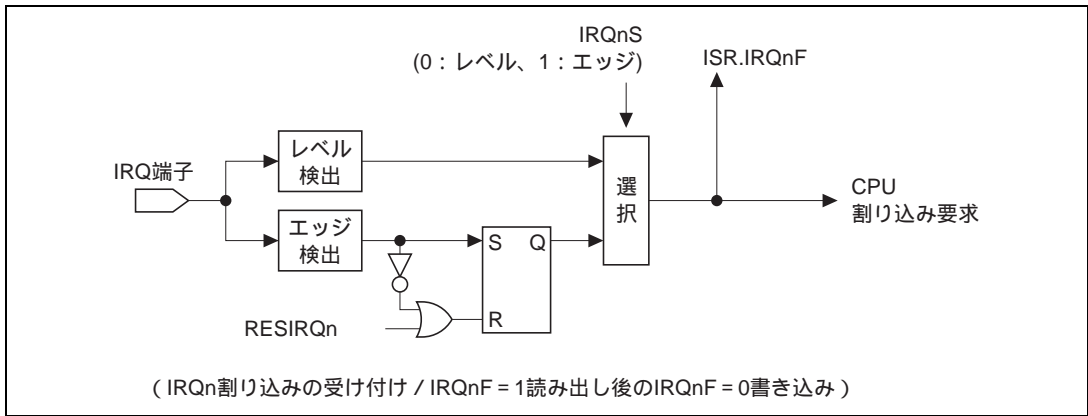


図 6.2 IRQ0 ~ IRQ7 割り込み制御

6.4 動作説明

6.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.3 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 6.3 に示す「デフォルト優先順位」と「IPR 設定単位内の優先順位」に従って、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
- (5) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます(図 6.5 参照)。
- (6) SR とプログラムカウンタ (PC) がスタックに退避されます。
- (7) SR の I3 ~ I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
- (8) 受け付けられた割り込みがレベルセンスまたは内蔵周辺モジュールからの割り込みだった場合、 $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。なお、受け付けた割り込みがエッジセンスだった場合は、(5) で CPU が実行しようとしていた命令を割り込み例外処理に置き換えた時点で $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。
- (9) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (ISR) のアクセスにより取り下げることができます。詳しくは「6.2.3 IRQ 割り込み」を参照してください。
また、エッジ検出により保留されている割り込みはパワーオンリセットおよびマニュアルリセットでクリアされます。

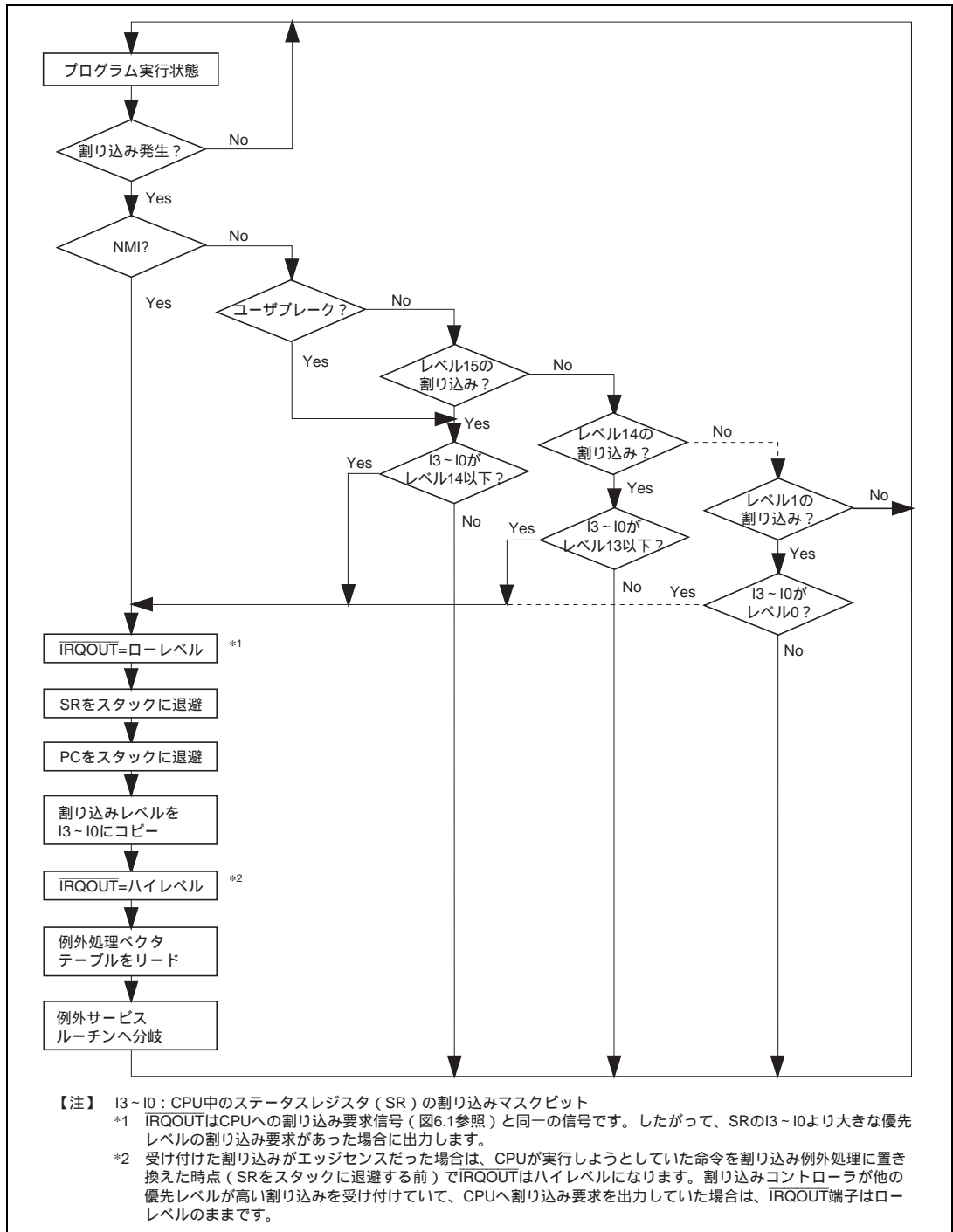


図 6.3 割り込み動作フロー

6. 割り込みコントローラ (INTC)

6.4.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.4 に示すようになります。

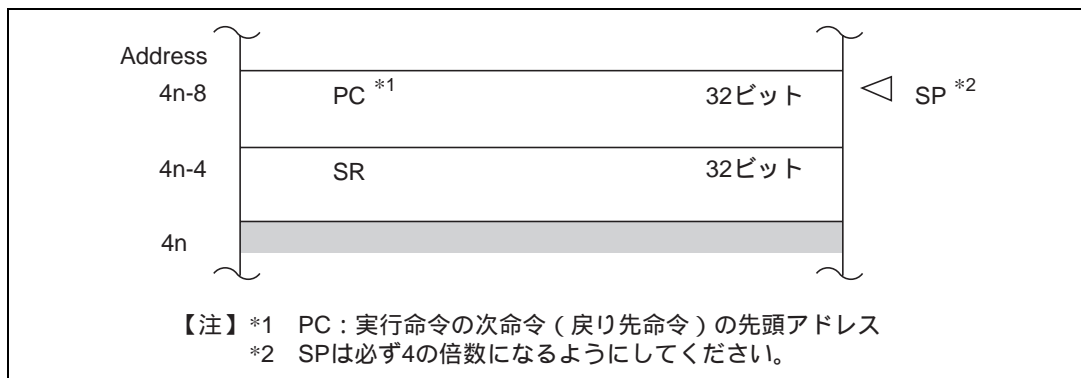


図 6.4 割り込み例外処理終了後のスタック状態

6.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.5 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 6.5 に示します。

表 6.5 割り込み応答時間

項目	ステート数備考		備考	
	NMI、周辺モジュール	IRQ		
DMAC 起動判定	0 または 1	1	DMAC 起動が可能な割り込み信号の場合 1 ステート必要です。	
優先順位判定および SR のマスクビットとの比較時間	2	3		
CPU が実行中のシーケンス終了までの待ち時間	X (0)		最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X=4+m1+m2+m3+m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	5+m1+m2+m3		SR、PC の退避とベクタアドレスのフェッチを行います。	
応答時間	合計	7+m1+m2+m3	8+m1+m2+m3	
	最小時	10	11	20MHz 動作時 : 0.50 ~ 0.55 μ s
	最大時	12+2(m1+m2+m3)+m4	12+2(m1+m2+m3)+m4	20MHz 動作時 : 0.95 μ s*

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : SR の退避 (ロングワードライト)

m2 : PC の退避 (ロングワードライト)

m3 : ベクタアドレスリード (ロングワードリード)

m4 : 割り込みサービスルーチン先頭命令のフェッチ

* m1=m2=m3=m4=1 の場合

6. 割り込みコントローラ (INTC)

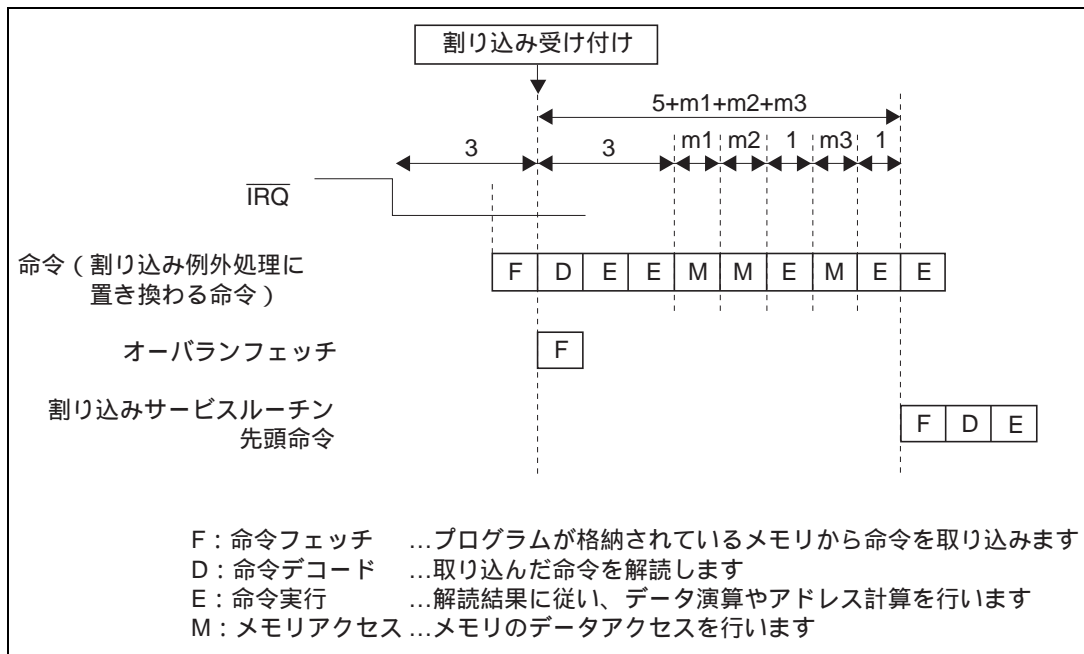


図 6.5 IRQ 割り込みを受け付けるときのパイプライン動作例

6.6 割り込み要求信号によるデータ転送

割り込み要求信号により、以下のデータ転送を行うことができます。

- DMAC を起動、CPU 割り込みは発生しない

割り込み要因の中で、DMAC 起動要因に指定されているものは INTC に入力されずにマスクされません。マスク条件は次のように表されます。

マスク条件 = $DME \cdot (DE0 \cdot \text{要因選択} 0 + DE1 \cdot \text{要因選択} 1 + DE2 \cdot \text{要因選択} 2 + DE3 \cdot \text{要因選択} 3)$

制御ブロック図を図 6.6 に示します。

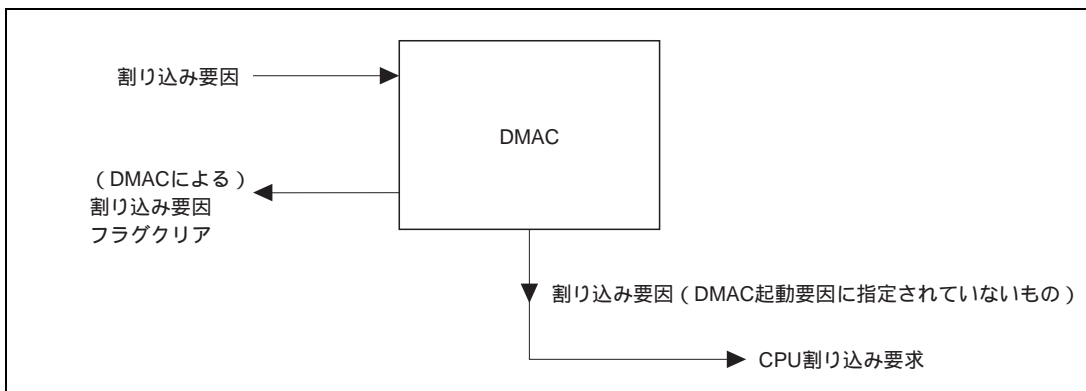


図 6.6 割り込み制御ブロック図

6.6.1 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合

- (1) DMACで要因を選択しないか、またはDMEビットを"0"にクリアします。
- (2) 割り込みが発生すると、CPUに割り込みを要求します。
- (3) CPUは割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

6.6.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

- (1) DMACで要因を選択し、DME=1にセットします。割り込み優先レベルレジスタの設定によらずCPU割り込み要因はマスクされます。
- (2) 割り込みが発生すると、DMACに起動要因が与えられます。
- (3) DMACは、転送時に起動要因をクリアします。

6. 割り込みコントローラ (INTC)

7. DMA コントローラ

7.1 概要

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

消費電流低減のため DMA コントローラを使用しない場合には、DMA コントローラを単独で停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

7.1.1 特長

DMAC には次の特長があります。

ショートアドレスモードとフルアドレスモードを選択可能

(1) ショートアドレスモード

- 転送元、転送先アドレスの一方を 24 ビット、他方を 8 ビットで指定
- 最大 4 チャンネルを使用可能
- I/O モード / アイドルモード / リピートモードの選択が可能

(2) フルアドレスモード

- 転送元、転送先アドレスを 24 ビットで指定
- 最大 2 チャンネルを使用可能
- ノーマルモード / ブロック転送モードの選択が可能

16M バイトのアドレス空間を直接指定可能

転送単位をバイト / ワードに設定可能

起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)

- 16 ビットタイマのコンペアマッチ / インプットキャプチャ割り込み × 3
- シリアルコミュニケーションインタフェース (SCI チャンネル 0) の送信データエンティ割り込み、受信データフル割り込み
- 外部リクエスト
- オートリクエスト
- A/D 変換器の変換終了割り込み

7. ユーザブレイクコントローラ (UBC)

7.1.2 ブロック図

UBC のブロック図を図 7.1 に示します。

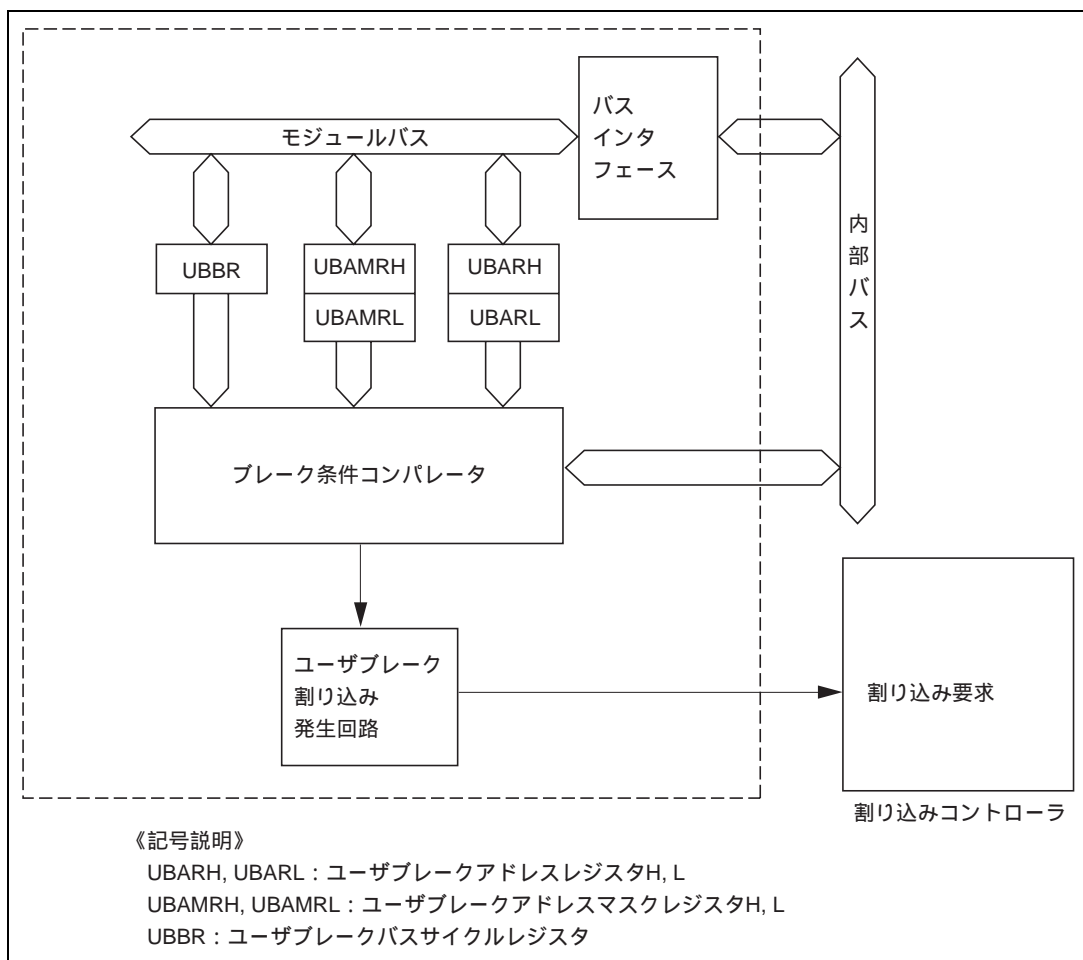


図 7.1 UBC のブロック図

7.1.3 レジスタ構成

UBC には、表 7.1 に示すように 5 本のレジスタがあります。これらのレジスタにより、ブ레이크条件を設定します。

表 7.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*	アクセスサイズ
ユーザブ레이크アドレスレジスタ H	UBARH	R/W	H'0000	H'FFFF8600	8、16、32
ユーザブ레이크アドレスレジスタ L	UBARL	R/W	H'0000	H'FFFF8602	8、16、32
ユーザブ레이크アドレスマスクレジスタ H	UBAMRH	R/W	H'0000	H'FFFF8604	8、16、32
ユーザブ레이크アドレスマスクレジスタ L	UBAMRL	R/W	H'0000	H'FFFF8606	8、16、32
ユーザブ레이크バスサイクルレジスタ	UBBR	R/W	H'0000	H'FFFF8608	8、16、32

【注】 * レジスタアクセスはバイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。

7. ユーザブレークコントローラ (UBC)

7.2 レジスタの説明

7.2.1 ユーザブレークアドレスレジスタ (UBAR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブレークアドレスレジスタ (UBAR) は、ユーザブレークアドレスレジスタ H (UBARH) とユーザブレークアドレスレジスタ L (UBARL) の 2 本で 1 組となっています。UBARH と UBARL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、UBARH はブレーク条件とするアドレスの上位側 (ビット 31~16) を指定し、UBARL はアドレスの下位側 (ビット 15~0) を指定します。UBARH と UBARL は、パワーオンリセットで H'0000 に初期化されます。ソフトウェアスタンバイモード時には、初期化されません。

UBARH ビット 15~0: ユーザブレークアドレス 31~16 (UBA31~UBA16)

ブレーク条件とするアドレスの上位側 (ビット 31~16) を格納します。

UBARL ビット 15~0: ユーザブレークアドレス 15~0 (UBA15~UBA0)

ブレーク条件とするアドレスの下位側 (ビット 15~0) を格納します。

7.2.2 ユーザブ레이크アドレスマスクレジスタ (UBAMR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24	UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8	UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブ레이크アドレスマスクレジスタ (UBAMR) は、ユーザブ레이크アドレスマスクレジスタ H (UBAMRH) とユーザブ레이크アドレスマスクレジスタ L (UBAMRL) の 2 本で 1 組となっています。UBAMRH と UBAMRL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。UBAMRH は UBARH に設定されているブ레이크アドレスのどのビットをマスクするかを指定し、UBAMRL は UBARL に設定されているブ레이크アドレスのどのビットをマスクするかを指定します。UBAMRH と UBAMRL は、パワーオンリセットで H'0000 に初期化されます。ソフトウェアスタンバイモード時には、初期化されません。

UBAMRH ビット 15~0 : ユーザブ레이크アドレスマスク 31~16 (UBM31~UBM16)

UBARH に設定されているユーザブ레이크アドレス 31~16 (UBA31~UBA16) の各ビットをマスクするかどうかを指定します。

UBAMRL ビット 15~0 : ユーザブ레이크アドレスマスク 15~0 (UBM15~UBM0)

UBARL に設定されているユーザブ레이크アドレス 15~0 (UBA15~UBA0) の各ビットをマスクするかどうかを指定します。

ビット 15~0	説明	
UBMn		
0	ユーザブ레이크アドレス UBA _n をブ레이크条件に含む	(初期値)
1	ユーザブ레이크アドレス UBA _n をブ레이크条件に含まない	

n = 31~0

7. ユーザブレイクコントローラ (UBC)

7.2.3 ユーザブレイクバスサイクルレジスタ (UBBR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブレイクバスサイクルレジスタ (UBBR) は読み出し / 書き込み可能な 16 ビットのレジスタで、ブレイク条件のうち (1)CPU サイクル / DMA サイクル (2)命令フェッチ / データアクセス (3)読み出し / 書き込み (4)オペランドサイズ (バイト、ワード、ロングワード) の 4 条件を設定します。UBBR は、パワーオンリセットで H'0000 に初期化されます。ソフトウェアスタンバイモードでは、初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7, 6 : CPU サイクル / 周辺サイクルセレクト (CP1, CP0)

CPU サイクルまたは周辺サイクル (DMA サイクル) をブレイク条件に指定します。

ビット 7	ビット 6	説明
CP1	CP0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	CPU サイクルをブレイク条件とする
1	0	周辺サイクルをブレイク条件とする
	1	CPU サイクルと周辺サイクルのどちらもブレイク条件とする

ビット 5, 4 : 命令フェッチ / データアクセスセレクト (ID1, ID0)

命令フェッチサイクルまたはデータアクセスサイクルをブレイク条件に指定します。

ビット 5	ビット 4	説明
ID1	ID0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	命令フェッチサイクルをブレイク条件とする
1	0	データアクセスサイクルをブレイク条件とする
	1	命令フェッチサイクルとデータアクセスサイクルのどちらもブレイク条件とする。

ビット3、2：リード/ライトセレクト (RW1、RW0)

リードサイクルまたはライトサイクルをブレイク条件に指定します。

ビット3	ビット2	説明
RW1	RW0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	リードサイクルをブレイク条件とする
1	0	ライトサイクルをブレイク条件とする
	1	リードサイクルとライトサイクルのどちらもブレイク条件とする

ビット1、0：オペランドサイズセレクト (SZ1、SZ0)

ブレイク条件にするオペランドサイズを指定します。

ビット1	ビット0	説明
SZ1	SZ0	
0	0	ブレイク条件にオペランドサイズを含まない (初期値)
	1	バイトアクセスをブレイク条件とする
1	0	ワードアクセスをブレイク条件とする
	1	ロングワードアクセスをブレイク条件とする

【注】 命令フェッチでブレイクをかける場合は、SZ0 ビットを0にしてください。すべての命令は、ワードサイズでアクセスされるものとみなされます (内蔵メモリに命令があって、1回のバスサイクルで同時に2命令フェッチする場合もワードでアクセスされるものとみなされます)。オペランドサイズは、命令の場合はワード、CPU/DMAC のデータアクセスはその指定したオペランドサイズで決まります。アクセスする空間のバス幅によって決まるものではありません。

7.3 動作説明

7.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの流れを以下に示します。

- (1) ブレイク条件のうち、ユーザブレイクアドレスをユーザブレイクアドレスレジスタ(UBAR)、アドレスの中のマスクしたいビットをユーザブレイクアドレスマスクレジスタ(UBAMR)、ブレイクするバスサイクルの種類をユーザブレイクバスサイクルレジスタ(UBBR)に設定してください。UBBRのCPUサイクル/周辺サイクルセレクトビット(CP1、CP0)、命令フェッチ/データアクセスセレクトビット(ID1、ID0)、リード/ライトセレクトビット(RW1、RW0)のいずれか1組でも00(ユーザブレイク割り込みは発生させない)にセットされていると、他の条件が一致してもユーザブレイク割り込みは発生しません。ユーザブレイク割り込みを使用したいときは、必ずこれら3組のビットすべてに条件を設定してください。
- (2) UBCは、設定した条件が成立したかどうかを図7.2に示す方式で判定します。ブレイク条件が成立すると、UBCは割り込みコントローラ(INTC)に、ユーザブレイク割り込み要求信号を送ります。
- (3) ユーザブレイク割り込み要求信号を受け取ると、INTCは優先順位の判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)がレベル14以下のとき、受け付けられます。I3~I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、受け付けられるようになるまで保留されます。したがって、NMI例外処理では、I3~I0ビットはレベル15になりますので、NMI例外サービスルーチン中はユーザブレイク割り込みは受け付けられません。ただし、NMI例外サービスルーチンの先頭でI3~I0ビットをレベル14以下に変更すれば、それ以後ユーザブレイク割り込みが受け付けられるようになります。優先順位判定の詳細については、「6. 割り込みコントローラ」を参照してください。
- (4) INTCは、ユーザブレイク割り込みの要求信号をCPUに送ります。これを受け取ると、CPUはユーザブレイク割り込み例外処理を開始します。割り込み例外処理の詳細については、「6.4 動作説明」を参照してください。

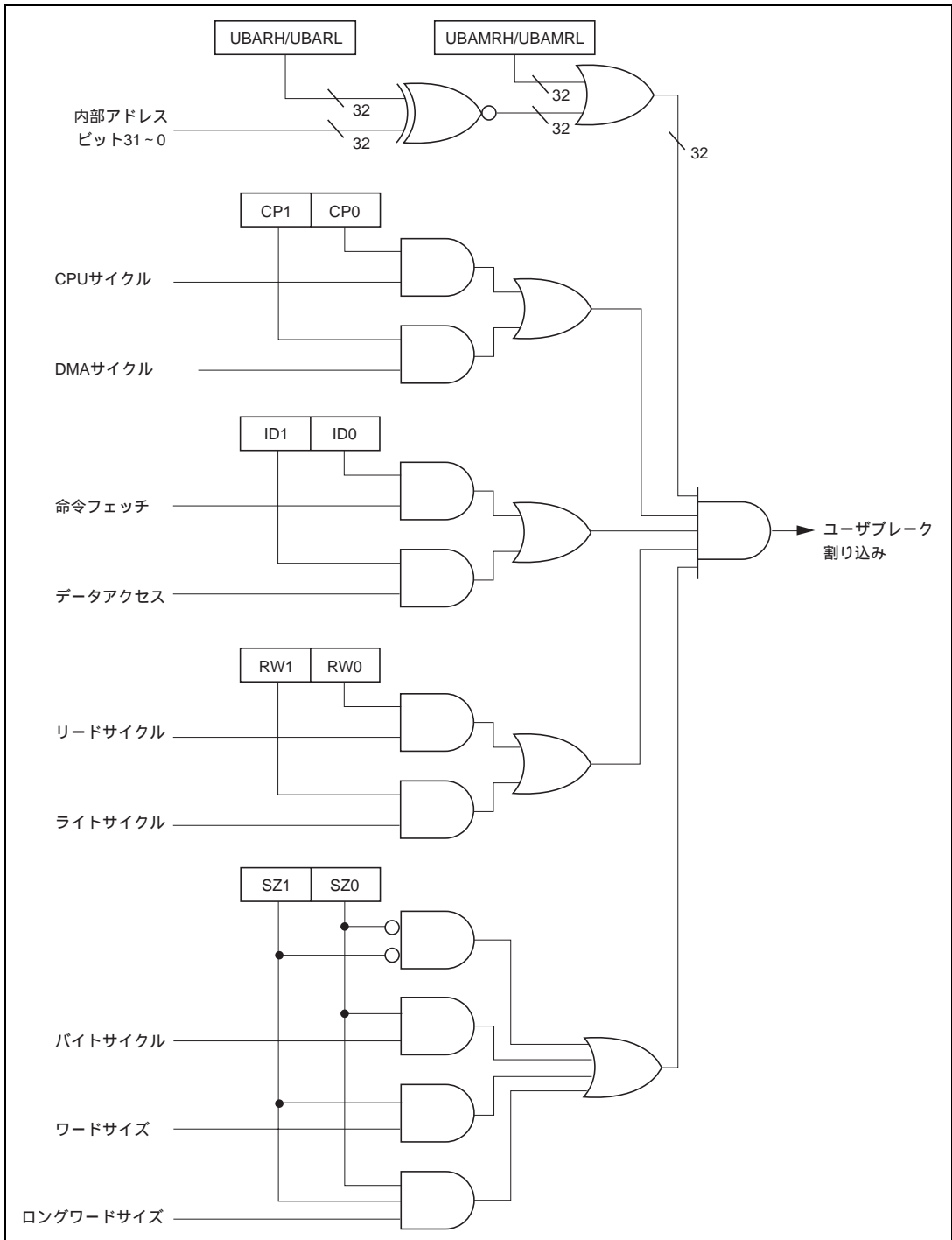


図 7.2 ブレイク条件判定方式

7.3.2 内蔵メモリの命令フェッチサイクルによるブレーク

内蔵メモリ(内蔵ROM、内蔵RAM)は、常に32ビットを1回のバスサイクルでアクセスします。したがって、命令を内蔵メモリからフェッチする場合、1回のバスサイクルで2命令が取り込まれます。このとき、1回のバスサイクルしか発生しませんが、両命令とも、それぞれの先頭アドレスをユーザブレークアドレスレジスタ(UBAR)に設定することによって、独立してブレークをかけることができます。言い換えると、1回のバスサイクルで取り込まれた2命令のうち、後半の命令でブレークをかけたいとき、UBARにはその命令の先頭アドレスを設定してください。これにより、前半の命令を実行した後、ブレークがかかるようになります。

7.3.3 退避するプログラムカウンタ(PC)の値

(1) 命令フェッチをブレーク条件に設定した場合

ユーザブレーク割り込み例外処理で退避されるプログラムカウンタ(PC)の値は、ブレーク条件に設定したアドレスです。このとき、フェッチされた命令は実行されず、その手前でユーザブレーク割り込みが発生します。ただし、遅延分岐命令直後(遅延スロット)に配置された命令のフェッチサイクルまたは割り込み禁止命令の次命令のフェッチサイクルをブレーク条件に設定した場合、ユーザブレーク割り込みはすぐには受け付けられず、ブレーク条件を設定した命令は実行されます。このとき、ユーザブレーク割り込みは、割り込みを受け付けられる命令が実行されてから受け付けられます。この場合、退避されるPCの値は、その割り込みを受け付けられる命令の次に実行されることになっていた命令の先頭アドレスです。

(2) データアクセス(CPU/周辺)をブレーク条件に設定した場合

ユーザブレーク例外処理が起動した時点における実行済み命令の次命令の先頭アドレスが退避されます。データアクセス(CPU/周辺)をブレーク条件に設定した場合、ブレークがかかる場所は特定することができません。ブレークするデータアクセスが発生した付近でフェッチしようとしていた命令がブレークされます。

7.4 ユーザブレイク使用例

(1) CPU 命令フェッチサイクルへのブレイク条件設定

(a) レジスタの設定 : UBARH = H'0000

UBARL = H'0404

UBBR = H'0054

設定された条件 : アドレス : H'00000404

バスサイクル : CPU、命令フェッチ、リード

(オペランドサイズは条件に含まない)

アドレスH'00000404にある命令の手前でユーザブレイク割り込みが発生します。アドレスH'00000402にある命令が割り込み受け付け可能ならば、この命令実行後、ユーザブレイク例外処理を実行します。H'00000404にある命令は実行されません。退避されるPCの値はH'00000404です。

(b) レジスタの設定 : UBARH = H'0015

UBARL = H'389C

UBBR = H'0058

設定された条件 : アドレス : H'0015389C

バスサイクル : CPU、命令フェッチ、ライト

(オペランドサイズは条件に含まない)

命令フェッチサイクルはライトサイクルではないので、ユーザブレイク割り込みは発生しません。

(c) レジスタの設定 : UBARH = H'0003

UBARL = H'0147

UBBR = H'0054

設定された条件 : アドレス : H'00030147

バスサイクル : CPU、命令フェッチ、リード

(オペランドサイズは条件に含まない)

命令フェッチは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。ただし、分岐後初めて命令フェッチするアドレスがこの条件に設定した奇数アドレスの場合、アドレスエラー例外処理後、ユーザブレイク割り込み例外処理が行われます。

7. ユーザブレイクコントローラ (UBC)

(2) CPU データアクセスサイクルへのブレイク条件設定

(a) レジスタの設定 : UBARH = H'0012

UBARL = H'3456

UBBR = H'006A

設定された条件 : アドレス : H'00123456

バスサイクル : CPU、データアクセス、ライト、ワード

アドレスH'00123456にワードデータを書き込むと、ユーザブレイク割り込みが発生します。

(b) レジスタの設定 : UBARH = H'00A8

UBARL = H'0391

UBBR = H'0066

設定された条件 : アドレス : H'00A80391

バスサイクル : CPU、データアクセス、リード、ワード

ワードアクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

(3) DMA サイクルへのブレイク条件設定

(a) レジスタの設定 : UBARH = H'0076

UBARL = H'BCDC

UBBR = H'00A7

設定された条件 : アドレス : H'0076BCDC

バスサイクル : DMA、データアクセス、リード、ロングワード

アドレスH'0076BCDCからロングワードデータを読み出すと、ユーザブレイク割り込みが発生します。

(b) レジスタの設定 : UBARH = H'0023

UBARL = H'45C8

UBBR = H'0094

設定された条件 : アドレス : H'002345C8

バスサイクル : DMA、命令フェッチ、リード

(オペランドサイズは条件に含まない)

DMAサイクルでは命令フェッチは行われないので、ユーザブレイク割り込みは発生しません。

7.5 使用上の注意

7.5.1 2 命令同時フェッチ

命令フェッチの際、2 命令が同時に取り込まれる場合があります。このとき、この 2 命令のうち、後半命令のフェッチをブレーク条件に設定していた場合、前半命令のフェッチ直後に UBC の各レジスタを書き換えてブレーク条件を変更しても、後半命令の手前でユーザブレーク割り込みが発生しません。

7.5.2 分岐時の命令フェッチ

条件分岐命令、TRAPA 命令で分岐する場合、命令フェッチと実行の順序は次のようになります。

(1) 条件分岐命令で分岐する場合：BT、BF 命令

TRAPA 命令で分岐する場合：TRAPA 命令

命令フェッチの順序 = 当該命令フェッチ 次命令オーバーランフェッチ

次々命令オーバーランフェッチ 分岐先命令フェッチ

命令実行の順序 = 当該命令実行 分岐先命令実行

(2) 遅延付き条件分岐命令で分岐する場合：BT/S、BF/S 命令

命令フェッチの順序 = 当該命令フェッチ 次命令フェッチ (遅延スロット)

次々命令オーバーランフェッチ 分岐先命令フェッチ

命令実行の順序 = 当該命令実行 遅延スロット命令実行 分岐先命令実行

このように、条件分岐命令、TRAPA 命令で分岐する場合、次命令あるいは次々命令をオーバーランフェッチしてから分岐先命令をフェッチします。ただし、ブレークの対象となる命令は、命令がフェッチされ実行されることが確定したときに、はじめてブレークするので、上記のようにオーバーランフェッチされた命令は、ブレークの対象となりません。

ただし、ブレーク条件として、命令フェッチブレーク以外にデータアクセスブレークも含めていた場合は、命令のオーバーランフェッチでもデータブレーク成立とみなしてブレークがかかります。

7.5.3 ユーザブレークと例外処理の競合

ある命令の命令フェッチにユーザブレークを設定した状態で、その命令 (またはその次の命令) のデコードステージにおいてユーザブレークより優先度が高い例外処理が競合して受け付けられた場合、その例外処理サービスルーチンを終了した (RTE で戻った) 後にユーザブレーク例外処理が発生しない場合があります。

7.5.4 非遅延分岐命令の飛び先でのブレーク

遅延スロットを持たない分岐命令 (例外処理も含む) が、分岐を実行して飛び先命令にジャンプしたとき、その最初の飛び先命令のフェッチにユーザブレーク条件をかけていても、ユーザブレークは発生しません。

7. ユーザブレークコントローラ (UBC)

8. バスステートコントローラ

8.1 概要

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに SRAM、ROM などを本 LSI に直結することができますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

8.1.1 特長

BSC には、次のような特長があります。

アドレス空間を4つに分割して管理

- CS0 空間は、内蔵 ROM 有効モードでは最大リニア 2M バイト、内蔵 ROM 無効モードでは最大 4M バイト
- CS1 空間、CS2 空間および CS3 空間はそれぞれ最大リニア 4M バイト
- 空間ごとに、バス幅 (8 ビットまたは 16 ビット) を選択可能
- 空間ごとに、ソフトウェアによるウェイトステートを挿入可能
- 外部メモリ空間アクセス時に $\overline{\text{WAIT}}$ 端子によるウェイトステートを挿入可能
- 各空間に接続するメモリに対応した制御信号を出力

内蔵ROM、RAMインタフェース

- 内蔵 ROM、RAM は 32 ビットを 1 ステートでアクセス

8. バスステートコントローラ

8.1.2 ブロック図

BSCのブロック図を図 8.1 に示します。

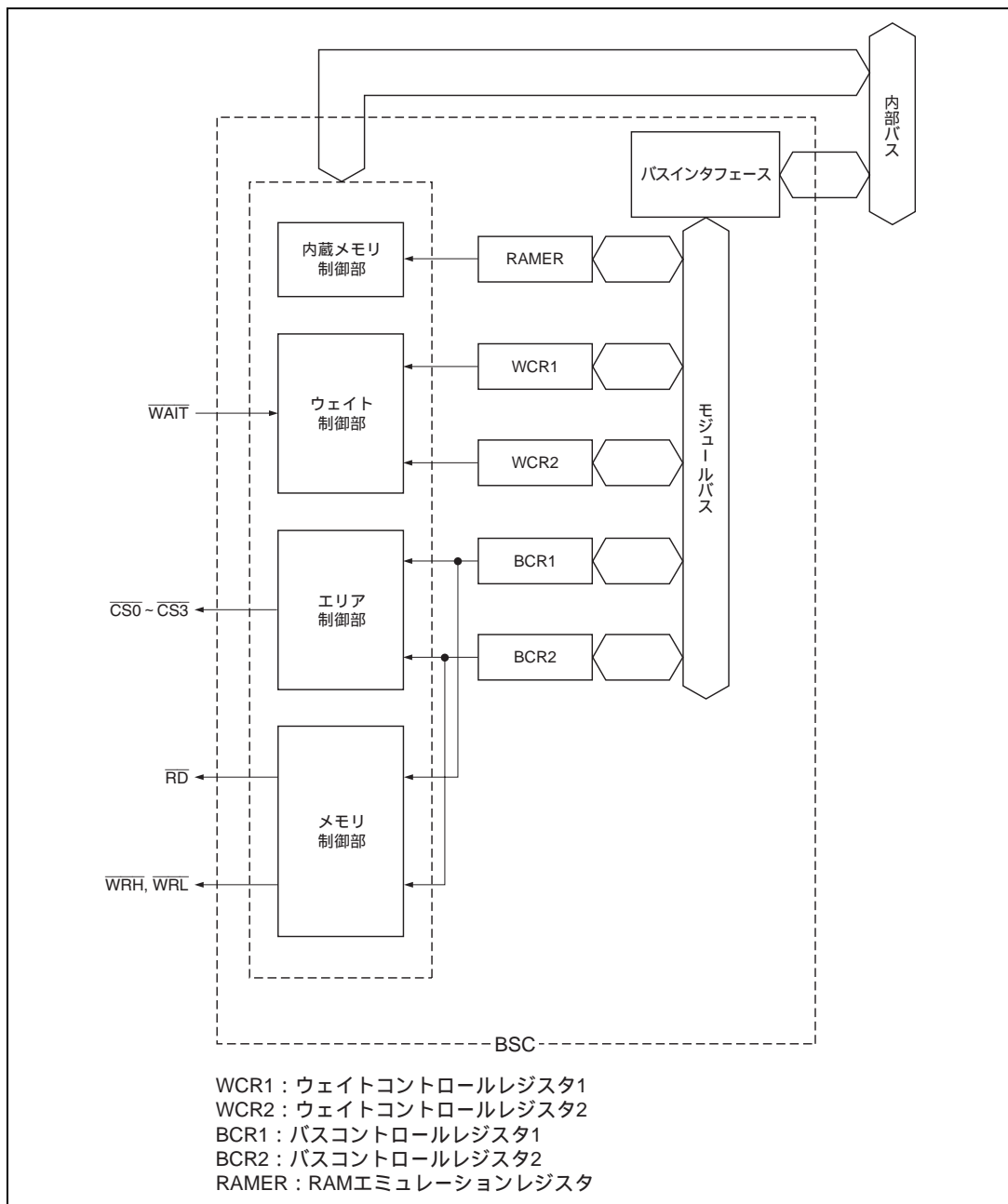


図 8.1 BSC のブロック図

8.1.3 端子構成

バスステートコントローラの端子構成を表 8.1 に示します。

表 8.1 端子構成

名称	略称	入出力	機能
アドレスバス	A21 ~ A0	出力	アドレス出力
データバス	D15 ~ D0	入出力	16 ビットのデータバス
チップセレクト	$\overline{CS0} \sim \overline{CS3}$	出力	アクセス中のエリアを示すチップセレクト信号
リード	RD	出力	リードサイクルを示すストロブ信号
上位側ライト	\overline{WRH}	出力	上位 8 ビット (D15 ~ D8) へのライトサイクルを示すストロブ信号
下位側ライト	\overline{WRL}	出力	下位 8 ビット (D7 ~ D0) へのライトサイクルを示すストロブ信号
ウェイト	\overline{WAIT}	入力	ウェイトステート要求信号
バス権要求	BREQ	入力	バス解放要求入力
バス権要求アクノリッジ	BACK	出力	バス使用許可出力

- 【注】 外部空間 8 ビットバス幅選択時は \overline{WRL} が有効になります。
外部空間 16 ビットバス幅選択時は \overline{WRH} 、 \overline{WRL} が有効になります。

8.1.4 レジスタ構成

バスステートコントローラには 5 本のレジスタがあります。これらのレジスタにより、ウェイトステート、バス幅、ROM、SRAM 等のメモリとのインタフェースの制御などを行います。レジスタ構成を表 8.2 に示します。

レジスタサイズはすべて 16 ビットです。

バスステートコントローラのレジスタはすべてパワーオンリセットおよびハードウェアスタンバイモード時に初期化されます。また、ソフトウェアスタンバイモード時には値は保持されます。

表 8.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
バスコントロールレジスタ 1	BCR1	R/W	H'000F	H'FFFF 8620	8、16、32
バスコントロールレジスタ 2	BCR2	R/W	H'FFFF	H'FFFF 8622	8、16、32
ウェイトコントロールレジスタ 1	WCR1	R/W	H'FFFF	H'FFFF 8624	8、16、32
ウェイトコントロールレジスタ 2	WCR2	R/W	H'000F	H'FFFF 8626	8、16、32
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFF 8628	8、16、32

- 【注】 1 RAMER にロングワードでライト動作を行う場合、下位ワード (H'FFFF 8630 番地) には常に 0 を書き込んでください。0 以外の値をライトした場合、動作の保証はできません。
2 レジスタアクセスは、バイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。

8. バスステートコントローラ

8.1.5 アドレスマップ

図 8.2 に、本 LSI で用いるアドレスのフォーマットを示します。

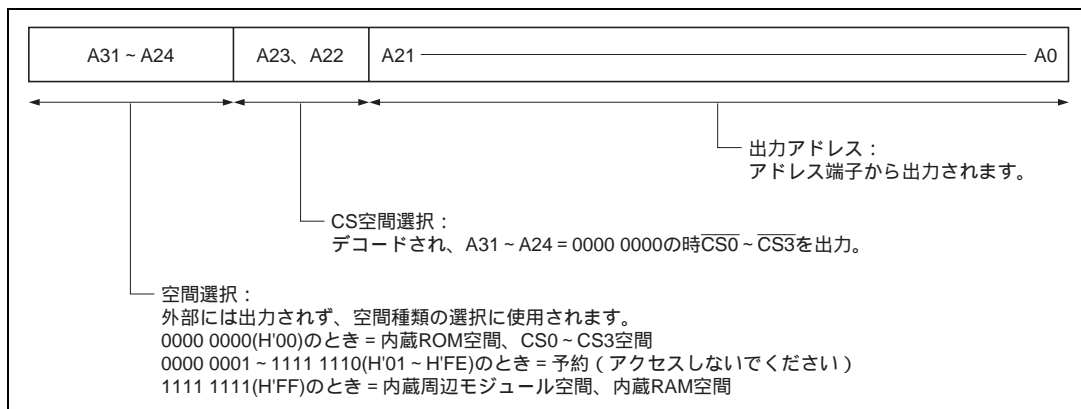


図 8.2 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用います。

A31 ~ A24 ビットは空間種類の選択に使用されます。外部には出力されません。

A23、A22 ビットは A31 ~ A24 ビットが 0000 0000 の時デコードされ、エリアに対応するチップセレクト信号 ($\overline{CS0} \sim \overline{CS3}$) となり、出力されます。

A21 ~ A0 は外部に出力されます。

表 8.3、表 8.4 にアドレスマップを示します。

表 8.3 アドレスマップ (ROM128kB/RAM6kB 版)

内蔵 ROM 有効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'0001 FFFF	内蔵 ROM	内蔵 ROM	128kB	32 ビット
H'0002 0000 ~ H'001F FFFF	予約	予約		
H'0020 0000 ~ H'003F FFFF	CS0 空間	外部空間	2MB	8、16 ビット ^{*1}
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 ビット ^{*1}
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 ビット ^{*1}
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 ビット ^{*1}
H'0100 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF 87FF	内蔵周辺モジュール	内蔵周辺モジュール	2kB	8、16 ビット
H'FFFF 8800 ~ H'FFFF E7FF	予約	予約		
H'FFFF E800 ~ H'FFFF FFFF	内蔵 RAM	内蔵 RAM	6kB	32 ビット

内蔵 ROM 無効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'003F FFFF	CS0 空間	外部空間	4MB	8、16 ビット ^{*2}
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 ビット ^{*1}
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 ビット ^{*1}
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 ビット ^{*1}
H'0100 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF 87FF	内蔵周辺モジュール	内蔵周辺モジュール	2kB	8、16 ビット
H'FFFF 8800 ~ H'FFFF E7FF	予約	予約		
H'FFFF E800 ~ H'FFFF FFFF	内蔵 RAM	内蔵 RAM	6kB	32 ビット

【注】 *1 内蔵レジスタの設定で選択

*2 モード端子で選択

予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。

8. バスステートコントローラ

表 8.4 アドレスマップ (ROM256kB/RAM10kB 版)

内蔵 ROM 有効モード時				
アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'0003 FFFF	内蔵 ROM	内蔵 ROM	256kB	32 ビット
H'0004 0000 ~ H'001F FFFF	予約	予約		
H'0020 0000 ~ H'003F FFFF	CS0 空間	外部空間	2MB	8、16 ビット ^{*1}
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 ビット ^{*1}
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 ビット ^{*1}
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 ビット ^{*1}
H'0100 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF 87FF	内蔵周辺モジュール	内蔵周辺モジュール	2kB	8、16 ビット
H'FFFF 8800 ~ H'FFFF D7FF	予約	予約		
H'FFFF D800 ~ H'FFFF FFFF	内蔵 RAM	内蔵 RAM	10kB	32 ビット

内蔵 ROM 無効モード時				
アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'003F FFFF	CS0 空間	外部空間	4MB	8、16 ビット ^{*2}
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 ビット ^{*1}
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 ビット ^{*1}
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 ビット ^{*1}
H'0100 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF 87FF	内蔵周辺モジュール	内蔵周辺モジュール	2kB	8、16 ビット
H'FFFF 8800 ~ H'FFFF D7FF	予約	予約		
H'FFFF D800 ~ H'FFFF FFFF	内蔵 RAM	内蔵 RAM	10kB	32 ビット

【注】 *1 内蔵レジスタの設定で選択

*2 モード端子で選択

予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。

8.2 レジスタの説明

8.2.1 バスコントロールレジスタ 1 (BCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	A3SZ	A2SZ	A1SZ	A0SZ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

バスコントロールレジスタ 1 (BCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のバスサイズを指定します。

BCR1 の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。内蔵 ROM 有効モードの場合、レジスタの初期設定が終了するまで各 CS 空間はアクセスしないでください。内蔵 ROM 無効モードの場合、レジスタの初期設定が終了するまで CS0 空間以外の CS 空間はアクセスしないでください。

ビット 15~4 は予約ビットです。書き込み時には、常に 0 を書き込んでください。1 を書き込んだ場合、動作の保証はできません。

BCR1 はパワーオンリセットおよびハードウェアスタンバイモード時に H'000F に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 3 : CS3 空間サイズ指定 (A3SZ)

CS3 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット 3	説明
A3SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

ビット 2 : CS2 空間サイズ指定 (A2SZ)

CS2 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット 2	説明
A2SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

8. バスステートコントローラ

ビット 1 : CS1 空間サイズ指定 (A1SZ)

CS1 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット 1	説明
A1SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

ビット 0 : CS0 空間サイズ指定 (A0SZ)

CS0 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります (内蔵 ROM 有効モード時のみ有効)。

ビット 0	説明
A0SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

【注】 A0SZ は内蔵 ROM 有効モード時のみ有効であり、内蔵 ROM 無効モード時は、CS0 空間のバスサイズはモード端子によって指定されます。

8.2.2 バスコントロールレジスタ 2 (BCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バスコントロールレジスタ 2 (BCR2) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のアイドルサイクル数や \overline{CS} 信号のアサート拡張を指定します。

BCR2 はパワーオンリセットおよびハードウェアスタンバイモード時に H'FFFF に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 15~8 : サイクル間アイドル指定 (IW31、IW30、IW21、IW20、IW11、IW10、IW01、IW00)

サイクル間アイドル指定はリードアクセス後に異なる CS 空間を続けてアクセスする場合にアクセス間に挿入するアイドルサイクルの指定を行います。これはリードデータのバッファオフの遅い ROM 等と、高速なメモリ、I/O インタフェース等のデータの衝突を防止するために使用します。同一 CS 空間に対するアクセスであっても、直前のアクセスがリードで次のアクセスがライトの場合にはアイドルサイクルの挿入を行います。アイドルサイクルの指定は直前にアクセスされた CS 空間のものが有効となります。詳細は「8.4 アクセスサイクル間ウェイト」を参照してください。

IW31、30 が CS3 空間のサイクル間アイドル、IW21、IW20 が CS2 空間のサイクル間アイドル、IW11、IW10 が CS1 空間のサイクル間アイドル、IW01、IW00 が CS0 空間のサイクル間アイドルをそれぞれ指定します。

8. バスステートコントローラ

ビット 15	ビット 14	説明
IW31	IW30	
0	0	CS3 空間アイドルサイクルなし
0	1	CS3 空間 1 アイドルサイクル
1	0	CS3 空間 2 アイドルサイクル
1	1	CS3 空間 3 アイドルサイクル (初期値)

ビット 13	ビット 12	説明
IW21	IW20	
0	0	CS2 空間アイドルサイクルなし
0	1	CS2 空間 1 アイドルサイクル
1	0	CS2 空間 2 アイドルサイクル
1	1	CS2 空間 3 アイドルサイクル (初期値)

ビット 11	ビット 10	説明
IW11	IW10	
0	0	CS1 空間アイドルサイクルなし
0	1	CS1 空間 1 アイドルサイクル
1	0	CS1 空間 2 アイドルサイクル
1	1	CS1 空間 3 アイドルサイクル (初期値)

ビット 9	ビット 8	説明
IW01	IW00	
0	0	CS0 空間アイドルサイクルなし
0	1	CS0 空間 1 アイドルサイクル
1	0	CS0 空間 2 アイドルサイクル
1	1	CS0 空間 3 アイドルサイクル (初期値)

ビット 7~4 : 連続アクセス時アイドル指定 (CW3、CW2、CW11、CW0)

連続アクセス時アイドル指定は同一 CS 空間を連続してアクセスする場合、 $\overline{CS_n}$ 信号をいったんネゲートすることによりバスの切れ目をわかりやすくするために挿入します。ただし、リードの次にライトが続く場合、挿入されるアイドルサイクルは IW によって指定される値と CW によって指定される値のうち大きい方を選択します。詳細は「8.4 アクセスサイクル間ウェイト」を参照してください。

CW3 が CS3 空間の連続アクセス時アイドル、CW2 が CS2 空間の連続アクセス時アイドル、CW1 が CS1 空間の連続アクセス時アイドル、CW0 が CS0 空間の連続アクセス時アイドルをそれぞれ指定します。

ビット 7	説明
CW3	
0	CS3 空間連続アクセス時アイドルサイクルなし
1	CS3 空間連続アクセス時 1 アイドルサイクル (初期値)

8. バスステートコントローラ

ビット6	説明
CW2	
0	CS2 空間連続アクセス時アイドルサイクルなし
1	CS2 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット5	説明
CW1	
0	CS1 空間連続アクセス時アイドルサイクルなし
1	CS1 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット4	説明
CW0	
0	CS0 空間連続アクセス時アイドルサイクルなし
1	CS0 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット3~0: \overline{CS} アサート拡張指定 (SW3、SW2、SW1、SW0)

\overline{CS} アサートサイクル拡張指定は \overline{RD} 信号、 \overline{WRH} 信号、 \overline{WRL} 信号のアサート期間が \overline{CSn} 信号のアサート期間からはみ出すことを防止するために挿入します。拡張サイクルは、各バスサイクルの前後に1サイクルずつ挿入されます。これにより、外部ICとのインタフェースが容易になります。また、ライトデータホールドを延ばす効果もあります。詳しくは、「8.3.3 \overline{CS} アサート期間拡張」を参照してください。

SW3 が CS3 空間アクセス時の \overline{CS} アサート拡張指定、SW2 が CS2 空間アクセス時の \overline{CS} アサート拡張指定、SW1 が CS1 空間アクセス時の \overline{CS} アサート拡張指定、SW0 が CS0 空間アクセス時の \overline{CS} アサート拡張指定をそれぞれ行います。

ビット3	説明
SW3	
0	CS3 空間 \overline{CS} アサート拡張なし
1	CS3 空間 \overline{CS} アサート拡張あり (初期値)

ビット2	説明
SW2	
0	CS2 空間 \overline{CS} アサート拡張なし
1	CS2 空間 \overline{CS} アサート拡張あり (初期値)

ビット1	説明
SW1	
0	CS1 空間 \overline{CS} アサート拡張なし
1	CS1 空間 \overline{CS} アサート拡張あり (初期値)

ビット0	説明
SW0	
0	CS0 空間 \overline{CS} アサート拡張なし
1	CS0 空間 \overline{CS} アサート拡張あり (初期値)

8.2.3 ウェイトコントロールレジスタ 1 (WCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	W33	W32	W31	W30	W23	W22	W21	W20	W13	W12	W11	W10	W03	W02	W01	W00
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトコントロールレジスタ 1 (WCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のウェイトサイクルを指定します。

WCR1 はパワーオンリセットおよびハードウェアスタンバイモード時に H'FFFF に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 15 ~ 12 : CS3 空間ウェイト指定 (W33、W32、W31、W30)

CS3 空間アクセス時のウェイト数を指定します。

ビット 15	ビット 14	ビット 13	ビット 12	説明
W33	W32	W31	W30	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

ビット 11 ~ 8 : CS2 空間ウェイト指定 (W23、W22、W21、W20)

CS2 空間アクセス時のウェイト数を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説明
W23	W22	W21	W20	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

ビット 7 ~ 4 : CS1 空間ウェイト指定 (W13、W12、W11、W10)

CS1 空間アクセス時のウェイト数を指定します。

ビット 7	ビット 6	ビット 5	ビット 4	説明
W13	W12	W11	W10	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

8. バスステートコントローラ

ビット3～0 : CS0 空間ウェイト指定 (W03、W02、W01、W00)

CS0 空間アクセス時のウェイト数を指定します。

ビット3	ビット2	ビット1	ビット0	説明
W03	W02	W01	W00	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1ウェイト外部ウェイト入力カインェブル
~				
1	1	1	1	15ウェイト外部ウェイト入力カインェブル (初期値)

8.2.4 ウェイトコントロールレジスタ2 (WCR2)

ビット:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	DSW3	DSW2	DSW1	DSW0

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1
R/W: R R R R R R R R R R R R R/W R/W R/W R/W

ウェイトコントロールレジスタ2 (WCR2) は DMA シングルスアドレスモード転送時の CS 空間のウェイトサイクル数を指定します。

WCR2 は設定するまで、DMA シングルスアドレス転送を行わないでください。

ビット15～4 は予約ビットです。書き込み時は、常に0を書き込んでください。1を書き込んだ場合、動作の保証はできません。

WCR2 はパワーオンリセットおよびハードウェアスタンバイモード時にH'000Fに初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット3～0 : CS 空間 DMA シングルスアドレスモードアクセス時、ウェイト指定

(DSW3、DSW2、DSW1、DSW0)

DMA シングルスアドレスモードアクセス時の CS 空間のウェイト指定を行います。このビットは WCR1 の W ビットと独立です。

ビット3	ビット2	ビット1	ビット0	説明
DSW3	DSW2	DSW1	DSW0	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1ウェイト外部ウェイト入力カインェブル
~				
1	1	1	1	15ウェイト外部ウェイト入力カインェブル (初期値)

8.2.5 RAM エミュレーションレジスタ (RAMER)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RAMS	RAM1	RAM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

RAM エミュレーションレジスタ (RAMER) は読み出し / 書き込み可能な 16 ビットのレジスタで、フラッシュメモリのリアルタイムな書き換えをエミュレートする際に使用する RAM エリアを選択するレジスタです。

RAMER はパワーオンリセットおよびハードウェアスタンバイモード時に H'0000 に初期化されません。ソフトウェアスタンバイモード時には初期化されません。

【注】 RAM エミュレーション機能を確実に働かせるため、本レジスタの書き換え直後に RAM エミュレーション対象の ROM エリアをアクセスしないでください。アクセスした場合、動作の保証はできません。

ビット 15~3 : 予約ビット

書き込み時は常に 0 を書き込んでください。1 を書き込んだ場合、動作の保証はできません。

ビット 2 : RAM セレクト (RAMS)

ビット 1、0 と共に使用し、RAM エリアを設定します (表 8.4)。

1 ライト時は、フラッシュメモリ全プログラムの書き込み・消去プロテクト状態となります。

本ビットは内蔵 ROM が無効なモードでは無視されます。

ビット 1、0 : RAM エリア指定 (RAM1、RAM0)

RAMS と共に使用し、RAM エリアを設定します (表 8.5、表 8.6)。

表 8.5 RAM エリアの設定方法 (ROM128kB/RAM6kB 版)

RAM エリア	ビット 2	ビット 1	ビット 0
	RAMS	RAM1	RAM0
H'FFFF E800 ~ H'FFFF EBFF	0	*	*
H'0001 F000 ~ H'0001 F3FF	1	0	0
H'0001 F400 ~ H'0001 F7FF	1	0	1
H'0001 F800 ~ H'0001 FBFF	1	1	0
H'0001 FC00 ~ H'0001 FFFF	1	1	1

表 8.6 RAM エリアの設定方法 (ROM256kB/RAM10kB 版)

RAM エリア	ビット 2	ビット 1	ビット 0
	RAMS	RAM1	RAM0
H'FFFF D800 ~ H'FFFF DBFF	0	*	*
H'0003 F000 ~ H'0003 F3FF	1	0	0
H'0003 F400 ~ H'0003 F7FF	1	0	1
H'0003 F800 ~ H'0003 FBFF	1	1	0
H'0003 FC00 ~ H'0003 FFFF	1	1	1

* : Don't care

8.3 外部空間アクセス

外部空間では、主に SRAM、ROM の直結を想定してストロープ信号を出力します。

8.3.1 基本タイミング

外部空間アクセスのバスサイクルは、2 ステートで行われます。図 8.3 に外部空間アクセスの基本タイミングを示します。

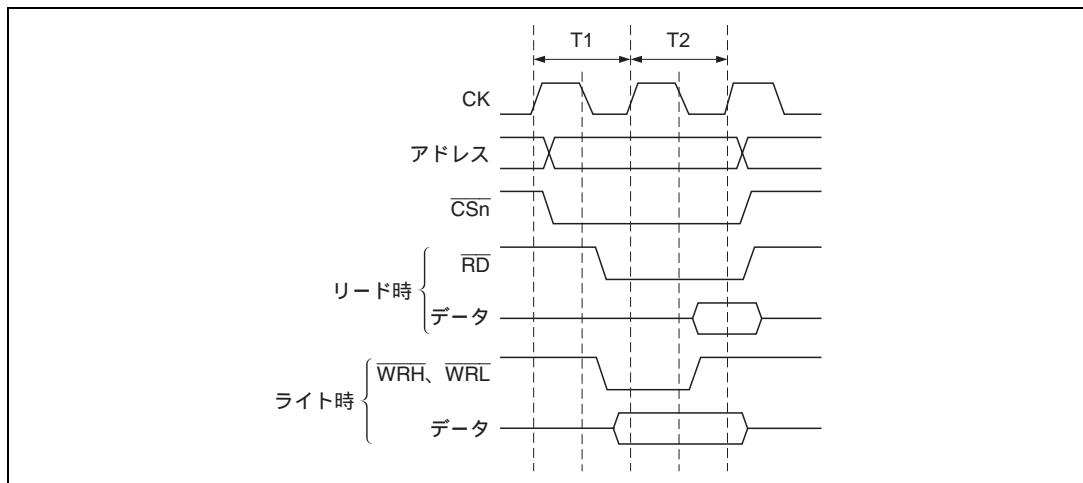


図 8.3 外部空間アクセスの基本タイミング

8.3.2 ウェイトステート制御

WCR の設定により、外部空間アクセスのウェイトステートの挿入を制御できます。図 8.4 に示すタイミングで、TW のサイクルがソフトウェアサイクルとして指定サイクル数だけ挿入されます。

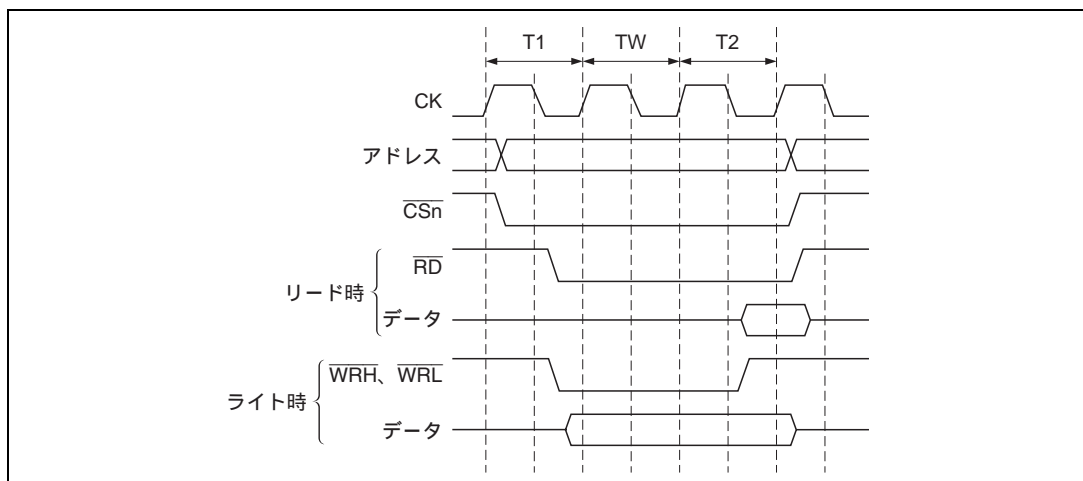


図 8.4 外部空間アクセスのウェイトステートタイミング
(ソフトウェアウェイトのみ)

WCRによってソフトウェアによるウェイトを指定したときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 8.5 に示します。 $\overline{\text{WAIT}}$ 信号のサンプリングは、TW ステートから T2 ステートに移行する際にクロックの立ち上がりから 1 サイクル前のクロックの立ち上がりで行われます。外部ウェイトを使用する際、CS アサート拡張時には、ソフトウェアウェイトを 1 ステート以上、それ以外の時は 2 ステート以上に WCR 設定してください。

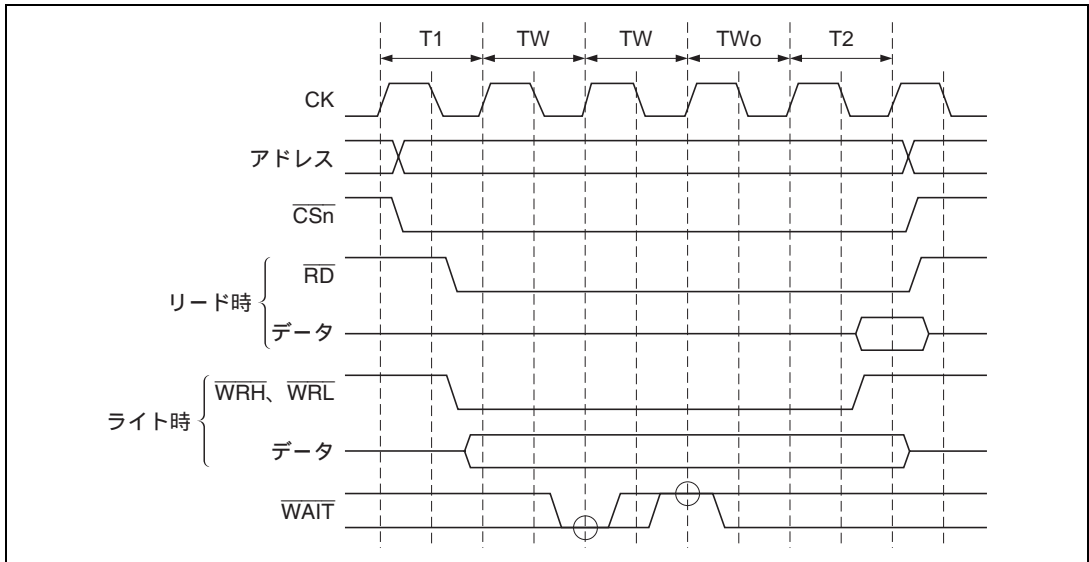
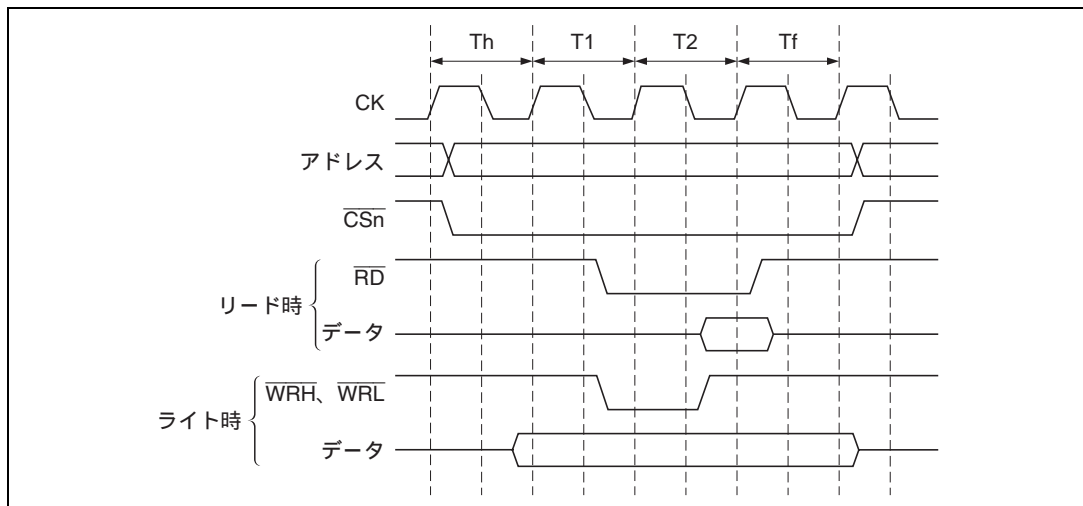


図 8.5 外部空間アクセスのウェイトステートタイミング
(ソフトウェアウェイト 2 ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート)

8.3.3 \overline{CS} アサート期間拡張

BCR2のSW3～SW0ビットの設定により、 \overline{RD} 、 \overline{WRH} 、 \overline{WRL} のアクティブとなる期間が \overline{CSn} のアクティブとなる期間からはみ出さないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図8.6に示します。 T_h および T_f サイクルが通常サイクルの前と後ろにそれぞれ付加されています。このサイクルでは \overline{CSn} のみアクティブとなり、 \overline{RD} 、 \overline{WRH} 、 \overline{WRL} はアクティブとなりません。また、ライトデータは T_f サイクルまで延ばされるので、ライト動作の遅いゲートアレイに有効です。

図 8.6 \overline{CS} アサート期間拡張機能

8.4 アクセスサイクル間ウェイト

低速なデバイスをリードしたとき、データバッファのオフが間に合わずに次アクセスのデータと衝突を起こすことがあります。これを防止するため、メモリアccessを起動する際に問題がある場合にはアクセスサイクル間にウェイトを挿入することができます。

また、同一CS空間の連続アクセス時にいったん \overline{CSn} 信号をインアクティブとして、バスサイクル開始の検出を容易にするために、アクセスサイクル間にウェイトを挿入することができます。

8.4.1 データバス衝突防止

(1) リードサイクル後のライトサイクル、(2) リードサイクル後の異なるCS空間に対するリードサイクル、の2つの場合、BCR2のIW31~IW00ビットによって指定されたサイクル数だけアイドルサイクルが入るようウェイトを挿入します。アクセスサイクル間にもともとアイドルサイクルが存在する場合は、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけウェイトを挿入します。図8.7にサイクル間アイドルの例を示します。この例では、 \overline{CSn} 空間のサイクル間アイドルに1を指定した場合に、 \overline{CSn} 空間のリードサイクルの直後に \overline{CSm} 空間のライトを行う時、1アイドルサイクルが挿入されることを示しています。

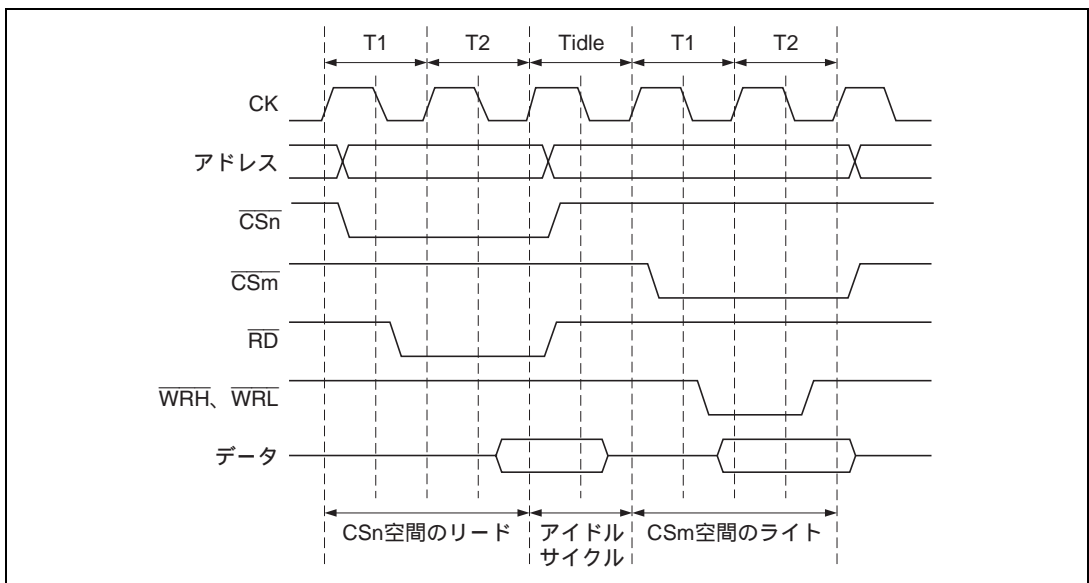


図 8.7 アイドルサイクル挿入例

8. バスステートコントローラ

IW31、IW30 では CS3 空間をリードした後に、他の CS 空間からリードする場合と本 LSI がライトアクセスを行う場合に、必要なアイドルサイクル数を指定します。同様に IW21、IW20 では CS2 空間リード後の、IW11、IW10 では CS1 空間リード後の、IW01、IW00 では CS0 空間リード後のアイドルサイクル数を指定します。アイドルサイクル数には 0~3 サイクルを指定することができます。

8.4.2 バスサイクル開始検出の容易化

同一 CS 空間を連続してアクセスする場合、BCR2 の CW3~CW0 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。ただし、リード後のライトサイクルの場合、挿入されるアイドルサイクルは IW ビットと CW ビットで定義されるアイドルサイクルのうち大きな値になります。アクセスサイクル間にもともとアイドルサイクルが存在する場合はウェイト挿入を行いません。

図 8.8 に例を示します。この例では CSn 空間を連続アクセスアイドル指定し、CSn 空間を連続ライトアクセスした場合を示しています。

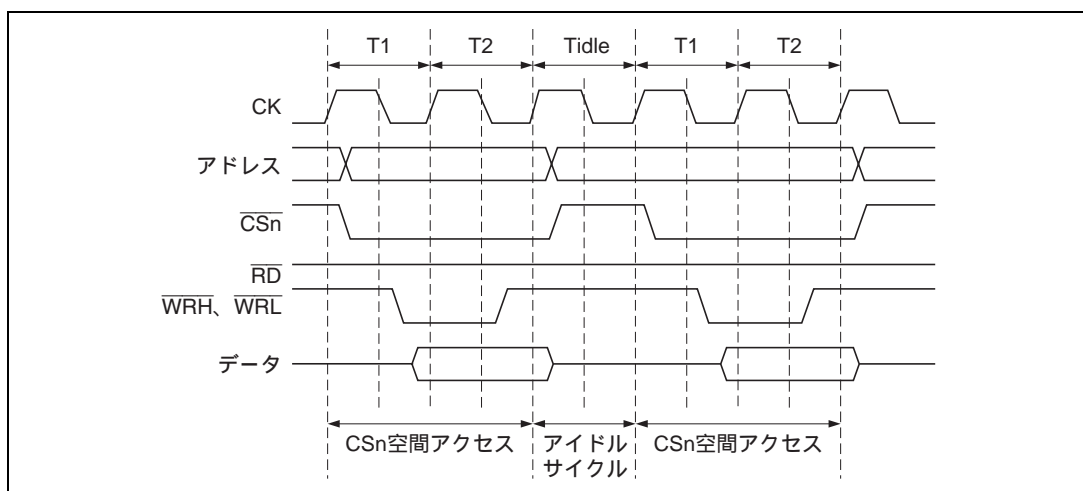


図 8.8 同一空間連続アクセス時アイドルサイクル挿入例

8.5 バスアービトレーション

本 LSI は、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えることができます。また、本 LSI 内部にも CPU と DMAC という 2 つのバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下の通りとなります。

外部デバイスによるバス権要求 > DMAC > CPU

したがって、DMAC によるバースト転送中であっても、外部デバイスによるバス権要求が発生すると、外部デバイスが優先されます。

外部デバイスによるバス権要求は、 $\overline{\text{BREQ}}$ 端子に入力してください。バス権を解放したことを示す信号は $\overline{\text{BACK}}$ 端子から出力されます。

図 8.9 に、バス解放手順を示します。

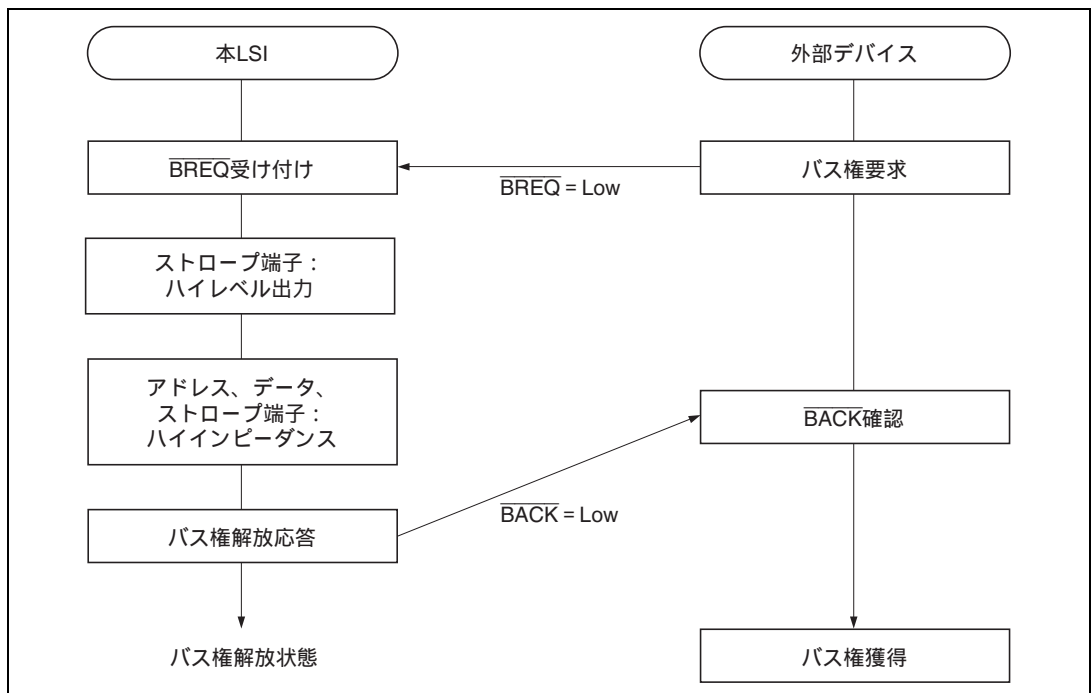


図 8.9 バス権解放手順

8.6 メモリ接続例

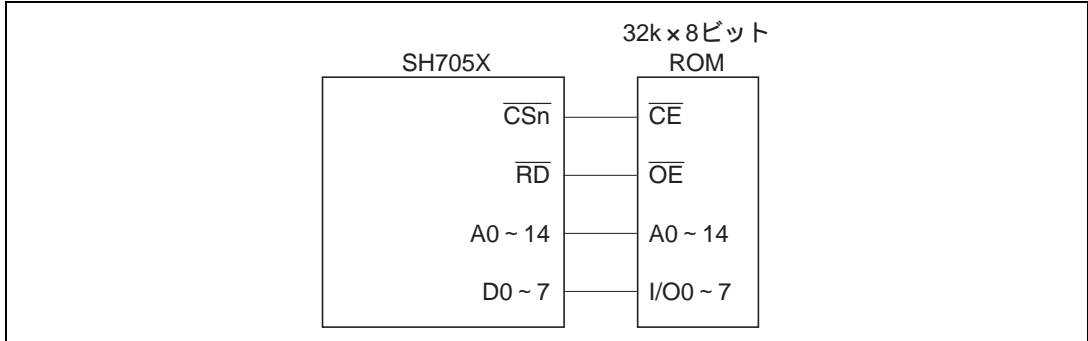


図 8.10 8ビットデータバス幅 ROM 接続例

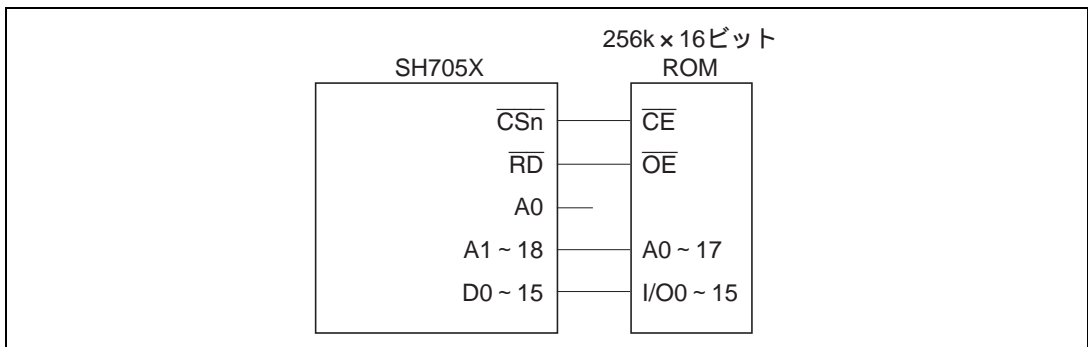


図 8.11 16ビットデータバス幅 ROM 接続例

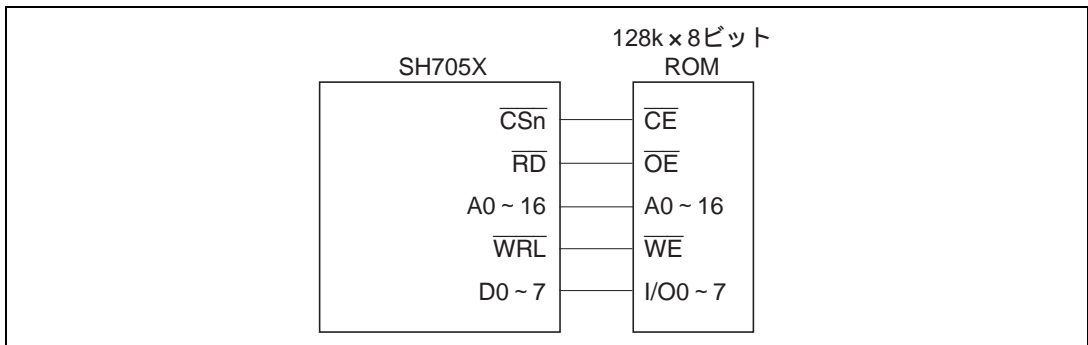


図 8.12 8ビットデータバス幅 SRAM 接続例

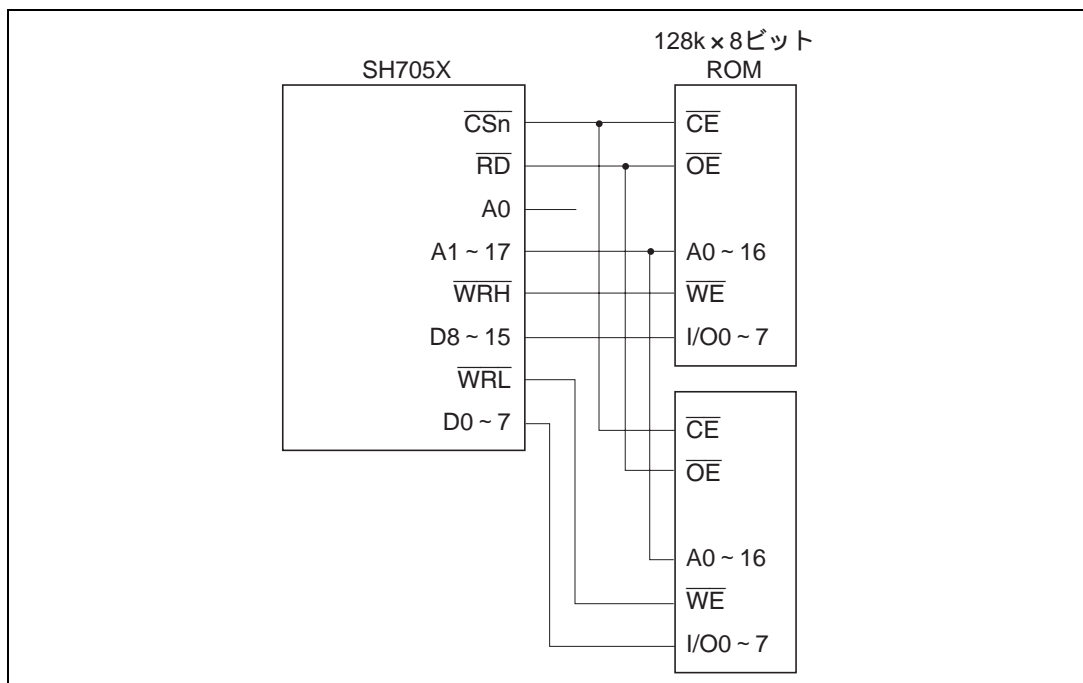


図 8.13 16 ビットデータバス幅 SRAM 接続例

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.1 概要

本 LSI は 4 チャンネルのダイレクトメモリアクセスコントローラ(DMAC)を内蔵しています。DMAC は、DACK (転送要求受付信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、BSC、UBC を除く) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

9.1.1 特長

DMAC には次のような特長があります。

チャンネル数 : 4チャンネル

アドレス空間 : アーキテクチャ上は4GB

転送データ長 : 8ビット、16ビット、32ビットの中から選択可能

最大転送回数 : 16M (16777216) 回

アドレスモード

デュアルアドレスモード、シングルアドレスモードの選択可能

デュアルアドレスモード時直接アドレス転送モード、間接アドレス転送モードの指定可能

(1) シングルアドレスモード

転送元か転送先の周辺デバイスをDACK信号でアクセスし、もう一方をアドレスアクセスします。一回のデータ転送が1バスサイクルで終了します。

(2) デュアルアドレスモード

転送元、転送先双方をアドレスアクセスします。デュアルアドレスモードには直接アドレス転送モードと間接アドレス転送モードがあります。

(a) 直接アドレス転送モード

転送元、転送先共、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指しています。

一回のデータ転送に2バスサイクルを必要とします。

(b) 間接アドレス転送モード

DMAC内部の転送元レジスタに設定されたアドレスの先に格納されている値をアドレスとしてデータ転送を行います。それ以外は直接アクセスと同じ動作です。この機能はチャンネル3でのみ設定可能です。一回のデータ転送に4バスサイクルを必要とします。

9. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル機能：各チャンネルごとに、設定可能な転送モードが異なります。

- ・チャンネル0

- デュアルアドレスモード、シングルアドレスモード対応

- 外部リクエスト受け付け可能

- ・チャンネル1

- デュアルアドレスモード、シングルアドレスモード対応

- 外部リクエスト受け付け可能

- ・チャンネル2

- デュアルアドレスモードのみ対応

- 4回の転送ごとにソースアドレスをリロードする機能 (ソースアドレスリロード機能) をもつ

- ・チャンネル3

- デュアルアドレスモードのみ対応

- 直接アドレス転送モード、間接アドレス転送モード指定可能

リロード機能

4回のDMA転送終了ごとに、最初にソースアドレスレジスタに設定した値を自動的にリロードすることができます。この機能はチャンネル2でのみ実行可能です。

転送要求

DMACの転送起動要求には以下の種類があります。

- ・外部リクエスト

- $\overline{\text{DREQ}}$ 端子2本。ローレベル検出または立ち下がりエッジ検出の指定が可能です。外部リクエスト要求を受け付けられるのはチャンネル0とチャンネル1の2チャンネルだけです。

- ・内蔵モジュール

- SCI、A/Dなど内蔵モジュールの転送要求です。すべてのチャンネルが受け付け可能です。

- ・オートリクエスト

- 転送要求をDMAC内部で自動的に発生します。

バスモード

バスモードではサイクルスチールモードとバーストモードの選択が可能です。

優先順位

DMACのチャンネル優先順位には以下の2つの種類があります。

優先順位固定モード ...優先順位を常に固定にします。

ラウンドロビンモード...実行要求を受け付けたチャンネルの優先順位を最低にします。

割り込み要求：指定した転送回数終了後、CPUに割り込み要求を発生可能です。

9.1.2 DMAC ブロック図

図 9.1 に DMAC のブロック図を示します。

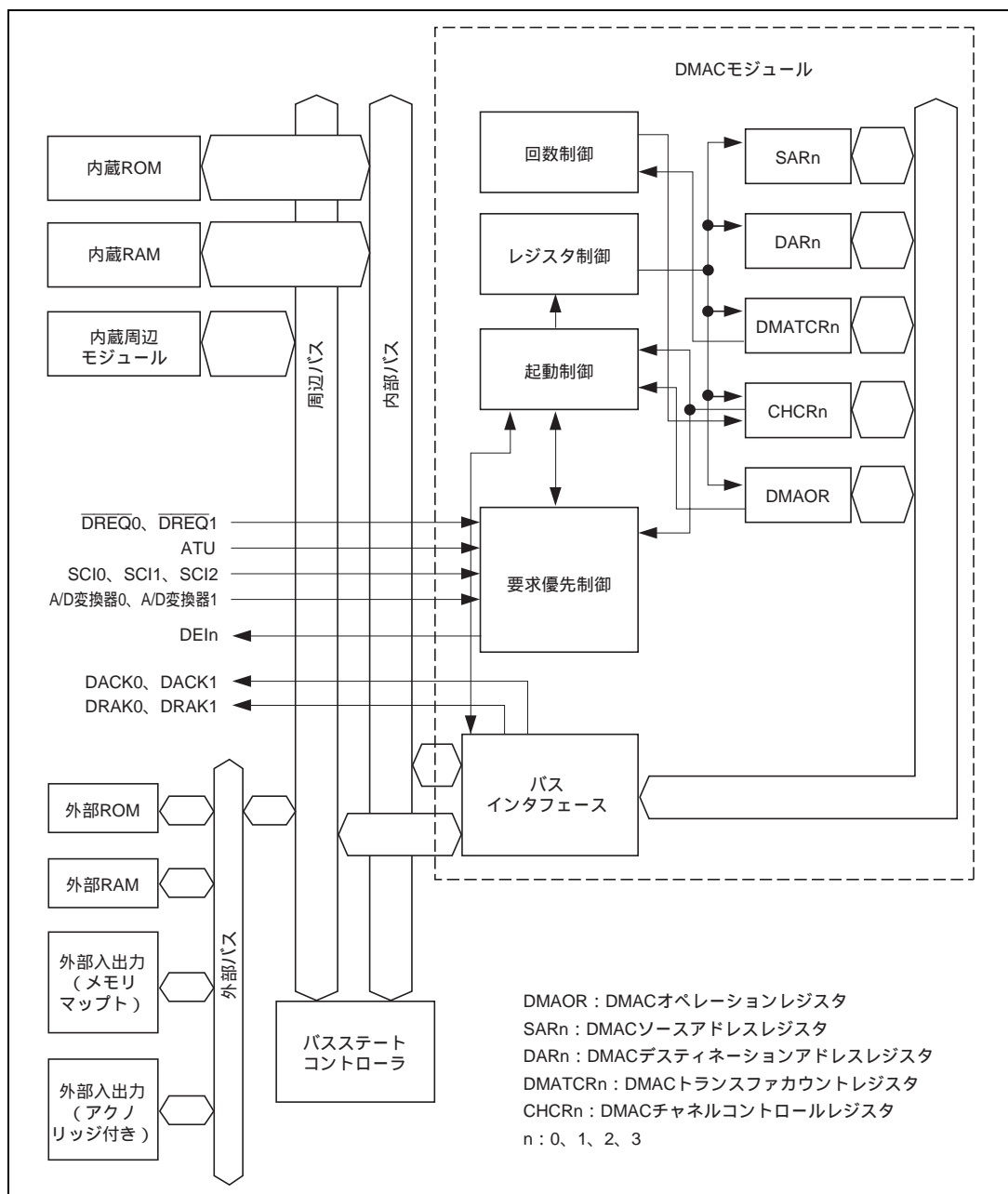


図 9.1 DMAC ブロック図

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.1.3 端子構成

DMAC の端子を表 9.1 に示します。

表 9.1 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	チャンネル 0 から外部デバイスへの DMA 転送ストローブ出力
	DREQ0 受け付け確認	DRAK0	出力	外部からの DMA 転送要求入力のサンプリング受け付け出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1	出力	チャンネル 1 から外部デバイスへの DMA 転送ストローブ出力
	DREQ1 受け付け確認	DRAK1	出力	外部からの DMA 転送要求入力のサンプリング受け付け出力

9.1.4 レジスタ構成

表 9.2 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられている他、DMAC 全体の制御用のレジスタが 1 本あり、全体で計 17 本のレジスタがあります。

表 9.2 レジスタ構成

チャネル	名称	略称	Read/Write	初期値	アドレス	レジスタサイズ	アクセスサイズ
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	不定	H'FFFF86C0	32 ビット	16、32 ^{*2}
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	不定	H'FFFF86C4	32 ビット	16、32 ^{*2}
	DMA トランスファカウントレジスタ 0	DMATCR0	R/W	不定	H'FFFF86C8	32 ビット	32 ^{*3}
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W ^{*1}	00000000	H'FFFF86CC	32 ビット	16、32 ^{*2}
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	不定	H'FFFF86D0	32 ビット	16、32 ^{*2}
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	不定	H'FFFF86D4	32 ビット	16、32 ^{*2}
	DMA トランスファカウントレジスタ 1	DMATCR1	R/W	不定	H'FFFF86D8	32 ビット	32 ^{*3}
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W ^{*1}	00000000	H'FFFF86DC	32 ビット	16、32 ^{*2}
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	不定	H'FFFF86E0	32 ビット	16、32 ^{*2}
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	不定	H'FFFF86E4	32 ビット	16、32 ^{*2}
	DMA トランスファカウントレジスタ 2	DMATCR2	R/W	不定	H'FFFF86E8	32 ビット	32 ^{*3}
	DMA チャンネルコントロールレジスタ 2	CHCR2	R/W ^{*1}	00000000	H'FFFF86EC	32 ビット	16、32 ^{*2}
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	不定	H'FFFF86F0	32 ビット	16、32 ^{*2}
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	不定	H'FFFF86F4	32 ビット	16、32 ^{*2}
	DMA トランスファカウントレジスタ 3	DMATCR3	R/W	不定	H'FFFF86F8	32 ビット	32 ^{*3}
	DMA チャンネルコントロールレジスタ 3	CHCR3	R/W ^{*1}	00000000	H'FFFF86FC	32 ビット	16、32 ^{*2}
共通	DMA オペレーションレジスタ	DMAOR	R/W ^{*1}	00000	H'FFFF86B0	16 ビット	16 ^{*4}

- 【注】
1. レジスタアクセスは、ワードアクセス時 3 サイクル、ロングワードアクセス時 6 サイクルとなります。
 2. 空きアドレスのアクセスはしないでください。空きアドレスをアクセスした場合の動作は保証しません。
- *1 CHCR0~3 のビット 1 および DMAOR のビット 1、ビット 2 はフラグクリアのために 1 リード後の 0 ライトのみ可能。
- *2 SAR0~3、DAR0~3、CHCR0~3 に 16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。
- *3 DMATCR は 0~23 ビットまでの 24 ビット構成です。上位側 24~31 ビットまでの 8 ビットへの 1 ライトは無効となり読み出すと常に 0 がリードされます。
- *4 DMAOR は 32 ビットアクセスしないでください。

9.2.3 DMA トランスファカウントレジスタ 0~3 (DMATCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—								
初期値:	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA トランスファカウントレジスタ 0~3 (DMATCR0~3) は読み出し、書き込み可能な 24 ビットのレジスタで、そのチャンネルの転送回数 (バイト数、ワード数またはロングワード数) を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、16777216 回実行されます。DMAC 動作中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

パワーオンリセット、スタンバイモード時には、値は不定になります。

9.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DI	RO	RL	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	—	DS	TM	TS1	TS0	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R(W)

【注】1. TEビットは、1リード後の0ライトのみ実行可能です。

2. DI、RO、RL、AM、AL、DSビットは、チャンネルにより存在しないビットがあります。

DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法等を指定します。このレジスタのビット 31~21 およびビット 7 を読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

パワーオンリセット、スタンバイモード時には、値は 0 に初期化されます。

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 20 : ダイレクト、インダイレクトセレクト (DI)

チャンネル 3 のソースアドレスを直接アドレスモードで動作するか、間接アドレスモードで動作するかを指定するビットです。

このビットは CHCR3 でのみ有効です。CHCR0、1、2 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 20	説明
DI	
0	チャンネル 3 を直接アドレスモードで動作させる (初期値)
1	チャンネル 3 を間接アドレスモードで動作させる

ビット 19 : ソースアドレスリロードビット (RO)

チャンネル 2 の転送時、ソースアドレス初期値のリロードを行うか否かの選択ビットです。

このビットは CHCR2 でのみ有効です。CHCR0、1、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 19	説明
RO	
0	ソースアドレスをリロードしない (初期値)
1	ソースアドレスをリロードする

ビット 18 : リクエストチェックレベルビット (RL)

$\overline{\text{DREQ}}$ を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかを選択ビットです。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 18	説明
RL	
0	DRAK をハイアクティブで出力。 (初期値)
1	DRAK をローアクティブで出力。

ビット 17 : アクノリッジモードビット (AM)

デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されます。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 17	説明
AM	
0	読み出しサイクルで DACK を出力 (初期値)
1	書き込みサイクルで DACK を出力

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 16 : アクノリッジレベル (AL)

DACK (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 16	説明
AL	
0	ハイアクティブで出力 (初期値)
1	ローアクティブで出力

ビット 15、14 : デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。シングルアドレスモードでアドレス空間から外部デバイスにデータ転送する場合は、このビットの指定は無視されます。

ビット 15	ビット 14	説明
DM1	DM0	
0	0	デスティネーションアドレスは固定 (初期値)
	1	デスティネーションアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	デスティネーションアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	使用禁止

ビット 13、12 : ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスからアドレス空間にデータ転送する場合は、このビットの指定は無視されます。

ビット 13	ビット 12	説明
SM1	SM0	
0	0	ソースアドレスは固定 (初期値)
	1	ソースアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	ソースアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	使用禁止

転送元が間接アドレスに指定されている場合、ソースアドレスレジスタ 3 (SAR3) には、実際に転送したいデータの格納されているアドレスの値が、データとして保存されているアドレス (間接アドレス) を指定してください。

間接アドレスモード時の SAR3 の増減の指定も SM1、SM0 に従いますが、この場合は TS1、TS0 で指定した転送データのサイズにかかわらず、SAR3 の増減値は+4、-4 または 0 固定になります。

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 11~8 : リソースセレクト 3、2、1、0 (RS3、RS2、RS1、RS0)

転送要求元を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説明
RS3	RS2	RS1	RS0	
0	0	0	0	外部リクエスト、デュアルアドレスモード (初期値)
			1	使用禁止
		1	0	外部リクエスト、シングルアドレスモード 外部アドレス空間 外部デバイス
			1	外部リクエスト、シングルアドレスモード 外部デバイス 外部アドレス空間
	1	0	0	オートリクエスト
			1	使用禁止
		1	0	ATU、コンペアマッチ 6 (CMI6)
			1	ATU、インプットキャプチャ 0B (ICI0B)
1	0	0	0	SCI0 の送信
			1	SCI0 の受信
		1	0	SCI1 の送信
			1	SCI1 の受信
	1	0	0	SCI2 の送信
			1	SCI2 の受信
		1	0	内蔵 A/D0
			1	内蔵 A/D1

【注】 外部リクエストの指定はチャンネル 0、1 のみ有効です。チャンネル 2、3 の場合、転送要求元はどれにも設定されません。

ビット 6 : $\overline{\text{DREQ}}$ セレクト (DS)

外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

このビットは CHCR0、1 でのみ有効です。CHCR2、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

またチャンネル 0、1 でも、転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、このビットの指定は無視され、オートリクエスト以外は立ち下がりエッジ検出に固定されます。

ビット 6	説明
DS	
0	ローレベル検出 (初期値)
1	立ち下がりエッジ検出

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 5 : トランスミットモード (TM)

転送する時のバスモードを指定するビットです。

ビット 5	説明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

ビット 4, 3 : トランスミットサイズ 1, 0 (TS1, TS0)

転送するデータのサイズを指定するビットです。

ビット 4	ビット 3	説明
TS1	TS0	
0	0	バイトサイズ (8 ビット) 指定 (初期値)
	1	ワードサイズ (16 ビット) 指定
1	0	ロングワードサイズ (32 ビット) 指定
	1	使用禁止

ビット 2 : インターラプトイネーブル (IE)

このビットに 1 をセットしておく、DMATCR に指定した回数のデータ転送が終了した時 (TE=1 の時) 割り込み要求を発生します。

ビット 2	説明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求を発生しない (初期値)
1	DMATCR 指定転送回数終了時、割り込み要求を発生する

ビット 1 : トランスファエンド (TE)

DMATCR で指定した回数の転送が終了した時 1 にセットされるビットです。この時 IE ビットが 1 にセットされている場合、割り込み要求を発生します。

TE が 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了された場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。

ビット 1	説明
TE	
0	DMATCR 指定回数転送未終了 【クリア条件】TE=1 のリード後 0 ライト パワーオンリセット、スタンバイ (初期値)
1	DMATCR 指定回数転送終了

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 0 : DMAC イネーブル (DE)

対応するチャンネルの動作を許可するビットです。

ビット 0	説明
DE	
0	対応チャンネルの動作禁止 (初期値)
1	対応チャンネルの動作許可

オートリクエストを指定 (RS3~0 で指定) した場合、このビットに 1 をセットすると転送に入ります。外部リクエスト、内蔵モジュールリクエストでは、このビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DE ビットをセットしても TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。

9.2.5 DMA オペレーションレジスタ (DMAOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PR1	PR0	-	-	-	-	-	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/(W)	R/(W)	R/W

【注】AE、NMIF ビットは、1 読み出し後の 0 書き込みのみ実行可能です。

DMAOR は読み出し、書き込み可能な 16 ビットのレジスタで、DMAC の転送モードを指定します。このレジスタのビット 15~10 およびビット 7~3 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

パワーオンリセット、スタンバイモード時には、0 に初期化されます。

ビット 9、8 : プライオリティモード 1、0 (PR1、PR0)

同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。

ビット 9	ビット 8	説明
PR1	PR0	
0	0	CH0 > CH1 > CH2 > CH3 (初期値)
	1	CH0 > CH2 > CH3 > CH1
1	0	CH2 > CH0 > CH1 > CH3
	1	ラウンドロビンモード

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 2 : アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から AE に 1 をライトすることはできません。クリアは、1 読み出し後の 0 書き込みのみ有効です。

ビット 2	説明
AE	
0	アドレスエラーなし。DMA 転送許可状態。 [クリア条件] : AE=1 リード後 AE=0 ライト (初期値)
1	アドレスエラーあり。DMA 転送禁止状態。 [セット条件] : DMAC によるアドレスエラーの発生

ビット 1 : NMI フラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 を書き込むことはできません。クリアは、1 読み出し後の 0 のみ有効です。

ビット 1	説明
NMIF	
0	NMI 入力なし。DMA 転送許可状態。 [クリア条件] : NMIF=1 リード後 NMIF=0 ライト (初期値)
1	NMI 入力あり。DMA 転送禁止状態。 [セット条件] : NMI 割り込みの発生

ビット 0 : DMAC マスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1 または、DE が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。

ビット 0	説明
DME	
0	全チャンネルの動作禁止 (初期値)
1	全チャンネルの動作許可

9.3 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。DMA 転送には、シングルアドレスモードとデュアルアドレスモードがあり、デュアルアドレスモードはさらに直接アドレス転送モードと間接アドレス転送モードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

9.3.1 動作説明

DMA ソースアドレスレジスタ(SAR)、DMA デスティネーションアドレスレジスタ(DAR)、DMA トランスファカウンタレジスタ(DMATCR)、DMA チャンネルコントロールレジスタ(CHCR)、DMA オペレーションレジスタ(DMAOR)に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

- (1) 転送許可状態かどうか (DE=1、DME=1、TE=0、NMIF=0、AE=0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS0、TS1 の設定により決定) を転送します。オートリクエストモードの場合は DE および DME が 1 にセットされると自動的に転送を開始します。一回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
- (3) 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。この時 CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みを発生します。
- (4) DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。図 9.2 に上記のフローチャートを示します。

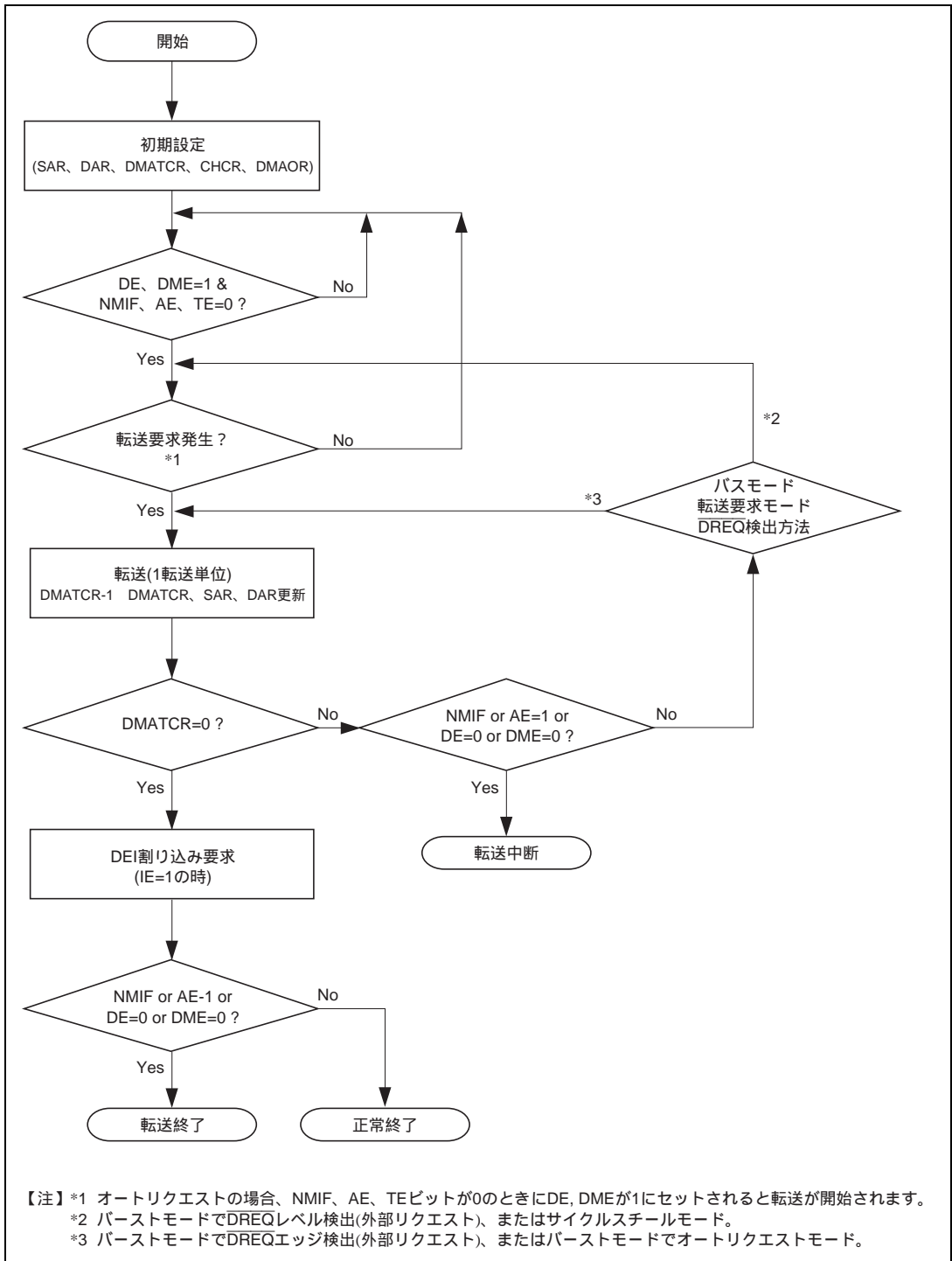


図 9.2 DMAC 転送フローチャート

9.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方できます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエスト、の3種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) の RS3~RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3 の DE ビットおよび DMA オペレーションレジスタ (DMAOR) の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR0~CHCR3 の TE ビット、DMAOR の NMIF ビット、AE ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは本 LSI の外部デバイスからの転送要求信号 (\overline{DREQ}) によって転送を開始させるモードです。応用システムに応じて、表 9.3 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、NMIF=0、AE=0) に \overline{DREQ} が入力されると DMA 転送が開始されます。 \overline{DREQ} を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR0~CHCR3 の DS ビットで選びます (DS=0 はレベル検出、DS=1 はエッジ検出)。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 9.3 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	任意*	任意*
		1	0	シングル アドレスモード	外部メモリまたはメモリマ ップト外部デバイス	DACK 付き外部デバイス
		1	1	シングル アドレスモード	DACK 付き外部デバイス	外部メモリまたはメモリマ ップト外部デバイス

【注】 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、BSC、UBC を除く)

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本 LSI の内蔵周辺モジュールからの転送要求信号 (割り込み要求信号) によって転送を開始させるモードです。転送要求信号には表 9.4 に示すように、アドバンスドタイマユニット (ATU) からのコンペアマッチ割り込みおよびインプットキャプチャ割り込みの2種類、3つのシリアルコミュニケーションインタフェース (SCI) からの受信データフル割り込み (RXI)、送信データエンpty割り込み (TXI)、2つの A/D 変換器の A/D 変換終了割り込み (ADI) の計 10 本があります。DMA 転送が許可されている時 (DE=1、DME=1、TE=0、NMIF=0、AE=0) に転送要求信号が入力されると DMA 転送が開始されます。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。ただし転送要求を RXI (SCI の受信データフルによる転送要求) に設定した場合は転送元は SCI のレシーブデータレジスタ (RDR) でなければなりません。転送要求を TXI (SCI の送信データエンptyによる転送要求) に設定した場合は、転送先は SCI のトランスミットデータレジスタ (TDR) でなければなりません。また、転送要求を A/D 変換器にした場合は、データ転送元は A/D 変換器のレジスタでなければなりません。

表 9.4 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMAC 転送要求元	DMAC 転送要求信号	転送元	転送先	パスモード
0	1	1	0	ATU	コンペアマッチ 6 発生	任意*	任意*	バースト/サイクルスチールモード
			1	ATU	インプットキャプチャ B 発生	任意*	任意*	バースト/サイクルスチールモード
1	0	0	0	SCI0 送信部	TXI0 (SCI0 送信データエンプティによる転送要求)	任意*	TDR0	バースト/サイクルスチールモード
			1	SCI0 受信部	RXI0 (SCI0 受信データフルによる転送要求)	RDR0	任意*	バースト/サイクルスチールモード
		1	0	SCI1 送信部	TXI1 (SCI1 送信データエンプティによる転送要求)	任意*	TDR1	バースト/サイクルスチールモード
			1	SCI1 受信部	RXI1 (SCI1 受信データフルによる転送要求)	RDR1	任意*	バースト/サイクルスチールモード
	1	0	0	SCI2 送信部	TXI2 (SCI2 送信データエンプティによる転送要求)	任意*	TDR2	バースト/サイクルスチールモード
			1	SCI2 受信部	RXI2 (SCI2 受信データフルによる転送要求)	RDR2	任意*	バースト/サイクルスチールモード
		1	0	A/D 変換器	ADI (A/D 変換終了割り込み)	ADDR0	任意*	バースト/サイクルスチールモード
			1	A/D 変換器	ADI (A/D 変換終了割り込み)	ADDR1	任意*	バースト/サイクルスチールモード

ATU : アドバンスドタイマユニット

SCI0、SCI1、SCI2 : シリアルコミュニケーションインタフェースのチャンネル 0~2

ADDR0、ADDR1 : A/D 変換器、チャンネル 0、1 の A/D レジスタ

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、BSC、UBC を除く)

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する割り込み許可ビットをセットして、割り込み信号を出力させてください。

内蔵周辺モジュールの割り込み要求信号を DMA 転送要求信号として使用した場合、CPU に対する割り込みは発生しません。

表 9.4 の転送要求信号は、対応する DMA 転送が行われると、自動的に取り下げられます。これはサイクルスチールモードの場合 1 回の転送で、バーストモードの場合最後の転送時に行われます。

9.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択できます。モードの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す 3 種類があります。

- CH0 > CH1 > CH2 > CH3
- CH0 > CH2 > CH3 > CH1
- CH2 > CH0 > CH1 > CH3

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで、1 転送単位 (バイト、ワード、またはロングワード) の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 9.3 (1) に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 です。

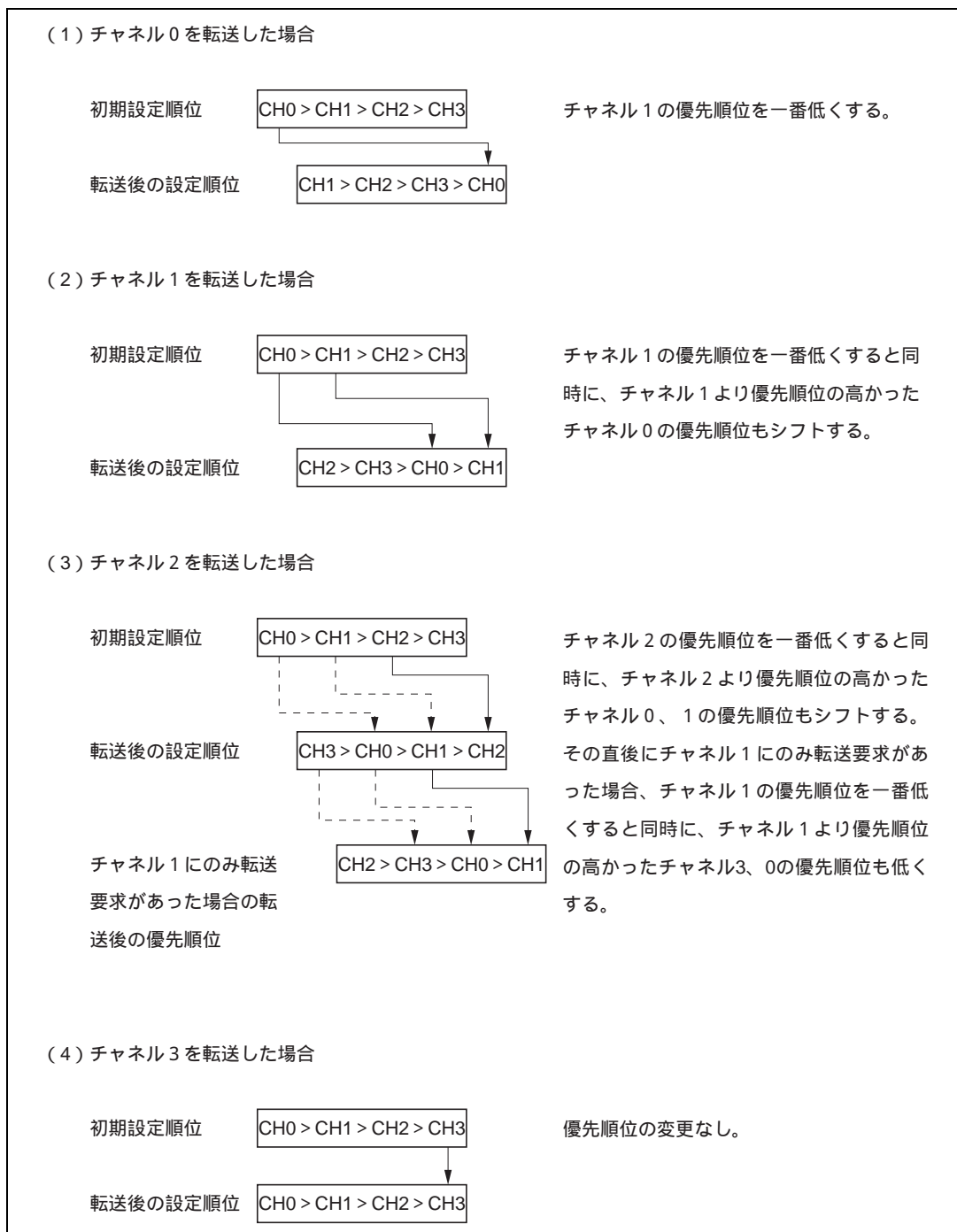


図 9.3 (1) ラウンドロビンモード

9. ダイレクトメモリアクセスコントローラ (DMAC)

図 9.3 (2) にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下ようになります。

- (1) チャンネル0とチャンネル3に同時に転送要求が発生します。
- (2) チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
- (3) チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
- (4) チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
- (5) この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
- (6) チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
- (7) チャンネル3の転送を開始します。
- (8) チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

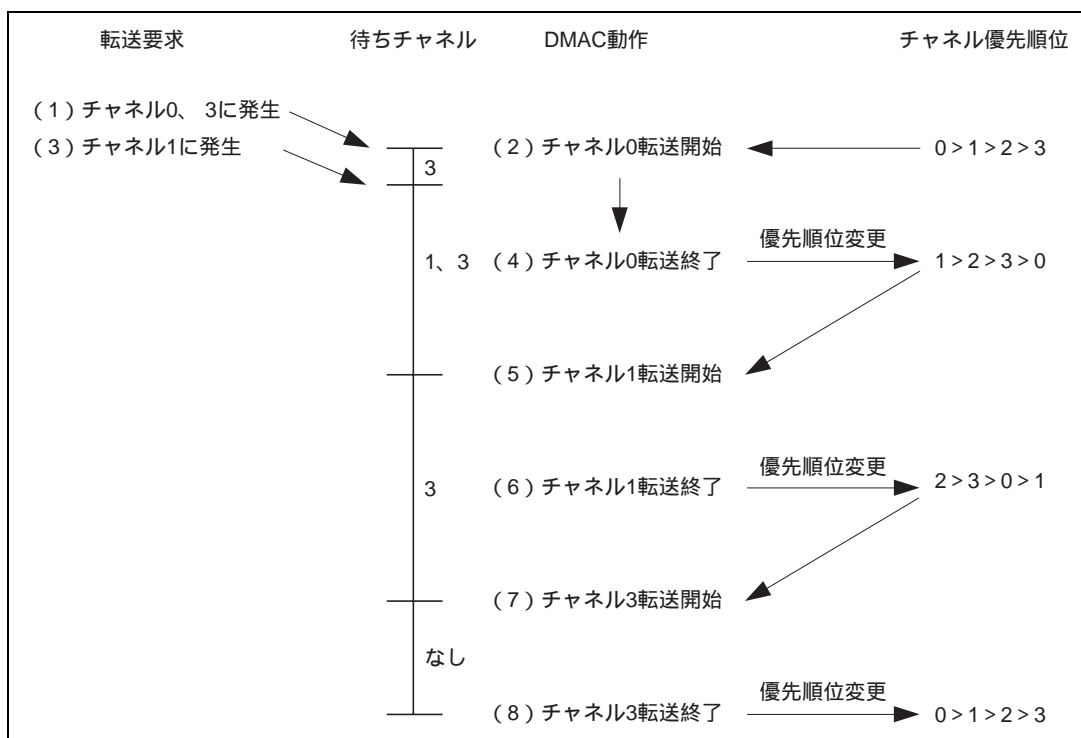


図 9.3 (2) ラウンドロビンモードでのチャンネル優先順位変更例

9.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 9.5 に示す通りで、転送元か転送先いずれか一方をアクノリッジ信号でアクセスするシングルアドレスモードと、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードに分類されます。またデュアルアドレスモードには、出力したアドレスの値が、直接データ転送の対象アドレスとなる直接アドレスモードと、出力したアドレスの値がデータ転送対象のアドレスとならず、出力したアドレスに格納されている値が、転送対象のアドレスとなる間接アドレスモードがあります。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 9.5 サポートできる DMA 転送

転送元	転送先				
	DACK 付 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付 外部デバイス	不可	シングル アドレスモード	シングル アドレスモード	不可	不可
外部メモリ	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
メモリマップト 外部デバイス	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
内蔵メモリ	不可	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
内蔵周辺 モジュール	不可	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード

【注】 デュアルアドレスモードは、直接アドレスモードと間接アドレスモードを含みます。

9. ダイレクトメモリアクセスコントローラ (DMAC)

(1) アドレスモード

(a) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセスし、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは DMAC は、転送要求受け付け信号 DACK を、転送元が転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出してアクセスします。これにより、1つのバスサイクルで DMA 転送を行うことができます。たとえば図 9.4 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

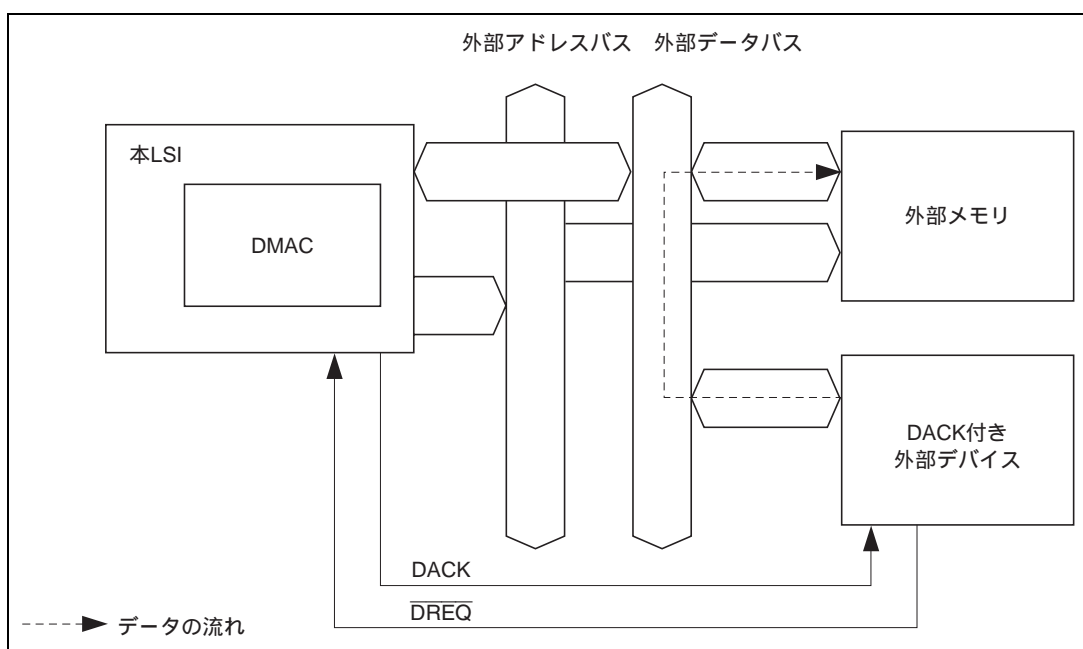


図 9.4 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、(1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト (\overline{DREQ}) のみです。

図 9.5 にシングルアドレスモードでの DMA 転送タイミングを示します。

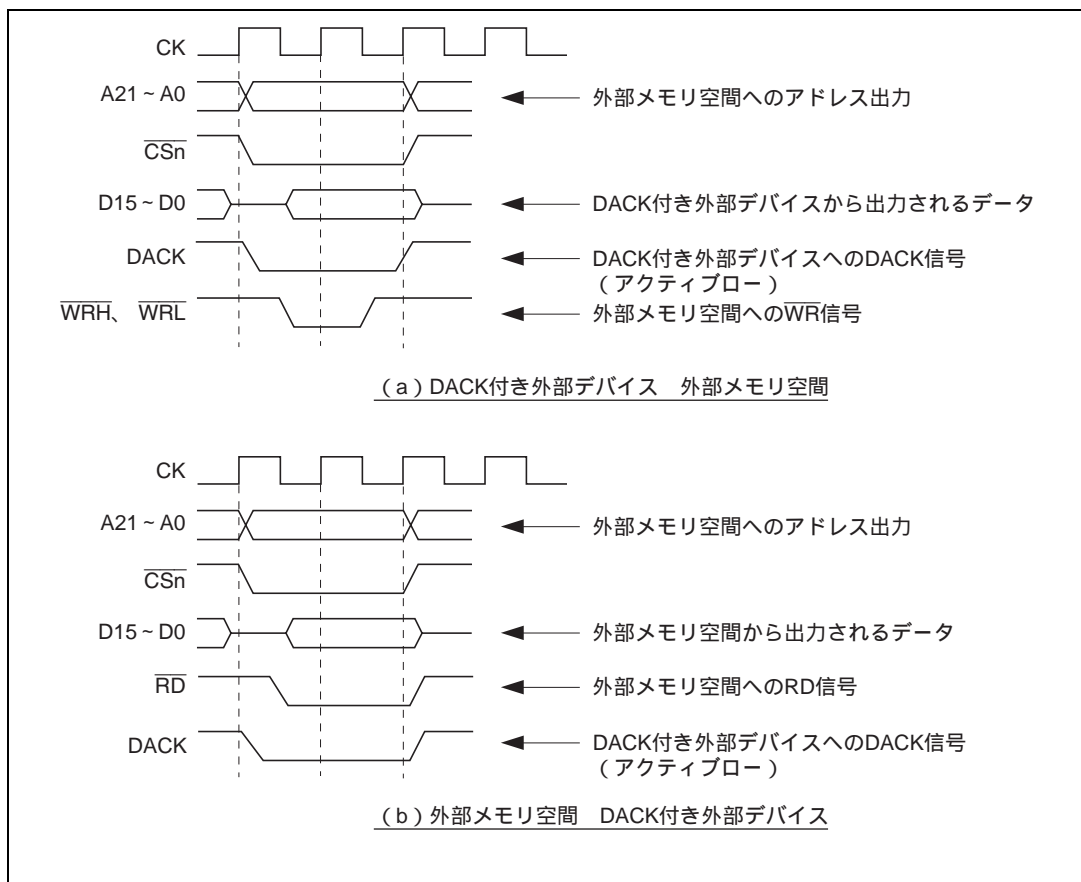


図 9.5 シングルアドレスモードでの DMA 転送タイミング

(b) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。デュアルアドレスモードには(1)直接アドレス転送モード、(2)間接アドレス転送モードがあります。

- (1) 直接アドレス転送モードではデータ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的にDMACに格納されます。図9.6のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図9.7にこの場合のタイミング例を示します。

9. ダイレクトメモリアクセスコントローラ (DMAC)

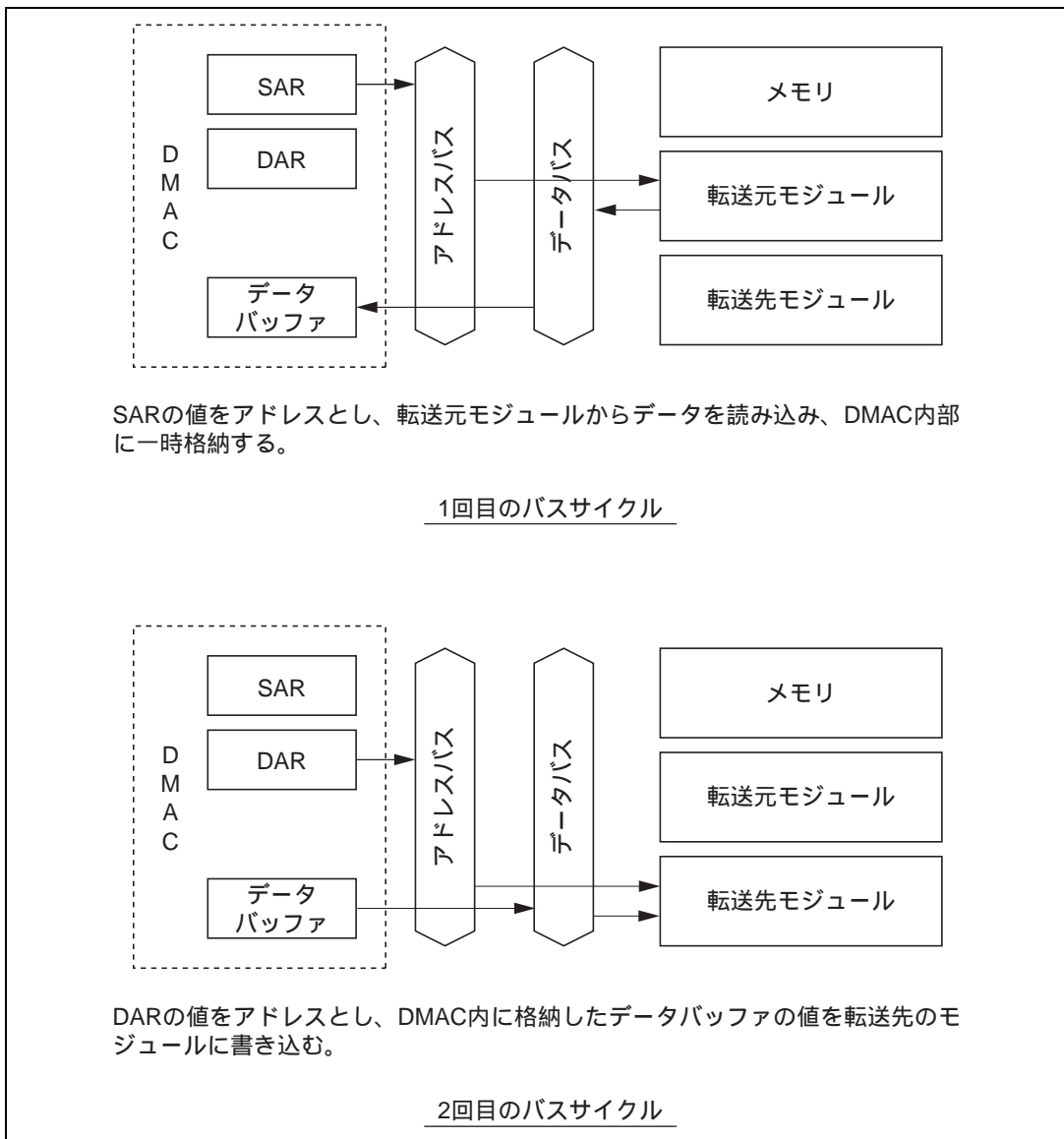


図 9.6 デュアルアドレスモード、直接アドレスの動作説明

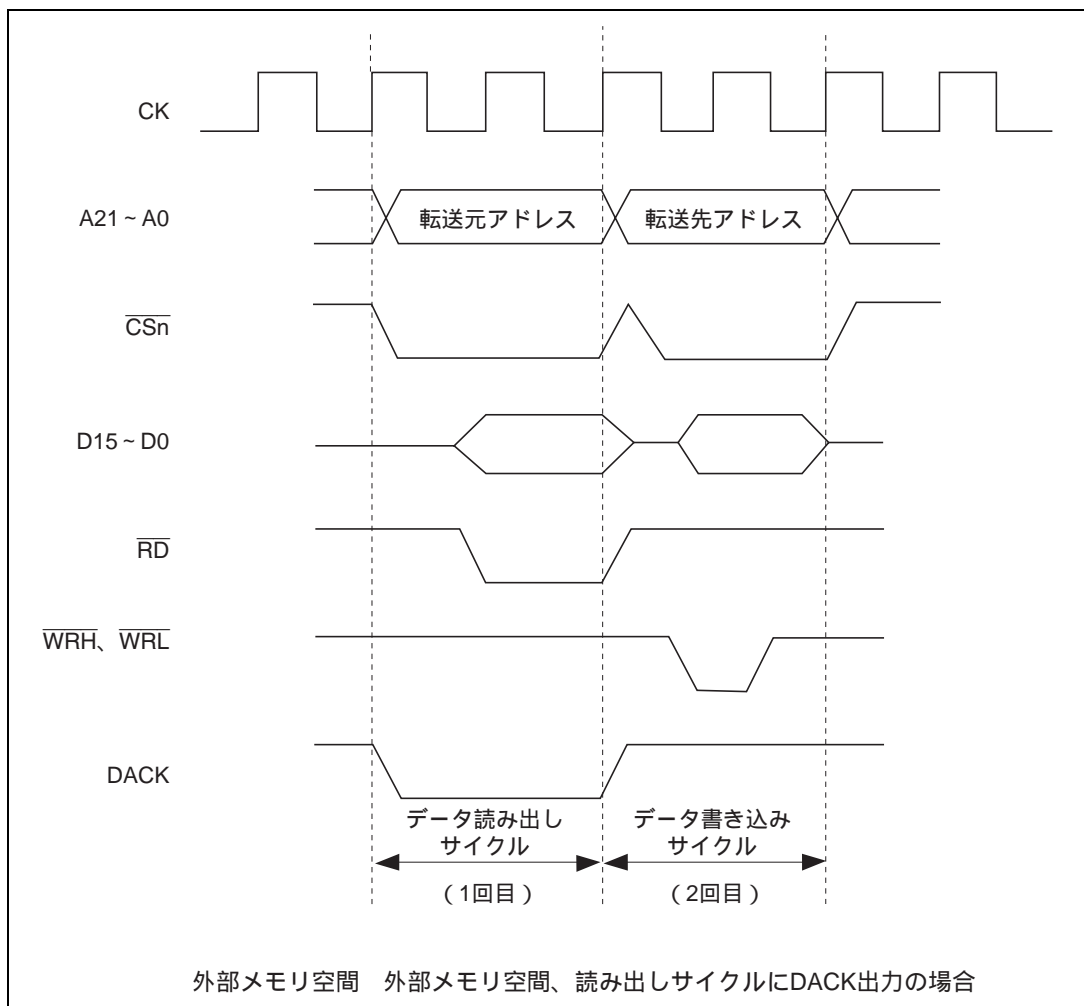


図 9.7 デュアルアドレスモード、直接アドレスでのデータの流れ

9. ダイレクトメモリアクセスコントローラ (DMAC)

- (2) 間接アドレス転送モードは、DMAC内部の転送元アドレスレジスタ (SAR3) に、実際に転送したいデータの格納されているメモリのアドレスが指定されている転送モードです。したがって、間接アドレス転送モードでは、まずDMAC内部の転送元アドレスレジスタに指定されたアドレスの値を読み出します。この値は、いったんDMAC内部に格納されます。次に、読み出した値をアドレスとして出力し、そのアドレスに格納されている値を再びDMAC内部に格納します。最後に転送先アドレスレジスタに指定されたアドレスに、後から読み出した値を書き込んで一回のDMA転送が終了します。

図9.8に、間接アドレスモードで、転送先、転送元、間接アドレスの格納先全てが16ビット幅空間の外部メモリであり、転送データが16ビットまたは8ビットの場合の転送例を示します。また図9.9にタイミング例を示します。

間接アドレスモードでは、間接アドレスとして読み出したデータをアドレスバスに出力するまでに、1回のNOPサイクル (図9.9のCK1サイクル分) を必要とします。

なお転送データが32ビットサイズの場合、図9.9の3回目と4回目のバスサイクルが2回ずつ必要となり、全体で6回のバスサイクルと1回のNOPサイクルが必要になります。

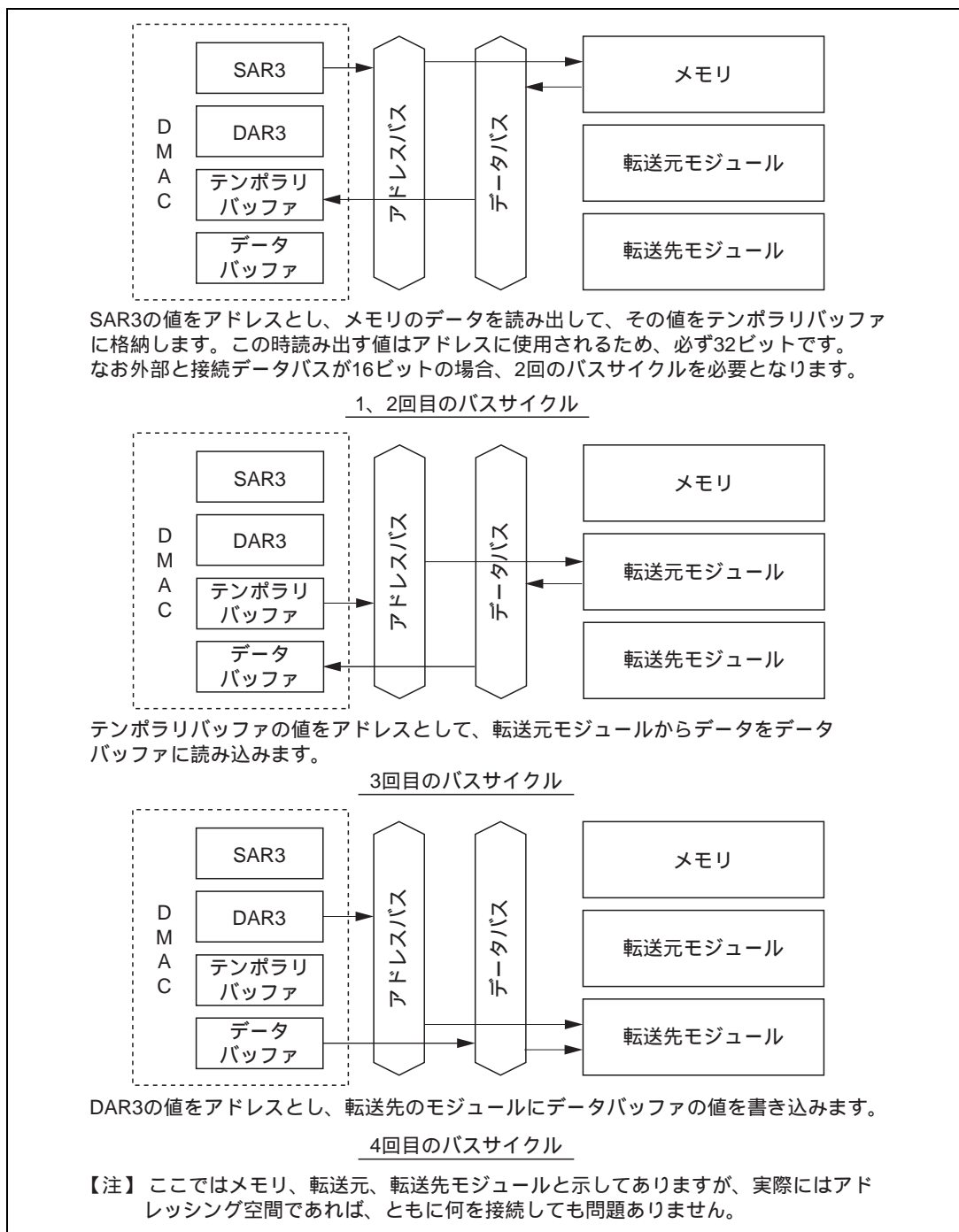


図 9.8 デュアルアドレスモード、間接アドレスの動作説明 (外部メモリ空間が 16 ビット幅の場合)

9. ダイレクトメモリアクセスコントローラ (DMAC)

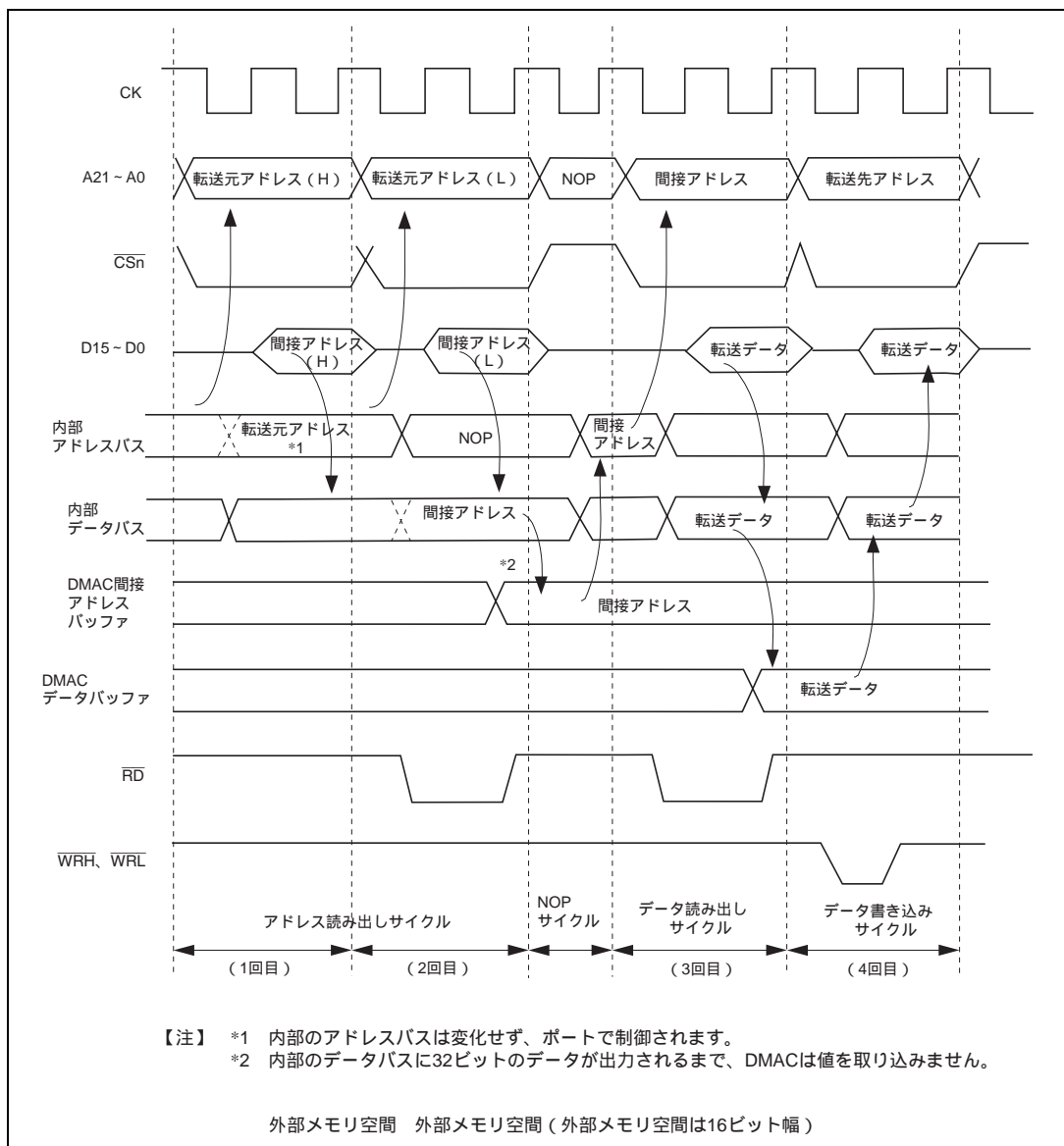


図 9.9 デュアルアドレスモード、間接アドレスでの転送タイミング例 (1)

図 9.10 に間接アドレスモードで、転送元、間接アドレスの格納先が内部メモリであり、転送先が 2 サイクルアクセス空間の内蔵周辺モジュールで、転送データが 8 ビットの場合のタイミング例を示します。

間接アドレスの格納先、転送元とも内部メモリなので、これらへのアクセスは 1 サイクルで実行できます。転送先が 2 サイクルアクセス空間なので、データの書き込みサイクルが 2 サイクル必要になります。この場合でも、間接アドレスとして読み出したデータをアドレスバスに出力までに、1 回の NOP サイクルを必要とします。

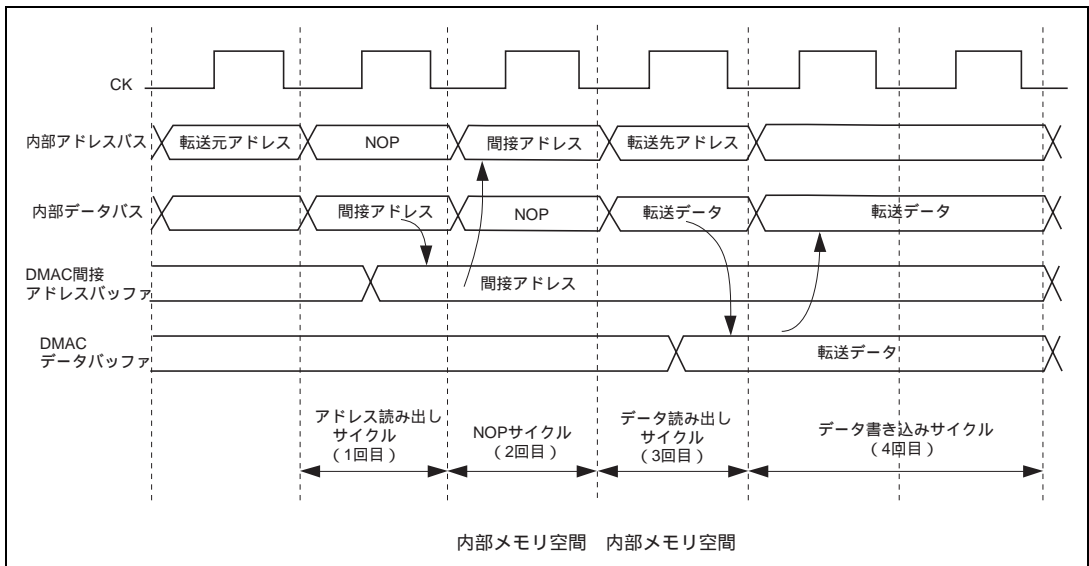


図 9.10 デュアルアドレスモード、間接アドレスでの転送タイミング例 (2)

9. ダイレクトメモリアクセスコントローラ (DMAC)

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0 ~ CHCR3 の TM ビットによって行います。

(a) サイクルスチールモード

サイクルスチールモードでは、DMAC は一回の転送単位 (8 ビット、16 ビット、32 ビット) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 9.11 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下の通りです。

- ・デュアルアドレスモード
- ・DREQ レベル検出

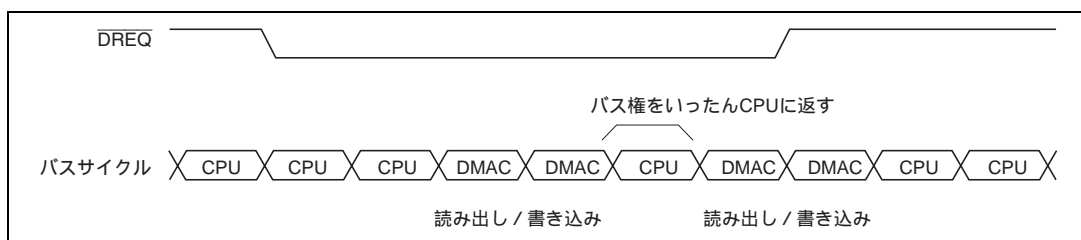


図 9.11 サイクルスチールモードでの DMA 転送例

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 9.12 にバーストモードでの DMA 転送タイミングを示します。図の例での転送条件は以下の通りです。

- ・シングルアドレスモード
- ・ $\overline{\text{DREQ}}$ レベル検出

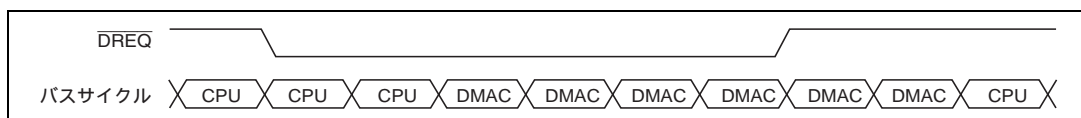


図 9.12 バーストモードでの DMA 転送例

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 9.6 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 9.6 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32	0、1
デュアル	外部メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	外部メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	外部メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	外部メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	メモリマップト外部デバイスと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
	内蔵メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3 ^{*5}
	内蔵メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}
内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3 ^{*5}	

B : バースト

C : サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、ATU、SCI と A/D 変換器を転送要求元に指定するのは不可。
- *2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元も ATU、SCI または A/D 変換器の場合には、転送元または転送先がそれぞれ ATU、SCI か A/D 変換器である必要があります。
- *3 転送要求元が SCI の場合にはサイクルスチールのみ。
- *4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。
- *5 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ。

9. ダイレクトメモリアクセスコントローラ (DMAC)

(4) バスモードとチャンネルの優先順位

例えばチャンネル1がバーストモードで転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、ただちにチャンネル0の転送を開始します。

このとき、優先順位の設定が固定モード (CH0 > CH1) の場合、チャンネル0の設定がサイクルスチールモードでもバーストモードでもチャンネル0の転送がすべて終了してからチャンネル1の転送を継続します。

優先順位の設定がラウンドロビンモードの場合、チャンネル0の設定がサイクルスチールモードでもバーストモードであっても、チャンネル0が1転送単位の転送を行ったあと、チャンネル1が転送を再開します。その後もチャンネル1 チャンネル0 チャンネル1 チャンネル0 というようにバス権を交互に入れ替えます。

優先順位が設定が固定モードでもラウンドロビンモードでも、チャンネル1がバーストモードなので、この間CPUにはバス権は渡りません。

ラウンドロビンモードの場合の例を図9.13に示します。

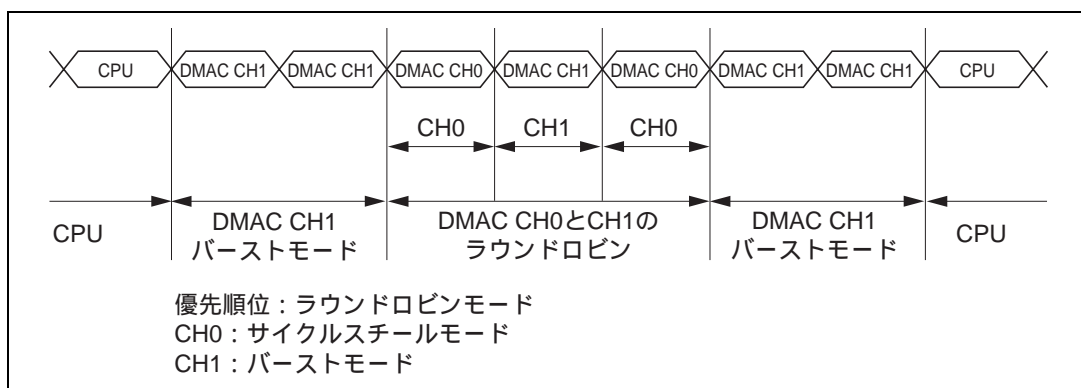


図 9.13 複数チャンネルが動作する場合のバス状態

9.3.5 バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「8. バスステートコントローラ」を参照してください。

(2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミングと DRAK 信号

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$ 端子は立ち下がりエッジまたはローレベル検出でサンプリングされ、 $\overline{\text{DREQ}}$ 入力検出されると、最も早い場合で 3 ステート後に DMAC のバスサイクルが発生し、DMA 転送が行われます。ただしバーストモードでシングルアドレス動作を指定している場合には、最初にダミーサイクルが 1 バスサイクル分挿入されます。この場合実際のデータ転送は、2 バスサイクル目からになります。2 バスサイクル目以後は連続してデータ転送が行われます。ダミーサイクルは転送回数にはカウントされませんので、DMATCR を設定するさいに、ダミーサイクルを意識する必要はありません。

2 回目以後の $\overline{\text{DREQ}}$ サンプリングは、その 1 回前のサンプリングによって発生する DMAC 転送の、1 バスサイクル前の転送が始まることから開始されます。

なお DRAK は、転送モード、 $\overline{\text{DREQ}}$ 検出方法によらず、 $\overline{\text{DREQ}}$ 回のサンプリングにつき 1 回、1 サイクルのみ出力されます。バーストモード、エッジ検出の場合は、 $\overline{\text{DREQ}}$ のサンプリングが最初の 1 回だけなので、DRAK も最初の 1 回だけ出力されます。

したがって DRAK 信号により $\overline{\text{DREQ}}$ 信号のネゲートタイミングを知ることができ、転送要求元と DMAC とのハンドシェークを容易にとることが可能です。

(3) 動作説明

(a) サイクルスチールモード

サイクルスチールモードの場合 $\overline{\text{DREQ}}$ サンプリングタイミングは、デュアルアドレスモードでもシングルアドレスモードでも、また $\overline{\text{DREQ}}$ 検出方法がレベルでもエッジでも同じです。

例えば、図 9.14 (サイクルスチールモード、デュアルアドレス、レベル検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所、すなわち CPU (3) の転送が始まる場所から開始されます。この時 $\overline{\text{DREQ}}$ が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

図 9.15 のように、CPU の転送サイクルが何サイクルであっても、DMAC 転送の開始される、1 バスサイクル前の転送が始まる場所から次のサンプリングは開始されます。

図 9.14 は DACK をリード時に出力、図 9.15 は DACK をライト時に出力する例です。

図 9.16、図 9.17 はサイクルスチールモードのシングルアドレスの場合です。この場合も 1 回目の $\overline{\text{DREQ}}$ サンプリングから、最も早い場合で 3 サイクル後に転送開始されます。2 回目のサンプリングは、1 回目の DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所から開始されます。シングルアドレスモードでは、DACK 信号は DMAC の転送期間中出力されます。

(b) バーストモード、デュアルアドレス、レベル検出

バーストモード、デュアルアドレス、レベル検出の場合 $\overline{\text{DREQ}}$ サンプリングタイミングはサイクルスチールモードとほぼ同じです。

例えば図 9.18 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングも、1 回目の DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所から開始されます。バーストモードの場合、転送要求があるかぎり DMAC 転送が連続で行われるので、“DMAC 転送の開始される 1 バスサイクル前の転送” が DMAC の転送の場合があります。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

(c) バーストモード、シングルアドレス、レベル検出

バーストモード、シングルアドレス、レベル検出の場合の $\overline{\text{DREQ}}$ サンプリングタイミングを図 9.20、図 9.21 に示します。

バーストモード、シングルアドレス、レベル検出の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後にダミーサイクルが 1 バスサイクル出力されます。この期間のデータは不定であり、DACK も出力されません。また DMAC の転送回数にもカウントされません。ダミーサイクルが 1 バスサイクル出力された後、実際の DMAC 転送が開始されます。

2 回目のサンプリングの始まる、“1 回目の DMAC 転送の開始される 1 バスサイクル前の転送” にもダミーサイクルはカウントしません。したがって 2 回目のサンプリングは、ダミーサイクルの始まるバスサイクルから行われるのではなく、CPU (3) のバスサイクルから開始されます。

その後 $\overline{\text{DREQ}}$ が連続でサンプリングされている限り、ダミーサイクルが挿入されることはありません。この間の $\overline{\text{DREQ}}$ サンプリングタイミングは、サイクルスチールモード同様 DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所から開始されます。

図 9.20 の 4 回目のサンプリングのように、いったん DMAC 転送がとぎれた場合、再び DMAC 転送の最初にダミーサイクルが挿入されます。

DACK の出力期間は、サイクルスチールモードの場合と同じです。

(d) バーストモード、デュアルアドレス、エッジ検出

バーストモード、デュアルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の 1 回しか行いません。

例えば図 9.22 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。その後 DMATCR に設定した回数データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。したがって DRAK も最初の 1 回出力されるだけで、以後は出力されません。

NMI やアドレスエラーが発生して停止した後 DMAC 転送を再開したい場合は、再びエッジ要求を入力してください。DRAK を 1 回出力した後、残りの転送を再開します。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

(e) バーストモード、シングルアドレス、エッジ検出

バーストモード、シングルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の 1 回しか行いません。

例えば図 9.23 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後にダミーサイクルが 1 バスサイクル出力されます。この期間のデータは不定であり、DACK も出力されません。また DMAC の転送回数にもカウントされません。ダミーサイクルが 1 バスサイクル出力された後、実際の DMAC 転送が開始されます。その後 DMATCR に設定した回数データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。したがって DRAK も最初の 1 回出力されるだけで、以後は出力されません。

NMI やアドレスエラーが発生して停止した後 DMAC 転送を再開したい場合は、再びエッジ要求を入力してください。DRAK を 1 回出力し、ダミーサイクルを 1 バスサイクル出力した後、残りの転送を再開します。

バーストモードでも DACK の出力期間は、サイクルスチールモードの場合と同じです。

9. ダイレクトメモリアクセスコントローラ (DMAC)

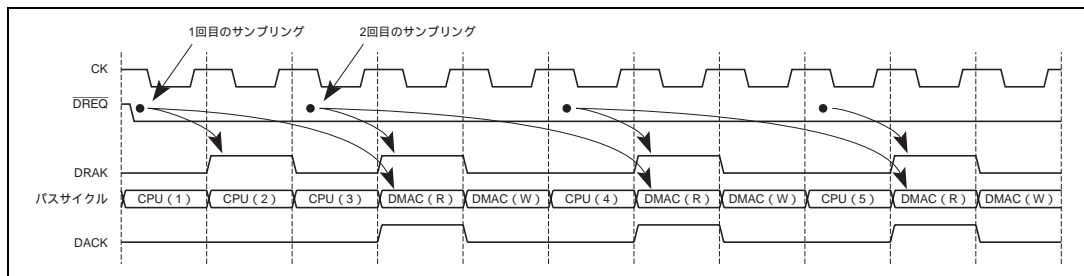


図 9.14 サイクルスチールモード、デュアルアドレス、レベル検出 (最高速動作)

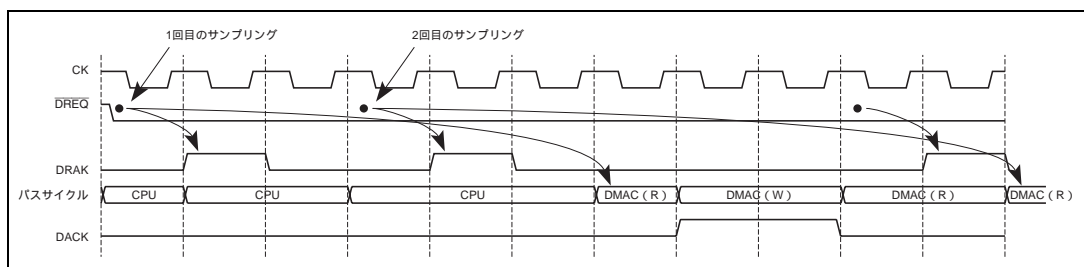


図 9.15 サイクルスチールモード、デュアルアドレス、レベル検出 (通常動作)

【注】 サイクルスチール、デュアル動作では、 \overline{DREQ} 検出方法がレベルでもエッジでもサンプリングタイミングは同じです。

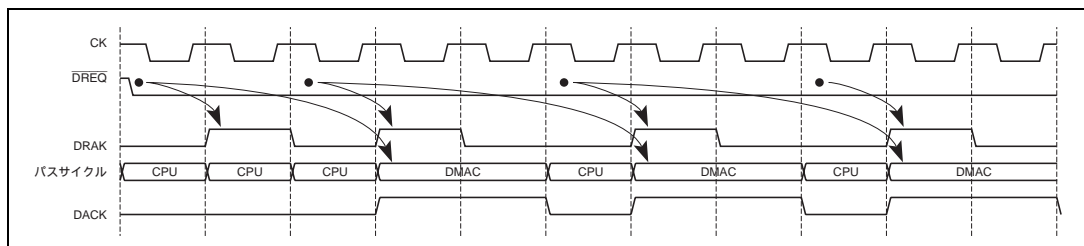


図 9.16 サイクルスチールモード、シングルアドレス、レベル検出 (最高速動作)

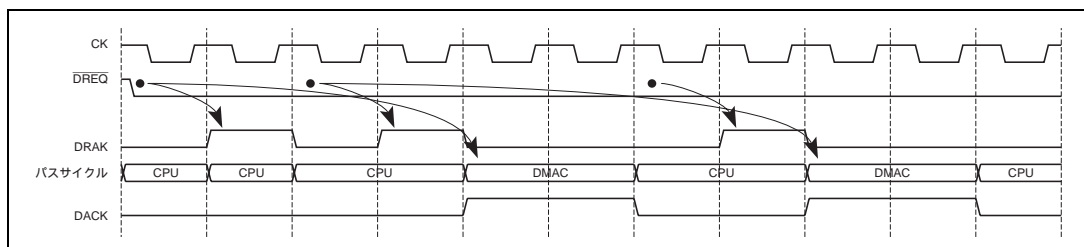


図 9.17 サイクルスチールモード、シングルアドレス、レベル検出 (通常動作)

【注】 サイクルスチール、シングル動作では、 \overline{DREQ} 検出方法がレベルでもエッジでもサンプリングタイミングは同じです。

9. ダイレクトメモリアクセスコントローラ (DMAC)

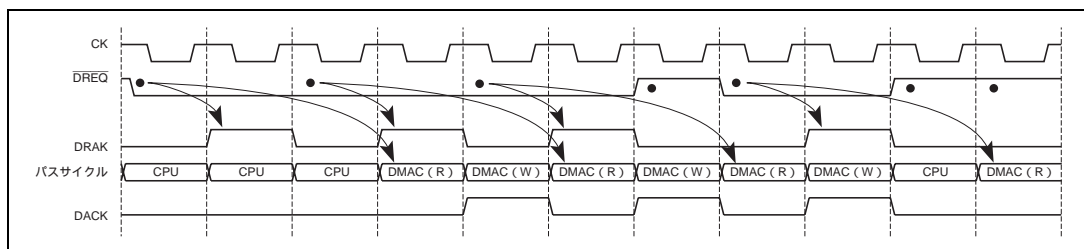


図 9.18 バーストモード、デュアルアドレス、レベル検出 (最高速動作)

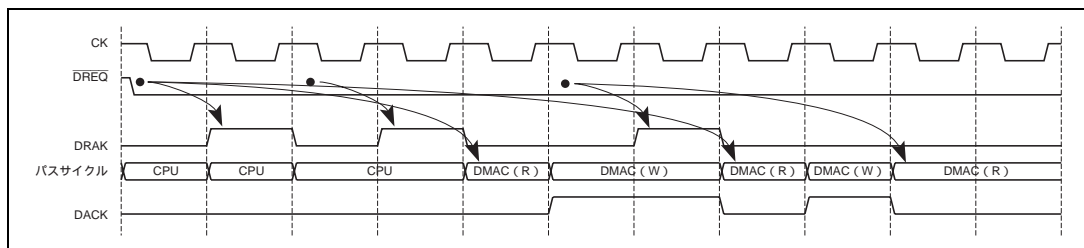


図 9.19 バーストモード、デュアルアドレス、レベル検出 (通常動作)

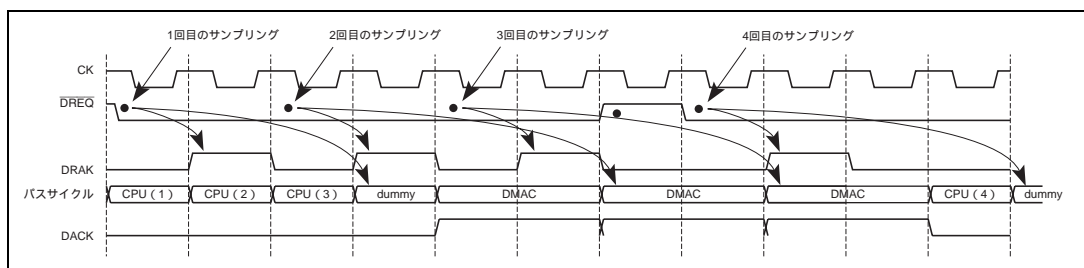


図 9.20 バーストモード、シングルアドレス、レベル検出 (最高速動作)

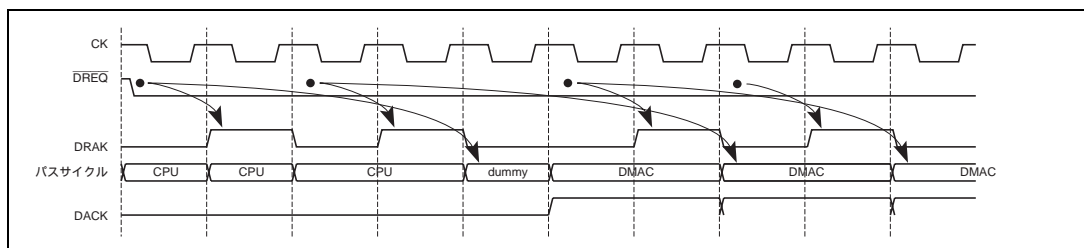


図 9.21 バーストモード、シングルアドレス、レベル検出 (通常動作)

9. ダイレクトメモリアクセスコントローラ (DMAC)

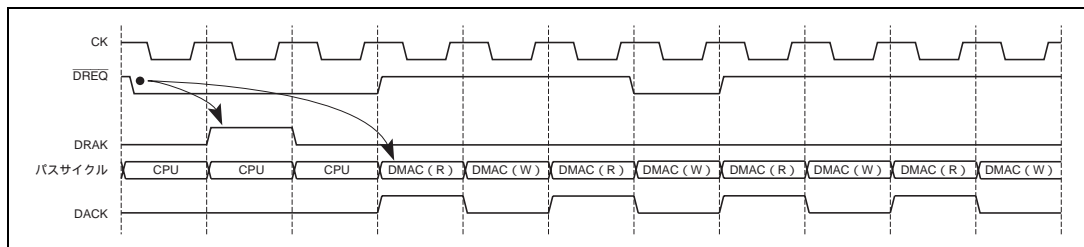


図 9.22 バーストモード、デュアルアドレス、エッジ検出

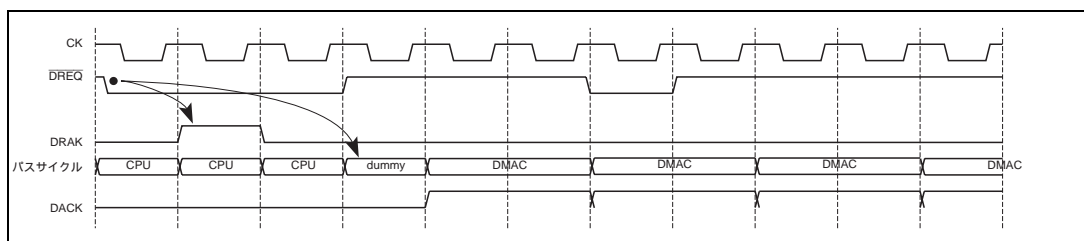


図 9.23 バーストモード、シングルアドレス、エッジ検出

9.3.6 ソースアドレスリロード機能

チャンネル 2 は CHCR2 の RO ビットを 1 にセットすることで、4 回の転送ごとに、最初にソースアドレスレジスタ (SAR2) に設定した値に復帰するリロード機能があります。この動作を図 9.24 に示します。また図 9.25 に、チャンネル 2 のみ使用で、バーストモード、オートリクエスト、転送データサイズ 16 ビット、SAR2 カウントアップ、DAR2 固定状態で、リロード機能 ON 状態のタイムチャートを示します。

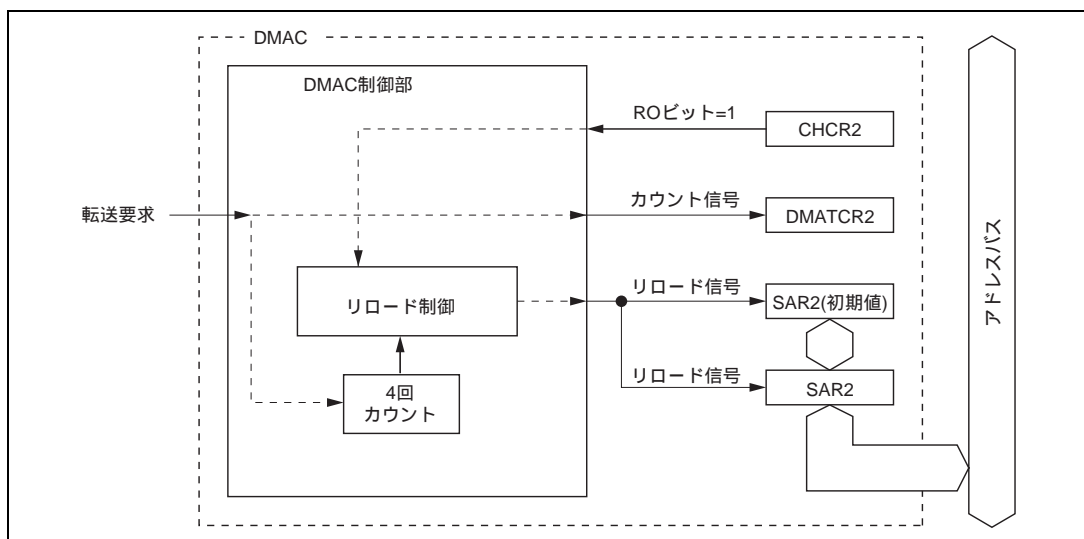


図 9.24 ソースアドレスリロード機能図

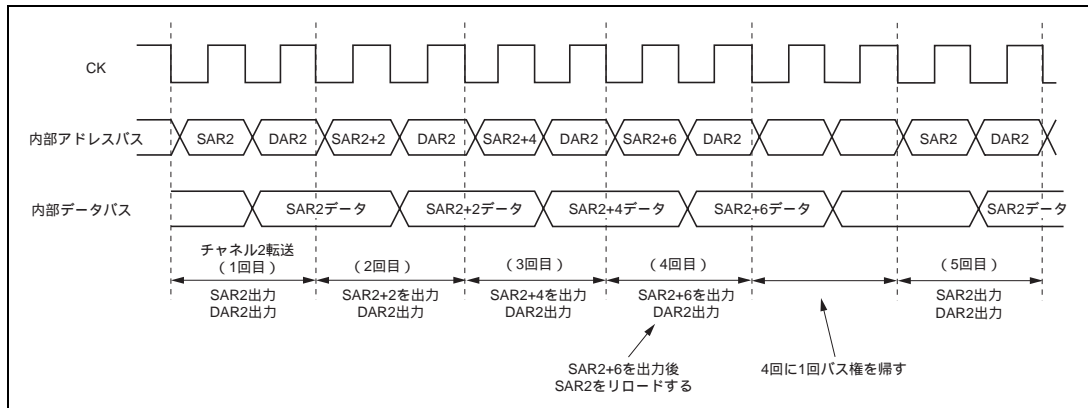


図 9.25 ソースアドレスリロード機能タイムチャート

転送データサイズが 8 ビット、16 ビット、32 ビットのいずれの場合でも、リロード機能は実行可能です。

転送回数を指定する DMATCR2 は、リロード機能のオン、オフにかかわらず、1 転送データサイズの転送終了ごとに 1 カウントダウンします。このためリロード機能をオンで使用する場合は、DMATCR には、必ず 4 の倍数を指定してください。それ以外の値を設定した場合の動作は、保証しません。

またアドレスリロードのために 4 回転送したことをカウントしているカウンタは、リセットやソフトウェアスタンバイの他、DMAOR の DME ビットのクリア、CHCR2 の DE ビットのクリア、転送終了フラグ (CHCR2 の TE ビット) のセット、NMI 入力、AE フラグ (DMAC 転送によるアドレスエラーの発生) のセットによってリセットされますが、SAR2、DAR2、DMATCR2 などのレジスタはリセットされません。このためこれからの要因が発生すると、DMAC 内部に初期化されたカウンタと、初期化されないレジスタが混在することになり、そのまま再スタートをかけると誤動作する場合があります。以上から、アドレスリロード機能使用中に TE のセット以外の上記の要因が発生した場合は、SAR2、DAR2、DMATCR2 の設定から実行しなおしてください。

9.3.7 DMA 転送終了

DMA 転送終了条件は、1 チャンネルずつの終了と全チャンネルの同時終了とで異なります。

(1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- ・DMA トランスファカウントレジスタ (DMATCR) の値が 0 になる。
- ・DMA チャンネルコントロールレジスタ (CHCR) の DE ビットを 0 にクリアする。

(a) DMATCR=0 による転送終了

DMATCR の値が 0 になると、対応するチャンネルの DMA 転送が終了し、CHCR のトランスファエンドフラグビット (TE) がセットされます。この時インタラプトイネーブルビット (IE) がセットされていると、CPU に DMAC 割り込み (DEI) が要求されます。

(b) CHCR の DE=0 による転送終了

CHCR の DMA イネーブルビット (DE) をクリアすると、対応するチャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、全てのチャンネルが同時に転送終了します。

- ・DMA オペレーションレジスタ (DMAOR) の NMI フラグビット (NMIF) またはアドレスエラーフラグビット (AE) が 1 になる。
- ・DMAOR の DMA マスタイネーブルビット (DME) を 0 にクリアする。

(a) DMAOR の NMIF=1 または AE=1 による転送終了

NMI 割り込みまたは DMAC によるアドレスエラーが発生して、DMAOR の NMIF ビットまたは AE ビットが 1 になると、すべてのチャンネルの DMA 転送が中断されます。DMAC がバス権を獲得し、転送を実行している間にこれらのフラグが 1 にセットされた場合 DMAC は実行中の転送処理を終了した時点で動作を中断し、バス権を他のバスマスタに渡します。したがって転送中に NMIF ビットまたは AE ビットが 1 になっても、DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR) の値は更新されません。この場合は TE ビットはセットされません。NMI 割り込み、アドレスエラー処理終了後に転送を再開するためには、NMIF または AE フラグをクリアする必要があります。そのさい、再起動させたくないチャンネルは、対応する CHCR の DE ビットをクリアしてください。

転送の中断は、1 転送単位の処理が終了したところで発生します。デュアルアドレスモードの直接アドレス転送で、読み出し処理中にアドレスエラー、または NMI フラグがセットされても、続く書き込み処理が終了してから中断されます。この場合も、SAR、DAR、DMATCR の値更新は行われません。同様にデュアルアドレスモードの間接アドレス転送でも、最後の書き込み処理が終了してから中断されます。

(b) DMAOR の DME=0 による転送終了

DMAOR の DME ビットを 0 にクリアすると、全チャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

9.3.8 CPU からの DMAC アクセス

DMAC がアドレッシングされている空間は 3 サイクル空間です。したがって CPU がバスマスタとなって DMAC をアクセスする場合の 1 バスサイクルは、最低基本クロック (CLK) 3 サイクルを必要とします。また DMAC はワード空間に配置されています。したがって DMAC に対しワードサイズのアクセスを行った場合は 1 バスサイクルで終了しますが、ロングワードアクセスを行った場合は、自動的にワードアクセス 2 回に分割され、2 バスサイクル=6 基本クロックを必要とします。なお、この分割された 2 回のバスサイクルは連続で実行されます。ワードアクセスとワードアクセスの間に別のバスサイクルが挿入されることはありません。これはリードアクセスの場合もライトアクセスの場合も同様です。

9.4 使用例

9.4.1 内蔵 SCI と外部メモリとの DMA 転送例

内蔵シリアルコミュニケーションインタフェース、チャンネル 0 (SCI0) の受信データを、DMAC のチャンネル 3 を使って外部メモリに転送する例を考えます。

表 9.7 に転送条件と、各レジスタの設定値を示します。

表 9.7 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 SCI0 の RDR0	SAR0	H'FFFF81A5
転送先：外部メモリ	DAR0	H'00400000
転送回数：64 回	DMATCR0	H'00000040
転送元アドレス：固定	CHCR0	H'00004905
転送先アドレス：増加		
転送要求元：SCI0 (RDR0)		
パスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生		
チャンネル優先順位：0>1>2>3	DMAOR	H'0001

9.4.2 外部 RAM と DACK 付外部デバイスとの DMA 転送例

外部リクエスト、シングルアドレスモードで、転送元が外部メモリ、転送先が DACK 付き外部デバイスの場合の転送を、DMAC のチャンネル 1 を使用して実行する例を示します。

表 9.8 に転送条件と、各レジスタの設定値を示します。

表 9.8 外部 RAM と DACK 付外部デバイス間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部 RAM	SAR1	H'00400000
転送先：DACK 付外部デバイス	DAR1	(DACK によりアクセス)
転送回数：32 回	DMATCR1	H'00000020
転送元アドレス：減少	CHCR1	H'00002269
転送先アドレス：(設定無効)		
転送要求元：外部端子 (DREQ1) エッジ検出		
パスモード：バースト		
転送単位：ワード		
転送終了時に割り込み要求なし		
チャンネル優先順位：2>0>1>3	DMAOR	H'0201

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.4.3 A/D 変換器と内蔵メモリとのDMA転送例(アドレスリロードオン)

内蔵 A/D 変換器チャンネル 1 が転送元、内蔵メモリが転送先で、アドレスリロード機能オンの場合の例を考えます。

表 9.9 に転送条件と、各レジスタの設定値を示します。

表 9.9 A/D 変換器と内蔵メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 AD1	SAR2	H'FFFF85F0
転送先：内蔵メモリ	DAR2	H'FFFFE800
転送回数：128 回 (リロード回数 32 回)	DMATCR2	H'00000080
転送元アドレス：増加	CHCR2	H'00085F21
転送先アドレス：増加		
転送要求元：AD1		
バスモード：バースト		
転送単位：バイト		
転送終了時に割り込み要求発生		
チャンネル優先順位：0>2>3>1	DMAOR	H'0101

アドレスリロードをオンにすると、4 回の転送ごとに SAR の値が最初に設定した値に戻ります。上記の例では、AD1 から転送要求が入ると、まず内蔵 AD1 の H'FFFF85F0 のレジスタからバイトサイズのデータを読み出し、内部の H'FFFFE800 番地にそのデータを書き込みます。バイトサイズの転送を行ったので、この時点で SAR、DAR の値はそれぞれ H'FFFF85F1、H'FFFFE801 となっています。またバースト転送であるため、バス権を確保したままなので、データ転送を連続して進めていきます。

4 回の転送が終了すると、アドレスリロードオフの場合はそのまま 5 回目、6 回目と転送を続けて実行し、SAR の値は H'FFFF85F3 H'FFFF85F4 H'FFFF85F5... と増加し続けますが、アドレスリロードオンの場合は 4 回目終了すると DMAC 転送を中止し、CPU へのバス権要求信号をクリアします。この時 SAR 内に格納されている値は H'FFFF85F3 H'FFFF85F4 ではなく、H'FFFF85F3 H'FFFF85F0 と最初に設定したアドレスに戻っています。DAR の値はアドレスリロードのオン/オフに関係なく、常に増加を続けます。

9. ダイレクトメモリアクセスコントローラ (DMAC)

以上から DMAC 内部は 4 回目の転送が終了した時点で、アドレスリロードオンの場合とオフの場合では、以下の表に示した状態となっています。

	アドレスリロードオン	アドレスリロードオフ
SAR	H'FFFF83F0	H'FFFF83F4
DAR	H'00400004	H'00400004
DMATCR	H'0000007C	H'0000007C
バス権	解放	保持
DMAC 動作	停止	処理続行中
割り込み	未発	未発
転送要求元フラグクリア	実行	未実行

- 【注】
1. 割り込みは、DMATCR の値が 0 になるまで実行し、CHCR の IE ビットが 1 にセットされていれば、アドレスリロードのオン/オフに関係なく発生します。
 2. 転送要求元フラグクリアは、DMATCR の値が 0 になるまで実行すれば、アドレスリロードのオン・オフに関係なく実行されます。
 3. アドレスリロード機能を使用する場合は、バーストモードを指定してください。サイクルスチールモードで実行すると正常に動作しない場合があります。
 4. アドレスリロード機能を使用する場合は、DMATCR の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。

アドレスリロードオンの状態で 5 回目以後の転送を実行したい場合は、再び転送要求元から、転送要求信号を発生させてください。

9.4.4 外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)

DMAC のチャンネル 3 を使用して、転送元が間接アドレス指定外部メモリで、転送先が SCI1 の送信側の場合の例を考えます。

表 9.10 に転送条件と、各レジスタの設定値を示します。

表 9.10 外部メモリと SCI1 送信側間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR3	H'00400000
H'00400000 番地に格納されている値	-	H'00450000
H'00450000 番地に格納されている値	-	H'55
転送先：内蔵 SCI1 TDR1	DAR3	H'FFFF81B3
転送回数：10 回	DMATCR3	H'0000000A
転送元アドレス：増加	CHCR3	H'00011801
転送先アドレス：固定		
転送要求元：SCI1 (TDR1)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生せず		
チャンネル優先順位：0>1>2>3	DMAOR	H'0001

インダイレクトアドレスをオンにすると、SAR に設定したアドレスに格納されたデータは、転送元のデータとしては使用されません。インダイレクトアドレスの場合、SAR のアドレスに格納された値を読み出した後、その読み出した値をもう一度アドレスとして使用し、そのとき読み出された値を転送元データとして使用し、その値を DAR に指定されたアドレスに格納します。

表の例では、SCI1 の TDR1 の転送要求が発生すると、まず SAR3 にセットされている値である H'00400000 番地のアドレスを読み出しに行きます。この H'00400000 番地には H'00450000 が格納されており、DMAC はまず H'00450000 を読み出してきます。次に DMAC は、読み出した H'00450000 を再びアドレスとして使用し、H'00450000 番地に格納されている H'55 を読み出します。最後に DAR3 に指定された H'FFFF81B3 番地に H'55 を書き込んで、一回のインダイレクトアドレス転送が終了します。

インダイレクトアドレスでは、最初に行う SAR3 に設定されたアドレスからのデータ読み出しでは、転送データサイズの指定である TS0、TS1 ビットの指定とは無関係に、常にロングワードサイズの転送となります。ただし転送元アドレスの固定、増加、減少の指定は SM0、SM1 ビットに従います。したがって今回の例では、転送データサイズの指定がバイトサイズであるにもかかわらず、1 回の転送が終了した時点で SAR3 の値は H'00400004 となります。書き込み動作は通常のデュアルアドレス転送の書き込み動作の場合とまったく同じです。

9.5 使用上の注意

- (1) DMAオペレーションレジスタ (DMAOR) はワード (16ビット) 単位のアクセスのみ可能です。DMAOR以外のレジスタは、全てワード (16ビット) またはロングワード (32ビット) 単位のアクセスが可能です。
- (2) CHCR0~CHCR3のRS0~RS3ビット書き換える場合は、DEビットを0にしてから書き換えてください (CHCRを書き換える場合は、あらかじめDEビットを0に設定しておいてください)。
- (3) DMACが動作していない時にNMI割り込みが入力されても、DMAORのNMIFビットはセットされません。
- (4) スタンバイモードにする時はDMAORのDMEビットを0にして、DMACが受け付けた転送要求分の処理がすべて終了してから行ってください。
- (5) 内蔵周辺モジュールのうちDMAC、BSC、UBCをDMACによりアクセスしないでください。
- (6) DMACに起動をかける場合は、CHCRの設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
- (7) DMATCRのカウントが0となってDMA転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCRに0書き込みを実行してください。そうでないと正常に動作しない場合があります。
- (8) アドレスリロード機能を使用する場合、転送モードはバーストモードを指定してください。サイクルスチールモードでは正常に動作しない場合があります。
- (9) アドレスリロード機能を使用する場合、DMATCRの値は4の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。
- (10) 外部リクエストを立ち下がりエッジで検出する場合、DMACの設定を行う時には、外部リクエスト端子をハイレベルに保持しておいてください。
- (11) シングルアドレスモードで動作させる場合、アドレスは外部アドレスを設定してください。内部アドレスを設定すると、正常に動作しない場合があります。
- (12) DMACのレジスタの空きアドレスをアクセスしないでください。空きアドレスをアクセスした場合の動作は保証しません。
- (13) アドレスリロードオンでDMAC実行中にNMI、AEのセットまたはDME、DE2のクリアによりDMAC転送が中断された場合は、SAR2、DAR2、DMATCR2の設定から実行しなおしてください。そうでないと正常に動作しない場合があります。

9. ダイレクトメモリアクセスコントローラ (DMAC)

10. アドバンストタイマユニット (ATU)

10.1 概要

本 LSI は 1 チャンネルの 32 ビットタイマ、9 チャンネルの 16 ビットタイマにより構成されるアドバンストタイマユニット (ATU) を内蔵しています。

10.1.1 特長

ATU には、次のような特長があります。

最大34本のパルス入出力処理が可能
プリスケアラ

- チャンネル 0 への入力クロックは 1 段階で分周、チャンネル 1~9 への入力クロックは 2 段階で分周
- 全チャンネル初段で 1/1 ~ 1/32 のクロック分周が可能
- チャンネル 1~10 は 2 段目で 1/1、1/2、1/4、1/8、1/16、1/32 の分周が可能
- チャンネル 1~5 は外部クロック : TCLKA、TCLKB の選択も可能

チャンネル0は32ビットインプットキャプチャを4本持ち、次の動作が可能

- 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可
- チャンネル 1 のコンペアマッチをキャプチャ信号 (TRG1A) として使用可能 (ICR0A、ICR0D のみ)
- トリガ入力時に割り込み発生可能
- インターバル割り込み生成機能を持ち、選択により 4 本のインターバル割り込みを生成

チャンネル1、2は合わせて16ビットインプットキャプチャ/アウトプットコンペアレジスタを8本、インプットキャプチャ専用レジスタを1本持ち、16ビットアウトプットコンペアレジスタはチャンネル10のワンショットパルスのオフセットにも選択可能

- コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能
- インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
OSBR のトリガソースはチャンネル 0 のキャプチャ信号 (TRG0A)
- 8 本 (チャンネル 1/A ~ F、チャンネル 2/A、B) のカウンタオーバーフロー割り込み / コンペアマッチ割り込み / キャプチャ割り込み発生可能
- チャンネル 1 からコンペアマッチ信号 (TRG1A) をトリガとしてチャンネル 0 に送信可能
- チャンネル 2 からアドバンストパルスコントローラ (APC) にコンペアマッチ信号送信可能

チャンネル3~5は合わせて16ビットインプットキャプチャ/アウトプットコンペア/PWMレジスタを10本 (インプットキャプチャ/アウトプットコンペアの使用時は10本の入出力、PWMの使用時は7本の出力) 持ち、次の動作が可能

- インプットキャプチャ、アウトプットコンペア、PWM モードの選択が可能
- コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能。
- インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
- 10 本 (チャンネル 3/A ~ D、チャンネル 4/A ~ D、チャンネル 5/A、B) のコンペアマッチ割り込み / キャプチャ割り込み、3 本のカウンタオーバーフロー割り込み発生可能

チャンネル6~9は16ビットPWM出力を4本持ち、次の動作が可能

- 周期、デューティ 0 ~ 100% を任意設定可能
- デューティバッファレジスタを持ち各周期ごとにデューティレジスタに転送
- 周期ごとに割り込み発生可能

10. アドバンスドタイマユニット (ATU)

チャンネル10は16ビットワンショットパルス出力用ダウンカウンタを8本持ち、次の動作が可能

- ダウンカウンタによるワンショットパルス生成
- ダウンカウンタはカウント中も書き換え可能
- ダウンカウンタ終了時割り込み発生可能
- オフセット付ワンショットパルス機能可能

内部16ビットバスに高速アクセス

- タイマカウンタ、コンペアレジスタ、キャプチャレジスタの16ビットレジスタに対し、16ビットバスによる高速アクセスが可能。

44種類の割り込み要因

- チャンネル0はインプットキャプチャ割り込み×4本、オーバフロー割り込み×1本が要求可能
- インターバル割り込み×4本要求可能
- チャンネル1、2でインプットキャプチャ/コンペアマッチ兼用割り込み×8本、カウンタオーバフロー割り込み×2本要求可能
- チャンネル3~5はインプットキャプチャ/コンペアマッチ兼用割り込み×10本、オーバフロー割り込み×3本要求可能
- チャンネル6~9は周期割り込み×4本要求可能
- チャンネル10はアンダーフロー割り込み×8本要求可能

ダイレクトメモリアルアクセスコントローラ (DMAC) の起動可能

- チャンネル0のインプットキャプチャ割り込み (ICI0B) により DMAC の起動が可能
- チャンネル6のサイクルレジスタ6のコンペアマッチ割り込み (CMI6) により DMAC の起動が可能

A/D変換器の起動可能

- チャンネル0のフリーランニングカウンタ (TCNT0) のビット10~13の1検出により A/D 変換器の起動が可能

AUT の機能一覧を表 10.1 に表示します。

表 10.1 ATU の機能一覧表

項目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3~5	チャンネル 6~9	チャンネル 10	
カウンタ構成	クロック	$\phi \sim \phi/32$	$(\phi \sim \phi/32) \times (1/2^n)$ ($n=0 \sim 5$) TCLKA、TCLKB			$(\phi \sim \phi/32) \times (1/2^n)$ ($n=0 \sim 5$)	$(\phi \sim \phi/32) \times (1/2^n)$ ($n=0 \sim 5$)
	カウンタ	TCNT0H、 TCNT0L	TCNT1	TCNT2	TCNT3、 TCNT4、 TCNT5	TCNT6、 TCNT7、 TCNT8、 TCNT9	DCNT10A、 DCNT10B、 DCNT10C、 DCNT10D、 DCNT10E、 DCNT10F、 DCNT10G、 DCNT10H
レジスタ構成	ジェネラルレジスタ	-	GR1A、GR1B GR1C、GR1D GR1E、GR1F	GR2A、GR2B	GR3A~3D、 GR4A~4D、 GR5A、GR5B	-	-
	インプットキャプチャ専用	ICR0AH、 ICR0AL、 ICR0BH、 ICR0BL、 ICR0CH、 ICR0CL、 ICR0DH、 ICR0DL	OSBR	-	-	-	-
	PWM 出力用	-	-	-	-	CYLR6~9、 DTR6~9、 BFR6~9	-
入力端子	TIA0、TIB0、 TIC0、TID0	-	-	-	-	-	
入出力端子	-	TIOA1、 TIOB1、 TIOAC、 TIOD1、 TIOE1、TIOF1	TIOA2、 TIOB2	TIOA3~ TIOD3、 TIOA4~ TIOD4、 TIOA5、TIOB5	-	-	
出力端子	-	-	-	-	TO6~T09	TOA10、 TOB10、 TOC10、 TOD10、 TOE10、 TOF10、 TOG10、 TOH10	
カウンタクリア機能	-	-	-	-	-	-	

10. アドバンスドタイマユニット (ATU)

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3~5	チャンネル6~9	チャンネル10
割り込み要因	9 要因 ・インプット キャプチャ 0A ・インプット キャプチャ 0B ・インプット キャプチャ 0C ・インプット キャプチャ 0D ・オーバフロー-0 ・インターバル 0* ・インターバル 1* ・インターバル 2* ・インターバル 3* (* 同一ベクタ)	7 要因 ・インプット キャプチャ/ コンペアマッチ 兼用 1A ・インプット キャプチャ/ コンペアマッチ 兼用 1B ・インプット キャプチャ/ コンペアマッチ 兼用 1C ・インプット キャプチャ/ コンペアマッチ 兼用 1D ・インプット キャプチャ/ コンペアマッチ 兼用 1E ・インプット キャプチャ/ コンペアマッチ 兼用 1F ・オーバフロー-1	3 要因 ・インプット キャプチャ/ コンペアマッチ 兼用 2A ・インプット キャプチャ/ コンペアマッチ 兼用 2B ・オーバフロー-2	13 要因 ・インプット キャプチャ/ コンペアマッチ 兼用 3A~5A ・インプット キャプチャ/ コンペアマッチ 兼用 3B~5B ・インプット キャプチャ/ コンペアマッチ 兼用 3C~4C ・インプット キャプチャ/ コンペアマッチ 兼用 3D~4D ・オーバフロー- 3~5	各 1 要因 (計 4 要因) ・周期コンペア マッチ CMI6~9	8 要因 ・アンダーフロー OSF10A OSF10B OSF10C OSF10D OSF10E OSF10F OSF10G OSF10H
チャンネル間およびモジュール間連結信号	チャンネル 1 にイン プットキャプチャ 信号をトリガ出力 チャンネル 1 にコン ペアマッチ信号を トリガ出力 A/D 変換器への起 動信号出力 DMAC へ起動用 インプットキャプ チャ信号出力	コンペアマッチ信号 をチャンネル 10 のワ ンショットパルス出 力用ダウンカウンタ にトリガ出力 チャンネル 0 にコン ペアマッチ信号を トリガ出力	コンペアマッチ信号 をチャンネル 10 のワ ンショットパルス出 力用ダウンカウンタ にトリガ出力 APC (アドバンス ドパルスコントロ ーラ) \コンペアマ ッチ信号出力	-	DMAC へ起動用コ ンペアマッチ信号 出力	チャンネル 1、2 のコン ペアマッチ信号をワ ンショットパルス出 力用ダウンカウンタ にトリガ出力

: 可能

- : 不可

10.1.2 ブロック図

(1) ATUのブロック図 (全体図)

ATUのブロック図 (全体図) を図 10.1 に示します。

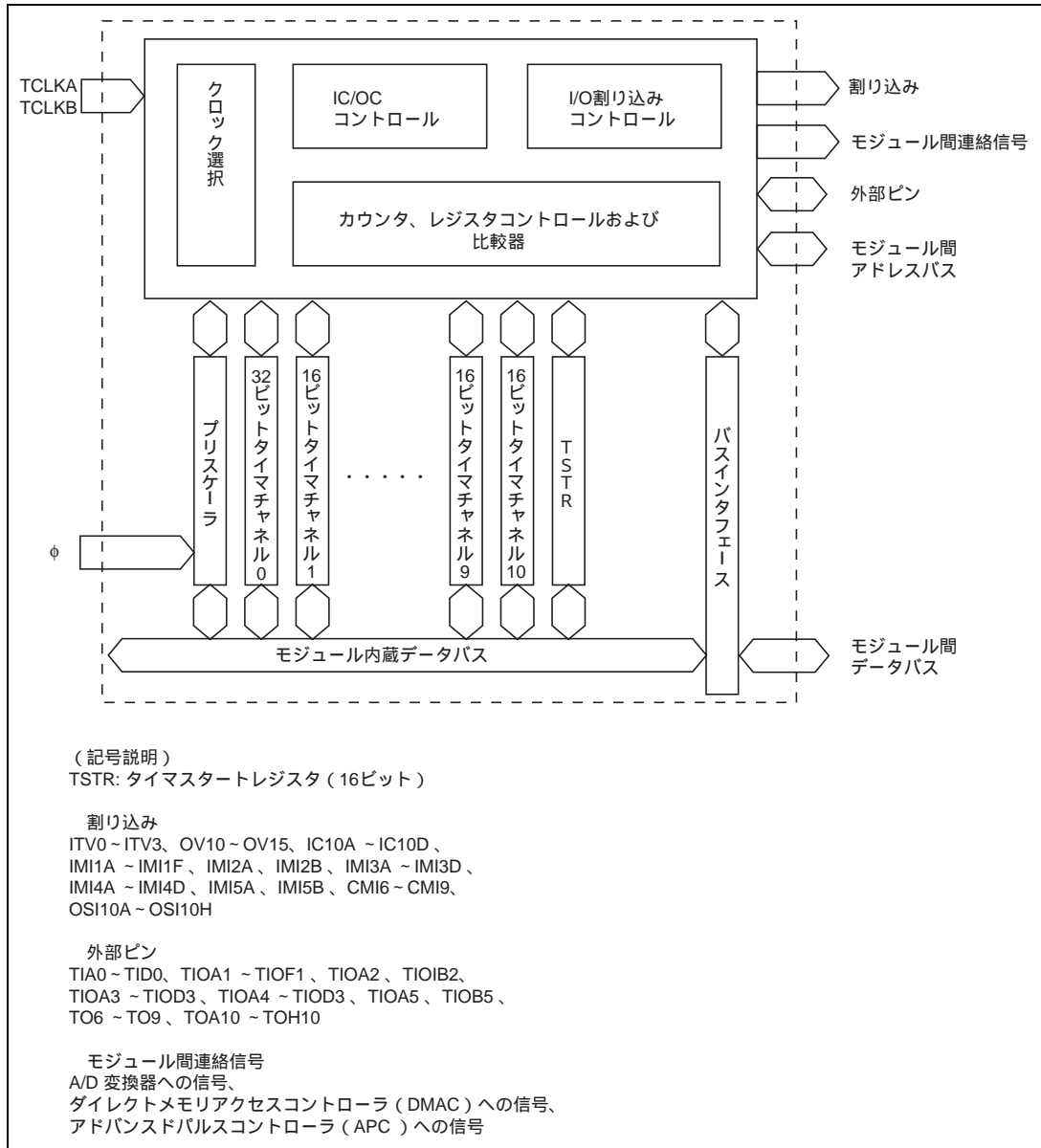


図 10.1 ATUのブロック図 (全体図)

10. アドバンスドタイマユニット (ATU)

(2) チャンネル0のブロック図

ATUのチャンネル0のブロック図を図10.2に示します。

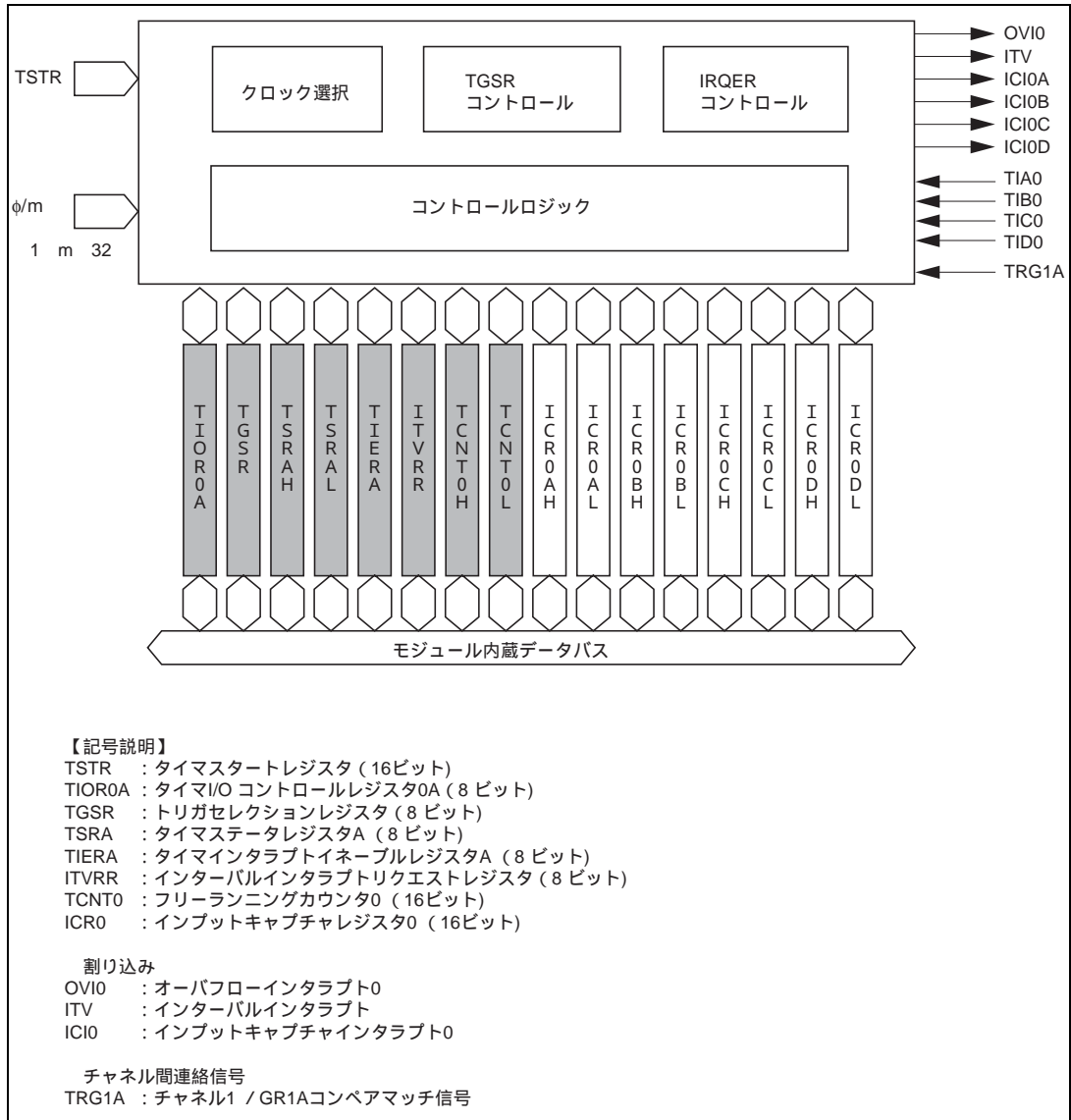


図 10.2 チャンネル0のブロック図

(3) チャンネル1のブロック図

ATUのチャンネル1のブロック図を図10.3に示します。

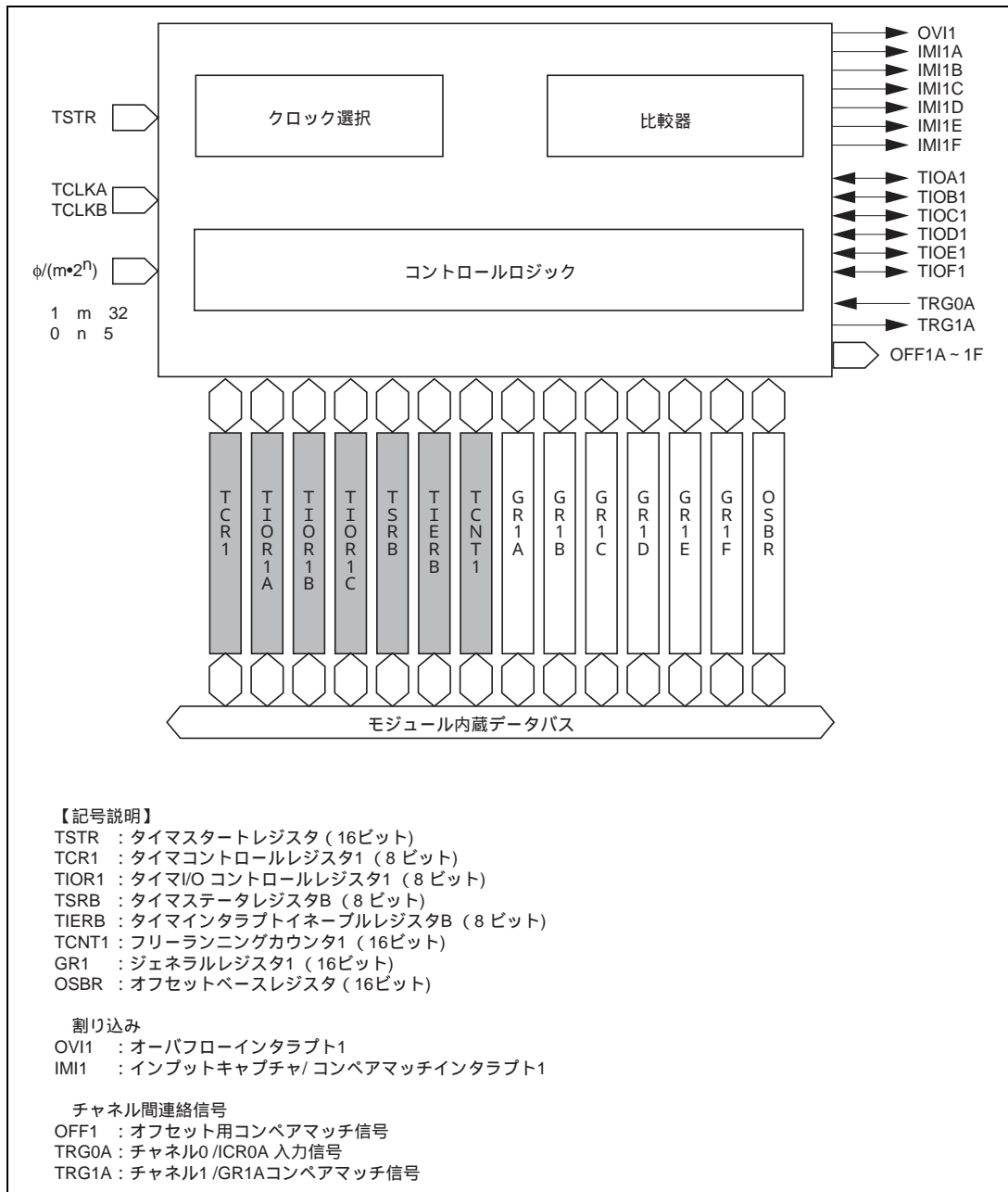


図 10.3 チャンネル1のブロック図

10. アドバンスドタイマユニット (ATU)

(4) チャンネル2のブロック図

ATUのチャンネル2のブロック図を図10.4に示します。

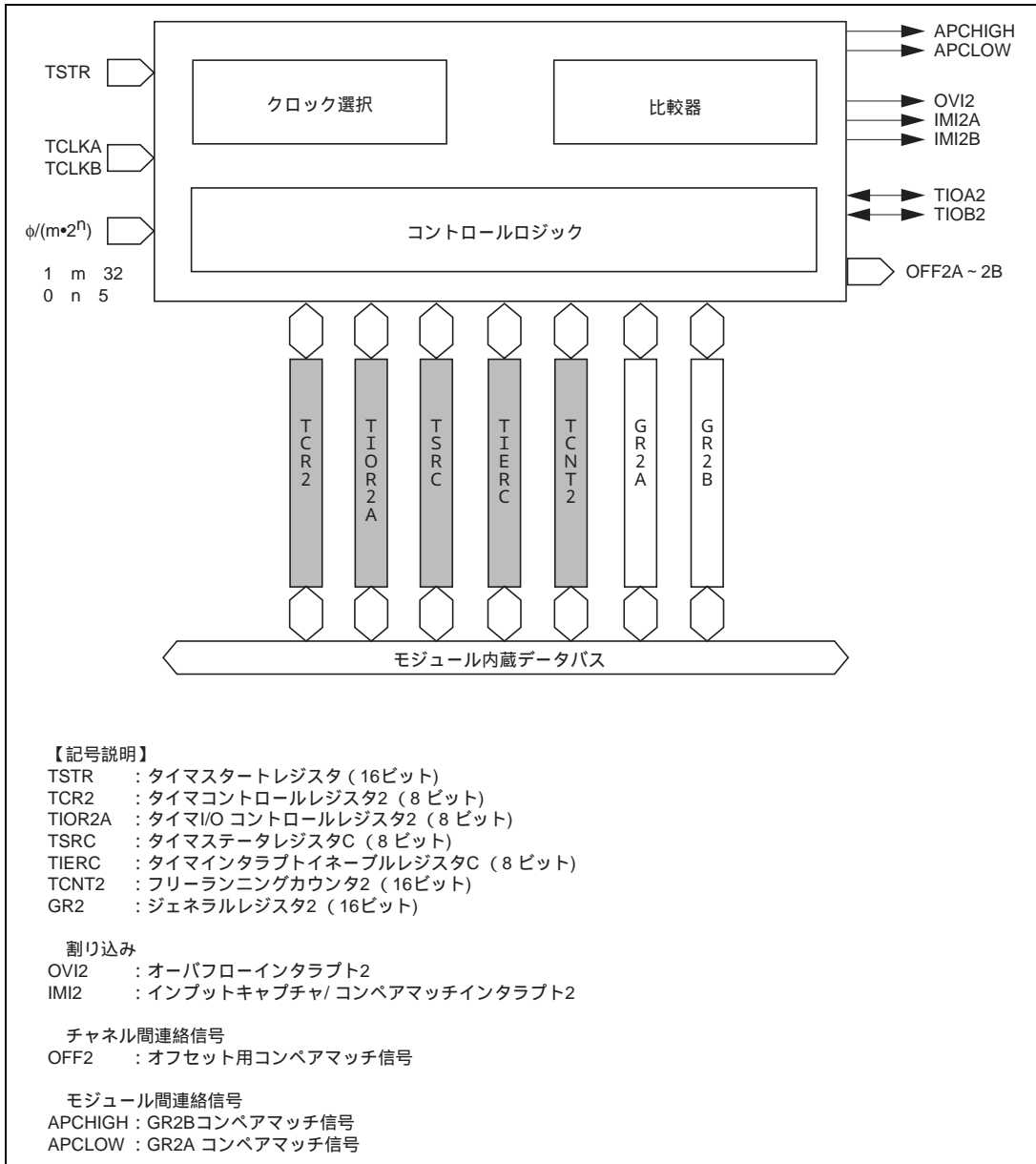


図10.4 チャンネル2のブロック図

(5) チャンネル3、4のブロック図

ATUのチャンネル3、4のブロック図を図10.5に示します。

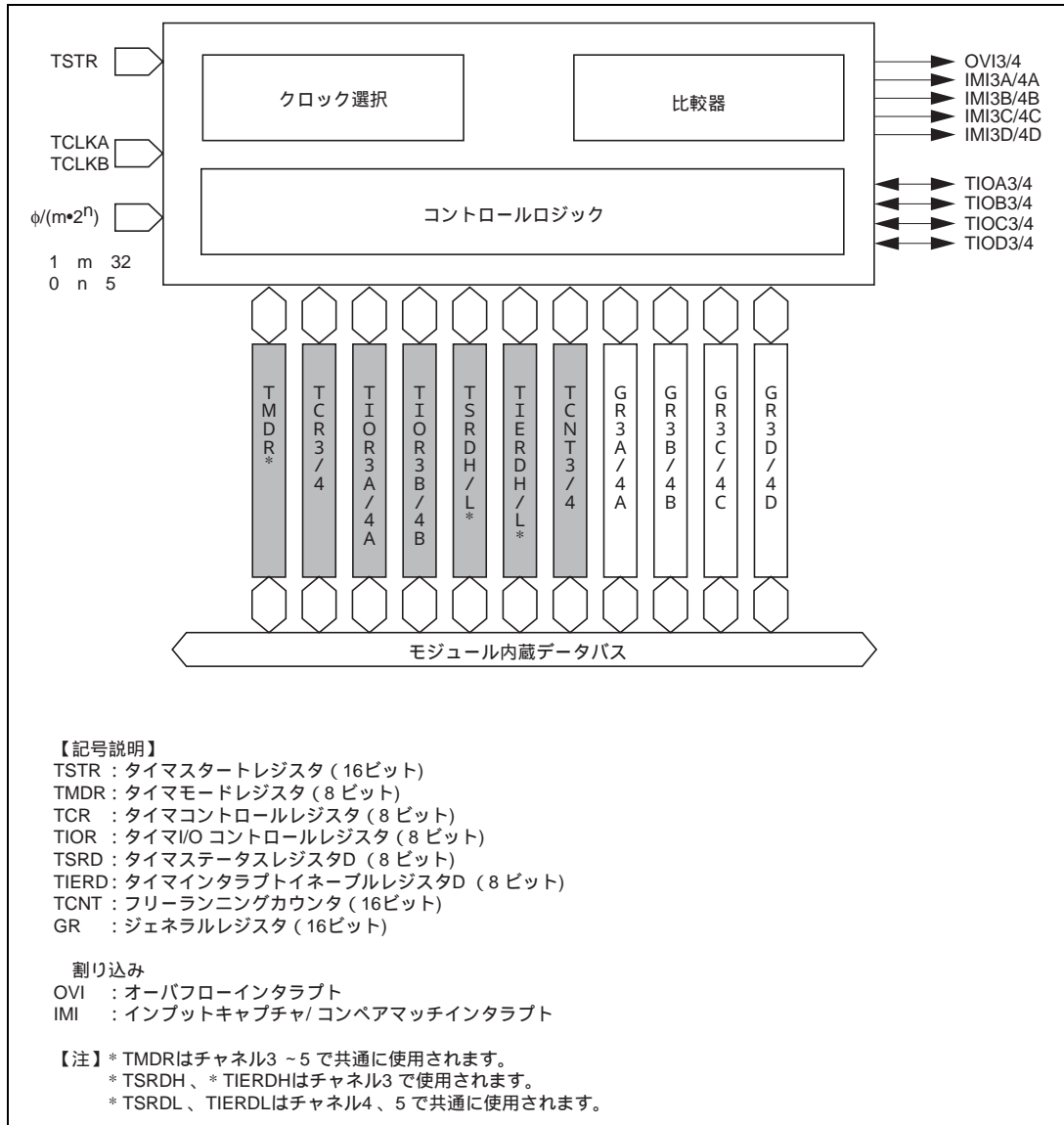


図 10.5 チャンネル3、4のブロック図

10. アドバンスタイマユニット (ATU)

(6) チャンネル5のブロック図

ATUのチャンネル5のブロック図を図10.6に示します。

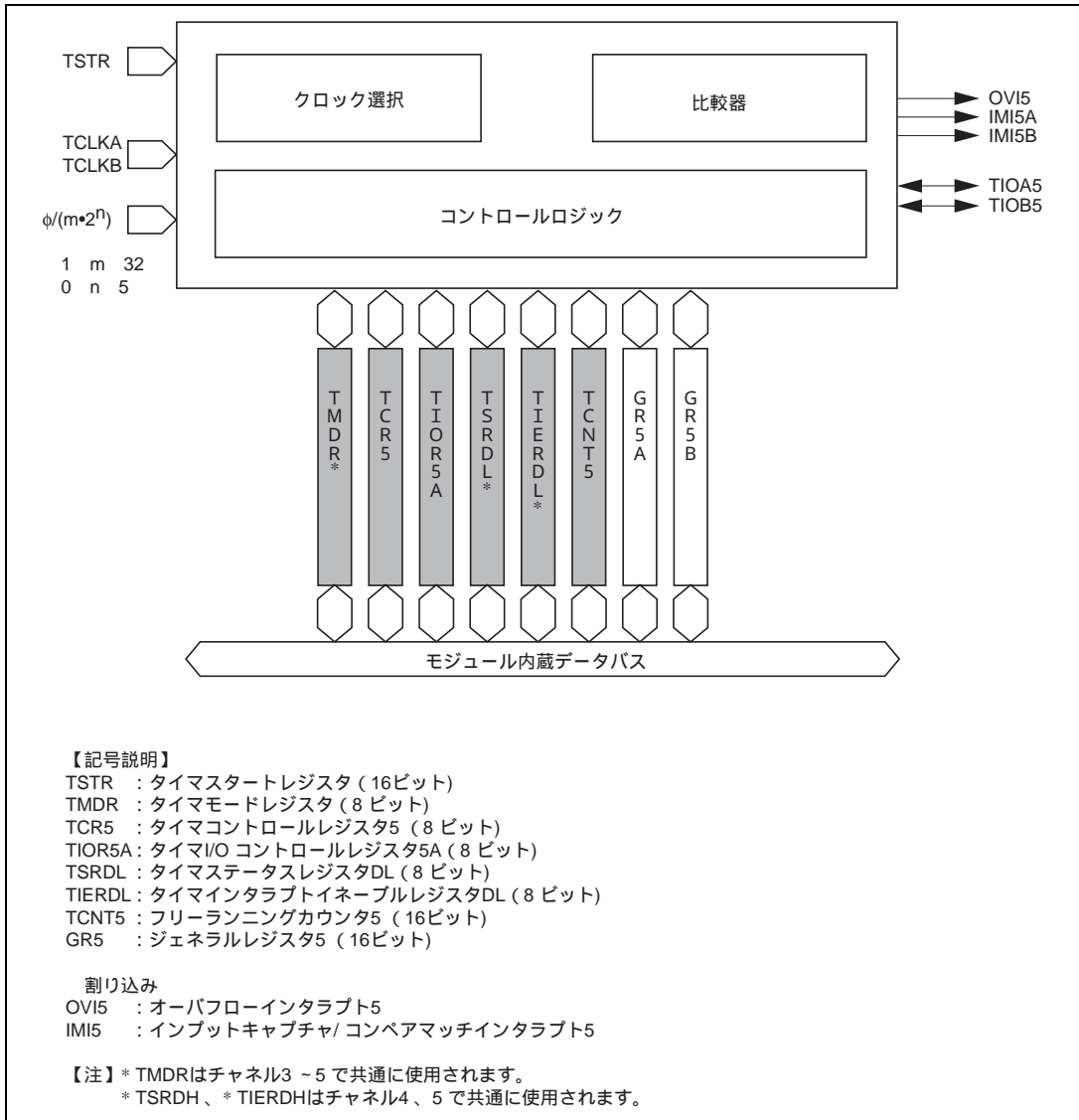


図 10.6 チャンネル5のブロック図

(7) チャンネル6~9のブロック図

ATUのチャンネル6~9のブロック図を図10.7に示します。

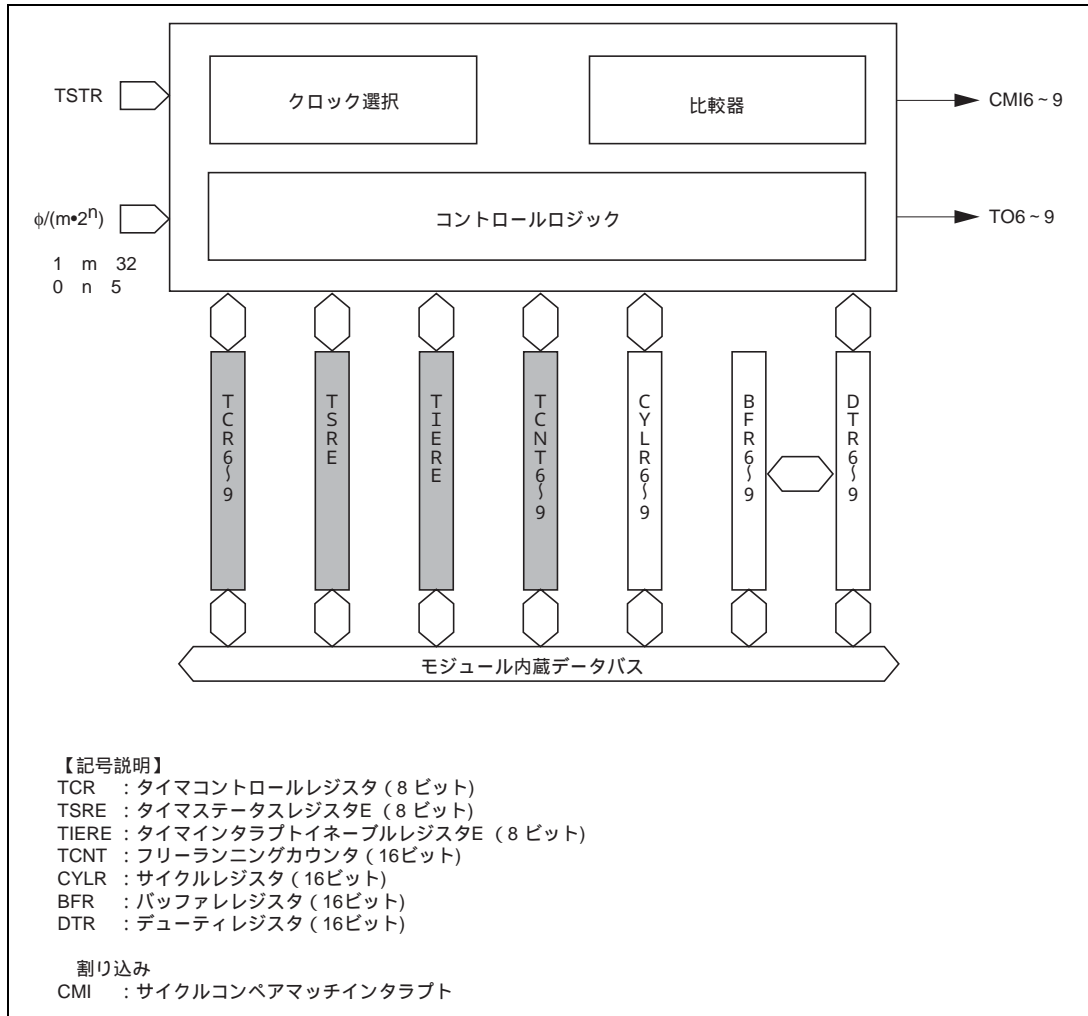


図 10.7 チャンネル6~9のブロック図

10. アドバンスドタイマユニット (ATU)

(8) チャンネル 10 のブロック図

ATU のチャンネル 10 のブロック図を図 10.8 に示します。

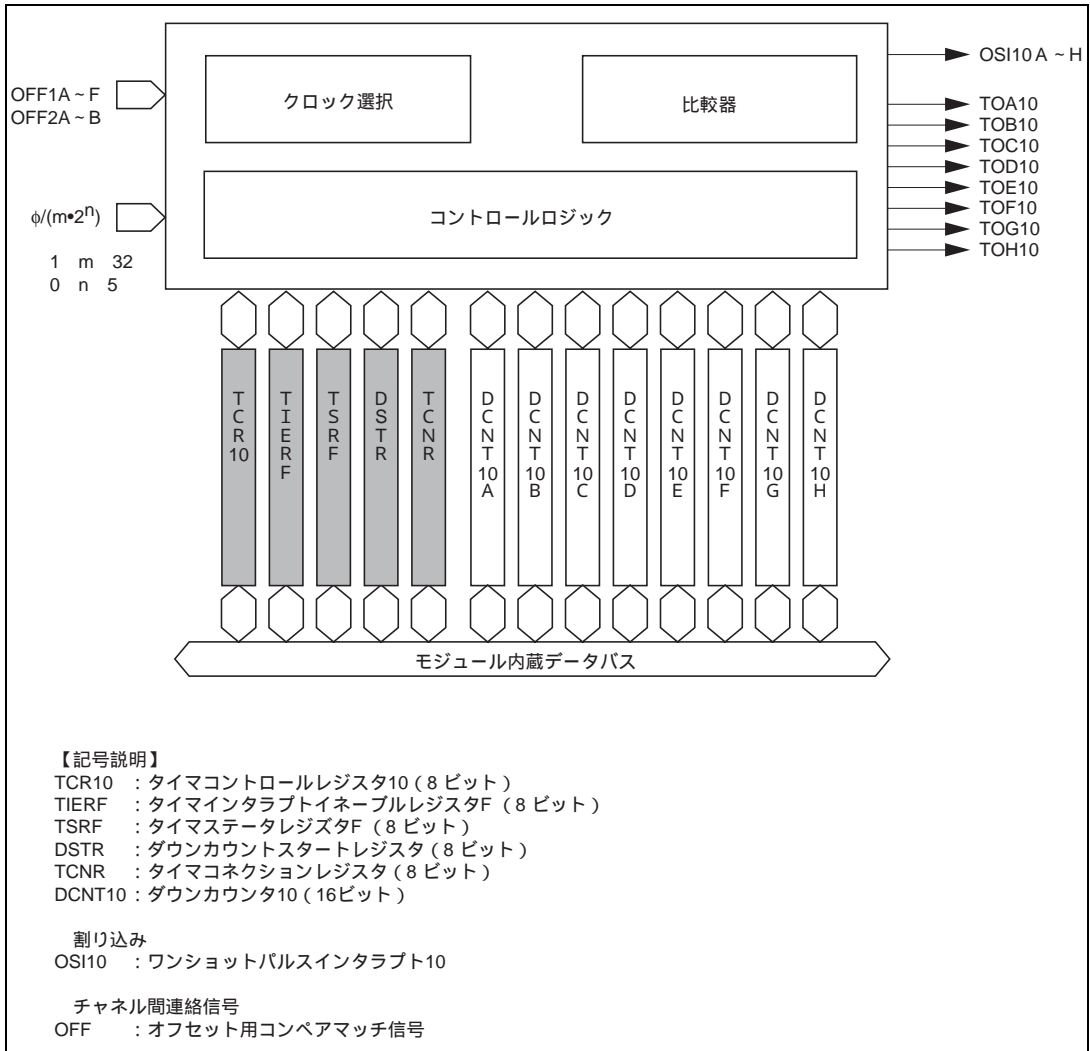


図 10.8 チャンネル 10 のブロック図

10.1.3 チャンネル間およびモジュール間信号連絡図

ATU でチャンネル間およびモジュール間の連結のあるものを図 10.9 に示します。

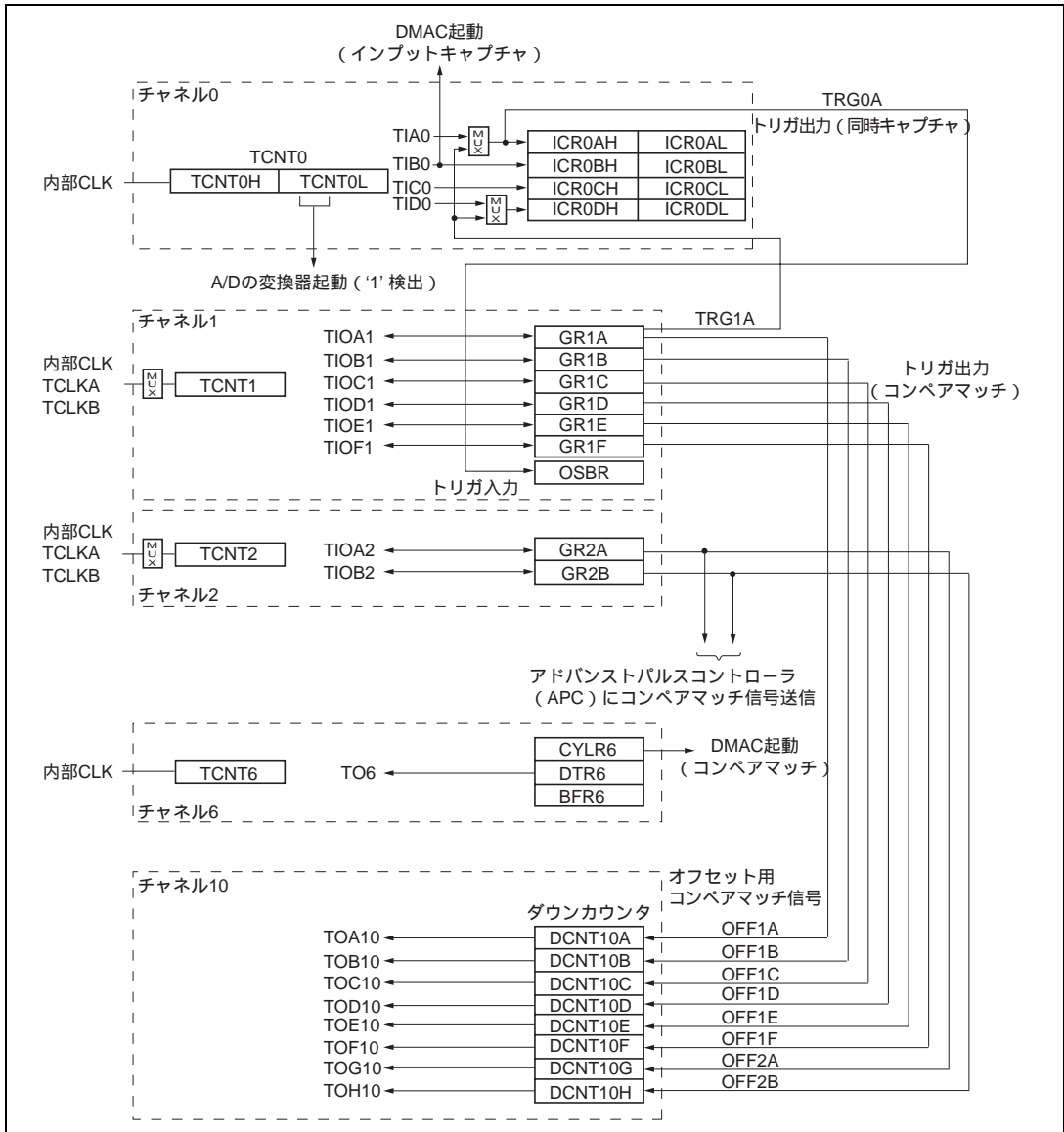


図 10.9 チャンネル間およびモジュール間信号連絡図

10.1.4 プリスケーラ図

ATUのプリスケーラ1段目と2段目を図10.10に示します。チャンネル0にはプリスケーラの1段目が入力されます。チャンネル1~10はプリスケーラの2段目または外部クロックを入力することができ、さらにチャンネル1~5では外部クロック (TCLKA、TCLKB) を入力することが可能です。

プリスケーラの1段目 (ϕ') は ϕ/m ($1 \leq m \leq 32$) が設定可能でプリスケーラコントロールレジスタ1 (PSCR1) により設定を行います。

プリスケーラの2段目 (ϕ'') は $\phi/2^n$ ($0 \leq n \leq 5$) が設定可能でタイマコントロールレジスタ (TCR) により設定を行います。

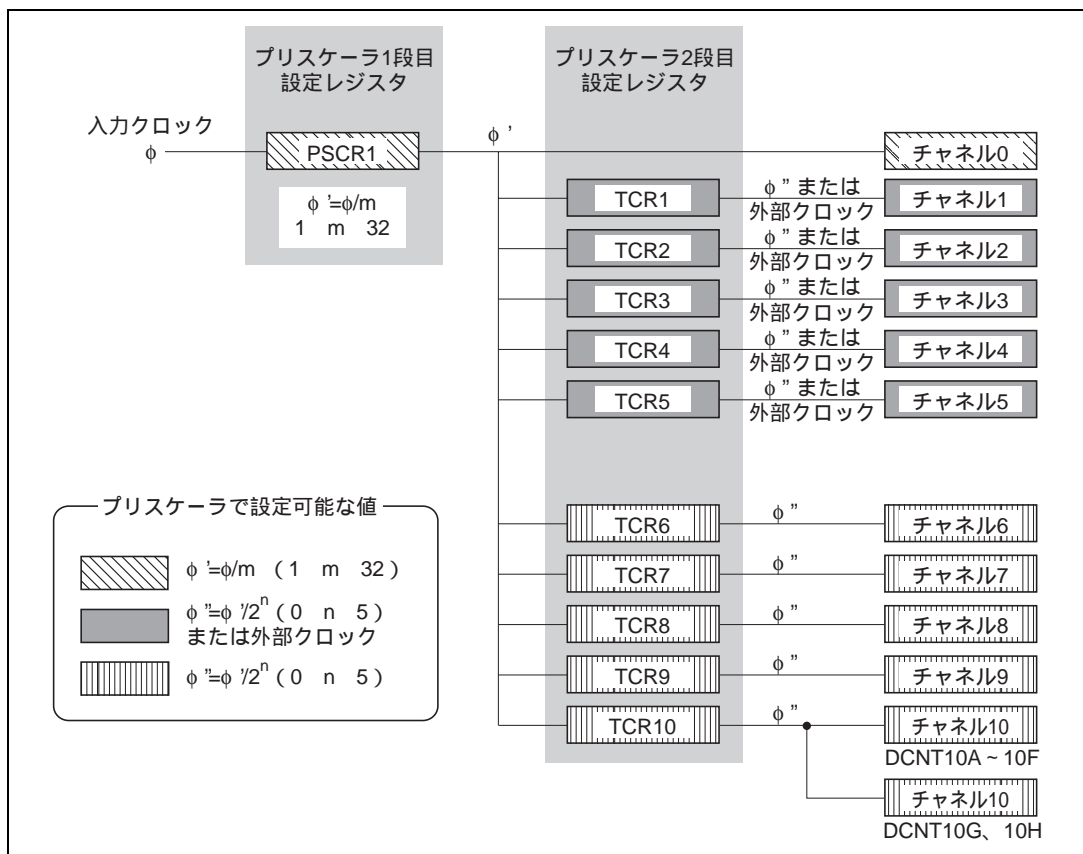


図 10.10 プリスケーラ図

10.1.5 端子構成

ATU の端子構成を表 10.2 に示します。これらの外部端子の機能を使用する際は、ATU の設定に合わせてピンファンクションコントローラ (PFC) も設定してください。詳細は「16. ピンファンクションコントローラ」を参照してください。

表 10.2 端子構成

チャンネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子
0	インプットキャブチャ A0	TIA0	入力	ICR0A インプットキャブチャ入力端子
	インプットキャブチャ B0	TIB0	入力	ICR0B インプットキャブチャ入力端子
	インプットキャブチャ C0	TIC0	入力	ICR0C インプットキャブチャ入力端子
	インプットキャブチャ D0	TID0	入力	ICR0D インプットキャブチャ入力端子
1	インプットキャブチャ / アウトプットコンペア A1	TIOA1	入出力	GR1A のアウトプットコンペア出力 / GR1A のインプットキャブチャ入力
	インプットキャブチャ / アウトプットコンペア B1	TIOB1	入出力	GR1B のアウトプットコンペア出力 / GR1B のインプットキャブチャ入力
	インプットキャブチャ / アウトプットコンペア C1	TIOC1	入出力	GR1C のアウトプットコンペア出力 / GR1C のインプットキャブチャ入力
	インプットキャブチャ / アウトプットコンペア D1	TIOD1	入出力	GR1D のアウトプットコンペア出力 / GR1D のインプットキャブチャ入力
	インプットキャブチャ / アウトプットコンペア E1	TIOE1	入出力	GR1E のアウトプットコンペア出力 / GR1E のインプットキャブチャ入力
	インプットキャブチャ / アウトプットコンペア F1	TIOF1	入出力	GR1F のアウトプットコンペア出力 / GR1F のインプットキャブチャ入力
2	インプットキャブチャ / アウトプットコンペア A2	TIOA2	入出力	GR2A のアウトプットコンペア出力 / GR2A のインプットキャブチャ入力
	インプットキャブチャ / アウトプットコンペア B2	TIOB2	入出力	GR2B のアウトプットコンペア出力 / GR2B のインプットキャブチャ入力
3	インプットキャブチャ / アウトプットコンペア A3	TIOA3	入出力	GR3A のアウトプットコンペア出力 / GR3A のインプットキャブチャ入力 / PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア B3	TIOB3	入出力	GR3B のアウトプットコンペア出力 / GR3B のインプットキャブチャ入力 / PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア C3	TIOC3	入出力	GR3C のアウトプットコンペア出力 / GR3C のインプットキャブチャ入力 / PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア D3	TIOD3	入出力	GR3D のアウトプットコンペア出力 / GR3D のインプットキャブチャ入力
4	インプットキャブチャ / アウトプットコンペア A4	TIOA4	入出力	GR4A のアウトプットコンペア出力 / GR4A のインプットキャブチャ入力 / PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア B4	TIOB4	入出力	GR4B のアウトプットコンペア出力 / GR4B のインプットキャブチャ入力 / PWM 出力端子 (PWM モード)

10. アドバンスドタイマユニット (ATU)

チャンネル	名称	略称	入出力	機能
4	インプットキャプチャ/ アウトプットコンペア C4	TIOC4	入出力	GR4C のアウトプットコンペア出力 / GR4C のインプットキャプチャ入力 / PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア D4	TIOD4	入出力	GR4D のアウトプットコンペア出力 / GR4D のインプットキャプチャ入力
5	インプットキャプチャ/ アウトプットコンペア A5	TIOA5	入出力	GR5A のアウトプットコンペア出力 / GR5A のインプットキャプチャ入力 / PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア B5	TIOB5	入出力	GR5B のアウトプットコンペア出力 / GR5B のインプットキャプチャ入力
6	アウトプットコンペア 6	TO6	出力	チャンネル 6 の PWM 出力端子
7	アウトプットコンペア 7	TO7	出力	チャンネル 7 の PWM 出力端子
8	アウトプットコンペア 8	TO8	出力	チャンネル 8 の PWM 出力端子
9	アウトプットコンペア 9	TO9	出力	チャンネル 9 の PWM 出力端子
10	ワンショットパルス A10	TOA10	出力	ワンショットパルス出力端子
	ワンショットパルス B10	TOB10	出力	ワンショットパルス出力端子
	ワンショットパルス C10	TOC10	出力	ワンショットパルス出力端子
	ワンショットパルス D10	TOD10	出力	ワンショットパルス出力端子
	ワンショットパルス E10	TOE10	出力	ワンショットパルス出力端子
	ワンショットパルス F10	TOF10	出力	ワンショットパルス出力端子
	ワンショットパルス G10	TOG10	出力	ワンショットパルス出力端子
	ワンショットパルス H10	TOH10	出力	ワンショットパルス出力端子

10.1.6 レジスタ構成およびカウンタ構成

ATUのレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ	
共通	プリスケアラレジスタ 1	PSCR1	R/W	H'00	H'FFFF82E9	8 ビット	
	タイマスタートレジスタ	TSTR	R/W	H'0000	H'FFFF82EA	16 ビット	
0	トリガセクションレジスタ	TGSR	R/W	H'00	H'FFFF8280	8 ビット	
	タイマ I/O コントロール レジスタ 0A	TIOR0A	R/W	H'00	H'FFFF8281	8 ビット	
	インターバルインタラプト リクエストレジスタ	ITVRR	R/W	H'00	H'FFFF8282	8 ビット	
	タイマステータス レジスタ AH	TSRAH	R/(W)* ¹	H'00	H'FFFF8283	8 ビット	
	タイマインタラプトイネーブル レジスタ A	TIERA	R/W	H'00	H'FFFF8284	8 ビット	
	タイマステータスレジスタ AL	TSRAL	R/(W)* ¹	H'00	H'FFFF8285	8 ビット	
	フリーランニングカウンタ 0H	TCNT0H	R/W	H'0000	H'FFFF8288	32 ビット	
	フリーランニングカウンタ 0L	TCNT0L	R/W	H'0000			
	インプットキャプチャ レジスタ 0AH	ICR0AH	R	H'0000	H'FFFF828C	32 ビット	
	インプットキャプチャ レジスタ 0AL	ICR0AL	R	H'0000			
	インプットキャプチャ レジスタ 0BH	ICR0BH	R	H'0000	H'FFFF8290	32 ビット	
	インプットキャプチャ レジスタ 0BL	ICR0BL	R	H'0000			
	インプットキャプチャ レジスタ 0CH	ICR0CH	R	H'0000	H'FFFF8294	32 ビット	
	インプットキャプチャ レジスタ 0CL	ICR0CL	R	H'0000			
	インプットキャプチャ レジスタ 0DH	ICR0DH	R	H'0000	H'FFFF8298	32 ビット	
	インプットキャプチャ レジスタ 0DL	ICR0DL	R	H'0000			
	1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFFF82C0	8 ビット
タイマ I/O コントロール レジスタ 1A		TIOR1A	R/W	H'00	H'FFFF82C1	8 ビット	
タイマ I/O コントロール レジスタ 1B		TIOR1B	R/W	H'00	H'FFFF82C2	8 ビット	
タイマ I/O コントロール レジスタ 1C		TIOR1C	R/W	H'00	H'FFFF82C3	8 ビット	
タイマインタラプトイネーブル レジスタ B		TIERB	R/W	H'00	H'FFFF82C4	8 ビット	
タイマステータスレジスタ B		TSRB	R/(W)* ¹	H'00	H'FFFF82C5	8 ビット	
フリーランニングカウンタ 1		TCNT1	R/W	H'0000	H'FFFF82D0	16 ビット	
ジェネラルレジスタ 1A		GR1A	R/W	H'FFFF	H'FFFF82D2	16 ビット	
ジェネラルレジスタ 1B		GR1B	R/W	H'FFFF	H'FFFF82D4	16 ビット	

10. アドバンスドタイマユニット (ATU)

チャネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ
1	ジェネラルレジスタ 1C	GR1C	R/W	H'FFFF	H'FFFF82D6	16 ビット
	ジェネラルレジスタ 1D	GR1D	R/W	H'FFFF	H'FFFF82D8	16 ビット
	ジェネラルレジスタ 1E	GR1E	R/W	H'FFFF	H'FFFF82DA	16 ビット
	ジェネラルレジスタ 1F	GR1F	R/W	H'FFFF	H'FFFF82DC	16 ビット
	オフセットベースレジスタ	OSBR	R	H'0000	H'FFFF82DE	16 ビット
2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FFFF82C6	8ビット 16ビット
	タイマ I/O コントロール レジスタ 2A	TIOR2A	R/W	H'00	H'FFFF82C7	8ビット
	タイマインタラプトイネーブル レジスタ C	TIERC	R/W	H'00	H'FFFF82C8	8ビット
	タイマステータスレジスタ C	TSRC	R/(W)* ¹	H'00	H'FFFF82C9	8ビット
	フリーランニングカウンタ 2	TCNT2	R/W	H'0000	H'FFFF82CA	16 ビット
	ジェネラルレジスタ 2A	GR2A	R/W	H'FFFF	H'FFFF82CC	16 ビット
	ジェネラルレジスタ 2B	GR2B	R/W	H'FFFF	H'FFFF82CE	16 ビット
3~5 共通	タイマモードレジスタ	TMDR	R/W	H'00	H'FFFF8200	8 ビット
	タイマインタラプトイネーブル レジスタ DH	TIERDH	R/W	H'00	H'FFFF8202	8 ビット
	タイマステータスレジスタ DH	TSRDH	R/(W)* ¹	H'00	H'FFFF8203	8 ビット
	タイマインタラプトイネーブル レジスタ DL	TIERDL	R/W	H'00	H'FFFF8204	8 ビット
	タイマステータスレジスタ DL	TSRDL	R/(W)* ¹	H'00	H'FFFF8205	8 ビット
3	タイマ I/O コントロール レジスタ 3A	TIOR3A	R/W	H'00	H'FFFF8208	8ビット 16ビット
	タイマ I/O コントロール レジスタ 3B	TIOR3B	R/W	H'00	H'FFFF8209	8ビット
	フリーランニングカウンタ 3	TCNT3	R/W	H'0000	H'FFFF820E	16 ビット
	ジェネラルレジスタ 3A	GR3A	R/W	H'FFFF	H'FFFF8210	16 ビット
	ジェネラルレジスタ 3B	GR3B	R/W	H'FFFF	H'FFFF8212	16 ビット
	ジェネラルレジスタ 3C	GR3C	R/W	H'FFFF	H'FFFF8214	16 ビット
	ジェネラルレジスタ 3D	GR3D	R/W	H'FFFF	H'FFFF8216	16 ビット
	タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FFFF8206	8ビット 16ビット
4	タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FFFF8207	8ビット 16ビット
	タイマ I/O コントロール レジスタ 4A	TIOR4A	R/W	H'00	H'FFFF820A	8ビット
	タイマ I/O コントロール レジスタ 4B	TIOR4B	R/W	H'00	H'FFFF820B	8ビット
	フリーランニングカウンタ 4	TCNT4	R/W	H'0000	H'FFFF8218	16 ビット
	ジェネラルレジスタ 4A	GR4A	R/W	H'FFFF	H'FFFF821A	16 ビット
	ジェネラルレジスタ 4B	GR4B	R/W	H'FFFF	H'FFFF821C	16 ビット
	ジェネラルレジスタ 4C	GR4C	R/W	H'FFFF	H'FFFF821E	16 ビット
	ジェネラルレジスタ 4D	GR4D	R/W	H'FFFF	H'FFFF8220	16 ビット
5	タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FFFF820C	8ビット 16ビット
	タイマ I/O コントロール レジスタ 5A	TIOR5A	R/W	H'00	H'FFFF820D	8ビット
	フリーランニングカウンタ 5	TCNT5	R/W	H'0000	H'FFFF8222	16 ビット
	ジェネラルレジスタ 5A	GR5A	R/W	H'FFFF	H'FFFF8224	16 ビット

10. アドバンスドタイマユニット (ATU)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ
5	ジェネラルレジスタ 5B	GR5B	R/W	H'FFFF	H'FFFF8226	16 ビット
6~9 共通	タイムインタラプティネーブル レジスタ E	TIERE	R/W	H'00	H'FFFF8240	8 ビット
	タイムステータスレジスタ E	TSRE	R/(W)* ¹	H'00	H'FFFF8241	8 ビット
6	フリーランニングカウンタ 6	TCNT6	R/W	H'0001	H'FFFF8246	16 ビット
	サイクルレジスタ 6	CYLR6	R/W	H'FFFF	H'FFFF8248	16 ビット
	バッファレジスタ 6	BFR6	R/W	H'FFFF	H'FFFF824A	16 ビット
	デューティレジスタ 6	DTR6	R/W	H'FFFF	H'FFFF824C	16 ビット
	タイムコントロールレジスタ 6	TCR6	R/W	H'00	H'FFFF8243	8 ビット 16 ビット
7	タイムコントロールレジスタ 7	TCR7	R/W	H'00	H'FFFF8242	8 ビット
	フリーランニングカウンタ 7	TCNT7	R/W	H'0001	H'FFFF824E	16 ビット
	サイクルレジスタ 7	CYLR7	R/W	H'FFFF	H'FFFF8250	16 ビット
	バッファレジスタ 7	BFR7	R/W	H'FFFF	H'FFFF8252	16 ビット
	デューティレジスタ 7	DTR7	R/W	H'FFFF	H'FFFF8254	16 ビット
8	フリーランニングカウンタ 8	TCNT8	R/W	H'0001	H'FFFF8256	16 ビット
	サイクルレジスタ 8	CYLR8	R/W	H'FFFF	H'FFFF8258	16 ビット
	バッファレジスタ 8	BFR8	R/W	H'FFFF	H'FFFF825A	16 ビット
	デューティレジスタ 8	DTR8	R/W	H'FFFF	H'FFFF825C	16 ビット
	タイムコントロールレジスタ 8	TCR8	R/W	H'00	H'FFFF8245	8 ビット 16 ビット
9	タイムコントロールレジスタ 9	TCR9	R/W	H'00	H'FFFF8244	8 ビット
	フリーランニングカウンタ 9	TCNT9	R/W	H'0001	H'FFFF825E	16 ビット
	サイクルレジスタ 9	CYLR9	R/W	H'FFFF	H'FFFF8260	16 ビット
	バッファレジスタ 9	BFR9	R/W	H'FFFF	H'FFFF8262	16 ビット
	デューティレジスタ 9	DTR9	R/W	H'FFFF	H'FFFF8264	16 ビット
10	タイムコントロールレジスタ 10	TCR10	R/W	H'00	H'FFFF82E0	8 ビット 16 ビット
	タイムコネクションレジスタ	TCNR	R/W	H'00	H'FFFF82E1	8 ビット
	タイムインタラプティネーブル レジスタ F	TIERF	R/W	H'00	H'FFFF82E2	8 ビット
	タイムステータスレジスタ F	TSRF	R/(W)* ¹	H'00	H'FFFF82E3	8 ビット
	ダウンカウントスタートレジスタ	DSTR	R/(W)* ²	H'00	H'FFFF82E5	8 ビット
	ダウンカウンタ 10A	DCNT10A	R/W	H'FFFF	H'FFFF82F0	16 ビット
	ダウンカウンタ 10B	DCNT10B	R/W	H'FFFF	H'FFFF82F2	16 ビット
	ダウンカウンタ 10C	DCNT10C	R/W	H'FFFF	H'FFFF82F4	16 ビット
	ダウンカウンタ 10D	DCNT10D	R/W	H'FFFF	H'FFFF82F6	16 ビット
	ダウンカウンタ 10E	DCNT10E	R/W	H'FFFF	H'FFFF82F8	16 ビット
ダウンカウンタ 10F	DCNT10F	R/W	H'FFFF	H'FFFF82FA	16 ビット	
ダウンカウンタ 10G	DCNT10G	R/W	H'FFFF	H'FFFF82FC	16 ビット	
ダウンカウンタ 10H	DCNT10H	R/W	H'FFFF	H'FFFF82FE	16 ビット	

【注】 *1 フラグをクリアするために'1'リード後の'0'ライトのみが可能です。

*2 フラグをセットするために'1'ライトのみが可能です。

8 ビットレジスタと 16 ビットレジスタおよびカウンタは 2 サイクルでアクセスを行います。データバス幅が 16 ビットのため、32 ビットレジスタおよびカウンタは 4 サイクルアクセスとなります。

10.2 レジスタの説明

10.2.1 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) は 16 ビットのレジスタです。ATU には 1 本のレジスタがあります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	STR9	STR8	STR7	STR6	STR5	STR4	STR3	STR2	STR1	STR0

初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマスタートレジスタ (TSTR) は 16 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~9 のフリーランニングカウンタ (TCNT) を動作させるか、停止させるかを選択します。

TSTR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'0000 に初期化されます。

ビット 15~10: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 9: カウンタスタート 9 (STR9)

フリーランニングカウンタ 9 (TCNT9) を動作させるか、停止させるかを選択します。

ビット 9	説明
STR9	
0	TCNT9 のカウント動作を停止 (初期値)
1	TCNT9 のカウント動作

ビット 8: カウンタスタート 8 (STR8)

フリーランニングカウンタ 8 (TCNT8) を動作させるか、停止させるかを選択します。

ビット 8	説明
STR8	
0	TCNT8 のカウント動作を停止 (初期値)
1	TCNT8 のカウント動作

ビット 7: カウンタスタート 7 (STR7)

フリーランニングカウンタ 7 (TCNT7) を動作させるか、停止させるかを選択します。

ビット 7	説明
STR7	
0	TCNT7 のカウント動作を停止 (初期値)
1	TCNT7 のカウント動作

ビット 6 : カウンタスタート 6 (STR6)

フリーランニングカウンタ 6 (TCNT6) を動作させるか、停止させるかを選択します。

ビット 6	説明
STR6	
0	TCNT6 のカウント動作を停止 (初期値)
1	TCNT6 のカウント動作

ビット 5 : カウンタスタート 5 (STR5)

フリーランニングカウンタ 5 (TCNT5) を動作させるか、停止させるかを選択します。

ビット 5	説明
STR5	
0	TCNT5 のカウント動作を停止 (初期値)
1	TCNT5 のカウント動作

ビット 4 : カウンタスタート 4 (STR4)

フリーランニングカウンタ 4 (TCNT4) を動作させるか、停止させるかを選択します。

ビット 4	説明
STR4	
0	TCNT4 のカウント動作を停止 (初期値)
1	TCNT4 のカウント動作

ビット 3 : カウンタスタート 3 (STR3)

フリーランニングカウンタ 3 (TCNT3) を動作させるか、停止させるかを選択します。

ビット 3	説明
STR3	
0	TCNT3 のカウント動作を停止 (初期値)
1	TCNT3 のカウント動作

ビット 2 : カウンタスタート 2 (STR2)

フリーランニングカウンタ 2 (TCNT2) を動作させるか、停止させるかを選択します。

ビット 2	説明
STR2	
0	TCNT2 のカウント動作を停止 (初期値)
1	TCNT2 のカウント動作

10. アドバンスドタイマユニット (ATU)

ビット1: カウンタスタート1 (STR1)

フリーランニングカウンタ1 (TCNT1) を動作させるか、停止させるかを選択します。

ビット1	説明
STR1	
0	TCNT1 のカウント動作を停止 (初期値)
1	TCNT1 のカウント動作

ビット0: カウンタスタート0 (STR0)

フリーランニングカウンタ0 (TCNT0) を動作させるか、停止させるかを選択します。

ビット0	説明
STR0	
0	TCNT0 のカウント動作を停止 (初期値)
1	TCNT0 のカウント動作

10.2.2 タイマモードレジスタ (TMDR)

タイマモードレジスタ (TMDR) は8ビットのレジスタです。ATUには1本のレジスタがありません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	STR9	STR8	STR7	STR6	STR5	STR4	STR3	STR2	STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TMDR は8ビットの読み出し/書き込み可能なレジスタで、チャンネル3~5をインプットキャプチャ/アウトプットコンペアモードとして使用するか、PWMモードとして使用するかの設定を行います。

TMDR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時にH'00に初期化されます。

ビット7~3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2: PWMモード5 (T5PWM)

チャンネル5をインプットキャプチャ/アウトプットコンペアモードで動作させるか、PWMモードで動作させるかを選択します。

ビット2	説明
T5PWM	
0	チャンネル5はインプットキャプチャ/アウトプットコンペアモード (初期値)
1	チャンネル5はPWMモード

T5PWM ビットを 1 にセットして PWM モードにすると、T10A5 端子は PWM 出力端子となり、ジェネラルレジスタ 5B (GR5B) がサイクルレジスタで、ジェネラルレジスタ 5A (GR5A) はデューティレジスタとなります。

ビット 1 : PWM モード 4 (T4PWM)

チャンネル 4 をインプットキャプチャ / アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット 1	説明
T4PWM	
0	チャンネル 4 はインプットキャプチャ / アウトプットコンペアモード (初期値)
1	チャンネル 4 は PWM モード

T4PWM ビットを 1 にセットして PWM モードにすると、TIOA4 ~ TIOC4 端子は PWM 出力端子となり、ジェネラルレジスタ 4D (GR4D) がサイクルレジスタで、ジェネラルレジスタ 4A ~ 4C (GR4A ~ GR4C) はデューティレジスタとなります。

ビット 0 : PWM モード 3 (T3PWM)

チャンネル 3 をインプットキャプチャ / アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット 0	説明
T3PWM	
0	チャンネル 3 はインプットキャプチャ / アウトプットコンペアモード (初期値)
1	チャンネル 3 は PWM モード

T3PWM ビットを 1 にセットして PWM モードにすると、TIOA3 ~ TIOC3 端子は PWM 出力端子となり、ジェネラルレジスタ 3D (GR3D) がサイクルレジスタで、ジェネラルレジスタ 3A ~ 3C (GR3A ~ GR3C) はデューティレジスタとなります。

10.2.3 プリスケーラレジスタ 1 (PSCR1)

プリスケーラレジスタ 1 (PSCR1) は 8 ビットのレジスタです。ATU には 1 本のレジスタがありません。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PSCE	PSCD	PSCC	PSCB	PSCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

PSCR1 は 8 ビットの読み出し / 書き込み可能なレジスタで、各フリーランニングカウンタ (TCNT0 ~ 9)、ダウンカウンタ (DCNT10A ~ 10H) に入力される 1 段目のカウンタクロック ϕ' を $\phi/1 \sim \phi/32$ の値を任意に設定することができます。

入力カウンタクロック ϕ' は、PSCA ~ PSCE を設定することにより決まり、設定値が H'00 のときは $\phi/1$ で、H'1F のときは $\phi/32$ となります。

10. アドバンスドタイマユニット (ATU)

PSCR1 はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'00 に初期化されます。

本レジスタで設定した内部クロック ϕ' はチャンネル 1~10 において、タイマコントロールレジスタ (TCR) で 2 段目の分周 ϕ'' の設定が可能です。

10.2.4 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は 8 ビットのレジスタです。ATU には、チャンネル 1~10 に各 1 本、計 10 本のレジスタがあります。

チャンネル	略称	機能
1	TCR1	内部クロック / 外部クロックの選択、 (内部クロック選択時) PSCR1 で分周したクロック ϕ' をさらに分周 ϕ'' (外部クロック選択時) 2 つの外部クロックを選択、入力エッジの選択
2	TCR2	
3	TCR3	
4	TCR4	
5	TCR5	
6	TCR6	PSCR1 で分周したクロック ϕ' をさらに分周 ϕ'' (内部クロックのみ)
7	TCR7	
8	TCR8	
9	TCR9	PSCR1 で分周したクロック ϕ' をさらに分周 ϕ'' (内部クロックのみ)
10	TCR10	

TCR は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 1~5 では内部クロックを使用するか、外部クロックを使用するかを選択を行います。

内部クロックを選択した場合、プリスケアラレジスタ 1 (PSCR1) で分周したクロック ϕ' をさらに分周する値 ϕ'' を選択します。分周 ϕ'' はチャンネル 1~10 でのみ可能で ϕ' 、 $\phi'/2$ 、 $\phi'/4$ 、 $\phi'/8$ 、 $\phi'/16$ 、 $\phi'/32$ より選択します (チャンネル 0 では ϕ' の分周のみ)。エッジ検出は立ち上がりで行います。

外部クロックを選択した場合 (チャンネル 1~5 のみ)、TCLKA を使用するか、TCLKB を使用するかの選択を行います。さらにエッジ検出の選択を行います。

TCR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'00 に初期化されます。

(1) タイマコントロールレジスタ 1~5 (TCR1~TCR5)

ビット:	7	6	5	4	3	2	1	0
	-	-	CKEG1	CKEG0	-	CKSEL2	CKSEL1	CKSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット7、6：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5、4：クロックエッジ1、0 (CKEG1、CKEG0)

外部クロック選択時に、外部クロック入力エッジを選択します。

ビット5	ビット4	説明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	0	立ち上がり / 立ち下がりの両エッジでカウント
	1	外部クロックによるカウント禁止

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2～0：クロックセレクト2～0 (CKSEL2～CKSEL0)

内部クロックを使用するか、外部クロックを使用するかを選択します。

内部クロック選択時は、分周 ϕ'' を ϕ' 、 $\phi'/2$ 、 $\phi'/4$ 、 $\phi'/8$ 、 $\phi'/16$ 、 $\phi'/32$ より選択します。

外部クロック選択時は、TCLKA、TCLKBの2つから選択します。

ビット2	ビット1	ビット0	説明
CKSEL2	CKSEL1	CKSEL0	
0	0	0	内部クロック ϕ'' ： ϕ' でカウント (初期値)
		1	内部クロック ϕ'' ： $\phi'/2$ でカウント
	1	0	内部クロック ϕ'' ： $\phi'/4$ でカウント
		1	内部クロック ϕ'' ： $\phi'/8$ でカウント
1	0	0	内部クロック ϕ'' ： $\phi'/16$ でカウント
		1	内部クロック ϕ'' ： $\phi'/32$ でカウント
	1	0	外部クロック：TCLKA 端子入力でカウント
		1	外部クロック：TCLKB 端子入力でカウント

(2) タイマコントロールレジスタ6～9 (TCR6～TCR9)

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	CKSEL2	CKSEL1	CKSEL0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット7～3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

10. アドバンスドタイマユニット (ATU)

ビット2~0: クロックセレクト2~0 (CKSEL2~CKSEL0)

内部クロックの分周 ϕ'' を ϕ' 、 $\phi'/2$ 、 $\phi'/4$ 、 $\phi'/8$ 、 $\phi'/16$ 、 $\phi'/32$ より選択します。

ビット2	ビット1	ビット0	説明
CKSEL2	CKSEL1	CKSEL0	
0	0	0	内部クロック ϕ'' : ϕ' でカウント (初期値)
		1	内部クロック ϕ'' : $\phi'/2$ でカウント
	1	0	内部クロック ϕ'' : $\phi'/4$ でカウント
		1	内部クロック ϕ'' : $\phi'/8$ でカウント
1	0	0	内部クロック ϕ'' : $\phi'/16$ でカウント
		1	内部クロック ϕ'' : $\phi'/32$ でカウント
	1	0	設定不可
		1	設定不可

(3) タイマコントロールレジスタ 10 (TCR10)

ビット:	7	6	5	4	3	2	1	0
	-	CKSEL2A	CKSEL1A	CKSEL0A	-	CKSEL2B	CKSEL1B	CKSEL0B

初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6~4: クロックセレクト2A~0A (CKSEL2A~CKSEL0A)

チャンネル10のDCNT10A~10Fの内部クロック分周 ϕ'' を ϕ' 、 $\phi'/2$ 、 $\phi'/4$ 、 $\phi'/8$ 、 $\phi'/16$ 、 $\phi'/32$ より選択します。DCNT10A~10Fはすべて同じ同期クロックでカウントします。

ビット6	ビット5	ビット4	説明
CKSEL2A	CKSEL1A	CKSEL0A	
0	0	0	内部クロック ϕ'' : ϕ' でカウント (初期値)
		1	内部クロック ϕ'' : $\phi'/2$ でカウント
	1	0	内部クロック ϕ'' : $\phi'/4$ でカウント
		1	内部クロック ϕ'' : $\phi'/8$ でカウント
1	0	0	内部クロック ϕ'' : $\phi'/16$ でカウント
		1	内部クロック ϕ'' : $\phi'/32$ でカウント
	1	0	設定不可
		1	設定不可

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値を常に0にしてください。

ビット2～0：クロックセレクト2B～0B (CKSEL2B～CKSEL0B)

チャンネル10のDCNT10G、10Hの内部クロック分周 ϕ^n を ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ より選択します。DCNT10G、10Hは同じ同期クロックでカウントします。

ビット2	ビット1	ビット0	説明
CKSEL2B	CKSEL1B	CKSEL0B	
0	0	0	内部クロック ϕ^n ： ϕ でカウント (初期値)
		1	内部クロック ϕ^n ： $\phi/2$ でカウント
	1	0	内部クロック ϕ^n ： $\phi/4$ でカウント
		1	内部クロック ϕ^n ： $\phi/8$ でカウント
1	0	0	内部クロック ϕ^n ： $\phi/16$ でカウント
		1	内部クロック ϕ^n ： $\phi/32$ でカウント
	1	0	設定不可
		1	設定不可

10.2.5 タイマ I/O コントロールレジスタ (TIOR)

タイマ I/O コントロールレジスタ (TIOR) は8ビットレジスタです。ATUには、チャンネル0に1本、チャンネル1に3本、チャンネル2に1本、チャンネル3、4に各2本、チャンネル5に1本、計10本のTIORがあります。

チャンネル	略称	機能
0	TIOR0A	ICR0とOSBRのエッジ検出を設定
1	TIOR1A、TIOR1B、TIOR1C	GR1、GR2のインプットキャプチャ/コンペアマッチの切り替え、エッジ検出/出力値の設定
2	TIOR2A	
3	TIOR3A、TIOR3B	GR3～5のインプットキャプチャ/コンペアマッチの切り替え、エッジ検出/出力値の設定、TCNT3～5のクリア許可/禁止の設定
4	TIOR4A、TIOR4B	
5	TIOR5A	

TIORは8ビットの読み出し/書き込み可能なレジスタで、インプットキャプチャ専用レジスタおよびジェネラルレジスタの機能の選択を行います。

インプットキャプチャ専用レジスタ (ICR) ではエッジ検出の設定を行います。

ジェネラルレジスタ (GR) ではインプットキャプチャとして使用するか、アウトプットコンペアとして使用するかの選択、エッジ検出の設定を行います。チャンネル3～5に関してはさらに、フリーランニングカウンタ (TCNT) のクリア許可、禁止の選択を行います。

TIORはパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時にH'00に初期化されます。

10. アドバンスドタイマユニット (ATU)

(1) タイマ I/O コントロールレジスタ 0A (TIOR0A)

タイマ I/O コントロールレジスタ 0A (TIOR0A) は 8 ビットのレジスタです。チャンネル 0 に 1 本の TIOR があります。

ビット:	7	6	5	4	3	2	1	0
	IO0D1	IO0D0	IO0C1	IO0C0	IO0B1	IO0B0	IO0A1	IO0A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR0A は、インプットキャプチャ ICR0A ~ ICR0D のエッジ検出を設定します。

ビット 7、6 : I/O コントロール 0D1、D0 (IO0D1、IO0D0)

インプットキャプチャレジスタ 0D (ICR0D) のエッジ検出を選択します。

ビット 7	ビット 6	説明
IO0D1	IO0D0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0D ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0D ヘインプットキャプチャ
	1	立ち上がり / 立ち下がりの両エッジで ICR0D ヘインプットキャプチャ

ビット 5、4 : I/O コントロール 0C1、0C0 (IO0C1、IO0C0)

インプットキャプチャレジスタ 0C (ICR0C) のエッジ検出を選択します。

ビット 5	ビット 4	説明
IO0C1	IO0C0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0C ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0C ヘインプットキャプチャ
	1	立ち上がり / 立ち下がりの両エッジで ICR0C ヘインプットキャプチャ

ビット 3、2 : I/O コントロール 0B1、0B0 (IO0B1、IO0B0)

インプットキャプチャレジスタ 0B (ICR0B) のエッジ検出を選択します。

ビット 3	ビット 2	説明
IO0B1	IO0B0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0B ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0B ヘインプットキャプチャ
	1	立ち上がり / 立ち下がりの両エッジで ICR0B ヘインプットキャプチャ

ビット 1、0 : I/O コントロール 0A1、0A0 (IO0A1、IO0A0)

インプットキャプチャレジスタ 0A (ICR0A) とオフセットベースレジスタ (OSBR) のエッジ検出を選択します。

ビット 1	ビット 0	説明
IO0A1	IO0A0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0A ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0A ヘインプットキャプチャ
	1	立ち上がり / 立ち下がりの両エッジで ICR0A ヘインプットキャプチャ

(2) タイマ I/O コントロールレジスタ 1A~1C、2A (TIOR1A~1C、TIOR2A)

タイマ I/O コントロールレジスタ 1A~1C、2A (TIOR1A~1C、TIOR2A) は 8 ビットのレジスタです。タイマ 1 に 3 本、タイマ 2 に 1 本、計 4 本の TIOR があります。

TIOR1A

ビット:	7	6	5	4	3	2	1	0
	-	IO1B2	IO1B1	IO1B0	-	IO1A2	IO1A1	IO1A0

初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1B

ビット:	7	6	5	4	3	2	1	0
	-	IO1D2	IO1D1	IO1D0	-	IO1C2	IO1C1	IO1C0

初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1C

ビット:	7	6	5	4	3	2	1	0
	-	IO1F2	IO1F1	IO1F0	-	IO1E2	IO1E1	IO1E0

初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1A~1C はジェネラルレジスタ GR1A~GR1F をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定します。またエッジ検出 / 出力値設定を行います。

TIOR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'00 に初期化されます。

10. アドバンスドタイマユニット (ATU)

TIOR2A

ビット:	7	6	5	4	3	2	1	0
	-	IO2B2	IO2B1	IO2B0	-	IO2A2	IO2A1	IO2A0

初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2A はジェネラルレジスタ GR2A、GR2B をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定します。またエッジ検出 / 出力値設定を行います。

TIOR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'00 に初期化されます。

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6~4: I/O コントロール 1B2~1B0、1D2~1D0、1F2~1F0、2B2~2B0
(IO1B2~IO1B0、IO1D2~IO1D0、IO1F2~IO1F0、IO2B2~IO2B0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット6	ビット5	ビット4	説明	
IOxx2	IOxx1	IOxx0		
0	0	0	GR はアウト プットコンペ アレジスタ	コンペアマッチにかかわらず0出力 (初期値)
		1		GR のコンペアマッチで0出力
	1	0		GR のコンペアマッチで1出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR はインプ ットキャプチャ レジスタ	インプットキャプチャ禁止
		1		立ち上がりエッジで GR ヘインプットキャプチャ
	1	0		立ち下がりエッジで GR ヘインプットキャプチャ
		1		立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ

ビット3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2~0: I/O コントロール 1A2~1A0、1C2~1C0、1E2~1E0、2A2~2A0
(IO1A2~IO1A0、IO1C2~IO1C0、IO1E2~IO1E0、IO2A2~IO2A0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット2	ビット1	ビット0	説明	
IOxx2	IOxx1	IOxx0		
0	0	0	GR はアウト プットコンペ アレジスタ	コンペアマッチにかかわらず0出力 (初期値)
		1		GR のコンペアマッチで0出力
	1	0		GR のコンペアマッチで1出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR はインプ ットキャプチャ レジスタ	インプットキャプチャ禁止
		1		立ち上がりエッジで GR ヘインプットキャプチャ
	1	0		立ち下がりエッジで GR ヘインプットキャプチャ
		1		立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ

(3) タイマ I/O コントロールレジスタ 3A、3B、4A、4B、5A (TIOR3A、3B、TIOR4A、4B、TIOR5A)

タイマ I/O コントロールレジスタ 3A、3B、4A、4B、5A (TIOR3A、3B、TIOR4A、4B、TIOR5A) は 8 ビットのレジスタです。チャンネル 3、4 に各 2 本、チャンネル 5 に 1 本、計 5 本の TIOR があります。

TIOR3A

ビット:	7	6	5	4	3	2	1	0
	CCI3B	IO3B2	IO3B1	IO3B0	CCI3A	IO3A2	IO3A1	IO3A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR3B

ビット:	7	6	5	4	3	2	1	0
	CCI3D	IO3D2	IO3D1	IO3D0	CCI3C	IO3C2	IO3C1	IO3C0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR3A、3B は 8 ビットの読み出し / 書き込み可能なレジスタで TMDR のビット 0 が 0 のとき、ジェネラルレジスタ (GR3A ~ 3D) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定しエッジ検出 / 出力値設定を行います。また TMDR のビット 0 が 0 のときフリーランニングカウンタ (TCNT3) のクリアの許可 / 禁止を選択します。

TIOR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'00 に初期化されます。

TIOR4A

ビット:	7	6	5	4	3	2	1	0
	CCI4B	IO4B2	IO4B1	IO4B0	CCI4A	IO4A2	IO4A1	IO4A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR4B

ビット:	7	6	5	4	3	2	1	0
	CCI4D	IO4D2	IO4D1	IO4D0	CCI4C	IO4C2	IO4C1	IO4C0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR4A、TIOR4B は 8 ビットの読み出し / 書き込み可能なレジスタで TMDR のビット 1 が 0 のとき、ジェネラルレジスタ (GR4A ~ GR4D) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定し、エッジ検出 / 出力値設定を行います。また TMDR のビット 1 が 0 のときフリーランニングカウンタ (TCNT4) のクリアの許可 / 禁止を選択します。

TIOR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイ時に H'00 に初期化されます。

10. アドバンスドタイマユニット (ATU)

TIOR5A

ビット:	7	6	5	4	3	2	1	0
	CCI5B	IO5B2	IO5B1	IO5B0	CCI5A	IO5A2	IO5A1	IO5A0

初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR5A は 8 ビットの読み出し / 書き込み可能なレジスタで、TMDR のビット 2 が 0 のとき、ジェネラルレジスタ (GR5A ~ GR5B) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定し、エッジ検出 / 出力値設定を行います。また TMDR のビット 2 が 0 のときフリーランニングカウンタ (TCNT5) のクリアの許可 / 禁止を選択します。

TIOR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7: クリアカウンタイネーブルフラグ 3B、3D、4B、4D、5B
(CCI3B、CCI3D、CC4B、CCI4D、CCI5B)

フリーランニングカウンタ (TCNT) クリアを許可するか、禁止するかを選択します。

ビット 7	説明	
CCIxx		
0	TCNT のクリアを禁止	(初期値)
1	GR のコンペアマッチで TCNT をクリア	

GR がアウトプットコンペアレジスタとして機能しているときのみ、コンペアマッチにより TCNT がクリアされます。

ビット 6 ~ 4: I/O コントロール 3B2 ~ 3B0、3D2 ~ 3D0、4B2 ~ 4B0、4D2 ~ 4D0、5B2 ~ 5B0
(IO3B2 ~ IO3B0、IO3D2 ~ IO3D0、IO4B2 ~ IO4B0、IO4D2 ~ IO4D0、IO5B2 ~ IO5B0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット 6	ビット 5	ビット 4	説明	
IOxx2	IOxx1	IOxx0		
0	0	0	GR はアウトプットコンペアレジスタ	コンペアマッチにかかわらず 0 出力 (初期値)
		1		GR のコンペアマッチで 0 出力
	1	0		GR のコンペアマッチで 1 出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR はインプットキャプチャレジスタ	インプットキャプチャ禁止
		1		立ち上がりエッジで GR ヘインプットキャプチャ
	1	0		立ち下がりエッジで GR ヘインプットキャプチャ
		1		立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ

ビット3：クリアカウンタイネーブルフラグ 3A、3C、4A、4C、5A
(CCI3A、CCI3C、CCI4A、CCI4C、CCI5A)

フリーランニングカウンタ (TCNT) クリアを許可するか、禁止するかを選択します。

ビット3	説明
CCIxx	
0	TCNT のクリアを禁止 (初期値)
1	GR のコンペアマッチで TCNT をクリア

GR がアウトプットコンペアレジスタとして機能しているときのみ、コンペアマッチにより TCNT がクリアされます。

ビット2~0：I/O コントロール 3A2~3A0、3C2~3C0、4A2~4A0、4C2~4C0、5A2~5A0
(IO3A2~IO3A0、IO3C2~IO3C0、IO4A2~IO4A0、IO4C2~IO4C0、IO5A2~IO5A0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット2	ビット1	ビット0	説明	
IOxx2	IOxx1	IOxx0		
0	0	0	GR はアウト プットコンペ アレジスタ	コンペアマッチにかかわらず 0 出力 (初期値)
		1		GR のコンペアマッチで 0 出力
	1	0		GR のコンペアマッチで 1 出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR はインプ ットキャプチャ レジスタ	インプットキャプチャ禁止
		1		立ち上がりエッジで GR ヘインプットキャプチャ
	1	0		立ち下がりエッジで GR ヘインプットキャプチャ
		1		立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ

10.2.6 トリガセレクションレジスタ (TGSR)

トリガセレクションレジスタ (TGSR) は 8 ビットのレジスタです。ATU には 1 本のレジスタがあります。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	TRG0D	-	TRG0A

初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R	R/W

トリガセレクションレジスタ (TGSR) は 8 ビットの読み出し / 書き込み可能なレジスタでチャンネル 0 のインプットキャプチャレジスタ (ICR0A、ICR0D) の入力トリガを入力端子 (TIOA、TIOD) にするか、チャンネル 1 のジェネラルレジスタ (GR1A) からのコンペアマッチ出力信号 (TGR1A) にするかを選択します。

TGSR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイ時に H'00 に初期化されます。

10. アドバンスドタイマユニット (ATU)

ビット7~3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2: ICR0D 入力トリガ (TRG0D)

チャンネル0のインプットキャプチャレジスタ (ICR0D) の入力トリガを端子 (TIOD) にするか、チャンネル1のコンペアマッチ信号 (TRG1A) にするかを選択します。

ビット2	説明
TRG0D	
0	入力トリガは入力端子 (TIOD) (初期値)
1	入力トリガはチャンネル1のコンペアマッチ信号 (TRG1A)

ビット1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0: ICR0A 入力トリガ (TRG0A)

チャンネル0のインプットキャプチャレジスタ (ICR0A) の入力トリガを端子 (TIOA) にするか、チャンネル1のコンペアマッチ信号 (TRG1A) にするかを選択します。

ビット0	説明
TRG0A	
0	入力トリガは入力端子 (TIOA) (初期値)
1	入力トリガはチャンネル1のコンペアマッチ信号 (TRG1A)

10.2.7 タイマステータスレジスタ (TSR)

タイマステータスレジスタ (TSR) は8ビットのレジスタです。ATUには、チャンネル0に2本、チャンネル1、2に各1本、チャンネル3~5に2本、チャンネル6~9に1本、チャンネル10に1本、計8本のレジスタがあります。

チャンネル	略称	機能
0	TSRAH, TSRAL	インプットキャプチャ、インターバル割り込みやオーバフローのステータスを示します。
1	TSRB	インプットキャプチャ、コンペアマッチやオーバフローのステータスを示します。
2	TSRC	
3	TSRDH, TSRDL	インプットキャプチャ、コンペアマッチやオーバフローのステータスを示します。
4		サイクルレジスタとのコンペアマッチのステータスを示します。
5		
6	TSRE	
7		
8		
9		ダウンカウンタのアンダフローのステータスを示します。
10	TSRF	

TSR は 8 ビットの読み出し / 書き込み可能なレジスタでフリーランニングカウンタ (TCNT) のオーバフローの発生、チャンネル 0 のインプットキャプチャの発生およびインターバル割り込みの発生、ジェネラルレジスタのインプットキャプチャ / コンペアマッチの発生、チャンネル 6~9 のコンペアマッチの発生、ダウンカウンタのアンダフローの発生を示します。

これらのフラグは割り込み要因であり、タイムインタラプトイネーブルレジスタ (TIER) の対応するビットにより割り込み許可されていれば、CPU に割り込みを要求します。

TSR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に、H'00 に初期化されます。

(1) タイマステータスレジスタ AH、AL (TSRAH、TSRAL)

TSRAH はチャンネル 0 のインターバル割り込みのステータスを示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	IIF3	IIF2	IIF1	IIF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための 0 書き込みのみ可能です。

ビット 7~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3: インターバルインタラプトフラグ (IIF3)

インターバル割り込みの発生を示すステータスフラグです。

ビット 3	説明
IIF3	
0	[クリア条件] IIF3 = 1 の状態で、IIF3 を読み出した後、IIF3 に 0 を書き込んだとき (初期値)
1	[セット条件] ITVRR の ITVE3 と TCNT0L のビット 13 の AND で 1 が発生したとき

ビット 2: インターバルインタラプトフラグ (IIF2)

インターバル割り込みの発生を示すステータスフラグです。

ビット 2	説明
IIF2	
0	[クリア条件] IIF2 = 1 の状態で、IIF2 を読み出した後、IIF2 に 0 を書き込んだとき (初期値)
1	[セット条件] ITVRR の ITVE2 と TCNT0L のビット 12 の AND で 1 が発生したとき

10. アドバンスタイマユニット (ATU)

ビット 1 : インターバルインタラプトフラグ (IIF1)

インターバル割り込みの発生を示すステータスフラグです。

ビット 1	説明
IIF1	
0	[クリア条件] (初期値) IIF1=1 の状態で、IIF1 を読み出した後、IIF1 に 0 を書き込んだとき
1	[セット条件] ITVRR の ITVE1 と TCNT0L のビット 11 の AND で 1 が発生したとき

ビット 0 : インターバルインタラプトフラグ (IIF0)

インターバル割り込みの発生を示すステータスフラグです。

ビット 0	説明
IIF0	
0	[クリア条件] (初期値) IIF0=1 の状態で、IIF0 を読み出した後、IIF0 に 0 を書き込んだとき
1	[セット条件] ITVRR の ITVE0 と TCNT0L のビット 10 の AND で 1 が発生したとき

TSRAL はチャンネル 0 のインプットキャプチャやオーバーフローのステータスを示します。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	OVF0	ICF0D	ICF0C	ICF0B	ICF0A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための 0 書き込みのみ可能です。

ビット 7~5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : オーバフローフラグ (OVF0)

TCNT0 のオーバーフローの発生を示すステータスフラグです。

ビット 4	説明
OVF0	
0	[クリア条件] (初期値) OVF0=1 の状態で、OVF0 を読み出した後、OVF0 に 0 を書き込んだとき
1	[セット条件] TCNT0 の値がオーバーフロー (H'FFFFFFF H'0000000) したとき

ビット3：インプットキャプチャフラグ (ICF0D)

ICR0D のインプットキャプチャの発生を示すステータスフラグです。

ビット3	説明
ICF0D	
0	[クリア条件] ICF0D = 1 の状態で、ICF0D を読み出した後、ICF0D に 0 を書き込んだとき (初期値)
1	[セット条件] インプットキャプチャ信号により TCNT0 の値がインプットキャプチャレジスタ (ICR0D) に転送されたとき

ビット2：インプットキャプチャフラグ (ICF0C)

ICR0C のインプットキャプチャの発生を示すステータスフラグです。

ビット2	説明
ICF0C	
0	[クリア条件] ICF0C = 1 の状態で、ICF0C を読み出した後、ICF0C に 0 を書き込んだとき (初期値)
1	[セット条件] インプットキャプチャ信号により TCNT0 の値がインプットキャプチャレジスタ (ICR0C) に転送されたとき

ビット1：インプットキャプチャフラグ (ICF0B)

ICD0B のインプットキャプチャの発生を示すステータスフラグです。

ビット1	説明
ICF0B	
0	[クリア条件] (1) ICF0B = 1 の状態で、ICF0B を読み出した後、ICF0B に 0 を書き込んだとき (2) DMAC の起動要因とした場合、DMAC がデータ転送後にクリアしたとき (初期値)
1	[セット条件] インプットキャプチャ信号により TCNT0 の値がインプットキャプチャレジスタ (ICR0B) に転送されたとき

ビット0：インプットキャプチャフラグ (ICF0A)

ICR0A のインプットキャプチャの発生を示すステータスフラグです。

ビット0	説明
ICF0A	
0	[クリア条件] ICF0A = 1 の状態で、ICF0A を読み出した後、ICF0A に 0 を書き込んだとき (初期値)
1	[セット条件] インプットキャプチャ信号により TCNT0 の値がインプットキャプチャレジスタ (ICR0A) に転送されたとき

10. アドバンスドタイマユニット (ATU)

(2) タイマステータスレジスタ B (TSRB)

TSRB はチャンネル 1 のインプットキャプチャ、コンペアマッチやオーバフローのステータスを示します。

ビット:	7	6	5	4	3	2	1	0
	-	OVF1	IMF1F	IMF1E	IMF1D	IMF1C	IMF1B	IMF1A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための 0 書き込みのみ可能です。

ビット 7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6: オーバフローフラグ (OVF1)

TCNT1 のオーバフローの発生を示すステータスフラグです。

ビット 6	説明
OVF1	
0	[クリア条件] OVF1 = 1 の状態で、OVF1 を読み出した後、OVF1 に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT1 の値がオーバフロー (H'FFFF H'0000) したとき

ビット 5: インプットキャプチャ/コンペアマッチフラグ (IMF1F)

GR1F のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 5	説明
IMF1F	
0	[クリア条件] IMF1F = 1 の状態で、IMF1F を読み出した後、IMF1F に 0 を書き込んだとき (初期値)
1	[セット条件] (1) GR1F がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1 の値が GR1F に転送されたとき (2) GR1F がアウトプットコンペアレジスタとして機能している場合、TCNT1 = GR1F になったとき

ビット4：インプットキャプチャ/コンペアマッチフラグ (IMF1E)

GR1E のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット4	説明
IMF1E	
0	[クリア条件] (初期値) IMF1E = 1 の状態で、IMF1E を読み出した後、IMF1E に 0 を書き込んだとき
1	[セット条件] (1) GR1E がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1 の値が GR1E に転送されたとき (2) GR1E がアウトプットコンペアレジスタとして機能している場合、TCNT1 = GR1E になったとき

ビット3：インプットキャプチャ/コンペアマッチフラグ (IMF1D)

GR1D のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット3	説明
IMF1D	
0	[クリア条件] (初期値) IMF1D = 1 の状態で、IMF1D を読み出した後、IMF1D に 0 を書き込んだとき
1	[セット条件] (1) GR1D がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1 の値が GR1D に転送されたとき (2) GR1D がアウトプットコンペアレジスタとして機能している場合、TCNT1 = GR1D になったとき

ビット2：インプットキャプチャ/コンペアマッチフラグ (IMF1C)

GR1C のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット2	説明
IMF1C	
0	[クリア条件] (初期値) IMF1C = 1 の状態で、IMF1C を読み出した後、IMF1C に 0 を書き込んだとき
1	[セット条件] (1) GR1C がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1 の値が GR1C に転送されたとき (2) GR1C がアウトプットコンペアレジスタとして機能している場合、TCNT1 = GR1C になったとき

10. アドバンスドタイマユニット (ATU)

ビット1：インプットキャプチャ/コンペアマッチフラグ (IMF1B)

GR1Bのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
IMF1B	
0	[クリア条件] (初期値) IMF1B=1の状態、IMF1Bを読み出した後、IMF1Bに0を書き込んだとき
1	[セット条件] (1) GR1Bがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1の値がGR1Bに転送されたとき (2) GR1Bがアウトプットコンペアレジスタとして機能している場合、TCNT1=GR1Bになったとき

ビット0：インプットキャプチャ/コンペアマッチフラグ (IMF1A)

GR1Aのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
IMF1A	
0	[クリア条件] (初期値) IMF1A=1の状態、IMF1Aを読み出した後、IMF1Aに0を書き込んだとき
1	[セット条件] (1) GR1Aがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1の値がGR1Aに転送されたとき (2) GR1Aがアウトプットコンペアレジスタとして機能している場合、TCNT1=GR1Aになったとき

(3) タイマステータスレジスタC (TSRC)

TSRCはチャンネル2のインプットキャプチャ、コンペアマッチやオーバーフローのステータスを示します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	OVF2	IMF2B	IMF2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための0書き込みのみ可能です。

ビット7~3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2：オーバフローフラグ (OVF2)

TCNT2のオーバフローの発生を示すステータスフラグです。

ビット2	説明
OVF2	
0	[クリア条件] OVF2=1の状態、OVF2を読み出した後、OVF2に0を書き込んだとき (初期値)
1	[セット条件] TCNT2の値がオーバフロー (H'FFFF H'0000) したとき

ビット1：インプットキャプチャ/コンペアマッチフラグ (IMF2B)

GR2Bのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
IMF2B	
0	[クリア条件] IMF2B=1の状態、IMF2Bを読み出した後、IMF2Bに0を書き込んだとき (初期値)
1	[セット条件] (1) GR2Bがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT2の値がGR2Bに転送されたとき (2) GR2Bがアウトプットコンペアレジスタとして機能している場合、TCNT2=GR2Bになったとき

ビット0：インプットキャプチャ/コンペアマッチフラグ (IMF2A)

GR2Aのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
IMF2A	
0	[クリア条件] IMF2A=1の状態、IMF2Aを読み出した後、IMF2Aに0を書き込んだとき (初期値)
1	[セット条件] (1) GR2Aがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT2の値がGR2Aに転送されたとき (2) GR2Aがアウトプットコンペアレジスタとして機能している場合、TCNT2=GR2Aになったとき

10. アドバンスドタイマユニット (ATU)

(4) タイマステータスレジスタ DH、DL (TSRDH、TSRDL)

TSRDH はチャンネル 3 のインプットキャプチャ、コンペアマッチやオーバフローのステータスを示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	OVF3	IMF3D	IMF3C	IMF3B	IMF3A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための 0 書き込みのみ可能です。

ビット 7~5: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4: オーバフローフラグ (OVF3)

TCNT3 のオーバフローの発生を示すステータスフラグです。

ビット 4	説明
OVF3	
0	[クリア条件] OVF3 = 1 の状態で、OVF3 を読み出した後、OVF3 に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT3 の値がオーバフロー (H'FFFF H'0000) したとき

ビット 3: インプットキャプチャ/コンペアマッチフラグ (IMF3D)

GR3D のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 3	説明
IMF3D	
0	[クリア条件] IMF3D = 1 の状態で、IMF3D を読み出した後、IMF3D に 0 を書き込んだとき (初期値)
1	[セット条件] (1) GR3D がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT3 の値が GR3D に転送されたとき (2) GR3D がアウトプットコンペアレジスタとして機能している場合、TCNT3 = GR3D になったとき

ビット2：インプットキャプチャ/コンペアマッチフラグ (IMF3C)

GR3Cのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット2	説明
IMF3C	
0	[クリア条件] (初期値) IMF3C = 1 の状態で、IMF3C を読み出した後、IMF3C に 0 を書き込んだとき
1	[セット条件] (1) GR3C がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT3 の値が GR3C に転送されたとき (2) GR3C がアウトプットコンペアレジスタとして機能している場合、TCNT3 = GR3C になったとき

ビット1：インプットキャプチャ/コンペアマッチフラグ (IMF3B)

GR3Bのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
IMF3B	
0	[クリア条件] (初期値) IMF3B = 1 の状態で、IMF3B を読み出した後、IMF3B に 0 を書き込んだとき
1	[セット条件] (1) GR3B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT3 の値が GR3B に転送されたとき (2) GR3B がアウトプットコンペアレジスタとして機能している場合、TCNT3 = GR3B になったとき

ビット0：インプットキャプチャ/コンペアマッチフラグ (IMF3A)

GR3Aのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
IMF3A	
0	[クリア条件] (初期値) IMF3A = 1 の状態で、IMF3A を読み出した後、IMF3A に 0 を書き込んだとき
1	[セット条件] (1) GR3A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT3 の値が GR3A に転送されたとき (2) GR3A がアウトプットコンペアレジスタとして機能している場合、TCNT3 = GR3A になったとき

TSRDL はチャンネル 4、5 のインプットキャプチャ、コンペアマッチやオーバフローのステータスを示します。

10. アドバンスタイマユニット (ATU)

ビット:	7	6	5	4	3	2	1	0
	OVF4	IMF4D	IMF4C	IMF4B	IMF4A	OVF5	IMF5B	IMF5A

初期値: 0 0 0 0 0 0 0 0
 R/W: R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)*

【注】* フラグをクリアするための0書き込みのみ可能です。

ビット7: オーバフローフラグ (OVF4)

TCNT4 のオーバフローの発生を示すステータスフラグです。

ビット7	説明
OVF4	
0	[クリア条件] (初期値) OVF4 = 1 の状態で、OVF4 を読み出した後、OVF4 に0を書き込んだとき
1	[セット条件] TCNT4 の値がオーバフロー (H'FFFF H'0000) したとき

ビット6: インพุットキャプチャ/コンペアマッチフラグ (IMF4D)

GR4D のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット6	説明
IMF4D	
0	[クリア条件] (初期値) IMF4D = 1 の状態で、IMF4D を読み出した後、IMF4D に0を書き込んだとき
1	[セット条件] (1) GR4D がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT4 の値が GR4D に転送されたとき (2) GR4D がアウトプットコンペアレジスタとして機能している場合、TCNT4 = GR4D になったとき

ビット5: インพุットキャプチャ/コンペアマッチフラグ (IMF4C)

GR4C のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット5	説明
IMF4C	
0	[クリア条件] (初期値) IMF4C = 1 の状態で、IMF4C を読み出した後、IMF4C に0を書き込んだとき
1	[セット条件] (1) GR4C がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT4 の値が GR4C に転送されたとき (2) GR4C がアウトプットコンペアレジスタとして機能している場合、TCNT4 = GR4C になったとき

ビット4：インプットキャプチャ/コンペアマッチフラグ (IMF4B)

GR4B のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット4 IMF4B	説明
0	[クリア条件] IMF4B = 1 の状態で、IMF4B を読み出した後、IMF4B に 0 を書き込んだとき (初期値)
1	[セット条件] (1) GR4B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT4 の値が GR4B に転送されたとき (2) GR4B がアウトプットコンペアレジスタとして機能している場合、TCNT4 = GR4B になったとき

ビット3：インプットキャプチャ/コンペアマッチフラグ (IMF4A)

GR4A のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット3 IMF4A	説明
0	[クリア条件] IMF4A = 1 の状態で、IMF4A を読み出した後、IMF4A に 0 を書き込んだとき (初期値)
1	[セット条件] (1) GR4A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT4 の値が GR4A に転送されたとき (2) GR4A がアウトプットコンペアレジスタとして機能している場合、TCNT4 = GR4A になったとき

ビット2：オーバフローフラグ (OVF5)

TCNT5 のオーバフローの発生を示すステータスフラグです。

ビット2 OVF5	説明
0	[クリア条件] OVF5 = 1 の状態で、OVF5 を読み出した後、OVF5 に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT5 の値がオーバフロー (H'FFFF H'0000) したとき

10. アドバンスドタイマユニット (ATU)

ビット1：インプットキャプチャ/コンペアマッチフラグ (IMF5B)

GR5Bのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
IMF5B	
0	[クリア条件] (初期値) IMF5B = 1の状態、IMF5Bを読み出した後、IMF5Bに0を書き込んだとき
1	[セット条件] (1) GR5Bがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT5の値がGR5Bに転送されたとき (2) GR5Bがアウトプットコンペアレジスタとして機能している場合、TCNT5 = GR5Bになったとき

ビット0：インプットキャプチャ/コンペアマッチフラグ (IMF5A)

GR5Aのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
IMF5A	
0	[クリア条件] (初期値) IMF5A = 1の状態、IMF5Aを読み出した後、IMF5Aに0を書き込んだとき
1	[セット条件] (1) GR5Aがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT5の値がGR5Aに転送されたとき (2) GR5Aがアウトプットコンペアレジスタとして機能している場合、TCNT5 = GR5Aになったとき

(5) タイマステータスレジスタ E (TSRE)

TSREはチャンネル6~9のサイクルレジスタコンペアマッチのステータスを示します。

ビット：	7	6	5	4	3	2	1	0
	-	CMF6	-	CMF7	-	CMF8	-	CMF9
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/(W)*	R	R/(W)*	R	R/(W)*	R	R/(W)*

【注】* フラグをクリアするための0書き込みのみ可能です。

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 6 : サイクルレジスタコンペアマッチフラグ (CMF6)

CYLR6 のコンペアマッチの発生を示すステータスフラグです。

ビット 6	説明
CMF6	
0	[クリア条件] (初期値) (1) CMF6 = 1 の状態で、CMF6 を読み出した後、CMF6 に 0 を書き込んだとき (2) DMAC の起動要因とした場合、DMAC がデータ転送後クリアしたとき
1	[セット条件] TCNT6 = CYLR6 になったとき

ビット 5 : 予約ビット

読み出すとデータは常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : サイクルレジスタコンペアマッチフラグ (CMF7)

CYLR7 のコンペアマッチの発生を示すステータスフラグです。

ビット 4	説明
CMF7	
0	[クリア条件] (初期値) CMF7 = 1 の状態で、CMF7 を読み出した後、CMF7 に 0 を書き込んだとき
1	[セット条件] TCNT7 = CYLR7 になったとき

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : サイクルレジスタコンペアマッチフラグ (CMF8)

CYLR8 のコンペアマッチの発生を示すステータスフラグです。

ビット 2	説明
CMF8	
0	[クリア条件] (初期値) CMF8 = 1 の状態で、CMF8 を読み出した後、CMF8 に 0 を書き込んだとき
1	[セット条件] TCNT8 = CYLR8 になったとき

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10. アドバンスドタイマユニット (ATU)

ビット 0 : サイクルレジスタコンペアマッチフラグ (CMF9)

CYLR9 のコンペアマッチの発生を示すステータスフラグです。

ビット 0	説明
CMF9	
0	[クリア条件] CMF9 = 1 の状態で、CMF9 を読み出した後、CMF9 に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT9 = CYLR9 になったとき

(6) タイマステータスレジスタ F (TSRF)

TSRF はチャンネル 10 のワンショットパルスのステータスを示します。

ビット :	7	6	5	4	3	2	1	0
	OSF10H	OSF10G	OSF10F	OSF10E	OSF10D	OSF10C	OSF10B	OSF10A

初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための 0 書き込みのみ可能です。

ビット 7 : ワンショットパルスフラグ (OSF10H)

DCNT10H のワンショットパルスを示すステータスフラグです。

ビット 7	説明
OSF10H	
0	[クリア条件] OSF10H = 1 の状態で、OSF10H を読み出した後、OSF10H に 0 を書き込んだとき (初期値)
1	[セット条件] ダウンカウンタ (DCNT10H) の値がアンダフローするタイミング

ビット 6 : ワンショットパルスフラグ (OSF10G)

DCNT10G のワンショットパルスを示すステータスフラグです。

ビット 6	説明
OSF10G	
0	[クリア条件] OSF10G = 1 の状態で、OSF10G を読み出した後、OSF10G に 0 を書き込んだとき (初期値)
1	[セット条件] ダウンカウンタ (DCNT10G) の値がアンダフローするタイミング

ビット 5 : ワンショットパルスフラグ (OSF10F)

DCNT10F のワンショットパルスを示すステータスフラグです。

ビット 5	説明	
OSF10F		
0	[クリア条件] OSF10F = 1 の状態で、OSF10F を読み出した後、OSF10F に 0 を書き込んだとき	(初期値)
1	[セット条件] ダウンカウンタ (DCNT10F) の値がアンダフローするタイミング	

ビット 4 : ワンショットパルスフラグ (OSF10E)

DCNT10E のワンショットパルスを示すステータスフラグです。

ビット 4	説明	
OSF10E		
0	[クリア条件] OSF10E = 1 の状態で、OSF10E を読み出した後、OSF10E に 0 を書き込んだとき	(初期値)
1	[セット条件] ダウンカウンタ (DCNT10E) の値がアンダフローするタイミング	

ビット 3 : ワンショットパルスフラグ (OSF10D)

DCNT10D のワンショットパルスを示すステータスフラグです。

ビット 3	説明	
OSF10D		
0	[クリア条件] OSF10D = 1 の状態で、OSF10D を読み出した後、OSF10D に 0 を書き込んだとき	(初期値)
1	[セット条件] ダウンカウンタ (DCNT10D) の値がアンダフローするタイミング	

ビット 2 : ワンショットパルスフラグ (OSF10C)

DCNT10C のワンショットパルスを示すステータスフラグです。

ビット 2	説明	
OSF10C		
0	[クリア条件] OSF10C = 1 の状態で、OSF10C を読み出した後、OSF10C に 0 を書き込んだとき	(初期値)
1	[セット条件] ダウンカウンタ (DCNT10C) の値がアンダフローするタイミング	

10. アドバンスドタイマユニット (ATU)

ビット1：ワンショットパルスフラグ (OSF10B)

DCNT10B のワンショットパルスを示すステータスフラグです。

ビット1	説明
OSF10B	
0	[クリア条件] OSF10B = 1 の状態で、OSF10B を読み出した後、OSF10B に 0 を書き込んだとき (初期値)
1	[セット条件] ダウンカウンタ (DCNT10B) の値がアンダフローするタイミング

ビット0：ワンショットパルスフラグ (OSF10A)

DCNT10A のワンショットパルスを示すステータスフラグです。

ビット0	説明
OSF10A	
0	[クリア条件] OSF10A = 1 の状態で、OSF10A を読み出した後、OSF10A に 0 を書き込んだとき (初期値)
1	[セット条件] ダウンカウンタ (DCNT10A) の値がアンダフローするタイミング

10.2.8 タイマインタラプトイネーブルレジスタ (TIER)

タイマインタラプトイネーブルレジスタ (TIER) は 8 ビットのレジスタです。ATU には、チャンネル 0、1、2 に各 1 本、チャンネル 3~5 に 2 本、チャンネル 6~9 に 1 本、チャンネル 10 に 1 本、計 7 本のレジスタがあります。

チャンネル	略称	機能
0	TIERA	インプットキャプチャ、コンペアマッチやインターバル割り込みの要求の許可 / 禁止を制御します。
1	TIERB	インプットキャプチャ、コンペアマッチやオーパフローの割り込み要求の許可 / 禁止を制御します。
2	TIERC	
3	TIERDH、 TIERDL	インプットキャプチャ、コンペアマッチやオーパフローの割り込み要求の許可 / 禁止を制御します。
4		
5		
6	TIERE	サイクルレジスタとのコンペアマッチの割り込み要求の許可 / 禁止を制御します。
7		
8		
9		
10	TIERF	アンダフロー割り込み要求の許可 / 禁止を制御します。

TIER は 8 ビットの読み出し / 書き込み可能なレジスタで、フリーランニングカウンタ (TCNT) のオーパフロー割り込み要求、チャンネル 0 のインプットキャプチャ割り込み要求、インターバル割り込み要求、ジェネラルレジスタ、インプットキャプチャ専用レジスタのインプットキャプチャ / コンペアマッチ割り込み要求、チャンネル 6~9 のコンペアマッチ割り込み要求、ダウンカウンタ (DCNT) のアンダフロー割り込み要求の許可 / 禁止を制御します。

TIER はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に、H'00 に初期化されます。

(1) タイマインタラプトイネーブルレジスタ A (TIERA)

TIERA はチャンネル 0 のインプットキャプチャやオーバフローの割り込み要求の許可 / 禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	OVE0	ICE0D	ICE0C	ICE0B	ICE0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット 7~5: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4: オーバフローインタラプトイネーブル (OVE0)

TSR のオーバフローフラグ (OVF0) が 1 にセットされたとき、OVI0 の要求を許可または禁止します。

ビット 4	説明	
OVE0		
0	OVF0 による割り込み要求 (OVI0) を禁止	(初期値)
1	OVF0 による割り込み要求 (OVI0) を許可	

ビット 3: インプットキャプチャインタラプトイネーブル (ICE0D)

TSR のインプットキャプチャフラグ (ICF0D) が 1 にセットされたとき、ICI0D の要求を許可または禁止します。

ビット 3	説明	
ICE0D		
0	ICF0D による割り込み要求 (ICI0D) を禁止	(初期値)
1	ICF0D による割り込み要求 (ICI0D) を許可	

ビット 2: インプットキャプチャインタラプトイネーブル (ICE0C)

TSR の ICF0C が 1 にセットされたとき、ICI0C の要求を許可または禁止します。

ビット 2	説明	
ICE0C		
0	ICF0C による割り込み要求 (ICI0C) を禁止	(初期値)
1	ICF0C による割り込み要求 (ICI0C) を許可	

10. アドバンスタイマユニット (ATU)

ビット1：インプットキャプチャインタラプトイネーブル (ICE0B)

TSR の ICF0B が 1 にセットされたとき、ICI0B の要求を許可または禁止します。

ビット1	説明
ICE0B	
0	ICF0B による割り込み要求 (ICI0B) を禁止 (初期値)
1	ICF0B による割り込み要求 (ICI0B) を許可

ビット0：インプットキャプチャインタラプトイネーブル (ICE0A)

TSR の ICF0A が 1 にセットされたとき、ICI0A の要求を許可または禁止します。

ビット0	説明
ICE0A	
0	ICF0A による割り込み要求 (ICI0A) を禁止 (初期値)
1	ICF0A による割り込み要求 (ICI0A) を許可

(2) タイマインタラプトイネーブルレジスタ B (TIERB)

TIERB はチャンネル1のインプットキャプチャ、コンペアマッチやオーバフローの割り込み要求の許可/禁止を制御します。

ビット：	7	6	5	4	3	2	1	0
	-	OVE1	IME1F	IME1E	IME1D	IME1C	IME1B	IME1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6：オーバフローインタラプトイネーブル (OVE1)

TSR の OVF1 が 1 にセットされたとき、OVF1 による割り込み要求を許可または禁止します。

ビット6	説明
OVE1	
0	OVF1 による割り込み要求 (OVI1) を禁止 (初期値)
1	OVF1 による割り込み要求 (OVI1) を許可

ビット5：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME1F)

TSR の IMF1F が 1 にセットされたとき、IMF1F による割り込み要求を許可または禁止します。

ビット5	説明
IME1F	
0	IMF1F による割り込み要求 (IMI1F) を禁止 (初期値)
1	IMF1F による割り込み要求 (IMI1F) を許可

ビット4：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME1E)

TSR の IMF1E が 1 にセットされたとき、IMF1E による割り込み要求を許可または禁止します。

ビット4	説明
IME1E	
0	IMF1E による割り込み要求 (IMI1E) を禁止 (初期値)
1	IMF1E による割り込み要求 (IMI1E) を許可

ビット3：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME1D)

TSR の IMF1D が 1 にセットされたとき、IMF1D による割り込み要求を許可または禁止します。

ビット3	説明
IME1D	
0	IMF1D による割り込み要求 (IMI1D) を禁止 (初期値)
1	IMF1D による割り込み要求 (IMI1D) を許可

ビット2：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME1C)

TSR の IMF1C が 1 にセットされたとき、IMF1C による割り込み要求を許可または禁止します。

ビット2	説明
IME1C	
0	IMF1C による割り込み要求 (IMI1C) を禁止 (初期値)
1	IMF1C による割り込み要求 (IMI1C) を許可

ビット1：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME1B)

TSR の IMF1B が 1 にセットされたとき、IMF1B による割り込み要求を許可または禁止します。

ビット1	説明
IME1B	
0	IMF1B による割り込み要求 (IMI1B) を禁止 (初期値)
1	IMF1B による割り込み要求 (IMI1B) を許可

10. アドバンスドタイムユニット (ATU)

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME1A)

TSR の IMF1A が 1 にセットされたとき、IME1A による割り込み要求を許可または禁止します。

ビット0	説明
IME1A	
0	IME1A による割り込み要求 (IMI1A) を禁止 (初期値)
1	IME1A による割り込み要求 (IMI1A) を許可

(3) タイマインタラプトイネーブルレジスタ C (TIERC)

TIERC はチャンネル 2 のインプットキャプチャ、コンペアマッチやオーバフローの割り込み要求の許可/禁止を制御します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	OVE2	IME2B	IME2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット7~3：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット2：オーバフローインタラプトイネーブル (OVE2)

TSR の OVF2 が 1 にセットされたとき、OVE2 による割り込み要求を許可または禁止します。

ビット2	説明
OVE2	
0	OVF2 による割り込み要求 (OVI2) を禁止 (初期値)
1	OVF2 による割り込み要求 (OVI2) を許可

ビット1：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME2B)

TSR の IMF2B が 1 にセットされたとき、IME2B による割り込み要求を許可または禁止します。

ビット1	説明
IME2B	
0	IME2B による割り込み要求 (IMI2B) を禁止 (初期値)
1	IME2B による割り込み要求 (IMI2B) を許可

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME2A)

TSR の IMF2A が 1 にセットされたとき、IME2A による割り込み要求を許可または禁止します。

ビット0	説明
IME2A	
0	IME2A による割り込み要求 (IMI2A) を禁止 (初期値)
1	IME2A による割り込み要求 (IMI2A) を許可

(4) タイマステータスインタラプトイネーブルレジスタ DH、DL (TIERDH、TIERDL)

TIERDH はチャンネル3のインプットキャプチャ、コンペアマッチやオーバフローの割り込み要求の許可/禁止を制御します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	OVE3	IME3D	IME3C	IME3B	IME3A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット7~5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：オーバフローインタラプトイネーブル (OVE3)

TSR の OVF3 が 1 にセットされたとき、OVE3 による割り込み要求を許可または禁止します。

ビット4	説明
OVE3	
0	OVF3 による割り込み要求 (OVI3) を禁止 (初期値)
1	OVF3 による割り込み要求 (OVI3) を許可

ビット3：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME3D)

TSR の IMF3D が 1 にセットされたとき、IME3D による割り込み要求を許可または禁止します。

ビット3	説明
IME3D	
0	IME3D による割り込み要求 (IMI3D) を禁止 (初期値)
1	IME3D による割り込み要求 (IMI3D) を許可

10. アドバンスドタイムユニット (ATU)

ビット 2 : インプットキャプチャ / コンペアマッチインタラプトイネーブル (IME3C)

TSR の IMF3C が 1 にセットされたとき、IME3C による割り込み要求を許可または禁止します。

ビット 2	説明
IME3C	
0	IME3C による割り込み要求 (IMI3C) を禁止 (初期値)
1	IME3C による割り込み要求 (IMI3C) を許可

ビット 1 : インプットキャプチャ / コンペアマッチインタラプトイネーブル (IME3B)

TSR の IMF3B が 1 にセットされたとき、IME3B による割り込み要求を許可または禁止します。

ビット 1	説明
IME3B	
0	IME3B による割り込み要求 (IMI3B) を禁止 (初期値)
1	IME3B による割り込み要求 (IMI3B) を許可

ビット 0 : インプットキャプチャ / コンペアマッチインタラプトイネーブル (IME3A)

TSR の IMF3A が 1 にセットされたとき、IME3A による割り込み要求を許可または禁止します。

ビット 0	説明
IME3A	
0	IME3A による割り込み要求 (IMI3A) を禁止 (初期値)
1	IME3A による割り込み要求 (IMI3A) を許可

TIERDL はチャンネル 4、5 のインプットキャプチャ、コンペアマッチやオーバフローの割り込み要求の許可 / 禁止を制御します。

ビット :	7	6	5	4	3	2	1	0
	OVE4	IME4D	IME4C	IME4B	IME4A	OVE5	IME5B	IME5A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : オーバフローインタラプトイネーブル (OVE4)

TSR の OVF4 が 1 にセットされたとき、OVE4 による割り込み要求を許可または禁止します。

ビット 7	説明
OVE4	
0	OVE4 による割り込み要求 (OVI4) を禁止 (初期値)
1	OVE4 による割り込み要求 (OVI4) を許可

ビット6：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME4D)

TSR の IMF4D が 1 にセットされたとき、IMF4D による割り込み要求を許可または禁止します。

ビット6	説明
IME4D	
0	IMF4D による割り込み要求 (IMI4D) を禁止 (初期値)
1	IMF4D による割り込み要求 (IMI4D) を許可

ビット5：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME4C)

TSR の IMF4C が 1 にセットされたとき、IMF4C による割り込み要求を許可または禁止します。

ビット5	説明
IME4C	
0	IMF4C による割り込み要求 (IMI4C) を禁止 (初期値)
1	IMF4C による割り込み要求 (IMI4C) を許可

ビット4：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME4B)

TSR の IMF4B が 1 にセットされたとき、IMF4B による割り込み要求を許可または禁止します。

ビット4	説明
IME4B	
0	IMF4B による割り込み要求 (IMI4B) を禁止 (初期値)
1	IMF4B による割り込み要求 (IMI4B) を許可

ビット3：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME4A)

TSR の IMF4A が 1 にセットされたとき、IMF4A による割り込み要求を許可または禁止します。

ビット3	説明
IME4A	
0	IMF4A による割り込み要求 (IMI4A) を禁止 (初期値)
1	IMF4A による割り込み要求 (IMI4A) を許可

ビット2：オーバフローインタラプトイネーブル (OVE5)

TSR の OVF5 が 1 にセットされたとき、OVF5 による割り込み要求を許可または禁止します。

ビット2	説明
OVE5	
0	OVF5 による割り込み要求 (OVI5) を禁止 (初期値)
1	OVF5 による割り込み要求 (OVI5) を許可

10. アドバンスドタイマユニット (ATU)

ビット1：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME5B)

TSR の IMF5B が 1 にセットされたとき、IMF5B による割り込み要求を許可または禁止します。

ビット1	説明
IME5B	
0	IMF5B による割り込み要求 (IMI5B) を禁止 (初期値)
1	IMF5B による割り込み要求 (IMI5B) を許可

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME5A)

TSR の IMF5A が 1 にセットされたとき、IMF5A による割り込み要求を許可または禁止します。

ビット0	説明
IME5A	
0	IMF5A による割り込み要求 (IMI5A) を禁止 (初期値)
1	IMF5A による割り込み要求 (IMI5A) を許可

(5) タイマステータスインタラプトイネーブルレジスタ E (TIERE)

TIERE はチャンネル 6~9 のサイクルレジスタコンペアの割り込み要求の許可 / 禁止を制御します。

ビット：	7	6	5	4	3	2	1	0
	-	CME6	-	CME7	-	CME8	-	CME9
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W

ビット7：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット6：サイクルレジスタコンペアマッチインタラプトイネーブル (CME6)

TSR の CMF6 が 1 にセットされたとき、CMF6 による割り込み要求を許可または禁止します。

ビット6	説明
CME6	
0	CMF6 による割り込み要求 (CMI6) を禁止 (初期値)
1	CMF6 による割り込み要求 (CMI6) を許可

ビット5：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : サイクルレジスタコンペアマッチインタラプトイネーブル (CME7)

TSR の CMF7 が 1 にセットされたとき、CMF7 による割り込み要求を許可または禁止します。

ビット 4	説明
OME7	
0	CMF7 による割り込み要求 (CMI7) を禁止 (初期値)
1	CMF7 による割り込み要求 (CMI7) を許可

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : サイクルレジスタコンペアマッチインタラプトイネーブル (CME8)

TSR の CMF8 が 1 にセットされたとき、CMF8 による割り込み要求を許可または禁止します。

ビット 2	説明
CME8	
0	CMF8 による割り込み要求 (CMI8) を禁止 (初期値)
1	CMF8 による割り込み要求 (CMI8) を許可

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : サイクルレジスタコンペアマッチインタラプトイネーブル (CME9)

TSR の CMF9 が 1 にセットされたとき、CMF9 による割り込み要求を許可または禁止します。

ビット 0	説明
CME9	
0	CMF9 による割り込み要求 (CMI9) を禁止 (初期値)
1	CMF9 による割り込み要求 (CMI9) を許可

(6) タイマインタラプトイネーブルレジスタ F (TIERF)

TIERF はチャンネル 10 のワンショットパルスの割り込み要求の許可 / 禁止を制御します。

ビット :	7	6	5	4	3	2	1	0
	OSE10H	OSE10G	OSE10F	OSE10E	OSE10D	OSE10C	OSE10B	OSE10A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10. アドバンスドタイムユニット (ATU)

ビット7：ワンショットパルスインタラプトイネーブル (OSE10H)

TSR の OSF10H が 1 にセットされたとき、OSF10H による割り込み要求を許可または禁止します。

ビット7	説明
OSE10H	
0	OSF10H による割り込み要求 (OSI10H) を禁止 (初期値)
1	OSF10H による割り込み要求 (OSI10H) を許可

ビット6：ワンショットパルスインタラプトイネーブル (OSE10G)

TSR の OSF10G が 1 にセットされたとき、OSF10G による割り込み要求を許可または禁止します。

ビット6	説明
OSE10G	
0	OSF10G による割り込み要求 (OSI10G) を禁止 (初期値)
1	OSF10G による割り込み要求 (OSI10G) を許可

ビット5：ワンショットパルスインタラプトイネーブル (OSE10F)

TSR の OSF10F が 1 にセットされたとき、OSF10F による割り込み要求を許可または禁止します。

ビット5	説明
OSE10F	
0	OSF10F による割り込み要求 (OSI10F) を禁止 (初期値)
1	OSF10F による割り込み要求 (OSI10F) を許可

ビット4：ワンショットパルスインタラプトイネーブル (OSE10E)

TSR の OSF10E が 1 にセットされたとき、OSF10E による割り込み要求を許可または禁止します。

ビット4	説明
OSE10E	
0	OSF10E による割り込み要求 (OSI10E) を禁止 (初期値)
1	OSF10E による割り込み要求 (OSI10E) を許可

ビット3：ワンショットパルスインタラプトイネーブル (OSE10D)

TSR の OSF10D が 1 にセットされたとき、OSF10D による割り込み要求を許可または禁止します。

ビット3	説明
OSE10D	
0	OSF10D による割り込み要求 (OSI10D) を禁止 (初期値)
1	OSF10D による割り込み要求 (OSI10D) を許可

ビット2：ワンショットパルスインタラプトイネーブル (OSE10C)

TSR の OSF10C が 1 にセットされたとき、OSF10C による割り込み要求を許可または禁止します。

ビット2 OSE10C	説明
0	OSF10C による割り込み要求 (OSI10C) を禁止 (初期値)
1	OSF10C による割り込み要求 (OSI10C) を許可

ビット1：ワンショットパルスインタラプトイネーブル (OSE10B)

TSR の OSF10B が 1 にセットされたとき、OSF10B による割り込み要求を許可または禁止します。

ビット1 OSE10B	説明
0	OSF10B による割り込み要求 (OSI10B) を禁止 (初期値)
1	OSF10B による割り込み要求 (OSI10B) を許可

ビット0：ワンショットパルスインタラプトイネーブル (OSE10A)

TSR の OSF10A が 1 にセットされたとき、OSF10A による割り込み要求を許可または禁止します。

ビット0 OSE10A	説明
0	OSF10A による割り込み要求 (OSI10A) を禁止 (初期値)
1	OSF10A による割り込み要求 (OSI10A) を許可

10. アドバンスドタイマユニット (ATU)

10.2.9 インターバルインタラプトリクエストレジスタ (ITVRR)

インターバルインタラプトリクエストレジスタ (ITVRR) は 8 ビットのレジスタです。ATU には、チャンネル 0 に 1 本のレジスタがあります。

ビット:	7	6	5	4	3	2	1	0
	ITVAD3	ITVAD2	ITVAD1	ITVAD0	ITVE3	ITVE2	ITVE1	ITVE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

インターバルインタラプトリクエストレジスタ (ITVRR) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0 のインターバルインタラプトビットの設定をします。

ITVRR はパワーオンリセット、ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時に H'00 に初期化されます。

ビット 7 : A/D 変換器インターバル起動ビット 3 (ITVAD3)

フリーランニングカウンタ 0L (TCNT0L) のビット 13 に対応した A/D 変換器への起動の設定ビットです。TCNT0L のビット 13 の立ち上がりと ITVAD3 で AND をとり、A/D 変換器へ起動信号として出力します。

ビット 7	説明
ITVAD3	
0	ATU から A/D 変換器の起動を禁止 (初期値)
1	ATU から A/D 変換器の起動を許可

ビット 6 : A/D 変換器インターバル起動ビット 2 (ITVAD2)

TCNT0L のビット 12 に対応した A/D 変換器への起動の設定ビットです。TCNT0L のビット 12 の立ち上がりと ITVAD2 で AND をとり、A/D 変換器へ起動信号として出力します。

ビット 6	説明
ITVAD2	
0	ATU から A/D 変換器の起動を禁止 (初期値)
1	ATU から A/D 変換器の起動を許可

ビット 5 : A/D 変換器インターバル起動ビット 1 (ITVAD1)

TCNT0L のビット 11 に対応した A/D 変換器への起動の設定ビットです。TCNT0L のビット 11 の立ち上がりと ITVAD1 で AND をとり、A/D 変換器へ起動信号として出力します。

ビット 5	説明
ITVAD1	
0	ATU から A/D 変換器の起動を禁止 (初期値)
1	ATU から A/D 変換器の起動を許可

ビット 4 : A/D 変換器インターバル起動ビット 0 (ITVAD0)

TCNT0L のビット 10 に対応した A/D 変換器への起動の設定ビットです。TCNT0L のビット 10 の立ち上がりと ITVAD0 で AND をとり、A/D 変換器へ起動信号として出力します。

ビット 4	説明	
ITVAD0		
0	ATU から A/D 変換器の起動を禁止	(初期値)
1	ATU から A/D 変換器の起動を許可	

ビット 3 : インターバルインタラプトビット 3 (ITVE3)

TCNT0L のビット 13 に対応した割り込みコントローラ (INTC) へのインターバル割り込みの設定ビットです。TCNT0L のビット 13 の立ち上がりと ITVE3 で AND をとり、結果をタイマステータスレジスタ (TSRAH) の IIF3 に格納し、INTC へ割り込みを発生します。

ビット 3	説明	
ITVE3		
0	ATU のインターバル割り込み発生禁止	(初期値)
1	INTC へのインターバル割り込み発生許可	

ビット 2 : インターバルインタラプトビット 2 (ITVE2)

TCNT0L のビット 12 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0L のビット 12 の立ち上がりと ITVE2 で AND をとり、結果を TSRAH の IIF2 に格納し、INTC へ割り込みを発生します。

ビット 2	説明	
ITVE2		
0	ATU のインターバル割り込み発生禁止	(初期値)
1	INTC へのインターバル割り込み発生許可	

ビット 1 : インターバルインタラプトビット 1 (ITVE1)

TCNT0L のビット 11 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0L のビット 11 の立ち上がりと ITVE1 で AND をとり、結果を TSRAH の IIF1 に格納し、INTC へ割り込みを発生します。

ビット 1	説明	
ITVE1		
0	ATU のインターバル割り込み発生禁止	(初期値)
1	INTC へのインターバル割り込み発生許可	

10. アドバンスドタイマユニット (ATU)

ビット0 : インターバルインタラプトビット0 (ITVE0)

TCNT0Lのビット10に対応したINTCへのインターバル割り込みの設定ビットです。TCNT0Lのビット10の立ち上がりとITVE0でANDをとり、結果をTSRAHのIIF0に格納し、INTCへ割り込みを発生します。

ビット0	説明
ITVE0	
0	ATUのインターバル割り込み発生禁止 (初期値)
1	INTCへのインターバル割り込み発生許可

詳細は「10.3.7 インターバルタイマ機能」を参照してください。

10.2.10 ダウンカウントスタートレジスタ (DSTR)

ダウンカウントスタートレジスタ (DSTR) は8ビットのレジスタです。ATUには、チャンネル10に1本のレジスタがあります。

ビット :	7	6	5	4	3	2	1	0
	DST10H	DST10G	DST10F	DST10E	DST10D	DST10C	DST10B	DST10A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 1のみ書き込み可能です。

ダウンカウントスタートレジスタ (DSTR) は8ビットの読み出し / 書き込み可能なレジスタで、チャンネル10のダウンカウンタ (DCNT) を動作させるか、停止させるかを選択します。

ワンショットパルス機能の場合は、ユーザプログラムにより、随時DST10に1のみを設定することができます。また、DCNTの値がアンダフローするタイミングで自動的に0にクリアされます。

オフセット付ワンショットパルス機能の場合は、対応するタイマコネクションレジスタ (TCNR) ビットが1の状態、チャンネル1, 2のフリーランニングカウンタ (TCNT) とジェネラルレジスタ (GR) でコンペアマッチが発生すると、自動的にDST10は1にセットされます。また、DCNTの値がアンダフローするタイミングで自動的に0にクリアされます。ユーザプログラムにより随時DST10に1のみを設定することができます。

DSTRはパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時にH'00に初期化されます。

詳細は「10.3.5 ワンショットパルス機能」および「10.3.6 オフセット付ワンショットパルス機能」を参照してください。

10. アドバンスドタイマユニット (ATU)

ビット7 : ダウンカウントスタートフラグ 10H (DST10H)

ダウンカウンタ 10H (DCNT10H) を動作させるか、停止させるかを選択します。

ビット7	説明
DST10H	
0	DCNT10H のカウント動作は停止 (初期値) [クリア条件] DCNT10H 値がアンダフローするタイミング
1	DCNT10H はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 オフセット付ワンショットパルス機能 : GR2B のコンペアマッチ発生時およびユーザプログラムにより設定

ビット6 : ダウンカウントスタートフラグ 10G (DST10G)

ダウンカウンタ 10G (DCNT10G) を動作させるか、停止させるかを選択します。

ビット6	説明
DST10G	
0	DCNT10G のカウント動作は停止 (初期値) [クリア条件] DCNT10G 値がアンダフローするタイミング
1	DCNT10G はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 オフセット付ワンショットパルス機能 : GR2A のコンペアマッチ発生時およびユーザプログラムにより設定

ビット5 : ダウンカウントスタートフラグ 10F (DST10F)

ダウンカウンタ 10F (DCNT10F) を動作させるか、停止させるかを選択します。

ビット5	説明
DST10F	
0	DCNT10F のカウント動作は停止 (初期値) [クリア条件] DCNT10F 値がアンダフローするタイミング
1	DCNT10F はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 オフセット付ワンショットパルス機能 : GR1F のコンペアマッチ発生時およびユーザプログラムにより設定

10. アドバンスドタイマユニット (ATU)

ビット 4 : ダウンカウントスタートフラグ 10E (DST10E)

ダウンカウンタ 10E (DCNT10E) を動作させるか、停止させるかを選択します。

ビット 4	説明
DST10E	
0	DCNT10E のカウント動作は停止 (初期値) [クリア条件] DCNT10E 値がアンダフローするタイミング
1	DCNT10E はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 オフセット付ワンショットパルス機能 : GR1E のコンペアマッチ発生時およびユーザプログラムにより設定

ビット 3 : ダウンカウントスタートフラグ 10D (DST10D)

ダウンカウンタ 10D (DCNT10D) を動作させるか、停止させるかを選択します。

ビット 3	説明
DST10D	
0	DCNT10D のカウント動作は停止 (初期値) [クリア条件] DCNT10D 値がアンダフローするタイミング
1	DCNT10D はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 オフセット付ワンショットパルス機能 : GR1D のコンペアマッチ発生時およびユーザプログラムにより設定

ビット 2 : ダウンカウントスタートフラグ 10C (DST10C)

ダウンカウンタ 10C (DCNT10C) を動作させるか、停止させるかを選択します。

ビット 2	説明
DST10C	
0	DCNT10C のカウント動作は停止 (初期値) [クリア条件] DCNT10C 値がアンダフローするタイミング
1	DCNT10C はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 オフセット付ワンショットパルス機能 : GR1C のコンペアマッチ発生時およびユーザプログラムにより設定

ビット 1 : ダウンカウントスタートフラグ 10B (DST10B)

ダウンカウンタ 10B (DCNT10B) を動作させるか、停止させるかを選択します。

ビット 1	説明
DST10B	
0	DCNT10B のカウント動作は停止 (初期値) [クリア条件] DCNT10B 値がアンダフローするタイミング
1	DCNT10B はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 オフセット付ワンショットパルス機能 : GR1B のコンペアマッチ発生時およびユーザプログラムにより設定

ビット 0 : ダウンカウントスタートフラグ 10A (DST10A)

ダウンカウンタ 10A (DCNT10A) を動作させるか、停止させるかを選択します。

ビット 0	説明
DST10A	
0	DCNT10A のカウント動作は停止 (初期値) [クリア条件] DCNT10A 値がアンダフローするタイミング
1	DCNT10A はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 オフセット付ワンショットパルス機能 : GR1A のコンペアマッチ発生時およびユーザプログラムにより設定

10.2.11 タイマコネクションレジスタ (TCNR)

タイマコネクションレジスタ (TCNR) は 8 ビットのレジスタです。ATU には、チャンネル 10 に 1 本のレジスタがあります。

ビット :	7	6	5	4	3	2	1	0
	CN10H	CN10G	CN10F	CN10E	CN10D	CN10C	CN10B	CN10A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマコネクションレジスタ (TCNR) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 10 のダウンカウントスタートレジスタ (DSTR) とチャンネル 1、2 のコンペアマッチ信号との接続許可 / 禁止を設定します。

TCNR はパワーオンリセット、ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時に H'00 に初期化されます。

詳細は「10.3.5 ワンショットパルス機能」、および「10.3.6 オフセット付ワンショットパルス機能」を参照してください。

10. アドバンスタイマユニット (ATU)

ビット 7 : コネクションフラグ 10H (CN10H)

DST10H とチャンネル 2 の OFF2B との接続許可 / 禁止を選択します。

ビット 7 CN10H	説明
0	DST10H と OFF2B の接続を禁止 (初期値)
1	DST10H と OFF2B の接続を許可

ビット 6 : コネクションフラグ 10G (CN10G)

DST10G とチャンネル 2 の OFF2A との接続許可 / 禁止を選択します。

ビット 6 CN10G	説明
0	DST10G と OFF2A の接続を禁止 (初期値)
1	DST10G と OFF2A の接続を許可

ビット 5 : コネクションフラグ 10F (CN10F)

DST10F とチャンネル 1 の OFF1F との接続許可 / 禁止を選択します。

ビット 5 CN10F	説明
0	DST10F と OFF1F の接続を禁止 (初期値)
1	DST10F と OFF1F の接続を許可

ビット 4 : コネクションフラグ 10E (CN10E)

DST10E とチャンネル 1 の OFF1E との接続許可 / 禁止を選択します。

ビット 4 CN10E	説明
0	DST10E と OFF1E の接続を禁止 (初期値)
1	DST10E と OFF1E の接続を許可

ビット 3 : コネクションフラグ 10D (CN10D)

DST10D とチャンネル 1 の OFF1D との接続許可 / 禁止を選択します。

ビット 3 CN10D	説明
0	DST10D と OFF1D の接続を禁止 (初期値)
1	DST10D と OFF1D の接続を許可

ビット 2 : コネクションフラグ 10C (CN10C)

DST10C とチャンネル 1 の OFF1C との接続許可 / 禁止を選択します。

ビット 2	説明	
CN10C		
0	DST10C と OFF1C の接続を禁止	(初期値)
1	DST10C と OFF1C の接続を許可	

ビット 1 : コネクションフラグ 10B (CN10B)

DST10B とチャンネル 1 の OFF1B との接続許可 / 禁止を選択します。

ビット 1	説明	
CN10B		
0	DST10B と OFF1B の接続を禁止	(初期値)
1	DST10B と OFF1B の接続を許可	

ビット 0 : コネクションフラグ 10A (CN10A)

DST10A とチャンネル 1 の OFF1A との接続許可 / 禁止を選択します。

ビット 0	説明	
CN10A		
0	DST10A と OFF1A の接続を禁止	(初期値)
1	DST10A と OFF1A の接続を許可	

10.2.12 フリーランニングカウンタ (TCNT)

フリーランニングカウンタ (TCNT) は 32 ビットまたは 16 ビットのアップカウンタです。ATU には、チャンネル 0 に 32 ビットの TCNT を 1 本、チャンネル 1~9 に 16 ビットの TCNT を各 1 本、計 10 本の TCNT があります。

チャンネル	略称	説明
0	TCNT0H、TCNT0L	32 ビットのアップカウンタ (初期値 H'00000000)
1	TCNT1	16 ビットのアップカウンタ (初期値 H'0000)
2	TCNT2	
3	TCNT3	
4	TCNT4	
5	TCNT5	
6	TCNT6	16 ビットのアップカウンタ (初期値 H'0001)
7	TCNT7	
8	TCNT8	
9	TCNT9	

10. アドバンスドタイマユニット (ATU)

(1) フリーランニングカウンタ 0H、L (TCNT0H、TCNT0L)

フリーランニングカウンタ 0H、L (TCNT0H、TCNT0L) は 32 ビットの読み出し / 書き込み可能なレジスタで入力したクロックによりカウント動作を行います。入力するクロックはプリスケアラレジスタ 1 (PSCR1) により選択します。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TCNT0 がオーバフロー (H'FFFFFFF H'0000000) すると、タイムステータスレジスタ (TSR) のオーバフローフラグ (OVF0) が 1 にセットされます。

TCNT0 は CPU と内部 16 ビットバスで接続されており、ロングワード単位でのみ読み出し / 書き込み可能です。ワード単位での読み出し / 書き込みは行わないでください。

TCNT0 はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'00000000 に初期化されます。

(2) フリーランニングカウンタ 1~5 (TCNT1~TCNT5)

フリーランニングカウンタ 1~5 (TCNT1~5) は 16 ビットの読み出し / 書き込み可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックはプリスケアラレジスタ 1 (PSCR1)、タイマコントロールレジスタ (TCR) により選択します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TCNT3~5 は対応するジェネラルレジスタ (GR) とのコンペアマッチ、またはインプットキャプチャにより H'0000 にクリアすることができます (カウンタクリア機能)。

TCNT1~5 がオーバフロー (H'FFFF H'0000) すると、タイムステータスレジスタ (TSR) の対応するチャンネルのオーバフローフラグ (OVF) が 1 にセットされます。

TCNT1~5 は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し / 書き込み可能です。

TCNT1~5 はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'0000 に初期化されます。

(3) フリーランニングカウンタ 6~9 (TCNT6~TCNT9)

フリーランニングカウンタ 6~9 (TCNT6~9) は 16 ビットの読み出し / 書き込み可能なレジスタで入力したクロックによりカウント動作を行います。入力するクロックはプリスケアラレジスタ 1 (PSCR1)、タイムコントロールレジスタ (TCR) により選択します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TCNT6~9 は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し / 書き込み可能です。

TCNT6~9 はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'0001 に初期化されます。

10.2.13 インプットキャプチャレジスタ (ICR)

インプットキャプチャレジスタ (ICR) は、32 ビットのレジスタです。ATU には、チャンネル 0 に 32 ビットのレジスタが 4 本あります。

チャンネル	略称	機能
0	ICR0AH、ICR0AL、	インプットキャプチャ専用レジスタ
	ICR0BH、ICR0BL、	
	ICR0CH、ICR0CL、	
	ICR0DH、ICR0DL	

インプットキャプチャレジスタ 0AH、L~0DH、L (ICR0AH、L~ICR0DH、L)

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ICR は 32 ビットの読み出し可能なレジスタで、インプットキャプチャ専用レジスタです。

インプットキャプチャ専用レジスタは、外部からのインプットキャプチャ信号を検出して、TCNT0 の値を格納します。このとき対応する TSR のビットが 1 にセットされます。インプットキャプチャ信号の検出エッジはタイマ I/O コントロールレジスタ (TIOR) の TIOR0A により設定します。

ICR0A と ICR0D は外部のインプットキャプチャ (TIA0) またはチャンネル 1 のジェネラルレジスタ (GR1A) のコンペアマッチ信号 (TRG1A) をインプットキャプチャ信号として検出することができます。

10. アドバンスドタイマユニット (ATU)

ICR は CPU と内部 16 ビットバスで接続されており、ロングワード単位でのみ読み出しが可能です。ワード単位での読み出しは行わないでください。

ICR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイ時に H'00000000 に初期化されます。

10.2.14 ジェネラルレジスタ (GR)

ジェネラルレジスタ (GR) は 16 ビットのレジスタです。ATU には、チャンネル 1 に 6 本、チャンネル 2 に 2 本、チャンネル 3、4 に各 4 本、チャンネル 5 に 2 本、計 18 本のレジスタがあります。

チャンネル	略称	機能
1	GR1A, GR1B, GR1C, GR1D, GR1E, GR1F	インプットキャプチャ、アウトプットコンペア兼用レジスタ
2	GR2A, GR2B	
3	GR3A, GR3B, GR3C, GR3D	
4	GR4A, GR4B, GR4C, GR4D	
5	GR5A, GR5B	

ジェネラルレジスタ 1A ~ 1F (GR1A ~ 1F)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

GR は 16 ビットの読み出し / 書き込み可能なレジスタで、インプットキャプチャとアウトプットコンペアの両方の機能をもっています。機能の切り替えはタイマ I/O コントロールレジスタ (TIOR) により行います。

インプットキャプチャとして使用している時は、外部からのインプットキャプチャ信号を検出して、TCNT の値を格納します。このとき対応する TSR の IMF ビットが 1 にセットされます。インプットキャプチャ信号の検出エッジは対応する TIOR により設定します。

アウトプットコンペアとして使用している時は、GR の値とフリーランニングカウンタ (TCNT) の値は常に比較されています。両者の値が一致すると、タイマステータスレジスタ (TSR) の IMF ビットが 1 にセットされます。コンペアマッチ出力は対応する TIOR により設定します。

GR は CPU 内部 16 ビットバスで接続されており、ワード単位でのみ読み出し / 書き込みが可能です。

GR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'FFFF に初期化されます。

ジェネラルレジスタ 2A, 2B (GR2A, GR2B)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

チャンネル 2 のコンペアマッチ信号をアドバンスドパルスコントローラ (APC) に送信することがで

きます。詳細は「11. アドバンスドパルスコントローラ (APC)」を参照してください。

ジェネラルレジスタ 3A ~ 3D、4A ~ 4D、5A、5B (GR3A ~ GR3D、GR4A ~ GR4D、GR5A、GR5B)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

10.2.15 ダウンカウンタ (DCNT)

ダウンカウンタ (DCNT) は 16 ビットのダウンカウンタです。ATU には、チャンネル 10 に 8 本のレジスタがあります。

チャンネル	略称	説明
10	DCNT10A、DCNT10B、 DCNT10C、DCNT10D、 DCNT10E、DCNT10F、 DCNT10G、DCNT10H	ダウンカウンタ

ダウンカウンタ 10A ~ 10H (DCNT10A ~ 10H)

ダウンカウンタ 10A ~ 10H (DCNT10A ~ 10H) は 16 ビットの読み出し / 書き込み可能なレジスタで入力したクロックによりカウント動作を行います。入力するクロックはプリスケアラレジスタ (PSCR1)、タイマコントロールレジスタ (TCR) により選択します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

DCNT がワンショットパルス機能の時は、DCNT 値を設定した後ユーザプログラムにより DSTR の対応するビットを 1 にセットすることによりダウンカウントを開始します。DCNT 値がアンダフローするタイミングで、DSTR の対応するビットと DCNT が自動的に 0 にクリアされてカウント動作を終了します。同時に、対応するチャンネル 10 のタイマステータスレジスタ F (TSRF) のステータスフラグが 1 にセットされます。

DCNT がオフセット付ワンショットパルス機能の時は、タイマコネクションレジスタ (TCNR) が 1 の状態でチャンネル 1、2 のジェネラルレジスタ (GR) とのコンペアマッチで、自動的に対応するダウンカウントスタートレジスタ (DSTR) のビットが 1 にセットされてダウンカウント動作を開始します。DCNT 値がアンダフローするタイミングで、DSTR の対応するビットと DCNT が自動的に 0 にクリアされてカウント動作を終了します。同時に、対応するチャンネル 10 の TSRF のステータスフラグが 1 にセットされます。

DCNT は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し / 書き込み可能です。

DCNT はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'0000 に初期化されます。

詳細は「10.3.5 ワンショットパルス機能」、および「10.3.6 オフセット付ワンショットパルス機能」を参照してください。

10. アドバンスドタイマユニット (ATU)

10.2.16 オフセットベースレジスタ (OSBR)

オフセットベースレジスタ (OSBR) は 16 ビットのレジスタです。ATU には、チャンネル 1 に 1 本のレジスタがあります。

チャンネル	略称	機能
1	OSBR	チャンネル 0 の ICR0A からの信号を入力トリガとした インプットキャプチャ専用レジスタ

オフセットベースレジスタ (OSBR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

OSBR は 16 ビットの読み出し可能なレジスタで、インプットキャプチャ専用レジスタです。OSBR はチャンネル 0 のインプットキャプチャレジスタ (ICR0A) の入力をトリガ信号 (TRG0A) とし、TIORA のビット 0、1 で選択したエッジを検出すると TCNT1 の値を格納します。

OSBR は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出しが可能です。

OSBR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に、H'0000 に初期化されます。

詳細は「10.3.8 ツインキャプチャ機能」を参照してください。

10.2.17 サイクルレジスタ (CYLR)

サイクルレジスタ (CYLR) は 16 ビットのレジスタです。ATU には、チャンネル 6~9 に各 1 本、計 4 本のレジスタがあります。

チャンネル	略称	機能
6	CYLR6	サイクルレジスタ
7	CYLR7	
8	CYLR8	
9	CYLR9	

サイクルレジスタ (CYLR6~9)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CYLR は 16 ビットの読み出し / 書き込み可能なレジスタで、PWM の周期格納レジスタです。

CYLR の値と対応するフリーランニングカウンタ (TCNT6~9) の値は常に比較されています。両者の値が一致すると、タイムステータスレジスタ (TSR) の CMF6~9 ビットが 1 にセットされ、TCNT6~9 はクリアされます。同時にバッファレジスタ (BFR) の値はデューティレジスタ (DTR) に転送されます。

CYLR は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し / 書き込みが可能です。

CYLR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'FFFF に初期化されます。

CYLR、BFR、DTR の詳細は「10.3.9 PWM タイマ機能」を参照してください。

10.2.18 バッファレジスタ (BFR)

バッファレジスタは 16 ビットのレジスタです。ATU には、チャンネル 6~9 に各 1 本、計 4 本のレジスタがあります。

チャンネル	略称	機能
6	BFR6	バッファレジスタ
7	BFR7	
8	BFR8	
9	BFR9	

バッファレジスタ 6~9 (BFR6~9)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

BFR は 16 ビットの読み出し / 書き込み可能なレジスタで、サイクルレジスタ (CYLR) のコンペアマッチ時にデューティレジスタ (DTR) に転送する値をバッファに格納します。

BFR は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し / 書き込みが可能です。

BFR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'FFFF に初期化されます。

10. アドバンスタイマユニット (ATU)

10.2.19 デューティレジスタ (DTR)

デューティレジスタ (DTR) は 16 ビットのレジスタです。ATU には、チャンネル 6~9 に各 1 本、計 4 本のレジスタがあります。

チャンネル	略称	機能
6	DTR6	デューティレジスタ
7	DTR7	
8	DTR8	
9	DTR9	

デューティレジスタ (DTR6~9)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

DTR は 16 ビットの読み出し / 書き込み可能なレジスタで、PWM のデューティ格納レジスタです。DTR の値と対応するフリーランニングカウンタ (TCNT6~9) の値は常に比較されています。両者の値が一致すると、対応するチャンネルの出力端子 (TO6~9) は 0 出力になります。

DTR は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し / 書き込みが可能です。

DTR はパワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時に H'FFFF に初期化されます。

10.3 動作説明

10.3.1 概要

ATU はチャンネル 0 から 10 の、7 種 11 体のタイマで構成されています。また ATU は入力クロックを生成するプリスケアラを内蔵し、ATU 外部とは独立に、必要な周波数の内部クロックを生成または選択することができます。

以下に各チャンネルおよびプリスケアラの動作概要を説明します。

(1) チャンネル 0 (32 ビットインプットキャプチャ専用タイマ)

チャンネル 0 は 32 ビットフリーランニングカウンタ (TCNT0) と 4 本の 32 ビットインプットキャプチャレジスタ (ICR0A ~ D) を内蔵しています。TCNT0 はアップカウンタで、フリーランニング動作を行います。4 本のインプットキャプチャレジスタ (ICR0A ~ D) は、各々に対応する外部信号入力端子 (TIA0 ~ TID0) からの入力、あるいはチャンネル 1 の GR1A からのアウトプットコンペアマッチトリガ入力による、インプットキャプチャレジスタとして使用することができます。トリガセレクションレジスタ (TGSR) への設定により入力端子 (TIA0 ~ TID0) と GR1A からのアウトプットコンペアマッチトリガの選択ができます。

また、チャンネル 0 にはインターバルインタラプトリクエストレジスタ (ITVRR) が内蔵されています。ITVRR の ITVE0 ~ 3 に 1 を設定すると、TCNT0 のビット 10 ~ 13 の対応するビットが 1 に変化したとき、CPU へ割り込み要求が可能な、インターバルタイマ機能として使用できます。

(2) チャンネル 1、2

ATU チャンネル 1 は 16 ビットフリーランニングカウンタ (TCNT1) と 6 本の 16 ビットジェネラルレジスタ (GR1A ~ F) を内蔵しています。TCNT1 はアップカウンタで、フリーランニング動作を行います。6 本のジェネラルレジスタ (GR1A ~ F) は、各々に対応する外部信号入出力端子 (TIOA0 ~ TIOF0) による、インプットキャプチャまたはアウトプットコンペアマッチレジスタとして使用することができます。また、後述の ATU チャンネル 10 と組合せると、ワンショットパルスのオフセット機能として使用することができます。

チャンネル 2 は 16 ビットフリーランニングカウンタ (TCNT2) と 2 本の 16 ビットジェネラルレジスタ (GR2A ~ B) を内蔵しています。チャンネル 1 とはジェネラルレジスタの本数が異なるだけで、同様の動作を行わせることができます。

その他、チャンネル 1 には 16 ビットインプットキャプチャ専用レジスタ (OSBR) を 1 本内蔵しています (チャンネル 2 には無い)。チャンネル 0 に入力する外部端子 TIA0 が、同時に OSBR のトリガとしても入力できるため、ツインキャプチャ機能として使用することができます。

(3) チャンネル 3、4、5

ATU チャンネル 3 およびチャンネル 4 は、各々 16 ビットフリーランニングカウンタ (TCNT3、4) と 4 本の 16 ビットジェネラルレジスタ (GR3A ~ D、4A ~ D) を内蔵しています。TCNT3、4 はアップカウンタで、フリーランニング動作を行います。4 本のジェネラルレジスタ (GR3A ~ D、4A ~ D) は、各々に対応する外部信号入出力端子 (TIOA3 ~ D3、TIOA4 ~ D4、TIOA5、TIOB5) をもち、インプットキャプチャまたはアウトプットコンペアマッチレジスタとして使用することができます。

また、チャンネル 3 およびチャンネル 4 はタイマモードレジスタ (TMDR) の PWM モード設定により、自動的に GR3D、4D がサイクルレジスタとして設定されます。PWM モードでは GR3D、4D 値と TCNT3、4 値の一致により、アウトプットコンペアマッチが発生すると、自動的にカウンタをクリアします。したがって、チャンネル 3 およびチャンネル 4 は、GR3A ~ C、4A ~ C をデューティレジスタ、GR3D、4D をサイクルレジスタとして、各々 3 チャンネルの PWM タイマとして使用することができます。

チャンネル 5 は 16 ビットカウンタ (TCNT5) と 2 本の 16 ビットジェネラルレジスタ (GR5A、B) を内蔵しています。チャンネル 3 とはジェネラルレジスタの本数が異なるだけで、同様の動作を行うこ

10. アドバンスドタイマユニット (ATU)

とができます。PWM モードでは、GR5A がデューティレジスタ、GR5B がサイクルレジスタとして設定されます。

(4) チャネル 6、7、8、9 (PWM 専用タイマ)

ATU チャネル 6~9 は、各々 16 ビットフリーランニングカウンタ (TCNT6~9)、16 ビットサイクルレジスタ (CYLR6~9)、16 ビットデューティレジスタ (DTR6~9) およびバッファレジスタ (BFR6~9) を内蔵しています。また、チャネル 6~9 は各々 1 本の外部出力端子 (TO6~TO9) をもち、バッファ機能付 PWM タイマとして使用することができます。TCNT はアップカウンタで、DTR 値 (DTR CYLR のとき) と一致すると対応する外部出力端子に 0 を出力します。さらに、CYLR 値 (DTR H'0000 のとき) と一致すると外部出力端子に 1 を出力すると同時に TCNT を H'0001 にクリアし、BFR 値を DTR に転送します。すなわち、チャネル 6~9 は CYLR 値をサイクル、DTR 値をデューティとする波形の出力を行うことができ、しかも DTR へのデータ設定タイミングと、コンペアマッチタイミングのタイムラグを BFR で吸収することができる構成になっています。端子とレジスタの相関は表 10.5 を参照してください。

なお、DTR CYLR のときは外部出力端子に 1 を出力し続け、デューティは 100% となります。DTR = H'0000 のときは外部出力端子に 0 を出力し続け、デューティは 0% となります。

(5) チャネル 10

ATU チャネル 10 は、8 本の 16 ビットダウンカウンタ (DCNT10A~10H) を内蔵しています。また、各々外部出力端子 (TOA10~TOH10) をもっています。DCNT 値を設定してユーザプログラムにより DCNT の動作を開始して外部出力端子に 1 を出力し、DCNT のアンダフローするタイミングでカウント動作を停止して外部出力端子に 0 を出力させることによりワンショットパルス出力ができます。

また、チャネル 1 あるいはチャネル 2 のアウトプットコンペア機能と連動させることができ、コンペアマッチ信号により DCNT の動作を開始して外部出力端子に 1 を出力し、DCNT のアンダフローするタイミングでカウント動作を停止して 0 を出力させることによりワンショットパルスを発生するオフセット付ワンショットパルス出力ができます。

(6) プリスケーラ

ATU は、2 段構成になっている専用のプリスケーラを内蔵しています。1 段目のプリスケーラは 5 ビットのプリスケーラレジスタ (PSCR1) を 1 本内蔵し、1~32 分の 1 分周のうちの任意の 1 種類の分周指定ができます。また、1 段目のプリスケーラは、 ϕ クロックの分周したクロック (ϕ') を 2 段目のプリスケーラおよびチャネル 0 に供給します。2 段目のプリスケーラでは 1 段目で分周されたクロック (ϕ') を、更に 2 のべき乗分の 1 (べき数は 0 以上 5 以下) の 6 種類のクロック (ϕ'') に分周し、チャネル 1~チャネル 10 へ供給します。

チャネル 1~チャネル 9 では、2 段目のプリスケーラによって分周された 6 種類のクロック (ϕ'') から 1 種類選択して、使用することができます。チャネル 10 は ϕ'' から 2 種類のクロックを選択でき、DCNT10A~DCNT10F で 1 系統、DCNT10G、DCNT10H で 1 系統のクロック入力ができます。

10.3.2 フリーランニングカウンタ動作と周期カウンタ動作

ATU チャンネル0~5のカウンタ (TCNT) は、リセット直後は、すべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー (チャンネル0 : H'FFFFFFF H'00000000、チャンネル1~5 : H'FFFF H'0000) するとタイマステータスレジスタ (TSR) の OVF ビットが1にセットされます。このとき、対応するタイマインタラプトイネーブルレジスタ (TIER) の OVE ビットが1ならばCPUに割り込みを要求します。TCNT はオーバーフロー後、H'00000000 または H'0000 から再びアップカウントを続けます。

また、タイマスタートレジスタ (TSTR) 値を途中で0に設定すると、対応するフリーランニングカウンタ (TCNT) のカウントアップが停止するのみであり、フリーランニングカウンタ (TCNT) および ATU の全レジスタの初期化は行われません。なお、外部出力値は TSTR を0に設定した時点の値が出力し続けます。

フリーランニングカウンタの動作を図 10.11 に示します。

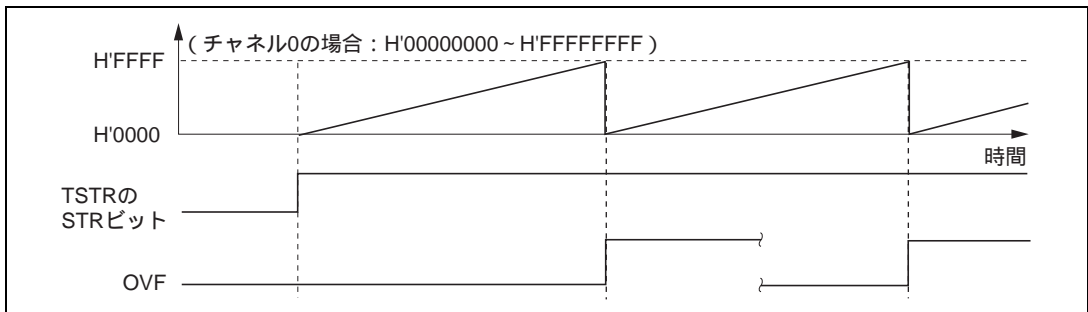


図 10.11 フリーランニングカウンタの動作

ATU チャンネル6~9のフリーランニングカウンタ (TCNT) は無条件で周期カウンタ動作を行います。また ATU チャンネル3~5のフリーランニングカウンタ (TCNT) は、タイマモードレジスタ (TMDR) の T3PWM~T5PWM ビットに1をセットすると、周期カウンタ動作を行います。また、ATU チャンネル3~5のTCNTは、T3PWM~T5PWMが0のときでも、タイマ I/O コントロールレジスタ (TIOR) の対応するCCIビットを1をセットすると周期カウンタ動作を行います。チャンネル3,4の場合はGR3D、4Dが、チャンネル5の場合はGR5Bが、チャンネル6~9の場合はCYLRが、カウンタTCNTとコンペアマッチすると当該TCNTがクリアされます (カウンタクリア機能)。これにより周期カウンタ動作を行います。TMDR設定後、TSTRの対応するSTRビットを1にセットすると周期カウンタとしてカウントアップを開始します。カウント値がGR3D、GR4D、GR5BあるいはCYLR値と一致すると、タイマステータスレジスタD (TSRD) のIMF3D、IMF4D、IMF5B (チャンネル6~9の場合はTSREのCMF)の対応するビットに1がセットされ、TCNTはH'0000 (チャンネル6~9の場合は、TCNTはH'0001)にクリアされます。

このとき、TIERの対応するビットが1ならば、CPUに割り込み要求をします。TCNTはコンペアマッチ後、H'0000 (チャンネル6~9の場合は、H'0001)から再びアップカウント動作を続けます。

周期カウンタの動作を図 10.12 に示します。

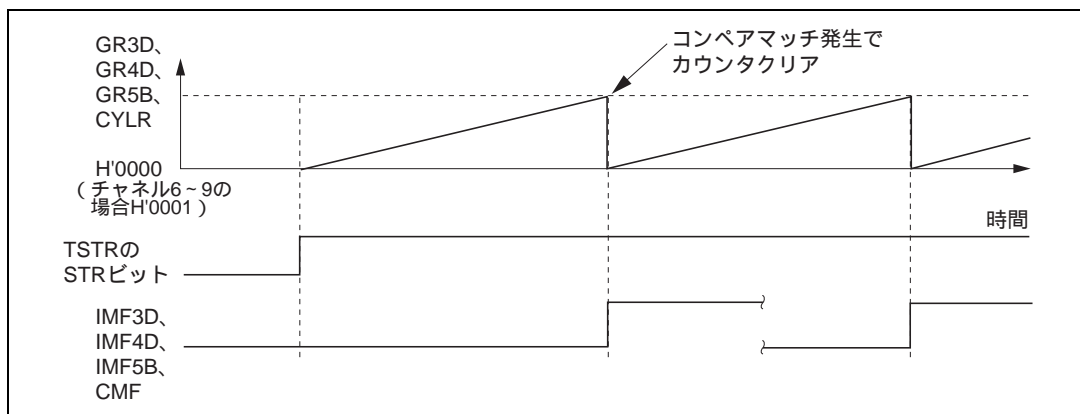


図 10.12 周期カウンタの動作

10.3.3 アウトプットコンペアマッチ機能

ATU チャンネル 1~5 はタイマ I/O コントロールレジスタ (TIOR0~5) にアウトプットコンペアマッチ指定を行うことにより、対応する外部端子 (TIOA1~TIOF1, TIOA2, TIOB2, TIOA3~TIOD3, TIOA4~TIOD4, TIOA5, TIOB5) にアウトプットコンペアマッチによる波形出力を行います。タイマスタートレジスタ (TSTR) への 1 設定により、フリーランニングカウンタ (TCNT) がカウントアップを開始します。あらかじめジェネラルレジスタ (GR1A~GR1F, GR2A, GR2B, GR3A~GR3D, GR4A~GR4D, GR5A, GR5B) に任意の数値を設定しておき、カウンタ値が対応するジェネラルレジスタと一致すると、対応する外部端子から波形を出力します。

また、タイマ I/O コントロールレジスタ (TIOR) により外部出力値の選択、およびカウンタクリア機能 (チャンネル 3~5 のみ) の指定ができます。外部出力値は 1 出力 / 0 出力 / トグル出力の選択が可能です。カウンタクリア機能を指定すると、対応するジェネラルレジスタと TCNT とのコンペアマッチにより、当該 TCNT を H'0000 にクリアします。インタラプトイネーブルレジスタ (TIER) への設定により、アウトプットコンペアマッチ時に、CPU へ割り込み要求ができます。

フリーランニングカウンタおよびアウトプットコンペアマッチの動作例を図 10.13 に示します。

図 10.13 は、ATU チャンネル 1 を起動し、GR1A によるアウトプットコンペアマッチでは 1 出力指定、GR1B によるアウトプットコンペアマッチでは 0 出力指定、また、GR1C によるアウトプットコンペアマッチではトグル出力指定で外部出力動作をさせた場合の例です。

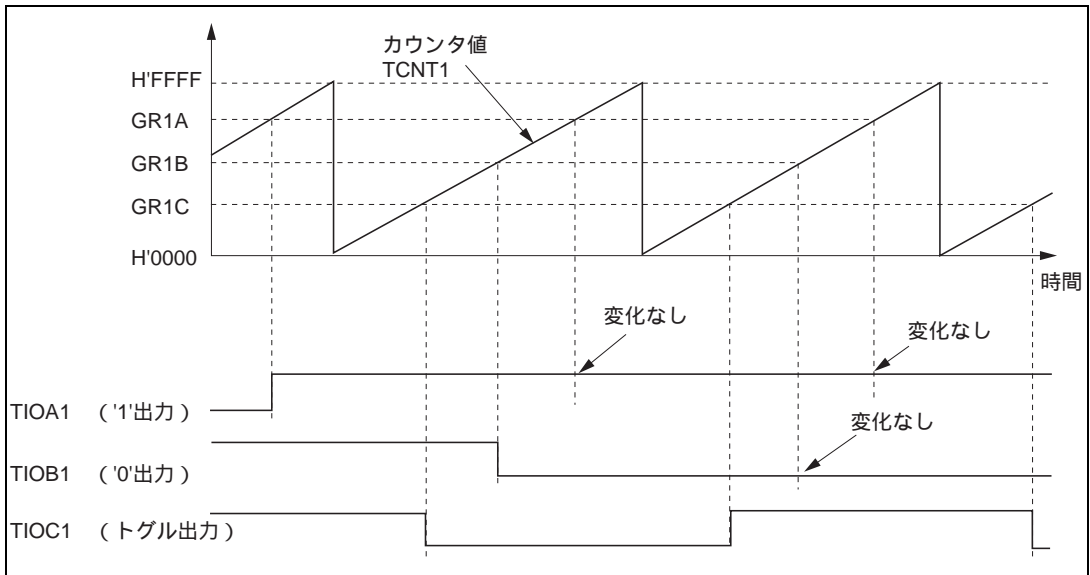


図 10.13 アウトプットコンペアマッチ動作例

10.3.4 インพุットキャプチャ機能

ATU チャンネル 0~5 はタイマ I/O コントロールレジスタ (TIOR) にインพุットキャプチャ指定を行った場合、対応する外部端子 (TIA0~TID0、TIOA1~TIOF1、TIOA2、TIOB2、TIOA3~TIOD3、TIOA4~TIOD4、TIOA5、TIOB5) からインพุットキャプチャトリガ信号を入力します。タイマスタートレジスタ (TSTR) への 1 設定により、各々のフリーランニングカウンタ (TCNT) がカウントアップを開始します。上記の外部端子からトリガ信号を入力することにより、カウンタ値が対応するレジスタ (ICR0AH/L~ICR0DH/L、OSBR、GR1A~GR1F、GR2A、GR2B、GR3A~GR3D、GR4A~GR4D、GR5A、GR5B) に転送されます。

また、タイマ I/O コントロールレジスタ (TIOR) への設定により、外部トリガ入力データの検出エッジの選択ができます。エッジ検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。インタラプトイネーブルレジスタ (TIER) への設定により、CPU へ割り込み要求ができます。

フリーランニングカウンタおよびインพุットキャプチャの動作例を図 10.14 に示します。

図 10.14 は、ATU チャンネル 1 を起動し、TIOA1 は立ち上がりエッジ指定、TIOB1 は両エッジ検出指定でインพุットキャプチャ動作をさせた場合の例です。

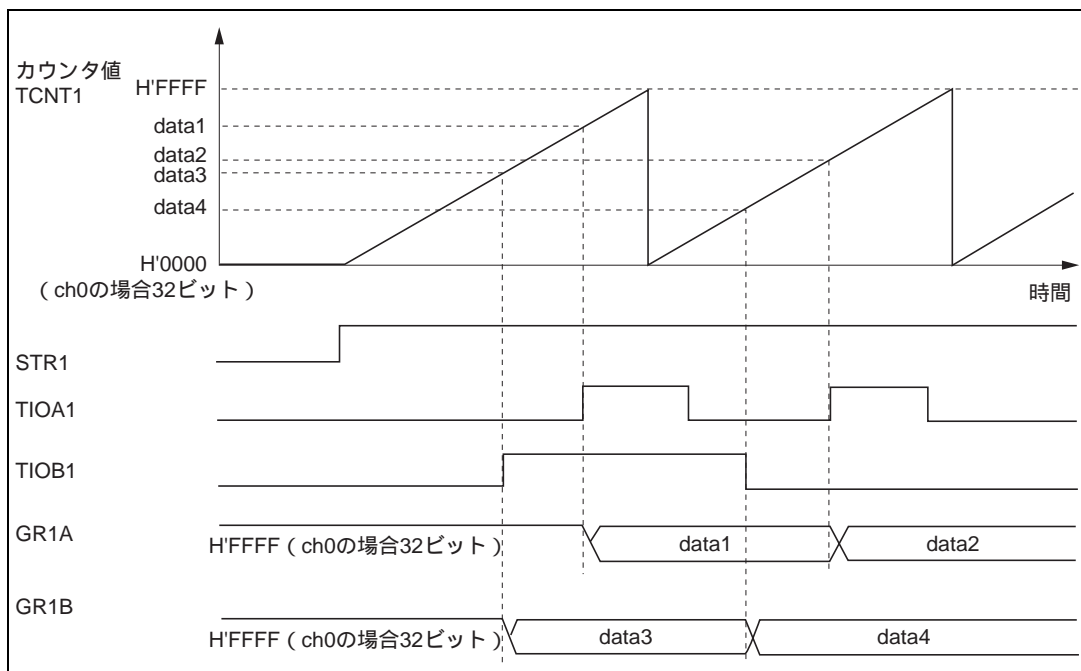


図 10.14 インพุットキャプチャ動作例

10.3.5 ワンショットパルス機能

ATU チャンネル 10 は、8 本のダウンカウンタ (DCNT10A ~ 10H) と対応する外部端子 (TOA10 ~ TOH10) をワンショットパルス出力用端子として使用できます。

ワンショットパルスを発生するには、まずダウンカウンタ (DCNT) にワンショットパルス幅を設定し、次に対応するダウンカウントスタートレジスタ (DSTR) のビット (DST10A ~ DST10H) をユーザプログラムにより 1 に設定すると、タイマコントロールレジスタ (TCR) で設定したクロックでダウンカウントを開始します。ダウンカウント開始と同時に対応する外部端子 (TOA10 ~ TOH10) に 1 を出力します。ただし、DCNT 値が 0 の時は DST を 1 にセットしても外部端子は 0 のままであり、ワンショットパルスを発生しませんが、割り込みが発生します。そして DCNT 値がアンダフローする時点で DCNT と当該 DST ビットは自動的に 0 にクリアされ、DCNT はカウントをストップします。同時に対応する外部端子に 0 を出力します。

タイマインタラプトイネーブルレジスタ (TIERF) への設定により、対応するダウンカウンタ (DCNT10A ~ DCNT10H) が 0 になり、CPU へ割り込み要求ができます。

なお、ダウンカウント中強制的に出力端子を 0 にしたい場合は、DST をユーザプログラムで 0 クリアできないため DCNT を 0 にセットしてください。このとき、DCNT 値がアンダフローする時点で DCNT と当該 DST ビットは自動的に 0 にクリアされ、DCNT はカウントをストップします。同時に対応する外部端子に 0 を出力します。

ワンショットパルスの動作例を図 10.15 に示します。

図 10.15 は、ユーザプログラムによる DCNT10A へのワンショットパルス幅 dataA、dataB を設定し、DST10A への 1 ライトによるワンショットパルス出力をさせた場合の例です。

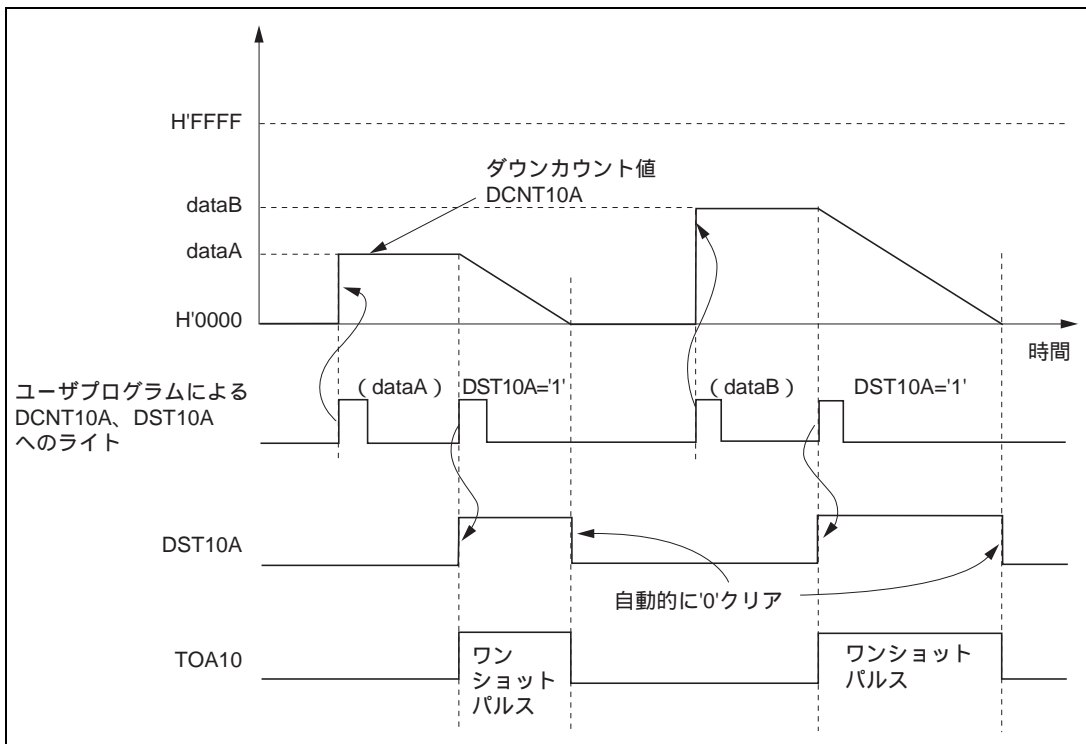


図 10.15 ワンショットパルス動作例

10.3.6 オフセット付ワンショットパルス機能

ATU チャンネル 10 のダウンカウンタ (DCNT) は、タイマコネクションレジスタ (TCNR) の CN10A ~ 10H ビットに 1 を設定することにより、チャンネル 1、2 のフリーランニングカウンタ (TCNT) とジェネラルレジスタ GR によるコンペアマッチ機能と連動させて使用することができます。また、同時にチャンネル 10 の 8 本の DCNT10A ~ 10H と対応する外部端子 (TOA10 ~ TOH10) をオフセット付ワンショットパルス出力用端子として使用することができます。

タイマスタートレジスタ (TSTR) の STR1、STR2 ビットに 1 を設定することにより、チャンネル 1、2 の TCNT1、2 がカウントアップを開始します。TCNT1、2 とジェネラルレジスタ (GR1A ~ GR1F、GR2A、GR2B) の値と一致すると、GR に対応する TCNR の CN10A ~ 10H ビットに対応するダウンカウントスタートレジスタ (DSTR) のビットが自動的に 1 に変化して、ダウンカウントを開始します。ダウンカウント開始と同時に対応する外部端子 (TOA10 ~ TOH10) に 1 を出力します。ただし、DCNT 値が 0 の時は DST を 1 にセットしても外部端子は 0 のままであり、ワンショットパルスを発生しませんが、割り込みが発生します。そして DCNT 値がアンダフローする時点で DCNT と当該 DST ビットは自動的に 0 にクリアされ、DCNT はカウントをストップします。同時に対応する外部端子に 0 を出力します。ジェネラルレジスタとの次の一致以前に、CPU から DCNT にカウント値を設定すれば、ワンショットパルスを連続的に出力することが可能です。オフセット付ワンショットパルス機能使用中に DSTR を書き換えてはいけません。

タイマインタラプトイネーブルレジスタ (TIERF) への設定により、対応するダウンカウンタ (DCNT10A ~ DCNT10H) が 0 になり 1 クロック経過した時点で、CPU へ割り込み要求ができます。

なお、ダウンカウント中、強制的に出力端子を 0 にしたい場合は、DST をユーザプログラムで 0 クリアできないため DCNT を 0 に設定してください。このとき、DCNT 値がアンダフローするタイミングで DCNT と当該 DST ビットは自動的に 0 にクリアされ、DCNT はカウントをストップします。同時に対応する外部端子に 0 を出力します。

オフセット付ワンショットパルスの動作例を図 10.16 に示します。

図 10.16 は、ATU チャンネル 1 のフリーランニングカウンタを起動し、GR1A によるアウトプットコンペアマッチと、GR1A と対応するチャンネル 10 の DCNT10A によるオフセット付ワンショットパルス出力をさせた場合の例です。

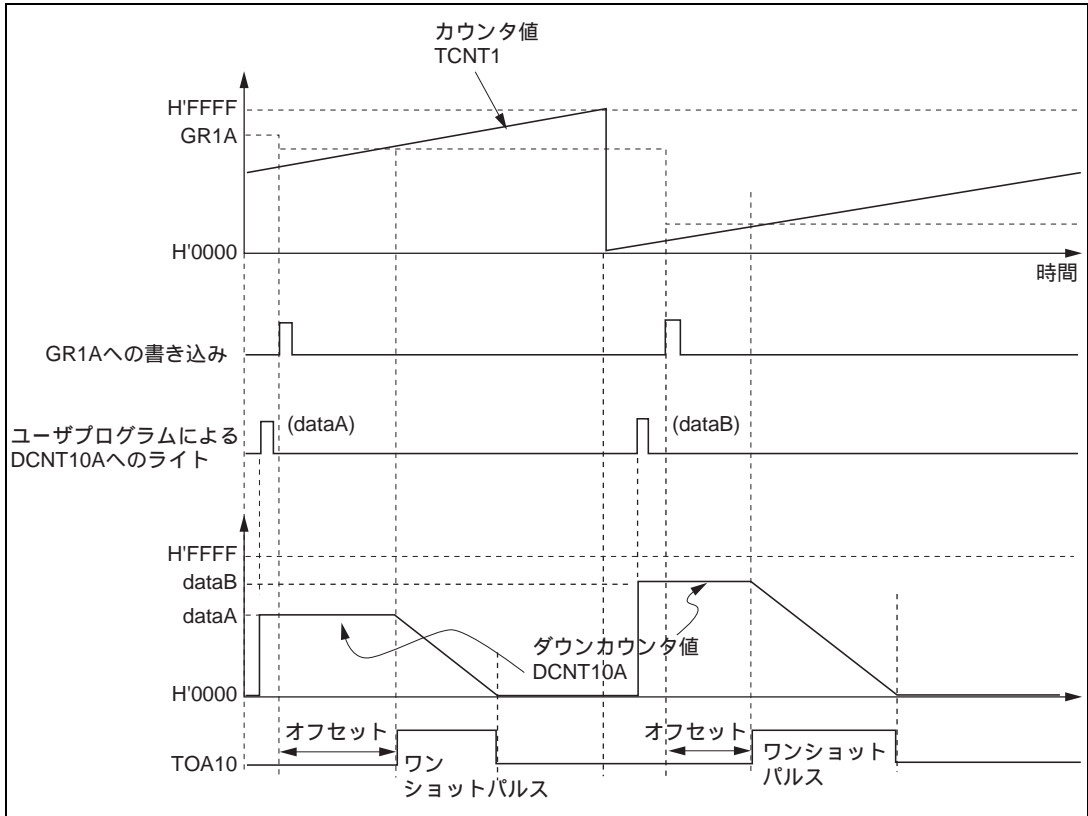


図 10.16 オフセット付ワンショットパルス出力動作例

10.3.7 インターバルタイマ機能

インターバルインタラプトリクエストレジスタ (ITVRR) の 8 ビットは、チャンネル 0 の 32 ビットフリーランニングカウンタ (TCNT0H, L) の TCNT0L のビット 10~13 と接続されています。上位 4 ビット (ITVAD3~0) は A/D 変換器のサンプリング起動用で、下位 4 ビット (ITVE3~0) は割り込みコントローラ (INTC) への信号を発生するものです。

A/D 変換器起動の場合は、TCNT0L のビット 10~13 にエッジセンサを設け、ITVRR の上位 4 ビット (ITVAD3~0) に 1 を設定することにより TCNT0L の対応するビットが 1 に変化したとき、A/D チャンネル 0 のサンプリングを起動します。

INTC への割り込み信号の場合は、TCNT0L のビット 10~13 をエッジセンサで検出後、ITVRR の下位 4 ビット (ITVE3~0) に 1 を設定することにより TCNT0L の対応するビットが 1 に変化したとき、タイマステータスレジスタ (TSRAH) の対応するフラグ IIF0~3 を 1 にセットし、INTC への割り込みを発生します。ただし、以上の割り込み 4 要因に対し、割り込みベクタアドレスは 1 アドレスのみの構成になっています。したがって、ITVRR の ITVE3~0 の複数ビットを指定すると、指定したビットに対応する TCNT0 の、どれか 1 ビットでも 1 に変化すると同じベクタに分岐制御されます。

INTC への割り込みを発生したくない場合や、A/D のサンプリングを起動を行いたくない場合は ITVRR をすべて 0 に設定してください。

インターバルタイマの概略を図 10.17 に示します。

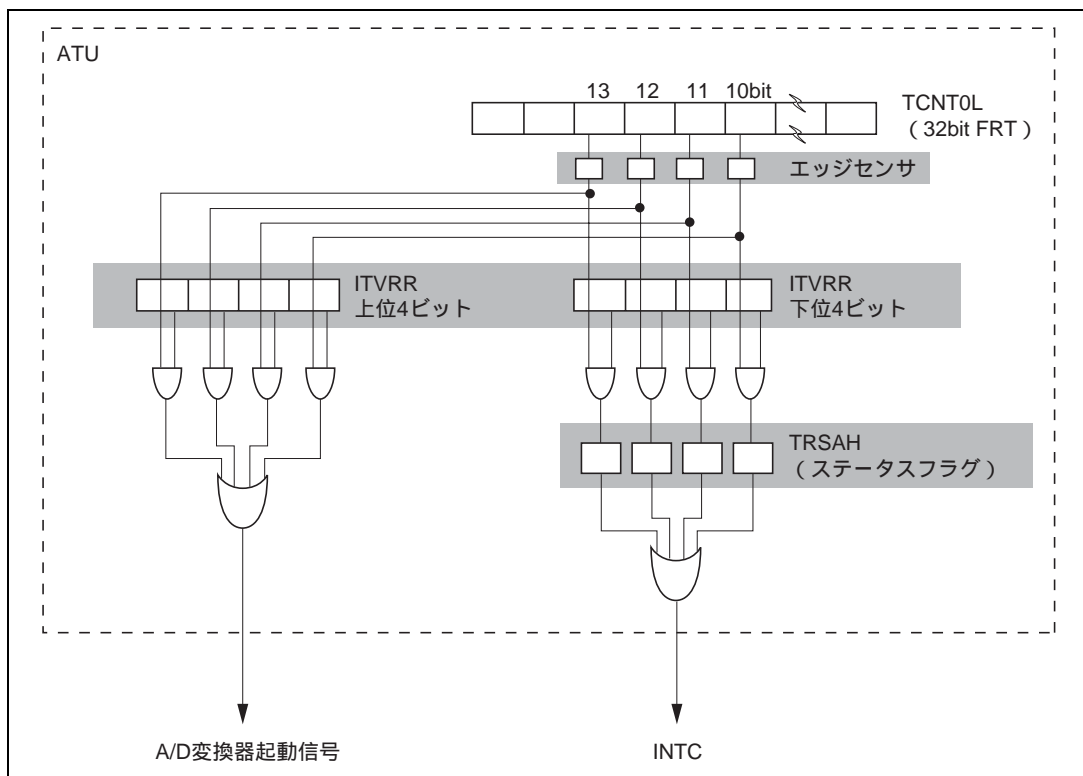


図 10.17 インターバルタイマ概略図

TCNT0、ビット検出の動作例を図 10.18 に示します。

図 10.18 は、ITVRR の ITVE1 に 1 を設定して、フリーランニングカウンタ 0 (TCNT0) を起動させたときの動作例です。

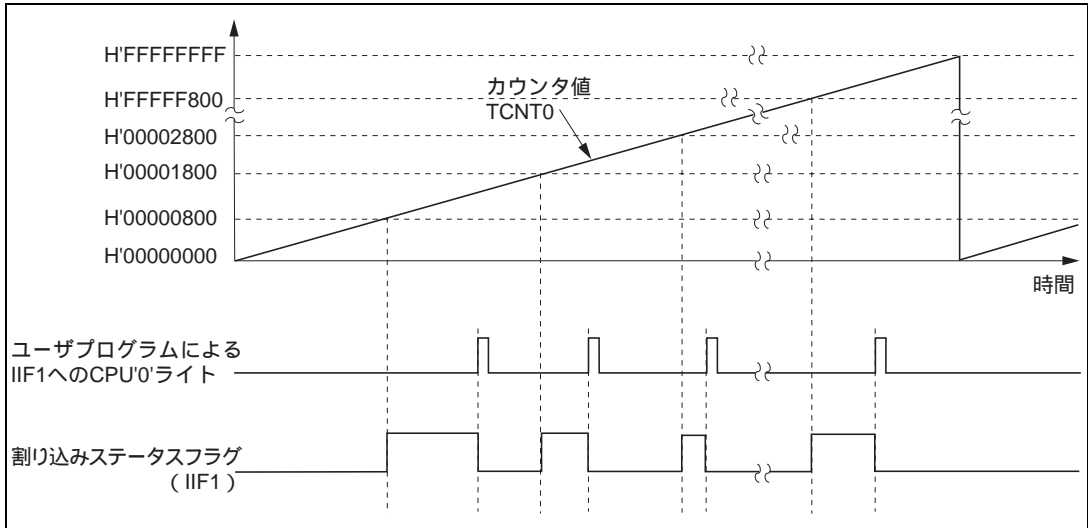


図 10.18 インターバルタイマ動作例

10.3.8 ツインキャプチャ機能

ATU チャンネル0 の ICR0A と、チャンネル1 の OSBR は、タイマ I/O コントロールレジスタ (TIOR0A) への設定により同じトリガによってインプットキャプチャ動作を行うことができます。タイマスタートレジスタ (TSTR) への設定により、ATU チャンネル0 のカウンタ (TCNT0) とチャンネル1 のカウンタ (TCNT1) を起動させ、ICR0A のインプットキャプチャ入力端子 (TIA0) からトリガ信号を入力すると、TCNT0 値を ICR0A へ、TCNT1 値を OSBR に転送させることができます。TIA0 からトリガ入力端子のエッジ検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。

また、タイマインタラプトイネーブルレジスタ (TIER) への設定により、インプットキャプチャの発生タイミングで、CPU へ割り込み要求ができます。

ツインキャプチャの動作例を図 10.19 に示します。

図 10.19 は、両エッジ検出指定によりツインキャプチャを起動させたときの動作例です。

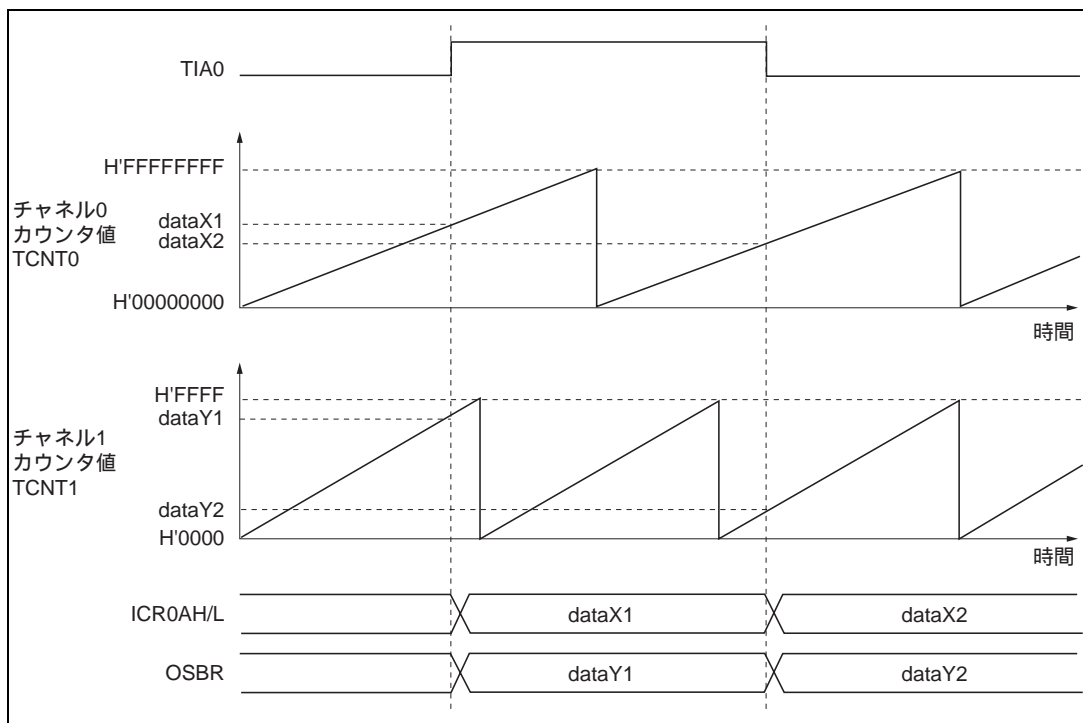


図 10.19 ツインキャプチャ動作例

10.3.9 PWM タイマ機能

ATU チャンネル 6~9 は無条件で、また ATU チャンネル 3~5 のタイマモードレジスタ (TMDR) の対応する T3PWM~T5PWM ビットに 1 を設定することにより PWM モードになり、PWM タイマとして使用することができます。

ATU チャンネル 6~9 は、フリーランニングカウンタ (TCNT) を起動させると、対応するデューティレジスタ (DTR6~9) の値が 0 の場合、外部端子に 0 を出力します。対応する DTR6~9 値が 0 でない場合、外部端子に 1 を出力します。TCNT がカウントアップを始め、DTR6~9 値と一致すると、対応する外部端子に 0 を出力します (ただし、デューティを 100% に設定している時は 1 を出力します)。さらに、TCNT がカウントアップを続け、サイクルレジスタ (CYLR) 値と一致すると対応する外部端子に 1 を出力します (ただし、デューティを 0% に設定している時は 0 を出力します)。同時にカウンタを 0 にクリアします。デューティを 0% に設定する場合は DTR = H'0000 に設定してください。デューティを 100% に設定する場合は DTR = CYLR に設定してください。

端子およびレジスタの相関は表 10.5 を参照してください。また、ATU チャンネル 6~9 のバッファ機能については、「10.3.10 バッファ機能」をご参照ください。

図 10.20 に、チャンネル 6~9 の PWM 動作例を示します。図 10.20 は、CYLR6~8 に H'F000、DTR6 に H'F000、DTR7 に H'7000、DTR8 に H'0000 を設定して、ATU チャンネル 6~8 を同時に起動し、外部端子 (TO6~TO8) に波形出力 (100%、50%、0%) をさせた場合の例です。

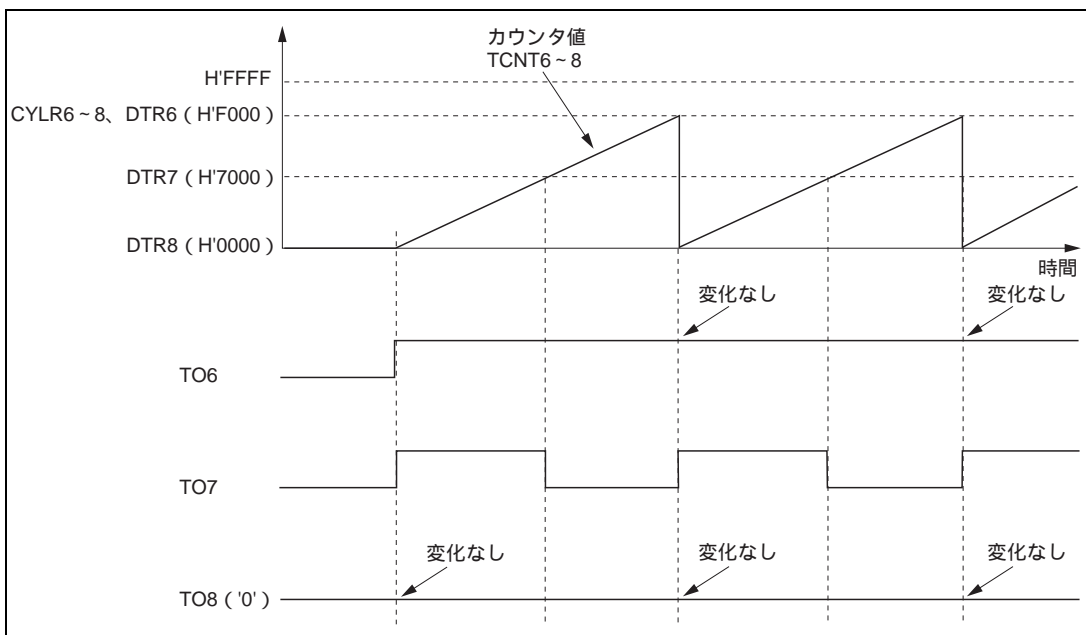


図 10.20 PWM 波形出力動作例

10. アドバンスタイマユニット (ATU)

ATU チャンネル 3~5 は、PWM モード時、対応するジェネラルレジスタ GR3D、GR4D、GR5B がサイクルレジスタ、GR3A~GR3C、GR4A~GR4C、GR5A がデューティレジスタになります。また、同時に対応する外部端子(TIOA3~TIOC3、TIOA4~TIOC4、TIOA5)が PWM 波形出力端子になります。チャンネル 3、4 はサイクルレジスタ 1 本に対してデューティレジスタ 3 本で該当する出力端子は全て共通の周期になります。

また、ATU チャンネル 3~5 は、PWM モード時、デューティ 0% の波形を出力させる設定はできません。デューティを 0% に設定したい場合はチャンネル 6~9 を使用してください。また、デューティを 100% (GR3A、B、C GR3D、GR4A、B、C GR4D または GR5A GR5B) に設定すると常に 1 出力しますが、デューティを 100% に設定したい場合でもチャンネル 6~9 を使用することをお勧めします。

図 10.21 にチャンネル 3~5 の PWM 動作例を示します。図 10.21 は、GR3D に H'F000、GR3A に H'F000、GR3B に H'7000、GR3C に H'0000 を設定して、ATU チャンネル 3 を起動し、外部端子(TIOA3~TIOD3) に波形出力させた場合の例です。

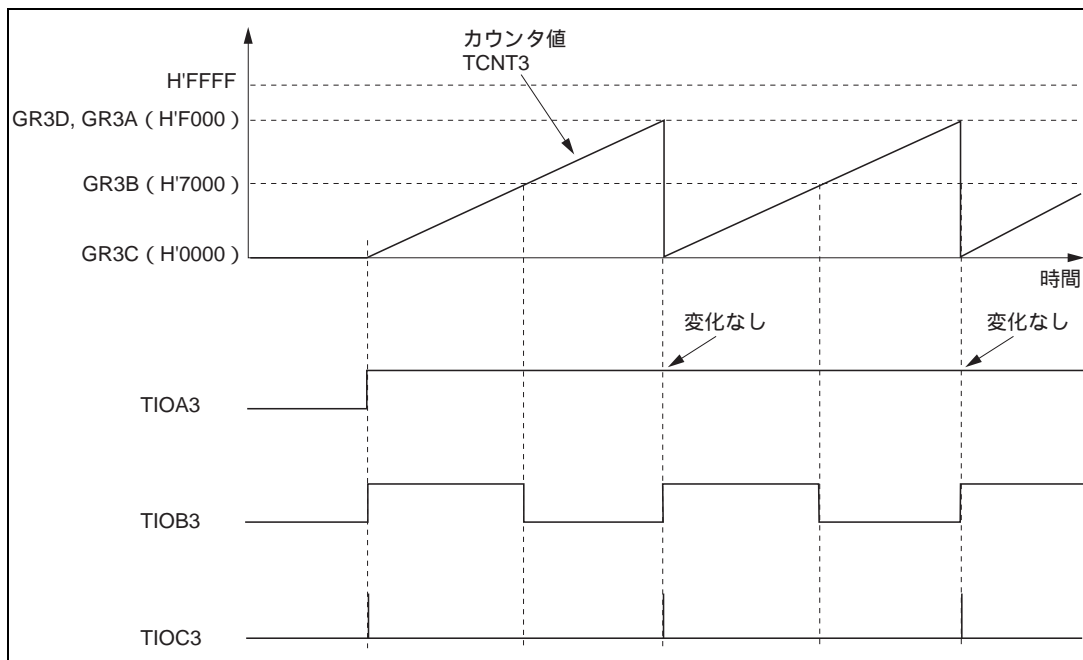


図 10.21 PWM 波形出力動作例

10.3.10 バッファ機能

ATU チャンネル 6~9 は、各々フリーランニングカウンタ (TCNT6~9)、サイクルレジスタ (CYLR6~9)、デューティレジスタ (DTR6~9) およびバッファレジスタ (BFR6~9) を内蔵しています。サイクルレジスタおよびデューティレジスタの、カウンタとの一致による PWM 波形出力動作は「10.3.9 PWM タイマ機能」に示すとおりです。ただし、チャンネル 6~9 にはバッファ機能があり、サイクルレジスタとカウンタとの一致タイミングで、対応するバッファレジスタ値を対応するデューティレジスタに転送します。タイマインタラプトイネーブルレジスタ E (TIERE) の対応するビットに 1 を設定すると、サイクルレジスタ値とカウンタ値のコンペアマッチタイミングで、CPU へ割り込み要求ができます。

図 10.22 にバッファ機能付 PWM 動作例を示します。

図 10.22 は、最初、BFR6 に H'4000、DTR6 に H'A000、CYLR6 に H'F000 をセットして PWM 動作をスタートさせた後、途中 BFR6 の値を H'B000 および H'7000 に更新し、デューティの異なる波形を外部端子 TO6 に連続的に出力させた場合の例です。

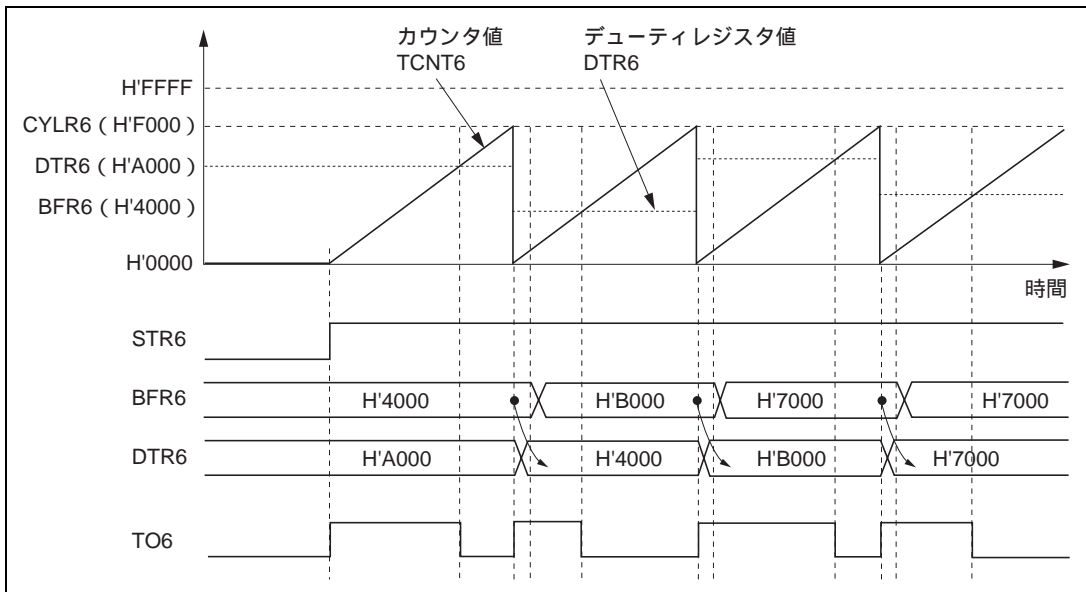


図 10.22 バッファ機能付 PWM 波形出力動作例

10.3.11 ワンショットパルス機能のパルス出力タイミング

ダウンカウントスタートフラグ (DST) がセットされてから、DCNT がカウントダウンを開始するまでに、最大、DCNT 入力クロックの 1 カウントクロック分の「遅れ」があります。また、ワンショットパルス出力は、CK の 1 ステート遅れで変化します。ただし、ワンショットパルス出力のパルス幅に誤差はありません。

パルス幅を H'0005 としたときの例を図 10.23 に示します。

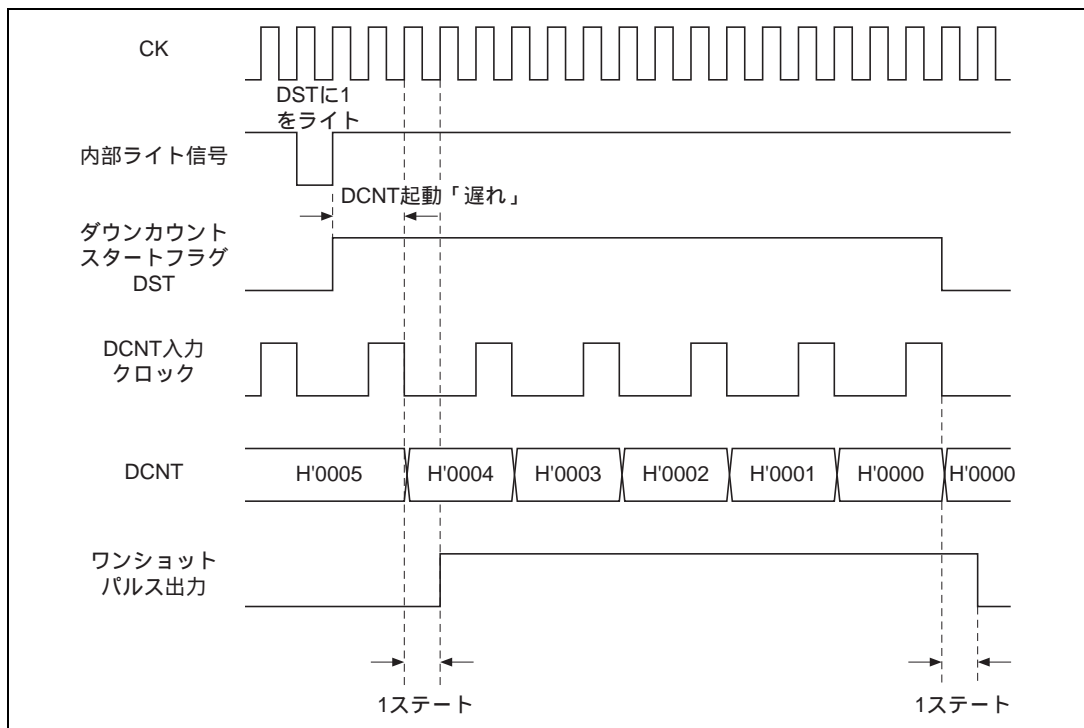


図 10.23 ワンショットパルス機能のパルス出力タイミング

10.3.12 オフセット付ワンショットパルス機能のパルス出力タイミング

チャンネル 1、2 でのフリーランニングカウンタ (TCNT) とジェネラルレジスタ (GR) のコンペアマッチの発生から、チャンネル 10 のダウンカウントスタートフラグ (DST) がセットされるまでに、CK の 1 ステート遅れます。更に、DST フラグがセットされてから、DCNT がカウントを開始するまでに、最大、DCNT 入力クロックの 1 カウントクロック分の「遅れ」があります。ワンショットパルス出力はさらに CK の 1 ステート遅れで変化します。ただし、ワンショットパルス出力のパルス幅に誤差はありません。

オフセット幅を H'0100、パルス幅を H'0003 としたときの例を図 10.24 に示します。

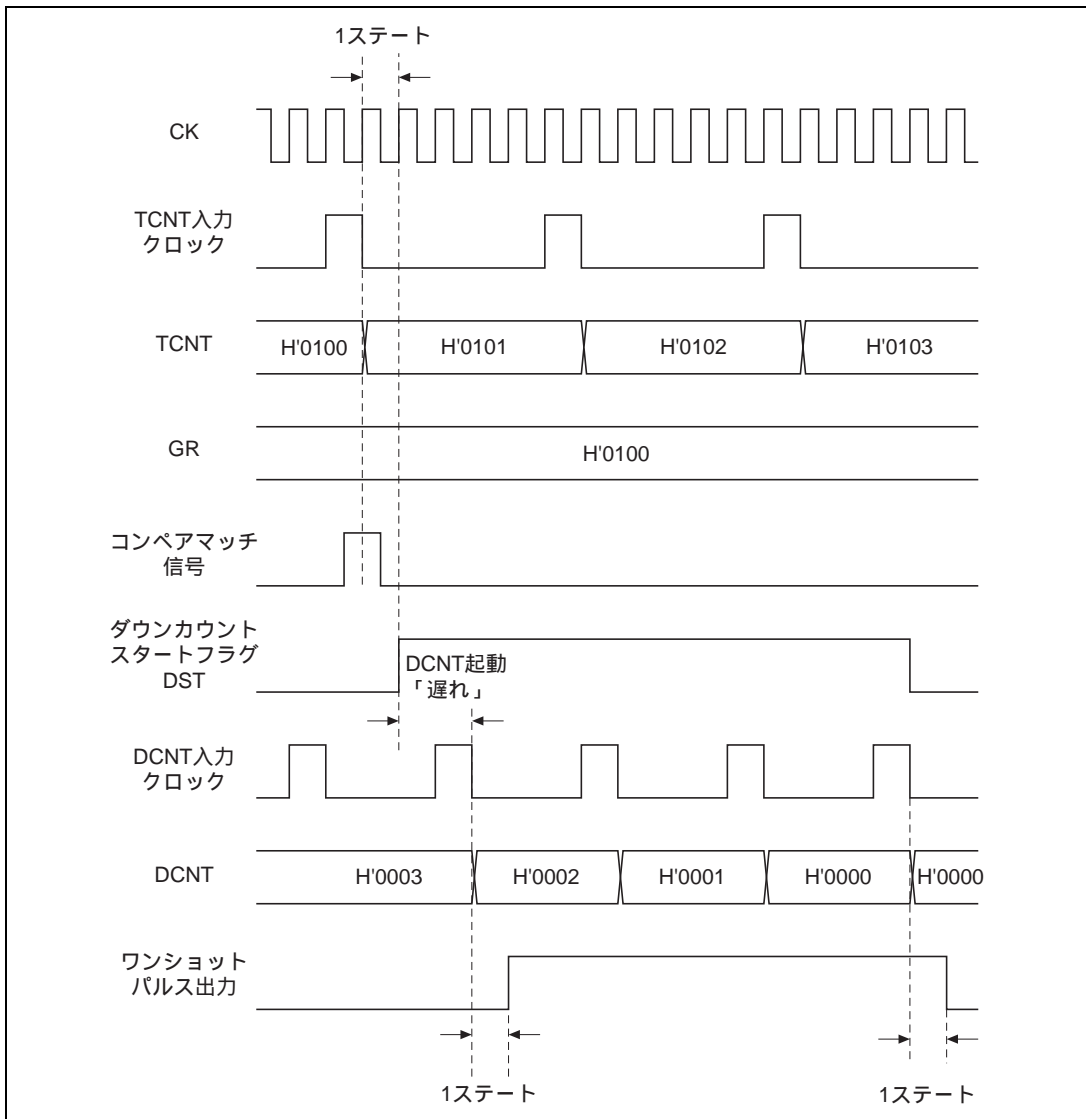


図 10.24 オフセット付ワンショットパルス機能のパルス出力タイミング

10.3.13 チャンネル 3~5 の PWM 出力波形の実サイクルと実デューティ

チャンネル 3~5 の PWM モード時では、サイクルレジスタ値に対応する実サイクルは、サイクルレジスタ値より TCNT 入力クロックで 1 クロック分大きく、デューティレジスタ値に対応する実サイクルは、デューティレジスタ値より TCNT 入力クロックで 1 クロック分大きくなっています。これは、フリーランニングカウンタ (TCNT3~5) をクリアした時の値が H'0000 であるために起こる現象です。

このタイミングを図 10.25 に示します。これは、サイクルレジスタ値として H'0005 を設定し、デューティレジスタ値として H'0000、実サイクルは H'0006、実デューティは H'0001 となる動作例です。

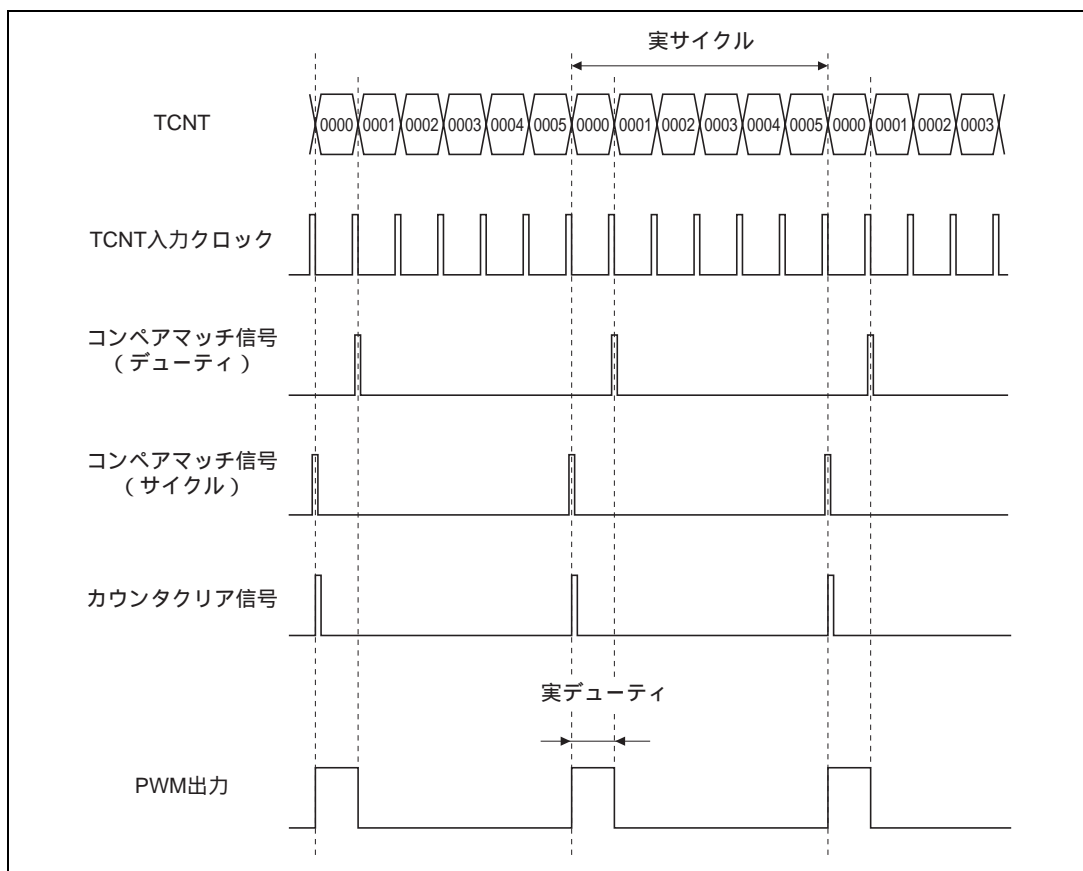


図 10.25 チャンネル 3~5 の PWM 出力の波形とカウンタ動作

10.3.14 チャンネル 3~5 の PWM 出力波形の設定と割り込み処理時間

チャンネル 3~5 は、PWM モード時またはカウンタクリア機能設定時、コンペアマッチ発生と同じタイミングでジェネラルレジスタ (GR) を書き換える機能 (バッファ機能) がないために、コンペアマッチの発生から GR を書き換えるまでに要する時間より高い分解能を持つ波形出力ができない場合があります。

このタイミングを図 10.26 に示します。これはチャンネル 5 を PWM モードにし、GR5A に H'00FE を設定し、GR5B に H'00FF を設定して、フリーランニングカウンタ 5 (TCNT5) を起動させ、GR5B とのコンペアマッチ発生後、割り込み処理として GR5A に H'0000 (デューティ 0%) を設定した時、TCNT5 はすでに H'0002 になっているためにすぐにはデューティ 0% 波形を出力できず、次に GR5A とコンペアマッチが発生するまで '1' を出力し続けてしまう場合の動作例です。

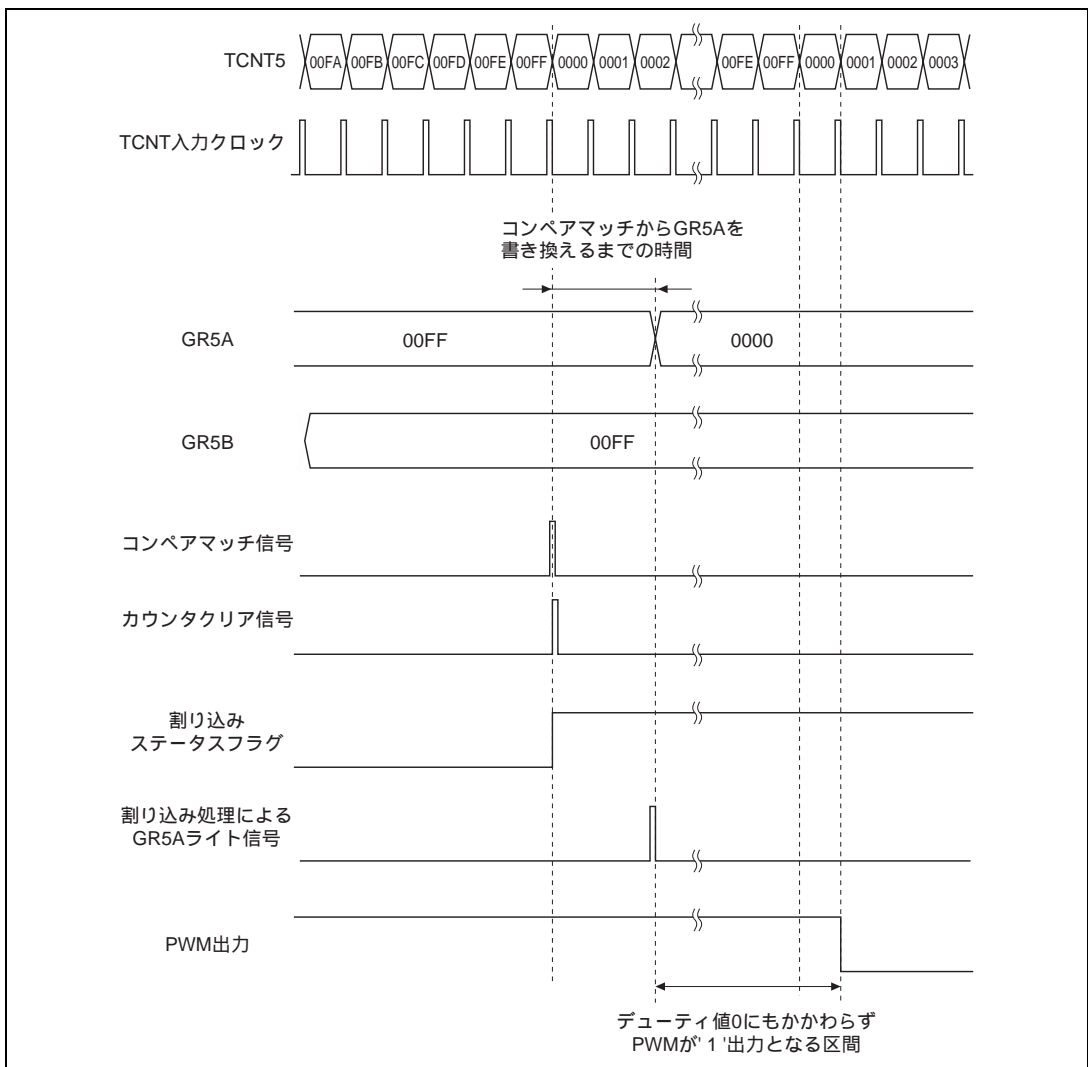


図 10.26 チャンネル 5、デューティ 100%~0%の切り替わりのタイミングでの波形

10.3.15 チャンネル 3~5 のカウンタスタート時の PWM 出力動作

チャンネル 3~5 の PWM モード時では、フリーランニングカウンタ (TCNT3~5) の PWM 出力は、カウンタスタート時の第 1 周期では 1 出力しません。ただし、第 1 周期のデューティレジスタ値との一致時、割り込みステータスフラグが 1 になります。

このタイミングを図 10.27 に示します。これは、デューティレジスタ値として H'0003、サイクルレジスタ値として H'0005 を設定したときの動作例です

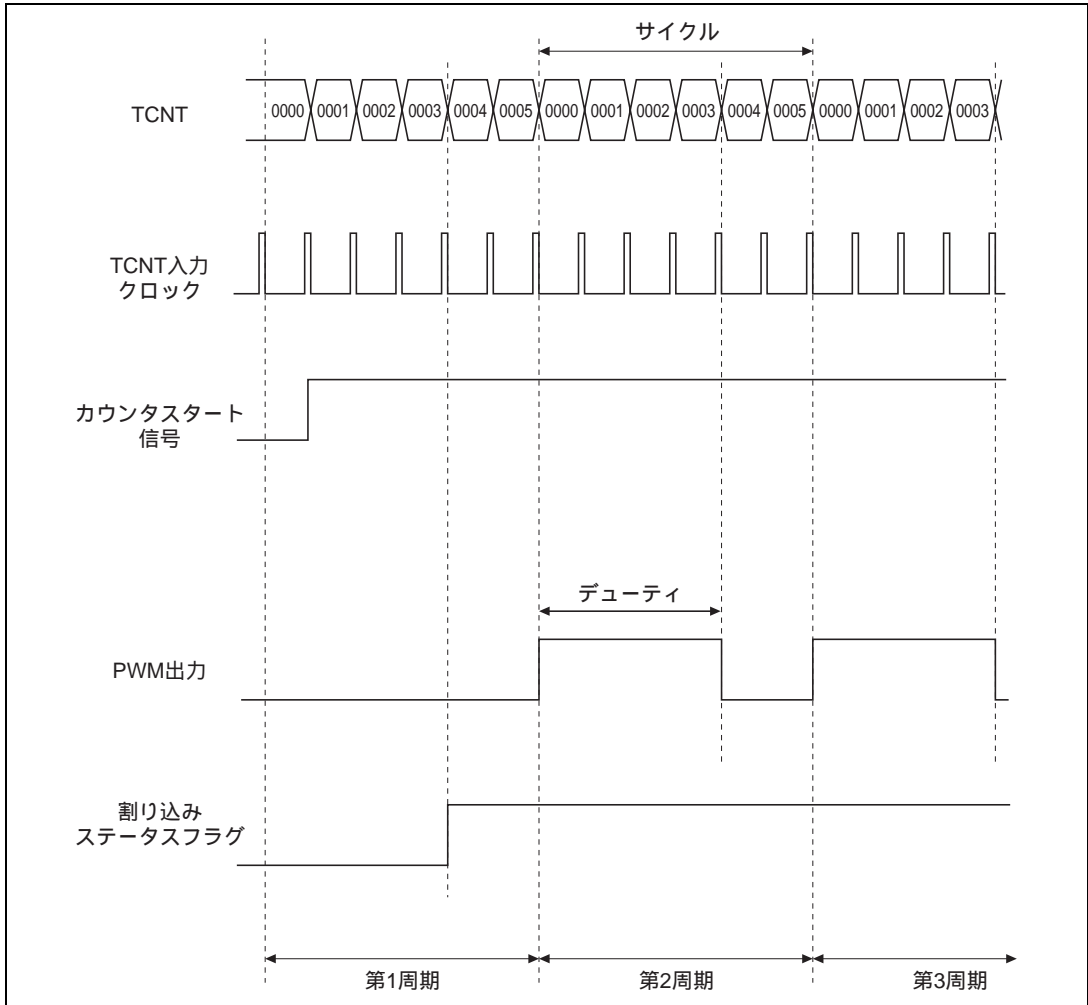


図 10.27 チャンネル 3~5 の PWM 出力の波形

10.3.16 チャンネル 6~9 のカウンタスタート時の PWM 出力動作

チャンネル 6~9 は、フリーランニングカウンタスタート時の第 1 周期の波形に、サイクルレジスタ値あるいはデューティレジスタ値と、実際の出力波形との間に最大 TCNT 入力クロックの誤差が発生します。(第 2 周期以降の波形には誤差はありません)。これは、TCNT 入力クロックのタイミングに同期させて、CPU からのカウンタスタート信号を決定することができないからです。第一周期の波形に誤差を含まない波形を出力させたい場合は、デューティレジスタ (DTR) の初期値を H'0000 にしてください(ただし、この場合最初の 1 出力タイミングで割り込みステータスフラグが立つことになります)。

チャンネル 6~9 の PWM 出力波形を図 10.28 に示します。これはデューティレジスタ値として H'0003、サイクルレジスタ値として H'0005 を設定したときの動作例です。

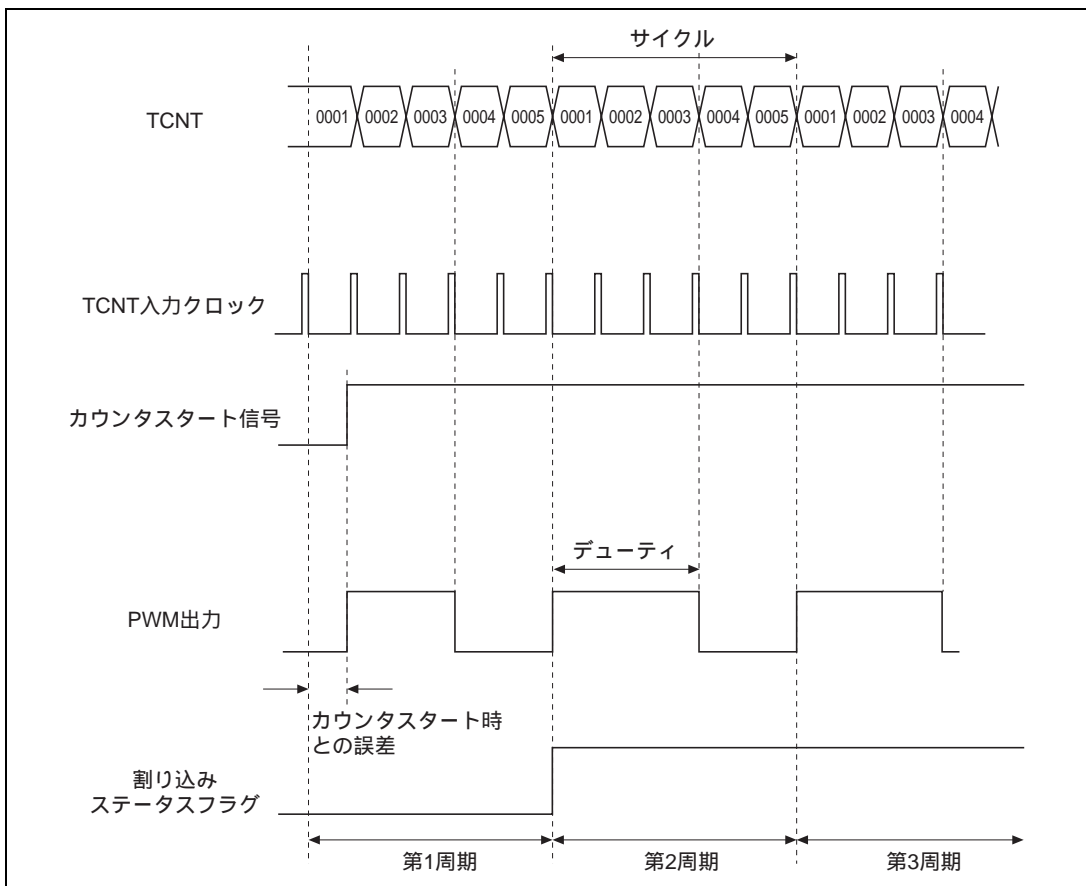


図 10.28 チャンネル 6~9 の PWM 出力の波形

10.3.17 バッファレジスタ (BFR) の書き込みとバッファ機能による転送のタイミング

チャンネル 6~9 では、CPU からバッファレジスタ (BFR) へのライトサイクル中の T2 ステートで、サイクルレジスタ (CYLR) とのコンペアマッチ発生により BFR 値がデューティレジスタ (DTR) に転送されると、CPU から BFR へ書き込まれる前の値が DTR に転送されます。

このタイミングを図 10.29 に示します。これは、BFR 値が H'5555 のときに CYLR のコンペアマッチと H'AAAA の BFR への書き込みが同時に発生したときの動作例です。

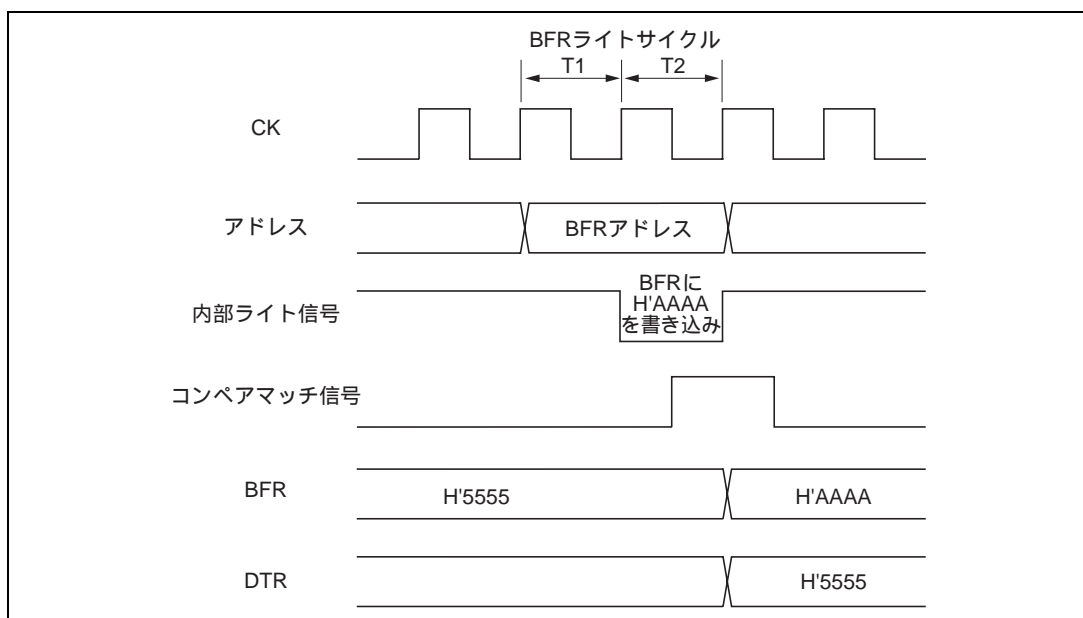


図 10.29 バッファレジスタ (BFR) の書き込みとバッファ機能による転送の競合

10.4 割り込み

ATU の割り込み要因には、インプットキャプチャ割り込み、コンペアマッチ割り込み、オーバーフロー割り込み、アンダフロー割り込み、インターバルインタラプト割り込みの 5 種類 44 要因の割り込みがあります。

10.4.1 ステータスフラグのセットタイミング

(1) インプットキャプチャ時の IMF (ICF) のセットタイミング

インプットキャプチャ信号の発生によりタイムステータスレジスタ (TSR) の IMF (チャンネル 0 は ICF) ビットは 1 にセットされ、同時に TCNT の値が対応する GR (チャンネル 0 は ICR) に転送されます。

このタイミングを図 10.30 に示します。

図 10.30 は、外部端子から信号を入力し、立ち上がりエッジによりインプットキャプチャを行ったときの例です。

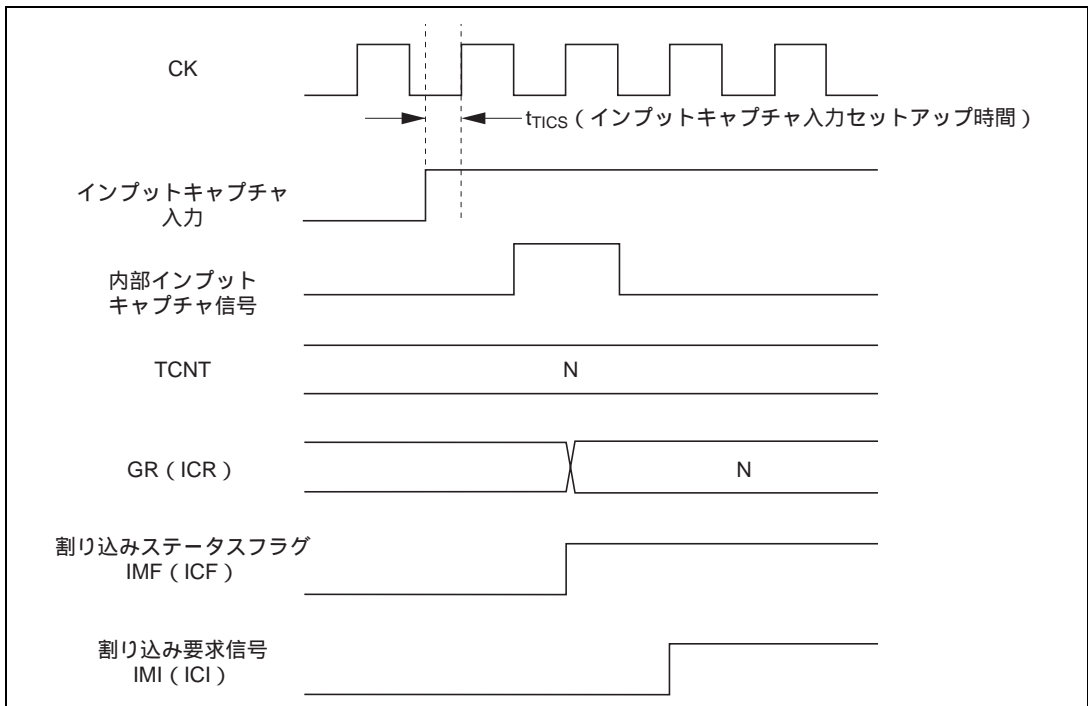


図 10.30 インプットキャプチャ時の IMF (ICF) のセットタイミング

10. アドバンスタイマユニット (ATU)

(2) コンペアマッチ時の IMF (CMF) のセットタイミング

タイマステータスレジスタ (TSR) の IMF (チャンネル 6~9 は CMF) ビットは、ジェネラルレジスタ (GR) またはサイクルレジスタ (CYLR) とタイマカウンタ (TCNT) が一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

このタイミングを図 10.31 に示します。

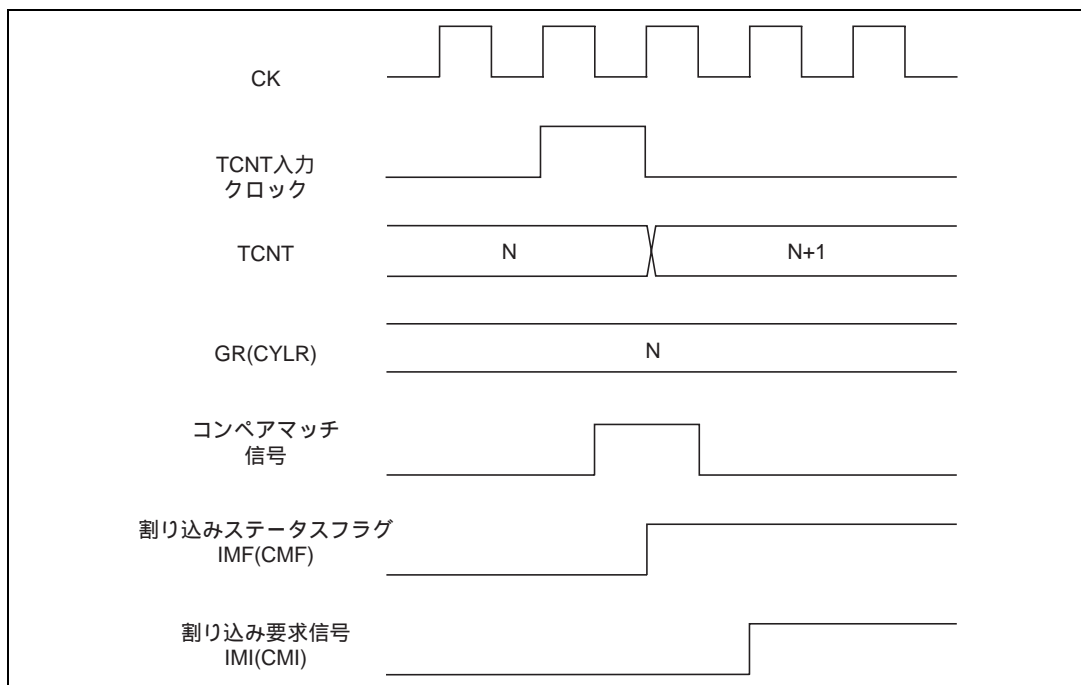


図 10.31 コンペアマッチ時の IMF (CMF) のセットタイミング

(3) オーバフロー時の OVF のセットタイミング

TCNT がオーバフロー (H'FFFF H'0000 または H'FFFFFFF H'00000000) したとき、タイムステータスレジスタ (TSR) の OVF ビットは 1 にセットされます。

このときのタイミングを図 10.32 に示します。

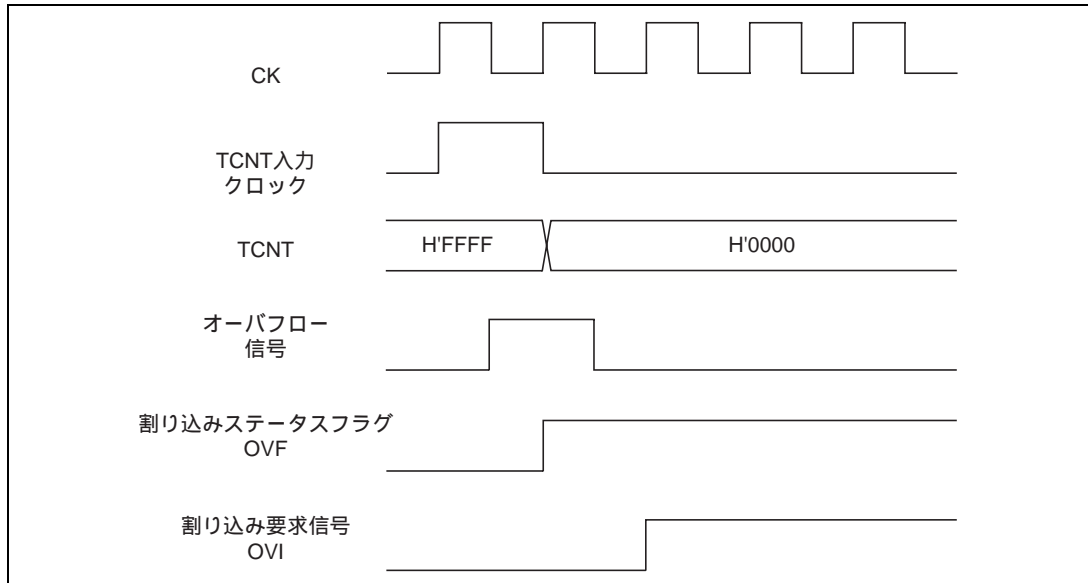


図 10.32 オーバフロー時の OVF のセットタイミング

10. アドバンスタイマユニット (ATU)

(4) アンダフロー時の OSF のセットタイミング

DCNT 入力クロックの入力によりダウンカウンタ (DCNT) が H'0001 から H'0000 にカウントダウンし、更に次の DCNT 入力クロックが入力されるタイミング (アンダフローするタイミング) でタイムステータスレジスタ (TSR) の OSF ビットは 1 にセットされます。ただし、DCNT が H'0000 の状態で DCNT 入力クロックを何度入力しても DCNT は H'0000 のまま変化しません。

このときのタイミングを図 10.33 に示します。

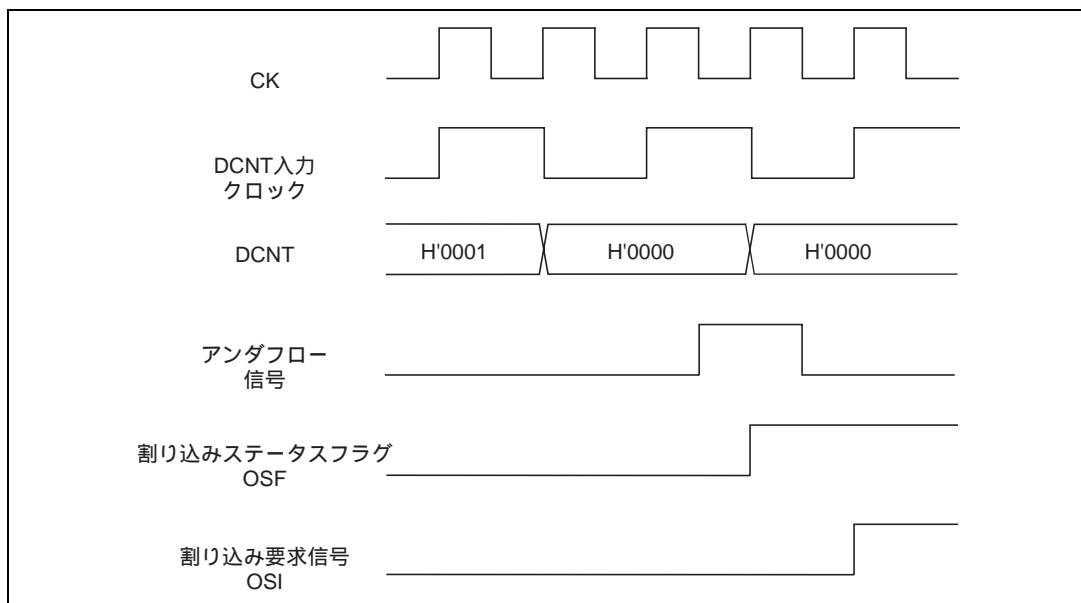


図 10.33 アンダフロー時の OSF のセットタイミング

(5) インターバルタイマによる IIF のセットタイミング

フリーランニングカウンタ (TCNT0L) のビット 10~13 の立ち上がりとインターバルインタラプトリクエストレジスタ (ITVRR) の ITVE0~3 で AND をとり、1 が発生したときにタイマステータスレジスタ (TSR) の IIF ビットは 1 にセットされます。

このときのタイミングを図 10.34 に示します。図中の TCNT0 の N は、TCNT0L のビット 10~13 が 1 に変化したときのカウンタ値です。(例えば、ビット 10 の時は $N=H'00000400$ 、ビット 11 のときは $H'00000800$ 等)

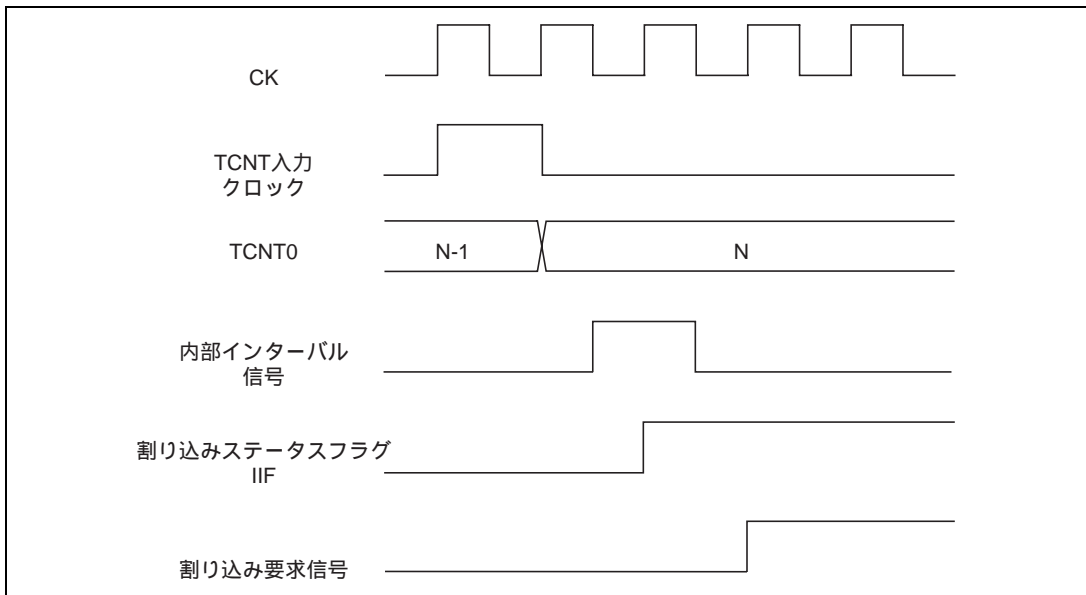


図 10.34 インターバルタイマによる IIF のセットタイミング

10.4.2 割り込みステータスフラグのクリア

(1) CPU プログラムによるクリア

割り込みステータスフラグはCPUが1の状態を読み出した後、0に書き込むとクリアされます。この手順とタイミングを図 10.35 に示します。

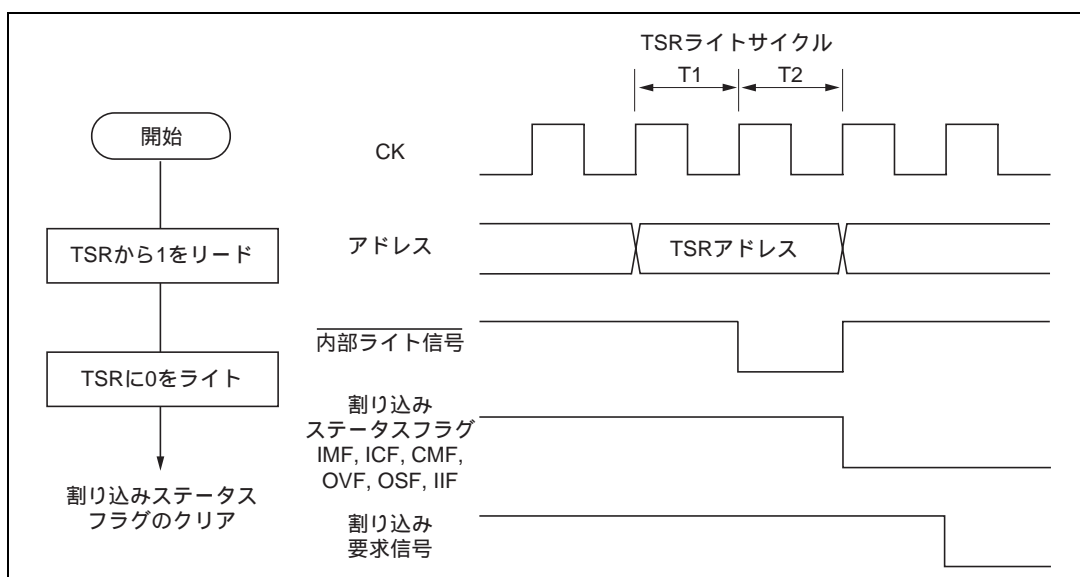


図 10.35 CPU プログラムによるクリア手順とタイミング

(2) DMAC によるクリア

割り込みステータスフラグ (ICF0B、CMF6) は、インプットキャプチャ (ICR0B) またはコンペアマッチ (CYLR6) の発生により DMAC を起動すると、データ転送中、自動的にクリアされます。この手順とタイミングを図 10.36 に示します。

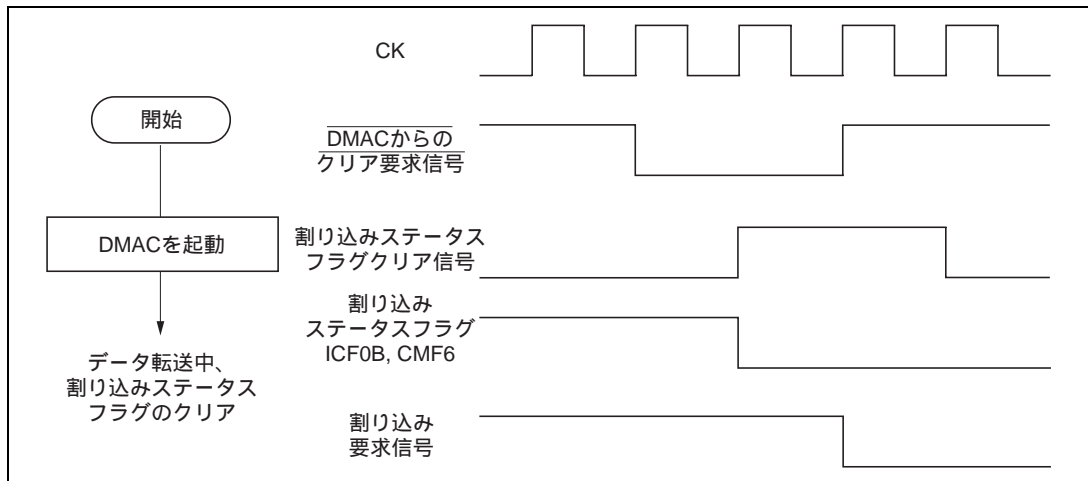


図 10.36 DMAC によるクリア手順とタイミング

10.5 CPU とのインタフェース

10.5.1 32 ビットアクセスのみ可能なレジスタ

フリーランニングカウンタ 0 (TCNT0) およびインプットキャプチャレジスタ 0A ~ D (ICR0A ~ D) は 32 ビットのレジスタです。これらのレジスタは CPU と内部 16 ビットのデータバスで接続されているため、自動的に 16 ビットずつ 2 回に分割して読み出し、または書き込みを行います (ICR0A ~ D はリードのみ)。

図 10.37 に TCNT0 からの読み出し動作を、図 10.38 に TCNT0 への書き込み動作を示します。

TCNT0 からの読み出しの場合は、まず 1 回目の読み出しで、TCNT0H (上位 16 ビット) 値を内部データバスに出力し、同時に TCNT0L (下位 16 ビット) 値を内部バッファレジスタに出力します。そして 2 回目の読み出しで、内部バッファレジスタ内の TCNT0L (下位 16 ビット) 値を内部データバスに出力します。

TCNT0 への書き込みの場合は、まず 1 回目の書き込みで、上位データ 16 ビットを内部バッファレジスタに出力します。そして 2 回目の書き込みで、下位データ 16 ビットを TCNT0L に出力し、同時に内部バッファレジスタ内の上位データ 16 ビットを TCNT0H に出力し、書き込みます。以上の方法により、32 ビットデータの、同時の読み出し、同時の書き込みを行って、カウントアップとの競合を防止しています。

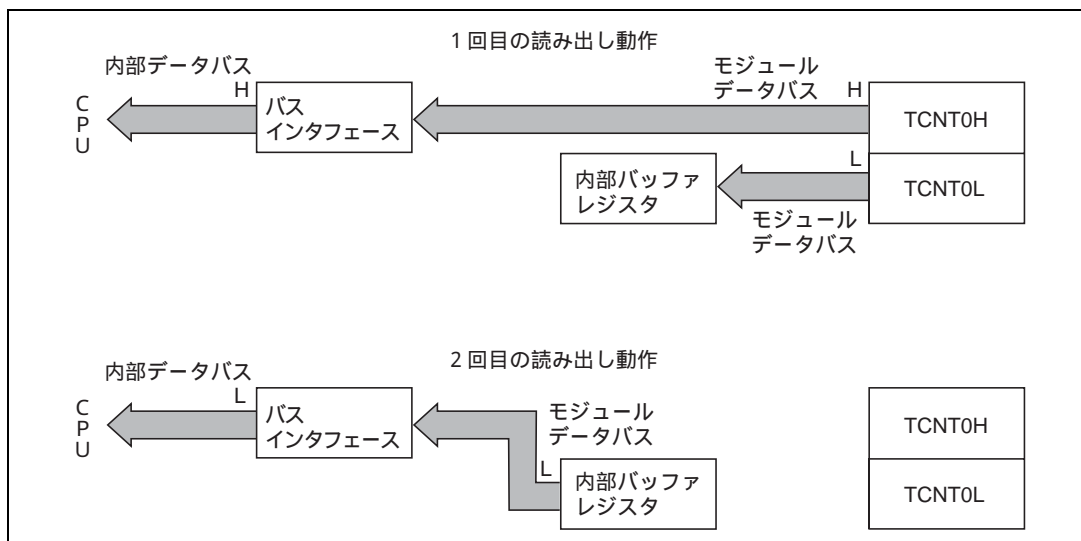


図 10.37 TCNT0 からの読み出し動作

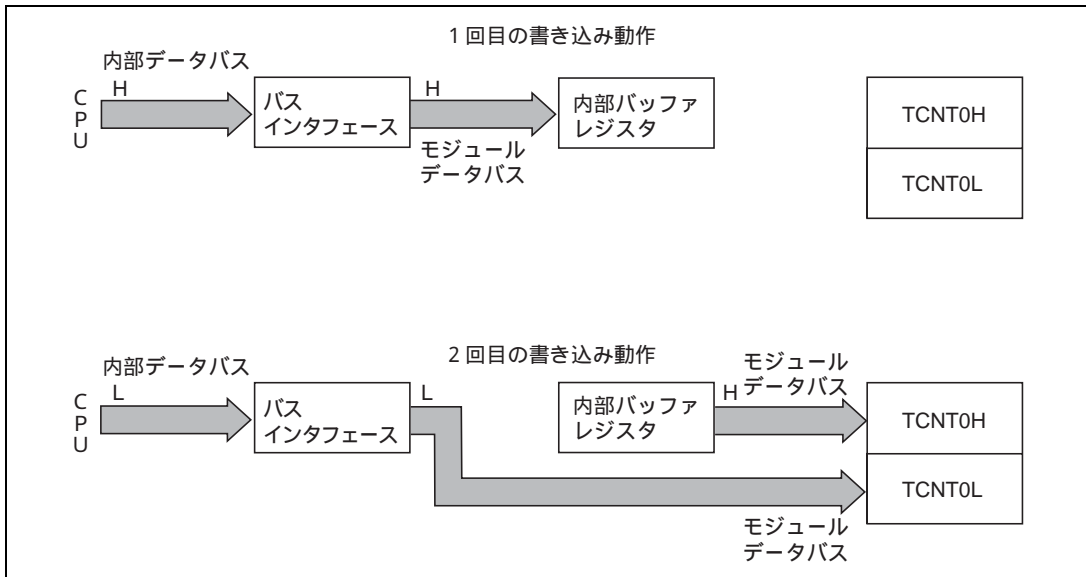


図 10.38 TCNT0 への書き込み動作

10.5.2 16 ビットアクセスのみ可能なレジスタ

フリーランニングカウンタ 1~9 (TCNT1~9)、ジェネラルレジスタ (GR)、ダウンカウンタ (DCNT)、オフセットベースレジスタ (OSBR)、サイクルレジスタ (CYLR)、バッファレジスタ (BFR)、デューティレジスタ (DTR) およびタイムスタートレジスタ (TSTR) は 16 ビットのレジスタです。これらのレジスタは CPU と内部 16 ビットのデータベースで接続されており、ワード単位の読み出し / 書き込みが可能です (OSBR は読み出しのみ可能)。

TCNT1 に対してワード単位の読み出し / 書き込みを行った場合の動作を図 10.39 に示します。

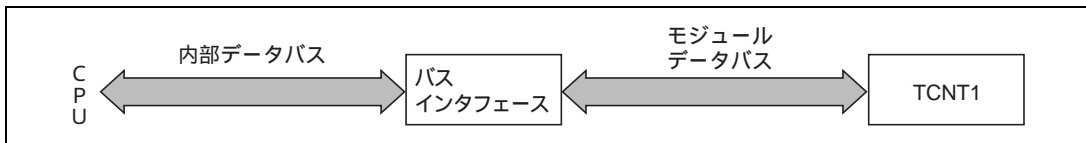


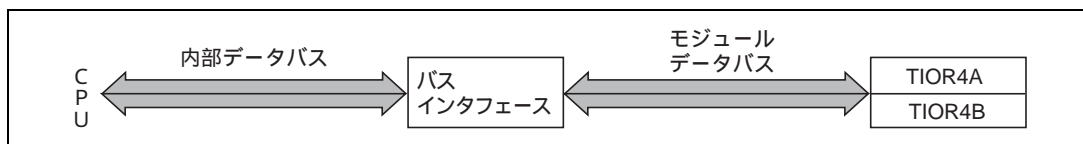
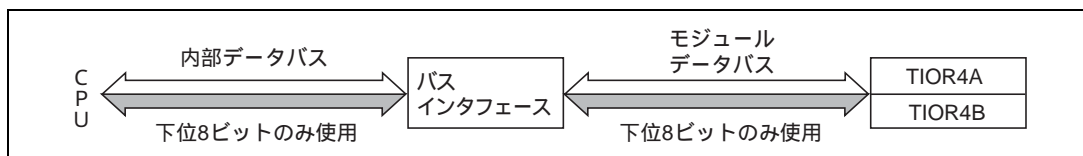
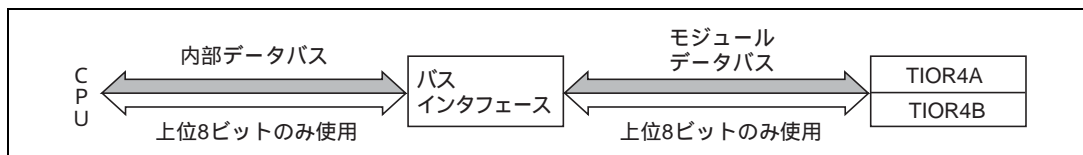
図 10.39 TCNT1 への書き込み / 読み出し動作

10.5.3 8ビットおよび16ビットアクセス可能なレジスタ

タイマコントロールレジスタ (TCR)、タイマ I/O コントロールレジスタ 1~5 (TIOR1~5)、タイマコネクションレジスタ (TCNR) は 8 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットのデータバス上位 8 ビットまたは下位 8 ビットと接続されており、バイト単位の読み出し / 書き込みが可能です。

また、タイマ I/O コントロールレジスタ 4A (TIOR4A) とタイマ I/O コントロールレジスタ 4B (TIOR4B) のように、アドレスの最下位ビットのみ異なる、2 本の 8 ビットレジスタは、組み合わせでワード単位の読み出し / 書き込みも可能です。

TIOR4A または TIOR4B に対して、各々バイト単位の読み出し / 書き込みを行った場合の動作を図 10.40 と図 10.41 に示します。また、TIOR4A と TIOR4B を同時にワード単位で読み出し / 書き込みを行った場合の動作を図 10.42 に示します。



10.5.4 8ビットのみアクセス可能なレジスタ

タイマモードレジスタ (TMOR)、プリスケアラレジスタ 1 (PSCR1)、タイマ I/O コントロールレジスタ 0 (TIOR0)、トリガセレクションレジスタ (TGSR)、インターバルインタラプトリクエストレジスタ (ITVRR)、タイマステータスレジスタ (TSR)、タイマインタラプトイネーブルレジスタ (TIER) ダウンカウントスタートレジスタ (DSTR) は 8 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットのデータバス上位 8 ビットまたは下位 8 ビットと接続されており、バイト単位の読み出し / 書き込みが可能です。

TGSR または TIOR0A レジスタに対して、各々バイト単位の読み出し / 書き込みを行った場合の動作を図 10.43 と図 10.44 に示します。

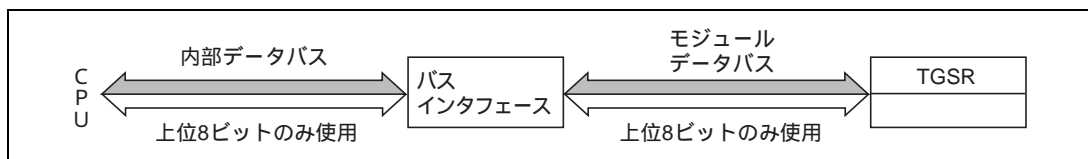


図 10.43 TGSR へのバイト書き込み / 読み出し動作

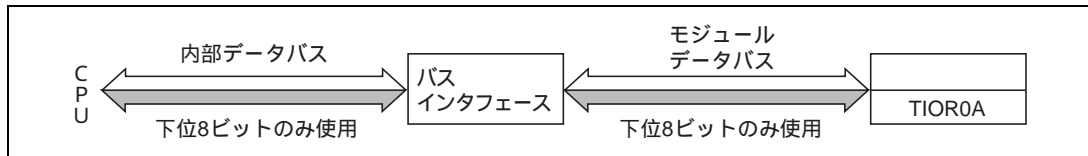


図 10.44 TIOR0A へのバイト書き込み / 読み出し動作

10.6 設定手順例

以下に ATU の各機能起動の際の設定手順例を記します。

(1) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順を図 10.45 に示します。

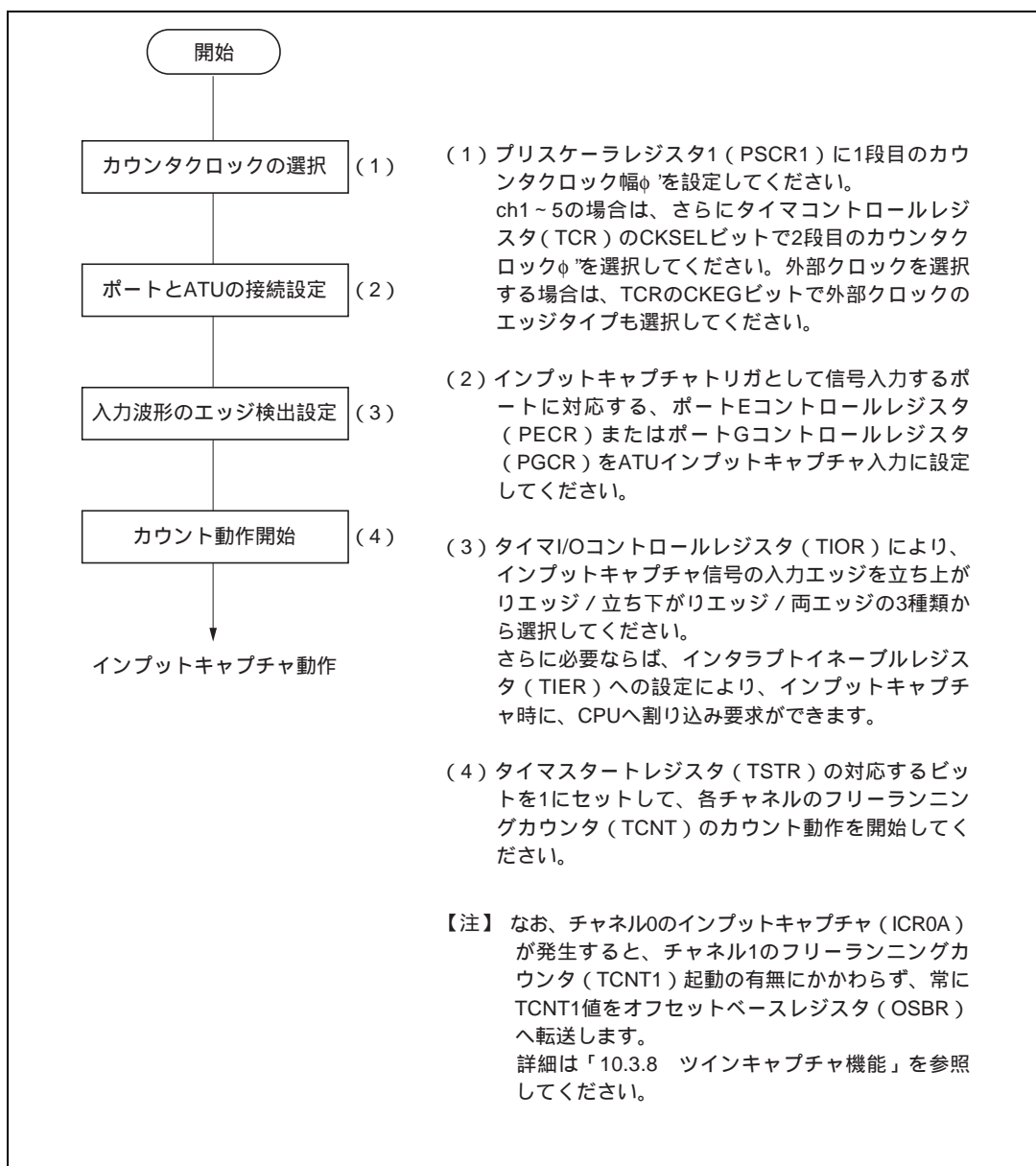


図 10.45 インพุットキャプチャ動作の設定手順例

(2) アウトプットコンペアマッチによる波形出力動作の設定手順例

アウトプットコンペアマッチによる波形出力動作の設定手順を図 10.46 に示します。

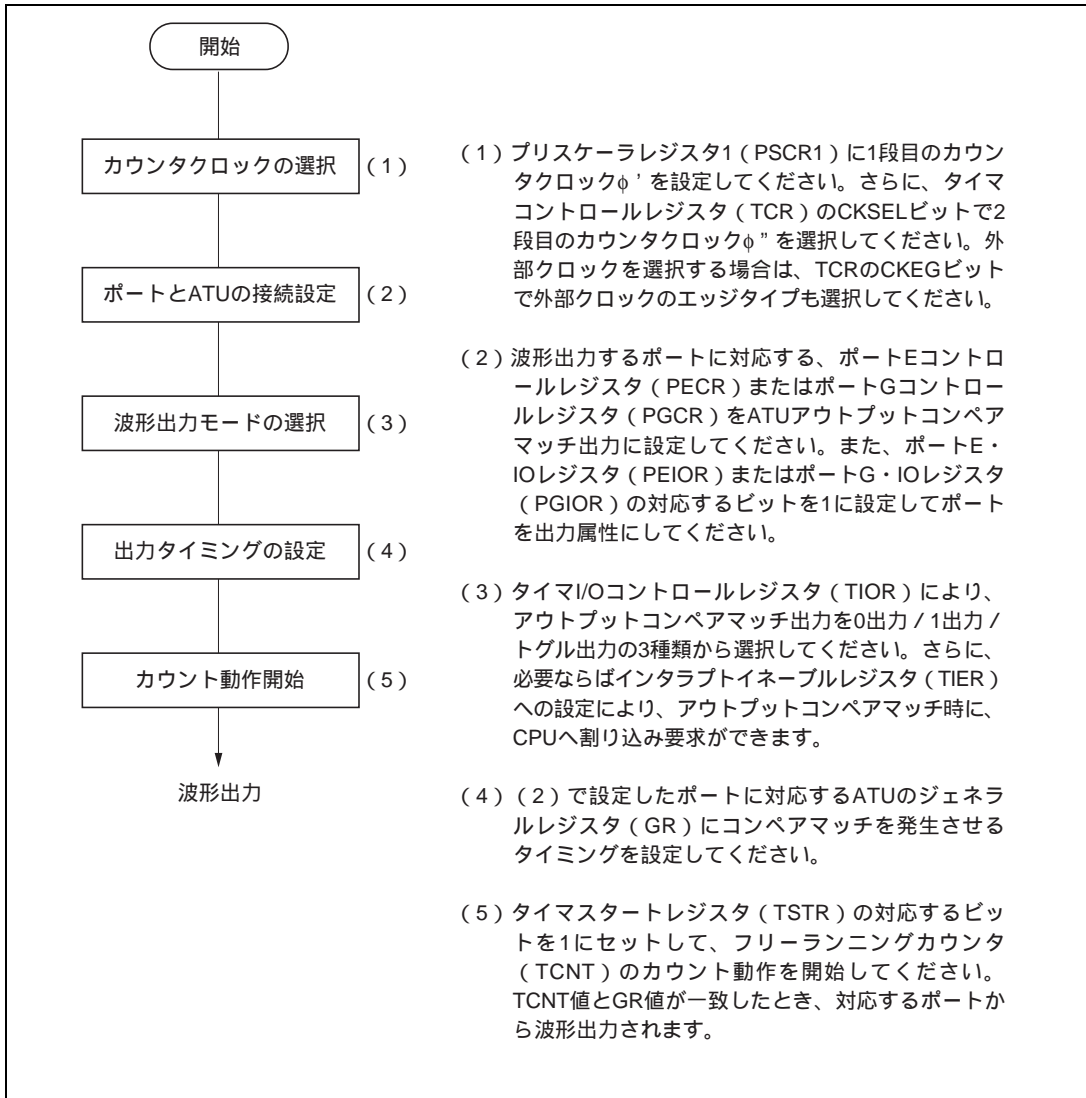


図 10.46 アウトプットコンペアマッチによる波形出力動作の設定手順例

10. アドバンスドタイマユニット (ATU)

(3) ATU チャンネルの1のコンペアマッチトリガによるチャンネル0のインプットキャプチャ設定手順例
コンペアマッチ信号の送信動作の設定手順を図 10.47 に示します。

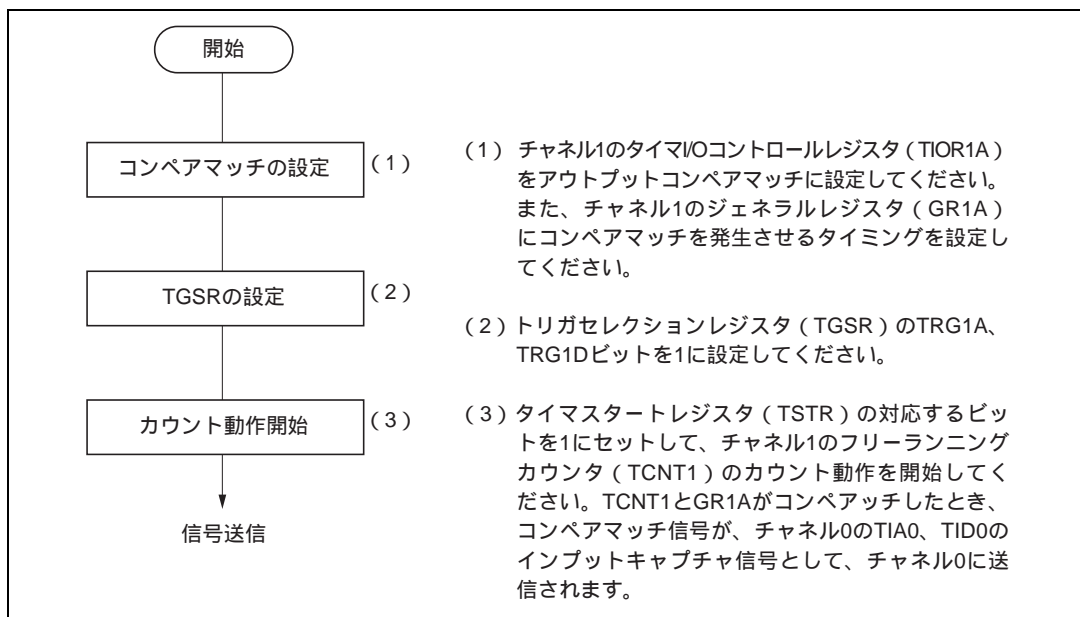


図 10.47 コンペアマッチ信号の送信動作の設定手順例

(4) ワンショットパルス出力動作の設定手順例

ワンショットパルス出力動作の設定手順を図 10.48 に示します。

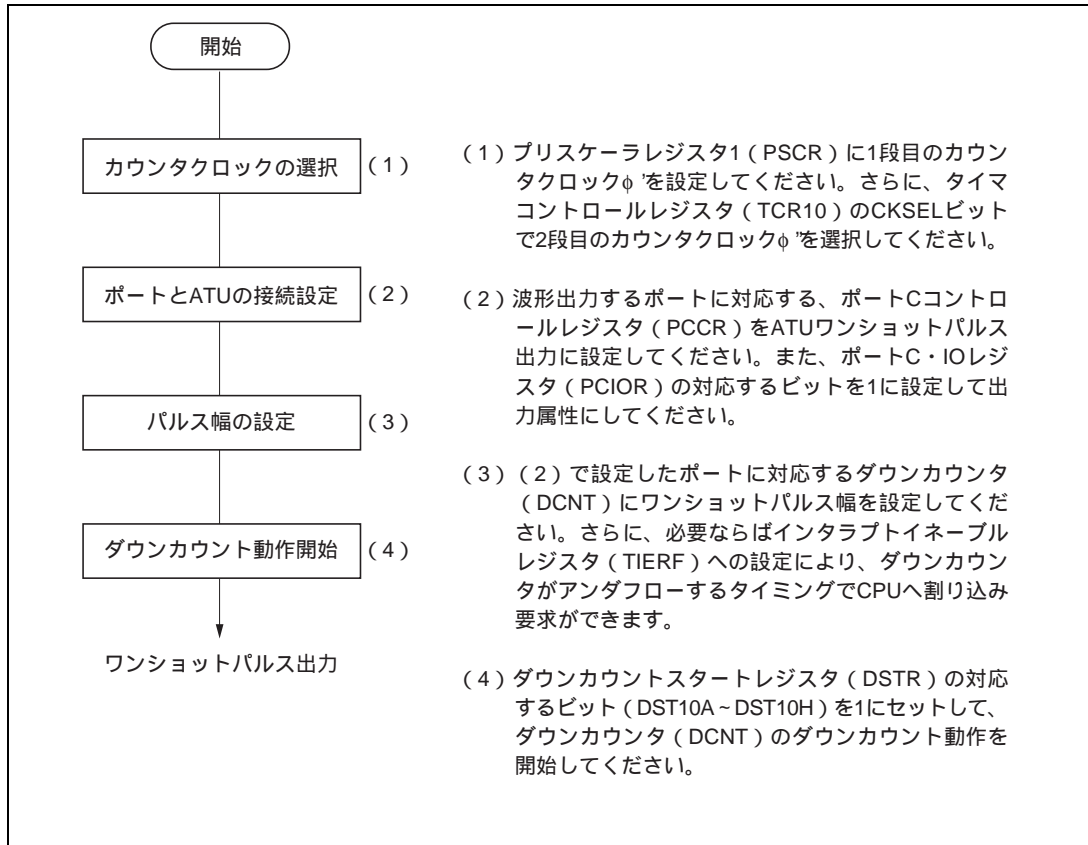


図 10.48 ワンショットパルス出力動作の設定手順例

10. アドバンスタイマユニット (ATU)

(5) オフセット付ワンショットパルス出力動作の設定手順例

オフセット付ワンショットパルス出力動作の設定手順を図 10.49 に示します。

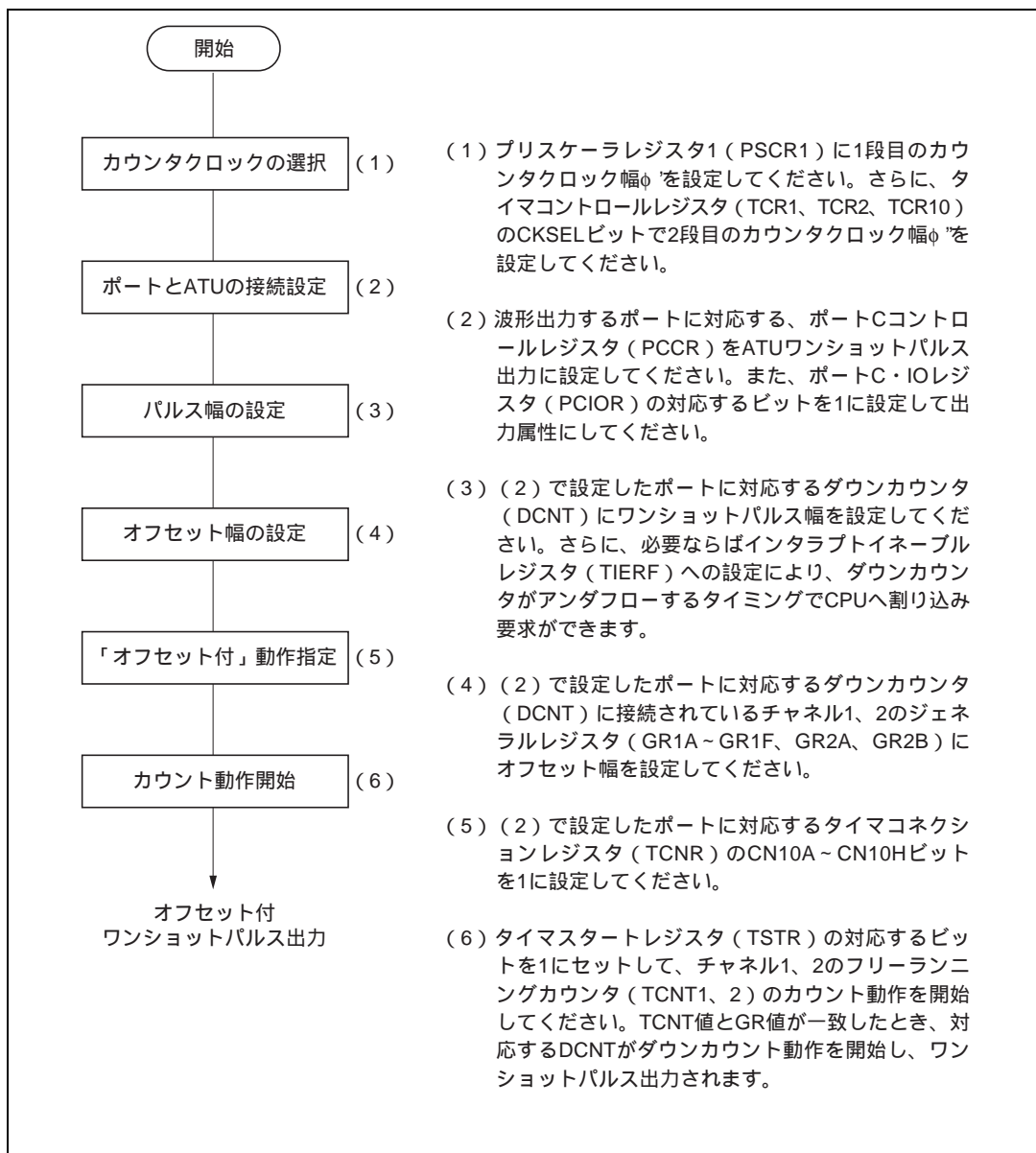


図 10.49 オフセット付ワンショットパルス出力動作の設定手順例

(6) インターバルタイマ動作の設定手順例

インターバルタイマ動作の設定手順を図 10.50 に示します。

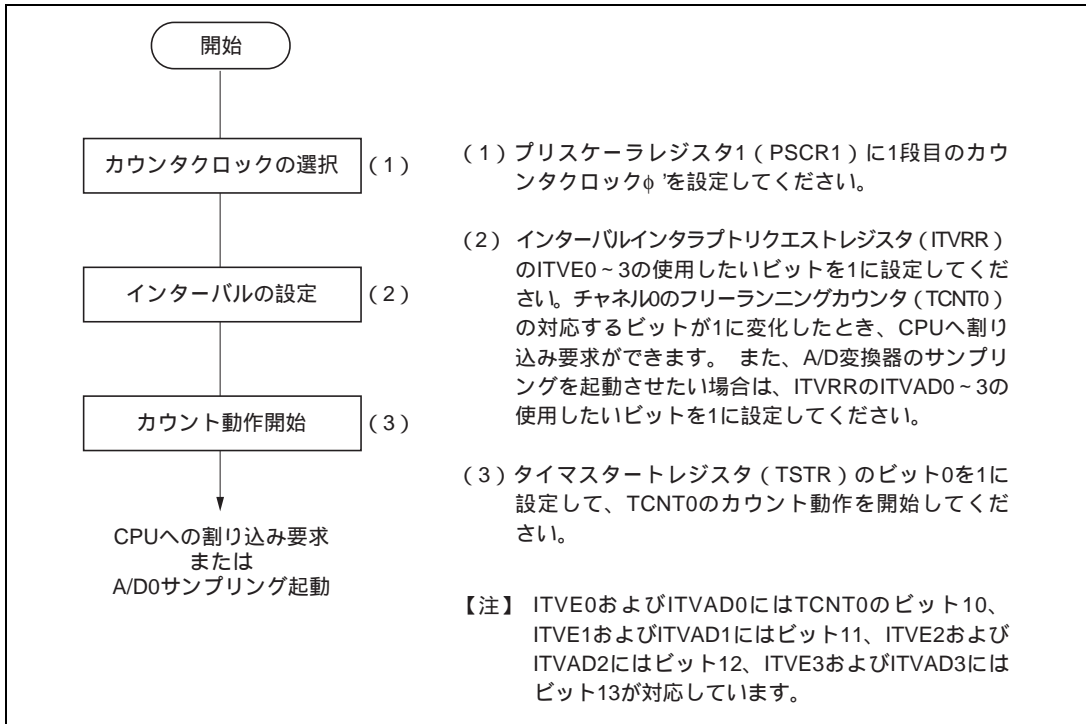


図 10.50 インターバルタイマ動作の設定手順例

10. アドバンスタイマユニット (ATU)

(7) PWM タイマ (ch3~5) 動作の設定手順例

PWM タイマ (ch3~5) 動作の設定手順を図 10.51 に示します。

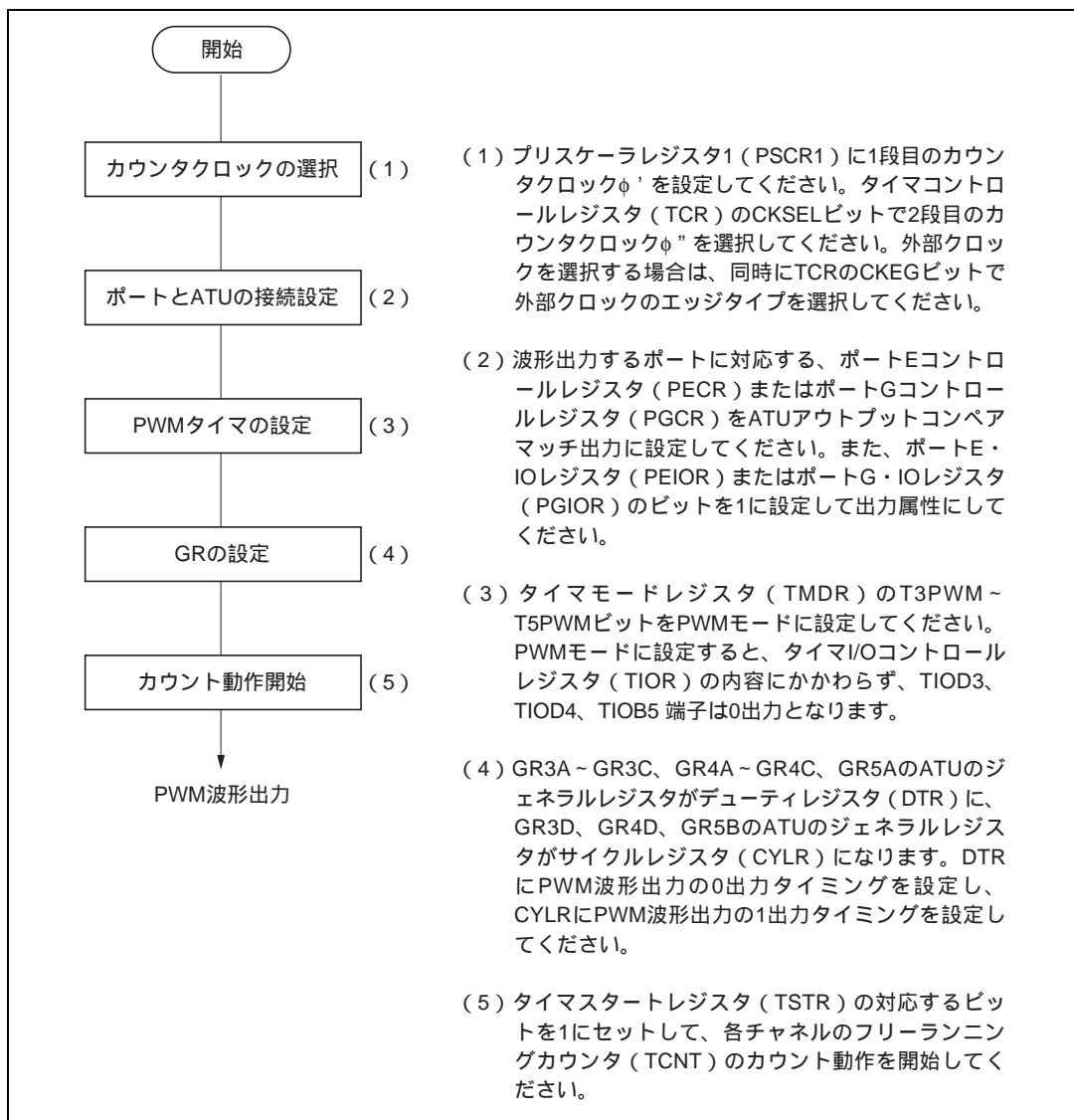


図 10.51 PWM タイマ動作の設定手順例

(8) PWM タイマ (ch6~9) 動作の設定手順例

PWM タイマ (ch6~9) 動作の設定手順を図 10.52 に示します。

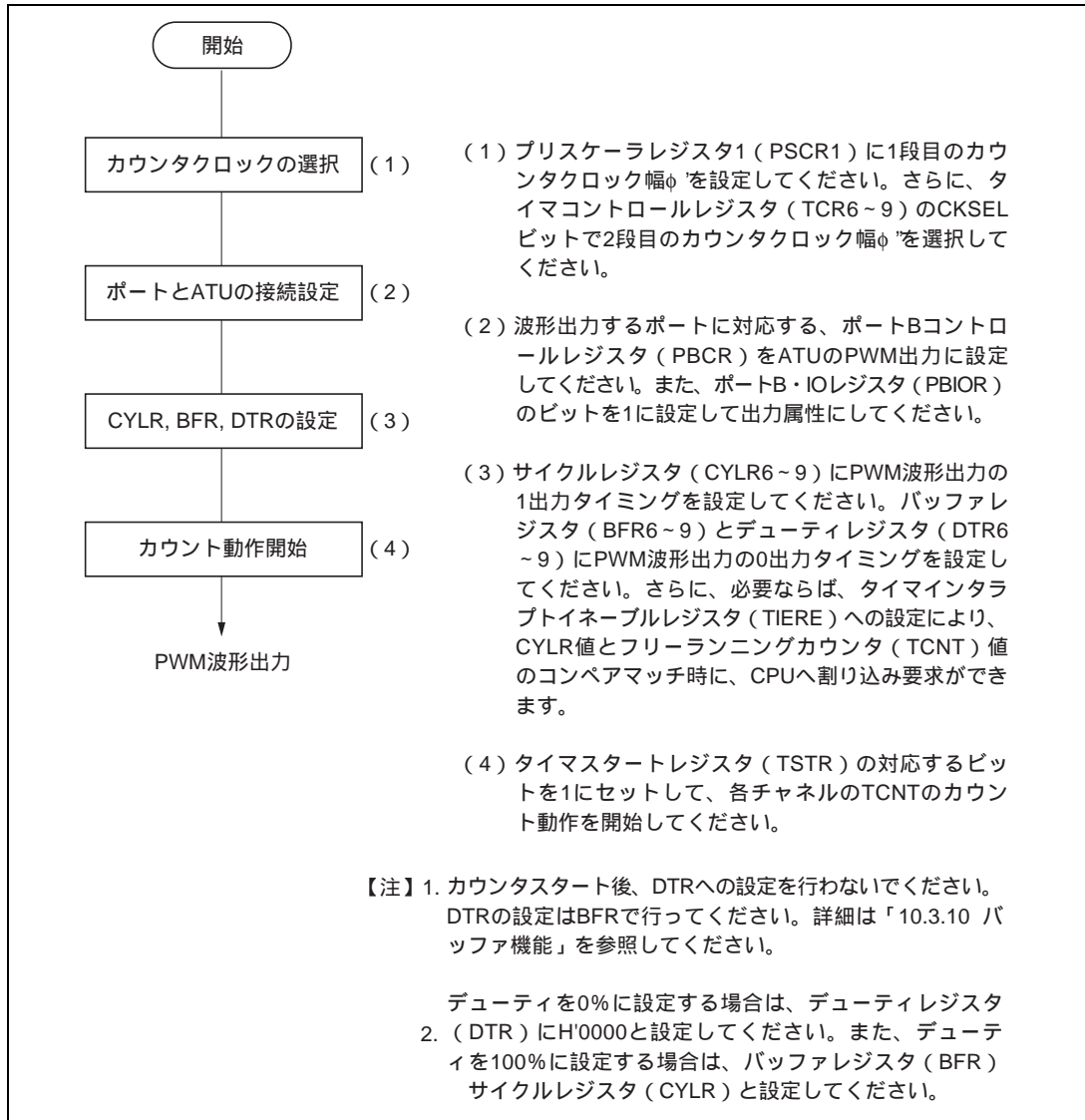


図 10.52 PWM タイマ (ch6~9) 動作の設定手順例

10.7 使用上の注意

ATU 動作中、次のような競合や動作が起こりますので、注意してください。

(1) TCNT の書き込みとコンペアマッチによるクリアの競合

チャンネル 3~9 のフリーランニングカウンタ (TCNT3~TCNT9) は、クリアイネーブル時に CPU ライトサイクル中の T2 ステートコンペアマッチが発生してもクリアは行われず、TCNT への書き込みが優先されます。

なお、コンペアマッチは有効のままであり、割り込みステータスフラグへの 1 ライトや、外部への波形出力は、通常のコンペアマッチ同様に行われます。

このタイミングを図 10.53 に示します。

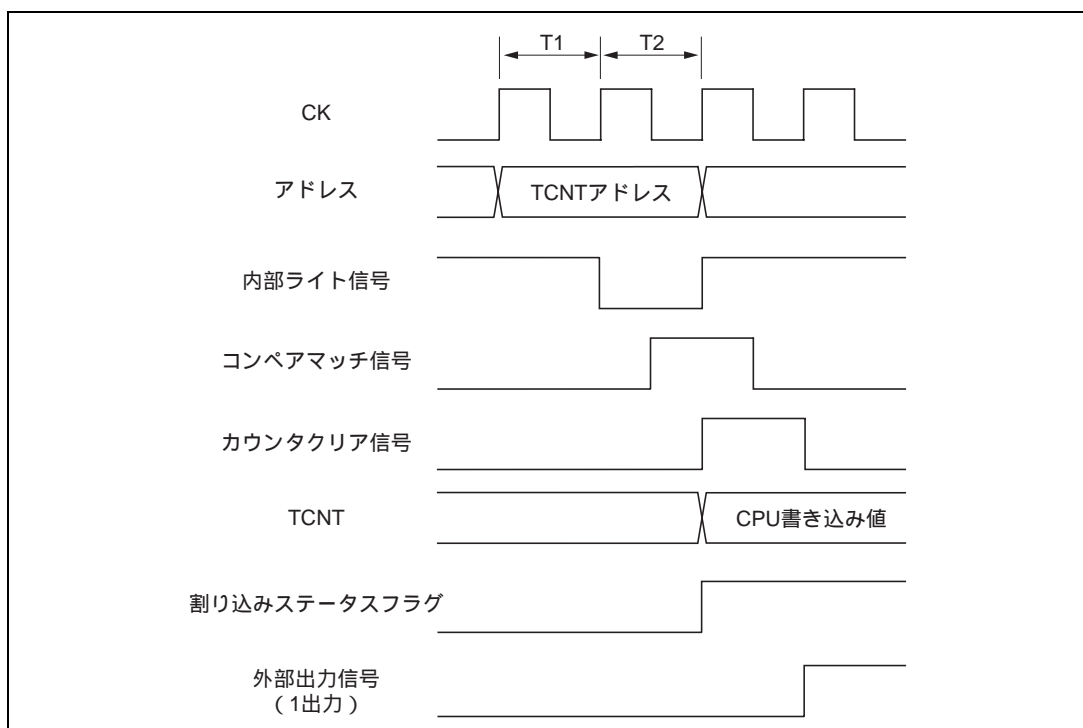


図 10.53 TCNT の書き込みとクリアの競合

(2) GRの書き込みと入力キャプチャによるデータ転送の競合

チャンネル1~5の汎用レジスタ (GR1A~GR1F、GR2A、GR2B、GR3A~GR3D、GR4A~GR4D、GR5A、GR5B)のCPUライトサイクル中のT2状態で入力キャプチャが発生しても、GRへのデータ転送は行われず、TCNTへの書き込みが優先されます。

なお、入力キャプチャによる割り込みステータスフラグへの1ライトは、通常の入力キャプチャ同様に行われます。

このタイミングを図10.54に示します。

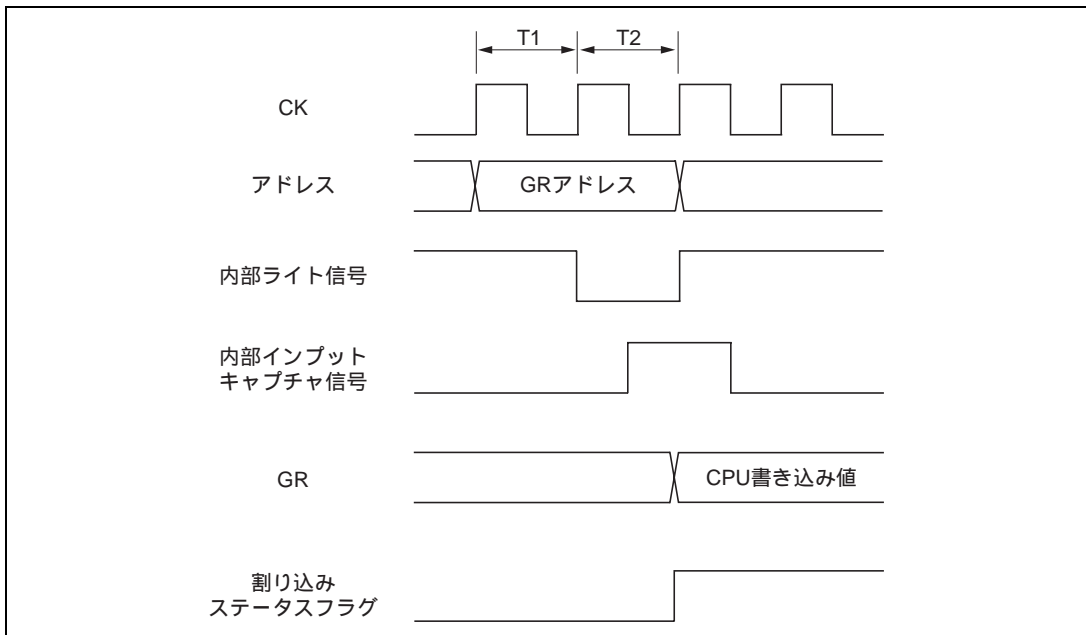


図 10.54 GRの書き込みと入力キャプチャによるデータ転送の競合

10. アドバンスタイマユニット (ATU)

(3) TCNT の書き込みとカウントアップの競合

チャンネル0~9のフリーランニングカウンタ (TCNT0~TCNT9) のカウントアップ中に、当該カウンタへ書き込みを行うと、カウントアップせず、カウンタへ書き込みが優先されます。

このタイミングを図 10.55 に示します。これは TCNT が、H'1001 から H'1002 にカウントアップするタイミングで CPU から H'5555 を書き込んだときの動作例です。

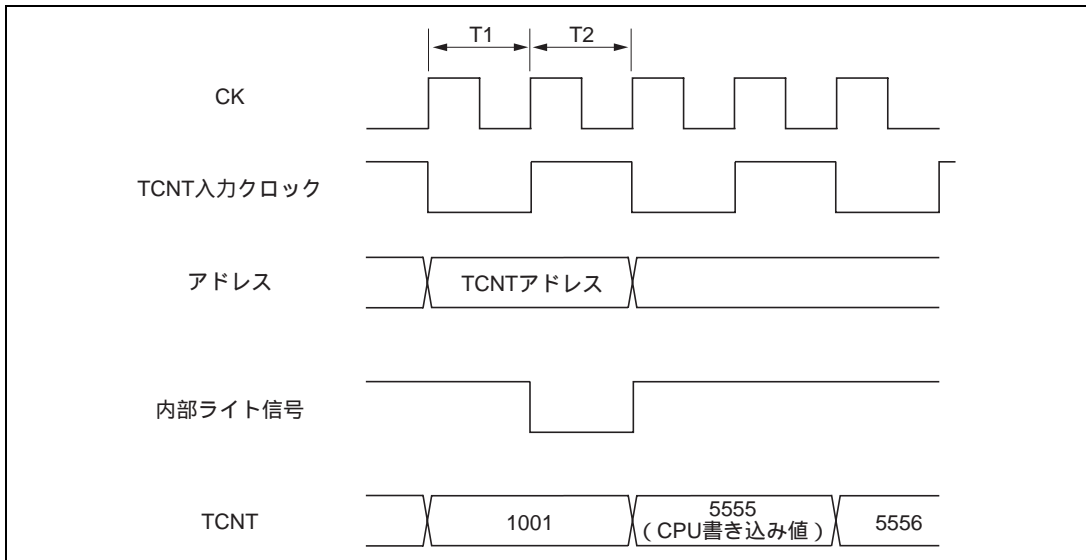


図 10.55 TCNT の書き込みとカウントアップの競合

(4) TCNT の書き込みとオーバーフローによるカウンタクリアの競合

チャンネル 3~5 のフリーランニングカウンタ (TCNT3~TCNT5) は、クリアイネーブル時に CPU ライトサイクル中の T2 ステートでオーバーフローが発生しても、H'0000 にはならず、TCNT への書き込みが優先されます。

なお、オーバーフローによる割り込みステータスフラグ (OVF) への 1 ライトは、通常のオーバーフローと同様に行われます。

このタイミングを図 10.56 に示します。これは TCNT にオーバーフローのタイミングで H'5555 を書き込んだときの動作例です。

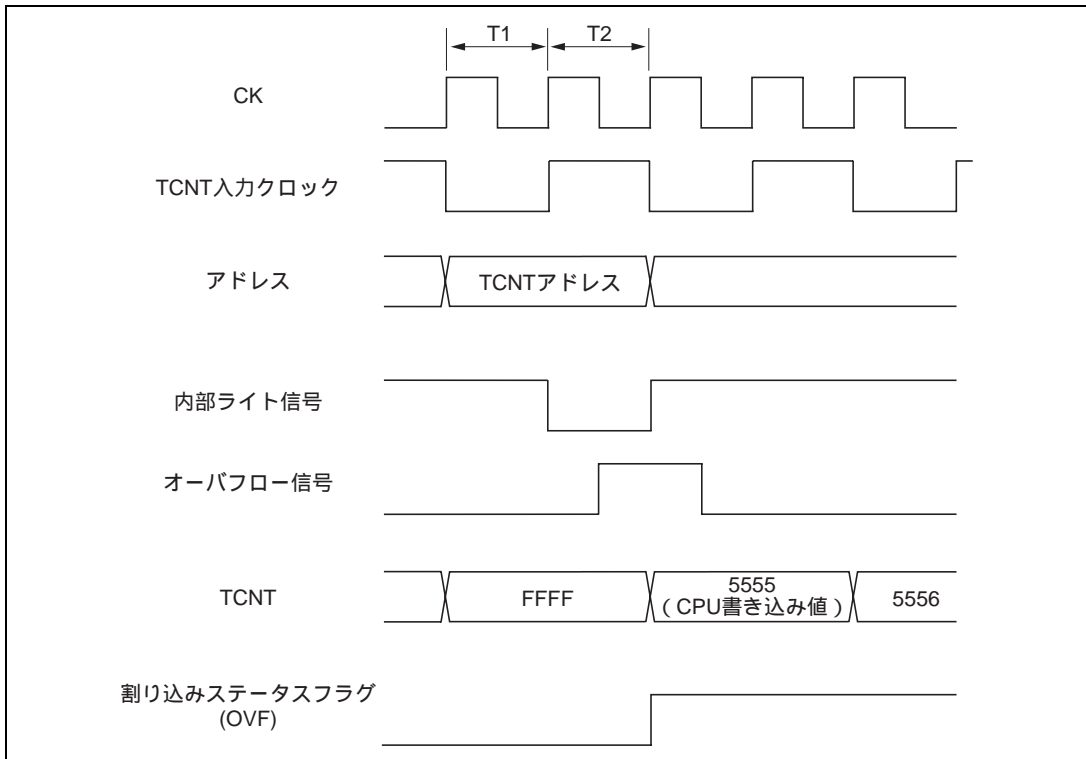


図 10.56 TCNT の書き込みとオーバーフローの競合

10. アドバンスドタイマユニット (ATU)

(5) 割り込みステータスフラグの0クリアと割り込み発生時の1セットの競合

CPU から割り込みステータスフラグへの0ライトサイクル中のT2状態で、インプットキャプチャ/コンペアマッチやオーバーフロー/アンダフローなどのイベントが発生すると、割り込みステータスフラグはクリアされず、そのイベントによる'1'セットが優先されます。

このタイミングを図 10.57 に示します。

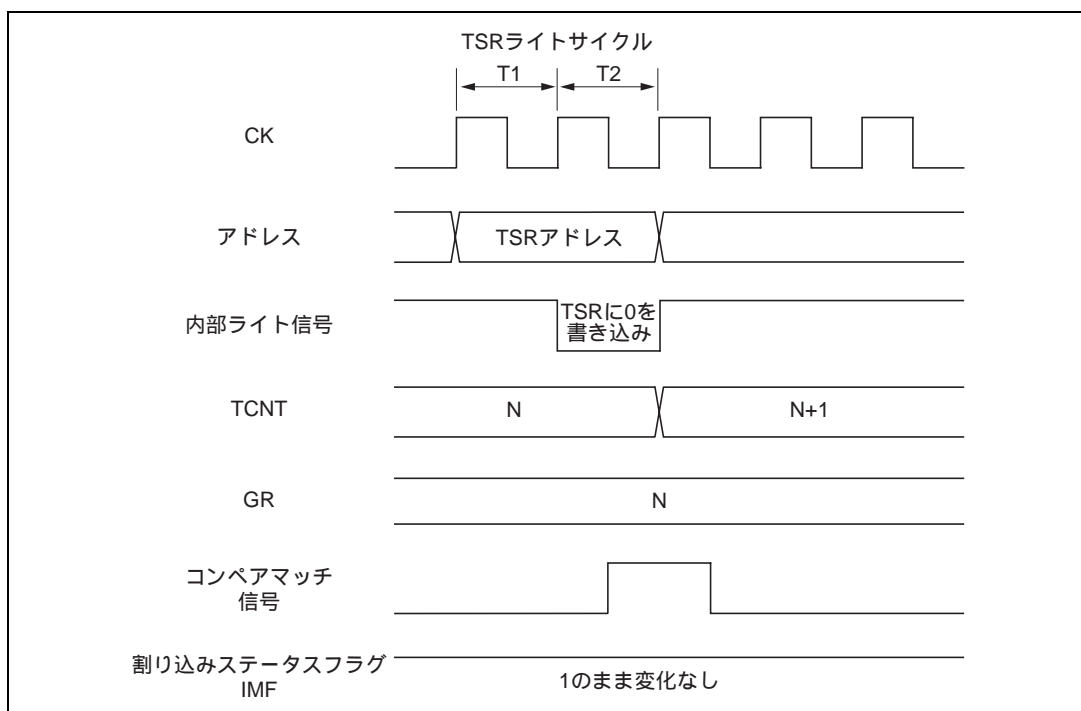


図 10.57 コンペアマッチによる割り込みステータスフラグのセットとクリアの競合

(6) DTR への書き込みとバッファ機能による BFR 値の転送の競合

チャンネル 6~9 では、フリーランニングカウンタ (TCNT) 起動中、デューティレジスタ (DTR) に CPU からの書き込みを行わないでください。サイクルレジスタのコンペアマッチ発生により、バッファレジスタ (BFR) 値が対応する DTR に転送されるタイミングと、CPU から DTR への書き込みが競合すると、BFR 値と CPU から書き込む値の論理和が DTR に書き込まれます。

図 10.58 に BFR が H'AAAA、DTR へ書き込む値が H'5555 の場合で競合が発生するときの動作例を示します。

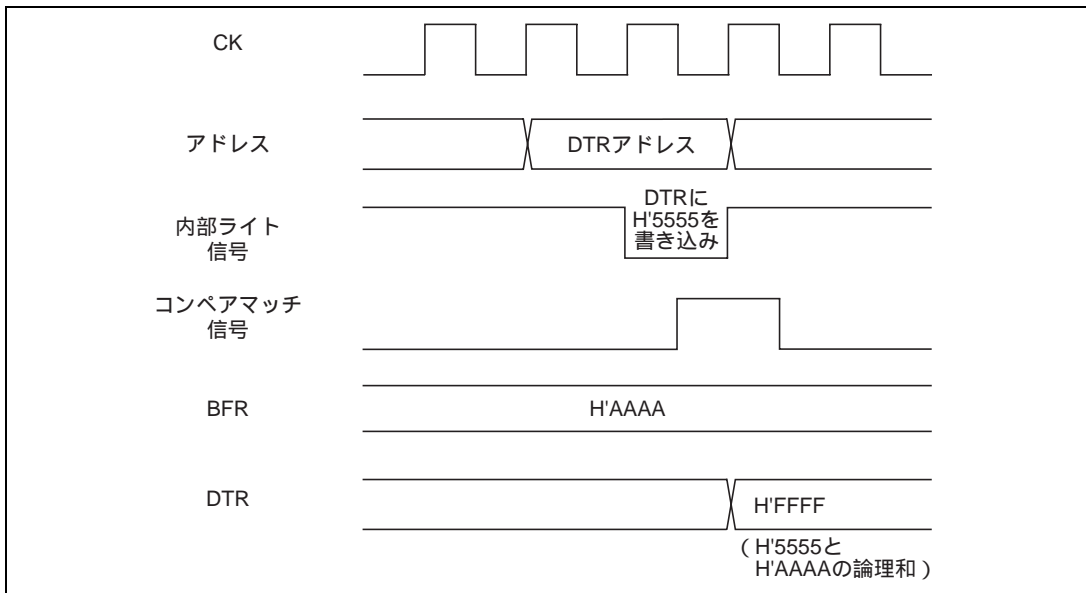


図 10.58 DTR への書き込みとバッファ機能による BFR 値の転送の競合

10. アドバンスタイマユニット (ATU)

(7) 割り込みステータスフラグのDMACによるクリアとインプットキャプチャ/コンペアマッチによるセットの競合

割り込みステータスフラグ (ICF0B、CMF6) がインプットキャプチャ (ICR0B) / コンペアマッチ (CYLR6) によりセットされる時に、DMACによるクリアが発生すると、割り込みステータスフラグはセットされず、DMACによるクリアが優先されます。

なお、DMAC クリア要求信号の幅は、通常 ATU のアクセスサイクルと同様の 2 ステートであり、2 ステートの間クリアを行います。また、DMAC クリア要求信号出力中に、バスウェイトやチップ外部からのバスリクエストが発生すると、DMAC クリア要求信号幅が N ステート (N ≥ 3) になります。したがって、N ステートの間クリアが続き、その間、割り込みステータスフラグがセットできません。

このタイミングを図 10.59 に示します。

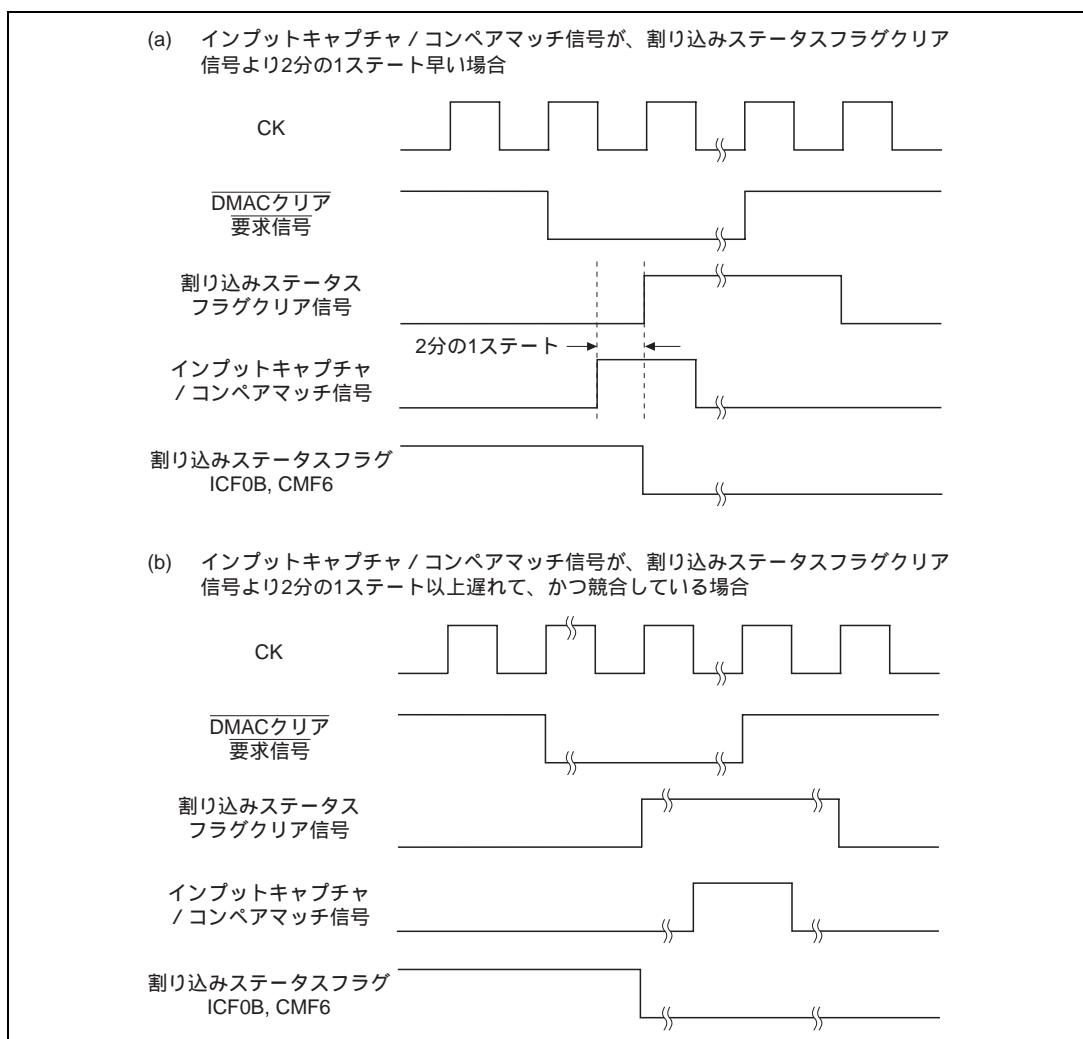


図 10.59 割り込みステータスフラグの DMAC によるクリアとインプットキャプチャ/コンペアマッチによるセットの競合

(8) CPU からのダウンカウンタ停止方法と動作

ダウンカウンタ (DCNT) のカウント動作を停止したい時は、DCNT に H'0000 を書き込んでください。CPU からダウンカウントスタートレジスタ (DSTR) に直接 0 を書き込めないため、DCNT を H'0000 にすることで、結果として DSTR の対応するビットが 0 になりカウントが停止します。ただし、アンダフローするタイミングでタイムステータスレジスタ (TSR) の OSF ビットが立ちます。

なお、特に注意することは、DCNT に H'0000 を書き込むと、即時に DSTR の対応するビットが 0 になるのではなく、H'0000 書き込み後にアンダフローするタイミングで DSTR の対応するビットが 0 になり、ダウンカウンタが停止するということです。

このタイミングを図 10.60 に示します。

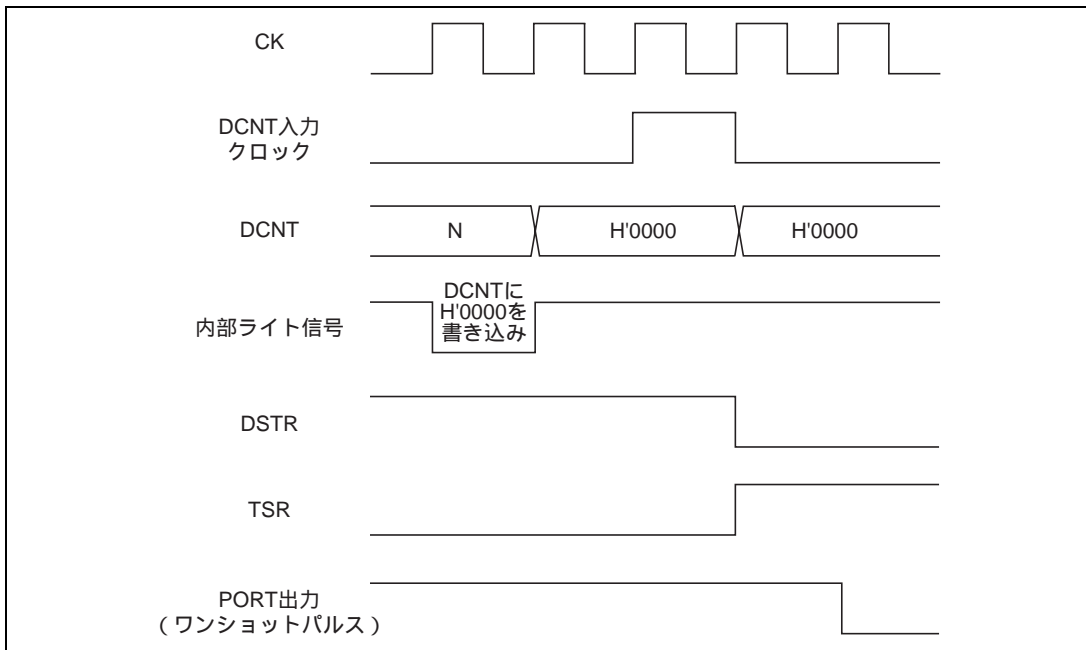


図 10.60 CPU からのダウンカウンタ停止方法と動作

10. アドバンスタイマユニット (ATU)

(9) ダウンカウンタ値 H'0000 からのカウント開始と動作

ダウンカウンタ(DCNT)値が H'0000 の状態で、CPU からダウンカウントスタートレジスタ(DSTR)を設定して DCNT をカウントスタートさせても、また、タイマコネクションレジスタ(TCNR)を設定してチャンネル1 および2 のコンペアマッチにより DCNT を起動させても、ワンショットパルスは出力されません。ただし、タイムステータスレジスタ(TSR)の OSF ビットは1 にセットされます。

このタイミングを図 10.61 に示します。

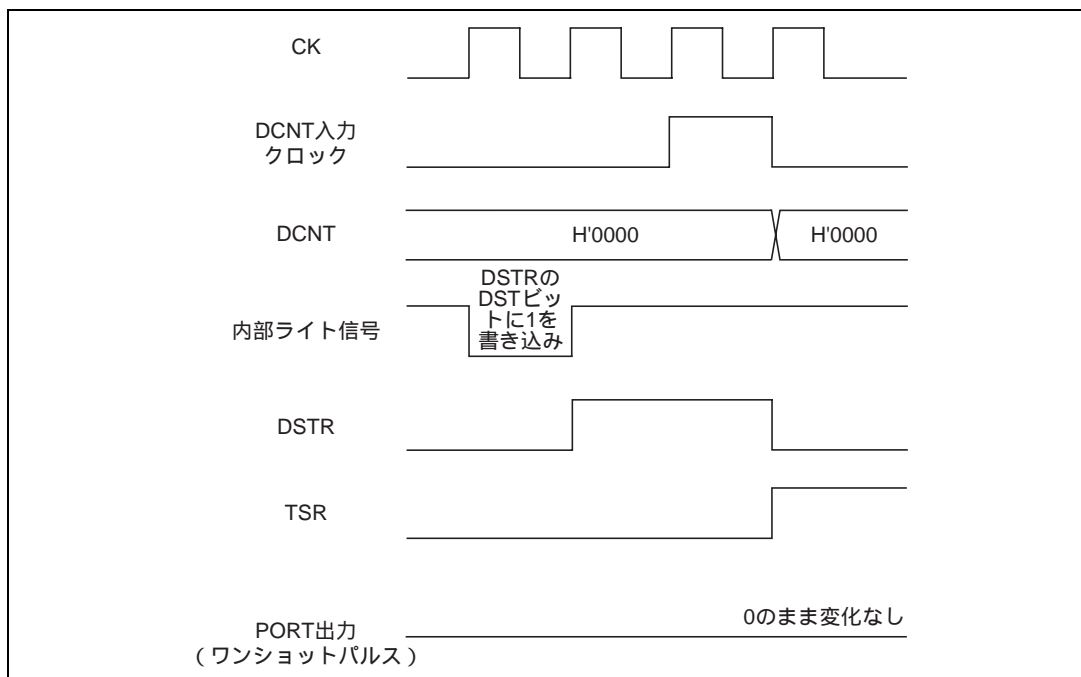


図 10.61 ダウンカウンタ値 H'0000 からのカウント開始と動作

(10) フリーランニングカウンタ停止時のインプットキャプチャ動作

チャンネル0あるいはチャンネル1~5では、フリーランニングカウンタ(TCNT)の起動/停止にかかわらず、インプットキャプチャ設定を行い、入力端子からトリガ信号を入力すると、TCNT値が対応するジェネラルレジスタ(GR)またはインプットキャプチャレジスタ(ICR)に転送され、かつ、タイムステータスレジスタ(TSR)のIMFまたはICFビットが立ちます。

このタイミングを図10.62に示します。

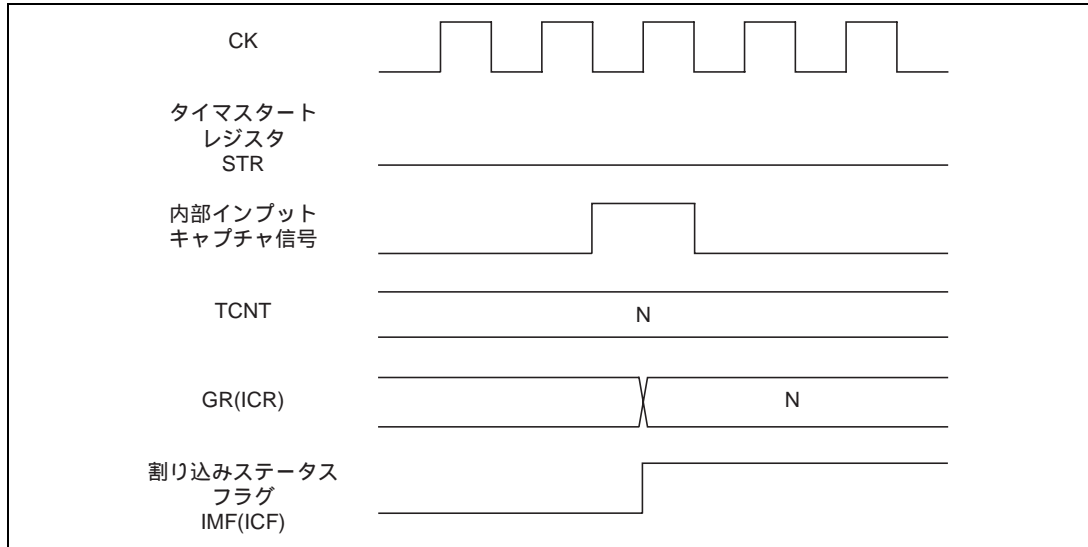


図 10.62 フリーランニングカウンタを動作させる前のインプットキャプチャ動作

10. アドバンスタイマユニット (ATU)

(11) DCNT の書き込みとアンダフローによるカウンタ 0 クリアの競合

チャンネル 10 のダウンカウンタ (DCNT10A ~ 10H) は、ダウンカウンタへの CPU ライトサイクル中の T2 ステートで、アンダフローが発生してカウンタが停止するとき、DCNT への CPU からの書き込みは行われず、H'0000 の保持を優先します。なお、アンダフロータイミングでの割り込みステータスフラグ (OSF) への 1 ライトも、通常のアンダフローと同様に行われます。

このタイミングを図 10.63 に示します。これは DCNT にアンダフローのタイミングで H'5555 を書き込もうとしたときの動作例です。

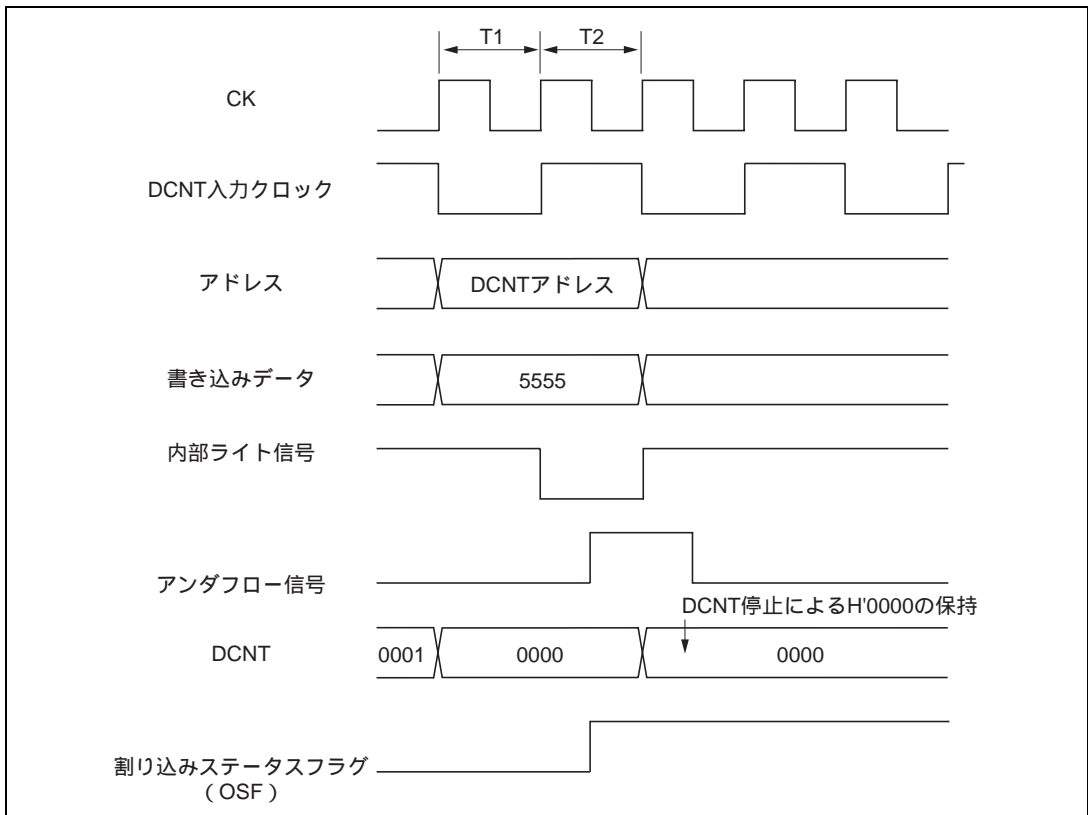


図 10.63 DCNT の書き込みとアンダフローの競合

(12) CPU からの DSTR の 1 セットとアンダフローによる 0 クリア競合

CPU からダウンカウントスタートレジスタ (DSTR) への '1' ライトサイクル中の T2 ステートで、アンダフローが発生すると、DSTR の対応するビットには '1' ライトされず、そのアンダフローによる '0' クリアが優先されます。

このタイミングを図 10.64 に示します。

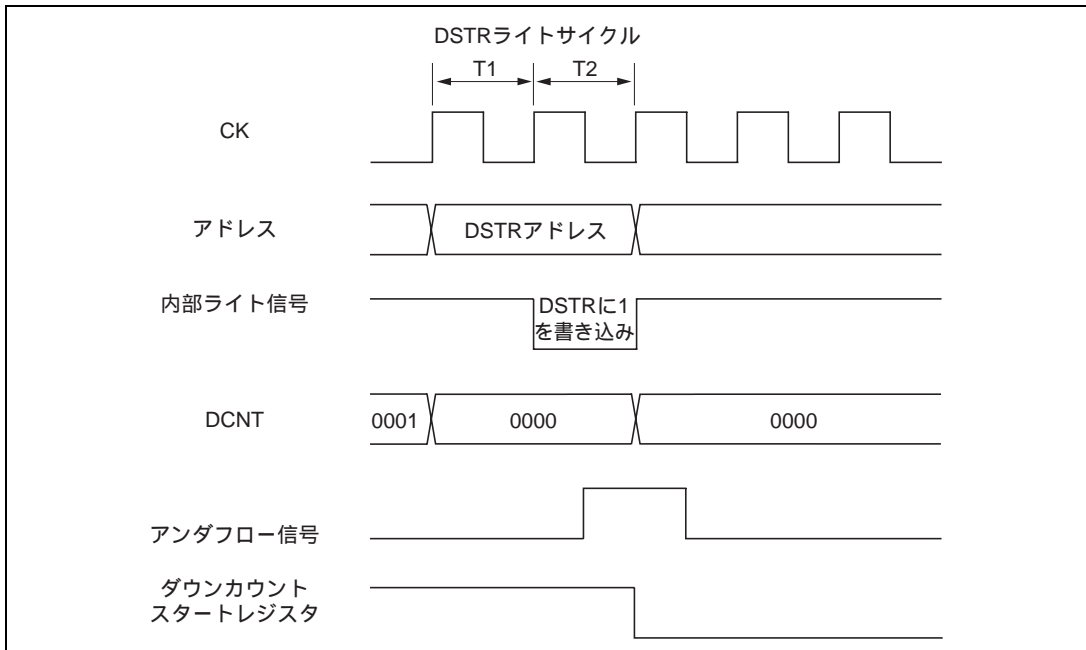


図 10.64 CPU からの DSTR の 1 セットとアンダフローによる 0 クリア競合

10. アドバンスドタイマユニット (ATU)

(13) プリスケアラレジスタ (PSCR1)、タイマコントロールレジスタ (TCR) およびタイマモードレジスタ (TMDR) の設定タイミング

プリスケアラレジスタ (PSCR1)、タイマコントロールレジスタ (TCR) およびタイマモードレジスタ (TMDR) への設定は、カウンタを起動する以前に行ってください。カウンタ起動中に PSCR1、TCR あるいは TMDR を変更すると、動作は保証できません。

(14) 割り込みステータスフラグのクリア手順

割り込みステータスフラグを CPU から 0 クリアする際には、必ず一度リードしてから 0 を書き込んでください。リードせずに 0 書き込みを行うと、動作は保証できません。

(15) フリーランニングカウンタ 6~9 (TCNT6~9) への H'0000 設定

チャンネル 6~9 のフリーランニングカウンタ (TCNT6~9) に H'0000 を書き込み、カウンタスタートすると、サイクルレジスタ (CYLR) およびデューティレジスタ (DTR) との最初のコンペアマッチまでの間隔が、TCNT 入力クロックで最大 1 クロック分、設定値より長くなります。それ以降のコンペアマッチでは、CYLR 値および DTR 値に対し正確な波形を出力します。

(16) フリーランニングカウンタ (TCNT) のカウント停止時の各レジスタ値

タイマスタートレジスタ (TSTR) 値を途中で 0 に設定すると、対応するフリーランニングカウンタ (TCNT) のカウントアップが停止するのみであり、当該フリーランニングカウンタ (TCNT) および ATU の全レジスタの初期化は行われません。なお、外部出力値は TSTR を 0 に設定した時点の値が出力し続けます。

(17) TCNT0 の書き込み時とインターバルタイマ動作

インターバルインタラプトリクエストレジスタ (ITVRR) を '1' に設定したビットと対応する、フリーランニングカウンタ 0 (TCNT0) のビットが 0 のときに、CPU プログラムから TCNT0 の当該ビットに '1' を書き込むと、結果として TCNT0 のビット 10~13 が 0 から 1 に変化したことを検出し、INTC への割り込み発生や A/D のサンプリングの起動を行います。

(18) ATU からの DMAC 起動による TSR 自動クリア動作

ATU から DMAC を起動する際、DMAC データ転送のソースアドレスまたはディスティネーションアドレスの少なくとも一方に、ATU の I/O 空間 (H'FFFF8200~H'FFFF82FF) のアドレスを設定しなければ、TSR の自動クリアが行われません。もし両方共に ATU の I/O 空間以外のアドレスを設定したければ、対応する割り込みルーチンのなかから、当 TSR の対応するビットを 1 リード後 0 ライトしてください。

(19) 割り込みステータスフラグのセット/リセット動作

TSRF は、ある特定のビットをクリアするために一度 1 リードした後かつ 0 ライトする前に、同ビットに重複してイベントが発生した場合に限り、当ビットへの 0 ライトは無効になります。(重複して発生したイベントを受け付けます)。0 ライトするためには、もう一度 1 リードが必要になります。また、TSRA~E においては、1 リード後の 0 ライトを行う前に、同ビットに重複してイベントが発生してもそのイベントは受け付けられません。

(20) ソフトウェアスタンバイ時の外部出力値

ソフトウェアスタンバイによって ATU のレジスタと外部出力値は 0 にクリアされます。ただし、TIOA ~ F1 と TIOA、B2 の外部出力値はソフトウェアスタンバイ解除直後に 0 クリアされるのに対して、それ以外の外部出力値および全てのレジスタはソフトウェアスタンバイ遷移直後に 0 クリアされます。

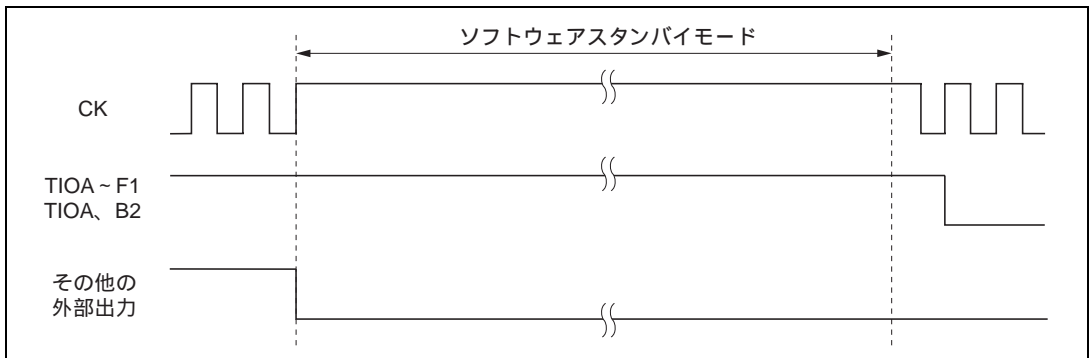


図 10.65 ソフトウェアスタンバイモード時の外部出力値の変化点

10.8 アドバンスタイマユニットのレジスタおよび端子の一覧表

表 10.4 レジスタおよび端子の一覧表

レジスタ名	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5	チャンネル6	チャンネル7	チャンネル8	チャンネル9	チャンネル10
TSTR (16)	-	-	-	TSTR			-	-	-	-	-
TMDR (8)	-	TCR1	TCR2	TCR3	TMDR TCR4	TCR5	TCR6	TCR7	TCR8	TCR9	TCR10
TCR (8)	-	-	-	-	-	PSCR1	-	-	-	-	-
PSCR1 (8)	-	-	-	-	-	-	-	-	-	-	-
TIOR (8)	TIOR0A	TIOR1A ~ TIOR1C	TIOR2A	TIOR3A TIOR3B	TIOR4A TIOR4B	TIOR5A	-	-	-	-	-
TGSR (8)	TGSR	-	-	-	-	-	-	-	-	-	-
TSR (8)	TSRAH, TSRAL	TSRB	TSRC	-	TSRDH TSRDL	-	TSRE	-	-	-	TSRF
TIER (8)	TIERA	TIERB	TIERC	-	TIERDH TIERDL	-	TIERE	-	-	-	TIERF
ITVRR (8)	ITVRR	-	-	-	-	-	-	-	-	-	-
DSTR (8)	-	-	-	-	-	-	-	-	-	-	DSTR
TCNDR (8)	-	-	-	-	-	-	-	-	-	-	TCNR
TCNT (16)	TCNT0H, TCNT0L	TCNT1	TCNT2	TCNT3	TCNT4	TCNT5	TCNT6	TCNT7	TCNT8	TCNT9	-
ICR (16)	ICR0AH, ICR0AL ~ ICR0DH, ICR0DL	-	-	-	-	-	-	-	-	-	-
GR (16)	-	GR1A ~ GR1F	GR2A GR2B	GR3A ~ GR3D	GR4A ~ GR4D	GR5A GR5B	-	-	-	-	-
DCNT (16)	-	-	-	-	-	-	-	-	-	-	DCNT10A ~ DCNT10H
OSBR (16)	-	OSBR	-	-	-	-	CYLR6	CYLR7	CYLR8	CYLR9	-
CYLR (16)	-	-	-	-	-	-	BFR6	BFR7	BFR8	BFR9	-
BFR (16)	-	-	-	-	-	-	DTR6	DTR7	DTR8	DTR9	-
DTR (16)	-	-	-	-	-	-	TO6	TO7	TO8	TO9	TOA10 ~ TOH10
端子*	TIA0 ~ TID0	TIOA1 ~ TIOF1, TCLKA, TCLKB	TIOA2 TIOB2	TIOA3 ~ TCLKA, TCLKB	TIOA4 ~ TCLKA, TCLKB	TIOA5 TIOB5	-	-	-	-	-

【注】* 端子は「16. ピンファンクションコントローラ (PFC)」で機能を設定してください。
尚、入出力兼用端子 (例 TIOA1) の場合は「17. I/Oポート」でも機能を設定してください。

11. アドバンストパルスコントローラ (APC)

11.1 概要

本 LSI は、アドバンストタイマユニット (ATU) をタイムベースとして最大 8 本のパルス出力を行うアドバンストパルスコントローラ (APC) を内蔵しています。

11.1.1 特長

APC には、次のような特長があります。

最大 8 本のパルス出力

パルス出力する端子を 8 つの端子から選択できます。複数設定が可能です。

出力トリガはアドバンストタイマユニット (ATU) のチャンネル 2

ATU のチャンネル 2 のコンペアマッチレジスタから発生したコンペアマッチ信号をトリガとしてパルスの 0 出力、1 出力を行います。

11. アドバンストパルスコントローラ (APC)

11.1.2 ブロック図

APCのブロック図を図 11.1 に示します。

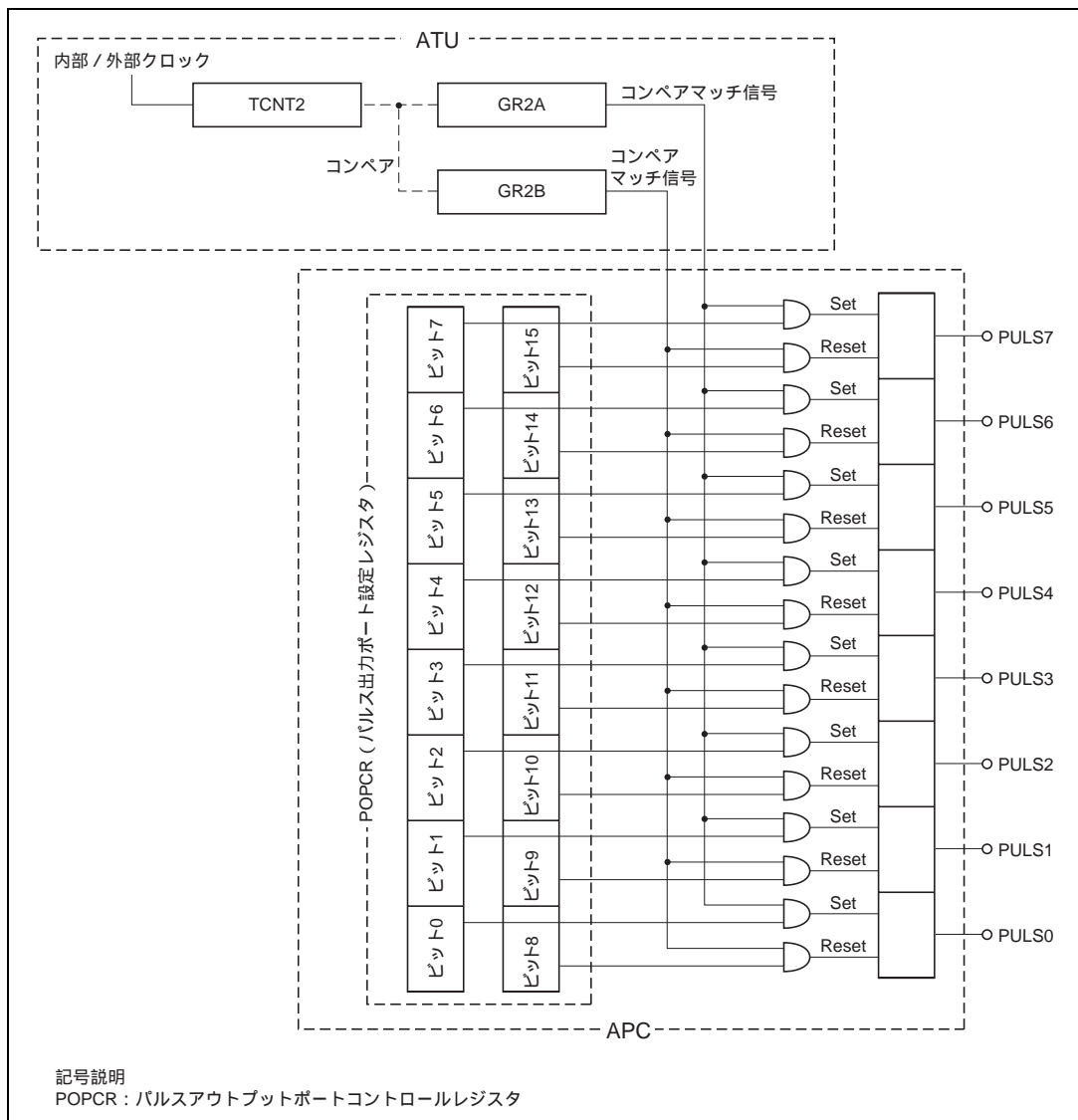


図 11.1 APCのブロック図

11.1.3 端子構成

APCの端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	入出力	機能説明
PULS0	出力	APC パルス出力 0
PULS1	出力	APC パルス出力 1
PULS2	出力	APC パルス出力 2
PULS3	出力	APC パルス出力 3
PULS4	出力	APC パルス出力 4
PULS5	出力	APC パルス出力 5
PULS6	出力	APC パルス出力 6
PULS7	出力	APC パルス出力 7

11.1.4 レジスタ構成

APCのレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
パルスアウトポートコントロールレジスタ	POPCR	R/W	H'0000	H'FFFF83C0	8、16

【注】 レジスタアクセスサイクルは2サイクルです。

11.2 レジスタの説明

11.2.1 パルスアウトポートコントロールレジスタ (POPCR)

パルスアウトポートコントロールレジスタ (POPCR) は読み出し / 書き込み可能な 16 ビットのレジスタです。

POPCR はパワーオンリセットおよびハードウェアスタンバイモード時に、H'0000 に初期化されません。ソフトウェアスタンバイモード時には初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PULS7 ROE	PULS6 ROE	PULS5 ROE	PULS4 ROE	PULS3 ROE	PULS2 ROE	PULS1 ROE	PULS0 ROE	PULS7 SOE	PULS6 SOE	PULS5 SOE	PULS4 SOE	PULS3 SOE	PULS2 SOE	PULS1 SOE	PULS0 SOE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~8 : PULS7~0 リセットアウトプットイネーブル (PULS7~0ROE)

APC パルス出力端子 (PULS7~0) への 0 出力の許可 / 禁止をビット単位で選択します。

ビット 15~8	説明
PULS7~0ROE	
0	APC パルス出力端子 (PULS7~0) への 0 出力を禁止 (初期値)
1	APC パルス出力端子 (PULS7~0) への 0 出力を許可

本ビットを 1 に設定すると、GR2B と TCNT2 の値がコンペアマッチしたとき、対応する端子から 0 が出力されます。

ビット 7~0 : PULS7~0 セットアウトプットイネーブル (PULS7~0SOE)

APC パルス出力端子 (PULS7~0) への 1 出力の許可 / 禁止をビット単位で選択します。

ビット 7~0	説明
PULS7~0SOE	
0	APC パルス出力端子 (PULS7~0) への 1 出力を禁止 (初期値)
1	APC パルス出力端子 (PULS7~0) への 1 出力を許可

本ビットを 1 に設定すると、GR2A と TCNT2 の値がコンペアマッチしたとき、対応する端子から 1 が出力されます。

11.3 動作説明

11.3.1 概要

APC パルス出力は、ピンファンクションコントローラ (PFC) でマルチプレクス端子を APC パルス出力に設定し、パルスアウトポートコントロールレジスタ (POPCR) の対応するビットを 1 にすることで許可状態になります。

その後、アドバンストタイムユニット (ATU) のジェネラルレジスタ 2A (GR2A) がコンペアマッチ信号を発生すると、POPCR のビット 7~0 で 1 に設定された端子から 1 が出力されます。また、ジェネラルレジスタ 2B (GR2B) がコンペアマッチ信号を発生すると、POPCR のビット 15~8 で 1 に設定された端子から 0 が出力されます。

出力許可状態から最初のコンペアマッチが発生するまでは 0 が出力されます。

APC 出力動作を図 11.2 に示します。

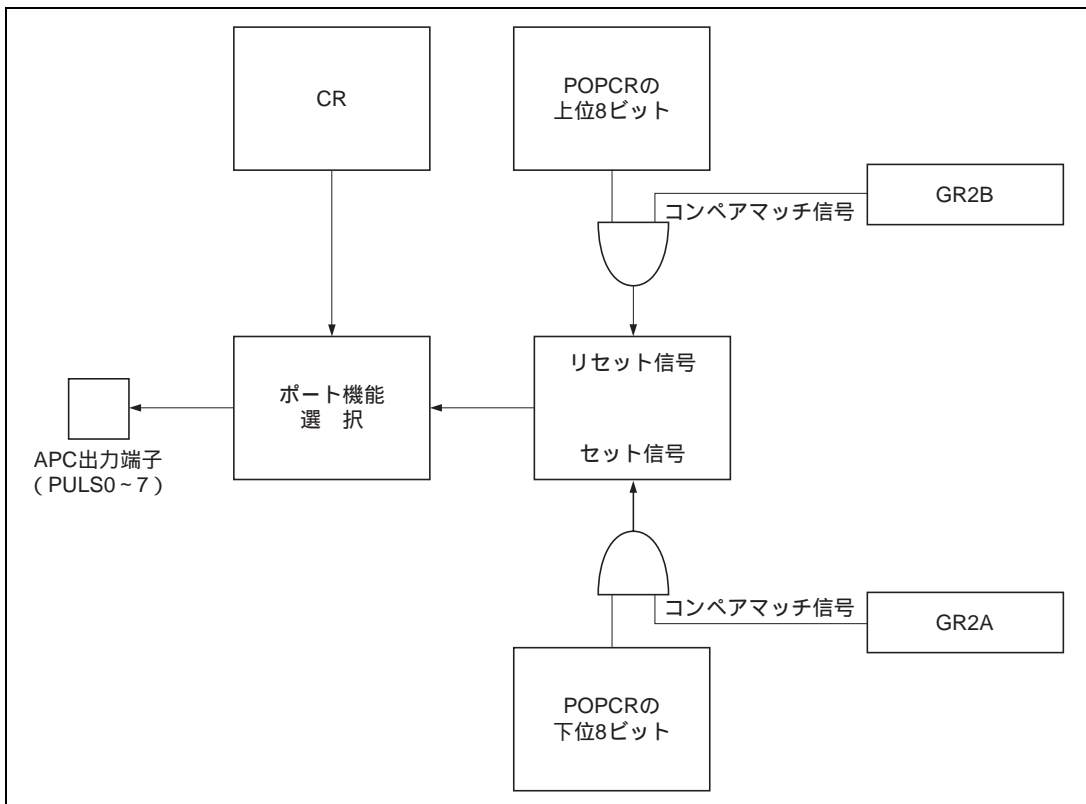


図 11.2 APC 出力動作

11.3.2 APC 出力動作

(1) APC 出力動作の設定手順例

APC 出力動作の設定手順例を図 11.3 に示します。

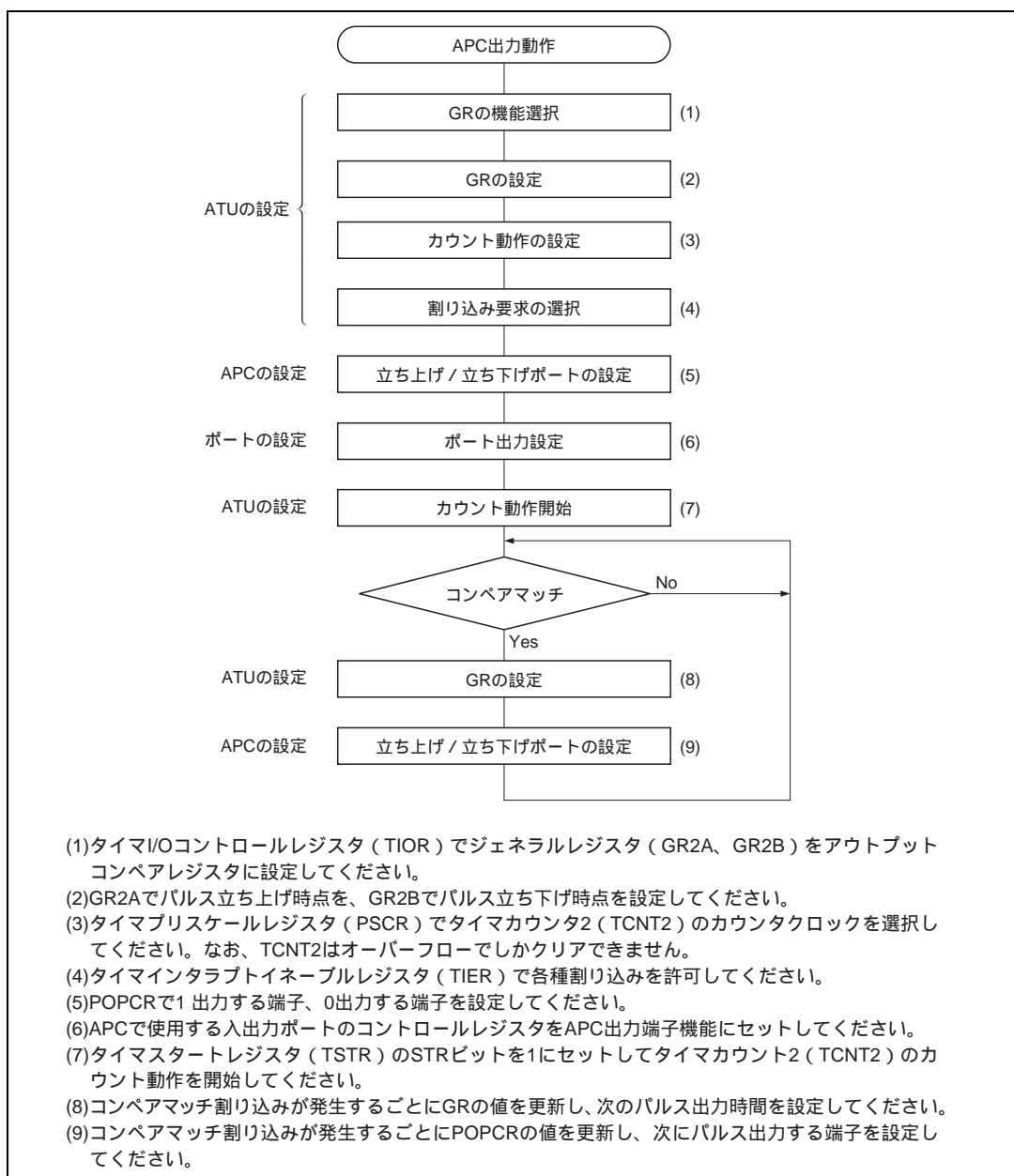


図 11.3 APC 出力動作の設定手順例

(2) APC 出力動作例

APC 出力動作例を図 11.4 に示します。

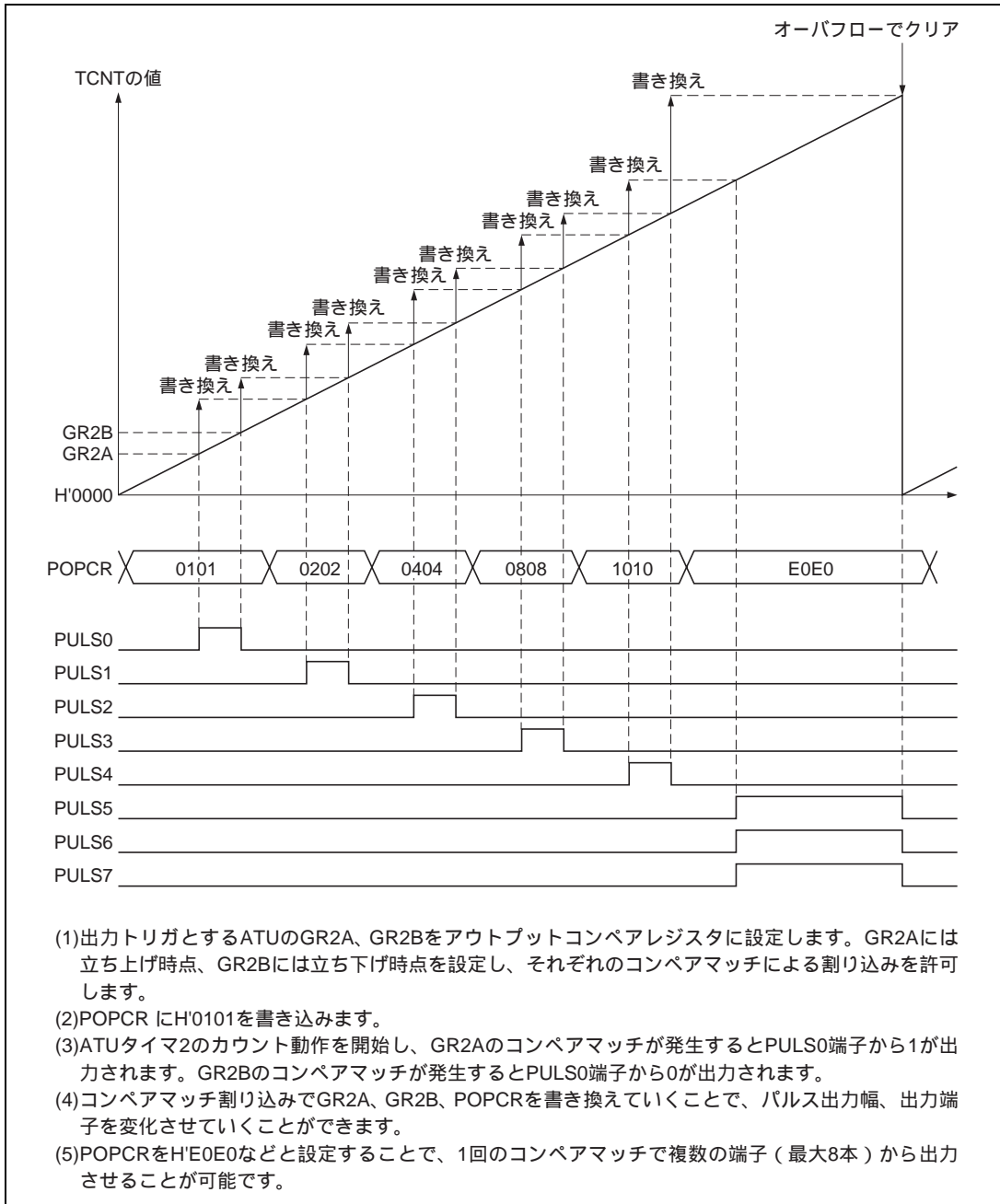


図 11.4 APC 出力動作例

11.4 使用上の注意

(1) コンペアマッチ信号の競合

GR2A と GR2B を同じ値に設定し、POPCR の設定で同一端子の 0 出力、1 出力をともに許可した場合、コンペアマッチ時の PULS0~7 端子は 0 出力が優先されます。

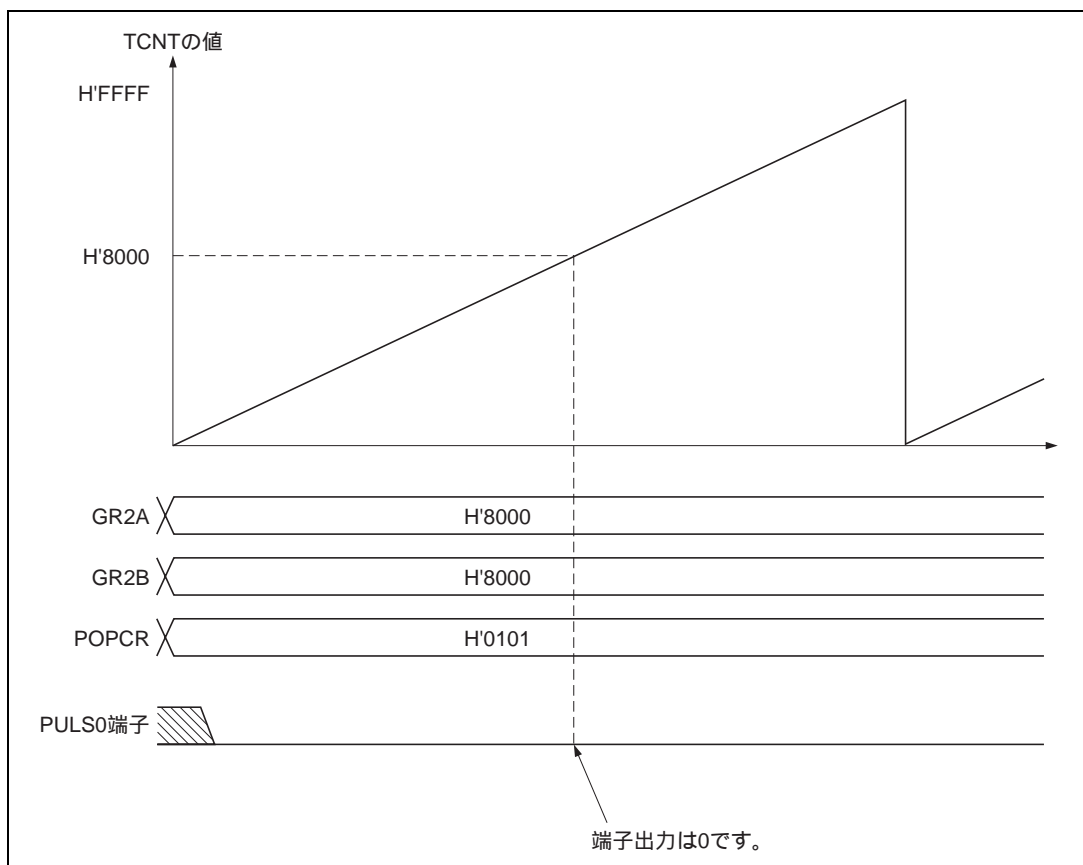


図 11.5 コンペアマッチ競合例

12. ウォッチドッグタイマ (WDT)

12.1 概要

ウォッチドッグタイマ(WDT)は1チャンネルのタイマで、システムの監視を行うことができます。WDTは、システムの暴走などによりカウンタの値をCPUが正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号($\overline{\text{WDTOVF}}$)を出力します。同時に、本LSIの内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。また、WDTはスタンバイモードの解除時にも使用されます。

12.1.1 特長

WDTには次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力

カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうか選択できます。

インターバルタイマモード時、割り込みを発生

カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。

ソフトウェアスタンバイモードの解除時に使用

8種類のカウンタ入力クロックを選択可能

12. ウォッチドッグタイマ (WDT)

12.1.2 ブロック図

WDTのブロック図を図 12.1 に示します。

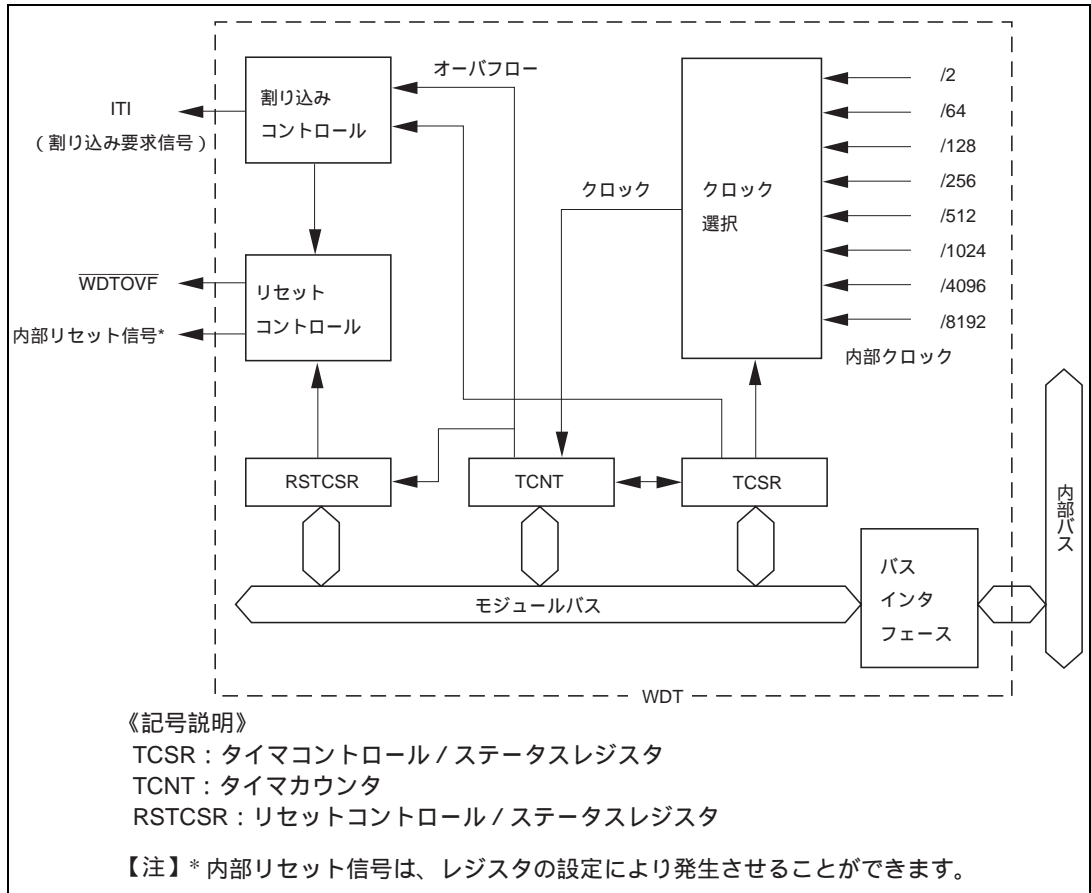


図 12.1 WDTのブロック図

12.1.3 端子構成

WDTの端子を表 12.1 に示します。

表 12.1 端子構成

名称	略称	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタ オーバーフロー信号出力

12.1.4 レジスタ構成

WDT には、表 12.2 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				書き込み* ¹	読み出し* ²
タイマコントロール/ステータスレジスタ	TCSR	R/(W)* ³	H'18	H'FFFF8610	H'FFFF8610
タイマカウンタ	TCNT	R/W	H'00		H'FFFF8611
リセットコントロール/ステータスレジスタ	RSTCSR	R/(W)* ³	H'1F	H'FFFF8612	H'FFFF8613

【注】 レジスタアクセスはバイトアクセス時、ワードアクセス時共 3 サイクルです。

- *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。
- *2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。
- *3 ビット 7 には、フラグをクリアするために、0 のみ書き込むことができます。

12.2 レジスタの説明

12.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ (TCNT) は、読み出し / 書き込み可能な^{*}8ビットのアップカウンタです。タイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を 1 にすると、TCSR の CKS2 ~ CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF H'00) すると、TCSR の WT/IT ビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 (WDTOVF) またはインターバルタイマ割り込み (ITI) が発生します。

TCNT は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、または TME ビットが 0 のとき、H'00 に初期化されます。

【注】* TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

12.2.2 タイマコントロール / ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

タイマコントロール / ステータスレジスタ (TCSR) は、読み出し / 書き込み可能な^{*}8ビットのレジスタで、タイマカウンタ (TCNT) に入力するクロック、モードの選択などを行います。

ビット 7 ~ 5 は、パワーオンリセット、ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時に 000 に初期化されます。ビット 2 ~ 0 は、パワーオンリセットおよびハードウェアスタンバイモードで 000 に初期化されますが、ソフトウェアスタンバイモード時には初期化されません。

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：オーバフローフラグ (OVF)

インターバルタイマモードで、TCNT がオーバフロー (H'FF H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	インターバルタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] OVF を読み出してから 0 を書き込む
1	インターバルタイマモードで TCNT のオーバフロー発生

ビット6：タイマモードセレクト (WT/ \overline{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、WDTOVF 信号が発生するかが決まります。

ビット6	説明
WT/ \overline{IT}	
0	インターバルタイマモード：TCNT がオーバフローしたとき CPU ヘインターバルタイマ割り込み (ITI) を要求 (初期値)
1	ウォッチドッグタイマモード：TCNT がオーバフローしたとき \overline{WDTOVF} 信号を外部へ出力 *

【注】 * ウォッチドッグタイマモードのとき、TCNT がオーバフローした場合についての詳細は「12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	タイマディスエーブル：TCNT を H'00 に初期化し、カウントアップを停止 (初期値)
1	タイマイネーブル：TCNT はカウントアップを開始。TCNT がオーバフローすると、WDTOVF 信号または割り込みが発生。

ビット4、3：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

12. ウォッチドッグタイマ (WDT)

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

システムクロック (ϕ) を分周して得られる 8 種類の内部クロックから、TCNT に入力するクロックを選択します。

ビット2	ビット1	ビット0	説 明	
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* ($\phi=20\text{MHz}$ の場合)
0	0	0	$\phi/2$ (初期値)	25.6 μs
		1	$\phi/64$	819.2 μs
	1	0	$\phi/128$	1.6ms
		1	$\phi/256$	3.3ms
1	0	0	$\phi/512$	6.6ms
		1	$\phi/1024$	13.1ms
	1	0	$\phi/4096$	52.4ms
		1	$\phi/8192$	104.9ms

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	—	—	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W:	R/(W)*	R/W	R	R	R	R	R	R

【注】 * ビット7には、フラグをクリアするために、0のみ書き込むことができます。

リセットコントロール/ステータスレジスタ (RSTCSR) は、読み出し/書き込み可能な8ビットのレジスタで、タイマカウンタ (TCNT) のオーバーフローによる内部リセット信号の発生を制御します。

RSTCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバーフローによる内部リセット信号では初期化されません。ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時には、H'1F に初期化されます。

【注】 * RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNTがオーバフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説明
WOVF	
0	ウォッチドッグタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] WOVF を読み出してから WOVF に 0 を書き込む
1	ウォッチドッグタイマモードで TCNT のオーバフロー発生

ビット6：リセットイネーブル (RSTE)

ウォッチドッグタイマモードで TCNT がオーバフローしたとき、本 LSI 内部をリセットする信号を発生するかどうかを選択します。

ビット6	説明
RSTE	
0	TCNT がオーバフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバフローしたとき、内部リセットする

【注】 * 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

ビット5、4：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット3~0：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

12.2.4 レジスタアクセス時の注意

タイマカウンタ (TCNT)、タイマコントロール/ステータスレジスタ (TCSR)、リセットコントロール/ステータスレジスタ (RSTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出し/書き込みを行ってください。

(1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 12.2 に示すように、TCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。TCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へ書き込まれます。

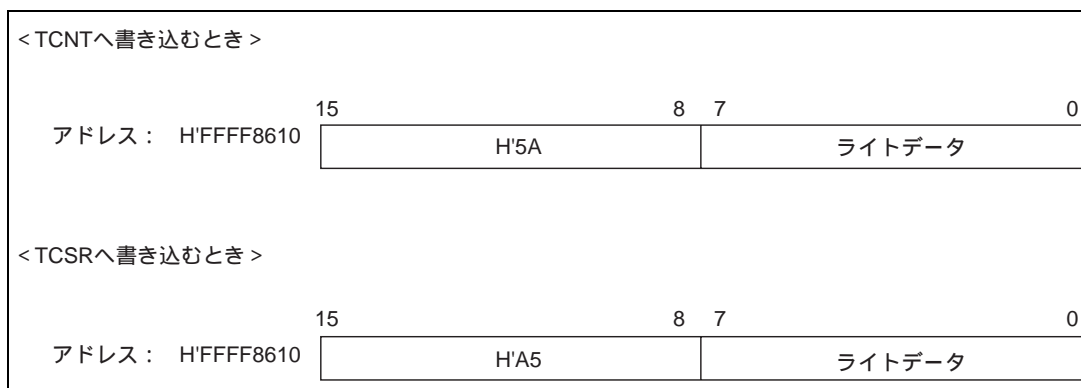


図 12.2 TCNT、TCSR への書き込み

(2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'FFFF8612 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) に書き込む場合では、図 12.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 の値が RSTE ビットに書き込まれます。このとき、WOVF ビットは影響を受けません。

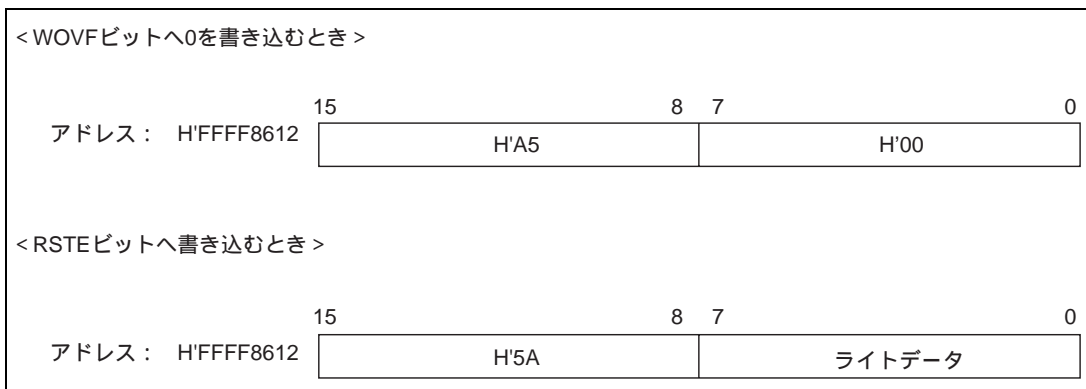


図 12.3 RSTCSR への書き込み

(3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'FFFF8610 に、TCNT は、アドレス H'FFFF8611 に、RSTCSR は、アドレス H'FFFF8613 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

12.3 動作説明

12.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の WT/\overline{IT} ビットと TME ビットの両方を 1 に設定してください。また、タイマカウンタ (TCNT) がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が外部に出力されます。これを図 12.4 に示します。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号は、128 クロックの間出力されます。

リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。内部リセット信号は、512 ϕ クロックの間出力されます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

なお、WDT によるリセット信号により、(1) ピンファンクションコントローラ (PFC) のレジスタ、(2) I/O ポートのレジスタは初期化されません。(外部からのパワーオンリセットのみで初期化されます。)

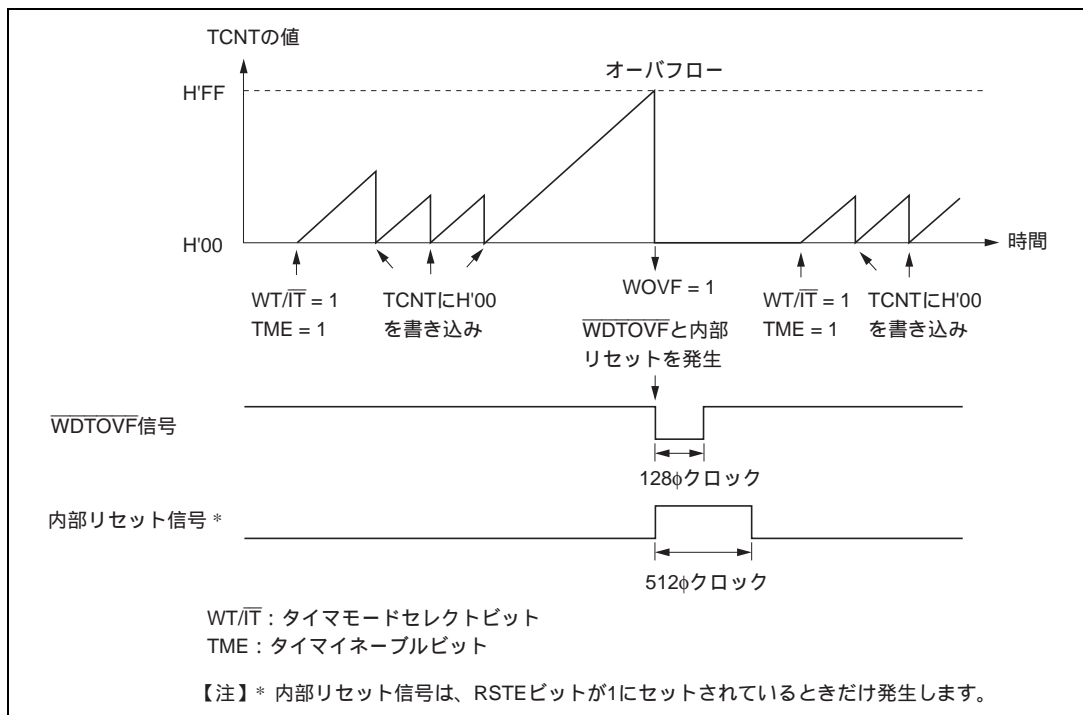


図 12.4 ウォッチドッグタイマモード時の動作

12.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の WT/IT ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 12.5 に示すように、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

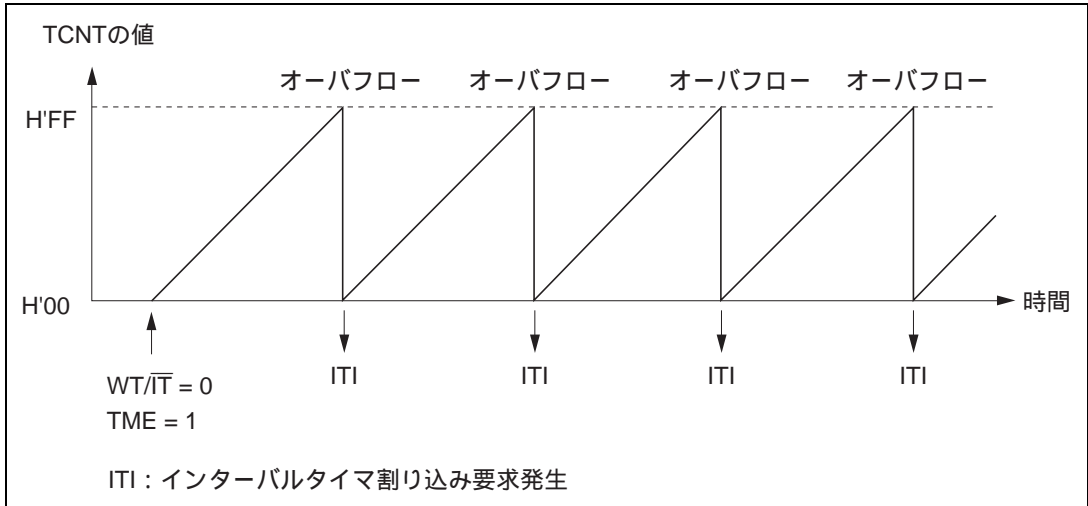


図 12.5 インターバルタイマモード時の動作

12.3.3 ソフトウェアスタンバイモード解除時の動作

WDT は、ソフトウェアスタンバイモードが NMI 割り込みで解除されるときに使用されます。ソフトウェアスタンバイモードを使用する場合は、WDT を次の (1) に示すように設定してください。

(1) ソフトウェアスタンバイモード遷移前の設定

ソフトウェアスタンバイモードに遷移する前に、必ずタイマコントロール/ステータスレジスタ (TCSR) の TME ビットを 0 にして、WDT を停止させてください。TME ビットが 1 になっていると、ソフトウェアスタンバイモードに遷移できません。また、タイマカウンタ (TCNT) のオーバーフロー周期が発振安定時間以上になるように、TCSR の CKS2 ~ CKS0 ビットを設定してください。発振安定時間については、「22.3 AC 特性」を参照してください。

(2) ソフトウェアスタンバイモード解除時の動作

ソフトウェアスタンバイモードで NMI 信号が入力されると、発振器が動作を開始し、TCNT はソフトウェアスタンバイモード遷移前に CKS2 ~ CKS0 ビットで選択しておいたクロックにより、カウントアップを開始します。TCNT がオーバーフロー (H'FF H'00) すると、クロックが安定し使用可能であると判断され、本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードの詳細については、「21. 低消費電力状態」を参照してください。

12.3.4 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでタイマカウンタ (TCNT) がオーバーフローすると、タイマコントロール/ステータスレジスタ (TCSR) の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図 12.6 に示します。

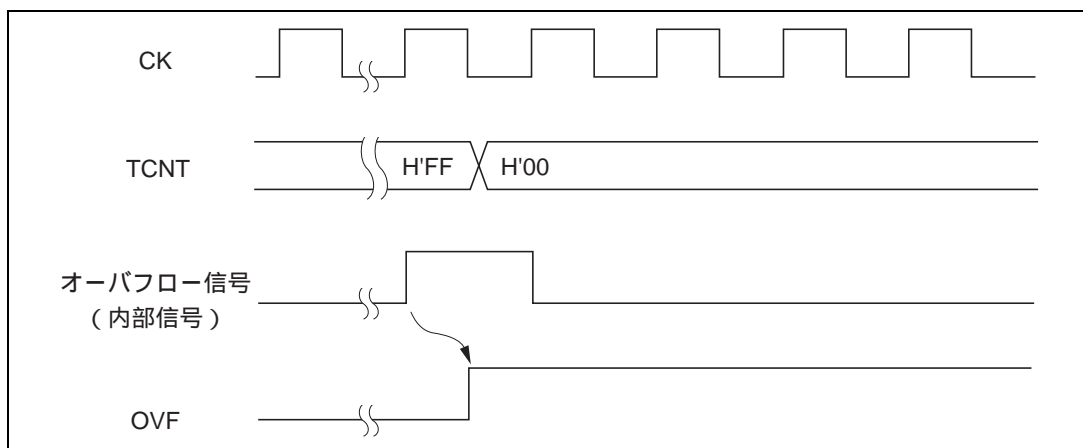


図 12.6 オーバフローフラグ (OVF) のセットタイミング

12.3.5 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでタイマカウンタ (TCNT) がオーバーフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 12.7 に示します。

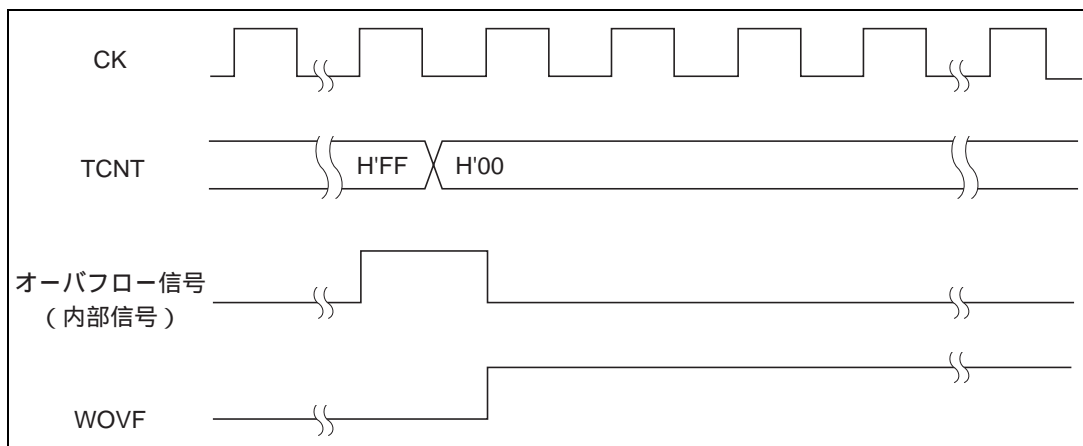


図 12.7 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

12.4 使用上の注意

12.4.1 タイマカウンタ (TCNT) の書き込みとカウントアップの競合

タイマカウンタ (TCNT) のライトサイクル中の T3 ステートでカウントアップが発生しても、TCNT へのデータ書き込みが優先され、カウントアップされません。これを図 12.8 に示します。

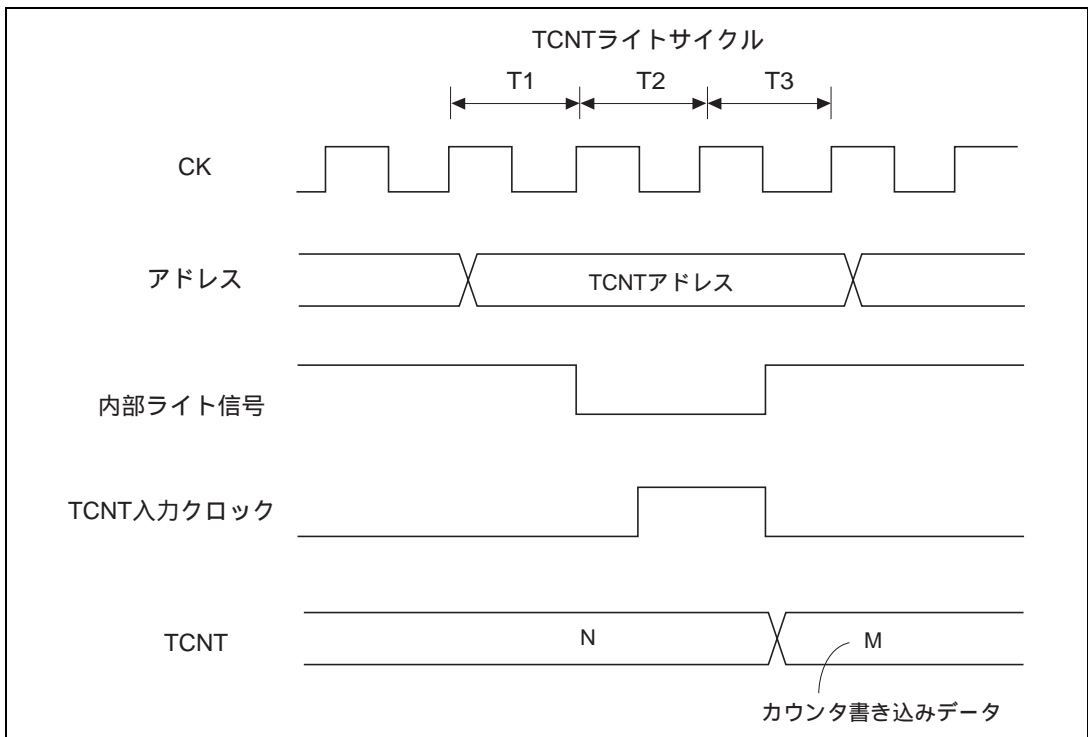


図 12.8 TCNT の書き込みとカウントアップの競合

12.4.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中にタイマコントロール/ステータスレジスタ (TCSR) の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.4.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.4.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 12.9 に示すような回路で行ってください。

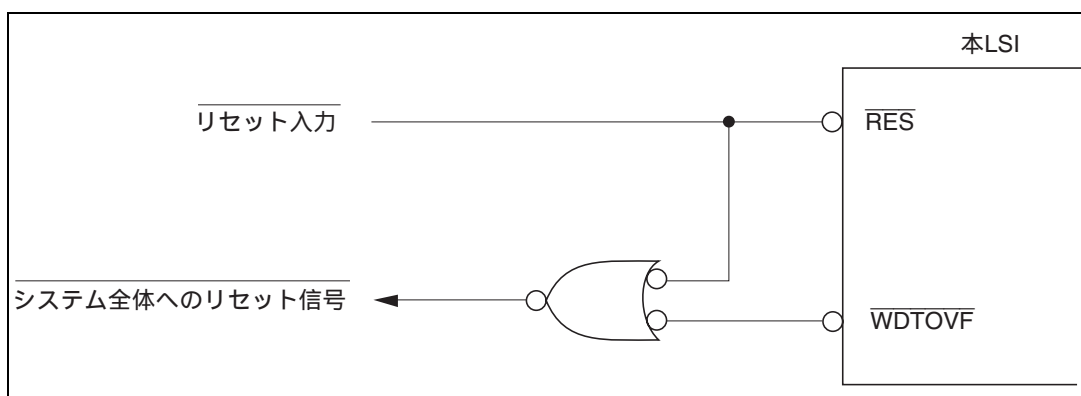


図 12.9 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

12.4.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT 内の TCNT、TCSR はリセットされます。

13. シリアルコミュニケーションインタフェース

13.1 概要

本 LSI は、独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI) を備えています。3 チャンネルは、同一の機能を持っています。

SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

13.1.1 特長

SCI には次のような特長があります。

シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

- 調歩同期式モード
キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。
 - データ長：7 ビット、または 8 ビット
 - ストップビット長：1 ビット、または 2 ビット
 - パリティ：偶数パリティ、奇数パリティ、またはパリティなし
 - マルチプロセッサビット：1 または 0
 - 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラーを検出
 - ブレークの検出：フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことによりブレークを検出できます。
- クロック同期式モード
クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。
 - データ長：8 ビット
 - 受信エラーの検出：オーバランエラーを検出

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みによりダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

13. シリアルコミュニケーションインタフェース

13.1.2 ブロック図

図 13.1 に SCI のブロック図を示します。

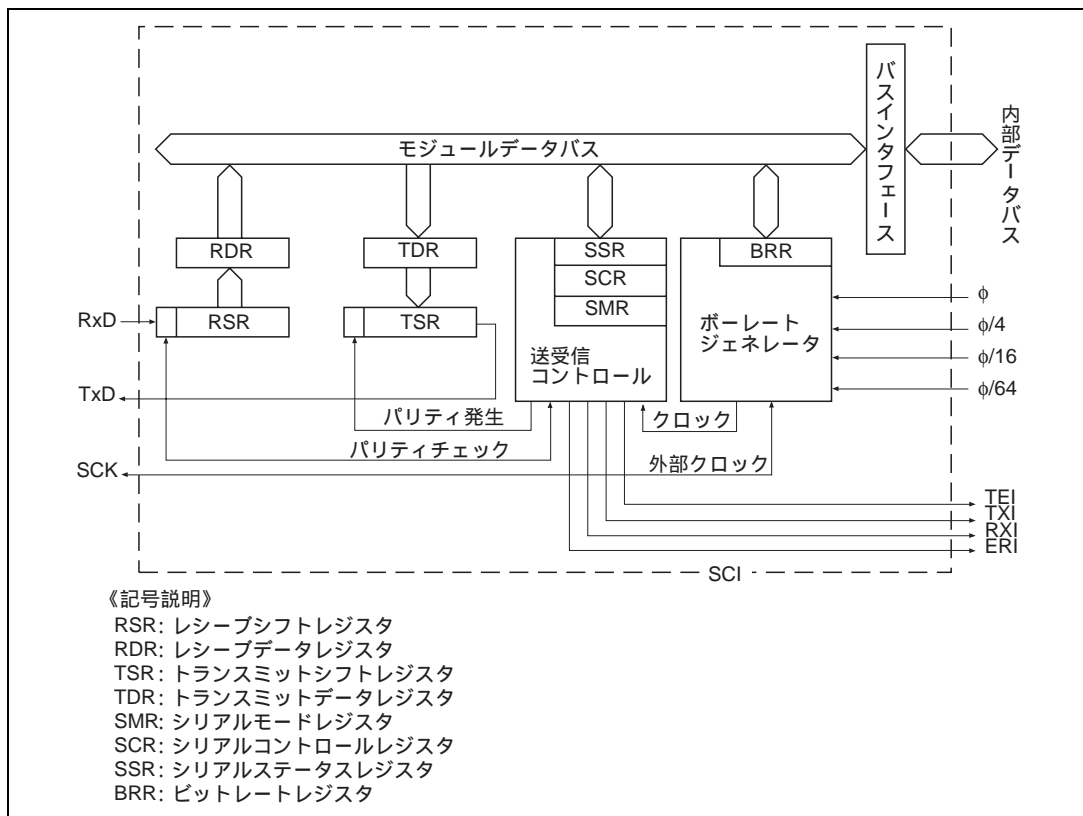


図 13.1 SCI のブロック図

13.1.3 端子構成

SCI は、チャンネルごとに表 13.1 に示すシリアル端子を持っています。

表 13.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子	TxD2	出力	SCI2 の送信データ出力

13.1.4 レジスタ構成

SCIには、表 13.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 13.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス* ²	アクセスサイズ
0	シリアルモードレジスタ	SMR0	R/W	H'00	H'FFFF81A0	8、16
	ビットレートレジスタ	BRR0	R/W	H'FF	H'FFFF81A1	8、16
	シリアルコントロールレジスタ	SCR0	R/W	H'00	H'FFFF81A2	8、16
	トランスミットデータレジスタ	TDR0	R/W	H'FF	H'FFFF81A3	8、16
	シリアルステータスレジスタ	SSR0	R/(W)* ¹	H'84	H'FFFF81A4	8、16
	レシーブデータレジスタ	RDR0	R	H'00	H'FFFF81A5	8、16
1	シリアルモードレジスタ	SMR1	R/W	H'00	H'FFFF81B0	8、16
	ビットレートレジスタ	BRR1	R/W	H'FF	H'FFFF81B1	8、16
	シリアルコントロールレジスタ	SCR1	R/W	H'00	H'FFFF81B2	8、16
	トランスミットデータレジスタ	TDR1	R/W	H'FF	H'FFFF81B3	8、16
	シリアルステータスレジスタ	SSR1	R/(W)* ¹	H'84	H'FFFF81B4	8、16
	レシーブデータレジスタ	RDR1	R	H'00	H'FFFF81B5	8、16
2	シリアルモードレジスタ	SMR2	R/W	H'00	H'FFFF81C0	8、16
	ビットレートレジスタ	BRR2	R/W	H'00	H'FFFF81C1	8、16
	シリアルコントロールレジスタ	SCR2	R/W	H'00	H'FFFF81C2	8、16
	トランスミットデータレジスタ	TDR2	R/W	H'00	H'FFFF81C3	8、16
	シリアルステータスレジスタ	SSR2	R/(W)* ¹	H'00	H'FFFF81C4	8、16
	レシーブデータレジスタ	RDR2	R	H'00	H'FFFF81C5	8、16

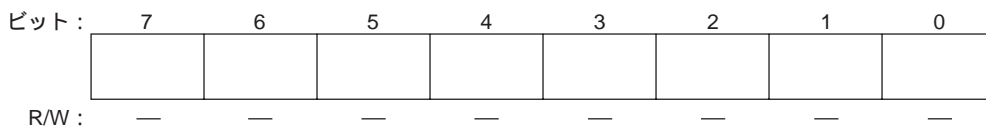
【注】 *1 フラグをクリアするために0のみ書き込むことができます。

*2 空きアドレスはアクセスしないでください。

レジスタアクセスは、バイトアクセス時2サイクル、ワードアクセス時4サイクルとなります。

13.2 レジスタの説明

13.2.1 レシーブシフトレジスタ (RSR)

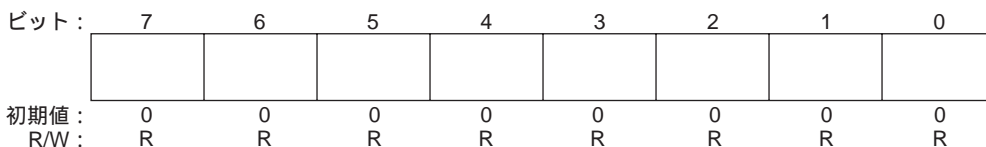


レシーブシフトレジスタ (RSR) は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から直接 RSR の読み出し / 書き込みをすることはできません。

13.2.2 レシーブデータレジスタ (RDR)



レシーブデータレジスタ (RDR) は、受信したシリアルデータを格納するレジスタです。

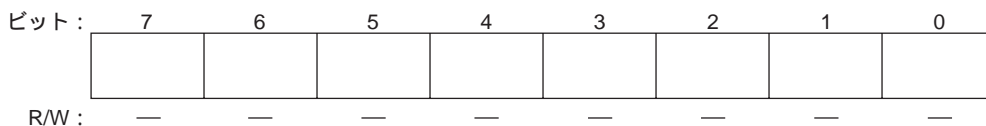
SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

RDR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'00 に初期化されます。

13.2.3 トランスミットシフトレジスタ (TSR)



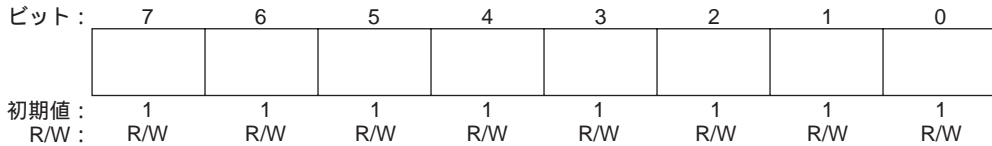
トランスミットシフトレジスタ (TSR) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (TDR) から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR の読み出し / 書き込みをすることはできません。

13.2.4 トランスミットデータレジスタ (TDR)

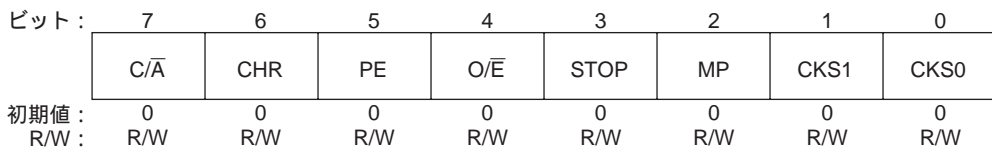


トランスミットデータレジスタ(TDR)は、シリアル送信するデータを格納する8ビットのレジスタです。SCIは、トランスミットシフトレジスタ(TSR)の空を検出すると、TDRに書き込まれた送信データをTSRに転送してシリアル送信を開始します。TSRのシリアルデータ送信中にTDRに次の送信データを書き込んでおくと、連続シリアル送信ができます。

TDRは、常にCPUによる読み出し/書き込みが可能です。

TDRは、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードでH'FFに初期化されます。

13.2.5 シリアルモードレジスタ (SMR)



シリアルモードレジスタ(SMR)は、SCIのシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための8ビットのレジスタです。

SMRは、常にCPUによる読み出し/書き込みが可能です。

SMRは、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードでH'00に初期化されます。

ビット7: コミュニケーションモード (C/ \bar{A})

SCIの動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

13. シリアルコミュニケーションインタフェース

ビット6：キャラクタレングス（CHR）

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。
クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ*

【注】 * 7ビットデータを選択した場合、トランスミットデータレジスタ（TDR）のMSB（ビット7）は送信されません。

ビット5：パリティイネーブル（PE）

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PEビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PEビットに1をセットすると、送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード（O/E）

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれかでを行うかを選択します。O/Eビットの設定は、調歩同期式モードでPEビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/Eビットの指定は無効です。

ビット4	説明
O/E	
0	偶然パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明	
STOP		
0	1ストップビット* ¹	(初期値)
1	2ストップビット* ²	

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。
*2 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO/Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「13.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明	
MP		
0	マルチプロセッサ機能を禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

ビット1、0：クロックセレクト1、0（CKS1、CKS0）

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定で ϕ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「13.2.8 ビットレートレジスタ」を参照してください。

ビット1	ビット0	説明	
CKS1	CKS0		
0	0	ϕ クロック	(初期値)
	1	$\phi/4$ クロック	
1	0	$\phi/16$ クロック	
	1	$\phi/64$ クロック	

13.2.6 シリアルコントロールレジスタ (SCR)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCR) は、SCI の送信 / 受信動作、調歩同期モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU による読み出し / 書き込みが可能です。

SCR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

ビット 7: トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) へシリアル送信データが転送されシリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされたときに、送信データエンpty 割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット 7	説明
TIE	
0	送信データエンpty 割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンpty 割り込み (TXI) 要求を許可

【注】 * TXI の解除は、TDRE ビットの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット 6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へ転送されて SSR の RDRF ビットが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット 6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF ビット、または FER、PER、ORER ビットの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5：トランスミットイネーブル（TE）

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *1 SSR の TDRE ビットは 1 に固定されます。

- *2 この状態で、TDR に送信データを書き込んで、SSR の TDRE ビットを 0 にクリアするとシリアル送信を開始します。
 なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SMR) の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

- *2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
 なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態（通常の実動作をします） (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ビットのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER ビットのセットが許可されます。

13. シリアルコミュニケーションインタフェース

ビット 2 : トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット 2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE ビットの 1 を読み出した後、0 にクリアして TEND ビットを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。このとき、ピンファンクションコントローラ (PFC) で、SCK 端子の機能を選択しておいてください。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、CKE1、CKE0 ビットの設定の前には必ず SMR で SCI の動作モードを決定してください。

SCI のクロックソースの選択についての詳細は「13.3 動作説明」の表 13.9 を参照してください。

ビット 1	ビット 0	説明*1	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定)*2
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力*2
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力*3
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 SCK 端子は他の機能とマルチプレクスされています。この端子を SCK の機能とし、かつその入出力方向を選択するためには、ピンファンクションコントローラ (PFC) を設定してください。

*2 初期値

*3 ビットレートと同じ周波数のクロックを出力

*4 ビットレートの 16 倍の周波数のクロックを入力

13.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SSR) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SSR は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各ビットへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND ビット、および MPB ビットは読み出し専用であり、書き込むことはできません。

SSR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'84 に初期化されます。

ビット 7: トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) にデータ転送が行われ、TDR に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット 7	説明
TDRE	
0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で TDR へデータを書き込んだとき
1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき

13. シリアルコミュニケーションインタフェース

ビット6：レシーブデータレジスタフル（RDRF）

受信したデータがレシーブデータレジスタ（RDR）に格納されていることを示します。

ビット6	説明
RDRF	
0	RDR に有効な受信データが格納されていないことを表示（初期値） [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で RDR のデータを読み出したとき
1	RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ（SCR）の RE ビットを 0 にクリアしたときには RDR および RDRF ビットは影響を受けず以前の状態を保持します。RDRF ビットが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（ORER）

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示* ¹ （初期値） [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示* ² [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき

【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、ORER ビットは影響を受けず以前の状態を保持します。

*² RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー（FER）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示* ¹ （初期値） [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) FER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示* ² [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが1 であるかどうかをチェックし、ストップビットが0 であったとき* ²

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、FER ビットは影響を受けず以前の状態を保持します。

*2 2 ストップビットモードのときは、1 ビット目のストップビットが1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF ビットはセットされません。さらに、FER ビットが1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3：パリティエラー（PER）

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ （初期値） [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) PER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットをあわせた1 の数が、シリアルモードレジスタ(SMR) の O/E ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、PER ビットは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF ビットはセットされません。なお、PER ビットが1 にセットされた状態では、以降のシリアル受信を続けることはできません。

13. シリアルコミュニケーションインタフェース

ビット2：トランスミットエンド（TEND）

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND ビットは読み出し専用ですので、書き込むことはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき

ビット1：マルチプロセッサビット（MPB）

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、読み出し専用ですので、書き込むことはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが 0 のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが 1 のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、以前の状態を保持します。

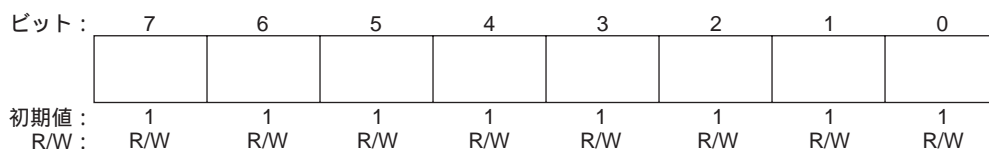
ビット0：マルチプロセッサビットトランスファ（MPBT）

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときには MPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信 (初期値)
1	マルチプロセッサビットが 1 のデータを送信

13.2.8 ビットレートレジスタ (BRR)



ビットレートレジスタ (BRR) は、シリアルモードレジスタ (SMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU による読み出し / 書き込みが可能です。

BRR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'FF に初期化されます。マニュアルリセットでは初期化されません。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 13.3 に調歩同期式モードの BRR の設定例を、表 13.4 にクロック同期式モードの BRR の設定例を示します。

13. シリアルコミュニケーションインタフェース

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕

φ(MHz) ビット レート(bit/s)	4			4.9152			6			7.3728		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	70	0.03	2	86	0.31	2	106	-0.44	2	130	-0.07
150	1	207	0.16	1	255	0.00	2	77	0.16	2	95	0.00
300	1	103	0.16	1	127	0.00	1	155	0.16	1	191	0.00
600	0	207	0.16	0	255	0.00	1	77	0.16	1	95	0.00
1200	0	103	0.16	0	127	0.00	0	155	0.16	0	191	0.00
2400	0	51	0.16	0	63	0.00	0	77	0.16	0	95	0.00
4800	0	25	0.16	0	31	0.00	0	38	0.16	0	47	0.00
9600	0	12	0.16	0	15	0.00	0	19	-2.34	0	23	0.00
14400	0	8	-3.55	0	10	-3.03	0	12	0.16	0	15	0.00
19200	0	6	-6.99	0	7	0.00	0	9	-2.34	0	11	0.00
28800	0	3	8.51	0	4	6.67	0	6	-6.99	0	7	0.00
31250	0	3	0.00	0	4	-1.70	0	5	0.00	0	6	0.54
38400	0	2	8.51	0	3	0.00	0	4	-2.34	0	5	0.00

φ(MHz) ビット レート(bit/s)	8			9.8304			10			11.0592		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	0.26	2	177	-0.25	2	195	0.19
150	2	103	0.16	2	127	0.00	2	129	0.16	2	143	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	71	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	143	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	71	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	143	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	71	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	35	0.00
14400	0	16	2.12	0	20	1.59	0	21	-1.36	0	23	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	0.00
28800	0	8	-3.55	0	10	-3.03	0	10	-1.36	0	11	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	10	0.54
38400	0	6	-6.99	0	7	0.00	0	7	1.73	0	8	0.00

13. シリアルコミュニケーションインタフェース

φ(MHz) ビット レート(bit/s)	12			12.288			14			14.7456		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	212	0.03	2	217	0.08	2	248	-0.17	3	64	0.70
150	2	155	0.16	2	159	0.00	2	181	0.16	2	191	0.00
300	2	77	0.16	2	79	0.00	2	90	0.16	2	95	0.00
600	1	155	0.16	1	159	0.00	1	181	0.16	1	191	0.00
1200	1	77	0.16	1	79	0.00	1	90	0.16	1	95	0.00
2400	0	155	0.16	0	159	0.00	0	181	0.16	0	191	0.00
4800	0	77	0.16	0	79	0.00	0	90	0.16	0	95	0.00
9600	0	28	0.16	0	39	0.00	0	45	-0.93	0	47	0.00
14400	0	25	0.16	0	26	-1.23	0	29	1.27	0	31	0.00
19200	0	19	-2.34	0	19	0.00	0	22	-0.93	0	23	0.00
28800	0	12	0.16	0	12	2.56	0	14	1.27	0	15	0.00
31250	0	11	0.00	0	11	2.40	0	13	0.00	0	14	-1.70
38400	0	9	-2.34	0	9	0.00	0	10	3.57	0	11	0.00

φ(MHz) ビット レート(bit/s)	16			17.2032			18			18.432		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	70	0.03	3	75	0.48	3	79	-0.12	3	81	-0.22
150	2	207	0.16	2	223	0.00	2	233	0.16	2	239	0.00
300	2	103	0.16	2	111	0.00	2	116	0.16	2	119	0.00
600	1	207	0.16	1	223	0.00	1	233	0.16	1	239	0.00
1200	1	103	0.16	1	111	0.00	1	116	0.16	1	119	0.00
2400	0	207	0.16	0	223	0.00	0	233	0.16	0	239	0.00
4800	0	103	0.16	0	111	0.00	0	116	0.16	0	119	0.00
9600	0	51	0.16	0	55	0.00	0	58	-0.69	0	59	0.00
14400	0	34	-0.79	0	36	0.90	0	38	0.16	0	39	0.00
19200	0	25	0.16	0	27	0.00	0	28	1.02	0	29	0.00
28800	0	16	2.12	0	18	-1.75	0	19	-2.34	0	19	0.00
31250	0	15	0.00	0	16	1.20	0	17	0.00	0	17	2.40
38400	0	12	0.16	0	13	0.00	0	14	-2.34	0	14	0.00

13. シリアルコミュニケーションインタフェース

ビット レート(bit/s)	19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	86	0.31	3	88	-0.25
150	2	255	0.00	3	64	0.16
300	2	127	0.00	2	129	0.16
600	1	255	0.00	2	64	0.16
1200	1	127	0.00	1	129	0.16
2400	0	255	0.00	1	64	0.16
4800	0	127	0.00	0	129	0.16
9600	0	63	0.00	0	64	0.16
14400	0	42	-0.78	0	42	0.94
19200	0	31	0.00	0	32	-1.36
28800	0	20	1.59	0	21	-1.36
31250	0	19	-1.70	0	19	0.00
38400	0	15	0.00	0	15	1.73

表 13.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート(bit/s)	4		8		10		12		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	141	3	212	3	212	3	212	3	212	3	212
250	2	249	3	124	3	155	3	187	3	249	3	249
500	2	124	2	249	3	77	3	93	3	124	3	155
1k	1	249	2	124	2	155	2	187	2	249	3	77
2.5k	1	99	1	199	1	249	2	74	2	99	2	124
5k	0	199	1	99	1	124	1	149	1	199	1	249
10k	0	99	0	199	0	249	1	74	1	99	1	124
25k	0	39	0	79	0	99	0	119	0	159	0	199
50k	0	19	0	39	0	49	0	59	0	79	0	99
100k	0	9	0	19	0	24	0	29	0	39	0	49
250k	0	3	0	7	0	9	0	11	0	15	0	19
500k	0	1	0	3	0	4	0	5	0	7	0	9
1M			0	1	-	-	0	2	0	3	0	4
2.5M					0	0*	0	0*	-	-	0	1
5M											0	0*

【注】 * 誤差は、なるべく 1% 以内になるように設定してください。

《記号説明》

- 空欄 : 設定できません。
 - : 設定可能ですが誤差がでます。
 * : 連続送信 / 受信はできません。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

- B : ビットレート (bit/s)
 N : ボーレートジェネレータの BRR の設定値 (0 N 255)

- ϕ : 動作周波数 (MHz)
 n : ボーレートジェネレータ入力クロック (n = 0、1、2、3)
 (n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi / 4$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

13. シリアルコミュニケーションインタフェース

表 13.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 13.6 と表 13.7 に外部クロック入力時の最大ビットレートを示します。

表 13.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート
(調歩同期式モード)

ϕ (MHZ)	最大ビットレート(bit/s)	設定値	
		n	N
4	125000	0	0
4.9152	153600	0	0
6	187500	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
11.0592	345600	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
18.432	576000	0	0
19.6608	614400	0	0
20	625000	0	0

表 13.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	1.0000	62500
4.9152	1.2288	76800
6	1.5000	93750
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
11.0592	2.7648	172800
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
18.432	4.6080	288000
19.6608	4.9152	307200
20	5.0000	312500

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

13.3 動作説明

13.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 13.8 に示します。また、SCI のクロックソースは、SMR の C/A ビットおよびシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 13.9 に示します。

(1) 調歩同期式モード

- データ長：7ビット / 8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および1ビット / 2ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：
SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：
ビットレートの16倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信 / 受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：
SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合：
内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 13.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロ セッサビット	パリティ ビット	ストップ ビット長		
C / \bar{A}	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8 ビット データ	なし	なし	1 ビット		
				1					2 ビット		
			1	0					0	あり	1 ビット
				1					1	2 ビット	
			1	0					0	なし	1 ビット
				1					1	あり	1 ビット
	1	0	1	*		0	調歩同期式 モード (マルチプロセ ッサフォーマット)	8 ビット データ	あり	なし	1 ビット
				*		1					2 ビット
				*		0					1 ビット
		1		*		1		7 ビット データ			2 ビット
				*		0		あり			1 ビット
				*		1		2 ビット			
1	*	*	*	*	クロック同期式 モード	8 ビット データ	なし	なし			

【注】 表中の*は Don't care であることを示します。

表 13.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR ビット7	SCR の設定		モード	SCI の送信 / 受信クロック	
	ビット1	ビット0		クロック ソース	SCK 端子の機能*
C / \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式 モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

【注】 * ピンファンクションコントローラ (PFC) と合わせ、設定してください。

13.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB フェースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

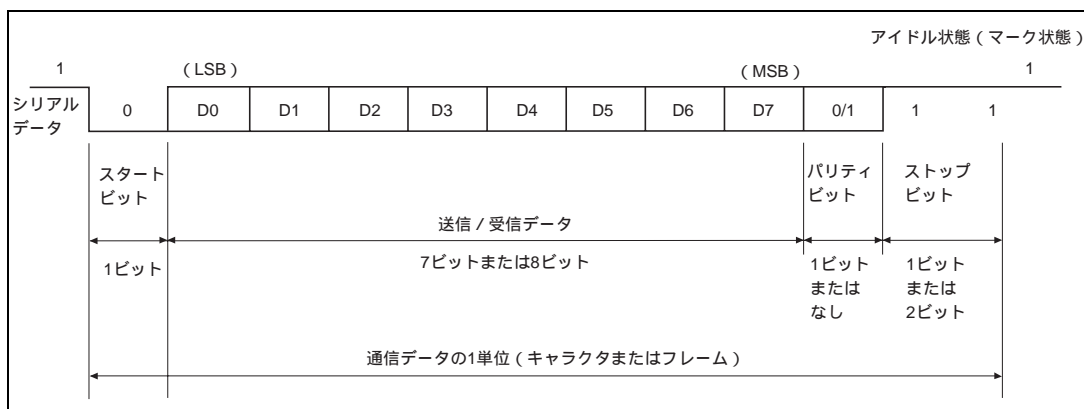


図 13.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 13.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMR の設定				シリアル送信 / 受信フォーマットとフレーム長	
CHR	PE	MP	STOP	123456789101112	
0	0	0	0	S	8ビットデータ STOP
0	0	0	1	S	8ビットデータ STOP STOP
0	1	0	0	S	8ビットデータ P STOP
0	1	0	1	S	8ビットデータ P STOP STOP
1	0	0	0	S	7ビットデータ STOP
1	0	0	1	S	7ビットデータ STOP STOP
1	1	0	0	S	7ビットデータ P STOP
1	1	0	1	S	7ビットデータ P STOP STOP
0	*	1	0	S	8ビットデータ MPB STOP
0	*	1	1	S	8ビットデータ MPB STOP STOP
1	*	1	0	S	7ビットデータ MPB STOP
1	*	1	1	S	7ビットデータ MPB STOP STOP

《記号説明》

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセスビット

【注】 表中の*は Don't careであることを示します。

13. シリアルコミュニケーションインタフェース

(2) クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとシリアルコントロールレジスタ(SCR)のCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表13.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図13.3に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

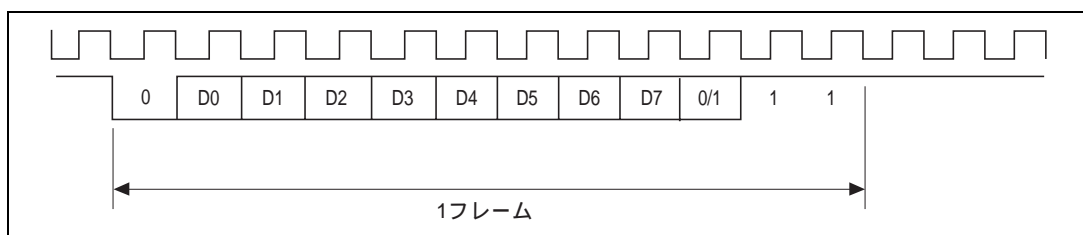


図 13.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

- SCIの初期化 (調歩同期式)

データの送信 / 受信前には、まずSCRのTEビットおよび、REビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合にも必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREビットは、1にセットされ、トランスミットシフトレジスタ(TSR)が初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各ビットおよび、レシーブデータレジスタ(RDR)の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図13.4にSCIの初期化フローチャートの例を示します。

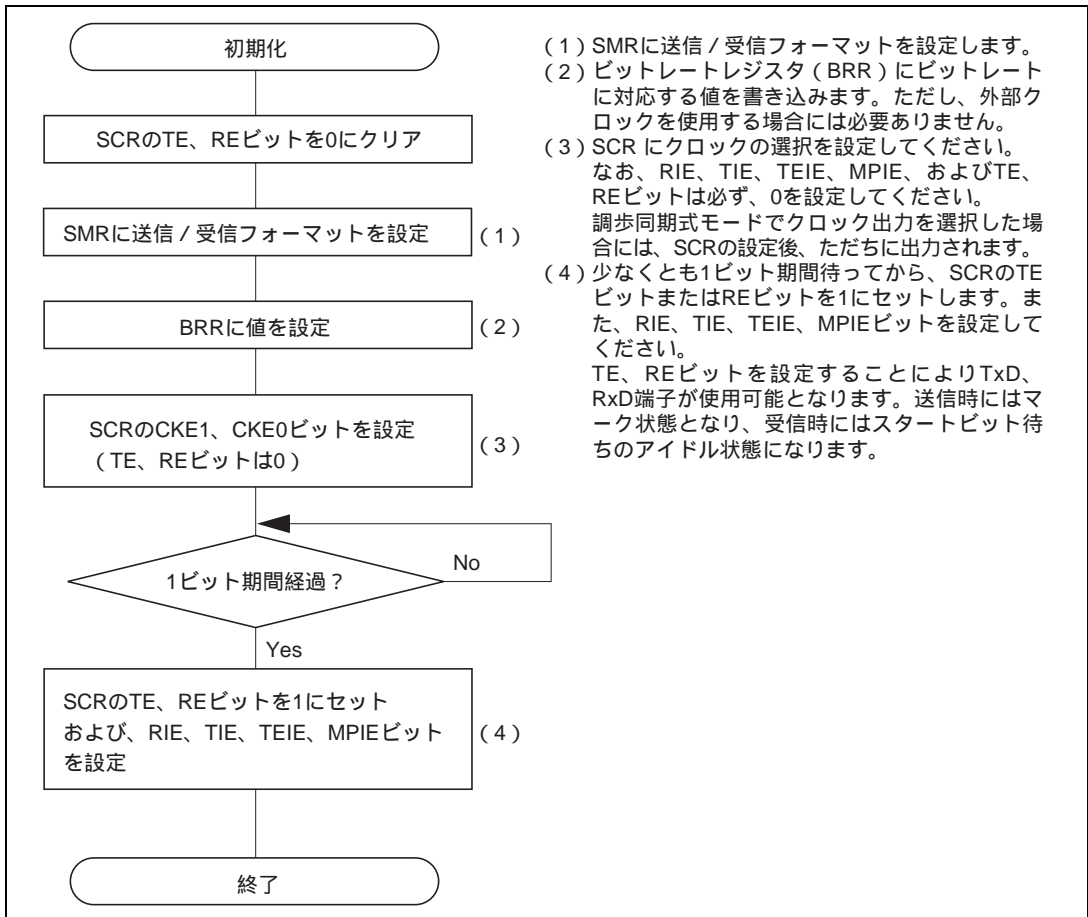


図 13.4 SCI の初期化フローチャートの例

13. シリアルコミュニケーションインタフェース

- シリアルデータ送信（調歩同期式）

図 13.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

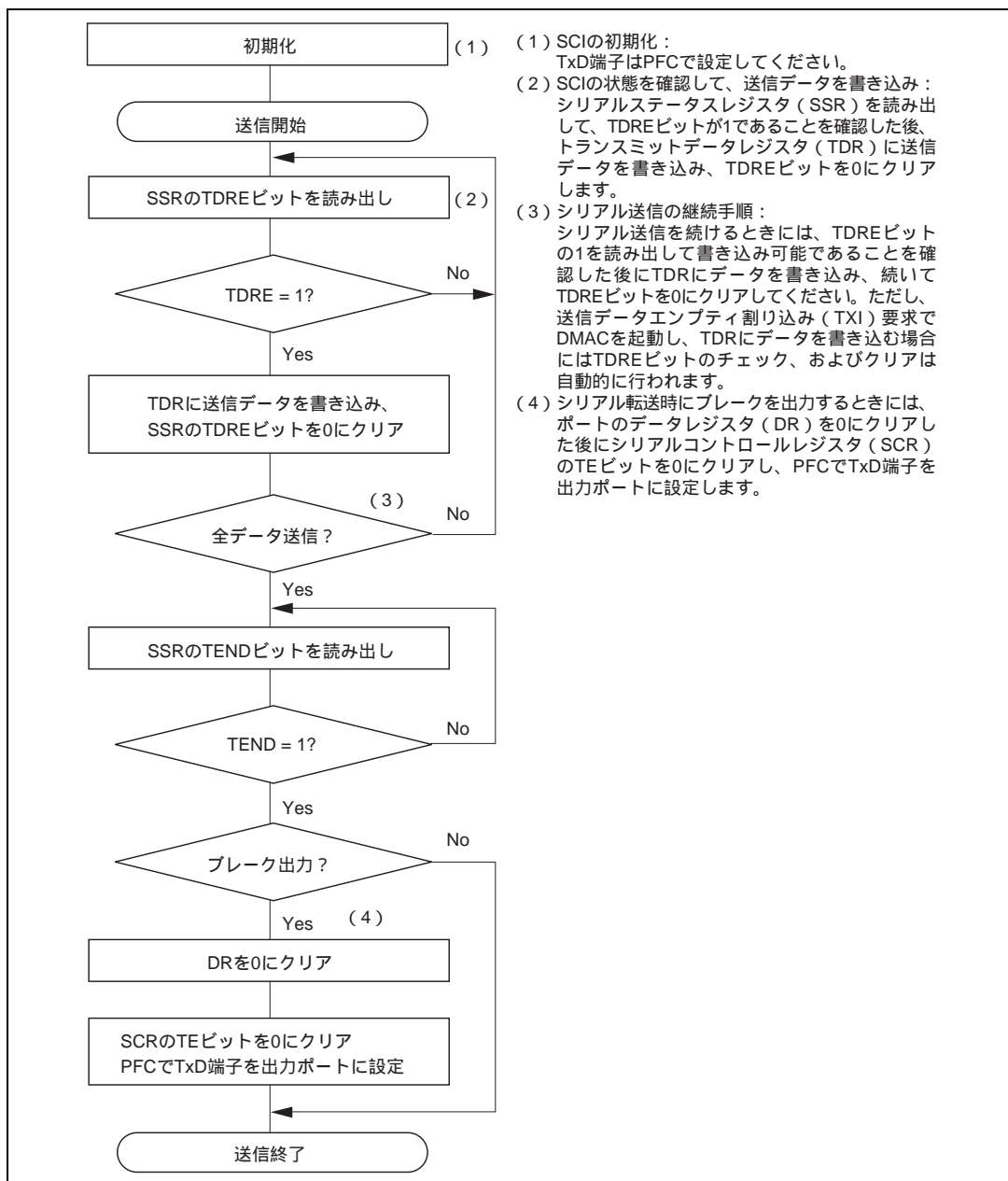


図 13.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、シリアルステータスレジスタ (SSR) のTDREビットを監視し、0であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、シリアルコントロールレジスタ (SCR) のTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
- (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送出するタイミングでTDREビットをチェックします。
TDREビットが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREビットが1であるとシリアルステータスレジスタ (SSR) のTENDビットに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 13.6 に示します。

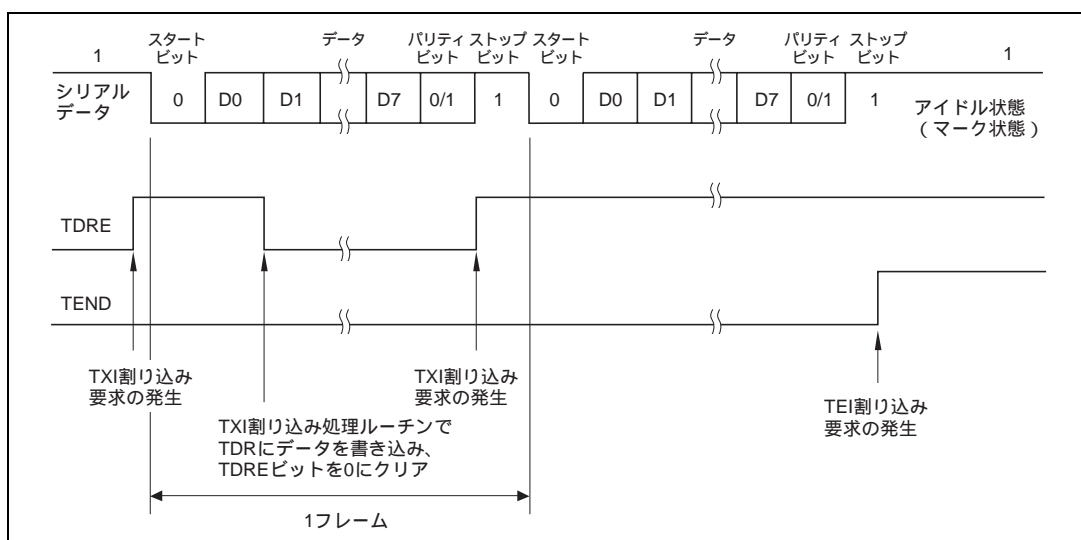


図 13.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

13. シリアルコミュニケーションインタフェース

- シリアルデータ受信（調歩同期式）

図 13.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

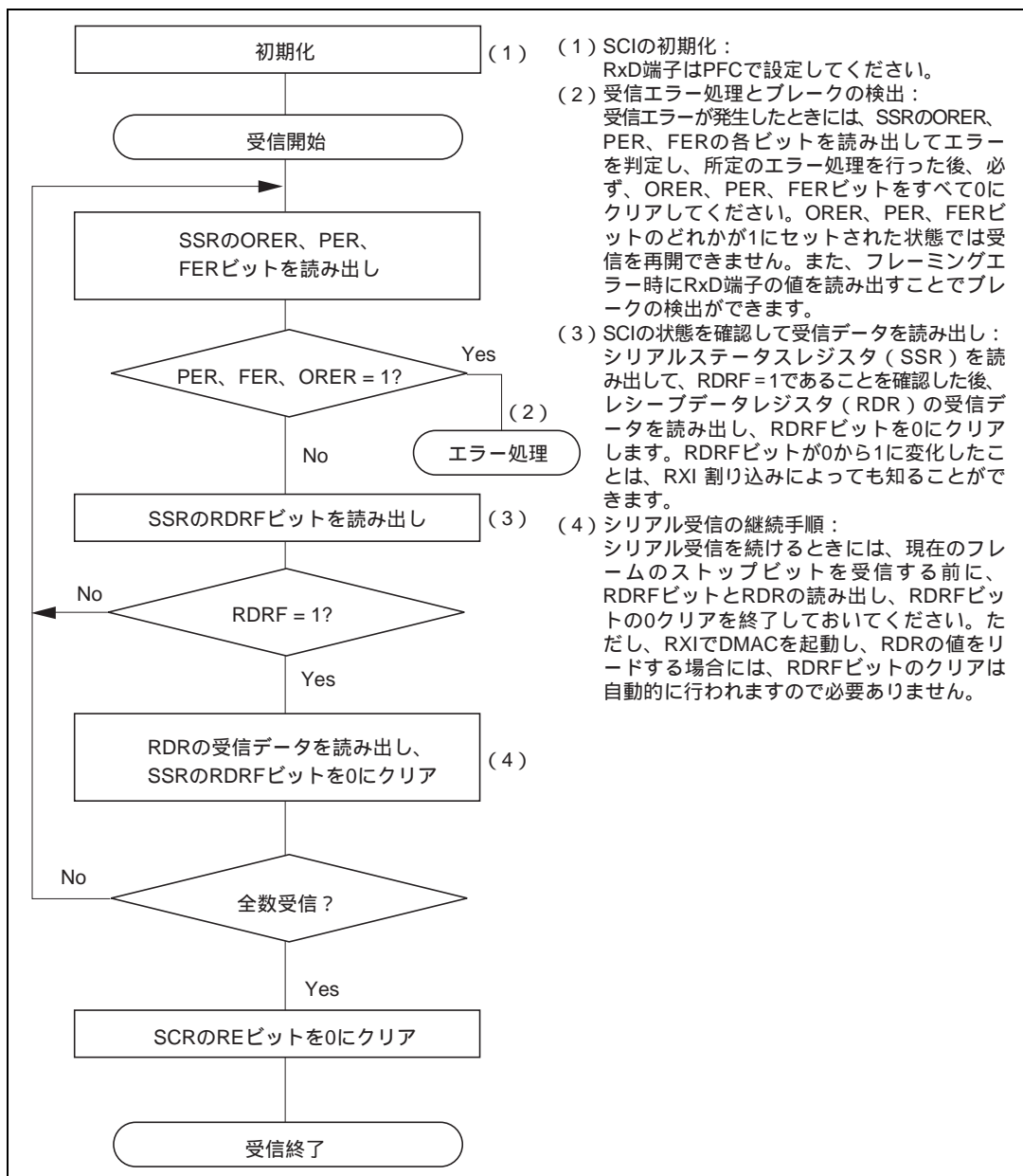


図 13.7 シリアル受信のフローチャートの例（1）

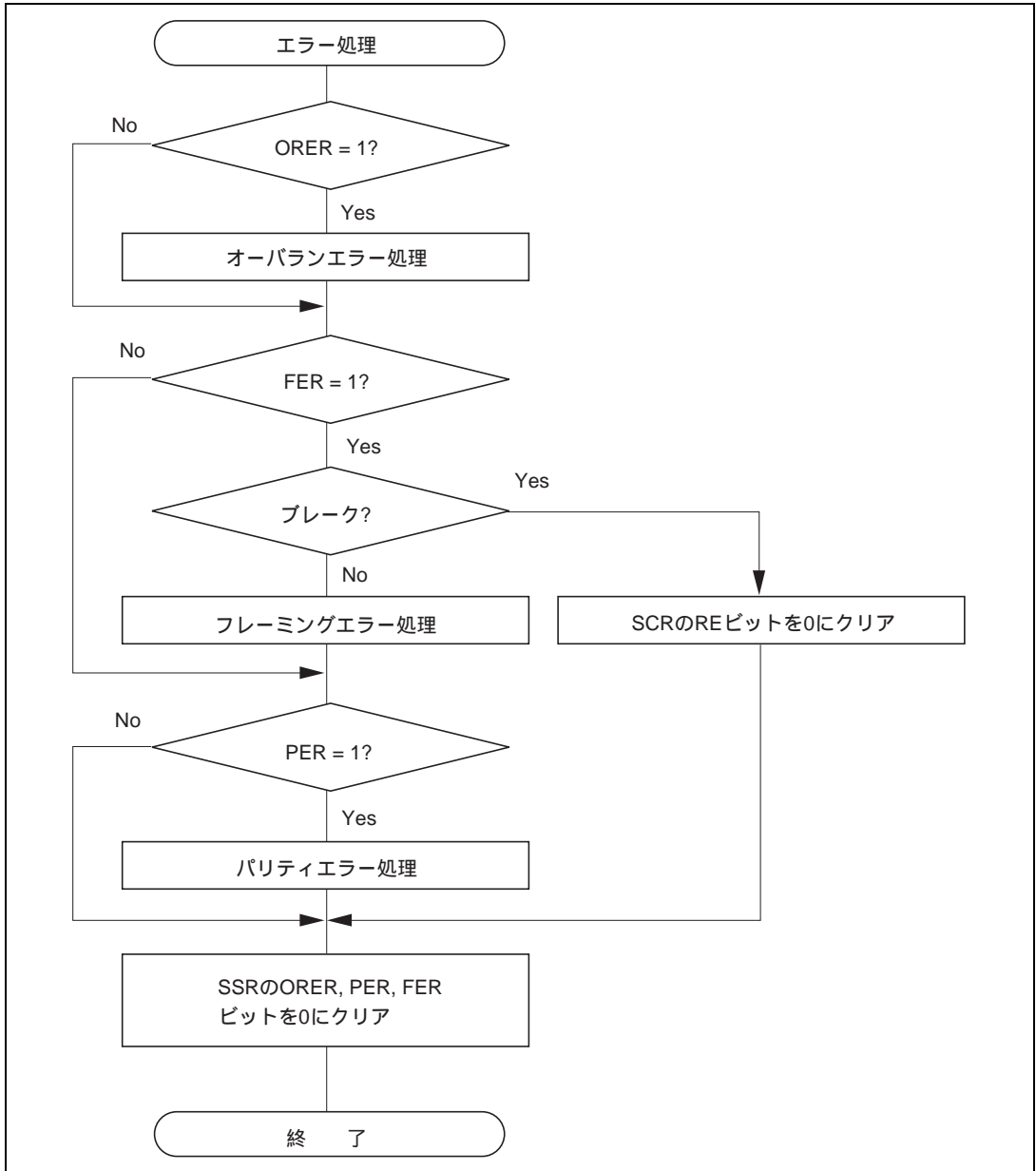


図 13.7 シリアル受信のフローチャートの例 (2)

13. シリアルコミュニケーションインタフェース

SCI は受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック:受信データの1の数をチェックし、これがシリアルモードレジスタ(SMR)のO/Eビットで設定した偶数/奇数パリティになっているかをチェックします。
- (b) ストップビットチェック:ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック:RDRFビットが0であり、受信データをレシープシフトレジスタ(RSR)からRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーが発生すると表 13.11 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF ビットが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- (4) RDRFビットが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み(RXI)要求が発生します。
また、ORER、PER、FERビットのどれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み(ERI)要求が発生します。

調歩同期式モード受信時の動作例を図 13.8 に示します。

表 13.11 受信エラーと発生条件

受信エラー	略称	発生条件	データ転送
オーバランエラー	ORER	SSRのRDRFフラグが1にセットされたまま次のデータ受信を完了したとき	RSRからRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが0のとき	RSRからRDRに受信データが転送されます。
パリティエラー	PER	SMRで設定した偶数/奇数パリティの設定と受信したデータが異なるとき	RSRからRDRに受信データが転送されません。

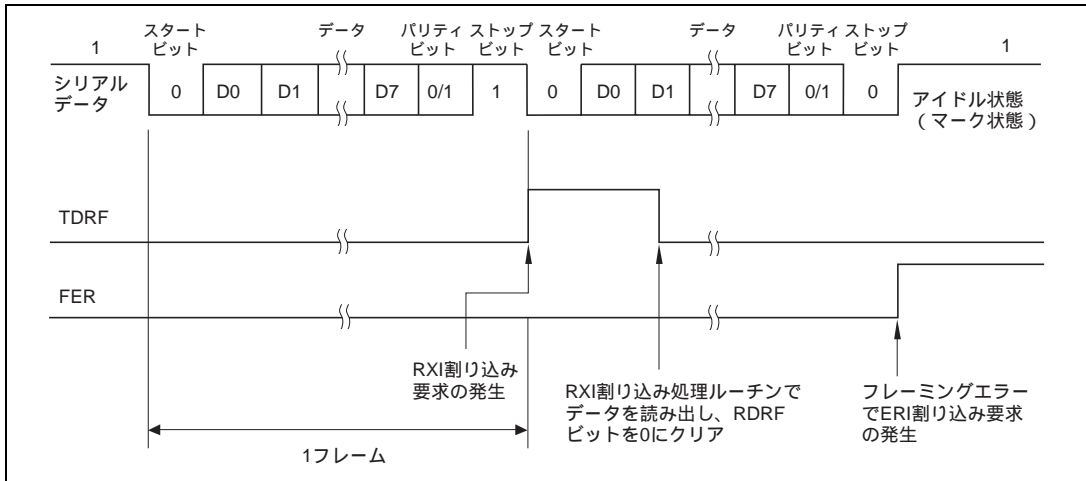


図 13.8 SCIの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

13.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 13.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 13.8 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

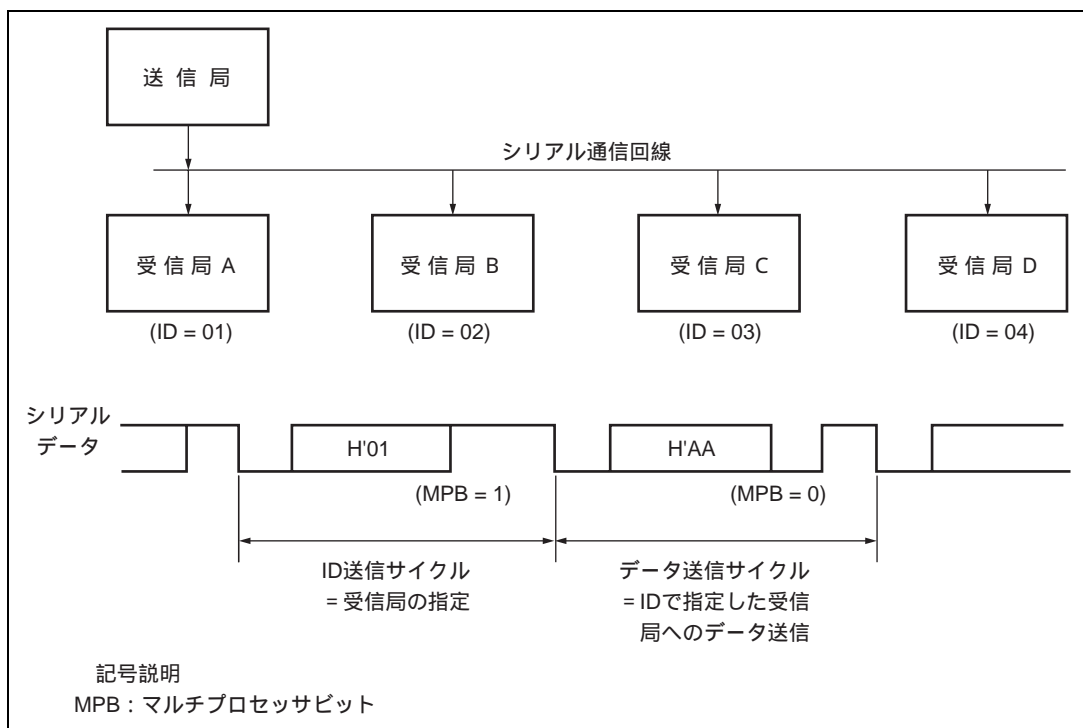


図 13.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

• マルチプロセッサシリアルデータ送信

図 13.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

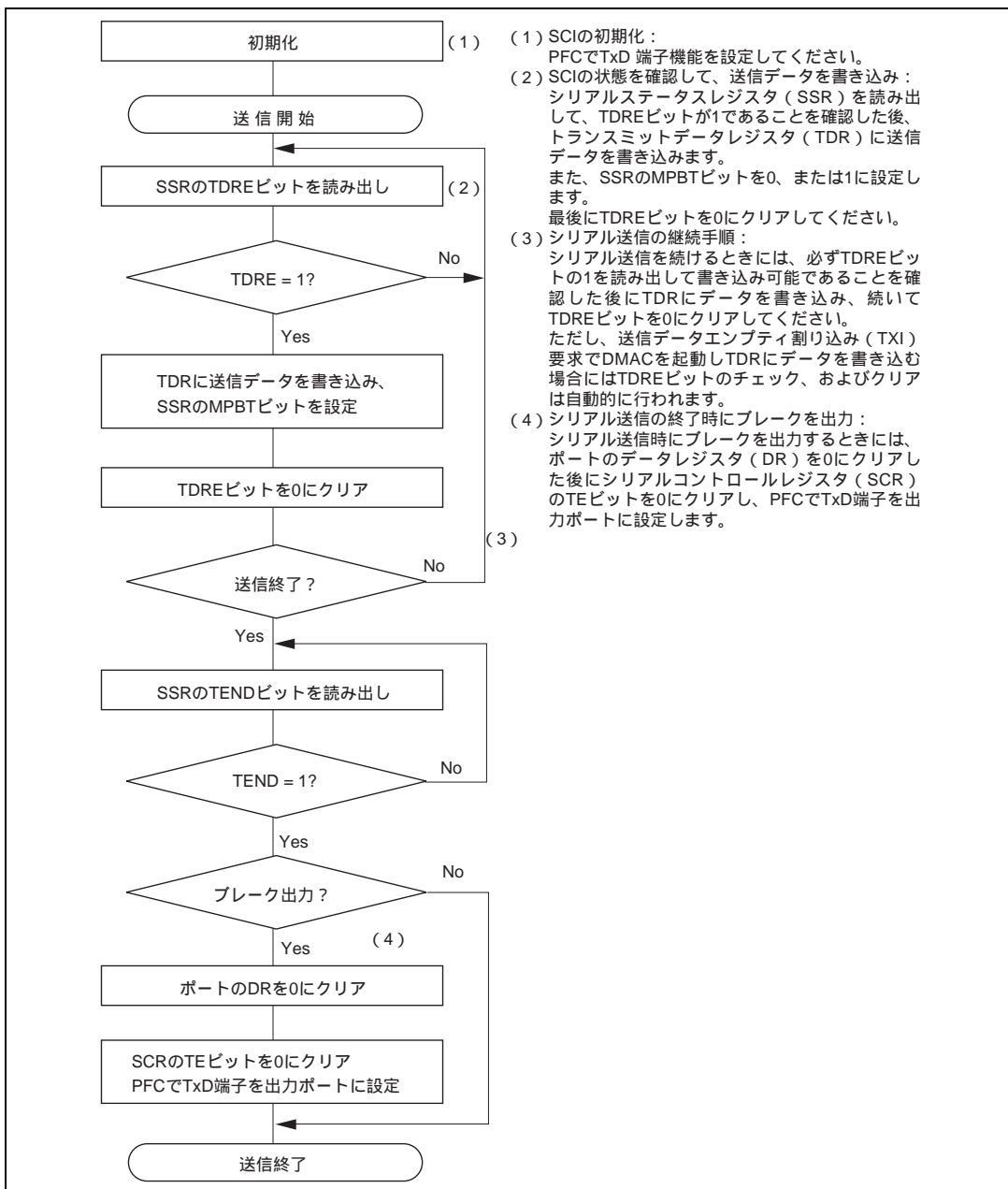


図 13.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREビットを監視し、0であるとTDRにデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、SCRの送信データエンティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTx/D端子から送りだされます。

- (a) スタートビット：1ビットの0が出力されます。
- (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
- (d) ストップビット：1ビット、または2ビットの1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

- (3) SCIは、ストップビットを送り出すタイミングでTDREビットをチェックします。TDREビットが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。TDREビットが1であるとSSRのTENDビットを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 13.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

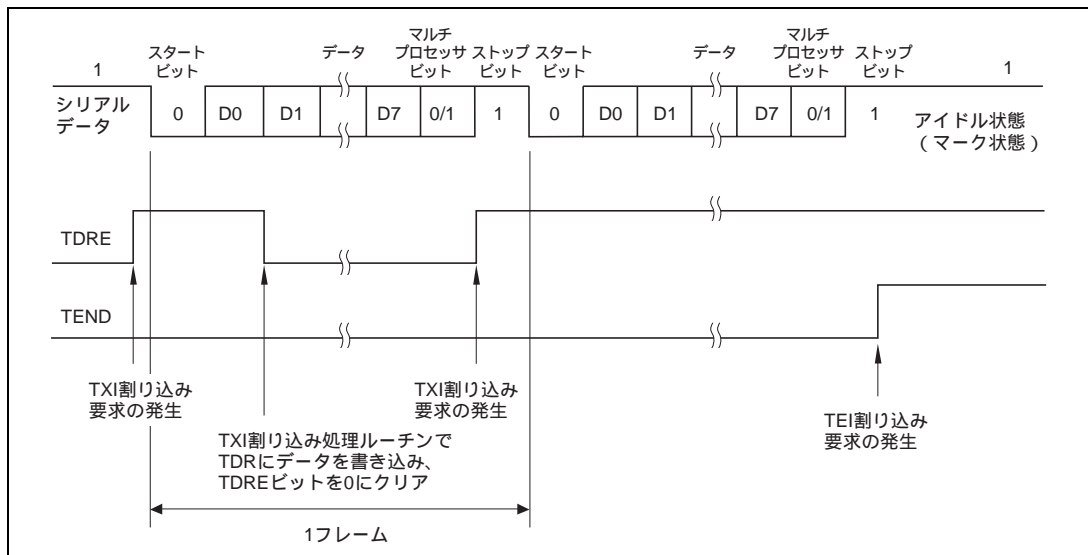


図 13.11 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

13. シリアルコミュニケーションインタフェース

• マルチプロセッサシリアルデータ受信

図 13.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

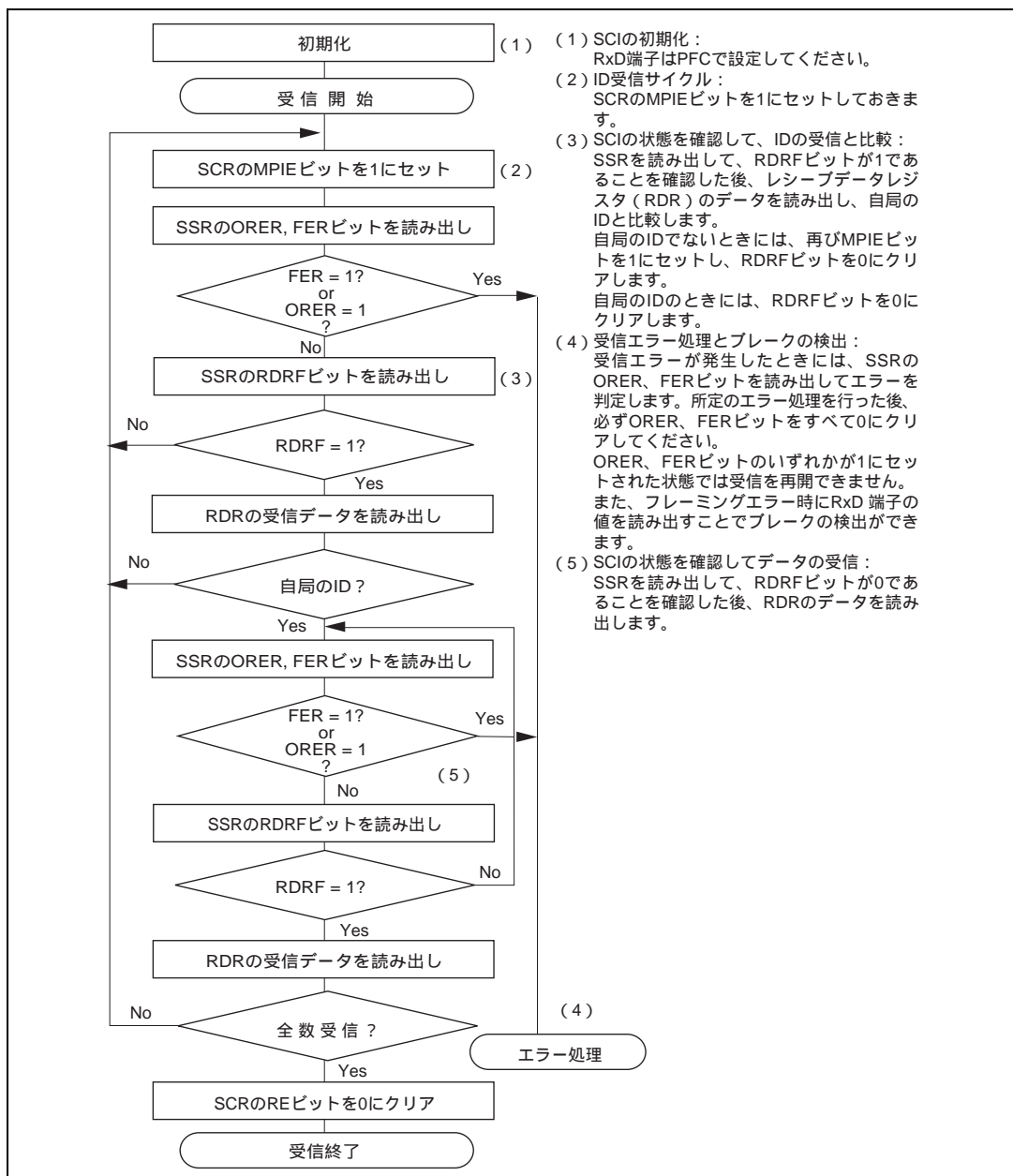


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

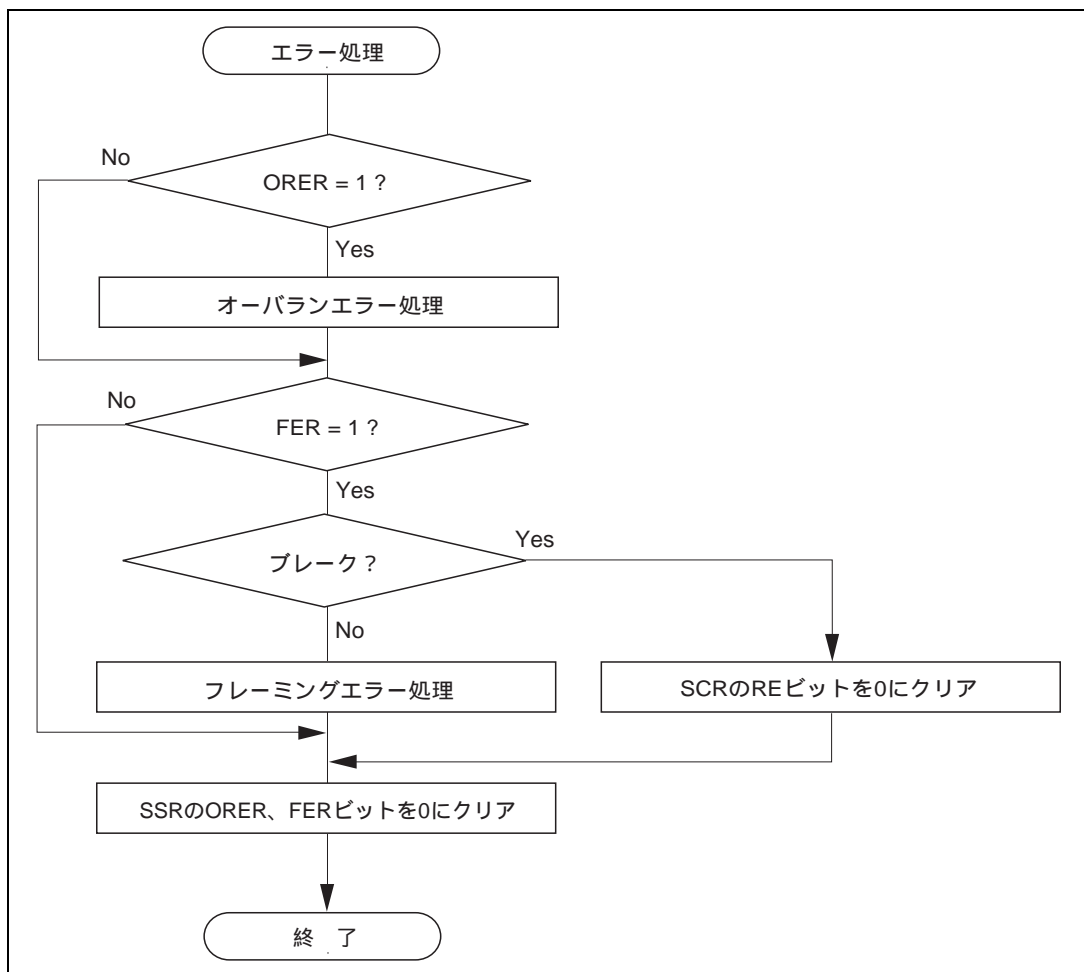


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

13. シリアルコミュニケーションインタフェース

図 13.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

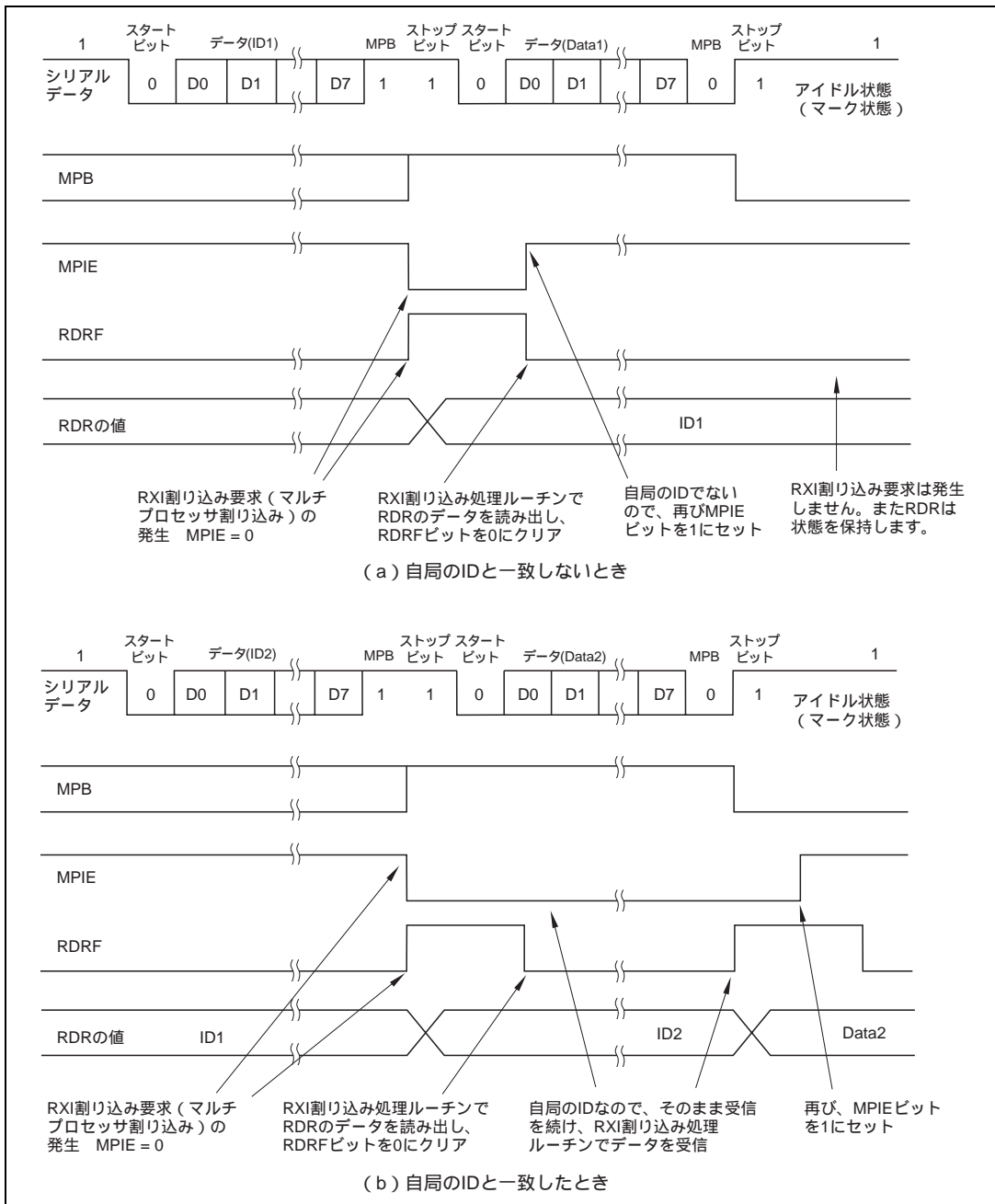


図 13.13 SCI の受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

13.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 13.14 に示します。

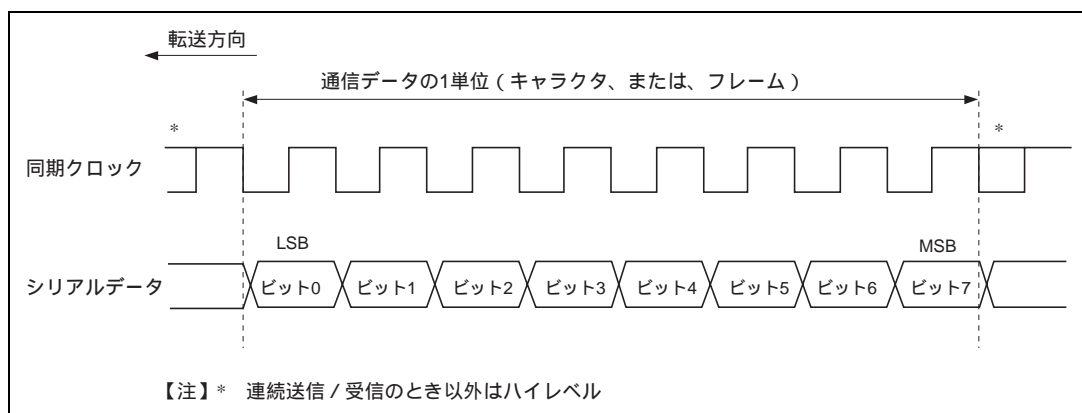


図 13.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCI は同期クロックの立ち上がり同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMR の C/A ビットと SCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 13.9 を参照してください。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、オーバーランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックは出力されます。1 キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

13. シリアルコミュニケーションインタフェース

(3) データの送信 / 受信動作

- SCI のイニシャライズ (クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCR) の TE、および RE ビットを 0 にクリアした後、以下の手順で SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合にも必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE ビットは 1 にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各ビット、およびレシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

図 13.15 に SCI の初期化フローチャートの例を示します。

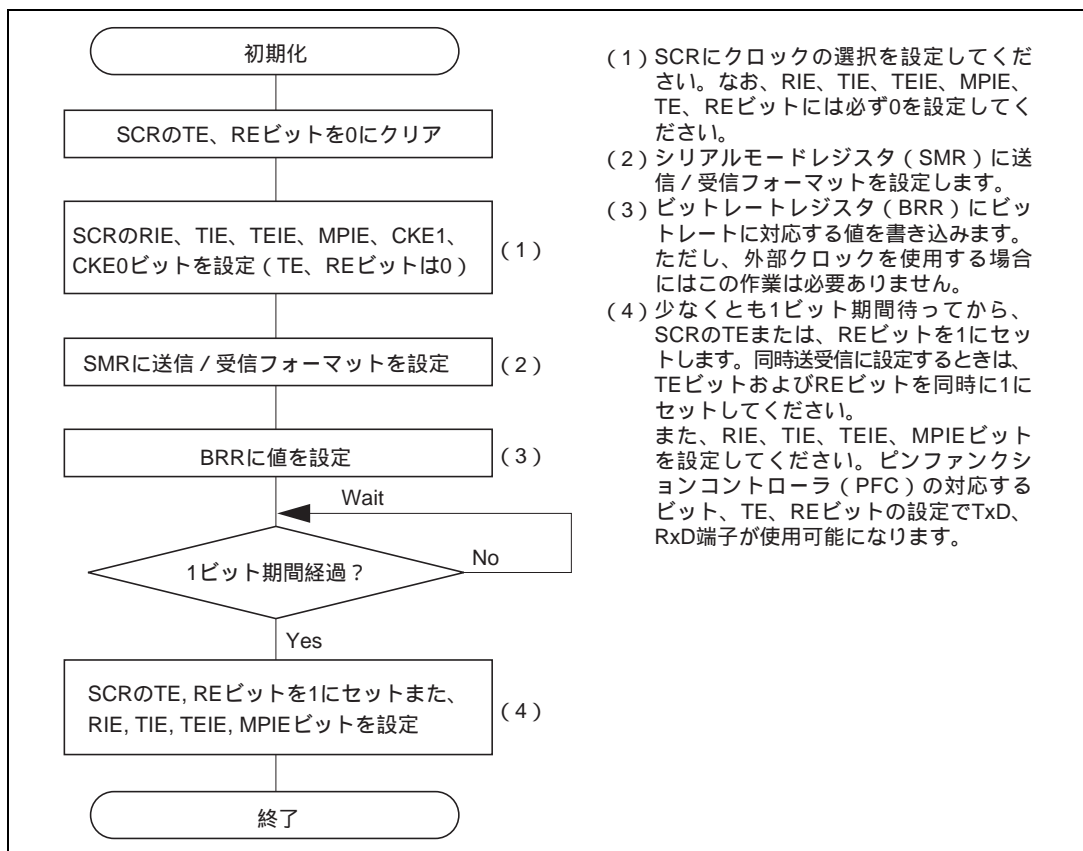


図 13.15 SCI の初期化フローチャートの例

- シリアルデータ送信（クロック同期式）
- 図 13.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順で行ってください。

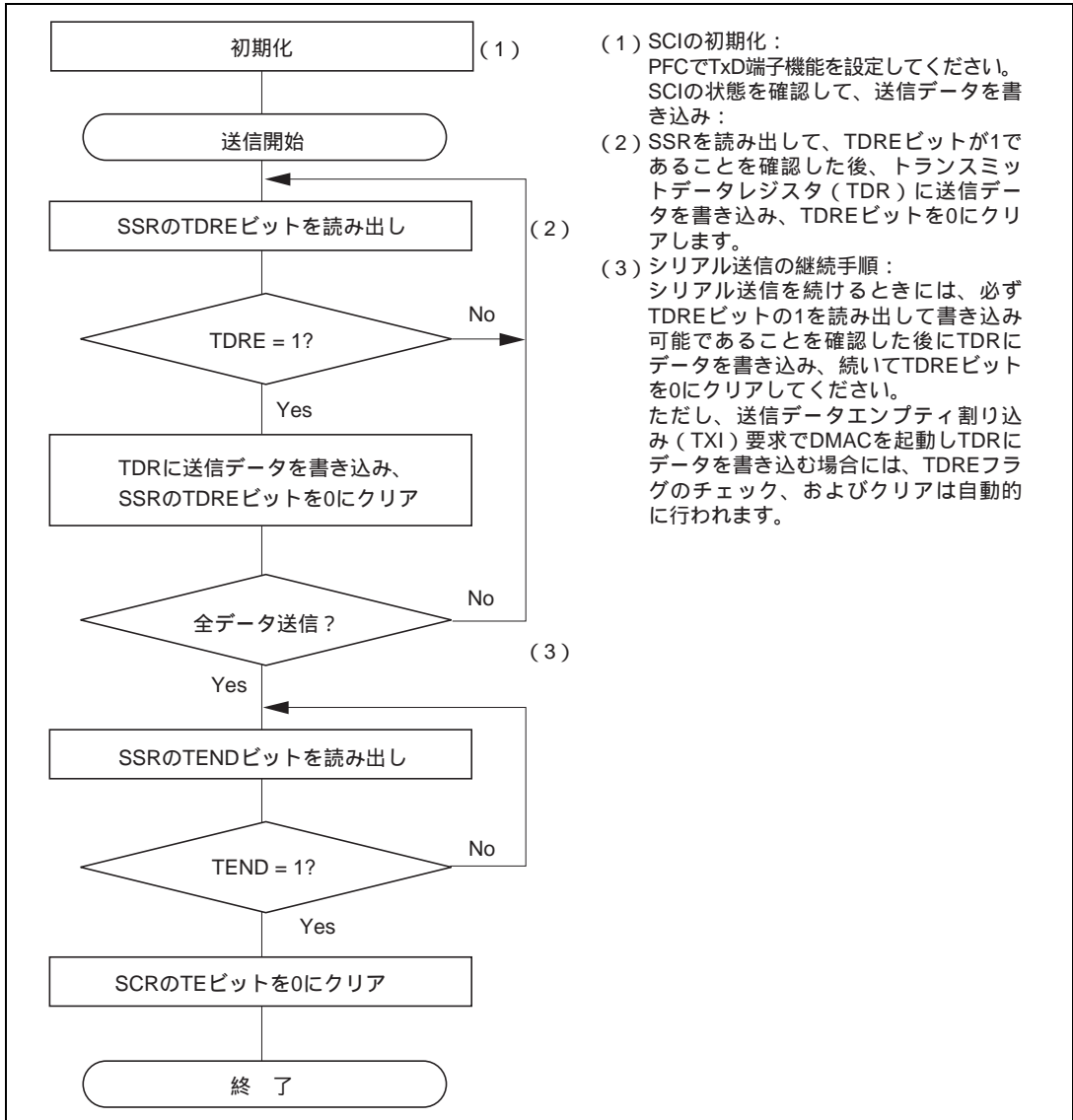


図 13.16 シリアル送信のフローチャートの例

13. シリアルコミュニケーションインタフェース

図 13.17 に SCI の送信時の動作例を示します。

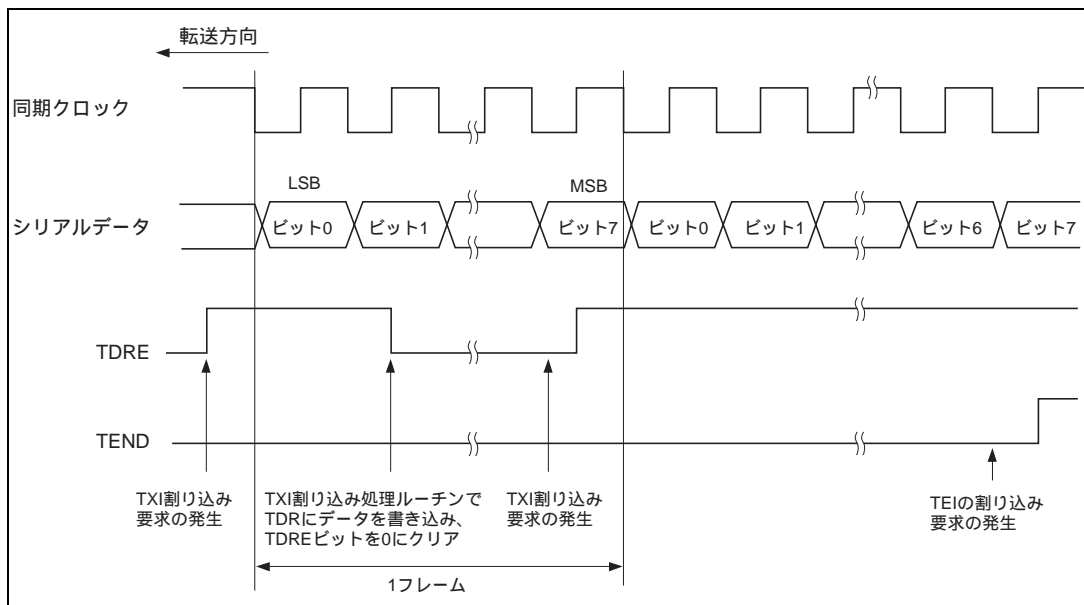


図 13.17 SCI の送信時の動作例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、シリアルステータスレジスタ(SSR)のTDREビットを監視し、0であるとトランスミットデータレジスタ(TDR)にデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ(TSR)にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ(SCR)の送信データエンプティ割り込みイネーブルビット(TIE)が1にセットされていると送信データエンプティ割り込み(TXI)要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB(ビット0)~MSB(ビット7)の順にTxD端子から送り出されます。
- (3) SCIは、MSB(ビット7)を送り出すタイミングでTDREビットをチェックします。
TDREビットが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREビットが1であるとシリアルステータスレジスタ(SSR)のTENDビットを1にセットし、MSB(ビット7)を送り出した後、トランスミットデータ端子(TxD端子)は状態を保持します。
このときSCRの送信終了割り込みイネーブルビット(TEIE)が1にセットされていると送信終了割り込み要求(TEI)を発生します。
- (4) シリアル送信終了後は、SCK端子はハイレベル固定になります。
 - シリアルデータ受信(クロック同期式)
図13.18にシリアル受信のフローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。
動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各ビットが0にクリアされていることを確認してください。
FER、PERビットが1にセットされているとRDRFビットがセットされません。また、送信/受信動作が行えません。

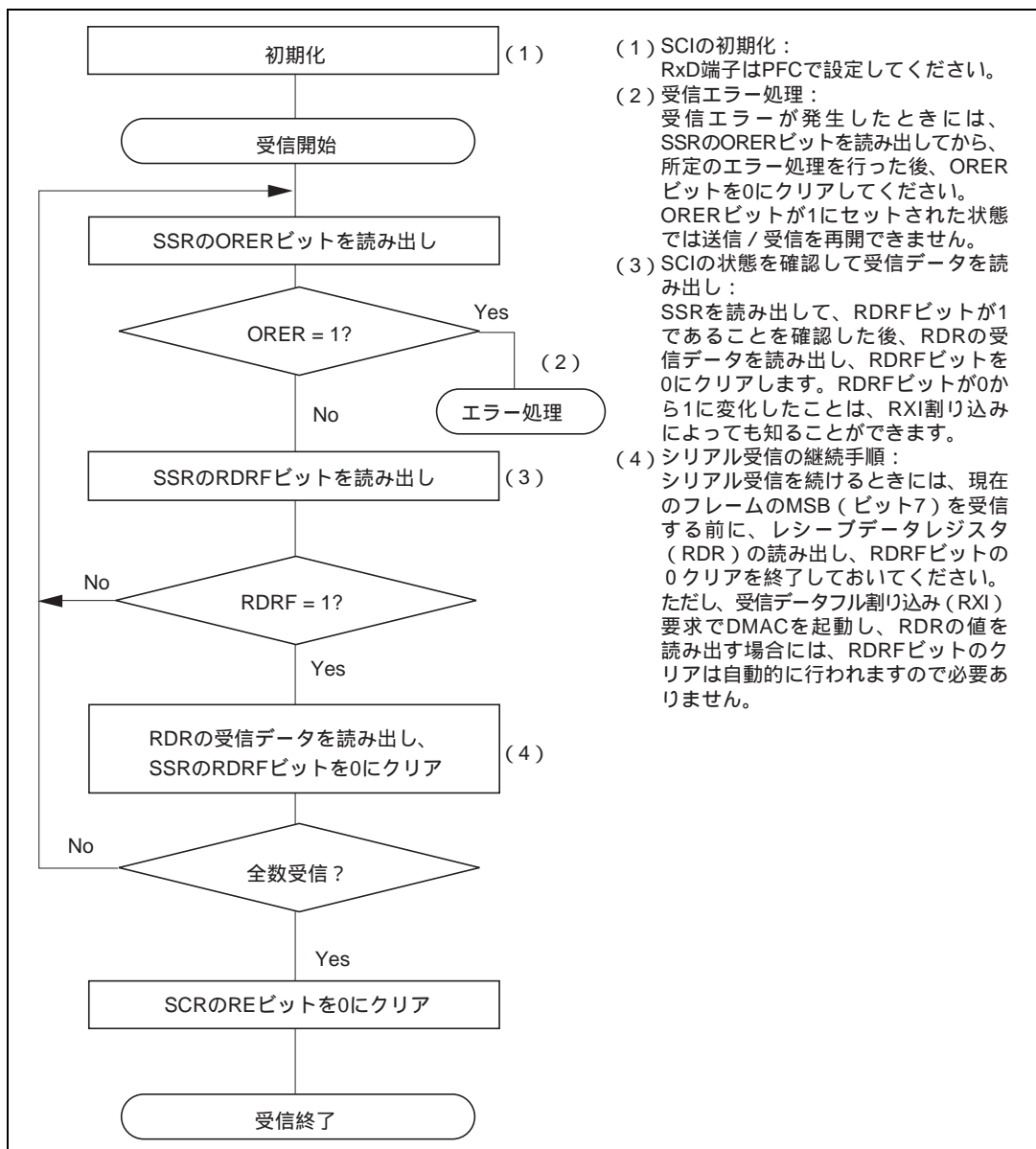


図 13.18 シリアルデータ受信フローチャートの例 (1)

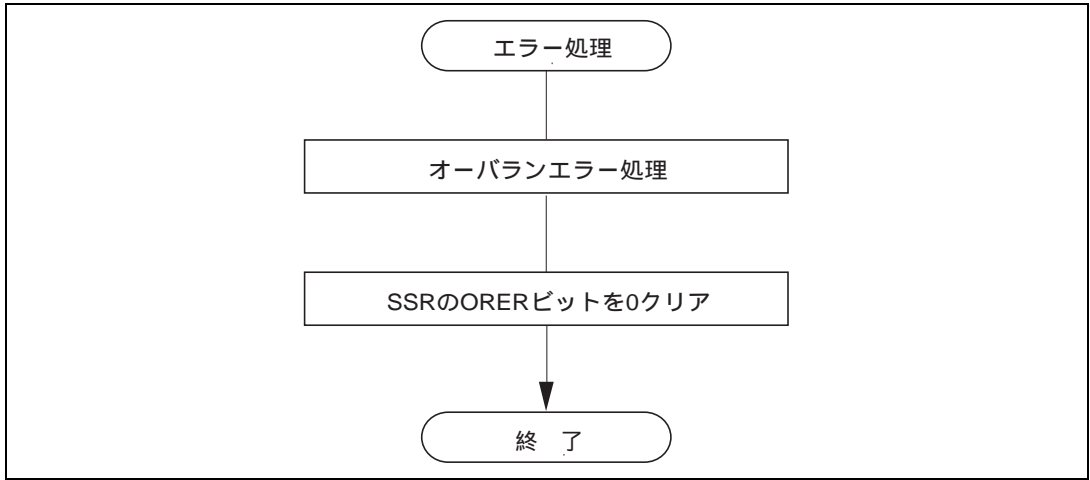


図 13.18 シリアルデータ受信フローチャートの例 (2)

図 13.19 に SCI の受信時の動作例を示します。

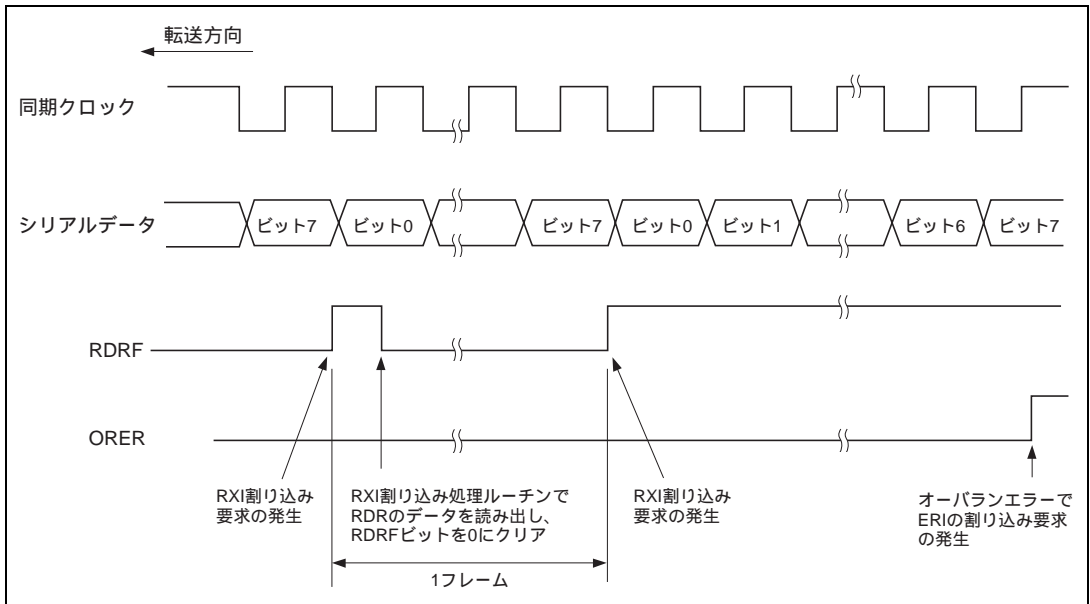


図 13.19 SCI の受信時の動作例

13. シリアルコミュニケーションインタフェース

SCI は受信時に以下のように動作します。

- (1) SCIは同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをレシープシフトレジスタ (RSR) のLSBからMSBの順に格納します。
受信後、SCIはRDRFビットが0であり、受信データをRSRからレシープデータレジスタ(RDR)に転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFビットが1にセットされ、RDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると表13.11のように動作し、この状態では以後の送信、受信動作ができません。
また、エラーフラグが1にセットされていると、RDRFビットが0にクリアしてあっても、受信時にRDRFビットが1にセットされません。受信を再開する際は必ずエラーフラグを0にクリアしてください。
- (3) RDRFビットが1になったとき、シリアルコントロールレジスタ (SCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERビットが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

• シリアルデータ送受信同時動作（クロック同期式）

図 13.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

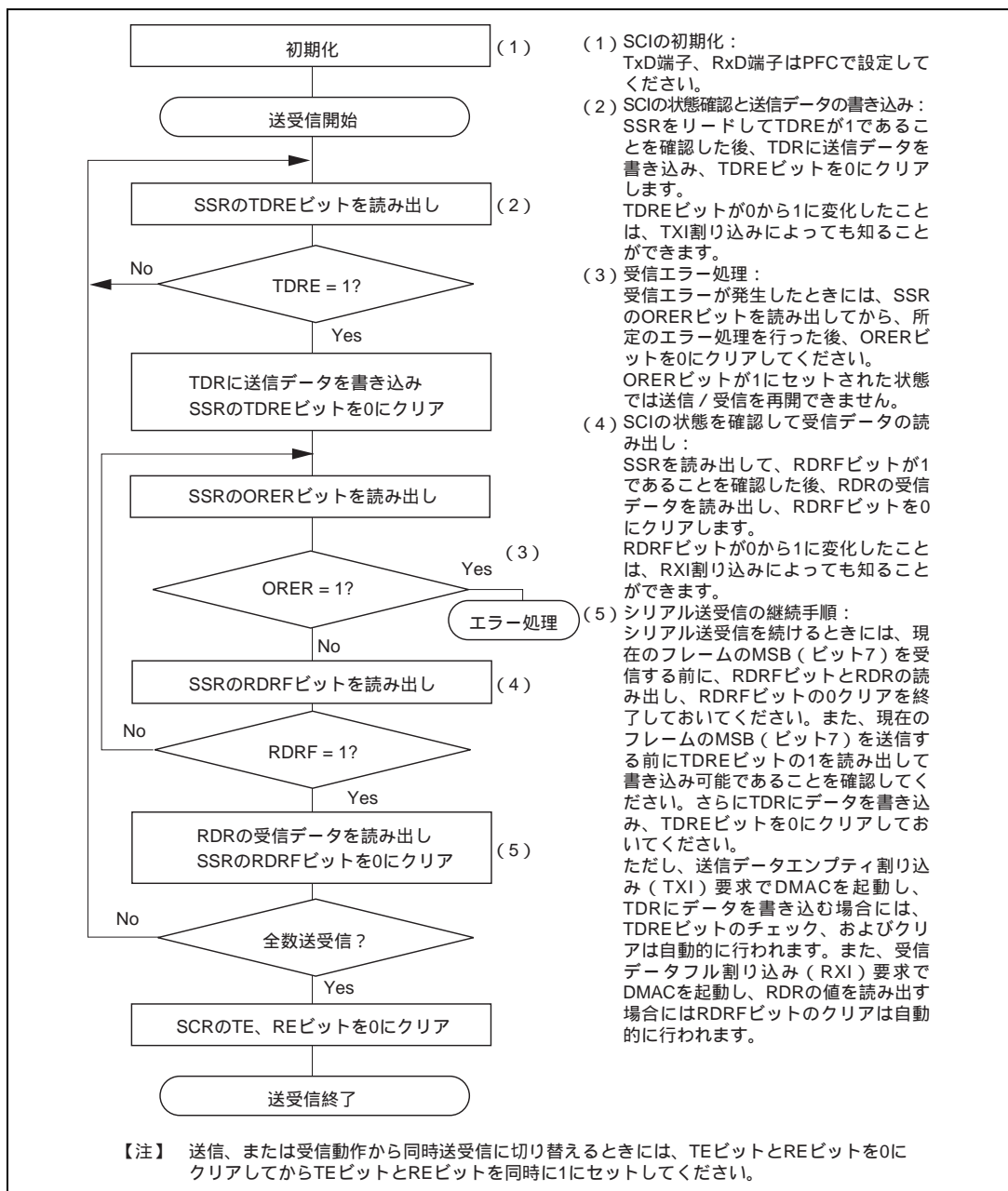


図 13.20 シリアルデータ送受信フローチャートの例

13.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 13.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE、RIE、TEIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、DMAC を起動してデータ転送を行うことができます。TDRE ビットは DMAC によるトランスミットデータレジスタ (TDR) への書き込みが行われると自動的に 0 にクリアされます。

SSR の RDRF ビットが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。

RDRF ビットは DMAC によるレシーブデータレジスタ (RDR) の読み出しが行われると、自動的に 0 にクリアされます。

また、SSR の ORER、FER ビットまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC の起動はできません。

さらに、SSR の TEND ビットが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で、DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 13.12 SCI 割り込み要因

割り込み要因	内 容	DMAC の起動	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高 ▲ ▼ 低
RXI	受信データフル (RDRF) による割り込み	可	
TXI	送信データエンプティ (TRDE) による割り込み	可	
TEI	送信終了 (TEND) による割り込み	不可	

13.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

(1) TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットはトランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 13.13 のようになります。また、オーバーランエラーが発生した場合にはレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へのデータ転送は行われず、受信データは失われます。

表 13.13 SSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SSR のステータスフラグ				受信データ転送	
	RDRF	ORER	FER	PER	RSR	RDR
オーバーランエラー	1	1	0	0		x
フレーミングエラー	0	0	1	0		
パリティエラー	0	0	0	1		
オーバーランエラー + フレーミングエラー	1	1	1	0		x
オーバーランエラー + パリティエラー	1	1	0	1		x
フレーミングエラー + パリティエラー	0	0	1	1		
オーバーランエラー + フレーミングエラー + パリティエラー	1	1	1	1		x

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力が入力がすべて 0 になりますので FER ビットがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER ビットを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、I/O ポートのデータレジスタ (DR) とピンファンクションコントローラ (PFC) のコントロールレジスタ (CR) により入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE ビットを 1 にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 13.21 に示します。

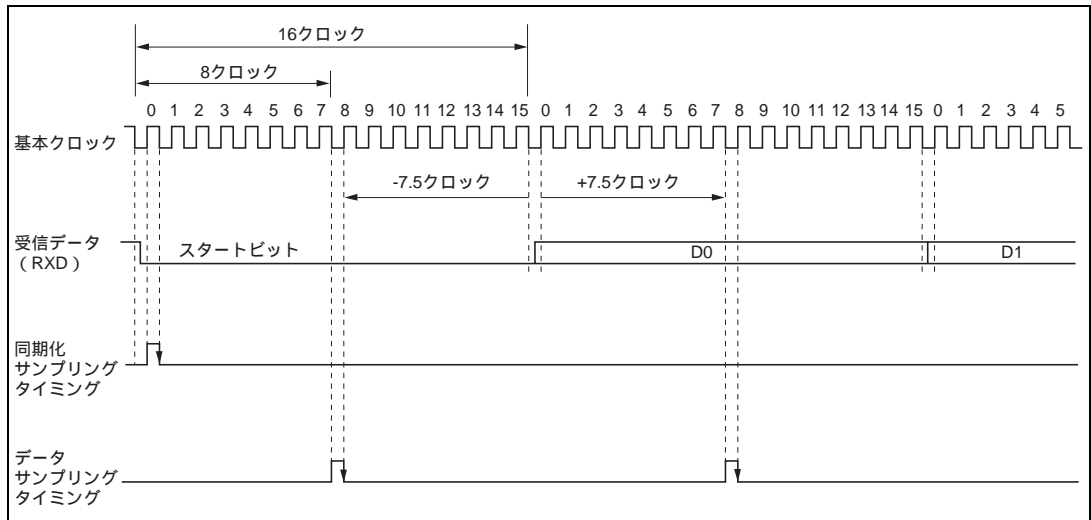


図 13.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots\dots \text{式 (1)}$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N = 16)
- D : クロックデューティ (D = 0 ~ 1.0)
- L : フレーム長 (L = 9 ~ 12)
- F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

$$\begin{aligned} & D = 0.5, F = 0 \text{ のとき} \\ M &= \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% \\ &= 46.875\% \quad \dots\dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(7) DMAC の使用上の注意事項

同期クロックに外部クロックソースを使用する場合、DMAC による TDR の更新後、システムクロック (CK) で 5 クロック以上経過した後に、送信クロックを入力してください。TDR の更新後 4 ステート以内に送信クロックを入力すると、誤動作することがあります。(図 13.22)

DMAC により、RDR の読み出しを行うときは必ず起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

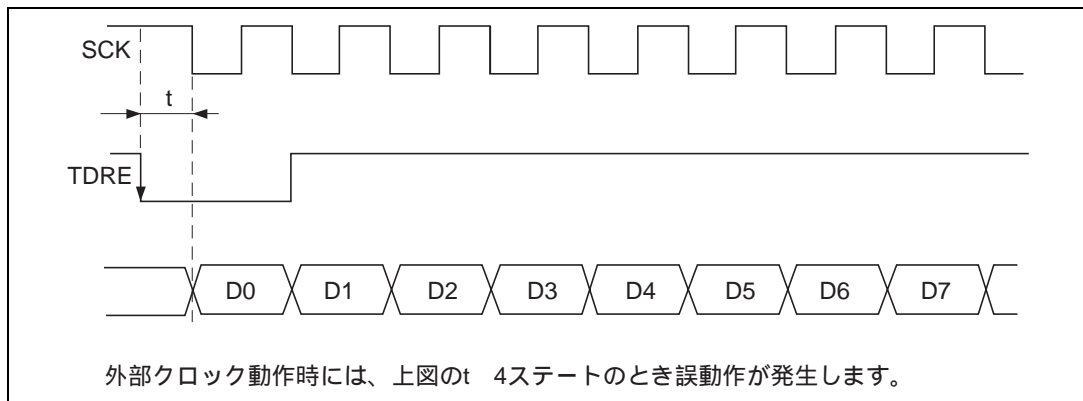


図 13.22 DMAC によるクロック同期式送信時の例

(8) クロック同期外部クロックモード時の注意事項

- (a) TE = RE = 1 に設定するのは、必ず外部クロック SCK が 1 の時にして下さい。
- (b) TE = 1、RE = 1 に設定するのは、外部クロック SCK を 0 → 1 にしてから 4 クロック以上経過してからにしてください。
- (c) 受信時において、RxD の D7 ビットの SCK 入力の立ち上がりエッジから 2.5 ~ 3.5 クロック後に RE = 0 にすると RDRF = 1 になりますが、RDR へのコピーができませんので注意してください。

(9) クロック同期内部クロックモード時の注意事項

受信時において、RxD の D7 ビットの SCK 出力の立ち上がりエッジから 1.5 クロック後に RE = 0 にすると RDRF = 1 になりますが、RDR へのコピーができませんので注意してください。

14. A/D 変換器

14.1 概要

本 LSI は、逐次比較方式の 10 ビット A/D 変換器を内蔵しています。

A/D 変換器は、ソフトウェアにより最大 16 チャンネルのアナログ入力を選択ができます。

A/D 変換器は、独立した 2 つのモジュール (A/D0 と A/D1) より構成されています。

さらに AD0 は 3 つのグループ、AD1 は 1 つのグループで構成されています。

モジュール	アナロググループ	チャンネル
A/D0	アナロググループ 0	AN0 ~ 3
	アナロググループ 1	AN4 ~ 7
	アナロググループ 2	AN8 ~ 11
A/D1	アナロググループ 3	AN12 ~ 15

14.1.1 特長

A/D 変換器の特長を以下に示します。

10ビットの分解能

入力チャンネル：16 チャンネル (A/D0：12 チャンネル、A/D1：4 チャンネル)

高速変換

変換時間：1 チャンネルあたり最小 6.7 μ s (ϕ = 20MHz 動作時)

2種類の変換モード

- 単一モード：1 チャンネルの A/D 変換
- スキャンモード：

1 ~ 12 チャンネルの連続 A/D 変換 (A/D0)

1 ~ 4 チャンネルの連続 A/D 変換 (A/D1)

16本の10ビットA/Dデータレジスタ

16本の10ビットA/Dデータレジスタがあります。A/D変換した結果は、各チャンネルに対応したA/Dデータレジスタに転送され、保持されます。

サンプル&ホールド機能内蔵 (2個)

サンプル&ホールド回路を各々のA/D変換器 (A/D0、A/D1) に内蔵していますので、外部アナログ入力回路が簡単に構成できます。

A/D変換割り込みとDMA機能をサポート

A/D変換終了時に、CPUに対してA/D変換割り込み要求(ADI)を発生することができます。(ADI0：A/D0の割り込み要求、ADI1：A/D1の割り込み要求)

また、ADIでDMACの起動ができます。

2種類の変換の開始

- ソフトウェア / 外部トリガ (端子、ATU) の選択が可能 (A/D0)
- ソフトウェア / 外部トリガ (端子) の選択が可能 (A/D1)

アナログ変換電圧範囲の設定が可能

AV_{ref} 端子によってアナログ変換電圧範囲の設定ができます。

ADEND出力

ADEND 出力端子によって、チャンネル 15 をスキャンモードで使用する場合の変換タイミングをモニタすることができます。

14.1.2 ブロック図

図 14.1 に A/D 変換器のブロック図を示します。

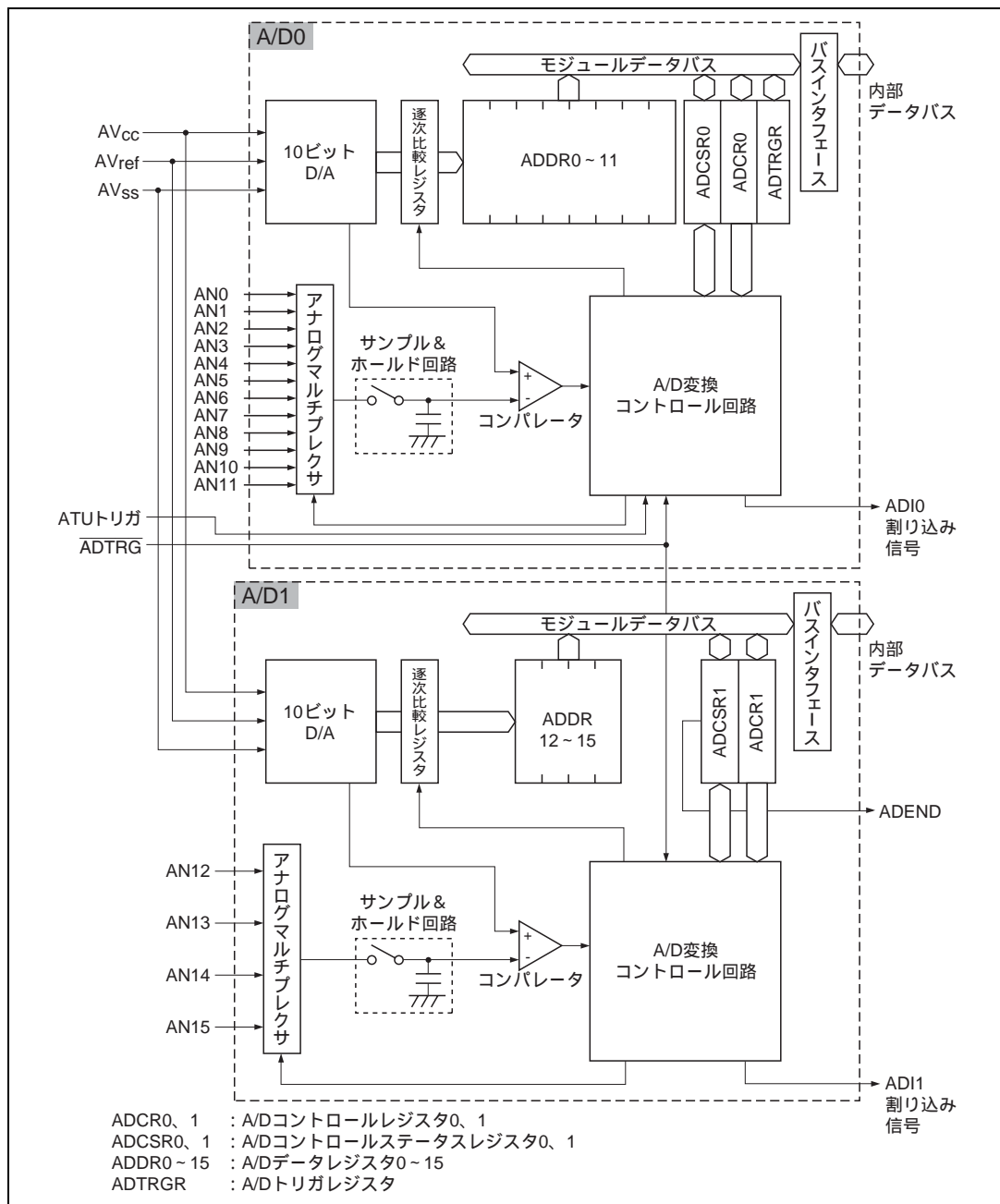


図 14.1 A/D 変換器のブロック図

14.1.3 端子構成

表 14.1 に A/D 変換器の入力端子の構成を示します。

アナログ入力端子は AN0 ~ AN15 の 16 本あります。AN0 ~ AN11 の 12 本は A/D0 のアナログ入力です。この 12 本のアナログ入力は、AN0 ~ AN3 (グループ 0)、AN4 ~ AN7 (グループ 1)、AN8 ~ AN11 (グループ 2) の 3 グループに分類されます。また、AN12 ~ AN15 の 4 本は A/D1 のアナログ入力です。この 4 本のアナログ入力はグループ 3 を構成します。

$\overline{\text{ADTRG}}$ 端子は、LSI 外部から、A/D 変換開始タイミングを与えるための端子です。この端子に Low レベルのパルスを印加すると、A/D 変換器は A/D 変換を開始します。この端子は A/D0 と A/D1 に共通の端子です。

ADEND 端子は、チャンネル 15 をスキャンモードで使用する場合の変換タイミングをモニタする出力端子です。

AV_{cc} 、 AV_{ss} 端子は、A/D 変換器内のアナログ部の電源電圧です。 AV_{ref} 端子は、A/D 変換の基準電圧端子です。これらの端子も A/D0 と A/D1 に共通の端子です。

なお、LSI の信頼性確保のため、 AV_{cc} 、 AV_{ss} と V_{cc} 、 V_{ss} との関係は、通常動作時は、 $\text{AV}_{\text{cc}} = \text{V}_{\text{cc}} \pm 10\%$ 、 $\text{AV}_{\text{ss}} = \text{V}_{\text{ss}}$ とし、さらに、A/D 変換器を使用しないときも AV_{cc} 、 AV_{ss} 端子を決してオープンにしないでください。

また、アナログ入力端子に印加する電圧は AV_{ss} 、 ANn 、 AV_{ref} の範囲としてください。

表 14.1 A/D 変換器の端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV_{cc}	入力	アナログ部の電源
アナロググランド端子	AV_{ss}	入力	アナログ部のグランドおよび基準電圧
アナログリファレンス電源端子	AV_{ref}	入力	アナログ部の基準電圧
アナログ入力端子 0	AN0	入力	A/D0 のアナログ入力端子 0~3 (アナロググループ 0)
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	A/D0 のアナログ入力端子 4~7 (アナロググループ 1)
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	A/D0 のアナログ入力端子 8~11 (アナロググループ 2)
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	
アナログ入力端子 9	AN9	入力	A/D1 のアナログ入力端子 12~15 (アナロググループ 3)
アナログ入力端子 10	AN10	入力	
アナログ入力端子 11	AN11	入力	
アナログ入力端子 12	AN12	入力	A/D1 のアナログ入力端子 12~15 (アナロググループ 3)
アナログ入力端子 13	AN13	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	A/D1 のチャンネル 15 の変換タイミングモニタ出力端子
A/D 変換トリガ入力端子	$\overline{\text{ADTRG}}$	入力	
ADEND 出力端子	ADEND	出力	

14.1.4 レジスタ構成

表 14.2 に A/D 変換器のレジスタ構成を示します。

表 14.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセス サイズ*1
A/D データレジスタ 0 (H/L)	ADDR0 (H/L)	R	H'0000	H'FFFF85D0	8、16
A/D データレジスタ 1 (H/L)	ADDR1 (H/L)	R	H'0000	H'FFFF85D2	8、16
A/D データレジスタ 2 (H/L)	ADDR2 (H/L)	R	H'0000	H'FFFF85D4	8、16
A/D データレジスタ 3 (H/L)	ADDR3 (H/L)	R	H'0000	H'FFFF85D6	8、16
A/D データレジスタ 4 (H/L)	ADDR4 (H/L)	R	H'0000	H'FFFF85D8	8、16
A/D データレジスタ 5 (H/L)	ADDR5 (H/L)	R	H'0000	H'FFFF85DA	8、16
A/D データレジスタ 6 (H/L)	ADDR6 (H/L)	R	H'0000	H'FFFF85DC	8、16
A/D データレジスタ 7 (H/L)	ADDR7 (H/L)	R	H'0000	H'FFFF85DE	8、16
A/D データレジスタ 8 (H/L)	ADDR8 (H/L)	R	H'0000	H'FFFF85E0	8、16
A/D データレジスタ 9 (H/L)	ADDR9 (H/L)	R	H'0000	H'FFFF85E2	8、16
A/D データレジスタ 10 (H/L)	ADDR10 (H/L)	R	H'0000	H'FFFF85E4	8、16
A/D データレジスタ 11 (H/L)	ADDR11 (H/L)	R	H'0000	H'FFFF85E6	8、16
A/D データレジスタ 12 (H/L)	ADDR12 (H/L)	R	H'0000	H'FFFF85F0	8、16
A/D データレジスタ 13 (H/L)	ADDR13 (H/L)	R	H'0000	H'FFFF85F2	8、16
A/D データレジスタ 14 (H/L)	ADDR14 (H/L)	R	H'0000	H'FFFF85F4	8、16
A/D データレジスタ 15 (H/L)	ADDR15 (H/L)	R	H'0000	H'FFFF85F6	8、16
A/D コントロールステータスレジスタ 0	ADCSR0	R/(W)*2	H'00	H'FFFF85E8	8、16
A/D コントロールレジスタ 0	ADCR0	R/W	H'1F	H'FFFF85E9	8、16
A/D コントロールステータスレジスタ 1	ADCSR1	R/(W)*2	H'00	H'FFFF85F8	8、16
A/D コントロールレジスタ 1	ADCR1	R/W	H'7F	H'FFFF85F9	8、16
A/D トリガレジスタ	ADTRGR	R/W	H'FF	H'FFFF83B8	8

【注】 レジスタアクセスは、バイトアクセス時 3 サイクル、ワードアクセス時 6 サイクルとなります。

*1 16 ビットのアクセスはワード境界のみ可能です。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

14.2 レジスタの説明

14.2.1 A/D データレジスタ 0～15 (ADDR0～ADDR15)

A/D データレジスタ 0～15 (ADDR0～ADDR15) はアナログ入力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

アナログ入力 0～15 (AN0～AN15) に対応するレジスタは 16 本あります。

ADDR はパワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'0000 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
ADDRnH (上位バイト)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
ADDRnL (下位バイト)	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

(n=0～15)

A/D 変換器はアナログ入力を 10 ビットのデジタル値に変換します。この 10 ビットデータのうち、上位 8 ビットが選択されたチャンネルに対応する ADDR の上位バイトに、下位 2 ビットが ADDR の下位バイトにそれぞれ格納されます。ADDR の下位バイトのデータは上位 2 ビットのみが有効です。

表 14.3 にアナログ入力チャンネルと ADDR の対応を示します。

表 14.3 アナログ入力チャンネルと ADDR の対応

アナログ入力 チャンネル	A/D データ レジスタ	アナログ入力 チャンネル	A/D データ レジスタ	アナログ入力 チャンネル	A/D データ レジスタ	アナログ入力 チャンネル	A/D データ レジスタ
AN0	ADDR0	AN4	ADDR4	AN8	ADDR8	AN12	ADDR12
AN1	ADDR1	AN5	ADDR5	AN9	ADDR9	AN13	ADDR13
AN2	ADDR2	AN6	ADDR6	AN10	ADDR10	AN14	ADDR14
AN3	ADDR3	AN7	ADDR7	AN11	ADDR11	AN15	ADDR15

14.2.2 A/D コントロールステータスレジスタ 0 (ADCSR0)

A/D コントロールステータスレジスタ 0 (ADCSR0) は、A/D0 の A/D 変換モードの選択などを行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ADCSR0 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット 7: A/D エンドフラグ (ADF)

A/D エンドフラグ (ADF) は、A/D 変換の終了を示すフラグです。

ビット 7	説明
ADF	
0	A/D0 が A/D 変換実行中、またはアイドル状態であることを示します。 (初期値) (クリア条件) (1) ADF = 1 の状態を読み出した後、0 を書き込んだとき (2) ADI0 により DMAC が起動されたとき
1	A/D0 が A/D 変換を終了し、デジタル値を ADDR に転送したことを示します。 (セット条件) (1) 単一モード: A/D 変換終了時 (2) スキャンモード: 設定された 1 つのアナロググループ内のすべての変換が終了したとき

単一モードと、スキャンモードでは、ADF が 1 にセットされた後の A/D 変換器の動作が異なります。

単一モードのとき、A/D 変換器はデジタル値を ADDR に転送した後、ADF を 1 にセットしてアイドル状態になります。スキャンモードのときには、設定された 1 つのアナロググループ内のすべての変換が終了した後に ADF を 1 にセットし、さらに変換を続けます。例えば、12 チャンネルスキャンの場合、AN0 ~ AN3 (グループ 0) の変換終了直後に ADF が 1 にセットされます。

なお、ADF に 1 を書き込むことはできません。

14. A/D 変換器

ビット 6 : A/D インタラプトイネーブル (ADIE)

A/D インタラプトイネーブル (ADIE) は、A/D 割り込み (ADI) の発生を許可 / 禁止するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 0 (ADCR0) の ADST が 0 の状態で行ってください。

ビット 6	説明
ADIE	
0	A/D 割り込み (ADI0) の発生を禁止 (初期値)
1	A/D 割り込み (ADI0) の発生を許可

A/D 変換を終了して ADCSR0 に ADF が 1 にセットされたとき、ADIE が 1 にセットされていると A/D0 の A/D 割り込み (ADI0) が発生します。ADF を 0 にクリアするか、ADIE を 0 にクリアすることで、ADI0 のクリアが可能です。

ビット 5、4 : A/D モード 1、0 (ADM1、ADM0)

A/D モード 1、0 (ADM1、ADM0) は、A/D 変換を単一モード、4 チャンルスキャンモード、8 チャンルスキャンモード、12 チャンルスキャンモードから選択するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 0 (ADCR0) の ADST が 0 の状態で行ってください。

ビット 5	ビット 4	説明
ADM1	ADM0	
0	0	単一モード (初期値)
	1	4 チャンルスキャンモード (アナロググループ 0 / グループ 1 / グループ 2)
1	0	8 チャンルスキャンモード (アナロググループ 0、1)
	1	12 チャンルスキャンモード (アナロググループ 0、1、2)

ADM1、0 を 00 にセットすると、単一モードになります。単一モードでは、ADCSR の CH3 ~ 0 で選択されたアナログチャンネルを 1 回 A/D 変換して動作終了します。

ADM1、0 を 01 にセットすると、4 チャンルスキャンモードになります。スキャンモードは、複数チャンネルの A/D 変換を連続して行うモードです。スキャンモードで A/D 変換を行うチャンネルは ADCSR0 の CH3 ~ 0 で設定します。4 チャンルスキャンモードでは、アナロググループ 0 (AN0 ~ 3)、グループ 1 (AN4 ~ 7) またはグループ 2 (AN8 ~ 11) のうちのいずれかのグループのチャンネルを連続して変換します。

ADM1、0 を 10 にセットすると、8 チャンルスキャンモードになります。8 チャンルスキャンモードでは、アナロググループ 0 (AN0 ~ 3) とグループ 1 (AN4 ~ 7) の 8 チャンネルの A/D 変換を行います。

ADM1、0 を 11 にセットすると、12 チャンルスキャンモードになります。12 チャンルスキャンモードでは、アナロググループ 0 (AN0 ~ 3) とグループ 1 (AN4 ~ 7) とグループ 2 (AN8 ~ 11) の 12 チャンネルの A/D 変換を行います。

なお、単一モード / スキャンモードの動作については「14.4 動作説明」を参照してください。

ビット3~0: チャンネルセレクト3~0 (CH3~CH0)

チャンネルセレクト3~0 (CH3~CH0) は、ADM1、0 との組み合わせでアナログ入力チャンネルを選択するビットです。

誤動作を防ぐためアナログ入力チャンネル選択の切り替えは、必ず、A/D コントロールレジスタ0 (ADCR0) の ADST が 0 の状態で行ってください。

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	
CH3	CH2	CH1	CH0	単一モード	4チャンネルスキャンモード
0	0	0	0	AN0 (初期値)	AN0
			1	AN1	AN0、AN1
		1	0	AN2	AN0~AN2
			1	AN3	AN0~AN3
	1	0	0	AN4	AN4
			1	AN5	AN4、AN5
		1	0	AN6	AN4~AN6
			1	AN7	AN4~AN7
1	0* ¹	0	0	AN8	AN8
			1	AN9	AN8、AN9
		1	0	AN10	AN8~AN10
			1	AN11	AN8~AN11

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	
CH3	CH2	CH1	CH0	8チャンネルスキャンモード	12チャンネルスキャンモード
0	0	0	0	AN0、AN4	AN0、AN4、AN8
			1	AN0、AN1、AN4、AN5	AN0、AN1、AN4、AN5、AN8、AN9
		1	0	AN0~AN2、AN4~AN6	AN0~AN2、AN4~AN6、AN8~AN10
			1	AN0~AN7	AN0~AN11
	1	0	0	AN0、AN4	AN0、AN4、AN8
			1	AN0、AN1、AN4、AN5	AN0、AN1、AN4、AN5、AN8、AN9
		1	0	AN0~AN2、AN4~AN6	AN0~2、AN4~AN6、AN8~AN10
			1	AN0~AN7	AN0~AN11
1	0* ¹	0	0	予約* ²	AN0、AN4、AN8
			1		AN0、AN1、AN4、AN5、AN8、AN9
		1	0		AN0~AN2、AN4~AN6、AN8~AN10
			1		AN0~AN11

【注】 *1 必ず0に設定してください。

*2 将来の拡張のためのモードです。使用しないでください。

14.2.3 A/D コントロールレジスタ 0 (ADCR0)

A/D コントロールレジスタ 0 (ADCR0) は、A/D0 の A/D 変換の開始制御、および動作クロックの選択を行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ADCR0 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'1F に初期化されます。

なお、ADCR0 のビット 4~0 は予約ビットです。ビット 4~0 への書き込みはできません。また、読み出しすると常に 1 が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	TRGE	CKS	ADST	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R	R	R

ビット 7: トリガイネーブル (TRGE)

トリガイネーブル (TRGE) は、外部トリガ入力あるいは ATU トリガによる A/D 変換の開始を許可 / 禁止するビットです。

ビット 7	説明
TRGE	
0	外部トリガまたは ATU トリガによる A/D 変換の開始を禁止 (初期値)
1	外部トリガまたは ATU トリガによる A/D 変換の開始を許可

外部トリガあるいは ATU トリガの選択は、「14.2.6 A/D トリガレジスタ」を参照してください。

ATU トリガに設定した場合、ADTRGR レジスタのビット 7 を 0 にしてください。

外部トリガに設定した場合、TRGE を 1 にセットした後、ADTRG 端子に Low レベルのパルスを入力すると、A/D 変換はパルスの立ち下がりエッジを検出し、ADCR の ADST ビットを 1 にセットします。この後は、ソフトウェアで ADST ビットに 1 をライトしたときと同じ動作をします。ただし、外部トリガ入力による A/D 変換の開始機能は ADST ビットが 0 にクリアされている時のみ有効です。

なお、外部トリガ開始機能を使用する時、ADTRG 端子に入力する Low パルス幅は 1.5φクロック以上である必要があります。くわしくは「14.4.4 外部トリガによる A/D 変換器の起動」を参照してください。

ビット 6: クロックセレクト (CKS)

クロックセレクト (CKS) は、A/D 変換時間の設定を行うビットです。

CKS が 0 のとき 266 ステート (MAX) で、CKS が 1 のとき 134 ステート (MAX) で A/D 変換を行います。なお、誤動作を防ぐため A/D 変換時間の切り替えは、必ず、A/D コントロールレジスタ 0 (ADCR0) の ADST が 0 の状態で行ってください。詳細は「14.4.3 アナログ入力のサンプリングと A/D 変換時間」を参照してください。

ビット 6	説明
CKS	
0	変換時間 = 266 ステート (MAX) (初期値)
1	変換時間 = 134 ステート (MAX)

ビット5：A/D スタート（ADST）

A/D スタート（ADST）は、A/D 変換の開始 / 停止を制御するビットです。ADST を 1 にセットすると A/D 変換を開始し、0 にクリアすると停止します。

ビット5	説明
ADST	
0	A/D 変換停止 (初期値)
1	A/D 変換実行中 (クリア条件) (1) 単一モード：A/D 変換終了時に自動的に 0 クリア (2) スキャンモード：ADCSR0 の ADF が 1 であることを確認して、ADST に 0 をライト

単一モードとスキャンモードでは、ADST ビットの動きが異なりますので注意してください。

単一モードとスキャンモードでは、1 チャンネルの A/D 変換終了時に自動的に ADST を 0 にクリアします。しかし、スキャンモードでは、選択したアナログ入力すべての変換が終わると、再度全チャンネルの A/D 変換を始めるため、ADST ビットは 1 のままです。したがって、スキャンモードでは、変換時間の変更、アナログ入力チャンネルの選択を変更する時には、ADST ビットを 0 にクリアして A/D 変換を停止させてください。

動作モードの切り替えは、必ず A/D コントロールレジスタ 0 (ADCR0) の ADST ビットが 0 の状態で行ってください。

なお、A/D インタラプトイネーブル(ADCSR0 の ADIE ビット)の変更、A/D 変換時間の変更(ADCR0 の CKS ビット)、動作モードの変更(ADCSR の ADM1、0 ビット)、およびアナログ入力チャンネル選択の変更(ADCSR0 の CH3~0)を行う前に、必ず、A/D 変換が停止していること(ADST が 0)を確認してください。これらの変更を A/D 変換器の動作中(ADST が 1)に行った場合、A/D データレジスタの内容は、保証されません。

ビット4~0：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

14.2.4 A/D コントロールステータスレジスタ 1 (ADCSR1)

A/D コントロールステータスレジスタ 1 (ADCSR1) は、A/D1 の A/D 変換モードの選択などを行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ADCSR1 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	—	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット 7: A/D エンドフラグ (ADF)

ADCSR0 の ADF と同様です。

ビット 6: A/D インタラプトイネーブル (ADIE)

ADCSR0 の ADIE と同様です。

ビット 5: A/D スタート (ADST)

ADCSR0 の ADST と同様です。

ビット 4: スキャンモード (SCAN)

スキャンモードは、A/D1 の単一モード / スキャンモードを選択するビットです。
誤動作を防ぐため動作モードの切り替えは、必ず、ADST が 0 の状態で行ってください。

ビット 4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

なお、単一モード / スキャンモードの動作については「14.4 動作説明」を参照してください。

ビット 3: クロックセレクト (CKS)

ADCSR0 の CKS と同様です。

ビット 2: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1~0 : チャネルセレクト 1~0 (CH1~CH0)

チャネルセレクト 1~0 (CH1~CH0) は、SCAN ビットとの組み合わせでアナログ入力チャンネルを選択するビットです。

誤動作を防ぐためアナログ入力チャンネル選択の切り替えは、必ず、A/D コントロールステータスレジスタ 1 (ADCSR1) の ADST が 0 の状態で行ってください。

ビット 1	ビット 0	アナログ入力チャンネル	
		単一モード	スキャンモード
0	0	AN12 (初期値)	AN12
	1	AN13	AN12、13
1	0	AN14	AN12~14
	1	AN15	AN12~15

14.2.5 A/D コントロールレジスタ 1 (ADCR1)

A/D コントロールレジスタ (ADCR1) は、A/D1 の開始制御、および動作クロックの選択を行う 8 ビットの読み出し/書き込み可能なレジスタです。

ADCSR1 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'7F に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W:	R/W	R	R	R	R	R	R	R

ビット 7 : トリガイネーブル (TRGE)

ADCR0 の TRGE と同様です。

ビット 6~0 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

14.2.6 A/D トリガレジスタ (ADTRGR)

A/D トリガレジスタ (ADTRGR) は、A/D0 のトリガの選択を行う 8 ビットの読み出し / 書き込み可能なレジスタです。外部端子 ($\overline{\text{ADTRG}}$) か、ATU トリガ (ATU のインターバルタイム割り込み) のどちらかを選択します。

ADTRGR は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'FF に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	EXTRG	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R	R	R	R	R	R	R

ビット 7: トリガイネーブル (EXTRG)

外部端子 ($\overline{\text{ADTRG}}$) か、ATU のインターバルタイム割り込みのどちらかを選択します。

ビット 7	説明
EXTRG	
0	ATU のチャンネル 0 のインターバルタイム割り込みによる起動を行います。
1	外部端子 ($\overline{\text{ADTRG}}$) による起動を行います。 (初期値)

ビット 6~0: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

外部トリガあるいは ATU トリガの選択は、ADCR0 の TRGE ビットを 1 に設定する必要があります。詳細は、「14.2.3 A/D コントロールレジスタ 0」を参照してください。

14.3 CPU とのインタフェース

A/D データレジスタ 0~15 (ADDR0~15) は 16 ビットのレジスタですが、CPU と結合しているチップ内バスは、8 ビット幅です。このため ADDR の上位 / 下位のデータは別々にしか読み出せません。

ADDR の上位 / 下位の 2 バイトのデータを読み出す間にデータが変化するのを避けるため、下位バイトのデータの読み出しは、テンポラリレジスタ (TEMP) を介して行います。なお、上位バイトの読み出しは直接行えます。

ADDR からデータの読み出しは、次のようにして行います。まず、ADDR のデータの上位バイトを読み出します。このとき、上位バイトのデータは直接 CPU に読み込まれ、下位バイトのデータは A/D 変換器内の TEMP へ転送されます。次に下位バイトを読み出すと TEMP の内容が CPU に読み込まれます。

ADDR をバイトサイズで読み出す場合には、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容が保証されませんので注意してください。なお、ADDR をワードサイズで読み出すと、自動的に上位バイト、下位バイトの順で読み出されます。

図 14.2 に ADDR のリード時のデータの流れを示します。

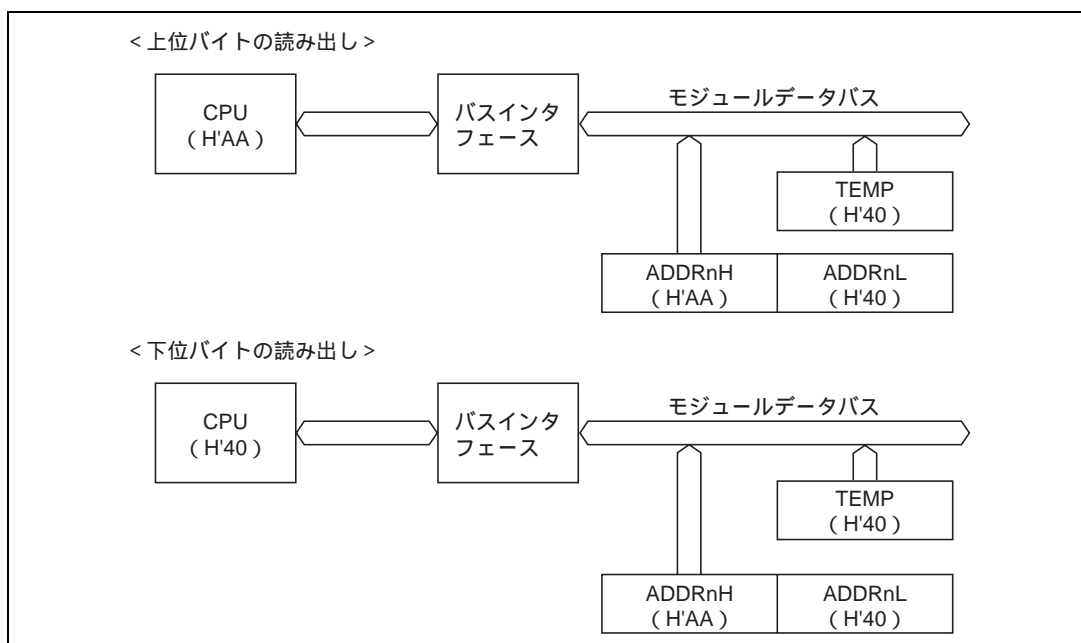


図 14.2 ADDR のアクセス動作 ((H'AA40) 読み出し時)

14.4 動作説明

A/D 変換器は、逐次比較方式で動作し、10 ビットの分解能をもっています。

A/D 変換の動作モードには、単一モードとスキャンモードの2種類の動作モードがあります。単一モードは指定した1チャンネルを1回変換して終了するモードです。スキャンモードは指定した1チャンネル以上のA/D変換をADSTビットが0にクリアされるまで繰り返し行うモードです。

14.4.1 単一モード

単一モードは、1チャンネルのみのA/D変換を1回行うときに選択するモードです。

単一モードの選択は、A/D0の場合、A/Dコントロールステータスレジスタ0(ADCSR0)のADM1、0ビットを00にすることで行います。また、A/D1の場合はADCSR1のSCANモードビットを0にすることで行います。この状態でADSTビット(A/D0はADCR0、A/D1はADCSR1)を1にセットすると単一モードでA/D変換を開始します。

ADSTビットは、A/D変換中は1を保持しており、変換が終了すると自動的に0にクリアされます。

また、変換が終了するとADCSRのADFが1にセットされます。このとき、ADCSRのADIEビットが1にセットされているとADI割り込み要求を発生します。ADFを0にクリアするときには、あらかじめADFの1を読んだ後、0を書き込んでください。ただし、ADI割り込みでDMACを起動した場合には、自動的にクリアされます。

アナログ入力1チャンネル(AN1)を選択して、単一モードでA/D変換を行う場合の動作例を次に示します。また、図14.3に動作タイミングを示します。

- (1) 動作モードを単一モードに(ADM1=ADM0=0)、入力チャンネルをAN1に(CH3=CH2=CH1=0、CH0=1)、A/D割り込み要求許可(ADIE=1)を設定して、A/D変換を開始(ADST=1)します。
- (2) A/D変換が終了すると、A/D変換結果がADDR1に転送されます。同時に、ADF=1、ADST=0となり、A/D変換器は変換待機となります。
- (3) ADF=1、ADIE=1となっているため、ADI割り込みを発生します。
- (4) A/D割り込み処理ルーチンが開始されます。
- (5) ADF=1を読み出したのち、ADFに0を書き込みます。
- (6) A/D変換結果(ADDR1)を読み出して、処理します。
- (7) A/D割り込み処理ルーチンの実行を終了します。

この後、ADSTビットを1にセットするとA/D変換が開始され(2)~(7)を行います。

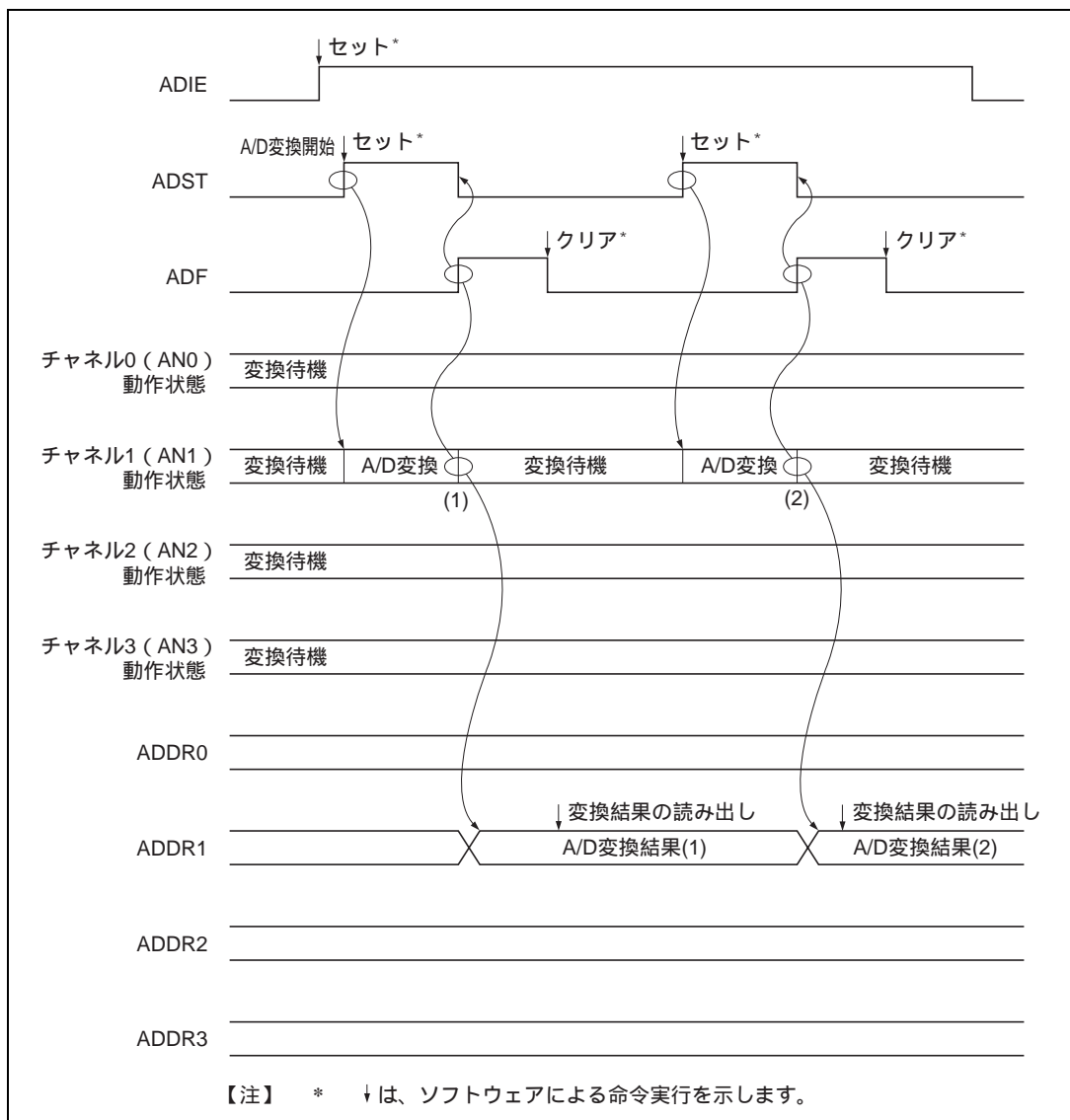


図 14.3 A/D 変換器の動作例 (単一モードチャンネル 1 選択時)

14.4.2 スキャンモード

スキャンモードは、1チャンネル以上の複数チャンネルのA/D変換を繰り返すとき（常時モニタしたい時など）に選択するモードです。

スキャンモードの選択は、A/D0の場合、A/Dコントロールステータスレジスタ(ADCSR0)のADM1、0ビットを01、10、または11にすることで行います。ADM1、0ビットを01にすると4チャンネルスキャンモードに、10にすると8チャンネルスキャンモードに、11にすると12チャンネルスキャンモードになります。また、A/D1の場合はA/Dコントロールステータスレジスタ1(ADCSR1)のSCANモードビットを1にすることで行います。この状態でADSTビットを1にセットするとスキャンモードでA/D変換を開始します。

スキャンモードでは、アナログ入力チャンネル番号の小さい順（AN0、AN1...AN15）からA/D変換を行います。ADSTビットは、ソフトウェアで0を書き込むまで1のままです。

また、選択した1つのアナロググループ内のすべての変換が終了するとADCSRのADFを1にセットし、再びA/D変換を繰り返します。ADFが1にセットされたとき、ADCSRのADIEビットが1にセットされているとADI割り込み要求（ADI0あるいはADI1）を発生します。ADFを0にクリアするときには、ADFの1を読み出した後、0を書き込んでください。ただし、ADI割り込みでDMACを起動した場合には、自動的にクリアされます。

アナログ入力0~2、4~6チャンネル（AN0~2、AN4~6）を選択して、8チャンネルスキャンモードでA/D変換を行う場合の動作例を次に示します。また、図14.4に動作タイミングを示します。

- (1) 動作モードを8チャンネル・スキャン・モードに（ADM1=1、ADM0=0）、アナログ入力チャンネルをAN0~AN2、AN4~AN6（CH3=0、CH2=0、CH1=1、CH0=0）に設定して、A/D変換を開始します。
- (2) 第1チャンネル（AN0）のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR0に転送します。
次に、第2チャンネル（AN1）が自動的に選択され、変換を開始します。
- (3) 同様に第3チャンネル（AN2）まで、変換を行います。
- (4) 選択された1つのアナロググループ（アナロググループ0）内のすべてのチャンネル（AN0~2）の変換が終了すると、ADF=1となります。このとき、ADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。
- (5) さらに第4チャンネル（AN4）が自動的に選択され、変換が行われます。
- (6) 同様に第6チャンネル（AN6）まで、変換を行います。
- (7) ADSTビットが1にセットされている間は、(2)~(6)を繰り返します。
ADSTビットを0にクリアすると、A/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第1チャンネル（AN0）から、変換が行われます。

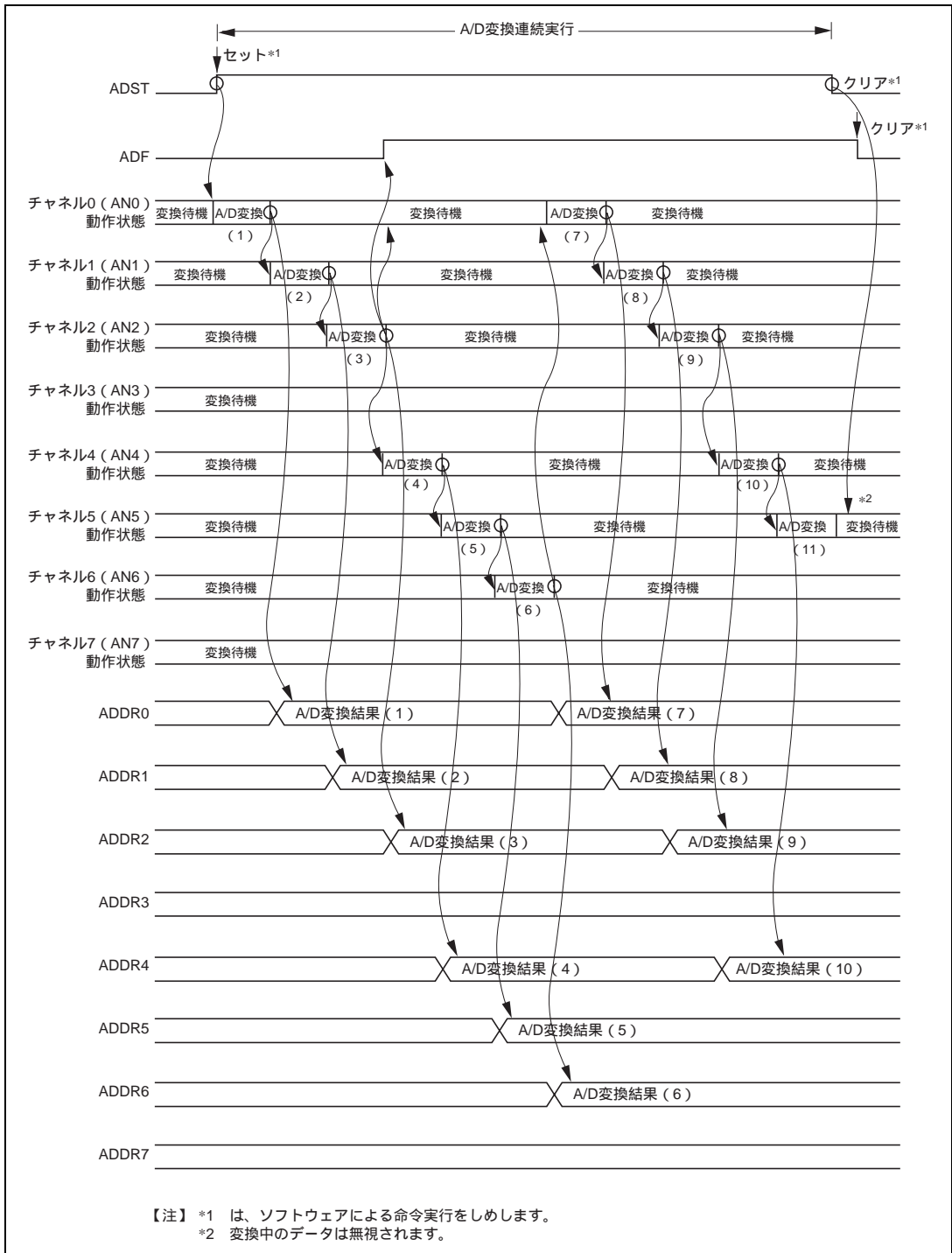


図 14.4 A/D 変換器の動作例 (スキャンモード チャンネル AN0 ~ 2、AN4 ~ 6 の選択時)

14.4.3 アナログ入力のサンプリングと A/D 変換時間

A/D 変換器には、A/D0 と A/D1 にそれぞれ、サンプル&ホールド回路が内蔵されています。A/D 変換は、ADST ビットを 1 にセットしてから、A/D 変換開始遅延時間 (t_D) 後に、アナログ入力のサンプリングを行い、この後に、開始されます。図 14.5 に A/D 変換のタイミングを示します。

A/D 変換時間 (t_{CONV}) は t_D とアナログ入力サンプリング時間 (t_{SPL}) を含めた時間となります。なお、 t_D には、A/D 変換器動作を同期化するために要する時間が含まれますので一定時間にはなりません。このため、変換時間は表 14.4 に示す範囲で変化します。

スキャンモードの場合、表 14.4 に示す t_{CONV} は 1 回目の変換時間に相当します。2 回目以降は CKS = 0 の場合 $t_{CONV} = 256$ ステート (固定) に、CKS = 1 の場合 $t_{CONV} = 128$ ステート (固定) になります。

表 14.4 A/D 変換時間 (単一モード)

項目	記号	CKS = 0			CKS = 1			単位
		min	typ	max	min	typ	max	
A/D 変換開始遅延時間	t_D	10	-	17	6	-	9	ステート
入力サンプリング時間 (A/D0)	t_{SPL}	-	64	-	-	32	-	
入力サンプリング時間 (A/D1)	t_{SPL}	-	64	-	-	32	-	
A/D 変換時間	t_{CONV}	259	-	266	131	-	134	

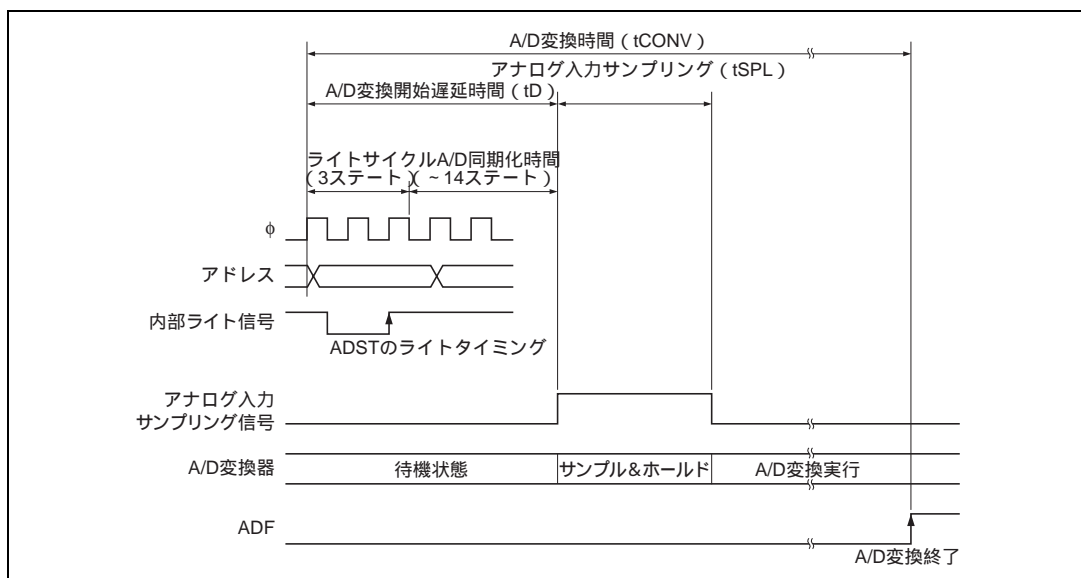


図 14.5 A/D 変換タイミング

14.4.4 外部トリガによる A/D 変換器の起動

外部 A/D 変換開始トリガの入力で、A/D 変換器を起動することができます。

外部トリガで A/D 変換器を起動するときには、PFC (ピンファンクションコントローラ) で端子機能を設定したのち、A/D コントロールレジスタ (ADCR) の TRGE ビットを 1 にセットします。また、A/D0 変換器については、さらに A/D トリガレジスタ (ADTRGR) の EXTRG ビットを 1 にします。この状態で ADTRG 端子に Low レベルを入力すると、A/D 変換器は、パルスの立ち下がりエッジを検出して ADST ビットを 1 にセットします。図 14.6 に外部トリガ入力タイミングを示します。

ADST が 1 にセットされるタイミングは、A/D 変換器が $\overline{\text{ADTRG}}$ 端子の立ち下がりエッジをサンプリングしてから 1 ステートです。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

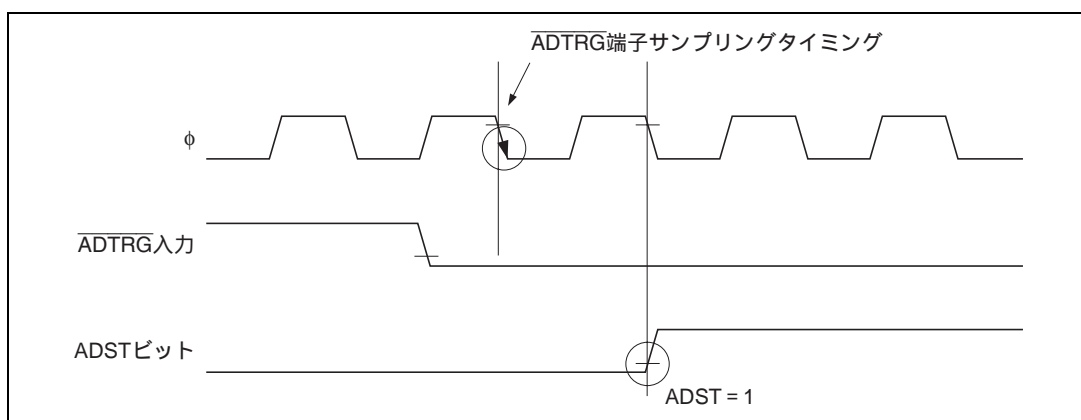


図 14.6 外部トリガ入力タイミング

14.4.5 ATU による A/D 変換器の起動

ATU のチャンネル 0 のインターバルタイマの A/D 変換要求によって、A/D0 変換器を起動することができます。

ATU で A/D 変換器を起動するときには、A/D コントロールレジスタ 0 (ADCR0) の TRGE ビットを 1 にセットします。さらに A/D トリガレジスタ (ADTRGR) の EXTRG ビットを 0 にします。この状態で ATU のチャンネル 0 のインターバルタイマの A/D 変換要求が発生すると、ADST ビットを 1 にセットします。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

14.4.6 ADEND 出力端子

ADEND 出力端子によって、チャンネル 15 をスキャンモードで使用する場合の変換タイミングをモニタすることができます。

スキャンモードでチャンネル 15 のアナログ電圧取り込み終了して変換を開始した後に、ADEND 端子が high になります。その後、チャンネル 15 の変換が終了した時点で、ADEND 端子が low になります。

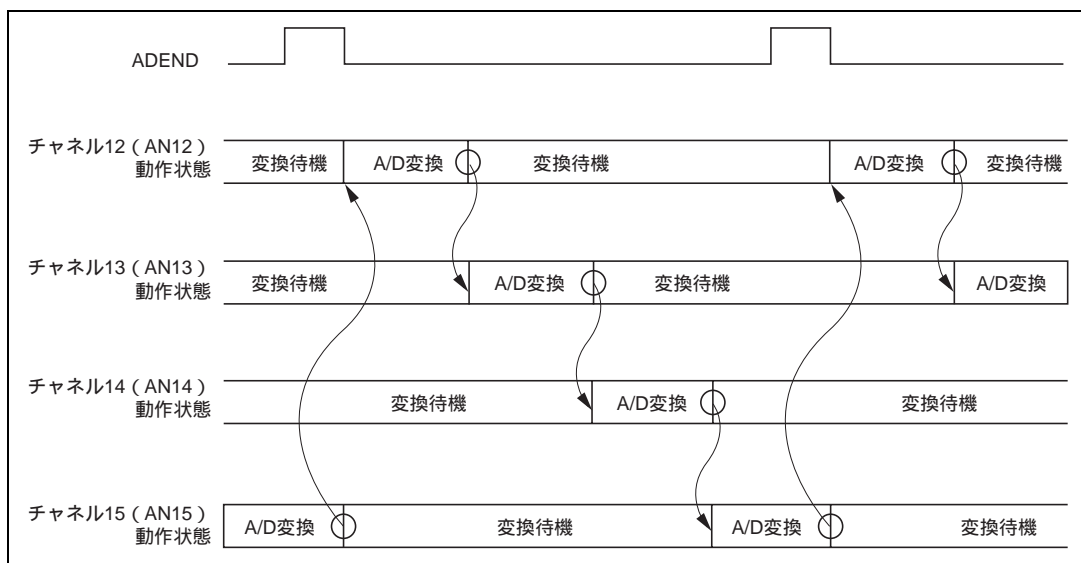


図 14.7 ADEND 出力タイミング

14.5 割り込み要因と DMA 転送要求

A/D 変換器は、A/D 変換終了割り込み要求 (ADIO または ADI1) を発生することができます。A/D コントロール/ステータスレジスタ (ADCSR) の ADIE ビットを 1 にセットすると ADI を許可、0 にクリアすると ADI を禁止することができます。

また、ADI 発生時に DMAC を起動することができます。このとき、CPU への割り込みは発生しません。

ADI で DMAC を起動する場合、DMAC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされます。

使用例は「9.4.3 A/D 変換器と内蔵メモリとの DMA 転送例」を参照してください。

14.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子に印加する電圧は AV_{SS} 、 ANn 、 AV_{ref} の範囲としてください。

(2) AV_{SS} 、 AV_{CC} と V_{SS} 、 V_{CC} の関係

A/D 変換器を使用する場合、 AV_{SS} 、 AV_{CC} と V_{SS} 、 V_{CC} の関係は、 $AV_{CC} = V_{CC} \pm 10\%$ 、 $AV_{SS} = V_{SS}$ としてください。また、A/D 変換器を使用しないときは、 $AV_{SS} = V_{SS}$ 、 AV_{CC} 端子はオープンにしないでください。

(3) AV_{ref} 端子の設定範囲

$AV_{ref} = 4.5 \sim AV_{CC}$ (A/D 使用時)、 $AV_{ref} = AV_{CC}$ (A/D 未使用時)

以上 (1)、(2)、(3) のことが守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

(4) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。

また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AIN)、アナログ基準電圧 (AV_{ref})、アナログ電源 (AV_{CC}) は、アナロググランド (AV_{SS}) で、デジタル回路を必ず分離してください。さらに AV_{SS} は、ボード上の安定したデジタルグランド (V_{SS}) に一点接続してください。

(5) ノイズ対策上の注意

アナログ入力端子 (AIN)、アナログ基準電圧 (AV_{ref}) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図 14.8 に示すように $AV_{CC} - AV_{SS}$ 間に接続してください。

また、 AV_{CC} 、 AV_{ref} に接続するバイパスコンデンサ、 AIN に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。なお、図 14.8 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AIN) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数の決定については、十分ご検討下さいませようお願いいたします。

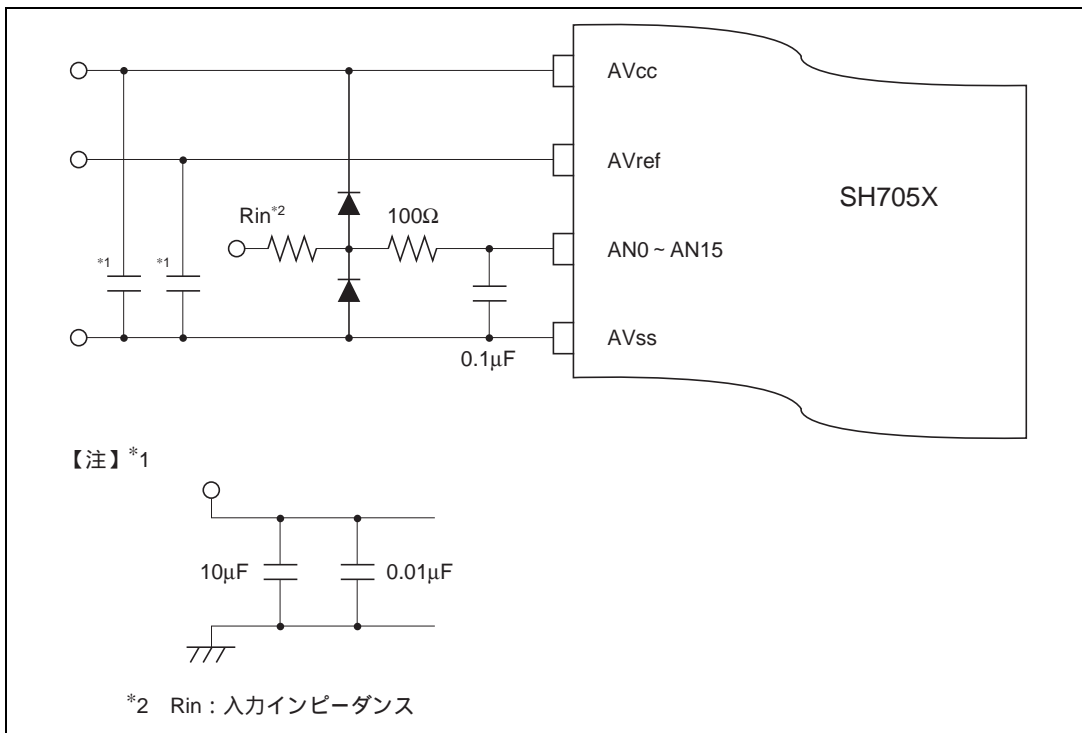


図 14.8 アナログ入力端子の保護回路例

表 14.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	3	kΩ

(6) A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- ・ 分解能 A/D変換器のデジタル変換出力コード数
- ・ オフセット誤差 デジタル出力が最小電圧値0000000000から0000000001に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差。ただし、量子化誤差を含まない(図14.9)。
- ・ フルスケール誤差 デジタル出力が1111111110から1111111111に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差。ただし、量子化誤差を含まない(図14.9)。
- ・ 量子化誤差 A/D変換器が本質的に有する誤差であり、1/2LSBで与えられる(図14.9)。
- ・ 非直線性誤差 ゼロ電圧からフルスケール誤差までのあいだの理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- ・ 絶対精度 デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

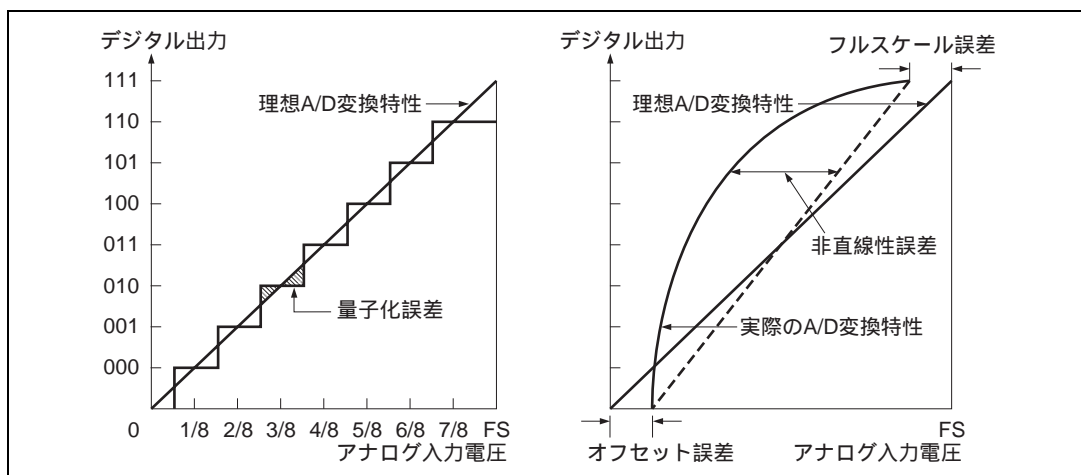


図 14.9 A/D 変換精度の定義

15. コンペアマッチタイマ (CMT)

15.1 概要

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT: Compare match timer) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

15.1.1 特長

CMT には、次のような特長があります。

4種類のカウント入力クロックを選択可能

4種類の内部クロック ($\phi/8$ 、 $\phi/32$ 、 $\phi/128$ 、 $\phi/512$)の中から各チャンネル独立に選択できます。

割り込み要因

コンペアマッチ割り込みを各チャンネル独立に要求することができます。

15.1.2 ブロック図

CMT のブロック図を図 15.1 に示します。

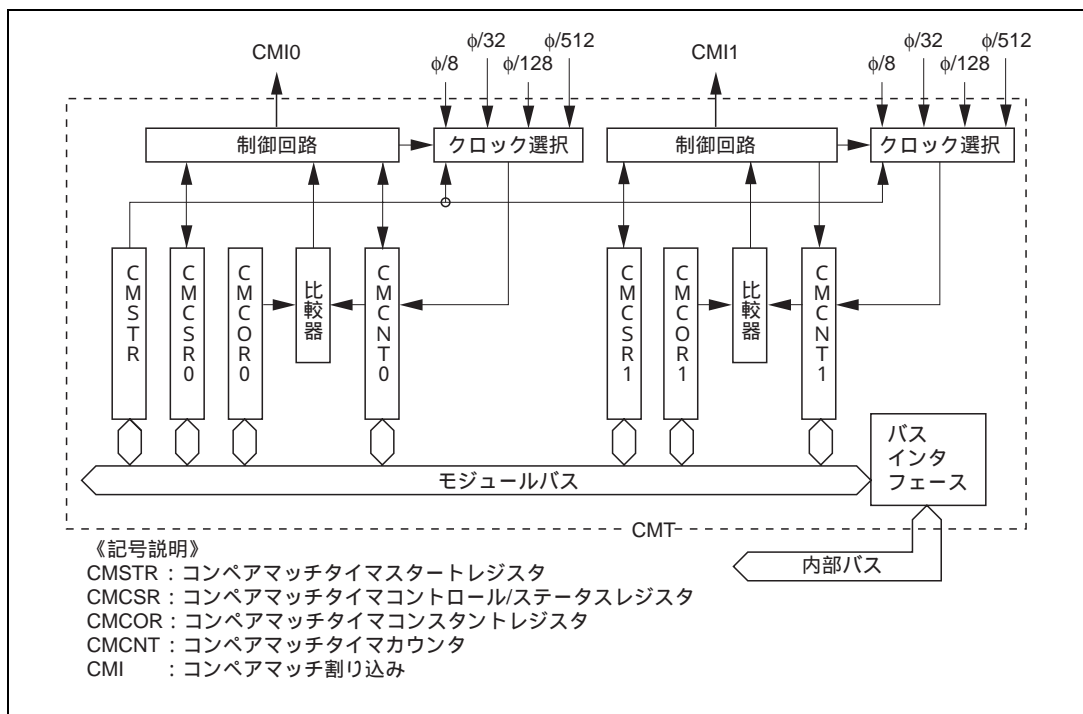


図 15.1 CMT のブロック図

15. コンペアマッチタイム (CMT)

15.1.3 レジスタ構成

CMT のレジスタ構成を表 15.1 に示します。

表 15.1 レジスタ構成

チャンネル	名称	R/W	略称	初期値	アドレス	アクセスサイズ (ビット)
共通	コンペアマッチタイムスタートレジスタ	CMSTR	R/W	H'0000	H'FFFF83D0	8、16、32
0	コンペアマッチタイムコントロール / ステータスレジスタ 0	CMCSR0	R/(W) *	H'0000	H'FFFF83D2	8、16、32
	コンペアマッチタイムカウンタ 0	CMCNT0	R/W	H'0000	H'FFFF83D4	8、16、32
	コンペアマッチタイムコンスタント レジスタ 0	CMCOR0	R/W	H'FFFF	H'FFFF83D6	8、16、32
1	コンペアマッチタイムコントロール / ステータスレジスタ 1	CMCSR1	R/(W)*	H'0000	H'FFFF83D8	8、16、32
	コンペアマッチタイムカウンタ 1	CMCNT1	R/W	H'0000	H'FFFF83DA	8、16、32
	コンペアマッチタイムコンスタント レジスタ 1	CMCOR1	R/W	H'FFFF	H'FFFF83DC	8、16、32

【注】 アクセスサイズは、バイトアクセス、ワードアクセス時には 2 サイクル、ロングワードアクセス時には 4 サイクルとなります。

* CMCSR0、1 の CMF ビットは、フラグをクリアするための 0 ライトのみ可能です。

15.2 レジスタの説明

15.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

コンペアマッチタイマスタートレジスタ (CMSTR) はチャンネル 0、1 のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット 15~2: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1: カウントスタート 1 (STR1)

コンペアマッチタイマカウンタ 1 を動作させるか、停止させるかを選択します。

ビット 1	説明
STR1	
0	CMCNT1 のカウント動作は停止 (初期値)
1	CMCNT1 はカウント動作

ビット 0: カウントスタート 0 (STR0)

コンペアマッチタイマカウンタ 0 を動作させるか、停止させるかを選択します。

ビット 0	説明
STR0	
0	CMCNT0 のカウント動作は停止 (初期値)
1	CMCNT0 はカウント動作

15.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) はコンペアマッチ発生の表示、割り込みの許可/禁止の設定、カウントアップに用いられるクロックの設定を行います。CMCSR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									CMF	CMIE					CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

15. コンペアマッチタイマ (CMT)

ビット 15~8、5~2：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7：コンペアマッチフラグ (CMF)

コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。

ビット 7	説明
CMF	
0	CMCNT と CMCOR の値が一致していない [クリア条件] CMF の 1 を読み出してから 0 を書き込む (初期値)
1	CMCNT と CMCOR の値が一致した

ビット 6：コンペアマッチ割り込みイネーブル (CMIE)

CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。

ビット 6	説明
CMIE	
0	コンペアマッチ割り込み (CMI) を禁止 (初期値)
1	コンペアマッチ割り込み (CMI) を許可

ビット 1、0：クロックセレクト 1、0 (CKS1、CKS0)

システムクロック (ϕ) を分周して得られる 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットを 1 にセットすると、CKS1、CKS0 で選択されたクロックにより CMCNT がカウントアップを開始します。

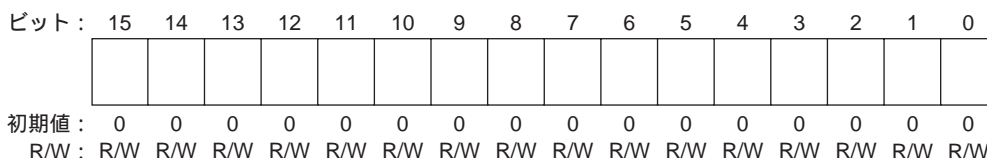
ビット 1	ビット 0	説明
CKS1	CKS0	
0	0	$\phi / 8$ (初期値)
0	1	$\phi / 32$
1	0	$\phi / 128$
1	1	$\phi / 512$

15.2.3 コンペアマッチタイマカウンタ (CMCNT)

コンペアマッチタイマカウンタ (CMCNT) は割り込み要求を発生させるためのアップカウンタとして使用します。

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR の STR ビットを 1 にセットすると、そのクロックによって CMCNT はカウントアップを開始します。CMCNT の値がコンペアマッチタイマコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ、CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。

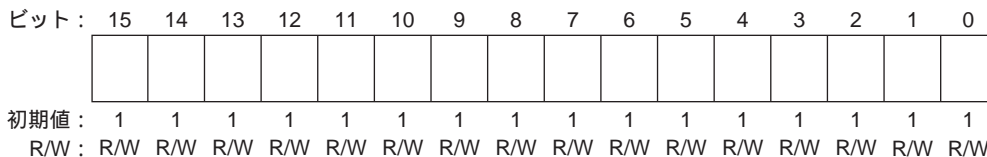
CMCNT レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'0000 に初期化されます。マニュアルリセットでは初期化されません。



15.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

コンペアマッチタイマコンスタントレジスタ (CMCOR) は CMCNT とのコンペアマッチ周期を設定します。

CMCOR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'FFFF に初期化されます。マニュアルリセットでは初期化されません。



15.3 動作説明

15.3.1 周期カウント動作

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR レジスタの STR ビットを 1 にセットすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。CMCNT カウンタの値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT カウンタは H'0000 にクリアされ、CMCSR レジスタの CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 15.2 に示します。

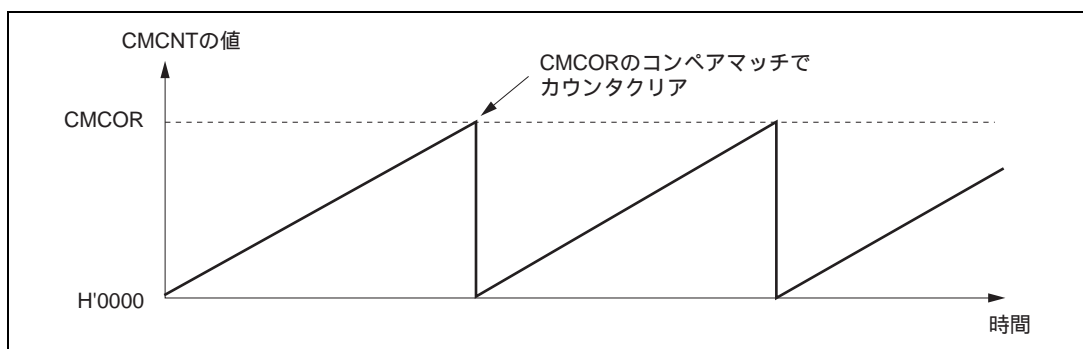


図 15.2 カウンタの動作

15.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、システムクロック (CK) を分周した 4 種類のクロック ($\phi/8$ 、 $\phi/32$ 、 $\phi/128$ 、 $\phi/512$) が選択できます。このときのタイミングを図 15.3 に示します。

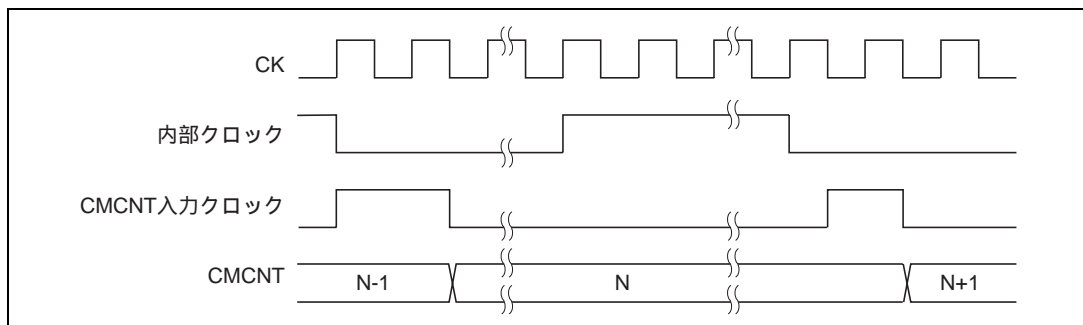


図 15.3 カウントタイミング

15.4 割り込み

15.4.1 割り込み要因

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「6. 割り込みコントローラ」を参照してください。

15.4.2 コンペアマッチフラグのセットタイミング

CMCSR レジスタの CMF ビットは、CMCOR レジスタと CMCNT カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタと CMCOR レジスタが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 15.4 に示します。

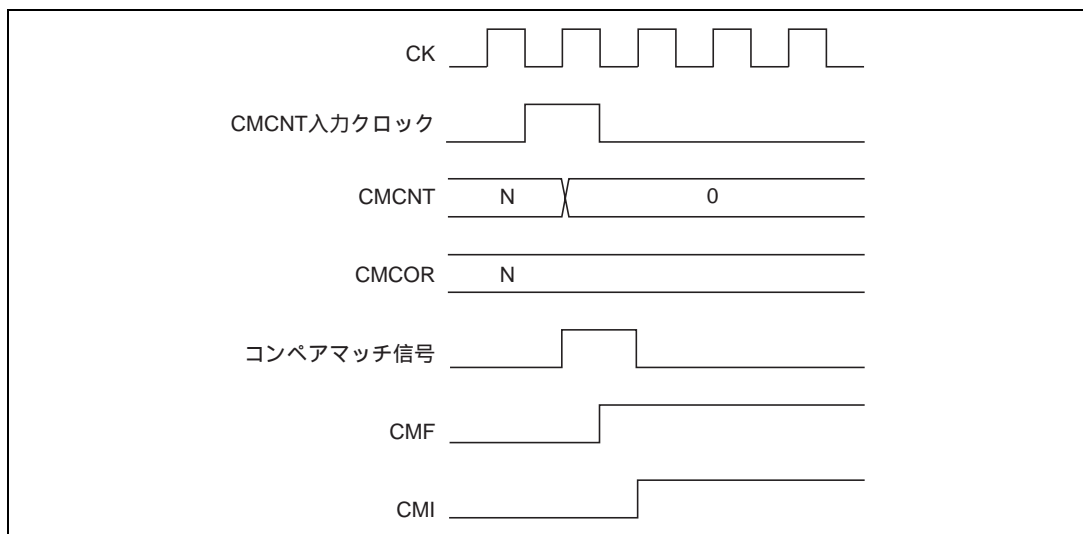


図 15.4 CMF のセットタイミング

15.4.3 コンペアマッチフラグのクリアタイミング

CMCSR レジスタの CMF ビットは、1 の状態を読み出したあとに 0 を書き込むか、DTC 転送後のクリア信号によりクリアされます。CPU による CMF ビットのクリアタイミングを図 15.5 に示します。

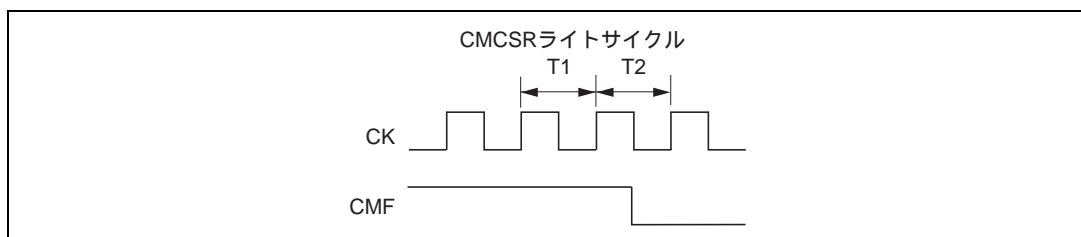


図 15.5 CPU による CMF のクリアタイミング

15.5 使用上の注意

CMT の動作中、次のような競合や動作が発生するので注意してください。

(1) CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 15.6 に示します。

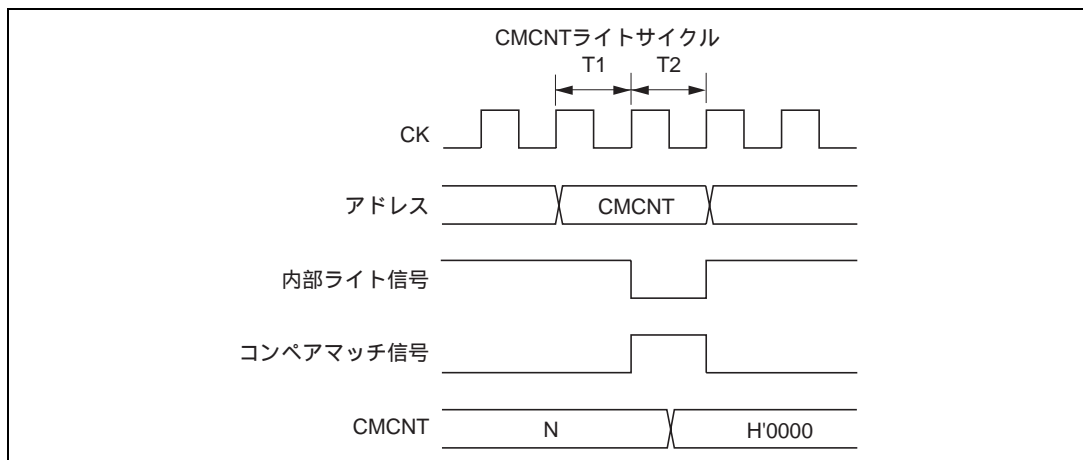


図 15.6 CMCNT の書き込みとコンペアマッチの競合

15. コンペアマッチタイム (CMT)

(2) CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 15.7 に示します。

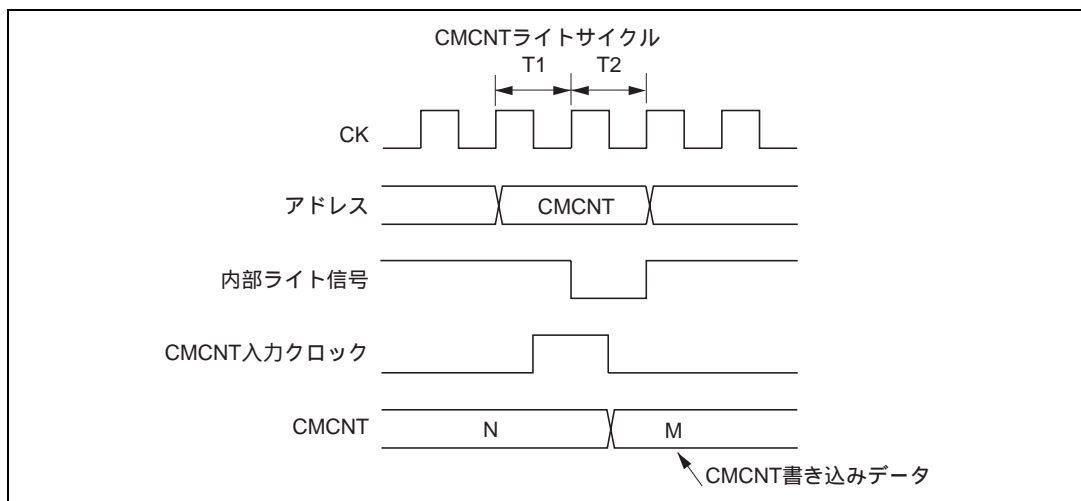


図 15.7 CMCNT のワード書き込みとカウントアップの競合

(3) CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 15.8 に示します。

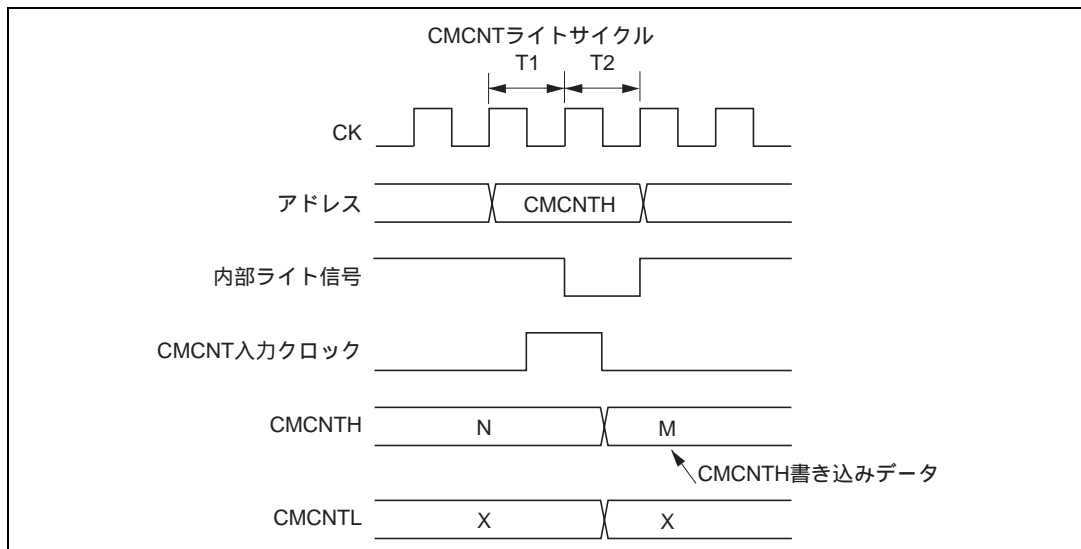


図 15.8 CMCNT のバイト書き込みとカウントアップの競合

15. コンペアマッチタイム (CMT)

16. ピンファンクションコントローラ (PFC)

16.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 16.1 に、本 LSI のマルチプレクス端子を示します。

表 16.1 マルチプレクス端子一覧表

ポート	機能 1(関連モジュール)	機能 2(関連モジュール)	機能 3(関連モジュール)	機能 4(関連モジュール)
A	PA15 入出力 (ポート)	A15 出力 (BSC)		
A	PA14 入出力 (ポート)	A14 出力 (BSC)		
A	PA13 入出力 (ポート)	A13 出力 (BSC)		
A	PA12 入出力 (ポート)	A12 出力 (BSC)		
A	PA11 入出力 (ポート)	A11 出力 (BSC)		
A	PA10 入出力 (ポート)	A10 出力 (BSC)		
A	PA9 入出力 (ポート)	A9 出力 (BSC)		
A	PA8 入出力 (ポート)	A8 出力 (BSC)		
A	PA7 入出力 (ポート)	A7 出力 (BSC)		
A	PA6 入出力 (ポート)	A6 出力 (BSC)		
A	PA5 入出力 (ポート)	A5 出力 (BSC)		
A	PA4 入出力 (ポート)	A4 出力 (BSC)		
A	PA3 入出力 (ポート)	A3 出力 (BSC)		
A	PA2 入出力 (ポート)	A2 出力 (BSC)		
A	PA1 入出力 (ポート)	A1 出力 (BSC)		
A	PA0 入出力 (ポート)	A0 出力 (BSC)		
B	PB11 入出力 (ポート)	A21 出力 (BSC)	POD 入力 (ポート)	
B	PB10 入出力 (ポート)	A20 出力 (BSC)		
B	PB9 入出力 (ポート)	A19 出力 (BSC)		
B	PB8 入出力 (ポート)	A18 出力 (BSC)		
B	PB7 入出力 (ポート)	A17 出力 (BSC)		
B	PB6 入出力 (ポート)	A16 出力 (BSC)		
B	PB5 入出力 (ポート)	TCLKB 入力 (ATU)		
B	PB4 入出力 (ポート)	TCLKA 入力 (ATU)		
B	PB3 入出力 (ポート)	TO9 出力 (ATU)		
B	PB2 入出力 (ポート)	TO8 出力 (ATU)		
B	PB1 入出力 (ポート)	TO7 出力 (ATU)		
B	PB0 入出力 (ポート)	TO6 出力 (ATU)		
C	PC14 入出力 (ポート)	TOH10 出力 (ATU)		
C	PC13 入出力 (ポート)	TOG10 出力 (ATU)		
C	PC12 入出力 (ポート)	TOF10 出力 (ATU)	DRAK1 出力 (DMAC)	
C	PC11 入出力 (ポート)	TOE10 出力 (ATU)	DRAK0 出力 (DMAC)	

16. ピンファンクションコントローラ (PFC)

ポート	機能 1(関連モジュール)	機能 2(関連モジュール)	機能 3(関連モジュール)	機能 4(関連モジュール)
C	PC10 入出力 (ポート)	TOD10 出力 (ATU)		
C	PC9 入出力 (ポート)	TOC10 出力 (ATU)		
C	PC8 入出力 (ポート)	TOB10 出力 (ATU)		
C	PC7 入出力 (ポート)	TOA10 出力 (ATU)		
C	PC6 入出力 (ポート)	CS2 出力 (BSC)	IRQ6 出力 (INTC)	ADEND 出力 (A/D)
C	PC5 入出力 (ポート)	CS1 出力 (BSC)		
C	PC4 入出力 (ポート)	CS0 出力 (BSC)		
C	PC3 入出力 (ポート)	RD 出力 (BSC)		
C	PC2 入出力 (ポート)	WAIT 入力 (BSC)		
C	PC1 入出力 (ポート)	WRH 出力 (BSC)		
C	PC0 入出力 (ポート)	WRL 出力 (BSC)		
D	PD15 入出力 (ポート)	D15 入出力 (BSC)		
D	PD14 入出力 (ポート)	D14 入出力 (BSC)		
D	PD13 入出力 (ポート)	D13 入出力 (BSC)		
D	PD12 入出力 (ポート)	D12 入出力 (BSC)		
D	PD11 入出力 (ポート)	D11 入出力 (BSC)		
D	PD10 入出力 (ポート)	D10 入出力 (BSC)		
D	PD9 入出力 (ポート)	D9 入出力 (BSC)		
D	PD8 入出力 (ポート)	D8 入出力 (BSC)		
D	PD7 入出力 (ポート)	D7 入出力 (BSC)		
D	PD6 入出力 (ポート)	D6 入出力 (BSC)		
D	PD5 入出力 (ポート)	D5 入出力 (BSC)		
D	PD4 入出力 (ポート)	D4 入出力 (BSC)		
D	PD3 入出力 (ポート)	D3 入出力 (BSC)		
D	PD2 入出力 (ポート)	D2 入出力 (BSC)		
D	PD1 入出力 (ポート)	D1 入出力 (BSC)		
D	PD0 入出力 (ポート)	D0 入出力 (BSC)		
E	PE14 入出力 (ポート)	TIOC3 入出力 (ATU)		
E	PE13 入出力 (ポート)	TIOB3 入出力 (ATU)		
E	PE12 入出力 (ポート)	TIOA3 入出力 (ATU)		
E	PE11 入出力 (ポート)	TID0 入力 (ATU)		
E	PE10 入出力 (ポート)	TIC0 入力 (ATU)		
E	PE9 入出力 (ポート)	TIB0 入力 (ATU)		
E	PE8 入出力 (ポート)	TIA0 入力 (ATU)		
E	PE7 入出力 (ポート)	TIOB2 入出力 (ATU)		
E	PE6 入出力 (ポート)	TIOA2 入出力 (ATU)		
E	PE5 入出力 (ポート)	TIOF1 入出力 (ATU)		
E	PE4 入出力 (ポート)	TIOE1 入出力 (ATU)		
E	PE3 入出力 (ポート)	TIOD1 入出力 (ATU)		
E	PE2 入出力 (ポート)	TIOC1 入出力 (ATU)		
E	PE1 入出力 (ポート)	TIOB1 入出力 (ATU)		
E	PE0 入出力 (ポート)	TIOA1 入出力 (ATU)		
F	PF11 入出力 (ポート)	BREQ 入力 (BSC)	PULS7 出力 (APC)	

16. ピンファンクションコントローラ (PFC)

ポート	機能 1(関連モジュール)	機能 2(関連モジュール)	機能 3(関連モジュール)	機能 4(関連モジュール)
F	PF10 入出力 (ポート)	BACK 出力 (BSC)	PULS6 出力 (APC)	
F	PF9 入出力 (ポート)	CS3 出力 (BSC)	IRQ7 入力 (INTC)	PULS5 出力 (APC)
F	PF8 入出力 (ポート)	SCK2 入出力 (SCI)	PULS4 出力 (APC)	
F	PF7 入出力 (ポート)	DREQ0 入力 (DMAC)	PULS3 出力 (APC)	
F	PF6 入出力 (ポート)	DACK0 出力 (DMAC)	PULS2 出力 (APC)	
F	PF5 入出力 (ポート)	DREQ1 入力 (DMAC)	PULS1 出力 (APC)	
F	PF4 入出力 (ポート)	DACK1 出力 (DMAC)	PULS0 出力 (APC)	
F	PF3 入出力 (ポート)	IRQ3 入力 (INTC)		
F	PF2 入出力 (ポート)	IRQ2 入力 (INTC)		
F	PF1 入出力 (ポート)	IRQ1 入力 (INTC)		
F	PF0 入出力 (ポート)	IRQ0 入力 (INTC)		
G	PG15 入出力 (ポート)	IRQ5 入力 (INTC)	TIOB5 入出力 (ATU)	
G	PG14 入出力 (ポート)	IRQ4 入力 (INTC)	TIOA5 入出力 (ATU)	
G	PG13 入出力 (ポート)	TIOD4 入出力 (ATU)		
G	PG12 入出力 (ポート)	TIOC4 入出力 (ATU)		
G	PG11 入出力 (ポート)	TIOB4 入出力 (ATU)		
G	PG10 入出力 (ポート)	TIOA4 入出力 (ATU)		
G	PG9 入出力 (ポート)	TIOD3 入出力 (ATU)		
G	PG8 入出力 (ポート)	RXD2 入力 (SCI)		
G	PG7 入出力 (ポート)	TXD2 出力 (SCI)		
G	PG6 入出力 (ポート)	RXD1 入力 (SCI)		
G	PG5 入出力 (ポート)	TXD1 出力 (SCI)		
G	PG4 入出力 (ポート)	SCK1 入出力 (SCI)		
G	PG3 入出力 (ポート)	RXD0 入力 (SCI)		
G	PG2 入出力 (ポート)	TXD0 出力 (SCI)		
G	PG1 入出力 (ポート)	SCK0 入出力 (SCI)		
G	PG0 入出力 (ポート)	ADTRG 入力 (A/D)	IRQOUT 出力 (INTC)	
H	PH15 入力 (ポート)	AN15 入力 (A/D)		
H	PH14 入力 (ポート)	AN14 入力 (A/D)		
H	PH13 入力 (ポート)	AN13 入力 (A/D)		
H	PH12 入力 (ポート)	AN12 入力 (A/D)		
H	PH11 入力 (ポート)	AN11 入力 (A/D)		
H	PH10 入力 (ポート)	AN10 入力 (A/D)		
H	PH9 入力 (ポート)	AN9 入力 (A/D)		
H	PH8 入力 (ポート)	AN8 入力 (A/D)		
H	PH7 入力 (ポート)	AN7 入力 (A/D)		
H	PH6 入力 (ポート)	AN6 入力 (A/D)		
H	PH5 入力 (ポート)	AN5 入力 (A/D)		
H	PH4 入力 (ポート)	AN4 入力 (A/D)		
H	PH3 入力 (ポート)	AN3 入力 (A/D)		
H	PH2 入力 (ポート)	AN2 入力 (A/D)		
H	PH1 入力 (ポート)	AN1 入力 (A/D)		
H	PH0 入力 (ポート)	AN0 入力 (A/D)		

16.2 レジスタ構成

PFC のレジスタを表 16.2 に示します。

表 16.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A・IO レジスタ	PAIOR	R/W	H'0000	H'FFFF8382	8、16
ポート A コントロールレジスタ	PACR	R/W	H'0000	H'FFFF8384	8、16
ポート B・IO レジスタ	PBIOR	R/W	H'C0C0	H'FFFF8388	8、16
ポート B コントロールレジスタ	PBCR	R/W	H'80C0	H'FFFF838A	8、16
ポート C・IO レジスタ	PCIOR	R/W	H'8000	H'FFFF8392	8、16
ポート C コントロールレジスタ 1	PCCR1	R/W	H'C000	H'FFFF8394	8、16
ポート C コントロールレジスタ 2	PCCR2	R/W	H'0BFF	H'FFFF8396	8、16
ポート D・IO レジスタ	PDIOR	R/W	H'0000	H'FFFF839A	8、16
ポート D コントロールレジスタ	PDICR	R/W	H'0000	H'FFFF839C	8、16
CK コントロールレジスタ*	CKCR	R/W	H'FFFE	H'FFFF839E	8、16
ポート E・IO レジスタ	PEIOR	R/W	H'8000	H'FFFF83A2	8、16
ポート E コントロールレジスタ	PEICR	R/W	H'8000	H'FFFF83A4	8、16
ポート F・IO レジスタ	PFIOR	R/W	H'F000	H'FFFF83A8	8、16
ポート F コントロールレジスタ 1	PFICR1	R/W	H'FF00	H'FFFF83AA	8、16
ポート F コントロールレジスタ 2	PFICR2	R/W	H'00AA	H'FFFF83AC	8、16
ポート G・IO レジスタ	PGIOR	R/W	H'0000	H'FFFF83B0	8、16
ポート G コントロールレジスタ 1	PGICR1	R/W	H'0AAA	H'FFFF83B2	8、16
ポート G コントロールレジスタ 2	PGICR2	R/W	H'AA80	H'FFFF83B4	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 2 サイクルです。

- * CK コントロールレジスタは、フラッシュ版のみに内蔵された機能です。
マスク版にはありません。

16.3 レジスタ説明

16.3.1 ポート A・IO レジスタ (PAIOR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート A・IO レジスタ (PAIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある 16 本の端子の入出力方向を選びます。PA15IOR ~ PA0IOR ビットが、それぞれ、PA15/A15 端子 ~ PA0/A0 端子に対応しています。PAIOR はポート A の端子機能が汎用入出力 (PA15 ~ PA0) の場合に有効でそれ以外の場合は無効です。

ポート A の端子機能が PA15 ~ PA0 の場合、PAIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

16.3.2 ポート A コントロールレジスタ (PACR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA15 MD	PA14 MD	PA13 MD	PA12 MD	PA11 MD	PA10 MD	PA9 MD	PA8 MD	PA7 MD	PA6 MD	PA5 MD	PA4 MD	PA3 MD	PA2 MD	PA1 MD	PA0 MD
------------	------------	------------	------------	------------	------------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート A コントロールレジスタ (PACR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート A にある 16 本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。

(a) 内蔵 ROM 無効拡張モード

ポート A の端子はアドレス出力端子となり、PACR の設定は無効です。

(b) 内蔵 ROM 有効拡張モード

ポート A の端子はアドレス出力と汎用入出力の兼用端子となります。PACR の設定は有効です。

(c) シングルチップモード

ポート A の端子は汎用入出力端子となり、PACR の設定は無効です。

PACR は、パワーオンリセットおよびハードウェアスタンバイモードで、H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

16. ピンファンクションコントローラ (PFC)

ビット 15 : PA15 モードビット (PA15MD)

PA15/A15 端子の機能を選びます。

ビット 15	説明		
PA15MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力(A15)(初期値)	汎用入出力(PA15)(初期値)	汎用入出力(PA15)(初期値)
1	アドレス出力(A15)	アドレス出力(A15)	汎用入出力(PA15)

ビット 14 : PA14 モードビット (PA14MD)

PA14/A14 端子の機能を選びます。

ビット 14	説明		
PA14MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力(A14)(初期値)	汎用入出力(PA14)(初期値)	汎用入出力(PA14)(初期値)
1	アドレス出力(A14)	アドレス出力(A14)	汎用入出力(PA14)

ビット 13 : PA13 モードビット (PA13MD)

PA13/A13 端子の機能を選びます。

ビット 13	説明		
PA13MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力(A13)(初期値)	汎用入出力(PA13)(初期値)	汎用入出力(PA13)(初期値)
1	アドレス出力(A13)	アドレス出力(A13)	汎用入出力(PA13)

ビット 12 : PA12 モードビット (PA12MD)

PA12/A12 端子の機能を選びます。

ビット 12	説明		
PA12MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力(A12)(初期値)	汎用入出力(PA12)(初期値)	汎用入出力(PA12)(初期値)
1	アドレス出力(A12)	アドレス出力(A12)	汎用入出力(PA12)

ビット 11 : PA11 モードビット (PA11MD)

PA11/A11 端子の機能を選びます。

ビット 11	説明		
PA11MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力(A11)(初期値)	汎用入出力(PA11)(初期値)	汎用入出力(PA11)(初期値)
1	アドレス出力(A11)	アドレス出力(A11)	汎用入出力(PA11)

ビット 10 : PA10 モードビット (PA10MD)

PA10/A10 端子の機能を選びます。

ビット 10	説明		
PA10MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A10) (初期値)	汎用入出力 (PA10) (初期値)	汎用入出力 (PA10) (初期値)
1	アドレス出力 (A10)	アドレス出力 (A10)	汎用入出力 (PA10)

ビット 9 : PA9 モードビット (PA9MD)

PA9/A9 端子の機能を選びます。

ビット 9	説明		
PA9MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A9) (初期値)	汎用入出力 (PA9) (初期値)	汎用入出力 (PA9) (初期値)
1	アドレス出力 (A9)	アドレス出力 (A9)	汎用入出力 (PA9)

ビット 8 : PA8 モードビット (PA8MD)

PA8/A8 端子の機能を選びます。

ビット 8	説明		
PA8MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A8) (初期値)	汎用入出力 (PA8) (初期値)	汎用入出力 (PA8) (初期値)
1	アドレス出力 (A8)	アドレス出力 (A8)	汎用入出力 (PA8)

ビット 7 : PA7 モードビット (PA7MD)

PA7/A7 端子の機能を選びます。

ビット 7	説明		
PA7MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A7) (初期値)	汎用入出力 (PA7) (初期値)	汎用入出力 (PA7) (初期値)
1	アドレス出力 (A7)	アドレス出力 (A7)	汎用入出力 (PA7)

ビット 6 : PA6 モードビット (PA6MD)

PA6/A6 端子の機能を選びます。

ビット 6	説明		
PA6MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A6) (初期値)	汎用入出力 (PA6) (初期値)	汎用入出力 (PA6) (初期値)
1	アドレス出力 (A6)	アドレス出力 (A6)	汎用入出力 (PA6)

16. ピンファンクションコントローラ (PFC)

ビット 5 : PA5 モードビット (PA5MD)

PA5/A5 端子の機能を選びます。

ビット 5	説明		
PA5MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A5) (初期値)	汎用入出力 (PA5) (初期値)	汎用入出力 (PA5) (初期値)
1	アドレス出力 (A5)	アドレス出力 (A5)	汎用入出力 (PA5)

ビット 4 : PA4 モードビット (PA4MD)

PA4/A4 端子の機能を選びます。

ビット 4	説明		
PA4MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A4) (初期値)	汎用入出力 (PA4) (初期値)	汎用入出力 (PA4) (初期値)
1	アドレス出力 (A4)	アドレス出力 (A4)	汎用入出力 (PA4)

ビット 3 : PA3 モードビット (PA3MD)

PA3/A3 端子の機能を選びます。

ビット 3	説明		
PA3MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A3) (初期値)	汎用入出力 (PA3) (初期値)	汎用入出力 (PA3) (初期値)
1	アドレス出力 (A3)	アドレス出力 (A3)	汎用入出力 (PA3)

ビット 2 : PA2 モードビット (PA2MD)

PA2/A2 端子の機能を選びます。

ビット 2	説明		
PA2MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A2) (初期値)	汎用入出力 (PA2) (初期値)	汎用入出力 (PA2) (初期値)
1	アドレス出力 (A2)	アドレス出力 (A2)	汎用入出力 (PA2)

ビット 1 : PA1 モードビット (PA1MD)

PA1/A1 端子の機能を選びます。

ビット 1	説明		
PA1MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A1) (初期値)	汎用入出力 (PA1) (初期値)	汎用入出力 (PA1) (初期値)
1	アドレス出力 (A1)	アドレス出力 (A1)	汎用入出力 (PA1)

ビット0 : PA0 モードビット (PA0MD)

PA0/A0 端子の機能を選びます。

ビット0	説明		
PA0MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A0) (初期値)	汎用入出力 (PA0) (初期値)	汎用入出力 (PA0) (初期値)
1	アドレス出力 (A0)	アドレス出力 (A0)	汎用入出力 (PA0)

16.3.3 ポート B・IO レジスタ (PBIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	—	—	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値:	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ポート B・IO レジスタ (PBIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある 12 本の端子の入出力方向を選びます。PB11IOR ~ PB0IOR ビットが、それぞれ、PB11/A21/ \overline{POD} 端子 ~ PB0/TO6 端子に対応しています。PBIOR はポート B の端子機能が汎用入出力 (PB11 ~ PB0) の場合に有効でそれ以外の場合は無効です。ただし、ビット 4、5 については、ATU クロック入力を選択した場合には、PBIOR のビットを 0 にしてください。

ポート B の端子機能が PB11 ~ PB0 の場合、PBIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0C0C0 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

16.3.4 ポート B コントロールレジスタ (PBCR)

ポート B コントロールレジスタ (PBCR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にある 12 本のマルチプレクス端子の機能を選びます。

PBCR は、パワーオンリセットおよびハードウェアスタンバイモードで、H'80C0 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PB11 MD1	PB11 MD0	PB10 MD	PB9 MD	PB8 MD	PB7 MD	PB6 MD	—	—	PB5 MD	PB4 MD	PB3 MD	PB2 MD	PB1 MD	PB0 MD
初期値:	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

16. ピンファンクションコントローラ (PFC)

ビット 15 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 14、13 : PB11 モードビット 1、0 (PB11MD1、PB11MD0)

PB11/A21/ $\overline{\text{POD}}$ 端子の機能を選びます。

ビット 14	ビット 13	説明		
PB11MD1	PB11MD0	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	0	アドレス出力 (A21) (初期値)	汎用入出力 (PB11) (初期値)	汎用入出力 (PB11) (初期値)
	1	アドレス出力 (A21)	アドレス出力 (A21)	汎用入出力 (PB11)
1	0	アドレス出力 (A21)	ポートアウトプットディス エーブル入力 (POD)	ポートアウトプットディス エーブル入力 ($\overline{\text{POD}}$)
	1	予約	予約	予約

ビット 12 : PB10 モードビット (PB10MD)

PB10/A20 端子の機能を選びます。

ビット 12	説明		
PB10MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A20) (初期値)	汎用入出力 (PB10) (初期値)	汎用入出力 (PB10) (初期値)
1	アドレス出力 (A20)	アドレス出力 (A20)	汎用入出力 (PB10)

ビット 11 : PB9 モードビット (PB9MD)

PB9/A19 端子の機能を選びます。

ビット 11	説明		
PB9MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A19) (初期値)	汎用入出力 (PB9) (初期値)	汎用入出力 (PB9) (初期値)
1	アドレス出力 (A19)	アドレス出力 (A19)	汎用入出力 (PB9)

ビット 10 : PB8 モードビット (PB8MD)

PB8/A18 端子の機能を選びます。

ビット 10	説明		
PB8MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A18) (初期値)	汎用入出力 (PB8) (初期値)	汎用入出力 (PB8) (初期値)
1	アドレス出力 (A18)	アドレス出力 (A18)	汎用入出力 (PB8)

16. ピンファンクションコントローラ (PFC)

ビット 9 : PB7 モードビット (PB7MD)

PB7/A17 端子の機能を選びます。

ビット 9	説明		
PB7MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A17) (初期値)	汎用入出力 (PB7) (初期値)	汎用入出力 (PB7) (初期値)
1	アドレス出力 (A17)	アドレス出力 (A17)	汎用入出力 (PB7)

ビット 8 : PB6 モードビット (PB6MD)

PB6/A16 端子の機能を選びます。

ビット 8	説明		
PB6MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A16) (初期値)	汎用入出力 (PB6) (初期値)	汎用入出力 (PB6) (初期値)
1	アドレス出力 (A16)	アドレス出力 (A16)	汎用入出力 (PB6)

ビット 7, 6 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 5 : PB5 モードビット (PB5MD)

PB5/TCLKB 端子の機能を選びます。

ビット 5	説明	
PB5MD		
0	汎用入出力 (PB5)	(初期値)
1	ATU クロック入力 (TCLKB)	

ビット 4 : PB13 モードビット (PB4MD)

PB4/TCLKA 端子の機能を選びます。

ビット 4	説明	
PB4MD		
0	汎用入出力 (PB4)	(初期値)
1	ATU クロック入力 (TCLKA)	

ビット 3 : PB3 モードビット (PB3MD)

PB3/TO9 端子の機能を選びます。

ビット 3	説明	
PB3MD		
0	汎用入出力 (PB3)	(初期値)
1	ATU の PWM 出力 (TO9)	

16. ピンファンクションコントローラ (PFC)

ビット 2 : PB2 モードビット (PB2MD)

PB2/TO8 端子の機能を選びます。

ビット 2	説明
PB2MD	
0	汎用入出力 (PB2) (初期値)
1	ATU の PWM 出力 (TO8)

ビット 1 : PB1 モードビット (PB1MD)

PB1/TO7 端子の機能を選びます。

ビット 1	説明
PB1MD	
0	汎用入出力 (PB1) (初期値)
1	ATU の PWM 出力 (TO7)

ビット 0 : PB0 モードビット (PB0MD)

PB0/TO6 端子の機能を選びます。

ビット 0	説明
PB0MD	
0	汎用入出力 (PB0) (初期値)
1	ATU の PWM 出力 (TO6)

16.3.5 ポート C ・ IO レジスタ (PCIOR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C ・ IO レジスタ (PCIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある 15 本の端子の入出力方向を選びます。PC14IOR ~ PC0IOR ビットが、それぞれ、PC14/TOH10 端子 ~ PC0/WRL 端子に対応しています。PCIOR はポート C の端子機能が汎用入出力 (PC14 ~ PC0) の場合に有効でそれ以外の場合は無効です。

ポート C の端子機能が PC14 ~ PC0 の場合、PCIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'8000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

16.3.6 ポート C コントロールレジスタ 1、2 (PCCR1、PCCR2)

ポート C コントロールレジスタ 1、2 (PCCR1、PCCR2) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にある 15 本のマルチプレクス端子の機能を選びます。PCCR1 はポート C の上位 7 ビットの端子の機能を、PCCR2 はポート C の下位 8 ビットの端子の機能を選びます。

PCCR1、PCCR2 は、パワーオンリセットおよびハードウェアスタンバイモードで、H'0000、H'0BFF に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート C コントロールレジスタ 1 (PCCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PC14 MD1	PC14 MD0	PC13 MD1	PC13 MD0	PC12 MD1	PC12 MD0	PC11 MD1	PC11 MD0	PC10 MD1	PC10 MD0	PC9 MD1	PC9 MD0	PC8 MD1	PC8 MD0
初期値:	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15、14: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 13、12: PC14 モードビット 1、0 (PC14MD1、PC14MD0)

PC14/TOH10 端子の機能を選びます。

ビット 13	ビット 12	説明
PC14MD1	PC14MD0	
0	0	汎用入出力 (PC14) (初期値)
	1	ATU のワンショットパルス出力 (TOH10)
1	0	予約
	1	予約

ビット 11、10: PC13 モードビット 1、0 (PC13MD1、PC13MD0)

PC13/TOG10 端子の機能を選びます。

ビット 11	ビット 10	説明
PC13MD1	PC13MD0	
0	0	汎用入出力 (PC13) (初期値)
	1	ATU のワンショットパルス出力 (TOG10)
1	0	予約
	1	予約

16. ピンファンクションコントローラ (PFC)

ビット 9、8 : PC12 モードビット 1、0 (PC12MD1、PC12MD0)

PC12/TOF10/DRAK1 端子の機能を選びます。

ビット 9	ビット 8	説明
PC12MD1	PC12MD0	
0	0	汎用入出力 (PC12) (初期値)
	1	ATU のワンショットパルス出力 (TOF10)
1	0	DMAC の $\overline{\text{DREQ}}_1$ 受付信号出力 (DRAK1)
	1	予約

ビット 7、6 : PC11 モードビット 1、0 (PC11MD1、PC11MD0)

PC11/TOE10/DRAK0 端子の機能を選びます。

ビット 7	ビット 6	説明
PC11MD1	PC11MD0	
0	0	汎用入出力 (PC11) (初期値)
	1	ATU のワンショットパルス出力 (TOE10)
1	0	DMAC の $\overline{\text{DREQ}}_0$ 受付信号出力 (DRAK0)
	1	予約

ビット 5、4 : PC10 モードビット 1、0 (PC10MD1、PC10MD0)

PC10/TOD10 端子の機能を選びます。

ビット 5	ビット 4	説明
PC10MD1	PC10MD0	
0	0	汎用入出力 (PC10) (初期値)
	1	ATU のワンショットパルス出力 (TOD10)
1	0	予約
	1	予約

ビット 3、2 : PC9 モードビット 1、0 (PC9MD1、PC9MD0)

PC9/TOC10 端子の機能を選びます。

ビット 3	ビット 2	説明
PC9MD1	PC9MD0	
0	0	汎用入出力 (PC9) (初期値)
	1	ATU のワンショットパルス出力 (TOC10)
1	0	予約
	1	予約

16. ピンファンクションコントローラ (PFC)

ビット 1、0 : PC8 モードビット 1、0 (PC8MD1、PC8MD0)

PC8/TOB10 端子の機能を選びます。

ビット 1	ビット 0	説明
PC8MD1	PC8MD0	
0	0	汎用入出力 (PC8) (初期値)
	1	ATU のワンショットパルス出力 (TOB10)
1	0	予約
	1	予約

(2) ポート C コントロールレジスタ 2 (PCCR2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PC7 MD1	PC7 MD0	PC6 MD1	PC6 MD0	—	PC5 MD	—	PC4 MD	—	PC3 MD	—	PC2 MD	—	PC1 MD	—	PC0 MD
初期値: 0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1
R/W: R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15、14 : PC7 モードビット 1、0 (PC7MD1、PC7MD0)

PC7/TOA10 端子の機能を選びます。

ビット 15	ビット 14	説明
PC7MD1	PC7MD0	
0	0	汎用入出力 (PC7) (初期値)
	1	ATU のワンショットパルス出力 (TOA10)
1	0	予約
	1	予約

ビット 13、12 : PC6 モードビット 1、0 (PC6MD1、PC6MD0)

PC6/ $\overline{\text{CS2}}$ / $\overline{\text{IRQ6}}$ /ADEND 端子の機能を選びます。

ビット 13	ビット 12	説明	
PC6MD1	PC6MD0	拡張モード	シングルチップモード
0	0	汎用入出力 (PC6) (初期値)	汎用入出力 (PC6) (初期値)
	1	チップセレクト出力 (CS2)	汎用入出力 (PC6)
1	0	割り込み要求入力 ($\overline{\text{IRQ6}}$)	割り込み要求入力 ($\overline{\text{IRQ6}}$)
	1	A/D 変換終了出力 (ADEND)	A/D 変換終了出力 (ADEND)

16. ピンファンクションコントローラ (PFC)

ビット 11 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 10 : PC5 モードビット (PC5MD)

PC5/ $\overline{\text{CS1}}$ 端子の機能を選びます。

ビット 10	説明	
PC5MD	拡張モード	シングルチップモード
0	汎用入出力 (PC5) (初期値)	汎用入出力 (PC5) (初期値)
1	チップセレクト出力 ($\overline{\text{CS1}}$)	汎用入出力 (PC5)

ビット 9 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 8 : PC4 モードビット (PC4MD)

PC4/ $\overline{\text{CS0}}$ 端子の機能を選びます。

ビット 8	説明	
PC4MD	拡張モード	シングルチップモード
0	汎用入出力 (PC4)	汎用入出力 (PC4)
1	チップセレクト出力 ($\overline{\text{CS0}}$) (初期値)	汎用入出力 (PC4) (初期値)

ビット 7 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 6 : PC3 モードビット (PC3MD)

PC3/ $\overline{\text{RD}}$ 端子の機能を選びます。

ビット 6	説明	
PC3MD	拡張モード	シングルチップモード
0	汎用入出力 (PC3)	汎用入出力 (PC3)
1	リード出力 ($\overline{\text{RD}}$) (初期値)	汎用入出力 (PC3) (初期値)

ビット 5 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 4 : PC2 モードビット (PC2MD)

PC2/ $\overline{\text{WAIT}}$ 端子の機能を選びます。

ビット 4	説明	
PC2MD	拡張モード	シングルチップモード
0	汎用入出力 (PC2)	汎用入出力 (PC2)
1	ウェイトステート入力 ($\overline{\text{WAIT}}$) (初期値)	汎用入出力 (PC2) (初期値)

ビット3：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット2：PC1モードビット (PC1MD)

PC1/ $\overline{\text{WRH}}$ 端子の機能を選びます。

ビット2	説明	
PC1MD	拡張モード	シングルチップモード
0	汎用入出力 (PC1)	汎用入出力 (PC1)
1	上位側ライト ($\overline{\text{WRH}}$) (初期値)	汎用入出力 (PC1) (初期値)

ビット1：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット0：PC0モードビット (PC0MD)

PC0/ $\overline{\text{WRL}}$ 端子の機能を選びます。

ビット0	説明	
PC0MD	拡張モード	シングルチップモード
0	汎用入出力 (PC0)	汎用入出力 (PC0)
1	下位側ライト ($\overline{\text{WRL}}$) (初期値)	汎用入出力 (PC0) (初期値)

16.3.7 ポートD・IOレジスタ (PDIOR)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポートD・IOレジスタ (PDIOR) は、読み出し/書き込み可能な16ビットのレジスタで、ポートDにある16本の端子の入出力方向を選びます。PD15IOR ~ PD0IOR ビットが、それぞれ、PD15/D15端子 ~ PD0/D0端子に対応しています。PDIORはポートDの端子機能が汎用入出力 (PD15 ~ PD0) の場合に有効でそれ以外の場合は無効です。

ポートDの端子機能がPD15 ~ PD0の場合、PDIORのビットを1にすると、対応する端子は出力になり、0にすると入力になります。

PDIORは、パワーオンリセットおよびハードウェアスタンバイモードでH'0000に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDTによるパワーオンリセットでは、初期化されません。

16. ピンファンクションコントローラ (PFC)

16.3.8 ポート D・コントロールレジスタ (PDCR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート D コントロールレジスタ (PDCR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にある 16 本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。

- (a) 内蔵ROM無効拡張モード (エリア0: 8ビットバス)
ポートDの端子のうちD0~D7はデータ入出力端子となり、PDCRの設定は無効です。
- (b) 内蔵ROM無効拡張モード (エリア0: 16ビットバス)
ポートDの端子はデータ入出力端子となり、PDCRの設定は無効です。
- (c) 内蔵ROM有効拡張モード
ポートDの端子はデータ入出力と汎用入出力の兼用端子となります。PDCRの設定は有効です。
- (d) シングルチップモード
ポートDの端子は汎用入出力端子となり、PDCRの設定は無効です。

PDCR は、パワーオンリセットおよびハードウェアスタンバイモードで、H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15 : PD15 モードビット (PD15MD)

PD15/D15 端子の機能を選びます。

ビット 15	説明			
PD15MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PD15) (初期値)	データ入出力 (D15) (初期値)	汎用入出力 (PD15) (初期値)	汎用入出力 (PD15) (初期値)
1	データ入出力 (D15)	データ入出力 (D15)	データ入出力 (D15)	汎用入出力 (PD15)

ビット 14 : PD14 モードビット (PD14MD)

PD14/D14 端子の機能を選びます。

ビット 14	説明			
PD14MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PD14) (初期値)	データ入出力 (D14) (初期値)	汎用入出力 (PD14) (初期値)	汎用入出力 (PD14) (初期値)
1	データ入出力 (D14)	データ入出力 (D14)	データ入出力 (D14)	汎用入出力 (PD14)

ビット 13 : PD13 モードビット (PD13MD)

PD13/D13 端子の機能を選びます。

ビット 13	説明			
PD13MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PD13) (初期値)	データ入出力 (D13) (初期値)	汎用入出力 (PD13) (初期値)	汎用入出力 (PD13) (初期値)
1	データ入出力 (D13)	データ入出力 (D13)	データ入出力 (D13)	汎用入出力 (PD13)

ビット 12 : PD12 モードビット (PD12MD)

PD12/D12 端子の機能を選びます。

ビット 12	説明			
PD12MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PD12) (初期値)	データ入出力 (D12) (初期値)	汎用入出力 (PD12) (初期値)	汎用入出力 (PD12) (初期値)
1	データ入出力 (D12)	データ入出力 (D12)	データ入出力 (D12)	汎用入出力 (PD12)

ビット 11 : PD11 モードビット (PD11MD)

PD11/D11 端子の機能を選びます。

ビット 11	説明			
PD11MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PD11) (初期値)	データ入出力 (D11) (初期値)	汎用入出力 (PD11) (初期値)	汎用入出力 (PD11) (初期値)
1	データ入出力 (D11)	データ入出力 (D11)	データ入出力 (D11)	汎用入出力 (PD11)

ビット 10 : PD10 モードビット (PD10MD)

PD10/D10 端子の機能を選びます。

ビット 10	説明			
PD10MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PD10) (初期値)	データ入出力 (D10) (初期値)	汎用入出力 (PD10) (初期値)	汎用入出力 (PD10) (初期値)
1	データ入出力 (D10)	データ入出力 (D10)	データ入出力 (D10)	汎用入出力 (PD10)

16. ピンファンクションコントローラ (PFC)

ビット 9 : PD9 モードビット (PD9MD)

PD9/D9 端子の機能を選びます。

ビット 9	説明			
PD9MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PD9) (初期値)	データ入出力 (D9) (初期値)	汎用入出力 (PD9) (初期値)	汎用入出力 (PD9) (初期値)
1	データ入出力 (D9)	データ入出力 (D9)	データ入出力 (D9)	汎用入出力 (PD9)

ビット 8 : PD8 モードビット (PD8MD)

PD8/D8 端子の機能を選びます。

ビット 8	説明			
PD8MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PD8) (初期値)	データ入出力 (D8) (初期値)	汎用入出力 (PD8) (初期値)	汎用入出力 (PD8) (初期値)
1	データ入出力 (D8)	データ入出力 (D8)	データ入出力 (D8)	汎用入出力 (PD8)

ビット 7 : PD7 モードビット (PD7MD)

PD7/D7 端子の機能を選びます。

ビット 7	説明		
PD7MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D7) (初期値)	汎用入出力 (PD7) (初期値)	汎用入出力 (PD7) (初期値)
1	データ入出力 (D7)	データ入出力 (D7)	汎用入出力 (PD7)

ビット 6 : PD6 モードビット (PD6MD)

PD6/D6 端子の機能を選びます。

ビット 6	説明		
PD6MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D6) (初期値)	汎用入出力 (PD6) (初期値)	汎用入出力 (PD6) (初期値)
1	データ入出力 (D6)	データ入出力 (D6)	汎用入出力 (PD6)

ビット 5 : PD5 モードビット (PD5MD)

PD5/D5 端子の機能を選びます。

ビット 5	説明		
PD5MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D5) (初期値)	汎用入出力 (PD5) (初期値)	汎用入出力 (PD5) (初期値)
1	データ入出力 (D5)	データ入出力 (D5)	汎用入出力 (PD5)

ビット 4 : PD4 モードビット (PD4MD)

PD4/D4 端子の機能を選びます。

ビット 4	説明		
PD4MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D4) (初期値)	汎用入出力 (PD4) (初期値)	汎用入出力 (PD4) (初期値)
1	データ入出力 (D4)	データ入出力 (D4)	汎用入出力 (PD4)

ビット 3 : PD3 モードビット (PD3MD)

PD3/D3 端子の機能を選びます。

ビット 3	説明		
PD3MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D3) (初期値)	汎用入出力 (PD3) (初期値)	汎用入出力 (PD3) (初期値)
1	データ入出力 (D3)	データ入出力 (D3)	汎用入出力 (PD3)

ビット 2 : PD2 モードビット (PD2MD)

PD2/D2 端子の機能を選びます。

ビット 2	説明		
PD2MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D2) (初期値)	汎用入出力 (PD2) (初期値)	汎用入出力 (PD2) (初期値)
1	データ入出力 (D2)	データ入出力 (D2)	汎用入出力 (PD2)

ビット 1 : PD1 モードビット (PD1MD)

PD1/D1 端子の機能を選びます。

ビット 1	説明		
PD1MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D1) (初期値)	汎用入出力 (PD1) (初期値)	汎用入出力 (PD1) (初期値)
1	データ入出力 (D1)	データ入出力 (D1)	汎用入出力 (PD1)

ビット 0 : PD0 モードビット (PD0MD)

PD0/D0 端子の機能を選びます。

ビット 0	説明		
PD0MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D0) (初期値)	汎用入出力 (PD0) (初期値)	汎用入出力 (PD0) (初期値)
1	データ入出力 (D0)	データ入出力 (D0)	汎用入出力 (PD0)

16.3.9 ポート E・IO レジスタ (PEIOR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E・IO レジスタ (PEIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある 15 本の端子の入出力方向を選びます。PE14IOR ~ PE0IOR ビットが、それぞれ、PE14/TIOC3 端子 ~ PE0/TIOA1 端子に対応しています。PEIOR はポート E の端子機能が汎用入出力 (PE14 ~ PE0) および ATU の入出力の場合に有効でそれ以外の場合は無効です。ただし、ビット 8 ~ 11 については、ATU インプットキャプチャ入力を選択した場合には、PEIOR のビットを 0 にしてください。

ポート E の端子機能が PE14 ~ PE0 か ATU の入出力の場合、PEIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'8000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

16.3.10 ポート E コントロールレジスタ (PECR)

ポート E コントロールレジスタ (PECR) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にある 15 本のマルチプレクス端子の機能を選びます。

PECR は、パワーオンリセットおよびハードウェアスタンバイモードで、H'8000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	PE14 MD	PE13 MD	PE12 MD	PE11 MD	PE10 MD0	PE9 MD	PE8 MD	PE7 MD	PE6 MD	PE5 MD	PE4 MD	PE3 MD	PE2 MD	PE1 MD	PE0 MD
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 14: PE14 モードビット (PE14MD)

PE14/TIOC3 端子の機能を選びます。

ビット 14	説明
PE14MD	
0	汎用入出力 (PE14) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3)

16. ピンファンクションコントローラ (PFC)

ビット 13 : PE13 モードビット (PE13MD)

PE13/TIOB3 端子の機能を選びます。

ビット 13	説明
PE13MD	
0	汎用入出力 (PE13) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOB3)

ビット 12 : PE12 モードビット (PE12MD)

PE12/TIOA3 端子の機能を選びます。

ビット 12	説明
PE12MD	
0	汎用入出力 (PE12) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOA3)

ビット 11 : PE11 モードビット (PE11MD)

PE11/TID0 端子の機能を選びます。

ビット 11	説明
PE11MD	
0	汎用入出力 (PE11) (初期値)
1	ATU インプットキャプチャ入力 (TID0)

ビット 10 : PE10 モードビット (PE10MD)

PE10/TIC0 端子の機能を選びます。

ビット 10	説明
PE10MD	
0	汎用入出力 (PE10) (初期値)
1	ATU インプットキャプチャ入力 (TIC0)

ビット 9 : PE9 モードビット (PE9MD)

PE9/TIB0 端子の機能を選びます。

ビット 9	説明
PE9MD	
0	汎用入出力 (PE9) (初期値)
1	ATU インプットキャプチャ入力 (TIB0)

16. ピンファンクションコントローラ (PFC)

ビット 8 : PE8 モードビット (PE8MD)

PE8/TIA0 端子の機能を選びます。

ビット 8	説明
PE8MD	
0	汎用入出力 (PE8) (初期値)
1	ATU インプットキャプチャ入力 (TIA0)

ビット 7 : PE7 モードビット (PE7MD)

PE7/TIOB2 端子の機能を選びます。

ビット 7	説明
PE7MD	
0	汎用入出力 (PE7) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOB2)

ビット 6 : PE6 モードビット (PE6MD)

PE6/TIOA2 端子の機能を選びます。

ビット 6	説明
PE6MD	
0	汎用入出力 (PE6) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOA2)

ビット 5 : PE5 モードビット (PE5MD)

PE5/TIOF1 端子の機能を選びます。

ビット 5	説明
PE5MD	
0	汎用入出力 (PE5) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOF1)

ビット 4 : PE4 モードビット (PE4MD)

PE4/TIOE1 端子の機能を選びます。

ビット 4	説明
PE4MD	
0	汎用入出力 (PE4) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOE1)

16. ピンファンクションコントローラ (PFC)

ビット 3 : PE3 モードビット (PE3MD)

PE3/TIOD1 端子の機能を選びます。

ビット 3	説明
PE3MD	
0	汎用入出力 (PE3) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOD1)

ビット 2 : PE2 モードビット (PE2MD)

PE2/TIOC1 端子の機能を選びます。

ビット 2	説明
PE2MD	
0	汎用入出力 (PE2) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1)

ビット 1 : PE1 モードビット (PE1MD)

PE1/TIOB1 端子の機能を選びます。

ビット 1	説明
PE1MD	
0	汎用入出力 (PE1) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOB1)

ビット 0 : PE0 モードビット (PE0MD)

PE0/TIOA1 端子の機能を選びます。

ビット 0	説明
PE0MD	
0	汎用入出力 (PE0) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOA1)

16. ピンファンクションコントローラ (PFC)

16.3.11 ポート F・IO レジスタ (PFIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PF11 IOR	PF10 IOR	PF9 IOR	PF8 IOR	PF7 IOR	PF6 IOR	PF5 IOR	PF4 IOR	PF3 IOR	PF2 IOR	PF1 IOR	PF0 IOR
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート F・IO レジスタ (PFIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F にある 12 本の端子の入出力方向を選びます。PF11IOR ~ PF0IOR ビットが、それぞれ、PF11/ $\overline{\text{BREQ}}$ /PULS7 端子 ~ PF0/ $\overline{\text{IRQ0}}$ 端子に対応しています。PFIOR はポート F の端子機能が汎用入出力 (PF11 ~ PF0) かシリアルクロック (SCK2) の場合に有効でそれ以外の場合は無効です。

ポート F の端子機能が PF11 ~ PF0 か SCK2 の場合、PFIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PFIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'F000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません

16.3.12 ポート F・コントロールレジスタ 1、2 (PFCR1、PFCR2)

ポート F コントロールレジスタ 1、2 (PFCR1、PFCR2) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート F にある 12 本のマルチプレクス端子の機能を選びます。PFCR1 は、ポート F の上位 4 ビットの端子の機能を、PFCR2 は、ポート F の下位 8 ビットの端子の機能を選びます。

PFCR1、PFCR2 は、パワーオンリセットおよびハードウェアスタンバイモードで、それぞれ、H'FF00、H'00AA に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート F コントロールレジスタ 1 (PFCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PF11 MD1	PF11 MD0	PF10 MD1	PF10 MD0	PF9 MD1	PF9 MD0	PF8 MD1	PF8 MD0
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~8 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 7、6 : PF11 モードビット 1、0 (PF11MD1、PF11MD0)

PF11/ $\overline{\text{BREQ}}$ /PULS7 端子の機能を選びます。

ビット 7	ビット 6	説明	
PF11MD1	PF11MD0	拡張モード	シングルチップモード
0	0	汎用入出力 (PF11) (初期値)	汎用入出力 (PF11) (初期値)
	1	バス権要求入力 (BREQ)	汎用入出力 (PF11)
1	0	APC パルス出力 (PULS7)	APC パルス出力 (PULS7)
	1	予約	予約

16. ピンファンクションコントローラ (PFC)

ビット 5、4 : PF10 モードビット 1、0 (PF10MD1、PF10MD0)

PF10/BACK/PULS6 端子の機能を選びます。

ビット 5	ビット 4	説明	
PF10MD1	PF10MD0	拡張モード	シングルチップモード
0	0	汎用入出力 (PF10) (初期値)	汎用入出力 (PF10) (初期値)
	1	バス権要求アクノリッジ出力 (BACK)	汎用入出力 (PF10)
1	0	APC パルス出力 (PULS6)	APC パルス出力 (PULS6)
	1	予約	予約

ビット 3、2 : PF9 モードビット 1、0 (PF9MD1、PF9MD0)

PF9/CS3/IRQ7/PULS5 端子の機能を選びます。

ビット 3	ビット 2	説明	
PF9MD1	PF9MD0	拡張モード	シングルチップモード
0	0	汎用入出力 (PF9) (初期値)	汎用入出力 (PF9) (初期値)
	1	チップセレクト出力 (CS3)	汎用入出力 (PF9)
1	0	割り込み要求入力 (IRQ7)	割り込み要求入力 (IRQ7)
	1	APC パルス出力 (PULS5)	APC パルス出力 (PULS5)

ビット 1、0 : PF8 モードビット 1、0 (PF8MD1、PF8MD0)

PF8/SCK2/PULS4 端子の機能を選びます。

ビット 1	ビット 0	説明	
PF8MD1	PF8MD0		
0	0	汎用入出力 (PF8) (初期値)	
	1	シリアルクロック入出力 (SCK2)	
1	0	APC パルス出力 (PULS4)	
	1	予約	

(2) ポート F コントロールレジスタ 2 (PFCR2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF7 MD1	PF7 MD0	PF6 MD1	PF6 MD0	PF5 MD1	PF5 MD0	PF4 MD1	PF4 MD0	—	PF3 MD	—	PF2 MD	—	PF1 MD	—	PF0 MD
初期値 :	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W

16. ピンファンクションコントローラ (PFC)

ビット 15、14 : PF7 モードビット 1、0 (PF7MD1、PF7MD0)

PF7/DREQ0/PULS3 端子の機能を選びます。

ビット 15	ビット 14	説明	
PF7MD1	PF7MD0		
0	0	汎用入出力 (PF7)	(初期値)
	1	DMA 転送要求入力 (DREQ0)	
1	0	APC パルス出力 (PULS3)	
	1	予約	

ビット 13、12 : PF6 モードビット 1、0 (PF6MD1、PF6MD0)

PF6/DACK0/PULS2 端子の機能を選びます。

ビット 13	ビット 12	説明	
PF6MD1	PF6MD0	拡張モード	シングルチップモード
0	0	汎用入出力 (PF6) (初期値)	汎用入出力 (PF6)
	1	DMA 転送要求受け付け出力 (DACK0)	汎用入出力 (PF6)
1	0	APC パルス出力 (PULS2)	APC パルス出力 (PULS2)
	1	予約	予約

ビット 11、10 : PF5 モードビット 1、0 (PF5MD1、PF5MD0)

PF5/DREQ1/PULS1 端子の機能を選びます。

ビット 11	ビット 10	説明	
PF5MD1	PF5MD0		
0	0	汎用入出力 (PF5) (初期値)	
	1	DMA 転送要求入力 (DREQ1)	
1	0	APC パルス出力 (PULS1)	
	1	予約	

ビット 9、8 : PF4 モードビット 1、0 (PF4MD1、PF4MD0)

PF4/DACK1/PULS0 端子の機能を選びます。

ビット 9	ビット 8	説明	
PF4MD1	PF4MD0	拡張モード	シングルチップモード
0	0	汎用入出力 (PF4) (初期値)	汎用入出力 (PF4)
	1	DMA 転送要求受け付け出力 (DACK1)	汎用入出力 (PF4)
1	0	APC パルス出力 (PULS0)	APC パルス出力 (PULS0)
	1	予約	予約

ビット7：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット6：PF3モードビット (PF3MD)

PF3/ $\overline{\text{IRQ3}}$ 端子の機能を選びます。

ビット6	説明
PF3MD	
0	汎用入出力 (PF3) (初期値)
1	割り込み要求入力 ($\overline{\text{IRQ3}}$)

ビット5：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット4：PF2モードビット (PF2MD)

PF2/ $\overline{\text{IRQ2}}$ 端子の機能を選びます。

ビット4	説明
PF2MD	
0	汎用入出力 (PF2) (初期値)
1	割り込み要求入力 ($\overline{\text{IRQ2}}$)

ビット3：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に0にしてください。

ビット2：PF1モードビット (PF1MD)

PF1/ $\overline{\text{IRQ1}}$ 端子の機能を選びます。

ビット2	説明
PF1MD	
0	汎用入出力 (PF1) (初期値)
1	割り込み要求入力 ($\overline{\text{IRQ1}}$)

ビット1：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット0：PF0モードビット (PF0MD)

PF0/ $\overline{\text{IRQ0}}$ 端子の機能を選びます。

ビット0	説明
PF0MD	
0	汎用入出力 (PF0) (初期値)
1	割り込み要求入力 ($\overline{\text{IRQ0}}$)

16.3.13 ポート G・IO レジスタ (PGIOR)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PG15 IOR	PG14 IOR	PG13 IOR	PG12 IOR	PG11 IOR	PG10 IOR	PG9 IOR	PG8 IOR	PG7 IOR	PG6 IOR	PG5 IOR	PG4 IOR	PG3 IOR	PG2 IOR	PG1 IOR	PG0 IOR
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート G・IO レジスタ (PGIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G にある 16 本の端子の入出力方向を選びます。PG15IOR ~ PG0IOR ビットが、それぞれ、PG15/IRQ5/TIOB5 端子 ~ PG0/ADTRG/IRQOUT 端子に対応しています。PGIOR は、ポート G の端子機能が汎用入出力 (PG15 ~ PG0) かシリアルクロック (SCK1、SCK0) かタイマの入出力 (TIOD3、TIOA4、TIOB4、TIOC4、TIOD4、TIOA5、TIOB5) の場合に有効で、それ以外の場合は無効です。

ポート G の端子機能が PG15 ~ PG0 か SCK1、SCK0 か TIOD3、TIOA4、TIOB4、TIOC4、TIOD4、TIOA5、TIOB5 の場合、PGIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PGIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

16.3.14 ポート G・コントロールレジスタ 1、2 (PGCR1、PGCR2)

ポート G コントロールレジスタ 1、2 (PGCR1、PGCR2) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート G にある 16 本のマルチプレクス端子の機能を選びます。PGCR1 は、ポート G の上位 8 ビットの端子の機能を、PGCR2 は、ポート G の下位 8 ビットの端子の機能を選びます。

PGCR1、PGCR2 は、パワーオンリセットおよびハードウェアスタンバイモードで、それぞれ、H'0AAA、H'AA80 に初期化されます。しかし、ソフトウェアスタンバイモード、およびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート G コントロールレジスタ 1 (PGCR1)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PG15 MD1	PG15 MD0	PG14 MD1	PG14 MD0	—	PG13 MD	—	PG12 MD	—	PG11 MD	—	PG10 MD	—	PG9 MD	—	PG8 MD
-------------	-------------	-------------	-------------	---	------------	---	------------	---	------------	---	------------	---	-----------	---	-----------

初期値： 0 0 0 0 1 0 1 0 1 0 1 0 1 0 1 0

R/W： R/W R/W R/W R/W R R/W R R/W R R/W R R/W R R/W R R/W

ビット 15、14：PG15 モードビット 1、0 (PG15MD1、PG15MD0)

PG15/IRQ5/TIOB5 端子の機能を選びます。

ビット 15	ビット 14	説明
PG15MD1	PG15MD0	
0	0	汎用入出力 (PG15) (初期値)
	1	割り込み要求入力 (IRQ5)
1	0	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOB5)
	1	予約

ビット 13、12 : PG14 モードビット 1、0 (PG14MD1、PG14MD0)

PG14/IRQ4/TIOA5 端子の機能を選びます。

ビット 13 PG14MD1	ビット 12 PG14MD0	説明
0	0	汎用入出力 (PG14) (初期値)
	1	割り込み要求入力 (IRQ4)
1	0	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOA5)
	1	予約

ビット 11 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 10 : PG13 モードビット (PG13MD)

PG13/TIOD4 端子の機能を選びます。

ビット 10 PG13MD	説明
0	汎用入出力 (PG13) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOD4)

ビット 9 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 8 : PG12 モードビット (PG12MD)

PG12/TIOC4 端子の機能を選びます。

ビット 8 PG12MD	説明
0	汎用入出力 (PG12) (初期値)
1	ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC4)

16. ピンファンクションコントローラ (PFC)

ビット7: 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット6: PG11 モードビット (PG11MD)

PG11/TIOB4 端子の機能を選びます。

ビット6	説明
PG11MD	
0	汎用入出力 (PG11) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOB4)

ビット5: 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット4: PG10 モードビット (PG10MD)

PG10/TIOA4 端子の機能を選びます。

ビット4	説明
PG10MD	
0	汎用入出力 (PG10) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOA4)

ビット3: 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット2: PG9 モードビット (PG9MD)

PG9/TIOD3 端子の機能を選びます。

ビット2	説明
PG9MD	
0	汎用入出力 (PG9) (初期値)
1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOD3)

ビット1: 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット0: PG8 モードビット (PG8MD)

PG8/RXD2 端子の機能を選びます。

ビット0	説明
PG8MD	
0	汎用入出力 (PG8) (初期値)
1	受信データ入力 (RXD2)

(2) ポート G コントロールレジスタ 2 (PGCR2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	PG7 MD	—	PG6 MD	—	PG5 MD	—	PG4 MD	—	PG3 MD	PG2 MD	PG1 MD	PG0 MD1	PG0 MD0	IRQ MD1	IRQ MD0
初期値:	1	0	1	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 14: PG7 モードビット (PG7MD)

PG7/TXD2 端子の機能を選びます。

ビット 14	説明	
PG7MD		
0	汎用入出力 (PG7)	(初期値)
1	送信データ出力 (TXD2)	

ビット 13: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 12: PG6 モードビット (PG6MD)

PG6/RXD1 端子の機能を選びます。

ビット 12	説明	
PG6MD		
0	汎用入出力 (PG6)	(初期値)
1	受信データ入力 (RXD1)	

ビット 11: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 10: PG5 モードビット (PG5MD)

PG5/TXD1 端子の機能を選びます。

ビット 10	説明	
PG5MD		
0	汎用入出力 (PG5)	(初期値)
1	送信データ出力 (TXD1)	

16. ピンファンクションコントローラ (PFC)

ビット 9 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 8 : PG4 モードビット (PG4MD)

PG4/SCK1 端子の機能を選びます。

ビット 8	説明	
PG4MD		
0	汎用入出力 (PG4)	(初期値)
1	シリアルクロック入出力 (SCK1)	

ビット 7 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 6 : PG3 モードビット (PG3MD)

PG3/RXD0 端子の機能を選びます。

ビット 6	説明	
PG3MD		
0	汎用入出力 (PG3)	(初期値)
1	受信データ入力 (RXD0)	

ビット 5 : PG2 モードビット (PG2MD)

PG2/TXD0 端子の機能を選びます。

ビット 5	説明	
PG2MD		
0	汎用入出力 (PG2)	(初期値)
1	送信データ出力 (TXD0)	

ビット 4 : PG1 モードビット (PG1MD)

PG1/SCK0 端子の機能を選びます。

ビット 4	説明	
PG1MD		
0	汎用入出力 (PG1)	(初期値)
1	シリアルクロック入出力 (SCK0)	

ビット3、2 : PG0 モードビット 1、0 (PG0MD1、PG0MD0)

PG0/ADTRG/IRQOUT 端子の機能を選びます。

ビット3	ビット2	説明
PG0MD1	PG0MD0	
0	0	汎用入出力 (PG0) (初期値)
	1	A/D 変換トリガ入力 (ADTRG)
1	0	割り込み要求出力 (IRQOUT)
	1	予約

ビット1、0 : IRQOUT モードビット 1、0 (IRQMD1、IRQMD0)

PG0/ADTRG/IRQOUT 端子のうち IRQOUT 機能を選択します。

ビット1	ビット0	説明
IRQMD1	IRQMD0	
0	0	IRQOUT は常にハイレベル (初期値)
	1	INTC の割り込み要求で出力
1	0	予約
	1	予約

16.3.15 CK コントロールレジスタ (CKCR)

CK コントロールレジスタ (CKCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、CK 端子のクロック出力制御を設定します。

CKCR は、パワーオンリセットおよびハードウェアスタンバイで H'FFFE に初期化されます。しかし、ソフトウェアスタンバイモード、およびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは初期化されません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKLO
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット15~1 : 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット0 : CK ロー固定ビット (CKLO)

CK 端子の出力を内部クロック出力かローレベル出力かを選択します。

ビット0	説明
CKLO	
0	CK 端子出力時には内部クロックを出力します。 (初期値)
1	CK 端子出力時には常にローレベルを出力します。

16. ピンファンクションコントローラ (PFC)

17. I/O ポート (I/O)

17.1 概要

ポートは、A、B、C、D、E、F、G、Hの8本から構成されています。

ポートAは16ビット、ポートBは12ビット、ポートCは15ビット、ポートDは16ビット、ポートEは15ビット、ポートFは12ビット、ポートGは16ビットの入出力ポートです。ポートHは16ビットの入力ポートです。

それぞれのポートの端子は、すべて、汎用入出力（ポートHの端子は汎用入力）と、そのほかの機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ（PFC）で行います。ポートはそれぞれ、端子のデータを格納するためのデータレジスタを1本ずつもっています。

17.2 ポートA

ポートAは、図17.1に示すような、16本の端子を持つ入出力ポートです。

	ROM無効拡張モード	ROM有効拡張モード	シングルチップモード
ポートA	A15 (出力)	PA15 (入出力) / A15 (出力)	PA15 (入出力)
	A14 (出力)	PA14 (入出力) / A14 (出力)	PA14 (入出力)
	A13 (出力)	PA13 (入出力) / A13 (出力)	PA13 (入出力)
	A12 (出力)	PA12 (入出力) / A12 (出力)	PA12 (入出力)
	A11 (出力)	PA11 (入出力) / A11 (出力)	PA11 (入出力)
	A10 (出力)	PA10 (入出力) / A10 (出力)	PA10 (入出力)
	A9 (出力)	PA9 (入出力) / A9 (出力)	PA9 (入出力)
	A8 (出力)	PA8 (入出力) / A8 (出力)	PA8 (入出力)
	A7 (出力)	PA7 (入出力) / A7 (出力)	PA7 (入出力)
	A6 (出力)	PA6 (入出力) / A6 (出力)	PA6 (入出力)
	A5 (出力)	PA5 (入出力) / A5 (出力)	PA5 (入出力)
	A4 (出力)	PA4 (入出力) / A4 (出力)	PA4 (入出力)
	A3 (出力)	PA3 (入出力) / A3 (出力)	PA3 (入出力)
	A2 (出力)	PA2 (入出力) / A2 (出力)	PA2 (入出力)
	A1 (出力)	PA1 (入出力) / A1 (出力)	PA1 (入出力)
	A0 (出力)	PA0 (入出力) / A0 (出力)	PA0 (入出力)

図 17.1 ポートA

17. I/Oポート (I/O)

17.2.1 レジスタ構成

ポート A のレジスタ構成を表 17.1 に示します。

表 17.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ	PADR	R/W	H'0000	H'FFFF8380	8、16

【注】 レジスタアクセスは、アクセスサイズにかかわらず 2 サイクルです。

17.2.2 ポート A データレジスタ (PADR)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート A データレジスタ (PADR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA15DR ~ PA0DR ビットは、それぞれ、PA15/A15 ~ PA0/A0 端子に対応しています。

端子機能が汎用出力の場合には、PADR に値を書き込むと端子からその値が出力され、PADR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、POD 端子をローにした時には、汎用出力は PADR の値にかかわらずハイインピーダンスになります。POD 端子をハイにした時は、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PADR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADR に値を書き込むと、PADR にその値を書き込めますが、端子の状態には影響しません。表 17.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

PADR は、パワーオンリセットおよびハードウェアスタンバイモードで初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 17.2 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される (POD 端子 = ハイ)
			PADR の値にかかわらずハイインピーダンス (POD 端子 = ロー)
	汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

17.3 ポート B

ポート B は、図 17.2 に示すような、12 本の端子を持つ入出力ポートです。

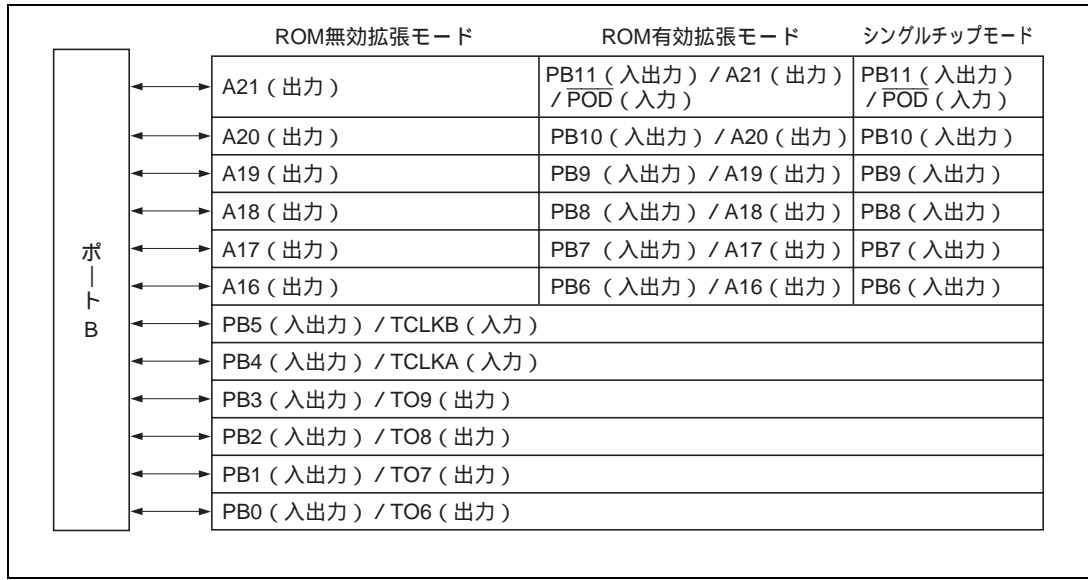


図 17.2 ポート B

17.3.1 レジスタ構成

ポート B のレジスタ構成を表 17.3 に示します。

表 17.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ	PBDR	R/W	H'0000	H'FFFF8386	8, 16

【注】 レジスタアクセスは、アクセスサイズにかかわらず 2 サイクルです。

17.3.2 ポート B データレジスタ (PBDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PB11 DR	PB10 DR	PB9 DR	PB8 DR	PB7 DR	PB6 DR	—	—	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ポート B データレジスタ (PBDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB11DR ~ PB0DR ビットは、それぞれ、PB11/A21/POD ~ PB0/TO6 端子に対応しています。

端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、PB6 ~ 10 は、POD 端子をローにした時には、汎用出力は PBDR の値にかかわらずハイインピーダンスになります。POD 端子をハイにした時は、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込みますが、端子の状態には影響しません。表 17.4 にポート B データレジスタの読み出し / 書き込み動作を示します。

PBDR は、パワーオンリセットおよびハードウェアスタンバイモードで初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 17.4 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作 (bit8 ~ 12)

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される (POD 端子 = ハイ) PBDR の値にかかわらずハイインピーダンス (POD 端子 = ロー)
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

(bit8 ~ 12 以外)

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

17.4 ポート C

ポート C は、図 17.3 に示すような、15 本の端子を持つ入出力ポートです。

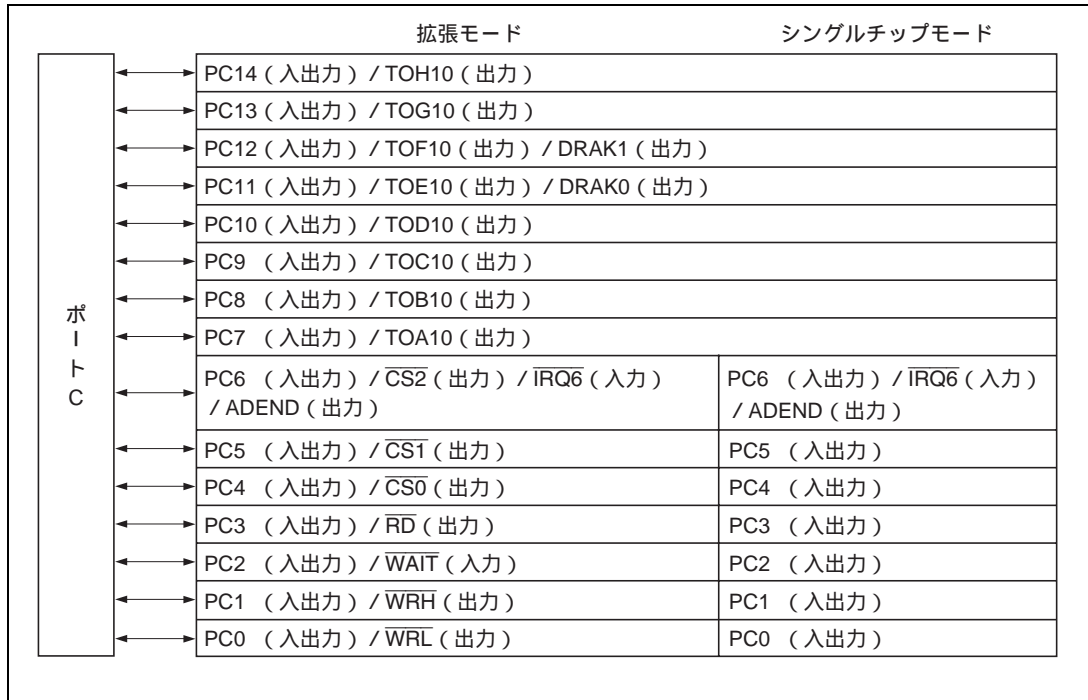


図 17.3 ポート C

17.4.1 レジスタ構成

ポート C のレジスタ構成を表 17.5 に示します。

表 17.5 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート C データレジスタ	PCDR	R/W	H'8000	H'FFFF8390	8、16

【注】 レジスタアクセスは、アクセスサイズにかかわらず 2 サイクルです。

17.4.2 ポート C データレジスタ (PCDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PC14 DR	PC13 DR	PC12 DR	PC11 DR	PC10 DR	PC9 DR	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C データレジスタ (PCDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC14DR ~ PC0DR ビットは、それぞれ、PC14/TOH10 ~ PC0/WRL 端子に対応しています。

端子機能が汎用出力の場合には、PCDR に値を書き込むと端子からその値が出力され、PCDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDR に値を書き込むと、PCDR にその値を書き込めますが、端子の状態には影響しません。表 17.6 にポート C データレジスタの読み出し / 書き込み動作を示します。

PCDR は、パワーオンリセットおよびハードウェアスタンバイモードで初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 17.6 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDR の値	書き込み値が端子から出力される
	汎用出力以外	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない

17.5 ポート D

ポート D は、図 17.4 に示すような、16 本の端子を持つ入出力ポートです。

	ROM有効拡張モード	ROM無効拡張モード (エリア0: 8ビット)	ROM無効拡張モード (エリア0: 16ビット)	シングルチップ モード
ポ ー ト D	PD15 (入出力) / D15 (入出力)	PD15 (入出力) / D15 (入出力)	D15 (入出力)	PD15 (入出力)
	PD14 (入出力) / D14 (入出力)	PD14 (入出力) / D14 (入出力)	D14 (入出力)	PD14 (入出力)
	PD13 (入出力) / D13 (入出力)	PD13 (入出力) / D13 (入出力)	D13 (入出力)	PD13 (入出力)
	PD12 (入出力) / D12 (入出力)	PD12 (入出力) / D12 (入出力)	D12 (入出力)	PD12 (入出力)
	PD11 (入出力) / D11 (入出力)	PD11 (入出力) / D11 (入出力)	D11 (入出力)	PD11 (入出力)
	PD10 (入出力) / D10 (入出力)	PD10 (入出力) / D10 (入出力)	D10 (入出力)	PD10 (入出力)
	PD9 (入出力) / D9 (入出力)	PD9 (入出力) / D9 (入出力)	D9 (入出力)	PD9 (入出力)
	PD8 (入出力) / D8 (入出力)	PD8 (入出力) / D8 (入出力)	D8 (入出力)	PD8 (入出力)
	PD7 (入出力) / D7 (入出力)	D7 (入出力)		PD7 (入出力)
	PD6 (入出力) / D6 (入出力)	D6 (入出力)		PD6 (入出力)
	PD5 (入出力) / D5 (入出力)	D5 (入出力)		PD5 (入出力)
	PD4 (入出力) / D4 (入出力)	D4 (入出力)		PD4 (入出力)
	PD3 (入出力) / D3 (入出力)	D3 (入出力)		PD3 (入出力)
	PD2 (入出力) / D2 (入出力)	D2 (入出力)		PD2 (入出力)
	PD1 (入出力) / D1 (入出力)	D1 (入出力)		PD1 (入出力)
	PD0 (入出力) / D0 (入出力)	D0 (入出力)		PD0 (入出力)

図 17.4 ポート D

17.5.1 レジスタ構成

ポート D のレジスタ構成を表 17.7 に示します。

表 17.7 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ	PDDR	R/W	H'0000	H'FFFF8398	8、16

【注】 レジスタアクセスは、アクセスサイズにかかわらず 2 サイクルです。

17.5.2 ポート D データレジスタ (PDDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 DR	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D データレジスタ (PDDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD15DR ~ PD0DR ビットは、それぞれ、PD15/D15 ~ PD0/D0 端子に対応しています。

端子機能が汎用出力の場合には、PDDR に値を書き込むと端子からその値が出力され、PDDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、 $\overline{\text{POD}}$ 端子をローにした時には、汎用出力は PDDR の値にかかわらずハイインピーダンスになります。 $\overline{\text{POD}}$ 端子をハイにした時は、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PDDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDR に値を書き込むと、PDDR にその値を書き込めますが、端子の状態には影響しません。表 17.8 にポート D データレジスタの読み出し / 書き込み動作を示します。

PDDR は、パワーオンリセットおよびハードウェアスタンバイモードで初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 17.8 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDR の値	書き込み値が端子から出力される ($\overline{\text{POD}}$ 端子 = ハイ) PDDR の値にかかわらずハイインピーダンス ($\overline{\text{POD}}$ 端子 = ロー)
	汎用出力以外	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない

17.6 ポート E

ポート E は、図 17.5 に示すような、15 本の端子を持つ入出力ポートです。

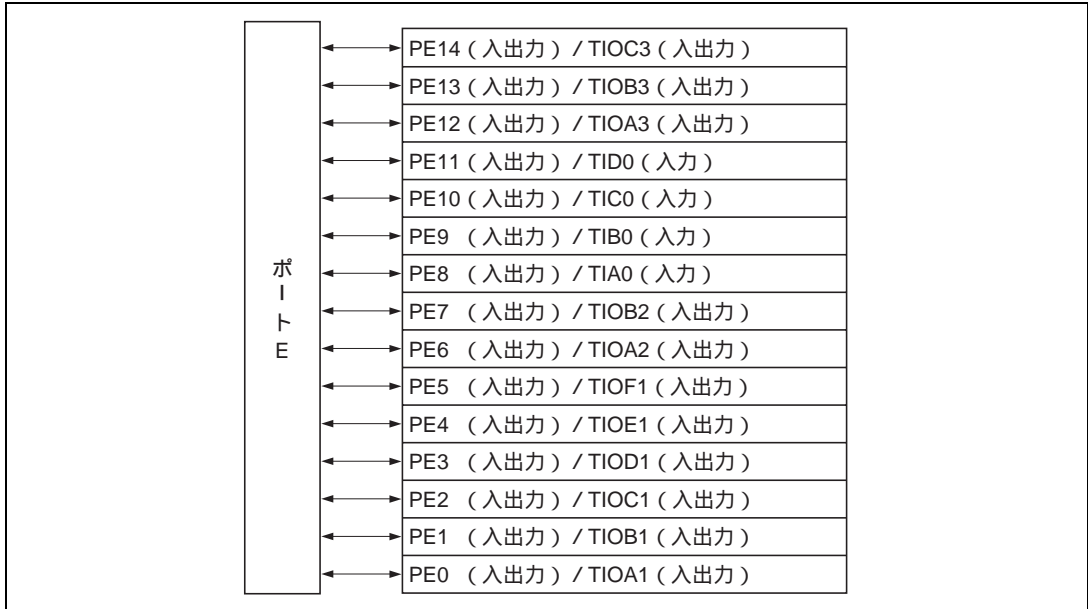


図 17.5 ポート E

17.6.1 レジスタ構成

ポート E のレジスタ構成を表 17.9 に示します。

表 17.9 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ	PEDR	R/W	H'8000	H'FFFF83A0	8、16

【注】 レジスタアクセスは、アクセスサイズにかかわらず 2 サイクルです。

17.6.2 ポート E データレジスタ (PEDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PE14 DR	PE13 DR	PE12 DR	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E データレジスタ (PEDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE14DR ~ PE0DR ビットは、それぞれ、PE14/TIOC3 ~ PE0/TIOA1 端子に対応しています。

端子機能が汎用出力の場合には、PEDR に値を書き込むと端子からその値が出力され、PEDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDR に値を書き込むと、PEDR にその値を書き込みますが、端子の状態には影響しません。表 17.10 にポート E データレジスタの読み出し / 書き込み動作を示します。

PEDR は、パワーオンリセットおよびハードウェアスタンバイモードで初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 17.10 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDR の値	書き込み値が端子から出力される
	汎用出力以外	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない

17.7 ポート F

ポート F は、図 17.6 に示すような、12 本の端子を持つ入出力ポートです。

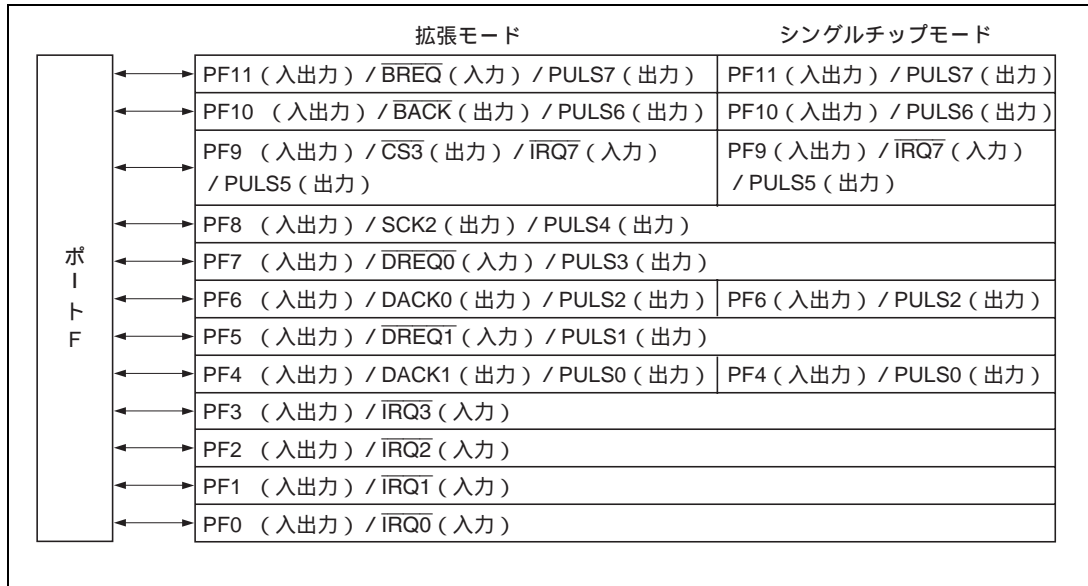


図 17.6 ポート F

17.7.1 レジスタ構成

ポート F のレジスタ構成を表 17.11 に示します。

表 17.11 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ	PFDR	R/W	H'F000	H'FFF83A6	8、16

【注】 レジスタアクセスは、アクセスサイズにかかわらず 2 サイクルです。

17.7.2 ポート F データレジスタ (PFDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PF11 DR	PF10 DR	PF9 DR	PF8 DR	PF7 DR	PF6 DR	PF5 DR	PF4 DR	PF3 DR	PF2 DR	PF1 DR	PF0 DR
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート F データレジスタ (PFDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F のデータを格納します。PF11DR ~ PF0DR ビットは、それぞれ、PF11/BREQ/PULS7 ~ PF0/TRQ0 端子に対応しています。

端子機能が汎用出力の場合には、PFDR に値を書き込むと端子からその値が出力され、PFDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PFDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDR に値を書き込むと、PFDR にその値を書き込みますが、端子の状態には影響しません。表 17.12 にポート F データレジスタの読み出し / 書き込み動作を示します。

PFDR は、パワーオンリセット、およびハードウェアスタンバイモードで初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 17.12 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作

PFIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR の値	書き込み値が端子から出力される
	汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

17.8 ポート G

ポート G は、図 17.7 に示すような、16 本の端子を持つ入出力ポートです。

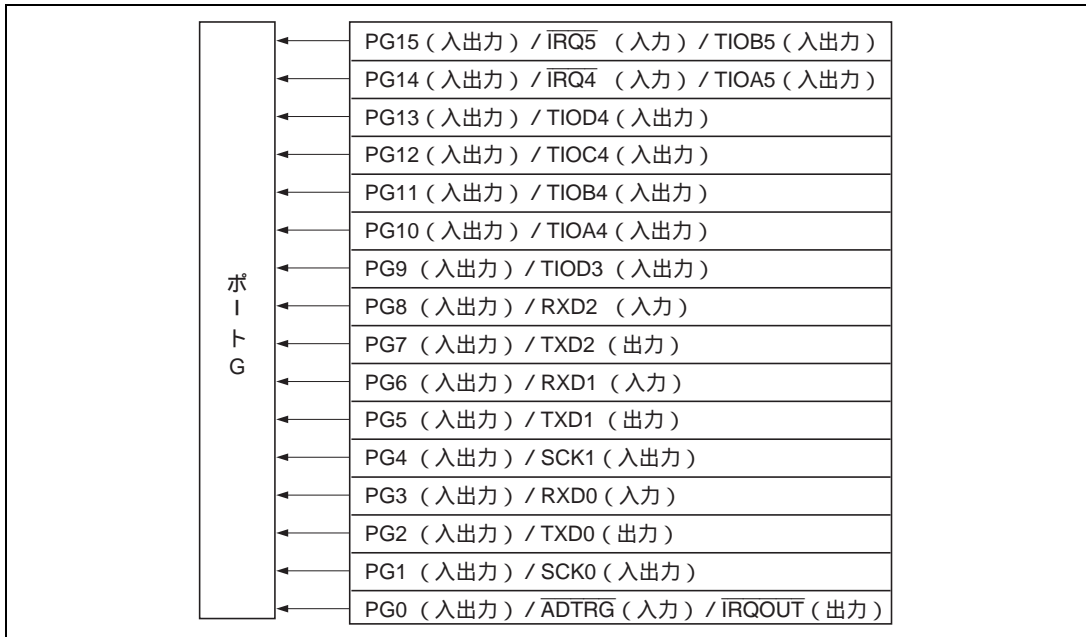


図 17.7 ポート G

17.8.1 レジスタ構成

ポート G のレジスタ構成を表 17.13 に示します。

表 17.13 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート G データレジスタ	PGDR	R/W	H'0000	H'FFFF83AE	8、16

【注】 レジスタアクセスは、アクセスサイズにかかわらず 2 サイクルです。

17.8.2 ポート G データレジスタ (PGDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 DR	PG14 DR	PG13 DR	PG12 DR	PG11 DR	PG10 DR	PG9 DR	PG8 DR	PG7 DR	PG6 DR	PG5 DR	PG4 DR	PG3 DR	PG2 DR	PG1 DR	PG0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート G データレジスタ (PGDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G のデータを格納します。PG15DR ~ PG0DR ビットは、それぞれ、PG15/TIOB5/IRQ5 ~ PG0/ADTRG/IRQOUT 端子に対応しています。

端子機能が汎用出力の場合には、PGDR に値を書き込むと端子からその値が出力され、PGDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PGDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PGDR に値を書き込むと、PGDR にその値を書き込めますが、端子の状態には影響しません。表 17.14 にポート G データレジスタの読み出し / 書き込み動作を示します。

PGDR は、パワーオンリセットおよびハードウェアスタンバイモードで初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 17.14 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作

PGIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PGDR の値	書き込み値が端子から出力される
	汎用出力以外	PGDR の値	PGDR に書き込めるが、端子の状態に影響しない

17.9 ポート H

ポート H は、図 17.8 に示すような、16 本の端子を持つ入力ポートです。

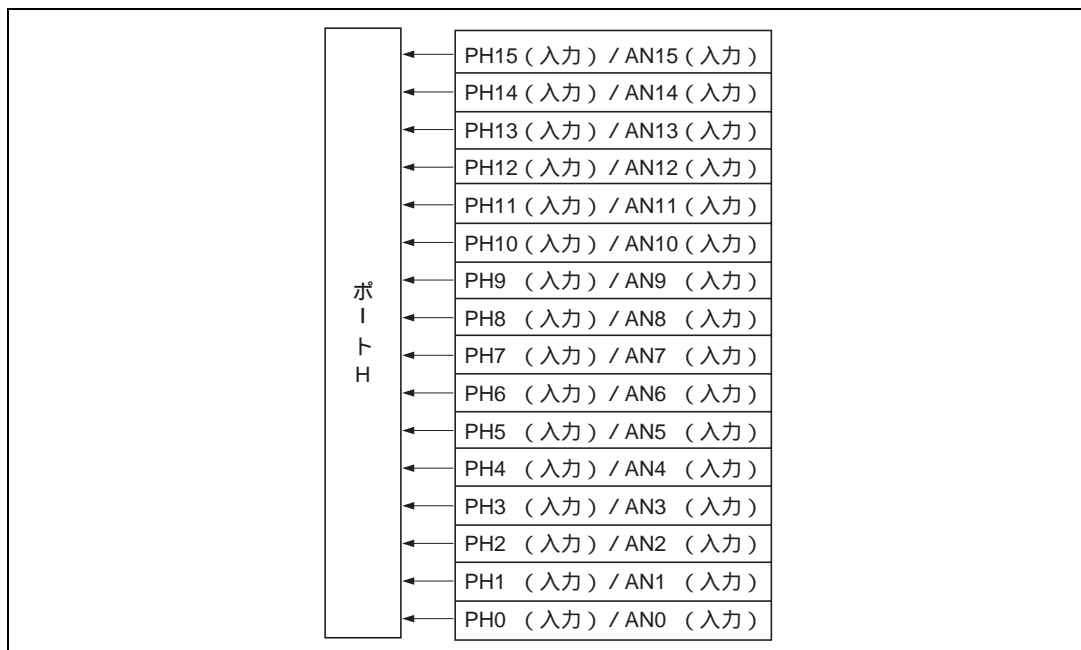


図 17.8 ポート H

17.9.1 レジスタ構成

ポート H のレジスタ構成を表 17.15 に示します。

表 17.15 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート H データレジスタ	PHDR	R	不定	H'FFFF83B6	8、16

【注】 レジスタアクセスは、アクセスサイズにかかわらず 2 サイクルです。

17.9.2 ポート H データレジスタ (PHDR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PH15 DR	PH14 DR	PH13 DR	PH12 DR	PH11 DR	PH10 DR	PH9 DR	PH8 DR	PH7 DR	PH6 DR	PH5 DR	PH4 DR	PH3 DR	PH2 DR	PH1 DR	PH0 DR
R/W: R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ポート H データレジスタ (PHDR) は、読み出し専用の 16 ビットのレジスタで、ポート H のデータを格納します。PH15DR ~ PH0DR ビットは、それぞれ、PH15/AN15 ~ PH0/AN0 端子に対応しています。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D 変換器のアナログ入力をサンプリングしている間は、1 が読み出されます。表 17.16 にポート H データレジスタの読み出し / 書き込み動作を示します。

PHDR は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、およびスリープモードのいずれでも初期化されません (ビットは常に端子の状態を反映します)。

表 17.16 ポート H データレジスタ (PHDR) の読み出し / 書き込み動作

端子入出力	端子機能	読み出し	書き込み
入力	汎用	端子の状態が読み出される	無視される (端子の状態に影響しない)
	ANn	1 が読み出される	無視される (端子の状態に影響しない)

n = 0 ~ 15

17.10 POD (ポートアウトプットディスエーブル)

POD (ポートアウトプットディスエーブル) 端子の入力レベルにより、アドレスバス端子 (A20 ~ A0) およびデータバス端子 (D15 ~ D0) の出力ポートのドライブバッファを制御できます。ただし、この機能はアドレスバス端子 (A20 ~ A0) およびデータバス端子 (D15 ~ D0) が汎用出力ポートに設定されているときに有効です。

POD による出力バッファの制御はバスサイクルとは非同期に行います。

POD	アドレスバス (A20 ~ A0) 端子とデータバス (D15 ~ D0) 端子 (出力ポート設定時)
0	有効 (ハイインピーダンス)
1	無効 (汎用出力)

18. ROM (128kB 版)

18.1 特長

SH7050 には 128kB のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

フラッシュメモリの4種類の動作モード

- プログラムモード
- イレースモード
- プログラムベリファイモード
- イレースベリファイモード

書き込み / 消去方式

書き込みは32バイト同時書き込みを行います。消去はブロック分割消去 (1ブロック単位) で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では1kB、28kB、32kBのブロック単位で任意に設定することができます。

書き込み / 消去時間

フラッシュメモリの書き込み時間は、32バイト同時書き込みにて10ms (typ.)、1バイトあたり換算にて300 μ (typ.)、消去時間は、100ms (typ.) です。

書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う2種類のモードがあります。

- ブートモード
- ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動で合わせることができます。

RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

ソフトウェアプロテクトモードとハードウェアプロテクトモードの2種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。

ライターモード

フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラムモード以外にPROMライターを用いたライターモードがあります。

18.2 概要

18.2.1 ブロック図

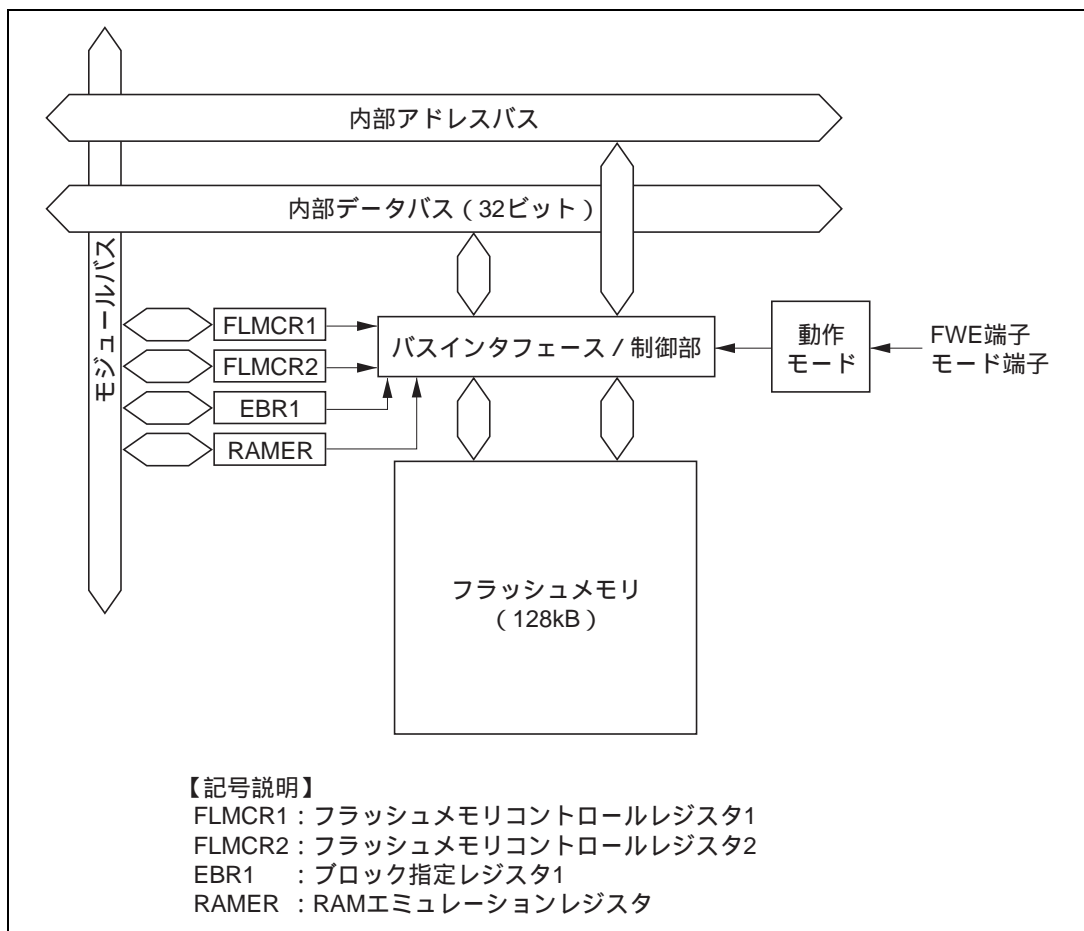


図 18.1 フラッシュメモリのブロック図

18.2.2 モード遷移図

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは図 18.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。

フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライタモードがあります。

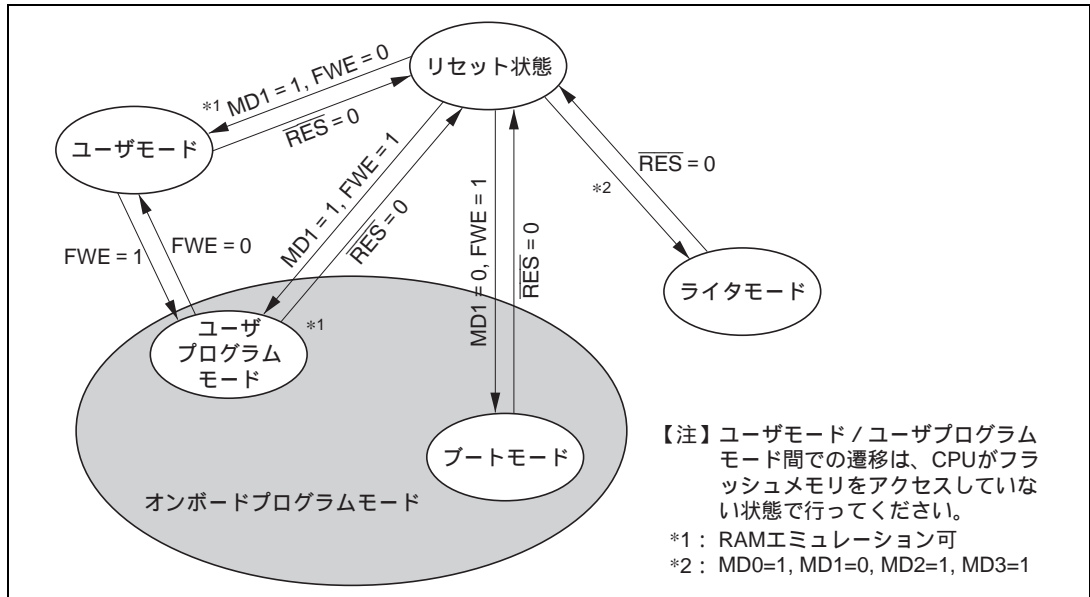
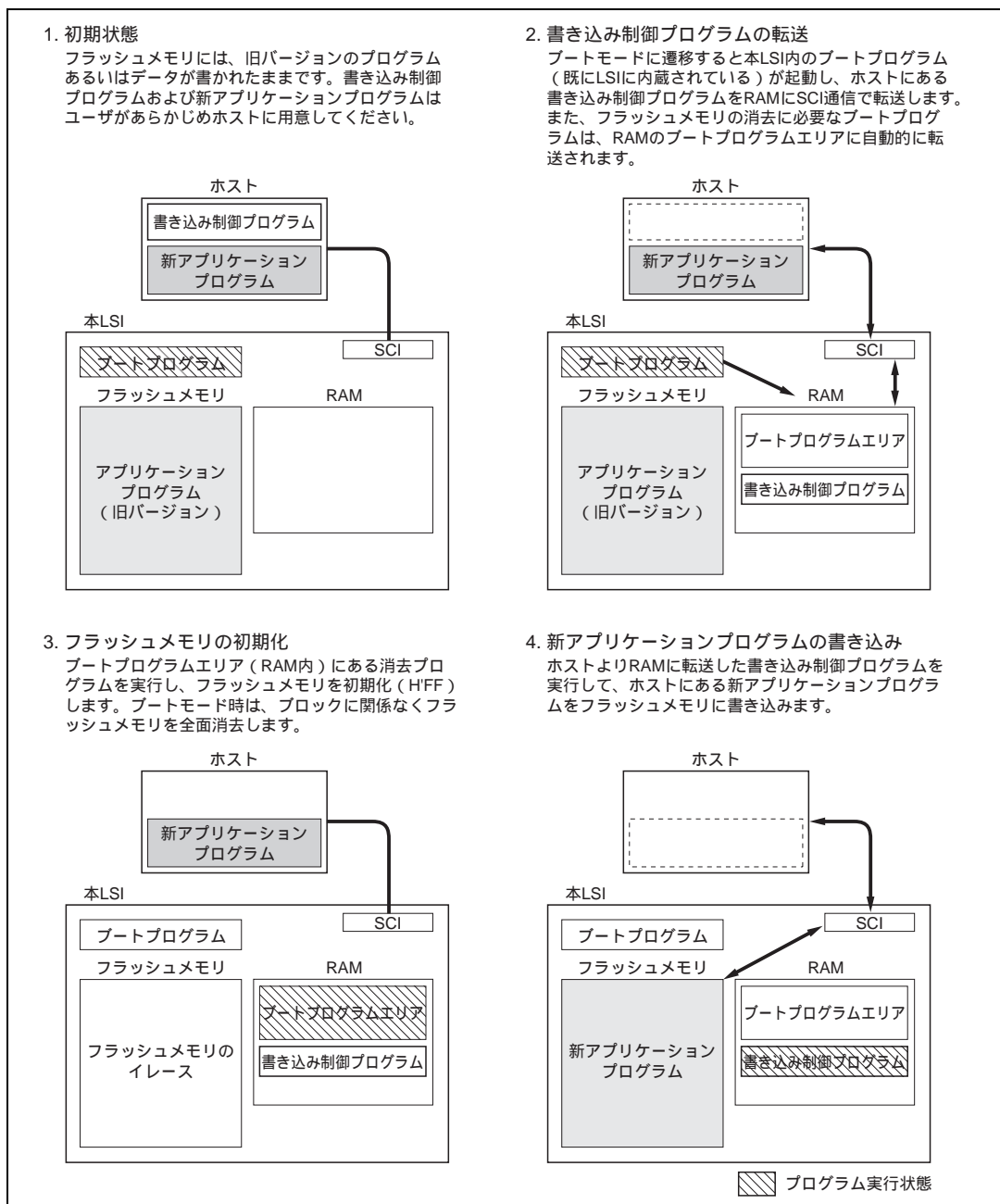


図 18.2 フラッシュメモリに関する状態遷移

18.2.3 オンボードプログラムモード

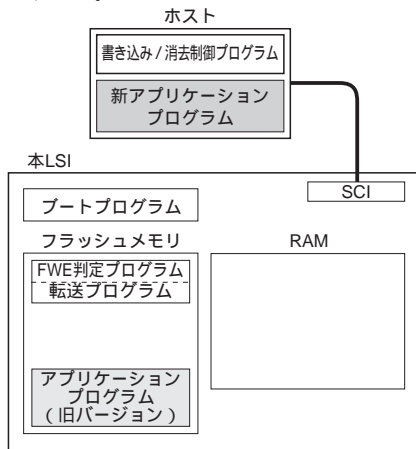
(1) ブートモード



(2) ユーザプログラムモード

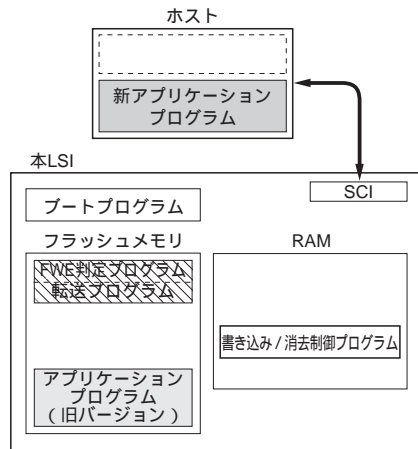
1. 初期状態

(1) ユーザプログラムモードに遷移したことを確認するFWE判定プログラム、(2)フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3)書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



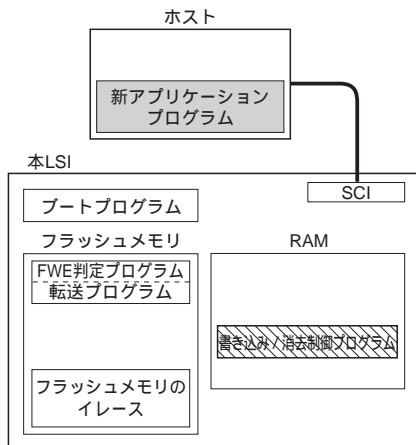
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに遷移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



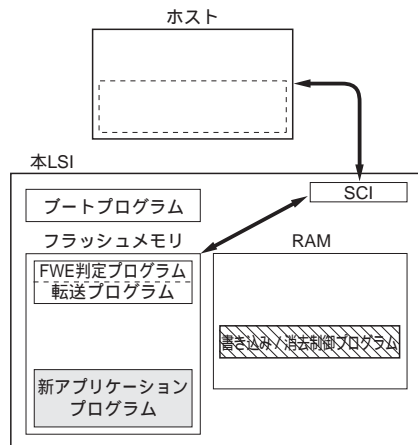
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (H'FF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



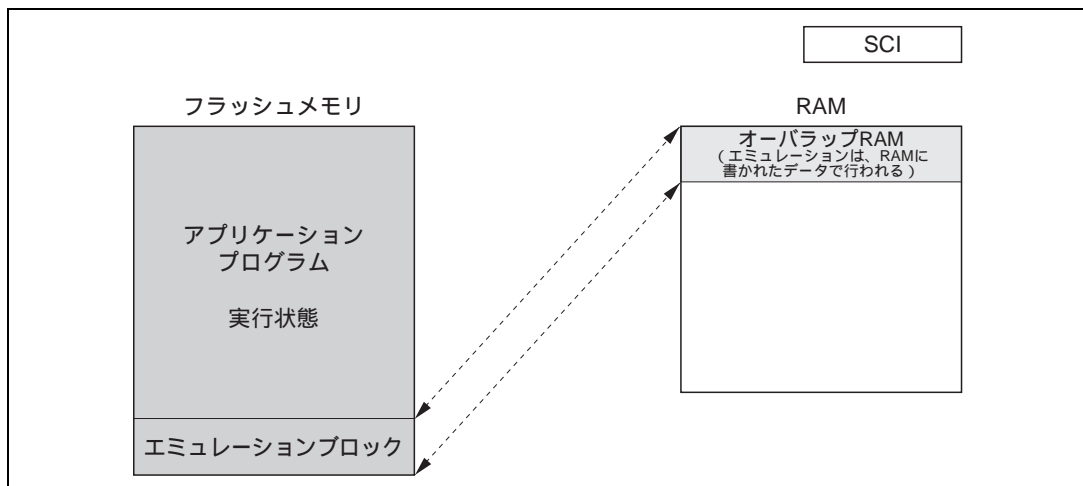
プログラム実行状態

18.2.4 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

<ユーザモード>

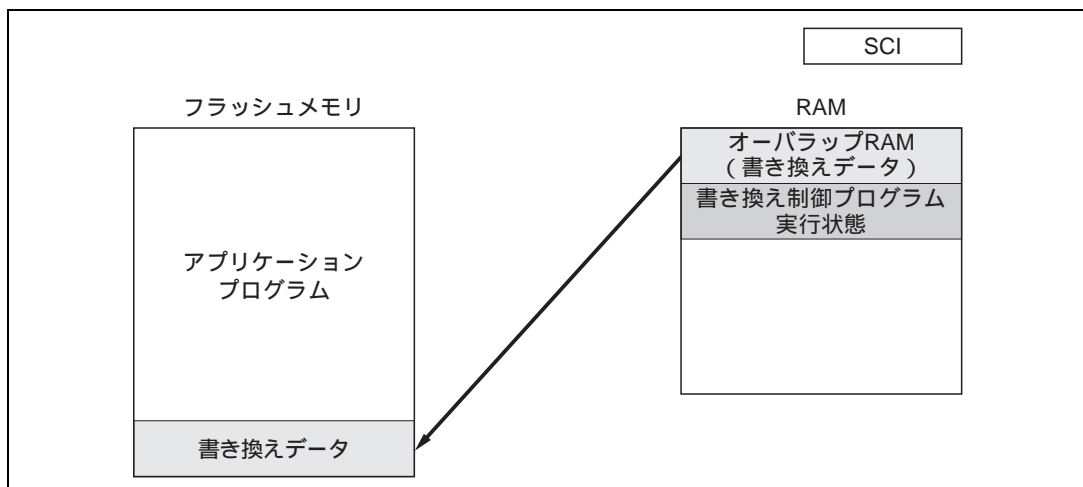
<ユーザプログラムモード>



オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

<ユーザプログラムモード>



18.2.5 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2) (3)

(1) イレース/イレースベリファイ

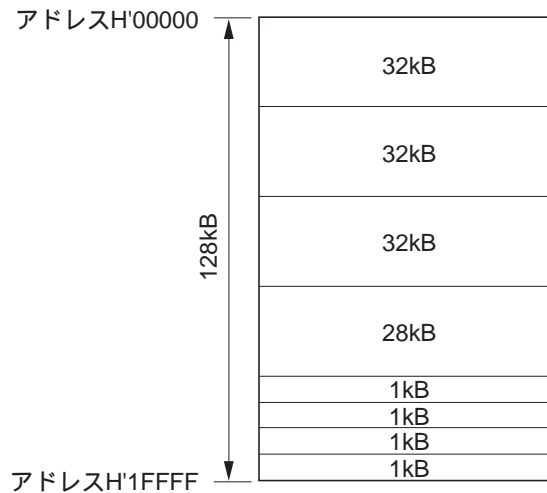
(2) プログラム/プログラムベリファイ

(3) エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

18.2.6 ブロック分割法

32kB (3 ブロック)、28kB (1 ブロック)、1kB (4 ブロック) に分割されています。



18.3 端子構成

フラッシュメモリは表 18.1 に示す端子により制御されます。

表 18.1 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 3	MD3	入力	本 LSI の動作モードを設定
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

18.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 18.2 に示します。

表 18.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス	アクセスサイズ
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W ^{*1}	H'00 ^{*3}	H'FFFF8580	8
フラッシュメモリコントロールレジスタ 2	FLMCR2	R ^{*2}	H'00	H'FFFF8581	8
ブロック指定レジスタ 1	EBR1	R/W ^{*1}	H'00 ^{*4}	H'FFFF8582	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFF8628	8、16、32

- 【注】
- FLMCR1、FLMCR2、EBR1 は 8 ビット、RAMER は 16 ビットのレジスタです。
 - FLMCR1、FLMCR2、EBR1 はバイトアクセスのみ有効で、3 サイクルとなります。RAMER はバイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。
 - RAMER にロングワードで書き込み動作を行う場合、下位ワード (H'FFFF8630 番地) には常に 0 を書き込んでください。0 以外の値を書き込んだ場合、動作の保証はできません。
- *1 内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット (FWE = 1) されていないときも書き込みは無効です。
- *2 内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出されます。
- *3 FWE 端子にハイレベルが入力されているときの初期値は H'80 です。
- *4 FWE 端子にローレベルが入力されているとき、あるいはハイレベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

18.5 レジスタの説明

18.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FWE=1 のとき、SWE=1 にして対応するビットをセットすることにより、プログラムベリファイモードイレースベリファイモードに遷移します。プログラムモードへ遷移するには、FWE=1 のとき、SWE=1 にし、PSU ビットをセットした後、P ビットをセットします。イレースモードへ遷移するには、FWE=1 のとき、SWE=1 にし、ESU ビットをセットした後、E ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子にハイレベルが入力されているときの初期値は H'80 です。ローレベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の SWE、ESU、PSU、EV、PV ビットへの書き込みは FWE=1、SWE=1 のとき、E ビットへの書き込みは FWE=1、SWE=1、ESU=1 のとき、P ビットへの書き込みは FWE=1、SWE=1、PSU=1 のときのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトするビットです。

ビット 7	説明
FWE	
0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子にハイレベルが入力されているとき

ビット 6 : ソフトウェアライトイネーブルビット (SWE)

フラッシュメモリの有効または無効を選択するビットです (ビット 5~0、EBR1 の 7~0 ビットをセットする前にセットしてください)。

ビット 6	説明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE = 1 のとき

18. ROM (128kB 版)

ビット5：イレースセットアップビット (ESU)

イレースモードへの遷移の準備をするビットです (SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット5	説 明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット4：プログラムセットアップビット (PSU)

プログラムモードへの遷移の準備をするビットです (SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット4	説 明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説 明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説 明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット1: イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU = 1 のとき

ビット0: プログラム (P)

プログラムモードへの遷移、解除を選択するビットです (SWE、PSU、ESU、EV、PV、E ビットを同時に設定しないでください)。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU = 1 のとき

18.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 は、フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) の有無をモニタする 8 ビットのレジスタです。FLMCR2 は、リセット、ハードウェアスタンバイモードで H'00 に初期化されます。

内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出されます。

ビット :	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット7：フラッシュメモリエラー (FLER)

フラッシュメモリ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] リセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「18.8.3 エラープロテクト」参照

ビット6~0：予約ビット

読み出すと常に0が読み出されます。

18.5.3 ブロック指定レジスタ1 (EBR1)

フラッシュメモリの消去エリアをブロックごとに設定するレジスタで、全てのビットについてR/W可能です。EBR1は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE端子にローレベルが入力されているとき、およびFWE端子にハイレベルが入力されていてもFLMCR1のSWEが設定されていないときはH'00に初期化されます。EBR1の各ビットに1をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1は1ビットのみ設定してください (2ビット以上を設定しないでください)。内蔵フラッシュメモリが無効のときは読み出すとH'00が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 18.3 を参照してください。

ビット：	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.3 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (32kB)	H'000000 ~ H'007FFF
EB1 (32kB)	H'008000 ~ H'00FFFF
EB2 (32kB)	H'010000 ~ H'017FFF
EB3 (28kB)	H'018000 ~ H'01EFFF
EB4 (1kB)	H'01F000 ~ H'01F3FF
EB5 (1kB)	H'01F400 ~ H'01F7FF
EB6 (1kB)	H'01F800 ~ H'01FBFF
EB7 (1kB)	H'01FC00 ~ H'01FFFF

18.5.4 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。リセット、またはハードウェアスタンバイモードのときに H'0000 に初期化されます。ソフトウェアスタンバイモード時には、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラミングモードで行ってください。(詳細は、BSC を参照してください。)

フラッシュメモリエリアの分割法は、表 18.4 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット :	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	RAMS	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

18. ROM (128kB 版)

ビット 15~3 : 予約ビット

読み出すと常に 0 が読み出されます。

ビット 2 : RAM セレクト (RAMS)

RAM によるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです。RAMS = 1 のときは、フラッシュメモリ全ブロックの書き込み / 消去プロテクト状態となります。

ビット 2	説 明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

ビット 1、0 : フラッシュメモリエリア選択

ビット 2 と共に使用し、RAM と重ね合わせるフラッシュメモリエリアを選択します。(表 18.4 参照)

表 18.4 フラッシュメモリエリアの分割

アドレス	ブロック名	RAMS	RAM1	RAM0
H'FFE800 ~ H'FFEBFF	RAM エリア 1kB	0	*	*
H'01F000 ~ H'01F3FF	EB4 (1kB)	1	0	0
H'01F400 ~ H'01F7FF	EB5 (1kB)	1	0	1
H'01F800 ~ H'01FBFF	EB6 (1kB)	1	1	0
H'01FC00 ~ H'01FFFF	EB7 (1kB)	1	1	1

18.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み / 消去 / ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 18.5 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 18.2 を参照してください。

表 18.5 オンボードプログラミングモードの設定方法

モード名		PLL 通倍比	FWE	MD3	MD2	MD1	MD0
ブートモード	拡張モード	×1	1	0	0	0	0
	シングルチップモード			0	0	0	1
	拡張モード	×2		0	1	0	0
	シングルチップモード			0	1	0	1
	拡張モード	×4		1	0	0	0
	シングルチップモード			1	0	0	1
ユーザプログラムモード	拡張モード	×1	1	0	0	1	0
	シングルチップモード			0	0	1	1
	拡張モード	×2		0	1	1	0
	シングルチップモード			0	1	1	1
	拡張モード	×4		1	0	1	0
	シングルチップモード			1	0	1	1

18.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI はチャンネルの調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、予めマイコン内に組み込まれているブートプログラムを起動し、ホストに用意した書き込み制御プログラムを SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 18.3 にブートモード時のシステム構成図、図 18.4 にブートモード実行手順を示します。

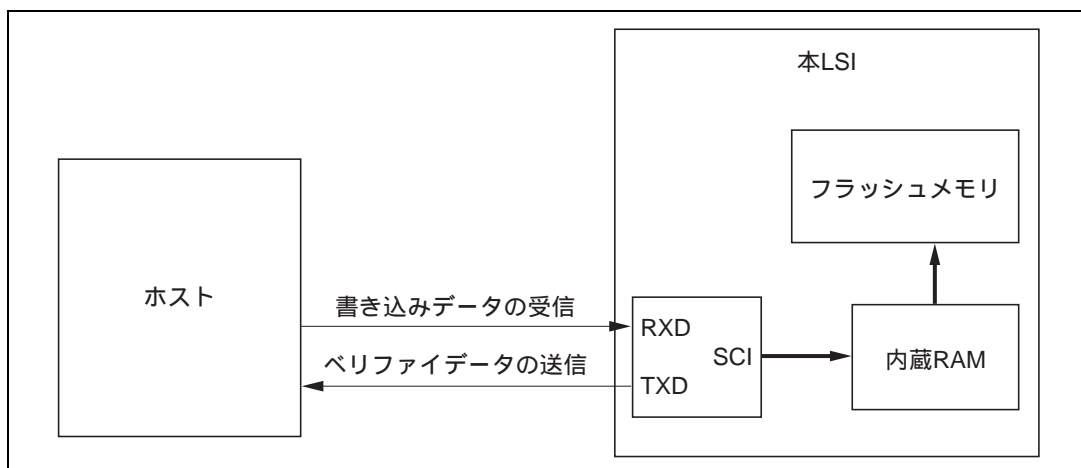


図 18.3 ブートモード時のシステム構成図

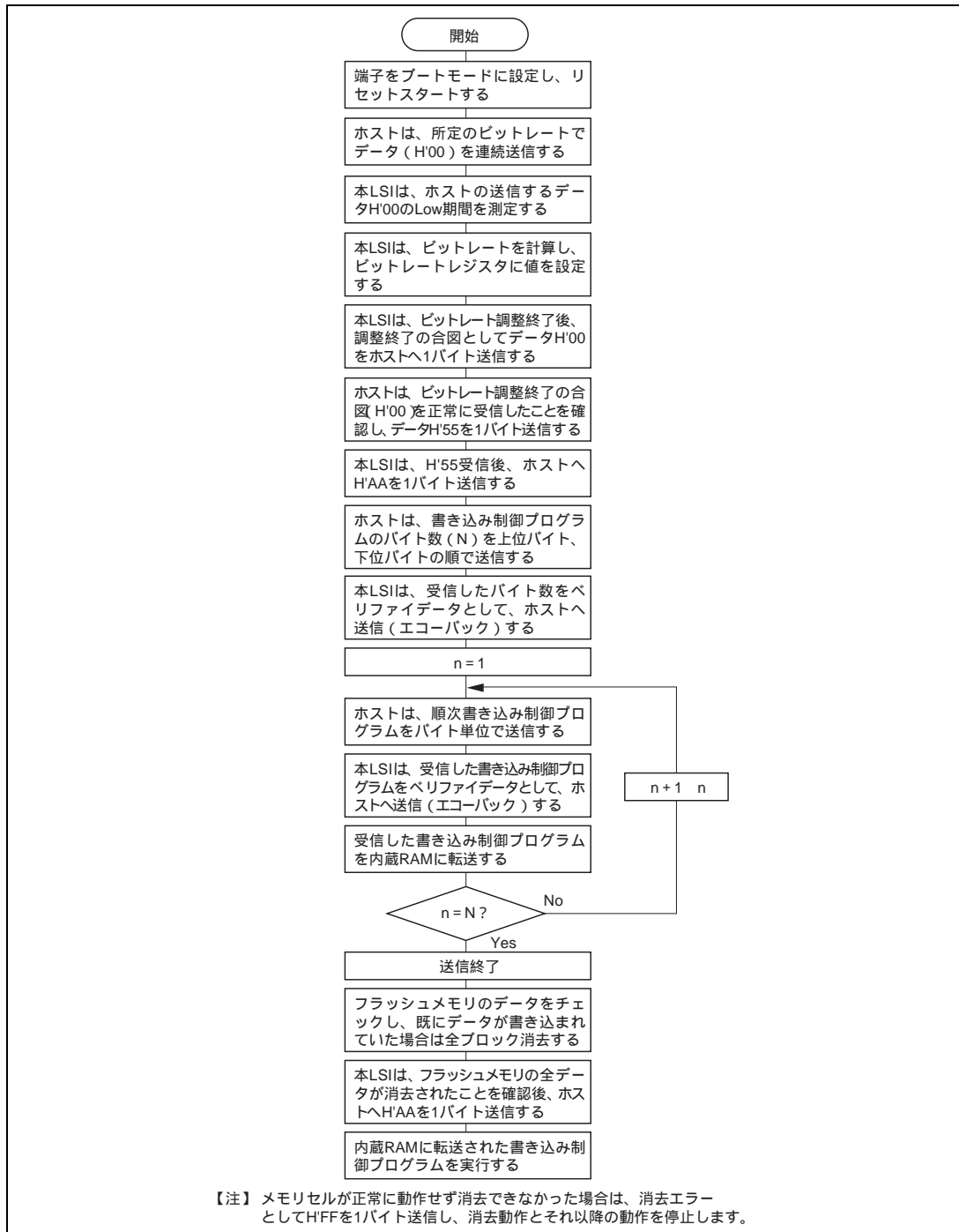
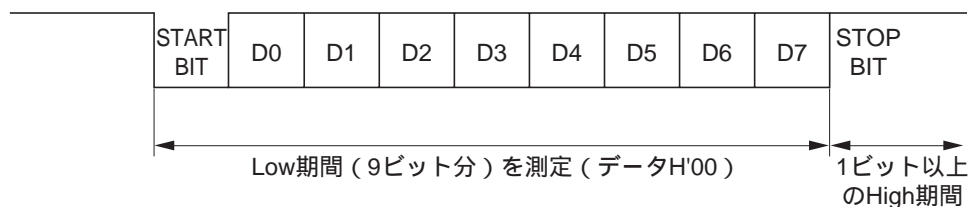


図 18.4 ブートモード実行手順

SCI ビットレートの自動合わせ込み動作



ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。この時の SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 4800bps、9600bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 18.6 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 18.6 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9600bps	8 ~ 20MHz
4800bps	4 ~ 20MHz

ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 18.5 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

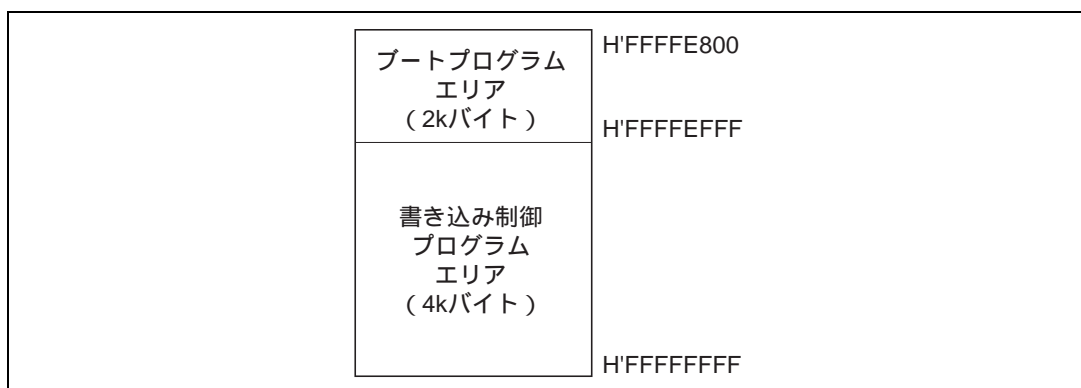


図 18.5 ブートモード時の RAM エリア

【注】 RAM 内に転送した書き込み制御プログラム実行状態に遷移するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに分岐後も RAM 内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。

18.6.2 ユーザプログラムモード

FWE を設定後、あらかじめユーザが用意した、書き込み / 消去制御プログラムに分岐し、実行してください。

フラッシュメモリへの書き込み / 消去を行っている間は、フラッシュメモリ自身を読み出すことはできませんので、書き込み / 消去を行う制御プログラムは内蔵 RAM / 外部メモリ上で実行するようにしてください。

フラッシュメモリに書き込む書き換え制御用プログラム (RAM に転送する場合) は、以下の手順を実行するようにしてください (図 18.6)。

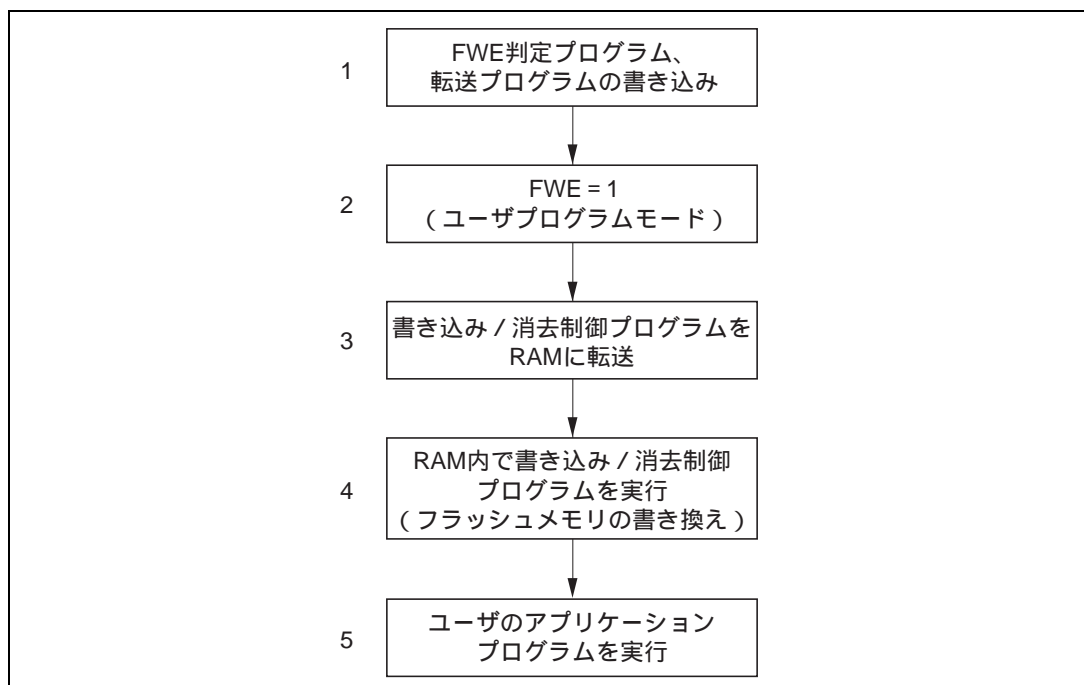


図 18.6 ユーザプログラムモードの実行手順

【注】 書き込み / 消去時は、ウォッチドッグタイマを起動し、プログラム暴走等に対応できるようにしてください。プログラム暴走等によって過剰書き込み / 過剰消去になるとメモリセルが正常に動作しないことがあります。

18.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあり、FLMCR1 の PSU ビット、ESU ビット、P ビット、E ビット、PV ビット、EV ビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。従って、フラッシュメモリの書き込み / 消去を制御するプログラム (書き込み制御プログラム) は、内蔵 RAM あるいは外部メモリ上に置き、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE、ESU、PSU、EV、PV、E、P ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください (FWE = 0 のときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。既に書き込まれたアドレスへの追加書き込みは行わないでください。

18.7.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みは、図 18.7 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、32 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、10 μ s 以上の時間が経過してから、32 バイト書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'20、H'40、H'60、H'80、H'A0、H'C0、H'E0 でなければなりません) に RAM 上の書き込みデータエリアの 32 バイトのデータを連続書き込みします (データ転送はバイト単位で 32 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。32 バイト以下の書き込みでも 32 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は 6.6ms にしてください。その後、FLMCR1 の PSU ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行い、50 μ s 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラッシュメモリの書き込み時間となります。書き込み時間は、書き込みフロー中の表に従ってください。

18.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCR1 の P ビットを解除後、10 μ s 以上の時間が経過してから PSU ビットを解除) します。ウォッチドックタイマを 10 μ s 以上の時間が経過してから解除し、FLMCR1 の PV ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは 4 μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す (ベリファイデータは 32 ビットで読み出す) とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、2 μ s 以上おいてから行ってください。次に書き込み元データとベリファイデータを比較し、再書き込みデータを演算 (図 18.7 参照) し、再書き込みデータを再書き込みデータエリアに転送します。32 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、4 μ s 以上の待機時間を置いて、FLMCR1 の SWE ビットを解除してください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム / プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、57 回を超えないようにしてください。

18. ROM (128kB 版)

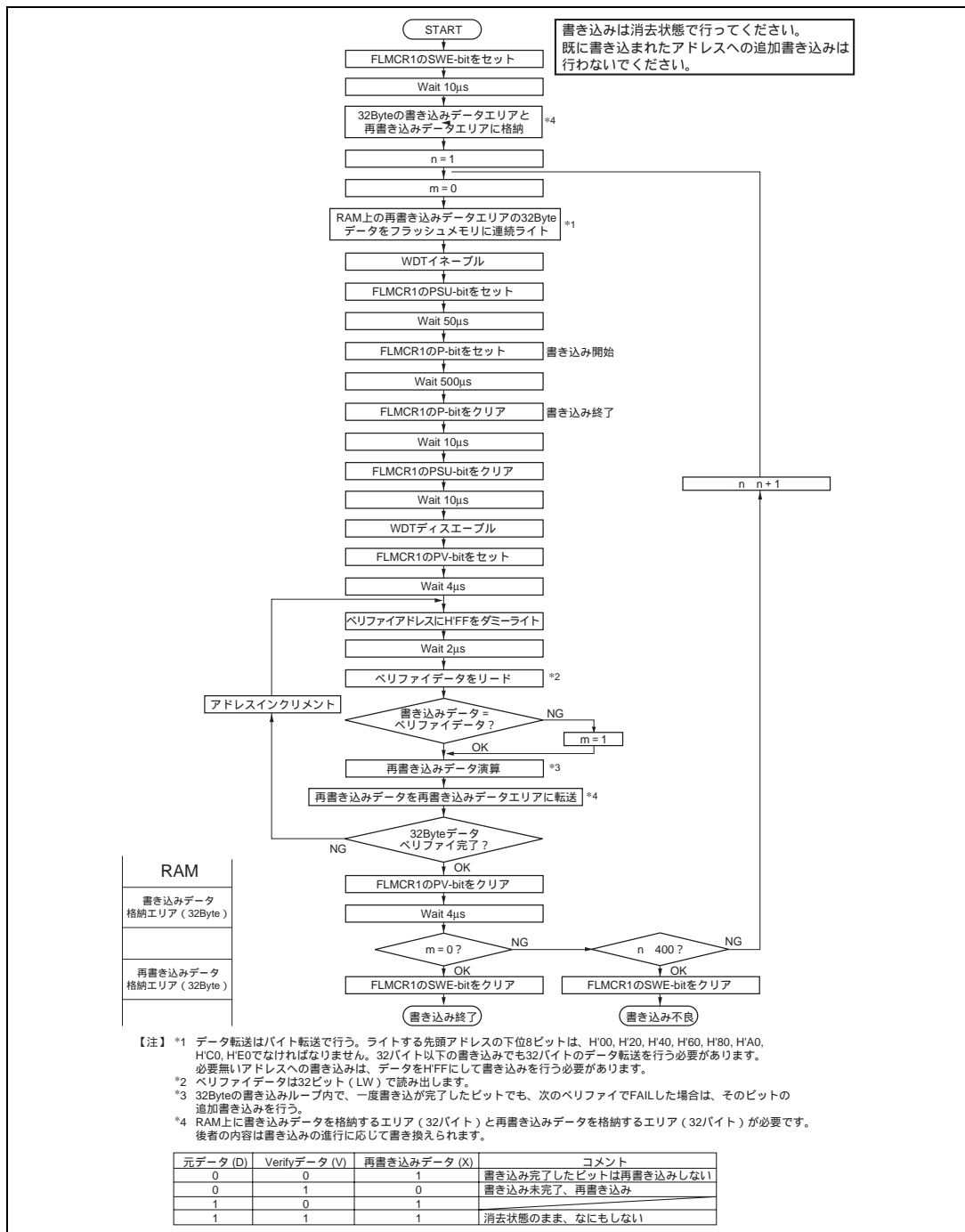


図 18.7 プログラム/プログラムペリファイフロー

18.7.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、図 18.8 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ1 (FLMCR1) の SWE ビットを1にセット後、10 μ s 以上の時間が経過してから、ブロック指定レジスタ1 (EBR1) で消去するフラッシュメモリのエリアを1ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は 6.6ms に設定してください。その後、FLMCR1 の ESU ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行い、200 μ s 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが設定されている時間が消去時間となり、消去時間は 5ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にブレライト（消去するメモリ全体のメモリデータを ALL"0"にする）を行う必要はありません。

18.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除（FLMCR1 の E ビットを解除後、10 μ s 以上の時間が経過してから ESU ビットを解除）し、ウォッチドックタイマを 10 μ s 以上の時間が経過してから解除し、FLMCR1 の EV ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは 20 μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは 32 ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、2 μ s おいてから行ってください。読み出したデータが消去（データが ALL"1"）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が 60 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、5 μ s 以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを1ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

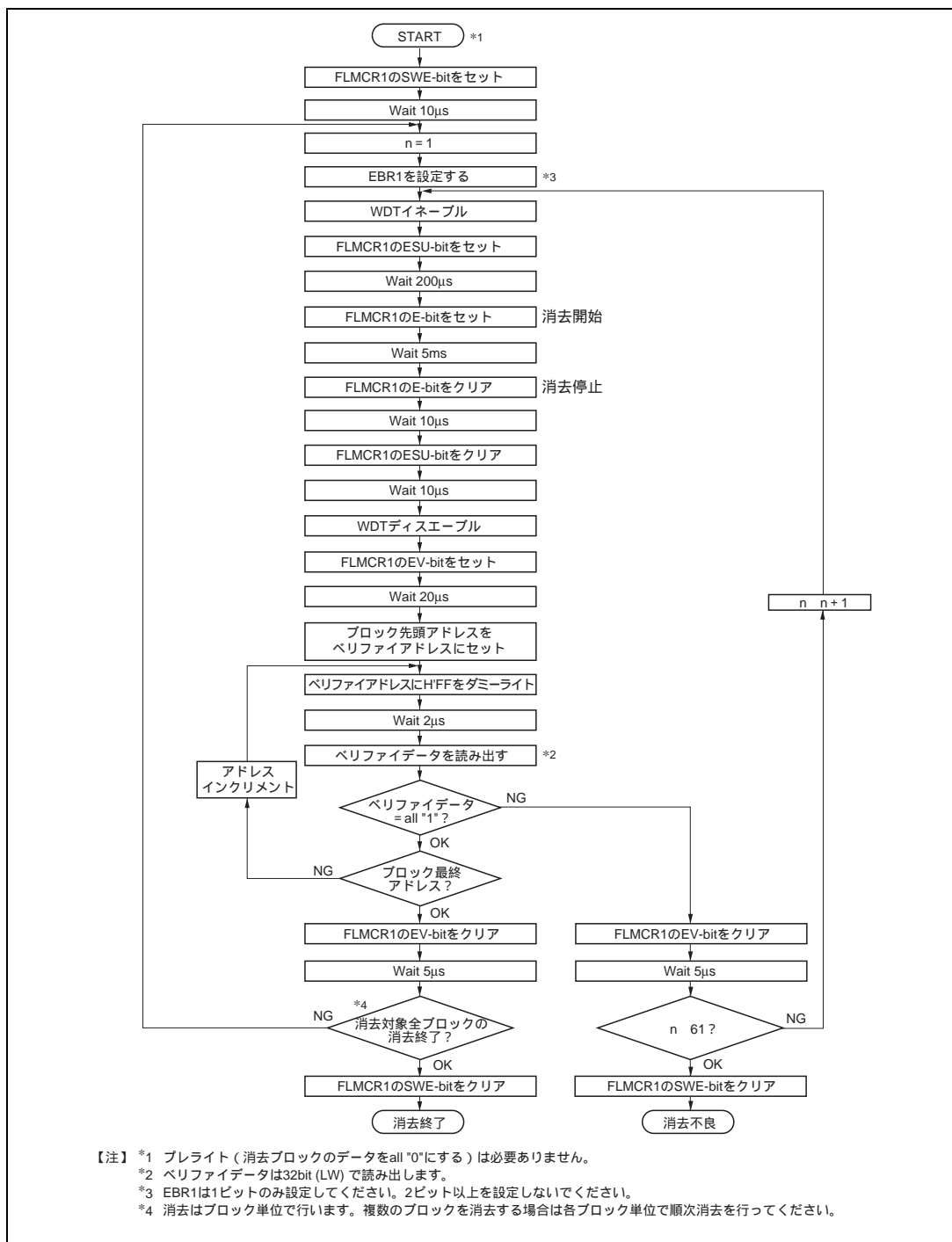


図 18.8 イレース/イレースペリファイフロー（単一ブロック消去）

18.8 プロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトの2種類あります。

18.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1) およびブロック指定レジスタ1 (EBR1) の設定はリセットされます。エラープロテクト状態では、FLMCR1、EBR1 の設定は保持します。(表 18.7 参照)

表 18.7 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子に Low ベルが入力されている時には、FLMCR1、EBR1 は初期化され、書き込み/消去プロテクト状態になります。 		
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> リセット (WDT のオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、EBR1 は初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。 		

18.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、ブロック指定レジスタ1 (EBR1)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 18.8 参照)

表 18.8 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。(内蔵 RAM/外部メモリ上で実行してください。) 		
ブロック指定プロテクト	<ul style="list-style-type: none"> ブロック指定レジスタ1 (EBR1) の設定により、ブロックごとに消去プロテクトが可能。 EBR1 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	
エミュレーションプロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。 		

18.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2のFLERビットが"1"にセットされ、エラープロテクト状態へ遷移します。この時、FLMCR1、EBR1の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。Pビット、Eビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PVビット、EVビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLERビットのセット条件は、

- (1) 書き込み/消去中にフラッシュメモリを読み出したとき(ベクトリードおよび命令フェッチを含む)
- (2) 書き込み/消去中の例外処理(リセットは除く)開始直後
- (3) 書き込み/消去中にSLEEP命令(ソフトウェアスタンバイを含む)を実行したとき
- (4) 書き込み/消去中にバス開放したとき

エラープロテクト解除は、リセットまたはハードウェアスタンバイのみで行われます。

図 18.9 にフラッシュメモリの状態遷移図を示します。

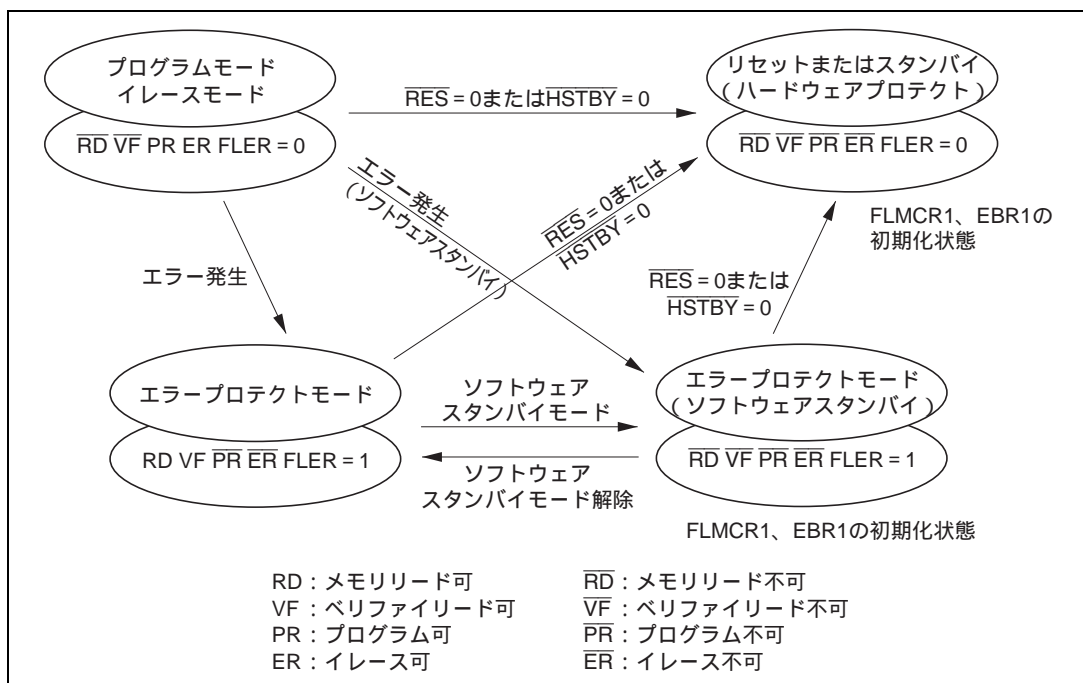


図 18.9 フラッシュメモリの状態遷移図

18.9 RAM によるフラッシュメモリのエミュレーション

RAMでフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAMエミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 18.10 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

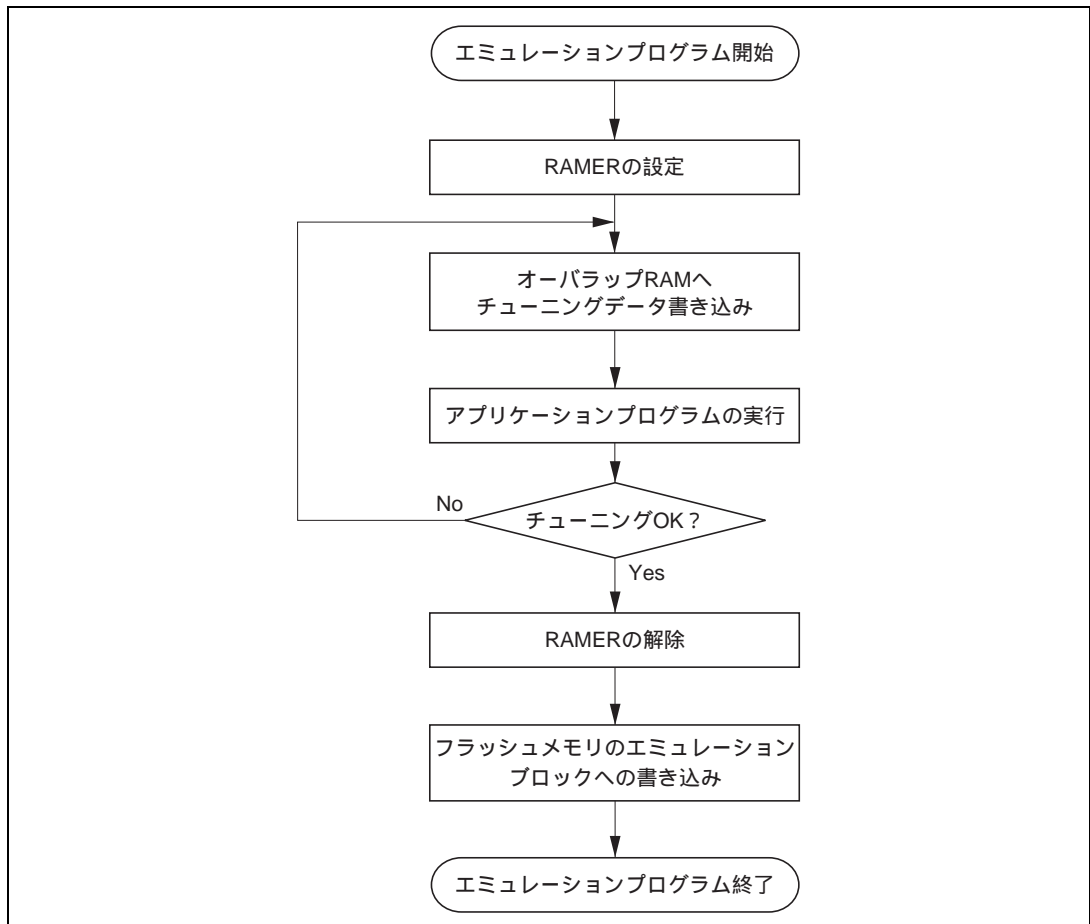


図 18.10 RAM によるエミュレーションフロー

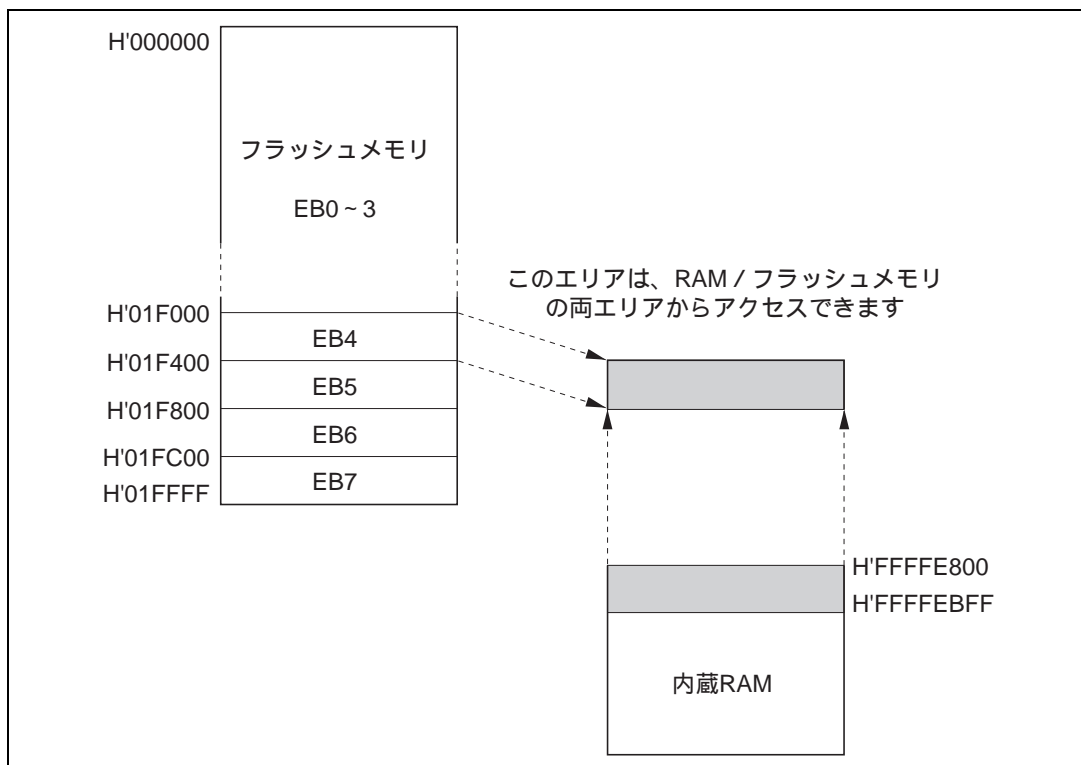


図 18.11 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB4) をオーバーラップさせる例

- リアルタイムな書き換えを必要とするエリア (EB4) にRAMの一部をオーバーラップさせるには、RAMERのRAMSビット、RAM1~0ビットを1、0、1に設定してください。
- リアルタイムな書き換えは、オーバーラップさせたRAMを使って行います。
- 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
- オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB4) に書き込みます。

- 【注】
- RAMS ビットを 1 にセットすると RAM1~0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P ビット、E ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
 - RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。

18.10 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラムモード (ブートモード、ユーザプログラムモード) 時は、書き込み / 消去動作 (RAM エミュレーションを含む) を最優先とするため、NMI の入力を禁止してください。

18.11 フラッシュメモリのライターモード

プログラム / データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしております。自動書き込みモード / 自動消去モード / ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み / 自動消去を実行した後に、その詳細な内部信号を出力します。

ライターモードでは、モード端子を PLL×2 モード (表 18.9 参照) に設定し、入力クロックとして 6MHz を入力してください。これにより本 LSI は、12MHz で動作します。

表 18.9 にライターモードの端子設定方法を示します。ライターモード時の端子名は「1.3.3 端子一覧」を参照してください。

表 18.9 PROM モードの端子設定方法

端子名	設定
モード端子 : MD3、MD2、MD1、MD0	1101 (PLL×2)
FWE 端子	ハイレベルを入力 (自動書き込み、自動消去時)
RES 端子	パワーオンリセット回路
XTAL、EXTAL、PLLV _{cc} 、PLLCAP、PLL _{V_{ss}} 端子	発振回路

18.11.1 ソケットアダプタの端子対応図

図 18.13 に示すようにソケットアダプタを LSI に取り付けてください。これによって、32 ピンにピン変換することができます。内蔵 ROM のメモリマップを図 18.12 に、ソケットアダプタの端子対応図を図 18.13 に示します。

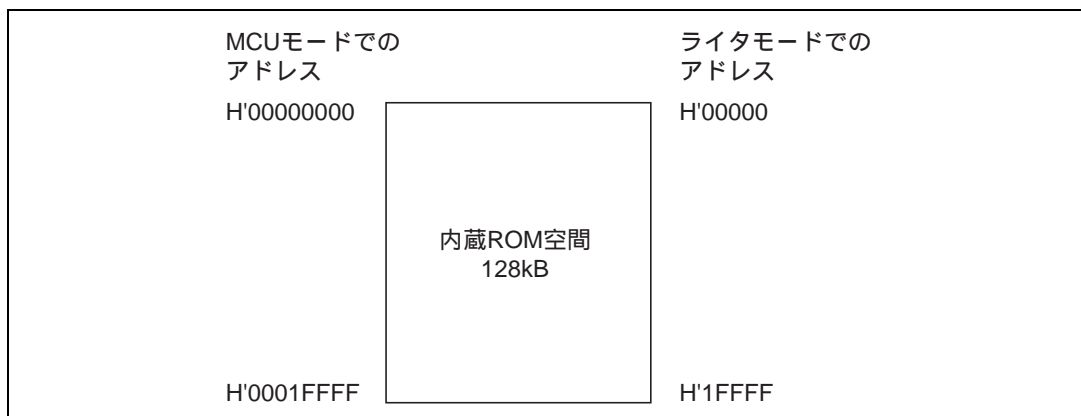


図 18.12 内蔵 ROM のメモリマップ

18. ROM (128kB 版)

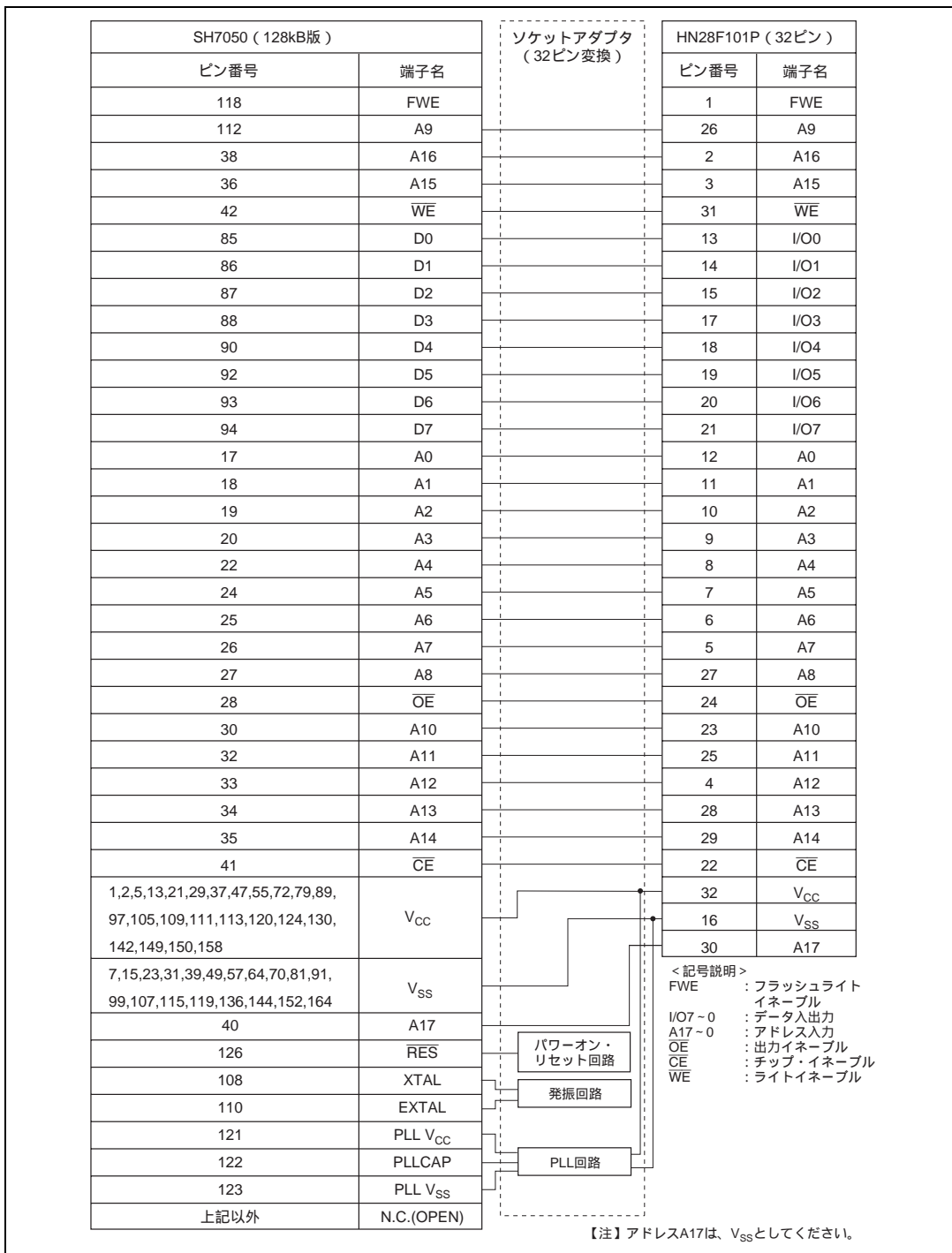


図 18.13 ソケットアダプタの端子対応図

18.11.2 ライタモードの動作

表 18.10 にライタモード時の各動作モードの設定方法、表 18.11 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は D6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 18.10 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	\overline{CE}	\overline{OE}	WE	D0 ~ D7	A0 ~ A17
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-z	X
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-z	X

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. *Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。
 3. 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。

表 18.11 ライタモード時の各コマンド

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

- 【注】
1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
 2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。

18.11.3 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。

表 18.12 メモリ読み出しモードへ遷移時の AC 特性
(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

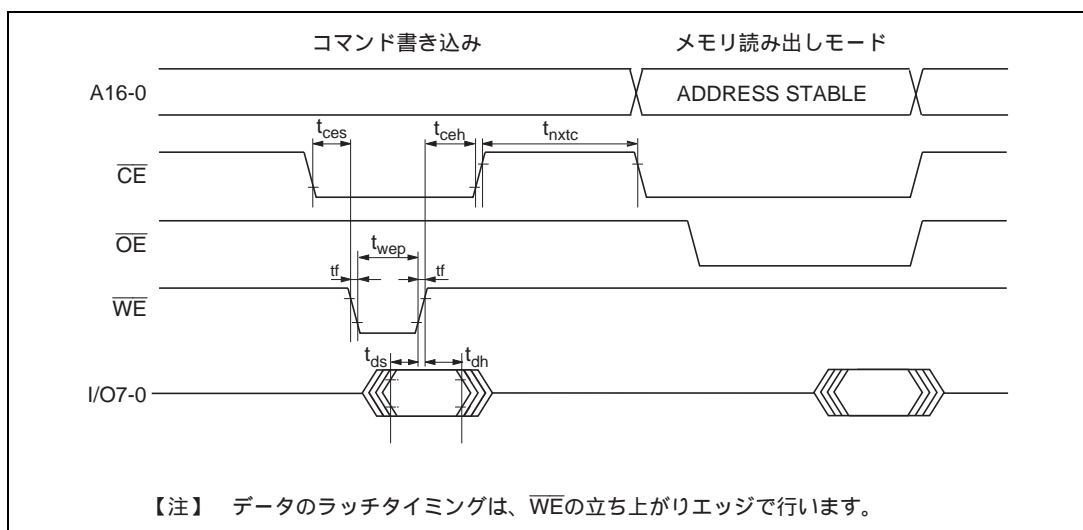


図 18.14 コマンド書き込み後メモリ読み出しタイミング波形

表 18.13 メモリ読み出しモードから他のモードへ遷移時の AC 特性
 (条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

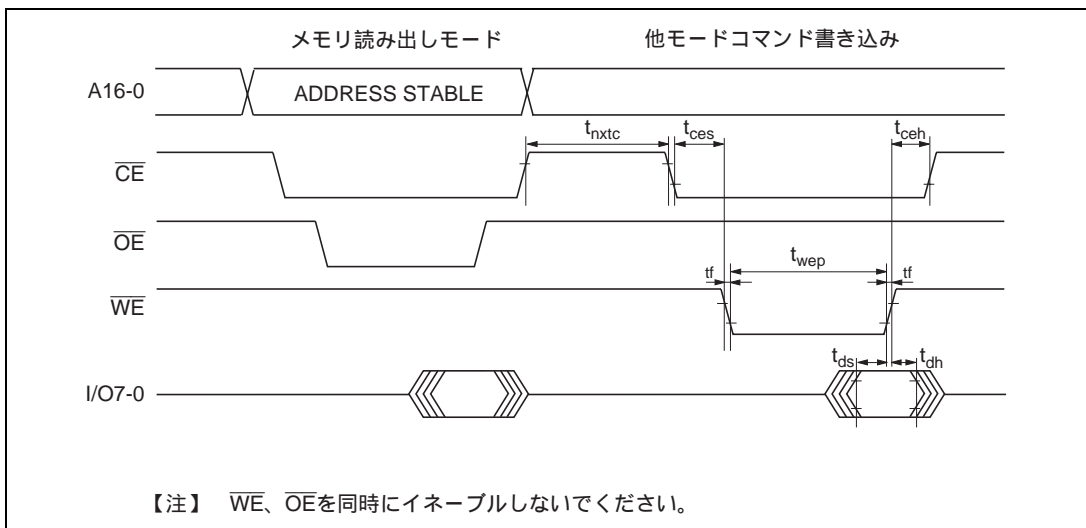


図 18.15 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 18.14 メモリ読み出しモード時の AC 特性
 (条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
アクセス時間	t_{acc}		20	μs	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

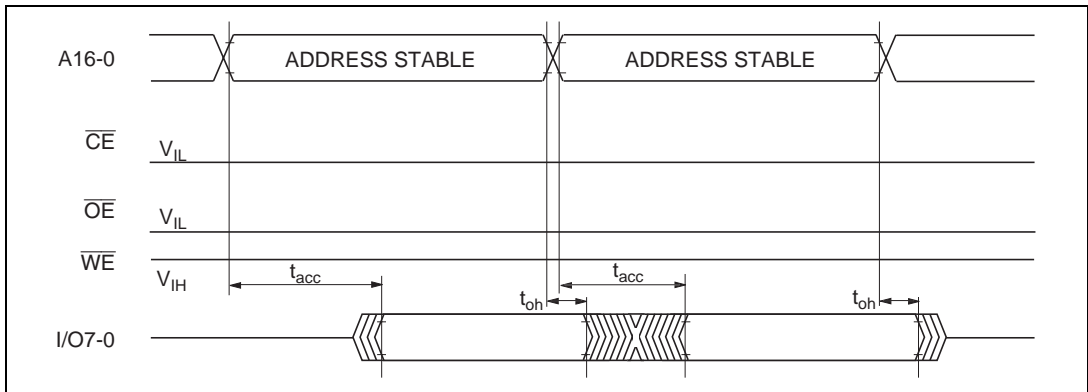


図 18.16 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形

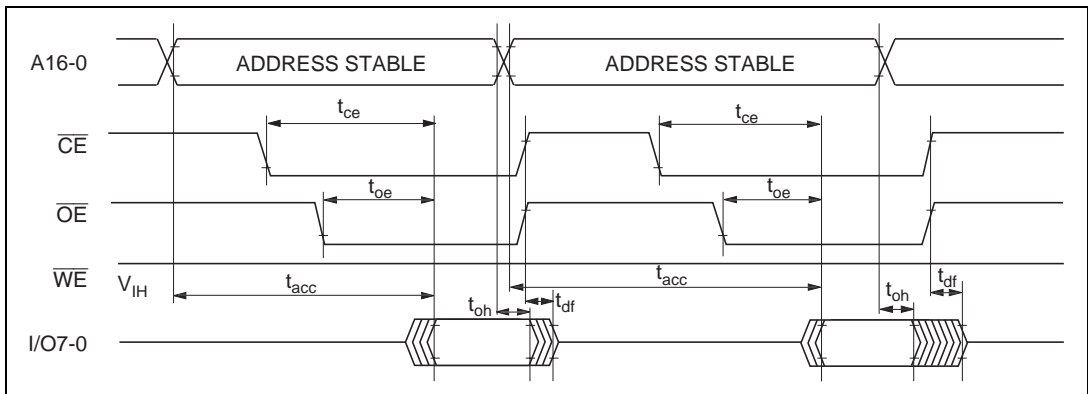


図 18.17 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

18.11.4 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位7ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います (図18.18)。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。既に書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み正常終了の確認には、D6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (D7番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングのD6、D7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 18.15 自動書き込みモード時の AC 特性
(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100		ns	
書き込み終了セットアップ時間	t_{pnh}	100		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

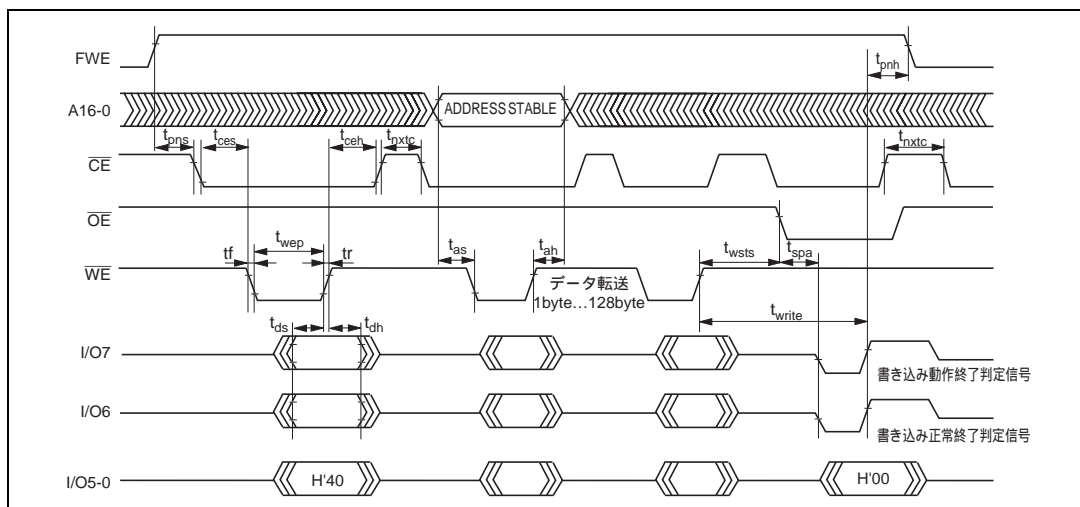


図 18.18 自動書き込みモードのタイミング波形

18.11.5 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認には、D6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます（D7番のステータスポーリングは、自動消去動作終了判定用端子です）。
- (4) ステータスポーリングのD6、D7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 18.16 自動消去モード時の AC 特性
 (条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100		ns	
消去終了セットアップ時間	t_{enrh}	100		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

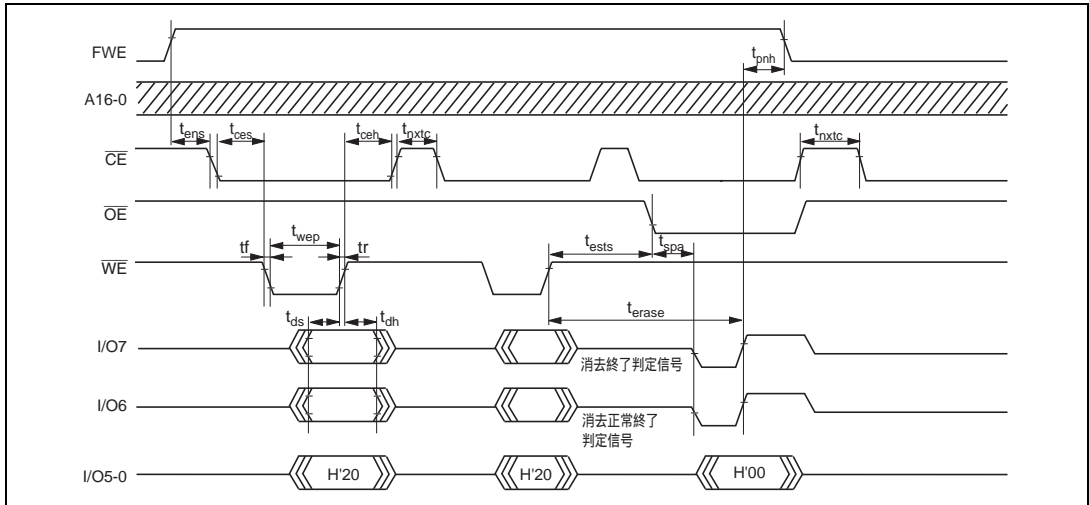


図 18.19 自動消去モードのタイミング波形

18.11.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 18.17 ステータス読み出しモード時の AC 特性
(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
OE 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
CE 出力遅延時間	t_{ce}		150	ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

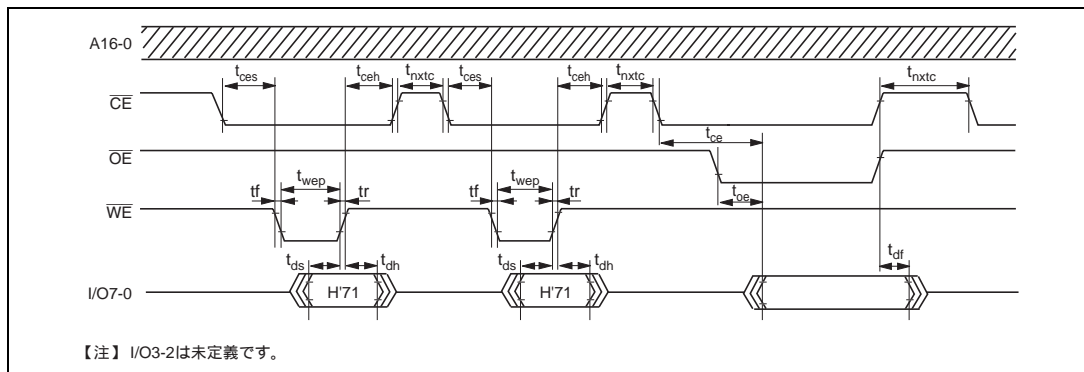


図 18.20 ステータス読み出しモードのタイミング波形

表 18.18 ステータス読み出しモードのリターンコマンド

ピン名	D7	D6	D5	D4	D3	D2	D1	D0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンド エラー:1 その他:0	書き込み エラー:1 その他:0	消去 エラー:1 その他:0	-	-	回数オーバ 時:1 その他:0	有効アドレ ス エラー:1 その他:0

【注】 D2、3は未定です。

18.11.7 ステータスポーリング

- (1) D7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) D6のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 18.19 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
D7	0	1	0	1
D6	0	0	1	1
D0~5	0	0	0	0

18.11.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 18.20 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除 (発振安定時間)	t_{osc1}	10		ms	
ライタモードセットアップ時間	t_{bmV}	10		ms	
V_{CC} ホールド時間	t_{dwn}	0		ms	

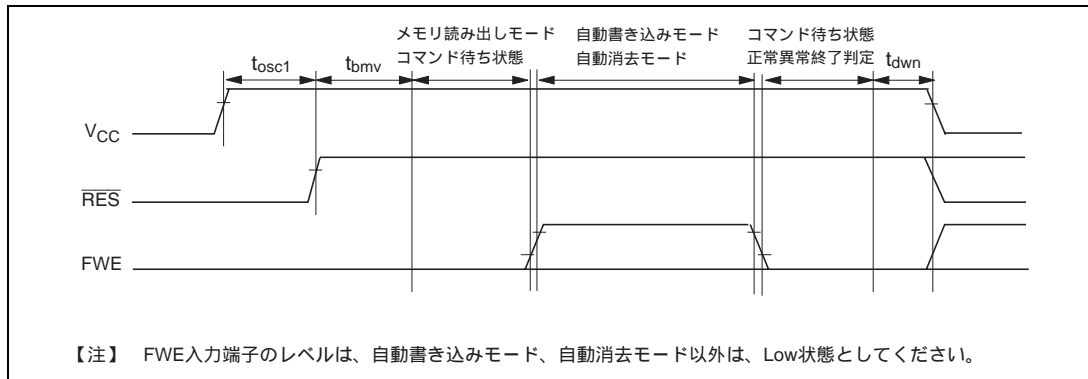


図 18.21 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

18.11.9 メモリ書き込み注意事項

- (1) 既書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、PROMモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】
1. ルネサス出荷品の初期状態は、消去状態。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1回のみとします。既書き込まれたアドレスブロックへの追加書き込みは行えません。

18.12 F-ZTAT マイコンのマスク ROM 化時の注意事項

F-ZTAT 版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク版と F-ZTAT 版ではフラッシュ ROM 用内部レジスタをアクセスした場合、リード値が下記のように異なります。

レジスタ名称	ビット名称	ステータス	
		F-ZTAT 版	マスク版
FLMCR1	FWE	0: アプリケーション状態	0: (読み出されません)
		1: 書き換え状態	1: アプリケーション状態

【注】 F-ZTAT 版製品、ROM サイズの異なる同一シリーズのマスク ROM 版製品はすべて対象となります。

19. ROM (256kB 版)

19.1 特長

SH7051 には 256kB のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

フラッシュメモリの4種類の動作モード

- プログラムモード
- イレースモード
- プログラムベリファイモード
- イレースベリファイモード

書き込み / 消去方式

書き込みは32バイト同時書き込みを行います。消去はブロック分割消去 (1ブロック単位) で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では1kB、28kB、32kBのブロック単位で任意に設定することができます。

書き込み / 消去時間

フラッシュメモリの書き込み時間は、32バイト同時書き込みにて10ms (typ.)、1バイトあたり換算にて300 μ s (typ.)、消去時間は、100ms (typ.) です。

書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う2種類のモードがあります。

- ブートモード
- ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートとを自動で合わせることができます。

RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

ソフトウェアプロテクトモードとハードウェアプロテクトモードの2種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。

ライターモード

フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラムモード以外にPROMライターを用いたライターモードがあります。

19.2 概要

19.2.1 ブロック図

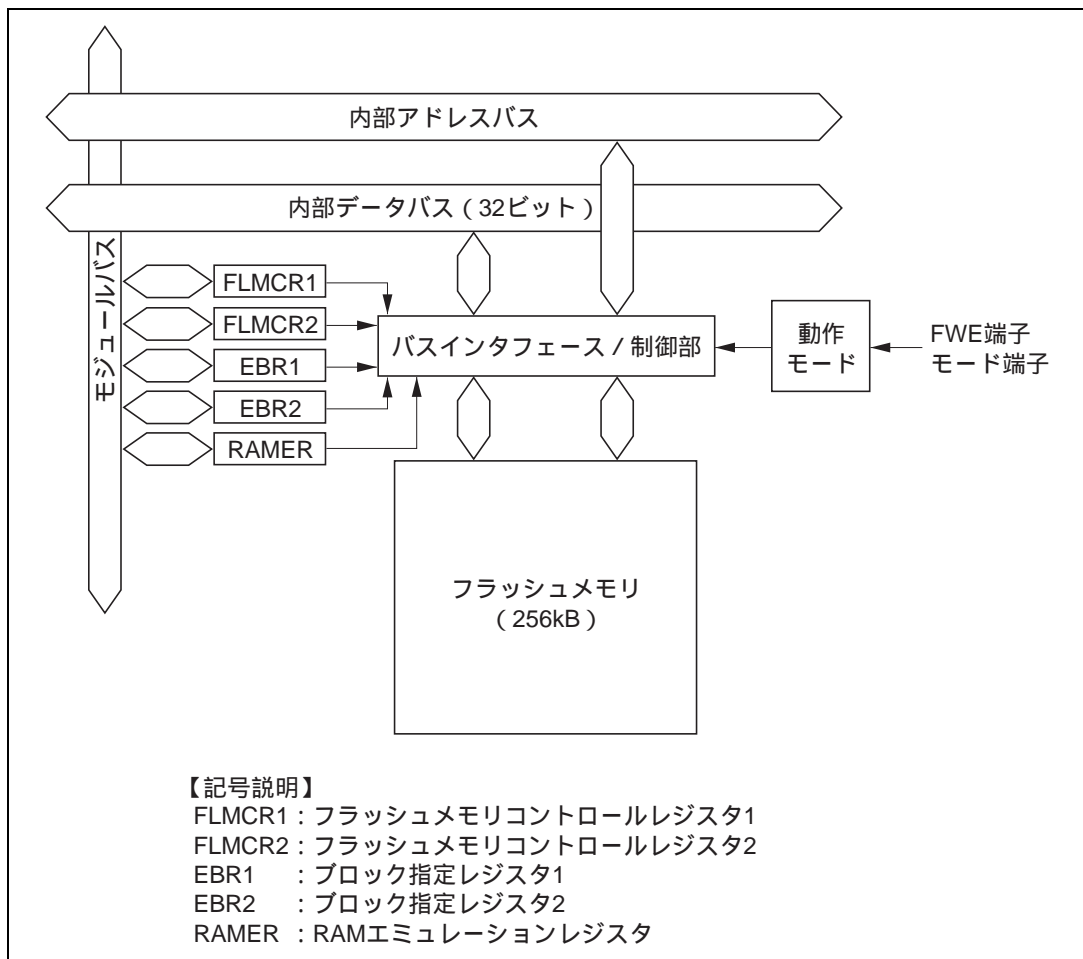


図 19.1 フラッシュメモリのブロック図

19.2.2 モード遷移図

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは図 19.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。

フラッシュメモリへの書き込み / 消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

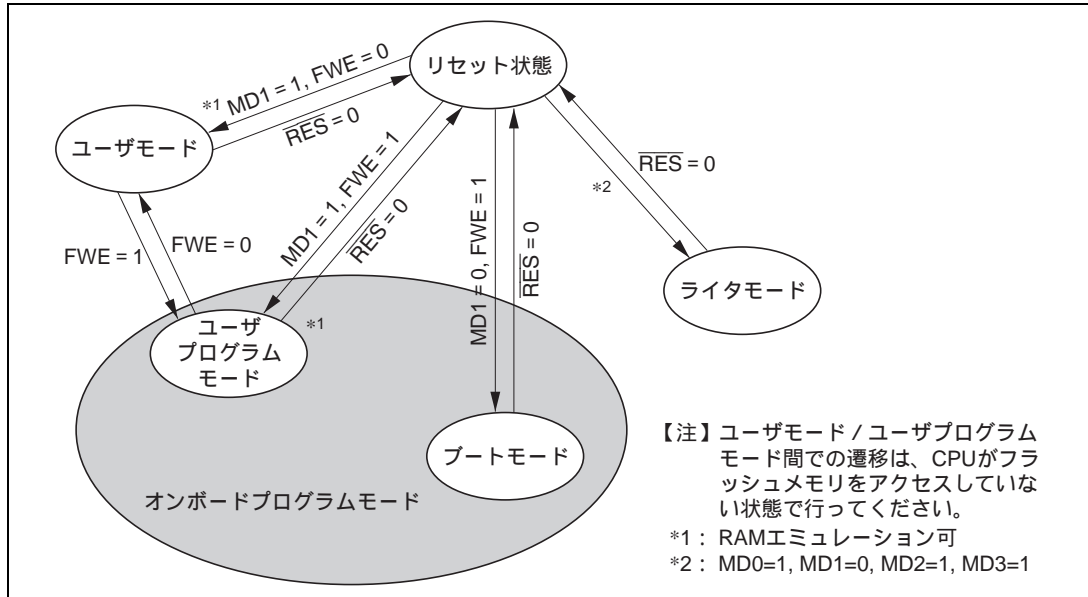
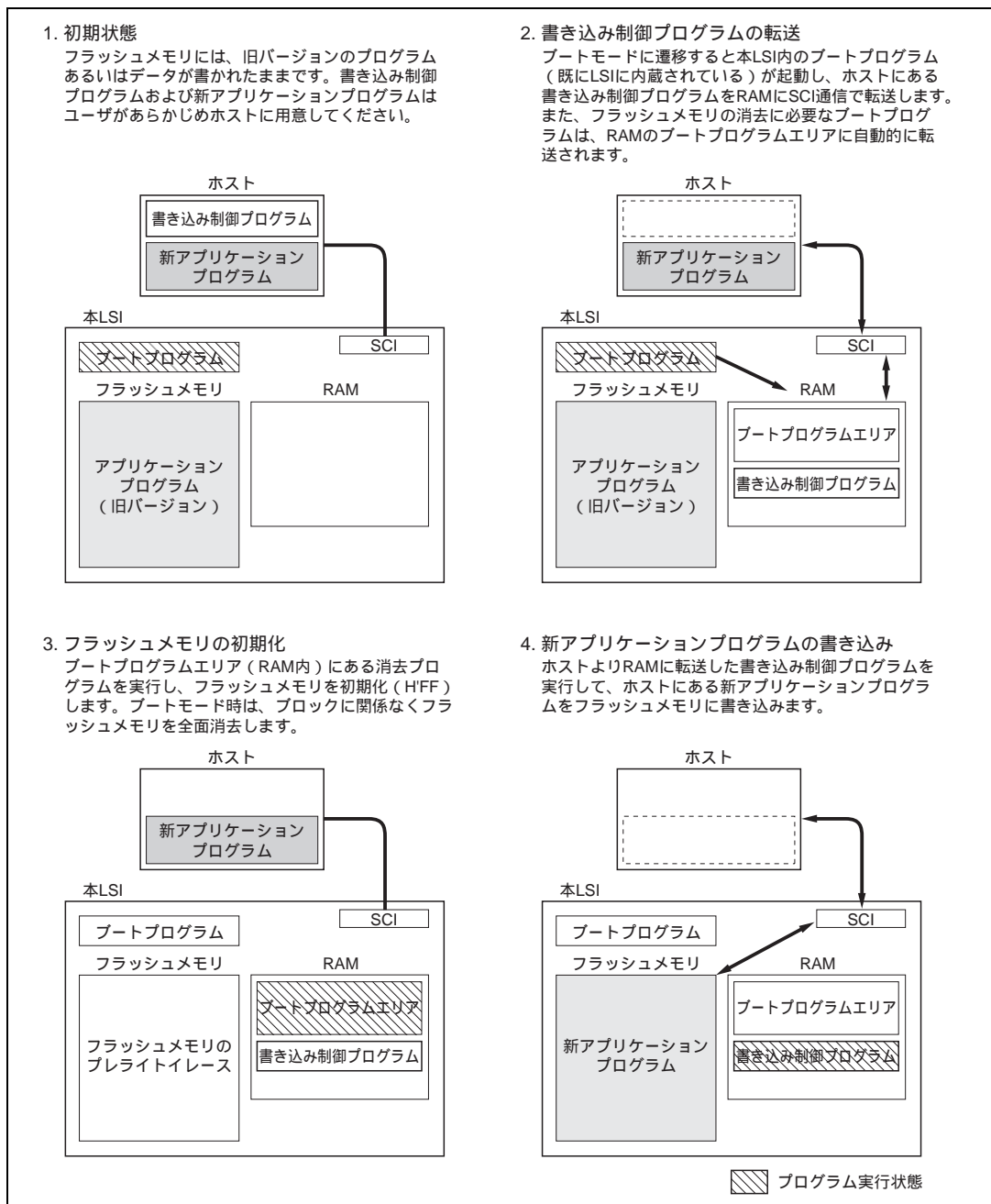


図 19.2 フラッシュメモリに関する状態遷移

19.2.3 オンボードプログラムモード

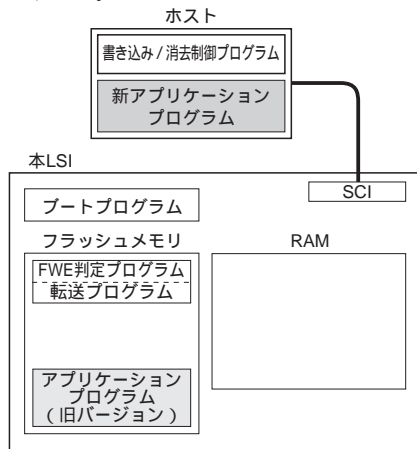
(1) ブートモード



(2) ユーザプログラムモード

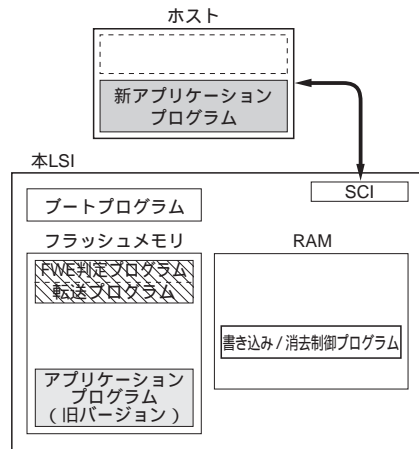
1. 初期状態

(1) ユーザプログラムモードに遷移したことを確認するFWE判定プログラム、(2)フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3)書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



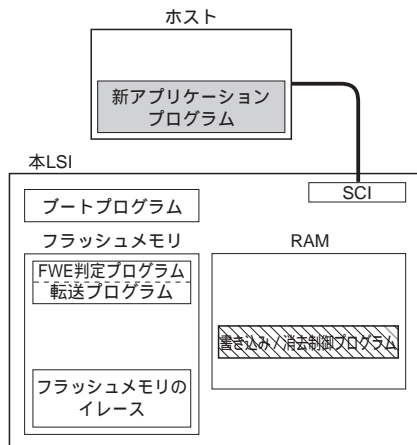
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに遷移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



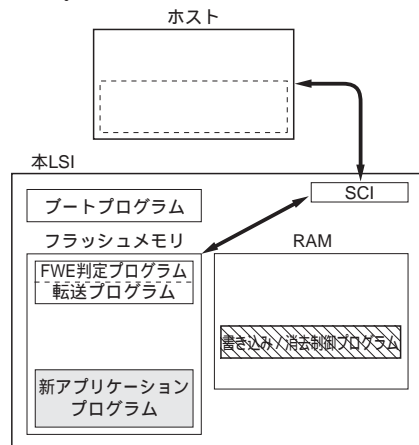
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (HFF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



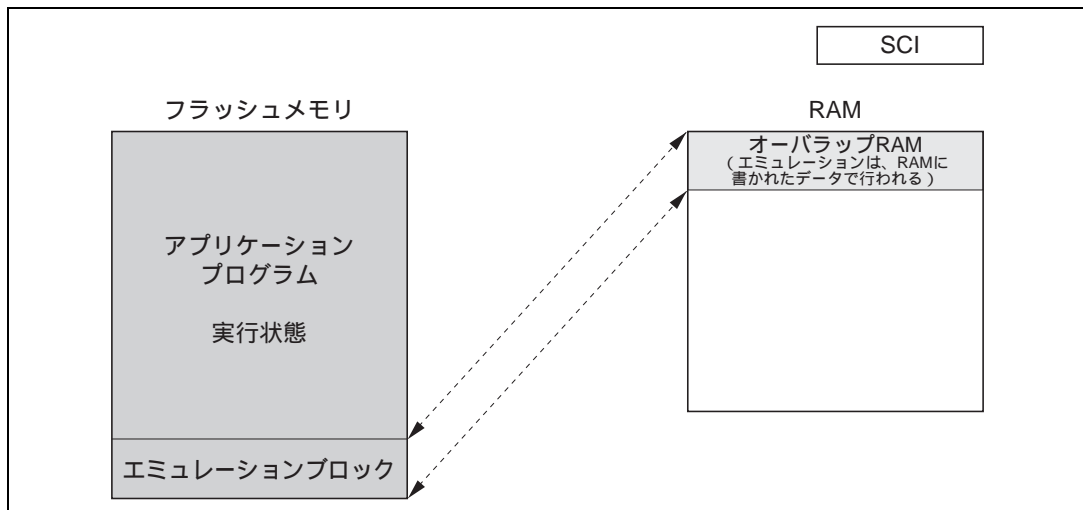
 プログラム実行状態

19.2.4 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

<ユーザモード>

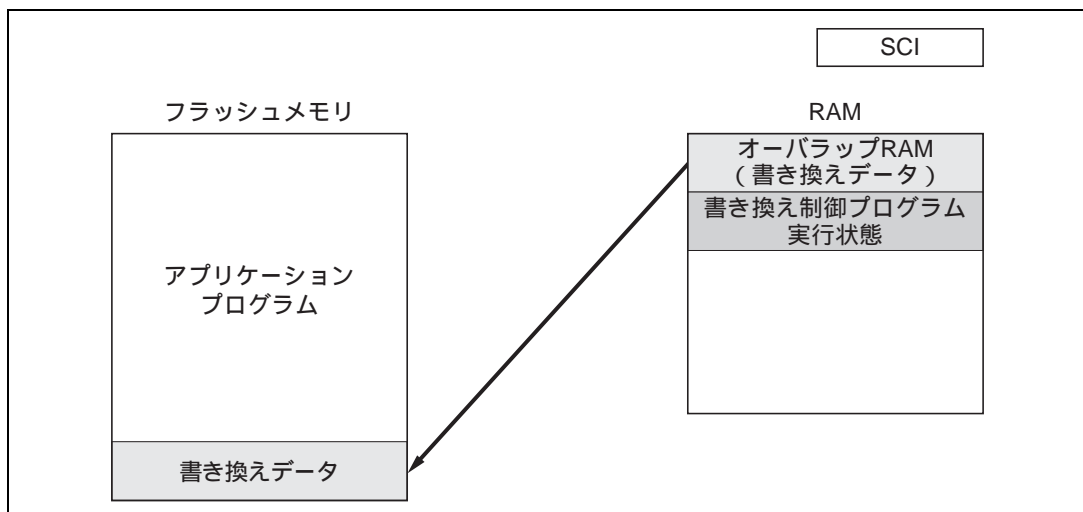
<ユーザプログラムモード>



オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

<ユーザプログラムモード>



19.2.5 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2) (3)

(1) イレース/イレースベリファイ

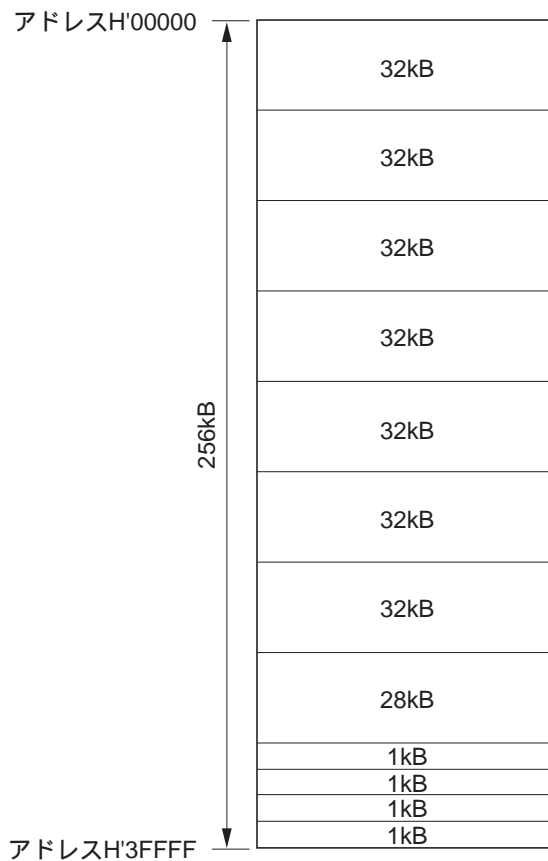
(2) プログラム/プログラムベリファイ

(3) エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

19.2.6 ブロック分割法

32kB (7 ブロック)、28kB (1 ブロック)、1kB (4 ブロック) に分割されています。



19.3 端子構成

フラッシュメモリは表 19.1 に示す端子により制御されます。

表 19.1 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 3	MD3	入力	本 LSI の動作モードを設定
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

19.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 19.2 に示します。

表 19.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス	アクセスサイズ
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W*1	H'00*2	H'FFFF8580	8
フラッシュメモリコントロールレジスタ 2	FLMCR2	R/W*1	H'00*3	H'FFFF8581	8
ブロック指定レジスタ 1	EBR1	R/W*1	H'00*3	H'FFFF8582	8
ブロック指定レジスタ 2	EBR2	R/W*1	H'00*3	H'FFFF8583	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFF8628	8、16、32

- 【注】
1. FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビット、RAMER は 16 ビットのレジスタです。
 2. FLMCR1、FLMCR2、EBR1、EBR2 はバイトアクセスのみ有効で、3 サイクルとなります。RAMER はバイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。
 3. RAMER にロングワードで書き込み動作を行う場合、下位ワード (H'FFFF8630 番地) には常に 0 を書き込んでください。0 以外の値を書き込んだ場合、動作の保証はできません。
- *1 内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット (FWE = 1) されていないときも書き込みは無効です。
- *2 FWE 端子にハイレベルが入力されているときの初期値は H'80 です。
- *3 FWE 端子にローレベルが入力されているとき、あるいはハイレベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

19.5 レジスタの説明

19.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'00000 ~ H'1FFFF に対してプログラムベリファイモードイレースベリファイモードに遷移させるには、FWE = 1 時に SWE = 1 をセット後、EV1 ビットまたは PV1 ビットをセットします。アドレス H'00000 ~ H'1FFFF に対して、プログラムモードへ遷移させるには、FWE = 1 時に、SWE = 1 をセット後、PSU1 ビットをセットし、最後に P1 ビットをセットします。アドレス H'00000 ~ H'1FFFF に対してイレースモードへ遷移するには、FWE = 1 時に、SWE = 1 をセット後、ESU1 ビットをセットし、最後に E1 ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子にハイレベルが入力されているときの初期値は H'80 です。ローレベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の SWE、ESU1、PSU1、EV1、PV1 ビットへの書き込みは FWE = 1、SWE = 1 のとき、E1 ビットへの書き込みは FWE = 1、SWE = 1、ESU1 = 1 のとき、P1 ビットへの書き込みは FWE = 1、SWE = 1、PSU1 = 1 のときのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE	ESU1	PSU1	EV1	PV1	E1	P1
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトするビットです。

ビット 7	説明
FWE	
0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子にハイレベルが入力されているとき

ビット 6 : ソフトウェアライトイネーブルビット (SWE)

フラッシュメモリの有効または無効を選択するビットです (ビット 5 ~ 0、FLMCR2 の 5 ~ 0 ビット、EBR1 の 3 ~ 0 ビット、EBR2 の 7 ~ 0 ビットをセットするときにセットしてください)。

ビット 6	説明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE = 1 のとき

19. ROM (256kB 版)

ビット5：イレースセットアップビット1 (ESU1)

イレースモードへの遷移の準備をするビットです (対象アドレス：H'00000～H'1FFFF) (SWE、PSU1、EV1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット5	説 明
ESU1	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット4：プログラムセットアップビット1 (PSU1)

プログラムモードへの遷移の準備をするビットです (対象アドレス：H'00000～H'1FFFF) (SWE、ESU1、EV1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット4	説 明
PSU1	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット3：イレースベリファイ1 (EV1)

イレースベリファイモードへの遷移、解除を選択するビットです (対象アドレス：H'00000～H'1FFFF) (SWE、ESU1、PSU1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット3	説 明
EV1	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ1 (PV1)

プログラムベリファイモードへの遷移、解除を選択するビットです (対象アドレス：H'00000～H'1FFFF) (SWE、ESU1、PSU1、EV1、E1、P1 ビットを同時に設定しないでください)。

ビット2	説 明
PV1	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット1：イレース1 (E1)

イレースモードへの遷移、解除を選択するビットです(対象アドレス:H'00000~H'1FFFF)(SWE、ESU1、PSU1、EV1、PV1、P1 ビットを同時に設定しないでください)。

ビット1	説明
E1	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU1 = 1 のとき

ビット0：プログラム (P1)

プログラムモードへの遷移、解除を選択するビットです(対象アドレス:H'00000~H'1FFFF)(SWE、PSU1、ESU1、EV1、PV1、E1 ビットを同時に設定しないでください)。

ビット0	説明
P1	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU1 = 1 のとき

19.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'20000 ~ H'3FFFF に対してプログラムベリファイモードイレースベリファイモードに遷移させるには、FWE (FLMCR1) = 1 時に SWE (FLMCR1) = 1 をセット後、EV2、PV2 をセットします。アドレス H'20000 ~ H'3FFFF に対してプログラムモードへ遷移させるには、FWE (FLMCR1) = 1 時に、SWE (FLMCR1) = 1 をセット後、PSU2 ビットをセットし、最後に P2 ビットをセットします。アドレス H'20000 ~ H'3FFFF に対してイレースモードへ遷移させるには、FWE (FLMCR1) = 1 時に、SWE (FLMCR1) = 1 をセット後、ESU2 ビットをセットし、最後に E2 ビットをセットします。FLMCR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子にローレベルが入力されているとき、および FWE 端子にハイレベルが入力されていても FLMCR2 の SWE が設定されていないときは H'00 に初期化されます(ただし、FLER はリセット、ハードウェアスタンバイモードでのみ初期化されます)。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR2 の ESU2、PSU2、EV2、PV2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE (FLMCR1) = 1 のとき、E2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE (FLMCR1) = 1、ESU2 = 1 のとき、P2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE (FLMCR1) = 1、PSU2 = 1 のときのみ有効です。

ビット：	7	6	5	4	3	2	1	0
	FLER	-	ESU2	PSU2	EV2	PV2	E2	P2
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

19. ROM (256kB 版)

ビット7：フラッシュメモリエラー (FLER)

フラッシュメモリへ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト (エラープロテクト) が無効 [クリア条件] リセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト (エラープロテクト) が有効 [セット条件] 「19.8.3 エラープロテクト」参照

ビット6：予約ビット

読み出すと常に0が読み出されます。

ビット5：イレースセットアップビット2 (ESU2)

イレースモードへの遷移の準備をするビットです (対象アドレス：H'20000 ~ H'3FFFF) (PSU2、EV2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット5	説明
ESU2	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット4：プログラムセットアップビット2 (PSU2)

プログラムモードへの遷移の準備をするビットです (対象アドレス：H'20000 ~ H'3FFFF) (ESU2、EV2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット4	説明
PSU2	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット3：イレースベリファイ2 (EV2)

イレースベリファイモードへの遷移、解除を選択するビットです (対象アドレス：H'20000 ~ H'3FFFF) (ESU2、PSU2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット3	説明
EV2	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ2 (PV2)

プログラムベリファイモードへの遷移、解除を選択するビットです(対象アドレス:H'20000~H'3FFFF)(ESU2、PSU2、EV2、E2、P2ビットを同時に設定しないでください)。

ビット2	説明
PV2	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット1：イレース2 (E2)

イレースモードへの遷移、解除を選択するビットです(対象アドレス:H'20000~H'3FFFF)(ESU2、PSU2、EV2、PV2、P2ビットを同時に設定しないでください)。

ビット1	説明
E2	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU2 = 1 のとき

ビット0：プログラム2 (P2)

プログラムモードへの遷移、解除を選択するビットです(対象アドレス:H'20000~H'3FFFF)(ESU、PSU2、EV2、PV2、E2ビットを同時に設定しないでください)。

ビット0	説明
P2	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU2 = 1 のとき

19.5.3 ブロック指定レジスタ1 (EBR1)

フラッシュメモリの消去エリアをブロックごとに設定する8ビットのレジスタです。EBR1は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE端子にローレベルが入力されているとき、およびFWE端子にハイレベルが入力されていてもFLMCR1のSWEが設定されていないときはH'00に初期化されます。EBR1の各ビットに1をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1はEBR2と合わせて1ビットのみ設定してください(2ビット以上を設定しないでください)。内蔵フラッシュメモリが無効のときは読み出すとH'00が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表19.3を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	EB3	EB2	EB1	EB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

19.5.4 ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子にローレベルが入力されているとき、および FWE 端子にハイレベルが入力されていても FLMCR1 の SWE が設定されていないときは H'00 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります (それ以外のブロックは、消去プロテクト状態になります)。EBR2 は EBR1 と合わせて 1 ビットのみ設定してください (2 ビット以上を設定しないでください)。内蔵フラッシュメモリが無効のときはリードすると H'00 が読み出され、ライトも無効となります。

フラッシュメモリのブロック分割方法は、表 19.3 を参照してください。

ビット :	7	6	5	4	3	2	1	0
	EB11	EB10	EB9	EB8	EB7	EB6	EB5	EB4
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.3 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (32kB)	H'000000 ~ H'007FFF
EB1 (32kB)	H'008000 ~ H'00FFFF
EB2 (32kB)	H'010000 ~ H'017FFF
EB3 (32kB)	H'018000 ~ H'01FFFF
EB4 (32kB)	H'020000 ~ H'027FFF
EB5 (32kB)	H'028000 ~ H'02FFFF
EB6 (32kB)	H'030000 ~ H'037FFF
EB7 (28kB)	H'038000 ~ H'03EFFF
EB8 (1kB)	H'03F000 ~ H'03F3FF
EB9 (1kB)	H'03F400 ~ H'03F7FF
EB10 (1kB)	H'03F800 ~ H'03FBFF
EB11 (1kB)	H'03FC00 ~ H'03FFFF

19.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAM の一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。リセット、またはハードウェアスタンバイモードのときに H'0000 に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラミングモードで行ってください。(詳細は、「8. パスステートコントローラ」を参照してください。)

フラッシュメモリエリアの分割法は、表 19.4 を参照してください。なお、エミュレーション機能を実際に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット :	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	RAMS	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット 15~3 : 予約ビット

読み出すと常に 0 が読み出されます。

ビット 2 : RAM セレクト (RAMS)

RAM によるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです。RAMS = 1 のときは、フラッシュメモリ全ブロックの書き込み / 消去プロテクト状態となります。

ビット 2	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

ビット 1、0 : フラッシュメモリエリア選択

ビット 2 と共に使用し、RAM と重ね合わせるフラッシュメモリのエリアを選択します。(表 19.4 参照)

表 19.4 フラッシュメモリエリアの分割

アドレス	ブロック名	RAMS	RAM1	RAM0
H'FFD800 ~ H'FFDBFF	RAM エリア 1kB	0	*	*
H'03F000 ~ H'03F3FF	EB8 (1kB)	1	0	0
H'03F400 ~ H'03F7FF	EB9 (1kB)	1	0	1
H'03F800 ~ H'03FBFF	EB10 (1kB)	1	1	0
H'03FC00 ~ H'03FFFF	EB11 (1kB)	1	1	1

19.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み / 消去 / ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 19.5 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 19.2 を参照してください。

表 19.5 オンボードプログラミングモードの設定方法

モード名		PLL 通倍比	FWE	MD3	MD2	MD1	MD0
ブートモード	拡張モード	×1	1	0	0	0	0
	シングルチップモード			0	0	0	1
	拡張モード	×2		0	1	0	0
	シングルチップモード			0	1	0	1
	拡張モード	×4		1	0	0	0
	シングルチップモード			1	0	0	1
ユーザプログラムモード	拡張モード	×1	1	0	0	1	0
	シングルチップモード			0	0	1	1
	拡張モード	×2		0	1	1	0
	シングルチップモード			0	1	1	1
	拡張モード	×4		1	0	1	0
	シングルチップモード			1	0	1	1

19.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI はチャンネルの調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、予めマイコン内に組み込まれているブートプログラムを起動し、ホストに用意した書き込み制御プログラムを SCI のチャンネル 1 を使って本 LSI へ順次送信します。本 LSI では、SCI のチャンネル 1 で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

従って、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 19.3 にブートモード時のシステム構成図、図 19.4 にブートモード実行手順を示します。

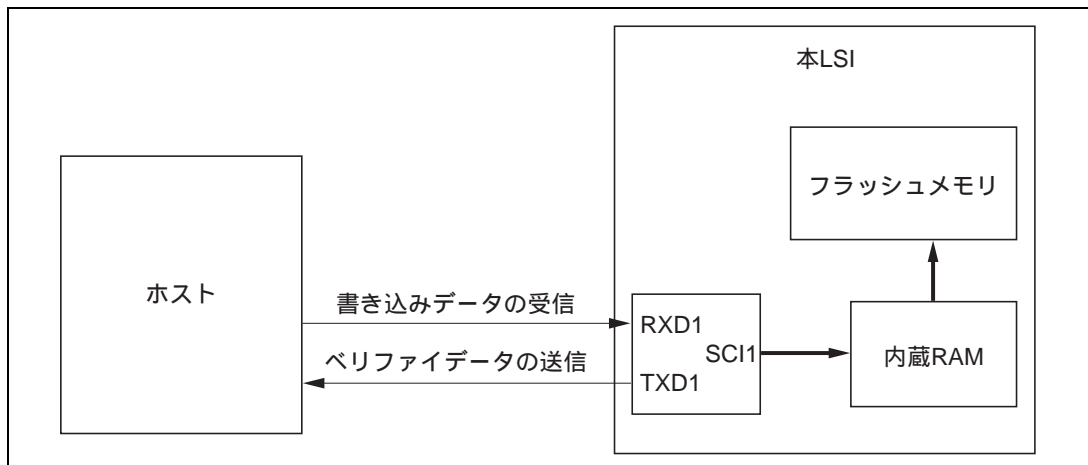


図 19.3 ブートモード時のシステム構成図

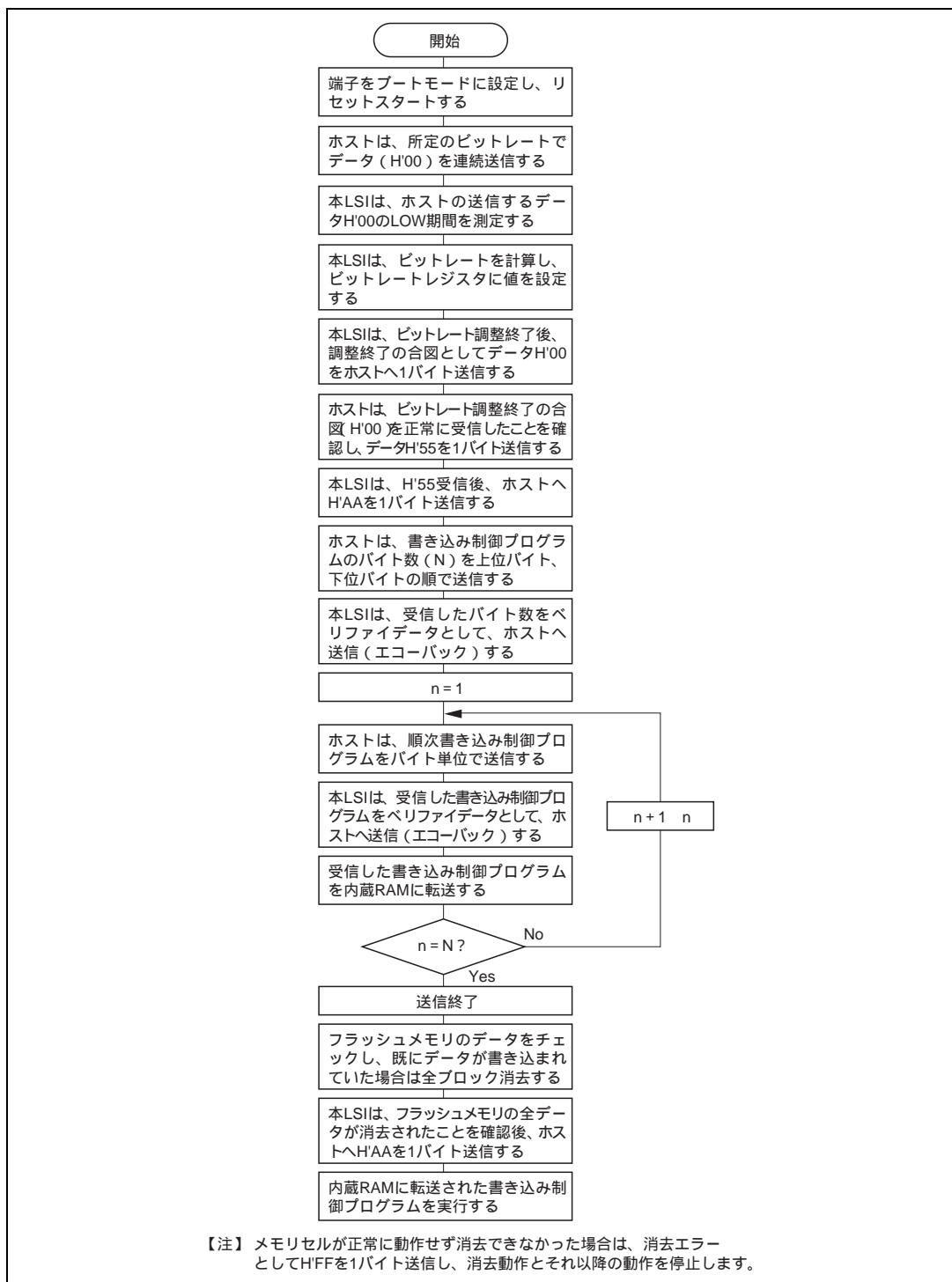
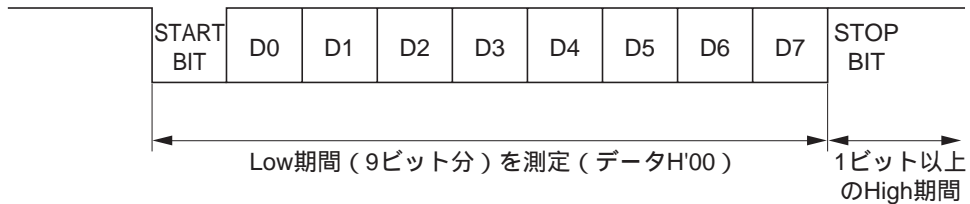


図 19.4 ブートモード実行手順

SCI ビットレートの自動合わせ込み動作



ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。この時の SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じません。正常に SCI を動作させるために、ホストの転送ビットレートを 4800bps、9600bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 19.6 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 19.6 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9600bps	8 ~ 20MHz
4800bps	4 ~ 20MHz

ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 19.5 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

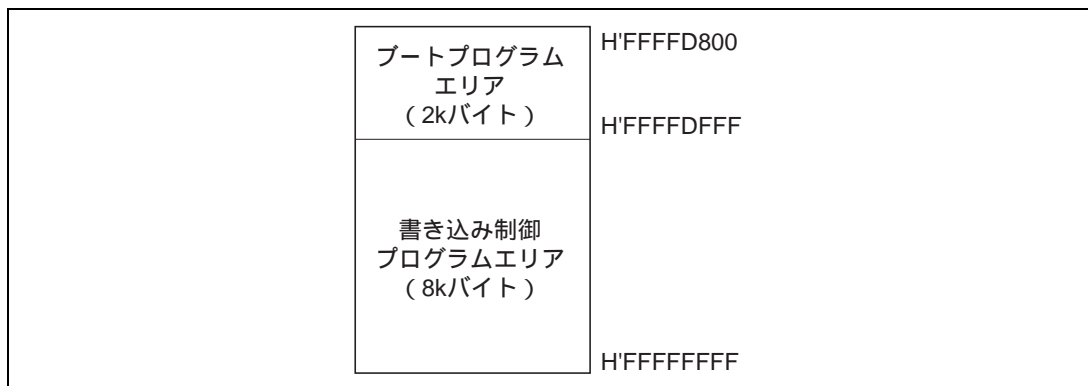


図 19.5 ブートモード時の RAM エリア

【注】 RAM 内に転送した書き込み制御プログラム実行状態に遷移するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに分岐後も RAM 内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。

19.6.2 ユーザプログラムモード

FWE を設定後、あらかじめユーザが用意した、書き込み / 消去制御プログラムに分岐し、実行してください。

フラッシュメモリへの書き込み / 消去を行っている間は、フラッシュメモリ自身を読み出すことはできませんので、書き込み / 消去を行う制御プログラムは内蔵 RAM / 外部メモリ上で実行するようにしてください。

フラッシュメモリに書き込む書き換え制御用プログラム (RAM に転送する場合) は、以下の手順を実行するようにしてください (図 19.6)。

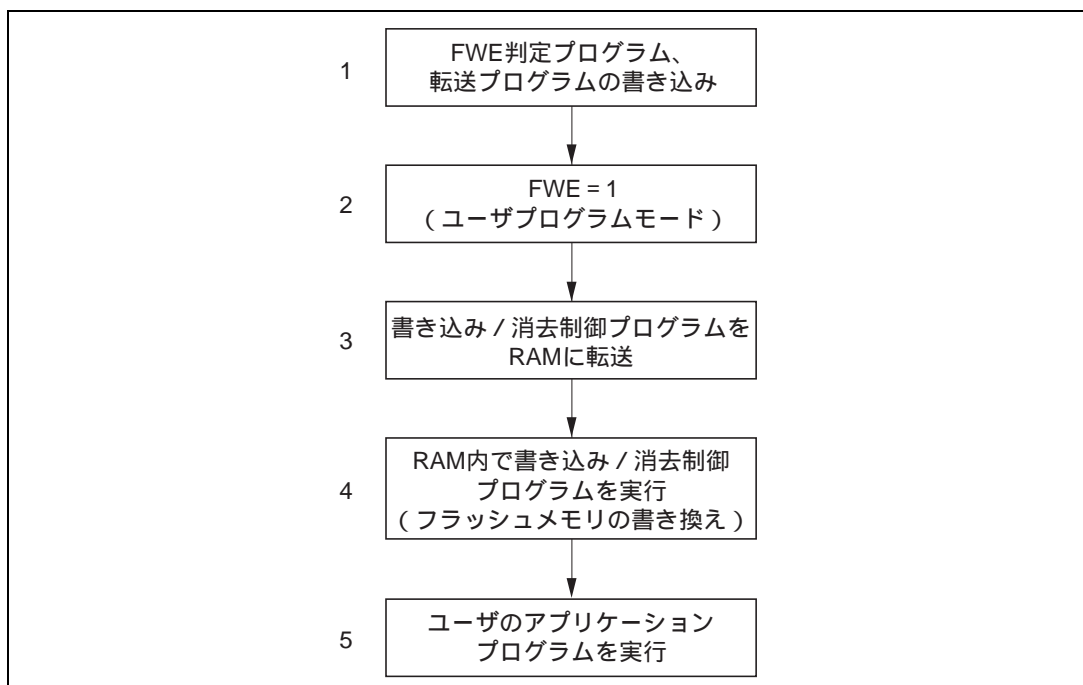


図 19.6 ユーザプログラムモードの実行手順

【注】 書き込み / 消去時は、ウォッチドッグタイマを起動し、プログラム暴走等に対応できるようにしてください。プログラム暴走等によって過剰書き込み / 過剰消去になるとメモリセルが正常に動作しないことがあります。

19.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。アドレス H'00000 ~ H'1FFFF に対しては、FLMCR1 の PSU1 ビット、ESU1 ビット、P1 ビット、E1 ビット、PV1 ビット、EV1 ビットをセットすることにより各動作モードに遷移し、アドレス H'20000 ~ H'3FFFF に対しては、FLMCR2 の PSU2 ビット、ESU2 ビット、P2 ビット、E2 ビット、PV2 ビット、EV2 ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。従って、フラッシュメモリの書き込み / 消去を制御するプログラム (書き込み制御プログラム) は、内蔵 RAM あるいは外部メモリ上に置き、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE、ESU1、PSU1、EV1、PV1、E1、P1 ビット、FLMCR2 の ESU2、PSU2、EV2、PV2、E2、P2 ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください (FWE = 0 のときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。既に書き込まれたアドレスへの追加書き込みは行わないでください。
 4. アドレス H'00000 ~ H'1FFFF と H'20000 ~ H'3FFFF は同時に書き込まないでください。同時に書き込んだ場合の動作は保証されません。

19.7.1 プログラムモード(対象アドレス H'00000 ~ H'1FFFF のとき、n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)

フラッシュメモリへのデータ / プログラムの書き込みを行う場合は、図 19.7 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、32 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、10 μ s 以上の時間が経過してから、32 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'20、H'40、H'60、H'80、H'A0、H'C0、H'E0 でなければなりません) に RAM 上の書き込みデータエリアの 32 バイトのデータを連続書き込みます (データ転送はバイト単位で 32 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。32 バイト以下の書き込みでも 32 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は 6.6ms にしてください。その後、FLMCRn の PSUn ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行い、50 μ s 以上の時間が経過してから、FLMCRn の Pn ビットをセットすることで、動作モードはプログラムモードへ遷移します。Pn ビットがセットされている時間がフラッシュメモリの書き込み時間となります。書き込み時間は、書き込みフロー中の表に従ってください。

19.7.2 プログラムベリファイモード (対象アドレス H'00000 ~ H'1FFFF のとき、n=1、対象アドレス H'20000 ~ H'3FFFF のとき、n=2)

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCRn の Pn ビットを解除後、(10) μ s 以上の時間が経過してから PSUn ビットを解除) します。ウォッチドックタイマを (10) μ s 以上の時間が経過してから解除し、FLMCRn の PVn ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (4) μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す (ベリファイデータは 32 ビットで読み出す) とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(2) μ s 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算 (図 19.7 参照) し、再書き込みデータを再書き込みデータエリアに転送します。32 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、(4) μ s 以上の待機時間を置いて、FLMCR1 の SWE ビットを解除してください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、(57) 回を超えないようにしてください。

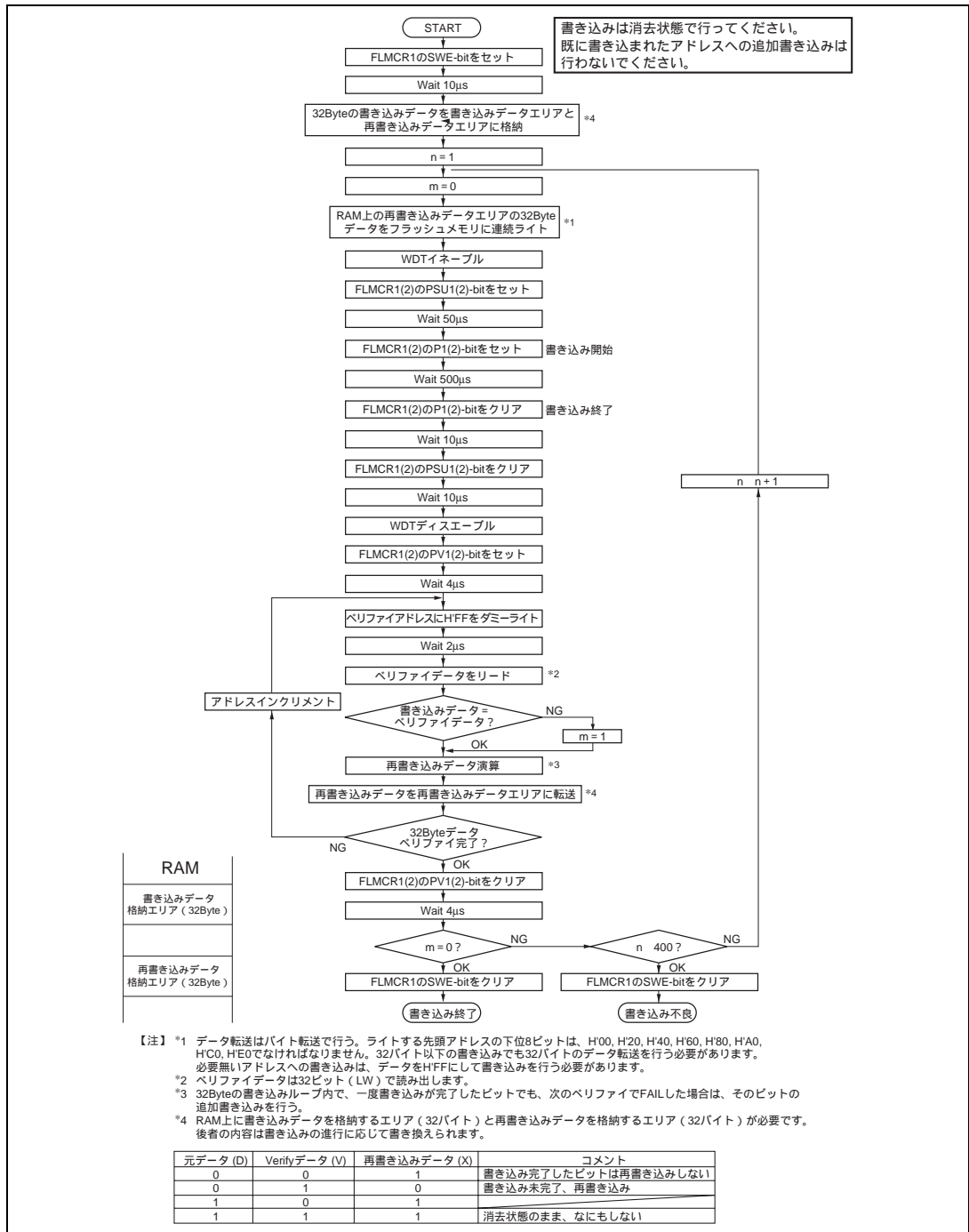


図 19.7 プログラム / プログラムペリファイフロー

19.7.3 イレースモード(対象アドレス H'00000 ~ H'1FFFF のとき、n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)

フラッシュメモリの消去は 1 ブロックごとに、図 19.8 に示すイレース/イレースベリファイフロー(単一ブロック消去)チャートに沿って行ってください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセット後、10 μ s 以上の時間が経過してから、ブロック指定レジスタ n (EBRn) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は 6.6ms に設定してください。その後、FLMCRn の ESUn ビットをセットすることで、イレースモードへの準備(イレースセットアップ)を行い、200 μ s 以上の時間が経過後、FLMCRn の En ビットをセットすることで、動作モードはイレースモードへ遷移します。En ビットが設定されている時間が消去時間となり、消去時間は 5ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト(消去するメモリの全メモリデータを ALL"0"にする)を行う必要はありません。

19.7.4 イレースベリファイモード(対象アドレス H'00000 ~ H'1FFFF のとき、n = 1、対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除(FLMCRn の En ビットを解除後、10 μ s 以上の時間が経過してから ESUn ビットを解除)し、ウォッチドックタイマを 10 μ s 以上の時間が経過してから解除し、FLMCRn の EVn ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは 20 μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード(ベリファイデータは 32 ビットで読み出す)するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、2 μ s おいてから行ってください。読み出したデータが消去(データが ALL"1")されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が 60 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、5 μ s 以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを 1 ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

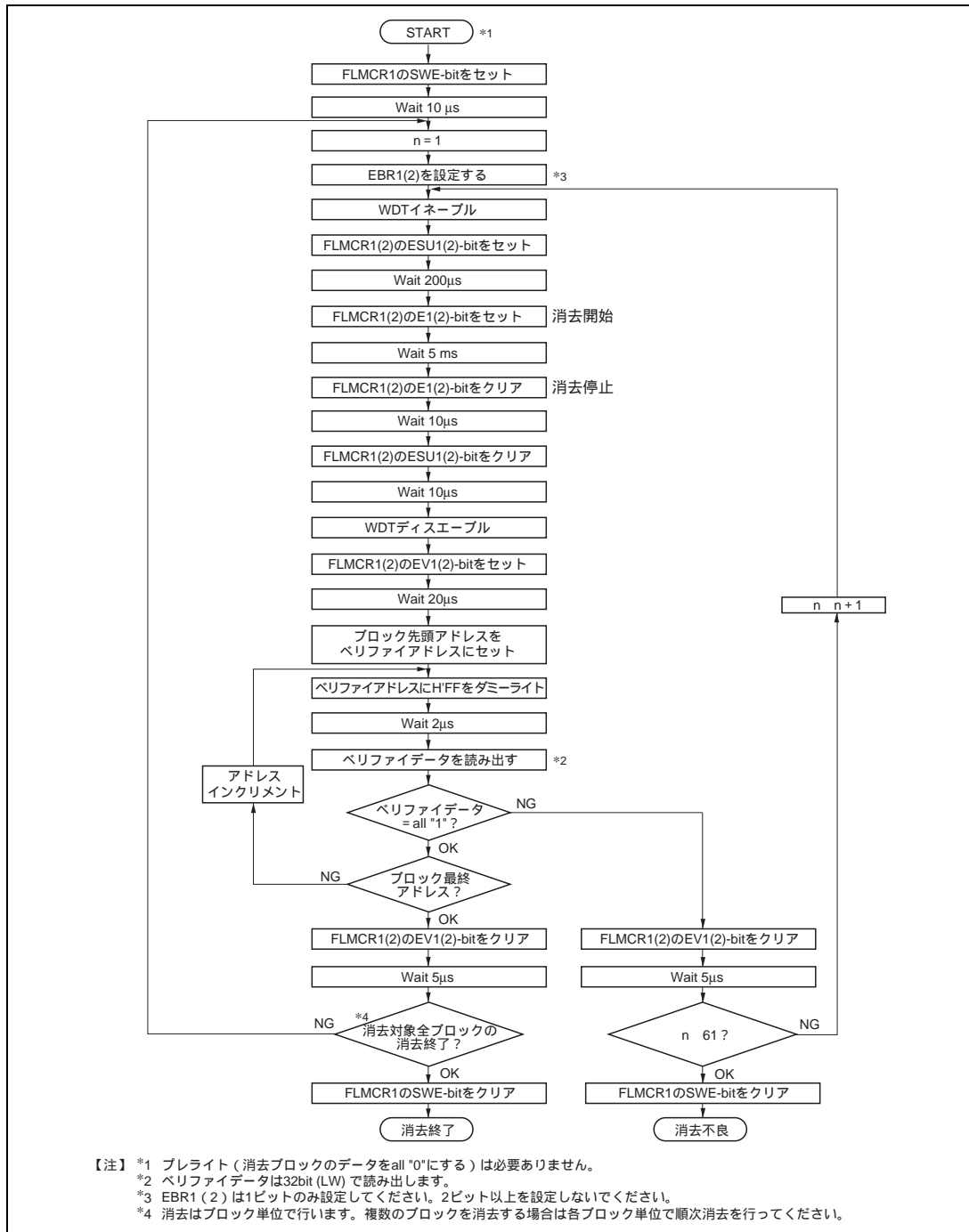


図 19.8 イレース/イレースペリファイフロー（単一ブロック消去）

19.8 プロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトの2種類あります。

19.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持します。(表 19.7 参照)

表 19.7 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子に Low レベルが入力されているときには、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 		
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> リセット (WDT のオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。 		

19.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P1 ビットまたは E2 ビット、またはフラッシュメモリコントロールレジスタ2 (FLMCR2) の P2 ビットまたは E2 ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 19.8 参照)

表 19.8 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。(内蔵 RAM/外部メモリ上で実行してください。) 		
ブロック指定プロテクト	<ul style="list-style-type: none"> ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	
エミュレーションプロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。 		

19.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2のFLERビットが"1"にセットされ、エラープロテクト状態へ遷移します。この時、FLMCR1、FLMCR2、EBR1、EBR2の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1ビット、P2ビット、E1ビット、E2ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV1ビット、PV2ビット、EV1ビット、EV2ビットの設定は有効なので、ペリファイモードへの遷移は可能です。

FLERビットのセット条件は、

- (1) 書き込み/消去中にフラッシュメモリを読み出したとき(ベクタリードおよび命令フェッチを含む)
- (2) 書き込み/消去中の例外処理(リセットは除く)開始直後
- (3) 書き込み/消去中にSLEEP命令(ソフトウェアスタンバイを含む)を実行したとき
- (4) 書き込み/消去中にバス開放したとき

エラープロテクト解除は、リセットまたはハードウェアスタンバイのみで行われます。

図 19.9 にフラッシュメモリの状態遷移図を示します。

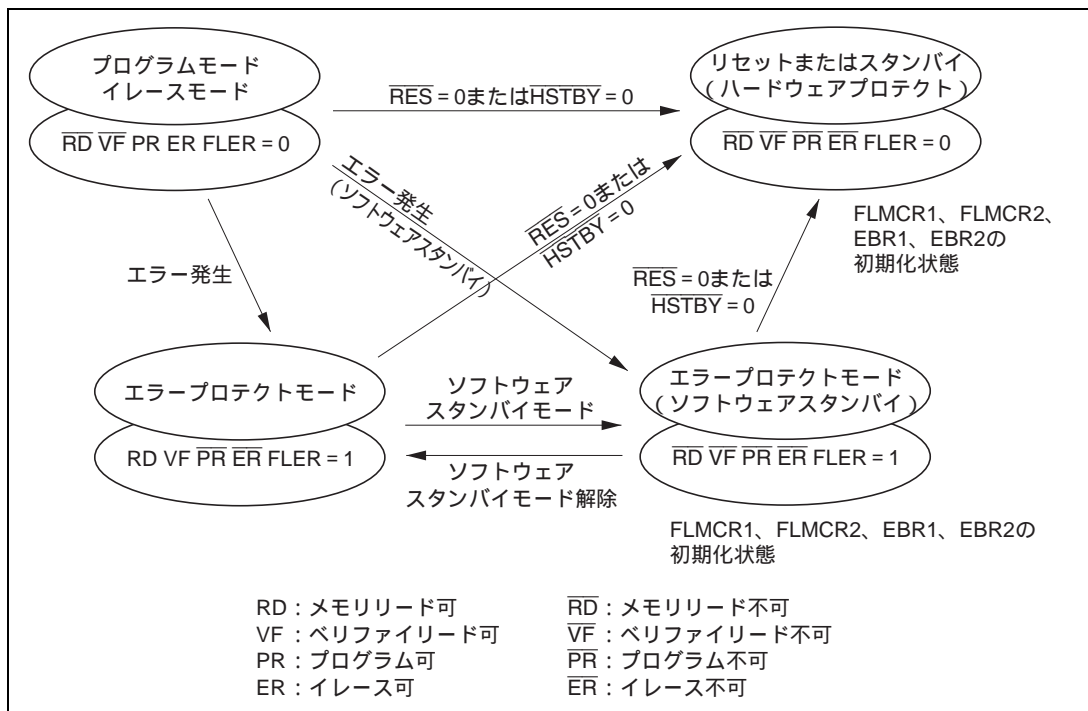


図 19.9 フラッシュメモリの状態遷移図

19.9 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 19.10 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

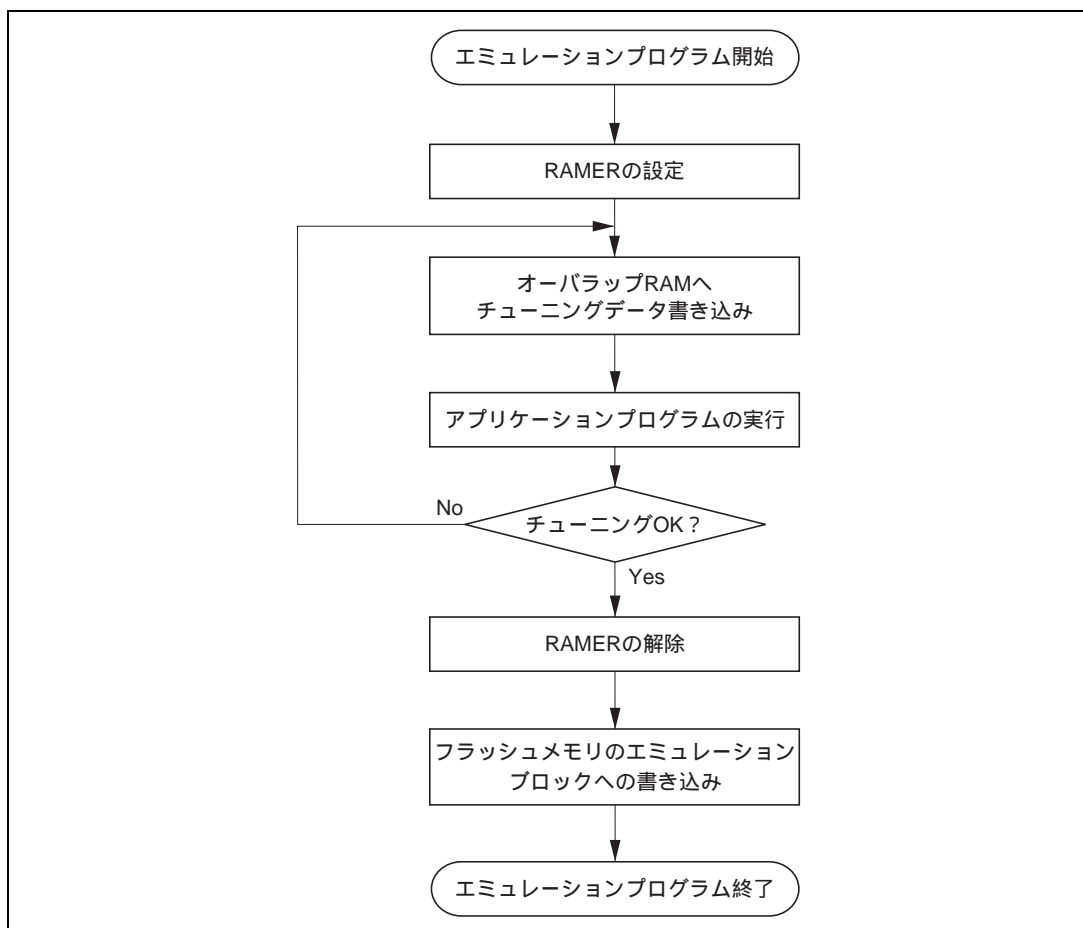


図 19.10 RAM によるエミュレーションフロー

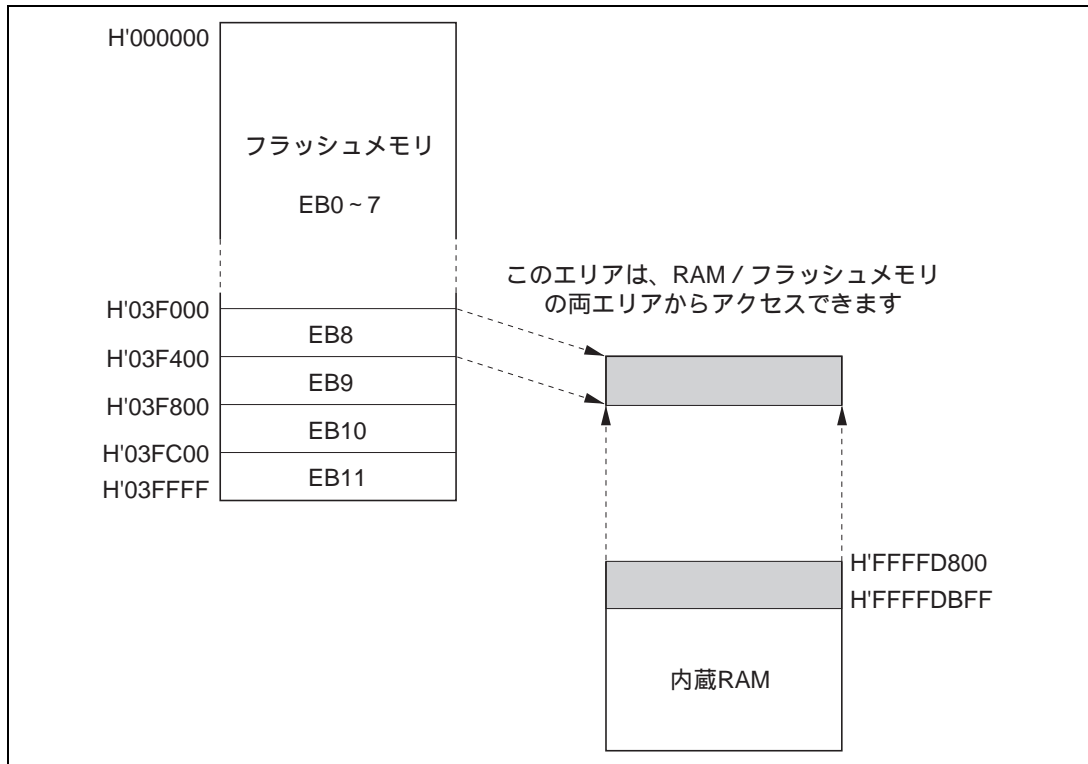


図 19.11 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB8) をオーバーラップさせる例

- リアルタイムな書き換えを必要とするエリア (EB8) にRAMの一部をオーバーラップさせるには、RAMERのRAMSビット、RAM1~0ビットを1、0、0に設定してください。
- リアルタイムな書き換えは、オーバーラップさせたRAMを使って行います。
- 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
- オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB8) に書き込みます。

- 【注】 1. RAMS ビットを 1 にセットすると RAM1~0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P1 ビットまたは E1 ビット、FLMCR2 の P2 ビットまたは E2 ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
2. RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。

19.10 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラムモード（ブートモード、ユーザプログラムモード）時は、書き込み / 消去動作（RAM エミュレーションを含む）を最優先とするため、NMI の入力を禁止してください。

19.11 フラッシュメモリのライターモード

プログラム / データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしております。自動書き込みモード / 自動消去モード / ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み / 自動消去を実行した後に、その詳細な内部信号を出力します。

ライターモードでは、モード端子を PLL×2 モード（表 19.9 参照）に設定し、入力クロックとして 6MHz を入力してください。これにより本 LSI は、12MHz で動作します。

表 19.9 にライターモードの端子設定方法を示します。ライターモード時の端子名は「1.3.3 端子一覧」を参照してください。

表 19.9 PROM モードの端子設定方法

端子名	設定
モード端子 : MD3、MD2、MD1、MD0	1101 (PLL×2)
FWE 端子	ハイレベルを入力 (自動書き込み、自動消去時)
RES 端子	パワーオンリセット回路
XTAL、EXTAL、PLL _{V_{CC}} 、PLL _{CAP} 、PLL _{V_{SS}} 端子	発振回路

19.11.1 ソケットアダプタの端子対応図

図 19.13 に示すようにソケットアダプタを LSI に取り付けてください。これによって、32 ピンにピン変換することができます。内蔵 ROM のメモリマップを図 19.12 に、ソケットアダプタの端子対応図を図 19.13 に示します。

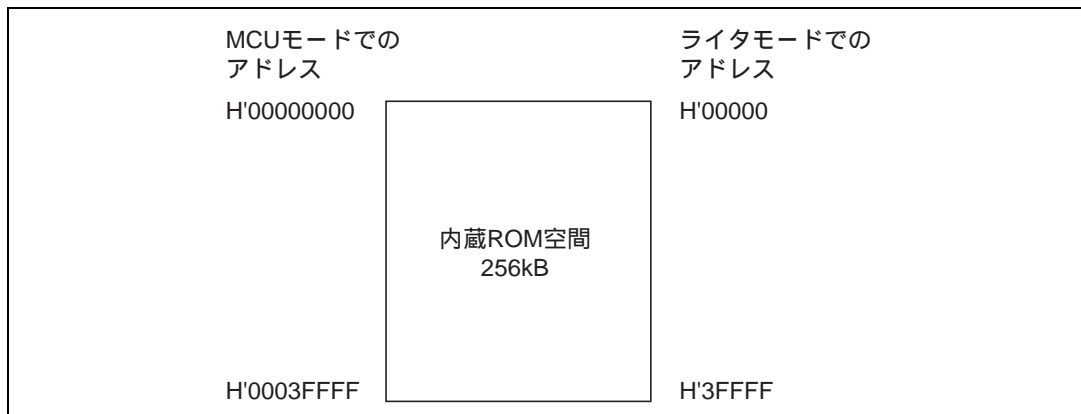


図 19.12 内蔵 ROM のメモリマップ

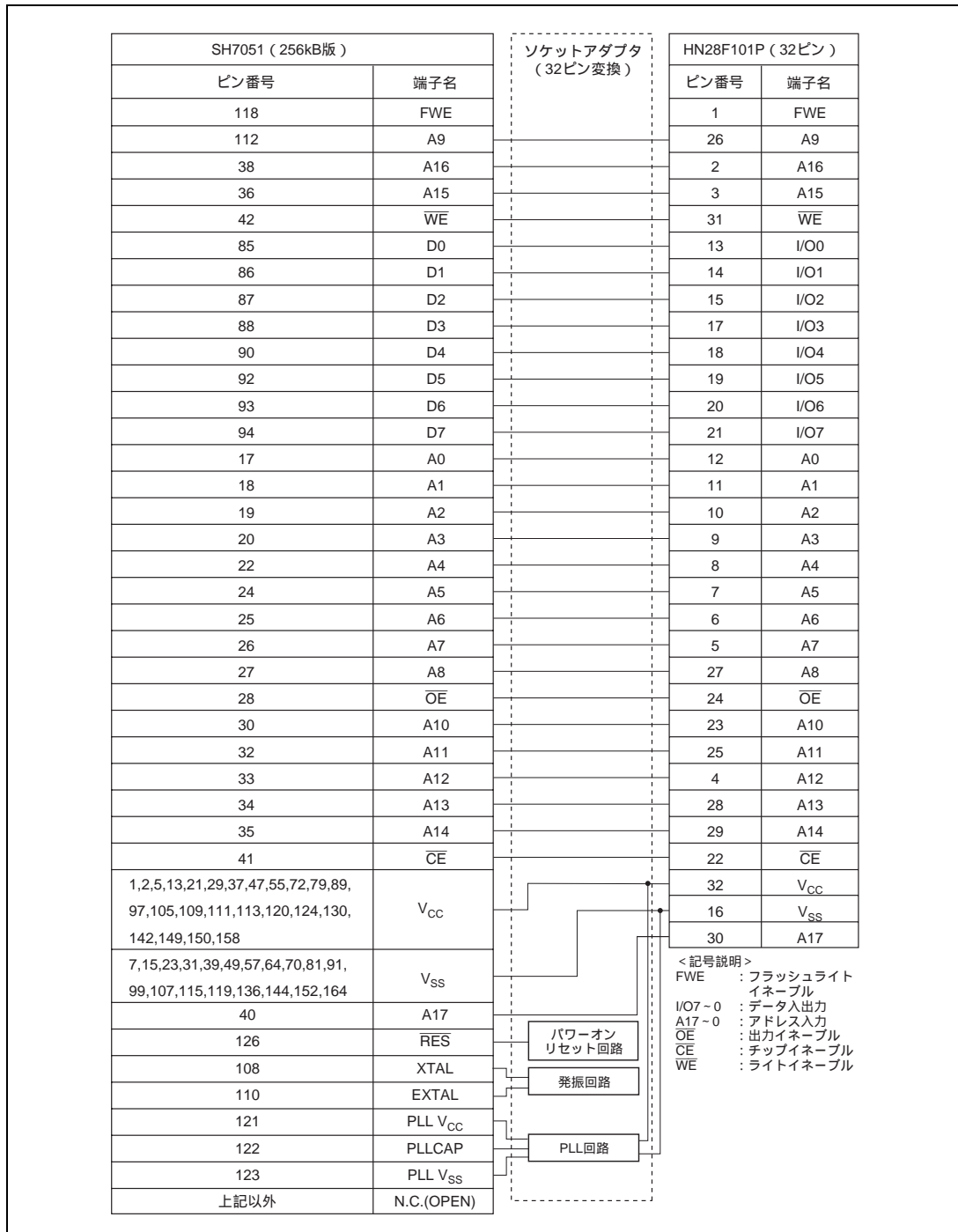


図 19.13 ソケットアダプタの端子対応図

19.11.2 ライタモードの動作

表 19.10 にライタモード時の各動作モードの設定方法、表 19.11 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は D6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 19.10 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	\overline{OE}	\overline{OE}	\overline{WE}	D0 ~ D7	A0 ~ A17
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-z	X
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-z	X

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. *Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。
 3. 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。

表 19.11 ライタモード時の各コマンド

コマンド名	サイクル	第 1 サイクル			第 2 サイクル		
	数	モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

- 【注】
1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
 2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。

19.11.3 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に移っています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに移ります。

表 19.12 メモリ読み出しモード時の AC 特性
(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

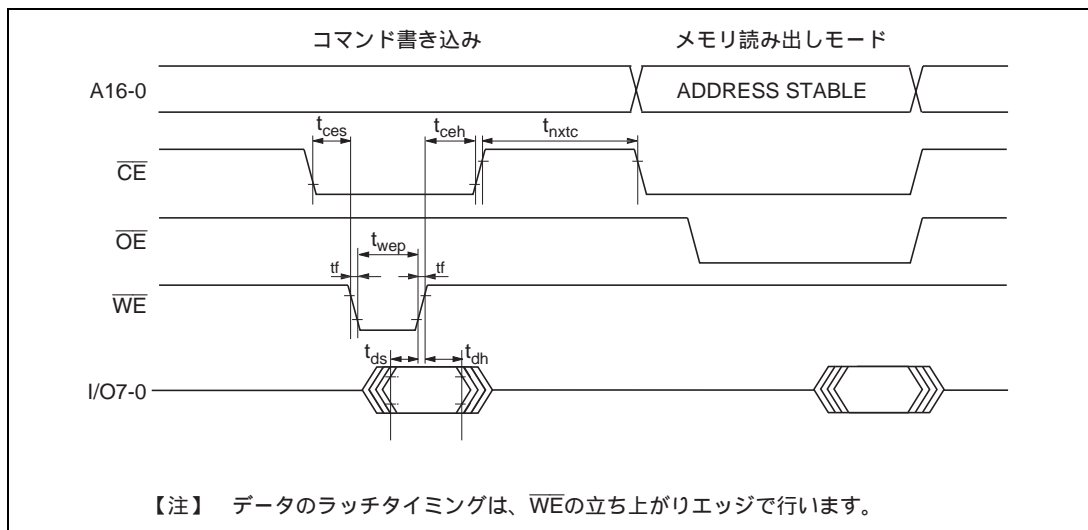


図 19.14 コマンド書き込み後メモリ読み出しタイミング波形

表 19.13 メモリ読み出しモードから他のモードへ遷移時の AC 特性
 (条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

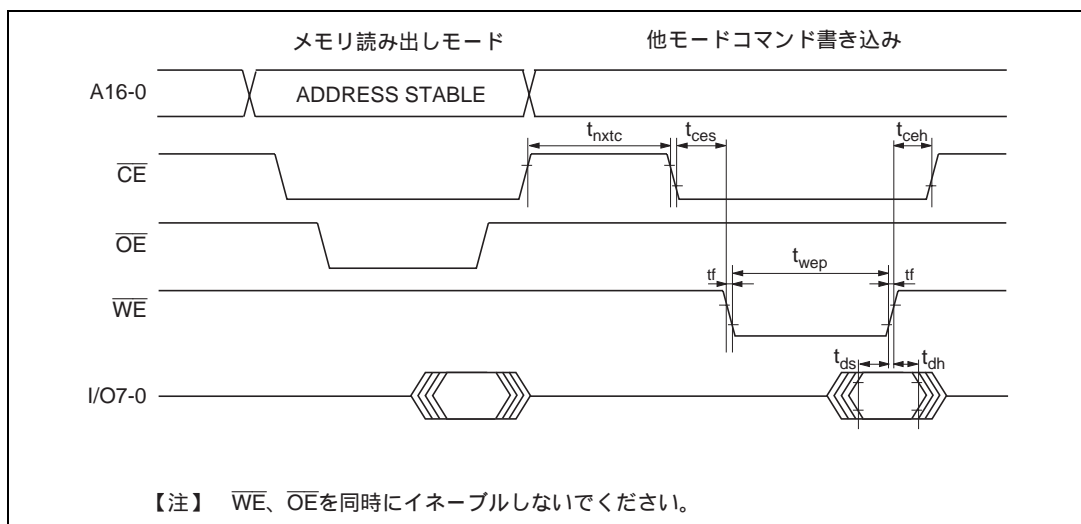


図 19.15 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 19.14 メモリ読み出しモード時の AC 特性
 (条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
アクセス時間	t_{acc}		20	μs	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

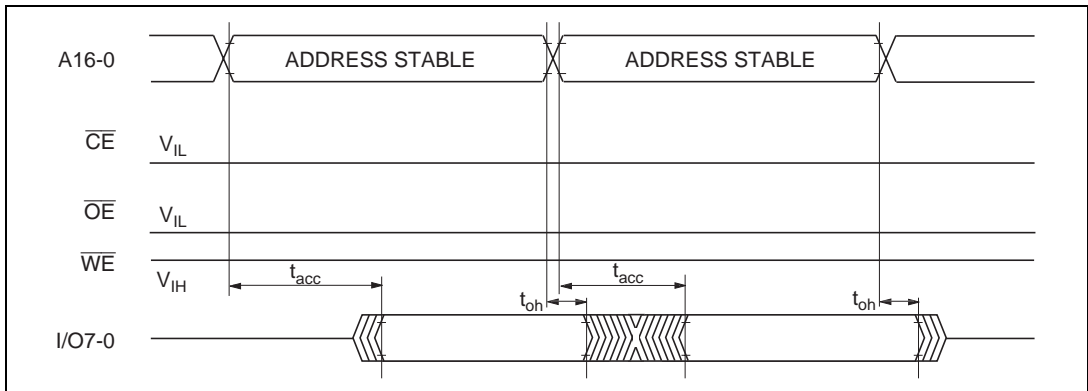


図 19.16 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形

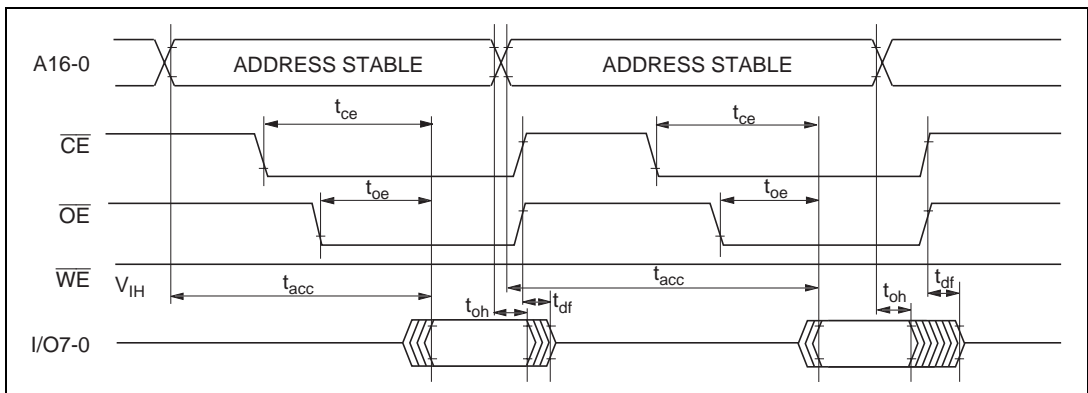


図 19.17 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

19.11.4 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位7ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います(図19.18)。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。既に書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み正常終了の確認には、D6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます(D7番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングのD6、D7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 19.15 自動書き込みモード時の AC 特性
(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100		ns	
書き込み終了セットアップ時間	t_{prh}	100		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

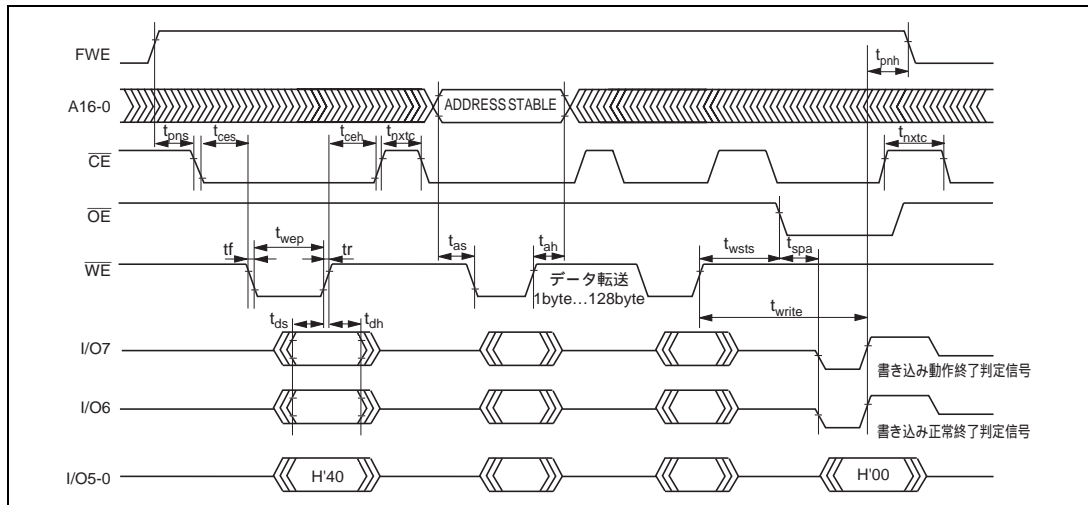


図 19.18 自動書き込みモードのタイミング波形

19.11.5 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、D6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます(D7番のステータスポーリングは、自動消去動作終了判定用端子です)。
- (4) ステータスポーリングのD6、D7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ をイネーブルにするこにより読み出し可能となります。

表 19.16 自動消去モード時の AC 特性
(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
$\overline{\text{CE}}$ ホールド時間	t_{cbh}	0		ns	
$\overline{\text{CE}}$ セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100		ns	
消去終了セットアップ時間	t_{enh}	100		ns	
$\overline{\text{WE}}$ 立ち上がり時間	t_r		30	ns	
$\overline{\text{WE}}$ 立ち下がり時間	t_f		30	ns	

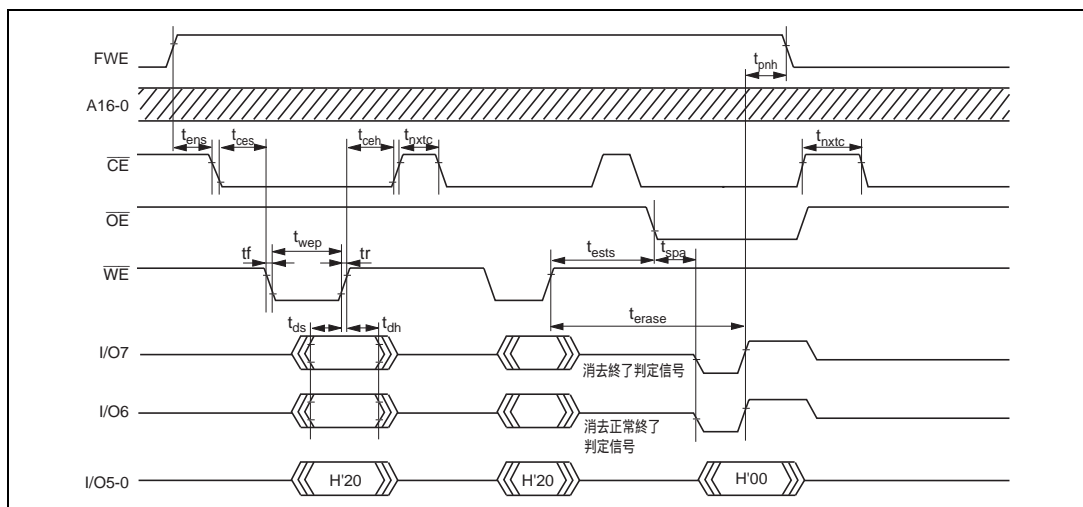


図 19.19 自動消去モードのタイミング波形

19.11.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード / 自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 19.17 ステータス読み出しモード時の AC 特性
(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込み後読み出し時間	t_{nxtc}	20		μ S	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
OE 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
CE 出力遅延時間	t_{ce}		150	ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

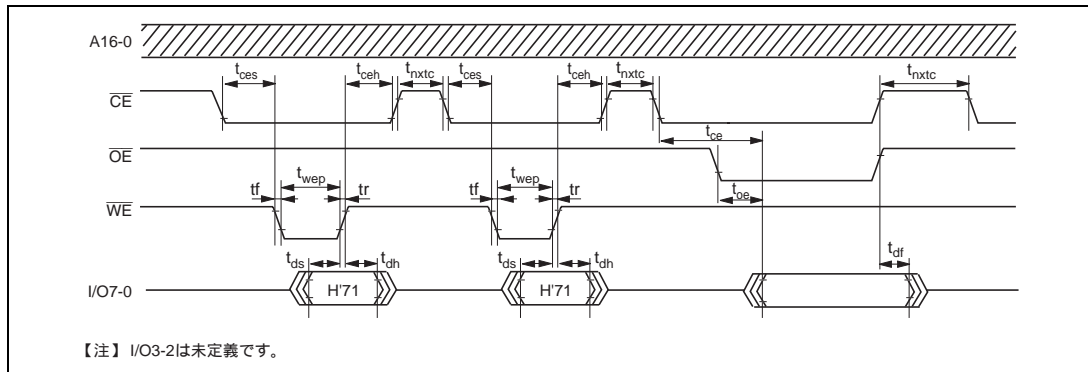


図 19.20 ステータス読み出しモードのタイミング波形

表 19.18 ステータス読み出しモードのリターンコマンド

ピン名	D7	D6	D5	D4	D3	D2	D1	D0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンド エラー:1 その他:0	書き込み エラー:1 その他:0	消去 エラー:1 その他:0	-	-	回数オーバ 時:1 その他:0	有効 アドレス エラー:1 その他:0

【注】 D2、3はまだ未定です

19.11.7 ステータスポーリング

- (1) D7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) D6のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 19.19 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
D7	0	1	0	1
D6	0	0	1	1
D0~5	0	0	0	0

19.11.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 19.20 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除 (発振安定時間)	t_{osc1}	10		ms	
ライタモードセットアップ時間	t_{bmV}	10		ms	
V_{CC} ホールド時間	t_{dwn}	0		ms	

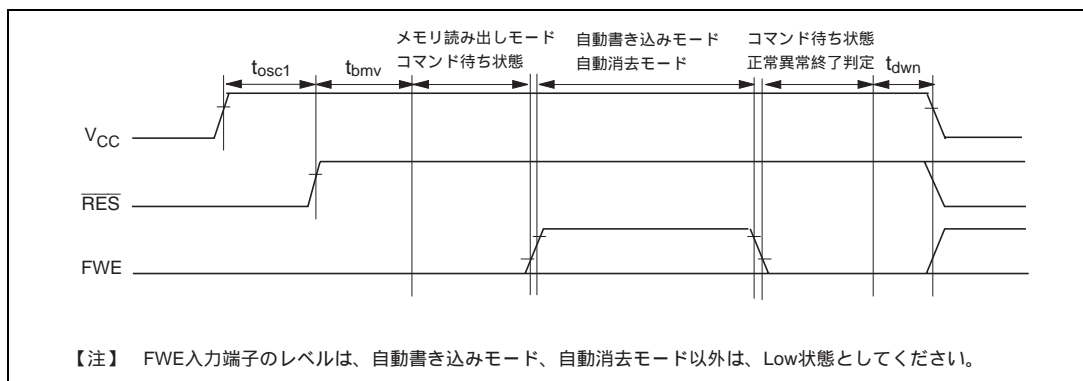


図 19.21 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

19.11.9 メモリ書き込み注意事項

- (1) 既書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、PROMモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】 1. ルネサス出荷品の初期状態は、消去状態。これ以外の消去来歴不明チップに対して、初期化(消去)レベルをチェック、補正するために自動消去実施を推奨します。
2. 同一アドレスブロックへの自動書き込みは、1回のみとします。既書き込まれたアドレスブロックへの追加書き込みは行えません。

19.12 F-ZTAT マイコンのマスク ROM 化時の注意事項

F-ZTAT 版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク版と F-ZTAT 版ではフラッシュ ROM 用内部レジスタをアクセスした場合、リード値が下記のように異なります。

レジスタ名称	ビット名称	ステータス	
		F-ZTAT 版	マスク版
FLMCR1	FWE	0: アプリケーション状態	0: (読み出されません)
		1: 書き換え状態	1: アプリケーション状態

【注】 F-ZTAT 版製品、ROM サイズの異なる同一シリーズのマスク ROM 版製品はすべて対象となります。

20. RAM

20.1 概要

20.1.1 概要

SH7050 は 6k バイト、SH7051 は 10k バイトの RAM を内蔵しています。内蔵 RAM は、32 ビット幅のデータバスを介して、CPU とダイレクトメモリアクセスコントローラ (DMAC) に接続されています (図 20.1)。

CPU、DMAC は 8、16 または 32 ビット幅で内蔵 RAM をアクセスすることができます。内蔵 RAM のデータは、常に 1 ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータアクセスとしての使用に適しています。内蔵 RAM の内容はスリープモード、ソフトウェアスタンバイモードでは保持されません。後述の RAME ビットが 0 に設定されている場合、ハードウェアスタンバイモードでも保持されます。

内蔵 RAM は、アドレス H'FFFFE800 ~ H'FFFFFFF (SH7050)、H'FFFFD800 ~ H'FFFFFFF (SH7051) に割り付けられています。

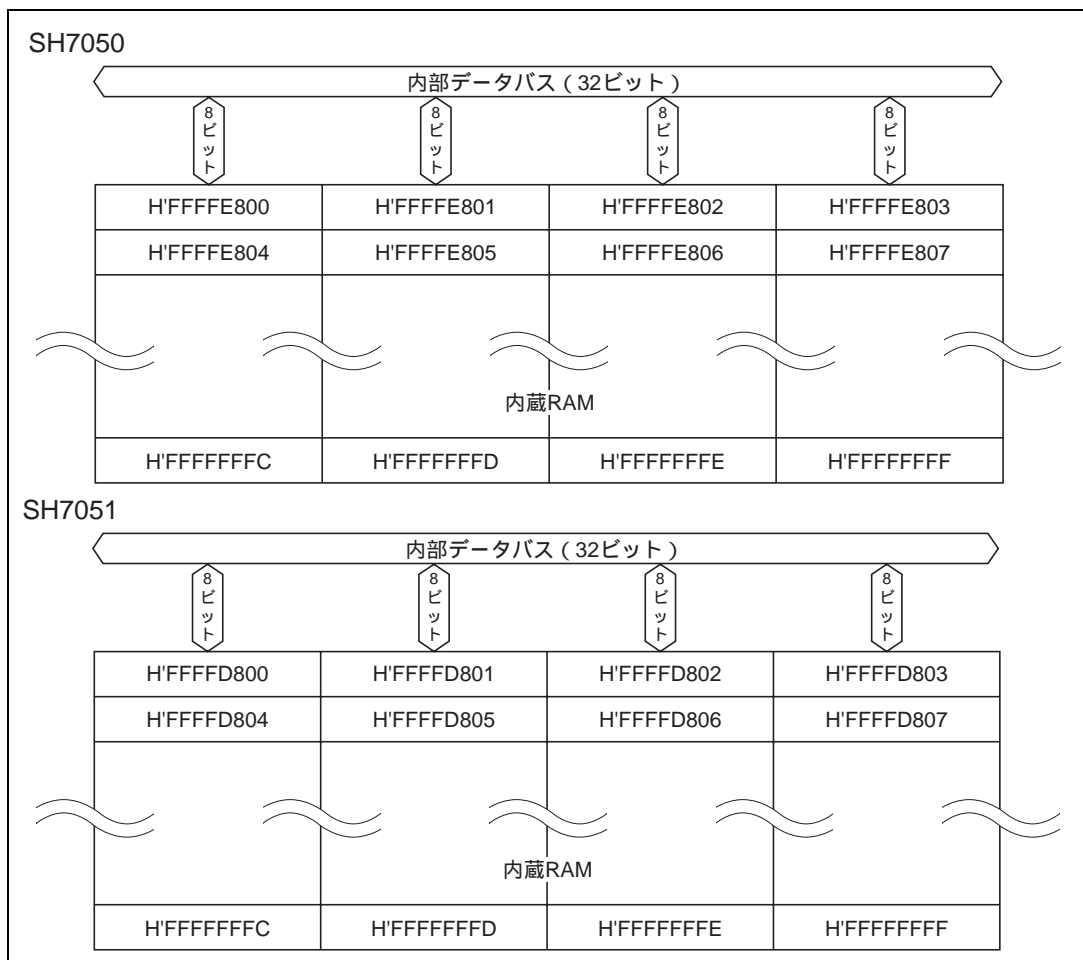


図 20.1 RAM のブロック図

20.2 動作説明

内蔵 RAM は、システムコントロールレジスタ (SYSCR) で制御されます。

SYSCR の RAME ビットを 1 にセットすると内蔵 RAM が有効になります。このときアドレス H'FFFFE800 ~ H'FFFFFFF (SH7050)、H'FFFFD800 ~ H'FFFFFFF (SH7051) をアクセスすると内蔵 RAM がアクセスされます。

SYSCR の RAME ビットを 0 にクリアすると内蔵 RAM はアクセスされません。読み出すと不定値が読み出され、書き込みは無効です。SYSCR の RAME ビットを 0 にクリアした後、ハードウェアスタンバイモードに移移すると、内蔵 RAM の値は保持されます。

SYSCR についての詳細は「21 章 低消費電力状態」の「21.2.2 システムコントロールレジスタ」を参照してください。

21. 低消費電力状態

21.1 概要

低消費電力モードとして、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、スリープモードの3種類のモードがあります。LSIの消費電力を低減させたいアプリケーションにより、各スタンバイモードを選択することができます。

21.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモードがあります。

(1) ハードウェアスタンバイモード

$\overline{\text{RES}}$ 、 $\overline{\text{HSTBY}}$ 端子の入力レベルによりハードウェアスタンバイモードに遷移します。
ハードウェアスタンバイ中はLSIの全機能が停止します。
この状態からは、パワーオンリセットにより復帰します。

(2) ソフトウェアスタンバイモード

ソフトウェア（CPUの命令）によってソフトウェアスタンバイモードに遷移します。
ソフトウェアスタンバイ中はLSIの全機能が停止します。
この状態からは、パワーオンリセット、NMI割り込みにより復帰します。

(3) スリープモード

CPUの命令によってスリープモードに遷移します。
基本的にCPU以外の内蔵周辺モジュールは動作します。
この状態からは、パワーオンリセット、割り込み、DMAアドレスエラーにより復帰します。

21. 低消費電力状態

プログラム実行状態から、各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 21.1 に示します。

表 21.1 低消費電力状態

モード	遷移条件	状態						解除方法
		クロック	CPU	CPU レジスタ	内蔵周辺モジュール	RAM	端子	
ハードウェアスタンバイ	HSTBY 端子にローレベルを入力	停止	停止	不定	停止	保持*2	初期化	HSTBY 端子にハイレベルを入力して、パワーオンリセット
ソフトウェアスタンバイ	SBYCR の SSBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	保持	停止*1	保持	保持またはハイインピーダンス*3	(1)NMI 割り込み (2)パワーオンリセット
スリープ	SBYCR の SSBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	動作	保持	保持	(1)割り込み (2)DMA アドレスエラー (3)パワーオンリセット

SBYCR : スタンバイコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

- 【注】 *1 内蔵周辺モジュールのレジスタの中には、ソフトウェアスタンバイモードによって初期化されるものとされないものがあります。「表 21.4 ソフトウェアスタンバイモードでのレジスタの状態」および各周辺モジュールの「レジスタの説明」の項を参照してください。
- *2 プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前に SYSCR の RAME ビットを "0" にクリアする必要があります。
- *3 スタンバイモード時の I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で設定します。「21.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。端子状態は、「B. 端子状態」を参照してください。

21.1.2 端子構成

低消費電力モードに関連する端子を表 21.2 に示します。

表 21.2 端子構成

名称	略称	入出力	機能
ハードウェアスタンバイ入力端子	HSTBY	入力	入力レベルによりハードウェアスタンバイモードに遷移します。
パワーオンリセット入力端子	RES	入力	パワーオンリセット信号の入力端子です。

21.1.3 関連レジスタ

低消費電力モードに関連するレジスタを表 21.3 に示します。

表 21.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	SBYCR	R/W	H'1F	H'FFFF8614	8
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FFFF83C8	8

【注】 レジスタアクセスは、SBYCR は 3 サイクル、SYSCR は 2 サイクルです。

21.2 レジスタの説明

21.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	HIZ	—	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R	R	R	R	R	R

スタンバイコントロールレジスタ (SBYCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、スタンバイモードへの遷移およびスタンバイモード時のポート状態を設定します。

SBYCR は、パワーオンリセットで H'1F に初期化されます。

ビット 7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) が 1 のとき) には、SSBY ビットは 1 にセットできません。ソフトウェアスタンバイモードへ遷移するときは、必ず TME ビットを 0 にクリアして WDT を停止させてから、SSBY ビットをセットしてください。

ビット 7	説明
SSBY	
0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行により、ソフトウェアスタンバイモードへ遷移

ビット 6: ポートハイインピーダンス (HIZ)

ソフトウェアスタンバイモード時に、I/O ポートの端子状態を保持するかハイインピーダンスにするかを選択します。WDT の TCSR の TME ビットが 1 にセットされていると、HIZ ビットは 1 にセットできません。I/O ポートの端子状態をハイインピーダンスにするときは、必ず TME ビットを 0 にクリアしてから HIZ ビットをセットしてください。

ビット 6	説明
HIZ	
0	ソフトウェアスタンバイモード時に、端子状態を保持する (初期値)
1	ソフトウェアスタンバイモード時に、端子状態をハイインピーダンス

ビット 5: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4~0: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

21.2.2 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RAME
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

システムコントロールレジスタ (SYSCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、内蔵 RAM へのアクセスの許可 / 禁止を設定します。

SYSCR は、パワーオンリセットの立ち上がりエッジで H'01 に初期化されます。

ビット 7~1: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0: RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAM イネーブルビットを 1 にセットすると内蔵 RAM が有効になります。0 にクリアすると内蔵 RAM はアクセスできません。このとき、内蔵 RAM からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM へのライトは無視されます。初期値は 1 です。

なお、本ビットを 0 にクリアして内蔵 RAM を無効にする場合、SYSCR へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM を有効にする場合、SYSCR へのライト命令の直後に SYSCR のリード命令を置いてください。もし、SYSCR ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

21.3 ハードウェアスタンバイモード

21.3.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{HSTBY}}$ 端子にローレベルを入力するとハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモード中は LSI の全機能が停止するので、消費電力は著しく低減されます。この機能は、外部端子入力によりハードウェアスタンバイモードに遷移するため、現在の LSI の状態にかかわらず非同期にこのモードに遷移します。このため、ハードウェアスタンバイモードに遷移する前の LSI の状態は保持しません。ただし、内蔵 RAM のデータは、規定の電圧が与えられている限り保持することができます。内蔵 RAM を保持するためには、 $\overline{\text{HSTBY}}$ 端子をローレベルにする前に、システムコントロールレジスタ (SYSCR) の RAM イネーブルビット (RAME) を "0" にクリアしてください。ハードウェアスタンバイモード中の端子状態については「B. 端子状態」を参照してください。

21.3.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{HSTBY}}$ 端子および $\overline{\text{RES}}$ 端子で行われます。

$\overline{\text{RES}}$ 端子をローレベルにした状態で、 $\overline{\text{HSTBY}}$ 端子をハイレベルにすると、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は、必ずクロックの発振が安定するまでローレベルに保持してください。 $\overline{\text{RES}}$ 端子をハイレベルにすると、パワーオンリセット例外処理を経て、プログラム実行状態に遷移します。

21.3.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 21.1 に示します。

$\overline{\text{RES}}$ 端子をローレベルにした後、 $\overline{\text{HSTBY}}$ 端子をローレベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{HSTBY}}$ をハイレベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子をローレベルからハイレベルにすることで行われます。

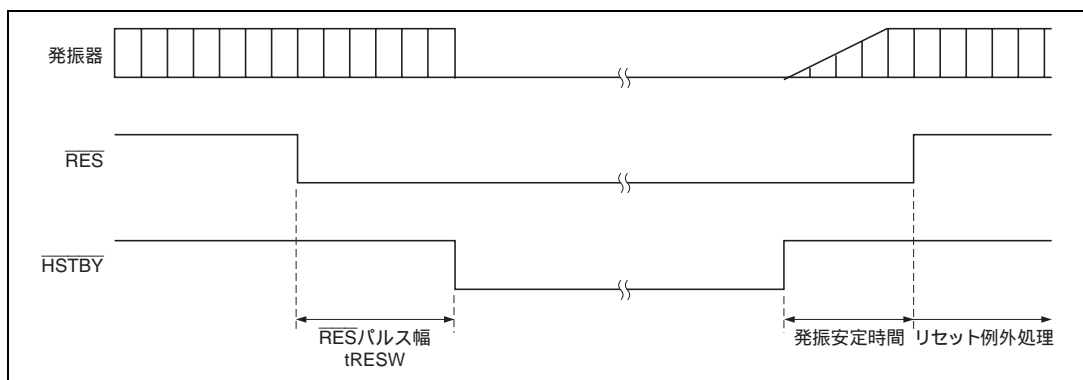


図 21.1 ハードウェアスタンバイモードのタイミング

21.4 ソフトウェアスタンバイモード

21.4.1 ソフトウェアスタンバイモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 1 にセットした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロック発振器や内蔵周辺モジュールも停止するため、消費電力が著しく低減されます。CPU のレジスタ内容と内蔵 RAM のデータ (ただし、SYSCR の RAME ビットが 0 のとき) は、規定の電圧が与えられている限り保持されます。内蔵周辺モジュールのレジスタの中には、初期化されるものとされないものがあります (表 21.4)。I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で、保持またはハイインピーダンスを選択することができます。その他の端子状態については「B. 端子状態」を参照してください。

表 21.4 ソフトウェアスタンバイモードでのレジスタの状態

内蔵周辺モジュール	初期化されるレジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)		全レジスタ
ユーザブレイクコントローラ (UBC)		全レジスタ
バスステートコントローラ (BSC)		全レジスタ
ダイレクトメモリアクセスコントローラ (DMAC)	全レジスタ	
アドバンスドタイマユニット (ATU)	全レジスタ	
アドバンスドパルスコントローラ (APC)		全レジスタ
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> タイマコントロールステータスレジスタ (TCSR) のビット 7~5 (OVF、WT/IT、TME) リセットコントロールステータスレジスタ (RSTCSR) タイマカウンタ (TCNT) 	<ul style="list-style-type: none"> タイマコントロールステータスレジスタ (TCSR) のビット 2~0 (CKS2~CKS0)
コンペアマッチタイマ (CMT)	全レジスタ	
シリアルコミュニケーションインタフェース (SCI)	全レジスタ	
A/D 変換器 (A/D)	全レジスタ	
ピンファンクションコントローラ (PFC)		全レジスタ
I/O ポート		全レジスタ
低消費電力状態関係		<ul style="list-style-type: none"> スタンバイコントロールレジスタ (SBYCR) システムコントロールレジスタ (SYSCR)

21.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは NMI 割り込み、パワーオンリセットにより解除されます。

(1) NMI 割り込み入力による解除

NMI 端子の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラ（INTC）の割り込みコントロールレジスタ（ICR）の NMI エッジセレクトビット（NMIE）で選択）が検出されると、クロックの発振が開始されます。このクロックはウォッチドッグタイマ（WDT）だけに供給されません。

ソフトウェアスタンバイモードに遷移する前に WDT のタイマコントロールレジスタ / ステータスレジスタ（TCSR）のクロックセレクトビット（CKS2～CKS0）に設定しておいた時間が経過すると、WDT オーバーフローが発生します。このオーバーフロー発生によって、クロックが安定したと判断され、本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI 例外処理が開始されます。

NMI 割り込みによってソフトウェアスタンバイモードを解除する場合、WDT のオーバーフロー周期が発振安定時間以上になるように、CKS2～CKS0 ビットを設定してください。

なお、立ち下がりエッジに設定した NMI 端子で、ソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき（クロック停止時）の NMI 端子のレベルがハイレベルに、かつソフトウェアスタンバイ復帰時（発振安定後のクロック起動時）の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき（クロック停止時）の NMI 端子のレベルがローレベルに、かつソフトウェアスタンバイ復帰時（発振安定後のクロック起動時）の NMI 端子のレベルがハイレベルになるようにしてください。

(2) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、ソフトウェアスタンバイモードは解除されます。

21.4.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 21.2 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 1 にセットして SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

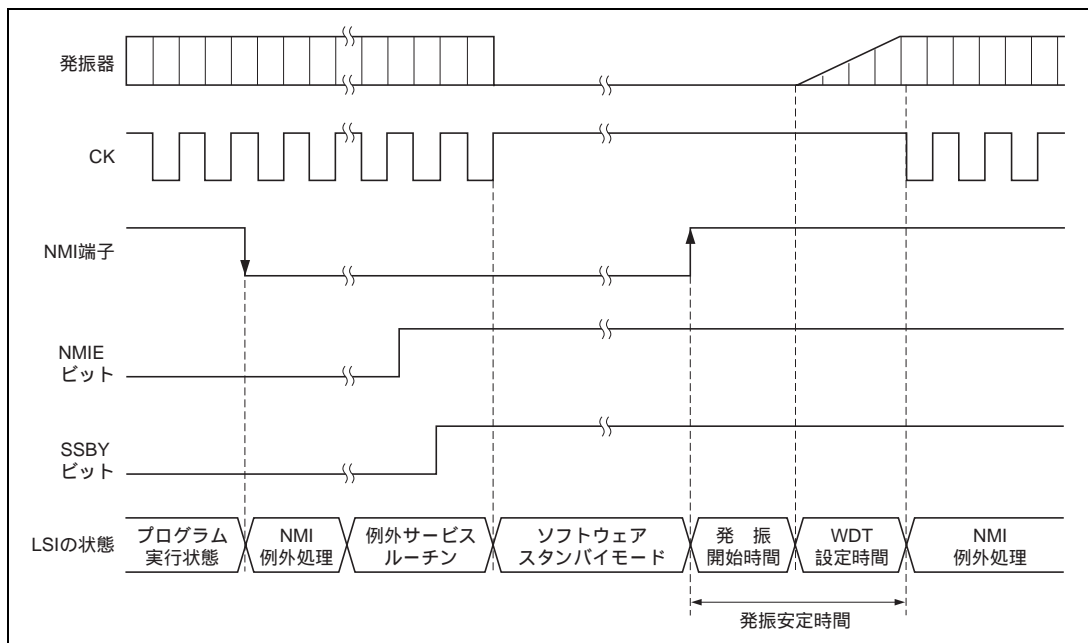


図 21.2 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

21.5 スリープモード

21.5.1 スリープモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 0 にクリアした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスリープモードに遷移します。

CPU は SLEEP 命令実行直後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。

21.5.2 スリープモードの解除

(1) 割り込みにより解除

割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みが、モジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

(2) DMA アドレスエラーによる解除

DMA アドレスエラーが発生すると、スリープモードが解除され、DMA アドレスエラー例外処理が実行されます。

(3) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、スリープモードは解除されます。

22. 電気的特性

22.1 絶対最大定格

絶対最大定格を表 22.1 に示します。

表 22.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	-0.3 ~ +7.0	V
入力電圧 (A/D ポート以外)	V_{in}	-0.3 ~ $V_{CC}+0.3$	V
入力電圧 (A/D ポート)	V_{in}	-0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ基準電圧	AV_{ref}	-0.3 ~ $AV_{CC}+0.3$	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC}+0.3$	V
動作温度 (書き換えを除く)	T_{opr}	-40 ~ +85	
書き換え温度	T_{we}	-20 ~ +85	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

22.2 DC 特性

特性を表 22.2 に示します。

表 22.2 DC 特性

条件： $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	min	typ	max	単位	測定条件	
入力ハイレベル 電圧	RES、NMI、FWE、 MD3~0、HSTBY	V_{IH}	$V_{CC}-0.7$		$V_{CC}+0.3$	V	
	EXTAL		$V_{CC} \times 0.7$		$V_{CC}+0.3$	V	
	A/D ポート		2.2		$AV_{CC}+0.3$	V	
	その他の入力端子		2.2		$V_{CC}+0.3$	V	
入力ローレベル 電圧	RES、NMI、FWE、 MD3~0、HSTBY	V_{IL}	-0.3		0.5	V	
	その他の入力端子		-0.3		0.8	V	
シュミット トリガ入力電圧	TIA0~TID0、	V_T^+	4.0			V	
	TIOA1~TIOF1、 TIOA2、TIOB2、	V_T^-			1.0	V	
	TIOA3~TIOD3、 TIOA4~TIOD4、 TIOA5、TIOB5、 TCLKA、TCLKB	$V_T^+ - V_T^-$	0.4			V	
入力リーク電流	RES、NMI、 MD3~0、HSTBY	$ I_{in} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC}-0.5V$
	A/D ポート				1.0	μA	$V_{in} = 0.5 \sim AV_{CC}-0.5V$
	その他の入力端子				1.0	μA	$V_{in} = 0.5 \sim V_{CC}-0.5V$
スリープステート リーク電流 (オフ状態)	A21~A0、 D15~D0、 CS3~CS0、 WRH、WRL、RD	$ I_{TS} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC}-0.5V$
出力ハイレベル 電圧	全出力端子	V_{OH}	$V_{CC}-0.5$			V	$I_{OH} = -200\mu A$
			3.5			V	$I_{OH} = -1mA$
出力ローレベル 電圧	全出力端子	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
					1.2	V	$I_{OL} = 8mA$
入力容量	RES	C_{in}			60	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				30	pF	
	その他の全入力 端子				20	pF	
消費電流	通常動作時	I_{CC}		100 (90)*	150	mA	$f = 20MHz$
	スリープ時			80 (70)*	130	mA	$f = 20MHz$
	スタンバイ時			1	20	μA	$T_a = 50$
						80	μA
	書き込み動作時		110	150	mA	$-20 < T_a < 85$ $f = 20MHz$	

項目		記号	min	typ	max	単位	測定条件
アナログ電源電流	A/D 変換中	AI_{CC}		1.5	5	mA	
	A/D 変換待機時			0.5	5	μ A	
基準電源電流	A/D 変換中	AI_{ref}		1.0	5	mA	$AV_{ref} = 5.0V$
	A/D 変換待機時			0.5	5	μ A	
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 * () : マスク版

【使用上の注意】

1. A/D 変換器を使用しないときに、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。
2. 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 22.3 出力許容電流値

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	min	typ	max	単位
出力ローレベル許容電流 (1 端子あたり)	I_{OL}			8.0	mA
出力ローレベル許容電流 (総和)	ΣI_{OL}			80	mA
出力ハイレベル許容電流 (1 端子あたり)	$-I_{OH}$			2.0	mA
出力ハイレベル許容電流 (総和)	$\Sigma (-I_{OH})$			25	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 22.3 の値を超えないようにしてください。

22.3 AC 特性

AC 特性測定時の入出力参照レベルおよび負荷電流は、「図 22.22 出力負荷回路」で規定した条件です。

22.3.1 クロックタイミング

表 22.4 にクロックタイミングを示します。

表 22.4 クロックタイミング

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図
動作周波数	f_{OP}	4	20	MHz	図 22.1
クロックサイクル時間	t_{cyc}	50	250	ns	
クロックローレベルパルス幅	t_{CL}	20		ns	
クロックハイレベルパルス幅	t_{CH}	20		ns	
クロック立ち上がり時間	t_{CR}		5	ns	
クロック立ち下がり時間	t_{CF}		5	ns	
EXTAL クロック入力周波数	f_{EX}	4	10	MHz	図 22.2
EXTAL クロック入力サイクル時間	t_{EXcyc}	100	250	ns	
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	30		ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	30		ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}		5	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}		5	ns	
リセット発振安定時間	t_{OSC1}	10		ms	図 22.3
スタンバイ復帰発振安定時間	t_{OSC2}	10		ms	

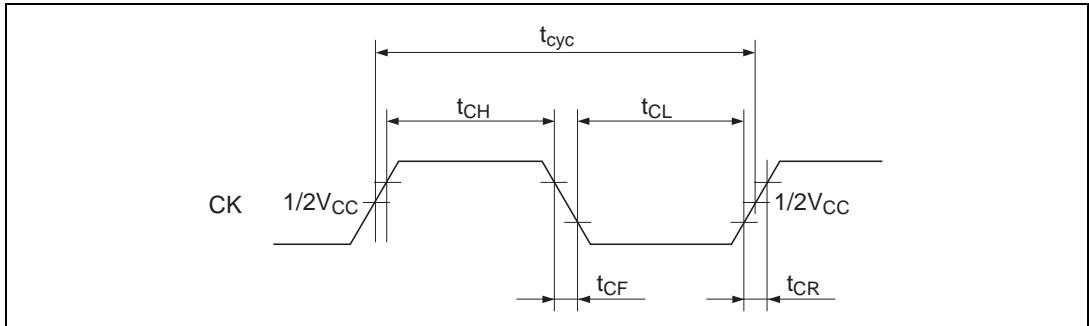


図 22.1 システムクロックタイミング

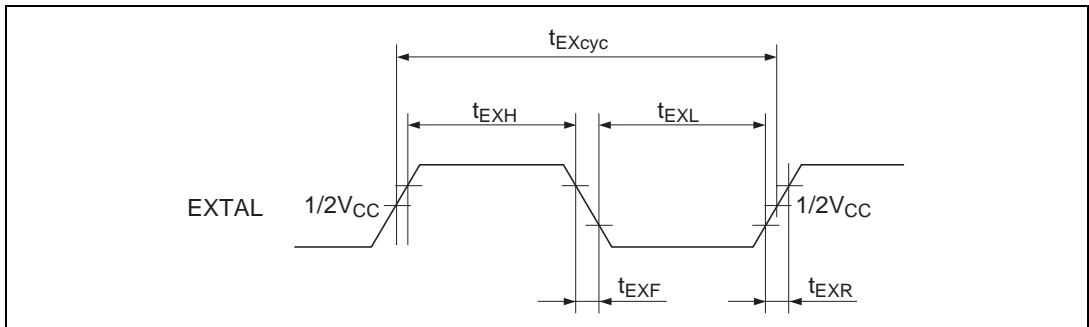


図 22.2 EXTAL クロック入力タイミング

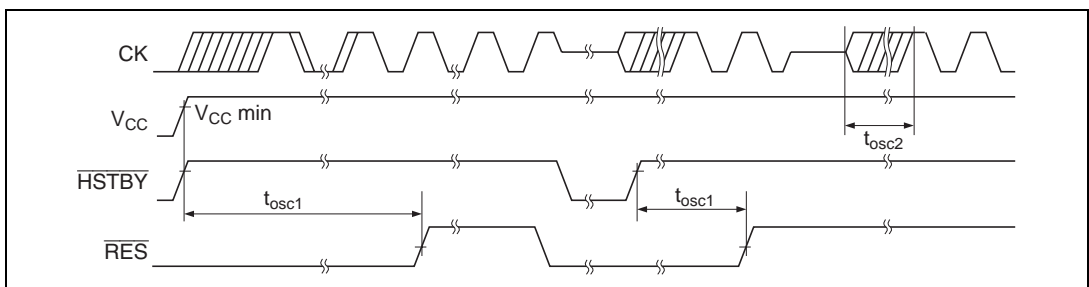


図 22.3 発振安定時間

22.3.2 制御信号タイミング

表 22.5 制御信号タイミング

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図
RES パルス幅	t_{RESW}	20		t_{cyc}	図 22.4
RES セットアップ時間*1	t_{RESS}	30		ns	図 22.4、 図 22.5
NMI セットアップ時間*1	t_{NMIS}	30		ns	
IRQ7 ~ IRQ0 セットアップ時間*1 (エッジ検出時)	t_{IRQES}	30		ns	
IRQ7 ~ IRQ0 セットアップ時間*1 (レベル検出時)	t_{IRQLS}	30		ns	
NMI ホールド時間	t_{NMIH}	50		ns	図 22.5
IRQ7 ~ IRQ0 ホールド時間	t_{IRQEH}	30		ns	
IRQOUT 出力遅延時間	t_{IRQOD}		25	ns	図 22.6
バスリクエストセットアップ時間	t_{BRQS}	30		ns	図 22.7
バスアクノリッジ遅延時間 1	t_{BACD1}		25	ns	
バスアクノリッジ遅延時間 2	t_{BACD2}		25	ns	
バススリープ状態遅延時間	t_{BZD}		50	ns	

【注】 *1 RES、NMI および IRQ7 ~ IRQ0 信号は非同期入力ですが、ここに示されたセットアップが守られた場合クロックの立ち下がりで変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち下がりまで認識が遅れることがあります。

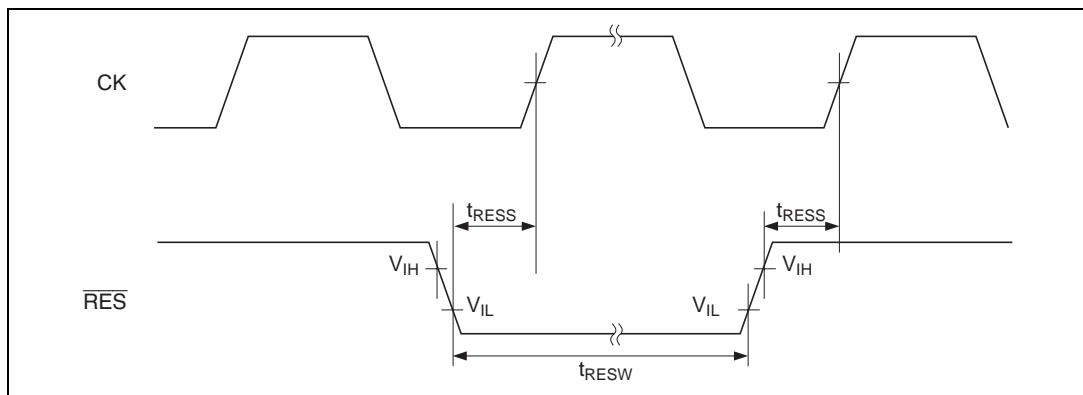


図 22.4 リセット入力タイミング

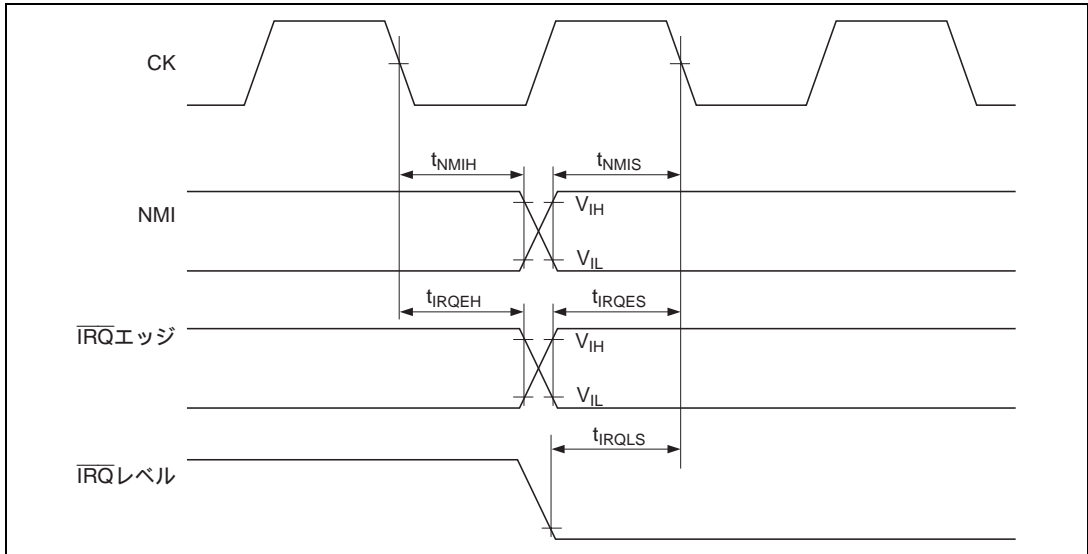


図 22.5 割り込み信号入力タイミング

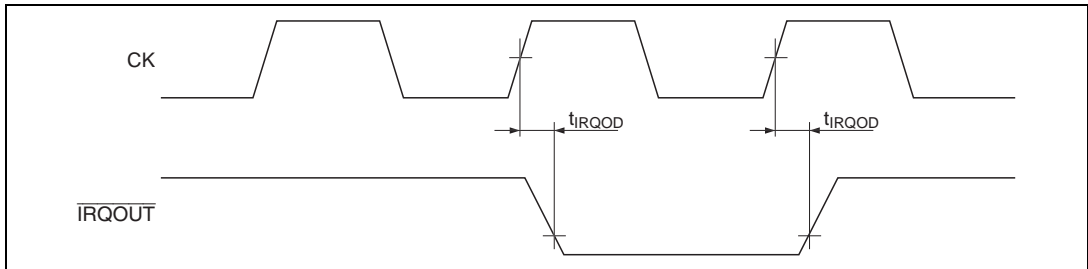


図 22.6 割り込み信号出力タイミング

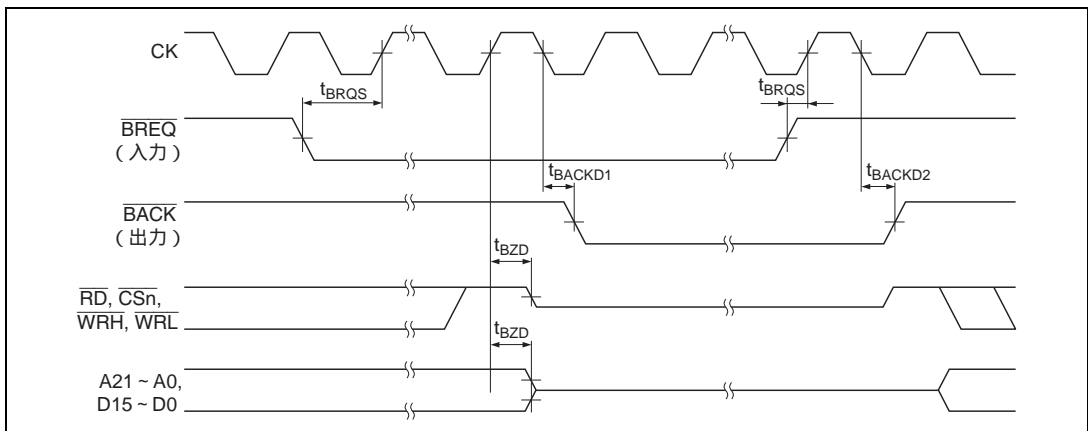


図 22.7 バス権解放タイミング

22.3.3 バスタイミング

表 22.6 バスタイミング

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

	記号	min	max	単位	参照図
アドレス遅延時間	t_{AD}		25	ns	図 22.8、9
CS 遅延時間 1	t_{CSD1}		25	ns	図 22.8、9
CS 遅延時間 2	t_{CSD2}		25	ns	図 22.8、9
リードストローク遅延時間 1	t_{RSD1}		25	ns	図 22.8、9
リードストローク遅延時間 2	t_{RSD2}		25	ns	図 22.8、9
リードデータセットアップ時間	t_{RDS}	28		ns	図 22.8、9
リードデータホールド時間	t_{RDH}	0		ns	図 22.8、9
ライトアドレスセットアップ時間	t_{AS}	0		ns	図 22.8、9
ライトアドレス保持時間	t_{WR}	5		ns	図 22.8、9
ライトストローク遅延時間 1	t_{WSD1}		25	ns	図 22.8、9
ライトストローク遅延時間 2	t_{WSD2}		25	ns	図 22.8、9
ライトデータ遅延時間	t_{WDD}		35	ns	図 22.8、9
ライトデータホールド時間	t_{WDH}	$t_{cyc} \times m$		ns	図 22.8、9
WAIT セットアップ時間	t_{WTS}	15		ns	図 22.10
WAIT ホールド時間	t_{WTH}	0		ns	図 22.10
リードデータアクセス時間	t_{ACC}	$t_{cyc} \times (n+2) - 45$		ns	図 22.8、9
リードストロークからのアクセス時間	t_{OE}	$t_{cyc} \times (n+1.5) - 45$		ns	図 22.8、9
DACK 遅延時間	t_{DACKD}		25	ns	図 22.8、9

n : ウェイト数

m = 1 : CS アサート拡張サイクル

m = 0 : 通常サイクル (CS アサート非拡張サイクル)

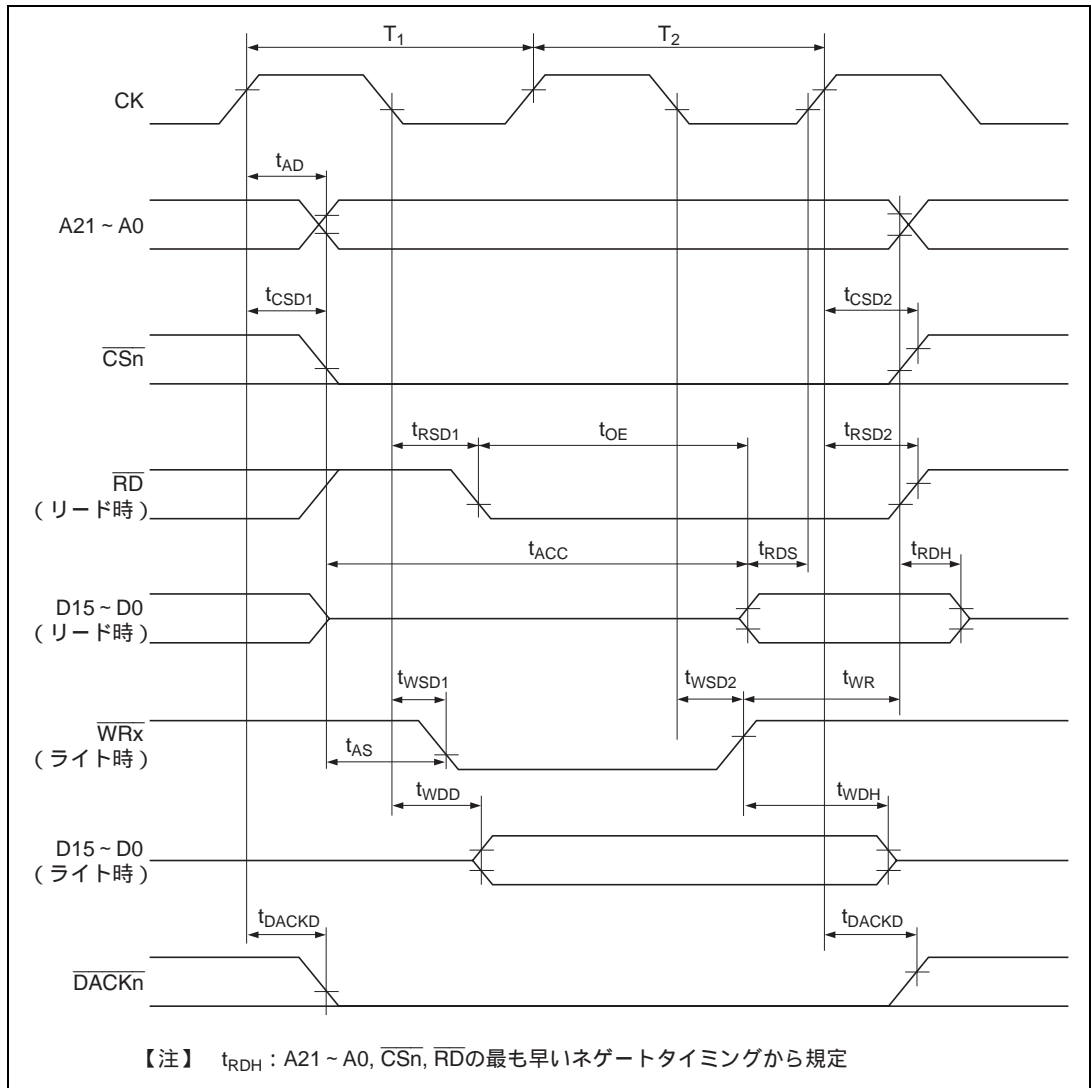


図 22.8 基本サイクル (ノーウェイト)

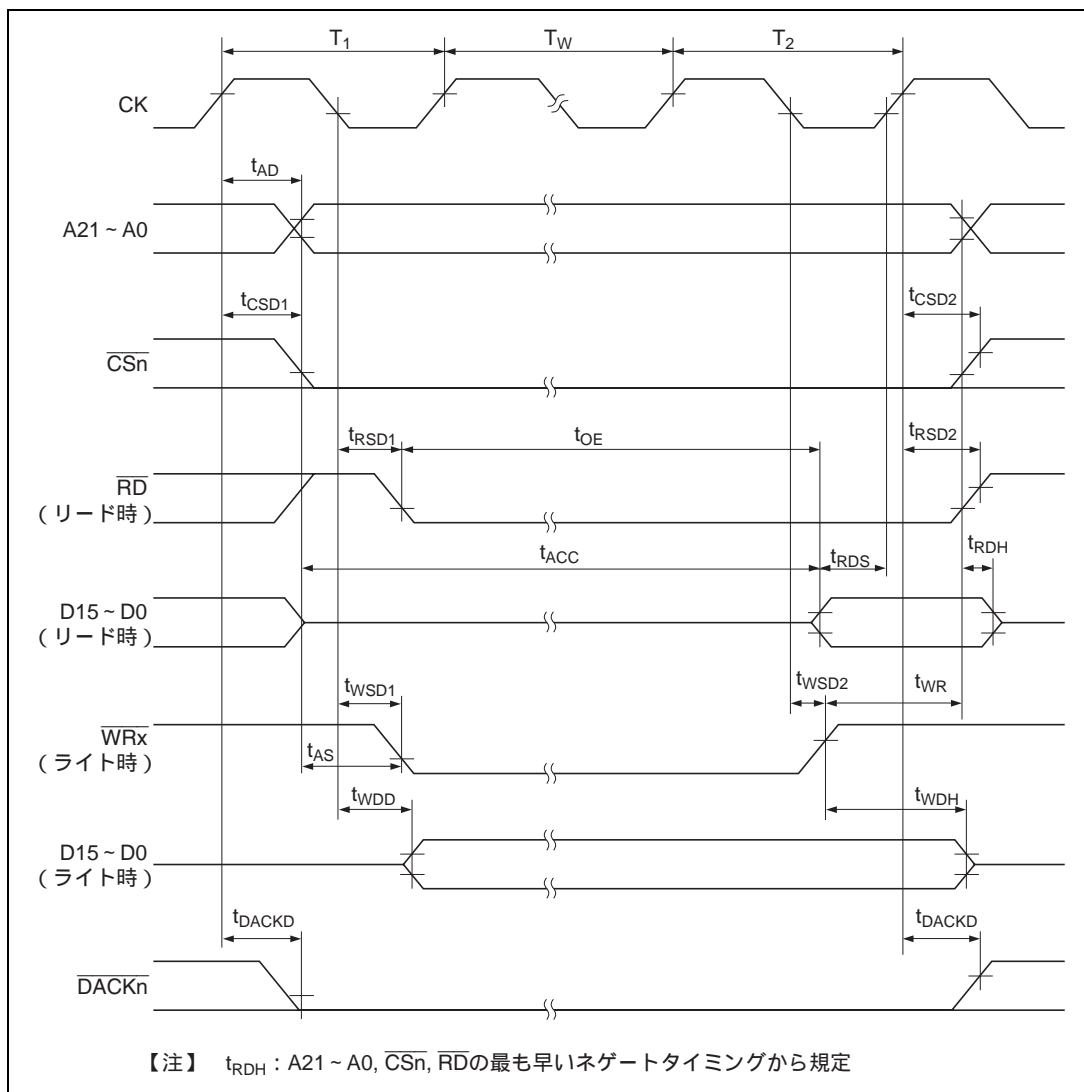


図 22.9 基本サイクル (1ソフトウェアウェイト)

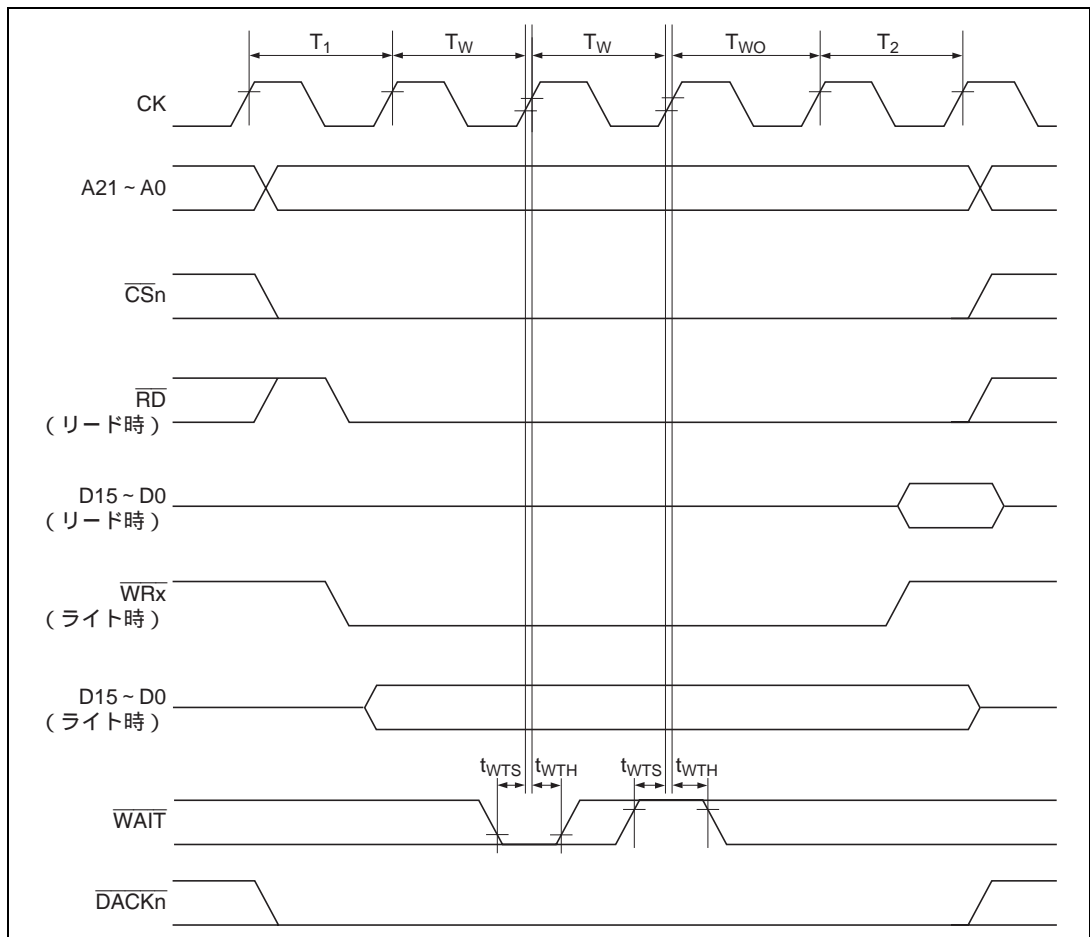


図 22.10 基本サイクル (2ソフトウェアウェイト+ \overline{WAIT} 信号によるウェイト)

22.3.4 ダイレクトメモリアクセスコントローラタイミング

表 22.7 にダイレクトメモリアクセスコントローラタイミングを示します。

表 22.7 ダイレクトメモリアクセスコントローラタイミング

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図
DREQ0、DREQ1 セットアップ時間	t_{DRQS}	27		ns	図 22.11
DREQ0、DREQ1 ホールド時間	t_{DRQH}	30		ns	
DREQ0、DREQ1 パルス幅	t_{DRQW}	1.5		t_{cyc}	図 22.12
DRAK 出力遅延時間	t_{DRAKD}		25	ns	図 22.13

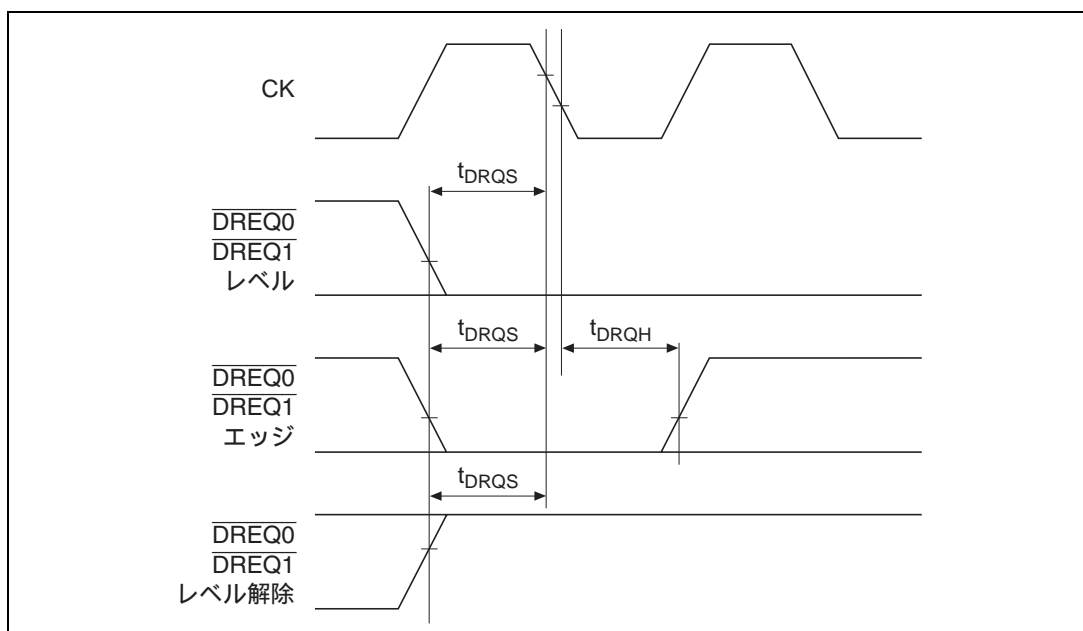


図 22.11 DREQ0、DREQ1 入力タイミング (1)

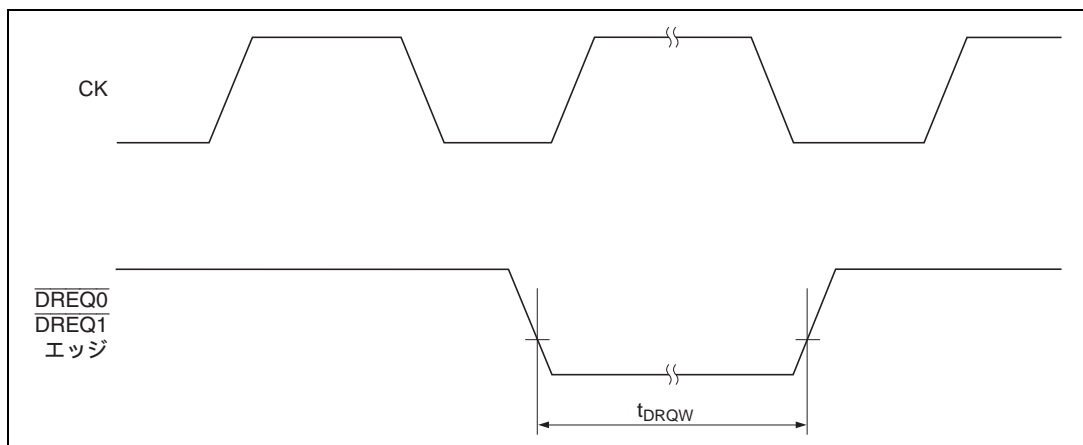


図 22.12 DREQ0、DREQ1 入力タイミング (2)

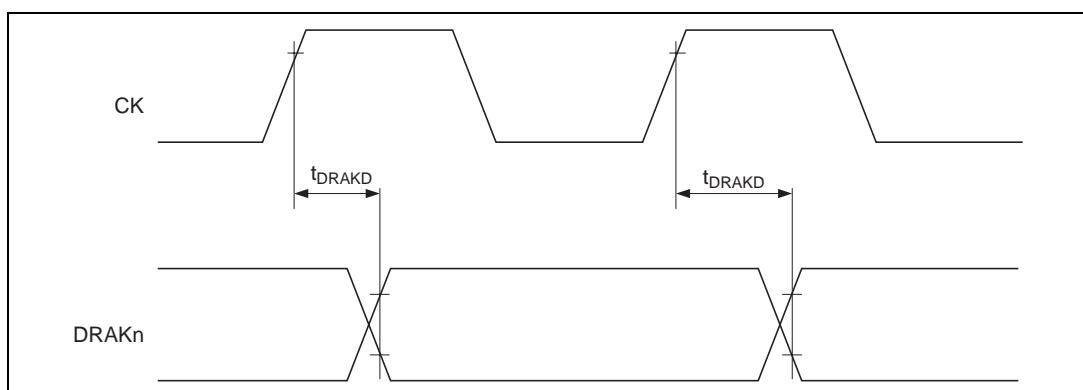


図 22.13 DRAK 出力遅延時間

22.3.5 アドバンスドタイマユニットタイミング、アドバンスドパルスコントローラタイミング

表 22.8 にアドバンスドタイマユニットタイミングとアドバンスドパルスコントローラタイミングを示します。

表 22.8 アドバンスドタイマユニットタイミング、アドバンスドパルスコントローラタイミング
条件： $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}		50	ns	図 22.14
インプットキャプチャ入力セットアップ時間	t_{TICS}	35		ns	
PULS 出力遅延時間	t_{PLSD}		50	ns	
タイマクロック入力セットアップ時間	t_{TCKS}	50		ns	図 22.15
タイマクロックパルス幅（単エッジ指定）	t_{TCKWHL}	1.5		t_{cyc}	
タイマクロックパルス幅（両エッジ指定）	t_{TCKWHL}	2.5		t_{cyc}	

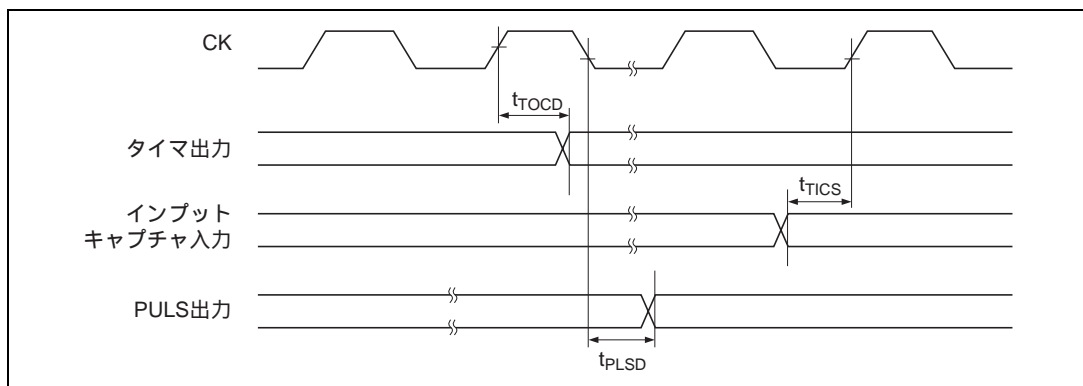


図 22.14 ATU 入出力タイミング、APC 出力タイミング

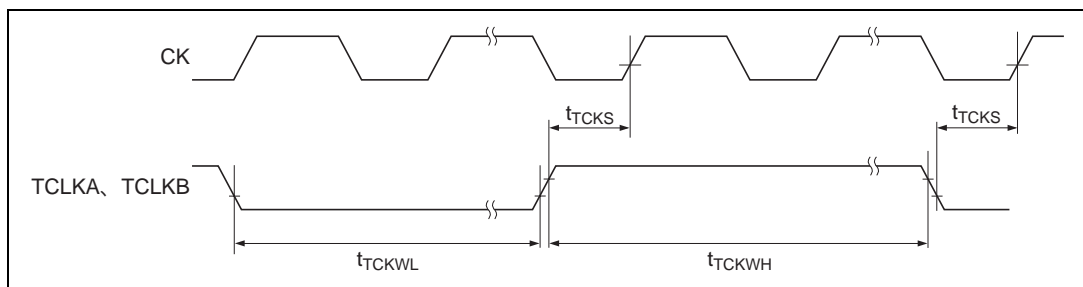


図 22.15 ATU クロック入力タイミング

22.3.6 I/O ポートタイミング

表 22.9 に I/O ポートタイミングを示します。

表 22.9 I/O ポートタイミング

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	t_{PWD}		100	ns	図 22.16
ポート入力ホールド時間	t_{PRH}	50		ns	
ポート入力セットアップ時間	t_{PRS}	50		ns	

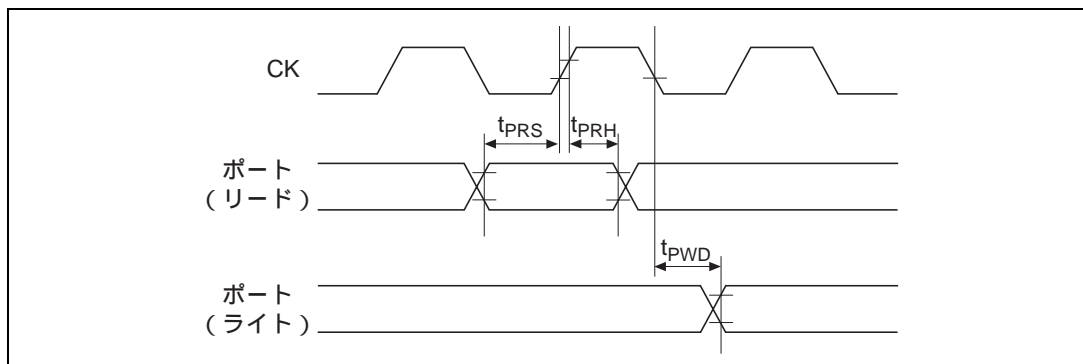


図 22.16 I/O ポート入出力タイミング

22.3.7 ウォッチドッグタイマタイミング

表 22.10 にウォッチドッグタイマタイミングを示します。

表 22.10 ウォッチドッグタイマタイミング

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図
WDTOVF 遅延時間	t_{WOVD}		100	ns	図 22.17

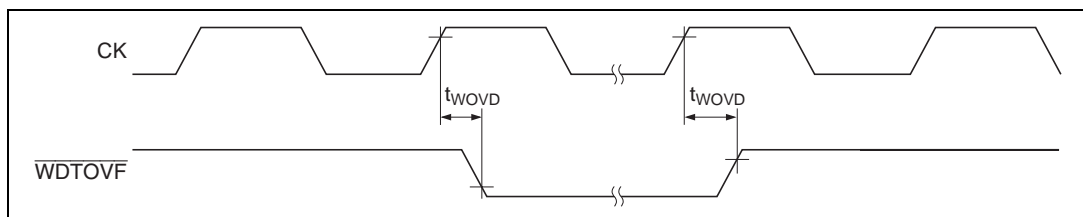


図 22.17 ウォッチドッグタイマタイミング

22.3.8 シリアルコミュニケーションインタフェースタイミング

表 22.11 にシリアルコミュニケーションインタフェースタイミングを示します。

表 22.11 シリアルコミュニケーションインタフェースタイミング

条件： $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図
入力クロックサイクル	t_{scyc}	4		t_{scyc}	図 22.18
入力クロックサイクル (クロック同期)	t_{scyc}	6		t_{scyc}	
入力クロックパルス幅	t_{sckw}	0.4	0.6	t_{scyc}	
入力クロック立ち上がり時間	t_{sckr}		1.5	t_{scyc}	
入力クロック立ち下がり時間	t_{sckf}		1.5	t_{scyc}	
送信データ遅延時間 (クロック同期)	t_{TXD}		100	ns	図 22.19
受信データセットアップ時間 (クロック同期)	t_{RXS}	100		ns	
受信データホールド時間 (クロック同期)	t_{RXH}	100		ns	

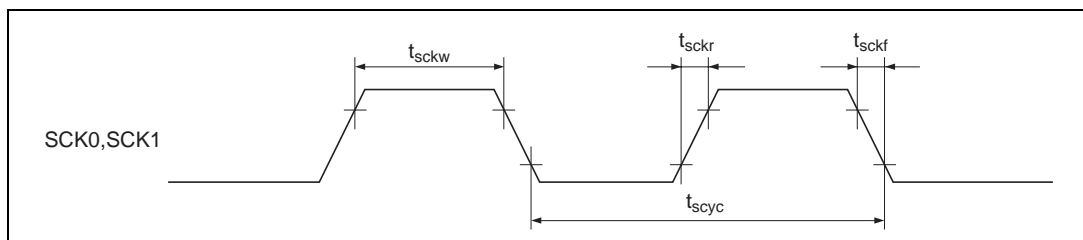


図 22.18 入力クロックタイミング

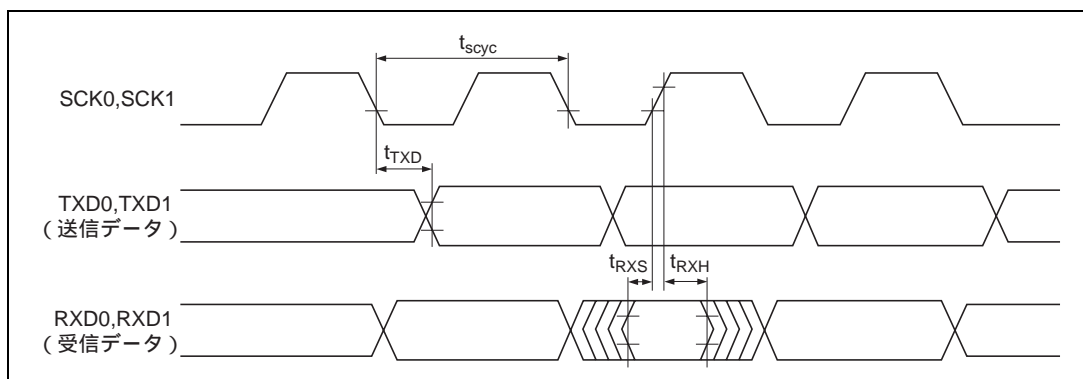


図 22.19 SCI 入出力タイミング (クロック同期式モード)

22.3.9 A/D 変換器タイミング

表 22.12 に A/D 変換器タイミングを示します。

表 22.12 A/D 変換器タイミング

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	min	max	単位	参照図
外部トリガ入力開始遅延時間	t_{TRGS}	50		ns	図 22.20
A/D 変換時間 (266 ステート)	t_{CONV}		266	t_{cyc}	図 22.21
A/D 変換時間 (134 ステート)	t_{CONV}		134	t_{cyc}	

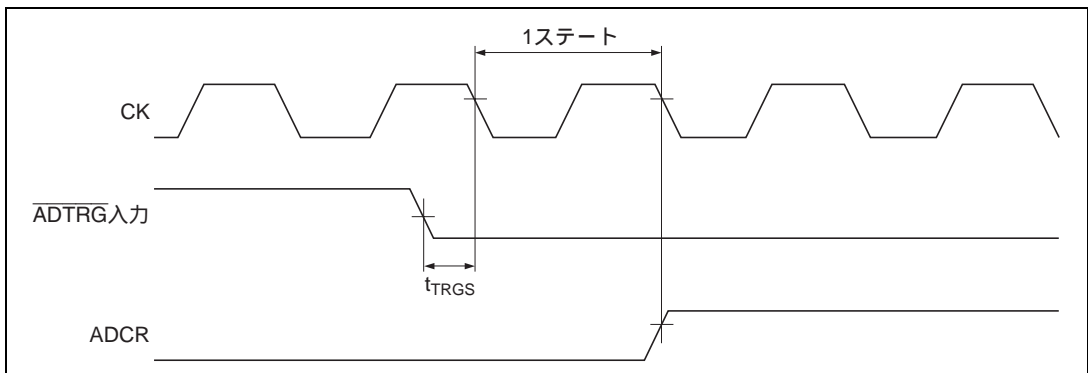


図 22.20 外部トリガ入力タイミング

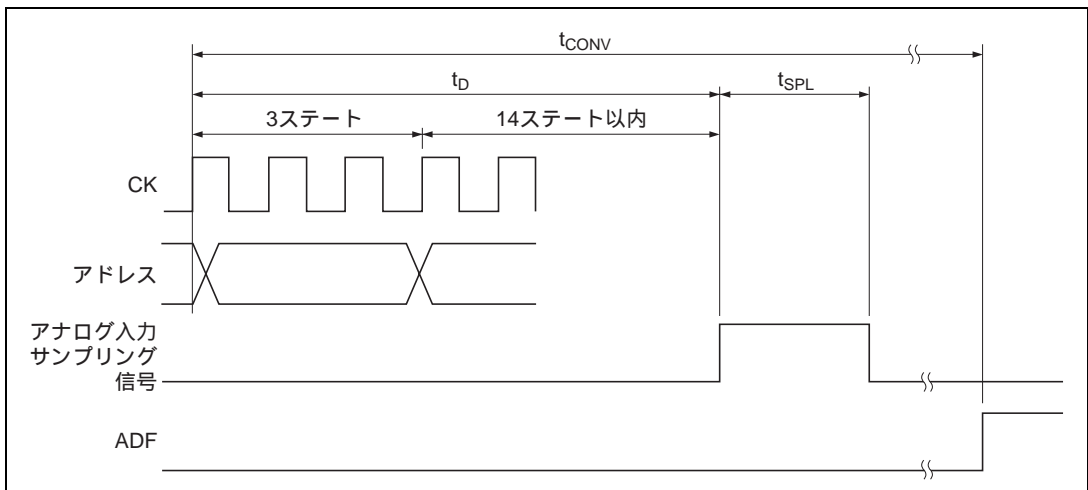


図 22.21 アナログ変換タイミング

22.3.10 AC 特性測定条件

入力参照レベル High レベル : 2.2V、Low レベル : 0.8V

出力参照レベル High レベル : 2.0V、Low レベル : 0.8V

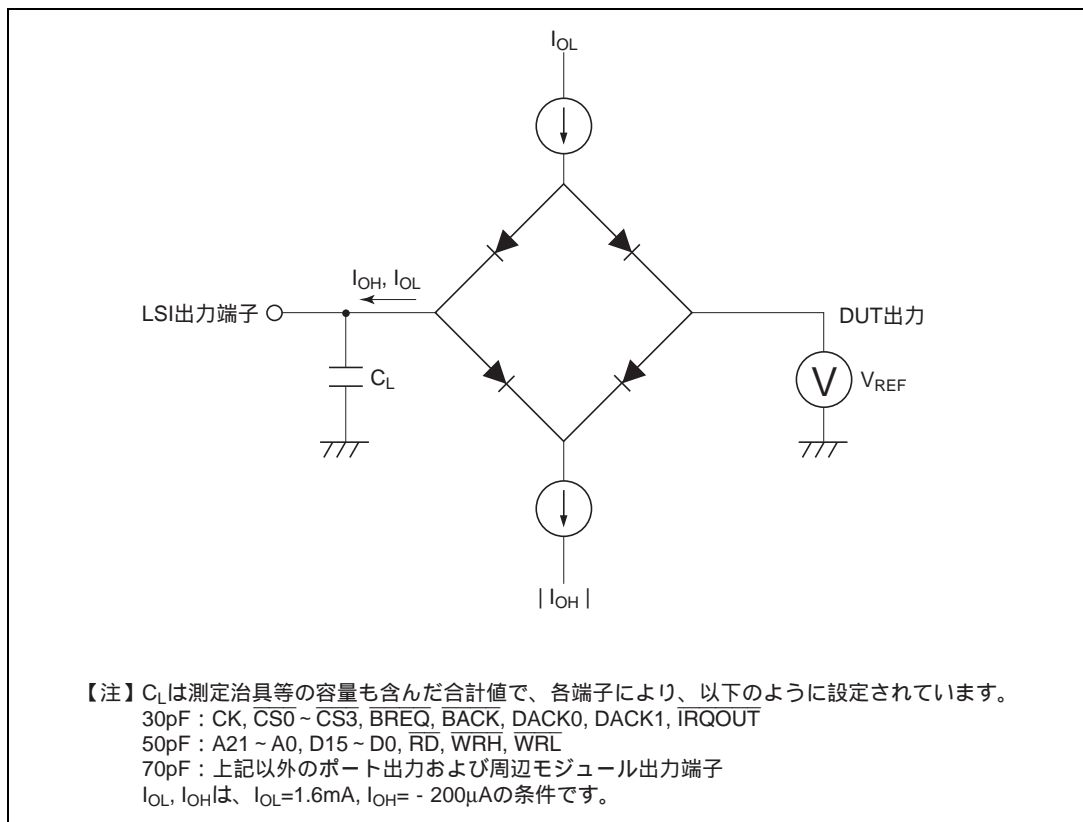


図 22.22 出力負荷回路

22.4 A/D 変換器特性

表 22.13 に A/D 変換器特性を示します。

表 22.13 A/D 変換器タイミング

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	20MHz			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間			6.7	μs
アナログ入力容量			20	pF
許可信号源インピーダンス			3	k Ω
非直線性誤差			± 1.5	LSB
オフセット誤差			± 1.5	LSB
フルスケール誤差			± 1.5	LSB
量子化誤差			± 0.5	LSB
絶対精度			± 2.0	LSB

付録

A. 内蔵周辺モジュールレジスタ

A.1 アドレス一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。
16ビット、32ビットレジスタは、8ビットずつ2段または4段で表しています。

表 A.1 2 サイクル、8 ビットアクセス空間
(8ビット、16ビットアクセス可。32ビットアクセス禁止)

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
H'FFFF8000 ~ H'FFFF819F	-	-	-	-	-	-	-	-	-	-	-
H'FFFF81A0	SMR0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル0)	
H'FFFF81A1	BRR0										
H'FFFF81A2	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FFFF81A3	TDR0										
H'FFFF81A4	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFFF81A5	RDR0										
H'FFFF81A6 ~ H'FFFF81AF	-	-	-	-	-	-	-	-	-		
H'FFFF81B0	SMR1	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル1)	
H'FFFF81B1	BRR1										
H'FFFF81B2	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FFFF81B3	TDR1										
H'FFFF81B4	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFFF81B5	RDR1										
H'FFFF81B6 ~ H'FFFF81BF	-	-	-	-	-	-	-	-	-		
H'FFFF81C0	SMR2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル2)	
H'FFFF81C1	BRR2										
H'FFFF81C2	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FFFF81C3	TDR2										
H'FFFF81C4	SSR2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFFF81C5	RDR2										
H'FFFF81C6 ~ H'FFFF81FF	-	-	-	-	-	-	-	-	-		

表 A.2 2 サイクル、16 ビットアクセス空間
(原則として 8 ビット、16 ビット、32 ビットアクセス可)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF8200	TMDR* ¹	-	-	-	-	-	T5PWM	T4PWM	T3PWM	ATU (チャンネル 3~5 共通)
H'FFFF8201	-	-	-	-	-	-	-	-	-	
H'FFFF8202	TIERDH* ¹	-	-	-	OVE3	IME3D	IME3C	IME3B	IME3A	
H'FFFF8203	TSRDH* ¹	-	-	-	OVF3	IMF3D	IMF3C	IMF3B	IMF3A	
H'FFFF8204	TIERDL* ¹	OVE4	IME4D	IME4C	IME4B	IME4A	OVE5	IME5B	IME5A	
H'FFFF8205	TSRDL* ¹	OVF4	IMF4D	IMF4C	IMF4B	IMF4A	OVF5	IMF5B	IMF5A	
H'FFFF8206	TCR3* ²	-	-	CKEG1	CKEG0	-	CKSEL2	CKSEL1	CKSEL0	ATU (チャンネル3)
H'FFFF8207	TCR4* ²	-	-	CKEG1	CKEG0	-	CKSEL2	CKSEL1	CKSEL0	ATU (チャンネル4)
H'FFFF8208	TIOR3A* ²	CCI3B	IO3B2	IO3B1	IO3B0	CCI3A	IO3A2	IO3A1	IO3A0	ATU (チャンネル3)
H'FFFF8209	TIOR3B* ²	CCI3D	IO3D2	IO3D1	IO3D0	CCI3C	IO3C2	IO3C1	IO3C0	
H'FFFF820A	TIOR4A* ²	CCI4B	IO4B2	IO4B1	IO4B0	CCI4A	IO4A2	IO4A1	IO4A0	ATU (チャンネル4)
H'FFFF820B	TIOR4B* ²	CCI4D	IO4D2	IO4D1	IO4D0	CCI4C	IO4C2	IO4C1	IO4C0	
H'FFFF820C	TCR5* ²	-	-	CKEG1	CKEG0	-	CKSEL2	CKSEL1	CKSEL0	ATU
H'FFFF820D	TIOR5A* ²	CCI5B	IO5B2	IO5B1	IO5B0	CCI5A	IO5A2	IO5A1	IO5A0	(チャンネル5)
H'FFFF820E	TCNT3* ³									ATU (チャンネル3)
H'FFFF820F										
H'FFFF8210	GR3A* ³									
H'FFFF8211										
H'FFFF8212	GR3B* ³									
H'FFFF8213										
H'FFFF8214	GR3C* ³									
H'FFFF8215										
H'FFFF8216	GR3D* ³									
H'FFFF8217										
H'FFFF8218	TCNT4* ³									ATU (チャンネル4)
H'FFFF8219										
H'FFFF821A	GR4A* ³									
H'FFFF821B										
H'FFFF821C	GR4B* ³									
H'FFFF821D										
H'FFFF821E	GR4C* ³									
H'FFFF821F										
H'FFFF8220	GR4D* ³									
H'FFFF8221										
H'FFFF8222	TCNT5* ³									ATU (チャンネル5)
H'FFFF8223										
H'FFFF8224	GR5A* ³									
H'FFFF8225										
H'FFFF8226	GR5B* ³									
H'FFFF8227										
H'FFFF8228 ~ H'FFFF823F	-	-	-	-	-	-	-	-	-	-

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF8240	TIERE* ¹	-	CME6	-	CME7	-	CME8	-	CME9	ATU (チャンネル 6~9 共通)
H'FFFF8241	TSRE* ¹	-	CMF6	-	CMF7	-	CMF8	-	CMF9	
H'FFFF8242	TCR7* ²	-	-	-	-	-	CKSEL2	CKSEL1	CKSEL0	ATU (チャンネル7)
H'FFFF8243	TCR6* ²	-	-	-	-	-	CKSEL2	CKSEL1	CKSEL0	ATU (チャンネル6)
H'FFFF8244	TCR9* ²	-	-	-	-	-	CKSEL2	CKSEL1	CKSEL0	ATU (チャンネル9)
H'FFFF8245	TCR8* ²	-	-	-	-	-	CKSEL2	CKSEL1	CKSEL0	ATU (チャンネル8)
H'FFFF8246	TCNT6* ³									ATU (チャンネル6)
H'FFFF8247										
H'FFFF8248	CYLR6* ³									
H'FFFF8249										
H'FFFF824A	BFR6* ³									
H'FFFF824B										
H'FFFF824C	DTR6* ³									
H'FFFF824D										
H'FFFF824E	TCNT7* ³									ATU (チャンネル7)
H'FFFF824F										
H'FFFF8250	CYLR7* ³									
H'FFFF8251										
H'FFFF8252	BFR7* ³									
H'FFFF8253										
H'FFFF8254	DTR7* ³									
H'FFFF8255										
H'FFFF8256	TCNT8* ³									ATU (チャンネル8)
H'FFFF8257										
H'FFFF8258	CYLR8* ³									
H'FFFF8259										
H'FFFF825A	BFR8* ³									
H'FFFF825B										
H'FFFF825C	DTR8* ³									
H'FFFF825D										
H'FFFF825E	TCNT9* ³									ATU (チャンネル9)
H'FFFF825F										
H'FFFF8260	CYLR9* ³									
H'FFFF8261										
H'FFFF8262	BFR9* ³									
H'FFFF8263										
H'FFFF8264	DTR9* ³									
H'FFFF8265										
H'FFFF826 ~ H'FFFF827F	-	-	-	-	-	-	-	-	-	-
H'FFFF8280	TGSR* ¹	-	-	-	-	-	TRG0D	-	TRG0A	ATU
H'FFFF8281	TIOR0A* ¹	IO0D1	IO0D0	IO0C1	IO0C0	IO0B1	IO0B0	IO0A1	IO0A0	(チャンネル0)

付 録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF8282	ITVRR* ¹	ITVAD3	ITVAD2	ITVAD1	ITVAD0	ITVE3	ITVE2	ITVE1	ITVE0	ATU (チャンネル0)
H'FFFF8283	TSRAH* ¹	-	-	-	-	IIF3	IIF2	IIF1	IIF0	
H'FFFF8284	TIERA* ¹	-	-	-	OVE0	ICE0D	ICE0C	ICE0B	ICE0A	
H'FFFF8285	TSRAL* ¹	-	-	-	OVF0	ICF0D	ICF0C	ICF0B	ICF0A	
H'FFFF8286	-	-	-	-	-	-	-	-	-	
H'FFFF8287	-	-	-	-	-	-	-	-	-	
H'FFFF8288	TCNTOH* ⁴									
H'FFFF8289										
H'FFFF828A	TCNTOL* ⁴									
H'FFFF828B										
H'FFFF828C	ICROAH* ⁴									
H'FFFF828D										
H'FFFF828E	ICROAL* ⁴									
H'FFFF828F										
H'FFFF8290	ICROBH* ⁴									
H'FFFF8291										
H'FFFF8292	ICROBL* ⁴									
H'FFFF8293										
H'FFFF8294	ICROCH* ⁴									
H'FFFF8295										
H'FFFF8296	ICROCL* ⁴									
H'FFFF8297										
H'FFFF8298	ICRODH* ⁴									
H'FFFF8299										
H'FFFF829A	ICRODL* ⁴									
H'FFFF829B										
H'FFFF829C~ H'FFFF82BF	-	-	-	-	-	-	-	-	-	
H'FFFF82C0	TCR1* ²	-	-	CKEG1	CKEG0	-	CKSEL2	CKSEL1	CKSEL0	ATU (チャンネル1)
H'FFFF82C1	TIOR1A* ²	-	IO1B2	IO1B1	IO1B0	-	IO1A2	IO1A1	IO1A0	
H'FFFF82C2	TIOR1B* ²	-	IO1D2	IO1D1	IO1D0	-	IO1C2	IO1C1	IO1C0	
H'FFFF82C3	TIOR1C* ²	-	IO1F2	IO1F1	IO1F0	-	IO1E2	IO1E1	IO1E0	
H'FFFF82C4	TIERB* ¹	-	OVE1	IME1F	IME1E	IME1D	IME1C	IME1B	IME1A	
H'FFFF82C5	TSRB* ¹	-	OVF1	IMF1F	IMF1E	IMF1D	IMF1C	IMF1B	IMF1A	
H'FFFF82C6	TCR2* ²	-	-	CKEG1	CKEG0	-	CKSEL2	CKSEL1	CKSEL0	ATU (チャンネル2)
H'FFFF82C7	TIOR2A* ²	-	IO2B2	IO2B1	IO2B0	-	IO2A2	IO2A1	IO2A0	
H'FFFF82C8	TIERC* ¹	-	-	-	-	-	OVE2	IME2B	IME2A	
H'FFFF82C9	TSRC* ¹	-	-	-	-	-	OVF2	IMF2B	IMF2A	
H'FFFF82CA	TCNT2* ³									
H'FFFF82CB										
H'FFFF82CC	GR2A* ³									
H'FFFF82CD										
H'FFFF82CE	GR2B* ³									
H'FFFF82CF										
H'FFFF82D0	TCNT1* ³									ATU (チャンネル1)
H'FFFF82D1										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF82D2	GR1A* ³									ATU (チャンネル1)
H'FFFF82D3										
H'FFFF82D4	GR1B* ³									
H'FFFF82D5										
H'FFFF82D6	GR1C* ³									
H'FFFF82D7										
H'FFFF82D8	GR1D* ³									
H'FFFF82D9										
H'FFFF82DA	GR1E* ³									
H'FFFF82DB										
H'FFFF82DC	GR1F* ³									
H'FFFF82DD										
H'FFFF82DE	OSBR* ³									
H'FFFF82DF										
H'FFFF82E0	TCR10* ²	-	CKSEL2A	CKSEL1A	CKSEL0A	-	CKSEL2B	CKSEL1B	CKSEL0B	ATU (チャンネル10)
H'FFFF82E1	TCNR* ²	CN10H	CN10G	CN10F	CN10E	CN10D	CN10C	CN10B	CN10A	
H'FFFF82E2	TIERF* ¹	OSE10H	OSE10G	OSE10F	OSE10E	OSE10D	OSE10C	OSE10B	OSE10A	
H'FFFF82E3	TSRF* ¹	OSF10H	OSF10G	OSF10F	OSF10E	OSF10D	OSF10C	OSF10B	OSF10A	
H'FFFF82E4	-	-	-	-	-	-	-	-	-	
H'FFFF82E5	DSTR* ¹	DST10H	DST10G	DST10F	DST10E	DST10D	DST10C	DST10B	DST10A	
H'FFFF82E6	-	-	-	-	-	-	-	-	-	
H'FFFF82E7	-	-	-	-	-	-	-	-	-	
H'FFFF82E8	-	-	-	-	-	-	-	-	-	ATU (共通)
H'FFFF82E9	PSCR1* ¹	-	-	-	PSCE	PSCD	PSCC	PSCB	PSCA	
H'FFFF82EA	TSTR* ³	-	-	-	-	-	-	STR9	STR8	
H'FFFF82EB		STR7	STR6	STR5	STR4	STR3	STR2	STR1	STR0	
H'FFFF82EC ~ H'FFFF82EF	-	-	-	-	-	-	-	-	-	-
H'FFFF82F0	DCNT10A * ³									ATU (チャンネル10)
H'FFFF82F1										
H'FFFF82F2	DCNT10B * ³									
H'FFFF82F3										
H'FFFF82F4	DCNT10C * ³									
H'FFFF82F5										
H'FFFF82F6	DCNT10D * ³									
H'FFFF82F7										
H'FFFF82F8	DCNT10E * ³									
H'FFFF82F9										
H'FFFF82FA	DCNT10F * ³									
H'FFFF82FB										
H'FFFF82FC	DCNT10G * ³									
H'FFFF82FD										
H'FFFF82FE	DCNT10H * ³									
H'FFFF82FF										

付 録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF8300 ~ H'FFFF8347	-	-	-	-	-	-	-	-	-	INTC
H'FFFF8348	IPRA									
H'FFFF8349										
H'FFFF834A	IPRB									
H'FFFF834B										
H'FFFF834C	IPRC									
H'FFFF834D										
H'FFFF834E	IPRD									
H'FFFF834F										
H'FFFF8350	IPRE									
H'FFFF8351										
H'FFFF8352	IPRF									
H'FFFF8353										
H'FFFF8354	IPRG									
H'FFFF8355										
H'FFFF8356	IPRH									
H'FFFF8357										
H'FFFF8358	ICR	NMIL	-	-	-	-	-	-	NMIE	
H'FFFF8359		IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S	
H'FFFF835A	ISR	-	-	-	-	-	-	-	-	
H'FFFF835B		IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F	
H'FFFF835C ~ H'FFFF837F	-	-	-	-	-	-	-	-	-	
H'FFFF8380	PADR* ²	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR	ポート A
H'FFFF8381		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
H'FFFF8382	PAIOR* ²	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR	
H'FFFF8383		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR	
H'FFFF8384	PACR* ²	PA15MD	PA14MD	PA13MD	PA12MD	PA11MD	PA10MD	PA9MD	PA8MD	
H'FFFF8385		PA7MD	PA6MD	PA5MD	PA4MD	PA3MD	PA2MD	PA1MD	PA0MD	
H'FFFF8386	PBDR* ²	-	-	PB11DR	PB10DR	PB9DR	PB8DR	PB7DR	PB6DR	ポート B
H'FFFF8387		-	-	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
H'FFFF8388	PBIOR* ²	-	-	PB11IOR	PB10IOR	PB9IOR	PB8IOR	PB7IOR	PB6IOR	
H'FFFF8389		-	-	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR	
H'FFFF838A	PBCR* ²	-	PB11MD1	PB11MD0	PB10MD	PB9MD	PB8MD	PB7MD	PB6MD	
H'FFFF838B		-	-	PB5MD	PB4MD	PB3MD	PB2MD	PB1MD	PB0MD	
H'FFFF838C ~ H'FFFF838F	-	-	-	-	-	-	-	-	-	-
H'FFFF8390	PCDR* ²	-	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR	ポート C
H'FFFF8391		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
H'FFFF8392	PCIOR* ²	-	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR	
H'FFFF8393		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR	
H'FFFF8394	PCCR1* ²	-	-	PC14MD1	PC14MD0	PC13MD1	PC13MD0	PC12MD1	PC12MD0	
H'FFFF8395		PC11MD1	PC11MD0	PC10MD1	PC10MD0	PC9MD1	PC9MD0	PC8MD1	PC8MD0	
H'FFFF8396	PCCR2* ²	PC7MD1	PC7MD0	PC6MD1	PC6MD0	-	PC5MD	-	PC4MD	
H'FFFF8397		-	PC3MD	-	PC2MD	-	PC1MD	-	PC0MD	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF8398	PDDR* ²	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	ポート D
H'FFFF8399		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
H'FFFF839A	PDIOR* ²	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	
H'FFFF839B		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR	
H'FFFF839C	PDCR* ²	PD15MD	PD14MD	PD13MD	PD12MD	PD11MD	PD10MD	PD9MD	PD8MD	
H'FFFF839D		PD7MD	PD6MD	PD5MD	PD4MD	PD3MD	PD2MD	PD1MD	PD0MD	
H'FFFF839E	CKCR	-	-	-	-	-	-	-	-	ポート
H'FFFF839F		-	-	-	-	-	-	-	CKLO	
H'FFFF83A0	PEDR* ²	-	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	ポート E
H'FFFF83A1		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
H'FFFF83A2	PEIOR* ²	-	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR	
H'FFFF83A3		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR	
H'FFFF83A4	PECR* ²	-	PE14MD	PE13MD	PE12MD	PE11MD	PE10MD	PE9MD	PE8MD	
H'FFFF83A5		PE7MD	PE6MD	PE5MD	PE4MD	PE3MD	PE2MD	PE1MD	PE0MD	
H'FFFF83A6	PFDR* ²	-	-	-	-	PF11DR	PF10DR	PF9DR	PF8DR	ポート F
H'FFFF83A7		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
H'FFFF83A8	PFIOR* ²	-	-	-	-	PF11IOR	PF10IOR	PF9IOR	PF8IOR	
H'FFFF83A9		PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR	
H'FFFF83AA	PFCR1* ²	-	-	-	-	-	-	-	-	
H'FFFF83AB		PF11MD1	PF11MD0	PF10MD1	PF10MD0	PF9MD1	PF9MD0	PF8MD1	PF8MD0	
H'FFFF83AC	PFCR2* ²	PF7MD1	PF7MD0	PF6MD1	PF6MD0	PF5MD1	PF5MD0	PF4MD1	PF4MD0	
H'FFFF83AD		-	PF3MD	-	PF2MD	-	PF1MD	-	PF0MD	
H'FFFF83AE	PGDR* ²	PG15DR	PG14DR	PG13DR	PG12DR	PG11DR	PG10DR	PG9DR	PG8DR	ポート G
H'FFFF83AF		PG7DR	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR	
H'FFFF83B0	PGIOR* ²	PG15IOR	PG14IOR	PG13IOR	PG12IOR	PG11IOR	PG10IOR	PG9IOR	PG8IOR	
H'FFFF83B1		PG7IOR	PG6IOR	PG5IOR	PG4IOR	PG3IOR	PG2IOR	PG1IOR	PG0IOR	
H'FFFF83B2	PGCR1* ²	PG15MD1	PG15MD0	PG14MD1	PG14MD0	-	PG13MD	-	PG12MD	
H'FFFF83B3		-	PG11MD	-	PG10MD	-	PG9MD	-	PG8MD	
H'FFFF83B4	PGCR2* ²	-	PG7MD	-	PG6MD	-	PG5MD	-	PG4MD	
H'FFFF83B5		-	PG3MD	PG2MD	PG1MD	PG0MD1	PG0MD0	IRQMD1	IRQMD0	
H'FFFF83B6	PHDR* ²	PH15DR	PH14DR	PH13DR	PH12DR	PH11DR	PH10DR	PH9DR	PH8DR	ポート H
H'FFFF83B7		PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
H'FFFF83B8	ADTRG* ¹	EXTRG	-	-	-	-	-	-	-	AD0
H'FFFF83B9 ~ H'FFFF83BF	-	-	-	-	-	-	-	-	-	-
H'FFFF83C0	POPCR* ²	PULSE7 ROE	PULSE6 ROE	PULSE5 ROE	PULSE4 ROE	PULSE3 ROE	PULSE2 ROE	PULSE1 ROE	PULSE0 ROE	APC
H'FFFF83C1		PULSE7 SOE	PULSE6 SOE	PULSE5 SOE	PULSE4 SOE	PULSE3 SOE	PULSE2 SOE	PULSE1 SOE	PULSE0 SOE	
H'FFFF83C2 ~ H'FFFF83C7	-	-	-	-	-	-	-	-	-	-
H'FFFF83C8	SYSCR* ¹	-	-	-	-	-	-	-	RAME	(低消費電力 状態)
H'FFFF83C9 ~ H'FFFF83CF	-	-	-	-	-	-	-	-	-	-
H'FFFF83D0	CMSTR	-	-	-	-	-	-	-	-	CMT (共通)
H'FFFF83D1		-	-	-	-	-	-	STR1	STR0	

付 録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF83D2	CMCSR0	-	-	-	-	-	-	-	-	CMT (チャンネル0)
H'FFFF83D3		CMF	CMIE	-	-	-	-	CKS1	CKS0	
H'FFFF83D4	CMCNT0									
H'FFFF83D5										
H'FFFF83D6	CMCOR0									
H'FFFF83D7										
H'FFFF83D8	CMCSR1	-	-	-	-	-	-	-	CMT (チャンネル1)	
H'FFFF83D9		CMF	CMIE	-	-	-	-	CKS1		
H'FFFF83DA	CMCNT1									
H'FFFF83DB										
H'FFFF83DC	CMCOR1									
H'FFFF83DD										
H'FFFF83DE ~ H'FFFF83FF	-	-	-	-	-	-	-	-		-

- 【注】 *1 8ビットアクセスのみ可。16ビット、32ビットアクセス禁止。
 *2 8ビット、16ビットアクセス可。32ビットアクセス禁止。
 *3 16ビットアクセスのみ可。8ビット、32ビットアクセス禁止。
 *4 32ビットアクセスのみ可。8ビット、16ビットアクセス禁止。

表 A.3 3 サイクル、8 ビットアクセス空間
(8 ビット、16 ビットアクセス可。32 ビットアクセス禁止)

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
H'FFFF840 ~ H'FFFF857F	-	-	-	-	-	-	-	-	-	-	-
H'FFFF8580	FLMCR1* ¹	FWE	V _{pp} E	ESU	PSU	EV	PV	E	P	フラッシュ	
H'FFFF8581	FLMCR2* ¹	FLER	-	-	-	-	-	-	-		
H'FFFF8582	EBR1* ¹	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
H'FFFF858 ~ H'FFFF85CF	-	-	-	-	-	-	-	-	-	-	-
H'FFFF85D0	ADDR0H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD0	
H'FFFF85D1	ADDR0L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85D2	ADDR1H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85D3	ADDR1L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85D4	ADDR2H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85D5	ADDR2L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85D6	ADDR3H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85D7	ADDR3L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85D8	ADDR4H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85D9	ADDR4L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85DA	ADDR5H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85DB	ADDR5L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85DC	ADDR6H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85DD	ADDR6L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85DE	ADDR7H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85DF	ADDR7L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85E0	ADDR8H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85E1	ADDR8L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85E2	ADDR9H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85E3	ADDR9L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85E4	ADDR10H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85E5	ADDR10L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85E6	ADDR11H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85E7	ADDR11L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85E8	ADCSR0	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0		
H'FFFF85E9	ADCR0	TRGE	CKS	ADST	-	-	-	-	-		
H'FFFF85EA ~ H'FFFF85EF	-	-	-	-	-	-	-	-	-	-	
H'FFFF85F0	ADDR12H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	
H'FFFF85F1	ADDR12L	AD1	AD0	-	-	-	-	-	-		
H'FFFF85F2	ADDR13H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFF85F3	ADDR13L	AD1	AD0	-	-	-	-	-	-		

アドレス	レジスタ 略称	ビット名								モジュール
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFFF85F4	ADDR14H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1
H'FFFF85F5	ADDR14L	AD1	AD0	-	-	-	-	-	-	
H'FFFF85F6	ADDR15H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF85F7	ADDR15L	AD1	AD0	-	-	-	-	-	-	
H'FFFF85F8	ADCSR1	ADF	ADIE	ADST	SCAN	CKS	-	CH1	CH0	
H'FFFF85F9	ADCR1	TRGE	-	-	-	-	-	-	-	
H'FFFF85FA ~ H'FFFF85FF	-	-	-	-	-	-	-	-	-	-

【注】 *1 8ビットアクセスのみ可。16ビット、32ビットアクセス禁止。

表 A.4 3 サイクル、16 ビットアクセス空間
(原則として8ビット、16ビット、32ビットアクセス可)

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFF8600	UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBC	
H'FFFF8601		UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16		
H'FFFF8602	UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8		
H'FFFF8603		UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0		
H'FFFF8604	UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24		
H'FFFF8605		UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16		
H'FFFF8606	UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8		
H'FFFF8607		UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0		
H'FFFF8608	UBBR	-	-	-	-	-	-	-	-		
H'FFFF8609		CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0		
H'FFFF860A ~ H'FFFF860F	-	-	-	-	-	-	-	-	-		-
H'FFFF8610	TCSR* ⁴	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0		WDT
H'FFFF8611	TCNT* ⁴										
H'FFFF8612	-	-	-	-	-	-	-	-	-		
H'FFFF8613	RSTCSR* ⁴	WOVF	RSTE	-	-	-	-	-	-		
H'FFFF8614	SBYCR* ¹	SSBY	HIZ	-	-	-	-	-	-		(低消費電力 状態)
H'FFFF8615 ~ H'FFFF861F	-	-	-	-	-	-	-	-	-	-	
H'FFFF8620	BCR1	-	-	-	-	-	-	-	-	BSC	
H'FFFF8621		-	-	-	-	A3SZ	A2SZ	A1SZ	A0SZ		
H'FFFF8622	BCR2	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00		
H'FFFF8623		CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0		
H'FFFF8624	WCR1	W33	W32	W31	W30	W23	W22	W21	W20		
H'FFFF8625		W13	W12	W11	W10	W03	W02	W01	W00		
H'FFFF8626	WCR2	-	-	-	-	-	-	-	-		
H'FFFF8627		-	-	-	-	DSW3	DSW2	DSW1	DSW0		
H'FFFF8628	RAMER	-	-	-	-	-	-	-	-	フラッシュ	
H'FFFF8629		-	-	-	-	-	RAMS	RAM1	RAM0		
H'FFFF862A ~ H'FFFF86AF	-	-	-	-	-	-	-	-	-	-	
H'FFFF86B0	DMAOR* ²	-	-	-	-	-	-	PR1	PR0	DMAC (共通)	
H'FFFF86B1		-	-	-	-	-	AE	NMIF	DME		
H'FFFF86B2 ~ H'FFFF86BF	-	-	-	-	-	-	-	-	-	-	
H'FFFF86C0	SAR0* ⁵									DMAC (チャンネル0)	
H'FFFF86C1											
H'FFFF86C2											
H'FFFF86C3											

付 録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF86C4	DAR0* ⁵									DMAC (チャンネル0)
H'FFFF86C5										
H'FFFF86C6										
H'FFFF86C7										
H'FFFF86C8	DMATCR0* ³	-	-	-	-	-	-	-	-	
H'FFFF86C9										
H'FFFF86CA										
H'FFFF86CB										
H'FFFF86CC	CHCR0* ⁵	-	-	-	-	-	-	-	-	
H'FFFF86CD		-	-	-	-	-	RL	AM	AL	
H'FFFF86CE		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'FFFF86CF		-	DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF86D0	SAR1* ⁵									DMAC (チャンネル1)
H'FFFF86D1										
H'FFFF86D2										
H'FFFF86D3										
H'FFFF86D4	DAR1* ⁵									
H'FFFF86D5										
H'FFFF86D6										
H'FFFF86D7										
H'FFFF86D8	DMATCR1* ³	-	-	-	-	-	-	-	-	
H'FFFF86D9										
H'FFFF86DA										
H'FFFF86DB										
H'FFFF86DC	CHCR1* ⁵	-	-	-	-	-	-	-	-	
H'FFFF86DD		-	-	-	-	-	RL	AM	AL	
H'FFFF86DE		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'FFFF86DF		-	DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF86E0	SAR2* ⁵									DMAC (チャンネル2)
H'FFFF86E1										
H'FFFF86E2										
H'FFFF86E3										
H'FFFF86E4	DAR2* ⁵									
H'FFFF86E5										
H'FFFF86E6										
H'FFFF86E7										
H'FFFF86E8	DMATCR2* ³	-	-	-	-	-	-	-	-	
H'FFFF86E9										
H'FFFF86EA										
H'FFFF86EB										
H'FFFF86EC	CHCR2* ⁵	-	-	-	-	-	-	-	-	
H'FFFF86ED		-	-	-	-	RO	-	-	-	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF86EE	CHCR2* ⁵	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	DMAC (チャンネル2)
H'FFFF86EF		-	-	TM	TS1	TS0	IE	TE	DE	
H'FFFF86F0	SAR3* ⁵									DMAC (チャンネル3)
H'FFFF86F1										
H'FFFF86F2										
H'FFFF86F3										
H'FFFF86F4	DAR3* ⁵									
H'FFFF86F5										
H'FFFF86F6										
H'FFFF86F7										
H'FFFF86F8	DMATCR3* ³	-	-	-	-	-	-	-	-	
H'FFFF86F9										
H'FFFF86FA										
H'FFFF86FB										
H'FFFF86FC	CHCR3* ⁵	-	-	-	-	-	-	-	-	
H'FFFF86FD		-	-	-	DI	-	-	-	-	
H'FFFF86FE		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'FFFF86FF		-	-	TM	TS1	TS0	IE	TE	DE	
H'FFFF8700 ~ H'FFFF87FF	-	-	-	-	-	-	-	-	-	-

- 【注】 *1 8ビットアクセスのみ可。16ビット、32ビットアクセス禁止。
*2 16ビットアクセスのみ可。8ビット、32ビットアクセス禁止。
*3 32ビットアクセスのみ可。8ビット、16ビットアクセス禁止。
*4 読み出し時のアドレスです。書き込み時のアドレスは、TCSRとTCNTがH'FFFF8610、RSTCSRがH'FFFF8612です。
詳細は「12. ウォッチドックタイマ」の「12.2.4 レジスタアクセス時の注意」を参照してください。
*5 16ビット、32ビットアクセス可。8ビットアクセス禁止。

A.2 レジスタ一覧

SCI

シリアルモードレジスタ (SMR)	H'FFFF81A0 (チャンネル0) H'FFFF81B0 (チャンネル1) H'FFFF81C0 (チャンネル2)	8/16
-------------------	---	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明	
7	コミュニケーションモード (C/A)	0	調歩同期式モード (初期値)	
		1	クロック同期式モード	
6	キャラクタレンクス (CHR)	0	8ビットデータ (初期値)	
		1	7ビットデータ	
5	パリティイネーブル (PE)	0	パリティビットの付加、およびチェックを禁止 (初期値)	
		1	パリティビットの付加、およびチェックを許可	
4	パリティモード (O/E)	0	偶数パリティ (初期値)	
		1	奇数パリティ	
3	ストップビットレンクス (STOP)	0	1ストップビット (初期値)	
		1	2ストップビット	
2	マルチプロセッサモード (MP)	0	マルチプロセッサ機能を禁止 (初期値)	
		1	マルチプロセッサフォーマットを選択	
1、0	クロックセレクト 1、0 (CKS1、CKS0)	0	0	φクロック (初期値)
			1	φ/4クロック
		1	0	φ/16クロック
			1	φ/64クロック

ビットレートレジスタ (BRR)	H'FFFF81A1 (チャンネル0) H'FFFF81B1 (チャンネル1) H'FFFF81C1 (チャンネル2)	8/16
------------------	---	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
7~0	(ビットモードの設定)	シリアル送信 / 受信のビットレートを設定

SCI

シリアルコントロールレジスタ (SCR)	H'FFFF81A2 (チャンネル0) H'FFFF81B2 (チャンネル1) H'FFFF81C2 (チャンネル2)	8/16
----------------------	---	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明		
7	トランスミットインタラプトイネーブル (TIE)	0	送信データエンプティ割り込み (TXI) 要求を禁止 (初期値)		
		1	送信データエンプティ割り込み (TXI) 要求を許可		
6	レシーブインタラプトイネーブル (RIE)	0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止 (初期値)		
		1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可		
5	トランスミットイネーブル (TE)	0	送信動作を禁止 (初期値)		
		1	送信動作を許可		
4	レシーブイネーブル (RE)	0	受信動作を禁止 (初期値)		
		1	受信動作を許可		
3	マルチプロセッサインタラプトイネーブル (MPIE)	0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) [クリア条件] (初期値) (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき		
		1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します		
2	トランスミットエンドインタラプトイネーブル (TEIE)	0	送信終了割り込み (TEI) 要求を禁止 (初期値)		
		1	送信終了割り込み (TEI) 要求を許可		
1、0	クロックイネーブル 1、0 (CKE1、CKE0)	0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定)
			0	クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
			1	調歩同期式モード	内部クロック / SCK 端子はクロック出力
			1	クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
		1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力
			0	クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
			1	調歩同期式モード	外部クロック / SCK 端子はクロック入力
			1	クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

付 録

トランスミットデータレジスタ (TDR)	H'FFFF81A3 (チャンネル0) H'FFFF81B3 (チャンネル1) H'FFFF81C3 (チャンネル2)	8/16
----------------------	---	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
7~0	(送信データ格納)	シリアル送信するデータを格納

SCI

シリアルステータスレジスタ (SSR)	H'FFFF81A4 (チャンネル0) H'FFFF81B4 (チャンネル1) H'FFFF81C4 (チャンネル2)	8/16
---------------------	---	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
7	トランスミットデータレジスタ エンプティ (TDRE)	0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE=1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき
		1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時 (2) SCR の TE ビットが0 のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき
6	レシーブデータレジスタフル (RDRF)	0	RDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモードまたはソフトウェアスタンバイモード時 (2) RDRF=1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で RDR ヘデータを読み出したとき
		1	RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR ヘ受信データが転送されたとき

ビット	ビット名称	値	説明
5	オーバランエラー (ORER)	0	受信中、または正常に受信を完了したことを表示 (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモードまたはソフトウェアスタンバイモード時 (2) ORER=1 の状態を読み出した後、0 を書き込んだとき
		1	受信時にオーバランエラーが発生したことを表示 [セット条件] RDRF=1 の状態で次のシリアル受信を完了したとき
4	フレーミングエラー (FER)	0	受信中、または正常に受信を完了したことを表示 (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモードまたはソフトウェアスタンバイモード時 (2) FER=1 の状態を読み出した後、0 を書き込んだとき
		1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが1 であるかどうかをチェックし、ストップビットが0 であったとき
3	パリティエラー (PER)	0	受信中、または正常に受信を完了したことを表示 (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモードまたはソフトウェアスタンバイモード時 (2) PER=1 の状態を読み出した後、0 を書き込んだとき
		1	受信時にパリティエラーが発生したことを表示 [セット条件] 受信時の受信データとパリティビットをあわせた1 の数が、シリアルモードレジスタ (SMR) の O/E ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき
2	トランスミット エンド (TEND)	0	送信中であることを表示 [クリア条件] (1) TDRE=1 の状態を読み出した後、TDRE フラグに0 を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき
		1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモードまたはソフトウェアスタンバイモード時 (2) SCR の TE ビットが0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき
1	マルチプロセッサ ビット (MPB)	0	マルチプロセッサビットが0 のデータを受信したことを表示 (初期値)
		1	マルチプロセッサビットが1 のデータを受信したことを表示
0	マルチプロセッサ ビットトランスファ (MPBT)	0	マルチプロセッサビットが0 のデータを送信 (初期値)
		1	マルチプロセッサビットが1 のデータを送信

付 録

SCI

レシーブデータレジスタ (RDR)	H'FFFF81A5 (チャンネル0) H'FFFF81B5 (チャンネル1) H'FFFF81C5 (チャンネル2)	8/16
-------------------	---	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	ビット名称	説 明
7~0	(受信シリアルデータ格納)	受信したシリアルデータを格納

ATU

タイムモードレジスタ (TMDR)	H'FFFF8200 (チャンネル3~5 共通)	8
-------------------	-----------------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名						T5PWM	T4PWM	T3PWM
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名称	値	説明
2	PWM モード 5 (T5PWM)	0	チャンネル5はインプットキャプチャ/アウトプットコンペアモード (初期値)
		1	チャンネル5はPWMモード
1	PWM モード 4 (T4PWM)	0	チャンネル4はインプットキャプチャ/アウトプットコンペアモード (初期値)
		1	チャンネル4はPWMモード
0	PWM モード 3 (T3PWM)	0	チャンネル3はインプットキャプチャ/アウトプットコンペアモード (初期値)
		1	チャンネル3はPWMモード

タイムステータスイントラプトイネーブル レジスタ DH (TIERDH)	H'FFFF8202 (チャンネル3~5 共通)	8
---	-----------------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名				OVE3	IME3D	IME3C	IME3B	IME3A
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
4	オーバフローインタラプトイネーブル (OVE3)	0	OVF3による割り込み要求 (OVI3)を禁止 (初期値)
		1	OVF3による割り込み要求 (OVI3)を許可
3	インプットキャプチャ/コンペアマッチ インタラプトイネーブル (IME3D)	0	IMF3Dによる割り込み要求 (IMI3D)を禁止 (初期値)
		1	IMF3Dによる割り込み要求 (IMI3D)を許可
2	インプットキャプチャ/コンペアマッチ インタラプトイネーブル (IME3C)	0	IMF3Cによる割り込み要求 (IMI3C)を禁止 (初期値)
		1	IMF3Cによる割り込み要求 (IMI3C)を許可
1	インプットキャプチャ/コンペアマッチ インタラプトイネーブル (IME3B)	0	IMF3Bによる割り込み要求 (IMI3B)を禁止 (初期値)
		1	IMF3Bによる割り込み要求 (IMI3B)を許可
0	インプットキャプチャ/コンペアマッチ インタラプトイネーブル (IME3A)	0	IMF3Aによる割り込み要求 (IMI3A)を禁止 (初期値)
		1	IMF3Aによる割り込み要求 (IMI3A)を許可

ATU

タイムステータスレジスタ DH (TSRDH)	H'FFFF8203 (チャンネル3~5共通)	8
-------------------------	----------------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名				OVF3	IMF3D	IMF3C	IMF3B	IMF3A
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするために0のみ書き込むことができます。

ビット	ビット名称	値	説明
4	オーバフロー フラグ (OVF3)	0	[クリア条件] (初期値) OVF3=1の状態、OVF3を読み出した後、OVF3に0を書き込んだとき
		1	[セット条件] TCNT3の値がオーバフロー (H'FFFF H'0000) したとき
3	インプット キャプチャ/ コンペアマッチ フラグ (IMF3D)	0	[クリア条件] (初期値) IMF3D=1の状態、IMF3Dを読み出した後、IMF3Dに0を書き込んだとき
		1	[セット条件] (1) GR3Dがインプットキャプチャレジスタとして機能している場合、イン プットキャプチャ信号によりTCNT3の値がGR3Dに転送されたとき (2) GR3Dがアウトプットコンペアレジスタとして機能している場合、 TCNT3=GR3Dになったとき
2	インプット キャプチャ/ コンペアマッチ フラグ (IMF3C)	0	[クリア条件] (初期値) IMF3C=1の状態、IMF3Cを読み出した後、IMF3Cに0を書き込んだとき
		1	[セット条件] (1) GR3Cがインプットキャプチャレジスタとして機能している場合、イン プットキャプチャ信号によりTCNT3の値がGR3Cに転送されたとき (2) GR3Cがアウトプットコンペアレジスタとして機能している場合、 TCNT3=GR3Cになったとき
1	インプット キャプチャ/ コンペアマッチ フラグ (IMF3B)	0	[クリア条件] (初期値) IMF3B=1の状態、IMF3Bを読み出した後、IMF3Bに0を書き込んだとき
		1	[セット条件] (1) GR3Bがインプットキャプチャレジスタとして機能している場合、イン プットキャプチャ信号によりTCNT3の値がGR3Bに転送されたとき (2) GR3Bがアウトプットコンペアレジスタとして機能している場合、 TCNT3=GR3Bになったとき
0	インプット キャプチャ/ コンペアマッチ フラグ (IMF3A)	0	[クリア条件] (初期値) IMF3A=1の状態、IMF3Aを読み出した後、IMF3Aに0を書き込んだとき
		1	[セット条件] (1) GR3Aがインプットキャプチャレジスタとして機能している場合、イン プットキャプチャ信号によりTCNT3の値がGR3Aに転送されたとき (2) GR3Aがアウトプットコンペアレジスタとして機能している場合、 TCNT3=GR3Aになったとき

ATU

タイムステータスインタラプトイネーブルレジスタ DL (TIERDL)	H'FFFF8204 (チャンネル3~5 共通)	8
-------------------------------------	-----------------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	OVE4	IME4D	IME4C	IME4B	IME4A	OVE5	IME5B	IME5A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7	オーバフローインタラプトイネーブル (OVE4)	0	OVF4 による割り込み要求 (OVI4) を禁止 (初期値)
		1	OVF4 による割り込み要求 (OVI4) を許可
6	インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME4D)	0	IMF4D による割り込み要求 (IMI4D) を禁止 (初期値)
		1	IMF4D による割り込み要求 (IMI4D) を許可
5	インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME4C)	0	IMF4C による割り込み要求 (IMI4C) を禁止 (初期値)
		1	IMF4C による割り込み要求 (IMI4C) を許可
4	インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME4B)	0	IMF4B による割り込み要求 (IMI4B) を禁止 (初期値)
		1	IMF4B による割り込み要求 (IMI4B) を許可
3	インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME4A)	0	IMF4A による割り込み要求 (IMI4A) を禁止 (初期値)
		1	IMF4A による割り込み要求 (IMI4A) を許可
2	オーバフローインタラプトイネーブル (OVE5)	0	OVF5 による割り込み要求 (OVI5) を禁止 (初期値)
		1	OVF5 による割り込み要求 (OVI5) を許可
1	インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME5B)	0	IMF5B による割り込み要求 (IMI5B) を禁止 (初期値)
		1	IMF5B による割り込み要求 (IMI5B) を許可
0	インプットキャプチャ/コンペアマッチインタラプトイネーブル (IME5A)	0	IMF5A による割り込み要求 (IMI5A) を禁止 (初期値)
		1	IMF5A による割り込み要求 (IMI5A) を許可

ATU

タイムステータスレジスタ DL (TSRDL)	H'FFFF8205 (チャンネル3~5共通)	8
-------------------------	----------------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	OVF4	IMF4D	IMF4C	IMF4B	IMF4A	OVF5	IMF5B	IMF5A
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
7	オーバーフロー フラグ(OVF4)	0	[クリア条件] (初期値) OVF4=1の状態、OVF4を読み出した後、OVF4に0を書き込んだとき
		1	[セット条件] TCNT4の値がオーバーフロー(H'FFFF H'0000)したとき
6	インプットキャ プチャ/コン ペアマッチ フラグ (IMF4D)	0	[クリア条件] (初期値) IMF4D=1の状態、IMF4Dを読み出した後、IMF4Dに0を書き込んだとき
		1	[セット条件] (1) GR4Dがインプットキャプチャレジスタとして機能している場合、インプ ットキャプチャ信号によりTCNT4の値がGR4Dに転送されたとき (2) GR4Dがアウトプットコンペアレジスタとして機能している場合、 TCNT4=GR4Dになったとき
5	インプットキャ プチャ/コン ペアマッチ フラグ (IMF4C)	0	[クリア条件] (初期値) IMF4C=1の状態、IMF4Cを読み出した後、IMF4Cに0を書き込んだとき
		1	[セット条件] (1) GR4Cがインプットキャプチャレジスタとして機能している場合、インプ ットキャプチャ信号によりTCNT4の値がGR4Cに転送されたとき (2) GR4Cがアウトプットコンペアレジスタとして機能している場合、 TCNT4=GR4Cになったとき
4	インプットキャ プチャ/コン ペアマッチ フラグ(IMF4B)	0	[クリア条件] (初期値) IMF4B=1の状態、IMF4Bを読み出した後、IMF4Bに0を書き込んだとき
		1	[セット条件] (1) GR4Bがインプットキャプチャレジスタとして機能している場合、インプ ットキャプチャ信号によりTCNT4の値がGR4Bに転送されたとき (2) GR4Bがアウトプットコンペアレジスタとして機能している場合、 TCNT4=GR4Bになったとき
3	インプットキャ プチャ/コン ペアマッチ フラグ(IMF4A)	0	[クリア条件] (初期値) IMF4A=1の状態、IMF4Aを読み出した後、IMF4Aに0を書き込んだとき
		1	[セット条件] (1) GR4Aがインプットキャプチャレジスタとして機能している場合、インプ ットキャプチャ信号によりTCNT4の値がGR4Aに転送されたとき (2) GR4Aがアウトプットコンペアレジスタとして機能している場合、 TCNT4=GR4Aになったとき

ビット	ビット名称	値	説明
2	オーバフローフラグ (OVF5)	0	[クリア条件] (初期値) OVF5=1 の状態で、OVF5 を読み出した後、OVF5 に 0 を書き込んだとき
		1	[セット条件] TCNT5 の値がオーバフロー (H'FFFF H'0000) したとき
1	インプットキャプチャ/コンペアマッチフラグ (IMF5B)	0	[クリア条件] (初期値) IMF5B=1 の状態で、IMF5B を読み出した後、IMF5B に 0 を書き込んだとき
		1	[セット条件] (1) GR5B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT5 の値が GR5B に転送されたとき (2) GR5B がアウトプットコンペアレジスタとして機能している場合、TCNT5=GR5B になったとき
0	インプットキャプチャ/コンペアマッチフラグ (IMF5A)	0	[クリア条件] (初期値) IMF5A=1 の状態で、IMF5A を読み出した後、IMF5A に 0 を書き込んだとき
		1	[セット条件] (1) GR5A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT5 の値が GR5A に転送されたとき (2) GR5A がアウトプットコンペアレジスタとして機能している場合、TCNT5=GR5A になったとき

ATU

タイムコントロールレジスタ 1~5 (TCR1~5)	H'FFF82C0 (チャンネル 1)	8/16
	H'FFF82C6 (チャンネル 2)	8/16
	H'FFF8206 (チャンネル 3)	8/16
	H'FFF8207 (チャンネル 4)	8/16
	H'FFF820C (チャンネル 5)	8/16

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名			CKEG1	CKEG0		CKSEL2	CKSEL1	CKSEL0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名称	値	説明		
5、4	クロックエッジ 1、0 (CKEG1、CKEG0)	0	0	立ち上がりエッジでカウント (初期値)	
			1	立ち下がりエッジでカウント	
		1	0	立ち上がり / 立ち下がりの両エッジでカウント	
			1	外部クロックによるカウント禁止	
2、1、0	クロックセレクト 2~0 (CKSEL2~CKSEL0)	0	0	0	内部クロック ϕ " : ϕ でカウント (初期値)
				1	内部クロック ϕ " : ϕ / 2 でカウント
			1	0	内部クロック ϕ " : ϕ / 4 でカウント
				1	内部クロック ϕ " : ϕ / 8 でカウント
		1	0	0	内部クロック ϕ " : ϕ / 16 でカウント
				1	内部クロック ϕ " : ϕ / 32 でカウント
			1	0	外部クロック : TCLKA 端子入力 でカウント
				1	外部クロック : TCLKB 端子入力 でカウント

ATU

タイマ I/O コントロールレジスタ 3A、3B、4A、4B、5A (TIOR3A、3B、TIOR4A、4B、TIOR5A)	H'FFFF8208 (チャンネル 3,3A)	8/16
	H'FFFF8209 (チャンネル 3,3B)	8/16
	H'FFFF820A (チャンネル 4,4A)	8/16
	H'FFFF820B (チャンネル 4,4B)	8/16
	H'FFFF820D (チャンネル 5,5A)	8/16

項目	ビット							
	7	6	5	4	3	2	1	0
TIOR3A	7	6	5	4	3	2	1	0
ビット名	CCI3B	IO3B2	IO3B1	IO3B0	CCI3A	IO3A2	IO3A1	IO3A0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
TIOR3B	7	6	5	4	3	2	1	0
ビット名	CCI3D	IO3D2	IO3D1	IO3D0	CCI3C	IO3C2	IO3C1	IO3C0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
TIOR4A	7	6	5	4	3	2	1	0
ビット名	CCI4B	IO4B2	IO4B1	IO4B0	CCI4A	IO4A2	IO4A1	IO4A0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
TIOR4B	7	6	5	4	3	2	1	0
ビット名	CCI4D	IO4D2	IO4D1	IO4D0	CCI4C	IO4C2	IO4C1	IO4C0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
TIOR5A	7	6	5	4	3	2	1	0
ビット名	CCI5B	IO5B2	IO5B1	IO5B0	CCI5A	IO5A2	IO5A1	IO5A0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値			説明			
7	クリアカウンタイン ーブルフラグ 3B、3D、4B、4D、 5B (CCI3B、CCI3D、 CCI4B、CCI4D、 CCI5B)	0			TCNT のクリアを禁止 (初期値)			
		1			GR のコンペアマッチで TCNT をクリア			
6、5、4	I/O コントロール 3B2 ~ 3B0、3D2 ~ 3D0、4B2 ~ 4B0、 4D2 ~ 4D0、5B2 ~ 5B0 (IO3B2 ~ IO3B0、IO3D2 ~ IO3D0、IO4B2 ~ IO4B0、IO4D2 ~ IO4D0、IO5B2 ~ IO5B0)	0	0	0	GR はアウト プットコン ペアレジスタ	コンペアマッチにかかわらず 0 出力 (初期値)		
				1		GR のコンペアマッチで 0 出力		
			1	0		GR のコンペアマッチで 1 出力		
				1		GR のコンペアマッチでトグル出力		
		1	0	0	0	GR はイン プットキャ プチャレジスタ	インプットキャプチャ禁止	
							1	立ち上がりエッジで GR ヘインプットキャプチャ
							0	立ち下がりエッジで GR ヘインプットキャプチャ
							1	立ち上がり / 立ち下がりの両エッジで GR ヘイン プットキャプチ

ビット	ビット名称	値			説明			
3	クリアカウンタ イネーブルフラグ 3A、3C、4A、4C、 5A(CCI3A、CCI3C、 CCI4A、CCI4C、 CCI5A)	0			TCNTのクリアを禁止(初期値)			
		1			GRのコンペアマッチでTCNTをクリア			
2、1、0	I/Oコントロール 3A2~3A0、3C2~ 3C0、4A2~4A0、 4C2~4C0、5A2~ 5A0(IO3A2~ IO3A0、IO3C2~ IO3C0、IO4A2~ IO4A0、IO4C2~ IO4C0、IO5A2~ IO5A0)	0	0	0	GRは アウトプット コンペア レジスタ	コンペアマッチにかかわらず0出力(初期値)		
				1		GRのコンペアマッチで0出力		
			1	0		GRのコンペアマッチで1出力		
				1		GRのコンペアマッチでトグル出力		
		1	0	0	1	GRは インプット キャプチャ レジスタ	インプットキャプチャ禁止	
							1	立ち上がりエッジでGRへインプットキャプチャ
			1				0	立ち下がりエッジでGRへインプットキャプチャ
							1	立ち上がり/立ち下がりの両エッジでGRへイン プットキャプチャ

付 録

ATU

フリーランニングカウンタ 1~5 (TCNT1~TCNT5)	H'FFFF82D0 (チャンネル 1)	16
	H'FFFF82CA (チャンネル 2)	16
	H'FFFF820E (チャンネル 3)	16
	H'FFFF8218 (チャンネル 4)	16
	H'FFFF8222 (チャンネル 5)	16

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(16 ビットのアップカウンタ、初期値 H'0000)	入力クロックをカウント

ジェネラルレジスタ 3A~3D、4A~4D、5A、5B (GR3A~GR3D、GR4A~GR4D、GR5A、GR5B)	H'FFFF8210 (チャンネル 3,3A)	16
	H'FFFF8212 (チャンネル 3,3B)	16
	H'FFFF8214 (チャンネル 3,3C)	16
	H'FFFF8216 (チャンネル 3,3D)	16
	H'FFFF821A (チャンネル 4,4A)	16
	H'FFFF821C (チャンネル 4,4B)	16
	H'FFFF821E (チャンネル 4,4C)	16
	H'FFFF8220 (チャンネル 4,4D)	16
	H'FFFF8224 (チャンネル 5,5A)	16
H'FFFF8226 (チャンネル 5,5B)	16	

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(インプットキャプチャ / アウトプットコンペア 兼用レジスタ)	(1) インプットキャプチャレジスタ: インプットキャプチャ信号発生時 TCNT1 の値を格納 (2) アウトプットコンペアレジスタ: コンペアマッチの値を設定

ATU

タイムステータスインタラプトイネーブル レジスタ E (TIERE)	H'FFFF8240 (チャンネル 6~9 共通)	8
---------------------------------------	------------------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名		CME6		CME7		CME8		CME9
初期値	0	0	0	0	0	0	0	0
R/W		R/W		R/W		R/W		R/W

ビット	ビット名称	値	説明
6	サイクルレジスタコンペアマッチインタラプトイネーブル (CME6)	0	CMF6 による割り込み要求 (CMi6) を禁止 (初期値)
		1	CMF6 による割り込み要求 (CMi6) を許可
4	サイクルレジスタコンペアマッチインタラプトイネーブル (CME7)	0	CMF7 による割り込み要求 (CMi7) を禁止 (初期値)
		1	CMF7 による割り込み要求 (CMi7) を許可
2	サイクルレジスタコンペアマッチインタラプトイネーブル (CME8)	0	CMF8 による割り込み要求 (CMi8) を禁止 (初期値)
		1	CMF8 による割り込み要求 (CMi8) を許可
0	サイクルレジスタコンペアマッチインタラプトイネーブル (CME9)	0	CMF9 による割り込み要求 (CMi9) を禁止 (初期値)
		1	CMF9 による割り込み要求 (CMi9) を許可

タイムステータスレジスタ E (TSRE)	H'FFFF8241 (チャンネル 6~9 共通)	8
-----------------------	---------------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名		CMF6		CMF7		CMF8		CMF9
初期値	0	0	0	0	0	0	0	0
R/W	R	R/(W)*	R	R/(W)*	R	R/(W)*	R	R/(W)*

【注】 * フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
6	サイクルレジスタコンペアマッチフラグ (CMF6)	0	[クリア条件] (初期値) CMF6=1 の状態で、CMF6 を読み出した後、CMF6 に 0 を書き込んだとき
		1	[セット条件] TCNT6=CYL R6 になったとき
4	サイクルレジスタコンペアマッチフラグ (CMF7)	0	[クリア条件] (初期値) CMF7=1 の状態で、CMF7 を読み出した後、CMF7 に 0 を書き込んだとき
		1	[セット条件] TCNT7=CYL R7 になったとき
2	サイクルレジスタコンペアマッチフラグ (CMF8)	0	[クリア条件] (初期値) CMF8=1 の状態で、CMF8 を読み出した後、CMF8 に 0 を書き込んだとき
		1	[セット条件] TCNT8=CYL R8 になったとき
0	サイクルレジスタコンペアマッチフラグ (CMF9)	0	[クリア条件] (初期値) CMF9=1 の状態で、CMF9 を読み出した後、CMF9 に 0 を書き込んだとき
		1	[セット条件] TCNT9=CYL R9 になったとき

付 録

ATU

タイムコントロールレジスタ 6~9 (TCR6~9)	H'FFFF8243 (チャンネル 6)	8/16
	H'FFFF8242 (チャンネル 7)	8/16
	H'FFFF8245 (チャンネル 8)	8/16
	H'FFFF8244 (チャンネル 9)	8/16

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名						CKSEL2	CKSEL1	CKSEL0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名称	値		説明	
2、1、0	クロックセレクト 2~0 (CKSEL2~CKSEL0)	0	0	0	内部クロック ϕ " : ϕ ' でカウント (初期値)
			1	0	内部クロック ϕ " : ϕ ' / 2 でカウント
			0	1	内部クロック ϕ " : ϕ ' / 4 でカウント
			1	1	内部クロック ϕ " : ϕ ' / 8 でカウント
		1	0	0	内部クロック ϕ " : ϕ ' / 16 でカウント
			1	0	内部クロック ϕ " : ϕ ' / 32 でカウント
			0	1	
			1	1	

フリーランニングカウンタ 6~9 (TCNT6~TCNT9)	H'FFFF8246 (チャンネル 6)	16
	H'FFFF824E (チャンネル 7)	16
	H'FFFF8256 (チャンネル 8)	16
	H'FFFF825E (チャンネル 9)	16

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(16 ビットのアップカウンタ、初期値 H'0001)	入力クロックをカウント

サイクルレジスタ 6~9 (CYLR6~CYLR9)	H'FFFF8248 (チャンネル 6)	16
	H'FFFF8250 (チャンネル 7)	16
	H'FFFF8258 (チャンネル 8)	16
	H'FFFF8260 (チャンネル 9)	16

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(サイクルレジスタ)	PWMの周期格納

ATU

バッファレジスタ 6~9 (BFR6~BFR9)	H'FFFF824A (チャンネル 6)	16
	H'FFFF8252 (チャンネル 7)	16
	H'FFFF825A (チャンネル 8)	16
	H'FFFF8262 (チャンネル 9)	16

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(バッファレジスタ)	対応するサイクルレジスタ CYLR のコンペアマッチにより BFR の値を DTR に転送

デューティレジスタ 6~9 (DTR6~DTR9)	H'FFFF824C (チャンネル 6)	16
	H'FFFF8254 (チャンネル 7)	16
	H'FFFF825C (チャンネル 8)	16
	H'FFFF8264 (チャンネル 9)	16

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(デューティレジスタ)	PWMのデューティ格納

ATU

トリガセレクションレジスタ (TGSR) H'FFFF8280 (チャンネル0) 8

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名						TRG0D		TRG0A
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W

ビット	ビット名称	値	説明
2	ICR0D 入力トリガ (TRG0D)	0	入力トリガは入力端子 (TID0) (初期値)
		1	入力トリガはチャンネル1のコンペアマッチ信号 (TRG1A)
0	ICR0A 入力トリガ (TRG0A)	0	入力トリガは入力端子 (TIA0) (初期値)
		1	入力トリガはチャンネル1のコンペアマッチ信号 (TRG1A)

タイマ I/O コントロールレジスタ 0A (TIOR0A) H'FFFF8281 (チャンネル0) 8

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	IO0D1	IO0D0	IO0C1	IO0C0	IO0B1	IO0B0	IO0A1	IO0A0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明	
7, 6	I/O コントロール 0D1, D0 (IO0D1, IO0D0)	0	0	インプットキャプチャ禁止 (初期値)
			1	立ち上がりエッジで ICR0D へインプットキャプチャ
		1	0	立ち下がりエッジで ICR0D へインプットキャプチャ
			1	立ち上がり / 立ち下がりの両エッジで ICR0D へインプットキャプチャ
5, 4	I/O コントロール 0C1, C0 (IO0C1, IO0C0)	0	0	インプットキャプチャ禁止 (初期値)
			1	立ち上がりエッジで ICR0C へインプットキャプチャ
		1	0	立ち下がりエッジで ICR0C へインプットキャプチャ
			1	立ち上がり / 立ち下がりの両エッジで ICR0C へインプットキャプチャ
3, 2	I/O コントロール 0B1, B0 (IO0B1, IO0B0)	0	0	インプットキャプチャ禁止 (初期値)
			1	立ち上がりエッジで ICR0B へインプットキャプチャ
		1	0	立ち下がりエッジで ICR0B へインプットキャプチャ
			1	立ち上がり / 立ち下がりの両エッジで ICR0B へインプットキャプチャ
1, 0	I/O コントロール 0A1, A0 (IO0A1, IO0A0)	0	0	インプットキャプチャ禁止 (初期値)
			1	立ち上がりエッジで ICR0A へインプットキャプチャ
		1	0	立ち下がりエッジで ICR0A へインプットキャプチャ
			1	立ち上がり / 立ち下がりの両エッジで ICR0A へインプットキャプチャ

ATU

インターバルインタラプトリクエストレジスタ (ITVRR) | H'FFFF8282 (チャンネル0) | 8

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	ITVAD3	ITVAD2	ITVAD1	ITVAD0	ITVE3	ITVE2	ITVE1	ITVE0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7	A/D変換器インターバル起動ビット3 (ITVAD3)	0	ATUからA/D変換器の起動を禁止 (初期値)
		1	ATUからA/D変換器の起動を許可
6	A/D変換器インターバル起動ビット2 (ITVAD2)	0	ATUからA/D変換器の起動を禁止 (初期値)
		1	ATUからA/D変換器の起動を許可
5	A/D変換器インターバル起動ビット1 (ITVAD1)	0	ATUからA/D変換器の起動を禁止 (初期値)
		1	ATUからA/D変換器の起動を許可
4	A/D変換器インターバル起動ビット0 (ITVAD0)	0	ATUからA/D変換器の起動を禁止 (初期値)
		1	ATUからA/D変換器の起動を許可
3	インターバルインタラプトビット3 (ITVE3)	0	インターバル割り込み発生禁止 (初期値)
		1	インターバル割り込み発生許可
2	インターバルインタラプトビット2 (ITVE2)	0	インターバル割り込み発生禁止 (初期値)
		1	インターバル割り込み発生許可
1	インターバルインタラプトビット1 (ITVE1)	0	インターバル割り込み発生禁止 (初期値)
		1	インターバル割り込み発生許可
0	インターバルインタラプトビット0 (ITVE0)	0	インターバル割り込み発生禁止 (初期値)
		1	インターバル割り込み発生許可

タイムステータスレジスタ AH (TSRAH) | H'FFFF8283 (チャンネル0) | 8

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名					IIF3	IIF2	IIF1	IIF0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
3	インターバルインタラプトフラグ (IIF3)	0	[クリア条件] (初期値) IIF3=1 の状態で、IIF3 を読み出した後、IIF3 に 0 を書き込んだとき
		1	[セット条件] ITVRR の ITVE3 と TCNT0L のビット 13 の AND で 1 が発生したとき
2	インターバルインタラプトフラグ (IIF2)	0	[クリア条件] (初期値) IIF2=1 の状態で、IIF2 を読み出した後、IIF2 に 0 を書き込んだとき
		1	[セット条件] ITVRR の ITVE2 と TCNT0L のビット 12 の AND で 1 が発生したとき
1	インターバルインタラプトフラグ (IIF1)	0	[クリア条件] (初期値) IIF1=1 の状態で、IIF1 を読み出した後、IIF1 に 0 を書き込んだとき
		1	[セット条件] ITVRR の ITVE1 と TCNT0L のビット 11 の AND で 1 が発生したとき
0	インターバルインタラプトフラグ (IIF0)	0	[クリア条件] (初期値) IIF0=1 の状態で、IIF0 を読み出した後、IIF0 に 0 を書き込んだとき
		1	[セット条件] ITVRR の ITVE0 と TCNT0L のビット 10 の AND で 1 が発生したとき

ATU

タイムインタラプトイネーブルレジスタ A (TIERA)	H'FFFF8284 (チャンネル 0)	8
------------------------------	----------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名				OVE0	ICE0D	ICE0C	ICE0B	ICE0A
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
4	オーバフローインタラプトイネーブル (OVE0)	0	OVF0 による割り込み要求 (OVI0) を禁止 (初期値)
		1	OVF0 による割り込み要求 (OVI0) を許可
3	インプットキャプチャインタラプトイネーブル (ICE0D)	0	ICF0D による割り込み要求 (ICI0D) を禁止 (初期値)
		1	ICF0D による割り込み要求 (ICI0D) を許可
2	インプットキャプチャインタラプトイネーブル (ICE0C)	0	ICF0C による割り込み要求 (ICI0C) を禁止 (初期値)
		1	ICF0C による割り込み要求 (ICI0C) を許可
1	インプットキャプチャインタラプトイネーブル (ICE0B)	0	ICF0B による割り込み要求 (ICI0B) を禁止 (初期値)
		1	ICF0B による割り込み要求 (ICI0B) を許可
0	インプットキャプチャインタラプトイネーブル (ICE0A)	0	ICF0A による割り込み要求 (ICI0A) を禁止 (初期値)
		1	ICF0A による割り込み要求 (ICI0A) を許可

タイムステータスレジスタ AL (TSRAL)	H'FFFF8285 (チャンネル0)	8
-------------------------	---------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名				OVF0	ICF0D	ICF0C	ICF0B	ICF0A
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
4	オーバーフローフラグ (OVF0)	0	[クリア条件] (初期値) OVF0=1の状態、OVF0を読み出した後、OVF0に0を書き込んだとき
		1	[セット条件] TCNT0の値がオーバーフロー (H'FFFFFFF H'00000000) したとき
3	インプットキャプチャフラグ (ICF0D)	0	[クリア条件] (初期値) ICF0D=1の状態、ICF0Dを読み出した後、ICF0Dに0を書き込んだとき
		1	[セット条件] インプットキャプチャ信号により TCNT0の値がインプットキャプチャレジスタ ICR0Dに転送されたとき
2	インプットキャプチャフラグ (ICF0C)	0	[クリア条件] (初期値) ICF0C=1の状態、ICF0Cを読み出した後、ICF0Cに0を書き込んだとき
		1	[セット条件] インプットキャプチャ信号により TCNT0の値がインプットキャプチャレジスタ ICR0Cに転送されたとき
1	インプットキャプチャフラグ (ICF0B)	0	[クリア条件] (初期値) (1) ICF0B=1の状態、ICF0Bを読み出した後、ICF0Bに0を書き込んだとき (2) DMACがデータ転送時にクリアしたとき
		1	[セット条件] インプットキャプチャ信号により TCNT0の値がインプットキャプチャレジスタ ICR0Bに転送されたとき
0	インプットキャプチャフラグ (ICF0A)	0	[クリア条件] (初期値) ICF0A=1の状態、ICF0Aを読み出した後、ICF0Aに0を書き込んだとき
		1	[セット条件] インプットキャプチャ信号により TCNT0の値がインプットキャプチャレジスタ ICR0Aに転送されたとき

ATU

フリーランニングカウンタ 0H、L (TCNT0H、TCNT0L)	H'FFFF8288 (チャンネル0) H'FFFF828A (チャンネル0)	32
--------------------------------------	--	----

項目	ビット															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
31~0	(32 ビットのアップカウンタ、初期値 H'00000000)	入力クロックをカウント

インプットキャプチャレジスタ 0AH、L~0DH、L (ICR0AH、L~ICR0DH、L)	H'FFFF828C (チャンネル0) H'FFFF828E (チャンネル0) H'FFFF8290 (チャンネル0) H'FFFF8292 (チャンネル0) H'FFFF8294 (チャンネル0) H'FFFF8296 (チャンネル0) H'FFFF8298 (チャンネル0) H'FFFF829A (チャンネル0)	32 32 32 32
---	--	----------------------------------

項目	ビット															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名称	説明
31~0	(インプットキャプチャ専用レジスタ)	インプットキャプチャ信号発生時、TCNT の値を格納

ATU

タイマ I/O コントロールレジスタ 1A ~ 1C、2A (TIOR1A ~ 1C、TIOR2A)	H'FFFF82C1 (チャンネル 1,1A)	8/16
	H'FFFF82C2 (チャンネル 1,1B)	8/16
	H'FFFF82C3 (チャンネル 1,1C)	8/16
	H'FFFF82C7 (チャンネル 2,2A)	8/16

項目	ビット							
	7	6	5	4	3	2	1	0
TIOR1A								
ビット名		IO1B2	IO1B1	IO1B0		IO1A2	IO1A1	IO1A0
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
TIOR1B								
ビット名		IO1D2	IO1D1	IO1D0		IO1C2	IO1C1	IO1C0
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
TIOR1C								
ビット名		IO1F2	IO1F1	IO1F0		IO1E2	IO1E1	IO1E0
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
TIOR2A								
ビット名		IO2B2	IO2B1	IO2B0		IO2A2	IO2A1	IO2A0
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名称	値			説明	
6、5、4	I/O コントロール 1B2 ~ 1B0、1D2 ~ 1D0、1F2 ~ 1F0、2B2 ~ 2B0 (IO1B2 ~ IO1B0、IO1D2 ~ IO1D0、IO1F2 ~ IO1F0、IO2B2 ~ IO2B0)	0	0	0	GR は アウトプット コンペアレジスタ	コンペアマッチに関わらず 0 出力 (初期値)
				1		GR のコンペアマッチで 0 出力
			1	0		GR のコンペアマッチで 1 出力
				1		GR のコンペアマッチでトグル出力
		1	0	0	GR は インプット キャプチャ レジスタ	インプットキャプチャ禁止
				1		立ち上がりエッジで GR ヘインプットキャプチャ
				0		立ち下がりエッジで GR ヘインプットキャプチャ
				1		立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ
2、1、0	I/O コントロール 1A2 ~ 1A0、1C2 ~ 1C0、1E2 ~ 1E0、2A2 ~ 2A0 (IO1A2 ~ IO1A0、IO1C2 ~ IO1C0、IO1E2 ~ IO1E0、IO2A2 ~ IO2A0)	0	0	0	GR は アウトプット コンペアレジスタ	コンペアマッチに関わらず 0 出力 (初期値)
				1		GR のコンペアマッチで 0 出力
			1	0		GR のコンペアマッチで 1 出力
				1		GR のコンペアマッチでトグル出力
		1	0	0	GR は インプット キャプチャ レジスタ	インプットキャプチャ禁止
				1		立ち上がりエッジで GR ヘインプットキャプチャ
				0		立ち下がりエッジで GR ヘインプットキャプチャ
				1		立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ

ATU

タイムインタラプトイネーブルレジスタ B (TIERB) H'FFFF82C4 (チャンネル 1) 8

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名		OVE1	IME1F	IME1E	IME1D	IME1C	IME1B	IME1A
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
6	オーバフローインタラプトイネーブル (OVE1)	0	OVF1 による割り込み要求 (OVI1) を禁止 (初期値)
		1	OVF1 による割り込み要求 (OVI1) を許可
5	インプットキャプチャ/コンペアマッチ インタラプトイネーブル (IME1F)	0	IMF1F による割り込み要求 (IMI1F) を禁止 (初期値)
		1	IMF1F による割り込み要求 (IMI1F) を許可
4	インプットキャプチャ/コンペアマッチ インタラプトイネーブル (IME1E)	0	IMF1E による割り込み要求 (IMI1E) を禁止 (初期値)
		1	IMF1E による割り込み要求 (IMI1E) を許可
3	インプットキャプチャ/コンペアマッチ インタラプトイネーブル (IME1D)	0	IMF1D による割り込み要求 (IMI1D) を禁止 (初期値)
		1	IMF1D による割り込み要求 (IMI1D) を許可
2	インプットキャプチャ/コンペアマッチ インタラプトイネーブル (IME1C)	0	IMF1C による割り込み要求 (IMI1C) を禁止 (初期値)
		1	IMF1C による割り込み要求 (IMI1C) を許可
1	インプットキャプチャ/コンペアマッチ インタラプトイネーブル (IME1B)	0	IMF1B による割り込み要求 (IMI1B) を禁止 (初期値)
		1	IMF1B による割り込み要求 (IMI1B) を許可
0	インプットキャプチャ/コンペアマッチ インタラプトイネーブル (IME1A)	0	IMF1A による割り込み要求 (IMI1A) を禁止 (初期値)
		1	IMF1A による割り込み要求 (IMI1A) を許可

ATU

タイムステータスレジスタ B (TSRB)	H'FFFF82C5 (チャンネル 1)	8
-----------------------	----------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名		OVF1	IMF1F	IMF1E	IMF1D	IMF1C	IMF1B	IMF1A
初期値	0	0	0	0	0	0	0	0
R/W	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
6	オーバフローフラグ (OVF1)	0	[クリア条件] (初期値) OVF1=1の状態、OVF1を読み出した後、OVF1に0を書き込んだとき
		1	[セット条件] TCNT1の値がオーバフロー (H'FFFF H'0000) したとき
5	インプットキャプチャ/コンペアマッチフラグ (IMF1F)	0	[クリア条件] (初期値) IMF1F=1の状態、IMF1Fを読み出した後、IMF1Fに0を書き込んだとき
		1	[セット条件] (1) GR1Fがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1の値がGR1Fに転送されたとき (2) GR1Fがアウトプットコンペアレジスタとして機能している場合、TCNT1=GR1Fになったとき
4	インプットキャプチャ/コンペアマッチフラグ (IMF1E)	0	[クリア条件] (初期値) IMF1E=1の状態、IMF1Eを読み出した後、IMF1Eに0を書き込んだとき
		1	[セット条件] (1) GR1Eがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1の値がGR1Eに転送されたとき (2) GR1Eがアウトプットコンペアレジスタとして機能している場合、TCNT1=GR1Eになったとき
3	インプットキャプチャ/コンペアマッチフラグ (IMF1D)	0	[クリア条件] (初期値) IMF1D=1の状態、IMF1Dを読み出した後、IMF1Dに0を書き込んだとき
		1	[セット条件] (1) GR1Dがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1の値がGR1Dに転送されたとき (2) GR1Dがアウトプットコンペアレジスタとして機能している場合、TCNT1=GR1Dになったとき
2	インプットキャプチャ/コンペアマッチフラグ (IMF1C)	0	[クリア条件] (初期値) IMF1C=1の状態、IMF1Cを読み出した後、IMF1Cに0を書き込んだとき
		1	[セット条件] (1) GR1Cがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1の値がGR1Cに転送されたとき (2) GR1Cがアウトプットコンペアレジスタとして機能している場合、TCNT1=GR1Cになったとき

ビット	ビット名称	値	説明
1	インプットキャプチャ/コンペアマッチフラグ (IMF1B)	0	[クリア条件] (初期値) IMF1B=1 の状態で、IMF1B を読み出した後、IMF1B に 0 を書き込んだとき
		1	[セット条件] (1) GR1B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1 の値が GR1B に転送されたとき (2) GR1B がアウトプットコンペアレジスタとして機能している場合、TCNT1=GR1B になったとき
0	インプットキャプチャ/コンペアマッチフラグ (IMF1A)	0	[クリア条件] (初期値) IMF1A=1 の状態で、IMF1A を読み出した後、IMF1A に 0 を書き込んだとき
		1	[セット条件] (1) GR1A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1 の値が GR1A に転送されたとき (2) GR1A がアウトプットコンペアレジスタとして機能している場合、TCNT1=GR1A になったとき

ATU

タイムインタラプトイネーブルレジスタ C (TIERC) | H'FFFF82C8 (チャンネル 2) | 8

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名						OVE2	IME2B	IME2A
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名称	値	説明
2	オーバフローインタラプトイネーブル (OVE2)	0	OVF2 による割り込み要求 (OVI2) を禁止 (初期値)
		1	OVF2 による割り込み要求 (OVI2) を許可
1	インプットキャプチャ / コンペアマッチ インタラプトイネーブル (IME2B)	0	IMF2B による割り込み要求 (IMI2B) を禁止 (初期値)
		1	IMF2B による割り込み要求 (IMI2B) を許可
0	インプットキャプチャ / コンペアマッチ インタラプトイネーブル (IME2A)	0	IMF2A による割り込み要求 (IMI2A) を禁止 (初期値)
		1	IMF2A による割り込み要求 (IMI2A) を許可

タイムステータスレジスタ C (TSRC) | H'FFFF82C9 (チャンネル 2) | 8

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名						OVF2	IMF2B	IMF2A
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
2	オーバフロー フラグ (OVF2)	0	[クリア条件] (初期値) OVF2=1 の状態で、OVF2 を読み出した後、OVF2 に 0 を書き込んだとき
		1	[セット条件] TCNT2 の値がオーバフロー (H'FFFF H'0000) したとき
1	インプット キャプチャ / コンペアマッチ フラグ (IMF2B)	0	[クリア条件] (初期値) IMF2B=1 の状態で、IMF2B を読み出した後、IMF2B に 0 を書き込んだとき
		1	[セット条件] (1) GR2B がインプットキャプチャレジスタとして機能している場合、イン プットキャプチャ信号により TCNT2 の値が GR2B に転送されたとき (2) GR2B がアウトプットコンペアレジスタとして機能している場合、 TCNT2=GR2B になったとき
0	インプット キャプチャ / コンペアマッチ フラグ (IMF2A)	0	[クリア条件] (初期値) IMF2A=1 の状態で、IMF2A を読み出した後、IMF2A に 0 を書き込んだとき
		1	[セット条件] (1) GR2A がインプットキャプチャレジスタとして機能している場合、イン プットキャプチャ信号により TCNT2 の値が GR2A に転送されたとき (2) GR2A がアウトプットコンペアレジスタとして機能している場合、 TCNT2=GR2A になったとき

付 録

ジェネラルレジスタ 2A、2B (GR2A、GR2B)	H'FFF82CC (チャンネル 2,2A)	16
	H'FFF82CE (チャンネル 2,2B)	16

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(インプットキャプチャ/アウトプットコンペア兼用レジスタ)	(1) インプットキャプチャレジスタ: インプットキャプチャ信号発生時、TCNT1 の値を格納 (2) アウトプットコンペアレジスタ: コンペアマッチの値を設定

ATU

ジェネラルレジスタ 1A~1F (GR1A~GR1F)	H'FFFF82D2 (チャンネル 1,1A)	16
	H'FFFF82D4 (チャンネル 1,1B)	16
	H'FFFF82D6 (チャンネル 1,1C)	16
	H'FFFF82D8 (チャンネル 1,1D)	16
	H'FFFF82DA (チャンネル 1,1E)	16
	H'FFFF82DC (チャンネル 1,1F)	16

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(インプットキャプチャ/アウトプットコンペア兼用レジスタ)	(1) インプットキャプチャレジスタ: インプットキャプチャ信号発生時、TCNT1 の値を格納 (2) アウトプットコンペアレジスタ: コンペアマッチの値を設定

オフセットベースレジスタ (OSBR)	H'FFFF82DE (チャンネル 1)	16
---------------------	----------------------	----

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名称	説明
15~0	(チャンネル 0 の ICR0A からの信号を入力トリガとしたインプットキャプチャ専用レジスタ)	TIORA ビット 0、1 で選択したエッジ発生時、TCNT1 の値を格納

タイマコントロールレジスタ 10 (TCR10)	H'FFFF82E0 (チャンネル 10)	8/16
--------------------------	-----------------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名		CKSEL2A	CKSEL1A	CKSEL0A		CKSEL2B	CKSEL1B	CKSEL0B
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

付 録

ビット	ビット名称	値			説明
6、5、4	クロックセレクト 2A ~ 0A (CKSEL2A ~ CKSEL0A)	0	0	0	内部クロック ϕ " : ϕ 'でカウント (初期値)
				1	内部クロック ϕ " : ϕ ' / 2 でカウント
			1	0	内部クロック ϕ " : ϕ ' / 4 でカウント
				1	内部クロック ϕ " : ϕ ' / 8 でカウント
		1	0	0	内部クロック ϕ " : ϕ ' / 16 でカウント
				1	内部クロック ϕ " : ϕ ' / 32 でカウント
			1	0	
				1	
2、1、0	クロックセレクト 2B ~ 0B (CKSEL2B ~ CKSEL0B)	0	0	0	内部クロック ϕ " : ϕ 'でカウント (初期値)
				1	内部クロック ϕ " : ϕ ' / 2 でカウント
			1	0	内部クロック ϕ " : ϕ ' / 4 でカウント
				1	内部クロック ϕ " : ϕ ' / 8 でカウント
		1	0	0	内部クロック ϕ " : ϕ ' / 16 でカウント
				1	内部クロック ϕ " : ϕ ' / 32 でカウント
			1	0	
				1	

ATU

タイマコネクションレジスタ (TCNR) | H'FFFF82E1 (チャンネル 10) | 8/16

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	CN10H	CN10G	CN10F	CN10E	CN10D	CN10C	CN10B	CN10A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7	コネクションフラグ 10H (CN10H)	0	DST10H と OFF2B の接続を禁止 (初期値)
		1	DST10H と OFF2B の接続を許可
6	コネクションフラグ 10G (CN10G)	0	DST10G と OFF2A の接続を禁止 (初期値)
		1	DST10G と OFF2A の接続を許可
5	コネクションフラグ 10F (CN10F)	0	DST10F と OFF1F の接続を禁止 (初期値)
		1	DST10F と OFF1F の接続を許可
4	コネクションフラグ 10E (CN10E)	0	DST10E と OFF1E の接続を禁止 (初期値)
		1	DST10E と OFF1E の接続を許可
3	コネクションフラグ 10D (CN10D)	0	DST10D と OFF1D の接続を禁止 (初期値)
		1	DST10D と OFF1D の接続を許可
2	コネクションフラグ 10C (CN10C)	0	DST10C と OFF1C の接続を禁止 (初期値)
		1	DST10C と OFF1C の接続を許可
1	コネクションフラグ 10B (CN10B)	0	DST10B と OFF1B の接続を禁止 (初期値)
		1	DST10B と OFF1B の接続を許可
0	コネクションフラグ 10A (CN10A)	0	DST10A と OFF1A の接続を禁止 (初期値)
		1	DST10A と OFF1A の接続を許可

タイムインタラプトイネーブルレジスタ F (TIERF)	H'FFFF82E2 (チャンネル 10)	8
--------------------------------	-------------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	OSE10H	OSE10G	OSE10F	OSE10E	OSE10D	OSE10C	OSE10B	OSE10A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7	ワンショットパルスインタラプトイネーブル (OSE10H)	0	OSF10H による割り込み要求 (OSI10H) を禁止 (初期値)
		1	OSF10H による割り込み要求 (OSI10H) を許可
6	ワンショットパルスインタラプトイネーブル (OSE10G)	0	OSF10G による割り込み要求 (OSI10G) を禁止 (初期値)
		1	OSF10G による割り込み要求 (OSI10G) を許可
5	ワンショットパルスインタラプトイネーブル (OSE10F)	0	OSF10F による割り込み要求 (OSI10F) を禁止 (初期値)
		1	OSF10F による割り込み要求 (OSI10F) を許可
4	ワンショットパルスインタラプトイネーブル (OSE10E)	0	OSF10E による割り込み要求 (OSI10E) を禁止 (初期値)
		1	OSF10E による割り込み要求 (OSI10E) を許可
3	ワンショットパルスインタラプトイネーブル (OSE10D)	0	OSF10D による割り込み要求 (OSI10D) を禁止 (初期値)
		1	OSF10D による割り込み要求 (OSI10D) を許可
2	ワンショットパルスインタラプトイネーブル (OSE10C)	0	OSF10C による割り込み要求 (OSI10C) を禁止 (初期値)
		1	OSF10C による割り込み要求 (OSI10C) を許可
1	ワンショットパルスインタラプトイネーブル (OSE10B)	0	OSF10B による割り込み要求 (OSI10B) を禁止 (初期値)
		1	OSF10B による割り込み要求 (OSI10B) を許可
0	ワンショットパルスインタラプトイネーブル (OSE10A)	0	OSF10A による割り込み要求 (OSI10A) を禁止 (初期値)
		1	OSF10A による割り込み要求 (OSI10A) を許可

ATU

タイムステータスレジスタ F(TSRF)	H'FFFF82E3(チャンネル 10)	8
----------------------	----------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	OSF10H	OSF10G	OSF10F	OSF10E	OSF10D	OSF10C	OSF10B	OSF10A
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
7	ワンショット パルスフラグ (OSF10H)	0	[クリア条件] (初期値) OSF10H=1の状態、OSF10Hを読み出した後、OSF10Hに0を書き込んだとき
		1	[セット条件] ダウンカウンタ (DCNT10H) の値がアンダフローするタイミング
6	ワンショット パルスフラグ (OSF10G)	0	[クリア条件] (初期値) OSF10G=1の状態、OSF10Gを読み出した後、OSF10Gに0を書き込んだとき
		1	[セット条件] ダウンカウンタ (DCNT10G) の値がアンダフローするタイミング
5	ワンショット パルスフラグ (OSF10F)	0	[クリア条件] (初期値) OSF10F=1の状態、OSF10Fを読み出した後、OSF10Fに0を書き込んだとき
		1	[セット条件] ダウンカウンタ (DCNT10F) の値がアンダフローするタイミング
4	ワンショット パルスフラグ (OSF10E)	0	[クリア条件] (初期値) OSF10E=1の状態、OSF10Eを読み出した後、OSF10Eに0を書き込んだとき
		1	[セット条件] ダウンカウンタ (DCNT10E) の値がアンダフローするタイミング
3	ワンショット パルスフラグ (OSF10D)	0	[クリア条件] (初期値) OSF10D=1の状態、OSF10Dを読み出した後、OSF10Dに0を書き込んだとき
		1	[セット条件] ダウンカウンタ (DCNT10D) の値がアンダフローするタイミング
2	ワンショット パルスフラグ (OSF10C)	0	[クリア条件] (初期値) OSF10C=1の状態、OSF10Cを読み出した後、OSF10Cに0を書き込んだとき
		1	[セット条件] ダウンカウンタ (DCNT10C) の値がアンダフローするタイミング
1	ワンショット パルスフラグ (OSF10B)	0	[クリア条件] (初期値) OSF10B=1の状態、OSF10Bを読み出した後、OSF10Bに0を書き込んだとき
		1	[セット条件] ダウンカウンタ (DCNT10B) の値がアンダフローするタイミング
0	ワンショット パルスフラグ (OSF10A)	0	[クリア条件] (初期値) OSF10A=1の状態、OSF10Aを読み出した後、OSF10Aに0を書き込んだとき
		1	[セット条件] ダウンカウンタ (DCNT10A) の値がアンダフローするタイミング

ATU

ダウンカウントスタートレジスタ (DSTR)	H'FFFF82E5 (チャンネル 10)	8
------------------------	-----------------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	DST10H	DST10G	DST10F	DST10E	DST10D	DST10C	DST10B	DST10A
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * 1のみ書き込むことができます。

ビット	ビット名称	値	説明
7	ダウンカウント スタートフラグ 10H (DST10H)	0	DCNT10H のカウント動作は停止 [クリア条件] DCNT10H 値がアンダフローするタイミング (初期値)
		1	DCNT10H はカウント動作 [セット条件] ワンショットパルス機能：ユーザプログラムにより設定 オフセット付ワンショットパルス機能：GR2B のコンペアマッチ発生時および ユーザプログラムにより設定
6	ダウンカウント スタートフラグ 10G (DST10G)	0	DCNT10G のカウント動作は停止 [クリア条件] DCNT10G 値がアンダフローするタイミング (初期値)
		1	DCNT10G はカウント動作 [セット条件] ワンショットパルス機能：ユーザプログラムにより設定 オフセット付ワンショットパルス機能：GR2A のコンペアマッチ発生時および ユーザプログラムにより設定
5	ダウンカウント スタートフラグ 10F (DST10F)	0	DCNT10F のカウント動作は停止 [クリア条件] DCNT10F 値がアンダフローするタイミング (初期値)
		1	DCNT10F はカウント動作 [セット条件] ワンショットパルス機能：ユーザプログラムにより設定 オフセット付ワンショットパルス機能：GR1F のコンペアマッチ発生時および ユーザプログラムにより設定
4	ダウンカウント スタートフラグ 10E (DST10E)	0	DCNT10E のカウント動作は停止 [クリア条件] DCNT10E 値がアンダフローするタイミング (初期値)
		1	DCNT10E はカウント動作 [セット条件] ワンショットパルス機能：ユーザプログラムにより設定 オフセット付ワンショットパルス機能：GR1E のコンペアマッチ発生時および ユーザプログラムにより設定
3	ダウンカウント スタートフラグ 10D (DST10D)	0	DCNT10D のカウント動作は停止 [クリア条件] DCNT10D 値がアンダフローするタイミング (初期値)
		1	DCNT10D はカウント動作 [セット条件] ワンショットパルス機能：ユーザプログラムにより設定 オフセット付ワンショットパルス機能：GR1D のコンペアマッチ発生時および ユーザプログラムにより設定

ビット	ビット名称	値	説明
2	ダウンカウント スタートフラグ 10C (DST10C)	0	DCNT10C のカウント動作は停止 [クリア条件] (初期値) DCNT10C 値がアンダフローするタイミング
		1	DCNT10C はカウント動作 [セット条件] ワンショットパルス機能：ユーザプログラムにより設定 オフセット付ワンショットパルス機能：GR1C のコンペアマッチ発生時および ユーザプログラムにより設定
1	ダウンカウント スタートフラグ 10B (DST10B)	0	DCNT10B のカウント動作は停止 [クリア条件] (初期値) DCNT10B 値がアンダフローするタイミング
		1	DCNT10B はカウント動作 [セット条件] ワンショットパルス機能：ユーザプログラムにより設定 オフセット付ワンショットパルス機能：GR1B のコンペアマッチ発生時および ユーザプログラムにより設定
0	ダウンカウント スタートフラグ 10A (DST10A)	0	DCNT10A のカウント動作は停止 [クリア条件] (初期値) DCNT10A 値がアンダフローするタイミング
		1	DCNT10A はカウント動作 [セット条件] ワンショットパルス機能：ユーザプログラムにより設定 オフセット付ワンショットパルス機能：GR1A のコンペアマッチ発生時および ユーザプログラムにより設定

ATU

プリスケールレジスタ1 (PSCR1)	H'FFFF82E9 (共通)	8
---------------------	-----------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名				PSCE	PSCD	PSCC	PSCB	PSCA
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
4~0	(プリスケールレジスタ)	カウンタクロック ϕ の値を設定

タイムスタートレジスタ (TSTR)	H'FFFF82EA (共通)	16
--------------------	-----------------	----

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名							STR9	STR8	STR7	STR6	STR5	STR4	STR3	STR2	STR1	STR0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W							R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
9	カウンタスタート9 (STR9)	0	TCNT9のカウンタ動作を停止 (初期値)
		1	TCNT9のカウンタ動作
8	カウンタスタート8 (STR8)	0	TCNT8のカウンタ動作を停止 (初期値)
		1	TCNT8のカウンタ動作
7	カウンタスタート7 (STR7)	0	TCNT7のカウンタ動作を停止 (初期値)
		1	TCNT7のカウンタ動作
6	カウンタスタート6 (STR6)	0	TCNT6のカウンタ動作を停止 (初期値)
		1	TCNT6のカウンタ動作
5	カウンタスタート5 (STR5)	0	TCNT5のカウンタ動作を停止 (初期値)
		1	TCNT5のカウンタ動作
4	カウンタスタート4 (STR4)	0	TCNT4のカウンタ動作を停止 (初期値)
		1	TCNT4のカウンタ動作
3	カウンタスタート3 (STR3)	0	TCNT3のカウンタ動作を停止 (初期値)
		1	TCNT3のカウンタ動作
2	カウンタスタート2 (STR2)	0	TCNT2のカウンタ動作を停止 (初期値)
		1	TCNT2のカウンタ動作
1	カウンタスタート1 (STR1)	0	TCNT1のカウンタ動作を停止 (初期値)
		1	TCNT1のカウンタ動作
0	カウンタスタート0 (STR0)	0	TCNT0のカウンタ動作を停止 (初期値)
		1	TCNT0のカウンタ動作

付 録

ダウンカウンタ 10A ~ 10H (DCNT10A ~ 10H)	H'FFFF82F0 (チャネル 10,10A)	16
	H'FFFF82F2 (チャネル 10,10B)	16
	H'FFFF82F4 (チャネル 10,10C)	16
	H'FFFF82F6 (チャネル 10,10D)	16
	H'FFFF82F8 (チャネル 10,10E)	16
	H'FFFF82FA (チャネル 10,10F)	16
	H'FFFF82FC (チャネル 10,10G)	16
	H'FFFF82FE (チャネル 10,10H)	16

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(ダウンカウンタ)	入力クロックをダウンカウント

INTC

割り込み優先レベル設定レジスタ A~H (IPRA ~ IPRH)	H'FFFF8348 (IPRA) H'FFFF834A (IPRB) H'FFFF834C (IPRC) H'FFFF834E (IPRD) H'FFFF8350 (IPRE) H'FFFF8352 (IPRF) H'FFFF8354 (IPRG) H'FFFF8356 (IPRH)	8/16/32
--------------------------------------	--	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

レジスタ	ビット			
	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	DMAC0、1	DMAC2、3	ATU01	ATU02
割り込み優先レベル設定レジスタ D	ATU03	ATU11	ATU12	ATU13
割り込み優先レベル設定レジスタ E	ATU2	ATU31	ATU32	ATU41
割り込み優先レベル設定レジスタ F	ATU42	ATU5	ATU6~9	ATU101
割り込み優先レベル設定レジスタ G	ATU102	ATU103	CMT0、A/D0	CMT1、A/D1
割り込み優先レベル設定レジスタ H	SCI0	SCI1	SCI2	WDT

割り込みコントロールレジスタ (ICR)	H'FFFF8358	8/16/32
----------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	NMIL							NMIE	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S
初期値	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * NMI 端子がハイレベルのとき 1、ローレベルのとき 0

ビット	ビット名称	値	説明
15	NMI 入力レベル (NMIL)	0	NMI 端子にローレベルが入力されている
		1	NMI 端子にハイレベルが入力されている
8	NMI エッジセレクト (NMIE)	0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
		1	NMI 入力の立ち上がりエッジで割り込み要求を検出
7~0	IRQ0 ~ IRQ7 センスセレクト (IRQ0S ~ IRQ7S)	0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
		1	IRQ 入力の立ち下がりエッジで割り込み要求を検出

INTC

IRQ ステータスレジスタ (ISR)	H'FFFF835A	8/16/32
---------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名									IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	検出設定	説明
7~0	IRQ0~IRQ7 フラグ (IRQ0F~IRQ7F)	0	レベル検出時	IRQn 割り込み要求が存在しません [クリア条件] $\overline{\text{IRQn}}$ 入力がハイレベルのとき
			エッジ検出時	IRQn 割り込み要求が検出されていません [クリア条件] (初期値) (1) $\text{IRQnF}=1$ の状態をリード後に 0 をライトしたとき (2) IRQn 割り込み例外処理を実行したとき
		1	レベル検出時	IRQn 割り込み要求が存在します [セット条件] $\overline{\text{IRQn}}$ 入力がローレベルのとき
			エッジ検出時	IRQn 割り込み要求が検出されています [セット条件] $\overline{\text{IRQn}}$ 入口に立ち下がりエッジが発生したとき

ポート A

ポート A データレジスタ (PADR)	H'FFFF8380	8/16
------------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	値	端子機能	読み出し	書き込み
15~0	0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
		汎用入力以外	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	1	汎用出力	PADR の値	書き込み値が端子から出力される (\overline{POD} 端子=ハイ) PADR の値にかかわらずハイインピーダンス (\overline{POD} 端子=ロー)
		汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

ポート A ・ IO レジスタ (PAIOR)	H'FFFF8382	8/16
---------------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR	PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
15~0	ポート A ・ IO レジスタ (PA15IOR ~ PA0IOR)	0	入力 (初期値)
		1	出力

付 録

ポート A

ポート A コントロールレジスタ(PACR)	H'FFFF8384	8/16
------------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PA15MD	PA14MD	PA13MD	PA12MD	PA11MD	PA10MD	PA9MD	PA8MD	PA7MD	PA6MD	PA5MD	PA4MD	PA3MD	PA2MD	PA1MD	PA0MD
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	端子機能		
			ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
15	PA15 モードビット (PA15MD)	0	アドレス出力 (A15) (初期値)	汎用入出力 (PA15) (初期値)	汎用入出力 (PA15) (初期値)
		1	アドレス出力 (A15)	アドレス出力 (A15)	汎用入出力 (PA15)
14	PA14 モードビット (PA14MD)	0	アドレス出力 (A14) (初期値)	汎用入出力 (PA14) (初期値)	汎用入出力 (PA14) (初期値)
		1	アドレス出力 (A14)	アドレス出力 (A14)	汎用入出力 (PA14)
13	PA13 モードビット (PA13MD)	0	アドレス出力 (A13) (初期値)	汎用入出力 (PA13) (初期値)	汎用入出力 (PA13) (初期値)
		1	アドレス出力 (A13)	アドレス出力 (A13)	汎用入出力 (PA13)
12	PA12 モードビット (PA12MD)	0	アドレス出力 (A12) (初期値)	汎用入出力 (PA12) (初期値)	汎用入出力 (PA12) (初期値)
		1	アドレス出力 (A12)	アドレス出力 (A12)	汎用入出力 (PA12)
11	PA11 モードビット (PA11MD)	0	アドレス出力 (A11) (初期値)	汎用入出力 (PA11) (初期値)	汎用入出力 (PA11) (初期値)
		1	アドレス出力 (A11)	アドレス出力 (A11)	汎用入出力 (PA11)
10	PA10 モードビット (PA10MD)	0	アドレス出力 (A10) (初期値)	汎用入出力 (PA10) (初期値)	汎用入出力 (PA10) (初期値)
		1	アドレス出力 (A10)	アドレス出力 (A10)	汎用入出力 (PA10)
9	PA9 モードビット (PA9MD)	0	アドレス出力 (A9) (初期値)	汎用入出力 (PA9) (初期値)	汎用入出力 (PA9) (初期値)
		1	アドレス出力 (A9)	アドレス出力 (A9)	汎用入出力 (PA9)
8	PA8 モードビット (PA8MD)	0	アドレス出力 (A8) (初期値)	汎用入出力 (PA8) (初期値)	汎用入出力 (PA8) (初期値)
		1	アドレス出力 (A8)	アドレス出力 (A8)	汎用入出力 (PA8)
7	PA7 モードビット (PA7MD)	0	アドレス出力 (A7) (初期値)	汎用入出力 (PA7) (初期値)	汎用入出力 (PA7) (初期値)
		1	アドレス出力 (A7)	アドレス出力 (A7)	汎用入出力 (PA7)
6	PA6 モードビット (PA6MD)	0	アドレス出力 (A6) (初期値)	汎用入出力 (PA6) (初期値)	汎用入出力 (PA6) (初期値)
		1	アドレス出力 (A6)	アドレス出力 (A6)	汎用入出力 (PA6)
5	PA5 モードビット (PA5MD)	0	アドレス出力 (A5) (初期値)	汎用入出力 (PA5) (初期値)	汎用入出力 (PA5) (初期値)
		1	アドレス出力 (A5)	アドレス出力 (A5)	汎用入出力 (PA5)
4	PA4 モードビット (PA4MD)	0	アドレス出力 (A4) (初期値)	汎用入出力 (PA4) (初期値)	汎用入出力 (PA4) (初期値)
		1	アドレス出力 (A4)	アドレス出力 (A4)	汎用入出力 (PA4)
3	PA3 モードビット (PA3MD)	0	アドレス出力 (A3) (初期値)	汎用入出力 (PA3) (初期値)	汎用入出力 (PA3) (初期値)
		1	アドレス出力 (A3)	アドレス出力 (A3)	汎用入出力 (PA3)
2	PA2 モードビット (PA2MD)	0	アドレス出力 (A2) (初期値)	汎用入出力 (PA2) (初期値)	汎用入出力 (PA2) (初期値)
		1	アドレス出力 (A2)	アドレス出力 (A2)	汎用入出力 (PA2)
1	PA1 モードビット (PA1MD)	0	アドレス出力 (A1) (初期値)	汎用入出力 (PA1) (初期値)	汎用入出力 (PA1) (初期値)
		1	アドレス出力 (A1)	アドレス出力 (A1)	汎用入出力 (PA1)
0	PA0 モードビット (PA0MD)	0	アドレス出力 (A0) (初期値)	汎用入出力 (PA0) (初期値)	汎用入出力 (PA0) (初期値)
		1	アドレス出力 (A0)	アドレス出力 (A0)	汎用入出力 (PA0)

ポート B

ポート B データレジスタ (PBDR)	H'FFFF8386	8/16
----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名			PB11DR	PB10DR	PB9DR	PB8DR	PB7DR	PB6DR			PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	値	端子機能	読み出し	書き込み
13,5~0	0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
		汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	1	汎用出力	PBDR の値	書き込み値が端子から出力される (POD 端子=ハイ) PBDR の値にかかわらずハイインピーダンス (POD 端子=ロー)
		汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

ビット	値	端子機能	読み出し	書き込み
12~8	0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
		汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	1	汎用出力	PBDR の値	書き込み値が端子から出力される
		汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

ポート B・IO レジスタ (PBIOR)	H'FFFF8388	8/16
-----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名			PB11IOR	PB10IOR	PB9IOR	PB8IOR	PB7IOR	PB6IOR			PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR
初期値	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
13~8	ポート B・IO レジスタ (PB11IOR ~ PB6IOR、)	0	入力 (初期値)
5~0	PB5IOR ~ PB0IOR)	1	出力

ポート B

ポート B コントロールレジスタ (PBCR)	H'FFFF838A	8/16
-------------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PB11MD1	PB11MD0	PB10MD	PB9MD	PB8MD	PB7MD	PB6MD				PB5MD	PB4MD	PB3MD	PB2MD	PB1MD	PB0MD
初期値	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	端子機能			
			ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード	
14、13	PB11 モード ビット 1、0 (PB11MD1、 PB11MD0)	0	0	アドレス出力 (A21) (初期値)	汎用入出力 (PB11) (初期値)	汎用入出力 (PB11) (初期値)
			1	アドレス出力 (A21)	アドレス出力 (A21)	汎用入出力 (PB11)
		1	0	アドレス出力 (A21)	ポートアウトブットディセーブル入力 (POD)	ポートアウトブットディセーブル入力 (POD)
			1	予約	予約	予約
12	PB10 モード ビット(PB10MD)	0	0	アドレス出力 (A20) (初期値)	汎用入出力 (PB10) (初期値)	汎用入出力 (PB10) (初期値)
			1	アドレス出力 (A20)	アドレス出力 (A20)	汎用入出力 (PB10)
11	PB9 モード ビット(PB9MD)	0	0	アドレス出力 (A19) (初期値)	汎用入出力 (PB9) (初期値)	汎用入出力 (PB9) (初期値)
			1	アドレス出力 (A19)	アドレス出力 (A19)	汎用入出力 (PB9)
10	PB8 モード ビット(PB8MD)	0	0	アドレス出力 (A18) (初期値)	汎用入出力 (PB8) (初期値)	汎用入出力 (PB8) (初期値)
			1	アドレス出力 (A18)	アドレス出力 (A18)	汎用入出力 (PB8)
9	PB7 モード ビット(PB7MD)	0	0	アドレス出力 (A17) (初期値)	汎用入出力 (PB7) (初期値)	汎用入出力 (PB7) (初期値)
			1	アドレス出力 (A17)	アドレス出力 (A17)	汎用入出力 (PB7)
8	PB6 モード ビット(PB6MD)	0	0	アドレス出力 (A16) (初期値)	汎用入出力 (PB6) (初期値)	汎用入出力 (PB6) (初期値)
			1	アドレス出力 (A16)	アドレス出力 (A16)	汎用入出力 (PB6)
5	PB5 モード ビット(PB5MD)	0	汎用入出力 (PB5) (初期値)			
			1	ATU のクロック入力 (TCLKB)		
4	PB4 モード ビット(PB4MD)	0	汎用入出力 (PB4) (初期値)			
			1	ATU のクロック入力 (TCLKA)		
3	PB3 モード ビット(PB3MD)	0	汎用入出力 (PB3) (初期値)			
			1	ATU の PWM 出力 (TO9)		
2	PB2 モード ビット(PB2MD)	0	汎用入出力 (PB2) (初期値)			
			1	ATU の PWM 出力 (TO8)		
1	PB1 モード ビット(PB1MD)	0	汎用入出力 (PB1) (初期値)			
			1	ATU の PWM 出力 (TO7)		
0	PB0 モード ビット(PB0MD)	0	汎用入出力 (PB0) (初期値)			
			1	ATU の PWM 出力 (TO6)		

ポート C

ポート C データレジスタ (PCDR)	H'FFFF8390	8/16
----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
初期値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	値	端子機能	読み出し	書き込み
14~0	0	汎用入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
		汎用入力以外	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	1	汎用出力	PCDR の値	書き込み値が端子から出力される ($\overline{\text{POD}}$ 端子=ハイ) PCDR の値にかかわらずハイインピーダンス ($\overline{\text{POD}}$ 端子=ロー)
		汎用出力以外	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない

ポート C・IO レジスタ (PCIOR)	H'FFFF8392	8/16
-----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR	PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR	
初期値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名称	値	説明
14~0	ポート C・IO レジスタ(PC14IOR ~ PC0IOR)	0	入力 (初期値)
		1	出力

付 録

ポート C

ポート C コントロールレジスタ 1、2 (PCCR1、PCCR2)	H'FFFF8394 (PCCR1) H'FFFF8396 (PCCR2)	8/16
---------------------------------------	--	------

項目	ビット															
PCCR1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名			PC14MD1	PC14MD0	PC13MD1	PC13MD0	PC12MD1	PC12MD0	PC11MD1	PC11MD0	PC10MD1	PC10MD0	PC9MD1	PC9MD0	PC8MD1	PC8MD0
初期値	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	端子機能	
			拡張モード	シングルチップモード
13、12	PC14 モードビット 1、0 (PC14MD1、PC14MD0)	0	0	汎用入出力 (PC14) (初期値)
			1	ATU のワンショットパルス出力 (TOH10)
		1	0	予約
			1	予約
11、10	PC13 モードビット 1、0 (PC13MD1、PC13MD0)	0	0	汎用入出力 (PC13) (初期値)
			1	ATU のワンショットパルス出力 (TOG10)
		1	0	予約
			1	予約
9、8	PC12 モードビット 1、0 (PC12MD1、PC12MD0)	0	0	汎用入出力 (PC12) (初期値)
			1	ATU のワンショットパルス出力 (TOF10)
		1	0	DMAC の $\overline{DREQ1}$ 受付信号出力 (DRAK1)
			1	予約
7、6	PC11 モードビット 1、0 (PC11MD1、PC11MD0)	0	0	汎用入出力 (PC11) (初期値)
			1	ATU のワンショットパルス出力 (TOE10)
		1	0	DMAC の $\overline{DREQ0}$ 受付信号出力 (DRAK0)
			1	予約
5、4	PC10 モードビット 1、0 (PC10MD1、PC10MD0)	0	0	汎用入出力 (PC10) (初期値)
			1	ATU のワンショットパルス出力 (TOD10)
		1	0	予約
			1	予約
3、2	PC9 モードビット 1、0 (PC9MD1、PC9MD0)	0	0	汎用入出力 (PC9) (初期値)
			1	ATU のワンショットパルス出力 (TOC10)
		1	0	予約
			1	予約
1、0	PC8 モードビット 1、0 (PC8MD1、PC8MD0)	0	0	汎用入出力 (PC8) (初期値)
			1	ATU のワンショットパルス出力 (TOB10)
		1	0	予約
			1	予約

ポート C

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PC7MD1	PC7MD0	PC6MD1	PC6MD0		PC5MD		PC4MD		PC3MD		PC2MD		PC1MD		PC0MD
初期値	0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名称	値	端子機能	
			拡張モード	
			シングルチップモード	
15、14	PC7 モードビット 1、0 (PC7MD1、PC7MD0)	0	0	汎用入出力 (PC7) (初期値)
			1	ATU のワンショットパルス出力 (TOA10)
		1	0	予約
			1	予約
13、12	PC6 モードビット 1、0 (PC6MD1、PC6MD0)	0	0	汎用入出力 (PC6) (初期値) 汎用入出力 (PC6) (初期値)
			1	チップセレクト出力 (CS2) 汎用入出力 (PC6)
		1	0	割り込み要求入力 (IRQ6) 割り込み要求入力 (IRQ6)
			1	A/D 変換終了出力 (ADEND) A/D 変換終了出力 (ADEND)
10	PC5 モードビット (PC5MD)	0	汎用入出力 (PC5) (初期値) 汎用入出力 (PC5) (初期値)	
		1	チップセレクト出力 (CS1) 汎用入出力 (PC5)	
8	PC4 モードビット (PC4MD)	0	汎用入出力 (PC4) 汎用入出力 (PC4)	
		1	チップセレクト出力 (CS0) (初期値) 汎用入出力 (PC4) (初期値)	
6	PC3 モードビット (PC3MD)	0	汎用入出力 (PC3) 汎用入出力 (PC3)	
		1	リード出力 (RD) (初期値) 汎用入出力 (PC3) (初期値)	
4	PC2 モードビット (PC2MD)	0	汎用入出力 (PC2) 汎用入出力 (PC2)	
		1	ウェイトステート入力 (WAIT) (初期値) 汎用入出力 (PC2) (初期値)	
2	PC1 モードビット (PC1MD)	0	汎用入出力 (PC1) 汎用入出力 (PC1)	
		1	上位側ライト (WRH) (初期値) 汎用入出力 (PC1) (初期値)	
0	PC0 モードビット (PC0MD)	0	汎用入出力 (PC0) 汎用入出力 (PC0)	
		1	下位側ライト (WRL) (初期値) 汎用入出力 (PC0) (初期値)	

付 録

ポート D

ポート D データレジスタ (PDDR)	H'FFFF8398	8/16
----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	値	端子機能	読み出し	書き込み
15~0	0	汎用入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
		汎用入力以外	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	汎用出力	PDDR の値	書き込み値が端子から出力される (\overline{POD} 端子=ハイ) PDDR の値にかかわらずハイインピーダンス (\overline{POD} 端子=ロー)
		汎用出力以外	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない

ポート D・IO レジスタ (PDIOR)	H'FFFF839A	8/16
-----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
15~0	ポート D・IO レジスタ (PD15IOR ~ PD0IOR)	0	入力 (初期値)
		1	出力

ポート D

ポート D コントロールレジスタ(PDCR)	H'FFFF839C	8/16
------------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PD15MD	PD14MD	PD13MD	PD12MD	PD11MD	PD10MD	PD9MD	PD8MD	PD7MD	PD6MD	PD5MD	PD4MD	PD3MD	PD2MD	PD1MD	PD0MD
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	端子機能			
			ROM 無効拡張モード エリア 0:8 ビット	ROM 無効拡張モード エリア 0:16 ビット	ROM 有効拡張モード	シングルチップ モード
15	PD15 モードビット (PD15MD)	0	汎用入出力 (PD15) (初期値)	データ入出力 (D15) (初期値)	汎用入出力 (PD15) (初期値)	汎用入出力 (PD15) (初期値)
		1	データ入出力 (D15)	データ入出力 (D15)	データ入出力 (D15)	汎用入出力 (PD15)
14	PD14 モードビット (PD14MD)	0	汎用入出力 (PD14) (初期値)	データ入出力 (D14) (初期値)	汎用入出力 (PD14) (初期値)	汎用入出力 (PD14) (初期値)
		1	データ入出力 (D14)	データ入出力 (D14)	データ入出力 (D14)	汎用入出力 (PD14)
13	PD13 モードビット (PD13MD)	0	汎用入出力 (PD13) (初期値)	データ入出力 (D13) (初期値)	汎用入出力 (PD13) (初期値)	汎用入出力 (PD13) (初期値)
		1	データ入出力 (D13)	データ入出力 (D13)	データ入出力 (D13)	汎用入出力 (PD13)
12	PD12 モードビット (PD12MD)	0	汎用入出力 (PD12) (初期値)	データ入出力 (D12) (初期値)	汎用入出力 (PD12) (初期値)	汎用入出力 (PD12) (初期値)
		1	データ入出力 (D12)	データ入出力 (D12)	データ入出力 (D12)	汎用入出力 (PD12)
11	PD11 モードビット (PD11MD)	0	汎用入出力 (PD11) (初期値)	データ入出力 (D11) (初期値)	汎用入出力 (PD11) (初期値)	汎用入出力 (PD11) (初期値)
		1	データ入出力 (D11)	データ入出力 (D11)	データ入出力 (D11)	汎用入出力 (PD11)
10	PD10 モードビット (PD10MD)	0	汎用入出力 (PD10) (初期値)	データ入出力 (D10) (初期値)	汎用入出力 (PD10) (初期値)	汎用入出力 (PD10) (初期値)
		1	データ入出力 (D10)	データ入出力 (D10)	データ入出力 (D10)	汎用入出力 (PD10)
9	PD9 モードビット (PD9MD)	0	汎用入出力 (PD9) (初期値)	データ入出力 (D9) (初期値)	汎用入出力 (PD9) (初期値)	汎用入出力 (PD9) (初期値)
		1	データ入出力 (D9)	データ入出力 (D9)	データ入出力 (D9)	汎用入出力 (PD9)
8	PD8 モードビット (PD8MD)	0	汎用入出力 (PD8) (初期値)	データ入出力 (D8) (初期値)	汎用入出力 (PD8) (初期値)	汎用入出力 (PD8) (初期値)
		1	データ入出力 (D8)	データ入出力 (D8)	データ入出力 (D8)	汎用入出力 (PD8)

付 録

ビット	ビット名称	値	端子機能		
			ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
7	PD7 モードビット (PD7MD)	0	データ入出力 (D7) (初期値)	汎用入出力 (PD7) (初期値)	汎用入出力 (PD7) (初期値)
		1	データ入出力 (D7)	データ入出力 (D7)	汎用入出力 (PD7)
6	PD6 モードビット (PD6MD)	0	データ入出力 (D6) (初期値)	汎用入出力 (PD6) (初期値)	汎用入出力 (PD6) (初期値)
		1	データ入出力 (D6)	データ入出力 (D6)	汎用入出力 (PD6)
5	PD5 モードビット (PD5MD)	0	データ入出力 (D5) (初期値)	汎用入出力 (PD5) (初期値)	汎用入出力 (PD5) (初期値)
		1	データ入出力 (D5)	データ入出力 (D5)	汎用入出力 (PD5)
4	PD4 モードビット (PD4MD)	0	データ入出力 (D4) (初期値)	汎用入出力 (PD4) (初期値)	汎用入出力 (PD4) (初期値)
		1	データ入出力 (D4)	データ入出力 (D4)	汎用入出力 (PD4)
3	PD3 モードビット (PD3MD)	0	データ入出力 (D3) (初期値)	汎用入出力 (PD3) (初期値)	汎用入出力 (PD3) (初期値)
		1	データ入出力 (D3)	データ入出力 (D3)	汎用入出力 (PD3)
2	PD2 モードビット (PD2MD)	0	データ入出力 (D2) (初期値)	汎用入出力 (PD2) (初期値)	汎用入出力 (PD2) (初期値)
		1	データ入出力 (D2)	データ入出力 (D2)	汎用入出力 (PD2)
1	PD1 モードビット (PD1MD)	0	データ入出力 (D1) (初期値)	汎用入出力 (PD1) (初期値)	汎用入出力 (PD1) (初期値)
		1	データ入出力 (D1)	データ入出力 (D1)	汎用入出力 (PD1)
0	PD0 モードビット (PD0MD)	0	データ入出力 (D0) (初期値)	汎用入出力 (PD0) (初期値)	汎用入出力 (PD0) (初期値)
		1	データ入出力 (D0)	データ入出力 (D0)	汎用入出力 (PD0)

ポート

CK コントロールレジスタ (CKCR)	H'FFFF839E	8/16
----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																CKLO
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名称	値	端子機能
0	CKLO	0	CK 端子出力時には内部クロックを出力します (初期値)
		1	CK 端子出力時にはローレベルを出力します

ポート E

ポート E データレジスタ (PEDR)	H'FFFF83A0	8/16
----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
初期値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	値	端子機能	読み出し	書き込み
14~0	0	汎用入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
		汎用入力以外	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	1	汎用出力	PEDR の値	書き込み値が端子から出力される
		汎用出力以外	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない

ポート E・IO レジスタ (PEIOR)	H'FFFF83A2	8/16
-----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR	PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR	
初期値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名称	値	説明
14~0	ポート E・IO レジスタ(PE14IOR ~ PE0IOR)	0	入力 (初期値)
		1	出力

ポート E

ポート E コントロールレジスタ (PECR) H'FFFF83A4 8/16

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PE14MD	PE13MD	PE12MD	PE11MD	PE10MD	PE9MD	PE8MD	PE7MD	PE6MD	PE5MD	PE4MD	PE3MD	PE2MD	PE1MD	PE0MD	
初期値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	端子機能
14	PE14 モードビット (PE14MD)	0	汎用入出力 (PE14) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC3)
13	PE13 モードビット (PE13MD)	0	汎用入出力 (PE13) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOB3)
12	PE12 モードビット (PE12MD)	0	汎用入出力 (PE12) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOA3)
11	PE11 モードビット (PE11MD)	0	汎用入出力 (PE11) (初期値)
		1	ATU インプットキャプチャ入力 (TID0)
10	PE10 モードビット (PE10MD)	0	汎用入出力 (PE10) (初期値)
		1	ATU インプットキャプチャ入力 (TIC0)
9	PE9 モードビット (PE9MD)	0	汎用入出力 (PE9) (初期値)
		1	ATU インプットキャプチャ入力 (TIB0)
8	PE8 モードビット (PE8MD)	0	汎用入出力 (PE8) (初期値)
		1	ATU インプットキャプチャ入力 (TIA0)
7	PE7 モードビット (PE7MD)	0	汎用入出力 (PE7) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOB2)
6	PE6 モードビット (PE6MD)	0	汎用入出力 (PE6) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOA2)
5	PE5 モードビット (PE5MD)	0	汎用入出力 (PE5) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOF1)
4	PE4 モードビット (PE4MD)	0	汎用入出力 (PE4) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOE1)
3	PE3 モードビット (PE3MD)	0	汎用入出力 (PE3) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOD1)
2	PE2 モードビット (PE2MD)	0	汎用入出力 (PE2) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1)
1	PE1 モードビット (PE1MD)	0	汎用入出力 (PE1) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOB1)
0	PE0 モードビット (PE0MD)	0	汎用入出力 (PE0) (初期値)
		1	ATU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOA1)

ポート F

ポート F データレジスタ (PFDR)	H'FFFF83A6	8/16
----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名					PF11DR	PF10DR	PF9DR	PF8DR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	値	端子機能	読み出し	書き込み
11~0	0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
		汎用入力以外	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	1	汎用出力	PFDR の値	書き込み値が端子から出力される
		汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

ポート F・IO レジスタ (PFIOR)	H'FFFF83A8	8/16
-----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名					PF11IOR	PF10IOR	PF9IOR	PF8IOR	PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR
初期値	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
11~0	ポート F・IO レジスタ(PF11IOR~PF0IOR)	0	入力 (初期値)
		1	出力

ポート F コントロールレジスタ 1、2 (PFCR1、PFCR2)	H'FFFF83AA (PFCR1) H'FFFF83AC (PFCR2)	8/16
---------------------------------------	--	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名									PF11MD1	PF11MD0	PF10MD1	PF10MD0	PF9MD1	PF9MD0	PF8MD1	PF8MD0
初期値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

付 録

ビット	ビット名称	値	端子機能		
			拡張モード	シングルチップモード	
7, 6	PF11 モードビット1、0 (PF11MD1、PF11MD0)	0	0	汎用入出力 (PF11) (初期値)	汎用入出力 (PF11) (初期値)
			1	バス権要求入力 (BREQ)	汎用入出力 (PF11)
		1	0	APC パルス出力 (PULS7)	APC パルス出力 (PULS7)
			1	予約	予約
5, 4	PF10 モードビット1、0 (PF10MD1、PF10MD0)	0	0	汎用入出力 (PF10) (初期値)	汎用入出力 (PF10) (初期値)
			1	バス権要求アクノリッジ出力 (BACK)	汎用入出力 (PF10)
		1	0	APC パルス出力 (PULS6)	APC パルス出力 (PULS6)
			1	予約	予約
3, 2	PF9 モードビット1、0 (PF9MD1、PF9MD0)	0	0	汎用入出力 (PF9) (初期値)	汎用入出力 (PF9) (初期値)
			1	チップセレクト出力 (CS3)	汎用入出力 (PF9)
		1	0	割り込み要求入力 (IRQ7)	割り込み要求入力 (IRQ7)
			1	APC パルス出力 (PULS5)	APC パルス出力 (PULS5)
1, 0	PF8 モードビット1、0 (PF8MD1、PF8MD0)	0	0	汎用入出力 (PF8) (初期値)	
			1	シリアルクロック入出力 (SCK2)	
		1	0	APC パルス出力 (PULS4)	
			1	予約	

ポート F

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PF7MD1	PF7MD0	PF6MD1	PF6MD0	PF5MD1	PF5MD0	PF4MD1	PF4MD0		PF3MD		PF2MD		PF1MD		PF0MD	
初期値	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名称	値	端子機能	
			拡張モード	シングルチップモード
15, 14	PF7 モードビット 1、0 (PF7MD1、 PF7MD0)	0	0	汎用入出力 (PF7) (初期値)
			1	DMA 転送要求入力 (DREQ0)
		1	0	APC パルス出力 (PULS3)
			1	予約
13, 12	PF6 モードビット 1、0 (PF6MD1、 PF6MD0)	0	0	汎用入出力 (PF6) (初期値)
			1	DMA 転送要求受け付け出力 (DACK0)
		1	0	APC パルス出力 (PULS2)
			1	予約
11, 10	PF5 モードビット 1、0 (PF5MD1、 PF5MD0)	0	0	汎用入出力 (PF5) (初期値)
			1	DMA 転送要求入力 (DREQ1)
		1	0	APC パルス出力 (PULS1)
			1	予約

ビット	ビット名称	値		端子機能	
				拡張モード	シングルチップモード
9、8	PF4 モードビット 1、0 (PF4MD1、 PF4MD0)	0	0	汎用入出力 (PF4) (初期値)	汎用入出力 (PF4)
			1	DMA 転送要求受け付け出力 (DACK1)	汎用入出力 (PF4)
		1	0	APC パルス出力 (PULS0)	APC パルス出力 (PULS0)
			1	予約	予約
6	PF3 モードビット (PF3MD)	0	汎用入出力 (PF3) (初期値)		
		1	割り込み要求入力 (IRQ3)		
4	PF2 モードビット (PF2MD)	0	汎用入出力 (PF2) (初期値)		
		1	割り込み要求入力 (IRQ2)		
2	PF1 モードビット (PF1MD)	0	汎用入出力 (PF1) (初期値)		
		1	割り込み要求入力 (IRQ1)		
0	PF0 モードビット (PF0MD)	0	汎用入出力 (PF0) (初期値)		
		1	割り込み要求入力 (IRQ0)		

付 録

ポート G

ポート G データレジスタ (PGDR)	H'FFFF83AE	8/16
----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PG15DR	PG14DR	PG13DR	PG12DR	PG11DR	PG10DR	PG9DR	PG8DR	PG7DR	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	値	端子機能	読み出し	書き込み
15~0	0	汎用入力	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
		汎用入力以外	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
	1	汎用出力	PGDR の値	書き込み値が端子から出力される
		汎用出力以外	PGDR の値	PGDR に書き込めるが、端子の状態に影響しない

ポート G・IO レジスタ (PGIOR)	H'FFFF83B0	8/16
-----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PG15IOR	PG14IOR	PG13IOR	PG12IOR	PG11IOR	PG10IOR	PG9IOR	PG8IOR	PG7IOR	PG6IOR	PG5IOR	PG4IOR	PG3IOR	PG2IOR	PG1IOR	PG0IOR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
15~0	ポート G・IO レジスタ (PG15IOR ~ PG0IOR)	0	入力 (初期値)
		1	出力

ポート G コントロールレジスタ 1、2 (PGCR1、PGCR2)	H'FFFF83B2 (PGCR1) H'FFFF83B4 (PGCR2)	8/16
---------------------------------------	--	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PGCR1																
ビット名	PG15MD1	PG15MD0	PG14MD1	PG14MD0		PG13MD		PG12MD		PG11MD		PG10MD		PG9MD		PG8MD
初期値	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名称	端子機能	
15、14	PG15 モードビット 1、0 (PG15MD1、 PG15MD0)	0	0 汎用入出力 (PG15) (初期値)
			1 割り込み要求入力 (IRQ5)
		1	0 ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOB5)
			1 予約
13、12	PG14 モードビット 1、0 (PG14MD1、 PG14MD0)	0	0 汎用入出力 (PG14) (初期値)
			1 割り込み要求入力 (IRQ4)
		1	0 ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOA5)
			1 予約
10	PG13 モードビット (PG13MD)	0 汎用入出力 (PG13) (初期値)	
		1 ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOD4)	
8	PG12 モードビット (PG12MD)	0 汎用入出力 (PG12) (初期値)	
		1 ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC4)	
6	PG11 モードビット (PG11MD)	0 汎用入出力 (PG11) (初期値)	
		1 ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOB4)	
4	PG10 モードビット (PG10MD)	0 汎用入出力 (PG10) (初期値)	
		1 ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOA4)	
2	PG9 モードビット (PG9MD)	0 汎用入出力 (PG9) (初期値)	
		1 ATU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOD3)	
0	PG8 モードビット (PG8MD)	0 汎用入出力 (PG8) (初期値)	
		1 受信データ入力 (RXD2)	

付 録

ポート G

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名		PG7MD		PG6MD		PG5MD		PG4MD		PG3MD	PG2MD	PG1MD	PG0MD1	PG0MD0	IRQMD1	IRQMD0
初期値	1	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0
R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	端子機能
14	PG7 モードビット (PG7MD)	0	汎用入出力 (PG7) (初期値)
		1	送信データ出力 (TXD2)
12	PG6 モードビット (PG6MD)	0	汎用入出力 (PG6) (初期値)
		1	受信データ出力 (RXD1)
10	PG5 モードビット (PG5MD)	0	汎用入出力 (PG5) (初期値)
		1	送信データ出力 (TXD1)
8	PG4 モードビット (PG4MD)	0	汎用入出力 (PG4) (初期値)
		1	シリアルクロック入出力 (SCK1)
6	PG3 モードビット (PG3MD)	0	汎用入出力 (PG3) (初期値)
		1	送信データ出力 (RXD0)
5	PG2 モードビット (PG2MD)	0	汎用入出力 (PG2) (初期値)
		1	送信データ出力 (TXD0)
4	PG1 モードビット (PG1MD)	0	汎用入出力 (PG1) (初期値)
		1	シリアルクロック入出力 (SCK0)
3、2	PG0 モードビット 1、0 (PG0MD1、PG0MD0)	0	0 汎用入出力 (PG0) (初期値)
		1	1 A/D 変換トリガ入力 (ADTRG)
		1	0 割り込み要求出力 (IRQOUT)
		1	1 予約
1、0	IRQOUT モードビット 1、0 (IRQMD1、IRQMD0)	0	0 IRQOUT は常にハイレベル (初期値)
		1	1 INTC の割り込み要求で出力
		1	0 リフレッシュ要求で出力
		1	1 INTC の割り込み要求およびリフレッシュ要求で出力

ポート H

ポート H データレジスタ (PHDR)	H'FFFF83B6	8/16
----------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PH15DR	PH14DR	PH13DR	PH12DR	PH11DR	PH10DR	PH9DR	PH8DR	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

端子入出力	端子機能	読み出し	書き込み
入力	汎用	端子の状態が読み出される	無視される (端子の状態に影響しない)
	ANn	1 が読み出される	無視される (端子の状態に影響しない)

n = 0 ~ 15

A/D

A/D トリガレジスタ (ADTRGR)	H'FFFF83B8	8
----------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	EXTRG							
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名称	値	説明
7	トリガイネーブル (EXTRG)	0	ATUのチャンネル0のインターバルタイム割り込みによる起動を行います
		1	外部端子 (ADTRG) による起動を行います (初期値)

APC

パルスアウトポートコントロールレジスタ (POPCR)	H'FFFF83C0	8/16
-----------------------------	------------	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	PULS7 ROE	PULS6 ROE	PULS5 ROE	PULS4 ROE	PULS3 ROE	PULS2 ROE	PULS1 ROE	PULS0 ROE	PULS7 SOE	PULS6 SOE	PULS5 SOE	PULS4 SOE	PULS3 SOE	PULS2 SOE	PULS1 SOE	PULS0 SOE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
15~8	PULS7~0 リセットアウト プットイネーブル (PULS7~0ROE)	0	APC パルス出力端子 (PULS7~0) への 0 出力を禁止 (初期値)
		1	APC パルス出力端子 (PULS7~0) への 0 出力を許可
7~0	PULS7~0 セットアウト プットイネーブル (PULS7~0SOE)	0	APC パルス出力端子 (PULS7~0) への 1 出力を禁止 (初期値)
		1	APC パルス出力端子 (PULS7~0) への 1 出力を許可

低消費電力状態

システムコントロールレジスタ (SYSCR)	H'FFFF83C8	8
------------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								RAME
初期値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名称	値	説明
	RAM イネーブル (RAME)	0	内蔵 RAM 無効
		1	内蔵 RAM 有効 (初期値)

付 録

CMT

コンペアマッチタイマスタートレジスタ (CMSTR) | H'FFFF83D0 (共通) | 8/16/32

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名															STR1	STR0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名称	値	説明
1	カウントスタート1 (STR1)	0	CMCNT1 のカウント動作は停止 (初期値)
		1	CMCNT1 はカウント動作
0	カウントスタート0 (STR0)	0	CMCNT0 のカウント動作は停止 (初期値)
		1	CMCNT0 はカウント動作

コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR) | H'FFFF83D2 (チャンネル0) | 8/16/32
 H'FFFF83D8 (チャンネル1)

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名									CMF	CMIE					CKS1	CKS0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/(W)*	R/W					R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です

ビット	ビット名称	値	説明	
7	コンペアマッチフラグ (CMF)	0	CMCNT と CMCOR の値が一致していない (初期値) [クリア条件] CMF の 1 を読み出してから 0 を書き込む	
		1	CMCNT と CMCOR の値が一致した	
6	コンペアマッチ割り込みイネーブル (CMIE)	0	コンペアマッチ割り込み (CMI) を禁止 (初期値)	
		1	コンペアマッチ割り込み (CMI) を許可	
1、0	クロックセレクト 1、0 (CKS1、CKS0)	0	0	$\phi / 8$ (初期値)
			1	$\phi / 32$
		1	0	$\phi / 128$
			1	$\phi / 512$

コンペアマッチタイマカウンタ (CMCNT)	H'FFFF83D4 (チャンネル0) H'FFFF83DA (チャンネル1)	8/16/32
------------------------	--	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(カウント値)	入力クロックカウント値

コンペアマッチタイマコンスタントレジスタ (CMCOR)	H'FFFF83D6 (チャンネル0) H'FFFF83DC (チャンネル1)	8/16/32
------------------------------	--	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	(コンペアマッチ周期)	コンペアマッチ周期を設定

フラッシュ

フラッシュメモリコントロールレジスタ 1 (FLMCR1)	H'FFFF8580	8
-------------------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値	1/0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7	フラッシュ・ライト・イネーブルビット (FWE)	0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
		1	FWE 端子にハイレベルが入力されているとき
6	ソフトウェアライトイネーブルビット (SWE)	0	書き込み無効 (初期値)
		1	書き込み有効 [セット条件] FWE=1 のとき
5	イレースセットアップビット (ESU)	0	イレースセットアップ解除 (初期値)
		1	イレースセットアップ
4	プログラムセットアップビット (PSU)	0	プログラムセットアップ解除 (初期値)
		1	プログラムセットアップ
3	イレースベリファイ (EV)	0	イレースベリファイモードを解除 (初期値)
		1	イレースベリファイモードに遷移
2	プログラムベリファイ (PV)	0	プログラムベリファイモードを解除 (初期値)
		1	プログラムベリファイモードに遷移
1	イレース (E)	0	イレースモードを解除 (初期値)
		1	イレースモードに遷移
0	プログラム (P)	0	プログラムモードを解除 (初期値)
		1	プログラムモードに遷移

フラッシュメモリコントロールレジスタ 2 (FLMCR2)	H'FFFF8581	8
-------------------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	FLER							
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	ビット名称	値	説明
7	フラッシュメモリエラー (FLER)	0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 クリア条件: リセットまたはハードウェアスタンバイ モードのとき (初期値)
		1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 セット条件: エラープロテクトモード 参照

ブロック指定レジスタ 1 (EBR1)	H'FFFF8582	8
---------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
7~0	(ブロック指定)	フラッシュメモリの消去エリアをブロックごとに設定

A/D

A/D データレジスタ 0 (H/L) ~ 15 (H/L) (ADDR0 (H/L) ~ 15 (H/L))	H'FFFF85D0	8/16
	H'FFFF85D2	
	H'FFFF85D4	
	H'FFFF85D6	
	H'FFFF85D8	
	H'FFFF85DA	
	H'FFFF85DC	
	H'FFFF85DE	
	H'FFFF85E0	
	H'FFFF85E2	
	H'FFFF85E4	
	H'FFFF85E6	
	H'FFFF85F0	
	H'FFFF85F2	
	H'FFFF85F4	
	H'FFFF85F6	

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0						
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名称	説明
15~8	A/D データレジスタ 9~2	A/D 変換結果の上位 8 ビットを格納
7、6	A/D データレジスタ 1、0	A/D 変換結果の下位 2 ビットを格納

A/D

A/D コントロールステータスレジスタ 0 (ADCSR0) | H'FFFF85E8 | 8/16

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能

ビット	ビット名称	値	説明										
7	A/D エンドフラグ (ADF)	0	A/D0 が A/D 変換実行中、またはアイドル状態であることを示します (初期値) [クリア条件] (1) ADF=1 の状態を読み出した後、0 を書き込んだとき (2) ADI0 により DMAC が起動されたとき										
		1	A/D0 が A/D 変換を終了し、デジタル値を ADDR に転送したことを示します [セット条件] (1) 単一モード : A/D 変換終了時 (2) スキャンモード : 設定された 1 つのアナロググループ内のすべての変換が終了したとき										
6	A/D インタラプトイネーブル (ADIE)	0	A/D 割り込み (ADI0) の発生を禁止 (初期値)										
		1	A/D 割り込み (ADI0) の発生を許可										
5, 4	A/D モード 1、0 (ADM1、0)	0	0	単一モード (初期値)									
			1	4 チャネルスキャンモード (アナロググループ 0 / グループ 1 / グループ 2)									
		1	0	8 チャネルスキャンモード (アナロググループ 0、1)									
			1	12 チャネルスキャンモード (アナロググループ 0、1、2)									
3, 2, 1, 0	チャンネル・セレクト 3~0 (CH3~0)	0		アナログ入力チャンネル									
				単一モード		4 チャネルスキャンモード	8 チャネルスキャンモード	12 チャネルスキャンモード					
				0	0	0	0	AN0 (初期値)	AN0	AN0,4	AN0,4,8		
				1	0	0	0	AN1	AN0,1	AN0,1,4,5	AN0,1,4,5,8,9		
				1	0	0	0	AN2	AN0~2	AN0~2,4~6	AN0~2,4~6,8~10		
					1	0	0	AN3	AN0~3	AN0~7	AN0~11		
				1	0	0	0	0	AN4	AN4	AN0,4	AN0,4,8	
						1	0	0	AN5	AN4,5	AN0,1,4,5	AN0,1,4,5,8,9	
					1	0	0	0	AN6	AN4~6	AN0~2,4~6	AN0~2,4~6,8~10	
						1	0	0	AN7	AN4~7	AN0~7	AN0~11	
				1	0*	0	0	0	0	AN8	AN8	リザーブ*2	AN0,4,8
							1	0	0	AN9	AN8,9		AN0,1,4,5,8,9
						1	0	0	0	AN10	AN8~10		AN0~2,4~6,8~10
							1	0	0	AN11	AN8~11		AN0~11

*1 必ず 0 に設定してください。

*2 将来の拡張のためのモードです。使用しないでください。

A/D

A/D コントロールレジスタ 0 (ADCR0) | H'FFFF85E9 | 8/16

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TRGE	CKS	ADST					
初期値	0	0	0	1	1	1	1	1
R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名称	値	説明
7	トリガイネーブル (TRGE)	0	外部トリガまたは ATU トリガによる A/D 変換の開始を禁止 (初期値)
		1	外部トリガまたは ATU トリガによる A/D 変換の開始を許可
6	クロックセレクト (CKS)	0	変換時間=266 ステート (MAX) (初期値)
		1	変換時間=134 ステート (MAX)
5	A/D スタート (ADST)	0	A/D 変換停止 (初期値)
		1	A/D 変換実行中 [クリア条件] (1) 単一モード: A/D 変換終了時に自動的に 0 クリア (2) スキャンモード: ADCSR0 の ADF が 1 であることを確認して、ADST に 0 をライト

A/D コントロールステータスレジスタ 1 (ADCSR1) | H'FFFF85F8 | 8/16

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	ADF	ADIE	ADST	SCAN	CKS		CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能

付 録

ビット	ビット名称	値	説明		
7	A/D エンドフラグ (ADF)	0	A/D1 が A/D 変換実行中、またはアイドル状態であることを示します (初期値) [クリア条件] (1) ADF=1 の状態を読み出した後、0 を書き込んだとき (2) ADI1 により DMAC が起動されたとき		
		1	A/D1 が A/D 変換を終了し、デジタル値を ADDR に転送したことを示します [セット条件] (1) 単一モード：A/D 変換終了時 (2) スキャンモード：設定された 1 つのアナロググループ内のすべての変換が終了したとき		
6	A/D インタラプティブ (ADIE)	0	A/D 割り込み (ADI1) の発生を禁止 (初期値)		
		1	A/D 割り込み (ADI1) の発生を許可		
5	A/D スタート (ADST)	0	A/D 変換停止 (初期値)		
		1	A/D 変換実行中 [クリア条件] (1) 単一モード：A/D 変換終了時に自動的に 0 クリア (2) スキャンモード：ADCSR1 の ADF が 1 であることを確認して、ADST に 0 をライト		
4	スキャンモード (SCAN)	0	単一モード (初期値)		
		1	スキャンモード		
3	クロック・セレクト (CKS)	0	変換時間=266 ステート (MAX) (初期値)		
		1	変換時間=134 ステート (MAX)		
		アナログ入力チャンネル			
		単一モード	スキャンモード		
1, 0	チャンネルセレクト 1, 0 (CH1, 0)	0	0	AN12 (初期値)	AN12
			1	AN13	AN12、13
		1	0	AN14	AN12 ~ 14
			1	AN15	AN12 ~ 15

A/D

A/D コントロールレジスタ 1 (ADCR1)	H'FFFF85F9	8/16
--------------------------	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TRGE							
初期値	0	1	1	1	1	1	1	1
R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名称	値	説明
7	トリガイネーブル (TRGE)	0	外部トリガまたは ATU トリガによる A/D 変換の開始を禁止 (初期値)
		1	外部トリガまたは ATU トリガによる A/D 変換の開始を許可

UBC

ユーザブ레이크アドレスレジスタ H (UBARH)	H'FFFF8600	8/16/32
---------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	ユーザブ레이크アドレス 31~16 (UBA31~UBA16)	ブ레이크条件とするアドレスの上位側 (ビット 31~16) を格納

ユーザブ레이크アドレスレジスタ L (UBARL)	H'FFFF8602	8/16/32
---------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	ユーザブ레이크アドレス 15~0 (UBA15~UBA0)	ブ레이크条件とするアドレスの低位側 (ビット 15~0) を格納

ユーザブ레이크アドレスマスクレジスタ H (UBAMRH)	H'FFFF8604	8/16/32
-------------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24	UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	ユーザブ레이크アドレスマスク 31~16 (UBM31~16)	UBARH に指定されているブ레이크アドレスのマスクするビットを指定

UBC

ユーザブ레이크アドレスマスクレジスタ L (UBAMRL)	H'FFFF8606	8/16/32
-------------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8	UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~0	ユーザブ레이크アドレスマスク 15~0 (UBM15~0)	UBARL に指定されているブ레이크アドレスのマスクするビットを指定

ユーザブ레이크バスサイクルレジスタ (UBBR)	H'FFFF8608	8/16/32
--------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名									CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7, 6	CPU サイクル/ 周辺サイクル セレクト (CP1、CP0)	0	0 ユーザブ레이크割り込みは発生させない (初期値)
		1	1 CPU サイクルをブ레이크条件とする
		1	0 周辺サイクルをブ레이크条件とする
		1	1 CPU サイクルと周辺サイクルのどちらもブ레이크条件とする
5, 4	命令フェッチ/ データアクセス セレクト (ID1、ID0)	0	0 ユーザブ레이크割り込みは発生させない (初期値)
		1	1 命令フェッチサイクルをブ레이크条件とする
		1	0 データアクセスサイクルをブ레이크条件とする
		1	1 命令フェッチサイクルとデータアクセスサイクルのどちらもブ레이크条件とする
3, 2	リード/ ライトセレクト (RW1、RW0)	0	0 ユーザブ레이크割り込みは発生させない (初期値)
		1	1 リードサイクルをブ레이크条件とする
		1	0 ライトサイクルをブ레이크条件とする
		1	1 リードサイクルとライトサイクルのどちらもブ레이크条件とする
1, 0	オペランドサイズ セレクト (SZ1、SZ0)	0	0 ブ레이크条件にオペランドサイズを含まない (初期値)
		1	1 バイトアクセスをブ레이크条件とする
		1	0 ワードアクセスをブ레이크条件とする
		1	1 ロングワードアクセスをブ레이크条件とする

WDT

タイマコントロール/ステータスレジスタ (TCSR)	H'FFFF8610	8
----------------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	OVF	WT/ \overline{IT}	TME			CKS2	CKS1	CKS0
初期値	0	0	0	1	1	0	0	0
R/W	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット	ビット名称	値		説明	
7	オーバーフローフラグ (OVF)	0		インターバルタイマモードで TCNT のオーバーフローなし [クリア条件] (初期値) OVF を読み出してから 0 を書き込む	
		1		インターバルタイマモードで TCNT のオーバーフロー発生	
6	タイマモードセレクト (WT/ \overline{IT})	0		インターバルタイマモード: TCNT がオーバーフローしたとき CPU ヘインターバルタイマ割り込み (ITI) を要求 (初期値)	
		1		ウォッチドッグタイマモード: TCNT がオーバーフローしたとき WDTOVF 信号を外部へ出力	
5	タイマイネーブル (TME)	0		タイマディスエーブル: TCNT を H'00 に初期化し、カウントアップ を停止 (初期値)	
		1		タイマイネーブル: TCNT はカウントアップを開始。TCNT がオー バフローすると、WDTOVF 信号または割り込みを発生	
				クロック	オーバーフロー周期* ($\phi=20\text{MHz}$ の場合)
2~0	クロックセレクト 2~0 (CKS2~CKS0)	0	0	$\phi/2$ (初期値)	25.6 μs
			1	$\phi/64$	819.2 μs
			1	$\phi/128$	1.6ms
			1	$\phi/256$	3.3ms
		1	0	$\phi/512$	6.6ms
			1	$\phi/1024$	13.1ms
			1	$\phi/4096$	52.4ms
			1	$\phi/8192$	104.9ms

【注】* オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

WDT

タイマカウンタ (TCNT)	H'FFFF8611	8
----------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
7~0	(カウント値)	入力カウントクロック値

リセットコントロール/ステータスレジスタ (RSTCSR)	H'FFFF8613	8
-------------------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	WOVF	RSTE						
初期値	0	0	0	0	1	1	1	1
R/W	R/(W)*	R/W	R	R	R	R	R	R

【注】* ビット7には、フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
7	ウォッチドッグタイマ オーバーフローフラグ (WOVF)	0	ウォッチドッグタイマモードで TCNT のオーバーフローなし (初期値) [クリア条件] WOVF を読み出してから WOVF に 0 を書き込む
		1	ウォッチドッグタイマモードで TCNT のオーバーフロー発生
6	リセットイネーブル (RSTE)	0	TCNT がオーバーフローしたとき、内部リセットしない* (初期値)
		1	TCNT がオーバーフローしたとき、内部リセットする

【注】 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

低消費電力状態

スタンバイコントロールレジスタ (SBYCR)	H'FFFF8614	8
-------------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	SSBY	HIZ						
初期値	0	0	0	1	1	1	1	1
R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名称	値	説明
7	ソフトウェアスタンバイ (SSBY)	0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
		1	SLEEP 命令の実行により、ソフトウェアスタンバイモードへ遷移
6	ポートハイインピーダンス (HIZ)	0	ソフトウェアスタンバイモード時に、端子状態を保持する (初期値)
		1	ソフトウェアスタンバイモード時に、端子状態をハイインピーダンス

BSC

バスコントロールレジスタ 1 (BCR1)	H'FFFF8620	8/16/32
-----------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名													A3SZ	A2SZ	A1SZ	A0SZ
初期値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
3	CS3 空間サイズ指定 (A3SZ)	0	CS3 空間のバスサイズをバイト (8 ビット) サイズ
		1	CS3 空間のバスサイズをワード (16 ビット) サイズ (初期値)
2	CS2 空間サイズ指定 (A2SZ)	0	CS2 空間のバスサイズをバイト (8 ビット) サイズ
		1	CS2 空間のバスサイズをワード (16 ビット) サイズ (初期値)
1	CS1 空間サイズ指定 (A1SZ)	0	CS1 空間のバスサイズをバイト (8 ビット) サイズ
		1	CS1 空間のバスサイズをワード (16 ビット) サイズ (初期値)
0	CS0 空間サイズ指定 (A0SZ)	0	CS0 空間のバスサイズをバイト (8 ビット) サイズ
		1	CS0 空間のバスサイズをワード (16 ビット) サイズ (初期値)

【注】 A0SZ は内蔵 ROM 有効モード時のみ有効であり、内蔵 ROM 無効モード時は、CS0 空間のバスサイズはモード端子によって設定されます。

バスコントロールレジスタ 2 (BCR2)	H'FFFF8622	8/16/32
-----------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明	
15 14	サイクル間アイドル指定 (IW31、IW30)	0	0	CS3 空間アイドルサイクルなし
			1	CS3 空間 1 アイドルサイクル
		1	0	CS3 空間 2 アイドルサイクル
			1	CS3 空間 3 アイドルサイクル (初期値)
13 12	サイクル間アイドル指定 (IW21、IW20)	0	0	CS2 空間アイドルサイクルなし
			1	CS2 空間 1 アイドルサイクル
		1	0	CS2 空間 2 アイドルサイクル
			1	CS2 空間 3 アイドルサイクル (初期値)
11 10	サイクル間アイドル指定 (IW11、IW10)	0	0	CS1 空間アイドルサイクルなし
			1	CS1 空間 1 アイドルサイクル
		1	0	CS1 空間 2 アイドルサイクル
			1	CS1 空間 3 アイドルサイクル (初期値)

ビット	ビット名称	値		説明
9 8	サイクル間アイドル指定 (IW01、IW00)	0	0	CS0 空間アイドルサイクルなし
			1	CS0 空間 1 アイドルサイクル
		1	0	CS0 空間 2 アイドルサイクル
			1	CS0 空間 3 アイドルサイクル (初期値)
7	連続アクセス時アイドル指定 (CW3)	0	CS3 空間アクセス時アイドルサイクルなし	
		1	CS3 空間アクセス時 1 アイドルサイクル (初期値)	
6	連続アクセス時アイドル指定 (CW2)	0	CS2 空間アクセス時アイドルサイクルなし	
		1	CS2 空間アクセス時 1 アイドルサイクル (初期値)	
5	連続アクセス時アイドル指定 (CW1)	0	CS1 空間アクセス時アイドルサイクルなし	
		1	CS1 空間アクセス時 1 アイドルサイクル (初期値)	
4	連続アクセス時アイドル指定 (CW0)	0	CS0 空間アクセス時アイドルサイクルなし	
		1	CS0 空間アクセス時 1 アイドルサイクル (初期値)	
3	CS アサート拡張指定 (SW3)	0	CS3 空間 CS アサート拡張なし	
		1	CS3 空間 CS アサート拡張あり (初期値)	
2	CS アサート拡張指定 (SW2)	0	CS2 空間 CS アサート拡張なし	
		1	CS2 空間 CS アサート拡張あり (初期値)	
1	CS アサート拡張指定 (SW1)	0	CS1 空間 CS アサート拡張なし	
		1	CS1 空間 CS アサート拡張あり (初期値)	
0	CS アサート拡張指定 (SW0)	0	CS0 空間 CS アサート拡張なし	
		1	CS0 空間 CS アサート拡張あり (初期値)	

BSC

ウェイトコントロールレジスタ 1 (WCR1)	H'FFFF8624	8/16/32
-------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	W33	W32	W31	W30	W23	W22	W21	W20	W13	W12	W11	W10	W03	W02	W01	W00
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値				説明			
15~12	CS3 空間ウェイト指定 (W33、W32、W31、W30)	0	0	0	0	ノーウェイト外部ウェイト入力禁止			
		0	0	0	1	1ウェイト外部ウェイト入力イネーブル			
		~							
		1	1	1	1	15ウェイト外部ウェイト入力イネーブル (初期値)			
11~8	CS2 空間ウェイト指定 (W23、W22、W21、W20)	0	0	0	0	ノーウェイト外部ウェイト入力禁止			
		0	0	0	1	1ウェイト外部ウェイト入力イネーブル			
		~							
		1	1	1	1	15ウェイト外部ウェイト入力イネーブル (初期値)			
7~4	CS1 空間ウェイト指定 (W13、W12、W11、W10)	0	0	0	0	ノーウェイト外部ウェイト入力禁止			
		0	0	0	1	1ウェイト外部ウェイト入力イネーブル			
		~							
		1	1	1	1	15ウェイト外部ウェイト入力イネーブル (初期値)			
3~0	CS0 空間ウェイト指定 (W03、W02、W01、W00)	0	0	0	0	ノーウェイト外部ウェイト入力禁止			
		0	0	0	1	1ウェイト外部ウェイト入力イネーブル			
		~							
		1	1	1	1	15ウェイト外部ウェイト入力イネーブル (初期値)			

ウェイトコントロールレジスタ 2 (WCR2)	H'FFFF8626	8/16/32
-------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名													DSW3	DSW2	DSW1	DSW0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名称	値				説明			
3~0	CS 空間 DMA シングルアドレス モードアクセス時、ウェイト指定 (DSW3、DSW2、DSW1、DSW0)	0	0	0	0	ノーウェイト外部ウェイト入力禁止			
		0	0	0	1	1ウェイト外部ウェイト入力イネーブル			
		~							
		1	1	1	1	15ウェイト外部ウェイト入力イネーブル (初期値)			

フラッシュ

RAM エミュレーションレジスタ (RAMER)	H'FFFF8628	8/16/32
--------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名														RAMS	RAM1	RAM0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名称	値	説明
2	RAM セレクト (RAMS)	0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み/消去プロテクト無効 (初期値)
		1	エミュレーション選択 フラッシュメモリ全ブロック書き込み/消去プロテクト有効
1、0	RAM エリア指定 (RAM1、RAM0)		RAM と重ね合わせるフラッシュメモリエリア選択

RAM エリア	RAMS	RAM1	RAM0
H'FFFFE800 ~ H'FFF EBFF	0	*	*
H'0001F000 ~ H'0001F3FF	1	0	0
H'0001F400 ~ H'0001F7FF	1	0	1
H'0001F800 ~ H'0001FBFF	1	1	0
H'0001FC00 ~ H'0001FFFF	1	1	1

DMAC

DMA オペレーションレジスタ (DMAOR)	H'FFFF86B0 (共通)	16
-------------------------	-----------------	----

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名							PR1	PR0						AE	NMIF	DME
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/(W)*	R/W

【注】* AE、NMIF ビットは、1 リード後の 0 ライトのみ実行可能です。

ビット	ビット名称	値	説明
9、8	プライオリティモード 1、 α (PR1、PR0)	0	0 優先順位は固定 (CH0 > CH1 > CH2 > CH3) (初期値)
		1	1 優先順位は固定 (CH0 > CH2 > CH3 > CH1)
		0	1 優先順位は固定 (CH2 > CH0 > CH1 > CH3)
		1	1 優先順位はラウンドロビンモードによる
2	アドレスエラーフラグ (AE)	0	アドレスエラーなし。DMA 転送許可状態。(初期値) [クリア条件]: AE=1 リード後 AE=0 ライト
		1	アドレスエラーあり。DMA 転送禁止状態。 [セット条件]: DMAC によるアドレスエラーの発生。
1	NMI フラグ (NMIF)	0	NMI 入力なし。DMA 転送許可状態。(初期値) [クリア条件]: NMIF=1 リード後 NMIF=0 ライト
		1	NMI 入力あり。DMA 転送禁止状態。 [セット条件]: NMI 割り込みの発生。
0	DMAC マスタイネーブル (DME)	0	全チャンネルの動作禁止 (初期値)
		1	全チャンネルの動作許可

DMA ソースアドレスレジスタ 0~3 (SAR0~3)	H'FFFF86C0 (チャンネル 0)	16/32
	H'FFFF86D0 (チャンネル 1)	16/32
	H'FFFF86E0 (チャンネル 2)	16/32
	H'FFFF86F0 (チャンネル 3)	16/32

項目	ビット															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値																
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値																
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
31~0	(転送元アドレス指定)	DMA 転送元のアドレスを指定

DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)	H'FFFF86C4 (チャンネル0)	16/32
	H'FFFF86D4 (チャンネル1)	16/32
	H'FFFF86E4 (チャンネル2)	16/32
	H'FFFF86F4 (チャンネル3)	16/32

項目	ビット															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値																
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値																
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
31~0	(転送先アドレス指定)	DMA 転送先のアドレスを指定

DMAC

DMA トランスファカウントレジスタ 0~3 (DMATCR0~3)	H'FFFF86C8 (チャンネル 0)	32
	H'FFFF86D8 (チャンネル 1)	32
	H'FFFF86E8 (チャンネル 2)	32
	H'FFFF86F8 (チャンネル 3)	32

項目	ビット															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値	0	0	0	0	0	0	0	0								
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値																
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
23~0	(DMA 転送回数指定)	DMA 転送回数 (バイト数、ワード数またはロングワード数) を指定DMAC 動作中は残りの転送回数を示す

DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)	H'FFFF86CC (チャンネル 0)	16/32
	H'FFFF86DC (チャンネル 1)	16/32
	H'FFFF86EC (チャンネル 2)	16/32
	H'FFFF86FC (チャンネル 3)	16/32

項目	ビット															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名												DI	RO	RL	AM	AL
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0		DS	TM	TS1	TS0	IE	TE	DE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R(W)

- 【注】 1. TE ビットは、1 リード後の 0 ライトのみ実行可能です。
 2. DI、RO、RL、AM、AL、DS ビットは、チャンネルにより存在しないビットがあります。

ビット	ビット名称	値		説明		
20	ダイレクト、インダイレクトセレクト (DI)	0		チャンネル3を直接アドレスモードで動作させる (初期値)		
		1		チャンネル3を間接アドレスモードで動作させる		
19	ソースアドレスリロードビット (RO)	0		ソースアドレスをリロードしない (初期値)		
		1		ソースアドレスをリロードする		
18	リクエストチェックレベルビット (RL)	0		DRAKをハイアクティブで出力 (初期値)		
		1		DRAKをローアクティブで出力		
17	アクリッジモードビット (AM)	0		読み出しサイクルでDACKを出力 (初期値)		
		1		書き込みサイクルでDACKを出力		
16	アクリッジレベル (AL)	0		ハイアクティブで出力 (初期値)		
		1		ローアクティブで出力		
15、14	デスティネーションアドレスモード1、0 (DM1、DM0)	0	0	デスティネーションアドレスは固定 (初期値)		
			1	デスティネーションアドレスは増加 (8ビット転送時+1、16ビット転送時+2、32ビット+4)		
		1	0	デスティネーションアドレスは減少 (8ビット転送時-1、16ビット転送時-2、32ビット-4)		
			1	使用禁止		
13、12	ソースアドレスモード1、0 (SM1、SM0)	0	0	ソースアドレスは固定 (初期値)		
			1	ソースアドレスは増加 (8ビット転送時+1、16ビット転送時+2、32ビット+4)		
		1	0	ソースアドレスは減少 (8ビット転送時-1、16ビット転送時-2、32ビット-4)		
			1	使用禁止		
11~8	リソースセレクト3、2、1、0 (RS3、RS2、RS1、RS0)	0	0	0	外部リクエスト、デュアルアドレスモード (初期値)	
				1	使用禁止	
		1	0	0	外部リクエスト、シングルアドレスモード。外部アドレス空間 外部デバイス	
				1	外部リクエスト、シングルアドレスモード。外部デバイス 外部アドレス空間	
		1	0	0	オートリクエスト	
				1	使用禁止	
		1	0	0	ATU、コンペアマッチ6 (CMI6)	
				1	ATU、インプットキャプチャ0B (ICI0B)	
		1	0	0	0	SCI0の送信
					1	SCI0の受信
				1	0	SCI1の送信
					1	SCI1の受信
		1	0	0	0	SCI2の送信
					1	SCI2の受信
				1	0	内蔵 A/D0
		6	DREQセレクト (DS)	0		ローレベル検出 (初期値)
1				立ち下がりエッジ検出		

付 録

ビット	ビット名称	値		説明
5	トランスミットモード (TM)	0		サイクルスチールモード (初期値)
		1		バーストモード
4, 3	トランスミットサイズ 1, 0 (TS1, TS0)	0	0	バイトサイズ (8 ビット) 指定 (初期値)
			1	ワードサイズ (16 ビット) 指定
		1	0	ロングワードサイズ (32 ビット) 指定
			1	使用禁止
2	インターラプトイネーブル (IE)	0		DMATCR 指定転送回数終了時、割り込み要求を発生しない (初期値)
		1		DMATCR 指定転送回数終了時、割り込み要求を発生する
1	トランスファエンド (TE)	0		DMATCR 指定回数転送未終了 (初期値) [クリア条件]TE=1 のリード後 0 ライト パワーオンリセット、スタンバイ
		1		DMATCR 指定回数転送終了
0	DMAC イネーブル (DE)	0		対応チャンネルの動作禁止 (初期値)
		1		対応チャンネルの動作許可

A.3 リセット、低消費電力状態でのレジスタ状態

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
CPU	R0 ~ R15	初期化	初期化	保持	保持
	SR				
	GBR				
	VBR				
	MACH,MACL				
	PR				
	PC				
割り込み コントローラ (INTC)	IPRA ~ IPRH	初期化	初期化	保持	保持
	ICR				
	ISR				
ユーザブレイク コントローラ (UBC)	UBARH,UBARL	初期化	初期化	保持	保持
	UBAMRH,UBAMRL				
	UBBR				
バスステート コントローラ (BSC)	BCR1,BCR2	初期化	初期化	保持	保持
	WCR1,WCR2				
ダイレクトメモリ アクセス コントローラ (DMAC)	SAR0 ~ SAR3	初期化	初期化	初期化	保持
	DAR0 ~ DAR3				
	DMATCR0 ~ DMATCR3				
	CHCR0 ~ CHCR3				
	DMAOR				
アドバンスドタイマ ユニット (ATU)	PSCR1	初期化	初期化	初期化	保持
	TSTR				
	TGSR				
	TIOR0A,TIOR1A ~ TIOR1C,TIOR2A,TIOR3A, TIOR3B,TIOR4A,TIOR4B, TIOR5A				
	ITVRR				
	TSRAH,TSRAL,TSRB, TSRC,TSRDH TSRDL,TSRE,TSRF				
	TIERA,TIERB,TIERC TIERDH,TIERDL, TIERE,TIERF				
	TCNTOH,OL, TCNT1 ~ TCNT9				
	ICR0AH,L ~ ICR0DH,L				

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
アドバンスタイマ ユニット (ATU)	TCR1 ~ TCR10	初期化	初期化	初期化	保持
	GR1A ~ GR1F, GR2A, GR2B, GR3A ~ GR3D, GR4A ~ GR4D, GR5A, GR5B				
	OSBR				
	TMDR				
	CYLR6 ~ CYLR9				
	BFR6 ~ BFR9				
	DTR6 ~ DTR9				
	TCNR				
	DSTR				
	DCNT10A ~ DCNT10H				
アドバンスパルス コントローラ (APC)	POPCR	初期化	初期化	保持	保持
ウォッチドッグ タイマ (WDT)	TCNT	初期化	初期化	初期化	保持
	TCSR			*1	
	RSTCSR			初期化	
シリアルコミュニ ケーションインタ フェース (SCI)	SMR0 ~ SMR2	初期化	初期化	初期化	保持
	BRR0 ~ BRR2				
	SCR0 ~ SCR2				
	TDR0 ~ TDR2				
	SSR0 ~ SSR2				
	RDR0 ~ RDR2				
A/D 変換器	ADDR0 (H/L) ~ ADDR15 (H/L)	初期化	初期化	初期化	保持
	ADCSR0, ADCSR1				
	ADCR0, ADCR1				
	ADTRGR				
コンペアマッチ タイマ (CMT)	CMSTR	初期化	初期化	初期化	保持
	CMCSR0, CMCSR1				
	CMCNT0, CMCNT1				
	CMCOR0, CMCOR1				
ピンファンクション コントローラ (PFC)	PAIOR, PBIOR, PCIOR, PDIOR, PEIOR, PFIOR, PGIOR	初期化	初期化	保持	保持
	PACR, PBCR, PCCR1, PCCR2, PDCR, PECR, PFCR1, PFCR2, PGCR1, PGCR2				

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
I/O ポート	PADR,PBDR,PCDR, PDDR,PEDR,PFDR, PGDR,PHDR	初期化	初期化	保持	保持
フラッシュ ROM	FLMCR1	初期化	初期化	初期化	保持
	FLMCR2			保持	
	EBR1			初期化	
	RAMER			保持	
低消費電力状態関係	SBYCR	初期化	初期化	保持	保持
	SYSCR				

【注】 *1 ビット 7~5 (OVF,WT/IT,TME) は初期化、ビット 2~0 (CKS2~CKS0) は保持されます。

B. 端子状態

B.1 リセット、低消費電力、バス権解放状態での端子状態

表 B.1 に SH7050、SH7051 シリーズのリセット、低消費電力、バス権解放状態での端子状態を示します。

表 B.1 リセット、低消費電力、バス権解放状態での端子状態

端子機能		端子状態							
分類	端子名	リセット状態				低消費電力状態			バス権解放状態
		RES 端子によるパワーオンリセット				ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ	
		ROM 無効拡張 8 ビット	ROM 無効拡張 16 ビット	ROM 有効拡張	シングルチップ				
クロック	EXTAL	I	I	I	I	Z	Z	I	I
	XTAL	O	O	O	O	Z	Z	O	O
	CK	O	O	O	O	Z	H ^{*1}	O	O
動作モード制御	FWE、MD0 ~ MD3	I	I	I	I	I	I	I	I
	HSTBY	I	I	I	I	I	I	I	I
システム制御	RES	I	I	I	I	I	I	I	I
	WDTOVF	O	O	O	O	Z	H ^{*1}	O	O
	BREQ					Z	Z	I	I
	BACK					Z	Z	O	O
割り込み	NMI	I	I	I	I	I	I	I	I
	IRQ0 ~ IRQ7					Z	Z	I	I
	IRQOUT					Z	H ^{*1}	O	O
アドレスバス	A0 ~ A21	L	L			Z	Z	O	Z
データバス	D0 ~ D7	Z	Z			Z	Z	I/O	Z
	D8 ~ D15		Z			Z	Z	I/O	Z
バス制御	CS0	H	H	H		Z	Z	O	Z
	CS1 ~ CS3					Z	Z	O	Z
	RD	H	H	H		Z	Z	O	Z
	WRH、WRL	H	H	H		Z	Z	O	Z
	WAIT	I	I	I		Z	Z	I	Z
ダイレクトメモリアクセスコントローラ (DMAC)	DREQ0 ~ DREQ1					Z	Z	I	I
	DRAK0 ~ DRAK1					Z	O ^{*1}	O	O
	DACK0 ~ DACK1					Z	O ^{*1}	O	O
アドバンスタ	TCLKA、TCLKB					Z	Z	I	I
	TIA0 ~ TID0					Z	Z	I	I
イマユニット (ATU)	TIOA1 ~ TIOF1					Z	K ^{*1}	I/O	I/O
	TIOA2 ~ TIOB2					Z	K ^{*1}	I/O	I/O
	TIOA3 ~ TIOD3					Z	K ^{*1}	I/O	I/O
	TIOA4 ~ TIOD4					Z	K ^{*1}	I/O	I/O

端子機能		端子状態							
分類	端子名	リセット状態				低消費電力状態			バス権 解放状態
		RES 端子によるパワーオンリセット				ハード ウェア スタンバ イ	ソフト ウェア スタンバ イ	スリープ	
		ROM 無効拡張 8ビット	ROM 無効拡張 16ビット	ROM 有効拡張	シングル チップ				
アドバンスタ イマユニット (ATU)	TIOA5 ~ TIOB5					Z	K ^{*1}	I/O	I/O
	TO6 ~ TO9					Z	O ^{*1}	O	O
アドバンスト パルスコント ローラ (APC)	PULS0 ~ PULS7					Z	O ^{*1}	O	O
シリアルコミ ニ ュケーション イ ンターフェー ス (SCI)	TxD0 ~ TxD2					Z	O ^{*1}	O	O
	RxD0 ~ RxD2					Z	Z	I	I
	SCK0 ~ SCK2					Z	K ^{*1}	I/O	I/O
A/D 変換器	AN0 ~ AN15	Z	Z	Z	Z	Z	Z	I	I
	ADTRG					Z	Z	I	I
	ADEND					Z	O ^{*1}	O	O
I/O ポート	POD					Z	Z	I	I
	PA0 ~ PA15			Z	Z	Z	K ^{*1}	I/O	I/O
	PB0 ~ PB5	Z	Z	Z	Z	Z	K ^{*1}	I/O	I/O
	PB6 ~ PB11			Z	Z	Z	K ^{*1}	I/O	I/O
	PC0 ~ PC4				Z	Z	K ^{*1}	I/O	I/O
	PC5 ~ PC14	Z	Z	Z	Z	Z	K ^{*1}	I/O	I/O
	PD0 ~ PD7			Z	Z	Z	K ^{*1}	I/O	I/O
	PD8 ~ PD15	Z		Z	Z	Z	K ^{*1}	I/O	I/O
	PE0 ~ PE14	Z	Z	Z	Z	Z	K ^{*1}	I/O	I/O
	PF0 ~ PF11	Z	Z	Z	Z	Z	K ^{*1}	I/O	I/O
	PG0 ~ PG15	Z	Z	Z	Z	Z	K ^{*1}	I/O	I/O
	PH0 ~ PH15	Z	Z	Z	Z	Z	Z	I	I

I: 入力

O: 出力

H: ハイレベル出力

L: ローレベル出力

Z: ハイインピーダンス

K: 入力端子はハイインピーダンス、出力端子は状態保持

【注】 *1 スタンバイコントロールレジスタのポートハイインピーダンスビットを 1 にすると、出力端子はハイインピーダンスになります。

B.2 バス関連信号の端子状態

端子名		内蔵 ROM	内蔵 RAM	内蔵周辺モジュール			
				8 ビット空間	16 ビット空間		
					上位バイト	下位バイト	ワード/ ロングワード
CS0 ~ CS3		H	H	H	H	H	H
RD	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
WRH	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
WRL	R	H	H	H	H	H	H
	W	-	H	H	H	H	H
A21 ~ A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D15 ~ D8		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D7 ~ D0		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

端子名		外部通常空間			
		8 ビット空間	16 ビット空間		
			上位バイト	下位バイト	ワード/ ロングワード
CS0 ~ CS3		有効	有効	有効	有効
RD	R	L	L	L	L
	W	H	H	H	H
WRH	R	H	H	H	H
	W	H	L	H	L
WRL	R	H	H	H	H
	W	L	H	L	L
A21 ~ A0		アドレス	アドレス	アドレス	アドレス
D15 ~ D8		Hi-Z	データ	Hi-Z	データ
D7 ~ D0		データ	Hi-Z	データ	データ

R : 読み出し

W : 書き込み

C. 型名一覧

表 C.1 SH7050、SH7051 グループ型名一覧

	製品分類	製品型名	マーク型名	パッケージ
SH7050	マスク ROM	HD6437050F20	HD6437050 (***) F20	168 ピン (PRQP0168JA-A)
	フラッシュメモリ	HD64F7050SF20	HD64F7050SF20	168 ピン (PRQP0168JA-A)
SH7051	フラッシュメモリ	HD64F7051SF20	HD64F7051SF20	168 ピン (PRQP0168JA-A)

《記号説明》

(***) は ROM コードです。

D. 外形寸法図

SH7050、SH7051 グループの外形寸法図 (PRQP0168JA-A) を図 D.1 に示します。

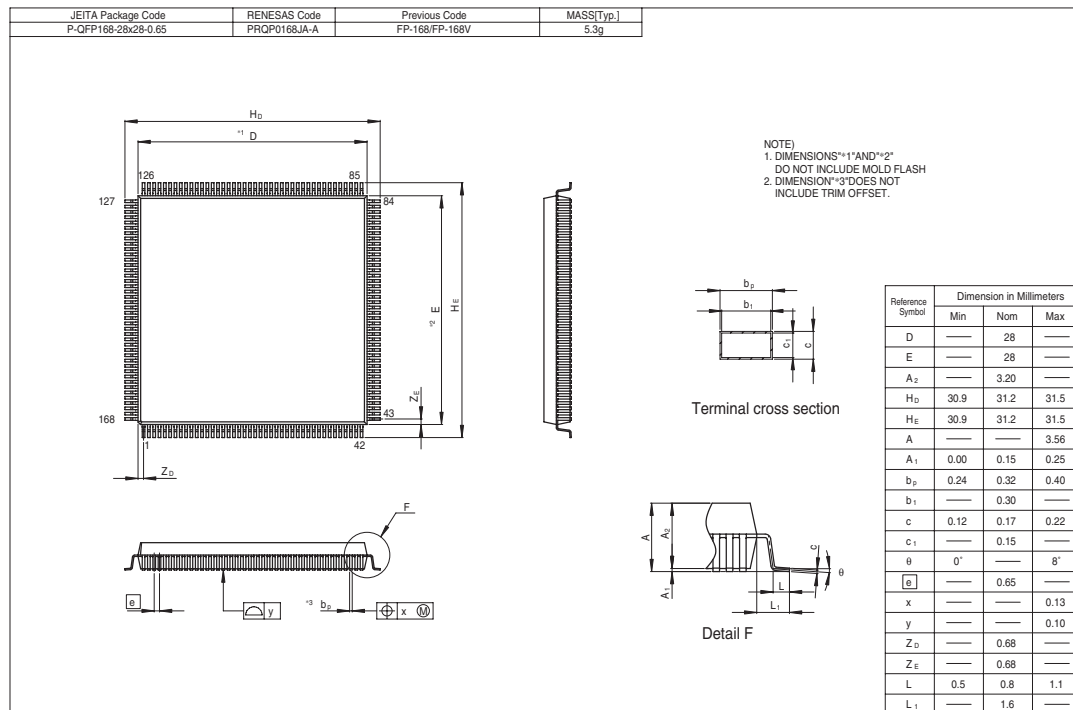


図 D.1 外形寸法図

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH7050、SH7051グループ

発行年月日 1996年9月 第1版

2006年1月11日 Rev.6.00

発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本		支	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京				〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	浜	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	北	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	わ	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	城	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	潟	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	本	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	部	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	西	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	陸	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	島	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	取	支	店	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
州	州	支	社			

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

SH7050、SH7051 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0306-0600