User's Manual

32

RX72T グループ

ユーザーズマニュアル　ハードウェア編

ルネサス 32 ビットマイクロコンピュータ

RX ファミリ/RX700 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.10　2023.10

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2023 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX72Tグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX72Tグループ　データシート	R01DS0331JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	RX72Tグループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	RXファミリ RXv3命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編	R01US0316JJ
アプリケーションノート	基板設計上の注意事項	RX ファミリ ハードウェアデザインガイド	R01AN1411JJ
	周辺機能の使用方法、応用例 参考プログラム	ルネサス エレクトロニクス ホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2.　レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X　　••••レジスタ

アドレス　xxxx xxxxh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	••••[1:0]		••••4	—	—	—	••••0
リセット後の値	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	••••0	・・・・ビット	0：・・・・・ 1：設定しないでください (3)	R/W (1)
b3-b1	—	予約ビット (2)	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	••••4	・・・・ビット	0：・・・・・ 1：・・・・・	R
b6-b5	••••[1:0]	・・・・ビット	0 0：・・・・・ 0 1：・・・・・ 上記以外は設定しないでください (3)	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

（1）　R/W　　：読み出し/書き込みともに有効です。
　　R/(W)　：読み出し/書き込みともに有効ですが、書き込みには制限があります。
　　制限の内容については、各レジスタの説明や注記を参照ください。
　　R　　：読み出しのみ有効です。書き込みは無効になります。

（2）　予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。

（3）　設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電気的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

特長 54
1. 概要 55
1.1 仕様概要 55
1.2 製品一覧 65
1.3 ブロック図 67
1.4 端子機能 68
1.5 ピン配置図 74
1.5.1 144 ピン LFQFP (PGA 疑似差動入力あり、USB 端子あり) 74
1.5.2 100 ピン LFQFP (PGA 疑似差動入力あり、USB 端子あり) 75
1.5.3 100 ピン LFQFP (PGA 疑似差動入力あり、USB 端子なし) 76
1.5.4 100 ピン LFQFP (PGA 疑似差動入力なし、USB 端子なし) 77
1.6 機能別端子一覧 78
1.6.1 144 ピン LFQFP (PGA 疑似差動入力あり、USB 端子あり) 78
1.6.2 100 ピン LFQFP (PGA 疑似差動入力あり、USB 端子あり) 88
1.6.3 100 ピン LFQFP (PGA 疑似差動入力あり、USB 端子なし) 95
1.6.4 100 ピン LFQFP (PGA 疑似差動入力なし、USB 端子なし) 102
2. CPU 109
2.1 特長 109
2.2 CPU レジスタセット 110
2.2.1 汎用レジスタ (R0 ～ R15) 111
2.2.2 制御レジスタ 111
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP) 112
2.2.2.2 例外テーブルレジスタ (EXTB) 112
2.2.2.3 割り込みテーブルレジスタ (INTB) 112
2.2.2.4 プログラムカウンタ (PC) 112
2.2.2.5 プロセッサステータスワード (PSW) 113
2.2.2.6 バックアップ PC (BPC) 114
2.2.2.7 バックアップ PSW (BPSW) 115
2.2.2.8 高速割り込みベクタレジスタ (FINTV) 115
2.2.2.9 単精度浮動小数点ステータスワード (FPSW) 116
2.2.3 アキュムレータ 118
2.3 プロセッサモード 119
2.3.1 スーパバイザモード 119
2.3.2 ユーザモード 119
2.3.3 特権命令 119
2.3.4 プロセッサモード間の移行 119
2.4 データタイプ 120
2.4.1 整数 120
2.4.2 単精度浮動小数点数 121
2.4.3 ビット 121

2.4.4 ストリング 122
2.5 エンディアン 123
2.5.1 エンディアンの設定 123
2.5.2 I/O レジスタアクセス 126
2.5.3 I/O レジスタアクセスの注意事項 126
2.5.4 データ配置 127
2.5.4.1 レジスタのデータ配置 127
2.5.4.2 メモリ上のデータ配置 127
2.5.5 命令コード配置の注意事項 127
2.6 ベクタテーブル 128
2.6.1 例外ベクタテーブル 128
2.6.2 割り込みベクタテーブル 129
2.7 レジスター括退避機能 130
2.8 命令動作 131
2.8.1 RMPA 命令、ストリング操作命令に関する制約事項 131
2.8.1.1 転送サイズとデータプリフェッチ 131
2.8.1.2 外部空間へのアクセス 131
2.8.1.3 I/O レジスタへのアクセス 131
2.9 サイクル数 132
2.9.1 命令とサイクル数 132
2.9.2 割り込み応答サイクル数 136
2.10 使用上の注意事項 136
2.10.1 レジスタ退避バンク内 RAM の自己診断に関する注意事項 136
3. 動作モード 137
3.1 動作モードの種類と選択 137
3.2 レジスタの説明 138
3.2.1 モードモニタレジスタ (MDMONR) 138
3.2.2 モードステータスレジスタ (MDSR) 138
3.2.3 システムコントロールレジスタ 0 (SYSCR0) 139
3.2.4 システムコントロールレジスタ 1 (SYSCR1) 140
3.2.5 電圧レベル設定レジスタ (VOLSR) 141
3.3 動作モードの説明 142
3.3.1 シングルチップモード 142
3.3.2 内蔵 ROM 有効拡張モード 142
3.3.3 内蔵 ROM 無効拡張モード 142
3.3.4 ブートモード (SCI インタフェース) 142
3.3.5 ブートモード (USB インタフェース) 143
3.3.6 ブートモード (FINE インタフェース) 143
3.3.7 ユーザブートモード 143
3.4 動作モード遷移 144

3.4.1 モード設定端子による動作モード遷移 144
3.4.2 レジスタ設定による動作モード遷移 145
4. アドレス空間 146
4.1 アドレス空間 146
4.2 外部アドレス空間 147
5. I/O レジスタ 148
5.1 I/O レジスタアドレス一覧 (アドレス順) 150
6. リセット 196
6.1 概要 196
6.2 レジスタの説明 199
6.2.1 リセットステータスレジスタ 0 (RSTSR0) 199
6.2.2 リセットステータスレジスタ 1 (RSTSR1) 201
6.2.3 リセットステータスレジスタ 2 (RSTSR2) 202
6.2.4 ソフトウェアリセットレジスタ (SWRR) 203
6.3 動作説明 203
6.3.1 RES# 端子リセット 203
6.3.2 パワーオンリセット、電圧監視 0 リセット 203
6.3.3 電圧監視 1 リセット、電圧監視 2 リセット 204
6.3.4 ディープソフトウェアスタンバイリセット 206
6.3.5 独立ウォッチドッグタイマリセット 206
6.3.6 ウォッチドッグタイマリセット 206
6.3.7 ソフトウェアリセット 206
6.3.8 コールドスタート / ウォームスタート判定機能 207
6.3.9 リセット発生要因の判定 208
7. オプション設定メモリ (OFSM) 209
7.1 概要 209
7.2 レジスタの説明 211
7.2.1 シリアルプログラマコマンド制御レジスタ (SPCC) 211
7.2.2 OCD/ シリアルプログラマ ID 設定レジスタ (OSIS) 213
7.2.3 オプション機能選択レジスタ 0 (OFS0) 214
7.2.4 オプション機能選択レジスタ 1 (OFS1) 218
7.2.5 エンディアン選択レジスタ (MDE) 219
7.2.6 TM イネーブルフラグレジスタ (TMEF) 220
7.2.7 TM 識別データレジスタ (TMINF) 221
7.2.8 ROM コードプロテクトレジスタ (ROMCODE) 222
7.3 UB コード 223
7.3.1 UB コード A 223
7.3.2 UB コード B 223
7.4 各動作モードにおけるオプション設定メモリのプログラム / イレーズ動作 224
7.5 オプション設定メモリの設定値とリード / プログラム / イレーズ動作 225

7.6 オプション設定メモリの設定方法 226
7.6.1 オプション設定メモリへのデータの配置方法 226
7.7 使用上の注意事項 227
7.7.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ 227
8. 電圧検出回路 (LVDA) 228
8.1 概要 228
8.2 レジスタの説明 231
8.2.1 電圧監視 1 回路制御レジスタ 1 (LVD1CR1) 231
8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR) 231
8.2.3 電圧監視 2 回路制御レジスタ 1 (LVD2CR1) 232
8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR) 232
8.2.5 電圧監視回路制御レジスタ (LVCMPCR) 233
8.2.6 電圧検出レベル選択レジスタ (LVDLVLR) 234
8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0) 235
8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0) 237
8.3 VCC 入力電圧のモニタ 239
8.3.1 Vdet0 のモニタ 239
8.3.2 Vdet1 のモニタ 239
8.3.3 Vdet2 のモニタ 239
8.4 電圧監視 0 リセット 240
8.5 電圧監視 1 割り込み、電圧監視 1 リセット 241
8.6 電圧監視 2 割り込み、電圧監視 2 リセット 244
8.7 イベントリンク出力機能 247
8.7.1 割り込み処理とイベントリンクの関係 247
9. クロック発生回路 248
9.1 概要 248
9.2 レジスタの説明 250
9.2.1 システムクロックコントロールレジスタ (SCKCR) 250
9.2.2 メモリウェイトサイクル設定レジスタ (MEMWAIT) 252
9.2.3 システムクロックコントロールレジスタ 2 (SCKCR2) 254
9.2.4 システムクロックコントロールレジスタ 3 (SCKCR3) 255
9.2.5 PLL コントロールレジスタ (PLLCR) 256
9.2.6 PLL コントロールレジスタ 2 (PLLCR2) 257
9.2.7 外部バスクロックコントロールレジスタ (BCKCR) 258
9.2.8 メインクロック発振器コントロールレジスタ (MOSCCR) 259
9.2.9 低速オンチップオシレータコントロールレジスタ (LOCOCR) 260
9.2.10 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR) 261
9.2.11 高速オンチップオシレータコントロールレジスタ (HOCOCR) 262
9.2.12 高速オンチップオシレータコントロールレジスタ 2 (HOCOCR2) 263
9.2.13 発振安定フラグレジスタ (OSCOVFSR) 264

9.2.14 発振停止検出コントロールレジスタ (OSTDCR) 266
9.2.15 発振停止検出ステータスレジスタ (OSTDSR) 267
9.2.16 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) 268
9.2.17 メインクロック発振器機能コントロールレジスタ (MOFCR) 269
9.2.18 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR) 270
9.3 メインクロック発振器 271
9.3.1 発振子を接続する方法 271
9.3.2 外部クロックを入力する方法 272
9.3.3 外部クロック入力に関する注意事項 272
9.4 発振停止検出機能 273
9.4.1 発振停止検出と検出後の動作 273
9.4.2 発振停止検出割り込み 276
9.5 PLL 回路 276
9.6 内部クロック 277
9.6.1 システムクロック 277
9.6.2 周辺モジュールクロック 277
9.6.3 FlashIF クロック 278
9.6.4 外部バスクロック 278
9.6.5 USB クロック 278
9.6.6 CAN クロック 278
9.6.7 CAC クロック (CACCLK) 278
9.6.8 IWDT 専用クロック 278
9.7 クロックソース切り替え 279
9.8 ELC によるリンク動作 280
9.8.1 ELC へのイベント信号出力 280
9.8.2 ELC からのイベント信号受信によるクロックソース切り替え 280
9.9 使用上の注意事項 281
9.9.1 クロック発生回路に関する注意事項 281
9.9.2 SCKCR3 レジスタ書き換え時の注意事項 281
9.9.3 発振子に関する注意事項 281
9.9.4 ボード設計上の注意 282
9.9.5 発振子接続端子に関する注意事項 282
10. クロック周波数精度測定回路 (CAC) 283
10.1 概要 283
10.2 レジスタの説明 285
10.2.1 CAC コントロールレジスタ 0 (CACR0) 285
10.2.2 CAC コントロールレジスタ 1 (CACR1) 286
10.2.3 CAC コントロールレジスタ 2 (CACR2) 287
10.2.4 CAC 割り込み要求許可レジスタ (CAICR) 288
10.2.5 CAC ステータスレジスタ (CASTR) 289

10.2.6 CAC 上限値設定レジスタ (CAULVR) 290
10.2.7 CAC 下限値設定レジスタ (CALLVR) 290
10.2.8 CAC カウンタバッファレジスタ (CACNTBR) 290
10.3 動作説明 291
10.3.1 クロック周波数測定 291
10.3.2 CACREF 端子のデジタルフィルタ機能 292
10.4 割り込み要求 292
10.5 使用上の注意事項 293
10.5.1 モジュールストップ機能の設定 293
11. 消費電力低減機能 294
11.1 概要 294
11.2 レジスタの説明 297
11.2.1 スタンバイコントロールレジスタ (SBYCR) 297
11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA) 298
11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB) 300
11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC) 302
11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD) 303
11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) 304
11.2.7 ディープスタンバイコントロールレジスタ (DPSBYCR) 305
11.2.8 ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0) 306
11.2.9 ディープスタンバイインタラプトイネーブルレジスタ 1 (DPSIER1) 307
11.2.10 ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2) 308
11.2.11 ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0) 309
11.2.12 ディープスタンバイインタラプトフラグレジスタ 1 (DPSIFR1) 310
11.2.13 ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2) 311
11.2.14 ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0) 312
11.2.15 ディープスタンバイインタラプトエッジレジスタ 1 (DPSIEGR1) 313
11.2.16 ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2) 314
11.2.17 ディープスタンバイバックアップレジスタ y (DPSBKRy) (y = 0 ～ 31) 314
11.3 クロックの切り替えによる消費電力の低減 315
11.4 モジュールストップ機能 315
11.5 低消費電力状態 316
11.5.1 スリープモード 316
11.5.1.1 スリープモードへの移行 316
11.5.1.2 スリープモードの解除 317
11.5.1.3 スリープモード復帰クロックソース切り替え機能 317
11.5.2 全モジュールクロックストップモード 318
11.5.2.1 全モジュールクロックストップモードへの移行 318
11.5.2.2 全モジュールクロックストップモードの解除 319
11.5.3 ソフトウェアスタンバイモード 320

11.5.3.1 ソフトウェアスタンバイモードへの移行 320
11.5.3.2 ソフトウェアスタンバイモードの解除 321
11.5.3.3 ソフトウェアスタンバイモードの応用例 322
11.5.4 ディープソフトウェアスタンバイモード 323
11.5.4.1 ディープソフトウェアスタンバイモードへの移行 323
11.5.4.2 ディープソフトウェアスタンバイモードの解除 324
11.5.4.3 ディープソフトウェアスタンバイモード解除時の端子状態 325
11.5.4.4 ディープソフトウェアスタンバイモードの応用例 326
11.5.4.5 ディープソフトウェアスタンバイモードのフローチャート 328
11.6 使用上の注意事項 329
11.6.1 I/O ポートの状態 329
11.6.2 DMAC、DTC のモジュールストップ 329
11.6.3 内蔵周辺モジュールの割り込み 329
11.6.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み 329
11.6.5 DIRQnE ビット (n = 0 ～ 15) による入力バッファ制御 329
11.6.6 WAIT 命令の実行タイミング 329
11.6.7 スリープモード中の DMAC、DTC によるレジスタの書き換えについて 330
12. レジスタライトプロテクション機能 331
12.1 レジスタの説明 332
12.1.1 プロテクトレジスタ (PRCR) 332
13. 例外処理 333
13.1 例外事象 333
13.1.1 未定義命令例外 334
13.1.2 特権命令例外 334
13.1.3 アクセス例外 334
13.1.4 単精度浮動小数点例外 334
13.1.5 リセット 334
13.1.6 ノンマスカブル割り込み 334
13.1.7 割り込み 334
13.1.8 無条件トラップ 334
13.2 例外の処理手順 335
13.3 例外事象の受け付け 337
13.3.1 受け付けタイミングと退避される PC 値 337
13.3.2 ベクタと PC、PSW の退避場所 337
13.4 例外の受け付け / 復帰時のハードウェア処理 338
13.5 ハードウェア前処理 339
13.5.1 未定義命令例外 339
13.5.2 特権命令例外 339
13.5.3 アクセス例外 339
13.5.4 単精度浮動小数点例外 339

13.5.5 リセット 339
13.5.6 ノンマスカブル割り込み 340
13.5.7 割り込み 340
13.5.8 無条件トラップ 340
13.6 例外処理ルーチンからの復帰 341
13.7 例外事象の優先順位 341
14. 割り込みコントローラ (ICUC) 342
14.1 概要 342
14.2 レジスタの説明 344
14.2.1 割り込み要求レジスタ n (IRn) (n = 016 ～ 255) 344
14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ～ 1Fh) 346
14.2.3 割り込み要因プライオリティレジスタ r (IPRr) (r = 000 ～ 255) 347
14.2.4 高速割り込み設定レジスタ (FIR) 348
14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR) 349
14.2.6 ソフトウェア割り込み 2 起動レジスタ (SWINT2R) 349
14.2.7 DTC 転送要求許可レジスタ n (DTCERn) (n = 026 ～ 255) 350
14.2.8 DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャネル番号) 351
14.2.9 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ～ 15) 352
14.2.10 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0) 353
14.2.11 IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1) 354
14.2.12 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0) 355
14.2.13 IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1) 356
14.2.14 ノンマスカブル割り込みステータスレジスタ (NMISR) 357
14.2.15 ノンマスカブル割り込み許可レジスタ (NMIER) 360
14.2.16 ノンマスカブル割り込みステータスクリアレジスタ (NMICLR) 362
14.2.17 NMI 端子割り込みコントロールレジスタ (NMICR) 362
14.2.18 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE) 363
14.2.19 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC) 363
14.2.20 グループ BE0 割り込み要求レジスタ (GRPBE0)、
グループ BL0/BL1 割り込み要求レジスタ (GRPBL0/GRPBL1)、
グループ AL0 割り込み要求レジスタ (GRPAL0) 364
14.2.21 グループ BE0 割り込み要求許可レジスタ (GENBE0)、
グループ BL0/BL1 割り込み要求許可レジスタ (GENBL0/GENBL1)、
グループ AL0 割り込み要求許可レジスタ (GENAL0) 366
14.2.22 グループ BE0 割り込みクリアレジスタ (GCRBE0) 368
14.2.23 選択型割り込み A 要求レジスタ k (PIARk) (k = 0h ～ 12h) 370
14.2.24 選択型割り込み A 要因選択レジスタ n (SLIARn) (n = 208 ～ 255) 371
14.2.25 選択型割り込み要因選択レジスタ書き込み保護レジスタ (SLIPRCR) 376
14.3 ベクタテーブル 377
14.3.1 割り込みのベクタテーブル 377
14.3.2 高速割り込みのベクタ領域 384

14.3.3 ノンマスカブル割り込みのベクタ領域 384
14.4 割り込みの種類 385
14.4.1 周辺機能割り込み 385
14.4.2 ソフトウェア割り込み 385
14.4.3 外部端子割り込み 385
14.4.4 グループ割り込み 386
14.4.5 選択型割り込み 388
14.4.5.1 選択型割り込み A 389
14.4.6 ノンマスカブル割り込み 389
14.5 割り込みの検出 390
14.5.1 エッジ検出割り込み 390
14.5.2 レベル検出割り込み 392
14.5.3 エッジ検出グループ割り込み 394
14.5.4 レベル検出グループ割り込み 398
14.5.5 選択型割り込み 400
14.6 割り込み優先レベルの判定 400
14.7 割り込みの設定手順 401
14.7.1 割り込み要求の許可 401
14.7.2 割り込み要求の禁止 401
14.7.3 割り込み要求先の選択 401
14.7.3.1 割り込み要求先の設定手順 401
14.7.3.2 DTC/DMAC 選択時の動作 403
14.7.3.3 割り込み要求先の変更 403
14.7.4 外部端子割り込みの設定手順 404
14.7.5 ノンマスカブル割り込みの設定手順 404
14.7.6 デジタルフィルタ 405
14.7.7 選択型割り込みの設定手順 406
14.7.7.1 選択型割り込みのポーリング 406
14.8 多重割り込み 407
14.9 高速割り込み 407
14.10 低消費電力状態からの復帰 408
14.10.1 スリープモードからの復帰 408
14.10.2 全モジュールクロックストップモードからの復帰 408
14.10.3 ソフトウェアスタンバイモードからの復帰 409
14.11 使用上の注意事項 409
14.11.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項 409
14.11.2 ソフトウェアスタンバイモード中の割り込み要求 409
15. バス 410
15.1 概要 410
15.2 バスの説明 412

15.2.1 CPU バス 412
15.2.2 メモリバス 412
15.2.3 内部メインバス 412
15.2.4 内部周辺バス 413
15.2.5 ライトバッファ機能 (内部周辺バス) 414
15.2.6 外部バス 415
15.2.7 並列動作 417
15.2.8 バスの設定 417
15.2.9 制約事項 418
15.3 レジスタの説明 419
15.3.1 CSn 制御レジスタ (CSnCR) (n = 0 ～ 3) 419
15.3.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ～ 3) 421
15.3.3 CS リカバリサイクル挿入許可レジスタ (CSRECEN) 423
15.3.4 CSn モードレジスタ (CSnMOD) (n = 0 ～ 3) 425
15.3.5 CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ～ 3) 427
15.3.6 CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ～ 3) 430
15.3.7 バスエラーステータスクリアレジスタ (BERCLR) 433
15.3.8 バスエラー監視許可レジスタ (BEREN) 433
15.3.9 バスエラーステータスレジスタ 1 (BERSR1) 434
15.3.10 バスエラーステータスレジスタ 2 (BERSR2) 434
15.3.11 バスプライオリティ制御レジスタ (BUSPRI) 435
15.4 エンディアンとデータアライメント 437
15.4.1 CS 領域のデータアライメント制御 437
15.5 CS 領域コントローラの動作説明 442
15.5.1 セパレートバス 442
15.5.2 アドレス / データマルチプレクスバス 455
15.5.3 外部ウェイト機能 458
15.5.4 リカバリサイクルの挿入 460
15.5.5 非アクセス時の状態 463
15.5.6 ライトバッファ機能 (外部バス) 464
15.5.7 制約事項 464
15.6 バスエラー監視部 466
15.6.1 バスエラーの種類 466
15.6.1.1 不正アドレスアクセス 466
15.6.1.2 タイムアウト 466
15.6.2 バスエラー発生時の動作 467
15.6.3 バスエラーの発生条件 467
15.7 割り込み 468
15.7.1 割り込み要因 468

16. メモリプロテクションユニット (MPU) 469
16.1 概要 469
16.1.1 アクセス制御の種類 471
16.1.2 アクセス制御領域 471
16.1.3 バックグラウンド領域 471
16.1.4 領域のオーバラップ 471
16.1.5 領域をまたぐ命令とデータ 471
16.2 レジスタの説明 472
16.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ～ 7) 472
16.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ～ 7) 473
16.2.3 メモリプロテクション機能有効化レジスタ (MPEN) 474
16.2.4 バックグラウンドアクセス制御レジスタ (MPBAC) 475
16.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR) 476
16.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS) 477
16.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA) 478
16.2.8 領域サーチアドレスレジスタ (MPSA) 478
16.2.9 領域サーチオペレーションレジスタ (MPOPS) 479
16.2.10 領域インバリデートオペレーションレジスタ (MPOPI) 479
16.2.11 命令ヒット領域レジスタ (MHITI) 480
16.2.12 データヒット領域レジスタ (MHITD) 482
16.3 機能 484
16.3.1 メモリプロテクション機能 484
16.3.2 領域サーチ機能 484
16.3.3 メモリプロテクションユニット関連レジスタの保護 484
16.3.4 メモリプロテクション機能のアクセス判定フロー 485
16.4 メモリプロテクション機能使用手順 487
16.4.1 アクセス制御情報の設定 487
16.4.2 メモリプロテクション機能の有効化 487
16.4.3 ユーザモードへの移行 487
16.4.4 メモリプロテクションエラー発生時の処理 487
17. DMA コントローラ (DMACAa) 489
17.1 概要 489
17.2 レジスタの説明 491
17.2.1 DMA 転送元アドレスレジスタ (DMSAR) 491
17.2.2 DMA 転送先アドレスレジスタ (DMDAR) 491
17.2.3 DMA 転送カウントレジスタ (DMCRA) 492
17.2.4 DMA ブロック転送カウントレジスタ (DMCRB) 493
17.2.5 DMA 転送モードレジスタ (DMTMD) 494
17.2.6 DMA 割り込み設定レジスタ (DMINT) 495
17.2.7 DMA アドレスモードレジスタ (DMAMD) 497

17.2.8 DMA オフセットレジスタ (DMOFR) 500
17.2.9 DMA 転送許可レジスタ (DMCNT) 500
17.2.10 DMA ソフトウェア起動レジスタ (DMREQ) 501
17.2.11 DMA ステータスレジスタ (DMSTS) 502
17.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL) 503
17.2.13 DMAC モジュール起動レジスタ (DMAST) 504
17.2.14 DMAC74 割り込みステータスモニタレジスタ (DMIST) 505
17.3 動作説明 506
17.3.1 転送モード 506
17.3.2 拡張リピートエリア機能 510
17.3.3 オフセットを使ったアドレス更新機能 512
17.3.4 起動要因 516
17.3.5 動作タイミング 517
17.3.6 DMAC の実行サイクル 518
17.3.7 DMAC の起動 519
17.3.8 DMA 転送の開始 520
17.3.9 DMA 転送中のレジスタ 520
17.3.10 チャネルの優先順位 521
17.4 DMA 転送終了 522
17.4.1 設定した総データ転送による転送終了 522
17.4.2 リピートサイズ終了割り込みによる転送終了 522
17.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了 523
17.5 割り込み 524
17.6 イベントリンク 526
17.7 消費電力低減機能 527
17.8 使用上の注意事項 528
17.8.1 外部デバイスを使用する場合 528
17.8.2 周辺モジュールへ DMA 転送する場合 528
17.8.3 DMA 動作中のレジスタアクセスについて 528
17.8.4 予約領域への DMA 転送について 528
17.8.5 DMAC 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について 528
17.8.6 割り込みコントローラの DMAC 起動要因選択レジスタ (ICU.DMRSRm) の設定 528
17.8.7 DMA 転送の保留 / 再開方法 528
18. データトランスファコントローラ (DTCa) 529
18.1 概要 529
18.2 レジスタの説明 531
18.2.1 DTC モードレジスタ A (MRA) 531
18.2.2 DTC モードレジスタ B (MRB) 532
18.2.3 DTC 転送元レジスタ (SAR) 533

18.2.4 DTC 転送先レジスタ (DAR) 533
18.2.5 DTC 転送カウントレジスタ A (CRA) 534
18.2.6 DTC 転送カウントレジスタ B (CRB) 535
18.2.7 DTC コントロールレジスタ (DTCCR) 535
18.2.8 DTC ベクタベースレジスタ (DTCVBR) 536
18.2.9 DTC アドレスモードレジスタ (DTCADMOD) 536
18.2.10 DTC モジュール起動レジスタ (DTCST) 537
18.2.11 DTC ステータスレジスタ (DTCSTS) 538
18.3 起動要因 539
18.3.1 転送情報の配置と DTC ベクタテーブル 539
18.4 動作説明 541
18.4.1 転送情報リードスキップ機能 543
18.4.2 転送情報ライトバックスキップ機能 544
18.4.3 ノーマル転送モード 545
18.4.4 リピート転送モード 546
18.4.5 ブロック転送モード 547
18.4.6 チェーン転送 548
18.4.7 動作タイミング 549
18.4.8 DTC の実行サイクル 552
18.4.9 DTC のバス権解放タイミング 552
18.5 DTC の設定手順 553
18.6 DTC 使用例 554
18.6.1 ノーマル転送 554
18.6.2 カウンタが “0” のときのチェーン転送 555
18.7 割り込み要因 556
18.8 イベントリンク 556
18.9 消費電力低減機能 557
18.10 使用上の注意事項 558
18.10.1 転送情報先頭アドレス 558
18.10.2 転送情報の配置 558
18.10.3 割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定 559
19. イベントリンクコントローラ (ELC) 560
19.1 概要 560
19.2 レジスタの説明 561
19.2.1 イベントリンクコントロールレジスタ (ELCR) 561
19.2.2 イベントリンク設定レジスタ n (ELSRn)
(n = 0, 3, 4, 7, 10 ～ 13, 15, 16, 18 ～ 28, 30, 31, 45 ～ 58) 562
19.2.3 イベントリンクオプション設定レジスタ A (ELOPA) 569
19.2.4 イベントリンクオプション設定レジスタ B (ELOPB) 569
19.2.5 イベントリンクオプション設定レジスタ C (ELOPC) 570

19.2.6 イベントリンクオプション設定レジスタ D (ELOPD) 570
19.2.7 イベントリンクオプション設定レジスタ E (ELOPE) 571
19.2.8 ポートグループ指定レジスタ n (PGRn) (n = 1, 2) 572
19.2.9 ポートグループコントロールレジスタ n (PGCn) (n = 1, 2) 573
19.2.10 ポートバッファレジスタ n (PDBFn) (n = 1, 2) 574
19.2.11 イベント接続ポート指定レジスタ m (PELm) (m = 0 ～ 3) 575
19.2.12 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR) 576
19.3 動作説明 577
19.3.1 割り込み処理とイベントリンクの関係 577
19.3.2 イベントのリンク 578
19.3.3 タイマ系周辺モジュールのイベント信号入力時の動作 579
19.3.4 GPTW のイベント信号入力時の動作 579
19.3.5 A/D コンバータ、D/A コンバータのイベント信号入力時の動作 579
19.3.6 I/O ポートのイベント信号入力時の動作とイベント生成 580
19.3.7 イベントリンクの動作設定手順例 584
19.4 使用上の注意事項 585
19.4.1 ELSRn レジスタの設定について 585
19.4.2 出力ポートグループのビットローテート動作の設定について 585
19.4.3 DMA/DTC 転送終了のイベント信号使用時の注意事項 585
19.4.4 クロック設定について 585
19.4.5 モジュールストップ機能の設定 585
20. I/O ポート 586
20.1 概要 586
20.2 入出力ポートの構成 590
20.3 レジスタの説明 596
20.3.1 ポート方向レジスタ (PDR) 596
20.3.2 ポート出力データレジスタ (PODR) 597
20.3.3 ポート入力データレジスタ (PIDR) 598
20.3.4 ポートモードレジスタ (PMR) 599
20.3.5 オープンドレイン制御レジスタ 0 (ODR0) 600
20.3.6 オープンドレイン制御レジスタ 1 (ODR1) 601
20.3.7 プルアップ制御レジスタ (PCR) 602
20.3.8 駆動能力制御レジスタ (DSCR) 603
20.3.9 駆動能力制御レジスタ 2 (DSCR2) 604
20.4 注意事項 605
20.4.1 ポート方向レジスタ (PDR) の初期化 605
20.4.2 PH0、PH4 を汎用入力ポートとして使用する場合の設定 608
20.4.3 未使用端子の処理 609
21. マルチファンクションピンコントローラ (MPC) 610
21.1 概要 610

21.2 レジスタの説明 626
21.2.1 書き込みプロテクトレジスタ (PWPR) 626
21.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0, 1) 627
21.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 0 ～ 7) 628
21.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ～ 7) 630
21.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ～ 5) 632
21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ～ 7) 634
21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ～ 5) 635
21.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ～ 5) 636
21.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ～ 6) 637
21.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ～ 2) 638
21.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ～ 6) 639
21.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ～ 7) 640
21.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ～ 7) 642
21.2.14 PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ～ 6) 643
21.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ～ 7) 644
21.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ～ 6) 645
21.2.17 PFn 端子機能制御レジスタ (PFnPFS) (n = 0 ～ 3) 647
21.2.18 PGn 端子機能制御レジスタ (PGnPFS) (n = 0 ～ 2) 648
21.2.19 PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ～ 7) 649
21.2.20 PKn 端子機能制御レジスタ (PKnPFS) (n = 0 ～ 2) 650
21.2.21 CS 出力許可レジスタ (PFCSE) 651
21.2.22 CS 出力端子選択レジスタ 0 (PFCSS0) 652
21.2.23 アドレス出力許可レジスタ 0 (PFAOE0) 653
21.2.24 アドレス出力許可レジスタ 1 (PFAOE1) 654
21.2.25 外部バス制御レジスタ 0 (PFBCR0) 655
21.2.26 外部バス制御レジスタ 1 (PFBCR1) 656
21.2.27 外部バス制御レジスタ 2 (PFBCR2) 657
21.2.28 外部バス制御レジスタ 3 (PFBCR3) 657
21.2.29 外部バス制御レジスタ 4 (PFBCR4) 658
21.3 外部バスインタフェース設定方法 659
21.4 使用上の注意事項 662
21.4.1 端子入出力機能設定手順 662
21.4.2 MPC レジスタ設定する場合の注意事項 662
21.4.3 アナログ機能を使う場合の注意事項 663
21.4.4 POE3 の汎用入出力ポート切り替え制御の注意事項 663
21.4.5 MTU、GPTW 入出力端子の反転入出力機能についての注意事項 664
22. マルチファンクションタイマパルスユニット 3 (MTU3d) 666
22.1 概要 666
22.2 レジスタの説明 672

22.2.1 タイマコントロールレジスタ (TCR) 672
22.2.2 タイマコントロールレジスタ 2 (TCR2) 674
22.2.3 タイマモードレジスタ 1 (TMDR1) 678
22.2.4 タイマモードレジスタ 2m (TMDR2m) (m = A, B) 680
22.2.5 タイマモードレジスタ 3 (TMDR3) 681
22.2.6 タイマ I/O コントロールレジスタ (TIOR) 683
22.2.7 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR) 700
22.2.8 タイマインタラプトイネーブルレジスタ (TIER) 701
22.2.9 タイマステータスレジスタ (TSR) 704
22.2.10 タイマバッファ動作転送モードレジスタ (TBTM) 705
22.2.11 タイマインプットキャプチャコントロールレジスタ (TICCR) 706
22.2.12 タイマシンクロクリアレジスタ (TSYCR) 707
22.2.13 タイマカウンタ (TCNT) 708
22.2.14 タイマロングワードカウンタ (TCNTLW) 708
22.2.15 タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W) 709
22.2.16 タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B) 710
22.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR) 711
22.2.18 タイマシンクロレジスタ m (TSYRm) (m = A, B) 713
22.2.19 タイマカウンタシンクロスタートレジスタ (TCSYSTR) 715
22.2.20 タイマリードライトイネーブルレジスタ m (TRWERm) (m = A, B) 717
22.2.21 タイマアウトプットマスタイネーブルレジスタ m (TOERm) (m = A, B) 718
22.2.22 タイマアウトプットコントロールレジスタ 1m (TOCR1m) (m = A, B) 720
22.2.23 タイマアウトプットコントロールレジスタ 2m (TOCR2m) (m = A, B) 722
22.2.24 タイマアウトプットレベルバッファレジスタ m (TOLBRm) (m = A, B) 725
22.2.25 タイマゲートコントロールレジスタ m (TGCRm) (m = A, B) 726
22.2.26 タイマサブカウンタ m (TCNTSm) (m = A, B) 728
22.2.27 タイマ周期データレジスタ m (TCDRm) (m = A, B) 728
22.2.28 タイマ周期バッファレジスタ m (TCBRm) (m = A, B) 729
22.2.29 タイマデッドタイムデータレジスタ m (TDDRm) (m = A, B) 729
22.2.30 タイマデッドタイムイネーブルレジスタ m (TDERm) (m = A, B) 730
22.2.31 タイマバッファ転送設定レジスタ m (TBTERm) (m = A, B) 731
22.2.32 タイマ波形コントロールレジスタ m (TWCRm) (m = A, B) 732
22.2.33 ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ～ 4, 6, 7, 9, C) 734
22.2.34 ノイズフィルタコントロールレジスタ 5 (NFCR5) 737
22.2.35 タイマ A/D 変換開始要求コントロールレジスタ (TADCR) 738
22.2.36 タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B) 742
22.2.37 タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B) 742
22.2.38 タイマ割り込み間引きモードレジスタ m (TITMRm) (m = A, B) 743
22.2.39 タイマ割り込み間引き設定レジスタ 1m (TITCR1m) (m = A, B) 744
22.2.40 タイマ割り込み間引き回数カウンタ 1m (TITCNT1m) (m = A, B) 746

22.2.41 タイマ割り込み間引き設定レジスタ 2m (TITCR2m) (m = A, B) 748
22.2.42 タイマ割り込み間引き回数カウンタ 2m (TITCNT2m) (m = A, B) 750
22.2.43 A/D 変換開始要求選択レジスタ 0 (TADSTRGR0) 752
22.2.44 A/D 変換開始要求選択レジスタ 1 (TADSTRGR1) 752
22.3 動作説明 754
22.3.1 基本動作 754
22.3.2 同期動作 760
22.3.3 バッファ動作 762
22.3.4 カスケード接続動作 767
22.3.5 PWM モード 772
22.3.6 位相計数モード 777
22.3.6.1 16 ビット位相計数モード 777
22.3.6.2 カスケード接続 32 ビット位相計数モード 789
22.3.7 リセット同期 PWM モード 790
22.3.8 相補 PWM モード 793
22.3.9 A/D 変換開始要求ディレイド機能 834
22.3.10 MTU0 ～ MTU4、MTU6、MTU7、MTU9 の同期動作 841
22.3.11 外部パルス幅測定機能 844
22.3.12 デッドタイム補償用機能 845
22.3.13 相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作 847
22.3.14 ノイズフィルタ機能 848
22.3.15 A/D 変換開始要求フレーム同期信号 848
22.4 割り込み要因 849
22.4.1 割り込み要因と優先順位 849
22.4.2 DTC/DMAC の起動 851
22.4.3 A/D コンバータの起動 852
22.5 動作タイミング 854
22.5.1 入出力タイミング 854
22.5.2 割り込み信号タイミング 860
22.6 使用上の注意事項 863
22.6.1 モジュールストップ機能の設定 863
22.6.2 カウントクロックの制限事項 863
22.6.3 周期設定上の注意事項 863
22.6.4 TCNT への書き込みとクリアの競合 864
22.6.5 TCNT への書き込みとカウントアップの競合 864
22.6.6 TGR レジスタへの書き込みとコンペアマッチの競合 865
22.6.7 バッファレジスタへの書き込みとコンペアマッチの競合 865
22.6.8 バッファレジスタへの書き込みと TCNT クリアの競合 866
22.6.9 TGR レジスタの読み出しとインプットキャプチャの競合 866
22.6.10 TGR レジスタへの書き込みとインプットキャプチャの競合 867

22.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合 868
22.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバフロー / アンダフローの競合 869
22.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値 870
22.6.14 相補 PWM モードでのバッファ動作の設定 870
22.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチ 871
22.6.16 リセット同期 PWM モードのオーバフロー 872
22.6.17 オーバフロー / アンダフローとカウンタクリアの競合 873
22.6.18 TCNT への書き込みとオーバフロー / アンダフローの競合 873
22.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項 874
22.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル 874
22.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ 874
22.6.22 割り込み間引き機能 2 875
22.6.23 相補 PWM モードの出力保護機能未使用時の注意事項 875
22.6.24 タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の注意事項 875
22.6.25 相補 PWM モード同期クリアするときの異常動作防止の注意事項 876
22.6.26 ELC イベント入力の時タイマモードレジスタ設定の注意事項 877
22.6.27 コンペアマッチによる割り込み信号の連続出力 878
22.6.28 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項 878
22.7 MTU 出力端子の初期化方法 880
22.7.1 動作モード 880
22.7.2 動作中の異常などによる再設定時の動作 880
22.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要 881
22.8 ELC によるリンク動作 911
22.8.1 ELC へのイベント信号出力 911
22.8.2 ELC からのイベント信号受信によるアクション動作 911
22.8.3 ELC からのイベント信号受信による動作に関する注意事項 912
23. ポートアウトプットイネーブル 3 (POE3B) 913
23.1 概要 913
23.2 レジスタの説明 917
23.2.1 入力レベルコントロール / ステータスレジスタ 1 (ICSR1) 917
23.2.2 入力レベルコントロール / ステータスレジスタ 2 (ICSR2) 919
23.2.3 入力レベルコントロール / ステータスレジスタ 3 (ICSR3) 921
23.2.4 入力レベルコントロール / ステータスレジスタ 4 (ICSR4) 923
23.2.5 入力レベルコントロール / ステータスレジスタ 5 (ICSR5) 925
23.2.6 入力レベルコントロール / ステータスレジスタ 6 (ICSR6) 927
23.2.7 入力レベルコントロール / ステータスレジスタ 7 (ICSR7) 928
23.2.8 入力レベルコントロール / ステータスレジスタ 8 (ICSR8) 930

23.2.9 入力レベルコントロール / ステータスレジスタ 9 (ICSR9) 932
23.2.10 入力レベルコントロール / ステータスレジスタ 10 (ICSR10) 934
23.2.11 出力レベルコントロール / ステータスレジスタ 1 (OCSR1) 936
23.2.12 出力レベルコントロール / ステータスレジスタ 2 (OCSR2) 937
23.2.13 出力レベルコントロール / ステータスレジスタ 3 (OCSR3) 939
23.2.14 出力レベルコントロール / ステータスレジスタ 4 (OCSR4) 940
23.2.15 出力レベルコントロール / ステータスレジスタ 5 (OCSR5) 942
23.2.16 アクティブレベルレジスタ 1 (ALR1) 944
23.2.17 アクティブレベルレジスタ 2 (ALR2) 946
23.2.18 アクティブレベルレジスタ 3 (ALR3) 948
23.2.19 アクティブレベルレジスタ 4 (ALR4) 950
23.2.20 アクティブレベルレジスタ 5 (ALR5) 952
23.2.21 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) 954
23.2.22 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1) 956
23.2.23 ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) 957
23.2.24 ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3) 959
23.2.25 ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4) 962
23.2.26 ポートアウトプットイネーブルコントロールレジスタ 4B (POECR4B) 964
23.2.27 ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5) 966
23.2.28 ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6) 968
23.2.29 ポートアウトプットイネーブルコントロールレジスタ 6B (POECR6B) 970
23.2.30 ポートアウトプットイネーブルコントロールレジスタ 7 (POECR7) 972
23.2.31 ポートアウトプットイネーブルコントロールレジスタ 8 (POECR8) 973
23.2.32 ポートアウトプットイネーブルコントロールレジスタ 9 (POECR9) 975
23.2.33 ポートアウトプットイネーブルコントロールレジスタ 10 (POECR10) 977
23.2.34 ポートアウトプットイネーブルコントロールレジスタ 11 (POECR11) 979
23.2.35 ポートモードマスクコントロールレジスタ 0 (PMMCR0) 981
23.2.36 ポートモードマスクコントロールレジスタ 1 (PMMCR1) 983
23.2.37 ポートモードマスクコントロールレジスタ 2 (PMMCR2) 986
23.2.38 ポートモードマスクコントロールレジスタ 3 (PMMCR3) 990
23.2.39 ポートアウトプットイネーブルコンパレータ検出フラグレジスタ (POECMPFR) 991
23.2.40 ポートアウトプットイネーブルコンパレータ要求選択レジスタ (POECMPSEL) 992
23.2.41 ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m (POECMPEXm) (m = 0 ～ 8) 993
23.2.42 MTU0 端子選択レジスタ 1 (M0SELR1) 994
23.2.43 MTU0 端子選択レジスタ 2 (M0SELR2) 995
23.2.44 MTU3 端子選択レジスタ (M3SELR) 996
23.2.45 MTU4 端子選択レジスタ 1 (M4SELR1) 997
23.2.46 MTU4 端子選択レジスタ 2 (M4SELR2) 998
23.2.47 MTU6 端子選択レジスタ (M6SELR) 999
23.2.48 MTU7 端子選択レジスタ 1 (M7SELR1) 1000

23.2.49 MTU7 端子選択レジスタ 2 (M7SELR2) 1001
23.2.50 MTU9 端子選択レジスタ 1 (M9SELR1) 1002
23.2.51 MTU9 端子選択レジスタ 2 (M9SELR2) 1003
23.2.52 GPTW0 端子選択レジスタ (G0SELR) 1004
23.2.53 GPTW1 端子選択レジスタ (G1SELR) 1005
23.2.54 GPTW2 端子選択レジスタ (G2SELR) 1006
23.2.55 GPTW3 端子選択レジスタ (G3SELR) 1007
23.2.56 GPTW4 端子選択レジスタ (G4SELR) 1008
23.2.57 GPTW5 端子選択レジスタ (G5SELR) 1009
23.2.58 GPTW6 端子選択レジスタ (G6SELR) 1010
23.2.59 GPTW7 端子選択レジスタ (G7SELR) 1011
23.2.60 GPTW8 端子選択レジスタ (G8SELR) 1012
23.2.61 GPTW9 端子選択レジスタ (G9SELR) 1013
23.3 動作説明 1014
23.3.1 MTU/GPTW 端子選択 1047
23.3.2 入力レベル検出動作 1049
23.3.3 出力レベル比較動作 1050
23.3.4 レジスタによる出力停止制御 1051
23.3.5 発振停止検出検知による出力停止制御 1051
23.3.6 コンパレータ出力検出による出力停止制御 1051
23.3.7 出力停止制御条件の追加機能 1051
23.3.8 出力停止要求発生時の制御 1052
23.3.9 出力停止状態の解除 1052
23.4 POE 設定手順 1053
23.5 割り込み 1054
23.6 使用上の注意事項 1055
23.6.1 低消費電力モードへの遷移 1055
23.6.2 MTU/GPTW 端子非選択時の出力停止制御 1055
23.6.3 POE を使用しない場合について 1055
23.6.4 MTU/GPTW 反転出力設定時のアクティブレベル設定について 1055
23.6.5 ハイインピーダンス時の端子の読み出しについて 1055
23.6.6 POE と POEG を併用した場合の注意事項 1055
24. 汎用 PWM タイマ (GPTW) 1056
24.1 概要 1056
24.2 レジスタの説明 1060
24.2.1 汎用 PWM タイマ書き込み保護レジスタ (GTWP) 1060
24.2.2 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR) 1063
24.2.3 汎用 PWM タイマソフトウェアストップレジスタ (GTSTP) 1064
24.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR) 1065
24.2.5 汎用 PWM タイマスタート要因セレクトレジスタ (GTSSR) 1066

24.2.6 汎用 PWM タイマストップ要因セレクトレジスタ (GTPSR) 1068
24.2.7 汎用 PWM タイマクリア要因セレクトレジスタ (GTCSR) 1070
24.2.8 汎用 PWM タイマカウントアップ要因セレクトレジスタ (GTUPSR) 1072
24.2.9 汎用 PWM タイマカウントダウン要因セレクトレジスタ (GTDNSR) 1074
24.2.10 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A (GTICASR) 1076
24.2.11 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B (GTICBSR) 1079
24.2.12 汎用 PWM タイマ制御レジスタ (GTCR) 1082
24.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC) 1084
24.2.14 汎用 PWM タイマ I/O 制御レジスタ (GTIOR) 1087
24.2.15 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD) 1091
24.2.16 汎用 PWM タイマステータスレジスタ (GTST) 1094
24.2.17 汎用 PWM タイマバッファイネーブルレジスタ (GTBER) 1098
24.2.18 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC) 1102
24.2.19 汎用 PWM タイマカウンタ (GTCNT) 1104
24.2.20 汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m = A ～ F) 1105
24.2.21 汎用 PWM タイマ周期設定レジスタ (GTPR) 1106
24.2.22 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR) 1106
24.2.23 汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR) 1107
24.2.24 A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m = A, B) 1107
24.2.25 A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A, B) 1108
24.2.26 A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A, B) 1108
24.2.27 汎用 PWM タイマデッドタイム制御レジスタ (GTDTCR) 1109
24.2.28 汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U, D) 1110
24.2.29 汎用 PWM タイマデッドタイムバッファレジスタ m (GTDBm) (m = U, D) 1111
24.2.30 汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS) 1112
24.2.31 汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR) 1113
24.2.32 汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ (GTADSMR) 1114
24.2.33 汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ (GTEITC) 1116
24.2.34 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1 (GTEITLI1) 1119
24.2.35 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2 (GTEITLI2) 1121
24.2.36 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ (GTEITLB) 1123
24.2.37 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ (GTSECSR) 1125
24.2.38 汎用 PWM タイマ動作許可ビット同時制御レジスタ (GTSECR) 1126
24.3 動作説明 1128
24.3.1 基本動作 1128
24.3.1.1 カウンタの動作 1128
24.3.1.2 コンペアマッチによる波形出力機能 1135
24.3.1.3 インプットキャプチャ機能 1139
24.3.2 バッファ動作 1143
24.3.2.1 GTPR レジスタのバッファ動作 1143

24.3.2.2 GTCCRA, GTCCRB レジスタのバッファ動作 1147
24.3.2.3 GTADTRA, GTADTRB レジスタのバッファ動作 1153
24.3.3 PWM 出力動作モード 1156
24.3.4 デッドタイム自動設定機能 1168
24.3.5 カウント方向切り替え機能 1173
24.3.6 デューティ 0%/100% 出力機能 1174
24.3.7 ハードウェアカウントスタート、カウントストップ、カウンタクリア動作 1176
24.3.7.1 ハードウェアスタート動作 1176
24.3.7.2 ハードウェアストップ動作 1179
24.3.7.3 ハードウェアクリア動作 1184
24.3.8 同期動作 1190
24.3.8.1 ソフトウェアによる同期動作 1190
24.3.8.2 ハードウェア要因による同期動作 1192
24.3.9 PWM 出力動作例 1194
24.3.10 位相計数機能 1200
24.4 割り込み要因 1208
24.4.1 割り込み要因と優先順位 1208
24.4.2 DMAC/DTC の起動 1211
24.4.3 割り込み、A/D 変換開始要求の間引き機能 1211
24.4.3.1 GTITC レジスタによる割り込み間引き機能 1211
24.4.3.2 拡張割り込み間引き機能 1215
24.5 A/D 変換開始要求 1228
24.6 ELC によるリンク動作 1232
24.6.1 ELC へのイベント信号出力 1232
24.6.2 ELC からのイベント信号による動作 1232
24.7 ノイズフィルタ機能 1233
24.8 保護機能 1234
24.8.1 レジスタの書き込み保護 1234
24.8.2 バッファ動作の抑止 1234
24.8.2.1 バッファ動作の複数チャネル同時制御 1236
24.8.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作 1238
24.8.3 GTIOCnm 端子出力の出力ネゲート制御 (n = 0 ～ 9、m = A, B) 1244
24.8.4 GTIOCnm 端子出力の出力保護機能 (n = 0 ～ 9、m = A, B) 1245
24.9 出力端子の初期化方法 1251
24.9.1 リセット後の端子設定 1251
24.9.2 動作中の異常などによる端子の初期化 1251
24.10 使用上の注意事項 1252
24.10.1 モジュールストップ機能の設定 1252
24.10.2 コンペアマッチ動作時の GTCCRm レジスタの設定 (m = A ～ F) 1252
24.10.3 GTCNT カウンタ値の設定範囲 1253

24.10.4 GTCNT カウンタのスタート / ストップ 1253
24.10.5 イベントの優先順序 1254
25. 高分解能 PWM 波形生成回路 (HRPWM) 1255
25.1 概要 1255
25.2 レジスタの説明 1257
25.2.1 HRPWM 動作制御レジスタ (HROCR) 1257
25.2.2 HRPWM 動作制御レジスタ 2 (HROCR2) 1258
25.2.3 GTIOCnA 端子立ち上がりエッジ調整レジスタ (HRREARnA) (n = 0 ～ 3) 1259
25.2.4 GTIOCnA 端子立ち下がりエッジ調整レジスタ (HRFEARnA) (n = 0 ～ 3) 1260
25.2.5 GTIOCnB 端子立ち上がりエッジ調整レジスタ (HRREARnB) (n = 0 ～ 3) 1261
25.2.6 GTIOCnB 端子立ち下がりエッジ調整レジスタ (HRFEARnB) (n = 0 ～ 3) 1262
25.2.7 HRPWM 動作クロック選択レジスタ (HRCKSR) 1263
25.3 動作説明 1264
25.3.1 PWM 波形の立ち上がりおよび立ち下がりエッジのタイミング調整 1264
25.3.2 HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の転送タイミング (n = 0 ～ 3) 1266
25.4 使用上の注意事項 1268
25.4.1 モジュールストップ機能の設定 1268
25.4.2 HRPWM 使用時の GTCNT カウンタのタイマプリスケーラ選択に関する注意事項 1268
25.4.3 HRPWM の遅延設定に関する注意事項 1268
25.4.4 GPTW のカウントクロック選択に関する注意事項 1268
26. GPTW 用ポートアウトプットイネーブル (POEG) 1269
26.1 概要 1269
26.2 レジスタの説明 1272
26.2.1 POEG グループ n 設定レジスタ (POEGGn) (n = A ～ D) 1272
26.2.2 GPTW 出力停止制御グループ n 書き込み保護レジスタ (GTONCWPn) (n = A ～ D) 1274
26.2.3 GPTW 出力停止制御グループ n コントロールレジスタ (GTONCCRn) (n = A ～ D) 1275
26.3 動作説明 1276
26.3.1 GTETRGn 端子の入力レベル検出 (n ＝ A ～ D) による出力停止要求 1276
26.3.1.1 デジタルノイズフィルタ 1276
26.3.2 GPTW からの出力停止検出による出力停止要求 1277
26.3.3 コンパレータ検出による出力停止要求 1277
26.3.4 発振停止検出による出力停止要求 1277
26.3.5 レジスタによる出力停止要求 1277
26.3.6 出力停止要求の解除 1278
26.3.7 検出信号による出力停止要求と解除 1279
26.4 割り込み要因 1281
26.5 GPTW に対する外部トリガ出力 1282

26.6 使用上の注意事項 1283
26.6.1 低消費電力モードへの遷移 1283
26.6.2 モジュールストップ機能の設定 1283
26.6.3 出力停止要求の重複について 1283
27. 8 ビットタイマ (TMRb) 1284
27.1 概要 1284
27.2 レジスタの説明 1292
27.2.1 タイマカウンタ (TCNT) 1292
27.2.2 タイムコンスタントレジスタ A (TCORA) 1293
27.2.3 タイムコンスタントレジスタ B (TCORB) 1293
27.2.4 タイマコントロールレジスタ (TCR) 1294
27.2.5 タイマカウンタコントロールレジスタ (TCCR) 1295
27.2.6 タイマコントロール / ステータスレジスタ (TCSR) 1297
27.2.7 タイマカウンタスタートレジスタ (TCSTR) 1299
27.3 動作説明 1300
27.3.1 パルス出力 1300
27.3.2 外部カウンタリセット入力 1301
27.4 動作タイミング 1302
27.4.1 TCNT カウンタのカウントタイミング 1302
27.4.2 コンペアマッチ時の割り込みタイミング 1303
27.4.3 コンペアマッチ時の出力信号タイミング 1303
27.4.4 コンペアマッチによるカウンタクリアタイミング 1304
27.4.5 TCNT カウンタの外部リセットタイミング 1304
27.4.6 オーバフローによる割り込みタイミング 1305
27.5 カスケード接続時の動作 1306
27.5.1 16 ビットカウントモード 1306
27.5.2 コンペアマッチカウントモード 1306
27.6 割り込み要因 1307
27.6.1 割り込み要因と DTC 起動 1307
27.6.2 A/D コンバータの起動 1307
27.7 ELC によるリンク動作 1308
27.7.1 ELC へのイベント信号出力 1308
27.7.2 ELC からのイベント信号受信による TMR 動作 1308
27.7.3 ELC からのイベント信号受信による TMR の注意事項 1309
27.8 使用上の注意事項 1310
27.8.1 モジュールストップ機能の設定 1310
27.8.2 周期設定上の注意 1310
27.8.3 TCNT カウンタへの書き込みとカウンタクリアの競合 1310
27.8.4 TCNT カウンタへの書き込みとカウントアップの競合 1311
27.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合 1311

27.8.6 コンペアマッチ A、B の競合 1312
27.8.7 内部クロックの切り替えと TCNT カウンタの動作 1312
27.8.8 カスケード接続時のクロックソース設定 1314
27.8.9 コンペアマッチ割り込みの連続出力 1314
28. コンペアマッチタイマ (CMT) 1315
28.1 概要 1315
28.2 レジスタの説明 1316
28.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0) 1316
28.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1) 1316
28.2.3 コンペアマッチタイマコントロールレジスタ (CMCR) 1317
28.2.4 コンペアマッチタイマカウンタ (CMCNT) 1318
28.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR) 1318
28.3 動作説明 1319
28.3.1 周期カウント動作 1319
28.3.2 CMCNT カウンタのカウントタイミング 1319
28.4 割り込み 1320
28.4.1 割り込み要因 1320
28.4.2 コンペアマッチ割り込みの発生タイミング 1320
28.5 ELC によるリンク動作 1321
28.5.1 ELC へのイベント信号出力 1321
28.5.2 ELC からのイベント信号受信による CMT の動作 1321
28.5.3 ELC からのイベント信号受信による CMT の注意事項 1321
28.6 使用上の注意事項 1322
28.6.1 モジュールストップ機能の設定 1322
28.6.2 CMCNT カウンタへの書き込みとコンペアマッチの競合 1322
28.6.3 CMCNT カウンタへの書き込みとカウントアップの競合 1322
29. ウォッチドッグタイマ (WDTA) 1323
29.1 概要 1323
29.2 レジスタの説明 1324
29.2.1 WDT リフレッシュレジスタ (WDTRR) 1324
29.2.2 WDT コントロールレジスタ (WDTCR) 1325
29.2.3 WDT ステータスレジスタ (WDTSR) 1328
29.2.4 WDT リセットコントロールレジスタ (WDTRCR) 1329
29.2.5 オプション機能選択レジスタ 0 (OFS0) 1329
29.3 動作説明 1330
29.3.1 カウント開始条件別の各動作 1330
29.3.1.1 レジスタスタートモード 1330
29.3.1.2 オートスタートモード 1332
29.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御 1334
29.3.3 リフレッシュ動作 1334

29.3.4 リセット出力 1335
29.3.5 割り込み要因 1336
29.3.6 ダウンカウンタ値の読み出し 1336
29.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応 1337
30. 独立ウォッチドッグタイマ (IWDTa) 1338
30.1 概要 1338
30.2 レジスタの説明 1340
30.2.1 IWDT リフレッシュレジスタ (IWDTRR) 1340
30.2.2 IWDT コントロールレジスタ (IWDTCR) 1341
30.2.3 IWDT ステータスレジスタ (IWDTSR) 1344
30.2.4 IWDT リセットコントロールレジスタ (IWDTRCR) 1345
30.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSTPR) 1346
30.2.6 オプション機能選択レジスタ 0 (OFS0) 1346
30.3 動作説明 1347
30.3.1 カウント開始条件別の各動作 1347
30.3.1.1 レジスタスタートモード 1347
30.3.1.2 オートスタートモード 1349
30.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御 1351
30.3.3 リフレッシュ動作 1352
30.3.4 ステータスフラグ 1354
30.3.5 リセット出力 1354
30.3.6 割り込み要因 1354
30.3.7 カウンタ値の読み出し 1355
30.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応 1356
30.4 ELC によるリンク動作 1356
30.5 使用上の注意事項 1356
30.5.1 リフレッシュ動作について 1356
30.5.2 クロック分周比の設定 1356
31. USB2.0FS ホスト / ファンクションモジュール (USBb) 1357
31.1 概要 1357
31.2 レジスタの説明 1359
31.2.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG) 1359
31.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0) 1361
31.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0) 1362
31.2.4 CFIFO ポートレジスタ (CFIFO)、
D0FIFO ポートレジスタ (D0FIFO)、
D1FIFO ポートレジスタ (D1FIFO) 1365
31.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)、
D0FIFO ポート選択レジスタ (D0FIFOSEL)、
D1FIFO ポート選択レジスタ (D1FIFOSEL) 1367

31.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR)、D0FIFO ポートコントロールレジスタ (D0FIFOCTR)、D1FIFO ポートコントロールレジスタ (D1FIFOCTR) 1371
31.2.7 割り込み許可レジスタ 0 (INTENB0) 1373
31.2.8 割り込み許可レジスタ 1 (INTENB1) 1374
31.2.9 BRDY 割り込み許可レジスタ (BRDYENB) 1375
31.2.10 NRDY 割り込み許可レジスタ (NRDYENB) 1376
31.2.11 BEMP 割り込み許可レジスタ (BEMPENB) 1377
31.2.12 SOF 出力コンフィギュレーションレジスタ (SOFCFG) 1378
31.2.13 割り込みステータスレジスタ 0 (INTSTS0) 1379
31.2.14 割り込みステータスレジスタ 1 (INTSTS1) 1382
31.2.15 BRDY 割り込みステータスレジスタ (BRDYSTS) 1385
31.2.16 NRDY 割り込みステータスレジスタ (NRDYSTS) 1386
31.2.17 BEMP 割り込みステータスレジスタ (BEMPSTS) 1387
31.2.18 フレームナンバレジスタ (FRMNUM) 1388
31.2.19 USB リクエストタイプレジスタ (USBREQ) 1389
31.2.20 USB リクエストバリューレジスタ (USBVAL) 1390
31.2.21 USB リクエストインデックスレジスタ (USBINDX) 1390
31.2.22 USB リクエストレングスレジスタ (USBLENG) 1391
31.2.23 DCP コンフィギュレーションレジスタ (DCPCFG) 1392
31.2.24 DCP マックスパケットサイズレジスタ (DCPMAXP) 1393
31.2.25 DCP コントロールレジスタ (DCPCTR) 1394
31.2.26 パイプウィンドウ選択レジスタ (PIPESEL) 1397
31.2.27 パイプコンフィギュレーションレジスタ (PIPECFG) 1398
31.2.28 パイプマックスパケットサイズレジスタ (PIPEMAXP) 1400
31.2.29 パイプ周期制御レジスタ (PIPEPERI) 1401
31.2.30 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ～ 9) 1402
31.2.31 パイプ n トランザクションカウンタイネーブルレジスタ (PIPEnTRE) (n = 1 ～ 5) 1410
31.2.32 パイプ n トランザクションカウンタレジスタ (PIPEnTRN) (n = 1 ～ 5) 1411
31.2.33 デバイスアドレス n コンフィギュレーションレジスタ (DEVADDn) (n = 0 ～ 5) 1412
31.2.34 PHY クロスポイント調整レジスタ (PHYSLEW) 1413
31.3 動作説明 1414
31.3.1 システム制御 1414
31.3.1.1 USB 関連レジスタの設定 1414
31.3.1.2 コントローラ機能の選択設定 1414
31.3.1.3 USB データバス抵抗制御 1414
31.3.1.4 USB 外部接続回路例 1415
31.3.2 割り込み要因 1419
31.3.3 割り込みの説明 1421

31.3.3.1 BRDY 割り込み 1421
31.3.3.2 NRDY 割り込み 1425
31.3.3.3 BEMP 割り込み 1427
31.3.3.4 デバイスステート遷移割り込み 1429
31.3.3.5 コントロール転送ステージ遷移割り込み 1430
31.3.3.6 フレーム番号更新割り込み 1431
31.3.3.7 VBUS 割り込み 1431
31.3.3.8 レジューム割り込み 1431
31.3.3.9 OVRCR 割り込み 1431
31.3.3.10 BCHG 割り込み 1432
31.3.3.11 DTCH 割り込み 1432
31.3.3.12 SACK 割り込み 1432
31.3.3.13 SIGN 割り込み 1432
31.3.3.14 ATTCH 割り込み 1432
31.3.3.15 EOFERR 割り込み 1432
31.3.4 パイプコントロール 1433
31.3.4.1 パイプコントロールレジスタの切り替え手順 1434
31.3.4.2 転送タイプ 1434
31.3.4.3 エンドポイント番号 1435
31.3.4.4 マックスパケットサイズ設定 1435
31.3.4.5 トランザクションカウンタ (パイプ 1 ～ 5 読み出し方向) 1435
31.3.4.6 応答 PID 1436
31.3.4.7 データ PID シーケンスビット 1437
31.3.4.8 応答 PID = NAK 機能 1437
31.3.4.9 自動応答モード 1437
31.3.4.10 OUT-NAK モード 1437
31.3.4.11 Null 自動応答モード 1438
31.3.5 FIFO バッファメモリ 1438
31.3.5.1 FIFO バッファメモリ 1438
31.3.5.2 FIFO バッファクリア 1439
31.3.5.3 FIFO ポートの機能 1440
31.3.5.4 DMA 転送 (D0FIFO/D1FIFO ポート) 1441
31.3.6 DCP を使用したコントロール転送 1442
31.3.6.1 ホストコントローラ機能選択時のコントロール転送 1442
31.3.6.2 ファンクションコントローラ機能選択時のコントロール転送 1443
31.3.7 バルク転送 (パイプ 1 ～ 5) 1444
31.3.8 インタラプト転送 (パイプ 6 ～ 9) 1445
31.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ 1445
31.3.9 アイソクロナス転送 (パイプ 1、2) 1446
31.3.9.1 アイソクロナス転送のエラー検出 1446

31.3.9.2 データ PID 1447
31.3.9.3 インターバルカウンタ 1447
31.3.10 SOF 補完機能 1453
31.3.11 パイプスケジュール 1453
31.3.11.1 トランザクション発行条件 1453
31.3.11.2 転送スケジュール 1454
31.3.11.3 USB 通信許可 1454
31.4 使用上の注意事項 1454
31.4.1 モジュールストップ機能の設定 1454
32. シリアルコミュニケーションインタフェース (SCIj, SCIi, SCIh) 1455
32.1 概要 1455
32.2 レジスタの説明 1466
32.2.1 レシーブシフトレジスタ (RSR) 1466
32.2.2 レシーブデータレジスタ (RDR) 1466
32.2.3 レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL) 1467
32.2.4 受信 FIFO データレジスタ (FRDR) 1468
32.2.5 トランスミットデータレジスタ (TDR) 1469
32.2.6 トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL) 1470
32.2.7 送信 FIFO データレジスタ (FTDR) 1471
32.2.8 トランスミットシフトレジスタ (TSR) 1471
32.2.9 シリアルモードレジスタ (SMR) 1472
32.2.10 シリアルコントロールレジスタ (SCR) 1476
32.2.11 シリアルステータスレジスタ (SSR/SSRFIFO) 1481
32.2.12 スマートカードモードレジスタ (SCMR) 1489
32.2.13 ビットレートレジスタ (BRR) 1491
32.2.14 モジュレーションデューティレジスタ (MDDR) 1503
32.2.15 シリアル拡張モードレジスタ (SEMR) 1505
32.2.16 ノイズフィルタ設定レジスタ (SNFR) 1508
32.2.17 I^2C モードレジスタ 1 (SIMR1) 1509
32.2.18 I^2C モードレジスタ 2 (SIMR2) 1510
32.2.19 I^2C モードレジスタ 3 (SIMR3) 1511
32.2.20 I^2C ステータスレジスタ (SISR) 1513
32.2.21 SPI モードレジスタ (SPMR) 1514
32.2.22 FIFO コントロールレジスタ (FCR) 1516
32.2.23 FIFO データカウントレジスタ (FDR) 1518
32.2.24 ラインステータスレジスタ (LSR) 1519
32.2.25 比較データレジスタ (CDR) 1520
32.2.26 データ比較制御レジスタ (DCCR) 1521
32.2.27 シリアルポートレジスタ (SPTR) 1523
32.2.28 拡張シリアルモード有効レジスタ (ESMER) 1524

32.2.29 コントロールレジスタ 0 (CR0) 1524
32.2.30 コントロールレジスタ 1 (CR1) 1525
32.2.31 コントロールレジスタ 2 (CR2) 1526
32.2.32 コントロールレジスタ 3 (CR3) 1527
32.2.33 ポートコントロールレジスタ (PCR) 1527
32.2.34 割り込みコントロールレジスタ (ICR) 1528
32.2.35 ステータスレジスタ (STR) 1529
32.2.36 ステータスクリアレジスタ (STCR) 1530
32.2.37 Control Field 0 データレジスタ (CF0DR) 1530
32.2.38 Control Field 0 コンペアイネーブルレジスタ (CF0CR) 1531
32.2.39 Control Field 0 受信データレジスタ (CF0RR) 1531
32.2.40 プライマリ Control Field 1 データレジスタ (PCF1DR) 1531
32.2.41 セカンダリ Control Field 1 データレジスタ (SCF1DR) 1532
32.2.42 Control Field 1 コンペアイネーブルレジスタ (CF1CR) 1532
32.2.43 Control Field 1 受信データレジスタ (CF1RR) 1532
32.2.44 タイマコントロールレジスタ (TCR) 1533
32.2.45 タイマモードレジスタ (TMR) 1533
32.2.46 タイマプリスケーラレジスタ (TPRE) 1534
32.2.47 タイマカウントレジスタ (TCNT) 1534
32.3 調歩同期式モードの動作 1535
32.3.1 シリアル送信 / 受信フォーマット 1535
32.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 1537
32.3.3 クロック 1538
32.3.4 倍速モードと 6 分周モード 1538
32.3.5 CTS、RTS 機能 1539
32.3.6 データ一致検出機能 1539
32.3.7 SCI の初期化 (調歩同期式モード) 1542
32.3.8 シリアルデータの送信 (調歩同期式モード) 1545
32.3.9 シリアルデータの受信 (調歩同期式モード) 1550
32.4 マルチプロセッサ通信機能 1555
32.4.1 マルチプロセッサシリアルデータ送信 1557
32.4.2 マルチプロセッサシリアルデータ受信 1558
32.5 クロック同期式モードの動作 1561
32.5.1 クロック 1561
32.5.2 CTS、RTS 機能 1562
32.5.3 SCI の初期化 (クロック同期式モード) 1563
32.5.4 シリアルデータの送信 (クロック同期式モード) 1564
32.5.5 シリアルデータの受信 (クロック同期式モード) 1569
32.5.6 シリアルデータの送受信同時動作 (クロック同期式モード) 1573
32.6 スマートカードインタフェースモードの動作 1574

32.6.1 接続例 1574
32.6.2 データフォーマット (ブロック転送モード時を除く) 1575
32.6.3 ブロック転送モード 1576
32.6.4 受信データサンプリングタイミングと受信マージン 1577
32.6.5 SCI の初期化 (スマートカードインタフェースモード) 1578
32.6.6 シリアルデータの送信 (ブロック転送モードを除く) 1580
32.6.7 シリアルの受信 (ブロック転送モードを除く) 1583
32.6.8 クロック出力制御 1585
32.7 簡易 I2C モードの動作 1586
32.7.1 開始条件、再開始条件、停止条件の生成 1587
32.7.2 クロック同期化 1589
32.7.3 SSDA 出力遅延 1590
32.7.4 SCI の初期化 (簡易 I2C モード) 1591
32.7.5 マスタ送信動作 (簡易 I2C モード) 1592
32.7.6 マスタ受信動作 (簡易 I2C モード) 1594
32.7.7 バスハングアップからの回復 1596
32.8 簡易 SPI モードの動作 1597
32.8.1 マスタモード、スレーブモードと各端子の状態 1598
32.8.2 マスタモード時の SS 機能 1598
32.8.3 スレーブモード時の SS 機能 1598
32.8.4 クロックと送受信データの関係 1599
32.8.5 SCI の初期化 (簡易 SPI モード) 1599
32.8.6 シリアルデータの送受信 (簡易 SPI モード) 1600
32.9 ビットレートモジュレーション機能 1600
32.10 拡張シリアルモード制御部の動作説明 1601
32.10.1 シリアル通信プロトコル 1601
32.10.2 Start Frame 送信 1601
32.10.3 Start Frame 受信 1605
32.10.3.1 プライオリティインタラプトビット 1610
32.10.4 バス衝突検出機能 1611
32.10.5 RXDX12 端子入力デジタルフィルタ機能 1612
32.10.6 ビットレート測定機能 1613
32.10.7 RXDX12 受信データサンプリングタイミング選択機能 1614
32.10.8 タイマ 1615
32.11 ノイズ除去機能 1617
32.12 割り込み要因 1618
32.12.1 TXI 割り込みおよび RXI 割り込みバッファ動作 1618
32.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み 1618
32.12.3 スマートカードインタフェースモードにおける割り込み 1620
32.12.4 簡易 I2C モードにおける割り込み 1621

32.12.5 拡張シリアルモード制御部の割り込み要求 1622
32.13 イベントリンク機能 1623
32.14 使用上の注意事項 1624
32.14.1 モジュールストップ機能の設定 1624
32.14.2 ブレークの検出と処理について 1624
32.14.3 マーク状態とブレークの送出 1624
32.14.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード) 1625
32.14.5 TDR レジスタへのライトについて 1625
32.14.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード) 1626
32.14.7 DMAC または DTC 使用上の制約事項 1627
32.14.8 通信の開始に関する注意事項 1627
32.14.9 低消費電力状態時の動作について 1627
32.14.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力 1630
32.14.11 簡易 SPI モードの制約事項 1630
32.14.12 拡張シリアルモード制御部の使用上の制約事項 1 1631
32.14.13 拡張シリアルモード制御部の使用上の制約事項 2 1631
32.14.14 トランスミットイネーブルビット (TE ビット) に関する注意事項 1632
32.14.15 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項 1632
33. I²C バスインタフェース (RIICa) 1633
33.1 概要 1633
33.2 レジスタの説明 1636
33.2.1 I²C バスコントロールレジスタ 1 (ICCR1) 1636
33.2.2 I²C バスコントロールレジスタ 2 (ICCR2) 1638
33.2.3 I²C バスモードレジスタ 1 (ICMR1) 1641
33.2.4 I²C バスモードレジスタ 2 (ICMR2) 1642
33.2.5 I²C バスモードレジスタ 3 (ICMR3) 1644
33.2.6 I²C バスファンクション許可レジスタ (ICFER) 1646
33.2.7 I²C バスステータス許可レジスタ (ICSER) 1648
33.2.8 I²C バス割り込み許可レジスタ (ICIER) 1650
33.2.9 I²C バスステータスレジスタ 1 (ICSR1) 1652
33.2.10 I²C バスステータスレジスタ 2 (ICSR2) 1654
33.2.11 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ～ 2) 1657
33.2.12 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ～ 2) 1658
33.2.13 I²C バスビットレート Low レジスタ (ICBRL) 1659
33.2.14 I²C バスビットレート High レジスタ (ICBRH) 1660
33.2.15 I²C バス送信データレジスタ (ICDRT) 1662
33.2.16 I²C バス受信データレジスタ (ICDRR) 1662
33.2.17 I²C バスシフトレジスタ (ICDRS) 1662
33.3 動作説明 1663

33.3.1 通信データフォーマット 1663
33.3.2 初期設定 1664
33.3.3 マスタ送信動作 1665
33.3.4 マスタ受信動作 1668
33.3.5 スレーブ送信動作 1674
33.3.6 スレーブ受信動作 1677
33.4 SCL 同期回路 1679
33.5 SDA 出力遅延機能 1680
33.6 デジタルノイズフィルタ回路 1681
33.7 アドレス一致検出機能 1682
33.7.1 スレーブアドレス一致検出機能 1682
33.7.2 ジェネラルコールアドレス検出機能 1684
33.7.3 デバイス ID アドレス検出機能 1685
33.7.4 ホストアドレス検出機能 1687
33.8 SCL の自動 Low ホールド機能 1688
33.8.1 送信データ誤送信防止機能 1688
33.8.2 NACK 受信転送中断機能 1689
33.8.3 受信データ取りこぼし防止機能 1690
33.9 アービトレーションロスト検出機能 1692
33.9.1 マスタアービトレーションロスト検出機能 (MALE ビット) 1692
33.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット) 1694
33.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット) 1695
33.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 1696
33.10.1 スタートコンディション発行動作 1696
33.10.2 リスタートコンディション発行動作 1696
33.10.3 ストップコンディション発行動作 1697
33.11 バスハングアップ 1698
33.11.1 タイムアウト検出機能 1698
33.11.2 SCL 追加出力機能 1699
33.11.3 RIIC リセット、内部リセット 1700
33.12 SMBus 動作 1701
33.12.1 SMBus タイムアウト測定 1701
33.12.2 パケットエラーコード (PEC) 1702
33.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド) 1703
33.13 割り込み要因 1704
33.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作 1704
33.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化 1705
33.15 イベントリンク機能 (出力) 1706
33.15.1 割り込み処理とイベントリンクの関係 1706
33.16 使用上の注意事項 1707

33.16.1 モジュールストップ機能の設定 1707
33.16.2 通信の開始に関する注意事項 1707
34. CAN モジュール（CAN） 1708
34.1 概要 1708
34.2 レジスタの説明 1711
34.2.1 制御レジスタ（CTLR） 1711
34.2.2 ビットコンフィギュレーションレジスタ（BCR） 1714
34.2.3 マスクレジスタ k（MKRk）（k = 0 ～ 7） 1716
34.2.4 FIFO 受信 ID 比較レジスタ 0、1（FIDCR0、FIDCR1） 1717
34.2.5 マスク無効レジスタ（MKIVLR） 1718
34.2.6 メールボックスレジスタ j（MBj）（j = 0 ～ 31） 1719
34.2.7 メールボックス割り込み許可レジスタ（MIER） 1723
34.2.8 メッセージ制御レジスタ j（MCTLj）（j = 0 ～ 31） 1724
34.2.9 受信 FIFO 制御レジスタ（RFCR） 1727
34.2.10 受信 FIFO ポインタ制御レジスタ（RFPCR） 1730
34.2.11 送信 FIFO 制御レジスタ（TFCR） 1730
34.2.12 送信 FIFO ポインタ制御レジスタ（TFPCR） 1733
34.2.13 ステータスレジスタ（STR） 1734
34.2.14 メールボックスサーチモードレジスタ（MSMR） 1736
34.2.15 メールボックスサーチステータスレジスタ（MSSR） 1737
34.2.16 チャネルサーチサポートレジスタ（CSSR） 1738
34.2.17 アクセプタンスフィルタサポートレジスタ（AFSR） 1739
34.2.18 エラー割り込み許可レジスタ（EIER） 1740
34.2.19 エラー割り込み要因判定レジスタ（EIFR） 1742
34.2.20 受信エラーカウントレジスタ（RECR） 1744
34.2.21 送信エラーカウントレジスタ（TECR） 1745
34.2.22 エラーコード格納レジスタ（ECSR） 1745
34.2.23 タイムスタンプレジスタ（TSR） 1747
34.2.24 テスト制御レジスタ（TCR） 1748
34.3 動作モード 1750
34.3.1 CAN リセットモード 1751
34.3.2 CAN Halt モード 1752
34.3.3 CAN スリープモード 1753
34.3.4 CAN オペレーションモード（バスオフ状態以外） 1753
34.3.5 CAN オペレーションモード（バスオフ状態） 1754
34.4 CAN 通信速度の設定 1755
34.4.1 CAN クロックの設定 1755
34.4.2 ビットタイミングの設定 1755
34.4.3 ビットレート 1756
34.5 メールボックスとマスクレジスタの構成 1757

34.6 アクセプタンスフィルタ機能とマスク機能 1758
34.7 受信 / 送信 1761
34.7.1 受信 1762
34.7.2 送信 1764
34.8 CAN 割り込み 1765
34.9 使用上の注意事項 1765
34.9.1 モジュールストップ機能の設定 1765
35. シリアルペリフェラルインタフェース (RSPIc) 1766
35.1 概要 1766
35.2 レジスタの説明 1770
35.2.1 RSPI 制御レジスタ (SPCR) 1770
35.2.2 RSPI スレーブセレクト極性レジスタ (SSLP) 1772
35.2.3 RSPI 端子制御レジスタ (SPPCR) 1773
35.2.4 RSPI ステータスレジスタ (SPSR) 1774
35.2.5 RSPI データレジスタ (SPDR) 1777
35.2.6 RSPI シーケンス制御レジスタ (SPSCR) 1781
35.2.7 RSPI シーケンスステータスレジスタ (SPSSR) 1782
35.2.8 RSPI ビットレートレジスタ (SPBR) 1783
35.2.9 RSPI データコントロールレジスタ (SPDCR) 1784
35.2.10 RSPI クロック遅延レジスタ (SPCKD) 1786
35.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND) 1787
35.2.12 RSPI 次アクセス遅延レジスタ (SPND) 1788
35.2.13 RSPI 制御レジスタ 2 (SPCR2) 1789
35.2.14 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ～ 7) 1790
35.2.15 RSPI データコントロールレジスタ 2 (SPDCR2) 1793
35.3 動作説明 1794
35.3.1 RSPI 動作の概要 1794
35.3.2 RSPI 端子の制御 1795
35.3.3 RSPI システム構成例 1796
35.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ) 1796
35.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ) 1797
35.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ) 1798
35.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ) 1799
35.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ) 1800
35.3.3.6 マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = マスタ) 1801
35.3.3.7 マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = スレーブ) 1801
35.3.4 データフォーマット 1802
35.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0) 1803
35.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1) 1807

35.3.4.3 バイトスワップ送信 1811
35.3.4.4 バイトスワップ受信 1812
35.3.5 転送フォーマット 1813
35.3.5.1 CPHA ビット = 0 の場合 1813
35.3.5.2 CPHA ビット = 1 の場合 1814
35.3.6 通信動作モード 1815
35.3.6.1 全二重通信 (SPCR.TXMD = 0) 1815
35.3.6.2 送信のみの単方向通信 (SPCR.TXMD = 1) 1816
35.3.7 送信バッファエンプティ / 受信バッファフル割り込み 1817
35.3.8 アイドル割り込み 1818
35.3.9 エラー検出 1819
35.3.9.1 オーバランエラー 1820
35.3.9.2 パリティエラー 1823
35.3.9.3 モードフォルトエラー 1824
35.3.9.4 アンダランエラー 1824
35.3.10 RSPI の初期化 1825
35.3.10.1 SPE ビットのクリアによる初期化 1825
35.3.10.2 システムリセット 1825
35.3.11 SPI 動作 1826
35.3.11.1 マスタモード動作 1826
35.3.11.2 スレーブモード動作 1836
35.3.12 クロック同期式動作 1840
35.3.12.1 マスタモード動作 1840
35.3.12.2 スレーブモード動作 1844
35.3.13 ループバックモード 1846
35.3.14 パリティビット機能の自己判断 1847
35.3.15 割り込み要因 1848
35.4 イベントリンク機能によるリンク動作 1849
35.4.1 受信バッファフルイベント出力 1849
35.4.2 送信バッファエンプティイベント出力 1849
35.4.3 モードフォルト / アンダラン / オーバラン / パリティエラーイベント出力 1849
35.4.4 アイドルイベント出力 1850
35.4.5 送信完了イベント出力 1850
35.5 使用上の注意事項 1851
35.5.1 モジュールストップ機能の設定 1851
35.5.2 消費電力低減機能の注意事項 1851
35.5.3 通信の開始に関する注意事項 1851
35.5.4 SPRF/SPTEF フラグに関する注意事項 1851
36. CRC 演算器 (CRCA) 1852
36.1 概要 1852

36.2 レジスタの説明 1853
36.2.1 CRC コントロールレジスタ (CRCCR) 1853
36.2.2 CRC データ入力レジスタ (CRCDIR) 1854
36.2.3 CRC データ出力レジスタ (CRCDOR) 1855
36.3 CRC 演算器の動作説明 1856
36.4 使用上の注意事項 1859
36.4.1 モジュールストップ機能の設定 1859
36.4.2 送信時の注意事項 1859
37. 三角関数演算器 (TFUv1) 1860
37.1 概要 1860
38. Trusted Secure IP (TSIP-Lite) 1861
38.1 概要 1861
38.2 動作説明 1863
38.2.1 動作モードと状態遷移 1863
38.2.2 暗号エンジン 1864
38.2.3 鍵データインストール 1865
38.2.4 暗号 / 復号処理 1866
38.2.5 鍵生成情報作成 (乱数使用) 1869
38.2.6 乱数生成 1869
38.3 割り込み 1870
38.4 使用上の注意事項 1870
38.4.1 スタンバイモード 1870
38.4.2 モジュールストップ機能の設定 1870
38.4.3 TSIP-Lite ライブラリ 1870
39. 12 ビット A/D コンバータ (S12ADH) 1871
39.1 概要 1871
39.2 レジスタの説明 1882
39.2.1 A/D データレジスタ y (ADDRy) (y = 0 ～ 11, 16, 17)、
A/D データ二重化レジスタ (ADDBLDR)、
A/D データ二重化レジスタ A (ADDBLDRA)、
A/D データ二重化レジスタ B (ADDBLDRB)、
A/D 温度センサデータレジスタ (ADTSDR)、
A/D 内部基準電圧データレジスタ (ADOCDR) 1882
39.2.2 A/D 自己診断データレジスタ (ADRD) 1884
39.2.3 A/D コントロールレジスタ (ADCSR) 1885
39.2.4 A/D チャネル選択レジスタ A0 (ADANSA0) 1890
39.2.5 A/D チャネル選択レジスタ A1 (ADANSA1) 1893
39.2.6 A/D チャネル選択レジスタ B0 (ADANSB0) 1894
39.2.7 A/D チャネル選択レジスタ B1 (ADANSB1) 1897
39.2.8 A/D チャネル選択レジスタ C0 (ADANSC0) 1898
39.2.9 A/D チャネル選択レジスタ C1 (ADANSC1) 1901

39.2.10 A/D チャネル変換順序設定レジスタ n (ADSCSn) (n = 0 ～ 13) 1902
39.2.11 A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0) 1905
39.2.12 A/D 変換値加算 / 平均機能チャネル選択レジスタ 1 (ADADS1) 1909
39.2.13 A/D 変換値加算 / 平均回数選択レジスタ (ADADC) 1910
39.2.14 A/D コントロール拡張レジスタ (ADCER) 1911
39.2.15 A/D 変換開始トリガ選択レジスタ (ADSTRGR) 1913
39.2.16 A/D 変換拡張入力コントロールレジスタ (ADEXICR) 1918
39.2.17 A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR) 1920
39.2.18 A/D グループ C トリガ選択レジスタ (ADGCTRGR) 1921
39.2.19 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ～ 11, L, T, O) 1924
39.2.20 A/D サンプル & ホールド回路コントロールレジスタ (ADSHCR) 1926
39.2.21 A/D サンプル & ホールド動作モード選択レジスタ (ADSHMSR) 1927
39.2.22 A/D 断線検出コントロールレジスタ (ADDISCR) 1928
39.2.23 A/D イベントリンクコントロールレジスタ (ADELCCR) 1929
39.2.24 A/D グループスキャン優先コントロールレジスタ (ADGSPCR) 1930
39.2.25 A/D コンペア機能コントロールレジスタ (ADCMPCR) 1932
39.2.26 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCMPANSR0) 1934
39.2.27 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 (ADCMPANSR1) 1937
39.2.28 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER) 1938
39.2.29 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0) 1939
39.2.30 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1) 1943
39.2.31 A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER) 1944
39.2.32 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0) 1945
39.2.33 A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1) 1947
39.2.34 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0) 1949
39.2.35 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 (ADCMPSR1) 1952
39.2.36 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER) 1953
39.2.37 A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ (ADWINMON) 1954
39.2.38 A/D コンペア機能ウィンドウ B チャネル選択レジスタ (ADCMPBNSR) 1955
39.2.39 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB) 1959
39.2.40 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB) 1961
39.2.41 A/D コンペア機能ウィンドウ B チャネルステータスレジスタ (ADCMPBSR) 1963
39.2.42 A/D プログラマブルゲインアンプコントロールレジスタ (ADPGACR) 1966
39.2.43 A/D プログラマブルゲインアンプゲイン設定レジスタ 0 (ADPGAGS0) 1968
39.2.44 A/D プログラマブルゲインアンプ差動入力コントロールレジスタ (ADPGADCR0) 1970
39.2.45 A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) 1972
39.2.46 A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) 1972
39.3 動作説明 1973
39.3.1 A/D コンバータの初期設定フロー 1973

39.3.2 AN000 ～ AN002、AN007、AN100 ～ AN102、AN107 の入力経路設定 1974
39.3.3 スキャンの動作説明 1977
39.3.4 シングルスキャンモード 1978
39.3.4.1 基本動作 (チャネル専用サンプル & ホールドなし) 1978
39.3.4.2 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング無効) 1979
39.3.4.3 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング有効) 1980
39.3.4.4 チャネル選択と自己診断 (チャネル専用サンプル & ホールドなし) 1981
39.3.4.5 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング無効) 1982
39.3.4.6 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング有効) 1983
39.3.4.7 温度センサ出力 / 内部基準電圧選択時の A/D 変換動作 1985
39.3.4.8 ダブルトリガモード選択時の動作 1986
39.3.4.9 ダブルトリガ拡張モードの動作 1987
39.3.5 連続スキャンモード 1989
39.3.5.1 基本動作 (チャネル専用サンプル & ホールドなし) 1989
39.3.5.2 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング無効) 1990
39.3.5.3 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング有効) 1991
39.3.5.4 チャネル選択と自己診断 (チャネル専用サンプル & ホールドなし) 1993
39.3.5.5 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング無効) 1994
39.3.5.6 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング有効) 1995
39.3.6 グループスキャンモード 1997
39.3.6.1 基本動作 1997
39.3.6.2 ダブルトリガモード選択時の動作 2000
39.3.6.3 グループ優先制御動作 2002
39.3.7 コンペア機能 (ウィンドウ A、ウィンドウ B) 2020
39.3.7.1 コンペア機能ウィンドウ A/B 2020
39.3.7.2 コンペア機能制約 2021
39.3.8 アナログ入力のサンプリング時間とスキャン変換時間 2022
39.3.8.1 グループ優先動作でのスキャン中断 / 開始タイミング 2025
39.3.9 A/D データレジスタの自動クリア機能の使用例 2026
39.3.10 A/D 変換値加算 / 平均機能 2026
39.3.11 断線検出アシスト機能 2026
39.3.12 非同期トリガによる A/D 変換の開始 2028
39.3.13 周辺モジュールからの同期トリガによる A/D 変換の開始 2028
39.3.14 任意チャネル順変換機能 2029
39.3.15 内部基準電圧モニタ機能 2030

39.3.16 プログラマブルゲインアンプ 2032
39.4 割り込み要因と DTC、DMA 転送要求 2033
39.4.1 割り込み要求 2033
39.4.2 ELC へのスキャン終了イベント出力 2033
39.5 許容信号源インピーダンスについて 2034
39.6 使用上の注意事項 2035
39.6.1 データレジスタの読み出し注意事項 2035
39.6.2 A/D 変換停止時の注意事項 2035
39.6.2.1 A/D 変換停止手順 2035
39.6.2.2 モード / ステータスフラグの注意事項 2037
39.6.3 A/D 変換強制停止と開始時の動作タイミング 2037
39.6.4 スキャン終了割り込み処理の注意事項 2037
39.6.5 モジュールストップ機能の設定 2037
39.6.6 低消費電力状態への遷移時の注意 2038
39.6.7 ソフトウェアスタンバイモード解除時の注意 2038
39.6.8 外部バス使用時の注意事項 2038
39.6.9 断線検出アシスト機能使用時の絶対精度誤差 2038
39.6.10 アナログ電源端子他の設定範囲 2039
39.6.11 ボード設計上の注意 2040
39.6.12 ノイズ対策上の注意 2041
39.6.13 チャネル専用サンプル & ホールド回路使用時の注意 2042
39.6.14 AN000 ～ AN002、AN007、AN100 ～ AN102、AN107 チャネル使用時の注意 2042
40. 12 ビット D/A コンバータ (R12DAb) 2043
40.1 概要 2043
40.2 レジスタの説明 2044
40.2.1 D/A データレジスタ m (DADRm) (m = 0, 1) 2044
40.2.2 D/A 制御レジスタ (DACR) 2045
40.2.3 データレジスタフォーマット選択レジスタ (DADPR) 2046
40.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR) 2047
40.2.5 D/A 出力先選択レジスタ (DADSELR) 2048
40.3 動作説明 2049
40.3.1 D/A 変換と A/D 変換の干渉対策 2050
40.4 イベントリンクの動作設定手順 2052
40.5 イベントリンク動作における注意事項 2052
40.6 使用上の注意事項 2053
40.6.1 モジュールストップ機能の設定 2053
40.6.2 モジュールストップ時の D/A コンバータの動作 2053
40.6.3 ソフトウェアスタンバイモード時の D/A コンバータの動作 2053
40.6.4 ディープソフトウェアスタンバイモード時の注意事項 2053
40.6.5 D/A 変換と A/D 変換の干渉対策有効時の注意事項 2053

40.6.6 D/A コンバータの出力をコンパレータ C の基準電圧に使用するときの注意事項 2053
40.6.7 DAn 端子 (n = 0, 1) とコンパレータ C への同時出力に関する注意事項 2053
41. 温度センサ (TEMPS) 2054
41.1 概要 2054
41.2 レジスタの説明 2055
41.2.1 温度センサ校正データレジスタ (TSCDR) 2055
41.3 温度センサの使用方法 2056
41.3.1 使用前の準備 2056
41.3.2 12 ビット A/D コンバータ (ユニット 2) の設定 2058
41.3.3 温度センサの使用手順 2059
41.3.4 温度センサ出力の A/D 変換タイミング 2060
41.4 使用上の注意事項 2060
41.4.1 温度センサの動作設定 2060
42. コンパレータ C (CMPC) 2061
42.1 概要 2061
42.2 レジスタの説明 2064
42.2.1 コンパレータ制御レジスタ (CMPCTL) 2064
42.2.2 コンパレータ入力切り替えレジスタ (CMPSEL0) 2065
42.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1) 2066
42.2.4 コンパレータ出力モニタレジスタ (CMPMON) 2067
42.2.5 コンパレータ外部出力許可レジスタ (CMPIOC) 2067
42.3 動作説明 2068
42.3.1 コンパレータ動作例 2068
42.3.2 ノイズフィルタ 2069
42.3.3 割り込み 2070
42.3.4 コンパレータの端子出力 2070
42.3.5 コンパレータの設定手順 2071
42.4 使用上の注意事項 2073
42.4.1 モジュールストップ機能の設定 2073
42.4.2 モジュールストップ時のコンパレータ C の動作 2073
42.4.3 ソフトウェアスタンバイモード時のコンパレータ C の動作 2073
42.4.4 12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作 2073
42.4.5 D/A コンバータの設定について 2074
43. データ演算回路 (DOC) 2075
43.1 概要 2075
43.2 レジスタの説明 2076
43.2.1 DOC コントロールレジスタ (DOCR) 2076
43.2.2 DOC データインプットレジスタ (DODIR) 2077
43.2.3 DOC データセッティングレジスタ (DODSR) 2077
43.3 動作説明 2078

43.3.1 データ比較モード 2078
43.3.2 データ加算モード 2079
43.3.3 データ減算モード 2080
43.4 割り込み要求 2080
43.5 イベントリンク出力機能 2081
43.5.1 割り込み処理とイベントリンクの関係 2081
43.6 使用上の注意事項 2081
43.6.1 モジュールストップ機能の設定 2081
44. RAM 2082
44.1 概要 2082
44.2 レジスタの説明 2083
44.2.1 ECCRAM 動作モード制御レジスタ (ECCRAMMODE) 2083
44.2.2 ECCRAM 2 ビットエラーステータスレジスタ (ECCRAM2STS) 2083
44.2.3 ECCRAM 1 ビットエラー情報更新許可レジスタ (ECCRAM1STSEN) 2084
44.2.4 ECCRAM 1 ビットエラーステータスレジスタ (ECCRAM1STS) 2084
44.2.5 ECCRAM プロテクトレジスタ (ECCRAMPRCR) 2085
44.2.6 ECCRAM 2 ビットエラーアドレスキャプチャレジスタ (ECCRAM2ECAD) 2086
44.2.7 ECCRAM 1 ビットエラーアドレスキャプチャレジスタ (ECCRAM1ECAD) 2087
44.2.8 ECCRAM プロテクトレジスタ 2 (ECCRAMPRCR2) 2087
44.2.9 ECCRAM テスト制御レジスタ (ECCRAMETST) 2088
44.2.10 RAM 動作モード制御レジスタ (RAMMODE) 2088
44.2.11 RAM エラーステータスレジスタ (RAMSTS) 2089
44.2.12 RAM エラーアドレスキャプチャレジスタ (RAMECAD) 2089
44.2.13 RAM プロテクトレジスタ (RAMPRCR) 2090
44.3 動作説明 2091
44.3.1 消費電力低減機能 2091
44.3.2 ECC 誤り訂正機能 2091
44.3.3 パリティチェック機能 2092
44.3.4 RAM エラー割り込み機能 2092
44.3.5 ECC デコーダのテスト方法 2092
44.3.6 割り込み要因 2093
44.4 使用上の注意事項 2094
44.4.1 消費電力低減機能 2094
44.4.2 RAM、ECCRAM のエラーチェック機能使用時の注意事項 2094
44.4.3 RAM の自己診断に関する注意事項 2094
45. フラッシュメモリ (FLASH) 2095
45.1 概要 2095
45.2 ハードウェアインタフェース用領域 2097
45.3 メモリ構成 2098
45.4 レジスタの説明 2100

45.4.1 ROM キャッシュ許可レジスタ (ROMCE) 2100
45.4.2 ROM キャッシュ無効化レジスタ (ROMCIV) 2100
45.4.3 ノンキャッシャブル領域 n アドレスレジスタ (NCRGn) (n = 0, 1) 2101
45.4.4 ノンキャッシャブル領域 n 設定レジスタ (NCRCn) (n = 0, 1) 2102
45.4.5 フラッシュ P/E プロテクトレジスタ (FWEPROR) 2103
45.4.6 フラッシュアクセスステータスレジスタ (FASTAT) 2104
45.4.7 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT) 2105
45.4.8 フラッシュレディ割り込み許可レジスタ (FRDYIE) 2106
45.4.9 FACI コマンド処理開始アドレスレジスタ (FSADDR) 2107
45.4.10 FACI コマンド処理終了アドレスレジスタ (FEADDR) 2108
45.4.11 フラッシュステータスレジスタ (FSTATR) 2109
45.4.12 フラッシュ P/E モードエントリレジスタ (FENTRYR) 2112
45.4.13 フラッシュプロテクトレジスタ (FPROTR) 2113
45.4.14 フラッシュシーケンサ設定初期化レジスタ (FSUINITR) 2114
45.4.15 ロックビットステータスレジスタ (FLKSTAT) 2115
45.4.16 FACI コマンドレジスタ (FCMDR) 2116
45.4.17 フラッシュ P/E ステータスレジスタ (FPESTAT) 2117
45.4.18 データフラッシュブランクチェック制御レジスタ (FBCCNT) 2117
45.4.19 データフラッシュブランクチェックステータスレジスタ (FBCSTAT) 2118
45.4.20 データフラッシュ書き込み開始アドレスレジスタ (FPSADDR) 2118
45.4.21 フラッシュシーケンサ処理切り替えレジスタ (FCPSR) 2119
45.4.22 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR) 2120
45.4.23 ユニーク ID レジスタ n (UIDRn) (n = 0 ～ 2) 2121
45.5 機能概要 2122
45.5.1 ROM キャッシュ 2122
45.5.1.1 ノンキャッシャブル領域の設定 2122
45.5.2 プログラム / イレーズ方式 2124
45.5.3 セキュリティ機能 2126
45.5.4 プロテクション機能 2128
45.5.4.1 ソフトウェアプロテクション 2128
45.5.4.2 エラープロテクション 2128
45.5.4.3 ブートプログラムプロテクション 2130
45.5.5 サスペンド機能 2130
45.5.6 Trusted Memory 2130
45.5.6.1 TM 対象領域に配置するプログラム 2131
45.5.6.2 TM 機能を有効にする方法 2131
45.5.6.3 TM 機能を無効にする方法 2134
45.5.6.4 TM 機能有効時の注意事項 2135
45.6 フラッシュシーケンサ 2136
45.6.1 フラッシュシーケンサの動作モード 2136

45.6.2 リードモード 2137
45.6.3 P/E モード 2137
45.6.4 モード遷移 2138
45.6.4.1 コードフラッシュメモリ P/E モードへの遷移 2140
45.6.4.2 データフラッシュメモリ P/E モードへの遷移 2140
45.6.4.3 リードモードへの遷移 2141
45.6.5 FACI コマンド一覧 2142
45.6.6 FACI コマンドの使用方法 2143
45.6.6.1 FACI コマンド使用時の概略フロー 2143
45.6.6.2 コマンドロック状態からの復帰 2144
45.6.6.3 プログラムコマンド 2146
45.6.6.4 ブロックイレーズコマンド 2148
45.6.6.5 P/E サスペンドコマンド 2149
45.6.6.6 P/E レジュームコマンド 2154
45.6.6.7 ステータスクリアコマンド 2155
45.6.6.8 強制終了コマンド 2156
45.6.6.9 ブランクチェックコマンド 2157
45.6.6.10 コンフィギュレーション設定コマンド 2159
45.6.6.11 ロックビットプログラムコマンド 2161
45.6.6.12 ロックビットリードコマンド 2162
45.7 ブートモード 2163
45.7.1 ブートモード (SCI インタフェース) 2163
45.7.2 ブートモード (USB インタフェース) 2164
45.7.3 ブートモード (FINE インタフェース) 2165
45.7.3.1 ブートモード (FINE インタフェース) の動作条件 2165
45.8 フラッシュメモリプロテクト機能 2166
45.8.1 ID コードプロテクト 2166
45.8.1.1 オンチップデバッガ ID コードプロテクト 2166
45.8.1.2 シリアルプログラマ ID コードプロテクト 2166
45.8.2 ROM コードプロテクト 2166
45.9 ブートモード通信プロトコル 2167
45.9.1 ブートモード (SCI インタフェース) の起動方法 2167
45.9.2 ブートモードの状態遷移 2168
45.9.2.1 ブートモード (SCI インタフェース) の状態遷移 2168
45.9.2.2 ブートモード (USB インタフェース) の状態遷移 2171
45.9.3 ビットレートの自動調整 2174
45.9.4 パケットフォーマット 2175
45.9.5 通信確立フェーズ 2176
45.9.6 コマンド待ちフェーズ 2177
45.9.7 コマンドの通信シーケンス 2178

45.9.8 未サポートコマンド 2180
45.9.9 デバイス種別取得コマンド 2181
45.9.10 エンディアン通知コマンド 2183
45.9.11 周波数設定コマンド 2184
45.9.12 ビットレート設定コマンド 2186
45.9.13 同期コマンド 2187
45.9.14 ID 認証モード取得コマンド 2188
45.9.15 シリアルプログラミング ID コードチェックコマンド 2189
45.9.16 ブランクチェックコマンド 2190
45.9.17 ブロックイレーズコマンド 2191
45.9.18 エリアイレーズコマンド 2192
45.9.19 プログラムコマンド 2193
45.9.20 リードコマンド 2195
45.9.21 ロックビット設定コマンド 2197
45.9.22 ロックビット取得コマンド 2199
45.9.23 ロックビット有効化コマンド 2201
45.9.24 ロックビット無効化コマンド 2202
45.9.25 コマンドプロテクション設定コマンド 2203
45.9.26 コマンドプロテクション取得コマンド 2204
45.9.27 シリアルプログラミング ID コード設定コマンド 2206
45.9.28 ID コード設定コマンド 2207
45.9.29 ID コード取得コマンド 2208
45.9.30 シリアルプログラマ接続禁止コマンド 2210
45.9.31 OFS 設定コマンド 2211
45.9.32 OFS 取得コマンド 2212
45.9.33 エンディアン設定コマンド 2213
45.9.34 エンディアン取得コマンド 2214
45.9.35 コンフィギュレーションクリアコマンド 2215
45.9.36 TM 設定コマンド 2216
45.9.37 TM 取得コマンド 2217
45.9.38 単純加算サムチェックコマンド 2219
45.9.39 シグネチャ取得コマンド 2220
45.9.40 ROM コード設定コマンド 2223
45.9.41 ROM コード取得コマンド 2224
45.9.42 使用例 2226
45.9.43 プログラムコマンド禁止設定時のイレーズフロー 2228
45.10 シリアルプログラマでの書き換え 2229
45.10.1 プログラミング環境 2229
45.11 セルフプログラミングでの書き換え 2230
45.11.1 概要 2230

45.12 使用上の注意事項 2231
45.12.1 プログラム / イレーズを中断した領域およびサスペンドした領域の読み出し 2231
45.12.2 プログラム / イレーズの中断 2231
45.12.3 追加プログラムの禁止 2231
45.12.4 プログラム / イレーズ中またはブランクチェック中のリセット 2231
45.12.5 プログラム / イレーズ中の割り込み / 例外ベクタの配置 2231
45.12.6 プログラム / イレーズ中またはブランクチェック中の異常終了 2231
45.12.7 プログラム / イレーズ中またはブランクチェック中の禁止事項 2231
45.12.8 ブートモード (USB インタフェース) における注意事項 2232
46. 電気的特性 2233
46.1 絶対最大定格 2233
46.2 推奨動作条件 2234
46.3 DC 特性 2235
46.4 AC 特性 2245
46.4.1 リセットタイミング 2246
46.4.2 クロックタイミング 2247
46.4.3 低消費電力状態からの復帰タイミング 2252
46.4.4 制御信号タイミング 2255
46.4.5 バスタイミング 2256
46.4.6 内蔵周辺モジュールタイミング 2262
46.4.6.1 I/O ポート 2262
46.4.6.2 TMR 2262
46.4.6.3 MTU 2263
46.4.6.4 POE 2264
46.4.6.5 POEG 2266
46.4.6.6 GPTW 2269
46.4.6.7 A/D コンバータトリガ 2270
46.4.6.8 CAC 2270
46.4.6.9 SCI 2271
46.4.6.10 RSPI 2278
46.4.6.11 RIIC 2283
46.4.6.12 HRPWM 2284
46.5 USB 特性 2285
46.6 A/D 変換特性 2287
46.7 プログラマブルゲインアンプ特性 2290
46.8 コンパレータ特性 2292
46.9 D/A 変換特性 2293
46.10 温度センサ特性 2293
46.11 パワーオンリセット回路、電圧検出回路特性 2294
46.12 発振停止検出タイミング 2297

46.13　フラッシュメモリ特性 2298
付録 1.　各動作モードにおけるポートの状態 2301
付録 2.　外形寸法図 2307
改訂記録 2309

RX72T グループ

ルネサスマイクロコンピュータ

R01UH0803JJ0110
Rev.1.10
2023.10.06

200MHz、32 ビット RX MCU、FPU 内蔵、1160 Coremark、電源 5V 対応、
最大 1M バイトフラッシュメモリ、128K バイト SRAM、32K バイトデータフラッシュメモリ、16K バイトの ECC 付 SRAM、
12 ビット A/D コンバータ 3 ユニットで最大 7ch 同時サンプリング、シングルエンド / 疑似差動入力対応アンプ 6ch、
アナログコンパレータ 6ch、200MHz PWM (3 相相補 4ch、5 相相補 2ch、単相相補 10ch)、
最小 195ps 高分解能 PWM 4ch、USB2.0 フルスピードホスト / ファンクション /OTG、CAN、暗号機能 (オプション)

特長

■ 32 ビット RXv3 CPU コア内蔵

- 最高動作周波数 200MHz
  1160 Coremark の性能 (200MHz 動作時)
- JTAG および FINE (1 線式)の 2 種類のデバッグインタフェース
- レジスター括退避機能を使用可能

■消費電力低減機能

- 2.7V ～ 5.5V 動作の単一電源
- 4 種類の低消費電力モード

■内蔵コードフラッシュメモリ

- 1M バイト /512K バイト
- 120MHz 以下もしくは ROM キャッシュヒット時はウェイトなし
- オンボードおよびオフボードによるユーザ書き込み

■内蔵データフラッシュメモリ

- 32K バイト (プログラム / イレーズ : 100,000 回)
- Back Ground Operation (BGO) によるプログラミング / イレーズ

■内蔵 SRAM

- 128K バイト　SRAM (ノーウェイト)
- 16K バイト　ECC 付き RAM (ウェイトあり)

■データ転送機能

- DMACa : 8ch 内蔵
- DTCa : 1ch 内蔵

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■リセットおよび電源電圧制御

- パワーオンリセット (POR) 内蔵
- 低電圧検出機能 (LVDA) が設定可能

■クロック機能

- メインクロック発振子周波数 : 8 ～ 24MHz、内部 PLL 対応
- 高速オンチップオシレータ : 16MHz/18MHz/20MHz、内部 PLL 対応
- 低速オンチップオシレータ : 240kHz

■独立ウォッチドッグタイマ内蔵

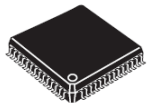
- 120kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- 発振停止検出、A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能、CRCA など
- 重要なレジスタの書き換え保護が可能なメモリプロテクションユニット内蔵

■外部バス

- バスクロック @40MHz (max)
- 4 つの CS 領域をサポート
- エリアごとに 8/16 ビットバス空間を選択可能



PLQP0144KA-B　20×20mm、0.5mm ピッチ
PLQP0100KB-B　14×14mm、0.5mm ピッチ

■多種多様な通信機能を内蔵

- USB2.0 フルスピード (USBb) ホスト / ファンクション /OTG (1ch)
- CAN (ISO11898-1 準拠)、32 メールボックス内蔵 (1ch)
- 多彩な機能に対応した SCIj、SCIh (計 6ch)
  調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI/ 簡易 I^2C/ 拡張シリアルモードから選択
- 16 バイトの送受信 FIFO 搭載 SCIi (1ch)
- I^2C バスインタフェース (RIICa) (1ch) Fast-mode (最大 400kbps)、SMbus 対応
- RSPId (1ch) 最大 30Mbps 転送

■最大 31 本の拡張タイマ機能

- 32 ビット GPTW (10ch) : 200MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形 : 単相相補 10ch 出力 / 3 相相補 3ch 出力 / 5 相相補 2ch 出力など、位相計数モード、コンパレータ連動 (カウント動作、PWM ネゲート制御)
- 16 ビット MTU3d (9ch) : 200MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形 : 3 相相補 2ch 出力、位相計数モード
- 8 ビット TMR (8ch)
- 16 ビット CMT (4ch)

■高分解能 PWM 波形生成回路 (HRPWM) 4ch

- 32 ビット GPTW の PWM 出力波形の立ち上がり / 立ち下がりタイミング制御を最小 195ps の分解能で実現 (160MHz 動作時)

■ 12 ビット A/D コンバータ (S12ADH) 3 ユニット計 30ch 内蔵

- サンプル & ホールド回路内蔵 12 ビット × 最大 3 ユニット
  ユニット 0 (8ch「3 S/H 回路」)、ユニット 1 (8ch「3 S/H 回路」)、ユニット 2 (14ch)
- 疑似差動入力が可能なプログラマブルゲインアンプ (3ch × 2)

■アナログコンパレータ (CMPC) : 6ch

■ 12 ビット D/A コンバータ (R12DAb) : 2ch

- アナログコンパレータの基準電圧として使用可能

■チップ内部の温度を計測可能な温度センサを内蔵

■暗号機能 (Trusted Secure IP Lite)

- AES (鍵長 128/256 ビット) 内蔵、ECB、CBC、GCM 他に対応
- 真性乱数発生回路内蔵
- 暗号エンジンへの不正アクセスを禁止し、成りすまし、改ざんを防止
- 鍵の安全な管理を提供

■最大 110 本の汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■推奨動作周囲温度 (Topr)

- –40°C ～ +85°C
- –40°C ～ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャネル数はパッケージのピン数、およびコードフラッシュメモリ容量によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表1.1 仕様概要 (1 / 8)

分類	モジュール/機能	説明
CPU	中央演算処理装置	• 最大動作周波数：200MHz • 32ビットRX CPU (RXv3) • 最小命令実行時間：1命令1クロック • アドレス空間：4Gバイト・リニアアドレス • レジスタ 汎用レジスタ：32ビット × 16本 制御レジスタ：32ビット × 10本 アキュムレータ：72ビット× 2本 • 113命令 標準搭載命令：111命令 基本命令：77命令 単精度浮動小数点演算命令：11 命令 DSP 機能命令：23 命令 レジスター括退避機能命令：2命令 • アドレッシングモード：11種類 • データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 • 32ビット乗算器：32ビット× 32ビット→64ビット • 除算器：32ビット÷ 32ビット→32ビット • バレルシフタ：32ビット
	FPU	• 単精度浮動小数点数(32ビット) • IEEE754に準拠したデータタイプ、および例外
	レジスター括退避機能	• CPU レジスタの退避・復帰を一括して高速に行う • 16個のレジスタ退避バンクを搭載
メモリ	コードフラッシュメモリ	• 容量：1Mバイト/512Kバイト • ROMキャッシュ：8Kバイトの命令キャッシュ動作の許可/禁止が設定可能 (デフォルト：禁止) [ROMキャッシュ動作許可時] • キャッシュヒット時：200MHzまで1サイクルアクセス可能 • キャッシュミス時： ICLK≦120MHzのとき、1～2サイクル(バスウェイト0) ICLK > 120MHzのとき、2～3サイクル(バスウェイト1) [ROMキャッシュ動作禁止時] ICLK≦120MHzのとき、1サイクル(バスウェイト0) ICLK > 120MHzのとき、2サイクル(バスウェイト1) • オンボードプログラミング：5種類 • オフボードプログラミング(パラレルライタモード) • Trusted Memory (TM)機能による、ブロック8、9に格納したプログラムは命令実行のみ可能、データリード防止機能を実現
	データフラッシュメモリ	• 容量：32Kバイト • プログラム/イレーズ回数：100000回
	ユニークID	• 12バイト長のデバイス固有のID
	RAM	• 容量：128Kバイト • 200MHz、ノーウェイトアクセス • SED (シングルエラー検出)
	ECC付きRAM	• 容量：16Kバイト • 00FF C000h～00FF FFFFh (16Kバイト) • SEC-DED (シングルエラー訂正/ダブルエラー検出)

表1.1 仕様概要 (2 / 8)

分類	モジュール/機能	説明
動作モード		• リセット解除時のモード設定端子による動作モード シングルチップモード ブートモード(SCIインタフェース) ブートモード(USBインタフェース) ブートモード(FINEインタフェース) ユーザブートモード • レジスタ設定による動作モードの選択 シングルチップモード、ユーザブートモード、内蔵ROM無効拡張モード、内蔵ROM有効拡張モード • エンディアン選択可能
クロック	クロック発生回路	• メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ • 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 • メインクロック発振停止検出：あり • システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック(FCLK)、外部バスクロック(BCLK)を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：200MHz max MTU3(内部周辺バス)、GPTW(内部周辺バス)、HRPWM(内部周辺バス)、RSPI、SCI11の周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max MTU3とGPTWのカウンタ基準クロックはPCLKC同期：200MHz max HRPWMの基準クロックはPCLKC同期：160MHz max S12ADのADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max 外部バスに接続するデバイスは、BCLK同期：40MHz max • 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして逓倍可能
リセット		9種類のリセットを内蔵 • RES#端子リセット：RES#端子がLowで発生 • パワーオンリセット：RES#端子がHighで、VCC の上昇時発生 • 電圧監視0リセット：VCC の下降時発生 • 電圧監視1リセット：VCC の下降時発生 • 電圧監視2リセット：VCCの下降時発生 • ディープソフトウェアスタンバイリセット： ディープソフトウェアスタンバイモード解除の割り込みで発生 • 独立ウォッチドッグタイマリセット： 独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 • ウォッチドッグタイマリセット： ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 • ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		• RES#端子をHighにして電源投入すると、内部リセットを発生 VCC が電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路(LVDA)		VCC 端子に入力する電圧を監視し、内部リセットまたは内部割り込みを発生 • 電圧検出回路0 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：2レベルから選択可 • 電圧検出回路1, 2 電圧検出レベル：5レベルから選択可 デジタルフィルタ機能有り(LOCOの2/4/8/16分周) 内部リセット発生可能 • リセット解除タイミング2種類選択可 内部割り込み要求可能 • 上昇検知/下降検知選択可 • マスカブルもしくはノンマスカブル選択可 電圧検出モニタ機能有り イベントリンク機能有り
低消費電力	消費電力低減機能	• モジュールストップ機能 • 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

表1.1 仕様概要 (3 / 8)

分類	モジュール/機能	説明
割り込み	割り込みコントローラ (ICUC)	• 割り込みベクタ数：256 • 外部割り込み：要因数16 (IRQ0～IRQ15端子) • ソフトウェア割り込み：要因数2 • ノンマスカブル割り込み：要因数7 • 16レベルの割り込み優先順位を設定可能 • 割り込み要因選択方式： 割り込みベクタは256ベクタで構成(208要因は固定ベクタ。残り48要因から135ベクタを選択)
外部バス拡張		• 外部アドレス空間を4つのエリア(CS0～CS3)に分割して管理 各エリアの領域：2Mバイト(CS0～CS3) エリアごとにチップセレクト(CS0#～CS3#)出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能(データのみ) • バス形式：セパレートバス、マルチプレクスバス • ウェイト制御可能 • ライトバッファ機能
DMA	DMAコントローラ (DMACAa)	• 8チャネル • 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データトランスファ コントローラ (DTCa)	• 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：外部割り込み、周辺機能割り込み
I/Oポート	汎用入出力ポート	• 144ピンLFQFP 入出力：110 入力：9 プルアップ抵抗：110 オープンドレイン出力：110 5Vトレラント：4 大電流出力：15 • 100ピンLFQFP (PGA疑似差動入力あり、USBあり) 入出力：69 入力：9 プルアップ抵抗：69 オープンドレイン出力：69 5Vトレラント：3 大電流出力：15 • 100ピンLFQFP (PGA疑似差動入力あり、USBなし) 入出力：72 入力：9 プルアップ抵抗：72 オープンドレイン出力：72 5Vトレラント：3 大電流出力：15 • 100ピンLFQFP (PGA疑似差動入力なし、USBなし) 入出力：73 入力：7 プルアップ抵抗：73 オープンドレイン出力：73 5Vトレラント：3 大電流出力：15
イベントリンクコントローラ(ELC)		• 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 • 188種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 • 周辺機能のイベントで出力端子の状態を変更可能(ポートB、E) • 入力端子の変化で周辺機能が連動可能(ポートB、E)

表1.1 仕様概要 (4 / 8)

分類	モジュール/機能	説明
タイマ	8ビットタイマ(TMR)	• (8ビット×2チャネル)×4ユニット • 7種類の内部クロック(PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192)と外部クロックを選択可能 • 任意のデューティ比のパルス出力やPWM出力が可能 • 2チャネルをカスケード接続し16ビットタイマとして使用可能 • A/Dコンバータの変換開始トリガを生成可能 • SCI5, SCI6, SCI12のボーレートクロック生成可能 • ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ(CMT)	• (16ビット×2チャネル)×2ユニット • 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 • ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ(WDTA)	• 14ビット×1チャネル • 6種類のカウントクロック(PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192)を選択可能
	独立ウォッチドッグタイマ(IWDTa)	• 14ビット×1チャネル • カウントクロック：IWDT専用オンチップオシレータ • IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 • ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) • ELCによるイベントリンク機能をサポート
	マルチファンクションタイマパルスユニット3(MTU3d)	• 9チャネル(16ビット×9チャネル) • 最大28本のパルス入出力、および3本のパルス入力が可能 • 14種類のカウントクロック(PCLKC/1, PCLKC/2, PCLKC/4, PCLKC/8, PCLKC/16, PCLKC/32, PCLKC/64, PCLKC/256, PCLKC/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャネル1, 3, 4は11種類、チャネル2は12種類、チャネル5は10種類) • 43本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作(コンペアマッチ/インプットキャプチャによる同時クリア可能) • 複数のタイマカウンタ(TCNT)への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 45種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0～100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 • 位相計数モード：16ビットモード(チャネル1, 2)/32ビットモード(チャネル1, 2) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能。また外部端子で変換開始タイミングがモニタ可能。 • A/Dコンバータ開始間引き機能 • インプットキャプチャ、外部カウントクロック端子にデジタルフィルタあり • ELCによるイベントリンク機能をサポート • 内部周辺バスクロック：PCLKA • カウンタ基準クロック：PCLKC • 周波数比：PCLKA：PCLKC = 1：N (N = 1または2)

表1.1 仕様概要 (5 / 8)

分類	モジュール/機能	説明
タイマ	ポートアウトプットイネーブル3 (POE3B)	• MTU3/GPTW波形出力端子のハイインピーダンス制御/汎用入出力ポートへの切り替え制御 • POE0, POE4, POE8, POE9, POE10, POE11, POE12, POE13, POE14の9つの入力端子による起動 • 出力短絡検出(PWM出力が同時にアクティブレベルになったことを検出)による起動 • コンパレータ検出/発振停止検出/ソフトウェアによる起動 • 出力制御対象端子をプログラマブルに追加制御可能
	汎用PWMタイマ (GPTW)	• 32ビット×10チャネル • 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに2本の入出力端子 • チャネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) • PWM動作の際にデットタイム生成が可能 • 任意チャネルのカウンタの同期スタート/ストップ/クリアが可能 • 最大8個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • 最大4個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 • A/Dコンバータの変換開始トリガ生成が可能。また外部端子で変換開始タイミングがモニタ可能 • コンペアマッチA～Fイベント、オーバーフローイベント/アンダーフローイベントをELCに出力可能 • インプットキャプチャのノイズフィルタを使用可能 • 内部周辺バスクロック：PCLKA • カウンタ基準クロック：PCLKC • 周波数比：PCLKA：PCLKC = 1：N (N = 1または2)
	高分解能PWM (HRPWM)	• GPTW0～GPTW3が生成するPWM波形を最小約195psの分解能で整形可能
	GPTW用ポートアウトプットイネーブル (POEG)	• GPTW波形出力の出力禁止制御 • GTETRG 端子の入力レベル検出による起動 • GPTWからの出力禁止要求による起動 • コンパレータ割り込み要求検出による起動 • 発振停止検出/ソフトウェアによる起動

表1.1 仕様概要 (6 / 8)

分類	モジュール/機能	説明
通信機能	USB2.0 FS ホスト/ファンクションモジュール (USBb)	• USB2.0 FSに対応したUDC (USB Device Controller)およびトランシーバを内蔵 • 1ポート • USBバージョン2.0準拠 • 転送スピード：フルスピード(12Mbps)、ロースピード(1.5Mbps) (ホストのみ) • セルフパワーモードおよびバスパワードを選択可能 • OTG (On-The-Go)に対応(ロースピードは未対応) • 通信バッファとして2KバイトのRAMを内蔵 • 外付けPull-Up抵抗、Pull-Down抵抗が不要
	シリアルコミュニケーションインタフェース (SCIj, SCIi, SCIh)	• 7チャネル SCIj：SCI1, SCI5, SCI6, SCI8, SCI9 SCIi：SCI11 SCIh：SCI12 • SCIj, SCIi, SCIh シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 7、8、9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート データ一致検出をサポート(SCI12以外) ELCによるイベントリンク機能をサポート(SCI5のみ) • SCIiのみ 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 • SCIhのみ スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	I²Cバスインタフェース(RIICa)	• 1チャネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート：400kbps • ELCによるイベントリンク機能をサポート
	CANモジュール(CAN)	• 1チャネル • ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) • 32メールボックス/チャネル
	シリアルペリフェラルインタフェース (RSPIc)	• 1チャネル • RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 • データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8～16, 20, 24, 32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 • バッファ構成 送信/受信バッファ構成はダブルバッファ • マスタ受信時、RSPCKは受信バッファフルで自動停止可能 • ELCによるイベントリンク機能をサポート

表1.1 仕様概要 (7 / 8)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADH)		• 12ビット(8チャネル× 2ユニット、最大14チャネル× 1ユニット) • 分解能：12ビット • 最小変換時間：1チャネル当たり0.9μs (ADCLK = 60MHz動作時) • 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) • サンプル＆ホールド機能 チャネル専用サンプル＆ホールド回路を搭載(ユニット0 × 3チャネル、ユニット1 × 3チャネル) • サンプリング可変機能 チャネルごとにサンプリング時間が設定可能 • 任意チャネル順変換機能(同一チャネルの連続変換は不可) • ダブルトリガモード(A/D変換データ二重化機能) • A/D変換開始条件 ソフトウェアトリガ、同期トリガ(MTU, TMR, ELC)、外部トリガ • グループスキャン優先制御がグループA、B、C間で対応可能 • デジタルコンペア機能 方式：大小比較、またはウィンドウ比較 手段：2つの変換結果を比較、または比較レジスタと変換結果を比較 • 自己診断機能 • アナログ入力断線検出機能 • ELCによるイベントリンク機能をサポート • プログラマブルゲインアンプによる入力信号増幅機能(ユニット0 × 3チャネル、ユニット1 × 3チャネル) シングルエンド/疑似差動入力に対応可能
12ビットD/Aコンバータ (R12DAb)		• 2チャネル • 分解能：12ビット • 出力電圧：0V～AVCC2 • コンパレータのリファレンス電圧として供給可能 • ELCによるイベントリンク機能をサポート
コンパレータC (CMPC)		• 6チャネル • リファレンス電圧とアナログ入力電圧の比較機能 • リファレンス電圧：4種類から選択可能 • アナログ入力電圧：4種類から選択可能 • デジタルフィルタ機能あり
温度センサ		• 1チャネル • 相対精度：±1.0°C • 温度を電圧に変換し12ビットA/Dコンバータ(ユニット2)でデジタル化
三角関数演算器(TFU)		• sin演算、cos演算、arctan演算、$\sqrt{x^2+y^2}$ 演算 sinとcosの同時演算 arctanと $\sqrt{x^2+y^2}$ の同時演算

表1.1 仕様概要 (8 / 8)

分類	モジュール/機能	説明
セーフティ	メモリプロテクションユニット(MPU)	• プロテクションエリア：0000 0000h～FFFF FFFFh範囲内で最大8エリアを設定可能 • 最小保護単位：16バイト • 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 • 設定エリア外へのアクセス検出時、アクセス例外が発生
	Trusted Memory (TM)機能	• コードフラッシュメモリのブロック8、9に対するプログラムのリード防止機能 • TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止
	レジスタライトプロテクション	• プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器(CRCA)	• 8/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$, $X^{32}+X^{28}+X^{27}+X^{26}+X^{25}+X^{23}+X^{22}+X^{20}+X^{19}+X^{18}+X^{14}+X^{13}+X^{11}+X^{10}+X^9+X^8+X^6+1$ • LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止検出機能	• メインクロック発振停止検出：あり
	クロック周波数精度測定回路(CAC)	• メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能
	データ演算回路(DOC)	• 16ビットのデータを比較/加算/減算する機能
暗号機能	Trusted Secure IP (TSIP-Lite)	• アクセスマネジメント回路搭載 • 暗号エンジン AES鍵長：128ビット/256ビット 暗号利用モード：GCM, ECB, CBC, CMAC, XTS, CTR, GCTR • ハッシュ機能 • 真性乱数生成回路 • 鍵の不正コピー防止
動作周波数		200MHz max
電源電圧		VCC = 2.7～5.5V AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V（ただし、VCC≦AVCC0 = AVCC1 = AVCC2) USB使用時：VCC_USB = 3.0～3.6V (ただし、VCC≧VCC_USB) USB未使用時：VCC_USB = VCC VSS = AVSS0 = AVSS1 = AVSS2 = VSS_USB = 0V
動作周囲温度		Dバージョン：–40～+85°C Gバージョン：–40～+105°C
パッケージ		144ピンLFQFP 0.5mmピッチ 100ピンLFQFP 0.5mmピッチ
デバッグインタフェース		• JTAGおよび1線式FINEインタフェース

表1.2 パッケージ別機能比較一覧 (1 / 2)

モジュール/機能		RX72Tグループ			
		PGA疑似差動入力あり			PGA疑似差動入力なし
		USBあり		USBなし	
		144ピン	100ピン	100ピン	100ピン
コードフラッシュメモリ容量		max1MB			
外部バス	外部バス幅	16ビット			
	アドレス空間	2Mバイト×4エリア			2Mバイト×3エリア
外部割り込み	NMI端子	あり			
	IRQ端子	16本			
DMA	DMAコントローラ	あり			
	データトランスファコントローラ	あり			
タイマ	マルチファンクションタイマパルスユニット3	9チャネル (ch 0 ～ 7, ch9)			
	汎用PWMタイマ	10チャネル			
	高分解能PWM	4チャネル			
	ポートアウトプットイネーブル3	あり			
	GPTW用ポートアウトプットイネーブル	あり			
	8ビットタイマ	2チャネル×4ユニット			
	コンペアマッチタイマ	2チャネル×2ユニット			
	独立ウォッチドックタイマ	あり			
通信機能	USB2.0 FS ホスト/ファンクションモジュール	1チャネル		—	
	シリアルコミュニケーションインタフェース (SCIj)	5チャネル (SCI1, 5, 6, 8, 9)			
	シリアルコミュニケーションインタフェース (SCIi)	1チャネル (SCI11)			
	シリアルコミュニケーションインタフェース (SCIh)	1チャネル (SCI12)			
	I²Cバスインタフェース	1チャネル			
	シリアルペリフェラルインタフェース	1チャネル			
	CANモジュール	1チャネル			
12ビットA/Dコンバータ		AN000 ～ 007 (注1) (ユニット0：8本)	AN000 ～ 003, 007 (注1) (ユニット0：5本)		AN000 ～ 003 (ユニット0：4本)
		AN100 ～ 107 (注1) (ユニット1：8本)	AN100 ～ 103, 107 (注1) (ユニット1：5本)		AN100 ～ 103 (ユニット1：4本)
		AN200 ～ 211, 216, 217 (ユニット2：14本)	AN200 ～ 203, 206 ～ 211, 216, 217 (ユニット2：12本)		AN200 ～ 211, 216, 217 (ユニット2：14本)
	3チャネル同時サンプリング機能	3チャネル×2ユニット (ユニット0, 1)			
	プログラマブルゲインアンプ	6チャネル			
コンパレータC		6チャネル			
D/Aコンバータ		2チャネル			
温度センサ		1チャネル			

表1.2 パッケージ別機能比較一覧 (2 / 2)

モジュール/機能	RX72Tグループ			
	PGA疑似差動入力あり			PGA疑似差動入力なし
	USBあり		USBなし	
	144ピン	100ピン	100ピン	100ピン
CRC演算器	あり			
クロック周波数精度測定回路	あり			
Trusted Secure IP (TSIP-Lite)	あり / なし			
イベントリンクコントローラ	あり			
パッケージ	144 ピン LFQFP	100 ピン LFQFP	100 ピン LFQFP	100 ピン LFQFP

注1. PGA疑似差動入力を許可しているときは、AN007、AN107は使用できません。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	パッケージ	コードフラッシュメモリ容量	RAM容量	データフラッシュメモリ容量	PGA疑似差動入力	TSIP-Lite	USB	動作周囲温度
RX72T (Dバージョン)	R5F572TKCDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	–40～+85°C
	R5F572TKGDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	–40～+85°C
	R5F572TFCDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	–40～+85°C
	R5F572TFGDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	–40～+85°C
	R5F572TKADFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	なし	–40～+85°C
	R5F572TKBDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	なし	–40～+85°C
	R5F572TKCDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	–40～+85°C
	R5F572TKEDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	なし	–40～+85°C
	R5F572TKFDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	なし	–40～+85°C
	R5F572TKGDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	–40～+85°C
	R5F572TFADFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	なし	–40～+85°C
	R5F572TFBDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	なし	–40～+85°C
	R5F572TFCDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	–40～+85°C
	R5F572TFEDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	なし	–40～+85°C
	R5F572TFFDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	なし	–40～+85°C
	R5F572TFGDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	–40～+85°C
RX72T (Gバージョン)	R5F572TKCGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	–40～+105°C
	R5F572TKGGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	–40～+105°C
	R5F572TFCGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	–40～+105°C
	R5F572TFGGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	–40～+105°C
	R5F572TKAGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	なし	–40～+105°C
	R5F572TKBGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	なし	–40～+105°C
	R5F572TKCGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	–40～+105°C
	R5F572TKEGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	なし	–40～+105°C
	R5F572TKFGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	なし	–40～+105°C
	R5F572TKGGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	–40～+105°C
	R5F572TFAGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	なし	–40～+105°C
	R5F572TFBGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	なし	–40～+105°C
	R5F572TFCGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	–40～+105°C
	R5F572TFEGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	なし	–40～+105°C
	R5F572TFFGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	なし	–40～+105°C
	R5F572TFGGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	–40～+105°C

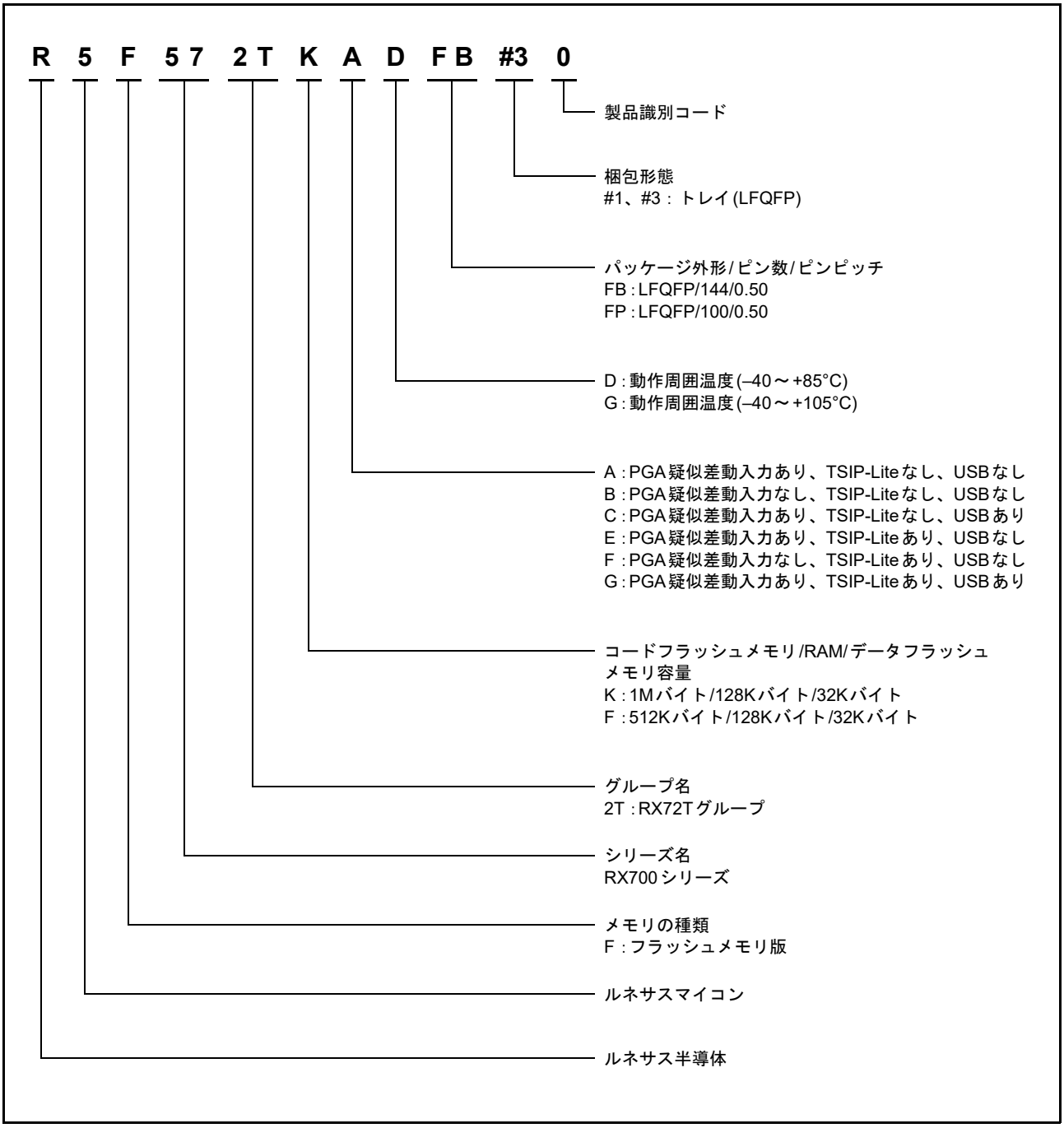


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

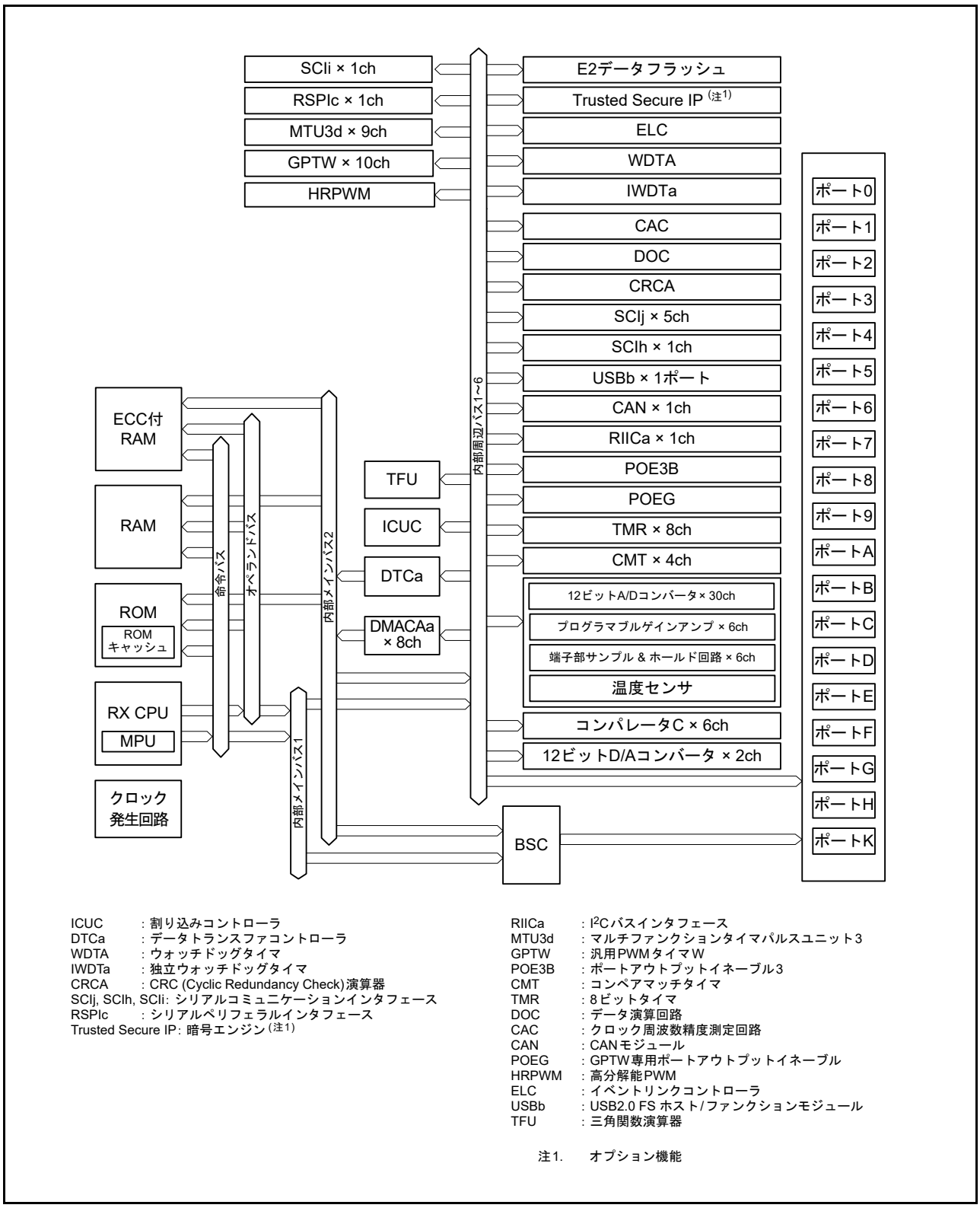


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表1.4 端子機能一覧 (1 / 6)

分類	端子名	入出力	機能
デジタル電源	VCC	—	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	—	内部電源安定用の平滑コンデンサ(0.47μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	—	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路の入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
	UB	入力	ブートモード(USBインタフェース)、またはユーザブートモードイネーブル端子
	UPSEL	入力	ブートモード(USBインタフェース)時の電源供給方式を選択。Lowでセルフパワー、Highでバスパワーを選択
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。 オンチップエミュレータを使用しない場合は、Lowとしてください
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
	TRST#	入力	オンチップエミュレータ用端子。 EMLE端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します
	TRSYNC1	出力	TRDATA4～TRDATA7端子からの出力が有効データであることを示します
	TRDATA0	出力	トレース情報を出力します
	TRDATA1		
	TRDATA2		
	TRDATA3		
	TRDATA4		
	TRDATA5		
	TRDATA6		
	TRDATA7		
アドレスバス	A0～A20	出力	アドレスバス出力
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス

表1.4 端子機能一覧 (2 / 6)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストローブ信号
	WR#	出力	1ライトストローブモード時、外部バスインタフェース空間をライト中であることを示すストローブ信号
	WR0#, WR1#	出力	バイトストローブモード時、外部バスインタフェース空間をライト中で、データバス(D7～D0, D15～D8)のいずれかが有効であることを示すストローブ信号
	BC0#, BC1#	出力	1ライトストローブモード時、外部バスインタフェース空間をアクセス中で、データバス(D7～D0, D15～D8)のいずれかが有効であることを示すストローブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#～CS3#	出力	CS領域選択信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ15	入力	割り込み要求端子
	IRQ0-DS～IRQ15-DS	入力	割り込み要求端子、ディープソフトウェアスタンバイモードの解除端子
マルチファンクションタイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0A#, MTIOC0B#, MTIOC0C#, MTIOC0D#	入出力	TGRA0～TGRD0のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A#, MTIOC1B#	入出力	TGRA1, TGRB1のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A#, MTIOC2B#	入出力	TGRA2, TGRB2のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A#, MTIOC3B#, MTIOC3C#, MTIOC3D#	入出力	TGRA3～TGRD3のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A#, MTIOC4B#, MTIOC4C#, MTIOC4D#	入出力	TGRA4～TGRD4のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5U#, MTIC5V#, MTIC5W#	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ反転入力/外部パルス反転入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6～TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6A#, MTIOC6B#, MTIOC6C#, MTIOC6D#	入出力	TGRA6～TGRD6のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7～TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A#, MTIOC7B#, MTIOC7C#, MTIOC7D#	入出力	TGRA7～TGRD7のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D	入出力	TGRA9～TGRD9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9A#, MTIOC9B#, MTIOC9C#, MTIOC9D#	入出力	TGRA9～TGRD9のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子

表1.4 端子機能一覧 (3 / 6)

分類	端子名	入出力	機能
マルチファンクション タイマパルスユニット3	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
	MTCLKA#, MTCLKB#, MTCLKC#, MTCLKD#	入力	外部クロックの反転入力端子
	ADSM0, ADSM1	出力	A/D変換開始要求フレーム同期信号出力端子
汎用PWMタイマ	GTETRGA	入力	外部トリガ入力端子
	GTETRGB		
	GTETRGC		
	GTETRGD		
	GTIOC0A～GTIOC9A, GTIOC0B～GTIOC9B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0A#～GTIOC9A#, GTIOC0B#～GTIOC9B#	入出力	インプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTADSM0, GTADSM1	出力	A/D変換開始要求モニタ出力端子
8ビットタイマ	TMO0～TMO7	出力	コンペアマッチ出力端子
	TMCI0～TMCI7	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI7	入力	カウンタリセット入力端子
ポートアウトプットイネーブル3	POE0#, POE4#, POE8#, POE9#, POE10#, POE11#, POE12#, POE13#, POE14#	入力	MTU3およびGPTW用の端子をハイインピーダンス状態にする要求信号を入力
シリアル コミュニケーション インタフェース(SCIj)	・調歩同期式モード/クロック同期式モード		
	SCK1, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子
	RXD1, RXD5, RXD6, RXD8, RXD9	入力	受信データ入力端子
	TXD1, TXD5, TXD6, TXD8, TXD9	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#, CTS8#, CTS9#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#, RTS6#, RTS8#, RTS9#	出力	送受信開始制御用出力端子
	・簡易I^2Cモード		
	SSCL1, SSCL5, SSCL6, SSCL8, SSCL9	入出力	I^2Cクロック入出力端子
	SSDA1, SSDA5, SSDA6, SSDA8, SSDA9	入出力	I^2Cデータ入出力端子
	・簡易SPIモード		
	SCK1, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6, SMISO8, SMISO9	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6, SMOSI8, SMOSI9	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#, SS8#, SS9#	入力	チップセレクト入力端子

表1.4 端子機能一覧 (4 / 6)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース(SCIh)	・調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	・簡易I²Cモード		
	SSCL12	入出力	I²Cクロック入出力端子
	SSDA12	入出力	I²Cデータ入出力端子
	・簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	・拡張シリアルモード		
	RXDX12	入力	受信データ入力端子
	TXDX12	出力	送信データ出力端子
	SIOX12	入出力	送受信データ入出力端子
シリアル コミュニケーション インタフェース(SCIi)	・調歩同期式モード/クロック同期式モード		
	SCK11	入出力	クロック入出力端子
	RXD11	入力	受信データ入力端子
	TXD11	出力	送信データ出力端子
	CTS11#	入力	送受信開始制御用入力端子
	RTS11#	出力	送受信開始制御用出力端子
	・簡易I²Cモード		
	SSCL11	入出力	I²Cクロック入出力端子
	SSDA11	入出力	I²Cデータ入出力端子
	・簡易SPIモード		
	SCK11	入出力	クロック入出力端子
	SMISO11	入出力	スレーブ送出データ入出力端子
	SMOSI11	入出力	マスタ送出データ入出力端子
	SS11#	入力	チップセレクト入力端子
I²Cバスインタフェース	SCL0	入出力	I²Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I²Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
USB2.0 ホスト/ファンクションモジュール	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB0_DP	入出力	USBバスのD+データ
	USB0_DM	入出力	USBバスのD-データ
	USB0_EXICEN	出力	OTG電源ICに接続
	USB0_ID	入力	OTG電源ICに接続
	USB0_VBUSEN	出力	USB用VBUSパワーイネーブル端子
	USB0_OVRCURA, USB0_OVRCURB	入力	USB用オーバカレント端子
	USB0_VBUS	入力	USBケーブルの接続/切断検出入力端子

表1.4 端子機能一覧 (5 / 6)

分類	端子名	入出力	機能
CANモジュール	CRX	入力	入力端子
	CTX	出力	出力端子
シリアルペリフェラルインタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000～AN002, AN100～AN102	入力	A/Dコンバータのアナログ入力端子(PGA疑似差動入力時は+側入力)
	AN003～AN007, AN103～AN107, AN200～AN211, AN216～AN217	入力	A/Dコンバータのアナログ入力端子
	ADST0, ADST1, ADST2	出力	AD変換中を示すステータス出力端子
	ADTRG0#, ADTRG1#, ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
	PGAVSS0, PGAVSS1	入力	ユニット内のPGA疑似差動入力の共通基準グランド端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータC	COMP0～COMP5	出力	コンパレータ検出結果出力端子
	CVREFC0, CVREFC1	入力	コンパレータC用のリファレンス電圧端子
	CMPCnm	入力	CMPCn用アナログ入力端子(n = 0～5, m = 0～3)
アナログ電源	AVCC0	—	12ビットA/Dコンバータ0のアナログ電源端子。12ビットA/Dコンバータ0を使用しない場合は、AVCC1/AVCC2のいずれかに接続してください
	AVSS0	—	12ビットA/Dコンバータ0のアナロググランド端子。12ビットA/Dコンバータ0を使用しない場合は、AVSS1/AVSS2のいずれかに接続してください
	AVCC1	—	12ビットA/Dコンバータ1のアナログ電源端子。 12ビットA/Dコンバータ1を使用しないが12ビットA/Dコンバータ0を使用する場合は、AVCC0に接続してください。 12ビットA/Dコンバータ1、12ビットA/Dコンバータ0を使用しない場合は、AVCC2に接続してください
	AVSS1	—	12ビットA/Dコンバータ1のアナロググランド端子。 12ビットA/Dコンバータ1を使用しないが12ビットA/Dコンバータ0を使用する場合は、AVSS0に接続してください。 12ビットA/Dコンバータ1、12ビットA/Dコンバータ0を使用しない場合は、AVSS2に接続してください
	AVCC2	—	12ビットA/Dコンバータ2のアナログ電源端子、D/Aコンバータの基準電源端子、コンパレータCのアナログ電源端子、温度センサのアナログ電源端子。 12ビットA/Dコンバータ2、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、AVCC0/AVCC1のいずれかに接続してください
	AVSS2	—	12ビットA/Dコンバータ2のアナロググランド端子、D/Aコンバータの基準グランド端子、コンパレータCのアナロググランド端子、温度センサのアナロググランド端子。 12ビットA/Dコンバータ2、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、AVSS0/AVSS1のいずれかに接続してください
I/Oポート	P00～P01	入出力	汎用入出力端子
	P10～P17	入出力	汎用入出力端子
	P20～P27	入出力	汎用入出力端子
	P30～P37	入出力	汎用入出力端子
	P40～P47	入出力	汎用入出力端子(P40～P42、P44～P46は入力端子)
	P50～P55	入出力	汎用入出力端子

表1.4 端子機能一覧 (6 / 6)

分類	端子名	入出力	機能
I/Oポート	P60～P65	入出力	汎用入出力端子
	P70～P76	入出力	汎用入出力端子
	P80～P82	入出力	汎用入出力端子
	P90～P96	入出力	汎用入出力端子
	PA0～PA7	入出力	汎用入出力端子
	PB0～PB7	入出力	汎用入出力端子
	PC0～PC6	入出力	汎用入出力端子
	PD0～PD7	入出力	汎用入出力端子
	PE0～PE6	入出力	汎用入出力端子(PE2は入力端子)
	PF0～PF3	入出力	汎用入出力端子
	PG0～PG2	入出力	汎用入出力端子
	PH0～PH7	入出力	汎用入出力端子(PH0、PH4は入力端子)
	PK0～PK2	入出力	汎用入出力端子

注. A/Dコンバータ、D/Aコンバータ、コンパレータC、温度センサをすべて使用しない場合、AVCC0、AVCC1、AVCC2端子はVCCに、AVSS0、AVSS1、AVSS2端子はVSSにそれぞれ接続してください。

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。

1.5 ピン配置図

1.5.1 144 ピン LFQFP (PGA 疑似差動入力あり、USB 端子あり)

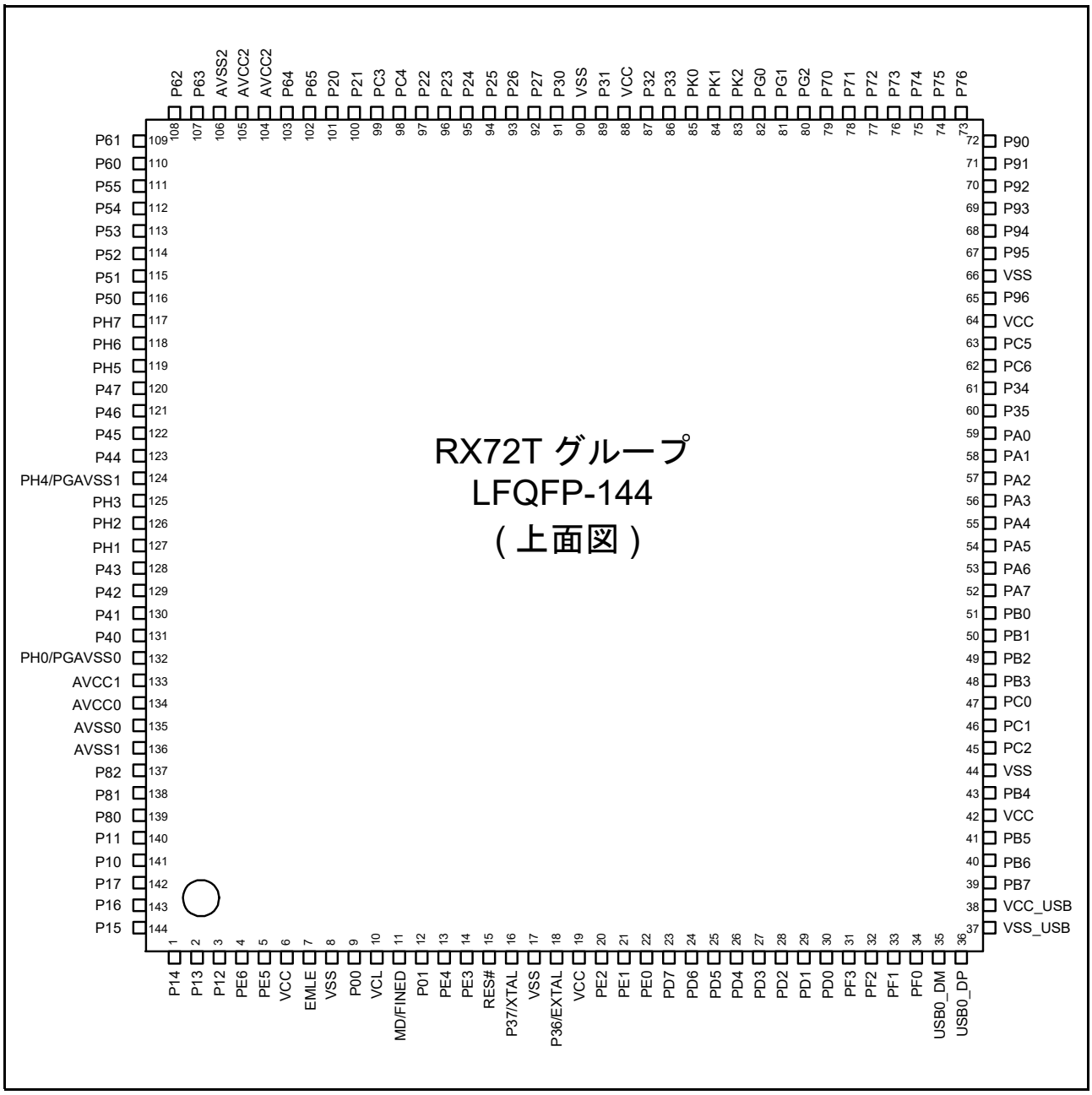


図 1.3 144 ピン (LFQFP) ピン配置図 (PGA 疑似差動入力あり、USB 端子あり)

1.5.2 100 ピン LFQFP (PGA 疑似差動入力あり、USB 端子あり)

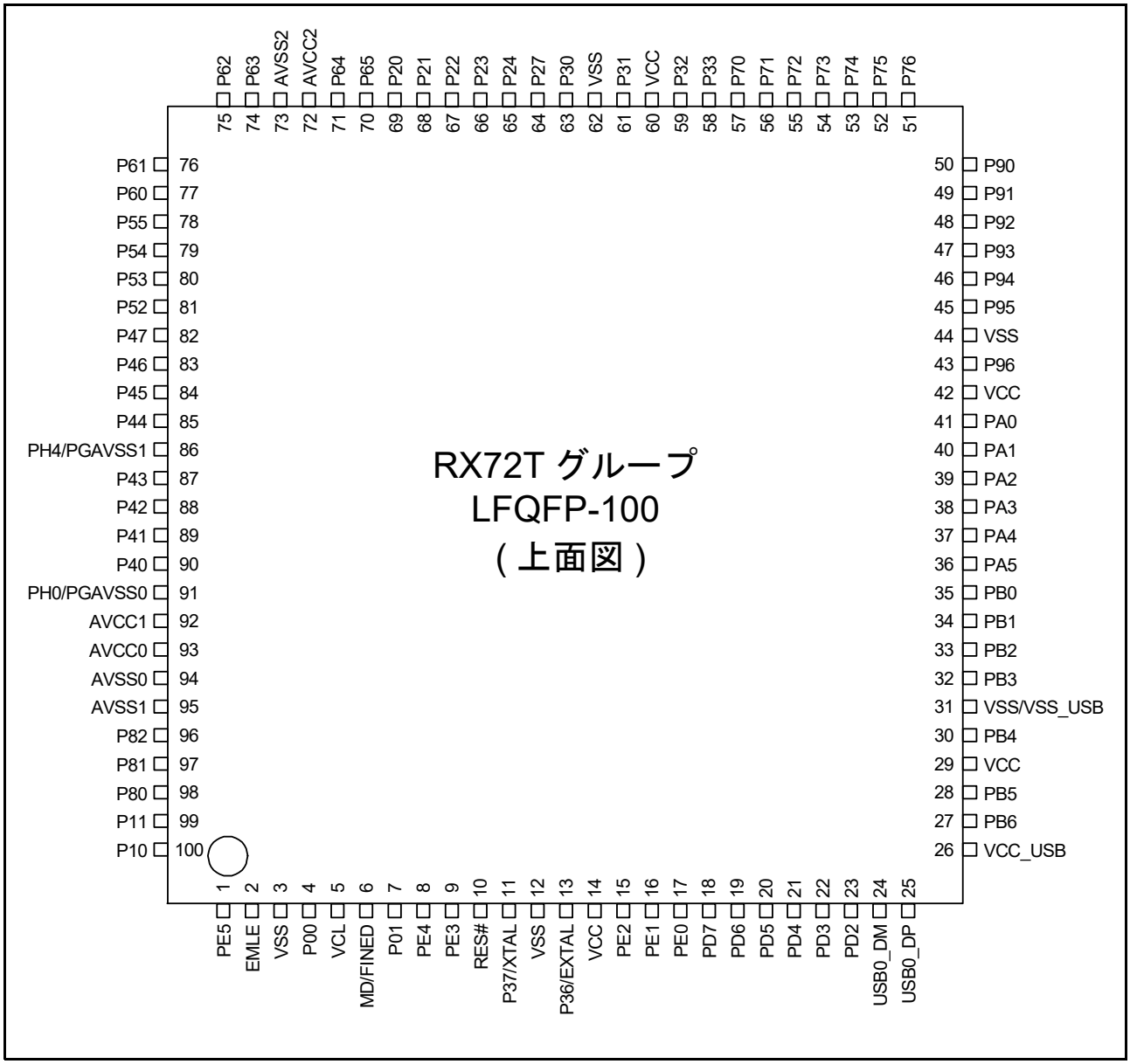


図 1.4 100 ピン (LFQFP) ピン配置図 (PGA 疑似差動入力あり、USB 端子あり)

1.5.3 100 ピン LFQFP (PGA 疑似差動入力あり、USB 端子なし)

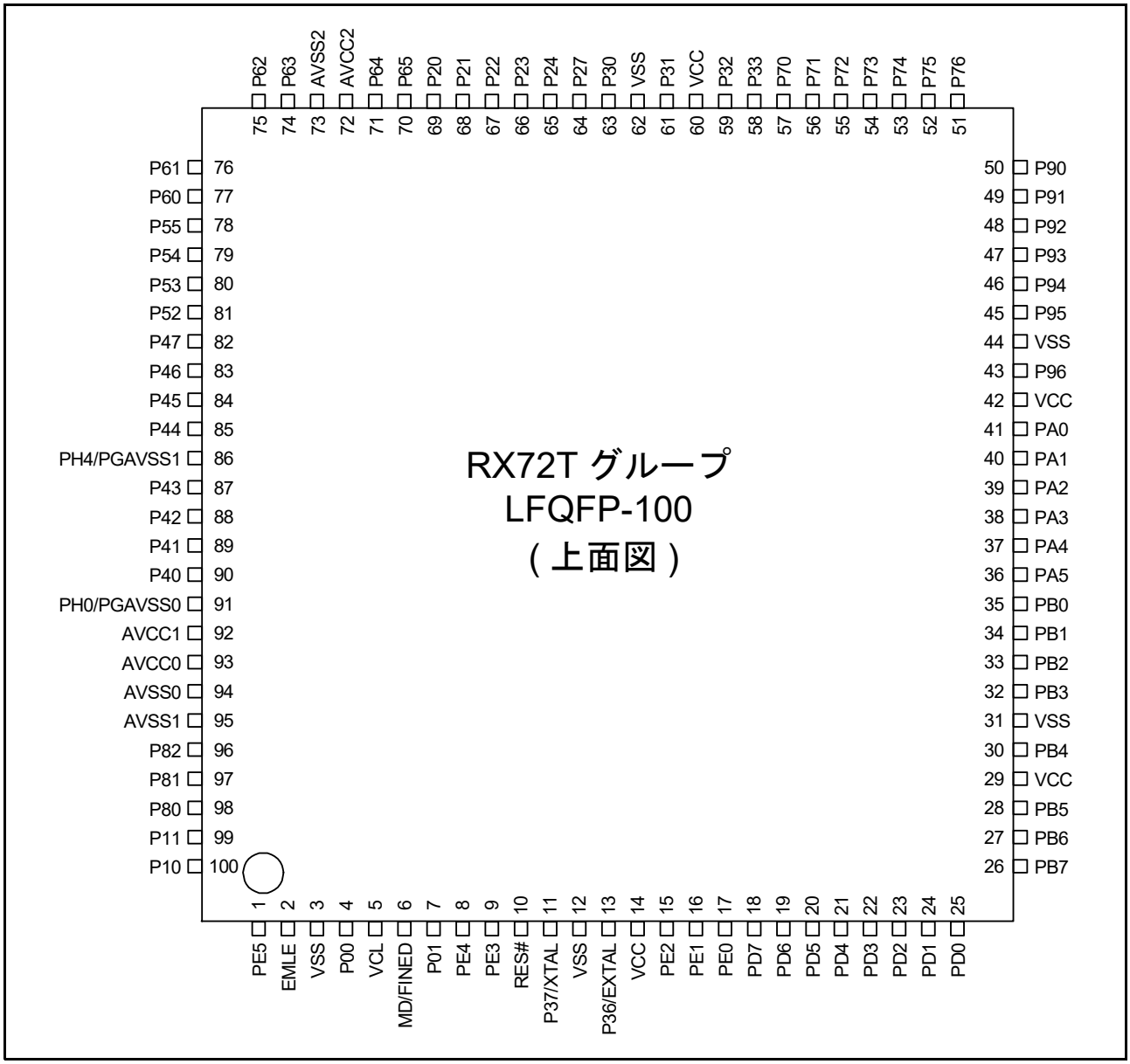


図 1.5 100 ピン (LFQFP) ピン配置図 (PGA 疑似差動入力あり、USB 端子なし)

1.5.4 100 ピン LFQFP (PGA 疑似差動入力なし、USB 端子なし)

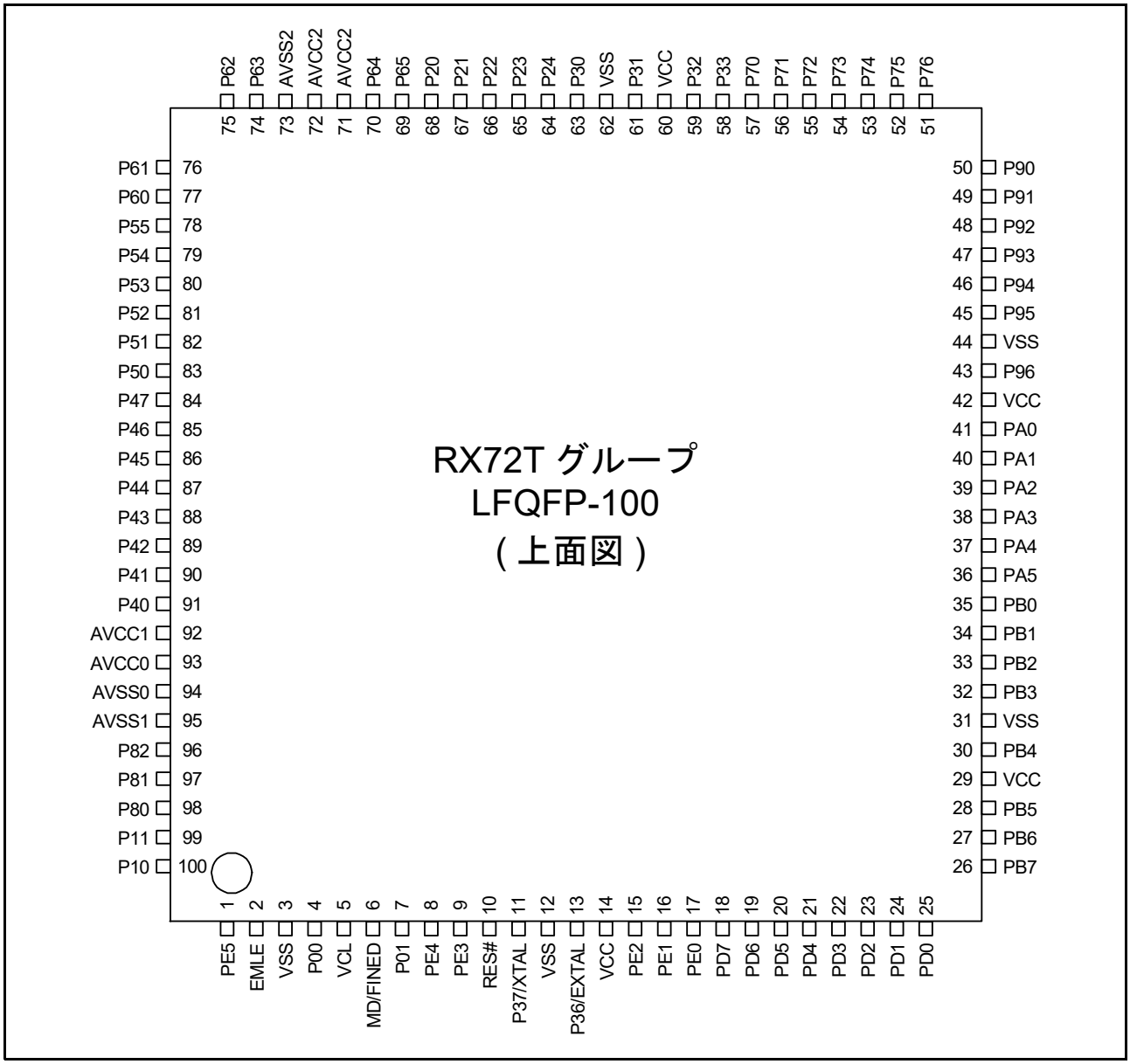


図 1.6 100 ピン (LFQFP) ピン配置図 (PGA 疑似差動入力なし、USB 端子なし)

1.6 機能別端子一覧

1.6.1 144 ピン LFQFP (PGA 疑似差動入力あり、USB 端子あり)

表 1.5 機能別端子一覧 (144 ピン PGA 疑似差動入力あり、USB 端子あり) (1 / 10)

ピン番号 144 ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
1		P14		MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC9A/ GTIOC2A#/ GTIOC9A#			IRQ11		
2		P13		MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC8A/ GTIOC1A#/ GTIOC8A#			IRQ10		
3		P12		MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC7A/ GTIOC0A#/ GTIOC7A#			IRQ9		
4		PE6	RD#	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE10#			IRQ3		
5		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRGB/ GTIOC3A#/ GTETRGD	SCK9/CTS9#/ RTS9#/SS9#		IRQ0		ADST0
6	VCC								
7	EMLE								
8	VSS								
9	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ2		ADST1/ COMP0
10	VCL								
11	MD/FINED								
12		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12		IRQ4		ADST2/ COMP1

表1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (2 / 10)

ピン番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
13		PE4	A9	MTCLKC/ MTCLKC#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE10#	SCK9		IRQ1		
14		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE11#	CTS9#/RTS9#/ SS9#		IRQ2-DS		
15	RES#								
16	XTAL	P37							
17	VSS								
18	EXTAL	P36							
19	VCC								
20	UPSEL	PE2		POE10#			NMI		
21		PE1	WR0#/ WR#	MTIOC9D/ MTIOC9D#/ TMO5	CTS5#/RTS5#/ SS5#/CTS12#/ RTS12#/SS12#/ SSLA3		IRQ15		
22		PE0	WR1#/ BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/ TMCI1/TMCI5	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	USB0_OV RCURB	IRQ7		
23	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/ TMRI1/TMRI5	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0		IRQ8		
24	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/ TMO1	CTS1#/RTS1#/ SS1#/CTS11#/ RTS11#/SS11#/ SSLA0		IRQ5		ADST0
25	TDI	PD5		GTIOC1A/ GTETRGA/ GTIOC1A#/ TMRI0/TMRI6	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11		IRQ6		
26	TCK	PD4		GTIOC1B/ GTETRGB/ GTIOC1B#/ TMCI0/TMCI6	SCK1/SCK11		IRQ2		
27	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/ TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11				

表1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (3 / 10)

ピン番号 144ピン LFQFP	電源クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
28	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/ TMCI1/TMO4	SCK5/SCK8/ MOSIA	USB0_VBUS			
29	TRDATA3	PD1	A6	GTIOC3A/ GTIOC0B/ GTIOC3A#/ GTIOC0B#/ TMO2	RXD8/SMISO8/ SSCL8/MISOA				
30	TRDATA2	PD0	A5	GTIOC3B/ GTIOC1A/ GTIOC3B#/ GTIOC1A#/ TMO6	TXD8/SMOSI8/ SSDA8/RSPCKA				
31	TRDATA7	PF3	A19/CS3#	GTETRGA/ TMO7	CTS11#/RTS11#/ SS11#/CRX0		IRQ14		COMP0
32	TRDATA6	PF2	A18/CS2#	GTETRGB/ TMO3	SCK11/CTX0		IRQ5		COMP1
33	TRDATA5	PF1	A17/CS1#	GTETRGC/ TMO5	RXD11/SMISO11/ SSCL11		IRQ13		COMP2
34	TRDATA4	PF0	A0/BC0#	GTETRGD/ TMO1	TXD11/SMOSI11/ SSDA11		IRQ12		COMP3
35						USB0_DM			
36						USB0_DP			
37	VSS_USB								
38	VCC_USB								
39	TRDATA1	PB7	A4	GTIOC1B/ GTIOC1B#	SCK5/SCK11/ SCK12	USB0_OVRCURB			
40	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/ SSCL11/RXD12/ SMISO12/ SSCL12/RXDX12/ CRX0	USB0_OVRCURA	IRQ2		
41	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/ SSDA11/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0	USB0_VBUSEN			
42	VCC								
43	TRSYNC1	PB4	A1	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	USB0_OVRCURB	IRQ3-DS		
44	VSS								
45		PC2	CS1#	MTIOC0D/ MTIOC0D#/ GTADSM0	SCK8	USB0_ID/ USB0_OVRCURA	IRQ15		ADSM0/ COMP5

表1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (4 / 10)

ピン番号 144ピン LFQFP	電源クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
46		PC1	A16	MTIOC0C/ MTIOC0C#/ GTADSM1	TXD8/SMOSI8/ SSDA8	USB0_EXICEN/ USB0_VBUSEN	IRQ13		ADSM1/ COMP4
47		PC0	CS0#	MTIOC0B/ MTIOC0B#	RXD8/SMISO8/ SSCL8	USB0_VBUS	IRQ12		COMP3
48		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA		IRQ9		
49		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/ TMRI0	TXD6/SMOSI6/ SSDA6/SDA0				ADSM0
50		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/ TMCI0	RXD6/SMISO6/ SSCL6/SCL0		IRQ4		ADSM1
51		PB0	A0/BC0#/ A4	MTIOC0D/ MTIOC0D#/ TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA		IRQ8		ADTRG2#
52		PA7	A15	MTCLKA/ MTCLKC/ MTCLKA#/ MTCLKC#/ GTADSM0/ TMO2	RXD11/SMISO11/ SSCL11/RXD12/ SMISO12/ SSCL12/RXDX12/ CRX0				ADSM0
53		PA6	A14	MTCLKB/ MTCLKD/ MTCLKB#/ MTCLKD#/ GTADSM1/ TMO6	TXD11/SMOSI11/ SSDA11/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0		IRQ7		ADSM1
54		PA5	A3	MTIOC1A/ MTIOC1A#/ TMCI3	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA		IRQ1		ADTRG1#
55		PA4	A2	MTIOC1B/ MTIOC1B#/ TMCI7	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA				ADTRG0#
56		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/ TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0				
57		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/ TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1				
58		PA1		MTIOC6A/ MTIOC6A#/ TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/ SSCL11/SSLA2/ CRX0	USB0_ID/ USB0_OVRCURA	IRQ14-DS		ADTRG0#

表1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (5 / 10)

ピン番号 144ピン LFQFP	電源クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
59		PA0		MTIOC6C/ MTIOC6C#/ TMO2	SCK9/TXD11/ SMOSI11/ SSDA11/SSLA3/ CTX0	USB0_EXI CEN/ USB0_VB USEN			
60		P35	A13	MTIOC2A/ MTIOC9A/ MTIOC2A#/ MTIOC9A#/ GTADSM0/ TMO0	CTS8#/RTS8#/ SS8#/TXD1/ SMOSI1/SSDA1		IRQ6		
61		P34	A12	MTIOC2B/ MTIOC9B/ MTIOC2B#/ MTIOC9B#/ GTADSM1/ GTETRGB/ TMO4	CTS9#/RTS9#/ SS9#/RXD1/ SMISO1/SSCL1	USB0_OV RCURB	IRQ3		
62		PC6		MTIOC1A/ MTIOC9C/ MTIOC1A#/ MTIOC9C#	RXD11/SMISO11/ SSCL11/CRX0		IRQ11-DS		
63		PC5		MTIOC1B/ MTIOC9D/ MTIOC1B#/ MTIOC9D#	TXD11/SMOSI11/ SSDA11/CTX0		IRQ10-DS		
64	VCC								
65		P96	CS0#/ WAIT#	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE4#	CTS8#/RTS8#/ SS8#		IRQ4-DS		
66	VSS								
67		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#					
68		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#					
69		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#					
70		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#					

表1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (6 / 10)

ピン番号 144ピン LFQFP	電源 クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
71		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#					
72		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#					
73		P76	D0 [A0/ D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#					
74		P75	D1 [A1/ D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#					
75		P74	D2 [A2/ D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#					
76		P73	D3 [A3/ D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#					
77		P72	D4 [A4/ D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#					
78		P71	D5 [A5/ D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#					
79		P70	D6 [A6/ D6]	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE0#	CTS9#/RTS9#/ SS9#		IRQ5-DS		
80		PG2	D11 [A11/ D11]	GTETRGA/ GTIOC0B/ GTIOC0B#	SCK9		IRQ2		COMP0

表1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (7 / 10)

ピン番号 144ピン LFQFP	電源クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
81		PG1	D12 [A12/D12]	GTIOC0A/GTIOC0A#	TXD9/SMOSI9/SSDA9		IRQ1		COMP1
82		PG0	D13 [A13/D13]	GTIOC1B/GTIOC1B#	RXD9/SMISO9/SSCL9		IRQ0		COMP2
83		PK2	D14 [A14/D14]	GTIOC1A/GTIOC1A#/POE12#	CTS9#/RTS9#/SS9#/SCK5		IRQ9-DS		COMP3
84		PK1	D15 [A15/D15]	GTIOC2B/GTIOC2B#/POE13#	CTS8#/RTS8#/SS8#/TXD5/SMOSI5/SSDA5		IRQ8-DS		COMP4
85		PK0	CS1#	GTIOC2A/GTIOC2A#/POE14#	RXD5/SMISO5/SSCL5		IRQ15-DS		COMP5
86		P33	D7 [A7/D7]	MTIOC3A/MTCLKA/MTIOC3A#/MTCLKA#/GTIOC3B/GTIOC3B#/TMO0	SSLA3		IRQ13-DS		
87		P32	D8 [A8/D8]	MTIOC3C/MTCLKB/MTIOC3C#/MTCLKB#/GTIOC3A/GTIOC3A#/TMO6	SSLA2		IRQ12-DS		
88	VCC								
89		P31	D9 [A9/D9]	MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/TMRI6	SSLA1		IRQ6		
90	VSS								
91		P30	D10 [A10/D10]	MTIOC0B/MTCLKD/MTIOC0B#/MTCLKD#/TMCI6	SCK8/CTS8#/RTS8#/SS8#/SSLA0		IRQ7		COMP3
92		P27	CS3#	MTIOC1A/MTIOC0C/MTIOC1A#/MTIOC0C#/POE9#			IRQ15		
93		P26	CS2#	MTIOC9A/MTIOC9A#	CTS1#/RTS1#/SS1#		IRQ11		ADST0
94		P25	CS3#	MTIOC9C/MTIOC9C#	SCK1		IRQ10		ADST1
95		P24	D11 [A11/D11]	MTIC5U/MTIC5U#/TMCI2/TMO6	CTS8#/RTS8#/SS8#/SCK8/RSPCKA		IRQ4		COMP0

表1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (8 / 10)

ピン番号 144ピン LFQFP	電源クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
96		P23	D12 [A12/D12]	MTIC5V/MTIC5V#/TMO2/CACREF	TXD8/SMOSI8/SSDA8/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/MOSIA/CTX0		IRQ11		COMP1
97		P22	D13 [A13/D13]	MTIC5W/MTCLKD/MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/TMO4	RXD8/SMISO8/SSCL8/RXD12/SMISO12/SSCL12/RXDX12/MISOA/CRX0		IRQ10		ADTRG2#/COMP2
98		PC4	A20	MTIOC9B/MTIOC9B#	TXD1/SMOSI1/SSDA1/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12				ADST2/COMP5
99		PC3		MTIOC9D/MTIOC9D#	RXD1/SMISO1/SSCL1/RXD12/SMISO12/SSCL12/RXDX12		IRQ14		COMP4
100		P21	D14 [A14/D14]	MTIOC9A/MTCLKA/MTIOC9A#/MTCLKA#/TMCI4	TXD8/SMOSI8/SSDA8/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/MOSIA		IRQ6-DS	AN217	ADTRG1#/COMP5
101		P20	D15 [A15/D15]	MTIOC9C/MTCLKB/MTIOC9C#/MTCLKB#/TMRI4	CTS8#/RTS8#/SS8#/SCK8/RSPCKA		IRQ7-DS	AN216	ADTRG0#/COMP4
102		P65	A12				IRQ9	AN211/CMPC53/DA1	
103		P64	A13				IRQ8	AN210/CMPC33/DA0	
104	AVCC2								
105	AVCC2								
106	AVSS2								
107		P63	A14/A12				IRQ7	AN209/CMPC23	
108		P62	A15/A13				IRQ6	AN208/CMPC43	
109		P61	A16/A14				IRQ5	AN207/CMPC13	
110		P60	A17/A15				IRQ4	AN206/CMPC03	
111		P55	A18/A16				IRQ3	AN203/CMPC32	
112		P54	A19/A17				IRQ2	AN202/CMPC22	
113		P53	A20/A18				IRQ1	AN201/CMPC12	

表1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (9 / 10)

ピン番号 144ピン LFQFP	電源クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
114		P52					IRQ0	AN200/ CMPC02	
115		P51						AN205/ CMPC52	
116		P50						AN204/ CMPC42	
117		PH7						AN106/ CVREFC1	
118		PH6						AN105	
119		PH5						AN104	
120		P47						AN103	
121		P46						AN102/ CMPC50/ CMPC51	
122		P45						AN101/ CMPC40/ CMPC41	
123		P44						AN100/ CMPC30/ CMPC31	
124		PH4						AN107/ PGAVSS1	
125		PH3						AN006/ CVREFC0	
126		PH2						AN005	
127		PH1						AN004	
128		P43						AN003	
129		P42						AN002/ CMPC20/ CMPC21	
130		P41						AN001/ CMPC10/ CMPC11	
131		P40						AN000/ CMPC00/ CMPC01	
132		PH0						AN007/ PGAVSS0	
133	AVCC1								
134	AVCC0								
135	AVSS0								
136	AVSS1								
137		P82	ALE/ WAIT#	MTIC5U/ MTIC5U#/TMO4	SCK6/SCK12		IRQ3		COMP5
138		P81	CS2#	MTIC5V/ MTIC5V#/TMCI4	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12				COMP4

表1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (10 / 10)

ピン番号 144ピン LFQFP	電源クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
139		P80	CS1#	MTIC5W/ MTIC5W#/ TMRI4	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ5		COMP3
140		P11	RD#	MTIOC3A/ MTCLKC/ MTIOC3A#/ MTCLKC#/ MTIOC9D/ GTIOC3B/ GTETRGA/ GTIOC3B#/ GTETRGC/ TMO3/POE9#			IRQ1-DS		
141		P10		MTIOC9B/ MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETRGB/ GTETRGD/ TMRI3/POE12#	CTS6#/RTS6#/ SS6#		IRQ0-DS		
142		P17		MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC9B/ GTIOC2B#/ GTIOC9B#			IRQ14		
143		P16		MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC8B/ GTIOC1B#/ GTIOC8B#			IRQ13		
144		P15		MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC7B/ GTIOC0B#/ GTIOC7B#			IRQ12		

1.6.2 100 ピン LFQFP (PGA 疑似差動入力あり、USB 端子あり)

表 1.6 機能別端子一覧(100 ピン PGA疑似差動入力あり、USB端子あり) (1 / 7)

ピン番号 100 ピン LFQFP	電源クロックシステム制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
1		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRGB/ GTIOC3A#/ GTETRGD	SCK9/CTS9#/ RTS9#/SS9#		IRQ0		ADST0
2	EMLE								
3	VSS								
4	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ2		ADST1/ COMP0
5	VCL								
6	MD/FINED								
7		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12		IRQ4		ADST2/ COMP1
8		PE4	A9	MTCLKC/ MTCLKC#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE10#	SCK9		IRQ1		
9		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE11#	CTS9#/RTS9#/ SS9#		IRQ2-DS		
10	RES#								
11	XTAL	P37							
12	VSS								
13	EXTAL	P36							
14	VCC								
15	UPSEL	PE2		POE10#			NMI		
16		PE1	WR0#/ WR#	MTIOC9D/ MTIOC9D#/ TMO5	CTS5#/RTS5#/ SS5#/CTS12#/ RTS12#/SS12#/ SSLA3		IRQ15		
17		PE0	WR1#/ BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/ TMCI1/TMCI5	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	USB0_OV RCURB	IRQ7		

表1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (2 / 7)

ピン番号 100ピン LFQFP	電源 クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
18	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/ TMRI1/TMRI5	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0		IRQ8		
19	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/ TMO1	CTS1#/RTS1#/ SS1#/CTS11#/ RTS11#/SS11#/ SSLA0		IRQ5		ADST0
20	TDI	PD5		GTIOC1A/ GTETRGA/ GTIOC1A#/ TMRI0/TMRI6	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11		IRQ6		
21	TCK	PD4		GTIOC1B/ GTETRGB/ GTIOC1B#/ TMCI0/TMCI6	SCK1/SCK11		IRQ2		
22	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/ TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11				
23	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/ TMCI1/TMO4	SCK5/SCK8/ MOSIA	USB0_VB US			
24						USB0_DM			
25						USB0_DP			
26	VCC_USB								
27	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/ SSCL11/RXD12/ SMISO12/ SSCL12/RXDX12/ CRX0	USB0_OV RCURA	IRQ2		
28	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/ SSDA11/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0	USB0_VB USEN			
29	VCC								
30		PB4	A1	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	USB0_OV RCURB	IRQ3-DS		
31	VSS/ VSS_USB								

表1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (3 / 7)

ピン番号 100ピン LFQFP	電源クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
32		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA		IRQ9		
33		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/ TMRI0	TXD6/SMOSI6/ SSDA6/SDA0				ADSM0
34		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/ TMCI0	RXD6/SMISO6/ SSCL6/SCL0		IRQ4		ADSM1
35		PB0	A0/BC0#/ A4	MTIOC0D/ MTIOC0D#/ TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA		IRQ8		ADTRG2#
36		PA5	A3	MTIOC1A/ MTIOC1A#/ TMCI3	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA		IRQ1		ADTRG1#
37		PA4	A2	MTIOC1B/ MTIOC1B#/ TMCI7	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA				ADTRG0#
38		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/ TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0				
39		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/ TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1				
40		PA1		MTIOC6A/ MTIOC6A#/ TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/ SSCL11/SSLA2/ CRX0	USB0_ID/ USB0_OV RCURA	IRQ14-DS		ADTRG0#
41		PA0		MTIOC6C/ MTIOC6C#/ TMO2	SCK9/TXD11/ SMOSI11/ SSDA11/SSLA3/ CTX0	USB0_EXI CEN/ USB0_VB USEN			
42	VCC								
43		P96	CS0#/ WAIT#	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE4#	CTS8#/RTS8#/ SS8#		IRQ4-DS		
44	VSS								
45		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#					

表1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (4 / 7)

ピン番号 100ピン LFQFP	電源 クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
46		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#					
47		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#					
48		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#					
49		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#					
50		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#					
51		P76	D0 [A0/ D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#					
52		P75	D1 [A1/ D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#					
53		P74	D2 [A2/ D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#					
54		P73	D3 [A3/ D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#					

表1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (5 / 7)

ピン番号 100ピン LFQFP	電源クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
55		P72	D4 [A4/D4]	MTIOC4A/MTIOC4A#/GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#					
56		P71	D5 [A5/D5]	MTIOC3B/MTIOC3B#/GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#					
57		P70	D6 [A6/D6]	GTETRGA/GTETRGB/GTETRGC/GTETRGD/POE0#	CTS9#/RTS9#/SS9#		IRQ5-DS		
58		P33	D7 [A7/D7]	MTIOC3A/MTCLKA/MTIOC3A#/MTCLKA#/GTIOC3B/GTIOC3B#/TMO0	SSLA3		IRQ13-DS		
59		P32	D8 [A8/D8]	MTIOC3C/MTCLKB/MTIOC3C#/MTCLKB#/GTIOC3A/GTIOC3A#/TMO6	SSLA2		IRQ12-DS		
60	VCC								
61		P31	D9 [A9/D9]	MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/TMRI6	SSLA1		IRQ6		
62	VSS								
63		P30	D10 [A10/D10]	MTIOC0B/MTCLKD/MTIOC0B#/MTCLKD#/TMCI6	SCK8/CTS8#/RTS8#/SS8#/SSLA0		IRQ7		COMP3
64		P27	CS3#	MTIOC1A/MTIOC0C/MTIOC1A#/MTIOC0C#/POE9#			IRQ15		
65		P24	D11 [A11/D11]	MTIC5U/MTIC5U#/TMCI2/TMO6	CTS8#/RTS8#/SS8#/SCK8/RSPCKA		IRQ4		COMP0
66		P23	D12 [A12/D12]	MTIC5V/MTIC5V#/TMO2/CACREF	TXD8/SMOSI8/SSDA8/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/MOSIA/CTX0		IRQ11		COMP1

表1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (6 / 7)

ピン番号 100ピン LFQFP	電源 クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
67		P22	D13 [A13/D13]	MTIC5W/MTCLKD/MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/TMO4	RXD8/SMISO8/SSCL8/RXD12/SMISO12/SSCL12/RXDX12/MISOA/CRX0		IRQ10		ADTRG2#/COMP2
68		P21	D14 [A14/D14]	MTIOC9A/MTCLKA/MTIOC9A#/MTCLKA#/TMCI4	TXD8/SMOSI8/SSDA8/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/MOSIA		IRQ6-DS	AN217	ADTRG1#/COMP5
69		P20	D15 [A15/D15]	MTIOC9C/MTCLKB/MTIOC9C#/MTCLKB#/TMRI4	CTS8#/RTS8#/SS8#/SCK8/RSPCKA		IRQ7-DS	AN216	ADTRG0#/COMP4
70		P65	A12				IRQ9	AN211/CMPC53/DA1	
71		P64	A13				IRQ8	AN210/CMPC33/DA0	
72	AVCC2								
73	AVSS2								
74		P63	A14/A12				IRQ7	AN209/CMPC23	
75		P62	A15/A13				IRQ6	AN208/CMPC43	
76		P61	A16/A14				IRQ5	AN207/CMPC13	
77		P60	A17/A15				IRQ4	AN206/CMPC03	
78		P55	A18/A16				IRQ3	AN203/CMPC32	
79		P54	A19/A17				IRQ2	AN202/CMPC22	
80		P53	A20/A18				IRQ1	AN201/CMPC12	
81		P52					IRQ0	AN200/CMPC02	
82		P47						AN103	
83		P46						AN102/CMPC50/CMPC51	
84		P45						AN101/CMPC40/CMPC41	
85		P44						AN100/CMPC30/CMPC31	
86		PH4						AN107/PGAVSS1	
87		P43						AN003	

表1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (7 / 7)

ピン番号 100ピン LFQFP	電源クロックシステム制御	I/Oポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
88		P42						AN002/ CMPC20/ CMPC21	
89		P41						AN001/ CMPC10/ CMPC11	
90		P40						AN000/ CMPC00/ CMPC01	
91		PH0						AN007/ PGAVSS0	
92	AVCC1								
93	AVCC0								
94	AVSS0								
95	AVSS1								
96		P82	ALE/ WAIT#	MTIC5U/ MTIC5U#/TMO4	SCK6/SCK12		IRQ3		COMP5
97		P81	CS2#	MTIC5V/ MTIC5V#/TMCI4	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12				COMP4
98		P80	CS1#	MTIC5W/ MTIC5W#/ TMRI4	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ5		COMP3
99		P11	RD#	MTIOC3A/ MTCLKC/ MTIOC3A#/ MTCLKC#/ MTIOC9D/ GTIOC3B/ GTETRGA/ GTIOC3B#/ GTETRGC/ TMO3/POE9#			IRQ1-DS		
100		P10		MTIOC9B/ MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETRGB/ GTETRGD/ TMRI3/POE12#	CTS6#/RTS6#/ SS6#		IRQ0-DS		

1.6.3 100 ピン LFQFP (PGA 疑似差動入力あり、USB 端子なし)

表 1.7 機能別端子一覧(100 ピン PGA疑似差動入力あり、USB端子なし) (1 / 7)

ピン番号 100 ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
1		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRGB/ GTIOC3A#/ GTETRGD	SCK9/CTS9#/ RTS9#/SS9#	IRQ0		ADST0
2	EMLE							
3	VSS							
4	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ2		ADST1/ COMP0
5	VCL							
6	MD/FINED							
7		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ4		ADST2/ COMP1
8		PE4	A9	MTCLKC/ MTCLKC#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE10#	SCK9	IRQ1		
9		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE11#	CTS9#/RTS9#/SS9#	IRQ2-DS		
10	RES#							
11	XTAL	P37						
12	VSS							
13	EXTAL	P36						
14	VCC							
15		PE2		POE10#		NMI		
16		PE1	WR0#/WR#	MTIOC9D/ MTIOC9D#/TMO5	CTS5#/RTS5#/ SS5#/CTS12#/ RTS12#/SS12#/ SSLA3	IRQ15		
17		PE0	WR1#/ BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/TMCI1/ TMCI5	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	IRQ7		

表1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (2 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
18	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/TMRI1/ TMRI5	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0	IRQ8		
19	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/TMO1	CTS1#/RTS1#/ SS1#/CTS11#/ RTS11#/SS11#/ SSLA0	IRQ5		ADST0
20	TDI	PD5		GTIOC1A/ GTETRGA/ GTIOC1A#/TMRI0/ TMRI6	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11	IRQ6		
21	TCK	PD4		GTIOC1B/ GTETRGB/ GTIOC1B#/TMCI0/ TMCI6	SCK1/SCK11	IRQ2		
22	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11			
23	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/TMCI1/ TMO4	SCK5/SCK8/MOSIA			
24	TRDATA3	PD1	A6	GTIOC3A/ GTIOC0B/ GTIOC3A#/ GTIOC0B#/TMO2	RXD8/SMISO8/ SSCL8/MISOA			
25	TRDATA2	PD0	A5	GTIOC3B/ GTIOC1A/ GTIOC3B#/ GTIOC1A#/TMO6	TXD8/SMOSI8/ SSDA8/RSPCKA			
26	TRDATA1	PB7	A4	GTIOC1B/ GTIOC1B#	SCK5/SCK11/ SCK12			
27	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/SSCL11/ RXD12/SMISO12/ SSCL12/RXDX12/ CRX0	IRQ2		
28	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/SSDA11/ TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0			
29	VCC							
30		PB4	A1	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	IRQ3-DS		
31	VSS							

表1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (3 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
32		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA	IRQ9		
33		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/TMRI0	TXD6/SMOSI6/ SSDA6/SDA0			ADSM0
34		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/TMCI0	RXD6/SMISO6/ SSCL6/SCL0	IRQ4		ADSM1
35		PB0	A0/A4/BC0#	MTIOC0D/ MTIOC0D#/TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA	IRQ8		ADTRG2#
36		PA5	A3	MTIOC1A/ MTIOC1A#/TMCI3	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA	IRQ1		ADTRG1#
37		PA4	A2	MTIOC1B/ MTIOC1B#/TMCI7	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA			ADTRG0#
38		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0			
39		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1			
40		PA1		MTIOC6A/ MTIOC6A#/TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/SSCL11/ SSLA2/CRX0	IRQ14-DS		ADTRG0#
41		PA0		MTIOC6C/ MTIOC6C#/TMO2	SCK9/TXD11/ SMOSI11/SSDA11/ SSLA3/CTX0			
42	VCC							
43		P96	CS0#/ WAIT#	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE4#	CTS8#/RTS8#/SS8#	IRQ4-DS		
44	VSS							
45		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#				
46		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#				

表1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (4 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
47		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#				
48		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#				
49		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#				
50		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#				
51		P76	D0 [A0/D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#				
52		P75	D1 [A1/D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#				
53		P74	D2 [A2/D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#				
54		P73	D3 [A3/D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#				
55		P72	D4 [A4/D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#				

表1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (5 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
56		P71	D5 [A5/D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#				
57		P70	D6 [A6/D6]	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE0#	CTS9#/RTS9#/SS9#	IRQ5-DS		
58		P33	D7 [A7/D7]	MTIOC3A/MTCLKA/ MTIOC3A#/ MTCLKA#/ GTIOC3B/ GTIOC3B#/TMO0	SSLA3	IRQ13-DS		
59		P32	D8 [A8/D8]	MTIOC3C/MTCLKB/ MTIOC3C#/ MTCLKB#/ GTIOC3A/ GTIOC3A#/TMO6	SSLA2	IRQ12-DS		
60	VCC							
61		P31	D9 [A9/D9]	MTIOC0A/MTCLKC/ MTIOC0A#/ MTCLKC#/TMRI6	SSLA1	IRQ6		
62	VSS							
63		P30	D10 [A10/ D10]	MTIOC0B/MTCLKD/ MTIOC0B#/ MTCLKD#/TMCI6	SCK8/CTS8#/ RTS8#/SS8#/SSLA0	IRQ7		COMP3
64		P27	CS3#	MTIOC1A/ MTIOC0C/ MTIOC1A#/ MTIOC0C#/POE9#		IRQ15		
65		P24	D11 [A11/ D11]	MTIC5U/MTIC5U#/ TMCI2/TMO6	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ4		COMP0
66		P23	D12 [A12/ D12]	MTIC5V/MTIC5V#/ TMO2/CACREF	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA/CTX0	IRQ11		COMP1
67		P22	D13 [A13/ D13]	MTIC5W/MTCLKD/ MTIC5W#/ MTCLKD#/ MTIOC9B/TMRI2/ TMO4	RXD8/SMISO8/ SSCL8/RXD12/ SMISO12/SSCL12/ RXDX12/MISOA/ CRX0	IRQ10		ADTRG2# /COMP2
68		P21	D14 [A14/ D14]	MTIOC9A/MTCLKA/ MTIOC9A#/ MTCLKA#/TMCI4	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA	IRQ6-DS	AN217	ADTRG1# /COMP5
69		P20	D15 [A15/ D15]	MTIOC9C/MTCLKB/ MTIOC9C#/ MTCLKB#/TMRI4	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ7-DS	AN216	ADTRG0# /COMP4
70		P65	A12			IRQ9	AN211/ CMPC53/ DA1	

表1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (6 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
71		P64	A13			IRQ8	AN210/ CMPC33/ DA0	
72	AVCC2							
73	AVSS2							
74		P63	A12/A14			IRQ7	AN209/ CMPC23	
75		P62	A13/A15			IRQ6	AN208/ CMPC43	
76		P61	A14/A16			IRQ5	AN207/ CMPC13	
77		P60	A15/A17			IRQ4	AN206/ CMPC03	
78		P55	A16/A18			IRQ3	AN203/ CMPC32	
79		P54	A17/A19			IRQ2	AN202/ CMPC22	
80		P53	A18/A20			IRQ1	AN201/ CMPC12	
81		P52				IRQ0	AN200/ CMPC02	
82		P47					AN103	
83		P46					AN102/ CMPC50/ CMPC51	
84		P45					AN101/ CMPC40/ CMPC41	
85		P44					AN100/ CMPC30/ CMPC31	
86		PH4					AN107/ PGAVSS1	
87		P43					AN003	
88		P42					AN002/ CMPC20/ CMPC21	
89		P41					AN001/ CMPC10/ CMPC11	
90		P40					AN000/ CMPC00/ CMPC01	
91		PH0					AN007/ PGAVSS0	
92	AVCC1							
93	AVCC0							
94	AVSS0							
95	AVSS1							
96		P82	ALE/WAIT#	MTIC5U/MTIC5U#/ TMO4	SCK6/SCK12	IRQ3		COMP5

表1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (7 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
97		P81	CS2#	MTIC5V/MTIC5V#/ TMCI4	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12			COMP4
98		P80	CS1#	MTIC5W/MTIC5W#/ TMRI4	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ5		COMP3
99		P11	RD#	MTIOC3A/MTCLKC/ MTIOC3A#/ MTCLKC#/ MTIOC9D/ GTIOC3B/ GTETRGA/ GTIOC3B#/ GTETRGC/TMO3/ POE9#		IRQ1-DS		
100		P10		MTIOC9B/MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETRGB/ GTETRGD/TMRI3/ POE12#	CTS6#/RTS6#/SS6#	IRQ0-DS		

1.6.4 100 ピン LFQFP (PGA 疑似差動入力なし、USB 端子なし)

表 1.8 機能別端子一覧(100 ピン PGA疑似差動入力なし、USB端子なし) (1 / 7)

ピン番号 100 ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
1		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRGB/ GTIOC3A#/ GTETRGD	SCK9/CTS9#/ RTS9#/SS9#	IRQ0		ADST0
2	EMLE							
3	VSS							
4	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ2		ADST1/ COMP0
5	VCL							
6	MD/FINED							
7		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ4		ADST2/ COMP1
8		PE4	A9	MTCLKC/ MTCLKC#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE10#	SCK9	IRQ1		
9		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE11#	CTS9#/RTS9#/SS9#	IRQ2-DS		
10	RES#							
11	XTAL	P37						
12	VSS							
13	EXTAL	P36						
14	VCC							
15		PE2		POE10#		NMI		
16		PE1	WR0#/WR#	MTIOC9D/ MTIOC9D#/TMO5	CTS5#/RTS5#/ SS5#/CTS12#/ RTS12#/SS12#/ SSLA3	IRQ15		
17		PE0	WR1#/BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/TMCI1/ TMCI5	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	IRQ7		

表1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (2 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
18	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/TMRI1/ TMRI5	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0	IRQ8		
19	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/TMO1	CTS1#/RTS1#/ SS1#/CTS11#/ RTS11#/SS11#/ SSLA0	IRQ5		ADST0
20	TDI	PD5		GTIOC1A/ GTETRGA/ GTIOC1A#/TMRI0/ TMRI6	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11	IRQ6		
21	TCK	PD4		GTIOC1B/ GTETRGB/ GTIOC1B#/TMCI0/ TMCI6	SCK1/SCK11	IRQ2		
22	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11			
23	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/TMCI1/ TMO4	SCK5/SCK8/MOSIA			
24	TRDATA3	PD1	A6	GTIOC3A/ GTIOC0B/ GTIOC3A#/ GTIOC0B#/TMO2	RXD8/SMISO8/ SSCL8/MISOA			
25	TRDATA2	PD0	A5	GTIOC3B/ GTIOC1A/ GTIOC3B#/ GTIOC1A#/TMO6	TXD8/SMOSI8/ SSDA8/RSPCKA			
26	TRDATA1	PB7	A4	GTIOC1B/ GTIOC1B#	SCK5/SCK11/ SCK12			
27	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/SSCL11/ RXD12/SMISO12/ SSCL12/RXDX12/ CRX0	IRQ2		
28	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/SSDA11/ TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0			
29	VCC							
30		PB4	A1	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	IRQ3-DS		
31	VSS							

表1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (3 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
32		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA	IRQ9		
33		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/TMRI0	TXD6/SMOSI6/ SSDA6/SDA0			ADSM0
34		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/TMCI0	RXD6/SMISO6/ SSCL6/SCL0	IRQ4		ADSM1
35		PB0	A0/A4/BC0#	MTIOC0D/ MTIOC0D#/TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA	IRQ8		ADTRG2#
36		PA5	A3	MTIOC1A/ MTIOC1A#/TMCI3	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA	IRQ1		ADTRG1#
37		PA4	A2	MTIOC1B/ MTIOC1B#/TMCI7	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA			ADTRG0#
38		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0			
39		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1			
40		PA1		MTIOC6A/ MTIOC6A#/TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/SSCL11/ SSLA2/CRX0	IRQ14-DS		ADTRG0#
41		PA0		MTIOC6C/ MTIOC6C#/TMO2	SCK9/TXD11/ SMOSI11/SSDA11/ SSLA3/CTX0			
42	VCC							
43		P96	CS0#/WAIT#	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE4#	CTS8#/RTS8#/SS8#	IRQ4-DS		
44	VSS							
45		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#				
46		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#				

表1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (4 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
47		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#				
48		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#				
49		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#				
50		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#				
51		P76	D0 [A0/D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#				
52		P75	D1 [A1/D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#				
53		P74	D2 [A2/D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#				
54		P73	D3 [A3/D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#				
55		P72	D4 [A4/D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#				

表1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (5 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
56		P71	D5 [A5/D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#				
57		P70	D6 [A6/D6]	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE0#	CTS9#/RTS9#/SS9#	IRQ5-DS		
58		P33	D7 [A7/D7]	MTIOC3A/MTCLKA/ MTIOC3A#/ MTCLKA#/ GTIOC3B/ GTIOC3B#/TMO0	SSLA3	IRQ13-DS		
59		P32	D8 [A8/D8]	MTIOC3C/MTCLKB/ MTIOC3C#/ MTCLKB#/ GTIOC3A/ GTIOC3A#/TMO6	SSLA2	IRQ12-DS		
60	VCC							
61		P31	D9 [A9/D9]	MTIOC0A/MTCLKC/ MTIOC0A#/ MTCLKC#/TMRI6	SSLA1	IRQ6		
62	VSS							
63		P30	D10 [A10/ D10]	MTIOC0B/MTCLKD/ MTIOC0B#/ MTCLKD#/TMCI6	SCK8/CTS8#/ RTS8#/SS8#/SSLA0	IRQ7		COMP3
64		P24	D11 [A11/ D11]	MTIC5U/MTIC5U#/ TMCI2/TMO6	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ4		COMP0
65		P23	D12 [A12/ D12]	MTIC5V/MTIC5V#/ TMO2/CACREF	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA/CTX0	IRQ11		COMP1
66		P22	D13 [A13/ D13]	MTIC5W/MTCLKD/ MTIC5W#/ MTCLKD#/ MTIOC9B/TMRI2/ TMO4	RXD8/SMISO8/ SSCL8/RXD12/ SMISO12/SSCL12/ RXDX12/MISOA/ CRX0	IRQ10		ADTRG2# /COMP2
67		P21	D14 [A14/ D14]	MTIOC9A/MTCLKA/ MTIOC9A#/ MTCLKA#/TMCI4	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA	IRQ6-DS	AN217	ADTRG1# /COMP5
68		P20	D15 [A15/ D15]	MTIOC9C/MTCLKB/ MTIOC9C#/ MTCLKB#/TMRI4	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ7-DS	AN216	ADTRG0# /COMP4
69		P65	A12			IRQ9	AN211/ CMPC53/ DA1	
70		P64	A13			IRQ8	AN210/ CMPC33/ DA0	
71	AVCC2							

表1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (6 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
72	AVCC2							
73	AVSS2							
74		P63	A12/A14			IRQ7	AN209/ CMPC23	
75		P62	A13/A15			IRQ6	AN208/ CMPC43	
76		P61	A14/A16			IRQ5	AN207/ CMPC13	
77		P60	A15/A17			IRQ4	AN206/ CMPC03	
78		P55	A16/A18			IRQ3	AN203/ CMPC32	
79		P54	A17/A19			IRQ2	AN202/ CMPC22	
80		P53	A18/A20			IRQ1	AN201/ CMPC12	
81		P52				IRQ0	AN200/ CMPC02	
82		P51					AN205/ CMPC52	
83		P50					AN204/ CMPC42	
84		P47					AN103	
85		P46					AN102/ CMPC50/ CMPC51	
86		P45					AN101/ CMPC40/ CMPC41	
87		P44					AN100/ CMPC30/ CMPC31	
88		P43					AN003	
89		P42					AN002/ CMPC20/ CMPC21	
90		P41					AN001/ CMPC10/ CMPC11	
91		P40					AN000/ CMPC00/ CMPC01	
92	AVCC1							
93	AVCC0							
94	AVSS0							
95	AVSS1							
96		P82	ALE/WAIT#	MTIC5U/MTIC5U#/ TMO4	SCK6/SCK12	IRQ3		COMP5

表1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (7 / 7)

ピン番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
97		P81	CS2#	MTIC5V/MTIC5V#/TMCI4	TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12			COMP4
98		P80	CS1#	MTIC5W/MTIC5W#/TMRI4	RXD6/SMISO6/SSCL6/RXD12/SMISO12/SSCL12/RXDX12	IRQ5		COMP3
99		P11	RD#	MTIOC3A/MTCLKC/MTIOC3A#/MTCLKC#/MTIOC9D/GTIOC3B/GTETRGA/GTIOC3B#/GTETRGC/TMO3/POE9#		IRQ1-DS		
100		P10		MTIOC9B/MTCLKD/MTIOC9B#/MTCLKD#/GTETRGB/GTETRGD/TMRI3/POE12#	CTS6#/RTS6#/SS6#	IRQ0-DS		

2. CPU

RXv3 CPU は、RXv3 命令セットアーキテクチャに基づいた CPU です。RXv2 CPU に比べ命令処理効率が向上しており、より高い性能を発揮します。

RXv3 命令セットアーキテクチャ (RXv3) は、RXv2 命令セットアーキテクチャ (RXv2) 、RXv1 命令セットアーキテクチャ (RXv1) と上位互換性のある命令セットアーキテクチャです。

- 可変長命令方式の採用
  可変長命令形式の採用により、使用頻度の高い命令をより短い命令長に割り付けていますので、コード効率の良いプログラムを開発できます。
- 強力な命令セット
  DSP 機能命令や浮動小数点演算命令により、DSP に匹敵するデータ処理能力を発揮します。
- 豊富なアドレッシングモード
  豊富なアドレッシングモードを持ち、レジスターレジスタ間、レジスターメモリ間の演算や、ビットを対象とする演算ができます。また、メモリ - メモリ間の転送ができます。

2.1 特長

- 最短命令実行時間：1 サイクルで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
  汎用レジスタ：32 ビット × 16 本
  制御レジスタ：32 ビット × 10 本
  アキュムレータ：72 ビット × 2 本
- 可変長命令形式 (1 バイト長～ 8 バイト長)
- 113 命令
  標準搭載命令：111 命令
  　基本命令：77 命令
  　単精度浮動小数点演算命令：11 命令
  　DSP 機能命令：23 命令
  レジスター括退避機能命令：2 命令
- プロセッサモード
  スーパバイザモード、ユーザモード
- ベクタテーブル
  例外ベクタテーブル、割り込みベクタテーブル
- メモリプロテクションユニット
- データ配置
  リトルエンディアン / ビッグエンディアン選択可能

2.2 CPU レジスタセット

CPU のレジスタには、汎用レジスタ (16 本) と、制御レジスタ (10 本)、および DSP 機能命令で使用するアキュムレータ (2 本) があります。

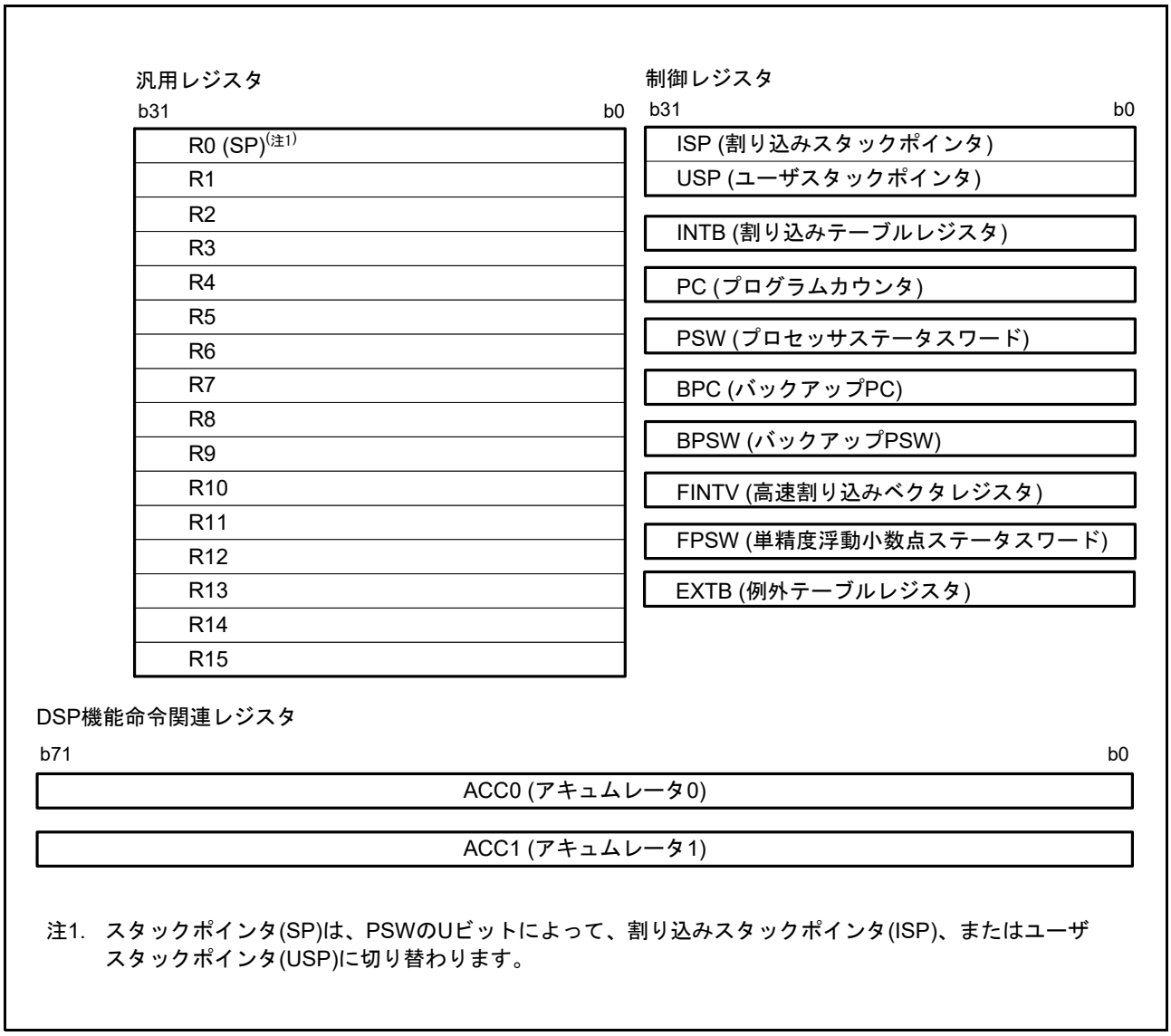


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ～ R15)

汎用レジスタは、32 ビット幅で 16 本 (R0 ～ R15) あります。汎用レジスタ R0 ～ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の 10 本のレジスタがあります。

- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 単精度浮動小数点ステータスワード (FPSW)

2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

	b31																															b0
ISP																																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b31																															b0
USP																																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の 2 種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

2.2.2.2 例外テーブルレジスタ (EXTB)

	b31																															b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0

例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

2.2.2.3 割り込みテーブルレジスタ (INTB)

	b31																															b0
リセット後の値	不定																															

割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

2.2.2.4 プログラムカウンタ (PC)

	b31																															b0
リセット後の値	リセットベクタ(FFFFFFFCh～FFFFFFFFh番地)に書かれた値																															

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.5 プロセッサステータスワード (PSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	IPL[3:0]				—	—	—	PM	—	—	U	I
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	O	S	Z	C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0：キャリの発生なし 1：キャリの発生あり	R/W
b1	Z	ゼロフラグ	0：演算結果は0でなかった 1：演算結果は0であった	R/W
b2	S	サインフラグ	0：演算結果は正または0であった 1：演算結果は負であった	R/W
b3	O	オーバフローフラグ	0：オーバフローの発生なし 1：オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0：割り込みスタックポインタ(ISP)を指定 1：ユーザスタックポインタ(USP)を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0：スーパバイザモードに設定 1：ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0：優先レベル0(最低) 0 0 0 1：優先レベル1 0 0 1 0：優先レベル2 0 0 1 1：優先レベル3 0 1 0 0：優先レベル4 0 1 0 1：優先レベル5 0 1 1 0：優先レベル6 0 1 1 1：優先レベル7 1 0 0 0：優先レベル8 1 0 0 1：優先レベル9 1 0 1 0：優先レベル10 1 0 1 1：優先レベル11 1 1 0 0：優先レベル12 1 1 0 1：優先レベル13 1 1 1 0：優先レベル14 1 1 1 1：優先レベル15(最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。
また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。

注2. スーパバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできます。

注3. スーパバイザモードからユーザモードに切り替える場合は、スタック上のPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード(PSW)は、命令実行の結果や、CPUの状態を示します。

C フラグ (キャリフラグ)

キャリ、ボロー、シフトアウトしたビット等を保持します。

Z フラグ (ゼロフラグ)

演算の結果が 0 のとき “1” になり、それ以外のとき “0” になります。

S フラグ (サインフラグ)

演算の結果が負のとき “1” になり、それ以外のとき “0” になります。

O フラグ (オーバフローフラグ)

演算の結果がオーバフローしたとき “1” になり、それ以外のとき “0” になります。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。このビットは、WAIT 命令を実行すると “1” になり、例外を受け付けると、“0” になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは “0” になります。スーパバイザモードからユーザモードに移行すると、このビットは “1” になります。

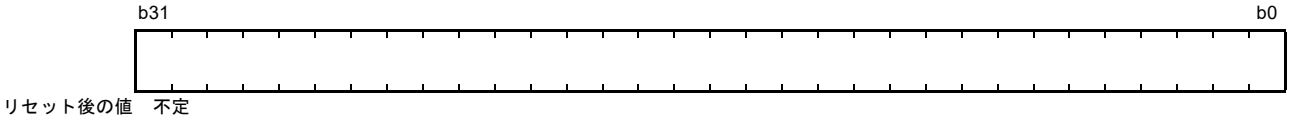
PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは “0” になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

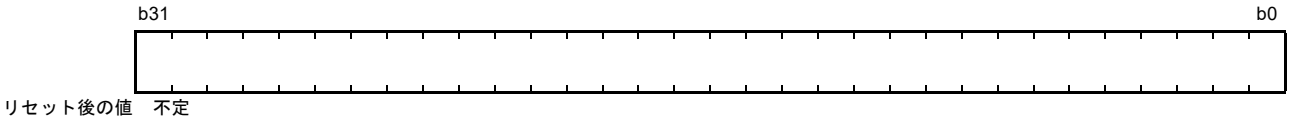
IPL[3:0] ビットは、優先レベル 0 (最低) ～優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.6 バックアップ PC (BPC)



バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避させられます。

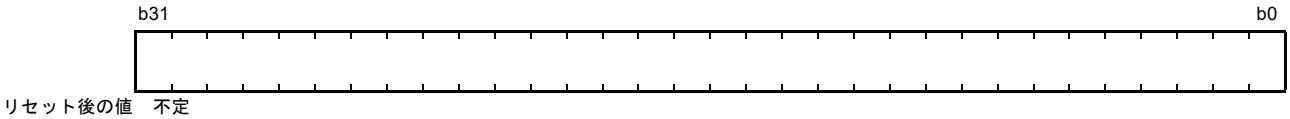
2.2.2.7 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避させられます。BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.8 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.9 単精度浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	単精度浮動小数点丸めモード設定ビット	b1 b0 0 0：最近値への丸め 0 1：0方向への丸め 1 0：+∞方向への丸め 1 1：−∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0：無効演算の発生なし 1：無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0：オーバフローの発生なし 1：オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0：ゼロ除算の発生なし 1：ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0：アンダフローの発生なし 1：アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0：精度異常の発生なし 1：精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0：非実装処理の発生なし 1：非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0：非正規化数を非正規化数として扱う 1：非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0：無効演算発生による例外処理を禁止 1：無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0：オーバフロー発生による例外処理を禁止 1：オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0：ゼロ除算発生による例外処理を禁止 1：ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0：アンダフロー発生による例外処理を禁止 1：アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0：精度異常発生による例外処理を禁止 1：精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV (注3)	無効演算フラグ	0：無効演算の発生なし 1：無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0：オーバフローの発生なし 1：オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0：ゼロ除算の発生なし 1：ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0：アンダフローの発生なし 1：アンダフローの発生あり (注8)	R/W
b30	FX (注7)	精度異常フラグ	0：精度異常の発生なし 1：精度異常の発生あり (注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	単精度浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
注2. 正の非正規化数は+0、負の非正規化数は–0として扱います。
注3. EVビットが“0”のときに、FVフラグは有効となります。
注4. EOビットが“0”のときに、FOフラグは有効となります。
注5. EZビットが“0”のときに、FZフラグは有効となります。
注6. EUビットが“0”のときに、FUフラグは有効となります。
注7. EXビットが“0”のときに、FXフラグは有効となります。
注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

単精度浮動小数点ステータスワード (FPSW) は、単精度浮動小数点演算結果を示します。

例外処理許可ビット (Ej) で例外処理を許可 (Ej = 1) した場合は、例外処理ルーチンで該当する Cj フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (Ej = 0) した場合は、一連の処理の最後に Fj フラグをチェックし、例外発生の有無を確認することができます。Fj フラグは蓄積フラグです (j = X, U, Z, O, V)。

RM[1:0] ビット (単精度浮動小数点丸めモード設定ビット)

単精度浮動小数点丸めモードを設定します。

【単精度浮動小数点丸めモードの説明】

- 最近値への丸め(デフォルト) : 無限の有効桁を持つと仮定して計算した結果に近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める(単純な切り捨て)
- +∞方向への丸め : 結果の値が大きくなる方向へ丸める
- –∞方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。
(2) 「0 方向への丸め」、「+ ∞方向への丸め」、「– ∞方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

**CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)、
CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)、
CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)**

IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他に、非実装処理が発生した場合に該当するフラグが “1” になります。

- 単精度浮動小数点演算命令実行時にこれらの例外・非実装処理が発生しなかった場合は該当するフラグが “0” になります。
- MVTC、POPC 命令で “0” を書いた場合、“0” になります。“1” を書いた場合、前の値を保持します。

DN ビット (非正規化数の 0 フラッシュビット)

“0” のとき非正規化数を非正規化数として扱います。“1” のとき非正規化数を 0 として扱います。

**EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)、
EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)、
EX ビット (精度異常例外処理許可ビット)**

単精度浮動小数点演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0” の場合、例外処理は禁止されます。“1” の場合、例外処理が許可されます。

FV フラグ (無効演算フラグ)、FO フラグ (オーバフローフラグ)、FZ フラグ (ゼロ除算フラグ)、FU フラグ (アンダフローフラグ)、FX フラグ (精度異常フラグ)

例外処理許可ビット (Ej) が “0” (例外処理を禁止) の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

- Ej = 1 (例外処理を許可) のときは、このフラグは変化しません。
- 当該フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します (蓄積フラグ)。

FS フラグ (単精度浮動小数点エラーサマリフラグ)

FU、FZ、FO、FV フラグの論理和を反映します。

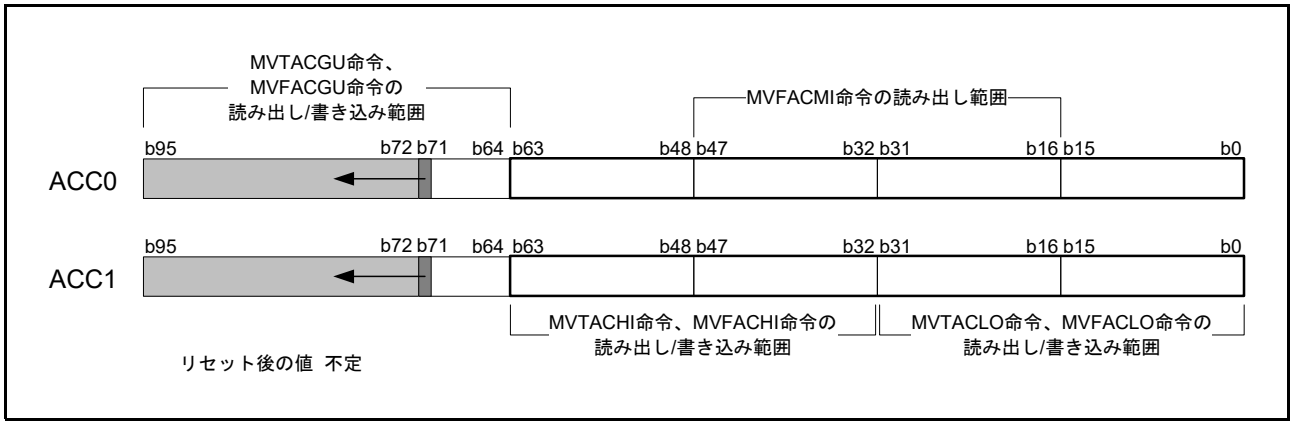
2.2.3 アキュムレータ

アキュムレータ (ACC0, ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ～ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL, EMULU, FMUL, MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は (b95 ～ b64) に、「MVTACHI 命令」は上位側 32 ビット (b63 ～ b32) に、「MVTACLO 命令」は下位側 32 ビット (b31 ～ b0) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」とを使用します。

「MVFACGU 命令」でガードビット (b95 ～ b64)、「MVFACHI 命令」で上位側 32 ビット (b63 ～ b32)、「MVFACMI 命令」で中央の 32 ビット (b47 ～ b16)、「MVFACLO 命令」で下位側 32 ビット (b31 ～ b0) のデータをそれぞれ読み出します。



注 . b95 ～ b72 は、b71 の値を符号拡張した値が読み出されます。この部分への書き込みは無視されます。

2.3 プロセッサモード

CPU には、スーパバイザモード、およびユーザモードの 2 つのプロセッサモードがあります。これらのプロセッサモードとメモリプロテクション機能を使用して、CPU リソースやメモリに対する階層的な保護機構を実現することができます。各プロセッサモードには、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパバイザモードはユーザモードより高い権限を持っています。リセット後は、スーパバイザモードで動作します。

2.3.1 スーパバイザモード

スーパバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.5 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0], PM, U, I)
- 割り込みスタックポインタ (ISP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT、SAVE、RSTR 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパバイザモードへの移行

例外が発生すると PSW.PM ビットが “0” になり、CPU はスーパバイザモードへ移行します。ハードウェア前処理は、スーパバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避させられた PSW.PM ビットに保持されます。

(2) スーパバイザモードからユーザモードへの移行

スタック上に退避させられている PSW.PM ビットを “1” にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避させられている PSW.PM ビットを “1” にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が “1” になります。

2.4 データタイプ

CPU は、整数、単精度浮動小数点数、ビット、ストリングの 4 種類のデータを扱うことができます。

詳細は「RX ファミリ RXv3 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2 の補数で表現します。

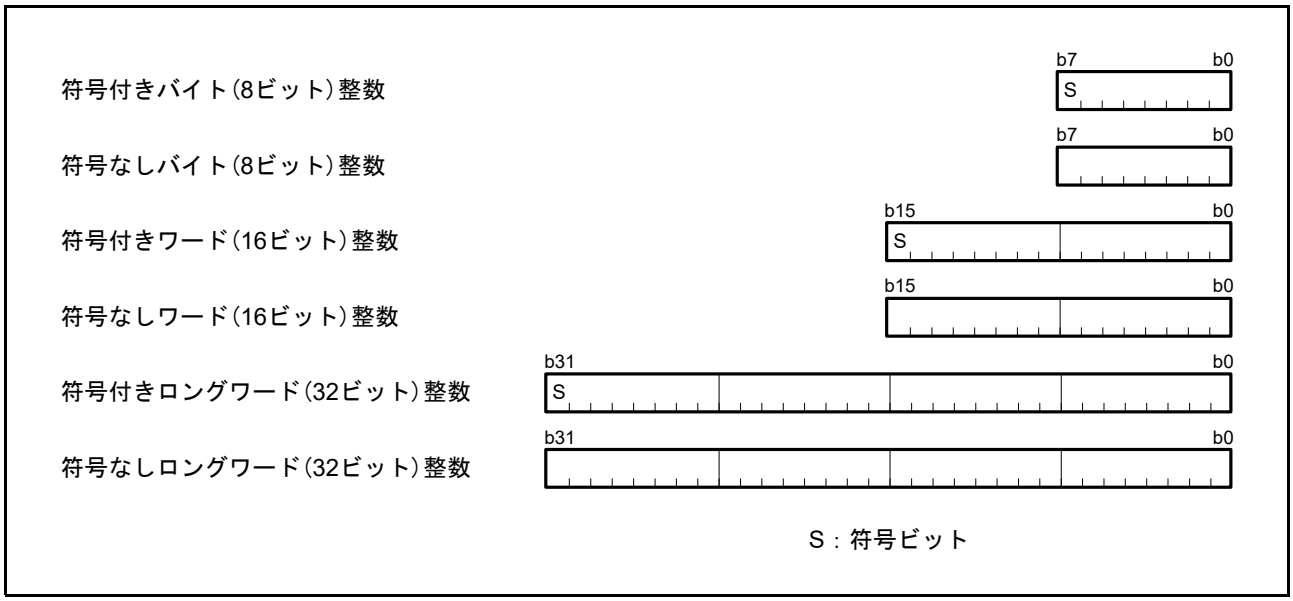


図 2.2 整数

2.4.2 単精度浮動小数点数

単精度浮動小数点数は、IEEE754 規格で規定されている単精度浮動小数点数に準拠しています。単精度浮動小数点数は、単精度浮動小数点演算命令 FADD、FCMP、FDIV、FMUL、FSQRT、FSUB、FTOI、FTOU、ITOF、ROUND、UTOF の 11 種類の命令で使用できます。

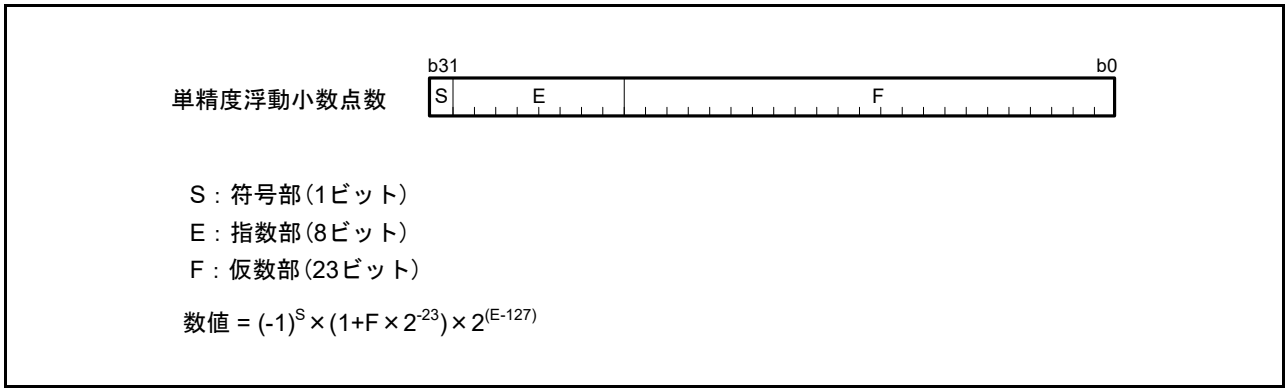


図 2.3 単精度浮動小数点数

単精度浮動小数点数は、以下の数値に対応しています。

0 < E < 255 (正規化数 - Normal Numbers)

E = 0 かつ F = 0 (ゼロ - Signed Zero)

E = 0 かつ F > 0 (非正規化数 - Denormalized Numbers) (注 1)

E = 255 かつ F = 0 (無限大 - Infinity)

E = 255 かつ F > 0 (非数 - NaN : Not a Number)

注 1. FPSW.DN ビットが “1” のときは、0 として扱います。DN ビットが “0” のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR、BMCnd、BNOT、BSET、BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31 ～ 0 のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7 ～ 0 のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

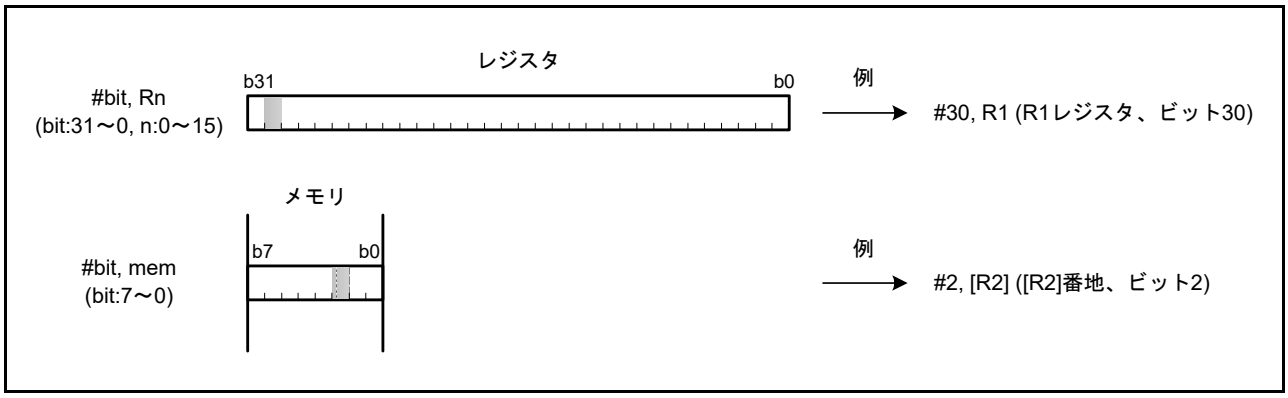


図 2.4 ビット

2.4.4 ストリング

ストリングとは、バイト (8 ビット)、ワード (16 ビット)、またはロングワード (32 ビット) のデータを任意の数だけ連続して並べたデータタイプです。ストリングは、ストリング操作命令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE の 7 種類の命令で使用できます

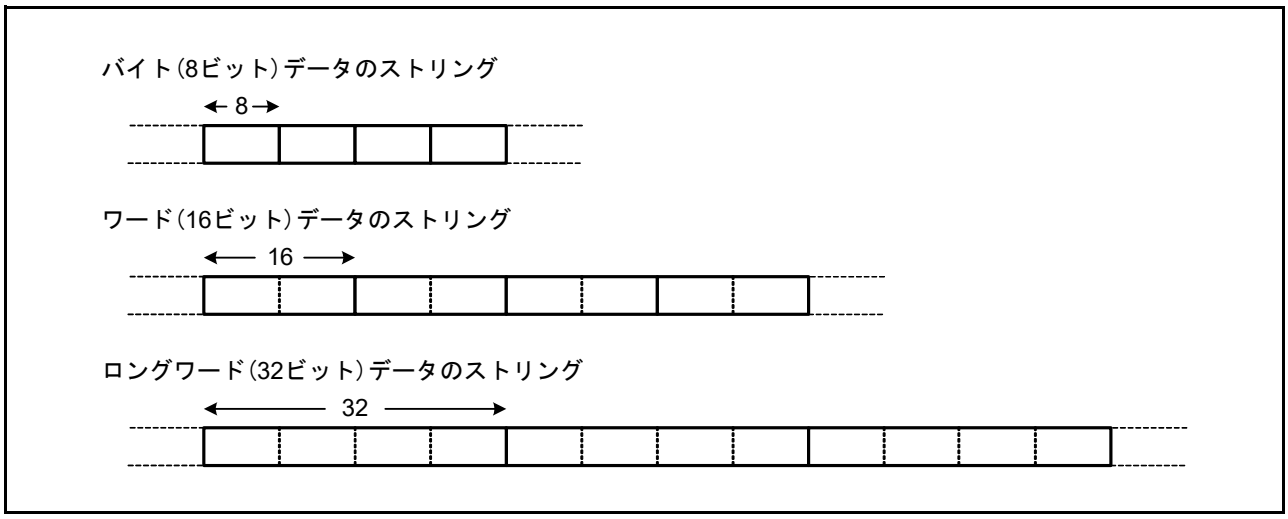


図 2.5 ストリング

2.5 エンディアン

CPU の命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ～表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ～ D0

LH は、汎用レジスタの D15 ～ D8

HL は、汎用レジスタの D23 ～ D16

HH は、汎用レジスタの D31 ～ D24 を示します。

	D31 ～ D24	D23 ～ D16	D15 ～ D8	D7 ～ D0
汎用レジスタ Rm	HH	HL	LH	LL

表2.1 リトルエンディアン設定時の32ビットリード動作

動作 / src番地	0番地を32ビットでリード	1番地を32ビットでリード	2番地を32ビットでリード	3番地を32ビットでリード	4番地を32ビットでリード
0番地	LLに転送	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—
2番地	HLに転送	LHに転送	LLに転送	—	—
3番地	HHに転送	HLに転送	LHに転送	LLに転送	—
4番地	—	HHに転送	HLに転送	LHに転送	LLに転送
5番地	—	—	HHに転送	HLに転送	LHに転送
6番地	—	—	—	HHに転送	HLに転送
7番地	—	—	—	—	HHに転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 / src番地	0番地を32ビットでリード	1番地を32ビットでリード	2番地を32ビットでリード	3番地を32ビットでリード	4番地を32ビットでリード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 / dest番地	0番地に32ビットでライト	1番地に32ビットでライト	2番地に32ビットでライト	3番地に32ビットでライト	4番地に32ビットでライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 / dest番地	0番地に32ビットでライト	1番地に32ビットでライト	2番地に32ビットでライト	3番地に32ビットでライト	4番地に32ビットでライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 / src番地	0番地を16ビットでリード	1番地を16ビットでリード	2番地を16ビットでリード	3番地を16ビットでリード	4番地を16ビットでリード	5番地を16ビットでリード	6番地を16ビットでリード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 / src番地	0番地を16ビットでリード	1番地を16ビットでリード	2番地を16ビットでリード	3番地を16ビットでリード	4番地を16ビットでリード	5番地を16ビットでリード	6番地を16ビットでリード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 / dest番地	0番地に16ビットでライト	1番地に16ビットでライト	2番地に16ビットでライト	3番地に16ビットでライト	4番地に16ビットでライト	5番地に16ビットでライト	6番地に16ビットでライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 / dest番地	0番地に16ビットでライト	1番地に16ビットでライト	2番地に16ビットでライト	3番地に16ビットでライト	4番地に16ビットでライト	5番地に16ビットでライト	6番地に16ビットでライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 / src番地	0番地を8ビットでリード	1番地を8ビットでリード	2番地を8ビットでリード	3番地を8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 / src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 / dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 / dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがって I/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章の**レジスタの説明**を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。
- 16 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を**図 2.6** に示します。

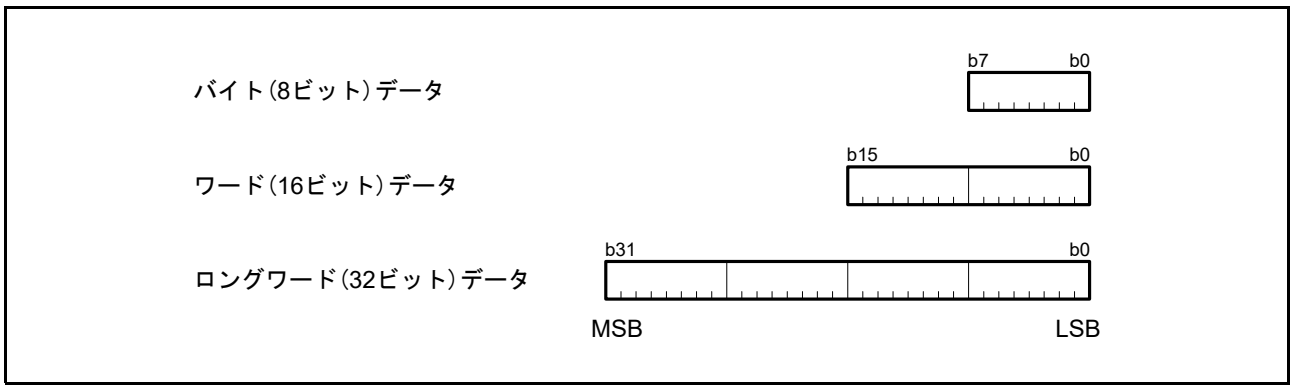


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を**図 2.7** に示します。

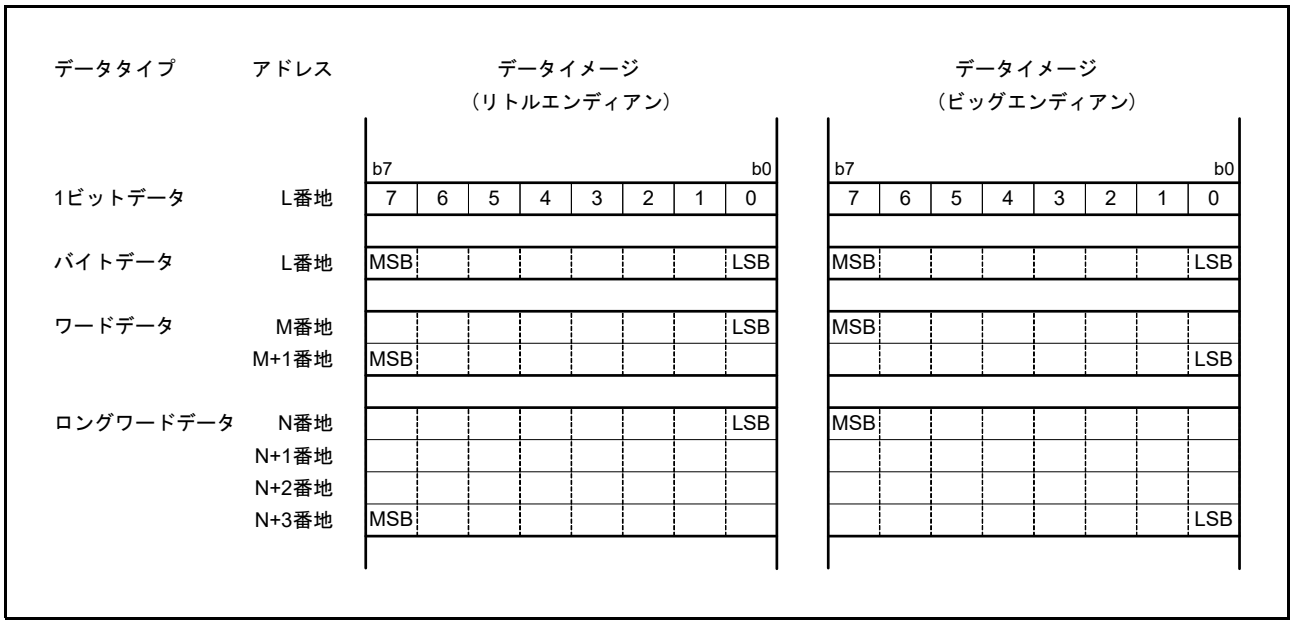


図 2.7 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、例外ベクタテーブルと割り込みベクタテーブルがあります。ベクタテーブルは、1 ベクタあたり 4 バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 例外ベクタテーブル

例外ベクタテーブルは、例外テーブルレジスタ (EXTB) の内容で示された値を先頭アドレス (ExtBase) とする 124 バイトの領域に、特権命令例外、アクセス例外、未定義命令例外、単精度浮動小数点例外、ノンマスカブル割り込みの各ベクタを配置しています。リセットのベクタは例外ベクタテーブルの値に関係なく常に FFFFFFFCh 番地に配置されます。図 2.8 に例外ベクタテーブルを示します。

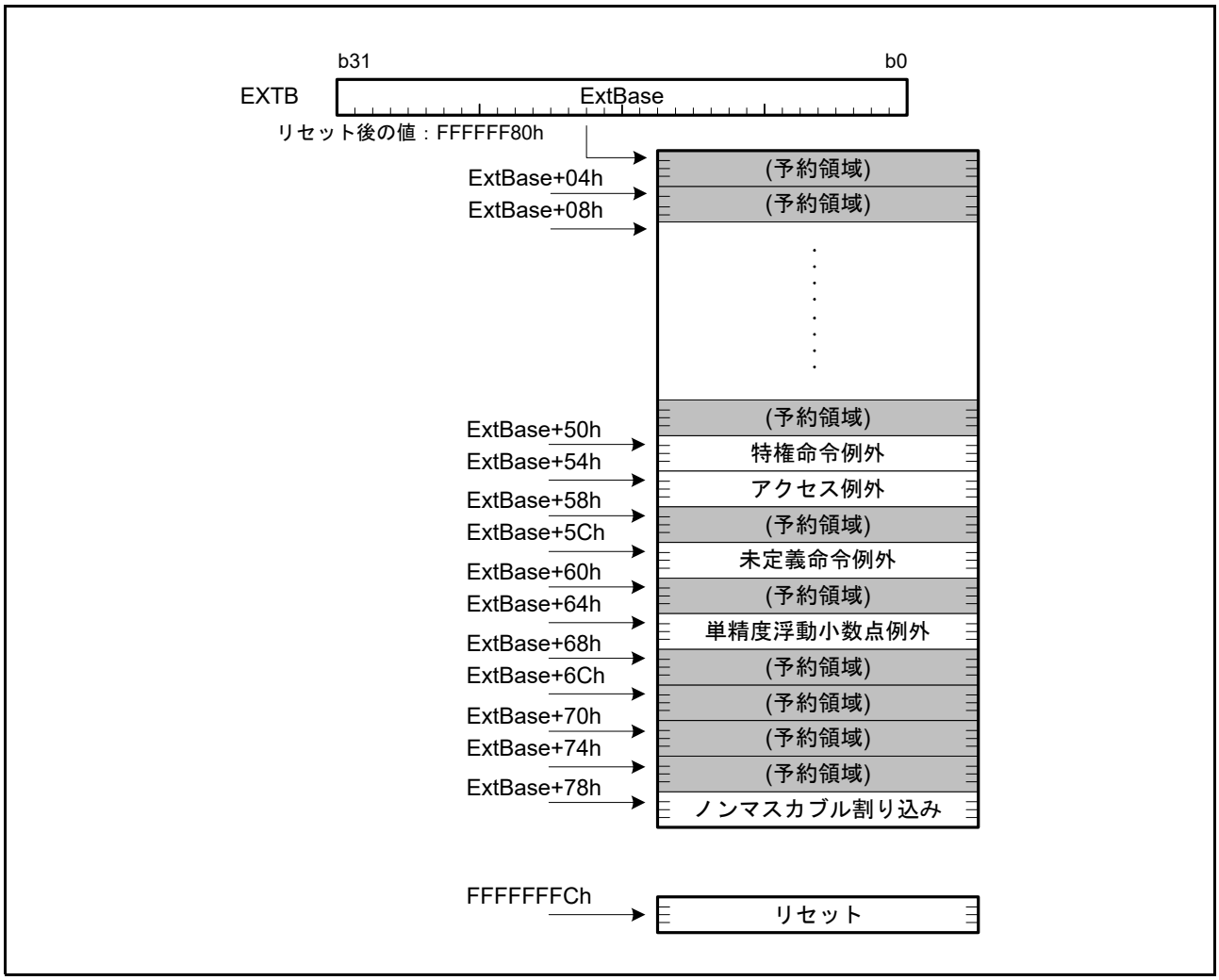


図 2.8 例外ベクタテーブル

2.6.2 割り込みベクタテーブル

割り込みベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。**図 2.9** に割り込みベクタテーブルを示します。

割り込みベクタテーブルには、ベクタごとに番号 (0 ～ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ～ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ～ 255) が割り当てられています。割り込みのベクタ番号については、**「14.3.1 割り込みのベクタテーブル」**を参照してください。

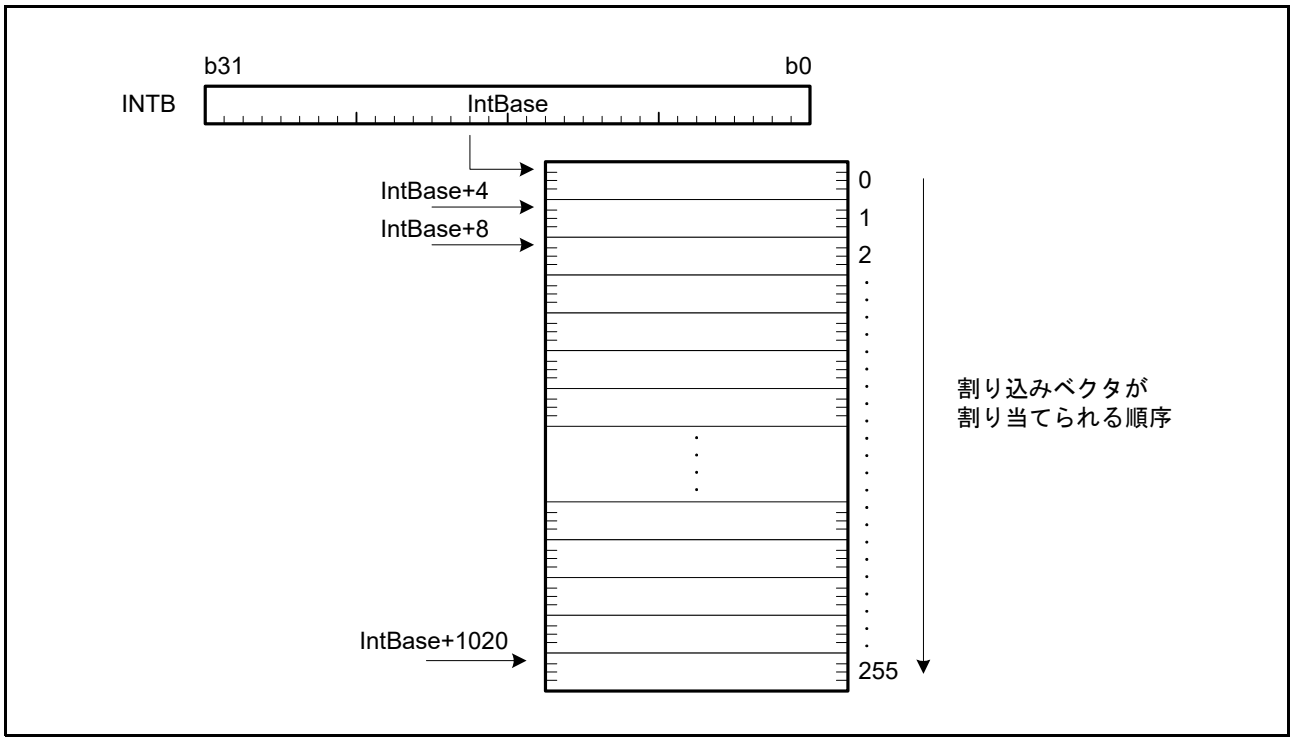


図 2.9 割り込みベクタテーブル

2.7 レジスター括退避機能

CPU は、CPU レジスタの退避・復帰を一括して高速に行うために、専用のレジスタ退避バンクとそれを使用するための命令を有しています (図 2.10 参照)。レジスタ退避バンクを使うことで、例外処理ルーチン先頭でのレジスタ退避と、末尾でのレジスタ復帰を一括して高速に行うことが可能です。

レジスタ退避バンクは SAVE 命令、RSTR 命令のみでアクセス可能な退避用領域であり、4G バイトのアドレス空間とは独立して存在します。レジスタ退避バンクは複数のバンクで構成されており、1 つのバンクに退避・復帰させられる CPU レジスタは、R0 を除く汎用レジスタと USP、FPSW、アキュムレータ (ACC0、ACC1) です。リセット後のレジスタ退避バンクに格納されている値は不定です。

レジスタ退避バンクでは、1 つのバンクに対し 1 つの番号 (バンク番号) が割り当てられています。

本 MCU では 16 バンクのレジスタ退避バンクを搭載しており、バンク番号 0 ～ 15 が使用できます。

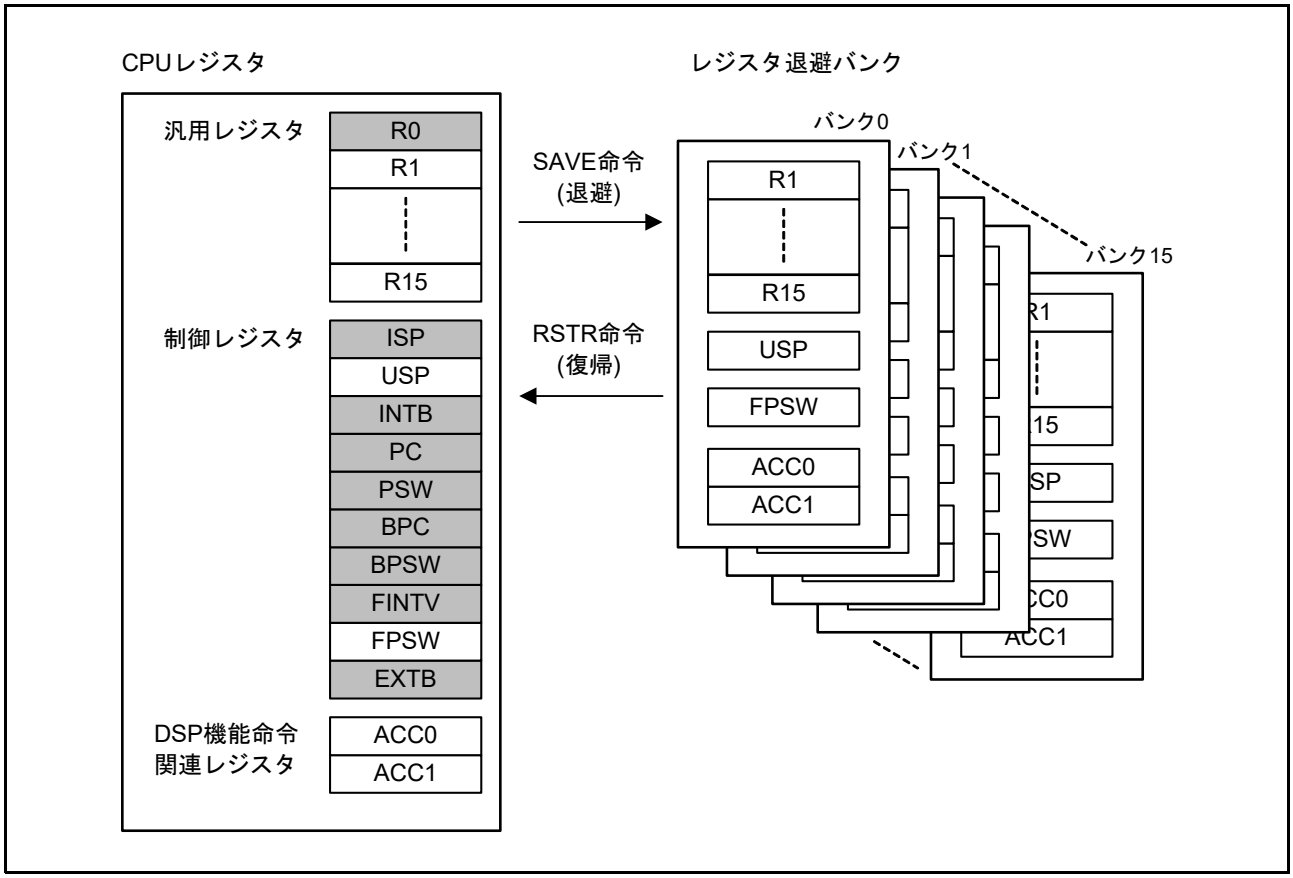


図 2.10 レジスタ退避バンク

2.8 命令動作

2.8.1 RMPA 命令、ストリング操作命令に関する制約事項

2.8.1.1 転送サイズとデータプリフェッチ

RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) は、メモリからのデータ読み出し、およびメモリへのデータ書き込みを高速に処理するため、ロングワード単位でデータ転送を行います。最後にロングワード未満のデータ処理が残った場合、以下のサイズでデータ転送を行います。

- RMPA、SSTR、SUNTIL、SWHILE 命令：サイズ指定子で指定したサイズ
- SCMPU、SMOVB、SMOVF、SMOVU 命令：バイト

また、上記の処理を行うため、RMPA 命令、および SSTR 命令を除くストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SUNTIL, SWHILE) は、メモリからのデータ読み出しにおいて、データプリフェッチを行います。データ読み出し位置に対して、最大で 3 バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.8.1.2 外部空間へのアクセス

外部空間には領域ごとのエンディアン切り替え機能 (データのみ) がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを配置することは禁止しており、その動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.8.1.3 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.9 サイクル数

2.9.1 命令とサイクル数

表 2.13 ～表 2.21 に各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM：即値
flag：ビット、フラグ
Rs, Rs2, Rd, Rd2, Ri, Rb：汎用レジスタ
As, Ad：アキュムレータ
CR：制御レジスタ
dsp：ディスプレースメント
pcdsp：ディスプレースメント

表2.13 算術/論理演算命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	• {ABS, NEG, NOT} “Rd”/“Rs, Rd” • {ADC, MAX, MIN, ROTL, ROTR} “#IMM, Rd”/“Rs, Rd” • ADD “#IMM, Rd”/“Rs, Rd”/“#IMM, Rs, Rd”/“Rs, Rs2, Rd” • {AND, MUL, OR, SUB, XOR} “#IMM, Rd”/“Rs, Rd”/“Rs, Rs2, Rd” • {CMP, TST} “#IMM, Rs”/“Rs, Rs2” • NOP • {ROLC, RORC, SAT} “Rd” • SBB “Rs, Rd” • {SHAR, SHLL, SHLR} “#IMM, Rd”/“Rs, Rd”/“#IMM, Rs, Rd”	1
	• DIV “#IMM, Rd”/“Rs, Rd”	3～20 (注1)
	• DIVU “#IMM, Rd”/“Rs, Rd”	2～18 (注1)
	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	2
	• SATR	3
算術/論理演算命令 (メモリソースオペランド)	• {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} “[Rs], Rd”/“dsp[Rs], Rd” • {CMP, TST} “[Rs], Rs2”/“dsp[Rs], Rs2”	3
	• DIV “[Rs], Rd / dsp[Rs], Rd”	5～22 (注1)
	• DIVU“[Rs], Rd / dsp[Rs], Rd”	4～20 (注1)
	• {EMUL, EMULU} “[Rs], Rd”/“dsp[Rs], Rd”	4
	• RMPA.B	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注2)
	• RMPA.W	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注2)
	• RMPA.L	6+4n nは処理ロングワード数

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。
注2. floor(x)：x以下の最大の整数

表2.14 転送命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
転送命令 (レジスタ間、即値ーレジスタ)	• MOV “#IMM, Rd”/“Rs, Rd” • {MOVU, REVL, REVW} “Rs, Rd” • SC*Cnd* “Rd” • {STNZ, STZ} “#IMM, Rd”/ “Rs, Rd”	1
	• XCHG “Rs, Rd”	2
転送命令 (ロード動作)	• {MOV, MOVU} “[Rs], Rd”/“dsp[Rs], Rd”/“[Rs+], Rd”/“[-Rs], Rd”/“[Ri, Rb], Rd” • MOVLI “[Rs], Rd” • POP “Rd”	スループット：1 レイテンシ：2 (注1)
	• POPC “CR”	スループット：3 レイテンシ：4 (注1)
	• POPM “Rd-Rd2”	スループット：n レイテンシ：n+1 nはレジスタ数 (注1、注2)
転送命令 (ストア動作)	• MOV “Rs, [Rd]”/“Rs, dsp[Rd]”/“Rs, [Rd+]”/“Rs, [-Rd]”/“Rs, [Ri, Rb]”/“#IMM, dsp[Rd]”/“#IMM, [Rd]” • PUSH “Rs” • PUSHC “CR” • SC*Cnd* “[Rd]”/“dsp[Rd]” • MOVCO “Rs, [Rd]”	1
	• PUSHM “Rs-Rs2”	n nはレジスタ数 (注3)
転送命令 (メモリーレジスタの交換)	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	2
転送命令(メモリ間転送)	• MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]”/“[Rs], dsp[Rd]”/“dsp[Rs], dsp[Rd]” • PUSH “[Rs]”/“dsp[Rs]”	3
転送命令(ビットフィールド)	• {BFMOV, BFMOVZ} “#IMM, #IMM, #IMM, R, R”	1

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

注2. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

表2.15 ビット操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
ビット操作命令(レジスタ)	• {BCLR, BNOT, BSET} “#IMM, Rd”/“Rs, Rd” • BM*Cnd* “#IMM, Rd” • BTST “#IMM, Rs”/“Rs, Rs2”	1
ビット操作命令 (メモリソースオペランド)	• {BCLR, BNOT, BSET} “#IMM, [Rd]”/“#IMM, dsp[Rd]”/“Rs, [Rd]”/“Rs, dsp[Rd]” • BM*Cnd* “#IMM, [Rd]”/“#IMM, dsp[Rd]” • BTST “#IMM, [Rs]”/“#IMM, dsp[Rs]”/“Rs, [Rs2]”/“Rs, dsp[Rs2]”	3

表2.16 分岐命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
分岐命令	• B*Cnd* “pcdsp” • {BRA, BSR} “pcdsp”/“Rs” • {JMP, JSR} “Rs”	分岐成立：3 分岐不成立：1
	• RTE	6
	• RTFI	3
	• RTS	5
	• RTSD “#IMM”	5
	• RTSD “#IMM, Rd-Rd2”	スループット：n<5?5:1+n レイテンシ：n<4?5:2+n nはレジスタ数(注1)

?：条件演算子

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

表2.17 単精度浮動小数点演算命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
単精度浮動小数点演算命令 (レジスタ間、即値－レジスタ)	• {FADD, FSUB} “#IMM, Rd”/ “Rs, Rd”/ “Rs, Rs2, Rd”	2
	• FCMP “#IMM, Rs”/“Rs, Rs2”	1
	• FDIV “#IMM, Rd”/“Rs, Rd”	16
	• FMUL “#IMM, Rd”/ “Rs, Rd” / “Rs, Rs2, Rd”	2
	• FSQRT “Rs, Rd”	16
	• {FTOI, ROUND, ITOF} “Rs, Rd”	2
	• {FTOU, UTOF} “Rs, Rd”	2
単精度浮動小数点演算命令 (メモリソースオペランド)	• {FADD, FSUB} “[Rs], Rd”/“dsp[Rs], Rd”	4
	• FCMP “[Rs], Rs2”/“dsp[Rs], Rs2”	3
	• FDIV “[Rs], Rd”/“dsp[Rs], Rd”	18
	• FMUL “[Rs], Rd”/“dsp[Rs], Rd”	4
	• FSQRT “[Rs], Rd”/“dsp[Rs], Rd”	18
	• {FTOI, ROUND, ITOF} “[Rs], Rd”/“dsp[Rs], Rd”	4
	• {FTOU, UTOF} “[Rs], Rd”/“dsp[Rs], Rd”	4

表2.18 DSP機能命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
DSP機能命令	• {EMULA, EMACA, EMSBA, MULLH, MULHI, MULLO, MACLH, MACHI, MACLO, MSBLH, MSBHI, MSBLO}“Rs, Rs2, Ad” • {MVFACHI, MVFACMI, MVFACLO, MVFACGU} “#IMM, As, Rd” • {MVTACHI, MVTACLO, MVTACGU} “Rs, Ad” • {RDACW, RDACL, RACW, RACL} “#IMM, Ad”	1

表2.19 ストリング操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
ストリング操作命令(注1)	• SCMPU	2+4×floor(n/4)+4×(n%4) nは比較バイト数(注2)
	• SMOVB	n>3?6+3×floor(n/4)+3×(n%4):2+3n nは転送バイト数(注2)
	• SMOVF, SMOVU	2+3×floor(n/4)+3×(n%4) nは転送バイト数(注2)
	• SSTR.B	2+floor(n/4)+n%4 nは転送バイト数(注2)
	• SSTR.W	2+floor(n/2)+n%2 nは転送ワード数(注2)
	• SSTR.L	2+n nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	3+3×floor(n/4)+3×(n%4) nは比較バイト数(注2)
	• SUNTIL.W, SWHILE.W	3+3×floor(n/2)+3×(n%2) nは比較ワード数(注2)
	• SUNTIL.L, SWHILE.L	3+3×n nは比較ロングワード数

?：条件演算子

注1. SCMPU、SMOVU、SWHILE、SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。
注2. floor(x)：x以下の最大の整数

表2.20 システム操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
システム操作命令	• {CLRPSW, SETPSW}“flag” • MVTC “#IMM, CR”/“Rs, CR” • MVFC “CR, Rd” • MVTIPL “#IMM”	1
	• RTE	6
	• RTFI	3

表2.21 レジスター括退避機能命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
レジスター括退避機能命令	• SAVE “#IMM”/“R”	1
	• RSTR “#IMM”/“R”	3～6

2.9.2 割り込み応答サイクル数

表 2.22 に割り込み応答処理のサイクル数を示します。

表2.22 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.22 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能な RAM と ROM キャッシュを内蔵したコードフラッシュメモリを搭載しています。プログラム (含むベクタ) はコードフラッシュメモリ、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、表 2.13 ～表 2.21 を参照してください。

割り込み受け付けタイミングは命令の実行状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

2.10 使用上の注意事項

2.10.1 レジスタ退避バンク内 RAM の自己診断に関する注意事項

本 MCU のレジスタ退避バンクは RAM で構成されています。レジスタ退避バンクにはバッファが搭載されているため、SAVE 命令で書き込みを行った後に同一バンクから RSTR 命令で読み出しを行うと、RAM のメモリセルではなくバッファのデータが読み出されることがあります。レジスタ退避バンク内 RAM の自己診断を行う場合、バッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

(1) 診断対象のバンクに SAVE 命令でデータを書く
(2) (1) のバンクとは異なるバンクに、SAVE 命令でデータを書く
(3) (1) のバンクから RSTR 命令でデータを読む

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット (RES# 端子リセット、パワーオンリセット、LVD0 リセット) 解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子 (MD、UB) のレベルと、そのとき選択される動作モードの関係を**表 3.1** に示します。各動作モードの詳細は「**3.3 動作モードの説明**」を参照してください。いずれのモードで起動した場合でも、内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) 有効、外部バス無効の状態で動作を開始します。外部バスを有効にする場合は SYSCR0.EXBE ビットを “1” (外部バス有効) にしてください。

表3.1 リセット解除時のモード設定端子による動作モードの選択

モード設定端子		動作モード	SYSCR0 レジスタ初期状態	
MD (注1)	UB (注2)		ROME ビット	EXBE ビット
High	—	シングルチップモード	1 (内蔵ROM有効)	0 (外部バス無効)
Low	Low	ブートモード(SCIインタフェース)		
	High	ブートモード(USBインタフェース)		
		ユーザブートモード		
Low→High (注3)	Low	ブートモード(FINEインタフェース)		

注1. MCU動作中にMD端子を変化させないでください。
注2. UB端子と端子を共用しているP00端子は汎用入出力ポートや周辺機能入出力端子としても使用可能です。
注3. リセット解除時はLow、その後20～100msの間にHighにしてください。

システムコントロールレジスタ 0 (SYSCR0) で設定可能な動作モードの一覧を**表 3.2** に示します。各動作モードの詳細は「**3.3 動作モードの説明**」を参照してください。

表3.2 レジスタによる動作モードの選択

SYSCR0 レジスタ		動作モード
ROME ビット	EXBE ビット	
0 (内蔵ROM無効) (注1)	0 (外部バス無効)	シングルチップモード、ユーザブートモード
1 (内蔵ROM有効)	0 (外部バス無効)	
0 (内蔵ROM無効) (注1)	1 (外部バス有効)	内蔵ROM無効拡張モード
1 (内蔵ROM有効)	1 (外部バス有効)	内蔵ROM有効拡張モード

注1. ROMEビットを“0”にすると、“1”に戻せません。

シングルチップモード、ユーザブートモードでは、エンディアンを選択することができます。エンディアンの選択は、エンディアン選択レジスタ (MDE) のエンディアン選択ビット (MDE[2:0]) で行います。設定値を**表 3.3** に示します。エンディアンの選択の詳細は「**7.2.5 エンディアン選択レジスタ (MDE)**」を参照してください。

表3.3 エンディアンの選択

MDE レジスタ	選択されるエンディアン
MDE[2:0] ビットの設定値	
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	MD	MD端子ステータスフラグ	0：MD端子は“Low” 1：MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

注1. リセット解除時のMD端子のレベルが反映されます。

3.2.2 モードステータスレジスタ (MDSR)

アドレス 0008 0002h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	UBTS	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます	R
b4-b1	—	予約ビット	読むと“0”が読めます	R
b5	UBTS	ユーザブートモード起動フラグ	0：シングルチップモードで起動した 1：ユーザブートモードで起動した	R
b15-b6	—	予約ビット	読むと“0”が読めます	R

注1. 起動時の動作モードによって異なります。

3.2.3 システムコントロールレジスタ 0 (SYSCR0)

アドレス 0008 0006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	EXBE	ROME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ROME	内蔵ROM有効ビット	0：内蔵ROM無効 1：内蔵ROM有効	R/W
b1	EXBE	外部バス有効ビット	0：外部バス無効 1：外部バス有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0キーコード	SYSCR0レジスタの書き換えの可否を制御します。 SYSCR0レジスタを書き換える場合、“5Ah”を書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

SYSCR0 レジスタは内蔵 ROM と外部バスの有効 / 無効を制御するレジスタです。16 ビット単位で書き換えてください。上位 8 ビットのデータが “5Ah” のときのみ、下位 2 ビットの値が反映されます。

ROME ビット (内蔵 ROM 有効ビット)

内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) の有効 / 無効を選択するビットです。

一旦 “0” にすると、“1” に戻すことはできません。

コードフラッシュメモリ上のプログラムを実行しているときは、“0” にしないでください。また、ROME ビットに “0” を書いた後は、ROME ビットが “0” になったことを確認してから次の処理を行ってください。

EXBE ビット (外部バス有効ビット)

外部バスの有効 / 無効を選択するビットです。

外部アドレス空間上のプログラムを実行しているときは、“0” にしないでください。また、外部バスへのアクセスが完了してから “0” を書いてください。また、CPU 以外のバスマスタ (DMAC、DTC) の転送範囲に外部アドレス空間が含まれる場合は、対応するバスマスタの動作を禁止してから実施してください。

EXBE ビットを書き換えた後は、EXBE ビットが書き換わったことを確認してから次の処理を行ってください。

なお、EXBE ビットを “1” にする場合、関連する I/O ポートの設定も必要となります。詳細は「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

KEY[7:0] ビット (SYSCR0 キーコード)

SYSCR0 レジスタへの書き込みの許可 / 禁止を制御するビットです。

ROME ビット、EXBE ビットの値を書き換えるときは、同時に KEY[7:0] ビットに “5Ah” を書いてください。KEY[7:0] ビットを “5Ah” 以外の値にして SYSCR0 レジスタに書いても、ROME、EXBE ビットの値は書き換わりません。

3.2.4 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	ECCRAME	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0：RAM無効 1：RAM有効	R/W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	ECCRAME	ECCRAM有効ビット	0：ECCRAM無効 1：ECCRAM有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RAME ビット (RAM 有効ビット)

RAM の有効 / 無効を選択するビットです。

RAM をアクセスしているときは、“0” にしないでください。また、RAME ビットを “0” から “1” に書き換えた後は、RAME ビットが “1” になったことを確認してから RAM をアクセスするようにしてください。

RAME ビットを “0” にしても、RAM の値は保持されます。ただし、「46. 電気的特性」に規定する RAM スタンバイ電圧 (VRAM) 以上の電圧を保持する必要があります。

ECCRAME ビット (ECCRAM 有効ビット)

ECCRAM の有効 / 無効を選択するビットです。

ECCRAM をアクセスしているときは、“0” にしないでください。また、ECCRAME ビットを “0” から “1” に書き換えた後は、ECCRAME ビットが “1” になったことを確認してから ECCRAM をアクセスするようにしてください。

ECCRAME ビットを “0” にしても、ECCRAM の値は保持されます。ただし「46. 電気的特性」に規定する RAM スタンバイ電圧 (VRAM) 以上の電圧を保持する必要があります。

3.2.5 電圧レベル設定レジスタ (VOLSR)

アドレス 0008 C295h

	b7	b6	b5	b4	b3	b2	b1	b0
	RICVLS	PGAVLS	—	—	—	USBVON	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	USBVON	USB電源制御ビット	0：USB不使用(ディープソフトウェアスタンバイモードを含む) 1：USB使用	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PGAVLS	PGA動作条件設定ビット	0：AVCCの電圧が4.0V以上、かつPGAの疑似差動入力を有効にし、端子に負電圧を入力する 1：AVCCの電圧が4.0V未満、または端子に負電圧を入力しない	R/W
b7	RICVLS	RIIC動作電圧設定ビット	0：VCC≧4.5V 1：VCC < 4.5V	R/W

VOLSR レジスタは USB の使用 / 不使用、PGA の使用条件、RIIC 使用時の電源電圧を設定するレジスタです。

USBVON ビット (USB 電源制御ビット)

USB を使用する場合に設定するビットです。本ビットは、USB のモジュールストップ状態を解除する前に “1” にしてください。また、ディープソフトウェアスタンバイモードへ遷移する場合は、WAIT 命令を実行する前に本ビットを “0” にしてください。

USB を搭載していない製品の場合、USB を使用しない場合は、“0” のままにしてください。

PGAVLS ビット (PGA 動作条件設定ビット)

プログラマブルゲインアンプ (PGA) を疑似差動入力で使用する場合に、負電圧が内部回路にかからないようにするためのビットです。このビットが “0” のとき、負電圧が内部回路にかからないようになっています。

AVCC の電圧が 4.0V 以上、かつ PGA の疑似差動入力を有効にし、端子に負電圧を入力するときは “0” のままにしてください。AVCC の電圧が 4.0V 未満のとき、または端子に負電圧を入力しないとき、PGA 疑似差動入力なし製品では “1” にしてください。

本ビットは、A/D コンバータのモジュールストップ状態を解除する前に設定してください。

なお、本ビットを “0” にしたままソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに遷移させると、アナログ電源に約 0.2mA のリーク電流が発生します。このリーク電流をなくしたい場合、P40 ～ P42、PH0、P44 ～ P46、PH4 端子に負電圧が入力されないようにし、本ビットを “1” にしてから WAIT 命令を実行してください。

RICVLS ビット (RIIC 動作電圧設定ビット)

RIIC のスルーレート制御を行うビットです。VCC の電圧に合わせて値を設定してください。本ビットは、RIIC のモジュールストップ状態を解除する前に設定してください。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、外部バスが無効 (SYSCR0.EXBE ビット = 0) で、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。起動時の内蔵 ROM は有効 (SYSCR0.ROME ビット = 1) です。ソフトウェアで内蔵 ROM 無効 (SYSCR0.ROME ビット = 0) にできますが、内蔵 ROM 有効 (SYSCR0.ROME ビット = 1) に戻すことはできません。

SYSCR0.EXBE ビットを “1” (外部バス有効) にし、内蔵 ROM 有効拡張モードまたは内蔵 ROM 無効拡張モードに移行することで、外部バスを使用することができます。

3.3.2 内蔵 ROM 有効拡張モード

内蔵 ROM が有効 (SYSCR0.ROME ビット = 1) で、外部バス拡張を有効 (SYSCR0.EXBE ビット = 1) にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを “1” (外部バス有効) にすると、内蔵 ROM 有効拡張モードになります。

SYSCR0.EXBE ビットを “0” (外部バス無効) にすると、シングルチップモード (内蔵 ROM 有効) に移行します。

SYSCR0.ROME ビットを “0” (内蔵 ROM 無効) にすると、内蔵 ROM 無効拡張モードに移行します。

3.3.3 内蔵 ROM 無効拡張モード

内蔵 ROM が無効 (SYSCR0.ROME ビット = 0) で、外部バス拡張を有効 (SYSCR0.EXBE ビット = 1) にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は、「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを “1” (外部バス有効)、SYSCR0.ROME ビットを “0” (内蔵 ROM 無効) にすると、内蔵 ROM 無効拡張モードになります。

内蔵 ROM を有効 (SYSCR0.ROME ビット = 1) にすることはできません。

SYSCR0.EXBE ビットを “0” (外部バス無効) にすると、シングルチップモード (内蔵 ROM 無効) に移行します。

3.3.4 ブートモード (SCI インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。調歩同期式シリアルインタフェース (SCI1) を使用して、MCU 外部から内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「45. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low、UB 端子を Low にしてリセットを解除すると、ブートモード (SCI インタフェース) で起動します。

3.3.5 ブートモード (USB インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。USB を使用して、MCU 外部から内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「45. フラッシュメモリ (FLASH)」を参照してください。

UB コード A が “FFFF FFFFh、FFFF FFFFh” のときに、MD 端子を Low、UB 端子を High にしてリセットを解除すると、ブートモード (USB インタフェース) で起動します。

3.3.6 ブートモード (FINE インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。FINE を使用して、MCU 外部から内蔵 ROM(コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「45. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low、UB 端子を Low にしてリセットを解除した後、20 ～ 100ms の間に MD 端子を High にすると、ブートモード (FINE インタフェース) で起動します。

3.3.7 ユーザブートモード

お客様が作成されたフラッシュメモリ書き換えプログラム (ユーザブートプログラム) が動作するモードです。リセット解除後は、シングルチップモードと同等の状態で起動します。

UB コード A、UB コード B に規定の値をプログラムした後、MD 端子を Low、UB 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。なお、ユーザブートモードでは FF7F FFFCh 番地からリセットベクタを取得します。UB コード A、UB コード B については「7. オプション設定メモリ (OFSM)」を参照してください。

ユーザブートモードで起動後、SYSCR0.EXBE ビットを “1” (外部バス有効) にすると、内蔵 ROM 有効拡張モードになります。

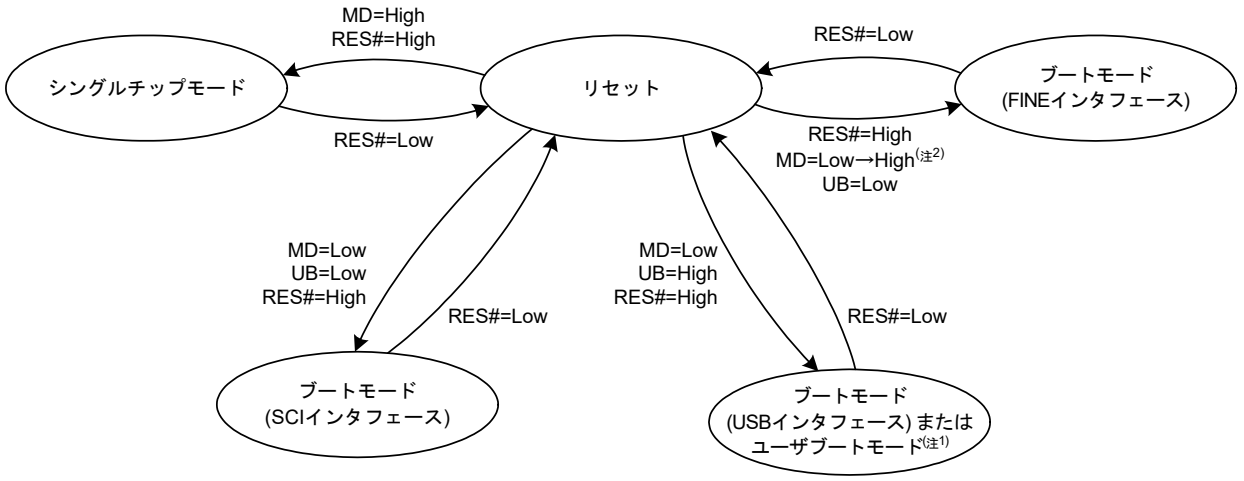
注 . ユーザブートモードでは、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行しないでください。

注 . OFS0/OFS1 レジスタの設定は無効となり、“FFFF FFFFh” となります。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子、UB 端子の設定による動作モード遷移について、**図 3.1** に状態遷移図を示します。



注1. ユーザブートモードで起動させるには、モード設定端子のレベル設定以外に、オプション設定メモリのUBコードAとUBコードBへの設定も必要です。
注2. リセット解除後、20～100msecの間にMD端子をHighに切り替えてください。

図 3.1 モード設定端子のレベルと動作モード

3.4.2 レジスタ設定による動作モード遷移

SYSCR0.ROME, EXBE ビットの設定による動作モード遷移について、図 3.2 に状態遷移図を示します。

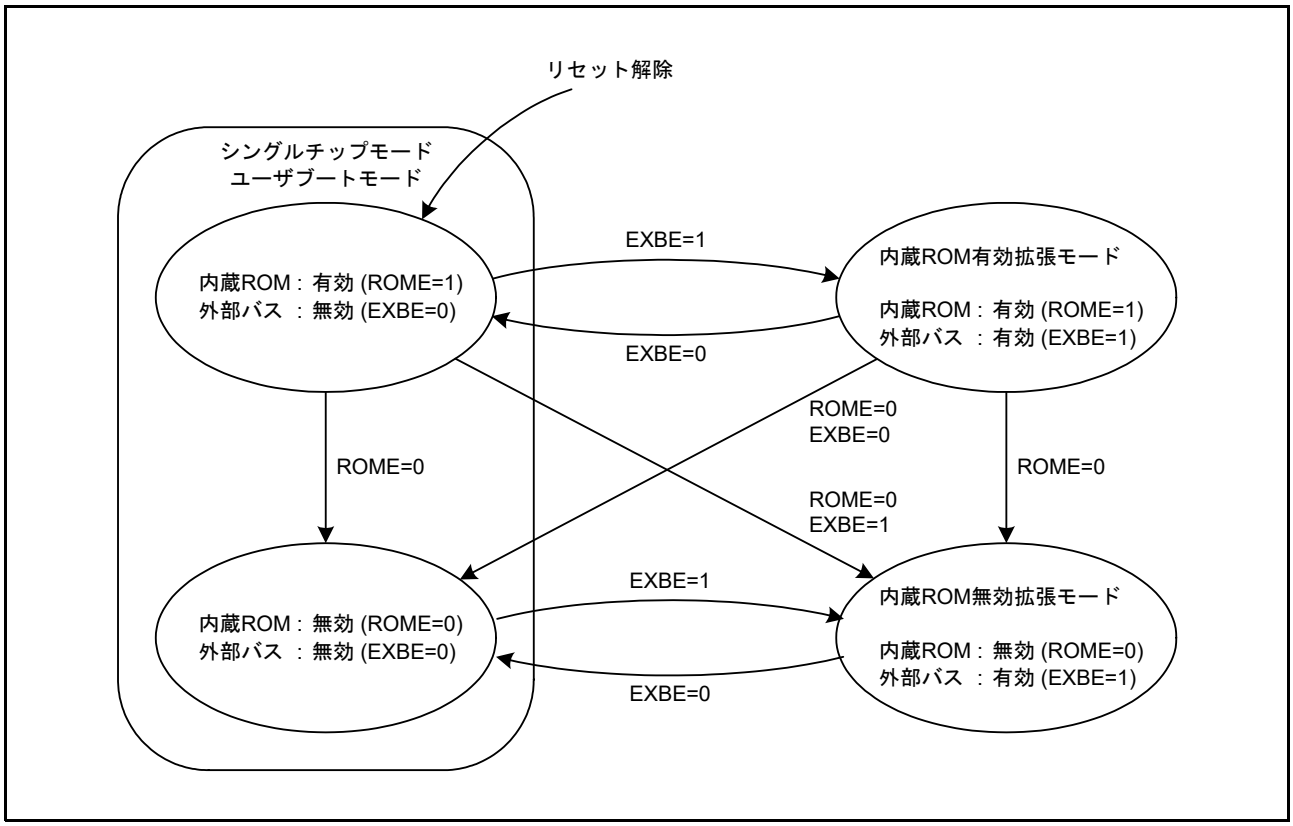


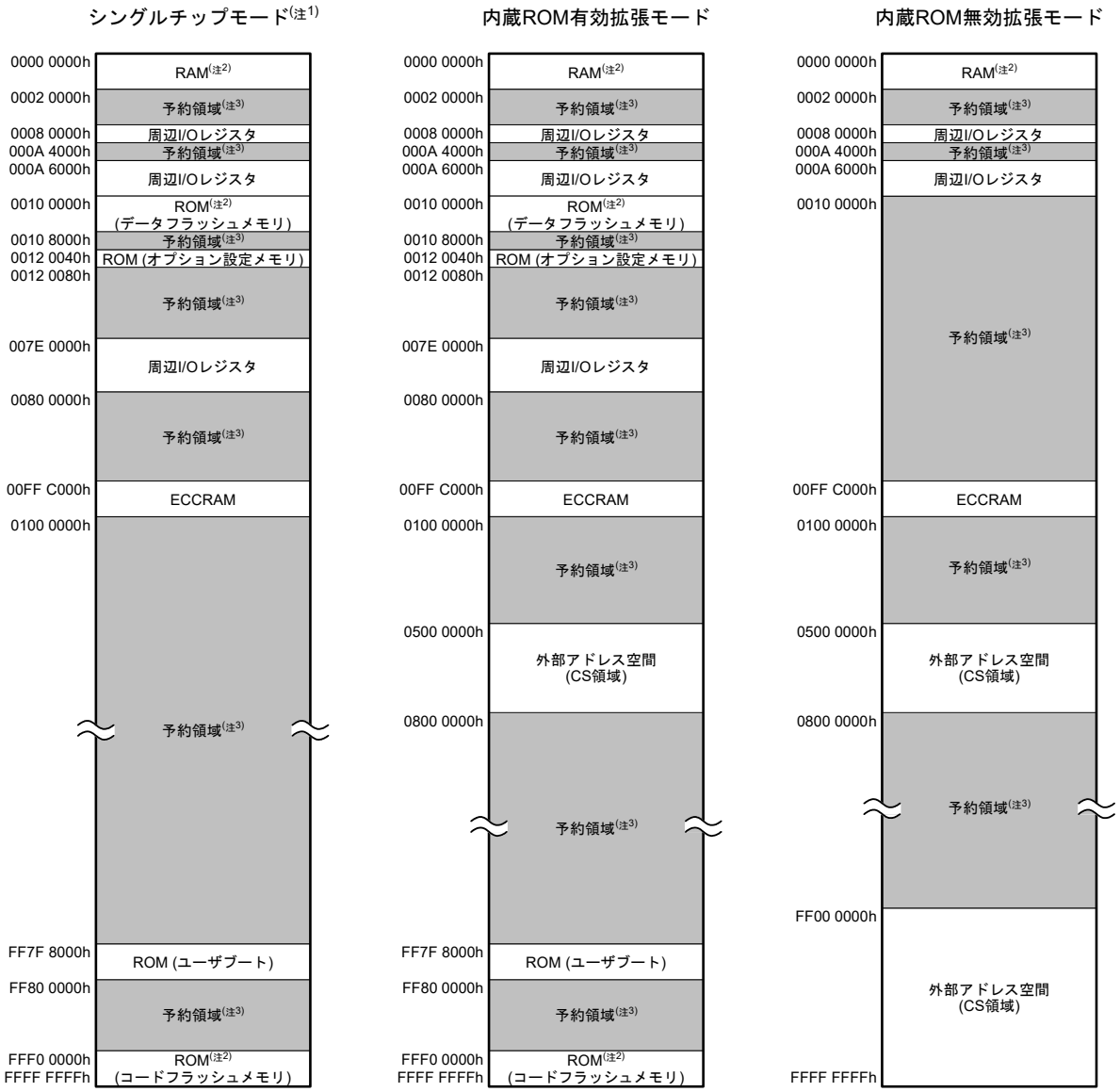
図 3.2 SYSCR0.ROME, EXBE ビットの設定と動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。

図 4.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって異なります。



注1.　ブートモード、ユーザブートモード時は、シングルチップモードと同じメモリマップになります。
注2.　製品によりROM容量が異なります。

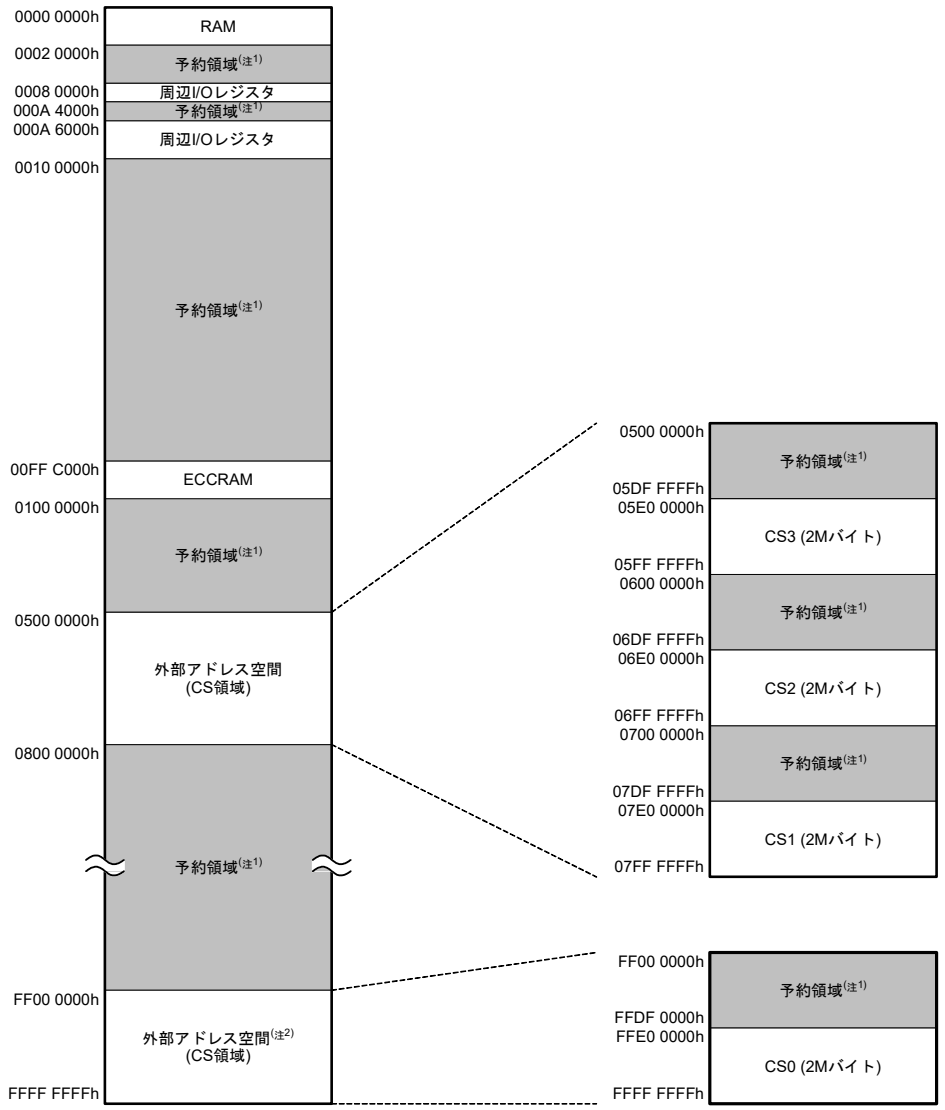
コードフラッシュメモリ		データフラッシュメモリ		RAM	
容量	アドレス	容量	アドレス	容量	アドレス
1MB	FFF0 0000h～FFFF FFFFh	32KB	0010 0000h～0010 7FFFh	128KB	0000 0000h～0001 FFFFh
512KB	FFF8 0000h～FFFF FFFFh				

注3.　予約領域は、アクセスしないでください。

図 4.1　各動作モードのメモリマップ

4.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ～ 3) から出力される CSn# 信号によって 4 つの CS 領域 (CS0 ～ CS3) に分割されています。図 4.2 に内蔵 ROM 無効拡張モード時の CS 領域 (CS0 ～ CS3) とアドレスの対応を示します。



注1. 予約領域は、アクセスしないでください。
注2. 内蔵ROM有効拡張モード時はCS0領域は無効になり、0800 0000h番地以降は図4.1に示すとおりになります。

図 4.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧 (アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット (ICU.IERn.IENj ビット) のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

(a) I/O レジスタの書き込み
(b) 書き込んだI/O レジスタの値を汎用レジスタに読み出し
(c) 読み出し値を使って演算を実行
(d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.B  #SFR_DATA, [R1]
CMP    [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.W  #SFR_DATA, [R1]
CMP    [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.L  #SFR_DATA, [R1]
CMP    [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「**表 5.1 I/O レジスタアドレス一覧**」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

I/O レジスタアクセスサイクル数 = 内部メインバス 1 のバスサイクル数 +
分周クロック同期化サイクル数 +
内部周辺バス 1 ～ 6 のバスサイクル数

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および外部バス制御部のレジスタ (バスエラー関連のレジスタは除く) へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK (または FCLK, BCLK) の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では ICLK ≧ PCLK (または FCLK) の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK (または FCLK) で最大 1 サイクルとなるため、**表 5.1** では 1PCLK (または FCLK) の幅を持たせて記載しています。

また、ICLK < PCLK (または FCLK) の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、**表 5.1** では 1BCLK の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ (DMAC, DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ (「**表 5.1 I/O レジスタアドレス一覧**」のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

(5) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

5.1 I/O レジスタアドレス一覧 (アドレス順)

表5.1 I/O レジスタアドレス一覧 (1 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		3章
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK		3章
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK		3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK		3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK		11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK		11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		11章
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK		11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		9章
0008 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	16	16	3ICLK		9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK		9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK		9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK		9章
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK		9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK		9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK		9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK		9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK		9章
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK		9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK		9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK		9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK		9章
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK		11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK		9章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK		6章
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK		8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK		8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK		8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		12章
0008 1000h	FLASH	ROMキャッシュ許可レジスタ	ROMCE	16	16	2ICLK		45章
0008 1004h	FLASH	ROMキャッシュ無効化レジスタ	ROMCIV	16	16	2ICLK		45章
0008 101Ch	SYSTEM	メモリウェイトサイクル設定レジスタ	MEMWAIT	8	8	2ICLK		9章
0008 1040h	FLASH	ノンキャッシャブル領域0アドレスレジスタ	NCRG0	32	32	2ICLK		45章
0008 1044h	FLASH	ノンキャッシャブル領域0設定レジスタ	NCRC0	32	32	2ICLK		45章
0008 1048h	FLASH	ノンキャッシャブル領域1アドレスレジスタ	NCRG1	32	32	2ICLK		45章
0008 104Ch	FLASH	ノンキャッシャブル領域1設定レジスタ	NCRC1	32	32	2ICLK		45章
0008 1200h	RAM	RAM動作モード制御レジスタ	RAMMODE	8	8	2ICLK		44章
0008 1201h	RAM	RAMエラーステータスレジスタ	RAMSTS	8	8	2ICLK		44章
0008 1204h	RAM	RAMプロテクトレジスタ	RAMPRCR	8	8	2ICLK		44章
0008 1208h	RAM	RAMエラーアドレスキャプチャレジスタ	RAMECAD	32	32	2ICLK		44章
0008 12C0h	RAM	ECCRAM動作モード制御レジスタ	ECCRAMMODE	8	8	2ICLK		44章
0008 12C1h	RAM	ECCRAM 2ビットエラーステータスレジスタ	ECCRAM2STS	8	8	2ICLK		44章
0008 12C2h	RAM	ECCRAM 1ビットエラー情報更新許可レジスタ	ECCRAM1STSEN	8	8	2ICLK		44章

表5.1 I/O レジスタアドレス一覧 (2 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 12C3h	RAM	ECCRAM 1ビットエラーステータスレジスタ	ECCRAM1STS	8	8	2ICLK		44章
0008 12C4h	RAM	ECCRAMプロテクトレジスタ	ECCRAMPRCR	8	8	2ICLK		44章
0008 12C8h	RAM	ECCRAM 2ビットエラーアドレスキャプチャレジスタ	ECCRAM2ECAD	32	32	2ICLK		44章
0008 12CCh	RAM	ECCRAM 1ビットエラーアドレスキャプチャレジスタ	ECCRAM1ECAD	32	32	2ICLK		44章
0008 12D0h	RAM	ECCRAMプロテクトレジスタ2	ECCRAMPRCR2	8	8	2ICLK		44章
0008 12D4h	RAM	ECCRAMテスト制御レジスタ	ECCRAMETST	8	8	2ICLK		44章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK		15章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK		15章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK		15章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK		15章
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK		17章
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 201Fh	DMAC0	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 205Fh	DMAC1	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 209Fh	DMAC2	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章

表5.1 I/O レジスタアドレス一覧 (3 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 20DFh	DMAC3	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2100h	DMAC4	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2104h	DMAC4	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2108h	DMAC4	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 210Ch	DMAC4	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2110h	DMAC4	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2113h	DMAC4	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2114h	DMAC4	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 211Ch	DMAC4	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 211Dh	DMAC4	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 211Eh	DMAC4	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 211Fh	DMAC4	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2140h	DMAC5	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2144h	DMAC5	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2148h	DMAC5	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 214Ch	DMAC5	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2150h	DMAC5	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2153h	DMAC5	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2154h	DMAC5	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 215Ch	DMAC5	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 215Dh	DMAC5	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 215Eh	DMAC5	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 215Fh	DMAC5	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2180h	DMAC6	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2184h	DMAC6	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2188h	DMAC6	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 218Ch	DMAC6	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2190h	DMAC6	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2193h	DMAC6	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2194h	DMAC6	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 219Ch	DMAC6	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 219Dh	DMAC6	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 219Eh	DMAC6	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 219Fh	DMAC6	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 21C0h	DMAC7	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 21C4h	DMAC7	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 21C8h	DMAC7	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 21CCh	DMAC7	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 21D0h	DMAC7	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 21D3h	DMAC7	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 21D4h	DMAC7	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 21DCh	DMAC7	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 21DDh	DMAC7	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 21DEh	DMAC7	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 21DFh	DMAC7	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2200h	DMAC	DMACモジュール起動レジスタ	DMAST	8	8	2ICLK		17章
0008 2204h	DMAC	DMAC74割り込みステータスモニタレジスタ	DMIST	8	8	2ICLK		17章

表5.1 I/O レジスタアドレス一覧 (4 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK		18章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK		18章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK		18章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK		18章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK		18章
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1～2BCLK		15章
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1～2BCLK		15章
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1～2BCLK		15章
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1～2BCLK		15章
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1～2BCLK		15章
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1～2BCLK		15章
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1～2BCLK		15章
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1～2BCLK		15章
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1～2BCLK		15章
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1～2BCLK		15章
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1～2BCLK		15章
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1～2BCLK		15章
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1～2BCLK		15章
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1～2BCLK		15章
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1～2BCLK		15章
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1～2BCLK		15章
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1～2BCLK		15章
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1～2BCLK		15章
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1～2BCLK		15章
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1～2BCLK		15章
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1～2BCLK		15章
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK		16章
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK		16章
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK		16章
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK		16章
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK		16章
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK		16章
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK		16章
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK		16章
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK		16章
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK		16章
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK		16章
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK		16章
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK		16章
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK		16章
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK		16章
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK		16章
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK		16章
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK		16章
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK		16章
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK		16章
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK		16章
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK		16章
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK		16章
0008 6526h	MPU	領域インバリデートオペレーションレジスタ	MPOPI	16	16	1ICLK		16章
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK		16章

表5.1 I/Oレジスタアドレス一覧 (5 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK		16章
0008 7010h～0008 70FFh	ICU	割り込み要求レジスタ016～割り込み要求レジスタ255	IR016～IR255	8	8	2ICLK		14章
0008 711Ah～0008 71FFh	ICU	DTC転送要求許可レジスタ026～DTC転送要求許可レジスタ255	DTCER026～DTCER255	8	8	2ICLK		14章
0008 7202h～0008 721Fh	ICU	割り込み要求許可レジスタ02～割り込み要求許可レジスタ1F	IER02～IER1F	8	8	2ICLK		14章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK		14章
0008 72E1h	ICU	ソフトウェア割り込み2起動レジスタ	SWINT2R	8	8	2ICLK		14章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK		14章
0008 7300h～0008 73FFh	ICU	割り込み要因プライオリティレジスタ000～割り込み要因プライオリティレジスタ255	IPR000～IPR255	8	8	2ICLK		14章
0008 7400h	ICU	DMAC起動要因選択レジスタ0	DMRSR0	8	8	2ICLK		14章
0008 7404h	ICU	DMAC起動要因選択レジスタ1	DMRSR1	8	8	2ICLK		14章
0008 7408h	ICU	DMAC起動要因選択レジスタ2	DMRSR2	8	8	2ICLK		14章
0008 740Ch	ICU	DMAC起動要因選択レジスタ3	DMRSR3	8	8	2ICLK		14章
0008 7410h	ICU	DMAC起動要因選択レジスタ4	DMRSR4	8	8	2ICLK		14章
0008 7414h	ICU	DMAC起動要因選択レジスタ5	DMRSR5	8	8	2ICLK		14章
0008 7418h	ICU	DMAC起動要因選択レジスタ6	DMRSR6	8	8	2ICLK		14章
0008 741Ch	ICU	DMAC起動要因選択レジスタ7	DMRSR7	8	8	2ICLK		14章
0008 7500h～0008 750Fh	ICU	IRQコントロールレジスタ0～IRQコントロールレジスタ15	IRQCR0～IRQCR15	8	8	2ICLK		14章
0008 7520h	ICU	IRQ端子デジタルフィルタ許可レジスタ0	IRQFLTE0	8	8	2ICLK		14章
0008 7521h	ICU	IRQ端子デジタルフィルタ許可レジスタ1	IRQFLTE1	8	8	2ICLK		14章
0008 7528h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK		14章
0008 752Ah	ICU	IRQ端子デジタルフィルタ設定レジスタ1	IRQFLTC1	16	16	2ICLK		14章
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK		14章
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK		14章
0008 7582h	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK		14章
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK		14章
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK		14章
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK		14章
0008 7600h	ICU	グループBE0割り込み要求レジスタ	GRPBE0	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7630h	ICU	グループBL0割り込み要求レジスタ	GRPBL0	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7634h	ICU	グループBL1割り込み要求レジスタ	GRPBL1	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7640h	ICU	グループBE0割り込み要求許可レジスタ	GENBE0	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7670h	ICU	グループBL0割り込み要求許可レジスタ	GENBL0	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7674h	ICU	グループBL1割り込み要求許可レジスタ	GENBL1	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7680h	ICU	グループBE0割り込みクリアレジスタ	GCRBE0	32	32	2ICLK～1PCLKB	2ICLK	14章
0008 7830h	ICU	グループAL0割り込み要求レジスタ	GRPAL0	32	32	2ICLK～1PCLKA	2ICLK	14章
0008 7870h	ICU	グループAL0割り込み要求許可レジスタ	GENAL0	32	32	2ICLK～1PCLKA	2ICLK	14章
0008 7900h	ICU	選択型割り込みA要求レジスタ0	PIAR0	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7901h	ICU	選択型割り込みA要求レジスタ1	PIAR1	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7902h	ICU	選択型割り込みA要求レジスタ2	PIAR2	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7903h	ICU	選択型割り込みA要求レジスタ3	PIAR3	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7904h	ICU	選択型割り込みA要求レジスタ4	PIAR4	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7905h	ICU	選択型割り込みA要求レジスタ5	PIAR5	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7906h	ICU	選択型割り込みA要求レジスタ6	PIAR6	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7907h	ICU	選択型割り込みA要求レジスタ7	PIAR7	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7908h	ICU	選択型割り込みA要求レジスタ8	PIAR8	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7909h	ICU	選択型割り込みA要求レジスタ9	PIAR9	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Ah	ICU	選択型割り込みA要求レジスタA	PIARA	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Bh	ICU	選択型割り込みA要求レジスタB	PIARB	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Ch	ICU	選択型割り込みA要求レジスタC	PIARC	8	8	2ICLK～1PCLKA	2ICLK	14章

表5.1 I/O レジスタアドレス一覧 (6 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 790Dh	ICU	選択型割り込みA要求レジスタD	PIARD	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Eh	ICU	選択型割り込みA要求レジスタE	PIARE	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 790Fh	ICU	選択型割り込みA要求レジスタF	PIARF	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7910h	ICU	選択型割り込みA要求レジスタ10	PIAR10	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7911h	ICU	選択型割り込みA要求レジスタ11	PIAR11	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7912h	ICU	選択型割り込みA要求レジスタ12	PIAR12	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D0h	ICU	選択型割り込みA要因選択レジスタ208	SLIAR208	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D1h	ICU	選択型割り込みA要因選択レジスタ209	SLIAR209	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D2h	ICU	選択型割り込みA要因選択レジスタ210	SLIAR210	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D3h	ICU	選択型割り込みA要因選択レジスタ211	SLIAR211	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D4h	ICU	選択型割り込みA要因選択レジスタ212	SLIAR212	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D5h	ICU	選択型割り込みA要因選択レジスタ213	SLIAR213	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D6h	ICU	選択型割り込みA要因選択レジスタ214	SLIAR214	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D7h	ICU	選択型割り込みA要因選択レジスタ215	SLIAR215	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D8h	ICU	選択型割り込みA要因選択レジスタ216	SLIAR216	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79D9h	ICU	選択型割り込みA要因選択レジスタ217	SLIAR217	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DAh	ICU	選択型割り込みA要因選択レジスタ218	SLIAR218	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DBh	ICU	選択型割り込みA要因選択レジスタ219	SLIAR219	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DCh	ICU	選択型割り込みA要因選択レジスタ220	SLIAR220	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DDh	ICU	選択型割り込みA要因選択レジスタ221	SLIAR221	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DEh	ICU	選択型割り込みA要因選択レジスタ222	SLIAR222	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79DFh	ICU	選択型割り込みA要因選択レジスタ223	SLIAR223	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E0h	ICU	選択型割り込みA要因選択レジスタ224	SLIAR224	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E1h	ICU	選択型割り込みA要因選択レジスタ225	SLIAR225	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E2h	ICU	選択型割り込みA要因選択レジスタ226	SLIAR226	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E3h	ICU	選択型割り込みA要因選択レジスタ227	SLIAR227	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E4h	ICU	選択型割り込みA要因選択レジスタ228	SLIAR228	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E5h	ICU	選択型割り込みA要因選択レジスタ229	SLIAR229	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E6h	ICU	選択型割り込みA要因選択レジスタ230	SLIAR230	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E7h	ICU	選択型割り込みA要因選択レジスタ231	SLIAR231	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E8h	ICU	選択型割り込みA要因選択レジスタ232	SLIAR232	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79E9h	ICU	選択型割り込みA要因選択レジスタ233	SLIAR233	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79EAh	ICU	選択型割り込みA要因選択レジスタ234	SLIAR234	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79EBh	ICU	選択型割り込みA要因選択レジスタ235	SLIAR235	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79ECh	ICU	選択型割り込みA要因選択レジスタ236	SLIAR236	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79EDh	ICU	選択型割り込みA要因選択レジスタ237	SLIAR237	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79EEh	ICU	選択型割り込みA要因選択レジスタ238	SLIAR238	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79EFh	ICU	選択型割り込みA要因選択レジスタ239	SLIAR239	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F0h	ICU	選択型割り込みA要因選択レジスタ240	SLIAR240	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F1h	ICU	選択型割り込みA要因選択レジスタ241	SLIAR241	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F2h	ICU	選択型割り込みA要因選択レジスタ242	SLIAR242	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F3h	ICU	選択型割り込みA要因選択レジスタ243	SLIAR243	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F4h	ICU	選択型割り込みA要因選択レジスタ244	SLIAR244	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F5h	ICU	選択型割り込みA要因選択レジスタ245	SLIAR245	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F6h	ICU	選択型割り込みA要因選択レジスタ246	SLIAR246	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F7h	ICU	選択型割り込みA要因選択レジスタ247	SLIAR247	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F8h	ICU	選択型割り込みA要因選択レジスタ248	SLIAR248	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79F9h	ICU	選択型割り込みA要因選択レジスタ249	SLIAR249	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FAh	ICU	選択型割り込みA要因選択レジスタ250	SLIAR250	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FBh	ICU	選択型割り込みA要因選択レジスタ251	SLIAR251	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FCh	ICU	選択型割り込みA要因選択レジスタ252	SLIAR252	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FDh	ICU	選択型割り込みA要因選択レジスタ253	SLIAR253	8	8	2ICLK～1PCLKA	2ICLK	14章

表5.1 I/O レジスタアドレス一覧 (7 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 79FEh	ICU	選択型割り込みA要因選択レジスタ254	SLIAR254	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 79FFh	ICU	選択型割り込みA要因選択レジスタ255	SLIAR255	8	8	2ICLK～1PCLKA	2ICLK	14章
0008 7A00h	ICU	選択型割り込み要因選択レジスタ書き込み保護レジスタ	SLIPRCR	8	8	2ICLK～1PCLKA/B	2ICLK	14章
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2～3PCLKB	2ICLK	28章
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLKB	2ICLK	28章
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLKB	2ICLK	28章
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLKB	2ICLK	28章
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLKB	2ICLK	28章
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLKB	2ICLK	28章
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLKB	2ICLK	28章
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2～3PCLKB	2ICLK	28章
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLKB	2ICLK	28章
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLKB	2ICLK	28章
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLKB	2ICLK	28章
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLKB	2ICLK	28章
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLKB	2ICLK	28章
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLKB	2ICLK	28章
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2～3PCLKB	2ICLK	29章
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2～3PCLKB	2ICLK	29章
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2～3PCLKB	2ICLK	29章
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2～3PCLKB	2ICLK	29章
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2～3PCLKB	2ICLK	30章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2～3PCLKB	2ICLK	30章
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2～3PCLKB	2ICLK	30章
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2～3PCLKB	2ICLK	30章
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2～3PCLKB	2ICLK	30章
0008 8040h	DA	D/Aデータレジスタ0	DADR0	16	16	2～3PCLKB	2ICLK	40章
0008 8042h	DA	D/Aデータレジスタ1	DADR1	16	16	2～3PCLKB	2ICLK	40章
0008 8044h	DA	D/A制御レジスタ	DACR	8	8	2～3PCLKB	2ICLK	40章
0008 8045h	DA	データレジスタフォーマット選択レジスタ	DADPR	8	8	2～3PCLKB	2ICLK	40章
0008 8046h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2～3PCLKB	2ICLK	40章
0008 8049h	DA	D/A出力先選択レジスタ	DADSELR	8	8	2～3PCLKB	2ICLK	40章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLKB	2ICLK	27章
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8206h	TMR01	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLKB	2ICLK	27章
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	27章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	27章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	27章
0008 820Dh	TMR1	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	27章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章

表5.1 I/O レジスタアドレス一覧 (8 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8214h	TMR23	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLKB	2ICLK	27章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8216h	TMR23	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLKB	2ICLK	27章
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	27章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	27章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	27章
0008 821Dh	TMR3	タイマカウンタスタートレジスタ	TCSTR	8	8	2～3PCLKB	2ICLK	27章
0008 8220h	TMR4	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8221h	TMR5	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8222h	TMR4	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8223h	TMR5	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8224h	TMR4	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8224h	TMR45	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLKB	2ICLK	27章
0008 8225h	TMR5	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8226h	TMR4	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8226h	TMR45	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLKB	2ICLK	27章
0008 8227h	TMR5	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8228h	TMR4	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 8228h	TMR45	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	27章
0008 8229h	TMR5	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 822Ah	TMR4	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 822Ah	TMR45	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	27章
0008 822Bh	TMR5	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 8230h	TMR6	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8231h	TMR7	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	27章
0008 8232h	TMR6	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8233h	TMR7	タイマコントロール/ステータスレジスタ	TCSR	8	8	2～3PCLKB	2ICLK	27章
0008 8234h	TMR6	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8234h	TMR67	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLKB	2ICLK	27章
0008 8235h	TMR7	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLKB	2ICLK	27章
0008 8236h	TMR6	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8236h	TMR67	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLKB	2ICLK	27章
0008 8237h	TMR7	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLKB	2ICLK	27章
0008 8238h	TMR6	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 8238h	TMR67	タイマカウンタ	TCNT	16	16	2～3PCLKB	2ICLK	27章
0008 8239h	TMR7	タイマカウンタ	TCNT	8	8	2～3PCLKB	2ICLK	27章
0008 823Ah	TMR6	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 823Ah	TMR67	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLKB	2ICLK	27章
0008 823Bh	TMR7	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLKB	2ICLK	27章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2～3PCLKB	2ICLK	36章
0008 8284h	CRC	CRCデータ入力レジスタ	CRCDIR	32	8, 32	2～3PCLKB	2ICLK	36章
0008 8288h	CRC	CRCデータ出力レジスタ	CRCDOR	32	8, 16, 32	2～3PCLKB	2ICLK	36章

表5.1 I/O レジスタアドレス一覧 (9 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 8300h	RIIC0	I²Cバスコントロールレジスタ1	ICCR1	8	8	2～3PCLKB	2ICLK	33章
0008 8301h	RIIC0	I²Cバスコントロールレジスタ2	ICCR2	8	8	2～3PCLKB	2ICLK	33章
0008 8302h	RIIC0	I²Cバスモードレジスタ1	ICMR1	8	8	2～3PCLKB	2ICLK	33章
0008 8303h	RIIC0	I²Cバスモードレジスタ2	ICMR2	8	8	2～3PCLKB	2ICLK	33章
0008 8304h	RIIC0	I²Cバスモードレジスタ3	ICMR3	8	8	2～3PCLKB	2ICLK	33章
0008 8305h	RIIC0	I²Cバスファンクション許可レジスタ	ICFER	8	8	2～3PCLKB	2ICLK	33章
0008 8306h	RIIC0	I²Cバスステータス許可レジスタ	ICSER	8	8	2～3PCLKB	2ICLK	33章
0008 8307h	RIIC0	I²Cバス割り込み許可レジスタ	ICIER	8	8	2～3PCLKB	2ICLK	33章
0008 8308h	RIIC0	I²Cバスステータスレジスタ1	ICSR1	8	8	2～3PCLKB	2ICLK	33章
0008 8309h	RIIC0	I²Cバスステータスレジスタ2	ICSR2	8	8	2～3PCLKB	2ICLK	33章
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2～3PCLKB	2ICLK	33章
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2～3PCLKB	2ICLK	33章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2～3PCLKB	2ICLK	33章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2～3PCLKB	2ICLK	33章
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2～3PCLKB	2ICLK	33章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2～3PCLKB	2ICLK	33章
0008 8310h	RIIC0	I²CバスビットレートLowレジスタ	ICBRL	8	8	2～3PCLKB	2ICLK	33章
0008 8311h	RIIC0	I²CバスビットレートHighレジスタ	ICBRH	8	8	2～3PCLKB	2ICLK	33章
0008 8312h	RIIC0	I²Cバス送信データレジスタ	ICDRT	8	8	2～3PCLKB	2ICLK	33章
0008 8313h	RIIC0	I²Cバス受信データレジスタ	ICDRR	8	8	2～3PCLKB	2ICLK	33章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2～3PCLKB	2ICLK	39章
0008 9004h	S12AD	A/Dチャネル選択レジスタA0	ADANSA0	16	16	2～3PCLKB	2ICLK	39章
0008 9008h	S12AD	A/D変換値加算/平均機能チャネル選択レジスタ0	ADADS0	16	16	2～3PCLKB	2ICLK	39章
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2～3PCLKB	2ICLK	39章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2～3PCLKB	2ICLK	39章
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2～3PCLKB	2ICLK	39章
0008 9014h	S12AD	A/Dチャネル選択レジスタB0	ADANSB0	16	16	2～3PCLKB	2ICLK	39章
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2～3PCLKB	2ICLK	39章
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2～3PCLKB	2ICLK	39章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2～3PCLKB	2ICLK	39章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2～3PCLKB	2ICLK	39章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2～3PCLKB	2ICLK	39章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2～3PCLKB	2ICLK	39章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2～3PCLKB	2ICLK	39章
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2～3PCLKB	2ICLK	39章
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2～3PCLKB	2ICLK	39章
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2～3PCLKB	2ICLK	39章
0008 9066h	S12AD	A/Dサンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2～3PCLKB	2ICLK	39章
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2～3PCLKB	2ICLK	39章
0008 907Ch	S12AD	A/Dサンプル&ホールド動作モード選択レジスタ	ADSHMSR	8	8	2～3PCLKB	2ICLK	39章
0008 907Dh	S12AD	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2～3PCLKB	2ICLK	39章
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2～3PCLKB	2ICLK	39章
0008 9084h	S12AD	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2～3PCLKB	2ICLK	39章
0008 9086h	S12AD	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2～3PCLKB	2ICLK	39章
0008 908Ch	S12AD	A/Dコンペア機能ウィンドウA/Bステータスモニタレジスタ	ADWINMON	8	8	2～3PCLKB	2ICLK	39章
0008 9090h	S12AD	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2～3PCLKB	2ICLK	39章
0008 9094h	S12AD	A/Dコンペア機能ウィンドウAチャネル選択レジスタ0	ADCMPANSR0	16	16	2～3PCLKB	2ICLK	39章
0008 9098h	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジスタ0	ADCMPLR0	16	16	2～3PCLKB	2ICLK	39章
0008 909Ch	S12AD	A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPDR0	16	16	2～3PCLKB	2ICLK	39章

表5.1 I/O レジスタアドレス一覧 (10 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 909Eh	S12AD	A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPDR1	16	16	2～3PCLKB	2ICLK	39章
0008 90A0h	S12AD	A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0	ADCMPSR0	16	16	2～3PCLKB	2ICLK	39章
0008 90A6h	S12AD	A/Dコンペア機能ウィンドウBチャネル選択レジスタ	ADCMPBNSR	8	8	2～3PCLKB	2ICLK	39章
0008 90A8h	S12AD	A/Dコンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	16	16	2～3PCLKB	2ICLK	39章
0008 90AAh	S12AD	A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	16	16	2～3PCLKB	2ICLK	39章
0008 90ACh	S12AD	A/Dコンペア機能ウィンドウBチャネルステータスレジスタ	ADCMPBSR	8	8	2～3PCLKB	2ICLK	39章
0008 90D4h	S12AD	A/Dチャネル選択レジスタC0	ADANSC0	16	16	2～3PCLKB	2ICLK	39章
0008 90D9h	S12AD	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2～3PCLKB	2ICLK	39章
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2～3PCLKB	2ICLK	39章
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2～3PCLKB	2ICLK	39章
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2～3PCLKB	2ICLK	39章
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2～3PCLKB	2ICLK	39章
0008 90E4h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2～3PCLKB	2ICLK	39章
0008 90E5h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2～3PCLKB	2ICLK	39章
0008 90E6h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2～3PCLKB	2ICLK	39章
0008 90E7h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2～3PCLKB	2ICLK	39章
0008 91A0h	S12AD	A/Dプログラマブルゲインアンプコントロールレジスタ	ADPGACR	16	16	2～3PCLKB	2ICLK	39章
0008 91A2h	S12AD	A/Dプログラマブルゲインアンプゲイン設定レジスタ0	ADPGAGS0	16	16	2～3PCLKB	2ICLK	39章
0008 91B0h	S12AD	A/Dプログラマブルゲインアンプ差動入力コントロールレジスタ	ADPGADCR0	16	16	2～3PCLKB	2ICLK	39章
0008 91C0h	S12AD	A/Dチャネル変換順序設定レジスタ0	ADSCS0	8	8	2～3PCLKB	2ICLK	39章
0008 91C1h	S12AD	A/Dチャネル変換順序設定レジスタ1	ADSCS1	8	8	2～3PCLKB	2ICLK	39章
0008 91C2h	S12AD	A/Dチャネル変換順序設定レジスタ2	ADSCS2	8	8	2～3PCLKB	2ICLK	39章
0008 91C3h	S12AD	A/Dチャネル変換順序設定レジスタ3	ADSCS3	8	8	2～3PCLKB	2ICLK	39章
0008 91C4h	S12AD	A/Dチャネル変換順序設定レジスタ4	ADSCS4	8	8	2～3PCLKB	2ICLK	39章
0008 91C5h	S12AD	A/Dチャネル変換順序設定レジスタ5	ADSCS5	8	8	2～3PCLKB	2ICLK	39章
0008 91C6h	S12AD	A/Dチャネル変換順序設定レジスタ6	ADSCS6	8	8	2～3PCLKB	2ICLK	39章
0008 91C7h	S12AD	A/Dチャネル変換順序設定レジスタ7	ADSCS7	8	8	2～3PCLKB	2ICLK	39章
0008 9200h	S12AD1	A/Dコントロールレジスタ	ADCSR	16	16	2～3PCLKB	2ICLK	39章
0008 9204h	S12AD1	A/Dチャネル選択レジスタA0	ADANSA0	16	16	2～3PCLKB	2ICLK	39章
0008 9208h	S12AD1	A/D変換値加算/平均機能チャネル選択レジスタ0	ADADS0	16	16	2～3PCLKB	2ICLK	39章
0008 920Ch	S12AD1	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2～3PCLKB	2ICLK	39章
0008 920Eh	S12AD1	A/Dコントロール拡張レジスタ	ADCER	16	16	2～3PCLKB	2ICLK	39章
0008 9210h	S12AD1	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2～3PCLKB	2ICLK	39章
0008 9214h	S12AD1	A/Dチャネル選択レジスタB0	ADANSB0	16	16	2～3PCLKB	2ICLK	39章
0008 9218h	S12AD1	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2～3PCLKB	2ICLK	39章
0008 921Eh	S12AD1	A/D自己診断データレジスタ	ADRD	16	16	2～3PCLKB	2ICLK	39章
0008 9220h	S12AD1	A/Dデータレジスタ0	ADDR0	16	16	2～3PCLKB	2ICLK	39章
0008 9222h	S12AD1	A/Dデータレジスタ1	ADDR1	16	16	2～3PCLKB	2ICLK	39章
0008 9224h	S12AD1	A/Dデータレジスタ2	ADDR2	16	16	2～3PCLKB	2ICLK	39章
0008 9226h	S12AD1	A/Dデータレジスタ3	ADDR3	16	16	2～3PCLKB	2ICLK	39章
0008 9228h	S12AD1	A/Dデータレジスタ4	ADDR4	16	16	2～3PCLKB	2ICLK	39章
0008 922Ah	S12AD1	A/Dデータレジスタ5	ADDR5	16	16	2～3PCLKB	2ICLK	39章
0008 922Ch	S12AD1	A/Dデータレジスタ6	ADDR6	16	16	2～3PCLKB	2ICLK	39章
0008 922Eh	S12AD1	A/Dデータレジスタ7	ADDR7	16	16	2～3PCLKB	2ICLK	39章
0008 9266h	S12AD1	A/Dサンプル＆ホールド回路コントロールレジスタ	ADSHCR	16	16	2～3PCLKB	2ICLK	39章
0008 927Ah	S12AD1	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2～3PCLKB	2ICLK	39章
0008 927Ch	S12AD1	A/Dサンプル＆ホールド動作モード選択レジスタ	ADSHMSR	8	8	2～3PCLKB	2ICLK	39章

表5.1 I/O レジスタアドレス一覧 (11 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 927Dh	S12AD1	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2～3PCLKB	2ICLK	39章
0008 9280h	S12AD1	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2～3PCLKB	2ICLK	39章
0008 9284h	S12AD1	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2～3PCLKB	2ICLK	39章
0008 9286h	S12AD1	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2～3PCLKB	2ICLK	39章
0008 928Ch	S12AD1	A/Dコンペア機能ウィンドウA/Bステータスモニタレジスタ	ADWINMON	8	8	2～3PCLKB	2ICLK	39章
0008 9290h	S12AD1	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2～3PCLKB	2ICLK	39章
0008 9294h	S12AD1	A/Dコンペア機能ウィンドウAチャネル選択レジスタ0	ADCMPANSR0	16	16	2～3PCLKB	2ICLK	39章
0008 9298h	S12AD1	A/Dコンペア機能ウィンドウA比較条件設定レジスタ0	ADCMPLR0	16	16	2～3PCLKB	2ICLK	39章
0008 929Ch	S12AD1	A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPDR0	16	16	2～3PCLKB	2ICLK	39章
0008 929Eh	S12AD1	A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPDR1	16	16	2～3PCLKB	2ICLK	39章
0008 92A0h	S12AD1	A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0	ADCMPSR0	16	16	2～3PCLKB	2ICLK	39章
0008 92A6h	S12AD1	A/Dコンペア機能ウィンドウBチャネル選択レジスタ	ADCMPBNSR	8	8	2～3PCLKB	2ICLK	39章
0008 92A8h	S12AD1	A/Dコンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	16	16	2～3PCLKB	2ICLK	39章
0008 92AAh	S12AD1	A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	16	16	2～3PCLKB	2ICLK	39章
0008 92ACh	S12AD1	A/Dコンペア機能ウィンドウBチャネルステータスレジスタ	ADCMPBSR	8	8	2～3PCLKB	2ICLK	39章
0008 92D4h	S12AD1	A/Dチャネル選択レジスタC0	ADANSC0	16	16	2～3PCLKB	2ICLK	39章
0008 92D9h	S12AD1	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2～3PCLKB	2ICLK	39章
0008 92E0h	S12AD1	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2～3PCLKB	2ICLK	39章
0008 92E1h	S12AD1	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2～3PCLKB	2ICLK	39章
0008 92E2h	S12AD1	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2～3PCLKB	2ICLK	39章
0008 92E3h	S12AD1	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2～3PCLKB	2ICLK	39章
0008 92E4h	S12AD1	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2～3PCLKB	2ICLK	39章
0008 92E5h	S12AD1	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2～3PCLKB	2ICLK	39章
0008 92E6h	S12AD1	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2～3PCLKB	2ICLK	39章
0008 92E7h	S12AD1	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2～3PCLKB	2ICLK	39章
0008 93A0h	S12AD1	A/Dプログラマブルゲインアンプコントロールレジスタ	ADPGACR	16	16	2～3PCLKB	2ICLK	39章
0008 93A2h	S12AD1	A/Dプログラマブルゲインアンプゲイン設定レジスタ0	ADPGAGS0	16	16	2～3PCLKB	2ICLK	39章
0008 93B0h	S12AD1	A/Dプログラマブルゲインアンプ差動入力コントロールレジスタ	ADPGADCR0	16	16	2～3PCLKB	2ICLK	39章
0008 93C0h	S12AD1	A/Dチャネル変換順序設定レジスタ0	ADSCS0	8	8	2～3PCLKB	2ICLK	39章
0008 93C1h	S12AD1	A/Dチャネル変換順序設定レジスタ1	ADSCS1	8	8	2～3PCLKB	2ICLK	39章
0008 93C2h	S12AD1	A/Dチャネル変換順序設定レジスタ2	ADSCS2	8	8	2～3PCLKB	2ICLK	39章
0008 93C3h	S12AD1	A/Dチャネル変換順序設定レジスタ3	ADSCS3	8	8	2～3PCLKB	2ICLK	39章
0008 93C4h	S12AD1	A/Dチャネル変換順序設定レジスタ4	ADSCS4	8	8	2～3PCLKB	2ICLK	39章
0008 93C5h	S12AD1	A/Dチャネル変換順序設定レジスタ5	ADSCS5	8	8	2～3PCLKB	2ICLK	39章
0008 93C6h	S12AD1	A/Dチャネル変換順序設定レジスタ6	ADSCS6	8	8	2～3PCLKB	2ICLK	39章
0008 93C7h	S12AD1	A/Dチャネル変換順序設定レジスタ7	ADSCS7	8	8	2～3PCLKB	2ICLK	39章
0008 9400h	S12AD2	A/Dコントロールレジスタ	ADCSR	16	16	2～3PCLKB	2ICLK	39章
0008 9404h	S12AD2	A/Dチャネル選択レジスタA0	ADANSA0	16	16	2～3PCLKB	2ICLK	39章
0008 9406h	S12AD2	A/Dチャネル選択レジスタA1	ADANSA1	16	16	2～3PCLKB	2ICLK	39章
0008 9408h	S12AD2	A/D変換値加算/平均機能チャネル選択レジスタ0	ADADS0	16	16	2～3PCLKB	2ICLK	39章
0008 940Ah	S12AD2	A/D変換値加算/平均機能チャネル選択レジスタ1	ADADS1	16	16	2～3PCLKB	2ICLK	39章
0008 940Ch	S12AD2	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2～3PCLKB	2ICLK	39章
0008 940Eh	S12AD2	A/Dコントロール拡張レジスタ	ADCER	16	16	2～3PCLKB	2ICLK	39章
0008 9410h	S12AD2	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2～3PCLKB	2ICLK	39章
0008 9412h	S12AD2	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2～3PCLKB	2ICLK	39章

表5.1 I/Oレジスタアドレス一覧 (12 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 9414h	S12AD2	A/Dチャネル選択レジスタB0	ADANSB0	16	16	2～3PCLKB	2ICLK	39章
0008 9416h	S12AD2	A/Dチャネル選択レジスタB1	ADANSB1	16	16	2～3PCLKB	2ICLK	39章
0008 9418h	S12AD2	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2～3PCLKB	2ICLK	39章
0008 941Ah	S12AD2	A/D温度センサデータレジスタ	ADTSDR	16	16	2～3PCLKB	2ICLK	39章
0008 941Ch	S12AD2	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2～3PCLKB	2ICLK	39章
0008 941Eh	S12AD2	A/D自己診断データレジスタ	ADRD	16	16	2～3PCLKB	2ICLK	39章
0008 9420h	S12AD2	A/Dデータレジスタ0	ADDR0	16	16	2～3PCLKB	2ICLK	39章
0008 9422h	S12AD2	A/Dデータレジスタ1	ADDR1	16	16	2～3PCLKB	2ICLK	39章
0008 9424h	S12AD2	A/Dデータレジスタ2	ADDR2	16	16	2～3PCLKB	2ICLK	39章
0008 9426h	S12AD2	A/Dデータレジスタ3	ADDR3	16	16	2～3PCLKB	2ICLK	39章
0008 9428h	S12AD2	A/Dデータレジスタ4	ADDR4	16	16	2～3PCLKB	2ICLK	39章
0008 942Ah	S12AD2	A/Dデータレジスタ5	ADDR5	16	16	2～3PCLKB	2ICLK	39章
0008 942Ch	S12AD2	A/Dデータレジスタ6	ADDR6	16	16	2～3PCLKB	2ICLK	39章
0008 942Eh	S12AD2	A/Dデータレジスタ7	ADDR7	16	16	2～3PCLKB	2ICLK	39章
0008 9430h	S12AD2	A/Dデータレジスタ8	ADDR8	16	16	2～3PCLKB	2ICLK	39章
0008 9432h	S12AD2	A/Dデータレジスタ9	ADDR9	16	16	2～3PCLKB	2ICLK	39章
0008 9434h	S12AD2	A/Dデータレジスタ10	ADDR10	16	16	2～3PCLKB	2ICLK	39章
0008 9436h	S12AD2	A/Dデータレジスタ11	ADDR11	16	16	2～3PCLKB	2ICLK	39章
0008 9440h	S12AD2	A/Dデータレジスタ16	ADDR16	16	16	2～3PCLKB	2ICLK	39章
0008 9442h	S12AD2	A/Dデータレジスタ17	ADDR17	16	16	2～3PCLKB	2ICLK	39章
0008 947Ah	S12AD2	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2～3PCLKB	2ICLK	39章
0008 947Dh	S12AD2	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2～3PCLKB	2ICLK	39章
0008 9480h	S12AD2	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2～3PCLKB	2ICLK	39章
0008 9484h	S12AD2	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2～3PCLKB	2ICLK	39章
0008 9486h	S12AD2	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2～3PCLKB	2ICLK	39章
0008 948Ch	S12AD2	A/Dコンペア機能ウィンドウA/Bステータスモニタレジスタ	ADWINMON	8	8	2～3PCLKB	2ICLK	39章
0008 9490h	S12AD2	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2～3PCLKB	2ICLK	39章
0008 9492h	S12AD2	A/Dコンペア機能ウィンドウA拡張入力選択レジスタ	ADCMPANSER	8	8	2～3PCLKB	2ICLK	39章
0008 9493h	S12AD2	A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ	ADCMPLER	8	8	2～3PCLKB	2ICLK	39章
0008 9494h	S12AD2	A/Dコンペア機能ウィンドウAチャネル選択レジスタ0	ADCMPANSR0	16	16	2～3PCLKB	2ICLK	39章
0008 9496h	S12AD2	A/Dコンペア機能ウィンドウAチャネル選択レジスタ1	ADCMPANSR1	16	16	2～3PCLKB	2ICLK	39章
0008 9498h	S12AD2	A/Dコンペア機能ウィンドウA比較条件設定レジスタ0	ADCMPLR0	16	16	2～3PCLKB	2ICLK	39章
0008 949Ah	S12AD2	A/Dコンペア機能ウィンドウA比較条件設定レジスタ1	ADCMPLR1	16	16	2～3PCLKB	2ICLK	39章
0008 949Ch	S12AD2	A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPDR0	16	16	2～3PCLKB	2ICLK	39章
0008 949Eh	S12AD2	A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPDR1	16	16	2～3PCLKB	2ICLK	39章
0008 94A0h	S12AD2	A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0	ADCMPSR0	16	16	2～3PCLKB	2ICLK	39章
0008 94A2h	S12AD2	A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1	ADCMPSR1	16	16	2～3PCLKB	2ICLK	39章
0008 94A4h	S12AD2	A/Dコンペア機能ウィンドウA拡張入力チャネルステータスレジスタ	ADCMPSER	8	8	2～3PCLKB	2ICLK	39章
0008 94A6h	S12AD2	A/Dコンペア機能ウィンドウBチャネル選択レジスタ	ADCMPBNSR	8	8	2～3PCLKB	2ICLK	39章
0008 94A8h	S12AD2	A/Dコンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	16	16	2～3PCLKB	2ICLK	39章
0008 94AAh	S12AD2	A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	16	16	2～3PCLKB	2ICLK	39章
0008 94ACh	S12AD2	A/Dコンペア機能ウィンドウBチャネルステータスレジスタ	ADCMPBSR	8	8	2～3PCLKB	2ICLK	39章
0008 94D4h	S12AD2	A/Dチャネル選択レジスタC0	ADANSC0	16	16	2～3PCLKB	2ICLK	39章
0008 94D6h	S12AD2	A/Dチャネル選択レジスタC1	ADANSC1	16	16	2～3PCLKB	2ICLK	39章

表5.1 I/O レジスタアドレス一覧 (13 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 94D8h	S12AD2	A/Dグループ C拡張入力コントロールレジスタ	ADGCEXCR	8	8	2～3PCLKB	2ICLK	39章
0008 94D9h	S12AD2	A/Dグループ C トリガ選択レジスタ	ADGCTRGR	8	8	2～3PCLKB	2ICLK	39章
0008 94DDh	S12AD2	A/Dサンプリングステートレジスタ L	ADSSTRL	8	8	2～3PCLKB	2ICLK	39章
0008 94DEh	S12AD2	A/Dサンプリングステートレジスタ T	ADSSTRT	8	8	2～3PCLKB	2ICLK	39章
0008 94DFh	S12AD2	A/Dサンプリングステートレジスタ O	ADSSTRO	8	8	2～3PCLKB	2ICLK	39章
0008 94E0h	S12AD2	A/Dサンプリングステートレジスタ 0	ADSSTR0	8	8	2～3PCLKB	2ICLK	39章
0008 94E1h	S12AD2	A/Dサンプリングステートレジスタ 1	ADSSTR1	8	8	2～3PCLKB	2ICLK	39章
0008 94E2h	S12AD2	A/Dサンプリングステートレジスタ 2	ADSSTR2	8	8	2～3PCLKB	2ICLK	39章
0008 94E3h	S12AD2	A/Dサンプリングステートレジスタ 3	ADSSTR3	8	8	2～3PCLKB	2ICLK	39章
0008 94E4h	S12AD2	A/Dサンプリングステートレジスタ 4	ADSSTR4	8	8	2～3PCLKB	2ICLK	39章
0008 94E5h	S12AD2	A/Dサンプリングステートレジスタ 5	ADSSTR5	8	8	2～3PCLKB	2ICLK	39章
0008 94E6h	S12AD2	A/Dサンプリングステートレジスタ 6	ADSSTR6	8	8	2～3PCLKB	2ICLK	39章
0008 94E7h	S12AD2	A/Dサンプリングステートレジスタ 7	ADSSTR7	8	8	2～3PCLKB	2ICLK	39章
0008 94E8h	S12AD2	A/Dサンプリングステートレジスタ 8	ADSSTR8	8	8	2～3PCLKB	2ICLK	39章
0008 94E9h	S12AD2	A/Dサンプリングステートレジスタ 9	ADSSTR9	8	8	2～3PCLKB	2ICLK	39章
0008 94EAh	S12AD2	A/Dサンプリングステートレジスタ 10	ADSSTR10	8	8	2～3PCLKB	2ICLK	39章
0008 94EBh	S12AD2	A/Dサンプリングステートレジスタ 11	ADSSTR11	8	8	2～3PCLKB	2ICLK	39章
0008 95C0h	S12AD2	A/Dチャネル変換順序設定レジスタ 0	ADSCS0	8	8	2～3PCLKB	2ICLK	39章
0008 95C1h	S12AD2	A/Dチャネル変換順序設定レジスタ 1	ADSCS1	8	8	2～3PCLKB	2ICLK	39章
0008 95C2h	S12AD2	A/Dチャネル変換順序設定レジスタ 2	ADSCS2	8	8	2～3PCLKB	2ICLK	39章
0008 95C3h	S12AD2	A/Dチャネル変換順序設定レジスタ 3	ADSCS3	8	8	2～3PCLKB	2ICLK	39章
0008 95C4h	S12AD2	A/Dチャネル変換順序設定レジスタ 4	ADSCS4	8	8	2～3PCLKB	2ICLK	39章
0008 95C5h	S12AD2	A/Dチャネル変換順序設定レジスタ 5	ADSCS5	8	8	2～3PCLKB	2ICLK	39章
0008 95C6h	S12AD2	A/Dチャネル変換順序設定レジスタ 6	ADSCS6	8	8	2～3PCLKB	2ICLK	39章
0008 95C7h	S12AD2	A/Dチャネル変換順序設定レジスタ 7	ADSCS7	8	8	2～3PCLKB	2ICLK	39章
0008 95C8h	S12AD2	A/Dチャネル変換順序設定レジスタ 8	ADSCS8	8	8	2～3PCLKB	2ICLK	39章
0008 95C9h	S12AD2	A/Dチャネル変換順序設定レジスタ 9	ADSCS9	8	8	2～3PCLKB	2ICLK	39章
0008 95CAh	S12AD2	A/Dチャネル変換順序設定レジスタ 10	ADSCS10	8	8	2～3PCLKB	2ICLK	39章
0008 95CBh	S12AD2	A/Dチャネル変換順序設定レジスタ 11	ADSCS11	8	8	2～3PCLKB	2ICLK	39章
0008 95D0h	S12AD2	A/Dチャネル変換順序設定レジスタ 12	ADSCS12	8	8	2～3PCLKB	2ICLK	39章
0008 95D1h	S12AD2	A/Dチャネル変換順序設定レジスタ 13	ADSCS13	8	8	2～3PCLKB	2ICLK	39章
0008 95E2h	S12AD2	A/D内部基準電圧モニタ回路許可レジスタ	ADVMONCR	8	8	2～3PCLKB	2ICLK	39章
0008 95E4h	S12AD2	A/D内部基準電圧モニタ回路出力許可レジスタ	ADVMONO	8	8	2～3PCLKB	2ICLK	39章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A020h	SMCI1	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	32章
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A022h	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	32章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A024h	SMCI1	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	32章
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	32章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	32章
0008 A029h	SCI1	I^2Cモードレジスタ 1	SIMR1	8	8	2～3PCLKB	2ICLK	32章
0008 A02Ah	SCI1	I^2Cモードレジスタ 2	SIMR2	8	8	2～3PCLKB	2ICLK	32章
0008 A02Bh	SCI1	I^2Cモードレジスタ 3	SIMR3	8	8	2～3PCLKB	2ICLK	32章
0008 A02Ch	SCI1	I^2Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	32章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	32章
0008 A02Eh	SCI1	トランスミットデータレジスタ H	TDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A02Fh	SCI1	トランスミットデータレジスタ L	TDRL	8	8	2～3PCLKB	2ICLK	32章

表5.1 I/O レジスタアドレス一覧 (14 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	32章
0008 A033h	SCI1	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	32章
0008 A03Ah	SCI1	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	32章
0008 A03Bh	SCI1	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	32章
0008 A03Ah	SCI1	比較データレジスタ	CDR	16	16	4～5PCLKB	2ICLK	32章
0008 A03Ch	SCI1	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A0h	SMCI5	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A2h	SMCI5	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A4h	SMCI5	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	32章
0008 A0A9h	SCI5	I^2Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	32章
0008 A0AAh	SCI5	I^2Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	32章
0008 A0ABh	SCI5	I^2Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	32章
0008 A0ACh	SCI5	I^2Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	32章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A0B2h	SCI5	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0B3h	SCI5	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0BAh	SCI5	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	32章
0008 A0BBh	SCI5	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	32章
0008 A0BAh	SCI5	比較データレジスタ	CDR	16	16	4～5PCLKB	2ICLK	32章
0008 A0BCh	SCI5	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C0h	SMCI6	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C2h	SMCI6	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C4h	SMCI6	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	32章
0008 A0C9h	SCI6	I^2Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	32章

表5.1 I/O レジスタアドレス一覧 (15 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 A0CAh	SCI6	I²Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	32章
0008 A0CBh	SCI6	I²Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	32章
0008 A0CCh	SCI6	I²Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	32章
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	32章
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	32章
0008 A0D3h	SCI6	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	32章
0008 A0DAh	SCI6	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	32章
0008 A0DBh	SCI6	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	32章
0008 A0DAh	SCI6	比較データレジスタ	CDR	16	16	4～5PCLKB	2ICLK	32章
0008 A0DCh	SCI6	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	32章
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A100h	SMCI8	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	32章
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A102h	SMCI8	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	32章
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A104h	SMCI8	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	32章
0008 A106h	SMCI8	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	32章
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	32章
0008 A109h	SCI8	I²Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	32章
0008 A10Ah	SCI8	I²Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	32章
0008 A10Bh	SCI8	I²Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	32章
0008 A10Ch	SCI8	I²Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	32章
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	32章
0008 A10Eh	SCI8	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A10Fh	SCI8	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A10Eh	SCI8	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A110h	SCI8	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A111h	SCI8	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A110h	SCI8	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A112h	SCI8	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	32章
0008 A113h	SCI8	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	32章
0008 A11Ah	SCI8	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	32章
0008 A11Bh	SCI8	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	32章
0008 A11Ah	SCI8	比較データレジスタ	CDR	16	16	4～5PCLKB	2ICLK	32章
0008 A11Ch	SCI8	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	32章
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A120h	SMCI9	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	32章
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A122h	SMCI9	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	32章
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章

表5.1 I/O レジスタアドレス一覧 (16 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 A124h	SMCI9	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	32章
0008 A126h	SMCI9	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	32章
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	32章
0008 A129h	SCI9	I²Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	32章
0008 A12Ah	SCI9	I²Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	32章
0008 A12Bh	SCI9	I²Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	32章
0008 A12Ch	SCI9	I²Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	32章
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	32章
0008 A12Eh	SCI9	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A12Fh	SCI9	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A12Eh	SCI9	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A130h	SCI9	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	32章
0008 A131h	SCI9	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	32章
0008 A130h	SCI9	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 A132h	SCI9	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	32章
0008 A133h	SCI9	データ比較制御レジスタ	DCCR	8	8	2～3PCLKB	2ICLK	32章
0008 A13Ah	SCI9	比較データレジスタH	CDR.H	8	8	2～3PCLKB	2ICLK	32章
0008 A13Bh	SCI9	比較データレジスタL	CDR.L	8	8	2～3PCLKB	2ICLK	32章
0008 A13Ah	SCI9	比較データレジスタ	CDR	16	16	4～5PCLKB	2ICLK	32章
0008 A13Ch	SCI9	シリアルポートレジスタ	SPTR	8	8	2～3PCLKB	2ICLK	32章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2～3PCLKB	2ICLK	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2～3PCLKB	2ICLK	10章
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2～3PCLKB	2ICLK	10章
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2～3PCLKB	2ICLK	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2～3PCLKB	2ICLK	10章
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2～3PCLKB	2ICLK	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2～3PCLKB	2ICLK	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2～3PCLKB	2ICLK	10章
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2～3PCLKB	2ICLK	43章
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2～3PCLKB	2ICLK	43章
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2～3PCLKB	2ICLK	43章
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2～3PCLKB	2ICLK	19章
0008 B101h	ELC	イベントリンク設定レジスタ0	ELSR0	8	8	2～3PCLKB	2ICLK	19章
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2～3PCLKB	2ICLK	19章
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2～3PCLKB	2ICLK	19章
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2～3PCLKB	2ICLK	19章
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2～3PCLKB	2ICLK	19章
0008 B10Ch	ELC	イベントリンク設定レジスタ11	ELSR11	8	8	2～3PCLKB	2ICLK	19章
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2～3PCLKB	2ICLK	19章
0008 B10Eh	ELC	イベントリンク設定レジスタ13	ELSR13	8	8	2～3PCLKB	2ICLK	19章
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2～3PCLKB	2ICLK	19章
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2～3PCLKB	2ICLK	19章
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2～3PCLKB	2ICLK	19章
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2～3PCLKB	2ICLK	19章
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2～3PCLKB	2ICLK	19章
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2～3PCLKB	2ICLK	19章
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2～3PCLKB	2ICLK	19章
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2～3PCLKB	2ICLK	19章
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2～3PCLKB	2ICLK	19章
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2～3PCLKB	2ICLK	19章

表5.1 I/O レジスタアドレス一覧 (17 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2～3PCLKB	2ICLK	19章
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2～3PCLKB	2ICLK	19章
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2～3PCLKB	2ICLK	19章
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2～3PCLKB	2ICLK	19章
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2～3PCLKB	2ICLK	19章
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2～3PCLKB	2ICLK	19章
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2～3PCLKB	2ICLK	19章
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2～3PCLKB	2ICLK	19章
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2～3PCLKB	2ICLK	19章
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2～3PCLKB	2ICLK	19章
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2～3PCLKB	2ICLK	19章
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2～3PCLKB	2ICLK	19章
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2～3PCLKB	2ICLK	19章
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2～3PCLKB	2ICLK	19章
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2～3PCLKB	2ICLK	19章
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2～3PCLKB	2ICLK	19章
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2～3PCLKB	2ICLK	19章
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2～3PCLKB	2ICLK	19章
0008 B12Eh	ELC	イベントリンク設定レジスタ30	ELSR30	8	8	2～3PCLKB	2ICLK	19章
0008 B12Fh	ELC	イベントリンク設定レジスタ31	ELSR31	8	8	2～3PCLKB	2ICLK	19章
0008 B13Dh	ELC	イベントリンク設定レジスタ45	ELSR45	8	8	2～3PCLKB	2ICLK	19章
0008 B13Eh	ELC	イベントリンクオプション設定レジスタE	ELOPE	8	8	2～3PCLKB	2ICLK	19章
0008 B144h	ELC	イベントリンク設定レジスタ46	ELSR46	8	8	2～3PCLKB	2ICLK	19章
0008 B145h	ELC	イベントリンク設定レジスタ47	ELSR47	8	8	2～3PCLKB	2ICLK	19章
0008 B146h	ELC	イベントリンク設定レジスタ48	ELSR48	8	8	2～3PCLKB	2ICLK	19章
0008 B147h	ELC	イベントリンク設定レジスタ49	ELSR49	8	8	2～3PCLKB	2ICLK	19章
0008 B148h	ELC	イベントリンク設定レジスタ50	ELSR50	8	8	2～3PCLKB	2ICLK	19章
0008 B149h	ELC	イベントリンク設定レジスタ51	ELSR51	8	8	2～3PCLKB	2ICLK	19章
0008 B14Ah	ELC	イベントリンク設定レジスタ52	ELSR52	8	8	2～3PCLKB	2ICLK	19章
0008 B14Bh	ELC	イベントリンク設定レジスタ53	ELSR53	8	8	2～3PCLKB	2ICLK	19章
0008 B14Ch	ELC	イベントリンク設定レジスタ54	ELSR54	8	8	2～3PCLKB	2ICLK	19章
0008 B14Dh	ELC	イベントリンク設定レジスタ55	ELSR55	8	8	2～3PCLKB	2ICLK	19章
0008 B14Eh	ELC	イベントリンク設定レジスタ56	ELSR56	8	8	2～3PCLKB	2ICLK	19章
0008 B14Fh	ELC	イベントリンク設定レジスタ57	ELSR57	8	8	2～3PCLKB	2ICLK	19章
0008 B150h	ELC	イベントリンク設定レジスタ58	ELSR58	8	8	2～3PCLKB	2ICLK	19章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 B300h	SMCI12	シリアルモードレジスタ	SMR	8	8	2～3PCLKB	2ICLK	32章
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2～3PCLKB	2ICLK	32章
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 B302h	SMCI12	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKB	2ICLK	32章
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2～3PCLKB	2ICLK	32章
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 B304h	SMCI12	シリアルステータスレジスタ	SSR	8	8	2～3PCLKB	2ICLK	32章
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2～3PCLKB	2ICLK	32章
0008 B306h	SMCI12	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKB	2ICLK	32章
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKB	2ICLK	32章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKB	2ICLK	32章
0008 B309h	SCI12	I^2Cモードレジスタ1	SIMR1	8	8	2～3PCLKB	2ICLK	32章
0008 B30Ah	SCI12	I^2Cモードレジスタ2	SIMR2	8	8	2～3PCLKB	2ICLK	32章
0008 B30Bh	SCI12	I^2Cモードレジスタ3	SIMR3	8	8	2～3PCLKB	2ICLK	32章
0008 B30Ch	SCI12	I^2Cステータスレジスタ	SISR	8	8	2～3PCLKB	2ICLK	32章
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2～3PCLKB	2ICLK	32章

表5.1 I/O レジスタアドレス一覧 (18 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 B30Eh	SCI12	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKB	2ICLK	32章
0008 B30Fh	SCI12	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKB	2ICLK	32章
0008 B30Eh	SCI12	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 B310h	SCI12	レシーブデータレジスタH	RDRH	8	8	2～3PCLKB	2ICLK	32章
0008 B311h	SCI12	レシーブデータレジスタL	RDRL	8	8	2～3PCLKB	2ICLK	32章
0008 B310h	SCI12	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKB	2ICLK	32章
0008 B312h	SCI12	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKB	2ICLK	32章
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2～3PCLKB	2ICLK	32章
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2～3PCLKB	2ICLK	32章
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2～3PCLKB	2ICLK	32章
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2～3PCLKB	2ICLK	32章
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2～3PCLKB	2ICLK	32章
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2～3PCLKB	2ICLK	32章
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2～3PCLKB	2ICLK	32章
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2～3PCLKB	2ICLK	32章
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2～3PCLKB	2ICLK	32章
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Ah	SCI12	Control Field 0コンペアイネーブルレジスタ	CF0CR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Ch	SCI12	プライマリ Control Field 1データレジスタ	PCF1DR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Dh	SCI12	セカンダリ Control Field 1データレジスタ	SCF1DR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Eh	SCI12	Control Field 1コンペアイネーブルレジスタ	CF1CR	8	8	2～3PCLKB	2ICLK	32章
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2～3PCLKB	2ICLK	32章
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	2ICLK	32章
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2～3PCLKB	2ICLK	32章
0008 B332h	SCI12	タイマプリスケーラレジスタ	TPRE	8	8	2～3PCLKB	2ICLK	32章
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2～3PCLKB	2ICLK	32章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C010h	PORTG	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C013h	PORTK	ポート方向レジスタ	PDR	8	8	2～3PCLKB	2ICLK	20章
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章

表5.1 I/O レジスタアドレス一覧 (19 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 C026h	PORT6	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C028h	PORT8	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C02Fh	PORTF	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C030h	PORTG	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C031h	PORTH	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C033h	PORTK	ポート出力データレジスタ	PODR	8	8	2～3PCLKB	2ICLK	20章
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C046h	PORT6	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C048h	PORT8	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C050h	PORTG	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C053h	PORTK	ポート入力データレジスタ	PIDR	8	8	4～5PCLKB	3ICLK	20章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C070h	PORTG	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C073h	PORTK	ポートモードレジスタ	PMR	8	8	2～3PCLKB	2ICLK	20章
0008 C080h	PORT0	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章

表5.1 I/O レジスタアドレス一覧 (20 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 C082h	PORT1	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C083h	PORT1	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C084h	PORT2	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C085h	PORT2	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C086h	PORT3	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C087h	PORT3	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C088h	PORT4	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C089h	PORT4	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C08Ah	PORT5	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C08Bh	PORT5	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C08Ch	PORT6	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C08Dh	PORT6	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C08Eh	PORT7	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C08Fh	PORT7	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C090h	PORT8	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C092h	PORT9	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C093h	PORT9	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C094h	PORTA	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C095h	PORTA	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C096h	PORTB	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C097h	PORTB	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C098h	PORTC	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C099h	PORTC	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C09Ah	PORTD	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C09Bh	PORTD	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C09Ch	PORTE	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C09Dh	PORTE	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C09Eh	PORTF	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C0A0h	PORTG	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C0A2h	PORTH	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C0A3h	PORTH	オープンドレイン制御レジスタ1	ODR1	8	8	2～3PCLKB	2ICLK	20章
0008 C0A6h	PORTK	オープンドレイン制御レジスタ0	ODR0	8	8	2～3PCLKB	2ICLK	20章
0008 C0C0h	PORT0	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C1h	PORT1	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C2h	PORT2	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C3h	PORT3	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C4h	PORT4	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C5h	PORT5	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C6h	PORT6	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C7h	PORT7	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C8h	PORT8	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0C9h	PORT9	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0CAh	PORTA	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0CBh	PORTB	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0CCh	PORTC	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0CDh	PORTD	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0CEh	PORTE	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0CFh	PORTF	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0D0h	PORTG	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0D1h	PORTH	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0D3h	PORTK	プルアップ制御レジスタ	PCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章

表5.1 I/O レジスタアドレス一覧 (21 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0EFh	PORTF	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0F0h	PORTG	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C0F3h	PORTK	駆動能力制御レジスタ	DSCR	8	8	2～3PCLKB	2ICLK	20章
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2～3PCLKB	2ICLK	21章
0008 C102h	MPC	CS出力端子選択レジスタ0	PFCSS0	8	8	2～3PCLKB	2ICLK	21章
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8	2～3PCLKB	2ICLK	21章
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8	2～3PCLKB	2ICLK	21章
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8	2～3PCLKB	2ICLK	21章
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8	2～3PCLKB	2ICLK	21章
0008 C108h	MPC	外部バス制御レジスタ2	PFBCR2	8	8	2～3PCLKB	2ICLK	21章
0008 C109h	MPC	外部バス制御レジスタ3	PFBCR3	8	8	2～3PCLKB	2ICLK	21章
0008 C10Ah	MPC	外部バス制御レジスタ4	PFBCR4	8	8	2～3PCLKB	2ICLK	21章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2～3PCLKB	2ICLK	21章
0008 C12Fh	PORT7	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	20章
0008 C130h	PORT8	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	20章
0008 C131h	PORT9	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	20章
0008 C133h	PORTB	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	20章
0008 C135h	PORTD	駆動能力制御レジスタ2	DSCR2	8	8	2～3PCLKB	2ICLK	20章
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2～3PCLKB	2ICLK	21章

表5.1 I/O レジスタアドレス一覧 (22 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 C15Dh	MPC	P35端子機能制御レジスタ	P35PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C171h	MPC	P61端子機能制御レジスタ	P61PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C172h	MPC	P62端子機能制御レジスタ	P62PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C173h	MPC	P63端子機能制御レジスタ	P63PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C174h	MPC	P64端子機能制御レジスタ	P64PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C175h	MPC	P65端子機能制御レジスタ	P65PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C180h	MPC	P80端子機能制御レジスタ	P80PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C181h	MPC	P81端子機能制御レジスタ	P81PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C182h	MPC	P82端子機能制御レジスタ	P82PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C18Ch	MPC	P94端子機能制御レジスタ	P94PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C18Dh	MPC	P95端子機能制御レジスタ	P95PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C18Eh	MPC	P96端子機能制御レジスタ	P96PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2～3PCLKB	2ICLK	21章

表5.1 I/O レジスタアドレス一覧 (23 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B8h	MPC	PF0端子機能制御レジスタ	PF0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1B9h	MPC	PF1端子機能制御レジスタ	PF1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1BAh	MPC	PF2端子機能制御レジスタ	PF2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1BBh	MPC	PF3端子機能制御レジスタ	PF3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1C0h	MPC	PG0端子機能制御レジスタ	PG0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1C1h	MPC	PG1端子機能制御レジスタ	PG1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1C2h	MPC	PG2端子機能制御レジスタ	PG2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1CCh	MPC	PH4端子機能制御レジスタ	PH4PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1CDh	MPC	PH5端子機能制御レジスタ	PH5PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1CEh	MPC	PH6端子機能制御レジスタ	PH6PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1CFh	MPC	PH7端子機能制御レジスタ	PH7PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1D8h	MPC	PK0端子機能制御レジスタ	PK0PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1D9h	MPC	PK1端子機能制御レジスタ	PK1PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C1DAh	MPC	PK2端子機能制御レジスタ	PK2PFS	8	8	2～3PCLKB	2ICLK	21章
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4～5PCLKB	2～3ICLK	11章
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4～5PCLKB	2～3ICLK	11章
0008 C283h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ1	DPSIER1	8	8	4～5PCLKB	2～3ICLK	11章
0008 C284h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4～5PCLKB	2～3ICLK	11章
0008 C286h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4～5PCLKB	2～3ICLK	11章
0008 C287h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ1	DPSIFR1	8	8	4～5PCLKB	2～3ICLK	11章
0008 C288h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4～5PCLKB	2～3ICLK	11章
0008 C28Ah	SYSTEM	ディープスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4～5PCLKB	2～3ICLK	11章

表5.1 I/Oレジスタアドレス一覧 (24 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0008 C28Bh	SYSTEM	ディープスタンバイインタラプトエッジレジスタ1	DPSIEGR1	8	8	4～5PCLKB	2～3ICLK	11章
0008 C28Ch	SYSTEM	ディープスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4～5PCLKB	2～3ICLK	11章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4～5PCLKB	2～3ICLK	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4～5PCLKB	2～3ICLK	6章
0008 C293h	SYSTEM	メインクロック発振器機能コントロールレジスタ	MOFCR	8	8	4～5PCLKB	2～3ICLK	9章
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4～5PCLKB	2～3ICLK	9章
0008 C295h	SYSTEM	電圧レベル設定レジスタ	VOLSR	8	8	4～5PCLKB	2～3ICLK	3章
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPROR	8	8	4～5PCLKB	2～3ICLK	45章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4～5PCLKB	2～3ICLK	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4～5PCLKB	2～3ICLK	8章
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4～5PCLKB	2～3ICLK	8章
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4～5PCLKB	2～3ICLK	8章
0008 C2A0h～0008 C2BFh	SYSTEM	ディープスタンバイバックアップレジスタ0～ディープスタンバイバックアップレジスタ31	DPSBKR0～DPSBKR31	8	8	4～5PCLKB	2～3ICLK	11章
0009 0200h～0009 03FFh	CAN0	メールボックスレジスタ0～メールボックスレジスタ31	MB0～MB31	128	8, 16, 32 (注2)	2～3PCLKB	2ICLK	34章
0009 0400h～0009 041Fh	CAN0	マスクレジスタ0～マスクレジスタ7	MKR0～MKR7	32	8, 16, 32	2～3PCLKB	2ICLK	34章
0009 0420h	CAN0	FIFO受信ID比較レジスタ0	FIDCR0	32	8, 16, 32	2～3PCLKB	2ICLK	34章
0009 0424h	CAN0	FIFO受信ID比較レジスタ1	FIDCR1	32	8, 16, 32	2～3PCLKB	2ICLK	34章
0009 0428h	CAN0	マスク無効レジスタ	MKIVLR	32	8, 16, 32	2～3PCLKB	2ICLK	34章
0009 042Ch	CAN0	メールボックス割り込み許可レジスタ	MIER	32	8, 16, 32	2～3PCLKB	2ICLK	34章
0009 0820h～0009 083Fh	CAN0	メッセージ制御レジスタ0～メッセージ制御レジスタ31	MCTL0～MCTL31	8	8	2～3PCLKB	2ICLK	34章
0009 0840h	CAN0	制御レジスタ	CTLR	16	8, 16	2～3PCLKB	2ICLK	34章
0009 0842h	CAN0	ステータスレジスタ	STR	16	8, 16	2～3PCLKB	2ICLK	34章
0009 0844h	CAN0	ビットコンフィギュレーションレジスタ	BCR	32	8, 16, 32	2～3PCLKB	2ICLK	34章
0009 0848h	CAN0	受信FIFO制御レジスタ	RFCR	8	8	2～3PCLKB	2ICLK	34章
0009 0849h	CAN0	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2～3PCLKB	2ICLK	34章
0009 084Ah	CAN0	送信FIFO制御レジスタ	TFCR	8	8	2～3PCLKB	2ICLK	34章
0009 084Bh	CAN0	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2～3PCLKB	2ICLK	34章
0009 084Ch	CAN0	エラー割り込み許可レジスタ	EIER	8	8	2～3PCLKB	2ICLK	34章
0009 084Dh	CAN0	エラー割り込み要因判定レジスタ	EIFR	8	8	2～3PCLKB	2ICLK	34章
0009 084Eh	CAN0	受信エラーカウントレジスタ	RECR	8	8	2～3PCLKB	2ICLK	34章
0009 084Fh	CAN0	送信エラーカウントレジスタ	TECR	8	8	2～3PCLKB	2ICLK	34章
0009 0850h	CAN0	エラーコード格納レジスタ	ECSR	8	8	2～3PCLKB	2ICLK	34章
0009 0851h	CAN0	チャネルサーチサポートレジスタ	CSSR	8	8	2～3PCLKB	2ICLK	34章
0009 0852h	CAN0	メールボックスサーチステータスレジスタ	MSSR	8	8	2～3PCLKB	2ICLK	34章
0009 0853h	CAN0	メールボックスサーチモードレジスタ	MSMR	8	8	2～3PCLKB	2ICLK	34章
0009 0854h	CAN0	タイムスタンプレジスタ	TSR	16	16	2～3PCLKB	2ICLK	34章
0009 0856h	CAN0	アクセプタンスフィルタサポートレジスタ	AFSR	16	16	2～3PCLKB	2ICLK	34章
0009 0858h	CAN0	テスト制御レジスタ	TCR	8	8	2～3PCLKB	2ICLK	34章
0009 E000h	POEG	POEGグループA設定レジスタ	POEGGA	32	32	2～3PCLKB	2ICLK	26章
0009 E040h	POEG	GPTW出力停止制御グループA書き込み保護レジスタ	GTONCWPA	16	16	2～3PCLKB	2ICLK	26章
0009 E044h	POEG	GPTW出力停止制御グループAコントロールレジスタ	GTONCCRA	16	16	2～3PCLKB	2ICLK	26章
0009 E100h	POEG	POEGグループB設定レジスタ	POEGGB	32	32	2～3PCLKB	2ICLK	26章
0009 E140h	POEG	GPTW出力停止制御グループB書き込み保護レジスタ	GTONCWPB	16	16	2～3PCLKB	2ICLK	26章
0009 E144h	POEG	GPTW出力停止制御グループBコントロールレジスタ	GTONCCRB	16	16	2～3PCLKB	2ICLK	26章
0009 E200h	POEG	POEGグループC設定レジスタ	POEGGC	32	32	2～3PCLKB	2ICLK	26章
0009 E240h	POEG	GPTW出力停止制御グループC書き込み保護レジスタ	GTONCWPC	16	16	2～3PCLKB	2ICLK	26章

表5.1 I/Oレジスタアドレス一覧 (25 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0009 E244h	POEG	GPTW出力停止制御グループCコントロールレジスタ	GTONCCRC	16	16	2～3PCLKB	2ICLK	26章
0009 E300h	POEG	POEGグループD設定レジスタ	POEGGD	32	32	2～3PCLKB	2ICLK	26章
0009 E340h	POEG	GPTW出力停止制御グループD書き込み保護レジスタ	GTONCWPD	16	16	2～3PCLKB	2ICLK	26章
0009 E344h	POEG	GPTW出力停止制御グループDコントロールレジスタ	GTONCCRD	16	16	2～3PCLKB	2ICLK	26章
0009 E400h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	16	2～3PCLKB	2ICLK	23章
0009 E402h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	16	2～3PCLKB	2ICLK	23章
0009 E404h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	16	2～3PCLKB	2ICLK	23章
0009 E406h	POE	出力レベルコントロール/ステータスレジスタ2	OCSR2	16	16	2～3PCLKB	2ICLK	23章
0009 E408h	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	16	2～3PCLKB	2ICLK	23章
0009 E40Bh	POE	ポートアウトプットイネーブルコントロールレジスタ1	POECR1	8	8	2～3PCLKB	2ICLK	23章
0009 E40Ch	POE	ポートアウトプットイネーブルコントロールレジスタ2	POECR2	16	16	2～3PCLKB	2ICLK	23章
0009 E40Eh	POE	ポートアウトプットイネーブルコントロールレジスタ3	POECR3	16	16	2～3PCLKB	2ICLK	23章
0009 E410h	POE	ポートアウトプットイネーブルコントロールレジスタ4	POECR4	16	16	2～3PCLKB	2ICLK	23章
0009 E412h	POE	ポートアウトプットイネーブルコントロールレジスタ5	POECR5	16	16	2～3PCLKB	2ICLK	23章
0009 E414h	POE	ポートアウトプットイネーブルコントロールレジスタ6	POECR6	16	16	2～3PCLKB	2ICLK	23章
0009 E416h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	16	2～3PCLKB	2ICLK	23章
0009 E418h	POE	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	16	2～3PCLKB	2ICLK	23章
0009 E41Ah	POE	アクティブレベルレジスタ1	ALR1	16	16	2～3PCLKB	2ICLK	23章
0009 E41Ch	POE	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2～3PCLKB	2ICLK	23章
0009 E41Eh	POE	アクティブレベルレジスタ2	ALR2	16	16	2～3PCLKB	2ICLK	23章
0009 E420h	POE	入力レベルコントロール/ステータスレジスタ7	ICSR7	16	16	2～3PCLKB	2ICLK	23章
0009 E422h	POE	ポートアウトプットイネーブルコントロールレジスタ7	POECR7	16	16	2～3PCLKB	2ICLK	23章
0009 E424h	POE	ポートアウトプットイネーブルコントロールレジスタ8	POECR8	16	16	2～3PCLKB	2ICLK	23章
0009 E426h	POE	ポートアウトプットイネーブルコンパレータ検出フラグレジスタ	POECMPFR	16	16	2～3PCLKB	2ICLK	23章
0009 E428h	POE	ポートアウトプットイネーブルコンパレータ要求選択レジスタ	POECMPSEL	16	16	2～3PCLKB	2ICLK	23章
0009 E42Ah	POE	出力レベルコントロール/ステータスレジスタ3	OCSR3	16	16	2～3PCLKB	2ICLK	23章
0009 E42Ch	POE	アクティブレベルレジスタ3	ALR3	16	16	2～3PCLKB	2ICLK	23章
0009 E42Eh	POE	ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	16	16	2～3PCLKB	2ICLK	23章
0009 E430h	POE	ポートモードマスクコントロールレジスタ0	PMMCR0	16	16	2～3PCLKB	2ICLK	23章
0009 E432h	POE	ポートモードマスクコントロールレジスタ1	PMMCR1	16	16	2～3PCLKB	2ICLK	23章
0009 E434h	POE	ポートモードマスクコントロールレジスタ2	PMMCR2	16	16	2～3PCLKB	2ICLK	23章
0009 E436h	POE	ポートモードマスクコントロールレジスタ3	PMMCR3	16	16	2～3PCLKB	2ICLK	23章
0009 E438h	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ0	POECMPEX0	8	8	2～3PCLKB	2ICLK	23章
0009 E439h	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ1	POECMPEX1	8	8	2～3PCLKB	2ICLK	23章
0009 E43Ah	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ2	POECMPEX2	8	8	2～3PCLKB	2ICLK	23章
0009 E43Bh	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ3	POECMPEX3	8	8	2～3PCLKB	2ICLK	23章
0009 E43Ch	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ4	POECMPEX4	8	8	2～3PCLKB	2ICLK	23章
0009 E43Dh	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ5	POECMPEX5	8	8	2～3PCLKB	2ICLK	23章
0009 E440h	POE	入力レベルコントロール/ステータスレジスタ8	ICSR8	16	16	2～3PCLKB	2ICLK	23章
0009 E442h	POE	入力レベルコントロール/ステータスレジスタ9	ICSR9	16	16	2～3PCLKB	2ICLK	23章
0009 E444h	POE	入力レベルコントロール/ステータスレジスタ10	ICSR10	16	16	2～3PCLKB	2ICLK	23章
0009 E446h	POE	出力レベルコントロール/ステータスレジスタ4	OCSR4	16	16	2～3PCLKB	2ICLK	23章

表5.1 I/Oレジスタアドレス一覧 (26 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
0009 E448h	POE	出力レベルコントロール/ステータスレジスタ5	OCSR5	16	16	2～3PCLKB	2ICLK	23章
0009 E44Ah	POE	アクティブレベルレジスタ4	ALR4	16	16	2～3PCLKB	2ICLK	23章
0009 E44Ch	POE	アクティブレベルレジスタ5	ALR5	16	16	2～3PCLKB	2ICLK	23章
0009 E44Eh	POE	ポートアウトプットイネーブルコントロールレジスタ4B	POECR4B	16	16	2～3PCLKB	2ICLK	23章
0009 E450h	POE	ポートアウトプットイネーブルコントロールレジスタ6B	POECR6B	16	16	2～3PCLKB	2ICLK	23章
0009 E452h	POE	ポートアウトプットイネーブルコントロールレジスタ9	POECR9	16	16	2～3PCLKB	2ICLK	23章
0009 E454h	POE	ポートアウトプットイネーブルコントロールレジスタ10	POECR10	16	16	2～3PCLKB	2ICLK	23章
0009 E456h	POE	ポートアウトプットイネーブルコントロールレジスタ11	POECR11	16	16	2～3PCLKB	2ICLK	23章
0009 E458h	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ6	POECMPEX6	8	8	2～3PCLKB	2ICLK	23章
0009 E459h	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ7	POECMPEX7	8	8	2～3PCLKB	2ICLK	23章
0009 E45Ah	POE	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ8	POECMPEX8	8	8	2～3PCLKB	2ICLK	23章
0009 E460h	POE	MTU0端子選択レジスタ1	M0SELR1	8	8	2～3PCLKB	2ICLK	23章
0009 E461h	POE	MTU0端子選択レジスタ2	M0SELR2	8	8	2～3PCLKB	2ICLK	23章
0009 E462h	POE	MTU3端子選択レジスタ	M3SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E463h	POE	MTU4端子選択レジスタ1	M4SELR1	8	8	2～3PCLKB	2ICLK	23章
0009 E464h	POE	MTU4端子選択レジスタ2	M4SELR2	8	8	2～3PCLKB	2ICLK	23章
0009 E465h	POE	MTU6端子選択レジスタ	M6SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E466h	POE	MTU7端子選択レジスタ1	M7SELR1	8	8	2～3PCLKB	2ICLK	23章
0009 E467h	POE	MTU7端子選択レジスタ2	M7SELR2	8	8	2～3PCLKB	2ICLK	23章
0009 E468h	POE	MTU9端子選択レジスタ1	M9SELR1	8	8	2～3PCLKB	2ICLK	23章
0009 E469h	POE	MTU9端子選択レジスタ2	M9SELR2	8	8	2～3PCLKB	2ICLK	23章
0009 E46Ah	POE	GPTW0端子選択レジスタ	G0SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E46Bh	POE	GPTW1端子選択レジスタ	G1SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E46Ch	POE	GPTW2端子選択レジスタ	G2SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E46Dh	POE	GPTW3端子選択レジスタ	G3SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E46Eh	POE	GPTW4端子選択レジスタ	G4SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E46Fh	POE	GPTW5端子選択レジスタ	G5SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E470h	POE	GPTW6端子選択レジスタ	G6SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E471h	POE	GPTW7端子選択レジスタ	G7SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E472h	POE	GPTW8端子選択レジスタ	G8SELR	8	8	2～3PCLKB	2ICLK	23章
0009 E473h	POE	GPTW9端子選択レジスタ	G9SELR	8	8	2～3PCLKB	2ICLK	23章
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3～4PCLKB	2ICLK	31章
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の整数切り上げ以上 (注1)	31章
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の整数切り上げ以上 (注1)	31章
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	8, 16	3～4PCLKB	2ICLK	31章
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	8, 16	3～4PCLKB	2ICLK	31章
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	8, 16	3～4PCLKB	2ICLK	31章
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3～4PCLKB	2ICLK	31章
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3～4PCLKB	2ICLK	31章
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3～4PCLKB	2ICLK	31章
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3～4PCLKB	2ICLK	31章
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3～4PCLKB	2ICLK	31章
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3～4PCLKB	2ICLK	31章
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数 (注1)	31章

表5.1 I/Oレジスタアドレス一覧 (27 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 003Ch	USB0	SOF出力コンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 004Ch	USB0	フレームナンバレジスタ	FRMNUM	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0056h	USB0	USBリクエストバリューレジスタ	USBVAL	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 005Ah	USB0	USBリクエストレングスレジスタ	USBLENG	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章

表5.1 I/Oレジスタアドレス一覧 (28 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0090h	USB0	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0094h	USB0	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0096h	USB0	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0098h	USB0	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 009Ah	USB0	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 009Ch	USB0	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 009Eh	USB0	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 00A0h	USB0	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 00A2h	USB0	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 00D0h	USB0	デバイスアドレス0コンフィギュレーションレジスタ	DEVADD0	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 00D2h	USB0	デバイスアドレス1コンフィギュレーションレジスタ	DEVADD1	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 00D4h	USB0	デバイスアドレス2コンフィギュレーションレジスタ	DEVADD2	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 00D6h	USB0	デバイスアドレス3コンフィギュレーションレジスタ	DEVADD3	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 00D8h	USB0	デバイスアドレス4コンフィギュレーションレジスタ	DEVADD4	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 00DAh	USB0	デバイスアドレス5コンフィギュレーションレジスタ	DEVADD5	16	16	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 00F0h	USB0	PHYクロスポイント調整レジスタ	PHYSLEW	32	32	9PCLKB以上	1 + 9 × (ICLK/PCLKBの周波数比)の周波数(注1)	31章
000A 0C80h	CMPC0	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	42章
000A 0C84h	CMPC0	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	42章
000A 0C88h	CMPC0	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	42章
000A 0C8Ch	CMPC0	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	42章
000A 0C90h	CMPC0	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CA0h	CMPC1	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CA4h	CMPC1	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CA8h	CMPC1	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CACh	CMPC1	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	42章

表5.1 I/O レジスタアドレス一覧 (29 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000A 0CB0h	CMPC1	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CC0h	CMPC2	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CC4h	CMPC2	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CC8h	CMPC2	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CCCh	CMPC2	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CD0h	CMPC2	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CE0h	CMPC3	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CE4h	CMPC3	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CE8h	CMPC3	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CECh	CMPC3	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	42章
000A 0CF0h	CMPC3	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	42章
000A 0D00h	CMPC4	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	42章
000A 0D04h	CMPC4	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	42章
000A 0D08h	CMPC4	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	42章
000A 0D0Ch	CMPC4	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	42章
000A 0D10h	CMPC4	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	42章
000A 0D20h	CMPC5	コンパレータ制御レジスタ	CMPCTL	8	8	1～2PCLKB	1～2ICLK	42章
000A 0D24h	CMPC5	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8	1～2PCLKB	1～2ICLK	42章
000A 0D28h	CMPC5	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8	1～2PCLKB	1～2ICLK	42章
000A 0D2Ch	CMPC5	コンパレータ出力モニタレジスタ	CMPMON	8	8	1～2PCLKB	1～2ICLK	42章
000A 0D30h	CMPC5	コンパレータ外部出力許可レジスタ	CMPIOC	8	8	1～2PCLKB	1～2ICLK	42章
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1204h	MTU3	タイマI/Oコントロールレジスタ H	TIORH	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1205h	MTU3	タイマI/Oコントロールレジスタ L	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1206h	MTU4	タイマI/Oコントロールレジスタ H	TIORH	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1207h	MTU4	タイマI/Oコントロールレジスタ L	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	4～7PCLKA	2～4ICLK	22章
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタ A	TOERA	8	8	4～7PCLKA	2～4ICLK	22章
000C 120Dh	MTU	タイマゲートコントロールレジスタ A	TGCRA	8	8	4～7PCLKA	2～4ICLK	22章
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ 1A	TOCR1A	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ 2A	TOCR2A	8	8	4～7PCLKA	2～4ICLK	22章
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1214h	MTU	タイマ周期データレジスタ A	TCDRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1216h	MTU	タイマデッドタイムデータレジスタ A	TDDRA	16	16	4～7PCLKA	2～4ICLK	22章
000C 1218h	MTU3	タイマジェネラルレジスタ A	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 121Ah	MTU3	タイマジェネラルレジスタ B	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 121Ch	MTU4	タイマジェネラルレジスタ A	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 121Eh	MTU4	タイマジェネラルレジスタ B	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1220h	MTU	タイマサブカウンタ A	TCNTSA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1222h	MTU	タイマ周期バッファレジスタ A	TCBRA	16	16	4～7PCLKA	2～4ICLK	22章
000C 1224h	MTU3	タイマジェネラルレジスタ C	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1226h	MTU3	タイマジェネラルレジスタ D	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 1228h	MTU4	タイマジェネラルレジスタ C	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 122Ah	MTU4	タイマジェネラルレジスタ D	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ 1A	TITCR1A	8	8, 16	4～7PCLKA	2～4ICLK	22章

表5.1 I/O レジスタアドレス一覧 (30 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	4～7PCLKA	2～4ICLK	22章
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4～7PCLKA	2～4ICLK	22章
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	4～7PCLKA	2～4ICLK	22章
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	4～7PCLKA	2～4ICLK	22章
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	4～7PCLKA	2～4ICLK	22章
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4～7PCLKA	2～4ICLK	22章
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 124Ch	MTU3	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 124Dh	MTU4	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	4～7PCLKA	2～4ICLK	22章
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	4～7PCLKA	2～4ICLK	22章
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	4～7PCLKA	2～4ICLK	22章
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	4～7PCLKA	2～4ICLK	22章
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8	4～7PCLKA	2～4ICLK	22章
000C 1290h	MTU0	ノイズフィルタコントロールレジスタ0	NFCR0	8	8	4～7PCLKA	2～4ICLK	22章
000C 1291h	MTU1	ノイズフィルタコントロールレジスタ1	NFCR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1292h	MTU2	ノイズフィルタコントロールレジスタ2	NFCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1293h	MTU3	ノイズフィルタコントロールレジスタ3	NFCR3	8	8	4～7PCLKA	2～4ICLK	22章
000C 1294h	MTU4	ノイズフィルタコントロールレジスタ4	NFCR4	8	8	4～7PCLKA	2～4ICLK	22章
000C 1296h	MTU9	ノイズフィルタコントロールレジスタ9	NFCR9	8	8	4～7PCLKA	2～4ICLK	22章
000C 1299h	MTU0	ノイズフィルタコントロールレジスタC	NFCRC	8	8	4～7PCLKA	2～4ICLK	22章
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1308h	MTU0	タイマジェネラルレジスタA	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 130Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 130Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 130Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 1320h	MTU0	タイマジェネラルレジスタE	TGRE	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1322h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	4～7PCLKA	2～4ICLK	22章
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4～7PCLKA	2～4ICLK	22章
000C 1328h	MTU0	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1381h	MTU1	タイマモードレジスタ1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章

表5.1 I/O レジスタアドレス一覧 (31 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1388h	MTU1	タイマジェネラルレジスタA	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 138Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1391h	MTU1	タイマモードレジスタ3	TMDR3	8	8	4～7PCLKA	2～4ICLK	22章
000C 1394h	MTU1	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 13A0h	MTU1	タイマロングワードカウンタ	TCNTLW	32	32	4～7PCLKA	2～4ICLK	22章
000C 13A4h	MTU1	タイマロングワードジェネラルレジスタA	TGRALW	32	32	4～7PCLKA	2～4ICLK	22章
000C 13A8h	MTU1	タイマロングワードジェネラルレジスタB	TGRBLW	32	32	4～7PCLKA	2～4ICLK	22章
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1401h	MTU2	タイマモードレジスタ1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1402h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1408h	MTU2	タイマジェネラルレジスタA	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 140Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 140Ch	MTU2	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1580h	MTU9	タイマコントロールレジスタ	TCR	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1581h	MTU9	タイマモードレジスタ1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1582h	MTU9	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1583h	MTU9	タイマI/OコントロールレジスタL	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1584h	MTU9	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1586h	MTU9	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1588h	MTU9	タイマジェネラルレジスタA	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 158Ah	MTU9	タイマジェネラルレジスタB	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 158Ch	MTU9	タイマジェネラルレジスタC	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 158Eh	MTU9	タイマジェネラルレジスタD	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 15A0h	MTU9	タイマジェネラルレジスタE	TGRE	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 15A2h	MTU9	タイマジェネラルレジスタF	TGRF	16	16	4～7PCLKA	2～4ICLK	22章
000C 15A4h	MTU9	タイマインタラプトイネーブルレジスタ2	TIER2	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 15A6h	MTU9	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4～7PCLKA	2～4ICLK	22章
000C 15A8h	MTU9	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A02h	MTU6	タイマモードレジスタ1	TMDR1	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A03h	MTU7	タイマモードレジスタ1	TMDR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A04h	MTU6	タイマI/OコントロールレジスタH	TIORH	8	8, 16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A05h	MTU6	タイマI/OコントロールレジスタL	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A06h	MTU7	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A07h	MTU7	タイマI/OコントロールレジスタL	TIORL	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタB	TOERB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A0Dh	MTU	タイマゲートコントロールレジスタB	TGCRB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ1B	TOCR1B	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ2B	TOCR2B	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A14h	MTU	タイマ周期データレジスタB	TCDRB	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A16h	MTU	タイマデッドタイムデータレジスタB	TDDRB	16	16	4～7PCLKA	2～4ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (32 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 1A18h	MTU6	タイマジェネラルレジスタA	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A1Ah	MTU6	タイマジェネラルレジスタB	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A1Ch	MTU7	タイマジェネラルレジスタA	TGRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A1Eh	MTU7	タイマジェネラルレジスタB	TGRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A20h	MTU	タイマサブカウンタB	TCNTSB	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A22h	MTU	タイマ周期バッファレジスタB	TCBRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A24h	MTU6	タイマジェネラルレジスタC	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A26h	MTU6	タイマジェネラルレジスタD	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A28h	MTU7	タイマジェネラルレジスタC	TGRC	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A2Ah	MTU7	タイマジェネラルレジスタD	TGRD	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ1B	TITCR1B	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ1B	TITCNT1B	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A32h	MTU	タイマバッファ転送設定レジスタB	TBTERB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタB	TDERB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A36h	MTU	タイマアウトプットレベルバッファレジスタB	TOLBRB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタB	TITMRB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ2B	TITCR2B	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A40h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A44h	MTU7	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A46h	MTU7	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A48h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1A4Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A4Ch	MTU6	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A4Dh	MTU7	タイマコントロールレジスタ2	TCR2	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A50h	MTU6	タイマシンクロクリアレジスタ	TSYCR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A60h	MTU	タイマ波形コントロールレジスタB	TWCRB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A70h	MTU	タイマモードレジスタ2B	TMDR2B	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A72h	MTU6	タイマジェネラルレジスタE	TGRE	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A74h	MTU7	タイマジェネラルレジスタE	TGRE	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A76h	MTU7	タイマジェネラルレジスタF	TGRF	16	16	4～7PCLKA	2～4ICLK	22章
000C 1A80h	MTU	タイマスタートレジスタB	TSTRB	8	8, 16	4～7PCLKA	2～4ICLK	22章
000C 1A81h	MTU	タイマシンクロレジスタB	TSYRB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A84h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A93h	MTU6	ノイズフィルタコントロールレジスタ6	NFCR6	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A94h	MTU7	ノイズフィルタコントロールレジスタ7	NFCR7	8	8	4～7PCLKA	2～4ICLK	22章
000C 1A95h	MTU5	ノイズフィルタコントロールレジスタ5	NFCR5	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C80h	MTU5	タイマカウンタU	TCNTU	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	4～7PCLKA	2～4ICLK	22章
000C 1C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C85h	MTU5	タイマコントロールレジスタ2U	TCR2U	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C90h	MTU5	タイマカウンタV	TCNTV	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	4～7PCLKA	2～4ICLK	22章
000C 1C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C95h	MTU5	タイマコントロールレジスタ2V	TCR2V	8	8	4～7PCLKA	2～4ICLK	22章
000C 1C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	4～7PCLKA	2～4ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (33 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16, 32	4～7PCLKA	2～4ICLK	22章
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	4～7PCLKA	2～4ICLK	22章
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CA5h	MTU5	タイマコントロールレジスタ2W	TCR2W	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4～7PCLKA	2～4ICLK	22章
000C 1D30h	MTU	A/D変換開始要求選択レジスタ0	TADSTRGR0	8	8	4～7PCLKA	2～4ICLK	22章
000C 1D32h	MTU	A/D変換開始要求選択レジスタ1	TADSTRGR1	8	8	4～7PCLKA	2～4ICLK	22章
000C 2000h	GPTW0	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2004h	GPTW0	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2008h	GPTW0	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 200Ch	GPTW0	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2010h	GPTW0	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2014h	GPTW0	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2018h	GPTW0	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 201Ch	GPTW0	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2020h	GPTW0	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2024h	GPTW0	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2028h	GPTW0	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 202Ch	GPTW0	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2030h	GPTW0	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2034h	GPTW0	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2038h	GPTW0	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 203Ch	GPTW0	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2040h	GPTW0	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2044h	GPTW0	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2048h	GPTW0	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 204Ch	GPTW0	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2050h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2054h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2058h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 205Ch	GPTW0	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2060h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2064h	GPTW0	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2068h	GPTW0	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 206Ch	GPTW0	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2070h	GPTW0	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2074h	GPTW0	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2078h	GPTW0	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 207Ch	GPTW0	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2080h	GPTW0	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2084h	GPTW0	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2088h	GPTW0	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 208Ch	GPTW0	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2090h	GPTW0	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2094h	GPTW0	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (34 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2098h	GPTW0	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 209Ch	GPTW0	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 20A0h	GPTW0	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 20A4h	GPTW0	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 20A8h	GPTW0	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 20ACh	GPTW0	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 20B0h	GPTW0	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 20B4h	GPTW0	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 20D0h	GPTW0	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 20D4h	GPTW0	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2100h	GPTW1	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2104h	GPTW1	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2108h	GPTW1	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 210Ch	GPTW1	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2110h	GPTW1	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2114h	GPTW1	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2118h	GPTW1	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 211Ch	GPTW1	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2120h	GPTW1	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2124h	GPTW1	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2128h	GPTW1	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 212Ch	GPTW1	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2130h	GPTW1	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2134h	GPTW1	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2138h	GPTW1	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 213Ch	GPTW1	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2140h	GPTW1	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2144h	GPTW1	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2148h	GPTW1	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 214Ch	GPTW1	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2150h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2154h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2158h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 215Ch	GPTW1	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2160h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2164h	GPTW1	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2168h	GPTW1	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 216Ch	GPTW1	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2170h	GPTW1	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2174h	GPTW1	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2178h	GPTW1	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 217Ch	GPTW1	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2180h	GPTW1	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2184h	GPTW1	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2188h	GPTW1	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (35 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 218Ch	GPTW1	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2190h	GPTW1	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2194h	GPTW1	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2198h	GPTW1	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 219Ch	GPTW1	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 21A0h	GPTW1	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 21A4h	GPTW1	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 21A8h	GPTW1	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 21ACh	GPTW1	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 21B0h	GPTW1	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 21B4h	GPTW1	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 21D0h	GPTW1	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 21D4h	GPTW1	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2200h	GPTW2	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2204h	GPTW2	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2208h	GPTW2	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 220Ch	GPTW2	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2210h	GPTW2	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2214h	GPTW2	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2218h	GPTW2	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 221Ch	GPTW2	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2220h	GPTW2	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2224h	GPTW2	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2228h	GPTW2	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 222Ch	GPTW2	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2230h	GPTW2	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2234h	GPTW2	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2238h	GPTW2	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 223Ch	GPTW2	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2240h	GPTW2	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2244h	GPTW2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2248h	GPTW2	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 224Ch	GPTW2	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2250h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2254h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2258h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 225Ch	GPTW2	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2260h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2264h	GPTW2	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2268h	GPTW2	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 226Ch	GPTW2	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2270h	GPTW2	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2274h	GPTW2	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2278h	GPTW2	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 227Ch	GPTW2	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (36 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2280h	GPTW2	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2284h	GPTW2	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2288h	GPTW2	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 228Ch	GPTW2	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2290h	GPTW2	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2294h	GPTW2	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2298h	GPTW2	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 229Ch	GPTW2	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 22A0h	GPTW2	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 22A4h	GPTW2	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 22A8h	GPTW2	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 22ACh	GPTW2	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 22B0h	GPTW2	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 22B4h	GPTW2	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 22D0h	GPTW2	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 22D4h	GPTW2	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2300h	GPTW3	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2304h	GPTW3	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2308h	GPTW3	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 230Ch	GPTW3	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2310h	GPTW3	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2314h	GPTW3	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2318h	GPTW3	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 231Ch	GPTW3	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2320h	GPTW3	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2324h	GPTW3	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2328h	GPTW3	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 232Ch	GPTW3	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2330h	GPTW3	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2334h	GPTW3	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2338h	GPTW3	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 233Ch	GPTW3	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2340h	GPTW3	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2344h	GPTW3	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2348h	GPTW3	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 234Ch	GPTW3	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2350h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2354h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2358h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 235Ch	GPTW3	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2360h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2364h	GPTW3	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2368h	GPTW3	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 236Ch	GPTW3	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2370h	GPTW3	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (37 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2374h	GPTW3	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2378h	GPTW3	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 237Ch	GPTW3	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2380h	GPTW3	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2384h	GPTW3	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2388h	GPTW3	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 238Ch	GPTW3	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2390h	GPTW3	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2394h	GPTW3	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2398h	GPTW3	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 239Ch	GPTW3	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 23A0h	GPTW3	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 23A4h	GPTW3	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 23A8h	GPTW3	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 23ACh	GPTW3	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 23B0h	GPTW3	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 23B4h	GPTW3	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 23D0h	GPTW3	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 23D4h	GPTW3	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2400h	GPTW4	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2404h	GPTW4	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2408h	GPTW4	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 240Ch	GPTW4	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2410h	GPTW4	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2414h	GPTW4	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2418h	GPTW4	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 241Ch	GPTW4	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2420h	GPTW4	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2424h	GPTW4	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2428h	GPTW4	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 242Ch	GPTW4	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2430h	GPTW4	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2434h	GPTW4	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2438h	GPTW4	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 243Ch	GPTW4	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2440h	GPTW4	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2444h	GPTW4	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2448h	GPTW4	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 244Ch	GPTW4	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2450h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2454h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2458h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 245Ch	GPTW4	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2460h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2464h	GPTW4	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (38 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2468h	GPTW4	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 246Ch	GPTW4	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2470h	GPTW4	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2474h	GPTW4	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2478h	GPTW4	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 247Ch	GPTW4	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2480h	GPTW4	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2484h	GPTW4	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2488h	GPTW4	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 248Ch	GPTW4	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2490h	GPTW4	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2494h	GPTW4	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2498h	GPTW4	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 249Ch	GPTW4	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 24A0h	GPTW4	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 24A4h	GPTW4	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 24A8h	GPTW4	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 24ACh	GPTW4	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 24B0h	GPTW4	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 24B4h	GPTW4	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 24D0h	GPTW4	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 24D4h	GPTW4	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2500h	GPTW5	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2504h	GPTW5	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2508h	GPTW5	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 250Ch	GPTW5	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2510h	GPTW5	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2514h	GPTW5	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2518h	GPTW5	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 251Ch	GPTW5	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2520h	GPTW5	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2524h	GPTW5	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2528h	GPTW5	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 252Ch	GPTW5	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2530h	GPTW5	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2534h	GPTW5	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2538h	GPTW5	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 253Ch	GPTW5	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2540h	GPTW5	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2544h	GPTW5	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2548h	GPTW5	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 254Ch	GPTW5	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2550h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2554h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2558h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (39 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 255Ch	GPTW5	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2560h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2564h	GPTW5	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2568h	GPTW5	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 256Ch	GPTW5	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2570h	GPTW5	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2574h	GPTW5	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2578h	GPTW5	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 257Ch	GPTW5	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2580h	GPTW5	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2584h	GPTW5	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2588h	GPTW5	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 258Ch	GPTW5	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2590h	GPTW5	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2594h	GPTW5	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2598h	GPTW5	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 259Ch	GPTW5	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 25A0h	GPTW5	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 25A4h	GPTW5	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 25A8h	GPTW5	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 25ACh	GPTW5	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 25B0h	GPTW5	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 25B4h	GPTW5	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 25D0h	GPTW5	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 25D4h	GPTW5	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2600h	GPTW6	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2604h	GPTW6	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2608h	GPTW6	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 260Ch	GPTW6	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2610h	GPTW6	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2614h	GPTW6	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2618h	GPTW6	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 261Ch	GPTW6	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2620h	GPTW6	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2624h	GPTW6	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2628h	GPTW6	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 262Ch	GPTW6	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2630h	GPTW6	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2634h	GPTW6	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2638h	GPTW6	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 263Ch	GPTW6	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2640h	GPTW6	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2644h	GPTW6	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2648h	GPTW6	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 264Ch	GPTW6	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (40 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2650h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2654h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2658h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 265Ch	GPTW6	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2660h	GPTW6	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2664h	GPTW6	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2668h	GPTW6	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 266Ch	GPTW6	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2670h	GPTW6	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2674h	GPTW6	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2678h	GPTW6	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 267Ch	GPTW6	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2680h	GPTW6	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2684h	GPTW6	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2688h	GPTW6	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 268Ch	GPTW6	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2690h	GPTW6	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2694h	GPTW6	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2698h	GPTW6	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 269Ch	GPTW6	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 26A0h	GPTW6	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 26A4h	GPTW6	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 26A8h	GPTW6	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 26ACh	GPTW6	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 26B0h	GPTW6	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 26B4h	GPTW6	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 26D0h	GPTW6	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 26D4h	GPTW6	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2700h	GPTW7	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2704h	GPTW7	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2708h	GPTW7	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 270Ch	GPTW7	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2710h	GPTW7	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2714h	GPTW7	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2718h	GPTW7	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 271Ch	GPTW7	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2720h	GPTW7	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2724h	GPTW7	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2728h	GPTW7	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 272Ch	GPTW7	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2730h	GPTW7	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2734h	GPTW7	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2738h	GPTW7	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 273Ch	GPTW7	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2740h	GPTW7	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (41 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2744h	GPTW7	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2748h	GPTW7	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 274Ch	GPTW7	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2750h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2754h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2758h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 275Ch	GPTW7	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2760h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2764h	GPTW7	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2768h	GPTW7	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 276Ch	GPTW7	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2770h	GPTW7	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2774h	GPTW7	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2778h	GPTW7	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 277Ch	GPTW7	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2780h	GPTW7	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2784h	GPTW7	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2788h	GPTW7	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 278Ch	GPTW7	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2790h	GPTW7	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2794h	GPTW7	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2798h	GPTW7	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 279Ch	GPTW7	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 27A0h	GPTW7	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 27A4h	GPTW7	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 27A8h	GPTW7	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 27ACh	GPTW7	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 27B0h	GPTW7	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 27B4h	GPTW7	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 27D0h	GPTW7	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 27D4h	GPTW7	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2800h	GPTW8	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2804h	GPTW8	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2808h	GPTW8	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 280Ch	GPTW8	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2810h	GPTW8	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2814h	GPTW8	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2818h	GPTW8	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 281Ch	GPTW8	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2820h	GPTW8	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2824h	GPTW8	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2828h	GPTW8	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 282Ch	GPTW8	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2830h	GPTW8	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2834h	GPTW8	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (42 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2838h	GPTW8	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 283Ch	GPTW8	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2840h	GPTW8	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2844h	GPTW8	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2848h	GPTW8	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 284Ch	GPTW8	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2850h	GPTW8	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2854h	GPTW8	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2858h	GPTW8	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 285Ch	GPTW8	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2860h	GPTW8	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2864h	GPTW8	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2868h	GPTW8	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 286Ch	GPTW8	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2870h	GPTW8	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2874h	GPTW8	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2878h	GPTW8	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 287Ch	GPTW8	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2880h	GPTW8	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2884h	GPTW8	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2888h	GPTW8	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 288Ch	GPTW8	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2890h	GPTW8	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2894h	GPTW8	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2898h	GPTW8	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 289Ch	GPTW8	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 28A0h	GPTW8	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 28A4h	GPTW8	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 28A8h	GPTW8	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 28ACh	GPTW8	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 28B0h	GPTW8	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 28B4h	GPTW8	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 28D0h	GPTW8	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 28D4h	GPTW8	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2900h	GPTW9	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4～5PCLKA	2～3ICLK	24章
000C 2904h	GPTW9	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2908h	GPTW9	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4～5PCLKA	2～3ICLK	24章
000C 290Ch	GPTW9	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2910h	GPTW9	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2914h	GPTW9	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2918h	GPTW9	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 291Ch	GPTW9	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2920h	GPTW9	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2924h	GPTW9	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2928h	GPTW9	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4～5PCLKA	2～3ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (43 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 292Ch	GPTW9	汎用PWMタイマ制御レジスタ	GTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2930h	GPTW9	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2934h	GPTW9	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2938h	GPTW9	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4～5PCLKA	2～3ICLK	24章
000C 293Ch	GPTW9	汎用PWMタイマステータスレジスタ	GTST	32	32	4～5PCLKA	2～3ICLK	24章
000C 2940h	GPTW9	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32	4～5PCLKA	2～3ICLK	24章
000C 2944h	GPTW9	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2948h	GPTW9	汎用PWMタイマカウンタ	GTCNT	32	32	4～5PCLKA	2～3ICLK	24章
000C 294Ch	GPTW9	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2950h	GPTW9	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2954h	GPTW9	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4～5PCLKA	2～3ICLK	24章
000C 2958h	GPTW9	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4～5PCLKA	2～3ICLK	24章
000C 295Ch	GPTW9	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2960h	GPTW9	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4～5PCLKA	2～3ICLK	24章
000C 2964h	GPTW9	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2968h	GPTW9	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 296Ch	GPTW9	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2970h	GPTW9	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2974h	GPTW9	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 2978h	GPTW9	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4～5PCLKA	2～3ICLK	24章
000C 297Ch	GPTW9	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2980h	GPTW9	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2984h	GPTW9	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4～5PCLKA	2～3ICLK	24章
000C 2988h	GPTW9	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4～5PCLKA	2～3ICLK	24章
000C 298Ch	GPTW9	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2990h	GPTW9	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32	4～5PCLKA	2～3ICLK	24章
000C 2994h	GPTW9	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32	4～5PCLKA	2～3ICLK	24章
000C 2998h	GPTW9	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32	4～5PCLKA	2～3ICLK	24章
000C 299Ch	GPTW9	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32	4～5PCLKA	2～3ICLK	24章
000C 29A0h	GPTW9	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32	4～5PCLKA	2～3ICLK	24章
000C 29A4h	GPTW9	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32	4～5PCLKA	2～3ICLK	24章
000C 29A8h	GPTW9	汎用PWMタイマ拡張割り込み間引きカウンタ制御レジスタ	GTEITC	32	32	4～5PCLKA	2～3ICLK	24章
000C 29ACh	GPTW9	汎用PWMタイマ拡張割り込み間引き設定レジスタ1	GTEITLI1	32	32	4～5PCLKA	2～3ICLK	24章
000C 29B0h	GPTW9	汎用PWMタイマ拡張割り込み間引き設定レジスタ2	GTEITLI2	32	32	4～5PCLKA	2～3ICLK	24章
000C 29B4h	GPTW9	汎用PWMタイマ拡張バッファ転送間引き設定レジスタ	GTEITLB	32	32	4～5PCLKA	2～3ICLK	24章
000C 29D0h	GPTW9	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4～5PCLKA	2～3ICLK	24章
000C 29D4h	GPTW9	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4～5PCLKA	2～3ICLK	24章
000C 2A00h	HRPWM	HRPWM動作制御レジスタ	HROCR	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A02h	HRPWM	HRPWM動作制御レジスタ2	HROCR2	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A18h	HRPWM	GTIOC0A端子立ち上がりエッジ調整レジスタ	HRREAR0A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A1Ah	HRPWM	GTIOC0B端子立ち上がりエッジ調整レジスタ	HRREAR0B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A1Ch	HRPWM	GTIOC1A端子立ち上がりエッジ調整レジスタ	HRREAR1A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A1Eh	HRPWM	GTIOC1B端子立ち上がりエッジ調整レジスタ	HRREAR1B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A20h	HRPWM	GTIOC2A端子立ち上がりエッジ調整レジスタ	HRREAR2A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A22h	HRPWM	GTIOC2B端子立ち上がりエッジ調整レジスタ	HRREAR2B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A24h	HRPWM	GTIOC3A端子立ち上がりエッジ調整レジスタ	HRREAR3A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A26h	HRPWM	GTIOC3B端子立ち上がりエッジ調整レジスタ	HRREAR3B	16	16	4～5PCLKA	2～3ICLK	25章

表5.1 I/O レジスタアドレス一覧 (44 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000C 2A28h	HRPWM	GTIOC0A端子立ち下がりエッジ調整レジスタ	HRFEAR0A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A2Ah	HRPWM	GTIOC0B端子立ち下がりエッジ調整レジスタ	HRFEAR0B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A2Ch	HRPWM	GTIOC1A端子立ち下がりエッジ調整レジスタ	HRFEAR1A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A2Eh	HRPWM	GTIOC1B端子立ち下がりエッジ調整レジスタ	HRFEAR1B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A30h	HRPWM	GTIOC2A端子立ち下がりエッジ調整レジスタ	HRFEAR2A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A32h	HRPWM	GTIOC2B端子立ち下がりエッジ調整レジスタ	HRFEAR2B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A34h	HRPWM	GTIOC3A端子立ち下がりエッジ調整レジスタ	HRFEAR3A	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A36h	HRPWM	GTIOC3B端子立ち下がりエッジ調整レジスタ	HRFEAR3B	16	16	4～5PCLKA	2～3ICLK	25章
000C 2A70h	HRPWM	HRPWM動作クロック選択レジスタ	HRCKSR	16	16	4～5PCLKA	2～3ICLK	25章
000D 0000h	SCI11	シリアルモードレジスタ	SMR	8	8	2～3PCLKA	2ICLK	32章
000D 0000h	SMCI11	シリアルモードレジスタ	SMR	8	8	2～3PCLKA	2ICLK	32章
000D 0001h	SCI11	ビットレートレジスタ	BRR	8	8	2～3PCLKA	2ICLK	32章
000D 0002h	SCI11	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKA	2ICLK	32章
000D 0002h	SMCI11	シリアルコントロールレジスタ	SCR	8	8	2～3PCLKA	2ICLK	32章
000D 0003h	SCI11	トランスミットデータレジスタ	TDR	8	8	2～3PCLKA	2ICLK	32章
000D 0004h	SCI11	シリアルステータスレジスタ	SSR	8	8	2～3PCLKA	2ICLK	32章
000D 0004h	SMCI11	シリアルステータスレジスタ	SSR	8	8	2～3PCLKA	2ICLK	32章
000D 0004h	SCI11	シリアルステータスレジスタ	SSRFIFO	8	8	2～3PCLKA	2ICLK	32章
000D 0005h	SCI11	レシーブデータレジスタ	RDR	8	8	2～3PCLKA	2ICLK	32章
000D 0006h	SMCI11	スマートカードモードレジスタ	SCMR	8	8	2～3PCLKA	2ICLK	32章
000D 0007h	SCI11	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLKA	2ICLK	32章
000D 0008h	SCI11	ノイズフィルタ設定レジスタ	SNFR	8	8	2～3PCLKA	2ICLK	32章
000D 0009h	SCI11	I²Cモードレジスタ1	SIMR1	8	8	2～3PCLKA	2ICLK	32章
000D 000Ah	SCI11	I²Cモードレジスタ2	SIMR2	8	8	2～3PCLKA	2ICLK	32章
000D 000Bh	SCI11	I²Cモードレジスタ3	SIMR3	8	8	2～3PCLKA	2ICLK	32章
000D 000Ch	SCI11	I²Cステータスレジスタ	SISR	8	8	2～3PCLKA	2ICLK	32章
000D 000Dh	SCI11	SPIモードレジスタ	SPMR	8	8	2～3PCLKA	2ICLK	32章
000D 000Eh	SCI11	トランスミットデータレジスタH	TDRH	8	8	2～3PCLKA	2ICLK	32章
000D 000Fh	SCI11	トランスミットデータレジスタL	TDRL	8	8	2～3PCLKA	2ICLK	32章
000D 000Eh	SCI11	トランスミットデータレジスタHL	TDRHL	16	16	4～5PCLKA	2ICLK	32章
000D 000Eh	SCI11	送信FIFOデータレジスタH	FTDR.H	8	8	2～3PCLKA	2ICLK	32章
000D 000Fh	SCI11	送信FIFOデータレジスタL	FTDR.L	8	8	2～3PCLKA	2ICLK	32章
000D 000Eh	SCI11	送信FIFOデータレジスタ	FTDR	16	16	4～5PCLKA	2ICLK	32章
000D 0010h	SCI11	レシーブデータレジスタH	RDRH	8	8	2～3PCLKA	2ICLK	32章
000D 0011h	SCI11	レシーブデータレジスタL	RDRL	8	8	2～3PCLKA	2ICLK	32章
000D 0010h	SCI11	レシーブデータレジスタHL	RDRHL	16	16	4～5PCLKA	2ICLK	32章
000D 0010h	SCI11	受信FIFOデータレジスタH	FRDR.H	8	8	2～3PCLKA	2ICLK	32章
000D 0011h	SCI11	受信FIFOデータレジスタL	FRDR.L	8	8	2～3PCLKA	2ICLK	32章
000D 0010h	SCI11	受信FIFOデータレジスタ	FRDR	16	16	4～5PCLKA	2ICLK	32章
000D 0012h	SCI11	モジュレーションデューティレジスタ	MDDR	8	8	2～3PCLKA	2ICLK	32章
000D 0013h	SCI11	データ比較制御レジスタ	DCCR	8	8	2～3PCLKA	2ICLK	32章
000D 0014h	SCI11	FIFOコントロールレジスタH	FCR.H	8	8	2～3PCLKA	2ICLK	32章
000D 0015h	SCI11	FIFOコントロールレジスタL	FCR.L	8	8	2～3PCLKA	2ICLK	32章
000D 0014h	SCI11	FIFOコントロールレジスタ	FCR	16	16	4～5PCLKA	2ICLK	32章
000D 0016h	SCI11	FIFOデータカウントレジスタH	FDR.H	8	8	2～3PCLKA	2ICLK	32章
000D 0017h	SCI11	FIFOデータカウントレジスタL	FDR.L	8	8	2～3PCLKA	2ICLK	32章
000D 0016h	SCI11	FIFOデータカウントレジスタ	FDR	16	16	4～5PCLKA	2ICLK	32章
000D 0018h	SCI11	ラインステータスレジスタH	LSR.H	8	8	2～3PCLKA	2ICLK	32章
000D 0019h	SCI11	ラインステータスレジスタL	LSR.L	8	8	2～3PCLKA	2ICLK	32章
000D 0018h	SCI11	ラインステータスレジスタ	LSR	16	16	4～5PCLKA	2ICLK	32章
000D 001Ah	SCI11	比較データレジスタH	CDR.H	8	8	2～3PCLKA	2ICLK	32章
000D 001Bh	SCI11	比較データレジスタL	CDR.L	8	8	2～3PCLKA	2ICLK	32章

表5.1 I/O レジスタアドレス一覧 (45 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
000D 001Ah	SCI11	比較データレジスタ	CDR	16	16	4～5PCLKA	2ICLK	32章
000D 001Ch	SCI11	シリアルポートレジスタ	SPTR	8	8	2～3PCLKA	2ICLK	32章
000D 0100h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2～3PCLKA	2ICLK	35章
000D 0101h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2～3PCLKA	2ICLK	35章
000D 0102h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2～3PCLKA	2ICLK	35章
000D 0103h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2～3PCLKA	2ICLK	35章
000D 0104h	RSPI0	RSPIデータレジスタ	SPDR	32	8, 16, 32	2～3PCLKA	2ICLK	35章
000D 0108h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2～3PCLKA	2ICLK	35章
000D 0109h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2～3PCLKA	2ICLK	35章
000D 010Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2～3PCLKA	2ICLK	35章
000D 010Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2～3PCLKA	2ICLK	35章
000D 010Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2～3PCLKA	2ICLK	35章
000D 010Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2～3PCLKA	2ICLK	35章
000D 010Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2～3PCLKA	2ICLK	35章
000D 010Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2～3PCLKA	2ICLK	35章
000D 0110h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2～3PCLKA	2ICLK	35章
000D 0112h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2～3PCLKA	2ICLK	35章
000D 0114h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2～3PCLKA	2ICLK	35章
000D 0116h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2～3PCLKA	2ICLK	35章
000D 0118h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2～3PCLKA	2ICLK	35章
000D 011Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2～3PCLKA	2ICLK	35章
000D 011Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2～3PCLKA	2ICLK	35章
000D 011Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2～3PCLKA	2ICLK	35章
000D 0120h	RSPI0	RSPIデータコントロールレジスタ2	SPDCR2	8	8	2～3PCLKA	2ICLK	35章
0012 0040h	OFSM	シリアルプログラマコマンド制御レジスタ	SPCC	32	32	8FCLK		7章
0012 0048h	OFSM	TMイネーブルフラグレジスタ	TMEF	32	32	8FCLK		7章
0012 0050h	OFSM	OCD/シリアルプログラマID設定レジスタ	OSIS	128	32	8FCLK		7章
0012 0060h	OFSM	TM識別データレジスタ	TMINF	32	32	8FCLK		7章
0012 0064h	OFSM	エンディアン選択レジスタ	MDE	32	32	8FCLK		7章
0012 0068h	OFSM	オプション機能選択レジスタ0	OFS0	32	32	8FCLK		7章
0012 006Ch	OFSM	オプション機能選択レジスタ1	OFS1	32	32	8FCLK		7章
0012 007Ch	OFSM	ROMコードプロテクトレジスタ	ROMCODE	32	32	8FCLK		7章
007F B174h	FLASH	ユニークIDレジスタ0	UIDR0	32	32	3～5FCLK	3～4ICLK	45章
007F B17Ch	TEMPS	温度センサ校正データレジスタ	TSCDR	32	32	3～5FCLK	3～4ICLK	41章
007F B1E4h	FLASH	ユニークIDレジスタ1	UIDR1	32	32	3～5FCLK	3～4ICLK	45章
007F B1E8h	FLASH	ユニークIDレジスタ2	UIDR2	32	32	3～5FCLK	3～4ICLK	45章
007F E010h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2～4FCLK	2～3ICLK	45章
007F E014h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2～4FCLK	2～3ICLK	45章
007F E018h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2～4FCLK	2～3ICLK	45章
007F E030h	FLASH	FACIコマンド処理開始アドレスレジスタ	FSADDR	32	32	2～4FCLK	2～3ICLK	45章
007F E034h	FLASH	FACIコマンド処理終了アドレスレジスタ	FEADDR	32	32	2～4FCLK	2～3ICLK	45章
007F E080h	FLASH	フラッシュステータスレジスタ	FSTATR	32	32	2～4FCLK	2～3ICLK	45章
007F E084h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2～4FCLK	2～3ICLK	45章
007F E088h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2～4FCLK	2～3ICLK	45章
007F E08Ch	FLASH	フラッシュシーケンサ設定初期化レジスタ	FSUINITR	16	16	2～4FCLK	2～3ICLK	45章
007F E090h	FLASH	ロックビットステータスレジスタ	FLKSTAT	8	8	2～4FCLK	2～3ICLK	45章
007F E0A0h	FLASH	FACIコマンドレジスタ	FCMDR	16	16	2～4FCLK	2～3ICLK	45章
007F E0C0h	FLASH	フラッシュP/Eステータスレジスタ	FPESTAT	16	16	2～4FCLK	2～3ICLK	45章
007F E0D0h	FLASH	データフラッシュブランクチェック制御レジスタ	FBCCNT	8	8	2～4FCLK	2～3ICLK	45章
007F E0D4h	FLASH	データフラッシュブランクチェックステータスレジスタ	FBCSTAT	8	8	2～4FCLK	2～3ICLK	45章
007F E0D8h	FLASH	データフラッシュ書き込み開始アドレスレジスタ	FPSADDR	32	32	2～4FCLK	2～3ICLK	45章

表5.1 I/O レジスタアドレス一覧 (46 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK≧PCLKの場合	ICLK < PCLKの場合	
007F E0E0h	FLASH	フラッシュシーケンサ処理切り替えレジスタ	FCPSR	16	16	2～4FCLK	2～3ICLK	45章
007F E0E4h	FLASH	フラッシュシーケンサ処理クロック周波数通知レジスタ	FPCKAR	16	16	2～4FCLK	2～3ICLK	45章

注1. USB動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。
注2. 32ビットでアクセスする場合、番地の末尾は0h、4h、8hまたはChにしてください。16ビットでアクセスする場合、番地の末尾は0h、2h、4h、6h、8h、Ah、ChまたはEhにしてください。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセット、電圧監視 1 リセット、電圧監視 2 リセット、ディープソフトウェアスタンバイリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇(監視電圧：VPOR)(注1)
電圧監視0リセット	VCCの下降(監視電圧：Vdet0)(注1)
電圧監視1リセット	VCCの下降(監視電圧：Vdet1)(注1)
電圧監視2リセット	VCCの下降(監視電圧：Vdet2)(注1)
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧(VPOR, Vdet0, Vdet1, Vdet2)については、「8. 電圧検出回路(LVDA)」、「46. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。
表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2　リセット種別ごとの初期化対象

リセット対象	リセット要因								
	RES#端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視1リセット	電圧監視2リセット	ディープソフトウェアスタンバイリセット	ソフトウェアリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—	—	—
コールドスタート/ウォームスタート 判別フラグ (RSTSR1.CWSF)	—	○	—	—	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—	—	—
電圧レベル設定レジスタ (VOLSR)	○	○	○	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマのレジスタ (IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR, ILOCOCR)	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマリセット検出フラグ (RSTSR2.WDTRF)	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマのレジスタ (WDTRR, WDTCR, WDTSR, WDTRCR)	○	○	○	○	—	—	—	○	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	○	—	—	—	—
電圧監視機能1のレジスタ (LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL[3:0])	○	○	○	○	○	—	—	—	—
(LVD1CR1, LVD1SR)	○	○	○	○	○	—	—	○	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	○	—	—	—
電圧監視機能2のレジスタ (LVD2CR0, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL[3:0])	○	○	○	○	○	○	—	—	—
(LVD2CR1, LVD2SR)	○	○	○	○	○	○	—	○	—
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	○	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	○	○	—
高速オンチップオシレータ関連のレジスタ (HOCOPCR.HOCOPCNT)	○	○	○	○	○	○	○	—	○
メインクロック発振器関連のレジスタ (MOFCR)	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
消費電力低減機能関連のレジスタ (DPSBYCR, DPSIER0～2, DPSIFR0～2, DPSIEGR0～2) (注1)	○	○	○	○	○	○	○	—	○
動作モード (注2)	○	○	○	—	—	—	—	—	—
上記以外のレジスタ、CPUおよび内部状態	○	○	○	○	○	○	○	○	○

○：初期化されます。　—：変化しない

注1.　消費電力低減機能関連のレジスタのうち、DPSBKRyレジスタは、いずれのリセットでも初期化されません。
詳細は、「11.　消費電力低減機能」を参照してください。

注2. リセット解除時のモード設定端子の状態によって動作モードが決定されます。詳細は、「3. 動作モード」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSRSTF	—	—	—	LVD2RF	LVD1RF	LVD0RF	PORF
リセット後の値	0 (注1)	0	0	0	0 (注1)	0 (注1)	0 (注1)	0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0：パワーオンリセット未検出 1：パワーオンリセット検出	R(/W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0：電圧監視0リセット未検出 1：電圧監視0リセット検出	R(/W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0：電圧監視1リセット未検出 1：電圧監視1リセット検出	R(/W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0：電圧監視2リセット未検出 1：電圧監視2リセット検出	R(/W) (注2)
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	0：割り込みによるディープソフトウェアスタンバイモード解除要求の発生なし 1：割り込みによるディープソフトウェアスタンバイモード解除要求の発生あり	R(/W) (注2)

注1. リセット後の値は、リセット要因で異なります。
注2. フラグをクリアするための"0"書き込みのみ可能です。

PORF フラグ（パワーオンリセット検出フラグ）

パワーオンリセットが発生したことを示します。

[“1” になる条件]

- パワーオンリセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

VCC 電圧が Vdet0 レベル以下になり、電圧監視 0 リセットが発生したことを示します。

[“1” になる条件]

- 電圧監視 0 リセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

VCC 電圧が Vdet1 レベル以下になり、電圧監視 1 リセットが発生したことを示します。

[“1” になる条件]

- 電圧監視 1 リセットが発生したとき

［“0” になる条件］

- **表** 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

VCC 電圧が Vdet2 レベル以下になり、電圧監視 2 リセットが発生したことを示します。

［“1” になる条件］

- 電圧監視 2 リセットが発生したとき

［“0” になる条件］

- **表** 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセットフラグ）

割り込みによるディープソフトウェアスタンバイモードの解除にともなって、内部リセット (ディープソフトウェアスタンバイリセット) が発生したことを示します。

[“1” になる条件]

- 割り込みによってディープソフトウェアスタンバイモードを解除したとき
  詳細は、「11. **消費電力低減機能**」を参照してください。

[“0” になる条件]

- **表** 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0：コールドスタート 1：ウォームスタート	R(/W) (注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。
注2. フラグをセットするための"1"書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かを判定するレジスタです。

CWSF フラグ（コールドスタート / ウォームスタート判別フラグ）

コールドスタートかウォームスタートかを示します。

CWSF フラグは、パワーオンリセットで初期化されます。RES# 端子リセットでは初期化されません。

[“1” になる条件]

- プログラムで “1” を書いたとき。“0” を書いても変化しません。

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	WDTRF	IWDTRF
リセット後の値	0	0	0	0	0	0 (注1)	0 (注1)	0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0：独立ウォッチドッグタイマリセット未検出 1：独立ウォッチドッグタイマリセット検出	R(/W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0：ウォッチドッグタイマリセット未検出 1：ウォッチドッグタイマリセット検出	R(/W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0：ソフトウェアリセット未検出 1：ソフトウェアリセット検出	R(/W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。
注2. フラグをクリアするための"0"書き込みのみ可能です。

IWDTRF フラグ（独立ウォッチドッグタイマリセット検出フラグ）

独立ウォッチドッグタイマリセットが発生したことを示します。

[“1” になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

WDTRF フラグ（ウォッチドッグタイマリセット検出フラグ）

ウォッチドッグタイマリセットが発生したことを示します。

[“1” になる条件]

- ウォッチドッグタイマリセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

SWRF フラグ（ソフトウェアリセット検出フラグ）

ソフトウェアリセットが発生したことを示します。

[“1” になる条件]

- ソフトウェアリセットを行なったとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SWRR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h” を書くとLSIがリセットされます。読むと“0000h”が読めます	R/W

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「46. 電気的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。また、RES# 端子を High にした状態で電源が低下した場合 (VCC が VPOR 以下になった場合) もパワーオンリセットは発生します。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、電源が安定し、かつ LSI が安定して動作するための時間です。

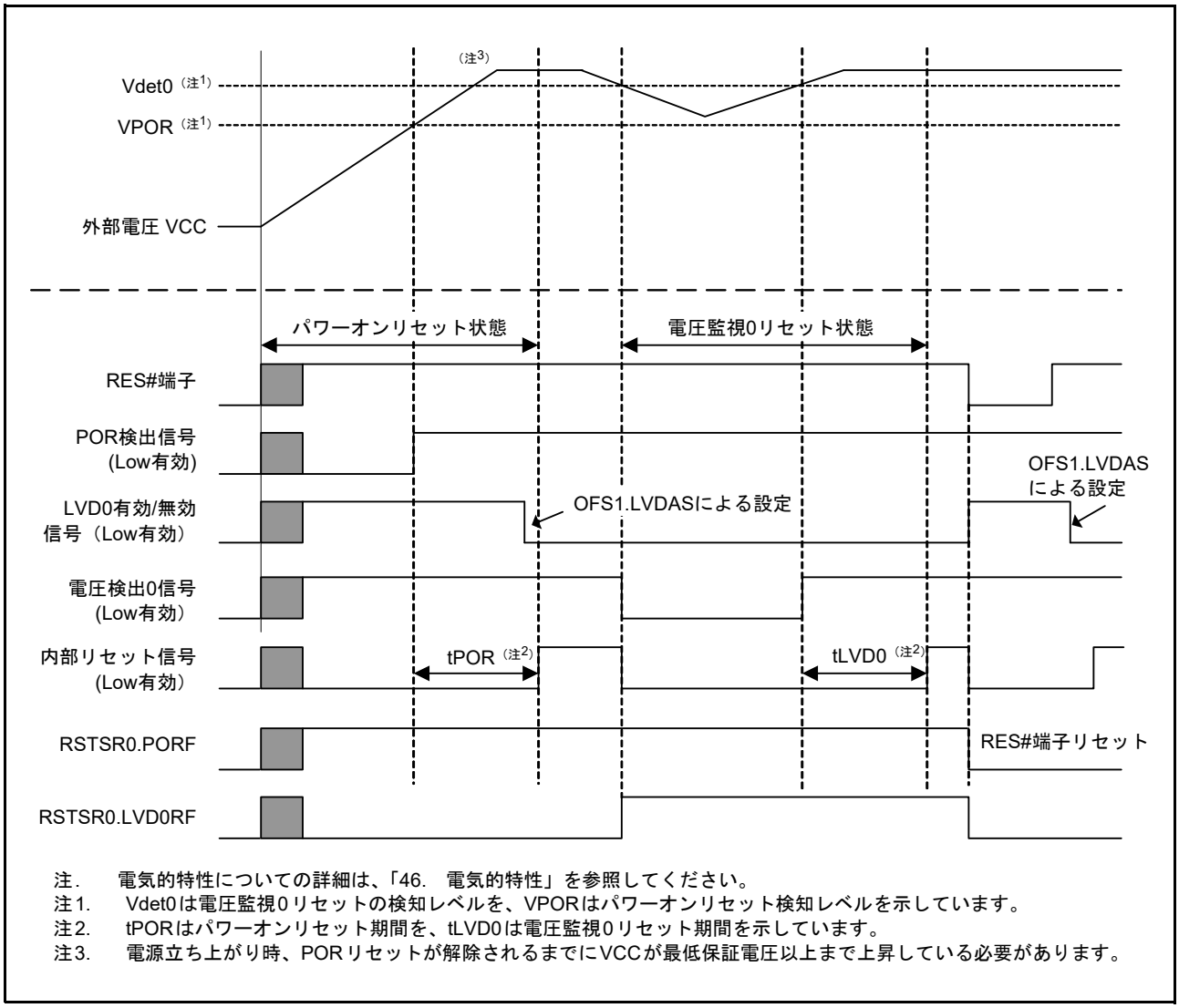
また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが “1” になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が “0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが “1” になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを “0” にしてください。VCC が Vdet0 を超えると、電圧監視 0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。Vdet0 の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL[1:0] ビットの設定により変更できます。

図 6.1 にパワーオンリセットおよび電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDA)」を参照してください。



注. 電気的特性についての詳細は、「46. 電気的特性」を参照してください。
注1. Vdet0は電圧監視0リセットの検知レベルを、VPORはパワーオンリセット検知レベルを示しています。
注2. tPORはパワーオンリセット期間を、tLVD0は電圧監視0リセット期間を示しています。
注3. 電源立ち上がり時、PORリセットが解除されるまでにVCCが最低保証電圧以上まで上昇している必要があります。

図 6.1 パワーオンリセット、電圧監視 0 リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み / リセット許可ビット (LVD1RIE) が “1”(電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1”(低電圧検出時、リセット発生) の状態で、VCC が Vdet1 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み / リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が Vdet2 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が Vdet1 以下になり、その後 Vdet1 を超えてから電圧監視 1 リセット時間 (tLVD1) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が Vdet1 以下になってから

電圧監視 1 リセット時間 (tLVD1) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

Vdet1 および Vdet2 の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセットおよび電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセットおよび電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDA)」を参照してください。

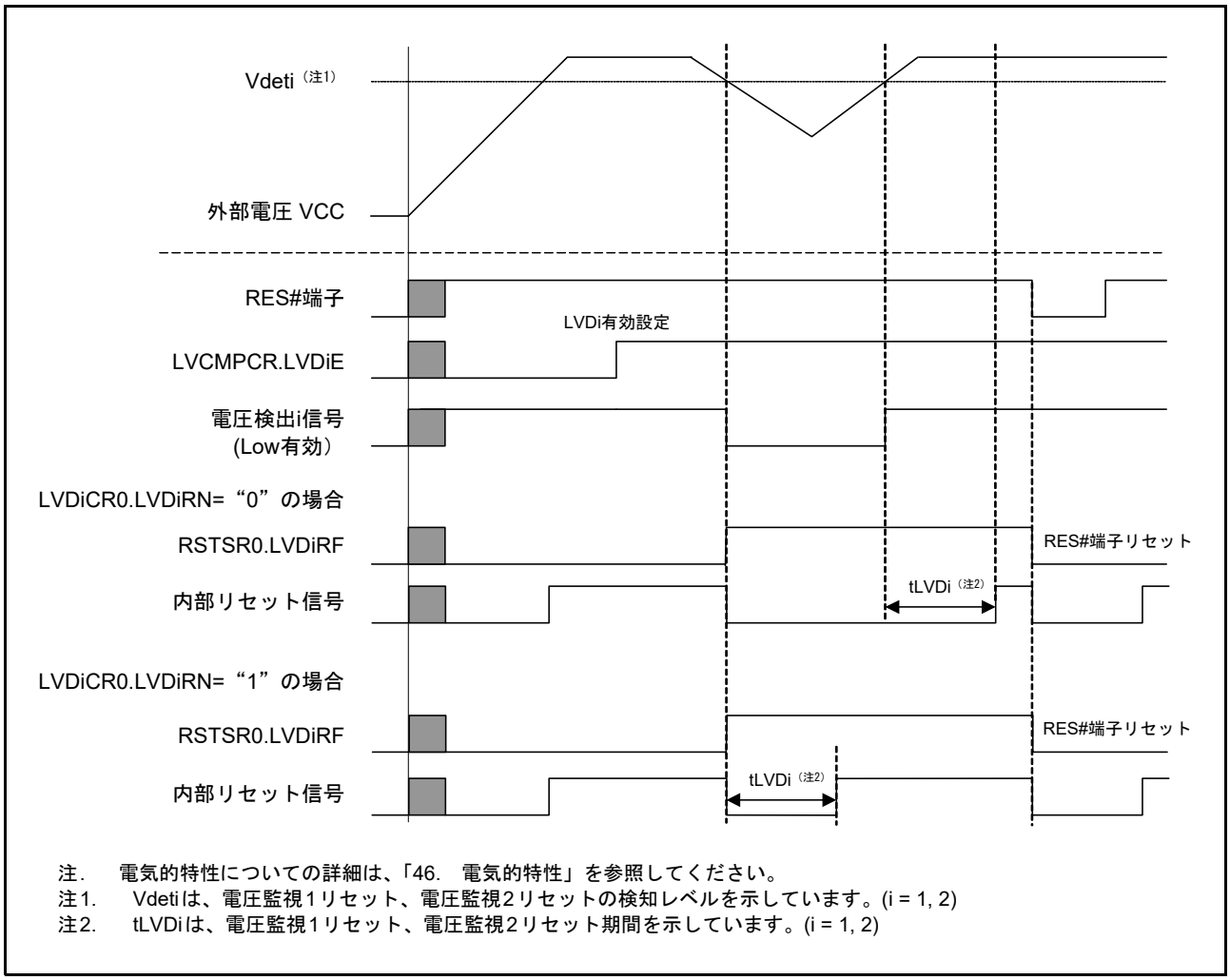


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードの解除要因が発生すると、ディープソフトウェアスタンバイリセットが発生します。その後、ディープソフトウェアスタンバイモード解除後復帰時間 (tDSBY) 経過後、ディープソフトウェアスタンバイリセットは解除され、ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後、ディープソフトウェアスタンバイモード解除後待機時間 (tDSBYWT) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「11. **消費電力低減機能**」を参照してください。

6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「30. **独立ウォッチドッグタイマ** (IWDTa)」を参照してください。

6.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「29. **ウォッチドッグタイマ** (WDTA)」を参照してください。

6.3.7 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに “A501h” を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.8 コールドスタート / ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると “0” (コールドスタート) になります。その他のリセットを行っても “0” になりません。また、プログラムで “1” を書くと、“1” になります。“0” を書いても変化しません。

図 6.3 にコールドスタート / ウォームスタート判定機能の動作例を示します。

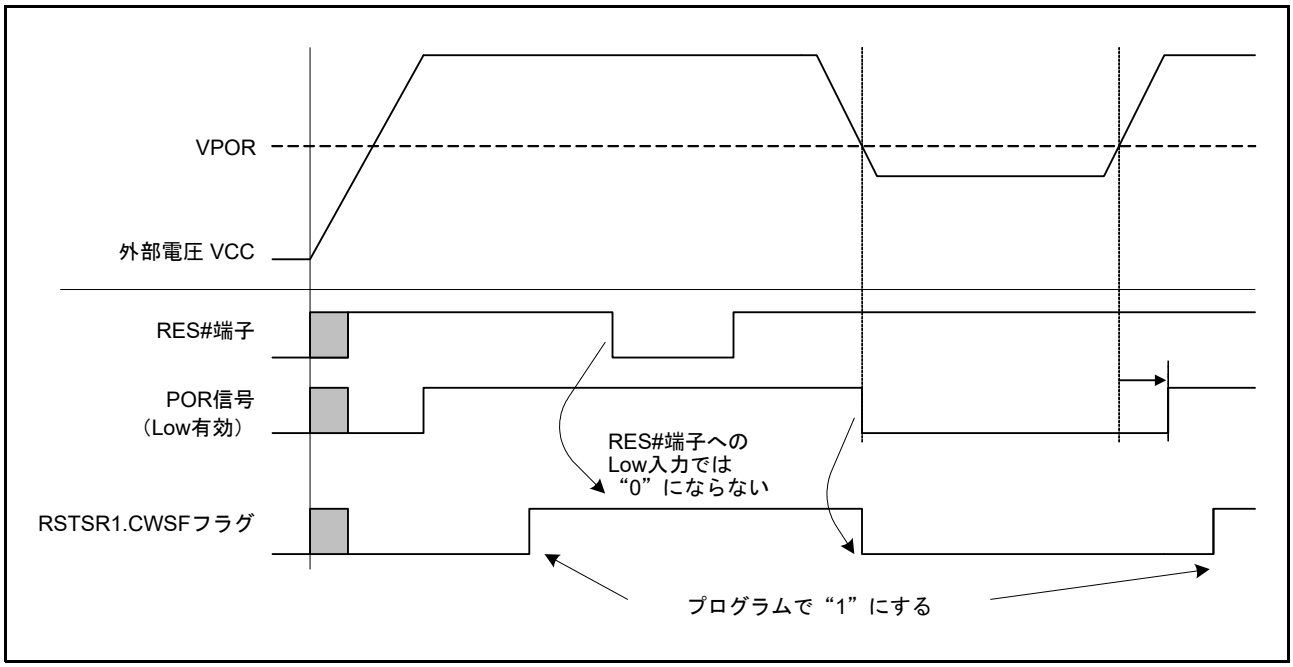


図 6.3 コールドスタート / ウォームスタート判定機能の動作例

6.3.9 リセット発生要因の判定

RSTSR0 レジスタと RSTSR2 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

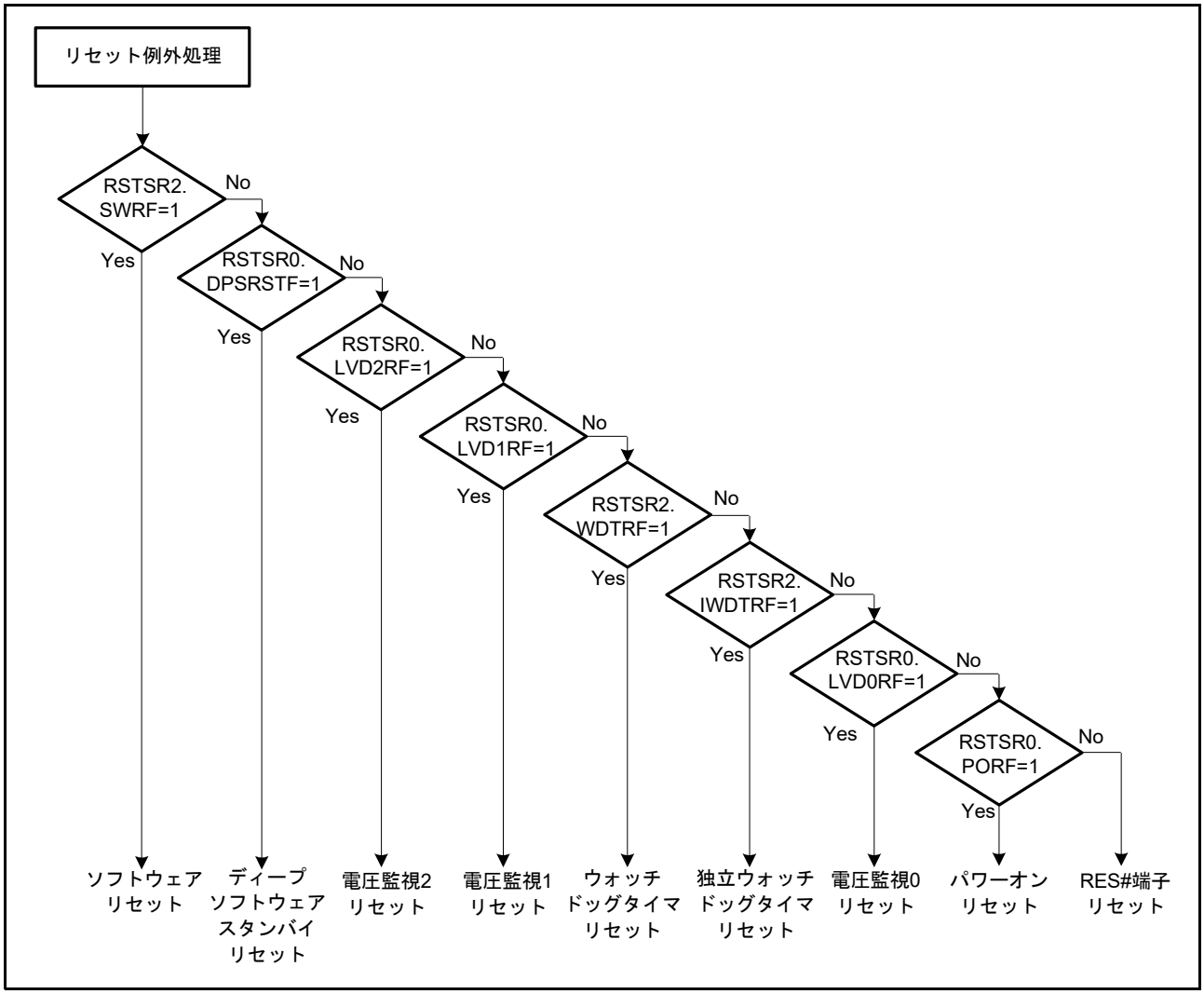


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ (OFSM)

7.1 概要

オプション設定メモリ (OFSM) は、以下に示すレジスタの総称です。

- シリアルプログラマコマンド制御レジスタ (SPCC)
- OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)
- オプション機能選択レジスタ 0 (OFS0)
- オプション機能選択レジスタ 1 (OFS1)
- エンディアン選択レジスタ (MDE)
- TM イネーブルフラグレジスタ (TMEF)
- TM 識別データレジスタ (TMINF)
- UB コード A
- UB コード B
- ROM コードプロテクトレジスタ (ROMCODE)

オプション設定メモリは、本 MCU のリセット後の状態を決定します。

オプション設定メモリへの値の設定方法は I/O レジスタとは異なります。詳細は、「7.6 オプション設定メモリの設定方法」を参照してください。

図 7.1 にオプション設定メモリ領域を示します。

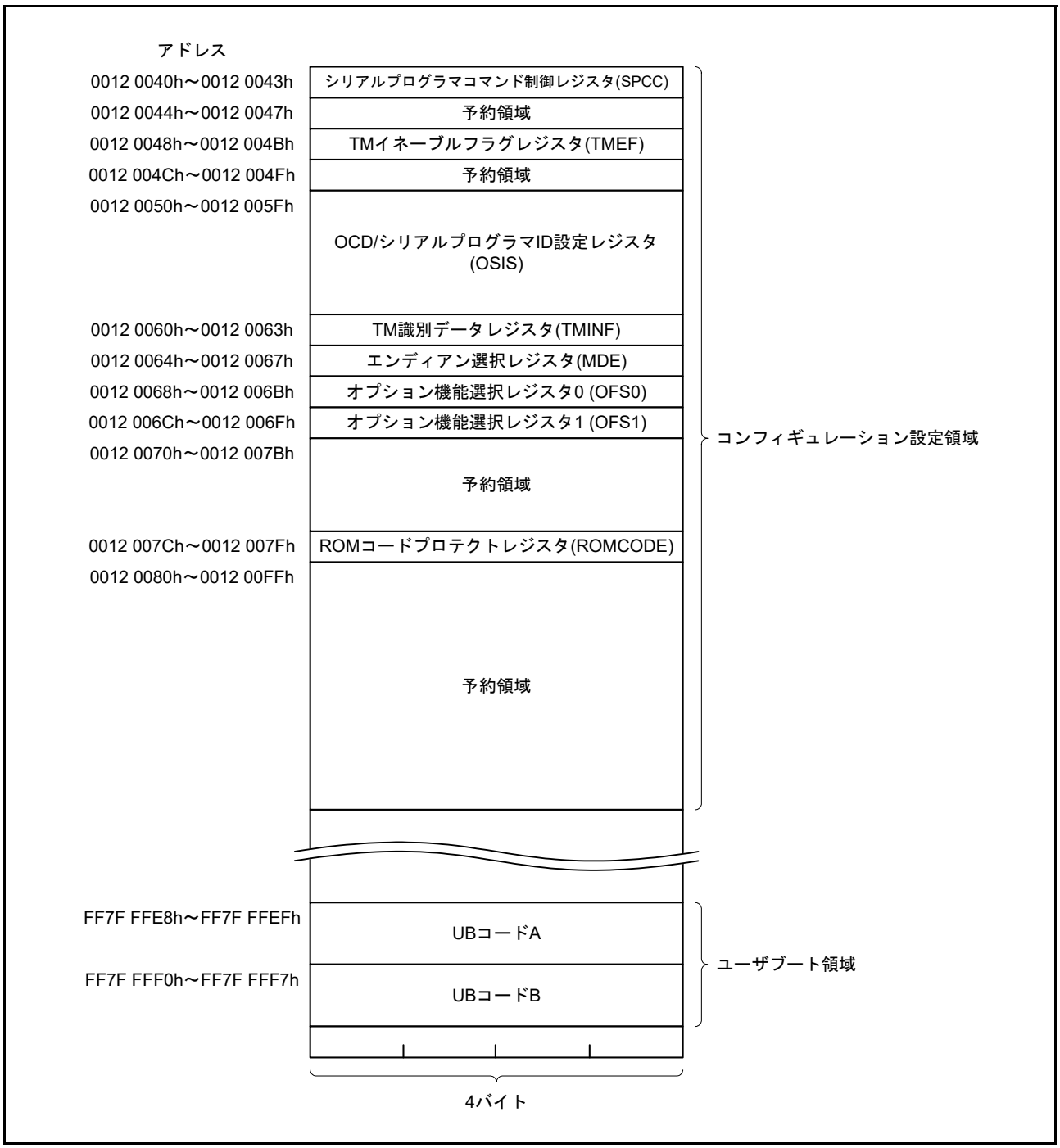


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 シリアルプログラマコマンド制御レジスタ (SPCC)

アドレス OFSM.SPCC 0012 0040h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RDPR	WRPR	SEPR	—	SPE	—	—	IDE	—	—	—	—	—	—	—	—

リセット後の値　ユーザの設定値(注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値　ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b24	IDE	シリアルプログラマIDコードプロテクト有効ビット	0：リセット後、シリアルプログラマIDコードプロテクトは有効(注2) 1：リセット後、シリアルプログラマIDコードプロテクトは無効	R
b26-b25	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b27	SPE	シリアルプログラマ接続許可ビット	0：リセット後、シリアルプログラマとの接続を禁止 1：リセット後、シリアルプログラマとの接続を許可	R
b28	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b29	SEPR	ブロックイレーズコマンドプロテクトビット	0：リセット後、ブロックイレーズコマンドの実行を禁止 1：リセット後、ブロックイレーズコマンドの実行を許可	R
b30	WRPR	プログラムコマンドプロテクトビット	0：リセット後、プログラムコマンドの実行を禁止 1：リセット後、プログラムコマンドの実行を許可	R
b31	RDPR	リードコマンドプロテクトビット	0：リセット後、リードコマンドの実行を禁止 1：リセット後、リードコマンドの実行を許可	R

注1.　ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。
注2.　シリアルプログラマIDコードプロテクトを有効にする場合、RDPR、WRPR、SEPRビットを“0”にしてください。

シリアルプログラマ ID コードプロテクト有効 / 無効とシリアルプログラマ接続、ブロックイレーズコマンド、プログラムコマンド、リードコマンドの許可 / 禁止を設定します。

IDE ビット (シリアルプログラマ ID コードプロテクト有効ビット)

シリアルプログラマ ID コードプロテクトの有効 / 無効を設定します。

このビットを “0” (シリアルプログラマ ID コードプロテクト有効) にする場合、RDPR、WRPR、SEPR ビットを “0” にしてください。

SPE ビット (シリアルプログラマ接続許可ビット)

シリアルプログラマとの接続の許可 / 禁止を設定します。

このビットを “0” にして MCU をリセットすると、以後、シリアルプログラマと接続できなくなります。

SEPR ビット (ブロックイレーズコマンドプロテクトビット)

シリアルプログラマによるブロックイレーズコマンドの実行許可 / 禁止を設定します。

IDE ビットが “1” のときにこのビットが “0” であると、ブロックイレーズコマンドを実行できません。IDE ビットが “0” のときにこのビットが “0” であると、ID コードが一致するまでブロックイレーズコマンドを実行できません。

IDE ビットを “0” にする場合、このビットを “0” にしてください。

WRPR ビット (プログラムコマンドプロテクトビット)

シリアルプログラマによるプログラムコマンドの実行許可 / 禁止を設定します。

IDE ビットが “1” のときにこのビットが “0” であると、プログラムコマンドを実行できません。IDE ビットが “0” のときにこのビットが “0” であると、ID コードが一致するまでプログラムコマンドを実行できません。

IDE ビットを “0” にする場合、このビットを “0” にしてください。

RDPR ビット (リードコマンドプロテクトビット)

シリアルプログラマによるリードコマンドの実行許可 / 禁止を設定します。

IDE ビットが “1” のときにこのビットが “0” であると、リードコマンドを実行できません。IDE ビットが “0” のときにこのビットが “0” であると、ID コードが一致するまでリードコマンドを実行できません。

IDE ビットを “0” にする場合、このビットを “0” にしてください。

7.2.2 OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)

オンチップデバッガ ID コードプロテクト / シリアルプログラマ ID コードプロテクトに使用する制御コード、または ID コードを格納するレジスタです。

エミュレータ / シリアルプログラマから送られてくる制御コード、または ID コードと、本レジスタに格納された制御コード、または ID コードの一致を判定します。

判定結果が一致した場合はエミュレータ / シリアルプログラマとの接続を許可しますが、一致しなかった場合はエミュレータ / シリアルプログラマとの接続はできません。

シリアルプログラマ ID コードプロテクトを有効にする場合、本レジスタの設定の他に、SPCC レジスタの IDE、SPE、RDPR、WRPR、SEPR ビットを設定する必要があります。

ID コード 1/ 制御コード～ ID コード 16 のリセット後の値は、ブランク品では “FFh” です。値を設定した後は、設定した値になります。

アドレス	bit31			bit0
0012 0050h ～ 0012 0053h	ID コード 4	ID コード 3	ID コード 2	ID コード 1 / 制御コード
0012 0054h ～ 0012 0057h	ID コード 8	ID コード 7	ID コード 6	ID コード 5
0012 0058h ～ 0012 005Bh	ID コード 12	ID コード 11	ID コード 10	ID コード 9
0012 005Ch ～ 0012 005Fh	ID コード 16	ID コード 15	ID コード 14	ID コード 13

ID コード 1/ 制御コード～ ID コード 16

オンチップデバッガ ID コードプロテクト / シリアルプログラマ ID コードプロテクトに使用する制御コード、または ID コードを格納します。

ID コード 1 はシリアルプログラマと接続する場合は制御コード、エミュレータと接続する場合は ID コードとなります。

制御コードの詳細は「7.5 オプション設定メモリの設定値とリード / プログラム / イレーズ動作」を参照してください。

7.2.3 オプション機能選択レジスタ 0 (OFS0)

アドレス OFSM.OFS0 0012 0068h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	WDTRSTIRQS	WDTRPSS[1:0]		WDTRPES[1:0]		WDTCKS[3:0]				WDTTOPS[1:0]		WDTSTRT	—
リセット後の値								ユーザの設定値(注1)							

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTSLCSTP	—	IWDTRSTIRQS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTSTRT	—
リセット後の値								ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：1024サイクル(03FFh) 0 1：4096サイクル(0FFFh) 1 0：8192サイクル(1FFFh) 1 1：16384サイクル(3FFFh)	R
b7-b4	IWDTCKS[3:0]	IWDT専用クロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b12	IWDTRSTIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求、または割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	WDTSTRT	WDTスタートモード選択ビット	0：リセット後、WDTはオートスタートモードにて自動的に起動 1：リセット後、WDTは停止状態	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDTタイムアウト期間選択ビット	b19 b18 0 0：1024サイクル(03FFh) 0 1：4096サイクル(0FFFh) 1 0：8192サイクル(1FFFh) 1 1：16384サイクル(3FFFh)	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択ビット	b23　b20 0 0 0 1：4分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 1 0：512分周 0 1 1 1：2048分周 1 0 0 0：8192分周 上記以外は設定しないでください	R
b25-b24	WDTRPES[1:0]	WDTウィンドウ終了位置選択ビット	b25 b24 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDTRPSS[1:0]	WDTウィンドウ開始位置選択ビット	b27 b26 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b28	WDTRSTIRQS	WDTリセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求、または割り込み要求を許可 1：リセットを許可	R
b31-b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1.　ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

ユーザブートモード時は OFS0 レジスタの値は無視され、“FFFF FFFFh” が設定されているときと同じ動作になります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後の IWDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDT 専用クロック数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「30.　独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択ビット)

IWDT 専用クロックを分周するプリスケーラの分周比設定を 1 分周 /16 分周 /32 分周 /64 分周 /128 分周 / 256 分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 専用クロックの 1024 ～ 4194304 クロックの間で設定できます。

詳細は「30.　独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開

始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「30. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「30. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求、または割り込み要求のいずれかが選択できます。

詳細は「30. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止を選択します。

詳細は「30. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択ビット)

リセット後の WDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLKB) は、WDTCKS[3:0]、WDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「29. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択ビット)

PCLKB を分周するプリスケーラの分周比設定を 4 分周 /64 分周 /128 分周 /512 分周 /2048 分周 /8192 分周から選択します。WDTTOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB の 4096 ～ 134217728 クロックの間で設定できます。

詳細は「29. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPES[1:0] ビット (WDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDTRPSS[1:0] ビット、WDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、WDTTOPS[1:0] ビットの設定により変わります。

詳細は「29. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「29. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRSTIRQS ビット (WDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求、または割り込み要求のいずれかが選択できます。

詳細は「29. ウォッチドッグタイマ (WDTA)」を参照してください。

7.2.4 オプション機能選択レジスタ 1 (OFS1)

アドレス OFSM.OFS1 0012 006Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	ユーザの設定値(注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HOCOEN	—	—	—	—	—	LVDAS	VDSEL[1:0]	
リセット後の値	ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出0レベル選択ビット	b1 b0 0 0：予約 0 1：予約 1 0：2.83Vを選択 1 1：4.22Vを選択	R
b2	LVDAS	電圧検出0回路起動ビット	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0：リセット後、HOCO発振が有効 1：リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1.　ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

ユーザブートモード時は OFS1 レジスタの値は無視され、“FFFF FFFFh” が設定されているときと同じ動作になります。

VDSEL[1:0] ビット (電圧検出 0 レベル選択ビット)

電圧検出 0 回路の電圧検出レベルを選択します。

LVDAS ビット (電圧検出 0 回路起動ビット)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

HOCOEN ビット (HOCO 発振有効ビット)

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。

HOCOEN ビットを “0” にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを “0” にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット (SCKCR3.CKSEL[2:0]) を書き換えることにより、切り替わります。

7.2.5 エンディアン選択レジスタ (MDE)

アドレス OFSM.MDE 0012 0064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	ユーザの設定値(注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]		
リセット後の値	ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 ０ ０ ０：ビッグエンディアン １ １ １：リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

MDE レジスタは、CPU のエンディアンを選択するレジスタです。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン / ビッグエンディアンを選択します。

7.2.6 TM イネーブルフラグレジスタ (TMEF)

アドレス OFSM.TMEF 0012 0048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	TMEF[2:0]			—	—	—	—	—	—	—	—
リセット後の値	ユーザの設定値(注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b26-b24	TMEF[2:0]	TMイネーブルビット	b26 b24 ０ ０ ０：TM機能有効 １ １ １：TM機能無効 上記以外は設定しないでください	R
b31-b27	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

TMEF レジスタは、ユーザ領域のブロック 8, 9 に対する TM 機能を有効にすることができます。

TM 機能を有効にする場合は、「45.9.36 TM 設定コマンド」を参照してください。TM 機能が有効な状態で TMEF[2:0] ビットを書き換えた場合、書き換えは無視されます。TM 機能を無効にする場合は、「45.9.35 コンフィギュレーションクリアコマンド」を参照してください。

TMEF[2:0] ビット (TM イネーブルビット)

ユーザ領域のブロック 8, 9 に対する TM 機能の有効 / 無効を選択します。

7.2.7 TM 識別データレジスタ (TMINF)

アドレス OFSM.TMINF 0012 0060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	ユーザの設定値(注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	ユーザの設定値(注1)															

注1.　ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

ユーザが任意の 32 ビットデータを格納できる領域です。

TM 対象領域に格納しているプログラムを識別できるコード格納などにご使用いただけます。

TM 機能が有効な場合、シリアルプログラミングによって TMINF レジスタを書き換えても、TMINF レジスタの書き換えは無視されます。TMINF レジスタの内容をイレーズする場合は、「45.9.35　コンフィギュレーションクリアコマンド」を参照してください。

7.2.8 ROM コードプロテクトレジスタ (ROMCODE)

アドレス OFSM.ROMCODE 0012 007Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CODE[31:16]															
リセット後の値	ユーザの設定値(注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CODE[15:0]															
リセット後の値	ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b31-b0	CODE[31:0]	ROMコードビット	0000 0000h：ROMコードプロテクト有効 (ROMコードプロテクト1) 0000 0001h：ROMコードプロテクト有効 (ROMコードプロテクト2) 上記以外：ROMコードプロテクト無効	R

注1.　ブランク品では、“FFFF FFFFh”です。値を設定した後は、設定した値になります。

ROM コードプロテクトレジスタは、オフボードプログラミングでパラレルプログラマを使用する場合にフラッシュメモリのリード、プログラム、イレーズを禁止するために使用します。

フラッシュメモリ上の ROM コードは、32 ビット長のデータです。

表 7.1 に ROM コードプロテクト仕様を示します。

ROM コードプロテクトを解除する場合、セルフプログラミングのコンフィギュレーション設定コマンドを使用して ROM コードに ROM コードプロテクト無効 (“FFFF FFFFh”) を書き込んでください。もしくは、ブートモードの ROM コード設定コマンドで ROM コードプロテクト無効 (“FFFF FFFFh”) を書き込むか、または、コンフィギュレーションクリアコマンドで ROM コードをイレーズしてください。ユーザが任意の 32 ビットデータを格納できる領域です。

表7.1　ROMコードプロテクト仕様

ROMコード	プロテクト状態	パラレルプログラマ接続時の動作
0000 0000h	ROMコードプロテクト有効 (ROMコードプロテクト1)	コードフラッシュメモリのリード、プログラム、イレーズを禁止する
0000 0001h	ROMコードプロテクト有効 (ROMコードプロテクト2)	コードフラッシュメモリのリードを禁止する
上記以外	ROMコードプロテクト無効	コードフラッシュメモリのリード、プログラム、イレーズを許可する

7.3 UB コード

UB コード A と UB コード B はユーザブートモードを使用するときに必要なコードです。以下の 4 条件が成立しているときに、リセットを解除するとユーザブートモードで本 MCU が起動します。

- UB コード A が “5573 6572h, 426F 6F74h” である
- UB コード B が “FFFF FF00h, 0008 C040h” である
- MD 端子に Low が入力されている
- UB 端子に High が入力されている

7.3.1 UB コード A

UB コード A は、32 ビット長 2 ワードのデータです。UB コード A には、“5573 6572h, 426F 6F74h” を設定してください。ユーザブートモードを使用するときは、これ以外の値は設定しないでください。ユーザブートモード以外のブートモードを使用するときは、“FFFF FFFFh, FFFF FFFFh” を設定してください。

図 7.2 に UB コード A の構成を示します。UB コード A は 32 ビット単位で設定してください。

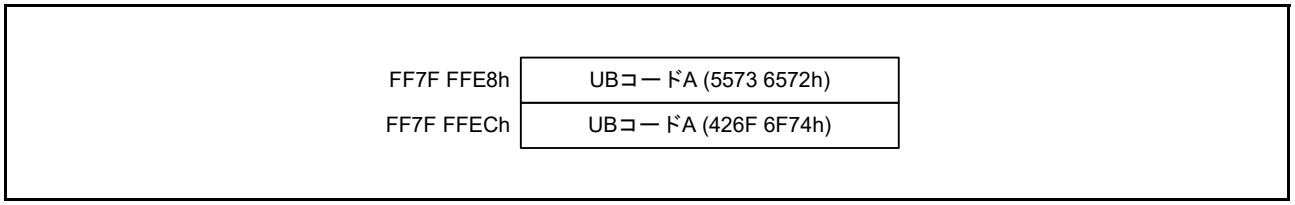


図 7.2 UB コード A の構成

7.3.2 UB コード B

UB コード B は、32 ビット長 2 ワードのデータです。UB コード B には、“FFFF FF00h, 0008 C040h” を設定してください。ユーザブートモードを使用するときは、これ以外の値は設定しないでください。ユーザブートモード以外のブートモードを使用するときは、“FFFF FFFFh, FFFF FFFFh” を設定してください。

図 7.3 に UB コード B の構成を示します。UB コード B は 32 ビット単位で設定してください。

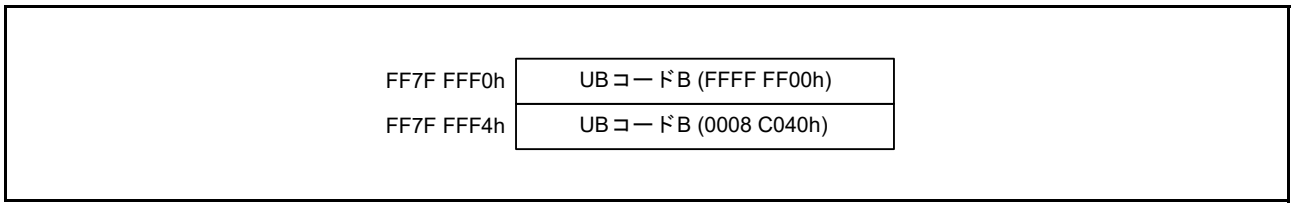


図 7.3 UB コード B の構成

7.4 各動作モードにおけるオプション設定メモリのプログラム / イレーズ動作

表 7.2 に動作モードによるオプション設定メモリのプログラム / イレーズ動作を示します。

表7.2　動作モードによるオプション設定メモリのプログラム/イレーズ動作

オプション設定メモリ	ROMCODE設定値	ブートモード(SCIインタフェース、USBインタフェース、FINEインタフェース)		セルフプログラミング		パラレルプログラマ	
		プログラム	イレーズ	プログラム	イレーズ	プログラム	イレーズ
ROMCODEレジスタ	0000 0000h	○(注1)	○(注1)	○(注2)	×	×	×
	0000 0001h	○(注1)	○(注1)	○(注2)	×	×(注3)	○(注4、注5)
	上記以外	○(注1)	○(注1)	○(注2)	×	○(注4)	○(注4)
UBコードA、UBコードB	0000 0000h	○(注1)	○(注1)	×	×	×	×
	0000 0001h	○(注1)	○(注1)	×	×	○(注4)	○(注4)
	上記以外	○(注1)	○(注1)	×	×	○(注4)	○(注4)
SPCCレジスタ、OSISレジスタ、MDEレジスタ、OFS0レジスタ、OFS1レジスタ、TMEFレジスタ、TMINFレジスタ	0000 0000h	○(注1)	○(注1)	○(注2)	×	×	×
	0000 0001h	○(注1)	○(注1)	○(注2)	×	○(注4)	○(注4、注5)
	上記以外	○(注1)	○(注1)	○(注2)	×	○(注4)	○(注4)

○：可能
×：不可能

注1.　ブートモード(SCIインタフェース、USBインタフェース、FINEインタフェース)用のコマンドを使用してプログラム/イレーズを行います。詳細は「45.7　ブートモード」を参照してください。
注2.　コンフィギュレーション設定コマンドを使用してプログラムを行います。コンフィギュレーション設定コマンドの使用方法は「45.6.6.10　コンフィギュレーション設定コマンド」を参照してください。
注3.　ROMコードプロテクトを設定するとROMコードの書き込みはできません。
注4.　パラレルプログラマによりプログラム/イレーズを行います。詳細は使用しているパラレルプログラマのマニュアルを参照してください。
注5.　コードフラッシュメモリがブランクの場合、消去できます。

7.5 オプション設定メモリの設定値とリード / プログラム / イレーズ動作

表 7.3 にシリアルプログラマ接続時のオプション設定メモリの設定値とリード / プログラム / イレーズ動作の許可 / 禁止状態を示します。

表 7.4 に OCD 接続時のオプション設定メモリの設定値と ID コード判定動作を示します。

表7.3　シリアルプログラマ接続時のオプション設定メモリの設定値とリード/プログラム/イレーズ動作

No.	SPCC. SPE	SPCC. IDE	OSIS 制御コード	OSIS IDコード 2～16	SPCC. RDPR	SPCC. WRPR	SPCC. SEPR	シリアルプログラマ接続動作	シリアルプログラマ接続後のリード/プログラム/イレーズ動作
1	0	x	任意	任意	x	x	x	接続禁止	—
2	1	0	45h 以外		0	0	0	制御コードと ID コード判定有 (注 1)	リード許可、プログラム許可、イレーズ許可
3			45h					制御コードと ID コード判定有 (注 2)	リード許可、プログラム許可、イレーズ許可
4	1	1	任意		0	0	0	接続許可	リード禁止、プログラム禁止、イレーズ禁止
5					1	0	0	接続許可	リード許可、プログラム禁止、イレーズ禁止
6					0	1	0	接続許可	リード禁止、プログラム許可、イレーズ禁止
7					1	1	0	接続許可	リード許可、プログラム許可、イレーズ禁止
8					0	0	1	接続許可	リード禁止、プログラム禁止、イレーズ許可
9					1	0	1	接続許可	リード許可、プログラム禁止、イレーズ許可
10					0	1	1	接続許可	リード禁止、プログラム許可、イレーズ許可
11					1	1	1	接続許可	リード許可、プログラム許可、イレーズ許可

x：Don't care

注1.　シリアルプログラマから送られてくる制御コード、およびIDコードと、OSIS レジスタに設定された制御コード、およびIDコードの一致を判定し、一致した場合は接続を許可します。一致しない場合は接続できません。

注2.　シリアルプログラマから送られてくる制御コード、およびIDコードと、OSIS レジスタに設定された制御コード、およびIDコードの一致を判定し、一致した場合は接続を許可します。一致しない場合は接続できません。ただし、3回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去します。

表7.4　OCD接続時のオプション設定メモリの設定値とIDコード判定動作

No.	SPCC. SPE	SPCC. IDE	OSIS IDコード1	OSIS IDコード2～16	SPCC. RDPR	SPCC. WRPR	SPCC. SEPR	OCD接続動作
1	x	x	任意	任意	x	x	x	IDコード一致：OCD接続を許可 IDコード不一致：IDコード入力待ち

x：Don’t care

7.6 オプション設定メモリの設定方法

7.6.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、図 7.1 で示すアドレスに配置してください。
以下にソースコード上で、オプション設定メモリの設定を記述する例を示します。

注 . プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

シリアルプログラマコマンド制御レジスタ (SPCC) に “1EFFFFFFh” を設定する場合
.ORG 00120040H
.LWORD 1EFFFFFFH

OCD/ シリアルプログラマ ID 設定レジスタ (OSIS) に以下の ID コードを設定する場合
ID コード 1/ 制御コード = FFh, ID コード 2 = 02h, ID コード 3 = 03h, ID コード 4 = 04h, ID コード 5 = 05h,
ID コード 6 = 06h, ID コード 7 = 07h, ID コード 8 = 08h, ID コード 9 = 09h, ID コード 10 = 0Ah,
ID コード 11 = 0Bh, ID コード 12 = 0Ch, ID コード 13 = 0Dh, ID コード 14 = 0Eh, ID コード 15 = 0Fh,
ID コード 16 = 10h
.ORG 00120050H
.LWORD 040302FFH, 08070605H, 0C0B0A09H, 100F0E0DH

オプション機能選択レジスタ 0 (OFS0) に “EF67BA5Dh” を設定する場合
.ORG 00120068H
.LWORD 0EF67BA5DH

オプション機能選択レジスタ 1 (OFS1) に “FFFFFEFAh” を設定する場合
.ORG 0012006CH
.LWORD 0FFFFFEFAH

エンディアン選択レジスタ (MDE) に “FFFFFFF8h” を設定する場合
.ORG 00120064H
.LWORD 0FFFFFFF8H

UB コード A、UB コード B の設定
.ORG 0FF7FFFE8H
.LWORD 55736572H, 426F6F74H
.LWORD 0FFFFFF00H, 0008C040H

7.7 使用上の注意事項

7.7.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットにプログラムする値は “1” としてください。“0” をプログラムすると正常動作できないことがあります。

8. 電圧検出回路 (LVDA)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 は、オプション機能選択レジスタ 1 (OFS1) で、検出電圧を 2 レベルから選択可能で、さらにリセット後、電圧監視 0 リセットの有効 / 無効が選択できます。

電圧検出 1、電圧検出 2 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 5 レベルから選択できます。

電圧監視 0 リセット、電圧監視 1 リセット / 割り込み、電圧監視 2 リセット / 割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。**図** 8.1 に電圧検出回路のブロック図を、**図** 8.2 に電圧監視 1 割り込み / リセット発生回路のブロック図を、**図** 8.3 に電圧監視 2 割り込み / リセット発生回路のブロック図を示します。

表8.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出電圧	OFS1.VDSEL[1:0]ビットで2レベルから選択可能	LVDLVLR.LVD1LVL[3:0]ビットで5レベルから選択可能	LVDLVLR.LVD2LVL[3:0]ビットで5レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MONフラグ： Vdet1より高いか低いかをモニタ	LVD2SR.LVD2MONフラグ： Vdet2より高いか低いかをモニタ
			LVD1SR.LVD1DETフラグ： Vdet1通過検出	LVD2SR.LVD2DETフラグ： Vdet2通過検出
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0 > VCCでリセット： VCC > Vdet0の一定時間後にCPU動作再開	Vdet1 > VCCでリセット： VCC > Vdet1の一定時間後にCPU動作再開、またはVdet1 > VCCの一定時間後にCPU動作再開を選択可能	Vdet2 > VCCでリセット： VCC > Vdet2の一定時間後にCPU動作再開、またはVdet2 > VCCの一定時間後にCPU動作再開を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスカブル割り込み、またはマスカブル割り込みを選択可能	ノンマスカブル割り込み、またはマスカブル割り込みを選択可能
			Vdet1 > VCC, VCC > Vdet1の両方、またはどちらかで割り込み要求	Vdet2 > VCC, VCC > Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCOのn分周×2 (n：2, 4, 8, 16)	LOCOのn分周×2 (n：2, 4, 8, 16)
イベントリンク機能		なし	あり Vdet通過検出イベント出力	あり Vdet通過検出イベント出力

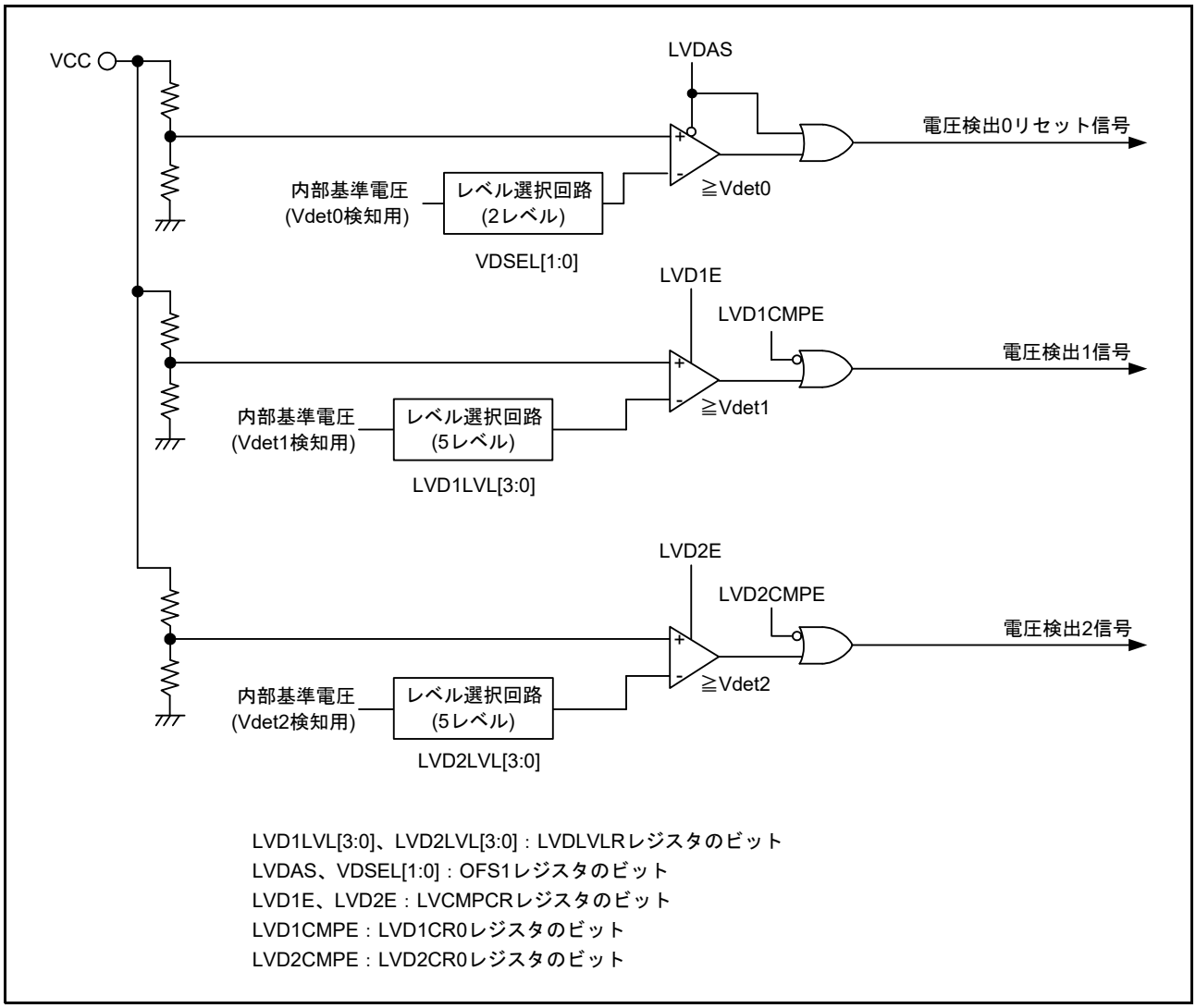
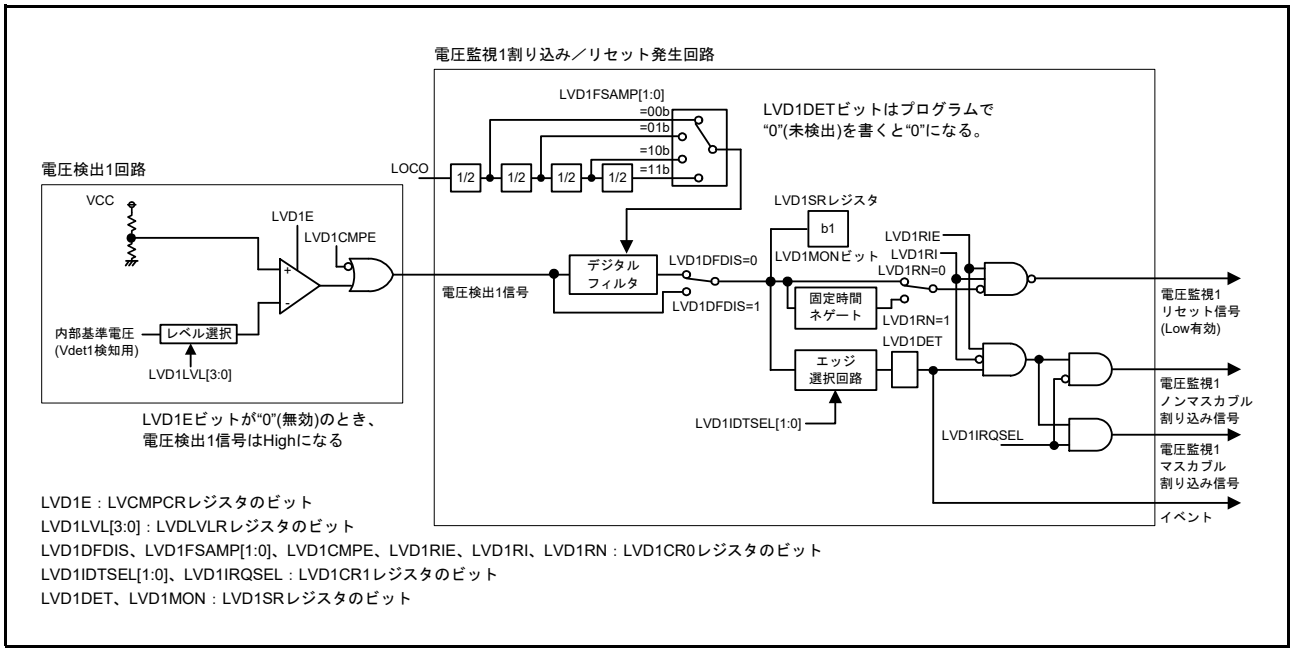
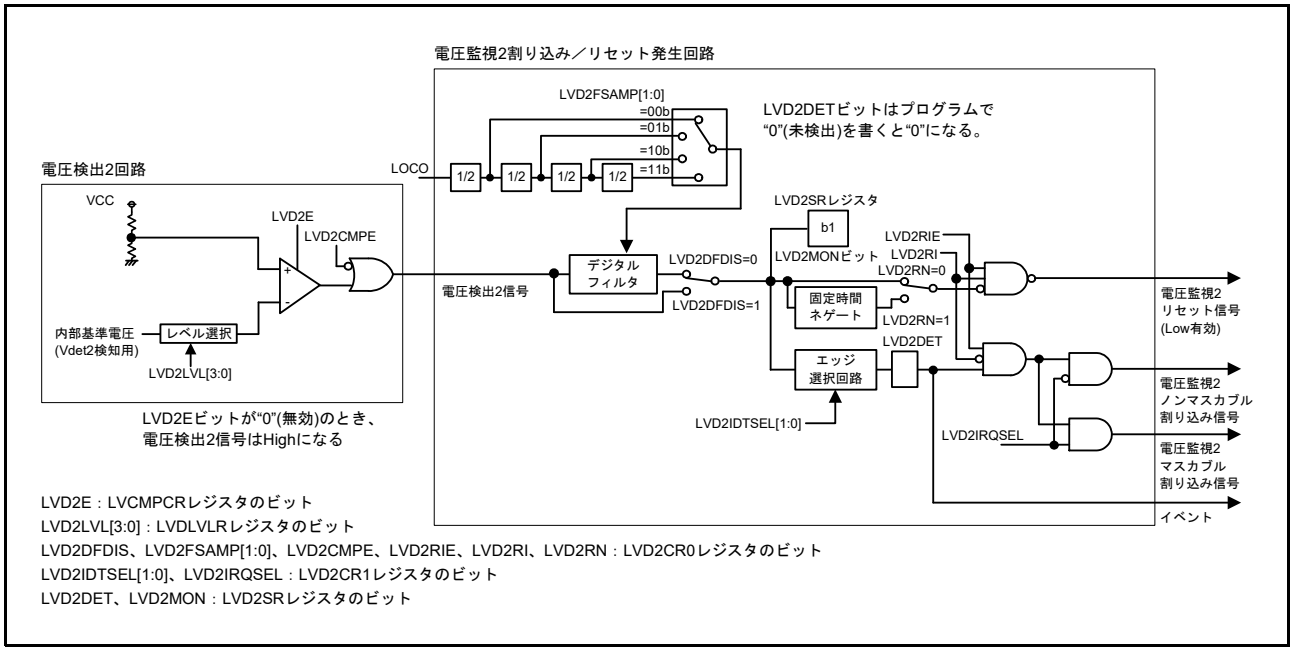


図 8.1 電圧検出回路ブロック図



LVD1E：LVCMPCRレジスタのビット
LVD1LVL[3:0]：LVDLVLRレジスタのビット
LVD1DFDIS、LVD1FSAMP[1:0]、LVD1CMPE、LVD1RIE、LVD1RI、LVD1RN：LVD1CR0レジスタのビット
LVD1IDTSEL[1:0]、LVD1IRQSEL：LVD1CR1レジスタのビット
LVD1DET、LVD1MON：LVD1SRレジスタのビット

図 8.2　電圧監視 1 割り込み / リセット発生回路のブロック図



LVD2E：LVCMPCRレジスタのビット
LVD2LVL[3:0]：LVDLVLRレジスタのビット
LVD2DFDIS、LVD2FSAMP[1:0]、LVD2CMPE、LVD2RIE、LVD2RI、LVD2RN：LVD2CR0レジスタのビット
LVD2IDTSEL[1:0]、LVD2IRQSEL：LVD2CR1レジスタのビット
LVD2DET、LVD2MON：LVD2SRレジスタのビット

図 8.3　電圧監視 2 割り込み / リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧監視 1 回路制御レジスタ 1 (LVD1CR1)

アドレス 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD1IRQSEL	LVD1IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL[1:0]	電圧監視1割り込み発生条件選択ビット	b1 b0 0 0 : VCC≧Vdet1 (上昇)検出時 0 1 : VCC < Vdet1 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視1割り込み種類選択ビット	0 : ノンマスカブル割り込み 1 : マスカブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. マスカブル割り込みを設定する場合、ICU側にあるNMIER.LVD1ENビットをリセット状態から変更しないでください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1MON	LVD1DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視1電圧変化検出フラグ	0 : 未検出 1 : Vdet1通過検出	R(/W) (注1)
b1	LVD1MON	電圧監視1信号モニタフラグ	0 : VCC < Vdet1 1 : VCC≧Vdet1またはLVD1MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが “1” (電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが “1” (電圧監視 1 回路比較結果出力許可) のとき有効になります。

LVD1DET フラグを “0” にするときは、LVD1CR0.LVD1RIE ビットを “0” (禁止) にしてから行ってください。LVD1CR0.LVD1RIE ビットを “0” にした後、再度 LVD1CR0.LVD1RIE ビットを “1” (許可) にする場合は、PCLKB 2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB 2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが “1” (電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが “1” (電圧監視 1 回路比較結果出力許可) のとき有効になります。

8.2.3 電圧監視 2 回路制御レジスタ 1 (LVD2CR1)

アドレス 0008 00E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD2IRQSEL	LVD2IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL[1:0]	電圧監視2割り込み発生条件選択ビット	b1 b0 0 0 ：VCC≧Vdet2 (上昇)検出時 0 1 ：VCC < Vdet2 (下降)検出時 1 0 ：下降および上昇検出時 1 1 ：設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0：ノンマスカブル割り込み 1：マスカブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. マスカブル割り込みを設定する場合、ICU側にあるNMIER.LVD2ENビットをリセット状態から変更しないでください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0：未検出 1：Vdet2通過検出	R(/W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0：VCC < Vdet2 1：VCC≧Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ (電圧監視 2 電圧変化検出フラグ)

LVD2DET フラグは、LVCMPCR.LVD2E ビットが “1” (電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが “1” (電圧監視 2 回路比較結果出力許可) のとき有効になります。

LVD2DET フラグを “0” にするときは、LVD2CR0.LVD2RIE ビットを “0” (禁止) にしてから行ってください。LVD2CR0.LVD2RIE ビットを “0” にした後、再度 LVD2CR0.LVD2RIE ビットを “1” (許可) にする場合は、PCLKB 2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB 2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ (電圧監視 2 信号モニタフラグ)

LVD2MON フラグは、LVCMPCR.LVD2E ビットが “1” (電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが “1” (電圧監視 2 回路比較結果出力許可) のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LVD1E ビット (電圧検出 1 許可ビット)

電圧検出 1 の割り込み / リセットを使用する場合、または LVD1SR.LVD1MON フラグを使用する場合、LVD1E ビットを “1” にしてください。LVD1E ビットを “0” から “1” にした後、td(E-A) 経過してから電圧検出 1 回路が動作します。

LVD2E ビット (電圧検出 2 許可ビット)

電圧検出 2 の割り込み / リセットを使用する場合、または LVD2SR.LVD2MON フラグを使用する場合、LVD2E ビットを “1” にしてください。LVD2E ビットを “0” から “1” にした後、td(E-A) 経過してから電圧検出 2 回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2LVL[3:0]				LVD1LVL[3:0]			
リセット後の値	0	1	1	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b0 0 1 0 0 : 4.57V (Vdet1_0) 0 1 0 1 : 4.47V (Vdet1_1) 0 1 1 0 : 4.32V (Vdet1_2) 1 0 1 0 : 2.93V (Vdet1_3) 1 0 1 1 : 2.88V (Vdet1_4) 上記以外は設定しないでください	R/W
b7-b4	LVD2LVL[3:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b7 b4 0 1 0 0 : 4.57V (Vdet2_0) 0 1 0 1 : 4.47V (Vdet2_1) 0 1 1 0 : 4.32V (Vdet2_2) 1 0 1 0 : 2.93V (Vdet2_3) 1 0 1 1 : 2.88V (Vdet2_4) 上記以外は設定しないでください	R/W

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットが共に “0” (電圧検出 n 回路無効) (n = 1, 2) の場合のみ変更可能です。また、電圧検出回路 1 と電圧検出回路 2 は、同じ電圧検出レベルに設定しないでください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	LVD1FSAMP [1:0]		—	LVD1CMPE	LVD1DFDIS	LVD1RIE
リセット後の値	1	0	0	0	x	0	1	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1割り込み/リセット許可ビット	0：禁止 1：許可	R/W
b1	LVD1DFDIS	電圧監視1デジタルフィルタ無効モード選択ビット	0：デジタルフィルタ有効 1：デジタルフィルタ無効	R/W
b2	LVD1CMPE	電圧監視1回路比較結果出力許可ビット	0：電圧監視1回路比較結果出力禁止 1：電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD1FSAMP [1:0]	サンプリングクロック選択ビット	b5 b4 0 0：LOCOの2分周 0 1：LOCOの4分周 1 0：LOCOの8分周 1 1：LOCOの16分周	R/W
b6	LVD1RI	電圧監視1回路モード選択ビット	0：Vdet1通過時に電圧監視1割り込み 1：下降してVdet1通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1リセットネゲート選択ビット	0：VCC > Vdet1検出から一定時間(tLVD1)経過後にネゲート 1：LVD1リセットアサートから一定時間(tLVD1)経過後にネゲート	R/W

LVD1RIE ビット (電圧監視 1 割り込み / リセット許可ビット)

フラッシュメモリのプログラム / イレーズ中は、電圧監視 1 リセットおよび電圧監視 1 割り込みを発生させないでください。

LVD1DFDIS ビット (電圧監視 1 デジタルフィルタ無効モード選択ビット)

LVD1DFDIS ビットを “0” (デジタルフィルタ回路有効) にする場合は、LOCOCR.LCSTP ビットは “0” (LOCO 動作) にしてください。

電圧監視 1 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD1DFDIS ビットを “1” (デジタルフィルタ回路無効) にしてください。

LVD1FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD1FSAMP[1:0] ビットは、LVD1DFDIS ビットが “1” (デジタルフィルタ回路無効) のときのみ書き換え可能です。LVD1DFDIS ビットが “0” (デジタルフィルタ回路有効) のときには、LVD1FSAMP[1:0] ビットを書き換えないでください。

LVD1RI ビット (電圧監視 1 回路モード選択ビット)

LVD1RI ビットが “1” (電圧監視 1 リセット選択)、または LVD2CR0.LVD2RI ビットが “1” (電圧監視 2 リセット選択) の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD1RI ビットを “0” (電圧監視 1 割り込み選択)、かつ LVD2CR0.LVD2RI ビットを “0” (電圧監視 2 割り込み選択) にしてください。

LVD1RN ビット (電圧監視 1 リセットネゲート選択ビット)

LVD1RN ビットを “1” (LVD1 リセットアサートから一定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは “0” (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを “0” (VCC > Vdet1 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD1RN ビットを “1” (LVD1 リセットアサートから一定時間経過後にネゲート) にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	LVD2FSAMP [1:0]		—	LVD2CMPE	LVD2DFDIS	LVD2RIE
リセット後の値	1	0	0	0	x	0	1	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0：禁止 1：許可	R/W
b1	LVD2DFDIS	電圧監視2デジタルフィルタ無効モード選択ビット	0：デジタルフィルタ有効 1：デジタルフィルタ無効	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0：電圧監視2回路比較結果出力禁止 1：電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD2FSAMP [1:0]	サンプリングクロック選択ビット	b5 b4 0 0：LOCOの2分周 0 1：LOCOの4分周 1 0：LOCOの8分周 1 1：LOCOの16分周	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0：Vdet2通過時に電圧監視2割り込み 1：下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0：VCC > Vdet2検出から一定時間(tLVD2)経過後にネゲート 1：LVD2リセットアサートから一定時間(tLVD2)経過後にネゲート	R/W

LVD2RIE ビット (電圧監視 2 割り込み / リセット許可ビット)

フラッシュメモリのプログラム / イレーズ中は、電圧監視 2 リセットおよび電圧監視 2 割り込みを発生させないでください。

LVD2DFDIS ビット (電圧監視 2 デジタルフィルタ無効モード選択ビット)

LVD2DFDIS ビットを “0” (デジタルフィルタ回路有効) にする場合は、LOCOCR.LCSTP ビットは “0” (LOCO 動作) にしてください。

電圧監視 2 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD2DFDIS ビットを “1” (デジタルフィルタ回路無効) にしてください。

LVD2FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD2FSAMP[1:0] ビットは、LVD2DFDIS ビットが “1” (デジタルフィルタ回路無効) のときのみ書き換え可能です。LVD2DFDIS ビットが “0” (デジタルフィルタ回路有効) のときには、LVD2FSAMP[1:0] ビットを書き換えないでください。

LVD2RI ビット (電圧監視 2 回路モード選択ビット)

LVD2RI ビットが “1” (電圧監視 2 リセット選択)、または LVD1CR0.LVD1RI ビットが “1” (電圧監視 1 リセット選択) の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD2RI ビットを “0” (電圧監視 2 割り込み選択)、かつ LVD1CR0.LVD1RI ビットを “0” (電圧監視 1 割り込み選択) にしてください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを “1” (LVD2 リセットアサートから一定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは “0” (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを “0” (VCC > Vdet2 検出から一定時間経過後にネゲート) にすることのみ可能です。LVD2RN ビットを “1” (LVD2 リセットアサートから一定時間経過後にネゲート) にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

表 8.2 に Vdet1 のモニタの設定手順を示します。設定後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

表8.2 Vdet1のモニタの設定手順

手順		電圧監視1比較結果モニタ
電圧検出1回路設定	1	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を選択する
	2	LVCMPCR.LVD1E = 1 (電圧検出1回路有効)にする
	3	td(E-A) : LVD動作安定時間(LVD有効切り替え時)以上待つ (注1)
デジタルフィルタ設定 (注2)	4	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCOのn分周)
出力許可設定	7	LVD1CR0.LVD1CMPE = 1 (電圧監視1回路比較結果出力許可)にする

注1. 手順3の待ち時間中に手順4～6を行うことができます。td(E-A)の詳細は、「46. 電気的特性」を参照してください。
注2. デジタルフィルタを使用しない場合、手順4～6は不要です。

8.3.3 Vdet2 のモニタ

表 8.3 に Vdet2 のモニタの設定手順を示します。設定後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

表8.3 Vdet2のモニタの設定手順

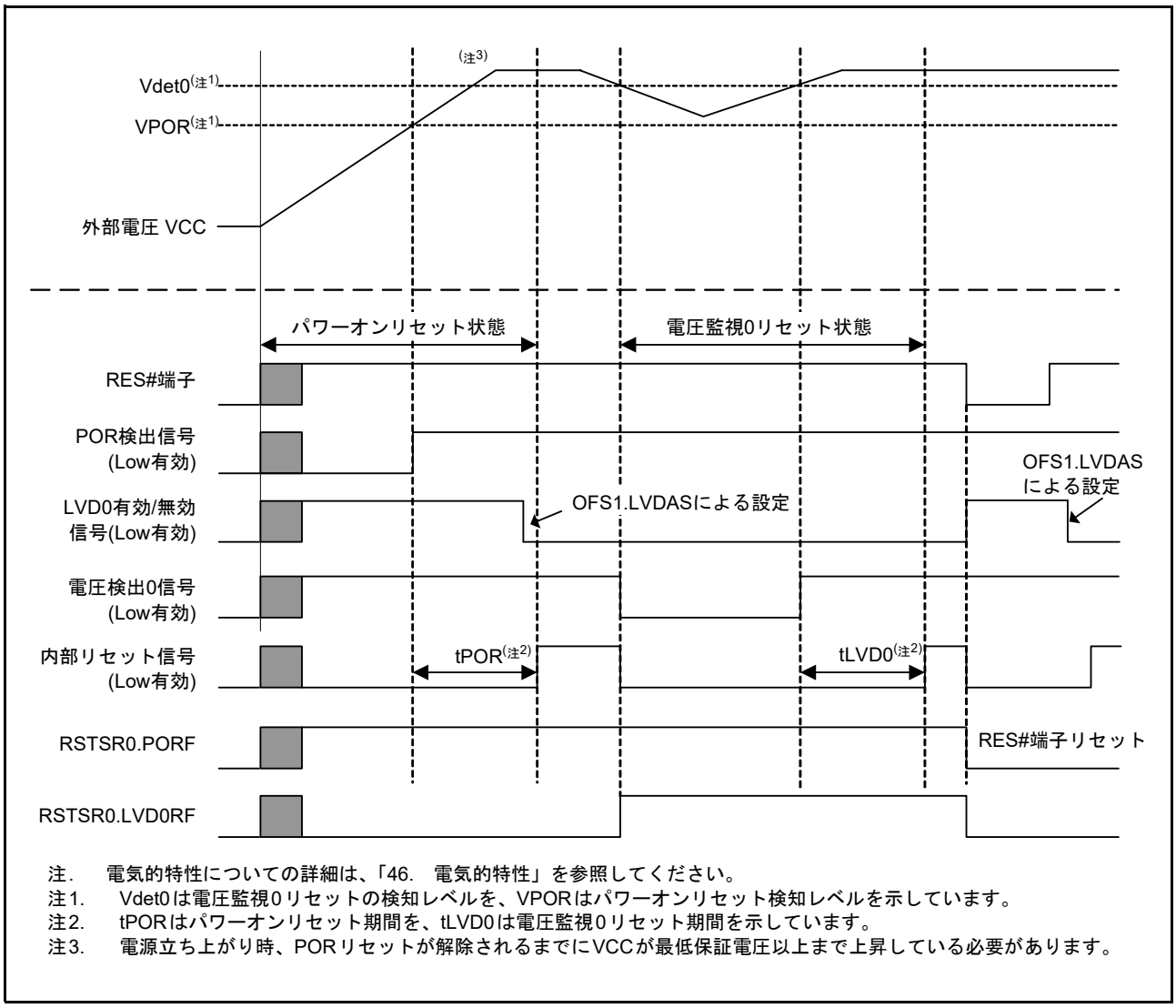
手順		電圧監視2比較結果モニタ
電圧検出2回路設定	1	LVDLVLR.LVD2LVL[3:0]ビットで検出電圧を選択する
	2	LVCMPCR.LVD2E = 1 (電圧検出2回路有効)にする
	3	td(E-A) : LVD動作安定時間(LVD有効切り替え時)以上待つ (注1)
デジタルフィルタ設定 (注2)	4	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCOのn分周)
出力許可設定	7	LVD2CR0.LVD2CMPE = 1 (電圧監視2回路比較結果出力許可)にする

注1. 手順3の待ち時間中に手順4～6を行うことができます。td(E-A)の詳細は、「46. 電気的特性」を参照してください。
注2. デジタルフィルタを使用しない場合、手順4～6は不要です。

8.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを “0” (リセット後、電圧監視 0 リセット有効) にしてください。

図 8.4 に電圧監視 0 リセット動作例を示します。



注. 電気的特性についての詳細は、「46. 電気的特性」を参照してください。
注1. Vdet0は電圧監視0リセットの検知レベルを、VPORはパワーオンリセット検知レベルを示しています。
注2. tPORはパワーオンリセット期間を、tLVD0は電圧監視0リセット期間を示しています。
注3. 電源立ち上がり時、PORリセットが解除されるまでにVCCが最低保証電圧以上まで上昇している必要があります。

図 8.4 電圧監視 0 リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧検出 1 回路での検出結果により、割り込みやリセットを発生させることができます。

表 8.4 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、**表 8.5** に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、**図 8.5** に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の**図 6.2** を参照してください。

なお、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に電圧検出 1 回路を使用する場合は電圧検出 1 回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD1DFDIS = 1) に設定してください。
- 電圧監視1リセットをVCC > Vdet1検出から一定時間経過後にネゲートする設定(LVD1RN = 0)にしてください。

(2) ディープソフトウェアスタンバイモード使用時の設定

- デジタルフィルタを無効 (LVD1DFDIS = 1) に設定してください。
- 電圧監視 1 割り込み (LVD1RI = 0) に設定してください。
  電圧監視 1 リセットに設定 (LVD1RI = 1) されている場合はディープソフトウェアスタンバイモードへは遷移せず、ソフトウェアスタンバイモードに遷移します。

表8.4 電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順

手順		電圧監視1割り込み (電圧監視1ELCイベント出力)	電圧監視1リセット
電圧検出1回路設定	1	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を選択する	
	2	LVCMPCR.LVD1E = 1 (電圧検出1回路有効)にする	
	3	td(E-A) : LVD動作安定時間(LVD有効切り替え時)以上待つ (注1)	
デジタルフィルタ設定 (注2)	4	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	
	5	LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする	
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCOのn分周)	
電圧監視1割り込み/リセット設定	7	LVD1CR0.LVD1RI = 0 (電圧監視1割り込み)にする	• LVD1CR0.LVD1RI = 1 (電圧監視1リセット)にする • LVD1CR0.LVD1RNビットでリセットネゲートの種類を選択する
	8	• LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する • LVD1CR1.LVD1IRQSELビットで割り込みの種類を選択する	—
出力許可設定	9	LVD1SR.LVD1DET = 0にする	
	10	LVD1CR0.LVD1RIE = 1 (電圧監視1割り込み/リセット許可)にする (注3)	
	11	LVD1CR0.LVD1CMPE = 1 (電圧監視1回路比較結果出力許可)にする	

注1. 手順3の待ち時間中に手順4～10を行うことができます。td(E-A)の詳細は、「46. 電気的特性」を参照してください。
注2. デジタルフィルタを使用しない場合、手順4～6は不要です。
注3. ELCイベント出力のみを出力させる場合、手順10は不要です。

表8.5 電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順

手順		電圧監視1割り込み(電圧監視1ELCイベント出力)/電圧監視1リセット
出力許可停止設定	1	LVD1CR0.LVD1CMPE = 0 (電圧監視1回路比較結果出力禁止)にする
	2	LOCOの2n + 3サイクル以上待つ (n = 2, 4, 8, 16：デジタルフィルタのサンプリングクロック = LOCOのn分周)(注1)
	3	LVD1CR0.LVD1RIE = 0 (電圧監視1割り込み/リセット禁止)にする(注2)
デジタルフィルタ停止設定	4	LVD1CR0.LVD1DFDIS = 1 (デジタルフィルタ無効)にする(注1、注3)
電圧検出1回路停止設定	5	LVCMPCR.LVD1E = 0 (電圧検出1回路無効)にする

注1. デジタルフィルタを使用していない場合、手順2と手順4は不要です。
注2. ELCイベント出力のみを出力させる場合、手順3は不要です。
注3. デジタルフィルタを有効状態から無効にし、その後再度有効にする場合、無効にしてからLOCOの2サイクル以上待ってから有効にしてください。

電圧監視 1 割り込み、電圧監視 1 リセットを使用した後、一旦停止し、再度設定する場合は、条件によって停止手順と再設定時の設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合は電圧検出 1 回路設定と電圧検出 1 回路停止設定は不要です。
- デジタルフィルタの設定を変更しない場合はデジタルフィルタ設定とデジタルフィルタ停止設定は不要です。
- 電圧監視1割り込み、電圧監視1リセットの設定を変更しない場合は電圧監視1割り込み/リセット設定は不要です。

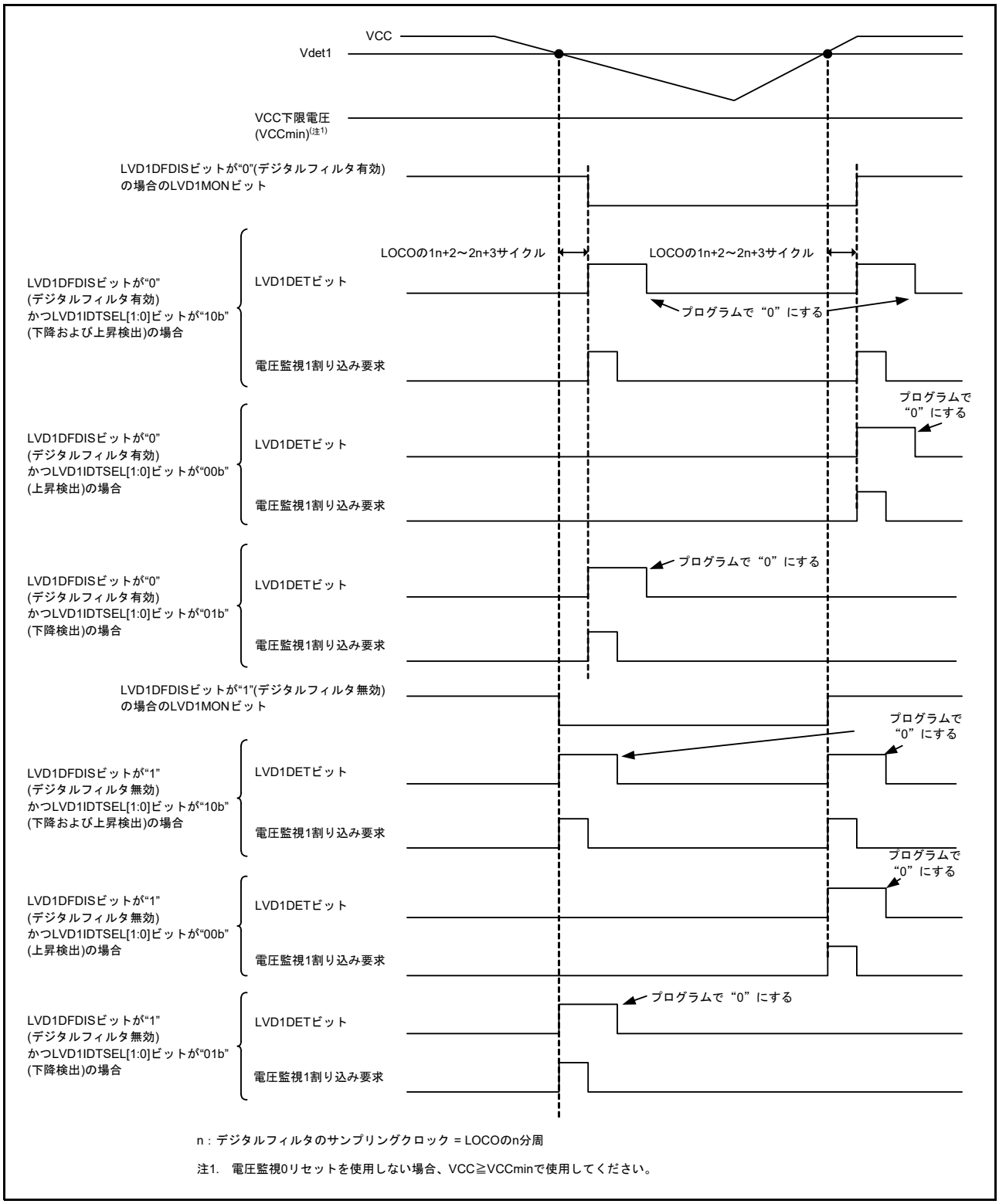


図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧検出 2 回路での検出結果により、割り込みやリセットを発生させることができます。

表 8.6 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.7 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に電圧検出 2 回路を使用する場合は電圧検出 2 回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD2DFDIS = 1) に設定してください。
- 電圧監視2リセットをVCC > Vdet2検出から一定時間経過後にネゲートする設定(LVD2RN = 0)にしてください。

(2) ディープソフトウェアスタンバイモード使用時の設定

- デジタルフィルタを無効 (LVD2DFDIS = 1) に設定してください。
- 電圧監視 2 割り込み (LVD2RI = 0) に設定してください。
  電圧監視 2 リセットに設定 (LVD2RI = 1) されている場合はディープソフトウェアスタンバイモードへは遷移せず、ソフトウェアスタンバイモードに遷移します。

表8.6 電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順

手順		電圧監視2割り込み (電圧監視2ELCイベント出力)	電圧監視2リセット
電圧検出2回路設定	1	LVDLVLR.LVD2LVL[3:0]ビットで検出電圧を選択する	
	2	LVCMPCR.LVD2E = 1 (電圧検出2回路有効)にする	
	3	td(E-A) : LVD動作安定時間(LVD有効切り替え時)以上待つ (注1)	
デジタルフィルタ設定 (注2)	4	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	
	5	LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする	
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCOのn分周)	
電圧監視2割り込み/リセット設定	7	LVD2CR0.LVD2RI = 0 (電圧監視2割り込み)にする	• LVD2CR0.LVD2RI = 1 (電圧監視2リセット)にする • LVD2CR0.LVD2RNビットでリセットネゲートの種類を選択する
	8	• LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する • LVD2CR1.LVD2IRQSELビットで割り込みの種類を選択する	—
出力許可設定	9	LVD2SR.LVD2DET = 0にする	
	10	LVD2CR0.LVD2RIE = 1 (電圧監視2割り込み/リセット許可)にする (注3)	
	11	LVD2CR0.LVD2CMPE = 1 (電圧監視2回路比較結果出力許可)にする	

注1. 手順3の待ち時間中に手順4～10を行うことができます。td(E-A)の詳細は、「46. 電気的特性」を参照してください。
注2. デジタルフィルタを使用しない場合、手順4～6は不要です。
注3. ELCイベント出力のみを出力させる場合、手順10は不要です。

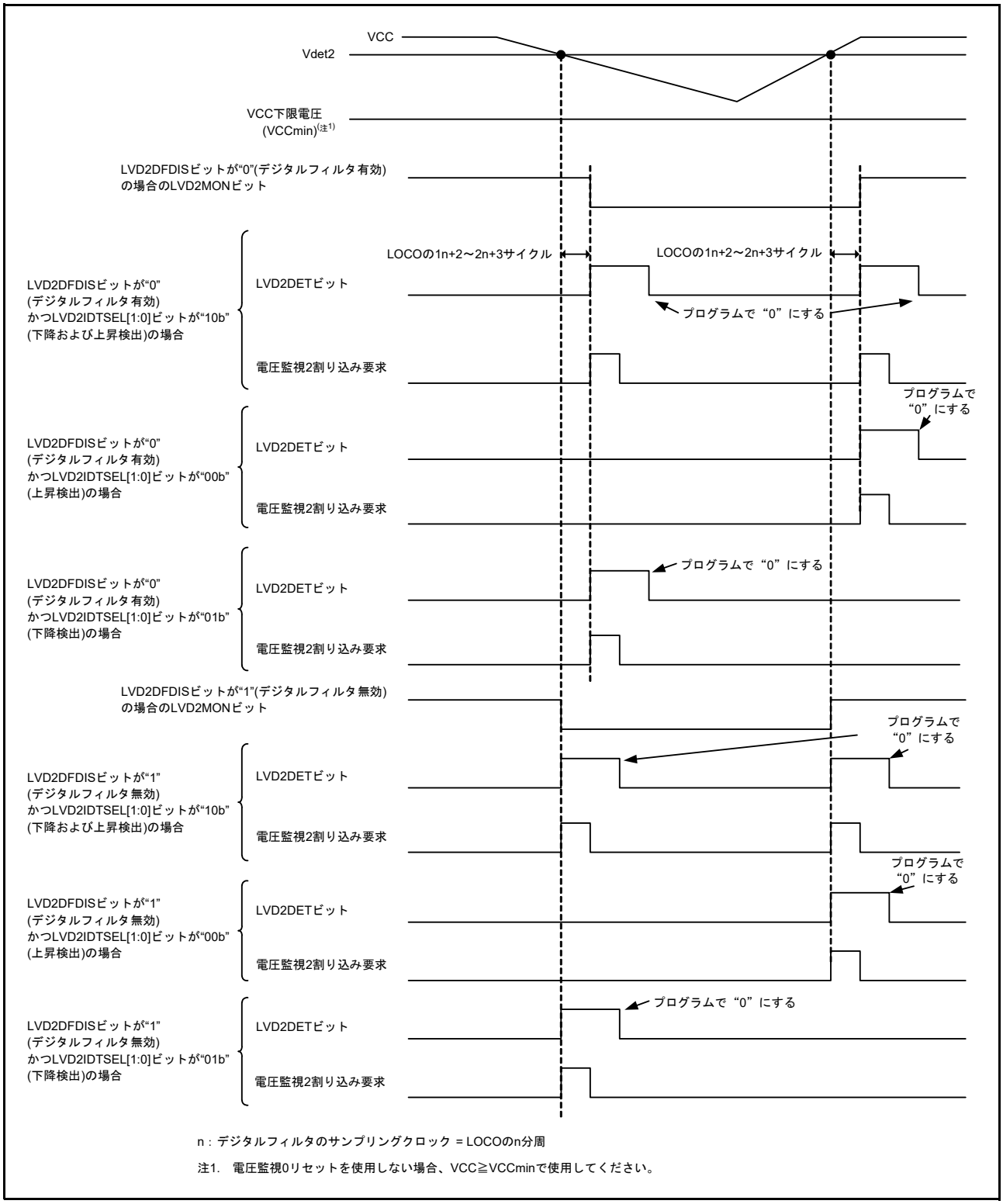
表8.7 電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順

手順		電圧監視2割り込み(電圧監視2ELCイベント出力)/電圧監視2リセット
出力許可停止設定	1	LVD2CR0.LVD2CMPE = 0 (電圧監視2回路比較結果出力禁止)にする
	2	LOCOの2n + 3サイクル以上待つ (n = 2, 4, 8, 16：デジタルフィルタのサンプリングクロック = LOCOのn分周)(注1)
	3	LVD2CR0.LVD2RIE = 0 (電圧監視2割り込み/リセット禁止)にする(注2)
デジタルフィルタ停止設定	4	LVD2CR0.LVD2DFDIS = 1 (デジタルフィルタ無効)にする(注1、注3)
電圧検出2回路停止設定	5	LVCMPCR.LVD2E = 0 (電圧検出2回路無効)にする

注1. デジタルフィルタを使用していない場合、手順2と手順4は不要です。
注2. ELCイベント出力のみを出力させる場合、手順3は不要です。
注3. デジタルフィルタを有効状態から無効にし、その後再度有効にする場合、無効にしてからLOCOの2サイクル以上待ってから有効にしてください。

電圧監視 2 割り込み、電圧監視 2 リセットを使用した後、一旦停止し、再度設定する場合は、条件によって停止手順と再設定時の設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合は電圧検出 2 回路設定と電圧検出 2 回路停止設定は不要です。
- デジタルフィルタの設定を変更しない場合はデジタルフィルタ設定とデジタルフィルタ停止設定は不要です。
- 電圧監視2割り込み、電圧監視2リセットの設定を変更しない場合は電圧監視2割り込み/リセット設定は不要です。



n：デジタルフィルタのサンプリングクロック ＝LOCOのn分周

注1. 電圧監視0リセットを使用しない場合、VCC≧VCCminで使用してください。

図 8.6 電圧監視 2 割り込み動作例

8.7 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベントリンク出力を行うことができます。

(1) Vdet1 通過検出イベントリンク出力

電圧検出 1 回路有効かつ電圧検出 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベントを出力します。

(2) Vdet2 通過検出イベントリンク出力

電圧検出 2 回路有効かつ電圧検出 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合にイベントを出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD の有効設定を行った後で、ELC 側の LVD イベントリンク機能を有効にしてください。また、LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

8.7.1 割り込み処理とイベントリンクの関係

電圧検出回路には、電圧監視 1 割り込み、電圧監視 2 割り込みそれぞれに割り込み許可 / 禁止を制御する許可ビット (LVD1RIE, LVD2RIE) があります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

ソフトウェアスタンバイ中、ディープソフトウェアスタンバイ中の ELC 用のイベント信号出力は、以下のとおりです。

- ソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合、ソフトウェアスタンバイモード期間中はクロックが供給されていないため ELC 用のイベント信号は出力しません。ただし、Vdet1/Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。
- ディープソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合は、ELC 用のイベント信号は出力されません。

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1　クロック発生回路の仕様

項目	仕様
用途	• CPU、TFU、DMAC、DTC、コードフラッシュメモリおよびRAMに供給されるシステムクロック(ICLK)の生成 • RSPI、SCIi、MTU3 (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)に供給される周辺モジュールクロック(PCLKA)の生成 • 周辺モジュールに供給される周辺モジュールクロック(PCLKB)の生成 • MTU3とGPTWに供給される周辺モジュールのカウンタ基準クロック、HRPWMの基準クロック(PCLKC)の生成 • S12ADに供給される周辺モジュール(アナログ変換用)クロック(PCLKD)の生成 • FlashIFに供給されるFlashIFクロック(FCLK)の生成 • 外部バスに供給される外部バスクロック(BCLK)の生成 • USBbに供給されるUSBクロック(UCLK)の生成 • CACに供給されるCACクロック(CACCLK)の生成 • CANに供給されるCANクロック(CANMCLK)の生成 • IWDTに供給されるIWDT専用クロック(IWDTCLK)の生成
動作周波数(注1)	• ICLK：200MHz (max)(注2) • PCLKA：120MHz (max) • PCLKB：60MHz (max) • PCLKC：200MHz (max) • PCLKD：8MHz～60MHz (12ビットA/Dコンバータ変換時) • FCLK：4MHz～60MHz (コードフラッシュメモリ、データフラッシュメモリP/E時) 60MHz (max) (データフラッシュメモリ読み出し時) • BCLK：60MHz (max) • BCLK端子出力：40MHz (max) • UCLK：48MHz (max) • CACCLK：各発振器のクロックと同じ • CANMCLK：24MHz (max) • IWDTCLK：120kHz
メインクロック発振器	• 発振子周波数：8MHz～24MHz • 外部クロック入力周波数：24MHz (max) • 接続できる発振子または付加回路：セラミック共振子、水晶振動子 • 接続端子：EXTAL、XTAL • 発振停止検出機能：メインクロックの発振停止検出時、LOCOに切り替える機能、MTU3、GPTWの端子をハイインピーダンスにする機能
PLL周波数シンセサイザ	• 入力クロックソース：メインクロック、HOCO(注3) • 入力分周比：1、2、3分周から選択可能 • 入力周波数：8MHz～24MHz • 逓倍比：10～30逓倍から選択可能 • PLL周波数シンセサイザ出力クロック周波数：120MHz～240MHz
高速オンチップオシレータ(HOCO)	• 発振周波数：16MHz、18MHz、20MHzから選択可能 • HOCO電源制御
低速オンチップオシレータ(LOCO)	発振周波数：240kHz
IWDT専用オンチップオシレータ	発振周波数：120kHz
BCLK端子の出力制御機能	• BCLKクロック出力またはHigh出力の選択が可能 • 出力するクロックはBCLKまたはBCLKの2分周の選択が可能
イベントリンク機能(出力)	メインクロック発振器の発振停止検出
イベントリンク機能(入力)	低速オンチップオシレータへのクロックソース切り替え

注1.　クロック周波数設定制限：ICLK≧BCLK、PCLKC≧PCLKA≧PCLKB
クロック周波数比制限：(Nは整数)
ICLK：FCLK = N：1 or 1：N、ICLK：PCLKA = N：1 or 1：N、ICLK：PCLKB = N：1 or 1：N、
ICLK：PCLKC = N：1 or 1：N、ICLK：PCLKD = N：1 or 1：N、
PCLKA：PCLKC = 1：1 or 1：2、PCLKB：PCLKD = 1：1 or 2：1 or 4：1 or 1：2

注2.　ICLKを120MHzより速くする場合は、MEMWAITレジスタの変更が必要となります。

注3.　PLLの入力クロックソースにHOCOを使用する場合は、HOCOクロック発振周波数(min/max.)で120MHz～240MHzとなるPLLの逓倍を選択してください。

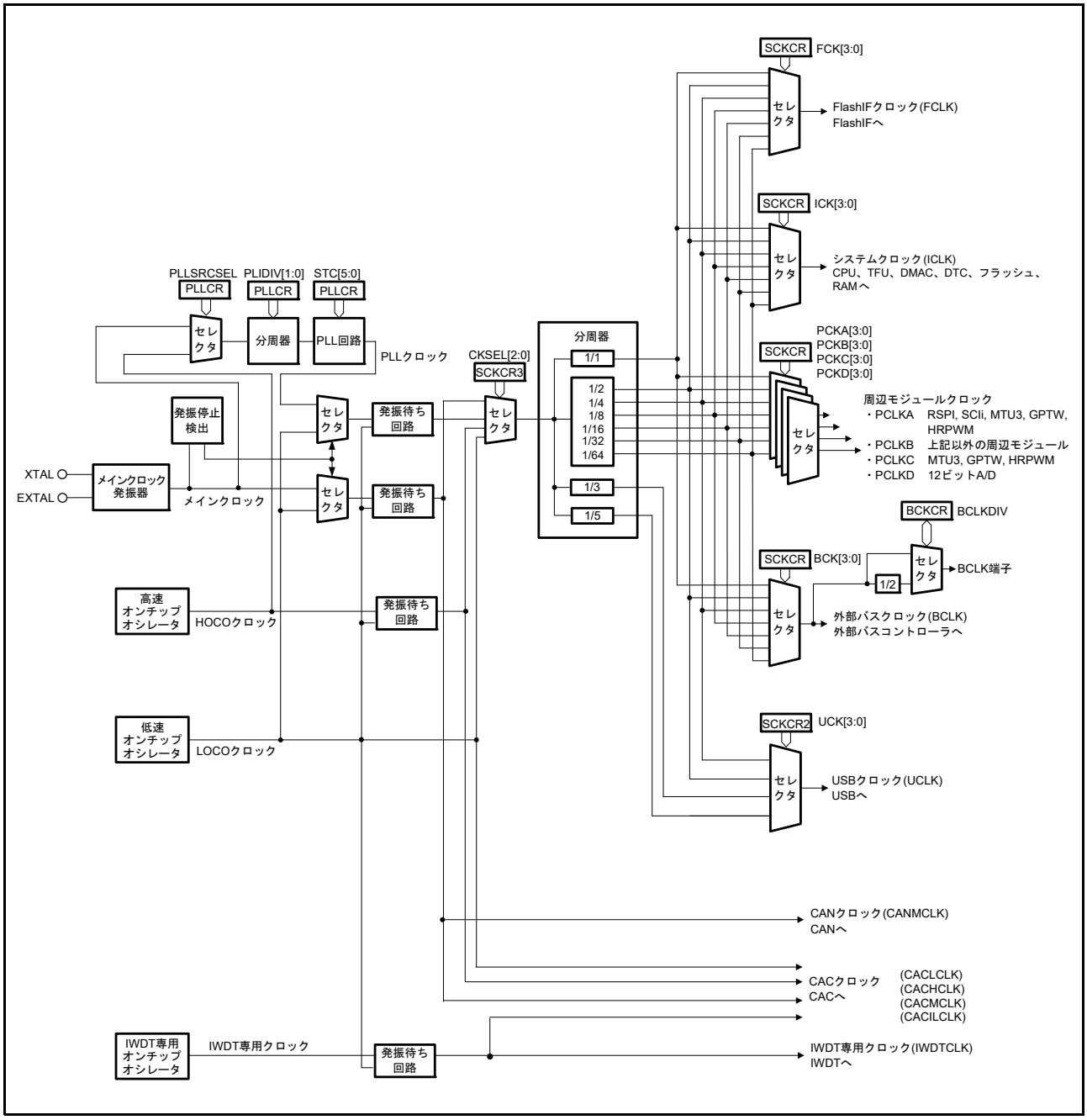


図 9.1　　クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2　　クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。EXTAL端子は外部クロックの入力も可能。詳細は、「9.3.2　外部クロックを入力する方法」参照
EXTAL	入力	
BCLK	出力	外部デバイスに外部バスクロック(BCLK)を供給します

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FCK[3:0]				ICK[3:0]				PSTOP1	—	—	—	BCK[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PCKA[3:0]				PCKB[3:0]				PCKC[3:0]				PCKD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	周辺モジュールクロックD (PCLKD) 選択ビット	b3 b0 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b7-b4	PCKC[3:0]	周辺モジュールクロックC (PCLKC) 選択ビット	b7 b4 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロックB (PCLKB) 選択ビット	b11 b8 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0]	周辺モジュールクロックA (PCLKA) 選択ビット	b15 b12 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b19-b16	BCK[3:0]	外部バスクロック(BCLK)選択ビット(注1)	b19 b16 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b22-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b23	PSTOP1	BCLK端子出力制御ビット(注2)	0：BCLK端子出力動作 1：BCLK端子出力停止(High固定)	R/W
b27-b24	ICK[3:0]	システムクロック(ICLK)選択ビット (注1)	b27 b24 0000：1分周 0001：2分周 0010：4分周 0011：8分周 0100：16分周 0101：32分周 0110：64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIFクロック(FCLK)選択ビット	b31 b28 0000：1分周 0001：2分周 0010：4分周 0011：8分周 0100：16分周 0101：32分周 0110：64分周 上記以外は設定しないでください	R/W

注1. ICLKは外部バスクロックより低い周波数を設定しないでください。
注2. 外部バス有効時、BCLK端子と兼用しているPE5は、I/Oポートとして使用できません。

以下に該当する場合、SCKCR レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

9.2.2 メモリウェイトサイクル設定レジスタ (MEMWAIT)

アドレス 0008 101Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MEMWAIT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MEMWAIT	メモリウェイトサイクル設定ビット	0：0ウェイト 1：1ウェイト	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MEMWAIT レジスタは、コードフラッシュメモリ、ECCRAM などのアクセスウェイト数を設定します。フラッシュメモリのアクセスサイクル数は、「45. フラッシュメモリ (FLASH)」を、ECCRAM のアクセスサイクル数は、「44. RAM」を参照してください。なお、RAM は MEMWAIT ビットの値に関係なく、0 ウェイトになります。

ICLK > 120MHz に設定する場合は、MEMWAIT = 1 (1 ウェイト) に設定してください。

MEMWAIT レジスタの設定制約を表 9.3 に示します。

表 9.3 MEMWAIT レジスタの設定制約

MEMWAIT ビット	ICLK ≦ 120MHz	ICLK > 120MHz
0	設定可能	設定禁止
1	設定可能	設定可能

ICLK の周波数を 120MHz 以下から 120MHz より高い周波数に変更する場合は、MEMWAIT = 1 (1 ウェイト) に設定してから、SCKCR レジスタで周波数を変更してください。また、120MHz より高い周波数から 120MHz 以下に変更する場合は、SCKCR レジスタで周波数を 120MHz 以下に変更後、MEMWAIT = 0 (0 ウェイト) に設定してください。

MEMWAIT ビットの変更手順を図 9.3、図 9.2 に示します。

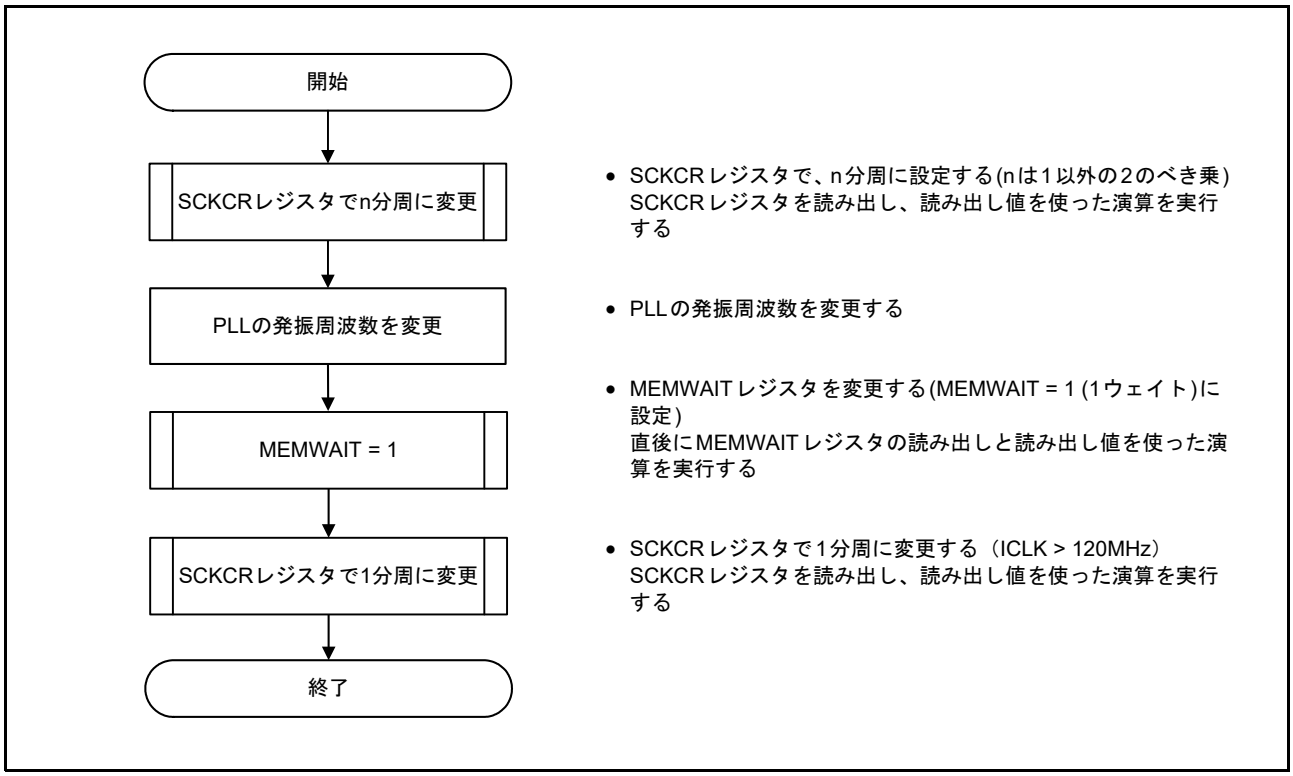


図 9.2 ICLK ≦ 120MHz かつ MEMWAIT = 0 から ICLK > 120MHz かつ MEMWAIT = 1 への変更手順例

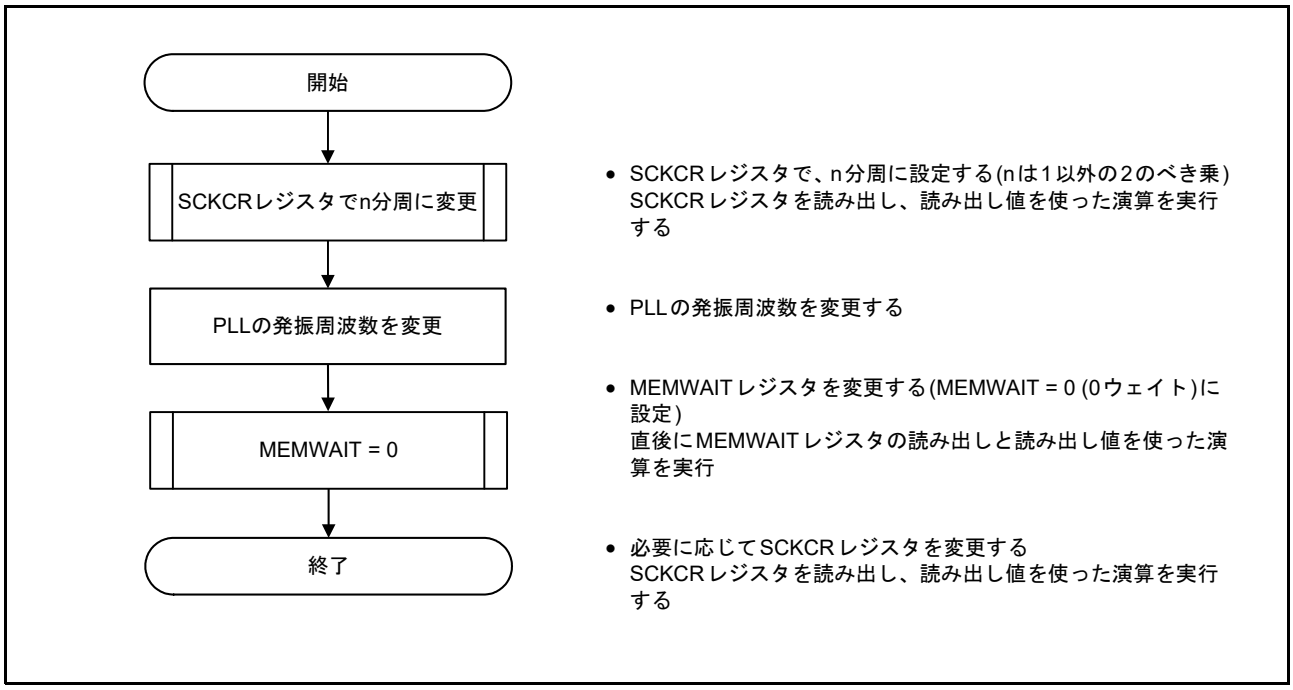


図 9.3 ICLK > 120MHz かつ MEMWAIT = 1 から ICLK ≦ 120MHz かつ MEMWAIT = 0 への変更手順例

9.2.3 システムクロックコントロールレジスタ 2 (SCKCR2)

アドレス 0008 0024h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	UCK[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	UCK[3:0]	USBクロック(UCLK)選択ビット	b7 b4 0 0 0 1：2分周 0 0 1 0：3分周 0 0 1 1：4分周 0 1 0 0：5分周 USBを使用する場合、上記以外は設定しないでください。USBを使用しない場合、読むと“0001b”が読めます。書く場合、“0001b”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、SCKCR2 レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

UCK[3:0] ビット (USB クロック (UCLK) 選択ビット)

USB クロック (UCLK) の周波数を選択します。

3 分周選択時はクロックの Duty は 2：1 になります。5 分周選択時はクロックの Duty は 3：2 になります。

9.2.4 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CKSEL[2:0]			—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 ０００：LOCO選択 ００１：HOCO選択 ０１０：メインクロック発振器選択 １００：PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、SCKCR3 レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK)、USB クロック (UCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.5 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	STC[5:0]						—	—	—	PLLSRCSEL	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	1	1	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0：1分周 0 1：2分周 1 0：3分周 1 1：設定しないでください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	PLLSRCSEL	PLLクロックソース選択ビット (注1)	0：メインクロック発振器 1：HOCO	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数逓倍率設定ビット	b13 b8　b13 b8　b13 b8 0 1 0 0 1 1：×10.0　1 0 0 0 0 1：×17.0　1 0 1 1 1 1：×24.0 0 1 0 1 0 0：×10.5　1 0 0 0 1 0：×17.5　1 1 0 0 0 0：×24.5 0 1 0 1 0 1：×11.0　1 0 0 0 1 1：×18.0　1 1 0 0 0 1：×25.0 0 1 0 1 1 0：×11.5　1 0 0 1 0 0：×18.5　1 1 0 0 1 0：×25.5 0 1 0 1 1 1：×12.0　1 0 0 1 0 1：×19.0　1 1 0 0 1 1：×26.0 0 1 1 0 0 0：×12.5　1 0 0 1 1 0：×19.5　1 1 0 1 0 0：×26.5 0 1 1 0 0 1：×13.0　1 0 0 1 1 1：×20.0　1 1 0 1 0 1：×27.0 0 1 1 0 1 0：×13.5　1 0 1 0 0 0：×20.5　1 1 0 1 1 0：×27.5 0 1 1 0 1 1：×14.0　1 0 1 0 0 1：×21.0　1 1 0 1 1 1：×28.0 0 1 1 1 0 0：×14.5　1 0 1 0 1 0：×21.5　1 1 1 0 0 0：×28.5 0 1 1 1 0 1：×15.0　1 0 1 0 1 1：×22.0　1 1 1 0 0 1：×29.0 0 1 1 1 1 0：×15.5　1 0 1 1 0 0：×22.5　1 1 1 0 1 0：×29.5 0 1 1 1 1 1：×16.0　1 0 1 1 0 1：×23.0　1 1 1 0 1 1：×30.0 1 0 0 0 0 0：×16.5　1 0 1 1 1 0：×23.5 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　USBを使用する場合は“0”にしてください。

PLLCR2.PLLEN ビットが “0” (PLL 動作) のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数 (8 ～ 24MHz) の範囲に入るように設定してください。

PLLSRCSEL ビット (PLL クロックソース選択ビット)

PLL のクロックソースを選択します。

STC[5:0] ビット (周波数逓倍率設定ビット)

PLL の周波数逓倍率を設定します。

STC[5:0] ビットは、PLL 回路出力クロック周波数 (120 ～ 240MHz) の範囲に入るように設定してください。

9.2.6 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL 停止制御ビット	0：PLL 動作 1：PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLL クロックソースは、メインクロック発振器と HOCO の 2 種類が選択可能です。

PLLCR.PLLSRCSEL ビットで PLL クロックソースにメインクロック発振器を選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLLEN ビットにて PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグに “1” がセットされていることを確認したうえで、PLL クロックの使用を開始してください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、PLLEN ビットでの動作の開始および停止に関して以下の制限がありますので注意してください。以下に PLL クロックソースにメインクロック発振器を選択した場合の注意点を示します。

- PLLEN ビットの動作設定は、OSCOVFSR.PLOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に PLOVF フラグが “0” にクリアされるまでの間) は、発振停止時の動作設定と比べて PLLCR2 レジスタの書き込みに時間がかかります。
- PLLEN ビットでの停止設定は、OSCOVFSR.PLOVF フラグの設定によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.PLOVF フラグが “1” にセットされるまでの間) は、発振安定時の停止設定と比べて、PLLCR2 レジスタの書き込みに時間がかかります。
- PLL クロックをシステムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.PLOVF フラグが “1” にセットされていることを確認した上で、WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.PLOVF フラグが “0” にクリアされていることを確認した上で、WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL を選択しているときは、PLLEN ビットを “1” (PLL 停止) にする書き込みは禁止です。

9.2.7 外部バスクロックコントロールレジスタ (BCKCR)

アドレス 0008 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKDIV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	BCLK端子出力選択ビット	0：BCLK 1：BCLKの2分周	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、BCKCR レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

BCLKDIV ビット (BCLK 端子出力選択ビット)

BCLK 端子から出力するクロックを選択します。

SCKCR.BCK[3:0] ビットで選択した周波数の BCLK または BCLK の 2 分周を選択できます。BCLK 端子の立ち下がりタイミングで外部バスコントロール信号を制御したい場合、本ビットを “1” に設定してください。

9.2.8 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0：メインクロック発振器動作 1：メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

メインクロック発振器の動作 / 停止は、MOSTP ビットで制御されます。MOSTP ビットを発振器動作に設定することで、メインクロック発振器を動作させることができます。

メインクロックを動作させる場合、メイン発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。この場合、MOSCCR.MOSTP ビットでメインクロックを動作設定に変更した後は、OSCOVFSR.MOOVF フラグに “1” がセットされていることを確認したうえで、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- MOSTP ビットでの動作設定は、OSCOVFSR.MOOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に OSCOVFSR.MOOVF フラグが “0” にクリアされるまでの間) は、発振停止時の動作設定と比べて MOSCCR レジスタの書き込みに時間がかかります。
- MOSTP ビットでの停止設定は、OSCOVFSR.MOOVF フラグの設定値によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.MOOVF フラグが “1” にセットされるまでの間) は、発振安定時の停止設定と比べて MOSCCR レジスタの書き込みに時間がかかります。
- システムクロックとして選択しているかどうかに関わらず、MOSTP ビットでメインクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.MOOVF フラグが “1” にセットされていることを確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.MOOVF フラグが “0” にクリアされていることを確認してから WAIT 命令を実行してください。

以下のいずれかに該当する場合は、MOSTP ビットを “1” (メインクロック発振器停止) にする書き込みは禁止です。

- システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0] ビット) でメインクロックを選択しているとき
- PLL コントロールレジスタ 2 の PLL 停止制御ビット (PLLCR2.PLLEN ビット) で“0” (PLL 動作) を選択し、かつ PLL コントロールレジスタの PLL クロックソース選択ビット (PLLCR.PLLSRCSEL ビット) でメインクロックを選択しているとき

9.2.9 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0：LOCO動作 1：LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定待機時間 (tLOCOWT) が経過した後、使用開始してください。

LCSTP ビットでの動作設定後、発振安定待ちの処理が完了するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを “1” (LOCO 停止) にする書き込みは禁止です。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) で発振停止検出機能を有効にしているとき、LCSTP ビットを “1” (LOCO 停止) にする書き込みは禁止です。

LOCO クロックは他発振器の待機時間の計測に使用されるため、LCSTP ビットの設定値に関わらず、他の発振器の待機時間計測中に LOCO クロックが発振します。そのため、LCSTP ビットを停止設定にしていても、意図せず LOCO クロックが供給されることがあります。

9.2.10 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0：IWDT専用オンチップオシレータ動作 1：IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” (IWDT 動作) のとき、ILOCOCR レジスタの設定は無効です。OFS0.IWDTSTRT ビットが “1” (IWDT 停止) のとき、ILOCOCR レジスタの設定は有効です。ILOCOCR レジスタが有効、かつ ILCSTP ビットが “0” (IWDT オンチップオシレータ動作) の後、“1” (IWDT 専用オンチップオシレータ停止) に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT 専用オンチップオシレータの動作 / 停止を制御します。

ILCSTP ビットで、IWDT 専用オンチップオシレータを停止設定から動作設定に変更した場合、OSCOVFSR.ILCOVF フラグに “1” がセットされていることを確認したうえで、使用開始してください。

IWDT 専用のオンチップオシレータを動作にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.ILCOVF フラグが “1” にセットされていることを確認してから WAIT 命令を実行してください。

9.2.11 高速オンチップオシレータコントロールレジスタ (HOCOCR)

アドレス 0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0：HOCO動作 1：HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. OFS1.HOCOENビットが“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグに “1” がセットされていることを確認したうえで、使用開始してください。

HCSTP ビットで動作設定後、発振安定待ちの処理が完了するまでに一定の時間を要します。また、停止設定後も、発振停止の処理が完了するまでに一定の時間を要します。そのため、HCSTP ビットでの動作の開始および停止に関して以下の制限がありますので注意してください。

- HCSTP ビットでの動作設定は、OSCOVFSR.HCOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に、OSCOVFSR.HCOVF フラグが “0” にクリアされるまでの間) は、発振停止時の動作設定と比べて HOCOCR レジスタの書き込みに時間がかかります。
- HCSTP ビットでの停止設定は、OSCOVFSR.HCOVF フラグの設定値によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.HCOVF フラグが “1” にセットされるまでの間) は、発振安定時の停止設定と比べて HOCOCR レジスタの書き込みに時間がかかります。
- システムクロックとして選択しているかどうかに関わらず、HCSTP ビットで HOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は OSCOVFSR.HCOVF フラグが “1” にセットされていることを確認してから、WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.HCOVF フラグが “0” にクリアされていることを確認してから、WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で HOCO を選択しているとき、あるいは PLLCR.PLLSRCSEL ビットで PLL のクロックソースを HOCO 選択でかつ、SCKCR3.CKSEL[2:0] ビットで PLL を選択しているとき、HCSTP ビットを “1” (HOCO 停止) にする書き込みは禁止です。

9.2.12 高速オンチップオシレータコントロールレジスタ 2 (HOCOCR2)

アドレス 0008 0037h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	HCFRQ[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HCFRQ[1:0]	HOCO周波数設定ビット	b1 b0 0 0：16MHz 0 1：18MHz 1 0：20MHz 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HOCOCR.HCSTP ビットが “0” (HOCO 動作) のとき、HOCOCR2 レジスタへの書き込みは禁止です。

9.2.13 発振安定フラグレジスタ (OSCOVFSR)

アドレス 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ILCOVF	HCOVF	PLOVF	—	MOOVF
リセット後の値	0	0	0	0/1 (注1)	0/1 (注2)	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0：MOSTP = 1 (停止)、または発振安定待ち中 (注3) 1：発振が安定し、システムクロックとして使用可能	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLLクロック発振安定フラグ	0：PLL停止、または発振安定待ち中 1：発振が安定し、システムクロックとして使用可能	R
b3	HCOVF (注2)	HOCOクロック発振安定フラグ	0：HOCO停止、または発振安定待ち中 1：発振が安定し、システムクロックとして使用可能	R
b4	ILCOVF (注1)	IWDT専用クロック発振安定フラグ	0：IWDT専用オンチップオシレータ停止、または発振安定待ち中 1：発振が安定し、IWDT専用クロックとして使用可能	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. OFS0.IWDTSTRTビットが“0”のとき、ILCOVFフラグのリセット後の値は“1”になります。OFS0.IWDTSTRTビットが“1”のとき、ILCOVFフラグのリセット後の値は“0”になります。
注2. OFS1.HOCOENビットが“0”のとき、HCOVFフラグのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCOVFフラグのリセット後の値は“0”になります。
注3. メインクロック発振器のウェイトコントロールレジスタの設定値が発振安定時間に対し不足している場合は、発振が安定する前に発振安定フラグが“1”にセットされ、内部回路にクロック供給が開始されます。この場合、本MCUの誤動作につながなりますので、ウェイトコントロールレジスタの設定値はLOCOクロックの最大周波数を考慮して、確実に発振器の安定待ち時間以上になるように設定してください。

OSCOVFSR レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すステータスフラグです。

カウンタは、発振開始後、発振器の出力クロックを内部回路に供給するまでの待機時間を計測するものであり、カウンタのオーバフローは、各発振器から内部回路へクロックの供給が開始されたことを意味します。

MOOVF フラグ (メインクロック発振安定フラグ)

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[“1” になる条件]

- メインクロック発振器停止時、MOSCCR.MOSTP ビットに “0” を設定した後、LOCO クロックで MOSCWTCR レジスタの設定値に応じたサイクル数をカウントし、MCU 内部へメインクロックの供給を開始したとき

[“0” になる条件]

- メインクロック発振器動作時、MOSCCR.MOSTP ビットに “1” を設定した後、メインクロック発振器の発振停止処理が完了したとき

PLOVF フラグ (PLL クロック発振安定フラグ)

PLL の待機時間を計測するカウンタの動作状態を示します。

[“1” になる条件]

- PLL 停止時、PLLCR2.PLLEN ビットに “0” を設定した後、LOCO クロックで 62 サイクルカウントし、MCU 内部へ PLL クロックの供給を開始したとき

ただし、PLLEN ビットを “0” に設定したときに、PLLCR.PLLSRCSEL ビットで選択された PLL クロック

ソースの発振が安定していなければ、PLL クロックソースの発振安定を待ってから LOCO クロックでのカウントを開始します。
[“0” になる条件]

- PLL 動作時、PLLCR2.PLLEN ビットに “1” を設定した後、PLL の発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

高速オンチップオシレータの待機時間を計測するカウンタの動作状態を示します。
[“1” になる条件]

- 高速オンチップオシレータ停止時、HOCOCR.HCSTP ビットに “0” を設定した後、LOCO クロックで 25 サイクルカウントし、MCU 内部へ HOCO クロックの供給を開始したとき

[“0” になる条件]

- 高速オンチップオシレータ動作時、HOCOCR.HCSTP ビットに “1” を設定した後、高速オンチップオシレータの発振停止処理が完了したとき

ILCOVF フラグ (IWDT 専用クロック発振安定フラグ)

IWDT 専用オンチップオシレータの待機時間を計測するカウンタの動作状態を示します。
[“1” になる条件]

- IWDT 専用オンチップオシレータ停止時、ILOCOCR.ILCSTP ビットに “0” を設定した後、LOCO クロックで 34 サイクルカウントし、MCU 内部へ IWDT 専用クロックの供給を開始したとき

9.2.14 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0：発振停止検出割り込みを禁止、POE、POEGへの発振停止検出通知なし 1：発振停止検出割り込みを許可、POE、POEGへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0：発振停止検出機能は無効 1：発振停止検出機能は有効	R/W

OSTDCR レジスタは、メインクロック発振器の発振停止検出機能や割り込みを許可するレジスタです。

OSTDIE ビット (発振停止検出割り込み許可ビット)

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを “0” にした後に行ってください。その後、OSTDIE ビットを再度 “1” にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB で 2 サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット (発振停止検出機能許可ビット)

発振停止検出機能の有効 / 無効を設定します。

OSTDE ビットを “1” (発振停止検出機能有効) にすると、LOCO 停止ビット (LOCOCR.LCSTP) も “0” となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ “1” (LOCO 停止) を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が “1” (メインクロック発振停止検出) のとき、OSTDE ビットへの “0” 書き込みは無効になります。

OSTDE ビットが “1” の場合、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを “0” にして、WAIT 命令を実行してください。

なお、OSTDE ビットを “1” (発振停止検出機能有効) にセットした後、発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) を確認する場合は、ICLK 3 サイクル以上待ってから OSTDF フラグを確認してください。

9.2.15 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0：メインクロックの発振停止を未検出 1：メインクロックの発振停止を検出	R(/W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. “0”のみ書けます。

OSTDSR レジスタは、メインクロック発振器の発振停止検出のステータスを示すレジスタです。

OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示すステータスフラグです。OSTDF フラグが “1” のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは “0” になりません。OSTDF フラグは “1” を読んだ後、“0” を書くことによって “0” になります。OSTDF = 0 が読み出し値に反映されるまで ICLK 3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを “1” から “0” にした場合、OSTDF フラグは一度 “0” になった後、再度 “1” になります。

また、システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器 (“010b”) または PLL (“100b”) を選択している間は、OSTDF フラグを “0” にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを “0” にしてください。メインクロック発振器の発振源に発振子を選択している場合、OSTDF フラグのクリアはリセットで行ってください。

[“1” になる条件]

- OSTDCR.OSTDE ビットが “1” (発振停止検出機能有効) の状態で、メインクロックの発振が停止したとき

[“0” になる条件]

- SCKCR3.CKSEL[2:0] ビットが “010b” または “100b” 以外の場合に、“1” を読んだ後、“0” を書いたとき

9.2.16　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス　0008 00A2h

	b7	b6	b5	b4	b3	b2	b1	b0
	MSTS[7:0]							
リセット後の値	0	1	0	1	0	0	1	1

MOSCWTCR レジスタは、メインクロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。メインクロック発振器用の発振安定待ち回路で、MOSCWTCR レジスタの設定値に応じたサイクル数を LOCO クロックでカウントし、待機時間を計測します。

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。MOSCCR.MOSTP ビットの設定によりメインクロック発振器が発振を開始すると、発振安定待ち回路は LOCO クロックで待機時間をカウントし始めます。カウントが完了するまでの間、MCU 内部へのクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCOVFSR.MOOVF フラグがセットされます。

発振安定待ち回路での LOCO クロックのカウントは、LOCOCR.LCSTP ビットの設定に関わらず行われます。待機時間の計測時には、ハードウェアで自動的に LOCO クロックの動作 / 停止が制御されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが “1” のとき、あるいは OSCOVFSR.MOOVF フラグが “1” のときのみ書き換え可能です。それ以外のときには書き換えないでください。

メインクロック発振器に外部クロックを入力している場合、待機時間は必要ありません。MSTS[7:0] ビットには “00h” を設定してください。

MSTS[7:0] ビットの設定値は、待機時間が確実にメインクロックの発振安定時間以上になるように fLOCO の最大周波数を使用して、以下の計算式で求められます。

MSTS[7:0] > [tMAINOSC × (fLOCO_max) + 16] / 32
(tMAINOSC：メインクロック発振安定時間、fLOCO_max：fLOCO 最大周波数)

計算例　tMAINOSC が 1ms、fLOCO_max が 264kHz (= 1/3.78μs) の場合、
MSTS[7:0] > [1ms × (264kHz) + 16] / 32 = 8.75　となるため、MSTS[7:0] ビットに 9 を設定

待機時間
LOCO 最大周波数時：(9 × 32 – 16) × (1/264kHz = 3.78μs) = 1.028ms
LOCO 通常周波数時：(9 × 32 + 3) × (1/240kHz = 4.18μs) = 1.216ms
LOCO 最少周波数時：(9 × 32 + 10) × (1/216kHz = 4.63μs) = 1.380ms

9.2.17 メインクロック発振器機能コントロールレジスタ (MOFCR)

アドレス 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODRV2[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	MODRV2[1:0]	メインクロック発振器ドライブ能力2切り替えビット	b5 b4 0 0：20.1～24MHz 0 1：16.1～20MHz 1 0：8.1～16MHz 1 1：8MHz	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0：発振子 1：外部クロック入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MOFCR レジスタは、メインクロック発振器のドライブ能力切り替え、および発振子と外部クロック入力の選択を行うレジスタです。

MODRV2[1:0] ビット (メインクロック発振器ドライブ能力 2 切り替えビット)

メインクロック発振器のドライブ能力を切り替えます。

メインクロック発振器に接続している水晶振動子の周波数に合わせてドライブ能力を設定してください。

なお、MODRV2[1:0] ビットの機能欄に記載された周波数範囲は、負荷容量 8pF の水晶振動子をターゲットにした目安値になっています。水晶振動子によっては、設定値が周波数範囲に入らない場合がありますので、発振子メーカの推奨する値に設定してください。

また、セラミック共振子の場合は、発振子の周波数よりも低い周波数範囲を選択した方が良い場合があります (たとえば、16.1 ～ 20MHz のセラミック共振子を使用する場合に、“01b” ではなく “10b” を設定) ので、同様に発振子メーカの推奨する値に設定してください。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.2.18 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR)

アドレス 0008 C294h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HOCOPCNT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HOCOPCNT	高速オンチップオシレータ電源制御ビット	0：HOCOの電源ON 1：HOCOの電源OFF	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HOCOPCNT ビット (高速オンチップオシレータ電源制御ビット)

HOCO の電源を制御するビットです。

“0” のとき、HOCO の電源が ON して、発振することができます。

“1” のとき、HOCO の電源を OFF して、消費電力を低減できます。

HOCOPCNT ビットを “1” にする場合、あらかじめ高速オンチップオシレータコントロールレジスタの HOCO 停止ビット (HOCOCR.HCSTP) を “1” (HOCO 停止) に設定してください。

HOCOPCNT ビットを “1” から “0” に切り替えた後、HOCOCR.HCSTP ビットを “0” にするまで安定待ち時間が必要です。詳細は、「46. 電気的特性」を参照してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でクロックソースに HOCO を選択しているときは、HOCOPCNT ビットの値を書き換えないでください。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を**図 9.4** に示します。

使用する発振子の負荷容量を参考に接続してください。また、必要に応じてダンピング抵抗 (Rd) を挿入してください。容量値、抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカの推奨する値に設定してください。また、発振子メーカから外部に帰還抵抗 (Rf) を追加するよう指示があった場合は、その指示に従って EXTAL、XTAL 間に Rf を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は**表 9.1** のメインクロック発振器の発振子周波数の範囲内としてください。

発振子を接続する場合、MOFCR.MODRV2[1:0] ビット (メインクロック発振器ドライブ能力 2 切り替えビット) を設定する必要があります。

MODRV2[1:0] ビットの機能欄に記載された周波数範囲は、負荷容量 C_L = 8pF の水晶振動子をターゲットにした目安値になっています。水晶振動子によっては設定値が周波数範囲に入らない場合がありますので、発振子メーカの推奨する値に設定してください。

また、セラミック共振子の場合は、発振子の周波数よりも低い周波数範囲を選択した方が良い場合があります (たとえば、16.1 ～ 20MHz のセラミック共振子を使用する場合、“01b” ではなく “10b” を設定) ので、同様に発振子メーカの推奨する値に設定してください。

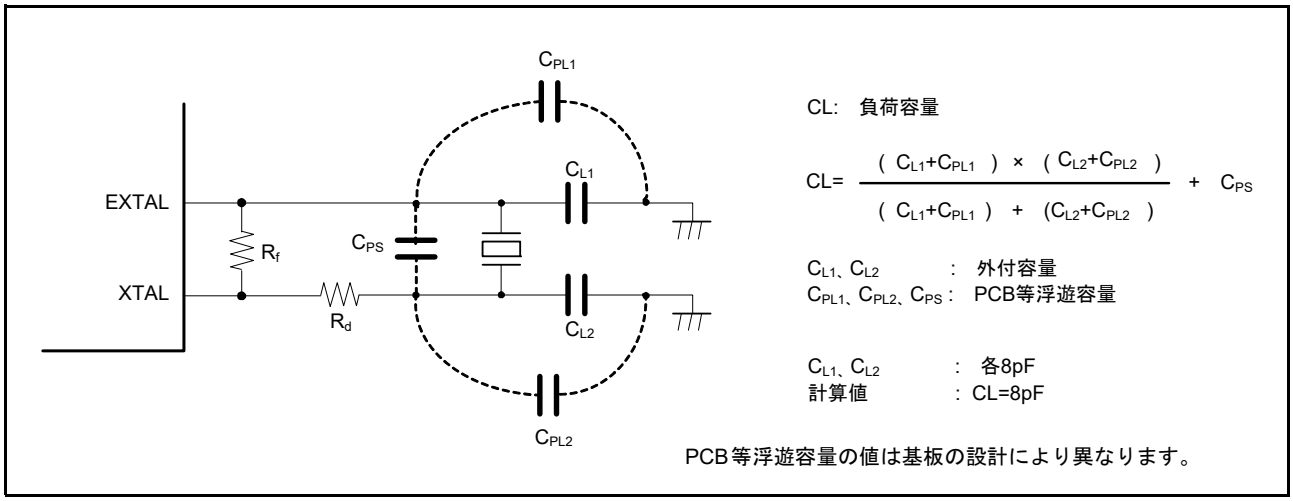


図 9.4　水晶振動子の接続例

表9.4　ダンピング抵抗(参考値)

周波数(MHz)	8	12	16	20	24
Rd (Ω)	0	0	0	0	0

水晶振動子の等価回路を**図 9.5** に示します。水晶振動子は**表 9.5** に示す特性のものを使用してください。

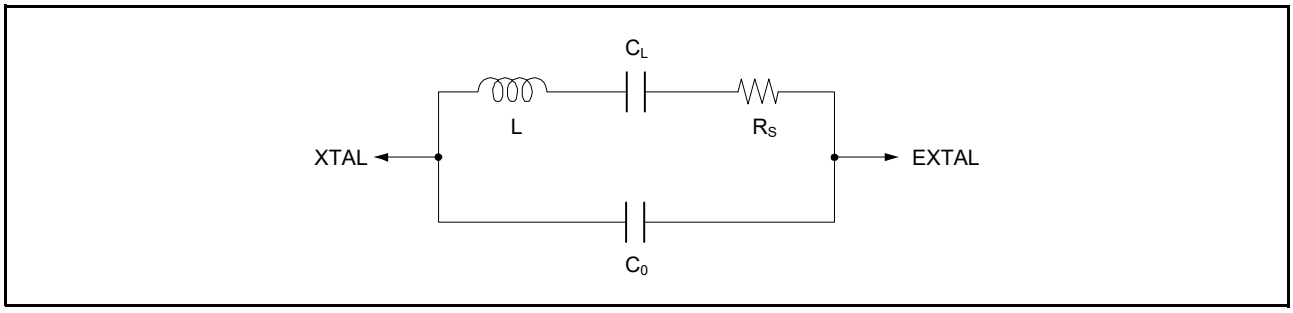


図 9.5 水晶振動子の等価回路

表9.5 水晶振動子の特性(参考値)

周波数(MHz)	8	12	16	20	24
R_S max (Ω)	300	100	80	50	50

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 9.6 に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを “1” にし、XTAL 端子をオープンにしてください。

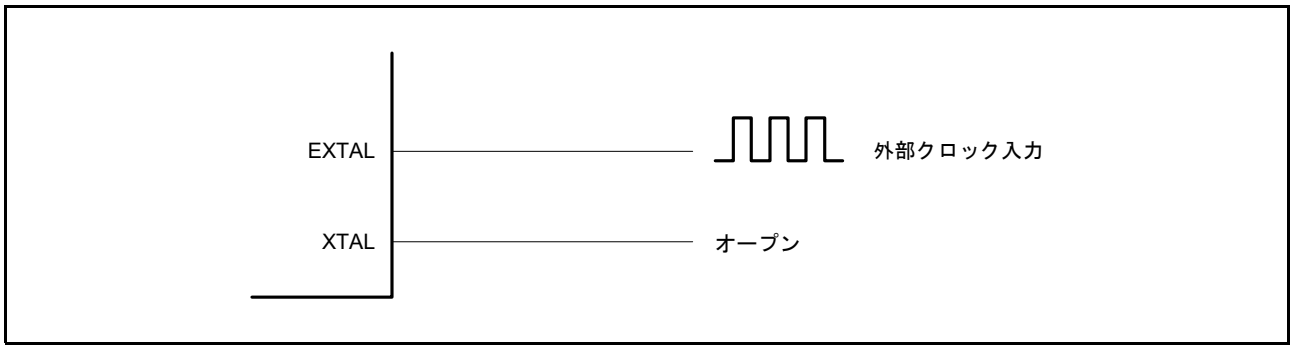


図 9.6 外部クロックの接続例

9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に “0” (メインクロック発振器動作) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 発振停止検出機能

9.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよびPLLクロックの代わりに低速オンチップオシレータが出力するLOCOクロックを供給する機能です。PLLのクロックソースにHOCOクロックを選択し、かつ、システムクロックのクロックソースにPLLクロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックはLOCOクロックに切り替わりません。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTU3、GPTWの出力を強制的にハイインピーダンスとすることも可能です。詳細は、「22. マルチファンクションタイマパルスユニット3 (MTU3d)」、「23. ポートアウトプットイネーブル3 (POE3B)」「26. GPTW用ポートアウトプットイネーブル (POEG)」を参照してください。

本MCUは、メインクロック発振器の異常などによって入力クロックが一定期間 “0” または “1” となった場合にメインクロックの発振停止を検出します。検出期間の詳細は、「表46.53 発振停止検出回路特性」を参照してください。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックとPLLクロックが、それぞれ前段のセレクタにてLOCOクロックに切り替わります。

そのため、メインクロックをPLLのクロックソースに選択したPLLクロック、あるいはメインクロックをシステムクロックのクロックソースに選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースがLOCOクロックへと切り替わります。

メインクロックとLOCOクロックの切り換え、およびPLLクロックとLOCOクロックの切り換えは、それぞれ発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDFフラグがセットされることによってLOCOクロックへと切り替わります。

リセット解除後、メインクロック発振器を動作させ、所定の発振安定時間経過後にSCKCR3.CKSEL[2:0]の設定をメインクロックまたはPLLクロックに変更してください。メインクロック発振器の発振源に発振子を選択している場合は、リセットを発生させてOSTDFフラグをクリアしてください。

メインクロック発振器の発振源に外部クロック入力を選択している場合は、OSTDFフラグをソフトでクリアすることによってメインクロックあるいはPLLクロックに戻ります。

ただし、SCKCR3.CKSEL[2:0] でメインクロック発振器を選択しているとき、あるいはメインクロック発振器をクロックソースに設定した状態のPLLを選択しているときには、OSTDFフラグをクリアすることはできません。発振停止検出後にクロックソースをメインクロックあるいはPLLクロックに戻したい場合には、一旦SCKCR3.CKSEL[2:0] の設定をメインクロック発振器とメインクロック発振器をクロックソースに設定した状態のPLL以外に変更し、OSTDFフラグをソフトでクリアしてください。その後、OSTDFフラグが再度セットされていないことを確認したうえで、所定の発振安定時間経過後にSCKCR3.CKSEL[2:0] の設定をメインクロックまたはPLLクロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させOSCOVFSR.MOOVFフラグまたはOSCOVFSR.PLOVFフラグに “1” がセットされたことを確認した後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能を無効にしてください。

発振停止検出によってLOCOクロックに切り替わるクロックは、システムクロックソースとしてのメインクロック、PLLクロックと、CACメインクロック (CACMCLK)、およびCANクロック (CANMCLK) です。

なお、LOCOクロックに切り替わったときの各クロックの周波数はシステムクロックコントロールレジスタ (SCKCR, SCKCR2, SCKCR3) の設定値で決まります。

図 9.7 に発振停止検出機能の初期化手順のフローチャート例を示します。

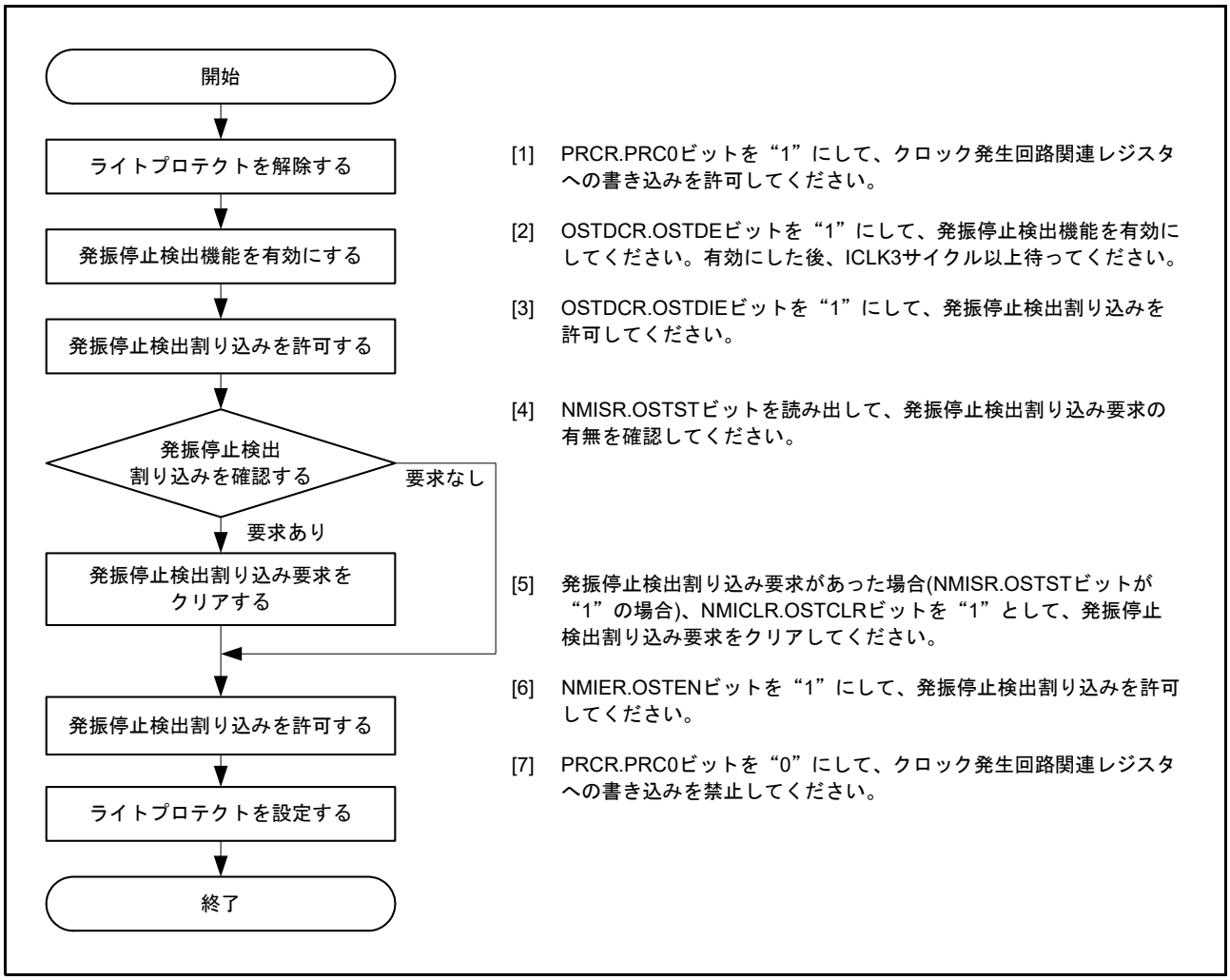
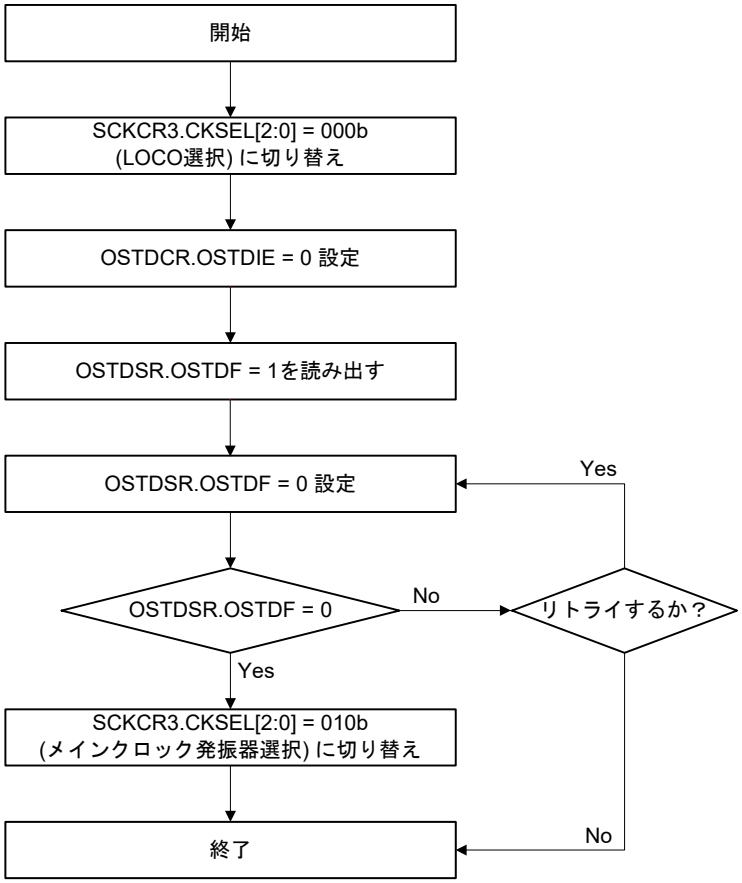


図 9.7 発振停止検出機能の初期化手順のフローチャート例



注. 発振停止状態から復帰する際は、ユーザシステムにおいて、メインクロック発振回路の停止要因が取り除かれ、再度発振可能な状態となっている必要があります。

図 9.8 発振停止検出からの復帰のフローチャート例

9.4.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が “1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が “1” になると発振停止検出割り込み (OSTDI) 要求が発生します。また、このときポートアウトプットイネーブル 3 (POE3B) と GPTW 用ポートアウトプットイネーブル (POEG) へメインクロック発振器の停止を通知します。POE3 は、発振停止の通知を受けて入力レベルコントロール / ステータスレジスタ 6 の OSTST ハイインピーダンスフラグ (ICSR6.OSTSTF) を “1” にします。この ICSR6.OSTSTF フラグは、発振停止を検出後、PCLKB で 10 サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDF フラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を “0” にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度 “1” にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB 2 サイクル以上の待ち時間を確保することが可能です。

一方、POEG は、同様に発振停止の通知を受けて、POEG グループ n 設定レジスタの発振停止検出フラグ (POEGGn.OSTPF (n = A ～ D)) を “1” にします。

発振停止検出割り込みをノンマスカブル割り込みとして使用する場合、リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、ソフトウェアで NMIER レジスタの該当ビットを “1” にセットしてノンマスカブル割り込みを有効にしてください。マスカブル割り込みとして使用する場合は、NMIER レジスタをリセット後の値から変更しないでください。詳細は「**14. 割り込みコントローラ (ICUC)**」を参照してください。

9.5 PLL 回路

PLL 回路は、発振器からの周波数を逓倍する機能を持っています。

9.6 内部クロック

内部クロックは、クロックソースとしてメインクロック、HOCO クロック、LOCO クロック、PLL クロック、IWDT 専用クロックがあり、これらのクロックから下表に示す内部クロックを生成します。

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKA[3:0], PCKB[3:0], PCKC[3:0], PCKD[3:0] ビット、BCKCR.BCLKDIV ビット、SCKCR2.UCK[3:0] ビット、クロックソースを選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

表9.6 内部クロックと供給先モジュール

	内部クロックの種類	クロック名	供給先モジュール
1	システムクロック	ICLK	CPU、TFU、コードフラッシュメモリ、RAM、ECCRAM、ICU、BSC、DMAC、DTC、MPU
2	周辺モジュールクロック	PCLKA	SCIi、RSPI、MTU3 (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)
		PCLKB	TMR、CMT、WDT、IWDT、POE3、SCIj、SCIh、RIIC、CAN、USBb、S12AD、R12DA、CMPC、CRC、DOC、CAC、TSIP-Lite、I/Oポート、MPC、ICU、POEG、ELC、温度センサ
		PCLKC	MTU3 (カウンタ基準クロック)、GPTW (カウンタ基準クロック)、HRPWM (基準クロック)
		PCLKD	S12AD
3	FlashIFクロック	FCLK	データフラッシュメモリ、コードフラッシュメモリ(P/E)
4	外部バスクロック	BCLK	BSC, I/O
5	USBクロック	UCLK	USBb
6	CANクロック	CANMCLK	CAN
7	CACクロック	CACMCLK (メインクロック)	CAC
		CACHCLK (HOCOクロック)	
		CACLCLK (LOCOクロック)	
		CACILCLK (IWDT専用クロック)	
8	IWDT専用クロック	IWDTCLK	IWDT

9.6.1 システムクロック

システムクロック (ICLK) は、CPU、DMAC、DTC、コードフラッシュメモリおよび RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

9.6.2 周辺モジュールクロック

周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD) は、周辺モジュールの動作クロックです。

各周波数はそれぞれ、SCKCR.PCKA[3:0] ビット、SCKCR.PCKB[3:0] ビット、SCKCR.PCKC[3:0] ビット、SCKCR.PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。周辺モジュールクロックの周波数は、システムクロックの周波数より高速に設定することができます。

9.6.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF の動作クロックであり、コードフラッシュメモリ、データフラッシュメモリのプログラム / イレーズ、およびデータフラッシュメモリリードに使用するクロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

9.6.4 外部バスクロック

外部バスクロック (BCLK) は、外部バスコントローラの動作クロックです。また、BCLK は外部バスに BCLK 端子から外部に出力できます。外部バス有効時、BCLK 端子と兼用している PE5 は、I/O ポートとして使用できません。

SCKCR.PSTOP1 ビットを “0”、システムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を “1” にすると、BCLK を BCLK 端子から出力することができます。SYSCR0.EXBE ビットを “1” に変更する場合は、SCKCR.PSTOP1 ビットが “1” の状態で行ってください。

また、BCKCR.BCLKDIV ビットを “1” にすると、BCLK 端子から BCLK の 2 分周クロックを出力することができます。

BCLK の周波数は、SCKCR.BCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCOCR2.HCFRQ[1:0] ビットで設定します。

BCLK は、システムクロック (ICLK) より高い周波数に設定することはできません。高い周波数に設定した場合、ICLK と同じ周波数となります。

9.6.5 USB クロック

USB クロック (UCLK) は、USBb の動作クロックです。

UCLK の周波数は、SCKCR2.UCK[3:0], SCKCR3.CKSEL[2:0], PLLCR.STC[5:0], PLLCR.PLIDIV[1:0] ビットで設定します。UCLK の周波数は 48MHz にする必要があります。

9.6.6 CAN クロック

CAN クロック (CANMCLK) は、CAN モジュールの動作クロックです。

CANMCLK は、メインクロック発振器で生成されたクロックです。

9.6.7 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC モジュールの動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDT オンチップオシレータで生成される CACILCLK、周辺モジュールに供給される PCLKB があります。

9.6.8 IWDT 専用クロック

IWDT 専用クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.7 クロックソース切り替え

本 MCU は、リセット解除中に発振した LOCO クロックで、内部リセット時間 (tRESWT) 経過後 CPU 命令フェッチを始めます。その後、LOCO クロックで動作している CPU で、切り替え先のクロック設定を行った後、発振安定フラグレジスタで切り替えたいクロックが発振安定したことを確認してからクロックソースを切り替えてください。

(1) 内部リセット解除後、システムクロックを LOCO クロックから PLL クロック (クロックソース：メインクロック) に設定する手順例

①内部リセット解除後、MOFCR レジスタの MODRV2[1:0] ビットでドライブ能力を設定
② MOSCWTCR.MSTS[7:0] ビットでメインクロック発振器の発振待機時間を設定
③ MOSCCR レジスタの MOSTP ビットでメインクロック発振器を動作に設定
④ ICLK を 120MHz より速くする場合は、MEMWAIT レジスタの MEMWAIT ビットを “1” に設定
⑤ PLLCR レジスタで周波数逓倍率を設定 (PLL クロックソースの初期設定はメインクロック発振器)
⑥ PLLCR2 レジスタの PLL 停止制御ビットで PLL 動作を選択
⑦ OSCOVFSR レジスタの PLOVF フラグで PLL クロックが安定したことを確認
⑧ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
⑨ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから PLL クロックに変更

(2) 内部リセット解除後、システムクロックを LOCO クロックから PLL クロック (クロックソース：HOCO クロック) に設定する手順例

①内部リセット解除後、HOCOCR2 レジスタの HCFRQ[1:0] ビットで周波数を設定
② HOCOCR レジスタの HCSTP ビットで HOCO クロックを動作に設定
(初期値は OFS1.HOCOEN ビットで決まります。OFS1.HOCOEN ビットが 0 であれば動作を設定する必要はありません。また HOCO クロックの発振待機時間は LOCO クロックで 25 サイクルになります。)
③ ICLK を 120MHz より速くする場合は、MEMWAIT レジスタの MEMWAIT ビットを “1” に設定
④ PLLCR レジスタで周波数逓倍率、PLL クロックソースを HOCO クロックに設定
⑤ PLLCR2 レジスタの PLL 停止制御ビットで PLL 動作を選択
⑥ OSCOVFSR レジスタの PLOVF フラグで PLL クロックが安定したことを確認
⑦ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
⑧ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから PLL クロックに変更

(3) 内部リセット解除後、システムクロックを LOCO クロックからメインクロックに設定する手順例

①内部リセット解除後、MOFCR レジスタの MODRV2[1:0] ビットでドライブ能力を設定
② MOSCWTCR.MSTS[7:0] でメインクロック発振器の発振待機時間を設定
③ MOSCCR レジスタの MOSTP ビットでメインクロック発振器を動作に設定
④ OSCOVFSR レジスタの MOOVF フラグでメインクロック発振器が安定したことを確認
⑤ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
⑥ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックからメインクロックに変更

(4) 内部リセット解除後、システムクロックを LOCO クロックから HOCO クロックに設定する手順例

①内部リセット解除後、HOCOCR2 レジスタの HCFRQ[1:0] ビットで周波数を設定
② HOCOCR レジスタの HCSTP ビットで HOCO クロックを動作に設定
(初期値は OFS1.HOCOEN ビットで決まります。OFS1.HOCOEN ビットが 0 であれば動作を設定する必要はありません。また HOCO クロックの発振待機時間は LOCO クロックで 25 サイクルになります。)
③ OSCOVFSR レジスタの HCOVF フラグで HOCO クロックが安定したことを確認
④ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
⑤ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから HOCO クロックに変更

9.8 ELC によるリンク動作

9.8.1 ELC へのイベント信号出力

クロック発生回路は、メインクロックの発振停止検出時、イベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) の設定に関係なく出力することができます。詳細は「19. イベントリンクコントローラ (ELC)」を参照してください。

9.8.2 ELC からのイベント信号受信によるクロックソース切り替え

クロック発生回路は、ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる低速オンチップオシレータへのクロックソースの切り替え動作が可能です。

なお本機能を使用しているときは、スリープモード復帰時のクロックソース切り替え機能は同時に使用できません。詳細は、「11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。

9.9 使用上の注意事項

9.9.1 クロック発生回路に関する注意事項

(1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA ～ PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK) の周波数を選択します。各周波数は、以下のようにしてください。
各周波数は電気的特性の AC タイミングのクロックサイクル時間 tcyc の動作保証範囲内に収まるように選択してください。
周波数は**表 9.1** の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKA、PCLKB、PCLKC を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。

(2) システムクロック (ICLK) と外部バスクロック (BCLK) との間には以下の周波数関係が必要です。
ICLK ≧ BCLK の周波数関係
また、周辺モジュールクロック内で、以下の周波数関係が必要です。
PCLKC ≧ PCLKA ≧ PCLKB の周波数関係
PCLKA：PCLKC = 1：1 or 1：2 の周波数関係
PCLKB：PCLKD = 1：1 or 2：1 or 4：1 or 1：2 の周波数関係

(3) 外部バスアクセス中は、クロック周波数の変更を実施しないでください。またクロック周波数の変更後に外部バスアクセスを開始する場合は、周波数変更が完了したことを確認してから外部バスアクセスを開始するようにしてください。

(4) SCKCR, SCKCR2, SCKCR3, BCKCR レジスタの書き換えによってクロック周波数を変更する場合、確実にクロック周波数が変更された後に次の処理を実行するために、同レジスタの書き込み完了を待ってから次の処理を実行してください。I/O レジスタの書き込み完了の確認手順は「**5. I/O レジスタ**」の「**(2) I/O レジスタ書き込み時の注意事項**」を参照してください。

9.9.2 SCKCR3 レジスタ書き換え時の注意事項

SCKCR3 レジスタが書き換えられた場合、クロックソースの切り替え時に短いクロックパルス (グリッチ) が発生しないよう、一時的にクロック出力を停止させています。この期間内に下記の条件を満たす信号が入力された場合、割り込みコントローラで検出できないことがあります。

(1) PCLKB の分周比が 1 分周 (SCKCR.PCKB[3:0] ビットが “0000b”) の場合、切り替え後の PCLKB の 4 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み

(2) PCLKB の分周比が 2 分周 (SCKCR.PCKB[3:0] ビットが “0001b”) の場合、切り替え後の PCLKB の 2.5 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み

外部端子割り込み、NMI 端子割り込みを使用する場合は、上記 (1)、(2) の条件が満たされないように、十分にパルス幅の広い信号を入力してください。

9.9.3 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.9.4 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。**図 9.9** に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

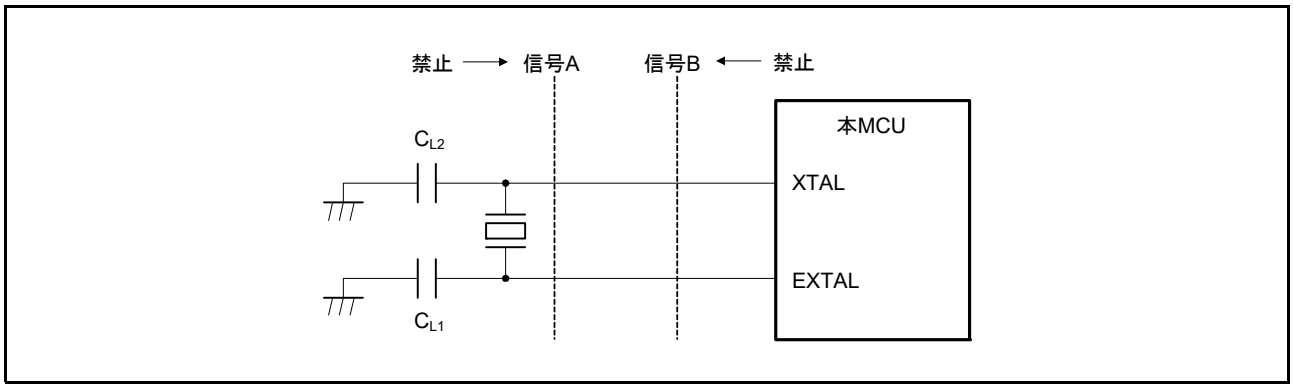


図 9.9 発振回路部のボード設計に関する注意事項

9.9.5 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36、P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定 (MOSCCR.MOSTP ビットを “1”) で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子 (P36)、XTAL 端子 (P37) を出力ポートとして使用しないでください。ポート設定に関連するレジスタの設定値は**「表 21.26 レジスタの設定」**を参照してください。また、以下の機能を使用する場合、メインクロックが必要となるので、両端子をメインクロックとして使用できるようボード設計を行ってください。

- ブートモード (USB インタフェース) でのフラッシュ書き換え (注 1)

注 1. 各モードにおける発振子の条件は「45.12.8 ブートモード (USB インタフェース) における注意事項」を参照してください。

10. クロック周波数精度測定回路 (CAC)

10.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CACの仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 • メインクロック • HOCOクロック • LOCOクロック • IWDT専用クロック (IWDTCLK) • 周辺モジュールクロックB (PCLKB)
測定基準クロック	• 外部からCACREF端子に入力したクロック • メインクロック • HOCOクロック • LOCOクロック • IWDT専用クロック (IWDTCLK) • 周辺モジュールクロックB (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	• 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への遷移が可能

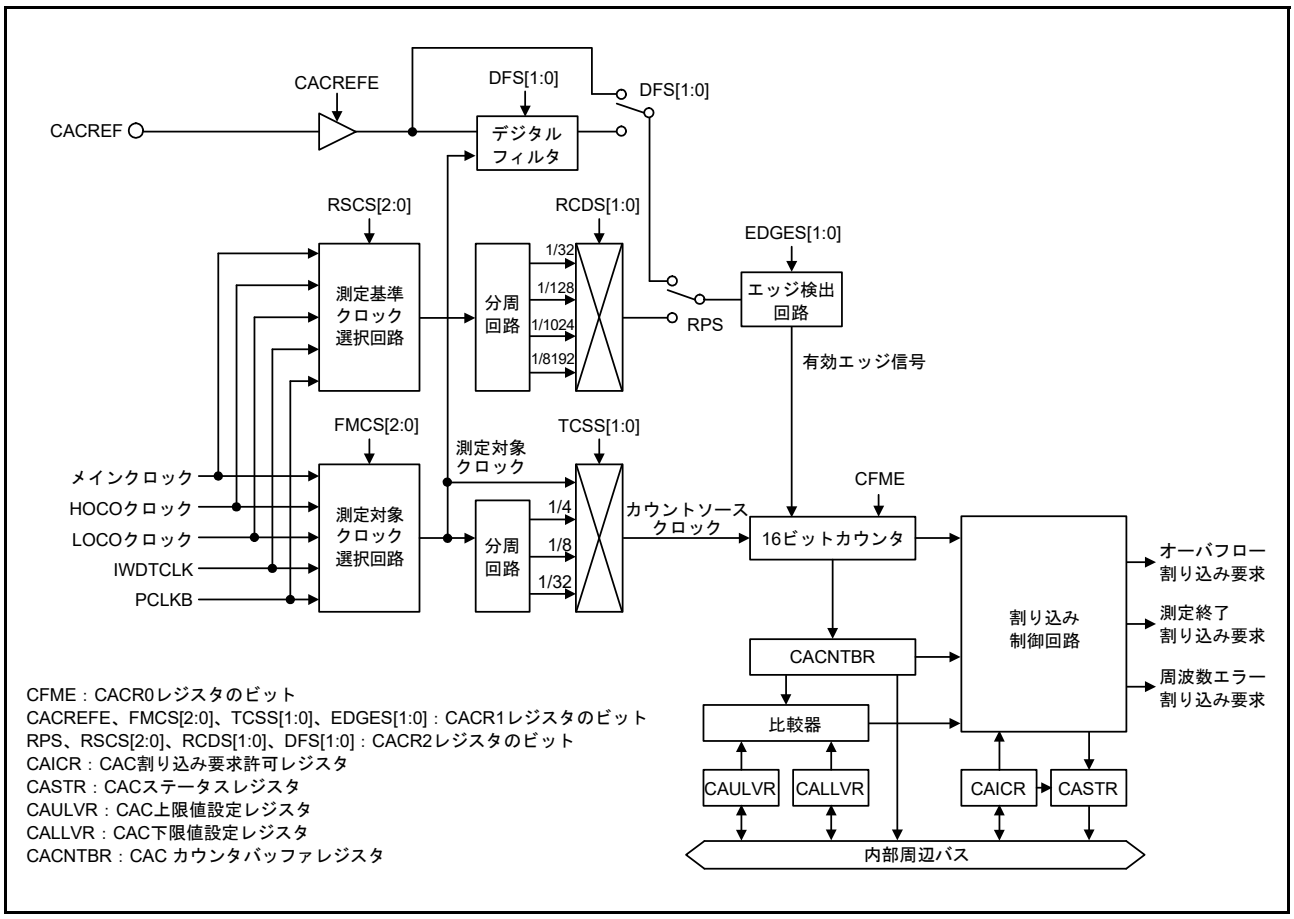


図 10.1　CAC のブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2　CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0：クロック周波数測定無効 1：クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 0008 B001h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDGES[1:0]		TCSS[1:0]		FMCS[2:0]			CACREFE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF端子入力有効ビット	0：CACREF端子入力無効 1：CACREF端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 ０００：メインクロック ０１０：HOCOクロック ０１１：LOCOクロック １００：IWDT専用クロック(IWDTCLK) １０１：周辺モジュールクロックB (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントクロックソース選択ビット	b5 b4 ００：分周なしクロック ０１：4分周クロック １０：8分周クロック １１：32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 ００：立ち上がりエッジ ０１：立ち下がりエッジ １０：立ち上がり/立ち下がり両エッジ １１：設定しないでください	R/W

注. CACR1レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

このビットの設定によりクロック周波数精度測定回路のカウントクロックソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 0008 B002h

	b7	b6	b5	b4	b3	b2	b1	b0
	DFS[1:0]		RCDS[1:0]		RSCS[2:0]			RPS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0：CACREF端子入力 1：内部クロック(内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 ０００：メインクロック ０１０：HOCOクロック ０１１：LOCOクロック １００：IWDT専用クロック(IWDTCLK) １０１：周辺モジュールクロックB (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 ００：32分周クロック ０１：128分周クロック １０：1024分周クロック １１：8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 ００：デジタルフィルタ機能無効 ０１：測定対象クロック １０：測定対象クロックの4分周クロック １１：測定対象クロックの16分周クロック	R/W

注. CACR2レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効 / 無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス CAC.CAICR 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFCL	MENDFCL	FERRFCL	—	OVFIE	MENDIE	FERRIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0：周波数エラー割り込み要求無効 1：周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0：測定終了割り込み要求無効 1：測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0：オーバフロー割り込み要求無効 1：オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にするとCASTR.FERRF フラグがクリアされます。読むと“0”が読めます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にするとCASTR.MENDF フラグがクリアされます。読むと“0”が読めます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にするとCASTR.OVFF フラグがクリアされます。読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効 / 無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効 / 無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効 / 無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを “1” にすると CASTR.FERRF フラグがクリアされます。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを “1” にすると CASTR.MENDF フラグがクリアされます。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを “1” にすると CASTR.OVFF フラグがクリアされます。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 0008 B004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0：クロックの周波数が設定値内 1：クロックの周波数が設定値を外れた(周波数エラー)	R
b1	MENDF	測定終了フラグ	0：測定中 1：測定が終了	R
b2	OVFF	オーバフローフラグ	0：カウンタがオーバフローしていない 1：カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた (周波数エラー) ことを示します。

[“1” になる条件]

- クロック周波数が設定値を外れたとき

[“0” になる条件]

- CAICR.FERRFCL ビットに “1” を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[“1” になる条件]

- 測定終了したとき

[“0” になる条件]

- CAICR.MENDFCL ビットに “1” を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

[“1” になる条件]

- カウンタがオーバフローしたとき

[“0” になる条件]

- CAICR.OVFFCL ビットに “1” を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 0008 B006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが “0” のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 0008 B008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが “0” のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 0008 B00Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

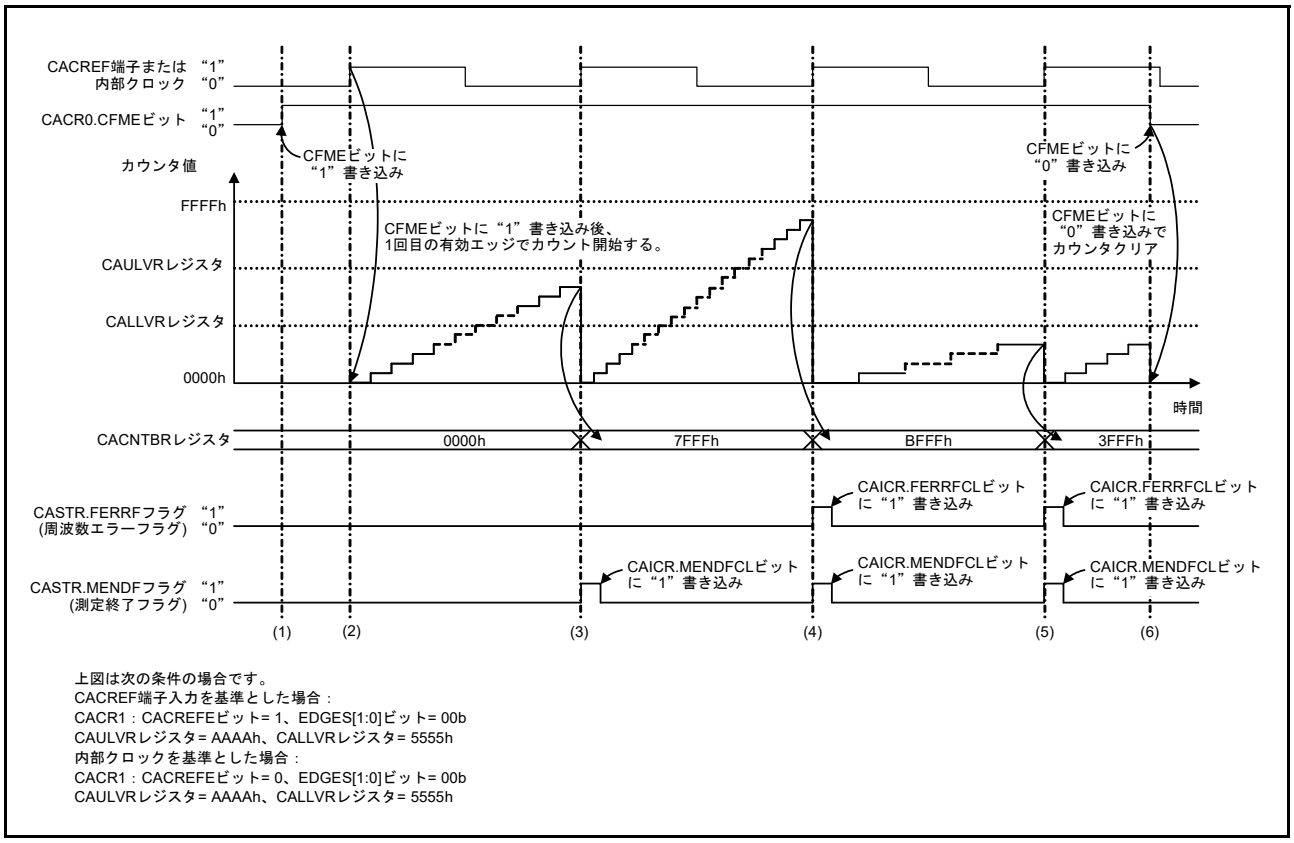


図 10.2　クロック周波数精度測定回路の動作例

(1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを "0"、CACR1.CACREFE ビットを "1" にした状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを "1" にした状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。

(2) CACREF 端子入力を基準とした場合は、CFME ビットに "1" を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウントアップが開始されます。
内部クロックを基準とした場合は、CFME ビットに "1" を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウントアップが開始されます。

(3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CALLVR レジスタ≦ CACNTBR レジスタ≦ CAULVR レジスタのときは、クロック周波数が正常なので CASTR.MENDF フラグだけが "1" になります。また、CAICR.MENDIE ビットを "1" にしている場合は、測定終了割り込みが発生します。

(4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが “1” になります。また、CAICR.FERRIE ビットを “1” にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも “1” になります。また、CAICR.MENDIE ビットを “1” にしている場合は、測定終了割り込みが発生します。

(5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが “1” になります。また、CAICR.FERRIE ビットを “1” にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも “1” になります。また、CAICR.MENDIE ビットを “1” にしている場合は、測定終了割り込みが発生します。

(6) CACR0.CFME ビットが “1” の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACR0.CFME ビットに “0” を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効 / 無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

カウント値誤差 = (カウントソースクロック 1 周期)/(サンプリングクロック 1 周期)

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバフロー割り込みの 3 種類があります。各割り込み要因が発生すると各ステータスフラグが “1” になります。**表 10.3** にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタと CAULVR レジスタおよび CALLVR レジスタとを比較した結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1回目の有効エッジでは測定終了割り込みは発生しない
オーバフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「**11. 消費電力低減機能**」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、BCLK 出力制御機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、**表 11.2** に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC、DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、外部バスクロック(BCLK)、フラッシュインタフェースクロック(FCLK)に対し、個別に分周比を設定することが可能(注1)
BCLK出力制御機能	BCLK出力またはHigh出力の選択が可能(注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	• CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	• スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード • ディープソフトウェアスタンバイモード

注1. 詳細は「9. クロック発生回路」を参照してください。

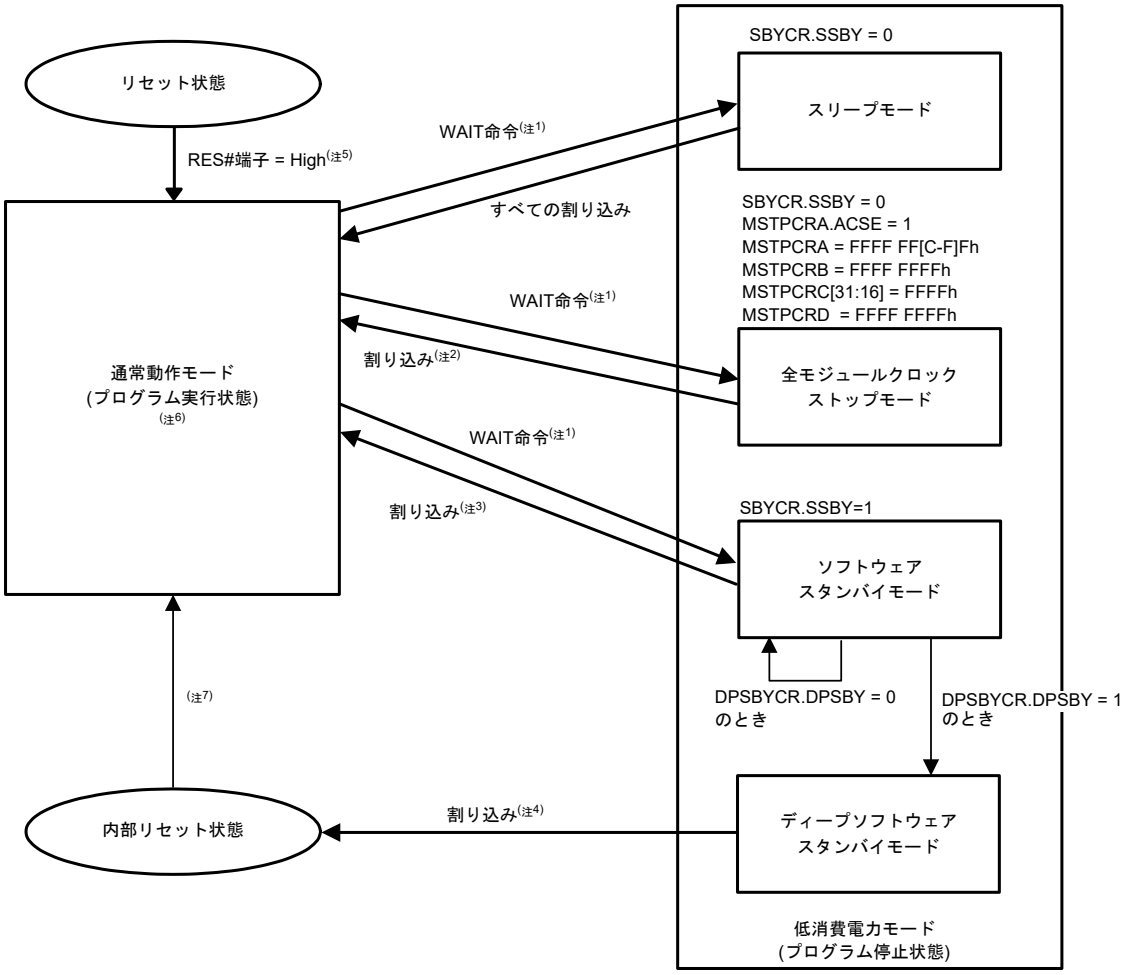
表11.2　各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令
リセット以外の解除方法	割り込み	割り込み (注1)	割り込み (注2)	割り込み (注3)
解除後の状態 (注4)	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)	プログラム実行状態(リセット処理)
メインクロック発振器	動作可能	動作可能	停止	停止
高速オンチップオシレータ	動作可能	動作可能	停止	停止
低速オンチップオシレータ	動作可能	動作可能	停止	停止
IWDT専用オンチップオシレータ	動作可能 (注5)	動作可能 (注5)	動作可能 (注5)	停止(不定) (注5)
PLL	動作可能	動作可能	停止	停止
CPU	停止(保持)	停止(保持)	停止(保持)	停止(不定)
RAM, ECCRAM	動作可能(保持)	停止(保持)	停止(保持)	停止(不定)
フラッシュメモリ	動作	停止(保持)	停止(保持)	停止(保持)
USBFSホスト/ファンクションモジュール(USBb)	動作可能	停止 (注6)	停止 (注6)	停止(不定)
ウォッチドッグタイマ(WDTA)	停止(保持)	停止(保持)	停止(保持)	停止(不定)
独立ウォッチドッグタイマ(IWDT)	動作可能 (注5)	動作可能 (注5)	動作可能 (注5)	停止(不定) (注5)
ポートアウトプットイネーブル(POE)	動作可能	動作可能 (注7)	停止(保持)	停止(不定)
8ビットタイマ(ユニット0、1)(TMR)	動作可能	動作可能 (注8)	停止(保持)	停止(不定)
電圧検出回路(LVDA)	動作可能	動作可能	動作可能	動作可能 (注9)
パワーオンリセット回路	動作	動作	動作	動作
周辺モジュール	動作可能	停止(保持)	停止(保持)	停止(不定)
I/Oポート	動作	保持 (注10)	保持 (注11)	保持 (注11)

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。
停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。
停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

注1.　外部端子割り込み(NMI, IRQ0～IRQ15)、周辺機能割り込み(8ビットタイマ、IWDT、USBサスペンド/レジューム、電圧監視1、電圧監視2、メインクロック発振停止検出)。
注2.　外部端子割り込み(NMI, IRQ0～IRQ15)、周辺機能割り込み(IWDT、USBサスペンド/レジューム、電圧監視1、電圧監視2)
注3.　外部端子割り込み発生元となる一部の端子(NMI, IRQ0-DS～IRQ15-DS)、周辺機能割り込み(電圧監視1、電圧監視2)。ただし、ディープスタンバイインタラプトイネーブルレジスタi (DPSIERi) (i = 0～2)の当該ビットが“1”のときのみ有効。端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。
注4.　RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
注5.　IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット(OFS0.IWDTSLCSTP)の設定により、動作/停止を選択することができます。OFS0.IWDTSLCSTPビットが“0”(低消費電力モード移行時カウント継続)に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット(IWDTCSTPR.SLCSTP)の設定により、動作/停止を選択することができます。IWDTCSTPR.SLCSTPビットが“0”(低消費電力モード遷移時カウント継続)に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。
注6.　レジューム検出は可能です。
注7.　POE割り込みを有効にした状態で全モジュールクロックストップモード中にPOE割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後にPOE割り込みが発生します。
注8.　モジュールストップコントロールレジスタAの8ビットタイマ1, 0 (ユニット0)モジュールストップ設定ビット(MSTPCRA.MSTPA5)、8ビットタイマ3, 2 (ユニット1)モジュールストップ設定ビット(MSTPCRA.MSTPA4)の設定によって、動作/停止を選択することができます。
注9.　電圧監視1回路制御レジスタ0の電圧監視1回路モード選択ビット(LVD1CR0.LVD1RI)が“1”、もしくは電圧監視2回路制御レジスタ0の電圧監視2回路モード選択ビット(LVD2CR0.LVD2RI)が“1”に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。

注10. PE5をBCLKとして使用している場合は、BCLK出力のまま動作を継続します。8ビットタイマを動作させている場合、関連する端子は動作を継続します。
注11. スタンバイコントロールレジスタの出力ポートイネーブルビット(SBYCR.OPE)の設定によって、アドレスバス、バス制御信号(CS0#～CS3#, RD#, WR0#, WR1#, WR#, BC0#, BC1#, ALE)の保持/ハイインピーダンスを選択することができます。



注1. WAIT命令実行後、プログラム停止状態へ移行中に解除要因となる割り込みが受け付けられると、プログラム停止状態へ移行せず、割り込み例外処理を実行します。
注2. 外部端子割り込み(NMI, IRQ0～IRQ15)、周辺機能割り込み(8ビットタイマ、IWDT、USBサスペンド/レジューム、電圧監視1、電圧監視2、発振停止検出)。ただし、8ビットタイマはモジュールストップコントロールレジスタAの8ビットタイマ1, 0 (ユニット0)モジュールストップ設定ビット(MSTPCRA.MSTPA5)、8ビットタイマ3, 2 (ユニット1)モジュールストップ設定ビット(MSTPCRA.MSTPA4)のいずれかが“0”のとき有効。
注3. 外部端子割り込み(NMI, IRQ0～IRQ15)、周辺機能割り込み(IWDT、USBサスペンド/レジューム、電圧監視1、電圧監視2)
注4. 外部端子割り込み発生元となる一部の端子(NMI, IRQ0-DS～IRQ15-DS)、周辺機能割り込み(電圧監視1、電圧監視2)。ただし、ディープスタンバイインタラプトイネーブルレジスタi (DPSIERi) (i = 0～2)の当該ビットが“1”のときのみ有効。
注5. リセット状態からの移行は、通常動作モードのLOCOクロックソースで動作します。
注6. スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードから割り込みにより通常動作モードへ移行します。その際、スリープモードに関しては復帰後のクロックソースを選択することが可能です。詳細は「11.2.6 スリープモード復帰クロックソース切り替えレジスタ(RSTCKCR)」を参照してください。また、ソフトウェアスタンバイモードに関しては復帰時と復帰前は、同じクロックソースとなります。
注7. 注4.に示された割り込み要因が発生すると内部リセット(ディープソフトウェアスタンバイリセット)が一定時間発生します。内部リセットの解除とともにディープソフトウェアスタンバイモードは解除されます。ディープソフトウェアスタンバイモードが解除されると、通常動作モードに移行し、LOCOクロックをクロックソースとしてリセット例外処理が開始されます。

すべての状態において、RES#端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、およびソフトウェアリセットが発生するとリセット状態に移行します。電圧監視1リセット、電圧監視2リセットは、ディープソフトウェアスタンバイモードの解除には使用できません。

図 11.1　モード遷移

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OPE	出力ポート許可ビット	0：ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1：ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイビット	0：WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1：WAIT命令実行後、ソフトウェアスタンバイモードに移行	R/W

OPE ビット (出力ポート許可ビット)

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に、アドレスバス、バス制御信号 (CS0# ～ CS3#, RD#, WR0#, WR1#, WR#, BC0#, BC1#, ALE) の出力を保持するか、ハイインピーダンスにするかを選択します。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の移行先を設定します。

SSBY ビットが “1” の状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードへ移行します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常動作モードに移行したときは、SSBY ビットは “1” のままです。SSBY ビットを “0” にするときは “0” を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が “1” のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが “1” のときも、WAIT 命令実行後は、スリープモードまたは全モジュールクロックストップモードに移行します。

フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) が “1”、またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” のとき、このビットに設定された値は無効になります。本ビットが “1” にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ACSE	—	MSTPA 29	MSTPA 28	MSTPA 27	—	—	MSTPA 24	MSTPA 23	—	—	—	MSTPA 19	—	MSTPA 17	MSTPA 16
リセット後の値	0	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	MSTPA 14	—	—	—	—	MSTPA 9	—	MSTPA 7	—	MSTPA 5	MSTPA 4	MSTPA 3	MSTPA 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	MSTPA2	8ビットタイマ7, 6 (ユニット3) モジュールストップ設定ビット	対象モジュール：TMR7, TMR6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPA3	8ビットタイマ5, 4 (ユニット2) モジュールストップ設定ビット	対象モジュール：TMR5, TMR4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPA4	8ビットタイマ3, 2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3, TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1, 0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1, TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	MSTPA7	汎用PWMタイマ/高分解能PWM/GPTW用ポートアウトプットイネーブルモジュールストップ設定ビット	対象モジュール：GPTW, HRPWM, POEG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルスユニット3モジュールストップ設定ビット	対象モジュール：MTU3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	MSTPA14	コンペアマッチタイマ(ユニット1) モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2, CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ(ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0, CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPA16	12ビットA/Dコンバータ(ユニット1) モジュールストップ設定ビット	対象モジュール：S12ADユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPA17	12ビットA/Dコンバータ(ユニット0) モジュールストップ設定ビット	対象モジュール：S12ADユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	12ビットD/Aコンバータ モジュールストップ設定ビット	対象モジュール：12ビットDA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPA23	12ビットA/Dコンバータ(ユニット2) モジュールストップ設定ビット	対象モジュール：S12ADユニット2 (温度センサ) (注1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b24	MSTPA24	モジュールストップA24設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b26-b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b27	MSTPA27	モジュールストップA27設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b28	MSTPA28	DMAコントローラ/データトランスファコントローラモジュールストップ設定ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPA29	モジュールストップA29設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	ACSE	全モジュールクロックストップモード許可ビット	0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可	R/W

注1. 温度センサはS12ADユニット2内のレジスタで制御されます。

ACSE ビット (全モジュールクロックストップモード許可ビット)

ACSE ビットにて、全モジュールクロックストップモードへの移行の許可または禁止を設定します。ACSE ビットを “1” にして、SBYCR.SSBY ビット、MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、全モジュールクロックストップモードに移行します。詳細は「11.5.2 全モジュールクロックストップモード」を参照してください。

8 ビットタイマは、MSTPA5、MSTPA4 ビットの設定によって、動作 / 停止を選択することができます。

SBYCR.SSBY = 0 で、MSTPCRA.ACSE = 0 の場合は WAIT 命令実行後、スリープモードに移行します。

フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) が “1”、またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” のとき、このビットに設定された値は無効になります。本ビットが “1” にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	MSTPB30	—	—	—	MSTPB26	MSTPB25	—	MSTPB23	—	MSTPB21	—	MSTPB19	—	MSTPB17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPB10	MSTPB9	—	—	MSTPB6	—	MSTPB4	—	—	—	MSTPB0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPB0	CANモジュール0モジュールストップ設定ビット(注1)	対象モジュール：CAN0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーションインタフェース12モジュールストップ設定ビット	対象モジュール：SCI12 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	データ演算回路モジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPB9	イベントリンクコントローラモジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPB10	コンパレータCモジュールストップ設定ビット	対象モジュール：CMPC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPB19	ユニバーサルシリアルバス2.0 FSインタフェースモジュールストップ設定ビット(注2)	対象モジュール：USB0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I^2Cバスインタフェース0モジュールストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b25	MSTPB25	シリアルコミュニケーションインタフェース6モジュールストップ設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5モジュールストップ設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b29-b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b30	MSTPB30	シリアルコミュニケーション インタフェース1モジュールストップ 設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MSTPB0ビットの書き換えは、MSTPB0ビットによって制御するクロックの発振が安定しているときに行ってください。MSTPB0ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後CANクロック(CANMCLK)で2サイクル経過した後、WAIT命令を実行してください。

注2. MSTPB19ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後USBbクロック(UCLK)で2サイクル経過した後、WAIT命令を実行してください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	MSTPC27	MSTPC26	—	MSTPC24	—	—	—	—	MSTPC19	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	MSTPC6	—	—	—	—	—	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAMモジュールストップ設定ビット (注1)	対象モジュール：RAM (0000 0000h～0001 FFFFh) 0：RAM動作 1：RAM停止	R/W
b5-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	MSTPC6	ECCRAMモジュールストップ設定ビット (注2)	対象モジュール：ECCRAM 0：ECCRAM動作 1：ECCRAM停止	R/W
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19 (注3)	CACモジュールストップ設定ビット	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b24	MSTPC24	シリアルコミュニケーションインタフェース11モジュールストップ設定ビット	対象モジュール：SCI11 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b26	MSTPC26	シリアルコミュニケーションインタフェース9モジュールストップ設定ビット	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPC27	シリアルコミュニケーションインタフェース8モジュールストップ設定ビット	対象モジュール：SCI8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. RAMアクセス中にMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態で、RAMにアクセスしないでください。

注2. ECCRAMアクセス中にMSTPC6ビットを“1”にしないでください。また、MSTPC6ビットが“1”の状態で、ECCRAMにアクセスしないでください。

注3. MSTPC19ビットの書き換えは、MSTPC19ビットによって制御するクロックの発振が安定しているときに行ってください。
MSTPC19ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出力クロックで2サイクル経過したのち、WAIT命令を実行してください。

11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス 0008 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	MSTPD27	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MSTPD7	MSTPD6	MSTPD5	MSTPD4	MSTPD3	MSTPD2	MSTPD1	MSTPD0
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPD0	モジュールストップD0設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b1	MSTPD1	モジュールストップD1設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b2	MSTPD2	モジュールストップD2設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b3	MSTPD3	モジュールストップD3設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b4	MSTPD4	モジュールストップD4設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b5	MSTPD5	モジュールストップD5設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b6	MSTPD6	モジュールストップD6設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b7	MSTPD7	モジュールストップD7設定ビット	読み出し、書き込みともに有効です。全モジュールクロックストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b26-b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b27	MSTPD27	Trusted Secure IP-Liteモジュールストップ設定ビット	対象モジュール：Trusted Secure IP-Lite 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)

アドレス 0008 00A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTCKEN	—	—	—	—	RSTCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL[2:0]	スリープモード復帰クロックソース選択ビット	b2 b0 0 0 1：HOCO選択 0 1 0：メインクロック発振器選択 RSTCKENビットが“1”のとき、上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロックソース切り替え許可ビット	0：スリープモード解除時クロックソース切り替え無効 1：スリープモード解除時クロックソース切り替え有効	R/W

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット (MOSCCR.MOSTP)、高速オンチップオシレータコントロールレジスタの HOCO 停止ビット (HOCOCR.HCSTP) は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) にリロードされます。

スリープモード復帰時クロックソース切り替え機能と、ELC によるクロックソース切り替え機能の同時使用は禁止です。スリープモード復帰時クロックソース切り替え機能を有効にする場合、ELC によるクロックソース切り替え機能が無効の状態で RSTCKCR.RSTCKEN ビットに “1” を書いてください。また、ELC によるクロックソース切り替え機能を有効にする場合、RSTCKCR.RSTCKEN ビットが “0” の状態で有効に設定してください。

RSTCKCR レジスタの設定によってスリープモードから HOCO で復帰する場合、HOCO 電源は自動的に ON になりません。HOCO で復帰する場合は、HOCO 電源 ON の状態でスリープモードに移行してください。

RSTCKSEL[2:0] ビット (スリープモード復帰クロックソース選択ビット)

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKEN ビットが “1” の場合のみ有効です。

RSTCKEN ビット (スリープモード復帰クロックソース切り替え許可ビット)

スリープモード解除時のクロックソース切り替えの有効 / 無効を制御します。

スリープモード解除時にクロックソースの切り替えを行うのは、スリープモード移行時のクロックとして LOCO を選択している場合のみとしてください。HOCO、メインクロック、PLL をクロックソースに選択している状態でスリープモードに移行する場合には、RSTCKEN ビットを “1” にしないでください。

11.2.7 ディープスタンバイコントロールレジスタ (DPSBYCR)

アドレス 0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IOKEEP	I/Oポート保持ビット	0：ディープソフトウェアスタンバイモードの解除と同時にI/Oポートの保持を解除 1：ディープソフトウェアスタンバイモード解除後もI/Oポートの状態を保持する。その後IOKEEPビットへの“0”を書くとI/Oポートの保持を解除	R/W
b7	DPSBY	ディープソフトウェアスタンバイビット	SSBY b7 0 0：WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 0 1：WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1 0：WAIT命令実行後、ソフトウェアスタンバイモードに移行 1 1：WAIT命令実行後、ディープソフトウェアスタンバイモードに移行	R/W

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「**表 6.2 リセット種別ごとの初期化対象**」を参照してください。

IOKEEP ビット (I/O ポート保持ビット)

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持します。IOKEEP ビットは、ディープソフトウェアスタンバイモード時に保持した I/O ポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを選択します。

DPSBY ビット (ディープソフトウェアスタンバイビット)

ディープソフトウェアスタンバイモードへの移行を制御します。

SBYCR.SSBY ビットが “1”、かつ DPSBY ビットが “1” の状態で、WAIT 命令を実行するとソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ移行します。

外部端子割り込み発生元となる一部の端子 (NMI, IRQ0-DS ～ IRQ15-DS)、周辺機能割り込み (電圧監視 1、電圧監視 2) によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは “1” のままです。“0” にするときは、“0” を書いてください。

IWDT がオートスタートモードかつ OFS0.IWDTSLCSTP ビットが “0” (カウント継続)、またはレジスタスタートモードかつ IWDTCSTPR.SLCSTP ビットが “0” のときは、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが “1”、かつ DPSBY ビットが “1” であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

また、電圧監視 1 回路モードに電圧監視 1 リセットを選択しているとき (LVD1CR0.LVD1RI = 1)、あるいは電圧監視 2 回路モードに電圧監視 2 リセットを選択しているとき (LVD2CR0.LVD2RI = 1) は、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが “1”、かつ DPSBY ビットが “1” であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

11.2.8 ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0)

アドレス 0008 C282h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7E	DIRQ6E	DIRQ5E	DIRQ4E	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0-DS端子許可ビット	0：IRQ0-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ0-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ1E	IRQ1-DS端子許可ビット	0：IRQ1-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ1-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ2E	IRQ2-DS端子許可ビット	0：IRQ2-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ2-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ3E	IRQ3-DS端子許可ビット	0：IRQ3-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ3-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ4E	IRQ4-DS端子許可ビット	0：IRQ4-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ4-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ5E	IRQ5-DS端子許可ビット	0：IRQ5-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ5-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ6E	IRQ6-DS端子許可ビット	0：IRQ6-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ6-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ7E	IRQ7-DS端子許可ビット	0：IRQ7-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ7-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「**表 6.2　リセット種別ごとの初期化対象**」を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが “1” になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR0 レジスタを “0” にしてください。

11.2.9　ディープスタンバイインタラプトイネーブルレジスタ 1 (DPSIER1)

アドレス　0008 C283h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15E	DIRQ14E	DIRQ13E	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8E	IRQ8-DS端子許可ビット	0：IRQ8-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ8-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ9E	IRQ9-DS端子許可ビット	0：IRQ9-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ9-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ10E	IRQ10-DS端子許可ビット	0：IRQ10-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ10-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ11E	IRQ11-DS端子許可ビット	0：IRQ11-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ11-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ12E	IRQ12-DS端子許可ビット	0：IRQ12-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ12-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ13E	IRQ13-DS端子許可ビット	0：IRQ13-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ13-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ14E	IRQ14-DS端子許可ビット	0：IRQ14-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ14-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ15E	IRQ15-DS端子許可ビット	0：IRQ15-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ15-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W

DPSIER1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「**表 6.2　リセット種別ごとの初期化対象**」を参照してください。

なお、DPSIER1 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR1 レジスタが “1” になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR1 レジスタを “0” にしてください。

11.2.10　ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)

アドレス　0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIE	—	—	DLVD2IE	DLVD1IE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IE	LVD1ディープスタンバイ解除信号許可ビット	0：電圧監視1信号によるディープソフトウェアスタンバイモード解除を禁止 1：電圧監視1信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DLVD2IE	LVD2ディープスタンバイ解除信号許可ビット	0：電圧監視2信号によるディープソフトウェアスタンバイモード解除を禁止 1：電圧監視2信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIE	NMI端子許可ビット	0：NMI端子によるディープソフトウェアスタンバイモード解除を禁止 1：NMI端子によるディープソフトウェアスタンバイモード解除を許可	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については「表 6.2　リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER2 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタが “1” になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR2 レジスタを “0” にしてください。

11.2.11 ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)

アドレス 0008 C286h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7F	DIRQ6F	DIRQ5F	DIRQ4F	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0-DS端子ディープスタンバイ解除フラグ	0：IRQ0-DS端子による解除要求の発生なし 1：IRQ0-DS端子による解除要求の発生あり	R(/W) (注1)
b1	DIRQ1F	IRQ1-DS端子ディープスタンバイ解除フラグ	0：IRQ1-DS端子による解除要求の発生なし 1：IRQ1-DS端子による解除要求の発生あり	R(/W) (注1)
b2	DIRQ2F	IRQ2-DS端子ディープスタンバイ解除フラグ	0：IRQ2-DS端子による解除要求の発生なし 1：IRQ2-DS端子による解除要求の発生あり	R(/W) (注1)
b3	DIRQ3F	IRQ3-DS端子ディープスタンバイ解除フラグ	0：IRQ3-DS端子による解除要求の発生なし 1：IRQ3-DS端子による解除要求の発生あり	R(/W) (注1)
b4	DIRQ4F	IRQ4-DS端子ディープスタンバイ解除フラグ	0：IRQ4-DS端子による解除要求の発生なし 1：IRQ4-DS端子による解除要求の発生あり	R(/W) (注1)
b5	DIRQ5F	IRQ5-DS端子ディープスタンバイ解除フラグ	0：IRQ5-DS端子による解除要求の発生なし 1：IRQ5-DS端子による解除要求の発生あり	R(/W) (注1)
b6	DIRQ6F	IRQ6-DS端子ディープスタンバイ解除フラグ	0：IRQ6-DS端子による解除要求の発生なし 1：IRQ6-DS端子による解除要求の発生あり	R(/W) (注1)
b7	DIRQ7F	IRQ7-DS端子ディープスタンバイ解除フラグ	0：IRQ7-DS端子による解除要求の発生なし 1：IRQ7-DS端子による解除要求の発生あり	R(/W) (注1)

注1. “0”のみ書けます。

DPSIEGR0 レジスタで設定した解除要求が発生したときに “1” になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば “1” になる場合があります。また、DPSIER0 レジスタの設定変更によっても “1” になる場合があります。そのため、DPSIFR0 レジスタを “00h” にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを “00h” にする場合は、PCLKB の 6 サイクル以上経過後、DPSIFR0 レジスタを読んだ後、“0” を書いてください。たとえば、DPSIER0 レジスタを読むことで PCLKB の 6 サイクル以上を確保することができます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2 リセット種別ごとの初期化対象」**を参照してください。

DIRQnF フラグ (IRQn ディープスタンバイ解除フラグ) (n = 0 ～ 7)

IRQn-DS 端子による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

11.2.12　ディープスタンバイインタラプトフラグレジスタ 1 (DPSIFR1)

アドレス　0008 C287h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15F	DIRQ14F	DIRQ13F	DIRQ12F	DIRQ11F	DIRQ10F	DIRQ9F	DIRQ8F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8F	IRQ8-DS端子ディープスタンバイ解除フラグ	0：IRQ8-DS端子による解除要求の発生なし 1：IRQ8-DS端子による解除要求の発生あり	R(/W) (注1)
b1	DIRQ9F	IRQ9-DS端子ディープスタンバイ解除フラグ	0：IRQ9-DS端子による解除要求の発生なし 1：IRQ9-DS端子による解除要求の発生あり	R(/W) (注1)
b2	DIRQ10F	IRQ10-DS端子ディープスタンバイ解除フラグ	0：IRQ10-DS端子による解除要求の発生なし 1：IRQ10-DS端子による解除要求の発生あり	R(/W) (注1)
b3	DIRQ11F	IRQ11-DS端子ディープスタンバイ解除フラグ	0：IRQ11-DS端子による解除要求の発生なし 1：IRQ11-DS端子による解除要求の発生あり	R(/W) (注1)
b4	DIRQ12F	IRQ12-DS端子ディープスタンバイ解除フラグ	0：IRQ12-DS端子による解除要求の発生なし 1：IRQ12-DS端子による解除要求の発生あり	R(/W) (注1)
b5	DIRQ13F	IRQ13-DS端子ディープスタンバイ解除フラグ	0：IRQ13-DS端子による解除要求の発生なし 1：IRQ13-DS端子による解除要求の発生あり	R(/W) (注1)
b6	DIRQ14F	IRQ14-DS端子ディープスタンバイ解除フラグ	0：IRQ14-DS端子による解除要求の発生なし 1：IRQ14-DS端子による解除要求の発生あり	R(/W) (注1)
b7	DIRQ15F	IRQ15-DS端子ディープスタンバイ解除フラグ	0：IRQ15-DS端子による解除要求の発生なし 1：IRQ15-DS端子による解除要求の発生あり	R(/W) (注1)

注1.　“0”のみ書けます。

DPSIEGR1 レジスタで設定した解除要求が発生したときに “1” になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば “1” になる場合があります。また、DPSIER1 レジスタの設定変更によっても “1” になる場合があります。そのため、DPSIFR1 レジスタを “00h” にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER1 レジスタの設定変更後に DPSIFR1 レジスタを “00h” にする場合は、PCLKB の 6 サイクル以上経過後、DPSIFR1 レジスタを読んだ後、“0” を書いてください。たとえば、DPSIER1 レジスタを読むことで PCLKB の 6 サイクル以上を確保することができます。

DPSIFR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

DIRQnF フラグ (IRQn ディープスタンバイ解除フラグ) (n = 8 ～ 15)

IRQn-DS 端子による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR1 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

11.2.13　ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)

アドレス　0008 C288h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIF	—	—	DLVD2IF	DLVD1IF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IF	LVD1ディープスタンバイ解除フラグ	0：電圧監視1信号による解除要求の発生なし 1：電圧監視1信号による解除要求の発生あり	R(/W) (注1)
b1	DLVD2IF	LVD2ディープスタンバイ解除フラグ	0：電圧監視2信号による解除要求の発生なし 1：電圧監視2信号による解除要求の発生あり	R(/W) (注1)
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIF	NMIディープスタンバイ解除フラグ	0：NMI端子による解除要求の発生なし 1：NMI端子による解除要求の発生あり	R(/W) (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　“0”のみ書けます。

DPSIEGR2 レジスタで設定した解除要求が発生したときに “1” になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば “1” になる場合があります。また、DPSIER2 レジスタの設定変更によっても “1” になる場合があります。そのため、DPSIFR2 レジスタを “00h” にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを “00h” にする場合は、PCLKB の 6 サイクル以上経過後、DPSIFR2 レジスタを読んだ後、“0” を書いてください。たとえば、DPSIER2 レジスタを読むことで PCLKB の 6 サイクル以上を確保することができます。

DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「**表 6.2　リセット種別ごとの初期化対象**」を参照してください。

DLVDmIF フラグ (LVDm ディープスタンバイ解除フラグ) (m = 1, 2)

電圧監視 m 信号による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DNMIF フラグ (NMI ディープスタンバイ解除フラグ)

NMI 端子による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

11.2.14　ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)

アドレス　0008 C28Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7EG	DIRQ6EG	DIRQ5EG	DIRQ4EG	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ2EG	IRQ2-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ3EG	IRQ3-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b4	DIRQ4EG	IRQ4-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b5	DIRQ5EG	IRQ5-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b6	DIRQ6EG	IRQ6-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b7	DIRQ7EG	IRQ7-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2　リセット種別ごとの初期化対象」を参照してください。

11.2.15　ディープスタンバイインタラプトエッジレジスタ 1 (DPSIEGR1)

アドレス　0008 C28Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15EG	DIRQ14EG	DIRQ13EG	DIRQ12EG	DIRQ11EG	DIRQ10EG	DIRQ9EG	DIRQ8EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8EG	IRQ8-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ9EG	IRQ9-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ10EG	IRQ10-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ11EG	IRQ11-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b4	DIRQ12EG	IRQ12-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b5	DIRQ13EG	IRQ13-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b6	DIRQ14EG	IRQ14-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b7	DIRQ15EG	IRQ15-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W

DPSIEGR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2　リセット種別ごとの初期化対象」を参照してください。

11.2.16　ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)

アドレス　0008 C28Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIEG	—	—	DLVD2EG	DLVD1EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1EG	LVD1エッジ選択ビット	0：VCC < Vdet1 (下降)検出時に解除要求を発生 1：VCC≧Vdet1 (上昇)検出時に解除要求を発生	R/W
b1	DLVD2EG	LVD2エッジ選択ビット	0：VCC < Vdet2 (下降)検出時に解除要求を発生 1：VCC≧Vdet2 (上昇)検出時に解除要求を発生	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIEG	NMIエッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「**表 6.2　リセット種別ごとの初期化対象**」を参照してください。

11.2.17　ディープスタンバイバックアップレジスタ y (DPSBKRy) (y = 0 ～ 31)

アドレス　0008 C2A0h～0008 C2BFh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

DPSBKRy レジスタは、ディープソフトウェアスタンバイモード中、データを退避するための 32 バイトのレジスタで、読み出し、書き込みいずれも可能です。

RAM のデータが保持されないディープソフトウェアスタンバイモードにおいても、このレジスタは保持されます。

DPSBKRy レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0]、ICK[3:0]、BCK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKC[3:0]、PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、コードフラッシュメモリ、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKA[3:0]、PCKB[3:0]、PCKC[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。

データフラッシュメモリは FCK[3:0] ビットで設定した動作クロックで動作します。

外部バスクロックは、BCK[3:0] ビットで設定した動作クロックで動作します。詳細は「**9. クロック発生回路**」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ～ MSTPCRD レジスタに対応する MSTPmi ビット (m = A ～ D, i = 31 ～ 0) を “1” にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。対応する MSTPmi ビットを “0” にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、RAM、ECCRAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 低消費電力状態

11.5.1 スリープモード

11.5.1.1 スリープモードへの移行

SBYCR.SSBY ビットが “0” の状態で WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

WDT を使用しているとき、スリープモードへ移行すると WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” (低消費電力モード遷移時 IWDT カウント停止有効) のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0” (低消費電力モード遷移時 IWDT カウント継続) のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

(1) CPU の PSW.I ビット (注 1) を “0” にする。
(2) スリープモードからの復帰に使用する割り込みの要求先 (注 2) を CPU に設定する。
(3) スリープモードからの復帰に使用する割り込みの優先レベル (注 3) を、CPU の PSW.IPL[3:0] ビット (注 1) よりも高く設定する。
(4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット (注 3) を “1” にする。
(5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
(6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット (注 1) は自動的に “1” になります)。

注 1. 詳細は「2. CPU」を参照してください。
注 2. 詳細は「14.7.3 割り込み要求先の選択」を参照してください。
注 3. 詳細は「14. 割り込みコントローラ (ICUC)」を参照しください。

11.5.1.2 スリープモードの解除

ノンマスカブル割り込み、および全要因の割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除
  割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合 (割り込み優先レベルが (注 1)CPU の PSW.IPL[3:0] ビット (注 2) 以下に設定されている場合) には、スリープモードは解除されません。
- RES# 端子リセットによる解除
  RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除
  パワーオンリセットによって、スリープモードが解除されます。
- 電圧監視リセットによる解除
  電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。
- 独立ウォッチドッグタイマリセットによる解除
  IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT ビットが “0” かつ OFS0.IWDTSLCSTP ビットが “1”、または OFS0.IWDTSTRT ビットが “1” かつ IWDTCSTPR.SLCSTP ビットが “1”) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUC)」を参照してください。
注 2. 詳細は「2. CPU」を参照してください。

11.5.1.3 スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロックソース切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) による復帰後のクロックの設定と、各クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。また、発振安定待ち時間の設定については、「9.2.16 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」を参照してください。

11.5.2 全モジュールクロックストップモード

11.5.2.1 全モジュールクロックストップモードへの移行

MSTPCRA.ACSE ビットを “1” にして、かつ MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタで制御されるモジュールをモジュールストップ状態 (MSTPCRA = FFFF FF[C-F]Fh, MSTPCRB = FFFF FFFFh, MSTPCRC[31:16] = FFFFh, MSTPCRD = FFFF FFFFh) にしたときに、SBYCR.SSBY ビットを “0” にした状態で WAIT 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ (注 1)、POE3 (注 2)、IWDT、パワーオンリセット回路、電圧検出回路を除く全モジュールと、バスコントローラおよび I/O ポートの動作が停止して、全モジュールクロックストップモードへ移行します (注 3)。

WDT を使用しているとき、全モジュールクロックストップモードへ移行すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” (低消費電力モード遷移時 IWDT カウント停止有効) のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0” (低消費電力モード遷移時 IWDT カウント継続) のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

(1) CPU の PSW.I ビット (注 4) を “0” にする。
(2) 全モジュールクロックストップモードからの復帰に使用する割り込みの要求先 (注 5) を CPU に設定する。
(3) 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル (注 6) を CPU の PSW.IPL[3:0] ビット (注 4) よりも高く設定する。
(4) 全モジュールクロックストップモードからの復帰に使用する割り込みの IERm.IENj ビット (注 6) を “1” にする。
(5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
(6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注 4) は自動的に “1” になります)。

注 1. MSTPCRA.MSTPA5、MSTPA4 ビットで動作 / 停止を選択できます。
注 2. POE3 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE3 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE3 割り込みが発生します。
注 3. DTC、DMAC の動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA28 ビットを “1” にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを “0” にして、DTC、DMAC が起動していない状態で行ってください。
注 4. 詳細は「2. CPU」を参照してください。
注 5. 詳細は「14.7.3 割り込み要求先の選択」を参照してください。
注 6. 詳細は「14. 割り込みコントローラ (ICUC)」を参照してください。

11.5.2.2 全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部端子割り込み (NMI 、IRQ0 ～ IRQ15)、周辺機能割り込み (8 ビットタイマ (注 1)、IWDT (注 2)、USB サスペンド / レジューム、電圧監視 1、電圧監視 2、発振停止検出)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われ、例外処理を経て通常のプログラム実行状態へ遷移します。マスカブル割り込みが CPU でマスクされている場合 (割り込みの優先レベル (注 3) が CPU の PSW.IPL[3:0] ビット (注 4) 以下に設定されている場合)、または DTC、DMAC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

注 1. MSTPCRA.MSTPA5、MSTPA 4 ビットで動作 / 停止を選択できます。
注 2. 全モジュールクロックストップ時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。
注 3. 詳細は「14. 割り込みコントローラ (ICUC)」を参照してください。
注 4. 詳細は「2. CPU」を参照してください。

11.5.3 ソフトウェアスタンバイモード

11.5.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを “1” にし、DPSBYCR.DPSBY ビットを “0” にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、および発振器の機能が停止します。(注 1) ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンスとするか、出力状態を保持するかを、SBYCR.OPE ビットで選択できます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。詳細は「表 11.2 各モードにおける遷移および解除方法と動作状態」を参照してください。

WAIT 命令を実行する前に DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビット を “0” にしてください。

WDT を使用しているとき、ソフトウェアスタンバイモードへ移行すると、発振器が停止するため WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” (低消費電力モード遷移時 IWDT カウント停止有効) のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

また、発振停止検出機能有効 (OSTDCR.OSTDE = 1) の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振停止検出機能無効 (OSTDCR.OSTDE = 0) に設定後、WAIT 命令を実行してください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

(1) CPU の PSW.I ビット (注 2) を “0” にする。
(2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先 (注 3) を CPU に設定する。
(3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル (注 4) を CPU の PSW.IPL[3:0] ビット (注 2) よりも高く設定する。
(4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット (注 4) を “1” にする。
(5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
(6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注 2) は自動的に “1” になります)。

注 1. ソフトウェアスタンバイモード中も継続して PGA の入力端子に負電圧が印加される場合、VOLSR.PGAVLS ビットを “0” のままにしてください。ただしこの場合、アナログ電源に約 0.2mA のリーク電流が発生します。このリーク電流をなくしたい場合は、AN000 ～ AN002、AN100 ～ AN102、PGAVSS0、PGAVSS1 端子に負電圧が入力されないようにして、VOLSR.PGAVLS ビットを “1” にしてください。
注 2. 詳細は「2. CPU」を参照してください。
注 3. 詳細は「14.7.3 割り込み要求先の選択」を参照してください。
注 4. 詳細は「14. 割り込みコントローラ (ICUC)」を参照してください。

11.5.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI, IRQ0 ～ IRQ15)、周辺機能割り込み (IWDT、USB サスペンド / レジューム、電圧監視 1、電圧監視 2)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。割り込みによってソフトウェアスタンバイモードを解除した場合、ソフトウェアスタンバイモード移行によって停止した各発振器は動作を再開します。その後、これらすべての発振器の発振安定待機時間が経過するのを待ってソフトウェアスタンバイモードから復帰します。

(1) 割り込みによる解除

NMI、IRQ0 ～ IRQ15、IWDT、USB サスペンド / レジューム、および電圧監視 1、電圧監視 2 の割り込み要求が発生すると、ソフトウェアスタンバイモード移行によって停止した各発振器は動作を再開します。その後、ソフトウェアスタンバイモード解除後復帰時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間にソフトウェアスタンバイモード解除シーケンサ動作時間を加えた値となります。

tSBYi = tSBYOSCWT + tSBYSEQ

tSBYi (i = MC, EX, PC, PE, PH, HO, LO)：ソフトウェアスタンバイモード解除後復帰時間

tSBYOSCWT：発振安定待機時間

tSBYSEQ：ソフトウェアスタンバイモード解除シーケンサ動作時間

発振安定待機時間は、発振を開始した各発振器の発振安定待機時間のうち最も大きな値を使って計算してください。

各発振器の発振安定待機時間は、「46. 電気的特性」を参照してください。

(2) RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

(4) 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。

(5) 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。

ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.5.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.2 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) の状態で、IRQn 割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを “10b” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「14. 割り込みコントローラ (ICUC)」を参照してください。

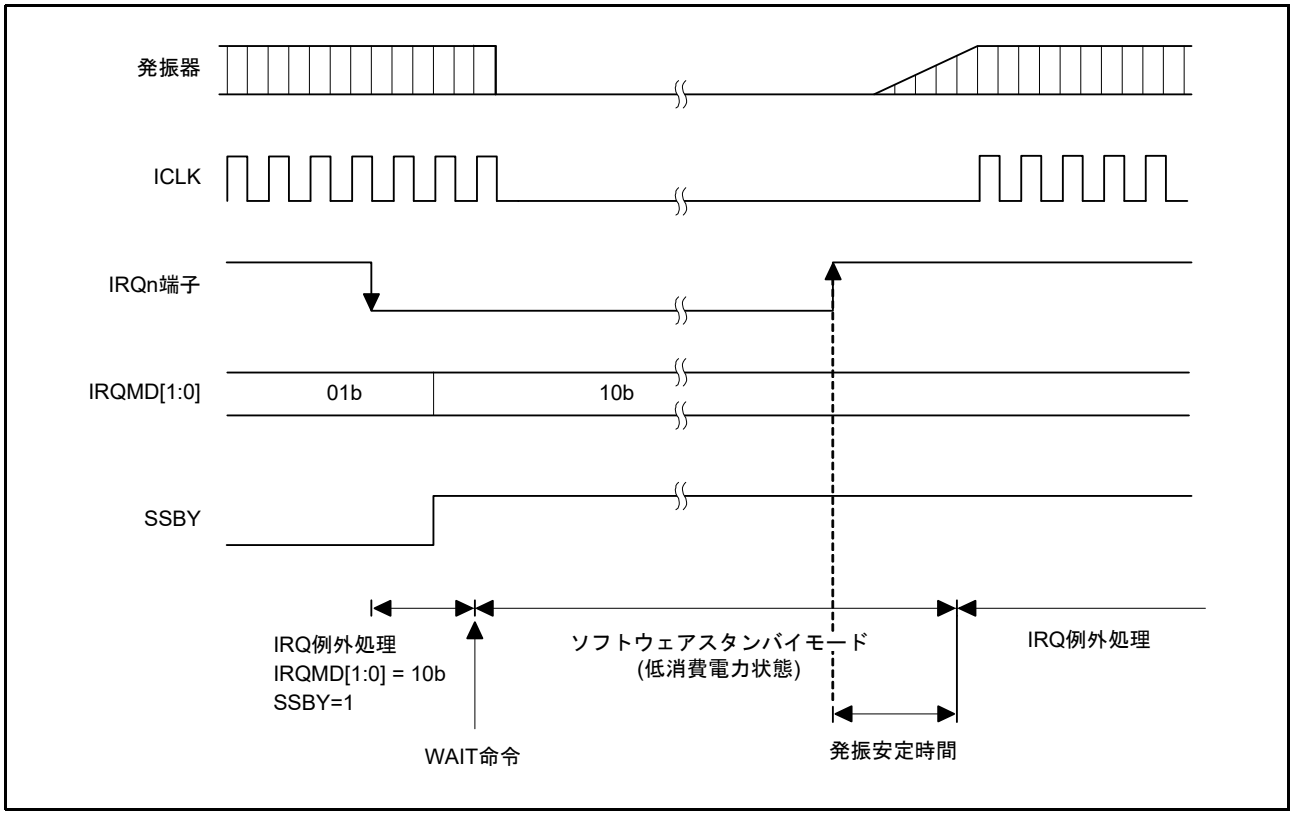


図 11.2 ソフトウェアスタンバイモードの応用例

11.5.4 ディープソフトウェアスタンバイモード

11.5.4.1 ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが “1” の状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。その後、DPSBYCR.DPSBY ビットを見て、“1” であれば、ディープソフトウェアスタンバイモードに移行します (注 1、注 2、注 3)。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能、RAM 、ECCRAM、および発振器の機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。詳細は「表 11.2 各モードにおける遷移および解除方法と動作状態」を参照してください。このとき、CPU、内蔵周辺機能のレジスタ内容はすべて不定となります。

WDT を使用しているとき、ディープソフトウェアスタンバイモードへ移行すると発振器は停止し、また WDT への電源供給が停止され、カウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” (低消費電力モード遷移時 IWDT カウント停止有効) のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT ともに電源供給が停止され、カウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT ともに電源供給が停止され、カウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。

また、電圧検出回路において電圧監視 1 リセットの機能 (LVD1CR0.LVD1RI = 1)、または電圧監視 2 リセットの機能 (LVD2CR0.LVD2RI = 1) を選択している場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合はソフトウェアスタンバイモードへ移行します。

ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

注 1. WAIT 命令を実行する前に、ソフトウェアスタンバイモードへ移行する際の DTC、DMAC、IWDT に関する条件を満たしておく必要があります。詳細は、「11.5.3 ソフトウェアスタンバイモード」を参照してください。

注 2. WAIT 命令を実行する前に、VOLSR.USBVON ビットを “0” にしてください。

注 3. ディープソフトウェアスタンバイモード中も継続して PGA の入力端子に負電圧が印加される場合、VOLSR.PGAVLS ビットを “0” のままにしてください。ただしこの場合、アナログ電源に約 0.2mA のリーク電流が発生します。このリーク電流をなくしたい場合は、AN000 ～ AN002、AN100 ～ AN102、PGAVSS0、PGAVSS1 端子に負電圧が入力されないようにして、VOLSR.PGAVLS ビットを “1” にしてください。

11.5.4.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部端子割り込み発生元となる一部の端子 (NMI, IRQ0-DS ～ IRQ15-DS)、周辺機能割り込み (電圧監視 1、電圧監視 2)、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセットによって行われます。

(1) 外部割り込み端子および内部割り込み信号による解除
ディープソフトウェアスタンバイモードの解除は、DPSIERn (n = 0 ～ 2) レジスタと DPSIFRn (n = 0 ～ 2) レジスタで制御されます。ディープソフトウェアスタンバイモードを解除可能な割り込み要求が発生すると、DPSIFRn レジスタの当該フラグが “1” になります。このとき、DPSIERn レジスタで解除要因が許可されている場合にディープソフトウェアスタンバイモードは解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGRn (n = 0 ～ 2) レジスタにて設定可能です。エッジ選択可能な割り込みは、NMI、IRQ0-DS ～ IRQ15-DS、電圧監視 1、電圧監視 2 となります。
ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源の供給と LOCO クロックの発振を開始し、MCU 全体に対してディープソフトウェアスタンバイリセットを発生します。その後、安定した LOCO クロックが MCU 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。
外部割り込み端子および内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが “1” になります。

(2) RES# 端子による解除
RES# 端子を Low にすると、ディープソフトウェアスタンバイモードは解除されます。このとき RES# 端子は「46. 電気的特性」に従って Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除
電源電圧の低下によってパワーオンリセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

(4) 電圧監視 0 リセットによる解除
電源電圧の低下によって電圧監視 0 リセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

11.5.4.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートの状態はソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードに伴う内部リセットによって、MCU 内部は初期化され、ディープソフトウェアスタンバイモードが解除されるとリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

DPSBYCR.IOKEEP ビットによって、I/O ポートを初期状態とするか、ソフトウェアスタンバイモード時の I/O ポートの状態を保持するかを選択することができます。

- DPSBYCR.IOKEEP ビットが “0” のとき
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/O ポートの状態は初期状態になります。
- DPSBYCR.IOKEEP ビットが “1” のとき
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、MCU 内部は初期化されていますが、I/O ポートは MCU 内部の状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。このとき、I/O ポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時の I/O ポートの状態を保持します。その後、IOKEEP ビットを “0” にすることによって、I/O ポートの状態保持は解除され、内部状態に応じた動作となります。

DPSBYCR.IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

11.5.4.4 ディープソフトウェアスタンバイモードの応用例

IRQn-DS 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに移行し、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 11.3 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) に設定されている状態で、IRQn 割り込みを受け付けた後、DPSIEGRy.DIRQnEG ビット (y = 0, 1, n = 0 ～ 15) を “1” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットと、DPSBYCR.DPSBY ビットを “1” にした後、WAIT 命令を実行してディープソフトウェアスタンバイモードに移行しています。

その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

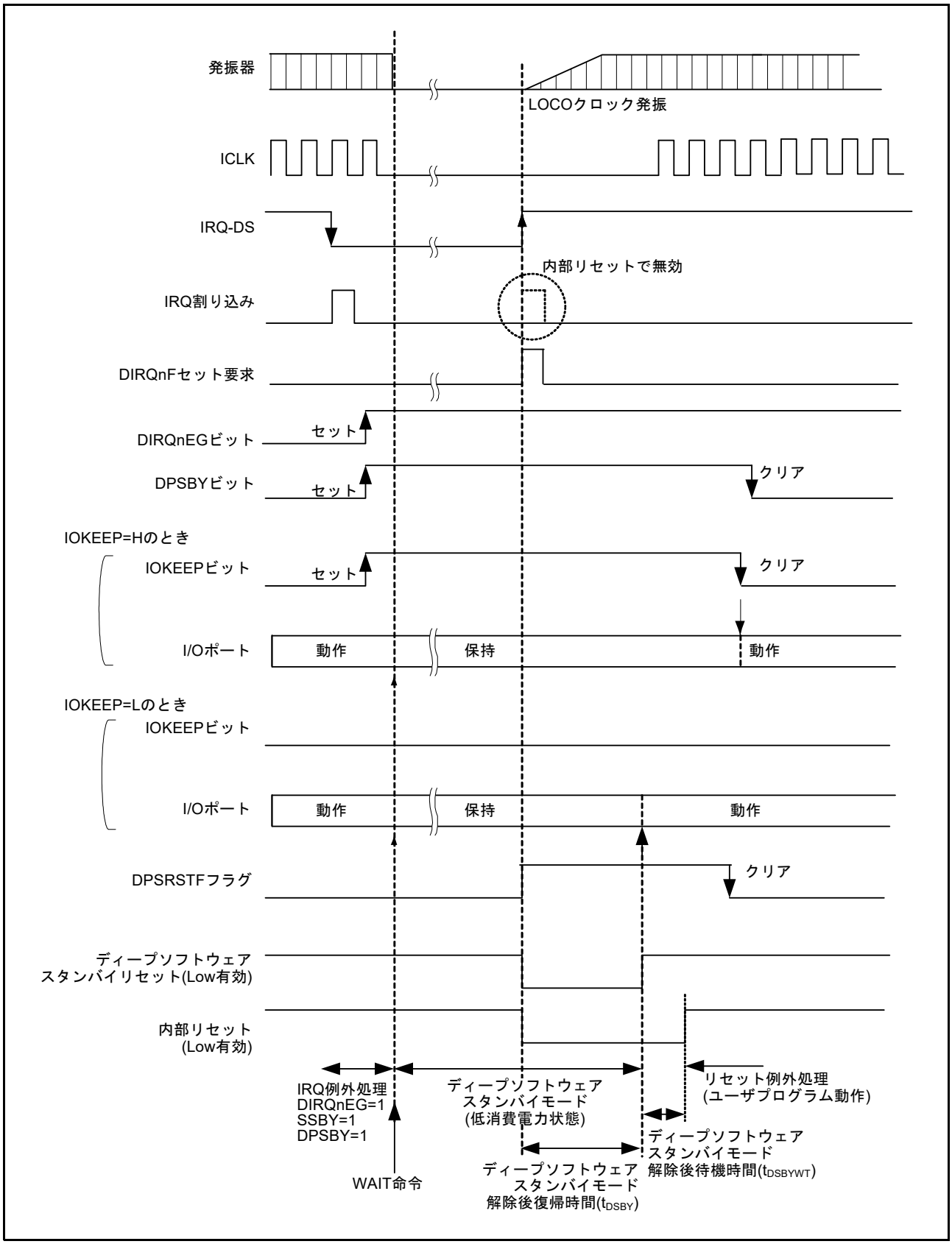


図 11.3 ディープソフトウェアスタンバイモードの応用例

11.5.4.5 ディープソフトウェアスタンバイモードのフローチャート

図 11.4 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグにて RES# 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES# 端子によるリセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ移行しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを “0” にしています。

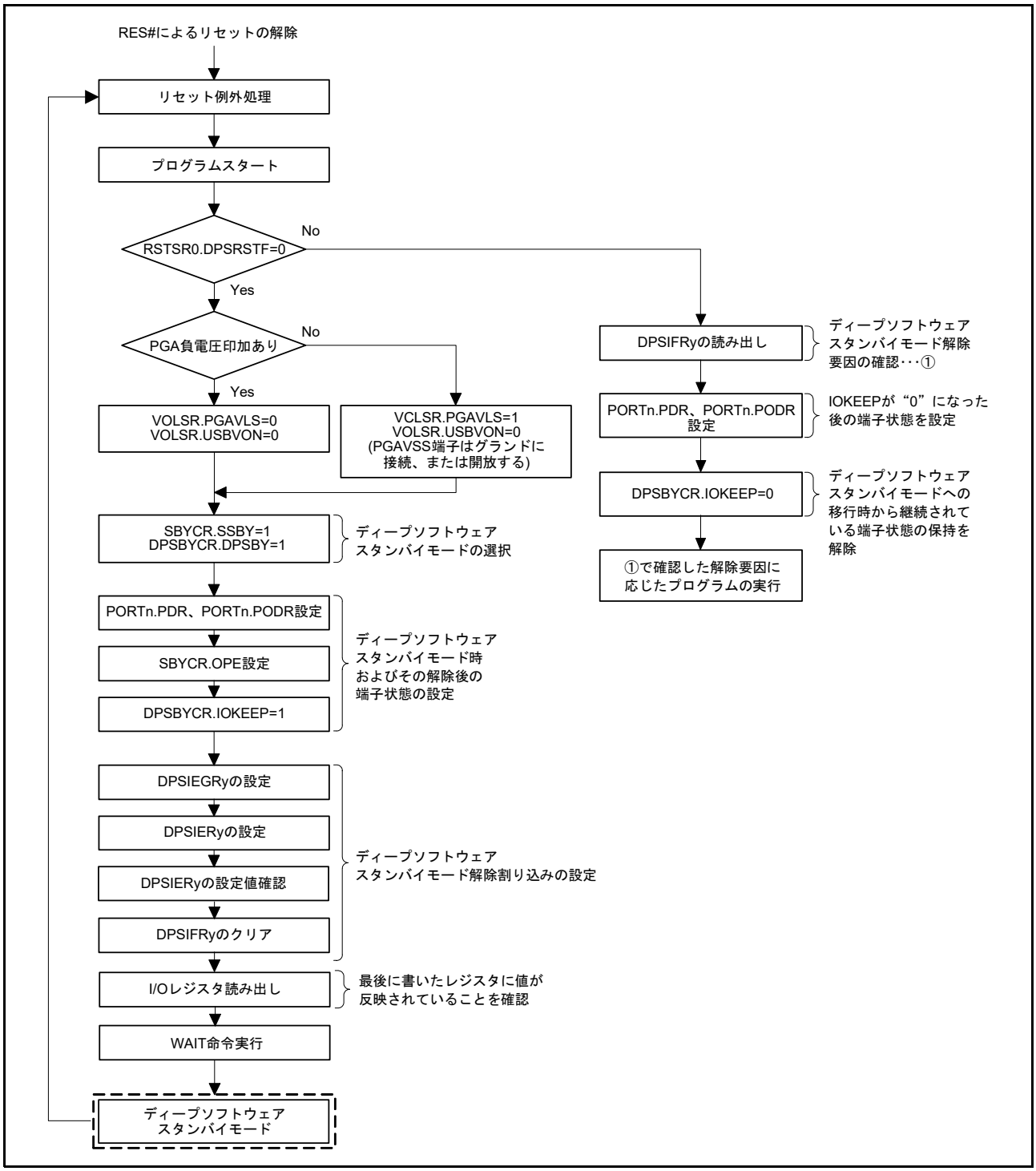


図 11.4 ディープソフトウェアスタンバイモードのフローチャート例

11.6 使用上の注意事項

11.6.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。なお、入力プルアップ抵抗を有効にしている場合、上記スタンバイモード中も有効状態を保持します。

11.6.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを “1” にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを “0” にして、DTC、DMAC が起動していない状態にしてください。

詳細は「17. DMA コントローラ (DMACAa)」、「18. データトランスファコントローラ (DTCa)」を参照してください。

11.6.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.6.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み

MSTPCRA、MSTPCRB、MSTPCRC、および MSTPCRD レジスタへの書き込みは、CPU のみで行ってください。

11.6.5 DIRQnE ビット (n = 0 ～ 15) による入力バッファ制御

DPSIERy.DIRQnE (y = 0, 1, n = 0 ～ 15) ビットを “1” にすることで、IRQ0-DS ～ IRQ15-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFRy.DIRQnF (y = 0, 1, n = 0 ～ 15) ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

11.6.6 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。I/O レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.6.7 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は WDT が停止します。スリープモード中に DMAC、DTC によって WDT 関連のレジスタを書き換えないでください。スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き換えないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き換えないでください。

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

表 12.1　PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	• クロック発生回路関連レジスタ SCKCR, SCKCR2, SCKCR3, PLLCR, PLLCR2, BCKCR, MOSCCR, LOCOCR, ILOCOCR, HOCOCR, HOCOCR2, OSTDCR, OSTDSR
PRC1 ビット	• 動作モード関連レジスタ SYSCR0, SYSCR1, VOLSR • 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, RSTCKCR, DPSBYCR, DPSIER0～2, DPSIFR0～2, DPSIEGR0～2 • クロック発生回路関連レジスタ MOSCWTCR, MOFCR, HOCOPCR • ソフトウェアリセットレジスタ SWRR
PRC3 ビット	• LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、クロック発生回路、消費電力低減機能、ソフトウェアリセット関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込んだ値は保持されません。読み込んだ場合、“00h”が読めます。

PRCi ビット (プロテクトビット i) (i = 0, 1, 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが “1” のとき、保護されるレジスタへの書き込みができます。PRCi ビットが “0” のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要が生じる場合があります。このような事象を総称して例外事象と呼びます。

RXv3 CPU は、8 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパバイザモードになります。

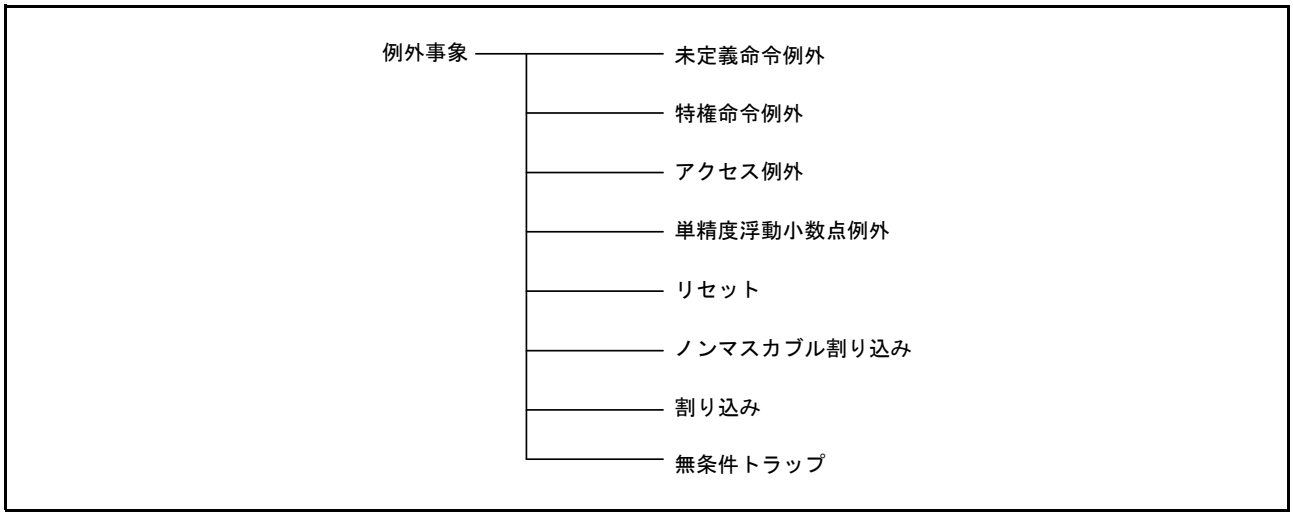


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令 (実装されていない命令) の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパバイザモードでのみ実行可能です。

13.1.3 アクセス例外

アクセス例外は、CPU からのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

13.1.4 単精度浮動小数点例外

単精度浮動小数点例外は、単精度浮動小数点演算命令実行時に、IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) および、非実装処理を検出した場合に発生します。5 つの例外については、対応する FPSW の EX、EU、EZ、EO、EV ビットが “1” のときのみ CPU の例外処理が行われます。

13.1.5 リセット

CPU にリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.6 ノンマスカブル割り込み

CPU にノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.7 割り込み

CPU に割り込み信号を入力することによって発生します。割り込みのうち 1 つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは 15 (最高) です。

PSW の I ビットが “0” のとき、割り込みの受け付けは禁止されます。

13.1.8 無条件トラップ

INT 命令、および BRK 命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム (例外処理ルーチン) によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

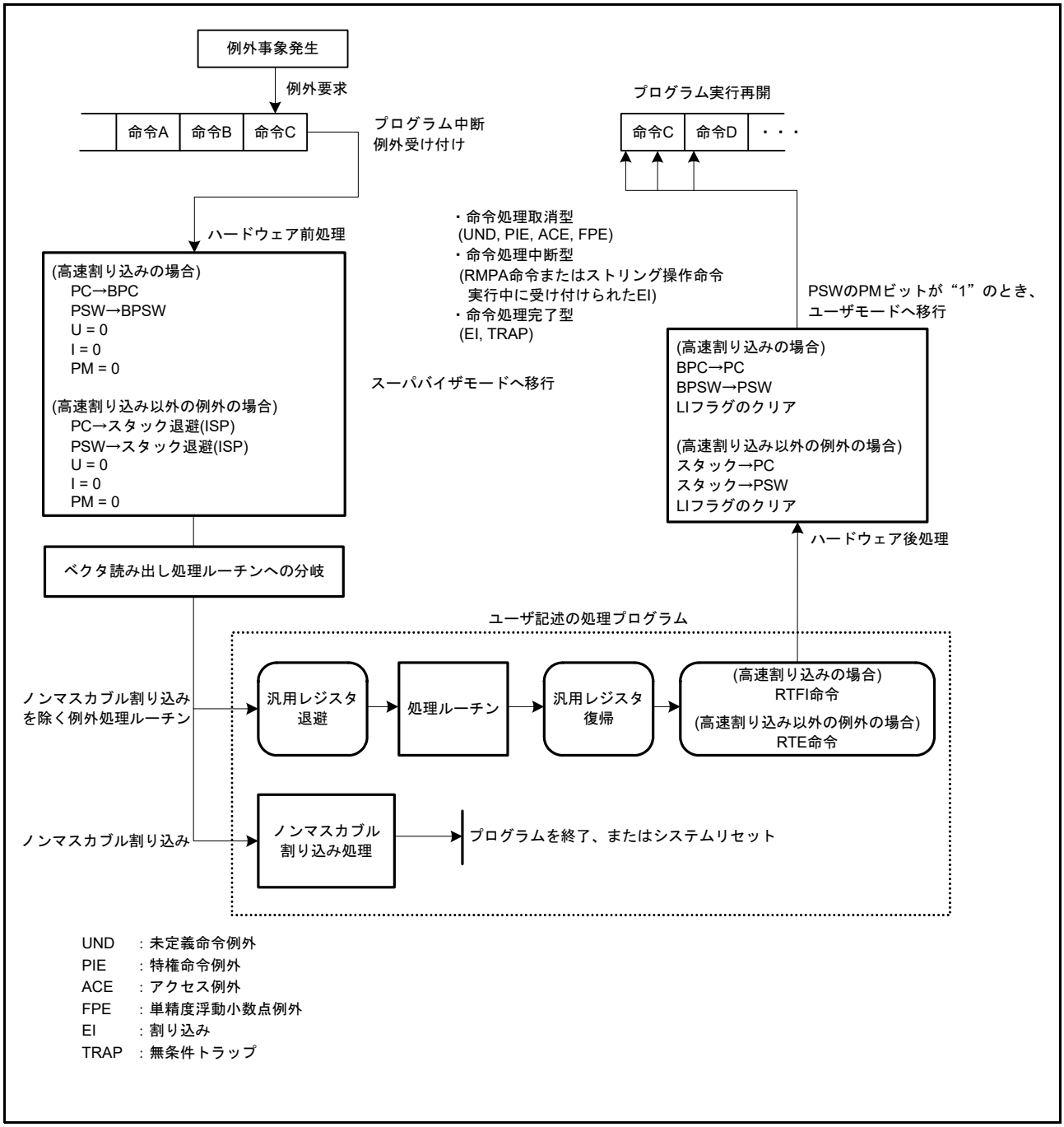


図 13.2 例外の処理手順の概要

例外が受け付けられると、RXv3 CPU はハードウェア処理を行った後、ベクタテーブルにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RXv3 CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避させます。高速割り込み以外の例外では、PC、PSW をスタック領域に退避させます。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによって退避させてください。

例外処理ルーチンの完了後、退避させたレジスタを復帰させてから RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RXv3 CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰させます。

例外処理ルーチンの先頭・末尾で行う汎用レジスタ等の退避・復帰には、スタックとレジスタ退避バンクが利用できます。

SAVE・RSTR 命令を使用することでレジスタ退避バンクへの退避・復帰ができます。SAVE・RSTR 命令の退避・復帰対象となっていないレジスタを退避・復帰させる場合には、PUSH・POP 等の命令を使用してスタックへの退避・復帰を行ってください。

なお、例外処理ルーチンで退避させるレジスタが極端に少ない場合を除き、レジスタ退避バンクを使用した方がスタックを使用する場合よりも高速に動作します。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避される PC 値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ (PC) の値を表 13.1 に示します。

表 13.1 受け付けタイミングと退避されるPC値

例外事象		処理型	受け付け タイミング	BPC/スタックに退避されるPC値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
アクセス例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
単精度浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスカブル割り込み	RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ		命令処理完了型	命令の区切り	次の命令のPC値

13.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ (PC)、プロセッサステータスワード (PSW) の退避場所を表 13.2 に示します。例外ベクタテーブル、および割り込みベクタテーブルは、それぞれ先頭アドレスを設定する必要があります。詳細は、「2.6 **ベクタテーブル**」を参照してください。

表 13.2 ベクタとPC、PSWの退避場所

例外事象		ベクタ	PC、PSWの退避場所
未定義命令例外		例外ベクタテーブル(EXTB)	スタック
特権命令例外		例外ベクタテーブル(EXTB)	スタック
アクセス例外		例外ベクタテーブル(EXTB)	スタック
単精度浮動小数点例外		例外ベクタテーブル(EXTB)	スタック
リセット		例外ベクタテーブル(EXTB)	なし
ノンマスカブル割り込み		例外ベクタテーブル(EXTB)	スタック
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	割り込みベクタテーブル(INTB)	スタック
無条件トラップ		割り込みベクタテーブル(INTB)	スタック

13.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)
PSW → BPSW
(高速割り込み以外の例外の場合)
PSW → スタック領域

注 . FPSW は、ハードウェア前処理では退避させられません。単精度浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避させてください。

(b) PSW の PM、U、I ビットの更新

I : 0 にする
U : 0 にする
PM : 0 にする

(c) PC の退避

(高速割り込みの場合)
PC → BPC
(高速割り込み以外の例外の場合)
PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)
BPSW → PSW
(高速割り込み以外の例外の場合)
スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)
BPC → PC
(高速割り込み以外の例外の場合)
スタック領域 → PC

(c) LI フラグのクリア処理

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
(4) EXTB の値 + 0000005Ch 番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
(4) EXTB の値 + 00000050h 番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 アクセス例外

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
(4) EXTB の値 + 00000054h 番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.4 単精度浮動小数点例外

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
(4) EXTB の値 + 00000064h 番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.5 リセット

(1) 制御を初期化します。
(2) FFFFFFFCh 番地からベクタを取得します。
(3) 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.6 ノンマスカブル割り込み

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令の実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避させます。
(4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を “Fh” にします。
(5) EXTB の値 + 00000078h 番地からベクタを取得します。
(6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.7 割り込み

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。高速割り込みの場合は、バックアップ PSW (BPSW) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令の実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避させます。高速割り込みの場合は、バックアップ PC (BPC) に退避させます。
(4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
(5) 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
(6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.8 無条件トラップ

(1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
(2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
(3) 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
(4) INT 命令の場合は、割り込みベクタテーブルから INT 命令番号に対応したベクタを取得します。
BRK 命令の場合は、割り込みベクタテーブルの先頭番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で**表 13.3** に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ (BPC, BPSW) に退避させられていたプログラムカウンタ (PC) とプロセッサステータスワード (PSW) の内容が復帰させられます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
単精度浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		禁止
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を**表 13.4** に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位		例外事象
高い	1	リセット
↑	2	ノンマスカブル割り込み
	3	割り込み
	4	命令アクセス例外
	5	未定義命令例外 特権命令例外
	6	無条件トラップ
	7	オペランドアクセス例外
低い	8	単精度浮動小数点例外

14. 割り込みコントローラ (ICUC)

14.1 概要

割り込みコントローラ (ICU) は、周辺モジュールや IRQi 端子 (i = 0 ～ 15) からのさまざまな割り込み要求を管理し、CPU への割り込み要求、または DTC、DMAC への転送要求を生成します。

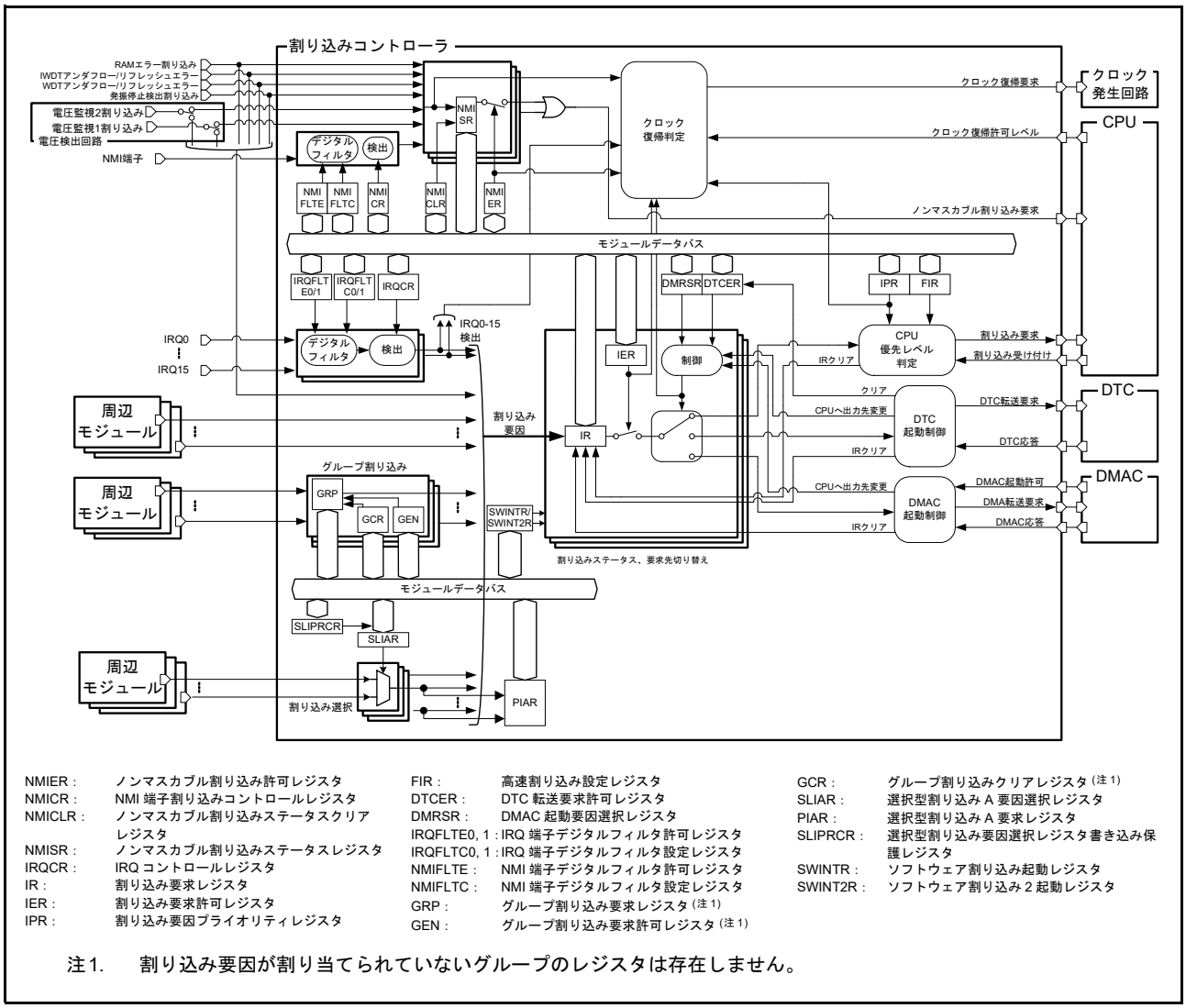
表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1　割り込みコントローラの仕様

項目		内容
割り込み	周辺機能割り込み	周辺モジュールからの割り込み ● 割り込みの検出方法：エッジ検出またはレベル検出(割り込み要因ごとに検出方法は固定) ● グループ割り込み：複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能(注1) • グループIE0割り込み： ICLKを動作クロックとするコプロセッサの割り込み要因(エッジ検出) • グループBE0割り込み： PCLKBを動作クロックとする周辺モジュールの割り込み要因(エッジ検出) • グループBL0/BL1/BL2割り込み： PCLKBを動作クロックとする周辺モジュールの割り込み要因(レベル検出) • グループAL0/AL1割り込み： PCLKAを動作クロックとする周辺モジュールの割り込み要因(レベル検出) ● 選択型割り込みA：割り込みベクタ番号208～255に、PCLKAを動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の1つを割り当てることが可能
	外部端子割り込み	IRQi端子(i = 0～15)への入力信号による割り込み ● 割り込み検出：Lowレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 ● デジタルフィルタを使用することにより、ノイズを除去することが可能
	ソフトウェア割り込み	● レジスタへの書き込みにより、割り込み要求を発生させることが可能 ● 要因数：2
	割り込み優先レベル	割り込み要因プライオリティレジスタr (IPRr) (r = 000～255)により優先レベルを設定
	高速割り込み機能	CPUの割り込み応答時間を短縮可能。1つの割り込み要因にのみ設定可能
	DTC、DMAC制御	割り込み要因によりDTCやDMACの起動が可能(注2)
ノンマスカブル割り込み(注3)	NMI端子割り込み	NMI端子への入力信号による割り込み ● 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ ● デジタルフィルタを使用することにより、ノイズを除去することが可能
	発振停止検出割り込み(注4)	メインクロック発振器の停止を検出したときの割り込み
	WDTアンダフロー/リフレッシュエラー割り込み(注4)	ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	IWDTアンダフロー/リフレッシュエラー割り込み(注4)	独立ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み(注4)	電圧検出1回路(LVD1)からの割り込み
	電圧監視2割り込み(注4)	電圧検出2回路(LVD2)からの割り込み
	RAMエラー割り込み(注4)	RAMのパリティチェックエラー、またはECCRAMのECCエラーを検出したときの割り込み
低消費電力状態からの復帰	スリープモード	すべての割り込み要因で復帰
	全モジュールクロックストップモード	NMI端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視1、電圧監視2、発振停止検出、USB0レジューム、IWDT、TMR0～3)で復帰
	ソフトウェアスタンバイモード	NMI端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視1、電圧監視2、USB0レジューム、IWDT)で復帰
	ディープソフトウェアスタンバイモード	NMI端子割り込み、一部の外部端子割り込み、周辺機能割り込み(電圧監視1、電圧監視2)で復帰

注1.　割り込み要因が割り当てられていないグループは予約です。また、そのグループに対応するレジスタは存在しません。
注2.　DTCおよびDMACの起動要因については、「表14.4　割り込みベクタテーブル」を参照してください。
注3.　ノンマスカブル割り込みは一度許可すると、禁止できません。
注4.　これらのノンマスカブル割り込みの各要因は、マスカブル割り込みとしても使用できます。その場合、NMIERレジスタはリセット後の状態から変更しないでください。また、電圧監視1割り込み、電圧監視2割り込みについては、

LVD1CR1.LVD1IRQSELビット、LVD2CR1.LVD2IRQSELビットを“1”にしてください。



NMIER : ノンマスカブル割り込み許可レジスタ
NMICR : NMI 端子割り込みコントロールレジスタ
NMICLR : ノンマスカブル割り込みステータスクリアレジスタ
NMISR : ノンマスカブル割り込みステータスレジスタ
IRQCR : IRQ コントロールレジスタ
IR : 割り込み要求レジスタ
IER : 割り込み要求許可レジスタ
IPR : 割り込み要因プライオリティレジスタ
FIR : 高速割り込み設定レジスタ
DTCER : DTC 転送要求許可レジスタ
DMRSR : DMAC 起動要因選択レジスタ
IRQFLTE0, 1 : IRQ 端子デジタルフィルタ許可レジスタ
IRQFLTC0, 1 : IRQ 端子デジタルフィルタ設定レジスタ
NMIFLTE : NMI 端子デジタルフィルタ許可レジスタ
NMIFLTC : NMI 端子デジタルフィルタ設定レジスタ
GRP : グループ割り込み要求レジスタ (注 1)
GEN : グループ割り込み要求許可レジスタ (注 1)
GCR : グループ割り込みクリアレジスタ (注 1)
SLIAR : 選択型割り込み A 要因選択レジスタ
PIAR : 選択型割り込み A 要求レジスタ
SLIPRCR : 選択型割り込み要因選択レジスタ書き込み保護レジスタ
SWINTR : ソフトウェア割り込み起動レジスタ
SWINT2R : ソフトウェア割り込み 2 起動レジスタ

注1.　割り込み要因が割り当てられていないグループのレジスタは存在しません。

図 14.1　割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

表 14.2　割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスカブル割り込み要求端子
IRQ0～IRQ15	入力	外部割り込み要求端子

14.2 レジスタの説明

14.2.1 割り込み要求レジスタ n (IRn) (n = 016 ～ 255)

アドレス ICU.IR016 0008 7010h～ICU.IR255 0008 70FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。レベル検出要因の場合、書き込みはできません。

IRn レジスタは、割り込み要求の有無を示すレジスタです。
割り込みベクタ番号ごとに存在し、n は割り込みベクタ番号と一致しています。
割り込み要因と割り込みベクタ番号の対応は、「**表 14.4 割り込みベクタテーブル**」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求の有無を示すステータスフラグです。割り込み要求が発生すると “1” になります。割り込み要求を検出するためには、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法には、エッジ検出とレベル検出の 2 種類があります。周辺モジュールからの割り込みは、要因ごとに検出方法が決まっています。各要因の検出方法については、「**表 14.4 割り込みベクタテーブル**」を参照してください。また、IRQi 端子 (i = 0 ～ 15) からの割り込みは、IRQCRi.IRQMD[1:0] ビットの設定によって、エッジ検出またはレベル検出のいずれかを選択することができます。

グループ割り込みの割り込みステータスフラグは、グループ割り込み要求レジスタ (GRPBE0, GRPBL0, GRPBL1, GRPAL0) の ISj フラグ (j = 0 ～ 31) です。ISj フラグの論理和で、各グループ割り込みに対応する IRn.IR フラグが “1” になります。グループ割り込みの検出方法はレベル検出です。

グループ割り込みについては「**14.4.4 グループ割り込み**」を参照してください。

(1) エッジ検出の場合

[“1” になる条件]

- 周辺機能割り込み、外部端子割り込みの各要求が発生すると “1” になります。周辺モジュールごとの割り込み要求については、各周辺モジュールの章を参照してください。

[“0” になる条件]

- 割り込み要求先が割り込み要求を受け付けると “0” になります。
- IR フラグに “0” を書くと “0” になります。ただし、割り込み要求先を DTC または DMAC に設定している場合、IR フラグに “0” を書かないでください。

(2) レベル検出の場合

[“1” になる条件]

- 周辺機能割り込み、外部端子割り込みの各要求が発生している間 “1” になります。周辺モジュールごとの割り込み要求については、各周辺モジュールの章を参照してください。
- グループ割り込みの場合、グループ割り込み要求許可レジスタ (GENBE0, GENBL0, GENBL1, GENAL0) の ENj ビット (j = 0 ～ 31) が “1” (許可) で、グループ割り込み要求レジスタ (GRPBE0, GRPBL0, GRPBL1, GRPAL0) の ISj フラグが “1” (割り込み要求あり) のときに “1” になります。

[“0” になる条件]

- 周辺モジュールの割り込み要求出力をクリアすると “0” になります (割り込み要求先が割り込み要求を受け付けても “0” になりません)。周辺モジュールごとの割り込み要求のクリアについては、各周辺モジュールの章を参照してください。
- グループ割り込みの場合、グループ割り込み要求許可レジスタの ENj ビットが “0” (禁止)、またはグループ割り込み要求レジスタの ISj フラグが “0” (割り込み要求なし) になると、“0” になります。

外部端子割り込みの割り込み検出方法をレベル検出に設定している場合、発生した外部端子割り込みを取り下げるには、対応する IRQi 端子 (i = 0 ～ 15) への入力レベルを High にしてください。レベル検出に設定している場合、IR フラグに値を書き込まないでください。

14.2.2　割り込み要求許可レジスタ m (IERm) (m = 02h ～ 1Fh)

アドレス　ICU.IER02 0008 7202h～ICU.IER1F 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注.　対応する割り込みベクタ番号の割り込み要因が予約になっている場合、当該ビットは“0”にしてください。読むと“0”が読めます。

IERm レジスタは、割り込み要求の割り込み要求先への出力を許可または禁止するレジスタです。

IENj ビット (割り込み要求許可ビット j) (j = 0 ～ 7)

IENj ビットが “1” のとき、割り込み要求先に割り込み要求を出力します。IENj ビットが “0” のとき、割り込み要求先に割り込み要求を出力しません。

なお、IRn.IR フラグ (n = 016 ～ 255) は、IENj ビットの影響を受けません。IENj ビットが “0” であっても、「14.2.1　割り込み要求レジスタ n (IRn) (n = 016 ～ 255)」に示す条件で IR フラグは変化します。

IERm.IENj ビットは、割り込みベクタ番号ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 14.4　割り込みベクタテーブル」を参照してください。なお、m と j は以下の式でも計算できます。

m = n ÷ 8 の商

j = n ÷ 8 の余り

割り込み要求先を選択する際の IERm.IENj ビットの設定手順は、「14.7.3.1　割り込み要求先の設定手順」を参照してください。

14.2.3 割り込み要因プライオリティレジスタ r (IPRr) (r = 000 ～ 255)

アドレス ICU.IPR000 0008 7300h～ICU.IPR255 0008 73FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IPR[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止) (注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに指定している割り込み要因については、レベル0に設定していても割り込み優先レベルはレベル15になります。

IPRr レジスタは、対応する割り込みベクタ番号に割り当てられた割り込み要因の割り込み優先レベルを設定するレジスタです。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の割り込み優先レベルを選択するビットです。

IPR[3:0] ビットで選択した割り込み優先レベルは、CPU への割り込み要求の優先レベル判定にのみ使用され、DTC や DMAC への転送要求には影響しません。

CPU は、PSW.IPL[3:0] ビットが示すプロセッサ割り込み優先レベルより高い優先レベルの割り込み要求のみを受け付けます。

複数の割り込み要求が同時に発生した場合、それぞれの IPR[3:0] ビットに設定された優先レベルを使用して優先レベルの比較を行います。優先レベルが同じ割り込み要求が同時に発生した場合には、割り込みベクタ番号の小さい割り込み要求が優先されます。

このレジスタへの書き込みは、該当する IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) が “0” (割り込み要求禁止) のときに行ってください。

割り込みベクタと IPRr レジスタの対応は、「表 14.4 割り込みベクタテーブル」を参照してください。なお、割り込みベクタ番号が 32 以上の場合、r は割り込みベクタ番号と一致します。

14.2.4 高速割り込み設定レジスタ (FIR)

アドレス ICU.FIR 0008 72F0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIEN	—	—	—	—	—	—	—	FVCT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みに指定する割り込み要因の割り込みベクタ番号を設定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0：高速割り込み禁止 1：高速割り込み許可	R/W

FIR レジスタは、高速割り込みとして処理する割り込み要因を指定するレジスタです。

高速割り込みが有効になるのは CPU に対してのみです。DTC や DMAC を要求先に設定している割り込みベクタ番号を高速割り込みに指定したとしても、DTC、DMAC への転送要求には影響しません。

このレジスタへの書き込みは、対応する IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) が “0” のときに行ってください。

高速割り込みの詳細は、「14.9　高速割り込み」を参照してください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込みを使用する割り込み要因の割り込みベクタ番号を指定するビットです。

指定できる割り込みベクタ番号は、「表 14.4　割り込みベクタテーブル」を参照してください。予約の割り込みベクタ番号を指定しないでください。

FIEN ビット (高速割り込み許可ビット)

高速割り込みの使用を許可するビットです。

FIEN ビットを “1” にすると、FVCT[7:0] ビットに指定した割り込みベクタ番号に割り当てられた割り込み要因が、高速割り込みとして処理されます。

FIEN ビットが “1” の場合、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定した割り込みベクタ番号の割り込み要求が発生すると、IPRr レジスタ (r = 000 ～ 255) の設定に関係なく、高速割り込みとして CPU に割り込み要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合は、IPRr レジスタの設定が必要です。詳細は「14.10.3　ソフトウェアスタンバイモードからの復帰」を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス ICU.SWINTR 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読めます。“1”を書くとソフトウェア割り込み要求が発生します。“0”を書いても無視されます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWINTR レジスタは、ソフトウェア割り込み要求の生成を制御するレジスタです。

SWINT ビット (ソフトウェア割り込み起動ビット)

SWINT ビットに “1” を書くと、ソフトウェア割り込み要求 (SWINT) が発生し、IR027.IR フラグが “1” になります。ソフトウェア割り込み要求 (SWINT) は DTC の起動要因にすることができますが、DMAC の起動要因にはできません。

14.2.6 ソフトウェア割り込み 2 起動レジスタ (SWINT2R)

アドレス ICU.SWINT2R 0008 72E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT 2
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT2	ソフトウェア割り込み2起動ビット	読むと“0”が読めます。“1”を書き込むことでソフトウェア割り込み要求2が発生します。“0”を書いても無視されます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWINT2R レジスタは、ソフトウェア割り込み要求 2 の生成を制御するレジスタです。

SWINT2 ビット (ソフトウェア割り込み 2 起動ビット)

SWINT2 ビットに “1” を書くと、ソフトウェア割り込み要求 2 (SWINT2) が発生し、IR026.IR フラグが “1” になります。ソフトウェア割り込み要求 2 (SWINT2) は DTC の起動要因にすることができますが、DMAC の起動要因にはできません。

14.2.7 DTC 転送要求許可レジスタ n (DTCERn) (n = 026 ～ 255)

アドレス ICU.DTCER026 0008 711Ah～ICU.DTCER255 0008 71FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC転送要求許可ビット	0：CPUへの割り込み要因、またはDMACの起動要因に設定する 1：DTCの起動要因に設定する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCERn レジスタは、割り込みベクタ番号 n に対応する割り込み要因を、DTC の起動要因として選択するレジスタです。

同じ割り込み要因を、DTC と DMAC の両方の起動要因に指定しないでください。割り込み要因と割り込みベクタ番号の対応、DTC 起動に使用できる割り込み要因については、**「表 14.4 割り込みベクタテーブル」**を参照してください。

DTCE ビット (DTC 転送要求許可ビット)

DTCE ビットを “1” にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1” になる条件]

- DTCE ビットに “1” を書いたとき

[“0” になる条件]

- DTC による指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに “0” を書いたとき

14.2.8 DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャネル番号)

アドレス　ICU.DMRSR0 0008 7400h, ICU.DMRSR1 0008 7404h, ICU.DMRSR2 0008 7408h, ICU.DMRSR3 0008 740Ch, ICU.DMRSR4 0008 7410h, ICU.DMRSR5 0008 7414h, ICU.DMRSR6 0008 7418h, ICU.DMRSR7 0008 741Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	DMACの起動要因にしたい割り込み要因の割り込みベクタ番号を設定します	R/W

DMRSRm レジスタは、割り込み要因を DMACm の起動要因として選択するレジスタです。

複数の DMRSRm レジスタに同一の割り込みベクタ番号を指定しないでください。また、同じ割り込み要因を、DTC と DMAC の両方の起動要因に指定しないでください。これらの禁止事項に違反した場合の動作は保証されません。

DMRSRm レジスタには、DMAC の起動に使用する割り込み要因の割り込みベクタ番号を設定します。DMAC の起動要因として使用できない割り込み要因の割り込みベクタ番号は、設定しないでください。

割り込み要因の割り込みベクタ番号は、「表 14.4　割り込みベクタテーブル」を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタ (DMACm.DMCNT) の DTE ビットが “0” のときに行ってください。

14.2.9 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ～ 15)

アドレス ICU.IRQCR0 0008 7500h～ICU.IRQCR15 0008 750Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IRQMD[1:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0：レベル(Low) 0 1：立ち下がりエッジ 1 0：立ち上がりエッジ 1 1：両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IRQCRi レジスタは、外部端子割り込みの検出方法を選択するレジスタです。

このレジスタへの書き込みは、対応する IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) が “0” のときに行ってください。書き込み後は対応する IRn.IR フラグ (n = 016 ～ 255) を “0” にした後で、IERm.IENj ビットを “1” にしてください。ただし、検出方法をレベルに変更する場合は、IR フラグを “0” にする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

IRQi 端子 (i = 0 ～ 15) の割り込み検出方法を設定します。

外部端子割り込みの設定手順は、「14.7.4　外部端子割り込みの設定手順」を参照してください。

14.2.10 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス ICU.IRQFLTE0 0008 7520h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0デジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7デジタルフィルタ許可ビット		R/W

IRQFLTE0 レジスタは、IRQ0 端子～ IRQ7 端子のデジタルフィルタを有効または無効にするレジスタです。

FLTENi ビット (IRQi デジタルフィルタ許可ビット) (i = 0 ～ 7)

FLTENi ビットが “1” のとき、IRQi 端子のデジタルフィルタが有効になります。FLTENi ビットが “0” のとき、IRQi 端子のデジタルフィルタは無効です。

IRQFLTC0.FCLKSELi[1:0] ビットで指定したサンプリングクロックで IRQi 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「14.7.6 デジタルフィルタ」を参照してください。

14.2.11　IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1)

アドレス　ICU.IRQFLTE1 0008 7521h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN 15	FLTEN 14	FLTEN 13	FLTEN 12	FLTEN 11	FLTEN 10	FLTEN 9	FLTEN 8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN8	IRQ8デジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b1	FLTEN9	IRQ9デジタルフィルタ許可ビット		R/W
b2	FLTEN10	IRQ10デジタルフィルタ許可ビット		R/W
b3	FLTEN11	IRQ11デジタルフィルタ許可ビット		R/W
b4	FLTEN12	IRQ12デジタルフィルタ許可ビット		R/W
b5	FLTEN13	IRQ13デジタルフィルタ許可ビット		R/W
b6	FLTEN14	IRQ14デジタルフィルタ許可ビット		R/W
b7	FLTEN15	IRQ15デジタルフィルタ許可ビット		R/W

IRQFLTE1 レジスタは、IRQ8 端子～ IRQ15 端子のデジタルフィルタを有効または無効にするレジスタです。

FLTENi ビット (IRQi デジタルフィルタ許可ビット) (i = 8 ～ 15)

FLTENi ビットが “1” のとき、IRQi 端子のデジタルフィルタが有効になります。FLTENi ビットが “0” のとき、IRQi 端子のデジタルフィルタは無効です。

IRQFLTC1.FCLKSELi[1:0] ビットで指定したサンプリングクロックで IRQi 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「14.7.6　デジタルフィルタ」を参照してください。

14.2.12 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス ICU.IRQFLTC0 0008 7528h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7デジタルフィルタサンプリングクロック設定ビット		R/W

IRQFLTC0 レジスタは、IRQ0 端子～ IRQ7 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ～ 7)

IRQi 端子のデジタルフィルタのサンプリングクロックを選択するビットです。デジタルフィルタの詳細は、「14.7.6 **デジタルフィルタ**」を参照してください。

14.2.13 IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1)

アドレス ICU.IRQFLTC1 0008 752Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL15[1:0]		FCLKSEL14[1:0]		FCLKSEL13[1:0]		FCLKSEL12[1:0]		FCLKSEL11[1:0]		FCLKSEL10[1:0]		FCLKSEL9[1:0]		FCLKSEL8[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL8[1:0]	IRQ8デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b3-b2	FCLKSEL9[1:0]	IRQ9デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL10[1:0]	IRQ10デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL11[1:0]	IRQ11デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL12[1:0]	IRQ12デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL13[1:0]	IRQ13デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL14[1:0]	IRQ14デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL15[1:0]	IRQ15デジタルフィルタサンプリングクロック設定ビット		R/W

IRQFLTC1 レジスタは、IRQ8 端子～ IRQ15 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 8 ～ 15)

IRQi 端子のデジタルフィルタのサンプリングクロックを選択するビットです。デジタルフィルタの詳細は、「14.7.6 **デジタルフィルタ**」を参照してください。

14.2.14 ノンマスカブル割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	RAMST	LVD2ST	LVD1ST	IWDTST	WDTST	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0：NMI端子割り込み要求なし 1：NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0：発振停止検出割り込み要求なし 1：発振停止検出割り込み要求あり	R
b2	WDTST	WDTアンダフロー/リフレッシュエラーステータスフラグ	0：WDTアンダフロー/リフレッシュエラー割り込み要求なし 1：WDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b3	IWDTST	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0：IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1：IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0：電圧監視1割り込み要求なし 1：電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0：電圧監視2割り込み要求なし 1：電圧監視2割り込み要求あり	R
b6	RAMST	RAMエラー割り込みステータスフラグ	0：RAMエラー割り込み要求なし 1：RAMエラー割り込み要求あり	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスカブル割り込みの有無を示すレジスタです。

NMIER レジスタの対応するビットが “0” であっても、NMISR レジスタの各フラグには影響がありません。

ノンマスカブル割り込みの処理ルーチンでは、NMISR レジスタを読み出して他のノンマスカブル割り込みの発生状況を確認し、すべてのステータスフラグが “0” であることを確認してから、処理を終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求の有無を示します。

NMIST フラグは読み出しのみ可能です。NMIST フラグを “0” にするには、NMICLR.NMICLR ビットを “1” にします。

[“1” になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0” になる条件]

- NMICLR.NMICLR ビットに “1” を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求の有無を示します。

OSTST フラグは読み出しのみ可能です。OSTST フラグを “0” にするには、NMICLR.OSTCLR ビットを “1” にします。

[“1” になる条件]

- 発振停止検出割り込みが発生したとき

[“0” になる条件]

- NMICLR.OSTCLR ビットに “1” を書いたとき

WDTST フラグ (WDT アンダフロー / リフレッシュエラーステータスフラグ)

WDT アンダフロー / リフレッシュエラー割り込み要求の有無を示します。

WDTST フラグは読み出しのみ可能です。WDTST フラグを “0” にするには、NMICLR.WDTCLR ビットを “1” にします。

[“1” になる条件]

- WDT リセットコントロールレジスタ (WDTRCR) の RSTIRQS ビットが “0” の場合に、WDT アンダフロー/リフレッシュエラー割り込みが発生したとき

[“0” になる条件]

- NMICLR.WDTCLR ビットに “1” を書いたとき

IWDTST フラグ (IWDT アンダフロー / リフレッシュエラーステータスフラグ)

IWDT アンダフロー / リフレッシュエラー割り込み要求の有無を示します。

IWDTST フラグは読み出しのみ可能です。IWDTST フラグを “0” にするには、NMICLR.IWDTCLR ビットを “1” にします。

[“1” になる条件]

- IWDT リセットコントロールレジスタ (IWDTRCR) の RSTIRQS ビットが “0” の場合に、IWDT アンダフロー / リフレッシュエラー割り込みが発生したとき

[“0” になる条件]

- NMICLR.IWDTCLR ビットに “1” を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータス フラグ)

電圧監視 1 割り込み要求の有無を示します。

LVD1ST フラグは読み出しのみ可能です。LVD1ST フラグを “0” にするには、NMICLR.LVD1CLR ビットを “1” にします。

[“1” になる条件]

- 電圧監視 1 回路制御レジスタ 1 (LVD1CR1) の LVD1IRQSEL ビットが “0” の場合に、電圧監視 1 割り込みが発生したとき

[“0” になる条件]

- NMICLR.LVD1CLR ビットに “1” を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータス フラグ)

電圧監視 2 割り込み要求の有無を示します。

LVD2ST フラグは読み出しのみ可能です。LVD2ST フラグを “0” にするには、NMICLR.LVD2CLR ビットを “1” にします。

[“1” になる条件]

- 電圧監視 2 回路制御レジスタ 1 (LVD2CR1) の LVD2IRQSEL ビットが “0” の場合に、電圧監視 2 割り込みが発生したとき

[“0” になる条件]

- NMICLR.LVD2CLR ビットに “1” を書いたとき

RAMST フラグ (RAM エラー割り込みステータスフラグ)

RAM (ECCRAM を含む) からの RAM エラー割り込み要求の有無を示します。

RAMST フラグは読み出しのみ可能です。RAMST フラグを “0” にするには、RAM のエラーステータスフラグをすべてクリアしてください。詳細は「44.3.4　RAM エラー割り込み機能」を参照してください。

[“1” になる条件]

- パリティチェックエラー割り込みが発生したとき (RAM.RAMSTS.RAMERR フラグが “1” になったとき)
- ECC エラー割り込みが発生したとき (RAM.ECCRAM1STS.ECC1ERR フラグまたは RAM.ECCRAM2STS.ECC2ERR フラグが “1” になったとき)

[“0” になる条件]

- RAMST フラグを “1” にした要因すべてがクリアされたとき

14.2.15 ノンマスカブル割り込み許可レジスタ (NMIER)

アドレス ICU.NMIER 0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	RAMEN	LVD2EN	LVD1EN	IWDTEN	WDTEN	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0：NMI端子割り込み禁止 1：NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0：発振停止検出割り込み禁止 1：発振停止検出割り込み許可	R/(W) (注1)
b2	WDTEN	WDTアンダフロー/リフレッシュエラー許可ビット	0：WDTアンダフロー/リフレッシュエラー割り込み禁止 1：WDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0：IWDTアンダフロー/リフレッシュエラー割り込み禁止 1：IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0：電圧監視1割り込み禁止 1：電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0：電圧監視2割り込み禁止 1：電圧監視2割り込み許可	R/(W) (注1)
b6	RAMEN	RAMエラー割り込み許可ビット	0：RAMエラー割り込み禁止 1：RAMエラー割り込み許可	R/(W) (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 一度“1”にすると、ソフトウェアでは“0”にできません。

NMIER レジスタは、ノンマスカブル割り込みの生成を許可または禁止するレジスタです。各ビットが “1” の場合、対応する割り込み要因はノンマスカブル割り込みとして使用されます。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可または禁止するビットです。

OSTEN ビット (発振停止検出割り込み許可 ビット)

発振停止検出割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。

マスカブル割り込みとして使用する場合は、“0” のままにしてください。

WDTEN ビット (WDT アンダフロー / リフレッシュエラー許可ビット)

WDT アンダフロー / リフレッシュエラー割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。

マスカブル割り込みとして使用する場合は、“0” のままにしてください。

IWDTEN ビット (IWDT アンダフロー / リフレッシュエラー許可ビット)

IWDT アンダフロー / リフレッシュエラー割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。

マスカブル割り込みとして使用する場合は、“0” のままにしてください。

LVD1EN ビット (電圧監視 1 割り込み許可ビット)

電圧監視 1 割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。
マスカブル割り込みとして使用する場合は、“0” のままにしてください。

LVD2EN ビット (電圧監視 2 割り込み許可ビット)

電圧監視 2 割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。
マスカブル割り込みとして使用する場合は、“0” のままにしてください。

RAMEN ビット (RAM エラー割り込み許可ビット)

RAM エラー割り込みによるノンマスカブル割り込みの生成を許可または禁止するビットです。
マスカブル割り込みとして使用する場合は、“0” のままにしてください。

14.2.16 ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2CLR	LVD1CLR	IWDTCLR	WDTCLR	OSTCLR	NMICLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.NMISTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b1	OSTCLR	OSTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.OSTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b2	WDTCLR	WDTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.WDTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b3	IWDTCLR	IWDTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.IWDTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読めます。“1”を書くと、NMISR.LVD1STフラグが“0”になります。“0”を書いても無視されます	R/(W)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読めます。“1”を書くと、NMISR.LVD2STフラグが“0”になります。“0”を書いても無視されます	R/(W)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICLR レジスタは、NMISR レジスタの各フラグをクリアするためのレジスタです。
各ビットに “1” を書くと対応するステータスフラグが “0” になります。

14.2.17 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタは、NMI 端子割り込みの検出方法を選択するレジスタです。
NMICR レジスタへの書き込みは、NMIER.NMIEN ビットが “0” のときに行ってください。

14.2.18 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス ICU.NMIFLTE 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMIデジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMIFLTE レジスタは、NMI 端子のデジタルフィルタを有効または無効にするレジスタです。

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NFLTEN ビットが “1” のとき、デジタルフィルタが有効になります。NFLTEN ビットが “0” のとき、デジタルフィルタは無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックで NMI 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「14.7.6 **デジタルフィルタ**」を参照してください。

14.2.19 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス ICU.NMIFLTC 0008 7594h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMIデジタルフィルタ サンプリングクロック設定ビット	b1 b0 0 0：PCLKB 0 1：PCLKB/8 1 0：PCLKB/32 1 1：PCLKB/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMIFLTC レジスタは、NMI 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

NFCLKSEL[1:0] ビット (NMI デジタルフィルタ サンプリングクロック設定ビット)

NMI 端子のデジタルフィルタのサンプリングクロックを選択するビットです。

デジタルフィルタの詳細は、「14.7.6 **デジタルフィルタ**」を参照してください。

14.2.20 グループ BE0 割り込み要求レジスタ (GRPBE0)、グループ BL0/BL1 割り込み要求レジスタ (GRPBL0/GRPBL1)、グループ AL0 割り込み要求レジスタ (GRPAL0)

アドレス ICU.GRPBE0 0008 7600h, ICU.GRPBL0 0008 7630h, ICU.GRPBL1 0008 7634h, ICU.GRPAL0 0008 7830h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IS31	IS30	IS29	IS28	IS27	IS26	IS25	IS24	IS23	IS22	IS21	IS20	IS19	IS18	IS17	IS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IS15	IS14	IS13	IS12	IS11	IS10	IS9	IS8	IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IS0	割り込みステータスフラグ0	0：割り込み要求なし 1：割り込み要求あり	R
b1	IS1	割り込みステータスフラグ1		R
b2	IS2	割り込みステータスフラグ2		R
b3	IS3	割り込みステータスフラグ3		R
b4	IS4	割り込みステータスフラグ4		R
b5	IS5	割り込みステータスフラグ5		R
b6	IS6	割り込みステータスフラグ6		R
b7	IS7	割り込みステータスフラグ7		R
b8	IS8	割り込みステータスフラグ8		R
b9	IS9	割り込みステータスフラグ9		R
b10	IS10	割り込みステータスフラグ10		R
b11	IS11	割り込みステータスフラグ11		R
b12	IS12	割り込みステータスフラグ12		R
b13	IS13	割り込みステータスフラグ13		R
b14	IS14	割り込みステータスフラグ14		R
b15	IS15	割り込みステータスフラグ15		R
b16	IS16	割り込みステータスフラグ16		R
b17	IS17	割り込みステータスフラグ17		R
b18	IS18	割り込みステータスフラグ18		R
b19	IS19	割り込みステータスフラグ19		R
b20	IS20	割り込みステータスフラグ20		R
b21	IS21	割り込みステータスフラグ21		R
b22	IS22	割り込みステータスフラグ22		R
b23	IS23	割り込みステータスフラグ23		R
b24	IS24	割り込みステータスフラグ24		R
b25	IS25	割り込みステータスフラグ25		R
b26	IS26	割り込みステータスフラグ26		R
b27	IS27	割り込みステータスフラグ27		R
b28	IS28	割り込みステータスフラグ28		R
b29	IS29	割り込みステータスフラグ29		R
b30	IS30	割り込みステータスフラグ30		R
b31	IS31	割り込みステータスフラグ31		R

これらのレジスタは、グループ化された割り込み要因の各割り込み要求ステータスを示すレジスタです。

GRPBE0 レジスタは、検出方法がエッジ検出で、かつ動作クロックが PCLKB である割り込み要因の割り込みステータスで構成されています。

GRPBL0、GRPBL1 レジスタは、検出方法がレベル検出で、かつ動作クロックが PCLKB である割り込み要因の割り込みステータスで構成されています。

GRPAL0 レジスタは、検出方法がレベル検出で、かつ動作クロックが PCLKA である割り込み要因の割り込みステータスで構成されています。

これらのレジスタを総称して、「グループ割り込み要求レジスタ」と呼称します。

グループ割り込みの詳細は「**14.4.4　グループ割り込み**」を参照してください。

ISj フラグ (割り込みステータスフラグ j) (j = 0 ～ 31)

グループ割り込みに割り当てられた割り込み要因の割り込み要求ステータスフラグです。

対応するグループ割り込み要求許可レジスタの ENj ビットが “1” のときのみ、ISj フラグが “1” になります。いずれかの ISj フラグが “1” になると、そのグループ割り込みに対応する IRn.IR フラグ (n = 016 ～ 255) が “1” になります。

(1)　グループ BE0 の場合

[“1” になる条件]

- GRPBE0.ISj フラグは、GENBE0.ENj ビットが “1” で、かつ対応する周辺モジュールの割り込み要求が発生すると、“1” になります。

[“0” になる条件]

- GRPBE0.ISj フラグは、GCRBE0.CLRj ビットに “1” を書くと “0” になります。

(2)　グループ BL0/BL1 の場合

[“1” になる条件]

- GRPBL0/GRPBL1.ISj フラグは、GENBL0/GENBL1.ENj ビットが “1” で、かつ対応する周辺モジュールの割り込み要求が発生している間、“1” になります。

[“0” になる条件]

- 対応する周辺モジュールの割り込み要求出力をクリアすると “0” になります。
- GRPBL0/GRPBL1.ISj フラグは、GENBL0/GENBL1.ENj ビットを “0” にすると、“0” になります。

(3)　グループ AL0 の場合

[“1” になる条件]

- GRPAL0.ISj フラグは、GENAL0.ENj ビットが “1” で、かつ対応する周辺モジュールの割り込み要求が発生している間、“1” になります。

[“0” になる条件]

- 対応する周辺モジュールの割り込み要求出力をクリアすると “0” になります。
- GRPAL0.ISj フラグは、GENAL0.ENj ビットを “0” にすると、“0” になります。

14.2.21 グループ BE0 割り込み要求許可レジスタ (GENBE0)、グループ BL0/BL1 割り込み要求許可レジスタ (GENBL0/GENBL1)、グループ AL0 割り込み要求許可レジスタ (GENAL0)

アドレス ICU.GENBE0 0008 7640h, ICU.GENBL0 0008 7670h, ICU.GENBL1 0008 7674h, ICU.GENAL0 0008 7870h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EN31	EN30	EN29	EN28	EN27	EN26	EN25	EN24	EN23	EN22	EN21	EN20	EN19	EN18	EN17	EN16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	割り込み要求許可ビット0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b1	EN1	割り込み要求許可ビット1		R/W
b2	EN2	割り込み要求許可ビット2		R/W
b3	EN3	割り込み要求許可ビット3		R/W
b4	EN4	割り込み要求許可ビット4		R/W
b5	EN5	割り込み要求許可ビット5		R/W
b6	EN6	割り込み要求許可ビット6		R/W
b7	EN7	割り込み要求許可ビット7		R/W
b8	EN8	割り込み要求許可ビット8		R/W
b9	EN9	割り込み要求許可ビット9		R/W
b10	EN10	割り込み要求許可ビット10		R/W
b11	EN11	割り込み要求許可ビット11		R/W
b12	EN12	割り込み要求許可ビット12		R/W
b13	EN13	割り込み要求許可ビット13		R/W
b14	EN14	割り込み要求許可ビット14		R/W
b15	EN15	割り込み要求許可ビット15		R/W
b16	EN16	割り込み要求許可ビット16		R/W
b17	EN17	割り込み要求許可ビット17		R/W
b18	EN18	割り込み要求許可ビット18		R/W
b19	EN19	割り込み要求許可ビット19		R/W
b20	EN20	割り込み要求許可ビット20		R/W
b21	EN21	割り込み要求許可ビット21		R/W
b22	EN22	割り込み要求許可ビット22		R/W
b23	EN23	割り込み要求許可ビット23		R/W
b24	EN24	割り込み要求許可ビット24		R/W
b25	EN25	割り込み要求許可ビット25		R/W
b26	EN26	割り込み要求許可ビット26		R/W
b27	EN27	割り込み要求許可ビット27		R/W
b28	EN28	割り込み要求許可ビット28		R/W
b29	EN29	割り込み要求許可ビット29		R/W
b30	EN30	割り込み要求許可ビット30		R/W
b31	EN31	割り込み要求許可ビット31		R/W

注. 各ビットに対応する割り込み要因が存在しない(予約になっている)場合、当該ビットは“0”にしてください。

これらのレジスタは、グループ化された割り込み要因の各割り込み要求が発生したときに、グループ割り込み要求レジスタの ISj フラグを “1” にするかどうかを選択するレジスタです。これらのレジスタを総称して、「グループ割り込み要求許可レジスタ」と呼称します。

GENBE0 レジスタは GRPBE0 レジスタの ISj フラグ、GENBL0/GENBL1 レジスタは GRPBL0/GRPBL1 レジスタの ISj フラグ、GENAL0 レジスタは GRPAL0 レジスタの ISj フラグを制御します。

グループ割り込みの詳細は「**14.4.4　グループ割り込み**」を参照してください。

ENj ビット (割り込み要求許可ビット j) (j = 0 ～ 31)

グループ割り込みに割り当てられた割り込み要因の割り込み要求が発生したとき、対応するグループ割り込み要求レジスタの ISj フラグを “1” にするかどうかを選択するビットです。

(1)　グループ BE0 の場合

GENBE0.ENj ビットが “1” のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPBE0.ISj フラグが “1” になります。ENj ビットが “0” のとき、GRPBE0.ISj フラグは “1” になりません。

ENj ビットを “0” にしても、GRPBE0.ISj フラグは変化しません。

(2)　グループ BL0/BL1 の場合

GENBL0/GENBL1.ENj ビットが “1” のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPBL0/GRPBL1.ISj フラグが “1” になります。ENj ビットが “0” のとき、GRPBL0/GRPBL1.ISj フラグは “1” になりません。

ENj ビットを “0” にすると、GRPBL0/GRPBL1.ISj フラグが “0” になります。

(3)　グループ AL0 の場合

GENAL0.ENj ビットが “1” のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPAL0.ISj フラグが “1” になります。ENj ビットが “0” のとき、GRPAL0.ISj フラグは “1” になりません。

ENj ビットを “0” にすると、GRPAL0.ISj フラグが “0” になります。

14.2.22 グループ BE0 割り込みクリアレジスタ (GCRBE0)

アドレス ICU.GCRBE0 0008 7680h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CLR31	CLR30	CLR29	CLR28	CLR27	CLR26	CLR25	CLR24	CLR23	CLR22	CLR21	CLR20	CLR19	CLR18	CLR17	CLR16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CLR15	CLR14	CLR13	CLR12	CLR11	CLR10	CLR9	CLR8	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR0	割り込み要因クリアビット0	読むと“0”が読めます。 “1”を書くと対応する割り込みステータスフラグ(GRPBE0.ISj (j = 0～31))が“0”になります。 “0”を書いても無視されます。	R/(W)
b1	CLR1	割り込み要因クリアビット1		R/(W)
b2	CLR2	割り込み要因クリアビット2		R/(W)
b3	CLR3	割り込み要因クリアビット3		R/(W)
b4	CLR4	割り込み要因クリアビット4		R/(W)
b5	CLR5	割り込み要因クリアビット5		R/(W)
b6	CLR6	割り込み要因クリアビット6		R/(W)
b7	CLR7	割り込み要因クリアビット7		R/(W)
b8	CLR8	割り込み要因クリアビット8		R/(W)
b9	CLR9	割り込み要因クリアビット9		R/(W)
b10	CLR10	割り込み要因クリアビット10		R/(W)
b11	CLR11	割り込み要因クリアビット11		R/(W)
b12	CLR12	割り込み要因クリアビット12		R/(W)
b13	CLR13	割り込み要因クリアビット13		R/(W)
b14	CLR14	割り込み要因クリアビット14		R/(W)
b15	CLR15	割り込み要因クリアビット15		R/(W)
b16	CLR16	割り込み要因クリアビット16		R/(W)
b17	CLR17	割り込み要因クリアビット17		R/(W)
b18	CLR18	割り込み要因クリアビット18		R/(W)
b19	CLR19	割り込み要因クリアビット19		R/(W)
b20	CLR20	割り込み要因クリアビット20		R/(W)
b21	CLR21	割り込み要因クリアビット21		R/(W)
b22	CLR22	割り込み要因クリアビット22		R/(W)
b23	CLR23	割り込み要因クリアビット23		R/(W)
b24	CLR24	割り込み要因クリアビット24		R/(W)
b25	CLR25	割り込み要因クリアビット25		R/(W)
b26	CLR26	割り込み要因クリアビット26		R/(W)
b27	CLR27	割り込み要因クリアビット27		R/(W)
b28	CLR28	割り込み要因クリアビット28		R/(W)
b29	CLR29	割り込み要因クリアビット29		R/(W)
b30	CLR30	割り込み要因クリアビット30		R/(W)
b31	CLR31	割り込み要因クリアビット31		R/(W)

注. クリアしたいフラグに対応するビットにのみ“1”を、その他のビットには“0”を書いてください。

GCRBE0 レジスタは、GRPBE0.ISj フラグ (j = 0 ～ 31) をクリアするレジスタです。
グループ割り込みの詳細は「14.4.4　グループ割り込み」を参照してください。

CLRj ビット (割り込み要因クリアビット j) (j = 0 ～ 31)

GCRBE0.CLRj ビットに “1” を書くと、GRPBE0.ISj フラグが “0” になります。

14.2.23 選択型割り込み A 要求レジスタ k (PIARk) (k = 0h ～ 12h)

アドレス　ICU.PIAR0 0008 7900h, ICU.PIAR1 0008 7901h, ICU.PIAR2 0008 7902h, ICU.PIAR3 0008 7903h, ICU.PIAR4 0008 7904h, ICU.PIAR5 0008 7905h, ICU.PIAR6 0008 7906h, ICU.PIAR7 0008 7907h, ICU.PIAR8 0008 7908h, ICU.PIAR9 0008 7909h, ICU.PIARA 0008 790Ah, ICU.PIARB 0008 790Bh, ICU.PIARC 0008 790Ch, ICU.PIARD 0008 790Dh, ICU.PIARE 0008 790Eh, ICU.PIARF 0008 790Fh, ICU.PIAR10 0008 7910h, ICU.PIAR11 0008 7911h, ICU.PIAR12 0008 7912h

	b7	b6	b5	b4	b3	b2	b1	b0
	PIR7	PIR6	PIR5	PIR4	PIR3	PIR2	PIR1	PIR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIR0	選択型割り込みAステータスフラグ0	【読み出し時】 0：割り込み要求なし 1：割り込み要求あり 【書き込み時】(注1) 0：無視されます 1：選択型割り込みAステータスフラグをクリアします	R/W
b1	PIR1	選択型割り込みAステータスフラグ1		R/W
b2	PIR2	選択型割り込みAステータスフラグ2		R/W
b3	PIR3	選択型割り込みAステータスフラグ3		R/W
b4	PIR4	選択型割り込みAステータスフラグ4		R/W
b5	PIR5	選択型割り込みAステータスフラグ5		R/W
b6	PIR6	選択型割り込みAステータスフラグ6		R/W
b7	PIR7	選択型割り込みAステータスフラグ7		R/W

注1.　ビット操作命令は使用しないでください。ビット操作命令を使用すると、複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを“1”、その他のフラグを“0”にして8ビット単位で書いてください。

選択型割り込み A に分類された割り込み要因の各割り込み要求をソフトウェアでポーリングするために使用するレジスタです。SLIARn レジスタに設定した選択型割り込み A の割り込み要求については、対応する IRn.IR フラグ (n = 208 ～ 255) でポーリングしてください。

選択型割り込み A の割り込み要因番号と割り込み要因の対応は「表 14.3　選択型割り込み A 要因一覧」を参照してください。

PIRj フラグ (選択型割り込み A ステータスフラグ j) (j = 0 ～ 7)

選択型割り込み A に分類された割り込み要因の割り込み要求が発生すると、SLIARn レジスタにその割り込み要因が指定されているかどうかに関わらず、対応する PIARk.PIRj フラグが “1” になります。

割り込み要求が要求先 (CPU, DTC, DMAC) に受け付けられても、PIRj フラグは “0” になりませんが、そのままでも割り込み要求の生成には影響しません。

PIRj フラグをポーリングして使用する場合は、事前に PIRj フラグに “1” を書いてフラグの値を “0” にしてから使用してください。

[“1” になる条件]

- 割り込み要求が発生したとき

[“0” になる条件]

- PIARk.PIRj フラグに “1” を書いたとき

14.2.24　選択型割り込み A 要因選択レジスタ n (SLIARn) (n = 208 ～ 255)

アドレス　ICU.SLIAR208 0008 79D0h～ICU.SLIAR255 0008 79FFh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	00h：割り込み要因を選択しない 01h：割り込み要因番号1 ：　　： FEh：割り込み要因番号254 FFh：割り込み要因を選択しない	R/(W) (注1)

注1.　SLIPRCR.WPRCビットが“1”のとき、書き込みは無視されます。

SLIARn レジスタは、208 番から 255 番までの割り込みベクタ番号に、選択型割り込み A に分類された割り込み要因を割り当てるためのレジスタです。

選択型割り込み要因 A に分類された割り込み要因の一覧を「表 14.3　選択型割り込み A 要因一覧」に示します。SLIARn レジスタには、このうち予約となっていない割り込み要因番号を設定してください。“00h” または “FFh” を指定した場合、割り込みベクタ番号 n にはいずれの割り込み要因も割り当てられません。

同じ割り込み要因を、複数の SLIARn レジスタに重複して割り当てないでください。

割り込み要因の種類により、DTC や DMAC を起動させることができます。DTC、DMAC 起動の可否については、「表 14.3　選択型割り込み A 要因一覧」を参照してください。

選択型割り込みの設定手順については「14.7.7　選択型割り込みの設定手順」を参照してください。

表14.3　選択型割り込みA要因一覧 (1 / 4)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
0	—	なし	割り込み選択なし(初期値)	×	×	PIAR0.PIR0
1	エッジ	MTU0	TGIA0 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR1
2			TGIB0 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR2
3			TGIC0 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR3
4			TGID0 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR4
5			TCIV0 (TCNTのオーバフロー)	×	×	PIAR0.PIR5
6			TGIE0 (TGREのコンペアマッチ)	×	×	PIAR0.PIR6
7			TGIF0 (TGRFのコンペアマッチ)	×	×	PIAR0.PIR7
8		MTU1	TGIA1 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR0
9			TGIB1 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR1
10			TCIV1 (TCNTのオーバフロー)	×	×	PIAR1.PIR2
11			TCIU1 (TCNTのアンダフロー)	×	×	PIAR1.PIR3
12		MTU2	TGIA2 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR4
13			TGIB2 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR5
14			TCIV2 (TCNTのオーバフロー)	×	×	PIAR1.PIR6
15			TCIU2 (TCNTのアンダフロー)	×	×	PIAR1.PIR7
16		MTU3	TGIA3 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR0
17			TGIB3 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR1
18			TGIC3 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR2
19			TGID3 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR3
20			TCIV3 (TCNTのオーバフロー)	×	×	PIAR2.PIR4
21		MTU4	TGIA4 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR5
22			TGIB4 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR6
23			TGIC4 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR7
24			TGID4 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR0
25			TCIV4 (TCNTのオーバフロー/アンダフロー(相補PWMモード時のみ))	○	○	PIAR3.PIR1
26		予約	—	×	×	PIAR3.PIR2
27		MTU5	TGIU5 (TGRUのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR3
28			TGIV5 (TGRVのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR4
29			TGIW5 (TGRWのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR5
30		MTU6	TGIA6 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR6
31			TGIB6 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR7
32			TGIC6 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR0
33			TGID6 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR1
34			TCIV6 (TCNTのオーバフロー)	×	×	PIAR4.PIR2
35		MTU7	TGIA7 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR3
36			TGIB7 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR4
37			TGIC7 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR5
38			TGID7 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR6
39			TCIV7 (TCNTのオーバフロー/アンダフロー(相補PWMモード時のみ))	○	○	PIAR4.PIR7
40 ～ 46		予約	—	×	×	—

表14.3　選択型割り込みA要因一覧 (2 / 4)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
47	エッジ	MTU9	TGIA9 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR5.PIR7
48			TGIB9 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR6.PIR0
49			TGIC9 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR6.PIR1
50			TGID9 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR6.PIR2
51			TCIV9 (TCNTのオーバフロー)	×	×	PIAR6.PIR3
52			TGIE9 (TGREのコンペアマッチ)	×	×	PIAR6.PIR4
53			TGIF9 (TGRFのコンペアマッチ)	×	×	PIAR6.PIR5
54, 55		予約	—	×	×	—
56		GPTW0	GTCIA0 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR7.PIR0
57			GTCIB0 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR7.PIR1
58			GTCIC0 (GTCCRCレジスタのコンペアマッチ)	○	○	PIAR7.PIR2
59			GTCID0 (GTCCRDレジスタのコンペアマッチ)	○	○	PIAR7.PIR3
60			GDTE0 (デッドタイムエラー)	×	×	PIAR7.PIR4
61			GTCIE0 (GTCCREレジスタのコンペアマッチ)	○	○	PIAR7.PIR5
62			GTCIF0 (GTCCRFレジスタのコンペアマッチ)	○	○	PIAR7.PIR6
63			GTCIV0 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIAR7.PIR7
64			GTCIU0 (GTCNTカウンタのアンダフロー)	○	○	PIAR8.PIR0
65		GPTW1	GTCIA1 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR8.PIR1
66			GTCIB1 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR8.PIR2
67			GTCIC1 (GTCCRCレジスタのコンペアマッチ)	○	○	PIAR8.PIR3
68			GTCID1 (GTCCRDレジスタのコンペアマッチ)	○	○	PIAR8.PIR4
69			GDTE1 (デッドタイムエラー)	×	×	PIAR8.PIR5
70			GTCIE1 (GTCCREレジスタのコンペアマッチ)	○	○	PIAR8.PIR6
71			GTCIF1 (GTCCRFレジスタのコンペアマッチ)	○	○	PIAR8.PIR7
72			GTCIV1 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIAR9.PIR0
73			GTCIU1 (GTCNTカウンタのアンダフロー)	○	○	PIAR9.PIR1
74		GPTW2	GTCIA2 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR9.PIR2
75			GTCIB2 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR9.PIR3
76			GTCIC2 (GTCCRCレジスタのコンペアマッチ)	○	○	PIAR9.PIR4
77			GTCID2 (GTCCRDレジスタのコンペアマッチ)	○	○	PIAR9.PIR5
78			GDTE2 (デッドタイムエラー)	×	×	PIAR9.PIR6
79			GTCIE2 (GTCCREレジスタのコンペアマッチ)	○	○	PIAR9.PIR7
80			GTCIF2 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARA.PIR0
81			GTCIV2 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARA.PIR1
82			GTCIU2 (GTCNTカウンタのアンダフロー)	○	○	PIARA.PIR2

表14.3　選択型割り込みA要因一覧 (3 / 4)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
83	エッジ	GPTW3	GTCIA3 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARA.PIR3
84			GTCIB3 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARA.PIR4
85			GTCIC3 (GTCCRCレジスタのコンペアマッチ)	○	○	PIARA.PIR5
86			GTCID3 (GTCCRDレジスタのコンペアマッチ)	○	○	PIARA.PIR6
87			GDTE3 (デッドタイムエラー)	×	×	PIARA.PIR7
88			GTCIE3 (GTCCREレジスタのコンペアマッチ)	○	○	PIARB.PIR0
89			GTCIF3 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARB.PIR1
90			GTCIV3 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARB.PIR2
91			GTCIU3 (GTCNTカウンタのアンダフロー)	○	○	PIARB.PIR3
92		GPTW4	GTCIA4 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARB.PIR4
93			GTCIB4 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARB.PIR5
94			GTCIC4 (GTCCRCレジスタのコンペアマッチ)	○	○	PIARB.PIR6
95			GTCID4 (GTCCRDレジスタのコンペアマッチ)	○	○	PIARB.PIR7
96			GDTE4 (デッドタイムエラー)	×	×	PIARC.PIR0
97			GTCIE4 (GTCCREレジスタのコンペアマッチ)	○	○	PIARC.PIR1
98			GTCIF4 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARC.PIR2
99			GTCIV4 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARC.PIR3
100			GTCIU4 (GTCNTカウンタのアンダフロー)	○	○	PIARC.PIR4
101		GPTW5	GTCIA5 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARC.PIR5
102			GTCIB5 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARC.PIR6
103			GTCIC5 (GTCCRCレジスタのコンペアマッチ)	○	○	PIARC.PIR7
104			GTCID5 (GTCCRDレジスタのコンペアマッチ)	○	○	PIARD.PIR0
105			GDTE5 (デッドタイムエラー)	×	×	PIARD.PIR1
106			GTCIE5 (GTCCREレジスタのコンペアマッチ)	○	○	PIARD.PIR2
107			GTCIF5 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARD.PIR3
108			GTCIV5 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARD.PIR4
109			GTCIU5 (GTCNTカウンタのアンダフロー)	○	○	PIARD.PIR5
110		GPTW6	GTCIA6 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARD.PIR6
111			GTCIB6 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARD.PIR7
112			GTCIC6 (GTCCRCレジスタのコンペアマッチ)	○	○	PIARE.PIR0
113			GTCID6 (GTCCRDレジスタのコンペアマッチ)	○	○	PIARE.PIR1
114			GDTE6 (デッドタイムエラー)	×	×	PIARE.PIR2
115			GTCIE6 (GTCCREレジスタのコンペアマッチ)	○	○	PIARE.PIR3
116			GTCIF6 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARE.PIR4
117			GTCIV6 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARE.PIR5
118			GTCIU6 (GTCNTカウンタのアンダフロー)	○	○	PIARE.PIR6

表14.3　選択型割り込みA要因一覧 (4 / 4)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
119	エッジ	GPTW7	GTCIA7 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARE.PIR7
120			GTCIB7 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIARF.PIR0
121			GTCIC7 (GTCCRCレジスタのコンペアマッチ)	○	○	PIARF.PIR1
122			GTCID7 (GTCCRDレジスタのコンペアマッチ)	○	○	PIARF.PIR2
123			GDTE7 (デッドタイムエラー)	×	×	PIARF.PIR3
124			GTCIE7 (GTCCREレジスタのコンペアマッチ)	○	○	PIARF.PIR4
125			GTCIF7 (GTCCRFレジスタのコンペアマッチ)	○	○	PIARF.PIR5
126			GTCIV7 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIARF.PIR6
127			GTCIU7 (GTCNTカウンタのアンダフロー)	○	○	PIARF.PIR7
128		GPTW8	GTCIA8 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR10.PIR0
129			GTCIB8 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR10.PIR1
130			GTCIC8 (GTCCRCレジスタのコンペアマッチ)	○	○	PIAR10.PIR2
131			GTCID8 (GTCCRDレジスタのコンペアマッチ)	○	○	PIAR10.PIR3
132			GDTE8 (デッドタイムエラー)	×	×	PIAR10.PIR4
133			GTCIE8 (GTCCREレジスタのコンペアマッチ)	○	○	PIAR10.PIR5
134			GTCIF8 (GTCCRFレジスタのコンペアマッチ)	○	○	PIAR10.PIR6
135			GTCIV8 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIAR10.PIR7
136			GTCIU8 (GTCNTカウンタのアンダフロー)	○	○	PIAR11.PIR0
137		GPTW9	GTCIA9 (GTCCRAレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR11.PIR1
138			GTCIB9 (GTCCRBレジスタのインプットキャプチャ/コンペアマッチ)	○	○	PIAR11.PIR2
139			GTCIC9 (GTCCRCレジスタのコンペアマッチ)	○	○	PIAR11.PIR3
140			GTCID9 (GTCCRDレジスタのコンペアマッチ)	○	○	PIAR11.PIR4
141			GDTE9 (デッドタイムエラー)	×	×	PIAR11.PIR5
142			GTCIE9 (GTCCREレジスタのコンペアマッチ)	○	○	PIAR11.PIR6
143			GTCIF9 (GTCCRFレジスタのコンペアマッチ)	○	○	PIAR11.PIR7
144			GTCIV9 (GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ))	○	○	PIAR12.PIR0
145			GTCIU9 (GTCNTカウンタのアンダフロー)	○	○	PIAR12.PIR1
146 ～ 254		予約	—	×	×	—
255	—	なし	割り込み選択なし	×	×	—

14.2.25 選択型割り込み要因選択レジスタ書き込み保護レジスタ (SLIPRCR)

アドレス ICU.SLIPRCR 0008 7A00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	WPRC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WPRC	選択型割り込み要因選択レジスタ書き込み保護ビット	0：書き込み許可 1：書き込み禁止	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください。	R

注1. 一度“1”にすると、ソフトウェアでは“0”にできません。

SLIPRCR レジスタは、選択型割り込みの割り当てを制御するレジスタへの書き込みを保護するレジスタです。

WPRC ビット (選択型割り込み要因選択レジスタ書き込み保護ビット)

SLIARn レジスタへの書き込みを禁止するビットです。

一度 “1” にすると、ソフトウェアでは “0” にできません。

選択型割り込みの割り当てを行った後、対応する割り込み要求が発生する前に、WPRC ビットが “1” になっていることを確認してください。選択型割り込みの設定手順については「**14.7.7 選択型割り込みの設定手順**」を参照してください。

14.3 ベクタテーブル

割り込みコントローラが検出する例外事象には、マスカブル割り込み (以後単に「割り込み」) とノンマスカブル割り込みの 2 種類があります。

CPU が割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから 4 バイトの割り込みベクタを取得します。

14.3.1 割り込みのベクタテーブル

マスカブル割り込みが使用するベクタテーブルを割り込みベクタテーブルと言います。

割り込みベクタテーブルは、CPU の割り込みテーブルレジスタ (INTB) に設定したアドレスを先頭とする 1024 バイト (4 バイト × 256 要因) の領域に配置されます。INTB レジスタは割り込みを許可する前に設定してください。また、INTB レジスタには 4 の倍数を設定してください。

なお、INT 命令および BRK 命令を実行すると無条件トラップが発生します。無条件トラップの割り込みベクタは、割り込みベクタテーブルと同じ領域を使用します。BRK 命令は割り込みベクタ番号 0、INT 命令はオペランドに指定した値 (0 ～ 255) に一致する割り込みベクタ番号が割り当てられます。

表 14.4 に割り込みベクタテーブルを示します。**表 14.4** の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称(モジュールシンボル)を示します
名称	割り込み要因の名称(略称)を示します
ベクタ番号	割り込みベクタ番号を示します
ベクタアドレスオフセット	INTBレジスタに設定したアドレスからのオフセット値を示します
割り込み検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPUへの割り込み要因に使用できる割り込み要因を“○”で示します
DTC起動	DTCの起動要因に使用できる割り込み要因を“○”で示します
DMAC起動	DMACの起動要因に使用できる割り込み要因を“○”で示します
SSBY復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
ACS復帰	全モジュールクロックストップモードからの復帰要因を“○”で示します
IER	各割り込みベクタ番号に対応するIERレジスタのビットを示します
IPR	各割り込み要因に対応するIPRレジスタを示します
DTCER	各DTC起動要因に対応するDTCERレジスタを示します

表14.4　割り込みベクタテーブル (1 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	1	0004h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	2	0008h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	3	000Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	4	0010h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	5	0014h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	6	0018h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	7	001Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	8	0020h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	9	0024h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	10	0028h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	11	002Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	12	0030h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	13	0034h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	14	0038h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	15	003Ch	—	×	×	×	×	×	—	—	—
BSC	BUSERR	16	0040h	レベル	○	×	×	×	×	IER02.IEN0	IPR000	—
ICU (注1)	GROUPIE0	17	0044h	レベル	○	×	×	×	×	IER02.IEN1	IPR000	—
RAM	RAMERR (注2)	18	0048h	レベル	○	×	×	×	×	IER02.IEN2	IPR000	—
—	予約	19	004Ch	—	×	×	×	×	×	—	—	—
—	予約	20	0050h	—	×	×	×	×	×	—	—	—
FCU	FIFERR	21	0054h	レベル	○	×	×	×	×	IER02.IEN5	IPR001	—
—	予約	22	0058h	—	×	×	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	×	×	×	×	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	×	×	×	×	×	—	—	—
—	予約	25	0064h	—	×	×	×	×	×	—	—	—
ICU	SWINT2	26	0068h	エッジ	○	○	×	×	×	IER03.IEN2	IPR003	DTCER026
	SWINT	27	006Ch	エッジ	○	○	×	×	×	IER03.IEN3		DTCER027
CMT0	CMI0 (OS用)	28	0070h	エッジ	○	○	○	×	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	○	×	×	IER03.IEN5	IPR005	DTCER029
CMT2	CMI2	30	0078h	エッジ	○	○	○	×	×	IER03.IEN6	IPR006	DTCER030
CMT3	CMI3	31	007Ch	エッジ	○	○	○	×	×	IER03.IEN7	IPR007	DTCER031
—	予約	32	0080h	—	×	×	×	×	×	—	—	—
—	予約	33	0084h	—	×	×	×	×	×	—	—	—
USB0	D0FIFO0	34	0088h	エッジ	○	○	○	×	×	IER04.IEN2	IPR034	DTCER034
	D1FIFO0	35	008Ch	エッジ	○	○	○	×	×	IER04.IEN3	IPR035	DTCER035
—	予約	36	0090h	—	×	×	×	×	×	—	—	—
—	予約	37	0094h	—	×	×	×	×	×	—	—	—
RSPI0	SPRI0	38	0098h	エッジ	○	○	○	×	×	IER04.IEN6	IPR038	DTCER038
	SPTI0	39	009Ch	エッジ	○	○	○	×	×	IER04.IEN7	IPR039	DTCER039
—	予約	40	00A0h	—	×	×	×	×	×	—	—	—
—	予約	41	00A4h	—	×	×	×	×	×	—	—	—
—	予約	42	00A8h	—	×	×	×	×	×	—	—	—
—	予約	43	00ACh	—	×	×	×	×	×	—	—	—
—	予約	44	00B0h	—	×	×	×	×	×	—	—	—

表14.4　割り込みベクタテーブル (2 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	予約	45	00B4h	—	×	×	×	×	×	—	—	—
—	予約	46	00B8h	—	×	×	×	×	×	—	—	—
—	予約	47	00BCh	—	×	×	×	×	×	—	—	—
—	予約	48	00C0h	—	×	×	×	×	×	—	—	—
—	予約	49	00C4h	—	×	×	×	×	×	—	—	—
—	予約	50	00C8h	—	×	×	×	×	×	—	—	—
—	予約	51	00CCh	—	×	×	×	×	×	—	—	—
RIIC0	RXI0	52	00D0h	エッジ	○	○	○	×	×	IER06.IEN4	IPR052	DTCER052
	TXI0	53	00D4h	エッジ	○	○	○	×	×	IER06.IEN5	IPR053	DTCER053
—	予約	54	00D8h	—	×	×	×	×	×	—	—	—
—	予約	55	00DCh	—	×	×	×	×	×	—	—	—
—	予約	56	00E0h	—	×	×	×	×	×	—	—	—
—	予約	57	00E4h	—	×	×	×	×	×	—	—	—
—	予約	58	00E8h	—	×	×	×	×	×	—	—	—
—	予約	59	00ECh	—	×	×	×	×	×	—	—	—
SCI1	RXI1	60	00F0h	エッジ	○	○	○	×	×	IER07.IEN4	IPR060	DTCER060
	TXI1	61	00F4h	エッジ	○	○	○	×	×	IER07.IEN5	IPR061	DTCER061
—	予約	62	00F8h	—	×	×	×	×	×	—	—	—
—	予約	63	00FCh	—	×	×	×	×	×	—	—	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	○	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	○	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/レベル	○	○	○	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/レベル	○	○	○	○	○	IER08.IEN7	IPR071	DTCER071
	IRQ8	72	0120h	エッジ/レベル	○	○	○	○	○	IER09.IEN0	IPR072	DTCER072
	IRQ9	73	0124h	エッジ/レベル	○	○	○	○	○	IER09.IEN1	IPR073	DTCER073
	IRQ10	74	0128h	エッジ/レベル	○	○	○	○	○	IER09.IEN2	IPR074	DTCER074
	IRQ11	75	012Ch	エッジ/レベル	○	○	○	○	○	IER09.IEN3	IPR075	DTCER075
	IRQ12	76	0130h	エッジ/レベル	○	○	○	○	○	IER09.IEN4	IPR076	DTCER076
	IRQ13	77	0134h	エッジ/レベル	○	○	○	○	○	IER09.IEN5	IPR077	DTCER077
	IRQ14	78	0138h	エッジ/レベル	○	○	○	○	○	IER09.IEN6	IPR078	DTCER078
	IRQ15	79	013Ch	エッジ/レベル	○	○	○	○	○	IER09.IEN7	IPR079	DTCER079
—	予約	80	0140h	—	×	×	×	×	×	—	—	—

表14.4　割り込みベクタテーブル (3 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	予約	81	0144h	—	×	×	×	×	×	—	—	—
—	予約	82	0148h	—	×	×	×	×	×	—	—	—
—	予約	83	014Ch	—	×	×	×	×	×	—	—	—
SCI5	RXI5	84	0150h	エッジ	○	○	○	×	×	IER0A.IEN4	IPR084	DTCER084
	TXI5	85	0154h	エッジ	○	○	○	×	×	IER0A.IEN5	IPR085	DTCER085
SCI6	RXI6	86	0158h	エッジ	○	○	○	×	×	IER0A.IEN6	IPR086	DTCER086
	TXI6	87	015Ch	エッジ	○	○	○	×	×	IER0A.IEN7	IPR087	DTCER087
LVD1	LVD1	88	0160h	エッジ	○	×	×	○	○	IER0B.IEN0	IPR088	—
LVD2	LVD2	89	0164h	エッジ	○	×	×	○	○	IER0B.IEN1	IPR089	—
USB0	USBR0	90	0168h	レベル	○	×	×	○	○	IER0B.IEN2	IPR090	—
—	予約	91	016Ch	—	×	×	×	×	×	—	—	—
—	予約	92	0170h	—	×	×	×	×	×	—	—	—
—	予約	93	0174h	—	×	×	×	×	×	—	—	—
—	予約	94	0178h	—	×	×	×	×	×	—	—	—
IWDT	IWUNI (注2)	95	017Ch	エッジ	○	×	×	○	○	IER0B.IEN7	IPR095	—
WDT	WUNI (注2)	96	0180h	エッジ	○	×	×	×	×	IER0C.IEN0	IPR096	—
—	予約	97	0184h	—	×	×	×	×	×	—	—	—
—	予約	98	0188h	—	×	×	×	×	×	—	—	—
—	予約	99	018Ch	—	×	×	×	×	×	—	—	—
SCI8	RXI8	100	0190h	エッジ	○	○	○	×	×	IER0C.IEN4	IPR100	DTCER100
	TXI8	101	0194h	エッジ	○	○	○	×	×	IER0C.IEN5	IPR101	DTCER101
SCI9	RXI9	102	0198h	エッジ	○	○	○	×	×	IER0C.IEN6	IPR102	DTCER102
	TXI9	103	019Ch	エッジ	○	○	○	×	×	IER0C.IEN7	IPR103	DTCER103
—	予約	104	01A0h	—	×	×	×	×	×	—	—	—
—	予約	105	01A4h	—	×	×	×	×	×	—	—	—
ICU (注1)	GROUPBE0	106	01A8h	レベル	○	×	×	×	×	IER0D.IEN2	IPR106	—
	GROUPBL2	107	01ACh	レベル	○	×	×	×	×	IER0D.IEN3	IPR107	—
	予約	108	01B0h	—	×	×	×	×	×	—	—	—
	予約	109	01B4h	—	×	×	×	×	×	—	—	—
	GROUPBL0	110	01B8h	レベル	○	×	×	×	×	IER0D.IEN6	IPR110	—
	GROUPBL1	111	01BCh	レベル	○	×	×	×	×	IER0D.IEN7	IPR111	—
	GROUPAL0	112	01C0h	レベル	○	×	×	×	×	IER0E.IEN0	IPR112	—
	GROUPAL1	113	01C4h	レベル	○	×	×	×	×	IER0E.IEN1	IPR113	—
SCI11	RXI11	114	01C8h	エッジ	○	○	○	×	×	IER0E.IEN2	IPR114	DTCER114
	TXI11	115	01CCh	エッジ	○	○	○	×	×	IER0E.IEN3	IPR115	DTCER115
SCI12	RXI12	116	01D0h	エッジ	○	○	○	×	×	IER0E.IEN4	IPR116	DTCER116
	TXI12	117	01D4h	エッジ	○	○	○	×	×	IER0E.IEN5	IPR117	DTCER117
—	予約	118	01D8h	—	×	×	×	×	×	—	—	—
—	予約	119	01DCh	—	×	×	×	×	×	—	—	—
DMAC	DMAC0I	120	01E0h	エッジ	○	○	×	×	×	IER0F.IEN0	IPR120	DTCER120
	DMAC1I	121	01E4h	エッジ	○	○	×	×	×	IER0F.IEN1	IPR121	DTCER121
	DMAC2I	122	01E8h	エッジ	○	○	×	×	×	IER0F.IEN2	IPR122	DTCER122
	DMAC3I	123	01ECh	エッジ	○	○	×	×	×	IER0F.IEN3	IPR123	DTCER123
	DMAC74I	124	01F0h	レベル	○	×	×	×	×	IER0F.IEN4	IPR124	—
OST	OSTDI (注2)	125	01F4h	エッジ	○	×	×	×	×	IER0F.IEN5	IPR125	—

表14.4　割り込みベクタテーブル (4 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	予約	126	01F8h	—	×	×	×	×	×	—	—	—
—	予約	127	01FCh	—	×	×	×	×	×	—	—	—
S12AD	S12ADI	128	0200h	エッジ	○	○	○	×	×	IER10.IEN0	IPR128	DTCER128
	S12GBADI	129	0204h	エッジ	○	○	○	×	×	IER10.IEN1	IPR129	DTCER129
	S12GCADI	130	0208h	エッジ	○	○	○	×	×	IER10.IEN2	IPR130	DTCER130
—	予約	131	020Ch	—	×	×	×	×	×	—	—	—
S12AD1	S12ADI1	132	0210h	エッジ	○	○	○	×	×	IER10.IEN4	IPR132	DTCER132
	S12GBADI1	133	0214h	エッジ	○	○	○	×	×	IER10.IEN5	IPR133	DTCER133
	S12GCADI1	134	0218h	エッジ	○	○	○	×	×	IER10.IEN6	IPR134	DTCER134
—	予約	135	021Ch	—	×	×	×	×	×	—	—	—
S12AD2	S12ADI2	136	0220h	エッジ	○	○	○	×	×	IER11.IEN0	IPR136	DTCER136
	S12GBADI2	137	0224h	エッジ	○	○	○	×	×	IER11.IEN1	IPR137	DTCER137
	S12GCADI2	138	0228h	エッジ	○	○	○	×	×	IER11.IEN2	IPR138	DTCER138
—	予約	139	022Ch	—	×	×	×	×	×	—	—	—
—	予約	140	0230h	—	×	×	×	×	×	—	—	—
—	予約	141	0234h	—	×	×	×	×	×	—	—	—
—	予約	142	0238h	—	×	×	×	×	×	—	—	—
—	予約	143	023Ch	—	×	×	×	×	×	—	—	—
—	予約	144	0240h	—	×	×	×	×	×	—	—	—
—	予約	145	0244h	—	×	×	×	×	×	—	—	—
TMR0	CMIA0	146	0248h	エッジ	○	○	×	×	○	IER12.IEN2	IPR146	DTCER146
	CMIB0	147	024Ch	エッジ	○	○	×	×	○	IER12.IEN3		DTCER147
	OVI0	148	0250h	エッジ	○	×	×	×	○	IER12.IEN4		—
TMR1	CMIA1	149	0254h	エッジ	○	○	×	×	○	IER12.IEN5	IPR149	DTCER149
	CMIB1	150	0258h	エッジ	○	○	×	×	○	IER12.IEN6		DTCER150
	OVI1	151	025Ch	エッジ	○	×	×	×	○	IER12.IEN7		—
TMR2	CMIA2	152	0260h	エッジ	○	○	×	×	○	IER13.IEN0	IPR152	DTCER152
	CMIB2	153	0264h	エッジ	○	○	×	×	○	IER13.IEN1		DTCER153
	OVI2	154	0268h	エッジ	○	×	×	×	○	IER13.IEN2		—
TMR3	CMIA3	155	026Ch	エッジ	○	○	×	×	○	IER13.IEN3	IPR155	DTCER155
	CMIB3	156	0270h	エッジ	○	○	×	×	○	IER13.IEN4		DTCER156
	OVI3	157	0274h	エッジ	○	×	×	×	○	IER13.IEN5		—
TMR4	CMIA4	158	0278h	エッジ	○	○	×	×	×	IER13.IEN6	IPR158	DTCER158
	CMIB4	159	027Ch	エッジ	○	○	×	×	×	IER13.IEN7		DTCER159
	OVI4	160	0280h	エッジ	○	×	×	×	×	IER14.IEN0		—
TMR5	CMIA5	161	0284h	エッジ	○	○	×	×	×	IER14.IEN1	IPR161	DTCER161
	CMIB5	162	0288h	エッジ	○	○	×	×	×	IER14.IEN2		DTCER162
	OVI5	163	028Ch	エッジ	○	×	×	×	×	IER14.IEN3		—
TMR6	CMIA6	164	0290h	エッジ	○	○	×	×	×	IER14.IEN4	IPR164	DTCER164
	CMIB6	165	0294h	エッジ	○	○	×	×	×	IER14.IEN5		DTCER165
	OVI6	166	0298h	エッジ	○	×	×	×	×	IER14.IEN6		—
TMR7	CMIA7	167	029Ch	エッジ	○	○	×	×	×	IER14.IEN7	IPR167	DTCER167
	CMIB7	168	02A0h	エッジ	○	○	×	×	×	IER15.IEN0		DTCER168
	OVI7	169	02A4h	エッジ	○	×	×	×	×	IER15.IEN1		—

表14.4　割り込みベクタテーブル (5 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
CAN0	RXF0	170	02A8h	エッジ	○	×	×	×	×	IER15.IEN2	IPR170	—
	TXF0	171	02ACh	エッジ	○	×	×	×	×	IER15.IEN3		—
	RXM0	172	02B0h	エッジ	○	×	×	×	×	IER15.IEN4		—
	TXM0	173	02B4h	エッジ	○	×	×	×	×	IER15.IEN5		—
USB0	USBI0	174	02B8h	エッジ	○	×	×	×	×	IER15.IEN6	IPR174	—
ELC	ELSR18I	175	02BCh	エッジ	○	○	○	×	×	IER15.IEN7	IPR175	DTCER175
	ELSR19I	176	02C0h	エッジ	○	○	○	×	×	IER16.IEN0	IPR176	DTCER176
TSIP	RD	177	02C4h	エッジ	○	○	○	×	×	IER16.IEN1	IPR177	DTCER177
	WR	178	02C8h	エッジ	○	○	○	×	×	IER16.IEN2		DTCER178
	ERR	179	02CCh	エッジ	○	×	×	×	×	IER16.IEN3	IPR179	—
CMPC0	CMPC0	180	02D0h	エッジ	○	○	○	×	×	IER16.IEN4	IPR180	DTCER180
CMPC1	CMPC1	181	02D4h	エッジ	○	○	○	×	×	IER16.IEN5	IPR181	DTCER181
CMPC2	CMPC2	182	02D8h	エッジ	○	○	○	×	×	IER16.IEN6	IPR182	DTCER182
CMPC3	CMPC3	183	02DCh	エッジ	○	○	○	×	×	IER16.IEN7	IPR183	DTCER183
CMPC4	CMPC4	184	02E0h	エッジ	○	○	○	×	×	IER17.IEN0	IPR184	DTCER184
CMPC5	CMPC5	185	02E4h	エッジ	○	○	○	×	×	IER17.IEN1	IPR185	DTCER185
—	予約	186	02E8h	—	×	×	×	×	×	—	—	—
—	予約	187	02ECh	—	×	×	×	×	×	—	—	—
—	予約	188	02F0h	—	×	×	×	×	×	—	—	—
—	予約	189	02F4h	—	×	×	×	×	×	—	—	—
—	予約	190	02F8h	—	×	×	×	×	×	—	—	—
—	予約	191	02FCh	—	×	×	×	×	×	—	—	—
—	予約	192	0300h	—	×	×	×	×	×	—	—	—
—	予約	193	0304h	—	×	×	×	×	×	—	—	—
—	予約	194	0308h	—	×	×	×	×	×	—	—	—
—	予約	195	030Ch	—	×	×	×	×	×	—	—	—
—	予約	196	0310h	—	×	×	×	×	×	—	—	—
—	予約	197	0314h	—	×	×	×	×	×	—	—	—
—	予約	198	0318h	—	×	×	×	×	×	—	—	—
—	予約	199	031Ch	—	×	×	×	×	×	—	—	—
—	予約	200	0320h	—	×	×	×	×	×	—	—	—
—	予約	201	0324h	—	×	×	×	×	×	—	—	—
—	予約	202	0328h	—	×	×	×	×	×	—	—	—
—	予約	203	032Ch	—	×	×	×	×	×	—	—	—
—	予約	204	0330h	—	×	×	×	×	×	—	—	—
—	予約	205	0334h	—	×	×	×	×	×	—	—	—
—	予約	206	0338h	—	×	×	×	×	×	—	—	—
—	予約	207	033Ch	—	×	×	×	×	×	—	—	—
PERIA (選択型割り込みA(注3))	INTA208	208	0340h	エッジ	○	○	○	×	×	IER1A.IEN0	IPR208	DTCER208
	INTA209	209	0344h	エッジ	○	○	○	×	×	IER1A.IEN1	IPR209	DTCER209
	INTA210	210	0348h	エッジ	○	○	○	×	×	IER1A.IEN2	IPR210	DTCER210
	INTA211	211	034Ch	エッジ	○	○	○	×	×	IER1A.IEN3	IPR211	DTCER211
	INTA212	212	0350h	エッジ	○	○	○	×	×	IER1A.IEN4	IPR212	DTCER212
	INTA213	213	0354h	エッジ	○	○	○	×	×	IER1A.IEN5	IPR213	DTCER213
	INTA214	214	0358h	エッジ	○	○	○	×	×	IER1A.IEN6	IPR214	DTCER214

表14.4　割り込みベクタテーブル (6 / 6)

割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
PERIA (選択型割り込みA(注3))	INTA215	215	035Ch	エッジ	○	○	○	×	×	IER1A.IEN7	IPR215	DTCER215
	INTA216	216	0360h	エッジ	○	○	○	×	×	IER1B.IEN0	IPR216	DTCER216
	INTA217	217	0364h	エッジ	○	○	○	×	×	IER1B.IEN1	IPR217	DTCER217
	INTA218	218	0368h	エッジ	○	○	○	×	×	IER1B.IEN2	IPR218	DTCER218
	INTA219	219	036Ch	エッジ	○	○	○	×	×	IER1B.IEN3	IPR219	DTCER219
	INTA220	220	0370h	エッジ	○	○	○	×	×	IER1B.IEN4	IPR220	DTCER220
	INTA221	221	0374h	エッジ	○	○	○	×	×	IER1B.IEN5	IPR221	DTCER221
	INTA222	222	0378h	エッジ	○	○	○	×	×	IER1B.IEN6	IPR222	DTCER222
	INTA223	223	037Ch	エッジ	○	○	○	×	×	IER1B.IEN7	IPR223	DTCER223
	INTA224	224	0380h	エッジ	○	○	○	×	×	IER1C.IEN0	IPR224	DTCER224
	INTA225	225	0384h	エッジ	○	○	○	×	×	IER1C.IEN1	IPR225	DTCER225
	INTA226	226	0388h	エッジ	○	○	○	×	×	IER1C.IEN2	IPR226	DTCER226
	INTA227	227	038Ch	エッジ	○	○	○	×	×	IER1C.IEN3	IPR227	DTCER227
	INTA228	228	0390h	エッジ	○	○	○	×	×	IER1C.IEN4	IPR228	DTCER228
	INTA229	229	0394h	エッジ	○	○	○	×	×	IER1C.IEN5	IPR229	DTCER229
	INTA230	230	0398h	エッジ	○	○	○	×	×	IER1C.IEN6	IPR230	DTCER230
	INTA231	231	039Ch	エッジ	○	○	○	×	×	IER1C.IEN7	IPR231	DTCER231
	INTA232	232	03A0h	エッジ	○	○	○	×	×	IER1D.IEN0	IPR232	DTCER232
	INTA233	233	03A4h	エッジ	○	○	○	×	×	IER1D.IEN1	IPR233	DTCER233
	INTA234	234	03A8h	エッジ	○	○	○	×	×	IER1D.IEN2	IPR234	DTCER234
	INTA235	235	03ACh	エッジ	○	○	○	×	×	IER1D.IEN3	IPR235	DTCER235
	INTA236	236	03B0h	エッジ	○	○	○	×	×	IER1D.IEN4	IPR236	DTCER236
	INTA237	237	03B4h	エッジ	○	○	○	×	×	IER1D.IEN5	IPR237	DTCER237
	INTA238	238	03B8h	エッジ	○	○	○	×	×	IER1D.IEN6	IPR238	DTCER238
	INTA239	239	03BCh	エッジ	○	○	○	×	×	IER1D.IEN7	IPR239	DTCER239
	INTA240	240	03C0h	エッジ	○	○	○	×	×	IER1E.IEN0	IPR240	DTCER240
	INTA241	241	03C4h	エッジ	○	○	○	×	×	IER1E.IEN1	IPR241	DTCER241
	INTA242	242	03C8h	エッジ	○	○	○	×	×	IER1E.IEN2	IPR242	DTCER242
	INTA243	243	03CCh	エッジ	○	○	○	×	×	IER1E.IEN3	IPR243	DTCER243
	INTA244	244	03D0h	エッジ	○	○	○	×	×	IER1E.IEN4	IPR244	DTCER244
	INTA245	245	03D4h	エッジ	○	○	○	×	×	IER1E.IEN5	IPR245	DTCER245
	INTA246	246	03D8h	エッジ	○	○	○	×	×	IER1E.IEN6	IPR246	DTCER246
	INTA247	247	03DCh	エッジ	○	○	○	×	×	IER1E.IEN7	IPR247	DTCER247
	INTA248	248	03E0h	エッジ	○	○	○	×	×	IER1F.IEN0	IPR248	DTCER248
	INTA249	249	03E4h	エッジ	○	○	○	×	×	IER1F.IEN1	IPR249	DTCER249
	INTA250	250	03E8h	エッジ	○	○	○	×	×	IER1F.IEN2	IPR250	DTCER250
	INTA251	251	03ECh	エッジ	○	○	○	×	×	IER1F.IEN3	IPR251	DTCER251
	INTA252	252	03F0h	エッジ	○	○	○	×	×	IER1F.IEN4	IPR252	DTCER252
	INTA253	253	03F4h	エッジ	○	○	○	×	×	IER1F.IEN5	IPR253	DTCER253
	INTA254	254	03F8h	エッジ	○	○	○	×	×	IER1F.IEN6	IPR254	DTCER254
	INTA255	255	03FCh	エッジ	○	○	○	×	×	IER1F.IEN7	IPR255	DTCER255

注.　本表は最大仕様の割り込みベクタテーブルを示しています。製品ごとの割り込みベクタは、表1.2に示した機能に対応します。詳細は、「表1.2　パッケージ別機能比較一覧」を参照してください。
注1.　グループ割り込みの要因は、「表14.6　グループ割り込み要因の一覧」を参照してください。
注2.　対応するノンマスカブル割り込み許可ビットが“0”(禁止)の場合です。
注3.　選択型割り込みAの割り込み要因は「表14.3　選択型割り込みA要因一覧」を参照してください。なお、要因によっては、

DTC、DMACを起動できないものがありますので注意してください。

14.3.2 高速割り込みのベクタ領域

高速割り込みに設定された割り込みが使用するベクタ領域は、CPU の高速割り込みベクタレジスタ (FINTV) です。FINTV レジスタは高速割り込みを許可する前に設定してください。

14.3.3 ノンマスカブル割り込みのベクタ領域

ノンマスカブル割り込みが使用するベクタ領域は、例外ベクタテーブルにあります。

例外ベクタテーブルは、CPU の例外テーブルレジスタ (EXTB) に設定したアドレスを先頭とする 128 バイト (4 バイト × 32 要因) の領域に配置されます。EXTB レジスタはノンマスカブル割り込みを許可する前に設定してください。また、EXTB レジスタには 4 の倍数を設定してください。

14.4　割り込みの種類

割り込みは、CPU のプロセッサステータスワード (PSW) の I ビットや IPL[3:0] ビットによりマスクが可能なマスカブル割り込みと、それらのビットに関わらず CPU に受け付けられるノンマスカブル割り込みに分類できます。マスカブル割り込みのうち、ベクタ番号 0~207 の割り込み要因は割り当てが固定されていますが、ベクタ番号 208~255 の割り込み要因は、複数の要因から任意の 1 つを選択して割り当てることができます (選択型割り込み)。

なお、本章では、マスカブル割り込みのことを単に「割り込み」と称します。

割り込みの種類を図 14.2 に示します。

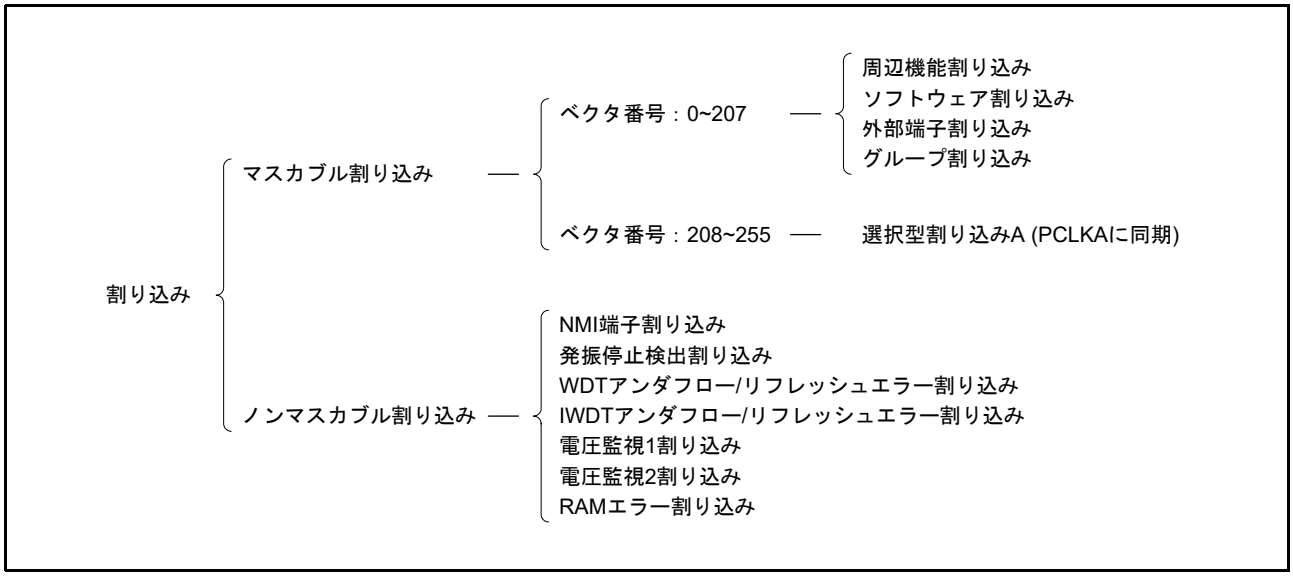


図 14.2　割り込みの種類

14.4.1　周辺機能割り込み

周辺機能による割り込みです。ベクタ番号 0~207 に割り当てられている周辺機能の割り込み要因を、選択型割り込みに割り当てることはできません。選択型割り込みついては「14.4.5　選択型割り込み」を参照してください。

14.4.2　ソフトウェア割り込み

SWINTR.SWINT ビット、SWINT2R.SWINT2 ビットに “1” を書くと、それぞれ SWINT 割り込み、SWINT2 割り込み要求が発生します。

14.4.3　外部端子割り込み

外部端子割り込みは、IRQi 端子 (i = 0 ～ 15) に入力された信号により発生する割り込みです。外部端子割り込みの設定手順については「14.7.4　外部端子割り込みの設定手順」を参照してください。

14.4.4 グループ割り込み

複数の周辺モジュールの割り込み要求 (最大 32 本) をグループ化し、1 つの割り込み要求とした割り込みです。周辺モジュールの動作クロック (ICLK、PCLKB または PCLKA) と、割り込み検出方法 (エッジ検出またはレベル検出) によって、それぞれ異なるグループにグループ化されています。

(1) グループ割り込みの種類

グループ割り込みの種類を表 14.5 に示します。

表 14.5 グループ割り込みの種類

割り込みベクタ番号	割り込み名称	グループ化されている割り込み要因	
		周辺モジュールの動作クロック	割り込み検出方法
17	GROUPIE0	ICLK	エッジ検出
106	GROUPBE0	PCLKB	
110	GROUPBL0		レベル検出
111	GROUPBL1		
107	GROUPBL2		
112	GROUPAL0	PCLKA	
113	GROUPAL1		

(2) グループ割り込みの構成

グループ割り込み要求許可レジスタ (GENIE0, GENBE0, GENBL0, GENBL1, GENBL2, GENAL0, GENAL1 (注 1)) の ENj ビット (j = 0 ～ 31) が “1” のとき、対応する割り込み要求が発生すると、グループ割り込み要求レジスタ (GRPIE0, GRPBE0, GRPBL0, GRPBL1, GRPBL2, GRPAL0, GRPAL1 (注 1)) の ISj フラグが “1” になります。

グループ割り込みの構成を図 14.3 に示します。

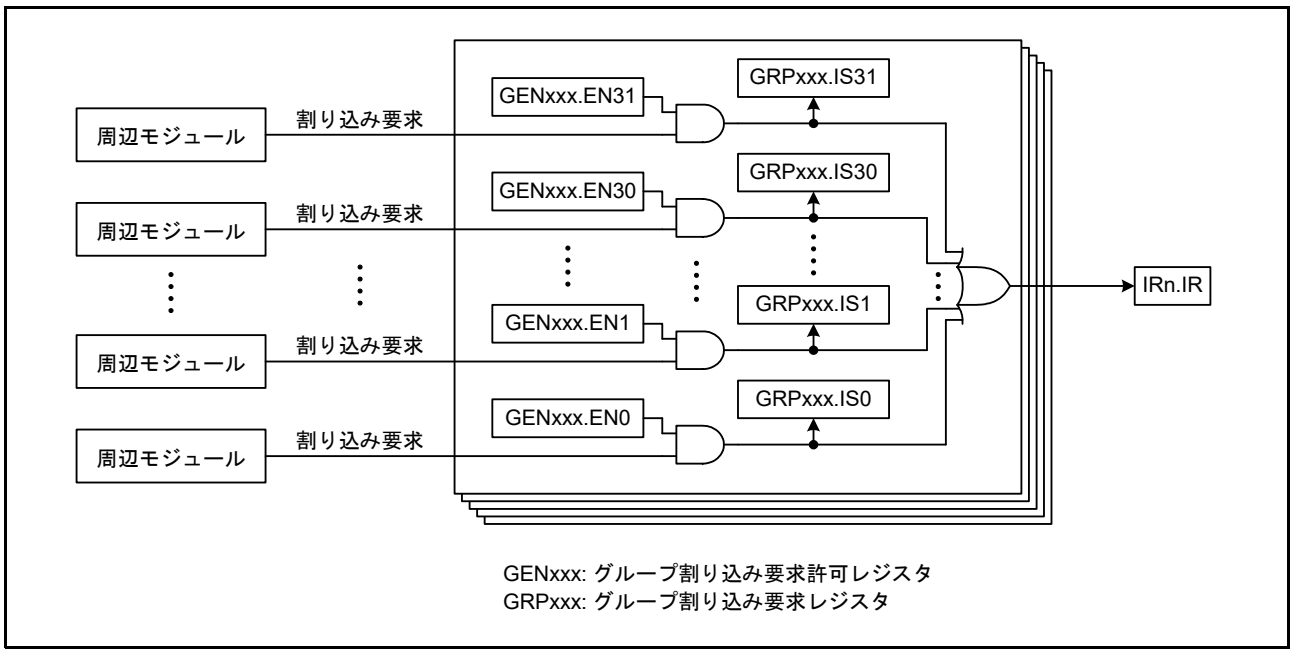


図 14.3 グループ割り込みの構成 (n = 17, 106, 107, 110 ～ 113)

注 1. 割り込み要因が割り当てられていないグループのレジスタは存在しません。

(3) グループ化された割り込み要因

グループ割り込みに割り当てられた割り込み要因の一覧を表 14.6 に示します。

表14.6　グループ割り込み要因の一覧 (1 / 2)

グループ	番号	割り込み要求発生元	名称	割り込み要求許可ビット	割り込みステータスフラグ	割り込み要因クリアビット	ベクタ番号 (IRn.IR)
IE0	0~31	予約	—	—	—	—	17
BE0	0	CAN0	ERS0 (エラー割り込み)	GENBE0.EN0	GRPBE0.IS0	GCRBE0.CLR0	106
	1~31	予約	—	—	—	—	
BL0	0, 1	予約	—	—	—	—	110
	2	SCI1	TEI1 (送信完了)	GENBL0.EN2	GRPBL0.IS2	—	
	3		ERI1 (受信エラー)	GENBL0.EN3	GRPBL0.IS3	—	
	4~9	予約	—	—	—	—	
	10	SCI5	TEI5 (送信完了)	GENBL0.EN10	GRPBL0.IS10	—	
	11		ERI5 (受信エラー)	GENBL0.EN11	GRPBL0.IS11	—	
	12	SCI6	TEI6 (送信完了)	GENBL0.EN12	GRPBL0.IS12	—	
	13		ERI6 (受信エラー)	GENBL0.EN13	GRPBL0.IS13	—	
	14, 15	予約	—	—	—	—	
	16	SCI12	TEI12 (送信完了)	GENBL0.EN16	GRPBL0.IS16	—	
	17		ERI12 (受信エラー)	GENBL0.EN17	GRPBL0.IS17	—	
	18		SCIX0 (Break Field Low width検出)	GENBL0.EN18	GRPBL0.IS18	—	
	19		SCIX1 (Control Field 0一致) (Control Field 1一致) (プライオリティインタラプトビット検出)	GENBL0.EN19	GRPBL0.IS19	—	
	20		SCIX2 (バス衝突検出)	GENBL0.EN20	GRPBL0.IS20	—	
	21		SCIX3 (有効エッジ検出)	GENBL0.EN21	GRPBL0.IS21	—	
	22~25	予約	—	—	—	—	
	26	CAC	FERRI (周波数エラー)	GENBL0.EN26	GRPBL0.IS26	—	
	27		MENDI (測定終了)	GENBL0.EN27	GRPBL0.IS27	—	
	28		OVFI (オーバフロー割り込み)	GENBL0.EN28	GRPBL0.IS28	—	
	29	DOC	DOPCI (データ演算回路割り込み)	GENBL0.EN29	GRPBL0.IS29	—	
	30, 31	予約	—	—	—	—	

表14.6　グループ割り込み要因の一覧 (2 / 2)

グループ	番号	割り込み要求発生元	名称	割り込み要求許可ビット	割り込みステータスフラグ	割り込み要因クリアビット	ベクタ番号(IRn.IR)
BL1	0	POEG	POEGGAI (グループA割り込み)	GENBL1.EN0	GRPBL1.IS0	—	111
	1		POEGGBI (グループB割り込み)	GENBL1.EN1	GRPBL1.IS1	—	
	2		POEGGCI (グループC割り込み)	GENBL1.EN2	GRPBL1.IS2	—	
	3		POEGGDI (グループD割り込み)	GENBL1.EN3	GRPBL1.IS3	—	
	4~7	予約	—	—	—	—	
	8	POE	OEI5 (アウトプットイネーブル割り込み5)	GENBL1.EN8	GRPBL1.IS8	—	
	9		OEI1 (アウトプットイネーブル割り込み1)	GENBL1.EN9	GRPBL1.IS9	—	
	10		OEI2 (アウトプットイネーブル割り込み2	GENBL1.EN10	GRPBL1.IS10	—	
	11		OEI3 (アウトプットイネーブル割り込み3)	GENBL1.EN11	GRPBL1.IS11	—	
	12		OEI4 (アウトプットイネーブル割り込み4)	GENBL1.EN12	GRPBL1.IS12	—	
	13	RIIC0	TEI0 (送信完了)	GENBL1.EN13	GRPBL1.IS13	—	
	14		EEI0 (通信エラー/通信イベント)	GENBL1.EN14	GRPBL1.IS14	—	
	15~17	予約	—	—	—	—	
	18	S12AD2	S12CMPAI2 (コンペア割り込み)	GENBL1.EN18	GRPBL1.IS18	—	
	19		S12CMPBI2 (コンペア割り込み)	GENBL1.EN19	GRPBL1.IS19	—	
	20	S12AD	S12CMPAI (コンペア割り込み)	GENBL1.EN20	GRPBL1.IS20	—	
	21		S12CMPBI (コンペア割り込み)	GENBL1.EN21	GRPBL1.IS21	—	
	22	S12AD1	S12CMPAI1 (コンペア割り込み)	GENBL1.EN22	GRPBL1.IS22	—	
	23		S12CMPBI1 (コンペア割り込み)	GENBL1.EN23	GRPBL1.IS23	—	
	24	SCI8	TEI8 (送信完了)	GENBL1.EN24	GRPBL1.IS24	—	
	25		ERI8 (受信エラー)	GENBL1.EN25	GRPBL1.IS25	—	
	26	SCI9	TEI9 (送信完了)	GENBL1.EN26	GRPBL1.IS26	—	
	27		ERI9 (受信エラー)	GENBL1.EN27	GRPBL1.IS27	—	
	28~31	予約	—	—	—	—	
BL2	0~31	予約	—	—	—	—	107
AL0	0~11	予約	—	—	—	—	112
	12	SCI11	TEI11 (送信完了)	GENAL0.EN12	GRPAL0.IS12	—	
	13		ERI11 (受信エラー)	GENAL0.EN13	GRPAL0.IS13	—	
	14, 15	予約	—	—	—	—	
	16	RSPI0	SPII0 (アイドル割り込み)	GENAL0.EN16	GRPAL0.IS16	—	
	17		SPEI0 (エラー割り込み)	GENAL0.EN17	GRPAL0.IS17	—	
	18~31	予約	—	—	—	—	
AL1	0~31	予約	—	—	—	—	113

14.4.5　選択型割り込み

割り込みベクタ番号 208 ～ 255 には、複数の周辺モジュールの割り込み要因から任意の 1 つを選択して割り当てることができます。

選択型割り込みの構成を**図 14.4** に示します。

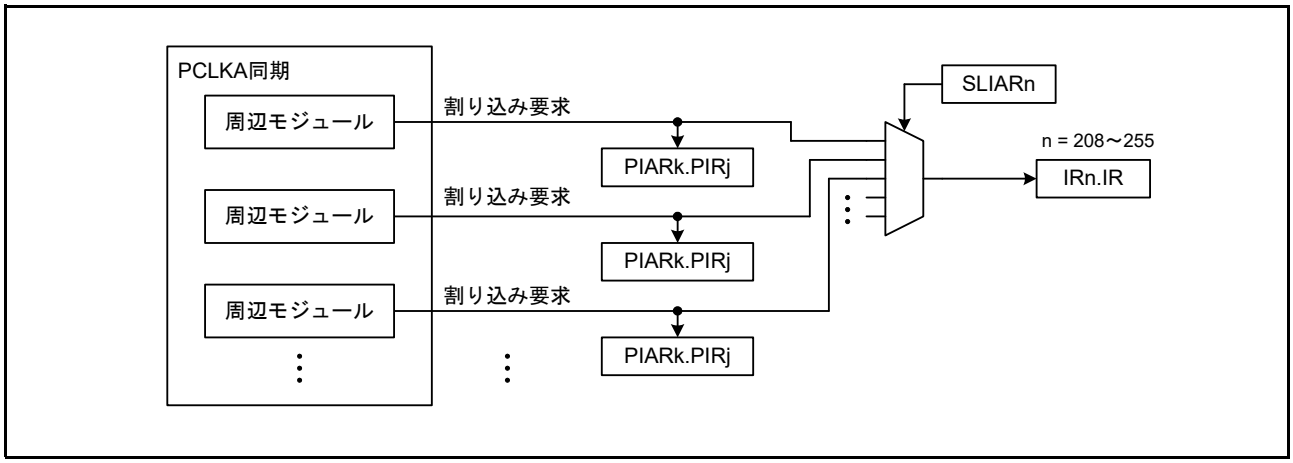


図 14.4 選択型割り込みの構成

14.4.5.1 選択型割り込み A

PCLKA に同期して動作する周辺モジュールの割り込み要因は、割り込みベクタ番号 208 ～ 255 に割り当てることができます。選択型割り込み A の略称は PERIA、割り込みの名称は INTA208 ～ INTA255 で表されます。

選択型割り込み A に割り当てることのできる割り込み要因については「表 14.3 選択型割り込み A 要因一覧」を参照してください。

14.4.6 ノンマスカブル割り込み

ノンマスカブル割り込みには NMI 端子割り込み、発振停止検出割り込み、WDT アンダフロー / リフレッシュエラー割り込み、IWDT アンダフロー / リフレッシュエラー割り込み、電圧監視 1 割り込み、電圧監視 2 割り込み、RAM エラー割り込みがあります。

高速割り込みを含むすべての割り込みの中で最も優先レベルの高い割り込みで、CPU のプロセッサステータスワード (PSW) の I ビット (割り込み許可ビット) や IPL[3:0] ビット (プロセッサ割り込み優先レベル) の状態にかかわらず受け付けられます。

ノンマスカブル割り込みが発生しているかどうかは、NMISR レジスタで確認できます。

ノンマスカブル割り込みの割り込み要求先は CPU のみで、DTC や DMAC を選択することはできません。

14.5 割り込みの検出

割り込み要求の検出方法には、レベル検出とエッジ検出の 2 種類があります。

周辺モジュールからの割り込み要求は、割り込み要因ごとにエッジ検出またはレベル検出のいずれかに決まっています。外部端子割り込みの割り込み要求は、IRQCRi.IRQMD[1:0] ビット (i = 0 ～ 15) で、エッジ検出とレベル検出を切り替えることができます。

各割り込み要因の検出方法は、**「表 14.4 割り込みベクタテーブル」**を参照してください。

グループ割り込みは、割り込み要求の検出方法によって、割り込み要因が分類されています。グループ IE0、BE0 に分類された割り込み要因の割り込み検出方法はエッジ検出、グループ BL0、BL1、BL2、AL0、AL1 に分類された割り込み要因の割り込み検出方法はレベル検出です。ただし、グループ割り込み (GROUPIE0, GROUPBE0, GROUPBL0, GROUPBL1, GROUPBL2, GROUPAL0, GROUPAL1) 自体の割り込み検出方法はレベル検出になります。

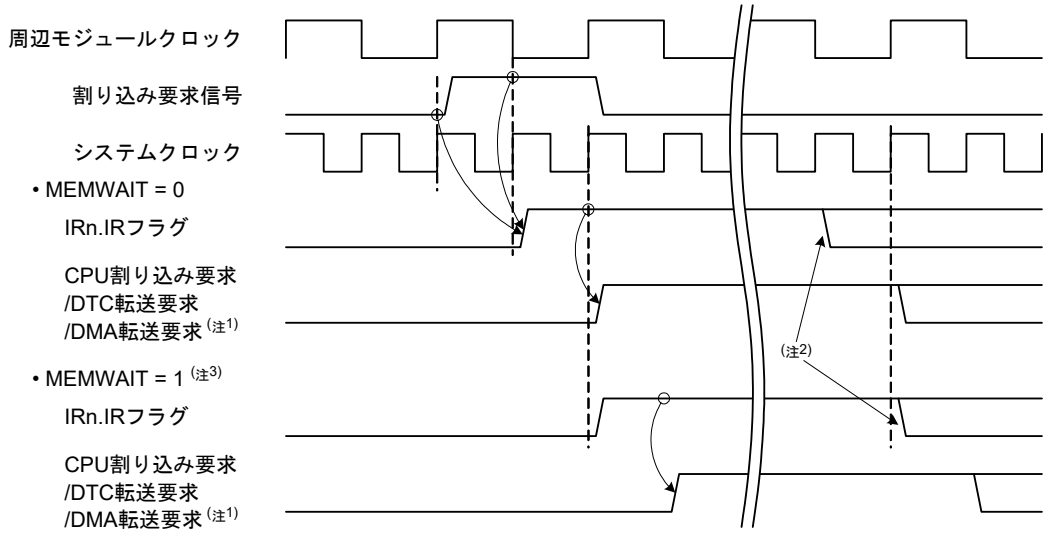
グループ割り込みについては**「14.4.4 グループ割り込み」**を、グループ割り込みの割り込み要求については**「14.5.3 エッジ検出グループ割り込み」**および**「14.5.4 レベル検出グループ割り込み」**を参照してください。

14.5.1 エッジ検出割り込み

エッジ検出割り込みの IRn.IR フラグ (n = 023 ～ 255) の動作を**図 14.5** に示します。

割り込み要求信号の立ち上がりエッジを検出すると IRn.IR フラグが “1” になります。このとき、周辺モジュールの割り込み要求を禁止しても IRn.IR フラグは “0” になりません。CPU が割り込み要求を受け付けるか、DTC/DMAC が転送要求を受け付けると IRn.IR フラグが自動的に “0” になります。ソフトウェアで “0” にする必要はありません。DTC/DMAC による IRn.IR フラグのクリア条件の詳細については**「表 14.7 DTC/DMAC 起動時の動作」**を参照してください。

なお、割り込みベクタ番号 64 ～ 79 の外部端子割り込み、および割り込みベクタ番号 88 ～ 95 の割り込み要因については、割り込み要求の発生から IRn.IR フラグが “1” になるまでの時間が他の割り込みと異なります。外部端子割り込みの場合、IRQi 端子 (i = 0 ～ 15) に信号を入力してから内部遅延 + PCLKB の 2 サイクル分の遅延が発生します。また、割り込みベクタ番号 88 ～ 95 の割り込みの場合、PCLKB の 2 サイクル分の遅延が発生します。



注1. CPU割り込み要求、DTC転送要求、DMA転送要求のいずれか1つを出力します。設定方法は「14.7.3.1 割り込み要求先の設定手順」を参照してください。

注2. CPU割り込み要求の場合、CPUが割り込み要求を受け付けたときに“0”になります。DTC転送要求、DMA転送要求時の“0”になるタイミングは、「表14.7 DTC/DMAC起動時の動作」を参照してください。

注3. 周辺モジュールクロック(PCLKA, PCLKB)の周波数がシステムクロック(ICLK)より低い場合のみ、ICLK 1サイクル分遅れてIRフラグが“1”になります。ただし、ベクタ番号16～27、64～79、88～95、120～124、126、127に割り当てられた割り込みを除きます。

図 14.5 エッジ検出割り込みの IRn.IR フラグの動作

(1) 連続した割り込み要求信号の検出

割り込み要求信号が毎サイクル発生した場合、後続の割り込み要求信号は検出できません。連続した割り込み要求信号を受け付けるには、システムクロックと周辺モジュールクロックのうち周波数が低い方のクロックで 2 サイクル以上の間隔をあけてください。連続した割り込み要求信号を受け付ける間隔を図 14.6 に示します。

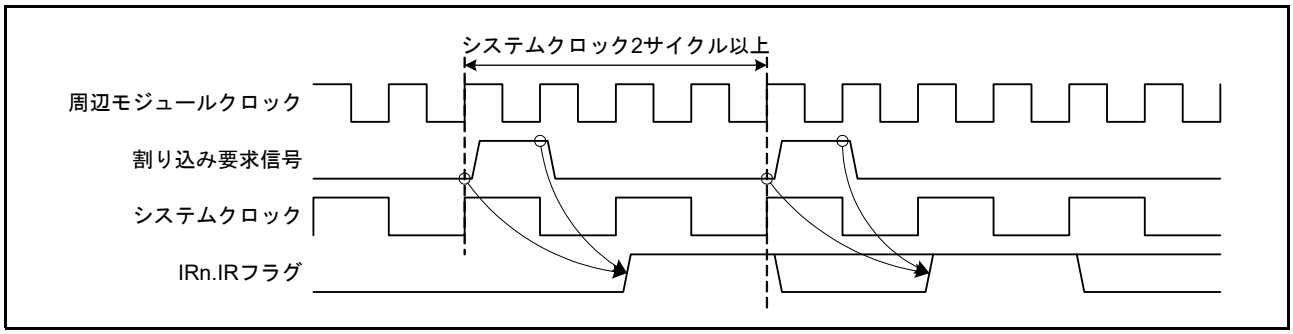


図 14.6 連続した割り込み要求信号の受け付け (システムクロック周波数 < 周辺モジュールクロック周波数の場合)

なお、割り込み要求が発生して IRn.IR フラグ (n = 023 ～ 255) が “1” になっているときに再度発生した割り込み要求は無視されます。

ただし、SCI、RIIC、RSPI の各モジュールについては、送信割り込み要求と受信割り込み要求、バッファアクセス割り込み要求に限り、IRn.IR フラグが “1” のときに発生した割り込み要求もモジュール内部で保持され、IRn.IR フラグが “0” になった後、保持された要求によって再度 IRn.IR フラグが “1” になります。詳細

は、各周辺モジュール章の割り込みの説明を参照してください。

IRn.IR フラグの再セットのタイミングを図 14.7 に示します。

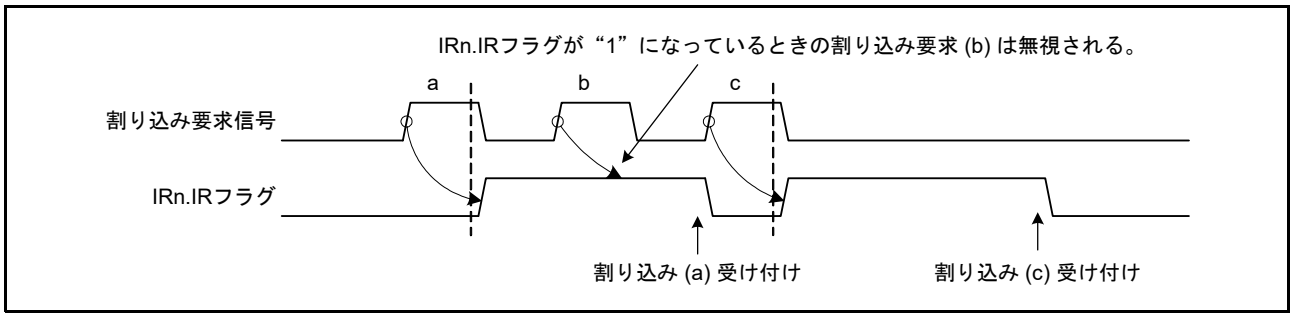


図 14.7 IRn.IR フラグの再セットのタイミング

(2) IRn.IR フラグと割り込み要求許可ビットの関係

IRn.IR フラグが “1” になった後、対応する周辺モジュールの割り込み要求許可ビットを “0” にしても、IRn.IR フラグは “0” になりません (図 14.8)。

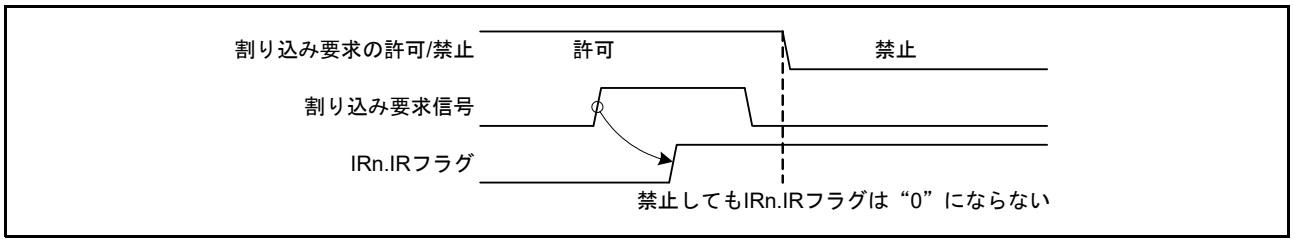


図 14.8 割り込み要求の禁止と IRn.IR フラグの関係

14.5.2 レベル検出割り込み

レベル検出割り込みの割り込み要求信号と、IRn.IR フラグ (n = 016 ～ 124) の動作を図 14.9 に示します。

割り込み要求信号が “1” になっている間、IRn.IR フラグは “1” を保持します。IRn.IR フラグを “0” にするには、対応する周辺モジュールの割り込み要求信号を “0” にする必要があります。対応する周辺モジュールの割り込みステータスフラグを “0” にし、その値が IRn.IR フラグに反映されるだけの時間を待ってから、割り込み処理ルーチンを終了してください。反映待ちの具体的な方法については、「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください。

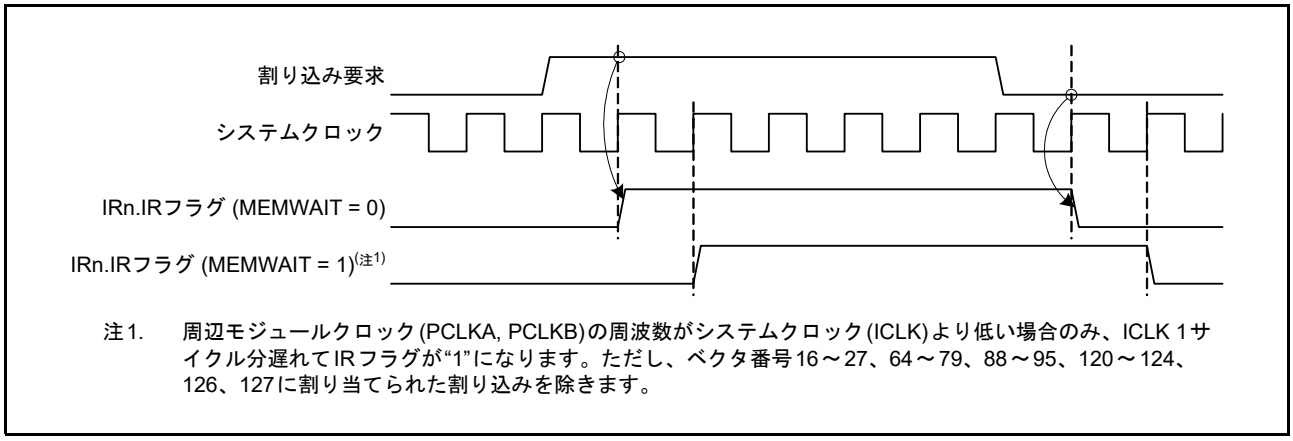


図 14.9 レベル検出割り込みの IRn.IR フラグの動作

レベル検出割り込みの割り込み処理手順の例を図 14.10 に示します。

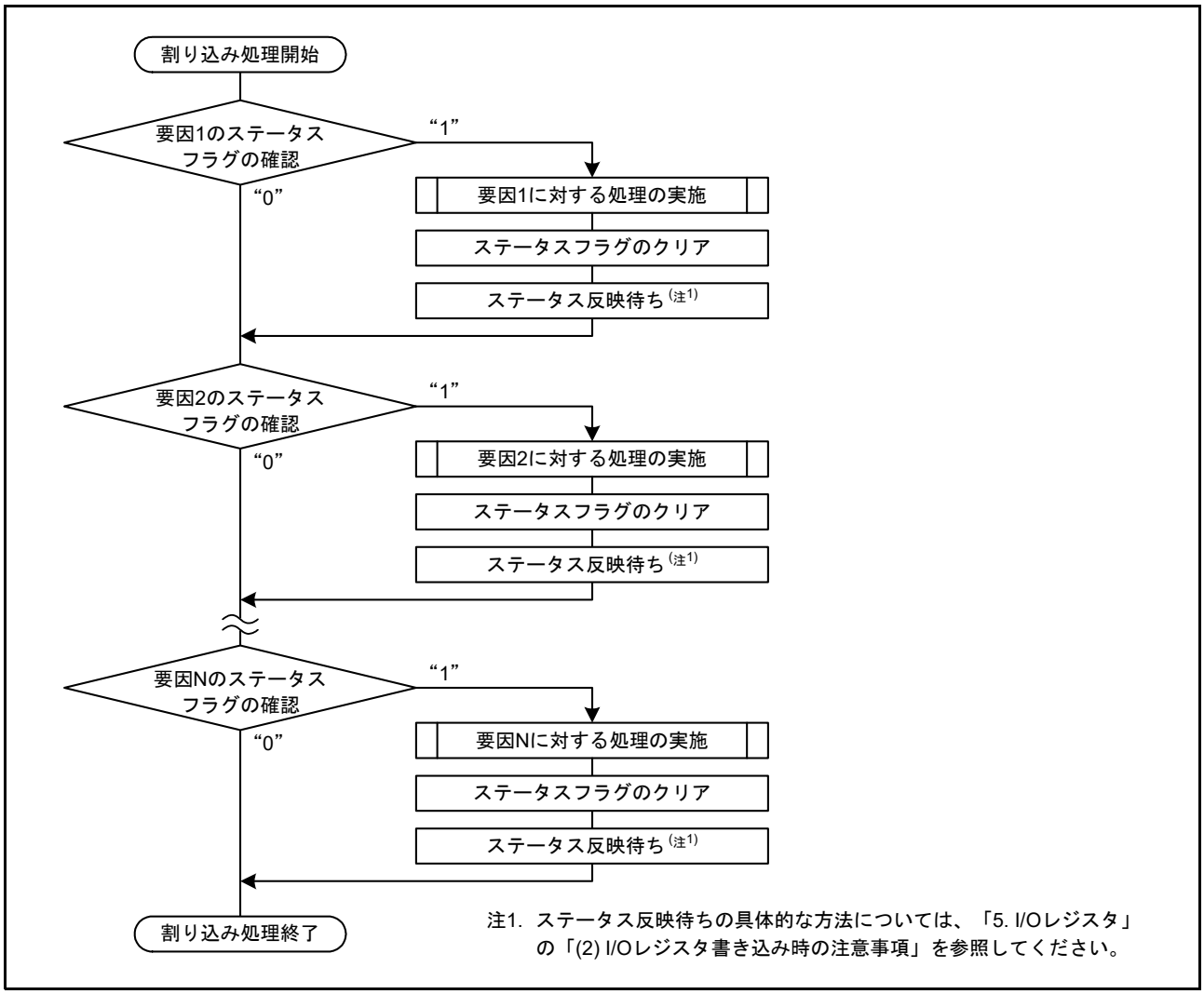


図 14.10 レベル検出割り込みの割り込み処理手順の例 (N 個のステータスフラグがある場合)

14.5.3 エッジ検出グループ割り込み

グループ割り込みのグループ IE0、BE0 には、エッジ検出の割り込み要因がグループ化されています。GROUPIE0 割り込みに対応する IR017.IR フラグ、GROUPBE0 割り込みに対応する IR106.IR フラグの動作は、“1” になるときはエッジ検出と同様ですが、“0” にする方法はレベル検出と同様です。

GENIE0/GENBE0.ENj ビット (j = 0 ～ 31) が “1” のとき、対応する割り込み要求信号の立ち上がりエッジを検出すると、GRPIE0/GRPBE0.ISj フラグと IR017/IR106.IR フラグがともに “1” になります。このとき、周辺モジュールの割り込み要求を禁止しても、GENIE0/GENBE0.ENj ビットを “0” にしても、GRPIE0/GRPBE0.ISj フラグと IR017/IR106.IR フラグは “0” になりません。

GCRIE0/GCRBE0.CLRj ビットを “1” にすると、GRPIE0/GRPBE0.ISj フラグが “0” になり、その結果 IR017/IR106.IR フラグも “0” になります。

エッジ検出グループ割り込みの動作例を図 14.11、図 14.12 に、同一グループ内の複数の割り込み要因から割り込み要求が発生した場合の動作例を図 14.13 に示します。

注 . 割り込み要因が割り当てられていないグループのレジスタは存在しません。

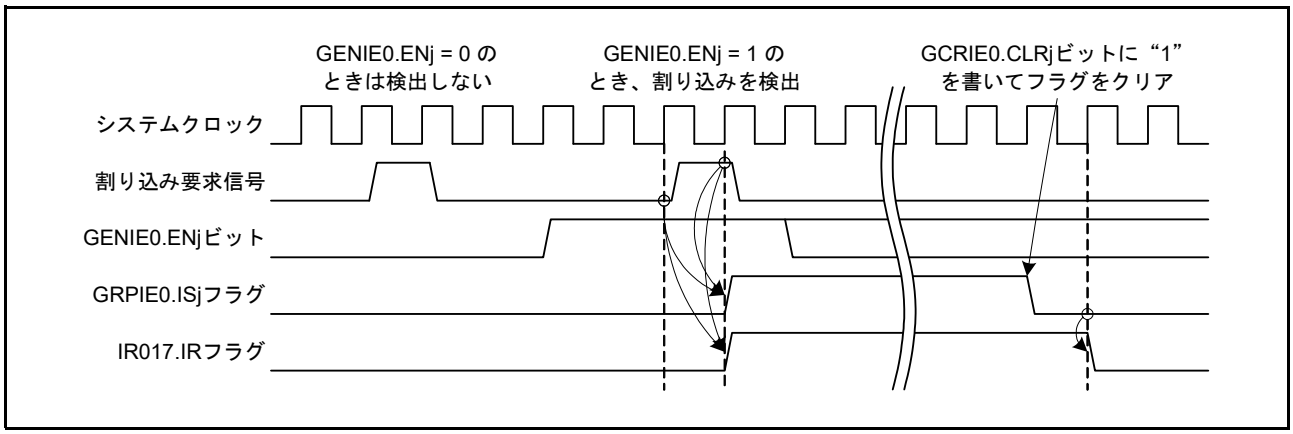


図 14.11 エッジ検出グループ割り込みの動作例 (グループ IE0)

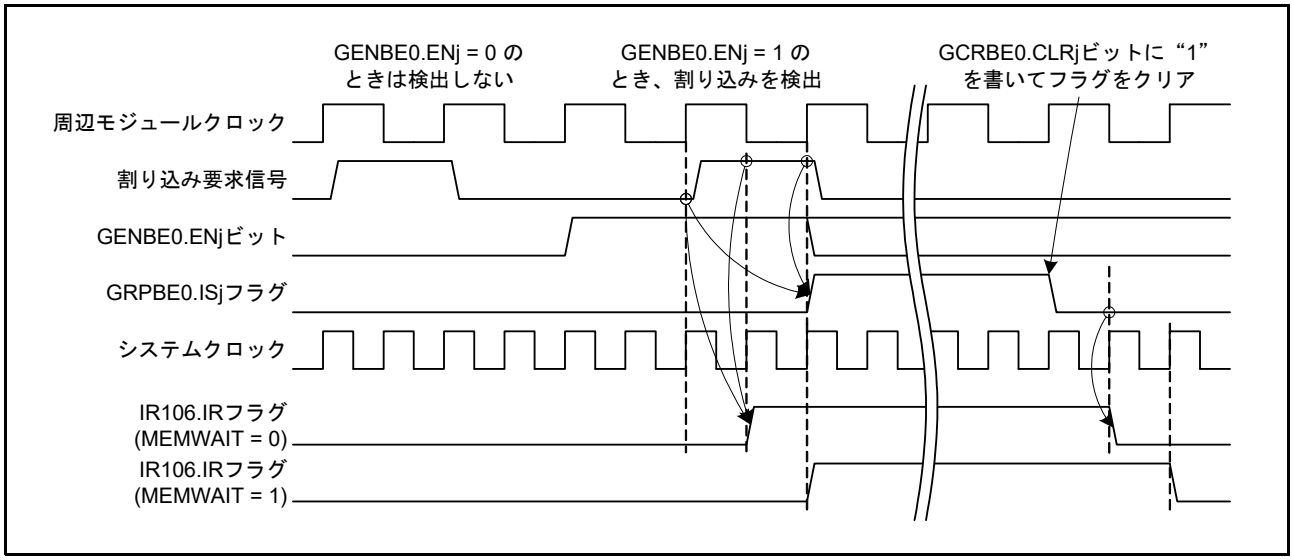


図 14.12 エッジ検出グループ割り込みの動作例 (グループ BE0)

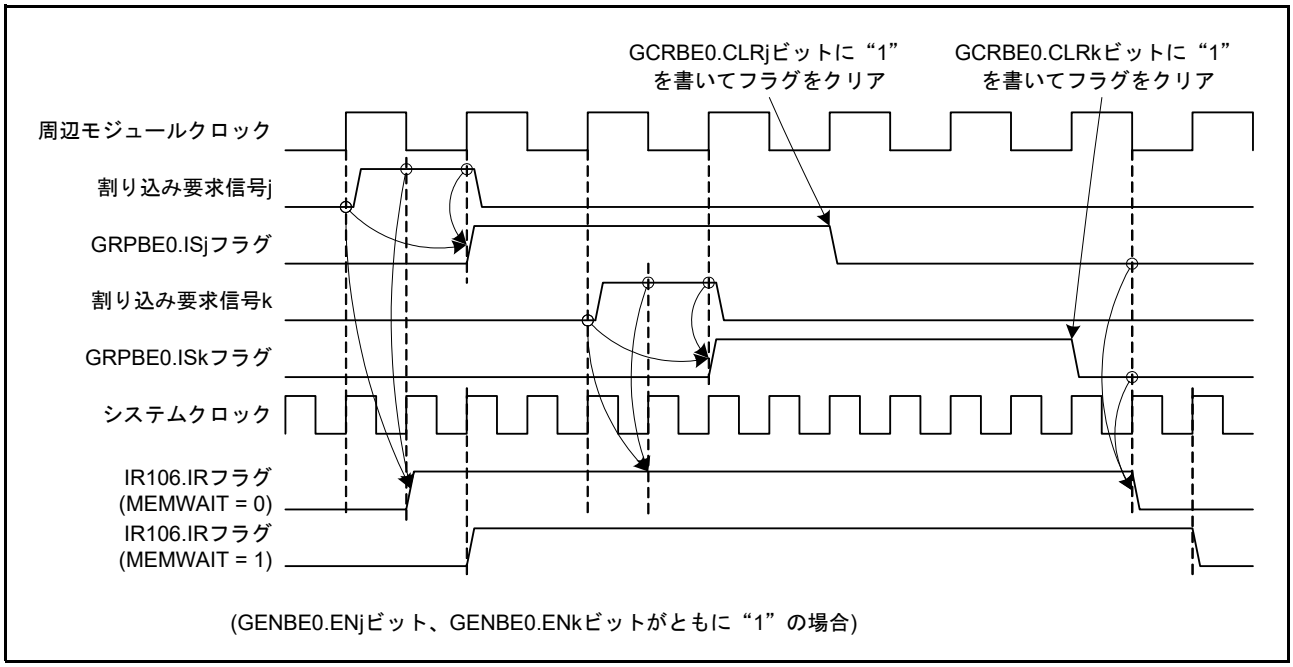


図 14.13　同一グループ内で複数の割り込み要求が発生した場合の動作例 (グループ BE0)

エッジ検出グループ割り込みの割り込み処理手順の例を図 14.14 図 14.15 に示します。

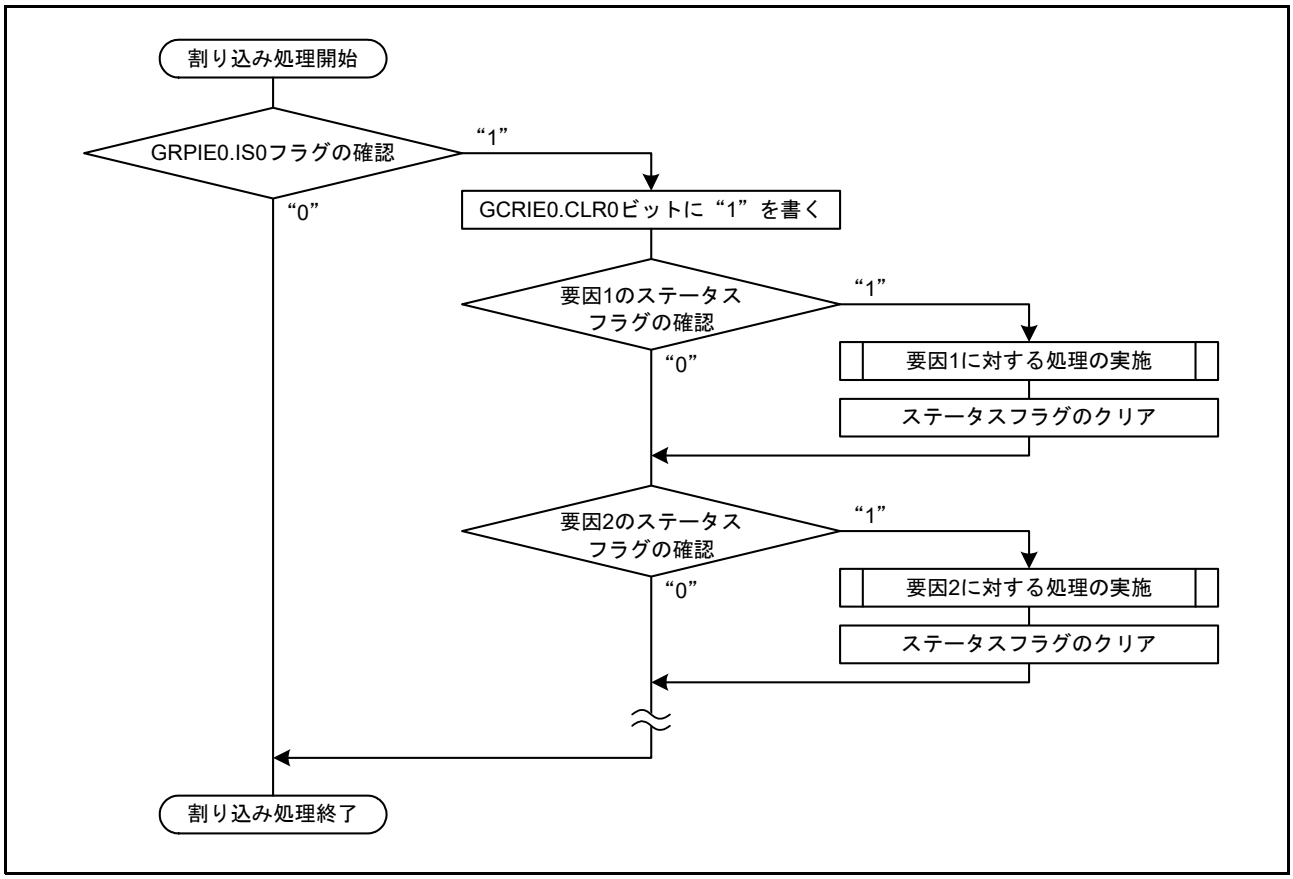


図 14.14 エッジ検出グループ割り込みの割り込み処理手順の例 (グループ IE0)

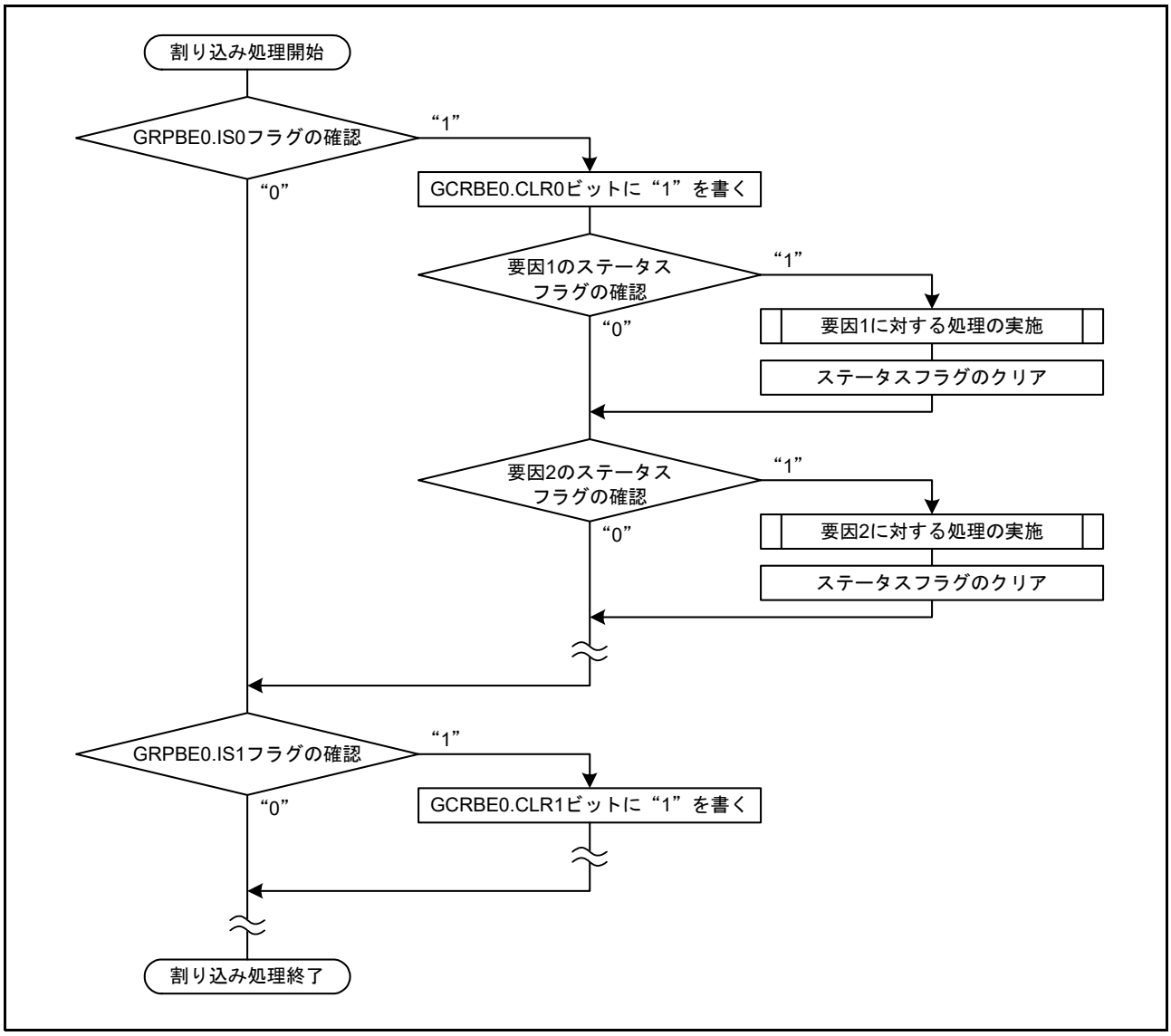


図 14.15 エッジ検出グループ割り込みの割り込み処理手順の例 (グループ BE0)

14.5.4 レベル検出グループ割り込み

グループ割り込みのグループ BL0、BL1、BL2、AL0、AL1 には、レベル検出の割り込み要因がグループ化されています。GROUPBL0 割り込みに対応する IR110.IR フラグ、GROUPBL1 割り込みに対応する IR111.IR フラグ、GROUPBL2 割り込みに対応する IR107.IR フラグ、GROUPAL0 割り込みに対応する IR112.IR フラグ、GROUPAL1 割り込みに対応する IR113.IR フラグの動作はレベル検出割り込みと同様です。

GENBL0/GENBL1/GENBL2/GENAL0/GENAL1.ENj ビット (j = 0 ～ 31) が “1” のとき、対応する割り込み要求信号が “1” になると、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグが “1” になります。このとき割り込み要求信号が “0” になると、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグも “0” になります。また、GENBL0/GENBL1/GENBL2/GENAL0/GENAL1.ENj ビットを “0” にした場合も、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグが “0” になります。

レベル検出グループ割り込みの動作例を図 14.16 に、同一グループ内の複数の割り込み要因から割り込み要求が発生した場合の動作例を図 14.17 に示します。

注 . 割り込み要因が割り当てられていないグループのレジスタは存在しません。

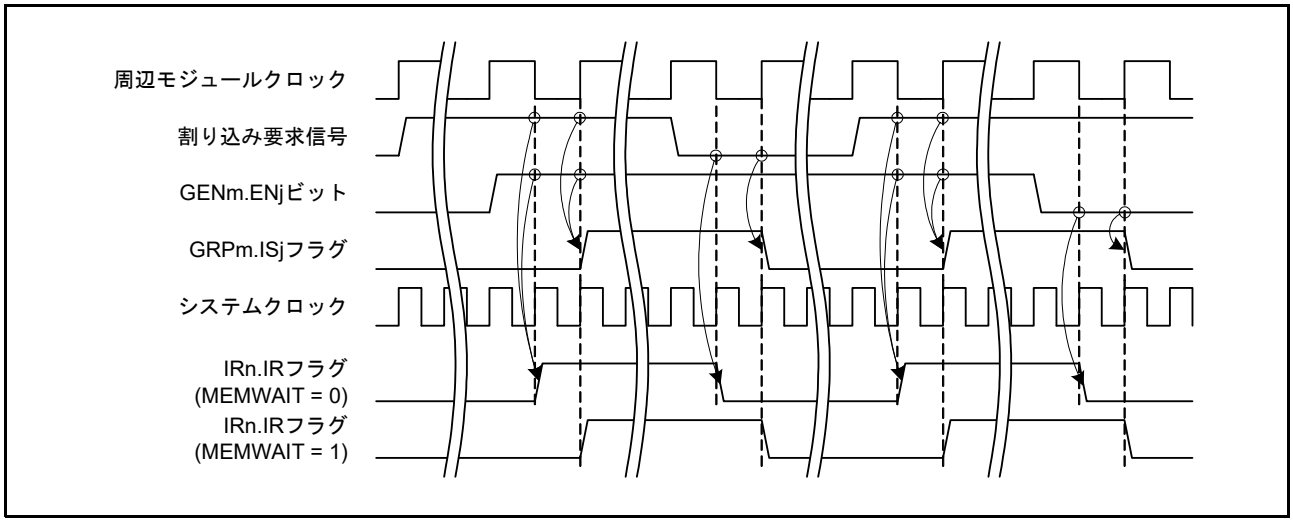


図 14.16 レベル検出グループ割り込みの動作例 (m = BL0, BL1, BL2, AL0, AL1)

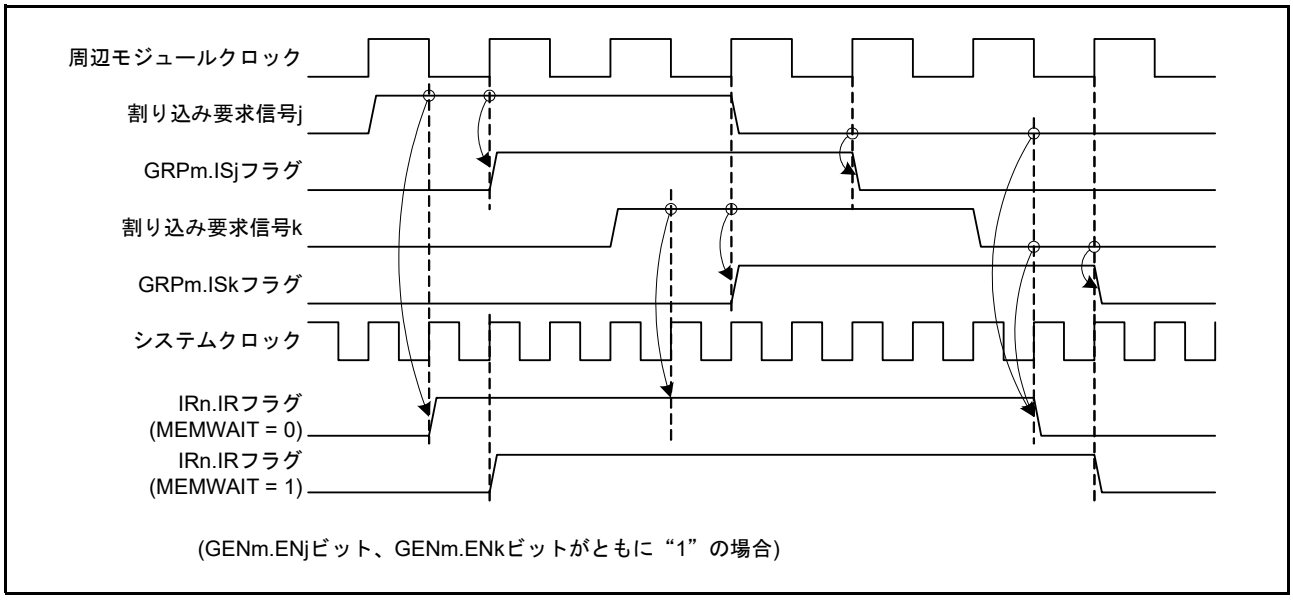


図 14.17 同一グループ内で複数の割り込み要求が発生した場合の動作例 (m = BL0, BL1, BL2, AL0, AL1)

レベル検出グループ割り込みの割り込み処理手順の例を図 14.18 に示します。

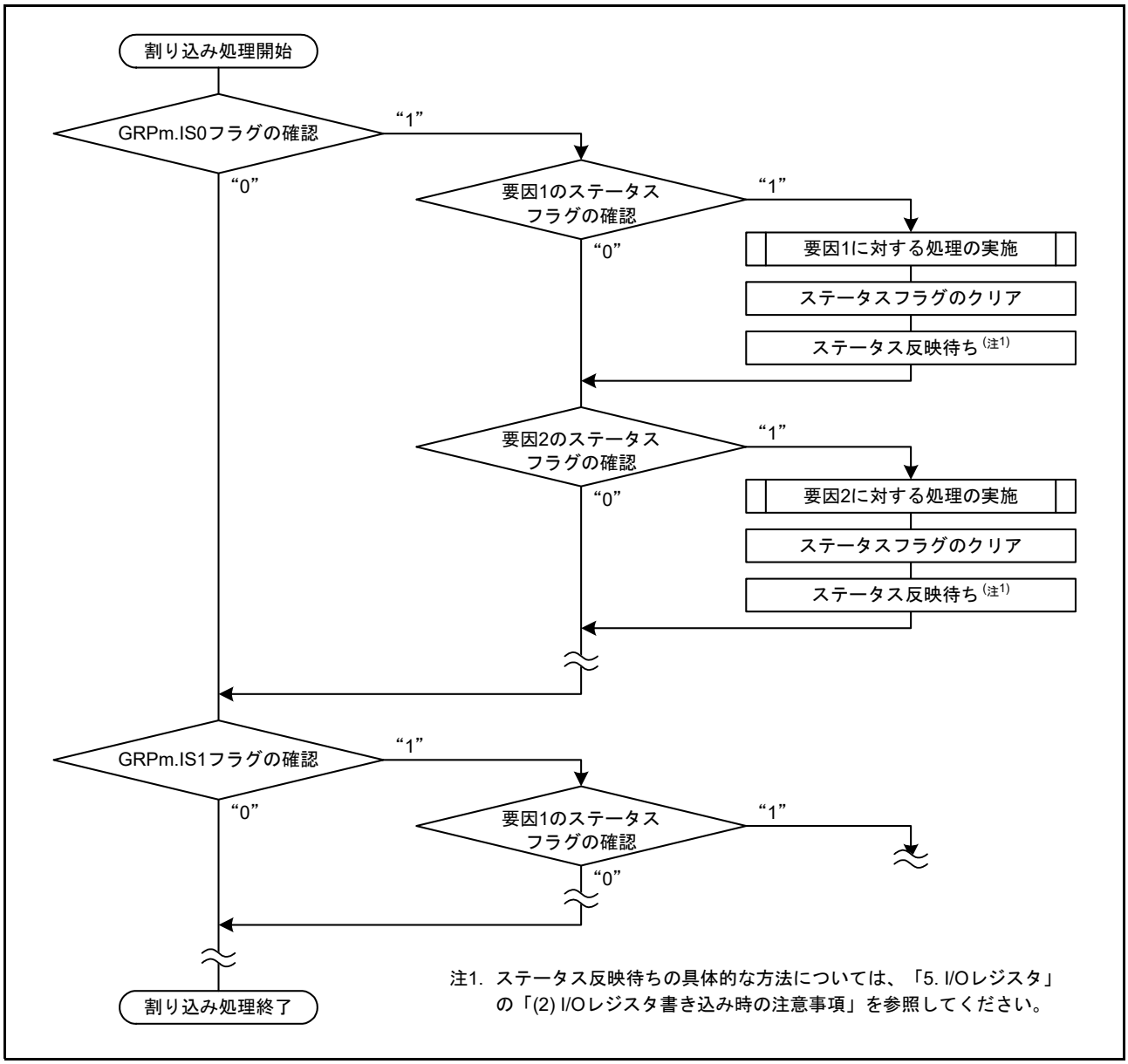


図 14.18 レベル検出グループ割り込みの処理手順の例 (m = BL0, BL1, BL2, AL0, AL1)

14.5.5 選択型割り込み

選択型割り込みに分類された割り込み要因の検出方法はエッジ検出で、選択型割り込みの割り込み要求の検出方法もエッジ検出です。

図 14.19 に選択型割り込みの割り込み要求と選択型割り込みステータスフラグの動作例を示します。

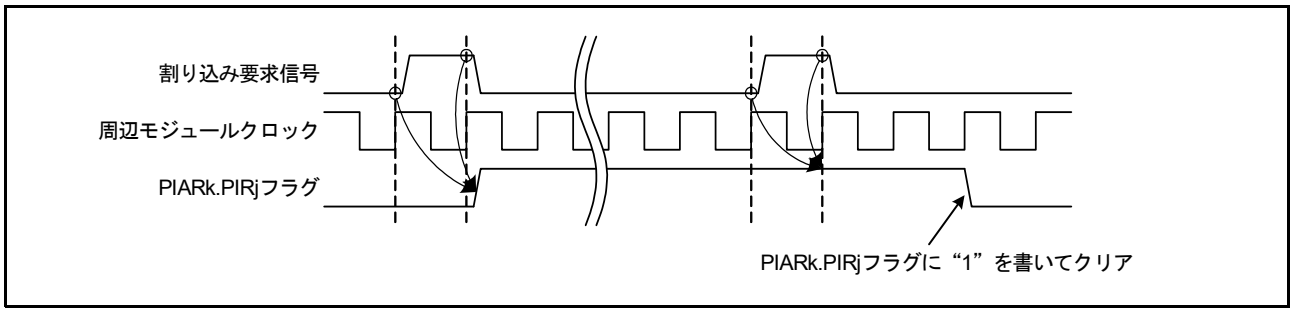


図 14.19 選択型割り込みの割り込み要求と割り込みステータスフラグの動作例

14.6 割り込み優先レベルの判定

割り込みコントローラは、割り込み要求先ごとに優先レベルの判定を行います。それぞれの割り込み要求先に対する優先レベル判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合

高速割り込みに設定された要因が最も優先されます。その次は、IPRr.IPR[3:0] ビット (r = 000 ～ 255) の設定値によって判定され、値が大きい割り込み要因ほど優先されます。IPRr.IPR[3:0] ビットの設定値が同じ要因が複数ある場合は、割り込みベクタ番号によって判定され、番号が小さい要因ほど優先されます。

(2) 割り込み要求先が DTC の場合

IPRr.IPR[3:0] ビット (r = 000 ～ 255) の影響は受けません。割り込みベクタ番号によってのみ優先順位が判定され、番号が小さい要因ほど優先されます。

(3) 割り込み要求先が DMAC の場合

IPRr.IPR[3:0] ビットの影響は受けません。DMAC のチャネル番号によって優先順位が判定されます。DMAC のチャネル優先順位については「17. DMA コントローラ (DMACAa)」を参照してください。

14.7 割り込みの設定手順

14.7.1 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

(1) 対象となる周辺モジュールの割り込み要求許可ビットで、割り込み要求の出力を許可する
(2) 対象となる割り込み要因がグループ割り込みに割り当てられている場合、対応するグループ割り込み要求許可レジスタの ENj ビット (j = 0 ～ 31) を “1” にして、グループ割り込み要求レジスタの ISj フラグへの割り込み要求出力を許可する
(3) 対応する IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) を “1” にして、割り込み要求先への割り込み要求の出力を許可する

上記手順の後、周辺モジュールの割り込み要求が発生すると、その割り込み要因に対応する IRn.IR フラグ (n = 016 ～ 255) が “1” になります。

また、グループ割り込みの場合、グループ割り込み要求レジスタの ISj フラグと、そのグループに対応する IRn.IR フラグが “1” になり、割り込み要求先へ割り込み要求が出力されます。

IERm.IENj ビットが “0” の場合、対応する割り込み要因の割り込み要求は、割り込み要求先に出力されません。

14.7.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

(1) 対応する IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) を “0” にする
(2) グループ割り込みの場合、対応するグループ割り込み要求許可レジスタの ENj ビット (j = 0 ～ 31) を “0” にし、グループ割り込み要求レジスタの ISj フラグへの割り込み要求出力を禁止する
(3) 周辺モジュールの割り込み要求許可ビットで割り込み要求の出力を禁止し、設定したレジスタを読んで、値が反映されたことを確認する
(4) 必要に応じて、IRn.IR フラグを確認するか “0” にする (注 1)
グループ割り込みの場合、グループ割り込み要求レジスタの ISj フラグが “0” であることを確認するか、“0” にする

注 1. SCI、RIIC、RSPI の各送信割り込み要求または受信割り込み要求、バッファアクセス割り込み要求を許可から禁止に変更する場合、上記の手順で IRn.IR フラグを “0” にしてください。詳細は、各周辺モジュール章の割り込みの説明を参照してください。

14.7.3 割り込み要求先の選択

14.7.3.1 割り込み要求先の設定手順

割り込み要求の出力先は割り込み要因ごとに CPU、DTC、DMAC のいずれかからひとつを選択できますが、割り込み要因ごとに選択できる出力先は決まっています。選択できる割り込みの要求先は「表 14.4 割り込みベクタテーブル」を参照してください。表 14.4 に「○」の記載がない割り込み要求先を選択しないでください。

DTC または DMAC の起動要因を、外部端子割り込みにする場合、IRQCRi.IRQMD[1:0] ビット (i = 0 ～ 15) でエッジ検出を選択してください。

割り込み要求の出力先の指定方法を以下に示します。

(1) DMAC の起動要因にする場合

DMAC の起動要因に指定する割り込み要因の IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) が “0” のときに以下の設定を行ってください。

(1) 起動する DMAC のチャネルに対応した DMRSRm レジスタ (m = DMAC チャネル番号) に、起動要因となる割り込み要因の割り込みベクタ番号を設定する (注 1)
(2) 起動する DMAC のチャネルに対応した DMA 転送モードレジスタ (DMTMD) の DCTG[1:0] ビットを “01b” にして、DMAC の起動要因を周辺機能割り込みまたは外部端子割り込みにする
(3) 起動する DMAC のチャネルに対応した DMA 転送許可レジスタ (DMCNT) の DTE ビットを “1” にする

上記手順の後、対応する IERm.IENj ビットを “1” にしてください。
また、DMA モジュール起動レジスタ (DMAST) の DMST ビットを “1” にしてください。上記手順と DMST ビットを “1” にするのとはどちらを先に行っても構いません。
DMAC の設定手順は、「17. DMA コントローラ (DMACAa)」の「17.3.7 DMAC の起動」を参照してください。

(2) DTC の起動要因にする場合

DTC の起動要因に指定する割り込み要因の IERm.IENj ビットが “0” のときに以下の設定を行ってください。

(1) DTC の起動要因に指定する割り込みベクタ番号 n に対応した DTCERn.DTCE ビット (n = 026 ～ 255) を “1” にする (注 1)

上記手順の後、対応する IERm.IENj ビットを “1” にしてください。
また、DTC モジュール起動レジスタ (DTCST) の DTCST ビットを “1” にしてください。上記手順と DTCST ビットを “1” にするのとはどちらを先に行っても構いません。
DTC の設定手順は、「18. データトランスファコントローラ (DTCa)」の「18.5 DTC の設定手順」を参照してください。

注 1. 同じ割り込み要因を DTC と DMAC の起動要因に選択しないでください。また、同じ割り込み要因を複数チャネルの DMAC の起動要因に選択しないでください。

(3) CPU への割り込み要因にする場合

割り込み要因を DTC の起動要因にも DMAC の起動要因にも指定しなかった場合、その要因の割り込み要求は CPU に出力されます。
DTC の起動要因や DMAC の起動要因に指定せずに、IERm.IENj ビットを “1” にしてください。

14.7.3.2 DTC/DMAC 選択時の動作

DTC や DMAC を割り込み要求先に設定した場合の動作は、**表 14.7** に示すとおりです。

表 14.7　DTC/DMAC起動時の動作

割り込み要求先	DISEL (注1)	残り転送回数	1要求ごとの動作	IRフラグ(注2)のクリアタイミング	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC転送→CPUに割り込み	CPUが割り込み要求を受け付けたとき	DTC
		= 0	DTC転送→CPUに割り込み	CPUが割り込み要求を受け付けたとき	CPU (DTCERn.DTCE ビットが“0”になる)
	0	≠ 0	DTC転送	DTCがデータ転送を開始したとき	DTC
		= 0	DTC転送→CPUに割り込み (注4)	CPUが割り込み要求を受け付けたとき (注4)	CPU (DTCERn.DTCE ビットが“0”になる)
DMAC	1	≠ 0	DMA転送→CPUに割り込み	CPUが割り込み要求を受け付けたとき	DMAC
		= 0	DMA転送→CPUに割り込み	CPUが割り込み要求を受け付けたとき	CPU (DMACm.DMCNT.DTE ビットが“0”になる)
	0	≠ 0	DMA転送	DMACがデータ転送を開始したとき	DMAC
		= 0	DMA転送 (注4)	DMACがデータ転送を開始したとき (注4)	CPU (DMACm.DMCNT.DTE ビットが“0”になる)

注1.　DTCの場合はDTC.MRB.DISELビットで、DMACの場合はDMACm.DMCSL.DISELビットで設定します。
注2.　IRn.IRフラグが“1”のとき、再度発生した割り込み要求(DTC/DMA転送要求)は無視されます。
注3.　チェーン転送の場合は、チェーン転送が終了するまでDTC転送を継続します。チェーン転送終了時のCPU割り込みの有無、IRn.IRフラグのクリア、転送後の割り込み要求先の各動作は、チェーン転送終了時のDISELビットの値および残り転送回数によって決まります。チェーン転送については、「18.　データトランスファコントローラ(DTCa)」の「表18.3　チェーン転送の条件」を参照してください。
注4.　DISELビットが“0”でかつ残り転送回数が“0”のときの動作は、DTCとDMACで異なります。

14.7.3.3 割り込み要求先の変更

割り込み要求先を変更する場合は、IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) を “0” にしてから行ってください。

(1) 現在の割り込み要求先が DMAC の場合

「**14.7.3.1　割り込み要求先の設定手順**」の「**(1)　DMAC の起動要因にする場合**」に示された手順の後、DMA 転送が完了していないとき (DMCNT.DTE ビットがクリアされていない状態) に割り込み要求先を変更する場合や DMAC の起動要因を別の割り込み要因に変更する場合は、以下に示す手順で行ってください。

(1) 現在設定されている起動要因と、新たに設定する起動要因の IERm.IENj ビットを “0” にする
(2) DMAC の転送状況を確認し、転送中であれば、転送が完了するのを待つ
(3) 「**14.7.3.1　割り込み要求先の設定手順**」に示された手順を実施する

(2) 現在の割り込み要求先が DTC の場合

「**14.7.3.1　割り込み要求先の設定手順**」の「**(2)　DTC の起動要因にする場合**」に示された手順の後、DTC 転送が完了していないとき (DTCERn.DTCE ビット (n = 026 ～ 255) がクリアされていない状態) に割り込み要求先を変更する場合や DTC の転送内容を変更する場合は、以下に示す手順で行ってください。

(1) 現在設定されている起動要因と、新たに設定する起動要因の IERm.IENj ビットを “0” にする
(2) DTC の転送状況を確認し、転送中であれば、転送が完了するのを待つ
(3) 「**14.7.3.1　割り込み要求先の設定手順**」に示された手順を実施する

14.7.4 外部端子割り込みの設定手順

外部端子割り込みを使用するときの設定手順は以下のとおりです。

(1) 使用する IRQi 端子 (i = 0 ～ 15) に対応した IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) を “0” (割り込み要求禁止) にする
(2) IRQFLTE0 レジスタまたは IRQFLTE1 レジスタの FLTENi ビットを “0” (デジタルフィルタ無効) にする
(3) IRQFLTC0 レジスタまたは IRQFLTC1 レジスタの FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する
(4) I/O ポートの設定および確認を行う
(5) IRQCRi.IRQMD[1:0] ビットで検出方法を選択する
(6) エッジ検出を選択した場合は、対応する IRn.IR フラグ (n = 016 ～ 255) を “0” にする
(7) IRQFLTE0/IRQFLTE1.FLTENi ビットを “1” (デジタルフィルタ有効) にする。
(8) 割り込み要求先を DTC にする場合は DTCERn.DTCE ビット (n = 026 ～ 255) を、DMAC にする場合は DMRSRm レジスタ (m = DMAC チャネル番号) を設定する (どちらも設定しない場合は CPU への割り込みになる)
(9) 対応する IERm.IENj ビットを “1” (割り込み要求許可) にする。

14.7.5 ノンマスカブル割り込みの設定手順

リセット後、ノンマスカブル割り込みは禁止になっています。ノンマスカブル割り込みを使用する場合は、以下の手順で設定してください。

(1) スタックポインタ (SP) を設定する
(2) NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを “0” (デジタルフィルタ無効) にする
(3) NMI 端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する
(4) NMI 端子を使用する場合は、NMICR.NMIMD ビットで NMI 端子の検出エッジを選択する
(5) NMI 端子を使用する場合は、NMICLR.NMICLR ビットに “1” を書いて、NMISR.NMIST フラグを “0” にする
(6) NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを “1” (デジタルフィルタ有効) にする
(7) NMIER レジスタの使用する割り込み要因に対応するビットを “1” にして、ノンマスカブル割り込みの生成を許可する

NMIER レジスタのビットは一度 “1” (許可) にすると、以後そのビットへの書き込みは無効となり、“0” (禁止) にすることはできません。いったん許可したノンマスカブル割り込みを禁止するには、MCU をリセットする以外にありません。

ノンマスカブル割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMISR レジスタの RAMST フラグを除く各フラグは、NMICLR レジスタの対応するビットに “1” を書くことで “0” になります。RAMST フラグを “0” にするには、RAM.RAMSTS.RAMERR フラグ、RAM.ECCRAM2STS.ECC2ERR フラグ、または RAM.ECCRAM1STS.ECC1ERR フラグのうち、“1” になったフラグを “0” にしてください。

ノンマスカブル割り込みの割り込み処理ルーチンでは、NMISR レジスタの全フラグが “0” になったことを確認して処理を終了してください。

NMI 端子割り込みを除くノンマスカブル割り込みは、マスカブル割り込みとしても使用できます。マスカ

ブル割り込みとして使用する場合は、NMIER レジスタをリセット後の値から変更しないでください。また、電圧監視 1 割り込み、電圧監視 2 割り込みをマスカブル割り込みとして使用する場合は、電圧監視 1 回路制御レジスタ 1 (LVD1CR1) の LVD1IRQSEL ビット、電圧監視 2 回路制御レジスタ 1 (LVD2CR1) の LVD2IRQSEL ビットを “1” にしてください。

14.7.6 デジタルフィルタ

デジタルフィルタを有効にすることで、IRQi 端子 (i = 0 ～ 15) と NMI 端子への入力信号に含まれるノイズを除去することができます。

デジタルフィルタは、端子への入力信号をデジタルフィルタ用のサンプリングクロック (PCLKB、PCLKB/8、PCLKB/32、PCLKB/64) でサンプリングし、3 回連続でレベルが一致する入力信号のみを通過させます。

IRQi 端子にデジタルフィルタを適用する場合は「**14.7.4 外部端子割り込みの設定手順**」を、NMI 端子にデジタルフィルタを適用する場合は「**14.7.5 ノンマスカブル割り込みの設定手順**」を参考に関係するレジスタを設定してください。

ソフトウェアスタンバイモードからの復帰要因として外部端子割り込みや NMI 端子割り込みを使用する場合は、デジタルフィルタは使用できません。ソフトウェアスタンバイモードに移行する前に、IRQFLTE0 または IRQFLTE1 レジスタの FLTENi ビット、または NMIFLTE.NFLTEN ビットを “0” にしてください。ソフトウェアスタンバイモードから復帰した後、再度デジタルフィルタを有効にする場合は、IRQFLTE0 または IRQFLTE1 レジスタの FLTENi ビット、または NMIFLTE.NFLTEN ビットを “1” にしてください。

図 14.20 にデジタルフィルタの動作例を示します。

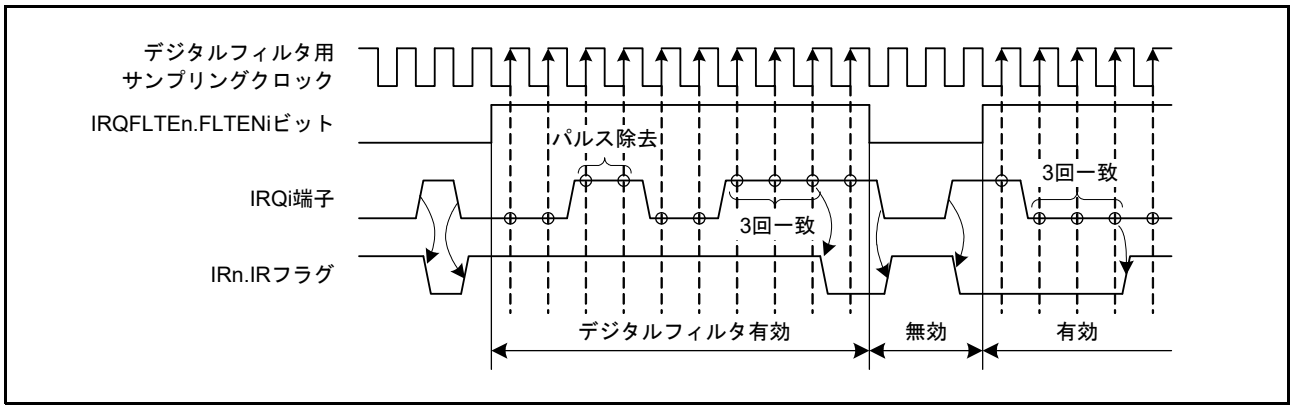


図 14.20 デジタルフィルタ動作例 (IRQCRi.IRQMD[1:0] ビットが “00b” (Low) の場合)

14.7.7 選択型割り込みの設定手順

選択型割り込みに割り込み要因を割り当てる手順を以下に示します。

(1) 設定する選択型割り込みの IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) を “0” にする (リセット後の値から変更していなければ不要)
(2) SLIARn レジスタ (n = 208 ～ 255) に割り込み要因番号を設定する。選択型割り込み A に分類された割り込み要因の要因番号は「表 14.3 選択型割り込み A 要因一覧」を参照してください
(3) SLIPRCR.WPRC ビットを “1” にする
(4) SLIPRCR.WPRC ビットが “1” であることを確認する
(5) 割り込み要求先 (CPU, DTC, DMAC) を選択する。設定手順は「14.7.3.1 割り込み要求先の設定手順」を参照してください
(6) IRn.IR フラグ (n = 208 ～ 255) に “0” を書く (エッジ検出の場合のみ)
(7) IERm.IENj ビットを “1” にする

14.7.7.1 選択型割り込みのポーリング

PIARk レジスタ (k = 0h ～ 12h) の PIRj フラグ (j = 0 ～ 7) を参照して割り込み要求のポーリングを行う場合は、以下の手順で行ってください。

(1) 対象となる周辺モジュールの割り込み設定を行う
(2) ポーリング対象の PIARk レジスタの PIRj フラグに “1” を書いて (注 1) フラグをクリアする
(3) 周辺モジュールの割り込み要求の出力を許可する
(4) 適宜、PIARk レジスタの PIRj フラグを読み出し、値を確認する
(5) PIARk レジスタの PIRj フラグをクリアする場合は、対象となるフラグに “1” を書く (注 1)
(6) 以降、必要に応じて (4)、(5) を繰り返す

注 1. ビット操作命令は使用しないでください。ビット操作命令を使用すると複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを “1”、その他のフラグを “0” にして 8 ビット単位で書いてください。

14.8 多重割り込み

多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で CPU のプロセッサステータスワード (PSW) の I ビットを “1” (割り込み許可) にしてください。

割り込み処理ルーチン内での PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

なお、PSW.I ビットの書き換えは、スーパバイザモードのときのみ有効です。割り込みが受け付けられると PSW.PM ビットが “0” (スーパバイザモード) になるため、割り込みの処理ルーチン内では PSW.I ビットを書き換えることができます。

14.9 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうち 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRr.IPR[3:0] ビット (r = 000 ～ 255) の設定にかかわらず、“15” (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が “1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てるには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを “1” (高速割り込みを許可) にしてください。

高速割り込みの機能が有効になるのは、割り込み要求先として CPU を指定したときのみです。割り込み先に DTC や DMAC を指定した場合、高速割り込みの機能は無効になります。

高速割り込みについては、「2. CPU」や「13. 例外処理」も参照してください。

14.10 低消費電力状態からの復帰

スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードからの復帰に割り込みが使用できます。

詳細は「**11. 消費電力低減機能**」を参照してください。低消費電力モードごとの復帰要因の設定方法を以下に示します。

なお、ディープソフトウェアスタンバイモードからの復帰については、「**11.5.4 ディープソフトウェアスタンバイモード**」を参照してください。

14.10.1 スリープモードからの復帰

ノンマスカブル割り込み、およびすべての割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること

(2) 割り込み

- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) によって該当する割り込みの要求が許可されていること
- CPU のプロセッサステータスワード (PSW) の IPL[3:0] ビットよりも高い割り込み優先レベルであること
- グループ割り込みの場合、グループ割り込み要求許可レジスタ (GENBE0, GENBL0, GENBL1, GENAL0) の ENj ビット (j = 0 ～ 31) によって該当する割り込みの要求が許可されていること

14.10.2 全モジュールクロックストップモードからの復帰

ノンマスカブル割り込み、および「**表 14.4 割り込みベクタテーブル**」の「ACS 復帰」列に「○」のある割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること

(2) 割り込み

- 全モジュールクロックストップモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) によって該当する割り込みの要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること

14.10.3 ソフトウェアスタンバイモードからの復帰

発振停止検出割り込みを除くノンマスカブル割り込み、および「**表 14.4 割り込みベクタテーブル**」の「SSBY 復帰」列に「○」のある割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること
- NMI 端子割り込みを使用する場合は、デジタルフィルタが無効になっていること

(2) 割り込み

- ソフトウェアスタンバイモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ～ 1Fh、j = 0 ～ 7) によって該当する割り込みの要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
  (高速割り込みを使用する場合には、FIR レジスタだけでなく、対応する IPRr.IPR[3:0] ビット (r = 000 ～ 255) も CPU の PSW.IPL[3:0] ビットより高い割り込み優先レベルを設定してください)
- 外部端子割り込みを使用する場合は、使用する IRQi 端子のデジタルフィルタが無効になっていること

デジタルフィルタの設定方法については、「**14.7.6 デジタルフィルタ**」を参照してください。

14.11 使用上の注意事項

14.11.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが “0” であることを確認した後で行ってください。

14.11.2 ソフトウェアスタンバイモード中の割り込み要求

ソフトウェアスタンバイモードからの復帰要因に設定していない割り込み要因からソフトウェアスタンバイモード中に割り込み要求が発生した場合、その要求は割り込みコントローラ内部に保持され、他の割り込み要因によって復帰した後に順次処理されます。

ただし、外部端子割り込みについては、この割り込み要求は保持されません。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	• CPU (命令)を接続 • 内蔵メモリを接続(RAM、ECCRAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
	オペランドバス	• CPU (オペランド)を接続 • 内蔵メモリを接続(RAM、ECCRAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
メモリバス	メモリバス1	• RAMを接続
	メモリバス2	• コードフラッシュメモリを接続
	メモリバス3	• ECCRAMを接続
内部メインバス	内部メインバス1	• CPUを接続 • システムクロック(ICLK)に同期して動作
	内部メインバス2	• DTC、DMACを接続 • 内蔵メモリを接続(RAM、ECCRAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス1	• 周辺機能(TFU、DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作
	内部周辺バス2	• 周辺機能(内部周辺バス1、3、4、5以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス3	• 周辺機能(USBb, CMPC)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス4	• 周辺機能(MTU3, GPTW, HRPWM, RSPI, SCIi)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス5	• 予約領域
	内部周辺バス6	• コードフラッシュメモリ(P/E時)、データフラッシュメモリを接続 • FlashIFクロック(FCLK)に同期して動作
外部バス	CS領域	• 外部デバイスを接続 • 外部バスクロック(BCLK)に同期して動作

P/E：プログラム / イレーズ

BCLK (外部バスクロック)：最大 40MHz のクロックです。CSC (CS 領域コントローラ) は BCLK に同期して動作します。

BCLK 端子出力：デフォルトでは、BCLK と同じ周波数です。外部バスクロックコントロールレジスタの BCLK 端子出力選択ビット (BCKCR.BCLKDIV) で、BCLK の 2 分周が可能です。詳細は、「9. クロック発生回路」を参照してください。

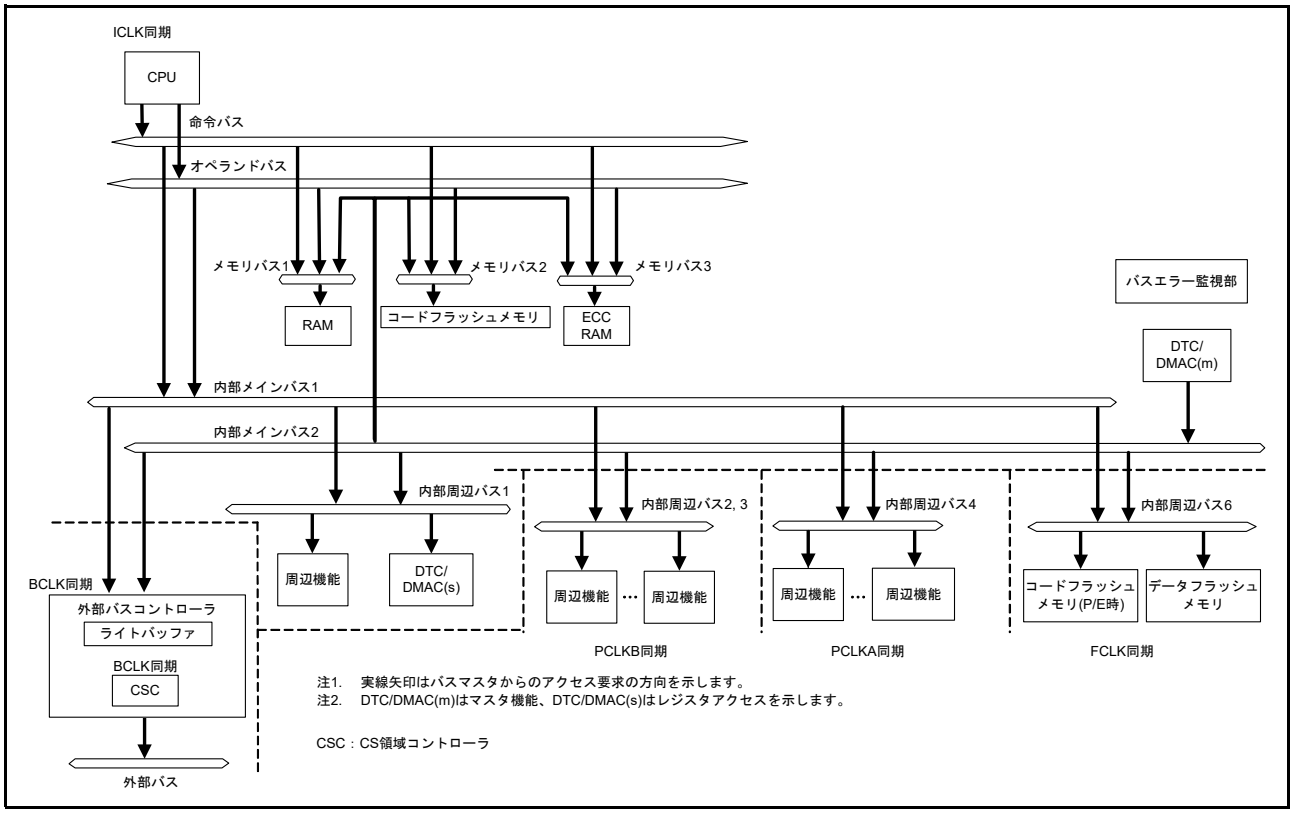


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス		内容	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h～0001 FFFFh	メモリバス 1		RAM	
0002 0000h～0007 FFFFh			予約領域	
0008 0000h～0008 7FFFh	内部周辺バス 1		周辺 I/O レジスタ	
0008 8000h～0009 FFFFh	内部周辺バス 2			
000A 0000h～000B FFFFh	内部周辺バス 3			
000C 0000h～000D FFFFh	内部周辺バス 4			
000E 0000h～000F FFFFh	予約領域			
0010 0000h～007F FFFFh	内部周辺バス 6	予約領域	データフラッシュメモリ、コードフラッシュメモリ（書き換え専用）	予約領域
0080 0000h～00FF BFFFh	メモリバス 3		予約領域	
00FF C000h～00FF FFFFh			ECCRAM	
0100 0000h～04FF FFFFh	外部バス		予約領域	
0500 0000h～07FF FFFFh			外部アドレス空間 (CS1 ～ CS3)	
0800 0000h～0FFF FFFFh			予約領域	
1000 0000h～7FFF FFFFh	予約領域		予約領域	
8000 0000h～FFDF FFFFh	メモリバス 2	予約領域	コードフラッシュメモリ（読み出し専用）	予約領域
FFE0 0000h～FFFF FFFFh		外部バス		外部アドレス空間 (CS0)

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。命令バスは 64 ビットです。オペランドバスは、32 ビットです。

命令バスとオペランドバスは、RAM、ECCRAM、コードフラッシュメモリに接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、コードフラッシュメモリは読み出しのみ CPU からの直接アクセスが可能であり、プログラム / イレーズは内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス (メモリバス 1、メモリバス 2、メモリバス 3、内部メインバス 1) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、コードフラッシュメモリと RAM、コードフラッシュメモリと外部アドレス空間などの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2、およびメモリバス 3 があり、メモリバス 1 には RAM、メモリバス 2 にはコードフラッシュメモリ、メモリバス 3 には ECCRAM が接続されています。メモリバスは 64 ビットです。メモリバス 1、2、3 は、CPU バス (命令フェッチとオペランド)、内部メインバス 2 からのバス権要求を調停します。

バスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1、3 (RAM/ECCRAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (コードフラッシュメモリ) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。メモリバス 3 はメモリバス 1 と同じ設定になります。優先順位固定の場合は、バスの優先順位は、内部メインバス 2 > CPU バス (オペランド > 命令フェッチ) の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス (内部メインバス 1) と、CPU 以外のバスマスタ (DTC, DMAC) が使用するバス (内部メインバス 2) の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC、DMAC のバス権要求を調停します。優先順位は、**表 15.3** に示すように、DMAC > DTC の順となります。

DTC と DMAC については、転送要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMAC の転送要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 > DMAC1 > DMAC2 > DMAC3 > DMAC4 > DMAC5 > DMAC6 > DMAC7 > DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス (内蔵メモリ、内部周辺バス 1 ～内部周辺バス 6、外部バス) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表15.3 バスマスタ優先順位

優先度	バスマスタ
高 ↑	DMAC
	DTC
低	CPU

注. 上記はバス優先権が固定の場合です。

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	TFU、DTC、DMAC、割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1、3、4、5以外の周辺機能
内部周辺バス3	USBb, CMPC
内部周辺バス4	MTU3, GPTW, HRPWM, RSPI, SCIi
内部周辺バス5	予約領域
内部周辺バス6	コードフラッシュメモリ(P/E時)、データフラッシュメモリ

内部周辺バス 1 ～ 6 は、それぞれ、CPU (内部メインバス 1) と CPU 以外のバスマスタ (内部メインバス 2) からのバス権要求を調停します。

2 本のバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI) により設定可能です。優先順位は、内部周辺バス 1 プライオリティ制御ビット (BUSPRI.BPIB[1:0])、内部周辺バス 2, 3 プライオリティ制御ビット (BUSPRI.BPGB[1:0])、内部周辺バス 4 プライオリティ制御ビット (BUSPRI.BPHB[1:0])、内部周辺バス 6 プライオリティ制御ビット (BUSPRI.BPFB[1:0]) によりバスごとに設定できます。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。(ラウンドロビン方式)

BUSPRI レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 15.2 参照)。

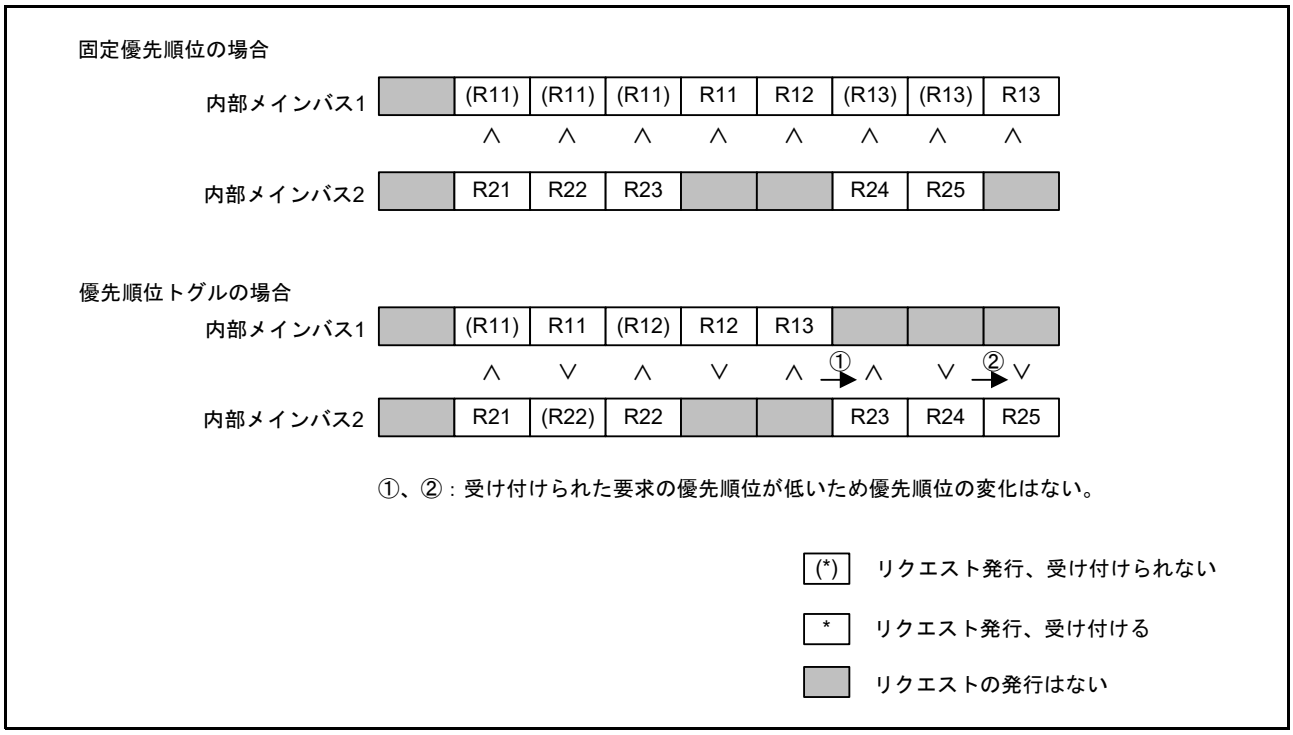


図 15.2　内部周辺バス優先順位

15.2.5　ライトバッファ機能 (内部周辺バス)

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。(図 15.3 参照)

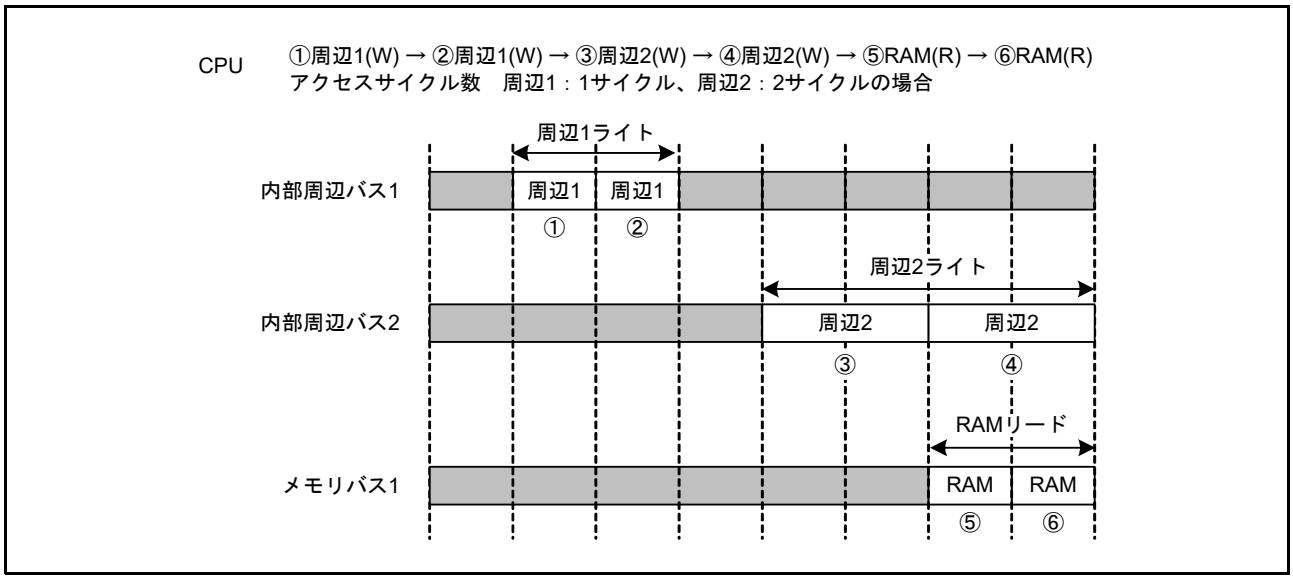


図 15.3　ライトバッファ機能

15.2.6 外部バス

表 15.5 に外部バスの仕様を示します。

外部バスコントローラは、内部メインバス 1、内部メインバス 2 からの外部アドレス空間と外部バスコントローラのレジスタ (CSC) に対するバス権要求を調停します。

2 本のバスの優先順位は、バスプライオリティ制御レジスタの外部バスプライオリティ制御ビット (BUSPRI.BPEB[1:0]) により設定可能です。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

バスプライオリティ制御レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 15.4 参照)。

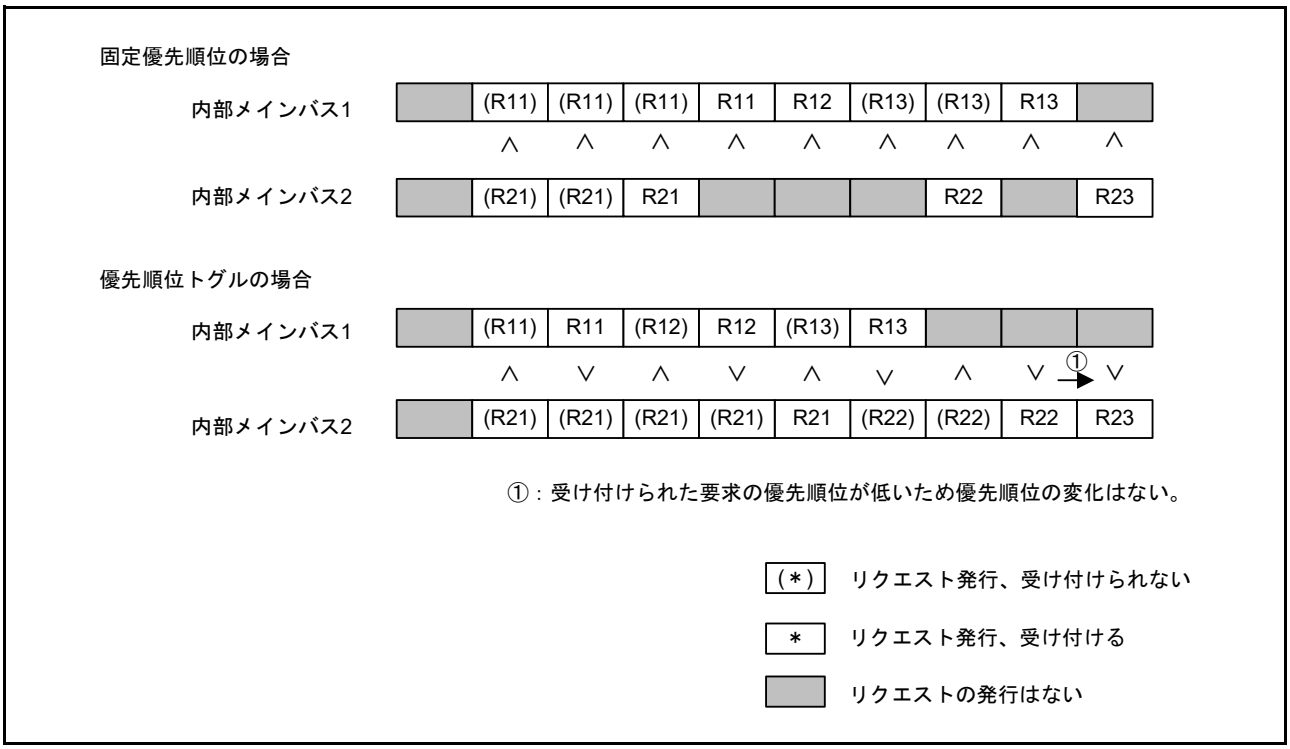


図 15.4 内部周辺バス優先順位

表15.5 外部バスの仕様

項目	内容
外部アドレス空間	● 外部アドレス空間を4つのCS領域(CS0～CS3)に分割して管理 ● 領域ごとにチップセレクトを出力可能 ● 領域ごとにバス幅を選択可能 セパレートバス：8ビットバス空間/16ビットバス空間を選択可能 アドレス/データマルチプレクスバス：8ビットバス空間/16ビットバス空間を選択可能 ● 領域ごとにエンディアンを設定可能
CS領域コントローラ	● リカバリサイクル挿入可能 リードリカバリ最大15サイクル挿入 ライトリカバリ最大15サイクル挿入 ● サイクルウェイト機能：最大31サイクルウェイト(ページアクセス最大7サイクルウェイト) ● ウェイト制御 チップセレクト信号(CS0#～CS3#)のアサート/ネゲートタイミング設定可能 リード信号(RD#)、ライト信号(WR0#/WR#～WR1#)のアサートタイミング設定可能 データ出力の開始/終了タイミング設定可能 ● ライトアクセスモード：1ライトストローブモード/バイトストローブモード ● セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	● CS領域コントローラ(CSC)は、BCLKに同期して動作

表 15.6 に外部バスの入出力端子を示します。

表15.6 外部バスの入出力端子

端子名	入出力	機能
A20～A0 (注1)	出力	アドレス出力端子です
D15～D0	入出力	データ入出力端子です 16ビットバス空間を設定した場合、D15～D0が有効となります 8ビットバス空間を設定した場合、D7～D0が有効となります
BC0# (注1)	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で(BC0#信号がLowの場合)、D7～D0が有効であることを示すストローブ信号です 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくLow出力となります
BC1#	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で(BC1#信号がLowの場合)、D15～D8が有効であることを示すストローブ信号です 8ビットバス空間を設定した場合、使用しません
CS0#	出力	領域0 (CS0)チップセレクト信号です
CS1#	出力	領域1 (CS1)チップセレクト信号です
CS2#	出力	領域2 (CS2)チップセレクト信号です
CS3#	出力	領域3 (CS3)チップセレクト信号です
RD#	出力	外部アドレス空間(CS0～CS3)をリード中であることを示すストローブ信号です
WR0#/WR#	出力	WR0#信号は、バイトストローブモード時、外部アドレス空間をライト中で(WR0#信号がLowの場合)、D7～D0が有効であることを示すストローブ信号です WR#信号は、1ライトストローブモード時、外部アドレス空間をライト中であることを示すストローブ信号です。 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス時にLowが出力されます
WR1#	出力	バイトストローブモード時、外部アドレス空間をライト中で(WR1#信号がLowの場合)、D15～D8が有効であることを示すストローブ信号です 1ライトストローブモード時、無効となります 8ビットバス空間を設定した場合、使用しません
ALE	出力	アドレス/データマルチプレクスバス選択時のアドレスラッチ信号です
WAIT#	入力	外部アドレス空間(CS0～CS3)をアクセスするときのウェイト要求信号です。(Low：ウェイト要求)

注1. A0端子とBC0#端子は兼用しており、領域ごとにバイトストローブモード時はA0端子、1ライトストローブモード時はBC0#端子が有効になります。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。その他の兼用端子については、「20. I/Oポート」を参照してください。

15.2.7 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPU の命令フェッチがコードフラッシュメモリを、オペランドが RAM をアクセス中に、DMAC は周辺ー外部バス間の転送を行うことができます。**図 15.5** に並列動作の例を示します。この例の場合、CPU は命令バスとオペランドバスを使って、それぞれコードフラッシュメモリと RAM を同時にアクセスすることが可能です。また、CPU がコードフラッシュメモリと RAM をアクセス中に、DMAC は内部メインバス 2 を使って、周辺バスあるいは外部バスを同時にアクセスすることができます。

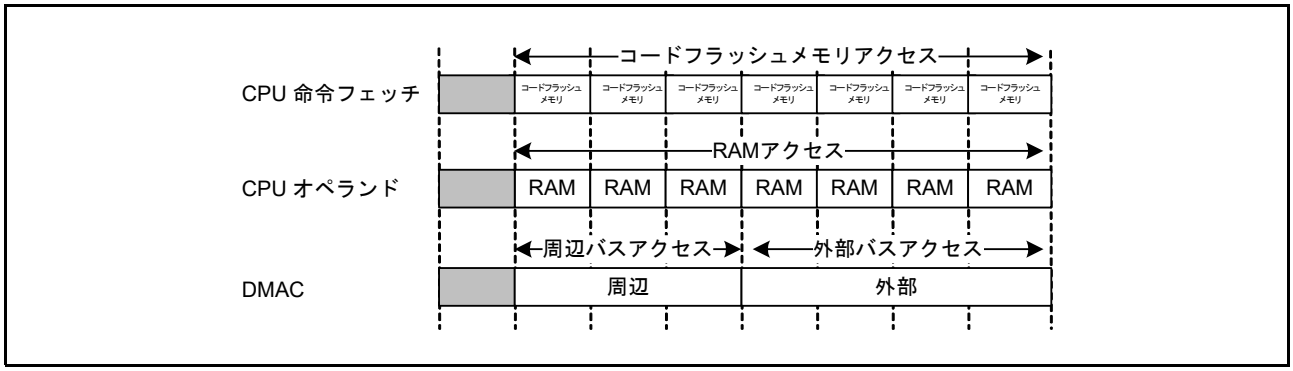


図 15.5 並列動作の例

15.2.8 バスの設定

(1) 外部バスのモードを、CSn モードレジスタ (CSnMOD)、CSn ウェイト制御レジスタ 1 (CSnWCR1)、CSn ウェイト制御レジスタ 2 (CSnWCR2)、CSn 制御レジスタ (CSnCR)、CSn リカバリサイクル設定レジスタ (CSnREC)、CS リカバリサイクル挿入許可レジスタ (CSRECEN)、バスエラー監視許可レジスタ (BEREN)、バスプライオリティ制御レジスタ (BUSPRI) で設定します。

(2) 端子の設定を、CS 出力許可レジスタ (PFCSE)、CS 出力端子選択レジスタ 0 (PFCSS0)、アドレス出力許可レジスタ 0 (PFAOE0)、アドレス出力許可レジスタ 1 (PFAOE1)、外部バス制御レジスタ 0 (PFBCR0)、外部バス制御レジスタ 1 (PFBCR1) で行います。

(3) 使用する端子を入力ポートに設定します。

(4) システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE) を “1” (外部バス有効) に設定します。

15.2.9 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

(a) 外部空間には領域ごとのエンディアン切り替え機能(データのみ)がありますが、チップのエンディアンと異なる設定を行った領域にRMPA命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

(b) RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(3) エンディアンに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

15.3 レジスタの説明

15.3.1 CSn 制御レジスタ (CSnCR) (n = 0 ～ 3)

アドレス CS0CR 0008 3802h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス CS1CR 0008 3812h, CS2CR 0008 3822h, CS3CR 0008 3832h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0：動作禁止 1：動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択ビット	b5 b4 0 0：16ビットバス空間に設定 0 1：設定しないでください 1 0：8ビットバス空間に設定 1 1：設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EMODE	エンディアンモード指定ビット	0：領域nのエンディアンは動作モードのエンディアンと同じ 1：領域nのエンディアンは動作モードのエンディアンと異なる (n = 0～3)	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	MPXEN	アドレス/データマルチプレクスI/O インタフェース選択ビット	0：領域n はセパレートバスインタフェース 1：領域nはアドレス/データマルチプレクスI/O インタフェース (n = 0～3)	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnCR レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

EXENB ビット (動作許可ビット)

各領域の動作許可 / 禁止を設定します。

なお、リセット後は、領域 0 (CS0) のみ動作許可 (“1”) になり、それ以外の領域は動作禁止 (“0”) になります。

動作禁止に設定した領域をアクセスした場合は、外部バスアクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット (BEREN.IGAEN = 1) が検出許可に設定されていれば、不正アドレスエラーとなります。

BSIZE[1:0] ビット (外部バス幅選択ビット)

各領域のデータバス幅を設定します。

なお、リセット後の領域 0 (CS0) のデータバス幅は、動作モードのバス幅の設定に依存します。

EMODE ビット (エンディアンモード指定ビット)

各領域のエンディアンを設定します。

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

15.3.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ～ 3)

アドレス CS0REC 0008 380Ah, CS1REC 0008 381Ah, CS2REC 0008 382Ah, CS3REC 0008 383Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	WRCV[3:0]				—	—	—	—	RRCV[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定ビット	b3 b0 0 0 0 0：リカバリサイクルを挿入しない 0 0 0 1：リカバリサイクルを1サイクル挿入 0 0 1 0：リカバリサイクルを2サイクル挿入 0 0 1 1：リカバリサイクルを3サイクル挿入 0 1 0 0：リカバリサイクルを4サイクル挿入 0 1 0 1：リカバリサイクルを5サイクル挿入 0 1 1 0：リカバリサイクルを6サイクル挿入 0 1 1 1：リカバリサイクルを7サイクル挿入 1 0 0 0：リカバリサイクルを8サイクル挿入 1 0 0 1：リカバリサイクルを9サイクル挿入 1 0 1 0：リカバリサイクルを10サイクル挿入 1 0 1 1：リカバリサイクルを11サイクル挿入 1 1 0 0：リカバリサイクルを12サイクル挿入 1 1 0 1：リカバリサイクルを13サイクル挿入 1 1 1 0：リカバリサイクルを14サイクル挿入 1 1 1 1：リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定ビット	b11 b8 0 0 0 0：リカバリサイクルを挿入しない 0 0 0 1：リカバリサイクルを1サイクル挿入 0 0 1 0：リカバリサイクルを2サイクル挿入 0 0 1 1：リカバリサイクルを3サイクル挿入 0 1 0 0：リカバリサイクルを4サイクル挿入 0 1 0 1：リカバリサイクルを5サイクル挿入 0 1 1 0：リカバリサイクルを6サイクル挿入 0 1 1 1：リカバリサイクルを7サイクル挿入 1 0 0 0：リカバリサイクルを8サイクル挿入 1 0 0 1：リカバリサイクルを9サイクル挿入 1 0 1 0：リカバリサイクルを10サイクル挿入 1 0 1 1：リカバリサイクルを11サイクル挿入 1 1 0 0：リカバリサイクルを12サイクル挿入 1 1 0 1：リカバリサイクルを13サイクル挿入 1 1 1 0：リカバリサイクルを14サイクル挿入 1 1 1 1：リカバリサイクルを15サイクル挿入	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnREC レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j = 0 ～ 7) により、アドレス / データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) により、リカバリサイクル挿入許可に設定されている場合に有効となります。

RRCV[3:0] ビット (リードリカバリ設定ビット)

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b” 以外を設定すると、以下の場合に 1 ～ 15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合

- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合

WRCV[3:0] ビット (ライトリカバリ設定ビット)

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b” 以外を設定すると、以下の場合に 1 ～ 15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

15.3.3 CS リカバリサイクル挿入許可レジスタ (CSRECEN)

アドレス 0008 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVENM7	RCVENM6	RCVENM5	RCVENM4	RCVENM3	RCVENM2	RCVENM1	RCVENM0	RCVEN7	RCVEN6	RCVEN5	RCVEN4	RCVEN3	RCVEN2	RCVEN1	RCVEN0
リセット後の値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVEN0	セパレートバス用リカバリサイクル挿入許可0ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b1	RCVEN1	セパレートバス用リカバリサイクル挿入許可1ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b2	RCVEN2	セパレートバス用リカバリサイクル挿入許可2ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b3	RCVEN3	セパレートバス用リカバリサイクル挿入許可3ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b4	RCVEN4	セパレートバス用リカバリサイクル挿入許可4ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b5	RCVEN5	セパレートバス用リカバリサイクル挿入許可5ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b6	RCVEN6	セパレートバス用リカバリサイクル挿入許可6ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b7	RCVEN7	セパレートバス用リカバリサイクル挿入許可7ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b8	RCVENM0	マルチプレクスバス用リカバリサイクル挿入許可0ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b9	RCVENM1	マルチプレクスバス用リカバリサイクル挿入許可1ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b10	RCVENM2	マルチプレクスバス用リカバリサイクル挿入許可2ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b11	RCVENM3	マルチプレクスバス用リカバリサイクル挿入許可3ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b12	RCVENM4	マルチプレクスバス用リカバリサイクル挿入許可4ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b13	RCVENM5	マルチプレクスバス用リカバリサイクル挿入許可5ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b14	RCVENM6	マルチプレクスバス用リカバリサイクル挿入許可6ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b15	RCVENM7	マルチプレクスバス用リカバリサイクル挿入許可7ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W

CSRECEN レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

RCVENn ビット (セパレートバス用リカバリサイクル挿入許可 n ビット) (n = 0 ～ 7)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENMn ビット (マルチプレクスバス用リカバリサイクル挿入許可 n ビット) (n = 0 ～ 7)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

表15.7 リカバリサイクルの挿入

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応ビット (セパレート/マルチプレクス)
リードアクセス後のリードアクセス	同じ領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN0/RCVENM0
	異なる領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN1/RCVENM1
リードアクセス後のライトアクセス	同じ領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN2/RCVENM2
	異なる領域	RRCV[3:0]ビット設定サイクル数が挿入	RCVEN3/RCVENM3
ライトアクセス後のリードアクセス	同じ領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN4/RCVENM4
	異なる領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN5/RCVENM5
ライトアクセス後のライトアクセス	同じ領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN6/RCVENM6
	異なる領域	WRCV[3:0]ビット設定サイクル数が挿入	RCVEN7/RCVENM7

15.3.4 CSn モードレジスタ (CSnMOD) (n = 0 ～ 3)

アドレス CS0MOD 0008 3002h, CS1MOD 0008 3012h, CS2MOD 0008 3022h, CS3MOD 0008 3032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択ビット	0：バイトストローブモード 1：1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EWENB	外部ウェイト許可ビット	0：外部ウェイト禁止 1：外部ウェイト許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRENB	ページリードアクセス許可ビット	0：ページリードアクセス禁止 1：ページリードアクセス許可	R/W
b9	PWENB	ページライトアクセス許可ビット	0：ページライトアクセス禁止 1：ページライトアクセス許可	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PRMOD	ページリードアクセスモード選択ビット	0：ノーマルアクセス互換モード 1：外部データリード連続アサートモード	R/W

CSnMOD レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

WRMOD ビット (ライトアクセスモード選択ビット)

ライトアクセス時の動作モードを選択します。

“0” を設定すると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn# 信号 (n = 0 , 1) によりデータの書き込みの制御を行います。

“1” を設定すると、1 ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn# 信号 (n = 0, 1) と WR# 信号によりデータの書き込みの制御を行います。ただし、1 ライトストローブモード時は、8 ビット外部バス幅の設定は禁止です。

表 15.8 ライトアクセスモードの制御信号

モード	端子名			
ライトアクセスモード	WR1#	WR0#/WR#	BC1#	BC0#
バイトストローブモード	○	○(WR0#)	×	×
1ライトストローブモード	×	○(WR#)	○	○

○：有効、×：無効

EWENB ビット (外部ウェイト許可ビット)

外部ウェイトの許可 / 禁止を設定します。

“1” を設定すると、外部ウェイト許可となり、WAIT# 信号により各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。

“0” を設定すると、WAIT# 信号は無効となります。

PRENB ビット (ページリードアクセス許可ビット)

ページリードアクセスの許可 / 禁止を設定します。

注 . CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス / データマルチプレクス I/O インタフェースを選択している場合、ページリードアクセスを許可しないでください。アドレス / データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PWENB ビット (ページライトアクセス許可ビット)

ページライトアクセスの許可 / 禁止を設定します。

注 . CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス / データマルチプレクス I/O インタフェースを選択している場合、ページライトアクセスを許可しないでください。アドレス / データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PRMOD ビット (ページリードアクセスモード選択ビット)

ページリードアクセス時の動作モードを選択します。

“0” を設定すると、ノーマルアクセス互換モードになります。このとき、1 つのデータをリードするごとに RD# 信号がネゲートされ、RD アサートウェイトが挿入されます。ただし、RD アサートウェイトが 0 の場合は、外部バスアクセスの最後の転送以外 RD# 信号はネゲートされません。

“1” を設定すると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトは挿入されますが、その間 RD# 信号がアサートされ続けます。

15.3.5 CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ～ 3)

アドレス CS0WCR1 0008 3004h, CS1WCR1 0008 3014h, CS2WCR1 0008 3024h, CS3WCR1 0008 3034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	CSRWAIT[4:0]					—	—	—	CSWWAIT[4:0]				
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSPRWAIT[2:0]			—	—	—	—	—	CSPWWAIT[2:0]		
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクルウェイト選択ビット (注1)	b2 b0 ０ ０ ０ : ウェイトを挿入しない ０ ０ １ : ウェイトを1サイクル挿入 ０ １ ０ : ウェイトを2サイクル挿入 ０ １ １ : ウェイトを3サイクル挿入 １ ０ ０ : ウェイトを4サイクル挿入 １ ０ １ : ウェイトを5サイクル挿入 １ １ ０ : ウェイトを6サイクル挿入 １ １ １ : ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクルウェイト選択ビット (注2)	b10 b8 ０ ０ ０ : ウェイトを挿入しない ０ ０ １ : ウェイトを1サイクル挿入 ０ １ ０ : ウェイトを2サイクル挿入 ０ １ １ : ウェイトを3サイクル挿入 １ ０ ０ : ウェイトを4サイクル挿入 １ ０ １ : ウェイトを5サイクル挿入 １ １ ０ : ウェイトを6サイクル挿入 １ １ １ : ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクルウェイト選択ビット	b20 b16 0 0 0 0 0：ウェイトを挿入しない 0 0 0 0 1：ウェイトを1サイクル挿入 0 0 0 1 0：ウェイトを2サイクル挿入 0 0 0 1 1：ウェイトを3サイクル挿入 0 0 1 0 0：ウェイトを4サイクル挿入 0 0 1 0 1：ウェイトを5サイクル挿入 0 0 1 1 0：ウェイトを6サイクル挿入 0 0 1 1 1：ウェイトを7サイクル挿入 0 1 0 0 0：ウェイトを8サイクル挿入 0 1 0 0 1：ウェイトを9サイクル挿入 0 1 0 1 0：ウェイトを10サイクル挿入 0 1 0 1 1：ウェイトを11サイクル挿入 0 1 1 0 0：ウェイトを12サイクル挿入 0 1 1 0 1：ウェイトを13サイクル挿入 0 1 1 1 0：ウェイトを14サイクル挿入 0 1 1 1 1：ウェイトを15サイクル挿入 1 0 0 0 0：ウェイトを16サイクル挿入 1 0 0 0 1：ウェイトを17サイクル挿入 1 0 0 1 0：ウェイトを18サイクル挿入 1 0 0 1 1：ウェイトを19サイクル挿入 1 0 1 0 0：ウェイトを20サイクル挿入 1 0 1 0 1：ウェイトを21サイクル挿入 1 0 1 1 0：ウェイトを22サイクル挿入 1 0 1 1 1：ウェイトを23サイクル挿入 1 1 0 0 0：ウェイトを24サイクル挿入 1 1 0 0 1：ウェイトを25サイクル挿入 1 1 0 1 0：ウェイトを26サイクル挿入 1 1 0 1 1：ウェイトを27サイクル挿入 1 1 1 0 0：ウェイトを28サイクル挿入 1 1 1 0 1：ウェイトを29サイクル挿入 1 1 1 1 0：ウェイトを30サイクル挿入 1 1 1 1 1：ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクルウェイト選択ビット	b28 b24 0 0 0 0 0：ウェイトを挿入しない 0 0 0 0 1：ウェイトを1サイクル挿入 0 0 0 1 0：ウェイトを2サイクル挿入 0 0 0 1 1：ウェイトを3サイクル挿入 0 0 1 0 0：ウェイトを4サイクル挿入 0 0 1 0 1：ウェイトを5サイクル挿入 0 0 1 1 0：ウェイトを6サイクル挿入 0 0 1 1 1：ウェイトを7サイクル挿入 0 1 0 0 0：ウェイトを8サイクル挿入 0 1 0 0 1：ウェイトを9サイクル挿入 0 1 0 1 0：ウェイトを10サイクル挿入 0 1 0 1 1：ウェイトを11サイクル挿入 0 1 1 0 0：ウェイトを12サイクル挿入 0 1 1 0 1：ウェイトを13サイクル挿入 0 1 1 1 0：ウェイトを14サイクル挿入 0 1 1 1 1：ウェイトを15サイクル挿入 1 0 0 0 0：ウェイトを16サイクル挿入 1 0 0 0 1：ウェイトを17サイクル挿入 1 0 0 1 0：ウェイトを18サイクル挿入 1 0 0 1 1：ウェイトを19サイクル挿入 1 0 1 0 0：ウェイトを20サイクル挿入 1 0 1 0 1：ウェイトを21サイクル挿入 1 0 1 1 0：ウェイトを22サイクル挿入 1 0 1 1 1：ウェイトを23サイクル挿入 1 1 0 0 0：ウェイトを24サイクル挿入 1 1 0 0 1：ウェイトを25サイクル挿入 1 1 0 1 0：ウェイトを26サイクル挿入 1 1 0 1 1：ウェイトを27サイクル挿入 1 1 1 0 0：ウェイトを28サイクル挿入 1 1 1 0 1：ウェイトを29サイクル挿入 1 1 1 1 0：ウェイトを30サイクル挿入 1 1 1 1 1：ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CSPWWAIT[2:0]ビットの設定値は、CSnMOD.PWENBビットが“1”の場合のみ有効となります。
注2. CSPRWAIT[2:0]ビットの設定値は、CSnMOD.PRENBビットが“1”の場合のみ有効となります。

CSnWCR1 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「15.5.7　制約事項 (1)　セパレートバスインタフェースの場合の制約事項」あるいは、「15.5.7　制約事項 (2)　アドレス / データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSPWWAIT[2:0] ビット (ページライトサイクルウェイト選択ビット)

ページライトサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。
CSPWWAIT[2:0] ビットの設定は、CSnMOD.PWENB ビットが “1” のとき有効になります。

注 .　1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット、また CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビットとなるように設定してください。

CSPRWAIT[2:0] ビット (ページリードサイクルウェイト選択ビット)

ページリードサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。
CSPRWAIT[2:0] ビットの設定は、CSnMOD.PRENB ビットが “1” のとき有効になります。

注 .　CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSPRWAIT[2:0] ビットとなるように設定してください。

CSWWAIT[4:0] ビット (ノーマルライトサイクルウェイト 選択ビット)

ノーマルライトサイクルおよびページライトサイクルの最初のアクセスに挿入するサイクル数を設定します。

注 .　1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット、また CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSRWAIT[4:0] ビット (ノーマルリードサイクルウェイト 選択ビット)

ノーマルリードサイクルおよびページリードサイクルの最初のアクセスに挿入するサイクル数を設定します。

注 .　CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

15.3.6 CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ～ 3)

アドレス CS0WCR2 0008 3008h, CS1WCR2 0008 3018h, CS2WCR2 0008 3028h, CS3WCR2 0008 3038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AWAIT[1:0]		—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リード時CS延長サイクル選択ビット	b2 b0 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSWOFF[2:0]	ライト時CS延長サイクル選択ビット	b6 b4 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10 b8 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	AWAIT[1:0]	アドレスサイクルウェイト選択ビット	b13 b12 ０ ０：ウェイトを挿入しない ０ １：ウェイトを1サイクル挿入 １ ０：ウェイトを2サイクル挿入 １ １：ウェイトを3サイクル挿入	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択ビット	b18 b16 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択ビット	b22 b20 0 0 0：ウェイトを挿入しない 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26 b24 0 0 0：ウェイトを挿入しない 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択ビット	b30 b28 0 0 0：ウェイトを挿入しない 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnWCR2 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「15.5.7　制約事項 (1)　セパレートバスインタフェースの場合の制約事項」あるいは、「15.5.7　制約事項 (2)　アドレス / データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSROFF[2:0] ビット (リード時 CS 延長サイクル選択ビット)

リードアクセス時のウェイトサイクル終了時 (RD# 信号のネゲート時) から CSn# 信号 (n = 0 ～ 3) をネゲートするまでのサイクル数を設定します。

CSWOFF[2:0] ビット (ライト時 CS 延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n = 0, 1) のネゲート時) から CSn# 信号 (n = 0 ～ 3) をネゲートするまでのサイクル数を設定します。

注 .　CSnWCR2.WDOFF[2:0] ビット≦ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

WDOFF[2:0] ビット (ライトデータ出力延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n = 0, 1) のネゲート時) からライトデータ出力を終了するまでのサイクル数を設定します。

注 .　CSnWCR2.WDOFF[2:0] ビット≦ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

AWAIT[1:0] ビット (アドレスサイクルウェイト選択ビット)

アドレス / データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトサイクルを挿入します。

注 . CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.AWAIT[1:0] ビット
リードアクセス時、CSnWCR2.AWAIT[1:0] ビット +2 ≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビット
ライトアクセス時、CSnWCR2.AWAIT[1:0] ビット +2 ≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット
また、CSnWCR2.AWAIT[1:0] ビット +2 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

RDON[2:0] ビット (RD アサートウェイト選択ビット)

RD# 信号のアサート前に挿入するウェイトサイクル数を設定します。

注 . ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビット
ページリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSPRWAIT[2:0] ビット
となるように設定してください。

注 . アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 ≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

WRON[2:0] ビット (WR アサートウェイト選択ビット)

WRn# 信号 (n = 0, 1) のアサート前に挿入するウェイトサイクル数を設定します。

注 . ノーマルライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット、また、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット
ページライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット、また、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット
となるように設定してください。

注 . アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 ≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

WDON[2:0] ビット (ライトデータ出力ウェイト選択ビット)

ライトデータ出力の前に挿入するウェイトサイクル数を設定します。

注 . ノーマルライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット
ページライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット
となるように設定してください。

注 . アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSON[2:0] ビット (CS アサートウェイト選択ビット)

CSn# 信号 (n = 0 ～ 3) のアサート前に挿入するウェイトサイクル数を設定します。

注 . ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビット
ページリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSPRWAIT[2:0] ビット

ノーマルライトアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット
ページライトアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット
となるように設定してください。

注 . アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.AWAIT[1:0] ビットとなるように設定してください。

15.3.7 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0 : 無効 1 : バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1” を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0” 書き込みは無効です。読むと “0” が読み出されます。

15.3.8 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0 : 不正アドレスアクセス検出禁止 1 : 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0 : バスタイムアウト検出禁止 1 : バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止(TOEN ビット = 0)にしてバスアクセスを行った場合、バスがフリーズすることがあります。
注2. タイムアウトエラー検出中にTOEN ビットを“0” (検出禁止)にしないようにしてください。

15.3.9 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MST[2:0]			—	—	TO	IA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0：不正アドレスアクセスの発生なし 1：不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0：タイムアウトの発生なし 1：タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0：CPU 0 0 1：予約 0 1 0：予約 0 1 1：DTC/DMAC 1 0 0：予約 1 0 1：予約 1 1 0：予約 1 1 1：予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.10 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDR[12:0]													—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512Kバイト単位)	R

15.3.11 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	BPEB[1:0]		BPFB[1:0]		BPHB[1:0]		BPGB[1:0]		BPIB[1:0]		BPRO[1:0]		BPRA[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1, 3 (RAM/ECCRAM)プライオリティ制御ビット	b1 b0 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) (注1)
b3-b2	BPRO[1:0]	メモリバス2 (コードフラッシュメモリ)プライオリティ制御ビット	b3 b2 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス2, 3プライオリティ制御ビット	b7 b6 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) (注1)
b9-b8	BPHB[1:0]	内部周辺バス4プライオリティ制御ビット	b9 b8 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) (注1)
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) (注1)
b13-b12	BPEB[1:0]	外部バスプライオリティ制御ビット	b13 b12 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTC、DMACが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス 1, 3 (RAM/ECCRAM) プライオリティ制御ビット)

メモリバス 1 (RAM)、メモリバス 3 (ECCRAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > CPU バス (命令バス、オペランドバス) となります。

優先順位トグルの場合は、CPU バス (命令バス、オペランドバス) と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス 2 (コードフラッシュメモリ) プライオリティ制御ビット)

メモリバス 2 (コードフラッシュメモリ) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > CPU バス (命令バス、オペランドバス) となります。

優先順位トグルの場合は、CPU バス (命令バス、オペランドバス) と内部メインバス 2 とでバス要求を受

け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット (内部周辺バス 2, 3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット (内部周辺バス 4 プライオリティ制御ビット)

内部周辺バス 4 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPEB[1:0] ビット (外部バスプライオリティ制御ビット)

外部バスに対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 エンディアンとデータアライメント

外部バスは、データアライメント機能を持っており、外部アドレス空間 (CS 領域) をアクセスするときデータバス D15 ～ D8、D7 ～ D0 のどれを使用するかを、アクセスする領域のバス仕様 (8 ビットバス空間、16 ビットバス空間) とデータサイズ、およびエンディアンモードによって制御します。

15.4.1 CS 領域のデータアライメント制御

(1) 16 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス (A20 ～ A1) が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス (A0) は無効 (Low 固定) になります。

バイトストローブモード (CSnMOD.WRMOD ビット = 0) を選択した場合、WR0#、WR1# 端子が有効になります。BC0#、BC1# 端子は使用しません。

1 ライトストローブモード (CSnMOD.WRMOD ビット = 1) を選択した場合、WR0# 端子のみ有効となり、データサイズにかかわらずライトアクセス時には WR0# 端子より Low が出力されます。このとき、WR1# 端子は無効 (High 固定) になります。有効なバイト位置は、BC0#、BC1# 端子により表します。

16 ビットバス空間では、32 ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが 32 ビット境界を越えず、かつ BC0#、BC1# 信号の変化しない転送がページアクセスの対象となります。ページアクセスが発生する場合を**図 15.6**、**図 15.7** に (p) で示します。

16 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0# RD# データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	7 0
	4n+1	1回	1回目	8bit	4n	7 0
	4n+2	1回	1回目	8bit	4n+2	7 0
	4n+3	1回	1回目	8bit	4n+2	7 0
16bit	4n	1回	1回目	16bit	4n	15 8 7 0
	4n+1	2回	1回目	8bit	4n	7 0
			2回目	8bit	4n+2	15 8
	4n+2	1回	1回目	16bit	4n+2	15 8 7 0
	4n+3	2回	1回目	8bit	4n+2	7 0
			2回目	8bit	4n+4	15 8
32bit	4n	2回	1回目	16bit	4n	15 8 7 0
			2回目	16bit	4n+2 (p)	31 24 23 16
	4n+1	3回	1回目	8bit	4n	7 0
			2回目	16bit	4n+2	23 16 15 8
			3回目	8bit	4n+4	31 24
	4n+2	2回	1回目	16bit	4n+2	15 8 7 0
			2回目	16bit	4n+4	31 24 23 16
	4n+3	3回	1回目	8bit	4n+2	7 0
			2回目	16bit	4n+4	23 16 15 8
			3回目	8bit	4n+6	31 24

CSnMOD.PRENB, PWENB ビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.6　16 ビットバス空間のデータアライメント (リトルエンディアン)

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0# RD# データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	7 0
	4n+1	1回	1回目	8bit	4n	7 0
	4n+2	1回	1回目	8bit	4n+2	7 0
	4n+3	1回	1回目	8bit	4n+2	7 0
16bit	4n	1回	1回目	16bit	4n	15 8 7 0
	4n+1	2回	1回目	8bit	4n	15 8
			2回目	8bit	4n+2	7 0
	4n+2	1回	1回目	16bit	4n+2	15 8 7 0
	4n+3	2回	1回目	8bit	4n+2	15 8
			2回目	8bit	4n+4	7 0
32bit	4n	2回	1回目	16bit	4n	31 24 23 16
			2回目	16bit	4n+2 (p)	15 8 7 0
	4n+1	3回	1回目	8bit	4n	31 24
			2回目	16bit	4n+2	23 16 15 8
			3回目	8bit	4n+4	7 0
	4n+2	2回	1回目	16bit	4n+2	31 24 23 16
			2回目	16bit	4n+4	15 8 7 0
	4n+3	3回	1回目	8bit	4n+2	31 24
			2回目	16bit	4n+4	23 16 15 8
			3回目	8bit	4n+6	7 0

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.7　16 ビットバス空間のデータアライメント (ビッグエンディアン)

(2) 8 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 8 ビットバス空間を選択すると、アドレスバス (A20 ～ A0) がバイト単位のアドレス信号として有効になります。

8 ビットバス空間ではライトアクセスモードの設定にかかわらず、WR0# 端子のみが有効になります。WR0# 端子にはライトアクセス時に Low が出力されます。WR1#、BC0#、BC1# 端子は使用しません。

8 ビットバス空間では、16 ビット、32 ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが 32 ビット境界を越えない転送がページアクセスの対象となります。ページアクセスが発生する場合を図 15.8、図 15.9 に (p) で示します。

8 ビットバス空間では、エンディアンにかかわらずチップの外部データは D7 ～ D0、制御信号は WR0# 信号を使用します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		WR1#/BC1# WR0#/BC0# RD# データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n		7 0
	4n+1	1回	1回目	8bit	4n+1		7 0
	4n+2	1回	1回目	8bit	4n+2		7 0
	4n+3	1回	1回目	8bit	4n+3		7 0
16bit	4n	2回	1回目	8bit	4n		7 0
			2回目	8bit	4n+1	(p)	15 8
	4n+1	2回	1回目	8bit	4n+1		7 0
			2回目	8bit	4n+2	(p)	15 8
	4n+2	2回	1回目	8bit	4n+2		7 0
			2回目	8bit	4n+3	(p)	15 8
	4n+3	2回	1回目	8bit	4n+3		7 0
			2回目	8bit	4n+4		15 8
32bit	4n	4回	1回目	8bit	4n		7 0
			2回目	8bit	4n+1	(p)	15 8
			3回目	8bit	4n+2	(p)	23 16
			4回目	8bit	4n+3	(p)	31 24
	4n+1	4回	1回目	8bit	4n+1		7 0
			2回目	8bit	4n+2	(p)	15 8
			3回目	8bit	4n+3	(p)	23 16
			4回目	8bit	4n+4		31 24
	4n+2	4回	1回目	8bit	4n+2		7 0
			2回目	8bit	4n+3	(p)	15 8
			3回目	8bit	4n+4		23 16
			4回目	8bit	4n+5	(p)	31 24
	4n+3	4回	1回目	8bit	4n+3		7 0
			2回目	8bit	4n+4		15 8
			3回目	8bit	4n+5	(p)	23 16
			4回目	8bit	4n+6	(p)	31 24

CSnMOD.PRENB, PWENB ビットでページアクセスを許可した場合、(p) で表示されたアクセスがページアクセスの対象となります。

図 15.8 8 ビットバス空間のデータアライメント (リトルエンディアン)

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		WR1#/BC1# WR0#/BC0# RD# データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n		7 0
	4n+1	1回	1回目	8bit	4n+1		7 0
	4n+2	1回	1回目	8bit	4n+2		7 0
	4n+3	1回	1回目	8bit	4n+3		7 0
16bit	4n	2回	1回目	8bit	4n		15 8
			2回目	8bit	4n+1	(p)	7 0
	4n+1	2回	1回目	8bit	4n+1		15 8
			2回目	8bit	4n+2	(p)	7 0
	4n+2	2回	1回目	8bit	4n+2		15 8
			2回目	8bit	4n+3	(p)	7 0
	4n+3	2回	1回目	8bit	4n+3		15 8
			2回目	8bit	4n+4		7 0
32bit	4n	4回	1回目	8bit	4n		31 24
			2回目	8bit	4n+1	(p)	23 16
			3回目	8bit	4n+2	(p)	15 8
			4回目	8bit	4n+3	(p)	7 0
	4n+1	4回	1回目	8bit	4n+1		31 24
			2回目	8bit	4n+2	(p)	23 16
			3回目	8bit	4n+3	(p)	15 8
			4回目	8bit	4n+4		7 0
	4n+2	4回	1回目	8bit	4n+2		31 24
			2回目	8bit	4n+3	(p)	23 16
			3回目	8bit	4n+4		15 8
			4回目	8bit	4n+5	(p)	7 0
	4n+3	4回	1回目	8bit	4n+3		31 24
			2回目	8bit	4n+4		23 16
			3回目	8bit	4n+5	(p)	15 8
			4回目	8bit	4n+6	(p)	7 0

CSnMOD.PRENB, PWENB ビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.9　8 ビットバス空間のデータアライメント (ビッグエンディアン)

15.5 CS 領域コントローラの動作説明

15.5.1 セパレートバス

タイミング図に記載する各サイクルの説明を以下に示します。

CSC (CS 領域コントローラ) は外部バスクロック (BCLK) に同期して動作します。したがって、CSC のレジスタで設定したウェイト数などは、BCLK でカウントされます。以下、特に断らない限り、外部バスクロック (BCLK) と BCLK 端子出力は、同一周波数であるものとします。

外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック (BCLK) と BCLK 端子出力が異なる周波数の場合で、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合の 2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 15.15 ～図 15.19 参照)。また、直前の外部バスアクセスに対してリカバリサイクルが挿入されている場合にも、リカバリサイクル数の設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 15.35 参照)。

(a) Tw1 ～ Twn (ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト)

外部バスアクセス開始からストローブ信号有効サイクルの 1 サイクル前までのサイクル期間です。0 ～ 31 サイクルを選択できます。この期間内に CSn#、RD#、WRn# 信号が、ウェイト設定に応じて “Low” アサートされます。アサートするタイミングは、CSn ウェイト制御レジスタ 2 (CSnWCR2) の CS アサートウェイト選択ビット (CSON[2:0])、RD アサートウェイト選択ビット (RDON[2:0])、WR アサートウェイト選択ビット (WRON[2:0])、ライトデータ出力ウェイト選択ビット (WDON[2:0]) によって制御可能です。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点に数え、0 ～ 7 サイクルを選択可能です。選択可能なサイクル数は、リード / ライトサイクルウェイトのサイクル数以内です。

(b) Tend (ストローブ信号有効サイクル)

Tend はノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト期間、あるいはページリードサイクルウェイト、ページライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト、あるいはページリードサイクルウェイト、ページライトサイクルウェイトの各選択ビットが “0” の場合、バスアクセス開始のサイクルがストローブ信号有効サイクルとなります。ストローブ信号有効サイクルの次のサイクルで RD#、WRn# 信号がネゲートされます。リードアクセスの場合は、リードデータのサンプルサイクルとなります。

外部ウェイト許可の場合、ストローブ信号有効サイクル時点でウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長し、ウェイト信号が High になると次のサイクルでバスサイクルを終了します。(Tend) は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセスで 1 回目のストローブ信号有効サイクルの場合、ライトアクセス時のライトデータ出力延長サイクルが設定されている (“0” 以外の値) 場合 (d) を除いて、次のサイクル 2 回目以降のページアクセス (e) が開始されます。RD アサートウェイト、WR アサートウェイトの設定が “0” 以外の場合、次のサイクルで RD#、WRn# 信号がネゲートされます。“0” の場合、アサートが継続されます。また、CSn# 信号はネゲートされず、アサートを継続します。

(c) Tn1 ～ Tnm (CS 延長サイクル)

ノーマルアクセスの場合、ストローブ信号有効サイクル (Tend) の次のサイクルから CSn# 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時、CSn ウェイト制御レジスタ 2 (CSnWCR2) のリード時 CS 延長サイクル選択ビット (CSROFF[2:0])、ライトアクセス時、ライト時 CS 延長サイクル選択ビット (CSWOFF[2:0]) により制御可能です。

サイクル数は、ストローブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、最後のストローブ信号有効サイクルから CSn# 信号をネゲートするまでのサイクル期間です。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット (WDOFF) により、アドレス、出力データが延長されます。

(d) Tdw1 ～ Tdwn (ライトデータ出力延長サイクル)

ライトアクセス時、ライトデータ出力延長ウェイトが “0” 以外の設定の場合、ライトデータ出力延長サイクルがストローブ信号有効サイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル (c) の期間内に挿入されます。

ページアクセスの場合、ストローブ信号有効サイクル (Tend) と後続のページアクセスの間、および CS 延長サイクル (c) の期間内に挿入されます。この期間、アドレス、出力データが延長され、WRn# 信号はネゲートされます。

(e) Tpw1 ～ Tpwn (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセスの 2 回目以降のバスサイクルについては、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトの代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの値が使用されます。WR アサートウェイトの設定は、1 回目のアクセスと同様に有効となります。RD アサートの設定は、ページリードアクセスモード (CSnMOD.PRMOD ビット) の設定により動作が異なります。

CDnMOD.PRMOD ビット = 0 の場合：1 回目と同様に RD アサートウェイトが挿入され、RD# 信号がネゲートされます。

CDnMOD.PRMOD ビット = 1 の場合：ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されますが、その間、RD# 信号がアサートされ続けます。

(f) Tr1 ～ Trn (リカバリサイクル)

バスサイクルの終了時点 (CSn# 信号のネゲート時点) からリカバリサイクルの挿入ができます。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) のリードリカバリ設定ビット (RRCV)、ライトリカバリ設定ビット (WRCV) により制御可能です。各リカバリサイクル数は、バスサイクルの終了時点 (CSn# 信号のネゲート時点) を起点に数え、0 ～ 15 サイクルを選択可能です。リカバリサイクルの詳細は、「15.5.4 リカバリサイクルの挿入」を参照してください。

(1) ノーマルアクセス

CSnMOD.PRENB ビットを “0” (ページリードアクセス禁止)、CSnMOD.PWENB ビットを “0” (ページライトアクセス禁止) に設定した場合、すべてのバスアクセスはノーマルアクセスを行います。

CSnMOD.PRENB ビットを “1” (ページリードアクセス許可)、CSnMOD.PWENB ビットを “1” (ページライトアクセス許可) に設定した場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。

図 15.10 ～図 15.12 にノーマルアクセスの動作例を示します。

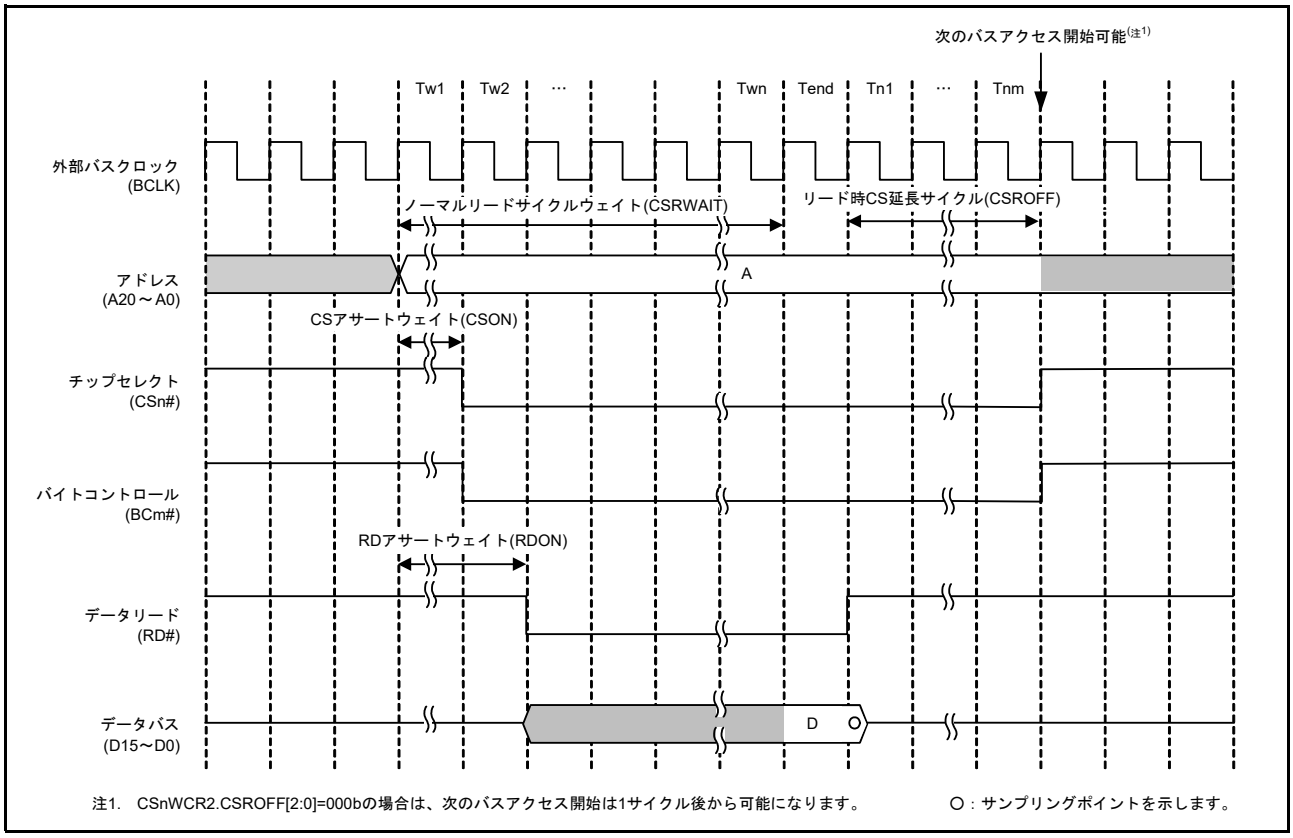


図 15.10 バスタイミング (ノーマルリード) (n = 0 ～ 3, m = 0, 1)

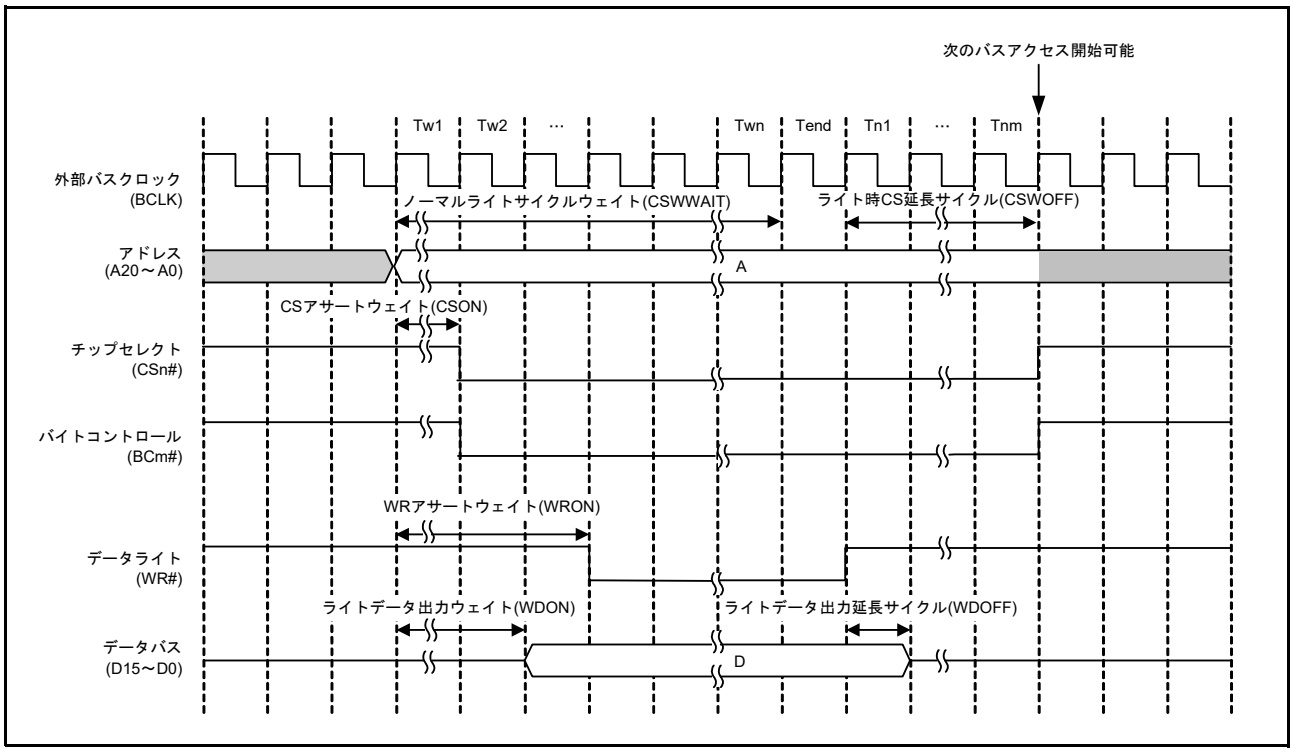


図 15.11 バスタイミング (ノーマルライト、1 ライトストローブモード) (n = 0 ～ 3, m = 0, 1)

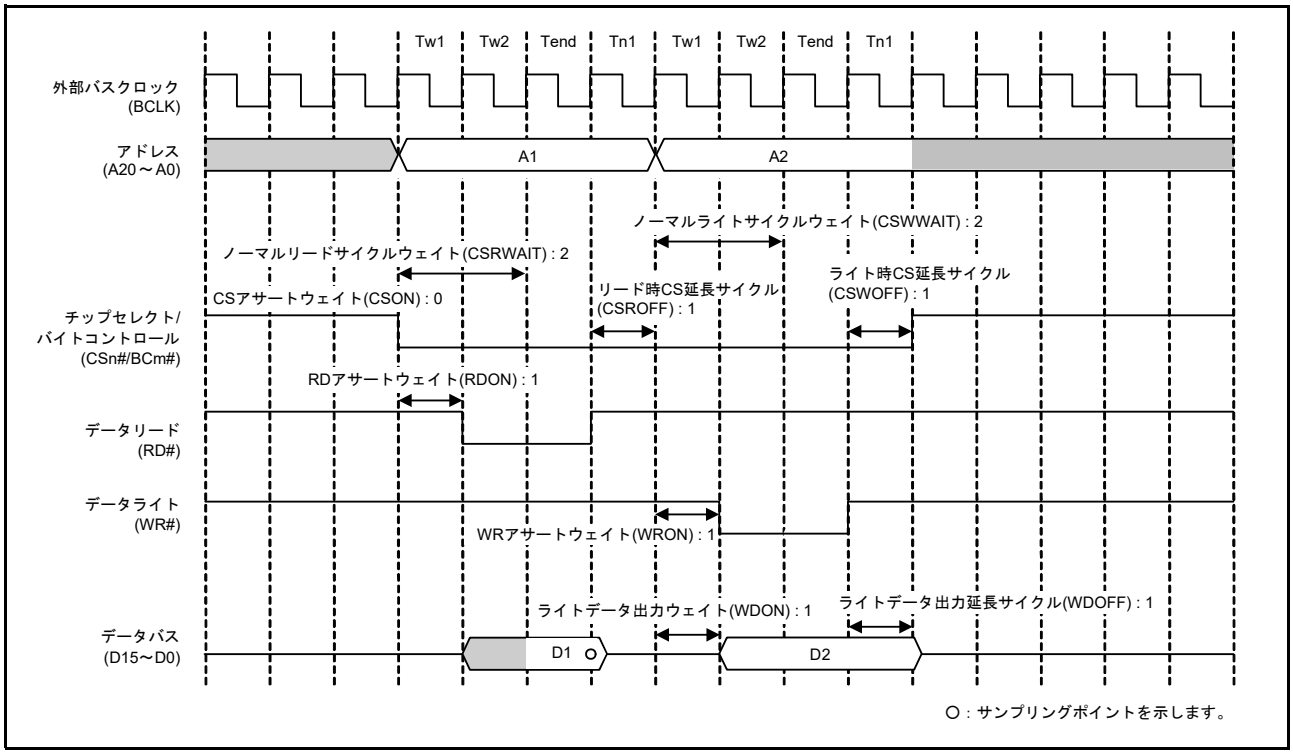


図 15.12　ノーマルアクセスの動作例 (リード、ライト) (n = 0 ～ 3, m = 0, 1)

バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作 ((a) から (d)) を繰り返します。図 15.13、図 15.14 に、1 転送要求に対して 2 回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2 回目以降の外部バスアクセスにもリカバリサイクル (f) の挿入が行われます (図 15.33 参照)。

各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

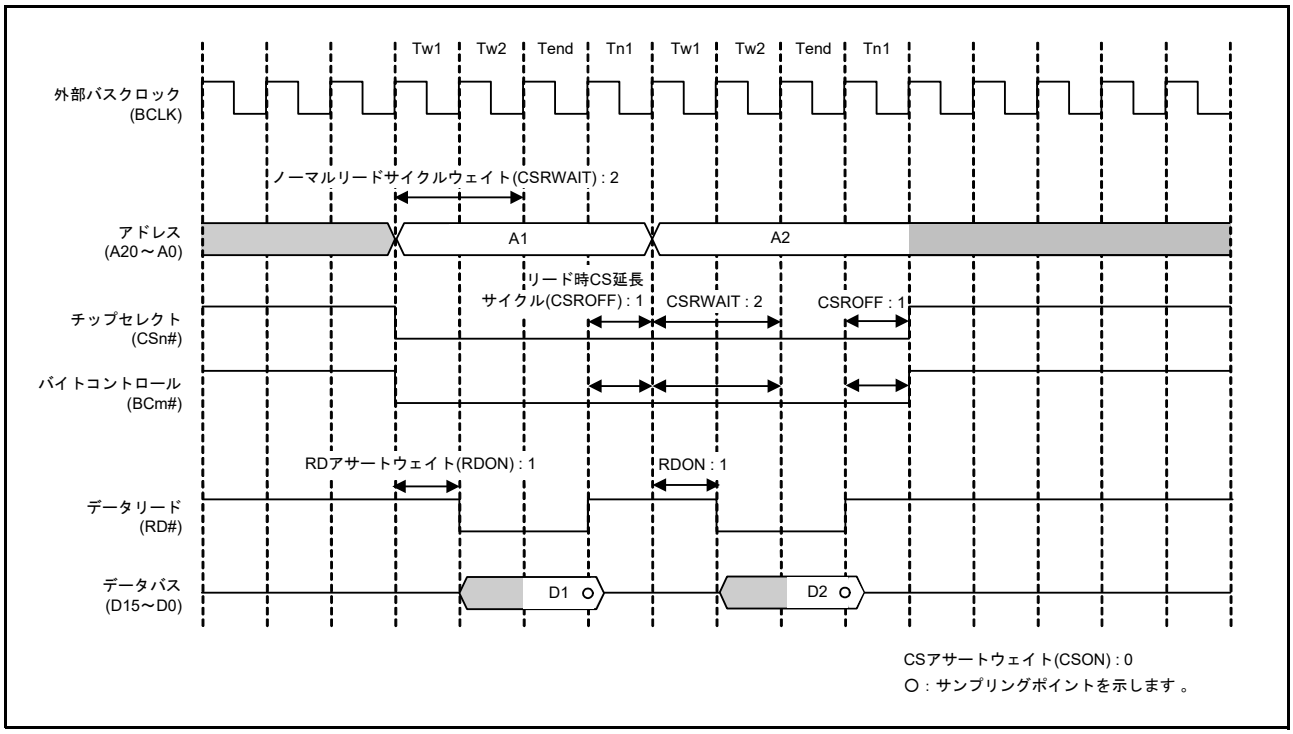


図 15.13　ノーマルリードアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合)
(n = 0 ～ 3, m = 0, 1)

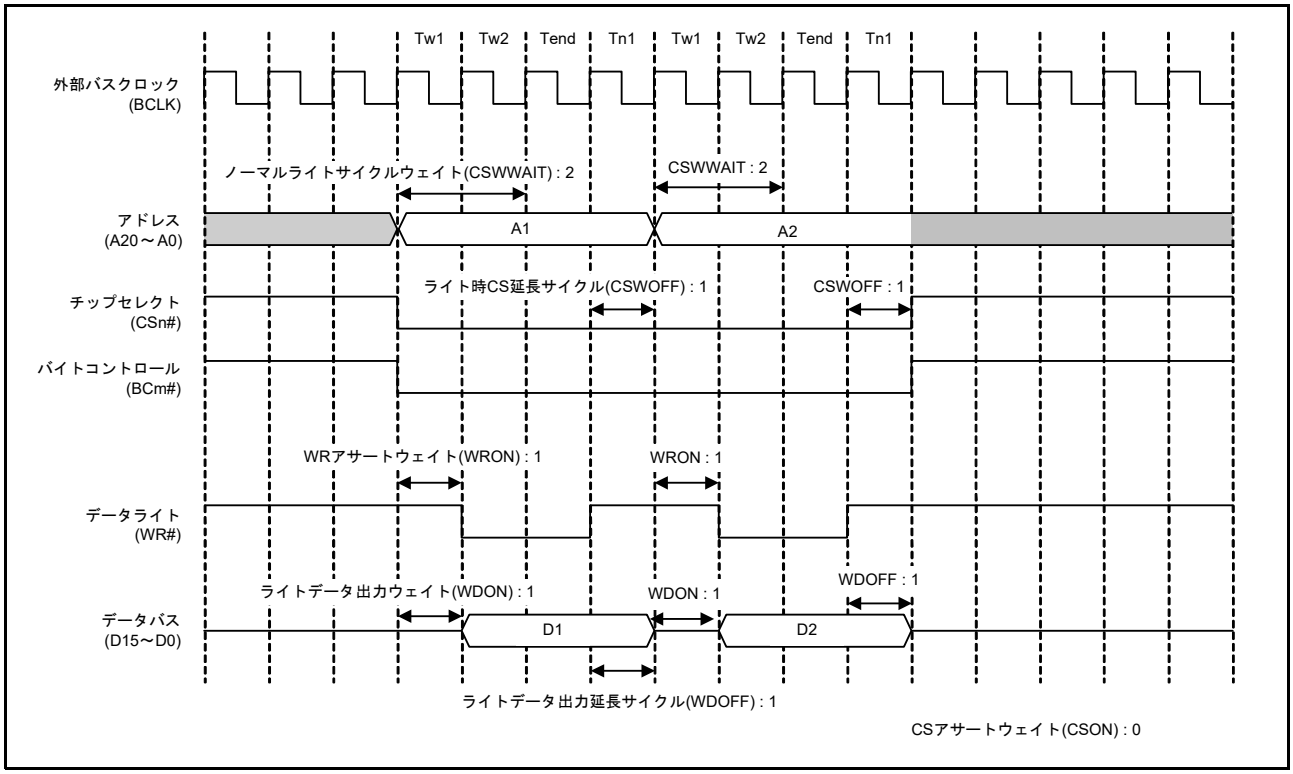


図 15.14　ノーマルライトアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合 :
1 ライトストローブモード時) (n = 0 ～ 3, m = 0, 1)

図 15.15 ～図 15.19 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

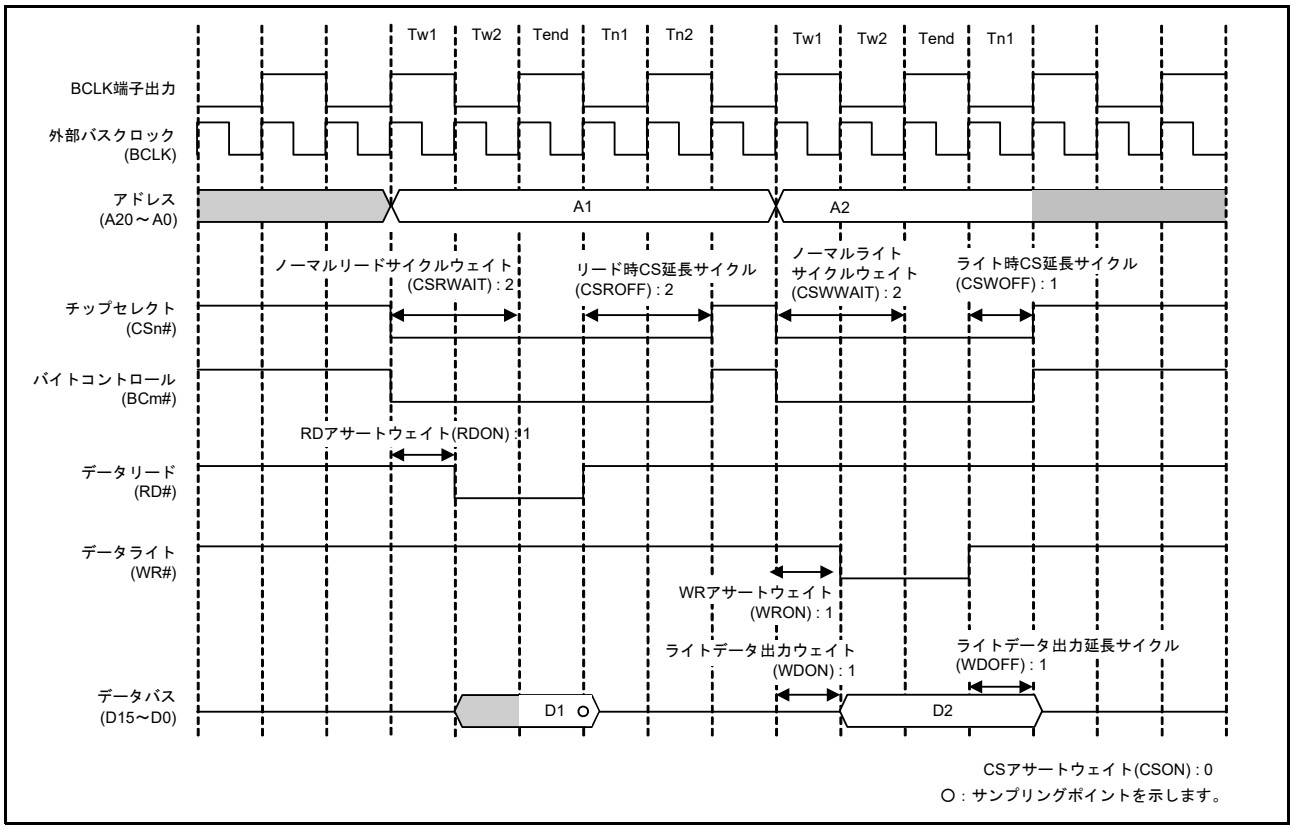


図 15.15　ノーマルアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合)
(n = 0 ～ 3, m = 0, 1)

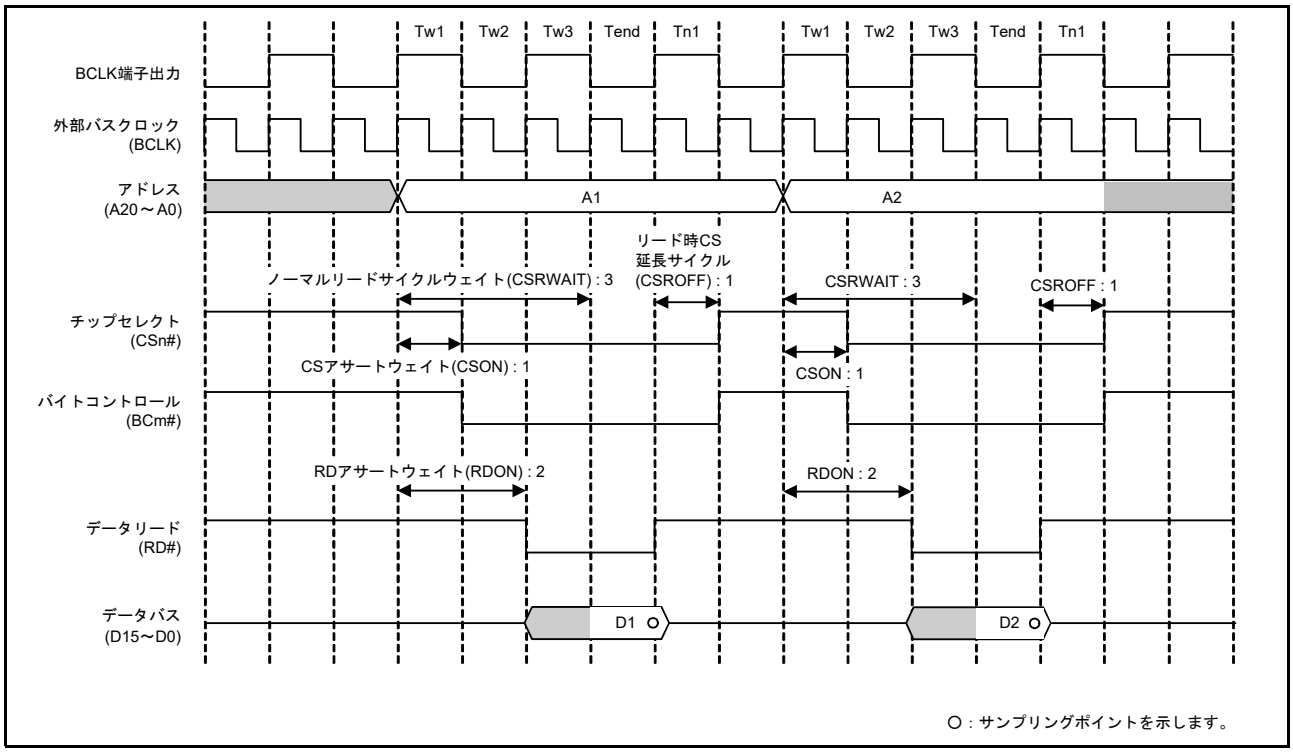


図 15.16　ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合)
(n = 0 ～ 3, m = 0, 1)

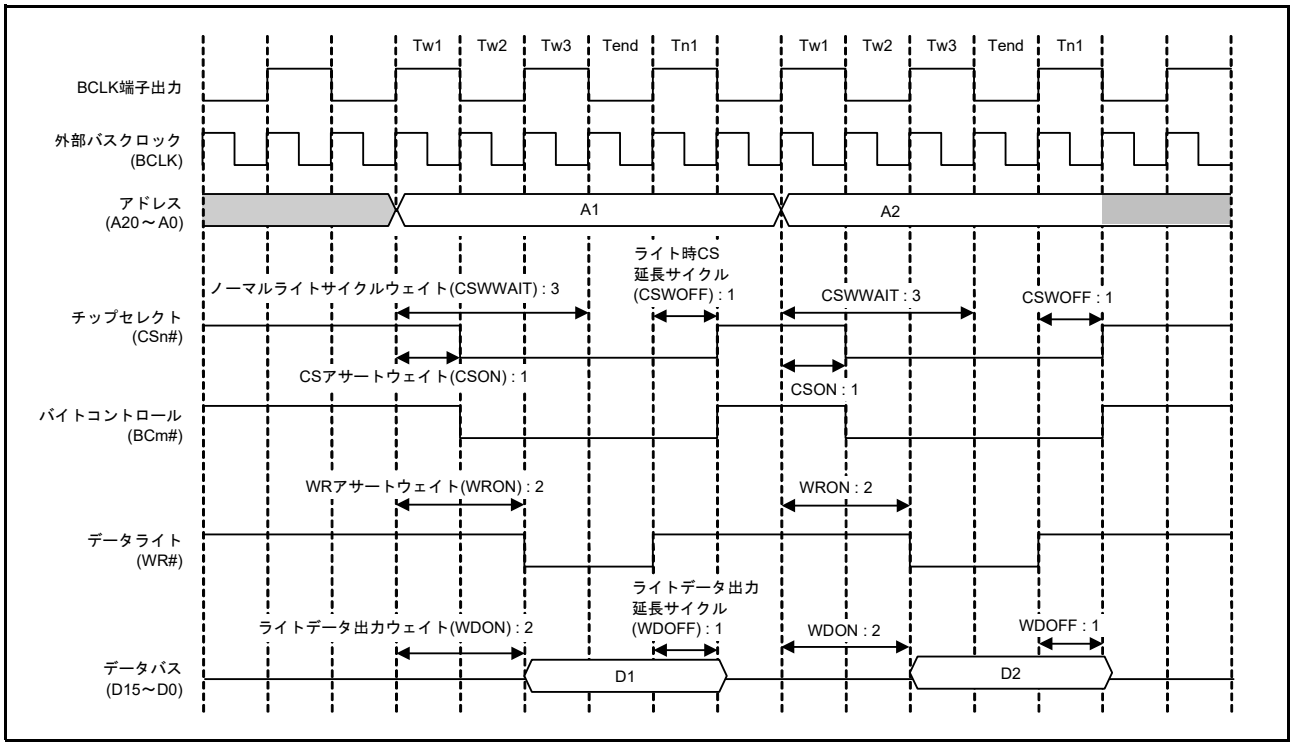


図 15.17　ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合)
(n = 0 ～ 3, m = 0, 1)

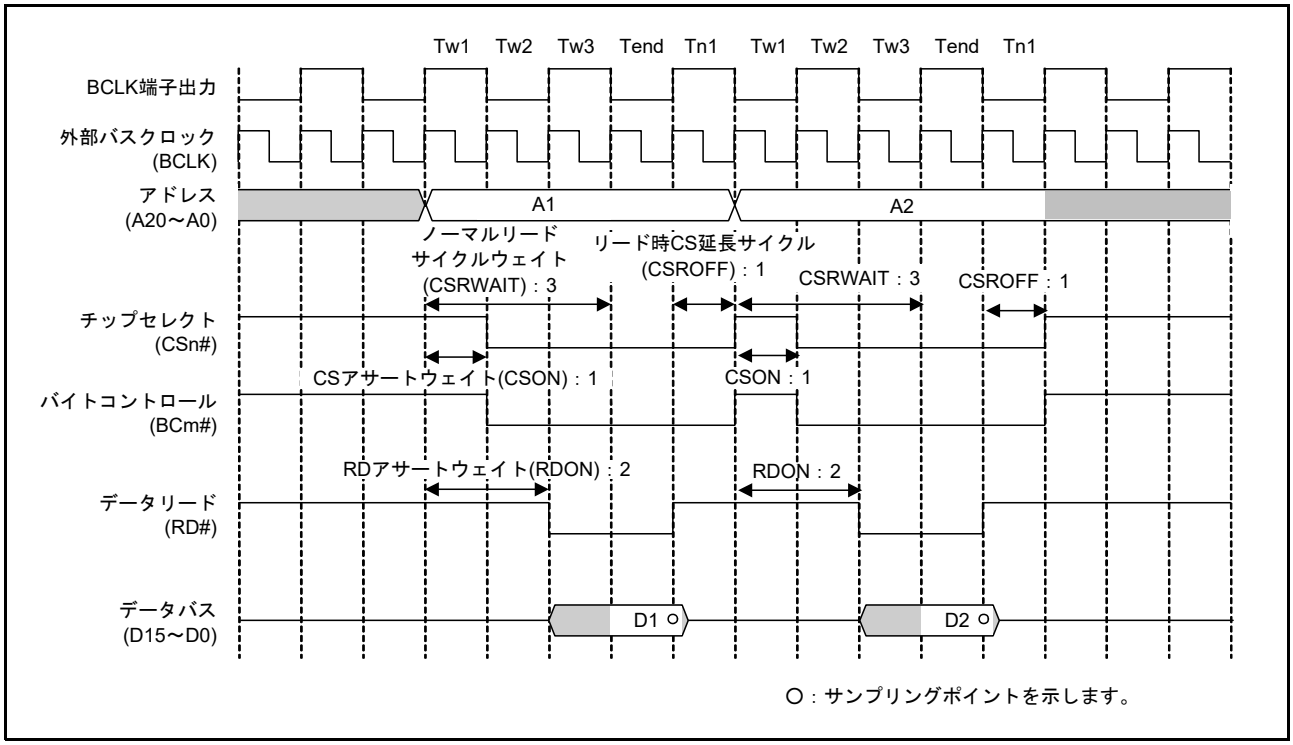


図 15.18　ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ～ 3, m = 0, 1)

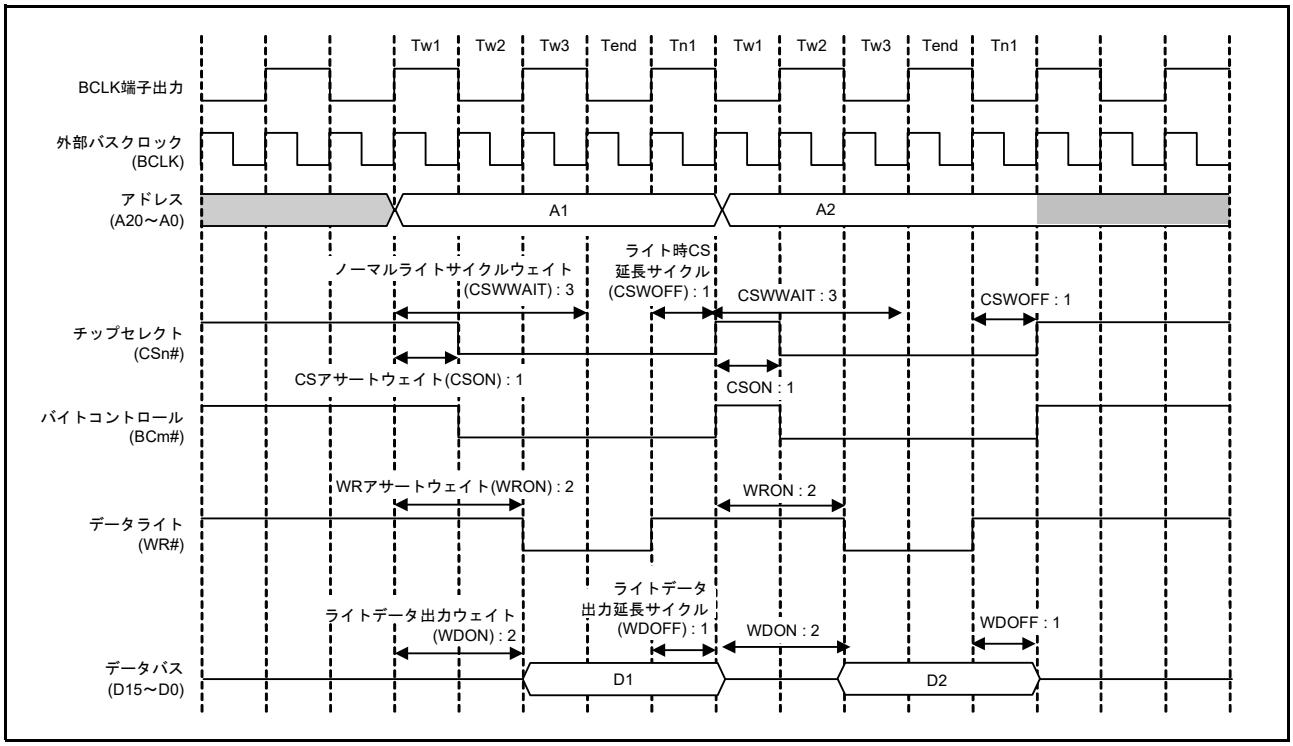


図 15.19　ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ～ 3, m = 0, 1)

(2)　ページアクセス

CSnMOD.PRENB ビットを “1” (ページリードアクセス許可)、CSnMOD.PWENB ビットを “1” (ページライトアクセス許可) に設定した場合、ページアクセスに該当するバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合がページアクセスの対象となります。ただし、分割されたアクセスが非アラインアクセスになる場合、および 32 ビット境界を越えるアクセスの場合、ページアクセスの対象とはならずノーマルアクセスとなります。ページアクセスが発生する条件の詳細は、図 15.6 ～図 15.9 を参照してください。

図 15.20、図 15.21 にページアクセスの動作例を示します。

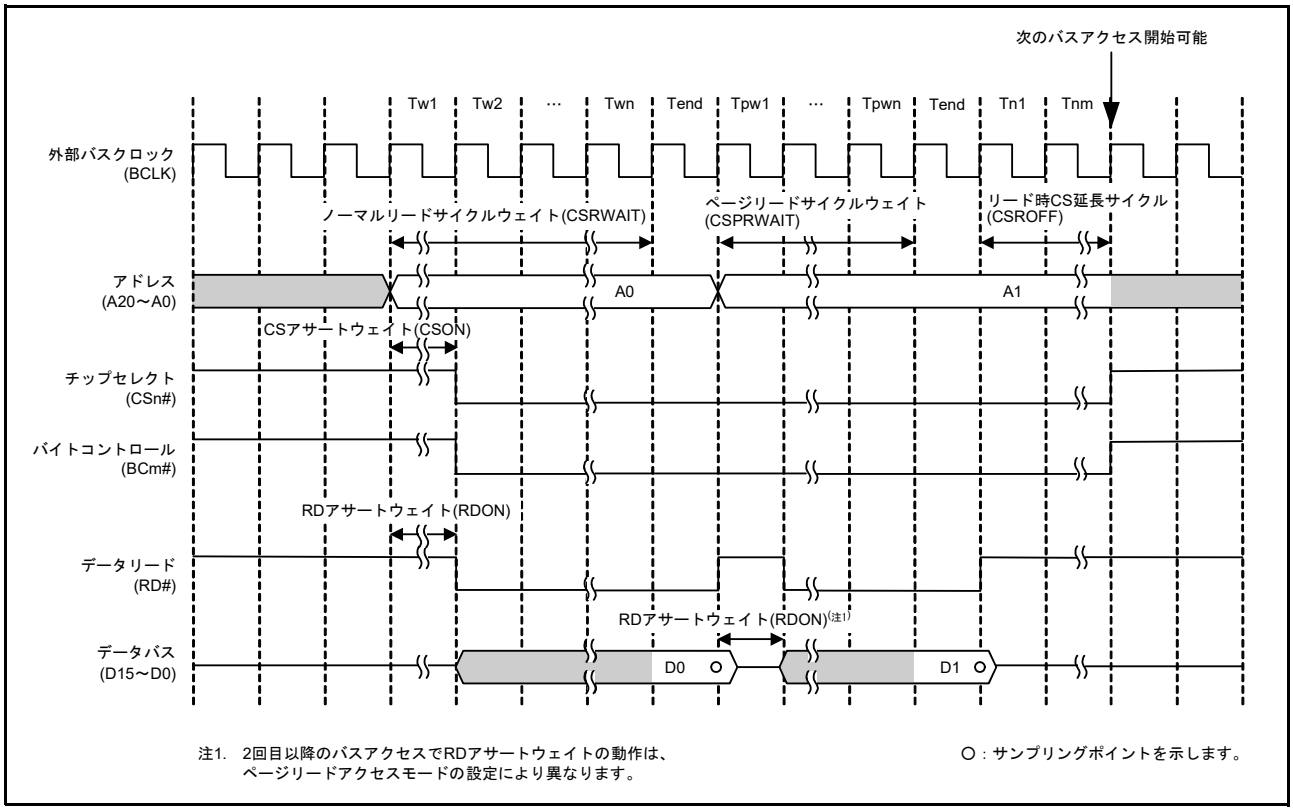


図 15.20 ページリードアクセスタイミング (n = 0 ～ 3, m = 0, 1)

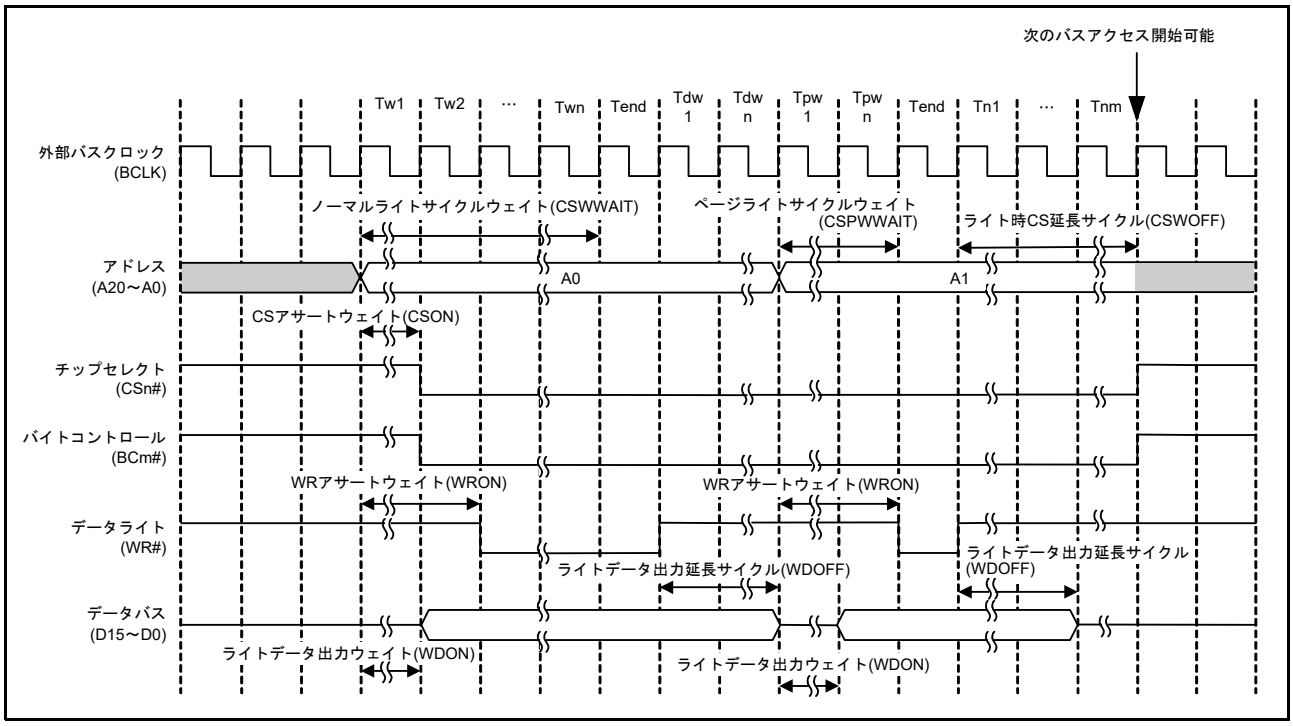


図 15.21 ページライトアクセスタイミング (n = 0 ～ 3, m = 0, 1)

図 15.22、図 15.23 に 16 ビットバス空間に対して 32 ビットバスアクセスした場合の動作例を示します。各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

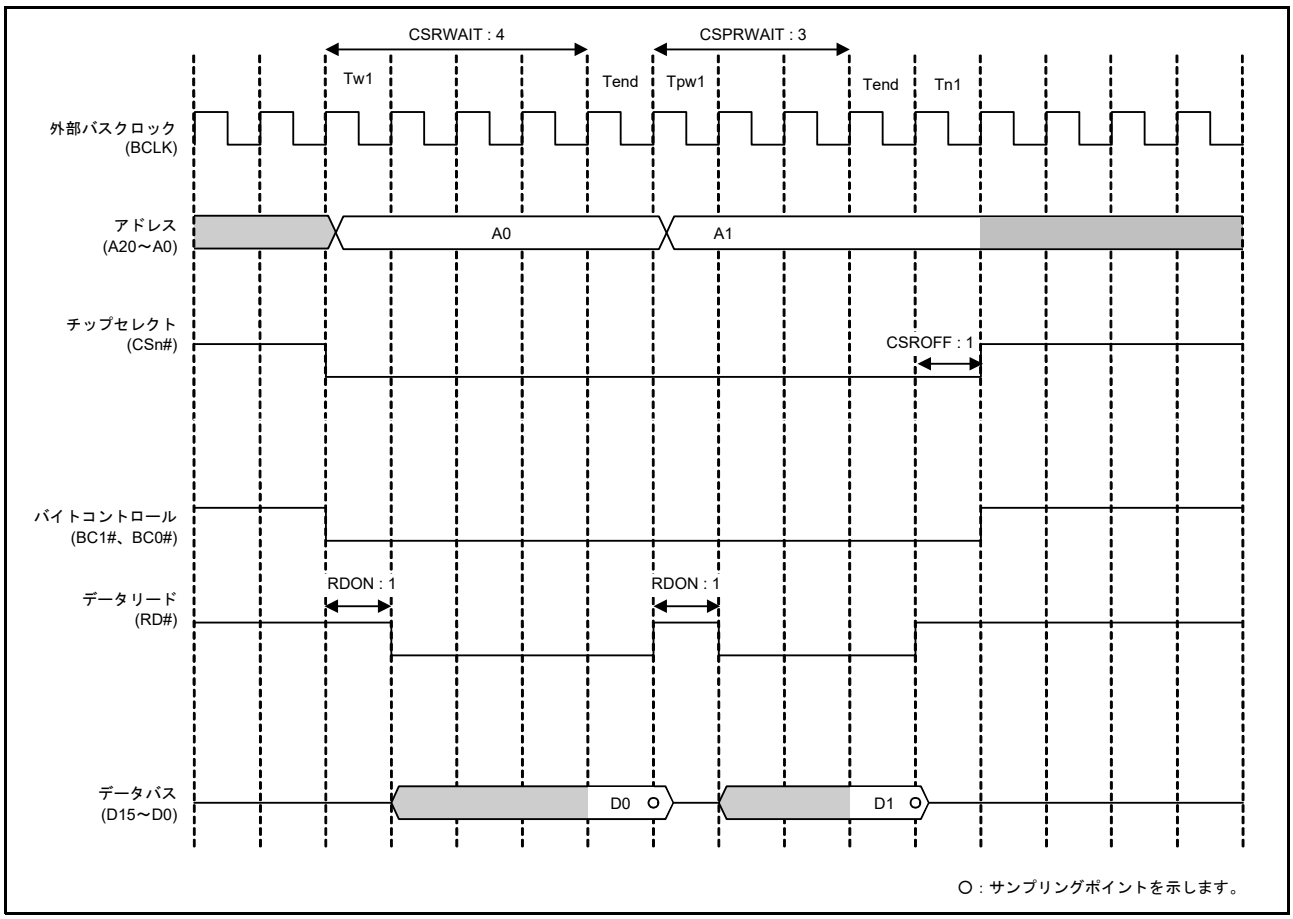


図 15.22　ページリードアクセスの動作例 (16 ビットバス空間に対して 32 ビットアクセスした場合)
(n = 0 ～ 3)

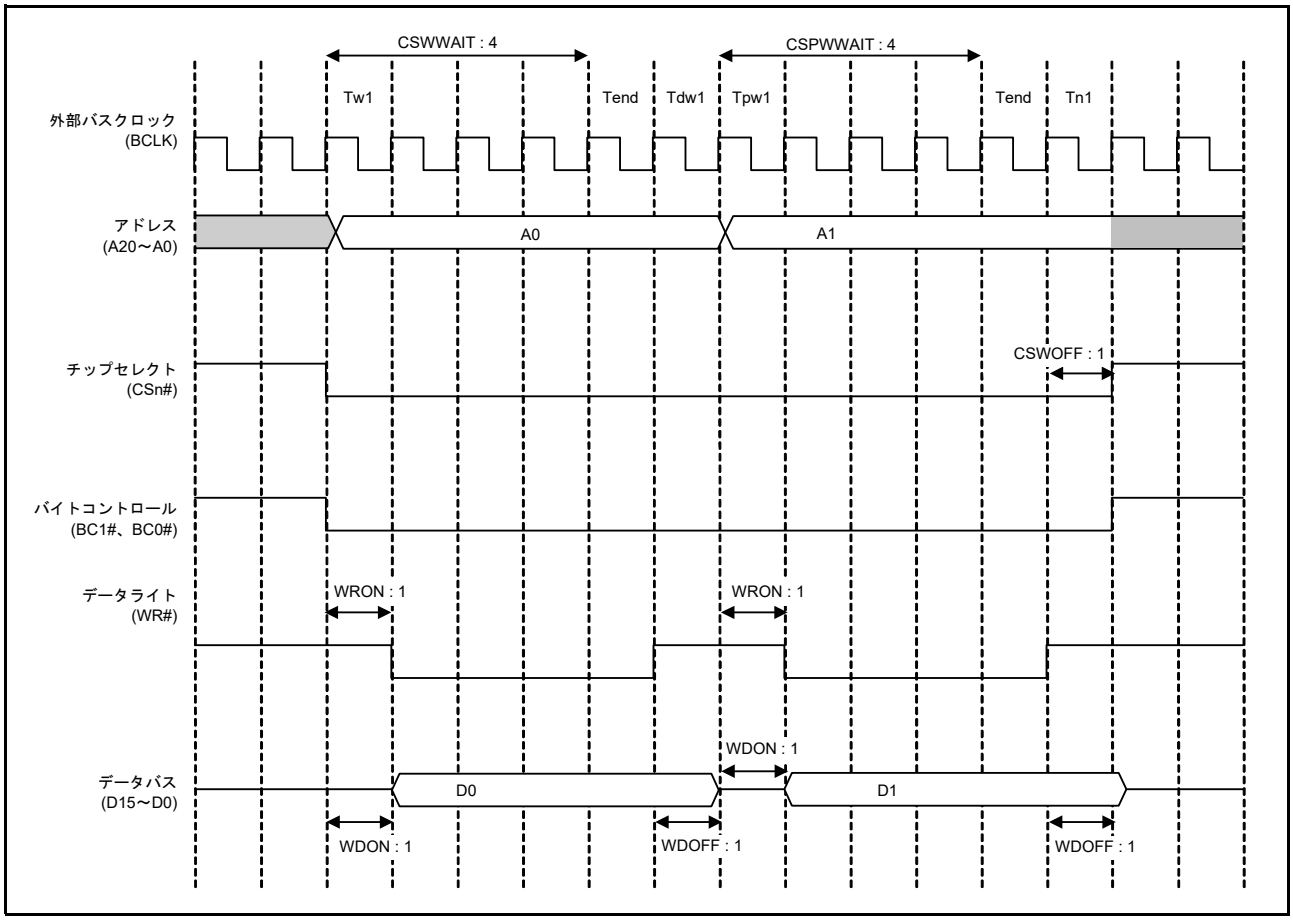


図 15.23　ページライトアクセスの動作例 (16 ビットバス空間に対して 32 ビットアクセスした場合：1 ライトストローブモード時) (n = 0 ～ 3)

図 15.24、図 15.25 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

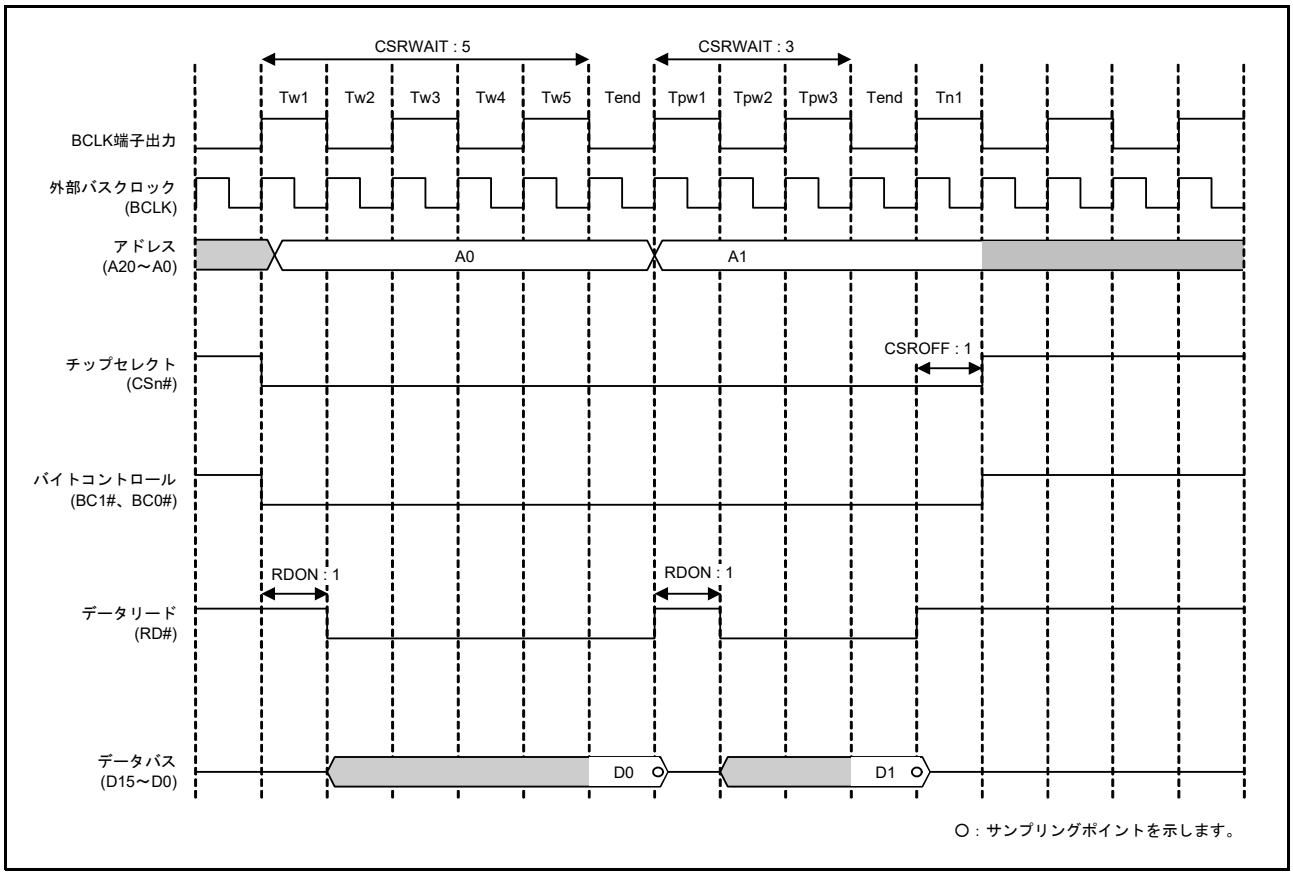


図 15.24　ページリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ～ 3)

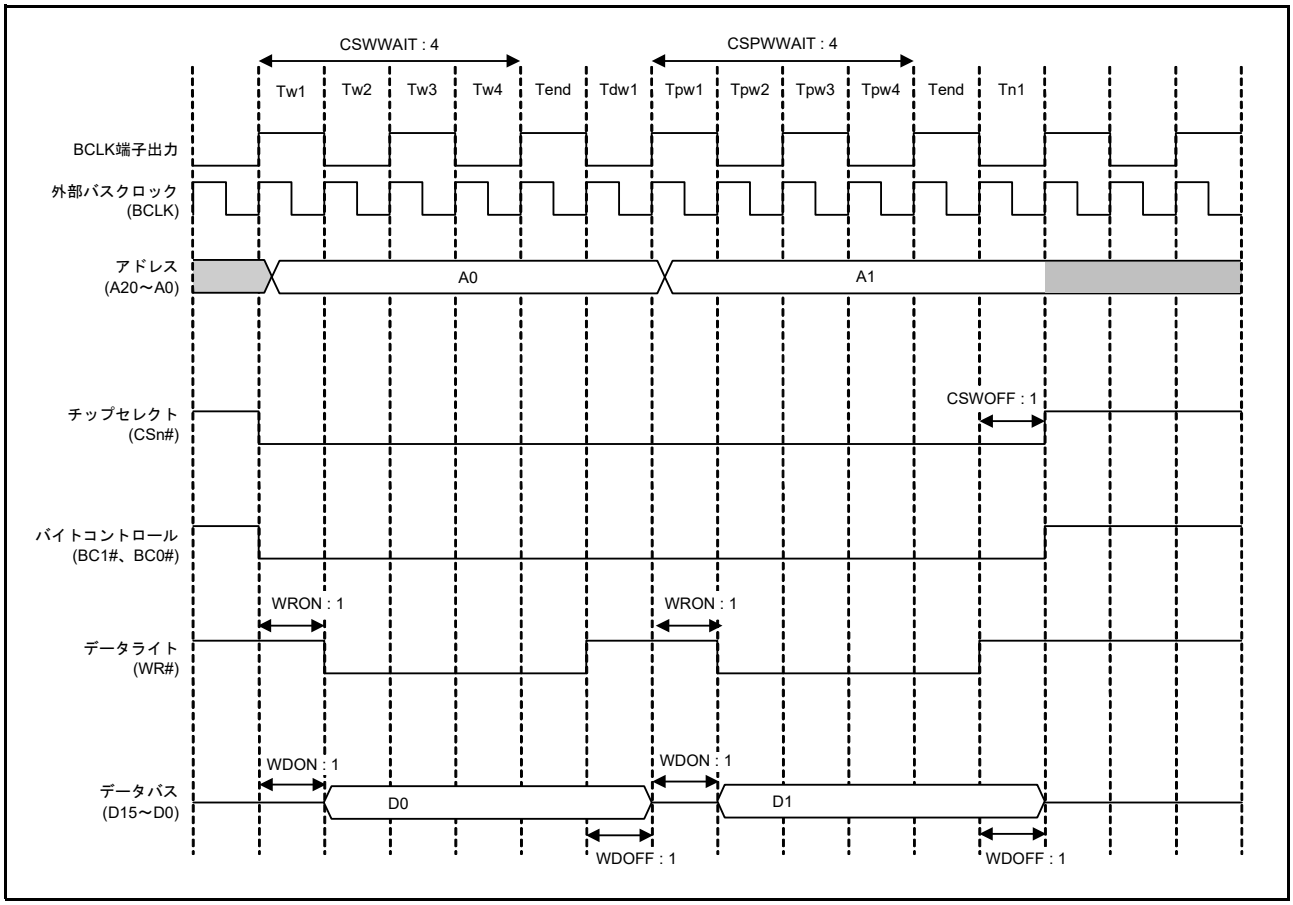


図 15.25 ページライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合：1 ライトストローブモード時)
(n = 0 ～ 3)

15.5.2 アドレス / データマルチプレクスバス

CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) を “1” に設定することにより、対応する領域で D15 ～ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス / データマルチプレクスが必要な周辺 LSI を本 MCU に直結できます。CSnCR.BSIZE[1:0] ビットで 8 ビットを選択した領域では、D7 ～ D0 が A7 ～ A0 とマルチプレクスされます。CSnCR.BSIZE[1:0] ビットで 16 ビットを選択した領域では、D15 ～ D0 が A15 ～ A0 とマルチプレクスされます。アドレス / データマルチプレクス I/O 空間では、ALE、RD#、WRn# 、BCn# 信号でアクセスが制御されます。セパレートバスと同様、バイトストローブモードと 1 ライトストローブモードを選択可能です。ただし、アドレスサイクル中の BCn# 信号については、リードデータ、ライトデータに対するバイトコントロール信号が出力されます。

アドレス / データマルチプレクス I/O 空間のアクセスでは、アドレス出力が CSn ウェイト制御レジスタ 2 のアドレスサイクルウェイト選択ビット (CSnWCR2.AWAIT[1:0]) で設定されたサイクル挿入後、続けてデータのアクセスが行われます。

- Ta1 ～ Tan (アドレスサイクルウェイト)

アドレス / データマルチプレクス I/O 空間設定時のみ有効なサイクルで、外部バスアクセス開始からアドレスラッチ (ALE) 信号がネゲートされる 1 サイクル前までの期間です。0 ～ 3 サイクルを選択できます。ALE 信号がネゲートされた次のサイクルまでアドレスが出力されます (アドレスサイクル)。ALE 信号は、CS# 信号のアサートタイミングと同じになります。アドレスサイクル後はデータサイクルになります。アドレスサイクルとデータサイクルが重ならないように CSnWCR1、CSnWCR2 レジスタの値を設定する必要があります。

アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページリードアクセス許可 (CSnMOD.PRENB ビット = 1)、ページライトアクセス許可 (CSnMOD.PWENB ビット = 1) に設定した場合、設定は無視されノーマルアクセスを行います。

図 15.26 ～図 15.28 にアドレス / データマルチプレクス I/O インタフェース時の動作例を示します。

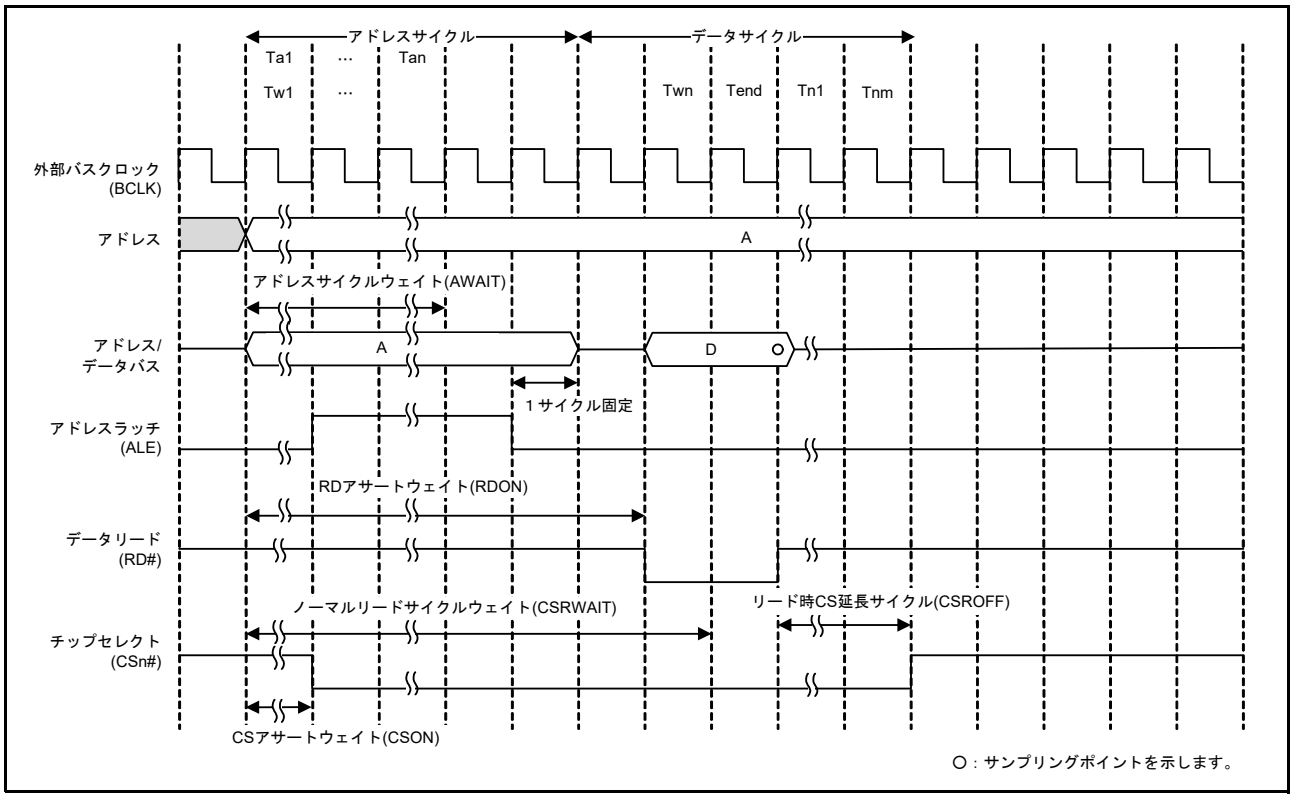


図 15.26　アドレス / データマルチプレクス I/O インタフェース時のリードアクセスの動作例

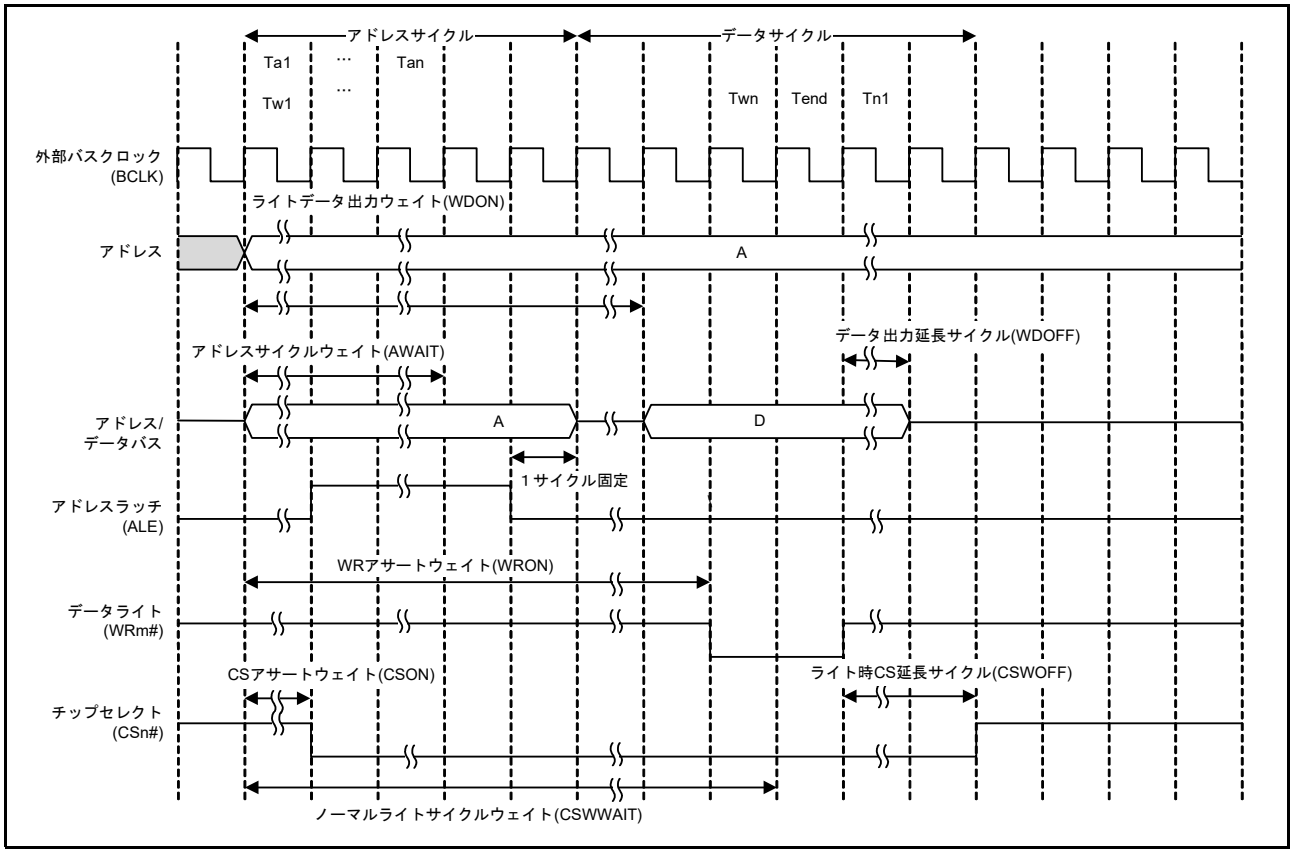


図 15.27　アドレス / データマルチプレクス I/O インタフェース時のライトアクセスの動作例
(m = 0, 1)

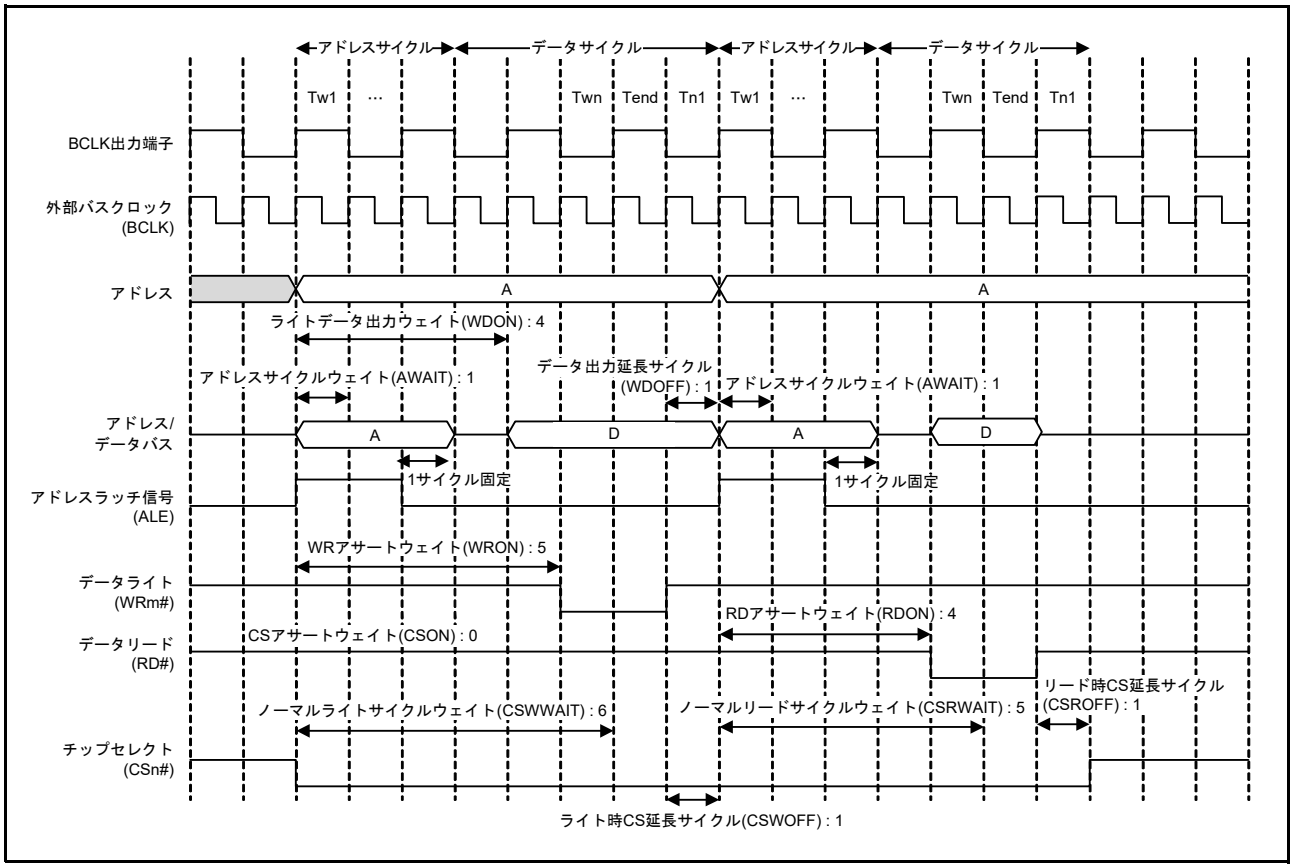


図 15.28　アドレス / データマルチプレクス I/O インタフェース時のバスタイミング例
(m = 0, 1)

15.5.3 外部ウェイト機能

WAIT# 信号により、CSn ウェイト制御レジスタ 1 (CSnWCR1) で設定したノーマルアクセスサイクルウェイト (CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット) や、ページアクセスサイクルウェイト (CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット) を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可 (CSnMOD.EWENB ビット = 1) にすると、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止 (CSnMOD.EWENB ビット = 0) であれば WAIT# 信号は無効です。

なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT# 信号にかかわらず挿入されます。

(1) ノーマルアクセス

CSnWCR1 レジスタで設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

(2) ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。CSnWCR1 レジスタに設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

2 番目以降のアクセスに関しては、ページアクセスのウェイトサイクルが完了した時点 (Tend) から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、ページアクセスのウェイトサイクルを延長し、WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

図 15.29、図 15.30 にセパレートバスインタフェース時の外部ウェイトサイクルの動作例を示します。

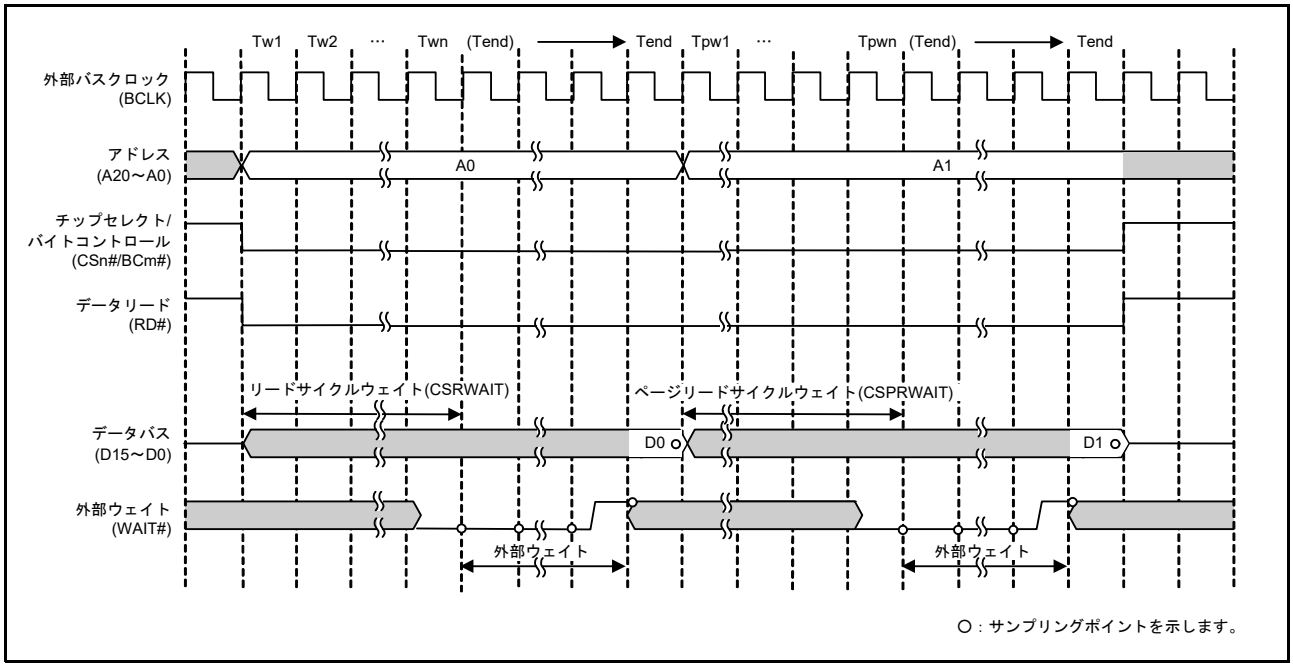


図 15.29 外部ウェイトタイミング例 (16 ビットバス空間へのページリードアクセス)
(n = 0 ～ 3, m = 0, 1)

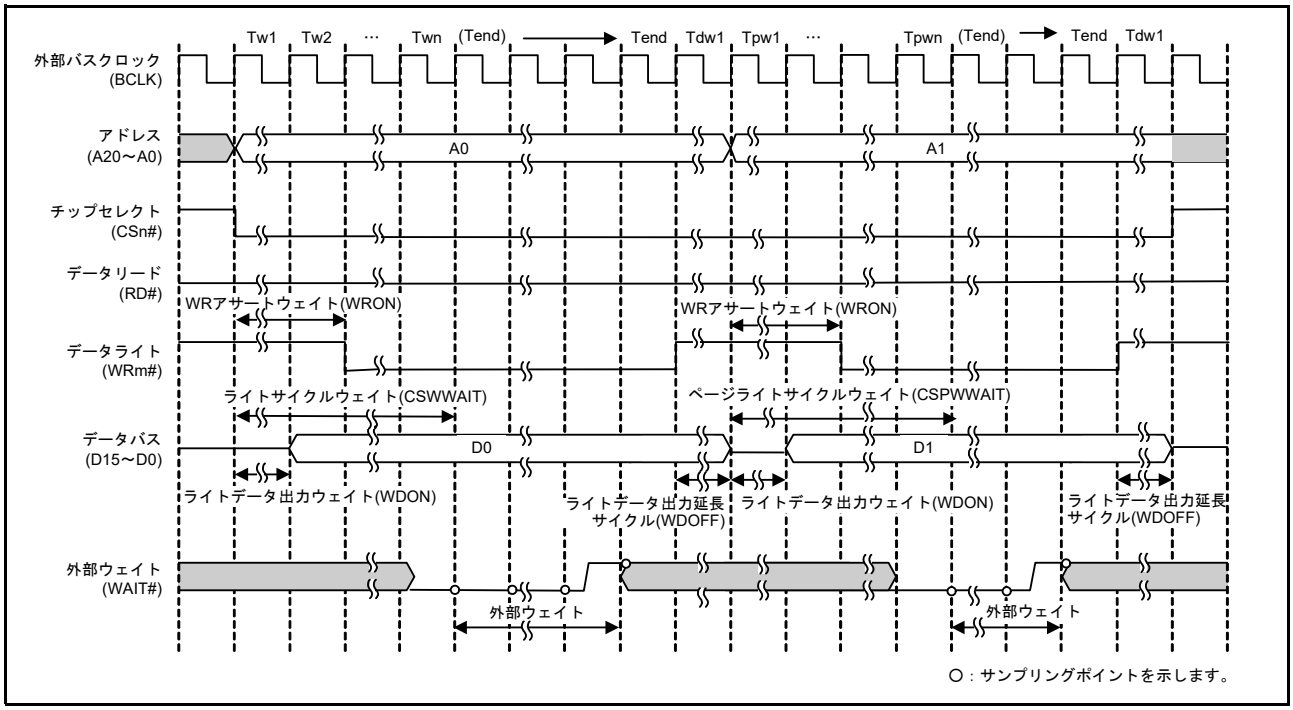


図 15.30　外部ウェイトタイミング例 (16 ビットバス空間へのページライトアクセス：バイトストローブモード時) (n = 0 ～ 3, m = 0, 1)

(3)　アドレス / データマルチプレクス I/O インタフェース

アドレス / データマルチプレクス I/O インタフェースのデータサイクルには、セパレートバスインタフェースと同様にプログラムウェイトの挿入、WAIT 端子による端子ウェイトの挿入が可能です。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。図 15.31 にアドレス / データマルチプレクス I/O インタフェース時の外部ウェイトサイクルの動作例を示します。

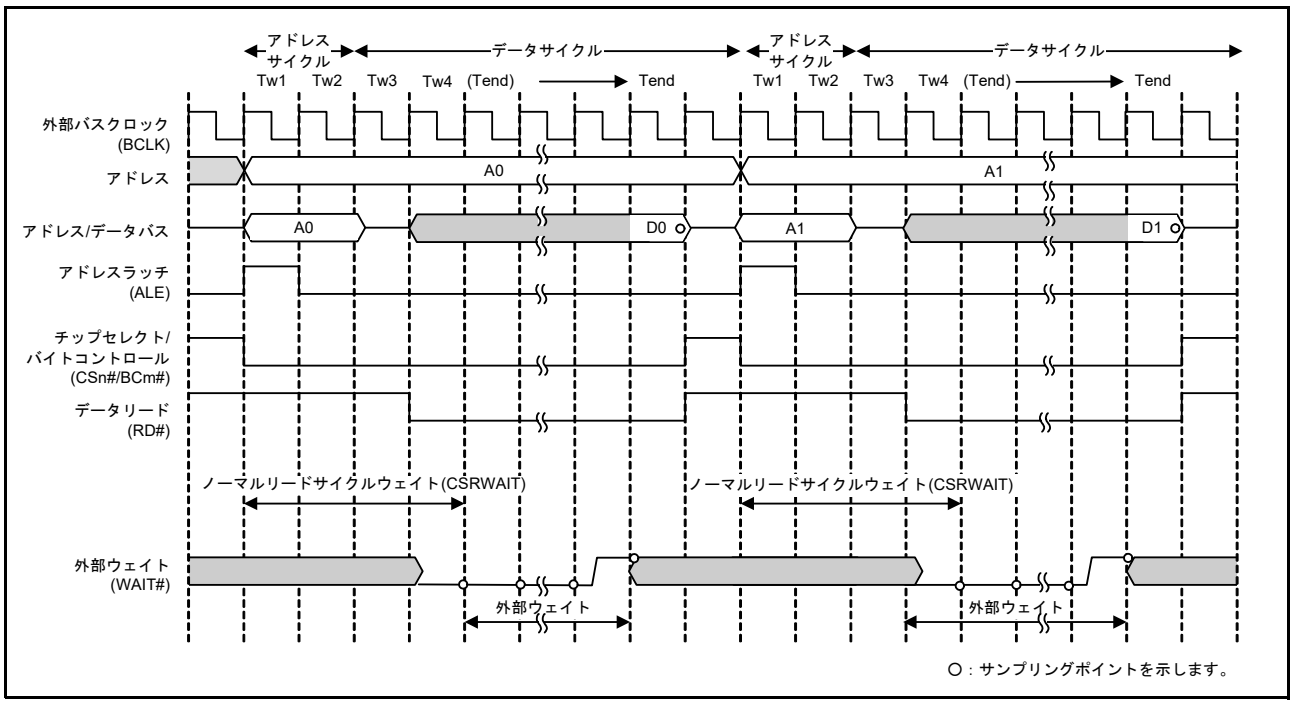


図 15.31　アドレス / データマルチプレクス I/O インタフェース時の外部ウェイト挿入の動作例 (m = 0, 1)

15.5.4 リカバリサイクルの挿入

CS リカバリサイクル挿入許可レジスタ (CSRECEN) のリカバリサイクル挿入許可ビットを “1” に設定することにより、連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。

挿入するリカバリサイクル数は、ライトサイクル後とリードサイクル後を領域ごとに設定でき、CSn リカバリサイクル設定レジスタ (CSnREC) で設定します。前バスサイクルがライトアクセスの場合、その領域のライトリカバリサイクル設定ビット (CSnREC.WRCV[3:0]) で設定し、前バスサイクルがリードアクセスの場合、その領域のリードリカバリサイクル設定ビット (CSnREC.RRCV[3:0]) で設定します。たとえば、CS0 リードアクセス後、CS1 リードアクセスがある場合、この間に入るリカバリサイクルは、CS0 の CS0REC.RRCV[3:0] ビットで設定されたサイクル数になります。

リカバリサイクル挿入可能な条件は、以下の 8 通りです。前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j = 0 ～ 7) により、アドレス / データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) (j = 0 ～ 7) により、リカバリサイクル挿入の許可、禁止を設定できます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

リカバリサイクルの起点は、前バスサイクルの終了時点 (CSn# 信号 (n = 0 ～ 3) のネゲート時点) です。終了時点から設定したリカバリサイクル間は、CSn# 信号の High 期間が挿入されます。

最短でリカバリサイクルの終了直後に、次のバスアクセスのチップセレクト CSn# 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可 (CSnMOD.PRENB = 1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB = 1) に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます (**図 15.34** 参照)。

ページアクセス許可設定時でノーマルアクセスとなる場合についても、セパレートバス時は、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。アドレス / データマルチプレクス I/O インタフェース時は、ページアクセス許可設定に関わらず、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。

図 15.32 ～図 15.34 にセパレートバスインタフェース時のリカバリサイクルの動作例を示します。

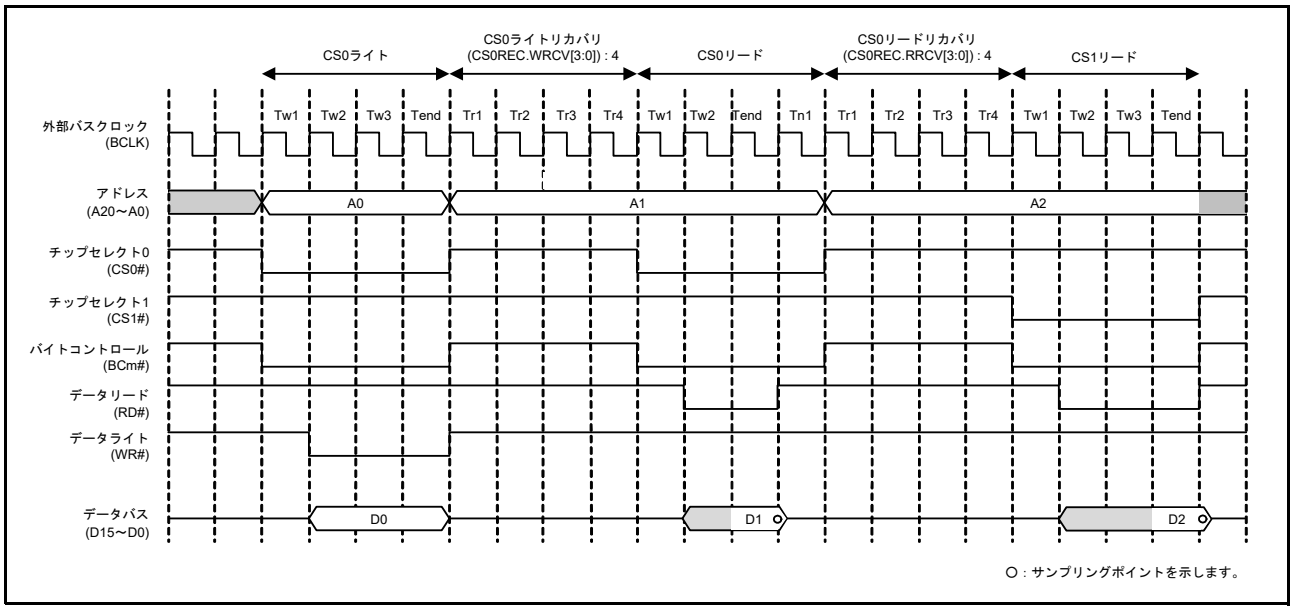


図 15.32　セパレートバスインタフェース時のリカバリサイクルの動作例 (m = 0, 1)

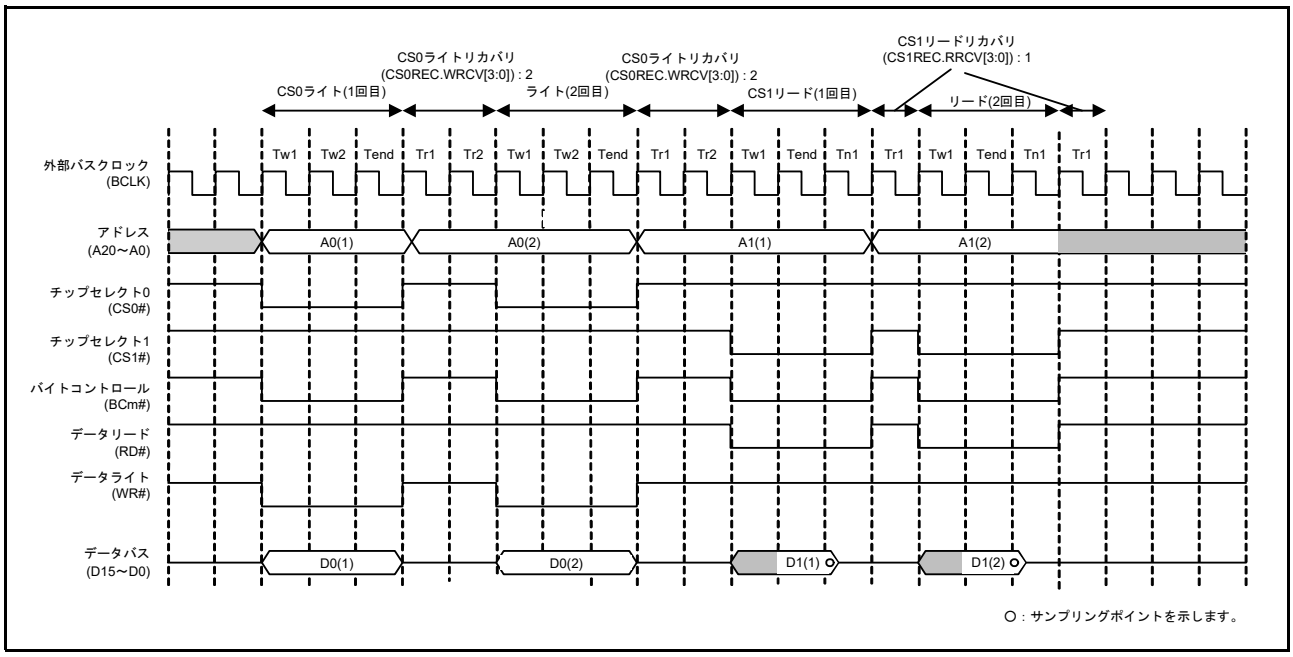


図 15.33　バスアクセスが分割された場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m = 0, 1)

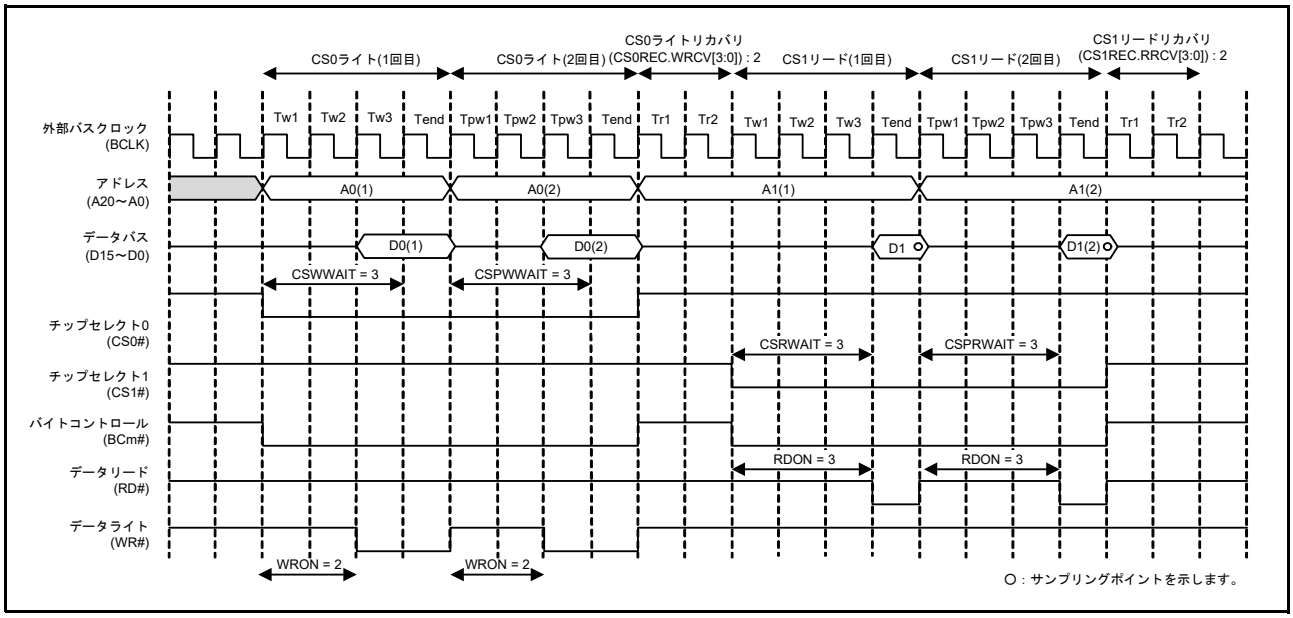


図 15.34　バスアクセスが分割された場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ページアクセスの場合) (m = 0, 1)

図 15.35 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

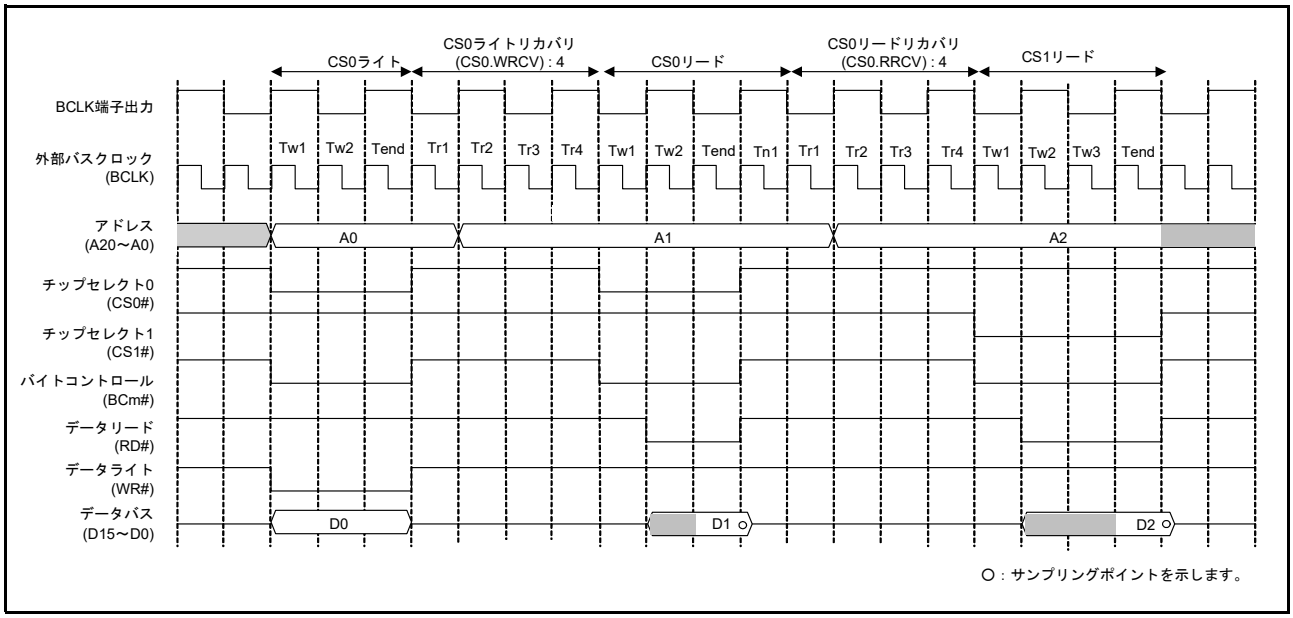


図 15.35　BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m = 0, 1)

アドレス / データマルチプレクス I/O インタフェースのリカバリサイクルの挿入もセパレートバスインタフェースと同様に行われます。図 15.36、図 15.37 に、アドレス / データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例を示します。

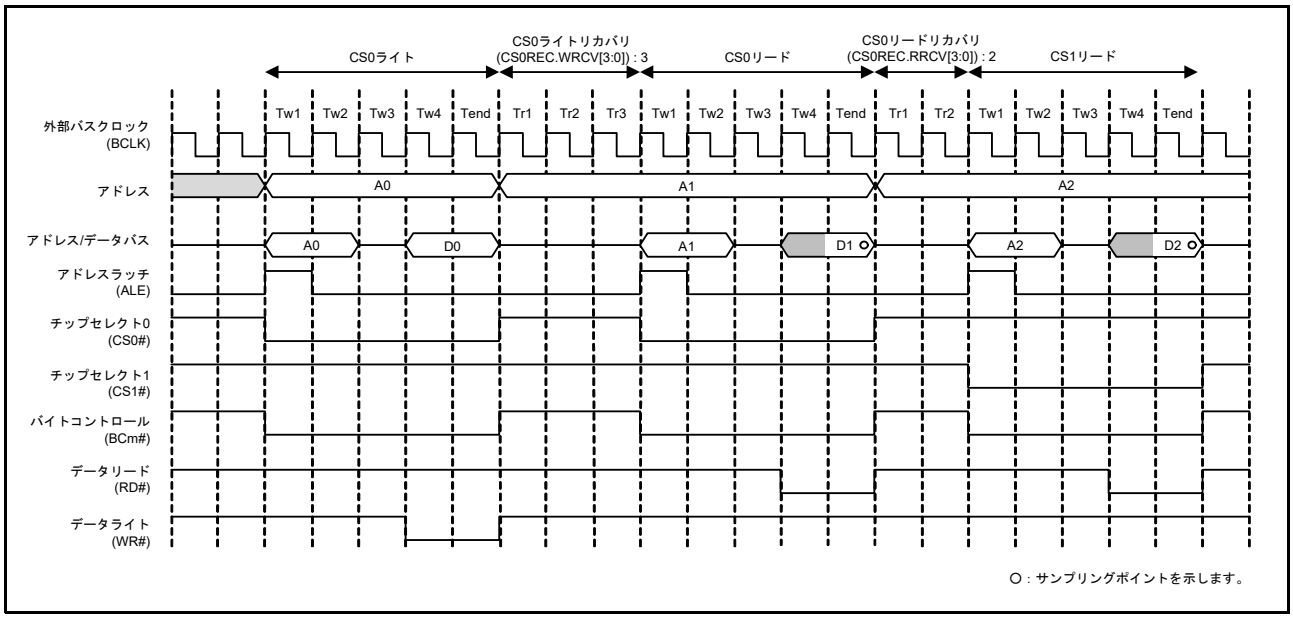


図 15.36　アドレス / データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例 (m = 0, 1)

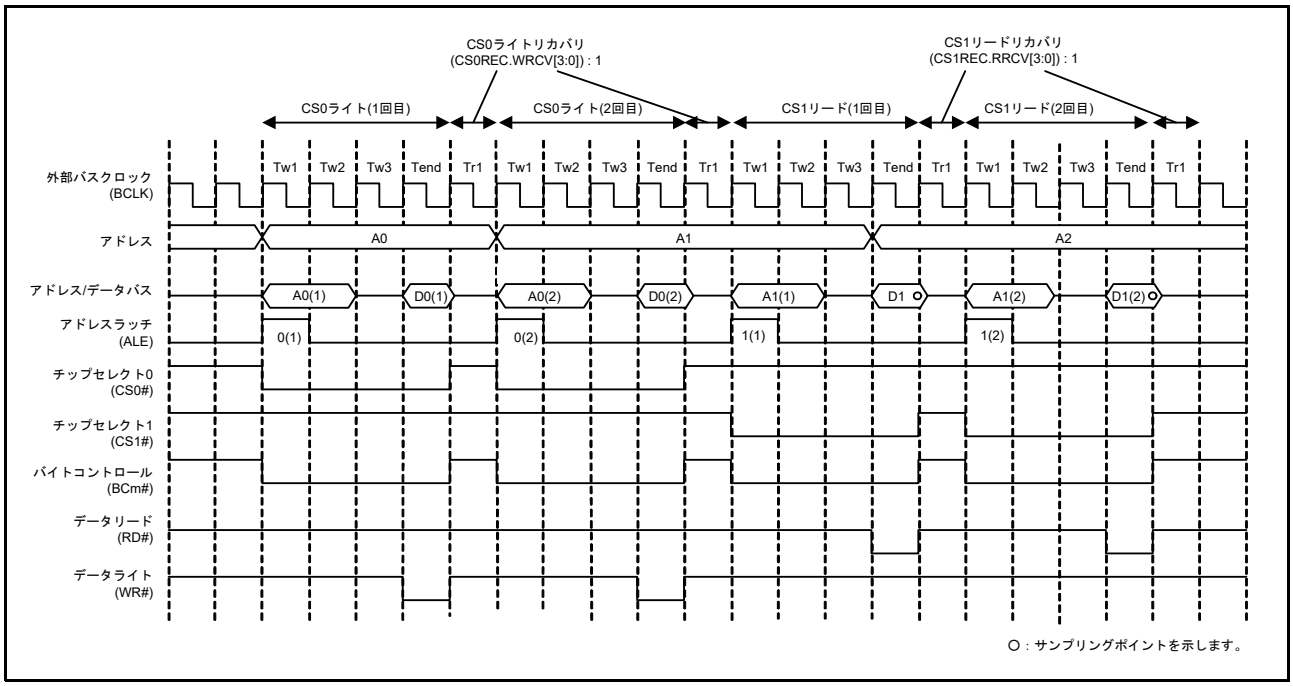


図 15.37　アドレス / データマルチプレクス I/O インタフェース時、バスアクセスが分割された場合のリカバリサイクルの動作例 (m = 0, 1)

15.5.5　非アクセス時の状態

外部アドレス空間に対して処理を行っていないときには CSn# 信号、BCn# 信号、WRn# 信号、RD# 信号は High に、ALE 信号は Low に、D15 ～ D0 はハイインピーダンスになります。

15.5.6 ライトバッファ機能 (外部バス)

ライトアクセスの場合、データをライトバッファに書き込むことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

図 15.38 にライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセス (内蔵メモリ、周辺モジュールのアクセス) が並列して実行されます。

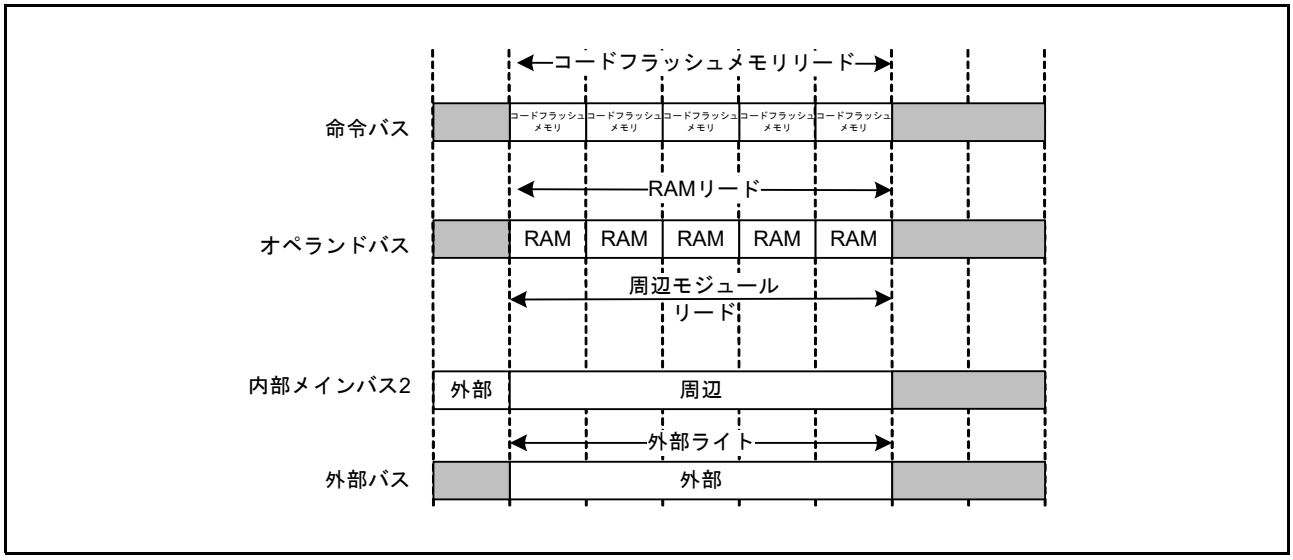


図 15.38 ライトバッファ機能使用時の動作例

15.5.7 制約事項

(1) セパレートバスインタフェースの場合の制約事項

- 表 15.9 にノーマルアクセス時とページアクセス時の CSn ウェイト制御レジスタ 1 (CSnWCR1) と、CSn ウェイト制御レジスタ 2 (CSnWCR2) の各ビットの設定値の制約事項を示します。CSn モードレジスタのページリードアクセス許可ビットが有効 (CSnMOD.PRENB = 1)、あるいはページライトアクセス許可ビットが有効 (CSnMOD.PWENB = 1) であっても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となり、ノーマルアクセスの制約条件を満たす必要があります。

表 15.9 ノーマル/ページアクセス時の制約事項

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≦ CSRWAIT RDON[2:0] ≦ CSRWAIT CSON[2:0] ≦ RDON	1 ≦ WDON[2:0] CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≦ CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON	CSON[2:0] ≦ CSPRWAIT RDON[2:0] ≦ CSPRWAIT CSON[2:0] ≦ RDON	1 ≦ WDON[2:0] CSON[2:0] ≦ CSPWWAIT WRON[2:0] ≦ CSPWWAIT WDON[2:0] ≦ CSPWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON

- バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセス許可 (CSnMOD.PRENB = 1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB = 1) に設定された場合、途中のバスアクセスにはリカバリサイクル

は挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。

(2) アドレス / データマルチプレクスバスの場合の制約事項

アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページアクセスの設定は、無視されノーマルアクセスを行います。

表 15.10 ノーマルアクセス時の制約事項

ノーマルアクセス時の制約条件	
リード	ライト
CSON[2:0] ≦ CSRWAIT RDON[2:0] ≦ CSRWAIT CSON[2:0] ≦ RDON AWAIT[1:0]+2 ≦ RDON CSON[2:0] ≦ AWAIT	CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≦ CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON AWAIT[1:0]+2 ≦ WRON AWAIT[1:0]+2 ≦ WDON CSON[2:0] ≦ AWAIT

(3) A0 端子と BC0# 端子を兼用する製品の場合の制約事項

A0 端子と BC0# 端子を兼用する製品の場合、 8 ビットバス空間では 1 ライトストローブモードの設定は禁止しており、 設定した場合の動作は保証していません。

(4) BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の制約事項

BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になりますが、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイト数の設定によっては、BCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様にあわせて、レジスタの値を設定してください。

(5) アドレス空間の各領域をまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

(6) RMPA 命令、ストリング操作命令に関する制約事項

- 外部空間には領域ごとのエンディアン切り替え機能 (データのみ) がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(7) 命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

15.6 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.6.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの 2 種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが 768 サイクル以内に終了しない場合に検出します。

15.6.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、以下のアクセスが起こった場合に発生します。

- 外部領域については、動作禁止 (CSnCR.EXENB = 0) に設定した領域をアクセスした場合
- 上記以外の領域については、不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを**表 15.11** に示します。

15.6.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが 768 サイクル以内に終了しない場合に発生します。

- CS 領域 (CS0 ～ CS3) : バスアクセス開始後、外部バスクロック (BCLK) で 768 サイクル以内にバスアクセスが終了しない (WAIT# 信号がネゲートされない) 場合
  タイムアウトが発生すると BCLK で 256 サイクル間、バスマスタからのアクセスは受け付けられません。バスマスタからの 1 回のリクエストで、複数の外部バスアクセスが発生する転送では、タイムアウトが発生しても、後続のバスアクセスを中断できません。この場合、連続してタイムアウトが発生する可能性があります。
- 内部周辺バス (2, 3) : バスアクセス開始後、周辺モジュールクロック (PCLKB) で 768 サイクル以内にバスアクセスが終了しない場合
  タイムアウトが発生すると PCLKB で 256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。
- 内部周辺バス (4) : バスアクセス開始後、周辺モジュールクロック (PCLKA) で 768 サイクル以内にバスアクセスが終了しない場合
  タイムアウトが発生すると PCLKA で 256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6) : バスアクセス開始後、FlashIF クロック (FCLK) で 768 サイクル以内にバスアクセスが終了しない場合
  タイムアウトが発生すると FCLK で 256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。

15.6.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知：
  割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.6.3 バスエラーの発生条件

表 15.11 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態 (バスエラーステータスレジスタ n (BERSRn) (n = 1, 2) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 15.11 発生するバスエラーの種類

<table>
<tr><th rowspan="3">アドレス</th><th colspan="2" rowspan="2">内容</th><th colspan="4">種類</th></tr>
<tr><th colspan="2">不正アドレスアクセス</th><th colspan="2">タイムアウト</th></tr>
<tr><th>コードフラッシュメモリ有効</th><th>コードフラッシュメモリ無効</th><th>コードフラッシュメモリ有効</th><th>コードフラッシュメモリ無効</th><th>コードフラッシュメモリ有効</th><th>コードフラッシュメモリ無効</th></tr>
<tr><td>0000 0000h～0007 FFFFh</td><td colspan="2">メモリバス 1</td><td colspan="2">—</td><td colspan="2">—</td></tr>
<tr><td>0008 0000h～0008 7FFFh</td><td colspan="2">内部周辺バス 1</td><td colspan="2">—</td><td colspan="2">—</td></tr>
<tr><td>0008 8000h～0009 FFFFh</td><td colspan="2">内部周辺バス 2</td><td colspan="2">△</td><td colspan="2">—</td></tr>
<tr><td>000A 0000h～000B FFFFh</td><td colspan="2">内部周辺バス 3</td><td colspan="2">△</td><td colspan="2">—</td></tr>
<tr><td>000C 0000h～000D FFFFh</td><td colspan="2">内部周辺バス 4</td><td colspan="2">△</td><td colspan="2">○</td></tr>
<tr><td>000E 0000h～000F FFFFh</td><td colspan="2">予約領域</td><td colspan="2">—</td><td colspan="2">—</td></tr>
<tr><td>0010 0000h～0011 FFFFh</td><td rowspan="2">内部周辺バス 6</td><td rowspan="2">予約領域</td><td>—</td><td>○</td><td>—</td><td>—</td></tr>
<tr><td>0012 0000h～007F FFFFh</td><td>△</td><td>○</td><td>—</td><td>—</td></tr>
<tr><td>0080 0000h～00FF FFFFh</td><td colspan="2">メモリバス 3</td><td>—</td><td>—</td><td>—</td><td>—</td></tr>
<tr><td>0100 0000h～07FF FFFFh</td><td colspan="2">外部バス (CS1～CS3、予約領域)</td><td colspan="2">[IA]</td><td colspan="2">[TO]</td></tr>
<tr><td>0800 0000h～0FFF FFFFh</td><td colspan="2">予約領域</td><td colspan="2">[IA]</td><td colspan="2">—</td></tr>
<tr><td>1000 0000h～7FFF FFFFh</td><td colspan="2">予約領域</td><td colspan="2">○</td><td>—</td><td>—</td></tr>
<tr><td>8000 0000h～FEFF FFFFh</td><td rowspan="3">メモリバス 2</td><td>予約領域</td><td>—</td><td>○</td><td>—</td><td>—</td></tr>
<tr><td>FF00 0000h～FF7F FFFFh</td><td rowspan="2">外部バス (CS0)</td><td>—</td><td rowspan="2">[IA]</td><td>—</td><td rowspan="2">[TO]</td></tr>
<tr><td>FF80 0000h～FFFF FFFFh</td><td>—</td><td>—</td></tr>
</table>

—：バスエラーは発生しません。
△：バスエラーは不定です。
○：バスエラーを発生します。
[IA]：これらの領域を動作禁止 (CSnCR.EXENB = 0 (n = 0 ～ 3)) に設定している場合にバスエラーを検出します。
[TO]：768 サイクル以内にバスアクセスが終了しない場合にバスエラーを検出します。
注. 実装される RAM、データフラッシュメモリ、コードフラッシュメモリの容量は製品により異なります。製品ごとの仕様については、「44. RAM」、「45. フラッシュメモリ (FLASH)」を参照してください。

15.7 割り込み

15.7.1 割り込み要因

バスは、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると割り込みコントローラにバスエラーが発生します。

表15.12 割り込み要因

名称	割り込み要因	DTC起動	DMAC起動
BUSERR	不正アドレスアクセスエラーまたはタイムアウト	不可	不可

16. メモリプロテクションユニット (MPU)

16.1 概要

RXv3 CPU にはメモリプロテクションユニットが内蔵されており、全アドレス空間 (0000 0000h ～ FFFF FFFFh) を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパバイザモードのときは、メモリ保護を行いません。

表 16.1 にメモリプロテクションユニットの仕様を、図 16.1 にブロック図を示します。

表 16.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域と プロセッサモード	0000 0000h～FFFF FFFFh (ユーザモード時) スーパバイザモード時はメモリ保護なし
領域数	8
ページサイズ(最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域n終了ページ番号レジスタ(REPAGEn)の有効ビット(V)で各領域の有効/無効を設定(n = 0～7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域にPCを退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ(MPDEA)に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ(MPESTS)に要因を格納
バックグラウンド領域設定	バックグラウンド領域(全アドレス空間)に対して、アクセス制御情報を設定可能
領域オーバラップの処理	あるアドレスに対して領域がオーバラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

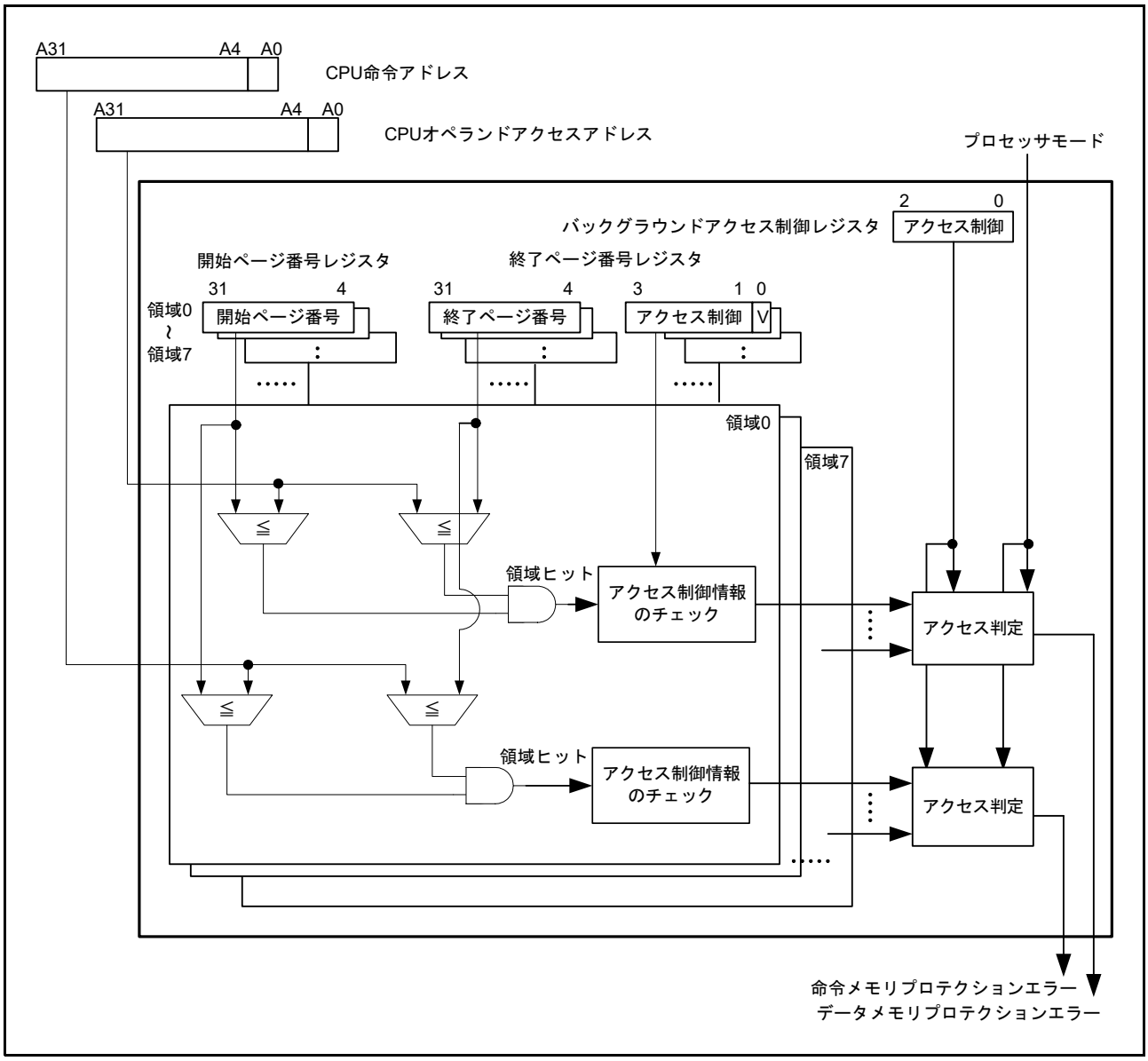


図 16.1 メモリプロテクションユニットブロック図

16.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の 3 種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパバイザモードのプログラムに対しては違反を検出しません。

16.1.2 アクセス制御領域

アクセス制御領域は 8 つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います (n = 0 ～ 7)。

ページは、アクセス制御の最小単位であり、アドレス空間を 16 バイトごとに区切ったものです。アドレス [31:0] の上位 28 ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

16.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ～ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8 つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが “1”) であれば有効となります。

16.1.4 領域のオーバラップ

複数の領域がオーバラップした場合のアクセス制御情報は、オーバラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

16.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

16.2 レジスタの説明

16.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ～ 7)

アドレス　RSPAGE0 0008 6400h, RSPAGE1 0008 6408h, RSPAGE2 0008 6410h, RSPAGE3 0008 6418h, RSPAGE4 0008 6420h, RSPAGE5 0008 6428h, RSPAGE6 0008 6430h, RSPAGE7 0008 6438h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RSPN[27:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RSPN[27:0]												—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

16.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ～ 7)

アドレス REPAGE0 0008 6404h, REPAGE1 0008 640Ch, REPAGE2 0008 6414h, REPAGE3 0008 641Ch, REPAGE4 0008 6424h, REPAGE5 0008 642Ch, REPAGE6 0008 6434h, REPAGE7 0008 643Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	REPN[27:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REPN[27:0]												UAC[2:0]			V
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	V	有効ビット	0：領域設定無効 1：領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	REPN[27:0]	領域終了ページ番号ビット	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により 全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは “0” になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

ユーザモード時のアクセス制御を設定します。

REPN[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

16.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1：メモリプロテクション機能有効 0：メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに “1” を書いた後、ユーザモードへ移行する分岐命令 (RTE, RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

16.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UBAC[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンド アクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

16.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW, DMPER, IMPER ビットを“0”にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード / ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DMPER)、命令メモリプロテクションエラー発生ビット (IMPER) を “0” にします。

16.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DMPER	IMPER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMPER	命令メモリプロテクションエラー発生ビット	0：命令メモリプロテクションエラー発生なし 1：命令メモリプロテクションエラー発生	R
b1	DMPER	データメモリプロテクションエラー発生ビット	0：データメモリプロテクションエラー発生なし 1：データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0：データリード 1：データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IMPER ビット (命令メモリプロテクションエラー発生 ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を “1” にすることによってのみ、“0” になります。

DMPER ビット (データメモリプロテクションエラー発生 ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を “1” にすることによってのみ、“0” になります。

DRW ビット (データリード / ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DMPER ビットが “1” の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を “1” にすることで、“0” になります。

16.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DEA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

16.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチアドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGEn) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGEn) の領域終了アドレスと比較するアドレスを設定します。

16.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

S ビット (領域サーチオペレーションビット)

S ビットを “1” にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

16.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：全アクセス制御領域のインバリデート(無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを “1” にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を “0” にします。REPAGEn.V ビットを “0” にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

16.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	HITI[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UHACI[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット(MPESTS.IMPER) = 1のとき、[b23:b16] = 0000 0000b：バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0：領域7で命令メモリプロテクションエラーなし 1：領域7で命令メモリプロテクションエラーあり b22 0：領域6で命令メモリプロテクションエラーなし 1：領域6で命令メモリプロテクションエラーあり b21 0：領域5で命令メモリプロテクションエラーなし 1：領域5で命令メモリプロテクションエラーあり b20 0：領域4で命令メモリプロテクションエラーなし 1：領域4で命令メモリプロテクションエラーあり b19 0：領域3で命令メモリプロテクションエラーなし 1：領域3で命令メモリプロテクションエラーあり b18 0：領域2で命令メモリプロテクションエラーなし 1：領域2で命令メモリプロテクションエラーあり b17 0：領域1で命令メモリプロテクションエラーなし 1：領域1で命令メモリプロテクションエラーあり b16 0：領域0で命令メモリプロテクションエラーなし 1：領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーを発生したときは、HITI[7:0] ビットは “0000 0000b” にセットされます。

16.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	HITD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UHACD[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACD[2:0]	ユーザモード時データヒット領域アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITD[7:0]	データヒット領域ビット	データメモリプロテクションエラー発生ビット(MPESTS.DMPER) = 1のとき、[b23:b16] = 0000 0000b：バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0：領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0：領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0：領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0：領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0：領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0：領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0：領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0：領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACD[2:0] ビット (ユーザモード時 データヒット領域 アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域 ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーを発生したとき、HITD[7:0] ビットは “0000 0000b” にセットされます。

注 . ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

16.3 機能

16.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反 (メモリプロテクションエラー) を検出した場合は、メモリプロテクションユニットは CPU へその情報を通知し、CPU はアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を “1” にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

16.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが 8 つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報 (実行許可、読み出し許可、書き込み許可) がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ (MPOPS) の領域サーチオペレーションビット (S) を “1” にすることにより、領域サーチアドレスレジスタ (MPSA) で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ (MHITD) は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

16.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPU のオペランドアクセス以外の手段 (命令フェッチ、DMA) ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパバイザモードでのみアクセスすることができます。ユーザモードで CPU のオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

16.3.4 メモリプロテクション機能のアクセス判定フロー

図 16.2 にデータアクセス判定フローを、図 16.3 に命令アクセス判定フローを示します。

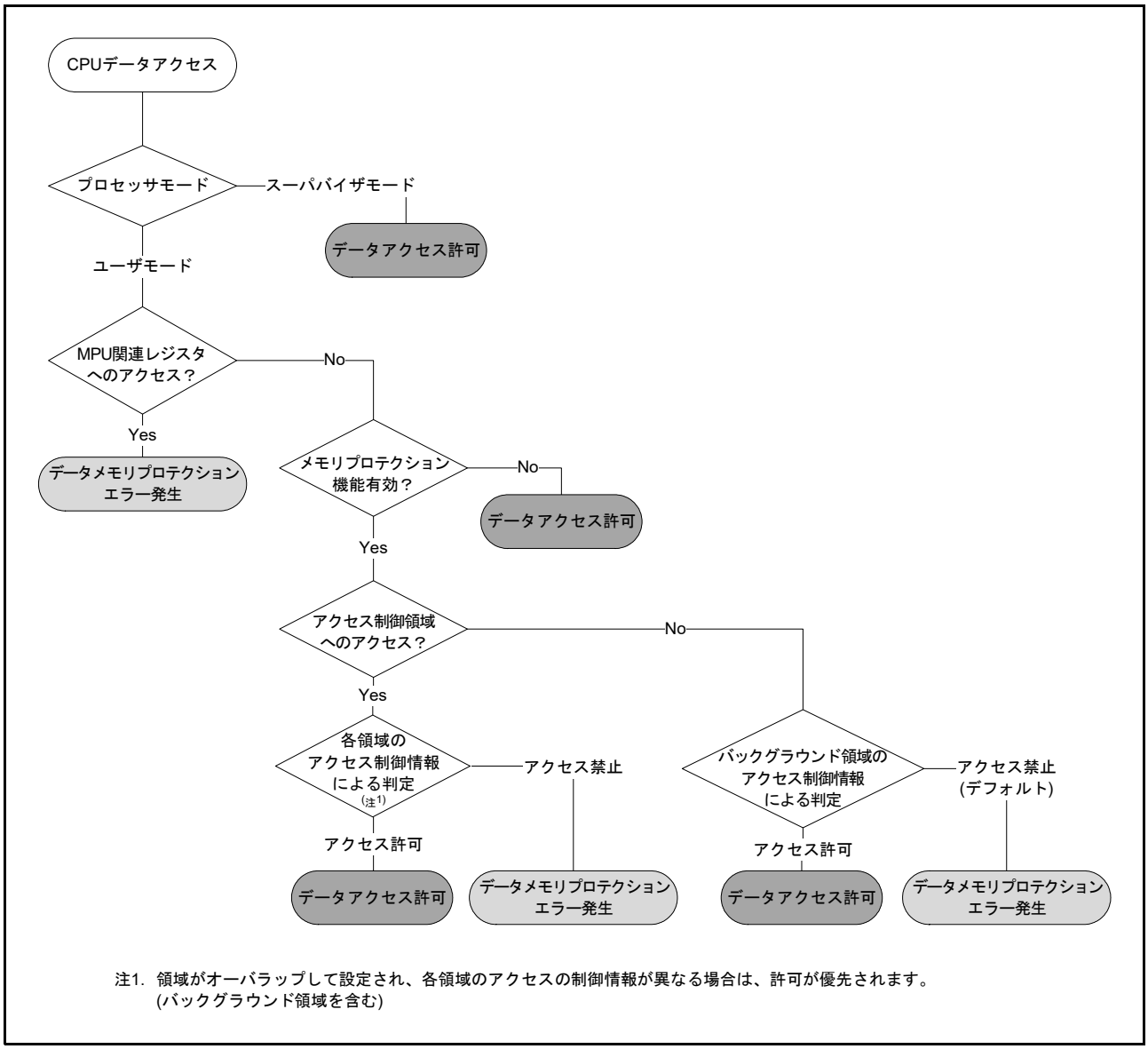


図 16.2 データアクセス判定フロー

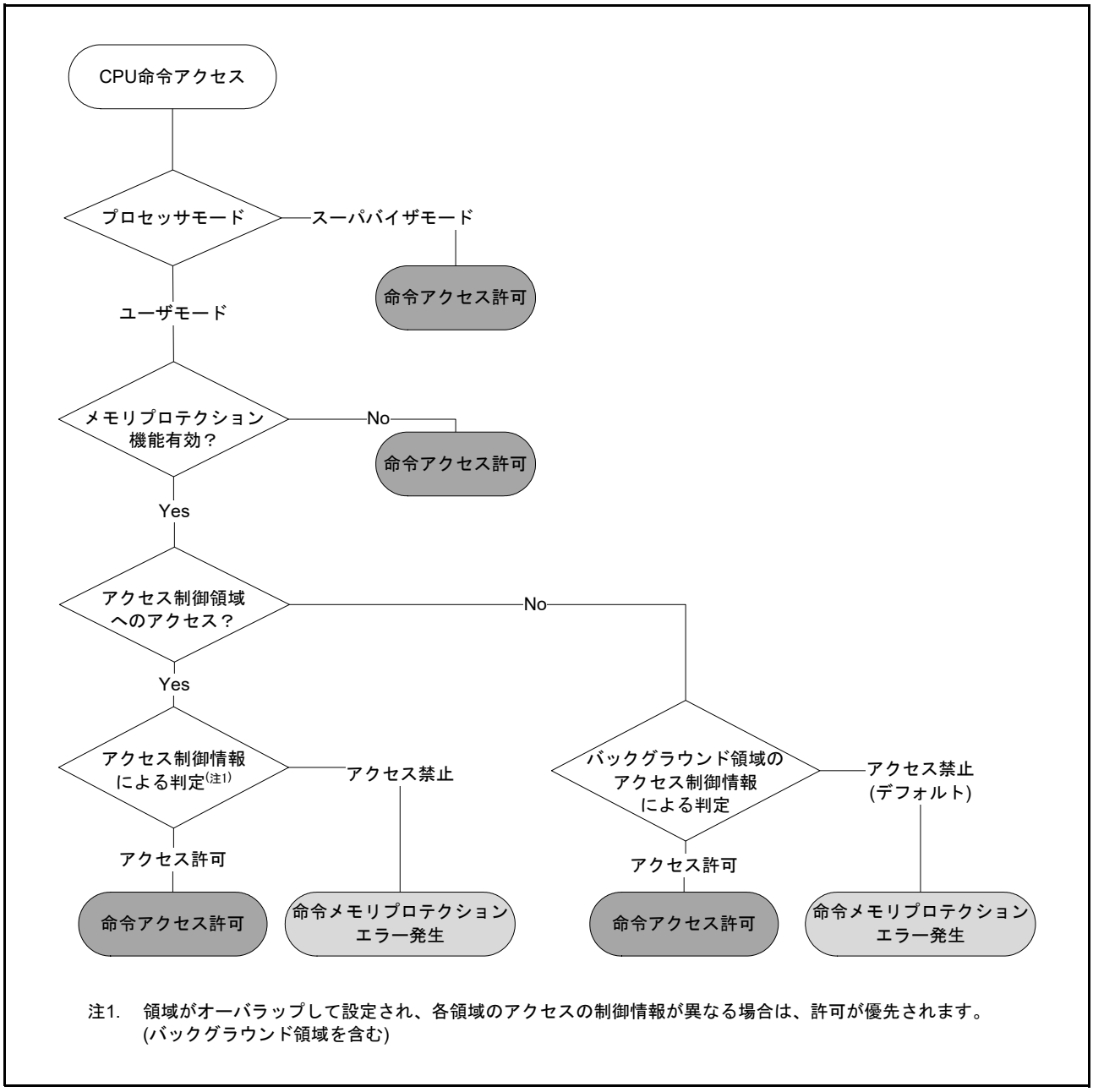


図 16.3 命令アクセス判定フロー

16.4 メモリプロテクション機能使用手順

16.4.1 アクセス制御情報の設定

スーパバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います (n = 0 ～ 7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

16.4.2 メモリプロテクション機能の有効化

スーパバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を “1” にします。

16.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、いずれかのメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。スーパバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を “1” (ユーザモードに設定) にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを “1” にした後、RTFI 命令を実行

注 . MVTC, POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

16.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反 (メモリプロテクションエラー) を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「13. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IMPER) およびデータメモリプロテクションエラー発生ビット (DMPER) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を “1” にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPU のアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ (MHITD) に格納されます。

- **有効な領域 0 ～ 7 にアクセスしたが、アクセス制御に違反した場合**

エラーを発生した領域番号に対応したデータヒット領域ビット (MHITD.HITD[7:0]) が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

- **有効な領域 0 ～ 7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合**

データヒット領域ビット (MHITD.HITD[7:0]) は、“0000 0000b” になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPU のアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ (MHITI) に格納されます。

- **有効な領域 0 ～ 7 にアクセスしたが、アクセス制御に違反した場合**

エラーを発生した領域番号に対応した命令ヒット領域ビット (MHITI.HITI[7:0]) が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITI.UHACI[2:0]) にセットされます。

- **有効な領域 0 ～ 7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合**

命令ヒット領域ビット (MHITI.HITI[7:0]) は、“0000 0000b” になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITI.UHACI[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

17. DMA コントローラ (DMACAa)

本 MCU は、8 チャネルの DMAC (Direct Memory Access Controller) を内蔵しています。

DMAC は、CPU を介さずにデータ転送を行います。DMAC は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

17.1 概要

表 17.1 に DMAC の仕様を、図 17.1 に DMAC のブロック図を示します。

表 17.1　DMACの仕様

項目		内容
チャネル数		8チャネル(DMACm (m = 0～7))
転送空間		512Mバイト (00000000h～0FFFFFFFhとF0000000h～FFFFFFFFhのうち予約領域を除く領域)
最大転送データ数		64Mデータ(ブロック転送モード最大総転送数：1024データ × 65536ブロック)
DMAC起動要因		• チャネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力(注1)
チャネル優先順位		チャネル0 > チャネル1 > チャネル2 > チャネル3... > チャネル7 (チャネル0が最優先)
転送データ	1データ	ビット長：8ビット、16ビット、32ビット
	ブロックサイズ	データ数：1～1024データ
転送モード	ノーマル転送モード	• 1回のDMA転送要求で1データを転送 • 総データ転送数を指定しない設定(フリーランニングモード)が可能
	リピート転送モード	• 1回のDMA転送要求で1データを転送 • 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 • リピートサイズは最大1024回設定可能
	ブロック転送モード	• 1回のDMA転送要求で1ブロックのデータを転送 • ブロックサイズは最大1024データ設定可能
選択機能	拡張リピートエリア機能	• 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 • 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	ノーマル転送モードの場合、指定回数の転送が終了したときに発生 リピート転送モードの場合、指定リピート回数の転送が終了したときに発生 ブロック転送モードの場合、指定ブロック数の転送が終了したときに発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生
イベントリンク機能		1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
消費電力低減機能		モジュールストップ状態への設定が可能

注1.　DMACの起動要因は、「14.　割り込みコントローラ(ICUC)」の「表14.4　割り込みベクタテーブル」を参照してください。

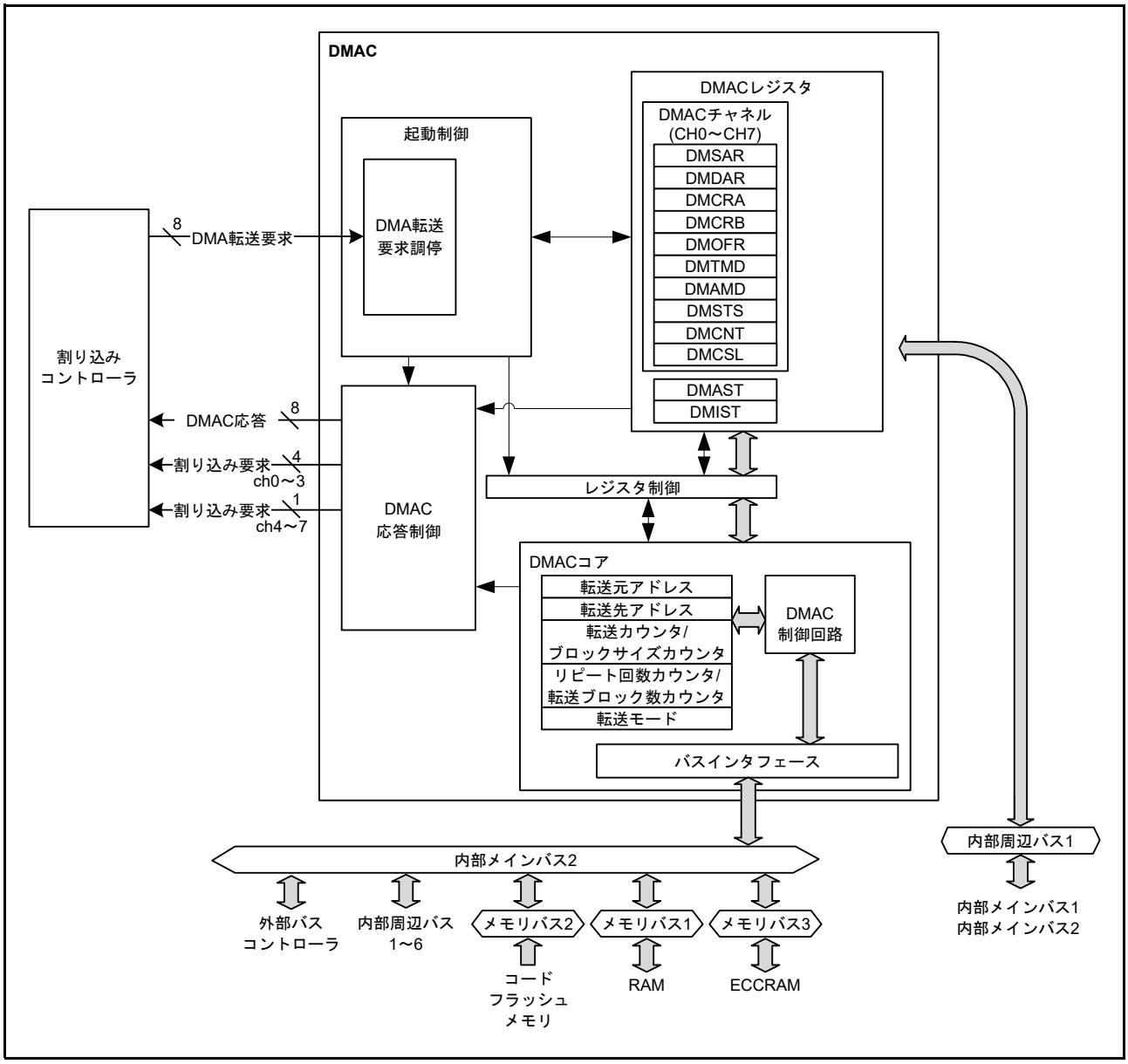


図 17.1 DMAC のブロック図

17.2 レジスタの説明

17.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス DMAC0.DMSAR 0008 2000h, DMAC1.DMSAR 0008 2040h, DMAC2.DMSAR 0008 2080h, DMAC3.DMSAR 0008 20C0h, DMAC4.DMSAR 0008 2100h, DMAC5.DMSAR 0008 2140h, DMAC6.DMSAR 0008 2180h, DMAC7.DMSAR 0008 21C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h～0FFFFFFFh (256Mバイト) F0000000h～FFFFFFFFh (256Mバイト)	R/W

DMSAR レジスタを設定する場合は、DMAC 停止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス DMAC0.DMDAR 0008 2004h, DMAC1.DMDAR 0008 2044h, DMAC2.DMDAR 0008 2084h, DMAC3.DMDAR 0008 20C4h, DMAC4.DMDAR 0008 2104h, DMAC5.DMDAR 0008 2144h, DMAC6.DMDAR 0008 2184h, DMAC7.DMDAR 0008 21C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h～0FFFFFFFh (256Mバイト) F0000000h～FFFFFFFFh (256Mバイト)	R/W

DMDAR レジスタを設定する場合は、DMAC 停止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス DMAC0.DMCRA 0008 2008h, DMAC1.DMCRA 0008 2048h, DMAC2.DMCRA 0008 2088h, DMAC3.DMCRA 0008 20C8h, DMAC4.DMCRA 0008 2108h, DMAC5.DMCRA 0008 2148h, DMAC6.DMCRA 0008 2188h, DMAC7.DMCRA 0008 21C8h

・ノーマル転送モード

	DMCRAH															
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	DMCRAL															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

・リピート転送モード、ブロック転送モード

	DMCRAH															
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	DMCRAL															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	0	0										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定します	R/W
DMCRAH	転送カウント上位ビット		R/W

注. リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRAL レジスタには同じ値を設定してください。

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。
転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント (–1) します。

設定値が “0000h” のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは “0000h” を書いてください。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

DMCRAH レジスタはリピートサイズを保持し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。リピート転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ～ 3FFh (1 回～ 1024 回) です。

DMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント (–1) され、“000h” になると DMCRAH レジスタの値が転送されます。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

DMCRAH レジスタはブロックサイズを保持し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

設定値が “001h” のときはブロックサイズ 1、“3FFh” のときはブロックサイズ 1023、“000h” のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ～ 3FFh です。

DMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント (–1) され、“000h” になると DMCRAH レジスタの値が転送されます。

17.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 0008 200Ch, DMAC1.DMCRB 0008 204Ch, DMAC2.DMCRB 0008 208Ch, DMAC3.DMCRB 0008 20CCh, DMAC4.DMCRB 0008 210Ch, DMAC5.DMCRB 0008 214Ch, DMAC6.DMCRB 0008 218Ch, DMAC7.DMCRB 0008 21CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15-b0	転送ブロック数、リピート回数を設定します	0001h～FFFFh (1～65535回) 0000h (65536回)	R/W

DMCRB レジスタは、ブロック転送モード時の転送ブロック数、またはリピート転送モード時のリピート回数を指定するレジスタです。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (–1) されます。

ブロック転送モードの場合、1 ブロックサイズの最終データ転送時にデクリメント (–1) されます。

ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

17.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス　DMAC0.DMTMD 0008 2010h, DMAC1.DMTMD 0008 2050h, DMAC2.DMTMD 0008 2090h, DMAC3.DMTMD 0008 20D0h, DMAC4.DMTMD 0008 2110h, DMAC5.DMTMD 0008 2150h, DMAC6.DMTMD 0008 2190h, DMAC7.DMTMD 0008 21D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0：ソフトウェア 0 1：周辺モジュールおよび外部割り込み入力端子からの割り込み（注1） 1 0：設定しないでください 1 1：設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0：8ビット転送 0 1：16ビット転送 1 0：32ビット転送 1 1：設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0：転送先側がリピート領域またはブロック領域 0 1：転送元側がリピート領域またはブロック領域 1 0：リピート領域、ブロック領域は設定しない 1 1：設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0：ノーマル転送 0 1：リピート転送 1 0：ブロック転送 1 1：設定しないでください	R/W

注1.　DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「14.　割り込みコントローラ(ICUC)」の「表14.4　割り込みベクタテーブル」を参照してください。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

17.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 0008 2013h, DMAC1.DMINT 0008 2053h, DMAC2.DMINT 0008 2093h, DMAC3.DMINT 0008 20D3h, DMAC4.DMINT 0008 2113h, DMAC5.DMINT 0008 2153h, DMAC6.DMINT 0008 2193h, DMAC7.DMINT 0008 21D3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送先アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送先アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送元アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送元アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0：リピートサイズ終了割り込みを禁止 1：リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0：エスケープ割り込みを禁止 1：エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0：転送終了割り込みを禁止 1：転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット (転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット)

DARIE ビットを “1” に設定したとき、転送先アドレスの拡張リピートエリアオーバフローが発生すると、DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、転送先アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャネルの DMACm.DMCNT.DTE ビットを “1” にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット)

SARIE ビットを “1” に設定したとき、転送元アドレスの拡張リピートエリアオーバフローが発生すると、DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、転送元アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャネルの DMACm.DMCNT.DTE ビットを “1” にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リピートサイズ終了割り込み許可ビット)

リピート転送モードにおいて、RPTIE ビットを “1” に設定したとき、1 リピートサイズ分の転送終了後に DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが “10b” (リピート領域、ブロック領域に指定しない) のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを “1” に設定したときも同様に 1 ブロックの転送終了後に

DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが “10b” (リピート領域、ブロック領域に指定しない) に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求 (リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み) を許可または禁止します。

ESIE ビットを “1” にセットすると、DMSTS.ESIF フラグに “1” がセットされたとき、転送エスケープ終了割り込みを発生します。転送エスケープ終了割り込みは、ESIE ビットを “0” にクリアするか、DMSTS.ESIF フラグを “0” にクリアすると解除されます。

DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを “1” にセットすると、DMSTS.DTIF フラグに “1” がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを “0” にクリアするか、DMSTS.DTIF フラグを “0” にクリアすると解除されます。

17.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 0008 2014h, DMAC1.DMAMD 0008 2054h, DMAC2.DMAMD 0008 2094h, DMAC3.DMAMD 0008 20D4h, DMAC4.DMAMD 0008 2114h, DMAC5.DMAMD 0008 2154h, DMAC6.DMAMD 0008 2194h, DMAC7.DMAMD 0008 21D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SM[1:0]		—	SARA[4:0]					DM[1:0]		—	DARA[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表17.2を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定ビット	b7 b6 0 0：アドレス固定 0 1：オフセット加算(注1) 1 0：インクリメント 1 1：デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表17.2を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定ビット	b15 b14 0 0：アドレス固定 0 1：オフセット加算(注1) 1 0：インクリメント 1 1：デクリメント	R/W

注1. オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット (転送先アドレス拡張リピートエリア設定ビット)

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 00b (転送先側がリピート領域またはブロック領域) に設定している場合、DARA[4:0] ビットには “00000b” を書いてください。

DMINT.DARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。表 17.2 に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき –1、DMTMD.SZ[1:0] = 01b のとき –2、DMTMD.SZ[1:0] = 10b のとき –4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リピートエリア設定ビット)

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 01b (転送元側がリピート領域またはブロック領域) に設定している場合、SARA[4:0] ビットには “00000b” を書いてください。

DMINT.SARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。**表 17.2** に拡張リピートエリアの設定と範囲を示します。

SM[1:0] ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき –1、DMTMD.SZ[1:0] = 01b のとき –2、DMTMD.SZ[1:0] = 10b のとき –4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表17.2 拡張リピートエリアの設定と範囲

SARA[4:0]/DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット(2バイト)を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット(4バイト)を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット(8バイト)を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット(16バイト)を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット(32バイト)を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット(64バイト)を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット(128バイト)を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット(256バイト)を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット(512バイト)を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット(1Kバイト)を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット(2Kバイト)を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット(4Kバイト)を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット(8Kバイト)を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット(16Kバイト)を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット(32Kバイト)を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット(64Kバイト)を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット(128Kバイト)を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット(256Kバイト)を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット(512Kバイト)を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット(1Mバイト)を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット(2Mバイト)を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット(4Mバイト)を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット(8Mバイト)を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット(16Mバイト)を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット(32Mバイト)を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット(64Mバイト)を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット(128Mバイト)を拡張リピートエリアに設定する
11100b～11111b	設定しないでください

17.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 0008 2018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h～00FFFFFFh (0バイト～(16M–1)バイト) FF000000h～FFFFFFFFh (–16Mバイト～–1バイト)	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ～ 25 への設定値は無効です、ビット 31 ～ 25 へはビット 24 の値がビット拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.9 DMA 転送許可レジスタ (DMCNT)

アドレス DMAC0.DMCNT 0008 201Ch, DMAC1.DMCNT 0008 205Ch, DMAC2.DMCNT 0008 209Ch, DMAC3.DMCNT 0008 20DCh, DMAC4.DMCNT 0008 211Ch, DMAC5.DMCNT 0008 215Ch, DMAC6.DMCNT 0008 219Ch, DMAC7.DMCNT 0008 21DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA転送許可ビット	0：DMA転送を禁止 1：DMA転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット (DMA 転送許可ビット)

DMAST.DMST ビットが “1” (DMAC 動作) で、DTE ビットが “1” (DMA 転送を許可) のとき、対応するチャネルの DMA 転送を開始することができます。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- “0” を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リピートエリアオーバフロー割り込みにより DMA 転送が停止したとき

17.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 0008 201Dh, DMAC1.DMREQ 0008 205Dh, DMAC2.DMREQ 0008 209Dh, DMAC3.DMREQ 0008 20DDh, DMAC4.DMREQ 0008 211Dh, DMAC5.DMREQ 0008 215Dh, DMAC6.DMREQ 0008 219Dh, DMAC7.DMREQ 0008 21DDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMA ソフトウェア起動ビット	0：DMA 転送要求なし 1：DMA 転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMA ソフトウェア起動ビット自動クリア選択	0：ソフトウェア起動後にSWREQビットをクリアする 1：ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットに “1” を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが “0” に設定されている場合、SWREQ ビットは “0” にクリアされます。CLRS ビットが “1” に設定されている場合、SWREQ ビットは “0” にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを “00b” (DMAC 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが “00b” 以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが “0” でソフトウェア起動を行う場合、SWREQ ビットが “0” であることを確認してから SWREQ ビットに “1” を書いてください。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- CLRS ビットが “0” (ソフトウェア起動後に SWREQ ビットをクリアする) に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0” を書き込んだとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットへ “1” 書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを “0” にクリアするかしないを設定します。CLRS ビットが “0” に設定されている場合、転送が開始されると SWREQ ビットは “0” にクリアされます。CLRS ビットが “1” に設定されている場合は、SWREQ ビットは “0” クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

17.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 0008 201Eh, DMAC1.DMSTS 0008 205Eh, DMAC2.DMSTS 0008 209Eh, DMAC3.DMSTS 0008 20DEh, DMAC4.DMSTS 0008 211Eh, DMAC5.DMSTS 0008 215Eh, DMAC6.DMSTS 0008 219Eh, DMAC7.DMSTS 0008 21DEh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0：転送エスケープ割り込み発生なし 1：転送エスケープ割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0：転送終了割り込みなし 1：転送終了割り込みあり	R/W (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMAアクティブフラグ	0：DMACが停止中 1：DMACが動作中	R

注1. “0”のみ書けます。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

[“1” になる条件]

- DMINT.RPTIEビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが “1” に設定されており、ブロック転送モードにおいて 1 ブロックの転送終了後
- DMINT.SARIEビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外(転送元アドレスを拡張リピートエリアに指定) に設定されているときに、転送元アドレスの拡張リピートエリアオーバフローが発生したとき
- DMINT.DARIEビットが“1”に設定され、DMAMD.DARA[4:0] ビットに“00000b”以外(転送先アドレスを拡張リピートエリアに指定) に設定されているときに、転送先アドレスの拡張リピートエリアオーバフローが発生したとき

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1” になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき(DMCRALレジスタが“0”になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき (DMCRB レジスタが “0” になり転送が終了したとき)

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が動作中か停止中であることを示すフラグです。

[“1” になる条件]

- DMAC が転送動作を開始したとき

[“0” になる条件]

- 1 転送要求に対する転送がすべて終了したとき

17.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL)

アドレス DMAC0.DMCSL 0008 201Fh, DMAC1.DMCSL 0008 205Fh, DMAC2.DMCSL 0008 209Fh, DMAC3.DMCSL 0008 20DFh, DMAC4.DMCSL 0008 211Fh, DMAC5.DMCSL 0008 215Fh, DMAC6.DMCSL 0008 219Fh, DMAC7.DMCSL 0008 21DFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0：転送開始時に起動要因となった割り込みフラグを“0”クリアする 1：転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DISEL ビット (インタラプト選択ビット)

DMAC の転送開始時に起動要因となった割り込みフラグを “0” クリアするか、割り込みフラグにより CPU へ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0] = 00b (ソフトウェアによる起動) に設定している場合は、DISEL ビットの設定値は無効です。

17.2.13 DMAC モジュール起動レジスタ (DMAST)

アドレス 0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可ビット	0：DMAC停止 1：DMAC動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット (DMAC 動作許可ビット)

DMST ビットを “1” にすると、DMAC の全チャネルが転送要求を受け付けるようになります。

複数チャネルの DMACm.DMCNT.DTE ビットに “1” (DMA 転送を許可) を書いた後に DMST ビットを “1” (DMAC 動作) にすると、複数チャネルを同時に転送要求受け付け可能状態にすることができます。

また、DMA 転送中に DMST ビットを “0” にすると、実行中の 1 転送要求に対するデータ転送が終了した後に全チャネルの DMA 転送動作が停止します。この状態で、再度 DMST ビットを “1” にすると継続して DMA 転送を行うことができます。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき

17.2.14 DMAC74 割り込みステータスモニタレジスタ (DMIST)

アドレス 0008 2204h

	b7	b6	b5	b4	b3	b2	b1	b0
	DMIS7	DMIS6	DMIS5	DMIS4	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効です。	R
b4	DMIS4	DMAC4割り込みステータスフラグ	0：DMAC4割り込み要求なし 1：DMAC4割り込み要求あり	R
b5	DMIS5	DMAC5割り込みステータスフラグ	0：DMAC5割り込み要求なし 1：DMAC5割り込み要求あり	R
b6	DMIS6	DMAC6割り込みステータスフラグ	0：DMAC6割り込み要求なし 1：DMAC6割り込み要求あり	R
b7	DMIS7	DMAC7割り込みステータスフラグ	0：DMAC7割り込み要求なし 1：DMAC7割り込み要求あり	R

DMISm フラグ (DMACm 割り込みステータスフラグ) (m = 4 ～ 7)

DMACm の割り込み要求をモニタするビットです。書き込みは無視されます。

DMACm.DMINT.DTIE ビットが “1” かつ DMACm.DMSTS.DTIF ビットが “1” のとき、もしくは、DMACm.DMINT.ESIE ビットが “1”、かつ、DMACm.DMSTS.ESIF ビットが “1” のとき、DMIST.DMISm ビットは “1” になります。

17.3 動作説明

17.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは 1 回の転送要求について 1 データの転送を行います。DMACm.DMCRAL レジスタの設定により、最大 65535 データの指定転送回数を設定できます。また、DMACm.DMCRAL レジスタを “0000h” に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。DMACm.DMCRB レジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を表 17.3 に、ノーマル転送モードの動作を図 17.2 に示します。

表 17.3　ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAL	転送カウンタ	1減算/更新なし(フリーランニングモード時)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)
DMACm.DMCRB	—	更新されません。(ノーマル転送モードでは使用しません)

注1.　オフセット加算はDMAC0のみ指定可能です。

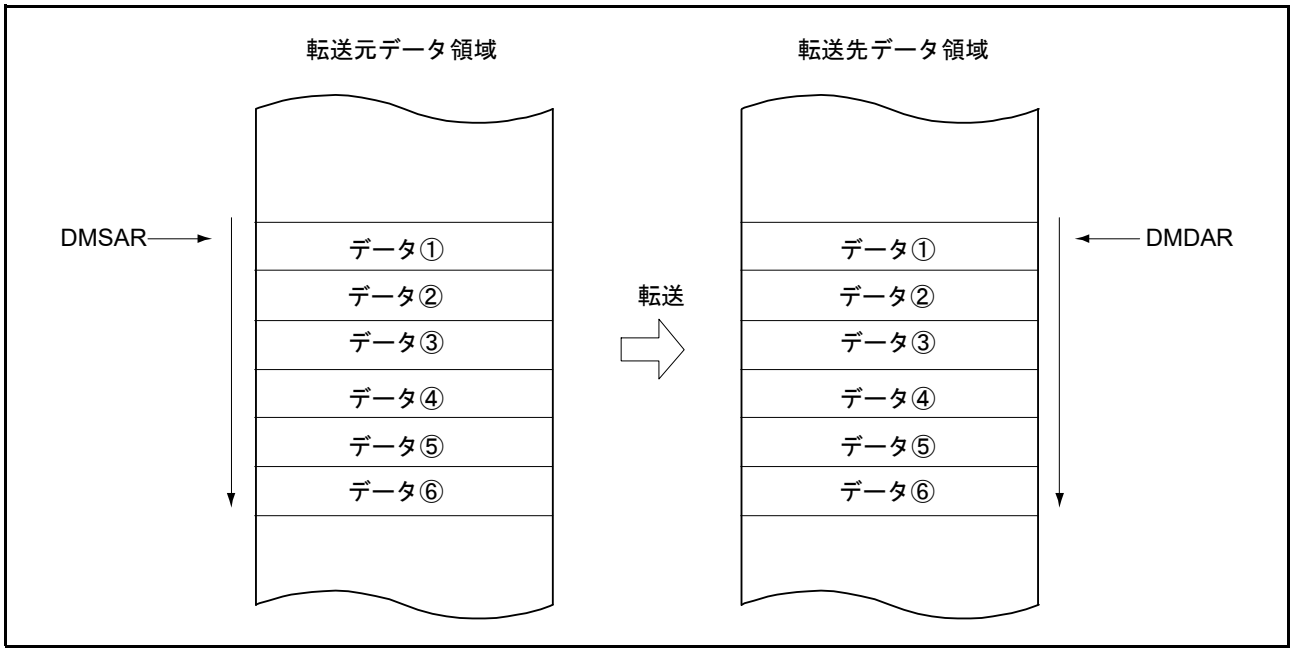


図 17.2　ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは 1 回の転送要求について 1 データの転送を行います。

DMACm.DMCRA レジスタで最大 1K データのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 64K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ × 64K リピート回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA 転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに “1” を書き込むと DMA 転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を**表 17.4** に、リピート転送モードの動作を**図 17.3** に示します。

表 17.4 リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMACm.DMCRAL レジスタが 1 以外のとき	DMACm.DMCRAL レジスタが 1 のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)	• DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) • DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算 (注1)	• DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 • DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 (注1) • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAL	転送カウンタ	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウンタ	保持	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

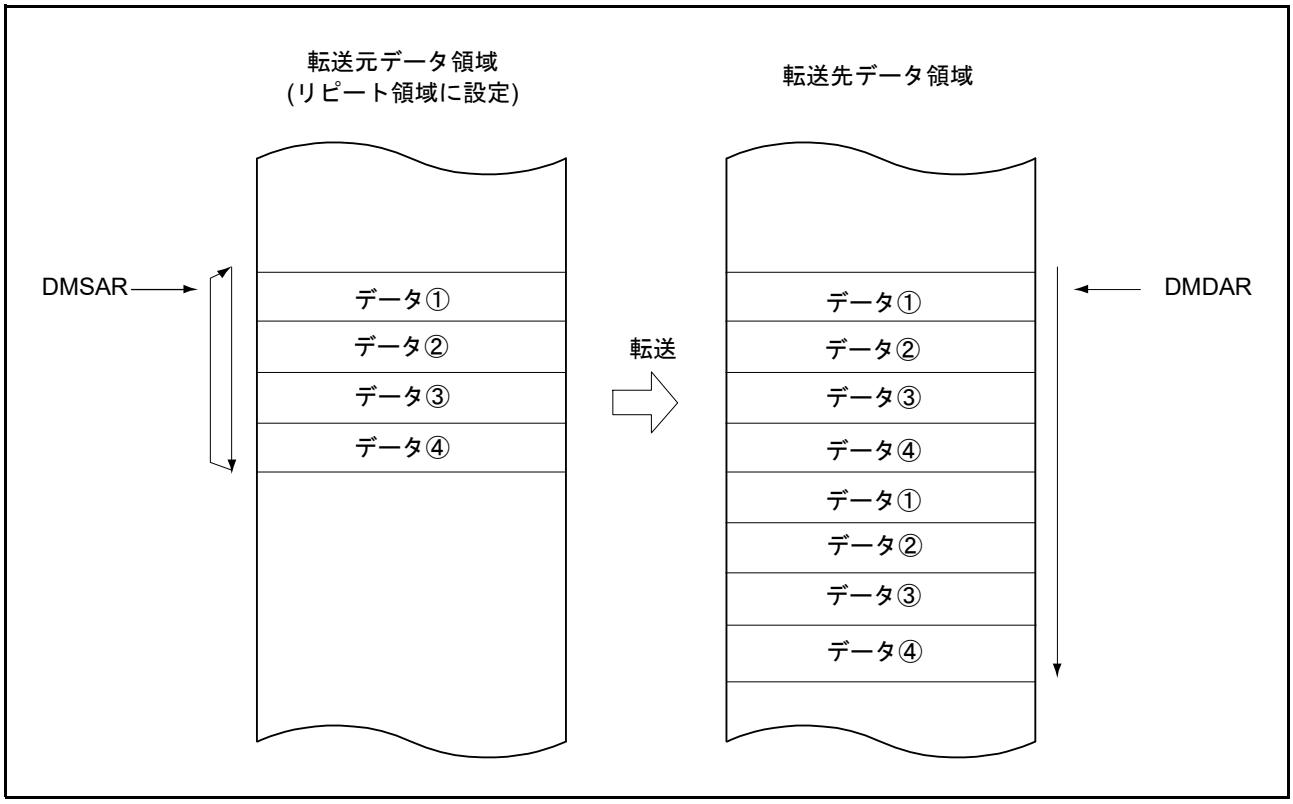


図 17.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 64K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 64K ブロック回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1 ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1 ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに “1” を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 17.5 に、ブロック転送モードの動作を図 17.4 に示します。

表 17.5　ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	• DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) • DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	• DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 • DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 (注1) • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	ブロックサイズカウンタ	DMACm.DMCRAH
DMACm.DMCRB	転送ブロック数カウンタ	1減算

注1.　オフセット加算はDMAC0のみ指定可能です。

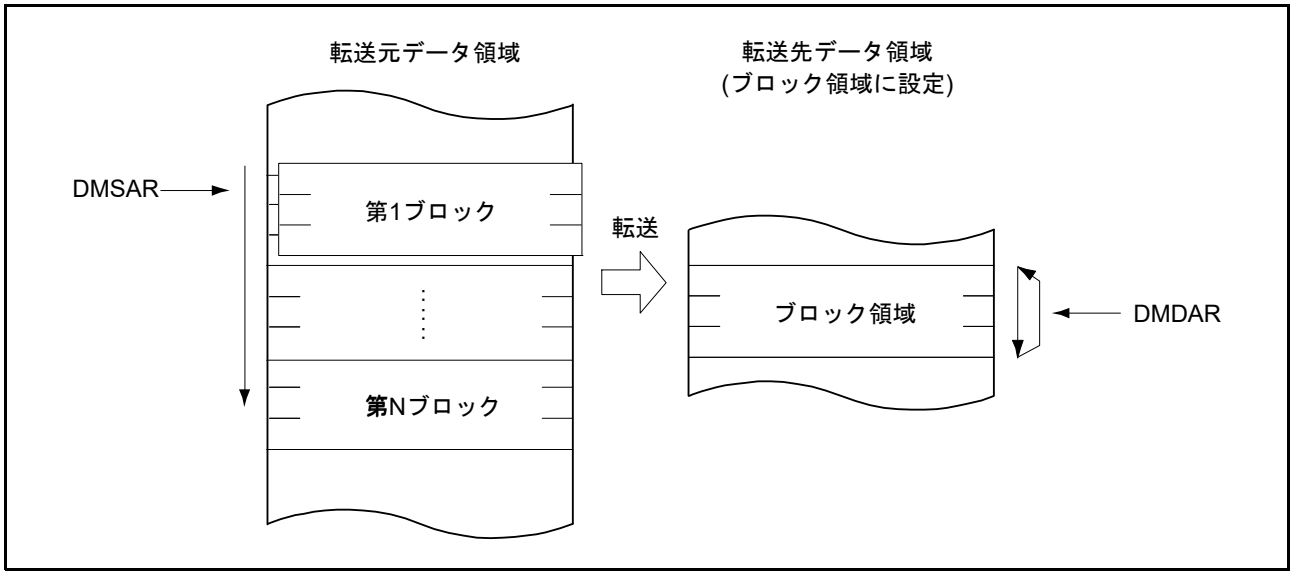


図 17.4　ブロック転送モードの動作

17.3.2 拡張リピートエリア機能

DMAC には転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSAR レジスタ (転送元アドレスレジスタ)、DMACm.DMDAR レジスタ (転送先アドレスレジスタ) に独立して設定できます。

転送元アドレスの拡張リピートエリアは DMACm.DMAMD.SARA[4:0] ビットで設定します。転送先アドレスの拡張リピートエリアは DMACm.DMAMD.DARA[4:0] ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア (転送元または転送先) を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバフローすると、DMA 転送を一時停止させて、拡張リピートエリアオーバフロー割り込み要求を発生することができます。DMACm.DMINT.SARIE ビットを “1” にすると、転送元アドレスの拡張リピートエリアがオーバフローしたときに DMACm.DMSTS.ESIF フラグが “1” になり、DMACm.DMCNT.DTE ビットを “0” にして DMA 転送を終了します。このとき、DMACm.DMINT.ESIE ビットが “1” になっていると、拡張リピートエリアオーバフロー割り込み要求が発生します。

DMACm.DMINT.DARIE ビットを “1” にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバフロー割り込み処理で、DMACm.DMCNT.DTE ビットを “1” にすると、DMA 転送を再開することができます。

図 17.5 に拡張リピートエリア機能の例を示します。

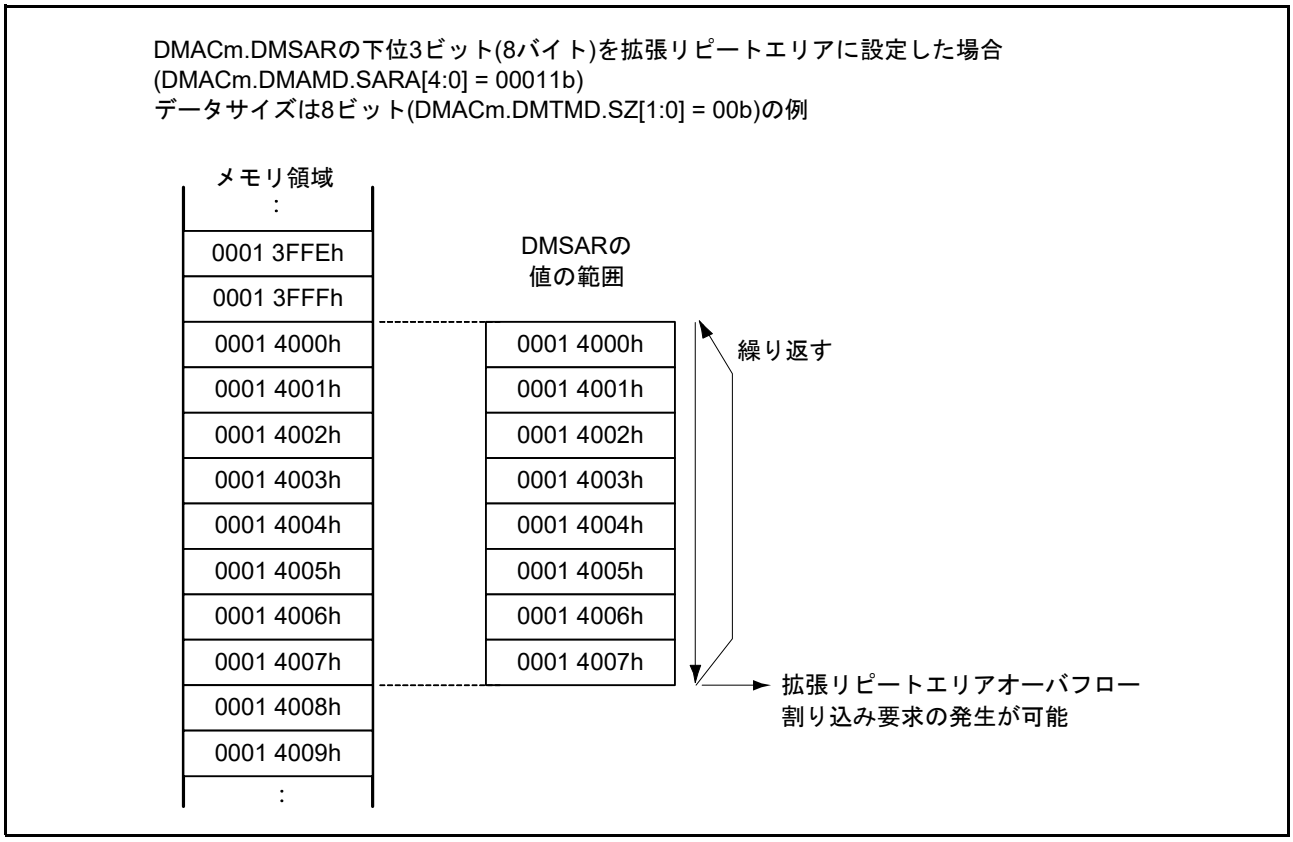


図 17.5 拡張リピートエリア機能の例

拡張リピートエリアオーバフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバフローの発生で転送を終了させる場合は、ブロックサイズを 2 のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックのデータを転送中に拡張リピートエリアにオーバフローが発生した場合は、1 ブロックのデータ転送が終了するまで拡張リピートエリアオーバフロー割り込み要求は保留され、転送はオーバランします。

図 17.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

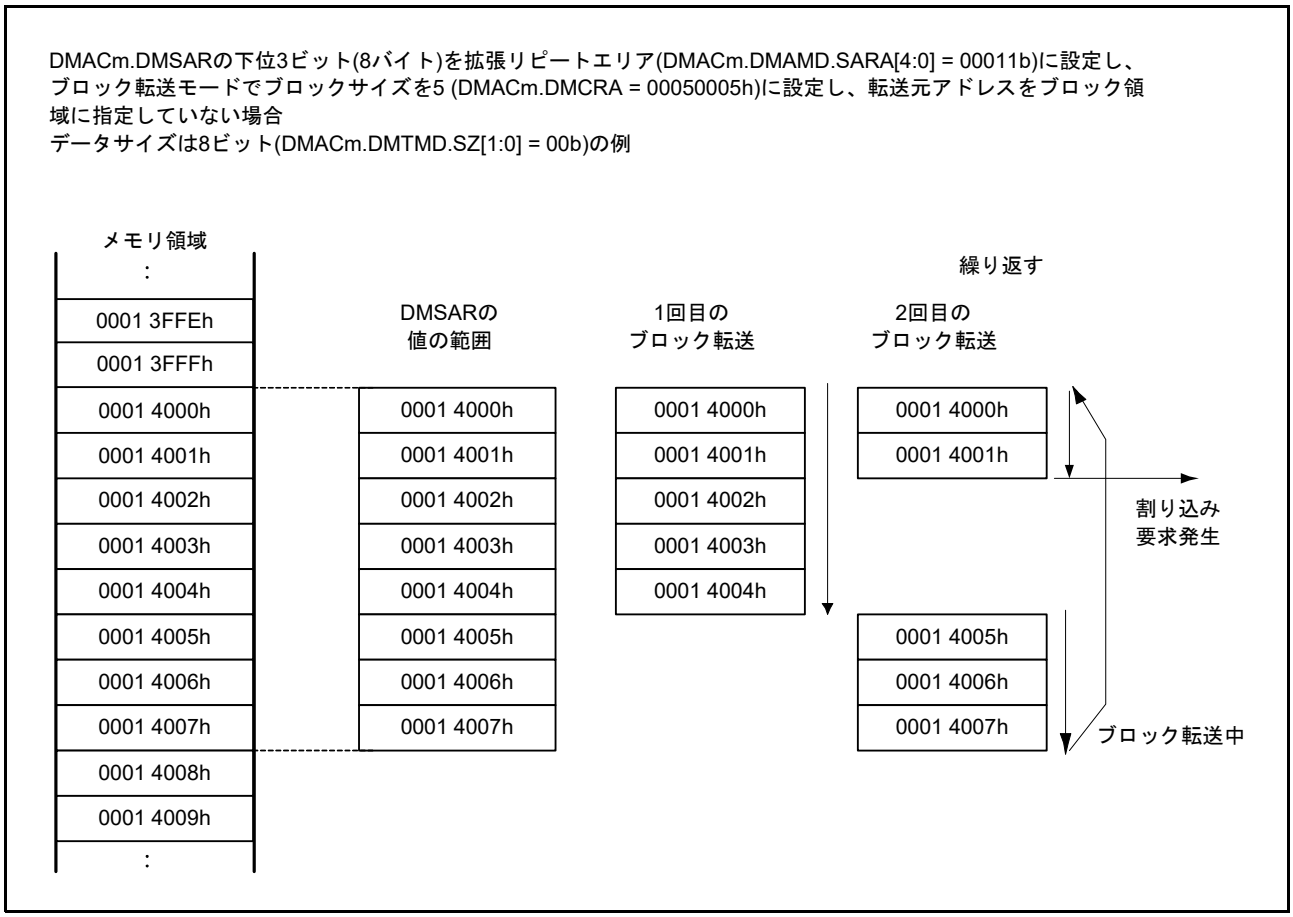


図 17.6 ブロック転送モードと拡張リピートエリア機能を併用した例

17.3.3　オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定 / インクリメント / デクリメントの他にオフセット加算があります。オフセット加算では、1 データの転送を行うたびに DMA オフセットレジスタ (DMAC0.DMOFR) に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFR レジスタに 2 の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャネルは DMAC0 のみです。

各アドレス更新モードでのアドレス更新方法を**表 17.6** に示します。

表 17.6　各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (DMACm.DMTMD.SZ[1:0]設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	–1	–2	–4

注1.　オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現= ～(オフセット値) +1 (～：ビット反転)

(1)　オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を**図 17.7** に示します。

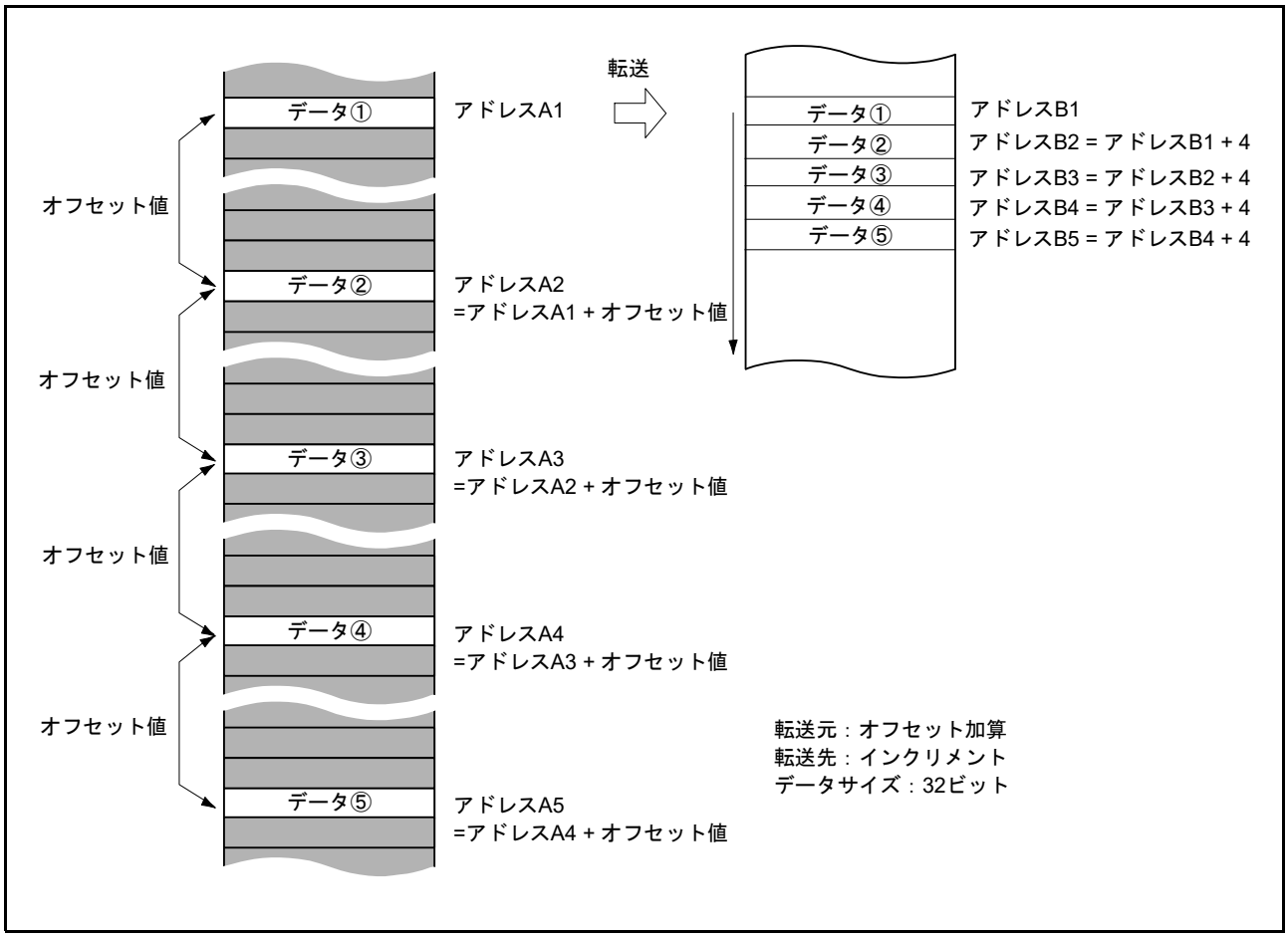


図 17.7　オフセットによるアドレス更新機能の動作例

図 17.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 17.8 にリピート転送モードとオフセット加算を組み合わせて XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ：転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD レジスタ：転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD レジスタ：転送データサイズビット：32 ビット転送
- DMAC0.DMTMD レジスタ：転送モード設定ビット：リピート転送
- DMAC0.DMTMD レジスタ：リピート領域選択ビット：転送元側がリピート領域
- DMAC0.DMOFR レジスタ：オフセットアドレス：10h
- DMAC0.DMCRA レジスタ：リピートサイズ：4h
- DMAC0.DMINT レジスタ：リピートサイズ終了割り込みを許可に設定

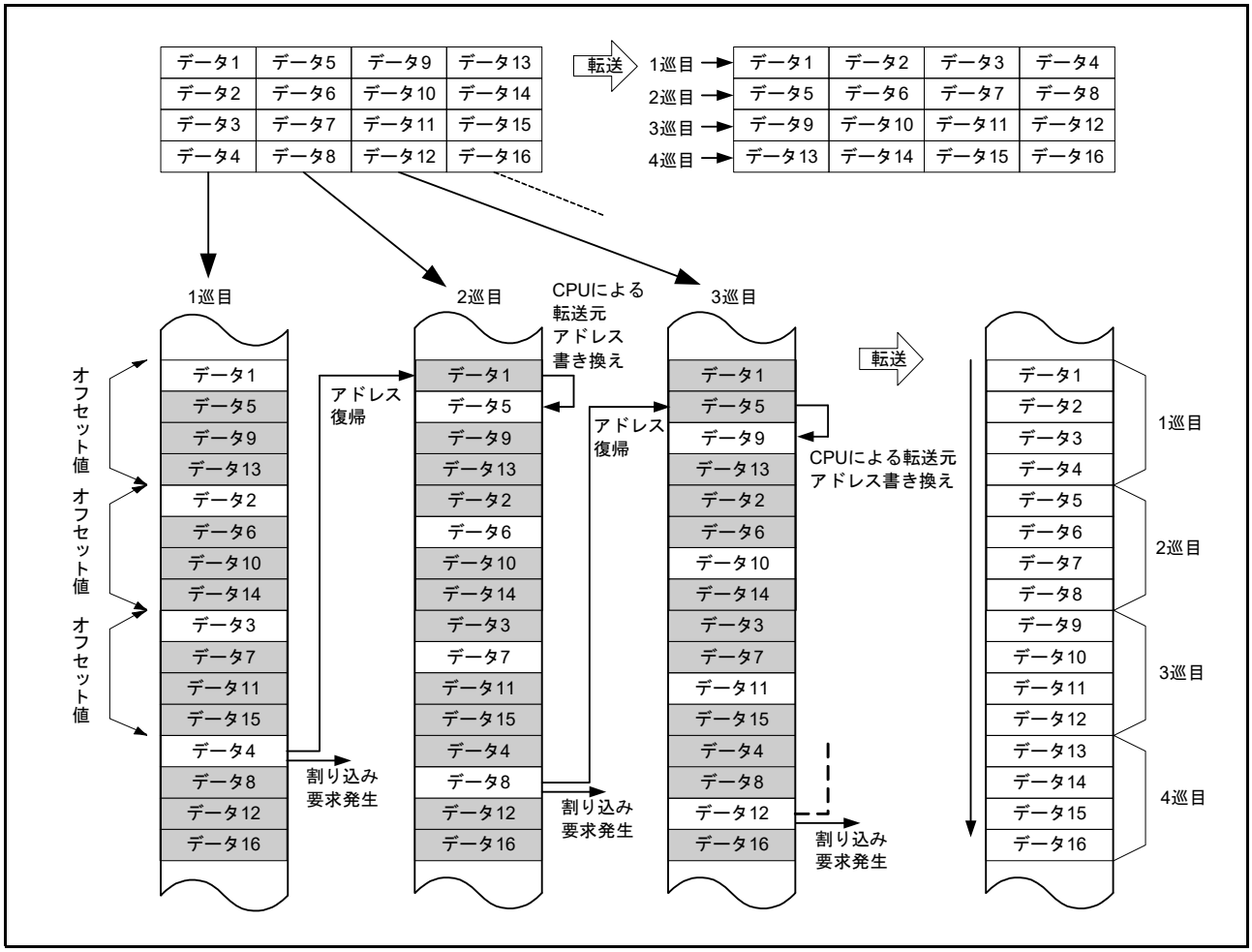


図 17.8　リピート転送モード + オフセット加算による XY 変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“データ 4” までのデータが転送されると、リピートサイズ分のデー

タを転送したことになり、DMAC は転送元のアドレスを転送開始時のアドレス (転送元 “ データ 1” のアドレス) に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSAR レジスタ：DMA 転送元アドレスを “ データ 5” のアドレスに書き換え
  (上記の例では “ データ 1” のアドレスに 4 を加算した値に書き換え)
- DMAC0.DMCNT レジスタ：DTE ビットに “1” 書き込み

DMA 転送が中断した状態から引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 17.9 に XY 変換の処理フローを示します。

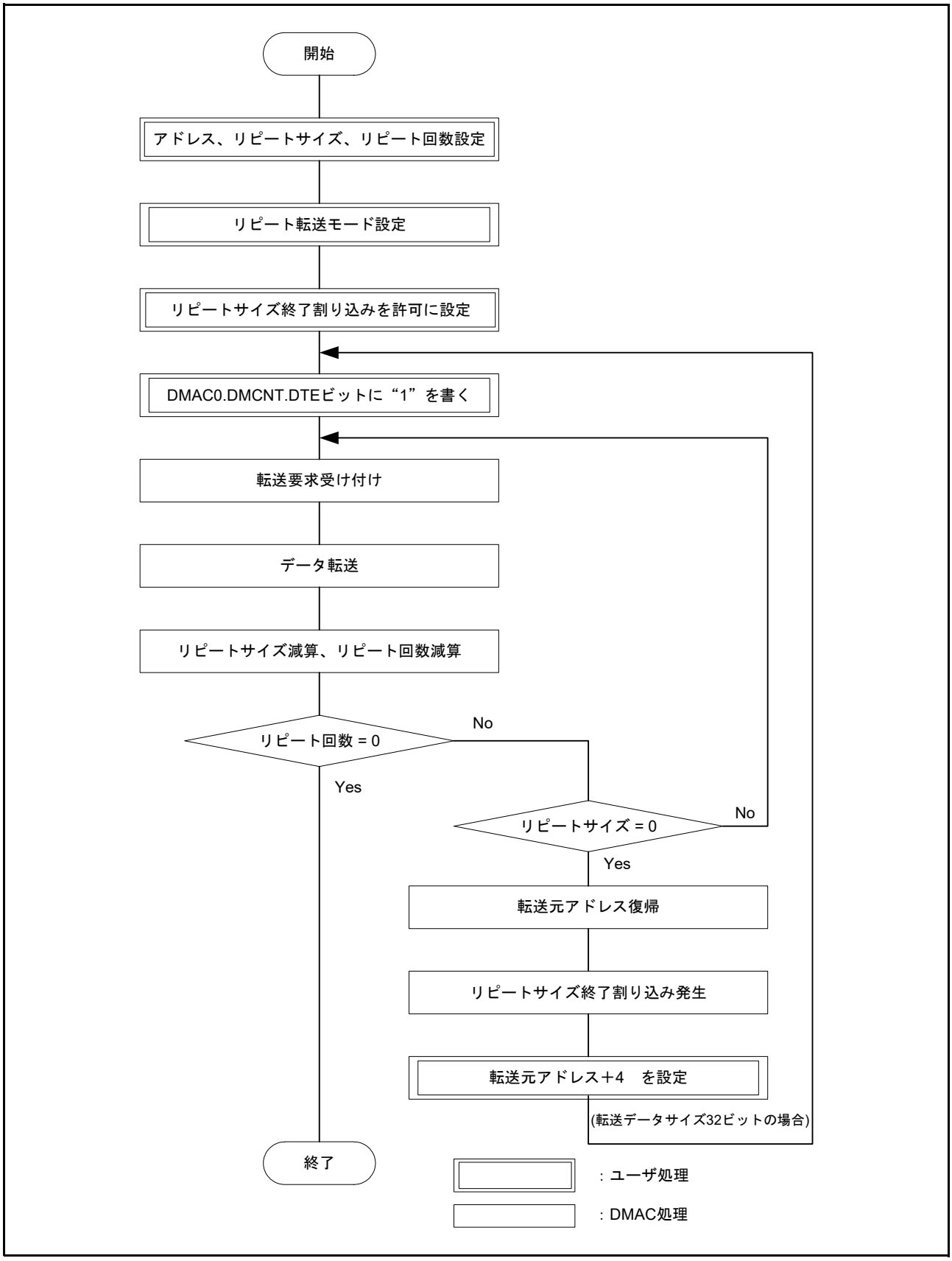


図 17.9 リピート転送モード + オフセット加算による XY 変換のフロー

17.3.4 起動要因

DMAC の起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択は DMACm.DMTMD.DCTG[1:0] ビットで設定できます。

(1) ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0] ビットを “00b” にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動により DMA 転送を開始するには、DMACm.DMTMD.DCTG[1:0] ビットを “00b” にした後に、DMACm.DMCNT.DTE ビットを “1” (DMA 転送許可) にしてください。また、DMAST.DMST ビットを “1” (DMAC 動作) にしてください。その後、DMACm.DMREQ.SWREQ ビットに “1” (DMA 転送要求あり) を書くと DMA 動作が開始します。

DMACm.DMREQ.CLRS ビットが “0” でソフトウェア起動を行った場合、DMA 転送要求に対する転送が開始されると DMACm.DMREQ.SWREQ ビットが “0” になります。DMACm.DMREQ.CLRS ビットが “1” でソフトウェア起動を行った場合は、転送を開始しても DMACm.DMREQ.SWREQ ビットは “0” になりません。要求に対する転送終了後、再び DMA 転送要求を発生します。

(2) 周辺モジュール / 外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求を DMA 転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ (ICU) の ICU.DMRSRm レジスタ (m = 0 ～ 7) で選択します。チャネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求により DMA を起動するには、DMACm.DMTMD.DCTG[1:0] ビットを “01b” (周辺モジュールおよび外部割り込み端子からの割り込み) にした後に、DMACm.DMCNT.DTE ビットを “1” (DMA 転送を許可) にしてください。また、DMAST.DMST ビットを “1” (DMAC 動作) にしてください。その後に割り込み要求が発生すると、DMA 動作を開始します。

DMAC の起動要因となる割り込み要因一覧は、「14. 割り込みコントローラ (ICUC)」の「表 14.4 割り込みベクタテーブル」を参照してください。

17.3.5 動作タイミング

図 17.10、図 17.11 に DMAC の動作タイミングの例を示します。

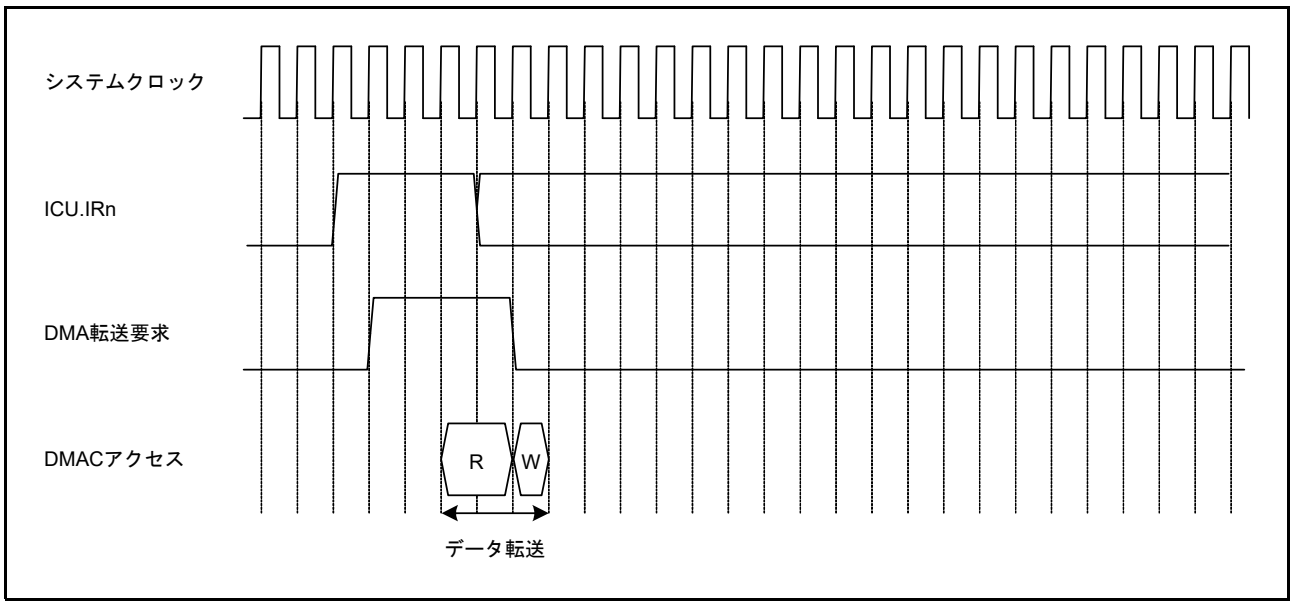


図 17.10 DMAC 動作タイミング例 (1) (周辺モジュール / 外部割り込み入力端子からの割り込みによる DMA 転送、ノーマル転送モード、リピート転送モードの場合)

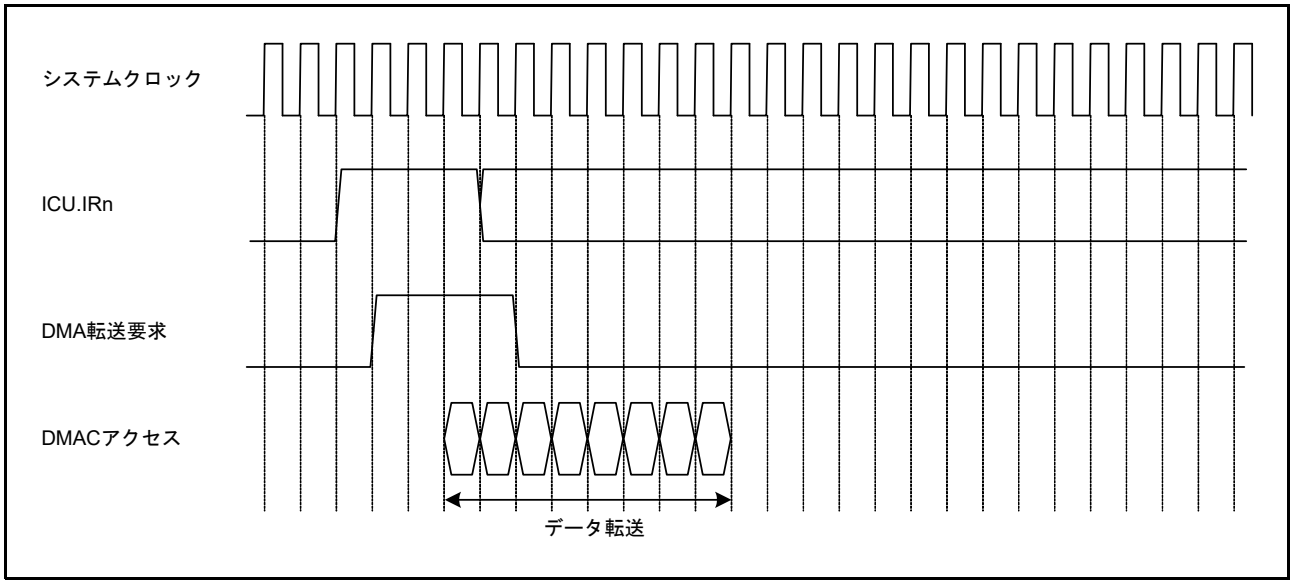


図 17.11 DMAC 動作タイミング例 (2) (周辺モジュール / 外部割り込み入力端子からの割り込みによる DMA 転送、ブロック転送モード、ブロックサイズ = 4 の場合)

17.3.6 DMAC の実行サイクル

表 17.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表17.7 DMACの実行サイクル

転送モード	データ転送(リード)	データ転送(ライト)
ノーマル	Cr + 1	Cw
リピート	Cr + 1	Cw
ブロック (注1)	P × Cr	P × Cw

注1. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P：ブロックサイズ (DMCRAH レジスタの設定値)
Cr：データリード先アクセスサイクル
Cw：データライト先アクセスサイクル

Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「44. RAM」、「45. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」、「15.2.6 外部バス」を参照してください。
データ転送 (リード) の「+1」の単位はシステムクロック (ICLK) です。
動作例は「17.3.5 動作タイミング」を参照してください。

17.3.7 DMAC の起動

図 17.12 にレジスタの設定手順を示します。

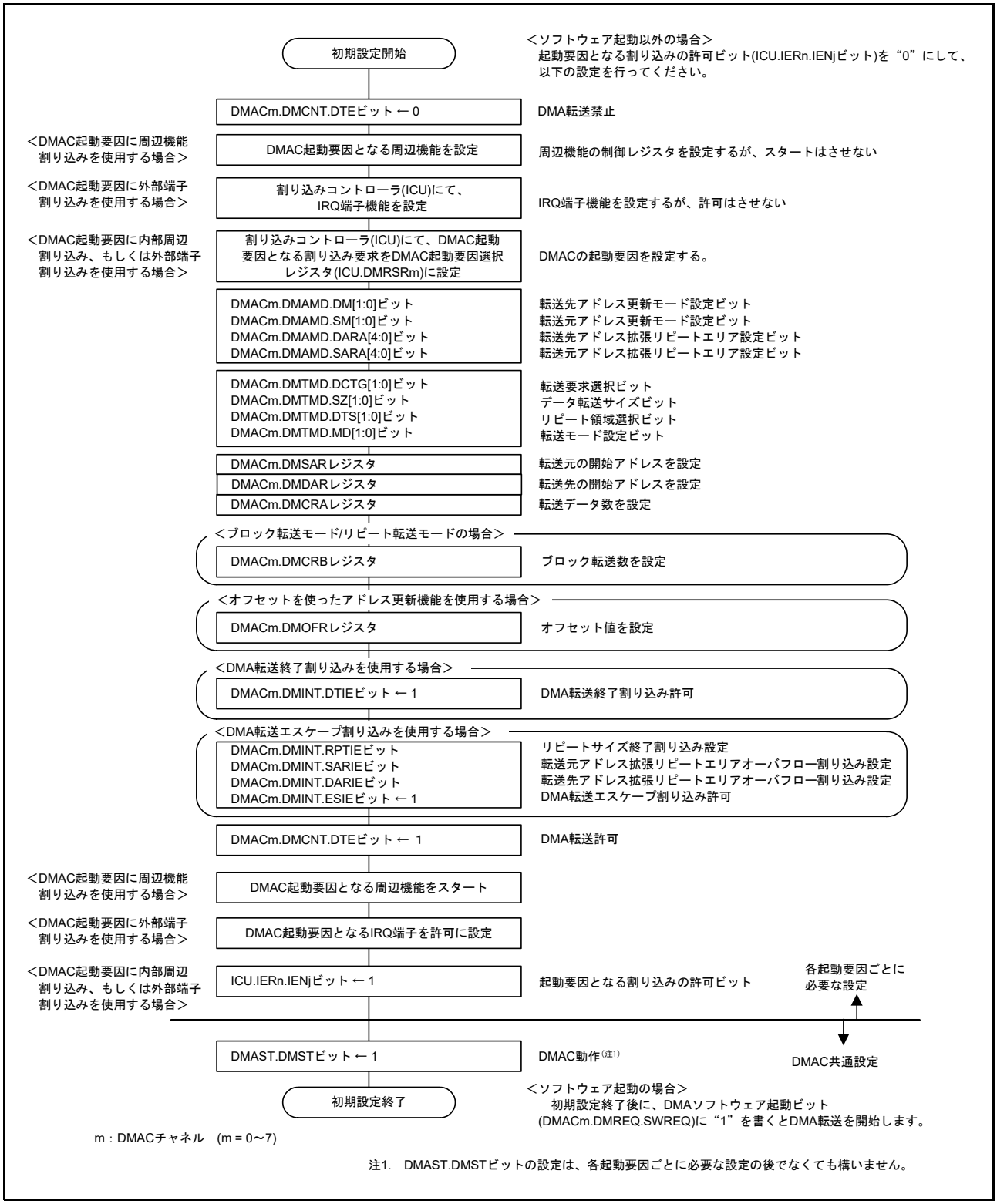


図 17.12　レジスタの設定手順

17.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを “1” (DMA 転送許可) にして、DMAST.DMST ビットを “1” (DMAC 動作) にすると、チャネル m (m = 0 ～ 7) の DMA 転送が可能になります。

他の DMAC チャネル、DTC の転送中は新たな転送要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT ビットが “1” (DMAC 動作中) になります。

17.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。
各モードでのレジスタ更新は**表 17.3 ～表 17.5** を参照してください。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。
各モードでのレジスタ更新は**表 17.3 ～表 17.5** を参照してください。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。
各モードでのレジスタ更新は**表 17.3 ～表 17.5** を参照してください。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。
各モードでのレジスタ更新は**表 17.3 ～表 17.5** を参照してください。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが “0” になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが “1” になっているチャネルのレジスタの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DMACm.DMCNT.DTE ビットに “0” を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ (DMACm.DMSTS.ACT ビット)

DMACm が停止中か動作中であることを示します。DMACm.DMSTS.ACT ビットは DMAC が転送動作を開始すると “1” にセットされ、1 転送要求に対するデータ転送を終了すると “0” になります。

DMA 転送中に DMACm.DMCNT.DTE ビットに “0” をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで “1” を保持します。

(7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF フラグ)

DMA 転送によって総転送サイズ分の転送を終了すると、DMACm.DMSTS.DTIF フラグは “1” にセットされます。

DMACm.DMSTS.DTIF フラグが “1” にセットされ、DMACm.DMINT.DTIE ビットが “1” にセットされていると転送終了割り込み要求を発生します。

DMACm.DMSTS.DTIF フラグが “1” にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT ビットが “0” になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに “1” を書き込んだ場合、自動的に DMACm.DMSTS.DTIF フラグが “0” クリアされます。

(8) 転送エスケープ割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは “1” にセットされます。DMACm.DMSTS.ESIF フラグが “1” にセットされ、DMACm.DMINT.ESIE ビットが “1” にセットされていると転送エスケープ割り込み要求を発生します。

DMACm.DMSTS.ESIF フラグに “1” がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが “0” になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに “1” を書き込んだ場合、自動的に DMACm.DMSTS.ESIF フラグが “0” にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUC)」を参照してください。

17.3.10 チャネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 > チャネル 4 > チャネル 5 > チャネル 6 > チャネル 7 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行ない、優先順位の高いチャネルの転送が開始されます。

17.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが “1” から “0” になり、DMA 転送が終了したことを示します。

17.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) のとき

DMACm.DMCRAL レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.DTIF フラグが “1” にセットされます。このとき DMACm.DMINT.DTIE ビットが “1” にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) のとき

DMACm.DMCRB レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.DTIF フラグが “1” にセットされます。このとき DMACm.DMINT.DTIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) のとき

DMACm.DMCRB レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.DTIF フラグが “1” にセットされます。このとき DMACm.DMINT.DTIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUC)」を参照してください。

17.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが “1” にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求を発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.ESIF フラグが “1” にセットされます。このとき DMACm.DMINT.ESIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを “1” にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求を発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUC)」を参照してください。

17.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが “1” にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.ESIF フラグが “1” にセットされます。このとき DMACm.DMINT.ESIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUC)」を参照してください。

17.5 割り込み

DMAC はチャネルごとに、1 要求分の転送完了後に CPU または DTC に割り込み要求を出力させることができます。転送先が外部バス、または内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を**表 17.8** に、割り込み出力の概略論理図 (DMAC0 ～ DMAC3) を**図 17.13** に、割り込み出力の概略論理図 (DMAC4 ～ DMAC7) を**図 17.14** に示します。また、DMAC 割り込み処理で、DMA 転送を再開 / 中止する手順を**図 17.15** に示します。

表 17.8 割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピートエリアオーバフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピートエリアオーバフロー	DMACm.DMINT.DARIE		

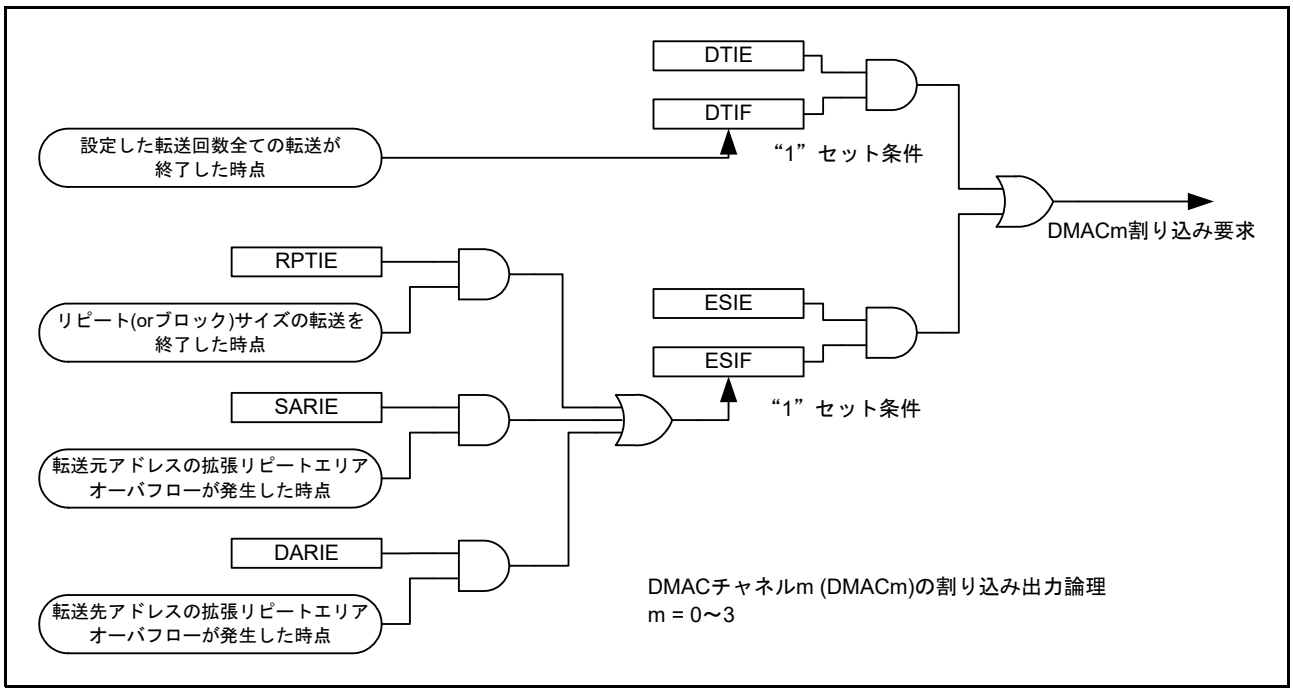


図 17.13 割り込み出力の概略論理図 (DMAC0 ～ DMAC3)

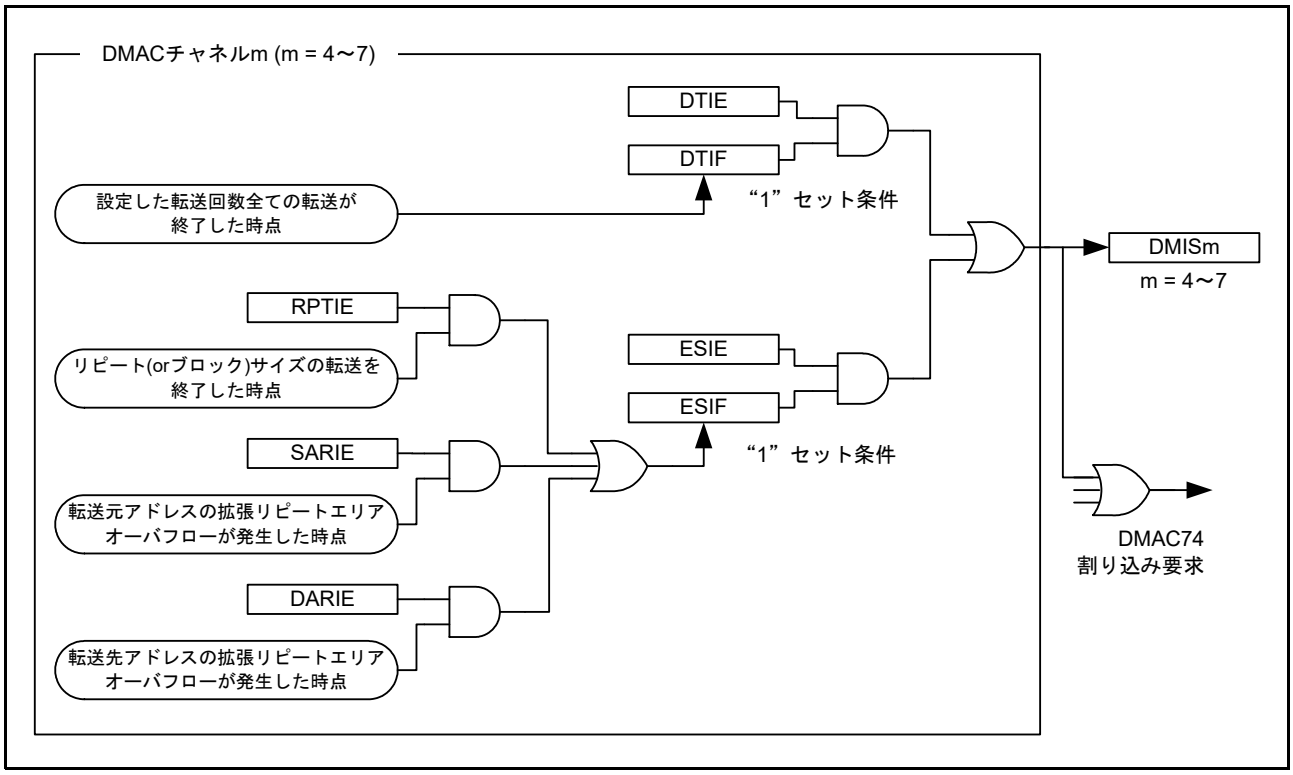


図 17.14　割り込み出力の概略論理図 (DMAC4 ～ DMAC7)

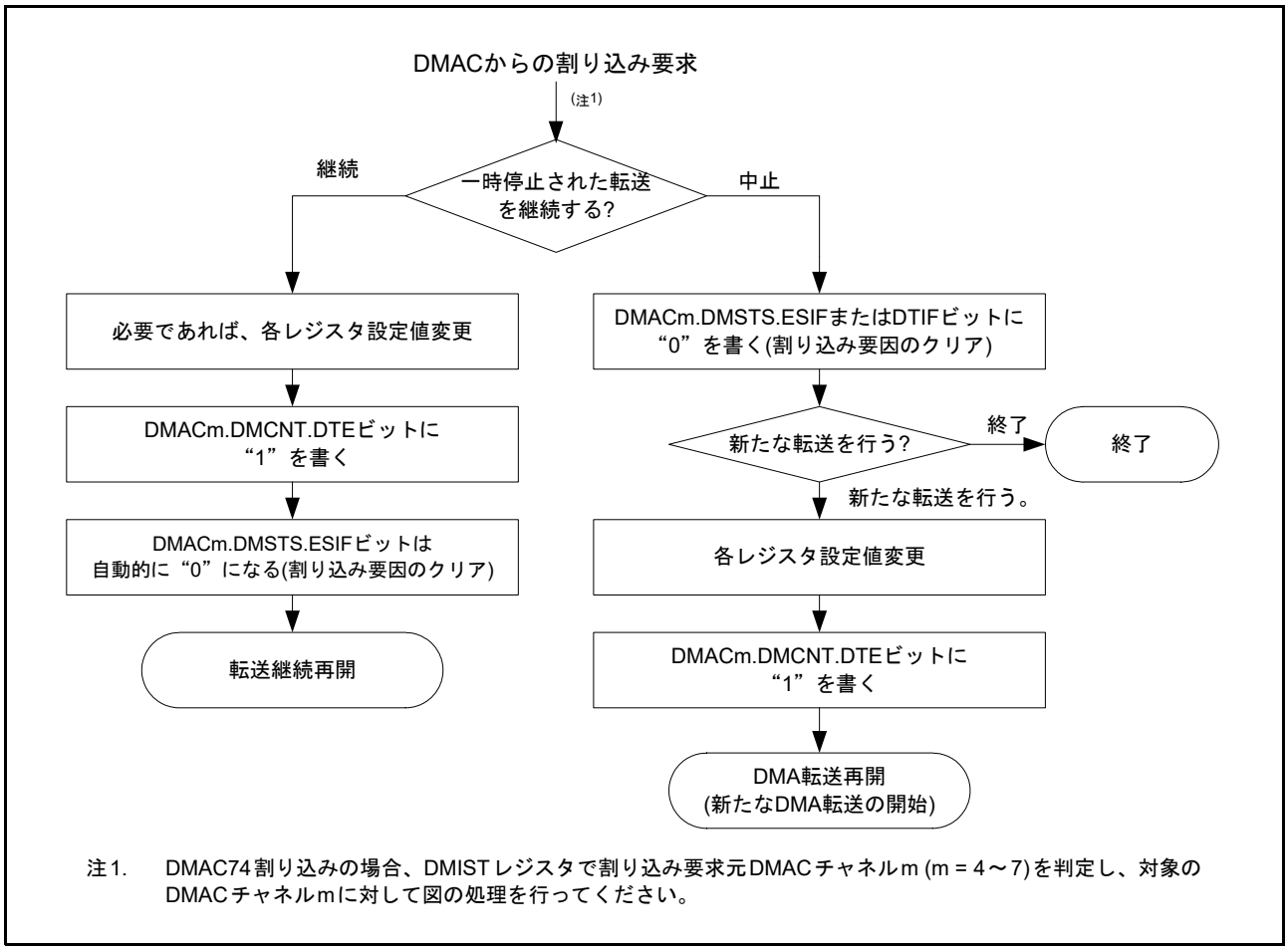
割り込み処理ルーチンで、割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1)　DMA 転送を終了または中止させる場合

転送終了割り込みの場合は DMACm.DMSTS.DTIF フラグに、リピートサイズ割り込みおよび拡張リピートエリアオーバフロー割り込みの場合は DMACm.DMSTS.ESIF フラグに “0” を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTE ビットに “1” (DMA 転送許可) を書き込んでください。

(2)　DMA 転送を継続させる場合

DMACm.DMCNT.DTE ビットに “1” を書き込んでください。自動的に DMACm.DMSTS.ESIF フラグが “0” にクリア (割り込み要因がクリア) され、転送が再開します。



注1. DMAC74割り込みの場合、DMISTレジスタで割り込み要求元DMACチャネルm (m = 4～7)を判定し、対象のDMACチャネルmに対して図の処理を行ってください。

図 17.15 DMAC 割り込み処理で DMA 転送を再開 / 中止する手順

17.6 イベントリンク

各 DMAC チャネルは、1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を出力します。ただし、転送先が「外部バス」、もしくは、「内部周辺バス」の場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求を発行します。

17.7 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに “0” (DMAC 停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに “1” (モジュールストップ状態への遷移) を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに “1” を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが “1” のとき、DMAC のレジスタにアクセスしないください。

MSTPCRA.MSTPA28 ビットに “0” (モジュールストップ状態の解除) を書くことにより、DMAC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.5.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに “0” を書くことにより、DMAC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.5.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「11.5.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.6.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに “1” を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、「14. 割り込みコントローラ (ICUC)」の「14.7.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

17.8 使用上の注意事項

17.8.1 外部デバイスを使用する場合

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが “0” (DMAC 停止中) になることがあります。

17.8.2 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが “0” (DMAC 停止中) になることがあります。

17.8.3 DMA 動作中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが “1” (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが “1” (DMA 転送許可) の状態で、同じチャネルの設定レジスタ (DMSAR, DMDAR, DMCRA, DMCRB, DMTMD, DMINT, DMAMD, DMOFR, DMCSL) への書き込みは行わないでください。

17.8.4 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。
予約領域についての詳細は「4. アドレス空間」を参照してください。

17.8.5 DMAC 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISEL ビットを “1” に設定すると、1 回の DMA 転送要求に対する転送が終了する度に CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMAC が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMAC の起動要因となった割り込みフラグを DMA 転送終了時に “0” クリアせずに割り込み要求先を CPU に切り替えることにより、CPU への割り込み要求が発生します。割り込みフラグは、CPU 割り込み受け付け時にクリアされます。
割り込みフラグ、割り込み要求先変更については、「14. 割り込みコントローラ (ICUC)」を参照してください。また、DMACm.DMCSL.DISEL ビットの設定は、「17.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL)」を参照してください。

17.8.6 割り込みコントローラの DMAC 起動要因選択レジスタ (ICU.DMRSRm) の設定

DMAC 起動要因選択レジスタ (ICU.DMRSRm) の設定は、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が “0” (DMA 転送を禁止) のときに行なってください。また、ICU.DMRSRm レジスタで設定したベクタ番号と同じベクタ番号に対応する DTC 起動許可レジスタ (ICU.DTCERn) を “1” にしないでください。ICU.DTCERn、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUC)」を参照してください。

17.8.7 DMA 転送の保留 / 再開方法

DMA 転送要求を保留する場合は、起動要因の割り込み許可ビット (ICU.IERn.IENj ビット) を “0” にしてください。DMA 転送を再開する場合は「17.3.7 DMAC の起動」を設定した状態で、ICU.IERn.IENj ビットを “1” にしてください。

18. データトランスファコントローラ (DTCa)

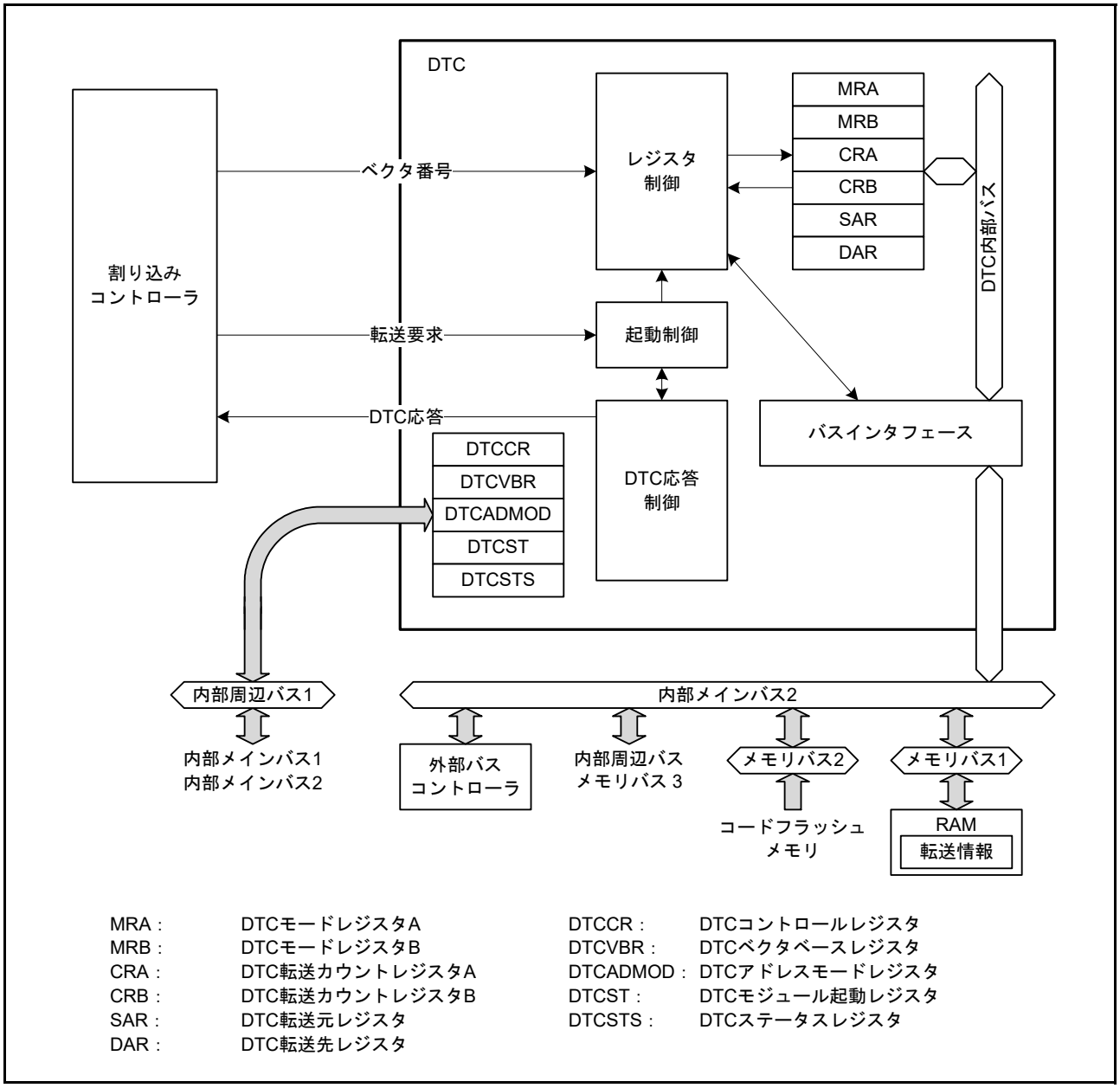
本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。
DTC は、割り込み要求によって起動し、データ転送を行うことができます。

18.1 概要

表 18.1 に DTC の仕様を、図 18.1 に DTC のブロック図を示します。

表 18.1 DTCの仕様

項目	内容
転送チャネル数	• DTC起動が可能なすべての割り込み要因の数と同数
転送モード	• ノーマル転送モード 1回の起動で1つのデータを転送する • リピート転送モード 1回の起動で1つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32ビットで、最大1024バイト転送可能 • ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大256 × 32ビット= 1024バイト設定可能
チェーン転送機能	• 1回の転送要求に対して複数種類のデータ転送を連続して実行可能 •「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
転送空間	• ショートアドレスモードのとき16Mバイト (“0000 0000h”～“007F FFFFh”と“FF80 0000h”～“FFFF FFFFh”のうち、予約領域以外の領域) • フルアドレスモードのとき4Gバイト (“0000 0000h”～“FFFF FFFFh”のうち、予約領域以外の領域)
データ転送単位	• 1データ：1バイト(8ビット)、1ワード(16ビット)、1ロングワード(32ビット) • 1ブロックサイズ：1～256データ
CPU割り込み要求	• DTCを起動した割り込みでCPUへの割り込み要求を発生可能 • 1回のデータ転送終了後にCPUへの割り込み要求を発生可能 • 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
消費電力低減機能	モジュールストップ状態への遷移が可能



MRA : DTCモードレジスタA
MRB : DTCモードレジスタB
CRA : DTC転送カウントレジスタA
CRB : DTC転送カウントレジスタB
SAR : DTC転送元レジスタ
DAR : DTC転送先レジスタ

DTCCR : DTCコントロールレジスタ
DTCVBR : DTCベクタベースレジスタ
DTCADMOD : DTCアドレスモードレジスタ
DTCST : DTCモジュール起動レジスタ
DTCSTS : DTCステータスレジスタ

図 18.1 DTC のブロック図

18.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタは DTC の内部レジスタです。CPU から直接アクセスすることはできません。これら内部レジスタの設定値は RAM 領域に転送情報として配置します。DTC は転送要求を受け付けると、RAM 領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、更新された内部レジスタの値は転送情報として RAM 領域にライトバックされます。

18.2.1 DTC モードレジスタ A (MRA)

アドレス（CPUから直接アクセス不可）

	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		SZ[1:0]		SM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	“0”にしてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0：SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1：SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0：転送後SARレジスタをインクリメント (SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1：転送後SARレジスタをデクリメント (SZ[1:0]ビットが“00b”のとき–1、 “01b”のとき–2、“10b”のとき–4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0：バイト(8ビット)転送 0 1：ワード(16ビット)転送 1 0：ロングワード(32ビット)転送 1 1：設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0：ノーマル転送モード 0 1：リピート転送モード 1 0：ブロック転送モード 1 1：設定しないでください	—

MRA レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

18.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	“0”にしてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0：DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 0 1：DARレジスタはアドレス固定 (DARレジスタのライトバックはスキップされます) 1 0：転送後、DARレジスタをインクリメント (MRA.SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1：転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビットが“00b”のとき–1、 “01b”のとき–2、“10b”のとき–4)	—
b4	DTS	DTC転送モード選択ビット	0：転送先がリピート領域またはブロック領域 1：転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択ビット	0：指定した回数のデータ転送が終了したとき、CPUへの割り込み要求が発生 1：データ転送のたびに、CPUへの割り込み要求が発生	—
b6	CHNS	DTCチェーン転送選択ビット	0：転送が終了するたびにチェーン転送を行う 1：転送カウンタが1 → 0、または1 → CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可ビット	0：チェーン転送禁止 1：チェーン転送許可	—

MRB レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域にするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが “0” のときは CHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 18.3　チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「18.4.6　チェーン転送」を参照してください。

18.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

18.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

18.2.5 DTC 転送カウントレジスタ A (CRA)

- ノーマル転送モード

アドレス（CPUから直接アクセス不可）

	CRA															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

- リピート転送モード、ブロック転送モード

アドレス（CPUから直接アクセス不可）

	CRAH								CRAL							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します。転送中はカウンタとして動作します	—
CRAH	転送カウンタA上位レジスタ	転送回数を設定します。転送中はリロードレジスタとして動作します	—

注．　転送モードによって機能が異なります。
注．　リピート転送モード時およびブロック転送モード時は、CRAH、CRAL レジスタには同じ値を設定してください。

CRA レジスタは転送回数をカウントするレジスタです。CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

データ転送を 1 回行うたびにデクリメント (–1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (–1) され、“00h” になると CRAH レジスタの値がリロードされます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (–1) され、“00h” になると CRAH レジスタの値がリロードされます。

18.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。CPU から直接アクセスすることはできません。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

1 ブロックサイズの最終データ転送時にデクリメント (–1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

18.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	RRS	—	—	—	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC転送情報リードスキップ許可ビット	0：転送情報リードスキップを行わない 1：ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCCR レジスタは、DTC の動作を制御するレジスタです。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが “1” のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が “0” になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が “0” になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

18.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 0008 2404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DTCVBR レジスタは、DTC ベクタの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は “0” 固定です。書く場合、“0” を書いてください。

0000 0000h ～ 07FF FC00h、および F800 0000h ～ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

18.2.9 DTC アドレスモードレジスタ (DTCADMOD)

アドレス DTC.DTCADMOD 0008 2408h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SHORT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0：フルアドレスモード 1：ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

SAR レジスタ、DAR レジスタのアドレスモードを選択するビットです。

フルアドレスモードでは、4G バイト空間 (0000 0000h ～ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ～ 007F FFFFh と FF80 0000h ～ FFFF FFFFh) のアクセスが可能です。

18.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0：DTCモジュール停止 1：DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能にするためには、DTCST ビットを “1” にしてください。DTCST ビットを “0” にすると新たな転送要求を受け付けません。

動作中に “0” に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST ビットを “0” にしてください。

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモードから復帰した後、DTCST ビットを “1” にすると、データ転送が再開できます。

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については「18.9　消費電力低減機能」、および「11.　消費電力低減機能」を参照してください。

18.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	—	—	—	—	—	VECN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号モニタフラグ	データ転送実行中にその起動要因をベクタ番号で示します データ転送実行中(ACTフラグが“1”のとき)にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTCアクティブフラグ	0：データ転送は実行していない 1：データ転送実行中	R

VECN[7:0] フラグ (DTC アクティブベクタ番号モニタフラグ)

データ転送を実行中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが “1” (データ転送実行中) であれば、VECN[7:0] フラグの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが “0” (データ転送は実行していない) であれば、VECN[7:0] フラグの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUC)」の「表 14.4 割り込みベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

データ転送の実行状態を示します。

[“1” になる条件]

- 転送要求に対して DTC が起動したとき

[“0” になる条件]

- 1 回の転送要求に対するデータ転送が終了したとき

18.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込み要求に対応する ICU.DTCERn.DTCE ビット (n = 割り込みベクタ番号) を “1” にすると DTC の起動要因になります。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUC)」の「表 14.4 割り込みベクタテーブル」を参照してください。また、ソフトウェア起動については、「14. 割り込みコントローラ (ICUC)」の「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」および「14.2.6 ソフトウェア割り込み 2 起動レジスタ (SWINT2R)」を参照してください。

DTC が一度、転送要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DMAC/DTC のデータ転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCST.DTCST ビットが “0” (DTC モジュール停止) の状態で複数の転送要求が発生した場合も、その後、DTCST.DTCST ビットを “1” (DTC モジュール動作) にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に ICU.DTCERn.DTCE ビットを “0” にして CPU に割り込みを要求します。
- MRB.DISEL ビットが “1” のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを “0” にします。

18.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別に DTC ベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTC ベクタテーブルは、ベースアドレス (先頭アドレス) の下位 10 ビットが “0” になるように、1K バイト境界に配置してください。DTC ベクタテーブルのベースアドレスは、DTC ベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n に対する転送情報 n の先頭アドレスは、DTCVBR + 4n 番地に格納してください。

転送情報は、4 バイト境界に配置してください。ショートアドレスモードの場合、12 バイト、フルアドレスモード場合、16 バイト使用します。DTCADMOD.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 18.2 に示します。

RAM 領域上の転送情報の配置を図 18.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「18.10.2 転送情報の配置」を参照してください。

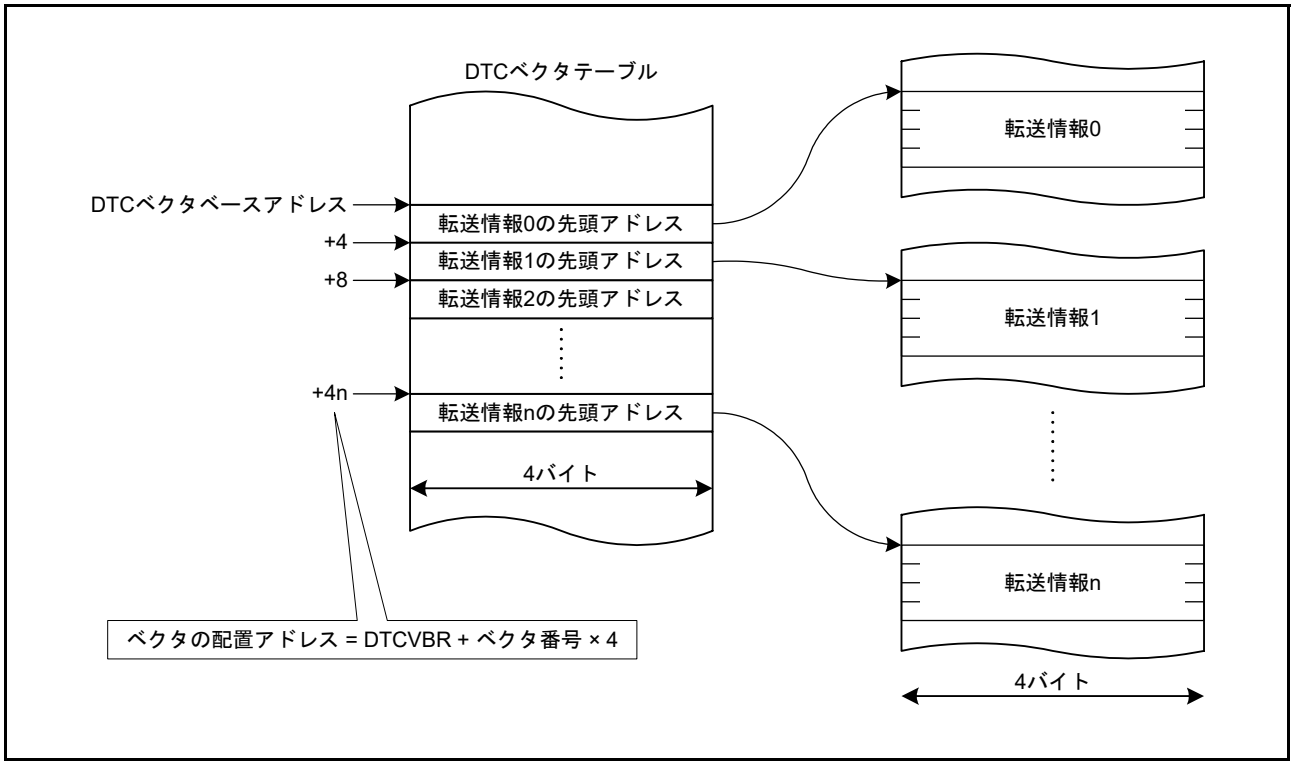


図 18.2 DTC ベクタテーブルと転送情報の対応

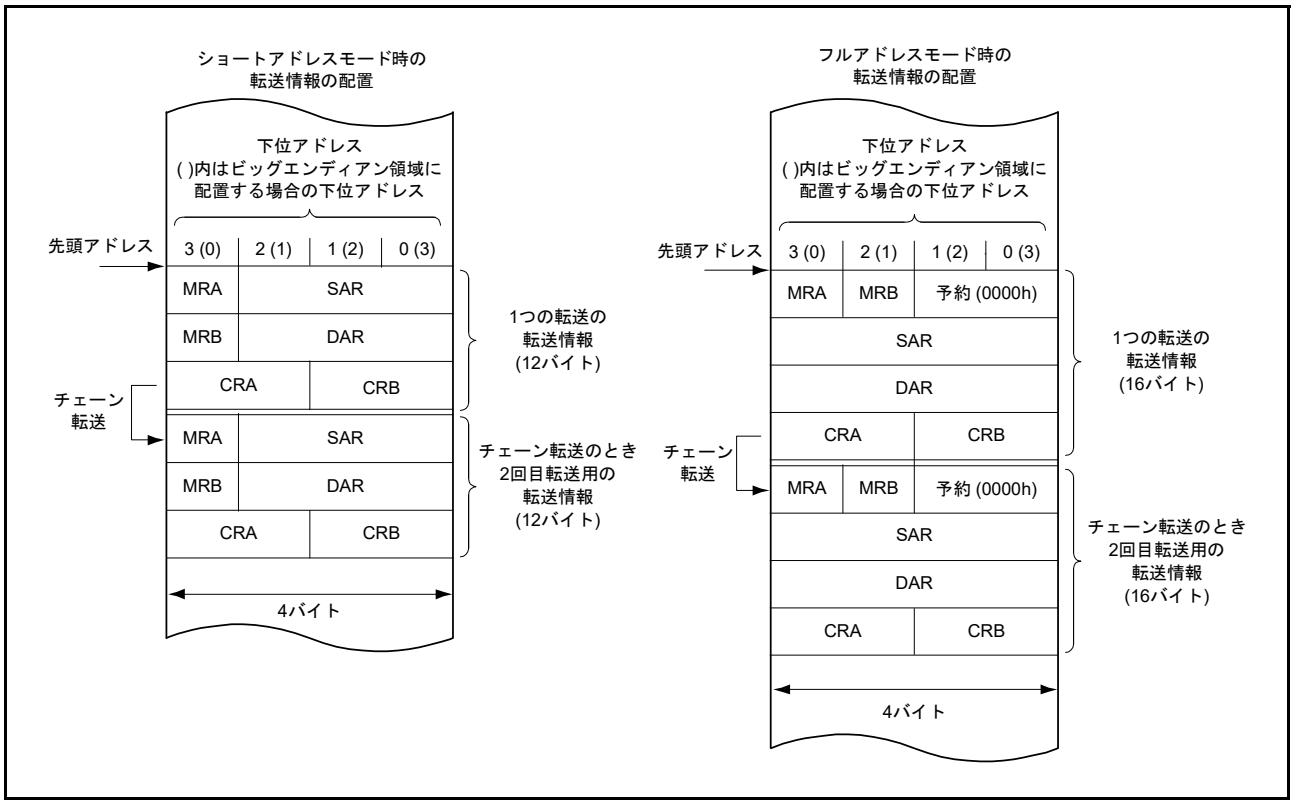


図 18.3 RAM 領域上の転送情報の配置

18.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読み出します。次に DTC ベクタが示すアドレスから転送情報を読み出してデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

転送元アドレスは SAR レジスタ、転送先アドレスは DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、それぞれの設定 (インクリメント / デクリメント / 固定) に従って、転送後に更新されます。

DTC の転送モードを表 18.2 に示します。

表 18.2 DTCの転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード(注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回(注3)
ブロック転送モード(注2)	CRAHレジスタで指定したブロックサイズ(1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定
注2. 転送元または転送先のいずれかをブロック領域に設定
注3. 指定回数の転送終了後は、初期状態を回復し動作を継続(リピート)する。

また、MRB.CHNE ビットを “1” にしておくことにより、1 回の転送要求で複数の転送を行うことができます (チェーン転送)。MRB.CHNS ビットの設定で、指定された回数のデータ転送が終了したときにチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 18.4 に示します。チェーン転送の条件を表 18.3 に示します。

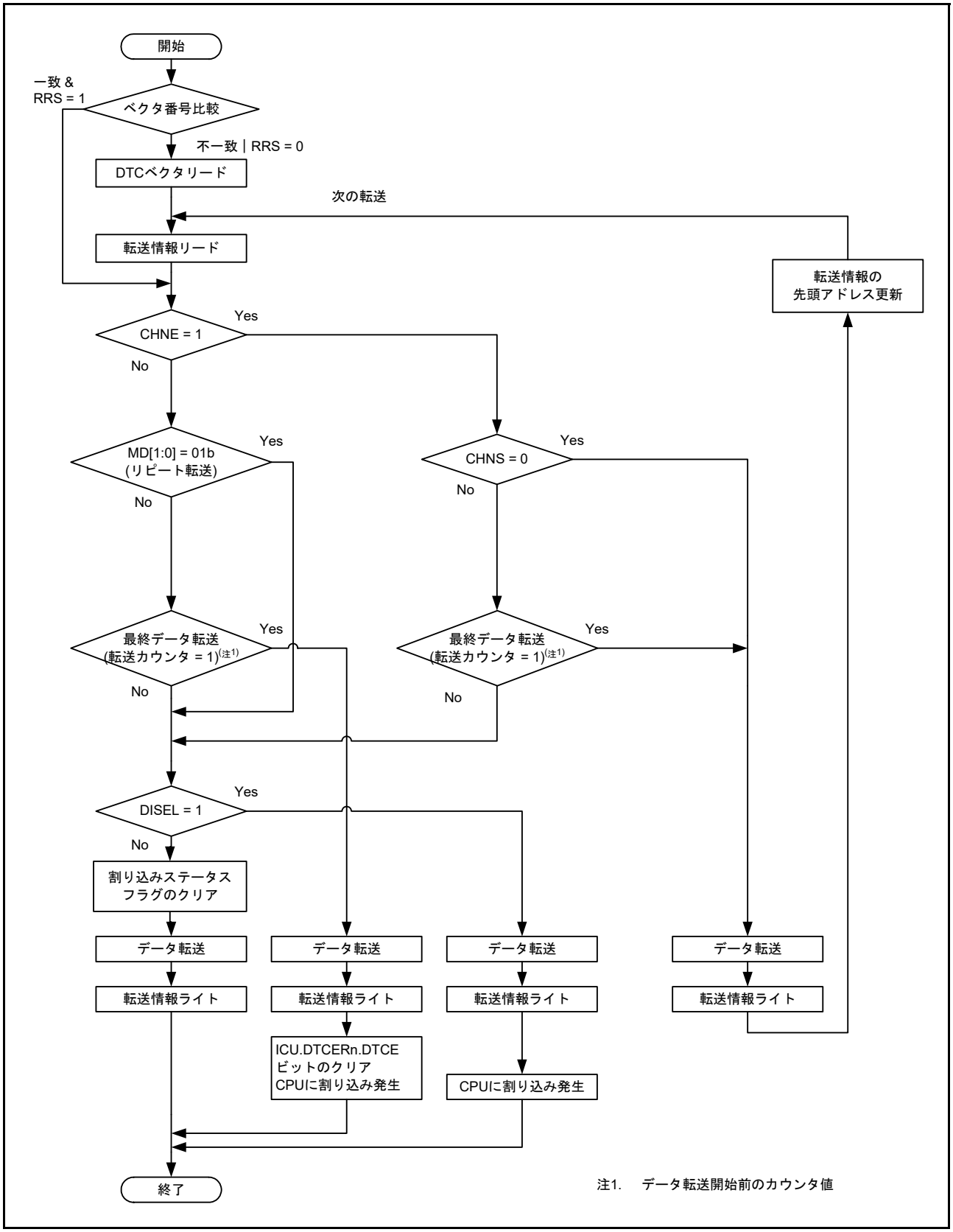


図 18.4 DTC 動作フローチャート

表18.3　チェーン転送の条件

第1の転送				第2の転送(注3)				データ転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → ∗) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → ∗)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → ∗) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1.　転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。
　　ノーマル転送モード：CRA レジスタ、リピート転送モード：CRAL レジスタ、ブロック転送モード：CRB レジスタ
注2.　転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リピート転送モードでは(1 → CRAH)となります。表中の(1 → ∗)はこの両方を指しています。
注3.　第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNE ビットが“1”の組み合わせを省略しています。

18.4.1　転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、DTC ベクタのリードと転送情報のリードをスキップすることができます。

DTC 転送要求が入力されたとき、今回起動する DTC ベクタ番号と前回起動した DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが “1” のとき、DTC ベクタのリードと転送情報のリードを行わず、DTC 内部に残っている転送情報に従ってデータ転送を行います。前回の起動がチェーン転送のときは、DTC ベクタのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が “0” になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が “0” になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を**図 18.13** に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを “0” にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを “1” にしてください。DTCCR.RRS ビットを “0” にすることによって DTC の内部に保持されていたベクタ番号は破棄されます。次回の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

18.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定 (“00b” または “01b”) に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。

転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 18.4 に示します。なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。

また、フルアドレスモードの場合、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 18.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

18.4.3 ノーマル転送モード

1 回の転送要求で、1 バイト、1 ワードまたは 1 ロングワードの転送を行います。転送回数は 1 ～ 65536 です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPU への割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表 18.5 に、ノーマル転送モードのメモリマップを図 18.5 に示します。

表 18.5　ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定(注1)
CRA	転送カウンタ A	CRA－1
CRB	転送カウンタ B	更新されない

注1.　アドレス固定のときは、ライトバックはスキップされます。

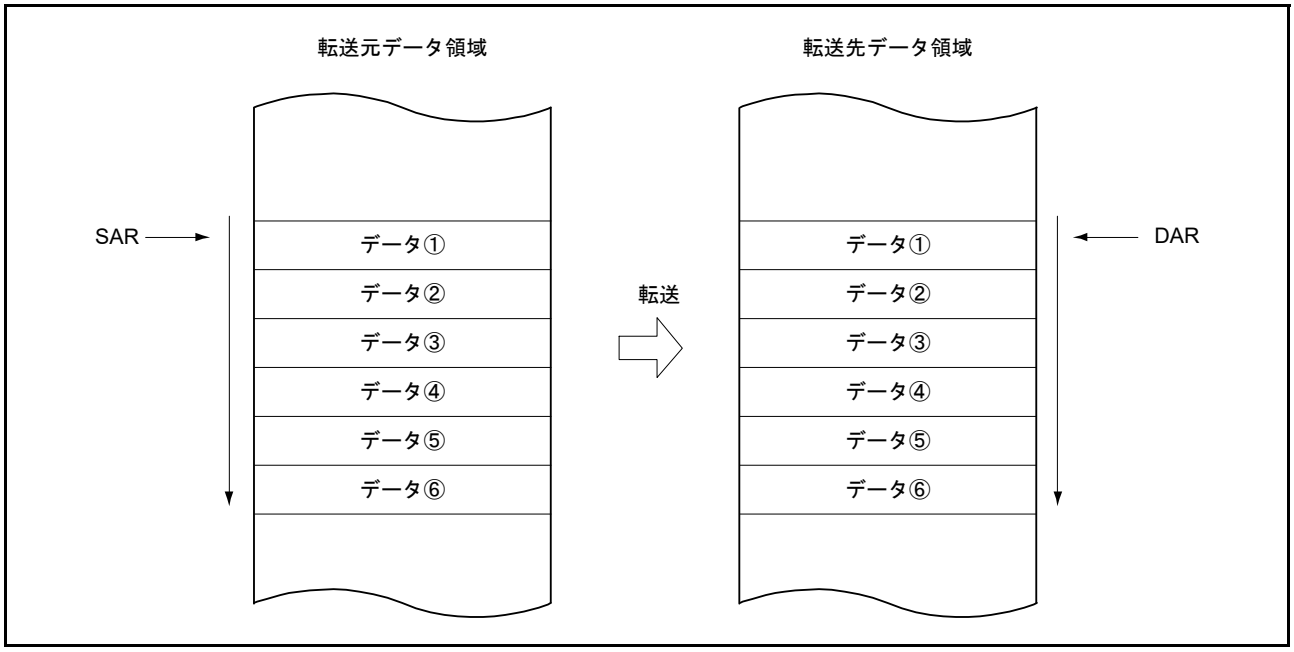


図 18.5　ノーマル転送モードのメモリマップ

18.4.4 リピート転送モード

1 回の転送要求で、1 バイト、1 ワードまたは 1 ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は 1 ～ 256 まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが “00h” になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは “00h” にならないので、MRB.DISEL ビットが “0” (指定した回数のデータ転送が終了したとき、CPU への割り込みが発生) の場合は CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 18.6 に、リピート転送モードのメモリマップを図 18.6 に示します。

表 18.6　リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値		
		CRAL ≠ 1 のとき	CRAL = 1 のとき	
			MRB.DTS ビット = 0のとき	MRB.DTS ビット = 1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)	インクリメント/デクリメント/固定(注1)	SAR レジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定(注1)	DAR レジスタの初期値	インクリメント/デクリメント/固定(注1)
CRAH	転送カウンタ初期値保持	CRAH	CRAH	
CRAL	転送カウンタ A	CRAL － 1	CRAH	
CRB	転送カウンタ B	更新されない	更新されない	

注1.　アドレス固定のときは、ライトバックはスキップされます。

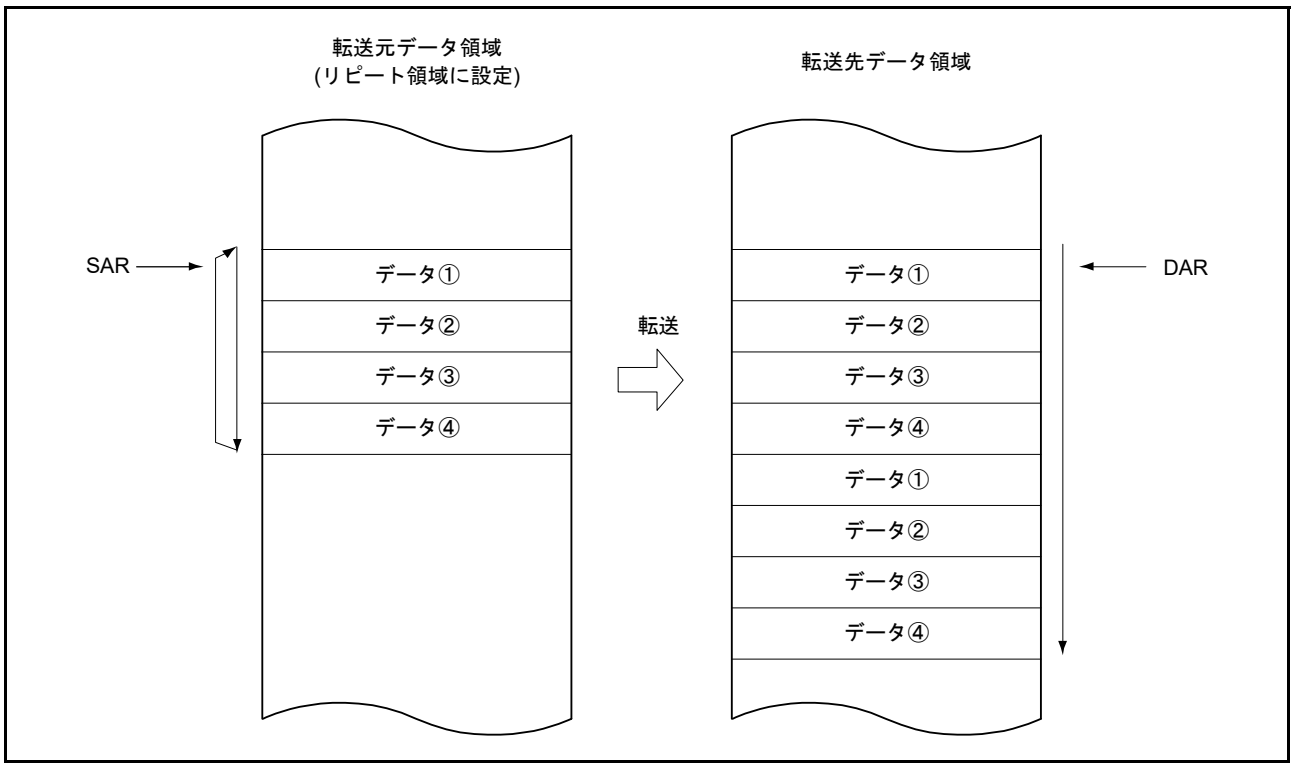


図 18.6　リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

18.4.5 ブロック転送モード

1 回の転送要求で、1 ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは 1 ～ 256 バイト、1 ～ 256 ワードまたは 1 ～ 256 ロングワードの指定が可能です。

指定された 1 ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが “1” のとき SAR レジスタ、DTS ビットが “0” のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数 (ブロック回数) は、1 ～ 65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 18.7 に、ブロック転送モードのメモリマップを図 18.7 に示します。

表 18.7　ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値	
		MRB.DTS ビット = 0 のとき	MRB.DTS ビット = 1 のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)	SAR レジスタの初期値
DAR	転送先アドレス	DAR レジスタの初期値	インクリメント/デクリメント/固定(注1)
CRAH	ブロックサイズ初期値保持	CRAH	
CRAL	ブロックサイズカウンタ	CRAH	
CRB	ブロック転送回数カウンタ	CRB － 1	

注 1.　アドレス固定のときは、ライトバックはスキップされます。

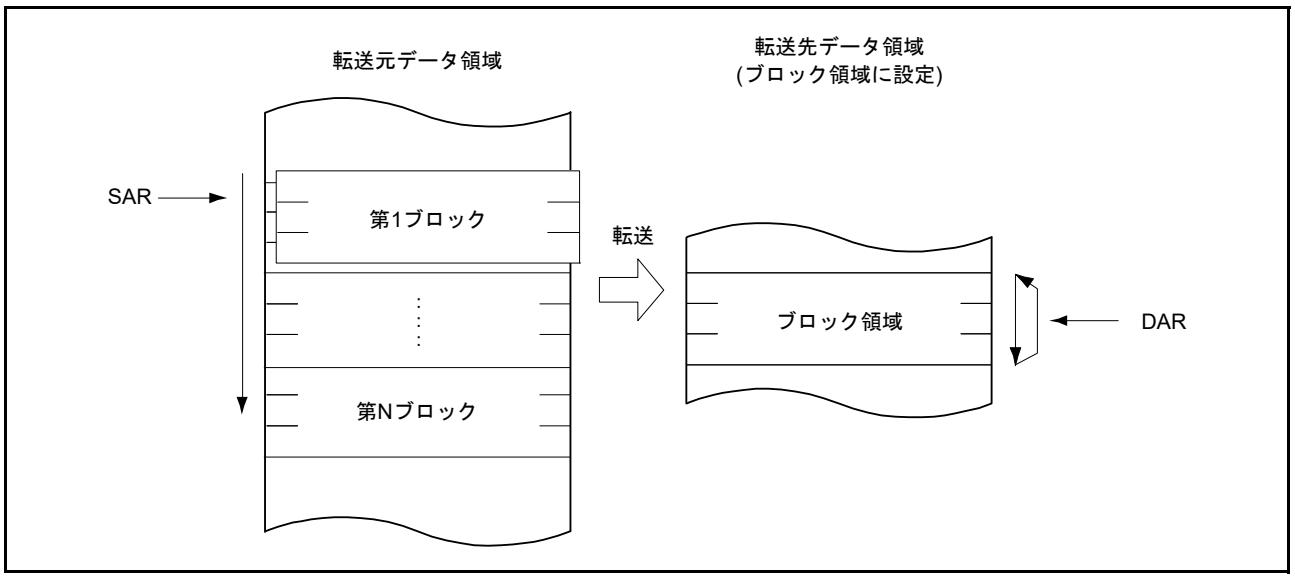


図 18.7　ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

18.4.6 チェーン転送

MRB.CHNE ビットを “1” にするとチェーン転送ができます。チェーン転送は、1 回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを “1”、MRB.CHNS ビットを “0” にした場合、指定した回数のデータ転送が終了したときも、MRB.DISEL ビットを “1” (データ転送のたびに、CPU への割り込み要求が発生) にしているときも、CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグにも影響を与えません。

データ転送を定義する転送情報 (SAR, DAR, CRA, CRB, MRA, MRB) はそれぞれ個別に設定できます。**図 18.8** にチェーン転送の動作を示します。

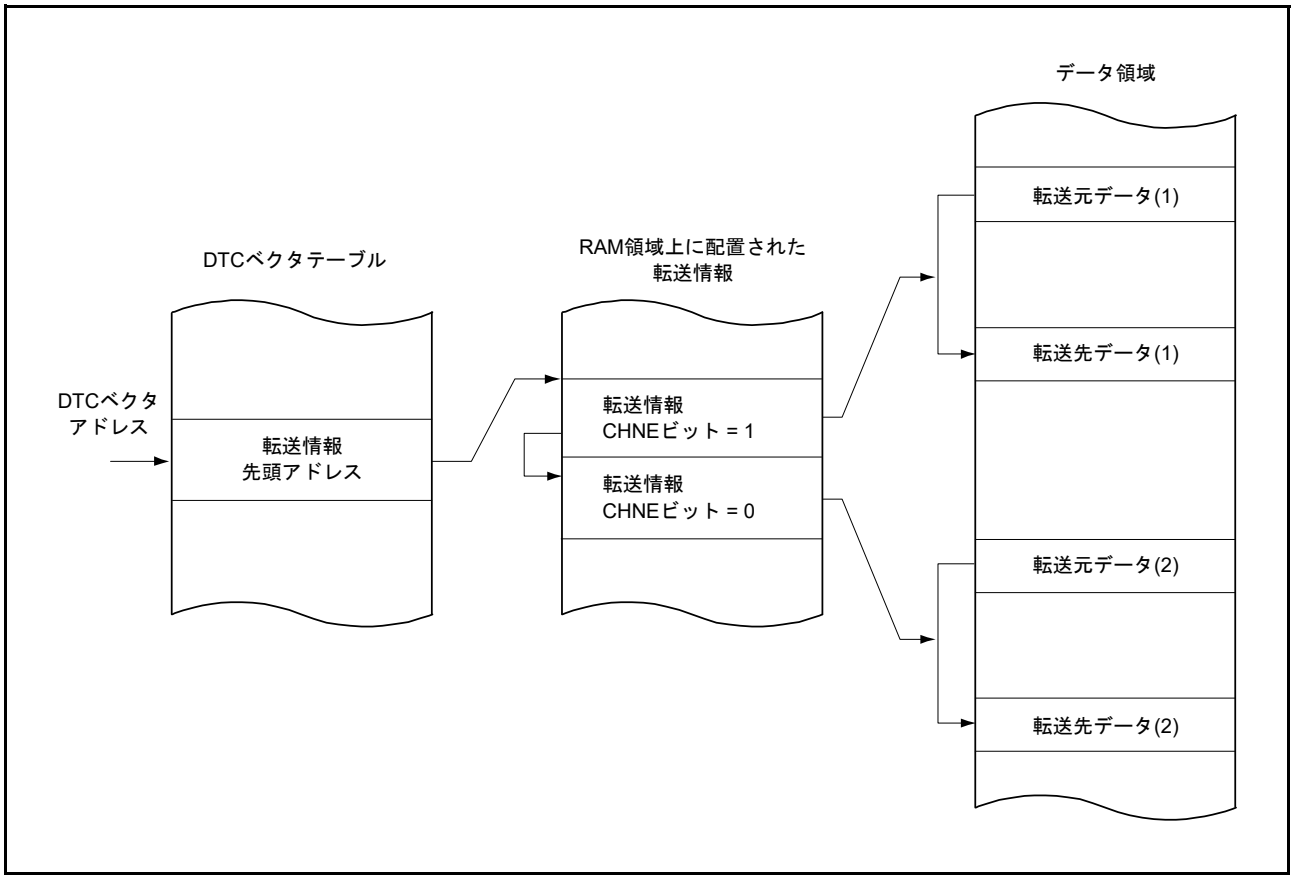


図 18.8 チェーン転送の動作

MRB.CHNE ビットを “1”、MRB.CHNS ビットを “1” にした場合、指定された回数のデータ転送が終了したときのみチェーン転送を行います。リピート転送モードでも、指定された回数のデータ転送が終了したときにチェーン転送を行います。

チェーン転送の条件の詳細については、**表 18.3** のチェーン転送の条件を参照してください。

18.4.7 動作タイミング

DTC の動作タイミングの例を図 18.9 ～図 18.13 に示します。

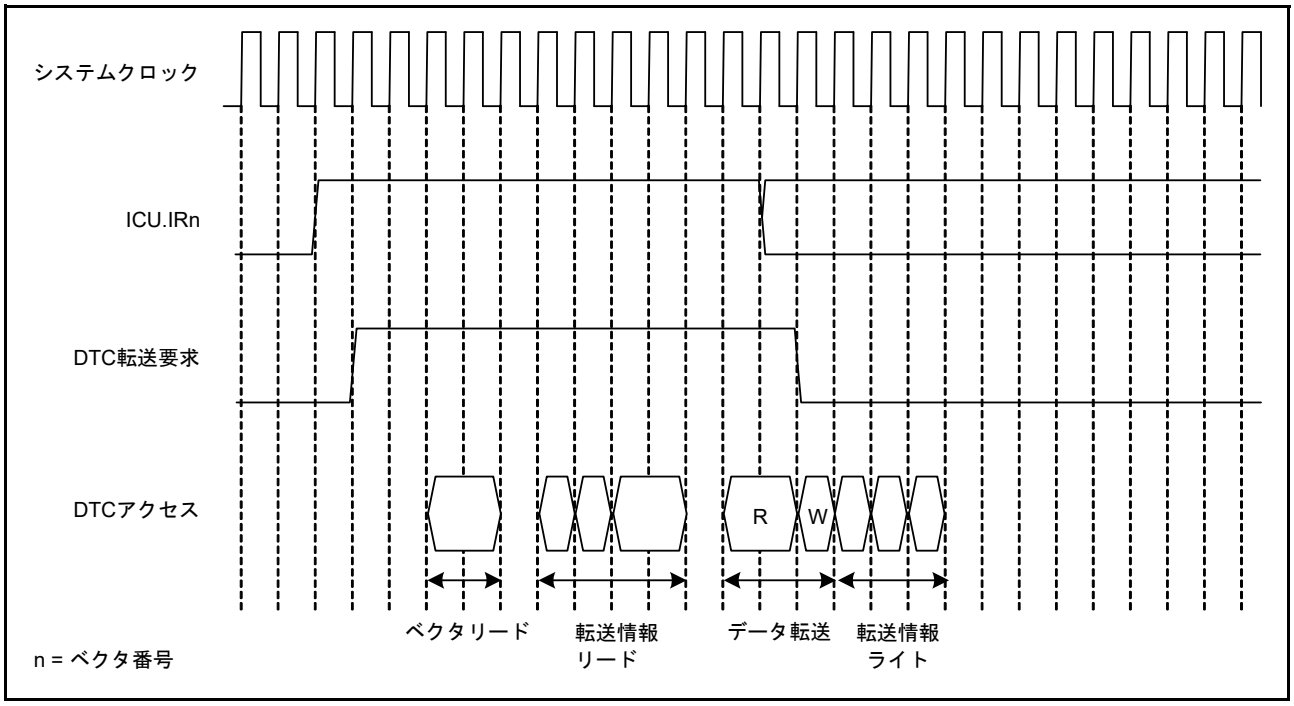


図 18.9 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

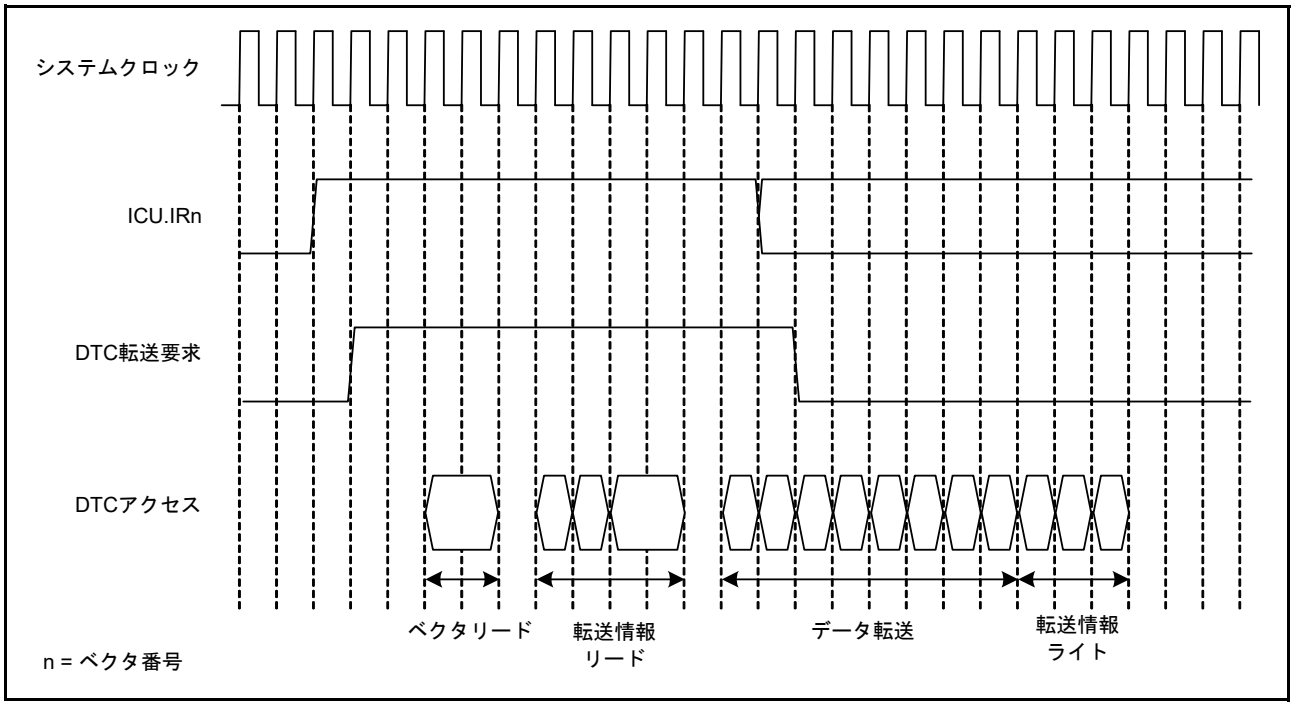


図 18.10 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

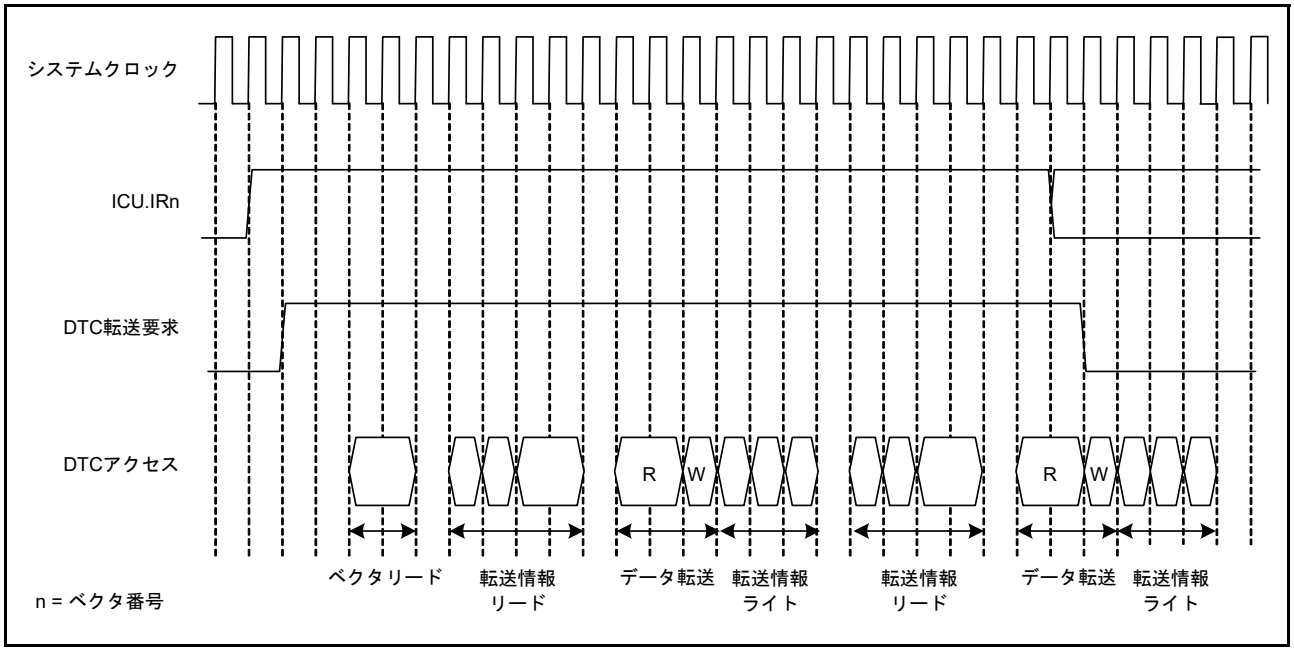


図 18.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

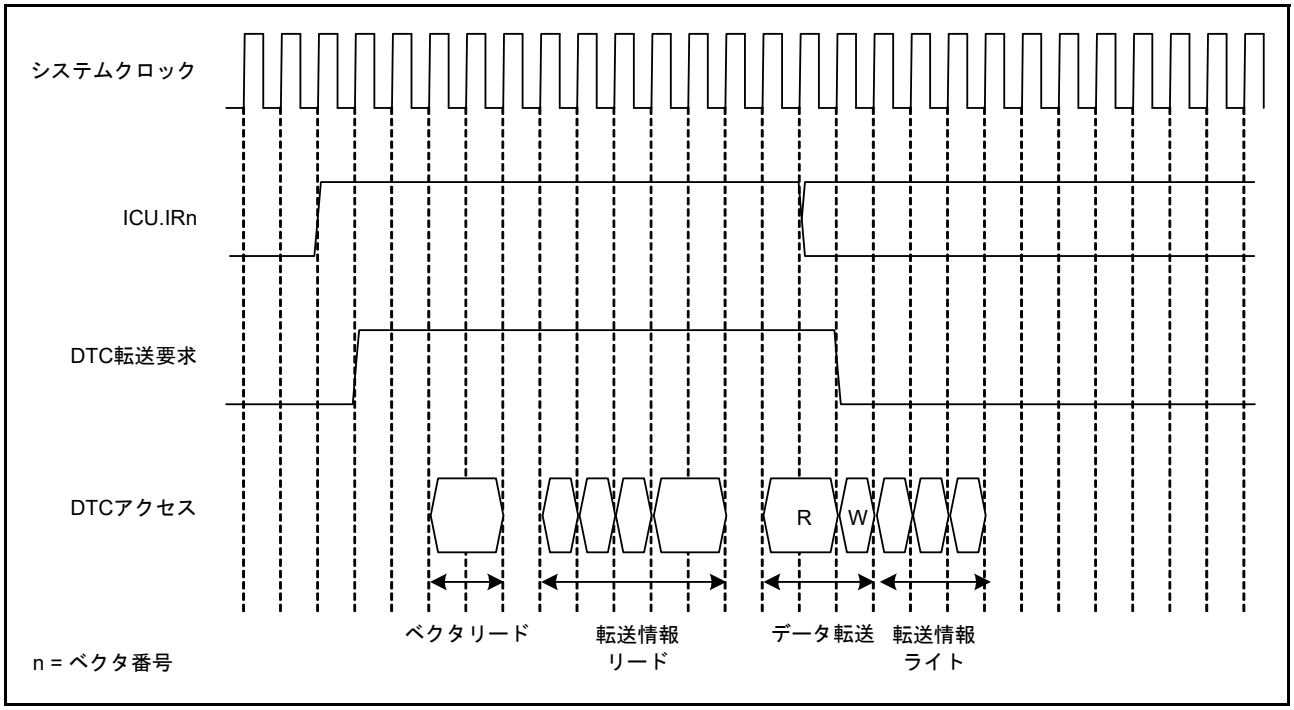


図 18.12 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

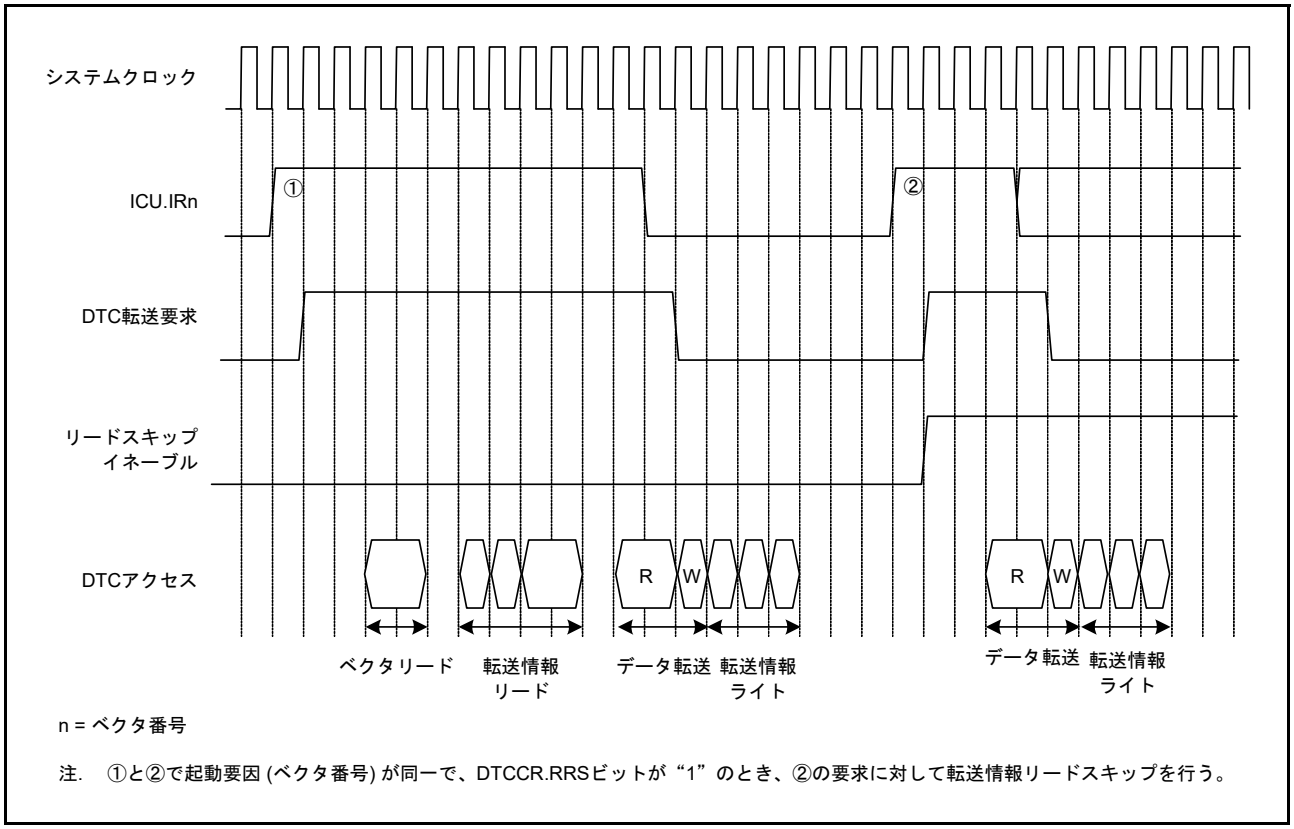


図 18.13 転送情報リードスキップ時の動作例
(ベクタ、転送情報、転送先が RAM、転送元は周辺モジュールの場合)

18.4.8　DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 18.8 に示します。

各処理状態の実施順序は、「18.4.7　動作タイミング」を参照してください。

表 18.8　DTCの実行サイクル

<table>
<tr><th rowspan="2">転送モード</th><th rowspan="2">ベクタリード</th><th colspan="4">転送情報リード</th><th colspan="3">転送情報ライト</th><th colspan="2">データ転送</th><th colspan="2">内部動作</th></tr>
<tr><th>リード</th><th>ライト</th></tr>
<tr><td>ノーマル</td><td rowspan="3">Cv + 1</td><td rowspan="3">0
(注 1)</td><td rowspan="3">4 × Ci + 1
(注 2)</td><td rowspan="3">3 × Ci + 1
(注 3)</td><td rowspan="3">0
(注 1)</td><td rowspan="3">3 × Ci
(注 4)</td><td rowspan="3">2 × Ci
(注 5)</td><td rowspan="3">Ci
(注 6)</td><td>Cr + 1</td><td>Cw</td><td rowspan="3">2</td><td rowspan="3">0
(注 1)</td></tr>
<tr><td>リピート</td><td>Cr + 1</td><td>Cw</td></tr>
<tr><td>ブロック
(注7)</td><td>P × Cr</td><td>P × Cw</td></tr>
</table>

注1.　転送情報リードスキップのとき
注2.　フルアドレスモード動作のとき
注3.　ショートアドレスモード動作のとき
注4.　SAR レジスタ、DAR レジスタがともにアドレス固定でないとき
注5.　SAR レジスタ、または DAR レジスタがアドレス固定のとき
注6.　SAR レジスタと DAR レジスタがともにアドレス固定のとき
注7.　ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P：ブロックサイズ (CRAH、CRAL レジスタの設定値)
Cv：ベクタ転送情報格納先アクセスサイクル
Ci：転送情報格納先アドレスアクセスサイクル
Cr：データリード先アクセスサイクル
Cw：データライト先アクセスサイクル
(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)
(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「44.　RAM」、「45.　フラッシュメモリ (FLASH)」、「5.　I/O レジスタ」、「15.2.6　外部バス」を参照してください。)

18.4.9　DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15.　バス」を参照してください。

18.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。

図 18.14 に DTC の起動に必要な設定手順を示します。

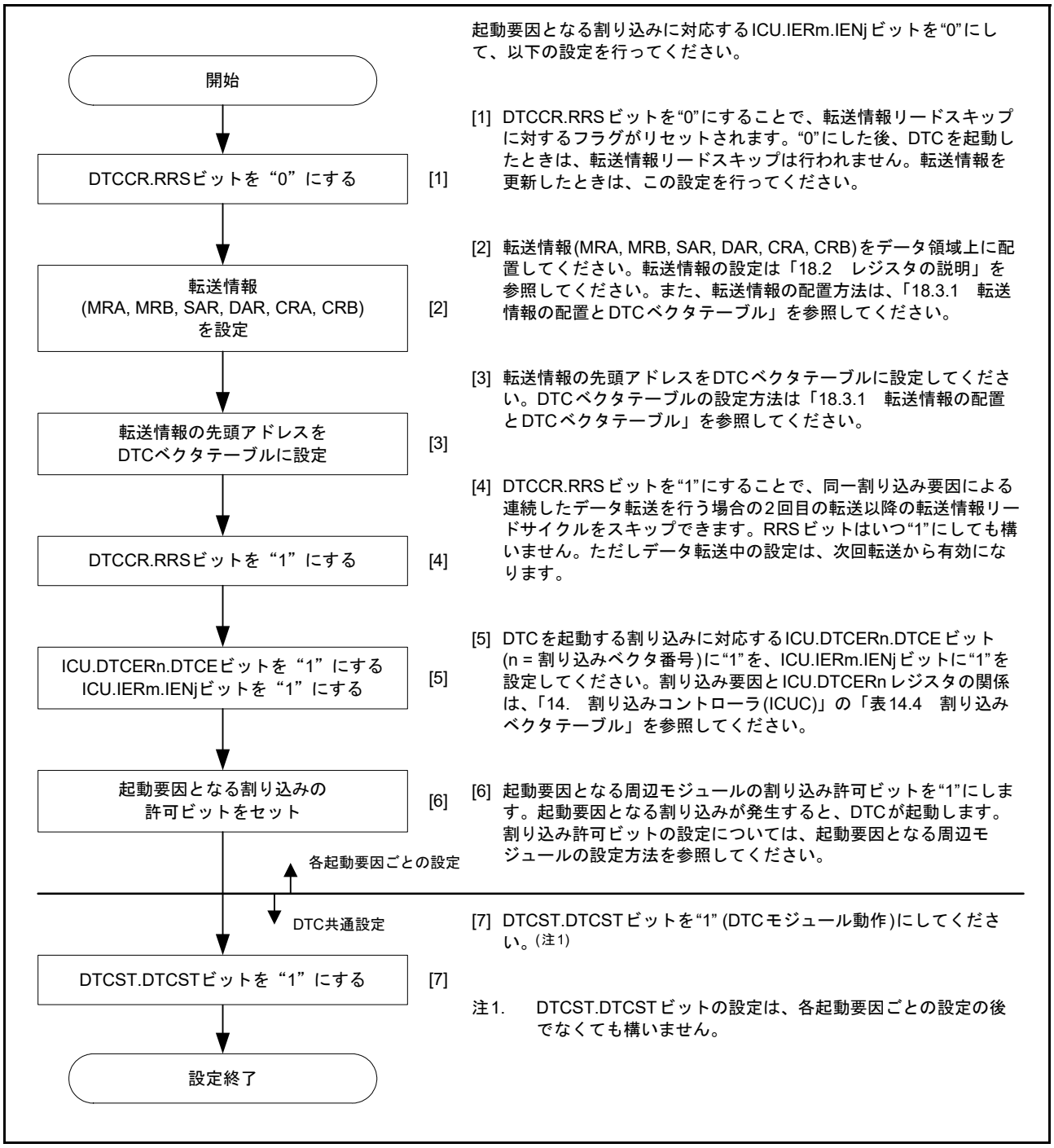


図 18.14 DTC の設定手順

18.6 DTC 使用例

18.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定
MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数のデータ転送終了時、割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタをインクリメント) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値にすることができます。

(2) DTC ベクタテーブルの設定
受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動
対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定
SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送
SCI で 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理
128 回のデータ転送が終了後、CRA レジスタが “0” になると、CPU に RXI 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

18.6.2 カウンタが “0” のときのチェーン転送

第 1 のデータ転送の転送カウンタが “0” になったときのみ第 2 のデータ転送を行い、第 2 のデータ転送において第 1 の転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が 256 回を超えるリピート転送を行うことができます。

128K バイトの入力バッファを 20 0000h ～ 21 FFFFh 番地に構成する例を示します (入力バッファは下位アドレス “0000h” から始まるように設定します)。カウンタが “0” のときのチェーン転送を**図 18.15** に示します。

(1) 第 1 のデータ転送は、入力データ用にノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタは “0000h” (65536 回)、MRB.CHNE ビットは “1” (チェーン転送許可)、MRB.CHNS ビットは “1” (転送カウンタが “0” になったときのみチェーン転送を行う)、MRB.DISEL ビットは “0” (指定された回数のデータ転送が終了したとき CPU への割り込みが発生) にしてください。

(2) 第 1 のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビット (この例の場合は “21h” と “20h”) を別の領域 (ROM など) に用意してください。

(3) 第 2 のデータ転送は、第 1 のデータ転送の転送先アドレス再設定用にリピート転送モード (転送元をリピート領域) にします。転送先は第 1 の転送情報内の DAR レジスタの上位 8 ビットが配置されているアドレスです。このとき MRB.CHNE ビットは “0” (チェーン転送禁止)、MRB.DISEL ビットは “0” (指定された回数のデータ転送が終了したとき CPU への割り込みが発生) にしてください。この例の場合は、転送カウンタを “2” にしてください。

(4) DTC 転送要求を受け付けると、第 1 のデータ転送を実行します。65536 回実行して、第 1 のデータ転送の転送カウンタが “0” になると、第 2 のデータ転送が開始され、第 1 のデータ転送の転送先アドレスの上位 8 ビットを “21h” にします。このとき、第 1 のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは、“0000h” になっています。

(5) 引き続き、DTC 転送要求を受け付けると、第 1 のデータ転送を実行します。65536 回実行して、第 1 のデータ転送の転送カウンタが “0” になると、第 2 のデータ転送が開始され、第 1 のデータ転送の転送先アドレスの上位 8 ビットを “20h” にします。このとき、第 1 のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは “0000h” になっています。

(6) 上記 (4)、(5) を無限に繰り返します。第 2 のデータ転送がリピート転送モードのため、CPU への割り込み要求は発生しません。

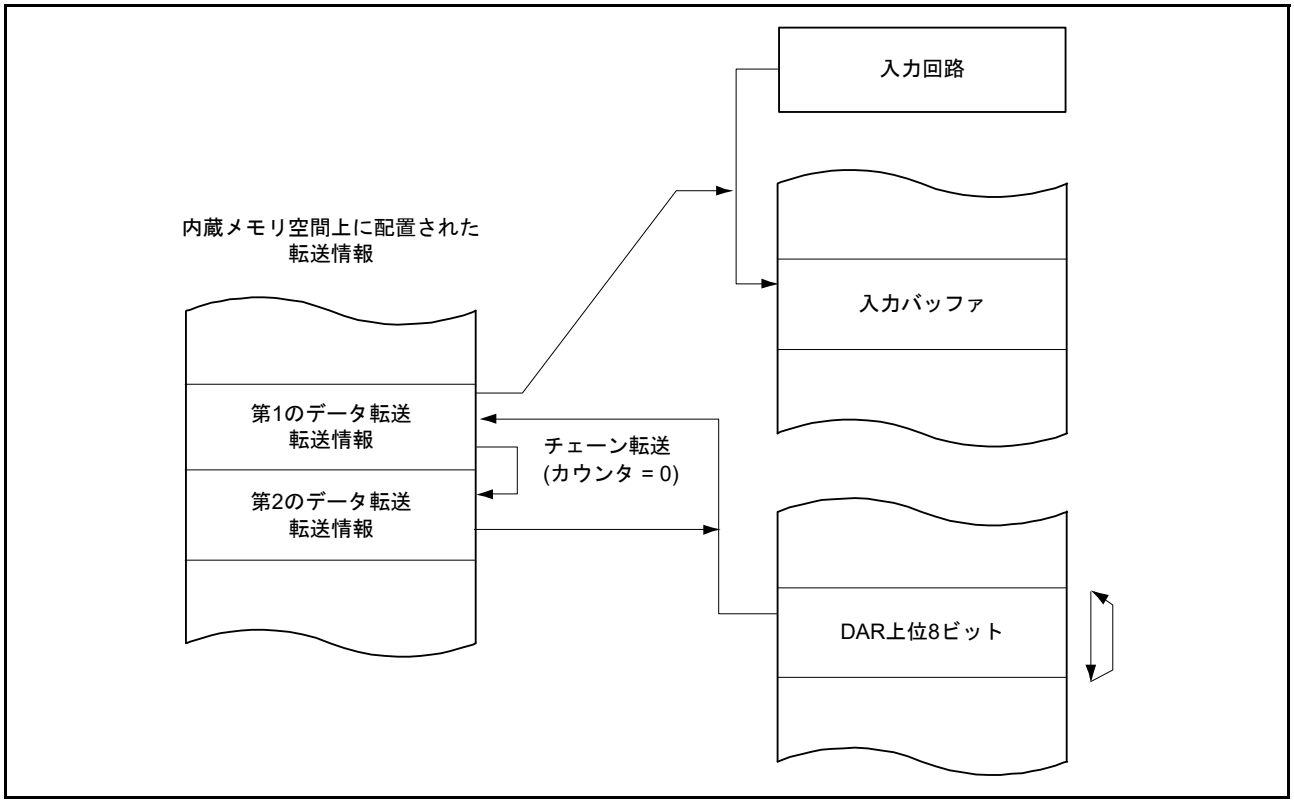


図 18.15　カウンタが “0” のときのチェーン転送

18.7　割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが “1” (データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

18.8　イベントリンク

DTC は 1 要求分の転送完了後にイベント信号を出力します。ただし、転送先が「外部バス」、もしくは、「内部周辺バス」の場合、ライトバッファへの書き込みが完了した時点で、イベント信号を出力します。

18.9 消費電力低減機能

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを “0” (DTC モジュール停止) にした後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに “1” (モジュールストップ状態への遷移) を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに “1” を書いたときにデータ転送が実行中であった場合、データ転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが “1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに “0” (モジュールストップ状態の解除) を書くことにより、DTC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.5.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合は、データ転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに “0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.5.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「11.5.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定手順については、「11. 消費電力低減機能」の「11.6.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、データ転送を行うには、再度 DTCST.DTCST ビットを “1” にしてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 転送要求でなく CPU への割り込み要求にする場合は、「14. 割り込みコントローラ (ICUC)」の「14.7.3.1 割り込み要求先の設定手順」の設定方法に沿って、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

18.10 使用上の注意事項

18.10.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4 の倍数を指定してください。4 の倍数以外を指定すると、アドレスの最下位 2 ビットは “00b” としてアクセスします。

18.10.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、**図 18.16** に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は +8h (+Ch) 番地に CRA 設定データ、+Ah (+Eh) 番地に CRB 設定データを書いてください。リトルエンディアンの場合は +8h (+Ch) 番地に CRB 設定データ、+Ah (+Eh) 番地に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して +8h (+Ch) 番地に書いてください。

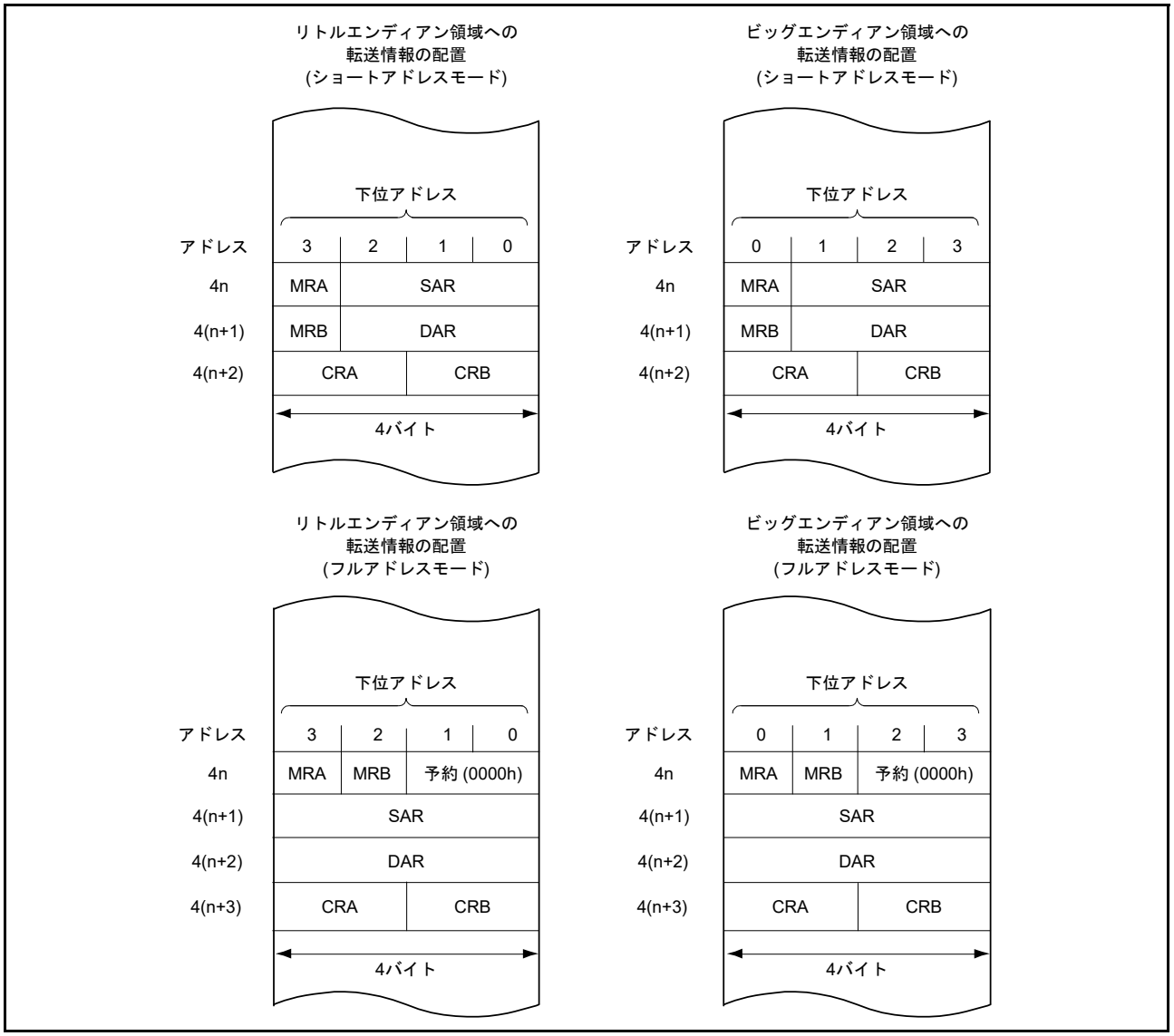


図 18.16　転送情報の配置

18.10.3 割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定

ICU.DTCERn.DTCE ビットを “1” (DTC の起動要因に設定する) にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要因選択レジスタ (ICU.DMRSRm (m = DMAC チャネル番号)) に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUC)」を参照してください。

19. イベントリンクコントローラ (ELC)

19.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) します。これにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

表 19.1 に ELC の仕様を示します。**図** 19.1 に ELC のブロック図を示します。

表19.1 ELCの仕様

項目	内容
イベントリンク機能	• 188種類のイベント信号を、直接周辺モジュールへリンク可能 • タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 • ポートB、ポートEのイベントリンク動作が可能 シングルポート(注1) : 指定した1本のポートにイベントリンクの動作設定が可能 ポートグループ(注1) : 最大8本あるポートの内、指定した複数本のポートをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. 入力に設定されているシングルポート、ポートグループでは、対応する端子への入力信号が変化するとイベントが発生します。

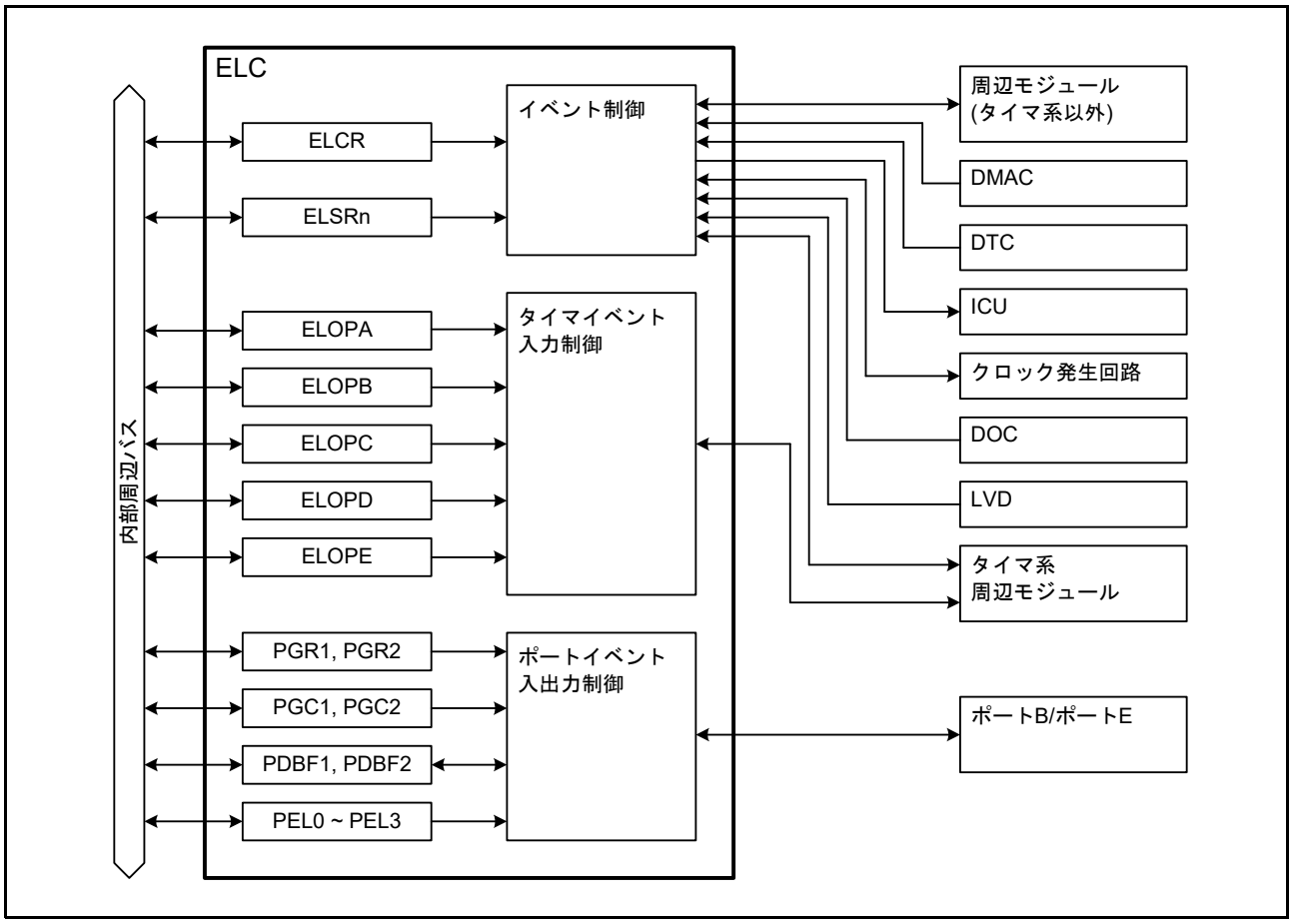


図 19.1 ELC のブロック図 (n = 0, 3, 4, 7, 10 ～ 13, 15, 16, 18 ～ 28, 30, 31, 45 ～ 58)

19.2 レジスタの説明

19.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス ELC.ELCR 0008 B100h

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0：ELC機能は無効 1：ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

19.2.2 イベントリンク設定レジスタ n (ELSRn) (n = 0, 3, 4, 7, 10 ～ 13, 15, 16, 18 ～ 28, 30, 31, 45 ～ 58)

アドレス

ELC.ELSR0 0008 B101h, ELC.ELSR3 0008 B104h, ELC.ELSR4 0008 B105h, ELC.ELSR7 0008 B108h, ELC.ELSR10 0008 B10Bh, ELC.ELSR11 0008 B10Ch, ELC.ELSR12 0008 B10Dh, ELC.ELSR13 0008 B10Eh, ELC.ELSR15 0008 B110h, ELC.ELSR16 0008 B111h, ELC.ELSR18 0008 B113h, ELC.ELSR19 0008 B114h, ELC.ELSR20 0008 B115h, ELC.ELSR21 0008 B116h, ELC.ELSR22 0008 B117h, ELC.ELSR23 0008 B118h, ELC.ELSR24 0008 B119h, ELC.ELSR25 0008 B11Ah, ELC.ELSR26 0008 B11Bh, ELC.ELSR27 0008 B11Ch, ELC.ELSR28 0008 B11Dh, ELC.ELSR30 0008 B12Eh, ELC.ELSR31 0008 B12Fh, ELC.ELSR45 0008 B13Dh, ELC.ELSR46 0008 B144h, ELC.ELSR47 0008 B145h, ELC.ELSR48 0008 B146h, ELC.ELSR49 0008 B147h, ELC.ELSR50 0008 B148h, ELC.ELSR51 0008 B149h, ELC.ELSR52 0008 B14Ah, ELC.ELSR53 0008 B14Bh, ELC.ELSR54 0008 B14Ch, ELC.ELSR55 0008 B14Dh, ELC.ELSR56 0008 B14Eh, ELC.ELSR57 0008 B14Fh, ELC.ELSR58 0008 B150h

	b7	b6	b5	b4	b3	b2	b1	b0
	ELS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	00h：該当する周辺モジュールへのイベント信号の出力は無効 01h～F1h：リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 19.2 に示します。また、ELSRn レジスタに設定する値とイベント信号の対応を表 19.3 に示します。

表19.2 ELSRnレジスタと周辺モジュールの対応

レジスタ名	周辺モジュール
ELSR0	MTU0
ELSR3	MTU3
ELSR4	MTU4
ELSR7	CMT1
ELSR10	TMR0
ELSR11	TMR1
ELSR12	TMR2
ELSR13	TMR3
ELSR15	S12AD (ELCTRG00N)
ELSR16	DA0
ELSR18	ICU (割り込み1)(注1)
ELSR19	ICU (割り込み2)(注1)
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0
ELSR25	シングルポート1
ELSR26	シングルポート2
ELSR27	シングルポート3
ELSR28	クロックソースをLOCOへ切り替え
ELSR30	MTU6
ELSR31	MTU7
ELSR45	S12AD1 (ELCTRG10N)
ELSR46	S12AD2 (ELCTRG20N)
ELSR47	MTU9
ELSR48	GPTWイベント要因A (全チャネル共通)
ELSR49	GPTWイベント要因B (全チャネル共通)
ELSR50	GPTWイベント要因C (全チャネル共通)
ELSR51	GPTWイベント要因D (全チャネル共通)
ELSR52	GPTWイベント要因E (全チャネル共通)
ELSR53	GPTWイベント要因F (全チャネル共通)
ELSR54	GPTWイベント要因G (全チャネル共通)
ELSR55	GPTWイベント要因H (全チャネル共通)
ELSR56	S12AD (ELCTRG01N)
ELSR57	S12AD1 (ELCTRG11N)
ELSR58	S12AD2 (ELCTRG21N)

注1. イベント信号は“EAh”～“F1h”の中から指定してください。これ以外の値は、設定しないでください。

表19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (1/5)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
01h	マルチファンクションタイマパルスユニット3	MTU0・コンペアマッチ0A
02h		MTU0・コンペアマッチ0B
03h		MTU0・コンペアマッチ0C
04h		MTU0・コンペアマッチ0D
05h		MTU0・コンペアマッチ0E
06h		MTU0・コンペアマッチ0F
07h		MTU0・オーバフロー
10h		MTU3・コンペアマッチ3A
11h		MTU3・コンペアマッチ3B
12h		MTU3・コンペアマッチ3C
13h		MTU3・コンペアマッチ3D
14h		MTU3・オーバフロー
15h		MTU4・コンペアマッチ4A
16h		MTU4・コンペアマッチ4B
17h		MTU4・コンペアマッチ4C
18h		MTU4・コンペアマッチ4D
19h		MTU4・オーバフロー
1Ah		MTU4・アンダフロー
1Eh		MTU6・コンペアマッチ6A
1Fh		MTU6・コンペアマッチ6B
20h		MTU6・コンペアマッチ6C
21h		MTU6・コンペアマッチ6D
22h		MTU6・オーバフロー
23h		MTU7・コンペアマッチ7A
24h		MTU7・コンペアマッチ7B
25h		MTU7・コンペアマッチ7C
26h		MTU7・コンペアマッチ7D
27h		MTU7・オーバフロー
28h		MTU7・アンダフロー
2Fh		MTU9・コンペアマッチ9A
30h		MTU9・コンペアマッチ9B
31h		MTU9・コンペアマッチ9C
32h		MTU9・コンペアマッチ9D
33h		MTU9・コンペアマッチ9E
34h		MTU9・コンペアマッチ9F
35h		MTU9・オーバフロー
37h	コンペアマッチタイマ	CMT1・コンペアマッチ1

表19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (2/5)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
3Ch	8ビットタイマ	TMR0・コンペアマッチA0
3Dh		TMR0・コンペアマッチB0
3Eh		TMR0・オーバフロー
3Fh		TMR1・コンペアマッチA1
40h		TMR1・コンペアマッチB1
41h		TMR1・オーバフロー
42h		TMR2・コンペアマッチA2
43h		TMR2・コンペアマッチB2
44h		TMR2・オーバフロー
45h		TMR3・コンペアマッチA3
46h		TMR3・コンペアマッチB3
47h		TMR3・オーバフロー
48h	汎用PWMタイマ	GPTW0・コンペアマッチA
49h		GPTW0・コンペアマッチB
4Ah		GPTW0・コンペアマッチC
4Bh		GPTW0・コンペアマッチD
4Ch		GPTW0・コンペアマッチE
4Dh		GPTW0・コンペアマッチF
4Eh		GPTW0・オーバフロー
4Fh		GPTW0・アンダフロー
50h		GPTW0・A/D変換開始要求A
51h		GPTW0・A/D変換開始要求B
52h		GPTW1・コンペアマッチA
53h		GPTW1・コンペアマッチB
54h		GPTW1・コンペアマッチC
55h		GPTW1・コンペアマッチD
56h		GPTW1・コンペアマッチE
57h		GPTW1・コンペアマッチF
58h		GPTW1・オーバフロー
59h		GPTW1・アンダフロー
5Ah		GPTW1・A/D変換開始要求A
5Bh		GPTW1・A/D変換開始要求B
5Ch		GPTW2・コンペアマッチA
5Dh		GPTW2・コンペアマッチB
5Eh		GPTW2・コンペアマッチC
5Fh		GPTW2・コンペアマッチD
60h		GPTW2・コンペアマッチE
61h		GPTW2・コンペアマッチF
62h		GPTW2・オーバフロー
63h		GPTW2・アンダフロー
64h		GPTW2・A/D変換開始要求A
65h		GPTW2・A/D変換開始要求B

表19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (3/5)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
66h	汎用PWMタイマ	GPTW3・コンペアマッチA
67h		GPTW3・コンペアマッチB
68h		GPTW3・コンペアマッチC
69h		GPTW3・コンペアマッチD
6Ah		GPTW3・コンペアマッチE
6Bh		GPTW3・コンペアマッチF
6Ch		GPTW3・オーバフロー
6Dh		GPTW3・アンダフロー
6Eh		GPTW3・A/D変換開始要求A
6Fh		GPTW3・A/D変換開始要求B
70h		GPTW4・コンペアマッチA
71h		GPTW4・コンペアマッチB
72h		GPTW4・コンペアマッチC
73h		GPTW4・コンペアマッチD
74h		GPTW4・コンペアマッチE
75h		GPTW4・コンペアマッチF
76h		GPTW4・オーバフロー
77h		GPTW4・アンダフロー
78h		GPTW4・A/D変換開始要求A
79h		GPTW4・A/D変換開始要求B
7Ah		GPTW5・コンペアマッチA
7Bh		GPTW5・コンペアマッチB
7Ch		GPTW5・コンペアマッチC
7Dh		GPTW5・コンペアマッチD
7Eh		GPTW5・コンペアマッチE
7Fh		GPTW5・コンペアマッチF
80h		GPTW5・オーバフロー
81h		GPTW5・アンダフロー
82h		GPTW5・A/D変換開始要求A
83h		GPTW5・A/D変換開始要求B
84h		GPTW6・コンペアマッチA
85h		GPTW6・コンペアマッチB
86h		GPTW6・コンペアマッチC
87h		GPTW6・コンペアマッチD
88h		GPTW6・コンペアマッチE
89h		GPTW6・コンペアマッチF
8Ah		GPTW6・オーバフロー
8Bh		GPTW6・アンダフロー
8Ch		GPTW6・A/D変換開始要求A
8Dh		GPTW6・A/D変換開始要求B

表19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (4/5)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
8Eh	汎用PWMタイマ	GPTW7・コンペアマッチA
8Fh		GPTW7・コンペアマッチB
90h		GPTW7・コンペアマッチC
91h		GPTW7・コンペアマッチD
92h		GPTW7・コンペアマッチE
93h		GPTW7・コンペアマッチF
94h		GPTW7・オーバフロー
95h		GPTW7・アンダフロー
96h		GPTW7・A/D変換開始要求A
97h		GPTW7・A/D変換開始要求B
98h		GPTW8・コンペアマッチA
99h		GPTW8・コンペアマッチB
9Ah		GPTW8・コンペアマッチC
9Bh		GPTW8・コンペアマッチD
9Ch		GPTW8・コンペアマッチE
9Dh		GPTW8・コンペアマッチF
9Eh		GPTW8・オーバフロー
9Fh		GPTW8・アンダフロー
A0h		GPTW8・A/D変換開始要求A
A1h		GPTW8・A/D変換開始要求B
A2h		GPTW9・コンペアマッチA
A3h		GPTW9・コンペアマッチB
A4h		GPTW9・コンペアマッチC
A5h		GPTW9・コンペアマッチD
A6h		GPTW9・コンペアマッチE
A7h		GPTW9・コンペアマッチF
A8h		GPTW9・オーバフロー
A9h		GPTW9・アンダフロー
AAh		GPTW9・A/D変換開始要求A
ABh		GPTW9・A/D変換開始要求B
AFh	独立ウォッチドッグタイマ	IWDT・アンダフロー・リフレッシュエラー
B8h	シリアルコミュニケーションインタフェース	SCI5・エラー(受信エラー・エラーシグナル検出)
B9h		SCI5・受信データフル
BAh		SCI5・送信データエンプティ
BBh		SCI5・送信完了
CCh	I²Cバスインタフェース	RIIC0・通信エラー、イベント発生
CDh		RIIC0・受信データフル
CEh		RIIC0・送信データエンプティ
CFh		RIIC0・送信終了
D0h	シリアルペリフェラルインタフェース	RSPI0・エラー(モードフォルト・オーバラン・アンダラン・パリティエラー)
D1h		RSPI0・アイドル
D2h		RSPI0・受信バッファフル
D3h		RSPI0・送信バッファエンプティ
D4h		RSPI0・送信完了

表19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (5/5)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
D6h	12ビットA/Dコンバータ	S12AD・A/D変換終了
D8h		S12AD1・A/D変換終了
DAh		S12AD2・A/D変換終了
DCh	コンパレータC	コンパレータC0・比較結果変化
DDh		コンパレータC1・比較結果変化
DEh		コンパレータC2・比較結果変化
DFh		コンパレータC3・比較結果変化
E0h		コンパレータC4・比較結果変化
E1h		コンパレータC5・比較結果変化
E2h	電圧検出回路	LVD1・電圧検出
E3h		LVD2・電圧検出
E4h	DMAコントローラ	DMAC0・転送終了
E5h		DMAC1・転送終了
E6h		DMAC2・転送終了
E7h		DMAC3・転送終了
E8h	データトランスファコントローラ	DTC・転送終了
E9h	クロック発生回路	クロック発生回路・発振停止検出
EAh	I/Oポート	入力ポートグループ1・入力エッジ検出
EBh		入力ポートグループ2・入力エッジ検出
ECh		シングル入力ポート0・入力エッジ検出
EDh		シングル入力ポート1・入力エッジ検出
EEh		シングル入力ポート2・入力エッジ検出
EFh		シングル入力ポート3・入力エッジ検出
F0h	イベントリンクコントローラ	ソフトウェアイベント
F1h	データ演算回路	DOC・データ演算条件成立
上記以外は設定しないでください		

19.2.3 イベントリンクオプション設定レジスタ A (ELOPA)

アドレス ELC.ELOPA 0008 B11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	MTU3MD[1:0]		—	—	—	—	MTU0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU0MD[1:0]	MTU0動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ(注1) 1 1：イベント出力禁止	R/W
b5-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b6	MTU3MD[1:0]	MTU3動作選択ビット	b7 b6 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ(注2) 1 1：イベント出力禁止	R/W

注1. MTU0.TCNT レジスタの値がMTU0.TGRA レジスタにキャプチャされます。
注2. MTU3.TCNT レジスタの値がMTU3.TGRA レジスタにキャプチャされます。

ELOPA レジスタは、イベント信号が入力されたときの MTU0、MTU3 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.4 イベントリンクオプション設定レジスタ B (ELOPB)

アドレス ELC.ELOPB 0008 B120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MTU4MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU4MD[1:0]	MTU4動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ(注1) 1 1：イベント出力禁止	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU4.TCNT レジスタの値がMTU4.TGRA レジスタにキャプチャされます。

ELOPB レジスタは、イベント信号が入力されたときの MTU4 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.5 イベントリンクオプション設定レジスタ C (ELOPC)

アドレス ELC.ELOPC 0008 B121h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMT1MD[1:0]		—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 ００：カウントスタート ０１：カウントリスタート １０：イベントカウンタ １１：イベント出力禁止	R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPC レジスタは、イベント信号が入力されたときの CMT1 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.6 イベントリンクオプション設定レジスタ D (ELOPD)

アドレス ELC.ELOPD 0008 B122h

	b7	b6	b5	b4	b3	b2	b1	b0
	TMR3MD[1:0]		TMR2MD[1:0]		TMR1MD[1:0]		TMR0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMR0MD[1:0]	TMR0動作選択ビット	b1 b0 ００：カウントスタート ０１：カウントリスタート １０：イベントカウンタ １１：イベント出力禁止	R/W
b3-b2	TMR1MD[1:0]	TMR1動作選択ビット	b3 b2 ００：カウントスタート ０１：カウントリスタート １０：イベントカウンタ １１：イベント出力禁止	R/W
b5-b4	TMR2MD[1:0]	TMR2動作選択ビット	b5 b4 ００：カウントスタート ０１：カウントリスタート １０：イベントカウンタ １１：イベント出力禁止	R/W
b7-b6	TMR3MD[1:0]	TMR3動作選択ビット	b7 b6 ００：カウントスタート ０１：カウントリスタート １０：イベントカウンタ １１：イベント出力禁止	R/W

ELOPD レジスタは、イベント信号が入力されたときの TMR0 ～ TMR3 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.7 イベントリンクオプション設定レジスタ E (ELOPE)

アドレス ELC.ELOPE 0008 B13Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	MTU9MD[1:0]		—	—	MTU7MD[1:0]		MTU6MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU6MD[1:0]	MTU6動作選択ビット	b1 b0 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ (注1) 1 1：イベント出力禁止	R/W
b3-b2	MTU7MD[1:0]	MTU7動作選択ビット	b3 b2 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ (注2) 1 1：イベント出力禁止	R/W
b5-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b6	MTU9MD[1:0]	MTU9動作選択ビット	b7 b6 0 0：カウントスタート 0 1：カウントリスタート 1 0：インプットキャプチャ (注3) 1 1：イベント出力禁止	R/W

注1. MTU6.TCNT レジスタの値がMTU6.TGRA レジスタにキャプチャされます。
注2. MTU7.TCNT レジスタの値がMTU7.TGRA レジスタにキャプチャされます。
注3. MTU9.TCNT レジスタの値がMTU9.TGRA レジスタにキャプチャされます。

ELOPE レジスタは、イベント信号が入力されたときの MTU6、MTU7、MTU9 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b” (イベント出力禁止) にしてください。

19.2.8 ポートグループ指定レジスタ n (PGRn) (n = 1, 2)

アドレス ELC.PGR1 0008 B123h, ELC.PGR2 0008 B124h

	b7	b6	b5	b4	b3	b2	b1	b0
	PGR7	PGR6	PGR5	PGR4	PGR3	PGR2	PGR1	PGR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGR0	ポートグループ指定0ビット	0：ポートグループに指定しない 1：ポートグループに指定する	R/W
b1	PGR1	ポートグループ指定1ビット		R/W
b2	PGR2	ポートグループ指定2ビット		R/W
b3	PGR3	ポートグループ指定3ビット		R/W
b4	PGR4	ポートグループ指定4ビット		R/W
b5	PGR5	ポートグループ指定5ビット		R/W
b6	PGR6	ポートグループ指定6ビット		R/W
b7	PGR7	ポートグループ指定7ビット		R/W

PGRn レジスタは、I/O ポートのグループ設定をするレジスタです。8 ビットのポートの内、このレジスタで “1” にしたビットに対応するポートがポートグループに選択されます。

たとえば、PGR1.PGR6 ビットと PGR1.PGR3 ビットを “1” にした場合、PB6 端子と PB3 端子がポートグループに選択されます。

表 19.4 に PGRn レジスタとポートの対応を示します。

表 19.4 ポートグループ関連レジスタとポート番号の対応

ポート番号	ポートグループ指定レジスタ (PGRn)	ポートグループコントロールレジスタ (PGCn)	ポートバッファレジスタ (PDBFn)
ポートB	PGR1 レジスタ	PGC1 レジスタ	PDBF1 レジスタ
ポートE	PGR2 レジスタ	PGC2 レジスタ	PDBF2 レジスタ

19.2.9 ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)

アドレス ELC.PGC1 0008 B125h, ELC.PGC2 0008 B126h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PGCO[2:0]			—	PGCOVE	PGCI[1:0]	
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCI[1:0]	イベント出力エッジ選択ビット	b1 b0 0 0：ポートへの入力信号の立ち上がりエッジを検出して、イベント信号を出力 0 1：ポートへの入力信号の立ち下がりエッジを検出して、イベント信号を出力 1 x：ポートへの入力信号の立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力	R/W
b2	PGCOVE	PDBF上書き指定ビット	0：PDBFnレジスタへの上書き無効 1：PDBFnレジスタへの上書き有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCO[2:0]	ポートグループ動作セレクトビット	b6 b4 0 0 0：イベント信号が入力されると、Lowを出力 0 0 1：イベント信号が入力されると、Highを出力 0 1 0：イベント信号が入力されると、トグル(反転)出力 0 1 1：イベント信号が入力されると、バッファ値を出力 1 x x：イベント信号が入力されると、ポートグループ内でビットローテート出力(MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x：Don't care

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号が入力されたときにポートから出力する信号の形式を指定するレジスタです。また、入力に設定されたポートグループに対して、PDBFn レジスタへの上書き有効 / 無効の指定およびイベント発生条件 (ポートへの入力信号の変化) の設定を行うレジスタです。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

PGCn レジスタとポートの対応については、表 19.4 を参照してください。

19.2.10 ポートバッファレジスタ n (PDBFn) (n = 1, 2)

アドレス ELC.PDBF1 0008 B127h, ELC.PDBF2 0008 B128h

	b7	b6	b5	b4	b3	b2	b1	b0
	PDBF7	PDBF6	PDBF5	PDBF4	PDBF3	PDBF2	PDBF1	PDBF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDBF0	ポートバッファ 0 ビット	イベント信号が入力されたときにPODRレジスタに転送するデータを設定します。設定した値は、PGCn.PGCO[2:0]ビットが“011b”、“1xxb”の場合に有効です。入力ポートグループに指定したビットへの書き込みは無効となります。 詳細は、「19.3　動作説明」を参照してください	R/W
b1	PDBF1	ポートバッファ 1 ビット		R/W
b2	PDBF2	ポートバッファ 2 ビット		R/W
b3	PDBF3	ポートバッファ 3 ビット		R/W
b4	PDBF4	ポートバッファ 4 ビット		R/W
b5	PDBF5	ポートバッファ 5 ビット		R/W
b6	PDBF6	ポートバッファ 6 ビット		R/W
b7	PDBF7	ポートバッファ 7 ビット		R/W

PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、「19.3.6　I/O ポートのイベント信号入力時の動作とイベント生成」を参照してください。

PDBFn レジスタとポートの対応については、表 19.4 を参照してください。

19.2.11 イベント接続ポート指定レジスタ m (PELm) (m = 0 ～ 3)

アドレス ELC.PEL0 0008 B129h, ELC.PEL1 0008 B12Ah, ELC.PEL2 0008 B12Bh, ELC.PEL3 0008 B12Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSM[1:0]		PSP[1:0]		PSB[2:0]		
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PSB[2:0]	ビット番号指定ビット	シングルポートに指定したいポートのビット番号を設定してください	R/W
b4-b3	PSP[1:0]	ポート番号指定ビット	b4 b3 0 0：設定無効 0 1：ポートB (PGR1 レジスタに対応) 1 0：ポートE (PGR2 レジスタに対応) 1 1：設定しないでください	R/W
b6-b5	PSM[1:0]	イベントリンク指定ビット	● 出力ポートに設定したとき：ポート出力データを指定 b6 b5 0 0：イベント信号が入力されると、Lowを出力 0 1：イベント信号が入力されると、Highを出力 1 x：イベント信号が入力されると、トグル(反転)出力 ● 入力ポートに設定したとき：イベント出力エッジ選択 b6 b5 0 0：立ち上がりエッジを検出して、イベント信号を出力 0 1：立ち下がりエッジを検出して、イベント信号を出力 1 x：立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x：Don't care

PELm レジスタは、シングルポートの指定、イベント信号が入力されたときの動作、およびイベント出力の条件を設定するレジスタです。本 MCU では、ポート B およびポート E のビットに対して、最大 4 つのシングルポートを設定できます。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

19.2.12 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

アドレス ELC.ELSEGR 0008 B12Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0：通常動作 1：ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0：SEGビットへの書き込み禁止 1：SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0：ELSEGRレジスタへの書き込み許可 1：ELSEGRレジスタへの書き込み禁止	W

本レジスタへの書き込みは MOV 命令を使用してください。

SEG ビット (ソフトウェアイベント発生ビット)

WE ビットが “1” の状態で、本ビットに “1” を書き込むとソフトウェアイベントが発生します。
本ビットは読むと “0” が読めます。“1” を書いても “1” になりません。

WE ビット (SEG ビット書き込み許可ビット)

WE ビットが “1” のときのみ、SEG ビットに対する書き込みが可能になります。
WE ビットを “1” にするには、WI ビットに “0”、WE ビットに “1” を同時に書いてください。
WE ビットを “0” にするには、WI ビットに “0”、WE ビットに “0” を同時に書いてください。

WI ビット (ELSEGR レジスタ書き込み禁止ビット)

WI ビットの書き込み値が “0” のときのみ、ELSEGR レジスタに対する書き込みが可能になります。
読むと “1” が読めます。

19.3 動作説明

19.3.1 割り込み処理とイベントリンクの関係

本 MCU に内蔵している周辺モジュールには、割り込みステータスフラグと、これらの割り込み要求の許可 / 禁止を制御する割り込み許可ビットがあります。各周辺モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグが “1” になり、割り込み要求が許可のとき、CPU に対して割り込みを要求します。

これに対して、ELC は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) することにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作をさせることができます。イベント信号は、対応する割り込み許可ビットの設定に関係なく出力することができます。図 19.2 に割り込み処理と ELC の関係を示します。

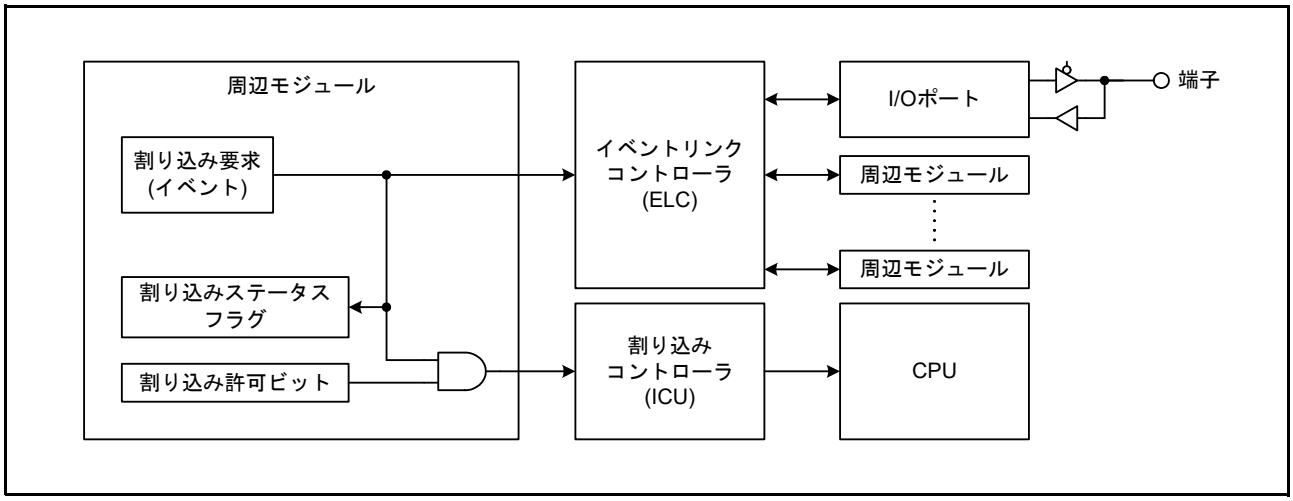


図 19.2 割り込み処理と ELC の関係

19.3.2 イベントのリンク

ELSRn レジスタにイベントを設定することにより、設定したイベントが発生した場合に対応する周辺モジュールを動作させることができます。1 つの周辺モジュールに、1 種類のイベントのみリンクできます。イベントにより動作させる周辺モジュールの初期設定が完了してから、ELSRn レジスタを設定してください。表 19.5 にイベント信号を入力したときの周辺モジュール別動作一覧を示します。

表 19.5　イベント信号入力時の周辺モジュール別動作一覧

<table>
<tr><th>周辺モジュール</th><th colspan="3">イベント信号入力時の動作</th></tr>
<tr><td>MTU
CMT
TMR</td><td colspan="3">ELOPA～ELOPE レジスタの設定により以下の動作が選択できます。
• イベント信号が入力されると、カウントスタート
• イベント信号が入力されると、カウントリスタート
• 入力したイベント数をカウント(CMT, TMR)
• イベント信号が入力されると、キャプチャ動作(MTU)</td></tr>
<tr><td>GPTW</td><td colspan="3">GPTWのレジスタ設定により以下の動作が選択できます。
• イベント信号が入力されると、カウントスタート
• イベント信号が入力されると、カウントストップ
• イベント信号が入力されると、カウンタクリア
• イベント信号が入力されると、カウントアップ
• イベント信号が入力されると、カウントダウン
• イベント信号が入力されると、キャプチャ動作</td></tr>
<tr><td>A/Dコンバータ</td><td colspan="3">イベント信号が入力されると、A/D変換を開始</td></tr>
<tr><td>D/Aコンバータ</td><td colspan="3">イベント信号が入力されると、D/A変換を開始</td></tr>
<tr><td rowspan="2">I/Oポート(出力)</td><td rowspan="2">イベント信号が入力されると、PODRレジスタ(ポート出力データレジスタ)の値が変化
(出力端子のレベルが変化)</td><td>ポートグループ</td><td>• PODRレジスタの値が、指定された値に変化
• PDBFnレジスタ(n = 1, 2)の値をPODRレジスタに転送
• ローテート出力</td></tr>
<tr><td>シングルポート</td><td>PODRレジスタの値が指定された値に変化</td></tr>
<tr><td rowspan="4">I/Oポート(入力)</td><td rowspan="2">入力端子のレベルが変化</td><td>ポートグループ</td><td rowspan="2">イベント発生</td></tr>
<tr><td>シングルポート</td></tr>
<tr><td rowspan="2">イベント信号入力時</td><td>ポートグループ</td><td>入力端子の信号レベルをPDBFnレジスタに転送</td></tr>
<tr><td>シングルポート</td><td>この組み合わせは使用できません</td></tr>
<tr><td>クロック発生回路</td><td colspan="3">イベント信号が入力されると、クロックソースを低速オンチップオシレータへ切り替え(注1)</td></tr>
<tr><td>割り込み制御</td><td colspan="3">イベント信号が入力されると、CPUに割り込みを要求、DMA転送開始、DTC転送開始</td></tr>
</table>

注1.　プロテクトレジスタ(PRCR.PRC0)の値にかかわらず、SCKCR3.CKSEL[2:0]ビットが“000b” (LOCO選択)に書き換わります。

19.3.3 タイマ系周辺モジュールのイベント信号入力時の動作

GPTW を除くタイマ系周辺モジュールは、ELOPA ～ ELOPE レジスタによりイベント信号入力時の動作を設定します。

(1) カウントスタート動作

イベント信号が入力されると、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット(注 1) が “1” になります。カウントスタートビットが “1” のときに入力されたイベント信号は無視されます。

(2) カウントリスタート動作

イベント信号が入力されると、タイマのカウンタをクリアします。各タイマの制御レジスタのカウントスタートビット(注 1) は保持されるため、カウントスタートビットが “1” のときにイベント信号を入力するとカウンタは 0 からカウントを再開します。

(3) イベントカウンタ動作

タイマのカウントソースとして、イベント信号を使用します。イベント信号が入力されると、カウンタがインクリメントされます。

(4) インプットキャプチャ動作

イベント信号が入力されると、カウンタの値をキャプチャします。

注 1. 各タイマ系周辺モジュール章にあるタイマスタートに関するレジスタの説明を参照してください。

19.3.4 GPTW のイベント信号入力時の動作

ELSR48 ～ ELSR55 レジスタで指定された 8 個のイベント信号は、GPTW イベント要因 A ～ H として GPTW の全チャネルに接続されています。GPTW にイベント信号入力時の動作を設定するには、GPTW 内のレジスタ (表 19.6 参照) のイベント要因 A ～ H に対応するビットで要因を許可してください。

表 19.6 イベント入力時の動作と対応する要因選択レジスタ

イベント信号入力時の動作	レジスタシンボル	レジスタ名
カウントスタート	GTSSR	汎用PWMタイマスタート要因セレクトレジスタ
カウントストップ	GTPSR	汎用PWMタイマストップ要因セレクトレジスタ
カウンタクリア	GTCSR	汎用PWMタイマクリア要因セレクトレジスタ
カウントアップ	GTUPSR	汎用PWMタイマカウントアップ要因セレクトレジスタ
カウントダウン	GTDNSR	汎用PWMタイマカウントダウン要因セレクトレジスタ
インプットキャプチャ A	GTICASR	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA
インプットキャプチャ B	GTICBSR	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB

19.3.5 A/D コンバータ、D/A コンバータのイベント信号入力時の動作

ADCSR.ADST ビット、DACR.DAOE0 ビット(注 1) が “1” になり、A/D 変換または D/A 変換がスタートします。

注 1. A/D コンバータ、D/A コンバータ章のビット説明を参照してください。

19.3.6 I/O ポートのイベント信号入力時の動作とイベント生成

I/O ポートのイベント信号入力時の動作とイベント生成条件の設定は ELC 内のレジスタで行います。イベントリンクが設定できる I/O ポートはポート B とポート E です。

(1) シングルポートとポートグループ

I/O ポートへのイベントリンクは、8 本ある I/O ポートの内の任意の 1 本へのイベントリンク (シングルポートへのイベントリンク) と、8 本ある I/O ポートの内の任意の複数本へのイベントリンク (ポートグループへのイベントリンク) ができます。

シングルポートの設定は、PELm.PSP[1:0] ビットと PSB[2:0] ビット (m = 0 ～ 3) で行います。ポートグループの設定は、PGRn レジスタ (n = 1, 2) により任意のビット (2 ビット以上) を “1” にすることで行います。PGRn レジスタで “1” にしたポートの内、出力に設定したポートは出力ポートグループに、入力に設定したポートは入力ポートグループになります。

1 本のポートに対してシングルポートとポートグループの両方の設定をした場合、入力ポートでは両方の機能が有効になり、出力ポートではポートグループの機能のみが有効になります。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

(2) シングル入力ポートでのイベント発生

入力に設定されているシングルポートは、対応する端子への入力信号が変化するとイベント信号を出力します。イベント発生条件は、PELm.PSM[1:0] ビット (m = 0 ～ 3) で設定します。**図 19.3** (1) にシングルポートのイベントリンク動作を示します。

(3) シングル出力ポートへのイベント信号入力

出力に設定されているシングルポートにイベント信号が入力されると、対応する端子のレベル (PODR レジスタの値) が PELm.PSM[1:0] ビットで指定したとおりに変化します。**図 19.3** (2) にシングルポートのイベントリンク動作を示します。

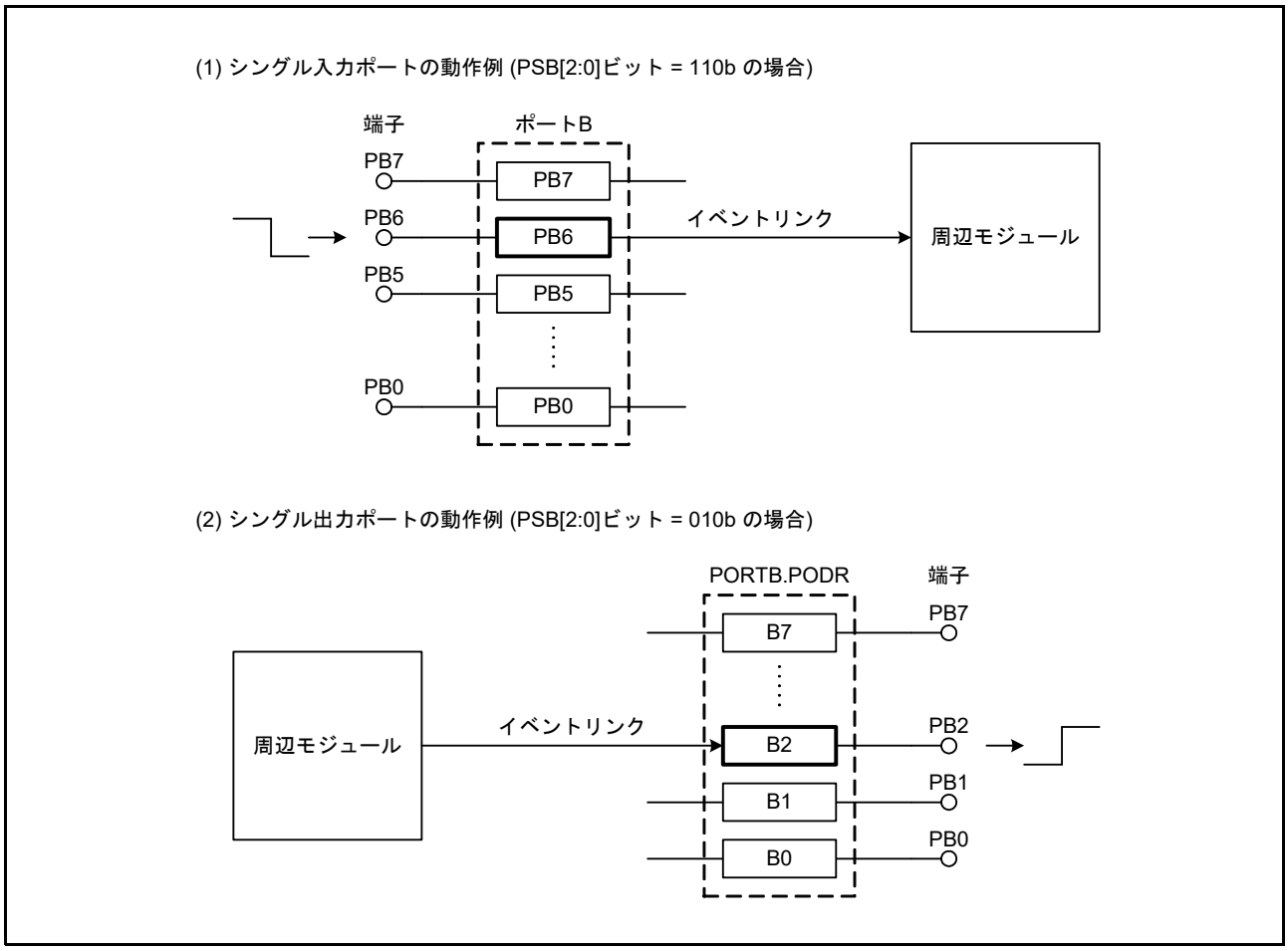


図 19.3 シングルポートのイベントリンク動作 (ポート B の場合)

(4) 入力ポートグループでのイベント発生

入力ポートグループは、対応する端子への入力信号のいずれかが変化すると、イベント信号を出力します。イベント発生条件は PGCn.PGCI[1:0] ビット (n = 1, 2) で設定します。

(5) 入力ポートグループへのイベント信号の入力

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタに転送されます。入力ポートグループに指定されていないポートに対応するビットの値は変化しません。**図 19.4** に入力ポートグループのイベントリンク動作を示します。

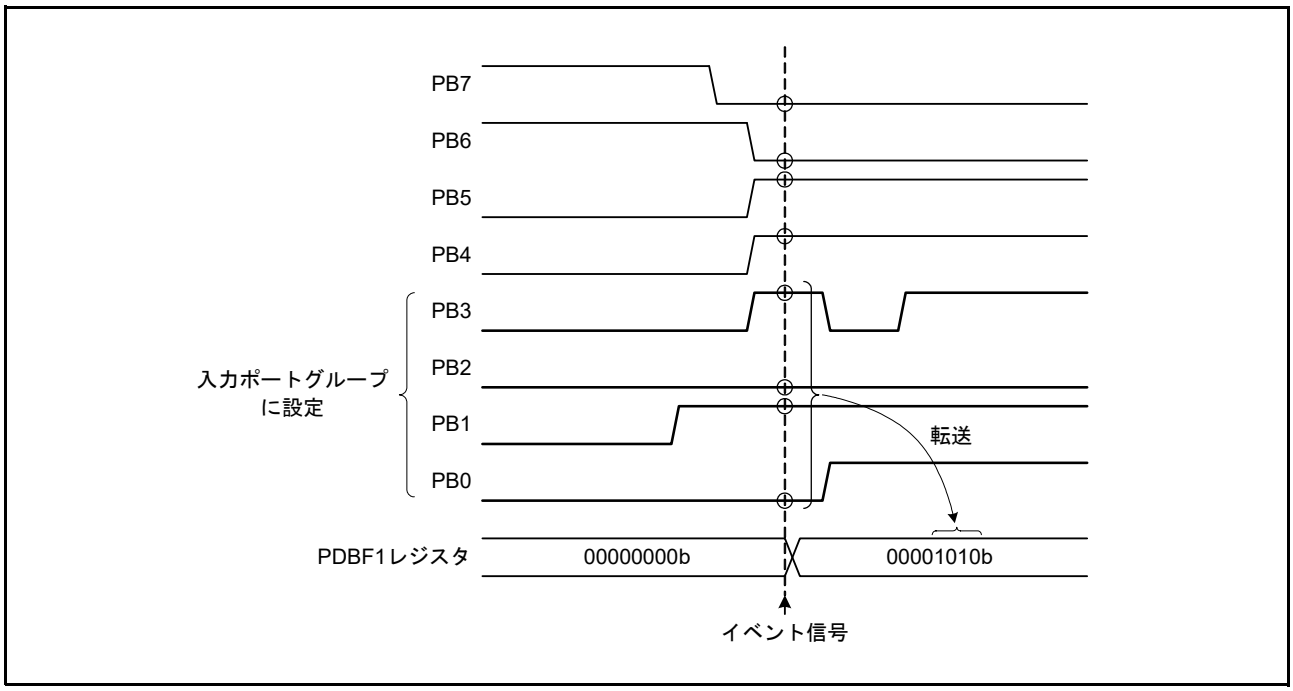


図 19.4 入力ポートグループのイベントリンク動作 (ポート B の場合)

(6) 出力ポートグループへのイベント信号の入力

出力ポートグループにイベント信号が入力されると、対応する PODR レジスタの値が PGCn.PGCO[2:0] ビット (n = 1, 2) で設定されたとおりに変化します。**図 19.5** に出力ポートグループのイベントリンク動作を示します。

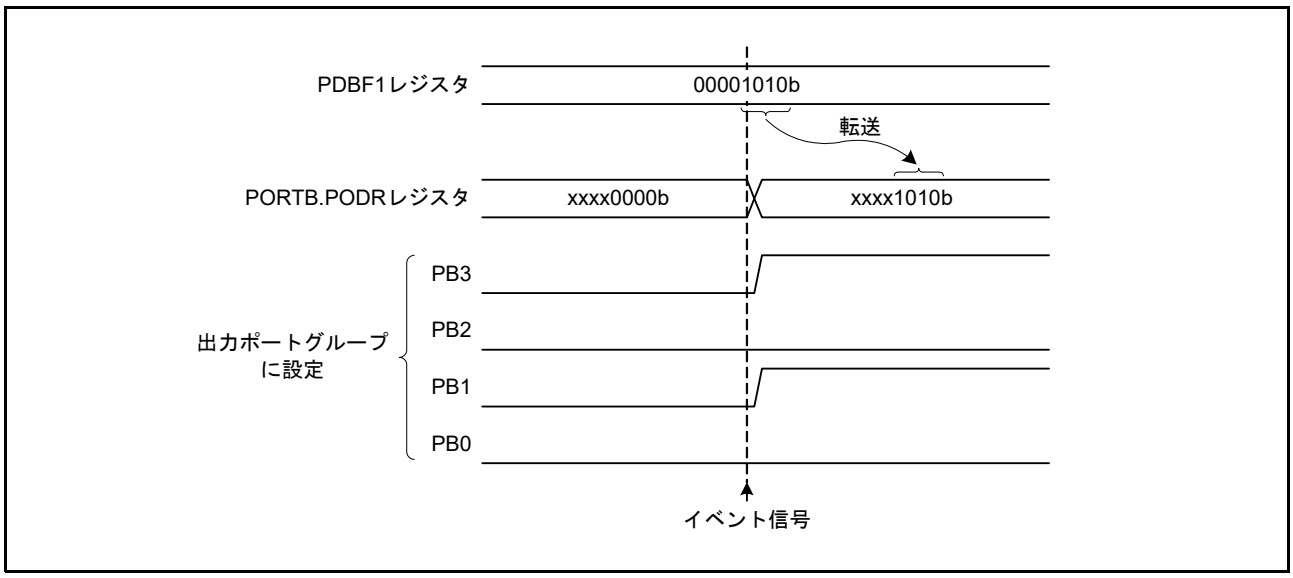


図 19.5 出力ポートグループのイベントリンク動作 (ポート B の場合)

(7) PDBFn レジスタの動作

(a) 入力ポートグループ

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタ (n = 1, 2) に転送されます。この状態で、再度入力ポートグループにイベント信号が入力された場合、PGCn.PGCOVE ビットの設定によって以下のように異なる動作をします。

- PGCn.PGCOVE ビット = 0 (上書き無効) のとき
  前回のイベント信号入力により PDBFn レジスタに転送された値が、CPU または DTC によってリードされている場合、そのときの端子のレベルが PDBFn レジスタに転送されます。リードされていない場合、端子のレベルは PDBFn レジスタに転送されず、入力したイベント信号は無効となります。
- PGCn.PGCOVE ビット = 1 (上書き有効) のとき
  入力ポートグループにイベント信号が入力されると、対応する端子のレベルが、PDBFn レジスタに転送されます。

(b) 出力ポートグループ

出力ポートグループが PDBFn レジスタの値を出力する設定 (PGCn.PGCO[2:0] ビット = 011b) になっている場合、出力ポートグループにイベント信号が入力されると、PDBFn レジスタの値が PODR レジスタに転送されます。出力ポートグループに設定されていないポートに対応するビットには、データは転送されません。

出力ポートグループがグループ内でのビットローテート出力 (PGCn.PGCO[2:0] ビット = 1xxb) に設定されている場合、1 回目のイベント信号で PDBFn レジスタから PODR レジスタにデータが転送され、2 回目以降のイベント信号で当該グループ内で PODR レジスタ値が MSB → LSB にローテートします。

図 19.6 にビットローテートの動作を示します。

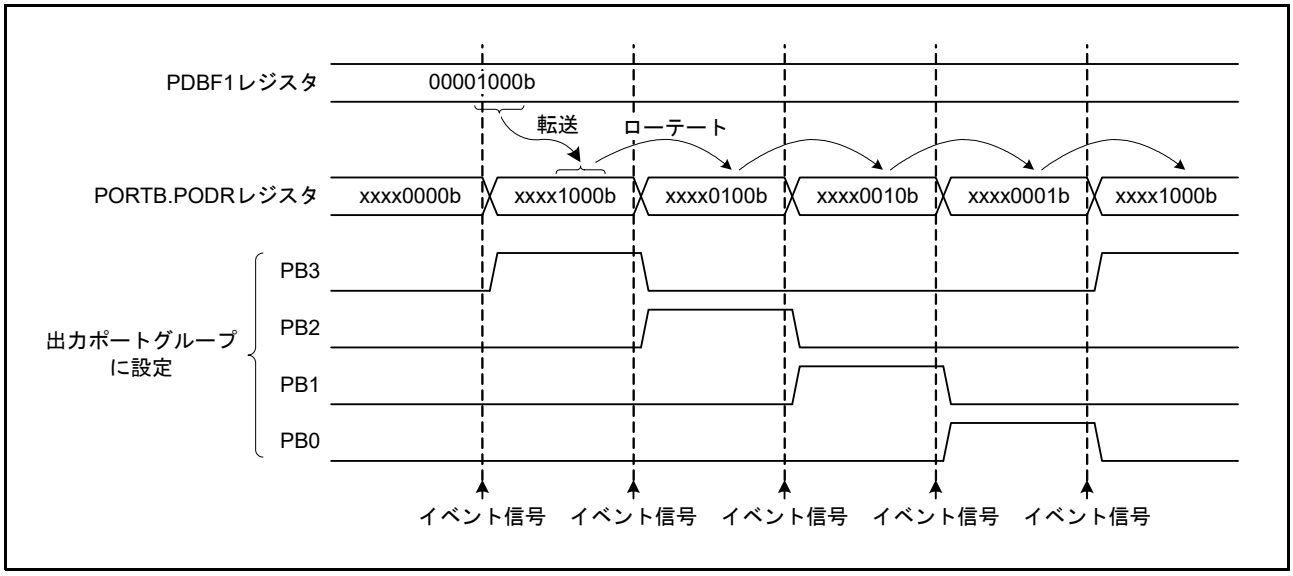


図 19.6 出力ポートグループのビットローテート動作 (ポート B の場合)

(8) PODR レジスタ、PDBFn レジスタへの書き込み制限

ELCR.ELCON ビットが “1” (ELC 機能は有効) のとき、下記の条件で PODR レジスタ、PDBFn レジスタ (n = 1, 2) への書き込みが無効となります。

- 入力ポートグループに指定しイベントリンクを設定すると、対応する PDBFn レジスタのビットへの書き込みは無効になります。
- 出力ポートグループに指定すると、対応する PODR レジスタのビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへのイベント接続設定 (ELSRn レジスタの設定) を行うと、対応する PODR レジスタのビットへの書き込みは無効になります。

19.3.7 イベントリンクの動作設定手順例

イベントリンクの動作手順を以下に示します。

(1) イベント信号により動作する (リンク先) 周辺モジュールの初期設定を行います。

(2) ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。

PODR レジスタ： 出力に設定したポートの初期値を設定します。

PDR レジスタ： ポートの入出力方向を設定します。

PGRn レジスタ： ポートグループとして動作させる場合、グループ化の対象となるポートを設定します (n = 1, 2)。

PGCn レジスタ： ポートグループとして動作させる場合の動作を設定します。

PELm レジスタ： シングルポートとして動作させる場合、対象となるポートとイベント信号入力時の動作およびイベント発生条件を設定します (m = 0 ～ 3)。

(3) リンク先の周辺モジュールに対応する ELSRn レジスタに、リンクするイベント信号の番号を設定します。

(4) リンク先の周辺モジュールがタイマ系の周辺モジュールの場合は、必要に応じて ELOPA ～ ELOPE レジスタを設定します。

(5) ELCR.ELCON ビットを “1” にします。これによりイベントリンクが設定されている全周辺モジュールのイベントリンク動作が有効となります。

(6) イベント信号を出力する (リンク元) 周辺モジュールの初期設定を行い、起動させます。周辺モジュールから出力されるイベント信号により、リンク先の周辺モジュールが事前に設定した動作を開始します。

(7) 周辺モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn レジスタに “00h” を設定してください。また ELCR.ELCON ビットを “0” にすることにより、全周辺モジュールのイベントリンク動作が停止します。

注 . LVD のイベント信号出力を使用する場合、LVD の設定を行った後、ELC の設定を行ってください。LVD を無効にする場合も、先に該当する ELSRn レジスタに “00h” を設定してから実施してください。

19.4 使用上の注意事項

19.4.1 ELSRn レジスタの設定について

(1) ELSR18、ELSR19 レジスタの設定

イベント信号は “EAh” ～ “F1h” の中から指定してください。これ以外の値は、設定しないでください。

19.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタ (n = 1, 2) の値を変更する場合、変更後に ELSRn レジスタを再設定してください。また、ビットローテート動作に使用するイベントの発生間隔は、1 PCLKB 以上にしてください。

19.4.3 DMA/DTC 転送終了のイベント信号使用時の注意事項

DMA/DTC 転送終了のイベント信号を使用する場合、データ転送先の周辺モジュールとリンク先の周辺モジュールを同じにしないでください。周辺モジュールへの DMA/DTC 転送が完了する前に周辺モジュールが起動する可能性があります。

19.4.4 クロック設定について

イベントリンクを使用するには ELC の設定の他に、ELC と対象の周辺モジュールが動作可能である必要があります。対象の周辺モジュールがモジュールストップ状態の場合や、周辺モジュールが停止するモード (全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード) の場合は動作できません。

19.4.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、ELC の動作を禁止 / 許可することが可能です。リセット解除後は、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「**11. 消費電力低減機能**」を参照してください。

20. I/O ポート

20.1 概要

本 MCU の I/O ポートは、汎用入出力ポートと周辺モジュールの入出力、割り込み入力端子、またはバス制御端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/O ポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力 / 出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODRy) (y = 0, 1)、入力プルアップ MOS のオン / オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR, DSCR2)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「**21. マルチファンクションピンコントローラ (MPC)**」を参照してください。

パッケージによって、I/O ポートの構成が異なります。**表 20.1** ～**表 20.3** に I/O ポートの仕様を、**表 20.4** に I/O ポートの機能を示します。

表 20.1 I/O ポートの仕様 (1)
プログラマブルゲインアンプ (PGA) 疑似差動入力あり製品 (1)

ポートシンボル	パッケージ	
	144 ピン	本数
PORT0	P00, P01	2
PORT1	P10～P17	8
PORT2	P20～P27	8
PORT3	P30～P37	8
PORT4	P40～P47	8
PORT5	P50～P55	6
PORT6	P60～P65	6
PORT7	P70～P76	7
PORT8	P80～P82	3
PORT9	P90～P96	7
PORTA	PA0～PA7	8
PORTB	PB0～PB7	8
PORTC	PC0～PC6	7
PORTD	PD0～PD7	8
PORTE	PE0～PE6	7
PORTF	PF0～PF3	4
PORTG	PG0～PG2	3
PORTH	PH0～PH7	8
PORTK	PK0～PK2	3
	ポートの合計数	119

表20.2 I/Oポートの仕様(2)
プログラマブルゲインアンプ(PGA)疑似差動入力あり製品(2)

ポートシンボル	パッケージ		パッケージ	
	100ピン、USBあり	本数	100ピン、USBなし	本数
PORT0	P00, P01	2	P00, P01	2
PORT1	P10, P11	2	P10, P11	2
PORT2	P20～P24, P27	6	P20～P24, P27	6
PORT3	P30～P33, P36, P37	6	P30～P33, P36, P37	6
PORT4	P40～P47	8	P40～P47	8
PORT5	P52～P55	4	P52～P55	4
PORT6	P60～P65	6	P60～P65	6
PORT7	P70～P76	7	P70～P76	7
PORT8	P80～P82	3	P80～P82	3
PORT9	P90～P96	7	P90～P96	7
PORTA	PA0～PA5	6	PA0～PA5	6
PORTB	PB0～PB6	7	PB0～PB7	8
PORTC	—	0	—	0
PORTD	PD2～PD7	6	PD0～PD7	8
PORTE	PE0～PE5	6	PE0～PE5	6
PORTF	—	0	—	0
PORTG	—	0	—	0
PORTH	PH0, PH4	2	PH0, PH4	2
PORTK	—	0	—	0
	ポートの合計数	78	ポートの合計数	81

表20.3 I/Oポートの仕様(3)
プログラマブルゲインアンプ(PGA)疑似差動入力なし製品

ポートシンボル	パッケージ	
	100ピン	本数
PORT0	P00, P01	2
PORT1	P10, P11	2
PORT2	P20～P24	5
PORT3	P30～P33, P36, P37	6
PORT4	P40～P47	8
PORT5	P50～P55	6
PORT6	P60～P65	6
PORT7	P70～P76	7
PORT8	P80～P82	3
PORT9	P90～P96	7
PORTA	PA0～PA5	6
PORTB	PB0～PB7	8
PORTC	—	0
PORTD	PD0～PD7	8
PORTE	PE0～PE5	6
PORTF	—	0
PORTG	—	0
PORTH	—	0
PORTK	—	0
	ポートの合計数	80

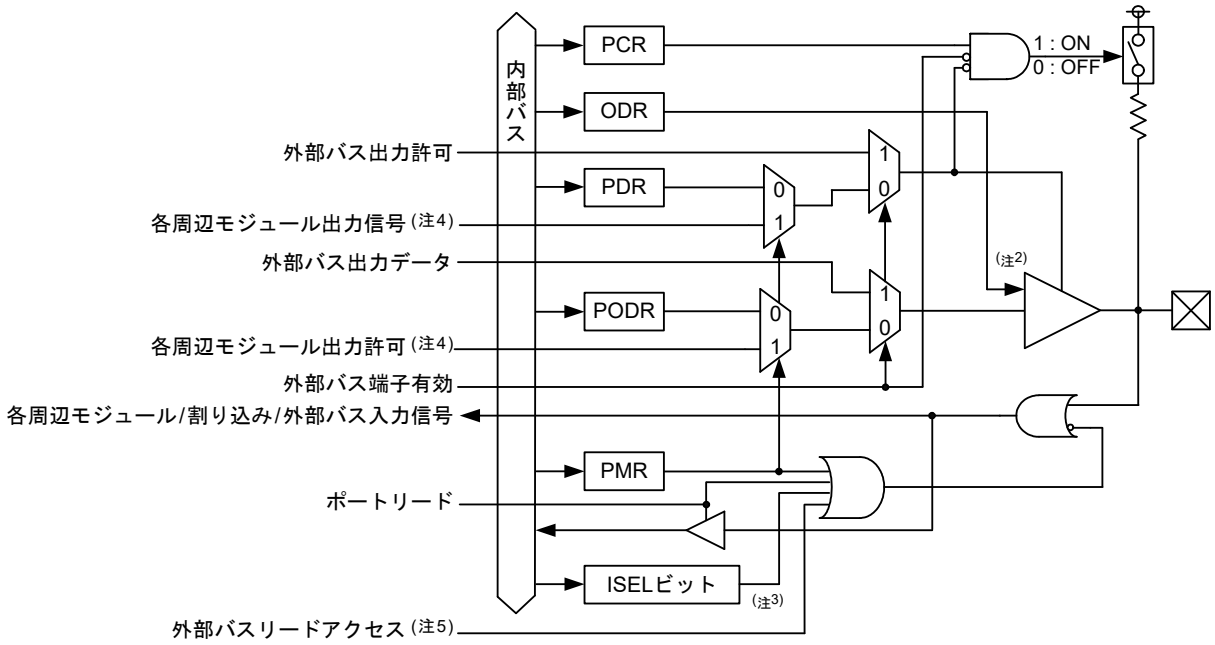
表20.4 I/Oポートの機能

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
PORT0	P00, P01	○	○	通常 / 高駆動	—
PORT1	P10～P17	○	○	通常 / 高駆動	—
PORT2	P20～P27	○	○	通常 / 高駆動	—
PORT3	P30～P35	○	○	通常 / 高駆動	—
	P36, P37	○	○	通常出力固定	—
PORT4	P40～P42, P44～P46	—	—	—	—
	P43, P47	○	○	通常出力固定	—
PORT5	P50～P55	○	○	通常出力固定	—
PORT6	P60～P65	○	○	通常出力固定	—
PORT7	P70	○	○	通常 / 高駆動	—
	P71～P76	○	○	通常 / 高駆動 / 大電流出力	—
PORT8	P80, P82	○	○	通常 / 高駆動	—
	P81	○	○	通常 / 高駆動 / 大電流出力	—
PORT9	P90～P95	○	○	通常 / 高駆動 / 大電流出力	—
	P96	○	○	通常 / 高駆動	—
PORTA	PA0～PA7	○	○	通常 / 高駆動	—
PORTB	PB0, PB3, PB4, PB6, PB7	○	○	通常 / 高駆動	—
	PB1, PB2	○	○	通常 / 高駆動	○
	PB5	○	○	通常 / 高駆動 / 大電流出力	—
PORTC	PC0	○	○	通常 / 高駆動	○
	PC1～PC6	○	○	通常 / 高駆動	—
PORTD	PD0, PD1, PD4～PD7	○	○	通常 / 高駆動	—
	PD2	○	○	通常 / 高駆動	○
	PD3	○	○	通常 / 高駆動 / 大電流出力	—
PORTE	PE0, PE1, PE3～PE6	○	○	通常 / 高駆動	—
	PE2	—	—	—	—
PORTF	PF0～PF3	○	○	通常 / 高駆動	—
PORTG	PG0～PG2	○	○	通常 / 高駆動	—
PORTH	PH0, PH4	—	—	—	—
	PH1～PH3, PH5～PH7	○	○	通常出力固定	—
PORTK	PK0～PK2	○	○	通常 / 高駆動	—

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5V トレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。但し、WAIT 端子を除いた外部バス端子使用時には、入力プルアップ 機能は無効になります。

20.2 入出力ポートの構成

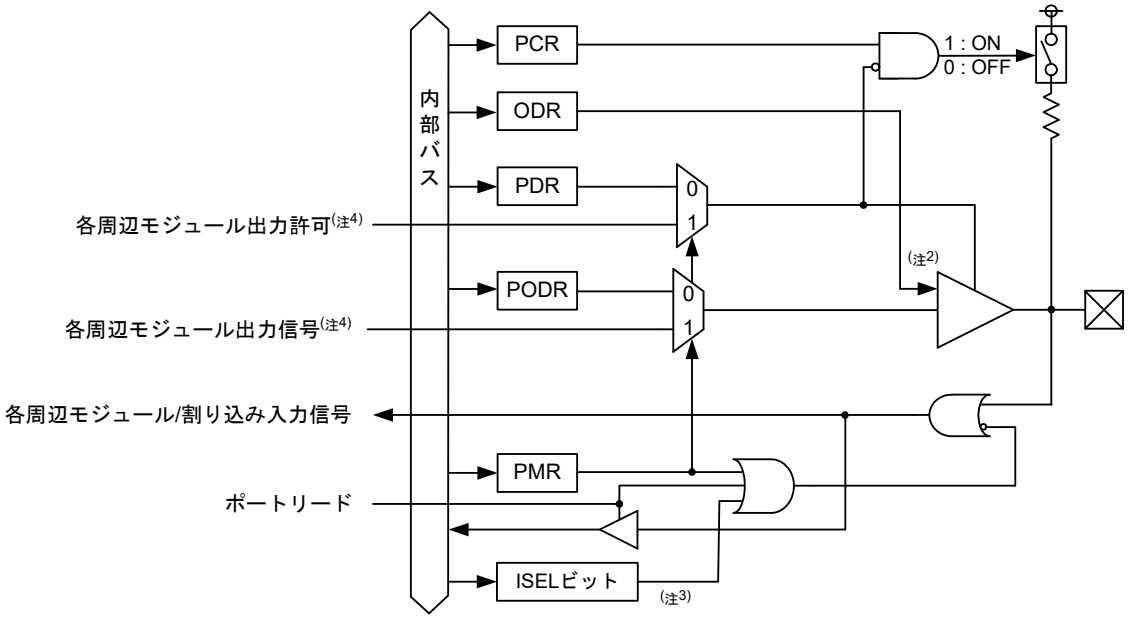
ポート0：P00, P01
ポート1：P11
ポート2：P22～P27（注1）
ポート3：P30～P35（注1）
ポート7：P70～P76
ポート8：P80～P82（注1）
ポート9：P96
ポートA：PA2～PA7（注1）
ポートB：PB0～PB7（注1）
ポートC：PC0～PC2, PC4（注1）
ポートD：PD0～PD2（注1）
ポートE：PE0, PE1, PE3～PE6（注1）
ポートF：PF0～PF3（注1）
ポートG：PG0～PG2（注1）
ポートK：PK0～PK2（注1）



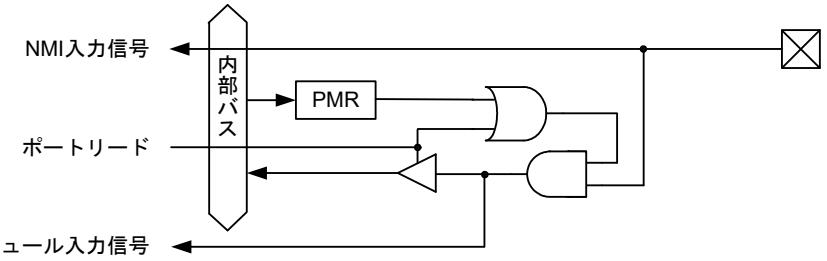
注1. P27は100ピンPGA疑似差動入力なし製品にはありません。
PB7、PD0、PD1は100ピンPGA疑似差動入力あり、かつUSBあり製品にはありません。
PC0～PC2、PG0～PG2は100ピンの製品にはありません。
P25、P26、P34、P35、PA6、PA7、PC4、PE6、PF0～PF3、PK0～PK2は100ピンの製品にはありません。
注2. Nチャネルオープンドレインの制御信号です。
注3. 外部割り込み機能がある端子
注4. 周辺モジュールの出力機能がある端子
注5. データバス機能がある端子

図 20.1 入出力ポートの構成 (1)

ポート1：P10, P12～P17（注1）
ポート9：P90～P95
ポートA：PA0, PA1
ポートC：PC3, PC5, PC6（注1）
ポートD：PD3～PD7

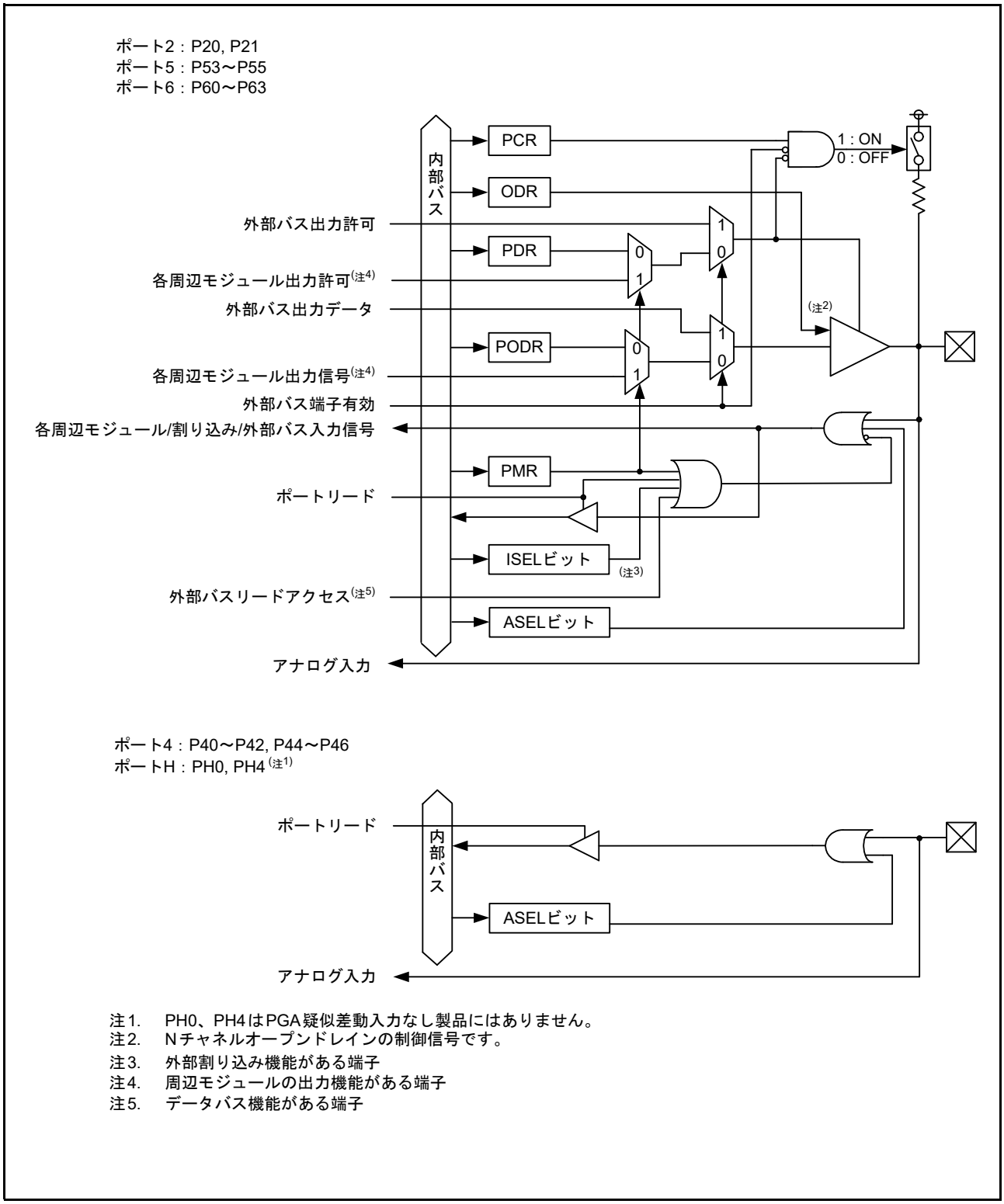


ポートE：PE2



注1. P12～P17は100ピンの製品にはありません。
PC3、PC5、PC6は100ピンの製品にはありません。
注2. Nチャネルオープンドレインの制御信号です。
注3. 外部割り込み機能がある端子
注4. 周辺モジュールの出力機能がある端子

図 20.2 入出力ポートの構成 (2)



注1. PH0、PH4はPGA疑似差動入力なし製品にはありません。
注2. Nチャネルオープンドレインの制御信号です。
注3. 外部割り込み機能がある端子
注4. 周辺モジュールの出力機能がある端子
注5. データバス機能がある端子

図 20.3 入出力ポートの構成 (3)

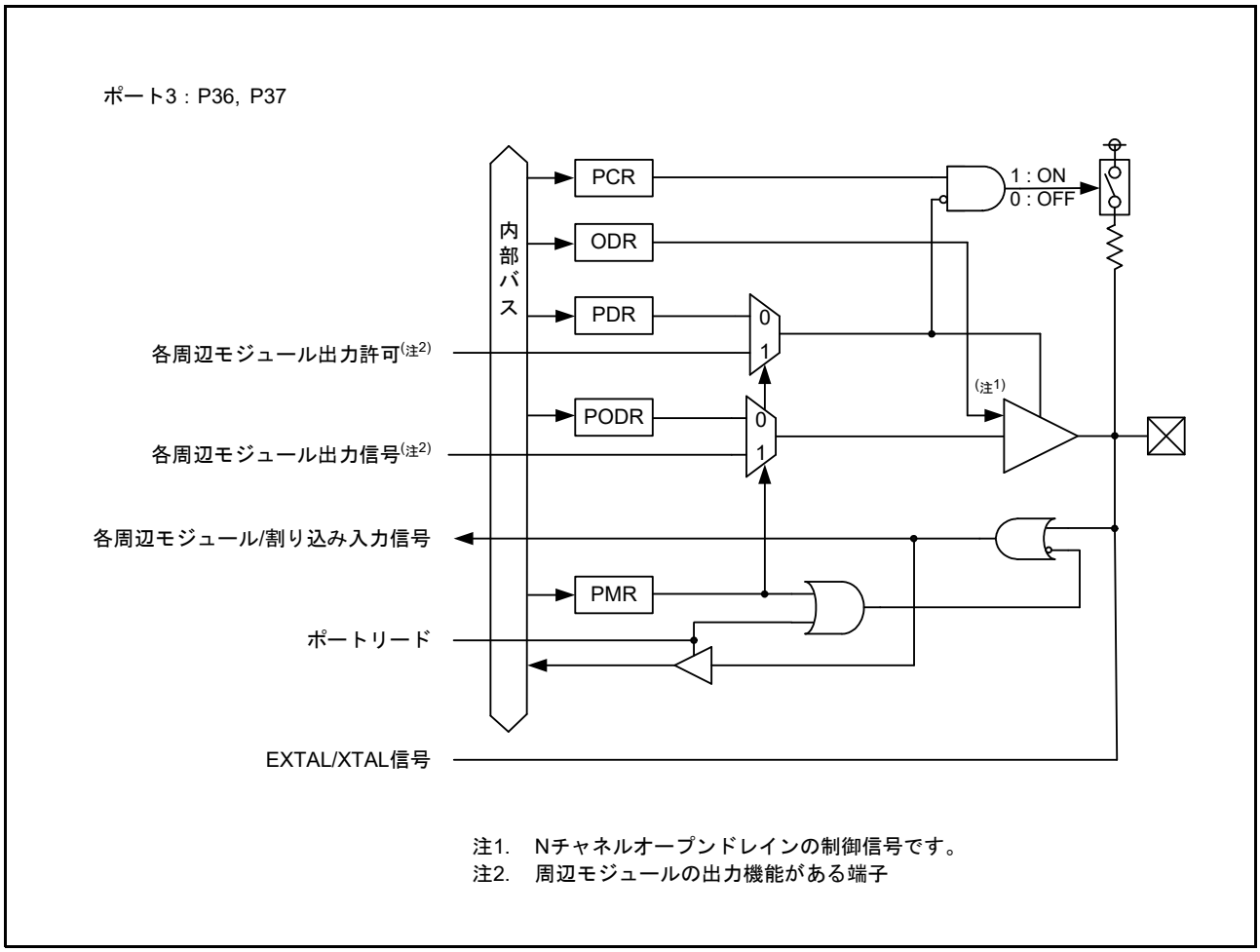
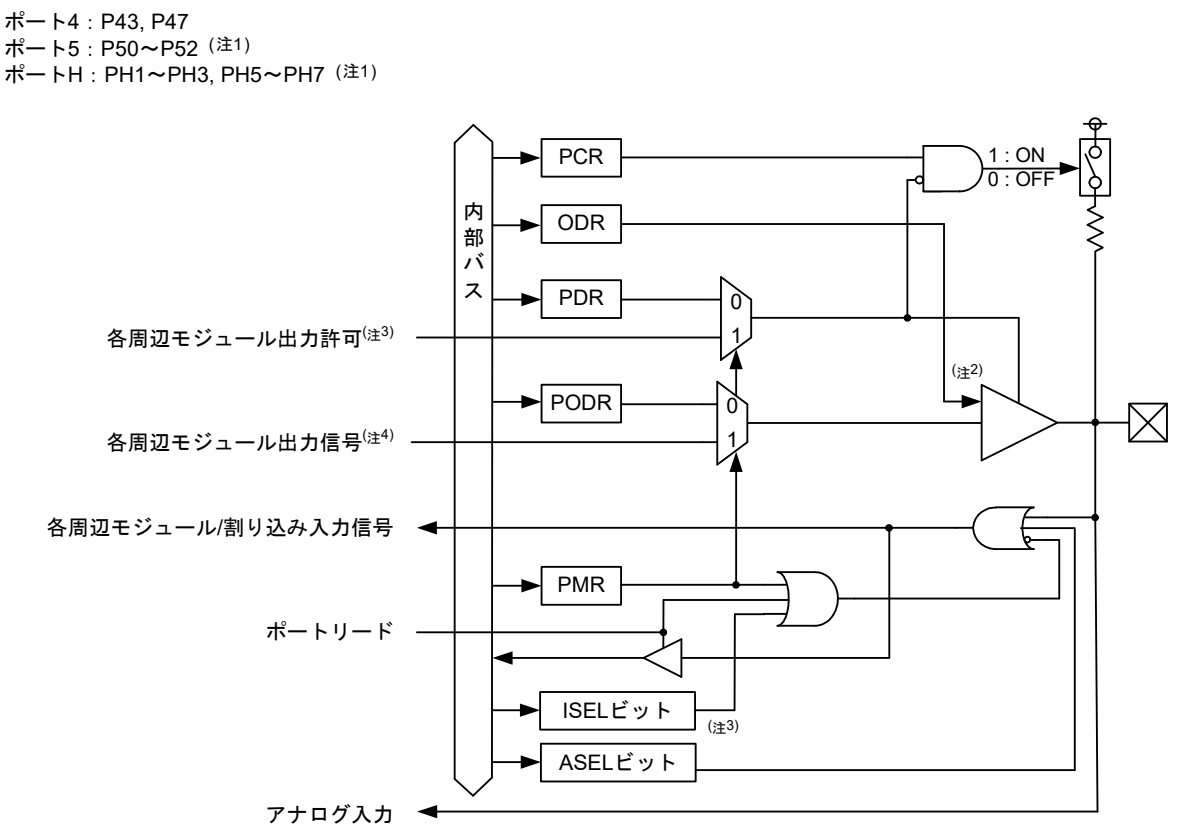


図 20.4 入出力ポートの構成 (4)



注1. P50、P51は144ピンの製品、および100ピンPGA疑似差動入力なし製品にあります。
PH1～PH3、PH5～PH7は100ピンの製品にはありません。
注2. Nチャネルオープンドレインの制御信号です。
注3. 外部割り込み機能がある端子
注4. 周辺モジュールの出力機能がある端子

図 20.5 入出力ポートの構成 (5)

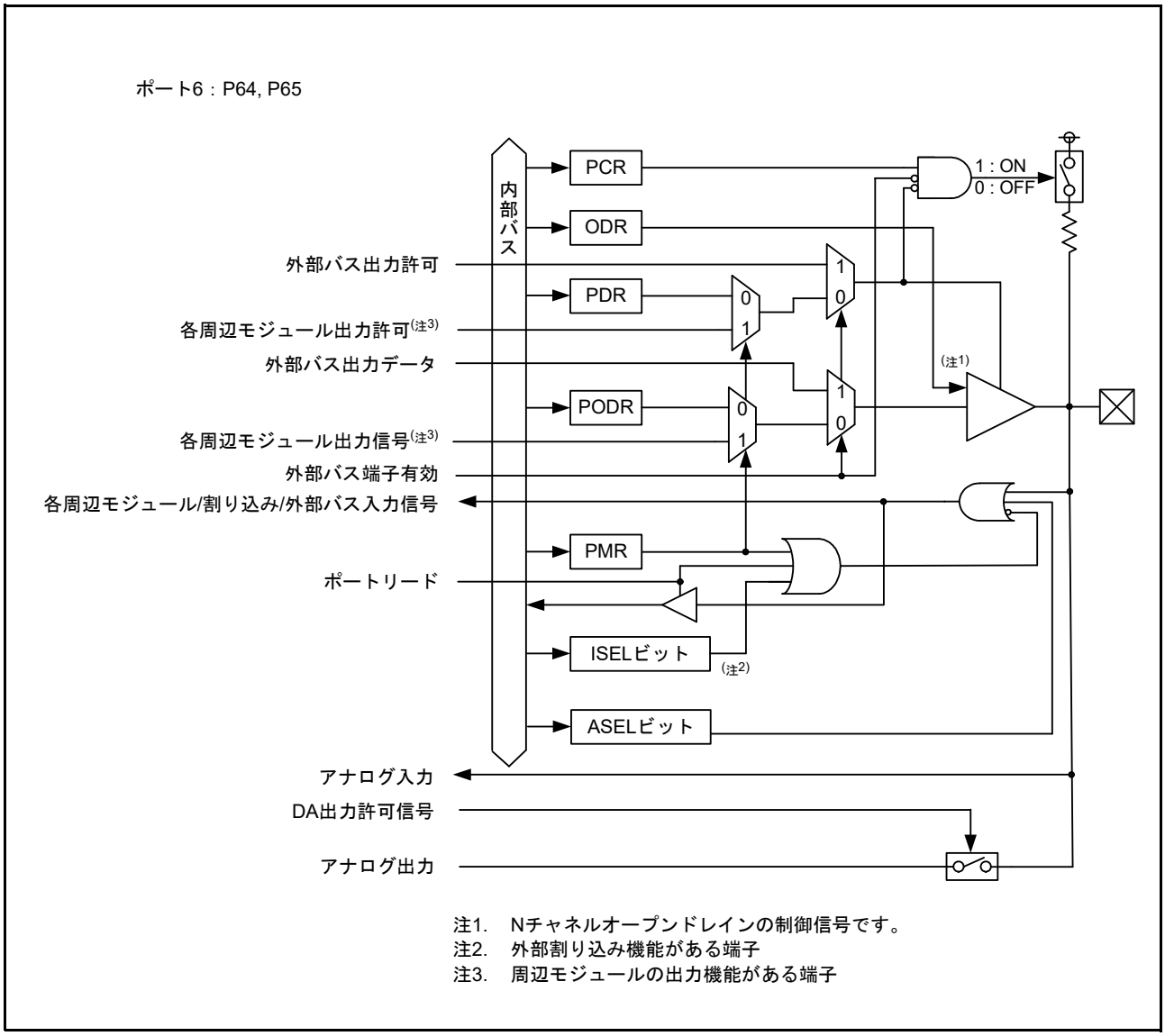


図 20.6 入出力ポートの構成 (6)

20.3 レジスタの説明

20.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT5.PDR 0008 C005h, PORT6.PDR 0008 C006h, PORT7.PDR 0008 C007h, PORT8.PDR 0008 C008h, PORT9.PDR 0008 C009h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTC.PDR 0008 C00Ch, PORTD.PDR 0008 C00Dh, PORTE.PDR 0008 C00Eh, PORTF.PDR 0008 C00Fh, PORTG.PDR 0008 C010h, PORTH.PDR 0008 C011h, PORTK.PDR 0008 C013h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0：入力(入力ポートとして機能) 1：出力(出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ～ 9, A ～ H, K

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力 / 出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しないポート m の端子に対応している PDR レジスタの各ビットは予約ビットです。

また、P40 ～ P42、P44 ～ P46、PH0、PH4 および PE2 端子は入力専用のため、対応する PDR レジスタの各ビットは 予約ビットです。

予約ビットは、「20.4.1 ポート方向レジスタ (PDR) の初期化」に従って、設定してください。

20.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT5.PODR 0008 C025h, PORT6.PODR 0008 C026h, PORT7.PODR 0008 C027h, PORT8.PODR 0008 C028h, PORT9.PODR 0008 C029h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh, PORTC.PODR 0008 C02Ch, PORTD.PODR 0008 C02Dh, PORTE.PODR 0008 C02Eh, PORTF.PODR 0008 C02Fh, PORTG.PODR 0008 C030h, PORTH.PODR 0008 C031h, PORTK.PODR 0008 C033h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	0：Low出力 1：High出力	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ～ 9, A ～ H, K

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

存在しないポート m の端子のビットは予約ビットです。“0” (Low 出力) を書いてください。

P40 ～ P42、P44 ～ P46、PH0、PH4 および PE2 端子は入力専用のため、対応する PODR レジスタの各ビットは 予約ビットです。値を書いても端子に影響しません。

また、存在しない端子のビットは予約ビットです。

予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h, PORT6.PIDR 0008 C046h, PORT7.PIDR 0008 C047h, PORT8.PIDR 0008 C048h, PORT9.PIDR 0008 C049h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTC.PIDR 0008 C04Ch, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh, PORTF.PIDR 0008 C04Fh, PORTG.PIDR 0008 C050h, PORTH.PIDR 0008 C051h, PORTK.PIDR 0008 C053h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット	0：Low入力 1：High入力	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

m = 0 ～ 9, A ～ H, K

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR レジスタ の値に関係なく端子の状態が読めます。

但し、PmnPFS.ASEL ビットに “1” が設定された端子は、端子状態を読むことはできません。

PE2 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

注 . AVCC の電圧が 4.0V 以上のとき、PGA 疑似差動入力あり製品で、PH0 と PH4 の両方を入力端子として使用する場合は、VOLSR.PGAVLS ビットを “1” にしてください。また、PH0 だけを入力端子として使用する場合は、S12AD.ADPGADCR0.PxDEN ビット (x = 000 ～ 002) をすべて “0” に、PH4 だけを入力端子として使用する場合は、S12AD1.ADPGADCR0.PxDEN ビット (x = 100 ～ 102) をすべて “0” にしてください。

20.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h, PORT4.PMR 0008 C064h, PORT5.PMR 0008 C065h, PORT6.PMR 0008 C066h, PORT7.PMR 0008 C067h, PORT8.PMR 0008 C068h, PORT9.PMR 0008 C069h, PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh, PORTC.PMR 0008 C06Ch, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh, PORTF.PMR 0008 C06Fh, PORTG.PMR 0008 C070h, PORTH.PMR 0008 C071h, PORTK.PMR 0008 C073h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0端子モード制御ビット	0：汎用入出力ポートとして使用 1：周辺機能として使用	R/W
b1	B1	Pm1端子モード制御ビット		R/W
b2	B2	Pm2端子モード制御ビット		R/W
b3	B3	Pm3端子モード制御ビット		R/W
b4	B4	Pm4端子モード制御ビット		R/W
b5	B5	Pm5端子モード制御ビット		R/W
b6	B6	Pm6端子モード制御ビット		R/W
b7	B7	Pm7端子モード制御ビット		R/W

m = 0 ～ 9, A ～ H, K

PMR レジスタは、ポートの端子機能を指定するレジスタです。

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h, PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h, PORT4.ODR0 0008 C088h, PORT5.ODR0 0008 C08Ah, PORT6.ODR0 0008 C08Ch, PORT7.ODR0 0008 C08Eh, PORT8.ODR0 0008 C090h, PORT9.ODR0 0008 C092h, PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h, PORTC.ODR0 0008 C098h, PORTD.ODR0 0008 C09Ah, PORTE.ODR0 0008 C09Ch, PORTF.ODR0 0008 C09Eh, PORTG.ODR0 0008 C0A0h, PORTH.ODR0 0008 C0A2h, PORTK.ODR0 0008 C0A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	B6	—	B4	—	B2	—	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0：CMOS出力 1：Nチャネルオープンドレイン	R/W
b1	—	予約ビット		R/W
b2	B2	Pm1出力形態指定ビット		R/W
b3	—	予約ビット		R/W
b4	B4	Pm2出力形態指定ビット		R/W
b5	—	予約ビット		R/W
b6	B6	Pm3出力形態指定ビット		R/W
b7	—	予約ビット		R/W

m = 0 ～ 9, A ～ H, K

ODR0 レジスタは、ポートの端子の出力形態を選択するレジスタです。

ODR0 レジスタの奇数ビット (b1, b3, b5, b7) は予約ビットです。

存在しない端子およびオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT1.ODR1 0008 C083h, PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT4.ODR1 0008 C089h, PORT5.ODR1 0008 C08Bh, PORT6.ODR1 0008 C08Dh, PORT7.ODR1 0008 C08Fh, PORT9.ODR1 0008 C093h, PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTC.ODR1 0008 C099h, PORTD.ODR1 0008 C09Bh, PORTE.ODR1 0008 C09Dh, PORTH.ODR1 0008 C0A3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	B6	—	B4	—	B2	—	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0：CMOS出力 1：Nチャネルオープンドレイン	R/W
b1	—	予約ビット		R/W
b2	B2	Pm5出力形態指定ビット		R/W
b3	—	予約ビット		R/W
b4	B4	Pm6出力形態指定ビット		R/W
b5	—	予約ビット		R/W
b6	B6	Pm7出力形態指定ビット		R/W
b7	—	予約ビット		R/W

m = 1 ～ 7, 9, A ～ E, H

ODR1 レジスタは、ポートの端子の出力形態を選択するレジスタです。

ODR1 レジスタの奇数ビット (b1, b3, b5, b7) は予約ビットです。

存在しない端子およびオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h, PORT4.PCR 0008 C0C4h, PORT5.PCR 0008 C0C5h, PORT6.PCR 0008 C0C6h, PORT7.PCR 0008 C0C7h, PORT8.PCR 0008 C0C8h, PORT9.PCR 0008 C0C9h, PORTA.PCR 0008 C0CAh, PORTB.PCR 0008 C0CBh, PORTC.PCR 0008 C0CCh, PORTD.PCR 0008 C0CDh, PORTE.PCR 0008 C0CEh, PORTF.PCR 0008 C0CFh, PORTG.PCR 0008 C0D0h, PORTH.PCR 0008 C0D1h, PORTK.PCR 0008 C0D3h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0：入力プルアップ抵抗無効 1：入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ～ 9, A ～ H, K

PCR レジスタは、ポートの入力プルアップ抵抗の有効 / 無効を制御するレジスタです。

端子が入力状態のとき、PORTm.PCR レジスタが “1” のビットに対応する端子の入力プルアップ抵抗が有効になります。

外部バス端子 (WAIT 端子除く)、汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。ただし、アドレスバス、バス制御信号として使用している場合は、スタンバイコントロールレジスタの出力ポート許可ビット (SBYCR.OPE) が “0” に設定された状態で、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ遷移すると、PCR レジスタの設定値が有効になります。

リセット中もプルアップ抵抗は無効になります。

存在しない端子および入力プルアップ機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.8 駆動能力制御レジスタ (DSCR)

アドレス PORT0.DSCR 0008 C0E0h, PORT1.DSCR 0008 C0E1h, PORT2.DSCR 0008 C0E2h, PORT3.DSCR 0008 C0E3h, PORT7.DSCR 0008 C0E7h, PORT8.DSCR 0008 C0E8h, PORT9.DSCR 0008 C0E9h, PORTA.DSCR 0008 C0EAh, PORTB.DSCR 0008 C0EBh, PORTC.DSCR 0008 C0ECh, PORTD.DSCR 0008 C0EDh, PORTE.DSCR 0008 C0EEh, PORTF.DSCR 0008 C0EFh, PORTG.DSCR 0008 C0F0h, PORTK.DSCR 0008 C0F3h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0駆動能力制御ビット	0：通常出力 1：高駆動出力	R/W
b1	B1	Pm1駆動能力制御ビット		R/W
b2	B2	Pm2駆動能力制御ビット		R/W
b3	B3	Pm3駆動能力制御ビット		R/W
b4	B4	Pm4駆動能力制御ビット		R/W
b5	B5	Pm5駆動能力制御ビット		R/W
b6	B6	Pm6駆動能力制御ビット		R/W
b7	B7	Pm7駆動能力制御ビット		R/W

m = 0 ～ 3, 7 ～ 9, A ～ G, K

DSCR レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

存在しない端子および駆動能力が固定されている端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

20.3.9 駆動能力制御レジスタ 2 (DSCR2)

アドレス PORT7.DSCR2 0008 C12Fh, PORT8.DSCR2 0008 C130h, PORT9.DSCR2 0008 C131h, PORTB.DSCR2 0008 C133h, PORTD.DSCR2 0008 C135h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0駆動能力制御ビット2	0：通常/高駆動出力 (注1) 1：大電流出力	R/W
b1	B1	Pm1駆動能力制御ビット2		R/W
b2	B2	Pm2駆動能力制御ビット2		R/W
b3	B3	Pm3駆動能力制御ビット2		R/W
b4	B4	Pm4駆動能力制御ビット2		R/W
b5	B5	Pm5駆動能力制御ビット2		R/W
b6	B6	Pm6駆動能力制御ビット2		R/W
b7	—	予約ビット		R/W

m = 7 ～ 9, B, D

注1. DSCRレジスタによる駆動能力切り替えに対応する端子の場合、DSCRレジスタの設定に依存します。

DSCR2 レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

表 20.5 に DSCR レジスタと DSCR2 レジスタによる駆動能力設定を示します。

存在しない端子および大電流出力へ切り替えできない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

表20.5 DSCRレジスタとDSCR2レジスタによる駆動能力設定

PORTm.DSCR2.Bx	PORTm.DSCR.Bx	駆動能力 (注1)
0	0	通常駆動出力
0	1	高駆動出力
1	Don’t care	大電流出力

注1. 駆動能力が固定、またはそれぞれの駆動能力へ切り替えができない端子の駆動能力は変更できません。

20.4 注意事項

20.4.1 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 20.6 ～表 20.9 を参照して初期化してください。

- 表 20.6 ～表 20.9 の空欄は、「表 20.1 I/O ポートの仕様 (1)」～「表 20.3 I/O ポートの仕様 (3)」に記載されている端子に対応するビットです。
  使用するシステムに応じて “1” (出力) または “0” (入力) を設定してください。
  ただし、入力専用である P40 ～ P42、P44 ～ P46、PH0、PH4 および PE2 端子の対応する PDR レジスタの各ビットは予約ビットです。
  このビットには “0” (入力) を設定してください。
- 表 20.6 ～表 20.9 の空欄以外は、予約ビットです (入力専用端子を除く)。
  予約ビットには表 20.6 ～表 20.9 に従って “0” (入力) または “1” (出力) を設定ください。
  予約ビットを設定する場合は、バイト単位でアクセスしてください。

表20.6 144ピン(プログラマブルゲインアンプ(PGA)疑似差動入力あり製品)のPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0	0		
PORT1								
PORT2								
PORT3								
PORT4		0	0	0		0	0	0
PORT5	0	0						
PORT6	0	0						
PORT7	0							
PORT8	0	0	0	0	0			
PORT9	0							
PORTA								
PORTB								
PORTC	0							
PORTD								
PORTE	0					0		
PORTF	0	0	0	0				
PORTG	0	0	0	0	0			
PORTH				0				0
PORTK	0	0	0	0	0			

表20.7 100ピン(プログラマブルゲインアンプ(PGA)疑似差動入力あり、かつUSBあり製品)のPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0	0		
PORT1	1	1	1	1	1	1		
PORT2		1	1					
PORT3			1	1				
PORT4		0	0	0		0	0	0
PORT5	0	0					1	1
PORT6	0	0						
PORT7	0							
PORT8	0	0	0	0	0			
PORT9	0							
PORTA	1	1						
PORTB	1							
PORTC	0	1	1	1	1	1	1	1
PORTD							1	1
PORTE	0	1				0		
PORTF	0	0	0	0	1	1	1	1
PORTG	0	0	0	0	0	1	1	1
PORTH	1	1	1	0	1	1	1	0
PORTK	0	0	0	0	0	1	1	1

表20.8 100ピン(プログラマブルゲインアンプ(PGA)疑似差動入力あり、かつUSBなし製品)のPDRレジスタの設定値

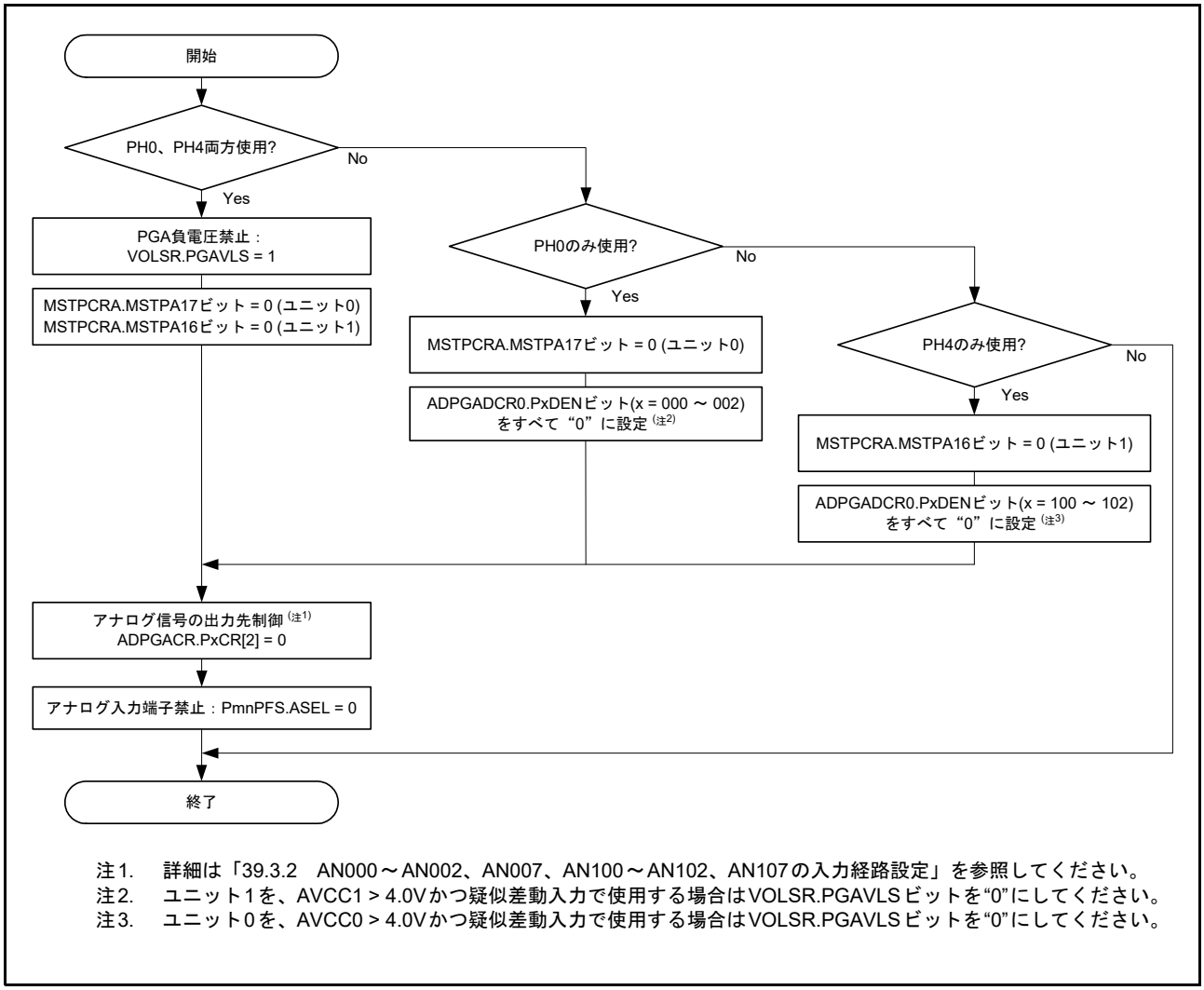
ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0	0		
PORT1	1	1	1	1	1	1		
PORT2		1	1					
PORT3			1	1				
PORT4		0	0	0		0	0	0
PORT5	0	0					1	1
PORT6	0	0						
PORT7	0							
PORT8	0	0	0	0	0			
PORT9	0							
PORTA	1	1						
PORTB								
PORTC	0	1	1	1	1	1	1	1
PORTD								
PORTE	0	1				0		
PORTF	0	0	0	0	1	1	1	1
PORTG	0	0	0	0	0	1	1	1
PORTH	1	1	1	0	1	1	1	0
PORTK	0	0	0	0	0	1	1	1

表20.9 100ピン(プログラマブルゲインアンプ(PGA)疑似差動入力なし製品)のPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	0	0	0	0		
PORT1	1	1	1	1	1	1		
PORT2	1	1	1					
PORT3			1	1				
PORT4		0	0	0		0	0	0
PORT5	0	0						
PORT6	0	0						
PORT7	0							
PORT8	0	0	0	0	0			
PORT9	0							
PORTA	1	1						
PORTB								
PORTC	0	1	1	1	1	1	1	1
PORTD								
PORTE	0	1				0		
PORTF	0	0	0	0	1	1	1	1
PORTG	0	0	0	0	0	1	1	1
PORTH	1	1	1	0	1	1	1	0
PORTK	0	0	0	0	0	1	1	1

20.4.2 PH0、PH4 を汎用入力ポートとして使用する場合の設定

PH0、PH4 を汎用入力ポートとして使用する場合は、図 20.7 に従って設定してください。



注1. 詳細は「39.3.2 AN000～AN002、AN007、AN100～AN102、AN107の入力経路設定」を参照してください。
注2. ユニット1を、AVCC1 > 4.0Vかつ疑似差動入力で使用する場合はVOLSR.PGAVLSビットを“0”にしてください。
注3. ユニット0を、AVCC0 > 4.0Vかつ疑似差動入力で使用する場合はVOLSR.PGAVLSビットを“0”にしてください。

図 20.7 PH0、PH4 を汎用入力ポートとして使用する場合の設定

20.4.3 未使用端子の処理

表 20.10 に未使用端子の処理内容を示します。

表20.10 未使用端子の処理内容

端子名	処理内容
EMLE	抵抗を介してVSSに接続(プルダウン)
MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続(プルアップ)
VCC_USB	VCCに接続
VSS_USB	VSSに接続
USB0_DP	端子を開放
USB0_DM	
PE2/NMI	抵抗を介してVCCに接続(プルアップ)
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(汎用ポートP36)に設定 ポートP36としても使用しない場合は、ポート0～3、7～9、A～G、Kの処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(汎用ポートP37)に設定 ポートP37としても使用しない場合は、ポート0～3、7～9、A～G、Kの処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放
ポート0～3、7～9、 ポートA～G、K	• 入力に設定(PORTn.PDRビット= 0)し、1端子ごと抵抗を介してVCCに接続(プルアップ)、または1端子ごと抵抗を介してVSSに接続(プルダウン)(注1) • 出力に設定(PORTn.PDRビット= 1)し、端子を開放(注1、注2)
ポート4～6、 ポートH (PH0、PH4を除く)	• 1端子ごと抵抗を介してアナログ電源(AVCC1/AVCC2)に接続(プルアップ)、または1端子ごと抵抗を介して アナロググランド(AVSS1/AVSS2)に接続(プルダウン)(注3) • 出力に設定(PORTn.PDRビット= 1)し、端子を開放(注1、注2、注4)
PH0/PGAVSS0	抵抗を介してアナログ電源(AVCC0)に接続(プルアップ)
PH4/PGAVSS1	抵抗を介してアナログ電源(AVCC1)に接続(プルアップ)

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、ASELビットを“0”にしてください。
注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。
注3. 抵抗を接続する電源は、P4、PHはAVCC1/AVSS1に、P5、P6はAVCC2/AVSS2にしてください。
注4. 入力専用端子は、PORTn.PDR = 1にしないでください。

21. マルチファンクションピンコントローラ (MPC)

21.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力および割り込み入力信号を複数のポートから選択し割り付ける機能です。また、外部バス関連信号のポート割り付けも行います。

表 21.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、× で示します。同一機能を複数端子で有効にすることは禁止です。

表21.1　マルチプル端子の割り当て端子一覧 (1 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
割り込み		NMI (入力)	PE2	○	○	○	○
割り込み	IRQ0	IRQ0-DS (入力)	P10	○	○	○	○
		IRQ0 (入力)	P52	○	○	○	○
			PE5	○	○	○	○
			PG0	○	×	×	×
	IRQ1	IRQ1-DS (入力)	P11	○	○	○	○
		IRQ1 (入力)	P53	○	○	○	○
			PA5	○	○	○	○
			PE4	○	○	○	○
			PG1	○	×	×	×
	IRQ2	IRQ2-DS (入力)	PE3	○	○	○	○
		IRQ2 (入力)	P00	○	○	○	○
			P54	○	○	○	○
			PB6	○	○	○	○
			PD4	○	○	○	○
			PG2	○	×	×	×
	IRQ3	IRQ3-DS (入力)	PB4	○	○	○	○
		IRQ3 (入力)	P34	○	×	×	×
			P55	○	○	○	○
			P82	○	○	○	○
			PE6	○	×	×	×
	IRQ4	IRQ4-DS (入力)	P96	○	○	○	○
		IRQ4 (入力)	P01	○	○	○	○
			P24	○	○	○	○
			P60	○	○	○	○
			PB1	○	○	○	○
	IRQ5	IRQ5-DS (入力)	P70	○	○	○	○
		IRQ5 (入力)	P61	○	○	○	○
			P80	○	○	○	○
			PD6	○	○	○	○
			PF2	○	×	×	×
	IRQ6	IRQ6-DS (入力)	P21	○	○	○	○
		IRQ6 (入力)	P31	○	○	○	○
			P35	○	×	×	×
			P62	○	○	○	○
			PD5	○	○	○	○

表21.1　マルチプル端子の割り当て端子一覧 (2 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
割り込み	IRQ7	IRQ7-DS (入力)	P20	○	○	○	○
		IRQ7 (入力)	P30	○	○	○	○
			P63	○	○	○	○
			PA6	○	×	×	×
			PE0	○	○	○	○
	IRQ8	IRQ8-DS (入力)	PK1	○	×	×	×
		IRQ8 (入力)	P64	○	○	○	○
			PB0	○	○	○	○
			PD7	○	○	○	○
	IRQ9	IRQ9-DS (入力)	PK2	○	×	×	×
		IRQ9 (入力)	P12	○	×	×	×
			P65	○	○	○	○
			PB3	○	○	○	○
	IRQ10	IRQ10-DS (入力)	PC5	○	×	×	×
		IRQ10 (入力)	P13	○	×	×	×
			P22	○	○	○	○
			P25	○	×	×	×
	IRQ11	IRQ11-DS (入力)	PC6	○	×	×	×
		IRQ11 (入力)	P14	○	×	×	×
			P23	○	○	○	○
			P26	○	×	×	×
	IRQ12	IRQ12-DS (入力)	P32	○	○	○	○
		IRQ12 (入力)	P15	○	×	×	×
			PC0	○	×	×	×
			PF0	○	×	×	×
	IRQ13	IRQ13-DS (入力)	P33	○	○	○	○
		IRQ13 (入力)	P16	○	×	×	×
			PC1	○	×	×	×
			PF1	○	×	×	×
	IRQ14	IRQ14-DS (入力)	PA1	○	○	○	○
		IRQ14 (入力)	P17	○	×	×	×
			PC3	○	×	×	×
			PF3	○	×	×	×
	IRQ15	IRQ15-DS (入力)	PK0	○	×	×	×
		IRQ15 (入力)	P27	○	○	○	×
			PC2	○	×	×	×
			PE1	○	○	○	○

表21.1　マルチプル端子の割り当て端子一覧 (3 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
マルチファンクションタイマユニット3	MTU0	MTIOC0A(入出力)/MTIOC0A#(入出力)	P31	○	○	○	○
			PB3	○	○	○	○
		MTIOC0B(入出力)/MTIOC0B#(入出力)	P30	○	○	○	○
			PB2	○	○	○	○
			PC0	○	×	×	×
		MTIOC0C(入出力)/MTIOC0C#(入出力)	P27	○	○	○	×
			PB1	○	○	○	○
			PC1	○	×	×	×
		MTIOC0D(入出力)/MTIOC0D#(入出力)	PB0	○	○	○	○
			PC2	○	×	×	×
	MTU1	MTIOC1A(入出力)/MTIOC1A#(入出力)	P27	○	○	○	×
			PA5	○	○	○	○
			PC6	○	×	×	×
		MTIOC1B(入出力)/MTIOC1B#(入出力)	PA4	○	○	○	○
			PC5	○	×	×	×
	MTU2	MTIOC2A(入出力)/MTIOC2A#(入出力)	P35	○	×	×	×
			PA3	○	○	○	○
		MTIOC2B(入出力)/MTIOC2B#(入出力)	P34	○	×	×	×
			PA2	○	○	○	○
	MTU3	MTIOC3A(入出力)/MTIOC3A#(入出力)	P11	○	○	○	○
			P33	○	○	○	○
		MTIOC3B(入出力)/MTIOC3B#(入出力)	P12	○	×	×	×
			P71	○	○	○	○
		MTIOC3C(入出力)/MTIOC3C#(入出力)	P32	○	○	○	○
		MTIOC3D(入出力)/MTIOC3D#(入出力)	P15	○	×	×	×
			P74	○	○	○	○
	MTU4	MTIOC4A(入出力)/MTIOC4A#(入出力)	P13	○	×	×	×
			P72	○	○	○	○
		MTIOC4B(入出力)/MTIOC4B#(入出力)	P14	○	×	×	×
			P73	○	○	○	○
		MTIOC4C(入出力)/MTIOC4C#(入出力)	P16	○	×	×	×
			P75	○	○	○	○
		MTIOC4D(入出力)/MTIOC4D#(入出力)	P17	○	×	×	×
			P76	○	○	○	○
	MTU5	MTIC5U(入力)/MTIC5U#(入力)	P24	○	○	○	○
			P82	○	○	○	○
		MTIC5V(入力)/MTIC5V#(入力)	P23	○	○	○	○
			P81	○	○	○	○
		MTIC5W(入力)/MTIC5W#(入力)	P22	○	○	○	○
			P80	○	○	○	○

表21.1　マルチプル端子の割り当て端子一覧 (4 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
マルチファンクションタイマユニット3	MTU6	MTIOC6A (入出力) /MTIOC6A# (入出力)	PA1	○	○	○	○
		MTIOC6B (入出力) /MTIOC6B# (入出力)	P95	○	○	○	○
		MTIOC6C (入出力) /MTIOC6C# (入出力)	PA0	○	○	○	○
		MTIOC6D (入出力) /MTIOC6D# (入出力)	P92	○	○	○	○
	MTU7	MTIOC7A (入出力) /MTIOC7A# (入出力)	P94	○	○	○	○
		MTIOC7B (入出力) /MTIOC7B# (入出力)	P93	○	○	○	○
		MTIOC7C (入出力) /MTIOC7C# (入出力)	P91	○	○	○	○
		MTIOC7D (入出力) /MTIOC7D# (入出力)	P90	○	○	○	○
	MTU9	MTIOC9A (入出力) /MTIOC9A# (入出力)	P00	○	○	○	○
			P21	○	○	○	○
			P26	○	×	×	×
			P35	○	×	×	×
			PD7	○	○	○	○
		MTIOC9B (入出力)	P22	○	○	○	○
		MTIOC9B (入出力) /MTIOC9B# (入出力)	P10	○	○	○	○
			P34	○	×	×	×
			PC4	○	×	×	×
			PE0	○	○	○	○
		MTIOC9C (入出力) /MTIOC9C# (入出力)	P01	○	○	○	○
			P20	○	○	○	○
			P25	○	×	×	×
			PC6	○	×	×	×
			PD6	○	○	○	○
		MTIOC9D (入出力)	P11	○	○	○	○
		MTIOC9D (入出力) /MTIOC9D# (入出力)	PC3	○	×	×	×
			PC5	○	×	×	×
			PE1	○	○	○	○
			PE5	○	○	○	○
	MTU	MTCLKA (入力) /MTCLKA# (入力)	P21	○	○	○	○
			P33	○	○	○	○
			PA7	○	×	×	×
		MTCLKB (入力) /MTCLKB# (入力)	P20	○	○	○	○
			P32	○	○	○	○
			PA6	○	×	×	×
		MTCLKC (入力) /MTCLKC# (入力)	P11	○	○	○	○
			P31	○	○	○	○
			PA7	○	×	×	×
			PE4	○	○	○	○

表21.1　マルチプル端子の割り当て端子一覧 (5 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
マルチファンクション タイマユニット 3	MTU	MTCLKD (入力) /MTCLKD# (入力)	P10	○	○	○	○
			P22	○	○	○	○
			P30	○	○	○	○
			PA6	○	×	×	×
			PE3	○	○	○	○
		ADSM0 (出力)	PA7	○	×	×	×
			PB2	○	○	○	○
			PC2	○	×	×	×
		ADSM1 (出力)	PA6	○	×	×	×
			PB1	○	○	○	○
			PC1	○	×	×	×
汎用PWM タイマ	GPTW0	GTIOC0A (入出力) /GTIOC0A# (入出力)	P12	○	×	×	×
			P71	○	○	○	○
			PD2	○	○	○	○
			PD7	○	○	○	○
			PG1	○	×	×	×
		GTIOC0B (入出力) /GTIOC0B# (入出力)	P15	○	×	×	×
			P74	○	○	○	○
			PD1	○	×	○	○
			PD6	○	○	○	○
			PG2	○	×	×	×
	GPTW1	GTIOC1A (入出力) /GTIOC1A# (入出力)	P13	○	×	×	×
			P72	○	○	○	○
			PD0	○	×	○	○
			PD5	○	○	○	○
			PK2	○	×	×	×
		GTIOC1B (入出力) /GTIOC1B# (入出力)	P16	○	×	×	×
			P75	○	○	○	○
			PB7	○	×	○	○
			PD4	○	○	○	○
			PG0	○	×	×	×
	GPTW2	GTIOC2A (入出力) /GTIOC2A# (入出力)	P14	○	×	×	×
			P73	○	○	○	○
			PB6	○	○	○	○
			PD3	○	○	○	○
			PK0	○	×	×	×
		GTIOC2B (入出力) /GTIOC2B# (入出力)	P17	○	×	×	×
			P76	○	○	○	○
			PB5	○	○	○	○
			PD2	○	○	○	○
			PK1	○	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (6 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
汎用PWMタイマ	GPTW3	GTIOC3A(入出力)/GTIOC3A#(入出力)	P32	○	○	○	○
			PD1	○	×	○	○
			PD7	○	○	○	○
			PE5	○	○	○	○
		GTIOC3B(入出力)/GTIOC3B#(入出力)	P11	○	○	○	○
			P33	○	○	○	○
			PD0	○	×	○	○
			PD6	○	○	○	○
	GPTW4	GTIOC4A(入出力)/GTIOC4A#(入出力)	P71	○	○	○	○
			P95	○	○	○	○
		GTIOC4B(入出力)/GTIOC4B#(入出力)	P74	○	○	○	○
			P92	○	○	○	○
	GPTW5	GTIOC5A(入出力)/GTIOC5A#(入出力)	P72	○	○	○	○
			P94	○	○	○	○
		GTIOC5B(入出力)/GTIOC5B#(入出力)	P75	○	○	○	○
			P91	○	○	○	○
	GPTW6	GTIOC6A(入出力)/GTIOC6A#(入出力)	P73	○	○	○	○
			P93	○	○	○	○
		GTIOC6B(入出力)/GTIOC6B#(入出力)	P76	○	○	○	○
			P90	○	○	○	○
	GPTW7	GTIOC7A(入出力)/GTIOC7A#(入出力)	P12	○	×	×	×
			P95	○	○	○	○
		GTIOC7B(入出力)/GTIOC7B#(入出力)	P15	○	×	×	×
			P92	○	○	○	○
	GPTW8	GTIOC8A(入出力)/GTIOC8A#(入出力)	P13	○	×	×	×
			P94	○	○	○	○
		GTIOC8B(入出力)/GTIOC8B#(入出力)	P16	○	×	×	×
			P91	○	○	○	○
	GPTW9	GTIOC9A(入出力)/GTIOC9A#(入出力)	P14	○	×	×	×
			P93	○	○	○	○
		GTIOC9B(入出力)/GTIOC9B#(入出力)	P17	○	×	×	×
			P90	○	○	○	○
	GPTW	GTETRGA(入力)	P01	○	○	○	○
			P11	○	○	○	○
			P70	○	○	○	○
			P96	○	○	○	○
			PB4	○	○	○	○
			PD5	○	○	○	○
			PE3	○	○	○	○
			PE4	○	○	○	○
			PE6	○	×	×	×
			PF3	○	×	×	×
			PG2	○	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (7 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
汎用PWMタイマ	GPTW	GTETRGB (入力)	P01	○	○	○	○
			P10	○	○	○	○
			P34	○	×	×	×
			P70	○	○	○	○
			P96	○	○	○	○
			PB4	○	○	○	○
			PD4	○	○	○	○
			PE3	○	○	○	○
			PE4	○	○	○	○
			PE5	○	○	○	○
			PE6	○	×	×	×
			PF2	○	×	×	×
		GTETRGC (入力)	P01	○	○	○	○
			P11	○	○	○	○
			P70	○	○	○	○
			P96	○	○	○	○
			PB4	○	○	○	○
			PD3	○	○	○	○
			PE3	○	○	○	○
			PE4	○	○	○	○
			PE6	○	×	×	×
			PF1	○	×	×	×
		GTETRGD (入力)	P01	○	○	○	○
			P10	○	○	○	○
			P70	○	○	○	○
			P96	○	○	○	○
			PB4	○	○	○	○
			PE3	○	○	○	○
			PE4	○	○	○	○
			PE5	○	○	○	○
			PE6	○	×	×	×
			PF0	○	×	×	×
		GTADSM0 (出力)	P35	○	×	×	×
			PA3	○	○	○	○
			PA7	○	×	×	×
			PB2	○	○	○	○
			PC2	○	×	×	×
		GTADSM1 (出力)	P34	○	×	×	×
			PA2	○	○	○	○
			PA6	○	×	×	×
			PB1	○	○	○	○
			PC1	○	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (8 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
ポートアウトプットイネーブル3	POE0	POE0#(入力)	P70	○	○	○	○
	POE4	POE4#(入力)	P96	○	○	○	○
	POE8	POE8#(入力)	PB4	○	○	○	○
	POE9	POE9#(入力)	P11	○	○	○	○
			P27	○	○	○	×
	POE10	POE10#(入力)	PE2	○	○	○	○
			PE4	○	○	○	○
			PE6	○	×	×	×
	POE11	POE11#(入力)	PE3	○	○	○	○
	POE12	POE12#(入力)	P01	○	○	○	○
			P10	○	○	○	○
			PK2	○	×	×	×
	POE13	POE13#(入力)	PK1	○	×	×	×
	POE14	POE14#(入力)	PK0	○	×	×	×
8ビットタイマ	TMR0	TMO0(出力)	P33	○	○	○	○
			P35	○	×	×	×
			PB0	○	○	○	○
			PD3	○	○	○	○
		TMCI0(入力)	PB1	○	○	○	○
			PD4	○	○	○	○
		TMRI0(入力)	PB2	○	○	○	○
			PD5	○	○	○	○
	TMR1	TMO1(出力)	PD6	○	○	○	○
			PF0	○	×	×	×
		TMCI1(入力)	PD2	○	○	○	○
			PE0	○	○	○	○
		TMRI1(入力)	PD7	○	○	○	○
	TMR2	TMO2(出力)	P23	○	○	○	○
			PA0	○	○	○	○
			PA7	○	×	×	×
			PD1	○	×	○	○
		TMCI2(入力)	P24	○	○	○	○
		TMRI2(入力)	P22	○	○	○	○
	TMR3	TMO3(出力)	P11	○	○	○	○
			PF2	○	×	×	×
		TMCI3(入力)	PA5	○	○	○	○
		TMRI3(入力)	P10	○	○	○	○

表21.1　マルチプル端子の割り当て端子一覧 (9 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
8ビットタイマ	TMR4	TMO4 (出力)	P22	○	○	○	○
			P34	○	×	×	×
			P82	○	○	○	○
			PA1	○	○	○	○
			PD2	○	○	○	○
		TMCI4 (入力)	P21	○	○	○	○
			P81	○	○	○	○
		TMRI4 (入力)	P20	○	○	○	○
			P80	○	○	○	○
	TMR5	TMO5 (出力)	PE1	○	○	○	○
			PF1	○	×	×	×
		TMCI5 (入力)	PE0	○	○	○	○
		TMRI5 (入力)	PD7	○	○	○	○
	TMR6	TMO6 (出力)	P24	○	○	○	○
			P32	○	○	○	○
			PA6	○	×	×	×
			PD0	○	×	○	○
		TMCI6 (入力)	P30	○	○	○	○
			PD4	○	○	○	○
		TMRI6 (入力)	P31	○	○	○	○
			PD5	○	○	○	○
	TMR7	TMO7 (出力)	PA2	○	○	○	○
			PF3	○	×	×	×
		TMCI7 (入力)	PA4	○	○	○	○
		TMRI7 (入力)	PA3	○	○	○	○
シリアルコミュニケーションインタフェース	SCI1	RXD1 (入力) /SMISO1 (入出力) /SSCL1 (入出力)	P34	○	×	×	×
			PC3	○	×	×	×
			PD5	○	○	○	○
		TXD1 (出力) /SMOSI1 (入出力) /SSDA1 (入出力)	P35	○	×	×	×
			PC4	○	×	×	×
			PD3	○	○	○	○
		SCK1 (入出力)	P25	○	×	×	×
			PD4	○	○	○	○
		CTS1# (入力) /RTS1# (出力) /SS1# (入力)	P26	○	×	×	×
			PD6	○	○	○	○

表21.1　マルチプル端子の割り当て端子一覧 (10 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
シリアルコミュニケーションインタフェース	SCI5	RXD5(入力)/SMISO5(入出力)/SSCL5(入出力)	PB6	○	○	○	○
			PE0	○	○	○	○
			PK0	○	×	×	×
		TXD5(出力)/SMOSI5(入出力)/SSDA5(入出力)	PB5	○	○	○	○
			PD7	○	○	○	○
			PK1	○	×	×	×
		SCK5(入出力)	PB7	○	×	○	○
			PD2	○	○	○	○
			PK2	○	×	×	×
		CTS5#(入力)/RTS5#(出力)/SS5#(入力)	PB4	○	○	○	○
			PE1	○	○	○	○
	SCI6	RXD6(入力)/SMISO6(入出力)/SSCL6(入出力)	P80	○	○	○	○
			PA5	○	○	○	○
			PB1	○	○	○	○
		TXD6(出力)/SMOSI6(入出力)/SSDA6(入出力)	P81	○	○	○	○
			PB0	○	○	○	○
			PB2	○	○	○	○
		SCK6(入出力)	P82	○	○	○	○
			PA4	○	○	○	○
			PB3	○	○	○	○
		CTS6#(入力)/RTS6#(出力)/SS6#(入力)	P10	○	○	○	○
			PA2	○	○	○	○
	SCI8	RXD8(入力)/SMISO8(入出力)/SSCL8(入出力)	P22	○	○	○	○
			PA5	○	○	○	○
			PC0	○	×	×	×
			PD1	○	×	○	○
		TXD8(出力)/SMOSI8(入出力)/SSDA8(入出力)	P21	○	○	○	○
			P23	○	○	○	○
			PA4	○	○	○	○
			PC1	○	×	×	×
			PD0	○	×	○	○
		SCK8(入出力)	P20	○	○	○	○
			P24	○	○	○	○
			P30	○	○	○	○
			PA3	○	○	○	○
			PC2	○	×	×	×
			PD2	○	○	○	○
		CTS8#(入力)/RTS8#(出力)/SS8#(入力)	P20	○	○	○	○
			P24	○	○	○	○
			P30	○	○	○	○
			P35	○	×	×	×
			P96	○	○	○	○
			PK1	○	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (11 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
シリアルコミュニケーションインタフェース	SCI9	RXD9 (入力)/SMISO9 (入出力)/SSCL9 (入出力)	P00	○	○	○	○
			PA2	○	○	○	○
			PG0	○	×	×	×
		TXD9 (出力)/SMOSI9 (入出力)/SSDA9 (入出力)	P01	○	○	○	○
			PA1	○	○	○	○
			PA3	○	○	○	○
			PG1	○	×	×	×
		SCK9 (入出力)	PA0	○	○	○	○
			PE4	○	○	○	○
			PE5	○	○	○	○
			PG2	○	×	×	×
		CTS9# (入力)/RTS9# (出力)/SS9# (入力)	P34	○	×	×	×
			P70	○	○	○	○
			PE3	○	○	○	○
			PE5	○	○	○	○
			PK2	○	×	×	×
	SCI11	RXD11 (入力)/SMISO11 (入出力)/SSCL11 (入出力)	PA1	○	○	○	○
			PA7	○	×	×	×
			PB6	○	○	○	○
			PC6	○	×	×	×
			PD5	○	○	○	○
			PF1	○	×	×	×
		TXD11 (出力)/SMOSI11 (入出力)/SSDA11 (入出力)	PA0	○	○	○	○
			PA6	○	×	×	×
			PB5	○	○	○	○
			PC5	○	×	×	×
			PD3	○	○	○	○
			PF0	○	×	×	×
		SCK11 (入出力)	PA2	○	○	○	○
			PB4	○	○	○	○
			PB7	○	×	○	○
			PD4	○	○	○	○
			PF2	○	×	×	×
		CTS11# (入力)/RTS11# (出力)/SS11# (入力)	PB0	○	○	○	○
			PB4	○	○	○	○
			PD6	○	○	○	○
			PF3	○	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (12 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
シリアルコミュニケーションインタフェース	SCI12	RXD12(入力)/SMISO12(入出力)/SSCL12(入出力)/RXDX12(入力)	P00	○	○	○	○
			P22	○	○	○	○
			P80	○	○	○	○
			PA7	○	×	×	×
			PB6	○	○	○	○
			PC3	○	×	×	×
		TXD12(出力)/SMOSI12(入出力)/SSDA12(入出力)/TXDX12(出力)/SIOX12(入出力)	P01	○	○	○	○
			P21	○	○	○	○
			P23	○	○	○	○
			P81	○	○	○	○
			PA6	○	×	×	×
			PB5	○	○	○	○
			PC4	○	×	×	×
		SCK12(入出力)	P82	○	○	○	○
			PB7	○	×	○	○
		CTS12#(入力)/RTS12#(出力)/SS12#(入力)	PE1	○	○	○	○
I²Cバスインタフェース		SCL0(入出力)	PB1	○	○	○	○
		SDA0(入出力)	PB2	○	○	○	○
USB2.0FSホスト/ファンクションモジュール	USB0	USB0_VBUS(入力)	PC0	○	×	×	×
			PD2	○	○	×	×
		USB0_EXICEN(出力)	PA0	○	○	×	×
			PC1	○	×	×	×
		USB0_VBUSEN(出力)	PA0	○	○	×	×
			PC1	○	×	×	×
			PB5	○	○	×	×
		USB0_OVRCURA(入力)	PA1	○	○	×	×
			PB6	○	○	×	×
			PC2	○	×	×	×
		USB0_OVRCURB(入力)	P34	○	×	×	×
			PB4	○	○	×	×
			PB7	○	×	×	×
			PE0	○	○	×	×
		USB0_ID(入力)	PA1	○	○	×	×
			PC2	○	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (13 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
CANモジュール	CAN0	CTX0 (出力)	P23	○	○	○	○
			PA0	○	○	○	○
			PA6	○	×	×	×
			PB5	○	○	○	○
			PC5	○	×	×	×
			PD7	○	○	○	○
			PF2	○	×	×	×
		CRX0 (入力)	P22	○	○	○	○
			PA1	○	○	○	○
			PA7	○	×	×	×
			PB6	○	○	○	○
			PC6	○	×	×	×
			PE0	○	○	○	○
			PF3	○	×	×	×
シリアルペリフェラルインタフェース		RSPCKA (入出力)	P20	○	○	○	○
			P24	○	○	○	○
			PA4	○	○	○	○
			PB3	○	○	○	○
			PD0	○	×	○	○
		MOSIA (入出力)	P21	○	○	○	○
			P23	○	○	○	○
			PB0	○	○	○	○
			PD2	○	○	○	○
		MISOA (入出力)	P22	○	○	○	○
			PA5	○	○	○	○
			PD1	○	×	○	○
		SSLA0 (入出力)	P30	○	○	○	○
			PA3	○	○	○	○
			PD6	○	○	○	○
		SSLA1 (出力)	P31	○	○	○	○
			PA2	○	○	○	○
			PD7	○	○	○	○
		SSLA2 (出力)	P32	○	○	○	○
			PA1	○	○	○	○
			PE0	○	○	○	○
		SSLA3 (出力)	P33	○	○	○	○
			PA0	○	○	○	○
			PE1	○	○	○	○
12ビットA/Dコンバータ		AN000 (入力)(注1)	P40	○	○	○	○
		AN001 (入力)(注1)	P41	○	○	○	○
		AN002 (入力)(注1)	P42	○	○	○	○
		AN003 (入力)(注1)	P43	○	○	○	○
		AN004 (入力)(注1)	PH1	○	×	×	×
		AN005 (入力)(注1)	PH2	○	×	×	×
		AN006 (入力)(注1)	PH3	○	×	×	×

表21.1　マルチプル端子の割り当て端子一覧 (14 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
12ビットA/Dコンバータ		AN007 (入力) (注1)	PH0	○	○	○	×
		ADTRG0# (入力)	P20	○	○	○	○
			PA1	○	○	○	○
			PA4	○	○	○	○
		ADST0 (出力)	P26	○	×	×	×
			PD6	○	○	○	○
			PE5	○	○	○	○
		PGAVSS0 (入力) (注1)	PH0	○	○	○	×
		AN100 (入力) (注1)	P44	○	○	○	○
		AN101 (入力) (注1)	P45	○	○	○	○
		AN102 (入力) (注1)	P46	○	○	○	○
		AN103 (入力) (注1)	P47	○	○	○	○
		AN104 (入力) (注1)	PH5	○	×	×	×
		AN105 (入力) (注1)	PH6	○	×	×	×
		AN106 (入力) (注1)	PH7	○	×	×	×
		AN107 (入力) (注1)	PH4	○	○	○	×
		ADTRG1# (入力)	P21	○	○	○	○
			PA5	○	○	○	○
		ADST1 (出力)	P00	○	○	○	○
			P25	○	×	×	×
		PGAVSS1 (入力) (注1)	PH4	○	○	○	×
		AN200 (入力) (注1)	P52	○	○	○	○
		AN201 (入力) (注1)	P53	○	○	○	○
		AN202 (入力) (注1)	P54	○	○	○	○
		AN203 (入力) (注1)	P55	○	○	○	○
		AN204 (入力) (注1)	P50	○	×	×	○
		AN205 (入力) (注1)	P51	○	×	×	○
		AN206 (入力) (注1)	P60	○	○	○	○
		AN207 (入力) (注1)	P61	○	○	○	○
		AN208 (入力) (注1)	P62	○	○	○	○
		AN209 (入力) (注1)	P63	○	○	○	○
		AN210 (入力) (注1)	P64	○	○	○	○
		AN211 (入力) (注1)	P65	○	○	○	○
		AN216 (入力) (注1)	P20	○	○	○	○
		AN217 (入力) (注1)	P21	○	○	○	○
		ADTRG2# (入力)	P22	○	○	○	○
			PB0	○	○	○	○
		ADST2 (出力)	P01	○	○	○	○
			PC4	○	×	×	×
12ビットD/Aコンバータ		DA0 (出力) (注1)	P64	○	○	○	○
		DA1 (出力) (注1)	P65	○	○	○	○
クロック周波数精度測定回路		CACREF (入力)	P00	○	○	○	○
			P23	○	○	○	○
			PB3	○	○	○	○

表21.1　マルチプル端子の割り当て端子一覧 (15 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
コンパレータ		COMP0 (出力)	P00	○	○	○	○
			P24	○	○	○	○
			PF3	○	×	×	×
			PG2	○	×	×	×
		COMP1 (出力)	P01	○	○	○	○
			P23	○	○	○	○
			PF2	○	×	×	×
			PG1	○	×	×	×
		COMP2 (出力)	P22	○	○	○	○
			PF1	○	×	×	×
			PG0	○	×	×	×
		COMP3 (出力)	P30	○	○	○	○
			P80	○	○	○	○
			PC0	○	×	×	×
			PF0	○	×	×	×
			PK2	○	×	×	×
		COMP4 (出力)	P20	○	○	○	○
			P81	○	○	○	○
			PC1	○	×	×	×
			PC3	○	×	×	×
			PK1	○	×	×	×
		COMP5 (出力)	P21	○	○	○	○
			P82	○	○	○	○
			PC2	○	×	×	×
			PC4	○	×	×	×
			PK0	○	×	×	×
		CVREFC0 (入力) (注1)	PH3	○	×	×	×
		CVREFC1 (入力) (注1)	PH7	○	×	×	×
		CMPC00 (入力) (注1)	P40	○	○	○	○
		CMPC01 (入力) (注1)		○	○	○	○
		CMPC02 (入力) (注1)	P52	○	○	○	○
		CMPC03 (入力) (注1)	P60	○	○	○	○
		CMPC10 (入力) (注1)	P41	○	○	○	○
		CMPC11 (入力) (注1)		○	○	○	○
		CMPC12 (入力) (注1)	P53	○	○	○	○
		CMPC13 (入力) (注1)	P61	○	○	○	○
		CMPC20 (入力) (注1)	P42	○	○	○	○
		CMPC21 (入力) (注1)		○	○	○	○
		CMPC22 (入力) (注1)	P54	○	○	○	○
		CMPC23 (入力) (注1)	P63	○	○	○	○
		CMPC30 (入力) (注1)	P44	○	○	○	○
		CMPC31 (入力) (注1)		○	○	○	○
		CMPC32 (入力) (注1)	P55	○	○	○	○
		CMPC33 (入力) (注1)	P64	○	○	○	○

表21.1　マルチプル端子の割り当て端子一覧 (16 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				PGA疑似差動入力あり製品			PGA疑似差動入力なし製品
				144ピン	100ピン	100ピン	100ピン
				USBあり	USBあり	USBなし	USBなし
コンパレータ		CMPC40 (入力) (注1)	P45	○	○	○	○
		CMPC41 (入力) (注1)		○	○	○	○
		CMPC42 (入力) (注1)	P50	○	×	×	○
		CMPC43 (入力) (注1)	P62	○	○	○	○
		CMPC50 (入力) (注1)	P46	○	○	○	○
		CMPC51 (入力) (注1)		○	○	○	○
		CMPC52 (入力) (注1)	P51	○	×	×	○
		CMPC53 (入力) (注1)	P65	○	○	○	○

注1.　この端子を使用する場合は、該当端子の設定を汎用入力にしてください(PORTm.PDR.BnビットおよびPORTm.PMR.Bnビットに“0”を設定)。

21.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

21.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0：PFSレジスタへの書き込みを禁止 1：PFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止ビット	0：PFSWEビットへの書き込みを許可 1：PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを “1” にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

PFSWE ビットを “1” にする場合は、B0WI ビットに “0” を書いた後、PFSWE ビットを “1” にしてください。

B0WI ビット (PFSWE ビット書き込み禁止ビット)

B0WI ビットを “0” にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

21.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0, 1)

アドレス P00PFS 0008 C140h, P01PFS 0008 C141h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.2を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P00：IRQ2 (100/144ピン) P01：IRQ4 (100/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。PSEL[5:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

表21.2　144ピン、100ピン端子入出力機能レジスタ設定

PSEL[5:0] ビット設定値	端子	
	P00	P01
000000b (初期値)	Hi-Z	
000001b	MTIOC9A	MTIOC9C
000011b	MTIOC9A#	MTIOC9C#
000111b	CACREF	POE12#
001001b	ADST1	ADST2
001010b	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
001100b	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12
010100b	—	GTETRGA
010101b	—	GTETRGB
010110b	—	GTETRGC
010111b	—	GTETRGD
011110b	COMP0	COMP1

—：設定しないでください。

21.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 0 ～ 7)

アドレス　P10PFS 0008 C148h, P11PFS 0008 C149h, P12PFS 0008 C14Ah, P13PFS 0008 C14Bh, P14PFS 0008 C14Ch, P15PFS 0008 C14Dh, P16PFS 0008 C14Eh, P17PFS 0008 C14Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.3～表21.4を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P10：IRQ0-DS (100/144ピン) P11：IRQ1-DS (100/144ピン) P12：IRQ9 (144ピン) P13：IRQ10 (144ピン) P14：IRQ11 (144ピン) P15：IRQ12 (144ピン) P16：IRQ13 (144ピン) P17：IRQ14 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.3　144ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	P10	P11	P12	P13	P14	P15	P16	P17
000000b (初期値)	Hi-Z							
000001b	MTIOC9B	MTIOC3A	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
000010b	MTCLKD	MTCLKC	—	—	—	—	—	—
000011b	MTIOC9B#	MTIOC3A#	MTIOC3B#	MTIOC4A#	MTIOC4B#	MTIOC3D#	MTIOC4C#	MTIOC4D#
000100b	MTCLKD#	MTCLKC#	—	—	—	—	—	—
000101b	TMRI3	TMO3	—	—	—	—	—	—
000111b	POE12#	POE9#	—	—	—	—	—	—
001000b	—	MTIOC9D	—	—	—	—	—	—
001010b	CTS6# RTS6# SS6#	—	—	—	—	—	—	—
010100b	—	GTIOC3B	GTIOC0A	GTIOC1A	GTIOC2A	GTIOC0B	GTIOC1B	GTIOC2B
010101b	GTETRGB	GTETRGA	GTIOC7A	GTIOC8A	GTIOC9A	GTIOC7B	GTIOC8B	GTIOC9B
010110b	—	GTIOC3B#	GTIOC0A#	GTIOC1A#	GTIOC2A#	GTIOC0B#	GTIOC1B#	GTIOC2B#
010111b	GTETRGD	GTETRGC	GTIOC7A#	GTIOC8A#	GTIOC9A#	GTIOC7B#	GTIOC8B#	GTIOC9B#

—：設定しないでください。

表21.4　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子	
	P10	P11
000000b (初期値)	Hi-Z	
000001b	MTIOC9B	MTIOC3A
000010b	MTCLKD	MTCLKC
000011b	MTIOC9B#	MTIOC3A#
000100b	MTCLKD#	MTCLKC#
000101b	TMRI3	TMO3
000111b	POE12#	POE9#
001000b	—	MTIOC9D
001010b	CTS6# RTS6# SS6#	—
010100b	—	GTIOC3B
010101b	GTETRGB	GTETRGA
010110b	—	GTIOC3B#
010111b	GTETRGD	GTETRGC

—：設定しないでください。

21.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ～ 7)

アドレス　P20PFS 0008 C150h, P21PFS 0008 C151h, P22PFS 0008 C152h, P23PFS 0008 C153h, P24PFS 0008 C154h, P25PFS 0008 C155h, P26PFS 0008 C156h, P27PFS 0008 C157h

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.5～表21.7を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P20：IRQ7-DS (100/144ピン) P21：IRQ6-DS (100/144ピン) P22：IRQ10 (100/144ピン) P23：IRQ11 (100/144ピン) P24：IRQ4 (100/144ピン) P25：IRQ10 (144ピン) P26：IRQ11 (144ピン) P27：IRQ15 (100(注1)/144ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する P20：AN216 (100/144ピン) P21：AN217 (100/144ピン)	R/W

注1.　PGA疑似差動入力あり製品のみ対応

表21.5　144ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
000000b (初期値)	Hi-Z							
000001b	MTIOC9C	MTIOC9A	MTIC5W	MTIC5V	MTIC5U	MTIOC9C	MTIOC9A	MTIOC1A
000010b	MTCLKB	MTCLKA	MTCLKD	—	—	—	—	MTIOC0C
000011b	MTIOC9C#	MTIOC9A#	MTIC5W#	MTIC5V#	MTIC5U#	MTIOC9C#	MTIOC9A#	MTIOC1A#
000100b	MTCLKB#	MTCLKA#	MTCLKD#	—	—	—	—	MTIOC0C#
000101b	TMRI4	TMCI4	TMRI2	TMO2	TMCI2	—	—	—
000110b	—	—	TMO4	—	TMO6	—	—	—
000111b	—	—	—	CACREF	—	—	—	POE9#
001000b	—	—	MTIOC9B	—	—	—	—	—
001001b	ADTRG0#	ADTRG1#	ADTRG2#	—	—	ADST1	ADST0	—
001010b	CTS8# RTS8# SS8#	TXD8 SMOSI8 SSDA8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8	CTS8# RTS8# SS8#	SCK1	CTS1# RTS1# SS1#	—
001011b	SCK8	—	—	—	SCK8	—	—	—
001100b	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	—	—	—
001101b	RSPCKA	MOSIA	MISOA	MOSIA	RSPCKA	—	—	—
010000b	—	—	CRX0	CTX0	—	—	—	—
011110b	COMP4	COMP5	COMP2	COMP1	COMP0	—	—	—

—：設定しないでください。

表21.6　100ピン(PGA疑似差動入力あり製品)端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	P20	P21	P22	P23	P24	P27
000000b (初期値)	Hi-Z					
000001b	MTIOC9C	MTIOC9A	MTIC5W	MTIC5V	MTIC5U	MTIOC1A
000010b	MTCLKB	MTCLKA	MTCLKD	—	—	MTIOC0C
000011b	MTIOC9C#	MTIOC9A#	MTIC5W#	MTIC5V#	MTIC5U#	MTIOC1A#
000100b	MTCLKB#	MTCLKA#	MTCLKD#	—	—	MTIOC0C#
000101b	TMRI4	TMCI4	TMRI2	TMO2	TMCI2	—
000110b	—	—	TMO4	—	TMO6	—
000111b	—	—	—	CACREF	—	POE9#
001000b	—	—	MTIOC9B	—	—	—
001001b	ADTRG0#	ADTRG1#	ADTRG2#	—	—	—
001010b	CTS8# RTS8# SS8#	TXD8 SMOSI8 SSDA8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8	CTS8# RTS8# SS8#	—
001011b	SCK8	—	—	—	SCK8	—
001100b	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	—
001101b	RSPCKA	MOSIA	MISOA	MOSIA	RSPCKA	—
010000b	—	—	CRX0	CTX0	—	—
011110b	COMP4	COMP5	COMP2	COMP1	COMP0	—

—：設定しないでください。

表21.7　100ピン(PGA疑似差動入力なし製品)端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子				
	P20	P21	P22	P23	P24
000000b (初期値)	Hi-Z				
000001b	MTIOC9C	MTIOC9A	MTIC5W	MTIC5V	MTIC5U
000010b	MTCLKB	MTCLKA	MTCLKD	—	—
000011b	MTIOC9C#	MTIOC9A#	MTIC5W#	MTIC5V#	MTIC5U#
000100b	MTCLKB#	MTCLKA#	MTCLKD#	—	—
000101b	TMRI4	TMCI4	TMRI2	TMO2	TMCI2
000110b	—	—	TMO4	—	TMO6
000111b	—	—	—	CACREF	—
001000b	—	—	MTIOC9B	—	—
001001b	ADTRG0#	ADTRG1#	ADTRG2#	—	—
001010b	CTS8# RTS8# SS8#	TXD8 SMOSI8 SSDA8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8	CTS8# RTS8# SS8#
001011b	SCK8	—	—	—	SCK8
001100b	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—
001101b	RSPCKA	MOSIA	MISOA	MOSIA	RSPCKA
010000b	—	—	CRX0	CTX0	—
011110b	COMP4	COMP5	COMP2	COMP1	COMP0

—：設定しないでください。

21.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ～ 5)

アドレス　P30PFS 0008 C158h, P31PFS 0008 C159h, P32PFS 0008 C15Ah, P33PFS 0008 C15Bh, P34PFS 0008 C15Ch, P35PFS 0008 C15Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.8～表21.9を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P30：IRQ7 (100/144ピン) P31：IRQ6 (100/144ピン) P32：IRQ12-DS (100/144ピン) P33：IRQ13-DS (100/144ピン) P34：IRQ3 (144ピン) P35：IRQ6 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.8　144ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	P30	P31	P32	P33	P34	P35
000000b (初期値)	Hi-Z					
000001b	MTIOC0B	MTIOC0A	MTIOC3C	MTIOC3A	MTIOC2B	MTIOC2A
000010b	MTCLKD	MTCLKC	MTCLKB	MTCLKA	MTIOC9B	MTIOC9A
000011b	MTIOC0B#	MTIOC0A#	MTIOC3C#	MTIOC3A#	MTIOC2B#	MTIOC2A#
000100b	MTCLKD#	MTCLKC#	MTCLKB#	MTCLKA#	MTIOC9B#	MTIOC9A#
000101b	TMCI6	TMRI6	TMO6	TMO0	TMO4	TMO0
001010b	SCK8	—	—	—	CTS9# RTS9# SS9#	CTS8# RTS8# SS8#
001011b	CTS8# RTS8# SS8#	—	—	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1
001101b	SSLA0	SSLA1	SSLA2	SSLA3	—	—
010001b	—	—	—	—	USB0_OVRCURB	—
010100b	—	—	GTIOC3A	GTIOC3B	GTADSM1	GTADSM0
010101b	—	—	—	—	GTETRGB	—
010110b	—	—	GTIOC3A#	GTIOC3B#	—	—
011110b	COMP3	—	—	—	—	—

—：設定しないでください。

表21.9　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子			
	P30	P31	P32	P33
000000b (初期値)	Hi-Z			
000001b	MTIOC0B	MTIOC0A	MTIOC3C	MTIOC3A
000010b	MTCLKD	MTCLKC	MTCLKB	MTCLKA
000011b	MTIOC0B#	MTIOC0A#	MTIOC3C#	MTIOC3A#
000100b	MTCLKD#	MTCLKC#	MTCLKB#	MTCLKA#
000101b	TMCI6	TMRI6	TMO6	TMO0
001010b	SCK8	—	—	—
001011b	CTS8# RTS8# SS8#	—	—	—
001101b	SSLA0	SSLA1	SSLA2	SSLA3
010100b	—	—	GTIOC3A	GTIOC3B
010110b	—	—	GTIOC3A#	GTIOC3B#
011110b	COMP3	—	—	—

—：設定しないでください。

21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ～ 7)

アドレス　P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h,
P44PFS 0008 C164h, P45PFS 0008 C165h, P46PFS 0008 C166h, P47PFS 0008 C167h

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する P40：AN000, CMPC00, CMPC01 (100/144 ピン) P41：AN001, CMPC10, CMPC11 (100/144 ピン) P42：AN002, CMPC20, CMPC21 (100/144 ピン) P43：AN003 (100/144 ピン) P44：AN100, CMPC30, CMPC31 (100/144 ピン) P45：AN101, CMPC40, CMPC41 (100/144 ピン) P46：AN102, CMPC50, CMPC51 (100/144 ピン) P47：AN103 (100/144 ピン)	R/W

21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ～ 5)

アドレス　P50PFS 0008 C168h, P51PFS 0008 C169h, P52PFS 0008 C16Ah, P53PFS 0008 C16Bh, P54PFS 0008 C16Ch, P55PFS 0008 C16Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P52：IRQ0 (100/144ピン) P53：IRQ1 (100/144ピン) P54：IRQ2 (100/144ピン) P55：IRQ3 (100/144ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する P50：AN204, CMPC42 (100(注1)/144ピン) P51：AN205, CMPC52 (100(注1)/144ピン) P52：AN200, CMPC02 (100/144ピン) P53：AN201, CMPC12 (100/144ピン) P54：AN202, CMPC22 (100/144ピン) P55：AN203, CMPC32 (100/144ピン)	R/W

注1.　PGA疑似差動入力なし製品のみ対応

21.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ～ 5)

アドレス　P60PFS 0008 C170h, P61PFS 0008 C171h, P62PFS 0008 C172h, P63PFS 0008 C173h, P64PFS 0008 C174h, P65PFS 0008 C175h

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P60：IRQ4 (100/144ピン) P61：IRQ5 (100/144ピン) P62：IRQ6 (100/144ピン) P63：IRQ7 (100/144ピン) P64：IRQ8 (100/144ピン) P65：IRQ9 (100/144ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する P60：AN206, CMPC03 (100/144ピン) P61：AN207, CMPC13 (100/144ピン) P62：AN208, CMPC43 (100/144ピン) P63：AN209, CMPC23 (100/144ピン) P64：AN210, CMPC33, DA0 (100/144ピン) P65：AN211, CMPC53, DA1 (100/144ピン)	R/W

21.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ～ 6)

アドレス　P70PFS 0008 C178h, P71PFS 0008 C179h, P72PFS 0008 C17Ah, P73PFS 0008 C17Bh, P74PFS 0008 C17Ch, P75PFS 0008 C17Dh, P76PFS 0008 C17Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.10を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P70：IRQ5-DS (100/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.10　144ピン、100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子						
	P70	P71	P72	P73	P74	P75	P76
000000b (初期値)	Hi-Z						
000001b	—	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
000011b	—	MTIOC3B#	MTIOC4A#	MTIOC4B#	MTIOC3D#	MTIOC4C#	MTIOC4D#
000111b	POE0#	—	—	—	—	—	—
001010b	CTS9# RTS9# SS9#	—	—	—	—	—	—
010100b	GTETRGA	GTIOC0A	GTIOC1A	GTIOC2A	GTIOC0B	GTIOC1B	GTIOC2B
010101b	GTETRGB	GTIOC4A	GTIOC5A	GTIOC6A	GTIOC4B	GTIOC5B	GTIOC6B
010110b	GTETRGC	GTIOC0A#	GTIOC1A#	GTIOC2A#	GTIOC0B#	GTIOC1B#	GTIOC2B#
010111b	GTETRGD	GTIOC4A#	GTIOC5A#	GTIOC6A#	GTIOC4B#	GTIOC5B#	GTIOC6B#

—：設定しないでください。

21.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ～ 2)

アドレス P80PFS 0008 C180h, P81PFS 0008 C181h, P82PFS 0008 C182h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.11を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P80：IRQ5 (100/144ピン) P82：IRQ3 (100/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.11　144ピン、100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子		
	P80	P81	P82
000000b (初期値)	Hi-Z		
000001b	MTIC5W	MTIC5V	MTIC5U
000011b	MTIC5W#	MTIC5V#	MTIC5U#
000101b	TMRI4	TMCI4	TMO4
001010b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6
001100b	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	SCK12
011110b	COMP3	COMP4	COMP5

21.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ～ 6)

アドレス　P90PFS 0008 C188h, P91PFS 0008 C189h, P92PFS 0008 C18Ah, P93PFS 0008 C18Bh, P94PFS 0008 C18Ch, P95PFS 0008 C18Dh, P96PFS 0008 C18Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.12を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する P96：IRQ4-DS (100/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.12　144ピン、100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子						
	P90	P91	P92	P93	P94	P95	P96
000000b (初期値)	Hi-Z						
000001b	MTIOC7D	MTIOC7C	MTIOC6D	MTIOC7B	MTIOC7A	MTIOC6B	—
000011b	MTIOC7D#	MTIOC7C#	MTIOC6D#	MTIOC7B#	MTIOC7A#	MTIOC6B#	—
000111b	—	—	—	—	—	—	POE4#
001010b	—	—	—	—	—	—	CTS8# RTS8# SS8#
010100b	GTIOC6B	GTIOC5B	GTIOC4B	GTIOC6A	GTIOC5A	GTIOC4A	GTETRGA
010101b	GTIOC9B	GTIOC8B	GTIOC7B	GTIOC9A	GTIOC8A	GTIOC7A	GTETRGB
010110b	GTIOC6B#	GTIOC5B#	GTIOC4B#	GTIOC6A#	GTIOC5A#	GTIOC4A#	GTETRGC
010111b	GTIOC9B#	GTIOC8B#	GTIOC7B#	GTIOC9A#	GTIOC8A#	GTIOC7A#	GTETRGD

—：設定しないでください。

21.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ～ 7)

アドレス　PA0PFS 0008 C190h, PA1PFS 0008 C191h, PA2PFS 0008 C192h, PA3PFS 0008 C193h, PA4PFS 0008 C194h, PA5PFS 0008 C195h, PA6PFS 0008 C196h, PA7PFS 0008 C197h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.13～表21.14を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PA1：IRQ14-DS (100/144ピン) PA5：IRQ1 (100/144ピン) PA6：IRQ7 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.13　144ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
000000b (初期値)	Hi-Z							
000001b	MTIOC6C	MTIOC6A	MTIOC2B	MTIOC2A	MTIOC1B	MTIOC1A	MTCLKB	MTCLKA
000010b	—	—	—	—	—	—	MTCLKD	MTCLKC
000011b	MTIOC6C#	MTIOC6A#	MTIOC2B#	MTIOC2A#	MTIOC1B#	MTIOC1A#	MTCLKB#	MTCLKA#
000100b	—	—	—	—	—	—	MTCLKD#	MTCLKC#
000101b	TMO2	TMO4	TMO7	TMRI7	TMCI7	TMCI3	TMO6	TMO2
001001b	—	ADTRG0#	—	—	ADTRG0#	ADTRG1#	ADSM1	ADSM0
001010b	SCK9	TXD9 SMOSI9 SSDA9	CTS6# RTS6# SS6#	TXD9 SMOSI9 SSDA9	SCK6	RXD6 SMISO6 SSCL6	—	—
001011b	TXD11 SMOSI11 SSDA11	RXD11 SMISO11 SSCL11	RXD9 SMISO9 SSCL9	SCK8	TXD8 SMOSI8 SSDA8	RXD8 SMISO8 SSCL8	TXD11 SMOSI11 SSDA11	RXD11 SMISO11 SSCL11
001100b	—	—	SCK11	—	—	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12
001101b	SSLA3	SSLA2	SSLA1	SSLA0	RSPCKA	MISOA	—	—
010000b	CTX0	CRX0	—	—	—	—	CTX0	CRX0
010001b	USB0_EXICEN	USB0_ID	—	—	—	—	—	—
010010b	USB0_VBUSEN	USB0_OVRCURA	—	—	—	—	—	—
010100b	—	—	GTADSM1	GTADSM0	—	—	GTADSM1	GTADSM0

—：設定しないでください。

表21.14　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	PA0	PA1	PA2	PA3	PA4	PA5
000000b (初期値)	Hi-Z					
000001b	MTIOC6C	MTIOC6A	MTIOC2B	MTIOC2A	MTIOC1B	MTIOC1A
000011b	MTIOC6C#	MTIOC6A#	MTIOC2B#	MTIOC2A#	MTIOC1B#	MTIOC1A#
000101b	TMO2	TMO4	TMO7	TMRI7	TMCI7	TMCI3
001001b	—	ADTRG0#	—	—	ADTRG0#	ADTRG1#
001010b	SCK9	TXD9 SMOSI9 SSDA9	CTS6# RTS6# SS6#	TXD9 SMOSI9 SSDA9	SCK6	RXD6 SMISO6 SSCL6
001011b	TXD11 SMOSI11 SSDA11	RXD11 SMISO11 SSCL11	RXD9 SMISO9 SSCL9	SCK8	TXD8 SMOSI8 SSDA8	RXD8 SMISO8 SSCL8
001100b	—	—	SCK11	—	—	—
001101b	SSLA3	SSLA2	SSLA1	SSLA0	RSPCKA	MISOA
010000b	CTX0	CRX0	—	—	—	—
010001b	USB0_EXICEN	USB0_ID	—	—	—	—
010010b	USB0_VBUSEN	USB0_OVRCURA	—	—	—	—
010100b	—	—	GTADSM1	GTADSM0	—	—

—：設定しないでください。

21.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ～ 7)

アドレス　PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB2PFS 0008 C19Ah, PB3PFS 0008 C19Bh, PB4PFS 0008 C19Ch, PB5PFS 0008 C19Dh, PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.15を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PB0：IRQ8 (100/144ピン) PB1：IRQ4 (100/144ピン) PB3：IRQ9 (100/144ピン) PB4：IRQ3-DS (100/144ピン) PB6：IRQ2 (100/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.15　144ピン、100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7 (注1)
000000b (初期値)	Hi-Z							
000001b	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—	—
000011b	MTIOC0D#	MTIOC0C#	MTIOC0B#	MTIOC0A#	—	—	—	—
000101b	TMO0	TMCI0	TMRI0	—	—	—	—	—
000111b	—	—	—	CACREF	POE8#	—	—	—
001001b	ADTRG2#	ADSM1	ADSM0	—	—	—	—	—
001010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	CTS5# RTS5# SS5#	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5	SCK5
001011b	CTS11# RTS11# SS11#	—	—	—	SCK11	TXD11 SMOSI11 SSDA11	RXD11 SMISO11 SSCL11	SCK11
001100b	—	—	—	—	CTS11# RTS11# SS11#	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	SCK12
001101b	MOSIA	—	—	RSPCKA	—	—	—	—
001111b	—	SCL0	SDA0	—	—	—	—	—
010000b	—	—	—	—	—	CTX0	CRX0	—
010001b	—	—	—	—	USB0_OVRCURB	USB0_VBUSEN	USB0_OVRCURA	USB0_OVRCURB
010100b	—	GTADSM1	GTADSM0	—	GTETRGA	GTIOC2B	GTIOC2A	GTIOC1B
010101b	—	—	—	—	GTETRGB	—	—	—
010110b	—	—	—	—	GTETRGC	GTIOC2B#	GTIOC2A#	GTIOC1B#
010111b	—	—	—	—	GTETRGD	—	—	—

—：設定しないでください。

注1.　PB7は、100ピンのUSBあり製品では対応していません。

21.2.14 PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ～ 6)

アドレス　PC0PFS 0008 C1A0h, PC1PFS 0008 C1A1h, PC2PFS 0008 C1A2h, PC3PFS 0008 C1A3h, PC4PFS 0008 C1A4h, PC5PFS 0008 C1A5h, PC6PFS 0008 C1A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.16を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PC0：IRQ12 (144ピン) PC1：IRQ13 (144ピン) PC2：IRQ15 (144ピン) PC3：IRQ14 (144ピン) PC5：IRQ10-DS (144ピン) PC6：IRQ11-DS (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.16　144ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子						
	PC0	PC1	PC2	PC3	PC4	PC5	PC6
000000b (初期値)	Hi-Z						
000001b	MTIOC0B	MTIOC0C	MTIOC0D	MTIOC9D	MTIOC9B	MTIOC1B	MTIOC1A
000010b	—	—	—	—	—	MTIOC9D	MTIOC9C
000011b	MTIOC0B#	MTIOC0C#	MTIOC0D#	MTIOC9D#	MTIOC9B#	MTIOC1B#	MTIOC1A#
000100b	—	—	—	—	—	MTIOC9D#	MTIOC9C#
001001b	—	ADSM1	ADSM0	—	ADST2	—	—
001010b	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8	SCK8	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	—	—
001011b	—	—	—	—	—	TXD11 SMOSI11 SSDA11	RXD11 SMISO11 SSCL11
001100b	—	—	—	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	—
010000b	—	—	—	—	—	CTX0	CRX0
010001b	USB0_VBUS	USB0_EXICEN	USB0_ID	—	—	—	—
010010b	—	USB0_VBUSEN	USB0_OVRCURA	—	—	—	—
010100b	—	GTADSM1	GTADSM0	—	—	—	—
011110b	COMP3	COMP4	COMP5	COMP4	COMP5	—	—

—：設定しないでください。

21.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ～ 7)

アドレス　PD0PFS 0008 C1A8h, PD1PFS 0008 C1A9h, PD2PFS 0008 C1AAh, PD3PFS 0008 C1ABh, PD4PFS 0008 C1ACh, PD5PFS 0008 C1ADh, PD6PFS 0008 C1AEh, PD7PFS 0008 C1AFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.17を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PD4：IRQ2 (100/144ピン) PD5：IRQ6 (100/144ピン) PD6：IRQ5 (100/144ピン) PD7：IRQ8 (100/144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.17　144ピン、100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子							
	PD0 (注1)	PD1 (注1)	PD2	PD3	PD4	PD5	PD6	PD7
000000b (初期値)	Hi-Z							
000001b	—	—	—	—	—	—	MTIOC9C	MTIOC9A
000011b	—	—	—	—	—	—	MTIOC9C#	MTIOC9A#
000101b	TMO6	TMO2	TMCI1	TMO0	TMCI0	TMRI0	TMO1	TMRI1
000110b	—	—	TMO4	—	TMCI6	TMRI6	—	TMRI5
001001b	—	—	—	—	—	—	ADST0	—
001010b	—	—	SCK5	TXD1 SMOSI1 SSDA1	SCK1	RXD1 SMISO1 SSCL1	CTS1# RTS1# SS1#	TXD5 SMOSI5 SSDA5
001011b	TXD8 SMOSI8 SSDA8	RXD8 SMISO8 SSCL8	SCK8	TXD11 SMOSI11 SSDA11	SCK11	RXD11 SMISO11 SSCL11	CTS11# RTS11# SS11#	—
001101b	RSPCKA	MISOA	MOSIA	—	—	—	SSLA0	SSLA1
010000b	—	—	—	—	—	—	—	CTX0
010001b	—	—	USB0_VBUS	—	—	—	—	—
010100b	GTIOC3B	GTIOC3A	GTIOC2B	GTIOC2A	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A
010101b	GTIOC1A	GTIOC0B	GTIOC0A	GTETRGC	GTETRGB	GTETRGA	GTIOC3B	GTIOC3A
010110b	GTIOC3B#	GTIOC3A#	GTIOC2B#	GTIOC2A#	GTIOC1B#	GTIOC1A#	GTIOC0B#	GTIOC0A#
010111b	GTIOC1A#	GTIOC0B#	GTIOC0A#	—	—	—	GTIOC3B#	GTIOC3A#

—：設定しないでください。
注1.　PD1、PD0は、100ピンのUSBあり製品では対応していません。

21.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ～ 6)

アドレス　PE0PFS 0008 C1B0h, PE1PFS 0008 C1B1h, PE2PFS 0008 C1B2h, PE3PFS 0008 C1B3h, PE4PFS 0008 C1B4h, PE5PFS 0008 C1B5h, PE6PFS 0008 C1B6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.18～表21.19を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PE0：IRQ7 (100/144ピン) PE1：IRQ15 (100/144ピン) PE3：IRQ2-DS (100/144ピン) PE4：IRQ1 (100/144ピン) PE5：IRQ0 (100/144ピン) PE6：IRQ3 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.18　144ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子						
	PE0	PE1	PE2	PE3	PE4	PE5	PE6
000000b (初期値)	Hi-Z						
000001b	MTIOC9B	MTIOC9D	—	—	—	MTIOC9D	—
000010b	—	—	—	MTCLKD	MTCLKC	—	—
000011b	MTIOC9B#	MTIOC9D#	—	—	—	MTIOC9D#	—
000100b	—	—	—	MTCLKD#	MTCLKC#	—	—
000101b	TMCI1	TMO5	—	—	—	—	—
000110b	TMCI5	—	—	—	—	—	—
000111b	—	—	POE10#	POE11#	POE10#	—	POE10#
001001b	—	—	—	—	—	ADST0	—
001010b	RXD5 SMISO5 SSCL5	CTS5# RTS5# SS5#	—	CTS9# RTS9# SS9#	SCK9	SCK9	—
001011b	—	—	—	—	—	CTS9# RTS9# SS9#	—
001100b	—	CTS12# RTS12# SS12#	—	—	—	—	—
001101b	SSLA2	SSLA3	—	—	—	—	—
010000b	CRX0	—	—	—	—	—	—
010001b	USB0_OVRCURB	—	—	—	—	—	—
010100b	—	—	—	GTETRGA	GTETRGA	GTIOC3A	GTETRGA
010101b	—	—	—	GTETRGB	GTETRGB	GTETRGB	GTETRGB
010110b	—	—	—	GTETRGC	GTETRGC	GTIOC3A#	GTETRGC
010111b	—	—	—	GTETRGD	GTETRGD	GTETRGD	GTETRGD

—：設定しないでください。

表21.19　100ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子					
	PE0	PE1	PE2	PE3	PE4	PE5
000000b (初期値)	Hi-Z					
000001b	MTIOC9B	MTIOC9D	—	—	—	MTIOC9D
000010b	—	—	—	MTCLKD	MTCLKC	—
000011b	MTIOC9B#	MTIOC9D#	—	—	—	MTIOC9D#
000100b	—	—	—	MTCLKD#	MTCLKC#	—
000101b	TMCI1	TMO5	—	—	—	—
000110b	TMCI5	—	—	—	—	—
000111b	—	—	POE10#	POE11#	POE10#	—
001001b	—	—	—	—	—	ADST0
001010b	RXD5 SMISO5 SSCL5	CTS5# RTS5# SS5#	—	CTS9# RTS9# SS9#	SCK9	SCK9
001011b	—	—	—	—	—	CTS9# RTS9# SS9#
001100b	—	CTS12# RTS12# SS12#	—	—	—	—
001101b	SSLA2	SSLA3	—	—	—	—
010000b	CRX0	—	—	—	—	—
010001b	USB0_OVRCURB	—	—	—	—	—
010100b	—	—	—	GTETRGA	GTETRGA	GTIOC3A
010101b	—	—	—	GTETRGB	GTETRGB	GTETRGB
010110b	—	—	—	GTETRGC	GTETRGC	GTIOC3A#
010111b	—	—	—	GTETRGD	GTETRGD	GTETRGD

—：設定しないでください。

21.2.17 PFn 端子機能制御レジスタ (PFnPFS) (n = 0 ～ 3)

アドレス PF0PFS 0008 C1B8h, PF1PFS 0008 C1B9h, PF2PFS 0008 C1BAh, PF3PFS 0008 C1BBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.20を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PF0：IRQ12 (144ピン) PF1：IRQ13 (144ピン) PF2：IRQ5 (144ピン) PF3：IRQ14 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.20　144ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子			
	PF0	PF1	PF2	PF3
000000b (初期値)	Hi-Z			
000101b	TMO1	TMO5	TMO3	TMO7
001011b	TXD11 SMOSI11 SSDA11	RXD11 SMISO11 SSCL11	SCK11	CTS11# RTS11# SS11#
010000b	—	—	CTX0	CRX0
010100b	GTETRGD	GTETRGC	GTETRGB	GTETRGA
011110b	COMP3	COMP2	COMP1	COMP0

—：設定しないでください。

21.2.18 PGn 端子機能制御レジスタ (PGnPFS) (n = 0 ～ 2)

アドレス PG0PFS 0008 C1C0h, PG1PFS 0008 C1C1h, PG2PFS 0008 C1C2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.21を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PG0：IRQ0 (144ピン) PG1：IRQ1 (144ピン) PG2：IRQ2 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.21　144ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子		
	PG0	PG1	PG2
000000b (初期値)	Hi-Z		
001010b	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9	SCK9
010100b	—	—	GTETRGA
010101b	GTIOC1B	GTIOC0A	GTIOC0B
010111b	GTIOC1B#	GTIOC0A#	GTIOC0B#
011110b	COMP2	COMP1	COMP0

—：設定しないでください。

21.2.19 PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ～ 7)

アドレス　PH0PFS 0008 C1C8h, PH1PFS 0008 C1C9h, PH2PFS 0008 C1CAh, PH3PFS 0008 C1CBh, PH4PFS 0008 C1CCh, PH5PFS 0008 C1CDh, PH6PFS 0008 C1CEh, PH7PFS 0008 C1CFh

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する PH0：AN007, PGAVSS0 (100 (注1)/144 ピン) PH1：AN004 (144 ピン) PH2：AN005 (144 ピン) PH3：AN006, CVREFC0 (144 ピン) PH4：AN107, PGAVSS1 (100 (注1)/144 ピン) PH5：AN104 (144 ピン) PH6：AN105 (144 ピン) PH7：AN106, CVREFC1 (144 ピン)	R/W

注1.　PGA疑似差動入力あり製品のみ対応

21.2.20 PKn 端子機能制御レジスタ (PKnPFS) (n = 0 ～ 2)

アドレス PK0PFS 0008 C1D8h, PK1PFS 0008 C1D9h, PK2PFS 0008 C1DAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	PSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.22を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する PK0：IRQ15-DS (144ピン) PK1：IRQ8-DS (144ピン) PK2：IRQ9-DS (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.22　144ピン端子入出力機能レジスタ設定

PSEL[5:0]ビット設定値	端子		
	PK0	PK1	PK2
000000b (初期値)	Hi-Z		
000111b	POE14#	POE13#	POE12#
001010b	—	CTS8# RTS8# SS8#	CTS9# RTS9# SS9#
001011b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5
010101b	GTIOC2A	GTIOC2B	GTIOC1A
010111b	GTIOC2A#	GTIOC2B#	GTIOC1A#
011110b	COMP5	COMP4	COMP3

—：設定しないでください。

21.2.21 CS 出力許可レジスタ (PFCSE)

アドレス 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CS3E	CS2E	CS1E	CS0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	CS0許可ビット	0：CSn#出力禁止 1：CSn#出力許可 (n = 0～3)	R/W
b1	CS1E	CS1許可ビット		R/W
b2	CS2E	CS2許可ビット		R/W
b3	CS3E	CS3許可ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnE ビット (CSn 許可ビット) (n = 0 ～ 3)

対応する CSn# 出力の許可 / 禁止を選択します。

CSn# を出力する場合には、対応する PFCSE.CSnE ビットを “1” にしてください。

21.2.22 CS 出力端子選択レジスタ 0 (PFCSS0)

アドレス 0008 C102h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	CS3S	CS2S[1:0]		CS1S[1:0]		—	CS0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0S	CS0#出力端子選択ビット	0：P96をCS0#出力端子として設定 1：PC0をCS0#出力端子として設定	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CS1S[1:0]	CS1#出力端子選択ビット	b3 b2 0 0：P80をCS1#出力端子として設定 0 1：PK0をCS1#出力端子として設定 1 0：PF1をCS1#出力端子として設定 1 1：PC2をCS1#出力端子として設定	R/W
b5-b4	CS2S[1:0]	CS2#出力端子選択ビット	b5 b4 0 0：P81をCS2#出力端子として設定 0 1：P26をCS2#出力端子として設定 1 x：PF2をCS2#出力端子として設定	R/W
b6	CS3S	CS3#出力端子選択ビット	0：PF3をCS3#出力端子として設定 1：P25をCS3#出力端子として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x：Don’t care

CS0S ビット (CS0# 出力端子選択ビット)

CS3S ビット (CS3# 出力端子選択ビット)

CSnS[1:0] ビット (CSn# 出力端子選択ビット) (n = 1 ～ 2)

CSn# 出力許可時 (PFCSE.CSnE ビット = 1)、CSn# の出力端子を選択します。

21.2.23 アドレス出力許可レジスタ 0 (PFAOE0)

アドレス 0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A8E	アドレスA8出力許可ビット	0：A8出力禁止 1：A8出力許可	R/W
b1	A9E	アドレスA9出力許可ビット	0：A9出力禁止 1：A9出力許可	R/W
b2	A10E	アドレスA10出力許可ビット	0：A10出力禁止 1：A10出力許可	R/W
b3	A11E	アドレスA11出力許可ビット	0：A11出力禁止 1：A11出力許可	R/W
b4	A12E	アドレスA12出力許可ビット	0：A12出力禁止 1：A12出力許可	R/W
b5	A13E	アドレスA13出力許可ビット	0：A13出力禁止 1：A13出力許可	R/W
b6	A14E	アドレスA14出力許可ビット	0：A14出力禁止 1：A14出力許可	R/W
b7	A15E	アドレスA15出力許可ビット	0：A15出力禁止 1：A15出力許可	R/W

21.2.24 アドレス出力許可レジスタ 1 (PFAOE1)

アドレス 0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	A20E	A19E	A18E	A17E	A16E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0：A16出力禁止 1：A16出力許可	R/W
b1	A17E	アドレスA17出力許可ビット	0：A17出力禁止 1：A17出力許可	R/W
b2	A18E	アドレスA18出力許可ビット	0：A18出力禁止 1：A18出力許可	R/W
b3	A19E	アドレスA19出力許可ビット	0：A19出力禁止 1：A19出力許可	R/W
b4	A20E	アドレスA20出力許可ビット	0：A20出力禁止 1：A20出力許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

21.2.25　外部バス制御レジスタ 0 (PFBCR0)

アドレス　0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WR1BC1E	—	DHE	BCLKO	—	ADRHMS	ADRLE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADRLE	A0～A7出力許可ビット	0：PB0、PA2、PF0、PA3～PA5、PB0～PB3、PB4～PB7、PD0～PD2をI/Oポートとして設定 1：PB0、PA2、PF0、PA3～PA5、PB0～PB3、PB4～PB7、PD0～PD2を外部アドレスバスA0～A7として設定 A0出力選択については、「21.2.27　外部バス制御レジスタ2 (PFBCR2)」を参照してください。 詳細は、「表21.23　外部アドレスバスA1～A7の設定」を参照してください。	R/W
b1	ADRHMS	A12～A20出力選択ビット	本ビットとPFBCR4.ADRHMS2ビットの組み合わせで、外部アドレスバスの端子が選択されます。「表21.24　外部アドレスバスA12～A20の設定」を参照してください。	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	BCLKO	BCLK強制出力ビット	0：BCLKをEXBE = 0で出力しない(初期値) 1：BCLKをEXBEの値に関係なく出力する	R/W
b4	DHE	D8～D15出力許可ビット	0：外部データバスD8～D15出力禁止(I/Oポートとして設定) 1：外部データバスD8～D15出力許可 D8～D10：P32～P30 D11～D15：PFBCR2レジスタで選択 詳細は、「21.2.27　外部バス制御レジスタ2 (PFBCR2)」を参照してください。	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0：PE0をI/Oポートとして設定 1：PE0をWR1#またはBC1#として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BCLKO ビット (BCLK 強制出力ビット)

BCLK 端子の強制出力許可 / 禁止を選択します。

本ビットを “0” に設定した場合、EXBE ビットの状態で BCLK 出力許可 / 禁止が選択されますが、本ビットを “1” に設定した場合、EXBE ビットの状態に関係なく BCLK を出力します。

また、本ビットを “1” に設定した場合、PMR レジスタに関係なく BCLK が出力されますので注意してください。

［設定手順］

出力許可：PSTOP1 (停止) → BCLKO = 1 → PSTOP1 (動作)

出力禁止：PSTOP1 (動作) → PSTOP1 (停止) → BCLKO = 0

21.2.26 外部バス制御レジスタ 1 (PFBCR1)

アドレス 0008 C107h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ALEOE	WAITS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT選択ビット	b1 b0 0 0：P82、PE0、P96をWAIT#入力端子として設定しない 0 1：P82をWAIT#入力端子として設定 1 0：PE0をWAIT#入力端子として設定 1 1：P96をWAIT#入力端子として設定	R/W
b2	ALEOE	ALE出力許可ビット	0：ALE端子出力を禁止 1：ALE端子出力を許可	R/W
b7-B3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

WAITS[1:0] ビット (WAIT 選択ビット)

外部バス有効時、WAITS[1:0] ビットで指定したポートは WAIT# 端子になります。ただし、WAITS[1:0] = 00 に設定した場合は WAIT# 端子が指定されません。外部ウェイトを使用する場合には、WAITS[1:0] = 00 以外の値で WAIT# 端子を指定してください。また、指定したポートを WAIT# 端子として使用しない場合は、CSn モードレジスタの外部ウェイト許可ビット (CSnMOD.EWENB) を “0” (外部ウェイト禁止) に設定することで、汎用入力ポートや周辺機能入出力端子としても使用することが可能です。

指定した WAIT# 端子を WAIT 入力、汎用入力ポートのいずれとしても使用しない場合は、同端子をプルアップ / プルダウンしてください。

ALEOE ビット (ALE 出力許可ビット)

ALE 端子の出力許可 / 禁止を選択します。

21.2.27 外部バス制御レジスタ 2 (PFBCR2)

アドレス 0008 C108h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	A0S[1:0]		—	DHS	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	DHS	D11～D15選択ビット	0：P24～P20 を D11～D15端子として設定 1：PG2～PG0、PK2、PK1をD11～D15端子として設定	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	A0S[1:0]	A0/BC0#選択ビット	b5 b4 0 0：PB0、PA2、PF0をIOポートとして設定 0 1：PB0をA0またはBC0#として設定 1 0：PA2をA0またはBC0#として設定 1 1：PF0をA0またはBC0#として設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

21.2.28 外部バス制御レジスタ 3 (PFBCR3)

アドレス 0008 C109h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RDS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDS	RD#選択ビット	0：P11をRD#として設定 1：PE6をRD#として設定	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

21.2.29 外部バス制御レジスタ 4 (PFBCR4)

アドレス 0008 C10Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADRHMS2	—	ADRLMS	CS3S2	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	CS3S2	CS3#出力端子選択2ビット	0：PF3、P25をCS3#出力端子として設定 1：P27をCS3#出力端子として設定	R/W
b4	ADRLMS	A1～A7出力選択ビット	表21.23を参照してください	R/W
b5	—	予約ビット	書く場合、“0”としてください	R/W
b6	ADRHMS2	A12～A20出力選択2ビット	表21.24を参照してください	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.23 外部アドレスバスA1～A7の設定

ADRLMSビット	外部アドレスバスA1～A7の設定
0	PB4～PB7、PD0～PD2を設定
1	PA3～PA5、PB0～PB3を設定

表21.24 外部アドレスバスA12～A20の設定

ADRHMS2ビット	ADRHMSビット	外部アドレスバスA12～A20の設定
0	0	P65～P60、P55～P53 をA12～A20として設定
0	1	P34、P35、PA6、PA7、PC1、PF1～PF3、PC4 をA12～A20として設定
1	x	P63～P60、P55～P53 をA12～A18として設定

21.3　外部バスインタフェース設定方法

外部バスインタフェースを使用する場合は、MPC のレジスタを表 21.25 のとおりに設定して、システムコントロールレジスタ 0 の外部バス有効ビット (SYSCR0.EXBE) を “1” にしてください。

表 21.25 に各ポートの外部バスインタフェース設定方法を示します。

該当する MPC のレジスタの詳細は、「21.2　レジスタの説明」を参照してください。

表21.25　外部バスインタフェース設定方法 (1 / 3)

ポート	出力信号名	144 ピン	100 ピン
P00	A11	PFAOE0.A11E = 1	
P01	A10	PFAOE0.A10E = 1	
P11	RD#	PFBCR3.RDS = 0	
P20	D15 [A15/D15]	PFBCR0.DHE = 1, PFBCR2.DHS = 0	
P21	D14 [A14/D14]	PFBCR0.DHE = 1, PFBCR2.DHS = 0	
P22	D13 [A13/D13]	PFBCR0.DHE = 1, PFBCR2.DHS = 0	
P23	D12 [A12/D12]	PFBCR0.DHE = 1, PFBCR2.DHS = 0	
P24	D11 [A11/D11]	PFBCR0.DHE = 1, PFBCR2.DHS = 0	
P25	CS3#	PFCSE.CS3E = 1, PFCSS0.CS3S = 1, PFBCR4.CS3S2 = 0	(ピンなし)
P26	CS2#	PFCSE.CS2E = 1, PFCSS0.CS2S[1:0] = 01	(ピンなし)
P27	CS3# (注2)	PFCSE.CS3E = 1, PFBCR4.CS3S2 = 1	
P30	D10 [A10/D10]	PFBCR0.DHE = 1	
P31	D9 [A9/D9]	PFBCR0.DHE = 1	
P32	D8 [A8/D8]	PFBCR0.DHE = 1	
P33	D7[A7/D7]	—	
P34	A12	PFAOE0.A12E = 1, PFBCR0.ADRHMS = 1, PFBCR4.ADRHMS2 = 0	(ピンなし)
P35	A13	PFAOE0.A13E = 1, PFBCR0.ADRHMS = 1, PFBCR4.ADRHMS2 = 0	(ピンなし)
P53	A20	PFAOE1.A20E = 1, PFBCR0.ADRHMS = 0, PFBCR4.ADRHMS2 = 0	
	A18	PFAOE1.A18E = 1, PFBCR4.ADRHMS2 = 1	
P54	A19	PFAOE1.A19E = 1, PFBCR0.ADRHMS = 0, PFBCR4.ADRHMS2 = 0	
	A17	PFAOE1.A17E = 1, PFBCR4.ADRHMS2 = 1	
P55	A18	PFAOE1.A18E = 1, PFBCR0.ADRHMS = 0, PFBCR4.ADRHMS2 = 0	
	A16	PFAOE1.A16E = 1, PFBCR4.ADRHMS2 = 1	
P60	A17	PFAOE1.A17E = 1, PFBCR0.ADRHMS = 0, PFBCR4.ADRHMS2 = 0	
	A15	PFAOE1.A15E = 1, PFBCR4.ADRHMS2 = 1	
P61	A16	PFAOE1.A16E = 1, PFBCR0.ADRHMS = 0, PFBCR4.ADRHMS2 = 0	
	A14	PFAOE1.A14E = 1, PFBCR4.ADRHMS2 = 1	
P62	A15	PFAOE0.A15E = 1, PFBCR0.ADRHMS = 0, PFBCR4.ADRHMS2 = 0	
	A13	PFAOE1.A13E = 1, PFBCR4.ADRHMS2 = 1	
P63	A14	PFAOE0.A14E = 1, PFBCR0.ADRHMS = 0, PFBCR4.ADRHMS2 = 0	
	A12	PFAOE1.A12E = 1, PFBCR4.ADRHMS2 = 1	
P64	A13	PFAOE0.A13E = 1, PFBCR0.ADRHMS = 0, PFBCR4.ADRHMS2 = 0	
P65	A12	PFAOE0.A12E = 1, PFBCR0.ADRHMS = 0, PFBCR4.ADRHMS2 = 0	
P70	D6[A6/D6]	—	
P71	D5[A5/D5]	—	
P72	D4[A4/D4]	—	
P73	D3[A3/D3]	—	

表21.25　外部バスインタフェース設定方法 (2 / 3)

ポート	出力信号名	144ピン	100ピン
P74	D2[A2/D2]	—	
P75	D1[A1/D1]	—	
P76	D0[A0/D0]	—	
P80	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 00	
P81	CS2#	PFCSE.CS2E = 1, PFCSS0.CS2S[1:0] = 00	
P82	ALE	PFBCR1.ALEOE = 1	
	WAIT#	PFBCR1.WAITS[1:0] = 01	
P96	CS0#	PFCSE.CS0E = 1, PFCSS0.CS0S = 0	
	WAIT#	PFBCR1.WAITS[1:0] = 11	
PA2	A0	CSnMOD.WRMOD = 0, PFBCR0.ADRLE = 1, PFBCR2.A0S[1:0] = 10	
	BC0#	CSnMOD.WRMOD = 1, PFBCR0.ADRLE = 1, PFBCR2.A0S[1:0] = 10	
PA3	A1	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 1	
PA4	A2	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 1	
PA5	A3	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 1	
PA6	A14	PFAOE0.A14E = 1, PFBCR0.ADRHMS = 1, PFBCR4.ADRHMS2 = 0	(ピンなし)
PA7	A15	PFAOE0.A15E = 1, PFBCR0.ADRHMS = 1, PFBCR4.ADRHMS2 = 0	(ピンなし)
PB0	A0	CSnMOD.WRMOD = 0, PFBCR0.ADRLE = 1, PFBCR2.A0S[1:0] = 01	
	BC0#	CSnMOD.WRMOD = 1, PFBCR0.ADRLE = 1, PFBCR2.A0S[1:0] = 01	
	A4	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 1	
PB1	A5	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 1	
PB2	A6	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 1	
PB3	A7	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 1	
PB4	A1	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 0	
PB5	A2	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 0	
PB6	A3	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 0	
PB7	A4 (注1)	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 0	
PC0	CS0#	PFCSE.CS0E = 1, PFCSS0.CS0S = 1	(ピンなし)
PC1	A16	PFAOE1.A16E = 1, PFBCR0.ADRHMS = 1, PFBCR4.ADRHMS2 = 0	(ピンなし)
PC2	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 11	(ピンなし)
PC4	A20	PFAOE1.A20E = 1, PFBCR0.ADRHMS = 1, PFBCR4.ADRHMS2 = 0	(ピンなし)
PD0	A5 (注1)	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 0	
PD1	A6 (注1)	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 0	
PD2	A7	PFBCR0.ADRLE = 1, PFBCR4.ADRLMS = 0	
PE0	WR1#/BC1#	PFBCR0.WR1BC1E = 1	
	WAIT#	PFBCR1.WAITS[1:0] = 10	
PE1	WR0#/WR#	—	
PE3	A8	PFAOE0.A8E = 1	
PE4	A9	PFAOE0.A9E = 1	
PE5	BCLK	—	
PE6	RD#	PFBCR3.RDS = 1	(ピンなし)

表21.25　外部バスインタフェース設定方法 (3 / 3)

ポート	出力信号名	144ピン	100ピン
PF0	A0	CSnMOD.WRMOD = 0, PFBCR0.ADRLE = 1, PFBCR2.A0S[1:0] = 11	(ピンなし)
	BC0#	CSnMOD.WRMOD = 1, PFBCR0.ADRLE = 1, PFBCR2.A0S[1:0] = 11	(ピンなし)
PF1	A17	PFAOE1.A17E = 1, PFBCR0.ADRHMS = 1, PFBCR4.ADRHMS2 = 0	(ピンなし)
	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 10	(ピンなし)
PF2	A18	PFAOE1.A18E = 1, PFBCR0.ADRHMS = 1, PFBCR4.ADRHMS2 = 0	(ピンなし)
	CS2#	PFCSE.CS2E = 1, PFCSS0.CS2S[1:0] = 10/11	(ピンなし)
PF3	A19	PFAOE1.A19E = 1, PFBCR0.ADRHMS = 1, PFBCR4.ADRHMS2 = 0	(ピンなし)
	CS3#	PFCSE.CS3E = 1, PFCSS0.CS3S = 0, PFBCR4.CS3S2 = 0	(ピンなし)
PG0	D13[A13/D13]	PFBCR0.DHE = 1, PFBCR2.DHS = 1	(ピンなし)
PG1	D12[A12/D12]	PFBCR0.DHE = 1, PFBCR2.DHS = 1	(ピンなし)
PG2	D11[A11/D11]	PFBCR0.DHE = 1, PFBCR2.DHS = 1	(ピンなし)
PK0	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 01	(ピンなし)
PK1	D15[A15/D15]	PFBCR0.DHE = 1, PFBCR2.DHS = 1	(ピンなし)
PK2	D14[A14/D14]	PFBCR0.DHE = 1, PFBCR2.DHS = 1	(ピンなし)

注1.　100ピンのUSBあり製品はピンなし
注2.　100ピンのPGA疑似差動入力なし製品はピンなし

21.4 使用上の注意事項

21.4.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

(1) 当該端子のポートモードレジスタ (PMR) を “0” にして汎用入出力ポートに設定します。
(2) 周辺モジュールにおいて、当該端子にアサインする入出力信号を設定します。
(3) 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします。(m = 0 ～ 9, A ～ H, K, n = 0 ～ 7)
(4) PmnPFS.PSEL[5:0] ビットにより端子入出力機能を設定します。
(5) PWPR.PFSWE ビットを “0” にして、PmnPFS レジスタへの書き込み禁止してください。
(6) 必要に応じて PMR レジスタを “1” にして、選択された端子入出力機能に切り替えます。

21.4.2 MPC レジスタ設定する場合の注意事項

(1) Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが “0” の状態で設定してください。当該端子の PMR レジスタが “1” の状態で PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は意図しないパルスが出力されたりする可能性があります。
(2) PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合動作は保証されません。
(3) MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
(4) ポート 2、4 ～ 6、H は A/D コンバータ、コンパレータおよび D/A コンバータのアナログ入出力端子の機能も兼ねています。アナログ入出力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットおよびポート方向レジスタ (PDR) の当該ビットを “0” にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを “1” にしてください。
(5) ピンマルチされている端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を**表 21.26** に示します。端子状態の読み出しは、ASEL ビットが “0” のとき可能です。PSEL[5:0] ビットの変更は、PMR.Bn ビットが “0” のときに行ってください。

表21.26　レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[5:0]	
リセット解除後	0	0	0	0	000000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能(表21.2～表21.22参照)	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x(注1)	x	レジスタの設定は不要です
アナログ入出力	0	0	1	x(注1)	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
外部バス	0	x(注2)	0	0	x	PMR.Bnビットを“0”にして、周辺機能を選択しないでください
JTAGインタフェース	0	x	x	0	x	PMR.Bnビットを“0”に、PmnPFS.ISELビットを“0”にして入力バッファをOFFにしてください
FINEインタフェース	0	x	x	0	x	PMR.Bnビットを“0”に、PmnPFS.ISELビットを“0”にして入力バッファをOFFにしてください
EXTAL/XTAL	0	0	x	x(注1)	x	出力バッファをOFFするため、汎用入力ポートに設定してください

x：設定不要

0/1：PmnPFS.ISEL ビットを “0” にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを “1” にすれば、IRQ 端子として機能します (IRQ がピンマルチされている場合)

注1.　PmnPFS.ISELビットを“1”にしても、IRQn入力端子として機能しません。

注2.　WAIT#入力端子を使用する場合、対応するPORTm.PDRレジスタの該当ビットを“0”にしてください。

注 .
- 端子状態の読み出しは、PmnPFS.ASEL ビットが “0” のとき可能です。
- PmnPFS.PSEL[5:0] ビットの変更は、PMR.Bn ビットが “0” の状態で行ってください。
- RIIC をアサインしたポートは、PCR.Bn ビットを “0” にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。
- 同一端子に複数の外部バス信号を設定しないでください。

21.4.3　アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを “0”、ポート方向レジスタ (PDR) の当該ビットを “0” にし、当該端子を汎用入力ポートにしてから、Pmn 端子機能制御レジスタの端子機能選択ビット (PmnPFS.ASEL) を “1” にしてください。

21.4.4　POE3 の汎用入出力ポート切り替え制御の注意事項

POE3 で指定した出力停止要求が発生すると、PMMCRn レジスタ (n = 0 ～ 3) の当該ビットを “1” にした端子は、汎用入出力ポートに切り替わります。事前に対応する POECRn レジスタ (n = 0 ～ 3) のビットを “0” にしてください。

21.4.5 MTU、GPTW 入出力端子の反転入出力機能についての注意事項

表 21.27 に示す MTU、GPTW 入出力端子は、当該端子の PmnPFS.PSEL[5:0] ビットの設定により、入力信号を 反転して取り込み、出力信号を反転して出力させることができます。正転入出力状態と反転入出力状態を切り替える場合は、当該端子の PMR レジスタが “0” の状態で設定してください。

表21.27　MTU、GPTW入出力端子 (1 / 2)

モジュール/機能	チャネル	正転入出力	反転入出力
マルチファンクション タイマユニット3	MTU0	MTIOC0A	MTIOC0A#
		MTIOC0B	MTIOC0B#
		MTIOC0C	MTIOC0C#
		MTIOC0D	MTIOC0D#
	MTU1	MTIOC1A	MTIOC1A#
		MTIOC1B	MTIOC1B#
	MTU2	MTIOC2A	MTIOC2A#
		MTIOC2B	MTIOC2B#
	MTU3	MTIOC3A	MTIOC3A#
		MTIOC3B	MTIOC3B#
		MTIOC3C	MTIOC3C#
		MTIOC3D	MTIOC3D#
	MTU4	MTIOC4A	MTIOC4A#
		MTIOC4B	MTIOC4B#
		MTIOC4C	MTIOC4C#
		MTIOC4D	MTIOC4D#
	MTU5	MTIC5U	MTIC5U#
		MTIC5V	MTIC5V#
		MTIC5W	MTIC5W#
	MTU6	MTIOC6A	MTIOC6A#
		MTIOC6B	MTIOC6B#
		MTIOC6C	MTIOC6C#
		MTIOC6D	MTIOC6D#
	MTU7	MTIOC7A	MTIOC7A#
		MTIOC7B	MTIOC7B#
		MTIOC7C	MTIOC7C#
		MTIOC7D	MTIOC7D#
	MTU9	MTIOC9A	MTIOC9A#
		MTIOC9B	MTIOC9B#
		MTIOC9C	MTIOC9C#
		MTIOC9D	MTIOC9D#
	MTU	MTCLKA	MTCLKA#
		MTCLKB	MTCLKB#
		MTCLKC	MTCLKC#
		MTCLKD	MTCLKD#

表21.27　MTU、GPTW入出力端子 (2 / 2)

モジュール/機能	チャネル	正転入出力	反転入出力
汎用PWMタイマ	GPTW0	GTIOC0A	GTIOC0A#
		GTIOC0B	GTIOC0B#
	GPTW1	GTIOC1A	GTIOC1A#
		GTIOC1B	GTIOC1B#
	GPTW2	GTIOC2A	GTIOC2A#
		GTIOC2B	GTIOC2B#
	GPTW3	GTIOC3A	GTIOC3A#
		GTIOC3B	GTIOC3B#
	GPTW4	GTIOC4A	GTIOC4A#
		GTIOC4B	GTIOC4B#
	GPTW5	GTIOC5A	GTIOC5A#
		GTIOC5B	GTIOC5B#
	GPTW6	GTIOC6A	GTIOC6A#
		GTIOC6B	GTIOC6B#
	GPTW7	GTIOC7A	GTIOC7A#
		GTIOC7B	GTIOC7B#
	GPTW8	GTIOC8A	GTIOC8A#
		GTIOC8B	GTIOC8B#
	GPTW9	GTIOC9A	GTIOC9A#
		GTIOC9B	GTIOC9B#

22. マルチファンクションタイマパルスユニット 3 (MTU3d)

22.1 概要

本 MCU は、9 チャネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 3 (MTU3d) を内蔵しています。

表 22.1 に MTU の仕様を、表 22.2 に MTU の機能一覧を示します。また、図 22.1、図 22.2 に MTU のブロック図を示します。

表22.1　MTUの仕様

項目	内容
パルス入出力	最大28本
パルス入力	3本
カウントクロック	チャネルごとに11種類(MTU0、MTU9は14種類、MTU2は12種類、MTU5は10種類、MTU1 & MTU2 (LWA = 1のとき)は4種類)
設定可能動作	【MTU0～MTU4, MTU6, MTU7, MTU9】 • コンペアマッチによる波形出力 • インプットキャプチャ機能(ノイズフィルタ設定可能) • カウンタクリア動作 • 複数のタイマカウンタ(TCNT)への同時書き込み • コンペアマッチ/インプットキャプチャによる同時クリア • カウンタの同期動作による各レジスタの同期入出力 • 同期動作と組み合わせることによる最大14相のPWM出力
	【MTU0, MTU3, MTU4, MTU6, MTU7, MTU9】 • バッファ動作を設定可能
	【MTU1, MTU2】 • 独立に位相計数モードを設定可能 • MTU1、MTU2連動の32ビット位相計数モードを設定可能(TMDR3.LWA = 1設定時) • カスケード接続動作が可能
	【MTU3, MTU4, MTU6, MTU7】 • MTU3/MTU4、およびMTU6/MTU7の連動動作による相補PWM、リセット同期PWM動作で、6相のポジ/ネガ計12相の出力が可能 • 相補PWMモード時、タイマカウンタの山または谷のとき、またはバッファレジスタ(MTU4.TGRD, MTU7.TGRD)への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 • 相補PWMモードでダブルバッファ機能を設定可能
	【MTU3, MTU4】 • MTU0と連動させて、相補PWM、リセット同期PWMを用いたAC同期モータ(ブラシレスDCモータ)駆動モードが設定可能で、2種類(チョッピング、レベル)の波形出力が選択可能
	【MTU5】 • デッドタイム補償用カウンタとして使用することが可能
	【MTU6, MTU7】 • MTU9と連動させて、相補PWM、リセット同期PWMを用いたAC同期モータ(ブラシレスDCモータ)駆動モードが設定可能で、2種類(チョッピング、レベル)の波形出力が選択可能
割り込み間引き機能	相補PWMモード時に、カウンタの山、谷での割り込み、およびA/Dコンバータの変換スタートトリガを間引くことが可能
割り込み要因	45種類
バッファ動作	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)
トリガ生成	A/Dコンバータの変換開始トリガを生成可能
	A/D変換開始要求のディレイド機能により、任意のタイミングでA/D変換開始が可能。またPWM出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

表22.2　MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5	MTU6	MTU7	MTU9
カウントクロック	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB MTCLKC	MTCLKA MTCLKB MTCLKC MTCLKD	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTIOC1A	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB	PCLKC/1 PCLKC/2 PCLKC/4 PCLKC/8 PCLKC/16 PCLKC/32 PCLKC/64 PCLKC/256 PCLKC/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A
位相計数モードの外部クロック	—	MTCLKA MTCLKB	MTCLKA MTCLKB MTCLKC MTCLKD	MTCLKA MTCLKB MTCLKC MTCLKD	—	—	—	—	—	—
ジェネラルレジスタ(TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRALW TGRBLW	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRE
ジェネラルレジスタ/バッファレジスタ	TGRC TGRD TGRF	—	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	TGRC TGRD TGRF
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC1A MTIOC1B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	MTIC5U MTIC5V MTIC5W	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B MTIOC7C MTIOC7D	MTIOC9A MTIOC9B MTIOC9C MTIOC9D
カウンタクリア機能	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRALW/TGRBLWのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ
コンペアマッチ出力 0出力	○	○	○	○	○	○	—	○	○	○
コンペアマッチ出力 1出力	○	○	○	○	○	○	—	○	○	○
コンペアマッチ出力 トグル出力	○	○	○	○	○	○	—	○	○	○
インプットキャプチャ機能	○	○	○	○(注1)	○	○	○	○	○	○
同期動作	○	○	○	—	○	○	—	○	○	○
PWMモード1	○	○	○	—	○	○	—	○	○	○
PWMモード2	○	○	○	—	—	—	—	—	—	○
相補PWMモード	—	—	—	—	○	○	—	○	○	—
リセット同期PWMモード	—	—	—	—	○	○	—	○	○	—
AC同期モータ駆動モード	○	—	—	—	○	○	—	○	○	○
位相計数モード	—	○	○	○	—	—	—	—	—	—
バッファ動作	○	—	—	—	○	○	—	○	○	○
デッドタイム補償用カウンタ機能	—	—	—	—	—	—	○	—	—	—
DMAC/DTCの起動	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRALW/TGRBLWのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャとTCNTオーバフロー/アンダフロー(注2)	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャとTCNTオーバフロー/アンダフロー(注2)	TGRのコンペアマッチまたはインプットキャプチャ
A/D変換開始トリガ	TGRAのコンペアマッチまたはインプットキャプチャ TGREのコンペアマッチ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRALWのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ、または相補PWMモード時TCNTのアンダフロー(谷)	—	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ、または相補PWMモード時TCNTのアンダフロー(谷)	TGRAのコンペアマッチまたはインプットキャプチャ TGREのコンペアマッチ

表22.2　MTUの機能一覧 (2/2)

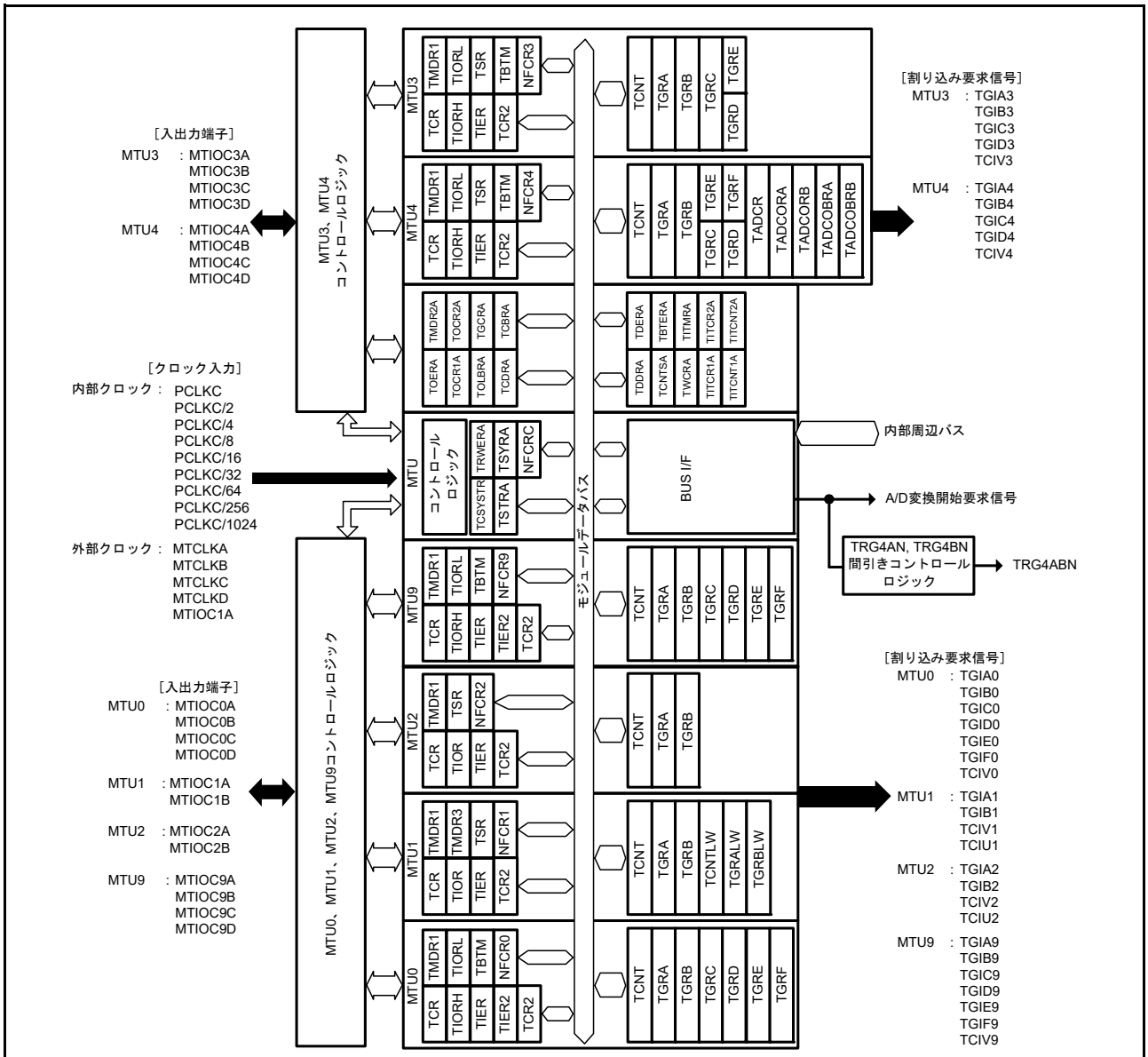
項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5	MTU6	MTU7	MTU9
割り込み要因	7要因 • コンペアマッチ/インプットキャプチャ 0A • コンペアマッチ/インプットキャプチャ 0B • コンペアマッチ/インプットキャプチャ 0C • コンペアマッチ/インプットキャプチャ 0D • コンペアマッチ0E • コンペアマッチ0F • オーバフロー	4要因 • コンペアマッチ/インプットキャプチャ 1A • コンペアマッチ/インプットキャプチャ 1B • オーバフロー • アンダフロー	4要因 • コンペアマッチ/インプットキャプチャ 2A • コンペアマッチ/インプットキャプチャ 2B • オーバフロー • アンダフロー	4要因 • コンペアマッチ/インプットキャプチャ 1A • コンペアマッチ/インプットキャプチャ 1B • オーバフロー • アンダフロー	5要因 • コンペアマッチ/インプットキャプチャ 3A • コンペアマッチ/インプットキャプチャ 3B • コンペアマッチ/インプットキャプチャ 3C • コンペアマッチ/インプットキャプチャ 3D • オーバフロー	5要因 • コンペアマッチ/インプットキャプチャ 4A • コンペアマッチ/インプットキャプチャ 4B • コンペアマッチ/インプットキャプチャ 4C • コンペアマッチ/インプットキャプチャ 4D • オーバフロー/アンダフロー(注2)	3要因 • コンペアマッチ/インプットキャプチャ 5U • コンペアマッチ/インプットキャプチャ 5V • コンペアマッチ/インプットキャプチャ 5W	5要因 • コンペアマッチ/インプットキャプチャ 6A • コンペアマッチ/インプットキャプチャ 6B • コンペアマッチ/インプットキャプチャ 6C • コンペアマッチ/インプットキャプチャ 6D • オーバフロー	5要因 • コンペアマッチ/インプットキャプチャ 7A • コンペアマッチ/インプットキャプチャ 7B • コンペアマッチ/インプットキャプチャ 7C • コンペアマッチ/インプットキャプチャ 7D • オーバフロー/アンダフロー(注2)	7要因 • コンペアマッチ/インプットキャプチャ 9A • コンペアマッチ/インプットキャプチャ 9B • コンペアマッチ/インプットキャプチャ 9C • コンペアマッチ/インプットキャプチャ 9D • コンペアマッチ9E • コンペアマッチ9F • オーバフロー
イベントリンク機能(出力)	7要因 • コンペアマッチ0A • コンペアマッチ0B • コンペアマッチ0C • コンペアマッチ0D • コンペアマッチ0E • コンペアマッチ0F • オーバフロー	—	—	—	5要因 • コンペアマッチ3A • コンペアマッチ3B • コンペアマッチ3C • コンペアマッチ3D • オーバフロー	6要因 • コンペアマッチ4A • コンペアマッチ4B • コンペアマッチ4C • コンペアマッチ4D • オーバフロー • アンダフロー(注2)	—	5要因 • コンペアマッチ6A • コンペアマッチ6B • コンペアマッチ6C • コンペアマッチ6D • オーバフロー	6要因 • コンペアマッチ7A • コンペアマッチ7B • コンペアマッチ7C • コンペアマッチ7D • オーバフロー • アンダフロー(注2)	7要因 • コンペアマッチ9A • コンペアマッチ9B • コンペアマッチ9C • コンペアマッチ9D • コンペアマッチ9E • コンペアマッチ9F • オーバフロー
イベントリンク機能(入力)	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作	—	—	—	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作	—	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作	• カウントスタート動作 • インプットキャプチャ動作（TGRAにキャプチャ） • カウントリスタート(カウンタクリア)動作
A/D変換開始要求ディレイド機能	—	—	—	—	—	TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—	—	TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—
割り込み間引き機能1	—	—	—	—	TGRAのコンペアマッチ割り込みを間引き	TCIV割り込みを間引き	—	TGRAのコンペアマッチ割り込みを間引き	TCIV割り込みを間引き	—
割り込み間引き機能2	—	—	—	—	—	TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—	—	TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—
モジュールストップ	MSTPCRA.MSTPA9(注3)									

○：可能　—：不可能

注1.　LWA = 1の場合、TGRALWのキャプチャ要因はMTIOC1Aからの入力またはMTU0.TGRAのコンペアマッチ/インプットキャプチャイベントから選択可能です。TGRBLWのキャプチャ要因はMTIOC1Bからの入力、MTU0.TGRCのコンペアマッチ/インプットキャプチャイベントから選択可能です。

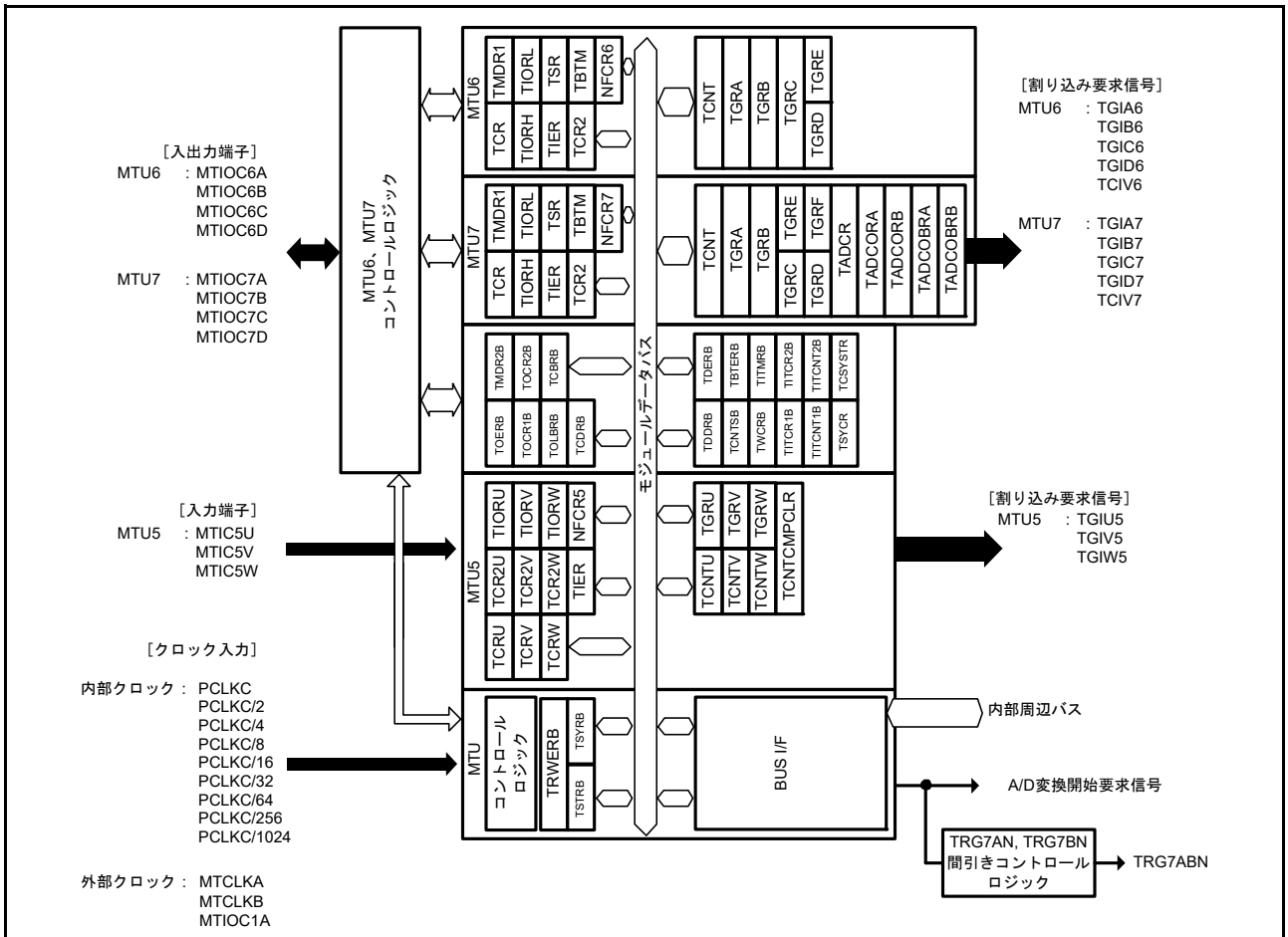
注2.　アンダフローは相補PWMモード時のみ有効。

注3.　モジュールストップの詳細については、「11.　消費電力低減機能」を参照してください。



TCR : タイマコントロールレジスタ
TCR2 : タイマコントロールレジスタ 2
TMDR1 : タイマモードレジスタ 1
TMDR2A : タイマモードレジスタ 2
TMDR3 : タイマモードレジスタ 3
TIOR : タイマ I/O コントロールレジスタ
TIORH : タイマ I/O コントロールレジスタ H
TIORL : タイマ I/O コントロールレジスタ L
TIER : タイマインタラプトイネーブルレジスタ
TIER2 : タイマインタラプトイネーブルレジスタ 2
TSR : タイマステータスレジスタ
TBTM : タイマバッファ動作転送モードレジスタ
TCNT : タイマカウンタ
TCNTLW : タイマロングワードカウンタ
TGRA : タイマジェネラルレジスタ A
TGRALW : タイマロングワードジェネラルレジスタ A
TGRB : タイマジェネラルレジスタ B
TGRBLW : タイマロングワードジェネラルレジスタ B
TGRC : タイマジェネラルレジスタ C
TGRD : タイマジェネラルレジスタ D
TGRE : タイマジェネラルレジスタ E
TGRF : タイマジェネラルレジスタ F
TSTRA : タイマスタートレジスタ
TSYRA : タイマシンクロレジスタ
TCSYSTR : タイマカウンタシンクロスタートレジスタ
TRWERA : タイマリードライトイネーブルレジスタ
TOERA: タイマアウトプットマスタイネーブルレジスタ
TOCR1A : タイマアウトプットコントロールレジスタ 1
TOCR2A : タイマアウトプットコントロールレジスタ 2
TOLBRA : タイマアウトプットレベルバッファレジスタ
TGCRA : タイマゲートコントロールレジスタ A
TCNTSA : タイマサブカウンタ
TCDRA : タイマ周期データレジスタ
TCBRA : タイマ周期バッファレジスタ
TDDRA : タイマデッドタイムデータレジスタ
TDERA : タイマデッドタイムイネーブルレジスタ
TBTERA : タイマバッファ転送設定レジスタ
TWCRA : タイマ波形コントロールレジスタ
TICCR : タイマインプットキャプチャコントロールレジスタ
TADCR : タイマ A/D 変換開始要求コントロールレジスタ
TADCORA : タイマ A/D 変換開始要求周期設定レジスタ A
TADCORB : タイマ A/D 変換開始要求周期設定レジスタ B
TADCOBRA : タイマ A/D 変換開始要求周期設定バッファレジスタ A
TADCOBRB : タイマ A/D 変換開始要求周期設定バッファレジスタ B
TITMRA : タイマ割り込み間引きモードレジスタ
TITCR1A : タイマ割り込み間引き設定レジスタ 1
TITCR2A : タイマ割り込み間引き設定レジスタ 2
TITCNT1A : タイマ割り込み間引き回数カウンタ 1
TITCNT2A : タイマ割り込み間引き回数カウンタ 2
NFCRn : ノイズフィルタコントロールレジスタ n

図 22.1　MTU のブロック図 (MTU0 ～ MTU4, MTU9)



TCR：　タイマコントロールレジスタ
TCRU：　タイマコントロールレジスタ U
TCR2U：　タイマコントロールレジスタ 2U
TCRV：　タイマコントロールレジスタ V
TCR2V：　タイマコントロールレジスタ 2V
TCRW：　タイマコントロールレジスタ W
TCR2W：　タイマコントロールレジスタ 2W
TMDR1：　タイマモードレジスタ 1
TMDR2B：　タイマモードレジスタ 2
TIORH：　タイマ I/O コントロールレジスタ H
TIORL：　タイマ I/O コントロールレジスタ L
TIORU：　タイマ I/O コントロールレジスタ U
TIORV：　タイマ I/O コントロールレジスタ V
TIORW：　タイマ I/O コントロールレジスタ W
TIER：　タイマインタラプトイネーブルレジスタ
TSR：　タイマステータスレジスタ
TCNT：　タイマカウンタ
TCNTU：　タイマカウンタ U
TCNTV：　タイマカウンタ V
TCNTW：　タイマカウンタ W
TGRA：　タイマジェネラルレジスタ A
TGRB：　タイマジェネラルレジスタ B
TGRC：　タイマジェネラルレジスタ C
TGRD：　タイマジェネラルレジスタ D
TGRE：　タイマジェネラルレジスタ E
TGRF：　タイマジェネラルレジスタ F
TGRU：　タイマジェネラルレジスタ U
TGRV：　タイマジェネラルレジスタ V
TGRW：　タイマジェネラルレジスタ W
TCNTCMPCLR：タイマコンペアマッチクリアレジスタ

TSTRB：　タイマスタートレジスタ
TSYRB：　タイマシンクロレジスタ
TSYCR：　タイマシンクロクリアレジスタ
TCSYSTR：　タイマカウンタシンクロスタートレジスタ
TRWERB：　タイマリードライトイネーブルレジスタ
TOERB：　タイマアウトプットマスタイネーブルレジスタ
TOCR1B：　タイマアウトプットコントロールレジスタ 1
TOCR2B：　タイマアウトプットコントロールレジスタ 2
TOLBRB：　タイマアウトプットレベルバッファレジスタ
TCDRB：　タイマ周期データレジスタ
TCBRB：　タイマ周期バッファレジスタ
TDDRB：　タイマデッドタイムデータレジスタ
TDERB：　タイマデッドタイムイネーブルレジスタ
TCNTSB：　タイマサブカウンタ
TBTERB：　タイマバッファ転送設定レジスタ
TWCRB：　タイマ波形コントロールレジスタ
TADCR：　タイマ A/D 変換開始要求コントロールレジスタ
TADCORA：　タイマ A/D 変換開始要求周期設定レジスタ A
TADCORB：　タイマ A/D 変換開始要求周期設定レジスタ B
TADCOBRA：タイマ A/D 変換開始要求周期設定バッファレジスタ A
TADCOBRB：タイマ A/D 変更開始要求周期設定バッファレジスタ B
TITMRB：　タイマ割り込み間引きモードレジスタ
TITCR1B：　タイマ割り込み間引き設定レジスタ 1
TITCR2B：　タイマ割り込み間引き設定レジスタ 2
TITCNT1B：タイマ割り込み間引き回数カウンタ 1
TITCNT2B：タイマ割り込み間引き回数カウンタ 2
NFCRn：　ノイズフィルタコントロールレジスタ n

図 22.2　MTU のブロック図 (MTU5 ～ MTU7)

表 22.3 に MTU で使用する入出力端子を示します。

表22.3　MTUの入出力端子

チャネル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子(MTU1、MTU2の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子(MTU1、MTU2の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子(MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子(MTU2の位相計数モードB相入力)
	ADSM0	出力	A/D変換開始要求フレーム同期信号0出力端子
	ADSM1	出力	A/D変換開始要求フレーム同期信号1出力端子
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子
MTU6	MTIOC6A	入出力	MTU6.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6B	入出力	MTU6.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6C	入出力	MTU6.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6D	入出力	MTU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU7	MTIOC7A	入出力	MTU7.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7B	入出力	MTU7.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7C	入出力	MTU7.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7D	入出力	MTU7.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU9	MTIOC9A	入出力	MTU9.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9B	入出力	MTU9.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9C	入出力	MTU9.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9D	入出力	MTU9.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

22.2 レジスタの説明

22.2.1 タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR, MTU6.TCR, MTU7.TCR, MTU9.TCR

アドレス　MTU0.TCR 000C 1300h, MTU1.TCR 000C 1380h, MTU2.TCR 000C 1400h, MTU3.TCR 000C 1200h, MTU4.TCR 000C 1201h, MTU6.TCR 000C 1A00h, MTU7.TCR 000C 1A01h, MTU9.TCR 000C 1580h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表22.6～表22.9を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 x：両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表22.4、表22.5を参照してください	R/W

x：Don’t care

TCR レジスタは、TCR2 と組み合わせて各チャネルの TCNT を制御します。MTU0 ～ MTU4、MTU6、MTU7、MTU9 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 11 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 22.6 ～表 22.9 を参照してください。

CKEG[1:0] ビット（クロックエッジ選択ビット）

カウントクロックソース（MTIOC1A 端子含む）のエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が 1/2 になります（例：PCLKC/4 の両エッジ = PCLKC/2 の立ち上がりエッジ）。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースが PCLKC/2 もしくはそれより遅い場合に有効です。カウントクロックソースに PCLKC/1、あるいは他のチャネルのオーバフロー / アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット（カウンタクリア要因選択ビット）

TCNT のカウンタクリア要因を選択します。詳細は表 22.4、表 22.5 を参照してください。

表22.4　CCLR[2:0] (MTU0, MTU3, MTU4, MTU6, MTU7, MTU9)

チャネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0 MTU3 MTU4 MTU6 MTU7 MTU9	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア(注1)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア(注1)

注1.　同期動作の設定は、TSYRA.SYNCnビット、TSYRB.SYNCnビットを“1”にすることにより行います。
注2.　TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表22.5　CCLR[2:0] (MTU1, MTU2)

チャネル	ビット7	ビット6	ビット5	説明
	予約ビット(注2)	CCLR[1]	CCLR[0]	
MTU1 MTU2	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア(LWA = 0のとき) TGRALWのコンペアマッチ/インプットキャプチャでTCNTLWクリア(LWA = 1のとき)
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア(LWA = 0のとき) TGRBLWのコンペアマッチ/インプットキャプチャでTCNTLWクリア(LWA = 1のとき)
	0	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア(注1)

注1.　同期動作の設定は、TSYRA.SYNCnビット、TSYRB.SYNCnビットを“1”にすることにより行います。
注2.　MTU1、MTU2ではビット7は予約ビットです。読むと“0”が読めます。書き込みは無効となります。

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス　MTU5.TCRU 000C 1C84h, MTU5.TCRV 000C 1C94h, MTU5.TCRW 000C 1CA4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TPSC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケーラ選択ビット	表22.10を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPSC[1:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。詳細は表 22.10 を参照してください。

22.2.2 タイマコントロールレジスタ 2 (TCR2)

- MTU0.TCR2, MTU3.TCR2, MTU4.TCR2, MTU6.TCR2, MTU7.TCR2, MTU9.TCR2

アドレス MTU0.TCR2 000C 1328h, MTU3.TCR2 000C 124Ch, MTU4.TCR2 000C 124Dh, MTU6.TCR2 000C 1A4Ch, MTU7.TCR2 000C 1A4Dh, MTU9.TCR2 000C 15A8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TPSC2[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

- MTU1.TCR2, MTU2.TCR2

アドレス MTU1.TCR2 000C 1394h, MTU2.TCR2 000C 140Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PCB[1:0]		TPSC2[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケーラ選択ビット	表22.6～表22.9を参照してください	R/W
b4-b3	PCB[1:0]	位相計数モード機能拡張制御ビット	位相計数モード2、3、5モードの機能拡張を制御	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR2 レジスタは、TCR と組み合わせて各チャネルの TCNT を制御します。MTU0 ～ MTU4、MTU6、MTU7、MTU9 に各 1 本、MTU5 には TCR2U/V/W の 3 本、計 11 本の TCR2 レジスタがあります。TCR2 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC2[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 22.6 ～表 22.9 を参照してください。

PCB[1:0] ビット（位相計数モード機能拡張制御ビット）

MTU1 と MTU2 の位相計数モード 2、3、5 の機能拡張制御ビットです。詳細は「22.3.6　位相計数モード」を参照してください。

- MTU5.TCR2U, MTU5.TCR2V, MTU5.TCR2W

アドレス　MTU5.TCR2U 000C 1C85h, MTU5.TCR2V 000C 1C95h, MTU5.TCR2W 000C 1CA5h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CKEG[1:0]		TPSC2[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケーラ選択ビット	表22.10を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 x：両エッジでカウント	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x：Don’t care

TPSC2[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。詳細は表 22.10 を参照してください。

CKEG[1:0] ビット（クロックエッジ選択ビット）

MTIOC1A 端子によるカウントクロックソースのエッジを選択します。

表22.6　TPSC[2:0], TPSC2[2:0] (MTU0, MTU9)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0 MTU9	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック：MTCLKC端子入力でカウント
	0	0	0	1	1	1	外部クロック：MTCLKD端子入力でカウント
	0	0	1	x	x	x	内部クロック：PCLKC/2でカウント
	0	1	0	x	x	x	内部クロック：PCLKC/8でカウント
	0	1	1	x	x	x	内部クロック：PCLKC/32でカウント
	1	0	0	x	x	x	内部クロック：PCLKC/256でカウント
	1	0	1	x	x	x	内部クロック：PCLKC/1024でカウント
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	外部クロック：MTIOC1A端子入力でカウント

x：Don't care

表22.7　TPSC[2:0], TPSC2[2:0] (MTU1)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	内部クロック：PCLKC/256でカウント
	0	0	0	1	1	1	MTU2.TCNTのオーバフロー/アンダフロー
	0	0	1	x	x	x	内部クロック：PCLKC/2でカウント
	0	1	0	x	x	x	内部クロック：PCLKC/8でカウント
	0	1	1	x	x	x	内部クロック：PCLKC/32でカウント
	1	0	0	x	x	x	内部クロック：PCLKC/1024でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x：Don't care

注.　MTU1が位相計数モード時、この設定は無効になります。

表22.8　TPSC[2:0], TPSC2[2:0] (MTU2)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック：MTCLKC端子入力でカウント
	0	0	0	1	1	1	内部クロック：PCLKC/1024でカウント
	0	0	1	x	x	x	内部クロック：PCLKC/2でカウント
	0	1	0	x	x	x	内部クロック：PCLKC/8でカウント
	0	1	1	x	x	x	内部クロック：PCLKC/32でカウント
	1	0	0	x	x	x	内部クロック：PCLKC/256でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x：Don't care

注.　MTU2が位相計数モード時、この設定は無効になります。

表22.9　TPSC[2:0], TPSC2[2:0] (MTU3, MTU4, MTU6, MTU7)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU3 MTU4 MTU6 MTU7	0	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	0	1	0	0	内部クロック：PCLKC/256でカウント
	0	0	0	1	0	1	内部クロック：PCLKC/1024でカウント
	0	0	0	1	1	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	1	1	外部クロック：MTCLKB端子入力でカウント
	0	0	1	x	x	x	内部クロック：PCLKC/2でカウント
	0	1	0	x	x	x	内部クロック：PCLKC/8でカウント
	0	1	1	x	x	x	内部クロック：PCLKC/32でカウント
	1	0	0	x	x	x	設定しないでください
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x：Don't care

表22.10　TPSC[1:0], TPSC2[2:0] (MTU5)

チャネル	TCR2レジスタ			TCRレジスタ		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[1]	TPSC[0]	
MTU5	0	0	0	0	0	内部クロック：PCLKC/1でカウント
	0	0	0	0	1	内部クロック：PCLKC/4でカウント
	0	0	0	1	0	内部クロック：PCLKC/16でカウント
	0	0	0	1	1	内部クロック：PCLKC/64でカウント
	0	0	1	x	x	内部クロック：PCLKC/2でカウント
	0	1	0	x	x	内部クロック：PCLKC/8でカウント
	0	1	1	x	x	内部クロック：PCLKC/32でカウント
	1	0	0	x	x	内部クロック：PCLKC/256でカウント
	1	0	1	x	x	内部クロック：PCLKC/1024でカウント
	1	1	0	x	x	設定しないでください
	1	1	1	x	x	外部クロック：MTIOC1A端子入力

x：Don't care

22.2.3 タイマモードレジスタ 1 (TMDR1)

- MTU0.TMDR1, MTU9.TMDR1

アドレス MTU0.TMDR1 000C 1301h, MTU9.TMDR1 000C 1581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BFE	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

- MTU1.TMDR1, MTU2.TMDR1

アドレス MTU1.TMDR1 000C 1381h, MTU2.TMDR1 000C 1401h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

- MTU3.TMDR1, MTU4.TMDR1, MTU6.TMDR1, MTU7.TMDR1

アドレス MTU3.TMDR1 000C 1202h, MTU4.TMDR1 000C 1203h, MTU6.TMDR1 000C 1A02h, MTU7.TMDR1 000C 1A03h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表22.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0：TGRAとTGRCレジスタは通常動作 1：TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0：TGRBとTGRDレジスタは通常動作 1：TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0：MTU0.TGREとMTU0.TGRF、MTU9.TGREとMTU9.TGRFは通常動作 1：MTU0.TGREとMTU0.TGRF、MTU9.TGREとMTU9.TGRFはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR1 レジスタは、各チャネルの動作モードの設定を行うレジスタです。MTU0 ～ MTU4、MTU6、MTU7、MTU9 に各 1 本、計 8 本の TMDR1 レジスタがあります。TMDR1 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

表22.11　MD[3:0]ビットによる動作モードの設定(MTU0～MTU4, MTU6, MTU7, MTU9)

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU6	MTU7	MTU9
MD[3]	MD[2]	MD[1]	MD[0]										
0	0	0	0	ノーマルモード	○	○	○		○	○	○	○	○
0	0	0	1	設定しないでください									
0	0	1	0	PWMモード1	○	○	○		○	○	○	○	○
0	0	1	1	PWMモード2	○	○	○						○
0	1	0	0	位相計数モード1		○	○	○					
0	1	0	1	位相計数モード2		○	○	○					
0	1	1	0	位相計数モード3		○	○	○					
0	1	1	1	位相計数モード4		○	○	○					
1	0	0	0	リセット同期PWMモード(注1)					○		○		
1	0	0	1	位相計数モード5		○	○	○					
1	0	1	x	設定しないでください									
1	1	0	0	設定しないでください									
1	1	0	1	相補PWMモード1（山で転送）(注1)					○		○		
1	1	1	0	相補PWMモード2（谷で転送）(注1)					○		○		
1	1	1	1	相補PWMモード3（山と谷で転送）(注1)					○		○		

x：Don't care

注.　各チャネルで該当以外の動作モードは設定しないでください。

注1.　リセット同期PWMモード、相補PWMモードの設定は、MTU3、MTU6のみ可能です。
MTU3、MTU6をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4、MTU7の設定は無効となり自動的にMTU3、MTU6の設定に従います。MTU4、MTU7には初期値（ノーマルモード）を設定してください。

BFA ビット（バッファ動作 A ビット）

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせてバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ（MTU4.TIER）の TGIEC ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は、MTU3.TMDR1（MTU6.TMDR1）の BFA ビットの設定に従い動作します。MTU4.TMDR1（MTU7.TMDR1）の BFA ビットを “0” にしてください。

TGRC レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。相補 PWM モードの Tb 区間については、図 22.49 を参照してください。

BFB ビット（バッファ動作 B ビット）

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせてバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ（MTU4.TIER）の TGIED ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は、MTU3.TMDR1（MTU6.TMDR1）の BFB ビットの設定に従い動作します。MTU4.TMDR1（MTU7.TMDR1）の BFB ビットを “0” にしてください。

TGRD レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。相補 PWM モードの Tb 区間については、図 22.49 を参照してください。

BFE ビット（バッファ動作 E ビット）

MTU0.TGRE と MTU0.TGRF、MTU9.TGRE と MTU9.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ～ MTU4、MTU6、MTU7 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

22.2.4 タイマモードレジスタ 2m (TMDR2m) (m = A, B)

アドレス MTU.TMDR2A 000C 1270h, MTU.TMDR2B 000C 1A70h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DRS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0：ダブルバッファ機能は無効 1：ダブルバッファ機能は有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR2A、TMDR2B レジスタは、相補 PWM モード 3（山と谷で転送）時、ダブルバッファ機能の設定を行うレジスタです。MTU3（TMDR2A）、MTU6（TMDR2B）に各 1 本、計 2 本の TMDR2m レジスタがあります。TMDR2A、TMDR2B レジスタの設定は、TCNT の動作が停止した状態で行ってください。

DRS ビット（ダブルバッファ選択ビット）

相補 PWM モード時、ダブルバッファ機能の有効 / 無効を選択します。

22.2.5 タイマモードレジスタ 3 (TMDR3)

アドレス MTU1.TMDR3 000C 1391h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PHCKSEL	LWA
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LWA	ロングワードアクセス制御ビット	0：16ビットアクセス可能 1：32ビットアクセス可能	R/W
b1	PHCKSEL	外部入力位相クロック選択ビット	0：外部入力位相クロックはMTCLKA、MTCLKB 1：外部入力位相クロックはMTCLKC、MTCLKD	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR3 レジスタは、MTU1 と MTU2 を組み合わせた 32 ビットのレジスタ、カウンタのロングワードアクセスを制御します。MTU1 のみに一本あります。MTU1 と MTU2 のカウンタ（TCNTLW）、ジェネラルレジスタ A（TGRALW）、ジェネラルレジスタ B（TGRBLW）は**表 22.12** のような組み合わせでアクセスされます。

LWA ビット（ロングワードアクセス制御ビット）

MTU1 と MTU2 のレジスタを組み合わせて 32 ビットでのアクセスを選択します。

LWA ビットが “0” の場合、MTU1 と MTU2 はそれぞれ独立した 16 ビットタイマとして動作するため、TCNTLW、TGRALW、TGRBLW レジスタはアクセスできません。

LWA ビットが “1” の場合、MTU1 と MTU2 はカスケード接続された 32 ビットタイマとして動作し、タイマの制御は MTU1.TCR、MTU1.TCR2、MTU1.TIOR、MTU1.TMDR1 レジスタで行います。MTU2.TCR、MTU2.TCR2、MTU2.TIOR、MTU2.TMDR1 レジスタの設定は無効で、MTU1、MTU2 の 16 ビットレジスタ（TCNT、TGRA、TGRB レジスタ）へのアクセスもできません。また、MTU2 のインプットキャプチャとコンペアマッチも無効となり、MTU2 の要因で ELC との連動はできません。

なお、LWA ビットを “1” にした MTU1 と MTU2 のカスケード接続は、位相計数モードでのみ使用できます。ノーマルモード、PWM1 モード、PWM2 モードでは使用できません。LWA ビットを “1” にする場合、位相計数モードを選択してください。

LWA ビットを “1” にする場合は、事前に MTU1 と MTU2 の TCNT、TGRA、TGRB レジスタを初期化してください。

PHCKSEL ビット（外部入力位相クロック選択ビット）

MTU1 と MTU2 のレジスタを組み合わせて、32 ビット位相計数モードまたは MTU2 の位相計数モードで、外部入力クロックから A 相、B 相信号を選択します。詳細は「**表 22.66　位相計数モードクロック入力端子**」を参照してください。

表22.12　TMDR3レジスタの設定と組み合わせ

レジスタ	TMDR3.LWA = 0		TMDR3.LWA = 1	
	シンボル	アクセス方式	シンボル	アクセス方式
MTU1のカウンタ(注1)	MTU1.TCNT	ワード	MTU1.TCNTLW	ロングワード
MTU2のカウンタ	MTU2.TCNT	ワード		
MTU1のジェネラルレジスタA	MTU1.TGRA	ワード	MTU1.TGRALW	ロングワード
MTU2のジェネラルレジスタA	MTU2.TGRA	ワード		
MTU1のジェネラルレジスタB	MTU1.TGRB	ワード	MTU1.TGRBLW	ロングワード
MTU2のジェネラルレジスタB	MTU2.TGRB	ワード		

注1.　LWA = 1にした場合、MTU1のカウントクロックをMTU2.TCNTのオーバフロー/アンダフローに設定する必要はありません。

22.2.6 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH, MTU1.TIOR, MTU2.TIOR, MTU3.TIORH, MTU4.TIORH, MTU6.TIORH, MTU7.TIORH, MTU9.TIORH

アドレス　MTU0.TIORH 000C 1302h, MTU1.TIOR 000C 1382h, MTU2.TIOR 000C 1402h, MTU3.TIORH 000C 1204h, MTU4.TIORH 000C 1206h, MTU6.TIORH 000C 1A04h, MTU7.TIORH 000C 1A06h, MTU9.TIORH 000C 1582h

	b7	b6	b5	b4	b3	b2	b1	b0
	IOB[3:0]				IOA[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/Oコントロール A ビット(注1)	下記の表を参照してください MTU0.TIORH：表22.27　MTU1.TIOR：表22.29 MTU2.TIOR：表22.30　MTU3.TIORH：表22.31 MTU4.TIORH：表22.33　MTU6.TIORH：表22.35 MTU7.TIORH：表22.37　MTU9.TIORH：表22.39	R/W
b7-b4	IOB[3:0]	I/Oコントロール B ビット(注1)	下記の表を参照してください MTU0.TIORH：表22.13　MTU1.TIOR：表22.15 MTU2.TIOR：表22.16　MTU3.TIORH：表22.17 MTU4.TIORH：表22.19　MTU6.TIORH：表22.21 MTU7.TIORH：表22.23　MTU9.TIORH：表22.25	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] (m = A, B)の値を出力禁止（“0000b”または“0100b”）へ変更するとHi-Zになります。

- MTU0.TIORL, MTU3.TIORL, MTU4.TIORL, MTU6.TIORL, MTU7.TIORL, MTU9.TIORL

アドレス　MTU0.TIORL 000C 1303h, MTU3.TIORL 000C 1205h, MTU4.TIORL 000C 1207h, MTU6.TIORL 000C 1A05h, MTU7.TIORL 000C 1A07h, MTU9.TIORL 000C 1583h

	b7	b6	b5	b4	b3	b2	b1	b0
	IOD[3:0]				IOC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/Oコントロール C ビット(注1)	下記の表を参照してください MTU0.TIORL：表22.28　MTU3.TIORL：表22.32 MTU4.TIORL：表22.34　MTU6.TIORL：表22.36 MTU7.TIORL：表22.38　MTU9.TIORL：表22.40	R/W
b7-b4	IOD[3:0]	I/Oコントロール D ビット(注1)	下記の表を参照してください MTU0.TIORL：表22.14　MTU3.TIORL：表22.18 MTU4.TIORL：表22.20　MTU6.TIORL：表22.22 MTU7.TIORL：表22.24　MTU9.TIORL：表22.26	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] (m = C, D)の値を出力禁止（“0000b”または“0100b”）へ変更するとHi-Zになります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 000C 1C86h, MTU5.TIORV 000C 1C96h, MTU5.TIORW 000C 1CA6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IOC[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/Oコントロール C ビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW：表22.41	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TIOR レジスタは、TGRm レジスタを制御します。MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 に各 2 本、MTU1、MTU2 に各 1 本、MTU5 には MTU5.TIORU/V/W の 3 本、計 17 本の TIOR があります。TIOR レジスタは TMDR レジスタの設定が、ノーマルモード、PWM モード、位相計数モードの場合に設定します。

TIOR レジスタは TMDR1 レジスタの設定により影響を受けますので注意してください。

TIOR レジスタで指定した初期出力はカウンタ停止した（TSTRA.CSTn ビットおよび TSTRB.CSTn ビットを “0” にした）状態で有効になります。また、PWM モード 2 の場合にはカウンタが “0000h” になった時点での出力を指定します。

TGRC レジスタ、あるいは TGRD レジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表22.13　TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ/カウントダウンでインプットキャプチャ(注1)

x：Don't care

注1.　MTU1のカウントクロックにPCLKC/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.14　TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ/カウントダウンでインプットキャプチャ(注2)

x：Don't care

注1.　MTU0.TMDR1.BFBビットを“1”にして、MTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2.　MTU1のカウントクロックにPCLKC/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.15　TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB/TGRBLW レジスタの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x：Don't care

表22.16　TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.17　TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.18　TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU3.TMDR1.BFBビットを“1”にして、MTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.19　TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.20　TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.21　TIORH (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC6B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.22　TIORL (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC6D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU6.TMDR1.BFBビットを“1”にして、MTU6.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.23　TIORH (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC7B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.24　TIORL (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC7D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU7.TMDR1.BFBビットを“1”にして、MTU7.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.25　TIORH (MTU9)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC9B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注1)

x：Don't care

注1.　MTU2のカウントクロックにPCLKC/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.26　TIORL (MTU9)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC9D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注2)

x：Don't care

注1.　MTU9.TMDR1.BFBビットを“1”にして、MTU9.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2.　MTU2のカウントクロックにPCLKC/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.27　TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ/カウントダウンでインプットキャプチャ(注1)

x：Don't care

注1.　MTU1のカウントクロックにPCLKC/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.28　TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT（LWA = 0）またはMTU1.TCNTLW（LWA = 1）のカウントアップ/カウントダウンでインプットキャプチャ(注2)

x：Don't care

注1.　MTU0.TMDR1.BFAビットを“1”にして、MTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2.　MTU1のカウントクロックにPCLKC/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.29　TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA/TGRALW レジスタの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x：Don't care

表22.30　TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.31　TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC3A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.32　TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU3.TMDR1.BFAビットを“1”にして、MTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.33　TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.34　TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.35　TIORH (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC6A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.36　TIORL (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC6C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU6.TMDR1.BFAビットを“1”にして、MTU6.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.37　TIORH (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC7A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表22.38　TIORL (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC7C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU7.TMDR1.BFAビットを“1”にして、MTU7.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.39　TIORH (MTU9)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC9A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注1)

x：Don't care

注1.　MTU2のカウントクロックにPCLKC/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.40　TIORL (MTU9)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC9C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU2/カウントクロック MTU2.TCNTのカウントアップ/カウントダウンでインプットキャプチャ (注2)

x：Don't care

注1.　MTU9.TMDR1.BFAビットを“1”にして、MTU9.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2.　MTU2のカウントクロックにPCLKC/1を選択した場合、MTU9のインプットキャプチャは発生しません。PCLKC/1以外のクロックを選択してください。

表22.41　TIORU, TIORV, TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRU、TGRV、TGRWレジスタの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	アウトプットコンペアレジスタ	機能なし
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ(注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x：Don't care

注1.　IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU6、MTU7と連動したデッドタイム補償用機能使用時のみとしてください。詳細は「22.3.11　外部パルス幅測定機能」、「22.3.12　デッドタイム補償用機能」を参照してください。

22.2.7 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 000C 1CB6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの“0000h”クリアを禁止 1：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの“0000h”クリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの“0000h”クリアを禁止 1：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの“0000h”クリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの“0000h”クリアを禁止 1：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの“0000h”クリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5 に 1 本の TCNTCMPCLR レジスタがあります。

22.2.8 タイマインタラプトイネーブルレジスタ (TIER)

- MTU1.TIER, MTU2.TIER

アドレス MTU1.TIER 000C 1384h, MTU2.TIER 000C 1404h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU0.TIER, MTU3.TIER, MTU6.TIER, MTU9.TIER

アドレス MTU0.TIER 000C 1304h, MTU3.TIER 000C 1208h, MTU6.TIER 000C 1A08h, MTU9.TIER 000C 1584h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU4.TIER, MTU7.TIER

アドレス MTU4.TIER 000C 1209h, MTU7.TIER 000C 1A09h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR割り込み許可Aビット	0：割り込み要求（TGIA）を禁止 1：割り込み要求（TGIA）を許可	R/W
b1	TGIEB	TGR割り込み許可Bビット	0：割り込み要求（TGIB）を禁止 1：割り込み要求（TGIB）を許可	R/W
b2	TGIEC	TGR割り込み許可Cビット	0：割り込み要求（TGIC）を禁止 1：割り込み要求（TGIC）を許可	R/W
b3	TGIED	TGR割り込み許可Dビット	0：割り込み要求（TGID）を禁止 1：割り込み要求（TGID）を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0：割り込み要求（TCIV）を禁止 1：割り込み要求（TCIV）を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0：割り込み要求（TCIU）を禁止 1：割り込み要求（TCIU）を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0：MTUn.TCNTのアンダフロー（谷）によるA/D変換要求を禁止 1：MTUn.TCNTのアンダフロー（谷）によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0：A/D変換開始要求の生成を禁止 1：A/D変換開始要求の生成を許可	R/W

n = 4, 7

TIER レジスタは、各チャネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0、MTU9 に 2 本、MTU1 ～ MTU7 に各 1 本、計 11 本の TIER レジスタがあります。

TGIEA、TGIEB ビット（TGR 割り込み許可 A、B ビット）

割り込み要求（TGIm）を許可または禁止します (m = A, B)。

TGIEC、TGIED ビット（TGR 割り込み許可 C、D ビット）

割り込み要求（TGIm）を許可または禁止します (m = C, D)。

MTU1、MTU2 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TCIEV ビット（オーバフロー割り込み許可ビット）

割り込み要求（TCIV）を許可または禁止します。

TCIEU ビット（アンダフロー割り込み許可ビット）

割り込み要求（TCIU）を許可または禁止します。

MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE2 ビット（A/D 変換開始要求許可 2 ビット）

相補 PWM モードで、MTUn.TCNT のアンダフロー（谷）による A/D 変換要求の生成を許可または禁止します（n = 4, 7）。

MTU0 ～ MTU3、MTU6、MTU9 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE ビット（A/D 変換開始要求許可ビット）

TGRA レジスタのインプットキャプチャ / コンペアマッチによる A/D コンバータの開始要求の生成を許可または禁止します。

- MTU0.TIER2, MTU9.TIER2

アドレス　MTU0.TIER2 000C 1324h, MTU9.TIER2 000C 15A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE2	—	—	—	—	—	TGIEF	TGIEE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR割り込み許可Eビット	0：割り込み要求（TGIE）を禁止 1：割り込み要求（TGIE）を許可	R/W
b1	TGIEF	TGR割り込み許可Fビット	0：割り込み要求（TGIF）を禁止 1：割り込み要求（TGIF）を許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE2	A/D変換開始要求許可2ビット	0：MTU0.TCNTとMTU0.TGRE、MTU9.TCNTとMTU9.TGREのコンペアマッチによるA/D変換開始要求を禁止 1：MTU0.TCNTとMTU0.TGRE、MTU9.TCNTとMTU9.TGREのコンペアマッチによるA/D変換開始要求を許可	R/W

TGIEE、TGIEF ビット（TGR 割り込み許可 E、F ビット）

MTU0.TCNT と MTU0.TGRm、MTU9.TCNT と MTU9.TGRm のコンペアマッチによる割り込み要求の生成を許可または禁止します (m = E, F)。

TTGE2 ビット（A/D 変換開始要求許可 2 ビット）

MTU0.TCNT と MTU0.TGRE、MTU9.TCNT と MTU9.TGRE のコンペアマッチによる A/D 変換開始要求の生成を許可または禁止します。

- MTU5.TIER

アドレス　MTU5.TIER 000C 1CB2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR割り込み許可5Wビット	0：TGIW5割り込み要求を禁止 1：TGIW5割り込み要求を許可	R/W
b1	TGIE5V	TGR割り込み許可5Vビット	0：TGIV5割り込み要求を禁止 1：TGIV5割り込み要求を許可	R/W
b2	TGIE5U	TGR割り込み許可5Uビット	0：TGIU5割り込み要求を禁止 1：TGIU5割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5m ビット（TGR 割り込み許可 5m ビット）

割り込み要求（TGIm5）を許可または禁止します (m = U, V, W)。

22.2.9 タイマステータスレジスタ (TSR)

- MTU1.TSR, MTU2.TSR

アドレス MTU1.TSR 000C 1385h, MTU2.TSR 000C 1405h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

- MTU3.TSR, MTU4.TSR, MTU6.TSR, MTU7.TSR

アドレス MTU3.TSR 000C 122Ch, MTU4.TSR 000C 122Dh, MTU6.TSR 000C 1A2Ch, MTU7.TSR 000C 1A2Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0：TCNTはダウンカウント 1：TCNTはアップカウント	R

TSR レジスタは、各チャネルのステータスの表示を行うレジスタです。MTU1 ～ MTU4、MTU6、MTU7 に各 1 本、計 6 本の TSR レジスタがあります。

TCFD フラグ（カウント方向フラグ）

MTU1 ～ MTU4、MTU6、MTU7 の TCNT のカウント方向を示すステータスフラグです。

22.2.10 タイマバッファ動作転送モードレジスタ (TBTM)

- MTU0.TBTM, MTU9.TBTM

アドレス MTU0.TBTM 000C 1326h, MTU9.TBTM 000C 15A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

- MTU3.TBTM, MTU4.TBTM, MTU6.TBTM, MTU7.TBTM

アドレス MTU3.TBTM 000C 1238h, MTU4.TBTM 000C 1239h, MTU6.TBTM 000C 1A38h, MTU7.TBTM 000C 1A39h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0：TGRCからTGRAへの転送タイミングは各チャネルのコンペアマッチA発生時 1：TGRCからTGRAへの転送タイミングは各チャネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0：TGRDからTGRBへの転送タイミングは各チャネルのコンペアマッチB発生時 1：TGRDからTGRBへの転送タイミングは各チャネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0：MTU0.TGRFからMTU0.TGRE、MTU9.TGRFからMTU9.TGREへの転送タイミングはMTU0、MTU9のコンペアマッチE発生時 1：MTU0.TGRFからMTU0.TGRE、MTU9.TGRFからMTU9.TGREへの転送タイミングはMTU0.TCNT、MTU9.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTM レジスタは、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 に各 1 本、計 6 本の TBTM レジスタがあります。

TTSA ビット（タイミング選択 A ビット）

各チャネルのバッファ動作時の TGRC レジスタから TGRA レジスタへの転送タイミングを設定します。

なお、PWM モード以外で使用するチャネルでは、TTSA ビットを “1” にしないでください。

TTSB ビット（タイミング選択 B ビット）

各チャネルのバッファ動作時の TGRD レジスタから TGRB レジスタへの転送タイミングを設定します。

なお、PWM モード以外で使用するチャネルでは、TTSB ビットを “1” にしないでください。

TTSE ビット（タイミング選択 E ビット）

バッファ動作時の MTU0.TGRF から MTU0.TGRE、MTU9.TGRF から MTU9.TGRE への転送タイミングを設定します。MTU3、MTU4、MTU6、MTU7 では予約ビットです。読むと “0” が読めます。書く場合、“0” にしてください。

なお、PWM モード以外で使用するチャネルでは、TTSE ビットを “1” にしないでください。

22.2.11 タイマインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 000C 1390h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0：MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1：MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0：MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1：MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0：MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1：MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0：MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1：MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

22.2.12 タイマシンクロクリアレジスタ (TSYCR)

アドレス MTU6.TSYCR 000C 1A50h

	b7	b6	b5	b4	b3	b2	b1	b0
	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE2B	クリア許可2Bビット	0：MTU2のTGIB2割り込み発生タイミングでのクリア禁止 1：MTU2のTGIB2割り込み発生タイミングでのクリア許可	R/W
b1	CE2A	クリア許可2Aビット	0：MTU2のTGIA2割り込み発生タイミング(注1)でのクリア禁止 1：MTU2のTGIA2割り込み発生タイミング(注1)でのクリア許可	R/W
b2	CE1B	クリア許可1Bビット	0：MTU1のTGIB1割り込み発生タイミング(注1)でのクリア禁止 1：MTU1のTGIB1割り込み発生タイミング(注1)でのクリア許可	R/W
b3	CE1A	クリア許可1Aビット	0：MTU1のTGIA1割り込み発生タイミング(注1)でのクリア禁止 1：MTU1のTGIA1割り込み発生タイミング(注1)でのクリア許可	R/W
b4	CE0D	クリア許可0Dビット	0：MTU0のTGID0割り込み発生タイミング(注1)でのクリア禁止 1：MTU0のTGID0割り込み発生タイミング(注1)でのクリア許可	R/W
b5	CE0C	クリア許可0Cビット	0：MTU0のTGIC0割り込み発生タイミング(注1)でのクリア禁止 1：MTU0のTGIC0割り込み発生タイミング(注1)でのクリア許可	R/W
b6	CE0B	クリア許可0Bビット	0：MTU0のTGIB0割り込み発生タイミング(注1)でのクリア禁止 1：MTU0のTGIB0割り込み発生タイミング(注1)でのクリア許可	R/W
b7	CE0A	クリア許可0Aビット	0：MTU0のTGIA0割り込み発生タイミング(注1)でのクリア禁止 1：MTU0のTGIA0割り込み発生タイミング(注1)でのクリア許可	R/W

注1. TIERn.TGIEmビットの設定値によりません（n = 0, 1, 2、m = A, B, C, D）。

TSYCR レジスタは、MTU の MTU6.TCNT、MTU7.TCNT の同期クリア条件の設定を行うレジスタです。MTU6 に 1 本の TSYCR レジスタがあります。

CEnm ビット（クリア許可 nm ビット）（n = 0, 1, 2、m = A, B, C, D）

MTUn.TGImn 割り込み発生タイミングでのクリア禁止 / 許可を設定します。

22.2.13　タイマカウンタ (TCNT)

アドレス　MTU0.TCNT 000C 1306h, MTU1.TCNT 000C 1386h, MTU2.TCNT 000C 1406h, MTU3.TCNT 000C 1210h, MTU4.TCNT 000C 1212h, MTU5.TCNTU 000C 1C80h, MTU5.TCNTV 000C 1C90h, MTU5.TCNTW 000C 1CA0h, MTU6.TCNT 000C 1A10h, MTU7.TCNT 000C 1A12h, MTU9.TCNT 000C 1586h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　TCNTの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCNT は、16 ビットの読み出し / 書き込み可能なカウンタです。MTU0 ～ MTU4、MTU6、MTU7、MTU9 に各 1 本、MTU5 に TCNTU, TCNTV, TCNTW の 3 本、計 11 本の TCNT があります。

MTU0 ～ MTU4、MTU6、MTU7、MTU9 の TCNT は、リセット時に “0000h” に初期化されます。MTU5 の TCNTU, TCNTV, TCNTW は、リセット時に “0000h” に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。MTU0 ～ MTU4、MTU6、MTU7、MTU9 の TCNT は、16 ビット単位でアクセスしてください。

MTU1.TCNT、MTU2.TCNT は、TMDR3.LWA = 1 のときは “0000h” が読み出されます。詳細は「22.2.5　タイマモードレジスタ 3 (TMDR3)」を参照してください。

22.2.14　タイマロングワードカウンタ (TCNTLW)

アドレス　MTU1.TCNTLW 000C 13A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TCNTLW カウンタは、TMDR3.LWA = 1 のときのみ有効で、MTU1.TCNT と MTU2.TCNT で構成される、32 ビットの読み出し / 書き込み可能なカウンタです。MTU1 に 1 本あります。

TCNTLW カウンタは、リセット時に “0000 0000h” に初期化されます。また、TMDR3.LWA = 0 のときは “0000 0000h” が読み出されます。詳細は「22.2.5　タイマモードレジスタ 3 (TMDR3)」を参照してください。

本レジスタは 32 ビット位相計数モードのときのみ使用可能です。

22.2.15 タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W)

アドレス
MTU0.TGRA 000C 1308h, MTU0.TGRB 000C 130Ah, MTU0.TGRC 000C 130Ch, MTU0.TGRD 000C 130Eh,
MTU0.TGRE 000C 1320h, MTU0.TGRF 000C 1322h,
MTU1.TGRA 000C 1388h, MTU1.TGRB 000C 138Ah,
MTU2.TGRA 000C 1408h, MTU2.TGRB 000C 140Ah,
MTU3.TGRA 000C 1218h, MTU3.TGRB 000C 121Ah, MTU3.TGRC 000C 1224h, MTU3.TGRD 000C 1226h,
MTU3.TGRE 000C 1272h,
MTU4.TGRA 000C 121Ch, MTU4.TGRB 000C 121Eh, MTU4.TGRC 000C 1228h, MTU4.TGRD 000C 122Ah,
MTU4.TGRE 000C 1274h, MTU4.TGRF 000C 1276h,
MTU5.TGRU 000C 1C82h, MTU5.TGRV 000C 1C92h, MTU5.TGRW 000C 1CA2h,
MTU6.TGRA 000C 1A18h, MTU6.TGRB 000C 1A1Ah, MTU6.TGRC 000C 1A24h, MTU6.TGRD 000C 1A26h,
MTU6.TGRE 000C 1A72h,
MTU7.TGRA 000C 1A1Ch, MTU7.TGRB 000C 1A1Eh, MTU7.TGRC 000C 1A28h, MTU7.TGRD 000C 1A2Ah,
MTU7.TGRE 000C 1A74h, MTU7.TGRF 000C 1A76h,
MTU9.TGRA 000C 1588h, MTU9.TGRB 000C 158Ah, MTU9.TGRC 000C 158Ch, MTU9.TGRD 000C 158Eh,
MTU9.TGRE 000C 15A0h, MTU9.TGRF 000C 15A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注. TGRmレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。TGRmレジスタの初期値は、“FFFFh”です。

TGRm レジスタは、16 ビットの読み出し / 書き込み可能なレジスタです。MTU0、MTU9 に 6 本、MTU1、MTU2 に各 2 本、MTU3、MTU6 に各 5 本、MTU4、MTU7 に各 6 本、MTU5 に 3 本、計 41 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD レジスタはアウトプットコンペア / インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 の TGRC レジスタと TGRD レジスタは、バッファレジスタとして動作設定することができます。TGRm レジスタとバッファレジスタの組み合わせは、TGRA–TGRC、TGRB–TGRD になります。

MTU0.TGRE、MTU0.TGRF、MTU9.TGRE、MTU9.TGRF レジスタはコンペアレジスタとして機能し、MTU0.TCNT カウンタと MTU0.TGRE レジスタまたは MTU9.TCNT カウンタと MTU9.TGRE レジスタが一致したとき、A/D 変換開始要求を生成することができます。TGRF レジスタは、バッファレジスタとして動作設定することができます。TGRm レジスタとバッファレジスタの組み合わせは、TGRE–TGRF になります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRW レジスタはコンペアマッチ / インプットキャプチャ / 外部パルス幅測定兼用のレジスタです。

MTU1.TGRA、MTU2.TGRA、MTU1.TGRB、MTU2.TGRB レジスタは、TMDR3.LWA = 1 のときは “0000h” が読み出されます。詳細は「22.2.5 タイマモードレジスタ 3 (TMDR3)」を参照してください。

22.2.16　タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B)

アドレス　MTU1.TGRALW 000C 13A4h, MTU1.TGRBLW 000C 13A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TGRmLW レジスタは、TMDR3.LWA = 1 のときのみ有効で、MTU1.TGRm レジスタと MTU2.TGRm レジスタで構成される、32 ビットの読み出し / 書き込み可能なレジスタです。MTU1 に 2 本あります。

TGRmLW レジスタは、リセット時に “FFFF FFFFh” に初期化されますが、TMDR3.LWA = 0 のときは “0000 0000h” が読み出されます。詳細は「22.2.5　タイマモードレジスタ 3 (TMDR3)」を参照してください。

TGRALW レジスタ、TGRBLW レジスタは、32 ビット位相計数モードでのみ使用可能なコンペアマッチ / インプットキャプチャ兼用のレジスタです。

22.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR)

- MTU.TSTRA (MTU0, MTU1, MTU2, MTU3, MTU4, MTU9)

アドレス MTU.TSTRA 000C 1280h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	CST9	—	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0：MTU0.TCNTはカウント停止 1：MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0：MTU1.TCNTはカウント停止 1：MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0：MTU2.TCNTはカウント停止 1：MTU2.TCNTはカウント動作	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CST9	カウンタスタート9ビット	0：MTU9.TCNTはカウント停止 1：MTU9.TCNTはカウント動作	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0：MTU3.TCNTはカウント停止 1：MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0：MTU4.TCNTはカウント停止 1：MTU4.TCNTはカウント動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRAレジスタの対応するビットが自動的に“1”になります。

TSTRA レジスタは MTU0 ～ MTU4、MTU9 の TCNT の動作 / 停止を選択するレジスタです。

TSTRB レジスタは MTU6、MTU7 の TCNT の動作 / 停止を選択するレジスタです。

TSTR レジスタは MTU5 の TCNT の動作 / 停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT のカウントクロックを設定する場合は、TCNT のカウント動作を停止してから行ってください。

CSTn ビット（カウンタスタート n ビット）（n = 0, 1, 2, 3, 4, 9）

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに “0” を書くとカウンタが停止します。このとき、相補 PWM モード / リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード / リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが “0” の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU.TSTRB (MTU6, MTU7)

アドレス MTU.TSTRB 000C 1A80h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST7	CST6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST6	カウンタスタート6ビット	0：MTU6.TCNTはカウント停止 1：MTU6.TCNTはカウント動作	R/W
b7	CST7	カウンタスタート7ビット	0：MTU7.TCNTはカウント停止 1：MTU7.TCNTはカウント動作	R/W

注.　TCSYSTRレジスタを“1”にしたときは、TSTRBレジスタの対応するビットが自動的に“1”になります。

CSTn ビット（カウンタスタート n ビット）（n = 6, 7）

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに “0” を書くとカウンタが停止します。このとき、相補 PWM モード / リセット同期 PWM モードでは、MTIOC 端子から TOCR1B レジスタまたは TOCR2B レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード / リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが “0” の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 000C 1CB4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0：MTU5.TCNTWはカウント停止 1：MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0：MTU5.TCNTVはカウント停止 1：MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0：MTU5.TCNTUはカウント停止 1：MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

22.2.18 タイマシンクロレジスタ m (TSYRm) (m = A, B)

- MTU.TSYRA (MTU0, MTU1, MTU2, MTU3, MTU4, MTU9)

アドレス MTU.TSYRA 000C 1281h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	SYNC9	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0：MTU0.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU0.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b1	SYNC1	タイマ同期1ビット	0：MTU1.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU1.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b2	SYNC2	タイマ同期2ビット	0：MTU2.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU2.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b3	SYNC9	タイマ同期9ビット	0：MTU9.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU9.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0：MTU3.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU3.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b7	SYNC4	タイマ同期4ビット	0：MTU4.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU4.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W

TSYRA レジスタは MTU0 ～ MTU4、MTU9 の TCNT の独立動作または同期動作を選択するレジスタです。

TSYRB レジスタは MTU6、MTU7 の TCNT の独立動作または同期動作を選択するレジスタです。

対応するビットを “1” にしたチャネルが同期動作を行います。

SYNCn ビット（タイマ同期 n ビット）（n = 0, 1, 2, 3, 4, 9）

他のチャネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャネルの SYNC ビットを “1” にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

- MTU.TSYRB (MTU6, MTU7)

アドレス MTU.TSYRB 000C 1A81h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC7	SYNC6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC6	タイマ同期6ビット	0：MTU6.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU6.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b7	SYNC7	タイマ同期7ビット	0：MTU7.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU7.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W

SYNCn ビット（タイマ同期 n ビット）（n = 6, 7）

他のチャネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャネルの SYNC ビットを “1” にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

22.2.19 タイマカウンタシンクロスタートレジスタ (TCSYSTR)

アドレス MTU.TCSYSTR 000C 1282h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCH0	SCH1	SCH2	SCH3	SCH4	SCH9	SCH6	SCH7
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SCH7	シンクロスタート7ビット	0：MTU7.TCNTをシンクロスタートしない 1：MTU7.TCNTをシンクロスタートする	R/(W) (注1)
b1	SCH6	シンクロスタート6ビット	0：MTU6.TCNTをシンクロスタートしない 1：MTU6.TCNTをシンクロスタートする	R/(W) (注1)
b2	SCH9	シンクロスタート9ビット	0：MTU9.TCNTをシンクロスタートしない 1：MTU9.TCNTをシンクロスタートする	R/(W) (注1)
b3	SCH4	シンクロスタート4ビット	0：MTU4.TCNTをシンクロスタートしない 1：MTU4.TCNTをシンクロスタートする	R/(W) (注1)
b4	SCH3	シンクロスタート3ビット	0：MTU3.TCNTをシンクロスタートしない 1：MTU3.TCNTをシンクロスタートする	R/(W) (注1)
b5	SCH2	シンクロスタート2ビット	0：MTU2.TCNTをシンクロスタートしない 1：MTU2.TCNTをシンクロスタートする	R/(W) (注1)
b6	SCH1	シンクロスタート1ビット	0：MTU1.TCNTをシンクロスタートしない 1：MTU1.TCNTをシンクロスタートする	R/(W) (注1)
b7	SCH0	シンクロスタート0ビット	0：MTU0.TCNTをシンクロスタートしない 1：MTU0.TCNTをシンクロスタートする	R/(W) (注1)

注1. “1”を書くことのみ可能です。カウントがスタートすると、自動的に“0”になります。

TCSYSTR レジスタはカウンタの同期スタートを行うレジスタです。

SCH7 ビット（シンクロスタート 7 ビット）

MTU7.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH7 ビットが “1” の状態で TSTRB.CST7 ビットを “1” にしたとき

SCH6 ビット（シンクロスタート 6 ビット）

MTU6.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH6 ビットが “1” の状態で TSTRB.CST6 ビットを “1” にしたとき

SCH9 ビット（シンクロスタート 9 ビット）

MTU9.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH9 ビットが “1” の状態で TSTRA.CST9 ビットを “1” にしたとき

SCH4 ビット（シンクロスタート 4 ビット）

MTU4.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH4 ビットが “1” の状態で TSTRA.CST4 ビットを “1” にしたとき

SCH3 ビット（シンクロスタート 3 ビット）

MTU3.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH3 ビットが “1” の状態で TSTRA.CST3 ビットを “1” にしたとき

SCH2 ビット（シンクロスタート 2 ビット）

MTU2.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH2 ビットが “1” の状態で TSTRA.CST2 ビットを “1” にしたとき

SCH1 ビット（シンクロスタート 1 ビット）

MTU1.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH1 ビットが “1” の状態で TSTRA.CST1 ビットを “1” にしたとき

SCH0 ビット（シンクロスタート 0 ビット）

MTU0.TCNT のシンクロスタートを制御します。

[“0” になる条件]

SCH0 ビットが “1” の状態で TSTRA.CST0 ビットを “1” にしたとき

22.2.20 タイマリードライトイネーブルレジスタ m (TRWERm) (m = A, B)

アドレス MTU.TRWERA 000C 1284h, MTU.TRWERB 000C 1A84h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0：レジスタのリードライトを禁止する 1：レジスタのリードライトを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

TRWERB レジスタは、MTU6、MTU7 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

RWE ビット（リードライト許可ビット）

誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。

[“0” になる条件]

- RWE = 1 の状態で RWE ビットを読んだ後、RWE ビットに “0” を書いたとき

- **誤書き込み防止の対象レジスタおよび対象カウンタ（TRWERA）**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA と MTUn.TCNT の計 24 レジスタです（n = 3, 4）。

- **誤書き込み防止の対象レジスタおよび対象カウンタ（TRWERB）**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERB, MTU.TOCR1B, MTU.TOCR2B, MTU.TGCRB, MTU.TCDRB, MTU.TDDRB と MTUn.TCNT の計 24 レジスタです（n = 6, 7）。

22.2.21 タイマアウトプットマスタイネーブルレジスタ m (TOERm) (m = A, B)

- MTU.TOERA

アドレス MTU.TOERA 000C 120Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ（PDR）、ポート出力データレジスタ（PODR）に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ（PMR）で汎用入出力ポート使用に切り替えてください。詳細は、「20. I/Oポート」を参照してください。

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERA レジスタの各ビットの設定をしないと正しく出力されません。TOERA レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを “0” にした後で設定してください。

- MTU.TOERB

アドレス　MTU.TOERB 000C 1A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE6B	マスタ許可MTIOC6Bビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b1	OE7A	マスタ許可MTIOC7Aビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b2	OE7B	マスタ許可MTIOC7Bビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b3	OE6D	マスタ許可MTIOC6Dビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b4	OE7C	マスタ許可MTIOC7Cビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b5	OE7D	マスタ許可MTIOC7Dビット	0：MTU出力禁止(注1) 1：MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ（PDR）、ポート出力データレジスタ（PODR）に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ（PMR）で汎用入出力ポート使用に切り替えてください。詳細は、「20.　I/Oポート」を参照してください。

TOERB レジスタは、出力端子の MTIOC7D、MTIOC7C、MTIOC6D、MTIOC7B、MTIOC7A、MTIOC6B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERB レジスタの各ビットの設定をしないと正しく出力されません。TOERB レジスタは MTU6、MTU7 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERB レジスタは、MTU.TSTRB レジスタの CST6、CST7 ビットを “0” にした後で設定してください（図 22.43、図 22.47 参照）。

22.2.22 タイマアウトプットコントロールレジスタ 1m (TOCR1m) (m = A, B)

アドレス MTU.TOCR1A 000C 120Eh, MTU.TOCR1B 000C 1A0Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注1、注3)	表22.42を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注1、注3)	表22.43を参照してください	R/W
b2	TOCS	TOC選択ビット	0：TOCR1mの設定を有効にする（m = A, B） 1：TOCR2mの設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット(注2、注4)	0：TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1：TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0：トグル出力を禁止 1：トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1m.TOCSビットを“0”にすることにより、本設定が有効になります。
注2. TOCR1m.TOCLビットを“1”にすることにより、CPU暴走時の誤書き込みを防止することができます。
注3. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。
注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1A、TOCR1B レジスタは、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行うレジスタです。

OLSP ビット（出力レベル選択 P ビット）

リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。
カウンタが停止した状態では、初期出力が選択されます。

OLSN ビット（出力レベル選択 N ビット）

リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。
カウンタが停止した状態では、初期出力が選択されます。

TOCS ビット（TOC 選択ビット）

相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1m レジスタと TOCR2m レジスタ（m = A, B）のどちらの設定を有効にするか選択します。

TOCL ビット（TOC レジスタ書き込み禁止ビット）

TOCR1m レジスタ（m = A, B）の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。

PSYE ビット（PWM 同期出力許可ビット）

PWM 周期に同期したトグル出力を、MTIOC3A、MTIOC6A 端子から出力するかどうかを設定します。

表22.42　出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表22.43　出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 22.3 に示します。

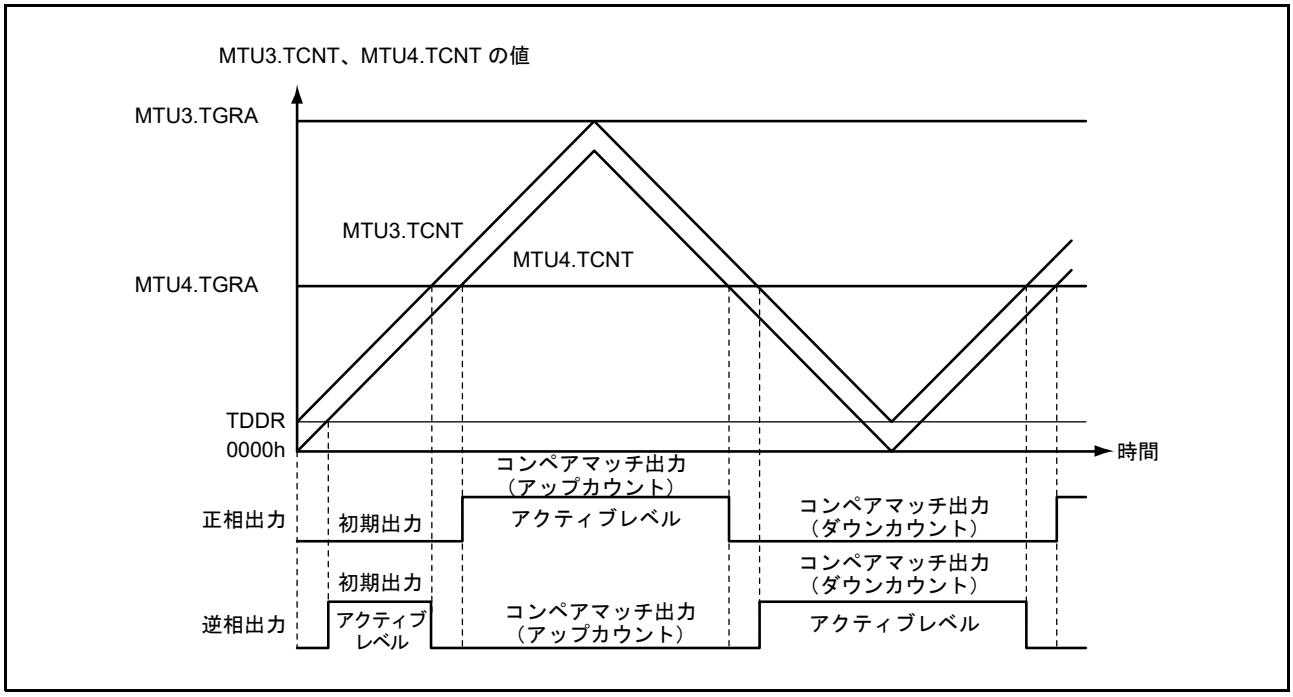


図 22.3　相補 PWM モードの出力レベルの例

22.2.23 タイマアウトプットコントロールレジスタ 2m (TOCR2m) (m = A, B)

アドレス MTU.TOCR2A 000C 120Fh, MTU.TOCR2B 000C 1A0Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3B/MTIOC6Bの出力レベルを選択します 表22.44を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3D/MTIOC6Dの出力レベルを選択します 表22.45を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4A/MTIOC7Aの出力レベルを選択します 表22.46を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4C/MTIOC7Cの出力レベルを選択します 表22.47を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4B/MTIOC7Bの出力レベルを選択します 表22.48を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4D/MTIOC7Dの出力レベルを選択します 表22.49を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング選択ビット	TOLBRmからTOCR2mへのバッファ転送タイミングを選択します 詳細は表22.50を参照してください	R/W

m = A, B

注1. TOCR1m.TOCSビットを“1”にすることにより、本設定が有効になります。

注2. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。(i = 1, 2, 3)

TOCR2A、TOCR2B レジスタは、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行うレジスタです。

カウンタが停止した状態では、初期出力が選択されます。

表22.44 MTIOCnB出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 3, 6

表22.45　MTIOCnD出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 3, 6
注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表22.46　MTIOCnA出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 4, 7

表22.47　MTIOCnC出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 4, 7
注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表22.48　MTIOCnB出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 4, 7

表22.49　MTIOCnD出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 4, 7
注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表22.50　TOCR2m.BF[1:0]ビットの設定

ビット7	ビット6	説明	
BF[1]	BF[0]	相補PWMモード時	リセット同期PWMモード時
0	0	バッファレジスタ(TOLBRm)からTOCR2mへ転送しない	バッファレジスタ(TOLBRm)からTOCR2mへ転送しない
0	1	MTUn.TCNTの山でバッファレジスタ(TOLBRm)からTOCR2mへ転送する	MTUk.TCNT、MTUn.TCNTカウンタクリア時にバッファレジスタ(TOLBRm)からTOCR2mへ転送する
1	0	MTUn.TCNTの谷でバッファレジスタ(TOLBRm)からTOCR2mへ転送する	設定しないでください
1	1	MTUn.TCNTの山と谷でバッファレジスタ(TOLBRm)からTOCR2mへ転送する	設定しないでください

n = 4, 7、k = 3, 6、m = A, B

22.2.24 タイマアウトプットレベルバッファレジスタ m (TOLBRm) (m = A, B)

アドレス MTU.TOLBRA 000C 1236h, MTU.TOLBRB 000C 1A36h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2mのOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2mのOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2mのOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2mのOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2mのOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2mのOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = A, B

TOLBRA、TOLBRB レジスタは TOCR2A、TOCR2B レジスタのバッファレジスタで、相補 PWM モード/リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 22.4 に示します。

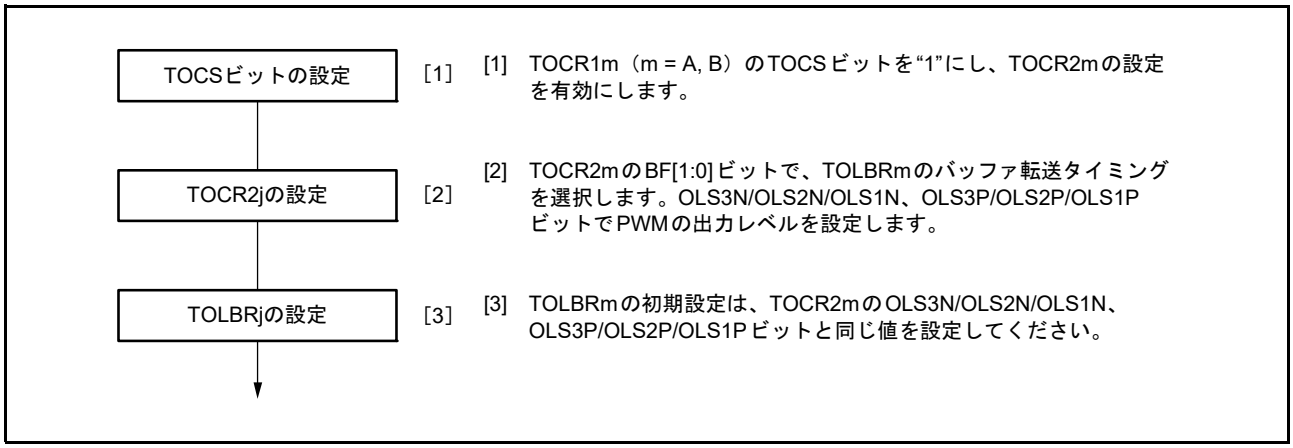


図 22.4 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

22.2.25 タイマゲートコントロールレジスタ m (TGCRm) (m = A, B)

アドレス MTU.TGCRA 000C 120Dh, MTU.TGCRB 000C 1A0Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はFBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。 表22.51を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替えは、外部入力（入力元は、MTU0、MTU9のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCRA、TGCRBのUF、VF、WFの設定値）	R/W
b4	P	正相出力(P)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力(N)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能は有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCRA、TGCRB レジスタは、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、TGCRA、TGCRB レジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定は FB ビットが “1” のときのみ有効です。このときは、b0 ～ b2 の設定が、外部入力の代わりになります。表 22.51 を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相 / 逆相の出力の切り替えを MTU0、MTU9 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号で自動的に行うか、TGCRA、TGCRB レジスタのビット 2 ～ 0 に “0” または “1” を書き込むことによって行うかを選択します。

TGCRA.FB ビットが “0” の場合、MTU0 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号により、MTU3、MTU4 の出力を切り替えます。

TGCRB.FB ビットが “0” の場合、MTU9 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号により、MTU6、MTU7 の出力を切り替えます。

P ビット（正相出力 (P) 制御ビット）

正相端子（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子、MTIOC6B 端子、MTIOC7A 端子、MTIOC7B 端子）を出力時、レベル出力をするか、リセット同期 PWM/ 相補 PWM 出力するかを選択します。

N ビット（逆相出力 (N) 制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子、MTIOC6D 端子、MTIOC7C 端子、

MTIOC7D 端子）を出力時、レベル出力するか、リセット同期 PWM/ 相補 PWM 出力するかの選択をします。

BDC ビット（ブラシレス DC モータビット）

TGCRA、TGCRB レジスタの機能を有効にするか、無効にするかを選択します。

表22.51　出力レベル選択機能

ビット2	ビット1	ビット0	機能					
WF	VF	UF	MTIOC3B, MTIOC6B	MTIOC4A, MTIOC7A	MTIOC4B, MTIOC7B	MTIOC3D, MTIOC6D	MTIOC4C, MTIOC7C	MTIOC4D, MTIOC7D
			U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

22.2.26 タイマサブカウンタ m (TCNTSm) (m = A, B)

アドレス MTU.TCNTSA 000C 1220h, MTU.TCNTSB 000C 1A20h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注. TCNTSA、TCNTSB レジスタの8ビット単位でアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTSA、TCNTSB レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTSA、TCNTSB レジスタのリセット後の値は “0000h” です。

22.2.27 タイマ周期データレジスタ m (TCDRm) (m = A, B)

アドレス MTU.TCDRA 000C 1214h, MTU.TCDRB 000C 1A14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注. TCDRA、TCDRB レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCDRA、TCDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタです。TCDRA、TCDRB レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。
TCDRA、TCDRB レジスタは、相補 PWM モード時 TCNTSA、TCNTSB カウンタと常時比較され、一致すると TCNTSA、TCNTSB カウンタはカウント方向を切り替えます（ダウンカウント→アップカウント）。
TCDRA、TCDRB レジスタのリセット後の値は “FFFFh” です。

22.2.28 タイマ周期バッファレジスタ m (TCBRm) (m = A, B)

アドレス MTU.TCBRA 000C 1222h, MTU.TCBRB 000C 1A22h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注. TCBRA、TCBRB レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCBRA、TCBRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタで、TCDRA、TCDRB レジスタのバッファレジスタとして機能します。TMDR1 レジスタで設定した転送タイミングで TCBRA、TCBRB レジスタの値が TCDRA、TCDRB レジスタに転送されます。TCBRA、TCBRB レジスタのリセット後の値は “FFFFh” です。

22.2.29 タイマデッドタイムデータレジスタ m (TDDRm) (m = A, B)

アドレス MTU.TDDRA 000C 1216h, MTU.TDDRB 000C 1A16h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注. TDDRA、TDDRB レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TDDRA、TDDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード時 MTU3.TCNT（MTU6.TCNT）と MTU4.TCNT（MTU7.TCNT）カウンタのオフセット値を設定します。相補 PWM モード時に MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）カウンタをクリアして再スタートするときは、TDDRA（TDDRB）レジスタの値が MTU3.TCNT（MTU6.TCNT）カウンタにロードされカウント動作を開始します。TDDRA、TDDRB レジスタのリセット後の値は “FFFFh” です。

22.2.30 タイマデッドタイムイネーブルレジスタ m (TDERm) (m = A, B)

アドレス MTU.TDERA 000C 1234h, MTU.TDERB 000C 1A34h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0：デッドタイムを生成しない 1：デッドタイムを生成する(注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDRA≧1、TDDRB≧1に設定してください。

TDERA、TDERB レジスタは、TDERA は MTU3、TDERB は MTU6 に各 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA、TDERB レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット（デッドタイムイネーブルビット）

デッドタイムの生成をする / しないを設定します。

[“0” になる条件]

- TDER = 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

22.2.31 タイマバッファ転送設定レジスタ m (TBTERm) (m = A, B)

アドレス MTU.TBTERA 000C 1232h, MTU.TBTERB 000C 1A32h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ(注1)からテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定します 詳細は表22.52を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 対象バッファレジスタ（TBTERA）
MTU3.TGRC, MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU.TCBRA
対象バッファレジスタ（TBTERB）
MTU6.TGRC, MTU6.TGRD, MTU7.TGRC, MTU7.TGRD, MTU.TCBRB

TBTERA、TBTERB レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する / しない、または割り込み間引き機能 1 と連動する / しないを設定するレジスタです。

表22.52 TBTERA.BTE[1:0]ビット、TBTERB.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE[1]	BTE[0]	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する(注2)
1	1	設定しないでください

注1. TMDR1.MD[3:0]ビットの設定に従い転送します。詳細は「22.3.8 相補PWMモード」を参照してください。
注2. 割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR1A（TITCR1B））のT3AEN、T4VEN（T6AEN, T7VEN）ビットを“0”にしたとき、またはTITCR1A（TITCR1B）の間引き回数設定ビット（T3ACOR、T4VCOR（T6ACOR, T7VCOR））を“0”にしたとき）は、バッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTERA（TBTERB））のBTE1ビットを“0”にする）にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

22.2.32 タイマ波形コントロールレジスタ m (TWCRm) (m = A, B)

アドレス MTU.TWCRA 000C 1260h, MTU.TWCRB 000C 1A60h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	SCC	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0：TOCR1A,TOCR2A（TOCR1B,TOCR2B）レジスタで設定した初期出力値を出力 1：初期出力を抑止する	R/(W)(注3)
b1	SCC	同期クリアコントロールビット(注1、注3)	(TWCRB レジスタのみ有効) 0：MTU0、MTU1、MTU2—MTU6、MTU7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア有効 1：MTU0、MTU1、MTU2—MTU6、MTU7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア無効	R/(W)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット(注2)	0：MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをしない 1：MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする	R/(W)

注1. TWCRB レジスタのみ有効です、TWCRA レジスタでは予約ビットです。
注2. 相補PWMモード1のとき以外は、“1”を書かないでください。
注3. 相補PWMモードのとき以外は、“1”を書かないでください。

TWCRA、TWCRB レジスタは、相補 PWM モードで MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする / しないを設定します。

TWCRA、TWCRB レジスタの CCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット（波形保持許可ビット）

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで設定した初期値を出力します。

相補 PWM モードの谷の Tb 区間については、図 22.49 を参照してください。

[“1” になる条件]

- WRE = 0 で WRE ビットを読んだ後、WRE ビットに “1” を書いたとき

SCC ビット（同期クリアコントロールビット）

相補 PWM モードで MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアが発生したときに、MTU6.TCNT、MTU7.TCNT をクリアする / しないを設定します。

本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。また、カウンタの動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。

SCC ビットの設定により MTU からの同期クリアが無効になるのは、谷の Tb 区間以外で同期クリアが発生したときのみです。MTU6.TCNT、MTU7.TCNT スタート直後を含む谷の Tb 区間で同期クリアが発生した場合は、MTU6.TCNT、MTU7.TCNT がクリアされます。

相補 PWM モードの谷の Tb 区間については、図 22.49 を参照してください。

[“1” になる条件]

- SCC = 0 で SCC ビットを読んだ後、SCC ビットに “1” を書いたとき

TWCRA レジスタでは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

CCE ビット（コンペアマッチクリア許可ビット）

相補 PWM モードで、MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする / しないを設定します。

[“1” になる条件]

- CCE = 0 で CCE ビットを読んだ後、CCE ビットに “1” を書いたとき

22.2.33 ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ～ 4, 6, 7, 9, C)

- MTU0.NFCR0, MTU1.NFCR1, MTU2.NFCR2, MTU3.NFCR3, MTU4.NFCR4, MTU6.NFCR6, MTU7.NFCR7, MTU9.NFCR9

アドレス　MTU0.NFCR0 000C 1290h, MTU1.NFCR1 000C 1291h, MTU2.NFCR2 000C 1292h, MTU3.NFCR3 000C 1293h, MTU4.NFCR4 000C 1294h, MTU6.NFCR6 000C 1A93h, MTU7.NFCR7 000C 1A94h, MTU9.NFCR9 000C 1296h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0：MTIOCnA端子のノイズフィルタは無効 1：MTIOCnA端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0：MTIOCnB端子のノイズフィルタは無効 1：MTIOCnB端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタC許可ビット(注1)	0：MTIOCnC端子のノイズフィルタは無効 1：MTIOCnC端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタD許可ビット(注1)	0：MTIOCnD端子のノイズフィルタは無効 1：MTIOCnD端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：PCLKC/1 0 1：PCLKC/8 1 0：PCLKC/32 1 1：カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　MTU1、MTU2では予約ビットです。読むと“0”が読めます。書き込みは無効です。

NFCRn レジスタ（n = 0 ～ 4, 6, 7, 9）は、対応するチャネルのインプットキャプチャ入力端子のノイズフィルタ機能を設定します。

NFAEN ビット（ノイズフィルタ A 許可ビット）

MTIOCnA 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ B 許可ビット）

MTIOCnB 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ C 許可ビット）

MTIOCnC 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ D 許可ビット）

MTIOCnD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。本ビットを “11b” に設定しカウントソースを外部クロックとした場合、本ビット設定後外部クロックを 2 回入力した後インプットキャプチャ機能に設定してください。

- MTU0.NFCRC

アドレス　MTU0.NFCRC 000C 1299h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0：MTCLKA 端子のノイズフィルタは無効 1：MTCLKA 端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0：MTCLKB 端子のノイズフィルタは無効 1：MTCLKB 端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0：MTCLKC 端子のノイズフィルタは無効 1：MTCLKC 端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット	0：MTCLKD 端子のノイズフィルタは無効 1：MTCLKD 端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：PCLKC/1 0 1：PCLKC/2 1 0：PCLKC/8 1 1：PCLKC/32	R/W
b7-b6	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

NFCRC レジスタは、各チャネル共通で外部クロック端子のノイズフィルタ機能を設定します。

NFAEN ビット（ノイズフィルタ A 許可ビット）

MTCLKA 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ B 許可ビット）

MTCLKB 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ C 許可ビット）

MTCLKC 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図

しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ D 許可ビット）

MTCLKD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

22.2.34 ノイズフィルタコントロールレジスタ 5 (NFCR5)

アドレス MTU5.NFCR5 000C 1A95h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		—	NFWEN	NFVEN	NFUEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0：MTIC5U端子のノイズフィルタは無効 1：MTIC5U端子のノイズフィルタは有効	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0：MTIC5V端子のノイズフィルタは無効 1：MTIC5V端子のノイズフィルタは有効	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0：MTIC5W端子のノイズフィルタは無効 1：MTIC5W端子のノイズフィルタは有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：PCLKC/1 0 1：PCLKC/8 1 0：PCLKC/32 1 1：カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFUEN ビット（ノイズフィルタ U 許可ビット）

MTIC5U 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFVEN ビット（ノイズフィルタ V 許可ビット）

MTIC5V 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFWEN ビット（ノイズフィルタ W 許可ビット）

MTIC5W 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

22.2.35 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

- MTU4.TADCR

アドレス MTU4.TADCR 000C 1240h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG4BN）をTCIV4割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4BN）をTCIV4割り込み間引き機能1と連動する	R/W
b1	ITB3AE	TGIA3割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG4BN）をTGIA3割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4BN）をTGIA3割り込み間引き機能1と連動する	R/W
b2	ITA4VE	TCIV4割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG4AN）をTCIV4割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4AN）をTCIV4割り込み間引き機能1と連動する	R/W
b3	ITA3AE	TGIA3割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG4AN）をTGIA3割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4AN）をTGIA3割り込み間引き機能1と連動する	R/W
b4	DT4BE	ダウンカウントTRG4BN許可ビット(注3)	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b5	UT4BE	アップカウントTRG4BN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b6	DT4AE	ダウンカウントTRG4AN許可ビット(注3)	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b7	UT4AE	アップカウントTRG4AN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/TADCOBRB転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRBからMTU4.TADCORA、MTU4.TADCORBへの転送タイミングを選択します。詳細は表22.53を参照してください	R/W

注. MTU4.TADCRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。
注1. 割り込み間引きが禁止のときTITCR1A.T3AEN,T4VENビットを“0”にしたとき、またはTITCR1A.T3ACOR,T4VCORビットを“0”にしたときは、“0”にしてください。
注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。
注3. 相補PWMモードのとき以外は、“0”にしてください。

TADCR レジスタは、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。MTU には、MTU4、MTU7 に各 1 本の TADCR レジスタがあります。

表22.53　TADCR.BF[1:0]ビットによる転送タイミングの設定(MTU4)

ビット15	ビット14	説明			
BF[1]	BF[0]	相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止

- MTU7.TADCR

アドレス MTU7.TADCR 000C 1A40h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB7VE	TCIV7割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG7BN）をTCIV7割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7BN）をTCIV7割り込み間引き機能1と連動する	R/W
b1	ITB6AE	TGIA6割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG7BN）をTGIA6割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7BN）をTGIA6割り込み間引き機能1と連動する	R/W
b2	ITA7VE	TCIV7割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG7AN）をTCIV7割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7AN）をTCIV7割り込み間引き機能1と連動する	R/W
b3	ITA6AE	TGIA6割り込み間引き連動許可ビット(注1、注2、注3)	0：A/D変換の開始要求（TRG7AN）をTGIA6割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7AN）をTGIA6割り込み間引き機能1と連動する	R/W
b4	DT7BE	ダウンカウントTRG7BN許可ビット(注3)	0：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7BN）を禁止 1：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7BN）を許可	R/W
b5	UT7BE	アップカウントTRG7BN許可ビット	0：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7BN）を禁止 1：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7BN）を許可	R/W
b6	DT7AE	ダウンカウントTRG7AN許可ビット(注3)	0：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7AN）を禁止 1：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7AN）を許可	R/W
b7	UT7AE	アップカウントTRG7AN許可ビット	0：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7AN）を禁止 1：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7AN）を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU7.TADCOBRA/TADCOBRB転送タイミング選択ビット	MTU7.TADCOBRA、MTU7.TADCOBRBからMTU7.TADCORA、MTU7.TADCORBへの転送タイミングを選択します。詳細は表22.54を参照してください	R/W

注.　MTU7.TADCRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。
注1.　割り込み間引きが禁止のときTITCR1B.T6AEN,T7VENビットを“0”に設定したとき、またはTITCR1B.T6ACOR, T7VCORビットを“0”にしたときは、“0”にしてください。
注2.　割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。
注3.　相補PWMモードのとき以外は、“0”にしてください。

表22.54　TADCR.BF[1:0]ビットによる転送タイミングの設定(MTU7)

ビット15	ビット14	説明			
BF[1]	BF[0]	相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない
0	1	MTU7.TCNTの山で周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	MTU6.TCNTがMTU6.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する
1	0	MTU7.TCNTの谷で周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU7.TCNTの山と谷で周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止

22.2.36 タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B)

アドレス　MTU4.TADCORA 000C 1244h, MTU4.TADCORB 000C 1246h, MTU7.TADCORA 000C 1A44h, MTU7.TADCORB 000C 1A46h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TADCORA、TADCORBは8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。
注1.　割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能（詳細は「22.3.9 (5)　割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は“0002h”～MTU4：TCDRAの設定値－2、MTU7：TCDRBの設定値－2の値を設定してください。
注2.　割り込み間引き機能2を使用し、かつTADCORAレジスタ値とTADCORBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。
(1) 間引き機能2、間引き回数が“0”の場合
- TADCORAレジスタ値とTADCORBレジスタ値との間隔が「4」以上
- TADCORAのコンペア間隔が4 PCLKC以上（TADCORAレジスタの更新値を「前値＋4以上」、「前値－4以下」に設定）
- TADCORBのコンペア間隔が4 PCLKC以上（TADCORBレジスタの更新値を「前値＋4以上」、「前値－4以下」に設定）

(2) 間引き機能2、間引き回数が1以上の場合
- TADCORAレジスタ値とTADCORBレジスタ値との間隔が「2」以上
- TADCORBのコンペア間隔が2 PCLKC以上（TADCORBレジスタの更新値を「前値＋2以上」、「前値－2以下」に設定）

TADCORA、TADCORB レジスタは 16 ビットの読み出し / 書き込み可能なレジスタで、MTUn.TCNT（n = 4, 7）と一致したとき、対応する A/D 変換開始要求を生成します。

TADCORA、TADCORB レジスタのリセット後の値は “FFFFh” です。

22.2.37 タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B)

アドレス　MTU4.TADCOBRA 000C 1248h, MTU4.TADCOBRB 000C 124Ah, MTU7.TADCOBRA 000C 1A48h, MTU7.TADCOBRB 000C 1A4Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TADCOBRA、TADCOBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRB レジスタは 16 ビットの読み出し / 書き込み可能なレジスタで、TADCORA、TADCORB のバッファレジスタです。TADCOBRA、TADCOBRB から山か谷で TADCORA、TADCORB に転送します。

TADCOBRA、TADCOBRB レジスタのリセット後の値は “FFFFh” です。

22.2.38 タイマ割り込み間引きモードレジスタ m (TITMRm) (m = A, B)

アドレス MTU.TITMRA 000C 123Ah, MTU.TITMRB 000C 1A3Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TITM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 0：割り込み間引き機能1(注1) 1：割り込み間引き機能2(注2)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TITCR1A、TITCR1Bレジスタを設定することにより割り込み間引き機能1が有効になります。
注2. TITCR2A、TITCR2Bレジスタを設定することにより割り込み間引き機能2が有効になります。

TITMRA、TITMRB レジスタは、2 種類の間引き機能を選択するレジスタです。

22.2.39 タイマ割り込み間引き設定レジスタ 1m (TITCR1m) (m = A, B)

- MTU.TITCR1A

アドレス MTU.TITCR1A 000C 1230h

	b7	b6	b5	b4	b3	b2	b1	b0
	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0～7回で設定します 詳細は表22.55を参照してください	R/W
b3	T4VEN	T4VENビット	0：TCIV4割り込みの間引きを禁止する 1：TCIV4割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0～7回で設定します(注1) 詳細は表22.56を参照してください	R/W
b7	T3AEN	T3AENビット	0：TGIA3割り込みの間引きを禁止する 1：TGIA3割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VENビットを“0”にして間引き回数カウンタ（TITCNT1A）をクリアしてください。

- MTU.TITCR1B

アドレス MTU.TITCR1B 000C 1A30h

	b7	b6	b5	b4	b3	b2	b1	b0
	T6AEN	T6ACOR[2:0]			T7VEN	T7VCOR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCOR[2:0]	TCIV7割り込み間引き回数設定ビット	TCIV7割り込みの間引き回数を0～7回で設定します。 詳細は表22.57を参照してください	R/W
b3	T7VEN	T7VENビット	0：TCIV7割り込みの間引きを禁止する 1：TCIV7割り込みの間引きを許可する	R/W
b6-b4	T6ACOR[2:0]	TGIA6割り込み間引き回数設定ビット	TGIA6割り込みの間引き回数を0～7回で設定します。(注1) 詳細は表22.58を参照してください	R/W
b7	T6AEN	T6AENビット	0：TGIA6割り込みの間引きを禁止する 1：TGIA6割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1B.T6AEN、TITCR1B.T7VENビットを“0”にして間引き回数カウンタ（TITCNT1B）をクリアしてください。

TITCR1A、TITCR1B レジスタは、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。この設定はそれぞれ TITMRA.TITM、TITMRB.TITM ビットを “0” としたときのみ有効になります。また、TITMRA.TITM（TITMRB.TITM）ビットを “1” にした場合、TITCR1A（TITCR1B）レジスタの値はクリアされます。

表22.55　T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T4VCOR[2]	ビット1 T4VCOR[1]	ビット0 T4VCOR[0]	説明
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表22.56　T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T3ACOR[2]	ビット5 T3ACOR[1]	ビット4 T3ACOR[0]	説明
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

表22.57　T7VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T7VCOR[2]	ビット1 T7VCOR[1]	ビット0 T7VCOR[0]	説明
0	0	0	TCIV7の割り込み間引きを行わない
0	0	1	TCIV7の割り込み間引き回数を1回に設定
0	1	0	TCIV7の割り込み間引き回数を2回に設定
0	1	1	TCIV7の割り込み間引き回数を3回に設定
1	0	0	TCIV7の割り込み間引き回数を4回に設定
1	0	1	TCIV7の割り込み間引き回数を5回に設定
1	1	0	TCIV7の割り込み間引き回数を6回に設定
1	1	1	TCIV7の割り込み間引き回数を7回に設定

表22.58　T6ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T6ACOR[2]	ビット5 T6ACOR[1]	ビット4 T6ACOR[0]	説明
0	0	0	TGIA6の割り込み間引きを行わない
0	0	1	TGIA6の割り込み間引き回数を1回に設定
0	1	0	TGIA6の割り込み間引き回数を2回に設定
0	1	1	TGIA6の割り込み間引き回数を3回に設定
1	0	0	TGIA6の割り込み間引き回数を4回に設定
1	0	1	TGIA6の割り込み間引き回数を5回に設定
1	1	0	TGIA6の割り込み間引き回数を6回に設定
1	1	1	TGIA6の割り込み間引き回数を7回に設定

22.2.40 タイマ割り込み間引き回数カウンタ 1m (TITCNT1m) (m = A, B)

- MTU.TITCNT1A

アドレス MTU.TITCNT1A 000C 1231h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	T3ACNT[2:0]			—	T4VCNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCR1AのT4VENビットが“1”のとき、TCIV4割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCR1AのT3AENビットが“1”のとき、TGIA3割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注. TITCNT1Aレジスタの値をクリアするには、TITCR1A.T3AENビットとTITCR1A.T4VENビットを“0”にしてください。

TITCNT1A、TITCNT1B レジスタは、8 ビットの読み出し可能なカウンタです。TITCNT1A、TITCNT1B は、MTU3.TCNT および MTU4.TCNT（MTU6.TCNT および MTU7.TCNT）のカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット（TCIV4 割り込みカウンタビット）

[“0” になる条件]

- TITMRA.TITM ビットが “1” のとき
- TITCR1A.T4VEN ビットが “0” のとき
- TITCR1A.T4VCOR[2:0] ビットが “000b” のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

T3ACNT[2:0] ビット（TGIA3 割り込みカウンタビット）

[“0” になる条件]

- TITMRA.TITM ビットが “1” のとき
- TITCR1A.T3AEN ビットが “0” のとき
- TITCR1A.T3ACOR[2:0] ビットが “000b” のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

- MTU.TITCNT1B

アドレス MTU.TITCNT1B 000C 1A31h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	T6ACNT[2:0]			—	T7VCNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCNT[2:0]	TCIV7割り込みカウンタビット	TITCR1BのT7VENビットを“1”にしたとき、TCIV7割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T6ACNT[2:0]	TGIA6割り込みカウンタビット	TITCR1BのT6AENビットを“1”にしたとき、TGIA6割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注.　TITCNT1Bの値をクリアするには、TITCR1B.T6AENビットとTITCR1B.T7VENビットを“0”にしてください。

T7VCNT[2:0] ビット（TCIV7 割り込みカウンタビット）

[“0” になる条件]

- TITMRB.TITM ビットが “1” のとき
- TITCR1B.T7VEN ビットが “0” のとき
- TITCR1B.T7VCOR[2:0] ビットが “000b” のとき
- TITCR1B.T7VCOR[2:0] ビットと TITCNT1B.T7VCNT[2:0] ビットが一致したとき

T6ACNT[2:0] ビット（TGIA6 割り込みカウンタビット）

[“0” になる条件]

- TITMRB.TITM ビットが “1” のとき
- TITCR1B.T6AEN ビットが “0” のとき
- TITCR1B.T6ACOR[2:0] ビットが “000b” のとき
- TITCR1B.T6ACOR[2:0] ビットと TITCNT1B.T6ACNT[2:0] ビットが一致したとき

22.2.41 タイマ割り込み間引き設定レジスタ 2m (TITCR2m) (m = A, B)

- MTU.TITCR2A

アドレス MTU.TITCR2A 000C 123Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG4COR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4COR[2:0]	TRG4AN/TRG4BN割り込み間引き回数設定ビット	TRG4AN/TRG4BN割り込みの間引き回数を0～7回で設定します。詳細は表22.59を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITCR2A、TITCR2B レジスタは、TRG4AN と TRG4BN（TRG7AN と TRG7BN）の割り込み間引き回数を設定するレジスタです。

この設定は TITMRA、TITMRB レジスタを “1” にしたときのみ有効になります。

表22.59 TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG4COR[2]	TRG4COR[1]	TRG4COR[0]	
0	0	0	TRG4ANとTRG4BNの割り込み回数間引きを行わない
0	0	1	TRG4ANとTRG4BNの割り込み回数を1回に設定
0	1	0	TRG4ANとTRG4BNの割り込み回数を2回に設定
0	1	1	TRG4ANとTRG4BNの割り込み回数を3回に設定
1	0	0	TRG4ANとTRG4BNの割り込み回数を4回に設定
1	0	1	TRG4ANとTRG4BNの割り込み回数を5回に設定
1	1	0	TRG4ANとTRG4BNの割り込み回数を6回に設定
1	1	1	TRG4ANとTRG4BNの割り込み回数を7回に設定

- MTU.TITCR2B

アドレス MTU.TITCR2B 000C 1A3Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG7COR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7COR[2:0]	TRG7AN/TRG7BN割り込み間引き回数設定ビット	TRG7AN/TRG7BN割り込みの間引き回数を0～7回で設定します。詳細は表22.60を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.60　TRG7COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG7COR[2]	TRG7COR[1]	TRG7COR[0]	
0	0	0	TRG7ANとTRG7BNの割り込み回数間引きを行わない
0	0	1	TRG7ANとTRG7BNの割り込み回数を1回に設定
0	1	0	TRG7ANとTRG7BNの割り込み回数を2回に設定
0	1	1	TRG7ANとTRG7BNの割り込み回数を3回に設定
1	0	0	TRG7ANとTRG7BNの割り込み回数を4回に設定
1	0	1	TRG7ANとTRG7BNの割り込み回数を5回に設定
1	1	0	TRG7ANとTRG7BNの割り込み回数を6回に設定
1	1	1	TRG7ANとTRG7BNの割り込み回数を7回に設定

22.2.42 タイマ割り込み間引き回数カウンタ 2m (TITCNT2m) (m = A, B)

- MTU.TITCNT2A

アドレス MTU.TITCNT2A 000C 123Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG4CNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4CNT[2:0]	TRG4AN/TRG4BN割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

TITCNT2A、TITCNT2B レジスタは、TRG4COR[2:0] ビット、TRG7COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN（TITCNT2A）および TRG7AN、TRG7BN（TITCNT2B）が発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みおよび TRG7AN、TRG7BN の割り込みが有効になります。

TRG4CNT[2:0] ビット（TRG4AN/TRG4BN 割り込みカウンタビット）

TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0” になる条件]

- TITMRA.TITM ビットが “0” のとき
- TITCR2A.TRG4COR[2:0] ビットが “000b” のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

- MTU.TITCNT2B

アドレス MTU.TITCNT2B 000C 1A3Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG7CNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7CNT[2:0]	TRG7AN/TRG7BN割り込みカウンタビット	TRG7COR[2:0]ビットで設定した値から、TRG7AN、TRG7BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

TRG7CNT[2:0] ビット（TRG7AN/TRG7BN 割り込みカウンタビット）

TRG7COR[2:0] ビットで設定した値から、TRG7AN および TRG7BN 割り込みが発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG7AN、TRG7BN 割り込みが有効になります。

[“0” になる条件]

- TITMRB.TITM ビットが “0” のとき
- TITCR2B.TRG7COR[2:0] ビットが “000b” のとき
- TITCR2B.TRG7COR[2:0] ビットと TRG7AN および TRG7BN の発生回数が一致したとき

22.2.43 A/D 変換開始要求選択レジスタ 0 (TADSTRGR0)

アドレス MTU.TADSTRGR0 000C 1D30h

	b7	b6	b5	b4	b3	b2	b1	b0
	TADSMEN0	—	—	TADSTRS0[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	TADSTRS0[4:0]	ADSM0端子出力フレーム同期信号生成用A/D変換開始要求選択ビット	ADSM0端子から出力するフレーム同期信号を生成するA/D変換開始要求を選択します。A/D変換開始要求と設定値の関係は表22.61を参照してください。表22.61記載の値以外は設定しないでください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TADSMEN0	ADSM0端子出力許可ビット	0：ADSM0端子出力禁止 1：ADSM0端子出力許可	R/W

TADSTRGR0 レジスタは、ADSM0 端子から出力する A/D 変換開始要求フレーム同期信号生成に使用する A/D 変換開始要求を選択するレジスタです。

22.2.44 A/D 変換開始要求選択レジスタ 1 (TADSTRGR1)

アドレス MTU.TADSTRGR1 000C 1D32h

	b7	b6	b5	b4	b3	b2	b1	b0
	TADSMEN1	—	—	TADSTRS1[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	TADSTRS1[4:0]	ADSM1端子出力フレーム同期信号生成用A/D変換開始要求選択ビット	ADSM1端子から出力するフレーム同期信号を生成するA/D変換開始要求を選択します。A/D変換開始要求と設定値の関係は表22.61を参照してください。表22.61記載の値以外は設定しないでください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TADSMEN1	ADSM1端子出力許可ビット	0：ADSM1端子出力禁止 1：ADSM1端子出力許可	R/W

TADSTRGR1 レジスタは、ADSM1 端子から出力する A/D 変換開始要求フレーム同期信号生成に使用する A/D 変換開始要求を選択するレジスタです。

表22.61　フレーム同期信号生成用A/D変換開始要求の設定 (n = 0, 1)

TADSTRSn[4:0]					要因	内容
[4]	[3]	[2]	[1]	[0]		
0	0	0	0	0	—	要因非選択
0	0	0	0	1	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ
0	0	0	1	0	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ
0	0	0	1	1	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	0	0	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	0	1	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー（谷）
0	0	1	1	0	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	1	1	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー（谷）
0	1	0	0	0	TRG0N	MTU0.TGREのコンペアマッチ
0	1	0	0	1	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ
0	1	0	1	0	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ
0	1	1	0	0	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）
0	1	1	0	1	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ
0	1	1	1	0	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ
1	0	0	0	0	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）
1	0	0	0	1	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ
1	0	0	1	0	TRG9N	MTU9.TGREのコンペアマッチ
1	0	0	1	1	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャとMTU9.TGREのコンペアマッチ
1	0	1	0	0	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャとMTU0.TGREのコンペアマッチ
1	0	1	0	1	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャとMTU9.TGRAのコンペアマッチ/インプットキャプチャ
1	0	1	1	0	TRG09N	MTU0.TGREのコンペアマッチとMTU9.TGREのコンペアマッチ

22.3 動作説明

22.3.1 基本動作

各チャネルには、TCNT と TGR レジスタがあります。TCNT は、アップカウント動作を行い、フリーランニングカウント動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRA レジスタの CST0 ～ CST4、CST9 ビット、TSTRB レジスタの CST6、CST7 ビット、MTU5.TSTR レジスタの CSTU5、CSTV5、CSTW5 ビットを “1” にすると、対応するチャネルの TCNT はカウント動作を開始します。フリーランニングカウント動作、周期カウント動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 22.5 に示します。

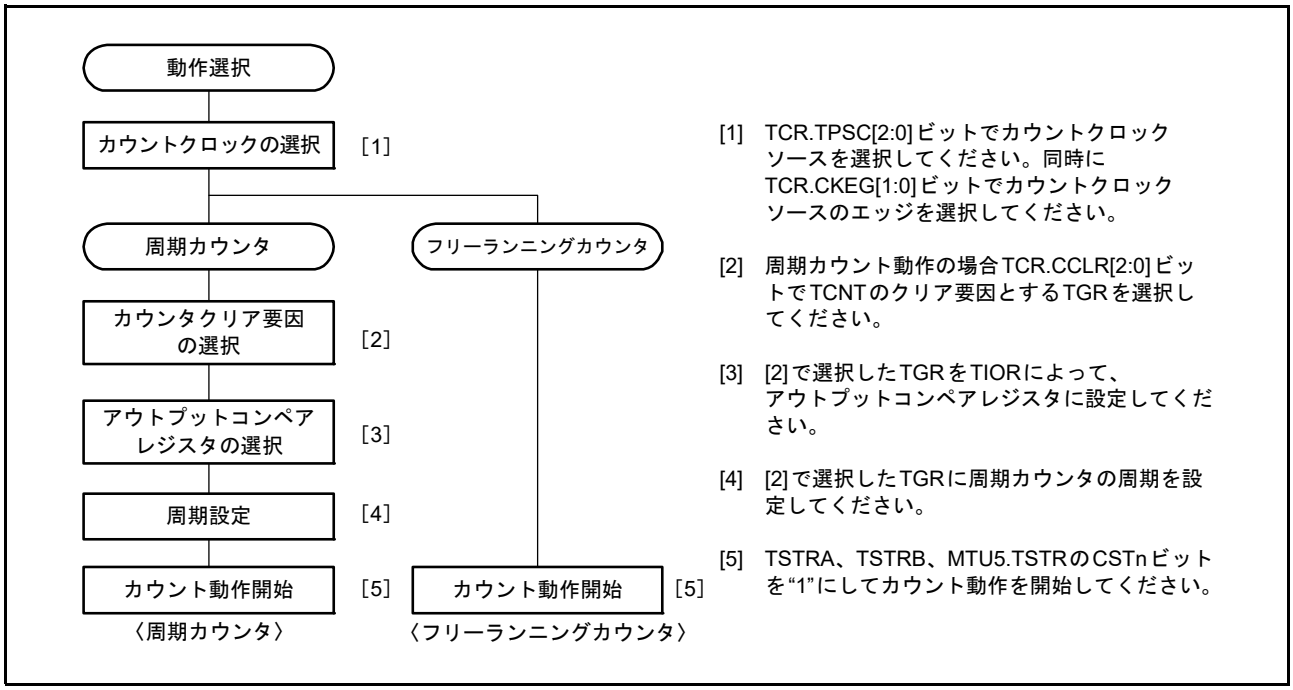


図 22.5　カウント動作設定手順例

(b) フリーランニングカウント動作と周期カウント動作

TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、TSTRB、MTU5.TSTR レジスタの CSTn ビットを “1” にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバフロー（FFFFh → 0000h）すると、対応する TIER.TCIEV ビットが “1” ならば、CPU への割り込み要求を発行します。TCNT はオーバフロー後、“0000h” からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 22.6 に示します。

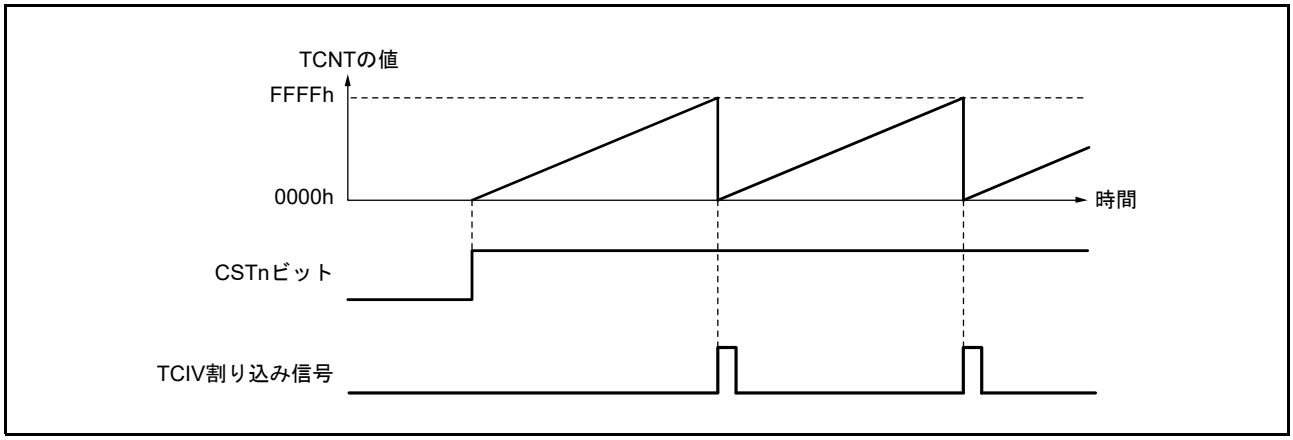


図 22.6　フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0] ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、TSTRB、MTU5.TSTR レジスタの CSTn ビットを “1” にすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TCNT は “0000h” になります。

このとき対応する TIER.TGIE ビットが “1” ならば、CPU への割り込み要求を発行します。TCNT はコンペアマッチ後、“0000h” からアップカウント動作を継続します。

周期カウンタの動作を図 22.7 に示します。

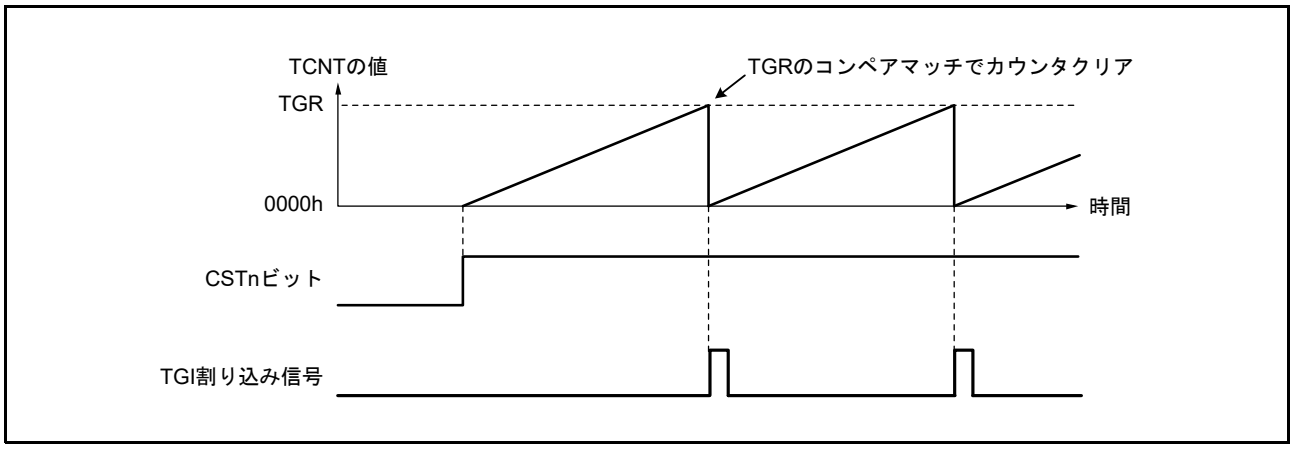


図 22.7　周期カウンタの動作

(2) コンペアマッチによる波形出力機能

コンペアマッチにより対応する出力端子から Low 出力 /High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 22.8 に示します。

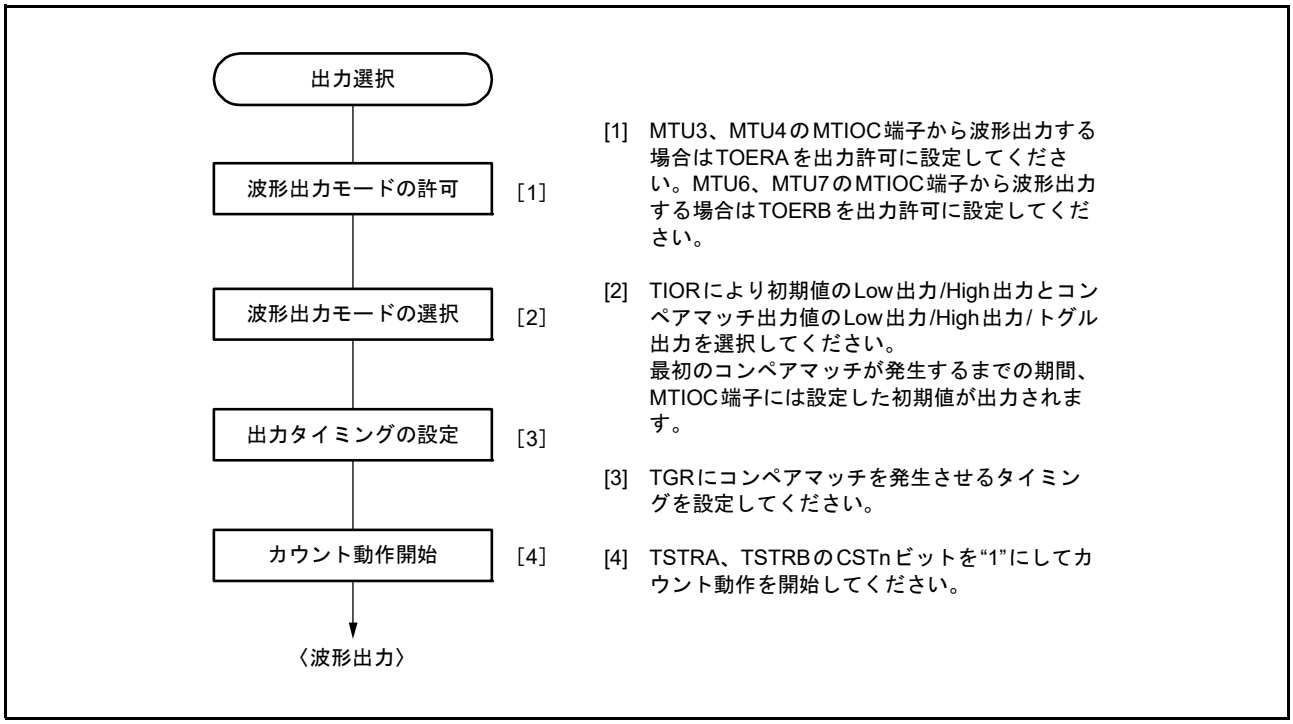


図 22.8　コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low 出力 /High 出力例を図 22.9 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

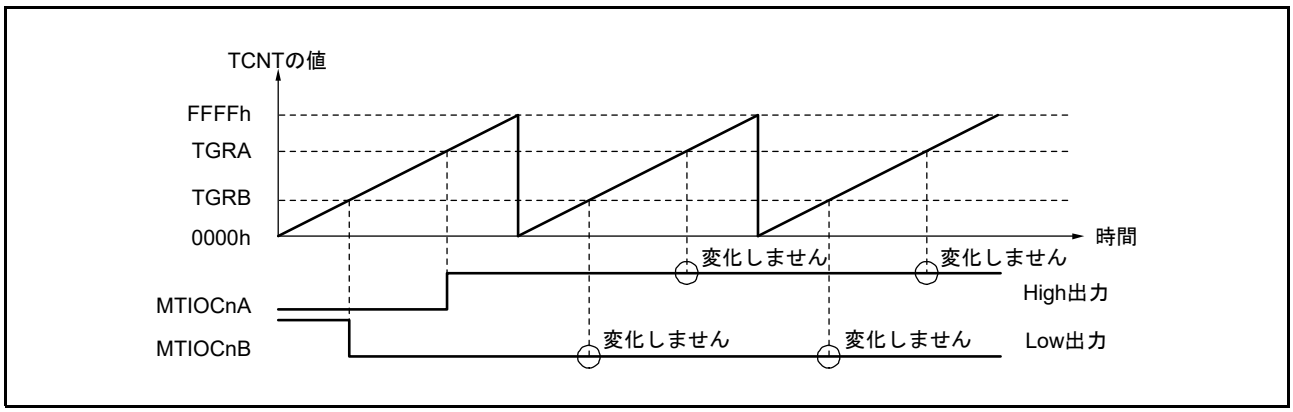


図 22.9　Low 出力 /High 出力の動作例 (n = 0 ～ 4, 6, 7, 9)

トグル出力の例を図 22.10 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

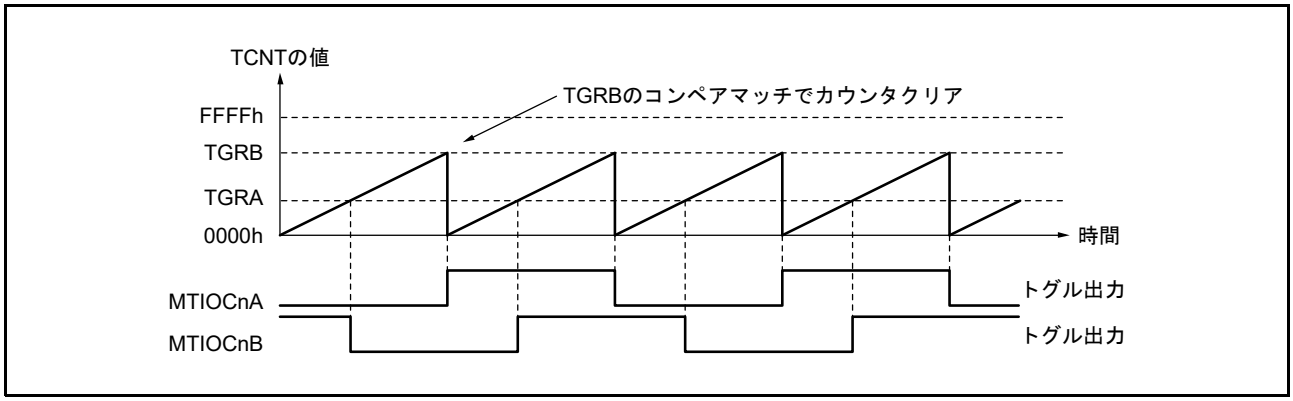


図 22.10　トグル出力の動作例 (n = 0 ～ 4, 6, 7, 9)

(3) インプットキャプチャ機能

MTIOCnm 端子（n = 0 ～ 4, 6, 7, 9、m = A ～ D）、および MTIC5m 端子（m = U, V, W）の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、MTU0、MTU1、MTU9 は別のチャネルのカウントクロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。

注 . MTU0、MTU1、MTU9 で別のチャネルのカウントクロックをインプットキャプチャ入力とする場合は、インプットキャプチャ入力とするカウントクロックに PCLKC/1 を選択しないでください。PCLKC/1 を選択した場合は、インプットキャプチャは発生しません。

(a) インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 22.11 に示します。

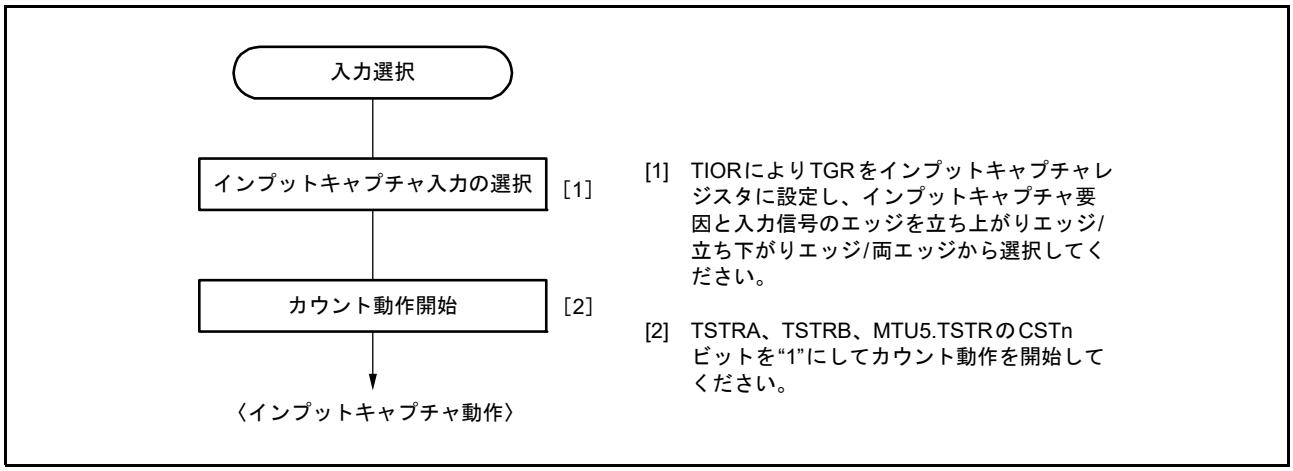


図 22.11　インプットキャプチャ動作の設定例

(b) インプットキャプチャ動作例

インプットキャプチャ動作例を図 22.12 に示します。

MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また MTIOCnB 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です（n = 0 ～ 4, 6, 7, 9）。

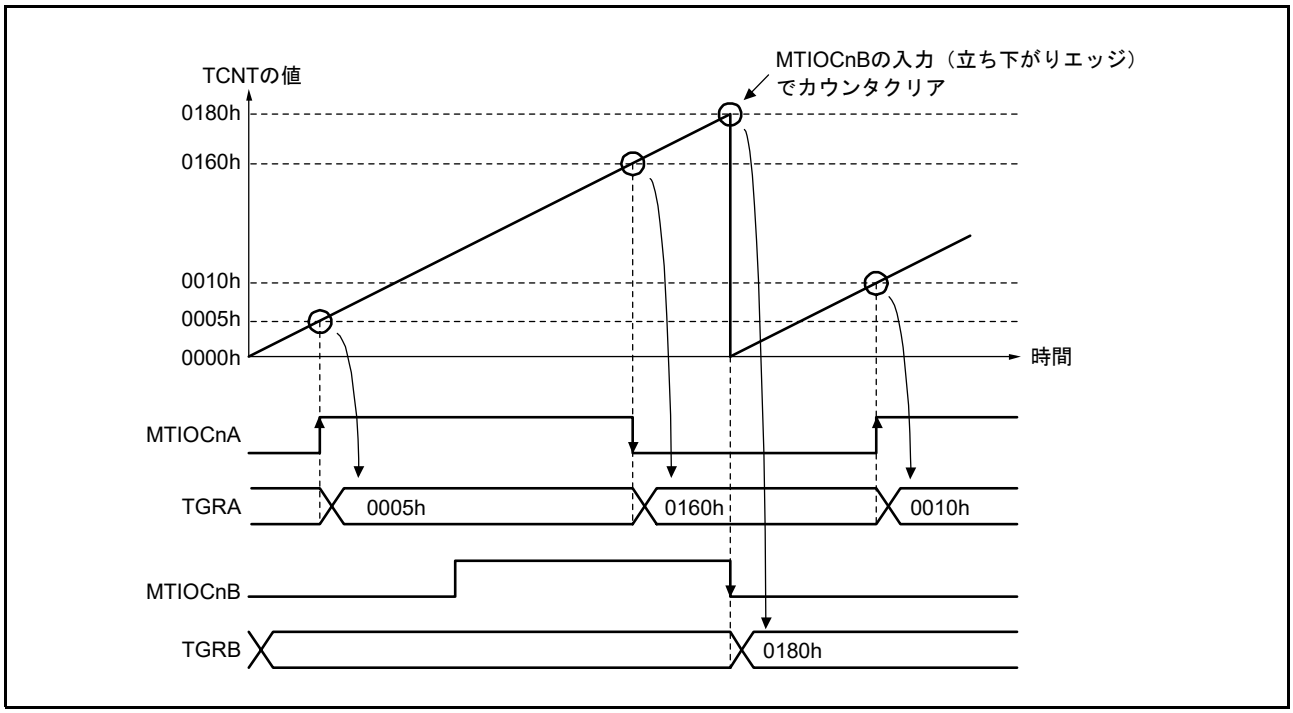


図 22.12　インプットキャプチャ動作例 (n = 0 ～ 4, 6, 7, 9)

22.3.2 同期動作

同期動作を使って、複数の TCNT の値を同時に書き換えることができます（同期セット）。また、TCR レジスタの設定によって複数の TCNT を同時に “0” にすることができます（同期クリア）。

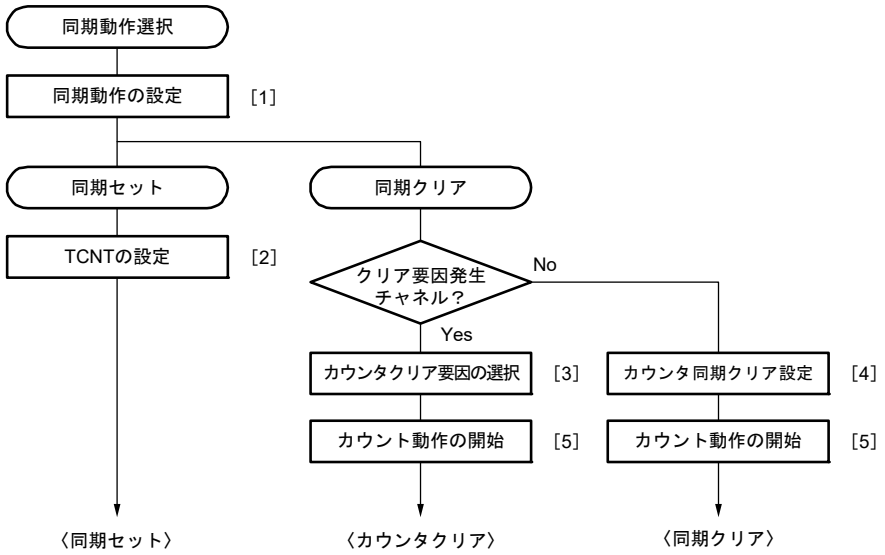
同期動作によって、1 つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0 ～ MTU4、MTU6、MTU7、MTU9 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 22.13 に示します。



[1] 同期動作に設定するチャネルに対応したTSYRA、TSYRBのSYNCビットを“1”にしてください。

[2] 同期動作に設定したチャネルのいずれかのTCNTに書くと、他のTCNTにも同じ値が同時に書かれます。

[3] TCRのCCLR[2:0]ビットで、インプットキャプチャ/アウトプットコンペアなどでTCNTをクリアするように設定してください。

[4] TCRのCCLR[2:0]ビットで、カウンタクリア要因を同期クリアに設定してください。

[5] 対象となるチャネルに対応するTSTRA、TSTRBのCSTnビットを“1”にしてカウント動作を開始してください。

図 22.13 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 22.14 に示します。

MTU0 ～ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ～ MTU2 の TCNT は同期セット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「22.3.5　PWM モード」を参照してください。

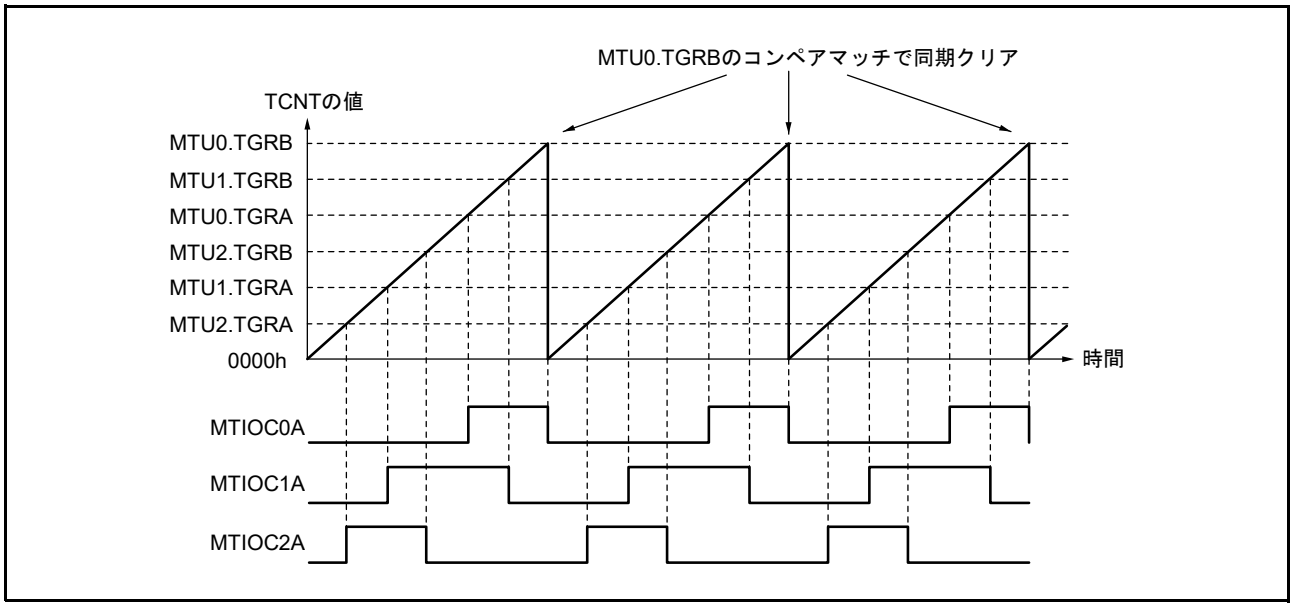


図 22.14　同期動作の動作例

22.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 が持つ機能です。TGRC と TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0、MTU9 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注．　MTU0.TGRE、MTU9.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 22.62 にバッファ動作時のレジスタの組み合わせを示します。

表22.62　レジスタの組み合わせ

チャネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD
MTU6	TGRA	TGRC
	TGRB	TGRD
MTU7	TGRA	TGRC
	TGRB	TGRD
MTU9	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 22.15 に示します。

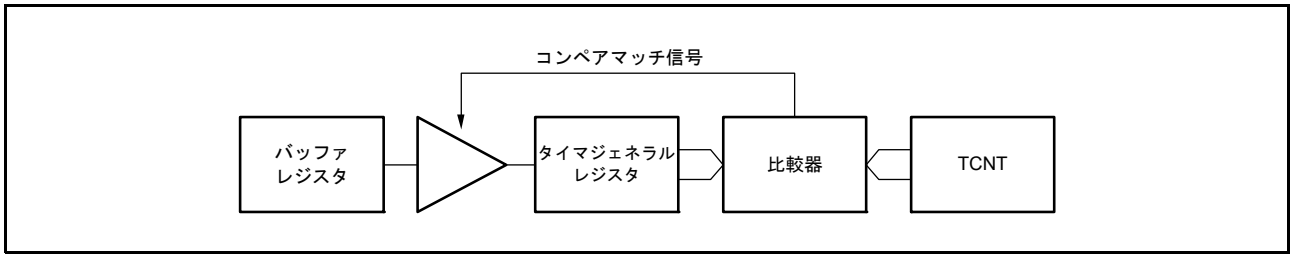


図 22.15　コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 22.16 に示します。

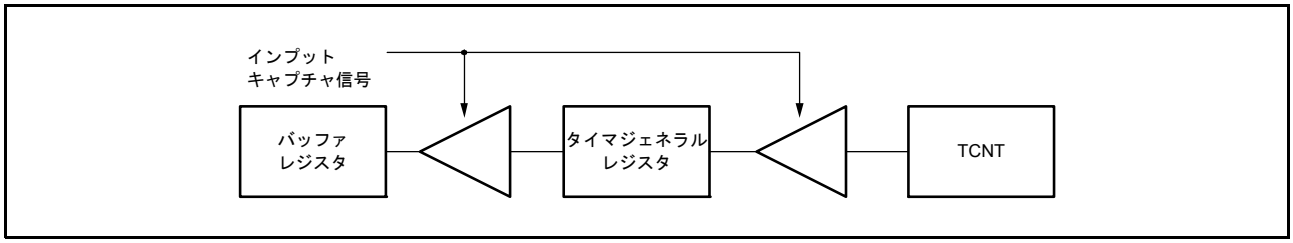


図 22.16　インプットキャプチャバッファ動作

(1)　バッファ動作の設定手順例

バッファ動作の設定手順例を図 22.17 に示します。

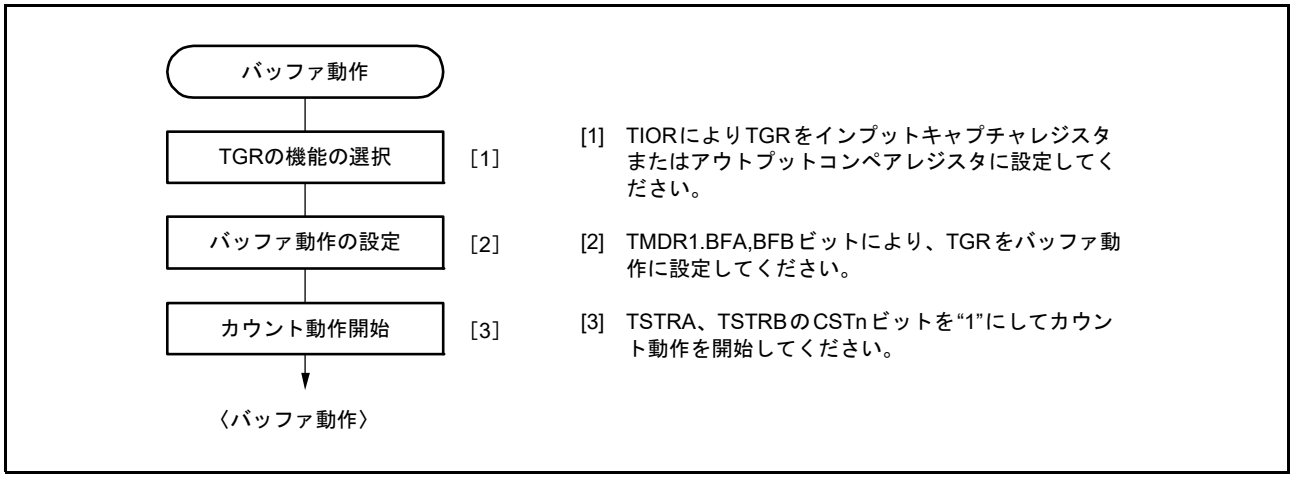


図 22.17　バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 22.18 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM.TTSA ビットは “0” にしています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「22.3.5　PWM モード」を参照してください。

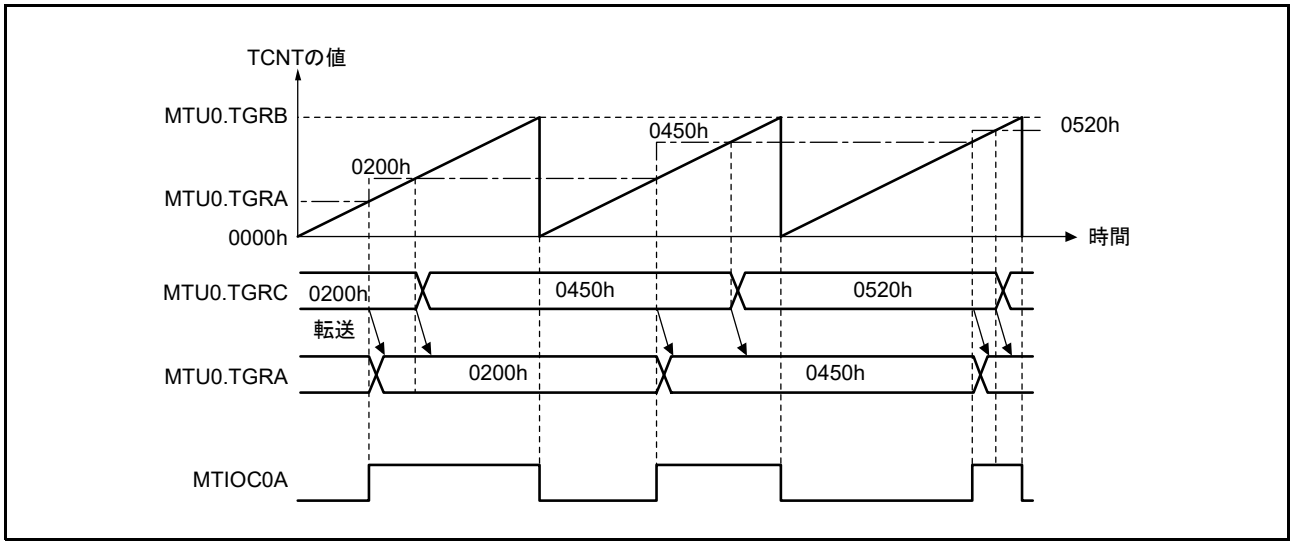


図 22.18　バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 22.19 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています（n = 0 ～ 4, 6, 7, 9）。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に転送されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

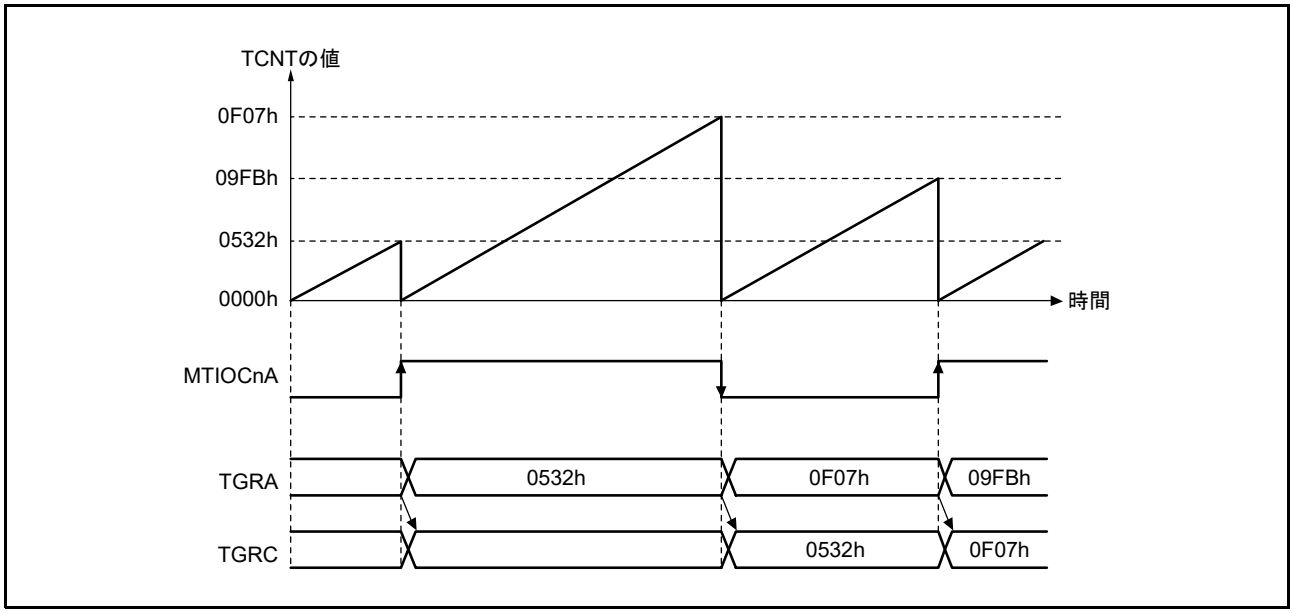


図 22.19　バッファ動作例 (2) (n = 0 ～ 4, 6, 7, 9)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ（MTUn.TBTM）（n = 0, 3, 4, 6, 7, 9）を設定することで、MTU0、MTU9 では PWM モード 1、2 時の、MTU3、MTU4、MTU6、MTU7 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（リセット後の値）と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバフローしたとき（FFFFh → 0000h）
- カウンタの動作中、TCNT に “0000h” が書かれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT が “0000h” になったとき

注 .　TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 22.20 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” にしています。

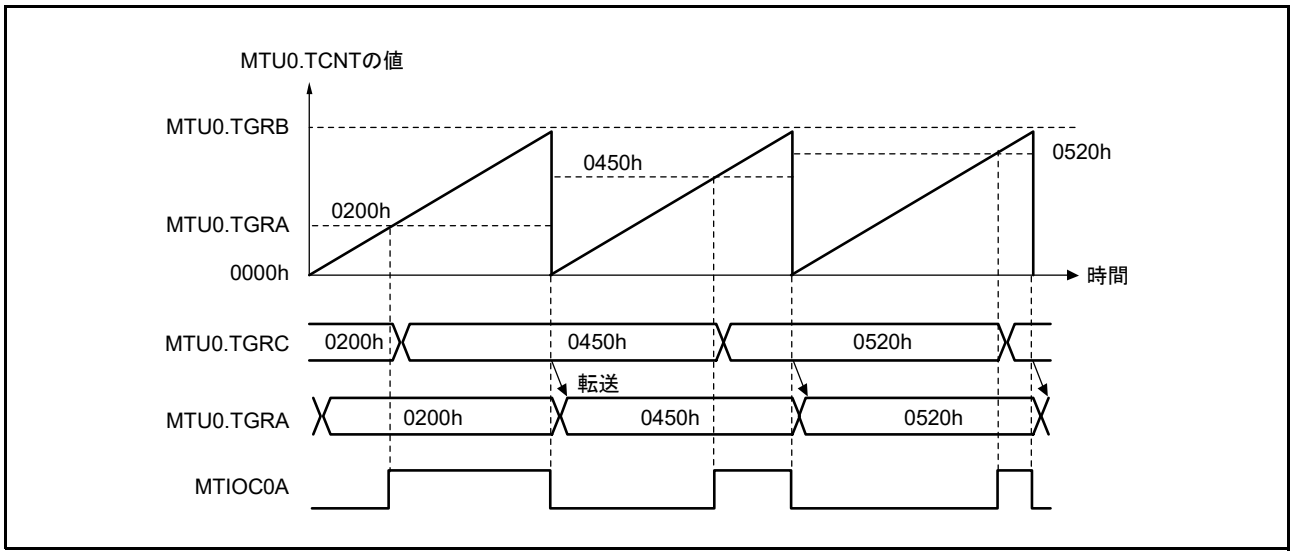


図 22.20　MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

22.3.4 カスケード接続動作

カスケード接続動作は、2 チャネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

MTU1 と MTU2 を接続して 32 ビットカウンタとして使用する機能には、MTU1.TMDR3.LWA ビットを “0” のときに設定するカスケード接続と、MTU1.TMDR3.LWA ビットを “1” に設定するカスケード接続 32 ビット位相計数モードがあります。カスケード接続 32 ビット位相計数モードについては「22.3.6.2 カスケード接続 32 ビット位相計数モード」を参照してください。本章では、MTU1.TMDR3.LWA ビットを “0” のときに設定するカスケード接続機能について説明します。

この機能は、MTU1.TMDR3.LWA ビットを “0” に設定し、MTU1.TCR.TPSC[2:0] ビットで MTU1.TCNT を MTU2.TCNT のオーバフロー / アンダフローによりカウントするように設定することで動作します。なお、アンダフローが発生するのは、下位 16 ビットが割り当てられた MTU2 が位相計数モードのときのみです。

表 22.63 にカスケード接続の組み合わせを示します。

注 . MTU1 を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 22.63 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
MTU1 と MTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNT と MTU2.TCNT の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ（TICCR）で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方が High のとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「22.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプット キャプチャ」を参照してください。

TICCR レジスタの設定値とインプットキャプチャ入力端子の対応を表 22.64 に示します。

表 22.64 TICCR レジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット = 0（初期値）	MTIOC1A
	I2AEビット = 1	MTIOC1A、MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット = 0（初期値）	MTIOC1B
	I2BEビット = 1	MTIOC1B、MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット = 0（初期値）	MTIOC2A
	I1AEビット = 1	MTIOC2A、MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット = 0（初期値）	MTIOC2B
	I1BEビット = 1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 22.21 に示します。

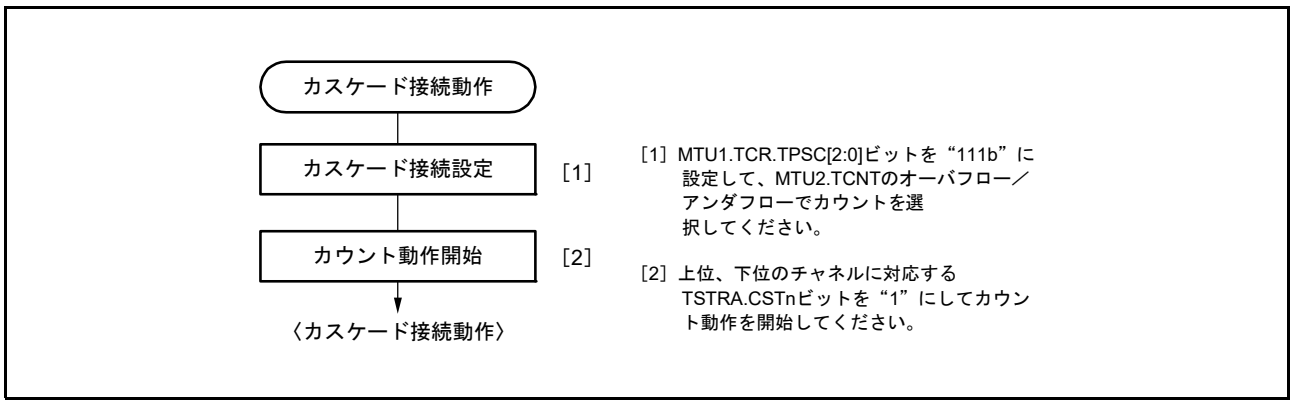


図 22.21　カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、MTU1.TCNT は MTU2.TCNT のオーバフロー / アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 22.22 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

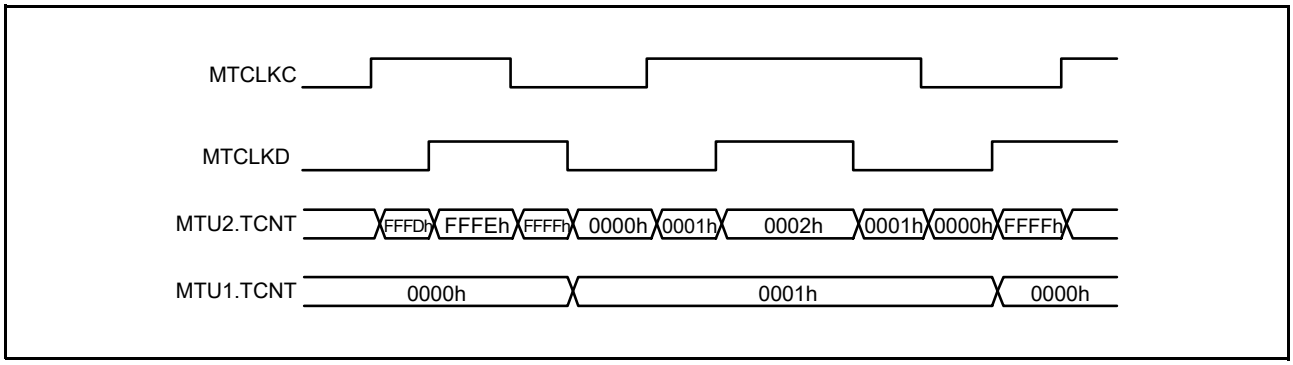


図 22.22　カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 22.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTIOC1A の立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA のインプットキャプチャ条件に設定されます。また、MTU2.TGRA のインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

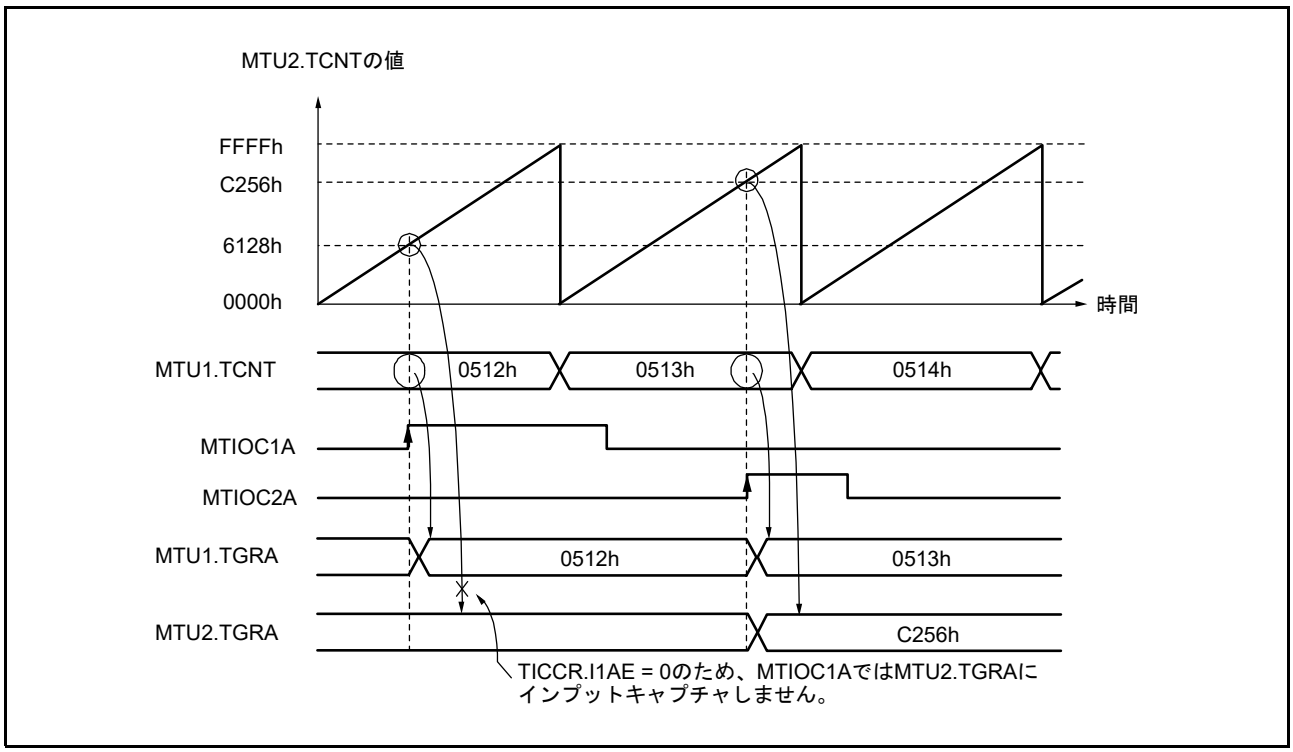
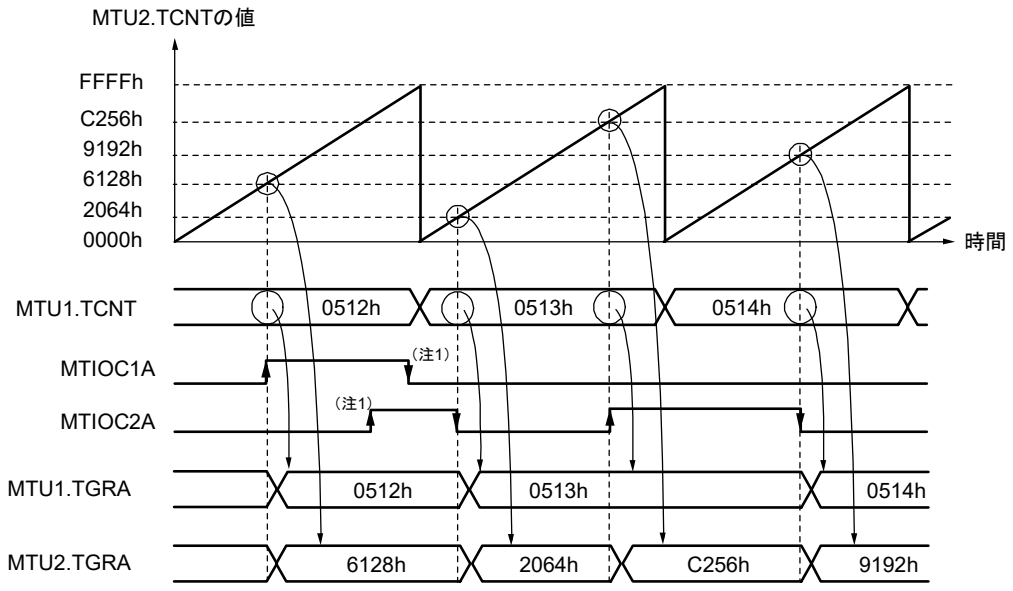


図 22.23　カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE,I1AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加した場合の動作を図 22.24 に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA のインプットキャプチャ条件となります。



注1.　一方の入力端子がHighの場合、もう一方の入力端子のエッジはインプットキャプチャ条件になりません。

図 22.24　カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 22.25 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャのため、TICCR.I2AE ビットを “1” にしても MTIOC2A のエッジが MTU1.TGRA のインプットキャプチャ条件になることはありません。

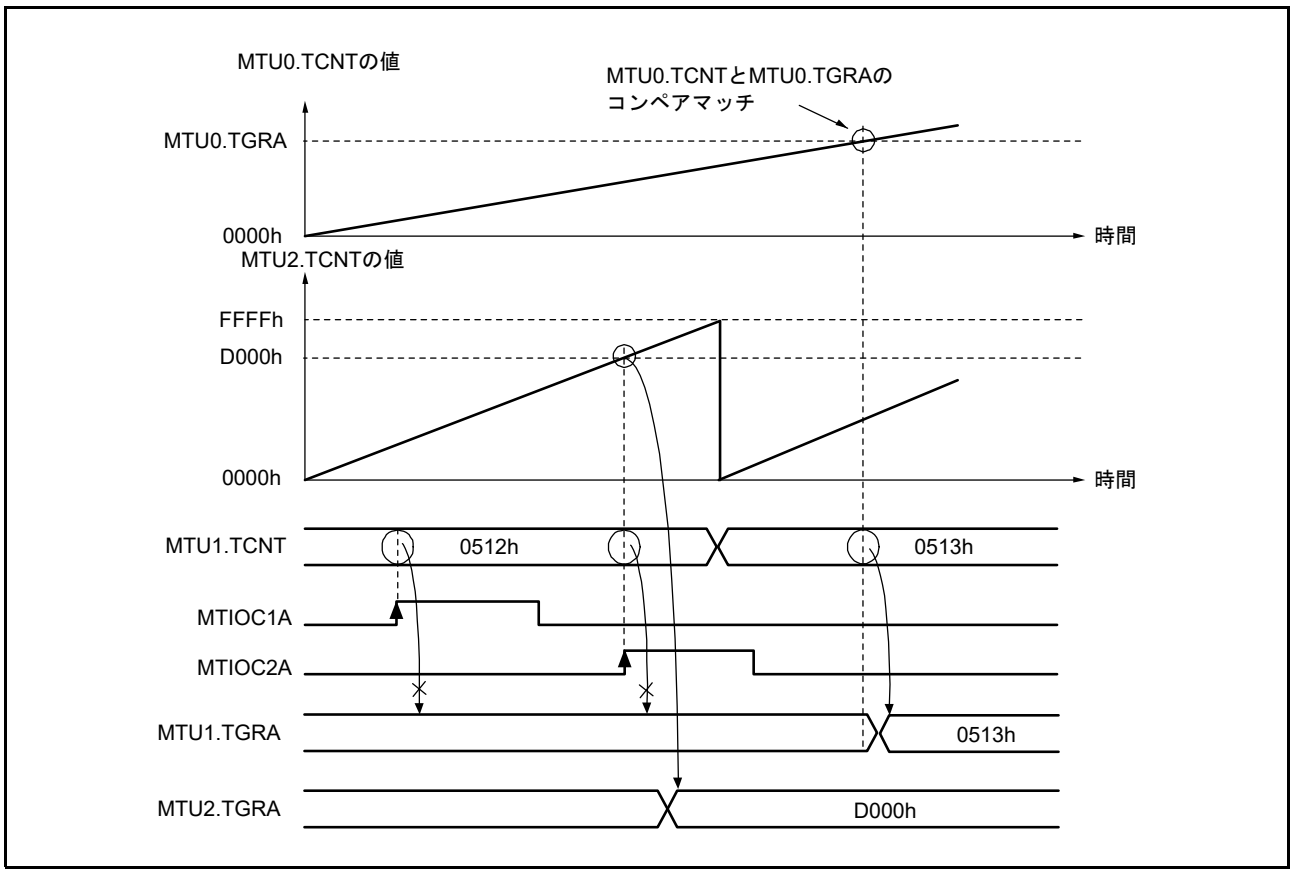


図 22.25　カスケード接続動作例 (d)

22.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 /High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ～ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。MTU5 を除くすべてのチャネルは、個々に PWM モードに設定できます。PWM モードに設定したチャネルの同期動作、および PWM モードに設定したチャネルと他のモードに設定したチャネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB レジスタ、TGRC レジスタと TGRD レジスタをペアで使用して、MTIOCnA 端子、MTIOCnC 端子から PWM 波形を出力します。MTIOCnA 端子、MTIOCnC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、TIOR.IOD[3:0] ビットで指定した出力を行います（n = 0 ～ 4, 6, 7, 9）。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 14 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、PWM モード 2 を設定できないチャネルの同期クリアを同期動作として併用することにより最大 12 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 22.65 に示します。

表22.65　各PWM出力のレジスタと出力端子

チャネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	TGRA	MTIOC0A	MTIOC0A
	TGRB		MTIOC0B
	TGRC	MTIOC0C	MTIOC0C
	TGRD		MTIOC0D
MTU1	TGRA	MTIOC1A	MTIOC1A
	TGRB		MTIOC1B
MTU2	TGRA	MTIOC2A	MTIOC2A
	TGRB		MTIOC2B
MTU3	TGRA	MTIOC3A	設定できません
	TGRB		
	TGRC	MTIOC3C	
	TGRD		
MTU4	TGRA	MTIOC4A	
	TGRB		
	TGRC	MTIOC4C	
	TGRD		
MTU6	TGRA	MTIOC6A	
	TGRB		
	TGRC	MTIOC6C	
	TGRD		
MTU7	TGRA	MTIOC7A	
	TGRB		
	TGRC	MTIOC7C	
	TGRD		
MTU9	TGRA	MTIOC9A	MTIOC9A
	TGRB		MTIOC9B
	TGRC	MTIOC9C	MTIOC9C
	TGRD		MTIOC9D

注.　PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 22.26 に示します。

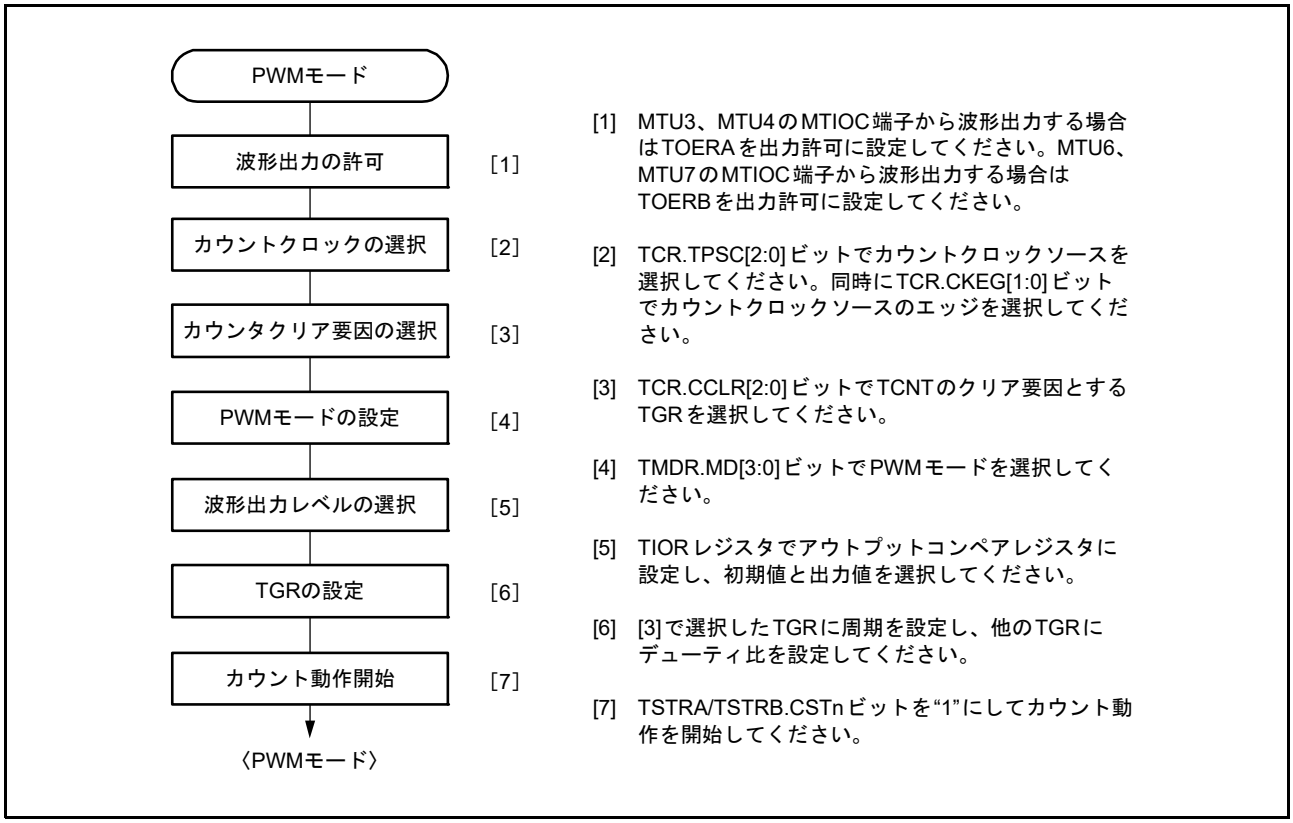


図 22.26　PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 22.27 に示します。

この図は、TCNT のクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を “0”、TGRB レジスタの出力値を “1” にした場合の例です。

この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティ比になります。

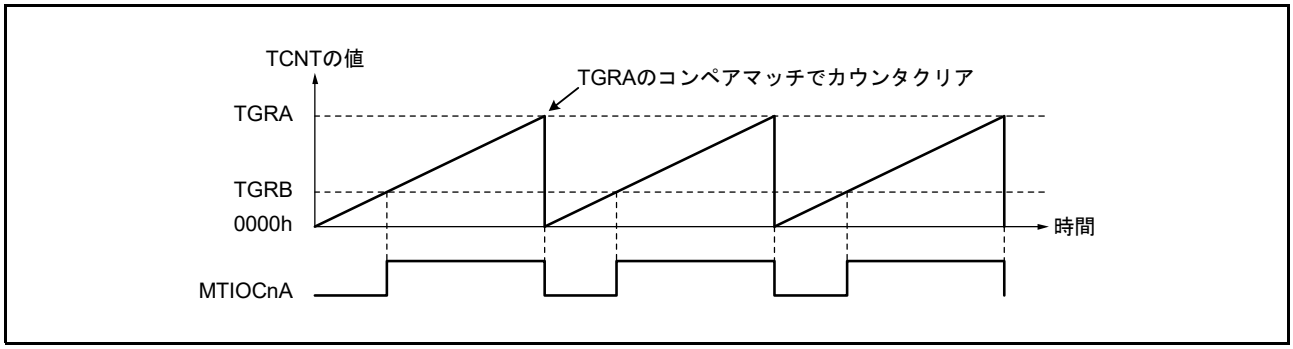


図 22.27　PWM モード 1 の動作例 (n = 0 ～ 4, 6, 7, 9)

PWM モード 2 の動作例を図 22.28 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）の初期出力値を Low、出力値を High にして 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）に設定した値がデューティ比になります。

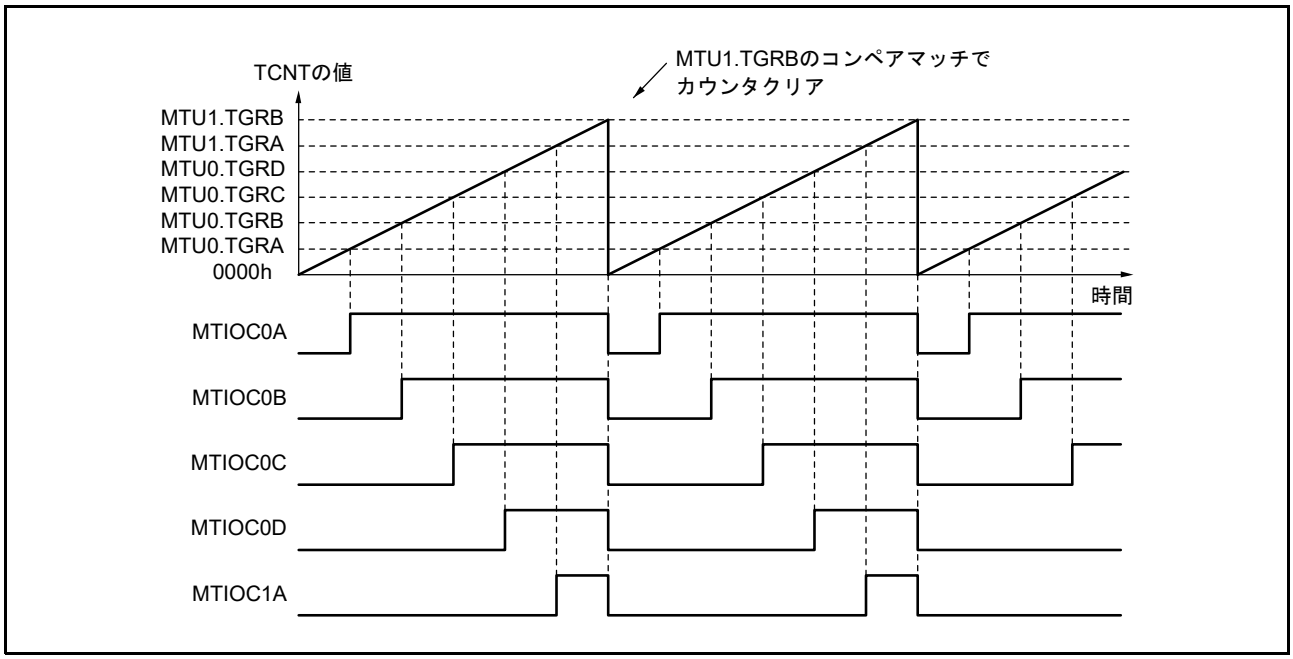


図 22.28　PWM モード 2 の動作例

PWM モード 1 で、デューティ比 0%、デューティ比 100% の PWM 波形を出力する例を図 22.29 に示します。この図は、TCNT カウンタのクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を Low、TGRB レジスタの出力値を High に設定した場合の例です。

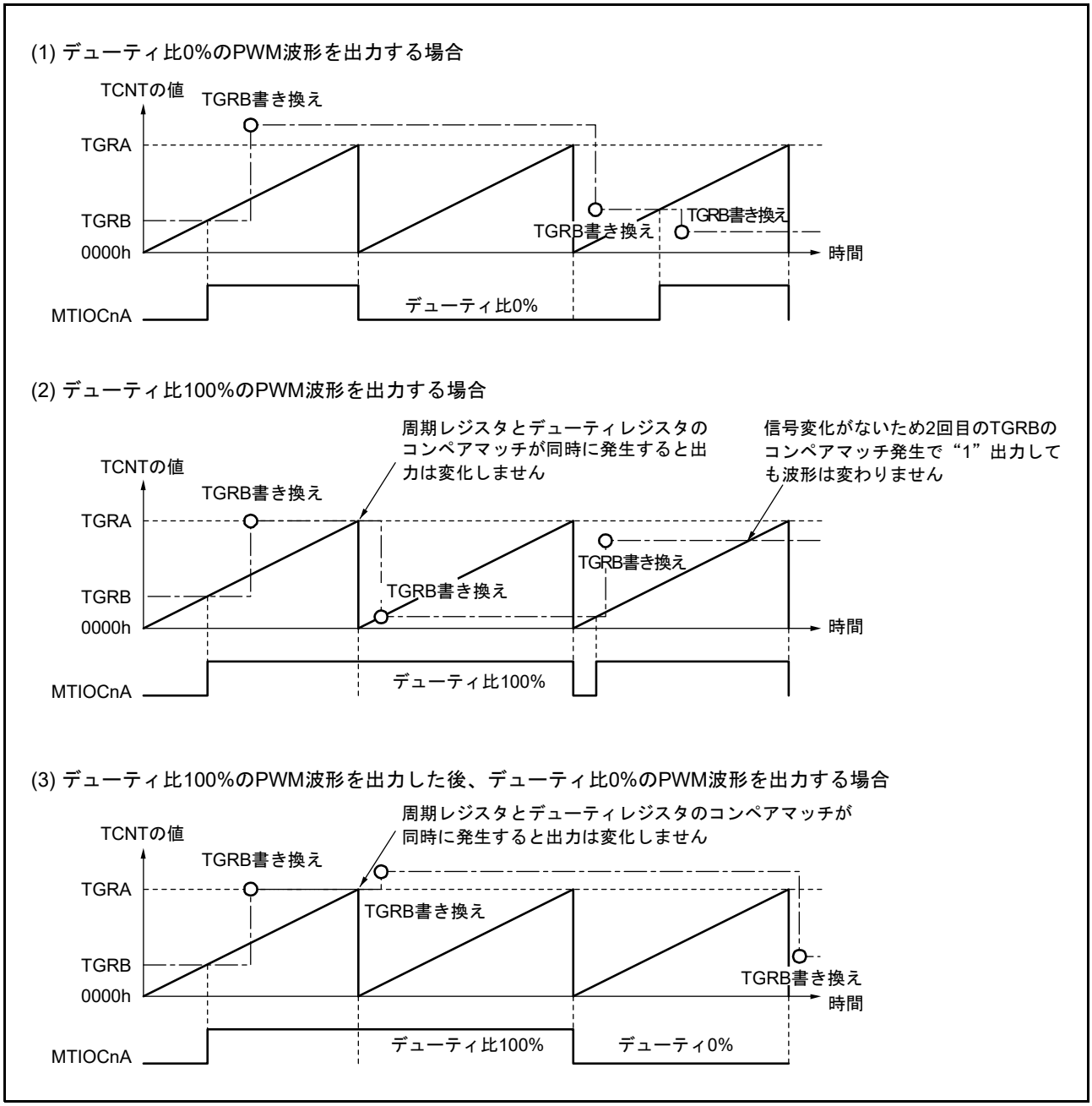


図 22.29　PWM モード動作例 (デューティ 0%、デューティ 100% の PWM 波形を出力する例)
(n = 0 ～ 4, 6, 7, 9)

22.3.6 位相計数モード

位相計数モードにはMTU1とMTU2がそれぞれ独立に動作する16ビット位相計数モードとMTU1, MTU2をカスケード接続したカスケード接続32ビット位相計数モードがあります。

位相計数モードでは2つの外部クロック入力の位相差を検出して、対応するTCNTをアップカウント/ダウンカウントします。

各位相計数モードでの2つの外部クロック入力端子は、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0]の設定にかかわりません。MTU2の16ビット位相計数モードとカスケード接続32ビット位相計数モードの2つの外部クロック入力は、MTU1.TMDR3.PHCKSELで選択を行うことができます。MTU2の16ビット位相計数モードとカスケード接続32ビット位相計数モード以外の位相計数モードでは、A相/B相にMTCLKA/MTCLKBが選択されます。位相計数モードでは、外部クロック端子MTCLKA、MTCLKB、MTCLKC、MTCLKDを2相エンコーダパルスの入力として使用できます。

それぞれの位相計数モードで接続される外部クロック入力端子を表22.66に示します。

表22.66　位相計数モードクロック入力端子

位相計数モード	TMDR3.PHCKSELビット	外部クロック端子	
		A相	B相
MTU1　16ビット位相計数モード	x（Don't care）	MTCLKA	MTCLKB
MTU2　16ビット位相計数モード	0	MTCLKA	MTCLKB
	1（初期値）	MTCLKC	MTCLKD
カスケード接続32ビット位相計数モード	0	MTCLKA	MTCLKB
	1（初期値）	MTCLKC	MTCLKD

22.3.6.1 16ビット位相計数モード

MTU1.TMDR3.LWA = 0のとき、MTU1とMTU2には各々独立して16ビット位相計数モードが設定できます。

16ビット位相計数モードでは、2本の外部クロック入力の位相差を検出して対応するチャネルの16ビットカウンタTCNTをアップカウント/ダウンカウントします。

16ビット位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0]の設定にかかわらずカウントクロックは外部クロックが選択され、TCNTはアップカウンタ/ダウンカウンタとして動作します。なお、TCR.CCLR[1:0]、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能が使用できます。

これら外部クロック端子は、2相エンコーダパルスの入力として使用できます。

TCNTがアップカウントしているときにオーバフローが発生すると、対応するTIER.TCIEVビットが“1”であれば、TCIV割り込みが発生します。

また、ダウンカウントしているときにアンダフローが発生すると、対応するTIER.TCIEUビットが“1”であれば、TCIU割り込みが発生します。

TSR.TCFDフラグはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

(1) 16 ビット位相計数モードの設定手順例

位相計数モードの設定手順例を図 22.30 に示します。

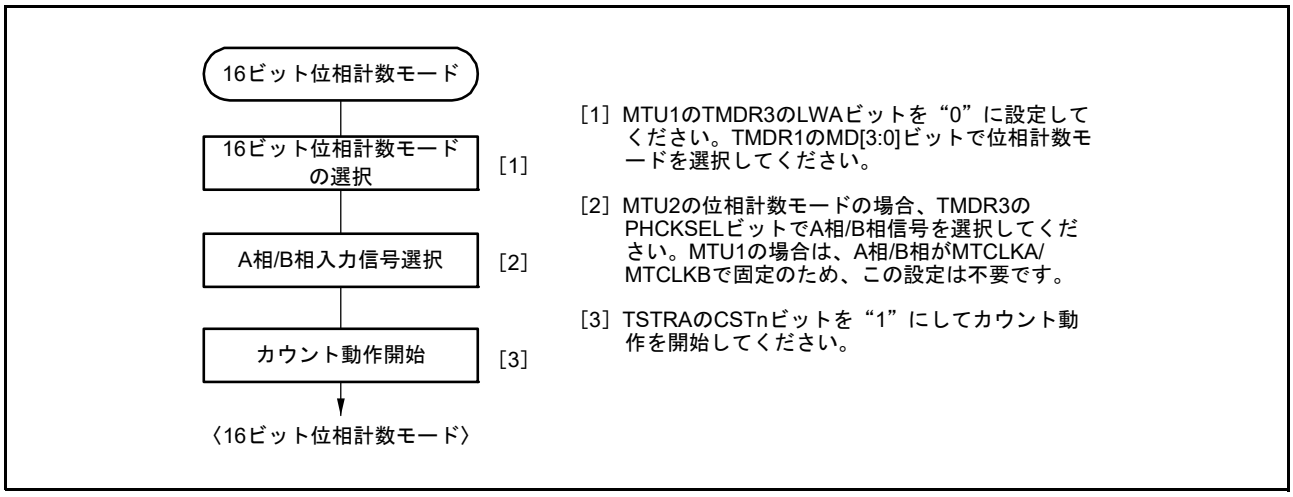


図 22.30　16 ビット位相計数モードの設定手順例

(2) 16 ビット位相計数モードの動作例

位相計数モードでは、2 本の外部クロックの位相差で TCNT がアップカウント / ダウンカウントします。なお、カウント条件により 5 つのモードがあり、各モードは PHCKSEL = 1 の条件で、つまり MTU1 の位相クロックは MTCLKA, MTCLKB から入力、MTU2 の位相クロックは MTCLKC, MTCLKD から入力として説明します。

(a) 位相計数モード 1

位相計数モード 1 の動作例を**図 22.31** に、TCNT のアップカウント / ダウンカウント条件を**表 22.67** に示します。

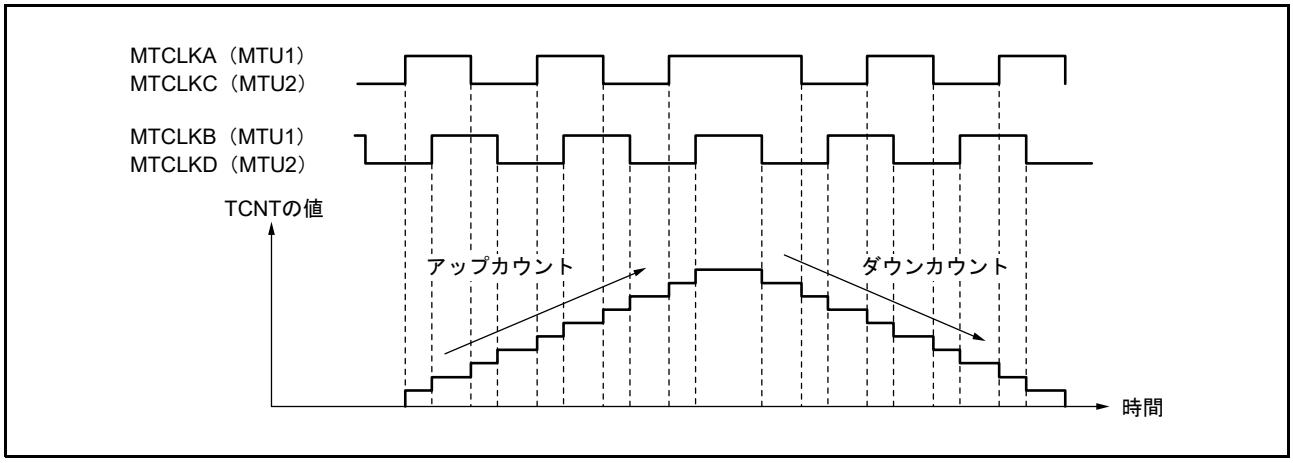


図 22.31　位相計数モード 1 の動作例

表22.67　位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を**図 22.32 ～図 22.34** に、TCNT のアップカウント / ダウンカウント条件を**表 22.68** に示します。

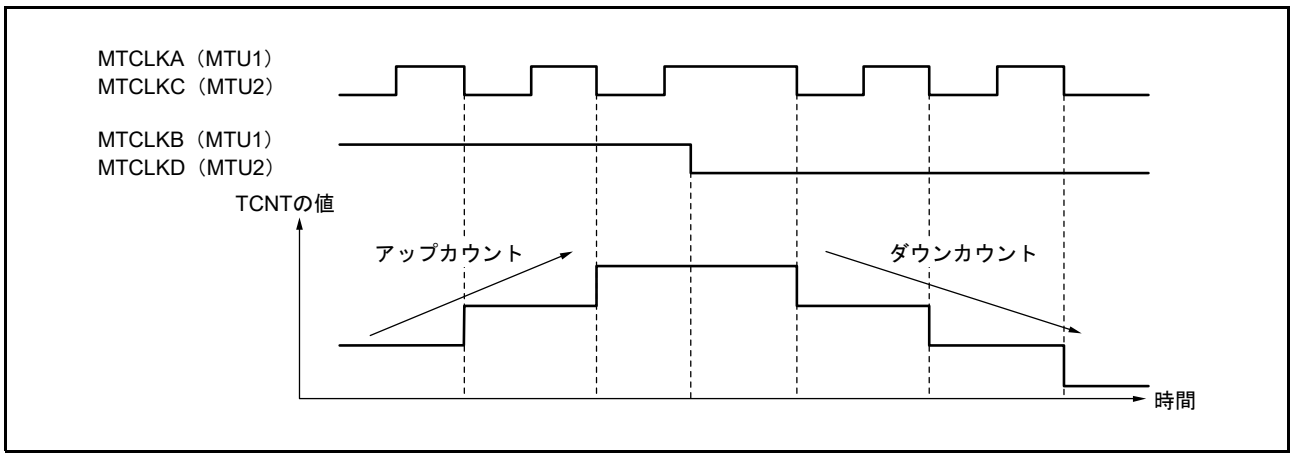


図 22.32　位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

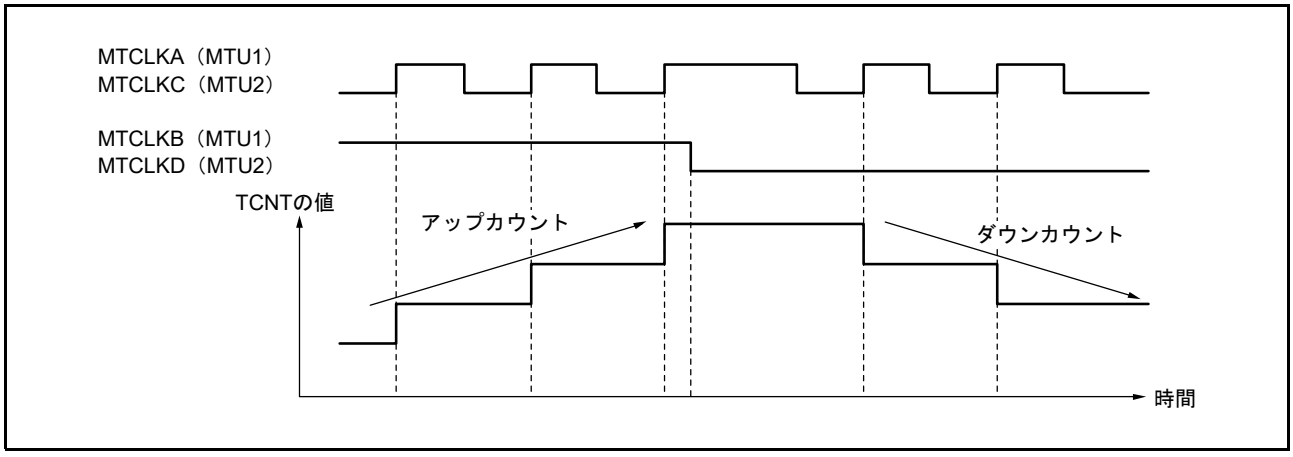


図 22.33　位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

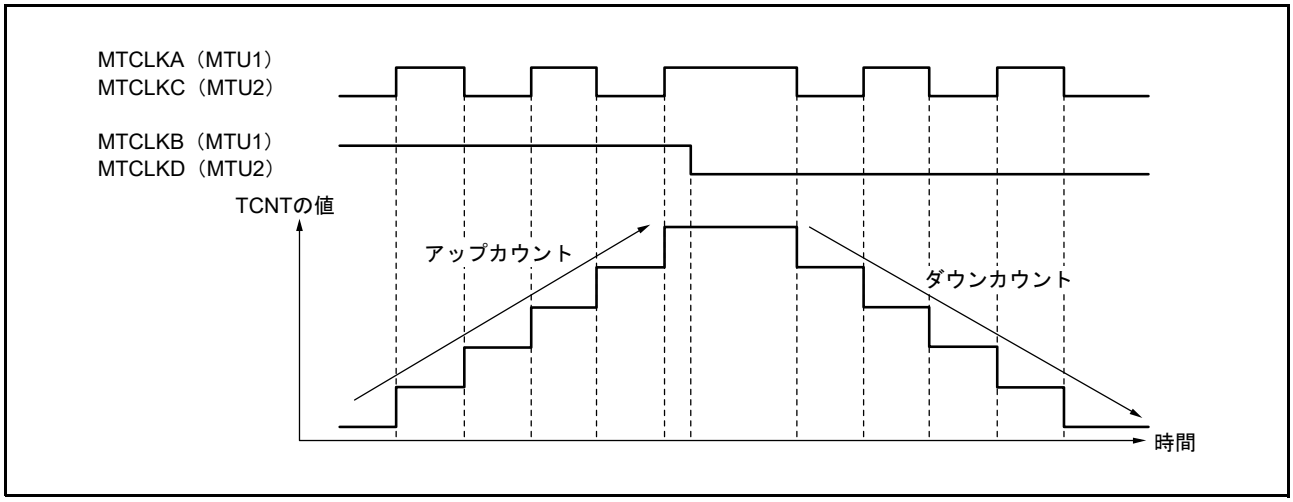


図 22.34　位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表22.68　位相計数モード2のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	
	↓	Low	ダウンカウント
01	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	ダウンカウント
	↓	High	カウントしない（Don't care）
	High	↓	
	Low	↑	
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）
1x	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	ダウンカウント
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	アップカウント
	↓	Low	ダウンカウント

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 22.35 ～図 22.37 に、TCNT のアップカウント / ダウンカウント条件を表 22.69 に示します。

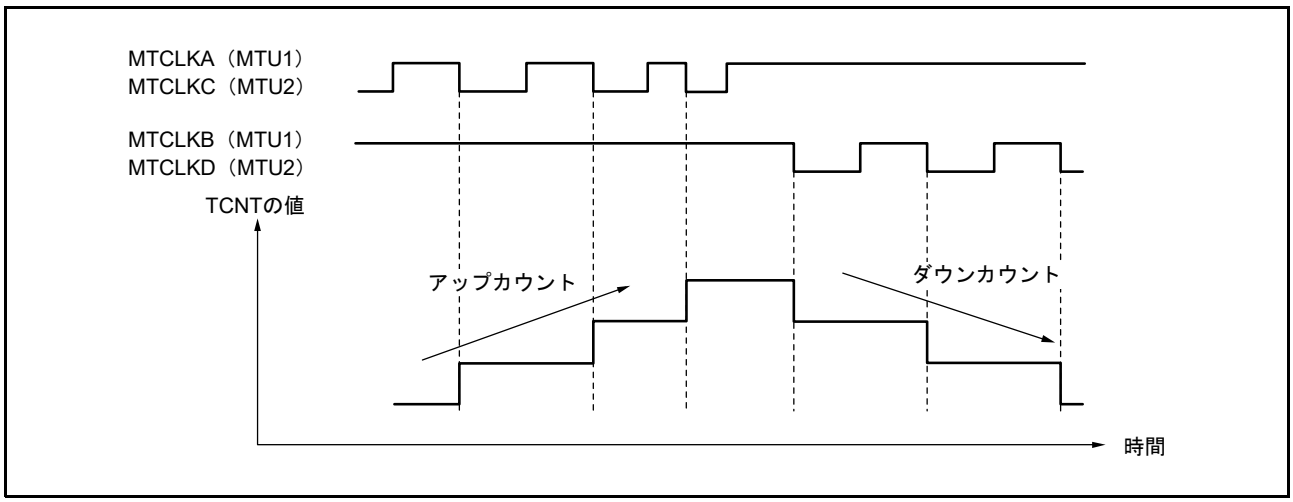


図 22.35　位相計数モード 3 の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

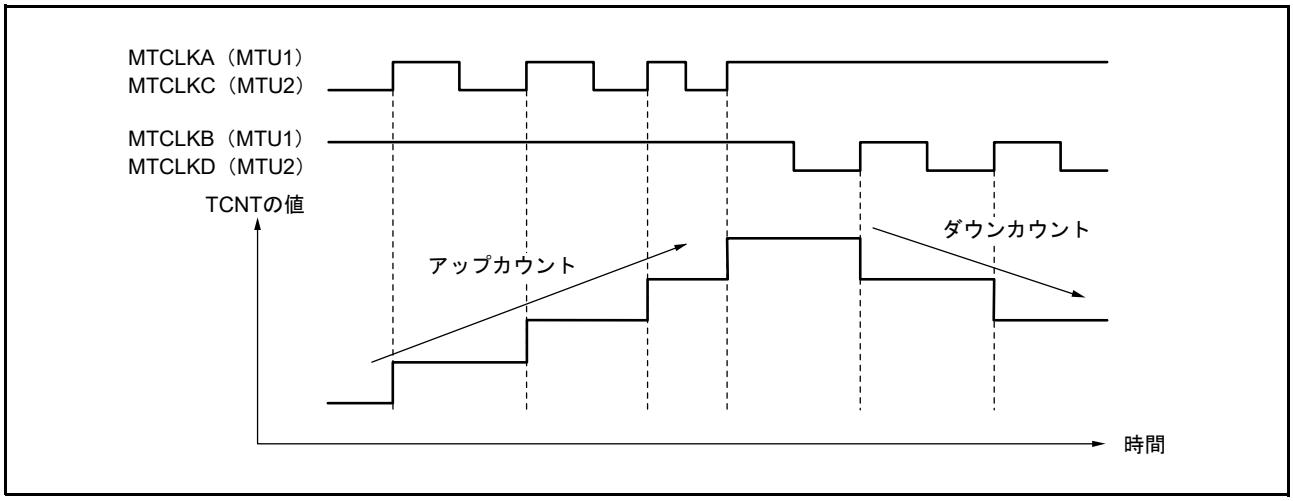


図 22.36　位相計数モード 3 の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

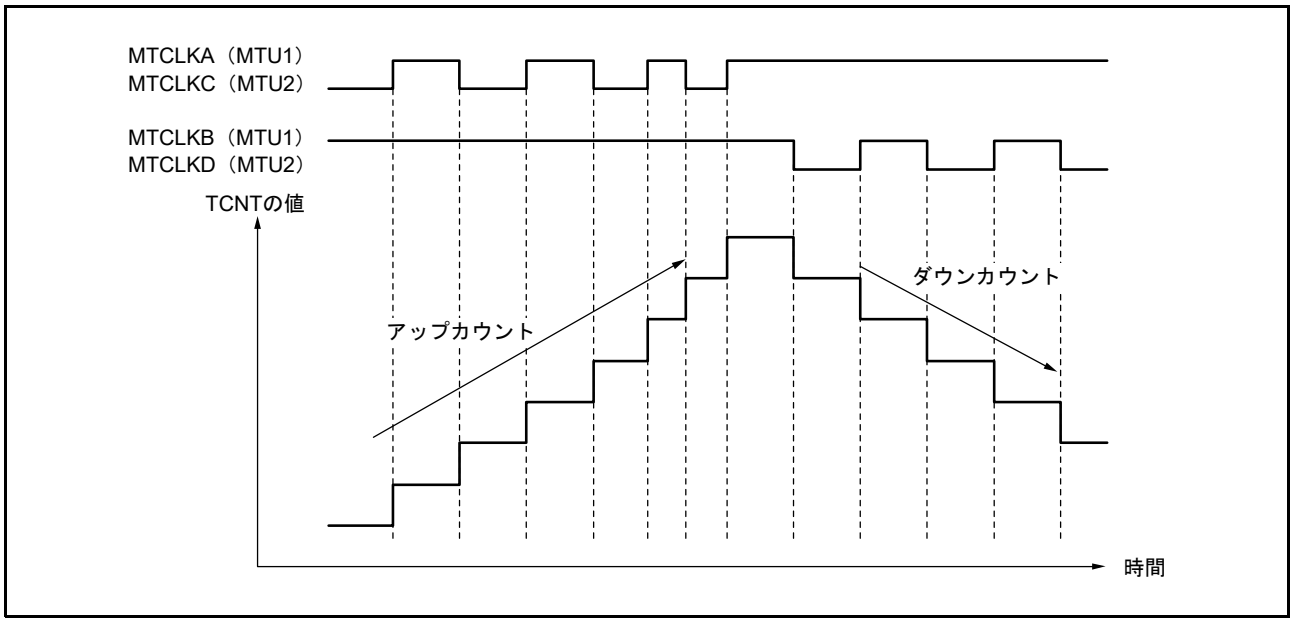


図 22.37　位相計数モード 3 の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表22.69　位相計数モード3のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	ダウンカウント
	Low	↑	カウントしない（Don't care）
	↑	High	
	↓	Low	
01	High	↑	ダウンカウント
	Low	↓	カウントしない（Don't care）
	↑	Low	
	↓	High	
	High	↓	
	Low	↑	
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）
1x	High	↑	ダウンカウント
	Low	↓	カウントしない（Don't care）
	↑	Low	
	↓	High	アップカウント
	High	↓	ダウンカウント
	Low	↑	カウントしない（Don't care）
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図22.38に、TCNTのアップカウント/ダウンカウント条件を表22.70に示します。

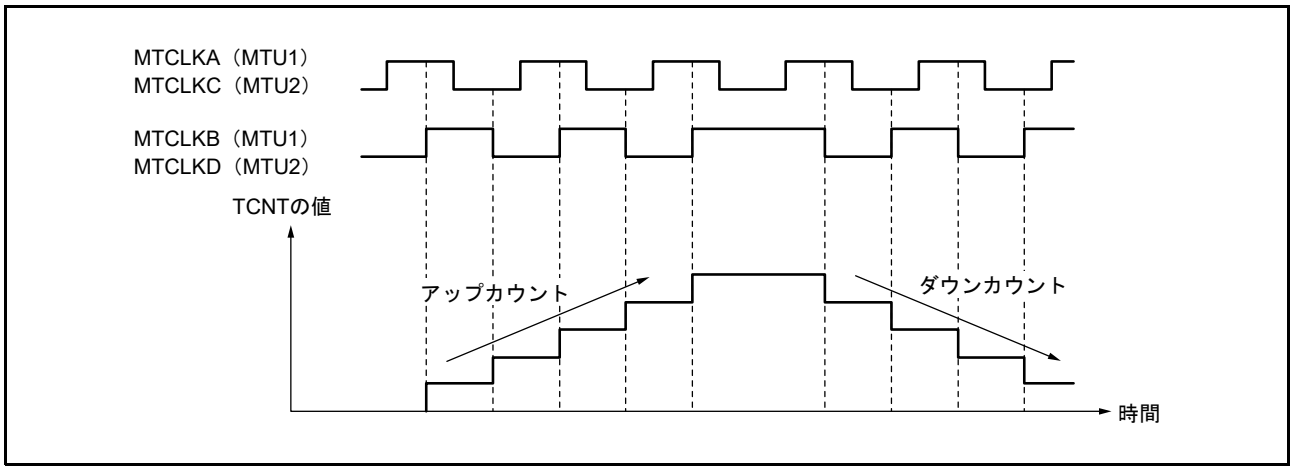


図22.38　位相計数モード4の動作例

表22.70　位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない（Don't care）
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない（Don't care）
↓	Low	

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(e) 位相計数モード 5

位相計数モード 5 の動作例を図 22.39、図 22.40 に、TCNT のアップカウント / ダウンカウント条件を表 22.71 に示します。

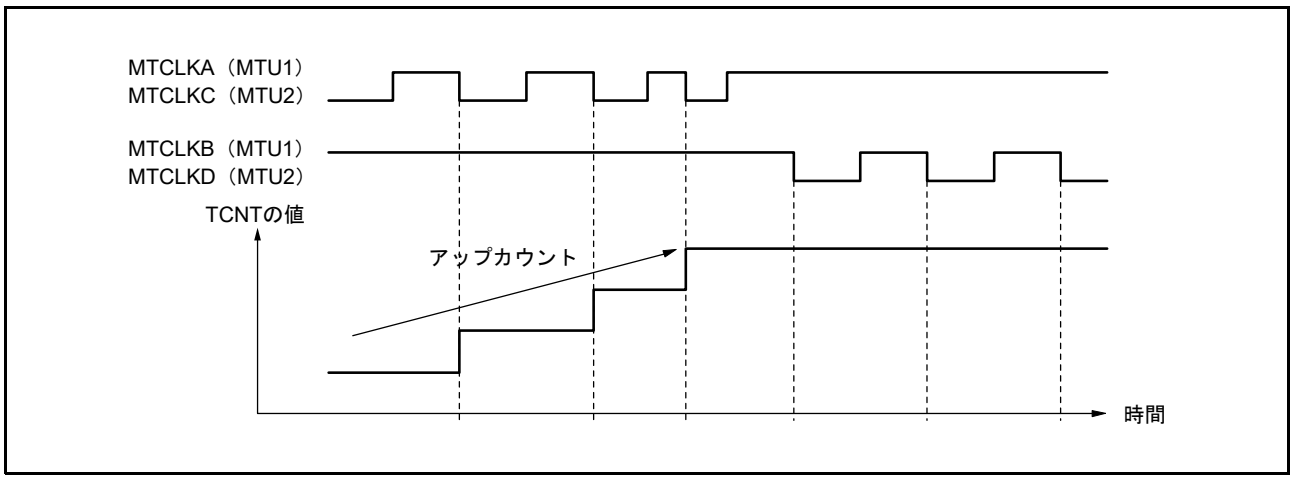


図 22.39　位相計数モード 5 の動作例 (MTUn.TCR2.PCB[1:0] = 0xb のとき (n = 1, 2))

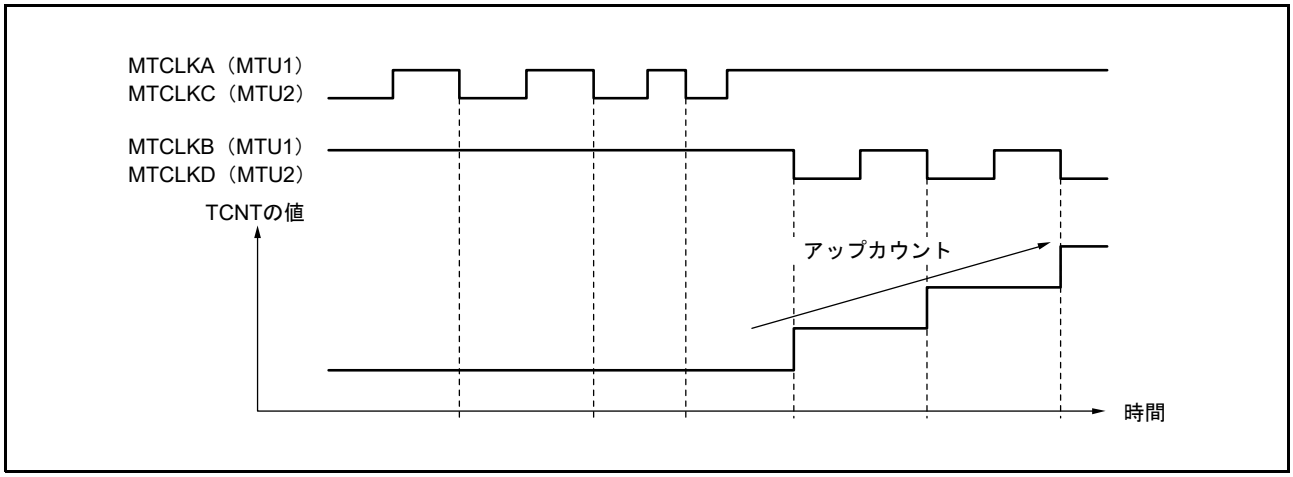


図 22.40　位相計数モード 5 の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表22.71　位相計数モード5のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
0x	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	
	↓	Low	アップカウント
1x	High	↑	カウントしない（Don't care）
	Low	↓	アップカウント
	↑	Low	カウントしない（Don't care）
	↓	High	
	High	↓	アップカウント
	Low	↑	カウントしない（Don't care）
	↑	High	
	↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(3) 16 ビット位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 22.41 に示します。

MTU1 は位相計数モード 1 に設定し、MTCLKA と MTCLKB にエンコーダパルスの A 相、B 相を入力します。

MTU0 は TCNT を MTU0.TGRC のコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA と MTU0.TGRC はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRB はインプットキャプチャ機能で使用し、MTU0.TGRB と MTU0.TGRD をバッファ動作させます。MTU0.TGRB のインプットキャプチャ要因は、MTU1 のカウントクロックとし、2 相エンコーダの 4 逓倍パルスのパルス幅を検出します。

MTU1 の MTU1.TGRA と MTU1.TGRB は、インプットキャプチャ機能に設定し、インプットキャプチャ要因は MTU0 の MTU0.TGRA と MTU0.TGRC のコンペアマッチを選択し、それぞれの制御周期時のアップ / ダウンカウンタの値を格納します。

これにより、正確な位置 / 速度検出を行うことができます。

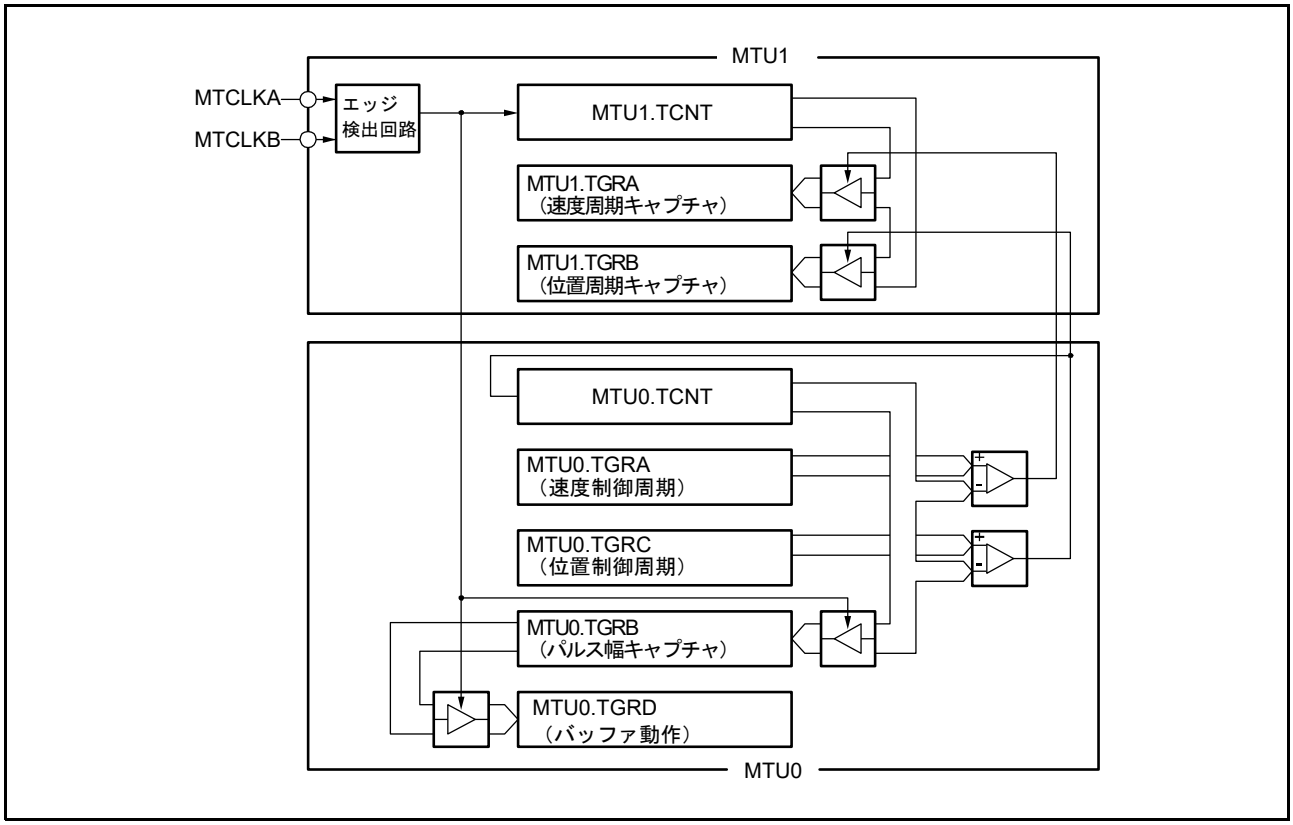


図 22.41　16 ビット位相計数モードの応用例

22.3.6.2　カスケード接続 32 ビット位相計数モード

MTU1.TMDR3.LWA = 1 で MTU1 に位相計数モードを設定した場合、MTU1 と MTU2 が連結され、カスケード接続 32 ビット位相計数モードとして機能します。カスケード接続 32 ビット位相計数モードの場合、TCR, TCR2, TIOR, TIER, TGR, TSR レジスタは MTU1 の制御になり、MTU2 の設定は無効になります。カスケード接続 32 ビット位相計数モードの設定手順は、図 22.42 を参照してください。

なお、カスケード接続 32 ビット位相計数モード以外で MTU1, MTU2 を接続するカスケード接続機能については、「22.3.4　カスケード接続動作」を参照してください。

(1)　カスケード接続 32 ビット位相計数モードの設定例

カスケード接続 32 ビット位相計数モードの設定手順例を図 22.42 に示します。

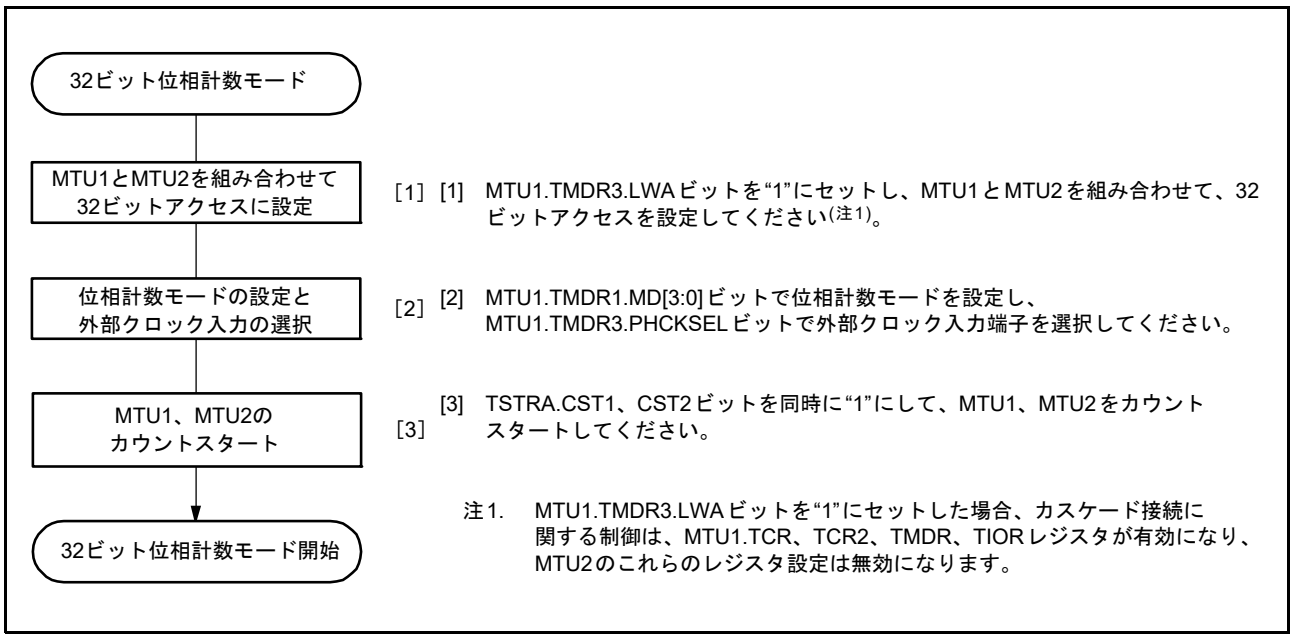


図 22.42　カスケード接続 32 ビット位相計数モード設定手順

22.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 および MTU6、MTU7 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D 端子は PWM 出力端子となり、タイマカウンタ 3、6（MTU3.TCNT, MTU6.TCNT）はアップカウンタとして機能します。

使用される PWM 出力端子を**表 22.72** に、使用するレジスタの設定を**表 22.73** に示します。

表22.72　リセット同期PWMモード時の出力端子

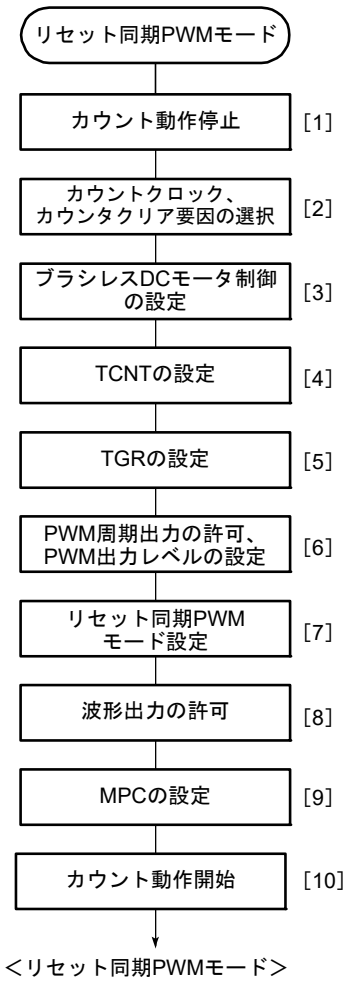
チャネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形）
MTU6	MTIOC6A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM出力端子4
	MTIOC6D	PWM出力端子4'（PWM出力4の逆相波形）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5の逆相波形）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6の逆相波形）

表22.73　リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	“0000h”を初期設定
MTU4.TCNT	“0000h”を初期設定
MTU3.TGRA	MTU3.TCNTのカウント周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定
MTU6.TCNT	“0000h”を初期設定
MTU7.TCNT	“0000h”を初期設定
MTU6.TGRA	MTU6.TCNTのカウント周期を設定
MTU6.TGRB	MTIOC6B、MTIOC6D端子より出力されるPWM波形の変化点を設定
MTU7.TGRA	MTIOC7A、MTIOC7C端子より出力されるPWM波形の変化点を設定
MTU7.TGRB	MTIOC7B、MTIOC7D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 22.43 に示します。



[1] TSTRA.CST3（TSTRB.CST6）ビット、TSTRA.CST4（TSTRB.CST7）ビットを“0”にクリアし、TCNTのカウント動作を停止してください。
リセット同期PWMモードの設定はMTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）が停止した状態で行ってください。

[2] MTU3（MTU6）のTCR.TPSC[2:0]ビット、TCR.CKEG[1:0]ビットでMTU3（MTU6）のカウントクロックソースとクロックエッジを設定してください。
TCR.CCLR[2:0]ビットでカウンタクリア要因をTGRAのコンペアマッチに設定してください。

[3] ブラシレスDCモータ用の制御をする場合、TGCRA.BDC（TGCRB.BDC）ビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。

[4] MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）は“0000h”としてください。

[5] MTU3.TGRA（MTU6.TGRA）は周期レジスタです。MTU3.TGRA（MTU6.TGRA）にはPWM周期を設定してください。
MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）にはPWM出力変化タイミングを設定してください。ただし、設定値はMTU3.TCNT（MTU6.TCNT）とコンペアマッチする範囲で設定してください。

X≦MTU3.TGRA（X：設定値）

[6] TOCR1A（TOCR1B）レジスタのPSYEビットでPWM周期に同期したトグル出力の許可/禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。TOCR2A（TOCR2B）レジスタ、TOLBRA（TOLBRB）レジスタによりPWM出力レベルの設定をバッファ動作で行う場合は、「タイマアウトプットレベルバッファレジスタ（TOLBRA、TOLBRB）」を参照してください。

[7] MTU3.TMDR1（MTU6.TMDR1）レジスタのMD[3:0]ビットを“1000b”にセットしてリセット同期PWMモードと、必要に応じてMTU3.TGRA（MTU6.TGRA）レジスタのバッファ動作（BFA = 1）、MTU3.TGRB（MTU6.TGRB）レジスタのバッファ動作（BFB = 1）を設定してください。MTU4.TMDR1（MTU7.TMDR1）レジスタには初期値（通常動作、BFA = 0、BFB = 0）を設定してください。

[8] TOERA（TOERB）レジスタでPWM出力端子の出力の許可/禁止を設定してください。その後、MTU3.TIORH（MTU6.TIORH）、MTU3.TIORL（MTU6.TIORL）、MTU4.TIORH（MTU7.TIORH）、MTU4.TIORL（MTU7.TIORL）レジスタに“00h”を設定してください。

[9] MPCとI/Oポートのポートモードレジスタ（PMR）を設定してください。

[10] TSTRA.CST3（TSTRB.CST6）ビットを“1”にして、カウント動作を開始してください。

注. X = MTU3.TGRA（MTU6.TGRA）すなわち周期=デューティ比の設定を行うと出力波形はMTU3.TCNT（MTU6.TCNT）= MTU3.TGRA（MTU6.TGRA）= Xのポイントでトグル動作します。

図 22.43　リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 22.44 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT（MTU6.TCNT と MTU7.TCNT）はアップカウンタとして動作します。MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）とコンペアマッチするとカウンタはクリアされ “0000h” からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

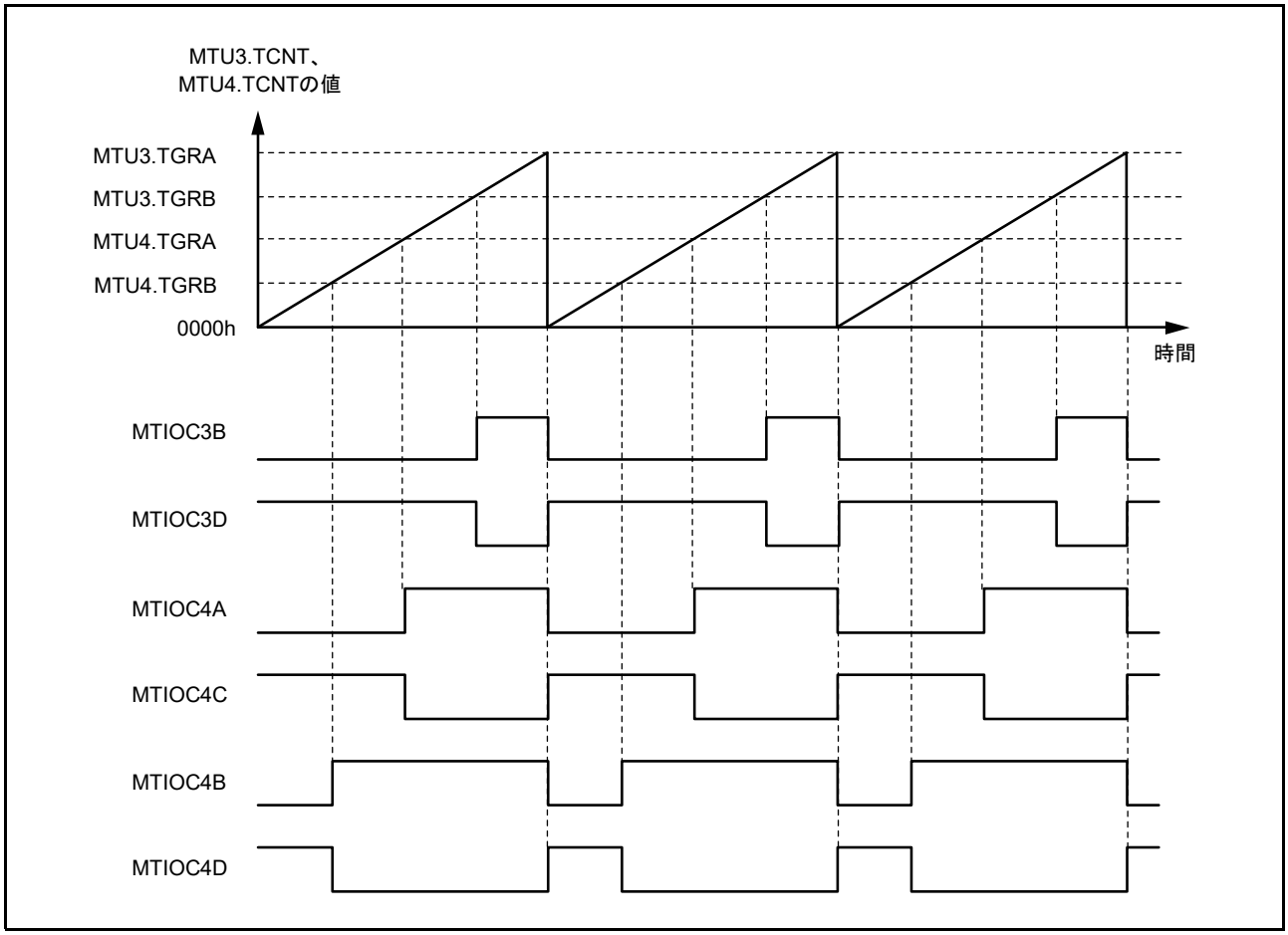


図 22.44　リセット同期 PWM モードの動作例
(MTU3、MTU4、TOCR1A の OLSN = 1、OLSP = 1 にした場合)

22.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 および MTU6、MTU7 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D 端子は PWM 出力端子となり、MTIOC3A、MTIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT、MTU6.TCNT、MTU7.TCNT はアップカウンタ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 22.74 に、使用するレジスタの設定を表 22.75 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 22.74　相補PWMモード時の出力端子

チャネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3C	入出力ポート(注1)
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形出力）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形出力）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形出力）
MTU6	MTIOC6A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM出力端子4
	MTIOC6C	入出力ポート(注1)
	MTIOC6D	PWM出力端子4'（PWM出力4の逆相波形出力）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5の逆相波形出力）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6の逆相波形出力）

注1.　MTIOC3C、MTIOC6C端子は相補PWMモード時、タイマ入出力端子に設定しないでください。

表22.75　相補PWMモード時のレジスタ設定 (1/2)

チャネル	カウンタ/レジスタ	説明	CPUからの読み出し/書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERAレジスタの設定によりマスク可能(注1)
	TGRA	MTU3.TCNTの上限値を設定（キャリア周期の1/2 + デッドタイム）	TRWERAレジスタの設定によりマスク可能(注1)
	TGRB	PWM出力1のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRC	MTU3.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU3.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能
MTU4	TCNT	“0000h”を初期設定しカウントアップスタート	TRWERAレジスタの設定によりマスク可能(注1)
	TGRA	PWM出力2のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRB	PWM出力3のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU4.TGRAのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能
	TGRF	MTU4.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能
MTU6	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERBレジスタの設定によりマスク可能(注2)
	TGRA	MTU6.TCNTの上限値を設定（キャリア周期の1/2 + デッドタイム）	TRWERBレジスタの設定によりマスク可能(注2)
	TGRB	PWM出力4のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRC	MTU6.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力4/MTU6.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU6.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能
MTU7	TCNT	“0000h”を初期設定しカウントアップスタート	TRWERBレジスタの設定によりマスク可能(注2)
	TGRA	PWM出力5のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRB	PWM出力6のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRC	PWM出力5/MTU7.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力6/MTU7.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU7.TGRAのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能
	TGRF	MTU7.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み可能

注1.　TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可/禁止が可能です。
注2.　TRWERBレジスタ（タイマリードライトイネーブルレジスタB）の設定によりアクセスの許可/禁止が可能です。

表22.76　相補PWMモード時のレジスタ設定 (2/2)

チャネル	カウンタ/レジスタ	説明	CPUからの読み出し/書き込み
タイマデッドタイムデータレジスタA (TDDRA)		MTU4.TCNTとMTU3.TCNTのオフセット値（デッドタイムの値）を設定	TRWERAの設定によりマスク可能(注1)
タイマデッドタイムデータレジスタB (TDDRB)		MTU7.TCNTとMTU6.TCNTのオフセット値（デッドタイムの値）を設定	TRWERBの設定によりマスク可能(注2)
タイマ周期データレジスタA (TCDRA)		MTU4.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERAの設定によりマスク可能(注1)
タイマ周期データレジスタB (TCDRB)		MTU7.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERBの設定によりマスク可能(注2)
タイマ周期バッファレジスタA (TCBRA)		TCDRAのバッファレジスタ	読み出し/書き込み可能
タイマ周期バッファレジスタB (TCBRB)		TCDRBのバッファレジスタ	読み出し/書き込み可能
サブカウンタA (TCNTSA)		デッドタイム生成のためのサブカウンタA	読み出しのみ可能
サブカウンタB (TCNTSB)		デッドタイム生成のためのサブカウンタB	読み出しのみ可能
テンポラリレジスタ1A (TEMP1A)		PWM出力1/MTU3.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ1B (TEMP1B)		PWM出力1/MTU3.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ2A (TEMP2A)		PWM出力2/MTU4.TGRAのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ2B (TEMP2B)		PWM出力2/MTU4.TGRAのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ3A (TEMP3A)		PWM出力3/MTU4.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ3B (TEMP3B)		PWM出力3/MTU4.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ4A (TEMP4A)		PWM出力4/MTU6.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ4B (TEMP4B)		PWM出力4/MTU6.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ5A (TEMP5A)		PWM出力5/MTU7.TGRAのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ5B (TEMP5B)		PWM出力5/MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ6A (TEMP6A)		PWM出力6/MTU7.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ6B (TEMP6B)		PWM出力6/MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能

注1.　TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可/禁止が可能です。
注2.　TRWERBレジスタ（タイマリードライトイネーブルレジスタB）の設定によりアクセスの許可/禁止が可能です。

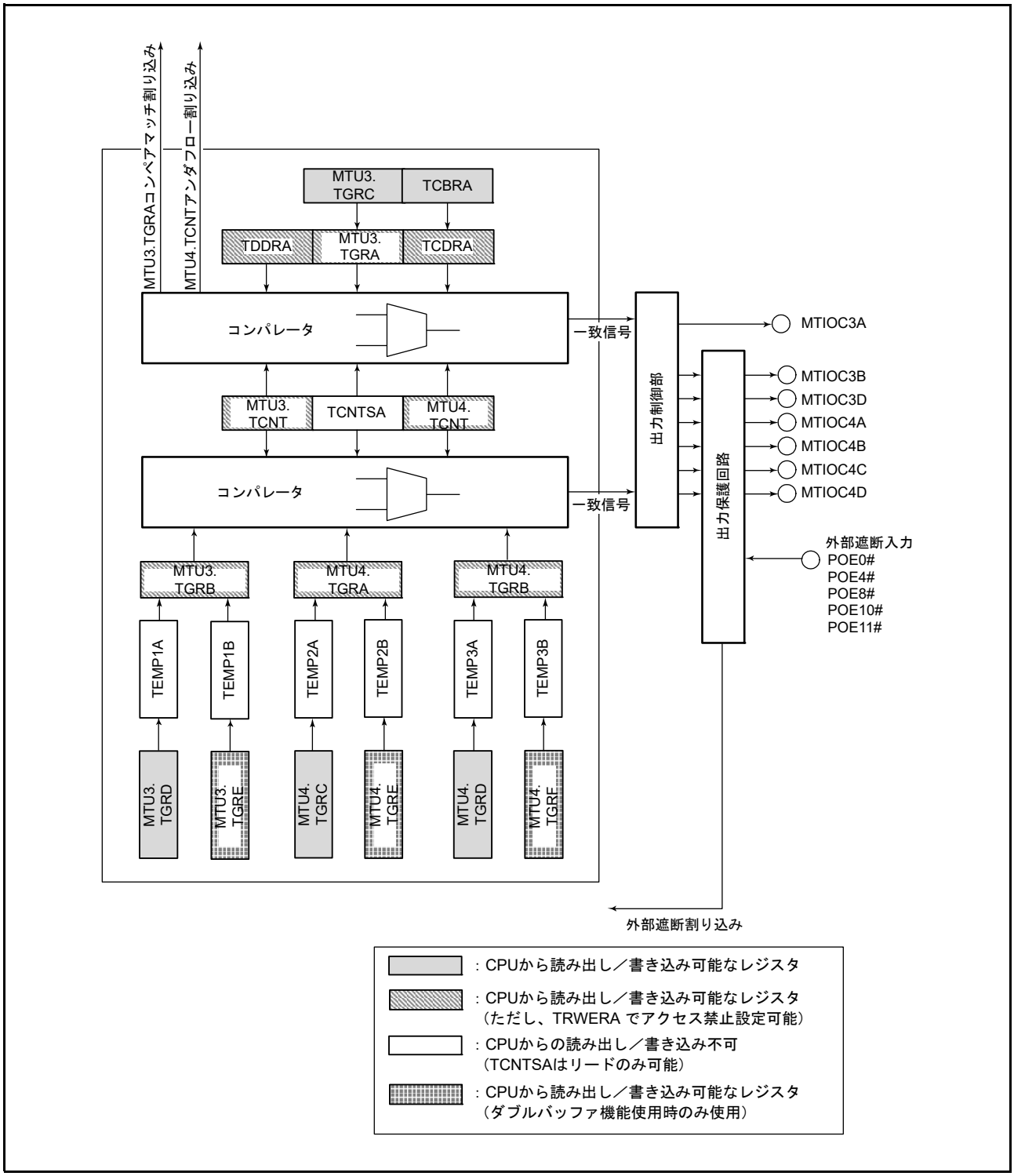


図 22.45　相補 PWM モード時の MTU3、MTU4 ブロック図

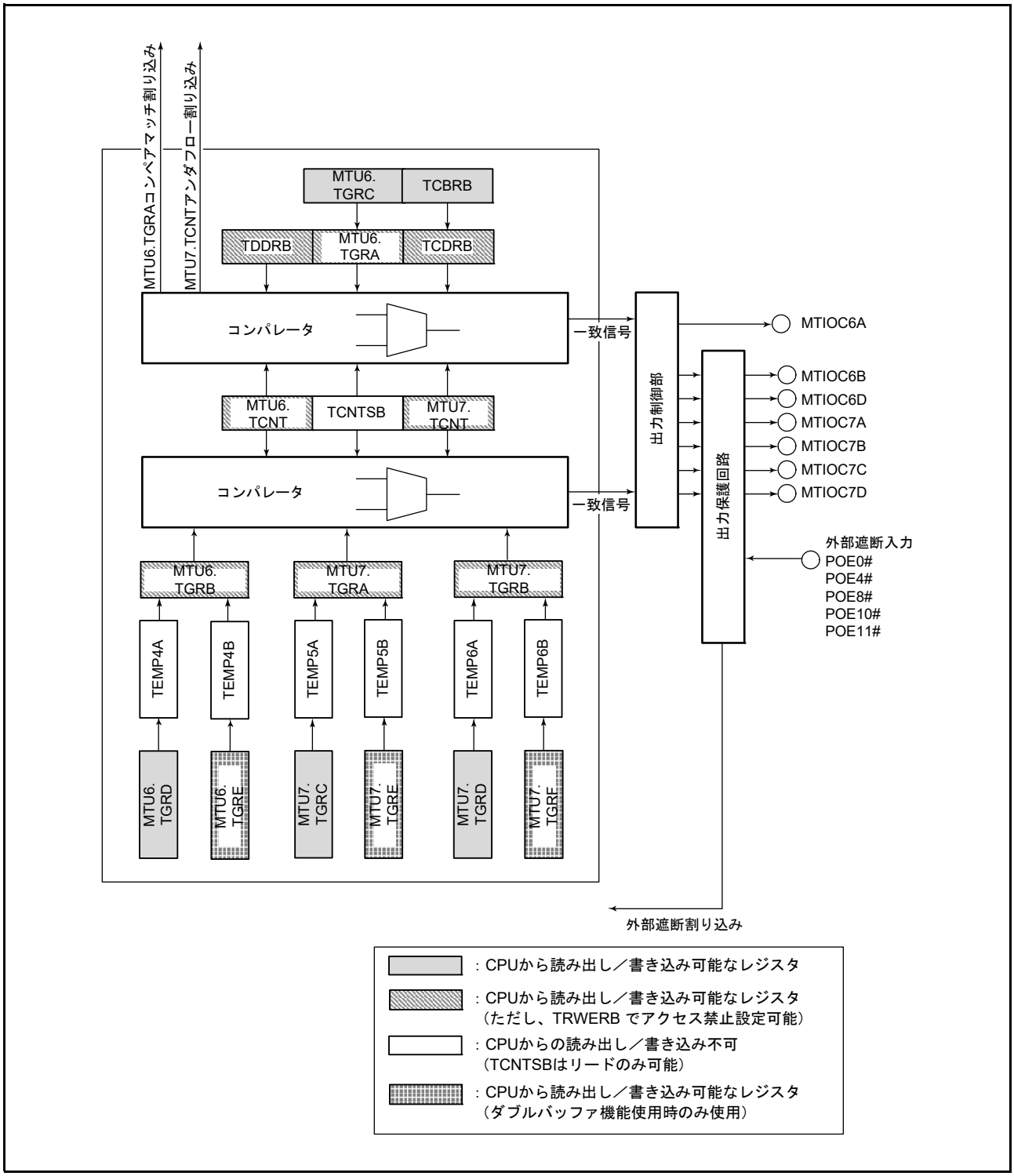
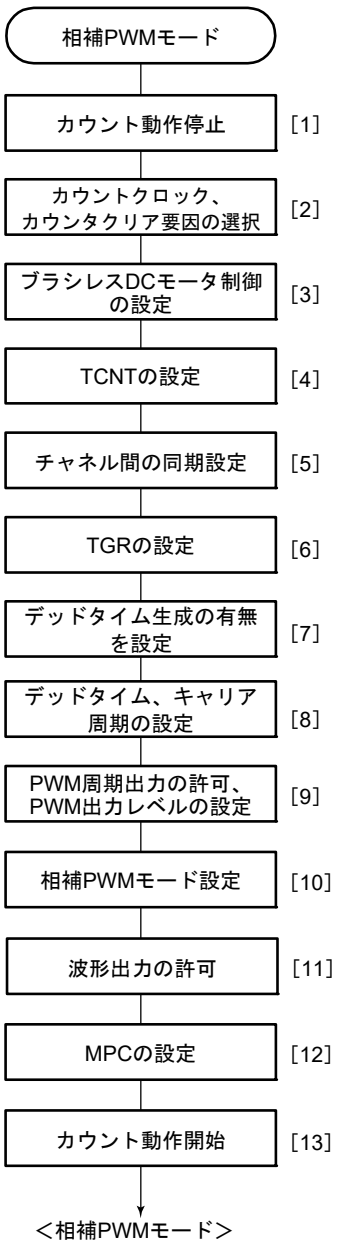


図 22.46　相補 PWM モード時の MTU6、MTU7 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 22.47 に示します。



[1] TSTRA.CST3（TSTRB.CST6）ビット、TSTRA.CST4（TSTRB.CST7）ビットを“0”にクリアし、TCNTのカウント動作を停止してください。
相補PWMモードの設定はMTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）が停止した状態で行ってください。

[2] MTU3, MTU4（MTU6, MTU7）のTCR.TPSC[2:0], CKEG[1:0]ビットでMTU3, MTU4（MTU6, MTU7）に同一のカウントクロックソースとクロックエッジを設定してください。
TCR.CCLR[2:0]ビットは相補PWMモードの動作中に他チャネルからの同期クリアで再スタートさせる場合のみ設定してください。

[3] ブラシレスDCモータ用の制御をする場合、TGCRA.BDC（TGCRB.BDC）ビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。

[4] MTU3.TCNT（MTU6.TCNT）にはデッドタイムを設定してください。MTU4.TCNT（MTU7.TCNT）は“0000h”としてください。

[5] 相補PWMモードの動作中に他チャネルからの同期クリアで再スタートさせる場合のみ設定してください。このときTSYRA（TSYRB）レジスタでMTU3, MTU4（MTU6, MTU7）と同期クリア発生するチャネルを同期させてください。

[6] MTU3、MTU4使用時は、PWM出力のデューティをデューティレジスタ（MTU3.TGRB, MTU4.TGRA, MTU4.TGRB）とバッファレジスタ（MTU3.TGRD, MTU4.TGRC, MTU4.TGRD）に設定します。バッファレジスタ（MTU3.TGRD, MTU4.TGRC, MTU4.TGRD）にもデューティレジスタ（MTU3.TGRB, MTU4.TGRA, MTU4.TGRB）と同じ値を設定してください。
またダブルバッファ機能使用時のみ、バッファレジスタ（MTU3.TGRE, MTU4.TGRE, MTU4.TGRF）を設定してください。
MTU6, MTU7使用時は、以下のレジスタに設定してください。
デューティレジスタ（MTU6.TGRB, MTU7.TGRA, MTU7.TGRB）
バッファレジスタ（MTU6.TGRD, MTU7.TGRC, MTU7.TGRD）
ダブルバッファ機能使用時のバッファレジスタ（MTU6.TGRE, MTU7.TGRE, MTU7.TGRF）

[7] デッドタイムを生成しない場合のみ設定してください。TDERA（TDERB）レジスタでデッドタイムを生成しないを選択します。

[8] TDDRA（TDDRB）レジスタにデッドタイムを設定し、TCDRA（TCDRB）レジスタ、TCBRA（TCBRB）レジスタにPWM周期の1/2を、MTU3.TGRA（MTU6.TGRA）とMTU3.TGRC（MTU6.TGRC）にPWM周期の1/2にデッドタイム分加えた値を設定してください。
デッドタイムを生成しない設定をした場合は、TDDRA（TDDRB）レジスタに“1”を、MTU3.TGRA（MTU6.TGRA）とMTU3.TGRC（MTU6.TGRC）にPWM周期の1/2 +1を設定してください。

[9] TOCR1A（TOCR1B）のPSYEビットでPWM周期に同期したトグル出力の許可/禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。
TOCR2A（TOCR2B）レジスタ、TOLBRA（TOLBRB）レジスタにより、PWM出力レベルの設定をバッファ動作で行う場合は、「22.2.24　タイマアウトプットレベルバッファレジスタm (TOLBRm) (m = A, B)」を参照してください。

[10] MTU3.TMDR1（MTU6.TMDR1）で相補PWMモードと、MTU3.TGRA（MTU6.TGRA）レジスタのバッファ動作（BFA = 1）、MTU3.TGRB（MTU6.TGRB）レジスタのバッファ動作（BFB = 1）を選択してください。
ダブルバッファ機能使用時のみ、TMDR2A（TMDR2B）レジスタでダブルバッファ機能を有効に選択してください。

[11] TOERA（TOERB）レジスタでPWM出力端子の出力の許可/禁止を設定してください。その後、MTU3.TIORH（MTU6.TIORH）、MTU3.TIORL（MTU6.TIORL）、MTU4.TIORH（MTU7.TIORH）、MTU4.TIORL（MTU7.TIORL）レジスタに“00h”を設定してください。

[12] MPCとI/Oポートのポートモードレジスタ（PMR）を設定してください。

[13] TSTRA.CST3（TSTRB.CST6）ビット、TSTRA.CST4（TSTRB.CST7）ビットを同時に“1”にして、カウント動作を開始してください。

図 22.47　相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相（正相 3 本、逆相 3 本）の PWM 出力が可能です。図 22.48 に相補 PWM モードのカウンタの動作 (MTU3, MTU4) を示します。図 22.49 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）レジスタの 3 本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT（MTU6.TCNT）は、相補 PWM モードに設定され TSTRA（TSTRB）の CST3 ビットが “0” のとき、TDDRA（TDDRB）に設定された値が自動的に初期値として設定されます。CST3 ビットが “1” になると、MTU3.TGRA（MTU6.TGRA）に設定された値までアップカウント動作を行い、MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り替わります。その後、MTU4.TCNT（MTU7.TCNT）が “0000h” と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT（MTU7.TCNT）には、初期値として “0000h” を設定します。CST4 ビットが “1” に設定されると、MTU3.TCNT（MTU6.TCNT）に同期して動作しアップカウントを行い、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り替わります。この後、“0000h” と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTSA（TCNTSB）は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）がアップカウント時、MTU3.TCNT（MTU6.TCNT）が TCDRA（TCDRB）と一致するとダウンカウントを開始し、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとアップカウントに切り替わります。

また、MTU4.TCNT（MTU7.TCNT）と TDDRA（TDDRB）が一致すると TCNTSA（TCNTSB）は MTU3.TGRA（MTU6.TGRA）の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）がダウンカウント時、MTU4.TCNT（MTU7.TCNT）が TDDRA（TDDRB）と一致するとアップカウントを開始し、MTU4.TCNT（MTU7.TCNT）が “0000h” と一致するとダウンカウントに切り替わります。

また、MTU3.TCNT（MTU6.TCNT）と TCDRA（TCDRB）が一致すると TCNTSA（TCNTSB）は “0000h” になり、カウントを停止します。

TCNTSA（TCNTSB）は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

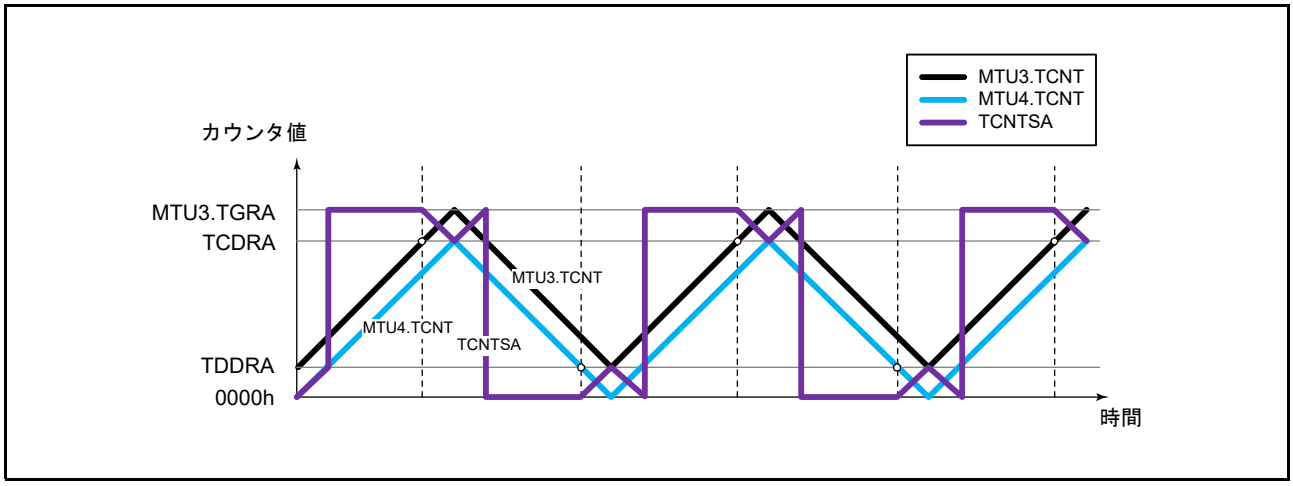


図 22.48　相補 PWM モードのカウント動作 (MTU3, MTU4)

(b)　レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用して、PWM 出力のデューティ制御を行います。**図 22.49** に相補 PWM モードの動作例 (MTU3, MTU4) を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB（MTU6.TGRB, MTU7.TGRA, MTU7.TGRB）です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ（TOCR1A, TOCR1B）の OLSN、OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD（MTU6.TGRD, MTU7.TGRC, MTU7.TGRD）です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF（MTU6.TGRE, MTU7.TGRE, MTU7.TGRF）も使用されます。動作の詳細は**「22.3.8 (2) (s)　相補 PWM モードのダブルバッファ機能」**を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、読み出し / 書き込みが可能です。

バッファレジスタのデータを書き替えする場合は、最後に MTU4.TGRD（MTU7.TGRD）への書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBRA（TCBRB）レジスタ、MTU3.TGRC（MTU6.TGRC）レジスタからテンポラリレジスタへの転送も許可されます。転送は 5 本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後にテンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき（TCNTSA（TCNTSB）がアップカウント時に MTU3.TGRA（MTU6.TGRA）と一致したとき）、または Tb2 区間が終了したとき（TCNTSA（TCNTSB）がダウンカウント時に “0000h” と一致したとき）にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1（TMDR1）の MD[3:0] ビットで選択できます。**図 22.49** は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb（**図 22.49** では Tb1）区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

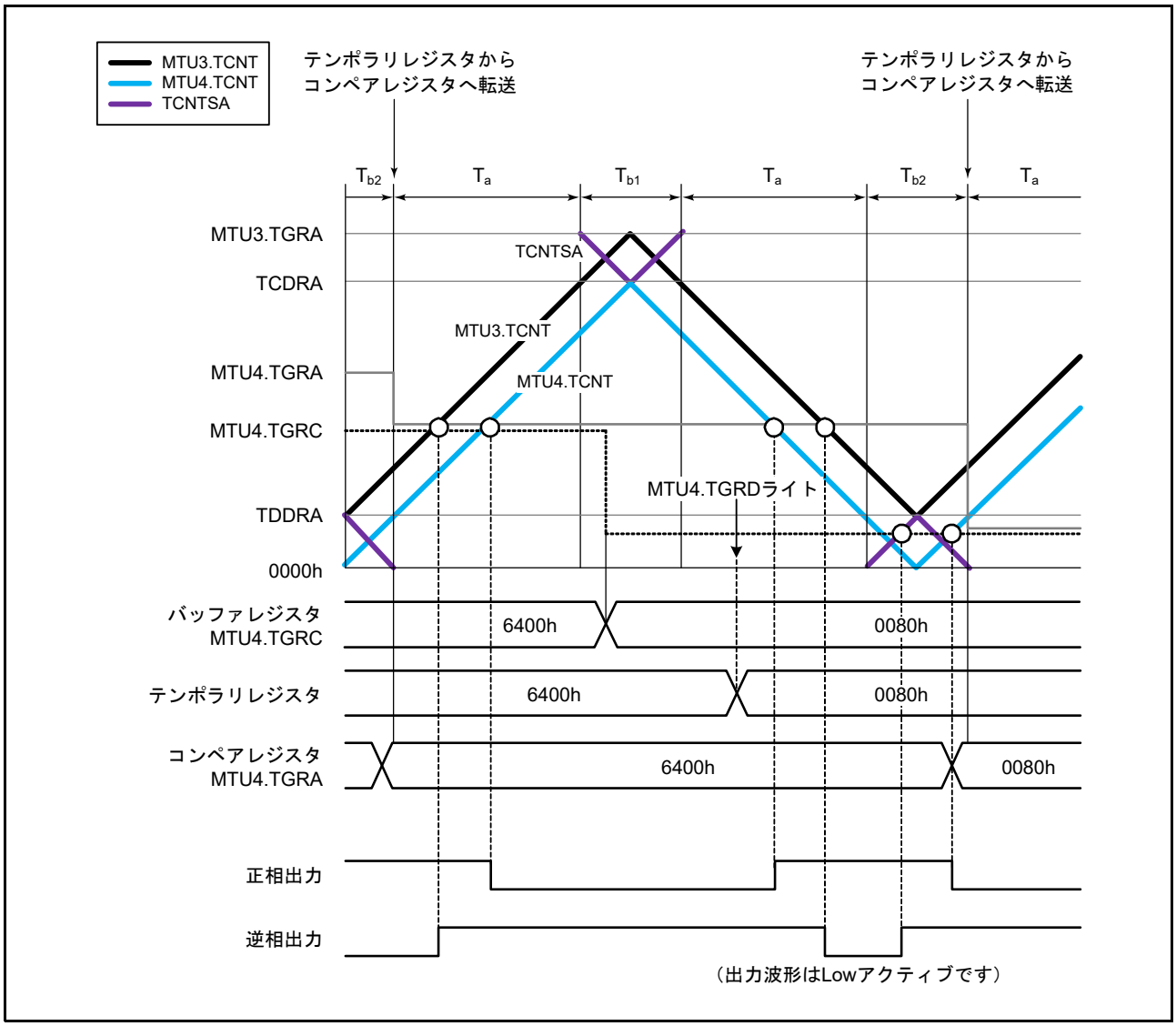


図 22.49　相補 PWM モード動作例 (MTU3, MTU4)

(c) 初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 9 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

MTU3.TMDR1.MD[3:0]（MTU6.TMDR1.MD[3:0]）ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TOCR1A、TOCR2A、TOCR1B、TOCR2B レジスタは、PWM 出力レベルを設定します。MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして動作し、PWM 周期の 1/2 + デッドタイム Td を設定します。タイマ周期バッファレジスタ（TCBRA, TCBRB）は、タイマ周期データレジスタ（TCDRA、TCDRB）のバッファレジスタとして動作し、PWM 周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ（TDDRA, TDDRB）には、デッドタイム Td を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ（TDERA, TDERB）の TDER ビットを “0” にし、MTU3.TGRC、MTU3.TGRA（MTU6.TGRC, MTU6.TGRA）には、PWM キャリア周期の 1/2 + 1 を、TDDRA（TDDRB）を “1” にします。

バッファレジスタ A（MTU3.TGRD、MTU4.TGRC、MTU4.TGRD（MTU6.TGRD, MTU7.TGRC, MTU7.TGRD））の 3 本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B（MTU3.TGRE、MTU4.TGRE、MTU4.TGRF（MTU6.TGRE, MTU7.TGRE, MTU7.TGRF））の 3 本は、ダブルバッファ機能使用時のみ設定します。

TDDRA（TDDRB）を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT（MTU7.TCNT）は、相補 PWM モードに設定する前に “0000h” にしてください。

表 22.77　初期設定の必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
TOCR1A, TOCR2A, TOCR1B, TOCR2B	PWM出力レベルを設定
MTU3.TGRC MTU6.TGRC	PWM周期の1/2 + デッドタイムTd TDERA/TDERBでデッドタイム生成をなしに設定した場合はPWM周期の1/2 + 1）
TDDRA, TDDRB	デッドタイムTd（TDERA/TDERBでデッドタイム生成をなしに設定した場合“1”）
TCBRA, TCBRB	PWM周期の1/2
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD MTU6.TGRD, MTU7.TGRC, MTU7.TGRD	各相のPWMデューティ比の初期値
MTU3.TGRE, MTU4.TGRE, MTU4.TGRF MTU6.TGRE, MTU7.TGRE, MTU7.TGRF	各相のPWMデューティ比の初期値（ダブルバッファ機能使用時のみ）
MTU4.TCNT MTU7.TCNT	“0000h”

注．　MTU3.TGRC（MTU6.TGRC）の設定値は、TCBRA（TCBRB）に設定するPWM周期の1/2の値とTDDRA（TDDRB）に設定するデッドタイムTdの値の和としてください。ただし、TDERA（TDERB）レジスタでデッドタイム生成をなしに設定した場合は、PWM周期の1/2 + 1としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルをタイマアウトプットコントロールレジスタ 1（TOCR1A, TOCR1B）の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2（TOCR2A, TOCR2B）の OLS1P ～ OLS3P、OLS1N ～ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、タイマデッドタイムデータレジスタ（TDDRA, TDDRB）に設定します。TDDRA（TDDRB）に設定した値が、MTU3.TCNT（MTU6.TCNT）のカウンタスタート値となり、MTU3.TCNT（MTU6.TCNT）と MTU4.TCNT（MTU7.TCNT）のノンオーバラップを生成します。TDDRA（TDDRB）の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ（TDERA, TDERB）の TDER ビットを “0” にします。TDERA（TDERB）は、TDER ビット = 1 の状態で TDER ビットを読んだ後、TDER ビットに “0” を書いたときのみ、“0” にできます。

MTU3.TGRA、MTU3.TGRC（MTU6.TGRA, MTU6.TGRC）には PWM 周期の 1/2 + 1 を設定し、タイマデッドタイムデータレジスタ（TDDRA, TDDRB）を “1” にします。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 22.50 にデッドタイムを生成しない場合の動作例 (MTU3, MTU4) を示します。

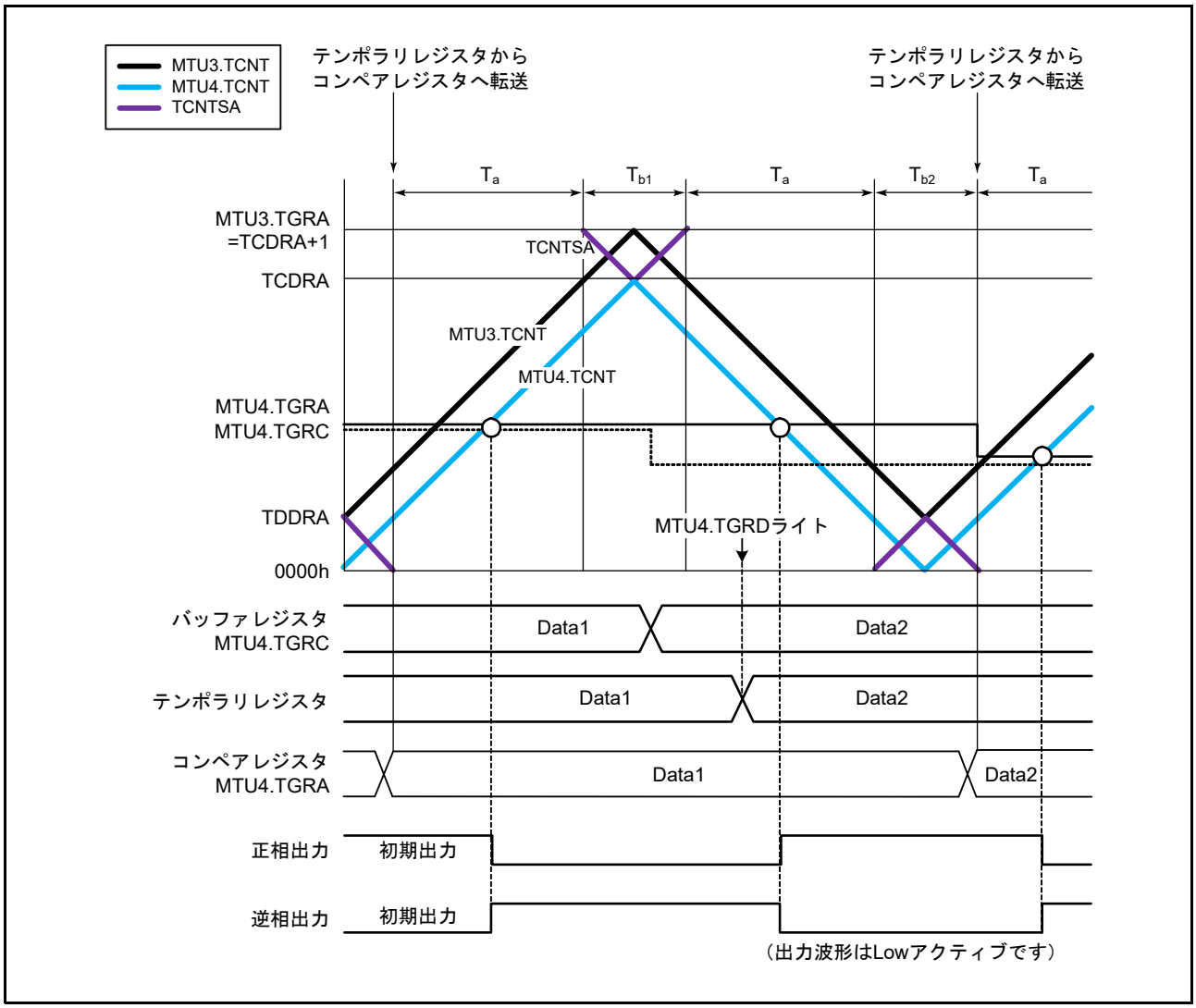


図 22.50　デッドタイムを生成しない場合の動作例 (MTU3, MTU4)

(g) PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT（MTU6.TCNT）の上限値を設定する MTU3.TGRA（MTU6.TGRA）と MTU4.TCNT（MTU7.TCNT）の上限値を設定する TCDRA（TCDRB）の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：MTU3.TGRA（MTU6.TGRA）の設定値 = TCDRA（TCDRB）の設定値 + TDDRA（TDDRB）の設定値
デッドタイム生成なし：MTU3.TGRA（MTU6.TGRA）の設定値 = TCDRA（TCDRB）の設定値 + 1

また、TCDRA（TCDRB）レジスタと TDDRA（TDDRB）レジスタの関係が、次の関係になるように設定してください。

TCDRA（TCDRB）の設定値 > TDDRA（TDDRB）の設定値 × 2 + 2

また、MTU3.TGRA、TCDRA（MTU6.TGRA, TCDRB）の設定は、バッファレジスタの MTU3.TGRC、TCBRA（MTU6.TGRC, TCBRB）に値を設定することで行ってください。MTU4.TGRD（MTU7.TGRD）への書き込みを行い転送を許可すると MTU3.TGRC、TCBRA（MTU6.TGRC, TCBRB）に設定した値は、MTU3.TMDR1.MD[3:0]（MTU6.TMDR1.MD[3:0]）ビットで選択した転送タイミングで MTU3.TGRA、TCDRA（MTU6.TGRA, TCDRB）に同時に転送されます。
変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。**図 22.51** に PWM 周期を山で変更する場合の動作例を示します。
なお、各バッファレジスタのデータの更新方法については、次項の「**(h) レジスタデータの更新**」を参照してください。

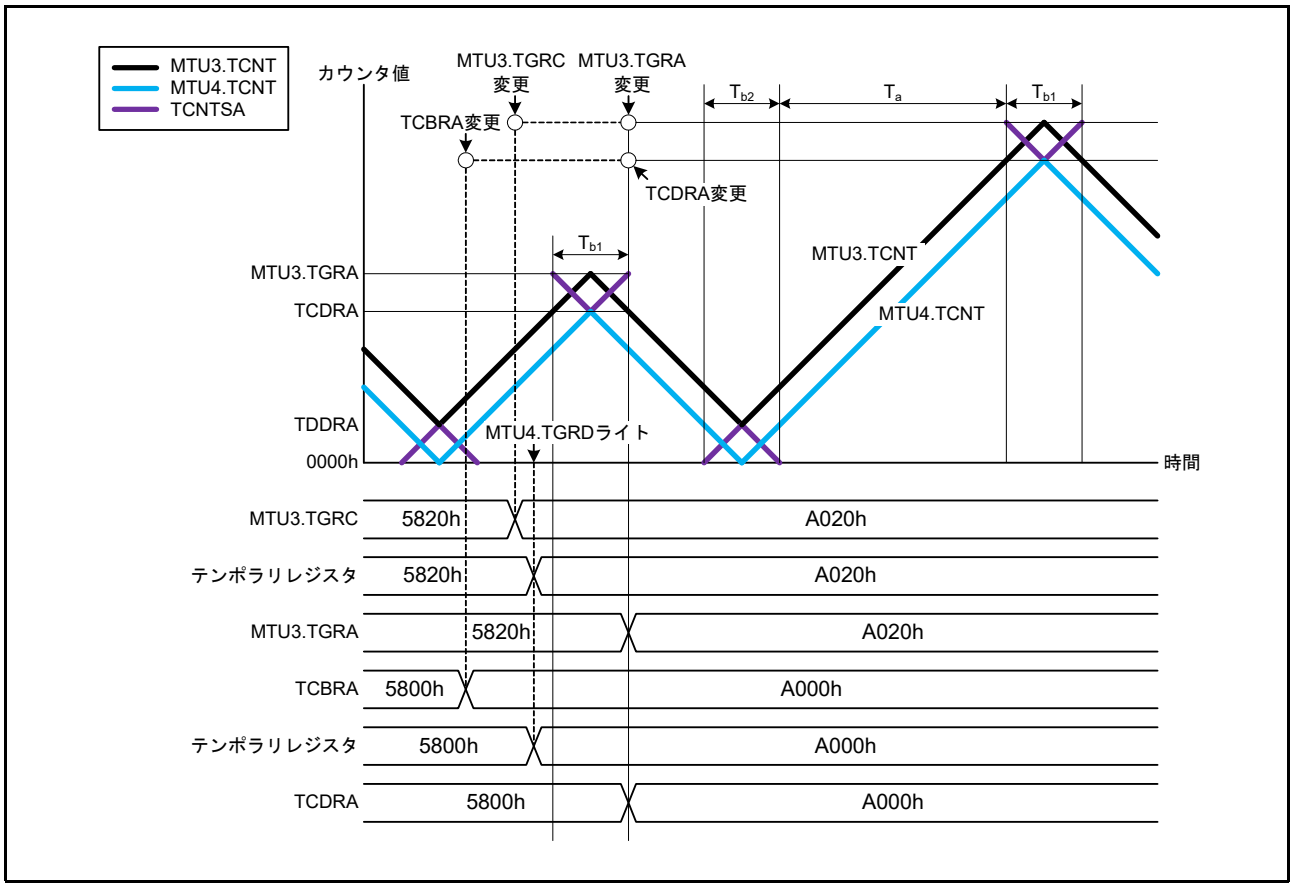


図 22.51　PWM 周期の変更例 (MTU3, MTU4)

(h)　レジスタデータの更新

相補 PWM モードで、PWM デューティ用および PWM 周期用のコンペアレジスタ（5 本）のデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA（TCNTSB）がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。TCNTSA（TCNTSB）がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA（TCNTSB）が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、MTU3.TMDR1.MD[3:0]（MTU6.TMDR1.MD[3:0]）ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。**図 22.52** に相補 PWM モード時のデータ更新例（MTU3、MTU4）を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD（MTU7.TGRD）への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD（MTU7.TGRD）に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD（MTU7.TGRD）のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD（MTU7.TGRD）に書き込み動作を行ってください。またこのとき、MTU4.TGRD（MTU7.TGRD）に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、「**22.3.8 (2) (s)　相補 PWM モードのダブルバッファ機能**」を参照してください。

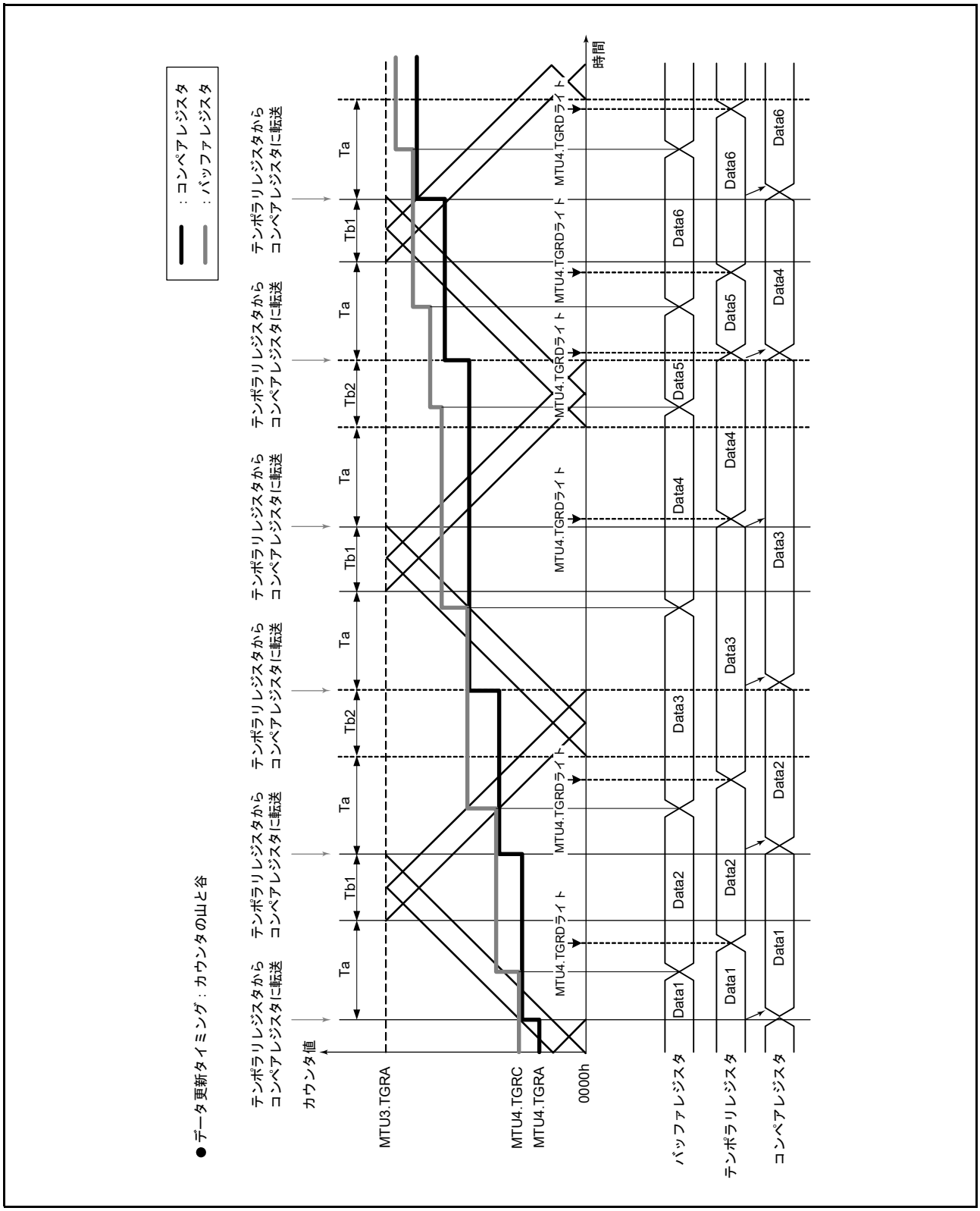


図 22.52　相補 PWM モードのデータ更新例 (MTU3, MTU4)

(i)　相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1A（TOCR1B）レジスタの OLSN、OLSP ビットの設定または、TOCR2A（TOCR2B）レジスタの OLS1N ～ OLS3N、OLS1P ～ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、MTU3.TMDR1（MTU6.TMDR1）で相補 PWM モードを設定してから MTU4.TCNT（MTU7.TCNT）が TDDRA（TDDRB）レジスタに設定された値より大きくなるまで出力されます。図 22.53 に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA（TDDRB）の値より小さい場合の波形例を図 22.54 に示します。

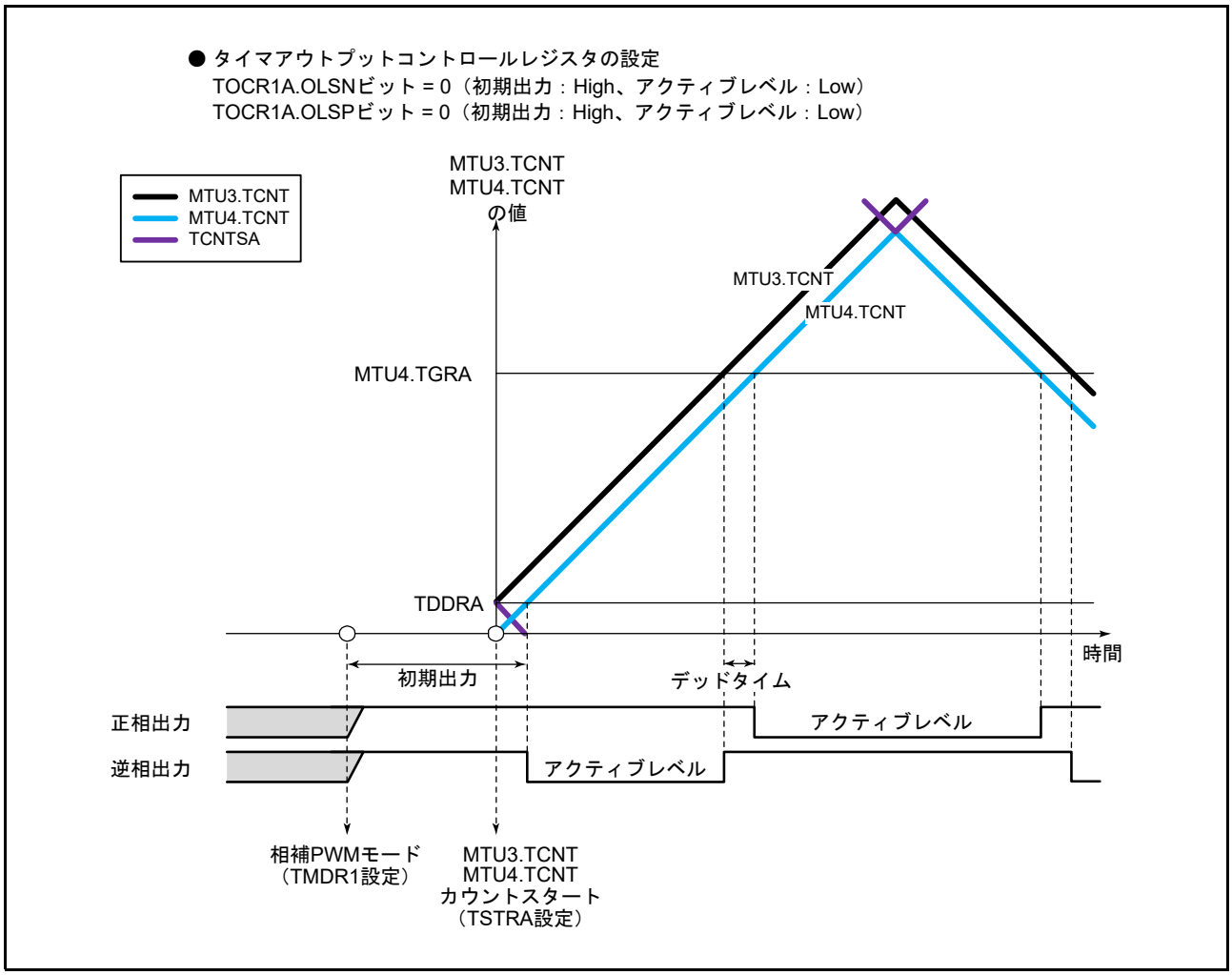


図 22.53　相補 PWM モードの初期出力例 (MTU3, MTU4) (1)

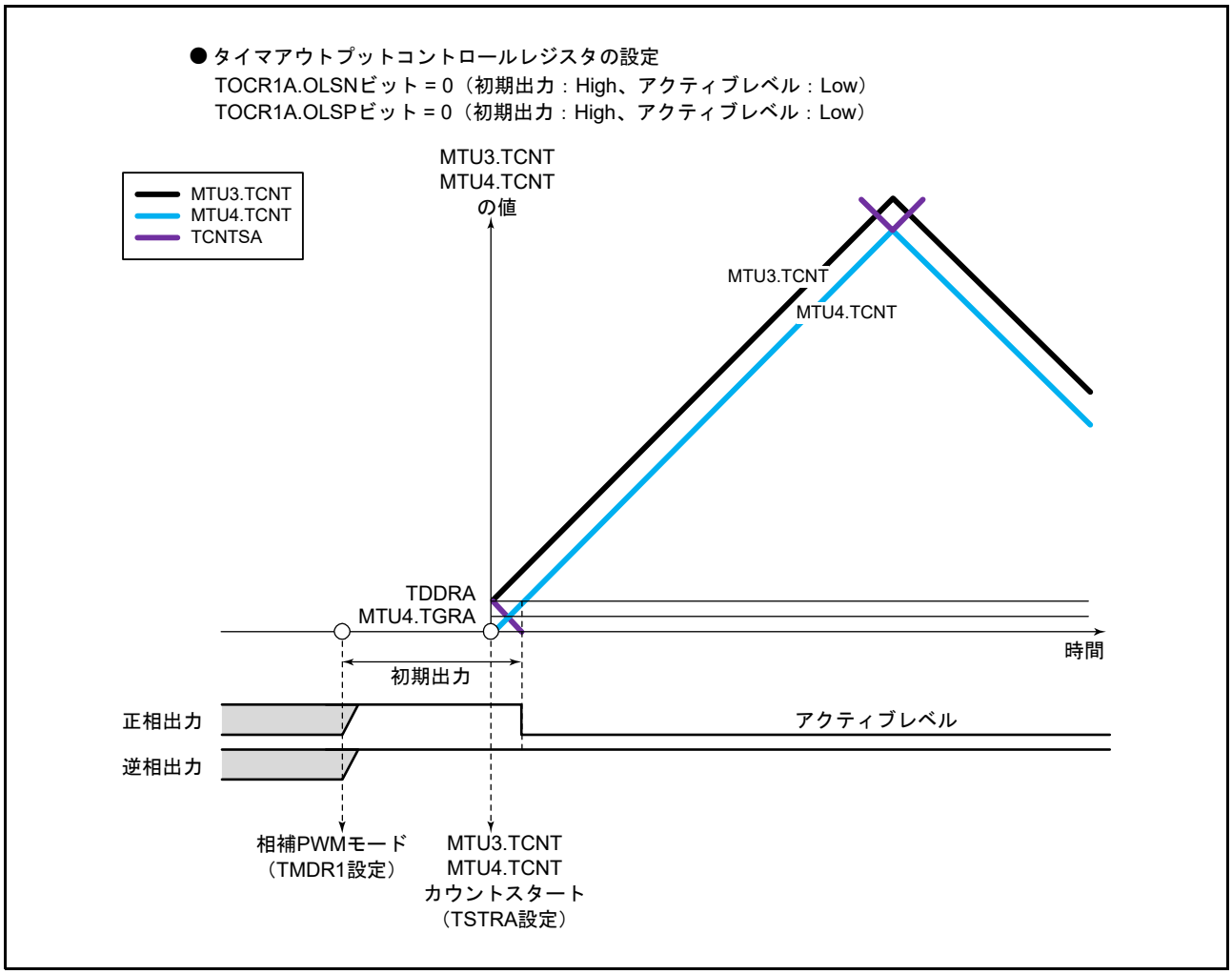


図 22.54　相補 PWM モードの初期出力例 (MTU3, MTU4) (2)

(j)　相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは 6 相（正相 3 本、逆相 3 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA（TCNTSB）がカウント動作する期間では、デューティ 0% ～ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 22.55 ～図 22.57 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 22.55 に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 22.56 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 22.57 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

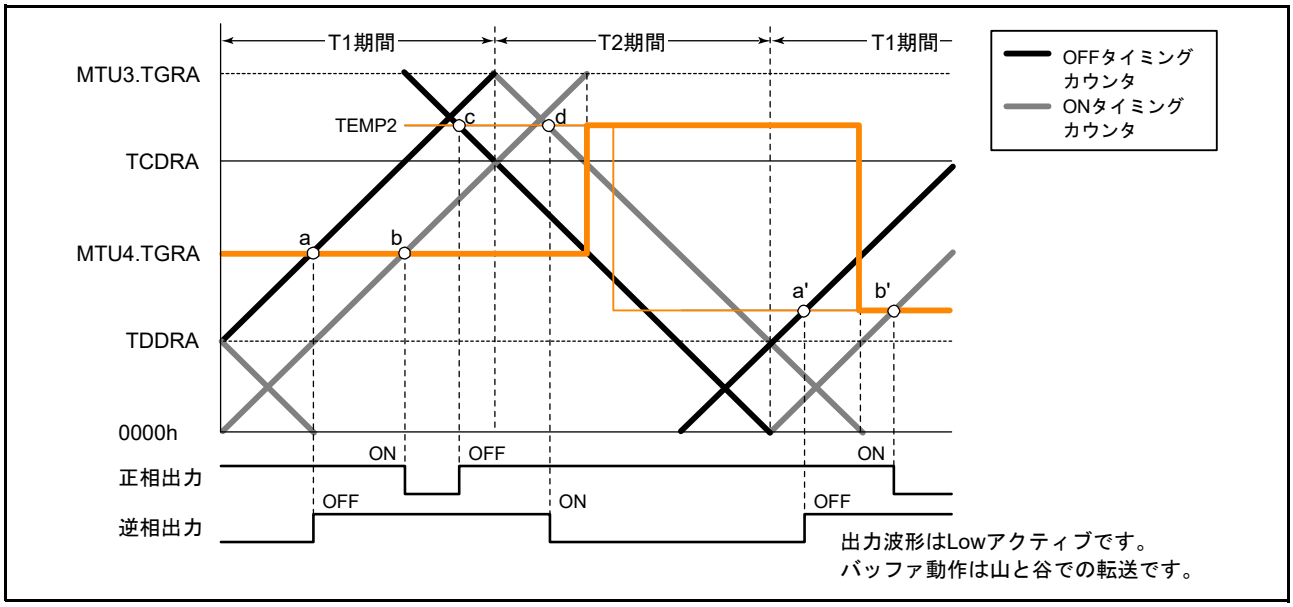


図 22.55　相補 PWM モード波形出力例 (MTU3, MTU4) (1)

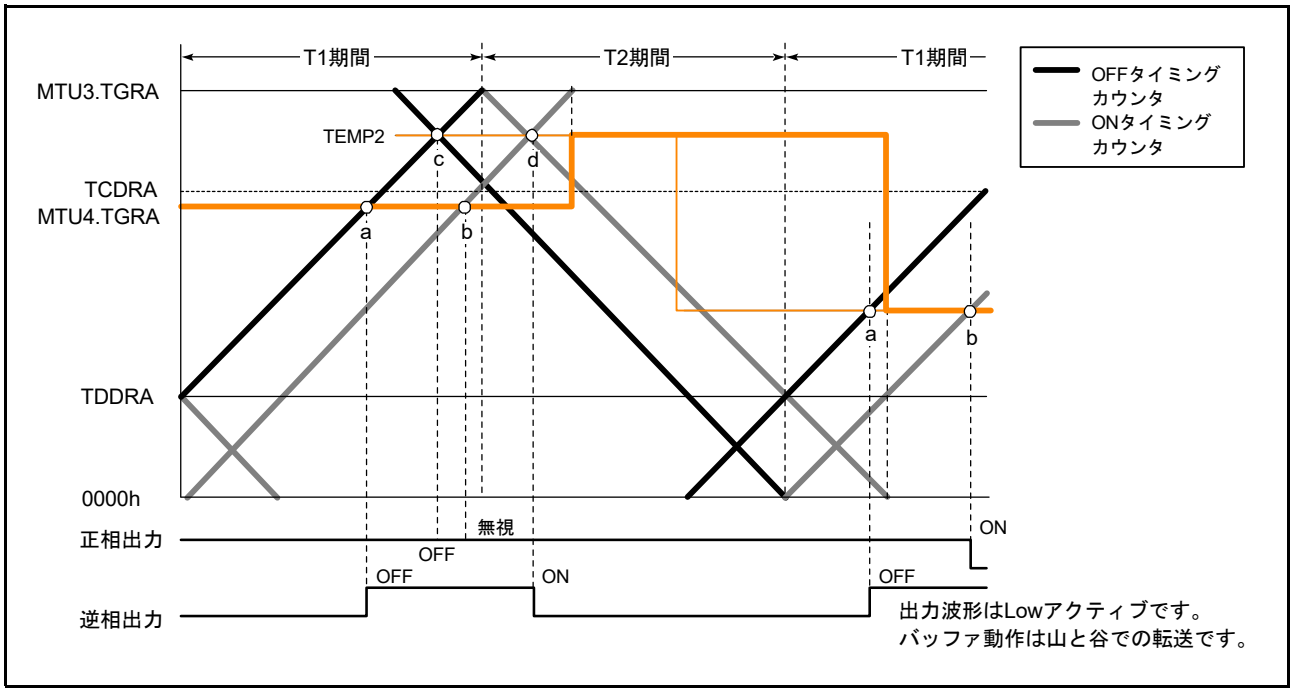


図 22.56　相補 PWM モード波形出力例 (MTU3, MTU4）(2)

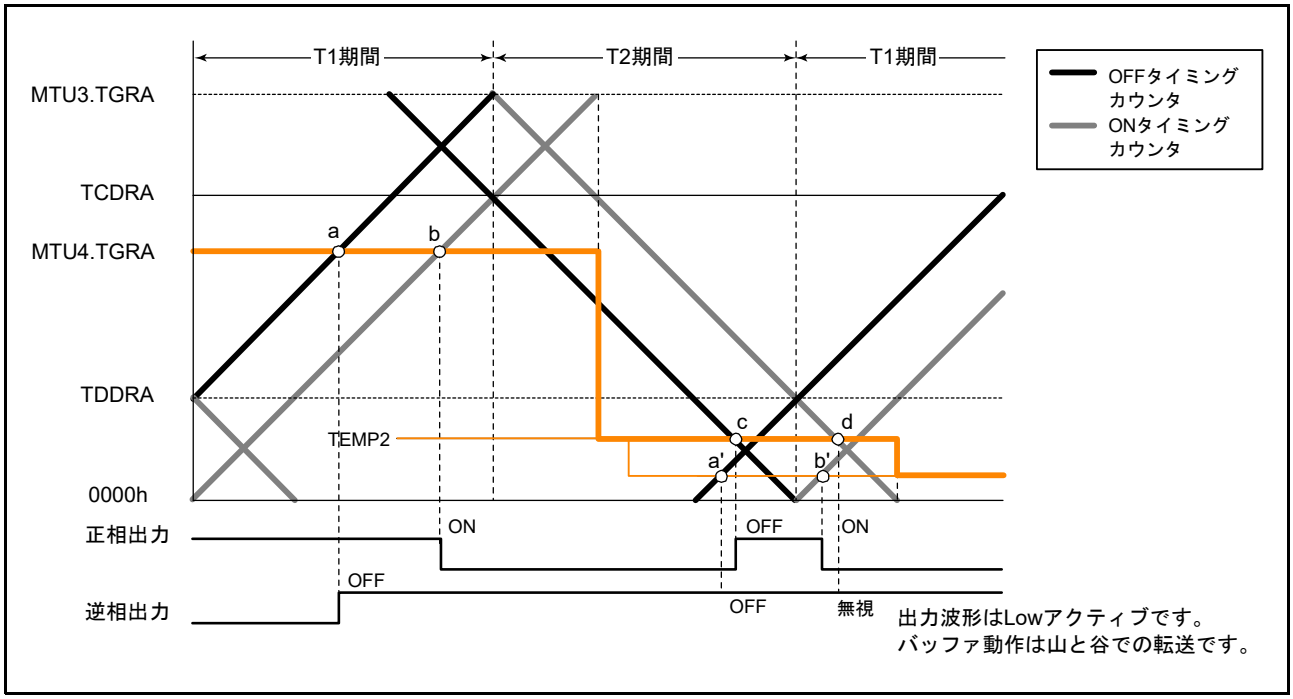


図 22.57　相補 PWM モード波形出力例 (MTU3, MTU4) (3)

(k)　相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 22.58 ～図 22.62 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を “0000h” にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA（MTU6.TGRA）の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

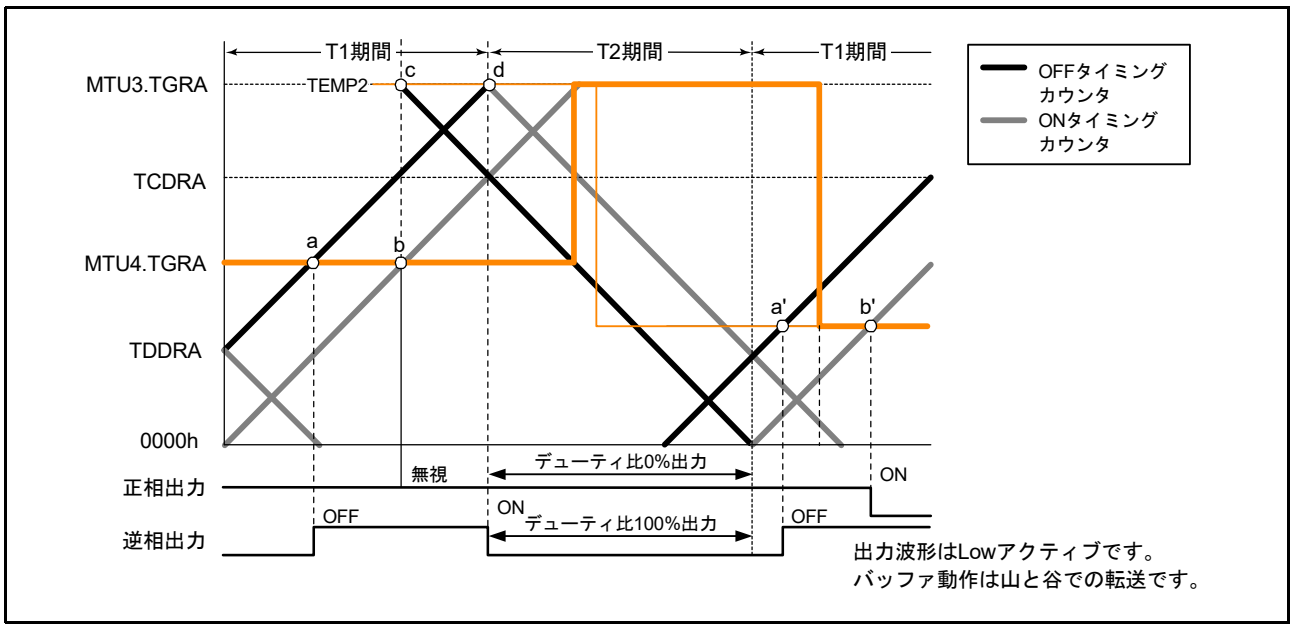


図 22.58　相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (1)

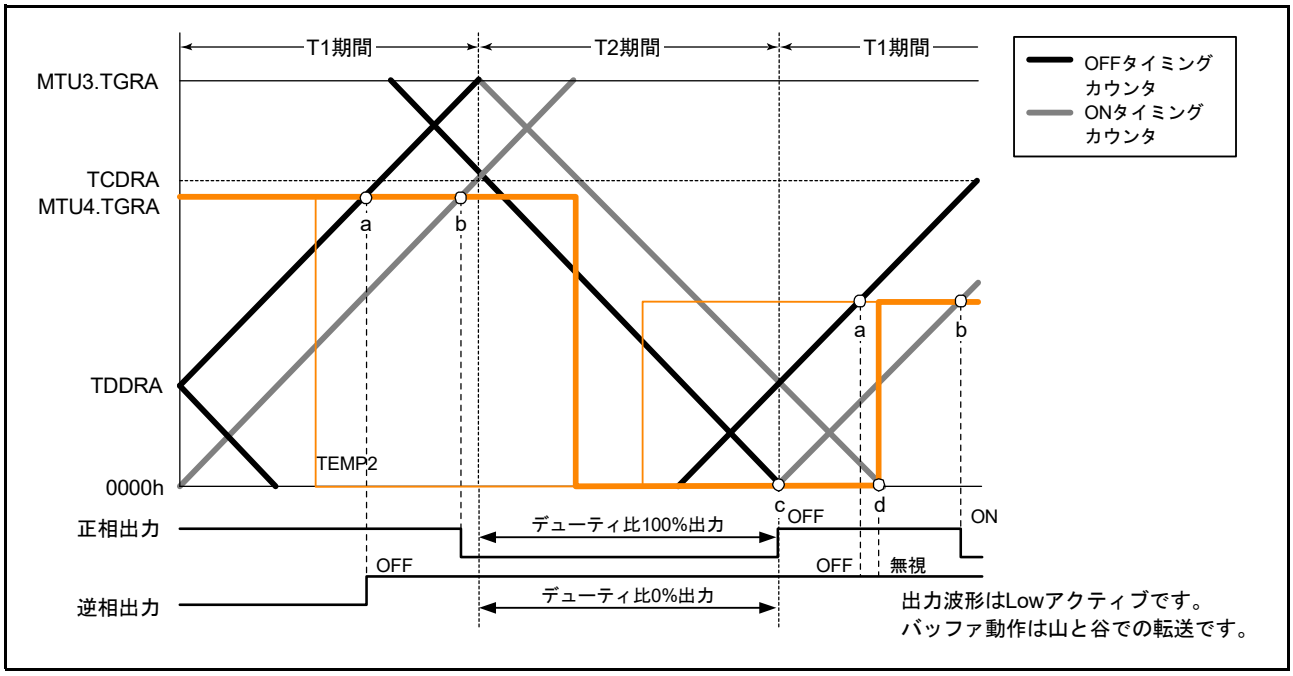


図 22.59　相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (2)

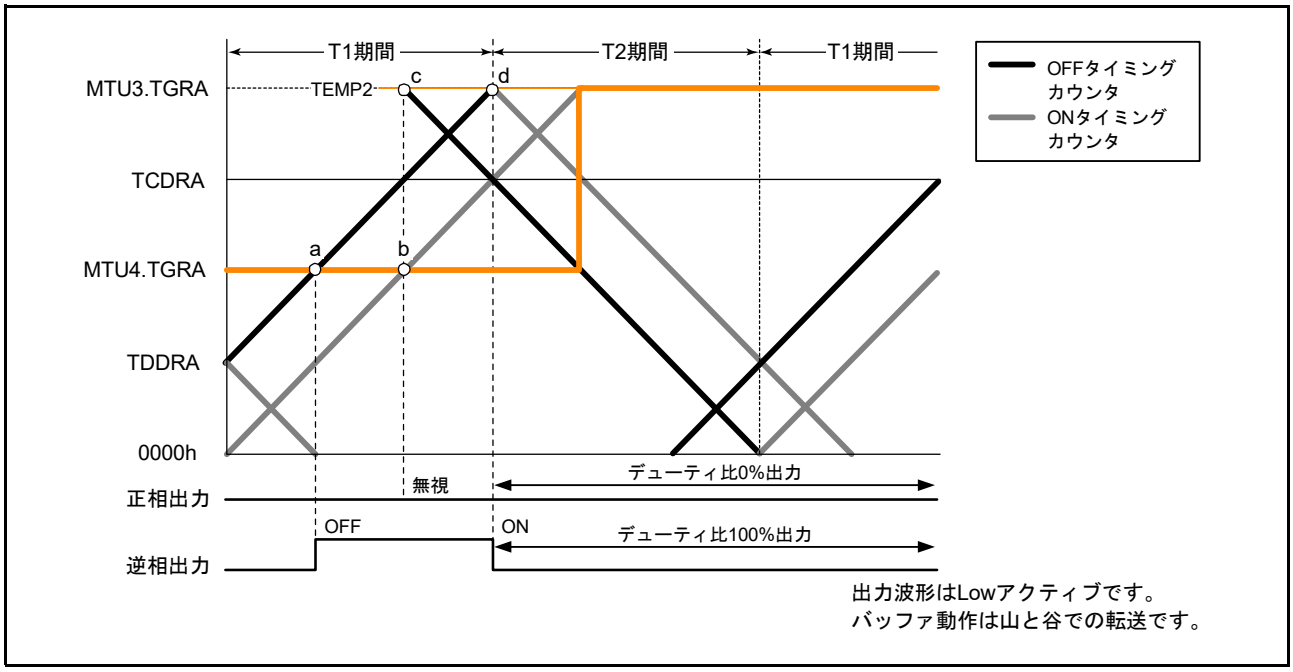


図 22.60　相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (3)

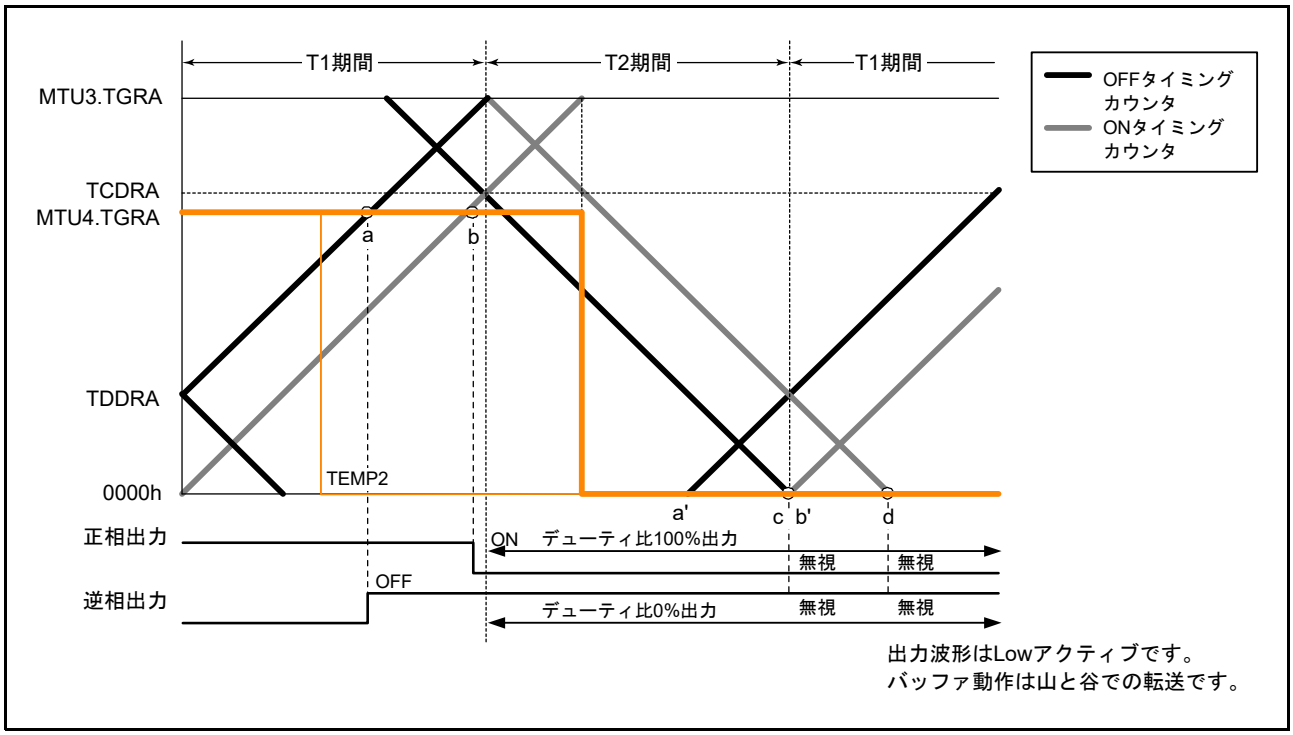


図 22.61　相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (4)

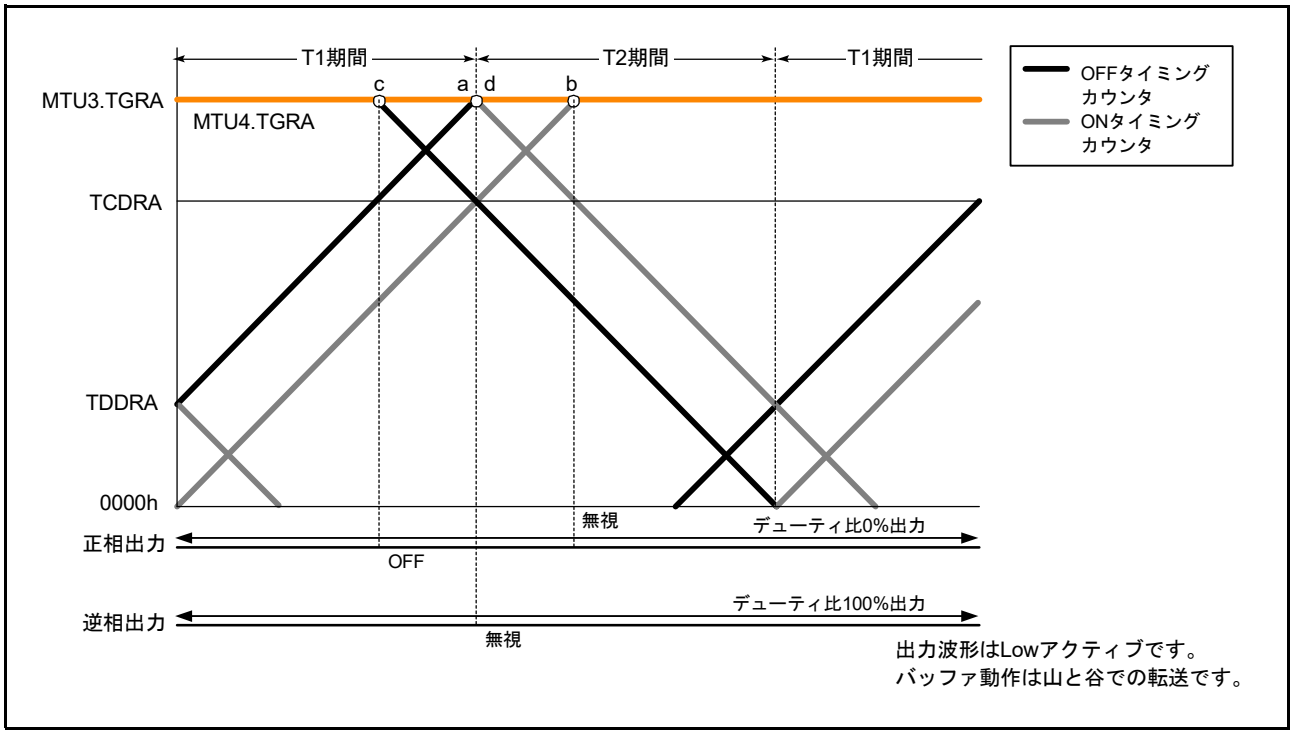


図 22.62　相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (5)

(l)　PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1A（TOCR1B）レジスタの PSYE ビットを “1” にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 22.63 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA（MTU6.TCNT と MTU6.TGRA）のコンペアマッチと MTU4.TCNT（MTU7.TCNT）と “0000h” のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A（MTIOC6A）端子です。また、初期出力は “High” 出力です。

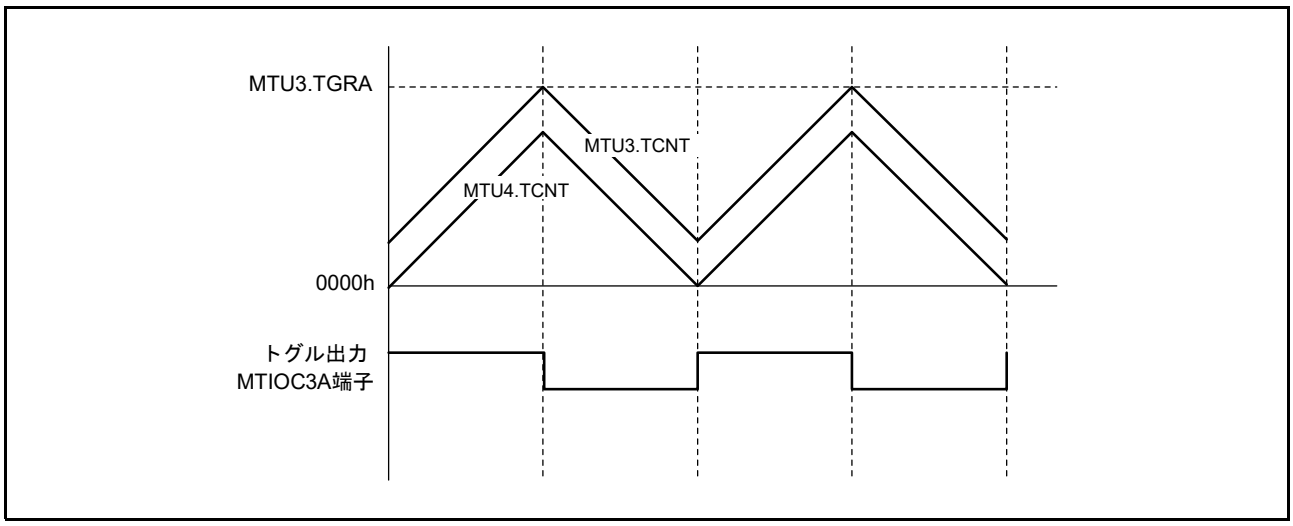


図 22.63　PWM 出力に同期したトグル出力波形例 (MTU3, MTU4)

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、TSYRA（TSYRB）レジスタにより他のチャネルとの同期モードに設定し、また MTU3.TCR.CCLR[2:0]（MTU6.TCR.CCLR[2:0]）ビットで同期クリアを選択することにより他のチャネルの要因で MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）をクリアをすることが可能です。

図 22.64 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

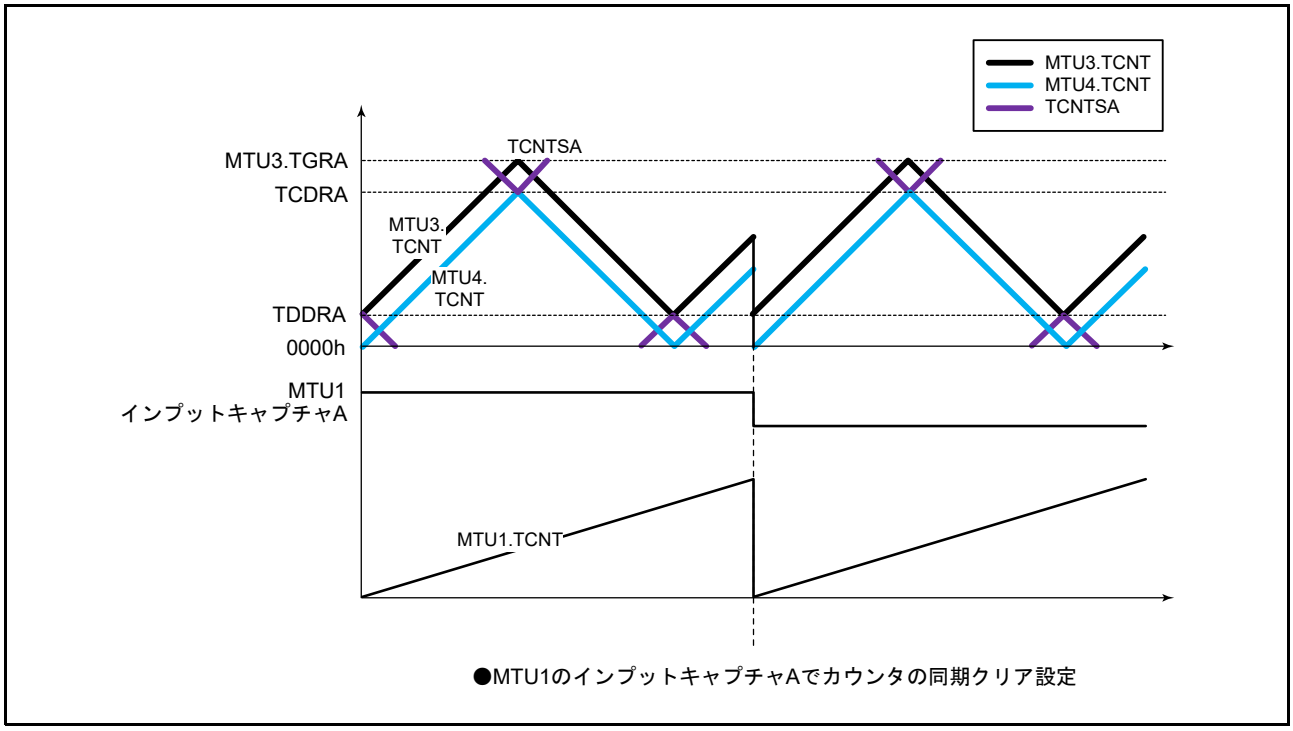


図 22.64　他のチャネルに同期したカウンタクリア (MTU3, MTU4)

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA（TWCRB）レジスタの WRE ビットを “1” にすることにより、相補 PWM モードの谷の Tb 区間（Tb2 区間）で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを “1” にすることで初期出力を抑止することができるのは、同期クリアが**図 22.65** の⑩、⑪のような Tb2 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A（TOCR1B）レジスタの OLSN ビット、OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、**図 22.65** の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、MTU4—MTU6、MTU7 のどちらでも使用することができます。MTU3、MTU4—MTU6、MTU7 のカウンタクリア要因はそれぞれ、MTU3、MTU4 では MTU0 ～ MTU2 からの同期クリア、MTU6、MTU7 では MTU0 ～ MTU2 のコンペアマッチ / インプットキャプチャです。

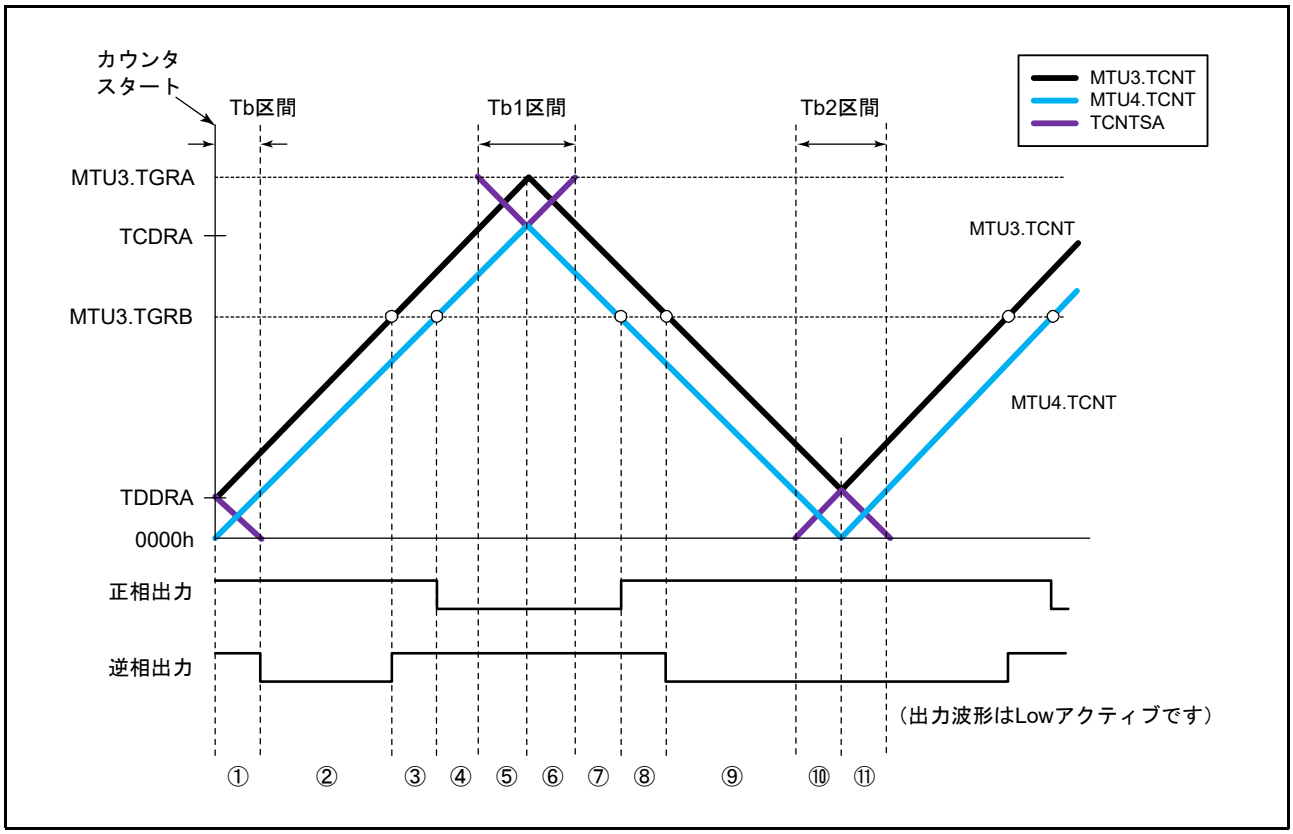


図 22.65　同期カウンタクリアタイミング (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 22.66 に示します。

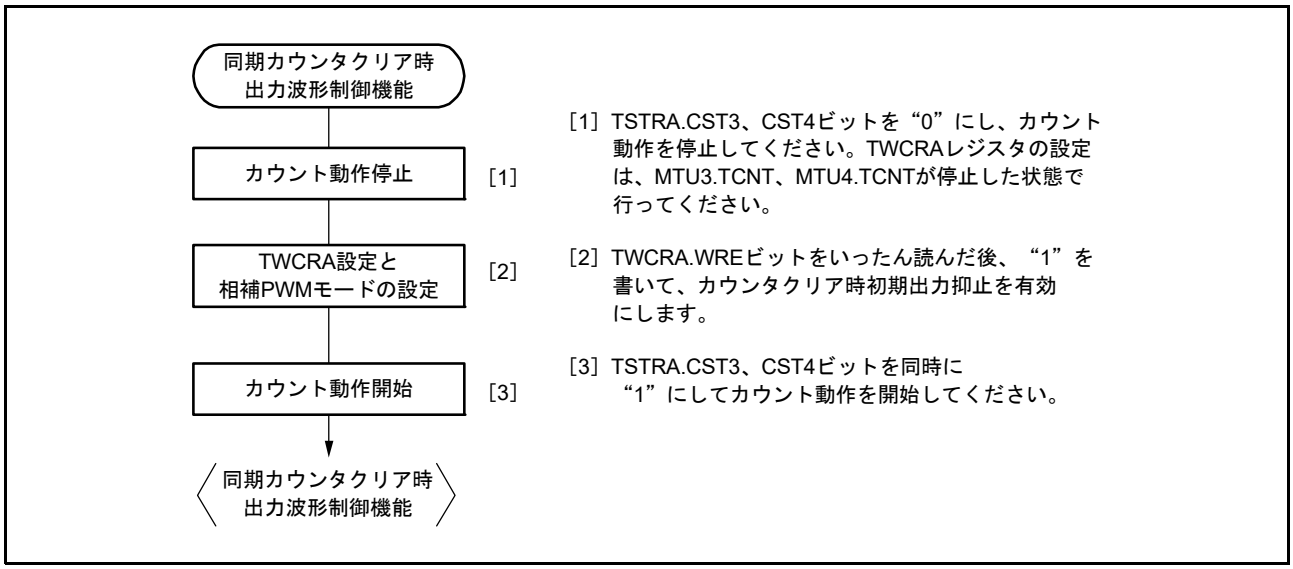


図 22.66　相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例 (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 22.67 ～図 22.70 に、TWCRA.WRE ビットを “1” にした状態で MTU3、MTU4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 22.67 ～図 22.70 の同期カウンタクリアのタイミングは、それぞれ図 22.65 の③、⑥、⑧、⑪で示したタイミングです。

この例は、MTU6、MTU7 では TWCRB.SCC ビットを “0”、WRE ビットを “1” にした状態で MTU6、MTU7 を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

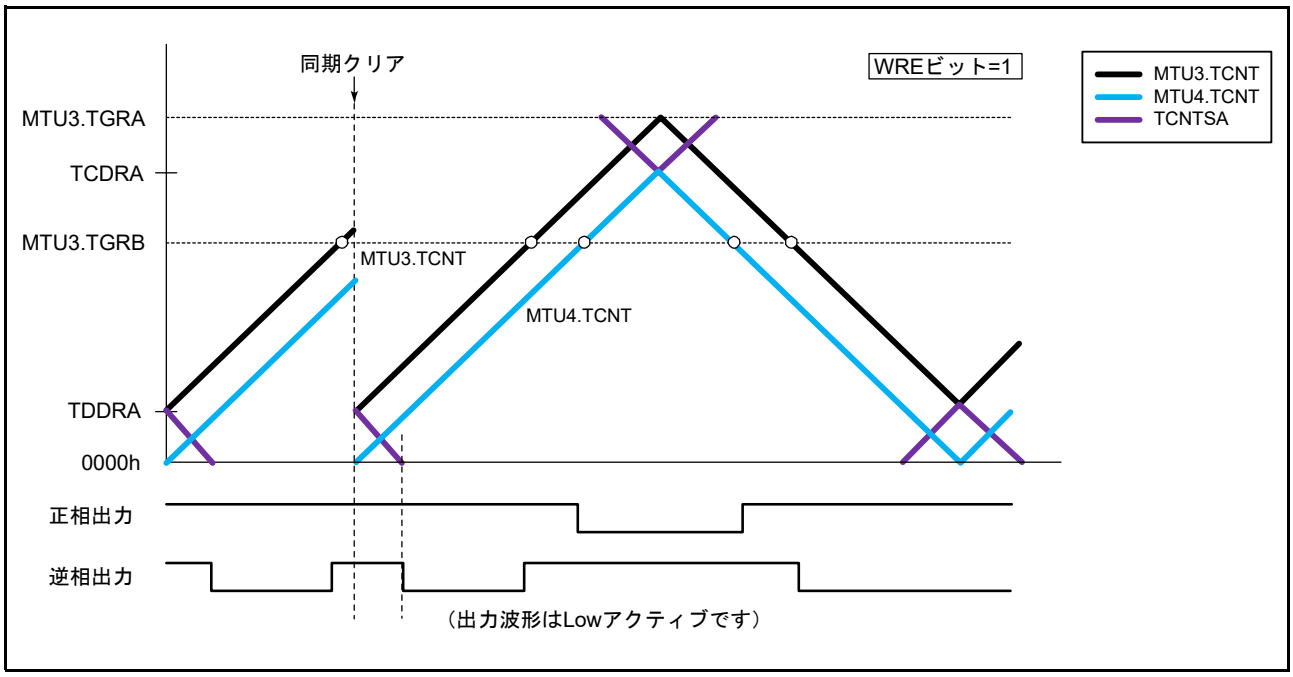


図 22.67　アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 22.65 のタイミング③、TWCRA レジスタの WRE ビット = 1)

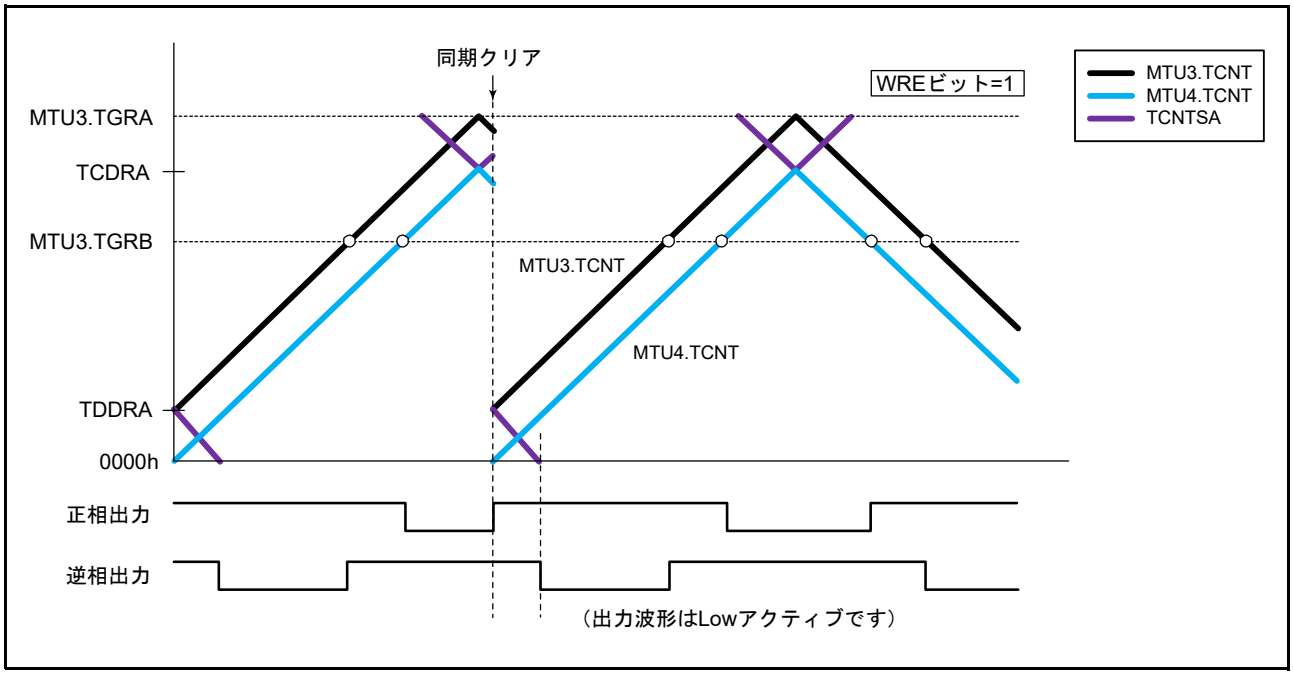


図 22.68　Tb1 区間で同期クリアが発生した場合
(図 22.65 のタイミング⑥、TWCRA レジスタの WRE ビット = 1)

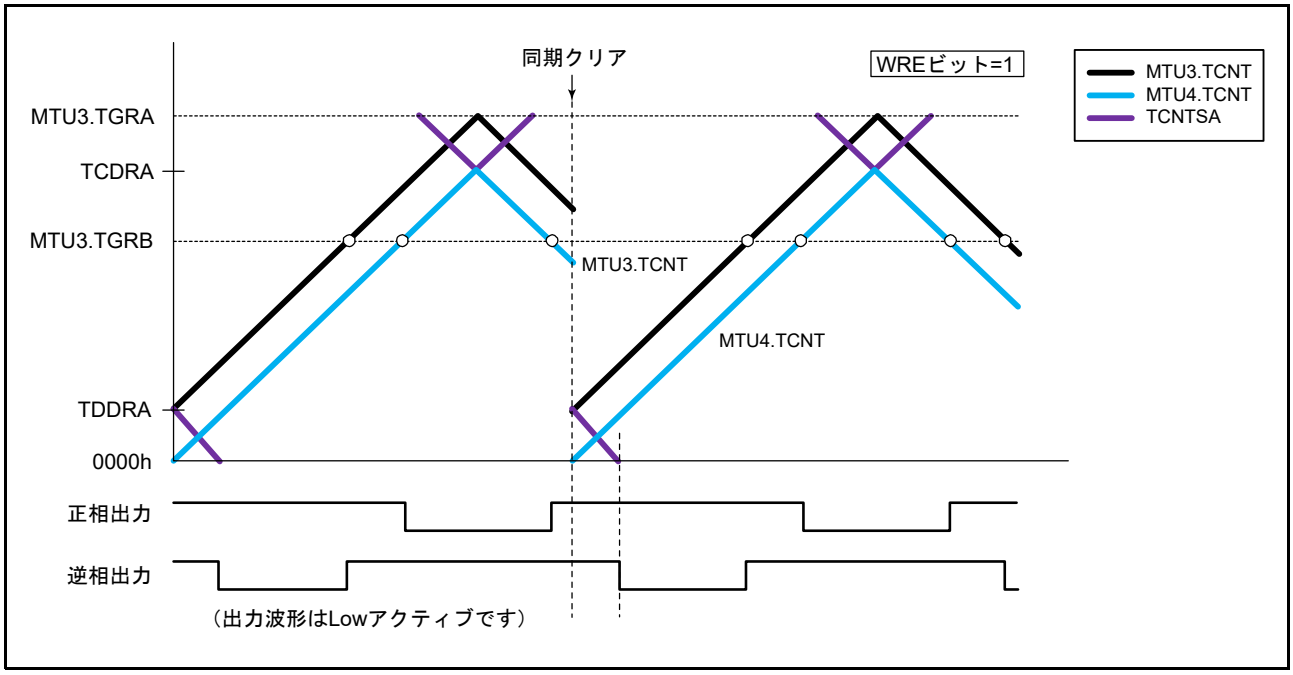


図 22.69　ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 22.65 のタイミング⑧、TWCRA レジスタの WRE ビット = 1)

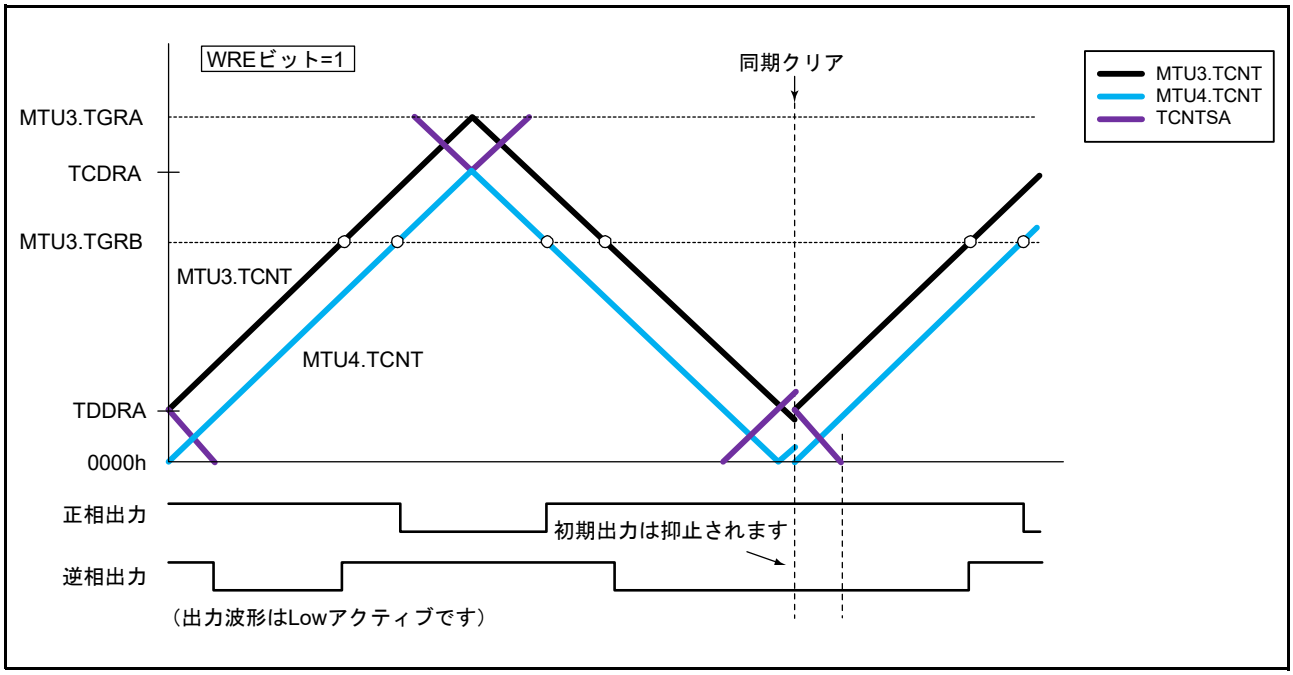


図 22.70　Tb2 区間で同期クリアが発生した場合
(図 22.65 のタイミング⑪、TWCRA レジスタの WRE ビット = 1)

(o)　MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアの抑止機能

MTU6、MTU7 では、TWCRB.SCC ビットを “1” にすることにより、MTU0、MTU1、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU0、MTU1、MTU2 からの同期クリアが抑止できるのは、**図 22.71** で示す区間です。

また、本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。

MTU0、MTU1、MTU2 からの同期クリアについての詳細は、**「22.3.10 (2)　MTU6、MTU7 カウンタ同期クリア」**を参照してください。

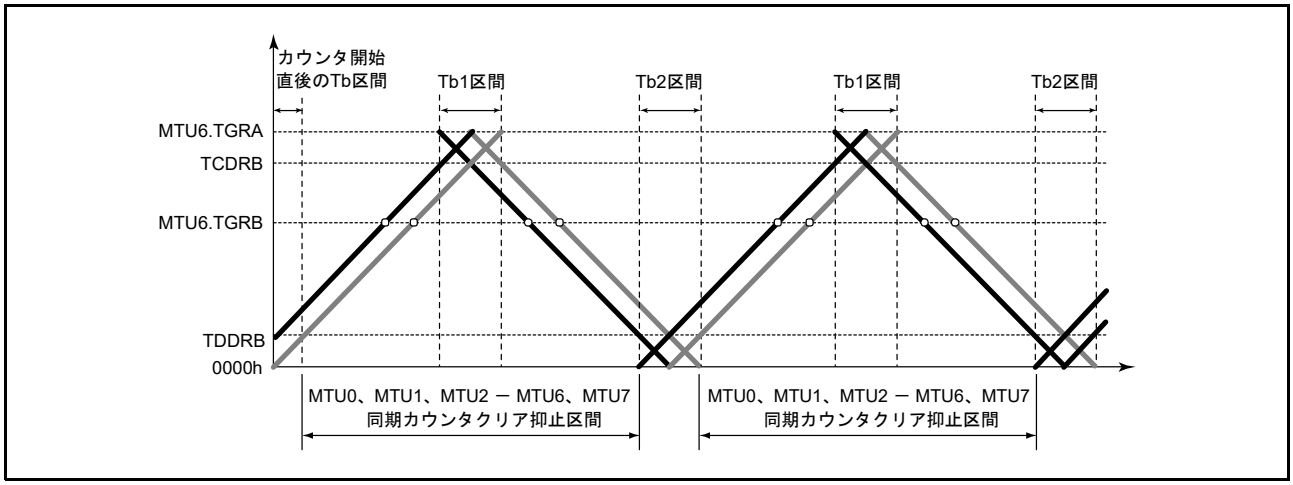


図 22.71　TWCRB.SCC ビットセットによる MTU0、MTU1、MTU2—MTU6、MTU7 同期クリア抑止区間

- MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例を**図 22.72** に示します。

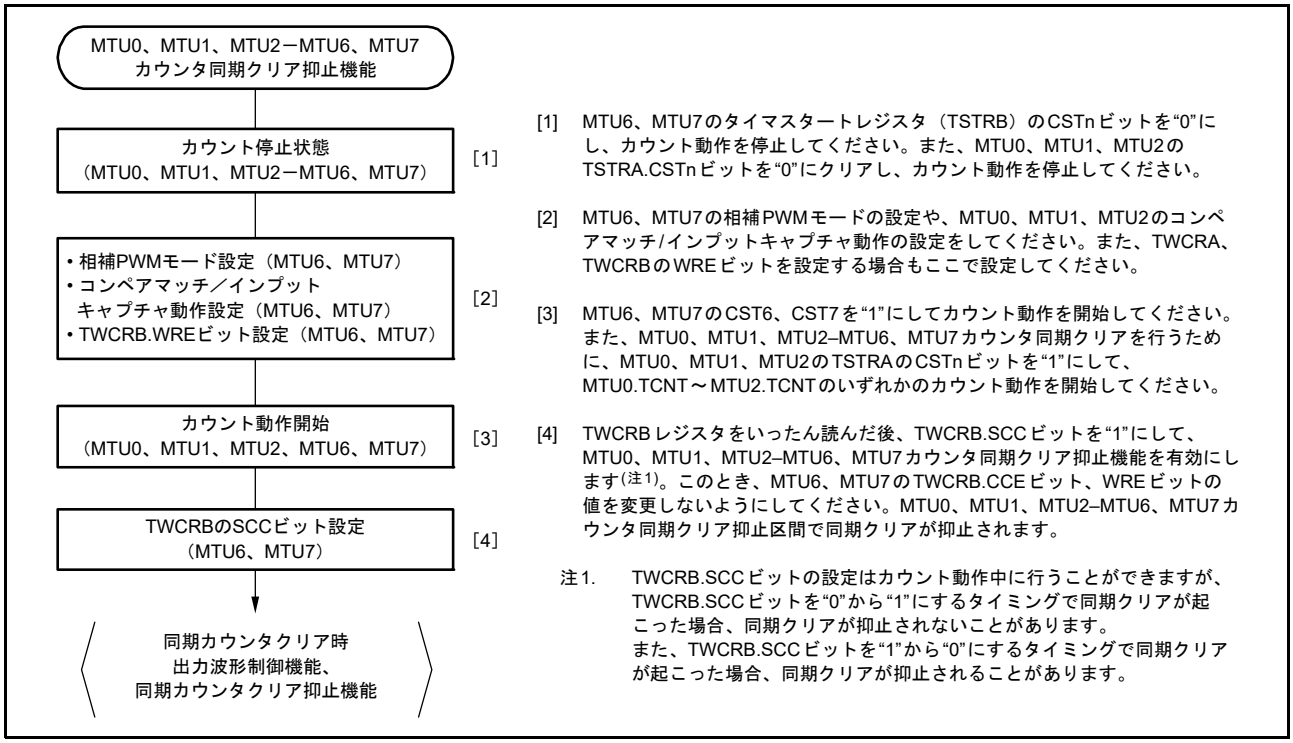


図 22.72　MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

- MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の動作例

図 22.73 ～図 22.76 に、MTU6、MTU7 の TWCRB の SCC ビットを “1” にして MTU6、MTU7 を相補 PWM 動作をさせ、MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 22.73 ～図 22.76 の同期カウンタクリアのタイミングは、それぞれ図 22.65 の③、⑥、⑧、⑪で示したタイミングです。また、この例では MTU6、MTU7 の TWCRB.WRE ビットは “1” にしています。

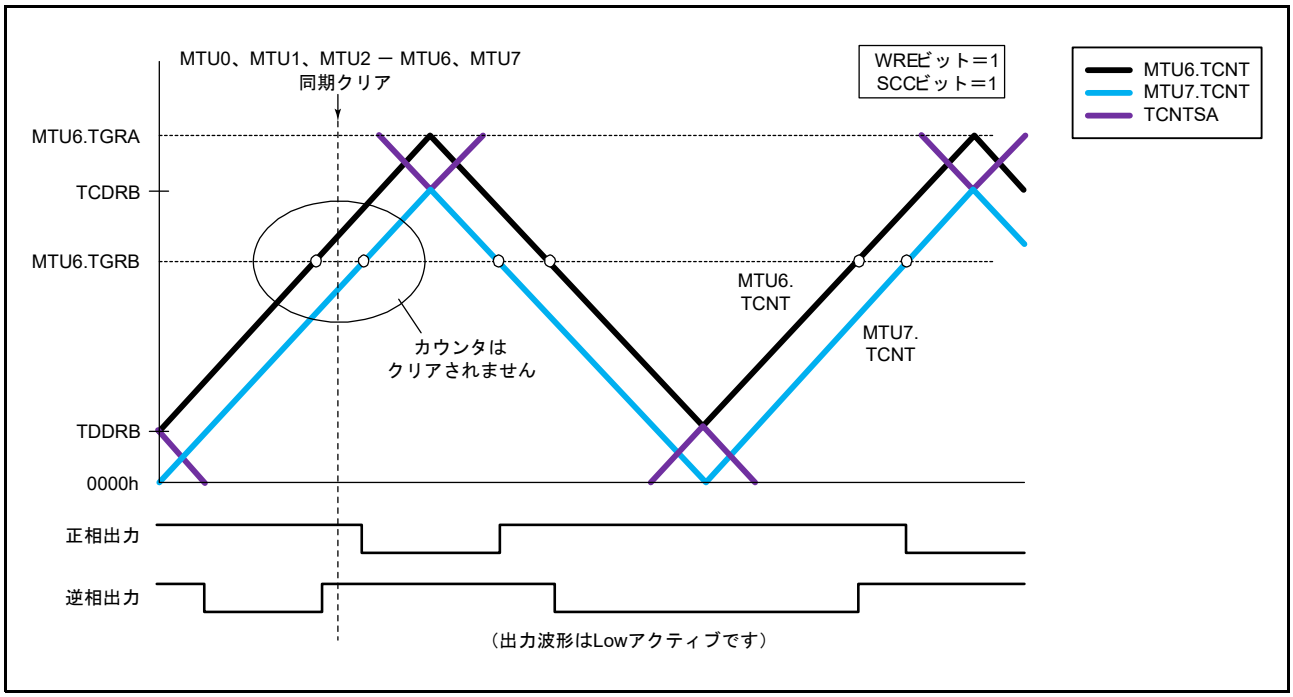


図 22.73　アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.65 のタイミング③、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

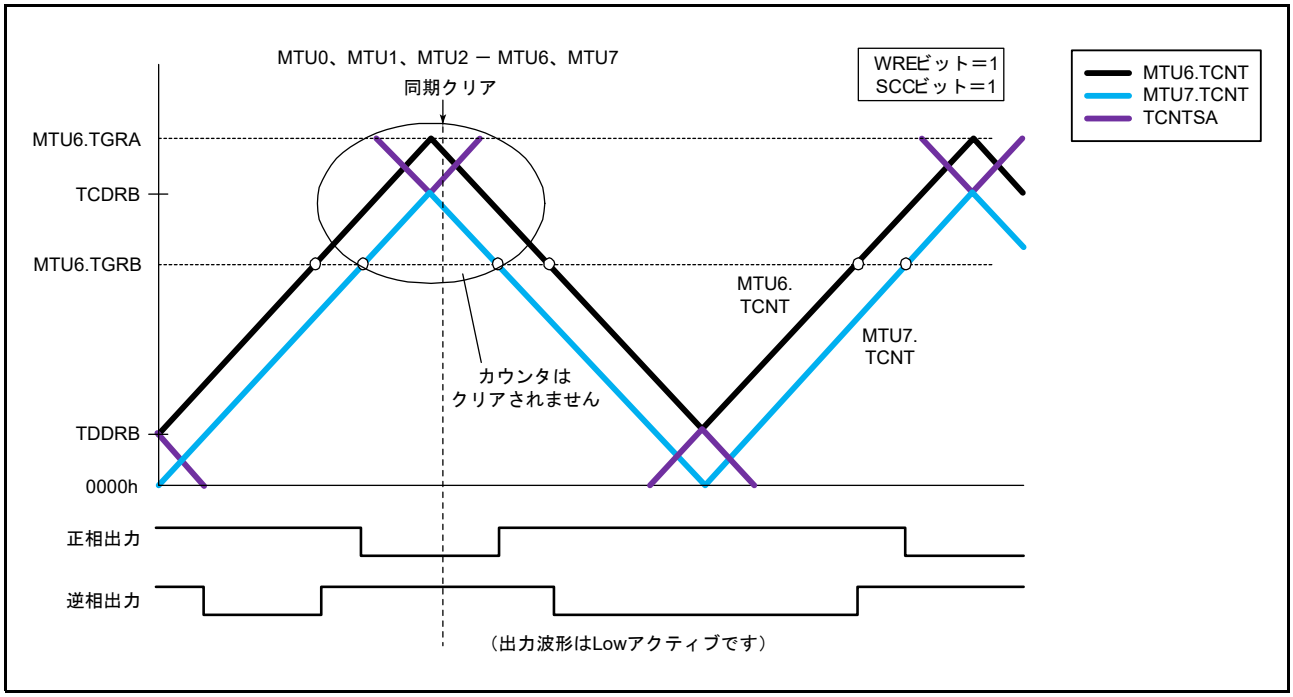


図 22.74　Tb1 区間で同期クリアが発生した場合 (図 22.65 のタイミング⑥、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

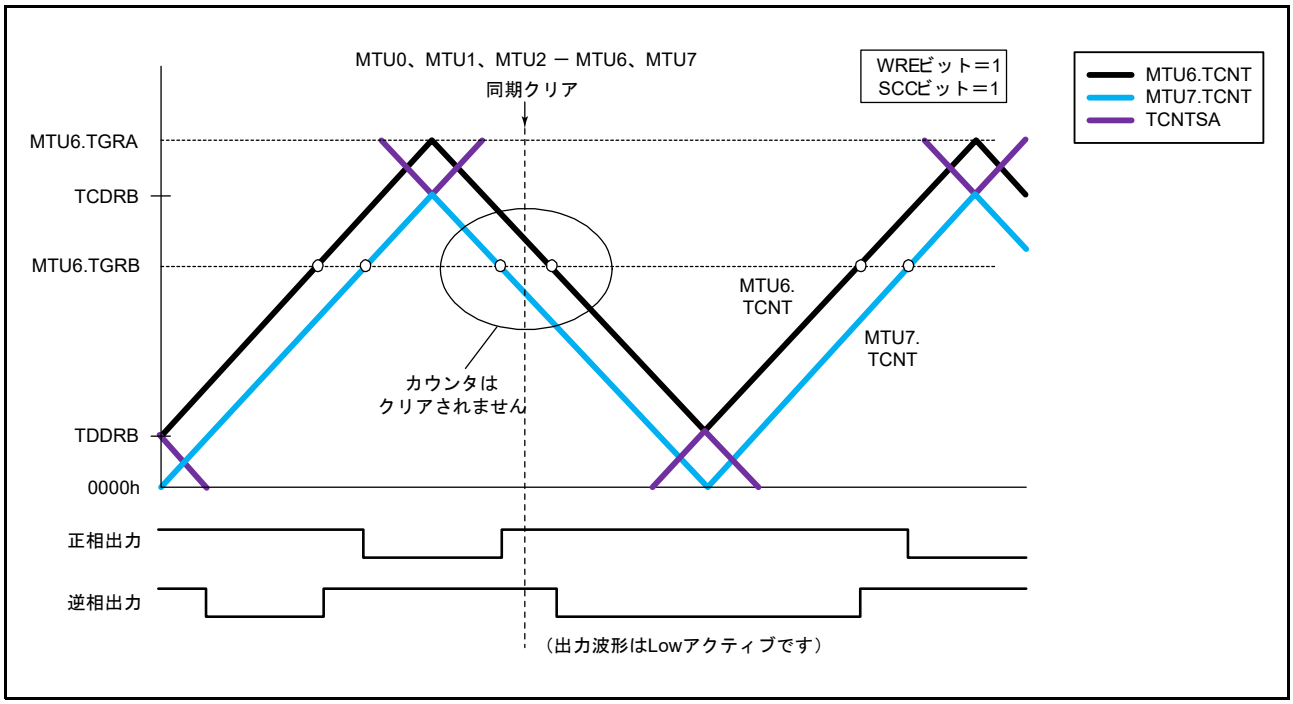


図 22.75　ダウンカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.65 のタイミング⑧、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

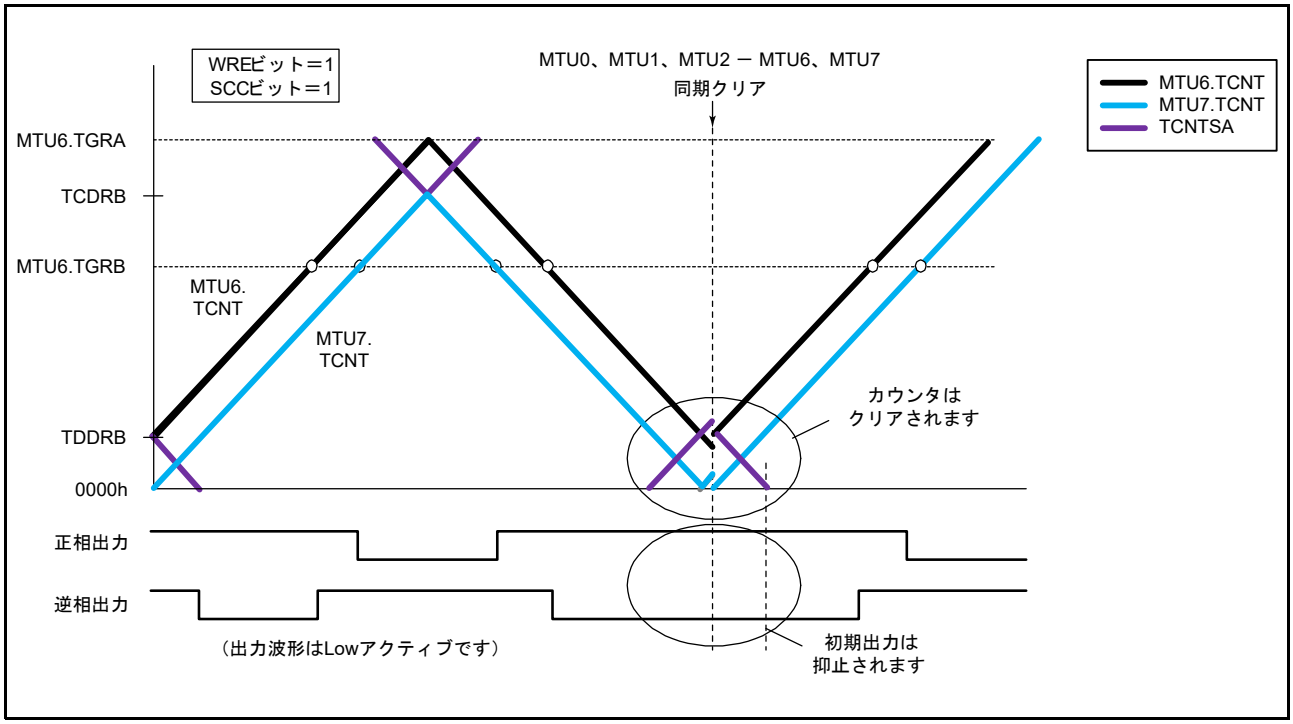


図 22.76　Tb2 区間で同期クリアが発生した場合 (図 22.65 のタイミング⑪、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

(p) MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCRA.CCE（TWCRB.CCE）ビットを設定することにより、MTU3.TGRA（MTU6.TGRA）のコンペアマッチで MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）および TCNTSA（TCNTSB）をクリアすることが可能です。

図 22.77 に動作例を示します。

注 1. 相補 PWM モード 1（山で転送）でのみ使用してください。
注 2. 他のチャネルとの同期クリア機能に設定しないでください（タイマシンクロレジスタ（TSYRA、TSYRB）の SYNC0 ～ SYNC4, SYNC9 ビット、SYNC6, SYNC7 ビットを “1” に、タイマシンクロクリアレジスタ（TSYCR）の CE0A ～ CE0D ビット、CE1A, CE1B ビット、CE2A, CE2B ビットを “1” に設定しないでください）。
注 3. PWM デューティは、“0000h” を設定しないでください。
注 4. タイマアウトプットコントロールレジスタ 1（TOCR1A, TOCR1B）の PSYE ビットを “1” に設定しないでください。

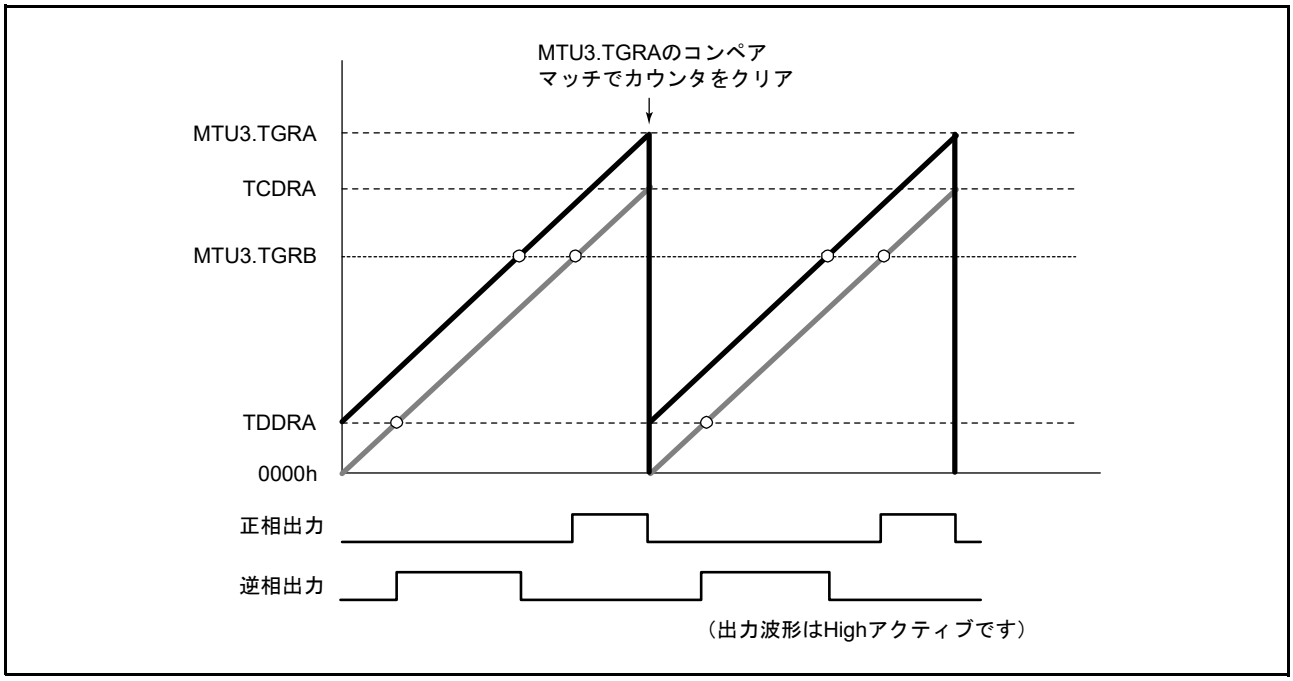


図 22.77　MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(q) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、TGCRA（TGCRB）レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 22.78 ～図 22.81 に MTU3、MTU4 を使用したブラシレス DC モータの駆動波形例を示します。

TGCRB レジスタを使って、MTU6、MTU7 による駆動波形出力を行うブラシレス DC モータ制御も可能です。外部信号は、MTIOC9A、MTIOC9B、MTIOC9C 端子を用います。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB（TGCRB.FB）ビットを “0” にします。この場合、磁極位置を示す外部信号を MTU0（MTU9）の MTIOC0A、MTIOC0B、MTIOC0C（MTIOC9A, MTIOC9B, MTIOC9C）端子に入力します（MPC と I/O ポートのポートモードレジスタ（PMR）で設定してください）。MTIOC0A、MTIOC0B、MTIOC0C（MTIOC9A, MTIOC9B, MTIOC9C）端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCRA.FB（TGCRB.FB）ビットが “1” の場合は、TGCRA（TGCRB）の UF、VF、WF ビットの各ビットを “0” または “1” にすると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相 PWM 出力端子から出力されます。

この 6 相出力は TGCRA（TGCRB）レジスタの N ビットまたは P ビットを “1” にすることにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが “0” の場合は、レベル出力になります。

また、6 相出力のアクティブレベル（ON 出力時レベル）は、N ビットおよび P ビットの設定にかかわらず、TOCR1A.OLSN（TOCR1B.OLSN）、TOCR1A.OLSP（TOCR1B.OLSP）ビットで設定できます。

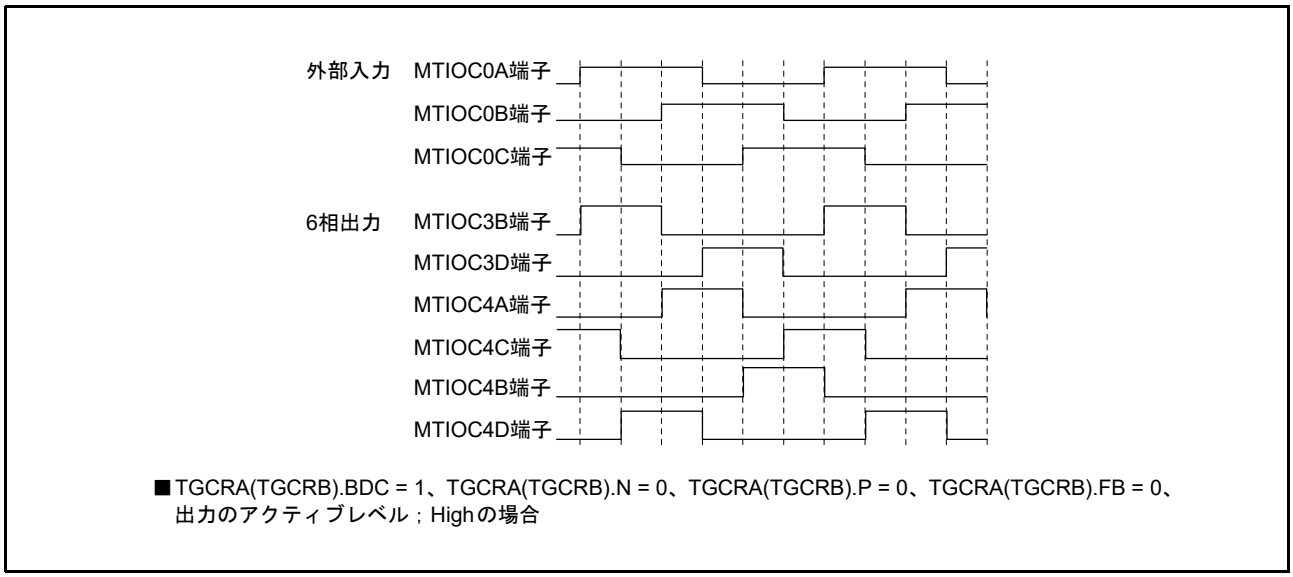
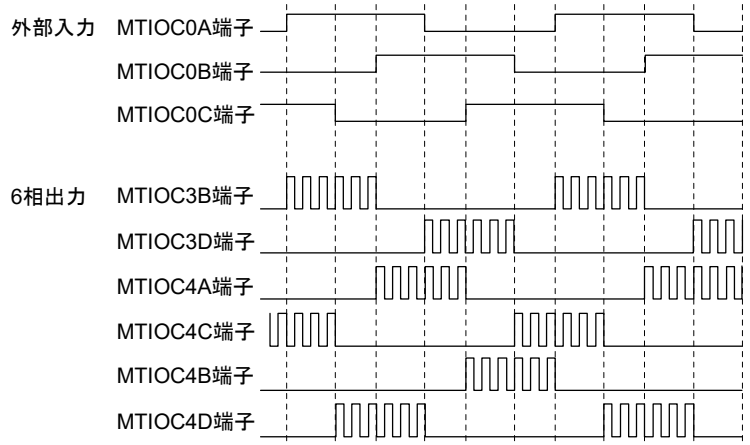
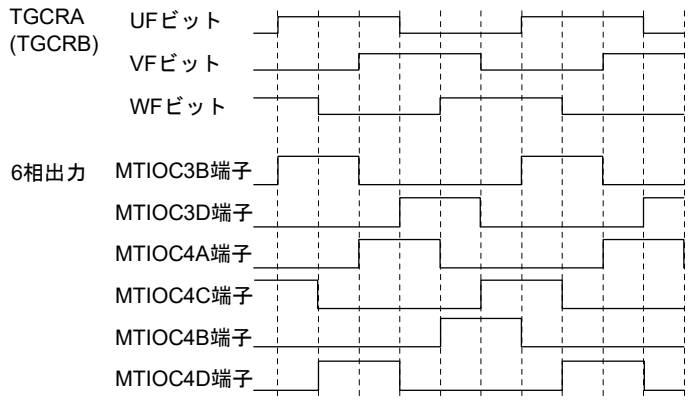


図 22.78　外部入力による出力相の切り替え動作例 (1)



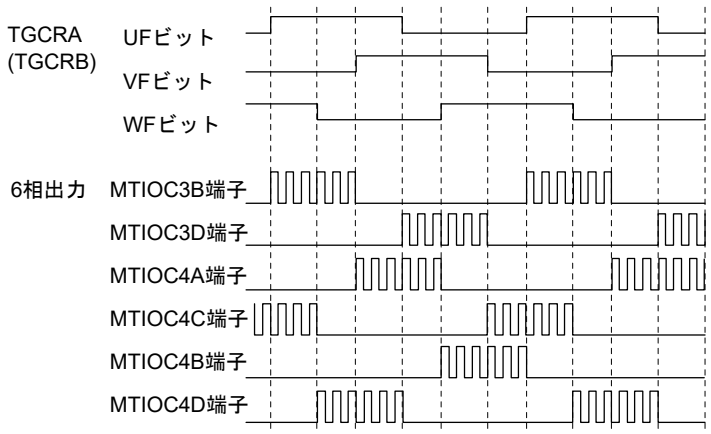
■TGCRA(TGCRB).BDC = 1、TGCRA(TGCRB).N = 1、TGCRA(TGCRB).P = 1、TGCRA(TGCRB).FB = 0、
出力のアクティブレベル；Highの場合

図 22.79　外部入力による出力相の切り替え動作例 (2)



■TGCRA(TGCRB).BDC = 1、TGCRA(TGCRB).N = 0、TGCRA(TGCRB).P = 0、TGCRA(TGCRB).FB = 1、
出力のアクティブレベル；Highの場合

図 22.80　UF、VF、WF ビット設定による出力相の切り替え動作例 (1)



■TGCRA(TGCRB).BDC = 1、TGCRA(TGCRB).N = 1、TGCRA(TGCRB).P = 1、TGCRA(TGCRB).FB = 1、
出力のアクティブレベル；Highの場合

図 22.81　UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(r)　A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA（MTU6.TGRA）のコンペアマッチ、MTU4.TCNT（MTU7.TCNT）のアンダフロー（谷）、MTU3、MTU4（MTU6, MTU7）以外のチャネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA（MTU6.TGRA）のコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT（MTU6.TCNT）の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを “1” にすることで設定できます。MTU4.TCNT（MTU7.TCNT）のアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER.TTGE2（MTU7.TIER.TTGE2）ビットを “1” にすることで設定できます。

(s)　相補 PWM モードのダブルバッファ機能

相補 PWM モード 3（山と谷で転送）時、TMDR2A.DRS（TMDR2B.DRS）ビットを “1” にすることにより、PWM 変更時の PWM 出力の最小分解能を ±2 から ±1 にすることが可能です。

バッファレジスタ A（MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU6.TGRD, MTU7.TGRC, MTU7.TGRD）を設定する際は、バッファレジスタ B（MTU3.TGRE, MTU4.TGRE, MTU4.TGRF, MTU6.TGRE, MTU7.TGRE, MTU7.TGRF）も同時に設定してください。設定手順の詳細は「22.3.8 (1)　相補 PWM モードの設定手順例」を参照してください。

注 .　バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値を設定しない場合、PWM 出力が非対称になります。

図 22.82 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD、MTU7.TGRD（バッファ A）書き込み時に MTU4.TGRD、MTU7.TGRD（バッファ A）→ TEMP3A、TEMP6A（テンポラリ A）、および MTU4.TGRF、MTU7.TGRF（バッファ B）→ TEMP3B、TEMP6B（テンポラリ B）へのデータ転送
- ①のタイミングで TEMP3A、TEMP6A（テンポラリ A）→ MTU4.TGRB、MTU7.TGRB（コンペア）へのデータ転送
- ②のタイミングで TEMP3B、TEMP6B（テンポラリ B）→ MTU4.TGRB、MTU7.TGRB（コンペア）へのデータ転送

山区間（Tb1 区間）ではコンペアレジスタとテンポラリレジスタ A、谷区間（Tb2 区間）ではコンペアレジスタとテンポラリレジスタ B が有効

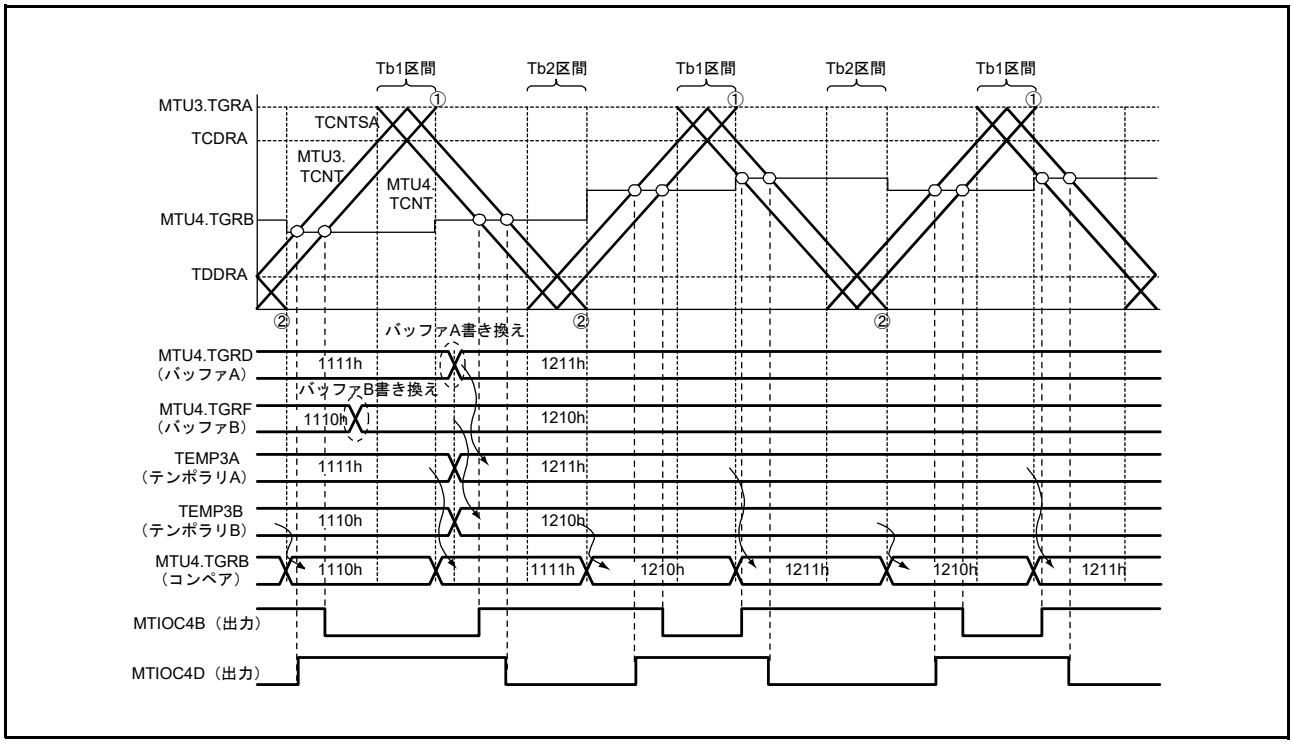


図 22.82　ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA（TDDRB）レジスタより小さい場合を図 22.83 に、TCDRA（TCDRB）レジスタより大きい場合を図 22.84 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

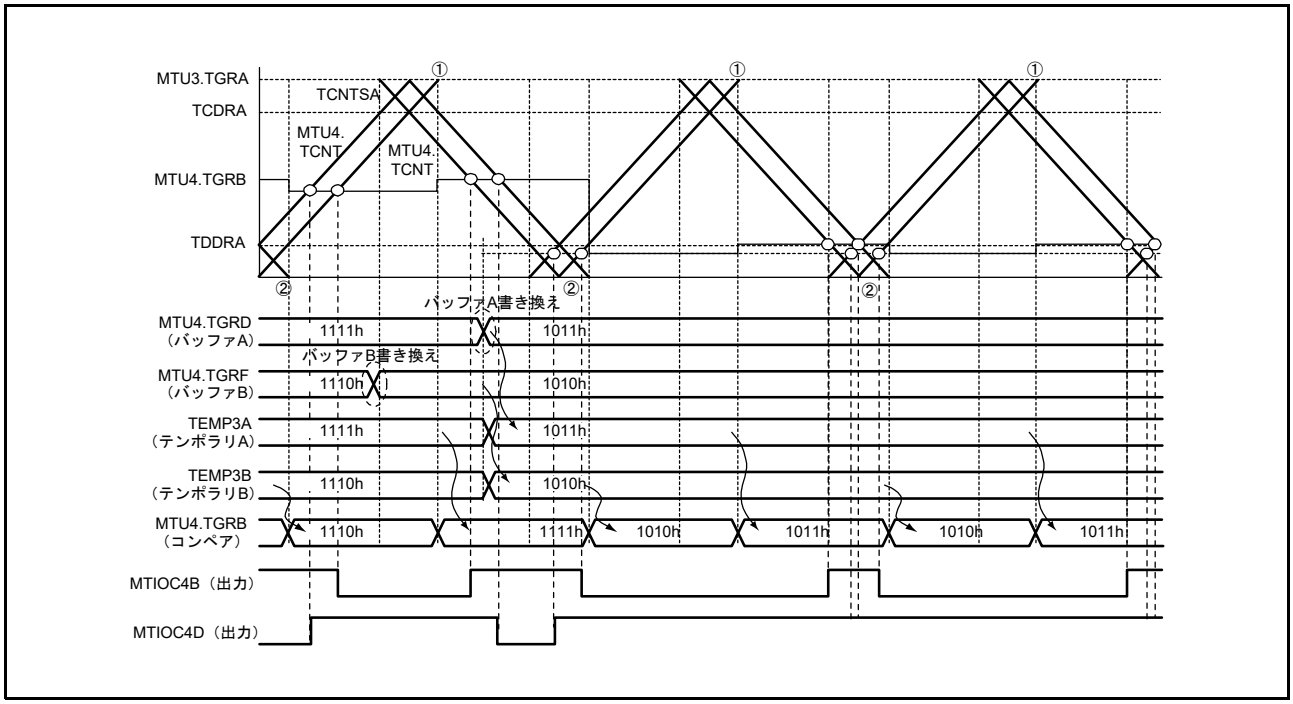


図 22.83　ダブルバッファ機能の動作例 (バッファへの書き込み値が TDDRA より小さい場合)

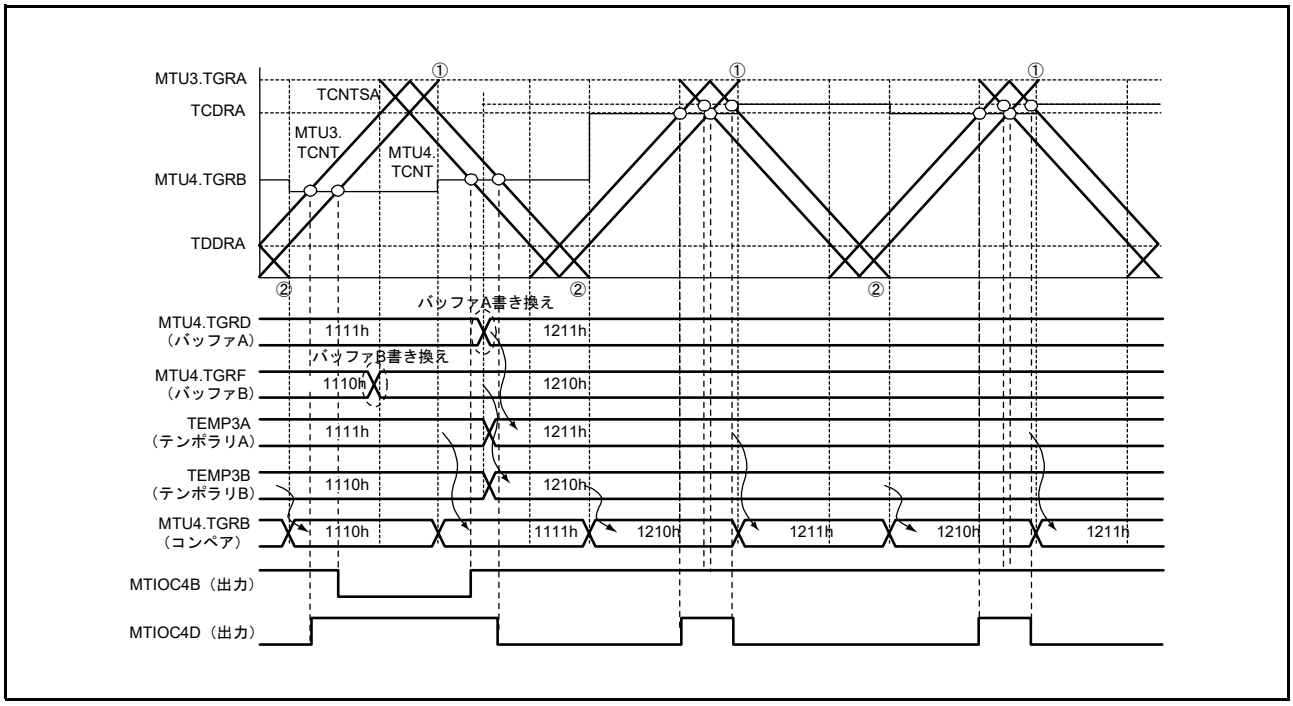


図 22.84　ダブルバッファ機能の動作例 (バッファへの書き込み値が TCDRA より大きい場合)

(3) 相補 PWM モードの割り込み間引き機能 1

MTU3、MTU4（MTU6, MTU7）の TGIA3（TGIA6）（山の割り込み）、および TCIV4（TCIV7）（谷の割り込み）は、TITCR1A（TITCR1B）レジスタを設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

TBTERA（TBTERB）レジスタを設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、**「(c) 割り込み間引きと連動したバッファ転送制御」**を参照してください。

MTU4.TADCR（MTU7.TADCR）レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については**「22.3.9 A/D 変換開始要求ディレイド機能」**を参照してください。

TITCR1A（TITCR1B）レジスタの設定は、タイマ割り込み間引きモードレジスタ（TITMRA、TITMRB）の TITM ビットを “0” にし、割り込み間引き機能 1 を選択し、かつ MTU3.TIER（MTU6.TIER）レジスタの設定で TGIA3（TGIA6）割り込み要求を禁止した状態、MTU4.TIER（MTU7.TIER）レジスタの設定で TCIV4（TCIV7）割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、T3AEN（T6AEN）、T4VEN（T7VEN）ビットを “0” にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能 1 の設定手順例

割り込み間引き機能 1 の設定手順例を**図 22.85** に示します。また、割り込み間引き回数の変更可能期間を**図 22.86** に示します。

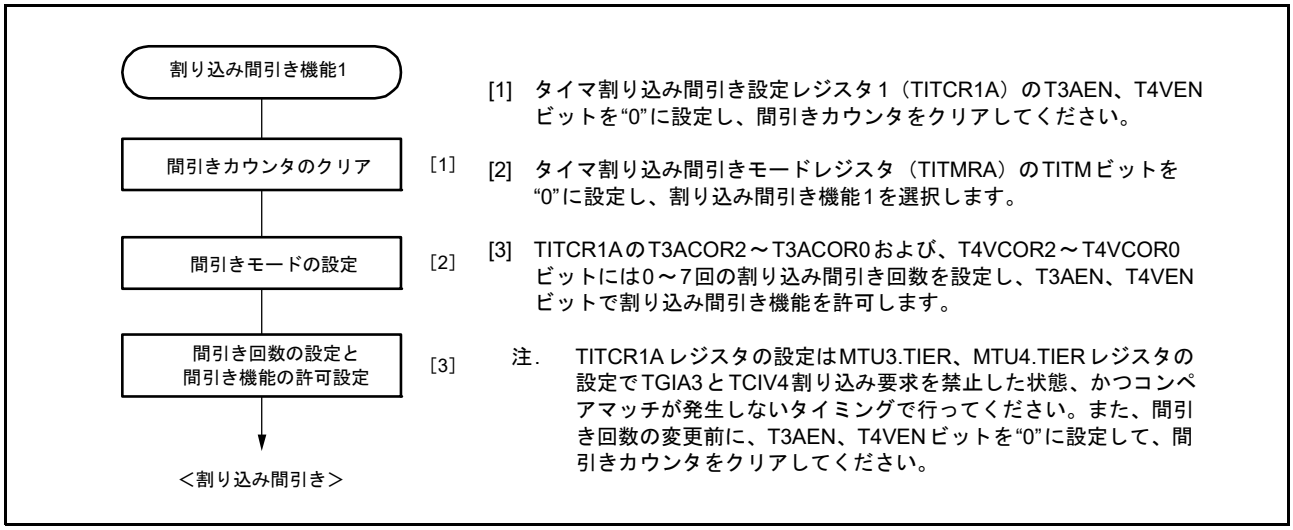


図 22.85 割り込み間引き機能 1 の設定手順例

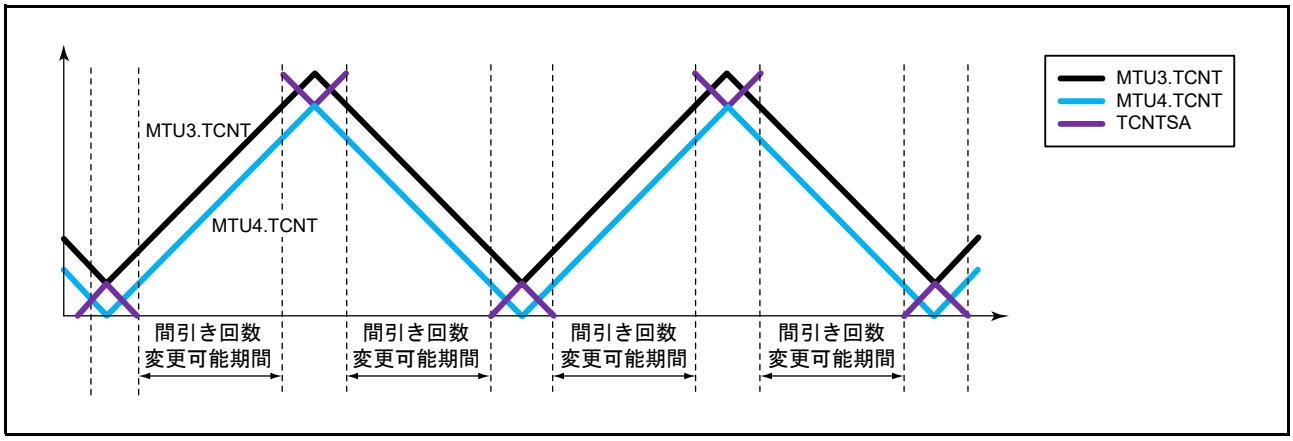


図 22.86　割り込み間引き回数の変更可能期間

(b)　割り込み間引き機能 1 の動作例

TITCR1A（TITCR1B）レジスタの T3ACOR（T6ACOR）ビットで割り込みの間引き回数を 3 回に設定し、T3AEN（T6AEN）ビットを “1” にした場合の、TGIA3（TGIA6）割り込み間引きの動作例を図 22.87 に示します。

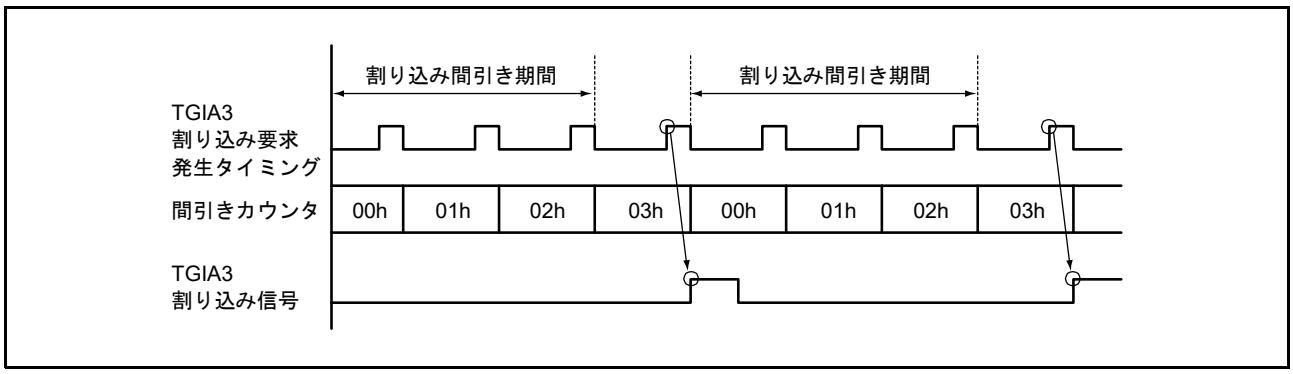


図 22.87　割り込み間引き機能 1 の動作例

(c) 割り込み間引きと連動したバッファ転送制御

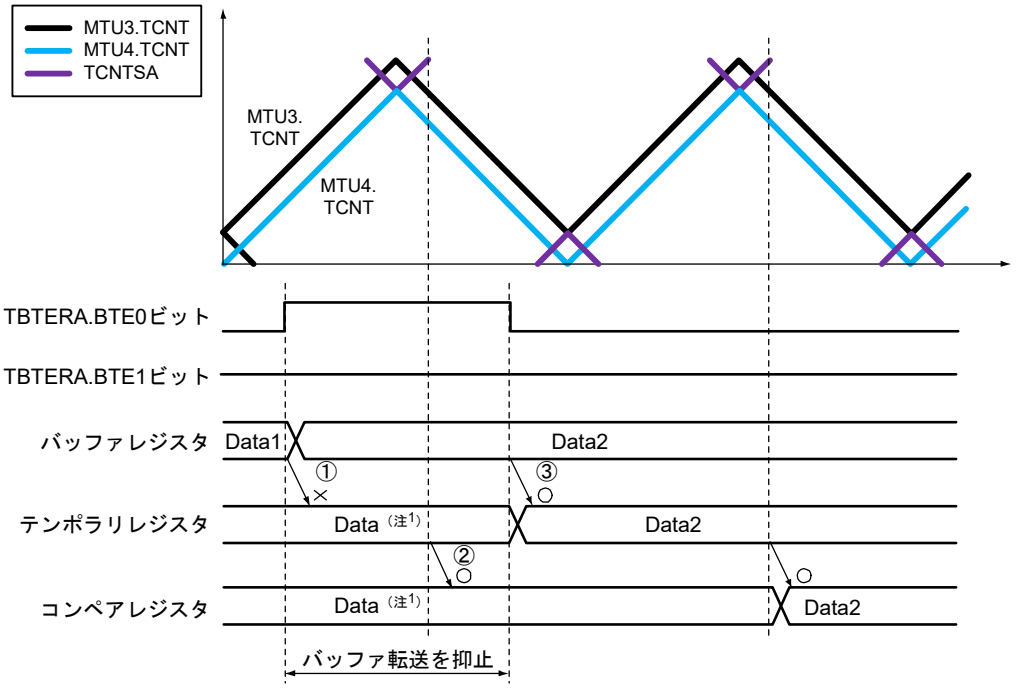
TBTERA（TBTERB）レジスタの BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑止する設定（BTE[1:0] = 01b）にした場合の動作例を図 22.88 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定（BTE[1:0] = 10b）にした場合の動作例を図 22.89 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、TITCR1A（TITCR1B）レジスタの T3AEN（T6AEN）ビットのみを “1” にした場合、T4VEN（T7VEN）ビットのみを “1” にした場合、TITCR1A（TITCR1B）レジスタの T3AEN、T4VEN（T6AEN, T7VEN）ビット両方を “1” にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A（TITCR1B）レジスタの T3AEN、T4VEN（T6AEN, T7VEN）ビットの設定とバッファ転送許可期間の関係を図 22.90 に示します。

注 . 本機能は、割り込み間引き機能 1 と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ 1（TITCR1A, TITCR1B）の T3AEN、T4VEN（T6AEN, T7VEN）ビットを “0” に設定したとき、または TITCR1A（TITCR1B）の間引き回数設定ビット（T3ACOR, T4VCOR（T6ACOR, T7VCOR））を “0” に設定したとき）は、バッファ転送を割り込み間引きと連動しない設定（TBTERA, TBTERB の BTE1 ビットを “0” に設定）してください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。



① バッファ転送を抑止期間中（TBTERAのBTE[1:0]ビットを “01b” に設定）は、バッファレジスタからテンポラリレジスタへの転送をしません。
② バッファ転送を抑止期間中も、テンポラリレジスタからコンペアレジスタへの転送は行われます。
③ バッファ転送を抑止解除後に、バッファレジスタからテンポラリレジスタへの転送が行われます。

注1. 山でのバッファ転送を選択時

図 22.88 バッファ転送を抑止する設定 (BTE[1:0] = 01b) にした場合の動作例

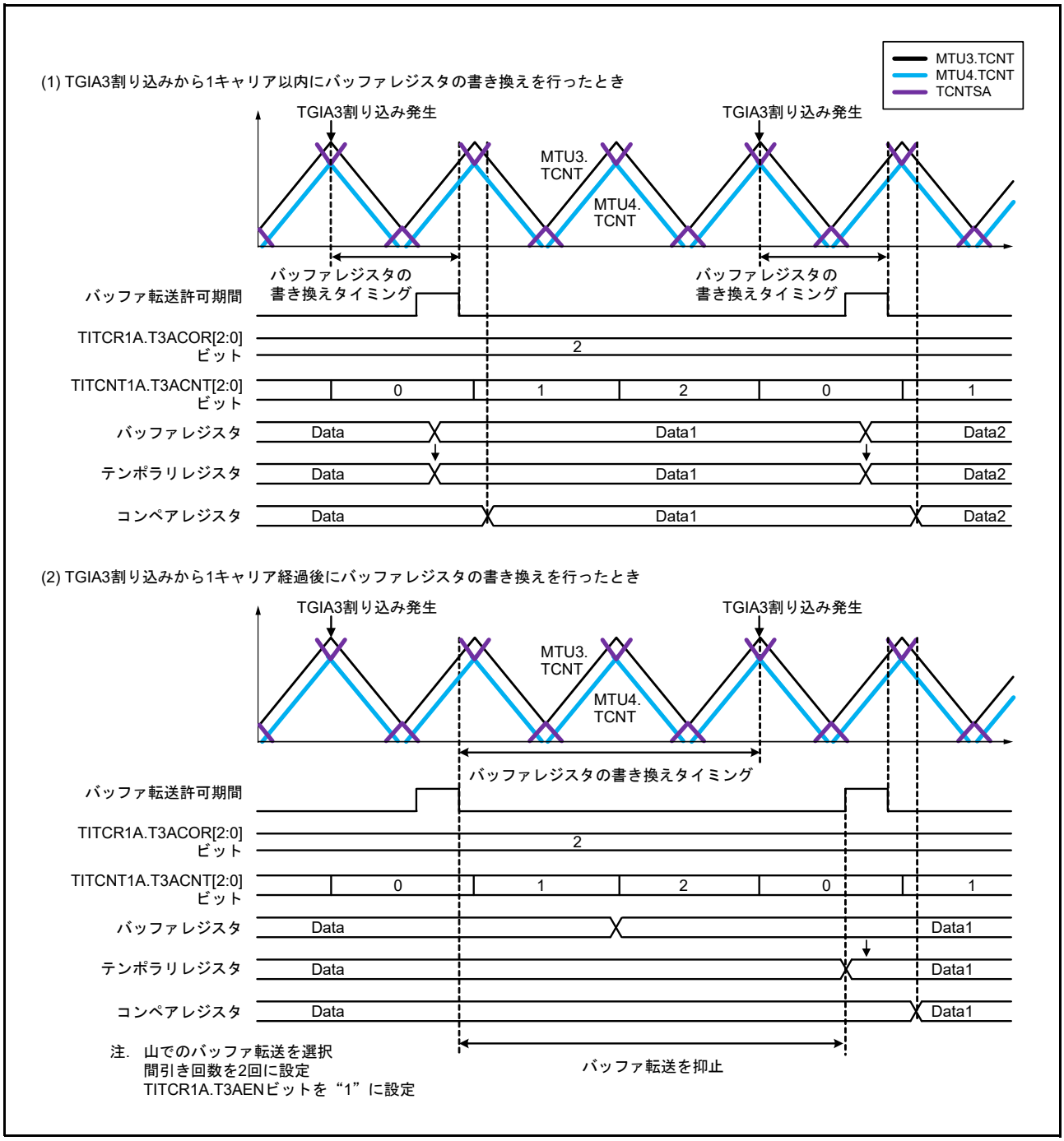


図 22.89　バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例

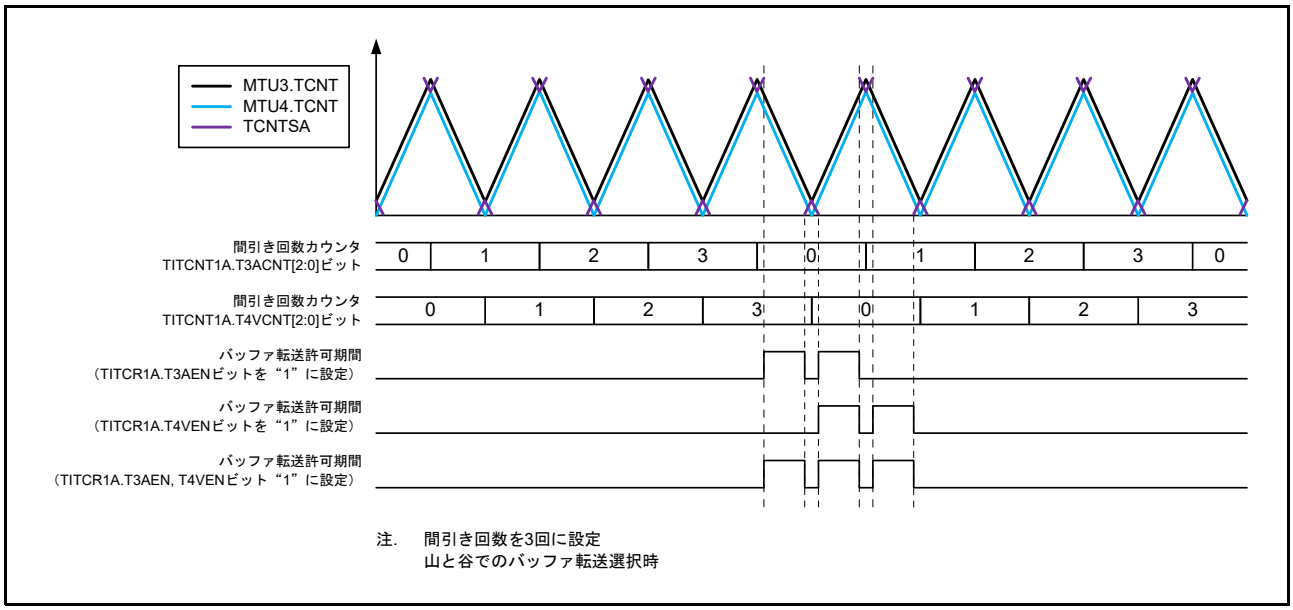


図 22.90　TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWERA（TRWERB）レジスタの RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタは MTU3、MTU4、MTU6、MTU7 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR, MTU4.TCR, MTU3.TCR2, MTU4.TCR2, MTU3.TMDR1, MTU4.TMDR1, MTU3.TIORH, MTU4.TIORH, MTU3.TIORL, MTU4.TIORL, MTU3.TIER, MTU4.TIER, MTU3.TCNT, MTU4.TCNT, MTU3.TGRA, MTU4.TGRA, MTU3.TGRB, MTU4.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA,
MTU6.TCR, MTU7.TCR, MTU6.TCR2, MTU7.TCR2, MTU6.TMDR1, MTU7.TMDR1, MTU6.TIORH, MTU7.TIORH, MTU6.TIORL, MTU7.TIORL, MTU6.TIER, MTU7.TIER, MTU6.TCNT, MTU7.TCNT, MTU6.TGRA, MTU7.TGRA, MTU6.TGRB, MTU7.TGRB, MTU.TOERB, MTU.TOCR1B, MTU.TOCR2B, MTU.TGCRB, MTU.TCDRB, MTU.TDDRB
計 48 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b) 外部信号による PWM 出力の停止機能

MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。

詳細は、「23. ポートアウトプットイネーブル 3 (POE3B)」を参照してください。

22.3.9　A/D 変換開始要求ディレイド機能

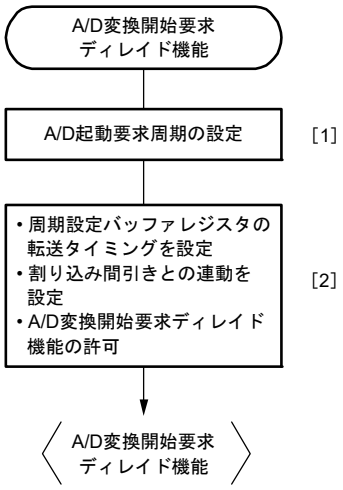
MTU4 または MTU7 のタイマ A/D 変換開始要求コントロールレジスタ（MTU4.TADCR, MTU7.TADCR）、タイマ A/D 変換開始要求周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB, MTU7.TADCORA, MTU7.TADCORB）、タイマ A/D 変換開始要求周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB, MTU7.TADCOBRA, MTU7.TADCOBRB）を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB（MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB）を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB（MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB）が一致したとき、それぞれの A/D 変換の開始要求（TRG4AN, TRG4BN（TRG7AN, TRG7BN））を行います。

また、MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（MTU7.TADCR レジスタの ITA6AE、ITA7VE、ITB6AE、ITB7VE）ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求（TRG4AN, TRG4BN（TRG7AN, TRG7BN））を間引くことが可能です。

(1)　A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 22.91 に示します。



[1]　タイマA/D変換開始要求周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）とタイマA/D変換開始要求周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）に、周期を設定します。
（[2]でタイマA/D変換開始要求周期設定バッファレジスタからタイマA/D変換開始要求周期設定レジスタへのバッファ転送タイミングを谷または山と谷に設定する場合は、カウント開始直後に周期設定バッファレジスタから周期設定レジスタへの転送が行われるため、タイマA/D変換開始要求周期設定バッファレジスタにはタイマA/D変換開始要求周期設定レジスタと同じ値を設定してください。）

[2]　タイマA/D変換開始要求コントロールレジスタ（MTU4.TADCR）のBF[1:0]ビットに、タイマA/D変換開始要求周期設定バッファレジスタからタイマA/D変換開始要求周期設定レジスタへのバッファ転送タイミングを設定します。
- ITA3AE、ITA4VE、ITB3AE、ITB4VEビットで、割り込み間引き機能と連動するか設定します。
- UT4AE、DT4AE、UT4BE、DT4BEビットを設定し、A/D変換の開始要求（TRG4AN, TRG4BN）を許可します。

注.　MTU4.TADCRレジスタの設定は、MTU4.TCNTが停止した状態で行ってください。
注.　相補PWMモード以外では、MTU4.TADCR.BF1ビットを“0”にしてください。
注.　相補PWMモード以外では、ITA3AE、ITA4VE、ITB3AE、ITB4VE、DT4AE、DT4BEを“0”にしてください。
注.　割り込み間引きが禁止のときは、ITA3AE、ITA4VE、ITB3AE、ITB4VEビットを“0”にしてください。

図 22.91　A/D 変換開始要求ディレイド機能の設定手順例 (MTU3, MTU4)

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT（MTU7.TCNT）の谷に設定し、MTU4.TCNT（MTU7.TCNT）のダウンカウント時に A/D 変換の開始要求信号（TRG4AN（TRG7AN））を出力する設定にした場合の、A/D 変換の開始要求信号（TRG4AN（TRG7AN））の基本動作例を図 22.92 に示します。

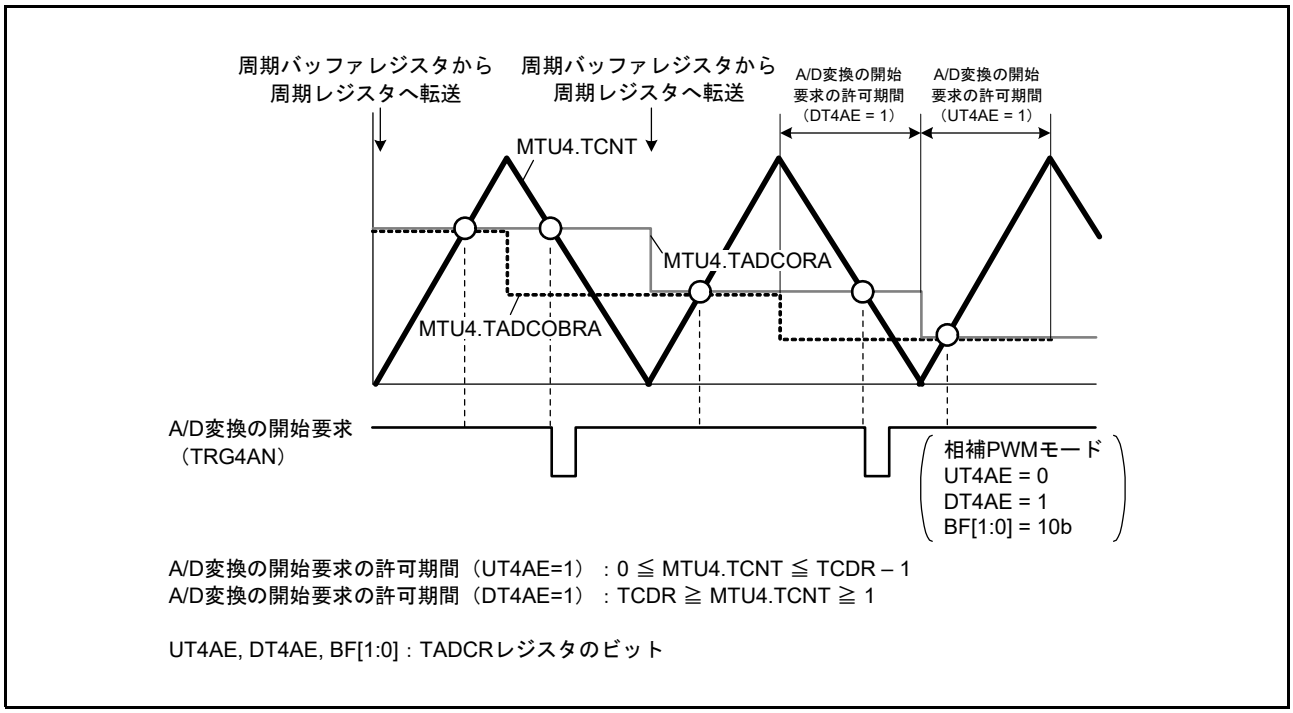


図 22.92　A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR（MTU7.TADCR）レジスタの UT4AE、UT4BE（UT7AE, UT7BE）ビットで許可した期間内に MTU4.TCNT（MTU7.TCNT）カウンタと MTU4.TADCORA、MTU4.TADCORB（MTU7.TADCORA, MTU7.TADCORB）レジスタが一致したとき、それぞれの A/D 変換の開始要求（TRG4AN, TRG4BN）を行います。

相補 PWM モードで MTU4.TADCR（MTU7.TADCR）レジスタの UT4AE、UT4BE（UT7AE, UT7BE）ビットを “1” にすると、MTU4.TCNT（MTU7.TCNT）カウンタのアップカウント期間（0 ≦ MTU4.TCNT（MTU7.TCNT）≦ TCDR – 1）に A/D 変換の開始要求を許可します。MTU4.TADCR（MTU7.TADCR）レジスタの DT4AE、DT4BE（DT7AE, DT7BE）ビットを “1” にすると、MTU4.TCNT（MTU7.TCNT）カウンタのダウンカウント期間（TCDR ≧ MTU4.TCNT（MTU7.TCNT）≧ 1）に A/D 変換の開始要求を許可します（図 22.92）。

(4) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB, MTU7.TADCORA, MTU7.TADCORB）のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB, MTU7.TADCOBRA, MTU7.TADCOBRB）にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、MTU4.TADCR（MTU7.TADCR）レジスタの BF[1:0] ビットを設定することにより選択することができます。

また、相補 PWM モード時は MTU4.TGRD（MTU7.TGRD）レジスタの書き換えのタイミングでも、タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、「22.6.28　相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR（MTU7.TADCR）レジスタの BF1 ビットを “0” にしてください。

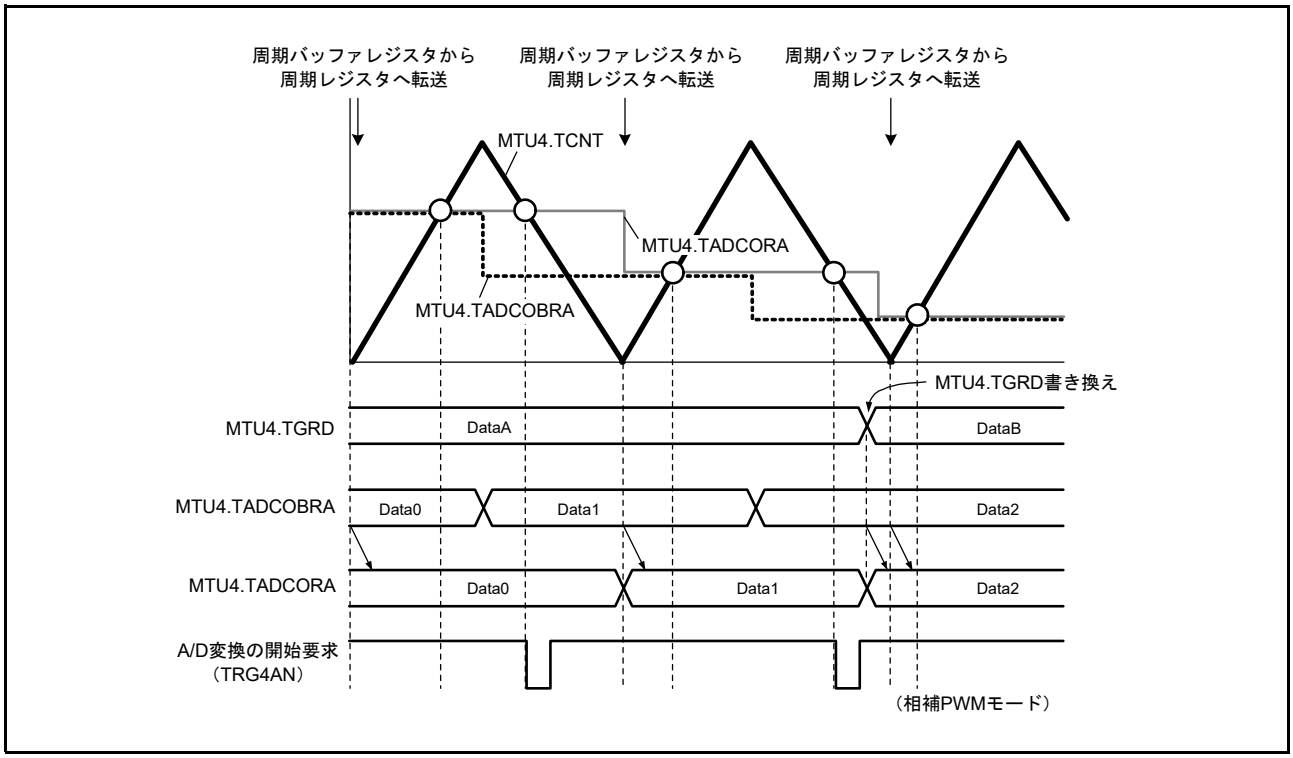


図 22.93　A/D 変換の開始要求信号 (TRG4AN) とバッファ転送動作例

(5) 割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能

相補 PWM モードでは、MTU4.TADCR（MTU7.TADCR）レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE, ITA7VE, ITB6AE, ITB7VE）ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求（TRG4AN, TRG4BN（TRG7AN, TRG7BN））を行うことが可能です。

MTU4.TCNT（MTU7.TCNT）のアップカウント時、およびダウンカウント時に TRG4AN（TRG7AN）出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN（TRG7AN））の動作例を図 22.94 に示します。

また、MTU4.TCNT（MTU7.TCNT）のアップカウント時に TRG4AN（TRG7AN）出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN（TRG7AN））の動作例を図 22.95 に示します。

相補 PWM モード以外では、割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能は使用できません。

MTU4.TADCR（MTU7.TADCR）レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE, ITA7VE, ITB6AE, ITB7VE）ビットを “0” にしてください。

注 . 本機能は割り込み間引き機能 1 と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR1A（TITCR1B））の T3AEN、T4VEN（T6AEN, T7VEN）ビットを “0” にしたとき、または TITCR1A（TITCR1B）レジスタの間引き回数設定ビット（T3ACOR、T4VCOR（T6ACOR, T7VCOR））を “0” にしたとき）は、割り込み間引き機能 1 と連動しない（MTU4.TADCR（MTU7.TADCR））レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE, ITA7VE, ITB6AE, ITB7VE）ビットを “0” にする）設定にしてください。
また、本機能使用時、MTU4.TADCORA、MTU4.TADCORB（MTU7.TADCORA, MTU7.TADCORB）には “0002h” ～ TCDRA の設定値 – 2（TCDRB の設定値 – 2）の値にしてください。

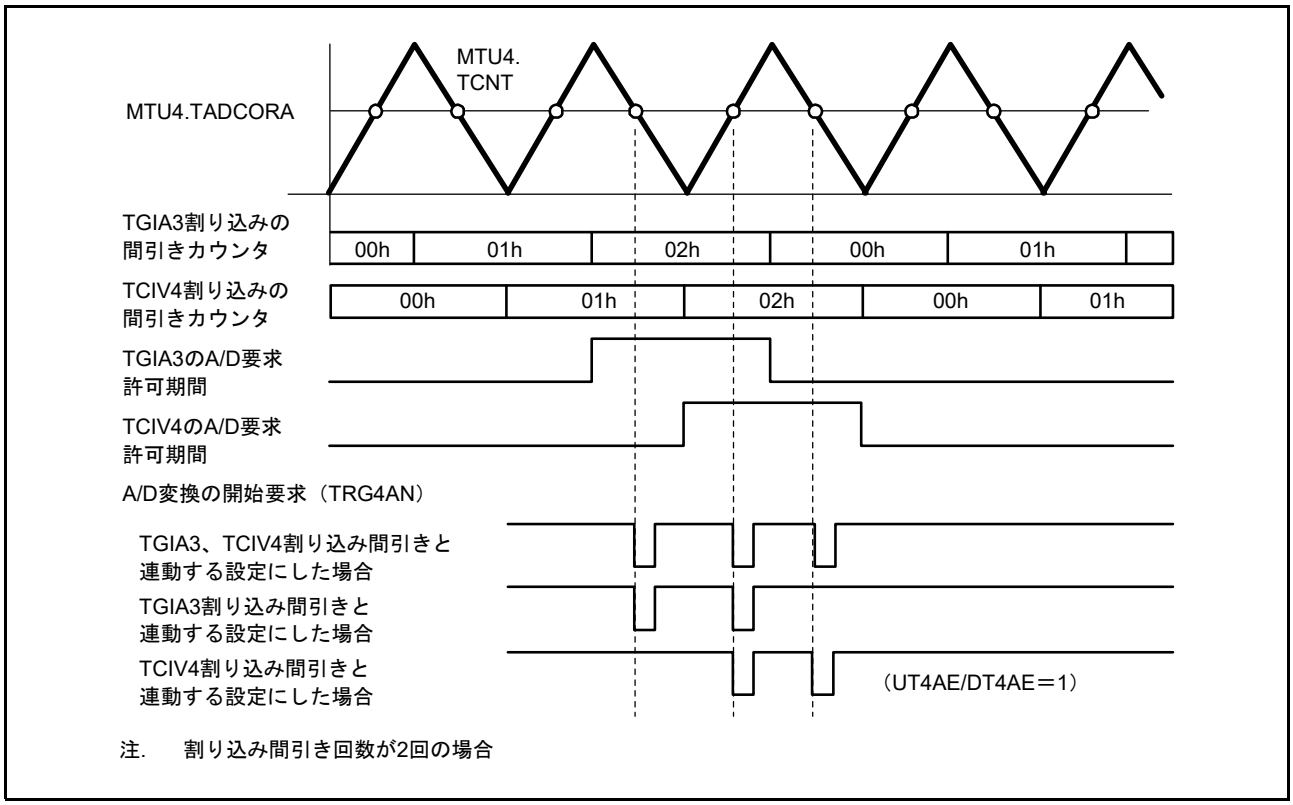


図 22.94　割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE、DT4AE = 1)

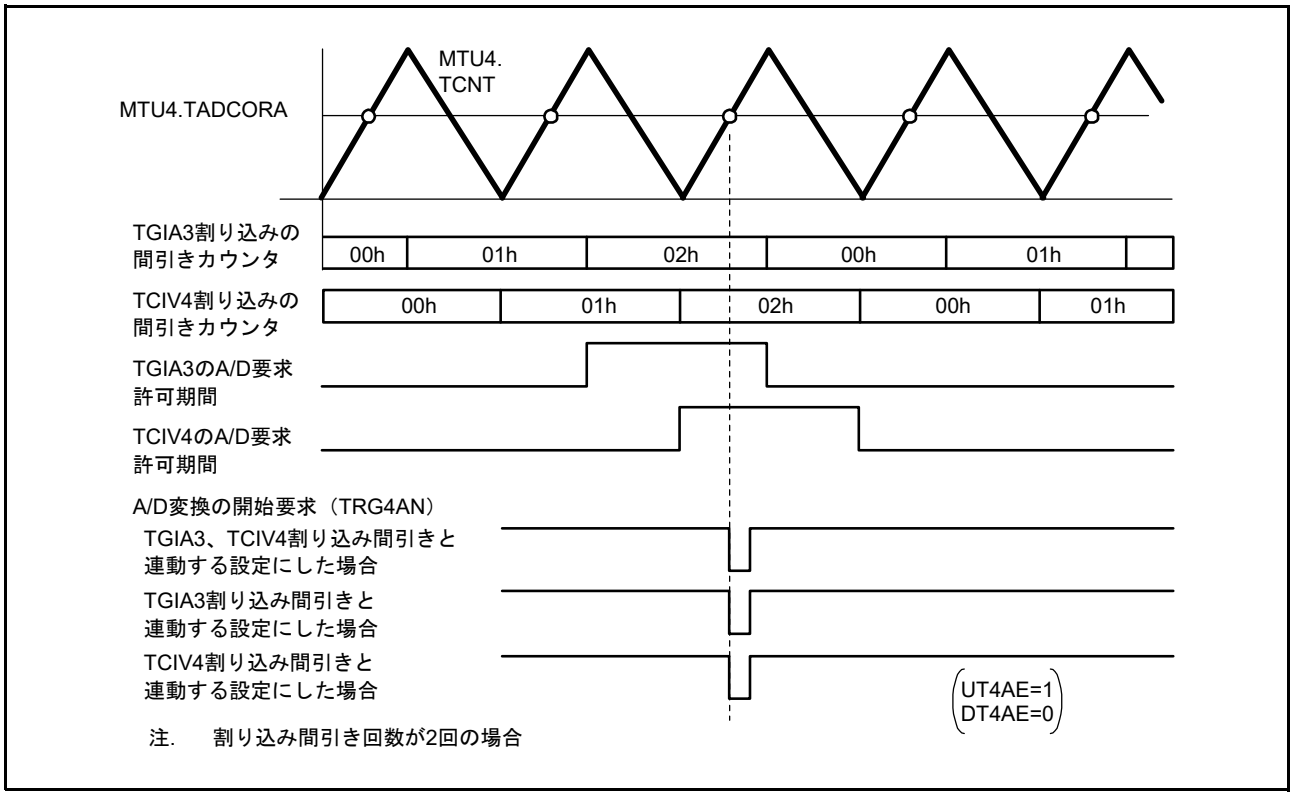


図 22.95 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE = 1, DT4AE = 0)

(6) 割り込み間引き機能 2 と連動した A/D 変換開始要求ディレイド機能

TITMRA（TITMRB）レジスタの TITM ビットを “1” にし、TITCR2A（TITCR2B）レジスタの TRG4COR[2:0]（TRG7COR[2:0]）ビットで設定した値（0 ～ 7）から、既存の A/D 変換開始トリガ（TRG4AN および TRG4BN（TRG7AN および TRG7BN））が発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN および TRG4BN（TRG7AN および TRG7BN）の割り込みが有効になり、A/D 変換開始要求信号（TRG4ABN（TRG7ABN））が出力されます。

この機能は A/D 変換開始要求ディレイド機能の使用時のみ有効になります。

(a) 割り込み間引き機能 2 の設定手順例

図 22.96 に割り込み間引き機能 2 の設定手順例を示します。

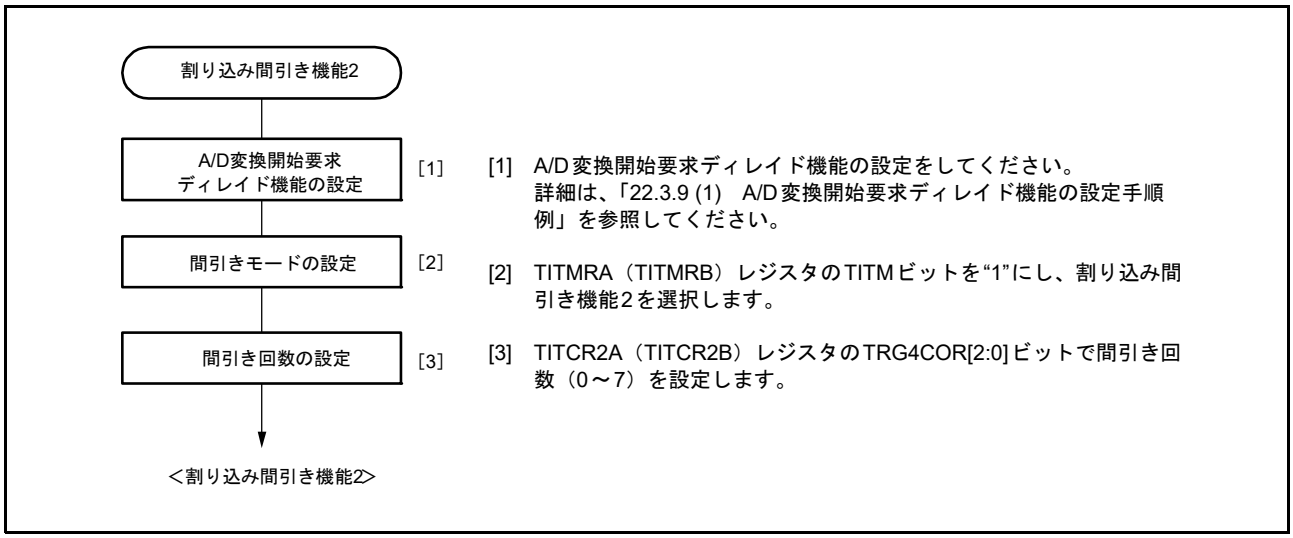


図 22.96　割り込み間引き機能 2 の設定手順例

(b) 割り込み間引き機能 2 の動作例

図 22.97 に割り込み間引き機能 2 の動作例を示します。

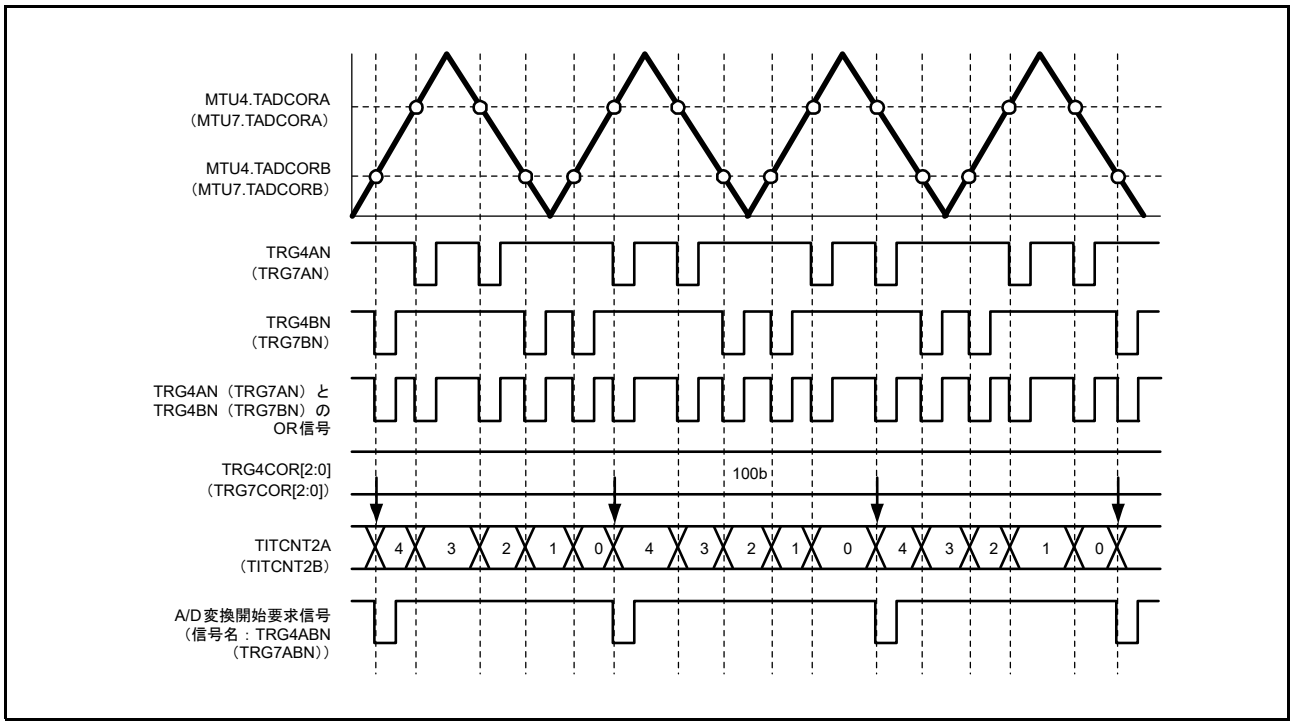


図 22.97　割り込み間引き機能 2 の動作例 (間引き回数を 4 回とした場合)

22.3.10　MTU0 ～ MTU4、MTU6、MTU7、MTU9 の同期動作

(1)　MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタート

TCSYSTR レジスタを設定することにより、MTU0 ～ MTU4、MTU6、MTU7、MTU9 のカウンタを同期スタートすることができます。

(a)　MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの設定手順例

図 22.98 に MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの設定手順例を示します。

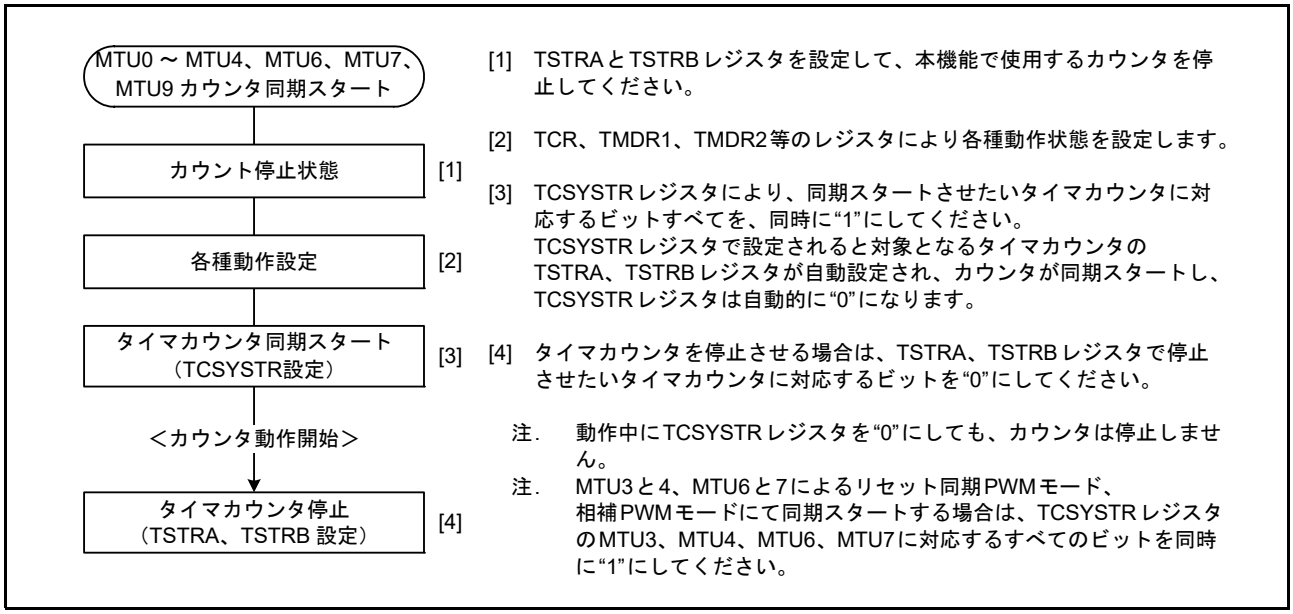


図 22.98　MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの設定手順例

(b)　カウンタ同期スタート動作の例

図 22.99 に MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの動作例を示します。

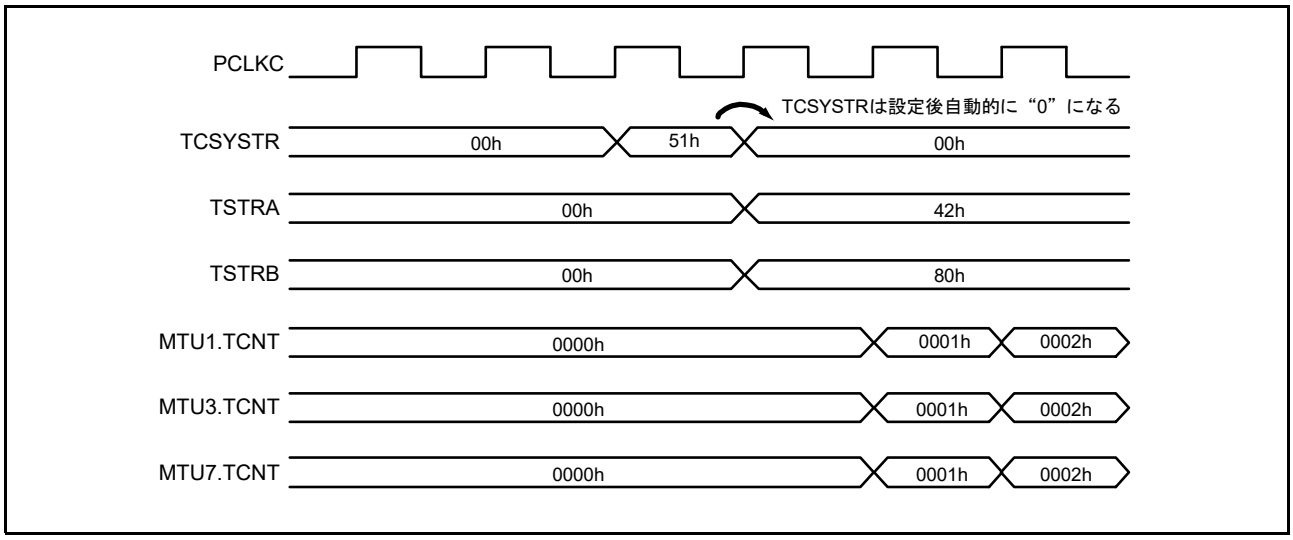


図 22.99　MTU0 ～ MTU4、MTU6、MTU7、MTU9 カウンタ同期スタートの動作例

(2) MTU6、MTU7 カウンタ同期クリア

MTU6、MTU7 は TSYCR レジスタを設定することにより、TGImn 割り込み発生タイミング（m = A ～ D、n = 0 ～ 2）を利用して、カウンタクリアすることができます。

(a) MTU6、MTU7 カウンタ同期クリアの設定手順例

図 22.100 に割り込み発生タイミングを利用した MTU6、MTU7 カウンタ同期クリアの設定手順例を示します。

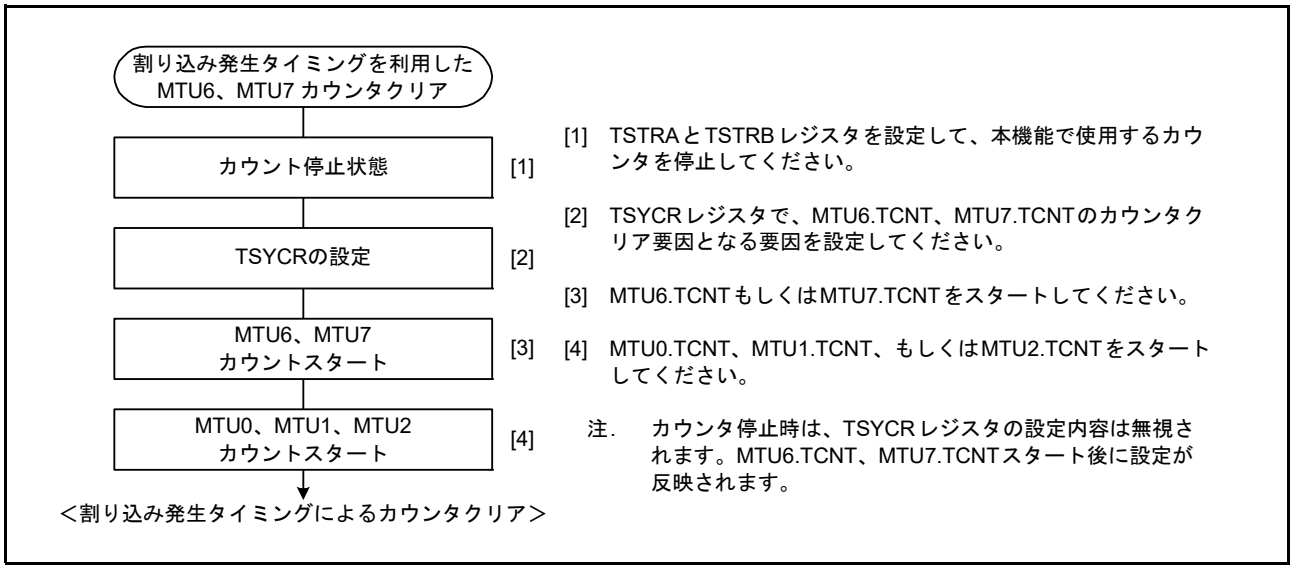


図 22.100 MTU6、MTU7 カウンタ同期クリアの設定手順例

(b) MTU6、MTU7 カウンタ同期クリアの動作例

図 22.101、図 22.102 に割り込み発生タイミングを利用した MTU6、MTU7 カウンタ同期クリアの動作例を示します。

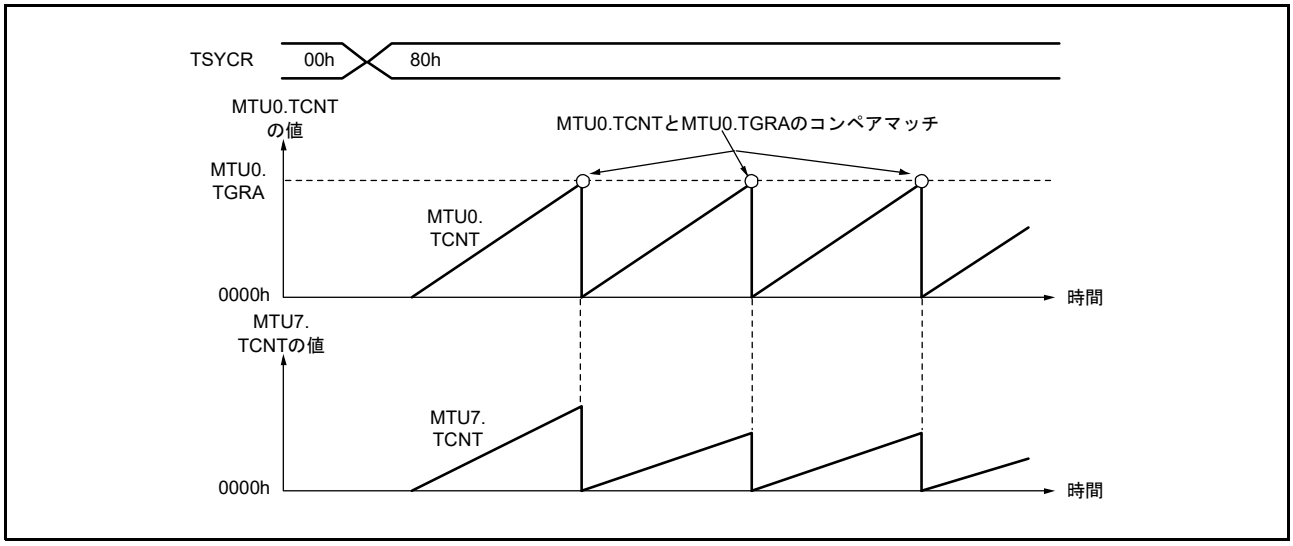


図 22.101 MTU6、MTU7 カウンタ同期クリアの動作例 (1)

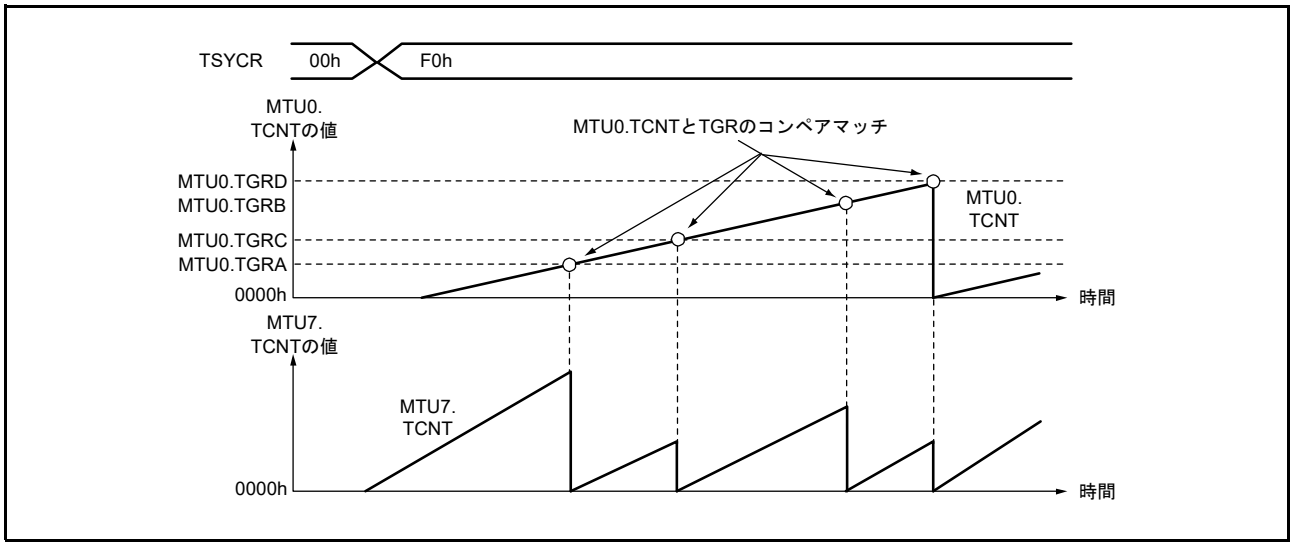


図 22.102 MTU6、MTU7 カウンタ同期クリアの動作例 (2)

22.3.11　外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU、MTU5.TIORV、MTU5.TIORW の IOC[4:0] ビットにパルス幅測定条件を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU、TCNTV、TCNTW はカウントアップします。

外部パルス幅測定の設定例を図 22.103 に、動作例を図 22.104 に示します。

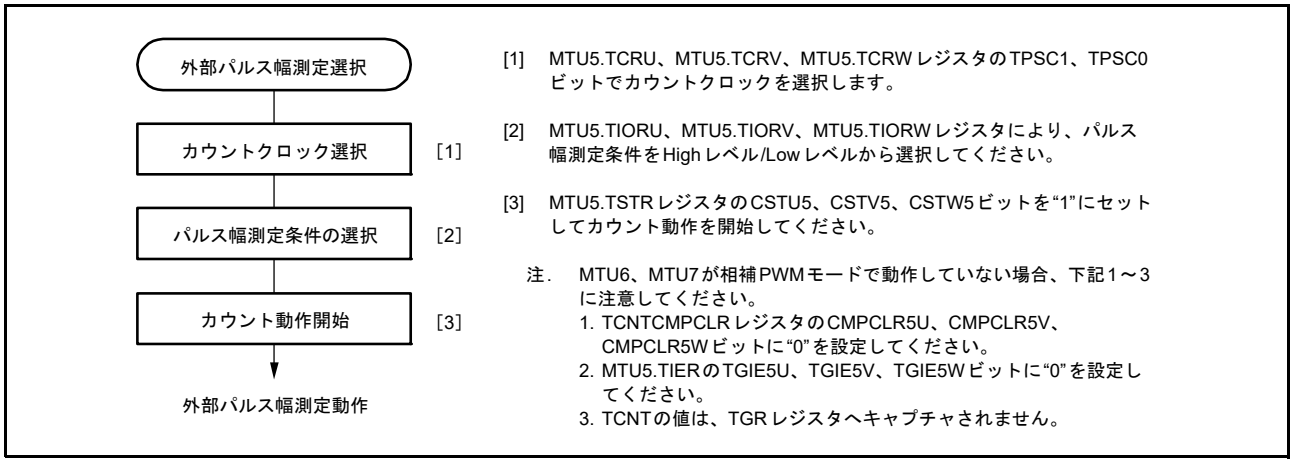


図 22.103　外部パルス幅測定の設定手順例

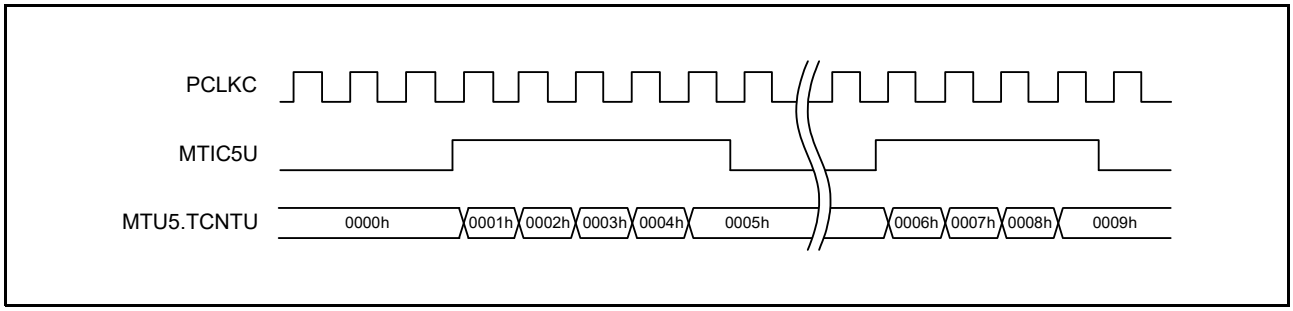


図 22.104　外部パルス幅測定の動作例 (High パルス幅測定)

22.3.12　デッドタイム補償用機能

MTU5 ～ MTU7 を組み合わせて、デッドタイム遅れ（相補 PWM 出力とインバータ出力間の遅延）を補償することができます。図 22.105 に、MTU5 ～ MTU7 を組み合わせて、デッドタイム遅れを補償するモータ制御の回路例を示します。MTU5 の外部パルス測定機能で相補 PWM 出力とインバータ出力間の遅延を測定して、PWM 出力のコンペアレジスタに設定するデューティを補正することで、MTU6、MTU7 を使用した相補 PWM 動作時の PWM 出力波形に対するデッドタイムを補償することができます（図 22.106）。MTU5 ～ MTU7 を使用したデッドタイム補償の設定手順を図 22.107 に示します。このときの MTU5 の動作については、「22.3.13　相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作」を参照してください。

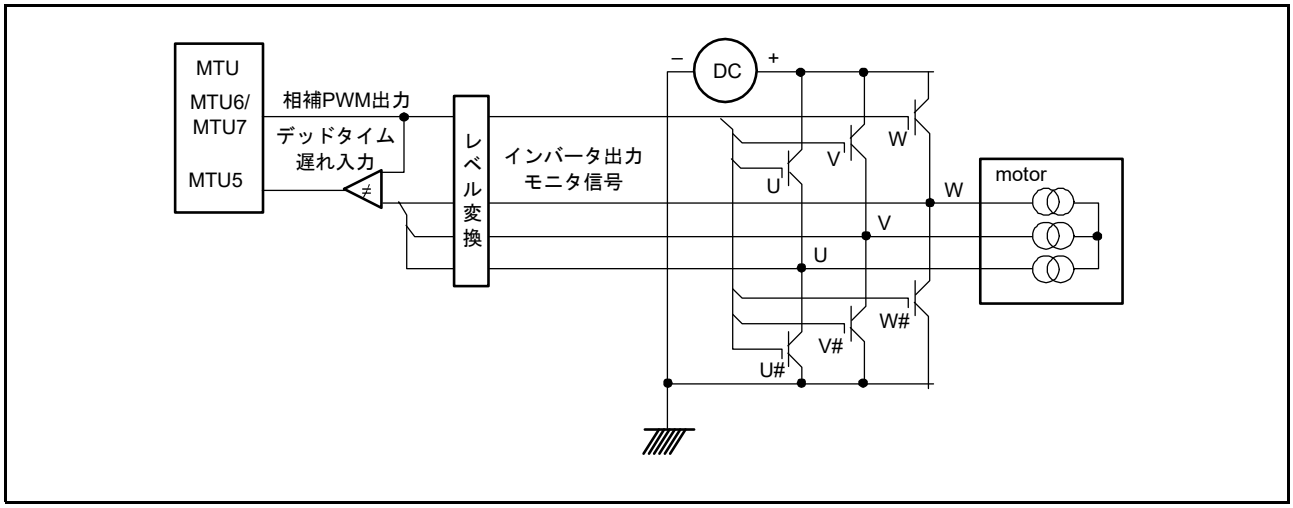


図 22.105　モータ制御回路例

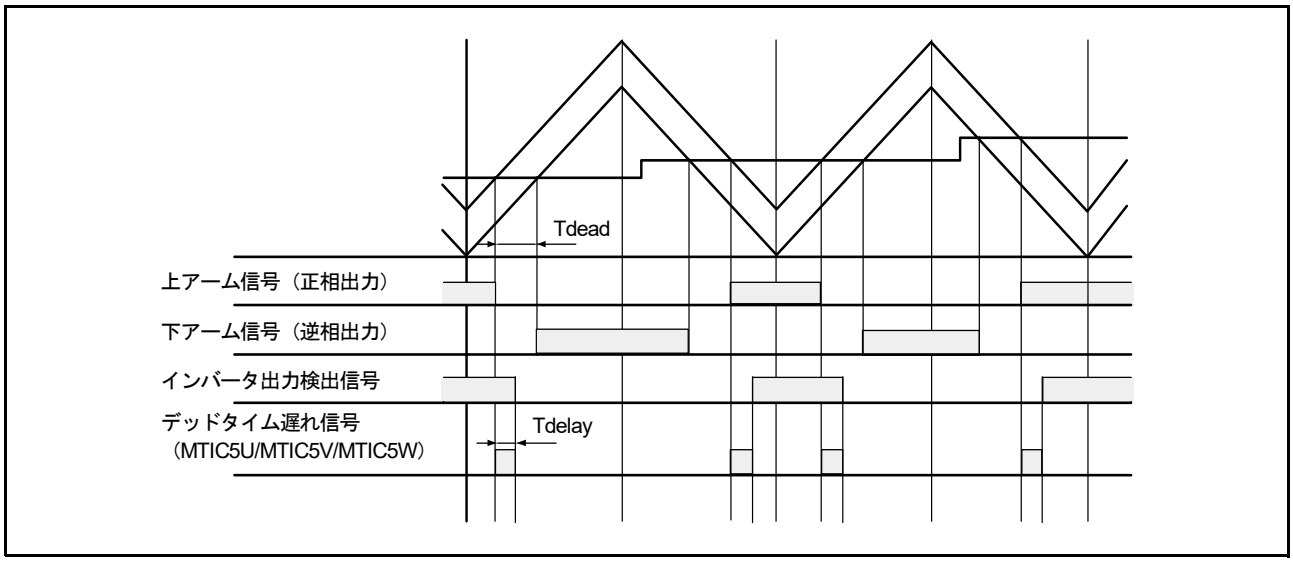
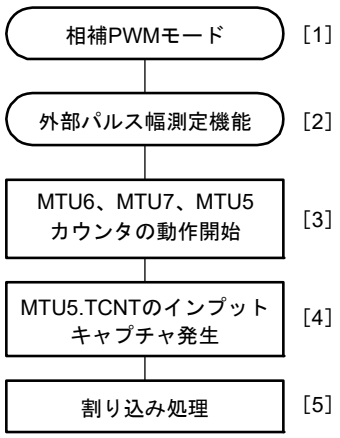


図 22.106　相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償用機能の設定手順例

MTU5 の 3 本のカウンタを使用したデッドタイム補償用機能の設定手順例を図 22.107 に示します。



[1] MTU6、MTU7に相補PWMモードの設定をします。
詳細は「22.3.8　相補PWMモード」を参照してください。

[2] 使用するMTU5のTIORに外部パルス幅測定機能の設定をします。
詳細は「22.3.11　外部パルス幅測定機能」を参照してください。

[3] TSTRBレジスタのCST6、CST7ビットとMTU5.TSTRのCSTU5、CSTV5、CSTW5を“1”にして、カウント動作を開始してください。

[4] TIORに設定したキャプチャ条件が発生したとき、MTU5.TCNTの値をMTU5.TGRに取り込みます。
TIORに設定したキャプチャ条件でMTU5.TGIm5割り込み（m = U, V, W）要求の発生を抑止するため、MTU5.TIERに割り込み要求の許可を設定しないでください。

[5] U相のデッドタイム補償は、相補PWMモードの山（TGIA6）もしくは谷（TCIV7）の割り込み処理で、MTU5.TGRUの値を読み出し、MTU6.TGRBとの時間差を算出して、補正した値をMTU6.TGRDに書き込みます。
V相とW相についても同様にMTU5.TGRVとMTU5.TGRWの値をMTU7.TGRCとTGRDに補正した値を書き込みます。
MTU5.TCNTのクリアは、TCNTCMPCLRの設定もしくはソフトウェアで行ってください。

注. MPCとI/Oポートのポートモードレジスタ（PMR）の設定は前もって完了しておいてください。
TIORに設定したキャプチャ条件で割り込みフラグがセットされるので、MTU5.TIERに割り込み要求の許可を設定しないでください。

図 22.107　デッドタイム補償用機能の設定手順例

22.3.13　相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作

MTU5 の外部パルス幅測定機能は、MTU6、MTU7 を相補 PWM モードで動作させたときに、相補 PWM の山、谷、または山と谷で TCNTU, TCNTV, TCNTW の値を TGRU, TGRV, TGRW に転送する機能です。転送タイミングは TIORU, TIORV, TIORW に設定します。また TCNTCMPCLR レジスタの CMPCLR5U, CMPCLR5V, CMPCLR5W ビットを “1” にすると、TGRU, TGRV, TGRW への転送タイミングで TCNTU, TCNTV, TCNTW が “0000h” になります。

なお、MTU3、MTU4 を相補 PWM モードで動作させるとき、相補 PWM の山、谷、または山と谷で MTU5 の TCNTU、TCNTV、TCNTW のキャプチャ動作は実行できません。

図 22.108 は TCNTU をフリーランでクリアせずに使用し、相補 PWM モードの山と谷で TGRU にキャプチャを行った動作例です。

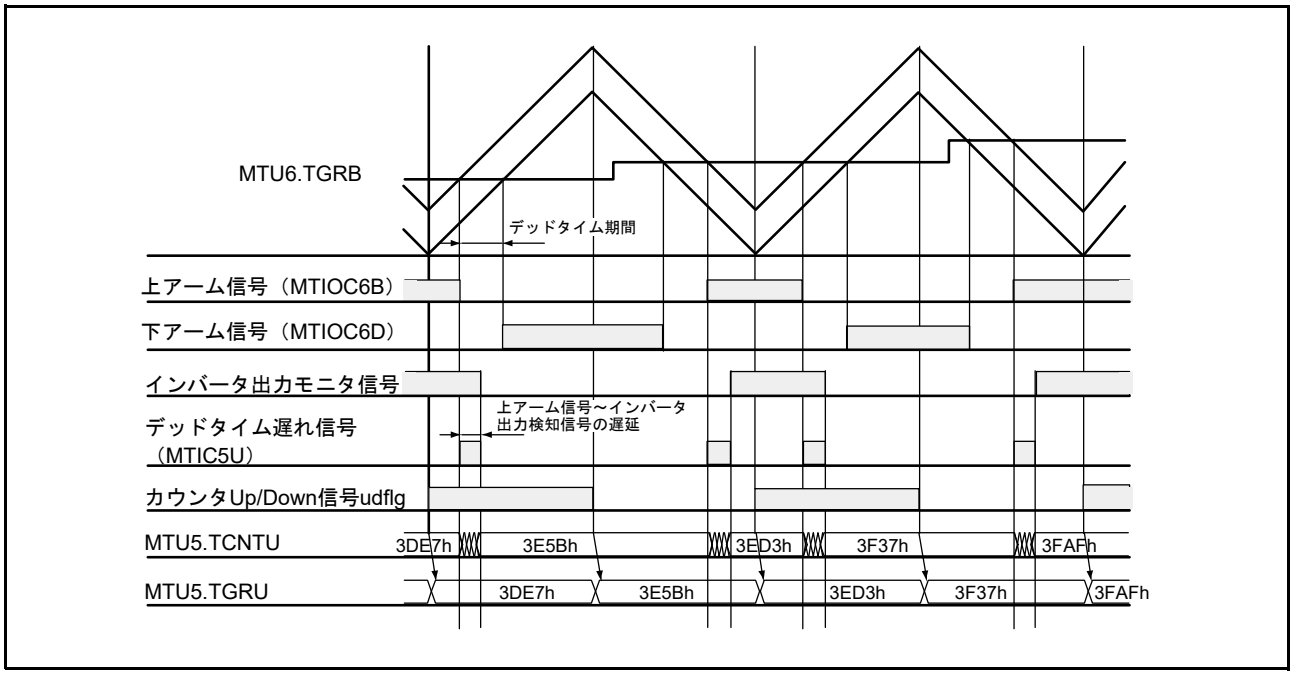


図 22.108　相補 PWM の山と谷での TCNTU キャプチャ動作

22.3.14　ノイズフィルタ機能

インプットキャプチャ入力端子、および外部クロック入力端子にはノイズフィルタ機能があります。

NFCRn レジスタ（n = 0 ～ 7, 9, C）にノイズフィルタ機能の有効 / 無効、およびサンプリングクロックの設定をしてください。ノイズフィルタ機能の有効 / 無効は端子ごとに設定でき、サンプリングクロックの設定はチャネルごとに設定できます。図 22.109 にノイズフィルタのタイミングを示します。

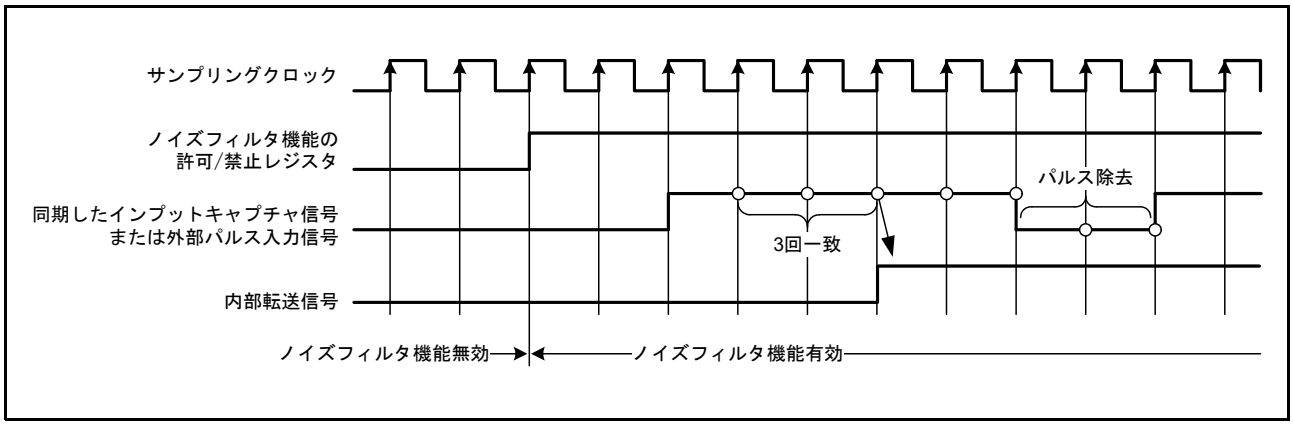


図 22.109　ノイズフィルタのタイミング

22.3.15　A/D 変換開始要求フレーム同期信号

本機能を使用すると A/D 変換開始要求信号の発生タイミングを外部端子でモニタすることができます。

TADSTRGRn レジスタ（n = 0, 1）でモニタしたい A/D 変換要求信号を選択し、TADSTRGRn.TADSMENn ビットで ADSMn 端子出力許可にすると ADSMn 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマ周期で Low 出力となるパルス信号を出力します。

図 22.110 に A/D 変換開始要求フレーム同期信号出力例を示します。

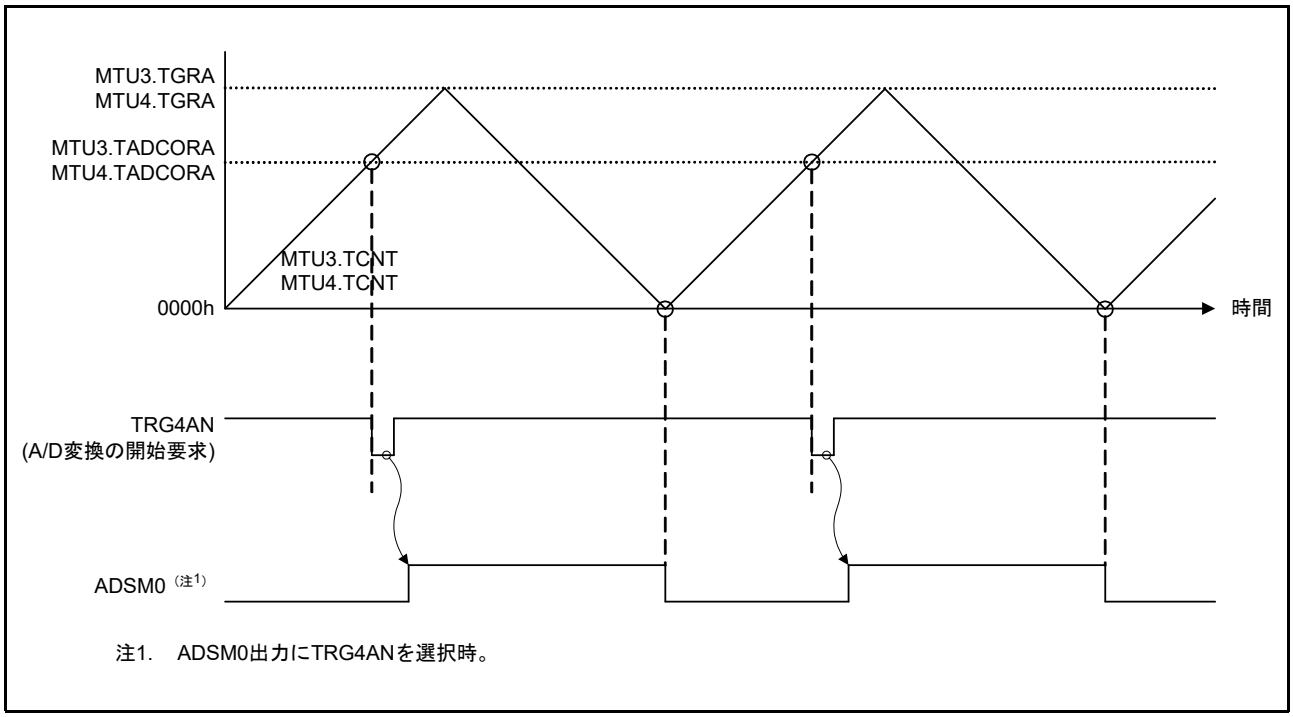


図 22.110　A/D 変換開始要求フレーム同期信号出力例

22.4 割り込み要因

22.4.1 割り込み要因と優先順位

割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用の許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可 / 禁止ビットが “1” ならば、割り込みを要求します。

チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は固定です。詳細は「14. 割り込みコントローラ (ICUC)」を参照してください。表 22.78 に MTU の割り込み要因の一覧を示します。

表22.78　MTU割り込み要因

チャネル	名称	割り込み要因	DMAC/DTCの起動
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV0	MTU0.TCNTのオーバフロー	不可能
	TGIE0	MTU0.TGREのコンペアマッチ	不可能
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TCIV1	MTU1.TCNTのオーバフロー	不可能
	TCIU1	MTU1.TCNTのアンダフロー	不可能
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TCIV2	MTU2.TCNTのオーバフロー	不可能
	TCIU2	MTU2.TCNTのアンダフロー	不可能
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB3	MTU3.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC3	MTU3.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID3	MTU3.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV3	MTU3.TCNTのオーバフロー	不可能
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB4	MTU4.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC4	MTU4.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID4	MTU4.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー(注1)	可能
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	可能
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	可能
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	可能
MTU6	TGIA6	MTU6.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB6	MTU6.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC6	MTU6.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID6	MTU6.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV6	MTU6.TCNTのオーバフロー	不可能
MTU7	TGIA7	MTU7.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB7	MTU7.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC7	MTU7.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID7	MTU7.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV7	MTU7.TCNTのオーバフロー/アンダフロー(注1)	可能
MTU9	TGIA9	MTU9.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB9	MTU9.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC9	MTU9.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID9	MTU9.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV9	MTU9.TCNTのオーバフロー	不可能
	TGIE9	MTU9.TGREのコンペアマッチ	不可能
	TGIF9	MTU9.TGRFのコンペアマッチ	不可能

注.　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。
注1.　アンダフローは相補PWMモード時のみ有効

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャネルの TGR のインプットキャプチャ / コンペアマッチが発生したとき、TIER.TGIE ビットが “1” であれば、割り込みを要求します。MTU には、MTU0、MTU9 に 6 本、MTU3、MTU4、MTU6、MTU7 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に 3 本、計 35 本のインプットキャプチャ / コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャネルの TCNT のオーバフローが発生したとき、TIER.TCIEV ビットが “1” であれば、割り込みを要求します。MTU には、MTU5 を除く各チャネルに 1 本、計 8 本のオーバフロー割り込みがあります。

なお、相補 PWM モードで動作時は、MTU4.TCNT、MTU7.TCNT のアンダフロー発生時もオーバフロー割り込みが発生します。

(3) アンダフロー割り込み

各チャネルの TCNT のアンダフローが発生したとき、TIER.TCIEU ビットが “1” であれば、割り込みを要求します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

22.4.2 DTC/DMAC の起動

(1) DTC の起動

各チャネルの TGR のインプットキャプチャ / コンペアマッチ割り込み、MTU4、MTU7 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「18. データトランスファコントローラ (DTCa)」を参照してください。

MTU では、MTU0、MTU3、MTU6、MTU9 が各 4 本、MTU1、MTU2 が各 2 本、MTU4、MTU7 が各 5 本、MTU5 が 3 本、計 33 本のインプットキャプチャ / コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャネルの TGR のインプットキャプチャ / コンペアマッチ割り込み、MTU4、MTU7 のオーバフロー割り込みによって、DMAC を起動することができます。詳細は「17. DMA コントローラ (DMACAa)」を参照してください。

MTU では、MTU0、MTU3、MTU6、MTU9 が各 4 本、MTU1、MTU2 が各 2 本、MTU4、MTU7 が各 5 本、MTU5 が 3 本、計 33 本のインプットキャプチャ / コンペアマッチ割り込み、オーバフロー割り込みを DMAC の起動要因とすることができます。

MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因がクリアされます。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

22.4.3 A/D コンバータの起動

MTU では、次の 3 種類の方法で A/D コンバータを起動することができます。
各割り込み要因と A/D 変換開始要求の対応を、表 22.79 に示します。

(1) TGRA のインプットキャプチャ / コンペアマッチと、相補 PWM モード時の MTU4.TCNT (MTU7.TCNT) の谷での A/D 起動

各チャネルの TGRA のインプットキャプチャ / コンペアマッチによって、A/D コンバータを起動することができます。また、MTU4.TIER（MTU7.TIER）の TTGE2 ビットを “1” にした状態で、相補 PWM 動作をさせた場合は、MTU4.TCNT（MTU7.TCNT）が谷（MTU4.TCNT（MTU7.TCNT）= 0000h）になったときも A/D コンバータを起動することができます。

次に示す条件で、A/D コンバータに対して A/D 変換の開始要求（TRGAnN (n = 0 ～ 4, 6, 7, 9)）を行います。

- 各チャネルの TGRA のインプットキャプチャ/ コンペアマッチが発生したとき、TIER.TTGE ビットが “1” になっていた場合
- MTU4.TIER（MTU7.TIER）の TTGE2 ビットが “1” の状態で、相補 PWM 動作をさせ、MTU4.TCNT（MTU7.TCNT）が谷（MTU4.TCNT（MTU7.TCNT）= 0000h）になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAnN が選択されていれば、A/D 変換が開始されます。

(2) MTU0.TCNT と MTU0.TGRE、MTU9.TCNT と MTU9.TGRE のコンペアマッチによる A/D 起動

MTU0.TCNT と MTU0.TGRE、MTU9.TCNT と MTU9.TGRE のコンペアマッチによって、A/D 変換の開始要求（TRG0N, TRG9N）を行い、A/D コンバータを起動することができます。

MTU0.TCNT と MTU0.TGRE、MTU9.TCNT と MTU9.TGRE のコンペアマッチが発生したとき、MTU0.TIER2、MTU9.TIER2 の TTGE2 ビットが “1” になっていれば、A/D コンバータに対して A/D 変換の開始要求（TRG0N, TRG0AEN, TRG9N, TRG9AEN, TRG09N）を行います。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0N、TRG0AEN、TRG9N、TRG9AEN、TRG09N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ（MTU4.TADCR（MTU7.TADCR））の UT4AE、DT4AE、UT4BE、DT4BE（UT7AE, DT7AE, UT7BE, DT7BE）ビットを “1” にした場合、MTU4.TADCORA、MTU4.TADCORB と MTU4.TCNT（MTU7.TADCORA, MTU7.TADCORB と MTU7.TCNT）の一致によって、TRG4AN、TRG4BN（TRG7AN, TRG7BN）を生成し、A/D コンバータを起動することができます。また、TRG4AN（TRG7AN）の発生または TRG4BN（TRG7BN）の発生にて TRG4ABN（TRG7ABN）を出力し、A/D コンバータを起動することができます。詳細は「22.3.9　A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN（TRG7AN）が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4AN（TRG7AN）が選択されているとき、TRG4BN（TRG7BN）が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4BN（TRG7BN）が選択されているとき、TRG4ABN（TRG7ABN）が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4ABN（TRG7ABN）が選択されているとき、おのおの A/D 変換が開始されます。

表22.79　各割り込み要因とA/D変換開始要求信号の対応

対象	割り込み要因	A/D変換開始要求信号
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGA0N
MTU9.TGRAとMTU9.TCNT		TRGA9N
MTU9.TGRAとMTU9.TCNT、 MTU9.TGREとMTU9.TCNT(注1)		TRG9AEN
MTU0.TGRAとMTU0.TCNT、 MTU0.TGREとMTU0.TCNT(注1)		TRG0AEN
MTU0.TGRAとMTU0.TCNT、 MTU9.TGRAとMTU9.TCNT		TRGA09N
MTU1.TGRAとMTU1.TCNT		TRGA1N
MTU2.TGRAとMTU2.TCNT		TRGA2N
MTU3.TGRAとMTU3.TCNT		TRGA3N
MTU4.TGRAとMTU4.TCNT(注2)		TRGA4N
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU6.TGRAとMTU6.TCNT	インプットキャプチャ/コンペアマッチ	TRGA6N
MTU7.TGRAとMTU7.TCNT(注2)		TRGA7N
MTU7.TCNT	相補PWMモード時のMTU7.TCNTの谷	
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0N
MTU9.TGREとMTU9.TCNT		TRG9N
MTU0.TGREとMTU0.TCNT(注1)、 MTU9.TGREとMTU9.TCNT(注1)		TRG09N
MTU4.TADCORAとMTU4.TCNT		TRG4AN
MTU4.TADCORBとMTU4.TCNT		TRG4BN
MTU7.TADCORAとMTU7.TCNT		TRG7AN
MTU7.TADCORBとMTU7.TCNT		TRG7BN
MTU4.TADCORAとMTU4.TCNT、 MTU4.TADCORBとMTU4.TCNT	コンペアマッチ（割り込み間引き機能2）	TRG4ABN
MTU7.TADCORAとMTU7.TCNT、 MTU7.TADCORBとMTU7.TCNT		TRG7ABN

注1.　TGREのコンペアマッチ要因はA/Dトリガ開始要因になるため、MTU0.TIER2.TTGE2, MTU9.TIER2.TTGE2ビットに"1"を設定してください。

注2.　相補PWMモード時はPWM波形を生成するため、MTU4.TGRA（MTU7.TGRA）はMTU4.TCNT（MTU7.TCNT）だけではなく、MTU3.TCNT（MTU6.TCNT）やTCNTSA（TCNTSB）ともコンペアマッチの検出を行っています。そのため、MTU3.TCNT（MTU6.TCNT）やTCNTSA（TCNTSB）とコンペアマッチが起こった際もTRGA4N（TRGA7N）を生成します。MTU3、MTU4（MTU6、MTU7）を相補PWMモードで動作させて、A/D変換の開始要求を行う場合はMTU4.TCNT（MTU7.TCNT）とMTU4.TADCORA/TADCORB（MTU7.TADCORA/TADCORB）とのコンペアマッチによるA/D変換開始要求を使用してください。

22.5 動作タイミング

22.5.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 22.111、図 22.112 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 22.113 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 22.114 に示します。

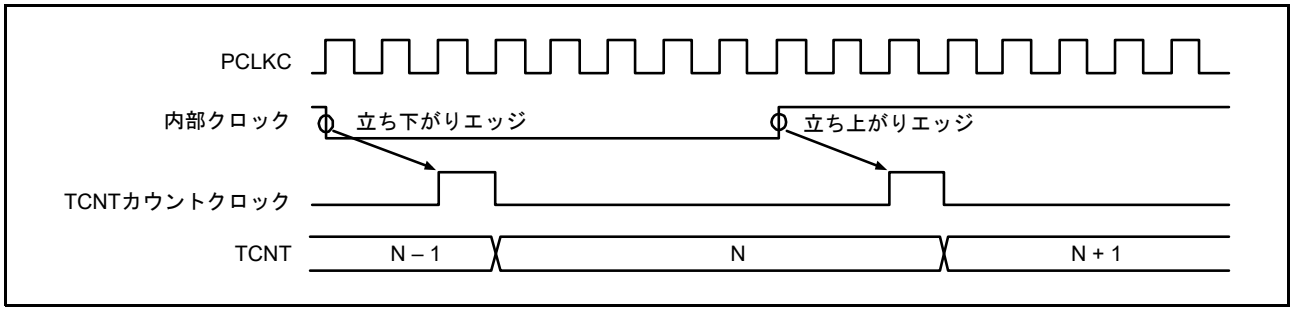


図 22.111 内部クロック動作時のカウントタイミング (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

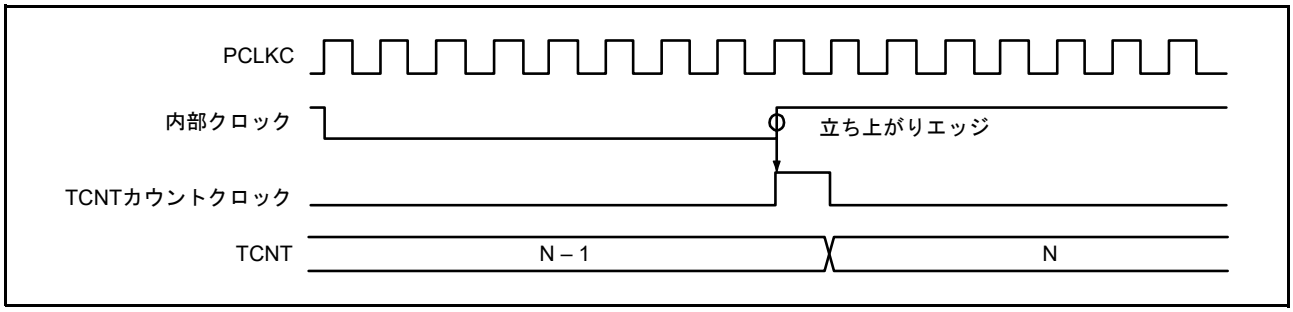


図 22.112 内部クロック動作時のカウントタイミング (MTU5)

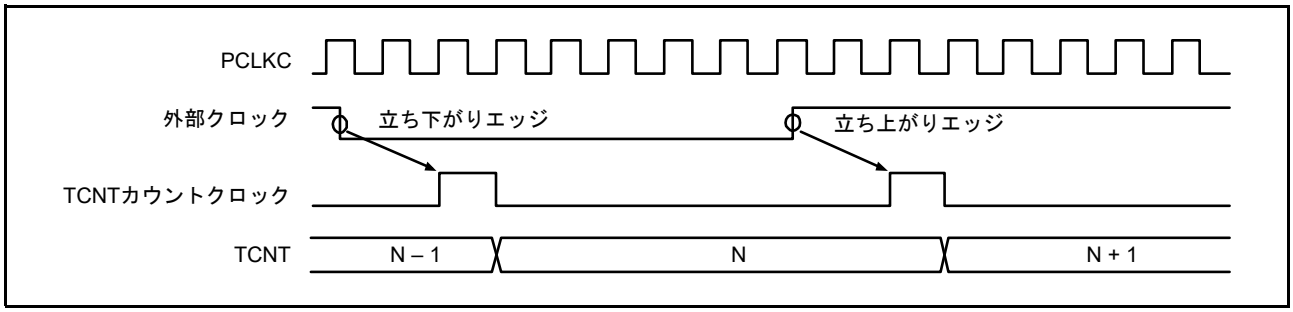


図 22.113 外部クロック動作時のカウントタイミング (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

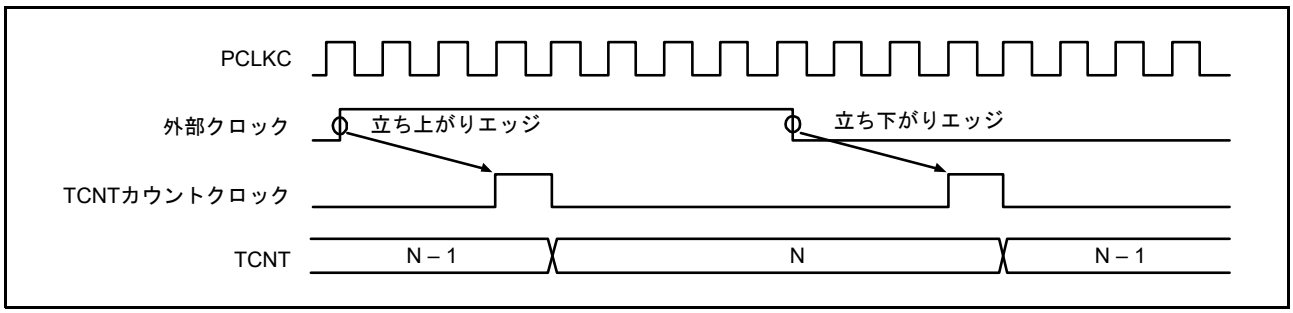


図 22.114 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR レジスタで設定した出力値が MTIOCnm 端子（n = 0 ～ 4, 6, 7, 9、m = A ～ D）に出力されます。TCNT と TGR が一致した後、TCNT カウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 22.115 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 22.116 に示します。

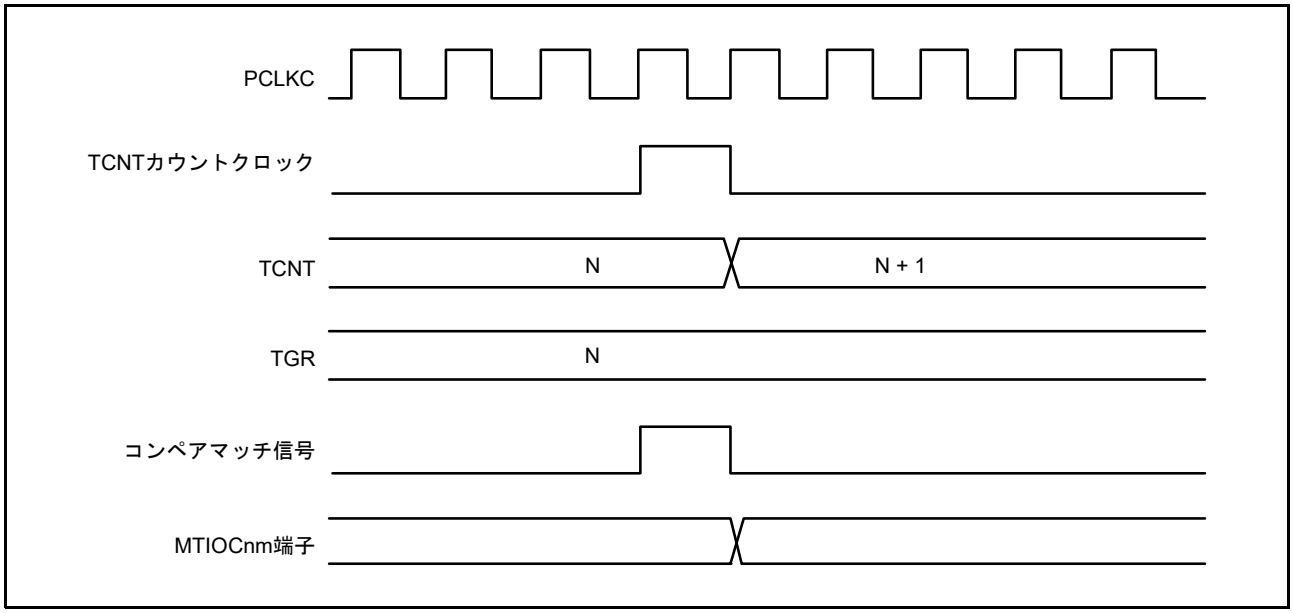


図 22.115 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)
(n = 0 ～ 4, 6, 7, 9、m = A ～ D)

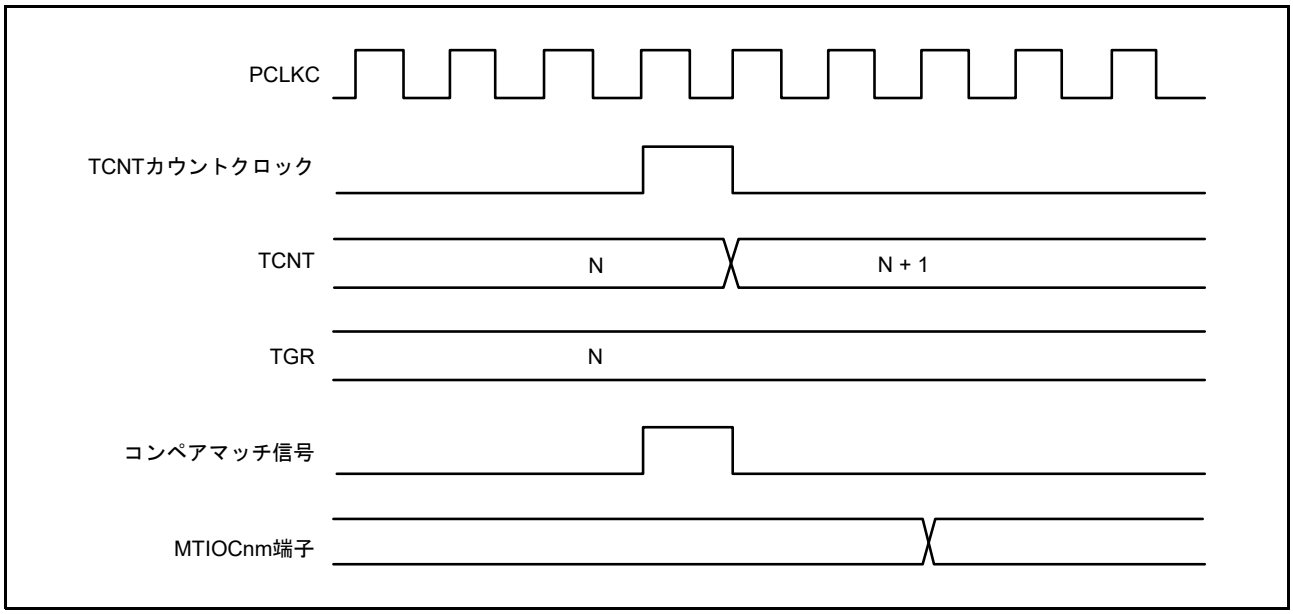


図 22.116 アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)
(n = 0 ～ 4, 6, 7, 9、m = A ～ D)

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 22.117 に示します。

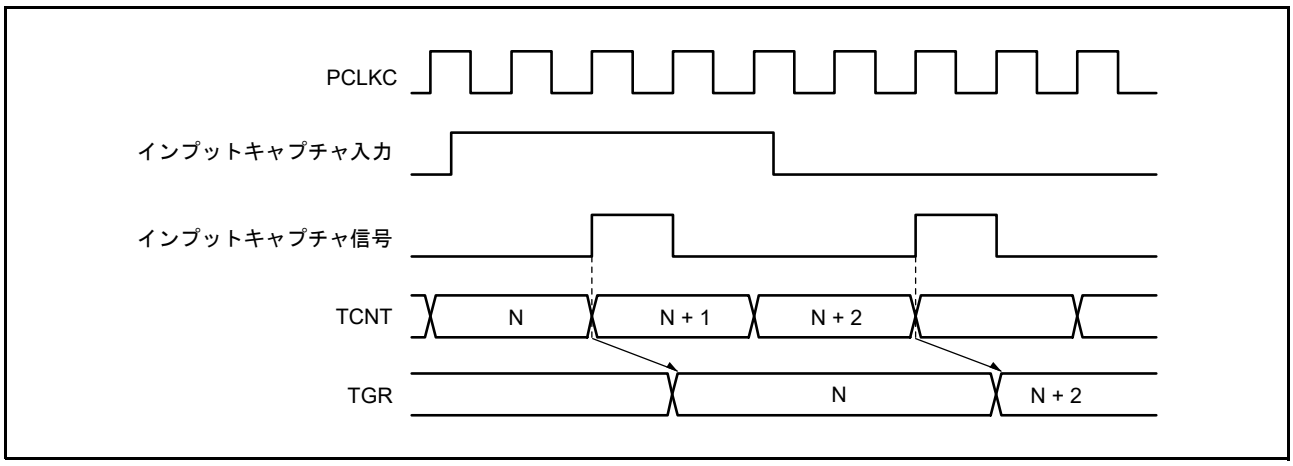


図 22.117 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ / インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 22.118、図 22.119 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 22.120 に示します。

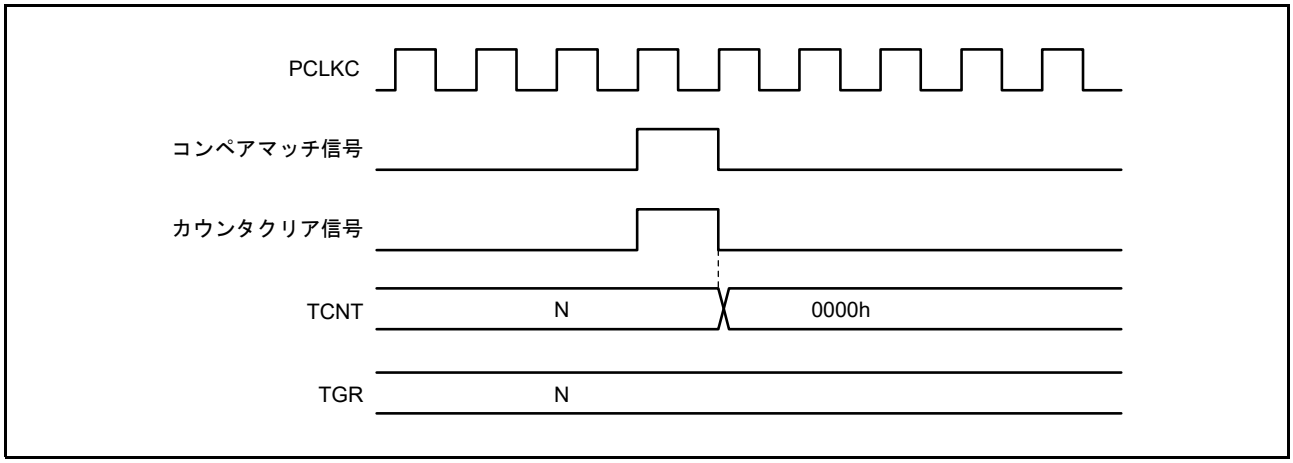


図 22.118 カウンタクリアタイミング (コンペアマッチ) (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

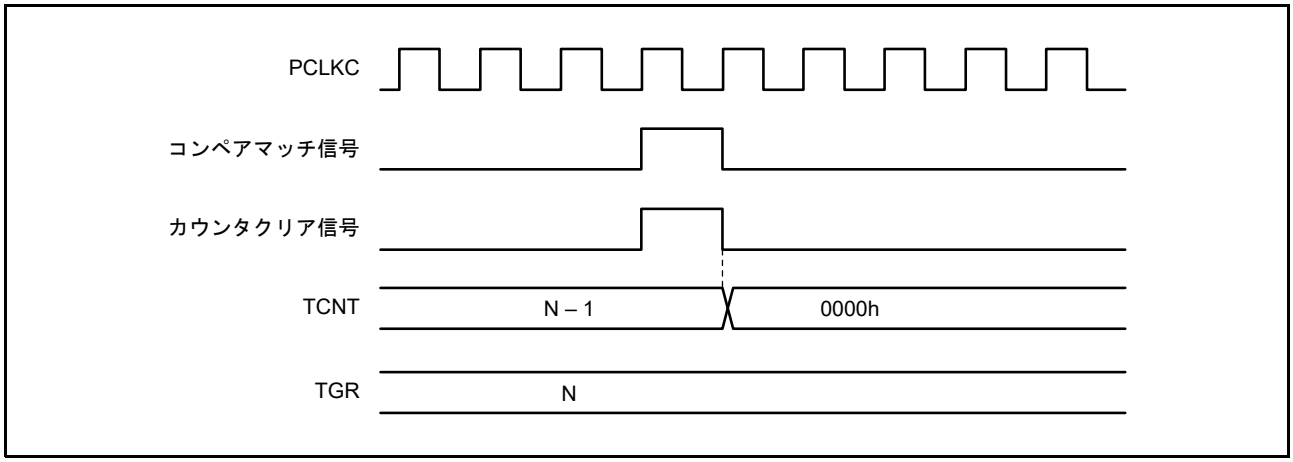


図 22.119 カウンタクリアタイミング (コンペアマッチ) (MTU5)

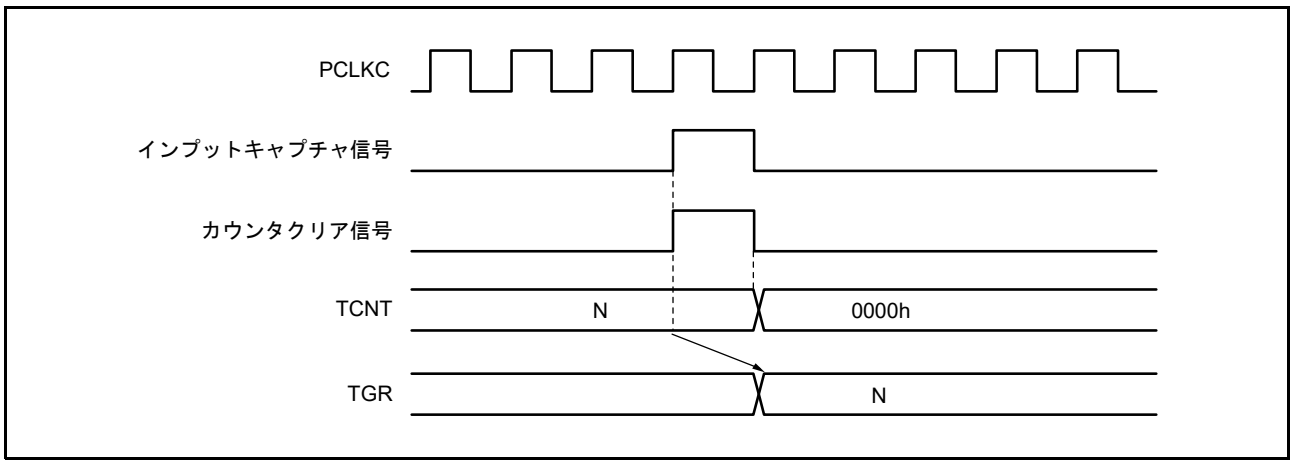


図 22.120 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ～ MTU7, MTU9)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 22.121 ～図 22.123 に示します。

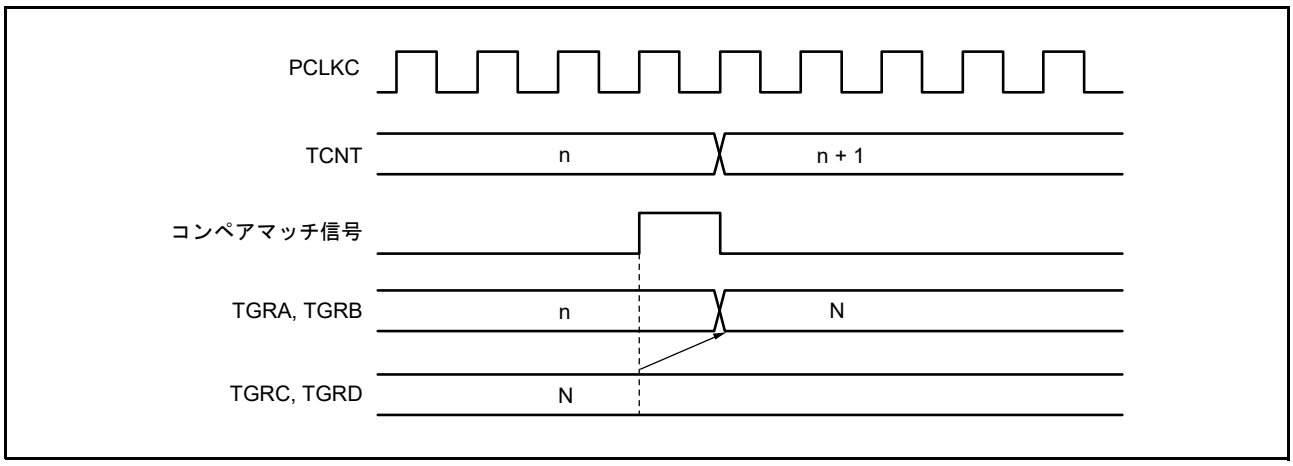


図 22.121 バッファ動作タイミング (コンペアマッチ)

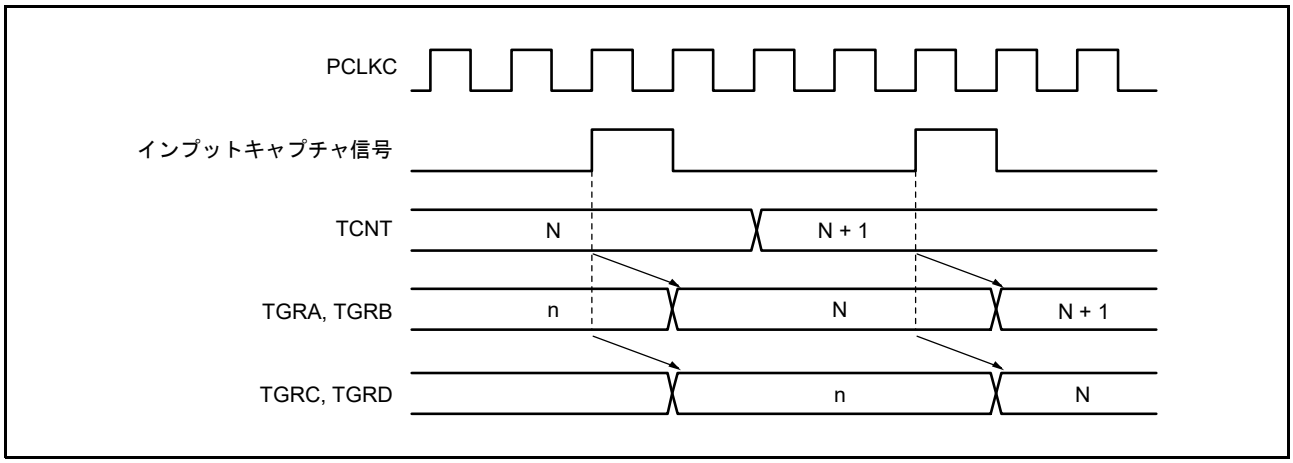


図 22.122 バッファ動作タイミング (インプットキャプチャ)

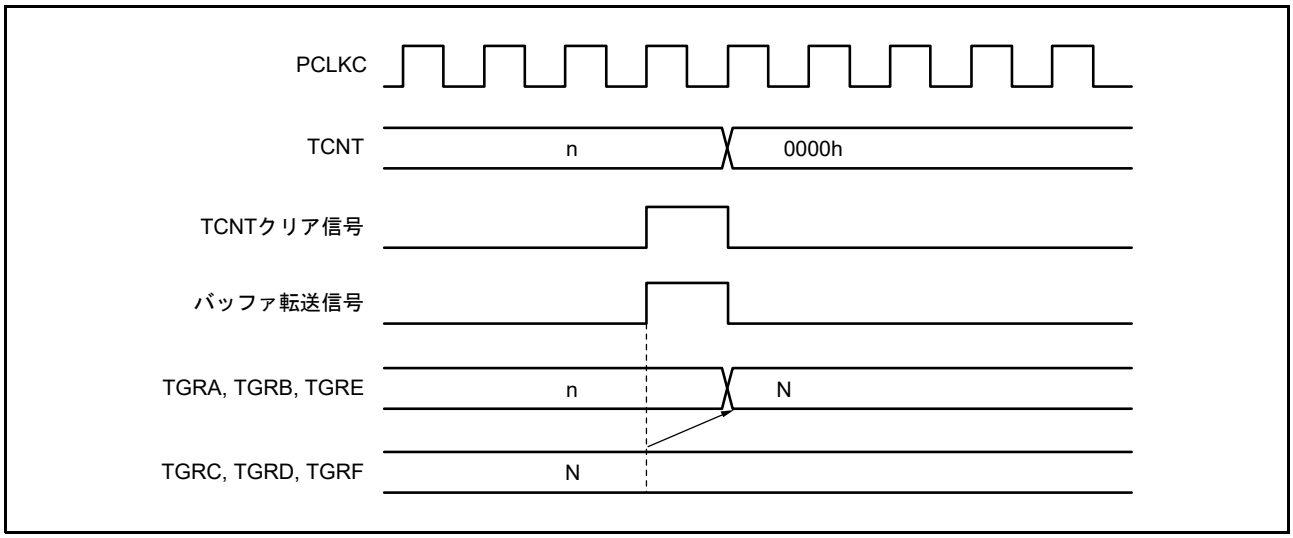


図 22.123 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 22.124 ～図 22.126 に示します。

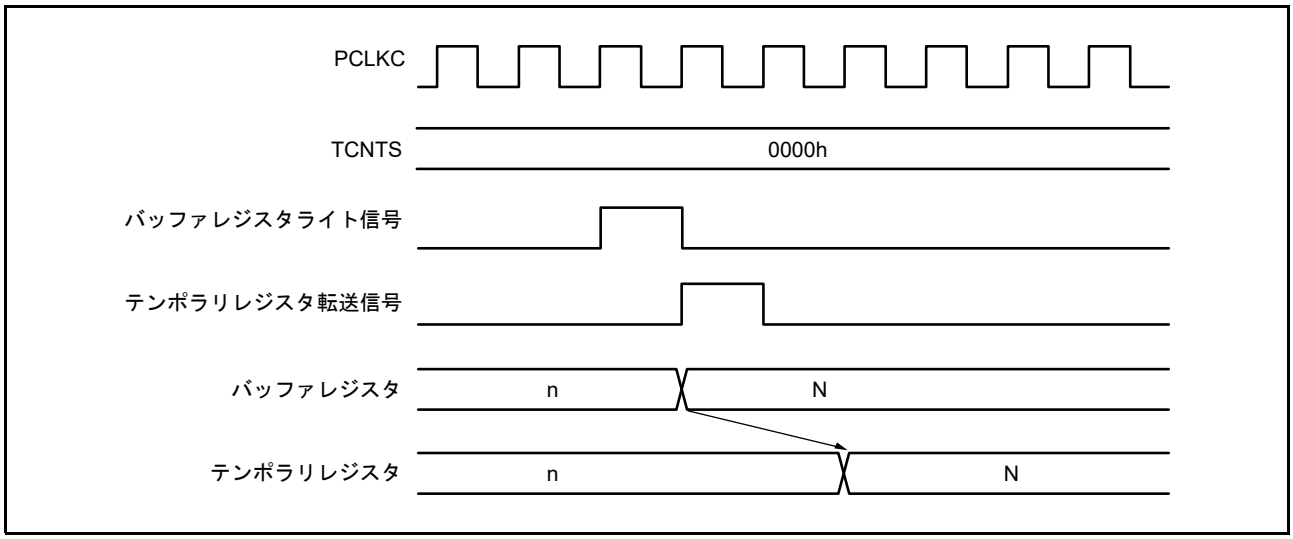


図 22.124 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 停止中)

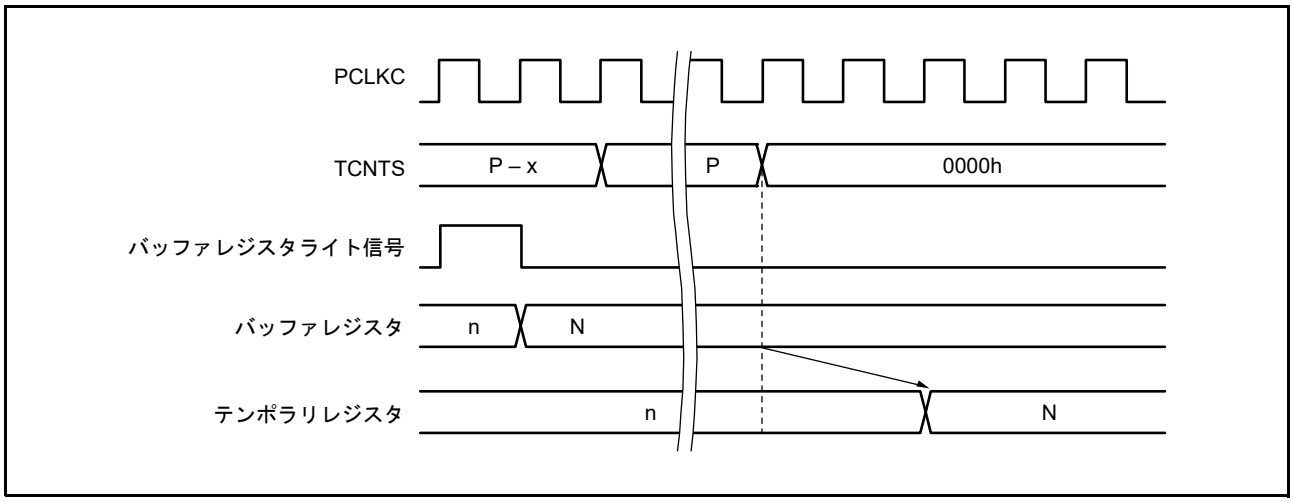


図 22.125 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 動作中)

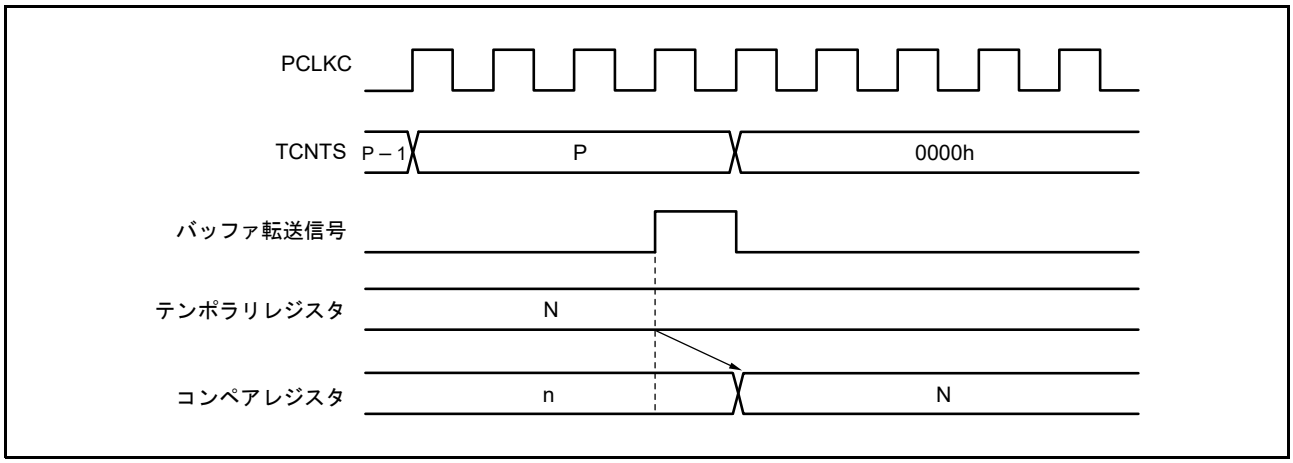


図 22.126 テンポラリレジスタからコンペアレジスタへの転送タイミング

22.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチが発生したときの TGI 割り込み要求信号のタイミングを図 22.127、図 22.128 に示します。

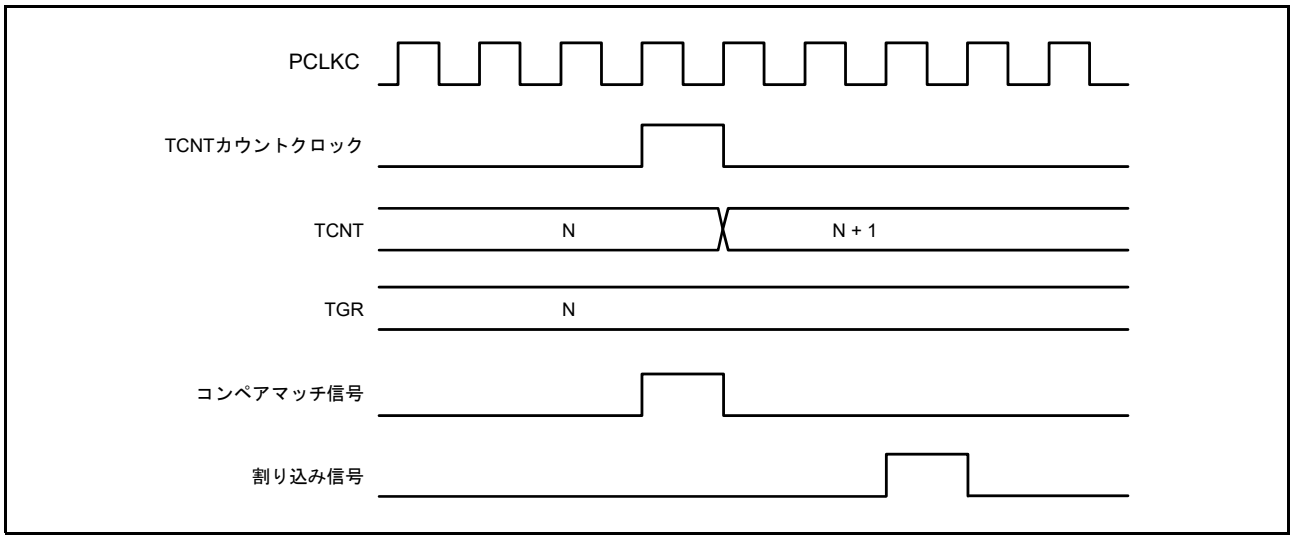


図 22.127 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

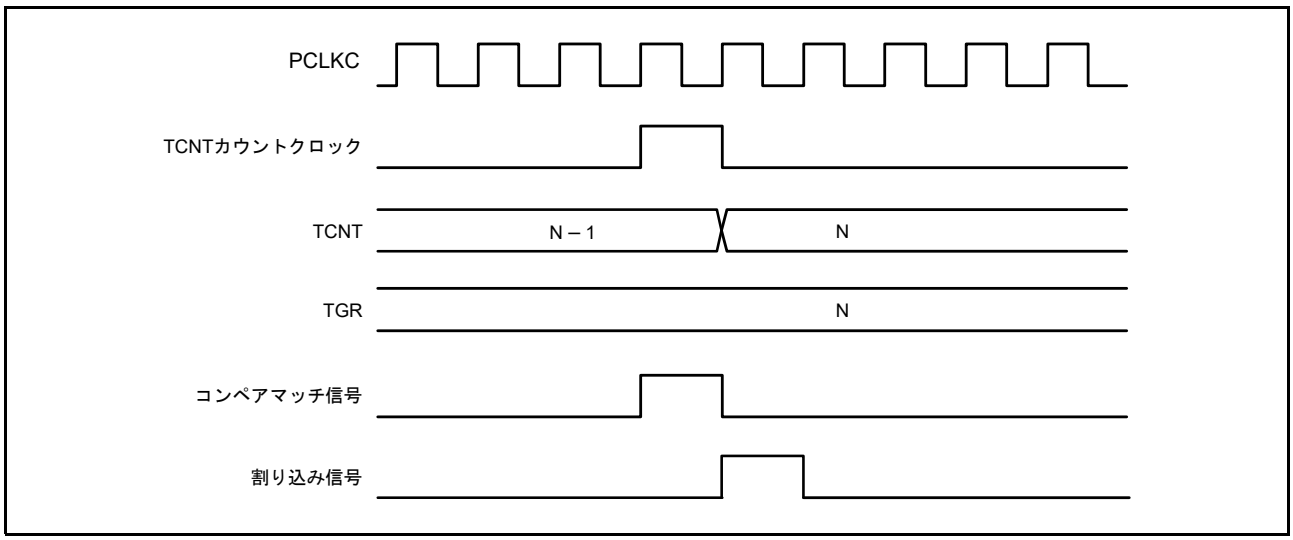


図 22.128 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インプットキャプチャ時の TGI 割り込みタイミング

インプットキャプチャが発生したときの TGI 割り込み要求信号のタイミングを図 22.129、図 22.130 に示します。

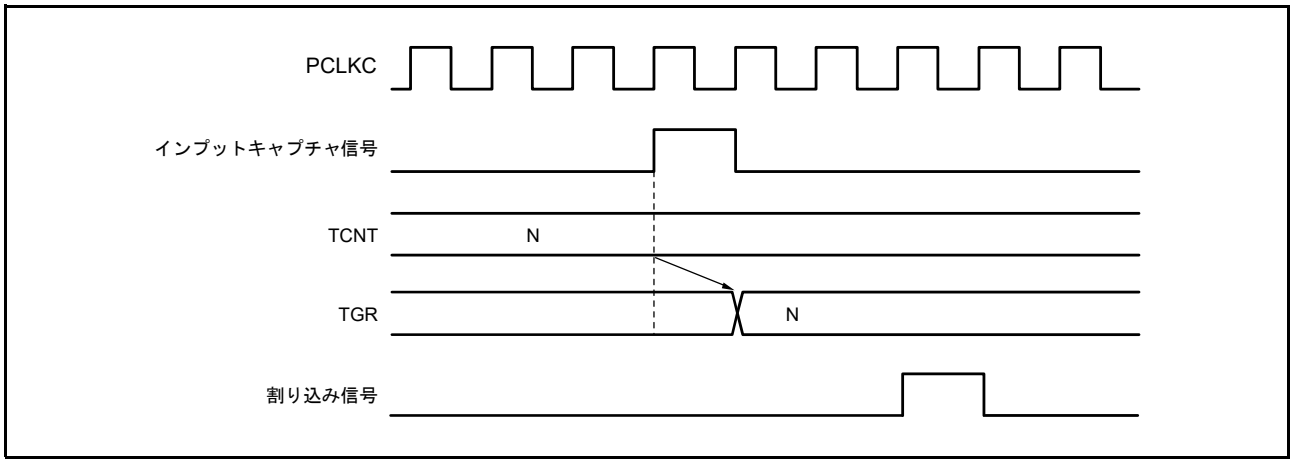


図 22.129 TGI 割り込みタイミング (インプットキャプチャ) (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

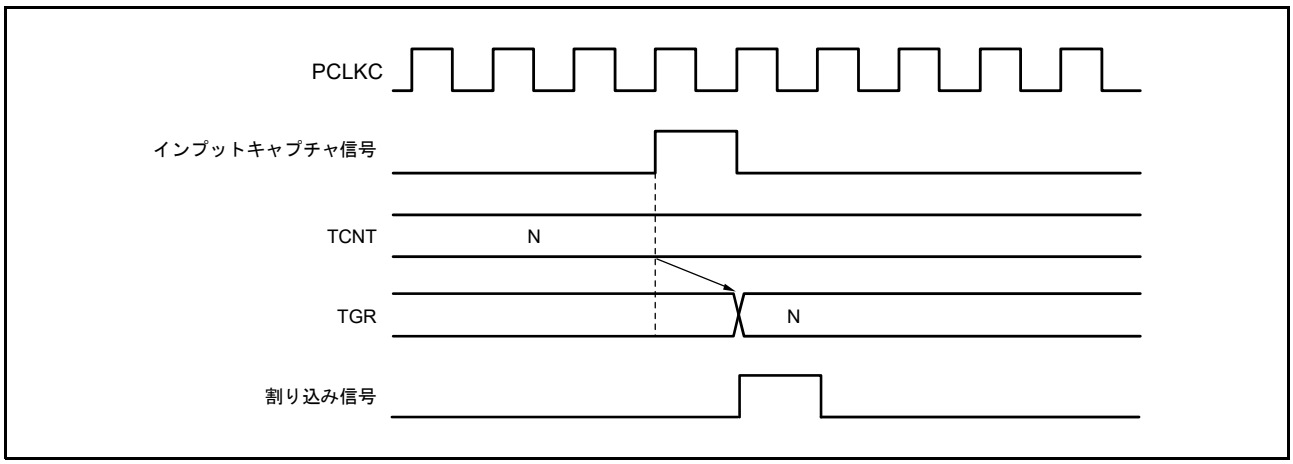


図 22.130 TGI 割り込みタイミング (インプットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバフローが発生したときの TCIV 割り込み要求信号のタイミングを図 22.131 に示します。
アンダフローが発生したときの TCIU 割り込み要求信号のタイミングを図 22.132 に示します。

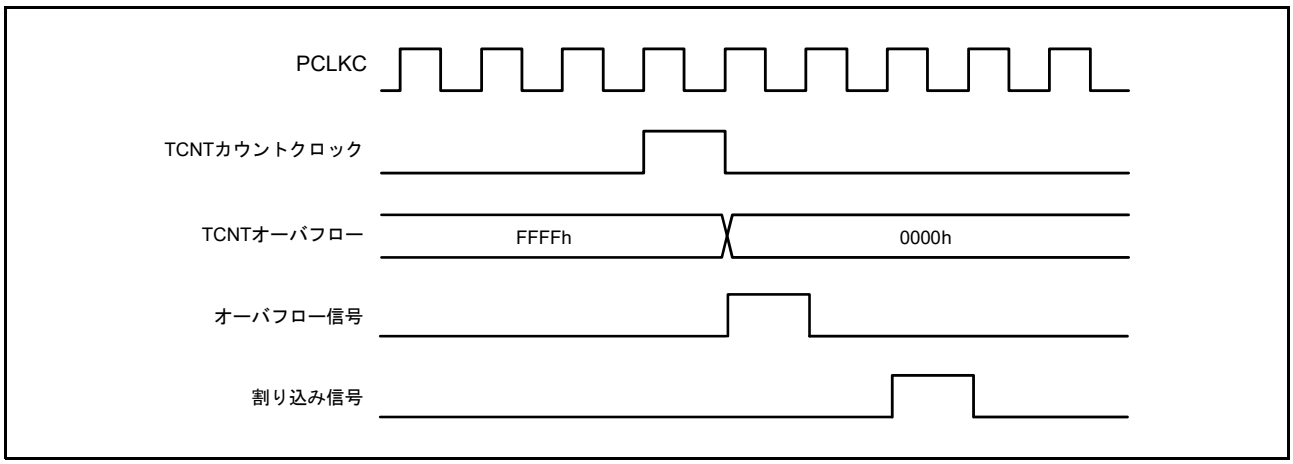


図 22.131 TCIV 割り込みタイミング

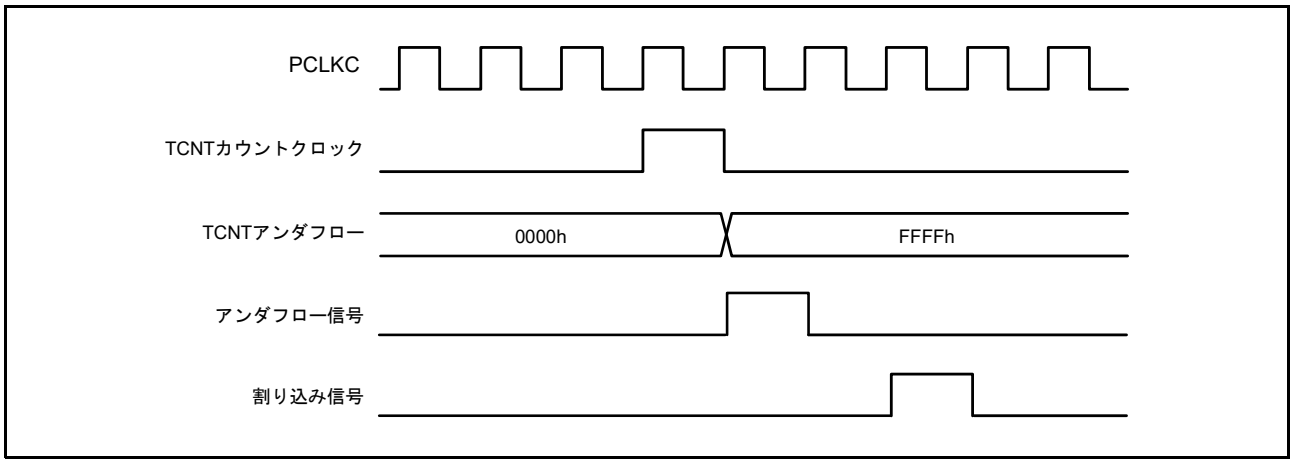


図 22.132 TCIU 割り込みタイミング

22.6 使用上の注意事項

22.6.1 モジュールストップ機能の設定

MTU は、モジュールストップコントロールレジスタにより、MTU の動作禁止 / 許可を設定することが可能です。初期値では、MTU の動作は停止しています。モジュールクロックストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

22.6.2 カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は 1.5 PCLKC 以上、両エッジの場合は 2.5 PCLKC 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバラップはそれぞれ 1.5 PCLKC 以上、パルス幅は 2.5 PCLKC 以上必要です。位相計数モードの入力クロックの条件を図 22.133 に示します。

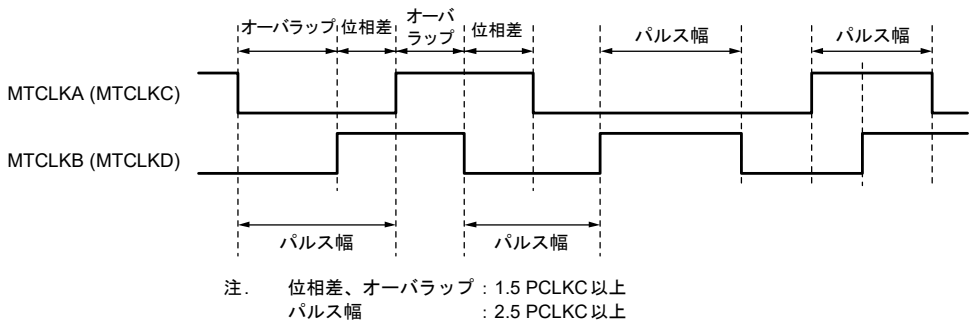


図 22.133 位相計数モード時の位相差、オーバラップ、およびパルス幅

22.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR レジスタの値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- MTU0 ～ MTU4, MTU6, MTU7, MTU9 の場合

$$f = \frac{CNTCLK}{N+1}$$

- MTU5 の場合

$$f = \frac{CNTCLK}{N}$$

f：カウンタ周波数
CNTCLK：TCR の TPSC[2:0]、TCR2 の TPSC2[2:0] で設定したカウントクロックの周波数
N：TGR の設定値

22.6.4 TCNT への書き込みとクリアの競合

TCNT の書き込みサイクル中にカウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 22.134 に示します。

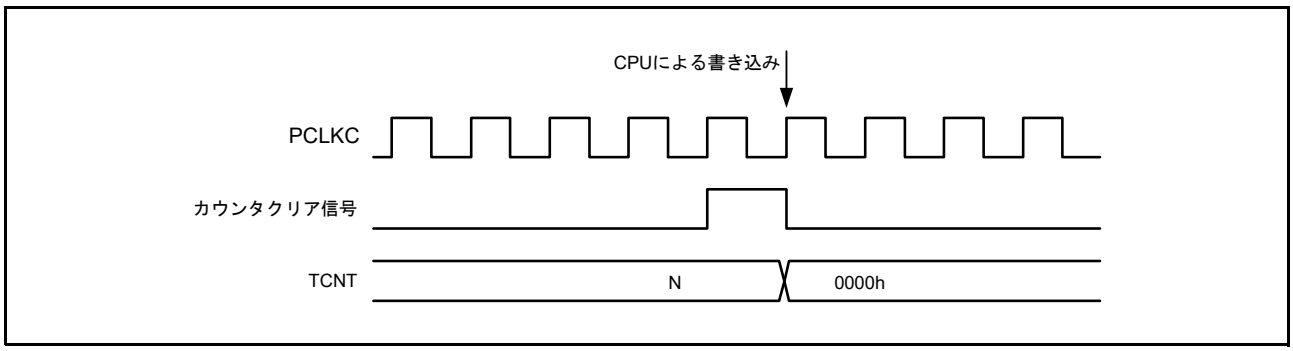


図 22.134 TCNT への書き込みとカウンタクリアの競合

22.6.5 TCNT への書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 22.135 に示します。

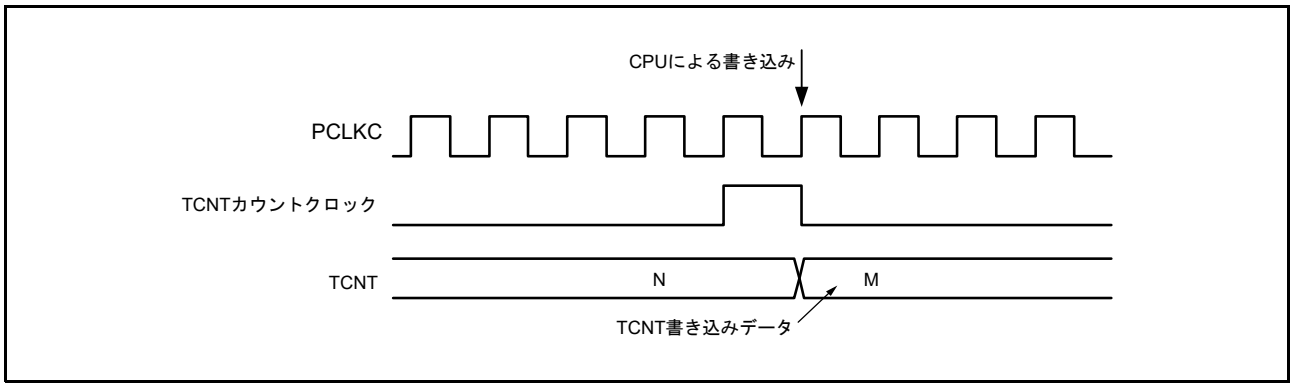


図 22.135 TCNT への書き込みとカウントアップの競合

22.6.6 TGR レジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 22.136 に示します。

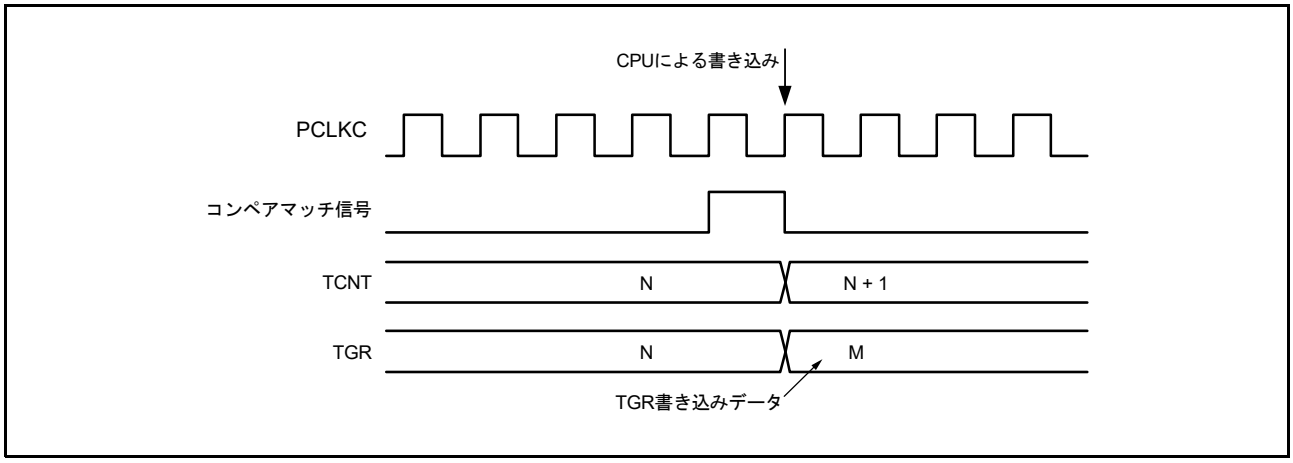


図 22.136 TGR レジスタのライトとコンペアマッチの競合

22.6.7 バッファレジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 22.137 に示します。

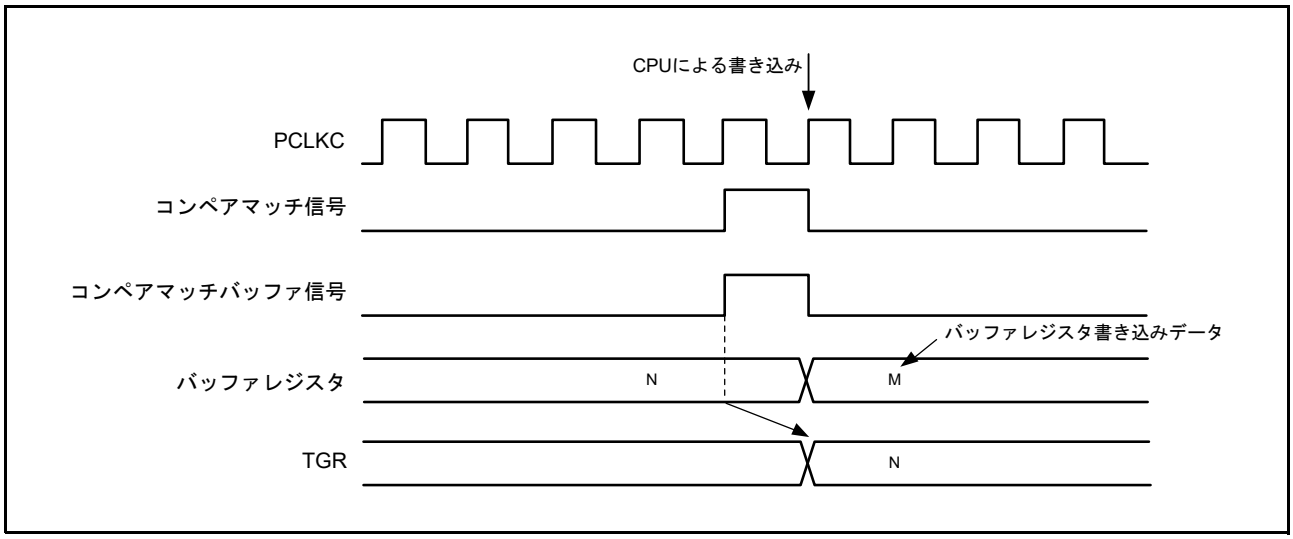


図 22.137 バッファレジスタへの書き込みとコンペアマッチの競合

22.6.8 バッファレジスタへの書き込みと TCNT クリアの競合

タイマバッファ転送モードレジスタ（TBTM）でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR の書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 22.138 に示します。

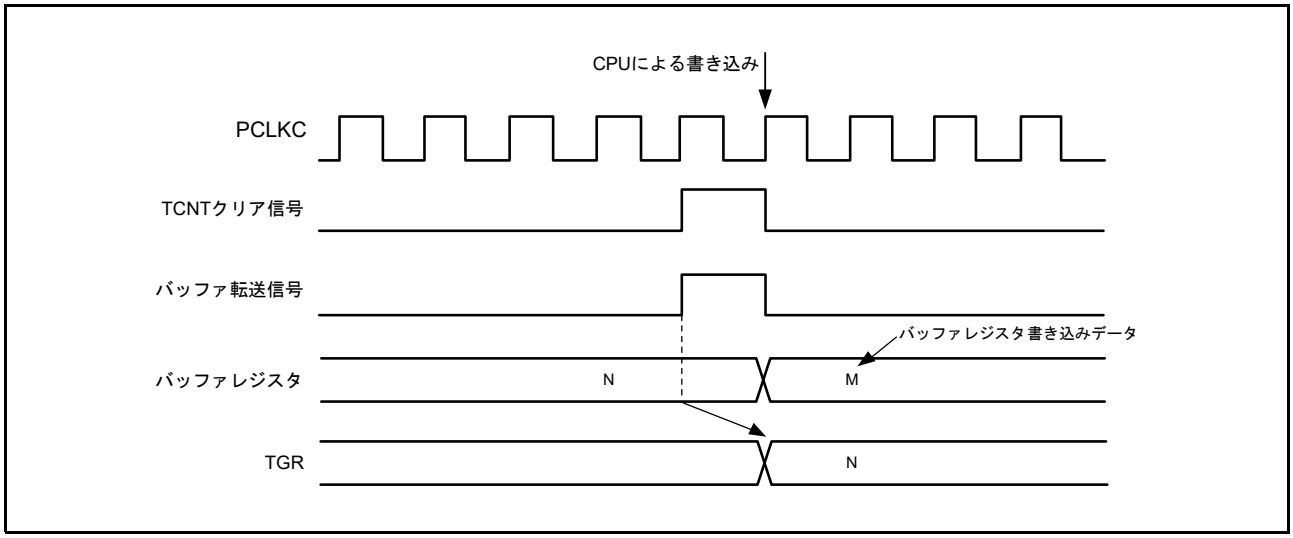


図 22.138 バッファレジスタへの書き込みと TCNT クリアの競合

22.6.9 TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタの読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出されるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 22.139 に示します。

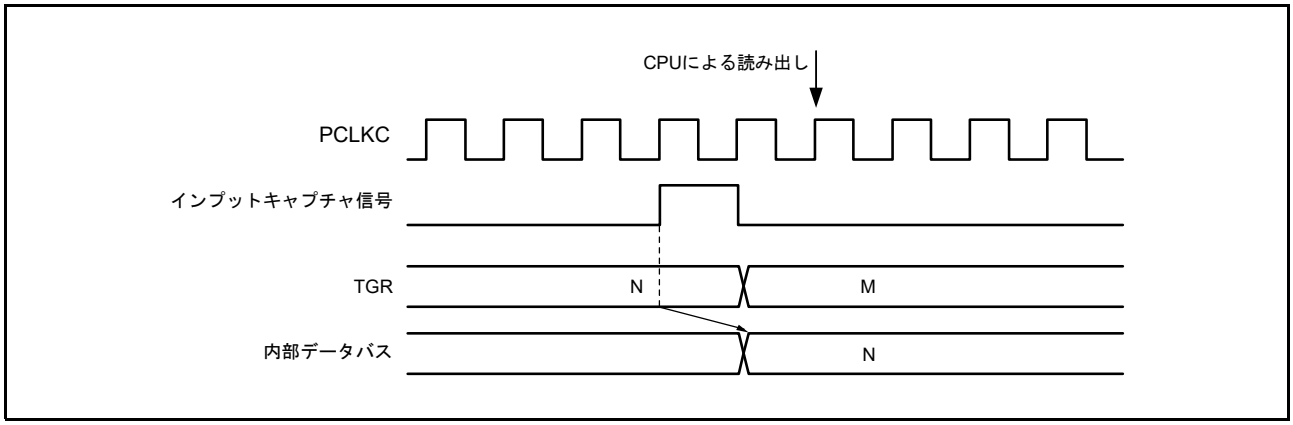


図 22.139 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ～ MTU7, MTU9)

22.6.10 TGR レジスタへの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ～ MTU4、MTU6、MTU7、MTU9 では TGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 22.140、図 22.141 に示します。

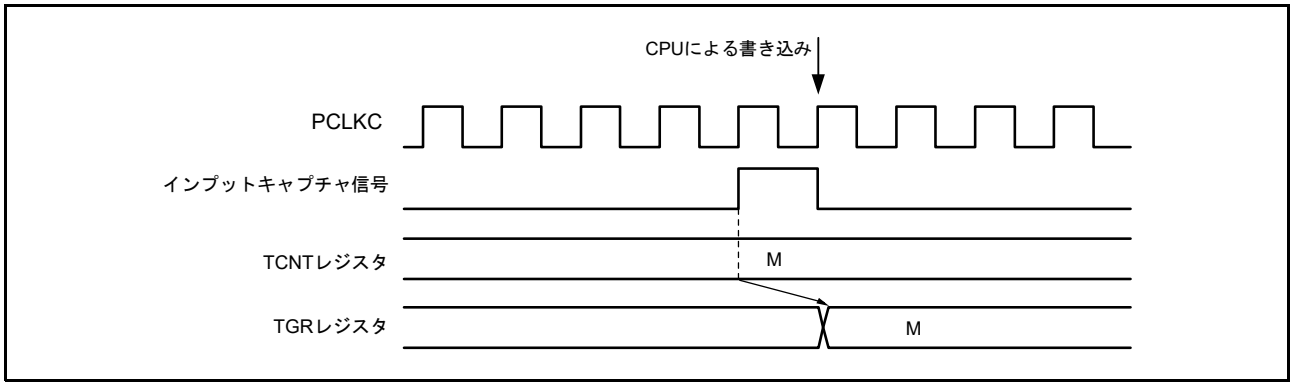


図 22.140 TGR レジスタへの書き込みとインプットキャプチャの競合 (MTU0 ～ MTU4, MTU6, MTU7, MTU9)

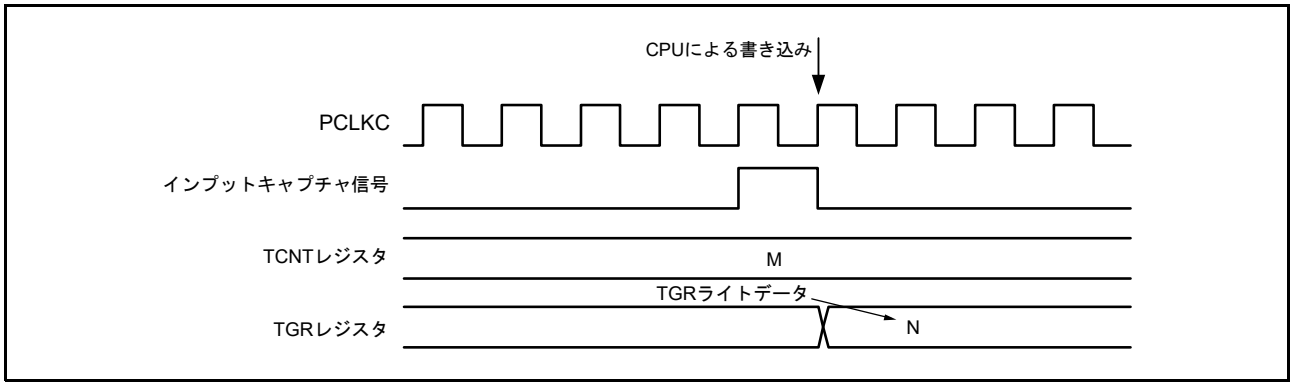


図 22.141 TGR レジスタへの書き込みとインプットキャプチャの競合 (MTU5)

22.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 22.142 に示します。

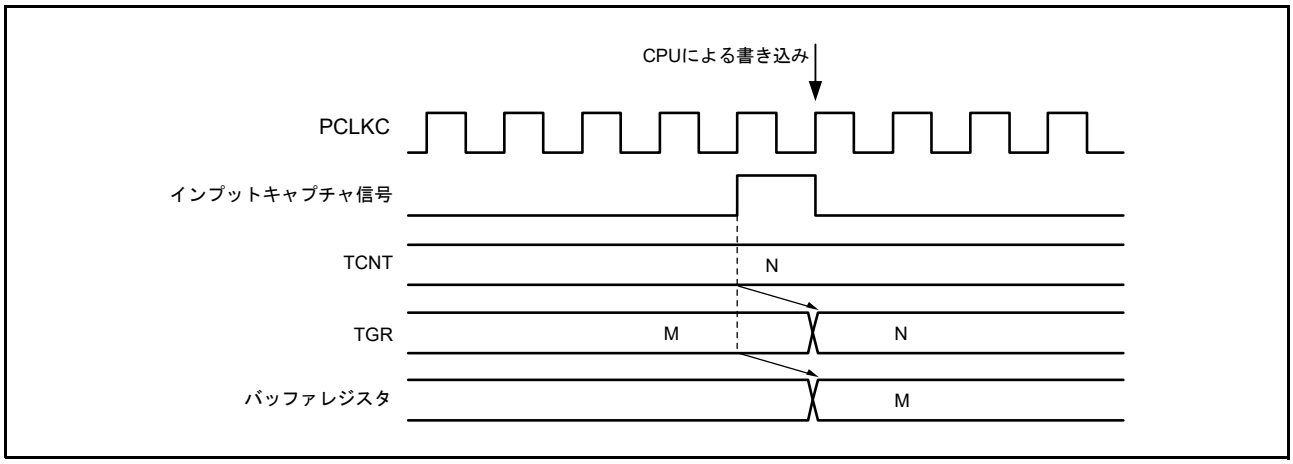


図 22.142 バッファレジスタへの書き込みとインプットキャプチャ競合

22.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバフロー / アンダフローの競合

タイマカウンタ（MTU1.TCNT と MTU2.TCNT）をカスケード接続し、MTU1.TCNT がカウントする瞬間（MTU2.TCNT がオーバフロー / アンダフローする瞬間）と MTU2.TCNT の書き込みが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0（MTU9）のインプットキャプチャ要因に MTU1.TCNT（MTU2.TCNT）カウントクロックを選択した場合には、MTU0.TGRA ～ TGRD（MTU9.TGRA ～ TGRD）はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ / インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 22.143 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

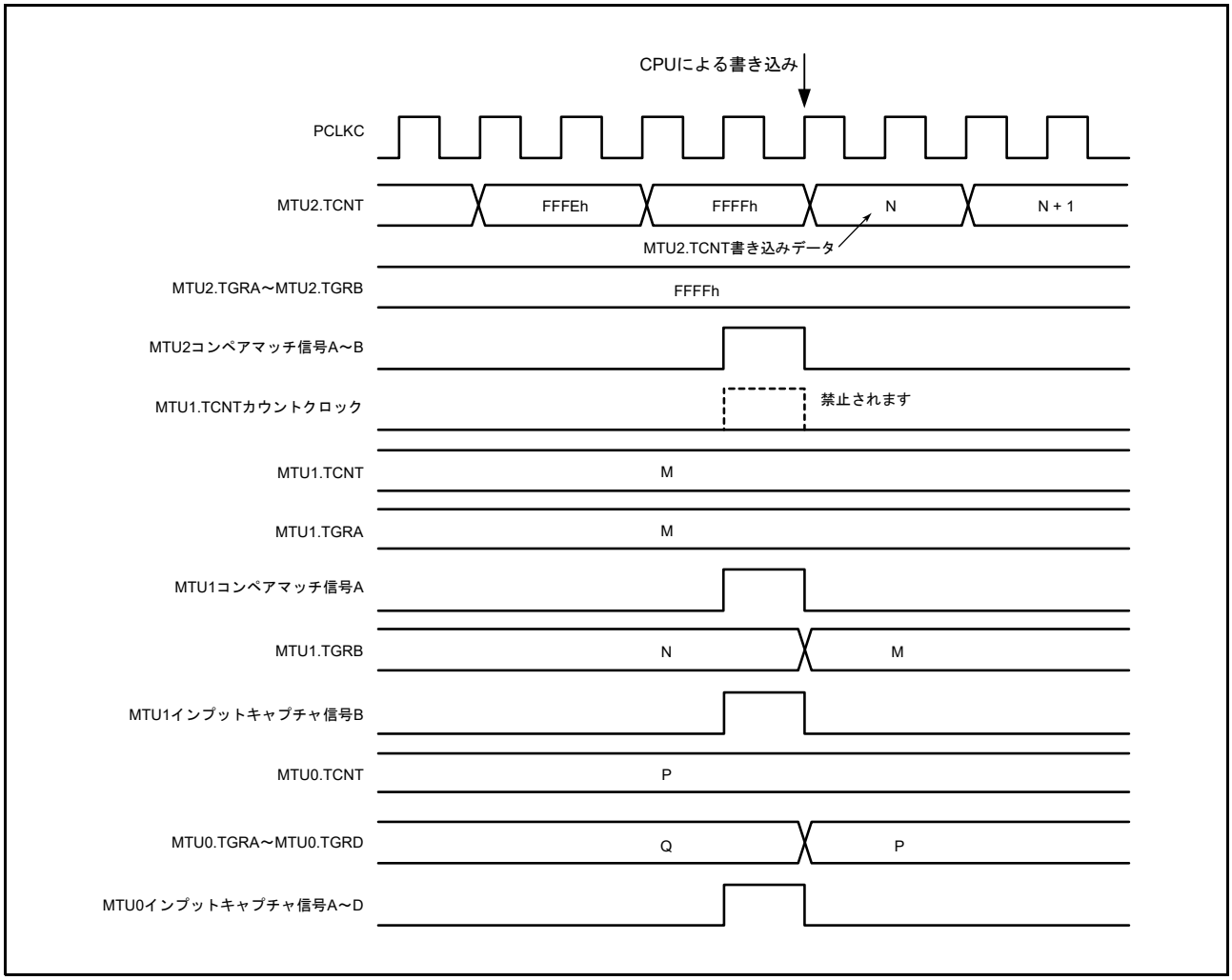


図 22.143 カスケード接続における MTU2.TCNT の書き込みとオーバフロー / アンダフローの競合

22.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）が相補 PWM モードで動作しているときにカウント動作を停止すると、MTU3.TCNT（MTU6.TCNT）はタイマデッドタイムレジスタ（TDDRA（TDDRB））の値、MTU4.TCNT（MTU7.TCNT）は “0000h” になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を**図 22.144** に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）にカウント初期値の設定を行ってください。

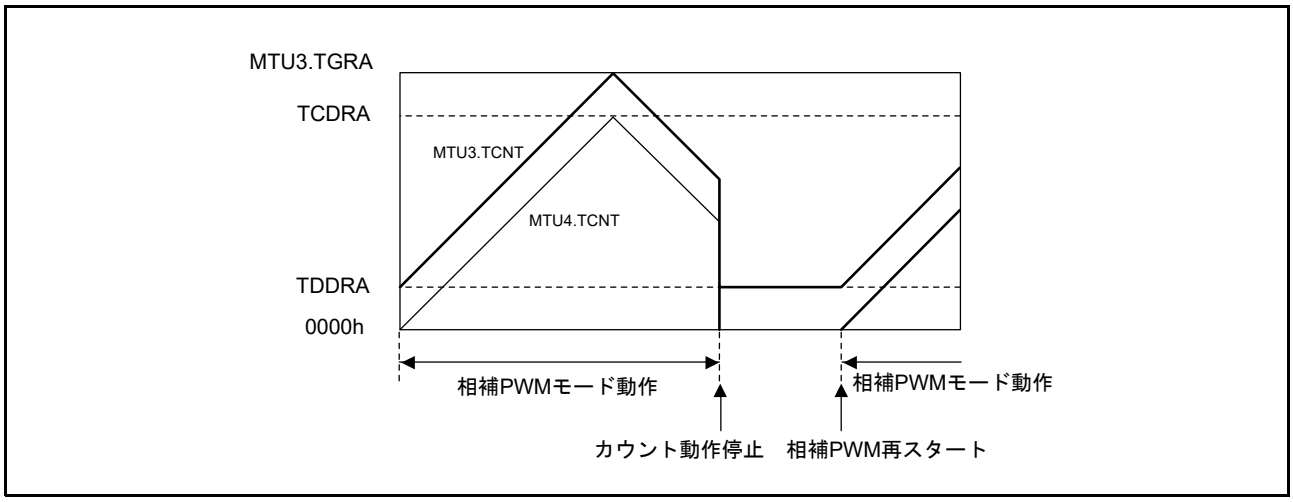


図 22.144 相補 PWM モード停止時のカウンタ値

22.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ（MTU3.TGRA, MTU6.TGRA）、タイマ周期データレジスタ（TCDRA, TCDRB）、デューティ設定レジスタ（MTU3.TGRB, MTU3.TGRA, MTU4.TGRB, MTU6.TGRB, MTU7.TGRA, MTU7.TGRB）の書き換えは、バッファ動作で行ってください。

また、MTU4.TMDR1.BFA（MTU7.TMDR1.BFA）ビット、MTU4.TMDR1.BFB（MTU7.TMDR1.BFB）ビットを “0” にしてください。MTU4.TMDR1.BFA（MTU7.TMDR1.BFA）ビットを “1” にすると、MTIOC4C（MTIOC7C）端子の波形出力ができなくなります。同様に、MTU4.TMDR1.BFB（MTU7.TMDR1.BFB）ビットを “1” にすると、MTIOC4D（MTIOC7D）端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は、MTU3.TMDR1.BFA（MTU6.TMDR1.BFA）ビット、MTU3.TMDR1.BFB（MTU6.TMDR1.BFB）ビットの設定に従い動作します。MTU3.TMDR1.BFA（MTU6.TMDR1.BFA）ビットを “1” にした場合、MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして機能します。同時に MTU4.TGRC（MTU7.TGRC）は MTU4.TGRA（MTU7.TGRA）のバッファレジスタとして機能し、さらに TCBRA（TCBRB）は TCDRA（TCDRB）のバッファレジスタとして機能します。

22.6.15　リセット同期 PWM モードのバッファ動作とコンペアマッチ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “0” にしてください。MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）を “1” にすると、MTIOC4C（MTIOC7C）端子の波形出力ができなくなります。

同様に、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “1” にすると、MTIOC4D（MTIOC7D）端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）、MTU3.TMDR1.BFB ビット（MTU6.TMDR1.BFB ビット）の設定に従い動作します。たとえば、MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）を “1” にした場合、MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして機能します。同時に MTU4.TGRC（MTU7.TGRC）は MTU4.TGRA（MTU7.TGRA）のバッファレジスタとして機能します。

MTU3.TGRC（MTU6.TGRC）、MTU3.TGRD（MTU6.TGRD）がバッファレジスタとして動作している場合、TGImn 割り込み（m = C, D、n = 3, 4, 6, 7）は発生しません。

MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）、MTU3.TMDR1.BFB ビット（MTU6.TMDR1.BFB ビット）を “1” にし、MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “0” にした場合の MTU3.TGR（MTU6.TGR）、MTU4.TGR（MTU7.TGR）、MTIOC3（MTIOC6）、MTIOC4（MTIOC7）の動作例を図 22.145 に示します。

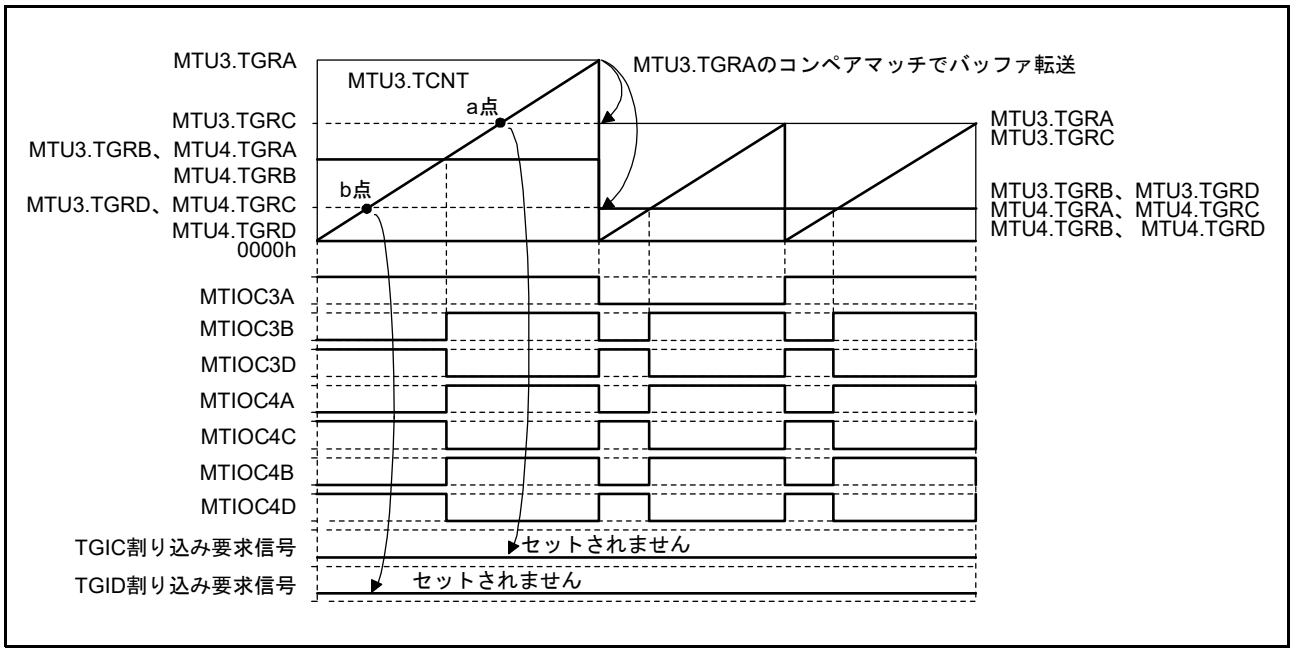


図 22.145　リセット同期 PWM モードのバッファ動作とコンペアマッチ

22.6.16 リセット同期 PWM モードのオーバフロー

リセット同期 PWM モードを設定し、TSTRA（TSTRB）の CST3（CST6）ビットを “1” にすると、MTU3.TCNT と MTU4.TCNT（MTU6.TCNT と MTU7.TCNT）のカウント動作が開始します。このとき、MTU4.TCNT（MTU7.TCNT）のカウントクロックソースとカウントエッジは MTU3.TCR（MTU6.TCR）の設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA（MTU6.TGRA）の設定値を “FFFFh” とし、カウンタクリア要因に MTU3.TGRA（MTU6.TGRA）のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）がアップカウントし “FFFFh” になると、MTU3.TGRA（MTU6.TGRA）とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT, MTU7.TCNT）ともにクリアされます。このとき、TCIVn 割り込み（n = 3, 4, 6, 7）は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA（MTU6.TGRA）の設定値を “FFFFh” とし、カウンタクリア要因に MTU3.TGRA（MTU6.TGRA）のコンペアマッチを指定した場合の動作例を図 22.146 に示します。

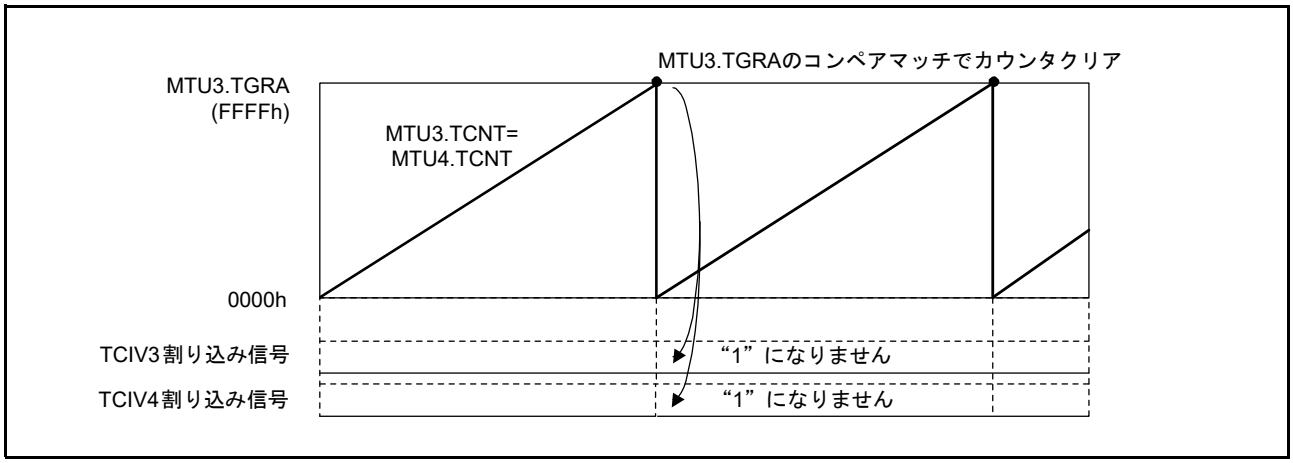


図 22.146 リセット同期 PWM モードのオーバフロー

22.6.17　オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TCIVn 割り込み（n = 0 ～ 4, 6, 7, 9）、TCIUn 割り込み（n = 1, 2）は発生せず、TCNT のクリアが優先されます。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタを “FFFFh” にした場合の動作タイミングを図 22.147 に示します。

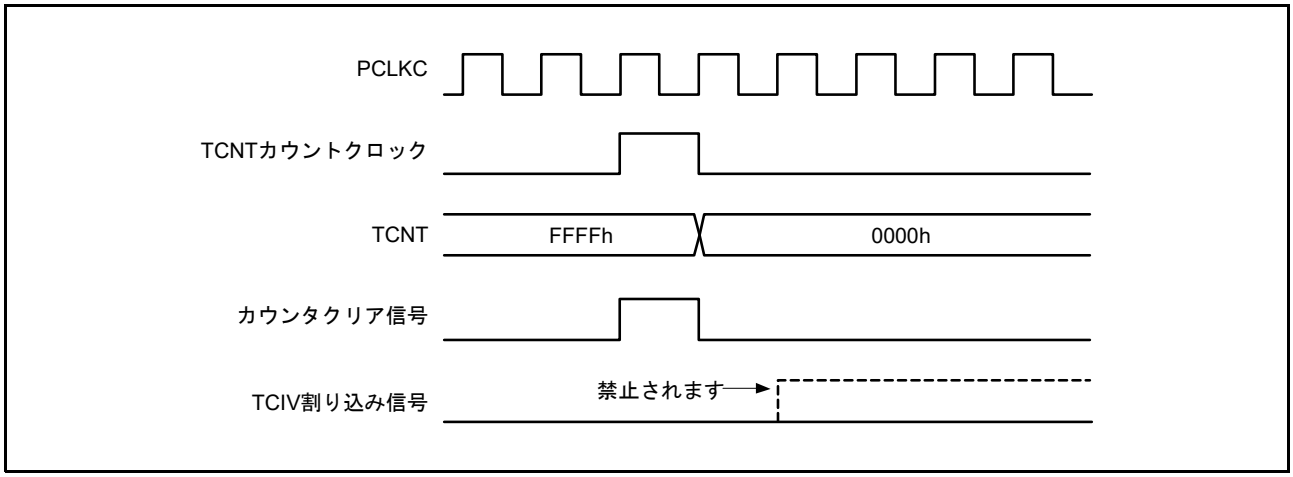


図 22.147　オーバフローとカウンタクリアの競合

22.6.18　TCNT への書き込みとオーバフロー / アンダフローの競合

TCNT の書き込みサイクルで、アップカウント / ダウンカウントが発生し、オーバフロー / アンダフローが発生しても、TCNT への書き込みが優先されます。TCIVn 割り込み（n = 0 ～ 4, 6, 7, 9）、TCIUn 割り込み（n = 1, 2）は発生しません。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 22.148 に示します。

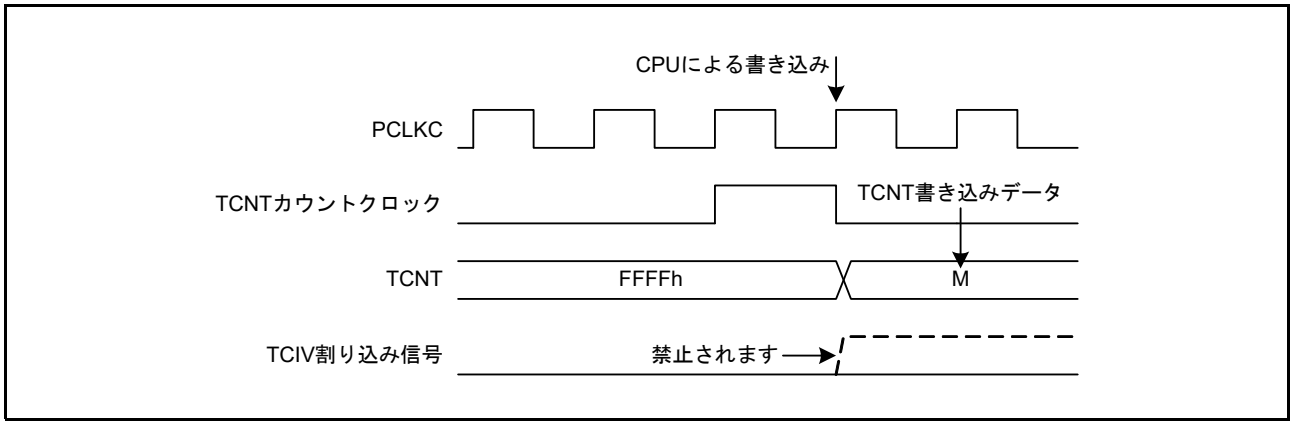


図 22.148　TCNT への書き込みとオーバフローの競合

22.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

MTU3、MTU4（MTU6, MTU7）のノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移させる場合、出力端子（MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D, MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D）を High の状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんので注意してください。

ノーマルモードからリセット同期 PWM モードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL（MTU6.TIORH, MTU6.TIORL, MTU7.TIORH, MTU7.TIORL）レジスタに “11h” を書いて出力端子を Low に初期化した後、レジスタの初期値 “00h” を書いてからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値 “00h” を書いてからリセット同期 PWM モードに遷移してください。

22.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

MTU3、MTU4（MTU6, MTU7）が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルは TOCR1A.OLSP ビット、TOCR1A.OLSN ビット、TOCR1B.OLSP ビット、TOCR1B.OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR レジスタは “00h” にしてください。

相補 PWM モードで TDERA.TDER（TDERB.TDER）ビットを “0”（デッドタイムを生成しない）に設定した場合の逆相の出力レベルは、TOCR1A.OLSN（TOCR1B.OLSN）ビットの設定によらず、TOCR1A.OLSP（TOCR1B.OLSP）ビットの設定による正相出力の反転レベルとなります。

22.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ

タイマカウンタ 1、2（MTU1.TCNT と MTU2.TCNT）をカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A、または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT（上位 16 ビットのカウンタ）が MTU2.TCNT（下位 16 ビットのカウンタ）のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT = FFF1h、MTU2.TCNT = 0000h の値を MTU1.TGRA と MTU2.TGRA、もしくは MTU1.TGRB と MTU2.TGRB に転送すべきところを誤って MTU1.TCNT = FFF0h、MTU2.TCNT = 0000h の値を転送します。

1 本のインプットキャプチャ入力で MTU1.TCNT と MTU2.TCNT を同時にキャプチャできる機能を使用すれば、MTU1.TCNT と MTU2.TCNT のキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は「22.2.11 タイマインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

22.6.22 割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

MTU6、MTU7 の場合は、MTU7.TADCORA、MTU7.TADCORB も同様の設定が必要となります。

(1) 間引き機能 2、間引き回数が “0” の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4 PCLKC 以上（MTU4.TADCORA レジスタの更新値を「前値 + 4 以上」、「前値 – 4 以下」に設定）
- MTU4.TADCORB のコンペア間隔が 4 PCLKC 以上（MTU4.TADCORB レジスタの更新値を「前値 + 4 以上」、「前値 – 4 以下」に設定）

(2) 間引き機能 2、間引き回数が “1” 以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2 PCLKC 以上（MTU4.TADCORB レジスタの更新値を「前値 + 2 以上」、「前値 – 2 以下」に設定）

22.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態が有効となっております。詳細は、「23. ポートアウトプットイネーブル 3 (POE3B)」を参照ください。

22.6.24 タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の注意事項

MTU5.TCNTm（m = U, V, W）のカウント動作を停止した状態で、MTU5.TGRm に MTU5.TCNTm 値 + 1 の値を設定しないでください。MTU5.TCNTm のカウント動作を停止した状態で、MTU5.TGRm に MTU5.TCNTm 値 + 1 の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット（MTU5.TIER.TGIE5m ビット）が “1”（許可）になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが “1”（許可）になっていると、MTU5.TCNTm カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると “0000h” に自動クリアされます。

22.6.25　相補 PWM モード同期クリアするときの異常動作防止の注意事項

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効（TWCRA.WRE ビット = 1、または TWCRB.WRE ビット = 1）である状態で、条件 1、条件 2 のいずれかを満たすと、下記の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる（もしくは消失する）
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1　初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアした場合（図 22.149 参照）

条件 2　初期出力の抑止期間⑩、⑪にて、MTU3.TGRB（MTU6.TGRB）≦ TDDRA（TDDRB）、MTU4.TGRA（MTU7.TGRA）≦ TDDRA（TDDRB）、MTU4.TGRB（MTU7.TGRB）≦ TDDRA（TDDRB）のいずれかが成立する状態で、同期クリアする（図 22.150 参照）

本現象は下記の方法により、回避することができます。

コンペアレジスタ MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）のすべてが、TDDRA レジスタ（TDDRB レジスタ）の 2 倍以上になるように設定した状態で、同期クリアする

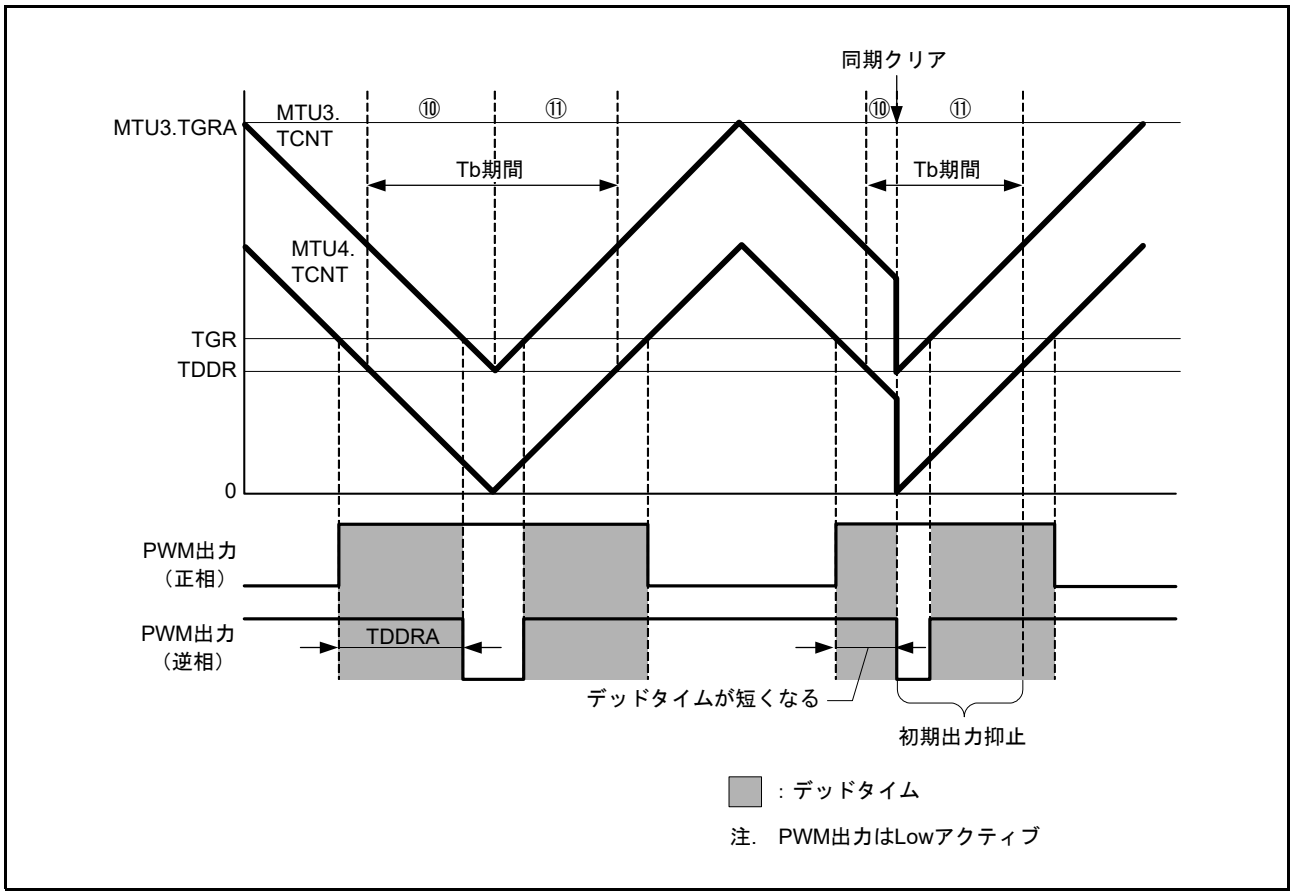


図 22.149　同期クリア例 (条件 1 の場合)

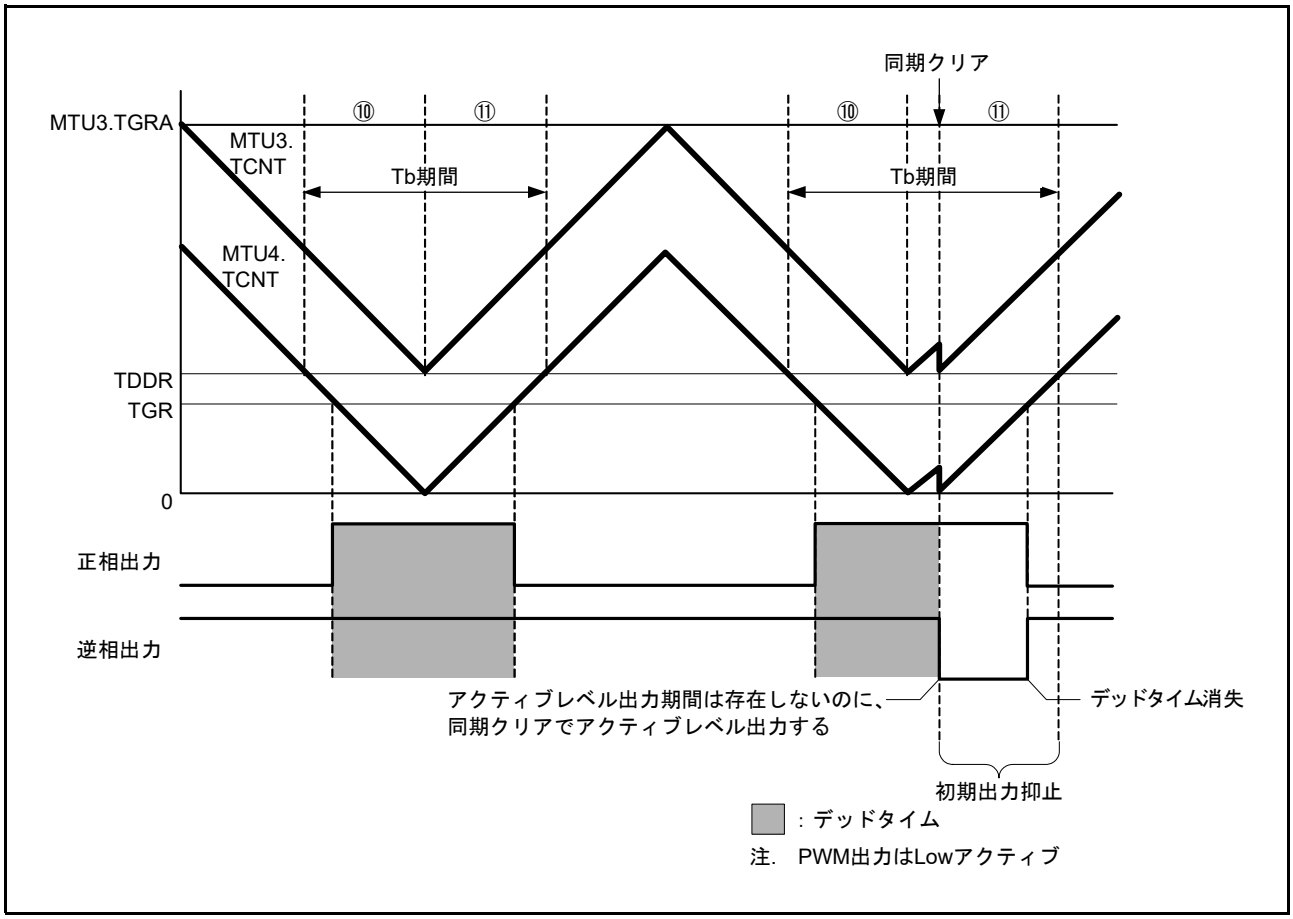


図 22.150 同期クリア例 (条件 2 の場合)

22.6.26 ELC イベント入力の時タイマモードレジスタ設定の注意事項

MTU を ELC のアクション動作に設定する場合は、該当チャネルのタイマモードレジスタ（TMDR）は初期値（00h）に設定してください。

22.6.27 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに “0000h”、カウントクロックを PCLKC/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは “0000h” のままとなり、割り込み信号は 1 サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2 回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

コンペアマッチによる割り込み信号の連続出力タイミングを図 22.151 に示します。

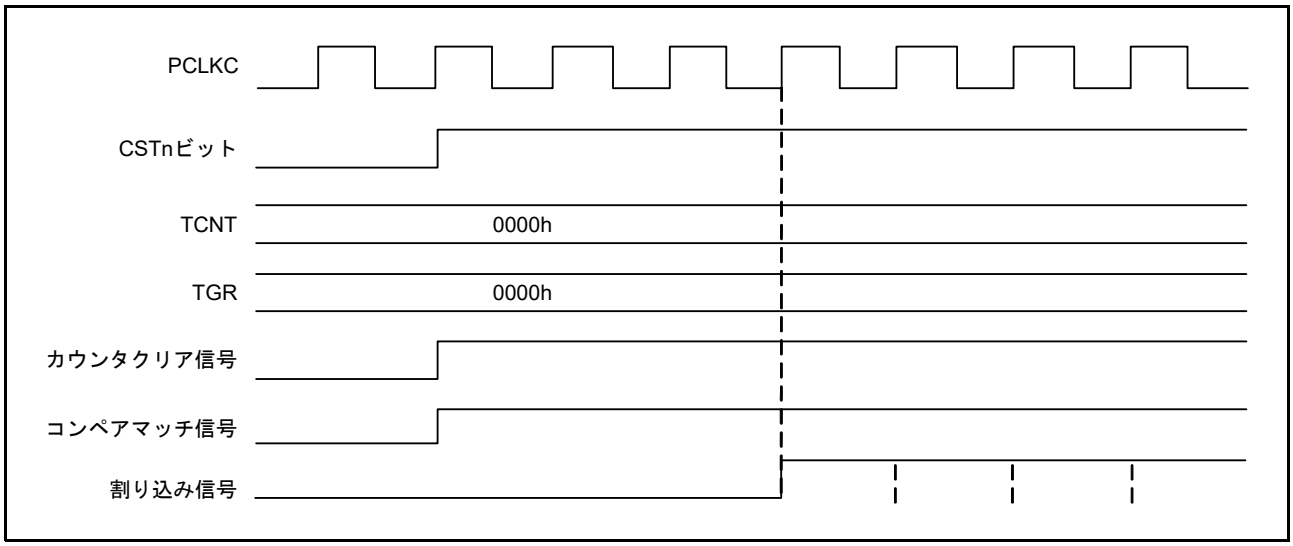
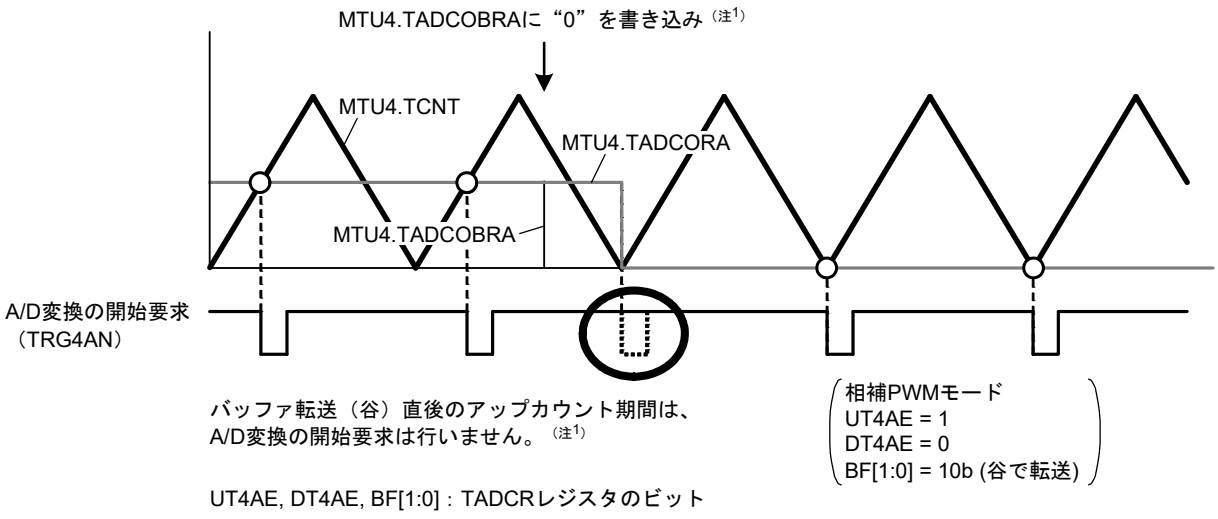


図 22.151 コンペアマッチによる割り込み信号の連続出力

22.6.28 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

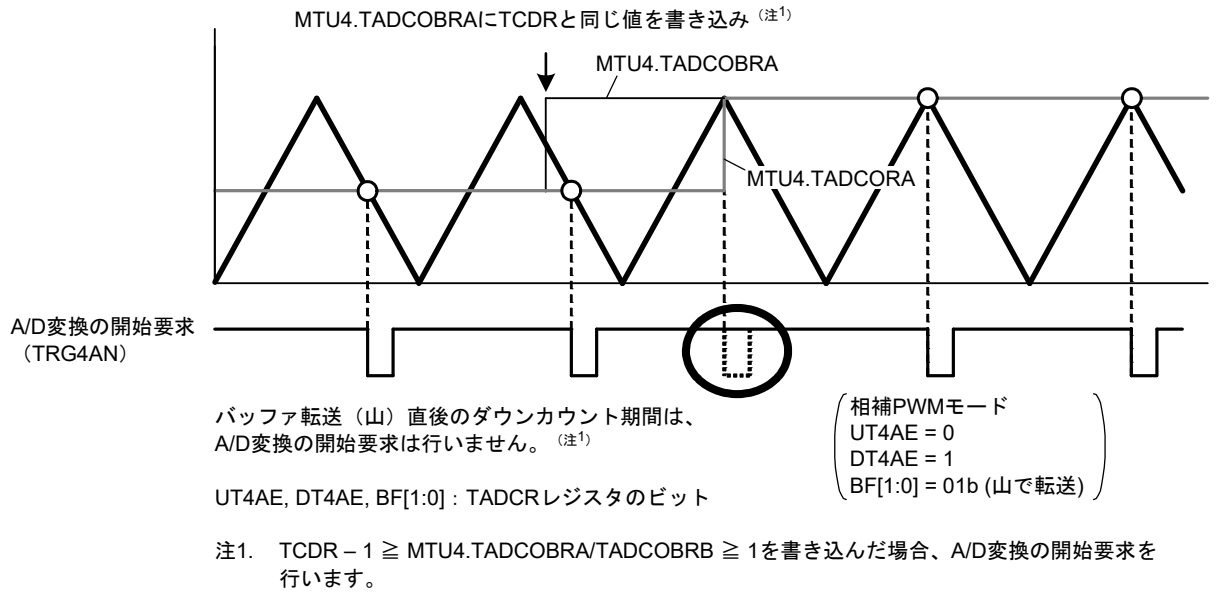
- MTU4.TADCOBRA、MTU4.TADCOBRB（MTU7.TADCOBRA, MTU7.TADCOBRB）レジスタに “0”、かつ、MTU4.TADCR（MTU7.TADCR）レジスタの UT4AE、UT4BE（UT7AE, UT7BE）ビットに “1” を設定して、MTU4.TCNT（MTU7.TCNT）カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません（図 22.152）。
- MTU4.TADCOBRA、MTU4.TADCOBRB（MTU7.TADCOBRA, MTU7.TADCOBRB）レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR（MTU7.TADCR）レジスタの DT4AE、DT4BE（DT7AE, DT7BE）ビットに “1” を設定して、MTU4.TCNT（MTU7.TCNT）カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません（図 22.153）。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、2 ≦ MTUn.TADCORA/TADCORB ≦ TCDR – 2 を満たすように MTU4.TADCORA、MTU4.TADCORB（MTU7.TADCORA, MTU7.TADCORB）レジスタを設定してください（n = 4, 7）。



UT4AE, DT4AE, BF[1:0]：TADCRレジスタのビット

注1.　TCDR – 1 ≧ MTU4.TADCOBRA/TADCOBRB ≧ 1を書き込んだ場合、A/D変換の開始要求を行います。

図 22.152　MTU4.TADCOBRA に “0” を書き込んだときの A/D 変換の開始要求 (MTU4)



UT4AE, DT4AE, BF[1:0]：TADCRレジスタのビット

注1.　TCDR – 1 ≧ MTU4.TADCOBRA/TADCOBRB ≧ 1を書き込んだ場合、A/D変換の開始要求を行います。

図 22.153　MTU4.TADCOBRA に TCDR と同じ値を書き込んだときの A/D 変換の開始要求 (MTU4)

22.7 MTU 出力端子の初期化方法

22.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード（MTU0 ～ MTU4, MTU6, MTU7, MTU9）
- PWM モード 1（MTU0 ～ MTU4, MTU6, MTU7, MTU9）
- PWM モード 2（MTU0 ～ MTU2, MTU9）
- 位相計数モード 1 ～ 5（MTU1, MTU2）
- 相補 PWM モード（MTU3, MTU4, MTU6, MTU7）
- リセット同期 PWM モード（MTU3, MTU4, MTU6, MTU7）

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

22.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力（MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D, MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D）は、TOERA、TOERB レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 3（POE3）を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード移行の組み合わせは 36 通りとなりますがチャネルとモードの組み合わせ上存在しない移行が存在します。この一覧表を表 22.80 に示します。

表 22.80　モード移行の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

Normal：ノーマルモード
PWM1：PWM モード 1
PWM2：PWM モード 2
PCM：位相計数モード 1 ～ 5
CPWM：相補 PWM モード
RPWM：リセット同期 PWM モード

22.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要

- タイマ I/O コントロールレジスタ（TIOR）の設定で端子の出力レベルを選択するモード（Normal, PWM1, PWM2, PCM）に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB/MTIOCnD 端子（n = 3, 4, 6, 7）に波形が出力されません。端子の機能を MTIOCnB/MTIOCnD に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。端子の機能を MTIOCnm 端子（n = 0 ～ 2, 9、m = A ～ D）に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、対応する MTIOCnC/MTIOCnD 端子（n = 0, 3, 4, 6, 7, 9）に波形が出力されません。端子の機能を MTIOCnC/MTIOCnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、対応する MTIOCnC/MTIOCnD 端子（n = 0, 3, 4, 6, 7, 9）に波形が出力されません。端子の機能を MTIOCnC/MTIOCnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- タイマアウトプットコントロールレジスタ（TOCR1A, TOCR2A, TOCR1B, TOCR2B）の設定で端子の出力レベルを選択するモード（CPWM, RPWM）に移行する場合は、タイマアウトプットマスタイネーブルレジスタ（TOERA, TOERB）で MTU3、MTU4（MTU6, MTU7）を 1 度出力禁止にしてください。このとき、端子の機能を MTIOCnm 端子（n = 3, 4, 6, 7、m = A ～ D）に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順（TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定（TOCR1B 設定、TOCR2B 設定、TMDR1 設定、TOERB 設定））に従い動作させてください。

注 .　特に断りがない場合、本項記述中の n にはチャネル番号が入ります。

以下、表 22.80 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.154 に示します。

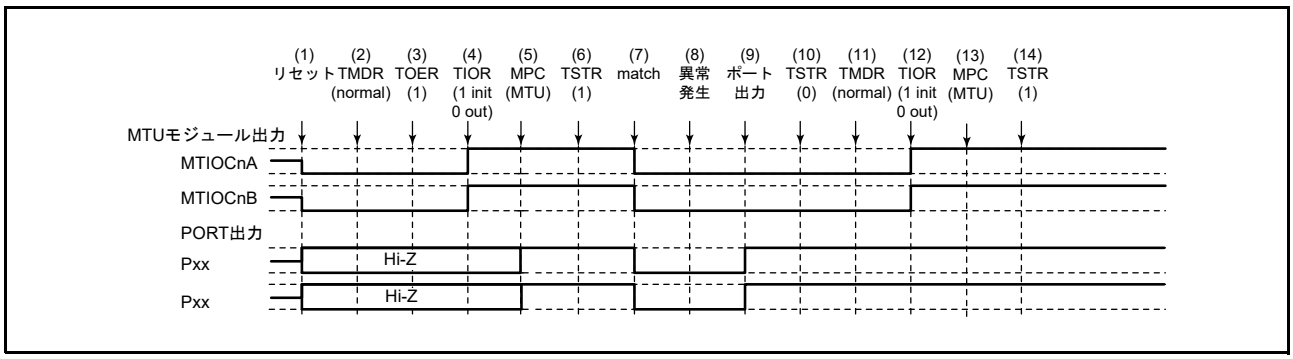


図 22.154 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
(3) MTU3、MTU4（MTU6, MTU7）では TIOR レジスタで端子を初期化する前に TOERA（TOERB）レジスタで出力を許可してください。
(4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により Low を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します。
(11) ノーマルモードで再スタートする場合は必要ありません。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.155 に示します。

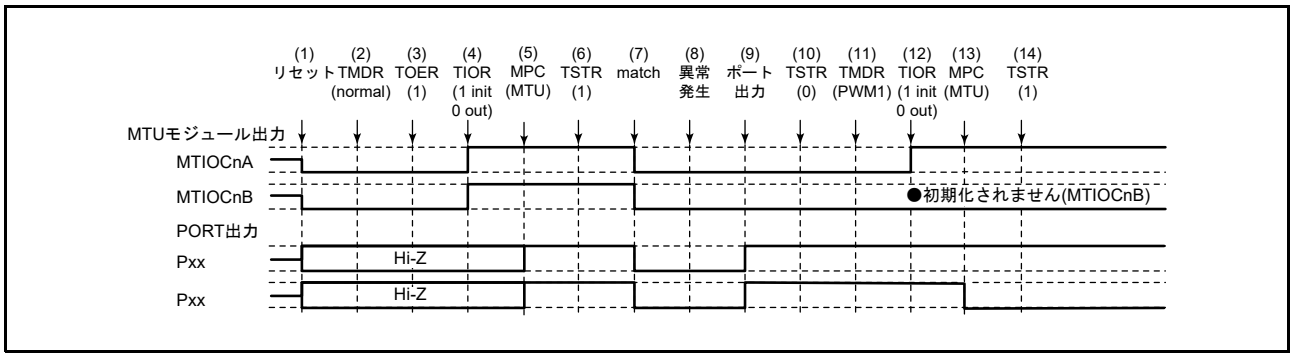


図 22.155 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 22.154 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.156 に示します。

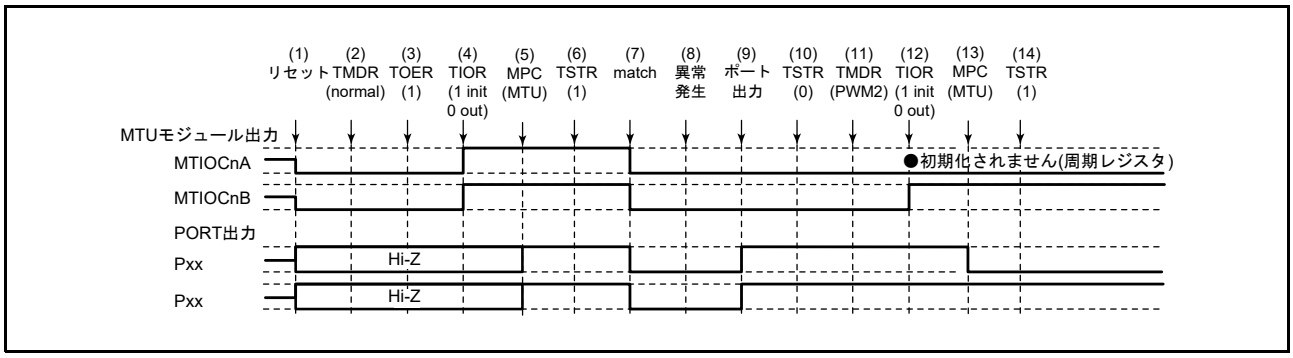


図 22.156 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (10) は図 22.154 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 . PWM モード 2 は MTU0 ～ MTU2、MTU9 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.157 に示します。

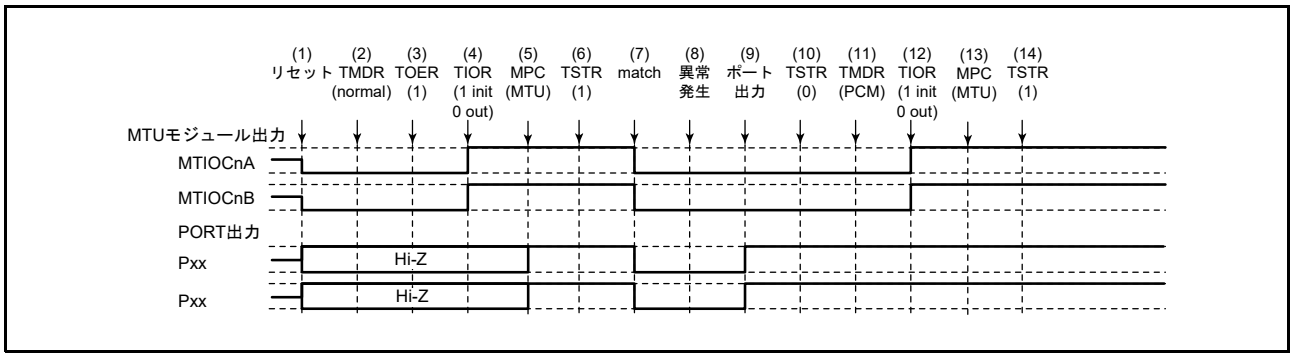


図 22.157 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ～ (10) は図 22.154 と共通です。
(11) 位相計数モードを設定します。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA レジスタで再スタートします。

注 . 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.158 に示します。

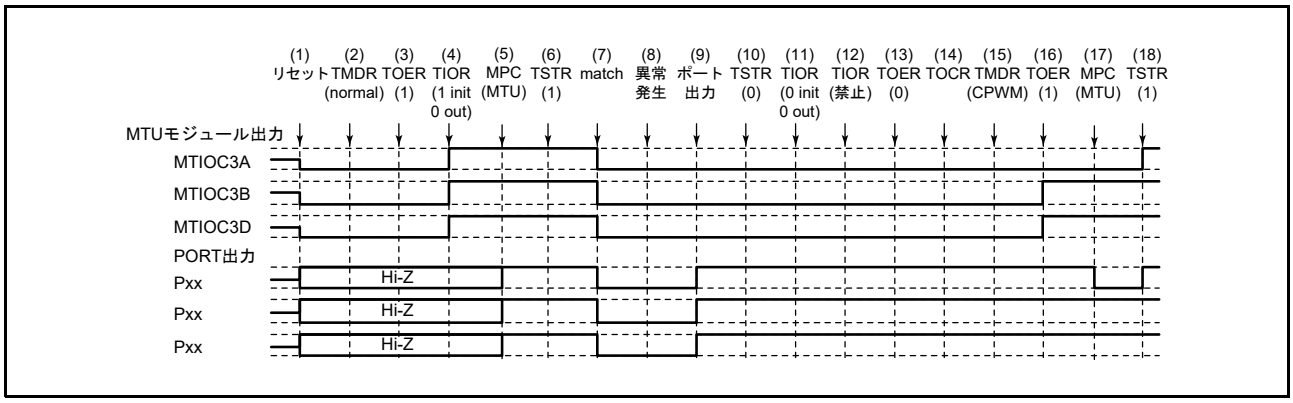


図 22.158 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 22.154 と共通です。

(11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。

(12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。

(13) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(14) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(18) TSTRA（TSTRB）レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を**図 22.159** に示します。

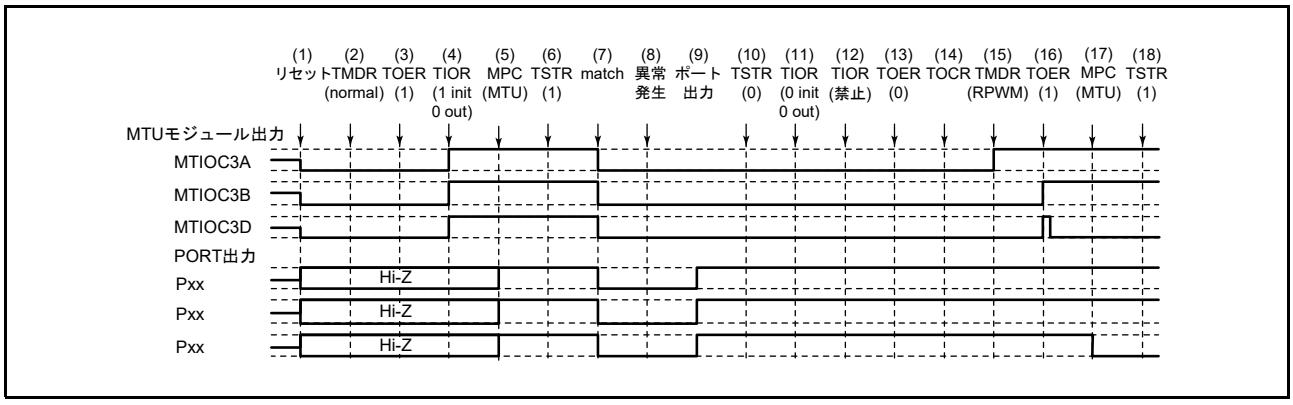


図 22.159 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (13) は**図 22.158** と共通です。

(14) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(18) TSTRA（TSTRB）レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.160 に示します。

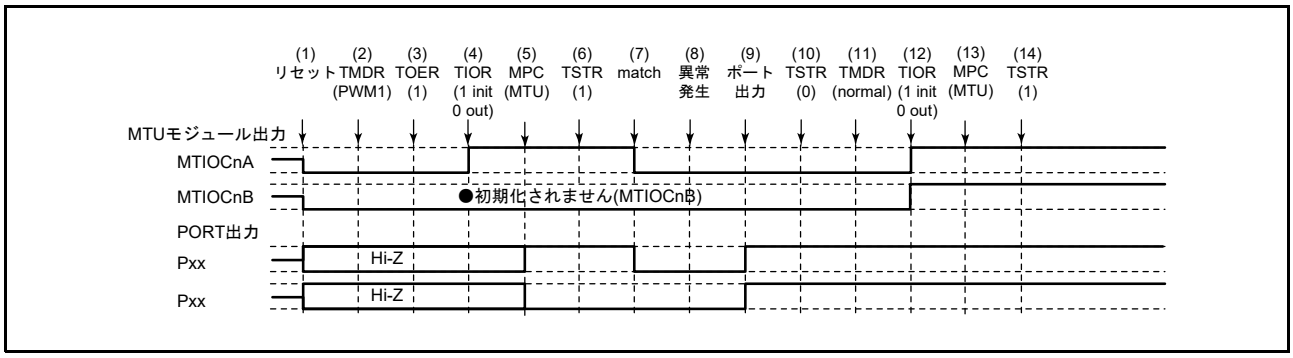


図 22.160 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) PWM モード 1 を設定してください。
(3) MTU3、MTU4（MTU6, MTU7）では TIOR レジスタで端子を初期化する前に TOERA（TOERB）レジスタで出力を許可してください。
(4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません）。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により Low を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します。
(11) ノーマルモードを設定してください。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.161 に示します。

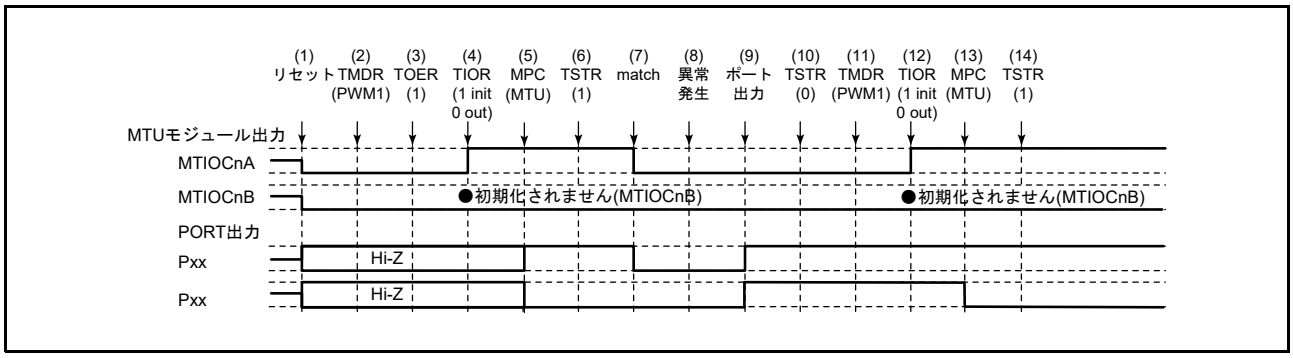


図 22.161 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 22.160 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.162 に示します。

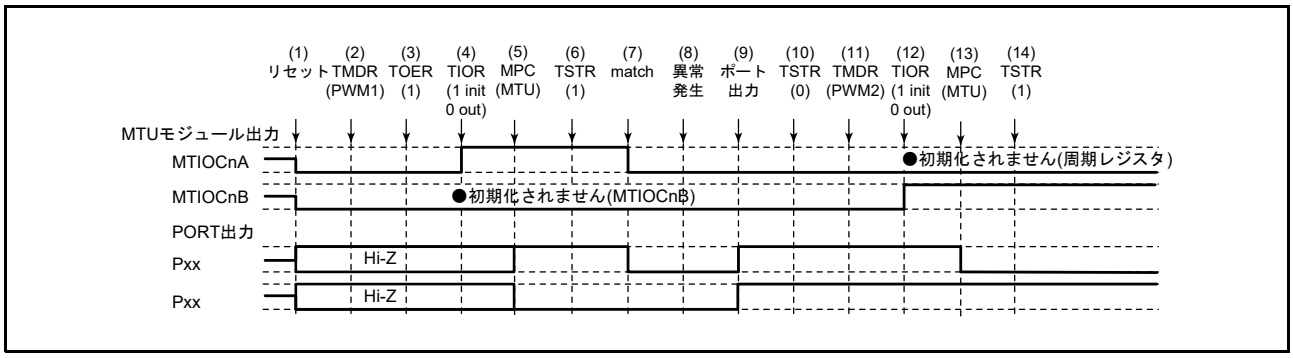


図 22.162 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (10) は図 22.160 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 . PWM モード 2 は MTU0 ～ MTU2、MTU9 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.163 に示します。

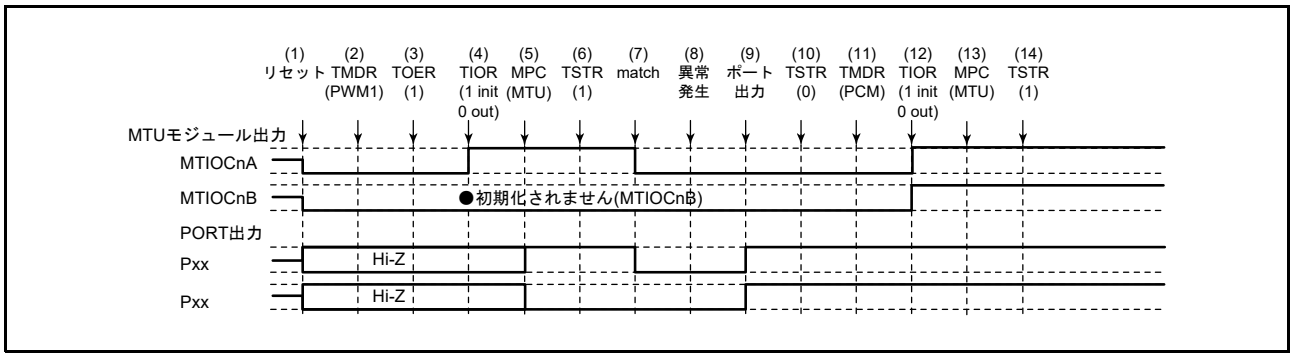


図 22.163 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ～ (10) は図 22.160 と共通です。
(11) 位相計数モードを設定します。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA レジスタで再スタートします。

注 .　位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.164 に示します。

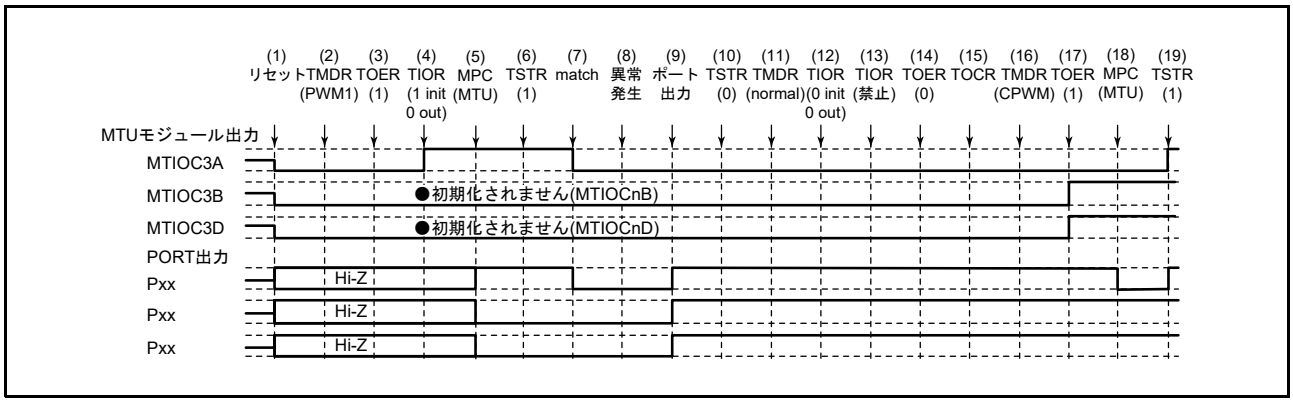


図 22.164 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 22.160 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。

(13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください

(14) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(15) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(19) TSTRA（TSTRB）レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.165 に示します。

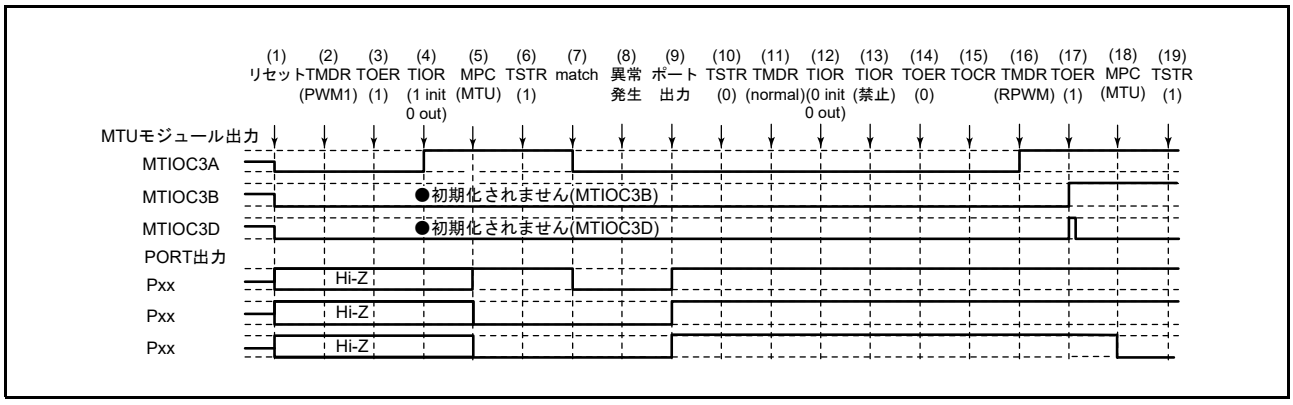


図 22.165 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (14) は図 22.164 と共通です。

(15) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(19) TSTRA（TSTRB）レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.166 に示します。

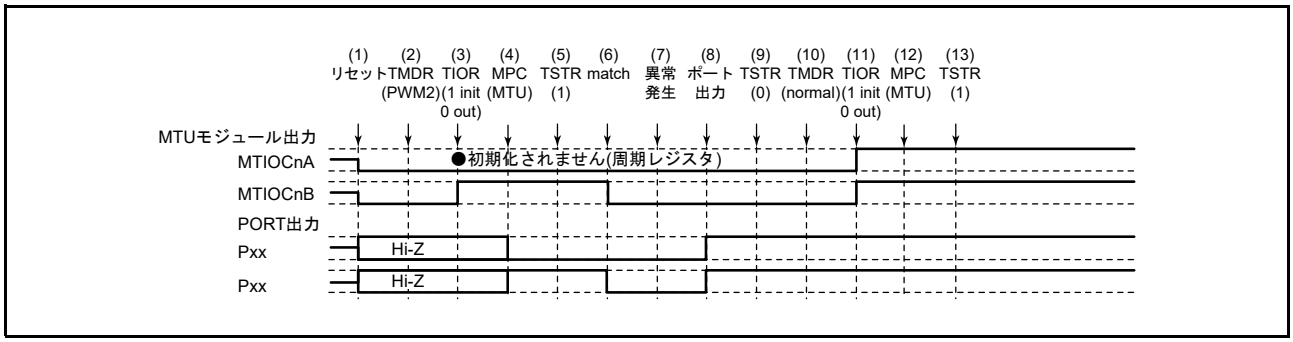


図 22.166 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) PWM モード 2 を設定してください。
(3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子は初期化されません。例は MTUn.TGRA レジスタを周期レジスタに使用した場合です）。
(4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(5) TSTRA レジスタでカウント動作を開始します。
(6) コンペアマッチの発生により Low を出力します。
(7) 異常が発生しました。
(8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(9) TSTRA レジスタでカウント動作を停止します。
(10) ノーマルモードを設定してください。
(11) TIOR レジスタで端子を初期化してください。
(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.167 に示します。

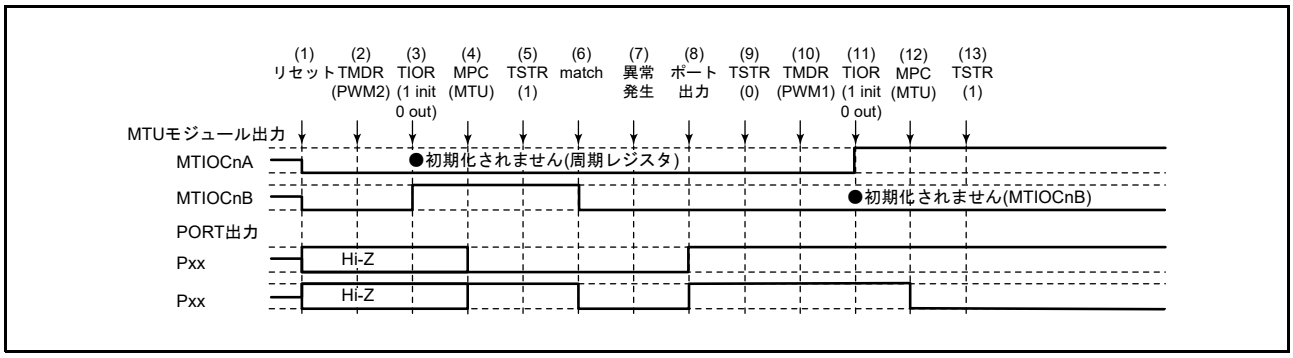


図 22.167 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (9) は図 22.166 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.168 に示します。

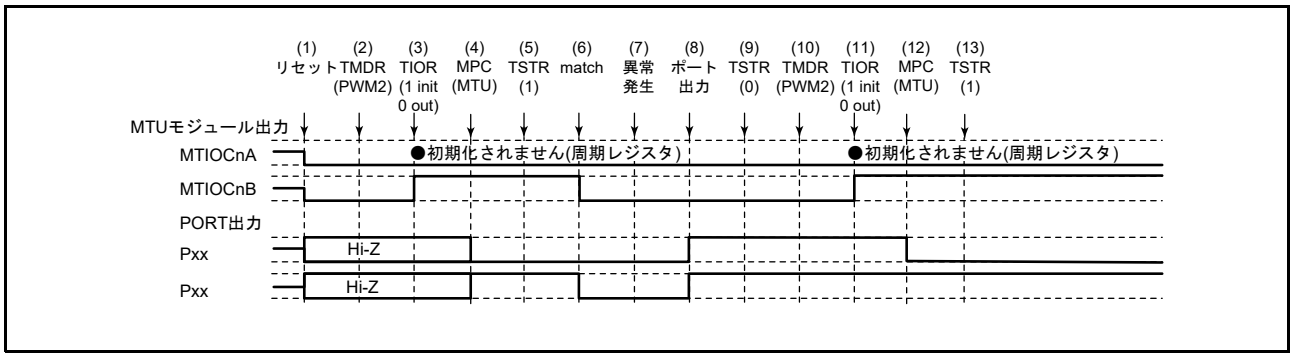


図 22.168 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (9) は図 22.166 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.169 に示します。

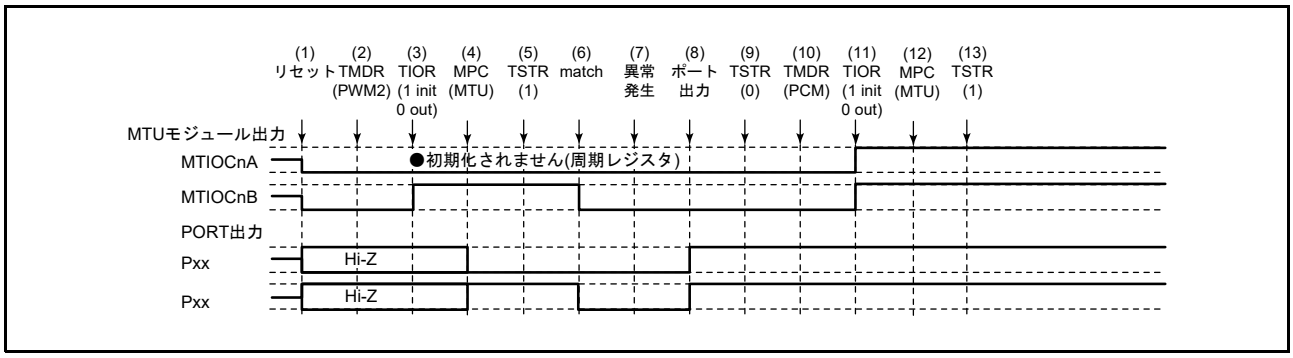


図 22.169 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ～ (9) は図 22.166 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を**図 22.170** に示します。

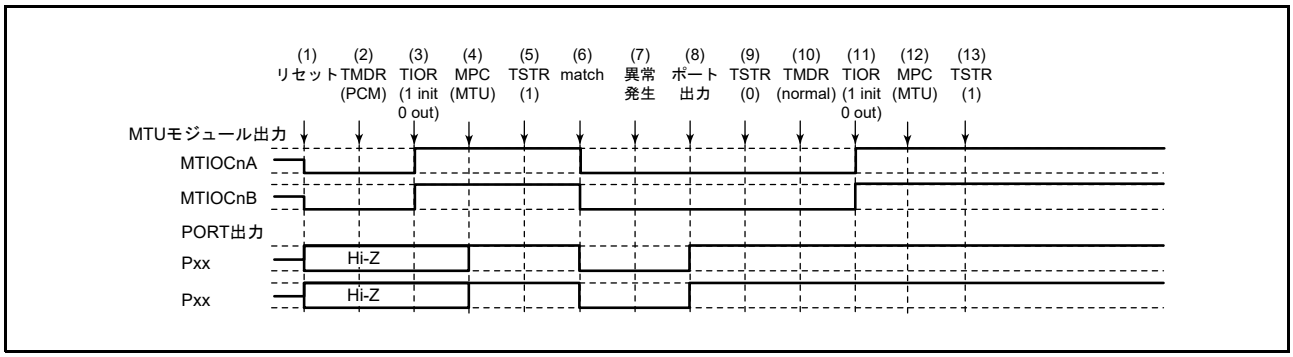


図 22.170 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) 位相計数モードを設定してください。
(3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
(4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(5) TSTRA レジスタでカウント動作を開始します。
(6) コンペアマッチの発生により Low を出力します。
(7) 異常が発生しました。
(8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(9) TSTRA レジスタでカウント動作を停止します。
(10) ノーマルモードで設定してください。
(11) TIOR レジスタで端子を初期化してください。
(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.171 に示します。

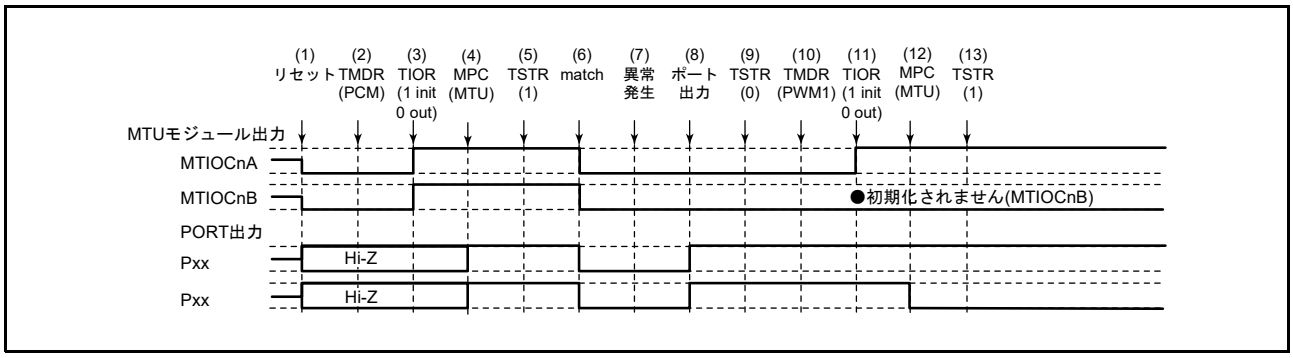


図 22.171　位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (9) は図 22.170 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 22.172 に示します。

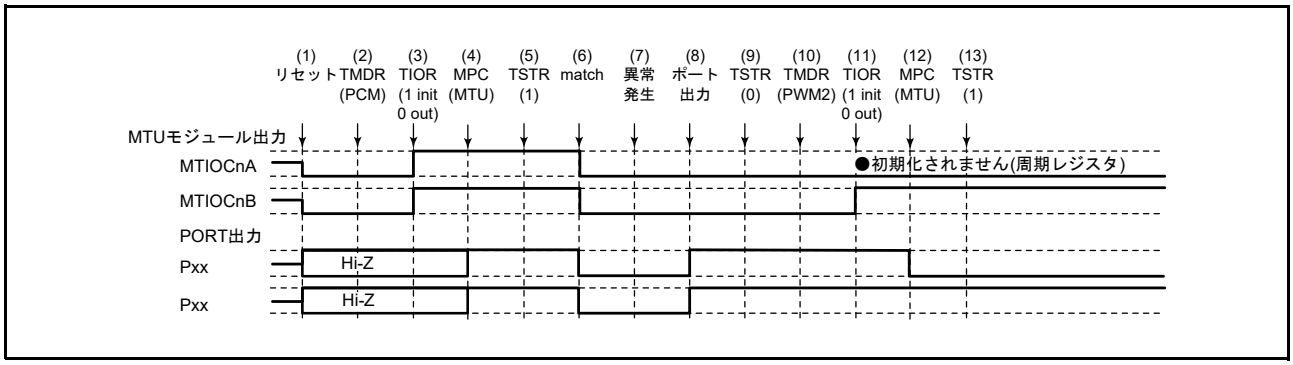


図 22.172　位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (9) は図 22.170 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を**図 22.173** に示します。

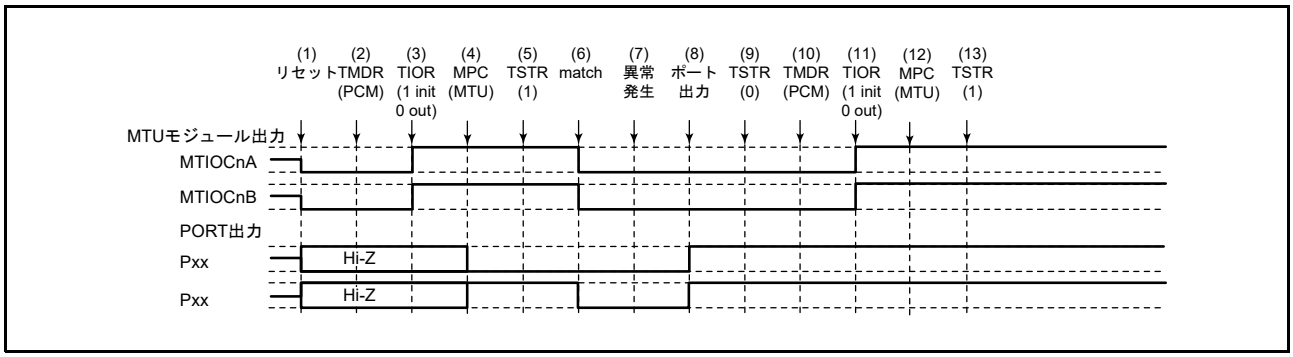


図 22.173　位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ～ (9) は**図 22.170** と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.174 に示します。

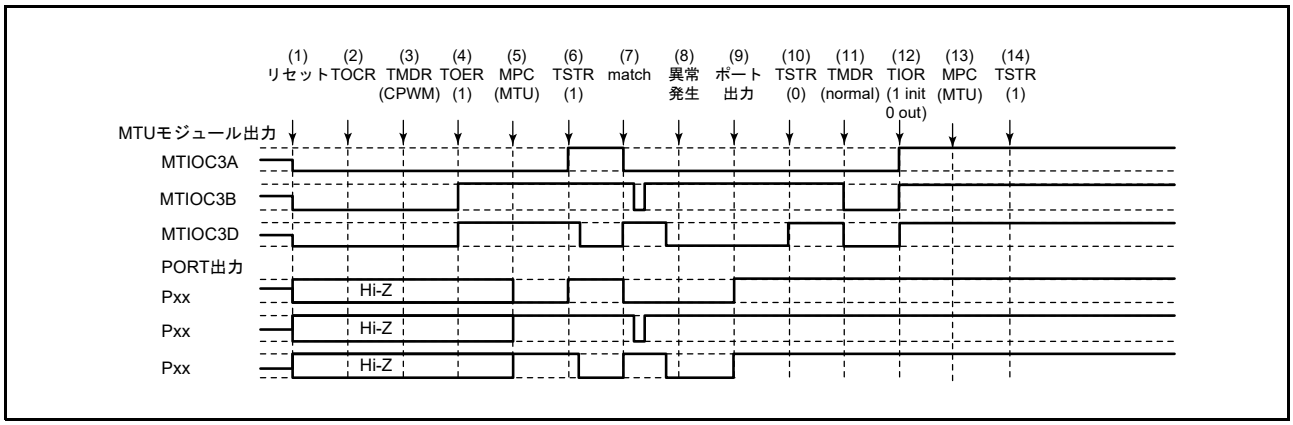


図 22.174 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
(3) 相補 PWM を設定します。
(4) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により相補 PWM 波形を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します（MTU 出力は相補 PWM 出力初期値となります)。
(11) ノーマルモードを設定してください（MTU 出力は Low となります)。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.175 に示します。

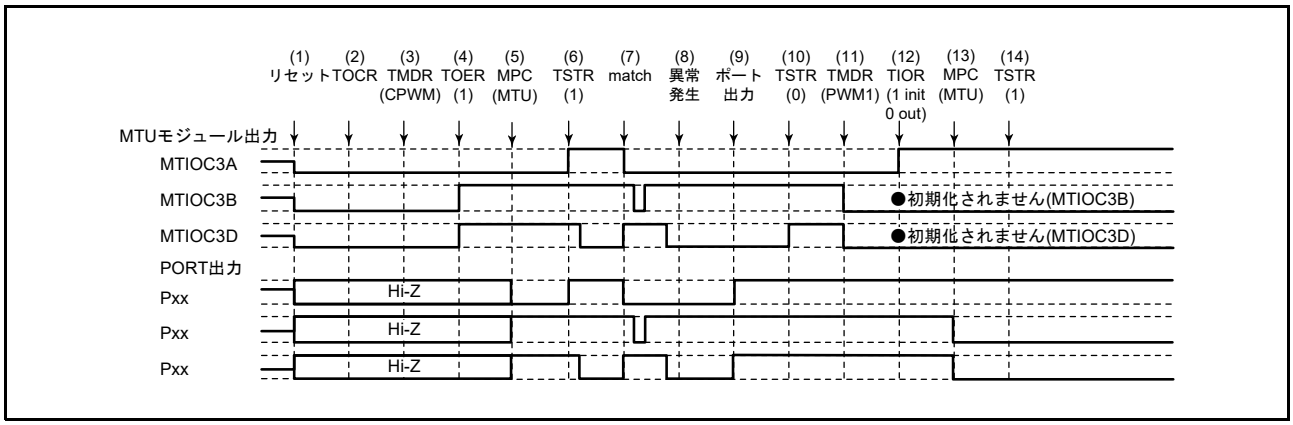


図 22.175 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 22.174 と共通です。

(11) PWM モード 1 を設定してください（MTU 出力は Low となります）。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.176 に示します（周期、デューティ設定をカウンタを止めたときの値から再スタートする場合）。

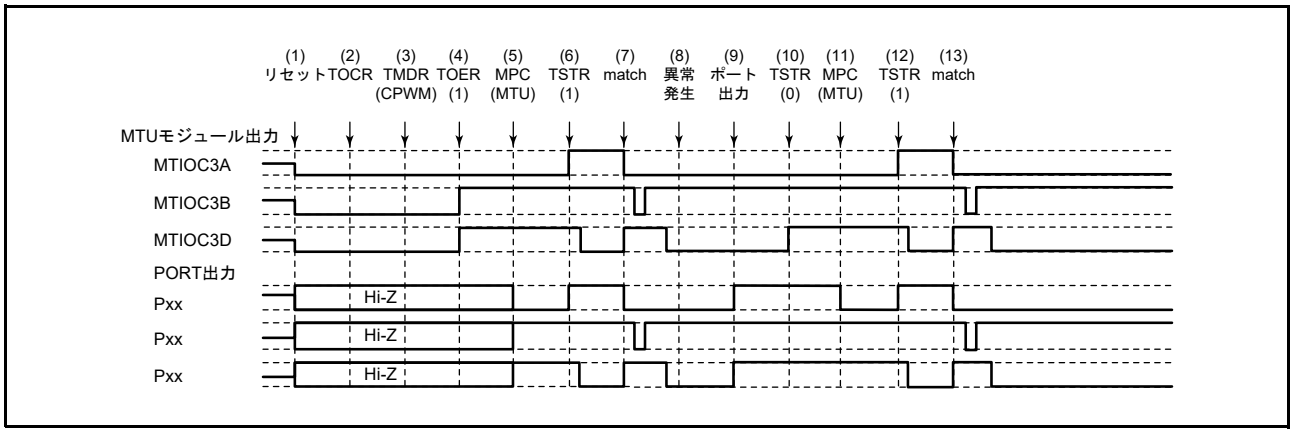


図 22.176　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (1)

(1) ～ (10) は図 22.174 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(12) TSTRA（TSTRB）レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.177 に示します（周期、デューティ比設定を全く新しい設定値で再スタートする場合）。

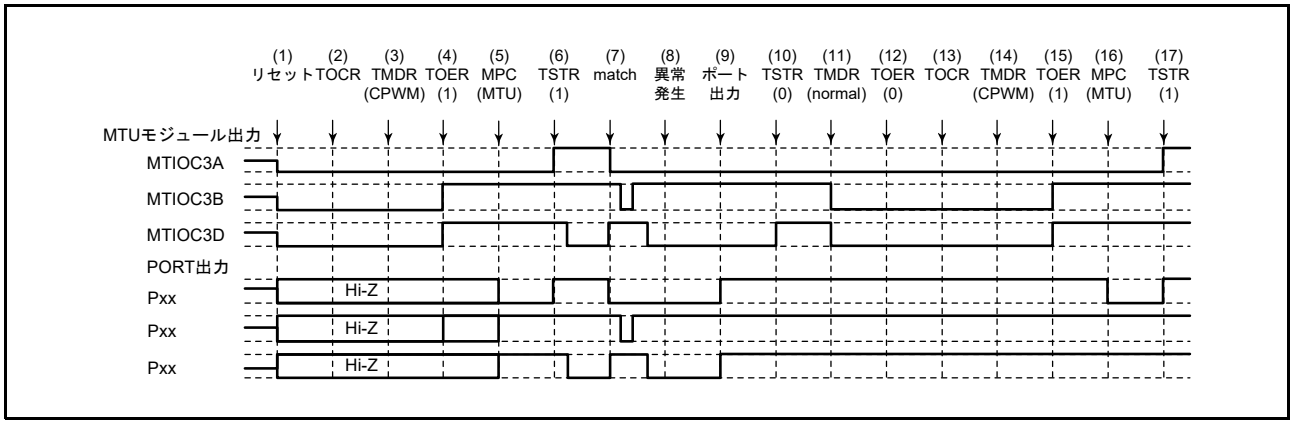


図 22.177　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (2)

(1) ～ (10) は図 22.174 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(12) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(13) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTRA（TSTRB）レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.178 に示します。

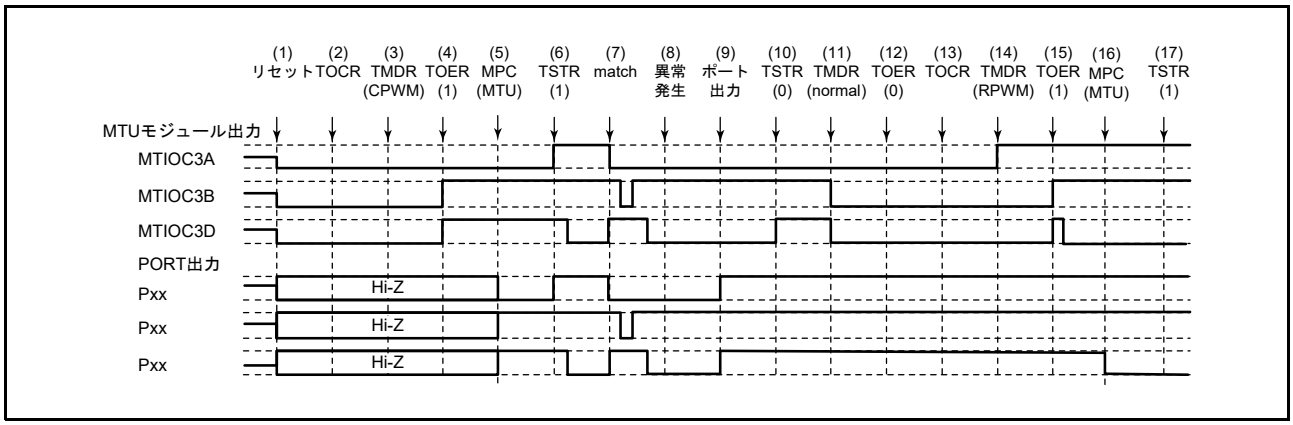


図 22.178　相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (10) は図 22.174 と共通です。

(11) ノーマルモードを設定してください（MTU 出力は Low となります）。

(12) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(13) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTRA（TSTRB）レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を**図 22.179** に示します。

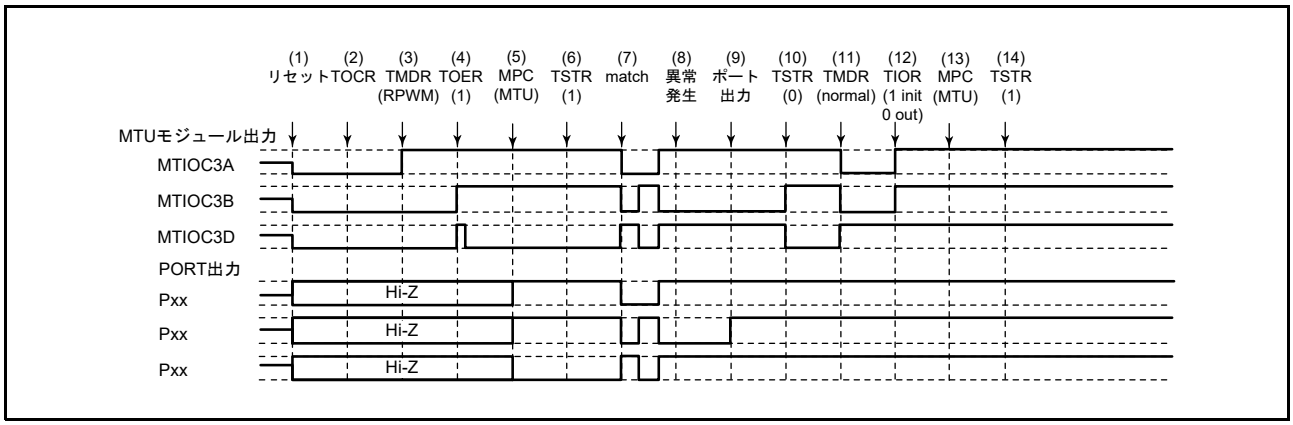


図 22.179　リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
(3) リセット同期 PWM を設定します。
(4) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。
(5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
(8) 異常が発生しました。
(9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します（MTU 出力はリセット同期 PWM 出力初期値となります）。
(11) ノーマルモードを設定してください（MTU 出力は正相側が Low、逆相側が High となります）。
(12) TIOR レジスタで端子を初期化してください。
(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.180 に示します。

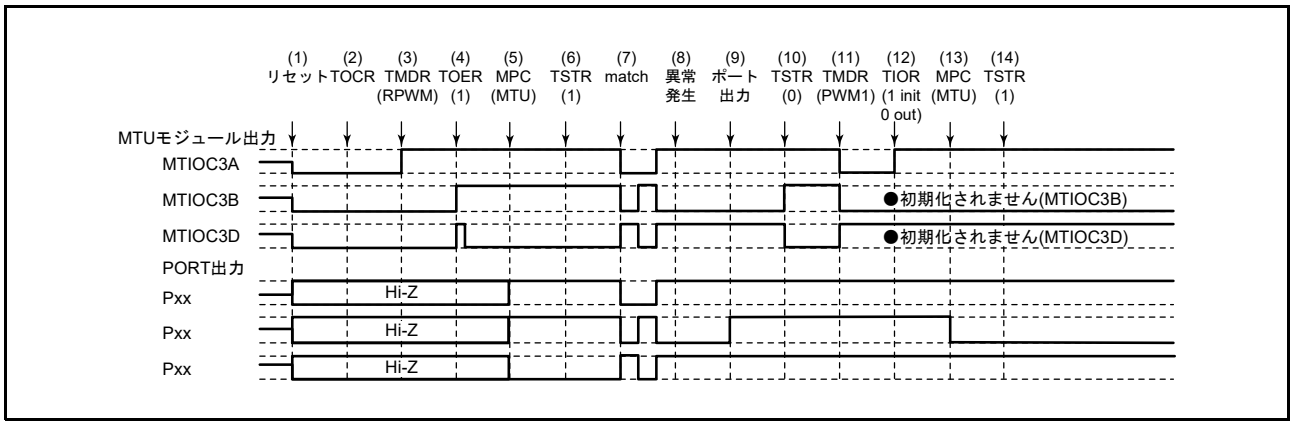


図 22.180　リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 22.179 と共通です。

(11) PWM モード 1 を設定してください（MTU 出力は正相側が Low、逆相側が High となります）。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.181 に示します。

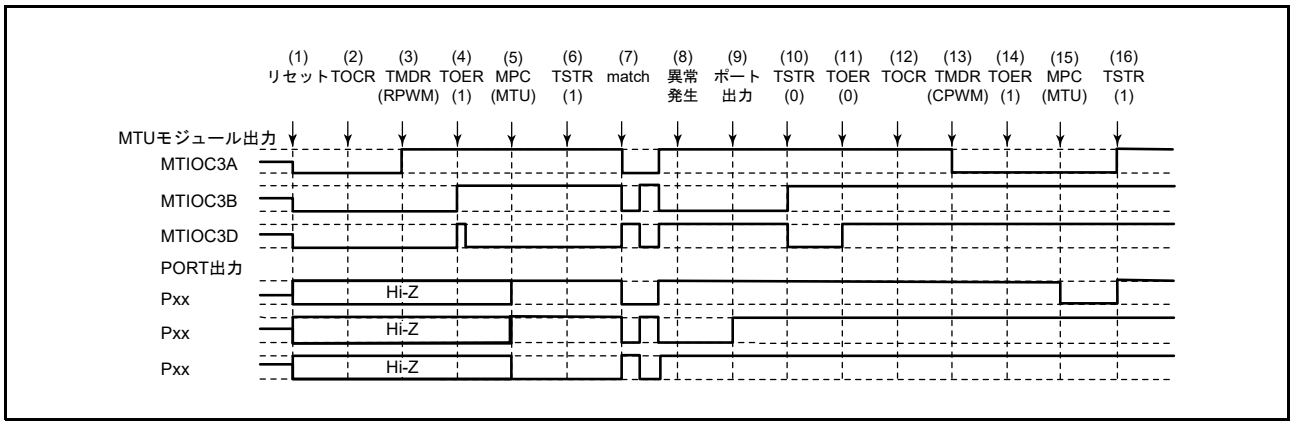


図 22.181　リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 22.179 と共通です。

(11) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(12) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(13) 相補 PWM を設定します（MTU の周期出力端子は Low になります）。

(14) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(15) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(16) TSTRA（TSTRB）レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.182 に示します。

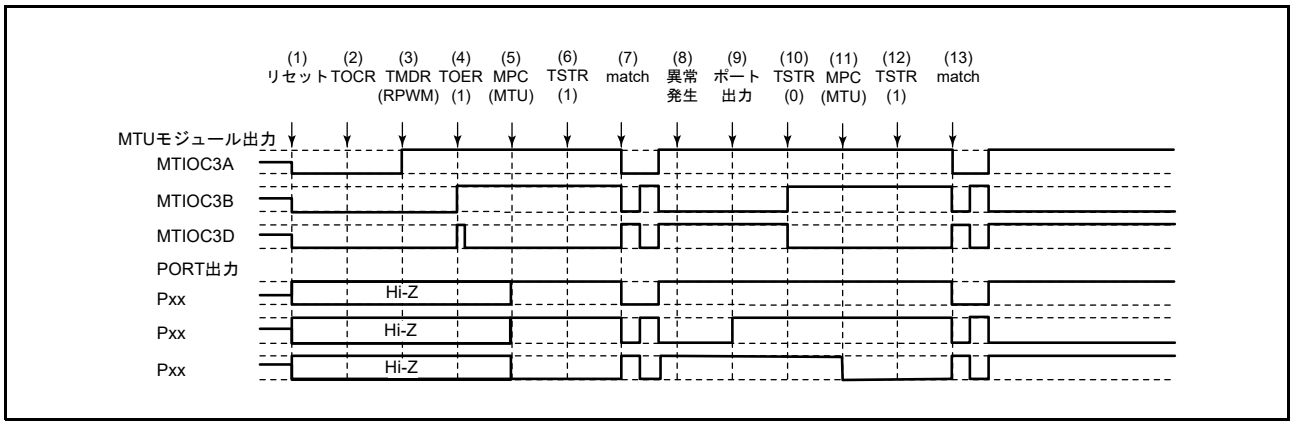


図 22.182　リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (10) は図 22.179 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(12) TSTRA（TSTRB）レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

22.8 ELC によるリンク動作

22.8.1 ELC へのイベント信号出力

MTU はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

22.8.2 ELC からのイベント信号受信によるアクション動作

MTU はイベントリンクコントローラ (ELC) の ELSRn の設定により、あらかじめ設定したイベントによる次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPA、ELOPB、ELOPE レジスタで MTU のカウントスタート動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4、ELOPE レジスタは MTU6、MTU7、MTU9 の動作を制御します。ELSRn レジスタで指定したイベントが発生すると、表 22.81 に示した TSTRA/TSTRB レジスタの CSTn ビットが “1” になり、MTU のカウントがスタートします。

ただし、TSTRA/TSTRB レジスタの CSTn ビットが “1” になっているときに指定したイベントが発生した場合は、そのイベントは無効となります。各チャネルに対して使用する TSTRA/TSTRB レジスタのビットは表 22.81 を参照してください。

表22.81 ELCによってセットされるカウントスタートビット

チャネル番号	カウントスタートビット
MTU0	TSTRA.CST0 ビット
MTU3	TSTRA.CST3 ビット
MTU4	TSTRA.CST4 ビット
MTU6	TSTRB.CST6 ビット
MTU7	TSTRB.CST7 ビット
MTU9	TSTRA.CST9 ビット

(2) インプットキャプチャ動作

ELC の ELOPA、ELOPB、ELOPE レジスタで MTU のインプットキャプチャ動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4、ELOPE レジスタは MTU6、MTU7、MTU9 の動作を制御します。ELSRn レジスタで指定したイベントが発生すると、TCNT の値が TGR レジスタにキャプチャされます。イベントリンクによるインプットキャプチャ動作を使用する場合は、MTU の TIOR レジスタのビットをインプットキャプチャに設定し、TSTRA/TSTRB レジスタの CSTn ビットを “1” にしてカウンタをスタートさせてください。

このとき TIOCnA 端子 (インプットキャプチャ端子) の入力は無効となります。

各チャネルに対して使用するタイマジェネラルレジスタ、I/O コントロールビットは表 22.82 を参照してください。

表22.82　ELCのインプットキャプチャ動作で使用するレジスタ、ビット

チャネル番号	タイマジェネラルレジスタ	I/Oコントロールビット
MTU0	MTU0.TGRA	MTU0.TIORH.IOA[3:0]ビット
MTU3	MTU3.TGRA	MTU3.TIORH.IOA[3:0]ビット
MTU4	MTU4.TGRA	MTU4.TIORH.IOA[3:0]ビット
MTU6	MTU6.TGRA	MTU6.TIORH.IOA[3:0]ビット
MTU7	MTU7.TGRA	MTU7.TIORH.IOA[3:0]ビット
MTU9	MTU9.TGRA	MTU9.TIORH.IOA[3:0]ビット

(3)　カウントリスタート (カウンタクリア) 動作

ELC の ELOPA、ELOPB、ELOPE レジスタで MTU のカウントリスタート動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4、ELOPE レジスタは MTU6、MTU7、MTU9 の動作を制御します。ELSRn レジスタで指定したイベントが発生すると、TCNT がクリアされます。このとき TSTRA/TSTRB レジスタの CSTn ビットが “1” になっていればカウント動作を継続することができます。対応する TSTRA/TSTRB レジスタの CSTn ビットは表 22.81 を参照してください。

22.8.3　ELC からのイベント信号受信による動作に関する注意事項

MTU をイベントリンクによる動作で使用するときは、以下のことに注意してください。

(1)　カウントスタート動作

TSTRA/TSTRB レジスタの CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TSTRA/TSTRB レジスタの CSTn ビットへの書き込みサイクルは行われず、イベント発生による “1” 設定が優先されます。

(2)　カウントリスタート (カウンタクリア) 動作

TCNT へのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT への書き込みサイクルは行われず、イベント発生によるカウンタのクリアが優先されます。

また、MTU3、MTU4、MTU6、MTU7 の相補 PWM モードを使用する場合、ELC によるカウントリスタート動作は使用しないでください。

23. ポートアウトプットイネーブル 3 (POE3B)

本 MCU は、各種条件で MTU や GPTW の出力を停止させることができるポートアウトプットイネーブル 3 (POE3B) を搭載しています。出力停止時の端子の状態をハイインピーダンスまたは汎用入出力ポートのいずれかから選択できます。

なお、本章に記載している PCLK とは PCLKB を指します。

23.1 概要

表 23.1 に POE の仕様、図 23.1 に POE 周辺のシステムブロック図、図 23.2 に POE のブロック図を示します。

表23.1　POEの仕様 (1/2)

<table>
<tr><th>項目</th><th>内容</th></tr>
<tr><td>出力停止時の端子の状態</td><td>• ハイインピーダンス
• 汎用入出力ポート</td></tr>
<tr><td>出力停止制御対象端子</td><td>• MTUの出力端子
MTU0端子(MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D)
MTU3端子(MTIOC3B, MTIOC3D)
MTU4端子(MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D)
MTU6端子(MTIOC6B, MTIOC6D)
MTU7端子(MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D)
MTU9端子(MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D)
• GPTWの出力端子
GPTW0端子(GTIOC0A, GTIOC0B)
GPTW1端子(GTIOC1A, GTIOC1B)
GPTW2端子(GTIOC2A, GTIOC2B)
GPTW3端子(GTIOC3A, GTIOC3B)
GPTW4端子(GTIOC4A, GTIOC4B)
GPTW5端子(GTIOC5A, GTIOC5B)
GPTW6端子(GTIOC6A, GTIOC6B)
GPTW7端子(GTIOC7A, GTIOC7B)
GPTW8端子(GTIOC8A, GTIOC8B)
GPTW9端子(GTIOC9A, GTIOC9B)</td></tr>
<tr><td>出力停止要求発生条件</td><td>• 入力端子の変化
POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#、POE13#、POE14#端子に信号が入力されたとき
• 出力信号の短絡
以下の組み合わせの出力信号レベル(アクティブレベル)が1サイクル以上一致(短絡)したとき
<table>
<tr><th></th><th>MTU 相補 PWM 出力信号</th></tr>
<tr><td>1</td><td>MTIOC3B と MTIOC3D</td></tr>
<tr><td>2</td><td>MTIOC4A と MTIOC4C</td></tr>
<tr><td>3</td><td>MTIOC4B と MTIOC4D</td></tr>
<tr><td>4</td><td>MTIOC6B と MTIOC6D</td></tr>
<tr><td>5</td><td>MTIOC7A と MTIOC7C</td></tr>
<tr><td>6</td><td>MTIOC7B と MTIOC7D</td></tr>
</table>
<table>
<tr><th></th><th>GPTW 相補 PWM 出力信号</th></tr>
<tr><td>1</td><td>GTIOC0A と GTIOC0B</td></tr>
<tr><td>2</td><td>GTIOC1A と GTIOC1B</td></tr>
<tr><td>3</td><td>GTIOC2A と GTIOC2B</td></tr>
<tr><td>4</td><td>GTIOC4A と GTIOC4B</td></tr>
<tr><td>5</td><td>GTIOC5A と GTIOC5B</td></tr>
<tr><td>6</td><td>GTIOC6A と GTIOC6B</td></tr>
<tr><td>7</td><td>GTIOC7A と GTIOC7B</td></tr>
<tr><td>8</td><td>GTIOC8A と GTIOC8B</td></tr>
<tr><td>9</td><td>GTIOC9A と GTIOC9B</td></tr>
</table>
• SPOERレジスタを設定したとき
• メインクロック発生回路の発振停止を検出したとき
• コンパレータC (CMPC)の出力を検出したとき</td></tr>
</table>

表23.1　POEの仕様 (2/2)

項目	内容
機能	• POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#、POE13#、POE14#端子のそれぞれに立ち下がりエッジ検出またはLowレベル検出の設定が可能です。Lowレベル検出の場合、サンプリングクロックはPCLK/1、PCLK/2、PCLK/4、PCLK/8、PCLK/16、PCLK/128から、サンプリング回数は4回、8回、16回から選択できます • POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#、POE13#、POE14#端子への入力の立ち下がりエッジ検出、またはLowレベル検出によって、すべての制御対象端子の出力を停止できます • クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力を停止できます • MTU相補PWM出力信号のレベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU相補PWM出力端子の出力を停止できます • GPTW相補PWM出力信号(GPTW0～GPTW2、GPTW4～GPTW6、GPTW7～GPTW9)の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、GPTW出力端子の出力を停止できます • コンパレータC (CMPC)出力の検出によって、すべての制御対象端子の出力を停止できます • POEのレジスタの設定により、すべての制御対象端子の出力を停止できます • 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です

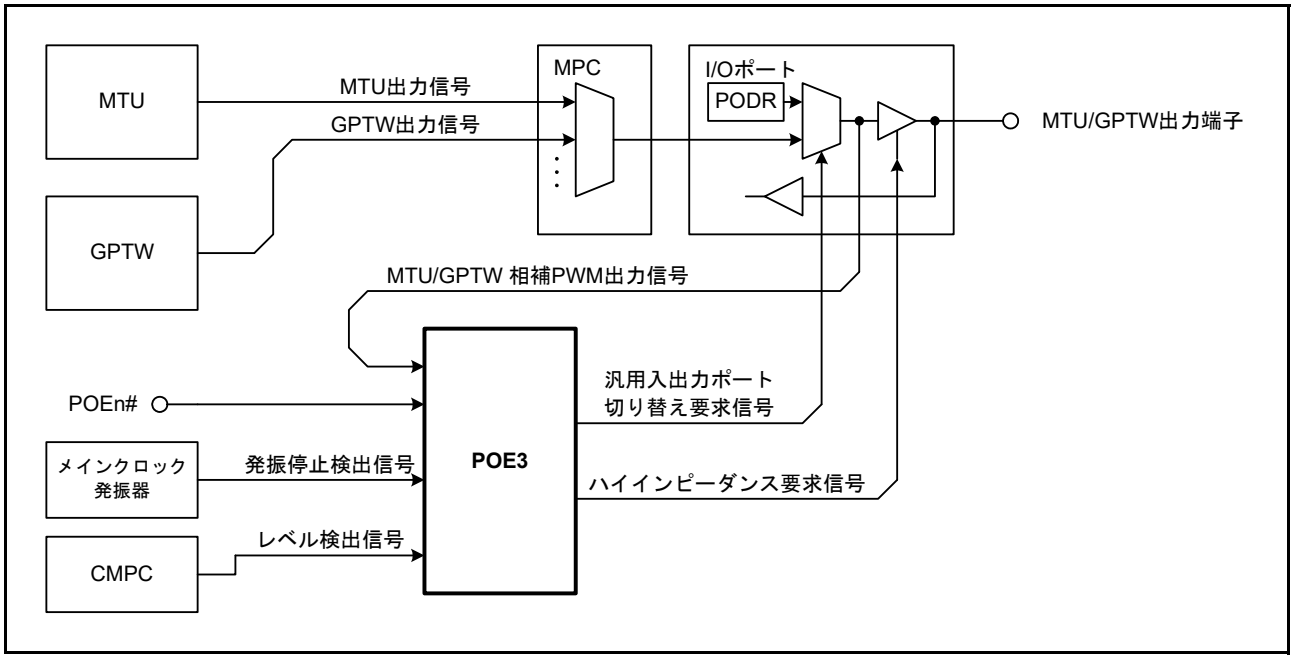


図23.1　POE システムブロック図

POE は図 23.2 のブロック図に示すように、入力レベル検出回路、端子選択回路、出力レベル比較回路、およびハイインピーダンス要求 / ポート切り替え要求 / 割り込み要求生成回路から構成されます。

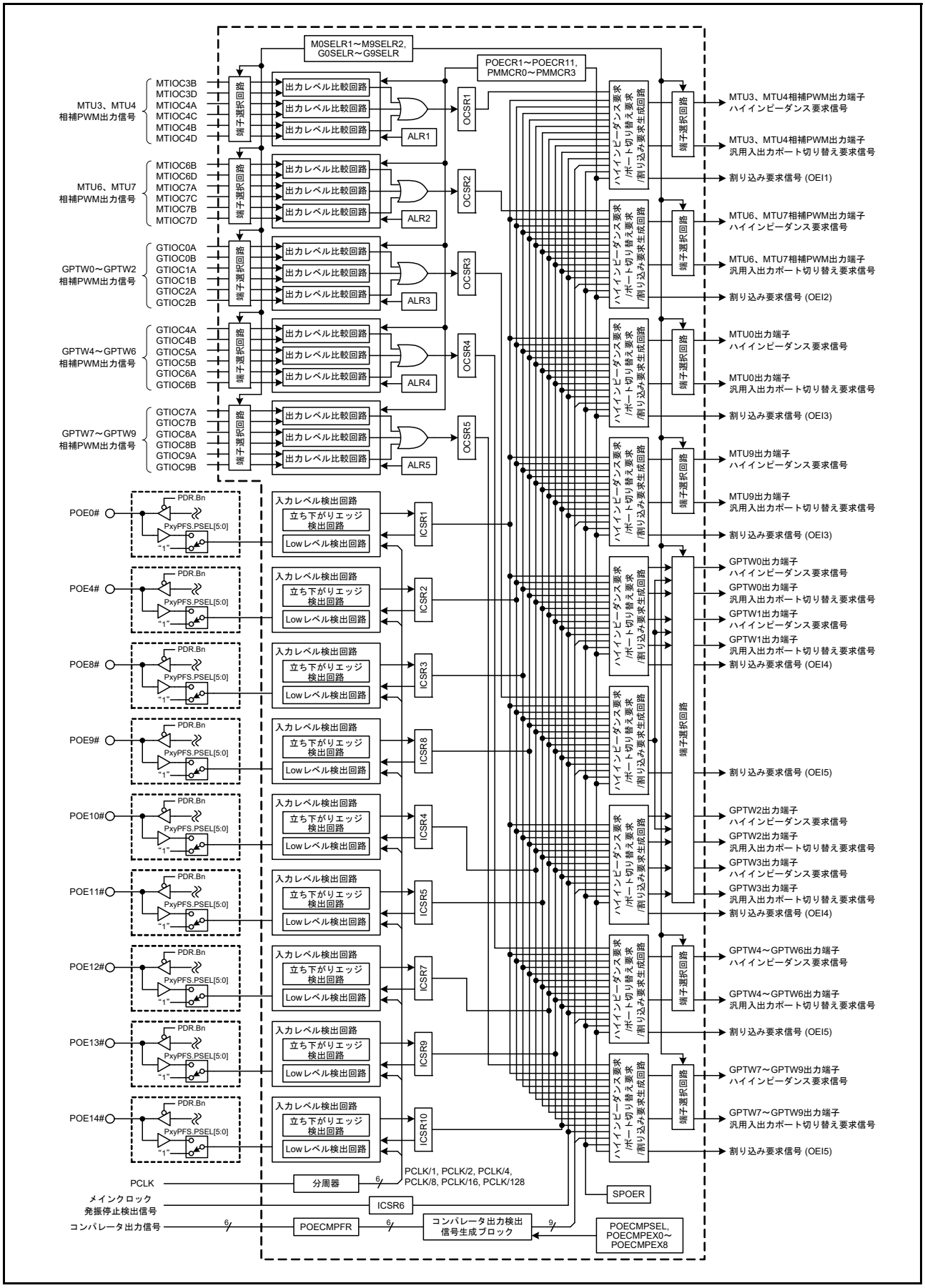


図 23.2 POE のブロック図

表 23.2 に POE で使用する入出力端子を示します。

表23.2　POEの入出力端子

端子名	入出力	機能
POE0#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はMTU相補PWM出力端子(MTU3、MTU4端子)の出力を停止する要求信号としてアサインされています
POE4#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はMTU相補PWM出力端子(MTU6、MTU7端子)の出力を停止する要求信号としてアサインされています
POE8#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はMTU0端子の出力を停止する要求信号としてアサインされています
POE9#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はMTU9端子の出力を停止する要求信号としてアサインされています
POE10#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW0、GPTW1の端子の出力を停止する要求信号としてアサインされています
POE11#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW2、GPTW3の端子の出力を停止する要求信号としてアサインされています
POE12#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW0～GPTW2端子の出力を停止する要求信号としてアサインされています
POE13#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW4～GPTW6の端子の出力を停止する要求信号としてアサインされています
POE14#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW7～GPTW9の端子の出力を停止する要求信号としてアサインされています

表 23.3 に示す信号の組み合わせで出力レベルの比較を行います。

表23.3　出力信号の組み合わせ

信号の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	周辺モジュールクロック(PCLK) 1サイクル以上同時にアクティブレベル出力(ALR1.OLSENビットが“0”かつMTU.TOCR1A.TOCSビットが“0”のときに、MTU.TOCR1A.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR1.OLSENビットが“0”かつMTU.TOCR1A.TOCSビットが“1”のときに、MTU.TOCR2A.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR1.OLSENビットが“1”のときに、ALR1.OLSG0A、OLSG0B、OLSG1A、OLSG1B、OLSG2A、OLSG2Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU3、MTU4端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	
MTIOC6BとMTIOC6D	出力	周辺モジュールクロック(PCLK) 1サイクル以上同時にアクティブレベル出力(ALR2.OLSENビットが“0”かつMTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR2.OLSENビットが“0”かつMTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR2.OLSENビットが“1”のときに、ALR2.OLSG4A、OLSG4B、OLSG5A、OLSG5B、OLSG6A、OLSG6Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6、MTU7端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
MTIOC7AとMTIOC7C	出力	
MTIOC7BとMTIOC7D	出力	
GTIOC0AとGTIOC0B	出力	周辺モジュールクロック(PCLK) 1サイクル以上同時にアクティブレベル出力(ALR3.OLSG0A、OLSG0B、OLSG1A、OLSG1B、OLSG2A、OLSG2Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、GPTW出力端子(GPTW0～GPTW2端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
GTIOC1AとGTIOC1B	出力	
GTIOC2AとGTIOC2B	出力	
GTIOC4AとGTIOC4B	出力	周辺モジュールクロック(PCLK) 1サイクル以上同時にアクティブレベル出力(ALR4.OLSG0A、OLSG0B、OLSG1A、OLSG1B、OLSG2A、OLSG2Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、GPTW出力端子(GPTW4～GPTW6端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
GTIOC5AとGTIOC5B	出力	
GTIOC6AとGTIOC6B	出力	
GTIOC7AとGTIOC7B	出力	周辺モジュールクロック(PCLK) 1サイクル以上同時にアクティブレベル出力(ALR5.OLSG0A、OLSG0B、OLSG1A、OLSG1B、OLSG2A、OLSG2Bビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、GPTW出力端子(GPTW7～GPTW9端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
GTIOC8AとGTIOC8B	出力	
GTIOC9AとGTIOC9B	出力	

23.2 レジスタの説明

POE のレジスタは、リセットで初期化されます。

23.2.1 入力レベルコントロール / ステータスレジスタ 1 (ICSR1)

アドレス POE.ICSR1 0009 E400h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE0F	—	—	—	PIE1	POE0M2[3:0]				POE0M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE0M[3:0]	POE0モード選択ビット	b3 b0 0000：POE0#端子入力の立ち下がりエッジで要求を受け付け 0001：POE0#端子からの入力をPCLK/8でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0010：POE0#端子からの入力をPCLK/16でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0011：POE0#端子からの入力をPCLK/128でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0100：POE0#端子からの入力をPCLKでサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0101：POE0#端子からの入力をPCLK/2でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0110：POE0#端子からの入力をPCLK/4でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE0M2[3:0]	POE0サンプリング回数選択ビット	b7 b4 0000：16回 0001：4回 0010：8回 上記以外は設定しないでください	R/W (注1)
b8	PIE1	ポート割り込み許可ビット1	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0：POE0#端子に出力停止要求なし 1：POE0#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR1 レジスタは、POE0# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE0M[3:0] ビット (POE0 モード選択ビット)

POE0# 端子の入力検出方法を選択します。立ち下がりエッジ検出、または Low レベル検出が選択できます。Low レベル検出の場合はサンプリング間隔の設定ができます。

POE0M2[3:0] ビット (POE0 サンプリング回数選択ビット)

Low レベル検出を選択した場合のサンプリング回数を指定します。

立ち下がりエッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE1 ビット (ポート割り込み許可ビット 1)

POE0F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子に出力停止要求が入力されたことを示すフラグです。

［“1” になる条件］

- POE0# 端子に POE0M[3:0] ビット、POE0M2[3:0] ビットで設定した入力が発生したとき

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき
  POE0M[3:0] ビットでLowレベル検出を設定している場合、“0”を書くには、POE0#端子にHighを入力する必要があります。詳細は、「23.3.9 出力停止状態の解除」を参照してください。

23.2.2 入力レベルコントロール / ステータスレジスタ 2 (ICSR2)

アドレス POE.ICSR2 0009 E404h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE4F	—	—	—	PIE2	POE4M2[3:0]				POE4M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE4M[3:0]	POE4モード選択ビット	b3 b0 0 0 0 0 : POE4#端子入力の立ち下がりエッジで要求を受け付け 0 0 0 1 : POE4#端子からの入力をPCLK/8でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0 : POE4#端子からの入力をPCLK/16でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1 : POE4#端子からの入力をPCLK/128でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0 : POE4#端子からの入力をPCLKでサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1 : POE4#端子からの入力をPCLK/2でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0 : POE4#端子からの入力をPCLK/4でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE4M2[3:0]	POE4サンプリング回数選択ビット	b7 b4 0 0 0 0 : 16回 0 0 0 1 : 4回 0 0 1 0 : 8回 上記以外は設定しないでください	R/W (注1)
b8	PIE2	ポート割り込み許可ビット2	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE4F	POE4フラグ	0 : POE4#端子に出力停止要求なし 1 : POE4#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR2 レジスタは、POE4# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE4M[3:0] ビット (POE4 モード選択ビット)

POE4# 端子の入力検出方法を選択します。立ち下がりエッジ検出、または Low レベル検出が選択できます。Low レベル検出の場合はサンプリング間隔の設定ができます。

POE4M2[3:0] ビット (POE4 サンプリング回数選択ビット)

Low レベル検出を選択した場合のサンプリング回数を指定します。

立ち下がりエッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE2 ビット (ポート割り込み許可ビット 2)

POE4F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE4F フラグ (POE4 フラグ)

POE4# 端子に出力停止要求が入力されたことを示すフラグです。

［“1” になる条件］

- POE4# 端子に POE4M[3:0] ビット、POE4M2[3:0] ビットで設定した入力が発生したとき

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき
  POE4M[3:0] ビットでLowレベル検出を設定している場合、“0”を書くには、POE4#端子にHighを入力する必要があります。詳細は、「23.3.9　**出力停止状態の解除**」を参照してください。

23.2.3 入力レベルコントロール / ステータスレジスタ 3 (ICSR3)

アドレス POE.ICSR3 0009 E408h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE8F	—	—	POE8E	PIE3	POE8M2[3:0]				POE8M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE8M[3:0]	POE8モード選択ビット	b3 b0 0000：POE8#端子入力の立ち下がりエッジで要求を受け付け 0001：POE8#端子からの入力をPCLK/8でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0010：POE8#端子からの入力をPCLK/16でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0011：POE8#端子からの入力をPCLK/128でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0100：POE8#端子からの入力をPCLKでサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0101：POE8#端子からの入力をPCLK/2でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0110：POE8#端子からの入力をPCLK/4でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE8M2[3:0]	POE8サンプリング回数選択ビット	b7 b4 0000：16回 0001：4回 0010：8回 上記以外は設定しないでください	R/W (注1)
b8	PIE3	ポート割り込み許可ビット3	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE8E	POE8出力停止許可ビット	0：POE8#信号により端子の出力を停止しない 1：POE8#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0：POE8#端子に出力停止要求なし 1：POE8#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE8M[3:0] ビット (POE8 モード選択ビット)

POE8# 端子の入力検出方法を選択します。立ち下がりエッジ検出、または Low レベル検出が選択できます。Low レベル検出の場合はサンプリング間隔の設定ができます。

POE8M2[3:0] ビット (POE8 サンプリング回数選択ビット)

Low レベル検出を選択した場合のサンプリング回数を指定します。

立ち下がりエッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE3 ビット (ポート割り込み許可ビット 3)

POE8F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 出力停止許可ビット)

POE8F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子に出力停止要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE8# 端子に POE8M[3:0] ビット、POE8M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE8M[3:0] ビットでLowレベル検出を設定している場合、“0”を書くには、POE8#端子にHighを入力する必要があります。詳細は、「23.3.9 出力停止状態の解除」を参照してください。

23.2.4 入力レベルコントロール / ステータスレジスタ 4 (ICSR4)

アドレス POE.ICSR4 0009 E416h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE10F	—	—	POE10E	PIE4	POE10M2[3:0]				POE10M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE10M[3:0]	POE10モード選択ビット	b3 b0 0000：POE10#端子入力の立ち下がりエッジで要求を受け付け 0001：POE10#端子からの入力をPCLK/8でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0010：POE10#端子からの入力をPCLK/16でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0011：POE10#端子からの入力をPCLK/128でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0100：POE10#端子からの入力をPCLKでサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0101：POE10#端子からの入力をPCLK/2でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0110：POE10#端子からの入力をPCLK/4でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE10M2[3:0]	POE10サンプリング回数選択ビット	b7 b4 0000：16回 0001：4回 0010：8回 上記以外は設定しないでください	R/W (注1)
b8	PIE4	ポート割り込み許可ビット4	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE10E	POE10出力停止許可ビット	0：POE10#信号により端子の出力を停止しない 1：POE10#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE10F	POE10フラグ	0：POE10#端子に出力停止要求なし 1：POE10#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE10M[3:0] ビット (POE10 モード選択ビット)

POE10# 端子の入力検出方法を選択します。立ち下がりエッジ検出、または Low レベル検出が選択できます。Low レベル検出の場合はサンプリング間隔の設定ができます。

POE10M2[3:0] ビット (POE10 サンプリング回数選択ビット)

Low レベル検出を選択した場合のサンプリング回数を指定します。

立ち下がりエッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE4 ビット (ポート割り込み許可ビット 4)

POE10F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット (POE10 出力停止許可ビット)

POE10F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE10F フラグ (POE10 フラグ)

POE10# 端子に出力停止要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE10# 端子に POE10M[3:0] ビット、POE10M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE10M[3:0] ビットでLow レベル検出を設定している場合、“0”を書くには、POE10#端子にHighを入力する必要があります。詳細は、「23.3.9 出力停止状態の解除」を参照してください。

23.2.5 入力レベルコントロール / ステータスレジスタ 5 (ICSR5)

アドレス POE.ICSR5 0009 E418h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE11F	—	—	POE11E	PIE5	POE11M2[3:0]				POE11M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE11M[3:0]	POE11モード選択ビット	b3 b0 0000：POE11#端子入力の立ち下がりエッジで要求を受け付け 0001：POE11#端子からの入力をPCLK/8でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0010：POE11#端子からの入力をPCLK/16でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0011：POE11#端子からの入力をPCLK/128でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0100：POE11#端子からの入力をPCLKでサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0101：POE11#端子からの入力をPCLK/2でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0110：POE11#端子からの入力をPCLK/4でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE11M2[3:0]	POE11サンプリング回数選択ビット	b7 b4 0000：16回 0001：4回 0010：8回 上記以外は設定しないでください	R/W (注1)
b8	PIE5	ポート割り込み許可ビット5	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE11E	POE11出力停止許可ビット	0：POE11#信号により端子の出力を停止しない 1：POE11#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE11F	POE11フラグ	0：POE11#端子に出力停止要求なし 1：POE11#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR5 レジスタは、POE11# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE11M[3:0] ビット (POE11 モード選択ビット)

POE11# 端子の入力検出方法を選択します。立ち下がりエッジ検出、または Low レベル検出が選択できます。Low レベル検出の場合はサンプリング間隔の設定ができます。

POE11M2[3:0] ビット (POE11 サンプリング回数選択ビット)

Low レベル検出を選択した場合のサンプリング回数を指定します。

立ち下がりエッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE5 ビット (ポート割り込み許可ビット 5)

POE11F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE11E ビット (POE11 出力停止許可ビット)

POE11F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE11F フラグ (POE11 フラグ)

POE11# 端子に出力停止要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE11# 端子に POE11M[3:0] ビット、POE11M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE11M[3:0] ビットでLow レベル検出を設定している場合、“0”を書くには、POE11#端子にHighを入力する必要があります。詳細は、「23.3.9 出力停止状態の解除」を参照してください。

23.2.6 入力レベルコントロール / ステータスレジスタ 6 (ICSR6)

アドレス POE.ICSR6 0009 E41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTSTF	—	—	OSTSTE	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	発振停止時出力停止許可ビット	0：発振停止検出時に制御対象端子の出力を停止しない 1：発振停止検出時に制御対象端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	発振停止検出フラグ	0：発振停止による出力停止要求なし 1：発振停止による出力停止要求あり	R/W (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR6 レジスタは、発振停止時の制御、およびステータス表示を行うレジスタです。

OSTSTE ビット (発振停止時出力停止許可ビット)

発振停止検出時に制御対象端子の出力を停止するかしないかを設定します。

OSTSTF フラグ (発振停止検出フラグ)

OSTSTF フラグは、発振停止による出力停止要求を示すステータスフラグです。

メインクロックの発振が停止すると “1” になります。OSTSTF フラグを “0” にするときは、OSTSTF フラグが “1” になった後 PCLK で 10 サイクル以上経過し、かつ OSTDSR.OSTDF フラグが “0” のときに “0” を書いてください。OSTDSR.OSTDF フラグが “1” のときに OSTSTF フラグに “0” を書いても “0” になりません。OSTSTF フラグをクリアした後は “0” になったことを確認してください。

[“1” になる条件]

- 発振停止を検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

23.2.7 入力レベルコントロール / ステータスレジスタ 7 (ICSR7)

アドレス POE.ICSR7 0009 E420h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE12F	—	—	POE12E	PIE7	POE12M2[3:0]				POE12M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE12M[3:0]	POE12モード選択ビット	b3 b0 0000：POE12#端子入力の立ち下がりエッジで要求を受け付け 0001：POE12#端子からの入力をPCLK/8でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0010：POE12#端子からの入力をPCLK/16でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0011：POE12#端子からの入力をPCLK/128でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0100：POE12#端子からの入力をPCLKでサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0101：POE12#端子からの入力をPCLK/2でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0110：POE12#端子からの入力をPCLK/4でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE12M2[3:0]	POE12サンプリング回数選択ビット	b7 b4 0000：16回 0001：4回 0010：8回 上記以外は設定しないでください	R/W (注1)
b8	PIE7	ポート割り込み許可ビット7	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE12E	POE12出力停止許可ビット	0：POE12#信号により端子の出力を停止しない 1：POE12#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE12F	POE12フラグ	0：POE12#端子に出力停止要求なし 1：POE12#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR7 レジスタは、POE12# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE12M[3:0] ビット (POE12 モード選択ビット)

POE12# 端子の入力検出方法を選択します。立ち下がりエッジ検出、または Low レベル検出が選択できます。Low レベル検出の場合はサンプリング間隔の設定ができます。

POE12M2[3:0] ビット (POE12 サンプリング回数選択ビット)

Low レベル検出を選択した場合のサンプリング回数を指定します。

立ち下がりエッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE7 ビット (ポート割り込み許可ビット 7)

POE12F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE12E ビット (POE12 出力停止許可ビット)

POE12F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE12F フラグ (POE12 フラグ)

POE12# 端子に出力停止要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE12# 端子に POE12M[3:0] ビット、POE12M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE12M[3:0] ビットでLow レベル検出を設定している場合、“0”を書くには、POE12#端子にHighを入力する必要があります。詳細は、「23.3.9 出力停止状態の解除」を参照してください。

23.2.8 入力レベルコントロール / ステータスレジスタ 8 (ICSR8)

アドレス POE.ICSR8 0009 E440h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE9F	—	—	POE9E	PIE8	POE9M2[3:0]				POE9M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE9M[3:0]	POE9モード選択ビット	b3 b0 0000：POE9#端子入力の立ち下がりエッジで要求を受け付け 0001：POE9#端子からの入力をPCLK/8でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0010：POE9#端子からの入力をPCLK/16でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0011：POE9#端子からの入力をPCLK/128でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0100：POE9#端子からの入力をPCLKでサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0101：POE9#端子からの入力をPCLK/2でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0110：POE9#端子からの入力をPCLK/4でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE9M2[3:0]	POE9サンプリング回数選択ビット	b7 b4 0000：16回 0001：4回 0010：8回 上記以外は設定しないでください	R/W (注1)
b8	PIE8	ポート割り込み許可ビット8	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE9E	POE9出力停止許可ビット	0：POE9#信号により端子の出力を停止しない 1：POE9#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE9F	POE9フラグ	0：POE9#端子に出力停止要求なし 1：POE9#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR8 レジスタは、POE9# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE9M[3:0] ビット (POE9 モード選択ビット)

POE9# 端子の入力検出方法を選択します。立ち下がりエッジ検出、または Low レベル検出が選択できます。Low レベル検出の場合はサンプリング間隔の設定ができます。

POE9M2[3:0] ビット (POE9 サンプリング回数選択ビット)

Low レベル検出を選択した場合のサンプリング回数を指定します。

立ち下がりエッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE8 ビット (ポート割り込み許可ビット 8)

POE9F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE9E ビット (POE9 出力停止許可ビット)

POE9F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE9F フラグ (POE9 フラグ)

POE9# 端子に出力停止要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE9# 端子に POE9M[3:0] ビット、POE9M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE9M[3:0] ビットでLowレベル検出を設定している場合、“0”を書くには、POE9#端子にHighを入力する必要があります。詳細は、「23.3.9 出力停止状態の解除」を参照してください。

23.2.9 入力レベルコントロール / ステータスレジスタ 9 (ICSR9)

アドレス POE.ICSR9 0009 E442h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE13F	—	—	POE13E	PIE9	POE13M2[3:0]				POE13M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE13M[3:0]	POE13モード選択ビット	b3 b0 0000：POE13#端子入力の立ち下がりエッジで要求を受け付け 0001：POE13#端子からの入力をPCLK/8でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0010：POE13#端子からの入力をPCLK/16でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0011：POE13#端子からの入力をPCLK/128でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0100：POE13#端子からの入力をPCLKでサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0101：POE13#端子からの入力をPCLK/2でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0110：POE13#端子からの入力をPCLK/4でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE13M2[3:0]	POE13サンプリング回数選択ビット	b7 b4 0000：16回 0001：4回 0010：8回 上記以外は設定しないでください	R/W (注1)
b8	PIE9	ポート割り込み許可ビット9	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE13E	POE13出力停止許可ビット	0：POE13#信号により端子の出力を停止しない 1：POE13#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE13F	POE13フラグ	0：POE13#端子に出力停止要求なし 1：POE13#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR9 レジスタは、POE13# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE13M[3:0] ビット (POE13 モード選択ビット)

POE13# 端子の入力検出方法を選択します。立ち下がりエッジ検出、または Low レベル検出が選択できます。Low レベル検出の場合はサンプリング間隔の設定ができます。

POE13M2[3:0] ビット (POE13 サンプリング回数選択ビット)

Low レベル検出を選択した場合のサンプリング回数を指定します。

立ち下がりエッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE9 ビット (ポート割り込み許可ビット 9)

POE13F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE13E ビット (POE13 出力停止許可ビット)

POE13F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE13F フラグ (POE13 フラグ)

POE13# 端子に出力停止要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE13# 端子に POE13M[3:0] ビット、POE13M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE13M[3:0] ビットでLow レベル検出を設定している場合、“0”を書くには、POE13#端子にHighを入力する必要があります。詳細は、「23.3.9　出力停止状態の解除」を参照してください。

23.2.10 入力レベルコントロール / ステータスレジスタ 10 (ICSR10)

アドレス POE.ICSR10 0009 E444h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE14F	—	—	POE14E	PIE10	POE14M2[3:0]				POE14M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE14M[3:0]	POE14モード選択ビット	b3 b0 0000：POE14#端子入力の立ち下がりエッジで要求を受け付け 0001：POE14#端子からの入力をPCLK/8でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0010：POE14#端子からの入力をPCLK/16でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0011：POE14#端子からの入力をPCLK/128でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0100：POE14#端子からの入力をPCLKでサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0101：POE14#端子からの入力をPCLK/2でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 0110：POE14#端子からの入力をPCLK/4でサンプリングし、Lowレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE14M2[3:0]	POE14サンプリング回数選択ビット	b7 b4 0000：16回 0001：4回 0010：8回 上記以外は設定しないでください	R/W (注1)
b8	PIE10	ポート割り込み許可ビット10	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE14E	POE14出力停止許可ビット	0：POE14#信号により端子の出力を停止しない 1：POE14#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE14F	POE14フラグ	0：POE14#端子に出力停止要求なし 1：POE14#端子に出力停止要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR10 レジスタは、POE14# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE14M[3:0] ビット (POE14 モード選択ビット)

POE14# 端子の入力検出方法を選択します。立ち下がりエッジ検出、または Low レベル検出が選択できます。Low レベル検出の場合はサンプリング間隔の設定ができます。

POE14M2[3:0] ビット (POE14 サンプリング回数選択ビット)

Low レベル検出を選択した場合のサンプリング回数を指定します。

立ち下がりエッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE10 ビット (ポート割り込み許可ビット 10)

POE14F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE14E ビット (POE14 出力停止許可ビット)

POE14F フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

POE14F フラグ (POE14 フラグ)

POE14# 端子に出力停止要求が入力されたことを示すフラグです。

[“1” になる条件]

- POE14# 端子に POE14M[3:0] ビット、POE14M2[3:0] ビットで設定した入力が発生したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき
  POE14M[3:0] ビットでLow レベル検出を設定している場合、“0”を書くには、POE14#端子にHighを入力する必要があります。詳細は、「23.3.9　出力停止状態の解除」を参照してください。

23.2.11 出力レベルコントロール / ステータスレジスタ 1 (OCSR1)

アドレス POE.OCSR1 0009 E402h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み1許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE1	出力短絡時出力停止許可ビット1	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR1 レジスタは、MTU3、MTU4 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE1 ビット (出力短絡割り込み 1 許可ビット)

OSF1 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡時出力停止許可ビット 1)

OSF1 フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

OSF1 フラグ (出力短絡フラグ 1)

MTU 相補 PWM 出力信号 (MTU3, MTU4) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF1 フラグは “1” になりません。

アクティブレベルの設定については「23.2.16 アクティブレベルレジスタ 1 (ALR1)」を参照してください。

[“1” になる条件]

- POECR2.MTU3BDZE ビットが “1”、または PMMCR1.MTU3BME ビット、PMMCR1.MTU3DME ビットの少なくとも一方が “1” の場合に、MTIOC3B 信号と MTIOC3D 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR2.MTU4ACZE ビットが “1”、または PMMCR1.MTU4AME ビット、PMMCR1.MTU4CME ビットの少なくとも一方が “1” の場合に、MTIOC4A 信号と MTIOC4C 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR2.MTU4BDZE ビットが “1”、または PMMCR1.MTU4BME ビット、PMMCR1.MTU4DME ビットの少なくとも一方が “1” の場合に、MTIOC4B 信号と MTIOC4D 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

注 1. MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

“0” を書くには、MTU 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、「23.3.9　出力停止状態の解除」を参照してください。

23.2.12　出力レベルコントロール / ステータスレジスタ 2 (OCSR2)

アドレス　POE.OCSR2 0009 E406h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	—	—	—	—	—	OCE2	OIE2	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE2	出力短絡割り込み2許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE2	出力短絡時出力停止許可ビット2	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF2	出力短絡フラグ2	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR2 レジスタは、MTU6、MTU7 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE2 ビット (出力短絡割り込み 2 許可ビット)

OSF2 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE2 ビット (出力短絡時出力停止許可ビット 2)

OSF2 フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

OSF2 フラグ (出力短絡フラグ 2)

MTU 相補 PWM 出力信号 (MTU6, MTU7) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF2 フラグは “1” になりません。

アクティブレベルの設定については「23.2.17　アクティブレベルレジスタ 2 (ALR2)」を参照してください。

[“1” になる条件]

- POECR2.MTU6BDZE ビットが “1”、または PMMCR1.MTU6BME ビット、PMMCR1.MTU6DME ビットの少なくとも一方が “1” の場合に、MTIOC6B 信号と MTIOC6D 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR2.MTU7ACZE ビットが “1”、または PMMCR1.MTU7AME ビット、PMMCR1.MTU7CME ビットの

少なくとも一方が “1” の場合に、MTIOC7A 信号と MTIOC7C 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

- POECR2.MTU7BDZE ビットが “1”、または PMMCR1.MTU7BME ビット、PMMCR1.MTU7DME ビットの少なくとも一方が “1” の場合に、MTIOC7B 信号と MTIOC7D 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

注 1.　MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

“0” を書くには、MTU 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、「23.3.9　出力停止状態の解除」を参照してください。

23.2.13 出力レベルコントロール / ステータスレジスタ 3 (OCSR3)

アドレス POE.OCSR3 0009 E42Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF3	—	—	—	—	—	OCE3	OIE3	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE3	出力短絡割り込み3許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE3	出力短絡時出力停止許可ビット3	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF3	出力短絡フラグ3	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR3 レジスタは、GPTW0 ～ GPTW2 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE3 ビット (出力短絡割り込み 3 許可ビット)

OSF3 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE3 ビット (出力短絡時出力停止許可ビット 3)

OSF3 フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

OSF3 フラグ (出力短絡フラグ 3)

GPTW 相補 PWM 出力信号 (GPTW0 ～ GPTW2) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF3 フラグは “1” になりません。

アクティブレベルの設定については「23.2.18 アクティブレベルレジスタ 3 (ALR3)」を参照してください。

[“1” になる条件]

- POECR3.GPT0ABZE ビットが “1”、または PMMCR2.GPT0AME ビット、PMMCR2.GPT0BME ビットの少なくとも一方が “1” の場合に、GTIOC0A 信号と GTIOC0B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR3.GPT1ABZE ビットが “1”、または PMMCR2.GPT1AME ビット、PMMCR2.GPT1BME ビットの少なくとも一方が “1” の場合に、GTIOC1A 信号と GTIOC1B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR3.GPT2ABZE ビットが “1”、または PMMCR2.GPT2AME ビット、PMMCR2.GPT2BME ビットの少なくとも一方が “1” の場合に、GTIOC2A 信号と GTIOC2B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

注 1. MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

“0” を書くには、GPTW 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、「23.3.9　出力停止状態の解除」を参照してください。

23.2.14　出力レベルコントロール / ステータスレジスタ 4 (OCSR4)

アドレス　POE.OCSR4 0009 E446h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF4	—	—	—	—	—	OCE4	OIE4	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE4	出力短絡割り込み4許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE4	出力短絡時出力停止許可ビット4	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF4	出力短絡フラグ4	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1.　リセット後、1回のみ書き込み可能です。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR4 レジスタは、GPTW4 ～ GPTW6 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE4 ビット (出力短絡割り込み 4 許可ビット)

OSF4 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE4 ビット (出力短絡時出力停止許可ビット 4)

OSF4 フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

OSF4 フラグ (出力短絡フラグ 4)

GPTW 相補 PWM 出力信号 (GPTW4 ～ GPTW6) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF4 フラグは “1” になりません。

アクティブレベルの設定については「23.2.19　アクティブレベルレジスタ 4 (ALR4)」を参照してください。

[“1” になる条件]

- POECR3.GPT4ABZE ビットが “1”、または PMMCR2.GPT4AME ビット、PMMCR2.GPT4BME ビットの少なくとも一方が “1” の場合に、GTIOC4A 信号と GTIOC4B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR3.GPT5ABZE ビットが “1”、または PMMCR2.GPT5AME ビット、PMMCR2.GPT5BME ビットの少

なくとも一方が “1” の場合に、GTIOC5A 信号と GTIOC5B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

- POECR3.GPT6ABZE ビットが “1”、または PMMCR2.GPT6AME ビット、PMMCR2.GPT6BME ビットの少なくとも一方が “1” の場合に、GTIOC6A 信号と GTIOC6B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

注 1. MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

“0” を書くには、GPTW 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、「23.3.9 出力停止状態の解除」を参照してください。

23.2.15 出力レベルコントロール / ステータスレジスタ 5 (OCSR5)

アドレス POE.OCSR5 0009 E448h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF5	—	—	—	—	—	OCE5	OIE5	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE5	出力短絡割り込み5許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE5	出力短絡時出力停止許可ビット5	0：出力短絡時に端子の出力を停止しない 1：出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF5	出力短絡フラグ5	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。
注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR5 レジスタは、GPTW7 ～ GPTW9 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE5 ビット (出力短絡割り込み 5 許可ビット)

OSF5 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE5 ビット (出力短絡時出力停止許可ビット 5)

OSF5 フラグが “1” になったときに、端子の出力を停止するかどうかを指定します。

OSF5 フラグ (出力短絡フラグ 5)

GPTW 相補 PWM 出力信号 (GPTW7 ～ GPTW9) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF5 フラグは “1” になりません。

アクティブレベルの設定については「23.2.20 アクティブレベルレジスタ 5 (ALR5)」を参照してください。

[“1” になる条件]

- POECR3.GPT7ABZE ビットが “1”、または PMMCR2.GPT7AME ビット、PMMCR2.GPT7BME ビットの少なくとも一方が “1” の場合に、GTIOC7A 信号と GTIOC7B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR3.GPT8ABZE ビットが “1”、または PMMCR3.GPT8AME ビット、PMMCR3.GPT8BME ビットの少なくとも一方が “1” の場合に、GTIOC8A 信号と GTIOC8B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき
- POECR3.GPT9ABZE ビットが “1”、または PMMCR3.GPT9AME ビット、PMMCR3.GPT9BME ビットの少なくとも一方が “1” の場合に、GTIOC9A 信号と GTIOC9B 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注 1) になったとき

注 1. MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

“0” を書くには、GPTW 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、「23.3.9　**出力停止状態の解除**」を参照してください。

23.2.16 アクティブレベルレジスタ 1 (ALR1)

アドレス POE.ALR1 0009 E41Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	MTIOC3B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b1	OLSG0B	MTIOC3D信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b2	OLSG1A	MTIOC4A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b3	OLSG1B	MTIOC4C信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b4	OLSG2A	MTIOC4B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b5	OLSG2B	MTIOC4D信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR1 レジスタは、OCSR1 レジスタで MTU3、MTU4 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (MTIOC3B 信号アクティブレベル設定ビット)

MTIOC3B 出力のアクティブレベルを設定します。OLSG0A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (MTIOC3D 信号アクティブレベル設定ビット)

MTIOC3D 出力のアクティブレベルを設定します。OLSG0B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (MTIOC4A 信号アクティブレベル設定ビット)

MTIOC4A 出力のアクティブレベルを設定します。OLSG1A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (MTIOC4C 信号アクティブレベル設定ビット)

MTIOC4C 出力のアクティブレベルを設定します。OLSG1B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (MTIOC4B 信号アクティブレベル設定ビット)

MTIOC4B 出力のアクティブレベルを設定します。OLSG2A ビットが “0” の場合は Low をアクティブレベ

ル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (MTIOC4D 信号アクティブレベル設定ビット)

MTIOC4D 出力のアクティブレベルを設定します。OLSG2B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 0 ～ 2、m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが “0” の場合は OLSGnm ビットの設定は無効となり、MTU3、MTU4 出力のアクティブレベルは MTU.TOCR1A および MTU.TOCR2A レジスタの設定に従います。OLSEN ビットが “1” の場合は、MTU3、MTU4 出力のアクティブレベルは OLSGnm ビットの設定に従います。

23.2.17 アクティブレベルレジスタ 2 (ALR2)

アドレス POE.ALR2 0009 E41Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG6B	OLSG6A	OLSG5B	OLSG5A	OLSG4B	OLSG4A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG4A	MTIOC6B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b1	OLSG4B	MTIOC6D信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b2	OLSG5A	MTIOC7A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b3	OLSG5B	MTIOC7C信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b4	OLSG6A	MTIOC7B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b5	OLSG6B	MTIOC7D信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR2 レジスタは、OCSR2 レジスタで MTU6、MTU7 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG4A ビット (MTIOC6B 信号アクティブレベル設定ビット)

MTIOC6B 出力のアクティブレベルを設定します。OLSG4A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG4B ビット (MTIOC6D 信号アクティブレベル設定ビット)

MTIOC6D 出力のアクティブレベルを設定します。OLSG4B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG5A ビット (MTIOC7A 信号アクティブレベル設定ビット)

MTIOC7A 出力のアクティブレベルを設定します。OLSG5A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG5B ビット (MTIOC7C 信号アクティブレベル設定ビット)

MTIOC7C 出力のアクティブレベルを設定します。OLSG5B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG6A ビット (MTIOC7B 信号アクティブレベル設定ビット)

MTIOC7B 出力のアクティブレベルを設定します。OLSG6A ビットが “0” の場合は Low をアクティブレベ

ル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG6B ビット (MTIOC7D 信号アクティブレベル設定ビット)

MTIOC7D 出力のアクティブレベルを設定します。OLSG6B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 4 ～ 6、m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが “0” の場合は OLSGnm ビットの設定は無効となり、MTU6、MTU7 出力のアクティブレベルは MTU.TOCR1B および MTU.TOCR2B レジスタの設定に従います。OLSEN ビットが “1” の場合は、MTU6、MTU7 出力のアクティブレベルは OLSGnm ビットの設定に従います。

23.2.18 アクティブレベルレジスタ 3 (ALR3)

アドレス POE.ALR3 0009 E42Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	GTIOC0A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b1	OLSG0B	GTIOC0B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b2	OLSG1A	GTIOC1A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b3	OLSG1B	GTIOC1B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b4	OLSG2A	GTIOC2A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b5	OLSG2B	GTIOC2B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR3 レジスタは、OCSR3 レジスタで GPTW0 ～ GPTW2 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (GTIOC0A 信号アクティブレベル設定ビット)

GTIOC0A 出力のアクティブレベルを設定します。OLSG0A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (GTIOC0B 信号アクティブレベル設定ビット)

GTIOC0B 出力のアクティブレベルを設定します。OLSG0B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (GTIOC1A 信号アクティブレベル設定ビット)

GTIOC1A 出力のアクティブレベルを設定します。OLSG1A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (GTIOC1B 信号アクティブレベル設定ビット)

GTIOC1B 出力のアクティブレベルを設定します。OLSG1B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (GTIOC2A 信号アクティブレベル設定ビット)

GTIOC2A 出力のアクティブレベルを設定します。OLSG2A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (GTIOC2B 信号アクティブレベル設定ビット)

GTIOC2B 出力のアクティブレベルを設定します。OLSG2B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 0 ～ 2、m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが “0” の場合は OLSGnm ビットの設定は無効となります。

GPTW 出力のアクティブレベルは、OLSEN ビットが “1” のときのみ設定可能です。GPTW 出力の短絡検出を行う場合は OLSEN ビットを “1” にし、OLSGnm ビットで GPTW 出力のアクティブレベルを設定してください。

23.2.19 アクティブレベルレジスタ 4 (ALR4)

アドレス POE.ALR4 0009 E44Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	GTIOC4A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b1	OLSG0B	GTIOC4B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b2	OLSG1A	GTIOC5A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b3	OLSG1B	GTIOC5B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b4	OLSG2A	GTIOC6A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b5	OLSG2B	GTIOC6B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR4 レジスタは、OCSR4 レジスタで GPTW4 ～ GPTW6 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (GTIOC4A 信号アクティブレベル設定ビット)

GTIOC4A 出力のアクティブレベルを設定します。OLSG0A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (GTIOC4B 信号アクティブレベル設定ビット)

GTIOC4B 出力のアクティブレベルを設定します。OLSG0B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (GTIOC5A 信号アクティブレベル設定ビット)

GTIOC5A 出力のアクティブレベルを設定します。OLSG1A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (GTIOC5B 信号アクティブレベル設定ビット)

GTIOC5B 出力のアクティブレベルを設定します。OLSG1B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (GTIOC6A 信号アクティブレベル設定ビット)

GTIOC6A 出力のアクティブレベルを設定します。OLSG2A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (GTIOC6B 信号アクティブレベル設定ビット)

GTIOC6B 出力のアクティブレベルを設定します。OLSG2B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 0 ～ 2、m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが “0” の場合は OLSGnm ビットの設定は無効となります。

GPTW 出力のアクティブレベルは、OLSEN ビットが “1” のときのみ設定可能です。GPTW 出力の短絡検出を行う場合は OLSEN ビットを “1” にし、OLSGnm ビットで GPTW 出力のアクティブレベルを設定してください。

23.2.20 アクティブレベルレジスタ 5 (ALR5)

アドレス POE.ALR5 0009 E44Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	GTIOC7A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b1	OLSG0B	GTIOC7B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b2	OLSG1A	GTIOC8A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b3	OLSG1B	GTIOC8B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b4	OLSG2A	GTIOC9A信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b5	OLSG2B	GTIOC9B信号アクティブレベル設定ビット	0：アクティブLow 1：アクティブHigh	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0：無効 1：有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR5 レジスタは、OCSR5 レジスタで GPTW7 ～ GPTW9 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (GTIOC7A 信号アクティブレベル設定ビット)

GTIOC7A 出力のアクティブレベルを設定します。OLSG0A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (GTIOC7B 信号アクティブレベル設定ビット)

GTIOC7B 出力のアクティブレベルを設定します。OLSG0B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (GTIOC8A 信号アクティブレベル設定ビット)

GTIOC8A 出力のアクティブレベルを設定します。OLSG1A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (GTIOC8B 信号アクティブレベル設定ビット)

GTIOC8B 出力のアクティブレベルを設定します。OLSG1B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (GTIOC9A 信号アクティブレベル設定ビット)

GTIOC9A 出力のアクティブレベルを設定します。OLSG2A ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (GTIOC9B 信号アクティブレベル設定ビット)

GTIOC9B 出力のアクティブレベルを設定します。OLSG2B ビットが “0” の場合は Low をアクティブレベル、“1” の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 0 ～ 2、m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが “0” の場合は OLSGnm ビットの設定は無効となります。

GPTW 出力のアクティブレベルは、OLSEN ビットが “1” のときのみ設定可能です。GPTW 出力の短絡検出を行う場合は OLSEN ビットを “1” にし、OLSGnm ビットで GPTW 出力のアクティブレベルを設定してください。

23.2.21 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス POE.SPOER 0009 E42Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GPT79 HIZ	GPT46 HIZ	GPT02 HIZ	—	MTUC H9HIZ	—	GPT23 HIZ	GPT01 HIZ	MTUC H0HIZ	MTUC H67HIZ	MTUC H34HIZ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3、MTU4端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b1	MTUCH67HIZ	MTU6、MTU7端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b2	MTUCH0HIZ	MTU0端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b3	GPT01HIZ	GPTW0、GPTW1端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b4	GPT23HIZ	GPTW2、GPTW3端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	MTUCH9HIZ	MTU9端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	GPT02HIZ	GPTW0～GPTW2端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b9	GPT46HIZ	GPTW4～GPTW6端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b10	GPT79HIZ	GPTW7～GPTW9端子出力停止許可ビット	0：端子の出力を停止しない 1：端子の出力を停止する	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPOER レジスタは、端子の出力停止制御を行うレジスタです。

MTUCH34HIZ ビット (MTU3、MTU4 端子出力停止許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

MTUCH67HIZ ビット (MTU6、MTU7 端子出力停止許可ビット)

MTU 相補 PWM 出力端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

MTUCH0HIZ ビット (MTU0 端子出力停止許可ビット)

MTU0 端子の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

GPT01HIZ ビット (GPTW0、GPTW1 端子出力停止許可ビット)

GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

GPT23HIZ ビット (GPTW2、GPTW3 端子出力停止許可ビット)

GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

MTUCH9HIZ ビット (MTU9 端子出力停止許可ビット)

MTU9 端子の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

GPT02HIZ ビット (GPTW0 ～ GPTW2 端子出力停止許可ビット)

GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

GPT46HIZ ビット (GPTW4 ～ GPTW6 端子出力停止許可ビット)

GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

GPT79HIZ ビット (GPTW7 ～ GPTW9 端子出力停止許可ビット)

GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力を停止する制御を行います。“0” にする場合は、“1” の状態を読んだ後 “0” を書いてください。

23.2.22 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス POE.POECR1 0009 E40H

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MTU0DZE	MTU0CZE	MTU0BZE	MTU0AZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTIOC0A端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b1	MTU0BZE	MTIOC0B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b2	MTU0CZE	MTIOC0C端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b3	MTU0DZE	MTIOC0D端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR1 レジスタは、MTU0 端子のハイインピーダンス制御を行うレジスタです。

MTU0AZE ビット (MTIOC0A 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7 ～ 10、m = 0, 4, 8, 10, 11, 12, 9, 13, 14)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、MTIOC0A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU0AME ビットを “0” にしてください。

MTU0BZE ビット (MTIOC0B 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU0BME ビットを “0” にしてください。

MTU0CZE ビット (MTIOC0C 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC0C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU0CME ビットを “0” にしてください。

MTU0DZE ビット (MTIOC0D 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC0D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU0DME ビットを “0” にしてください。

23.2.23 ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)

アドレス POE.POECR2 0009 E40Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3BDZE	MTU4ACZE	MTU4BDZE	—	—	—	—	—	MTU6BDZE	MTU7ACZE	MTU7BDZE
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BDZE	MTIOC7B/MTIOC7D端子ハイインピーダンス許可ビット (注2)	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b1	MTU7ACZE	MTIOC7A/MTIOC7C端子ハイインピーダンス許可ビット (注2)	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b2	MTU6BDZE	MTIOC6B/MTIOC6D端子ハイインピーダンス許可ビット (注2)	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BDZE	MTIOC4B/MTIOC4D端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b9	MTU4ACZE	MTIOC4A/MTIOC4C端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b10	MTU3BDZE	MTIOC3B/MTIOC3D端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。
注2. MTU6、MTU7を使用しない場合は、“0”にしてください。

POECR2 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4、MTU6、MTU7 端子) のハイインピーダンス制御を行うレジスタです。

MTU7BDZE ビット (MTIOC7B/MTIOC7D 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7 ～ 10、m = 0, 4, 8, 10, 11, 12, 9, 13, 14)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、MTIOC7B 出力と MTIOC7D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU7BME ビットと MTU7DME ビットを “0” にしてください。

MTU7ACZE ビット (MTIOC7A/MTIOC7C 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC7A 出力と MTIOC7C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU7AME ビットと MTU7CME ビットを “0” にしてください。

MTU6BDZE ビット (MTIOC6B/MTIOC6D 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、

POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC6B 出力と MTIOC6D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU6BME ビットと MTU6DME ビットを “0” にしてください。

MTU4BDZE ビット (MTIOC4B/MTIOC4D 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4B 出力と MTIOC4D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU4BME ビットと MTU4DME ビットを “0” にしてください。

MTU4ACZE ビット (MTIOC4A/MTIOC4C 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4A 出力と MTIOC4C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU4AME ビットと MTU4CME ビットを “0” にしてください。

MTU3BDZE ビット (MTIOC3B/MTIOC3D 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC3B 出力と MTIOC3D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR1 レジスタの MTU3BME ビットと MTU3DME ビットを “0” にしてください。

23.2.24 ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3)

アドレス POE.POECR3 0009 E40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	GPT9A BZE	GPT8A BZE	GPT7A BZE	GPT6A BZE	GPT5A BZE	GPT4A BZE	GPT3A BZE	GPT2A BZE	GPT1A BZE	GPT0A BZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPT0ABZE	GTIOC0A/GTIOC0B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b1	GPT1ABZE	GTIOC1A/GTIOC1B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b2	GPT2ABZE	GTIOC2A/GTIOC2B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b3	GPT3ABZE	GTIOC3A/GTIOC3B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b4	GPT4ABZE	GTIOC4A/GTIOC4B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b5	GPT5ABZE	GTIOC5A/GTIOC5B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b6	GPT6ABZE	GTIOC6A/GTIOC6B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b7	GPT7ABZE	GTIOC7A/GTIOC7B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b8	GPT8ABZE	GTIOC8A/GTIOC8B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b9	GPT9ABZE	GTIOC9A/GTIOC9B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR3 レジスタは、GPTW 出力端子 (GPTW0 ～ GPTW9 端子) のハイインピーダンス制御を行うレジスタです。

GPT0ABZE ビット (GTIOC0A/GTIOC0B 端子ハイインピーダンス許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7 ～ 10、m = 0, 4, 8, 10, 11, 12, 9, 13, 14)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5)、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC0A 出力と GTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT0AME ビットと GPT0BME ビットを “0” にしてください。

GPT1ABZE ビット (GTIOC1A/GTIOC1B 端子ハイインピーダンス許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラ

グ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC1A 出力と GTIOC1B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT1AME ビットと GPT1BME ビットを “0” にしてください。

GPT2ABZE ビット (GTIOC2A/GTIOC2B 端子ハイインピーダンス許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT23HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC2A 出力と GTIOC2B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT2AME ビットと GPT2BME ビットを “0” にしてください。

GPT3ABZE ビット (GTIOC3A/GTIOC3B 端子ハイインピーダンス許可ビット)

SPOER.GPT23HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC3A 出力と GTIOC3B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT3AME ビットと GPT3BME ビットを “0” にしてください。

GPT4ABZE ビット (GTIOC4A/GTIOC4B 端子ハイインピーダンス許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC4A 出力と GTIOC4B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT4AME ビットと GPT4BME ビットを “0” にしてください。

GPT5ABZE ビット (GTIOC5A/GTIOC5B 端子ハイインピーダンス許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC5A 出力と GTIOC5B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT5AME ビットと GPT5BME ビットを “0” にしてください。

GPT6ABZE ビット (GTIOC6A/GTIOC6B 端子ハイインピーダンス許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC6A 出力と GTIOC6B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT6AME ビットと GPT6BME ビットを “0” にしてください。

GPT7ABZE ビット (GTIOC7A/GTIOC7B 端子ハイインピーダンス許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC7A 出力と GTIOC7B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR2 レジスタの GPT7AME ビットと GPT7BME ビットを “0” にしてください。

GPT8ABZE ビット (GTIOC8A/GTIOC8B 端子ハイインピーダンス許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC8A 出力と GTIOC8B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR3 レジスタの GPT8AME ビットと GPT8BME ビットを “0” にしてください。

GPT9ABZE ビット (GTIOC9A/GTIOC9B 端子ハイインピーダンス許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC9A 出力と GTIOC9B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR3 レジスタの GPT9AME ビットと GPT9BME ビットを “0” にしてください。

23.2.25 ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)

アドレス POE.POECR4 0009 E410h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IC10ADDMT34ZE	IC9ADDMT34ZE	IC8ADDMT34ZE	—	IC6ADDMT34ZE	IC5ADDMT34ZE	IC4ADDMT34ZE	IC3ADDMT34ZE	IC2ADDMT34ZE	IC1ADDMT34ZE	CMADDMT34ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT34ZE	MTU3、MTU4出力停止条件 CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDMT34ZE	MTU3、MTU4出力停止条件 POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDMT34ZE	MTU3、MTU4出力停止条件 POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDMT34ZE	MTU3、MTU4出力停止条件 POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDMT34ZE	MTU3、MTU4出力停止条件 POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDMT34ZE	MTU3、MTU4出力停止条件 POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDMT34ZE	MTU3、MTU4出力停止条件 POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDMT34ZE	MTU3、MTU4出力停止条件 POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b9	IC9ADDMT34ZE	MTU3、MTU4出力停止条件 POE13F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b10	IC10ADDMT34ZE	MTU3、MTU4出力停止条件 POE14F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR4 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4 端子) の出力停止制御条件を設定するレジスタです。

CMADDMT34ZE ビット (MTU3、MTU4 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC2ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC3ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC4ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC5ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC6ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC8ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC9ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE13F 追加ビット)

ICSR9.POE13F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC10ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE14F 追加ビット)

ICSR10.POE14F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

23.2.26 ポートアウトプットイネーブルコントロールレジスタ 4B (POECR4B)

アドレス POE.POECR4B 0009 E44Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IC10ADDMT67ZE	IC9ADDMT67ZE	IC8ADDMT67ZE	—	IC6ADDMT67ZE	IC5ADDMT67ZE	IC4ADDMT67ZE	IC3ADDMT67ZE	IC2ADDMT67ZE	IC1ADDMT67ZE	CMADDMT67ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT67ZE	MTU6、MTU7出力停止条件 CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDMT67ZE	MTU6、MTU7出力停止条件 POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDMT67ZE	MTU6、MTU7出力停止条件 POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDMT67ZE	MTU6、MTU7出力停止条件 POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDMT67ZE	MTU6、MTU7出力停止条件 POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDMT67ZE	MTU6、MTU7出力停止条件 POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDMT67ZE	MTU6、MTU7出力停止条件 POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDMT67ZE	MTU6、MTU7出力停止条件 POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b9	IC9ADDMT67ZE	MTU6、MTU7出力停止条件 POE13F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b10	IC10ADDMT67ZE	MTU6、MTU7出力停止条件 POE14F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR4B レジスタは、MTU 相補 PWM 出力端子 (MTU6、MTU7 端子) の出力停止制御条件を設定するレジスタです。

CMADDMT67ZE ビット (MTU6、MTU7 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC2ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC3ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC4ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC5ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC6ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC8ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC9ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE13F 追加ビット)

ICSR9.POE13F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

IC10ADDMT67ZE ビット (MTU6、MTU7 出力停止条件 POE14F 追加ビット)

ICSR10.POE14F フラグを MTU6、MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) の出力停止制御条件に追加します。

23.2.27 ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)

アドレス POE.POECR5 0009 E412h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IC10ADDMT0ZE	IC9ADDMT0ZE	IC8ADDMT0ZE	—	IC6ADDMT0ZE	IC5ADDMT0ZE	IC4ADDMT0ZE	IC3ADDMT0ZE	IC2ADDMT0ZE	IC1ADDMT0ZE	CMADDMT0ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT0ZE	MTU0出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDMT0ZE	MTU0出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDMT0ZE	MTU0出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDMT0ZE	MTU0出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDMT0ZE	MTU0出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDMT0ZE	MTU0出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDMT0ZE	MTU0出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDMT0ZE	MTU0出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b9	IC9ADDMT0ZE	MTU0出力停止条件POE13F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b10	IC10ADDMT0ZE	MTU0出力停止条件POE14F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR5 レジスタは、MTU0 端子の出力停止制御条件を設定するレジスタです。

CMADDMT0ZE ビット (MTU0 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDMT0ZE ビット (MTU0 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC2ADDMT0ZE ビット (MTU0 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC3ADDMT0ZE ビット (MTU0 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追

加します。

IC4ADDMT0ZE ビット (MTU0 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC5ADDMT0ZE ビット (MTU0 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC6ADDMT0ZE ビット (MTU0 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC8ADDMT0ZE ビット (MTU0 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC9ADDMT0ZE ビット (MTU0 出力停止条件 POE13F 追加ビット)

ICSR9.POE13F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC10ADDMT0ZE ビット (MTU0 出力停止条件 POE14F 追加ビット)

ICSR10.POE14F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

23.2.28 ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)

アドレス POE.POECR6 0009 E414h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IC10ADDGPT01ZE	IC9ADDGPT01ZE	IC8ADDGPT01ZE	—	IC6ADDGPT01ZE	IC5ADDGPT01ZE	IC4ADDGPT01ZE	IC3ADDGPT01ZE	IC2ADDGPT01ZE	IC1ADDGPT01ZE	CMADDGPT01ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT01ZE	GPTW0、GPTW1出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b9	IC9ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE13F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b10	IC10ADDGPT01ZE	GPTW0、GPTW1出力停止条件POE14F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR6 レジスタは、GPTW0、GPTW1 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC2ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC3ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御

条件に追加します。

IC4ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC5ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC6ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC8ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC9ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE13F 追加ビット)

ICSR9.POE13F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC10ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE14F 追加ビット)

ICSR10.POE14F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

23.2.29 ポートアウトプットイネーブルコントロールレジスタ 6B (POECR6B)

アドレス POE.POECR6B 0009 E450h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IC10ADDGPT23ZE	IC9ADDGPT23ZE	IC8ADDGPT23ZE	—	IC6ADDGPT23ZE	IC5ADDGPT23ZE	IC4ADDGPT23ZE	IC3ADDGPT23ZE	IC2ADDGPT23ZE	IC1ADDGPT23ZE	CMADDGPT23ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT23ZE	GPTW2、GPTW3出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	IC2ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b3	IC3ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W (注1)
b8	IC8ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b9	IC9ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE13F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b10	IC10ADDGPT23ZE	GPTW2、GPTW3出力停止条件POE14F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR6B レジスタは、GPTW2、GPTW3 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC2ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC3ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC4ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC5ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC6ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC8ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC9ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE13F 追加ビット)

ICSR9.POE13F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

IC10ADDGPT23ZE ビット (GPTW2、GPTW3 出力停止条件 POE14F 追加ビット)

ICSR10.POE14F フラグを GPTW2、GPTW3 端子 (GTIOC2A, GTIOC2B, GTIOC3A, GTIOC3B) の出力停止制御条件に追加します。

23.2.30 ポートアウトプットイネーブルコントロールレジスタ 7 (POECR7)

アドレス POE.POECR7 0009 E422h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	MTU9DZE	MTU9CZE	MTU9BZE	MTU9AZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU9AZE	MTIOC9A端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b1	MTU9BZE	MTIOC9B端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b2	MTU9CZE	MTIOC9C端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b3	MTU9DZE	MTIOC9D端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR7 レジスタは、MTU9 端子のハイインピーダンス制御を行うレジスタです。

MTU9AZE ビット (MTIOC9A 端子ハイインピーダンス許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7 ～ 10、m = 0, 4, 8, 10, 11, 12, 9, 13, 14)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、MTIOC9A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU9AME ビットを “0” にしてください。

MTU9BZE ビット (MTIOC9B 端子ハイインピーダンス許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU9BME ビットを “0” にしてください。

MTU9CZE ビット (MTIOC9C 端子ハイインピーダンス許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU9CME ビットを “0” にしてください。

MTU9DZE ビット (MTIOC9D 端子ハイインピーダンス許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを “1” にする場合は、PMMCR0.MTU9DME ビットを “0” にしてください。

23.2.31 ポートアウトプットイネーブルコントロールレジスタ 8 (POECR8)

アドレス POE.POECR8 0009 E424h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IC10ADDMT9ZE	IC9ADDMT9ZE	IC8ADDMT9ZE	—	IC6ADDMT9ZE	IC5ADDMT9ZE	IC4ADDMT9ZE	IC3ADDMT9ZE	IC2ADDMT9ZE	IC1ADDMT9ZE	CMADDMT9ZE
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT9ZE	MTU9出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b1	IC1ADDMT9ZE	MTU9出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b2	IC2ADDMT9ZE	MTU9出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b3	IC3ADDMT9ZE	MTU9出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b4	IC4ADDMT9ZE	MTU9出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b5	IC5ADDMT9ZE	MTU9出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b6	IC6ADDMT9ZE	MTU9出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDMT9ZE	MTU9出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b9	IC9ADDMT9ZE	MTU9出力停止条件POE13F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b10	IC10ADDMT9ZE	MTU9出力停止条件POE14F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR8 レジスタは、MTU9 端子の出力停止制御条件を設定するレジスタです。

CMADDMT9ZE ビット (MTU9 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDMT9ZE ビット (MTU9 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC2ADDMT9ZE ビット (MTU9 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC3ADDMT9ZE ビット (MTU9 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追

加します。

IC4ADDMT9ZE ビット (MTU9 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC5ADDMT9ZE ビット (MTU9 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC6ADDMT9ZE ビット (MTU9 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC8ADDMT9ZE ビット (MTU9 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC9ADDMT9ZE ビット (MTU9 出力停止条件 POE13F 追加ビット)

ICSR9.POE13F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

IC10ADDMT9ZE ビット (MTU9 出力停止条件 POE14F 追加ビット)

ICSR10.POE14F フラグを MTU9 端子 (MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) の出力停止制御条件に追加します。

23.2.32 ポートアウトプットイネーブルコントロールレジスタ 9 (POECR9)

アドレス POE.POECR9 0009 E452h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IC10ADDGPT02ZE	IC9ADDGPT02ZE	IC8ADDGPT02ZE	—	IC6ADDGPT02ZE	IC5ADDGPT02ZE	IC4ADDGPT02ZE	IC3ADDGPT02ZE	IC2ADDGPT02ZE	IC1ADDGPT02ZE	CMADDGPT02ZE
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT02ZE	GPTW0～GPTW2出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b1	IC1ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b2	IC2ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b3	IC3ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b4	IC4ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b5	IC5ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b6	IC6ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b9	IC9ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE13F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b10	IC10ADDGPT02ZE	GPTW0～GPTW2出力停止条件POE14F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR9 レジスタは、GPTW0 ～ GPTW2 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC2ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC3ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC4ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC5ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC6ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC8ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC9ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE13F 追加ビット)

ICSR9.POE13F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC10ADDGPT02ZE ビット (GPTW0 ～ GPTW2 出力停止条件 POE14F 追加ビット)

ICSR10.POE14F フラグを GPTW0 ～ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

23.2.33 ポートアウトプットイネーブルコントロールレジスタ 10 (POECR10)

アドレス POE.POECR10 0009 E454h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IC10ADDGPT46ZE	IC9ADDGPT46ZE	IC8ADDGPT46ZE	—	IC6ADDGPT46ZE	IC5ADDGPT46ZE	IC4ADDGPT46ZE	IC3ADDGPT46ZE	IC2ADDGPT46ZE	IC1ADDGPT46ZE	CMADDGPT46ZE
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT46ZE	GPTW4～GPTW6出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b1	IC1ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b2	IC2ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b3	IC3ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b4	IC4ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b5	IC5ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b6	IC6ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b9	IC9ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE13F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b10	IC10ADDGPT46ZE	GPTW4～GPTW6出力停止条件POE14F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR10 レジスタは、GPTW4 ～ GPTW6 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC2ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC3ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC4ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC5ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC6ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC8ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC9ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE13F 追加ビット)

ICSR9.POE13F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

IC10ADDGPT46ZE ビット (GPTW4 ～ GPTW6 出力停止条件 POE14F 追加ビット)

ICSR10.POE14F フラグを GPTW4 ～ GPTW6 端子 (GTIOC4A, GTIOC4B, GTIOC5A, GTIOC5B, GTIOC6A, GTIOC6B) の出力停止制御条件に追加します。

23.2.34 ポートアウトプットイネーブルコントロールレジスタ 11 (POECR11)

アドレス POE.POECR11 0009 E456h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IC10ADDGPT79ZE	IC9ADDGPT79ZE	IC8ADDGPT79ZE	—	IC6ADDGPT79ZE	IC5ADDGPT79ZE	IC4ADDGPT79ZE	IC3ADDGPT79ZE	IC2ADDGPT79ZE	IC1ADDGPT79ZE	CMADDGPT79ZE
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT79ZE	GPTW7～GPTW9出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b1	IC1ADDGPT79ZE	GPTW7～GPTW9出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b2	IC2ADDGPT79ZE	GPTW7～GPTW9出力停止条件POE4F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b3	IC3ADDGPT79ZE	GPTW7～GPTW9出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b4	IC4ADDGPT79ZE	GPTW7～GPTW9出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b5	IC5ADDGPT79ZE	GPTW7～GPTW9出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b6	IC6ADDGPT79ZE	GPTW7～GPTW9出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IC8ADDGPT79ZE	GPTW7～GPTW9出力停止条件POE9F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b9	IC9ADDGPT79ZE	GPTW7～GPTW9出力停止条件POE13F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b10	IC10ADDGPT79ZE	GPTW7～GPTW9出力停止条件POE14F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR11 レジスタは、GPTW7 ～ GPTW9 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT79ZE ビット (GPTW7 ～ GPTW9 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を、GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1 ～ 5) は発生しません。

IC1ADDGPT79ZE ビット (GPTW7 ～ GPTW9 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力停止制御条件に追加します。

IC2ADDGPT79ZE ビット (GPTW7 ～ GPTW9 出力停止条件 POE4F 追加ビット)

ICSR2.POE4F フラグを GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力停止制御条件に追加します。

IC3ADDGPT79ZE ビット (GPTW7 ～ GPTW9 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力停止制御条件に追加します。

IC4ADDGPT79ZE ビット (GPTW7 ～ GPTW9 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力停止制御条件に追加します。

IC5ADDGPT79ZE ビット (GPTW7 ～ GPTW9 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力停止制御条件に追加します。

IC6ADDGPT79ZE ビット (GPTW7 ～ GPTW9 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力停止制御条件に追加します。

IC8ADDGPT79ZE ビット (GPTW7 ～ GPTW9 出力停止条件 POE9F 追加ビット)

ICSR8.POE9F フラグを GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力停止制御条件に追加します。

IC9ADDGPT79ZE ビット (GPTW7 ～ GPTW9 出力停止条件 POE13F 追加ビット)

ICSR9.POE13F フラグを GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力停止制御条件に追加します。

IC10ADDGPT79ZE ビット (GPTW7 ～ GPTW9 出力停止条件 POE14F 追加ビット)

ICSR10.POE14F フラグを GPTW7 ～ GPTW9 端子 (GTIOC7A, GTIOC7B, GTIOC8A, GTIOC8B, GTIOC9A, GTIOC9B) の出力停止制御条件に追加します。

23.2.35 ポートモードマスクコントロールレジスタ 0 (PMMCR0)

アドレス POE.PMMCR0 0009 E430h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MTU9DME	MTU9CME	MTU9BME	MTU9AME	—	—	—	—	MTU0DME	MTU0CME	MTU0BME	MTU0AME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AME	MTIOC0A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	MTU0BME	MTIOC0B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	MTU0CME	MTIOC0C端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	MTU0DME	MTIOC0D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU9AME	MTIOC9A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b9	MTU9BME	MTIOC9B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b10	MTU9CME	MTIOC9C端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b11	MTU9DME	MTIOC9D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

PMMCR0 レジスタは、MTU0、MTU9 端子に関連する PMR レジスタの設定をマスクするレジスタです。

MTU0AME ビット (MTIOC0A 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7 ～ 10、m = 0, 4, 8, 10, 11, 12, 9, 13, 14)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、MTIOC0A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR1.MTU0AZE ビットを “0” にしてください。POECR1.MTU0AZE ビットが “1” の場合、このビットの設定は無視されます。

MTU0BME ビット (MTIOC0B 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC0B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR1.MTU0BZE ビットを “0” にしてください。POECR1.MTU0BZE ビットが “1” の場合、このビットの設定は無視されます。

MTU0CME ビット (MTIOC0C 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になった

ときに、MTIOC0C 端子を汎用入出力ポートに切り替えるかどうかを設定します。
なお、このビットを “1” にする場合は、POECR1.MTU0CZE ビットを “0” にしてください。
POECR1.MTU0CZE ビットが “1” の場合、このビットの設定は無視されます。

MTU0DME ビット (MTIOC0D 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC0D 端子を汎用入出力ポートに切り替えるかどうかを設定します。
なお、このビットを “1” にする場合は、POECR1.MTU0DZE ビットを “0” にしてください。
POECR1.MTU0DZE ビットが “1” の場合、このビットの設定は無視されます。

MTU9AME ビット (MTIOC9A 端子ポートモードマスク許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9A 端子を汎用入出力ポートに切り替えるかどうかを設定します。
なお、このビットを “1” にする場合は、POECR7.MTU9AZE ビットを “0” にしてください。
POECR7.MTU9AZE ビットが “1” の場合、このビットの設定は無視されます。

MTU9BME ビット (MTIOC9B 端子ポートモードマスク許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9B 端子を汎用入出力ポートに切り替えるかどうかを設定します。
なお、このビットを “1” にする場合は、POECR7.MTU9BZE ビットを “0” にしてください。
POECR7.MTU9BZE ビットが “1” の場合、このビットの設定は無視されます。

MTU9CME ビット (MTIOC9C 端子ポートモードマスク許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9C 端子を汎用入出力ポートに切り替えるかどうかを設定します。
なお、このビットを “1” にする場合は、POECR7.MTU9CZE ビットを “0” にしてください。
POECR7.MTU9CZE ビットが “1” の場合、このビットの設定は無視されます。

MTU9DME ビット (MTIOC9D 端子ポートモードマスク許可ビット)

SPOER.MTUCH9HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR8 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC9D 端子を汎用入出力ポートに切り替えるかどうかを設定します。
なお、このビットを “1” にする場合は、POECR7.MTU9DZE ビットを “0” にしてください。
POECR7.MTU9DZE ビットが “1” の場合、このビットの設定は無視されます。

23.2.36 ポートモードマスクコントロールレジスタ 1 (PMMCR1)

アドレス POE.PMMCR1 0009 E432h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MTU3DME	MTU4CME	MTU4DME	MTU3BME	MTU4AME	MTU4BME	—	—	MTU6DME	MTU7CME	MTU7DME	MTU6BME	MTU7AME	MTU7BME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BME	MTIOC7B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	MTU7AME	MTIOC7A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	MTU6BME	MTIOC6B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	MTU7DME	MTIOC7D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b4	MTU7CME	MTIOC7C端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b5	MTU6DME	MTIOC6D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BME	MTIOC4B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b9	MTU4AME	MTIOC4A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b10	MTU3BME	MTIOC3B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b11	MTU4DME	MTIOC4D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b12	MTU4CME	MTIOC4C端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b13	MTU3DME	MTIOC3D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

PMMCR1 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4、MTU6、MTU7 端子) に関連する PMR レジスタの設定をマスクするレジスタです。

MTU7BME ビット (MTIOC7B 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7 ～ 10、m = 0, 4, 8, 10, 11, 12, 9, 13, 14)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、MTIOC7B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU7BDZE ビットを “0” にしてください。POECR2.MTU7BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU7AME ビット (MTIOC7A 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フ

ラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC7A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU7ACZE ビットを “0” にしてください。POECR2.MTU7ACZE ビットが “1” の場合、このビットの設定は無視されます。

MTU6BME ビット (MTIOC6B 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC6B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU6BDZE ビットを “0” にしてください。POECR2.MTU6BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU7DME ビット (MTIOC7D 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC7D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU7BDZE ビットを “0” にしてください。POECR2.MTU7BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU7CME ビット (MTIOC7C 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC7C 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU7ACZE ビットを “0” にしてください。POECR2.MTU7ACZE ビットが “1” の場合、このビットの設定は無視されます。

MTU6DME ビット (MTIOC6D 端子ポートモードマスク許可ビット)

OCSR2.OSF2 フラグ (OCSR2.OCE2 ビット = 1 のとき)、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC6D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU6BDZE ビットを “0” にしてください。POECR2.MTU6BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU4BME ビット (MTIOC4B 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU4BDZE ビットを “0” にしてください。POECR2.MTU4BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU4AME ビット (MTIOC4A 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU4ACZE ビットを “0” にしてください。POECR2.MTU4ACZE ビットが “1” の場合、このビットの設定は無視されます。

MTU3BME ビット (MTIOC3B 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC3B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU3BDZE ビットを “0” にしてください。POECR2.MTU3BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU4DME ビット (MTIOC4D 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU4BDZE ビットを “0” にしてください。POECR2.MTU4BDZE ビットが “1” の場合、このビットの設定は無視されます。

MTU4CME ビット (MTIOC4C 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC4C 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU4ACZE ビットを “0” にしてください。POECR2.MTU4ACZE ビットが “1” の場合、このビットの設定は無視されます。

MTU3DME ビット (MTIOC3D 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、MTIOC3D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR2.MTU3BDZE ビットを “0” にしてください。POECR2.MTU3BDZE ビットが “1” の場合、このビットの設定は無視されます。

23.2.37 ポートモードマスクコントロールレジスタ 2 (PMMCR2)

アドレス POE.PMMCR2 0009 E434h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GPT7BME	GPT7AME	GPT6BME	GPT6AME	GPT5BME	GPT5AME	GPT4BME	GPT4AME	GPT3BME	GPT3AME	GPT2BME	GPT2AME	GPT1BME	GPT1AME	GPT0BME	GPT0AME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPT0AME	GTIOC0A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	GPT0BME	GTIOC0B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	GPT1AME	GTIOC1A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	GPT1BME	GTIOC1B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b4	GPT2AME	GTIOC2A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b5	GPT2BME	GTIOC2B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b6	GPT3AME	GTIOC3A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b7	GPT3BME	GTIOC3B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b8	GPT4AME	GTIOC4A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b9	GPT4BME	GTIOC4B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b10	GPT5AME	GTIOC5A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b11	GPT5BME	GTIOC5B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b12	GPT6AME	GTIOC6A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b13	GPT6BME	GTIOC6B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b14	GPT7AME	GTIOC7A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b15	GPT7BME	GTIOC7B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

PMMCR2 レジスタは、GPTW 出力端子 (GPTW0 ～ GPTW7 端子) に関連する PMR レジスタの設定をマスクするレジスタです。

GPT0AME ビット (GTIOC0A 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7 ～ 10、m = 0, 4, 8, 10, 11, 12, 9, 13, 14)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5)、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC0A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT0ABZE ビットを “0” にしてください。POECR3.GPT0ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT0BME ビット (GTIOC0B 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC0B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT0ABZE ビットを “0” にしてください。POECR3.GPT0ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT1AME ビット (GTIOC1A 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC1A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT1ABZE ビットを “0” にしてください。POECR3.GPT1ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT1BME ビット (GTIOC1B 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC1B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT1ABZE ビットを “0” にしてください。POECR3.GPT1ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT2AME ビット (GTIOC2A 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT23HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに GTIOC2A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT2ABZE ビットを “0” にしてください。POECR3.GPT2ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT2BME ビット (GTIOC2B 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット = 1 のとき)、SPOER.GPT23HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC2B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT2ABZE ビットを “0” にしてください。

POECR3.GPT2ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT3AME ビット (GTIOC3A 端子ポートモードマスク許可ビット)

SPOER.GPT23HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC3A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT3ABZE ビットを “0” にしてください。POECR3.GPT3ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT3BME ビット (GTIOC3B 端子ポートモードマスク許可ビット)

SPOER.GPT23HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC3B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT3ABZE ビットを “0” にしてください。POECR3.GPT3ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT4AME ビット (GTIOC4A 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC4A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT4ABZE ビットを “0” にしてください。POECR3.GPT4ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT4BME ビット (GTIOC4B 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC4B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT4ABZE ビットを “0” にしてください。POECR3.GPT4ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT5AME ビット (GTIOC5A 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC5A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT5ABZE ビットを “0” にしてください。POECR3.GPT5ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT5BME ビット (GTIOC5B 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC5B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT5ABZE ビットを “0” にしてください。

POECR3.GPT5ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT6AME ビット (GTIOC6A 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC6A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT6ABZE ビットを “0” にしてください。POECR3.GPT6ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT6BME ビット (GTIOC6B 端子ポートモードマスク許可ビット)

OCSR4.OSF4 フラグ (OCSR4.OCE4 ビット = 1 のとき)、SPOER.GPT46HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR10 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC6B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT6ABZE ビットを “0” にしてください。POECR3.GPT6ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT7AME ビット (GTIOC7A 端子ポートモードマスク許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC7A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT7ABZE ビットを “0” にしてください。POECR3.GPT7ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT7BME ビット (GTIOC7B 端子ポートモードマスク許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC7B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT7ABZE ビットを “0” にしてください。POECR3.GPT7ABZE ビットが “1” の場合、このビットの設定は無視されます。

23.2.38 ポートモードマスクコントロールレジスタ 3 (PMMCR3)

アドレス POE.PMMCR3 0009 E436h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	GPT9BME	GPT9AME	GPT8BME	GPT8AME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPT8AME	GTIOC8A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	GPT8BME	GTIOC8B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	GPT9AME	GTIOC9A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	GPT9BME	GTIOC9B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

PMMCR3 レジスタは、GPTW 出力端子 (GPTW8、GPTW9 端子) に関連する PMR レジスタの設定をマスクするレジスタです。

GPT8AME ビット (GTIOC8A 端子ポートモードマスク許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1 ～ 5, 7 ～ 10、m = 0, 4, 8, 10, 11, 12, 9, 13, 14)、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) のうち、どれか 1 つでも “1” になったときに、GTIOC8A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT8ABZE ビットを “0” にしてください。POECR3.GPT8ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT8BME ビット (GTIOC8B 端子ポートモードマスク許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC8B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT8ABZE ビットを “0” にしてください。POECR3.GPT8ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT9AME ビット (GTIOC9A 端子ポートモードマスク許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC9A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT9ABZE ビットを “0” にしてください。POECR3.GPT9ABZE ビットが “1” の場合、このビットの設定は無視されます。

GPT9BME ビット (GTIOC9B 端子ポートモードマスク許可ビット)

OCSR5.OSF5 フラグ (OCSR5.OCE5 ビット = 1 のとき)、SPOER.GPT79HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR11 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも “1” になったときに、GTIOC9B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを “1” にする場合は、POECR3.GPT9ABZE ビットを “0” にしてください。POECR3.GPT9ABZE ビットが “1” の場合、このビットの設定は無視されます。

23.2.39 ポートアウトプットイネーブルコンパレータ検出フラグレジスタ (POECMPFR)

アドレス POE.POECMPFR 0009 E426h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	C5FLAG	C4FLAG	C3FLAG	C2FLAG	C1FLAG	C0FLAG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C0FLAG	コンパレータチャネル0出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b1	C1FLAG	コンパレータチャネル1出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b2	C2FLAG	コンパレータチャネル2出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b3	C3FLAG	コンパレータチャネル3出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b4	C4FLAG	コンパレータチャネル4出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b5	C5FLAG	コンパレータチャネル5出力検出フラグ	0：コンパレータ出力を検出していない 1：コンパレータ出力を検出した	R/(W) (注1)
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

CjFLAG フラグ (コンパレータチャネル j 出力検出フラグ) (j = 0 ～ 5)

各コンパレータ出力の検出 / 未検出状態を示すフラグです。

[“1” になる条件]

- コンパレータ出力の Low から High への変化を検知したとき
  - コンパレータが正転出力の場合: 基準電圧よりも低い入力電圧から高い入力電圧への変化
  - コンパレータが反転出力の場合: 基準電圧よりも高い入力電圧から低い入力電圧への変化

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書いたとき

23.2.40 ポートアウトプットイネーブルコンパレータ要求選択レジスタ (POECMPSEL)

アドレス POE.POECMPSEL 0009 E428h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	POEREQ5	POEREQ4	POEREQ3	POEREQ2	POEREQ1	POEREQ0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POEREQ0	コンパレータチャネル0出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b1	POEREQ1	コンパレータチャネル1出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b2	POEREQ2	コンパレータチャネル2出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b3	POEREQ3	コンパレータチャネル3出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b4	POEREQ4	コンパレータチャネル4出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b5	POEREQ5	コンパレータチャネル5出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECMPSEL レジスタはコンパレータ出力検出フラグを出力停止制御条件として使用するために設定するレジスタです。

POEREQj ビット (コンパレータチャネル j 出力停止許可ビット) (j = 0 ～ 5)

各コンパレータ出力の検出による出力停止要求の生成を禁止 / 許可します。いずれかのコンパレータ出力を検出したとき、出力停止要求を生成します。

23.2.41 ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m (POECMPEXm) (m = 0 ～ 8)

アドレス　POE.POECMPEX0 0009 E438h, POE.POECMPEX1 0009 E439h, POE.POECMPEX2 0009 E43Ah, POE.POECMPEX3 0009 E43Bh, POE.POECMPEX4 0009 E43Ch, POE.POECMPEX5 0009 E43Dh, POE.POECMPEX6 0009 E458h, POE.POECMPEX7 0009 E459h, POE.POECMPEX8 0009 E45Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	POEREQ5	POEREQ4	POEREQ3	POEREQ2	POEREQ1	POEREQ0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POEREQ0	コンパレータチャネル0出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b1	POEREQ1	コンパレータチャネル1出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b2	POEREQ2	コンパレータチャネル2出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b3	POEREQ3	コンパレータチャネル3出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b4	POEREQ4	コンパレータチャネル4出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b5	POEREQ5	コンパレータチャネル5出力停止許可ビット	0：コンパレータ出力検出時の出力停止要求を禁止 1：コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。

POECMPEXm レジスタはコンパレータ出力検出フラグを出力停止制御条件として使用するために設定するレジスタです。POECMPSEL レジスタが全端子一括で条件を選択するのに対し、POECMPEXm レジスタでは出力端子グループごとに条件が選択できます。表 23.4 に出力端子グループと対応する POECMPEXm レジスタを示します。

表23.4　出力端子グループと対応するPOECMPEXm レジスタ

出力端子グループ	対応するPOECMPEXm レジスタ	対応するCFLAG追加ビット
MTU3, MTU4	POECMPEX0	POECR4.CMADDMT34ZE
MTU6, MTU7	POECMPEX1	POECR4B.CMADDMT67ZE
MTU0	POECMPEX2	POECR5.CMADDMT0ZE
MTU9	POECMPEX3	POECR8.CMADDMT9ZE
GPTW0, GPTW1	POECMPEX4	POECR6.CMADDGPT01ZE
GPTW2, GPTW3	POECMPEX5	POECR6B.CMADDGPT23ZE
GPTW0 ～ GPTW2	POECMPEX6	POECR9.CMADDGPT02ZE
GPTW4 ～ GPTW6	POECMPEX7	POECR10.CMADDGPT46ZE
GPTW7 ～ GPTW9	POECMPEX8	POECR11.CMADDGPT79ZE

POEREQj ビット (コンパレータチャネル j 出力停止許可ビット) (j = 0 ～ 5)

各コンパレータ出力の検出による出力停止要求の生成を禁止 / 許可します。いずれかのコンパレータ出力を検出したとき、出力停止要求を生成します。

23.2.42 MTU0 端子選択レジスタ 1 (M0SELR1)

アドレス POE.M0SELR1 0009 E460h

	b7	b6	b5	b4	b3	b2	b1	b0
	M0BSEL[3:0]				M0ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M0ASEL[3:0]	MTU0-A (MTIOC0A)端子選択ビット	b3 b0 0 0 0 0：どのMTIOC0A端子も出力停止制御を行わない 0 0 0 1：PB3をMTIOC0A端子として出力停止制御を行う 0 0 1 0：P31をMTIOC0A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M0BSEL[3:0]	MTU0-B (MTIOC0B)端子選択ビット	b7 b4 0 0 0 0：どのMTIOC0B端子も出力停止制御を行わない 0 0 0 1：PB2をMTIOC0B端子として出力停止制御を行う 0 0 1 0：P30をMTIOC0B端子として出力停止制御を行う 0 0 1 1：PC0をMTIOC0B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M0SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU0-A/B の端子を選択します。

M0ASEL[3:0] ビット (MTU0-A (MTIOC0A) 端子選択ビット)

出力停止制御の対象となる MTIOC0A 端子を選択します。

M0BSEL[3:0] ビット (MTU0-B (MTIOC0B) 端子選択ビット)

出力停止制御の対象となる MTIOC0B 端子を選択します。

23.2.43 MTU0 端子選択レジスタ 2 (M0SELR2)

アドレス POE.M0SELR2 0009 E461h

	b7	b6	b5	b4	b3	b2	b1	b0
	M0DSEL[3:0]				M0CSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M0CSEL[3:0]	MTU0-C (MTIOC0C)端子選択ビット	b3 b0 ０００００：どのMTIOC0C端子も出力停止制御を行わない ０００１：PB1をMTIOC0C端子として出力停止制御を行う ００１０：P27をMTIOC0C端子として出力停止制御を行う ００１１：PC1をMTIOC0C端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M0DSEL[3:0]	MTU0-D (MTIOC0D)端子選択ビット	b7 b4 ０００００：どのMTIOC0D端子も出力停止制御を行わない ０００１：PB0をMTIOC0D端子として出力停止制御を行う ００１１：PC2をMTIOC0D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M0SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU0-C/D の端子を選択します。

M0CSEL[3:0] ビット (MTU0-C (MTIOC0C) 端子選択ビット)

出力停止制御の対象となる MTIOC0C 端子を選択します。

M0DSEL[3:0] ビット (MTU0-D (MTIOC0D) 端子選択ビット)

出力停止制御の対象となる MTIOC0D 端子を選択します。

23.2.44 MTU3 端子選択レジスタ (M3SELR)

アドレス POE.M3SELR 0009 E462h

	b7	b6	b5	b4	b3	b2	b1	b0
	M3DSEL[3:0]				M3BSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M3BSEL[3:0]	MTU3-B (MTIOC3B)端子選択ビット	b3 b0 ０００００：どのMTIOC3B端子も出力停止制御を行わない ０００１：P71をMTIOC3B端子として出力停止制御を行う ００１０：P12をMTIOC3B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M3DSEL[3:0]	MTU3-D (MTIOC3D)端子選択ビット	b7 b4 ０００００：どのMTIOC3D端子も出力停止制御を行わない ０００１：P74をMTIOC3D端子として出力停止制御を行う ００１０：P15をMTIOC3D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M3SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU3-B/D の端子を選択します。

M3BSEL[3:0] ビット (MTU3-B (MTIOC3B) 端子選択ビット)

出力停止制御の対象となる MTIOC3B 端子を選択します。

M3DSEL[3:0] ビット (MTU3-D (MTIOC3D) 端子選択ビット)

出力停止制御の対象となる MTIOC3D 端子を選択します。

23.2.45 MTU4 端子選択レジスタ 1 (M4SELR1)

アドレス POE.M4SELR1 0009 E463h

	b7	b6	b5	b4	b3	b2	b1	b0
	M4CSEL[3:0]				M4ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M4ASEL[3:0]	MTU4-A (MTIOC4A)端子選択ビット	b3 b0 0 0 0 0：どのMTIOC4A端子も出力停止制御を行わない 0 0 0 1：P72をMTIOC4A端子として出力停止制御を行う 0 0 1 0：P13をMTIOC4A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M4CSEL[3:0]	MTU4-C (MTIOC4C)端子選択ビット	b7 b4 0 0 0 0：どのMTIOC4C端子も出力停止制御を行わない 0 0 0 1：P75をMTIOC4C端子として出力停止制御を行う 0 0 1 0：P16をMTIOC4C端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M4SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU4-A/C の端子を選択します。

M4ASEL[3:0] ビット (MTU4-A (MTIOC4A) 端子選択ビット)

出力停止の対象となる MTIOC4A 端子を選択します。

M4CSEL[3:0] ビット (MTU4-C (MTIOC4C) 端子選択ビット)

出力停止の対象となる MTIOC4C 端子を選択します。

23.2.46 MTU4 端子選択レジスタ 2 (M4SELR2)

アドレス POE.M4SELR2 0009 E464h

	b7	b6	b5	b4	b3	b2	b1	b0
	M4DSEL[3:0]				M4BSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M4BSEL[3:0]	MTU4-B (MTIOC4B)端子選択ビット	b3 b0 0 0 0 0：どのMTIOC4B端子も出力停止制御を行わない 0 0 0 1：P73をMTIOC4B端子として出力停止制御を行う 0 0 1 0：P14をMTIOC4B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M4DSEL[3:0]	MTU4-D (MTIOC4D)端子選択ビット	b7 b4 0 0 0 0：どのMTIOC4D端子も出力停止制御を行わない 0 0 0 1：P76をMTIOC4D端子として出力停止制御を行う 0 0 1 0：P17をMTIOC4D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M4SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU4-B/D の端子を選択します。

M4BSEL[3:0] ビット (MTU4-B (MTIOC4B) 端子選択ビット)

出力停止制御の対象となる MTIOC4B 端子を選択します。

M4DSEL[3:0] ビット (MTU4-D (MTIOC4D) 端子選択ビット)

出力停止制御の対象となる MTIOC4D 端子を選択します。

23.2.47 MTU6 端子選択レジスタ (M6SELR)

アドレス POE.M6SELR 0009 E465h

	b7	b6	b5	b4	b3	b2	b1	b0
	M6DSEL[3:0]				M6BSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M6BSEL[3:0]	MTU6-B (MTIOC6B)端子選択ビット	b3 b0 0 0 0 0：どのMTIOC6B端子も出力停止制御を行わない 0 0 0 1：P95をMTIOC6B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M6DSEL[3:0]	MTU6-D (MTIOC6D)端子選択ビット	b7 b4 0 0 0 0：どのMTIOC6D端子も出力停止制御を行わない 0 0 0 1：P92をMTIOC6D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M6SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU6-B/D の端子を選択します。

M6BSEL[3:0] ビット (MTU6-B (MTIOC6B) 端子選択ビット)

出力停止制御の対象となる MTIOC6B 端子を選択します。

M6DSEL[3:0] ビット (MTU6-D (MTIOC6D) 端子選択ビット)

出力停止制御の対象となる MTIOC6D 端子を選択します。

23.2.48 MTU7 端子選択レジスタ 1 (M7SELR1)

アドレス POE.M7SELR1 0009 E466h

	b7	b6	b5	b4	b3	b2	b1	b0
	M7CSEL[3:0]				M7ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M7ASEL[3:0]	MTU7-A (MTIOC7A)端子選択ビット	b3 b0 0 0 0 0：どのMTIOC7A端子も出力停止制御を行わない 0 0 0 1：P94をMTIOC7A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M7CSEL[3:0]	MTU7-C (MTIOC7C)端子選択ビット	b7 b4 0 0 0 0：どのMTIOC7C端子も出力停止制御を行わない 0 0 0 1：P91をMTIOC7C端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M7SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU7-A/C の端子を選択します。

M7ASEL[3:0] ビット (MTU7-A (MTIOC7A) 端子選択ビット)

出力停止制御の対象となる MTIOC7A 端子を選択します。

M7CSEL[3:0] ビット (MTU7-C (MTIOC7C) 端子選択ビット)

出力停止制御の対象となる MTIOC7C 端子を選択します。

23.2.49 MTU7 端子選択レジスタ 2 (M7SELR2)

アドレス POE.M7SELR2 0009 E467h

	b7	b6	b5	b4	b3	b2	b1	b0
	M7DSEL[3:0]				M7BSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M7BSEL[3:0]	MTU7-B (MTIOC7B)端子選択ビット	b3 b0 0 0 0 0：どのMTIOC7B端子も出力停止制御を行わない 0 0 0 1：P93をMTIOC7B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M7DSEL[3:0]	MTU7-D (MTIOC7D)端子選択ビット	b7 b4 0 0 0 0：どのMTIOC7D端子も出力停止制御を行わない 0 0 0 1：P90をMTIOC7D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M7SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU7-B/D の端子を選択します。

M7BSEL[3:0] ビット (MTU7-B (MTIOC7B) 端子選択ビット)

出力停止制御の対象となる MTIOC7B 端子を選択します。

M7DSEL[3:0] ビット (MTU7-D (MTIOC7D) 端子選択ビット)

出力停止制御の対象となる MTIOC7D 端子を選択します。

23.2.50 MTU9 端子選択レジスタ 1 (M9SELR1)

アドレス POE.M9SELR1 0009 E468h

	b7	b6	b5	b4	b3	b2	b1	b0
	M9BSEL[3:0]				M9ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M9ASEL[3:0]	MTU9-A (MTIOC9A)端子選択ビット	b3 b0 0 0 0 0：どのMTIOC9A端子も出力停止制御を行わない 0 0 0 1：PD7をMTIOC9A端子として出力停止制御を行う 0 0 1 0：P21をMTIOC9A端子として出力停止制御を行う 0 0 1 1：P00をMTIOC9A端子として出力停止制御を行う 0 1 0 0：P26をMTIOC9A端子として出力停止制御を行う 0 1 0 1：P35をMTIOC9A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M9BSEL[3:0]	MTU9-B (MTIOC9B)端子選択ビット	b7 b4 0 0 0 0：どのMTIOC9B端子も出力停止制御を行わない 0 0 0 1：PE0をMTIOC9B端子として出力停止制御を行う 0 0 1 0：PC4をMTIOC9B端子として出力停止制御を行う 0 0 1 1：P10をMTIOC9B端子として出力停止制御を行う 0 1 0 0：P22をMTIOC9B端子として出力停止制御を行う 0 1 0 1：P34をMTIOC9B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M9SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU9-A/B の端子を選択します。

M9ASEL[3:0] ビット (MTU9-A (MTIOC9A) 端子選択ビット)

出力停止制御の対象となる MTIOC9A 端子を選択します。

M9BSEL[3:0] ビット (MTU9-B (MTIOC9B) 端子選択ビット)

出力停止制御の対象となる MTIOC9B 端子を選択します。

23.2.51 MTU9 端子選択レジスタ 2 (M9SELR2)

アドレス POE.M9SELR2 0009 E469h

	b7	b6	b5	b4	b3	b2	b1	b0
	M9DSEL[3:0]				M9CSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	M9CSEL[3:0]	MTU9-C (MTIOC9C)端子選択ビット	b3 b0 ０００００：どのMTIOC9C端子も出力停止制御を行わない ０００１：PD6をMTIOC9C端子として出力停止制御を行う ００１０：P20をMTIOC9C端子として出力停止制御を行う ００１１：P01をMTIOC9C端子として出力停止制御を行う ０１００：P25をMTIOC9C端子として出力停止制御を行う ０１０１：PC6をMTIOC9C端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M9DSEL[3:0]	MTU9-D (MTIOC9D)端子選択ビット	b7 b4 ０００００：どのMTIOC9D端子も出力停止制御を行わない ０００１：PE1をMTIOC9D端子として出力停止制御を行う ００１０：PC3をMTIOC9D端子として出力停止制御を行う ００１１：PE5をMTIOC9D端子として出力停止制御を行う ０１００：P11をMTIOC9D端子として出力停止制御を行う ０１０１：PC5をMTIOC9D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M9SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU9-C/D の端子を選択します。

M9CSEL[3:0] ビット (MTU9-C (MTIOC9C) 端子選択ビット)

出力停止制御の対象となる MTIOC9C 端子を選択します。

M9DSEL[3:0] ビット (MTU9-D (MTIOC9D) 端子選択ビット)

出力停止制御の対象となる MTIOC9D 端子を選択します。

23.2.52 GPTW0 端子選択レジスタ (G0SELR)

アドレス POE.G0SELR 0009 E46Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	G0BSEL[3:0]				G0ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G0ASEL[3:0]	GPTW0-A (GTIOC0A)端子選択ビット	b3 b0 0 0 0 0：どのGTIOC0A端子も出力停止制御を行わない 0 0 0 1：P71をGTIOC0A端子として出力停止制御を行う 0 0 1 0：PD7をGTIOC0A端子として出力停止制御を行う 0 0 1 1：P12をGTIOC0A端子として出力停止制御を行う 0 1 0 0：PD2をGTIOC0A端子として出力停止制御を行う 0 1 0 1：PG1をGTIOC0A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G0BSEL[3:0]	GPTW0-B (GTIOC0B)端子選択ビット	b7 b4 0 0 0 0：どのGTIOC0B端子も出力停止制御を行わない 0 0 0 1：P74をGTIOC0B端子として出力停止制御を行う 0 0 1 0：PD6をGTIOC0B端子として出力停止制御を行う 0 0 1 1：P15をGTIOC0B端子として出力停止制御を行う 0 1 0 0：PD1をGTIOC0B端子として出力停止制御を行う 0 1 0 1：PG2をGTIOC0B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G0SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW0-A/B の端子を選択します。

G0ASEL[3:0] ビット (GPTW0-A (GTIOC0A) 端子選択ビット)

出力停止制御の対象となる GTIOC0A 端子を選択します。

G0BSEL[3:0] ビット (GPTW0-B (GTIOC0B) 端子選択ビット)

出力停止制御の対象となる GTIOC0B 端子を選択します。

23.2.53 GPTW1 端子選択レジスタ (G1SELR)

アドレス POE.G1SELR 0009 E46Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	G1BSEL[3:0]				G1ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G1ASEL[3:0]	GPTW1-A (GTIOC1A)端子選択ビット	b3 b0 0 0 0 0：どのGTIOC1A端子も出力停止制御を行わない 0 0 0 1：P72をGTIOC1A端子として出力停止制御を行う 0 0 1 0：PD5をGTIOC1A端子として出力停止制御を行う 0 0 1 1：P13をGTIOC1A端子として出力停止制御を行う 0 1 0 0：PD0をGTIOC1A端子として出力停止制御を行う 0 1 0 1：PK2をGTIOC1A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G1BSEL[3:0]	GPTW1-B (GTIOC1B)端子選択ビット	b7 b4 0 0 0 0：どのGTIOC1B端子も出力停止制御を行わない 0 0 0 1：P75をGTIOC1B端子として出力停止制御を行う 0 0 1 0：PD4をGTIOC1B端子として出力停止制御を行う 0 0 1 1：P16をGTIOC1B端子として出力停止制御を行う 0 1 0 0：PB7をGTIOC1B端子として出力停止制御を行う 0 1 0 1：PG0をGTIOC1B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G1SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW1-A/B の端子を選択します。

G1ASEL[3:0] ビット (GPTW1-A (GTIOC1A) 端子選択ビット)

出力停止制御の対象となる GTIOC1A 端子を選択します。

G1BSEL[3:0] ビット (GPTW1-B (GTIOC1B) 端子選択ビット)

出力停止制御の対象となる GTIOC1B 端子を選択します。

23.2.54 GPTW2 端子選択レジスタ (G2SELR)

アドレス POE.G2SELR 0009 E46Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	G2BSEL[3:0]				G2ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G2ASEL[3:0]	GPTW2-A (GTIOC2A)端子選択ビット	b3 b0 0 0 0 0：どのGTIOC2A端子も出力停止制御を行わない 0 0 0 1：P73をGTIOC2A端子として出力停止制御を行う 0 0 1 0：PD3をGTIOC2A端子として出力停止制御を行う 0 0 1 1：P14をGTIOC2A端子として出力停止制御を行う 0 1 0 0：PB6をGTIOC2A端子として出力停止制御を行う 0 1 0 1：PK0をGTIOC2A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G2BSEL[3:0]	GPTW2-B (GTIOC2B)端子選択ビット	b7 b4 0 0 0 0：どのGTIOC2B端子も出力停止制御を行わない 0 0 0 1：P76をGTIOC2B端子として出力停止制御を行う 0 0 1 0：PD2をGTIOC2B端子として出力停止制御を行う 0 0 1 1：P17をGTIOC2B端子として出力停止制御を行う 0 1 0 0：PB5をGTIOC2B端子として出力停止制御を行う 0 1 0 1：PK1をGTIOC2B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G2SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW2-A/B の端子を選択します。

G2ASEL[3:0] ビット (GPTW2-A (GTIOC2A) 端子選択ビット)

出力停止制御の対象となる GTIOC2A 端子を選択します。

G2BSEL[3:0] ビット (GPTW2-B (GTIOC2B) 端子選択ビット)

出力停止制御の対象となる GTIOC2B 端子を選択します。

23.2.55 GPTW3 端子選択レジスタ (G3SELR)

アドレス POE.G3SELR 0009 E46Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	G3BSEL[3:0]				G3ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G3ASEL[3:0]	GPTW3-A (GTIOC3A)端子選択ビット	b3 b0 0 0 0 0：どのGTIOC3A端子も出力停止制御を行わない 0 0 0 1：P32をGTIOC3A端子として出力停止制御を行う 0 0 1 0：PD1をGTIOC3A端子として出力停止制御を行う 0 0 1 1：PE5をGTIOC3A端子として出力停止制御を行う 0 1 0 0：PD7をGTIOC3A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G3BSEL[3:0]	GPTW3-B (GTIOC3B)端子選択ビット	b7 b4 0 0 0 0：どのGTIOC3B端子も出力停止制御を行わない 0 0 0 1：P33をGTIOC3B端子として出力停止制御を行う 0 0 1 0：PD0をGTIOC3B端子として出力停止制御を行う 0 0 1 1：P11をGTIOC3B端子として出力停止制御を行う 0 1 0 0：PD6をGTIOC3B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G3SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW3-A/B の端子を選択します。

G3ASEL[3:0] ビット (GPTW3-A (GTIOC3A) 端子選択ビット)

出力停止制御の対象となる GTIOC3A 端子を選択します。

G3BSEL[3:0] ビット (GPTW3-B (GTIOC3B) 端子選択ビット)

出力停止制御の対象となる GTIOC3B 端子を選択します。

23.2.56 GPTW4 端子選択レジスタ (G4SELR)

アドレス POE.G4SELR 0009 E46Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	G4BSEL[3:0]				G4ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G4ASEL[3:0]	GPTW4-A (GTIOC4A)端子選択ビット	b3 b0 0 0 0 0：どのGTIOC4A端子も出力停止制御を行わない 0 0 0 1：P95をGTIOC4A端子として出力停止制御を行う 0 0 1 0：P71をGTIOC4A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G4BSEL[3:0]	GPTW4-B (GTIOC4B)端子選択ビット	b7 b4 0 0 0 0：どのGTIOC4B端子も出力停止制御を行わない 0 0 0 1：P92をGTIOC4B端子として出力停止制御を行う 0 0 1 0：P74をGTIOC4B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G4SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW4-A/B の端子を選択します。

G4ASEL[3:0] ビット (GPTW4-A (GTIOC4A) 端子選択ビット)

出力停止制御の対象となる GTIOC4A 端子を選択します。

G4BSEL[3:0] ビット (GPTW4-B (GTIOC4B) 端子選択ビット)

出力停止制御の対象となる GTIOC4B 端子を選択します。

23.2.57 GPTW5 端子選択レジスタ (G5SELR)

アドレス POE.G5SELR 0009 E46Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	G5BSEL[3:0]				G5ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G5ASEL[3:0]	GPTW5-A (GTIOC5A)端子選択ビット	b3 b0 0 0 0 0：どのGTIOC5A端子も出力停止制御を行わない 0 0 0 1：P94をGTIOC5A端子として出力停止制御を行う 0 0 1 0：P72をGTIOC5A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G5BSEL[3:0]	GPTW5-B (GTIOC5B)端子選択ビット	b7 b4 0 0 0 0：どのGTIOC5B端子も出力停止制御を行わない 0 0 0 1：P91をGTIOC5B端子として出力停止制御を行う 0 0 1 0：P75をGTIOC5B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G5SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW5-A/B の端子を選択します。

G5ASEL[3:0] ビット (GPTW5-A (GTIOC5A) 端子選択ビット)

出力停止制御の対象となる GTIOC5A 端子を選択します。

G5BSEL[3:0] ビット (GPTW5-B (GTIOC5B) 端子選択ビット)

出力停止制御の対象となる GTIOC5B 端子を選択します。

23.2.58 GPTW6 端子選択レジスタ (G6SELR)

アドレス POE.G6SELR 0009 E470h

	b7	b6	b5	b4	b3	b2	b1	b0
	G6BSEL[3:0]				G6ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G6ASEL[3:0]	GPTW6-A (GTIOC6A)端子選択ビット	b3 b0 0 0 0 0：どのGTIOC6A端子も出力停止制御を行わない 0 0 0 1：P93をGTIOC6A端子として出力停止制御を行う 0 0 1 0：P73をGTIOC6A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G6BSEL[3:0]	GPTW6-B (GTIOC6B)端子選択ビット	b7 b4 0 0 0 0：どのGTIOC6B端子も出力停止制御を行わない 0 0 0 1：P90をGTIOC6B端子として出力停止制御を行う 0 0 1 0：P76をGTIOC6B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G6SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW6-A/B の端子を選択します。

G6ASEL[3:0] ビット (GPTW6-A (GTIOC6A) 端子選択ビット)

出力停止制御の対象となる GTIOC6A 端子を選択します。

G6BSEL[3:0] ビット (GPTW6-B (GTIOC6B) 端子選択ビット)

出力停止制御の対象となる GTIOC6B 端子を選択します。

23.2.59 GPTW7 端子選択レジスタ (G7SELR)

アドレス POE.G7SELR 0009 E471h

	b7	b6	b5	b4	b3	b2	b1	b0
	G7BSEL[3:0]				G7ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G7ASEL[3:0]	GPTW7-A (GTIOC7A)端子選択ビット	b3 b0 0 0 0 0：どのGTIOC7A端子も出力停止制御を行わない 0 0 0 1：P95をGTIOC7A端子として出力停止制御を行う 0 0 1 0：P12をGTIOC7A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G7BSEL[3:0]	GPTW7-B (GTIOC7B)端子選択ビット	b7 b4 0 0 0 0：どのGTIOC7B端子も出力停止制御を行わない 0 0 0 1：P92をGTIOC7B端子として出力停止制御を行う 0 0 1 0：P15をGTIOC7B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G7SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW7-A/B の端子を選択します。

G7ASEL[3:0] ビット (GPTW7-A (GTIOC7A) 端子選択ビット)

出力停止制御の対象となる GTIOC7A 端子を選択します。

G7BSEL[3:0] ビット (GPTW7-B (GTIOC7B) 端子選択ビット)

出力停止制御の対象となる GTIOC7B 端子を選択します。

23.2.60 GPTW8 端子選択レジスタ (G8SELR)

アドレス POE.G8SELR 0009 E472h

	b7	b6	b5	b4	b3	b2	b1	b0
	G8BSEL[3:0]				G8ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G8ASEL[3:0]	GPTW8-A (GTIOC8A)端子選択ビット	b3 b0 0 0 0 0：どのGTIOC8A端子も出力停止制御を行わない 0 0 0 1：P94をGTIOC8A端子として出力停止制御を行う 0 0 1 0：P13をGTIOC8A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G8BSEL[3:0]	GPTW8-B (GTIOC8B)端子選択ビット	b7 b4 0 0 0 0：どのGTIOC8B端子も出力停止制御を行わない 0 0 0 1：P91をGTIOC8B端子として出力停止制御を行う 0 0 1 0：P16をGTIOC8B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G8SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW8-A/B の端子を選択します。

G8ASEL[3:0] ビット (GPTW8-A (GTIOC8A) 端子選択ビット)

出力停止制御の対象となる GTIOC8A 端子を選択します。

G8BSEL[3:0] ビット (GPTW8-B (GTIOC8B) 端子選択ビット)

出力停止制御の対象となる GTIOC8B 端子を選択します。

23.2.61 GPTW9 端子選択レジスタ (G9SELR)

アドレス POE.G9SELR 0009 E473h

	b7	b6	b5	b4	b3	b2	b1	b0
	G9BSEL[3:0]				G9ASEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	G9ASEL[3:0]	GPTW9-A (GTIOC9A)端子選択ビット	b3 b0 0 0 0 0：どのGTIOC9A端子も出力停止制御を行わない 0 0 0 1：P93をGTIOC9A端子として出力停止制御を行う 0 0 1 0：P14をGTIOC9A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G9BSEL[3:0]	GPTW9-B (GTIOC9B)端子選択ビット	b7 b4 0 0 0 0：どのGTIOC9B端子も出力停止制御を行わない 0 0 0 1：P90をGTIOC9B端子として出力停止制御を行う 0 0 1 0：P17をGTIOC9B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G9SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW9-A/B の端子を選択します。

G9ASEL[3:0] ビット (GPTW9-A (GTIOC9A) 端子選択ビット)

出力停止制御の対象となる GTIOC9A 端子を選択します。

G9BSEL[3:0] ビット (GPTW9-B (GTIOC9B) 端子選択ビット)

出力停止制御の対象となる GTIOC9B 端子を選択します。

23.3 動作説明

以下に出力停止制御の対象になる端子と条件を示します。

(1) MTU3 端子 (MTIOC3B, MTIOC3D)

POECR2.MTU3BDZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU3BDZE ビットが “0”、PMMCR1.MTU3BME ビット、MTU3DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC3B 信号と MTIOC3D 信号の出力レベル比較動作
  OCSR1.OCE1 ビットが“1”の状態で、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
  POECR4.IC1ADDMT34ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR4.IC2ADDMT34ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”になったとき
  POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態で、ICSR4.POE10F フラグが“1”になったとき
  POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態で、ICSR5.POE11F フラグが“1”になったとき
  POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態で、ICSR7.POE12F フラグが“1”になったとき
  POECR4.IC8ADDMT34ZE ビットと ICSR8.POE9E ビットが“1”の状態で、ICSR8.POE9F フラグが“1”になったとき
  POECR4.IC9ADDMT34ZE ビットと ICSR9.POE13E ビットが“1”の状態で、ICSR9.POE13F フラグが“1”になったとき
  POECR4.IC10ADDMT34ZE ビットと ICSR10.POE14E ビットが“1”の状態で、ICSR10.POE14F フラグが“1”になったとき
- コンパレータ出力検出
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態で、POECMPFR.C0FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態で、POECMPFR.C1FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態で、POECMPFR.C2FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ3 ビットまたは POECMPSEL.POEREQ3 ビットが“1”の状態で、POECMPFR.C3FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ4 ビットまたは POECMPSEL.POEREQ4 ビットが“1”の状態で、POECMPFR.C4FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ5 ビットまたは POECMPSEL.POEREQ5 ビットが“1”の状態で、POECMPFR.C5FLAG フラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTE ビットが“1”の状態で、ICSR6.OSTSTF フラグが“1”になったとき

(2) MTU4 端子 (MTIOC4A, MTIOC4C)

POECR2.MTU4ACZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU4ACZE ビットが “0”、PMMCR1.MTU4AME ビット、MTU4CME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC4A 信号と MTIOC4C 信号の出力レベル比較動作
  OCSR1.OCE1 ビットが“1”の状態で、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
  POECR4.IC1ADDMT34ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR4.IC2ADDMT34ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”になったとき
  POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態で、ICSR4.POE10F フラグが“1”になったとき
  POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態で、ICSR5.POE11F フラグが“1”になったとき
  POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態で、ICSR7.POE12F フラグが“1”になったとき
  POECR4.IC8ADDMT34ZE ビットと ICSR8.POE9E ビットが“1”の状態で、ICSR8.POE9F フラグが“1”になったとき
  POECR4.IC9ADDMT34ZE ビットと ICSR9.POE13E ビットが“1”の状態で、ICSR9.POE13F フラグが“1”になったとき
  POECR4.IC10ADDMT34ZE ビットと ICSR10.POE14E ビットが“1”の状態で、ICSR10.POE14F フラグが“1”になったとき
- コンパレータ出力検出
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態で、POECMPFR.C0FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態で、POECMPFR.C1FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態で、POECMPFR.C2FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ3 ビットまたは POECMPSEL.POEREQ3 ビットが“1”の状態で、POECMPFR.C3FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ4 ビットまたは POECMPSEL.POEREQ4 ビットが“1”の状態で、POECMPFR.C4FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ5 ビットまたは POECMPSEL.POEREQ5 ビットが“1”の状態で、POECMPFR.C5FLAG フラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTE ビットが“1”の状態で、ICSR6.OSTSTF フラグが“1”になったとき

(3) MTU4 端子 (MTIOC4B, MTIOC4D)

POECR2.MTU4BDZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU4BDZE ビットが “0”、PMMCR1.MTU4BME ビット、MTU4DME

ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC4B 信号と MTIOC4D 信号の出力レベル比較動作
  OCSR1.OCE1 ビットが“1”の状態で、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
  POECR4.IC1ADDMT34ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR4.IC2ADDMT34ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”になったとき
  POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態で、ICSR4.POE10F フラグが“1”になったとき
  POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態で、ICSR5.POE11F フラグが“1”になったとき
  POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態で、ICSR7.POE12F フラグが“1”になったとき
  POECR4.IC8ADDMT34ZE ビットと ICSR8.POE9E ビットが“1”の状態で、ICSR8.POE9F フラグが“1”になったとき
  POECR4.IC9ADDMT34ZE ビットと ICSR9.POE13E ビットが“1”の状態で、ICSR9.POE13F フラグが“1”になったとき
  POECR4.IC10ADDMT34ZE ビットと ICSR10.POE14E ビットが“1”の状態で、ICSR10.POE14F フラグが“1”になったとき
- コンパレータ出力検出
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態で、POECMPFR.C0FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態で、POECMPFR.C1FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態で、POECMPFR.C2FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ3 ビットまたは POECMPSEL.POEREQ3 ビットが“1”の状態で、POECMPFR.C3FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ4 ビットまたは POECMPSEL.POEREQ4 ビットが“1”の状態で、POECMPFR.C4FLAG フラグが“1”になったとき
  POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPEX0.POEREQ5 ビットまたは POECMPSEL.POEREQ5 ビットが“1”の状態で、POECMPFR.C5FLAG フラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTE ビットが“1”の状態で、ICSR6.OSTSTF フラグが“1”になったとき

(4) MTU6 端子 (MTIOC6B, MTIOC6D)

POECR2.MTU6BDZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU6BDZE ビットが “0”、PMMCR1.MTU6BME ビット、MTU6DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC6B 信号と MTIOC6D 信号の出力レベル比較動作

OCSR2.OCE2ビットが“1”の状態で、OCSR2.OSF2フラグが“1”になったとき

- SPOER レジスタ設定
  SPOER.MTUCH67HIZビットを“1”にしたとき
- POECR4B レジスタで追加された条件
  POECR4B.IC1ADDMT67ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR4B.IC2ADDMT67ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR4B.IC3ADDMT67ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR4B.IC4ADDMT67ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR4B.IC5ADDMT67ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR4B.IC6ADDMT67ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR4B.IC8ADDMT67ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR4B.IC9ADDMT67ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR4B.IC10ADDMT67ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(5) MTU7 端子 (MTIOC7A, MTIOC7C)

POECR2.MTU7ACZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU7ACZE ビットが “0”、PMMCR1.MTU7AME ビット、MTU7CME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC7A 信号と MTIOC7C 信号の出力レベル比較動作
  OCSR2.OCE2ビットが“1”の状態で、OCSR2.OSF2フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH67HIZビットを“1”にしたとき

- POECR4B レジスタで追加された条件
  POECR4B.IC1ADDMT67ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR4B.IC2ADDMT67ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR4B.IC3ADDMT67ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR4B.IC4ADDMT67ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR4B.IC5ADDMT67ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR4B.IC6ADDMT67ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR4B.IC8ADDMT67ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR4B.IC9ADDMT67ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR4B.IC10ADDMT67ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(6) MTU7 端子 (MTIOC7B, MTIOC7D)

POECR2.MTU7BDZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU7BDZE ビットが “0”、PMMCR1.MTU7BME ビット、MTU7DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC7B 信号と MTIOC7D 信号の出力レベル比較動作
  OCSR2.OCE2ビットが“1”の状態で、OCSR2.OSF2フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.MTUCH67HIZビットを“1”にしたとき
- POECR4B レジスタで追加された条件
  POECR4B.IC1ADDMT67ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR4B.IC2ADDMT67ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき

POECR4B.IC3ADDMT67ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
POECR4B.IC4ADDMT67ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
POECR4B.IC5ADDMT67ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
POECR4B.IC6ADDMT67ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR4B.IC8ADDMT67ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
POECR4B.IC9ADDMT67ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
POECR4B.IC10ADDMT67ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR4B.CMADDMT67ZEビットが“1”、かつPOECMPEX1.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(7) MTU0 端子 (MTIOC0A)

POECR1.MTU0AZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0AZE ビットが “0”、PMMCR0.MTU0AME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH0HIZビットを“1”にしたとき
- POECR5 レジスタで追加された条件
  POECR5.IC1ADDMT0ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR5.IC2ADDMT0ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR5.IC3ADDMT0ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR5.IC5ADDMT0ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR5.IC6ADDMT0ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”に

なったとき
POECR5.IC8ADDMT0ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
POECR5.IC9ADDMT0ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
POECR5.IC10ADDMT0ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(8) MTU0 端子 (MTIOC0B)

POECR1.MTU0BZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0BZE ビットが “0”、PMMCR0.MTU0BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH0HIZビットを“1”にしたとき
- POECR5 レジスタで追加された条件
  POECR5.IC1ADDMT0ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR5.IC2ADDMT0ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR5.IC3ADDMT0ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR5.IC5ADDMT0ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR5.IC6ADDMT0ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR5.IC8ADDMT0ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR5.IC9ADDMT0ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR5.IC10ADDMT0ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ3ビットまたは
  POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ4ビットまたは
  POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ5ビットまたは
  POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(9) MTU0 端子 (MTIOC0C)

POECR1.MTU0CZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0CZE ビットが “0”、PMMCR0.MTU0CME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH0HIZビットを“1”にしたとき
- POECR5 レジスタで追加された条件
  POECR5.IC1ADDMT0ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR5.IC2ADDMT0ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR5.IC3ADDMT0ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR5.IC5ADDMT0ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR5.IC6ADDMT0ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR5.IC8ADDMT0ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR5.IC9ADDMT0ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR5.IC10ADDMT0ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ3ビットまたは
POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ4ビットまたは
POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ5ビットまたは
POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(10) MTU0 端子 (MTIOC0D)

POECR1.MTU0DZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0DZE ビットが “0”、PMMCR0.MTU0DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH0HIZビットを“1”にしたとき
- POECR5 レジスタで追加された条件
  POECR5.IC1ADDMT0ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR5.IC2ADDMT0ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR5.IC3ADDMT0ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR5.IC5ADDMT0ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR5.IC6ADDMT0ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR5.IC8ADDMT0ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR5.IC9ADDMT0ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR5.IC10ADDMT0ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ0ビットまたは
  POECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ1ビットまたは
  POECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ2ビットまたは
  POECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ3ビットまたは
  POECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ4ビットまたは
  POECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR5.CMADDMT0ZEビットが“1”、かつPOECMPEX2.POEREQ5ビットまたは
  POECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(11) MTU9 端子 (MTIOC9A)

POECR7.MTU9AZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9AZE ビットが “0”、PMMCR0.MTU9AME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH9HIZビットを“1”にしたとき
- POECR8 レジスタで追加された条件
  POECR8.IC1ADDMT9ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR8.IC2ADDMT9ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR8.IC3ADDMT9ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR8.IC4ADDMT9ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR8.IC5ADDMT9ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR8.IC6ADDMT9ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR8.IC8ADDMT9ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR8.IC9ADDMT9ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR8.IC10ADDMT9ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(12) MTU9 端子 (MTIOC9B)

POECR7.MTU9BZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9BZE ビットが “0”、PMMCR0.MTU9BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH9HIZビットを“1”にしたとき
- POECR8 レジスタで追加された条件
  POECR8.IC1ADDMT9ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR8.IC2ADDMT9ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR8.IC3ADDMT9ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR8.IC4ADDMT9ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR8.IC5ADDMT9ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR8.IC6ADDMT9ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR8.IC8ADDMT9ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR8.IC9ADDMT9ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR8.IC10ADDMT9ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(13) MTU9 端子 (MTIOC9C)

POECR7.MTU9CZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9CZE ビットが “0”、PMMCR0.MTU9CME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH9HIZビットを“1”にしたとき
- POECR8 レジスタで追加された条件
  POECR8.IC1ADDMT9ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR8.IC2ADDMT9ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR8.IC3ADDMT9ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”に

なったとき
POECR8.IC4ADDMT9ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
POECR8.IC5ADDMT9ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
POECR8.IC6ADDMT9ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR8.IC8ADDMT9ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
POECR8.IC9ADDMT9ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
POECR8.IC10ADDMT9ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(14) MTU9 端子 (MTIOC9D)

POECR7.MTU9DZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR7.MTU9DZE ビットが “0”、PMMCR0.MTU9DME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.MTUCH9HIZビットを“1”にしたとき
- POECR8 レジスタで追加された条件
  POECR8.IC1ADDMT9ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR8.IC2ADDMT9ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR8.IC3ADDMT9ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR8.IC4ADDMT9ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR8.IC5ADDMT9ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR8.IC6ADDMT9ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき

POECR8.IC8ADDMT9ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
POECR8.IC9ADDMT9ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
POECR8.IC10ADDMT9ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR8.CMADDMT9ZEビットが“1”、かつPOECMPEX3.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(15) GPTW0 端子 (GTIOC0A, GTIOC0B)

POECR3.GPT0ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT0ABZE ビットが “0”、PMMCR2.GPT0AME ビット、GPT0BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC0A 信号と GTIOC0B 信号の出力レベル比較動作
  OCSR3.OCE3ビットが“1”の状態で、OCSR3.OSF3フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT01HIZビットを“1”にしたとき
  SPOER.GPT02HIZビットを“1”にしたとき
- POECR6 レジスタで追加された条件
  POECR6.IC1ADDGPT01ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR6.IC2ADDGPT01ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR6.IC3ADDGPT01ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR6.IC4ADDGPT01ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR6.IC5ADDGPT01ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR6.IC6ADDGPT01ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR6.IC8ADDGPT01ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR6.IC9ADDGPT01ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”に

なったとき
POECR6.IC10ADDGPT01ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- POECR9 レジスタで追加された条件
  POECR9.IC1ADDGPT02ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR9.IC2ADDGPT02ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR9.IC3ADDGPT02ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR9.IC4ADDGPT02ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR9.IC5ADDGPT02ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR9.IC6ADDGPT02ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR9.IC8ADDGPT02ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR9.IC9ADDGPT02ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR9.IC10ADDGPT02ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(16) GPTW1 端子 (GTIOC1A, GTIOC1B)

POECR3.GPT1ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT1ABZE ビットが “0”、PMMCR2.GPT1AME ビット、GPT1BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC1A 信号と GTIOC1B 信号の出力レベル比較動作
  OCSR3.OCE3ビットが“1”の状態で、OCSR3.OSF3フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT01HIZビットを“1”にしたとき
  SPOER.GPT02HIZビットを“1”にしたとき
- POECR6 レジスタで追加された条件
  POECR6.IC1ADDGPT01ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR6.IC2ADDGPT01ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR6.IC3ADDGPT01ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR6.IC4ADDGPT01ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR6.IC5ADDGPT01ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR6.IC6ADDGPT01ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR6.IC8ADDGPT01ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR6.IC9ADDGPT01ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR6.IC10ADDGPT01ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- POECR9 レジスタで追加された条件
  POECR9.IC1ADDGPT02ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR9.IC2ADDGPT02ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR9.IC3ADDGPT02ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR9.IC4ADDGPT02ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR9.IC5ADDGPT02ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR9.IC6ADDGPT02ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR9.IC8ADDGPT02ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR9.IC9ADDGPT02ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR9.IC10ADDGPT02ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR6.CMADDGPT01ZEビットが“1”、かつPOECMPEX4.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(17) GPTW2 端子 (GTIOC2A, GTIOC2B)

POECR3.GPT2ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT2ABZE ビットが “0”、PMMCR2.GPT2AME ビット、GPT2BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC2A 信号と GTIOC2B 信号の出力レベル比較動作
  OCSR3.OCE3ビットが“1”の状態で、OCSR3.OSF3フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT23HIZビットを“1”にしたとき
  SPOER.GPT02HIZビットを“1”にしたとき
- POECR6B レジスタで追加された条件
  POECR6B.IC1ADDGPT23ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR6B.IC2ADDGPT23ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR6B.IC3ADDGPT23ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR6B.IC4ADDGPT23ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR6B.IC5ADDGPT23ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”

になったとき
POECR6B.IC6ADDGPT23ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR6B.IC8ADDGPT23ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
POECR6B.IC9ADDGPT23ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
POECR6B.IC10ADDGPT23ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- POECR9 レジスタで追加された条件
  POECR9.IC1ADDGPT02ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR9.IC2ADDGPT02ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR9.IC3ADDGPT02ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR9.IC4ADDGPT02ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR9.IC5ADDGPT02ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR9.IC6ADDGPT02ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR9.IC8ADDGPT02ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR9.IC9ADDGPT02ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR9.IC10ADDGPT02ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、

POECMPFR.C4FLAGフラグが“1”になったとき
POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態、またはPOECR9.CMADDGPT02ZEビットが“1”、かつPOECMPEX6.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき

- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(18) GPTW3 端子 (GTIOC3A, GTIOC3B)

POECR3.GPT3ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT3ABZE ビットが “0”、PMMCR2.GPT3AME ビット、GPT3BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
  SPOER.GPT23HIZビットを“1”にしたとき
- POECR6B レジスタで追加された条件
  POECR6B.IC1ADDGPT23ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR6B.IC2ADDGPT23ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR6B.IC3ADDGPT23ZEビットとICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR6B.IC4ADDGPT23ZEビットとICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR6B.IC5ADDGPT23ZEビットとICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR6B.IC6ADDGPT23ZEビットとICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR6B.IC8ADDGPT23ZEビットとICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR6B.IC9ADDGPT23ZEビットとICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR6B.IC10ADDGPT23ZEビットとICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR6B.CMADDGPT23ZEビットが“1”、かつPOECMPEX5.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出

ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(19) GPTW4 端子 (GTIOC4A, GTIOC4B)

POECR3.GPT4ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT4ABZE ビットが “0”、PMMCR2.GPT4AME ビット、GPT4BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC4A 信号と GTIOC4B 信号の出力レベル比較動作
  OCSR4.OCE4ビットが“1”の状態で、OCSR4.OSF4フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT46HIZビットを“1”にしたとき
- POECR10 レジスタで追加された条件
  POECR10.IC1ADDGPT46ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR10.IC2ADDGPT46ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR10.IC3ADDGPT46ZEビットが“1”、かつICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR10.IC4ADDGPT46ZEビットが“1”、かつICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR10.IC5ADDGPT46ZEビットが“1”、かつICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR10.IC6ADDGPT46ZEビットが“1”、かつICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR10.IC8ADDGPT46ZEビットが“1”、かつICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR10.IC9ADDGPT46ZEビットが“1”、かつICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR10.IC10ADDGPT46ZEビットが“1”、かつICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(20) GPTW5 端子 (GTIOC5A, GTIOC5B)

POECR3.GPT5ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピー

ダンスにします。また、POECR3.GPT5ABZE ビットが “0”、PMMCR2.GPT5AME ビット、GPT5BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC5A 信号と GTIOC5B 信号の出力レベル比較動作
  OCSR4.OCE4 ビットが“1”の状態で、OCSR4.OSF4 フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT46HIZ ビットを“1”にしたとき
- POECR10 レジスタで追加された条件
  POECR10.IC1ADDGPT46ZE ビットが“1”の状態で、ICSR1.POE0F フラグが“1”になったとき
  POECR10.IC2ADDGPT46ZE ビットが“1”の状態で、ICSR2.POE4F フラグが“1”になったとき
  POECR10.IC3ADDGPT46ZE ビットが“1”、かつICSR3.POE8E ビットが“1”の状態で、ICSR3.POE8F フラグが“1”になったとき
  POECR10.IC4ADDGPT46ZE ビットが“1”、かつICSR4.POE10E ビットが“1”の状態で、ICSR4.POE10F フラグが“1”になったとき
  POECR10.IC5ADDGPT46ZE ビットが“1”、かつICSR5.POE11E ビットが“1”の状態で、ICSR5.POE11F フラグが“1”になったとき
  POECR10.IC6ADDGPT46ZE ビットが“1”、かつICSR7.POE12E ビットが“1”の状態で、ICSR7.POE12F フラグが“1”になったとき
  POECR10.IC8ADDGPT46ZE ビットが“1”、かつICSR8.POE9E ビットが“1”の状態で、ICSR8.POE9F フラグが“1”になったとき
  POECR10.IC9ADDGPT46ZE ビットが“1”、かつICSR9.POE13E ビットが“1”の状態で、ICSR9.POE13F フラグが“1”になったとき
  POECR10.IC10ADDGPT46ZE ビットが“1”、かつICSR10.POE14E ビットが“1”の状態で、ICSR10.POE14F フラグが“1”になったとき
- コンパレータ出力検出
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ0 ビットまたは
  POECMPSEL.POEREQ0 ビットが“1”の状態で、POECMPFR.C0FLAG フラグが“1”になったとき
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ1 ビットまたは
  POECMPSEL.POEREQ1 ビットが“1”の状態で、POECMPFR.C1FLAG フラグが“1”になったとき
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ2 ビットまたは
  POECMPSEL.POEREQ2 ビットが“1”の状態で、POECMPFR.C2FLAG フラグが“1”になったとき
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ3 ビットまたは
  POECMPSEL.POEREQ3 ビットが“1”の状態で、POECMPFR.C3FLAG フラグが“1”になったとき
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ4 ビットまたは
  POECMPSEL.POEREQ4 ビットが“1”の状態で、POECMPFR.C4FLAG フラグが“1”になったとき
  POECR10.CMADDGPT46ZE ビットが“1”、かつPOECMPEX7.POEREQ5 ビットまたは
  POECMPSEL.POEREQ5 ビットが“1”の状態で、POECMPFR.C5FLAG フラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTE ビットが“1”の状態で、ICSR6.OSTSTF フラグが“1”になったとき

(21) GPTW6 端子 (GTIOC6A, GTIOC6B)

POECR3.GPT6ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT6ABZE ビットが “0”、PMMCR2.GPT6AME ビット、GPT6BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC6A 信号と GTIOC6B 信号の出力レベル比較動作
  OCSR4.OCE4 ビットが“1”の状態で、OCSR4.OSF4 フラグが“1”になったとき

- SPOER レジスタ設定
  SPOER.GPT46HIZビットを“1”にしたとき
- POECR10 レジスタで追加された条件
  POECR10.IC1ADDGPT46ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR10.IC2ADDGPT46ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR10.IC3ADDGPT46ZEビットが“1”、かつICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR10.IC4ADDGPT46ZEビットが“1”、かつICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR10.IC5ADDGPT46ZEビットが“1”、かつICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR10.IC6ADDGPT46ZEビットが“1”、かつICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
  POECR10.IC8ADDGPT46ZEビットが“1”、かつICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
  POECR10.IC9ADDGPT46ZEビットが“1”、かつICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
  POECR10.IC10ADDGPT46ZEビットが“1”、かつICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき
- コンパレータ出力検出
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR10.CMADDGPT46ZEビットが“1”、かつPOECMPEX7.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(22) GPTW7 端子 (GTIOC7A, GTIOC7B)

POECR3.GPT7ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT7ABZE ビットが “0”、PMMCR2.GPT7AME ビット、GPT7BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC7A 信号と GTIOC7B 信号の出力レベル比較動作
  OCSR5.OCE5ビットが“1”の状態で、OCSR5.OSF5フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT79HIZビットを“1”にしたとき
- POECR11 レジスタで追加された条件
  POECR11.IC1ADDGPT79ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき

POECR11.IC2ADDGPT79ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
POECR11.IC3ADDGPT79ZEビットが“1”、かつICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
POECR11.IC4ADDGPT79ZEビットが“1”、かつICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
POECR11.IC5ADDGPT79ZEビットが“1”、かつICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
POECR11.IC6ADDGPT79ZEビットが“1”、かつICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR11.IC8ADDGPT79ZEビットが“1”、かつICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
POECR11.IC9ADDGPT79ZEビットが“1”、かつICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
POECR11.IC10ADDGPT79ZEビットが“1”、かつICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(23) GPTW8 端子 (GTIOC8A, GTIOC8B)

POECR3.GPT8ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT8ABZE ビットが “0”、PMMCR3.GPT8AME ビット、GPT8BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC8A 信号と GTIOC8B 信号の出力レベル比較動作
  OCSR5.OCE5ビットが“1”の状態で、OCSR5.OSF5フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT79HIZビットを“1”にしたとき
- POECR11 レジスタで追加された条件
  POECR11.IC1ADDGPT79ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR11.IC2ADDGPT79ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR11.IC3ADDGPT79ZEビットが“1”、かつICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR11.IC4ADDGPT79ZEビットが“1”、かつICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフ

ラグが“1”になったとき
POECR11.IC5ADDGPT79ZEビットが“1”、かつICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
POECR11.IC6ADDGPT79ZEビットが“1”、かつICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフラグが“1”になったとき
POECR11.IC8ADDGPT79ZEビットが“1”、かつICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
POECR11.IC9ADDGPT79ZEビットが“1”、かつICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
POECR11.IC10ADDGPT79ZEビットが“1”、かつICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

(24) GPTW9 端子 (GTIOC9A, GTIOC9B)

POECR3.GPT9ABZE ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT9ABZE ビットが “0”、PMMCR3.GPT9AME ビット、GPT9BME ビットが “1” の状態で、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC9A 信号と GTIOC9B 信号の出力レベル比較動作
  OCSR5.OCE5ビットが“1”の状態で、OCSR5.OSF5フラグが“1”になったとき
- SPOER レジスタ設定
  SPOER.GPT79HIZビットを“1”にしたとき
- POECR11 レジスタで追加された条件
  POECR11.IC1ADDGPT79ZEビットが“1”の状態で、ICSR1.POE0Fフラグが“1”になったとき
  POECR11.IC2ADDGPT79ZEビットが“1”の状態で、ICSR2.POE4Fフラグが“1”になったとき
  POECR11.IC3ADDGPT79ZEビットが“1”、かつICSR3.POE8Eビットが“1”の状態で、ICSR3.POE8Fフラグが“1”になったとき
  POECR11.IC4ADDGPT79ZEビットが“1”、かつICSR4.POE10Eビットが“1”の状態で、ICSR4.POE10Fフラグが“1”になったとき
  POECR11.IC5ADDGPT79ZEビットが“1”、かつICSR5.POE11Eビットが“1”の状態で、ICSR5.POE11Fフラグが“1”になったとき
  POECR11.IC6ADDGPT79ZEビットが“1”、かつICSR7.POE12Eビットが“1”の状態で、ICSR7.POE12Fフ

ラグが“1”になったとき
POECR11.IC8ADDGPT79ZEビットが“1”、かつICSR8.POE9Eビットが“1”の状態で、ICSR8.POE9Fフラグが“1”になったとき
POECR11.IC9ADDGPT79ZEビットが“1”、かつICSR9.POE13Eビットが“1”の状態で、ICSR9.POE13Fフラグが“1”になったとき
POECR11.IC10ADDGPT79ZEビットが“1”、かつICSR10.POE14Eビットが“1”の状態で、ICSR10.POE14Fフラグが“1”になったとき

- コンパレータ出力検出
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ0ビットまたはPOECMPSEL.POEREQ0ビットが“1”の状態で、POECMPFR.C0FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ1ビットまたはPOECMPSEL.POEREQ1ビットが“1”の状態で、POECMPFR.C1FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ2ビットまたはPOECMPSEL.POEREQ2ビットが“1”の状態で、POECMPFR.C2FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ3ビットまたはPOECMPSEL.POEREQ3ビットが“1”の状態で、POECMPFR.C3FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ4ビットまたはPOECMPSEL.POEREQ4ビットが“1”の状態で、POECMPFR.C4FLAGフラグが“1”になったとき
  POECR11.CMADDGPT79ZEビットが“1”、かつPOECMPEX8.POEREQ5ビットまたはPOECMPSEL.POEREQ5ビットが“1”の状態で、POECMPFR.C5FLAGフラグが“1”になったとき
- 発振停止検出
  ICSR6.OSTSTEビットが“1”の状態で、ICSR6.OSTSTFフラグが“1”になったとき

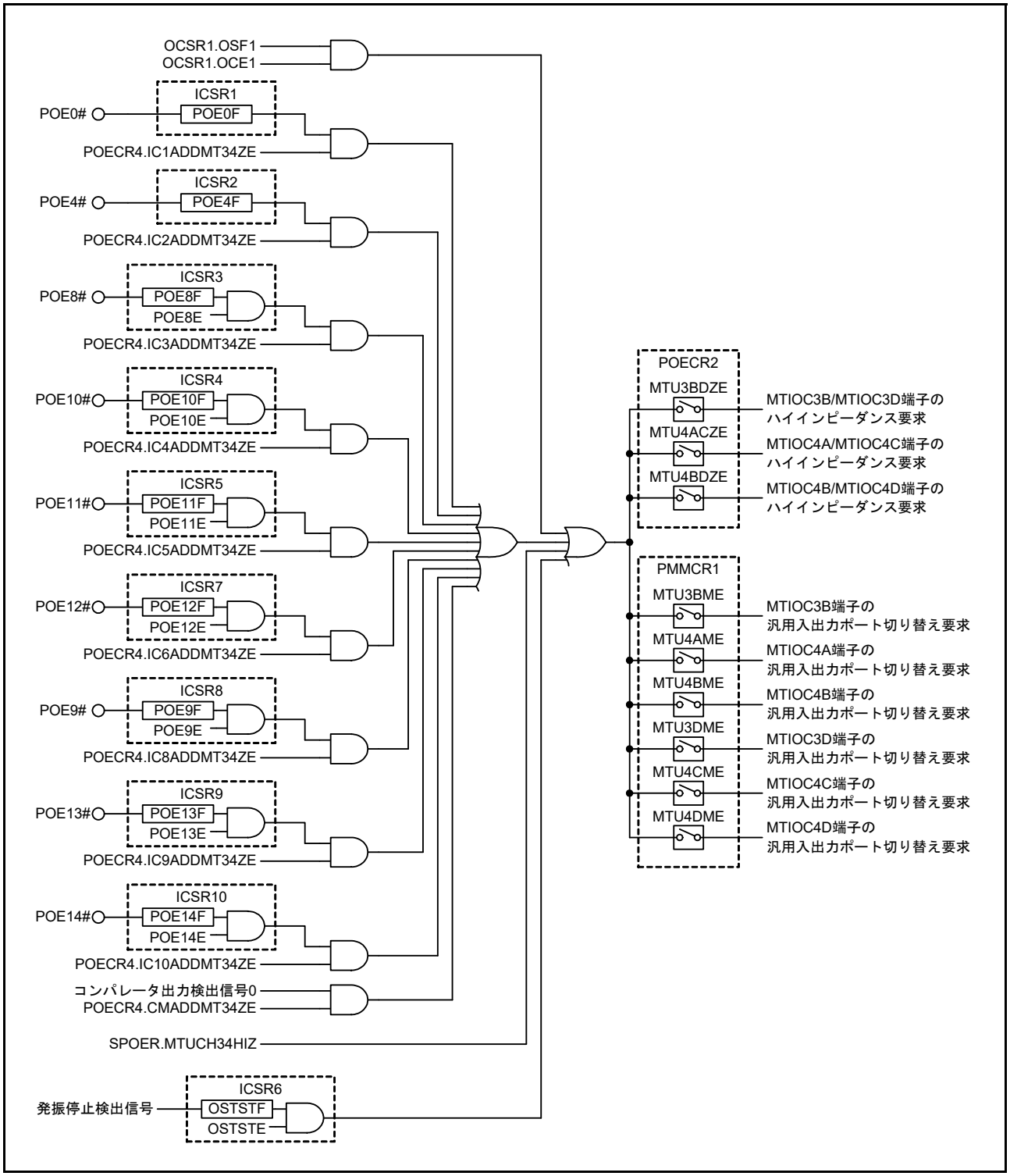


図 23.3 ハイインピーダンス制御の対象と条件 (1)

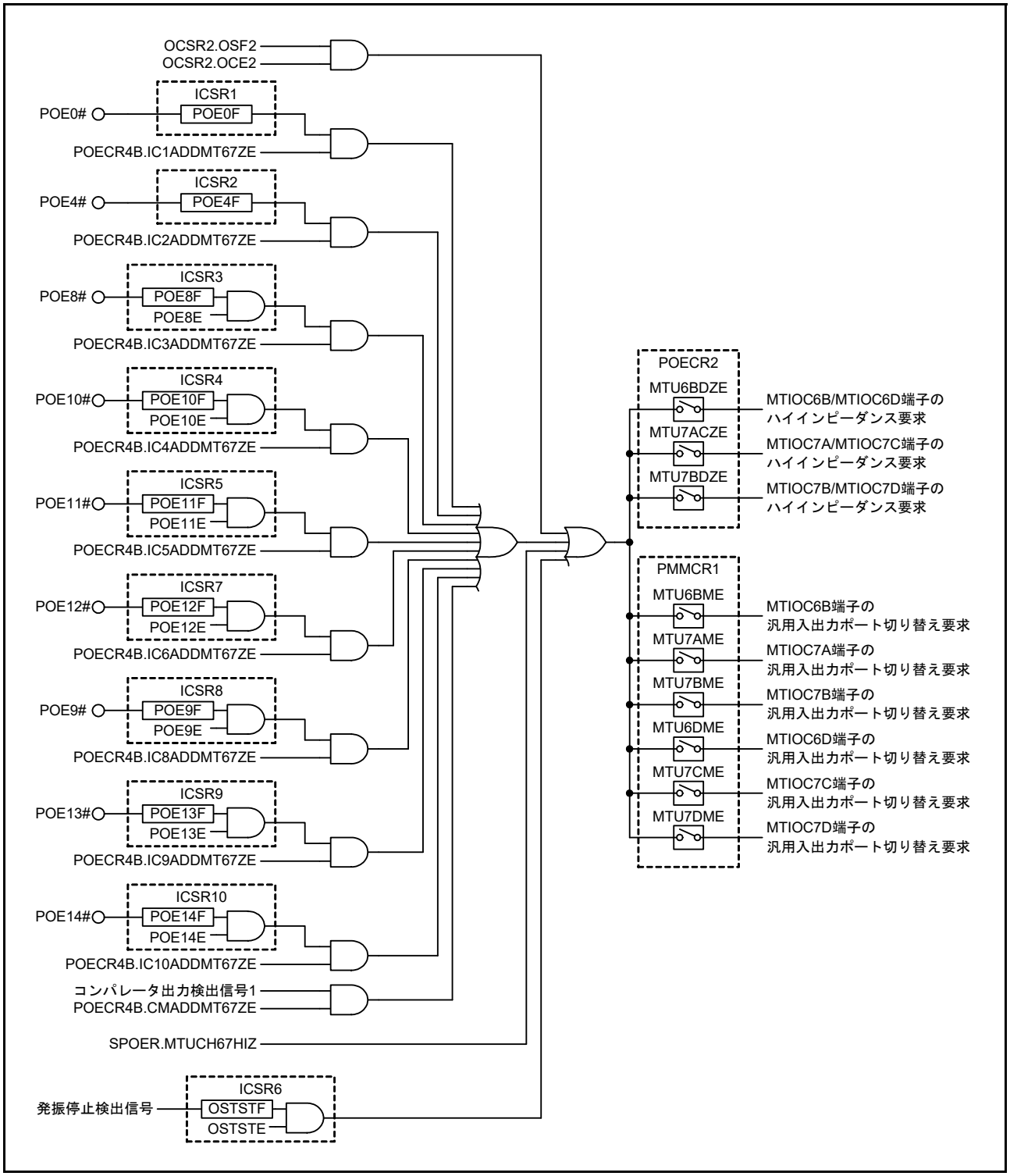


図 23.4 ハイインピーダンス制御の対象と条件 (2)

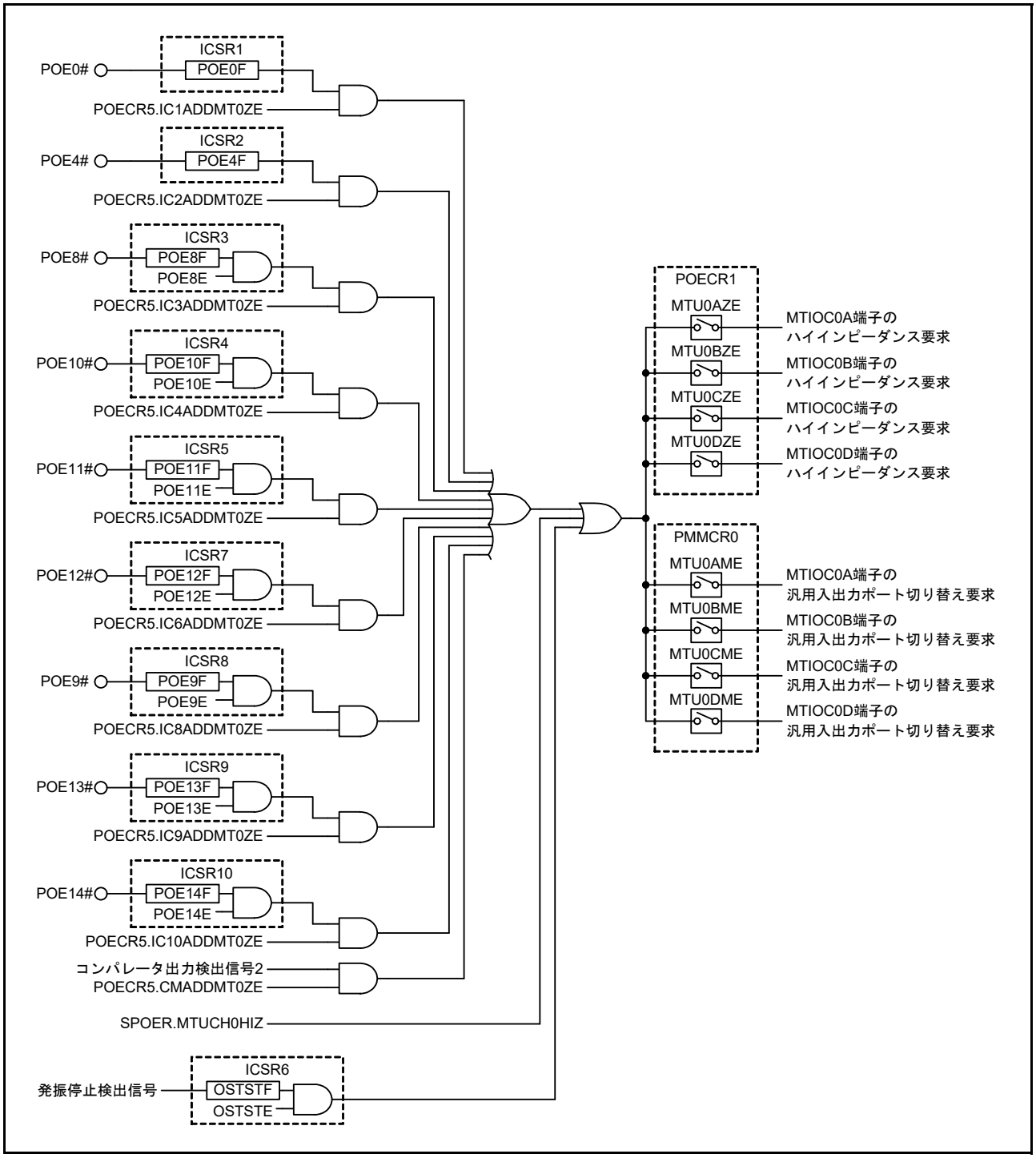


図 23.5 ハイインピーダンス制御の対象と条件 (3)

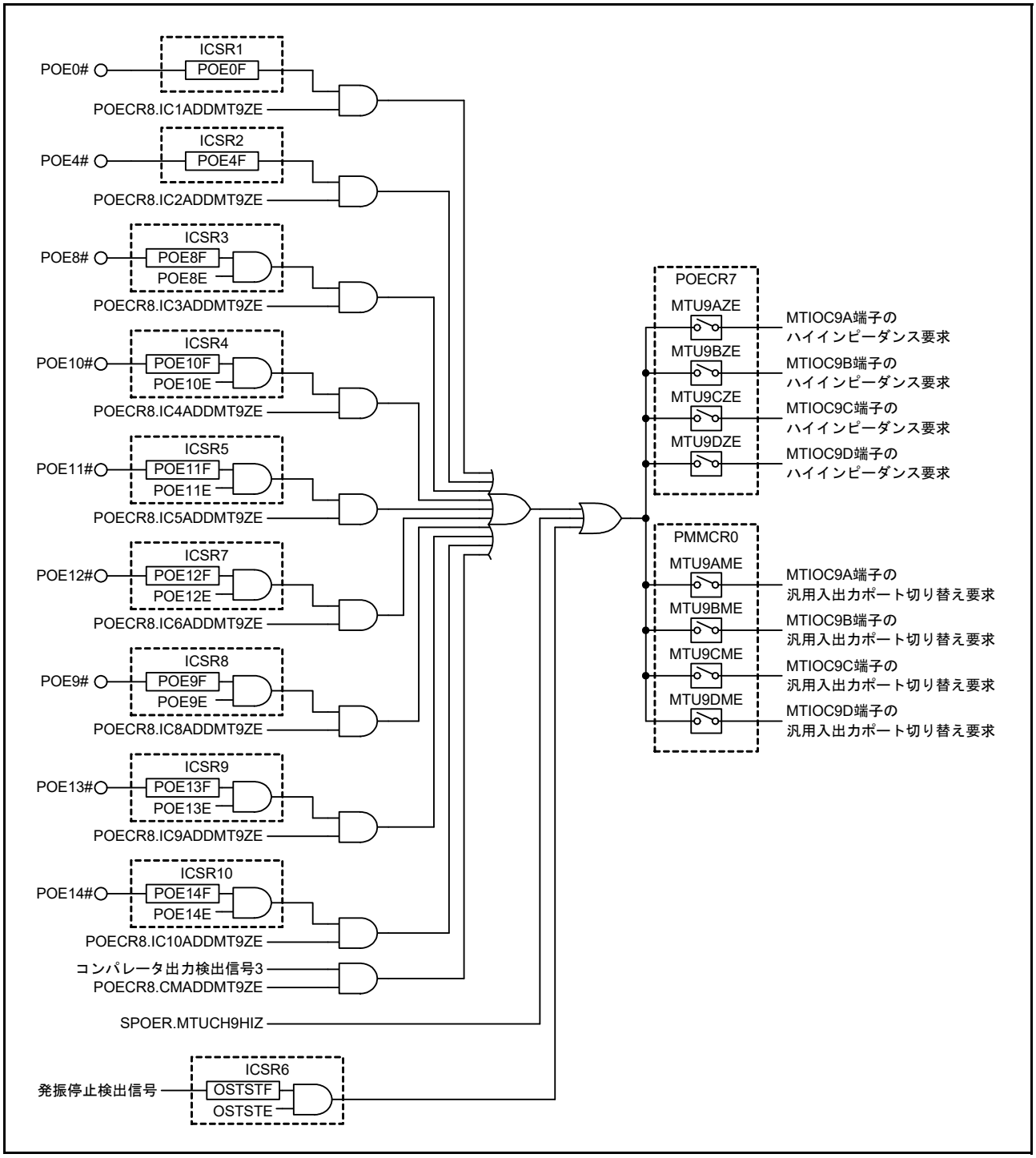


図 23.6 ハイインピーダンス制御の対象と条件 (4)

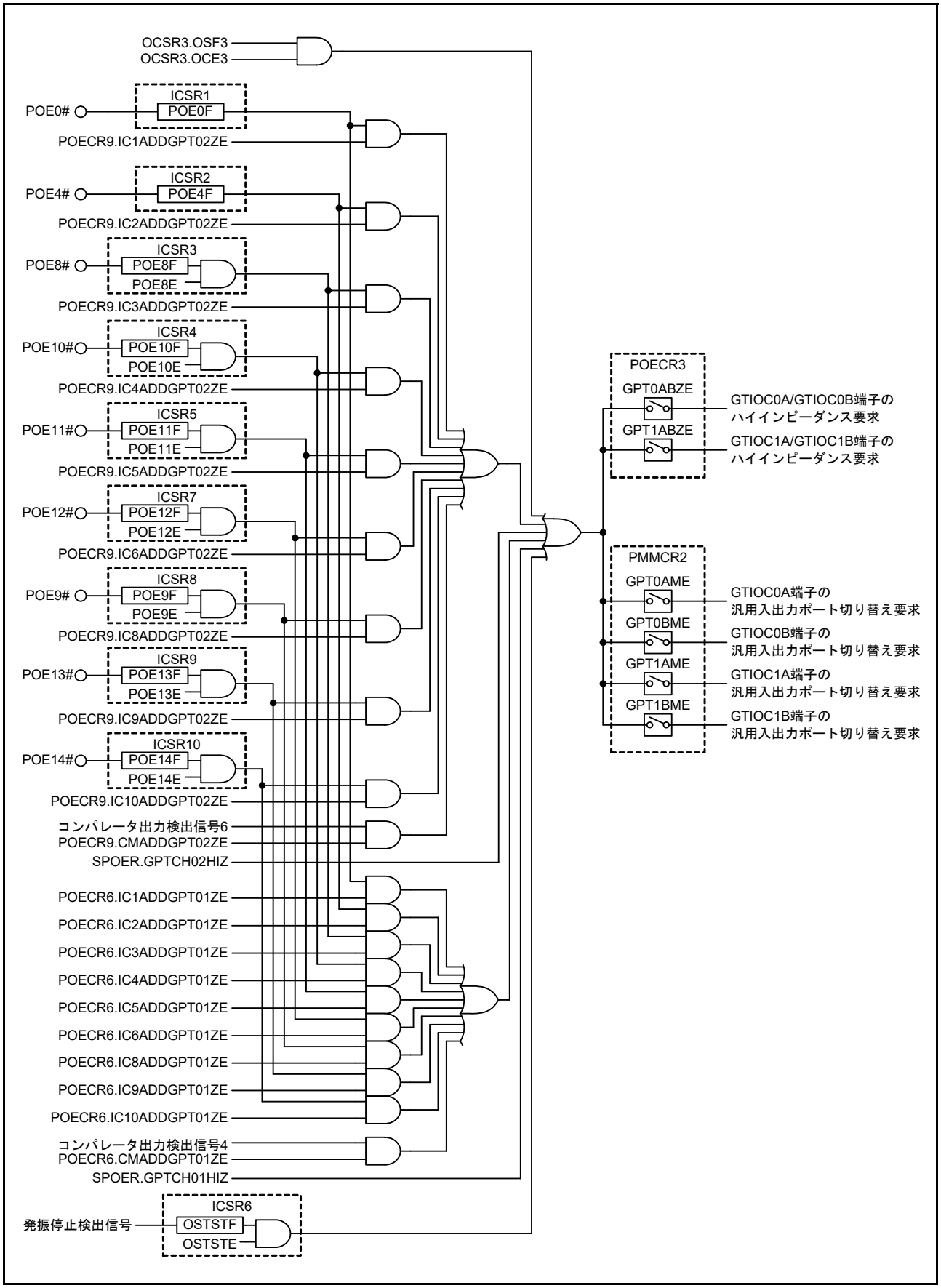


図 23.7 ハイインピーダンス制御の対象と条件 (5)

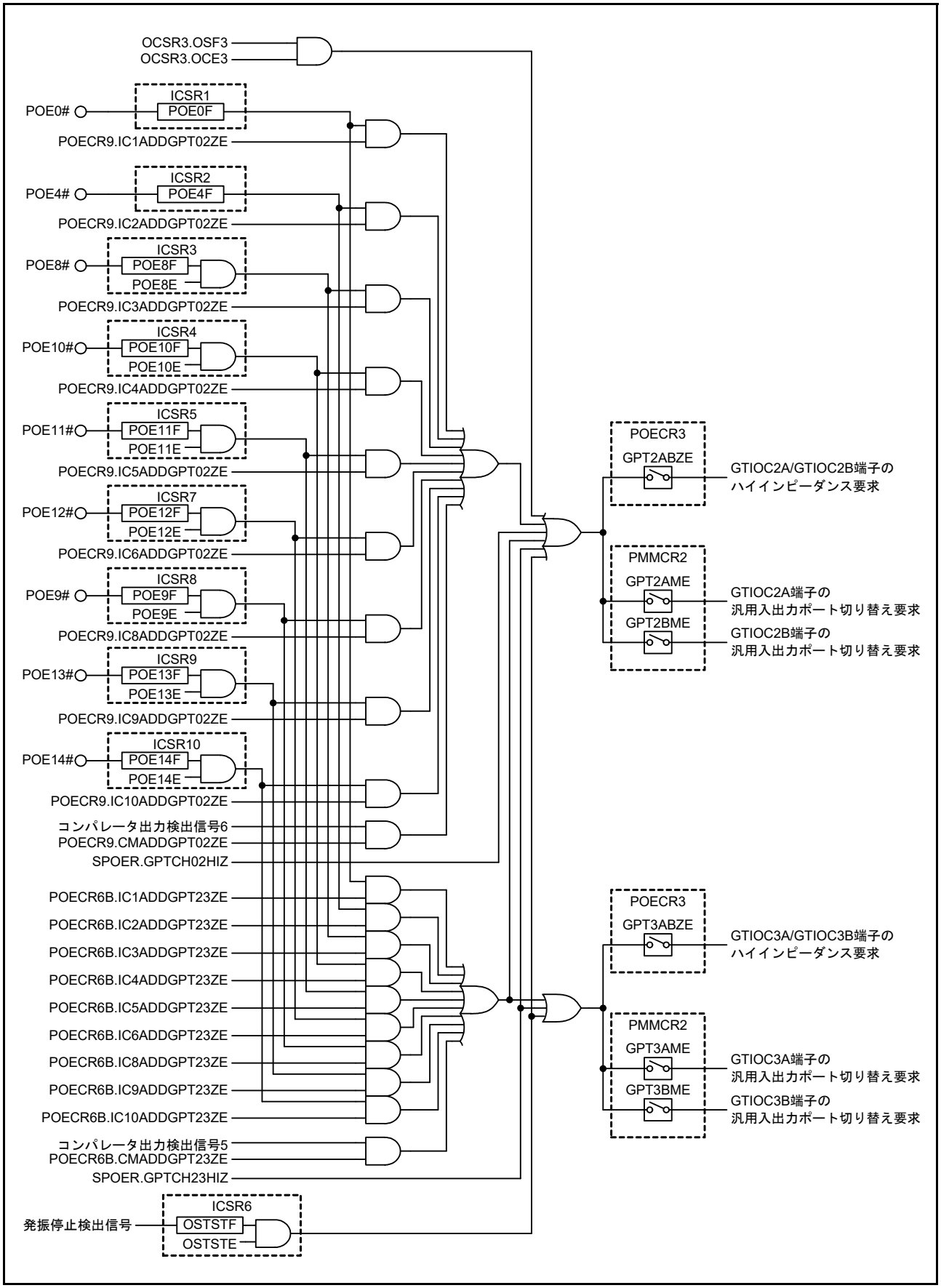


図 23.8 ハイインピーダンス制御の対象と条件 (6)

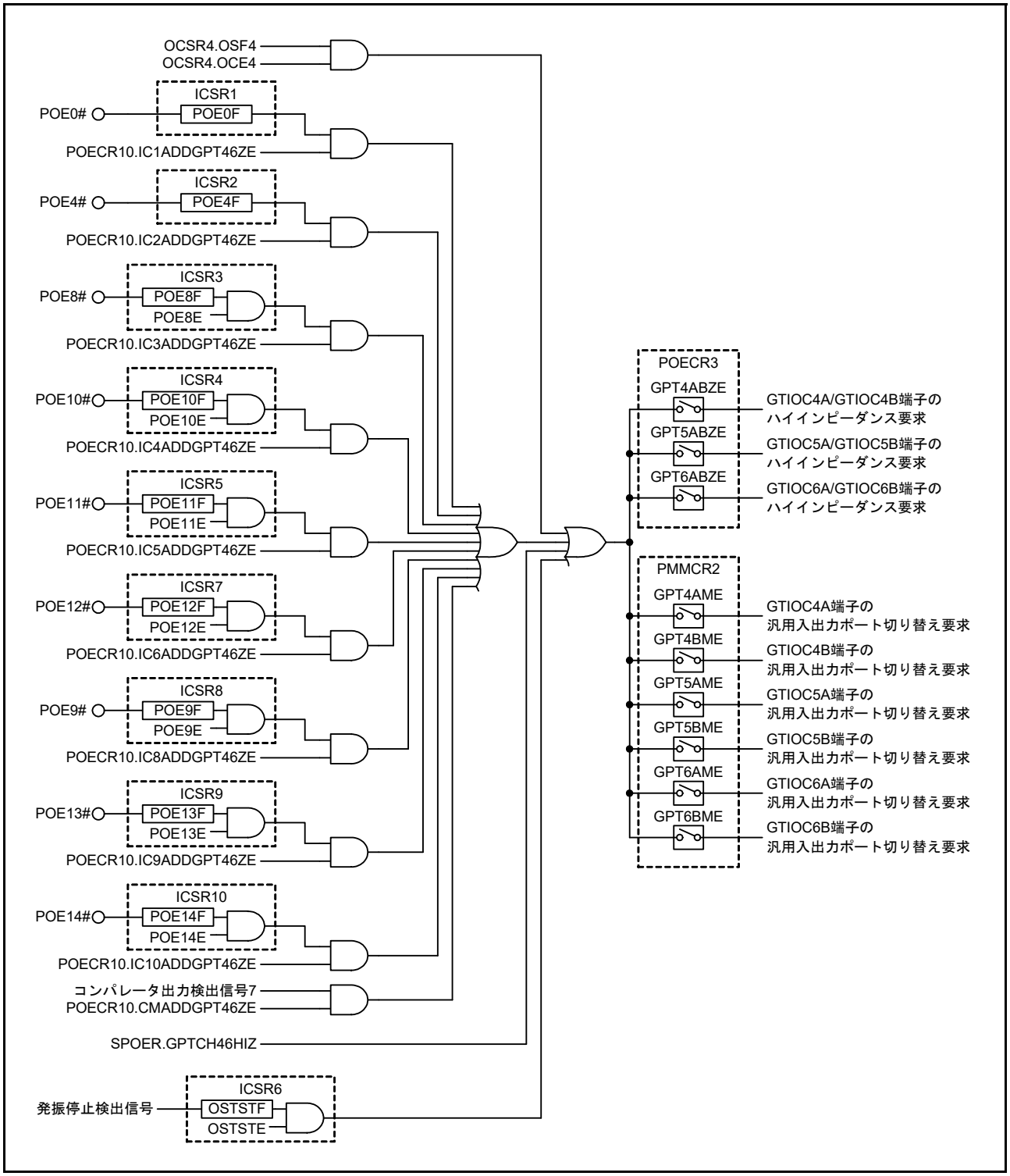


図 23.9 ハイインピーダンス制御の対象と条件 (7)

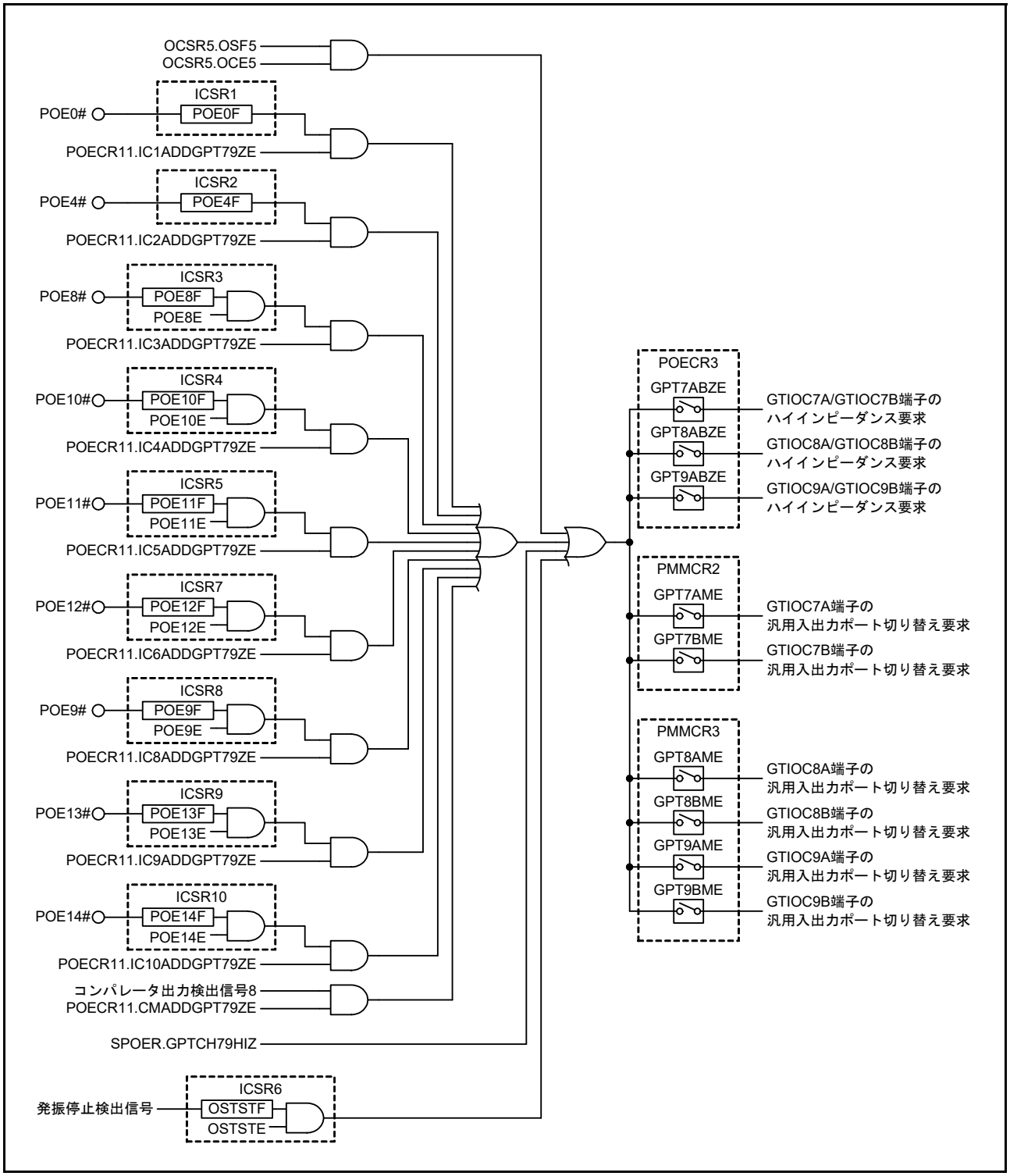


図 23.10 ハイインピーダンス制御の対象と条件 (8)

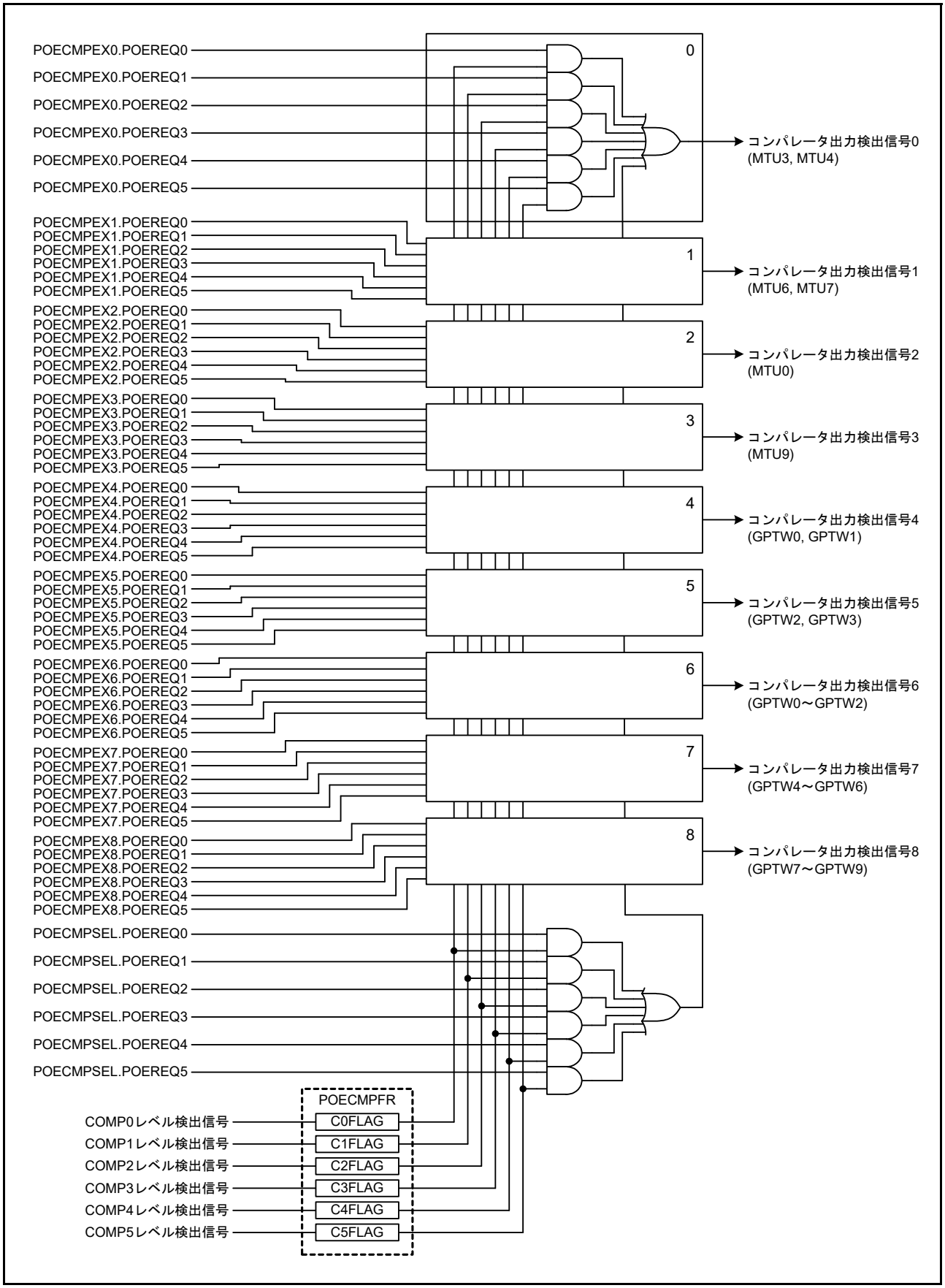


図 23.11　コンパレータ出力検出信号生成ブロック

23.3.1 MTU/GPTW 端子選択

本 MCU では、MTU/GPTW 用の各端子機能が各々複数のポートに割り当てられています。どのポートを出力停止制御の対象とするかは POE の端子選択レジスタ (M0SELR1/M0SELR2/M3SELR/M4SELR1/M4SELR2/M6SELR/M7SELR1/M7SELR2/M9SELR1/M9SELR2/G0SELR/G1SELR/G2SELR/G3SELR/G4SELR/G5SELR/G6SELR/G7SELR/G8SELR/G9SELR レジスタ) で選択できます。**表 23.5** に MTU 端子と選択レジスタの対応、**表 23.6** に GPTW 端子と選択レジスタの対応を示します。

なお、MTU/GPTW として使用する端子は、別途マルチファンクションピンコントローラ (MPC) のレジスタで設定する必要があります。POE のレジスタで選択した端子と MPC のレジスタで選択した端子に乖離がないよう注意してください。

表23.5　MTU端子と選択レジスタの対応

MTU端子機能	対応ポート	選択レジスタ
MTIOC0A	PB3	M0SELR1
	P31	
MTIOC0B	PB2	
	P30	
	PC0	
MTIOC0C	PB1	M0SELR2
	P27	
	PC1	
MTIOC0D	PB0	
	PC2	
MTIOC3B	P71	M3SELR
	P12	
MTIOC3D	P74	
	P15	
MTIOC4A	P72	M4SELR1
	P13	
MTIOC4C	P75	
	P16	
MTIOC4B	P73	M4SELR2
	P14	
MTIOC4D	P76	
	P17	
MTIOC6B	P95	M6SELR
MTIOC6D	P92	
MTIOC7A	P94	M7SELR1
MTIOC7C	P91	
MTIOC7B	P93	M7SELR2
MTIOC7D	P90	

MTU端子機能	対応ポート	選択レジスタ
MTIOC9A	PD7	M9SELR1
	P21	
	P00	
	P26	
	P35	
MTIOC9B	PE0	
	PC4	
	P10	
	P22	
	P34	
MTIOC9C	PD6	M9SELR2
	P20	
	P01	
	P25	
	PC6	
MTIOC9D	PE1	
	PC3	
	PE5	
	P11	
	PC5	

表23.6　GPTW端子と選択レジスタの対応

GPTW端子機能	対応ポート	選択レジスタ
GTIOC0A	P71	G0SELR
	PD7	
	P12	
	PD2	
	PG1	
GTIOC0B	P74	
	PD6	
	P15	
	PD1	
	PG2	
GTIOC1A	P72	G1SELR
	PD5	
	P13	
	PD0	
	PK2	
GTIOC1B	P75	
	PD4	
	P16	
	PB7	
	PG0	
GTIOC2A	P73	G2SELR
	PD3	
	P14	
	PB6	
	PK0	
GTIOC2B	P76	
	PD2	
	P17	
	PB5	
	PK1	
GTIOC3A	P32	G3SELR
	PD1	
	PE5	
	PD7	
GTIOC3B	P33	
	PD0	
	P11	
	PD6	

GPTW端子機能	対応ポート	選択レジスタ
GTIOC4A	P95	G4SELR
	P71	
GTIOC4B	P92	
	P74	
GTIOC5A	P94	G5SELR
	P72	
GTIOC5B	P91	
	P75	
GTIOC6A	P93	G6SELR
	P73	
GTIOC6B	P90	
	P76	
GTIOC7A	P95	G7SELR
	P12	
GTIOC7B	P92	
	P15	
GTIOC8A	P94	G8SELR
	P13	
GTIOC8B	P91	
	P16	
GTIOC9A	P93	G9SELR
	P14	
GTIOC9B	P90	
	P17	

23.3.2　入力レベル検出動作

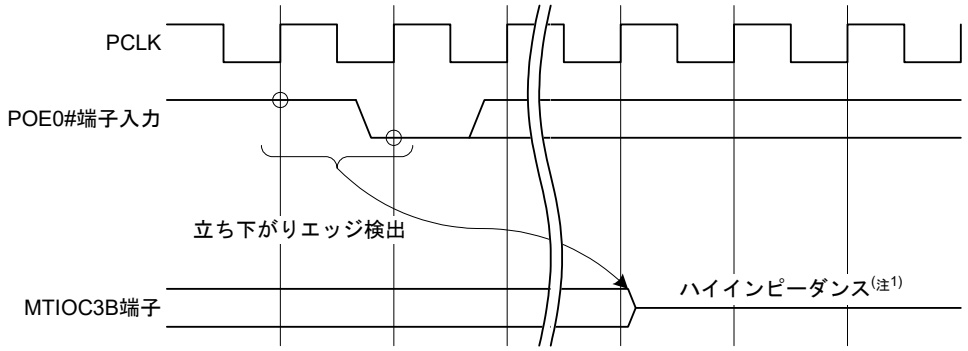
ICSR1 ～ ICSR5、ICSR7 ～ ICSR10 レジスタで設定した入力条件が POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#、POE13#、POE14# 端子に発生した場合、MTU 相補 PWM 出力端子 (MTU3、MTU4 または MTU6、MTU7 端子) および MTU0 端子、MTU9 端子、GPTW 端子の出力を停止します。

(1)　立ち下がりエッジ検出

POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#、POE13#、POE14# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子、MTU9 端子、GPTW 端子の出力を停止します。

立ち下がりエッジは、PCLK でサンプリングを行った後、検出します。POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#、POE13#、POE14# 端子に 1 PCLK クロック以上の Low を入力してください。

POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#、POE13#、POE14# 端子入力から端子がハイインピーダンスになるまでのタイミング例を図 23.12 に示します。



注1. その他の端子も同様のタイミングでハイインピーダンスになります。

図 23.12　立ち下がりエッジ検出、ハイインピーダンスを選択した場合の動作

(2) Low レベル検出

図 23.13 に Low レベル検出で端子をハイインピーダンスにする場合の動作例を示します。ICSR1 ～ ICSR5、ICSR7 ～ ICSR10 レジスタで設定したサンプリングクロックで、指定された回数連続して Low を検出すると Low が入力されたとみなし、MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子および GPTW 端子の出力を停止します。このとき、一度でも High を検出した場合は Low が入力されたとみなしません。

また、サンプリングクロックから MTU 相補 PWM 出力端子および MTU0 端子、MTU9 端子、GPTW 端子の出力が停止するまでの時間は、立ち下がりエッジ検出、Low レベル検出ともに同じです。

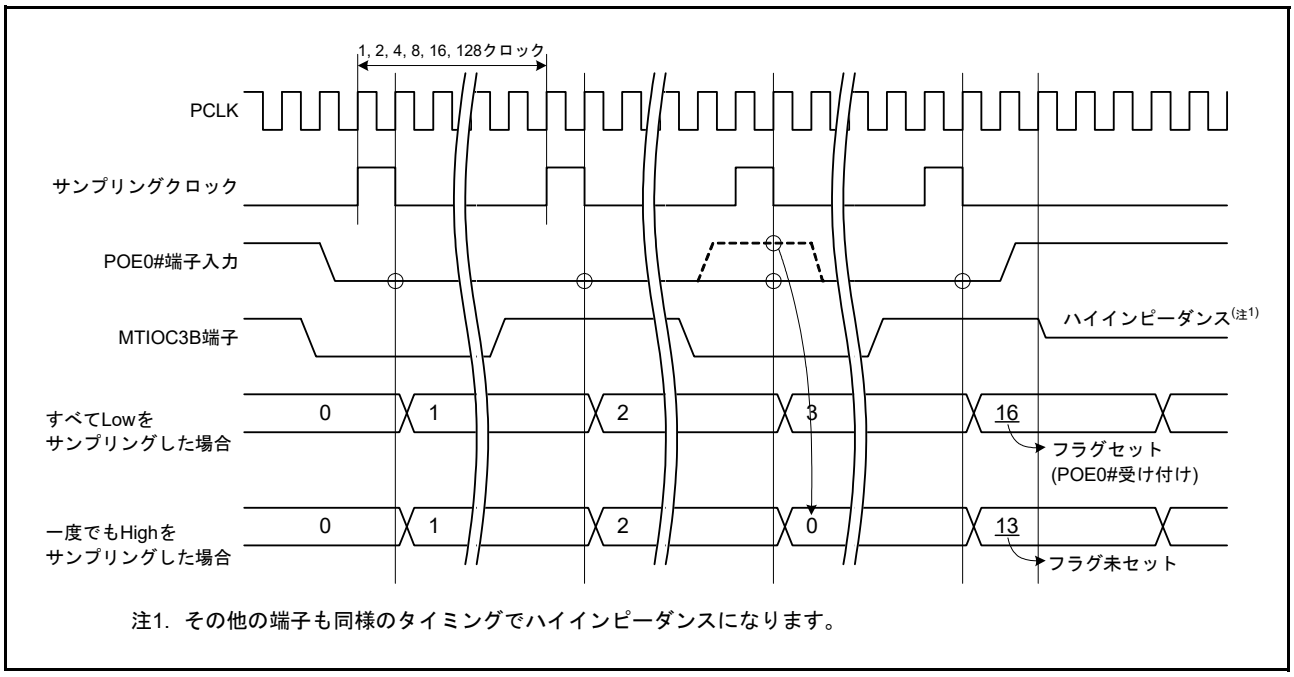


図 23.13　Low レベル検出、ハイインピーダンスを選択した場合の動作 (16 回サンプリング)

23.3.3　出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 23.14 に示します。MTIOC3B 信号と MTIOC3D 信号が PCLK の 1 サイクル以上同時にアクティブレベルになると、両端子の出力が停止します。他の信号の組み合わせ、汎用入出力ポートへの切り替えの場合についても同様です。

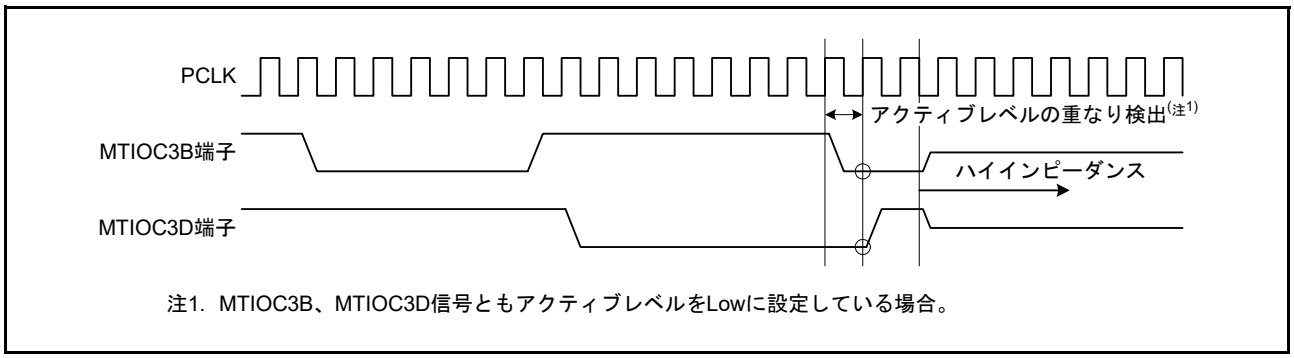


図 23.14　出力レベル検出動作

23.3.4 レジスタによる出力停止制御

SPOER レジスタにより、直接、MTU 端子 (MTU0、MTU3、MTU4、MTU6、MTU7、MTU9 端子) および GPTW 端子 (GPTW0 ～ GPTW9 端子) の出力停止制御を行います。

たとえば、SPOER.MTUCH34HIZ ビットを “1” にすることで、POECR2 レジスタで設定した MTU3、MTU4 の端子をハイインピーダンスにできます。

他の端子についても、SPOER レジスタ内のビット設定により同様に出力停止制御が行えます。

23.3.5 発振停止検出検知による出力停止制御

ICSR6.OSTSTE ビットが “1” のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR1 ～ POECR3、POECR7 レジスタで設定した MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、GPTW 端子をハイインピーダンスに、PMMCR0 ～ PMMCR3 レジスタで設定した MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、GPTW 端子を汎用入出力ポートにできます。

23.3.6 コンパレータ出力検出による出力停止制御

コンパレータ出力の検出により、MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、GPTW 端子の出力を停止することができます。

たとえば、POECR4.CMADDMT34ZE ビットを “1” にして MTU3、MTU4 の端子の出力停止制御条件に POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を追加することで、コンパレータ出力検出時に POECR2 レジスタで設定した MTU3、MTU4 の端子の出力をハイインピーダンスに、PMMCR1 レジスタで設定した MTU3、MTU4 の端子を汎用入出力ポートにできます。

他の端子についても、POECR1 ～ POECR8 レジスタ、PMMCR0 ～ PMMCR3 レジスタの設定により同様に出力停止制御が行えます。

CjFLAG フラグ (j = 0 ～ 5) を出力停止制御条件として使用するには、POECMPSEL レジスタまたは POECMPEXm レジスタ (m = 0 ～ 8) の設定が必要です。POECMPSEL.POEREQj ビットを “1” にすると、すべての制御対象端子に CjFLAG フラグが要因として追加されます。POECMPEXm.POEREQj ビットを “1” にすると、対応する制御対象端子にのみ CjFLAG フラグが要因として追加されます。

23.3.7 出力停止制御条件の追加機能

POECR4 ～ POECR6、POECR4B、POECR6B、POECR8 ～ POECR11 レジスタの設定により、MTU 相補 PWM 出力端子、MTU0 端子、MTU9 端子、および GPTW 端子の出力停止制御条件を追加することができます。

たとえば、MTU3、MTU4 の端子の出力停止制御条件に、下記を追加することができます。

- POECR4.CMADDMT34ZE ビットを “1” にして、コンパレータ出力検出を追加
- POECR4.IC1ADDMT34ZE ビットを “1” にして、POE0# 端子による入力レベル検出を追加
- POECR4.IC2ADDMT34ZE ビットを “1” にして、POE4# 端子による入力レベル検出を追加
- POECR4.IC3ADDMT34ZE ビットを “1” にして、POE8# 端子による入力レベル検出を追加
- POECR4.IC4ADDMT34ZE ビットを “1” にして、POE10# 端子による入力レベル検出を追加
- POECR4.IC5ADDMT34ZE ビットを “1” にして、POE11# 端子による入力レベル検出を追加
- POECR4.IC6ADDMT34ZE ビットを “1” にして、POE12# 端子による入力レベル検出を追加
- POECR4.IC8ADDMT34ZE ビットを “1” にして、POE9# 端子による入力レベル検出を追加
- POECR4.IC9ADDMT34ZE ビットを “1” にして、POE13# 端子による入力レベル検出を追加

- POECR4.IC10ADDMT34ZE ビットを “1” にして、POE14# 端子による入力レベル検出を追加

他の端子についても、POECR4 ～ POECR6、POECR4B、POECR6B、POECR8 ～ POECR11 レジスタの設定により同様に出力停止制御条件の追加が行えます。

23.3.8 出力停止要求発生時の制御

出力停止要求が発生したとき、POECR1 ～ POECR3、POECR7 レジスタの対応するビットを “1” にした端子はハイインピーダンスになり、PMMCR0 ～ PMMCR3 レジスタの対応するビットを “1” にした端子は汎用入出力ポートに切り替わります。

同一端子に対して両方のビットを “1” にした場合は、POECR1 ～ POECR3、POECR7 レジスタの設定が優先され、端子はハイインピーダンスになります。

汎用入出力ポートに切り替わった後は、PDR レジスタ、PODR レジスタの設定により端子の状態が決定します。

23.3.9 出力停止状態の解除

入力レベル検出で出力が停止した端子は、リセットで初期状態に戻すか、ICSR1.POE0F フラグ、ICSR2.POE4F フラグ、ICSR3.POE8F フラグ、ICSR4.POE10F フラグ、ICSR5.POE11F フラグ、ICSR7.POE12F フラグ、ICSR8.POE9F フラグ、ICSR9.POE13F フラグ、ICSR10.POE14F フラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[3:0] ビット、ICSR2.POE4M[3:0] ビット、ICSR3.POE8M[3:0] ビット、ICSR4.POE10M[3:0] ビット、ICSR5.POE11M[3:0] ビット、ICSR7.POE12M[3:0] ビット、ICSR8.POE9M[3:0] ビット、ICSR9.POE13M[3:0] ビット、ICSR10.POE14M[3:0] ビットで Low レベル検出に設定している場合には、POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#、POE13#、POE14# 端子から High を入力して High を検出した後でないと、フラグに対して “0” を書いても無効となりフラグは “0” になりません。

出力短絡検出で出力が停止した端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグ、OCSR3.OSF3 フラグ、OCSR4.OSF4 フラグ、OCSR5.OSF5 フラグを “0” にすることによって解除されます。ただし、当該信号を非アクティブレベルにした後でないと、フラグに対して “0” を書いても無効となりフラグは “0” になりません。非アクティブレベル出力は、MTU の場合はカウント動作停止後に初期出力状態にすることで、GPTW の場合は「24.9.2 動作中の異常などによる端子の初期化」の手順で行うことができます。

コンパレータ出力検出で出力が停止した端子は、リセットで初期状態に戻すか、POECMPFR.CjFLAG フラグ (j = 0 ～ 5) を “0” にすることによって解除されます。POECMPFR.CjFLAG フラグを “0” にする場合は、コンパレータ出力検出を行ったアナログ入力信号が適正値に戻ったことを A/D 変換実施等で確認した後に実施してください。アナログ入力信号が適正値に戻ったことを確認しないで当該フラグをクリアしたときで、かつコンパレータが正転出力の場合にアナログ入力信号が基準電圧よりも高い、またはコンパレータが反転出力の場合にアナログ入力信号が基準電圧よりも低いままだった場合、前述の POECMPFR.CjFLAG フラグは再び “1” にはなりませんのでご注意ください。

発振停止検出で出力が停止した端子は、リセットで初期状態に戻すか、SYSTEM.OSTDSR.OSTDF フラグを “0” にして ICSR6.OSTSTF フラグを “0” にすることによって解除されます。

23.4 POE 設定手順

POE の設定手順を図 23.15 に示します。例として MTU3 信号 (MTIOC3B/MTIOC3D) の出力レベル比較によるハイインピーダンス制御を示します。図 23.15 では MTIOC3B 信号を P71 端子、MTIOC3D 信号を P74 端子に割り当てます。

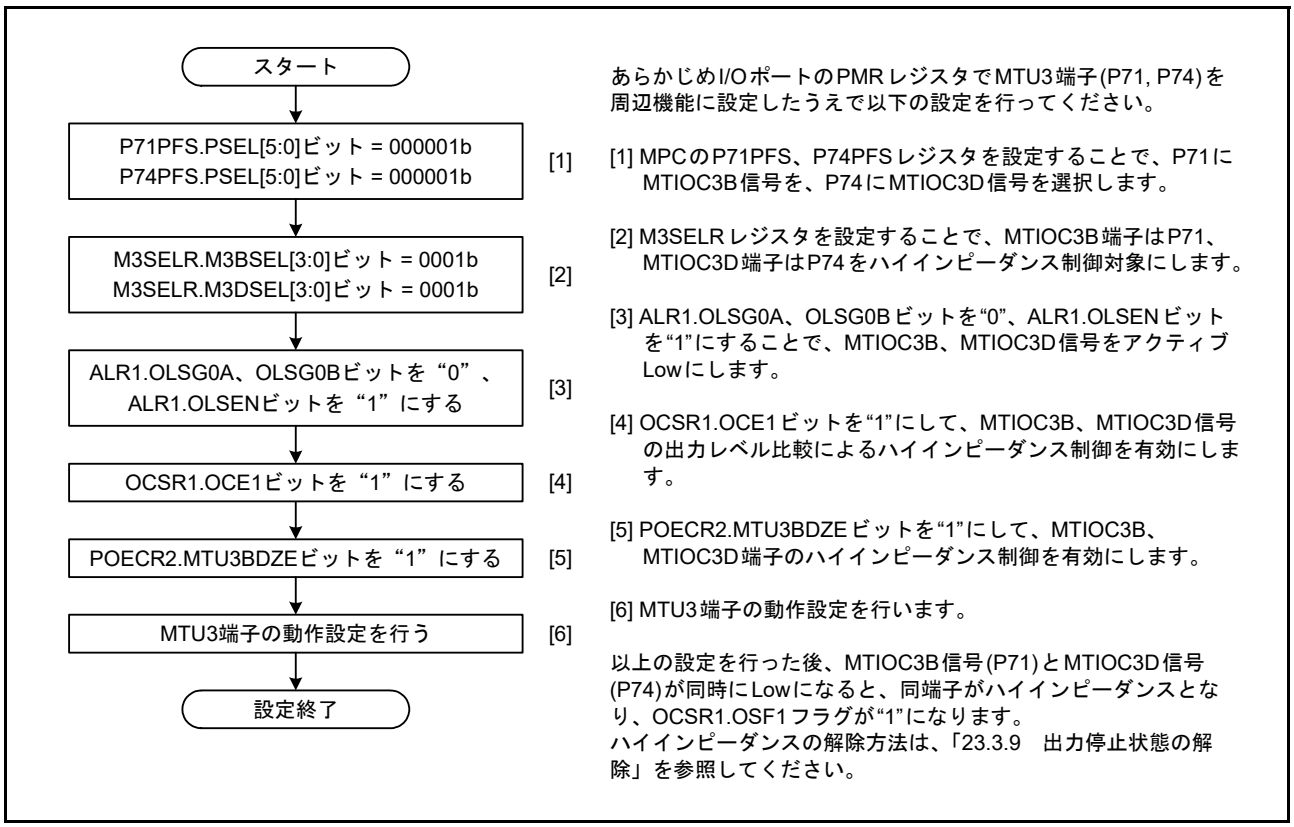


図 23.15　POE の設定手順

23.5 割り込み

POE は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 23.7 に割り込みの種類と割り込み要求を出す条件を示します。

表23.7　割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F, OSF1	ICSR1.PIE1ビットが“1”の状態でICSR1.POE0Fフラグが“1”になったとき、またはOCSR1.OIE1ビットが“1”の状態でOCSR1.OSF1フラグが“1”になったとき
OEI2	アウトプットイネーブル割り込み2	POE4F, OSF2	ICSR2.PIE2ビットが“1”の状態でICSR2.POE4Fフラグが“1”になったとき、またはOCSR2.OIE2ビットが“1”の状態でOCSR2.OSF2フラグが“1”になったとき
OEI3	アウトプットイネーブル割り込み3	POE8F, POE9F	ICSR3.PIE3ビットが“1”の状態でICSR3.POE8Fフラグが“1”になったとき、またはICSR8.PIE8ビットが“1”の状態でICSR8.POE9Fフラグが“1”になったとき
OEI4	アウトプットイネーブル割り込み4	POE10F, POE11F	ICSR4.PIE4ビットが“1”の状態でICSR4.POE10Fフラグが“1”になったとき、またはICSR5.PIE5ビットが“1”の状態でICSR5.POE11Fフラグが“1”になったとき
OEI5	アウトプットイネーブル割り込み5	POE12F, POE13F, POE14F, OSF3, OSF4, OSF5	ICSR7.PIE7ビットが“1”の状態でICSR7.POE12Fフラグが“1”になったとき、ICSR9.PIE9ビットが“1”の状態でICSR9.POE13Fフラグが“1”になったとき、ICSR10.PIE10ビットが“1”の状態でICSR10.POE14Fフラグが“1”になったとき、OCSR3.OIE3ビットが“1”の状態でOCSR3.OSF3フラグが“1”になったとき、OCSR4.OIE4ビットが“1”の状態でOCSR4.OSF4フラグが“1”になったとき、またはOCSR5.OIE5ビットが“1”の状態でOCSR5.OSF5フラグが“1”になったとき

23.6 使用上の注意事項

23.6.1 低消費電力モードへの遷移

POE を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、POE の動作が停止するため、端子の出力停止制御はできません。

23.6.2 MTU/GPTW 端子非選択時の出力停止制御

POECR1 ～ POECR3、POECR7 レジスタ、PMMCR0 ～ PMMCR3 レジスタで MTU/GPTW 端子の出力停止制御を有効にしているときに制御条件を満たすと、端子選択レジスタによって制御対象になった端子は MPC の PxyPFS レジスタで MTU/GPTW 機能を選択していない場合でも、出力が停止します。

意図せず端子の出力が停止するのを避けるため、MPC の PxyPFS レジスタで選択した MTU/GPTW 端子と、POE の端子選択レジスタで選択した MTU/GPTW 端子が一致するように設定を行ってください。

23.6.3 POE を使用しない場合について

POE による端子の出力停止制御は、リセット後から有効となっている端子があります。POE を使用しない場合でも、POECR2 レジスタの対象ビットに “0” を書いてください。また、端子選択レジスタ (M0SELR1, M0SELR2, M3SELR, M4SELR1, M4SELR2, M6SELR, M7SELR1, M7SELR2, M9SELR1, M9SELR2, G0SELR, G1SELR, G2SELR, G3SELR, G4SELR, G5SELR, G6SELR, G7SELR, G8SELR, G9SELR) の対象ビットにも “0000b” を書いてください。

23.6.4 MTU/GPTW 反転出力設定時のアクティブレベル設定について

本 MCU では、MPC.PxyPFS レジスタにより MTU/GPTW の出力を正転出力 / 反転出力から選択することができます。

MTU の反転出力を選択した場合、MTU.TOCR1j、MTU.TOCR2j レジスタ (j = A, B) で設定したアクティブレベルと端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR1、ALR2 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

GPTW の反転出力を選択した場合、端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR3 ～ ALR5 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

23.6.5 ハイインピーダンス時の端子の読み出しについて

POE によって端子がハイインピーダンスになっているときは、当該端子のレベルを読み出すことはできません。読んだ場合の値は不定です。端子のレベルを読み出すには、ハイインピーダンス状態を解除してください。

ハイインピーダンス制御の代わりにポート切り替え制御を選択した場合、この制限はありません。

23.6.6 POE と POEG を併用した場合の注意事項

POE と POEG を併用する場合、同一の GPTW 出力端子に対して、POE と POEG の両方で出力停止制御を行わないでください。

24. 汎用 PWM タイマ (GPTW)

本 MCU は、10 チャネルの 32 ビットタイマにより構成される汎用 PWM タイマ (GPTW) を内蔵しています。

24.1 概要

表 24.1 に GPTW の仕様を、表 24.2 に GPTW の機能一覧を示します。図 24.1 に GPTW のブロック図を示します。

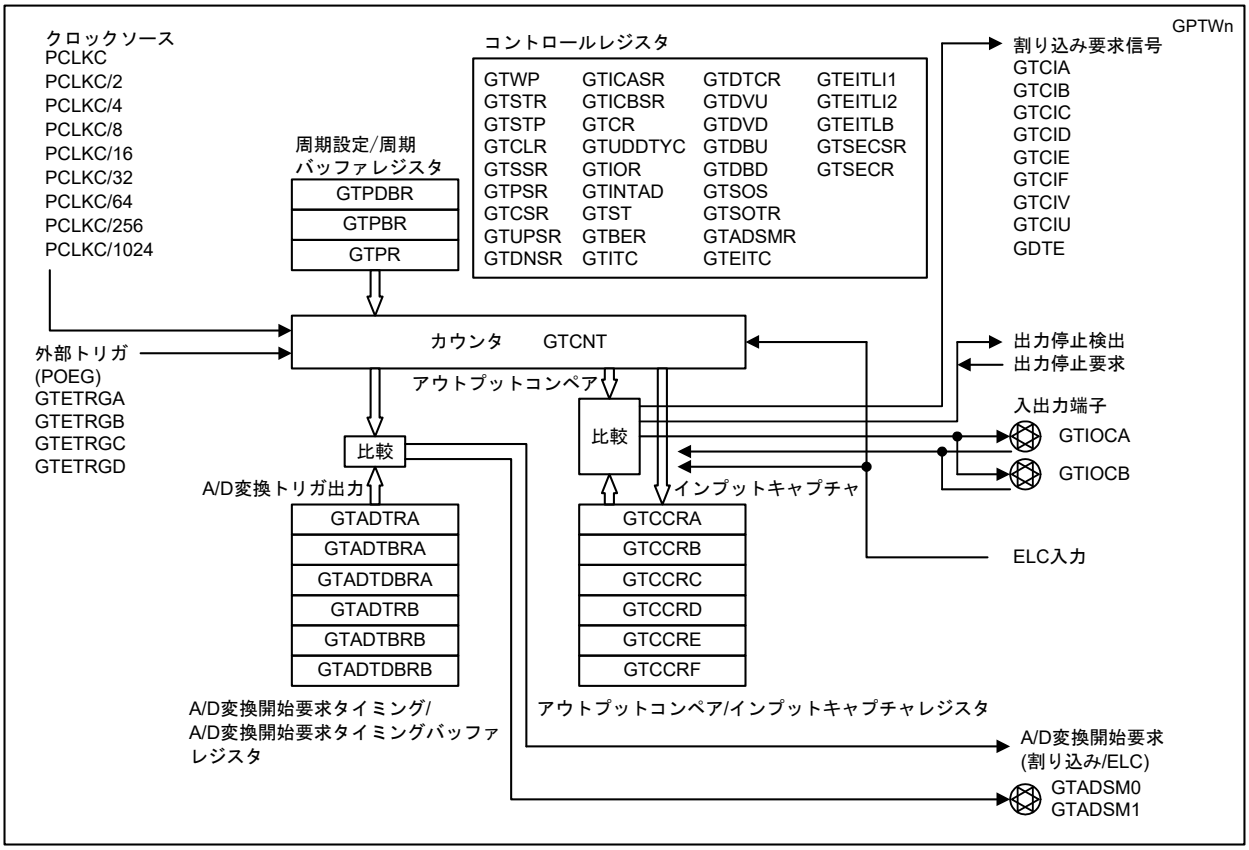
表24.1 GPTWの仕様

項目	仕様
機能	• 32ビット× 10チャネル • 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに2本の入出力端子 • チャネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) • PWM動作の際にデッドタイム生成が可能 • 任意のチャネルのカウンタを同時スタート/ストップ/クリア可能 • ELC設定により、最大8つのELCイベントによるカウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • 2本の入力信号の状態を検出し、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • 最大4本の外部トリガにより、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • POEGからの出力停止要求による出力ネゲート制御機能 • A/D変換開始トリガ生成機能 • コンペアマッチA～Fイベント信号、オーバフロー/アンダフローイベント信号をELCへ出力可能 • インプットキャプチャ入力はノイズフィルタ機能を選択可能 • バスクロック：PCLKA、GPTWカウント基準クロック：PCLKC 周波数比PCLKA：PCLKC = 1：1, 1：2

表24.2　GPTWの機能一覧

項目		GPTW0～GPTW9
タイマカウンタ		32ビット
カウントクロック		PCLKC, PCLKC/2, PCLKC/4, PCLKC/8, PCLKC/16, PCLKC/32, PCLKC/64, PCLKC/256, PCLKC/1024, GTETRGA, GTETRGB, GTETRGC, GTETRGD
アウトプットコンペア/インプットキャプチャレジスタ(GTCCR)		GTCCRA, GTCCRB
コンペア/バッファレジスタ		GTCCRC, GTCCRD, GTCCRE, GTCCRF
周期設定レジスタ		GTPR
周期設定バッファレジスタ		GTPBR, GTPDBR
インプットキャプチャ入力/コンペアマッチ出力/PWM出力端子		GTIOCnA, GTIOCnB
外部トリガ入力端子(POEG経由)		GTETRGA, GTETRGB, GTETRGC, GTETRGD
カウンタクリア要因		GTPRレジスタのコンペアマッチ、インプットキャプチャ、ELC入力、入力端子状態、外部トリガ入力
コンペアマッチ出力	Low出力	○
	High出力	○
	トグル出力	○
インプットキャプチャ機能		○
デッドタイム自動設定機能		○
PWMモード	のこぎり波PWMモード1	○
	のこぎり波ワンショットパルスモード	○
	三角波PWM1,2,3	○
位相計数機能		○
バッファ動作	ダブルバッファ	○
	複数チャネル同時動作禁止制御	○
ワンショット動作		○
DMAC/DTCの起動		すべての割り込み要因
A/D変換開始トリガ		GTADTRA, GTADTRBレジスタのコンペアマッチ
割り込み要因		9要因 • GTCCRAレジスタコンペアマッチ/インプットキャプチャ(GTCIAn) • GTCCRBレジスタコンペアマッチ/インプットキャプチャ(GTCIBn) • GTCCRCレジスタコンペアマッチ(GTCICn) • GTCCRDレジスタコンペアマッチ(GTCIDn) • デッドタイムエラー(GDTEn) • GTCCREレジスタコンペアマッチ(GTCIEn) • GTCCRFレジスタコンペアマッチ(GTCIFn) • GTCNTカウンタオーバフロー(GTPRレジスタコンペアマッチ)(GTCIVn) • GTCNTカウンタアンダフロー(GTCIUn)
割り込み間引き機能		GTCNTカウンタオーバフロー(GTPRレジスタコンペアマッチ)(GTCIVn)/GTCNTカウンタアンダフロー(GTCIUn)割り込みを間引き(他の割り込み、およびA/D変換開始要求との連動機能あり)(バッファ転送間引き機能)
ELCによるイベント動作		○
ノイズフィルタ機能		○

○：可能



GTWP: 汎用 PWM タイマ書き込み保護レジスタ
GTSTR: 汎用 PWM タイマソフトウェアスタートレジスタ
GTSTP: 汎用 PWM タイマソフトウェアストップレジスタ
GTCLR: 汎用 PWM タイマソフトウェアクリアレジスタ
GTSSR: 汎用 PWM タイマスタート要因セレクトレジスタ
GTPSR: 汎用 PWM タイマストップ要因セレクトレジスタ
GTCSR: 汎用 PWM タイマクリア要因セレクトレジスタ
GTUPSR: 汎用 PWM タイマカウントアップ要因セレクトレジスタ
GTDNSR: 汎用 PWM タイマカウントダウン要因セレクトレジスタ
GTICASR: 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A
GTICBSR: 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B
GTCR: 汎用 PWM タイマ制御レジスタ
GTUDDTYC: 汎用 PWM タイマカウント方向、デューティ設定レジスタ
GTIOR: 汎用 PWM タイマ I/O 制御レジスタ
GTINTAD: 汎用 PWM タイマ割り込み出力設定レジスタ
GTST: 汎用 PWM タイマステータスレジスタ
GTBER: 汎用 PWM タイマバッファイネーブルレジスタ
GTITC: 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ
GTCNT: 汎用 PWM タイマカウンタ
GTCCRA: 汎用 PWM タイマコンペアキャプチャレジスタ A
GTCCRB: 汎用 PWM タイマコンペアキャプチャレジスタ B
GTCCRC: 汎用 PWM タイマコンペアキャプチャレジスタ C
GTCCRD: 汎用 PWM タイマコンペアキャプチャレジスタ D
GTCCRE: 汎用 PWM タイマコンペアキャプチャレジスタ E
GTCCRF: 汎用 PWM タイマコンペアキャプチャレジスタ F
GTPR: 汎用 PWM タイマ周期設定レジスタ
GTPBR: 汎用 PWM タイマ周期設定バッファレジスタ
GTPDBR: 汎用 PWM タイマ周期設定ダブルバッファレジスタ
GTADTRA: A/D 変換開始要求タイミングレジスタ A
GTADTRB: A/D 変換開始要求タイミングレジスタ B
GTADTBRA: A/D 変換開始要求タイミングバッファレジスタ A
GTADTBRB: A/D 変換開始要求タイミングバッファレジスタ B
GTADTDBRA: A/D 変換開始要求タイミングダブルバッファレジスタ A
GTADTDBRB: A/D 変換開始要求タイミングダブルバッファレジスタ B
GTDTCR: 汎用 PWM タイマデッドタイム制御レジスタ
GTDVU: 汎用 PWM タイマデッドタイム値レジスタ U
GTDVD: 汎用 PWM タイマデッドタイム値レジスタ D
GTDBU: 汎用 PWM タイマデッドタイムバッファレジスタ U
GTDBD: 汎用 PWM タイマデッドタイムバッファレジスタ D
GTSOS: 汎用 PWM タイマ出力保護機能ステータスレジスタ
GTSOTR: 汎用 PWM タイマ出力保護機能一時解除レジスタ
GTADSMR: 汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ
GTEITC: 汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ
GTEITLI1: 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1
GTEITLI2: 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2
GTEITLB: 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ
GTSECSR: 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ
GTSECR: 汎用 PWM タイマ動作許可ビット同時制御レジスタ

図 24.1 GPTW のブロック図 (n = 0 ～ 9)

表 24.3 に GPTW で使用する入出力端子を示します。

表24.3 GPTWの入出力端子(n = 0～9)

チャネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子A (POEG経由による入力)
	GTETRGB	入力	外部トリガ入力端子B (POEG経由による入力)
	GTETRGC	入力	外部トリガ入力端子C (POEG経由による入力)
	GTETRGD	入力	外部トリガ入力端子D (POEG経由による入力)
	GTADSM0	出力	A/D変換開始要求モニタ0出力端子
	GTADSM1	出力	A/D変換開始要求モニタ1出力端子
GPTWn	GTIOCnA	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOCnB	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

24.2 レジスタの説明

24.2.1 汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス　GPTW0.GTWP 000C 2000h, GPTW1.GTWP 000C 2100h, GPTW2.GTWP 000C 2200h, GPTW3.GTWP 000C 2300h, GPTW4.GTWP 000C 2400h, GPTW5.GTWP 000C 2500h, GPTW6.GTWP 000C 2600h, GPTW7.GTWP 000C 2700h, GPTW8.GTWP 000C 2800h, GPTW9.GTWP 000C 2900h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	CMNWP	CLRWP	STPWP	STRWP	WP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止ビット	0：レジスタへの書き込みを許可 1：レジスタへの書き込みを禁止	R/W
b1	STRWP	GTSTR.CSTRTビット書き込み禁止ビット	0：ビットへの書き込みを許可 1：ビットへの書き込みを禁止	R/W
b2	STPWP	GTSTP.CSTOPビット書き込み禁止ビット	0：ビットへの書き込みを許可 1：ビットへの書き込みを禁止	R/W
b3	CLRWP	GTCLR.CCLRビット書き込み禁止ビット	0：ビットへの書き込みを許可 1：ビットへの書き込みを禁止	R/W
b4	CMNWP	共通レジスタ書き込み禁止ビット	0：レジスタへの書き込みを許可 1：レジスタへの書き込みを禁止	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	GTWPキーコードビット	読むと“0”が読めます。 WP、STRWP、STPWP、CLRWP、CMNWPビットを書き換える場合、“A5h”としてください。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可 / 禁止するレジスタです。

GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。

CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

GTWP レジスタの設定で、書き込み許可 / 禁止が反映されるレジスタは、「24.8.1 レジスタの書き込み保護」を参照してください。

WP ビット (レジスタ書き込み禁止ビット)

GPTW のレジスタへの書き込みの許可 / 禁止を選択します。

書き込みの許可 / 禁止の対象となるレジスタは、下記のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTEITC, GTEITLI1, GTEITLI2, GTEITLB

STRWP ビット (GTSTR.CSTRT ビット書き込み禁止ビット)

チャネル番号に対応する GTSTR レジスタの CSTRT ビットへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTSTR レジスタの各 CSTRT ビットは、ビット位置をチャネル番号として各チャネルに配置され、どのチャネルの GTSTR レジスタに書きこんでも、全てのチャネルで書き込み動作が行われます。各チャネルの STRWP ビットは、書き込み動作自体を制御するものではなく、全てのチャネルで同時に行われる書き込み動作に対して、そのチャネルに対応する CSTRT ビットの更新のみを制御します。

従って、STRWP ビットが “1”(書き込み禁止) に設定されているチャネルに対して書き込み動作を行った場合、そのチャネルに対応する CSTRT ビットは更新されませんが、STRWP ビットが “0”(書き込み許可) に設定されているチャネルに対応する CSTRT ビットは更新されます。たとえば、GPTW0.GTWP.STRWP ビットが “0”(書き込み許可) に設定されている場合は、GPTW1.GTSTR.CSTRT0 ビットが “0” のとき、“1” を書き込むと GPTW0.GTSTR.CSTRT0 ビットが “0” から “1” に更新され GPTW0.GTCNT カウンタが動作を開始します。GPTW0.GTWP.STRWP ビットが “1”(書き込み禁止) に設定されている場合は、GPTW1.GTSTR.CSTRT0 ビットが “0” のとき、“1” を書き込んでも GPTW0.GTSTR.CSTRT0 ビットは “0” から “1” に更新されず GPTW0.GTCNT カウンタは動作を開始しません。

GTSTR レジスタの更新を完全に保護したい場合は、全てのチャネルの STRWP ビットを “1” に設定してください。

STPWP ビット (GTSTP.CSTOP ビット書き込み禁止ビット)

チャネル番号に対応する GTSTP レジスタの CSTOP ビットへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTSTP レジスタの各 CSTOP ビットは、ビット位置をチャネル番号として各チャネルに配置され、どのチャネルの GTSTP レジスタに書きこんでも、全てのチャネルで書き込み動作が行われます。各チャネルの STPWP ビットは、書き込み動作自体を制御するものではなく、全てのチャネルで同時に行われる書き込み動作に対して、そのチャネルに対応する CSTOP ビットの更新のみを制御します。

従って、STPWP ビットが “1”(書き込み禁止) に設定されているチャネルに対して書き込み動作を行った場合、そのチャネルに対応する CSTOP ビットは更新されませんが、STPWP ビットが “0”(書き込み許可) に設定されているチャネルに対応する CSTOP ビットは更新されます。たとえば、GPTW0.GTWP.STPWP ビットが “0”(書き込み許可) に設定されている場合は、GPTW1.GTSTP.CSTOP0 ビットが “0” のとき、“1” を書き込むと GPTW0.GTSTP.CSTOP0 ビットが “0” から “1” に更新され GPTW0.GTCNT カウンタが動作を停止します。GPTW0.GTWP.STPWP ビットが “1”(書き込み禁止) に設定されている場合は、GPTW1.GTSTP.CSTOP0 ビットが “0” のとき、“1” を書き込んでも GPTW0.GTSTP.CSTOP0 ビットは “0” から “1” に更新されず GPTW0.GTCNT カウンタは動作を停止しません。

GTSTP レジスタの更新を完全に保護したい場合は、全てのチャネルの STPWP ビットを “1” に設定してください。

CLRWP ビット (GTCLR.CCLR ビット書き込み禁止ビット)

チャネル番号に対応する GTCLR レジスタの CCLR ビットへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTCLR レジスタの各 CCLR ビットは、ビット位置をチャネル番号として各チャネルに配置され、どのチャネルの GTCLR レジスタに書きこんでも、全てのチャネルで書き込み動作が行われます。各チャネルの CLRWP ビットは、書き込み動作自体を制御するものではなく、全てのチャネルで同時に行われる書き込み動作に対して、そのチャネルに対応する CCLR ビットの更新のみを制御します。

従って、CLRWP ビットが “1”(書き込み禁止) に設定されているチャネルに対して書き込み動作を行った場合、そのチャネルに対応する CCLR ビットは更新されませんが、CLRWP ビットが “0”(書き込み許可) に設定されているチャネルに対応する CCLR ビットは更新されます。たとえば、GPTW0.GTWP.CLRWP ビットが “0”(書き込み許可) に設定されている場合は、GPTW1.GTCLR.CCLR0 ビットが “0” のとき、“1” を書き込むと GPTW0.GTCLR.CCLR0 ビットが “0” から “1” に更新され GPTW0.GTCNT カウンタがクリアされます。GPTW0.GTWP.STPWP ビットが “1”(書き込み禁止) に設定されている場合は、GPTW1.GTCLR.CCLR0

ビットが “0” のとき、“1” を書き込んでも GPTW0.GTCLR.CCLR0 ビットは “0” から “1” に更新されず GPTW0.GTCNT カウンタはクリアされません。

GTCLR レジスタの更新を完全に保護したい場合は、全てのチャネルの CLRWP ビットを “1” に設定してください。

CMNWP ビット (共通レジスタ書き込み禁止ビット)

チャネル番号に対応する GTSECSR レジスタの SECSELn ビット (n = 0 ～ 9)、および GTSECR レジスタへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTSECSR レジスタの各 SECSEL ビットは、ビット位置をチャネル番号として各チャネルに配置され、どのチャネルの GTSECSR レジスタに書きこんでも、全てのチャネルで書き込み動作が行われます。GTSECR レジスタは、どのチャネルのレジスタに書きこんでも、全てのチャネルで書き込み動作が行われます。各チャネルの CMNWP ビットは、書き込み動作自体を制御するものではなく、全てのチャネルで同時に行われる書き込み動作に対して、そのチャネルに対応する SECSEL ビット、および GTSECR レジスタ値の更新のみを制御します。

従って、CMNWP ビットが “1”(書き込み禁止) に設定されているチャネルに対して書き込み動作を行った場合、そのチャネルに対応する SECSEL ビット、および GTSECR レジスタの値は更新されませんが、CMNWP ビットが “0”(書き込み許可) に設定されているチャネルに対応する SECSEL ビット、および GTSECR レジスタの値は更新されます。

たとえば、GPTW0.GTWP.CMNWP ビットが “0”(書き込み許可) に設定されている場合は、GPTW1.GTSECSR.SECSEL0 ビットに書き込む動作を行うと GPTW0.GTSECSR.SECSEL0 ビットが更新されます。同様に、GPTW1.GTSECR レジスタへの書き込み動作を行うと GPTW0.GTSECR レジスタが更新されます。GPTW0.GTWP.CMNWP ビットが “1”(書き込み禁止) に設定されている場合は、GPTW1.GTSECSR.SECSEL0 ビットに書き込む動作を行っても GPTW0.GTSECSR.SECSEL0 ビットは更新されません。同様に、GPTW1.GTSECR レジスタへの書き込み動作を行っても GPTW0.GTSECR レジスタは更新されません。

GTSECSR レジスタおよび GTSECR レジスタの更新を完全に保護したい場合は、全てのチャネルの CMNWP ビットを “1” に設定してください。

PRKEY[7:0] ビット (GTWP キーコードビット)

WP、STRWP、STPWP、CLRWP、CMNWP ビットの書き換えの可否を制御します。

24.2.2 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPTW0.GTSTR 000C 2004h, GPTW1.GTSTR 000C 2104h, GPTW2.GTSTR 000C 2204h, GPTW3.GTSTR 000C 2304h, GPTW4.GTSTR 000C 2404h, GPTW5.GTSTR 000C 2504h, GPTW6.GTSTR 000C 2604h, GPTW7.GTSTR 000C 2704h, GPTW8.GTSTR 000C 2804h, GPTW9.GTSTR 000C 2904h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CSTRT 9	CSTRT 8	CSTRT 7	CSTRT 6	CSTRT 5	CSTRT 4	CSTRT 3	CSTRT 2	CSTRT 1	CSTRT 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTRT0	チャネル0カウントスタートビット	【読み出し時】 0：カウンタは停止中 1：カウンタは動作中 【書き込み時】 0：無視されます 1：カウンタの動作を開始します	R/W
b1	CSTRT1	チャネル1カウントスタートビット		R/W
b2	CSTRT2	チャネル2カウントスタートビット		R/W
b3	CSTRT3	チャネル3カウントスタートビット		R/W
b4	CSTRT4	チャネル4カウントスタートビット		R/W
b5	CSTRT5	チャネル5カウントスタートビット		R/W
b6	CSTRT6	チャネル6カウントスタートビット		R/W
b7	CSTRT7	チャネル7カウントスタートビット		R/W
b8	CSTRT8	チャネル8カウントスタートビット		R/W
b9	CSTRT9	チャネル9カウントスタートビット		R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTR レジスタは、GTCNT カウンタの動作を開始するレジスタです。

GTSTR レジスタのビット位置がチャネル番号を表します。各チャネルの GTSTR レジスタは、共通のレジスタであり、どのチャネルの GTSTR レジスタを更新しても、“1” を書き込んだビット位置のチャネルの GTCNT カウンタの動作を開始することが可能です。“0” の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

CSTRTn ビット (チャネル n カウントスタートビット) (n = 0 ～ 9)

チャネル n の GTCNT カウンタの動作を開始します。

読み出した値は、各チャネルのカウンタの動作状態 (GTCR.CST ビット) を表します。“0” のビットはカウンタ停止中、“1” のビットはカウンタ動作中を表します。

24.2.3 汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)

アドレス GPTW0.GTSTP 000C 2008h, GPTW1.GTSTP 000C 2108h, GPTW2.GTSTP 000C 2208h, GPTW3.GTSTP 000C 2308h, GPTW4.GTSTP 000C 2408h, GPTW5.GTSTP 000C 2508h, GPTW6.GTSTP 000C 2608h, GPTW7.GTSTP 000C 2708h, GPTW8.GTSTP 000C 2808h, GPTW9.GTSTP 000C 2908h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CSTOP 9	CSTOP 8	CSTOP 7	CSTOP 6	CSTOP 5	CSTOP 4	CSTOP 3	CSTOP 2	CSTOP 1	CSTOP 0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CSTOP0	チャネル0カウントストップビット	【読み出し時】 0：カウンタは動作中 1：カウンタは停止中 【書き込み時】 0：無視されます 1：カウンタの動作を停止します	R/W
b1	CSTOP1	チャネル1カウントストップビット		R/W
b2	CSTOP2	チャネル2カウントストップビット		R/W
b3	CSTOP3	チャネル3カウントストップビット		R/W
b4	CSTOP4	チャネル4カウントストップビット		R/W
b5	CSTOP5	チャネル5カウントストップビット		R/W
b6	CSTOP6	チャネル6カウントストップビット		R/W
b7	CSTOP7	チャネル7カウントストップビット		R/W
b8	CSTOP8	チャネル8カウントストップビット		R/W
b9	CSTOP9	チャネル9カウントストップビット		R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTP レジスタは、GTCNT カウンタの動作を停止するレジスタです。

GTSTP レジスタのビット位置がチャネル番号を表します。各チャネルの GTSTP レジスタは、共通のレジスタであり、どのチャネルの GTSTP レジスタを更新しても、“1” を書き込んだビット位置のチャネルの GTCNT カウンタの動作を停止することが可能です。“0” の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

CSTOPn ビット (チャネル n カウントストップビット) (n = 0 ～ 9)

チャネル n の GTCNT カウンタの動作を停止します。

読み出した値は、各チャネルのカウンタの動作状態 (GTCR.CST ビットの反転) を表します。“0” のビットはカウンタ動作中、“1” のビットはカウンタ停止中を表します。

24.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)

アドレス GPTW0.GTCLR 000C 200Ch, GPTW1.GTCLR 000C 210Ch, GPTW2.GTCLR 000C 220Ch, GPTW3.GTCLR 000C 230Ch, GPTW4.GTCLR 000C 240Ch, GPTW5.GTCLR 000C 250Ch, GPTW6.GTCLR 000C 260Ch, GPTW7.GTCLR 000C 270Ch, GPTW8.GTCLR 000C 280Ch, GPTW9.GTCLR 000C 290Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CCLR9	CCLR8	CCLR7	CCLR6	CCLR5	CCLR4	CCLR3	CCLR2	CCLR1	CCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLR0	チャネル0カウンタクリアビット	0：無視されます 1：カウンタをクリアします	W
b1	CCLR1	チャネル1カウンタクリアビット		W
b2	CCLR2	チャネル2カウンタクリアビット		W
b3	CCLR3	チャネル3カウンタクリアビット		W
b4	CCLR4	チャネル4カウンタクリアビット		W
b5	CCLR5	チャネル5カウンタクリアビット		W
b6	CCLR6	チャネル6カウンタクリアビット		W
b7	CCLR7	チャネル7カウンタクリアビット		W
b8	CCLR8	チャネル8カウンタクリアビット		W
b9	CCLR9	チャネル9カウンタクリアビット		W
b31-b10	—	予約ビット	書く場合、“0”としてください	W

GTCLR レジスタは、書き込み専用のレジスタで GTCNT カウンタのクリアを設定するレジスタです。

GTCLR レジスタのビット位置がチャネル番号を表します。各チャネルの GTCLR レジスタは、共通のレジスタであり、どのチャネルの GTCLR レジスタを更新しても、“1” を書き込んだビット位置のチャネルの GTCNT カウンタが “0” になります。“0” の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

CCLRn ビット (チャネル n カウンタクリアビット) (n = 0 ～ 9)

GTCR.MD[2:0] ビットでのこぎり波を選択し、カウント方向フラグがダウンカウント (GTST.TUCF フラグ = 0) の状態で “1” を書くとチャネル n の GTCNT カウンタが GTPR レジスタの値になります。それ以外の設定の場合は “0000 0000h” になります。

24.2.5 汎用 PWM タイマスタート要因セレクトレジスタ (GTSSR)

アドレス GPTW0.GTSSR 000C 2010h, GPTW1.GTSSR 000C 2110h, GPTW2.GTSSR 000C 2210h, GPTW3.GTSSR 000C 2310h, GPTW4.GTSSR 000C 2410h, GPTW5.GTSSR 000C 2510h, GPTW6.GTSSR 000C 2610h, GPTW7.GTSSR 000C 2710h, GPTW8.GTSSR 000C 2810h, GPTW9.GTSSR 000C 2910h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTRT	—	—	—	—	—	—	—	SSELCH	SSELCG	SSELCF	SSELCE	SSELCD	SSELCC	SSELCB	SSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCBFAH	SSCBFAL	SSCBRAH	SSCBRAL	SSCAFBH	SSCAFBL	SSCARBH	SSCARBL	SSGTRGDF	SSGTRGDR	SSGTRGCF	SSGTRGCR	SSGTRGBF	SSGTRGBR	SSGTRGAF	SSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：カウントスタートの要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでカウントスタート 1 0：GTETRGA信号の立ち下がりエッジでカウントスタート 1 1：GTETRGA信号の両エッジでカウントスタート	R/W
b1	SSGTRGAF			R/W
b2	SSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：カウントスタートの要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでカウントスタート 1 0：GTETRGB信号の立ち下がりエッジでカウントスタート 1 1：GTETRGB信号の両エッジでカウントスタート	R/W
b3	SSGTRGBF			R/W
b4	SSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：カウントスタートの要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでカウントスタート 1 0：GTETRGC信号の立ち下がりエッジでカウントスタート 1 1：GTETRGC信号の両エッジでカウントスタート	R/W
b5	SSGTRGCF			R/W
b6	SSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：カウントスタートの要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでカウントスタート 1 0：GTETRGD信号の立ち下がりエッジでカウントスタート 1 1：GTETRGD信号の両エッジでカウントスタート	R/W
b7	SSGTRGDF			R/W
b8	SSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：カウントスタートの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントスタート 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントスタート 1 1：GTIOCnA信号の立ち上がりエッジでカウントスタート	R/W
b9	SSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	SSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：カウントスタートの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウントスタート 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウントスタート 1 1：GTIOCnA信号の立ち下がりエッジでカウントスタート	R/W
b11	SSCAFBH			R/W
b12	SSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：カウントスタートの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウントスタート 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウントスタート 1 1：GTIOCnB信号の立ち上がりエッジでカウントスタート	R/W
b13	SSCBRAH			R/W
b14	SSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：カウントスタートの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウントスタート 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウントスタート 1 1：GTIOCnB信号の立ち下がりエッジでカウントスタート	R/W
b15	SSCBFAH			R/W
b16	SSELCA	ELCAイベント要因カウントスタート許可ビット	0：ELCAイベント入力によるカウントスタートを禁止 1：ELCAイベント入力によるカウントスタートを許可	R/W
b17	SSELCB	ELCBイベント要因カウントスタート許可ビット	0：ELCBイベント入力によるカウントスタートを禁止 1：ELCBイベント入力によるカウントスタートを許可	R/W
b18	SSELCC	ELCCイベント要因カウントスタート許可ビット	0：ELCCイベント入力によるカウントスタートを禁止 1：ELCCイベント入力によるカウントスタートを許可	R/W
b19	SSELCD	ELCDイベント要因カウントスタート許可ビット	0：ELCDイベント入力によるカウントスタートを禁止 1：ELCDイベント入力によるカウントスタートを許可	R/W
b20	SSELCE	ELCEイベント要因カウントスタート許可ビット	0：ELCEイベント入力によるカウントスタートを禁止 1：ELCEイベント入力によるカウントスタートを許可	R/W
b21	SSELCF	ELCFイベント要因カウントスタート許可ビット	0：ELCFイベント入力によるカウントスタートを禁止 1：ELCFイベント入力によるカウントスタートを許可	R/W
b22	SSELCG	ELCGイベント要因カウントスタート許可ビット	0：ELCGイベント入力によるカウントスタートを禁止 1：ELCGイベント入力によるカウントスタートを許可	R/W
b23	SSELCH	ELCHイベント要因カウントスタート許可ビット	0：ELCHイベント入力によるカウントスタートを禁止 1：ELCHイベント入力によるカウントスタートを許可	R/W
b30-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	CSTRT	ソフトウェア要因カウントスタート許可ビット	0：GTSTRレジスタによるカウントスタートを禁止 1：GTSTRレジスタによるカウントスタートを許可	R/W

n = 0 ～ 9

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.6 汎用 PWM タイマストップ要因セレクトレジスタ (GTPSR)

アドレス　GPTW0.GTPSR 000C 2014h, GPTW1.GTPSR 000C 2114h, GPTW2.GTPSR 000C 2214h, GPTW3.GTPSR 000C 2314h, GPTW4.GTPSR 000C 2414h, GPTW5.GTPSR 000C 2514h, GPTW6.GTPSR 000C 2614h, GPTW7.GTPSR 000C 2714h, GPTW8.GTPSR 000C 2814h, GPTW9.GTPSR 000C 2914h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTOP	—	—	—	—	—	—	—	PSELCH	PSELCG	PSELCF	PSELCE	PSELCD	PSELCC	PSELCB	PSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSCBFAH	PSCBFAL	PSCBRAH	PSCBRAL	PSCAFBH	PSCAFBL	PSCARBH	PSCARBL	PSGTRGDF	PSGTRGDR	PSGTRGCF	PSGTRGCR	PSGTRGBF	PSGTRGBR	PSGTRGAF	PSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：カウントストップの要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでカウントストップ 1 0：GTETRGA信号の立ち下がりエッジでカウントストップ 1 1：GTETRGA信号の両エッジでカウントストップ	R/W
b1	PSGTRGAF			R/W
b2	PSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：カウントストップの要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでカウントストップ 1 0：GTETRGB信号の立ち下がりエッジでカウントストップ 1 1：GTETRGB信号の両エッジでカウントストップ	R/W
b3	PSGTRGBF			R/W
b4	PSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：カウントストップの要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでカウントストップ 1 0：GTETRGC信号の立ち下がりエッジでカウントストップ 1 1：GTETRGC信号の両エッジでカウントストップ	R/W
b5	PSGTRGCF			R/W
b6	PSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：カウントストップの要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでカウントストップ 1 0：GTETRGD信号の立ち下がりエッジでカウントストップ 1 1：GTETRGD信号の両エッジでカウントストップ	R/W
b7	PSGTRGDF			R/W
b8	PSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：カウントストップの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントストップ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントストップ 1 1：GTIOCnA信号の立ち上がりエッジでカウントストップ	R/W
b9	PSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	PSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：カウントストップの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウントストップ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウントストップ 1 1：GTIOCnA信号の立ち下がりエッジでカウントストップ	R/W
b11	PSCAFBH			R/W
b12	PSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：カウントストップの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウントストップ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウントストップ 1 1：GTIOCnB信号の立ち上がりエッジでカウントストップ	R/W
b13	PSCBRAH			R/W
b14	PSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：カウントストップの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウントストップ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウントストップ 1 1：GTIOCnB信号の立ち下がりエッジでカウントストップ	R/W
b15	PSCBFAH			R/W
b16	PSELCA	ELCAイベント要因カウントストップ許可ビット	0：ELCAイベント入力によるカウントストップを禁止 1：ELCAイベント入力によるカウントストップを許可	R/W
b17	PSELCB	ELCBイベント要因カウントストップ許可ビット	0：ELCBイベント入力によるカウントストップを禁止 1：ELCBイベント入力によるカウントストップを許可	R/W
b18	PSELCC	ELCCイベント要因カウントストップ許可ビット	0：ELCCイベント入力によるカウントストップを禁止 1：ELCCイベント入力によるカウントストップを許可	R/W
b19	PSELCD	ELCDイベント要因カウントストップ許可ビット	0：ELCDイベント入力によるカウントストップを禁止 1：ELCDイベント入力によるカウントストップを許可	R/W
b20	PSELCE	ELCEイベント要因カウントストップ許可ビット	0：ELCEイベント入力によるカウントストップを禁止 1：ELCEイベント入力によるカウントストップを許可	R/W
b21	PSELCF	ELCFイベント要因カウントストップ許可ビット	0：ELCFイベント入力によるカウントストップを禁止 1：ELCFイベント入力によるカウントストップを許可	R/W
b22	PSELCG	ELCGイベント要因カウントストップ許可ビット	0：ELCGイベント入力によるカウントストップを禁止 1：ELCGイベント入力によるカウントストップを許可	R/W
b23	PSELCH	ELCHイベント要因カウントストップ許可ビット	0：ELCHイベント入力によるカウントストップを禁止 1：ELCHイベント入力によるカウントストップを許可	R/W
b30-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	CSTOP	ソフトウェア要因カウントストップ許可ビット	0：GTSTPレジスタによるカウントストップを禁止 1：GTSTPレジスタによるカウントストップを許可	R/W

n = 0 ～ 9

GTPSR レジスタは、GTCNT カウンタのカウントストップの要因を設定するレジスタです。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.7 汎用 PWM タイマクリア要因セレクトレジスタ (GTCSR)

アドレス　GPTW0.GTCSR 000C 2018h, GPTW1.GTCSR 000C 2118h, GPTW2.GTCSR 000C 2218h, GPTW3.GTCSR 000C 2318h, GPTW4.GTCSR 000C 2418h, GPTW5.GTCSR 000C 2518h, GPTW6.GTCSR 000C 2618h, GPTW7.GTCSR 000C 2718h, GPTW8.GTCSR 000C 2818h, GPTW9.GTCSR 000C 2918h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CCLR	—	—	—	—	—	—	—	CSELCH	CSELCG	CSELCF	CSELCE	CSELCD	CSELCC	CSELCB	CSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CSCBFAH	CSCBFAL	CSCBRAH	CSCBRAL	CSCAFBH	CSCAFBL	CSCARBH	CSCARBL	CSGTRGDF	CSGTRGDR	CSGTRGCF	CSGTRGCR	CSGTRGBF	CSGTRGBR	CSGTRGAF	CSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：カウンタクリアの要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでカウンタクリア 1 0：GTETRGA信号の立ち下がりエッジでカウンタクリア 1 1：GTETRGA信号の両エッジでカウンタクリア	R/W
b1	CSGTRGAF			R/W
b2	CSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：カウンタクリアの要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでカウンタクリア 1 0：GTETRGB信号の立ち下がりエッジでカウンタクリア 1 1：GTETRGB信号の両エッジでカウンタクリア	R/W
b3	CSGTRGBF			R/W
b4	CSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：カウンタクリアの要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでカウンタクリア 1 0：GTETRGC信号の立ち下がりエッジでカウンタクリア 1 1：GTETRGC信号の両エッジでカウンタクリア	R/W
b5	CSGTRGCF			R/W
b6	CSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：カウンタクリアの要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでカウンタクリア 1 0：GTETRGD信号の立ち下がりエッジでカウンタクリア 1 1：GTETRGD信号の両エッジでカウンタクリア	R/W
b7	CSGTRGDF			R/W
b8	CSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：カウンタクリアの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウンタクリア 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウンタクリア 1 1：GTIOCnA信号の立ち上がりエッジでカウンタクリア	R/W
b9	CSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	CSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：カウンタクリアの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウンタクリア 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウンタクリア 1 1：GTIOCnA信号の立ち下がりエッジでカウンタクリア	R/W
b11	CSCAFBH			R/W
b12	CSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：カウンタクリアの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウンタクリア 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウンタクリア 1 1：GTIOCnB信号の立ち上がりエッジでカウンタクリア	R/W
b13	CSCBRAH			R/W
b14	CSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：カウンタクリアの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウンタクリア 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウンタクリア 1 1：GTIOCnB信号の立ち下がりエッジでカウンタクリア	R/W
b15	CSCBFAH			R/W
b16	CSELCA	ELCAイベント要因カウンタクリア許可ビット	0：ELCAイベント入力によるカウンタクリアを禁止 1：ELCAイベント入力によるカウンタクリアを許可	R/W
b17	CSELCB	ELCBイベント要因カウンタクリア許可ビット	0：ELCBイベント入力によるカウンタクリアを禁止 1：ELCBイベント入力によるカウンタクリアを許可	R/W
b18	CSELCC	ELCCイベント要因カウンタクリア許可ビット	0：ELCCイベント入力によるカウンタクリアを禁止 1：ELCCイベント入力によるカウンタクリアを許可	R/W
b19	CSELCD	ELCDイベント要因カウンタクリア許可ビット	0：ELCDイベント入力によるカウンタクリアを禁止 1：ELCDイベント入力によるカウンタクリアを許可	R/W
b20	CSELCE	ELCEイベント要因カウンタクリア許可ビット	0：ELCEイベント入力によるカウンタクリアを禁止 1：ELCEイベント入力によるカウンタクリアを許可	R/W
b21	CSELCF	ELCFイベント要因カウンタクリア許可ビット	0：ELCFイベント入力によるカウンタクリアを禁止 1：ELCFイベント入力によるカウンタクリアを許可	R/W
b22	CSELCG	ELCGイベント要因カウンタクリア許可ビット	0：ELCGイベント入力によるカウンタクリアを禁止 1：ELCGイベント入力によるカウンタクリアを許可	R/W
b23	CSELCH	ELCHイベント要因カウンタクリア許可ビット	0：ELCHイベント入力によるカウンタクリアを禁止 1：ELCHイベント入力によるカウンタクリアを許可	R/W
b30-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可ビット	0：GTCLRレジスタによるカウンタクリアを禁止 1：GTCLRレジスタによるカウンタクリアを許可	R/W

n = 0 ～ 9

GTCSR レジスタは、GTCNT カウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中 (GTCR.CST ビット = 1) の場合でも、停止中 (GTCR.CST ビット = 0) の場合でも、実行することが可能です。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.8 汎用 PWM タイマカウントアップ要因セレクトレジスタ (GTUPSR)

アドレス GPTW0.GTUPSR 000C 201Ch, GPTW1.GTUPSR 000C 211Ch, GPTW2.GTUPSR 000C 221Ch, GPTW3.GTUPSR 000C 231Ch, GPTW4.GTUPSR 000C 241Ch, GPTW5.GTUPSR 000C 251Ch, GPTW6.GTUPSR 000C 261Ch, GPTW7.GTUPSR 000C 271Ch, GPTW8.GTUPSR 000C 281Ch, GPTW9.GTUPSR 000C 291Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	USELCH	USELCG	USELCF	USELCE	USELCD	USELCC	USELCB	USELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAFBH	USCAFBL	USCARBH	USCARBL	USGTRGDF	USGTRGDR	USGTRGCF	USGTRGCR	USGTRGBF	USGTRGBR	USGTRGAF	USGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：カウントアップの要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでカウントアップ 1 0：GTETRGA信号の立ち下がりエッジでカウントアップ 1 1：GTETRGA信号の両エッジでカウントアップ	R/W
b1	USGTRGAF			R/W
b2	USGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：カウントアップの要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでカウントアップ 1 0：GTETRGB信号の立ち下がりエッジでカウントアップ 1 1：GTETRGB信号の両エッジでカウントアップ	R/W
b3	USGTRGBF			R/W
b4	USGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：カウントアップの要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでカウントアップ 1 0：GTETRGC信号の立ち下がりエッジでカウントアップ 1 1：GTETRGC信号の両エッジでカウントアップ	R/W
b5	USGTRGCF			R/W
b6	USGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：カウントアップの要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでカウントアップ 1 0：GTETRGD信号の立ち下がりエッジでカウントアップ 1 1：GTETRGD信号の両エッジでカウントアップ	R/W
b7	USGTRGDF			R/W
b8	USCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：カウントアップの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントアップ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントアップ 1 1：GTIOCnA信号の立ち上がりエッジでカウントアップ	R/W
b9	USCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	USCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：カウントアップの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウントアップ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウントアップ 1 1：GTIOCnA信号の立ち下がりエッジでカウントアップ	R/W
b11	USCAFBH			R/W
b12	USCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：カウントアップの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウントアップ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウントアップ 1 1：GTIOCnB信号の立ち上がりエッジでカウントアップ	R/W
b13	USCBRAH			R/W
b14	USCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：カウントアップの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウントアップ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウントアップ 1 1：GTIOCnB信号の立ち下がりエッジでカウントアップ	R/W
b15	USCBFAH			R/W
b16	USELCA	ELCAイベント要因カウントアップ許可ビット	0：ELCAイベント入力によるカウントアップを禁止 1：ELCAイベント入力によるカウントアップを許可	R/W
b17	USELCB	ELCBイベント要因カウントアップ許可ビット	0：ELCBイベント入力によるカウントアップを禁止 1：ELCBイベント入力によるカウントアップを許可	R/W
b18	USELCC	ELCCイベント要因カウントアップ許可ビット	0：ELCCイベント入力によるカウントアップを禁止 1：ELCCイベント入力によるカウントアップを許可	R/W
b19	USELCD	ELCDイベント要因カウントアップ許可ビット	0：ELCDイベント入力によるカウントアップを禁止 1：ELCDイベント入力によるカウントアップを許可	R/W
b20	USELCE	ELCEイベント要因カウントアップ許可ビット	0：ELCEイベント入力によるカウントアップを禁止 1：ELCEイベント入力によるカウントアップを許可	R/W
b21	USELCF	ELCFイベント要因カウントアップ許可ビット	0：ELCFイベント入力によるカウントアップを禁止 1：ELCFイベント入力によるカウントアップを許可	R/W
b22	USELCG	ELCGイベント要因カウントアップ許可ビット	0：ELCGイベント入力によるカウントアップを禁止 1：ELCGイベント入力によるカウントアップを許可	R/W
b23	USELCH	ELCHイベント要因カウントアップ許可ビット	0：ELCHイベント入力によるカウントアップを禁止 1：ELCHイベント入力によるカウントアップを許可	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ～ 9

GTUPSR レジスタは、GTCNT カウンタのカウントアップの要因を設定するレジスタです。

GTUPSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合、GTCR.TPCS[3:0] ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで “1” となっている要因によるカウントアップを行います。

複数の要因が同時に発生しても、カウントアップ数は 1 です。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.9 汎用 PWM タイマカウントダウン要因セレクトレジスタ (GTDNSR)

アドレス　GPTW0.GTDNSR 000C 2020h, GPTW1.GTDNSR 000C 2120h, GPTW2.GTDNSR 000C 2220h, GPTW3.GTDNSR 000C 2320h, GPTW4.GTDNSR 000C 2420h, GPTW5.GTDNSR 000C 2520h, GPTW6.GTDNSR 000C 2620h, GPTW7.GTDNSR 000C 2720h, GPTW8.GTDNSR 000C 2820h, GPTW9.GTDNSR 000C 2920h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DSELCH	DSELCG	DSELCF	DSELCE	DSELCD	DSELCC	DSELCB	DSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DSCBFAH	DSCBFAL	DSCBRAH	DSCBRAL	DSCAFBH	DSCAFBL	DSCARBH	DSCARBL	DSGTRGDF	DSGTRGDR	DSGTRGCF	DSGTRGCR	DSGTRGBF	DSGTRGBR	DSGTRGAF	DSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：カウントダウンの要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでカウントダウン 1 0：GTETRGA信号の立ち下がりエッジでカウントダウン 1 1：GTETRGA信号の両エッジでカウントダウン	R/W
b1	DSGTRGAF			R/W
b2	DSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：カウントダウンの要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでカウントダウン 1 0：GTETRGB信号の立ち下がりエッジでカウントダウン 1 1：GTETRGB信号の両エッジでカウントダウン	R/W
b3	DSGTRGBF			R/W
b4	DSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：カウントダウンの要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでカウントダウン 1 0：GTETRGC信号の立ち下がりエッジでカウントダウン 1 1：GTETRGC信号の両エッジでカウントダウン	R/W
b5	DSGTRGCF			R/W
b6	DSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：カウントダウンの要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでカウントダウン 1 0：GTETRGD信号の立ち下がりエッジでカウントダウン 1 1：GTETRGD信号の両エッジでカウントダウン	R/W
b7	DSGTRGDF			R/W
b8	DSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：カウントダウンの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントダウン 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントダウン 1 1：GTIOCnA信号の立ち上がりエッジでカウントダウン	R/W
b9	DSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	DSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：カウントダウンの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウントダウン 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウントダウン 1 1：GTIOCnA信号の立ち下がりエッジでカウントダウン	R/W
b11	DSCAFBH			R/W
b12	DSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：カウントダウンの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウントダウン 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウントダウン 1 1：GTIOCnB信号の立ち上がりエッジでカウントダウン	R/W
b13	DSCBRAH			R/W
b14	DSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：カウントダウンの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウントダウン 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウントダウン 1 1：GTIOCnB信号の立ち下がりエッジでカウントダウン	R/W
b15	DSCBFAH			R/W
b16	DSELCA	ELCAイベント要因カウントダウン許可ビット	0：ELCAイベント入力によるカウントダウンを禁止 1：ELCAイベント入力によるカウントダウンを許可	R/W
b17	DSELCB	ELCBイベント要因カウントダウン許可ビット	0：ELCBイベント入力によるカウントダウンを禁止 1：ELCBイベント入力によるカウントダウンを許可	R/W
b18	DSELCC	ELCCイベント要因カウントダウン許可ビット	0：ELCCイベント入力によるカウントダウンを禁止 1：ELCCイベント入力によるカウントダウンを許可	R/W
b19	DSELCD	ELCDイベント要因カウントダウン許可ビット	0：ELCDイベント入力によるカウントダウンを禁止 1：ELCDイベント入力によるカウントダウンを許可	R/W
b20	DSELCE	ELCEイベント要因カウントダウン許可ビット	0：ELCEイベント入力によるカウントダウンを禁止 1：ELCEイベント入力によるカウントダウンを許可	R/W
b21	DSELCF	ELCFイベント要因カウントダウン許可ビット	0：ELCFイベント入力によるカウントダウンを禁止 1：ELCFイベント入力によるカウントダウンを許可	R/W
b22	DSELCG	ELCGイベント要因カウントダウン許可ビット	0：ELCGイベント入力によるカウントダウンを禁止 1：ELCGイベント入力によるカウントダウンを許可	R/W
b23	DSELCH	ELCHイベント要因カウントダウン許可ビット	0：ELCHイベント入力によるカウントダウンを禁止 1：ELCHイベント入力によるカウントダウンを許可	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ～ 9

GTDNSR レジスタは、GTCNT カウンタのカウントダウンの要因を設定するレジスタです。

GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合、GTCR.TPCS[3:0] ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで “1” となっている要因によるカウントダウンを行います。

複数の要因が同時に発生しても、カウントダウン数は “1” です。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.10 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A (GTICASR)

アドレス GPTW0.GTICASR 000C 2024h, GPTW1.GTICASR 000C 2124h, GPTW2.GTICASR 000C 2224h, GPTW3.GTICASR 000C 2324h, GPTW4.GTICASR 000C 2424h, GPTW5.GTICASR 000C 2524h, GPTW6.GTICASR 000C 2624h, GPTW7.GTICASR 000C 2724h, GPTW8.GTICASR 000C 2824h, GPTW9.GTICASR 000C 2924h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	ASELCH	ASELCG	ASELCF	ASELCE	ASELCD	ASELCC	ASELCB	ASELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASCBFAH	ASCBFAL	ASCBRAH	ASCBRAL	ASCAFBH	ASCAFBL	ASCARBH	ASCARBL	ASGTRGDF	ASGTRGDR	ASGTRGCF	ASGTRGCR	ASGTRGBF	ASGTRGBR	ASGTRGAF	ASGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：GTCCRA レジスタへのインプットキャプチャ要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでGTCCRA レジスタにインプットキャプチャ 1 0：GTETRGA信号の立ち下がりエッジでGTCCRA レジスタにインプットキャプチャ 1 1：GTETRGA信号の両エッジでGTCCRA レジスタにインプットキャプチャ	R/W
b1	ASGTRGAF			R/W
b2	ASGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：GTCCRA レジスタへのインプットキャプチャ要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでGTCCRA レジスタにインプットキャプチャ 1 0：GTETRGB信号の立ち下がりエッジでGTCCRA レジスタにインプットキャプチャ 1 1：GTETRGB信号の両エッジでGTCCRA レジスタにインプットキャプチャ	R/W
b3	ASGTRGBF			R/W
b4	ASGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：GTCCRA レジスタへのインプットキャプチャ要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでGTCCRA レジスタにインプットキャプチャ 1 0：GTETRGC信号の立ち下がりエッジでGTCCRA レジスタにインプットキャプチャ 1 1：GTETRGC信号の両エッジでGTCCRA レジスタにインプットキャプチャ	R/W
b5	ASGTRGCF			R/W
b6	ASGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：GTCCRA レジスタへのインプットキャプチャ要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでGTCCRA レジスタにインプットキャプチャ 1 0：GTETRGD信号の立ち下がりエッジでGTCCRA レジスタにインプットキャプチャ 1 1：GTETRGD信号の両エッジでGTCCRA レジスタにインプットキャプチャ	R/W
b7	ASGTRGDF			R/W

ビット	シンボル	ビット名	機能	R/W
b8	ASCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTIOCnA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b9	ASCARBH			R/W
b10	ASCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTIOCnA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b11	ASCAFBH			R/W
b12	ASCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTIOCnB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b13	ASCBRAH			R/W
b14	ASCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：GTCCRAレジスタへのインプットキャプチャ要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1：GTIOCnB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b15	ASCBFAH			R/W
b16	ASELCA	ELCAイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCAイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCAイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b17	ASELCB	ELCBイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCBイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCBイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b18	ASELCC	ELCCイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCCイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCCイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b19	ASELCD	ELCDイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCDイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCDイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b20	ASELCE	ELCEイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCEイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCEイベント入力によるGTCCRAインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b21	ASELCF	ELCFイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCFイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCFイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b22	ASELCG	ELCGイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCGイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCGイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b23	ASELCH	ELCHイベント要因GTCCRAインプットキャプチャ許可ビット	0：ELCHイベント入力によるGTCCRAインプットキャプチャを禁止 1：ELCHイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ～ 9

GTICASR レジスタは、GTCCRA レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合、GTCCRA レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.11 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B (GTICBSR)

アドレス GPTW0.GTICBSR 000C 2028h, GPTW1.GTICBSR 000C 2128h, GPTW2.GTICBSR 000C 2228h, GPTW3.GTICBSR 000C 2328h, GPTW4.GTICBSR 000C 2428h, GPTW5.GTICBSR 000C 2528h, GPTW6.GTICBSR 000C 2628h, GPTW7.GTICBSR 000C 2728h, GPTW8.GTICBSR 000C 2828h, GPTW9.GTICBSR 000C 2928h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	BSELCH	BSELCG	BSELCF	BSELCE	BSELCD	BSELCC	BSELCB	BSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSCBFAH	BSCBFAL	BSCBRAH	BSCBRAL	BSCAFBH	BSCAFBL	BSCARBH	BSCARBL	BSGTRGDF	BSGTRGDR	BSGTRGCF	BSGTRGCR	BSGTRGBF	BSGTRGBR	BSGTRGAF	BSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTETRGA信号を使用しない 0 1：GTETRGA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTETRGA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTETRGA信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W
b1	BSGTRGAF			R/W
b2	BSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTETRGB信号を使用しない 0 1：GTETRGB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTETRGB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTETRGB信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W
b3	BSGTRGBF			R/W
b4	BSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTETRGC信号を使用しない 0 1：GTETRGC信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTETRGC信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTETRGC信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W
b5	BSGTRGCF			R/W
b6	BSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTETRGD信号を使用しない 0 1：GTETRGD信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTETRGD信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTETRGD信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W
b7	BSGTRGDF			R/W

ビット	シンボル	ビット名	機能	R/W
b8	BSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTIOCnA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b9	BSCARBH			R/W
b10	BSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1：GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTIOCnA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b11	BSCAFBH			R/W
b12	BSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTIOCnB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b13	BSCBRAH			R/W
b14	BSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0：GTCCRBレジスタへのインプットキャプチャ要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1：GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0：GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1：GTIOCnB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b15	BSCBFAH			R/W
b16	BSELCA	ELCAイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCAイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCAイベント入力によるGTCCRBインプットキャプチャを許可	R/W
b17	BSELCB	ELCBイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCBイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCBイベント入力によるGTCCRBインプットキャプチャを許可	R/W
b18	BSELCC	ELCCイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCCイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCCイベント入力によるGTCCRBインプットキャプチャを許可	R/W
b19	BSELCD	ELCDイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCDイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCDイベント入力によるGTCCRBインプットキャプチャを許可	R/W
b20	BSELCE	ELCEイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCEイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCEイベント入力によるGTCCRBインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b21	BSELCF	ELCFイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCFイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCFイベント入力によるGTCCRBインプットキャプチャを許可	R/W
b22	BSELCG	ELCGイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCGイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCGイベント入力によるGTCCRBインプットキャプチャを許可	R/W
b23	BSELCH	ELCHイベント要因GTCCRBインプットキャプチャ許可ビット	0：ELCHイベント入力によるGTCCRBインプットキャプチャを禁止 1：ELCHイベント入力によるGTCCRBインプットキャプチャを許可	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ～ 9

GTICBSR レジスタは、GTCCRB レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合、GTCCRB レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

24.2.12 汎用 PWM タイマ制御レジスタ (GTCR)

アドレス　GPTW0.GTCR 000C 202Ch, GPTW1.GTCR 000C 212Ch, GPTW2.GTCR 000C 222Ch, GPTW3.GTCR 000C 232Ch, GPTW4.GTCR 000C 242Ch, GPTW5.GTCR 000C 252Ch, GPTW6.GTCR 000C 262Ch, GPTW7.GTCR 000C 272Ch, GPTW8.GTCR 000C 282Ch, GPTW9.GTCR 000C 292Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	TPCS[3:0]				—	—	—	—	MD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ICDS	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタートビット	0：カウント停止 1：カウント動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ICDS	カウント停止時インプットキャプチャ動作選択ビット	0：カウント停止時にインプットキャプチャ動作する 1：カウント停止時にインプットキャプチャ動作しない	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	MD[2:0]	モード選択ビット	b18 b16 ０００：のこぎり波PWMモード(シングル/ダブルバッファ可能) ００１：のこぎり波ワンショットパルスモード(バッファ動作固定) ０１０：設定しないでください ０１１：設定しないでください １００：三角波PWMモード1(谷32ビット転送)(シングル/ダブルバッファ可能) １０１：三角波PWMモード2(山/谷32ビット転送)(シングル/ダブルバッファ可能) １１０：三角波PWMモード3(谷64ビット転送)(バッファ動作固定) １１１：設定しないでください	R/W
b22-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b23	TPCS[3:0]	タイマプリスケーラ選択ビット	b26 b23 ００００：PCLKC ０００１：PCLKC/2 ００１０：PCLKC/4 ００１１：PCLKC/8 ０１００：PCLKC/16 ０１０１：PCLKC/32 ０１１０：PCLKC/64 ０１１１：設定しないでください １０００：PCLKC/256 １００１：設定しないでください １０１０：PCLKC/1024 １０１１：設定しないでください １１００：GTETRGA (POEG経由) １１０１：GTETRGB (POEG経由) １１１０：GTETRGC (POEG経由) １１１１：GTETRGD (POEG経由)	R/W
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット (カウントスタートビット)

GTCNT カウンタの動作 / 停止を制御します。

[“1” になる条件]

- GTSSR.CSTRT ビットが “1” の状態で、GTSTR レジスタのチャネル番号に対応するビットに “1” を書いたとき
- GTSSR レジスタでカウントスタート要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA, GTIOCnB 端子入力 (n = 0 ～ 9) 条件が発生したとき
- ソフトウェアで直接 “1” を書いたとき

[“0” になる条件]

- GTPSR.CSTOP ビットが “1” の状態で、GTSTP レジスタのチャネル番号に対応するビットに “1” を書いたとき
- GTPSR レジスタでカウントストップ要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA, GTIOCnB 端子入力条件が発生したとき
- ソフトウェアで直接 “0” を書いたとき

ICDS ビット (カウント停止時インプットキャプチャ動作選択ビット)

インプットキャプチャ機能を選択している場合のカウント停止時のインプットキャプチャ動作を選択します。

MD[2:0] ビット (モード選択ビット)

GPTW の動作モードを選択します。

インプットキャプチャ時は、MD[2] ビットだけが有効です。MD[2] ビットが、“0” の場合はのこぎり波のカウントを行い、“1” の場合は三角波のカウントを行います。

MD[2:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

イベントカウント動作時 (GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合) は、MD[2:0] ビットの設定は無視され、のこぎり波、三角波の各 PWM モードのカウントは行わず、GTUPSR レジスタ、GTDNSR レジスタで設定された要因によるアップカウント、ダウンカウントを行います。

TPCS[3:0] ビット (タイマプリスケーラ選択ビット)

GTCNT カウンタのクロックを選択します。各チャネル独立にクロックソースを選択することができます。

TPCS[3:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

GTETRGA/GTETRGB/GTETRGC/GTETRGD を選択した場合、POEG の出力の立ち上がりをクロックソースとします。これらの信号の極性は POEG で設定してください。

24.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)

アドレス　GPTW0.GTUDDTYC 000C 2030h, GPTW1.GTUDDTYC 000C 2130h, GPTW2.GTUDDTYC 000C 2230h, GPTW3.GTUDDTYC 000C 2330h, GPTW4.GTUDDTYC 000C 2430h, GPTW5.GTUDDTYC 000C 2530h, GPTW6.GTUDDTYC 000C 2630h, GPTW7.GTUDDTYC 000C 2730h, GPTW8.GTUDDTYC 000C 2830h, GPTW9.GTUDDTYC 000C 2930h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]		—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定ビット	0：GTCNTカウンタはダウンカウント 1：GTCNTカウンタはアップカウント	R/W
b1	UDF	カウント方向強制設定ビット	0：カウント方向を強制設定しない 1：カウント方向を強制設定する	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	OADTY[1:0]	GTIOCnA端子出力デューティ設定ビット	b17b16 0 x：コンペアマッチでGTIOCnA端子出力のデューティが決まる 1 0：GTIOCnA端子出力のデューティ 0% 1 1：GTIOCnA端子出力のデューティ 100%	R/W
b18	OADTYF	GTIOCnA端子出力デューティ強制設定ビット	0：GTIOCnA端子出力デューティを強制設定しない 1：GTIOCnA端子出力デューティを強制設定する	R/W
b19	OADTYR	GTIOCnA端子出力0%/100%デューティ設定解除後出力	0：0%/100%デューティ設定解除後にデューティ設定されていた出力値に対してGTIOA[3:2]ビットの機能を適用する 1：0%/100%デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOA[3:2]ビットの機能を適用する	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	OBDTY[1:0]	GTIOCnB端子出力デューティ設定ビット	b25b24 0 x：コンペアマッチでGTIOCnB端子出力のデューティが決まる 1 0：GTIOCnB端子出力のデューティ 0% 1 1：GTIOCnB端子出力のデューティ 100%	R/W
b26	OBDTYF	GTIOCnB端子出力デューティ強制設定ビット	0：GTIOCnB端子出力デューティを強制設定しない 1：GTIOCnB端子出力デューティを強制設定する	R/W
b27	OBDTYR	GTIOCnB端子出力0%/100%デューティ設定解除後出力	0：0%/100%デューティ設定解除後にデューティ設定されていた出力値に対してGTIOB[3:2]ビットの機能を適用する 1：0%/100%デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOB[3:2]ビットの機能を適用する	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ～ 9

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向 (アップカウント / ダウンカウント) を設定、GTIOCnA, GTIOCnB 端子出力のデューティ設定を行うレジスタです。

イベントカウント動作時は無効です。

(1) カウント方向設定

- **のこぎり波の場合**

アップカウント動作中に UD ビットを “0” にした場合、オーバフロー (GTCNT カウンタ値が GTPR レジスタ状態でのカウントクロック) 時にカウント方向が切り替わります。

ダウンカウント動作中に UD ビットを “1” にした場合、アンダフロー (GTCNT カウンタ値が “0000 0000h” 状態でのカウントクロック) 時にカウント方向が切り替わります。

カウントストップ中に UDF ビットが “0” の状態で UD ビットを “1” から “0” に変更した場合、最初のカウント動作はアップカウントとなり、オーバフロー (GTCNT カウンタ値が GTPR レジスタ状態でのカウントクロック) 時にカウント方向が切り替わります。

カウントストップ中に UDF ビットが “0” の状態で UD ビットを “0” から “1” に変更した場合、最初のカウント動作はダウンカウントとなり、アンダフロー (GTCNT カウンタ値が “0000 0000h” 状態でのカウントクロック) 時にカウント方向が切り替わります。

カウントストップ中に UDF ビットを “1” にすると、そのときの UD ビットの値がカウントスタート時のカウント方向に反映されます。

- **三角波の場合**

カウント中に UD ビット値を変化させてもカウント方向には反映されません。

カウントストップ中に UDF ビットが “0” の状態で UD ビットの値を変化させても、カウントスタート後のカウント方向には反映されません。

カウントストップ中に UDF ビットを “1” にすると、そのときの UD ビットの値がカウントスタート時のカウント方向に反映されます。

UD ビット (カウント方向設定ビット)

GTCNT カウンタのカウント方向 (アップ / ダウン) を設定します。

UDF ビット (カウント方向強制設定ビット)

GTCNT カウンタのスタート時のカウント方向を強制的に UD ビットの値に設定します。

カウント中の書き込みは “0” としてください。

カウントストップ中に “1” を書いた場合、カウントスタートまでに “0” に戻してください。

(2) 出力デューティ設定

- のこぎり波の場合

アップカウント動作中に OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、オーバフロー時に変更したデューティ設定が反映されます。

ダウンカウント動作中に OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、アンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中に OADTYF/OBDTYF ビットが “0” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作には変更したデューティ設定は反映されず、アップカウントの場合はオーバフロー時に、ダウンカウントの場合はアンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中に OADTYF/OBDTYF ビットが “1” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作に変更したデューティ設定が反映されます。

- 三角波の場合

カウント動作中に OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、アンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中に OADTYF/OBDTYF ビットが “0” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作には変更したデューティ設定は反映されず、アンダフロー時に変更した

デューティ設定が反映されます。

カウントストップ中に OADTYF/OBDTYF ビットが “1” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作に変更したデューティ設定が反映されます。

OmDTY[1:0] ビット (GTIOCnm 端子出力デューティ設定ビット) (n = 0 ～ 9、m = A, B)

GTIOCnm 端子からの出力のデューティ (0%/100%/ コンペアマッチによる制御) を設定します。

OmDTYF ビット (GTIOCnm 端子出力デューティ強制設定ビット) (n = 0 ～ 9、m = A, B)

GTCNT カウンタ動作開始時のデューティを強制的に OmDTY[1:0] ビットに設定します。

カウント動作中の書き込みは常に “0” としてください。

カウント動作停止中に “1” を書いた場合、カウントスタート後の最初の周期の終わりまでに “0” に戻して、次の周期の設定をしてください。

OmDTYR ビット (GTIOCnm 端子出力 0%/100% デューティ設定解除後出力ビット) (n = 0 ～ 9、m = A, B)

GTIOCnm 端子に対して 0%/100% デューティ設定からコンペアマッチによる制御に変更し、GTIOR.GTIOm[3:2] ビットが “00b” で周期の終わりで出力保持、または “11b” で周期の終わりでトグル出力となっていた場合の保持またはトグルの対象となる値を選択します。

デューティ 0%/100% 設定の動作中、GPTW 内部ではコンペアマッチ動作は継続しています。OmDTYR ビットが “1” の場合、このコンペアマッチ動作による周期の終わりでの値を GTIOm[3:2] ビットの対象とします。

24.2.14 汎用 PWM タイマ I/O 制御レジスタ (GTIOR)

アドレス　GPTW0.GTIOR 000C 2034h, GPTW1.GTIOR 000C 2134h, GPTW2.GTIOR 000C 2234h, GPTW3.GTIOR 000C 2334h, GPTW4.GTIOR 000C 2434h, GPTW5.GTIOR 000C 2534h, GPTW6.GTIOR 000C 2634h, GPTW7.GTIOR 000C 2734h, GPTW8.GTIOR 000C 2834h, GPTW9.GTIOR 000C 2934h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCSB[1:0]		NFBEN	—	—	OBDF[1:0]		OBE	OBHLD	OBDFLT	—	GTIOB[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NFCSA[1:0]		NFAEN	—	—	OADF[1:0]		OAE	OAHLD	OADFLT	—	GTIOA[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOCnA端子機能選択ビット	表24.4を参照してください。	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	OADFLT	GTIOCnA端子カウントストップ時の出力値ビット	0：カウントストップ時にGTIOCnA端子からLowを出力 1：カウントストップ時にGTIOCnA端子からHighを出力	R/W
b7	OAHLD	GTIOCnA端子カウントスタート/ストップ時の出力保持ビット	0：カウントスタート/ストップ時のGTIOCnA端子の出力レベルは、レジスタ設定値に従う 1：カウントスタート/ストップ時にGTIOCnA端子の出力レベルを保持する	R/W
b8	OAE	GTIOCnA端子出力イネーブルビット	0：端子出力しない 1：端子出力する	R/W
b10-b9	OADF[1:0]	GTIOCnA端子ネゲート値設定ビット	b10 b9 0 0：下記要因を設定しない 0 1：出力ネゲート制御時にGTIOCnA端子を“Hi-Z”にする 1 0：出力ネゲート制御時にGTIOCnA端子を“Low”にする 1 1：出力ネゲート制御時にGTIOCnA端子を“High”にする	R/W
b12-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	NFAEN	GTIOCnA端子入力ノイズフィルタイネーブルビット	0：GTIOCnA端子入力のノイズフィルタを禁止 1：GTIOCnA端子入力のノイズフィルタを許可	R/W
b15-b14	NFCSA[1:0]	GTIOCnA端子入力ノイズフィルタサンプリングクロック選択ビット	b15b14 0 0：PCLKC 0 1：PCLKC/4 1 0：PCLKC/16 1 1：PCLKC/64	R/W
b20-b16	GTIOB[4:0]	GTIOCnB端子機能選択ビット	表24.4を参照してください。	R/W
b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22	OBDFLT	GTIOCnB端子カウントストップ時の出力値ビット	0：カウントストップ時にGTIOCnB端子からLowを出力 1：カウントストップ時にGTIOCnB端子からHighを出力	R/W
b23	OBHLD	GTIOCnB端子カウントスタート/ストップ時の出力保持ビット	0：カウントスタート/ストップ時のGTIOCnB端子の出力レベルは、レジスタ設定値に従う 1：カウントスタート/ストップ時にGTIOCnB端子の出力レベルを保持する	R/W
b24	OBE	GTIOCnB端子出力イネーブルビット	0：端子出力しない 1：端子出力する	R/W
b26-b25	OBDF[1:0]	GTIOCnB端子ネゲート値設定ビット	b26b25 0 0：下記要因を設定しない 0 1：出力ネゲート制御時にGTIOCnB端子を“Hi-Z”にする 1 0：出力ネゲート制御時にGTIOCnB端子を“Low”にする 1 1：出力ネゲート制御時にGTIOCnB端子を“High”にする	R/W
b28-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b29	NFBEN	GTIOCnB端子入力ノイズフィルタイネーブルビット	0：GTIOCnB端子入力のノイズフィルタを禁止 1：GTIOCnB端子入力のノイズフィルタを許可	R/W
b31-b30	NFCSB[1:0]	GTIOCnB端子入力ノイズフィルタサンプリングクロック選択ビット	b31b30 0 0：PCLKC 0 1：PCLKC/4 1 0：PCLKC/16 1 1：PCLKC/64	R/W

n = 0 ～ 9

GTIOR レジスタは、GTIOCnA、GTIOCnB 端子の機能を設定するレジスタです。

GTIOm[4:0] ビット (GTIOCnm 端子機能選択ビット) (n = 0 ～ 9、m = A, B)

GTIOCnm 端子の機能を選択します。詳細は、表 24.4 を参照してください。

OmDFLT ビット (GTIOCnm 端子カウントストップ時の出力値ビット) (n = 0 ～ 9、m = A, B)

カウントストップ時に、GTIOCnm 端子から Low を出力するか、High を出力するかを設定します。

OmHLD ビット (GTIOCnm 端子カウントスタート / ストップ時の出力保持ビット) (n = 0 ～ 9、m = A, B)

カウントスタート / ストップ時に、GTIOCnm 端子の出力レベルを保持するか、レジスタ設定値に従うかを設定します。

[“1” にした場合]

- カウントスタート / ストップ時に出力を保持します

[“0” にした場合]

- カウントスタート時に、GTIOm[4] ビットで指定した値を出力します
- カウントストップ時に、OmDFLT ビットで指定した値を出力します
- カウントストップ中に OmDFLT ビットの値を変更した場合は、ただちに出力に反映されます

OmE ビット (GTIOCnm 端子出力イネーブルビット) (m = A, B)

GTIOCnm 端子出力する / しないを選択します。

GTCCRm レジスタをインプットキャプチャレジスタとして使用する場合 (GTICmSR レジスタの少なくともひとつのビットが “1” の状態の場合) は、OmE ビットの設定に関わらず GTIOCnm 端子出力を行いません。

OmDF[1:0] ビット (GTIOCnm 端子ネゲート値設定ビット) (m = A, B)

POEG からの出力停止要求によって GTIOCnm 端子から出力する値を選択します。

NFmEN ビット (GTIOCnm 端子入力ノイズフィルタイネーブルビット) (m = A, B)

GTIOCnm 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NFCSm[1:0] ビット (GTIOCnm 端子入力ノイズフィルタサンプリングクロック選択ビット) (m = A, B)

GTIOCnm 端子の入力に対するノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後インプットキャプチャ機能に設定してください。

表24.4 GTIOA[4:0] (GTIOB[4:0])ビットの設定 (1/2)

GTIOA[4:0] (GTIOB[4:0])ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	0	0	0	0	初期出力Low	周期の終わりで出力保持	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
0	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
0	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	0	0	0	0	初期出力High	周期の終わりで出力保持	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	0	0	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	0	0	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	0	1	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	0	1	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力

表24.4　GTIOA[4:0] (GTIOB[4:0]) ビットの設定 (2/2)

GTIOA[4:0] (GTIOB[4:0]) ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
1	1	0	0	0	初期出力High	周期の終わりでHigh出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	1	0	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	1	0	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	1	1	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	1	1	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力

注.　周期の終わりとは、のこぎり波のときはオーバフロー(アップカウント時にGTCNTカウンタ値がGTPRレジスタ値から“0”になる)、アンダフロー(ダウンカウント時にGTCNTカウンタ値が“0”からGTPRレジスタ値になる)、GTCNTカウンタクリアを、三角波のときは谷(GTCNTカウンタ値が“0”から“1”になる)を示します。

注.　コンペアマッチ動作時、周期の終わりとGTCCRA/GTCCRBレジスタのコンペアマッチのタイミングが一致する場合、のこぎり波PWMモードではb3-b2の設定が優先され、それ以外のモードではb1-b0の設定が優先されます。

注.　イベントカウント動作時(GTUPSRレジスタまたはGTDNSRレジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合)、b3-b2の設定は無効です。

24.2.15 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス　GPTW0.GTINTAD 000C 2038h, GPTW1.GTINTAD 000C 2138h, GPTW2.GTINTAD 000C 2238h, GPTW3.GTINTAD 000C 2338h, GPTW4.GTINTAD 000C 2438h, GPTW5.GTINTAD 000C 2538h, GPTW6.GTINTAD 000C 2638h, GPTW7.GTINTAD 000C 2738h, GPTW8.GTINTAD 000C 2838h, GPTW9.GTINTAD 000C 2938h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPABL	GRPABH	GRPDTE	—	—	GRP[1:0]		—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GTINTA	GTCCRA レジスタコンペアマッチ/インプットキャプチャ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b1	GTINTB	GTCCRB レジスタコンペアマッチ/インプットキャプチャ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b2	GTINTC	GTCCRC レジスタコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b3	GTINTD	GTCCRD レジスタコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b4	GTINTE	GTCCRE レジスタコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b5	GTINTF	GTCCRF レジスタコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b7-b6	GTINTPR[1:0]	GTPR レジスタコンペアマッチ割り込み許可ビット	b7 b6 ００：割り込み要求を禁止 ０１：のこぎり波のときにオーバフロー、三角波のときに(山)で割り込み要求を許可 １０：のこぎり波のときにアンダフロー、三角波のときに(谷)で割り込み要求を許可 １１：のこぎり波のときにオーバフロー/アンダフロー両方、三角波のときに(山/谷)両方で割り込み要求を許可	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	ADTRAUEN	GTADTRA レジスタコンペアマッチ(アップカウント) A/D 変換開始要求許可ビット	0：A/D 変換開始要求を禁止 1：A/D 変換開始要求を許可	R/W
b17	ADTRADEN	GTADTRA レジスタコンペアマッチ(ダウンカウント) A/D 変換開始要求許可ビット	0：A/D 変換開始要求を禁止 1：A/D 変換開始要求を許可	R/W
b18	ADTRBUEN	GTADTRB レジスタコンペアマッチ(アップカウント) A/D 変換開始要求許可ビット	0：A/D 変換開始要求を禁止 1：A/D 変換開始要求を許可	R/W
b19	ADTRBDEN	GTADTRB レジスタコンペアマッチ(ダウンカウント) A/D 変換開始要求許可ビット	0：A/D 変換開始要求を禁止 1：A/D 変換開始要求を許可	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	GRP[1:0]	出力停止グループ選択ビット	b25b24 ００：グループAを選択 ０１：グループBを選択 １０：グループCを選択 １１：グループDを選択	R/W
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b28	GRPDTE	デッドタイムエラー出力停止検出許可ビット	0：デッドタイムエラー出力停止検出を禁止 1：デッドタイムエラー出力停止検出を許可	R/W
b29	GRPABH	同時High出力停止検出許可ビット	0：同時High出力停止検出を禁止 1：同時High出力停止検出を許可	R/W
b30	GRPABL	同時Low出力停止検出許可ビット	0：同時Low出力停止検出を禁止 1：同時Low出力停止検出を許可	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTINTAD レジスタは、割り込み要求、A/D 変換開始要求、および出力停止検出の許可 / 禁止を設定するレジスタです。

GTINTA ビット (GTCCRA レジスタコンペアマッチ / インプットキャプチャ割り込み許可ビット)

GTCCRA レジスタのコンペアマッチ / インプットキャプチャによる割り込み要求 (GTCIA) を許可 / 禁止します。

GTINTB ビット (GTCCRB レジスタコンペアマッチ / インプットキャプチャ割り込み許可ビット)

GTCCRB レジスタのコンペアマッチ / インプットキャプチャによる割り込み要求 (GTCIB) を許可 / 禁止します。

GTINTC ビット (GTCCRC レジスタコンペアマッチ割り込み許可ビット)

GTCCRC レジスタのコンペアマッチによる割り込み要求 (GTCIC) を許可 / 禁止します。

GTINTD ビット (GTCCRD レジスタコンペアマッチ割り込み許可ビット)

GTCCRD レジスタのコンペアマッチによる割り込み要求 (GTCID) を許可 / 禁止します。

GTINTE ビット (GTCCRE レジスタコンペアマッチ割り込み許可ビット)

GTCCRE レジスタのコンペアマッチによる割り込み要求 (GTCIE) を許可 / 禁止します。

GTINTF ビット (GTCCRF レジスタコンペアマッチ割り込み許可ビット)

GTCCRF レジスタのコンペアマッチによる割り込み要求 (GTCIF) を許可 / 禁止します。

GTINTPR[1:0] ビット (GTPR レジスタコンペアマッチ割り込み許可ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー)/GTCNT カウンタのアンダフローによる割り込み要求 (GTCIV/GTCIU) を許可 / 禁止します。

ADTRAUEN ビット (GTADTRA レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

イベントカウント動作時は無効となり、A/D 変換開始要求は発生しません。

ADTRADEN ビット (GTADTRA レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

イベントカウント動作時は無効となり、A/D 変換開始要求は発生しません。

ADTRBUEN ビット (GTADTRB レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

イベントカウント動作時は無効となり、A/D 変換開始要求は発生しません。

ADTRBDEN ビット (GTADTRB レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

イベントカウント動作時は無効となり、A/D 変換開始要求は発生しません。

GRP[1:0] ビット (出力停止グループ選択ビット)

GPTW から POEG に出力する出力停止検出と POEG から GPTW に入力する出力停止要求のグループを選択します。

POEG に出力するデッドタイムエラー、同時 High 出力、同時 Low 出力の各停止検出は、それぞれの出力停止検出許可ビットが “1” のとき、GRP[1:0] ビットで選択されたグループに出力されます。

GRP[1:0] ビットで選択されたグループの POEG からの出力停止要求は、GTST.ODF フラグでモニタすることができます。

GRP[1:0] ビットの設定は、GTIOR.OAE ビットと GTIOR.OBE ビットがともに “0” の状態で行ってください。

GRPDTE ビット (デッドタイムエラー出力停止検出許可ビット)

デッドタイムエラーによる出力停止検出を許可 / 禁止します。

イベントカウント動作時は、デッドタイムエラー出力停止検出は発生しません。

GRPABH ビット (同時 High 出力停止検出許可ビット)

GTIOCnA 端子と GTIOCnB 端子が同時に High になったときの出力停止検出を許可 / 禁止します。

GRPABL ビット (同時 Low 出力停止検出許可ビット)

GTIOCnA 端子と GTIOCnB 端子が同時に Low になったときの出力停止検出を許可 / 禁止します。

24.2.16 汎用 PWM タイマステータスレジスタ (GTST)

アドレス　GPTW0.GTST 000C 203Ch, GPTW1.GTST 000C 213Ch, GPTW2.GTST 000C 223Ch, GPTW3.GTST 000C 233Ch, GPTW4.GTST 000C 243Ch, GPTW5.GTST 000C 253Ch, GPTW6.GTST 000C 263Ch, GPTW7.GTST 000C 273Ch, GPTW8.GTST 000C 283Ch, GPTW9.GTST 000C 293Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	DTEF	—	—	—	ODF	—	—	—	—	ADTRBDF	ADTRBUF	ADTRADF	ADTRAUF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	ITCNT[2:0]			—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b10-b8	ITCNT[2:0]	GTCIV/GTCIU割り込み間引き回数カウンタ	タイマ割り込み間引き回数カウンタ	R
b14-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	TUCF	カウント方向フラグ	0：GTCNTカウンタはダウンカウント 1：GTCNTカウンタはアップカウント	R
b16	ADTRAUF	GTADTRAレジスタコンペアマッチ(アップカウント)A/D変換開始要求フラグ	0：アップカウントでのGTADTRAレジスタのコンペアマッチの発生なし 1：アップカウントでのGTADTRAレジスタのコンペアマッチの発生あり	R/(W) (注1)
b17	ADTRADF	GTADTRAレジスタコンペアマッチ(ダウンカウント)A/D変換開始要求フラグ	0：ダウンカウントでのGTADTRAレジスタのコンペアマッチの発生なし 1：ダウンカウントでのGTADTRAレジスタのコンペアマッチの発生あり	R/(W) (注1)
b18	ADTRBUF	GTADTRBレジスタコンペアマッチ(アップカウント)A/D変換開始要求フラグ	0：アップカウントでのGTADTRBレジスタのコンペアマッチの発生なし 1：アップカウントでのGTADTRBレジスタのコンペアマッチの発生あり	R/(W) (注1)
b19	ADTRBDF	GTADTRBレジスタコンペアマッチ(ダウンカウント)A/D変換開始要求フラグ	0：ダウンカウントでのGTADTRBレジスタのコンペアマッチの発生なし 1：ダウンカウントでのGTADTRBレジスタのコンペアマッチの発生あり	R/(W) (注1)
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	ODF	出力停止要求フラグ	0：出力停止要求なし 1：出力停止要求あり	R
b27-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	DTEF	デッドタイムエラーフラグ	0：デッドタイムエラーの発生なし 1：デッドタイムエラーの発生あり	R
b29	OABHF	同時High出力フラグ	0：GTIOCA端子とGTIOCB端子の同時“1”発生なし 1：GTIOCA端子とGTIOCB端子の同時“1”発生あり	R
b30	OABLF	同時Low出力フラグ	0：GTIOCA端子とGTIOCB端子の同時“0”発生なし 1：GTIOCA端子とGTIOCB端子の同時“0”発生あり	R
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　フラグをクリアするための“0”書き込みのみ可能です。ADTRAUF, ADTRADF, ADTRBUFフラグまたはADTRBDFフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、クリアしたくないフラグには“1”を書き込んでください。

GTST レジスタは、GPTW の状態を示します。

ITCNT[2:0] ビット (GTCIV/GTCIU 割り込み間引き回数カウンタ)

GTCIV/GTCIU 割り込み間引き機能を使用時 (GTITC.IVTC[1:0] ビットを “00b” 以外に設定時)、IVTC[1:0] ビットで選択された GTCIV/GTCIU 割り込み要因が発生するごとに 1 カウントアップします。

GTEITC レジスタによる拡張割り込み間引きとは独立して動作します。

[“0” になる条件]

- GTCIV/GTCIU割り込み間引き機能を未使用時(IVTC[1:0] ビットが “00b” のとき、GTITC.IVTT[2:0] ビットが “000b” のとき)
- GTCIV/GTCIU割り込み間引き回数が一致したとき(IVTT[2:0] ビットで設定した間引き回数とITCNT[2:0] ビット値が一致したとき)
- カウント動作停止中

TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示すフラグです。

イベントカウント動作時は、アップカウントすると “1”、ダウンカウントすると “0” になります。

ADTRAUF フラグ (GTADTRA レジスタコンペアマッチ (アップカウント) A/D 変換開始要求フラグ)

アップカウントでの GTADTRA レジスタのコンペアマッチの発生を示すステータスフラグです。

[“1” になる条件]

- アップカウントで GTCNT カウンタ = GTADTRA レジスタになったとき

[“0” になる条件]

- ADTRAUF フラグに “0” を書いたとき

ADTRADF フラグ (GTADTRA レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求フラグ)

ダウンカウントでの GTADTRA レジスタのコンペアマッチの発生を示すステータスフラグです。

[“1” になる条件]

- ダウンカウントで GTCNT カウンタ = GTADTRA レジスタになったとき

[“0” になる条件]

- ADTRADF フラグに “0” を書いたとき

ADTRBUF フラグ (GTADTRB レジスタコンペアマッチ (アップカウント) A/D 変換開始要求フラグ)

アップカウントでの GTADTRB レジスタのコンペアマッチの発生を示すステータスフラグです。

[“1” になる条件]

- アップカウントで GTCNT カウンタ = GTADTRB レジスタになったとき

[“0” になる条件]

- ADTRBUF フラグに “0” を書いたとき

ADTRBDF フラグ (GTADTRB レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求フラグ)

ダウンカウントでの GTADTRB レジスタのコンペアマッチの発生を示すステータスフラグです。

[“1” になる条件]

- ダウンカウントで GTCNT カウンタ = GTADTRB レジスタになったとき

[“0” になる条件]

- ADTRBDF フラグに “0” を書いたとき

ODF フラグ (出力停止要求フラグ)

GTINTAD.GRP[1:0] ビットで選択したグループの出力停止要求をモニタします。

出力停止要求が行われた後に要求が解除されても、PWM 端子のネゲート制御の解除は、PWM 周期の終わりまで待たされます。

DTEF フラグ (デッドタイムエラーフラグ)

デッドタイム自動設定後の波形変化ポイントが、カウント周期を超えたことを示すフラグです。

デッドタイム自動設定後の波形変化ポイントが、カウント周期内に戻ると “0” に戻ります。DTEF フラグは読み出しのみ可能です。(“0” 書き込みによって “0” にすることはできません)

DTEF フラグによる割り込みを許可している (GTINTAD.GRPDTE ビット = 1) 場合、DTEF フラグを POEG に出力停止検出として出力し、DTEF フラグが “0” から “1” に変化するたびに GDTE 割り込みが発生します。

[“1” になる条件]

- デッドタイム自動設定後の波形変化ポイントが、カウント周期を超えたとき (以下の場合)
  三角波でアップカウントの場合：GTCCRA レジスタ – GTDVU レジスタ ≦ 0 のとき
  三角波でダウンカウントの場合：GTCCRA レジスタ – GTDVD レジスタ < 0 のとき
  のこぎり波ワンショットパルスモードでアップカウントの場合：
  GTCCRA レジスタ – GTDVU レジスタ < 0 または GTCCRA レジスタ + GTDVD レジスタ > GTPR レジスタのとき
  のこぎり波ワンショットパルスモードでダウンカウントの場合：
  GTCCRA レジスタ + GTDVU レジスタ > GTPR レジスタまたは GTCCRA レジスタ – GTDVD レジスタ < 0 のとき

[“0” になる条件]

- デッドタイム自動設定後の波形変化ポイントが、カウント周期内にあるとき

OABHF フラグ (同時 High 出力フラグ)

GTIOCnA 端子と GTIOCnB 端子が同時に “1” を出力していることを示すフラグです。

GTIOCnA 端子と GTIOCnB 端子のどちらか一方が “0” になると “0” に戻ります。

OABHF フラグは読み出しのみ可能です。(“0” 書き込みよって “0” にすることはできません)

OABHF フラグによる出力停止検出を許可している (GTINTAD.GRPABH ビット＝ 1) 場合、OABHF フラグを POEG に出力停止検出として出力します。なお、GPTW での同時 High 出力の割り込みはありません。割り込みを行いたい場合は、POEG 側の割り込みを利用してください。

[“1” になる条件]

- GTIOR.OAE ビットと GTIOR.OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に “1” を出力しているとき

[“0” になる条件]

- OAE ビットと OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が異なる値を出力しているとき
- OAE ビットと OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に “0” を出力しているとき
- OAE ビットまたは OBE ビットの少なくとも一方が “0” のとき

OABLF フラグ (同時 Low 出力フラグ)

GTIOCnA 端子と GTIOCnB 端子が同時に “0” を出力していることを示すフラグです。

GTIOCnA 端子と GTIOCnB 端子のどちらか一方が “1” になると “0” に戻ります。

OABLF フラグは読み出しのみ可能です。(“0” 書き込みよって “0” にすることはできません)

OABLF フラグによる出力停止検出を許可している (GTINTAD.GRPABL ビット＝ 1) 場合、OABLF フラグを POEG に出力停止検出として出力します。なお、GPTW での同時 Low 出力の割り込みはありません。割り込みを行いたい場合は、POEG 側の割り込みを利用してください。

[“1” になる条件]

- OAE ビットと OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に “0” を出力しているとき

[“0” になる条件]

- OAE ビットと OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が異なる値を出力しているとき
- OAE ビットと OBE ビットの両方が “1” の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に “1” を出力しているとき
- OAE ビットまたは OBE ビットの少なくとも一方が “0” のとき

OABHF/OABLF フラグを生成するための出力値の比較は、コンペアマッチ出力 (PWM 出力) が、出力ネゲート機能によってマスクされる前の値です。出力ネゲート状態でも、内部ではコンペアマッチ動作は継続しており、その結果の値に従って OABHF/OABLF フラグは更新されます。

24.2.17 汎用 PWM タイマバッファイネーブルレジスタ (GTBER)

アドレス　GPTW0.GTBER 000C 2040h, GPTW1.GTBER 000C 2140h, GPTW2.GTBER 000C 2240h, GPTW3.GTBER 000C 2340h, GPTW4.GTBER 000C 2440h, GPTW5.GTBER 000C 2540h, GPTW6.GTBER 000C 2640h, GPTW7.GTBER 000C 2740h, GPTW8.GTBER 000C 2840h, GPTW9.GTBER 000C 2940h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	DBRTECB	—	DBRTECA	—	—	—	—	BD[3]	BD[2]	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRA/GTCCRB レジスタのバッファ動作禁止ビット	0：バッファ動作許可 1：バッファ動作禁止	R/W
b1	BD[1]	GTPR レジスタのバッファ動作禁止ビット		R/W
b2	BD[2]	GTADTRA/GTADTRB レジスタのバッファ動作禁止ビット		R/W
b3	BD[3]	GTDVU/GTDVD レジスタのバッファ動作禁止ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	DBRTECA	GTCCRA レジスタのダブルバッファリピート動作許可ビット	0：GTCCRA レジスタのダブルバッファリピート動作禁止 1：GTCCRA レジスタのダブルバッファリピート動作許可	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	DBRTECB	GTCCRB レジスタのダブルバッファリピート動作許可ビット	0：GTCCRB レジスタのダブルバッファリピート動作禁止 1：GTCCRB レジスタのダブルバッファリピート動作許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	CCRA[1:0]	GTCCRA レジスタのバッファ動作ビット	b17b16 0 0：バッファ動作しない 0 1：シングルバッファとして動作する (GTCCRA レジスタ⇔GTCCRC レジスタ) 1 x：ダブルバッファとして動作する (GTCCRA レジスタ⇔GTCCRC レジスタ⇔GTCCRD レジスタ)	R/W
b19-b18	CCRB[1:0]	GTCCRB レジスタのバッファ動作ビット	b19b18 0 0：バッファ動作しない 0 1：シングルバッファとして動作する (GTCCRB レジスタ⇔GTCCRE レジスタ) 1 x：ダブルバッファとして動作する (GTCCRB レジスタ⇔GTCCRE レジスタ⇔GTCCRF レジスタ)	R/W
b21-b20	PR[1:0]	GTPR レジスタのバッファ動作ビット	b21b20 0 0：バッファ動作しない 0 1：シングルバッファとして動作する (GTPBR レジスタ⇒GTPR レジスタ) 1 x：ダブルバッファとして動作する (GTPDBR レジスタ⇒GTPBR レジスタ⇒GTPR レジスタ)	R/W
b22	CCRSWT	GTCCRA/GTCCRB レジスタの強制バッファ動作ビット	“1”を書くと GTCCRA, GTCCRB レジスタのバッファ転送を強制的に行います。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b25-b24	ADTTA[1:0]	GTADTRAレジスタのバッファ転送タイミング選択ビット	● 三角波の場合 b25b24 0 0：転送しない 0 1：(山)で転送 1 0：(谷)で転送 1 1：(谷/山)両方で転送 ● のこぎり波の場合 b25b24 0 0：転送しない 0 0以外：アンダフロー(ダウンカウント時)、オーバフロー(アップカウント時)、カウンタクリアで転送	R/W
b26	ADTDA	GTADTRAレジスタのダブルバッファ動作ビット	0：シングルバッファとして動作する (GTADTBRAレジスタ⇒GTADTRAレジスタ) 1：ダブルバッファとして動作する (GTADTDBRAレジスタ⇒GTADTBRAレジスタ⇒GTADTRAレジスタ)	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29-b28	ADTTB[1:0]	GTADTRBレジスタのバッファ転送タイミング選択ビット	● 三角波の場合 b29b28 0 0：転送しない 0 1：(山)で転送 1 0：(谷)で転送 1 1：(谷/山)両方で転送 ● のこぎり波の場合 b29b28 0 0：転送しない 0 0以外：アンダフロー(ダウンカウント時)、オーバフロー(アップカウント時)、カウンタクリアで転送	R/W
b30	ADTDB	GTADTRBレジスタのダブルバッファ動作ビット	0：シングルバッファとして動作する (GTADTBRBレジスタ⇒GTADTRBレジスタ) 1：ダブルバッファとして動作する (GTADTDBRBレジスタ⇒GTADTBRBレジスタ⇒GTADTRBレジスタ)	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTBER レジスタは、バッファ動作の設定を行うレジスタです。

BD[3:0] ビットを除く GTBER レジスタの設定は、GTCNT カウンタが停止した状態で行ってください。

BD[0] ビット (GTCCRA/GTCCRB レジスタのバッファ動作禁止ビット)

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTCCRB レジスタは、GTDTCR.TDE ビットが “1” の場合、BD[0] ビット = 0 に設定しても、バッファ動作せず、デッドタイム付き逆相波形用のコンペアマッチ値が自動設定されます。

GTSECR レジスタの SBDCE ビットまたは SBDCD ビットに “1” を書き込むことによって、GTSECSR レジスタで “1” となっているビット位置のチャネルの BD[0] ビットに値を設定することができます。

DBRTECm (m = A, B) ビットが “1” の場合、のこぎり波ワンショットパルスモード、三角波 PWM モード 3 を使用すると、BD[0] = 1 に設定しても、中間バッファから GTCCRm レジスタへのバッファ動作を行います。

BD[1] ビット (GTPR レジスタのバッファ動作禁止ビット)

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

GTSECR レジスタの SBDPE ビットまたは SBDPD ビットに “1” を書き込むことによって、GTSECSR レジスタで “1” となっているビット位置のチャネルの BD[1] ビットに値を設定することができます。

BD[2] ビット (GTADTRA/GTADTRB レジスタのバッファ動作禁止ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。

イベントカウント動作時は無効となり、GTADTRA, GTADTRB レジスタはバッファ動作を行いません。

GTSECR レジスタの SBDAE ビットまたは SBDAD ビットに “1” を書き込むことによって、GTSECSR レジスタで “1” となっているビット位置のチャネルの BD[2] ビットに値を設定することができます。

BD[3] ビット (GTDVU/GTDVD レジスタのバッファ動作禁止ビット)

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を禁止します。

GTDVD レジスタは、GTDTCR.TDFER ビットが “1” の場合、BD[3] ビット = 0 に設定しても、バッファ動作せず、GTDVU レジスタの値が自動設定されます。

イベントカウント動作時は無効となり、GTDVU, GTDVD レジスタはバッファ動作を行いません。

GTSECR レジスタの SBDDE ビットまたは SBDDD ビットに “1” を書き込むことによって、GTSECSR レジスタで “1” となっているビット位置のチャネルの BD[3] ビットに値を設定することができます。

DBRTECm ビット (GTCCRm レジスタのダブルバッファリピート動作許可ビット) (m = A, B)

GTCCRm レジスタをダブルバッファ動作させる場合、バッファ転送禁止期間中に、中間バッファから GTCCRm レジスタへの転送を周期単位で繰り返す動作を許可します。

のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3 で有効です。

バッファ転送の禁止期間は、BD[0] ビットの設定 (CPU 書き込み、または GTSECSR レジスタによるバッファ動作同時制御) および GTEITLB レジスタによるバッファ転送拡張間引き (谷 / 山両方をカウントして間引く場合を除く) のいずれにも対応します。

DBRTECm ビットが “1” の場合、GTCCRm レジスタに CPU 書き込みを行うと、テンポラリレジスタ x (x = C, E) にも同じ値が書きこまれます。また、強制バッファ転送によって、GTCCRx (x = C, E) レジスタの値が、テンポラリレジスタ x (x = C, E) に転送されます。

CCRA[1:0] ビット (GTCCRA レジスタのバッファ動作ビット)

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注 1)

CCRB[1:0] ビット (GTCCRB レジスタのバッファ動作ビット)

GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注 1)

PR[1:0] ビット (GTPR レジスタのバッファ動作ビット)

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を設定します。

CCRSWT ビット (GTCCRA/GTCCRB レジスタの強制バッファ動作ビット)

CCRSWT ビットに “1” を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。“1” を書いた後、自動的に “0” に戻ります。読むと “0” が読めます。

カウントストップ中かつコンペマッチ動作設定時のみ有効です。

ADTTA[1:0] ビット (GTADTRA レジスタのバッファ転送タイミング選択ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作時は無効です。

ADTDA ビット (GTADTRA レジスタのダブルバッファ動作ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作時は無効です。

ADTTB[1:0] ビット (GTADTRB レジスタのバッファ転送タイミング選択ビット)

GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作時は無効です。

ADTDB ビット (GTADTRB レジスタのダブルバッファ動作ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作時は無効です。

注 1. のこぎり波ワンショットパルスモード、または三角波 PWM モード 3 (谷 64 ビット転送) の場合、バッファ動作は固定となります。

24.2.18 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)

アドレス　GPTW0.GTITC 000C 2044h, GPTW1.GTITC 000C 2144h, GPTW2.GTITC 000C 2244h, GPTW3.GTITC 000C 2344h, GPTW4.GTITC 000C 2444h, GPTW5.GTITC 000C 2544h, GPTW6.GTITC 000C 2644h, GPTW7.GTITC 000C 2744h, GPTW8.GTITC 000C 2844h, GPTW9.GTITC 000C 2944h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADTBL	—	ADTAL	—	IVTT[2:0]			IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRA レジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRB レジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRC レジスタコンペアマッチ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRD レジスタコンペアマッチ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCRE レジスタコンペアマッチ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRF レジスタコンペアマッチ割り込み連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b7-b6	IVTC[1:0]	GTCIV/GTCIU割り込み間引き機能選択ビット	b7 b6 0 0：間引きしない 0 1：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(山)をカウントして間引く 1 0：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷)をカウントして間引く 1 1：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷/山)両方をカウントして間引く	R/W
b10-b8	IVTT[2:0]	GTCIV/GTCIU割り込み間引き回数選択ビット	b10 b8 0 0 0：間引きしない 0 0 1：間引き回数：1回 0 1 0：間引き回数：2回 0 1 1：間引き回数：3回 1 0 0：間引き回数：4回 1 0 1：間引き回数：5回 1 1 0：間引き回数：6回 1 1 1：間引き回数：7回	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADTAL	GTADTRA レジスタ A/D 変換開始要求連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	ADTBL	GTADTRB レジスタ A/D 変換開始要求連動ビット	0：GTCIV/GTCIU割り込み間引き機能と連動しない 1：GTCIV/GTCIU割り込み間引き機能と連動する	R/W
b31-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTITC レジスタは、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ) 割り込み (GTCIV)/ アンダフロー割り込み (GTCIU) の間引き機能の設定と他の割り込み、および A/D 変換開始要求を

GTCIV/GTCIU 割り込み間引き機能と連動するかどうかを設定するレジスタです。ただし、POEG への出力停止検出、デッドタイムエラー割り込みは GTCIV/GTCIU 割り込み間引き機能と連動することはできません。

イベントカウント動作時は無効です。

GTEITC レジスタによる拡張割り込み間引きとは独立して動作します。

ITLA ビット (GTCCRA レジスタコンペアマッチ / インプットキャプチャ割り込み連動ビット)

GTCCRA レジスタのコンペアマッチ / インプットキャプチャ割り込み (GTCIA) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLB ビット (GTCCRB レジスタコンペアマッチ / インプットキャプチャ割り込み連動ビット)

GTCCRB レジスタのコンペアマッチ / インプットキャプチャ割り込み (GTCIB) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLC ビット (GTCCRC レジスタコンペアマッチ割り込み連動ビット)

GTCCRC レジスタのコンペアマッチ割り込み (GTCIC) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLD ビット (GTCCRD レジスタコンペアマッチ割り込み連動ビット)

GTCCRD レジスタのコンペアマッチ割り込み (GTCID) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLE ビット (GTCCRE レジスタコンペアマッチ割り込み連動ビット)

GTCCRE レジスタのコンペアマッチ割り込み (GTCIE) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLF ビット (GTCCRF レジスタコンペアマッチ割り込み連動ビット)

GTCCRF レジスタのコンペアマッチ割り込み (GTCIF) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

IVTC[1:0] ビット (GTCIV/GTCIU 割り込み間引き機能選択ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー) 割り込み (GTCIV)/GTCNT カウンタのアンダフロー割り込み (GTCIU) の間引き機能を選択します。

IVTT[2:0] ビット (GTCIV/GTCIU 割り込み間引き回数選択ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー) 割り込み (GTCIV)/GTCNT カウンタのアンダフロー割り込み (GTCIU) の間引き回数を選択します。

IVTT[2:0] ビットを変更する場合は、IVTC[1:0] ビットを “00b” にしてから行ってください。

ADTAL ビット (GTADTRA レジスタ A/D 変換開始要求連動ビット)

GTADTRA レジスタのコンペアマッチでの A/D 変換開始要求が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ADTBL ビット (GTADTRB レジスタ A/D 変換開始要求連動ビット)

GTADTRB レジスタのコンペアマッチでの A/D 変換開始要求が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

24.2.19 汎用 PWM タイマカウンタ (GTCNT)

アドレス GPTW0.GTCNT 000C 2048h, GPTW1.GTCNT 000C 2148h, GPTW2.GTCNT 000C 2248h, GPTW3.GTCNT 000C 2348h, GPTW4.GTCNT 000C 2448h, GPTW5.GTCNT 000C 2548h, GPTW6.GTCNT 000C 2648h, GPTW7.GTCNT 000C 2748h, GPTW8.GTCNT 000C 2848h, GPTW9.GTCNT 000C 2948h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCNT カウンタは、32 ビットの読み書き可能なカウンタで、各チャネルに 1 本ずつあります。カウント停止時のみ書き込み可能で、カウント中 (CST = 1 の時) の書き込みは無効です。GTCNT カウンタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GTCNT カウンタは、0 ≦ GTCNT カウンタ ≦ GTPR レジスタの範囲内に設定してください。

24.2.20 汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m = A ～ F)

アドレス

GPTW0.GTCCRA 000C 204Ch, GPTW1.GTCCRA 000C 214Ch, GPTW2.GTCCRA 000C 224Ch,
GPTW3.GTCCRA 000C 234Ch, GPTW4.GTCCRA 000C 244Ch, GPTW5.GTCCRA 000C 254Ch,
GPTW6.GTCCRA 000C 264Ch, GPTW7.GTCCRA 000C 274Ch, GPTW8.GTCCRA 000C 284Ch,
GPTW9.GTCCRA 000C 294Ch,
GPTW0.GTCCRB 000C 2050h, GPTW1.GTCCRB 000C 2150h, GPTW2.GTCCRB 000C 2250h,
GPTW3.GTCCRB 000C 2350h, GPTW4.GTCCRB 000C 2450h, GPTW5.GTCCRB 000C 2550h,
GPTW6.GTCCRB 000C 2650h, GPTW7.GTCCRB 000C 2750h, GPTW8.GTCCRB 000C 2850h,
GPTW9.GTCCRB 000C 2950h,
GPTW0.GTCCRC 000C 2054h, GPTW1.GTCCRC 000C 2154h, GPTW2.GTCCRC 000C 2254h,
GPTW3.GTCCRC 000C 2354h, GPTW4.GTCCRC 000C 2454h, GPTW5.GTCCRC 000C 2554h,
GPTW6.GTCCRC 000C 2654h, GPTW7.GTCCRC 000C 2754h, GPTW8.GTCCRC 000C 2854h,
GPTW9.GTCCRC 000C 2954h,
GPTW0.GTCCRE 000C 2058h, GPTW1.GTCCRE 000C 2158h, GPTW2.GTCCRE 000C 2258h,
GPTW3.GTCCRE 000C 2358h, GPTW4.GTCCRE 000C 2458h, GPTW5.GTCCRE 000C 2558h,
GPTW6.GTCCRE 000C 2658h, GPTW7.GTCCRE 000C 2758h, GPTW8.GTCCRE 000C 2858h,
GPTW9.GTCCRE 000C 2958h,
GPTW0.GTCCRD 000C 205Ch, GPTW1.GTCCRD 000C 215Ch, GPTW2.GTCCRD 000C 225Ch,
GPTW3.GTCCRD 000C 235Ch, GPTW4.GTCCRD 000C 245Ch, GPTW5.GTCCRD 000C 255Ch,
GPTW6.GTCCRD 000C 265Ch, GPTW7.GTCCRD 000C 275Ch, GPTW8.GTCCRD 000C 285Ch,
GPTW9.GTCCRD 000C 295Ch,
GPTW0.GTCCRF 000C 2060h, GPTW1.GTCCRF 000C 2160h, GPTW2.GTCCRF 000C 2260h,
GPTW3.GTCCRF 000C 2360h, GPTW4.GTCCRF 000C 2460h, GPTW5.GTCCRF 000C 2560h,
GPTW6.GTCCRF 000C 2660h, GPTW7.GTCCRF 000C 2760h, GPTW8.GTCCRF 000C 2860h,
GPTW9.GTCCRF 000C 2960h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTCCRm レジスタは、32 ビットの読み書き可能なレジスタです。

GTCCRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GTCCRA, GTCCRB レジスタはアウトプットコンペア / インプットキャプチャ兼用のレジスタです。

GTCCRC, GTCCRE レジスタはコンペアマッチレジスタですが、GTCCRA, GTCCRB レジスタのバッファレジスタとして動作させることもできます。

GTCCRD, GTCCRF レジスタはコンペアマッチレジスタですが、GTCCRC, GTCCRE レジスタのバッファレジスタ (GTCCRA, GTCCRB レジスタのダブルバッファレジスタ) として動作させることもできます。

24.2.21 汎用 PWM タイマ周期設定レジスタ (GTPR)

アドレス GPTW0.GTPR 000C 2064h, GPTW1.GTPR 000C 2164h, GPTW2.GTPR 000C 2264h, GPTW3.GTPR 000C 2364h, GPTW4.GTPR 000C 2464h, GPTW5.GTPR 000C 2564h, GPTW6.GTPR 000C 2664h, GPTW7.GTPR 000C 2764h, GPTW8.GTPR 000C 2864h, GPTW9.GTPR 000C 2964h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPR レジスタは、32 ビットの読み書き可能なレジスタで、GTCNT カウンタのカウント最大値を設定するレジスタです。

GTPR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

のこぎり波の場合は、GTPR レジスタ値 + 1 がカウント周期になります。三角波の場合は、GTPR レジスタ値 × 2 がカウント周期になります。

24.2.22 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

アドレス GPTW0.GTPBR 000C 2068h, GPTW1.GTPBR 000C 2168h, GPTW2.GTPBR 000C 2268h, GPTW3.GTPBR 000C 2368h, GPTW4.GTPBR 000C 2468h, GPTW5.GTPBR 000C 2568h, GPTW6.GTPBR 000C 2668h, GPTW7.GTPBR 000C 2768h, GPTW8.GTPBR 000C 2868h, GPTW9.GTPBR 000C 2968h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPBR レジスタは、32 ビットの読み書き可能なレジスタで、GTPR レジスタのバッファレジスタとして動作します。

GTPBR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

24.2.23 汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)

アドレス GPTW0.GTPDBR 000C 206Ch, GPTW1.GTPDBR 000C 216Ch, GPTW2.GTPDBR 000C 226Ch, GPTW3.GTPDBR 000C 236Ch, GPTW4.GTPDBR 000C 246Ch, GPTW5.GTPDBR 000C 256Ch, GPTW6.GTPDBR 000C 266Ch, GPTW7.GTPDBR 000C 276Ch, GPTW8.GTPDBR 000C 286Ch, GPTW9.GTPDBR 000C 296Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPDBR レジスタは、32 ビットの読み書き可能なレジスタで、GTPBR レジスタのバッファレジスタ (GTPR レジスタのダブルバッファレジスタ) として動作します。

GTPDBR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

24.2.24 A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m = A, B)

アドレス GPTW0.GTADTRA 000C 2070h, GPTW1.GTADTRA 000C 2170h, GPTW2.GTADTRA 000C 2270h, GPTW3.GTADTRA 000C 2370h, GPTW4.GTADTRA 000C 2470h, GPTW5.GTADTRA 000C 2570h, GPTW6.GTADTRA 000C 2670h, GPTW7.GTADTRA 000C 2770h, GPTW8.GTADTRA 000C 2870h, GPTW9.GTADTRA 000C 2970h,
GPTW0.GTADTRB 000C 207Ch, GPTW1.GTADTRB 000C 217Ch, GPTW2.GTADTRB 000C 227Ch, GPTW3.GTADTRB 000C 237Ch, GPTW4.GTADTRB 000C 247Ch, GPTW5.GTADTRB 000C 257Ch, GPTW6.GTADTRB 000C 267Ch, GPTW7.GTADTRB 000C 277Ch, GPTW8.GTADTRB 000C 287Ch, GPTW9.GTADTRB 000C 297Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTADTRm レジスタは、32 ビットの読み書き可能なレジスタで、A/D 変換開始要求のタイミングを設定します。

GTADTRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GTADTRm レジスタの値が GTCNT カウンタと一致したとき、A/D 変換開始要求を生成します。

24.2.25 A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A, B)

アドレス
GPTW0.GTADTBRA 000C 2074h, GPTW1.GTADTBRA 000C 2174h, GPTW2.GTADTBRA 000C 2274h, GPTW3.GTADTBRA 000C 2374h, GPTW4.GTADTBRA 000C 2474h, GPTW5.GTADTBRA 000C 2574h, GPTW6.GTADTBRA 000C 2674h, GPTW7.GTADTBRA 000C 2774h, GPTW8.GTADTBRA 000C 2874h, GPTW9.GTADTBRA 000C 2974h,
GPTW0.GTADTBRB 000C 2080h, GPTW1.GTADTBRB 000C 2180h, GPTW2.GTADTBRB 000C 2280h, GPTW3.GTADTBRB 000C 2380h, GPTW4.GTADTBRB 000C 2480h, GPTW5.GTADTBRB 000C 2580h, GPTW6.GTADTBRB 000C 2680h, GPTW7.GTADTBRB 000C 2780h, GPTW8.GTADTBRB 000C 2880h, GPTW9.GTADTBRB 000C 2980h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTADTBRm レジスタは、32 ビットの読み書き可能なレジスタで、GTADTRm レジスタのバッファレジスタとして動作します。

GTADTBRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

24.2.26 A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A, B)

アドレス
GPTW0.GTADTDBRA 000C 2078h, GPTW1.GTADTDBRA 000C 2178h, GPTW2.GTADTDBRA 000C 2278h, GPTW3.GTADTDBRA 000C 2378h, GPTW4.GTADTDBRA 000C 2478h, GPTW5.GTADTDBRA 000C 2578h, GPTW6.GTADTDBRA 000C 2678h, GPTW7.GTADTDBRA 000C 2778h, GPTW8.GTADTDBRA 000C 2878h, GPTW9.GTADTDBRA 000C 2978h,
GPTW0.GTADTDBRB 000C 2084h, GPTW1.GTADTDBRB 000C 2184h, GPTW2.GTADTDBRB 000C 2284h, GPTW3.GTADTDBRB 000C 2384h, GPTW4.GTADTDBRB 000C 2484h, GPTW5.GTADTDBRB 000C 2584h, GPTW6.GTADTDBRB 000C 2684h, GPTW7.GTADTDBRB 000C 2784h, GPTW8.GTADTDBRB 000C 2884h, GPTW9.GTADTDBRB 000C 2984h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTADTDBRm レジスタは、32 ビットの読み書き可能なレジスタで、GTADTBRm レジスタのバッファレジスタ (GTADTRm レジスタのダブルバッファレジスタ) として動作します。

GTADTDBRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

24.2.27 汎用 PWM タイマデッドタイム制御レジスタ (GTDTCR)

アドレス　GPTW0.GTDTCR 000C 2088h, GPTW1.GTDTCR 000C 2188h, GPTW2.GTDTCR 000C 2288h, GPTW3.GTDTCR 000C 2388h, GPTW4.GTDTCR 000C 2488h, GPTW5.GTDTCR 000C 2588h, GPTW6.GTDTCR 000C 2688h, GPTW7.GTDTCR 000C 2788h, GPTW8.GTDTCR 000C 2888h, GPTW9.GTDTCR 000C 2988h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定ビット	0：GTDVU、GTDVD レジスタを使用しないで、GTCCRB レジスタを個別に設定する 1：GTDVU、GTDVD レジスタを使用して、デッドタイム付き逆相波形用コンペアマッチ値をGTCCRB レジスタに自動設定する	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TDBUE	GTDVU レジスタのバッファ動作許可ビット	0：GTDVU レジスタのバッファ動作を禁止 1：GTDVU レジスタのバッファ動作を許可	R/W
b5	TDBDE	GTDVD レジスタのバッファ動作許可ビット	0：GTDVD レジスタのバッファ動作を禁止 1：GTDVD レジスタのバッファ動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TDFER	GTDVD レジスタ設定ビット	0：GTDVU、GTDVD レジスタを個別に設定する 1：GTDVU レジスタに書き込んだ値を、GTDVD レジスタにも自動設定する	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形用コンペアマッチ値の自動設定を許可するレジスタです。

イベントカウント動作時は無効です。

TDE ビット (逆相波形設定ビット)

GTDVU, GTDVD レジスタを使用する / しないを設定します。GTDVU、GTDVD レジスタを使用する場合、正相波形用のコンペアマッチ値 (GTCCRA レジスタ) とデッドタイム値 (GTDVU、GTDVD レジスタ) から算出したデッドタイム付き逆相波形用コンペアマッチ値が、GTCCRB レジスタに自動設定されます。

のこぎり波 PWM モードでは TDE ビットの設定は無視され、GTCCRB レジスタの自動設定は行われません。

自動設定される GTCCRB レジスタの上限値 / 下限値は以下のようになります。

- 三角波 PWM モードの場合
  上限値：GTPR レジスタの設定値 – 1
  下限値：アップカウント時 “1”、ダウンカウント時 “0”
- のこぎり波ワンショットパルスモードの場合
  上限値：GTPR レジスタの設定値
  下限値：“0”

算出された GTCCRB レジスタ値が上限値 / 下限値の範囲外となる場合は、GTCCRB レジスタには上限値 /

下限値が設定され、GTST.DTEF フラグが “1” になります。ただし、三角波で上限値を超える場合は、DTEF フラグは “0” になります。

TDBUE ビット (GTDVU レジスタのバッファ動作許可ビット)

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。

バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。

TDBDE ビット (GTDVD レジスタのバッファ動作許可ビット)

GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。

バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。

TDFER ビットを同時に “1” にした場合、TDFER ビットの設定が優先されます。

TDFER ビット (GTDVD レジスタ設定ビット)

GTDVU レジスタに書き込んだ値を GTDVD レジスタにも自動設定するかどうかを設定します。

24.2.28 汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U, D)

アドレス
GPTW0.GTDVU 000C 208Ch, GPTW1.GTDVU 000C 218Ch, GPTW2.GTDVU 000C 228Ch, GPTW3.GTDVU 000C 238Ch, GPTW4.GTDVU 000C 248Ch, GPTW5.GTDVU 000C 258Ch, GPTW6.GTDVU 000C 268Ch, GPTW7.GTDVU 000C 278Ch, GPTW8.GTDVU 000C 288Ch, GPTW9.GTDVU 000C 298Ch,
GPTW0.GTDVD 000C 2090h, GPTW1.GTDVD 000C 2190h, GPTW2.GTDVD 000C 2290h, GPTW3.GTDVD 000C 2390h, GPTW4.GTDVD 000C 2490h, GPTW5.GTDVD 000C 2590h, GPTW6.GTDVD 000C 2690h, GPTW7.GTDVD 000C 2790h, GPTW8.GTDVD 000C 2890h, GPTW9.GTDVD 000C 2990h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTDVm レジスタは、32 ビットの読み書き可能なレジスタで、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定するレジスタです。

GTDVm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GTDVU レジスタは、アップカウント時用です。GTDVD レジスタは、ダウンカウント時用です。

GTDVm レジスタに、GTDVm レジスタ≧ GTPR レジスタとなる値の設定は禁止です。

また、デッドタイム自動設定機能を使用する場合、波形の変化ポイントがカウント周期を超えるような設定をしないでください。GTCCRB レジスタを読むことで自動計算された逆相波形の変化ポイントがわかります。GTDVm レジスタを使用する場合は GTCCRB レジスタへの書き込みは禁止です。値を “0” にすれば、デッドタイムなしの波形が出力されます。

GTDTCR.TDFER ビットが “1” の場合、GTDVD レジスタへの書き込みは無効となり、GTDVD レジスタを読むと GTDVU レジスタの値が読めます。

24.2.29 汎用 PWM タイマデッドタイムバッファレジスタ m (GTDBm) (m = U, D)

アドレス
GPTW0.GTDBU 000C 2094h, GPTW1.GTDBU 000C 2194h, GPTW2.GTDBU 000C 2294h, GPTW3.GTDBU 000C 2394h, GPTW4.GTDBU 000C 2494h, GPTW5.GTDBU 000C 2594h, GPTW6.GTDBU 000C 2694h, GPTW7.GTDBU 000C 2794h, GPTW8.GTDBU 000C 2894h, GPTW9.GTDBU 000C 2994h,
GPTW0.GTDBD 000C 2098h, GPTW1.GTDBD 000C 2198h, GPTW2.GTDBD 000C 2298h, GPTW3.GTDBD 000C 2398h, GPTW4.GTDBD 000C 2498h, GPTW5.GTDBD 000C 2598h, GPTW6.GTDBD 000C 2698h, GPTW7.GTDBD 000C 2798h, GPTW8.GTDBD 000C 2898h, GPTW9.GTDBD 000C 2998h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTDBm レジスタは、32 ビットの読み書き可能なレジスタで、GTDVm レジスタのバッファレジスタとして動作します。GTDBm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

24.2.30 汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)

アドレス　GPTW0.GTSOS 000C 209Ch, GPTW1.GTSOS 000C 219Ch, GPTW2.GTSOS 000C 229Ch, GPTW3.GTSOS 000C 239Ch, GPTW4.GTSOS 000C 249Ch, GPTW5.GTSOS 000C 259Ch, GPTW6.GTSOS 000C 269Ch, GPTW7.GTSOS 000C 279Ch, GPTW8.GTSOS 000C 289Ch, GPTW9.GTSOS 000C 299Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS[1:0]	
リセット後の値	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	SOS[1:0]	出力保護機能ステータスビット	b1 b0 ００：通常動作 ０１：保護状態(谷もしくは山の転送でGTCCRAレジスタ＝0が設定された) １０：保護状態(谷の転送でGTCCRAレジスタ≧GTPRレジスタが設定された) １１：保護状態(山の転送でGTCCRAレジスタ≧GTPRレジスタが設定された)	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b9-b8	—	予約ビット	読んだ場合、その値は不定	R
b31-b10	—	予約ビット	読むと“0”が読めます	R

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイム自動設定されている (GTDTCR.TDE = 1) 場合のみ有効になります。

SOS[1:0] ビット (出力保護機能ステータスビット)

三角波 PWM モードでの出力保護機能のステータスを示します。出力保護機能の詳細については、「24.8.4　GTIOCnm 端子出力の出力保護機能 (n = 0 ～ 9、m = A, B)」を参照してください。

24.2.31 汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)

アドレス　GPTW0.GTSOTR 000C 20A0h, GPTW1.GTSOTR 000C 21A0h, GPTW2.GTSOTR 000C 22A0h, GPTW3.GTSOTR 000C 23A0h, GPTW4.GTSOTR 000C 24A0h, GPTW5.GTSOTR 000C 25A0h, GPTW6.GTSOTR 000C 26A0h, GPTW7.GTSOTR 000C 27A0h, GPTW8.GTSOTR 000C 28A0h, GPTW9.GTSOTR 000C 29A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOTR	出力保護機能一時解除ビット	0：保護状態を解除しない 1：保護状態を解除する	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSOTR レジスタは、出力保護状態時に GTIOCnB 端子出力 (n = 0 ～ 9) の保護状態を一時的に解除します。

GTSOS.SOS[1:0] = 10b (谷の転送で GTCCRA レジスタ≧ GTPR レジスタとなったことを示す保護状態) の場合のみ、解除することができます。他の保護状態の場合には解除されません。

SOTR ビット (出力保護機能一時解除ビット)

出力保護状態時に GTIOCnB 端子出力の保護状態を一時的に解除するかしないかを設定します。

SOTR ビットを “1” にすると、最初に現れる “ 谷 ” 以降の出力保護機能を解除します。また、SOTR ビットを “0” にすると、最初に現れる “ 谷 ” 以降の出力保護を再開します。

24.2.32 汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ (GTADSMR)

アドレス　GPTW0.GTADSMR 000C 20A4h, GPTW1.GTADSMR 000C 21A4h, GPTW2.GTADSMR 000C 22A4h, GPTW3.GTADSMR 000C 23A4h, GPTW4.GTADSMR 000C 24A4h, GPTW5.GTADSMR 000C 25A4h, GPTW6.GTADSMR 000C 26A4h, GPTW7.GTADSMR 000C 27A4h, GPTW8.GTADSMR 000C 28A4h, GPTW9.GTADSMR 000C 29A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	ADSMEN1	—	—	—	—	—	—	ADSMS1[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ADSMEN0	—	—	—	—	—	—	ADSMS0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADSMS0[1:0]	A/D変換開始要求信号モニタ0選択ビット	b1 b0 0 0：GTADTRAによるアップカウント時のA/D変換開始要求信号 0 1：GTADTRAによるダウンカウント時のA/D変換開始要求信号 1 0：GTADTRBによるアップカウント時のA/D変換開始要求信号 1 1：GTADTRBによるダウンカウント時のA/D変換開始要求信号	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ADSMEN0	A/D変換開始要求信号モニタ0出力許可ビット	0：A/D変換開始要求信号モニタ0出力禁止 1：A/D変換開始要求信号モニタ0出力許可	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	ADSMS1[1:0]	A/D変換開始要求信号モニタ1選択ビット	b17b16 0 0：GTADTRAによるアップカウント時のA/D変換開始要求信号 0 1：GTADTRAによるダウンカウント時のA/D変換開始要求信号 1 0：GTADTRBによるアップカウント時のA/D変換開始要求信号 1 1：GTADTRBによるダウンカウント時のA/D変換開始要求信号	R/W
b23-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	ADSMEN1	A/D変換開始要求信号モニタ1出力許可ビット	0：A/D変換開始要求信号モニタ1出力禁止 1：A/D変換開始要求信号モニタ1出力許可	R/W
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTADSMR レジスタは、フレーム同期化された A/D 変換開始要求信号のモニタを制御するレジスタです。

ADSMSk[1:0] ビット (A/D 変換開始要求信号モニタ k 選択ビット) (k = 0, 1)

GTADSMk 端子でモニタするフレーム同期化された A/D 変換開始要求信号を選択します。

ADSMENk ビット (A/D 変換開始要求信号モニタ k 出力許可ビット) (k = 0, 1)

GTADSMk 端子へのモニタ出力を許可 / 禁止します。

禁止に設定した場合、GTADSMk 端子は Low になります。

ADSMENk ビットが “1” のとき、ADSMSk[1:0] ビットで選択した A/D 変換開始要求信号が発生すると、GTADSMk 端子は High になり、選択した A/D 変換開始要求信号を生成するチャネルのタイマの周期の終わ

りで Low になります。カウンタが停止した場合、出力はカウント停止時の値を保持します。出力を Low にするには、ADSMENk ビットを “0” にしてください。

周期の終わりで A/D 変換開始要求信号が発生した場合、モニタ出力は A/D 変換開始要求信号の発生を優先し、次の周期の終わりまで出力は High になります。

複数のチャネルで同じ A/D 変換開始要求信号モニタ出力に出力許可した場合、OR された信号が出力されます。

24.2.33 汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ (GTEITC)

アドレス　GPTW0.GTEITC 000C 20A8h, GPTW1.GTEITC 000C 21A8h, GPTW2.GTEITC 000C 22A8h, GPTW3.GTEITC 000C 23A8h, GPTW4.GTEITC 000C 24A8h, GPTW5.GTEITC 000C 25A8h, GPTW6.GTEITC 000C 26A8h, GPTW7.GTEITC 000C 27A8h, GPTW8.GTEITC 000C 28A8h, GPTW9.GTEITC 000C 29A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EITCNT2[3:0]				EITCNT2IV[3:0]				EIVTT2[3:0]				—	—	EIVTC2[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EITCNT1[3:0]				—	—	—	—	EIVTT1[3:0]				—	—	EIVTC1[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	EIVTC1[1:0]	拡張割り込み間引きカウンタ1カウント要因選択ビット	b1 b0 ００：カウントしない(間引かない) ０１：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(山)をカウント １０：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷)をカウント １１：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷/山)両方をカウント	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	EIVTT1[3:0]	拡張割り込み間引き1間引き回数設定ビット	拡張割り込み間引き1間引き回数	R/W
b11-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	EITCNT1[3:0]	拡張割り込み間引きカウンタ1	拡張割り込み間引きカウンタ1	R
b17-b16	EIVTC2[1:0]	拡張割り込み間引きカウンタ2カウント要因選択ビット	b17b16 ００：カウントしない(間引かない) ０１：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(山)をカウント １０：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷)をカウント １１：のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷/山)両方をカウント	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b20	EIVTT2[3:0]	拡張割り込み間引き2間引き回数設定ビット	拡張割り込み間引き2間引き回数	R/W
b27-b24	EITCNT2IV[3:0]	拡張割り込み間引きカウンタ2初期値ビット	拡張割り込み間引きカウンタ2初期値	R/W (注1)
b31-b28	EITCNT2[3:0]	拡張割り込み間引きカウンタ2	拡張割り込み間引きカウンタ2	R

注1.　EIVTC2[1:0]ビットが“00b”の状態で、“00b”以外の値を書く場合のみ、書き込み可能です。

GTEITC レジスタは、GTCNT カウンタのオーバフロー / アンダフローをカウントして、割り込み、A/D 変換開始要求、バッファ転送それぞれ独立して間引く拡張割り込み間引き機能を設定するレジスタです。

GTITC レジスタによる割り込み間引きとは独立して動作します。

イベントカウント動作時は無効です。

EIVTCk[1:0] ビット (拡張割り込み間引き k カウント要因選択ビット) (k = 1, 2)

拡張割り込み間引きカウンタ k のカウント方法を選択します。

本ビットを設定しただけでは、割り込み、A/D 変換開始要求、バッファ転送は間引かれません。GTEITLI1 レジスタ、GTEITLI2 レジスタ、GTEITLB レジスタで、間引く対象となる割り込み、A/D 変換開

始要求、バッファ転送の間引き機能を個々に設定してください。

EIVTTk[3:0] ビット (拡張割り込み間引き k 間引き回数設定ビット) (k = 1, 2)

EIVTCk[1:0] ビットで選択したカウント要因の発生を区間の区切りとして、連続して間引く区間の回数を間引き回数として設定します。

EIVTTk[3:0] ビットが EITCNTk[3:0] ビットと一致した状態で、カウント要因が発生すると、EITCNTk[3:0] ビットは “0” に戻ります。

“0000b” の場合は、間引きを行いません。

EITCNT1[3:0] ビット (拡張割り込み間引きカウンタ 1)

EIVTC1[1:0] ビットによって選択されたカウント要因 (オーバフロー / アンダフロー / 山 / 谷) が発生するごとに 1 カウントアップします。

“0” から EIVTT1[3:0] ビットの範囲を周期的にカウントします。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタの停止時の値を保持します。

[“0” になる条件]

- EIVTC1[1:0] ビットに “00b” を書いたとき
- EIVTT1[3:0] ビットに “0000b” を書いたとき
- EIVTT1[3:0] ビットで設定した拡張割り込み間引き 1 間引き回数と EITCNT1[3:0] ビットの値が一致した状態で EIVTC1[1:0] ビットで選択したカウント要因 (オーバフロー / アンダフロー / 山 / 谷) が発生したとき

EITCNT2IV[3:0] ビット (拡張割り込み間引きカウンタ 2 初期値ビット)

拡張割り込み間引き 2 の初期値です。EITCNT2IV[3:0] ビットへの書き込みが行われるのは、EITCNT2[3:0] ビットがカウントしない設定 (EIVTC2[1:0] ビットが “00b”) の状態で、GTEITC レジスタへの書き込みが上位 16 ビットまたは 32 ビットでのアクセスによって行われ、EIVTC2[1:0] ビットへの書き込み値が “00b” 以外の場合だけです。EITCNT2IV[3:0] ビットの書き込みと同時に、EITCNT2IV[3:0] ビットへの書き込み値が、EITCNT2[3:0] ビットにも書き込まれます。

EITCNT2[3:0] ビットが、カウントを行う設定 (EIVTC2[1:0] ビットが “00b” 以外) の状態、またはカウントしない設定 (EIVTC2[1:0] ビットへの “00b” の書き込み) を行った場合には、EITCNT2IV[3:0] ビットへの書き込みは無視されます。

EIVTC2[1:0] ビットへの “00b” の書き込みによって、EITCNT2IV[3:0] ビットのリセットは行われません。

EITCNT2[3:0] ビット (拡張割り込み間引きカウンタ 2)

EIVTC2[1:0] ビットによって選択されたカウント要因 (オーバフロー / アンダフロー / 山 / 谷) が発生するごとに 1 カウントアップします。

“0” から EIVTT2[3:0] ビットの範囲を周期的にカウントします。

GTCNT カウンタが停止しても、値はクリアされず、GTCNT カウンタの停止時の値を保持します。

EITCNT2[3:0] ビットの初期値の設定は、拡張割り込み間引きカウンタ 2 がカウントしない設定 (EIVTC2[1:0] ビットが “00b”) の状態で、GTEITC レジスタへの書き込みが上位 16 ビットまたは 32 ビットのアクセスによって行われ、EIVTC2[1:0] ビットへの書き込み値が “00b” 以外の場合にのみ行われます。

初期値設定の書き込み時、EITCNT2IV[3:0] ビットへの書き込み値が、初期値として EITCNT2[3:0] ビットに書きこまれます。

[“0” になる条件]

- EIVTC2[1:0] ビットに “00b” を書いたとき
- EIVTT2[3:0] ビットに “0000b” を書いたとき

- EIVTC2[1:0] ビットが “00b” の状態で、EIVTC2[1:0] ビットに “00b” 以外の値、EITCNT2IV[3:0] ビットに “0000b” を同時に書き込んだ場合
- EIVTT2[3:0] ビットで設定した拡張割り込み間引き2間引き回数とEITCNT2[3:0] ビットの値が一致した状態で EIVTC2[1:0] ビットで選択したカウント要因 (オーバフロー / アンダフロー / 山 / 谷) が発生したとき

24.2.34 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1 (GTEITLI1)

アドレス　GPTW0.GTEITLI1 000C 20ACh, GPTW1.GTEITLI1 000C 21ACh, GPTW2.GTEITLI1 000C 22ACh, GPTW3.GTEITLI1 000C 23ACh, GPTW4.GTEITLI1 000C 24ACh, GPTW5.GTEITLI1 000C 25ACh, GPTW6.GTEITLI1 000C 26ACh, GPTW7.GTEITLI1 000C 27ACh, GPTW8.GTEITLI1 000C 28ACh, GPTW9.GTEITLI1 000C 29ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	EITLU[2:0]			—	EITLV[2:0]			—	EITLF[2:0]			—	EITLE[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EITLD[2:0]			—	EITLC[2:0]			—	EITLB[2:0]			—	EITLA[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	EITLA[2:0]	GTCCRA レジスタコンペアマッチ/インプットキャプチャ割り込み拡張間引き機能選択ビット	表24.5を参照してください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	EITLB[2:0]	GTCCRB レジスタコンペアマッチ/インプットキャプチャ割り込み拡張間引き機能選択ビット	表24.5を参照してください	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	EITLC[2:0]	GTCCRC レジスタコンペアマッチ割り込み拡張間引き機能選択ビット	表24.5を参照してください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b12	EITLD[2:0]	GTCCRD レジスタコンペアマッチ割り込み拡張間引き機能選択ビット	表24.5を参照してください	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	EITLE[2:0]	GTCCRE レジスタコンペアマッチ割り込み拡張間引き機能選択ビット	表24.5を参照してください	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22-b20	EITLF[2:0]	GTCCRF レジスタコンペアマッチ割り込み拡張間引き機能選択ビット	表24.5を参照してください	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	EITLV[2:0]	オーバフロー割り込み拡張間引き機能選択ビット	表24.5を参照してください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	EITLU[2:0]	アンダフロー割り込み拡張間引き機能選択ビット	表24.5を参照してください	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTEITLI1 レジスタは、コンペアマッチ / インプットキャプチャ、オーバフロー、アンダフローの各割り込みの拡張間引き機能を設定するレジスタです。

本レジスタを設定しただけでは、間引きを行いません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

GTITC レジスタによる割り込み間引きとは独立して動作します。

イベントカウント動作時は無効です。

EITLm[2:0] ビット (GTCCRm レジスタコンペアマッチ / インプットキャプチャ割り込み拡張間引き機能選択ビット) (m = A, B)

GTCCRm レジスタのコンペアマッチ / インプットキャプチャ割り込み (GTCIm) を間引く拡張割り込み間引き機能を選択します。

表 24.5 を参照してください。

EITLx[2:0] ビット (GTCCRx レジスタコンペアマッチ割り込み拡張間引き機能選択ビット) (x = C, D, E, F)

GTCCRx レジスタのコンペアマッチ割り込み (GTCIx) を間引く拡張割り込み間引き機能を選択します。

表 24.5 を参照してください。

EITLV[2:0] ビット (オーバフロー割り込み拡張間引き機能選択ビット)

オーバフロー割り込みを間引く拡張割り込み間引き機能を選択します。

表 24.5 を参照してください。

EITLU[2:0] ビット (アンダフロー割り込み拡張間引き機能選択ビット)

アンダフロー割り込みを間引く拡張割り込み間引き機能を選択します。

表 24.5 を参照してください。

表24.5 GTEITLI1 レジスタの機能選択ビットの設定

EITLy[2:0] ビット	機能
0 0 0	拡張割り込み間引きを行わない
0 0 1	拡張割り込み間引きカウンタ 1 の値が“0”以外の期間で割り込みを間引く (EITCNT1 ビット = 0 の期間では割り込みを出力する)
0 1 0	拡張割り込み間引きカウンタ 2 の値が“0”以外の期間で割り込みを間引く (EITCNT2 ビット = 0 の期間では割り込みを出力する)
0 1 1	拡張割り込み間引きカウンタ 1 または拡張割り込み間引きカウンタ 2 の値が“0”以外の期間で割り込みを間引く (EITCNT1 ビット = EITCNT2 ビット = 0 の期間では割り込みを出力する)
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外の期間で割り込みを間引く (EITCNT1 ビット = EIVTT1 ビットの期間では割り込みを出力する)
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外の期間で割り込みを間引く (EITCNT2 ビット = EIVTT2 ビットの期間では割り込みを出力する)
1 1 1	拡張割り込み間引きカウンタ 1 または拡張割り込み間引きカウンタ 2 の値が間引き回数以外の期間で割り込みを間引く (EITCNT1 ビット = EIVTT1 ビットかつ EITCNT2 ビット = EIVTT2 ビットの期間では割り込みを出力する)

y = A, B, C, D, E, F, V, U、k = 1, 2

注. 対象となる間引きカウンタがカウントしない設定 (EIVTCk[1:0] ビット = 00b または EIVTTk[3:0] ビット = 0000b) となっている場合、間引きを行いません。

注. EITLy[2:0] ビットが、“011b” または “111b” の場合、間引きカウンタのどちらか一方がカウントしない設定となっている場合は、間引きを行いません。

24.2.35 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2 (GTEITLI2)

アドレス　GPTW0.GTEITLI2 000C 20B0h, GPTW1.GTEITLI2 000C 21B0h, GPTW2.GTEITLI2 000C 22B0h, GPTW3.GTEITLI2 000C 23B0h, GPTW4.GTEITLI2 000C 24B0h, GPTW5.GTEITLI2 000C 25B0h, GPTW6.GTEITLI2 000C 26B0h, GPTW7.GTEITLI2 000C 27B0h, GPTW8.GTEITLI2 000C 28B0h, GPTW9.GTEITLI2 000C 29B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	EADTBL[2:0]			—	EADTAL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	EADTAL[2:0]	GTADTRA A/D変換開始要求拡張間引き機能選択ビット	表24.6を参照してください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	EADTBL[2:0]	GTADTRB A/D変換開始要求拡張間引き機能選択ビット	表24.6を参照してください	R/W
b31-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTEITLI2 レジスタは、A/D 変換開始要求の拡張間引き機能を選択するレジスタです。

本レジスタを設定しただけでは、間引きを行いません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

GTITC レジスタによる割り込み間引きとは独立して動作します。

イベントカウント動作時は無効です。

EADTmL[2:0] ビット (GTADTRm A/D 変換開始要求拡張間引き機能選択ビット) (m = A, B)

GTADTRm レジスタのコンペアマッチでの A/D 変換開始要求を間引く拡張割り込み間引き機能を選択します。

表 24.6 を参照してください。

表24.6 GTEITLI2レジスタの機能選択ビットの設定

EADTmL[2:0]ビット	機能
0 0 0	拡張割り込み間引きを行わない
0 0 1	拡張割り込み間引きカウンタ1の値が“0”以外の期間でA/D変換開始要求を間引く (EITCNT1ビット=0の期間ではA/D変換開始要求を出力する)
0 1 0	拡張割り込み間引きカウンタ2の値が“0”以外の期間でA/D変換開始要求を間引く (EITCNT2ビット=0の期間ではA/D変換開始要求を出力する)
0 1 1	拡張割り込み間引きカウンタ1または拡張割り込み間引きカウンタ2の値が“0”以外の期間でA/D変換開始要求を間引く(EITCNT1ビット=EITCNT2 ビット=0の期間ではA/D変換開始要求を出力する)
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ1の値が間引き回数以外の期間でA/D変換開始要求を間引く (EITCNT1ビット=EIVTT1ビットの期間ではA/D変換開始要求を出力する)
1 1 0	拡張割り込み間引きカウンタ2の値が間引き回数以外の期間でA/D変換開始要求を間引く (EITCNT2ビット=EIVTT2ビットの期間ではA/D変換開始要求を出力する)
1 1 1	拡張割り込み間引きカウンタ1または拡張割り込み間引きカウンタ2の値が間引き回数以外の期間でA/D変換開始要求を間引く(EITCNT1ビット=EIVTT1ビットかつEITCNT2ビット=EIVTT2ビットの期間ではA/D変換開始要求を出力する)

m = A, B、k = 1, 2

注. 対象となる間引きカウンタがカウントしない設定(EIVTCk[1:0]ビット=00bまたはEIVTTk[3:0]ビット=0000b)となっている場合、間引きを行いません。

注. EADTmL[2:0]ビットが、“011b”または“111b”の場合、間引きカウンタのどちらか一方がカウントしない設定となっている場合は、間引きを行いません。

24.2.36 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ (GTEITLB)

アドレス　GPTW0.GTEITLB 000C 20B4h, GPTW1.GTEITLB 000C 21B4h, GPTW2.GTEITLB 000C 22B4h, GPTW3.GTEITLB 000C 23B4h, GPTW4.GTEITLB 000C 24B4h, GPTW5.GTEITLB 000C 25B4h, GPTW6.GTEITLB 000C 26B4h, GPTW7.GTEITLB 000C 27B4h, GPTW8.GTEITLB 000C 28B4h, GPTW9.GTEITLB 000C 29B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	EBTLDVD[2:0]			—	EBTLDVU[2:0]			—	EBTLADB[2:0]			—	EBTLADA[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	EBTLPR[2:0]			—	EBTLCB[2:0]			—	EBTLCA[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	EBTLCA[2:0]	GTCCRA レジスタのバッファ転送拡張間引き機能選択ビット	表24.7を参照してください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	EBTLCB[2:0]	GTCCRB レジスタのバッファ転送拡張間引き機能選択ビット	表24.7を参照してください	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	EBTLPR[2:0]	GTPR レジスタのバッファ転送拡張間引き機能選択ビット	表24.7を参照してください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	EBTLADA[2:0]	GTADTRA レジスタのバッファ転送拡張間引き機能選択ビット	表24.7を参照してください	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22-b20	EBTLADB[2:0]	GTADTRB レジスタのバッファ転送拡張間引き機能選択ビット	表24.7を参照してください	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	EBTLDVU[2:0]	GTDVU レジスタのバッファ転送拡張間引き機能選択ビット	表24.7を参照してください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	EBTLDVD[2:0]	GTDVD レジスタのバッファ転送拡張間引き機能選択ビット	表24.7を参照してください	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTEITLB レジスタは、バッファ転送の拡張間引き機能を選択するレジスタです。

本レジスタを設定しただけでは、間引きを行いません。対応する拡張割り込み間引きカウンタがカウント動作するように GTEITC レジスタを設定してください。

GTITC レジスタによる割り込み間引きとは独立して動作します。

イベントカウント動作時は無効です。

EBTLCA[2:0] ビット (GTCCRA レジスタのバッファ転送拡張間引き機能選択ビット)

GTCCRA レジスタのバッファ転送 (GTCCRA レジスタ、GTCCRC レジスタ、GTCCRD レジスタ、テンポラリレジスタ A 間の転送) を間引く拡張バッファ転送間引き機能を選択します。

GTCCRA レジスタのバッファ転送の拡張間引きは、カウント停止中の GTBER.CCRSWT ビットによる強制バッファ転送に対しても有効です。GTCCRA レジスタの強制バッファ転送を行う場合は、GTCCRA バッファ転送が拡張バッファ転送間引きを行わない状態で行ってください。

EBTLCB[2:0] ビット (GTCCRB レジスタのバッファ転送拡張間引き機能選択ビット)

GTCCRB レジスタのバッファ転送 (GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタ、テンポラリレジスタ B 間の転送) を間引く拡張バッファ転送間引き機能を選択します。

GTCCRB レジスタのバッファ転送の拡張間引きは、カウント停止中の GTBER.CCRSWT ビットによる強制バッファ転送に対しても有効です。GTCCRB レジスタの強制バッファ転送を行う場合は、GTCCRB バッファ転送が拡張バッファ転送間引きを行わない状態で行ってください。

EBTLPR[2:0] ビット (GTPR レジスタのバッファ転送拡張間引き機能選択ビット)

GTPR レジスタのバッファ転送 (GTPR レジスタ、GTPBR レジスタ、GTPDBR レジスタ間の転送) を間引く拡張バッファ転送間引き機能を選択します。

EBTLADm[2:0] ビット (GTADTRm レジスタのバッファ転送拡張間引き機能選択ビット) (m = A, B)

GTADTRm レジスタのバッファ転送 (GTADTRm レジスタ、GTADTBRm レジスタ、GTADTDBRm レジスタ間の転送) を間引く拡張バッファ転送間引き機能を選択します。

EBTLDVm[2:0] ビット (GTDVm レジスタのバッファ転送拡張間引き機能選択ビット) (m = U, D)

GTDVm レジスタのバッファ転送 (GTDVm レジスタ、GTDBm レジスタ間の転送) を間引く拡張バッファ転送間引き機能を選択します。

表24.7 GTEITLB レジスタの機能選択ビットの設定

EBTLx[2:0] ビット	機能
0 0 0	拡張割り込み間引きを行わない
0 0 1	拡張割り込み間引きカウンタ 1 の値が“0”以外の期間でバッファ転送を間引く (EITCNT1 ビット = 0 の期間ではバッファ転送する)
0 1 0	拡張割り込み間引きカウンタ 2 の値が“0”以外の期間でバッファ転送を間引く (EITCNT2 ビット = 0 の期間ではバッファ転送する)
0 1 1	拡張割り込み間引きカウンタ 1 または拡張割り込み間引きカウンタ 2 の値が“0”以外の期間でバッファ転送を間引く (EITCNT1 ビット = EITCNT2 ビット = 0 の期間ではバッファ転送する)
1 0 0	設定禁止
1 0 1	拡張割り込み間引きカウンタ 1 の値が間引き回数以外の期間でバッファ転送を間引く (EITCNT1 ビット = EIVTT1 ビットの期間ではバッファ転送する)
1 1 0	拡張割り込み間引きカウンタ 2 の値が間引き回数以外の期間でバッファ転送を間引く (EITCNT2 ビット = EIVTT2 ビットの期間ではバッファ転送する)
1 1 1	拡張割り込み間引きカウンタ 1 または拡張割り込み間引きカウンタ 2 の値が間引き回数以外の期間でバッファ転送を間引く (EITCNT1 ビット = EIVTT1 ビットかつ EITCNT2 ビット = EIVTT2 ビットの期間ではバッファ転送する)

x = CA, CB, PR, ADA, ADB, DVU, DVD、k = 1, 2

注. 対象となる間引きカウンタがカウントしない設定 (EIVTCk[1:0] ビット = 00b または EIVTTk[3:0] ビット = 0000b) となっている場合、間引きを行いません。

注. EBTLx[2:0] ビットが、“011b”または“111b”の場合、間引きカウンタのどちらか一方がカウントしない設定となっている場合は、間引きを行いません。

24.2.37 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ (GTSECSR)

アドレス　GPTW0.GTSECSR 000C 20D0h, GPTW1.GTSECSR 000C 21D0h, GPTW2.GTSECSR 000C 22D0h, GPTW3.GTSECSR 000C 23D0h, GPTW4.GTSECSR 000C 24D0h, GPTW5.GTSECSR 000C 25D0h, GPTW6.GTSECSR 000C 26D0h, GPTW7.GTSECSR 000C 27D0h, GPTW8.GTSECSR 000C 28D0h, GPTW9.GTSECSR 000C 29D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SECSEL9	SECSEL8	SECSEL7	SECSEL6	SECSEL5	SECSEL4	SECSEL3	SECSEL2	SECSEL1	SECSEL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SECSEL0	チャネル0動作許可ビット同時制御チャネル選択ビット	0：同時制御禁止 1：同時制御許可	R/W
b1	SECSEL1	チャネル1動作許可ビット同時制御チャネル選択ビット		R/W
b2	SECSEL2	チャネル2動作許可ビット同時制御チャネル選択ビット		R/W
b3	SECSEL3	チャネル3動作許可ビット同時制御チャネル選択ビット		R/W
b4	SECSEL4	チャネル4動作許可ビット同時制御チャネル選択ビット		R/W
b5	SECSEL5	チャネル5動作許可ビット同時制御チャネル選択ビット		R/W
b6	SECSEL6	チャネル6動作許可ビット同時制御チャネル選択ビット		R/W
b7	SECSEL7	チャネル7動作許可ビット同時制御チャネル選択ビット		R/W
b8	SECSEL8	チャネル8動作許可ビット同時制御チャネル選択ビット		R/W
b9	SECSEL9	チャネル9動作許可ビット同時制御チャネル選択ビット		R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSECSR レジスタは、GTSECR レジスタによる動作許可ビットの更新の対象となるチャネルを選択するレジスタです。

GTSECSR レジスタのビット位置がチャネル番号を表します。各チャネルの GTSECSR レジスタは、共通のレジスタであり、どのチャネルの GTSECSR レジスタを更新しても、“1” を書き込んだビット位置のチャネルが GTSECR レジスタによって動作許可ビットが同時制御される対象チャネルとなります。

GTSECSR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SECSELn ビット (動作許可ビット同時制御チャネル選択ビット) (n = 0 ～ 9)

チャネル n の動作許可ビットの同時制御を許可 / 禁止します。

“1” の場合に同時制御を許可し、“0” の場合に禁止します。

24.2.38 汎用 PWM タイマ動作許可ビット同時制御レジスタ (GTSECR)

アドレス　GPTW0.GTSECR 000C 20D4h, GPTW1.GTSECR 000C 21D4h, GPTW2.GTSECR 000C 22D4h, GPTW3.GTSECR 000C 23D4h, GPTW4.GTSECR 000C 24D4h, GPTW5.GTSECR 000C 25D4h, GPTW6.GTSECR 000C 26D4h, GPTW7.GTSECR 000C 27D4h, GPTW8.GTSECR 000C 28D4h, GPTW9.GTSECR 000C 29D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SBDDD	SBDAD	SBDPD	SBDCD	—	—	—	—	SBDDE	SBDAE	SBDPE	SBDCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SBDCE	GTCCR レジスタのバッファ動作同時許可ビット	0：GTCCR レジスタのバッファ動作を同時許可しない 1：GTCCR レジスタのバッファ動作を同時許可する	R/W
b1	SBDPE	GTPR レジスタのバッファ動作同時許可ビット	0：GTPR レジスタのバッファ動作を同時許可しない 1：GTPR レジスタのバッファ動作を同時許可する	R/W
b2	SBDAE	GTADTR レジスタのバッファ動作同時許可ビット	0：GTADTR レジスタのバッファ動作を同時許可しない 1：GTADTR レジスタのバッファ動作を同時許可する	R/W
b3	SBDDE	GTDV レジスタのバッファ動作同時許可ビット	0：GTDV レジスタのバッファ動作を同時許可しない 1：GTDV レジスタのバッファ動作を同時許可する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SBDCD	GTCCR レジスタのバッファ動作同時禁止ビット	0：GTCCR レジスタのバッファ動作を同時禁止しない 1：GTCCR レジスタのバッファ動作を同時禁止する	R/W
b9	SBDPD	GTPR レジスタのバッファ動作同時禁止ビット	0：GTPR レジスタのバッファ動作を同時禁止しない 1：GTPR レジスタのバッファ動作を同時禁止する	R/W
b10	SBDAD	GTADTR レジスタのバッファ動作同時禁止ビット	0：GTADTR レジスタのバッファ動作を同時禁止しない 1：GTADTR レジスタのバッファ動作を同時禁止する	R/W
b11	SBDDD	GTDV レジスタのバッファ動作同時禁止ビット	0：GTDV レジスタのバッファ動作を同時禁止しない 1：GTDV レジスタのバッファ動作を同時禁止する	R/W
b31-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSECR レジスタは、GTSECSR レジスタによって設定されたチャネルの動作許可ビットの値を同時に更新するレジスタです。

どのチャネルの GTSECR レジスタを更新しても、GTSECSR レジスタで “1” となっているすべてのビット位置のチャネルの動作許可ビットを同時に更新します。同じ動作許可ビットに対して、GTSECR レジスタの許可ビットと禁止ビットを同時に “1” にすることは禁止です。

“1” を書いたビットは、自動的に “0” に戻ります。GTSECR レジスタを読むと “0” が読めます。

GTSECR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SBDCE ビット (GTCCR レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTBER.BD[0] ビットに同時に “0” を設定し、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を許可します。

SBDCE ビットと SBDCD ビットに同時に “1” を設定することは禁止です。

SBDPE ビット (GTPR レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTBER.BD[1] ビットに同時に “0” を設定し、GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を許可します。

SBDPE ビットと SBDPD ビットに同時に “1” を設定することは禁止です。

SBDAE ビット (GTADTR レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTBER.BD[2] ビットに同時に “0” を設定し、GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を許可します。

SBDAE ビットと SBDAD ビットに同時に “1” を設定することは禁止です。

SBDDE ビット (GTDV レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTBER.BD[3] ビットに同時に “0” を設定し、GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。

SBDDE ビットと SBDDD ビットに同時に “1” を設定することは禁止です。

SBDCD ビット (GTCCR レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの GTBER.BD[0] ビットに同時に “1” を設定し、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

SBDCE ビットと SBDCD ビットに同時に “1” を設定することは禁止です。

SBDPD ビット (GTPR レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの BD[1] ビットに同時に “1” を設定し、GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

SBDPE ビットと SBDPD ビットに同時に “1” を設定することは禁止です。

SBDAD ビット (GTADTR レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの BD[2] ビットに同時に “1” を設定し、GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。

SBDAE ビットと SBDAD ビットに同時に “1” を設定することは禁止です。

SBDDD ビット (GTDV レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャネルの BD[3] ビットに同時に “1” を設定し、GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を禁止します。

SBDDE ビットと SBDDD ビットに同時に “1” を設定することは禁止です。

24.3 動作説明

24.3.1 基本動作

各チャネルのタイマは、カウントクロックまたはハードウェア要因によるサイクルカウント動作を行います。GTCNT カウンタは、アップカウント動作、ダウンカウント動作が可能です。タイマ周期は GTPR レジスタによって制御されます。

GTCNT カウンタ値が GTCCRA, GTCCRB レジスタの値と一致すると、それぞれ GTIOCnA, GTIOCnB 端子出力 (n = 0 ～ 9) を変化させることができます。また、GTCCRA, GTCCRB レジスタをハードウェア要因によるインプットキャプチャレジスタとして使用することができます。

GTCCRC, GTCCRD レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRE, GTCCRF レジスタは GTCCRB レジスタのバッファレジスタとして動作させることができます。

24.3.1.1 カウンタの動作

(1) カウンタのスタート / ストップ

各チャネルのカウンタは、GTCR.CST ビットを “1” にするとカウント動作を開始し、“0” にすると停止します。

CST ビットの値は、下記の要因で変更することが可能です。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが “1” の状態での GTSTR レジスタのチャネル番号に対応するビットへの “1” 書き込み
- GTPSR.CSTOP ビットが “1” の状態での GTSTP レジスタのチャネル番号に対応するビットへの “1” 書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因

(2) サイクルカウント動作 (カウントクロックによるアップカウント時)

各チャネルのカウンタは、GTUPSR レジスタおよび GTDNSR レジスタが “0000 0000h” の状態で、CST ビットを “1” にするとアップカウントを開始します。GTCNT カウンタ値が GTPR レジスタ値から “0000 0000h” になる (オーバフロー) と、GTINTAD.GTINTPR[0] ビットが “1” ならば、GTCIV 割り込み要求が発生します。GTCNT カウンタはオーバフロー後、“0000 0000h” からアップカウントを継続します。

図 24.2 にカウントクロックによるアップカウント時のサイクルカウント動作例を示します。

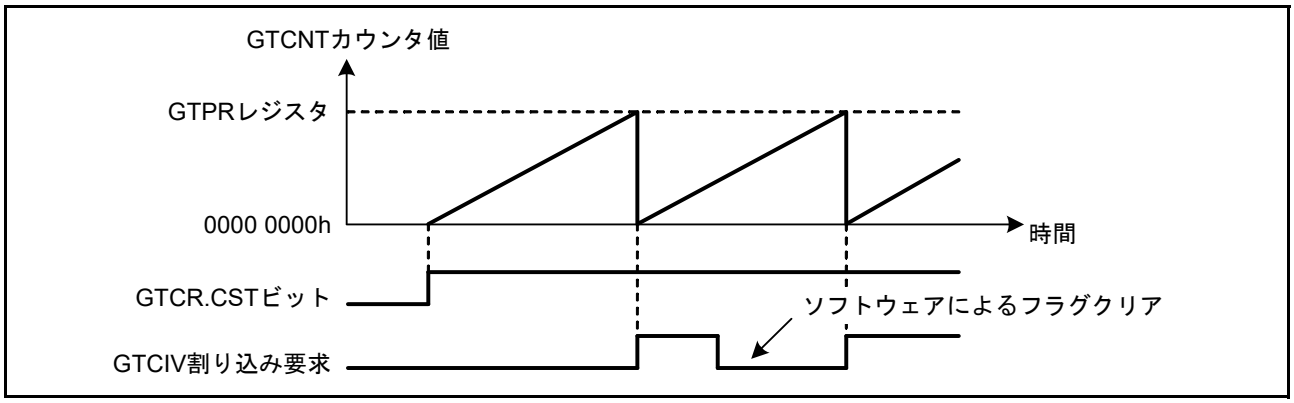


図 24.2 サイクルカウント動作例 (カウントクロックによるアップカウント時)

図 24.3 にアップカウント時のサイクルカウント動作例を示します。

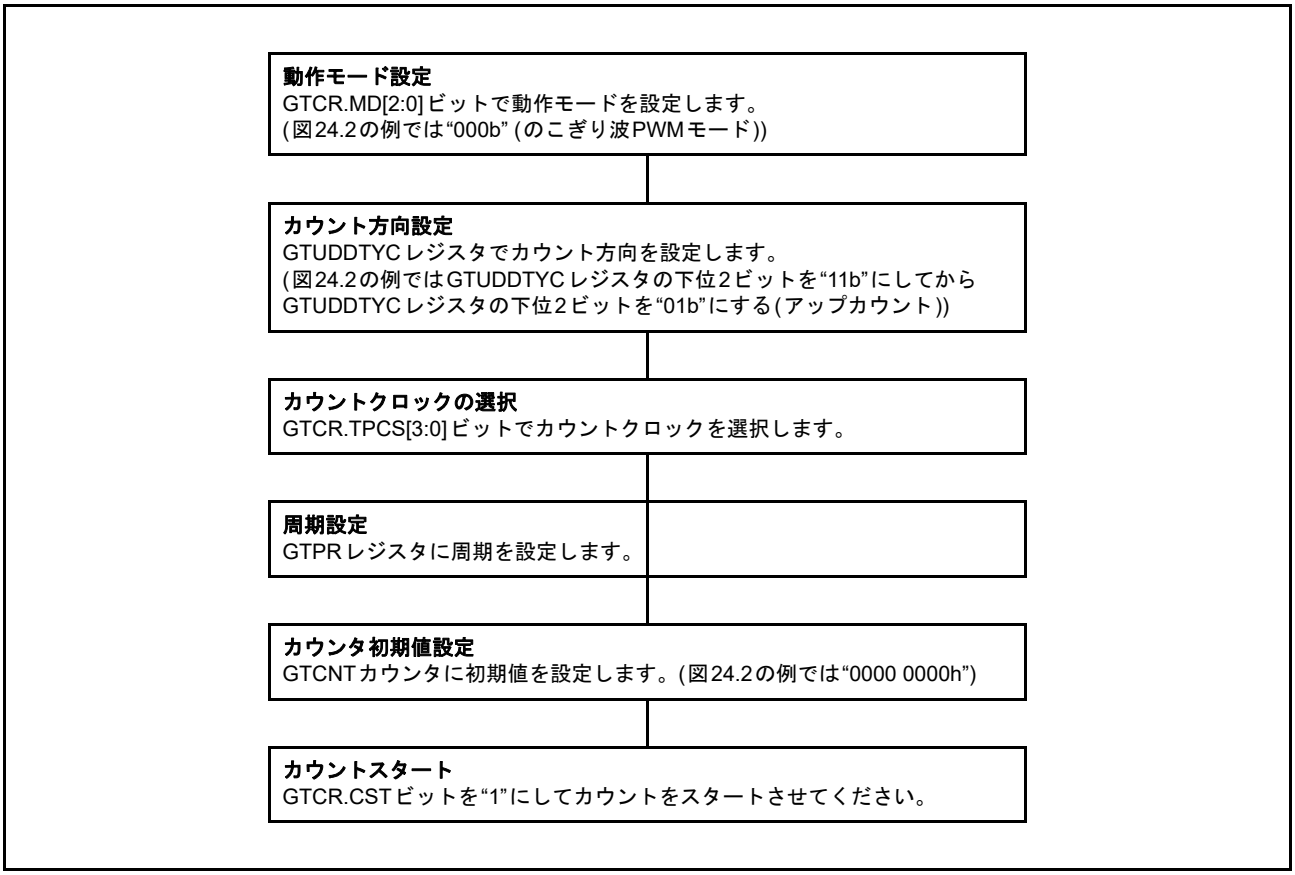


図 24.3 サイクルカウント動作設定例 (カウントクロックによるアップカウント時)

(3) サイクルカウント動作 (カウントクロックによるダウンカウント時)

各チャネルのカウンタは、GTUPSR レジスタおよび GTDNSR レジスタが “0000 0000h” の状態で、GTUDDTYC.UD ビットを設定することで、ダウンカウントを行うことが可能です。GTCNT カウンタ値が “0000 0000h” から GTPR レジスタ値になる (アンダフロー) と、GTINTAD.GTINTPR[1] ビットが “1” ならば、GTCIU 割り込み要求が発生します。GTCNT カウンタはアンダフロー後、GTPR レジスタ値からダウンカウントを継続します。

図 24.4 にカウントクロックによるダウンカウント時のサイクルカウント動作例を示します。

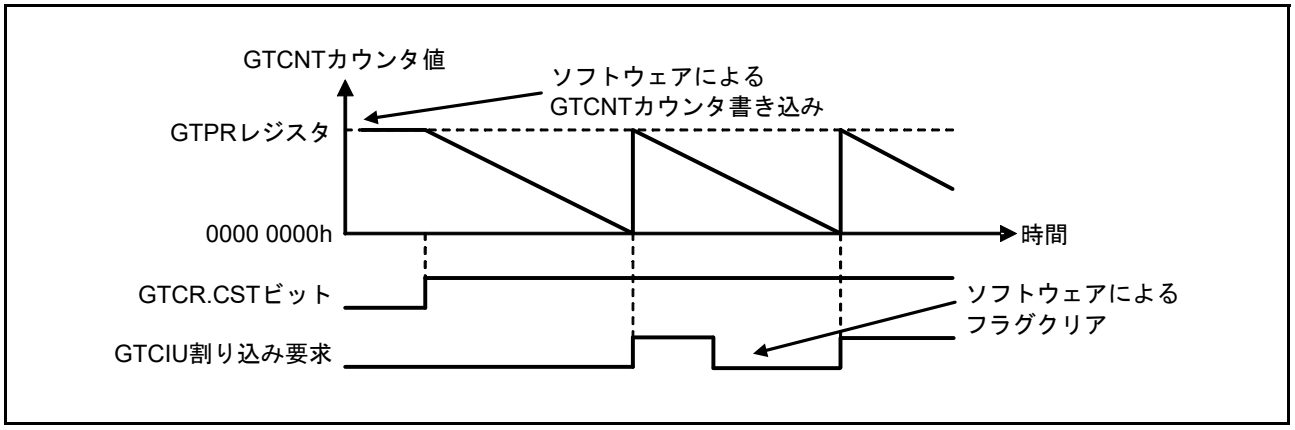


図 24.4　サイクルカウント動作例 (カウントクロックによるダウンカウント時)

図 24.5 にカウントクロックによるダウンカウント時のサイクルカウント動作設定例を示します。

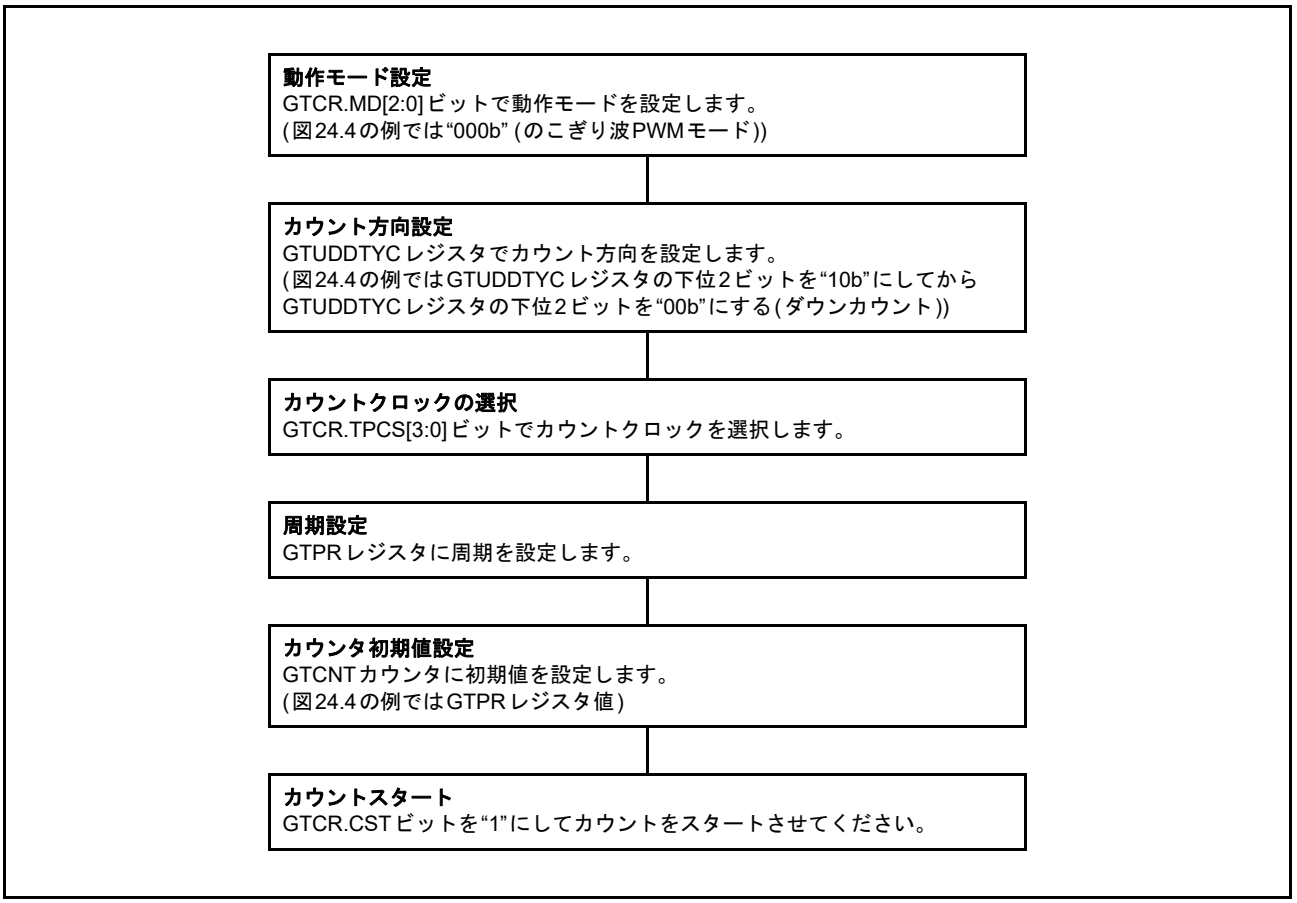


図 24.5　サイクルカウント動作設定例 (カウントクロックによるダウンカウント時)

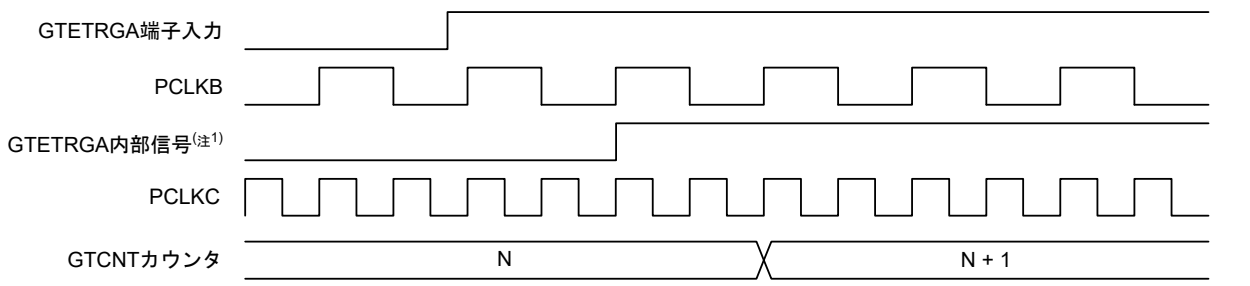
(4) イベントカウント動作 (ハードウェア要因によるアップカウント時)

各チャネルのカウンタは、GTUPSR レジスタを設定することで、ハードウェア要因によるアップカウント動作を行う事が可能です。GTUPSR レジスタが設定されている場合、GTCR.TPCS[3:0] ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで設定したカウント方向は無効です。アップカウントのハードウェア要因とダウンカウントのハードウェア要因が同時に発生した場合、GTCNT カウンタ値は変化しません。

ハードウェア要因によるアップカウント動作におけるオーバフローによる動作は、カウントクロックによるサイクルカウント動作と同様です。

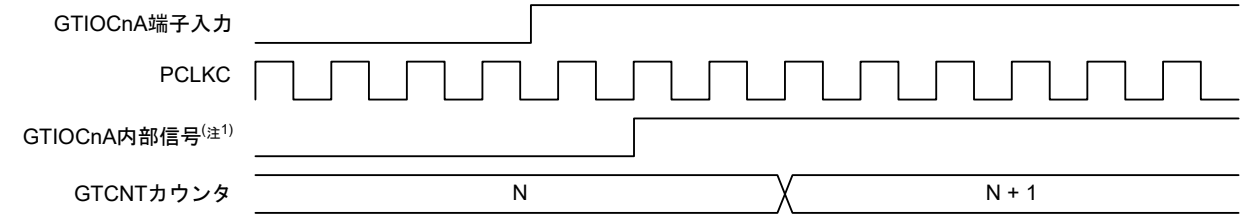
ハードウェア要因によるアップカウントを行うためには、GTCR.CST ビットを “1” にして、カウント動作を開始してください。カウント動作の開始は、TPCS[3:0] ビットで選択されたカウントクロックに同期しているため、CST ビットを “1” にした後、1 カウントクロック期間は、アップカウント動作を行う事はできません。CST ビットを “1” にした 1 PCLKC 後からアップカウントを行うためには、TPCS[3:0] ビットを “0000b” にしてください。

図 24.6 ～図 24.8 にハードウェア要因によるアップカウント動作例を示します。



注1. POEGでGTETRGA端子のデジタルノイズフィルタを未使用とした場合におけるGPTWへの入力信号を表しています。

図 24.6 イベントカウント動作例 (GTETRGA 端子入力の立ち上がりによるアップカウント)



注1. デジタルノイズフィルタを未使用とした場合。

図 24.7 イベントカウント動作例 (GTIOCnA 端子入力の立ち上がりによるアップカウント)

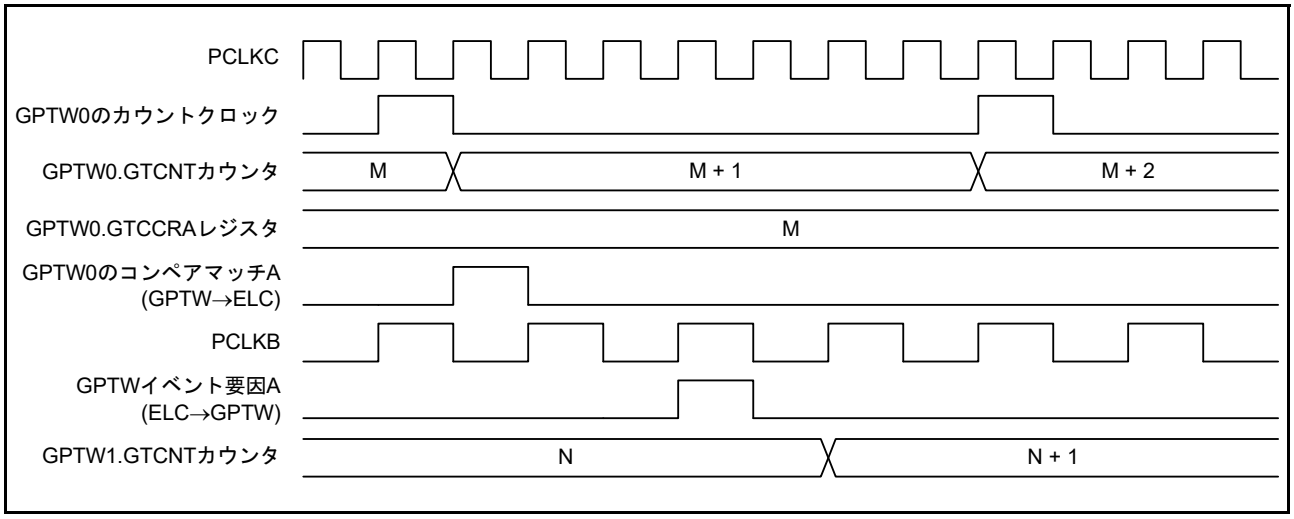


図 24.8 イベントカウント動作例 (ELCA イベント入力によるアップカウント)

図 24.9 にハードウェア要因によるアップカウント時のサイクルカウント動作設定例を示します。

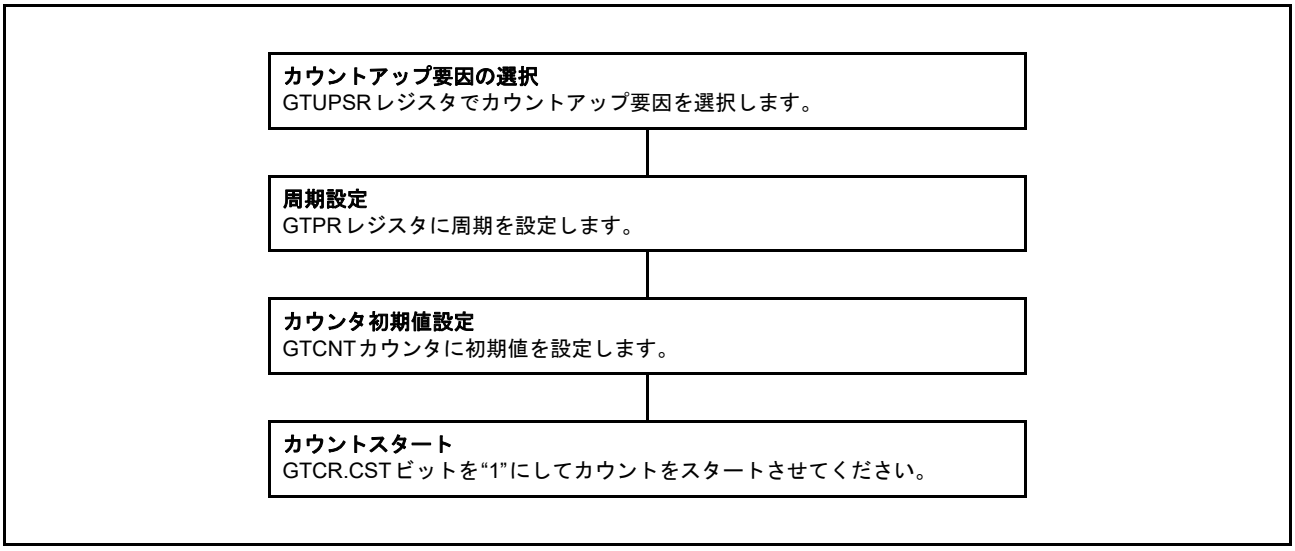


図 24.9 イベントカウント動作設定例 (ハードウェア要因によるアップカウント時)

(5) イベントカウント動作 (ハードウェア要因によるダウンカウント時)

各チャネルのカウンタは、GTDNSR レジスタを設定することで、ハードウェア要因によるダウンカウント動作を行う事が可能です。GTDNSR レジスタが設定されている場合、GTCR.TPCS[3:0] ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで設定したカウント方向は無効です。アップカウントのハードウェア要因とダウンカウントのハードウェア要因が同時に発生した場合、GTCNT カウンタ値は変化しません。

ハードウェア要因によるダウンカウント動作におけるアンダフローによる動作は、カウントクロックによるサイクルカウント動作と同様です。

ハードウェア要因によるダウンカウントを行うためには、GTCR.CST ビットを “1” にして、カウント動作を開始してください。カウント動作の開始は、TPCS[3:0] ビットで選択されたカウントクロックに同期しているため、CST ビットを “1” にした後、1 カウントクロック期間は、ダウンカウント動作を行う事はできません。CST ビットを “1” にした 1 PCLKC 後からダウンカウントを行うためには、TPCS[3:0] ビットを “0000b” にしてください。

図 24.10 にハードウェア要因によるダウンカウント動作例を示します。

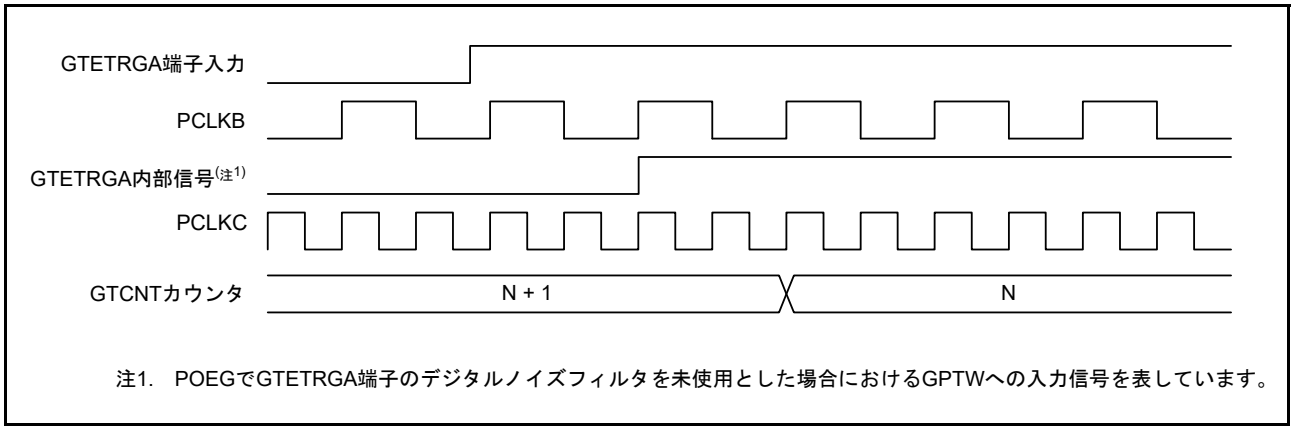


図 24.10　イベントカウント動作例 (GTETRGA 端子入力の立ち上がりによるダウンカウント)

図 24.11 にハードウェア要因によるダウンカウント時のサイクルカウント動作設定例を示します。

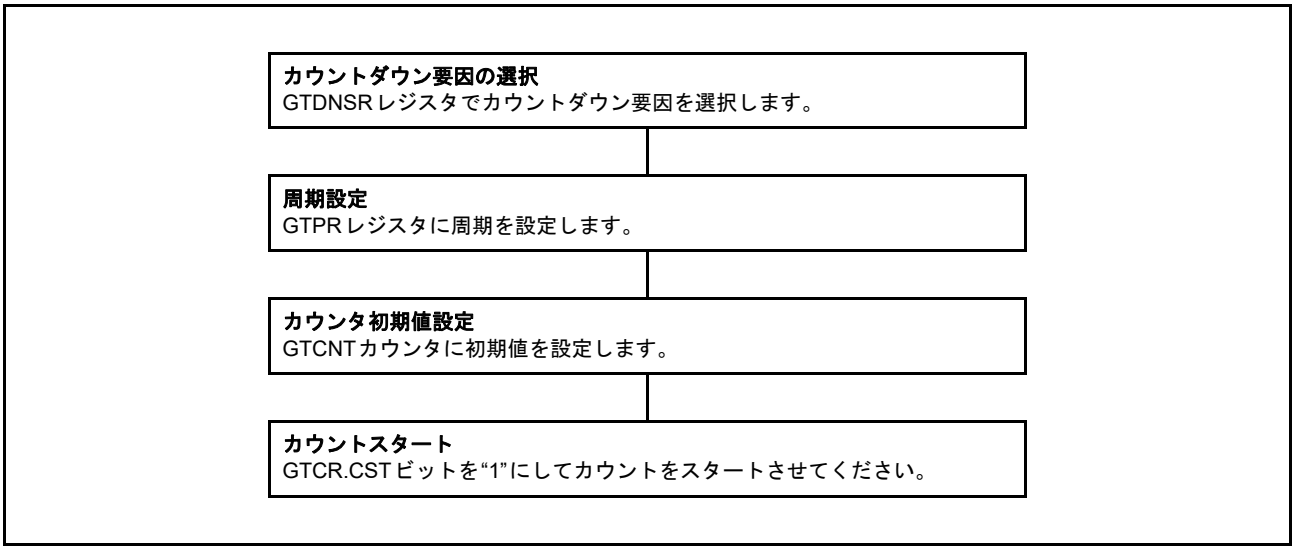


図 24.11　イベントカウント動作設定例 (ハードウェア要因によるダウンカウント時)

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT カウンタへの書き込み
- GTCSR.CCLRビットが“1”の状態でのGTCLRレジスタのチャネル番号に対応するビットへの“1”書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント中 (CST = 1 の時) の書き込みは無効です。

GTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、カウンタが動作中 (GTCR.CST ビット = 1) の場合でも、停止中 (CST ビット = 0) の場合でも実行することが可能です。GTCR.MD[2:0] ビットでのこぎり波を選択し、カウント方向フラグがダウンカウント (GTST.TUCF フラグ = 0) の状態での GTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、カウンタが動作中でも停止中でも、GTCNT カウンタ値は GTPR レジスタの値になります。それ以外の設定の場合は “0000 0000h” になります。

イベントカウント動作に設定されている場合 (GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが “1” の状態の場合)、GTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、クリア要因発生直後に行います (PCLKC で動作します)。それ以外の設定の場合は、GTCR.TPCS[3:0] ビットで選択されたカウントクロックに同期してクリアを行います。

24.3.1.2 コンペアマッチによる波形出力機能

GTCNT カウンタ値が GTCCRA, GTCCRB レジスタの値と一致することをコンペアマッチと呼びます。コンペアマッチ発生後のカウントクロック (イベントカウントを含む) のタイミングで GTIOCnA, GTIOCnB 端子出力 (n = 0 ～ 9) を Low 出力 /High 出力 / トグル出力にすることができます。

また、GTPR レジスタにより決まる " 周期の終わり " でも、GTIOCnA、GTIOCnB 端子出力を Low 出力 / High 出力 / トグル出力にすることができます。" 周期の終わり " とは、以下を示します。

- のこぎり波でアップカウントの場合:GTCNT カウンタ値が GTPR レジスタ値から "0000 0000h" になるとき (オーバフロー)
- のこぎり波でダウンカウントの場合:GTCNT カウンタ値が "0000 0000h" から GTPR レジスタ値になるとき (アンダフロー)
- のこぎり波で GTCNT カウンタクリアの場合
- 三角波の場合 : GTCNT カウンタ値が "0000 0000h" から "0000 0001h" になるとき (谷)

(1) Low 出力 /High 出力

図 24.12 に GTCCRA, GTCCRB レジスタとのコンペアマッチによる Low 出力 /High 出力動作例を示します。

GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子を High 出力、GPTW0.GTCCRB レジスタとのコンペアマッチにより GTIOC0B 端子を Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

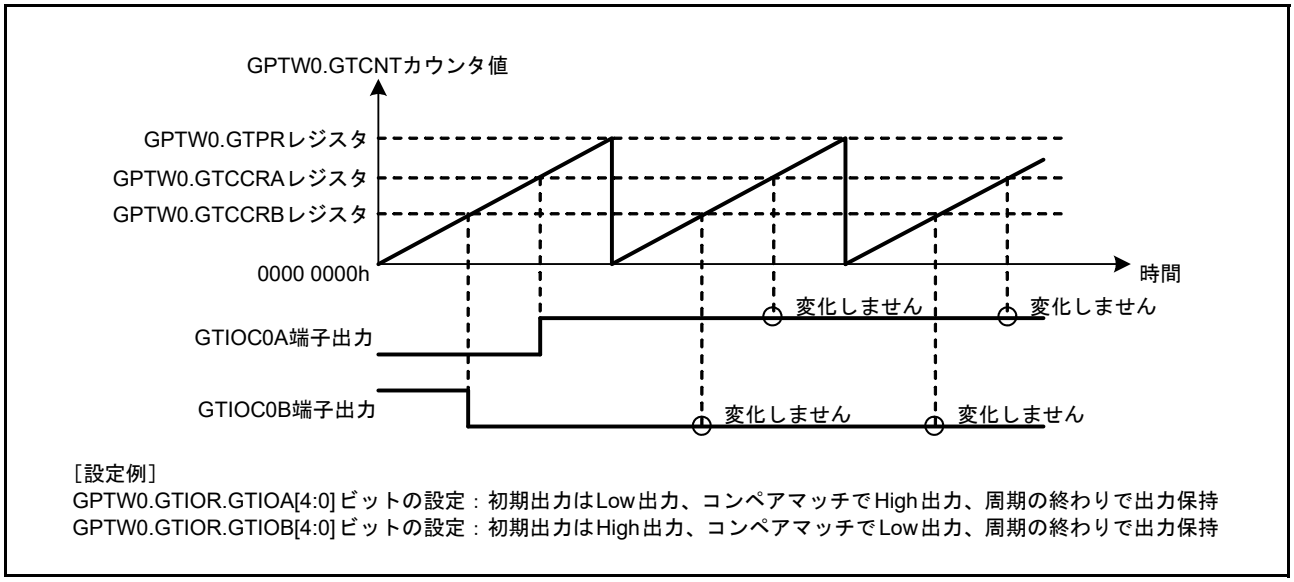


図 24.12 Low 出力 /High 出力動作例

図 24.13 に Low 出力 /High 出力動作設定例を示します。

動作モード設定
GTCR.MD[2:0]ビットで動作モードを設定します。
(図24.12の例では“000b” (のこぎり波PWMモード))

カウント方向設定
GTUDDTYCレジスタでカウント方向(アップ/ダウン)を設定します。
(図24.12の例ではGTUDDTYCレジスタ下位2ビットを“11b”にしてからGTUDDTYCレジスタ下位2ビットを“01b”にする(アップカウント))

カウントクロックの選択
GTCR.TPCS[3:0]ビットでカウントクロックを選択します。

周期設定
GTPRレジスタに周期を設定します。

カウンタ初期値設定
GTCNTカウンタに初期値を設定します。

GTIOCnm端子機能設定
GTIOR.GTIOA[4:0], GTIOB[4:0]ビットにGTIOCnm端子の機能を設定します。
(図24.12の例ではGTIOA[4:0]ビット= 00010b、GTIOB[4:0]ビット= 10001b)

GTIOCnm端子出力許可設定 (注1)
GTIOR.OAE, OBEビットで、GTIOCnm端子出力許可を設定します。

コンペアマッチ値設定 (注1)
GTCCRA, GTCCRBレジスタにコンペアマッチ値を設定します。

カウントスタート
GTCR.CSTビットを“1”にしてカウントをスタートさせてください。

n = 0 ～ 9, m = A, B

注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

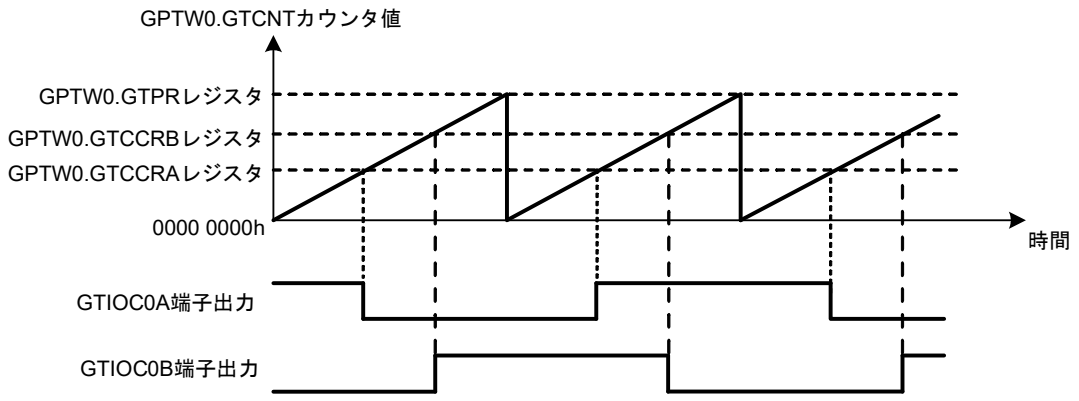
図 24.13　Low 出力 /High 出力動作設定例

(2) トグル出力

図 24.14、図 24.15 に GTCCRA, GTCCRB レジスタとのコンペアマッチによるトグル出力動作例を示します。

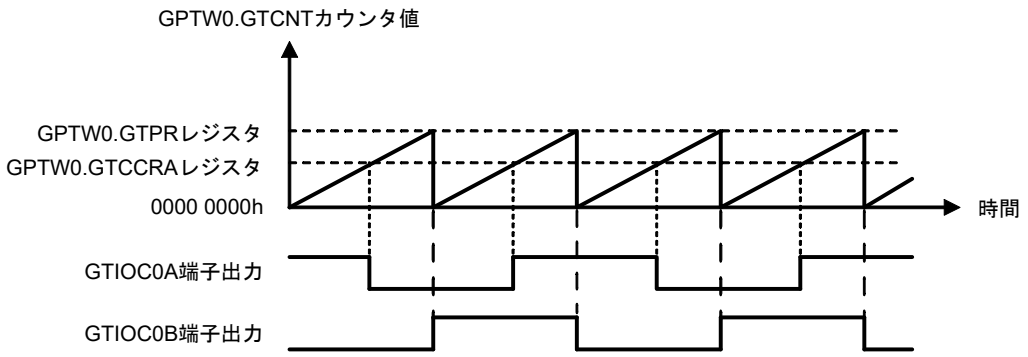
図 24.14 は、GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCCRA, GTCCRB レジスタとのコンペアマッチによりそれぞれ GTIOC0A, GTIOC0B 端子をトグル出力となるように設定した場合の例です。

図 24.15 は、GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子をトグル出力、周期の終わりで GTIOC0B 端子をトグル出力となるように設定した場合の例です。



［設定例］
GPTW0.GTIOR.GTIOA[4:0] ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GPTW0.GTIOR.GTIOB[4:0] ビットの設定：初期出力はLow出力、コンペアマッチでトグル出力、周期の終わりで出力保持

図 24.14 トグル出力動作例 (1)



［設定例］
GPTW0.GTIOR.GTIOA[4:0] ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GPTW0.GTIOR.GTIOB[4:0] ビットの設定：初期出力はLow出力、コンペアマッチで出力保持、周期の終わりでトグル出力

図 24.15 トグル出力動作例 (2)

図 24.16 にトグル出力動作設定例を示します。

図 24.16　トグル出力動作設定例

24.3.1.3　インプットキャプチャ機能

GTICASR, GTICBSR レジスタで選択したハードウェア要因を検出して、GTCNT カウンタの値をそれぞれ GTCCRA, GTCCRB レジスタに転送することができます。

図 24.17 にインプットキャプチャ機能の動作例を示します。

GPTW0.GTCNT カウンタをアップカウントし、GTIOC0A 端子入力の両エッジでインプットキャプチャ、GTIOC0B 端子入力の立ち上がりエッジでインプットキャプチャとなるように設定した場合の例です。

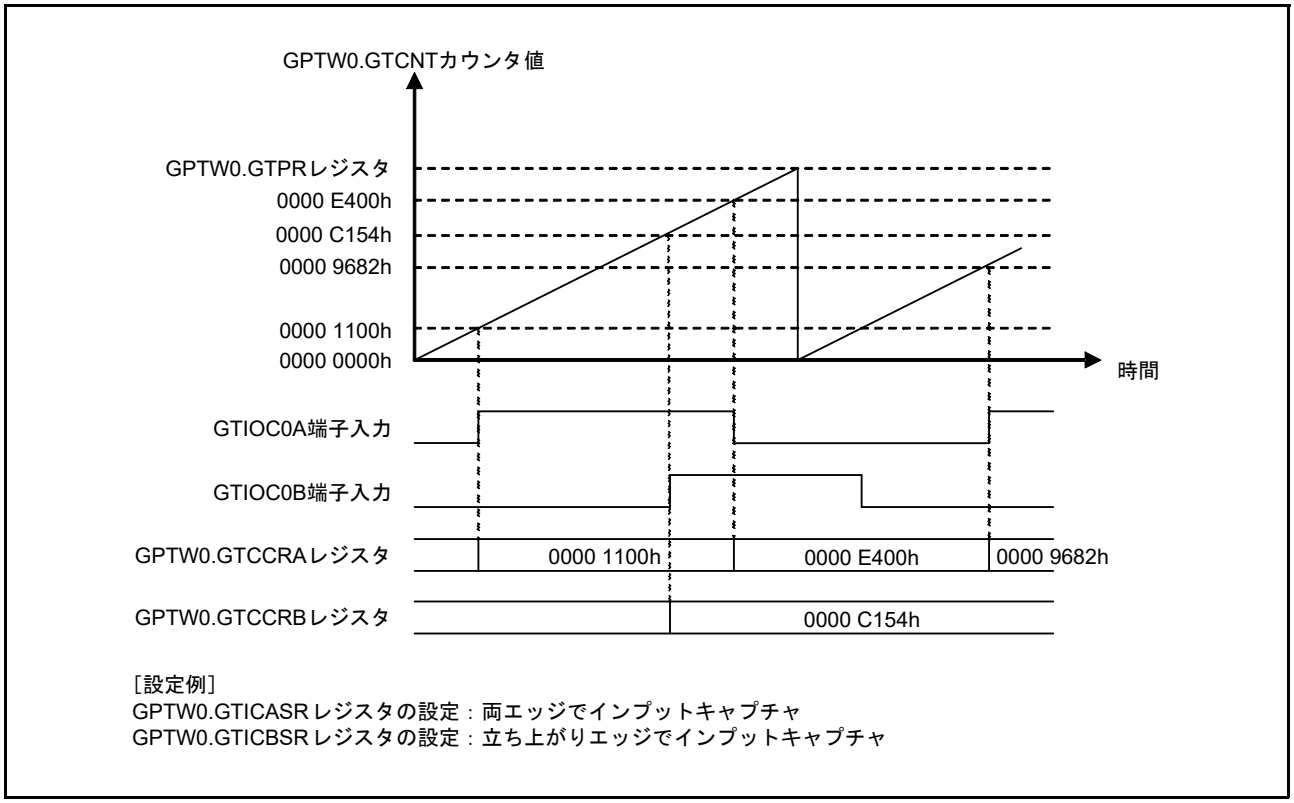


図 24.17　インプットキャプチャ動作例

図 24.18 にインプットキャプチャ動作設定例を示します。

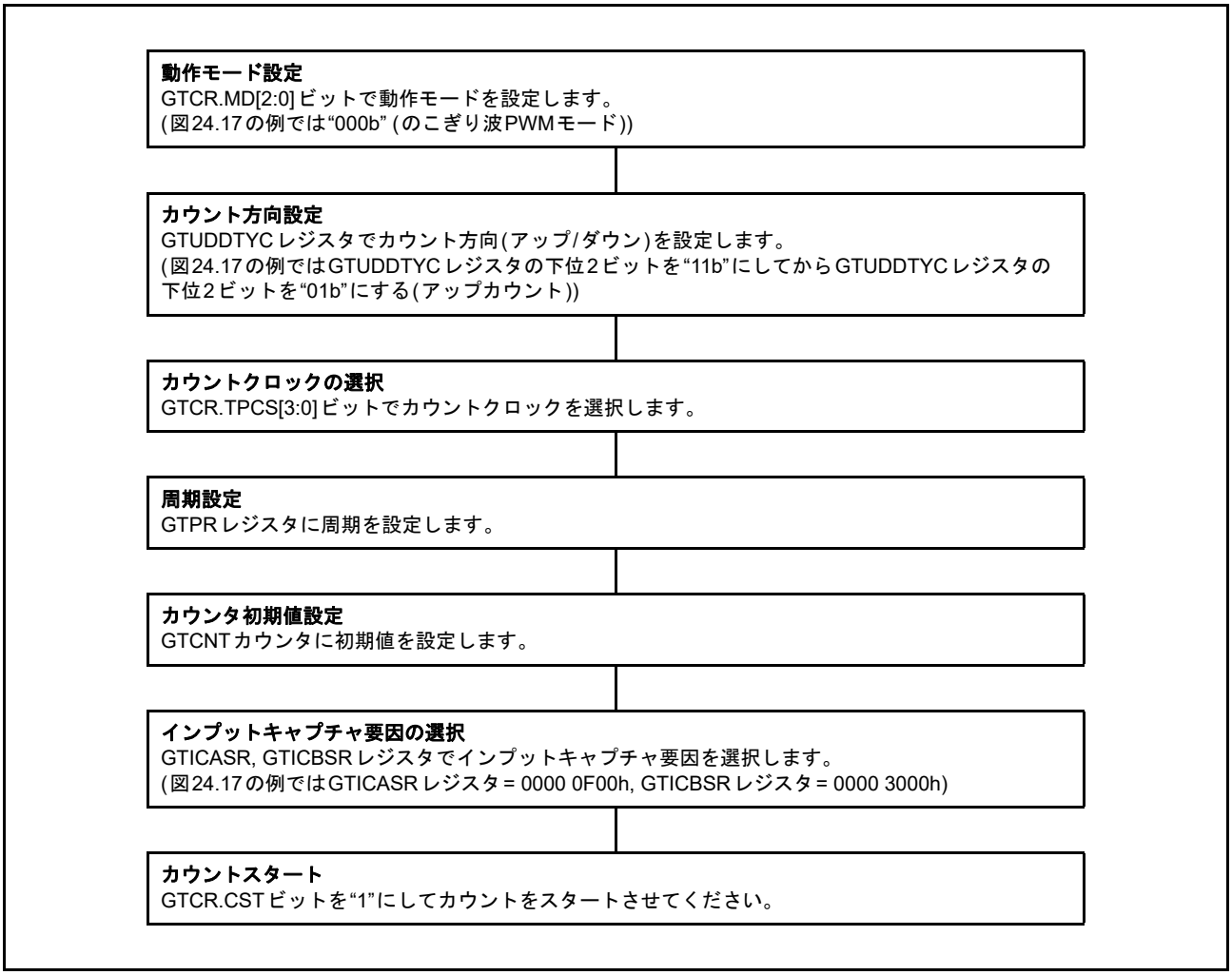
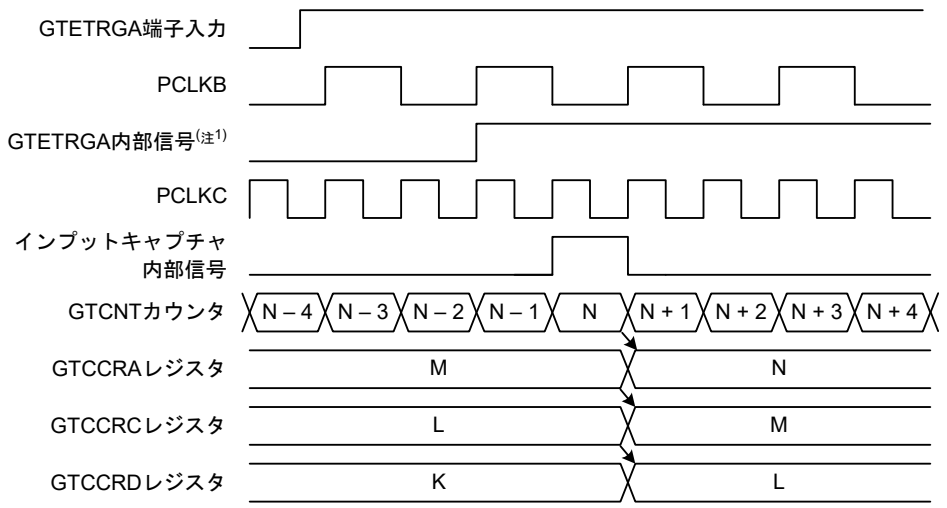


図 24.18　インプットキャプチャ動作設定例

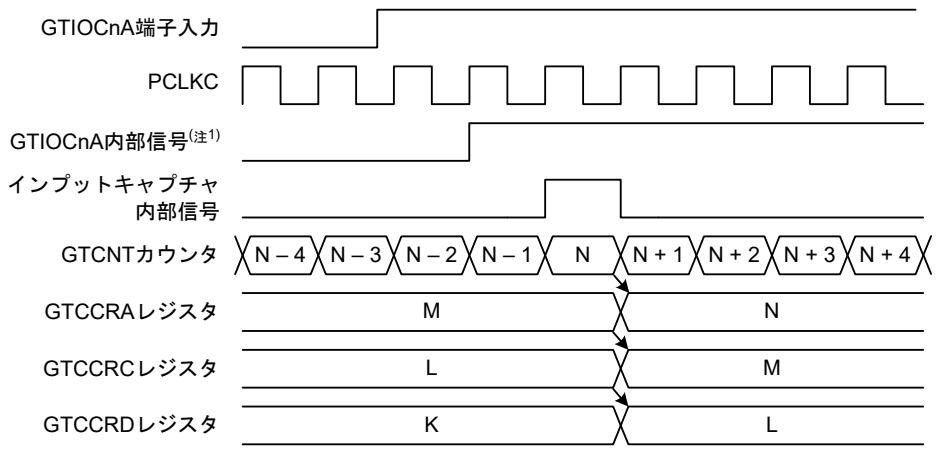
図 24.19 に GTETRGA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例を示します。



注1. POEGでGTETRGA端子のデジタルノイズフィルタを未使用とした場合におけるGPTWへの入力信号を表しています。

図 24.19 GTETRGA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例

図 24.20 に GTIOCnA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例を示します。



注1. デジタルノイズフィルタを未使用とした場合。

図 24.20 GTIOCnA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例

図 24.21 に ELCA イベント入力によるインプットキャプチャ動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCCRA レジスタへのインプットキャプチャ動作を行った場合の例です。PCLKC に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。

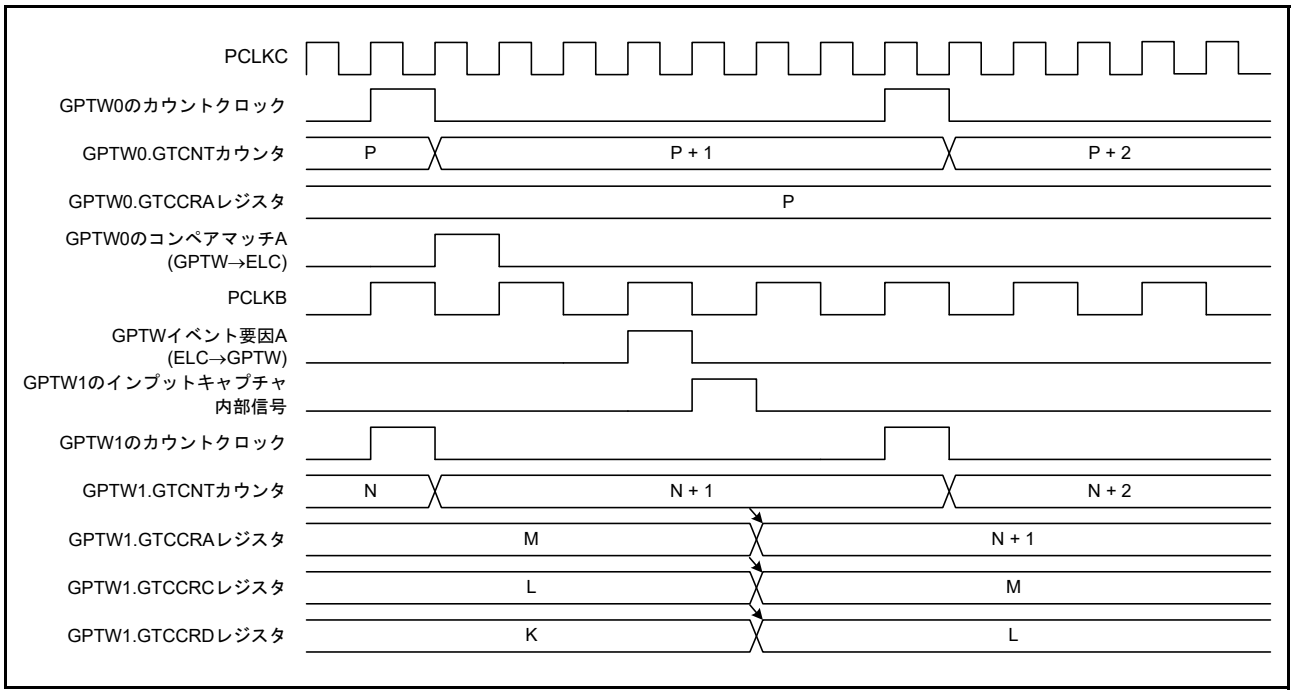


図 24.21　ELCA イベント入力によるインプットキャプチャ動作タイミング例

24.3.2 バッファ動作

GTBER レジスタを設定することにより、以下のバッファ動作が可能です。

- GTPR レジスタと GTPBR、GTPDBR レジスタを組み合わせたバッファ動作
- GTCCRA レジスタと GTCCRC、GTCCRD レジスタを組み合わせたバッファ動作
- GTCCRB レジスタと GTCCRE、GTCCRF レジスタを組み合わせたバッファ動作
- GTADTRA レジスタと GTADTBRA、GTADTDBRA レジスタを組み合わせたバッファ動作
- GTADTRB レジスタと GTADTBRB、GTADTDBRB レジスタを組み合わせたバッファ動作

また、GTDTCR レジスタを設定することにより、以下のバッファ動作も可能です。

- GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作
- GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作

24.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは GTPR レジスタのバッファレジスタ、GTPDBR レジスタは GTPBR レジスタのバッファレジスタ (GTPR レジスタのダブルバッファレジスタ) として動作します。

バッファ転送のタイミングは、のこぎり波およびイベントカウントの場合はオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時) または三角波の場合は谷となります。

のこぎり波およびイベントカウントの場合は、カウント動作中、下記に示すカウンタクリアが発生した場合でも、バッファ転送を行います。

- ハードウェア要因クリア
  (GTCSR.CSGTRGAR、CSGTRGAF、CSGTRGBR、CSGTRGBF、CSGTRGCR、CSGTRGCF、CSGTRGDR、CSGTRGDF、CSCARBL、CSCARBH、CSCAFBL、CSCAFBH、CSCBRAL、CSCBRAH、CSCBFAL、CSCBFAH、CSELCA、CSELCB、CSELCC、CSELCD、CSELCE、CSELCF、CSELCG、CSELCH ビットで選択したクリア要因)
- ソフトウェアによるクリア
  (GTCSR.CCLR ビットが “1” の状態で、GTCLR.CCLRn ビットに “1” を書いた場合) (n = 0 ～ 9)

GTPR レジスタをダブルバッファ動作させる場合には GTBER.PR[1:0] ビットに “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

図 24.22 ～**図 24.24** に GTPR レジスタのバッファ動作例を、**図 24.25** に GTPR レジスタのバッファ動作設定例を示します。

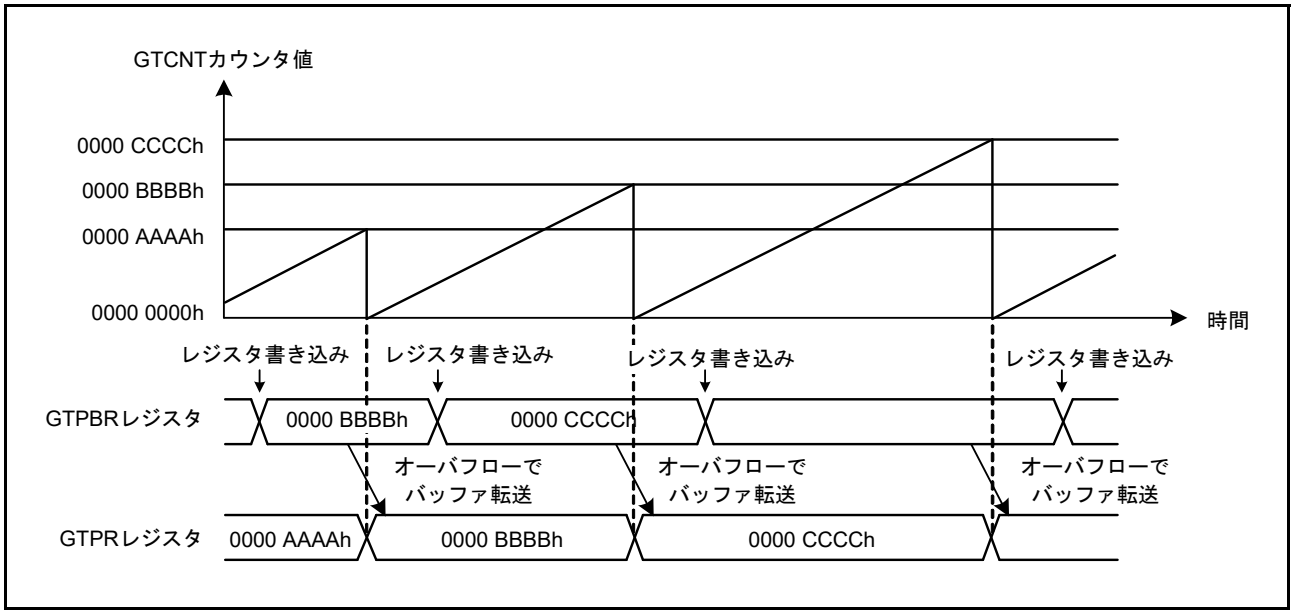


図 24.22 GTPR レジスタのバッファ動作例 (のこぎり波でアップカウントの場合)

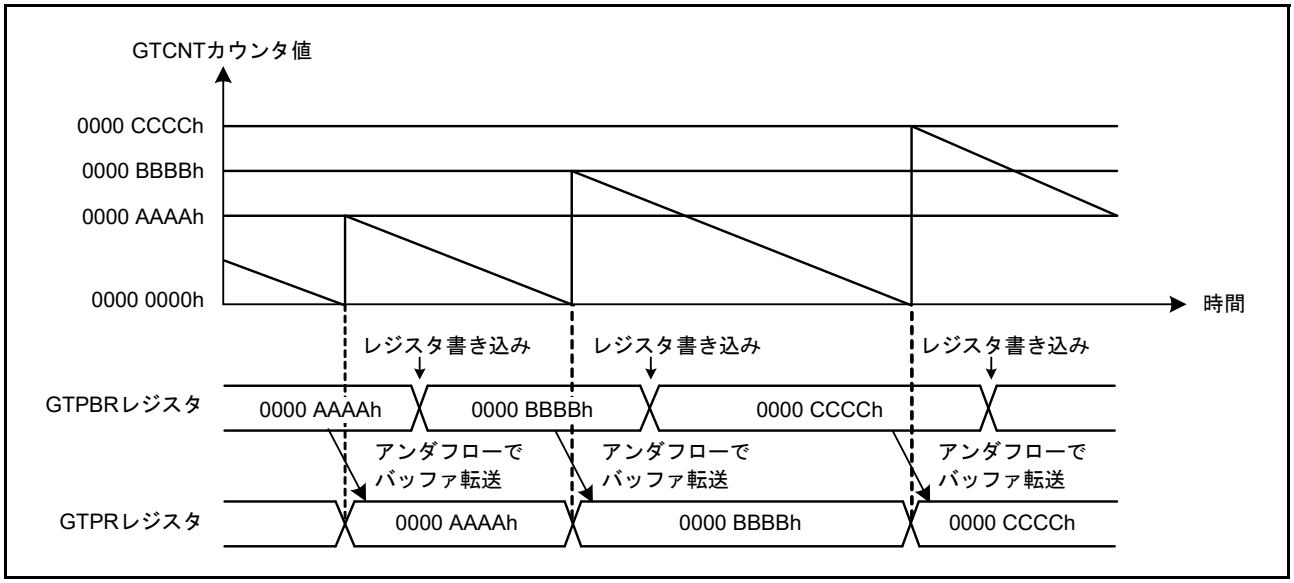


図 24.23 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

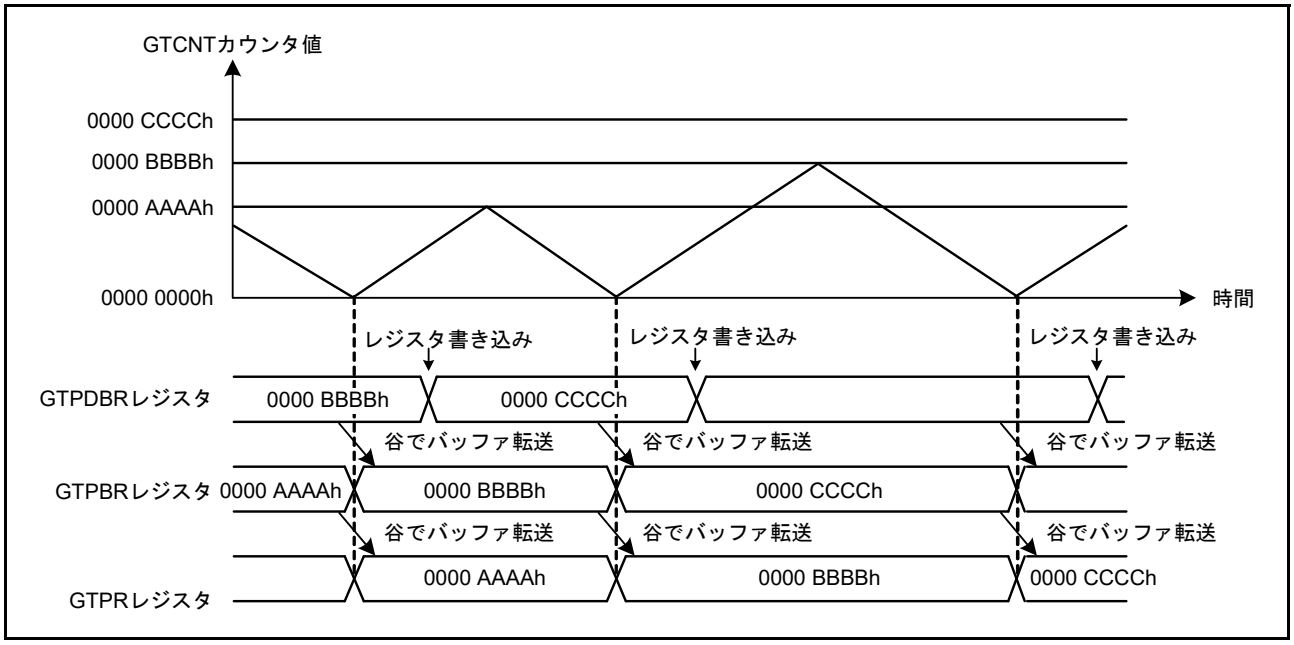


図 24.24　GTPR レジスタのダブルバッファ動作例 (三角波の場合)

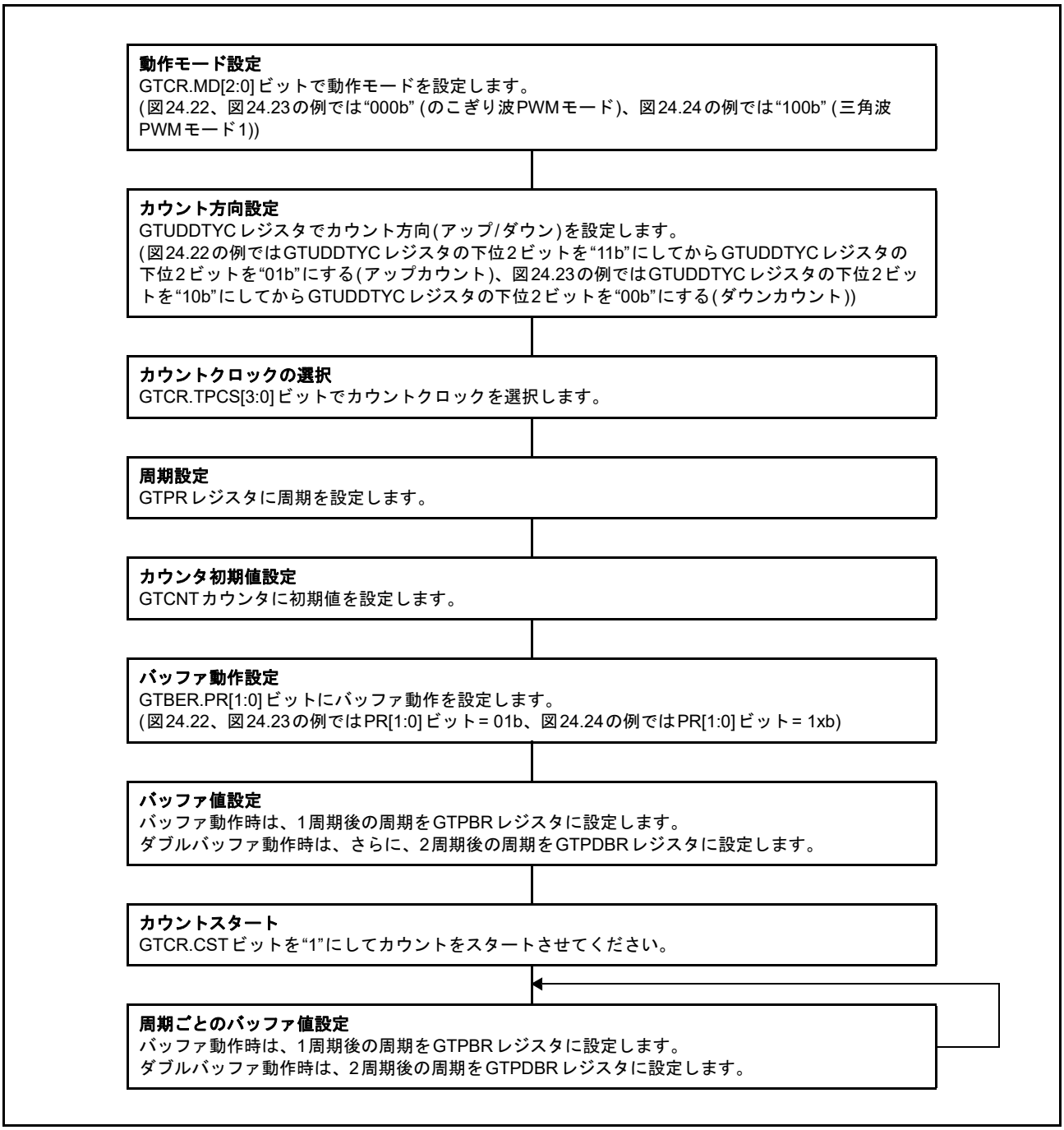


図 24.25 GTPR レジスタのバッファ動作設定例

24.3.2.2 GTCCRA, GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRD レジスタは GTCCRC レジスタのバッファレジスタ (GTCCRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTCCRE レジスタは GTCCRB レジスタのバッファレジスタ、GTCCRF レジスタは GTCCRE レジスタのバッファレジスタ (GTCCRB レジスタのダブルバッファレジスタ) として動作します。

GTCCRA, GTCCRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.CCRA[1:0]、CCRB[1:0] ビットに “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

以下、アウトプットコンペア動作時、インプットキャプチャ動作時のバッファ動作について説明します。

(1) GTCCRA, GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送は、下記の 3 ケースがあります。

- オーバフロー / アンダフローによるバッファ転送
  のこぎり波およびイベントカウント動作の場合はオーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は谷 (三角波 PWM モード 1) または山 / 谷 (三角波 PWM モード 2) でバッファ転送を行います。
- カウンタクリアによるバッファ転送
  のこぎり波およびイベントカウント動作の場合は、カウント動作中、**「24.3.2.1 GTPR レジスタのバッファ動作」**と同様のカウンタクリア要因によって、オーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時) の場合と同じバッファ転送を行います。
  三角波の場合は、カウンタクリアによるバッファ転送を行いません。
- 強制バッファ転送
  のこぎり波の場合、三角波の場合ともに、カウントストップ中に GTBER.CCRSWT ビットに “1” を書くと、GTCCRA, GTCCRB レジスタのバッファ転送を強制的に行います。
  のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3 の場合は、カウントストップ中の強制バッファ転送により、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B のバッファ転送も行います。

GTBER.DBRTECm (m = A, B) ビットを “1” にして、のこぎり波ワンショットパルスモード、三角波 PWM モード 3 を使用すると、GTBER.BD[0] ビットまたはバッファ転送拡張間引き機能によって、バッファ転送が抑止されている状態であっても、中間バッファから GTCCRm (m = A, B) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は、**「24.8.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作」**を参照してください。

図 24.26 ～図 24.28 に GTCCRA, GTCCRB レジスタのバッファ動作例を、**図 24.29** に GTCCRA, GTCCRB レジスタのバッファ動作設定例を示します。

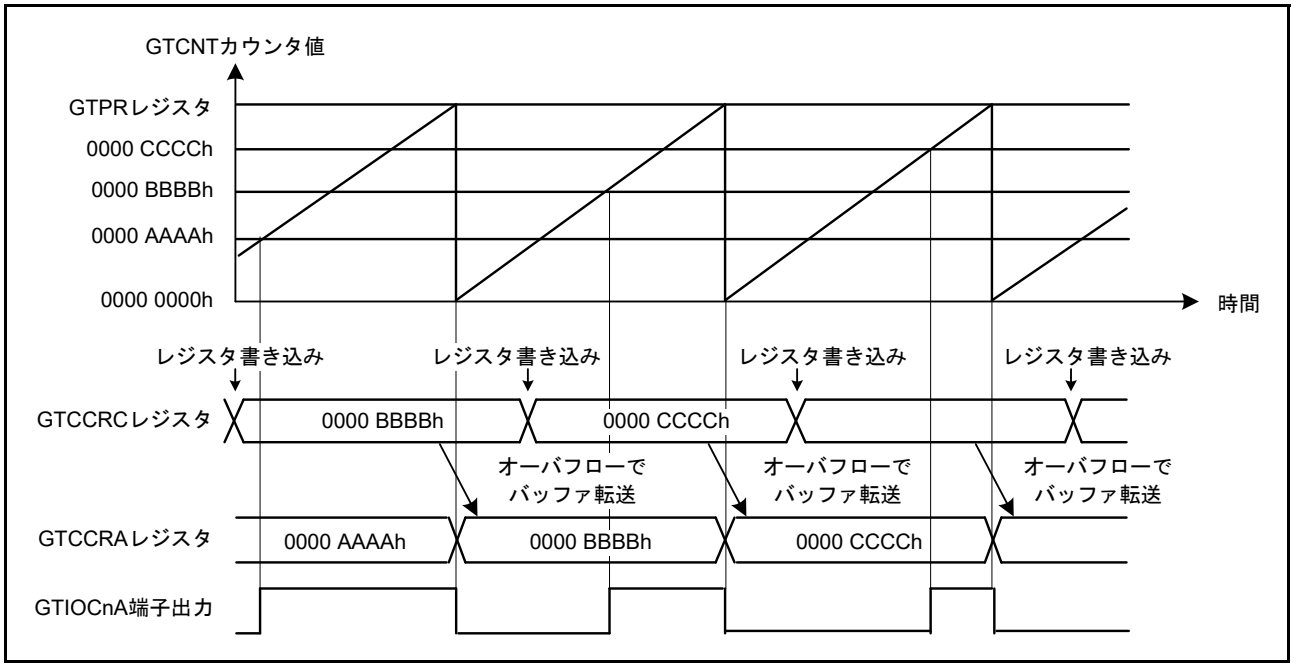


図 24.26 GTCCRA, GTCCRB レジスタのバッファ動作例
(アウトプットコンペア、のこぎり波でアップカウント、GTCCRA レジスタコンペアマッチで High 出力、周期の終わりで Low 出力の場合) (n = 0 ～ 9)

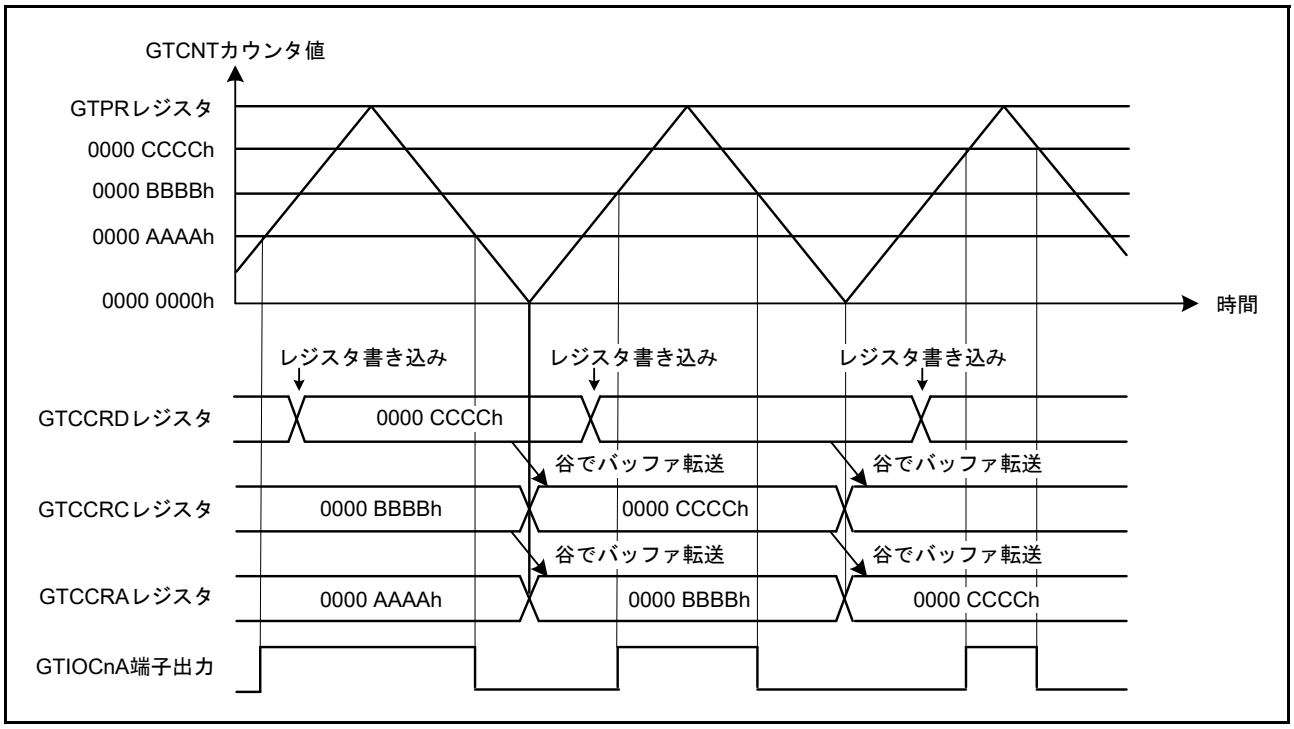


図 24.27 GTCCRA, GTCCRB レジスタのダブルバッファ動作例
(アウトプットコンペア、三角波、谷でバッファ転送、GTCCRA レジスタコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ～ 9)

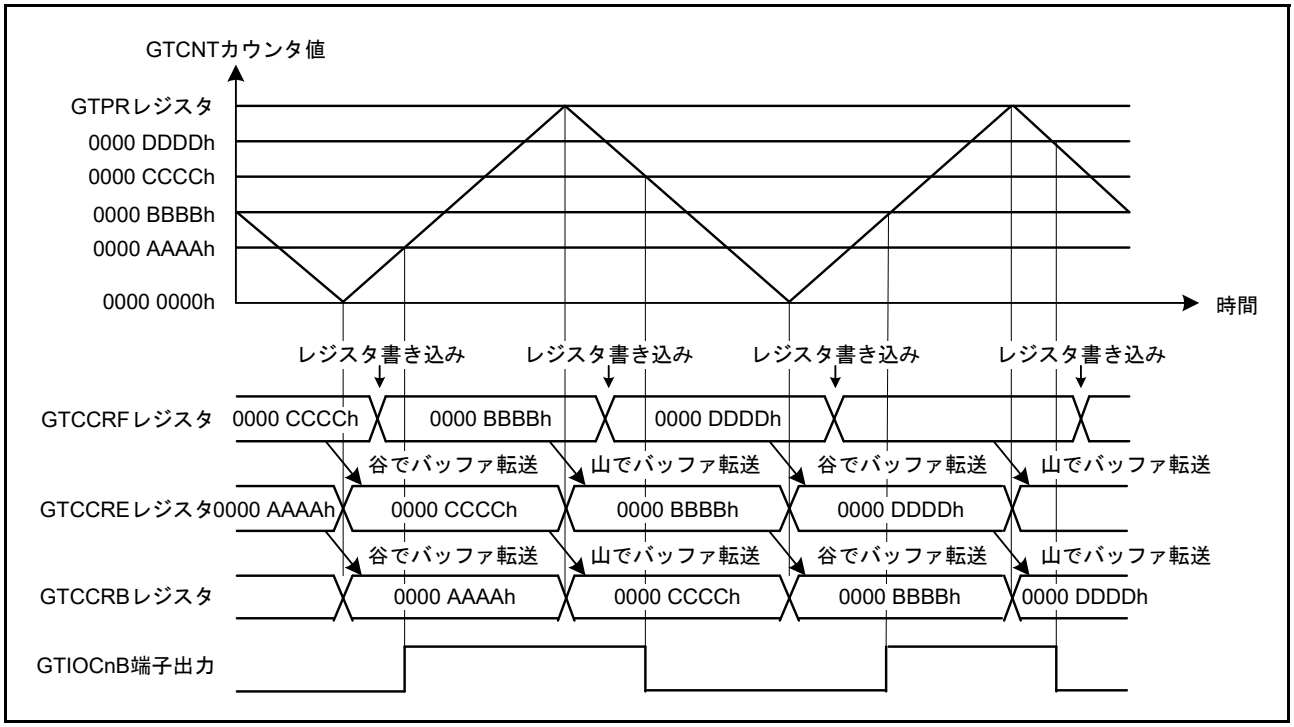


図 24.28 GTCCRA, GTCCRB レジスタのダブルバッファ動作例
(アウトプットコンペア、三角波、谷 / 山両方でバッファ転送、GTCCRB レジスタコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ～ 9)

動作モード設定
GTCR.MD[2:0]ビットで動作モードを設定します。
(図24.26の例では“000b”(のこぎり波PWMモード)、図24.27の例では“100b”(三角波PWMモード1)、図24.28の例では“101b”(三角波PWMモード2))

カウント方向設定
GTUDDTYCレジスタでカウント方向(アップ/ダウン)を設定します。
(図24.26の例ではGTUDDTYCレジスタの下位2ビットを“11b”にしてからGTUDDTYCレジスタの下位2ビットを“01b”にする(アップカウント))

カウントクロックの選択
GTCR.TPCS[3:0]ビットでカウントクロックを選択します。

周期設定
GTPRレジスタに周期を設定します。

カウンタ初期値設定
GTCNTカウンタに初期値を設定します。

GTIOCnm端子機能設定
GTIOR.GTIOA[4:0], GTIOB[4:0]ビットにGTIOCnm端子の機能を設定します。
(図24.26の例ではGTIOA[4:0]ビット= 00110b、図24.27の例ではGTIOA[4:0]ビット= 00011b、図24.28の例ではGTIOB[4:0]ビット= 00011b)

GTIOCnm端子出力許可設定 (注1)
GTIOR.OAE, OBEビットで、GTIOCnm端子出力許可を設定します。

バッファ動作設定
GTBER.CCRA[1:0], CCRB[1:0]ビットにバッファ動作を設定します。
(図24.26の例ではCCRA[1:0]ビット= 01b、図24.27の例ではCCRA[1:0]ビット= 1Xb、図24.28の例ではCCRB[1:0]ビット= 1Xb)

コンペアマッチ値設定 (注1)
GTIOCnA端子の切り替わりポイントをGTCCRAレジスタに、GTIOCnB端子の切り替わりポイントをGTCCRBレジスタに設定します。

バッファ値設定
バッファ動作時は、1周期後(のこぎり波の場合、および三角波で(山)もしくは(谷)でバッファ転送の場合)もしくは半周期後(三角波で(谷/山)両方でバッファ転送の場合)のGTIOCnA端子の切り替わりポイントをGTCCRCレジスタに、GTIOCnB端子の切り替わりポイントをGTCCREレジスタに設定します。
ダブルバッファ動作時は、さらに、2周期後(のこぎり波の場合、および三角波で(山)もしくは(谷)でバッファ転送の場合)もしくは1周期後(三角波で(谷/山)両方でバッファ転送の場合)のGTIOCnA端子の切り替わりポイントをGTCCRDレジスタに、GTIOCnB端子の切り替わりポイントをGTCCRFレジスタに設定します。

カウントスタート
GTCR.CSTビットを“1”にしてカウントをスタートさせてください。

周期ごとのバッファ値設定
バッファ動作時は、1周期後(のこぎり波の場合、および三角波で(山)もしくは(谷)でバッファ転送の場合)もしくは半周期後(三角波で(谷/山)両方でバッファ転送の場合)のGTIOCnA端子の切り替わりポイントをGTCCRCレジスタに、GTIOCnB端子の切り替わりポイントをGTCCREレジスタに設定します。
ダブルバッファ動作時は、さらに、2周期後(のこぎり波の場合、および三角波で(山)もしくは(谷)でバッファ転送の場合)もしくは1周期後(三角波で(谷/山)両方でバッファ転送の場合)のGTIOCnA端子の切り替わりポイントをGTCCRDレジスタに、GTIOCnB端子の切り替わりポイントをGTCCRFレジスタに設定します。

n = 0 ～ 9, m = A, B
注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

図 24.29　GTCCRA, GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

(2) GTCCRA, GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

バッファ転送のタイミングは、インプットキャプチャが発生したポイントとなります。インプットキャプチャが発生すると、GTCNT カウンタの値を GTCCRA, GTCCRB レジスタに転送すると同時に、それまで格納されていた GTCCRA, GTCCRB レジスタの値をバッファレジスタに転送します。インプットキャプチャでは、カウンタクリアによるバッファ転送を行いません。

図 24.30、図 24.31 に GTCCRA, GTCCRB レジスタのバッファ動作例を、図 24.32 に GTCCRA, GTCCRB レジスタのバッファ動作設定例を示します。

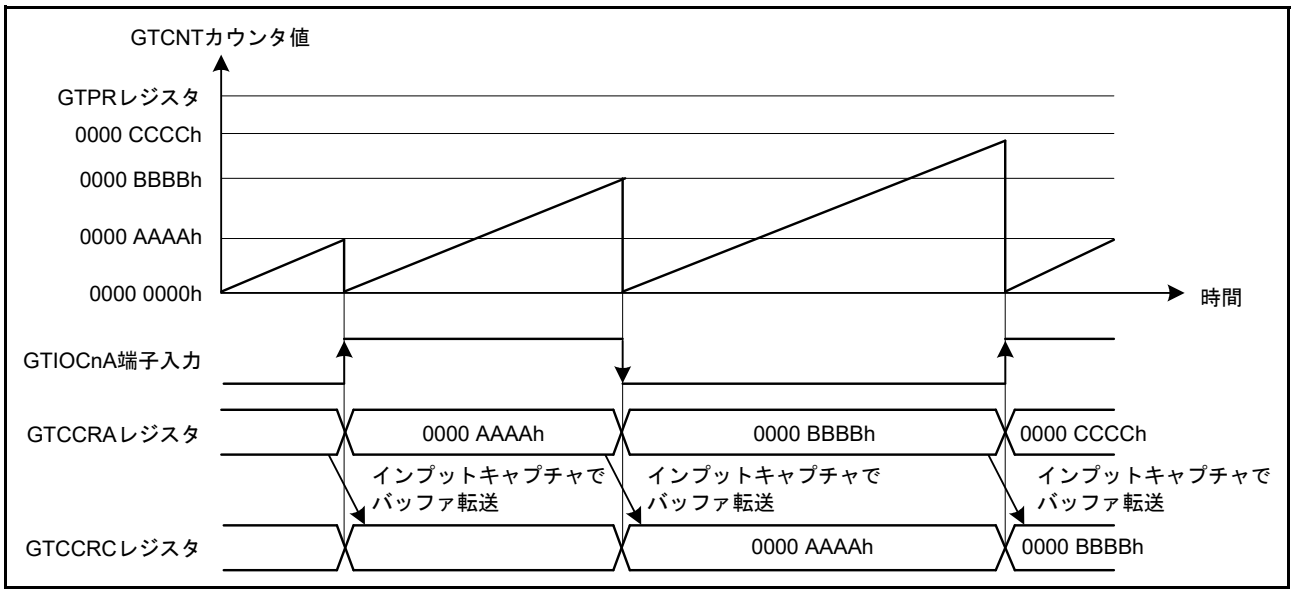


図 24.30 GTCCRA, GTCCRB レジスタのバッファ動作例
(のこぎり波でアップカウント、GTIOCnA 端子入力の両エッジで GTCNT カウンタクリアおよびインプットキャプチャの場合) (n = 0 ～ 9)

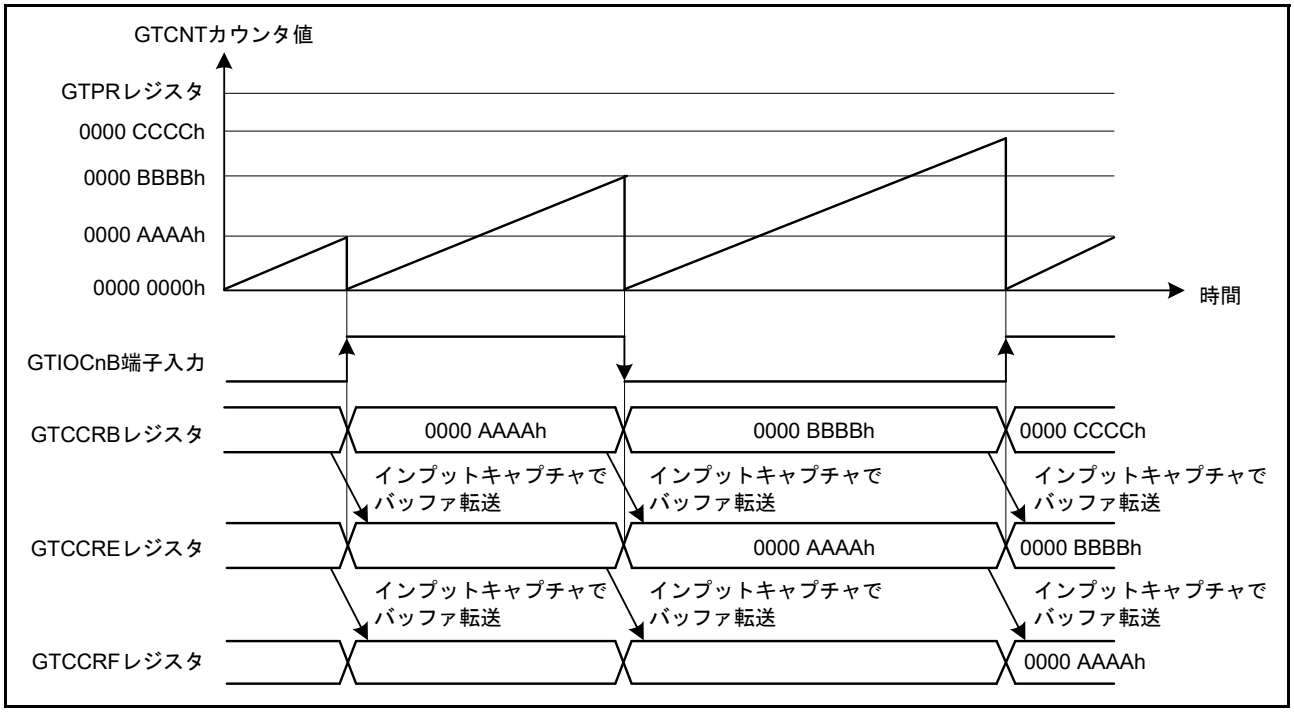


図 24.31 GTCCRA, GTCCRB レジスタのダブルバッファ動作例
(のこぎり波でアップカウント、GTIOCnB 端子入力の両エッジで GTCNT カウンタクリアおよびインプットキャプチャの場合) (n = 0 ～ 9)

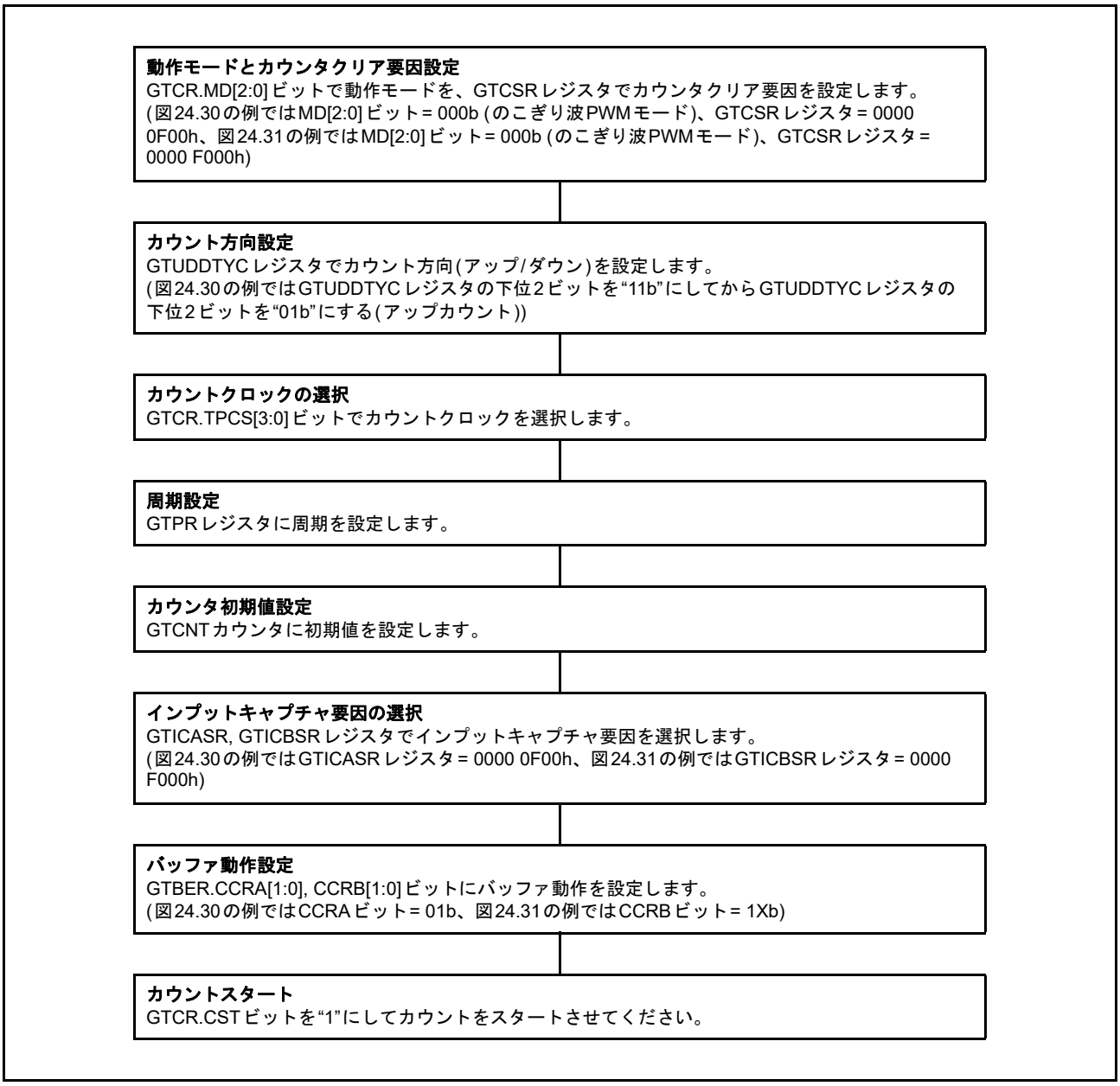


図 24.32　GTCCRA, GTCCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

24.3.2.3　GTADTRA, GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ (GTADTRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ (GTADTRB レジスタのダブルバッファレジスタ) として動作します。

GTADTRA, GTADTRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.ADTDA, ADTDB ビットを “1” に、シングルバッファ動作させる場合には “0” にします。GTADTRA, GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0], ADTTB[1:0] ビットを “00b” にします。

バッファ転送のタイミングは ADTTA[1:0], ADTTB[1:0] ビットで設定でき、のこぎり波の場合はオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時)、または三角波の場合は ADTTA[1:0], ADTTB[1:0] ビットが “01b” のときは山、“10b” のときは谷、“11b” のときは谷 / 山の両方となります。

のこぎり波の場合は、カウント動作中かつ ADTTA[1:0], ADTTB[1:0] ビットの設定が “00b” 以外の条件で、「24.3.2.1　GTPR レジスタのバッファ動作」と同様のカウンタクリア要因によって、オーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時) の場合と同じバッファ転送を行います。

図 24.33 ～図 24.35 に GTADTRA, GTADTRB レジスタのバッファ動作例を、図 24.36 に GTADTRA, GTADTRB レジスタのバッファ動作設定例を示します。

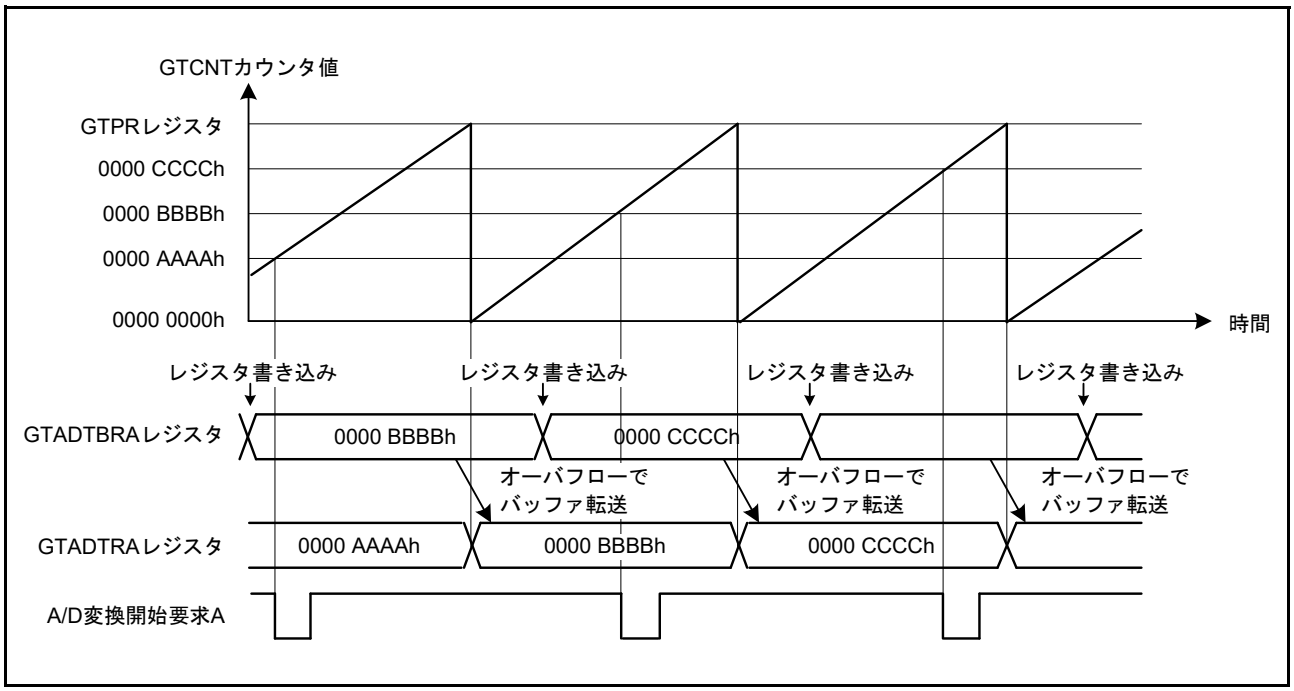


図 24.33　GTADTRA, GTADTRB レジスタのバッファ動作例
(のこぎり波でアップカウント、アップカウントで A/D 変換開始要求発生の場合)

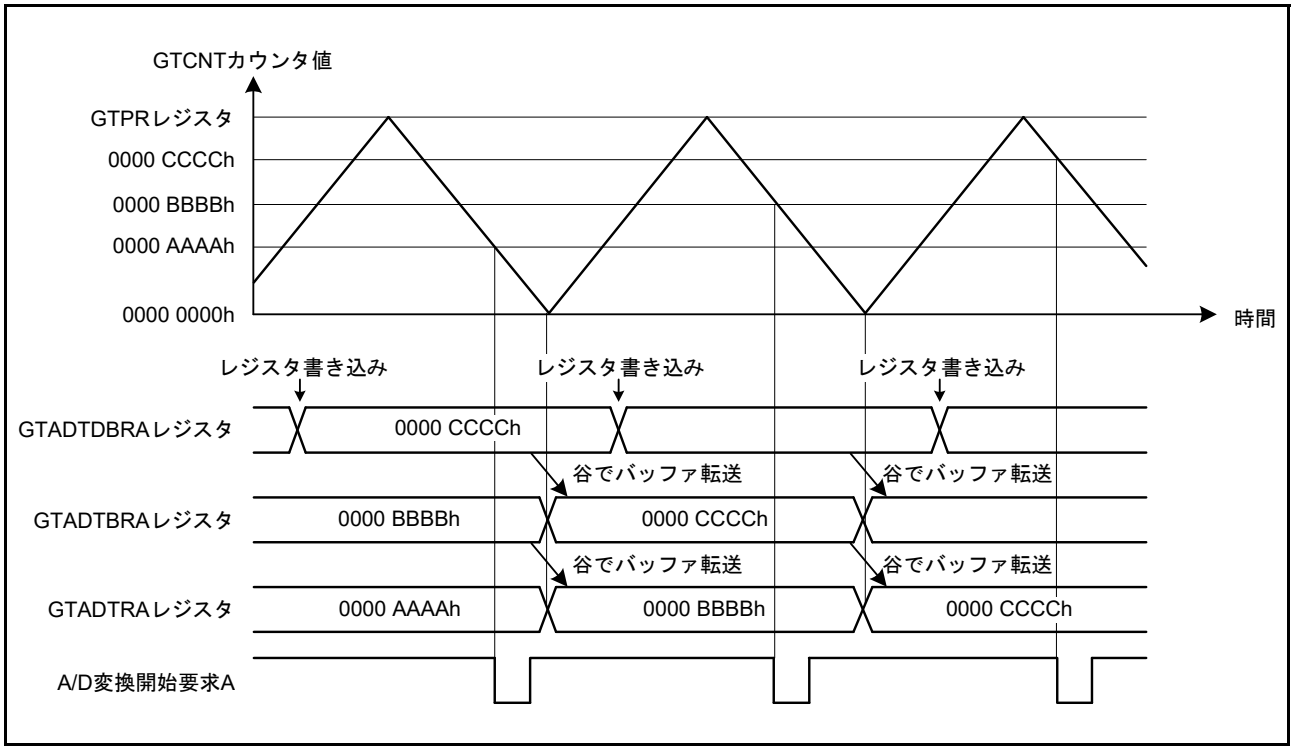


図 24.34 GTADTRA, GTADTRB レジスタのダブルバッファ動作例
(三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求発生の場合)

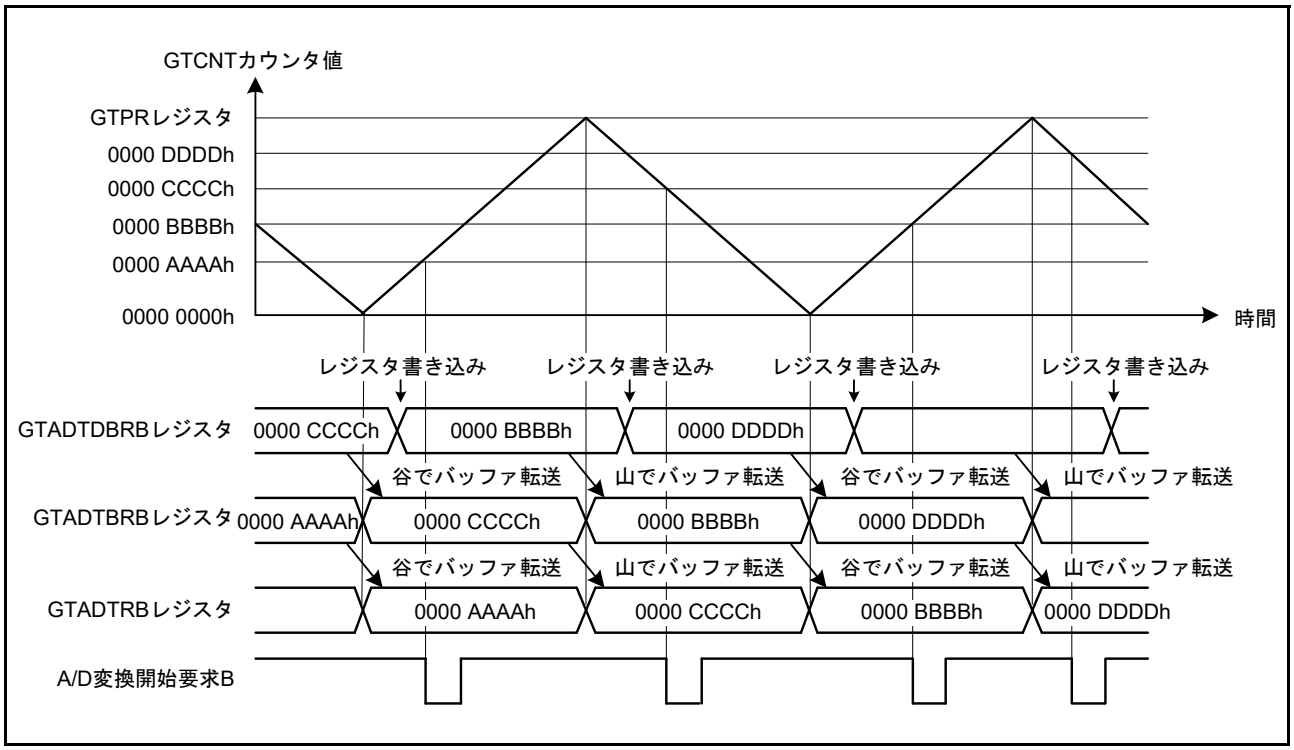


図 24.35 GTADTRA, GTADTRB レジスタのダブルバッファ動作例
(三角波、谷 / 山両方でバッファ転送、アップカウント / ダウンカウント両方で A/D 変換開始要求発生の場合)

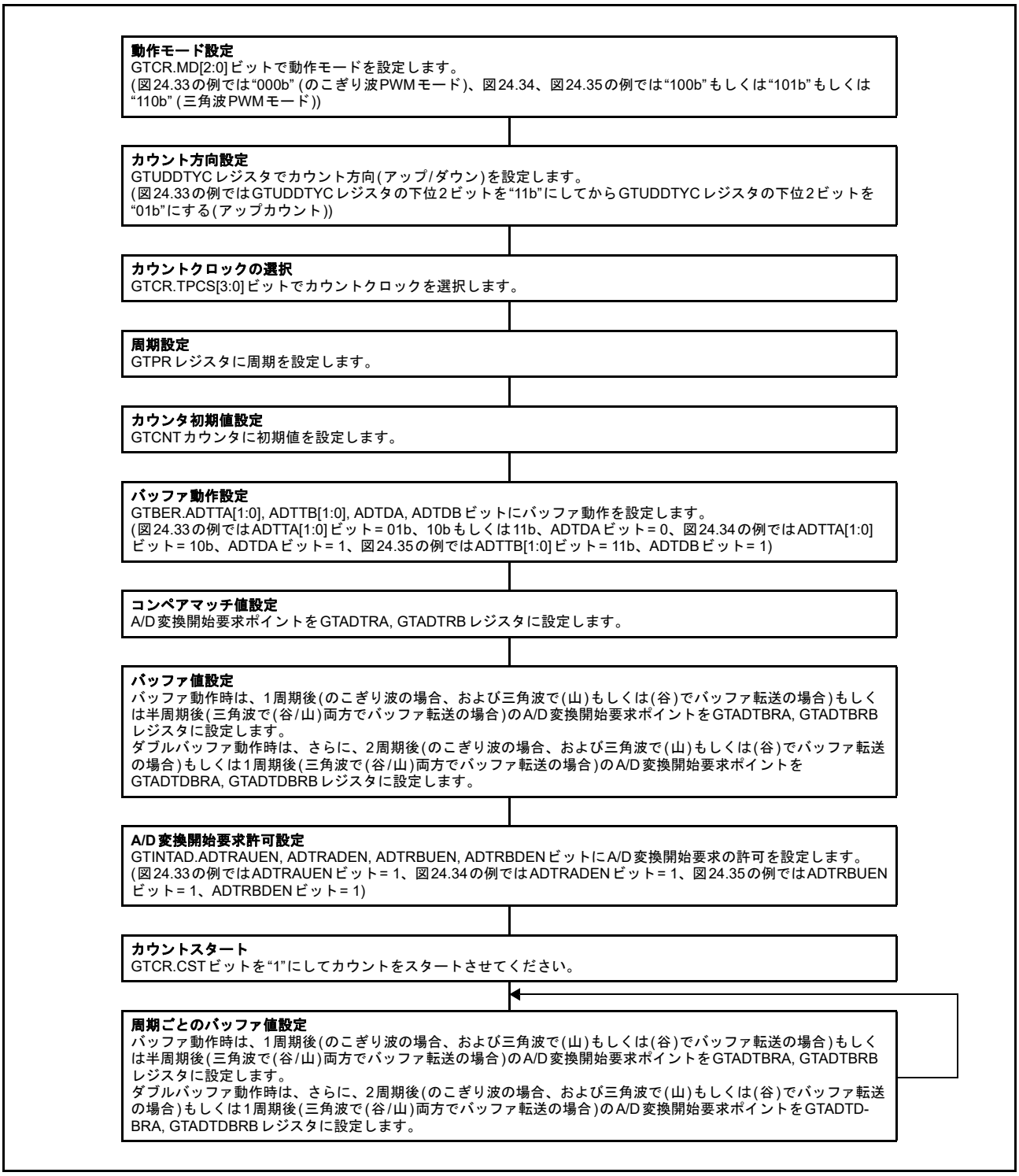


図 24.36 GTADTRA, GTADTRB レジスタのバッファ動作設定例

24.3.3 PWM 出力動作モード

GTCNT カウンタと GTCCRA, GTCCRB レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子 (n = 0 ～ 9) に PWM 波形を出力することができます。

また、GTDTCR, GTDVU, GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

(1) のこぎり波 PWM モード

のこぎり波 PWM モードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波 (半波) 動作させ、GTCCRA, GTCCRB レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子に PWM 波形を出力するモードです。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力、周期の終わりで Low 出力 /High 出力 / トグル出力、を設定することができます。

図 24.37 にのこぎり波 PWM モードの動作例を、**図 24.38** にのこぎり波 PWM モードの設定例を示します。

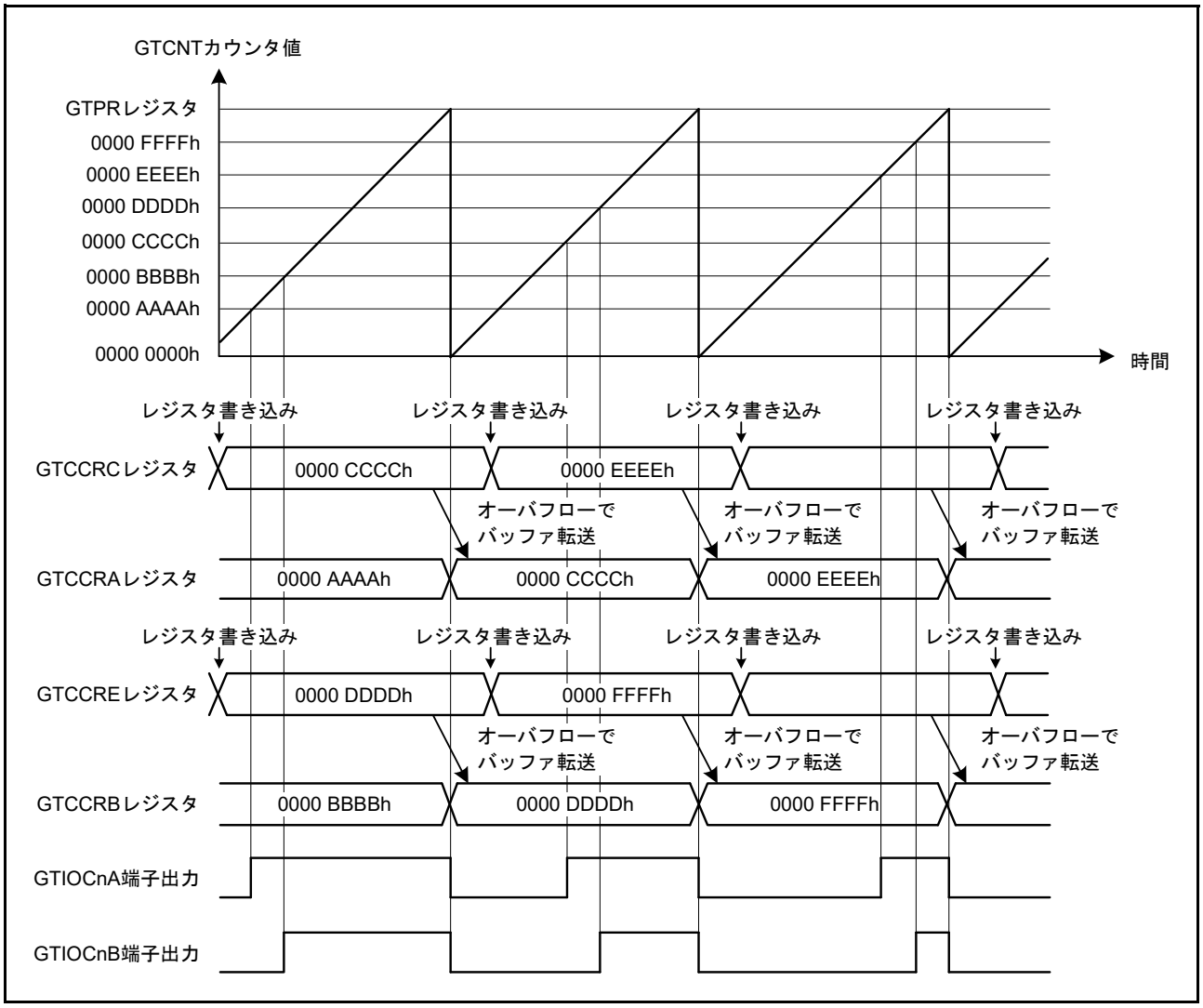


図 24.37　のこぎり波 PWM モード動作例
(アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合) (n = 0 ～ 9)

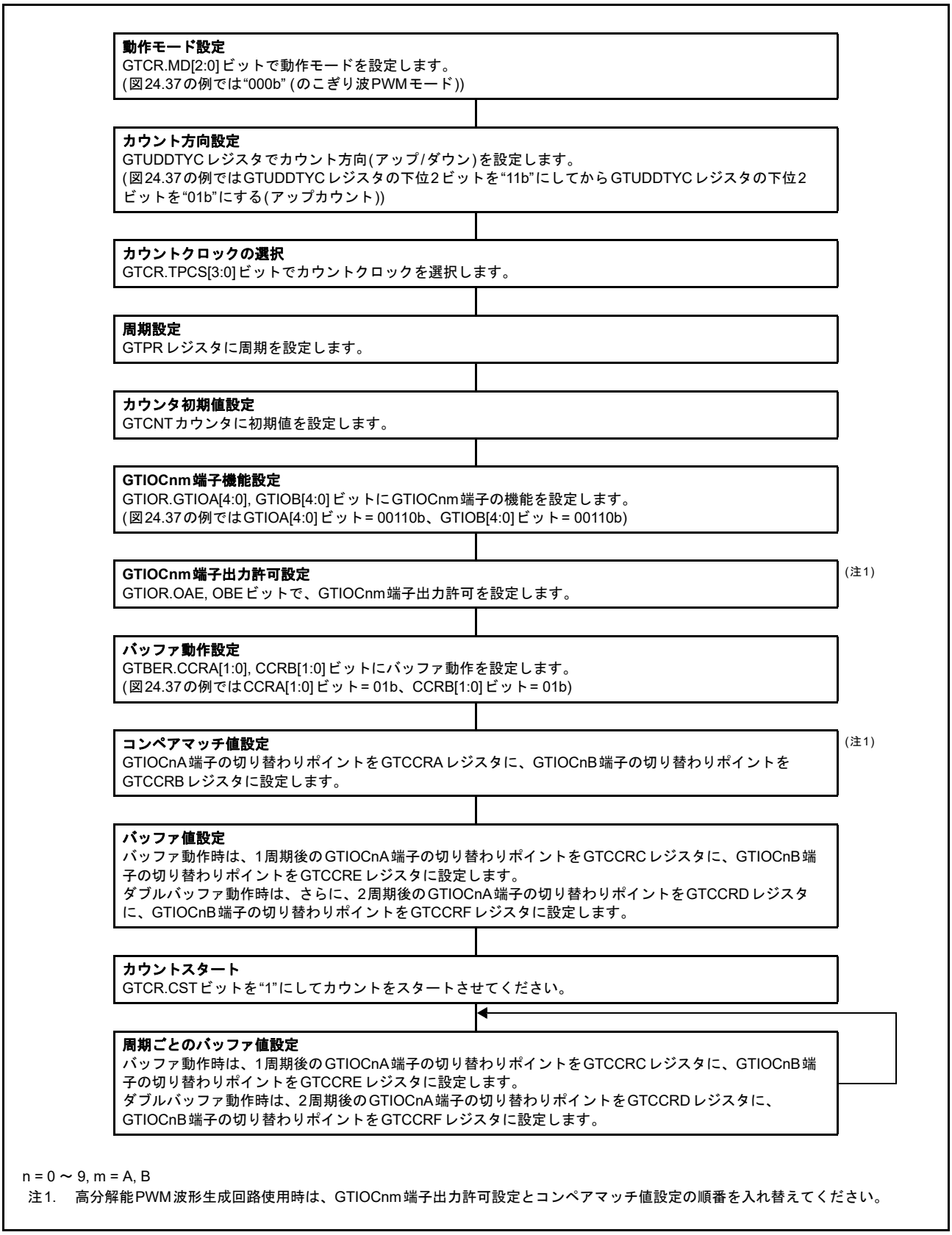


図 24.38　のこぎり波 PWM モード設定例

(2) のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波 (半波) 動作させ、バッファ動作固定で、GTCCRA, GTCCRB レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子 (n = 0 ～ 9) に PWM 波形を出力するモードです。のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なり、周期の終わりで、GTCCRC レジスタから GTCCRA レジスタに、GTCCRE レジスタから GTCCRB レジスタに、GTCCRD レジスタからテンポラリレジスタ A に、GTCCRF レジスタからテンポラリレジスタ B にバッファ転送され、さらに、GTCCRA レジスタのコンペアマッチでテンポラリレジスタ A から GTCCRA レジスタに、GTCCRB レジスタのコンペアマッチでテンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力、周期の終わりで Low 出力 /High 出力 / トグル出力、を設定することができます。

テンポラリレジスタ A およびテンポラリレジスタ B は、カウント停止中に GTBER.CCRSWT ビットに “1” を書くことで、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B に強制バッファ転送を行うことで設定可能です。

また、GTDTCR, GTDVU, GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

GTBER.DBRTECm (m = A, B) ビットを “1” にすると、GTCCRx (x = C, E) レジスタと GTCCRm (m = A, B) レジスタの中間バッファとなるテンポラリレジスタ x (x = C, E) とテンポラリレジスタ m (m = A, B) を用いて、バッファ転送が抑止されている状態であっても、中間バッファから GTCCRm (m = A, B) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は、「24.8.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作」を参照してください。

図 24.39 にのこぎり波ワンショットパルスモードの動作例を、図 24.40 にのこぎり波ワンショットパルスモードの設定例を示します。

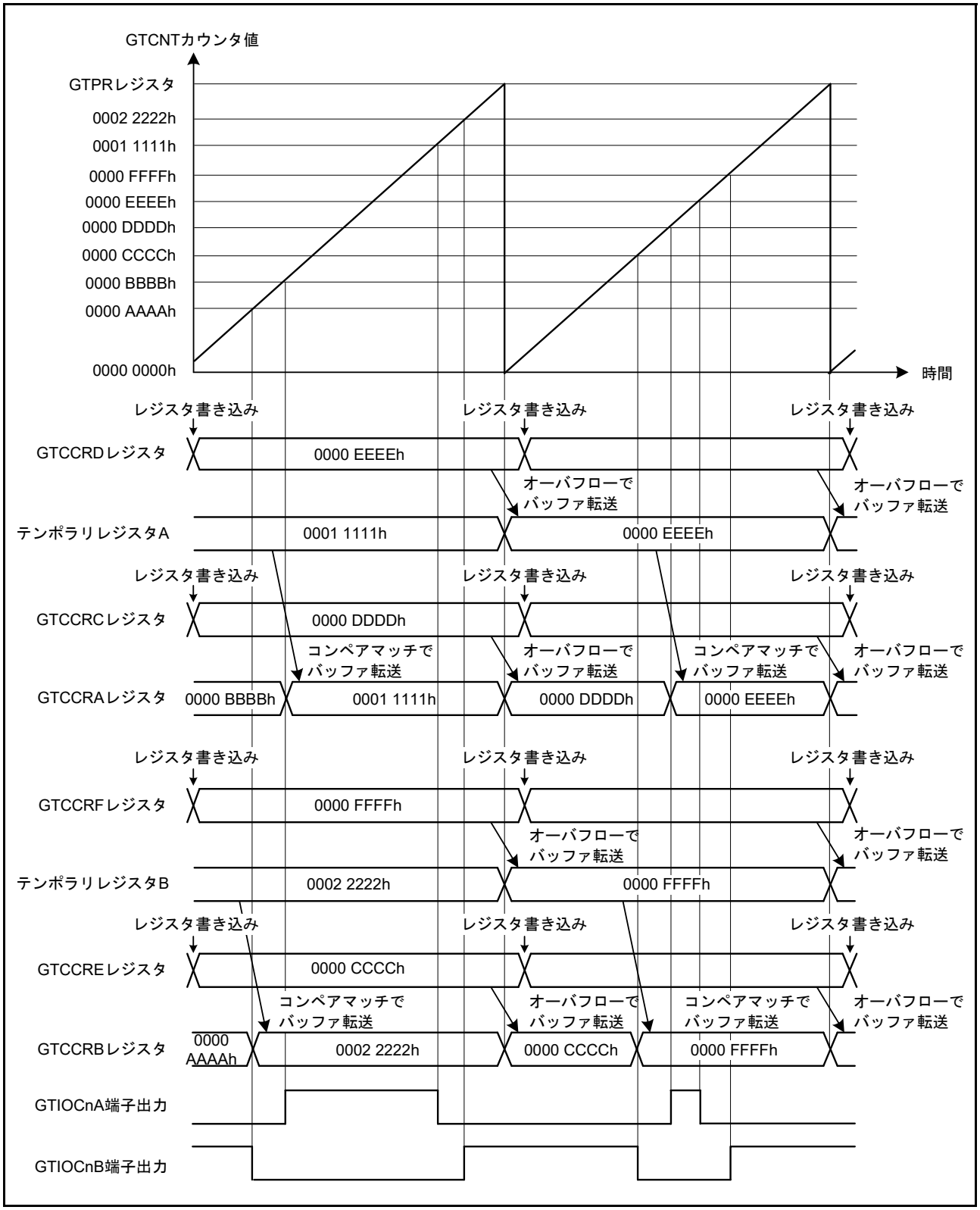


図 24.39 のこぎり波ワンショットパルスモード動作例 (アップカウント、初期出力で GTIOCnA 端子 = Low 出力 /GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ～ 9)

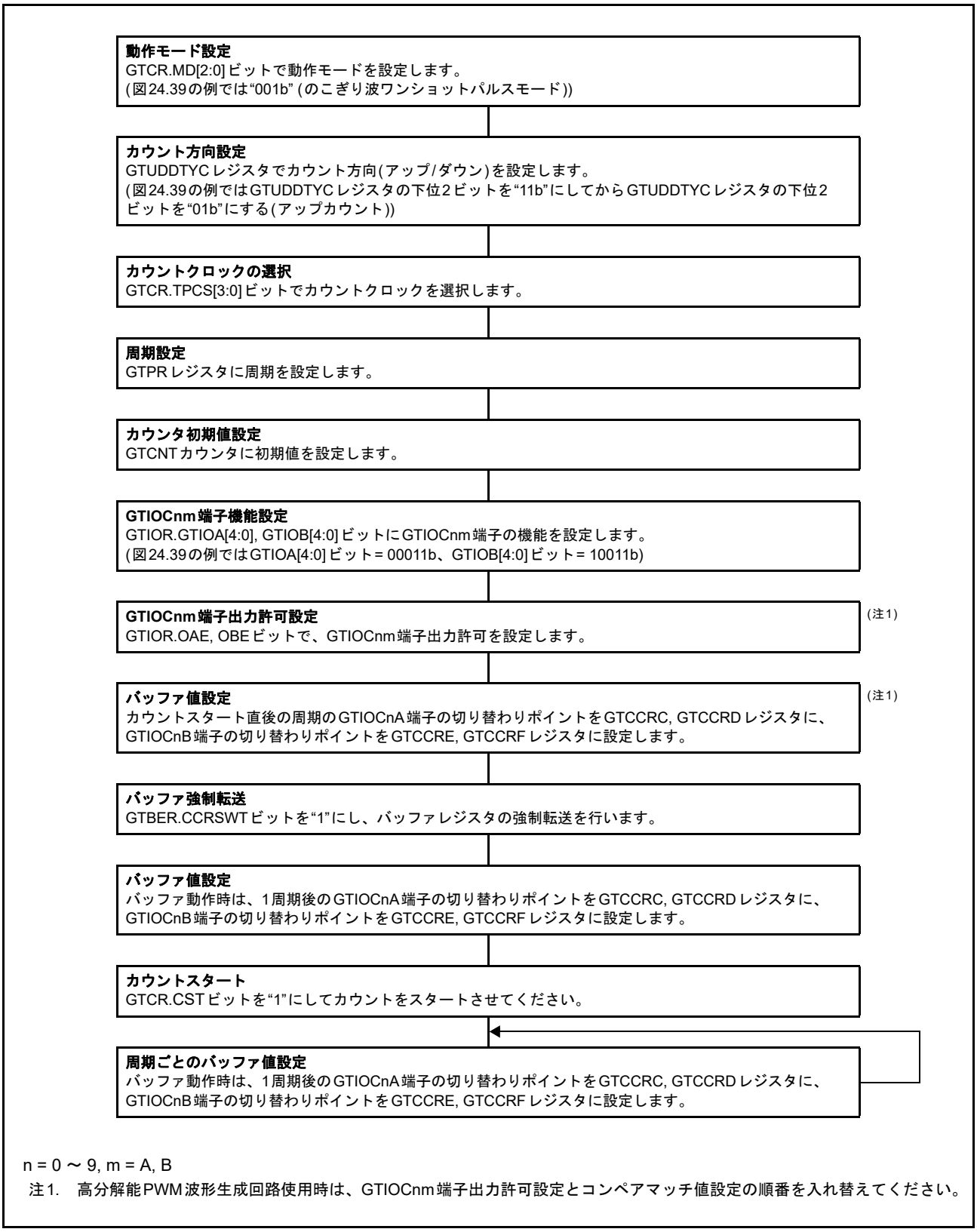


図 24.40　のこぎり波ワンショットパルスモード設定例

(3) 三角波 PWM モード 1 (谷 32 ビット転送)

三角波 PWM モード 1 は、GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、GTCCRA, GTCCRB レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子 (n = 0 ～ 9) に PWM 波形を出力するモードです。バッファ動作のタイミングは、谷となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力、周期の終わりで Low 出力 /High 出力 / トグル出力、を設定することができます。

また、GTDTCR, GTDVU, GTDVD レジスタを設定することによって、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 24.41 に三角波 PWM モード 1 の動作例を、図 24.42 に三角波 PWM モード 1 の設定例を示します。

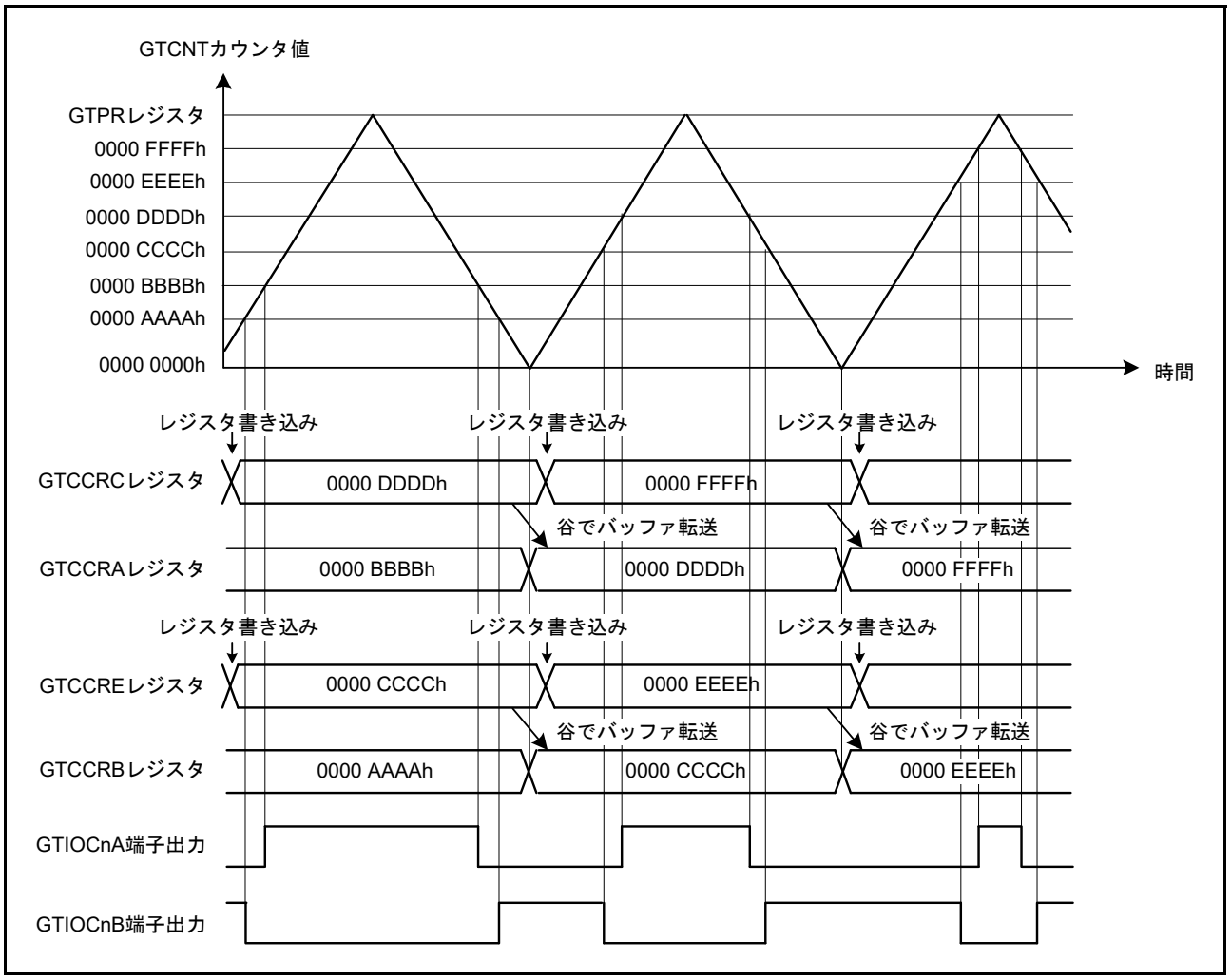


図 24.41　三角波 PWM モード 1 動作例 (バッファ動作、初期出力で GTIOCnA 端子 = Low 出力 /GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ～ 9)

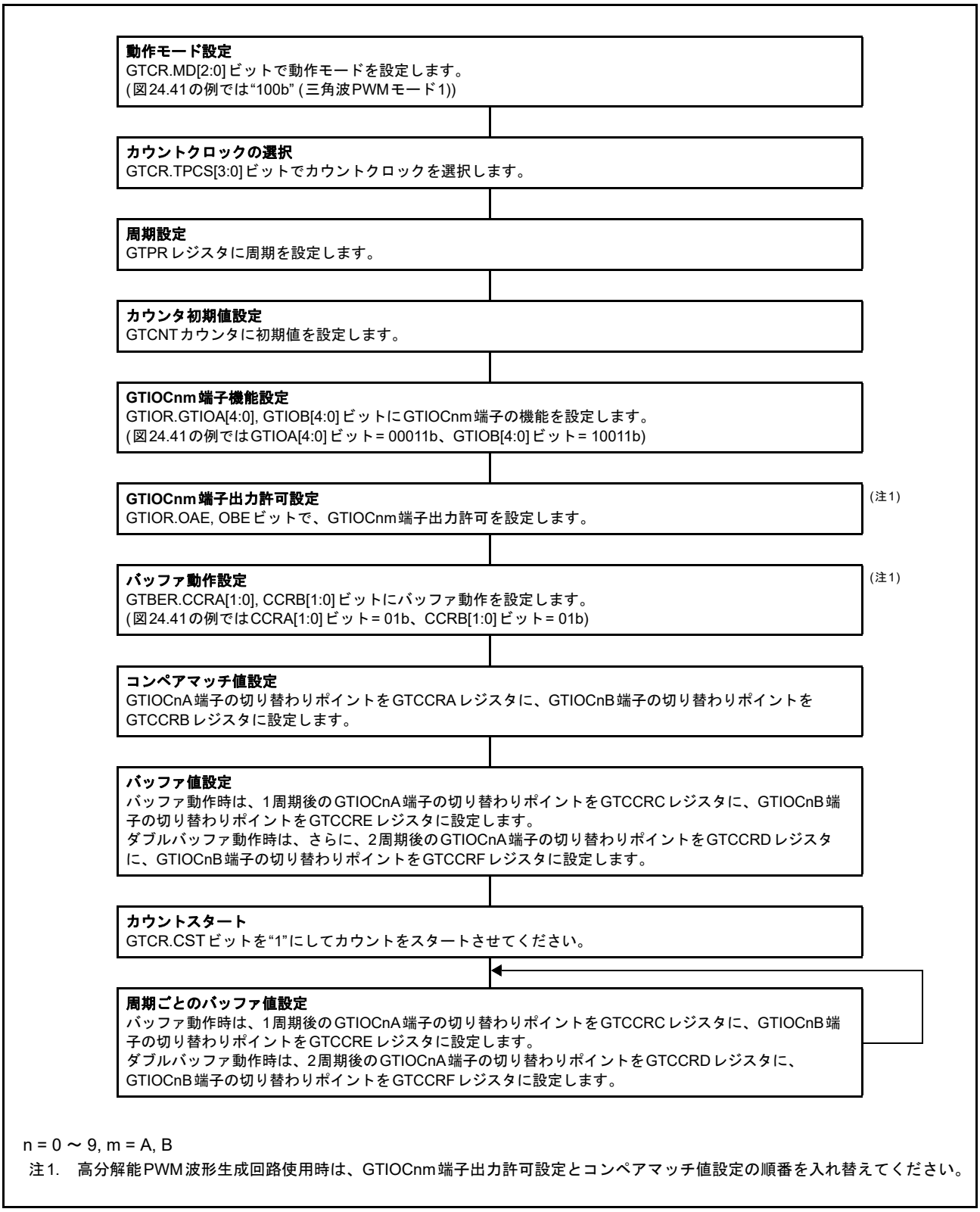


図 24.42　三角波 PWM モード 1 設定例

(4) 三角波 PWM モード 2 (山 / 谷 32 ビット転送)

三角波 PWM モード 2 は、三角波 PWM モード 1 と同様に GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、GTCCRA, GTCCRB レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子 (n = 0 ～ 9) に PWM 波形を出力するモードですが、バッファ動作のタイミングは山 / 谷の両方となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力、周期の終わりで Low 出力 /High 出力 / トグル出力、を設定することができます。

また、GTDTCR, GTDVU, GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 24.43 に三角波 PWM モード 2 の動作例を、図 24.44 に三角波 PWM モード 2 の設定例を示します。

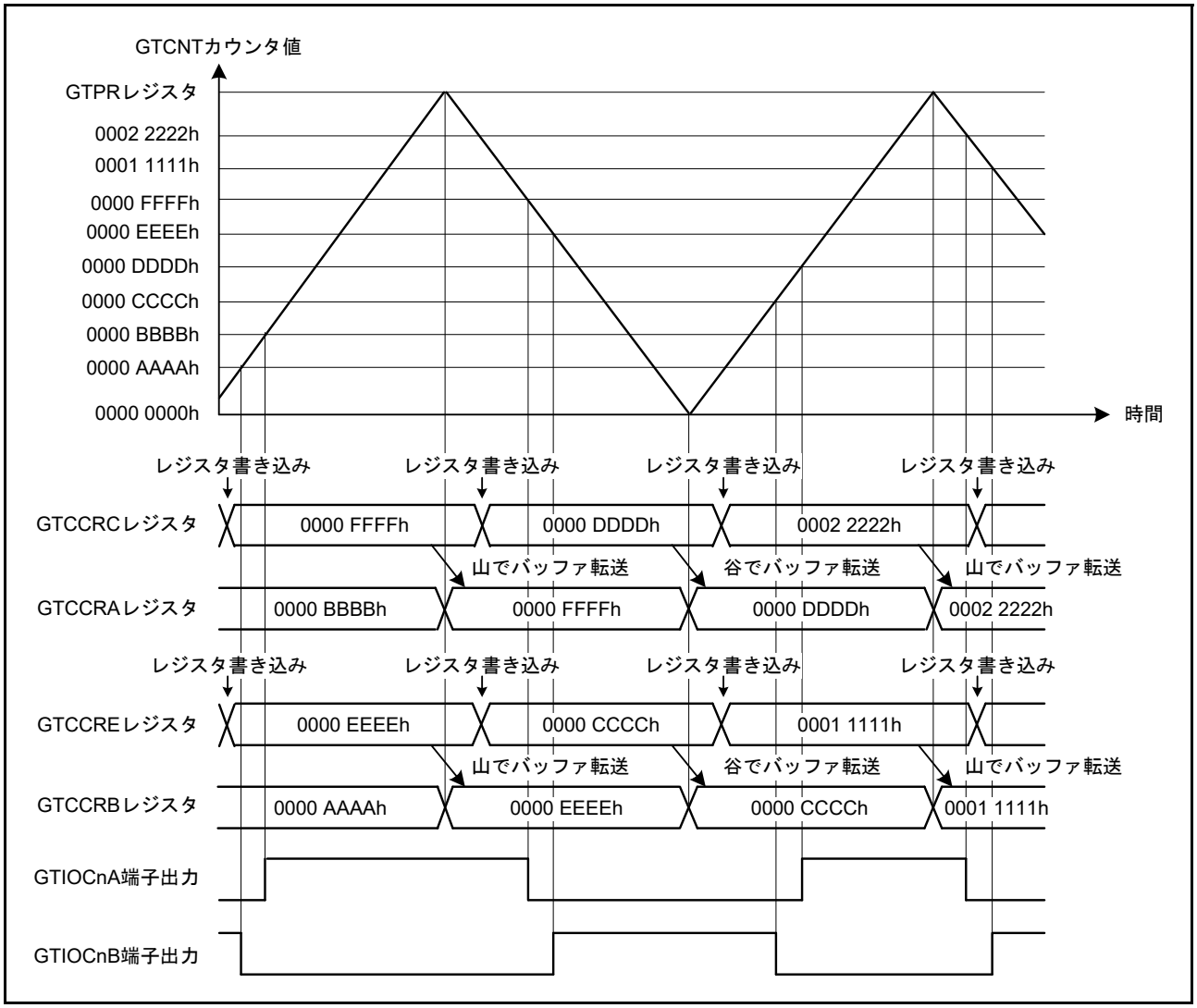


図 24.43　三角波 PWM モード 2 動作例 (バッファ動作、初期出力で GTIOCnA 端子 = Low 出力 /GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ～ 9)

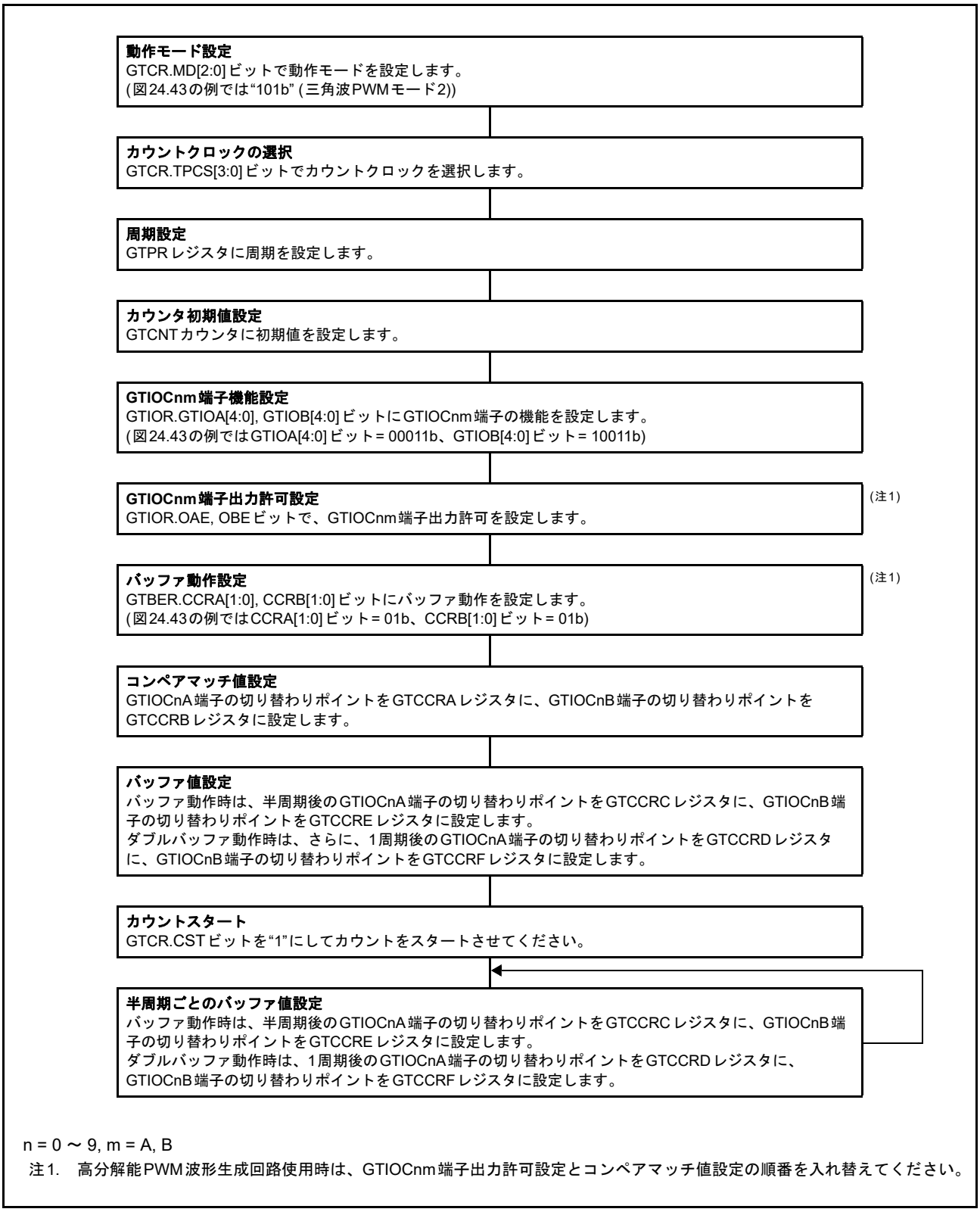


図 24.44　三角波 PWM モード 2 設定例

(5) 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、バッファ動作固定で、GTCCRA, GTCCRB レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子 (n = 0 ～ 9) に PWM 波形を出力するモードです。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なり、谷で、GTCCRC レジスタから GTCCRA レジスタに、GTCCRE レジスタから GTCCRB レジスタに、GTCCRD レジスタからテンポラリレジスタ A に、GTCCRF レジスタからテンポラリレジスタ B にバッファ転送され、さらに、山で、テンポラリレジスタ A から GTCCRA レジスタに、テンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 /High 出力 / トグル出力、周期の終わりで Low 出力 /High 出力 / トグル出力、を設定することができます。

また、GTDTCR, GTDVU, GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

GTBER.DBRTECm (m = A, B) ビットを “1” にすると、GTCCRx (x = C, E) レジスタと GTCCRm (m = A, B) レジスタの中間バッファとなるテンポラリレジスタ x (x = C, E) とテンポラリレジスタ m (m = A, B) を用いて、バッファ転送が抑止されている状態であっても、中間バッファから GTCCRm (m = A, B) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は、「24.8.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作」を参照してください。

図 24.45 に三角波 PWM モード 3 の動作例を、図 24.46 に三角波 PWM モード 3 の設定例を示します。

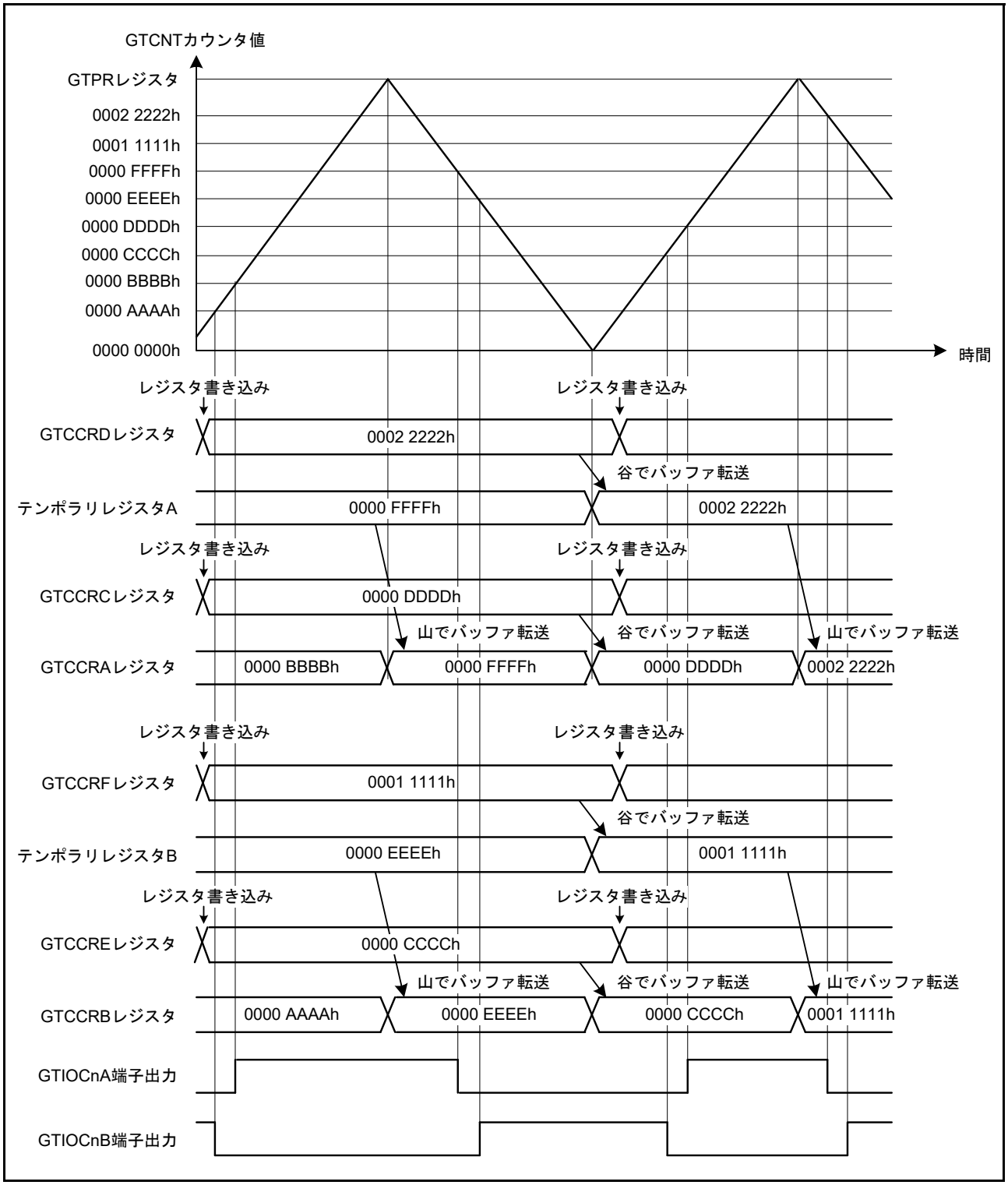


図 24.45 三角波 PWM モード 3 動作例 (初期出力で GTIOCnA 端子 = Low 出力 /GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ～ 9)

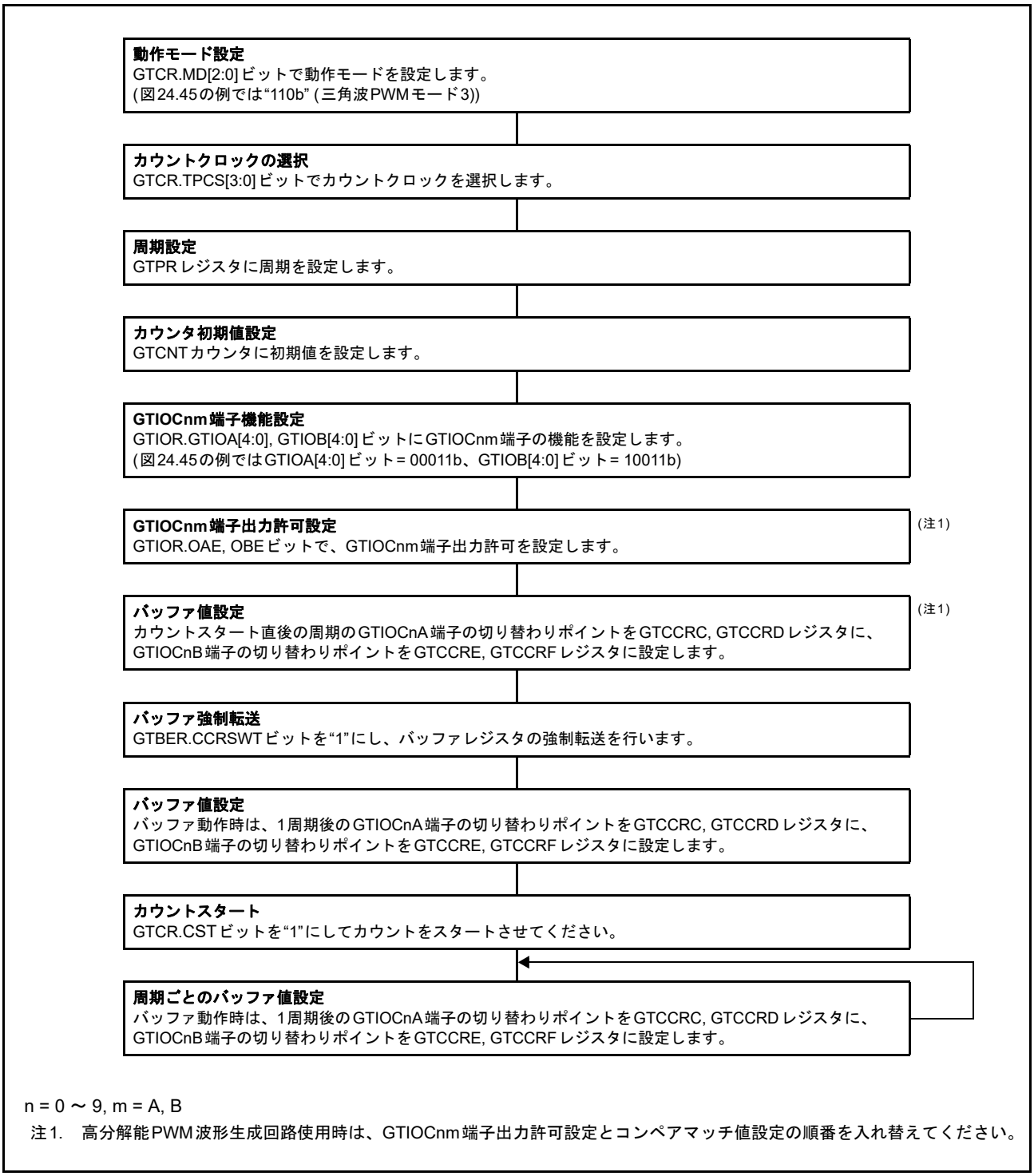


図 24.46　三角波 PWM モード 3 設定例

24.3.4 デッドタイム自動設定機能

GTDTCR レジスタの設定により、正相波形用のコンペアマッチ値 (GTCCRA レジスタ値) とデッドタイム値 (GTDVU, GTDVD レジスタ値) からデッドタイム付き逆相波形用コンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは前側 / 後側で独立に設定でき、逆相波形の前側の切り替わりポイントに対するデッドタイムを GTDVU レジスタで設定し、後側の切り替わりポイントに対するデッドタイムを GTDVD レジスタで設定します。GTDTCR.TDFER ビットを “1” することによって、デッドタイムは前側 / 後側で共通にすることもできます。

また、GTDBU レジスタを GTDVU レジスタのバッファレジスタとして使用することができ、同様に、GTDBD レジスタを GTDVD レジスタのバッファレジスタとして使用することができます。バッファ転送タイミングはカウント周期の終わり (のこぎり波の場合は GTCNT カウンタのオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時)、GTCNT カウンタのクリア、または三角波の場合は谷) です。

デッドタイム自動設定による逆相波形の変化ポイントは、GTCCRB レジスタ値を読むことで確認できます。デッドタイム自動設定機能を使用するときは、GTCCRB レジスタへの書き込みは禁止です。

波形の変化ポイントがカウント周期を超えるようなデッドタイム設定は禁止です。デッドタイムエラーの発生条件となるようなデッドタイム設定を行った場合、**表 24.8** に示すように正相波形と逆相波形の変化するポイントを補正して、デッドタイムを確保した波形を生成します。補正された逆相波形の変化ポイントは、GTCCRB レジスタに自動設定されますが、正相波形の変化ポイントの判定には内部信号を用いており、GTCCRA レジスタを補正値で更新することはありません。

のこぎり波ワンショットパルスモードで、デッドタイムエラー発生による波形変化ポイントの補正によって変化ポイントの順番が乱れた場合や、補正した後もカウント周期を超えている場合は、正相と逆相の相補関係を保証できません。

三角波 PWM モードで、GTCCRA レジスタに “0” または GTPR レジスタ設定値以上の値を設定することで、カウント周期を超えるようなデッドタイム設定になった場合、出力保護機能によって出力変化が抑止されます (「24.8.4　GTIOCnm 端子出力の出力保護機能 (n = 0 ～ 9、m = A, B)」参照)。GTCCRA レジスタ≧ GTPR レジスタ + GTDVm レジスタ (m = U, D) の場合、GTCCRB レジスタには上限値として、GTPR レジスタ – 1 が設定されます。

GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値の算出に用いるレジスタ値が更新された次のカウントクロックで行われます。三角波の場合は、山の次のカウントクロックでも行われます。

表 24.8　デッドタイムエラー発生時の変化ポイント補正

波形モード	カウント方向	区間	デッドタイムエラー条件	補正後の正相波形変化ポイント	補正後の逆相波形変化ポイント
のこぎり波ワンショットパルスモード	アップカウント	前側	GTCCRA – GTDVU < 0	GTDVU	0
		後側	GTCCRA + GTDVD > GTPR	GTPR – GTDVD	GTPR
	ダウンカウント	前側	GTCCRA + GTDVU > GTPR	GTPR – GTDVU	GTPR
		後側	GTCCRA – GTDVD < 0	GTDVD	0
三角波PWMモード1/2/3	アップカウント	(前側)	GTCCRA – GTDVU ≦ 0	GTDVU + 1	1
	ダウンカウント	(後側)	GTCCRA – GTDVD < 0	GTDVD	0

図 24.47 ～**図 24.50** にデッドタイム自動設定機能の動作例を、**図 24.51**、**図 24.52** に設定例を示します。

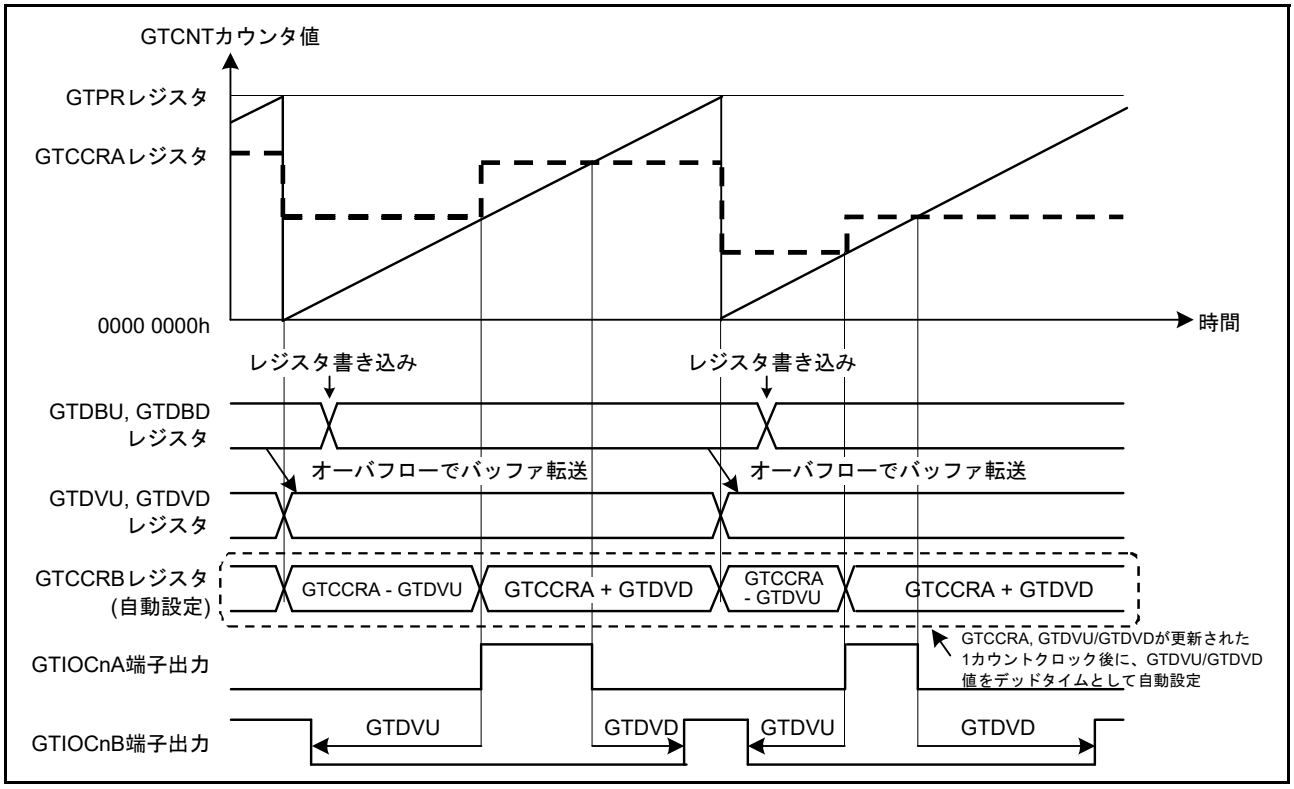


図 24.47　デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) (n = 0 ～ 9)

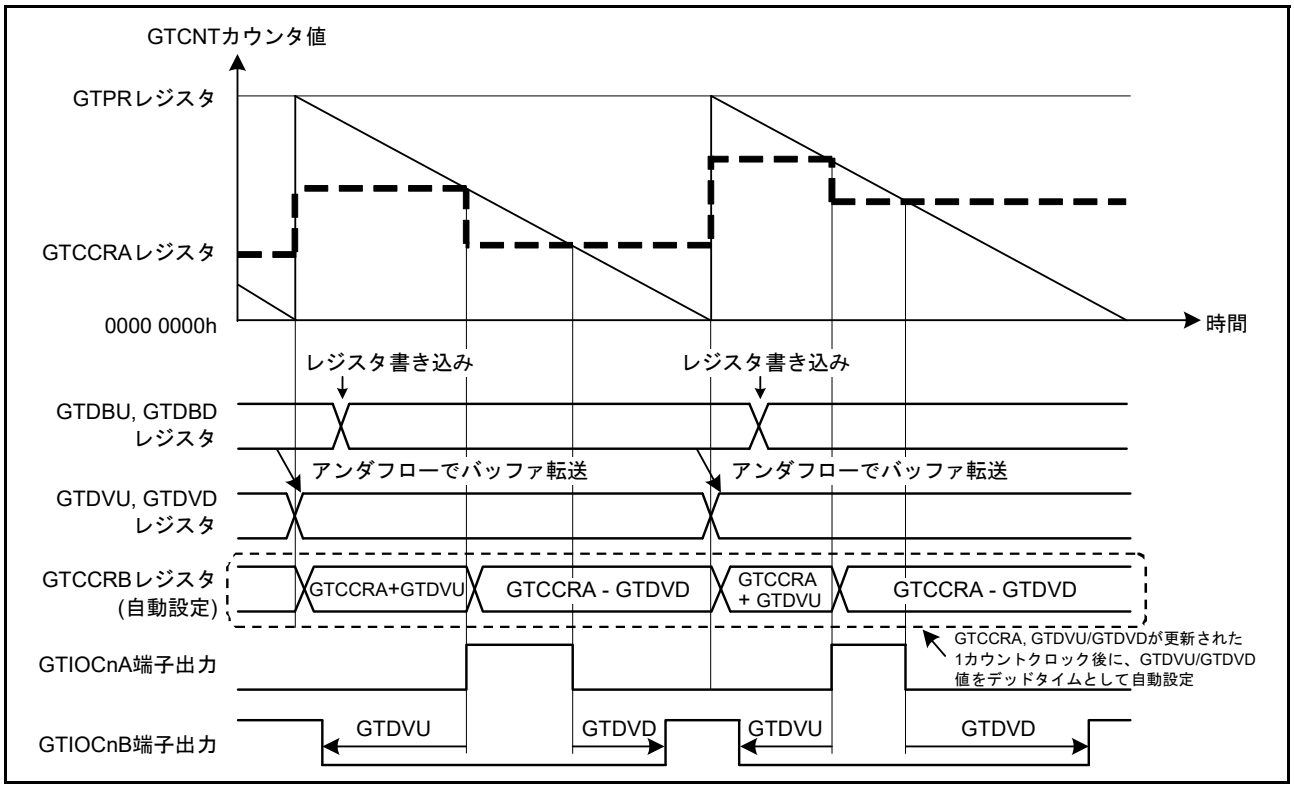


図 24.48　デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) (n = 0 ～ 9)

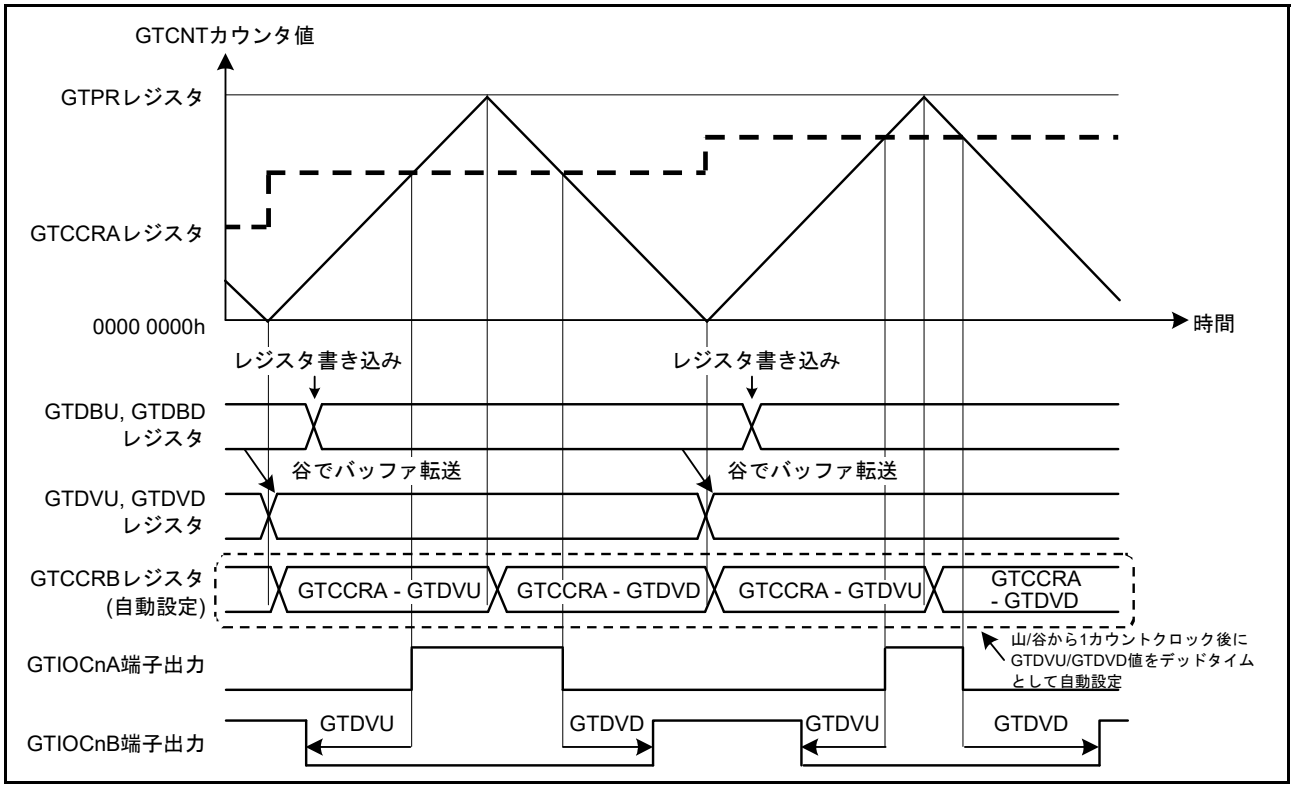


図 24.49　デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 1、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) (n = 0 ～ 9)

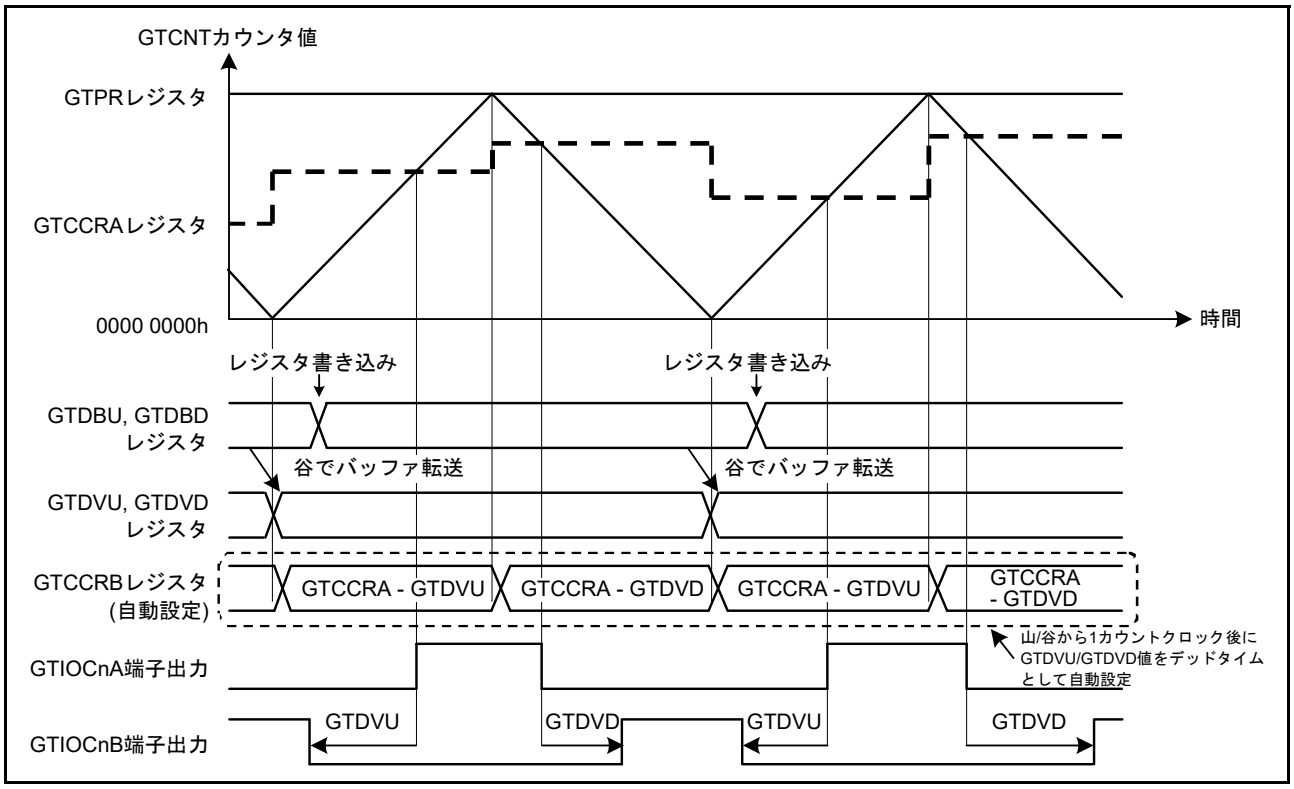


図 24.50　デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 2/3, GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) (n = 0 ～ 9)

動作モード設定
GTCR.MD[2:0]ビットで動作モードを設定します。
(図24.47、図24.48の例では“001b”(のこぎり波ワンショットパルスモード)、図24.50の例では“110b”(三角波PWMモード3))

カウント方向設定
GTUDDTYCレジスタでカウント方向(アップ/ダウン)を設定します。
(図24.47の例ではGTUDDTYCレジスタの下位2ビットを“11b”にしてからGTUDDTYCレジスタの下位2ビットを“01b”にする(アップカウント)、図24.48の例ではGTUDDTYCレジスタの下位2ビットを“10b”にしてからGTUDDTYCレジスタの下位2ビットを“00b”にする(ダウンカウント))

カウントクロックの選択
GTCR.TPCS[3:0]ビットでカウントクロックを選択します。

周期設定
GTPRレジスタに周期を設定します。

カウンタ初期値設定
GTCNTカウンタに初期値を設定します。

GTIOCnm端子機能設定
GTIOR.GTIOA[4:0], GTIOB[4:0]ビットにGTIOCnm端子の機能を設定します。
(図24.47、図24.48、図24.50の例ではGTIOA[4:0]ビット= 00011b、GTIOB[4:0]ビット= 10011b)

GTIOCnm端子出力許可設定 (注1)
GTIOR.OAE, OBEビットで、GTIOCnm端子出力許可を設定します。

コンペアマッチ用バッファ値設定 (注1)
カウントスタート直後の周期のGTIOCnA端子の切り替わりポイントをGTCCRCレジスタとGTCCRDレジスタに設定します。

コンペアマッチ用バッファ強制転送
GTBER.CCRSWTビットを“1”にし、バッファレジスタからGTCCRAレジスタへの強制転送を行います。

コンペアマッチ用バッファ値設定
1周期後のGTIOCnA端子の切り替わりポイントをGTCCRCレジスタとGTCCRDレジスタに設定します。

デッドタイム自動設定機能の設定
GTDTCR.TDEビットを“1”にして、デッドタイム自動設定機能を有効にします。

デッドタイム用バッファ動作設定
GTDTCR.TDBUE, TDBDEビットにバッファ動作を設定します。

デッドタイム値設定
前側のデッドタイム値をGTDVUレジスタに、後側のデッドタイム値をGTDVDレジスタに設定します。
GTDTCR.TDFERビットを“1”にしてGTDVUレジスタを設定すると、同じ値がGTDVDレジスタにも反映され、デッドタイム値を前側/後側で共通にすることができます。

デッドタイム用バッファ値設定
バッファ動作時は、1周期後の前側のデッドタイム値をGTDBUレジスタに、後側のデッドタイム値をGTDBDレジスタに設定します。

カウントスタート
GTCR.CSTビットを“1”にしてカウントをスタートさせてください。

周期ごとのバッファ値設定
バッファ動作時は、1周期後のGTIOCnA端子の切り替わりポイントをGTCCRC, GTCCRDレジスタに、同様にデッドタイムレジスタをバッファ動作させている場合には、1周期後の前側のデッドタイム値をGTDBUレジスタに、後側のデッドタイム値をGTDBDレジスタに設定します。

n = 0 ～ 9, m = A, B
注1.　高分解能PWM波形生成回路使用時は、GTIOCnm端子出力許可設定とコンペアマッチ値設定の順番を入れ替えてください。

図 24.51　デッドタイム自動設定機能の設定例
(のこぎり波ワンショットパルスモード、三角波 PWM モード 3 時)

図 24.52　デッドタイム自動設定機能の設定例 (三角波 PWM モード 1/2 時)

24.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を変更することにより、GTCNT カウンタのカウント方向を切り替えることができます。

のこぎり波の場合、カウント中に UD ビット値を変更すると、オーバフロー (アップカウント中に変更した場合) もしくはアンダフロー (ダウンカウント中に変更した場合) 発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが “0” の状態で UD ビット値を変更すると、カウントスタート時には反映されず、オーバフローもしくはアンダフロー発生時にカウント方向が切り替わります。カウントストップ中に UDF ビットを “1” にすると、そのときの UD ビット値がカウントスタート時から反映されます。

三角波の場合、カウント動作中に GTUDDTYC.UD ビット値を変更してもカウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが “0” の状態で GTUDDTYC.UD ビット値を変更しても反映されません。カウントストップ中に GTUDDTYC.UDF ビットを “1” にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時から反映されます。

のこぎり波でカウント中にカウント方向を切り替えた場合、アップカウント時はアップカウントスタート後の GTPR レジスタ値がカウント周期に反映され、ダウンカウント時はダウンカウントスタート後の GTPR レジスタ値がカウント周期に反映されます。

図 24.53 にカウント方向切り替え機能の動作例を示します。

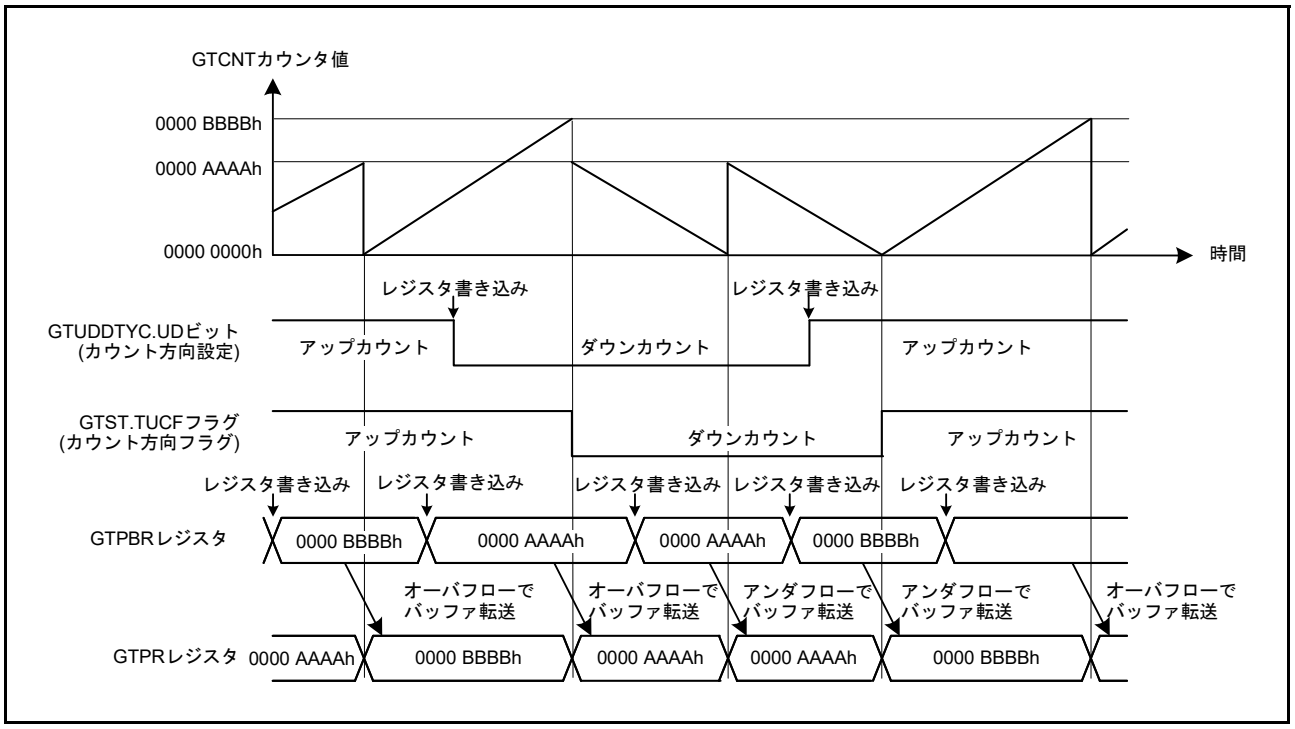


図 24.53 カウント方向切り替え機能の動作例 (バッファ動作時)

24.3.6 デューティ 0%/100% 出力機能

GTUDDTYC.OADTY[1:0], OBDTY[1:0] ビットの値を変更することにより、GTIOCnA, GTIOCnB 端子 (n = 0 ～ 9) の出力デューティを 0%/100% にすることができます。

のこぎり波の場合、カウント動作中に OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、オーバフロー (アップカウント動作中に変更した場合) もしくはアンダフロー (ダウンカウント動作中に変更した場合) 発生時に変更した出力デューティ設定が反映されます。カウント停止中に GTUDDTYC.OADTYF, OBDTYF ビットが “0” の状態で、OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、カウント開始時には変更した出力デューティ設定は反映されず、オーバフローもしくはアンダフロー発生時に変更した出力デューティ設定が反映されます。カウント停止中に OADTYF, OBDTYF ビットが “1” の状態で、OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、そのときの OADTY[1:0], OBDTY[1:0] ビットの値がカウント開始時から反映されます。

三角波の場合、カウント動作中に OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、アンダフロー発生時に変更した出力デューティ設定が反映されます。

カウント停止中に OADTYF, OBDTYF ビットが “0” の状態で、OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、カウント開始時には変更した出力デューティ設定は反映されず、アンダフロー発生時に変更した出力デューティ設定が反映されます。カウント停止中に OADTYF, OBDTYF ビットが “1” の状態で、OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、そのときの OADTY[1:0], OBDTY[1:0] ビットの値がカウント開始時から反映されます。

デューティ 0%/100% 設定の動作中、GPTW 内部ではコンペアマッチ動作は継続し、割り込み出力、バッファ動作を行います。

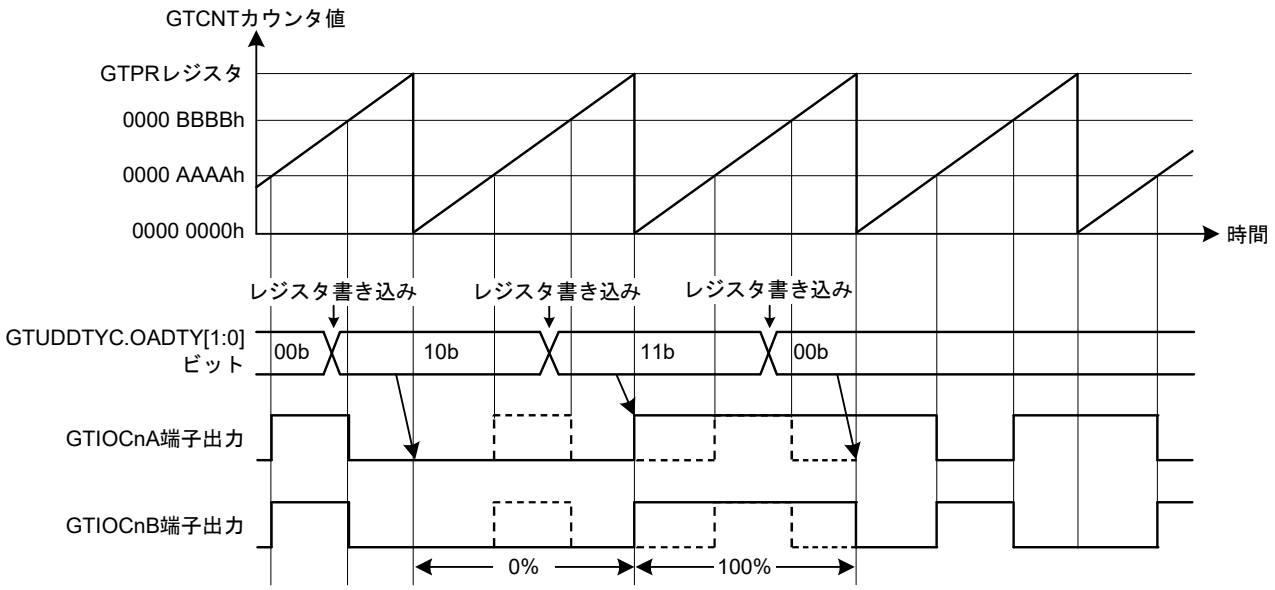
出力デューティを 0% または 100% の設定からコンペアマッチによる出力の設定に変更した場合の周期の終わりでの出力値は、GTIOCnA 端子は GTIOR.GTIOA[3:2] ビットと OADTYR ビット、GTIOCnB 端子は GTIOR.GTIOB[3:2] ビットと OBDTYR ビットによって決まります。GTIOA[3:2], GTIOB[3:2] ビットが、“01b” の場合は周期の終わりで “Low” を出力し、“10b” の場合は周期の終わりで “High” を出力します。“00b” で周期の終わりで出力保持、または “11b” で周期の終わりでトグル出力となっていた場合の保持またはトグルの対象となる値を、OADTYR, OBDTYR ビットで選択します。デューティ 0%/100% 設定からコンペアマッチによる出力に設定を変更した場合の周期の終わりの出力値を表 24.9 に示します。

表24.9 デューティ 0%/100%解除後の出力値

GTIOR.GTIOm[3:2]ビット	デューティ 0%/100%によってマスクされていたコンペアマッチ出力の周期の終わりでの値	デューティ 0%設定時のGTUDDTYC.OmDTYRビット		デューティ 100%設定時のGTUDDTYC.OmDTYRビット	
		0	1	0	1
00b (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01b (周期の終わりでLow出力)	—	0	0	0	0
10b (周期の終わりでHigh出力)	—	1	1	1	1
11b (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

m = A, B

図 24.54 にデューティ 0%/100% 出力機能の動作例 (n = 0 ～ 9) を示します。



［設定例］

GTIOR.GTIOA[4:0] ビットの設定： “00011b”
初期出力はLow、コンペアマッチでトグル出力、周期の終わりで出力保持

GTUDDTYC.OADTYR ビットの設定：“0”
0%/100% デューティ設定解除後にデューティ設定された出力値に対して GTIOA[3:2] ビットの機能を適用

GTIOR.GTIOB[4:0] ビットの設定： “00011b”
初期出力はLow、コンペアマッチでトグル出力、周期の終わりで出力保持

GTUDDTYC.OBDTYR ビットの設定：“1”
0%/100% デューティ設定解除後にマスクされていたコンペアマッチ出力値に対して GTIOB[3:2] ビットの機能を適用

図 24.54 デューティ 0%/100% 出力機能の動作例 (n = 0 ～ 9)

24.3.7 ハードウェアカウントスタート、カウントストップ、カウンタクリア動作

本 MCU 内蔵のハードウェア要因により、GTCNT カウンタのスタート、ストップ、クリア制御が可能です。

ハードウェア要因には、外部トリガ入力、ELC イベント入力、GTIOCnm 端子入力 (n = 0 ～ 9、m = A, B) の 3 種類の要因があります。

24.3.7.1 ハードウェアスタート動作

ハードウェア要因により、GTCNT カウンタのスタート制御が可能です。GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択してカウントスタートを許可します。

図 24.55 にハードウェア要因によるカウントスタートの動作例を、図 24.56 に設定例を示します。

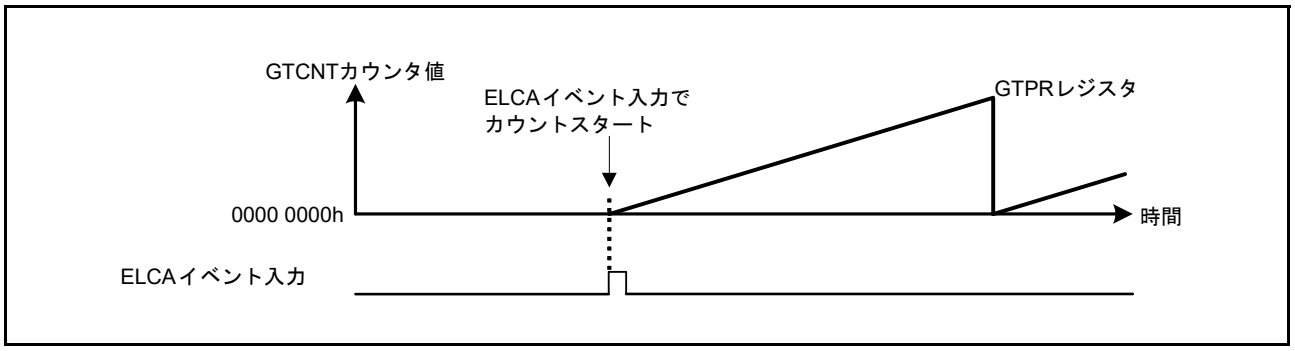


図 24.55 ハードウェア要因によるカウントスタート動作例 (ELCA イベントによるスタート時)

動作モード設定
GTCR.MD[2:0]ビットで動作モードを設定します。
(図24.55の例では“000b”(のこぎり波PWMモード))

カウント方向設定
GTUDDTYCレジスタでカウント方向(アップ/ダウン)を設定します。
(図24.55の例ではGTUDDTYCレジスタの下位2ビットを“11b”にしてからGTUDDTYCレジスタの下位2ビットを“01b”にする(アップカウント))

カウントクロックの選択
GTCR.TPCS[3:0]ビットでカウントクロックを選択します。

周期設定
GTPRレジスタに周期を設定します。

カウンタ初期値設定
GTCNTカウンタに初期値を設定します。
(図24.55の例では“0000 0000h”)

ハードウェアカウントスタート設定
GTSSRレジスタでカウントをスタートさせるハードウェア要因を選択します。
(図24.55の例ではGTSSR.SSELCAビット= 1)

ハードウェア要因の動作設定
GTSSRレジスタで選択したハードウェア要因の動作を設定して、カウントをスタートさせます。
(図24.55の例ではELCAイベント入力の動作設定)

図 24.56　ハードウェア要因によるカウントスタート動作設定例

図 24.57 に GTETRGA 端子入力の立ち上がりによるカウントスタート動作タイミング例を示します。

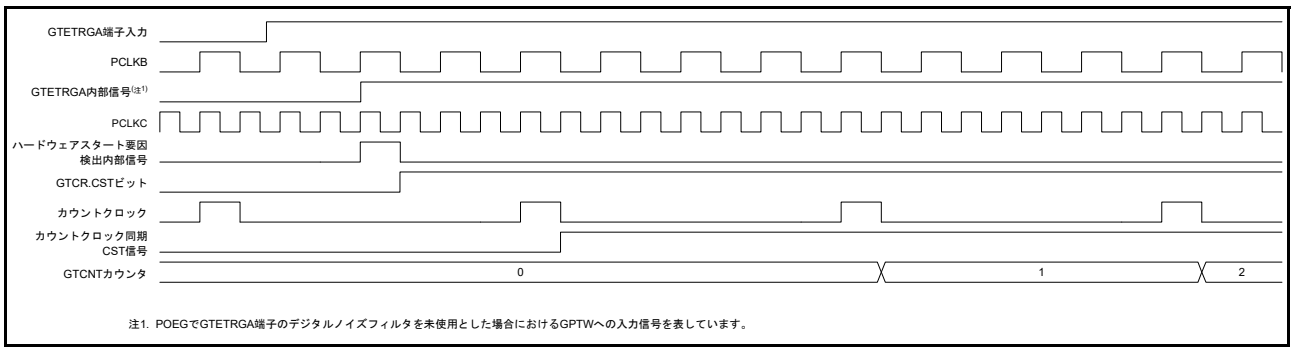


図 24.57　GTETRGA 端子入力の立ち上がりによるカウントスタート動作タイミング例

図 24.58 に GTIOCnA 端子入力の立ち上がりによるカウントスタート動作タイミング例を示します。

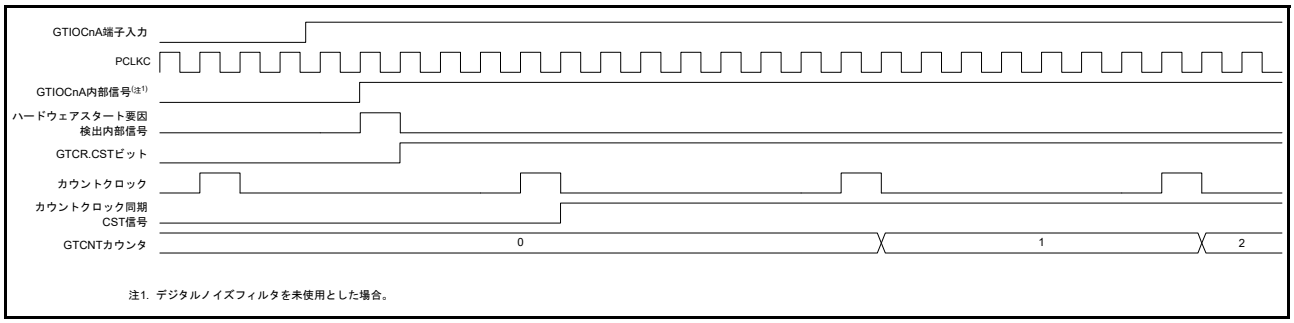


図 24.58　GTIOCnA 端子入力の立ち上がりによるカウントスタート動作タイミング例

図 24.59 に ELCA イベント入力によるカウントスタート動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのカウントスタート動作を行った場合の例です。PCLKC に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。

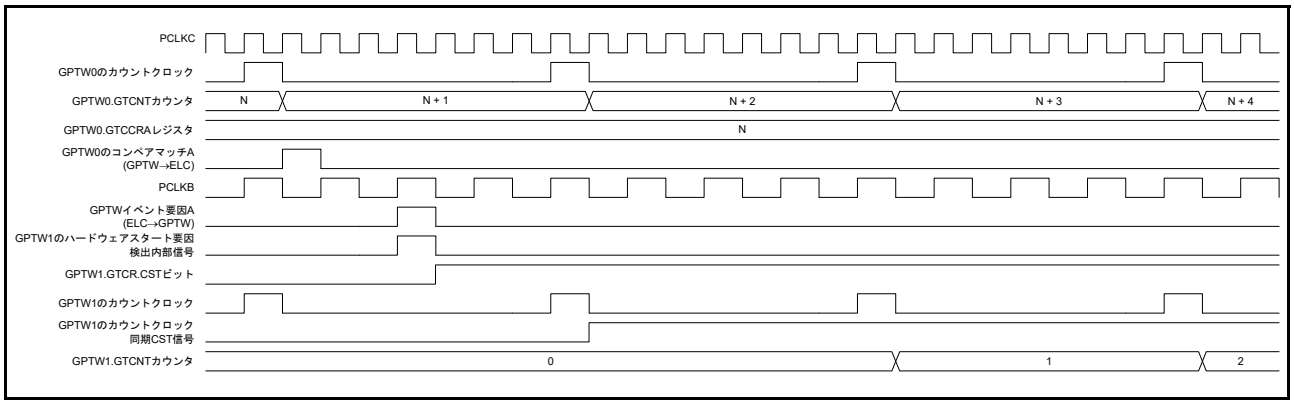


図 24.59　ELCA イベント入力によるカウントスタート動作タイミング例

24.3.7.2 ハードウェアストップ動作

ハードウェア要因により、GTCNT カウンタのストップ制御が可能です。GTPSR レジスタでカウントをストップさせるハードウェア要因を選択してカウントストップを許可します。

図 24.60 にハードウェア要因によるカウントストップの動作例を、**図 24.61** に設定例を示します。ELCA イベント入力によりストップ、ELCB イベント入力により再スタートする例です。

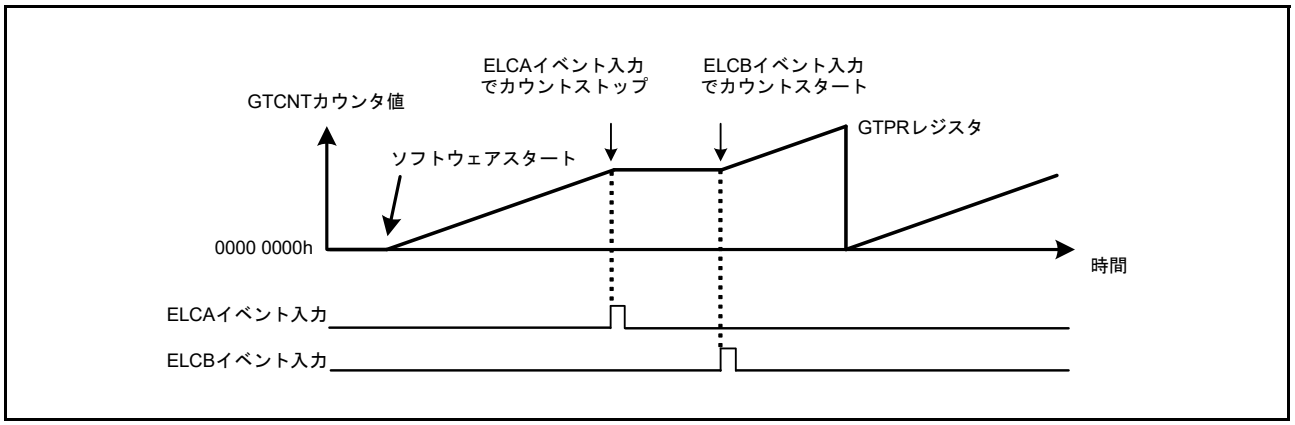


図 24.60 ハードウェア要因によるカウントストップ動作例
(ソフトウェアでスタート、ELCA イベント入力でストップ、ELCB イベント入力で再スタート時)

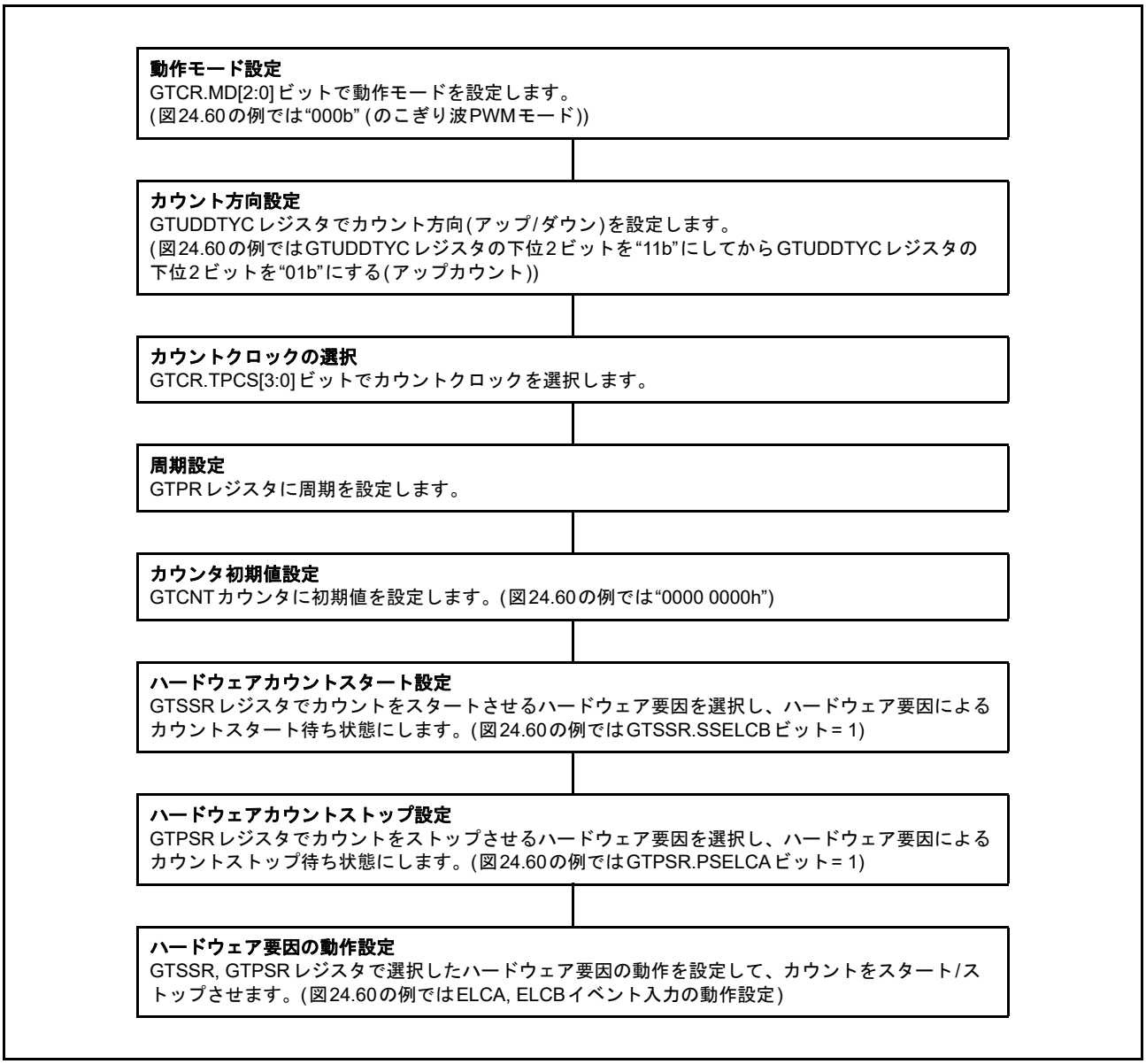


図 24.61　ハードウェア要因によるカウントストップ動作設定例

図 24.62 にハードウェア要因によるカウントスタート / ストップの動作例を、図 24.63 に設定例を示します。外部入力トリガ GTETRGA 端子が High の区間でカウント動作する例です。

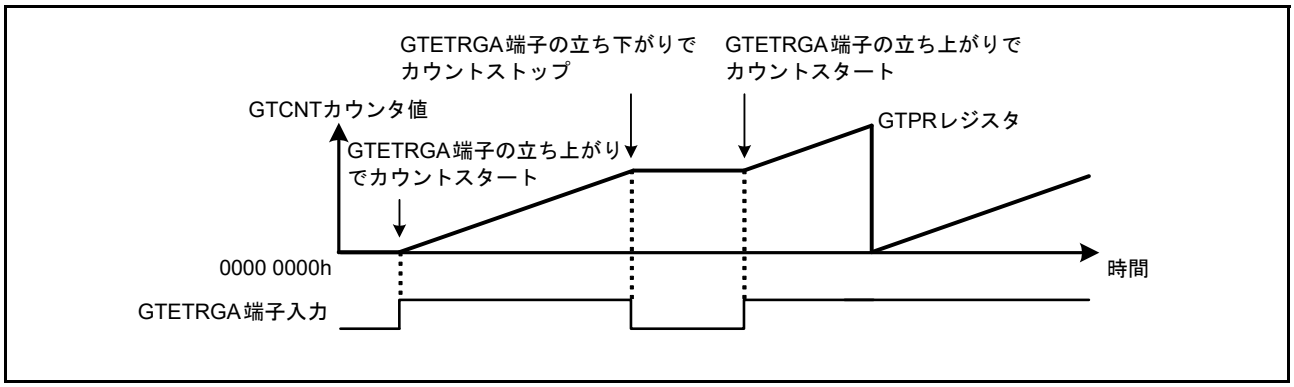


図 24.62　ハードウェア要因によるカウントスタート / ストップ動作例
(GTETRGA 端子入力の立ち上がりでスタート、GTETRGA 端子入力の立ち下がりでストップ時)

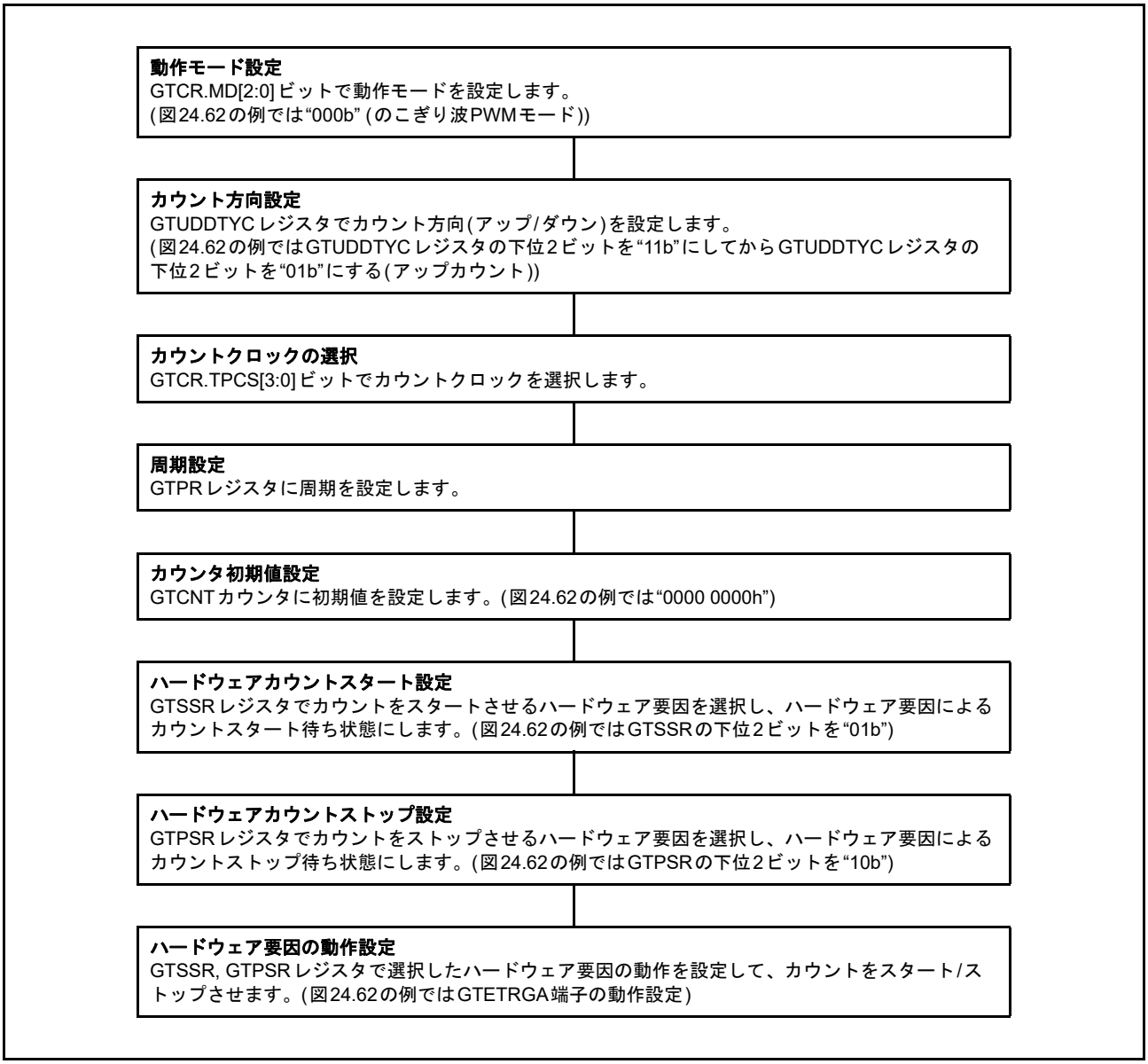


図 24.63　ハードウェア要因によるカウントスタート / ストップ動作設定例

図 24.64 に GTETRGA 端子入力の立ち上がりによるカウントストップ動作タイミング例を示します。

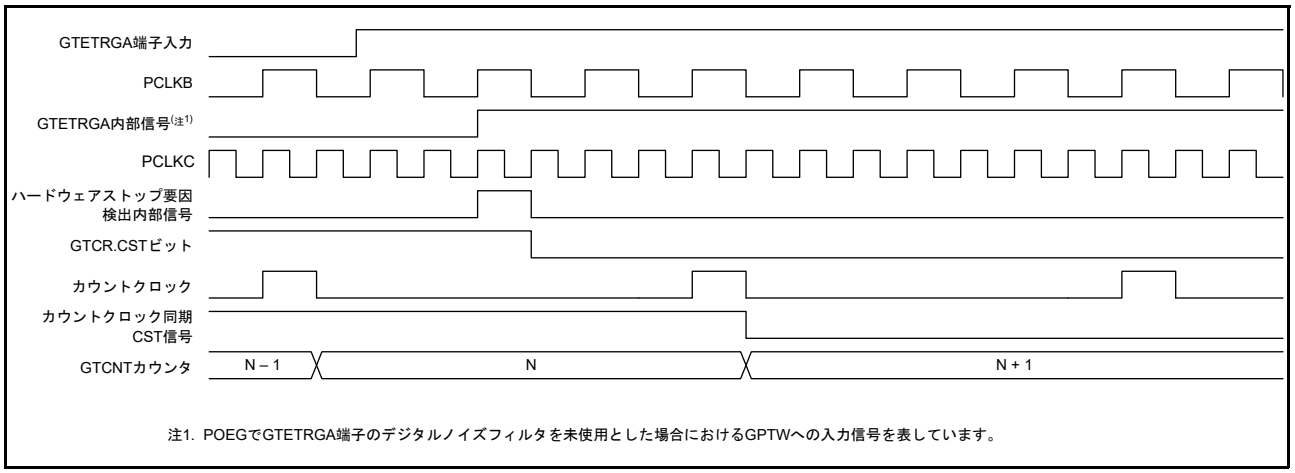


図 24.64　GTETRGA 端子入力の立ち上がりによるカウントストップ動作タイミング例

図 24.65 に GTIOCnA 端子入力の立ち上がりによるカウントストップ動作タイミング例を示します。

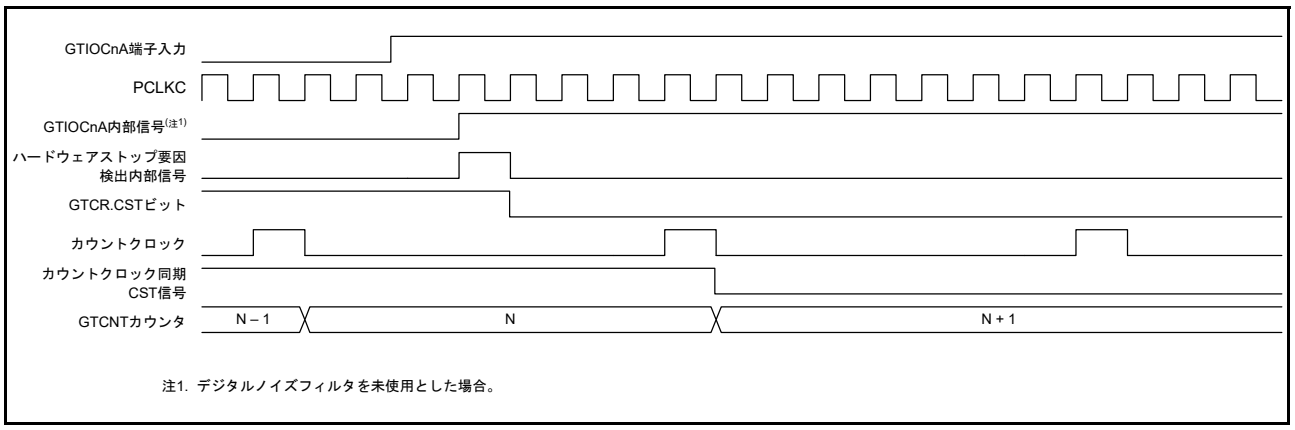


図 24.65　GTIOCnA 端子入力の立ち上がりによるカウントストップ動作タイミング例

図 24.66 に ELCA イベント入力によるカウントストップ動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのカウントストップ動作を行った場合の例です。PCLKC に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。

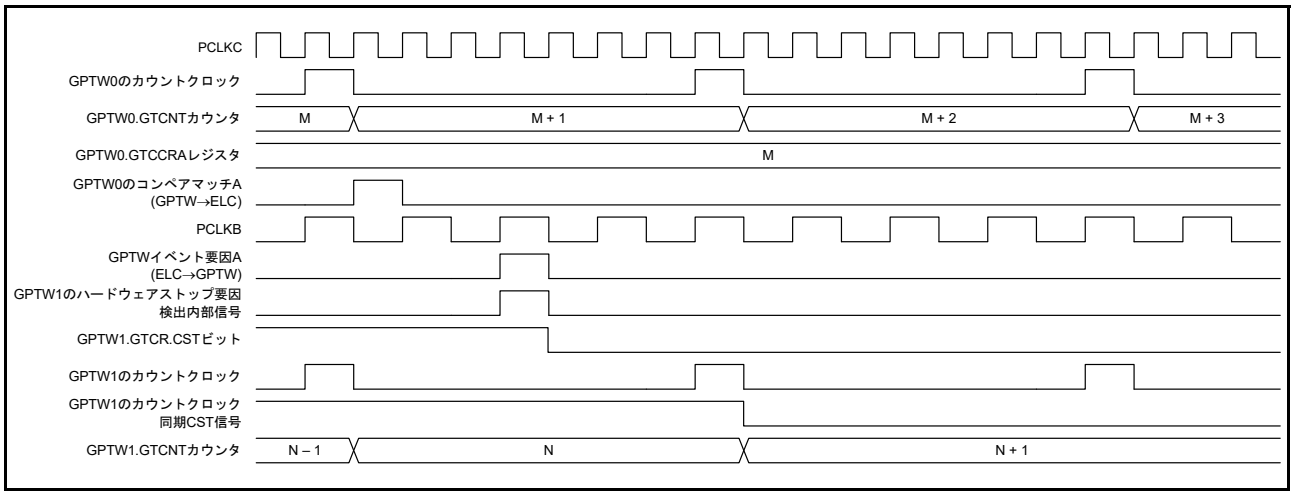


図 24.66　ELCA イベント入力によるカウントストップ動作タイミング例

24.3.7.3 ハードウェアクリア動作

ハードウェア要因によって、GTCNT カウンタのクリア制御が可能です。GTCSR レジスタでカウンタをクリアさせるハードウェア要因を選択してカウンタクリアを許可します。

なお、ハードウェア要因によるカウンタクリアおよびソフトウェアによるカウンタクリアが発生しても、GTCIV/GTCIU 割り込み (オーバフロー / アンダフロー割り込み) は発生しません。

図 24.67、**図 24.68** にハードウェア要因によるカウンタクリアの動作例を、**図 24.69** に設定例を示します。ELCA イベント入力によりスタート、ELCB イベント入力によりカウントストップ / クリアする例です。

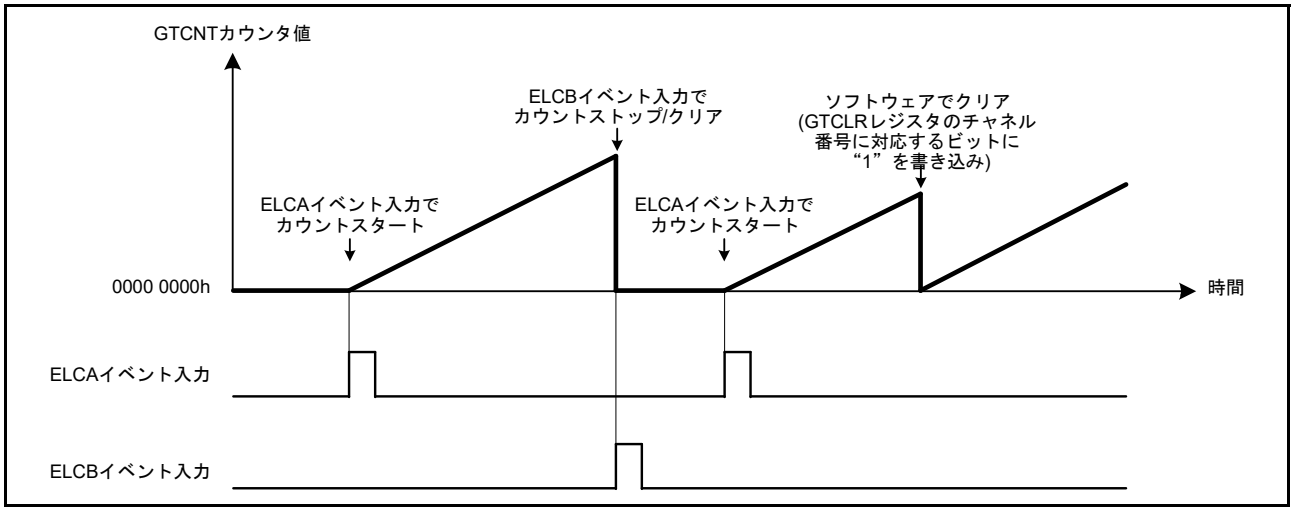


図 24.67 ハードウェア要因によるカウンタクリア動作例 (のこぎり波でアップカウント、ELCA イベント入力でスタート、ELCB イベント入力でカウントストップ / クリア時)

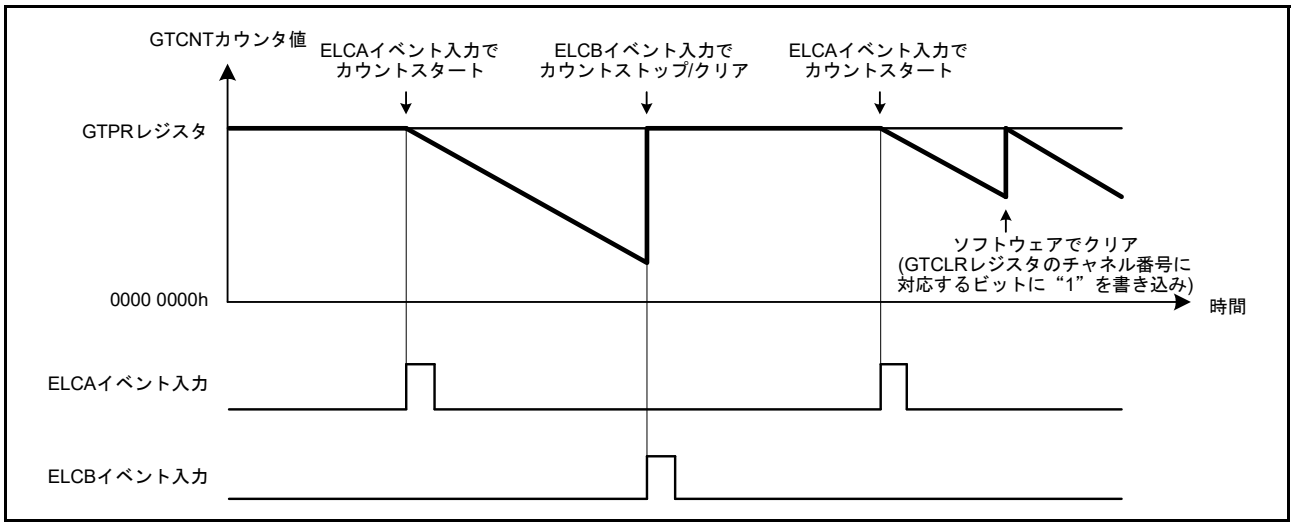


図 24.68 ハードウェア要因によるカウンタクリア動作例 (のこぎり波でダウンカウント、ELCA イベント入力でスタート、ELCB イベント入力でカウントストップ / クリア時)

動作モード設定
GTCR.MD[2:0]ビットで動作モードを設定します。
(図24.67、図24.68の例では“000b” (のこぎり波PWMモード))

カウント方向設定
GTUDDTYCレジスタでカウント方向(アップ/ダウン)を設定します。
(図24.67の例ではGTUDDTYCレジスタの下位2ビットを“11b”にしてからGTUDDTYCレジスタの下位2ビットを“01b”にする(アップカウント)、図24.68の例ではGTUDDTYCレジスタの下位2ビットを“10b”にしてからGTUDDTYCレジスタの下位2ビットを“00b”にする(ダウンカウント))

カウントクロックの選択
GTCR.TPCS[3:0]ビットでカウントクロックを選択します。

周期設定
GTPRレジスタに周期を設定します。

カウンタ初期値設定
GTCNTカウンタに初期値を設定します。(図24.67の例では“0000 0000h”、図24.68の例ではGTPRレジスタ値)

ハードウェアカウントスタート設定
GTSSRレジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。(図24.67、図24.68の例ではGTSSR.SSELCAビット= 1)

ハードウェアカウントストップ設定
GTPSRレジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。(図24.67、図24.68の例ではGTPSR.PSELCBビット= 1)

ハードウェアカウンタクリア設定
GTCSRレジスタでカウンタをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。(図24.67、図24.68の例ではGTCSR.CSELCBビット= 1)

ハードウェア要因の動作設定
GTSSR, GTPSR, GTCSRレジスタで選択したハードウェア要因の動作を設定して、カウントスタート/カウントストップ/カウンタクリアを実行させます。
(図24.67、図24.68の例ではELCA, ELCBイベント入力の設定)

図 24.69　ハードウェア要因によるカウンタクリア動作設定例

ハードウェア要因によるカウンタクリアを行っても、GTCIV/GTCIU 割り込み (オーバフロー / アンダフロー割り込み) は発生しません。同様に、ソフトウェアでのカウンタクリアを行った場合も、GTCIV/GTCIU 割り込みは発生しません。

図 24.70 にハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係を示します。

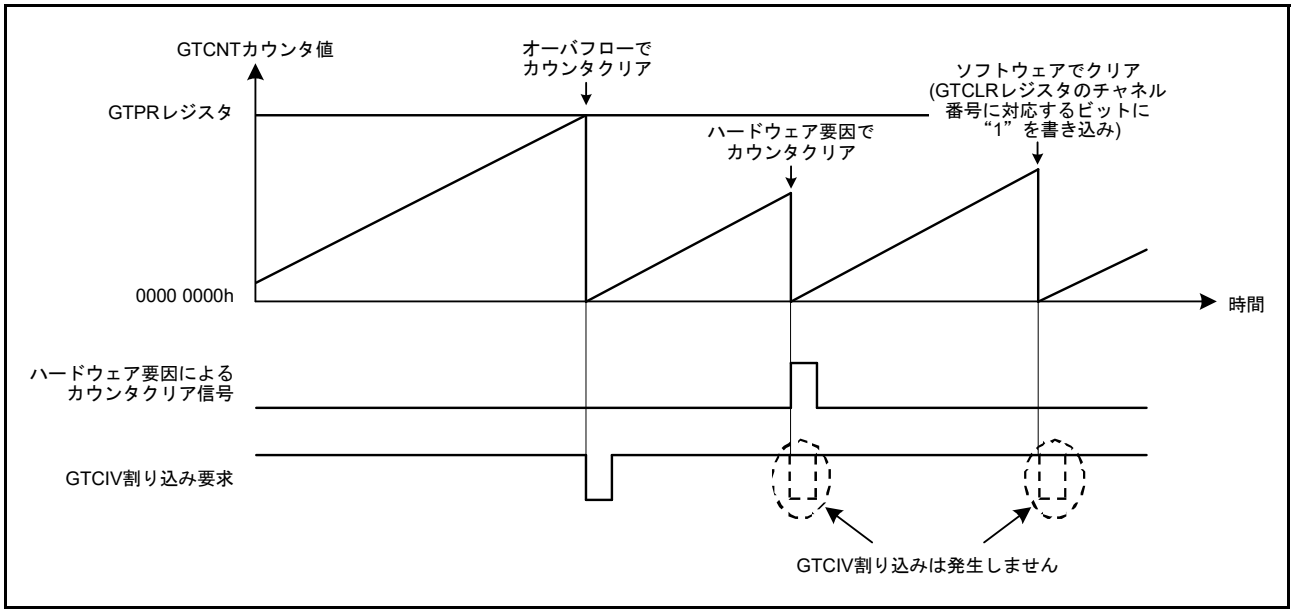


図 24.70　ハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係

図 24.71 に GTCNT カウンタのカウントクロックに PCLKC の分周クロックを選択した場合における GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後のカウント動作時にクリアされます。

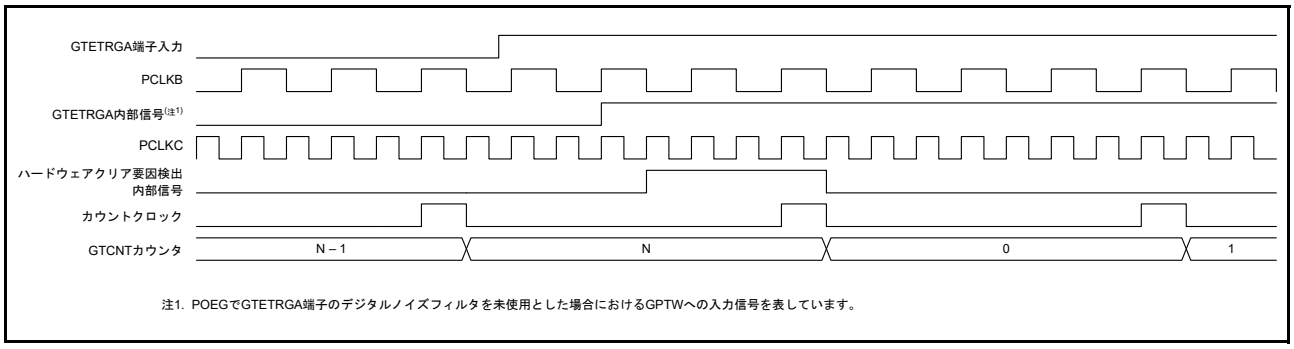


図 24.71　GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (PCLKC の分周クロックによるカウント動作時)

図 24.72 に GTCNT カウンタのカウントクロックに PCLKC の分周クロックを選択した場合における GTIOCnA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後のカウント動作時にクリアされます。

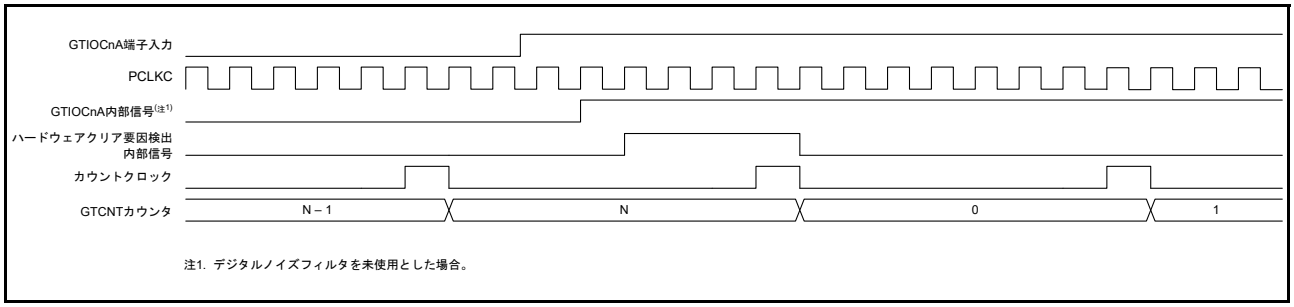


図 24.72　GTIOCnA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (PCLKC の分周クロックによるカウント動作時)

図 24.73 に GTCNT カウンタのカウントクロックに PCLKC の分周クロックを選択した場合における ELCA イベント入力によるカウンタクリア動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのクリア動作を行った場合の例です。

PCLKC に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。GTCNT カウンタは、GPTW がクリア要因を検出した後のカウント動作時にクリアされます。

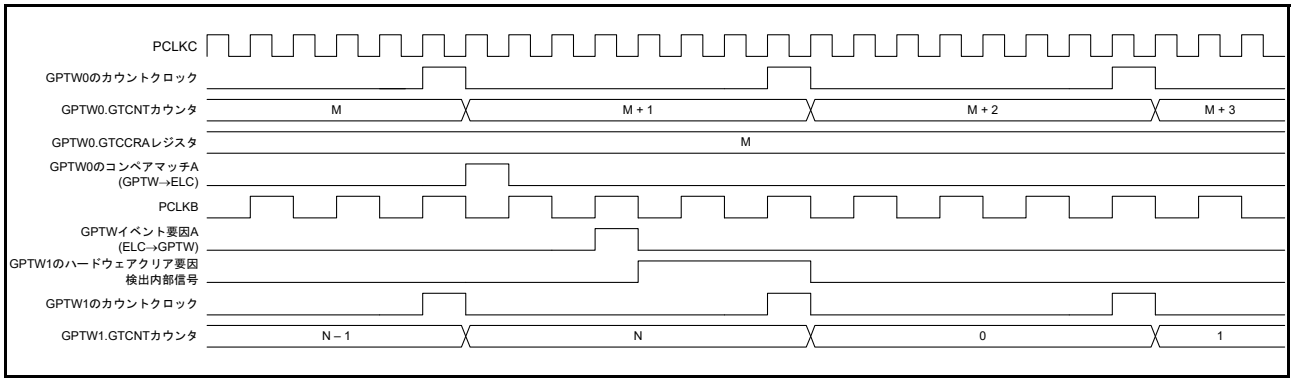


図 24.73　ELCA イベント入力によるカウンタクリア動作タイミング例 (PCLKC の分周クロックによるカウント動作時)

図 24.74 にハードウェア要因によるカウント動作とした場合における GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後の PCLKC に同期してクリアされます。

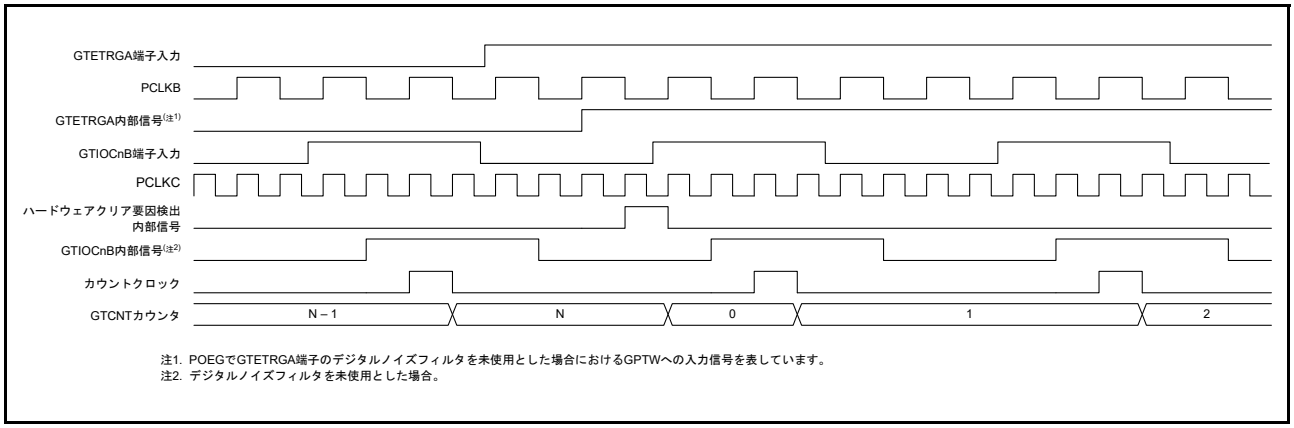


図 24.74　GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (ハードウェア要因によるカウント動作時)

図 24.75 にハードウェア要因によるカウント動作とした場合における GTIOCnA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後の PCLKC に同期してクリアされます。

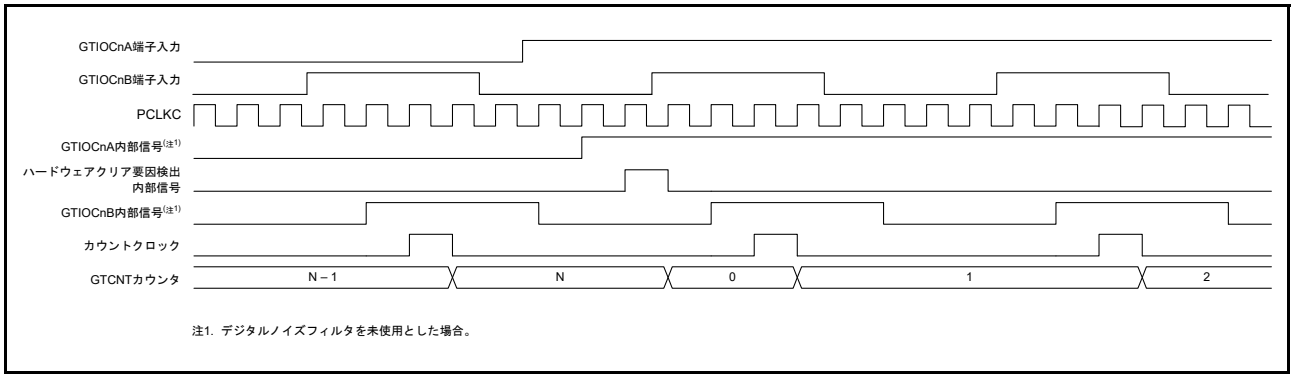


図 24.75　GTIOCnA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (ハードウェア要因によるカウント動作時)

図 24.76 にハードウェア要因によるカウント動作とした場合における ELCA イベント入力によるカウンタクリア動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのクリア動作を行った場合の例です。

PCLKC に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。GTCNT カウンタは、GPTW がクリア要因を検出した後の PCLKC に同期してクリアされます。

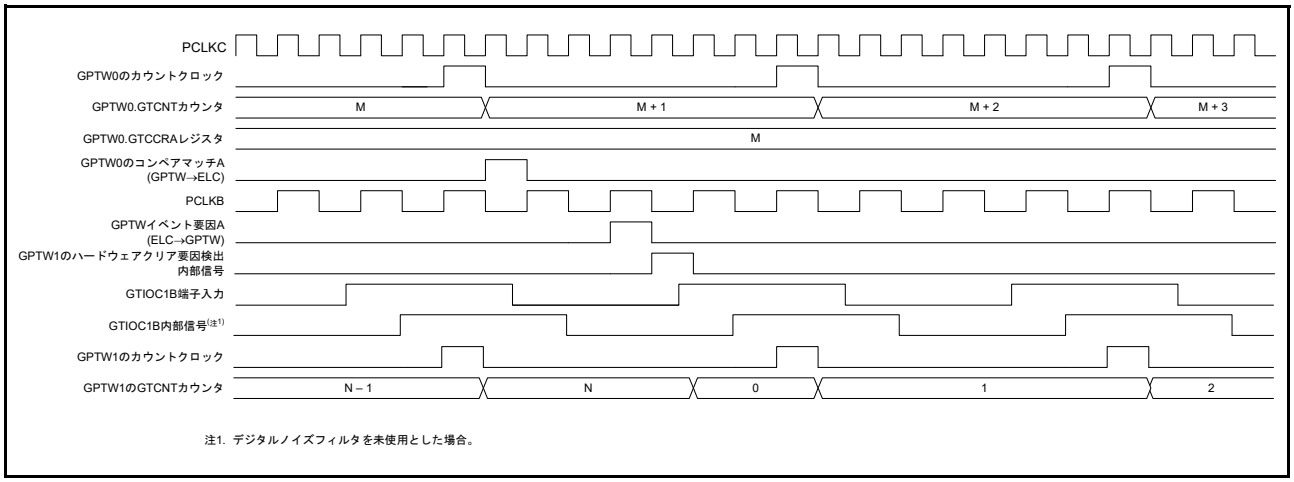


図 24.76　ELCA イベント入力によるカウンタクリア動作タイミング例 (ハードウェア要因によるカウント動作時)

24.3.8 同期動作

チャネル間の同期動作 (同時スタート / ストップ / クリア) が可能です。

24.3.8.1 ソフトウェアによる同期動作

GTSTR, GTSTP, GTCLR レジスタの複数ビットを同時に “1” にすることによって、各チャネルのカウント動作を同時にスタート、ストップ、クリアすることができます。

カウントスタート前に各チャネルの GTCNT カウンタ値を設定しておき、GTSTR レジスタの複数のビットを同時に “1” にすることにより、各チャネル間に位相差をつけたカウントスタートすることができます。

図 24.77 は、4 つのチャネルを、ソフトウェアによる同時スタート / ストップ / クリアさせた例です。図 24.78 は、4 つのチャネルを、ソフトウェアによる位相スタートをさせた例です。

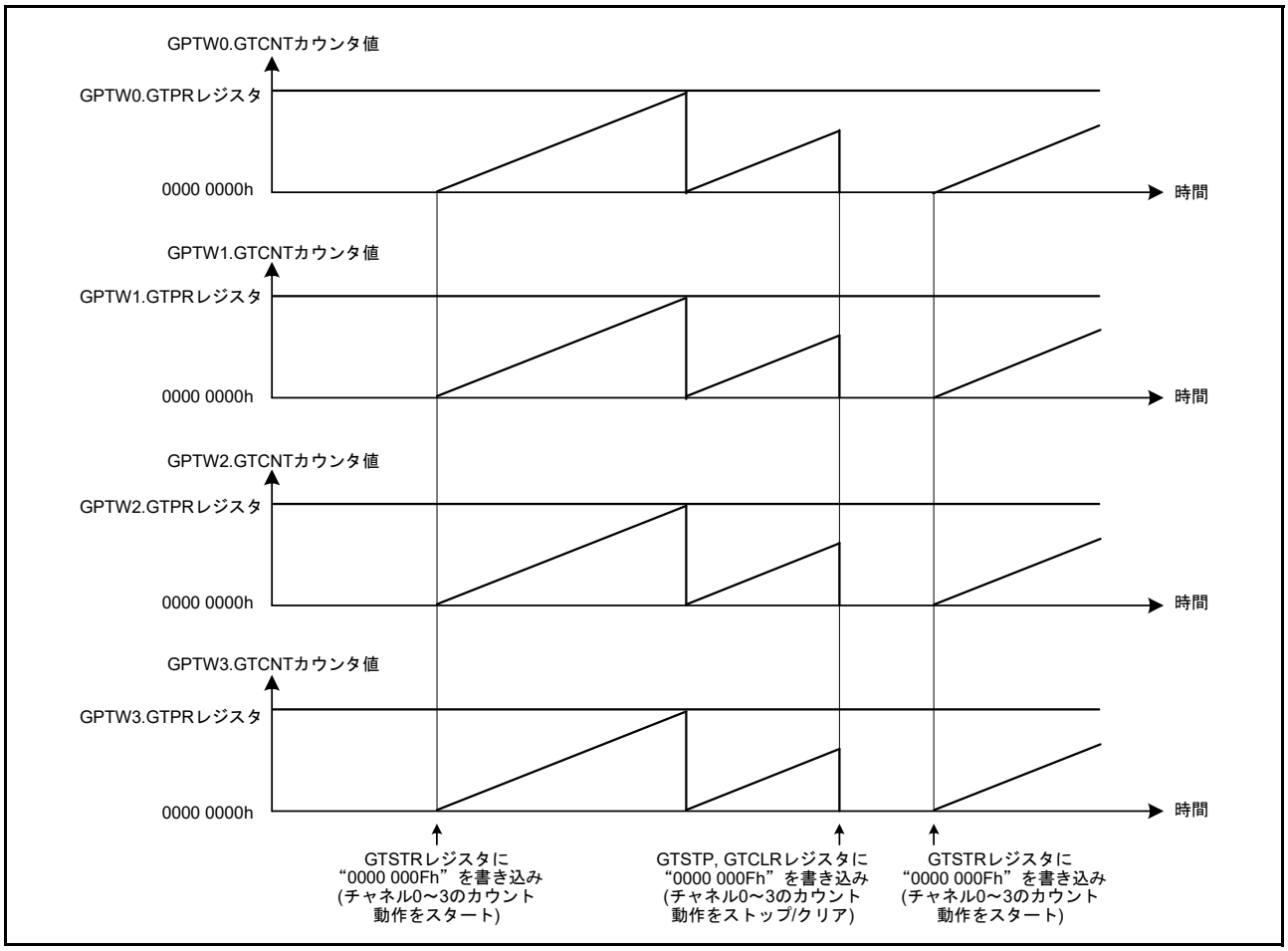


図 24.77 ソフトウェアによる同時スタート / ストップ / クリア動作例
(カウント周期 (GTPR レジスタ値) が同一のとき)

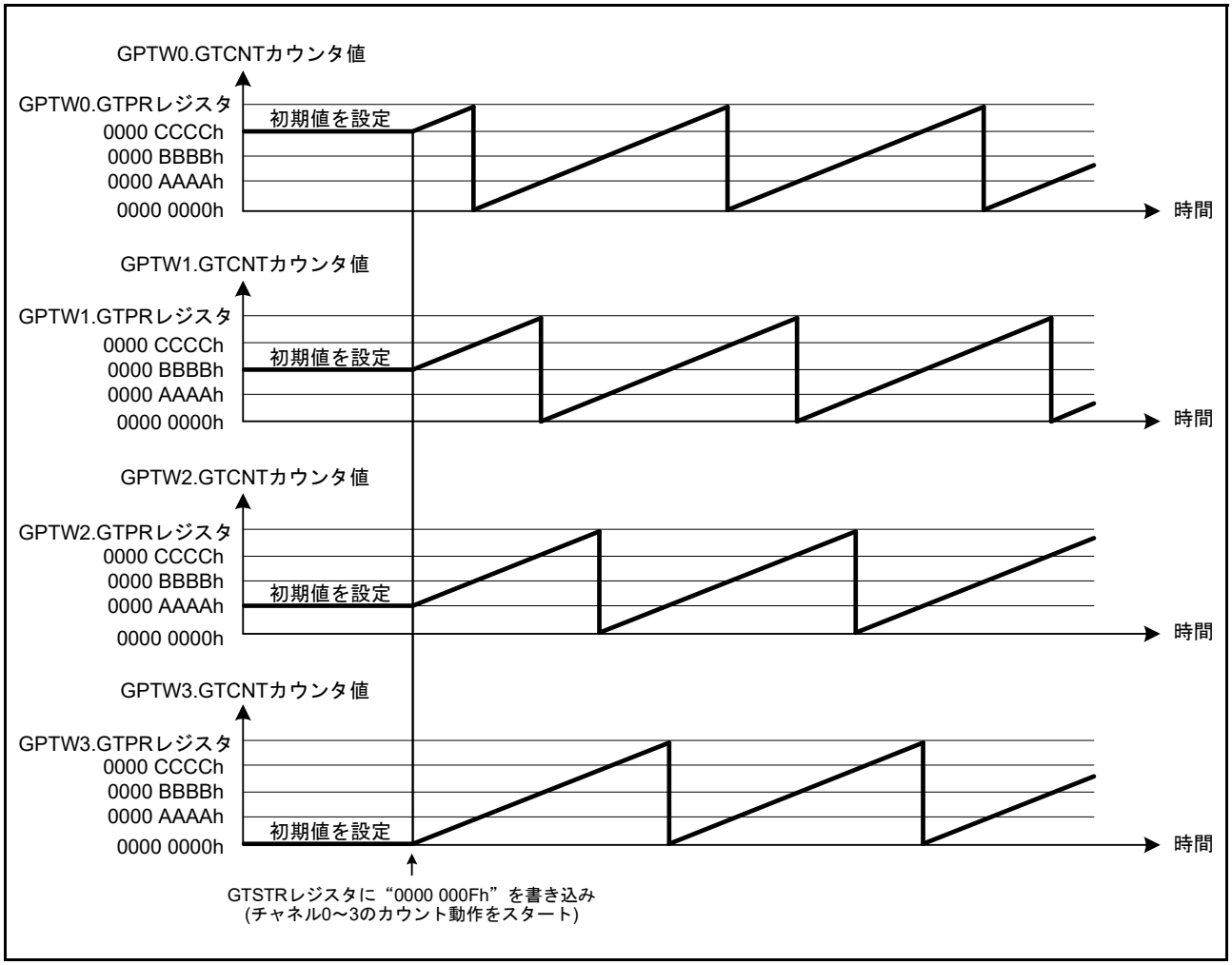


図 24.78　ソフトウェアによる位相シフトスタート動作例
(カウント周期 (GTPR レジスタ値) が同一のとき)

24.3.8.2 ハードウェア要因による同期動作

ハードウェア要因により、各チャネルのカウント動作を同時にスタート、ストップ、クリアすることができます。

同期動作が可能なハードウェア要因は、外部トリガ入力と ELC イベント入力です。GTIOCnA, GTIOCnB 端子入力 (n = 0 ～ 9) による同期動作は、インプットキャプチャによる ELC イベントをハードウェア要因として設定することで実現できます。

図 24.79 は、4 つのチャネルを、ハードウェア要因による同時スタート / ストップ / クリア動作させた例です。

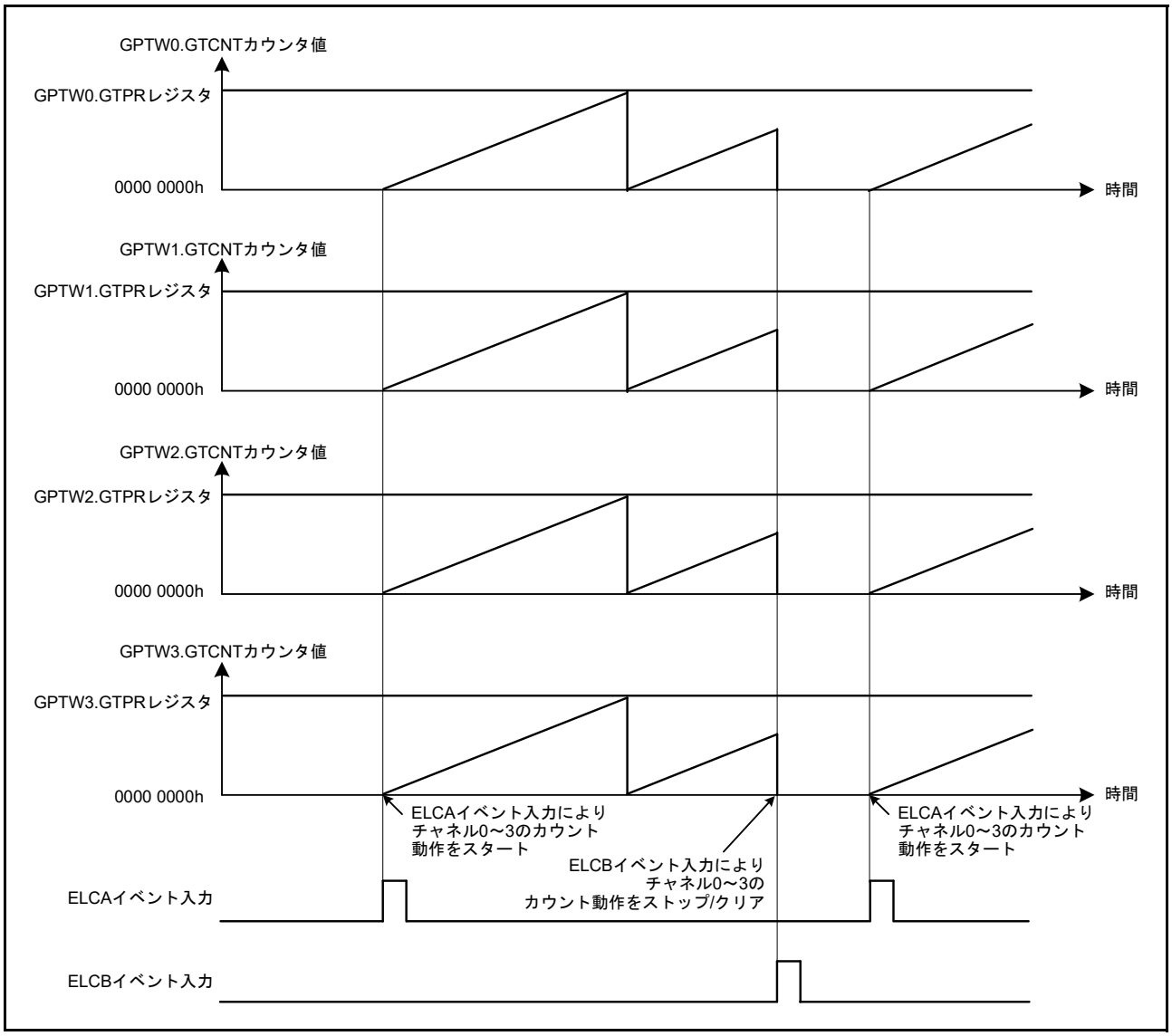


図 24.79 ハードウェア要因による同時スタート / ストップ / クリア動作例
(カウント周期 (GTPR レジスタ値) が同一のとき)

動作モード設定
各チャネルのGTCR.MD[2:0]ビットで動作モードを設定します。
(図24.79の例では“000b” (のこぎり波PWMモード))

カウント方向設定
GTUDDTYCレジスタでカウント方向(アップ/ダウン)を設定します。
(図24.79の例ではGTUDDTYCレジスタの下位2ビットを“11b”にしてからGTUDDTYCレジスタの下位2ビットを“01b”にする(アップカウント))

カウントクロックの選択
各チャネルのGTCR.TPCS[3:0]ビットでカウントクロックを選択します。

周期設定
各チャネルのGTPRレジスタに周期を設定します。

カウンタ初期値設定
各チャネルのGTCNTカウンタに初期値を設定します。(図24.79の例では“0000 0000h”)

ハードウェアカウントスタート設定
GTSSRレジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。(図24.79の例ではGTSSR.SSELCAビット= 1)

ハードウェアカウントストップ設定
GTPSRレジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。(図24.79の例ではGTPSR.PSELCBビット= 1)

ハードウェアカウンタクリア設定
GTCSRレジスタでカウンタをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。(図24.79の例ではGTCSR.CSELCBビット= 1)

ハードウェア要因の動作設定
GTSSR, GTPSR, GTCSRレジスタで選択したハードウェア要因の動作を設定して、カウントスタート/カウントストップ/カウンタクリアを実行させます。
(図24.79の例ではELCA, ELCBイベント入力の設定)

図 24.80 ハードウェア要因による同時スタート設定例

24.3.9　PWM 出力動作例

(1)　同期 PWM 出力

チャネル間の同期動作をすることにより、1 チャネル 2 相、最大 10 チャネル 20 相の連動した PWM 波形を出力できます。

図 24.81 は、4 つのチャネルを、のこぎり波 PWM モードで同期動作させ、8 相の PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ～ 3) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 端子出力の設定は、初期出力は Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とした例です。

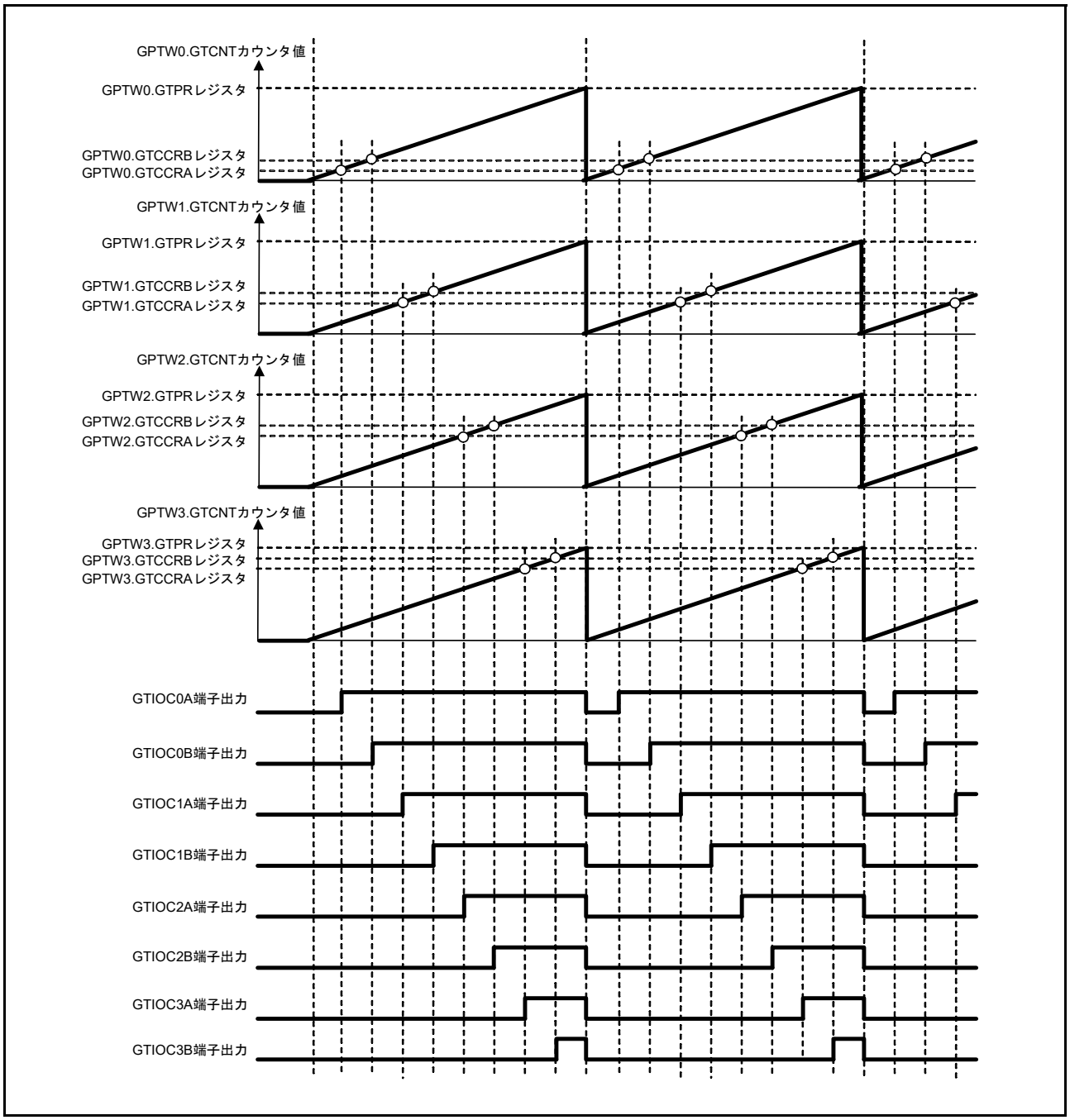


図 24.81　同期 PWM 出力例

(2) のこぎり波3相相補PWM出力

図24.82は、3つのチャネルをのこぎり波PWMモードで同期動作させ、3相相補PWM波形を出力させた例です。GTIOCnA端子出力(n = 0 ～ 2)の設定は、初期出力はLow出力、GTCCRAレジスタのコンペアマッチでHigh出力、周期の終わりでLow出力とし、GTIOCnB端子出力の設定は、初期出力はHigh出力、GTCCRBレジスタのコンペアマッチでLow出力、周期の終わりでHigh出力とした例です。

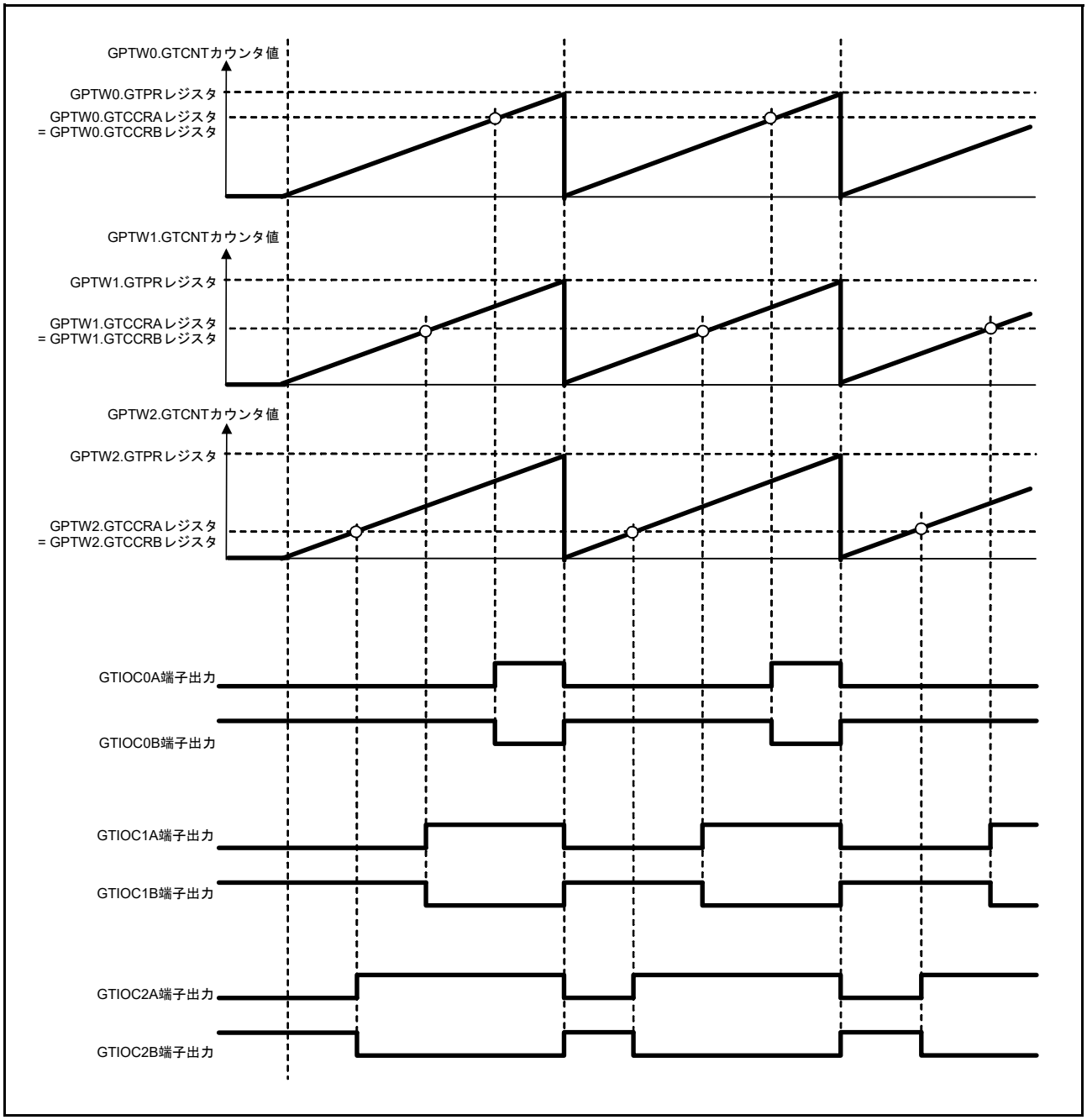


図24.82 のこぎり波3相相補PWM出力

(3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 24.83 は、3 つのチャネルを、デッドタイムを自動設定したのこぎり波ワンショットパルスモードで同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ～ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

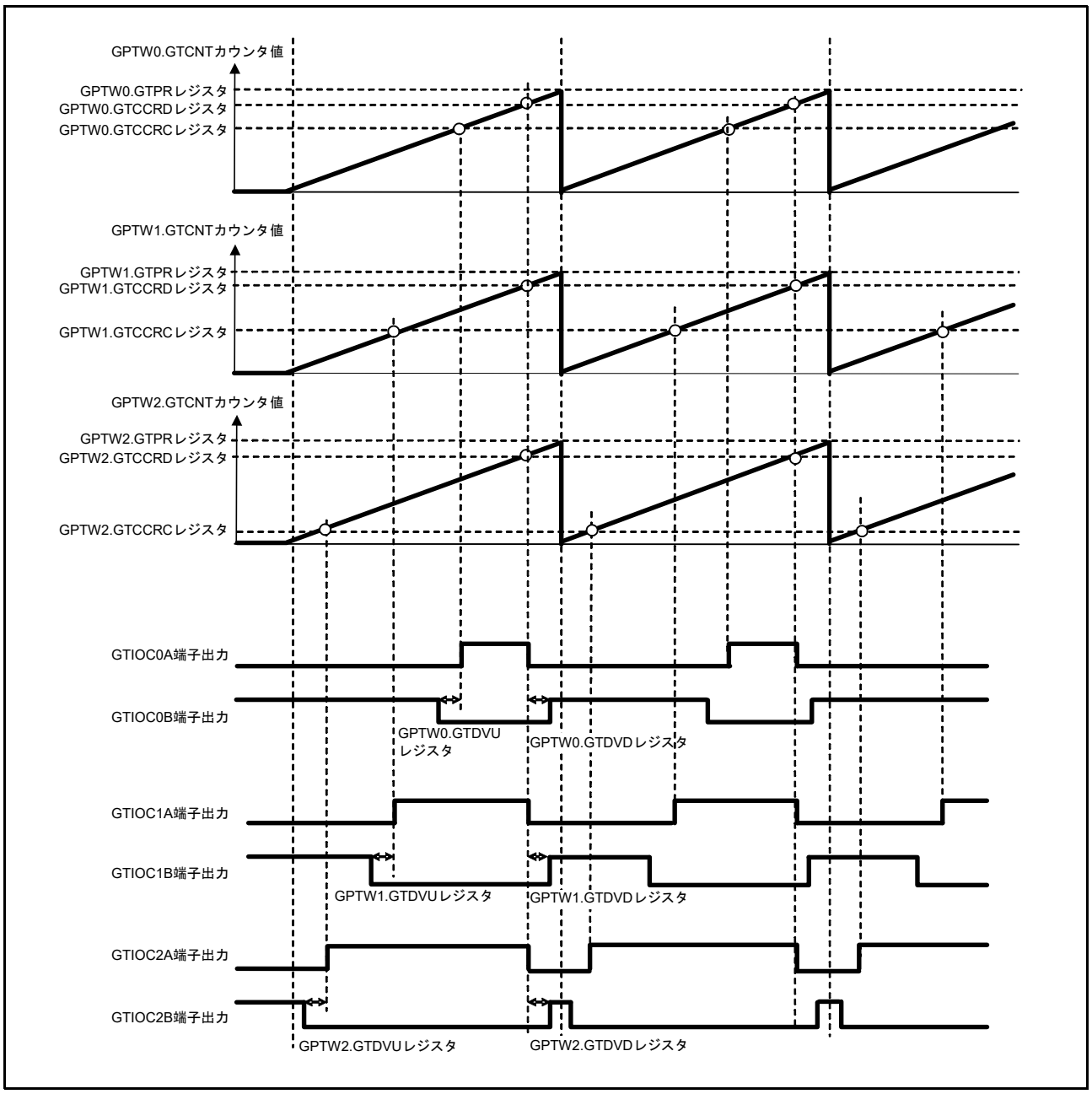


図 24.83 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 24.84 は、3 つのチャネルを三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ～ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

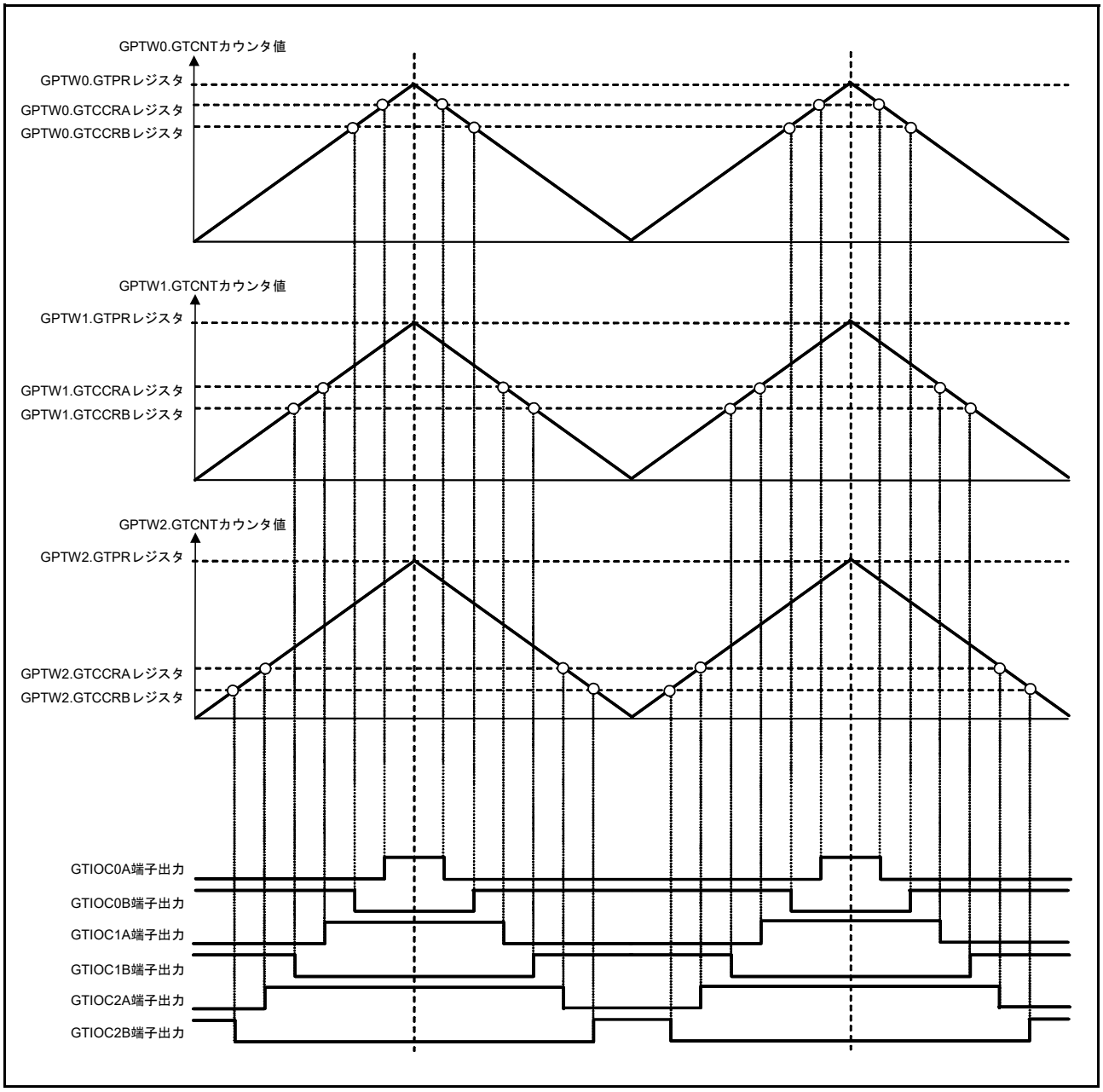


図 24.84 三角波 3 相相補 PWM 出力

(5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 24.85 は、3 つのチャネルを、デッドタイムを自動設定した三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ～ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

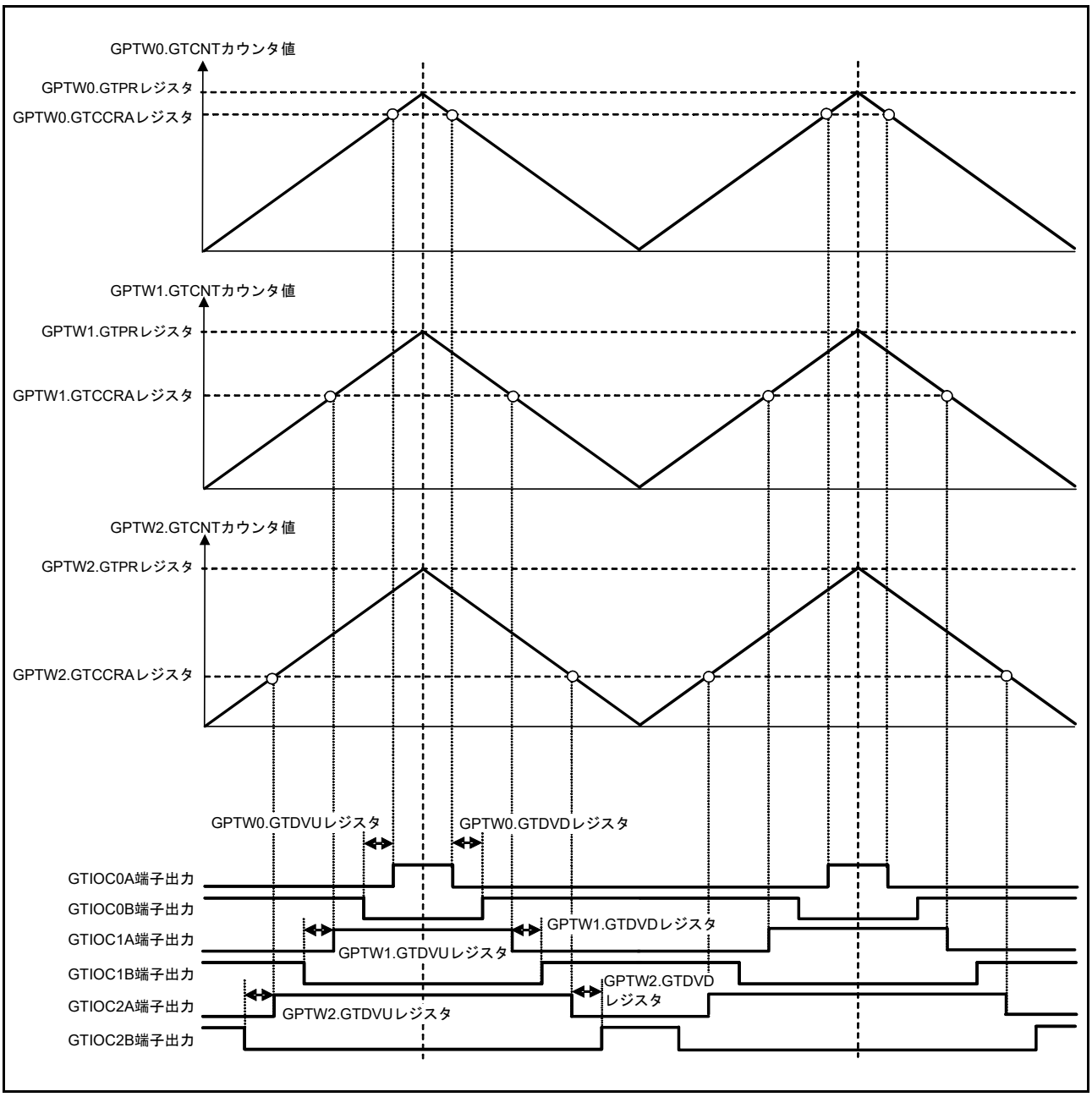


図 24.85 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 24.86 は、3 つのチャネルを、デッドタイムを自動設定した三角波 PWM モード 3 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ～ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

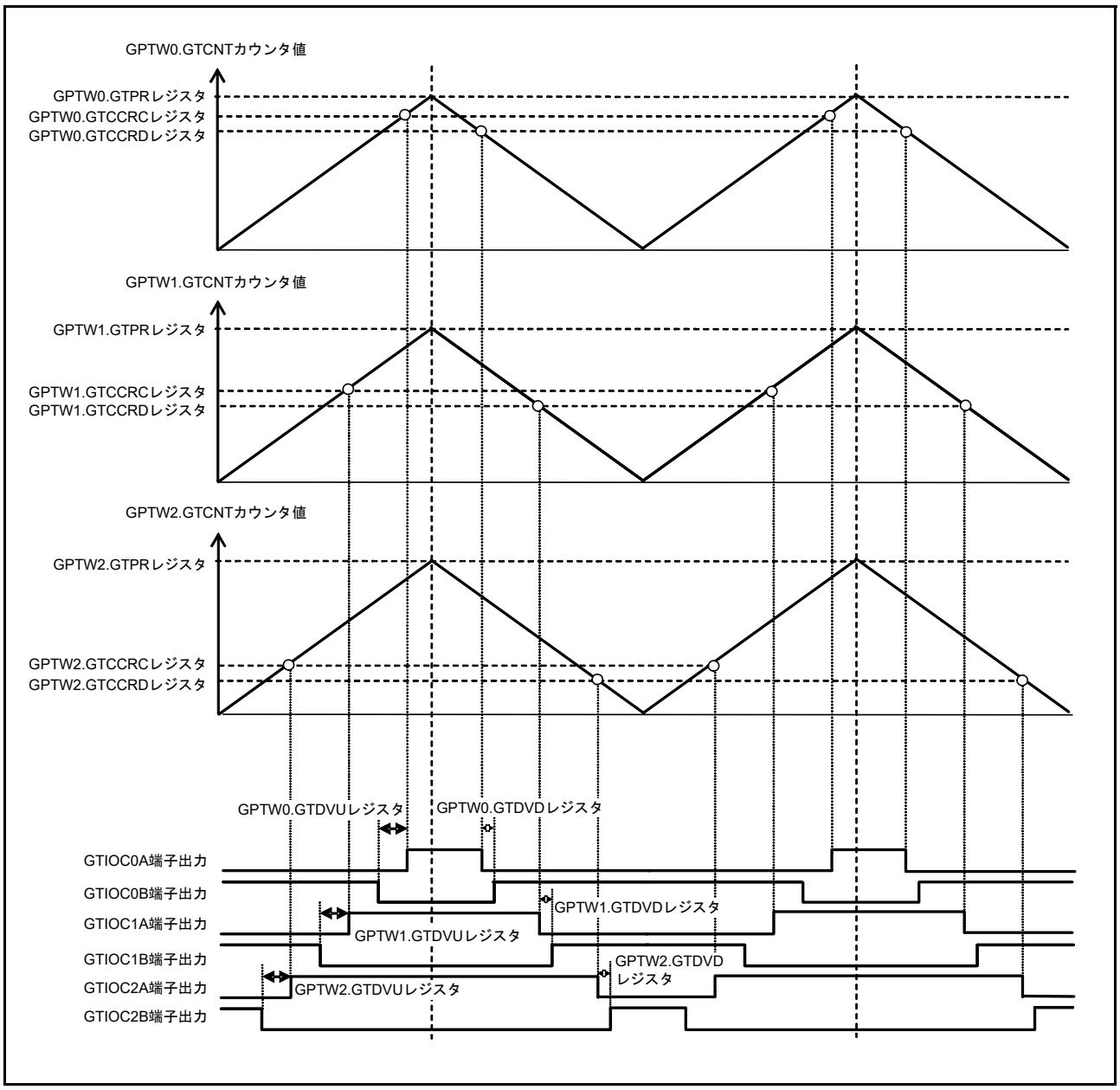


図 24.86 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

24.3.10　位相計数機能

GTIOCnA 端子入力 (n = 0 ～ 9) と GTIOCnB 端子入力の位相差を検出して、GTCNT カウンタをアップカウント / ダウンカウントすることができます。検出したい位相差は、GTUPSR レジスタと GTDNSR レジスタで、GTIOCnA 端子入力と GTIOCnB 端子入力のエッジとレベルの関係を設定することで任意の組み合わせが可能です。カウント動作については、「24.3.1.1　カウンタの動作」を参照してください。

図 24.87 ～図 24.96 に位相計数モード 1 ～ 5 の動作例を、表 24.10 ～表 24.19 にアップカウント条件とダウンカウント条件、GTUPSR レジスタと GTDNSR レジスタの設定を示します。

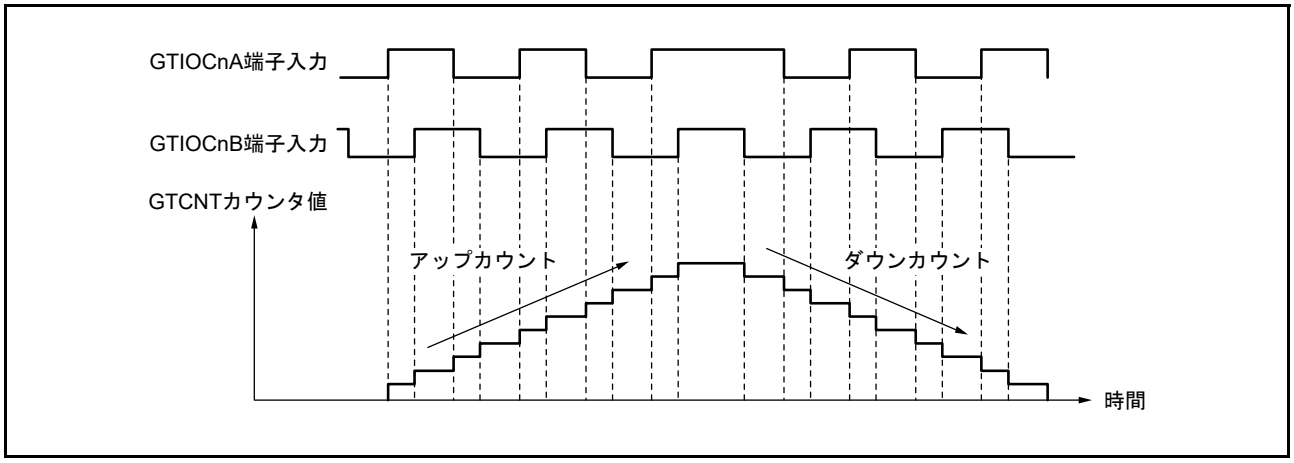


図 24.87　位相計数モード 1 の動作例 (n = 0 ～ 9)

表 24.10　位相計数モード 1 のアップカウント / ダウンカウント条件 (n = 0 ～ 9)

GTIOCnA 端子入力	GTIOCnB 端子入力	動作内容	レジスタ設定
High	↑	アップカウント	GTUPSR = 0000 6900h GTDNSR = 0000 9600h
Low	↓		
↑	Low		
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High		
↓	Low		

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

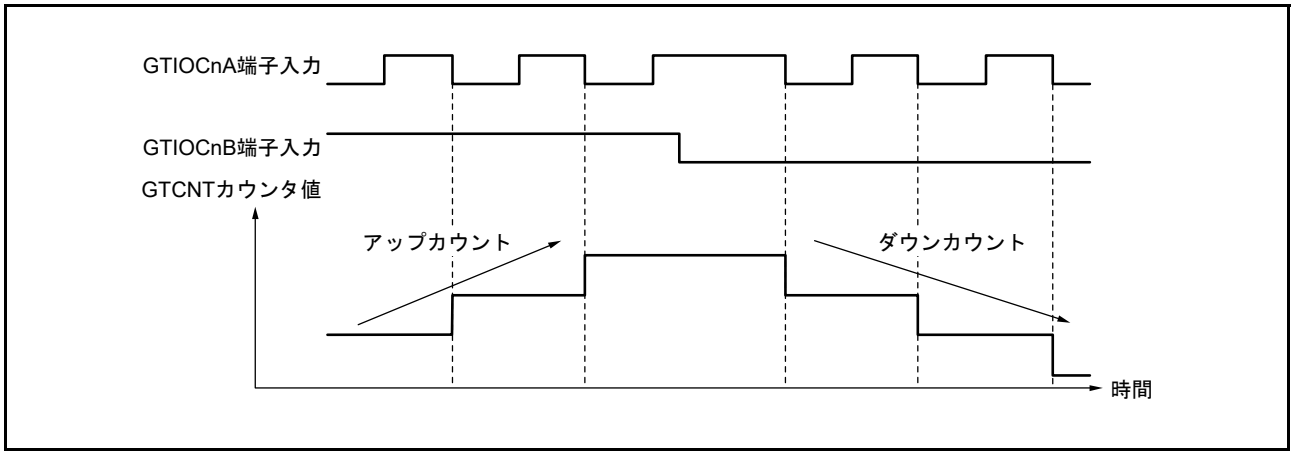


図 24.88　位相計数モード 2 の動作例 (n = 0 ～ 9)

表24.11　位相計数モード2のアップカウント/ダウンカウント条件(n = 0～9)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0800h GTDNSR = 0000 0400h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High		
↓	Low	ダウンカウント	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

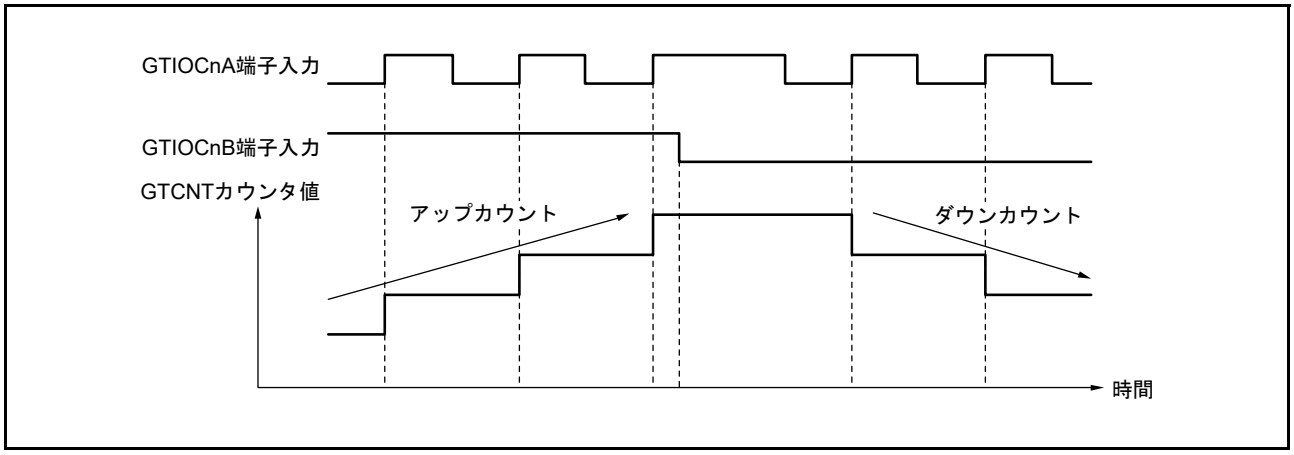


図 24.89　位相計数モード 2 の動作例 (n = 0 ～ 9)

表24.12　位相計数モード2のアップカウント/ダウンカウント条件(n = 0～9)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0200h GTDNSR = 0000 0100h
Low	↓		
↑	Low	ダウンカウント	
↓	High	Don't care	
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don't care	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

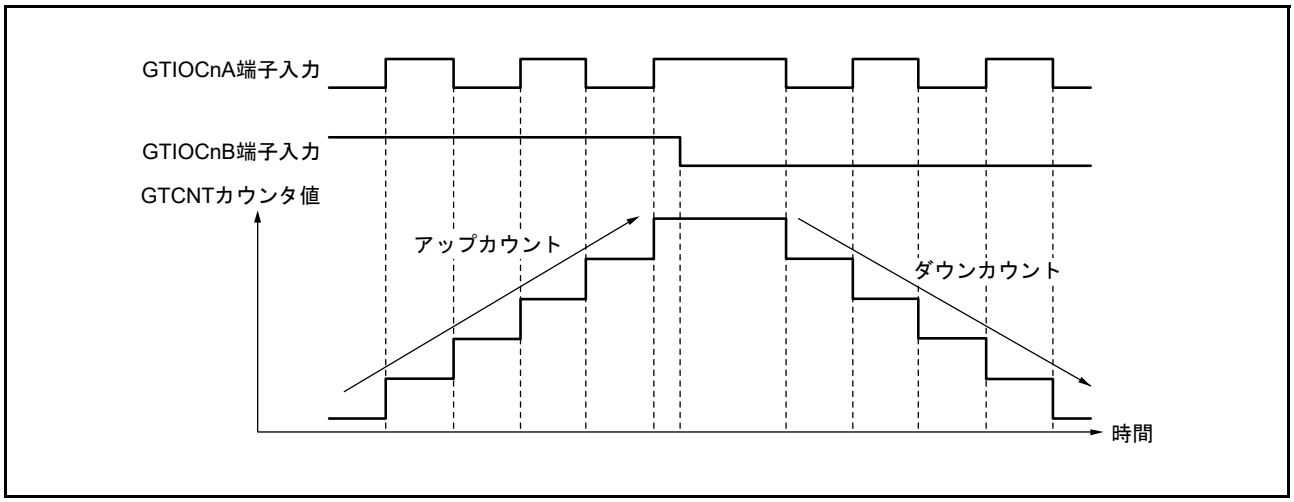


図 24.90　位相計数モード 2 の動作例 (n = 0 ～ 9)

表24.13　位相計数モード2のアップカウント/ダウンカウント条件(n = 0～9)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0A00h GTDNSR = 0000 0500h
Low	↓		
↑	Low	ダウンカウント	
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High	アップカウント	
↓	Low	ダウンカウント	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

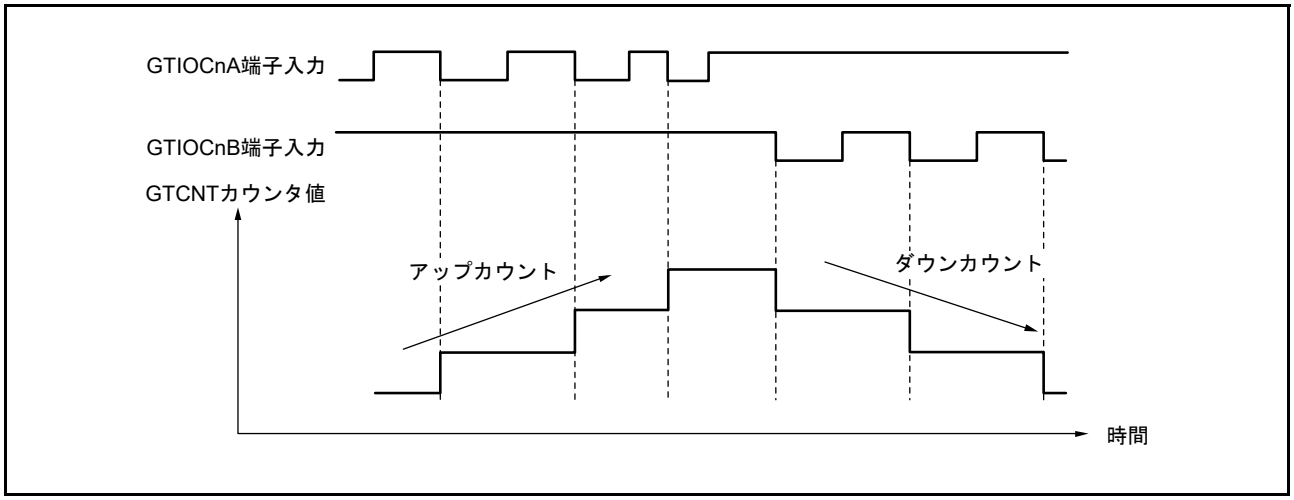


図 24.91　位相計数モード 3 の動作例 (n = 0 ～ 9)

表24.14　位相計数モード3のアップカウント/ダウンカウント条件(n = 0～9)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0800h GTDNSR = 0000 8000h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	ダウンカウント	
Low	↑	Don't care	
↑	High		
↓	Low		

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

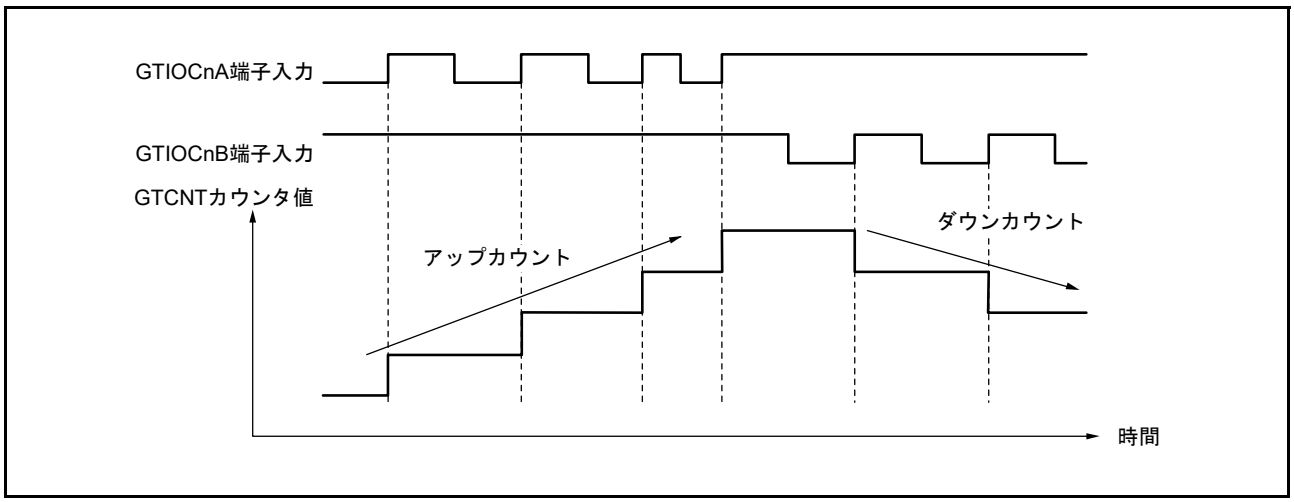


図 24.92　位相計数モード 3 の動作例 (n = 0 ～ 9)

表24.15　位相計数モード3のアップカウント/ダウンカウント条件(n = 0～9)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	ダウンカウント	GTUPSR = 0000 0200h GTDNSR = 0000 2000h
Low	↓	Don't care	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don't care	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

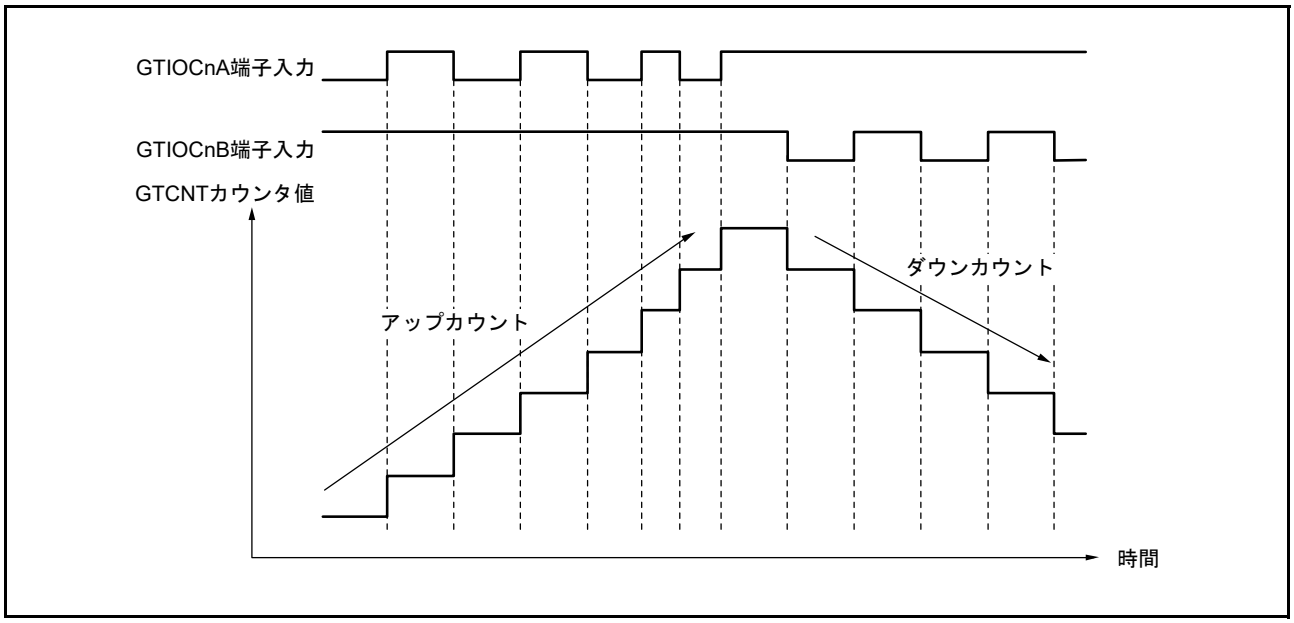


図 24.93　位相計数モード 3 の動作例 (n = 0 ～ 9)

表24.16　位相計数モード3のアップカウント/ダウンカウント条件(n = 0～9)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	ダウンカウント	GTUPSR = 0000 0A00h GTDNSR = 0000 A000h
Low	↓	Don't care	
↑	Low		
↓	High	アップカウント	
High	↓	ダウンカウント	
Low	↑	Don't care	
↑	High	アップカウント	
↓	Low	Don't care	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

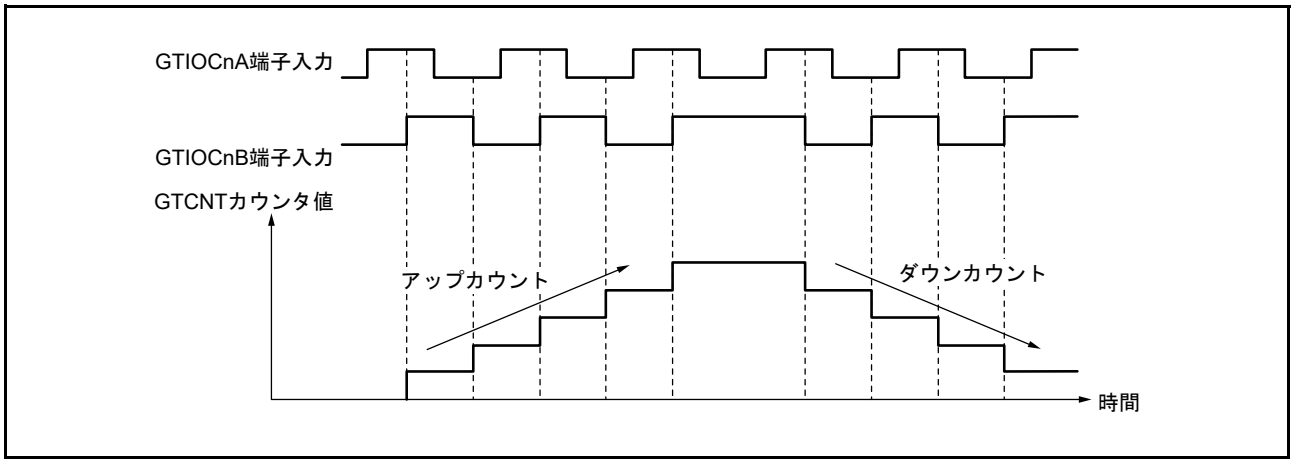


図 24.94　位相計数モード 4 の動作例 (n = 0 ～ 9)

表24.17　位相計数モード4のアップカウント/ダウンカウント条件(n = 0～9)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	アップカウント	GTUPSR = 0000 6000h GTDNSR = 0000 9000h
Low	↓		
↑	Low	Don't care	
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High	Don't care	
↓	Low		

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

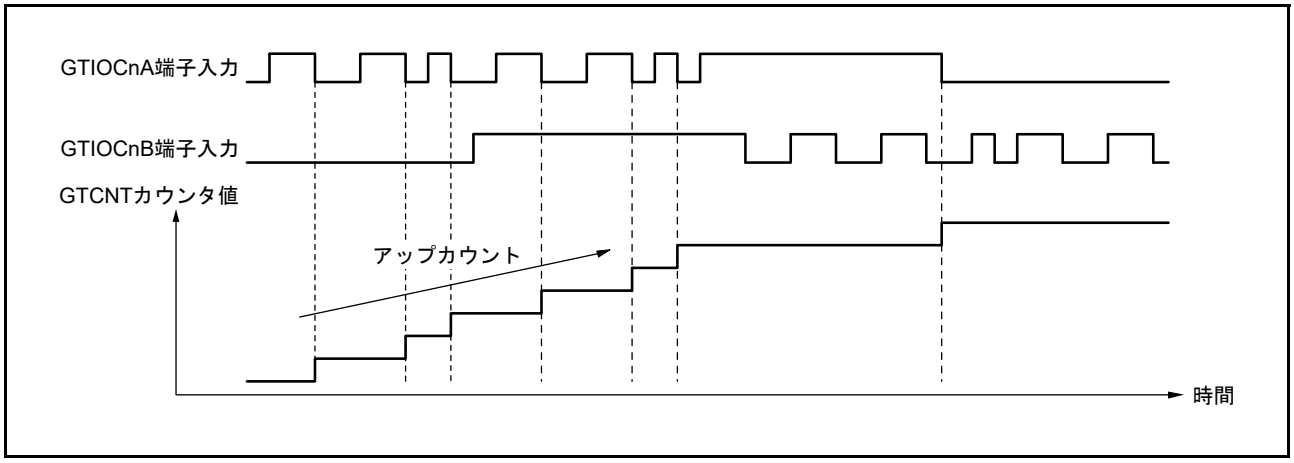


図 24.95　位相計数モード 5 の動作例 (n = 0 ～ 9)

表24.18　位相計数モード5のアップカウント/ダウンカウント条件(n = 0～9)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0C00h GTDNSR = 0000 0000h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High		
↓	Low	アップカウント	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

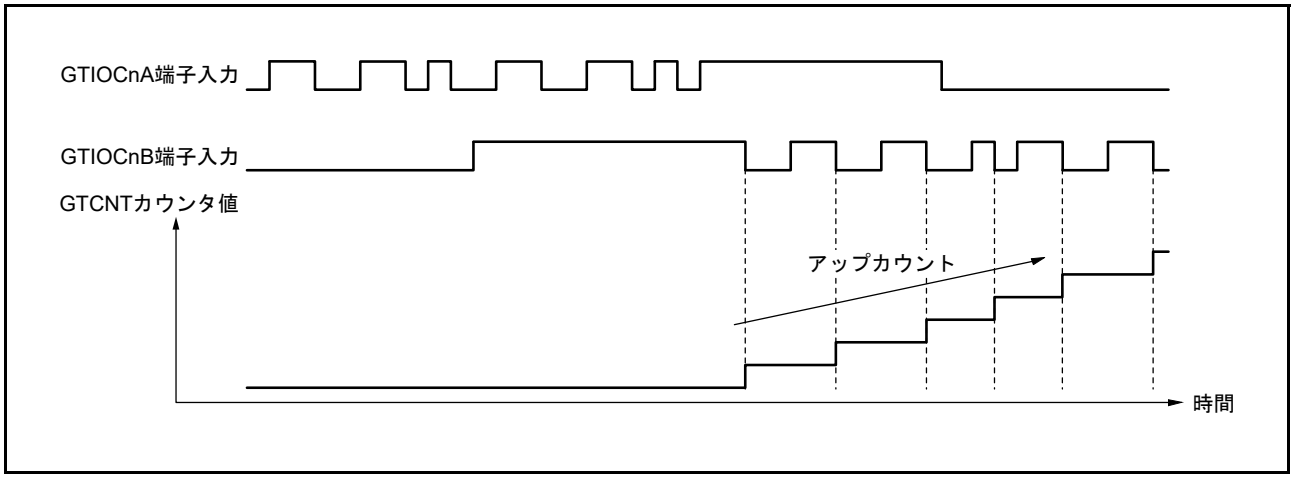


図 24.96　位相計数モード 5 の動作例 (n = 0 ～ 9)

表24.19　位相計数モード5のアップカウント/ダウンカウント条件(n = 0～9)

GTIOCnA端子入力	GTIOCnB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 C000h GTDNSR = 0000 0000h
Low	↓	アップカウント	
↑	Low	Don't care	
↓	High		
High	↓	アップカウント	
Low	↑	Don't care	
↑	High		
↓	Low		

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

24.4 割り込み要因

24.4.1 割り込み要因と優先順位

割り込み要因には、GTCCRm レジスタ (m = A ～ F) のインプットキャプチャ / コンペアマッチ、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ)/ アンダフロー、デッドタイムエラーの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと割り込み要求発生の制御ビットがあり、割り込み要求の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、GTINTAD レジスタの対応する割り込み要求許可 / 禁止ビットが “1” であれば、割り込み要求が発生します。

詳細は「14. 割り込みコントローラ (ICUC)」を参照してください。表 24.20 に GPTW の割り込み要因の一覧を示します。

表 24.20 GPTWの割り込み要因(n = 0～9)

チャネル	名称	割り込み要因
GPTWn	GTCIAn	GTCCRA レジスタのインプットキャプチャ /コンペアマッチ
	GTCIBn	GTCCRB レジスタのインプットキャプチャ /コンペアマッチ
	GTCICn	GTCCRC レジスタのコンペアマッチ
	GTCIDn	GTCCRD レジスタのコンペアマッチ
	GDTEn	デッドタイムエラー
	GTCIEn	GTCCRE レジスタのコンペアマッチ
	GTCIFn	GTCCRF レジスタのコンペアマッチ
	GTCIVn	GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ)
	GTCIUn	GTCNT カウンタのアンダフロー

(1) GTCIAn 割り込み (n = 0 ～ 9)

GTINTAD.GTINTA ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRA レジスタと一致したとき
- GTCCRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき

(2) GTCIBn 割り込み (n = 0 ～ 9)

GTINTAD.GTINTB ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタと一致したとき
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

(3) GTCICn 割り込み (n = 0 ～ 9)

GTINTAD.GTINTC ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRC レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)

- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b, 10b, 11b (GTCCRC レジスタがバッファ動作)

(4) GTCIDn 割り込み (n = 0 ～ 9)

GTINTAD.GTINTD ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b, 11b (GTCCRD レジスタがバッファ動作)

(5) GTCIEn 割り込み (n = 0 ～ 9)

GTINTAD.GTINTE ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRE レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 01b, 10b, 11b (GTCCRE レジスタがバッファ動作)

(6) GTCIFn 割り込み (n = 0 ～ 9)

GTINTAD.GTINTF ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRF レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 10b, 11b (GTCCRF レジスタがバッファ動作)

(7) GTCIVn 割り込み (n = 0 ～ 9)

GTINTAD.GTINTPR[0] ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- のこぎり波の場合、オーバフロー(アップカウント動作中に GTCNT カウンタ値が GTPR レジスタ値から “0” になる) が発生
- 三角波の場合、山 (GTCNT カウンタ値が GTPR レジスタ値から GTPR レジスタ値 –1 になる) が発生
- ハードウェア要因によるカウント動作の場合、オーバフロー(アップカウント動作によって GTCNT カウンタ値が GTPR レジスタ値から “0” になる) が発生

(8) GTCIUn 割り込み (n = 0 ～ 9)

GTINTAD.GTINTPR[1] ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- のこぎり波の場合、アンダフロー(ダウンカウント動作中に GTCNT カウンタ値が “0” から GTPR レジスタ値になる) が発生
- 三角波の場合、谷 (GTCNT カウンタ値が “0” から “1” になる) が発生
- ハードウェア要因によるカウント動作の場合、アンダフロー(ダウンカウント動作によって GTCNT カウンタ値が “0” から GTPR レジスタ値になる) が発生

(9) GDTEn 割り込み (n = 0 ～ 9)

デッドタイムの自動設定がなされているとき、自動設定後の波形変化ポイントがカウント周期を超えると GTST.DTEF フラグが “1” になります。このとき、GTINTAD.GRPDTE ビットが “1” であれば、デッドタイムエラー割り込み (GDTE) 要求が発生します。

なお、GTST.DTEF フラグはデッドタイム自動設定後の波形変化ポイントがカウント周期内に戻ると “1” から “0” になります。

表 24.21 割り込み信号、割り込み許可ビットの関係 (n = 0～9)

割り込み信号	割り込み許可ビット
GTCIAn	GTINTAD.GTINTA ビット
GTCIBn	GTINTAD.GTINTB ビット
GTCICn	GTINTAD.GTINTC ビット
GTCIDn	GTINTAD.GTINTD ビット
GDTEn	GTINTAD.GRPDTE ビット
GTCIEn	GTINTAD.GTINTE ビット
GTCIFn	GTINTAD.GTINTF ビット
GTCIVn	GTINTAD.GTINTPR[1:0] ビット
GTCIUn	

24.4.2 DMAC/DTC の起動

各チャネルの割り込み要求によって、DMAC/DTC を起動することができます。詳細は「14. 割り込みコントローラ (ICUC)」、「17. DMA コントローラ (DMACAa)」、「18. データトランスファコントローラ (DTCa)」を参照してください。

24.4.3 割り込み、A/D 変換開始要求の間引き機能

24.4.3.1 GTITC レジスタによる割り込み間引き機能

GTITC レジスタの設定により、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ)/ アンダフロー割り込み (GTCIV/GTCIU) を間引くことができます。また、他の割り込み、および A/D 変換開始要求を GTCIV/GTCIU 割り込み間引き機能と連動して間引くことができます。ただし、デッドタイムエラー割り込みは GTCIV/GTCIU 割り込み間引き機能と連動することはできません。

割り込み間引き機能は、GTITC レジスタの設定だけに依存し、GTINTAD レジスタの割り込み許可ビットの設定には依存しません。

また、三角波で谷 / 山両方をカウントして間引く場合、間引き回数を奇数回に設定すると、間引きカウンタの開始タイミングにより、谷のみ、もしくは山のみでの GTCIV/GTCIU 割り込み要求が発生しません。三角波で谷 / 山両方をカウントして間引き、かつ、谷のみ、もしくは山のみでの GTCIV/GTCIU 割り込みを使用する場合は、間引き回数を偶数に設定してください。

同様に、のこぎり波でカウント方向を変えながらオーバフロー / アンダフロー両方をカウントして間引く場合、オーバフローのみ、もしくはアンダフローのみでの GTCIV/GTCIU 割り込み要求が発生しない場合があります。のこぎり波でカウント方向を変えながらオーバフロー / アンダフロー両方をカウントして間引き、かつ、オーバフローのみ、もしくはアンダフローのみでの GTCIV/GTCIU 割り込みを使用する場合は、間引き状態を十分検討のうえ、使用してください。

なお、間引き回数を変更する場合は、間引き機能をいったん解除 (GTITC.IVTC[1:0] ビット = 00b) してから行ってください。

間引き機能の動作例を図 24.97 ～図 24.102 に示します。

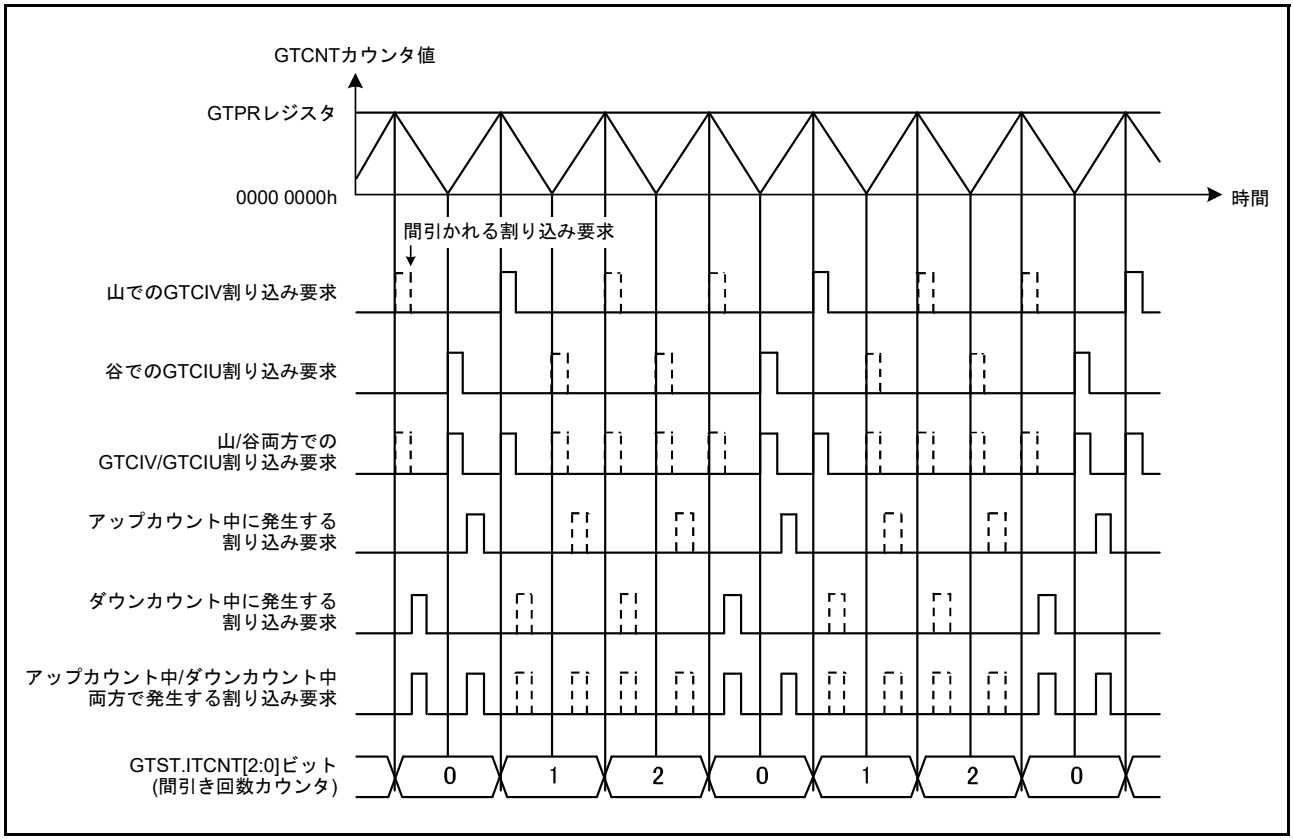


図 24.97　割り込み間引き機能の動作例 (三角波、山をカウントして間引き、間引き回数 2 の場合)

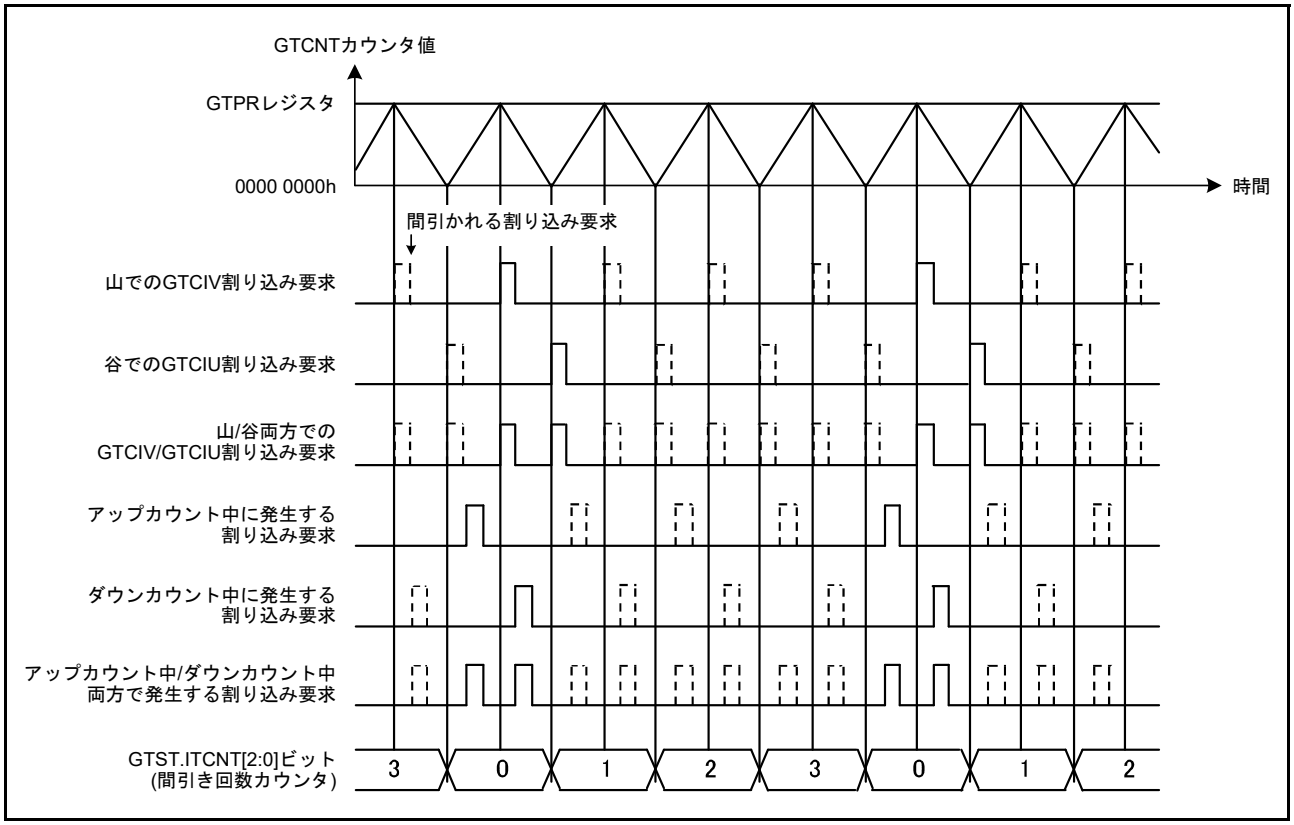


図 24.98　割り込み間引き機能の動作例 (三角波、谷をカウントして間引き、間引き回数 3 の場合)

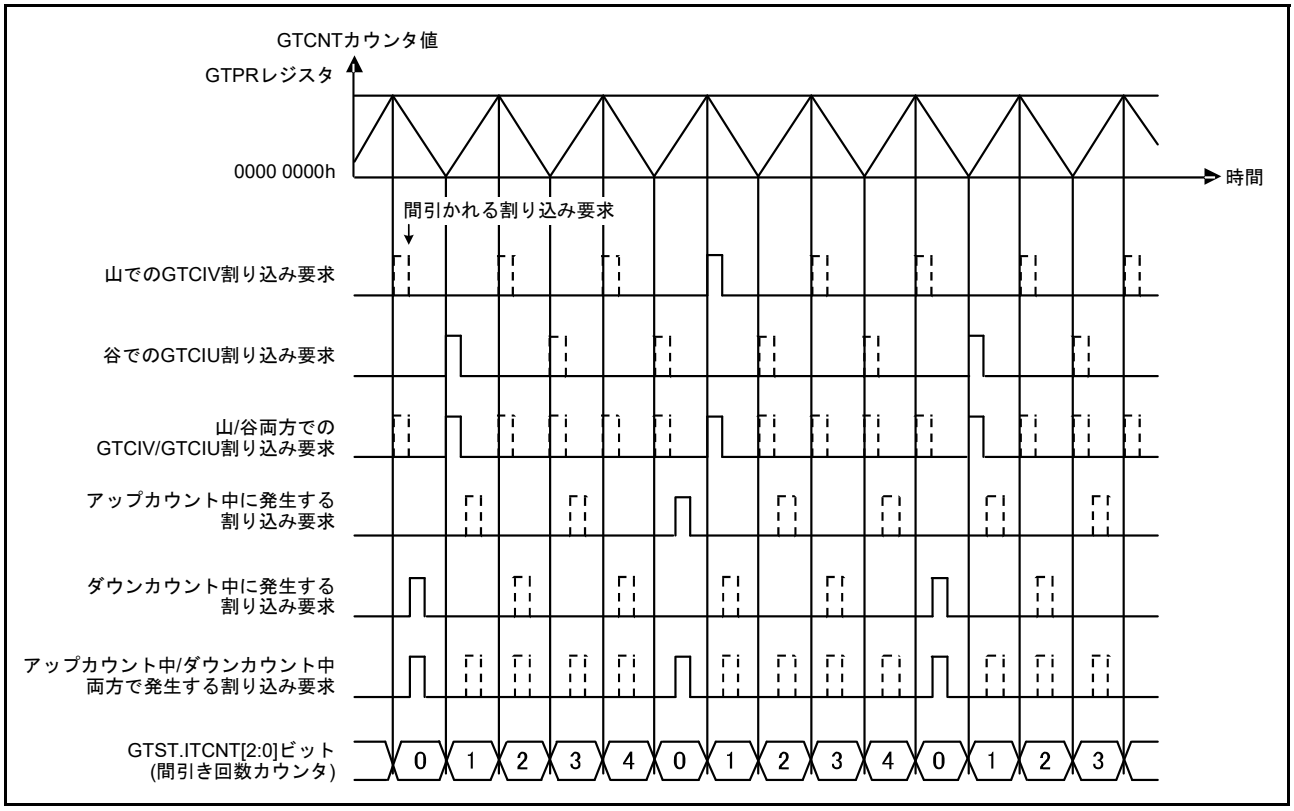


図 24.99　割り込み間引き機能の動作例 (三角波、谷 / 山両方をカウントして間引き、間引き回数 4 の場合)

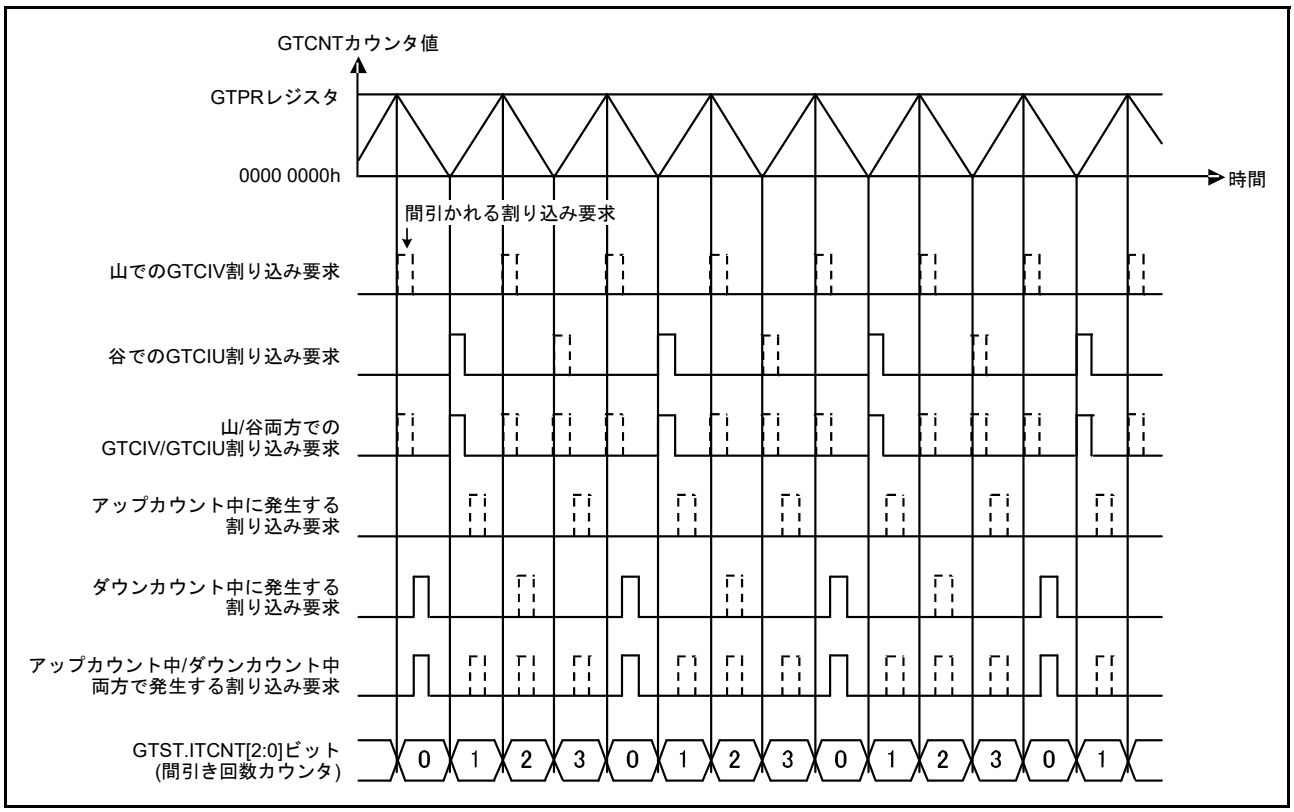


図 24.100　割り込み間引き機能の動作例
(三角波、谷 / 山両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合)

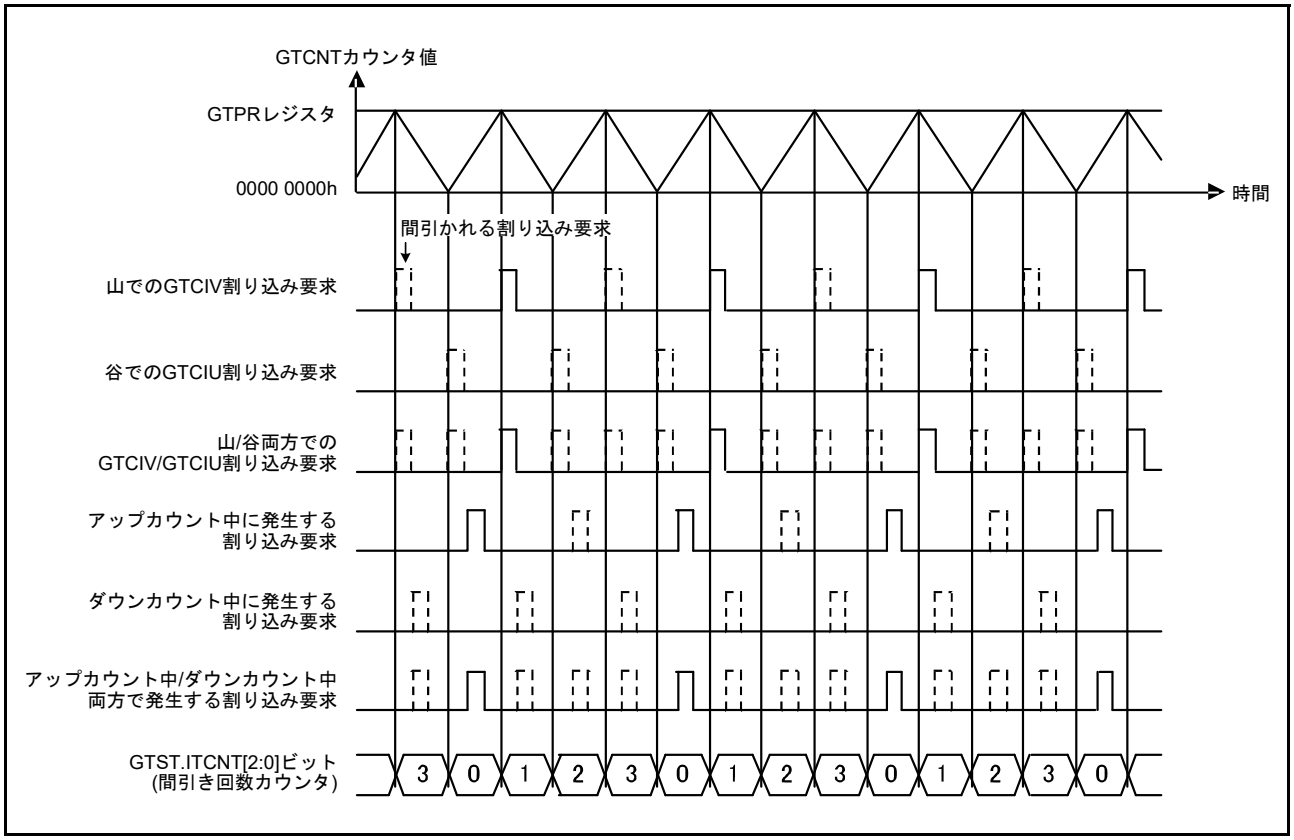


図 24.101 割り込み間引き機能の動作例
(三角波、谷 / 山両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合)

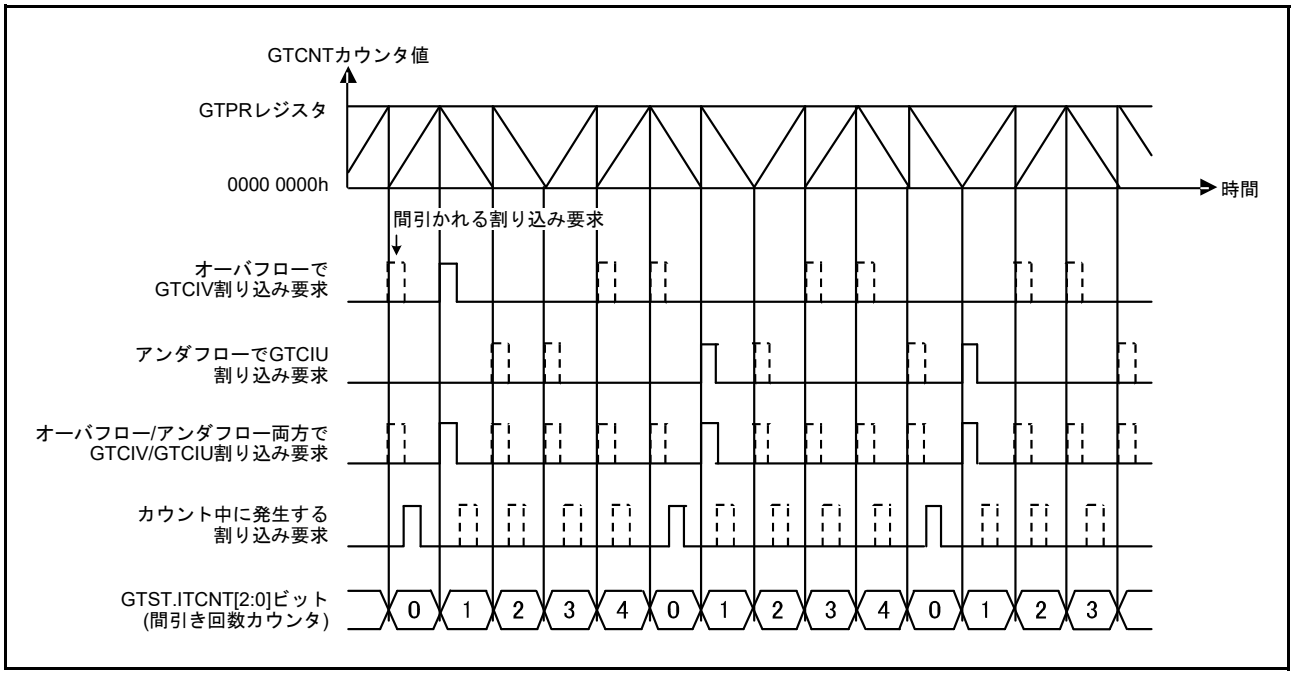


図 24.102 割り込み間引き機能の動作例
(のこぎり波でカウント方向を切替えながら動作、オーバフロー / アンダフロー両方をカウントして間引き、間引き回数 4 の場合)

24.4.3.2 拡張割り込み間引き機能

GTEITC, GTEITLI1, GTEITLI2, GTEITLB レジスタの設定により、GTCNT カウンタのオーバフローまたはアンダフローをカウントして、オーバフロー / アンダフロー割り込み、コンペアマッチ / インプットキャプチャ割り込み、A/D 変換開始要求、バッファ転送を間引くことができます。デッドタイムエラー割り込みを間引くことはできません。

間引きの有無と間引く期間は、GTEITLI1, GTEITLI2, GTEITLB レジスタで、オーバフロー / アンダフロー割り込み、コンペアマッチ / インプットキャプチャ割り込み、A/D 変換開始要求、バッファ転送で、それぞれ個別に設定できます。

間引く期間は、独立した 2 つの拡張割り込み間引きカウンタ (GTEITC.EITCNT1[3:0], EITCNT2[3:0] ビット) の動作と関連付けて、カウンタ値が “0” 以外の期間または間引き回数以外の期間として設定します。一方の間引きカウンタだけでなく、2 つのカウンタがともに “0” 以外または共に間引き回数以外の場合も選択可能です。

図 24.103 に GTITC レジスタによる割り込み間引きと拡張割り込み間引きのカウンタの動作例を示します。

拡張割り込み間引きカウンタの動作は、GTEITC レジスタで設定します。

EITCNT1[3:0] ビットは、初期値 “0” で、拡張割り込み間引きカウンタ 1 カウント要因選択ビット (EIVTC1[1:0] ビット) で選択したカウント要因 (**図 24.103** の場合は山) をカウントし、拡張割り込み間引き 1 間引き回数設定ビット (EIVTT1[3:0] ビット) で設定した間引き回数 (**図 24.103** の場合は 2) に達すると、“0” に戻るカウントを繰り返します。

EITCNT2[3:0] ビットは、初期値を与えることができ、拡張割り込み間引きカウンタ 2 カウント要因選択ビット (EIVTC2[1:0] ビット) で選択したカウント要因 (**図 24.103** の場合は谷) をカウントし、EIVTT2[3:0] ビットで設定した間引き回数 (**図 24.103** の場合は 2) に達すると、“0” に戻るカウントを繰り返します。初期値の設定は、拡張割り込み間引きカウンタ 2 がカウントしない設定 (EIVTC2[1:0] ビットが “00b”) の状態で、GTEITC レジスタへの書き込みが上位 16 ビットまたは 32 ビットのアクセスによって行われ、EIVTC2[1:0] ビットへの書き込み値が “00b” 以外の場合にのみ行われます。初期値設定の書き込み時、拡張割り込み間引きカウンタ 2 初期値ビット (EITCNT2IV[3:0] ビット) への書き込み値が、初期値として EITCNT2[3:0] ビットに設定されます。

拡張割り込み間引きカウンタは、カウントしない設定からカウントを行う設定に書き換えた後の最初のカウントクロックで、アップカウントを行います。

GTITC レジスタによる割り込み間引き機能の割り込み間引き回数カウンタ (GTST.ITCNT[2:0] ビット) は、GTCNT カウンタの動作停止によって、“000b” にリセットされますが、拡張割り込み間引き機能の EITCNT1[3:0], EITCNT2[3:0] ビットは、GTCNT カウンタの動作の停止後も値を保持し、GTCNT カウンタの動作を再開すると停止前の値でカウントを再開できます。EITCNT1[3:0], EITCNT2[3:0] ビットの値をリセット (“0000b”) したい場合は、EIVTC1[1:0], EIVTC2[1:0] ビットをカウントしない (間引かない) (“00b”) に設定してください。

間引き回数を変更する場合は、間引きカウンタの動作を停止 (EIVTC1[1:0] ビットまたは EIVTC2[1:0] ビットに “00b” を設定) してから行ってください。

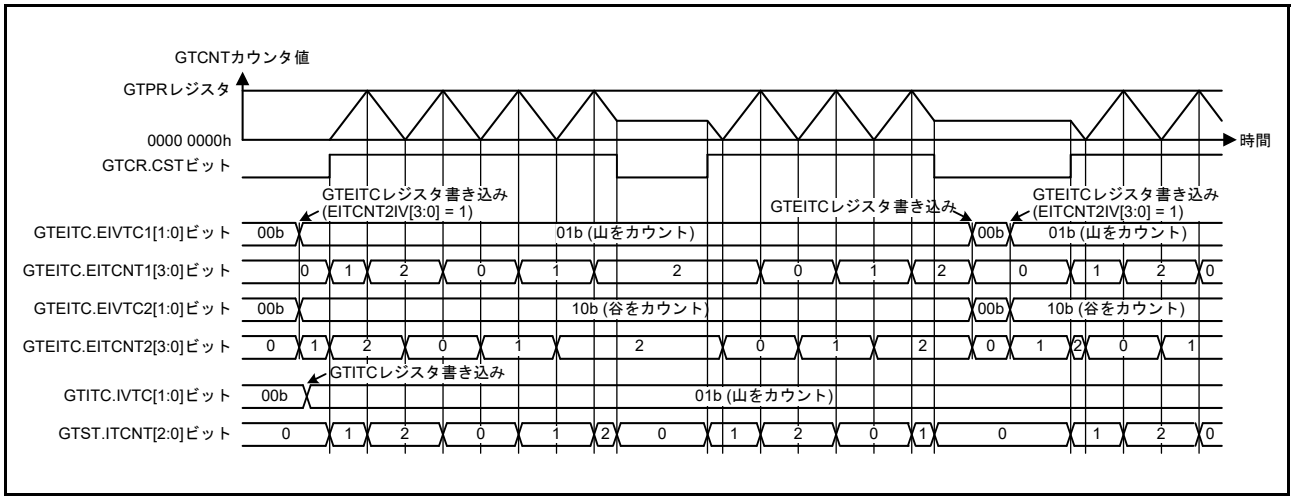


図 24.103 割り込み間引きのカウンタの動作

GTEITLI1 レジスタによる割り込みの間引きと GTEITLI2 レジスタによる A/D 変換開始要求の間引きは、GTITC レジスタによる割り込み間引きと同時に使用可能です。この場合の間引き期間は、それぞれの間引き期間を OR した期間になります。

図 24.104 に同時に使用した場合の動作例を示します。

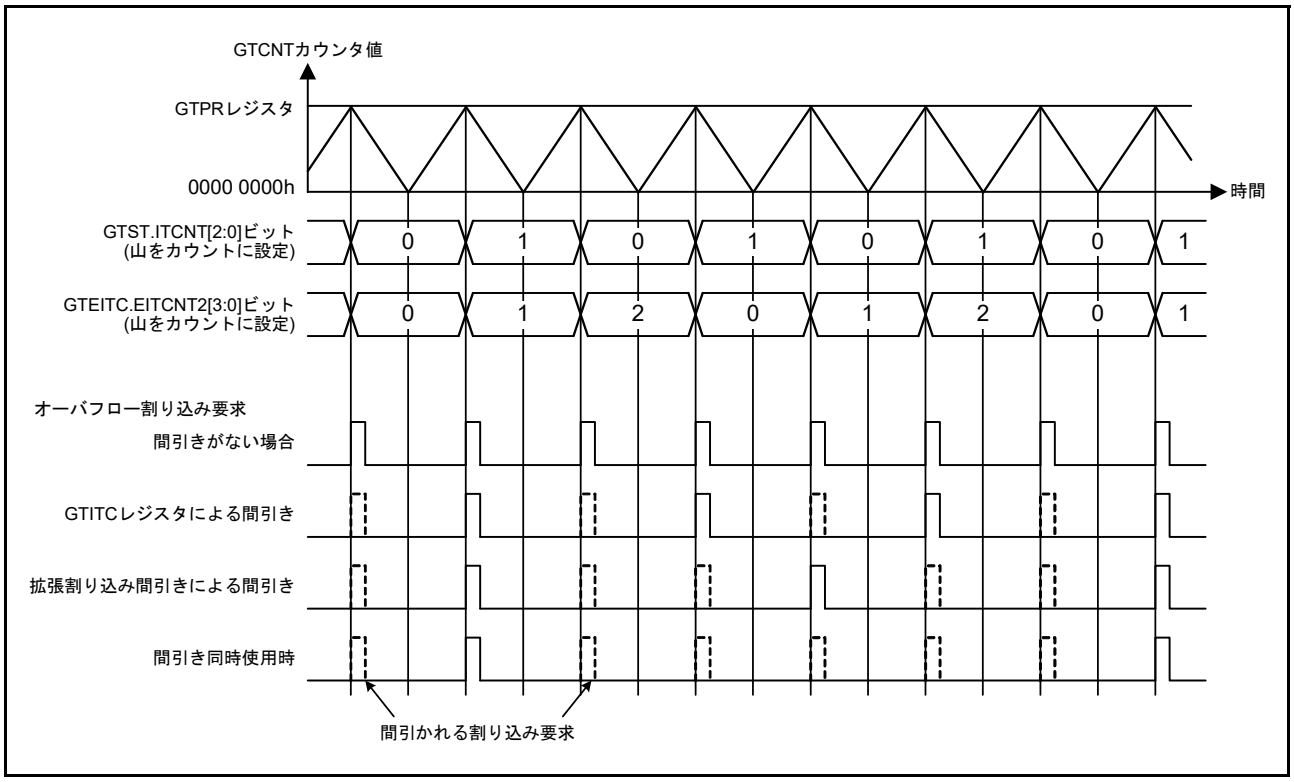


図 24.104 割り込み間引きの動作例
(GTITC レジスタによる間引き：山をカウント、拡張割り込み間引き：EIVTC1[1:0] ビット = 00b、EIVTC2[1:0] ビット = 01b、EITLV[2:0] ビット = 010b)

GTEITLI1 レジスタで設定可能な割り込みに対応する ELC イベント出力の間引きは、GTITC レジスタおよび拡張割り込み間引きのレジスタの設定だけに依存し、GTINTAD レジスタの割り込み許可ビットの設定には依存しません。割り込み許可ビットは、間引き後の割り込み信号の出力制御だけに用います。

GTEITLI2 レジスタで設定可能な A/D 変換開始要求の間引きを行った場合、ELC イベント出力は、GTINTAD レジスタの A/D 変換開始要求許可ビットに依存します。GTINTAD レジスタで禁止に設定された A/D 変換開始要求による動作はすべて行われません。

GTEITLB レジスタによるバッファ転送の間引きは、GTBER レジスタおよび GTDTCR レジスタで有効となっているバッファ動作、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 で行われるすべてのバッファ動作が対象となります。

割り込みの間引きとバッファ転送の間引きは独立して動作します。割り込みの出力を伴うバッファ転送に対して、バッファ転送を行わず割り込みを出力することも、割り込みを出力せずバッファ転送を行うことも可能です。

図 24.105 ～図 24.112 に間引き機能の動作例を示します。

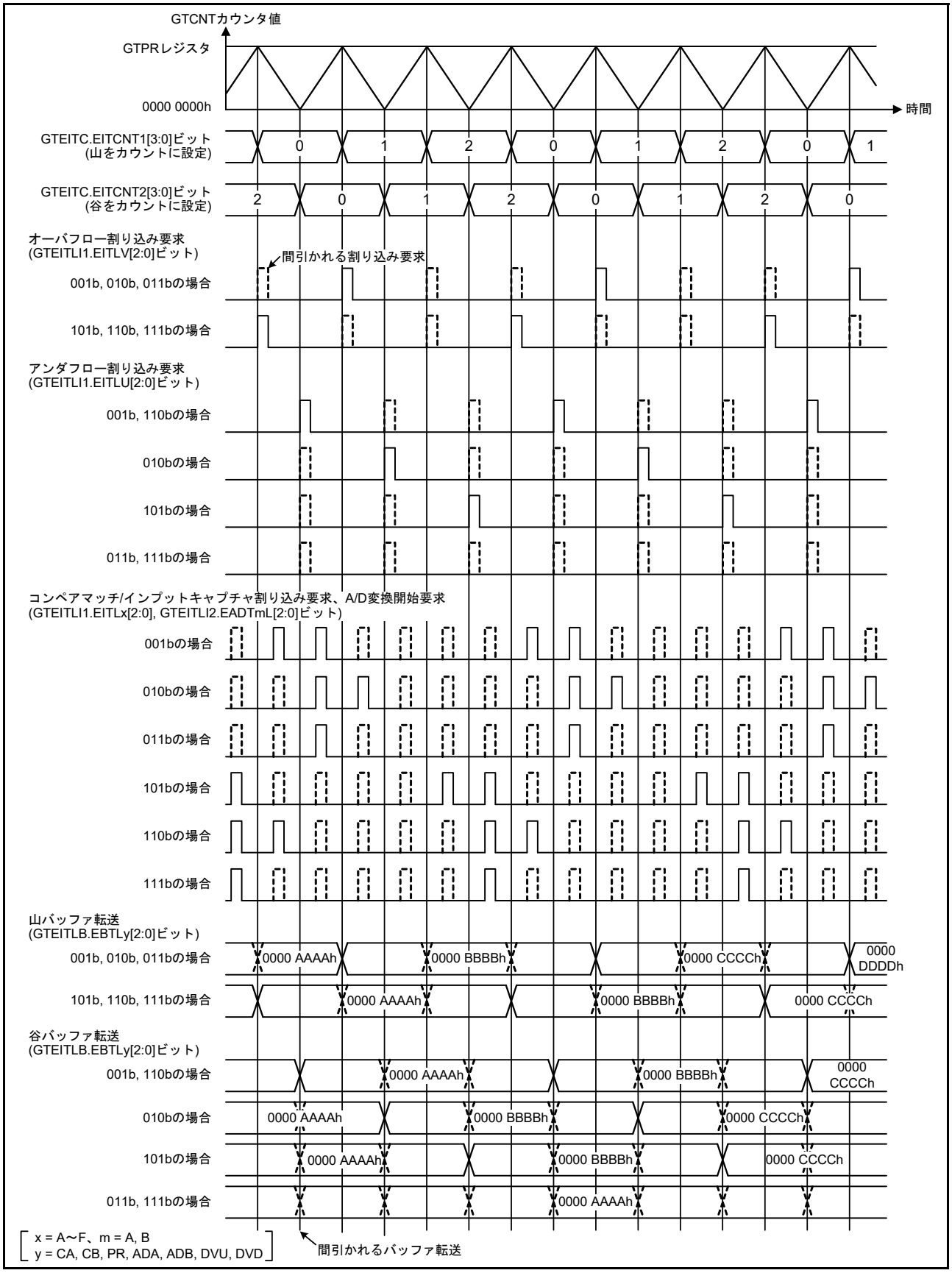


図 24.105 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 2 で山をカウント、拡張割り込み間引き 2 間引き回数 2 で谷をカウント、拡張割り込み間引きカウンタ 2 初期値 “0” の場合)

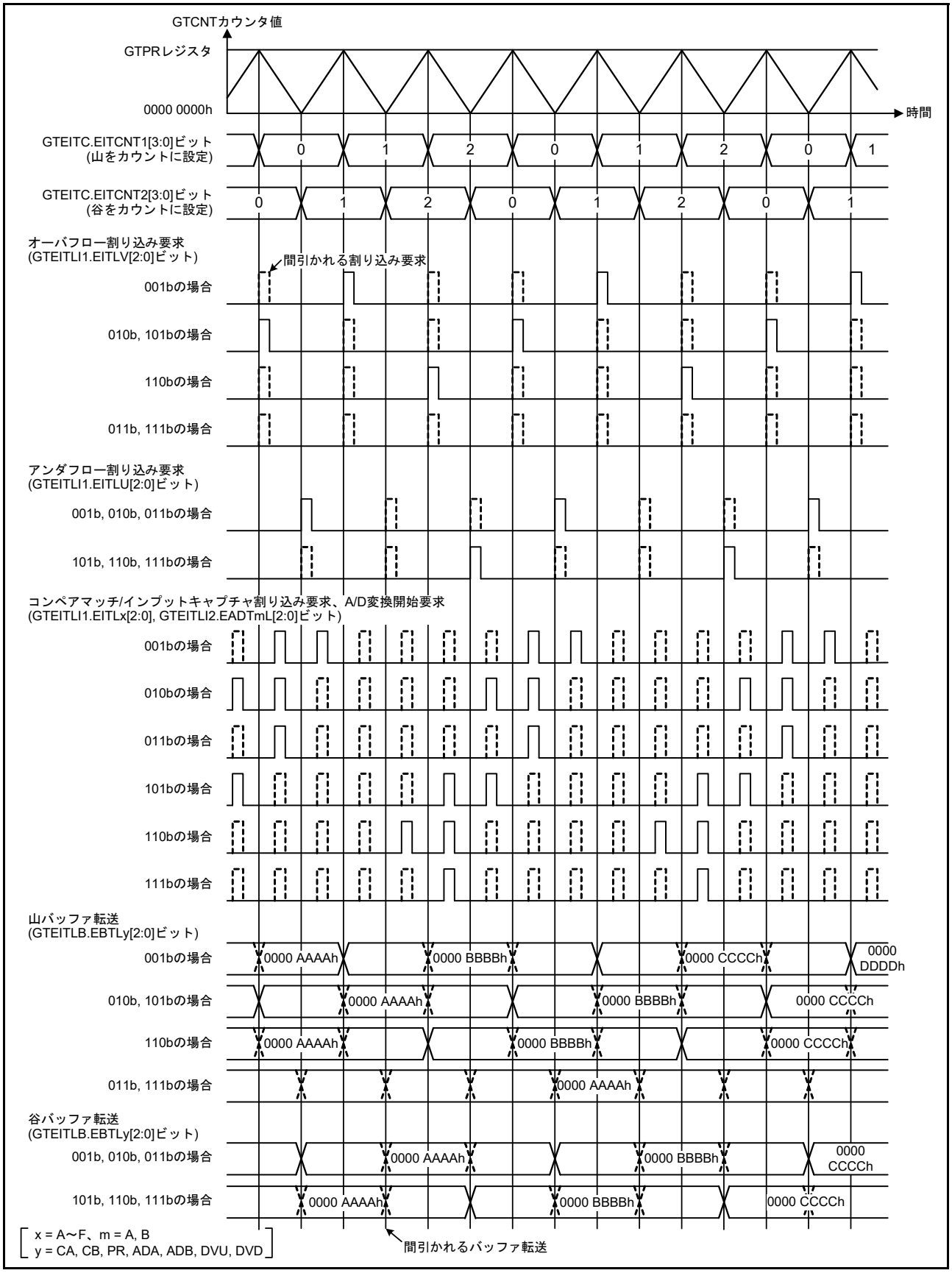


図 24.106 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 2 で山をカウント、拡張割り込み間引き 2 間引き回数 2 で谷をカウント、拡張割り込み間引きカウンタ 2 初期値 “1” の場合)

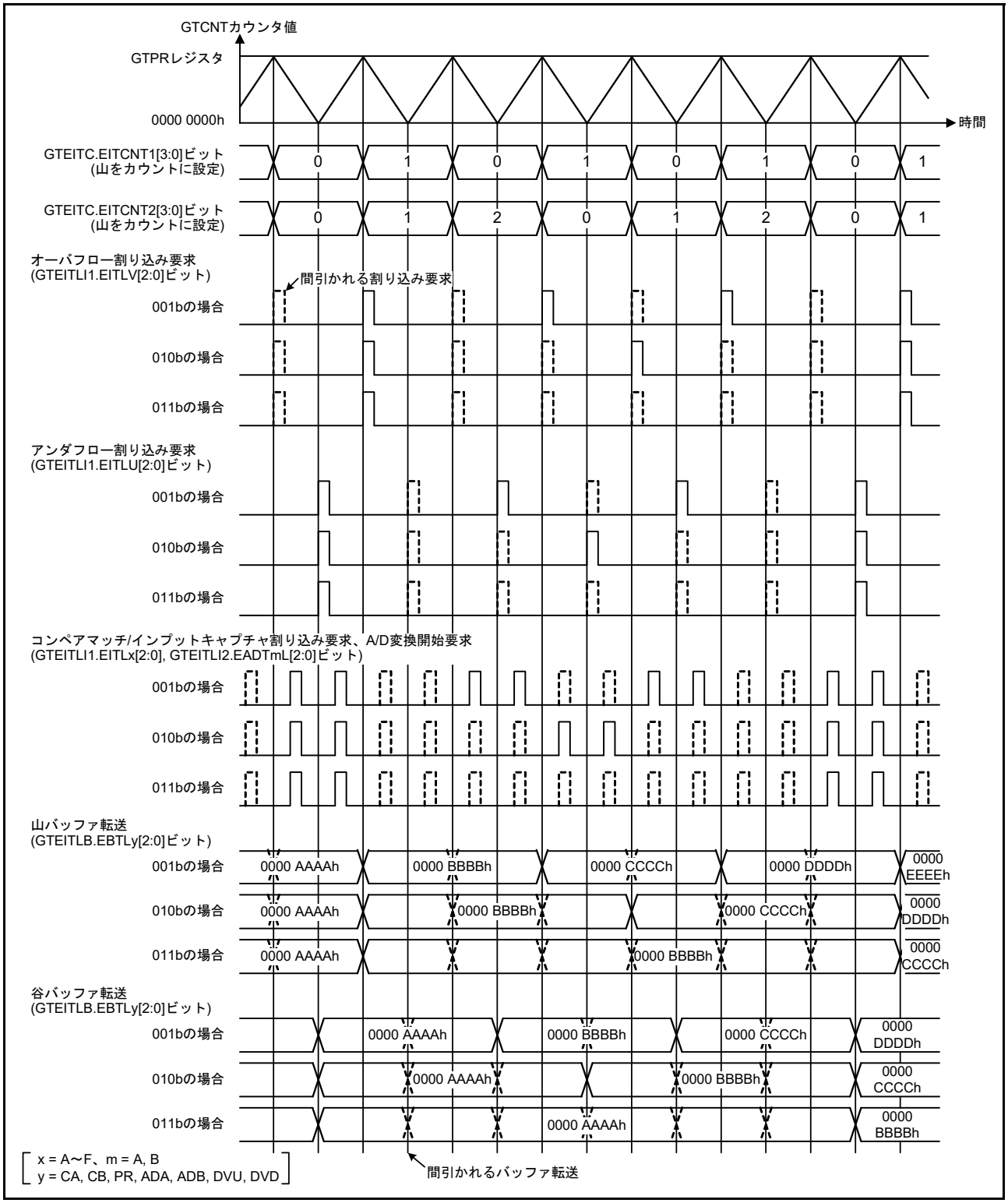


図 24.107 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 1 で山をカウント、拡張割り込み間引き 2 間引き回数 2 で山をカウント、拡張割り込み間引きカウンタ 2 初期値 “0” の場合 GTEITC.EITCNTk ビット (k = 1, 2) が “0” 以外の期間で間引く場合)

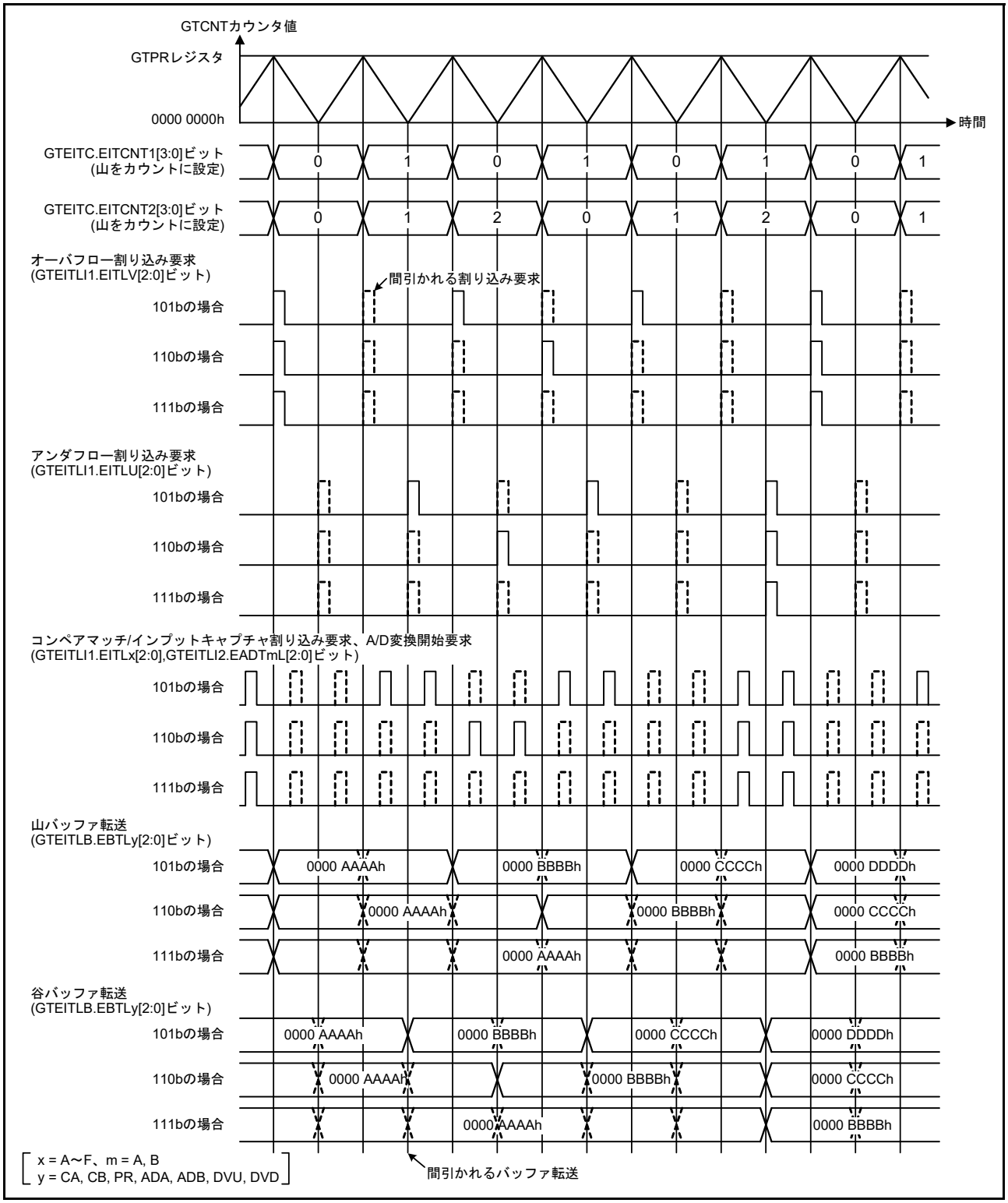


図 24.108 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 1 で山をカウント、拡張割り込み間引き 2 間引き回数 2 で山をカウント、拡張割り込み間引きカウンタ 2 初期値 “0”、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間で間引く場合)

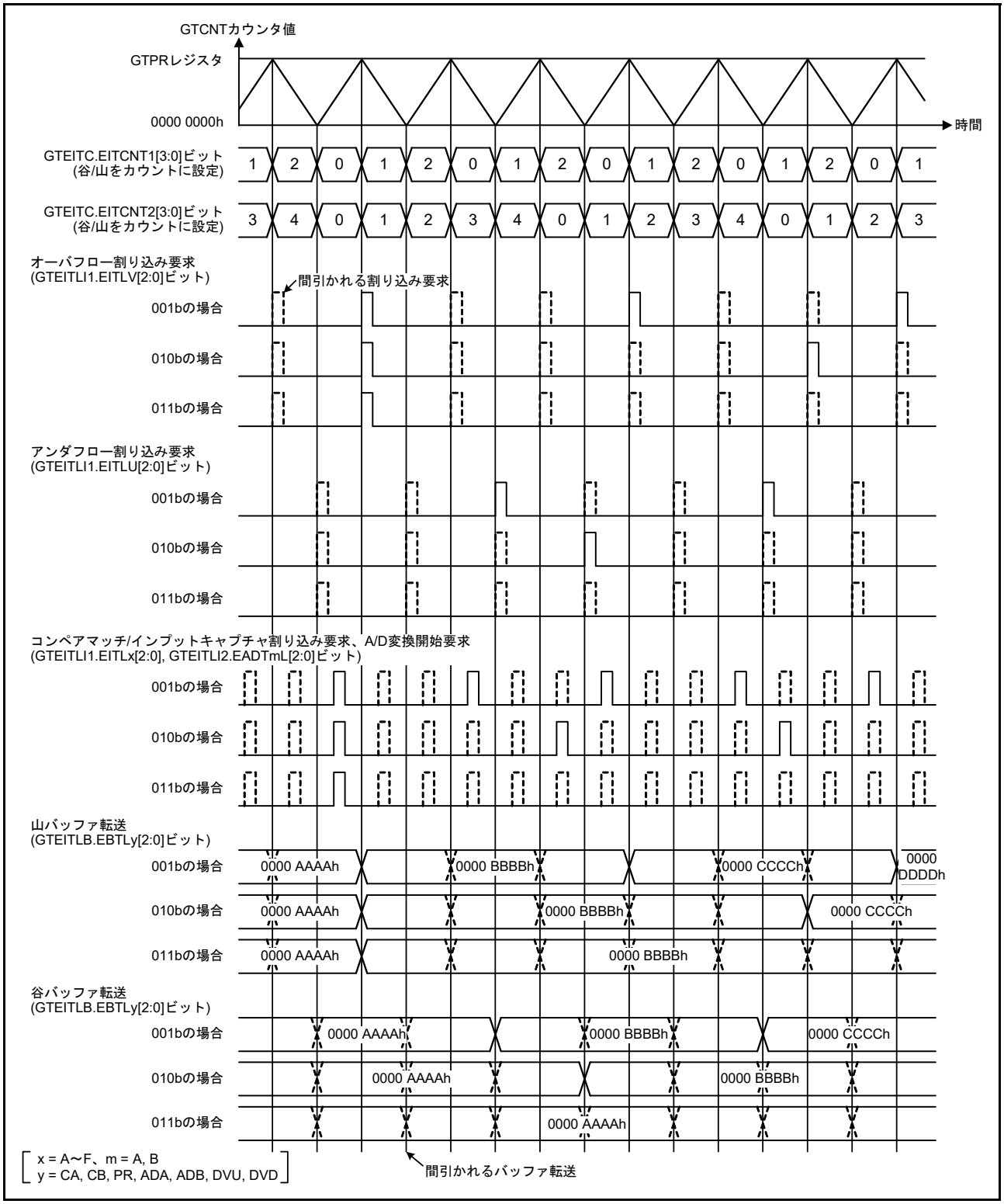


図 24.109 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 2 で谷 / 山両方をカウント、拡張割り込み間引き 2 間引き回数 4 で谷 / 山両方をカウント、拡張割り込み間引きカウンタ 2 初期値 “0”、GTEITC.EITCNTk ビット (k = 1, 2) が “0” 以外の期間で間引く場合)

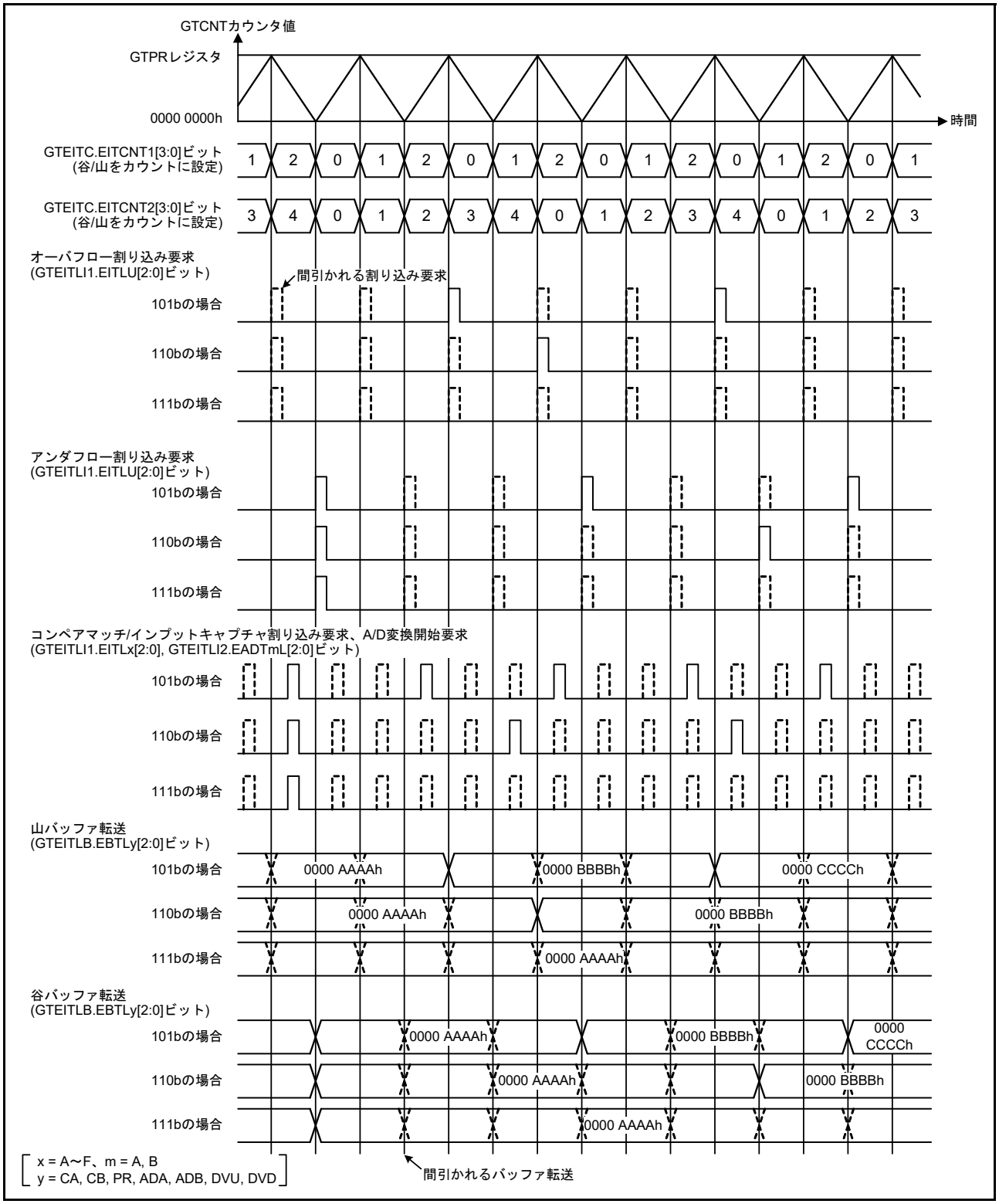


図 24.110 拡張割り込み間引き機能の動作例
(三角波、拡張割り込み間引き 1 間引き回数 2 で谷 / 山両方をカウント、拡張割り込み間引き 2 間引き回数 4 で谷 / 山両方をカウント、拡張割り込み間引きカウンタ 2 初期値 “0”、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間で間引く場合)

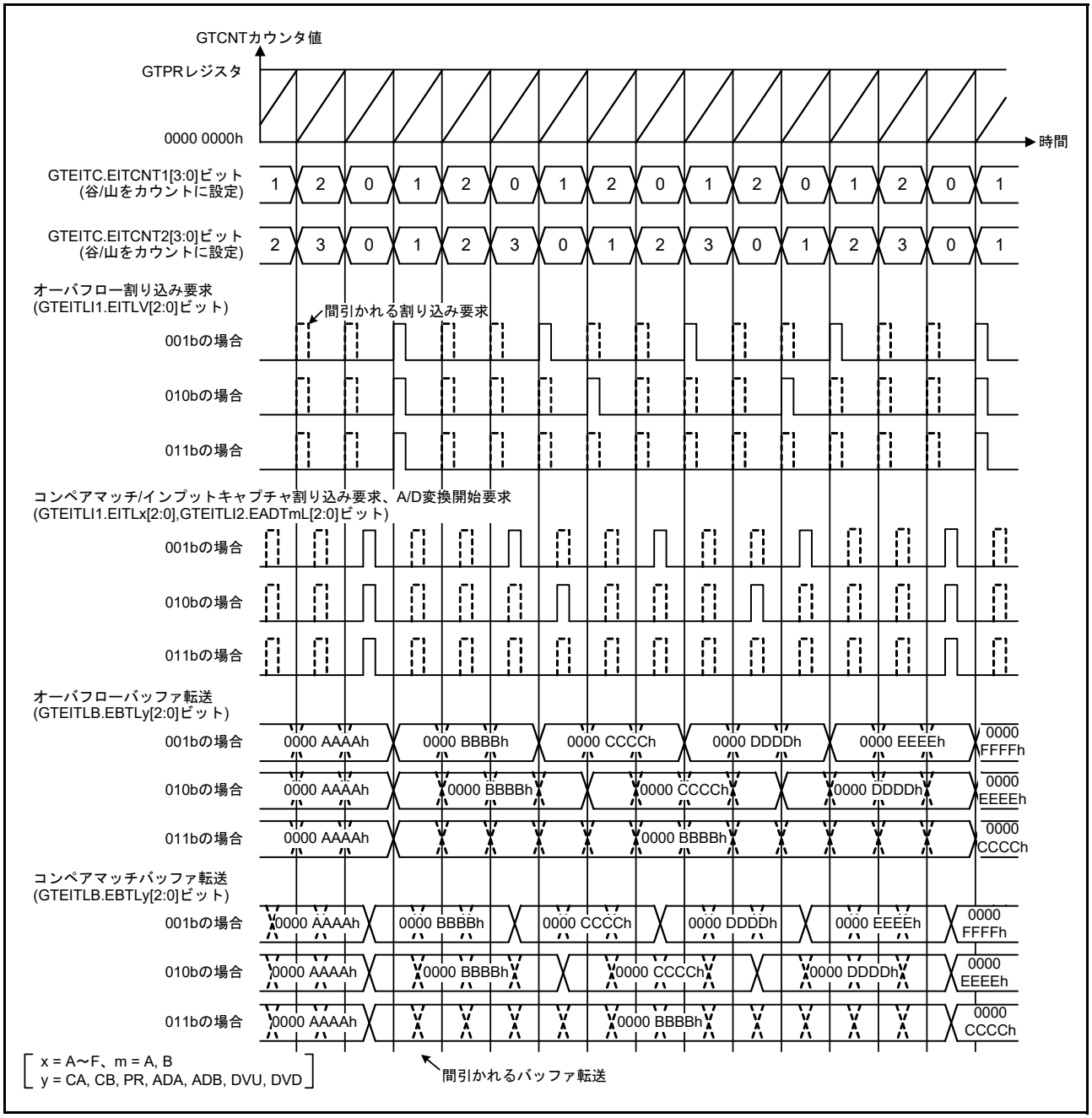


図 24.111 拡張割り込み間引き機能の動作例
(のこぎり波アップカウント、拡張割り込み間引き 1 間引き回数 2 でオーバフローをカウント、拡張割り込み間引き 2 間引き回数 3 でオーバフローをカウント、拡張割り込み間引きカウンタ 2 初期値 “0”、GTEITC.EITCNTk ビット (k = 1, 2) が “0” 以外の期間で間引く場合)

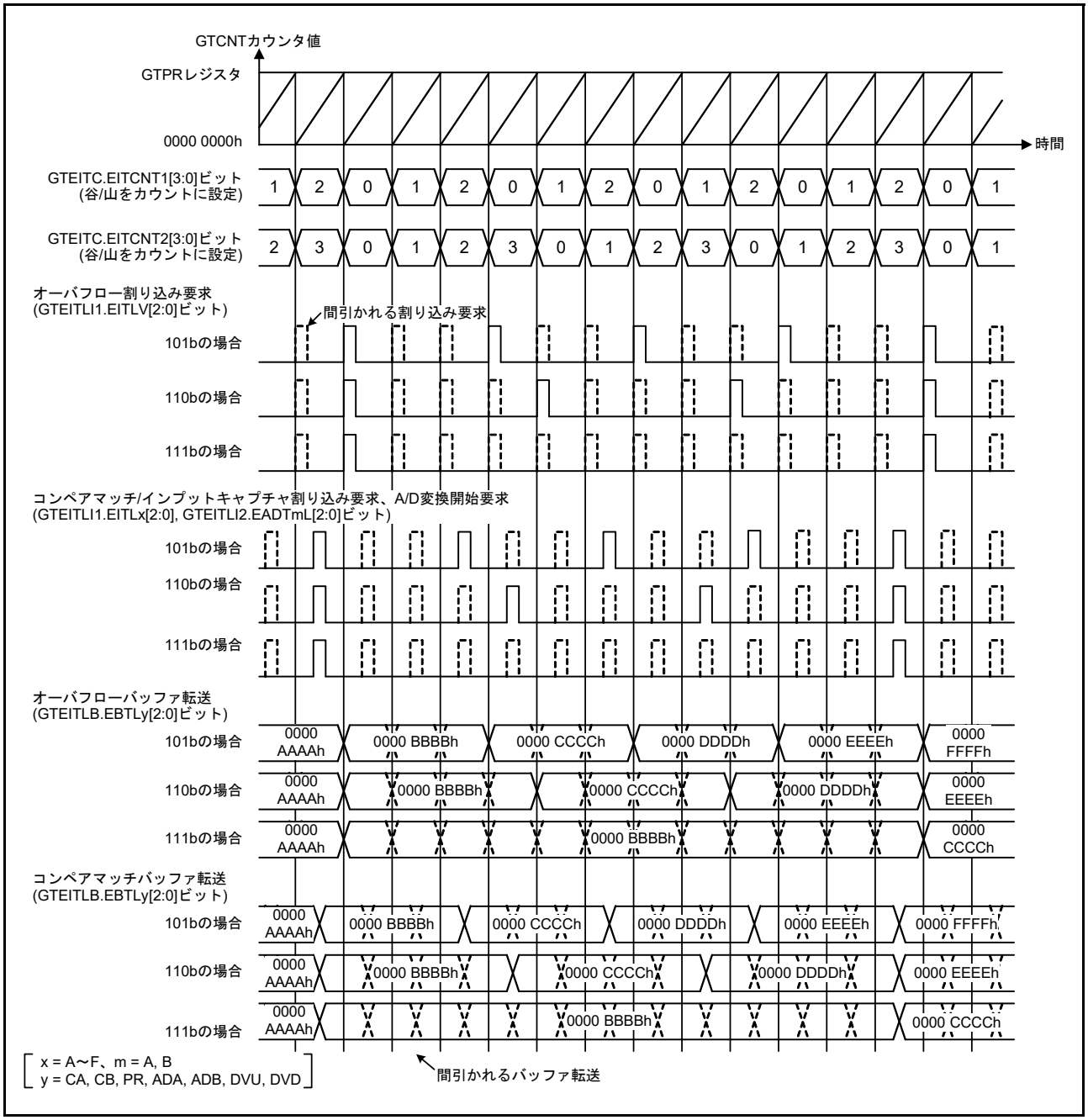


図 24.112 拡張割り込み間引き機能の動作例
(のこぎり波アップカウント、拡張割り込み間引き 1 間引き回数 2 でオーバフローをカウント、拡張割り込み間引き 2 間引き回数 3 でオーバフローをカウント、拡張割り込み間引きカウンタ 2 初期値 “0”、GTEITC.EITCNTk ビット (k = 1, 2) が GTEITC.EIVTTk ビット以外の期間で間引く場合)

図 24.113 にインプットキャプチャに対する拡張割り込み間引きの動作例を示します。GTCNT カウンタのカウントストップ時にインプットキャプチャ動作を行う設定 (GTCR.ICDS = 0) にしている場合、インプットキャプチャによる割り込みとバッファ転送の拡張間引きは、GTCNT カウンタのカウントストップ時も有効です。ICDS ビットに “0” を設定して、GTCNT カウンタのカウントが停止している状態で、インプットキャプチャが発生すると、間引きカウンタの値が、各間引き機能選択ビットで設定された間引き期間であれば、割り込みおよびバッファ転送は間引かれます。

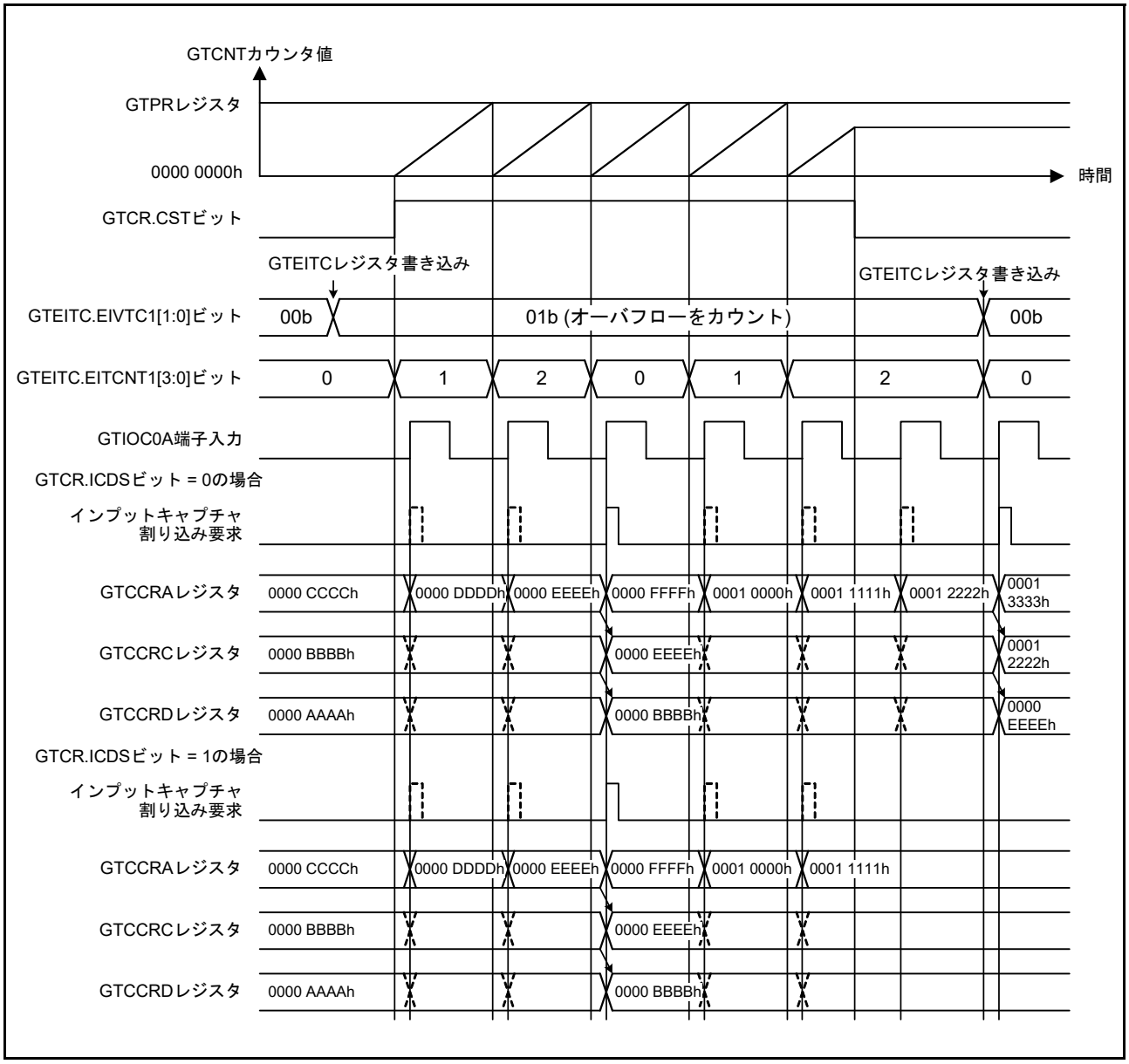


図 24.113 拡張割り込み間引き機能のインプットキャプチャ動作例
(のこぎり波アップカウント、拡張割り込み間引き 1 間引き回数 2 でオーバフローをカウント、EITCNT1 が “0” 以外の期間で間引く、入力の立ち上がりでインプットキャプチャの場合)

図 24.114 に拡張割り込み間引きの設定例を示します。

拡張割り込み間引きカウンタ 2 の初期値設定は、拡張割り込み間引きカウンタ 2 のカウント要因をカウントしない設定 (GTEITC.EIVTC2[1:0] ビット = 00b) からカウントを行う設定 (EIVTC2[1:0] ビット = 00b 以外) に変更する場合の ETICNT2IV[3:0] ビットへの書き込み値で行われます。拡張割り込み間引きカウンタ 2 の初期値ビット (ETICNT2IV[3:0] ビット) の書き込みは、前記の拡張割り込み間引きカウンタ 2 の初期値設定の書き込み時にのみ行われます。

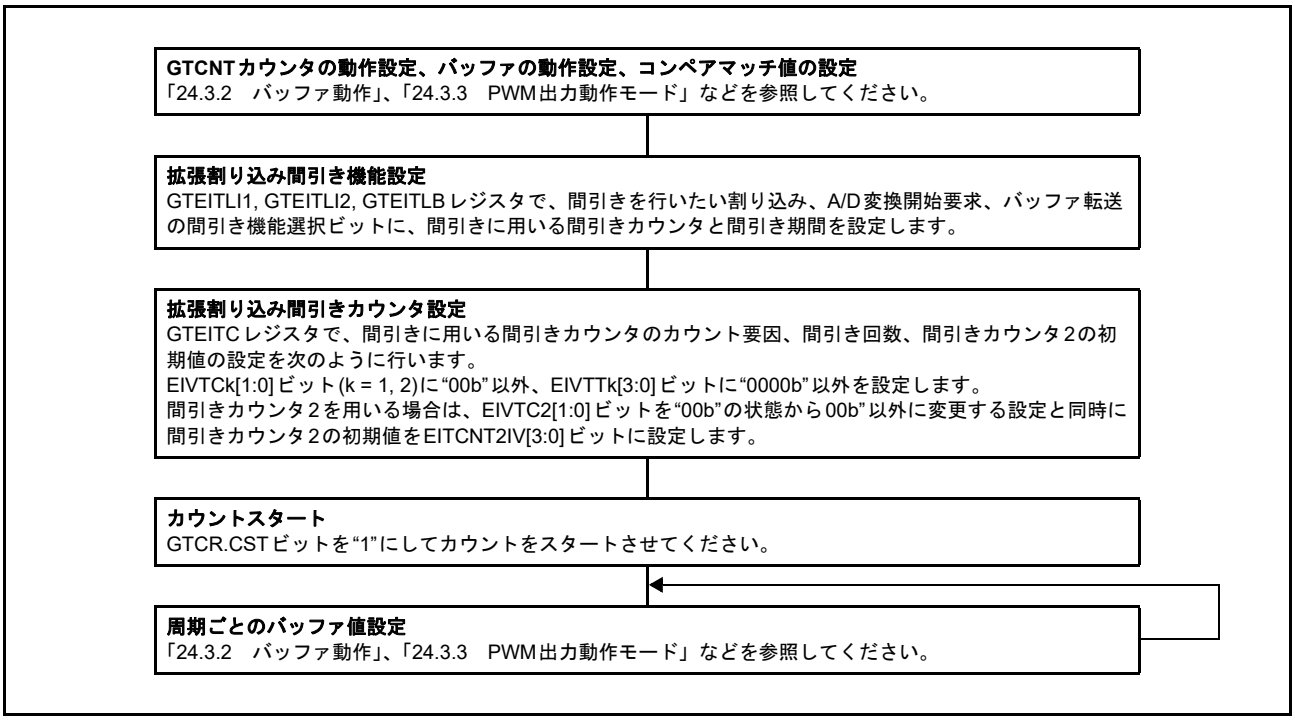


図 24.114　拡張割り込み間引きの設定例

24.5 A/D 変換開始要求

GTCNT カウンタと GTADTRA, GTADTRB レジスタのコンペアマッチで、A/D 変換開始要求を発生させることができます。GTINTAD レジスタの設定で、アップカウント時のみ、ダウンカウント時のみ、またはアップカウント / ダウンカウント両方で A/D 変換開始要求を発生させることができます。

イベントカウント動作時は A/D 変換開始要求を発生させることはできません。

A/D 変換開始要求は、直接 A/D コンバータに出力されず、ELC へのイベント信号を出力します。

GTADTRA, GTADTRB レジスタにはバッファレジスタがそれぞれ 2 本ずつあり、GTADTRA レジスタと GTADTBRA, GTADTDBRA レジスタを組み合わせたバッファ動作、GTADTRB レジスタと GTADTBRB, GTADTDBRB レジスタを組み合わせたバッファ動作が可能です。

A/D 変換開始要求の発生タイミングは、外部端子でモニタすることができます。GTADSMR.ADSMSk ビット (k = 0, 1) でモニタしたい A/D 変換開始要求信号を選択し、ADSMENk ビットで出力許可にすると、GTADSMk 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマの周期の終わりで Low 出力となるタイマの周期フレームに同期した信号を出力します。周期の終わりで A/D 変換開始要求信号が発生した場合、モニタ出力は A/D 変換開始要求信号の発生を優先し、次の周期の終わりまで出力は High になります。A/D 変換開始要求信号の生成要因となっているレジスタ (GTADTRA, GTADTRB) とカウント方向は、GTST レジスタの A/D 変換開始要求フラグ (ADTRAUF, ADTRADF, ADTRBUF, ADTRBDF) で確認することができます。複数のチャネルで同じ A/D 変換開始要求信号モニタ出力に出力許可した場合、OR された信号が GPTW から出力されます。

図 24.115 に A/D 変換開始要求の動作例を、**図 24.116** に A/D 変換開始要求の動作設定例を、**図 24.117** に A/D 変換開始要求動作タイミング例を示します。

図 24.117 は、GTADTRA レジスタのコンペアマッチによる ELC への A/D 変換開始要求 A 出力を、ELC が A/D コンバータへの起動要因 0 として選択出力した場合の例です。PCLKC に同期した A/D 変換開始要求 A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に A/D 起動要因 0 を出力します。

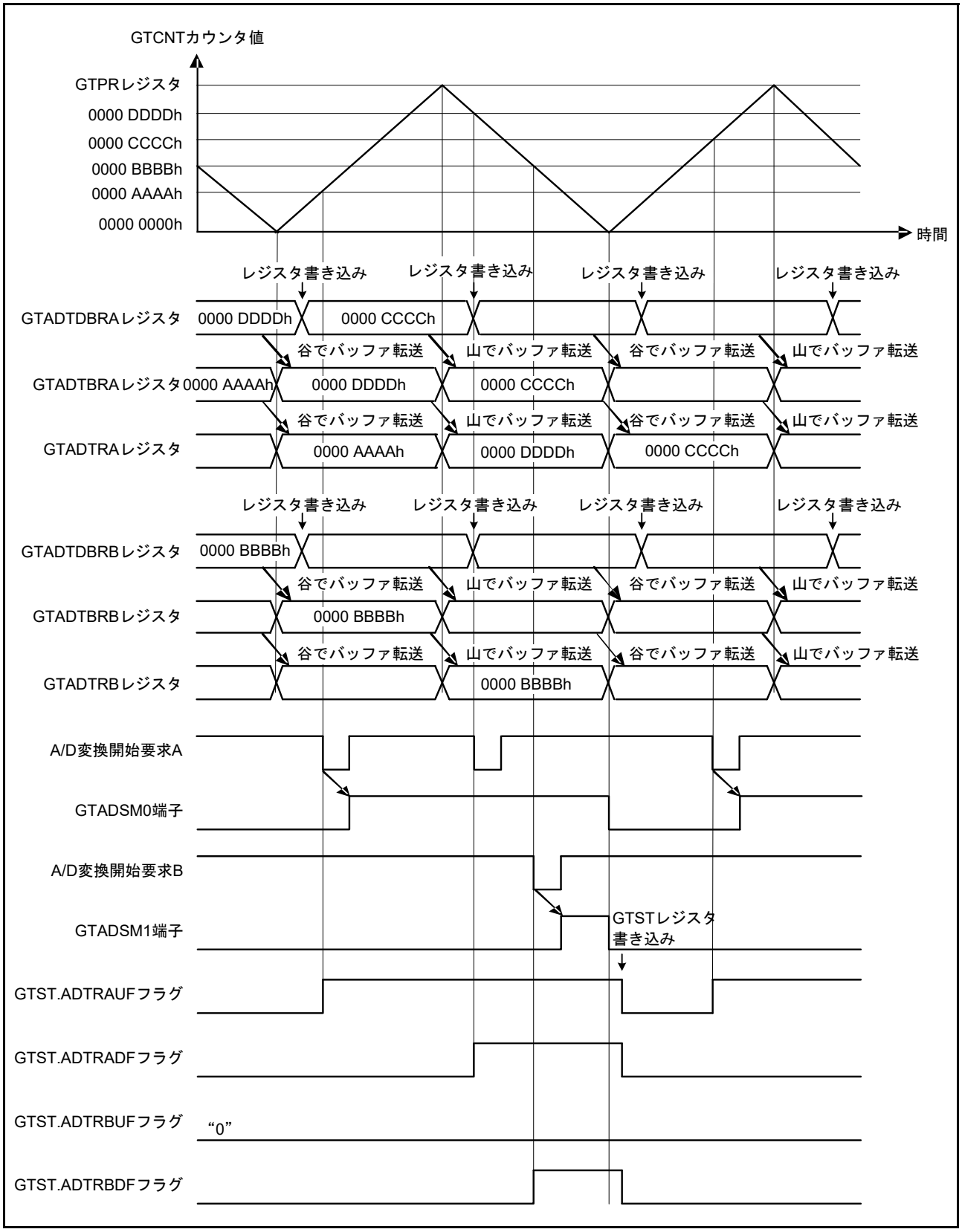


図 24.115 A/D 変換開始要求の動作例
(三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送、GTADTRA レジスタはアップカウント / ダウンカウント両方で A/D 変換開始要求、GTADTRB レジスタはダウンカウントで A/D 変換開始要求を発生、GTADSM0 端子は GTADTRA レジスタのアップカウントをモニタ、GTADSM1 端子は GTADTRB レジスタのダウンカウントをモニタの場合)

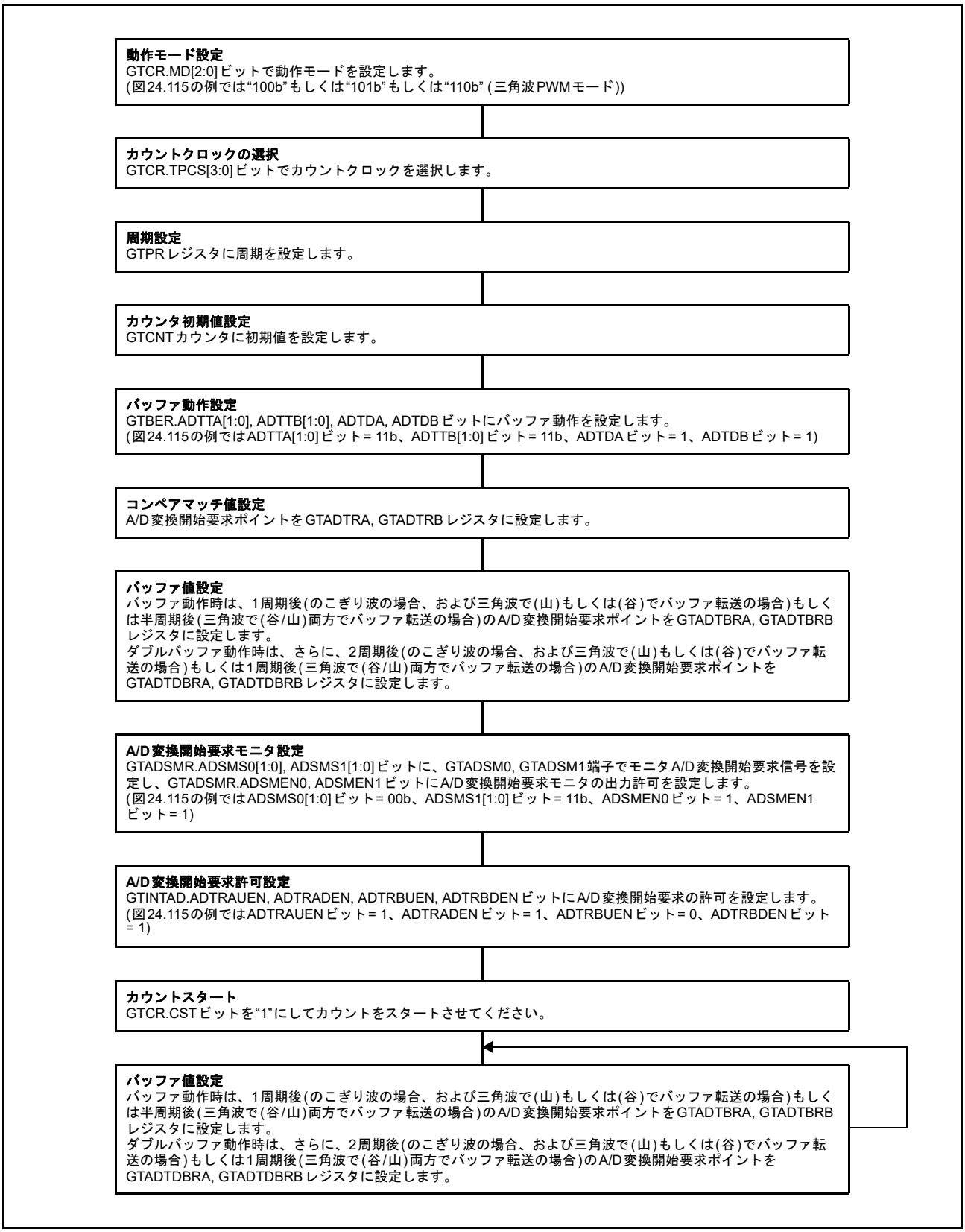


図 24.116 A/D 変換開始要求の動作設定例

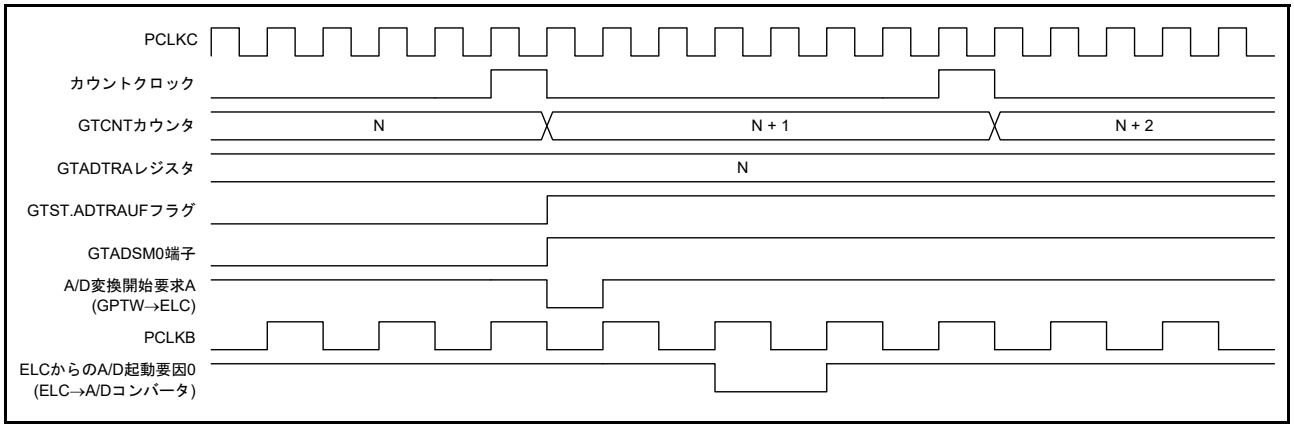


図 24.117 A/D 変換開始要求動作タイミング例

24.6 ELCによるリンク動作

24.6.1 ELCへのイベント信号出力

GPTWはイベントリンクコントローラ(ELC)により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、A/D変換開始要求を除いて、該当する割り込み要求許可ビットの設定に関係なく出力することができます。A/D変換開始要求は、ELCへの出力のA/D変換開始要求許可ビットによって、アップカウント時とダウンカウント時のA/D変換開始要求を個々に許可/禁止できます。

GPTWのELCへのイベント信号には、以下に示すように、チャネルごとに10本の信号があります。デッドタイムエラー割り込みは、対応するイベント信号はありません。

- コンペアマッチA割り込みの発生
- コンペアマッチB割り込みの発生
- コンペアマッチC割り込みの発生
- コンペアマッチD割り込みの発生
- コンペアマッチE割り込みの発生
- コンペアマッチF割り込みの発生
- オーバフロー割り込みの発生
- アンダフロー割り込みの発生
- A/D変換開始要求Aの発生
- A/D変換開始要求Bの発生

24.6.2 ELCからのイベント信号による動作

GPTWはELCから出力されるイベント要因A～Hまでの信号により、以下の動作が可能です。各イベント信号は全チャネルに供給され、動作に対するイベント要因の選択は、チャネル内の動作別要因セレクトレジスタで行います。

- カウントスタート/カウントストップ/カウンタクリア動作
- アップカウント/ダウンカウント動作
- インプットキャプチャA、B動作

各動作は、「24.3.1.1 **カウンタの動作**」におけるハードウェア要因による動作を参照してください。

24.7 ノイズフィルタ機能

GPTW のインプットキャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可 / 停止およびサンプリングクロックが設定可能です。

図 24.118 にノイズフィルタのタイミングチャートを示します。

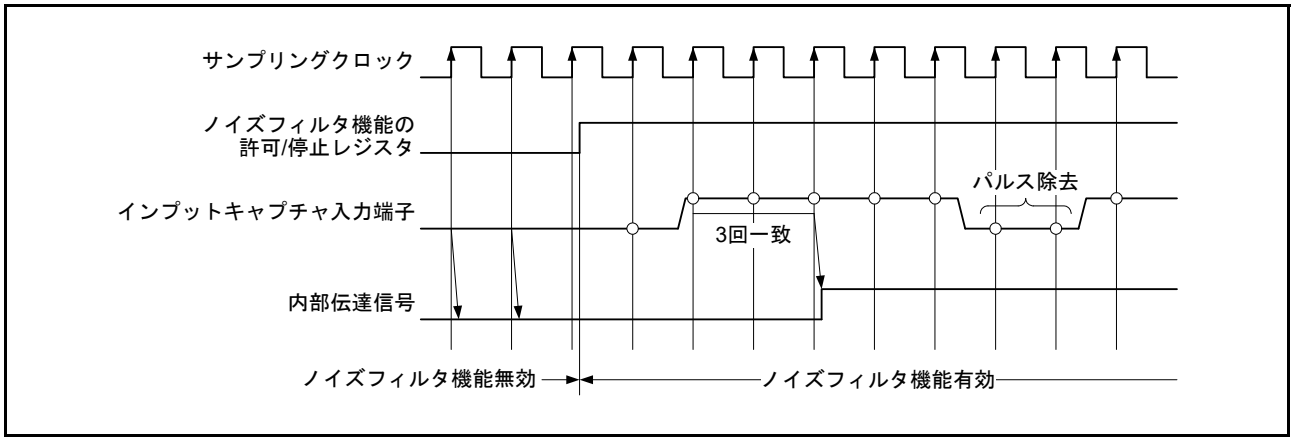


図 24.118 ノイズフィルタのタイミングチャート

ノイズフィルタ機能を設定した場合は、インプットキャプチャ入力に対するノイズフィルタリングによって最短で「サンプリングサイクル × 2 + PCLKC」だけ遅延したノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作が行われます。

24.8 保護機能

24.8.1 レジスタの書き込み保護

レジスタへの誤書き込みを防ぐために、GTWP.WP ビットの設定でレジスタへの書き込みをチャネルごとに許可 / 禁止することができます。

書き込み許可 / 禁止が可能なレジスタは、下記のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTEITC, GTEITLI1, GTEITLI2, GTEITLB

どのチャネルのレジスタを更新しても全チャネルを制御できる GTSTR, GTSTP, GTCLR レジスタは、それぞれ GTWP.STRWP, STPWP, CLRWP ビットの設定で、チャネル番号に対応するビットへの書き込みをチャネルごとに許可 / 禁止することで誤書き込みを防ぐことができます。

同様に全チャネルを制御できる GTSECSR, GTSECR レジスタは、GTWP.CMNWP ビットの設定で、チャネルごとにそのチャネルでの GTSECSR, GTSECR レジスタへの書き込みを許可 / 禁止することができます。

GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

24.8.2 バッファ動作の抑止

バッファレジスタの書き込みがバッファ転送タイミングに間に合わない場合、GTBER.BD[0], BD[1], BD[2], BD[3] ビットの設定でバッファ動作を禁止することができます。

バッファレジスタの書き込み前に BD[0], BD[1], BD[2], BD[3] ビットの対応するビットを “1” (バッファ動作禁止) にしておき、すべてのバッファレジスタの書き込み終了後に “0” (バッファ動作許可) にすることで、バッファレジスタ書き込み中にバッファ転送条件が発生してもバッファ転送を一時的に禁止することができます。

BD[0], BD[1], BD[2], BD[3] ビットの設定は、チャネルごとに直接 GTBER レジスタに書き込む方法と、GTSECSR レジスタで設定した複数のチャネルを GTSECR レジスタによって同時に設定する方法があります。

図 24.119 にチャネル 0 を例にしたバッファ動作の抑止動作例を示します。

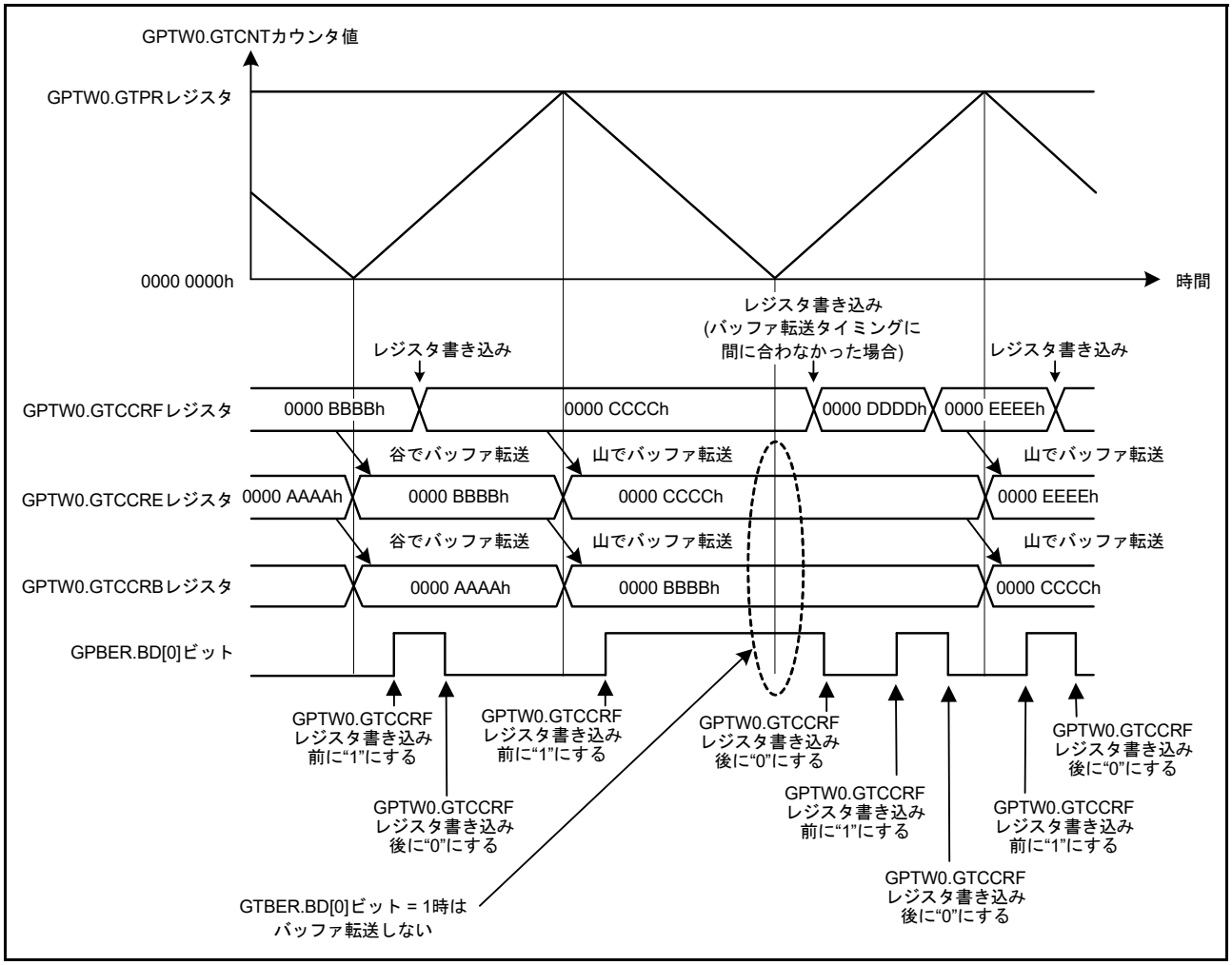


図 24.119 バッファ動作の抑止動作例 (三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送の場合)

24.8.2.1 バッファ動作の複数チャネル同時制御

GTBER.BD ビットの設定は、チャネル毎に直接 GTBER レジスタに書き込む方法と、GTSECSR レジスタで設定した複数のチャネルを GTSECR レジスタによって同時に設定する方法があります。

複数のチャネルの GTBER.BD ビットの同時設定は、以下の手順で実施してください。

(1) 同時設定するチャネルの選択 (GTSECSR レジスタの設定)

GTBER.BD ビットを同時に設定する対象となるチャネルに該当するビット位置が “1” となるように GTSECSR レジスタを設定してください。GTSECSR レジスタは、どのチャネルに書き込んでも、全てのチャネルの GTSECSR レジスタが更新されます。

(2) GTBER.BD ビットの同時設定 (GTSECR レジスタの更新)

同時に設定する GTBER.BD ビットの内容 (バッファ動作の禁止 / 許可) を GTSECR レジスタに設定してください。GTSECR レジスタは、どのチャネルに書き込んでも、GTSECSR レジスタで “1” となっているビットに対応する全てのチャネルの GTBER.BD ビットが、一斉に GTSECR レジスタへの書き込み値に従って、更新されます。図 24.120 に複数のチャネルのバッファ動作の禁止 / 許可を同時に制御する動作例を示します。

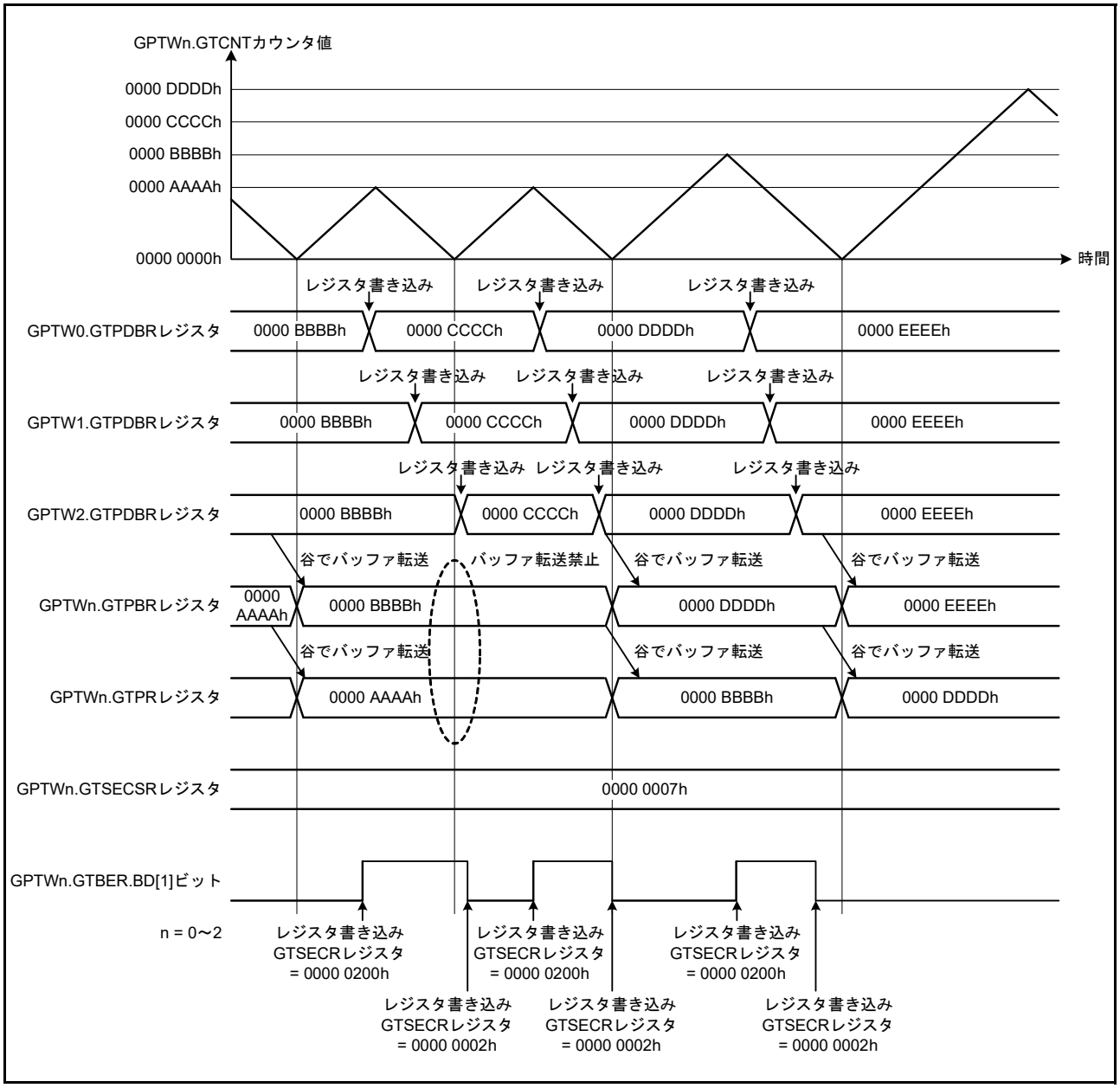


図 24.120 複数チャネルのバッファ動作の抑止動作例 (三角波、ダブルバッファ動作の場合)

24.8.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作

のこぎり波ワンショットパルスモード、三角波 PWM モード 3 を使用する場合、GTBER.DBRTECm (m = A, B) ビットに “1” を設定すると、GTBER.BD[0] ビットまたはバッファ転送拡張間引き機能によって、バッファ転送が抑止されている状態であっても、中間バッファから GTCCRm (m = A, B) レジスタへの転送を周期単位で繰り返します。

(1) のこぎり波ワンショットパルスモードの場合

のこぎり波ワンショットパルスモードの場合、リピート動作時のコンペアマッチ値は、GTCCRx (x = C, E) レジスタの中間バッファとしてテンポラリレジスタ x (x = C, E) に周期の前半のコンペアマッチ値、GTCCRy (y = D, F) レジスタの中間バッファとしてテンポラリレジスタ m (m = A, B) に周期の後半のコンペアマッチ値がそれぞれ格納され、これらが交互に GTCCRm (m = A, B) レジスタに転送されます。

表 24.22 にのこぎり波ワンショットパルスモードのカウント動作時における GTCCR バッファのバッファ転送を示します。カウント停止時、テンポラリレジスタへの値の設定は、強制バッファ転送によって行われます。強制バッファ転送では、テンポラリレジスタ m (m = A, B) には GTCCRy (y = D, F) レジスタ、テンポラリレジスタ x (x = C, E) には GTBER.DBRTECm (m = A, B) ビットが “1” の場合に GTCCRx (x = C, E) レジスタの値が、それぞれ転送されます。

また、GTBER.DBRTECm (m = A, B) ビットが “1” の場合、GTCCRm (m = A, B) レジスタへの CPU 書き込みを行うと、テンポラリレジスタ x (x = C, E) にも同じ値が書きこまれます。

表24.22 のこぎり波ワンショットパルスモードにおけるGTCCRバッファ動作

GTBER. DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRm	GTCCRx ↓ テンポラリレジスタ x	テンポラリレジスタ x ↓ GTCCRm	GTCCRy ↓ テンポラリレジスタ m	テンポラリレジスタ m ↓ GTCCRm
0	可能期間	オーバフロー / アンダフロー	転送なし	転送なし	オーバフロー / アンダフロー	GTCCRm コンペマッチ
	抑止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	可能期間	オーバフロー / アンダフロー	オーバフロー / アンダフロー	転送なし	オーバフロー / アンダフロー	GTCCRm コンペマッチ
	抑止期間	転送なし	転送なし	オーバフロー / アンダフロー	転送なし	GTCCRm コンペマッチ

図 24.121 に、のこぎり波ワンショットパルスモードでの GTCCR バッファ転送抑止時ダブルバッファリピート動作の動作例として、転送抑止期間を拡張バッファ転送間引きで生成した場合を示します。

図 24.122 に、のこぎり波ワンショットパルスモードでの GTCCR バッファ転送抑止時ダブルバッファリピート動作の動作例として、転送抑止期間を GTBER.BD[0] ビットの更新で生成した場合を示します。

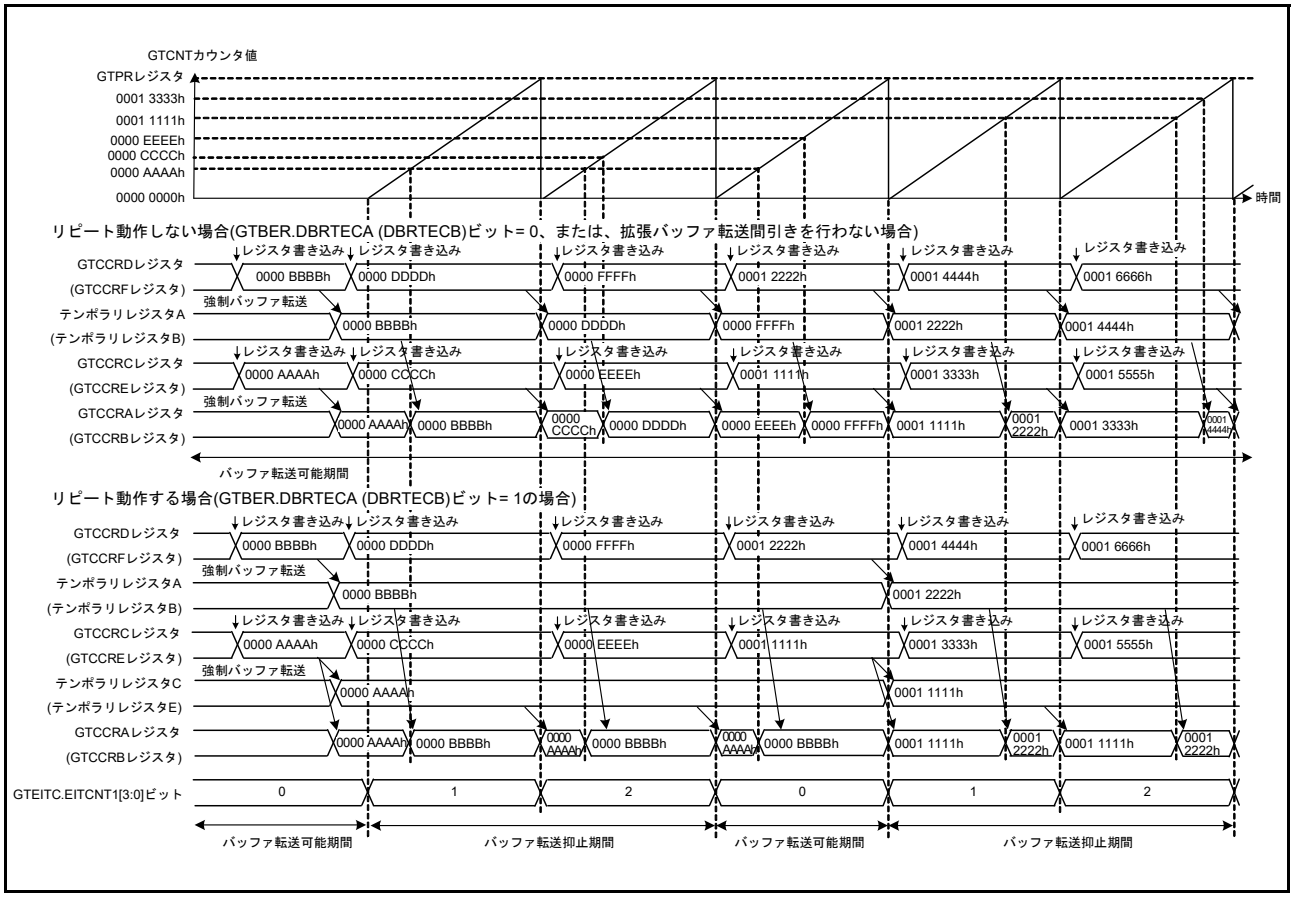


図 24.121 GTCCR バッファ転送抑止時ダブルバッファリピート動作例 (のこぎり波ワンショットパルスモード、拡張バッファ転送間引き使用、GTBER.BD[0] ビットは常時 “0” の場合)

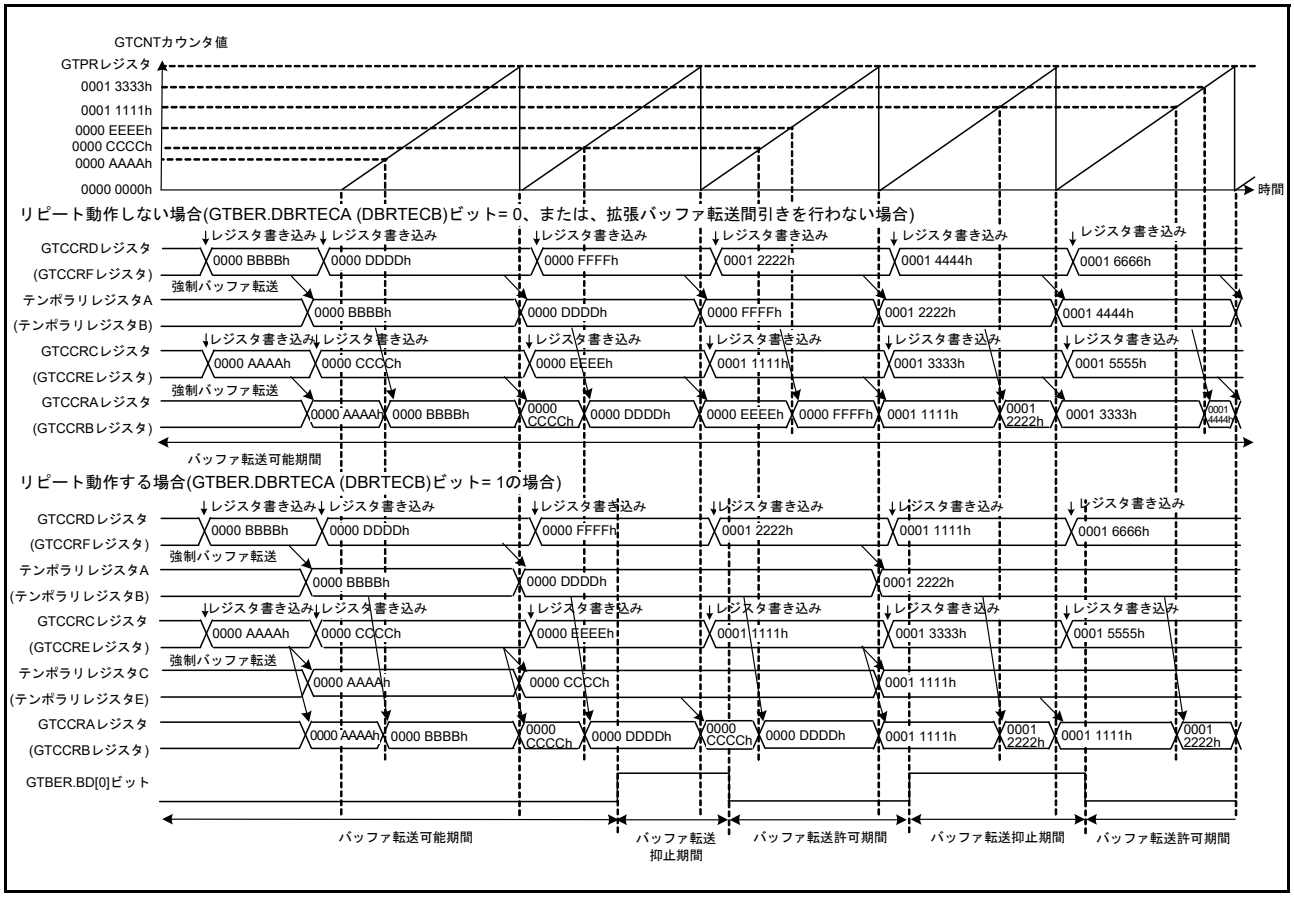


図 24.122 GTCCR バッファ転送抑止時ダブルバッファリピート動作例 (のこぎり波ワンショットパルスモード、GTBER.BD[0] ビットを更新する場合)

(2) 三角波 PWM モード 3 の場合

三角波 PWM モード 3 の場合、リピート動作時のコンペアマッチ値は、GTCCRx (x = C, E) レジスタの中間バッファとしてテンポラリレジスタ x (x = C, E) に周期の前半のコンペアマッチ値 GTCCRy (y = D, F) レジスタの中間バッファとしてテンポラリレジスタ m (m = A, B) に周期の後半のコンペアマッチ値がそれぞれ格納され、これらが交互に GTCCRm (m = A, B) レジスタに転送されます。

表 24.23 に三角波 PWM モード 3 のカウント動作時における GTCCR バッファのバッファ転送を示します。

カウント停止時、テンポラリレジスタへの値の設定は、強制バッファ転送によって行われます。強制バッファ転送では、テンポラリレジスタ m (m = A, B) には GTCCRy (y = D, F) レジスタ、テンポラリレジスタ x (x = C, E) には GTBER.DBRTECm (m = A, B) ビットが “1” の場合に GTCCRx (x = C, E) レジスタの値が、それぞれ転送されます。

また、GTBER.DBRTECm (m = A, B) ビットが “1” の場合、GTCCRm (m = A, B) レジスタへの CPU 書き込みを行うと、テンポラリレジスタ x (x = C, E) にも同じ値が書きこまれます。

表24.23 三角波PWMモード3におけるGTCCRバッファ動作

GTBER.DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRm	GTCCRx ↓ テンポラリレジスタx	テンポラリレジスタx ↓ GTCCRm	GTCCRy ↓ テンポラリレジスタm	テンポラリレジスタm ↓ GTCCRm
0	可能期間	谷	転送なし	転送なし	谷	山
	抑止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	可能期間	谷	谷	転送なし	谷	山
	抑止期間	転送なし	転送なし	谷	転送なし	山

図 24.123 に、三角波 PWM モード 3 での GTCCR バッファ転送抑止時ダブルバッファリピート動作の動作例として、転送抑止期間を拡張バッファ転送間引きで生成した場合を示します。

図 24.124 に、三角波 PWM モード 3 での GTCCR バッファ転送抑止時ダブルバッファリピート動作の動作例として、転送抑止期間を GTBER.BD[0] ビットの更新で生成した場合を示します。

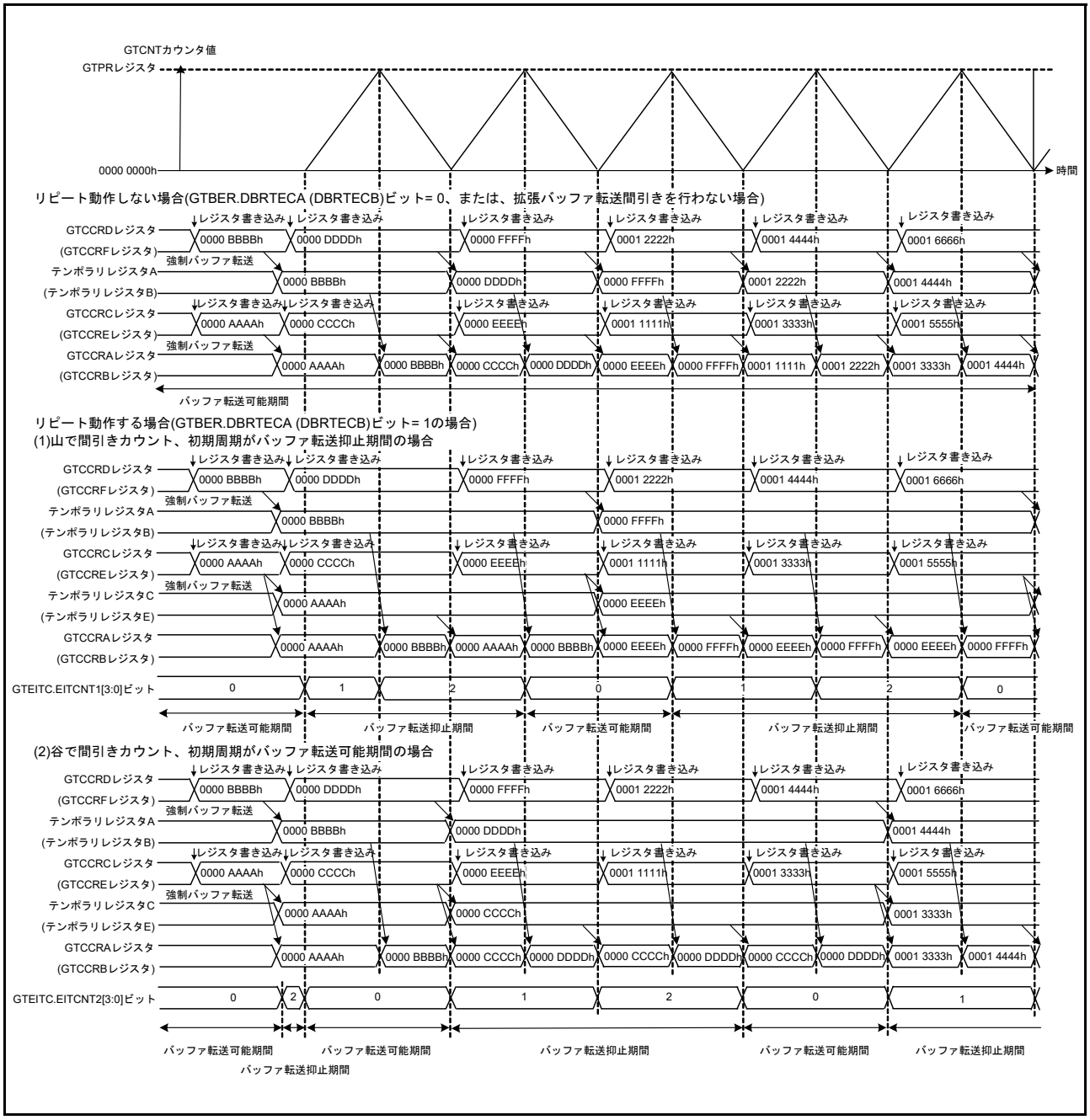


図 24.123 GTCCR バッファ転送抑止時ダブルバッファリピート動作例 (三角波 PWM モード 3、拡張バッファ転送間引き使用、GTBER.BD[0] ビットは常時 “0” の場合)

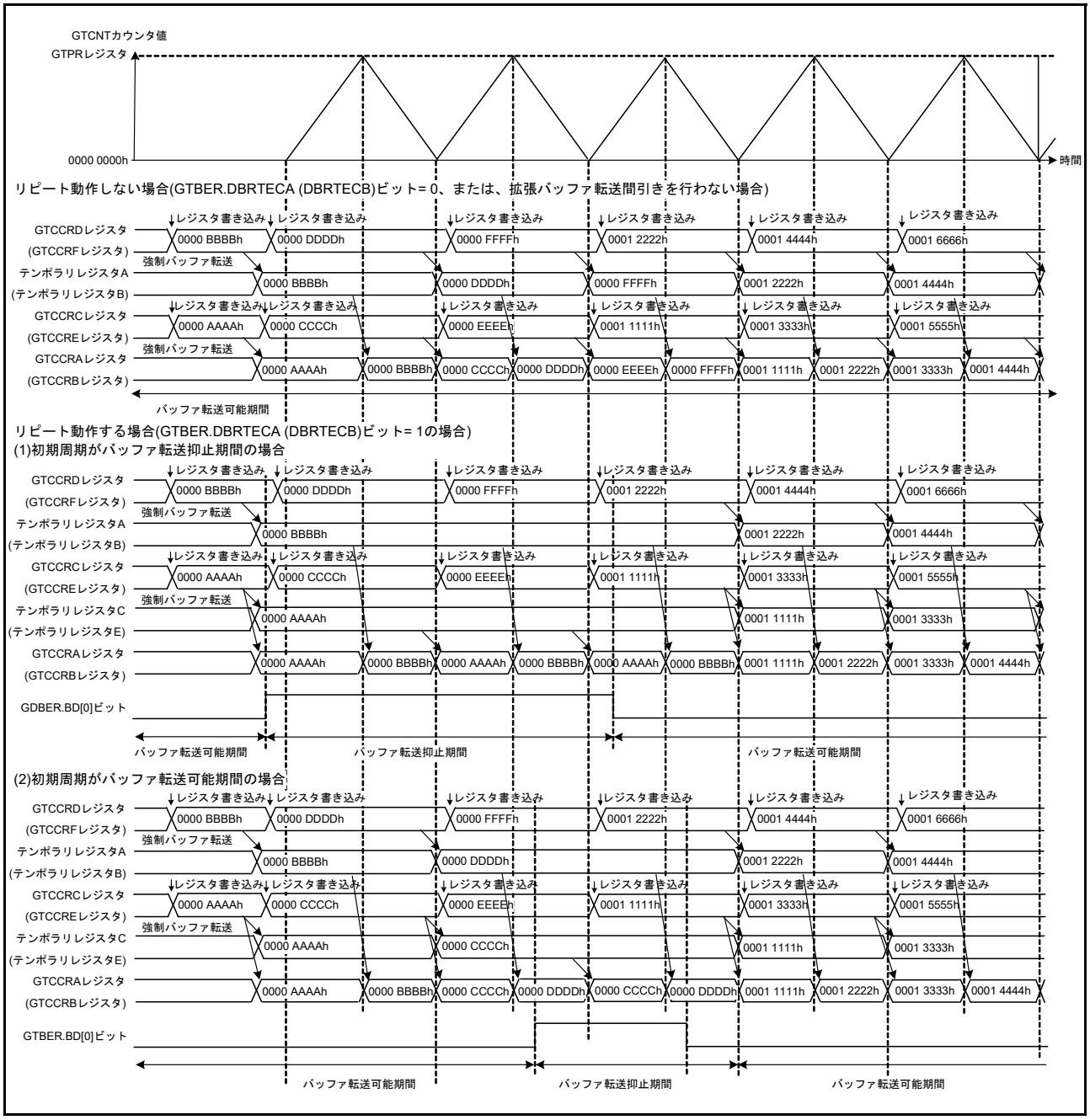


図 24.124 GTCCR バッファ転送抑止時ダブルバッファリピート動作例 (三角波 PWM モード 3、GTBER.BD[0] ビットを更新する場合)

24.8.3 GTIOCnm 端子出力の出力ネゲート制御 (n = 0 ～ 9、m = A, B)

システム異常時の保護のため、POEG からの出力停止要求によって、GTIOCnm 端子出力を強制的に変更する出力ネゲート制御を行うことができます。

出力保護が必要な状態として、デッドタイムエラーおよび GTIOCnA 端子と GTIOCnB 端子の出力値が同じ場合を検出して、GTINTAD.GRPDTE, GRPABH, GRPABL ビットの出力停止検出許可ビットの設定に従って GTINTAD.GRP[1:0] ビットで設定された POEG のグループに出力停止検出を出力します。POEG では、他の出力停止検出と論理和がとられたあと、POEG から GPTW に出力停止要求が出力されます。

GTINTAD.GRP[1:0] ビットを設定することで、GTIOCnA 端子と GTIOCnB 端子共通の出力停止要求信号として、POEG から入力される 4 グループの出力停止要求から 1 グループを選択することができます。選択された出力停止要求は、GTST.ODF フラグを読むことにより確認することができます。出力ネゲート制御時の出力状態は、GTIOCnA 端子は GTIOR.OADF[1:0] ビット、GTIOCnB 端子は GTIOR.OBDF[1:0] ビットで設定することができます。

POEG からの出力停止要求の発生による出力ネゲート状態への遷移は非同期で行いますが、出力停止要求の消滅による出力ネゲート状態の解除は、周期の終わりで行います。出力停止要求が消滅して出力ネゲート状態が解除されるのは、最短で 3 PCLKC 後です。確実な出力ネゲート制御を行うために、出力停止要求の消滅は、出力停止要求の発生から、4 PCLKC 以上後となるように POEG のフラグクリアを行ってください。

イベントカウント動作時および周期の終わりを待たずに出力ネゲート状態を解除したい場合は、GTIOCnA 端子は OADF[1:0] ビット、GTIOCnB 端子は OBDF[1:0] ビットを “00b” にしてください。

図 24.125 に GTIOCnm 端子出力の出力ネゲート制御動作を示します。

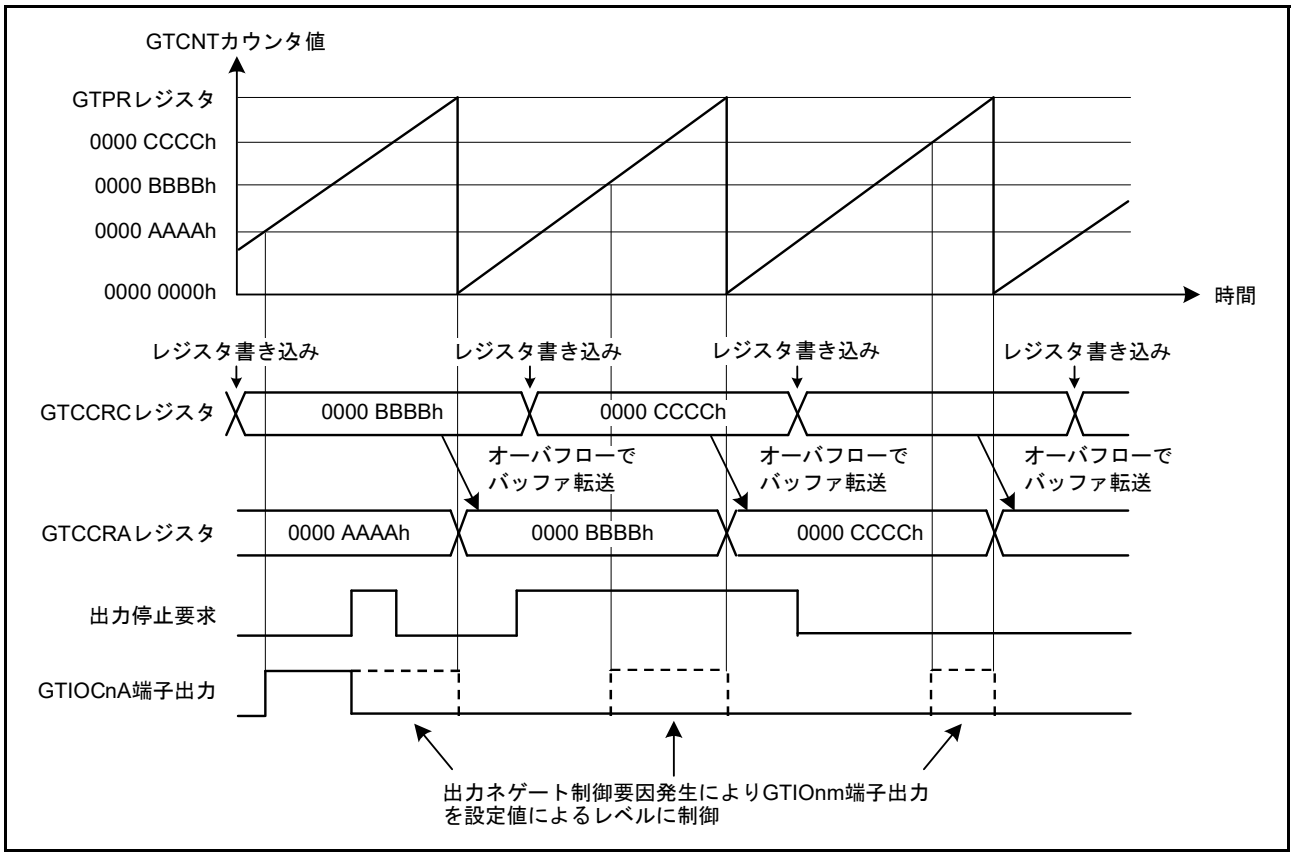


図 24.125 GTIOCnm 端子出力の出力ネゲート制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベルは High (GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力)、出力ネゲート時に Low 出力) (n = 0 ～ 9、m = A, B)

24.8.4 GTIOCnm 端子出力の出力保護機能 (n = 0 ～ 9、m = A, B)

GTCCRA レジスタに異常値 (“0000 0000h” または GTPR レジスタ設定値以上の値) が設定された場合に備え、三角波 PWM モードでデッドタイム自動設定 (GTDTCR.TDE ビットが “1”) をしている場合、GTIOCnm 端子出力の出力保護機能 (抑止機能) が動作します。

出力保護機能の動作状態は、GTSOS.SOS[1:0] ビットで確認することができます。

図 24.126 に出力保護機能の状態遷移を示します。

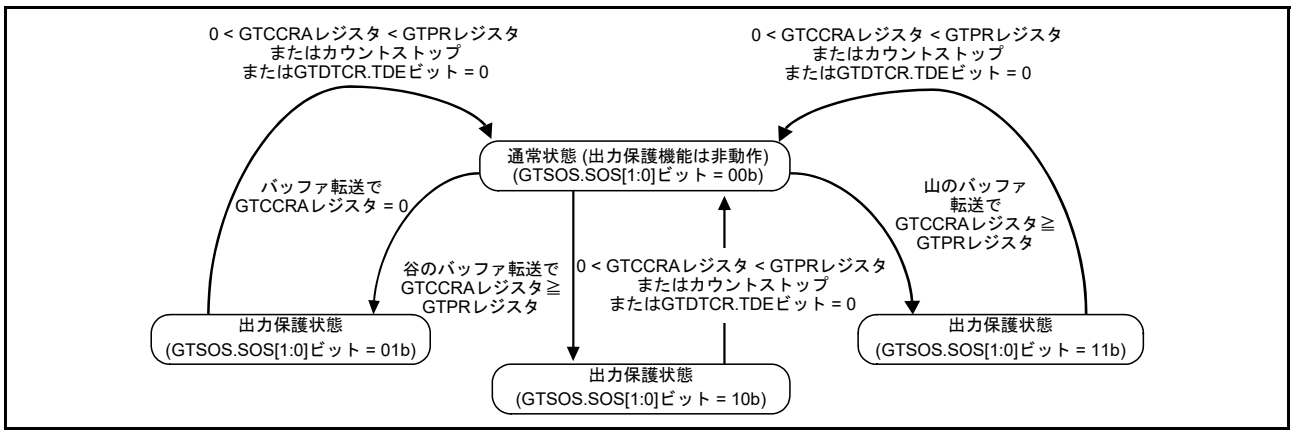


図 24.126 出力保護機能

(1) バッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能

図 24.127、図 24.128 に谷のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合、図 24.129、図 24.130 に山のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例を示します。

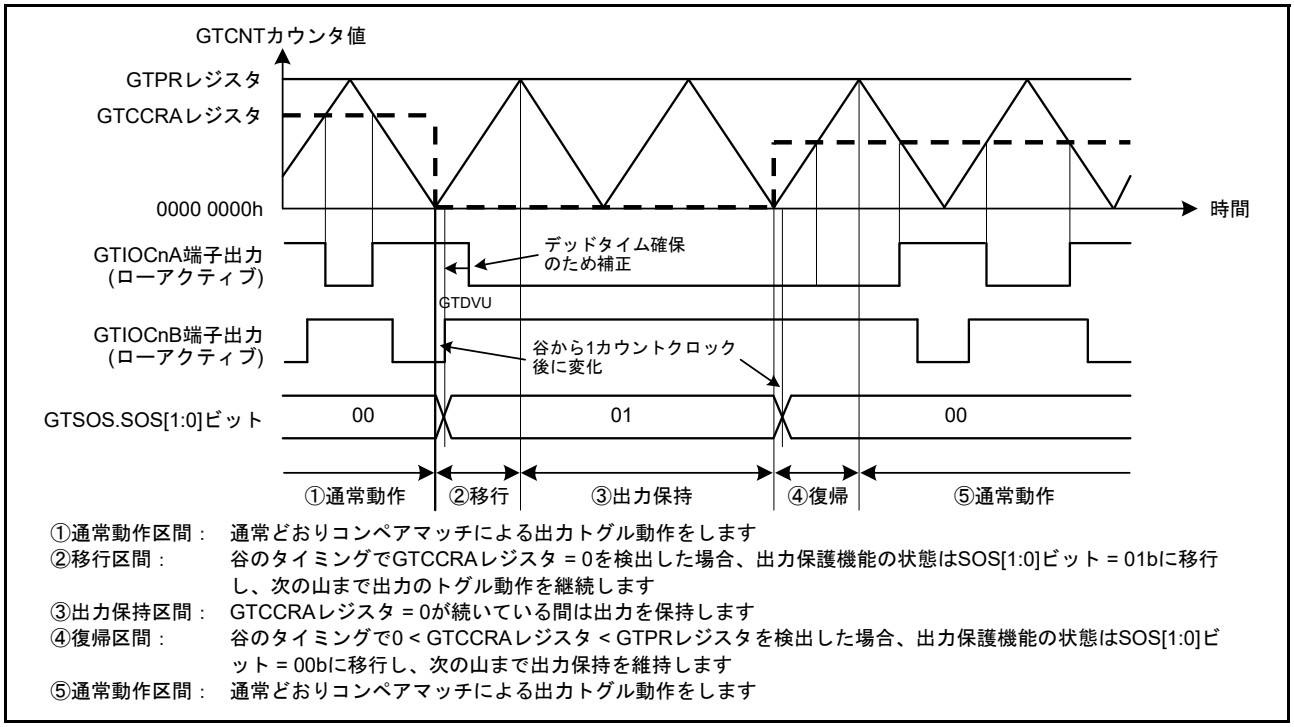
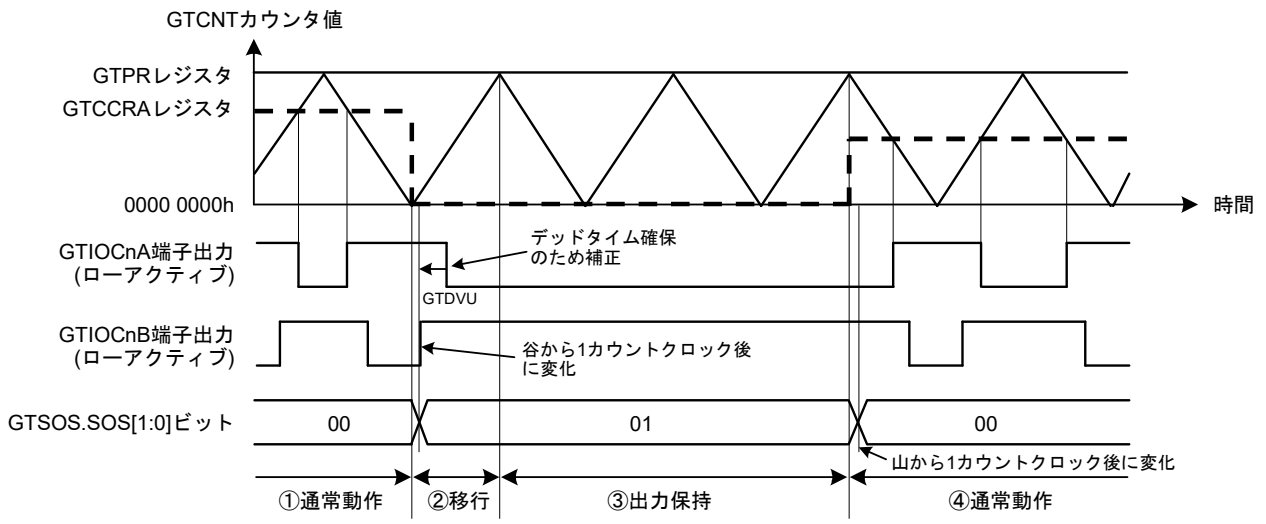
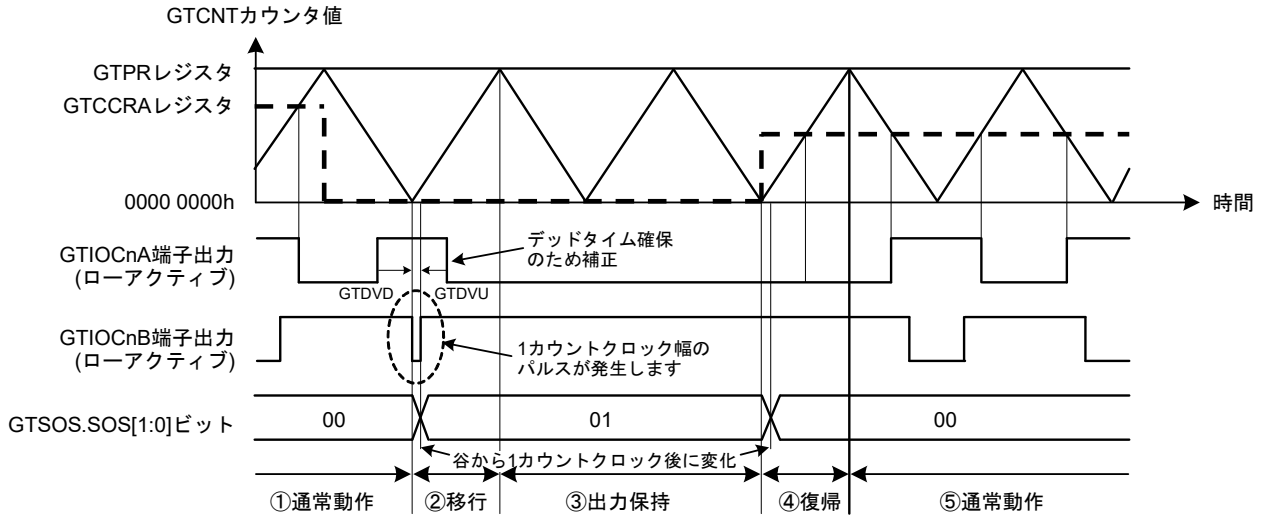


図 24.127 谷のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例 (谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 9)



①通常動作区間： 通常どおりコンペアマッチによる出力トグル動作をします
②移行区間： 谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はSOS[1:0]ビット = 01bに移行し、次の山まで出力のトグル動作を継続します
③出力保持区間： GTCCRAレジスタ = 0が続いている間は出力を保持します
④通常動作区間： 山のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 00bに移行し、通常どおりコンペアマッチによる出力トグル動作をします

図 24.128 谷のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例 (山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 9)



①通常動作区間： 通常どおりコンペアマッチによる出力トグル動作をします
②移行区間： 谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はSOS[1:0]ビット = 01bに移行し、次の山まで出力のトグル動作を継続します
③出力保持区間： GTCCRAレジスタ = 0が続いている間は出力を保持します
④復帰区間： 谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 00bに移行し、次の山まで出力保持を維持します
⑤通常動作区間： 通常どおりコンペアマッチによる出力トグル動作をします

図 24.129 山のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例 (谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 9)

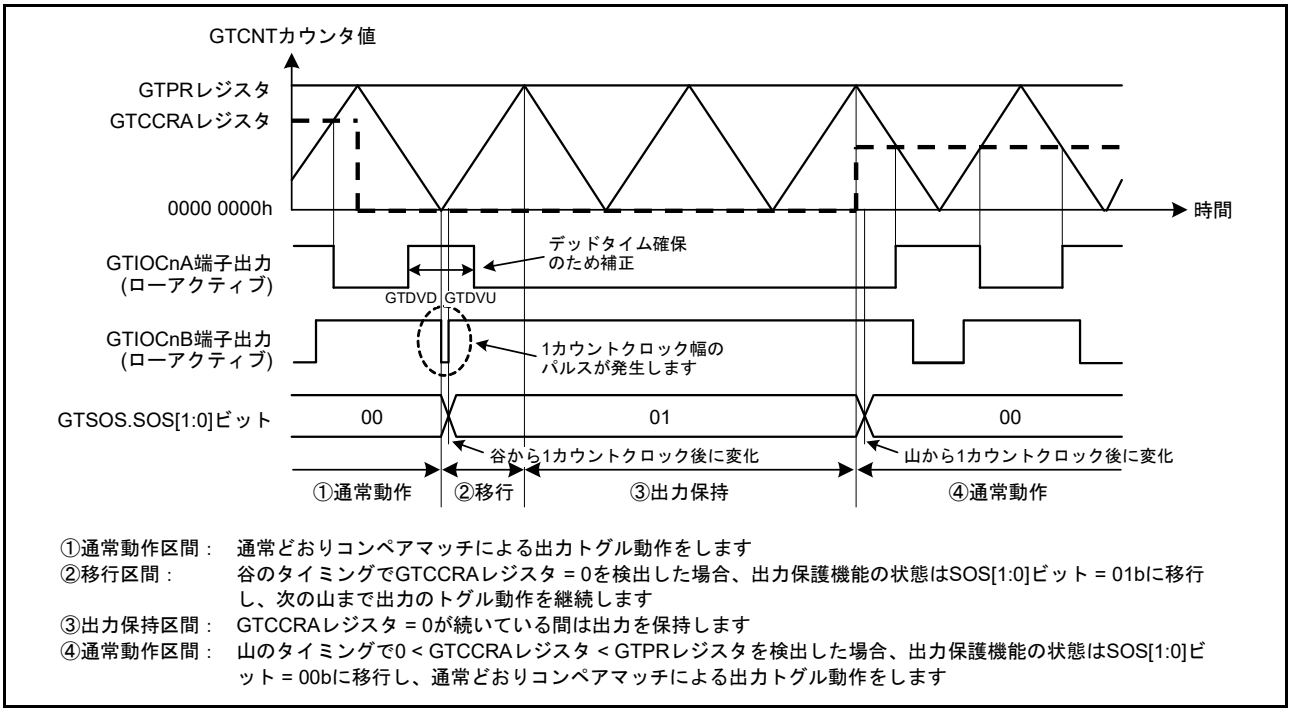


図 24.130 山のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例 (山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 9)

(2) 谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能

図 24.131、図 24.132 に谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例を示します。

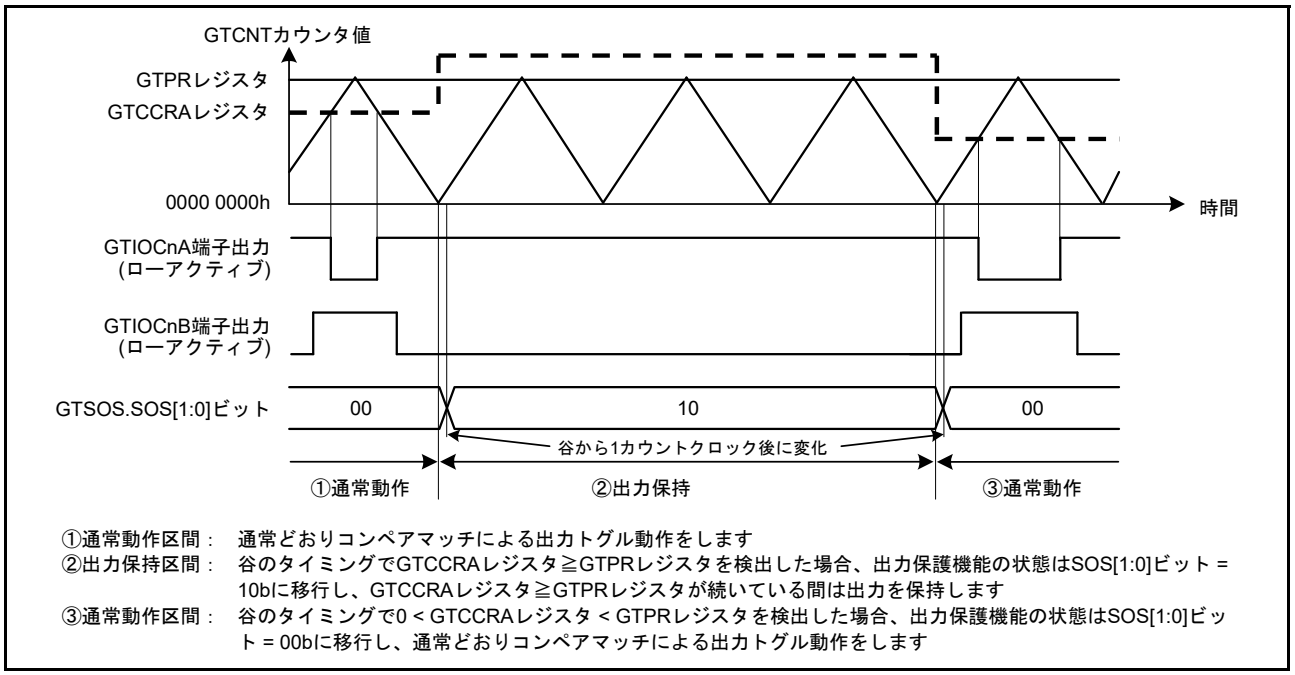


図 24.131 谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例 (谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 9)

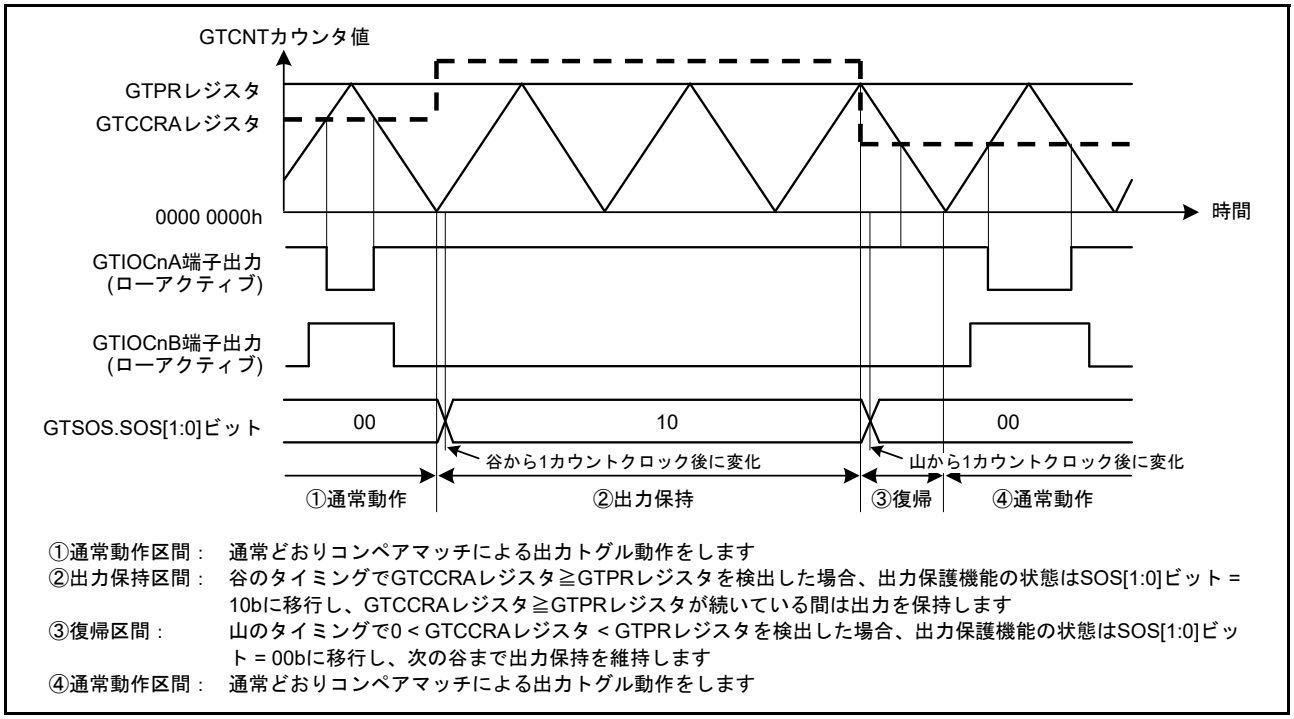


図 24.132 谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例 (山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 9)

(3) 山のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能

図 24.133、図 24.134 に山のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例を示します。

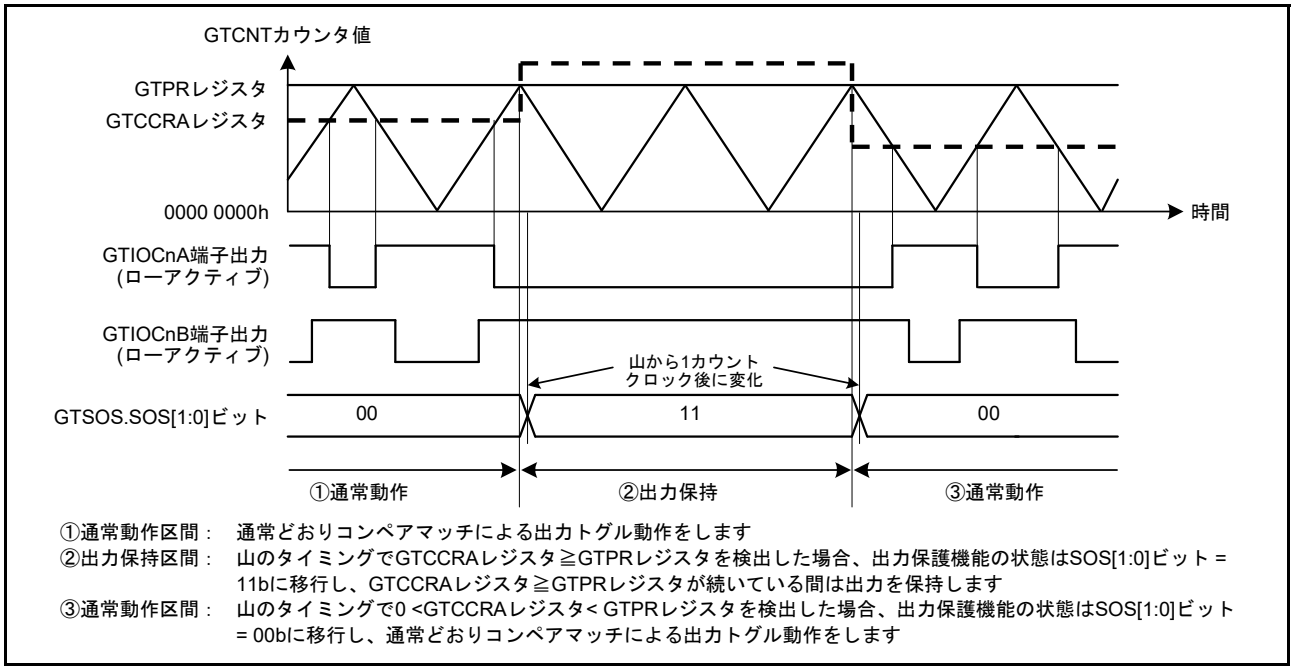


図 24.133 山のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例 (山のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 9)

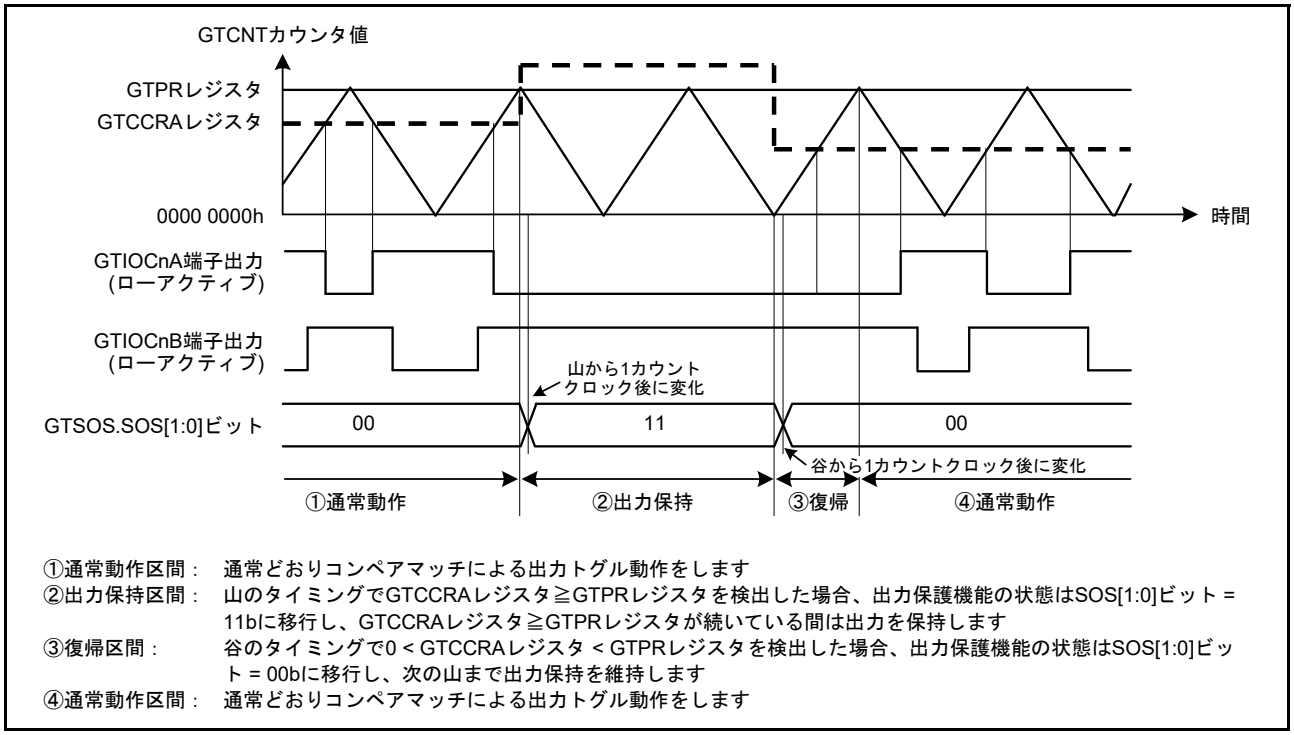


図 24.134 山のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能の動作例 (谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 9)

(4) 出力保護機能の注意事項

出力保護機能は、カウント動作中に GTCCRA レジスタに異常値 (“0000 0000h” または GTPR レジスタ設定値以上の値) が設定された場合にも正相 / 逆相出力のうちどちらかが非アクティブ出力となるように機能しますが、下記の条件を満足しない場合、正常に機能しません。

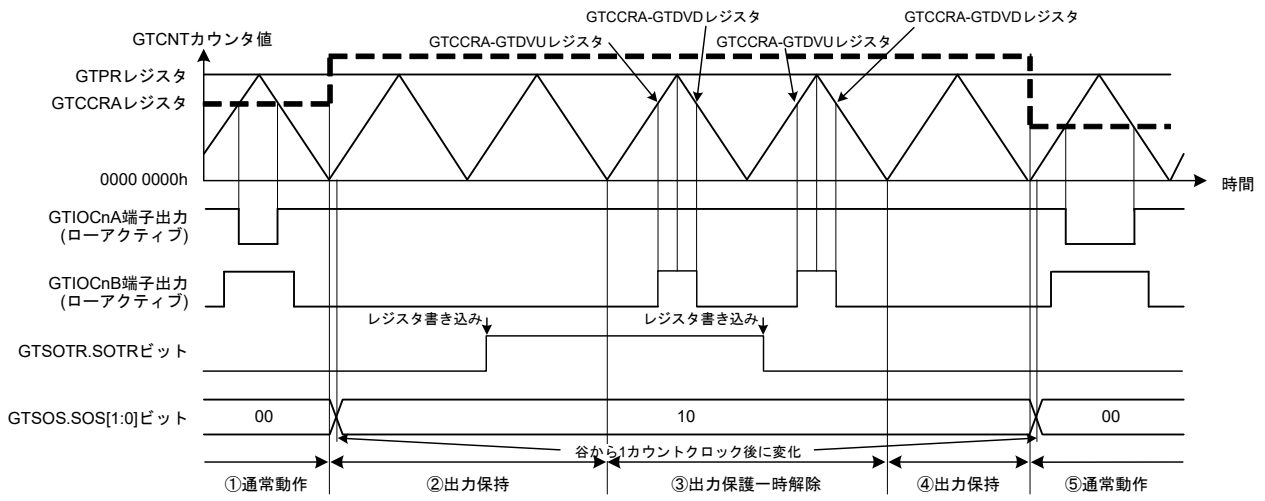
- カウント開始時の GTCCRA レジスタの値が “0000 0001h” 以上 GTPR レジスタ設定値未満

(5) 出力保護機能一時解除

GTSOS.SOS[1:0] ビットが “10b” (谷の転送で GTCCRA レジスタ≧ GTPR レジスタとなったことを示す保護状態) の場合、GTSOTR.SOTR ビットを “1” にすると、GTIOCnB 端子出力の保護状態を一時的に解除できます。出力保護機能を解除しても、SOS[1:0] ビットは “10b” を保持します。

また、SOTR ビットを “0” にすると、GTIOCnB 端子出力保護を再開できます。

図 24.135 に谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能一時解除の動作例を示します。



①通常動作区間： 通常どおりコンペアマッチによる出力トグル動作をします
②出力保持区間： 谷のタイミングでGTCCRAレジスタ≧GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 10bに移行し、GTCCRAレジスタ≧GTPRレジスタが続いている間は出力を保持します
SOTRビットを“1”にしても、GTIOCnB端子は、最初に現れる“谷”まで出力を保持します
③出力保護一時解除区間：SOTRビットを“1”にしたあと、最初に現れる“谷”からGTIOCnB端子出力は通常動作の出力を行います
SOTRビットを“0”にしても、GTIOCnB端子は、最初に現れる“谷”まで一時解除出力を続けます
④出力保持区間： 谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出するまで出力を保持します
⑤通常動作区間： 谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はSOS[1:0]ビット = 00bに移行し、通常どおりコンペアマッチによる出力トグル動作をします

図 24.135 谷のバッファ転送で GTCCRA レジスタ≧ GTPR レジスタが設定された場合の出力保護機能一時解除の動作例 (谷のバッファ転送で 0 < GTCCRA レジスタ < GTPR レジスタに復帰、アクティブレベルは Low の場合) (n = 0 ～ 9)

24.9 出力端子の初期化方法

24.9.1 リセット後の端子設定

GPTW のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE, OBE ビットの設定によって、GPTW が外部端子に出力する初期設定を行った後、カウント動作を開始してください。

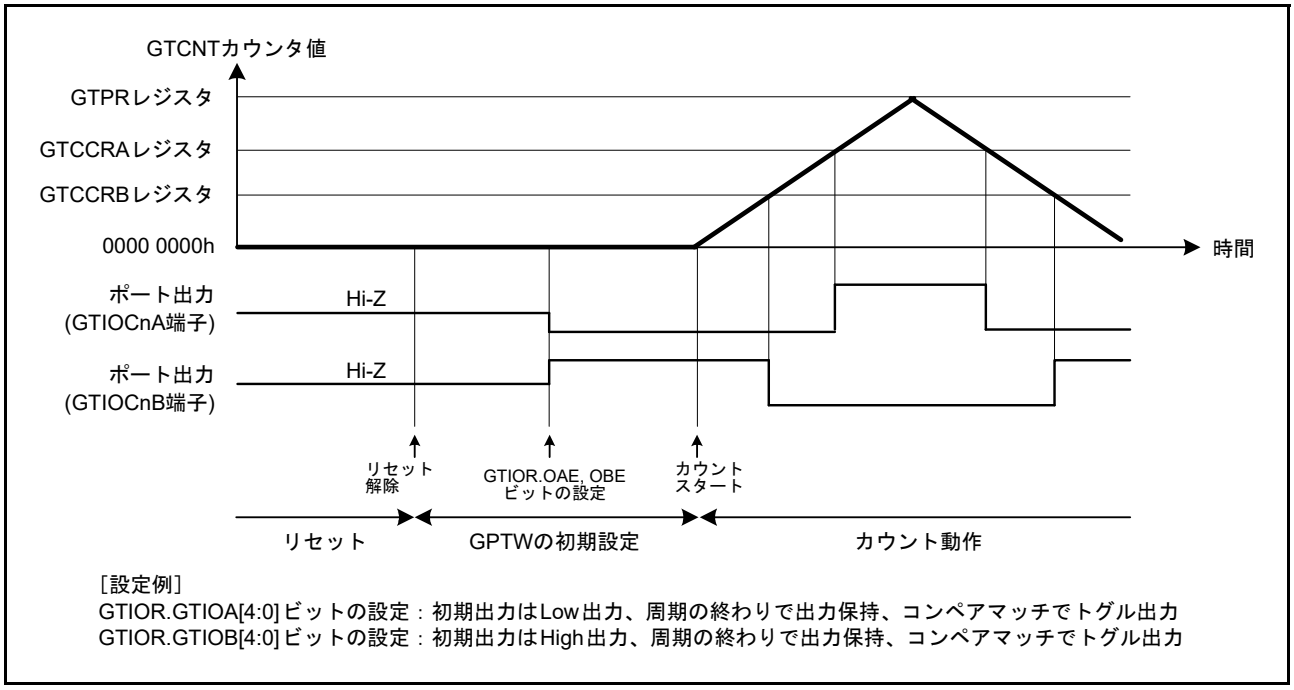


図 24.136 リセット後の端子設定例 (n = 0 ～ 9)

24.9.2 動作中の異常などによる端子の初期化

GPTW の動作中に異常などが発生して端子を初期化するまでの端子処理として、下記の方法があります。

(1) GTIOR.OAHLD, OBHLD ビットを “1” にしておき、カウントストップ時に出力を保持
(2) OAHLD, OBHLD ビットを “0” にし、GTIOR.OADFLT, OBDFLT ビットに任意の出力値を設定しておき、カウントストップ時に任意の値を出力
(3) あらかじめ I/O ポートの PDR, PODR レジスタと PMR レジスタで汎用出力ポート時に任意の値を出力する設定をしておき、異常発生時に GTIOR.OAE, OBE ビットを “0” に、PMR レジスタの当該端子の制御ビットを “0” にして、端子を汎用出力ポートとして任意の値を出力
(4) POEG 機能を使用し、出力をハイインピーダンス化

デッドタイムの自動設定を行っている場合は、カウントストップ後に GTDTCR.TDE ビットをいったん “0” にしてください。

カウントストップ時、GPTW 以外の外部要因によって変化するレジスタ以外は変化しません。カウント動作を再開すれば継続して動作します。

カウント動作をストップした場合は、各レジスタを初期化してからカウント動作を再開してください。

24.10 使用上の注意事項

24.10.1 モジュールストップ機能の設定

GPTW は、モジュールストップコントロールレジスタにより、GPTW の動作禁止 / 許可を設定することが可能です。リセット後、GPTW は動作を停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

24.10.2 コンペアマッチ動作時の GTCCRm レジスタの設定 (m = A ～ F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行っている場合

GTCCRA レジスタは、

GTCCRA レジスタ > GTDVU レジスタ
GTCCRA レジスタ > GTDVD レジスタ
GTCCRA レジスタ < GTPR レジスタ

を満たすように設定してください。

カウント動作中に GTCCRA レジスタに “0000 0000h” もしくは GTPR レジスタ設定値以上の値が設定されると出力保護機能が動作します。

ただし、下記の条件を満足しない場合、正常に機能しません。

- カウント開始時の GTCCRA レジスタの値が “0000 0001h” 以上 GTPR レジスタ設定値未満

詳細は、「24.8.4 GTIOCnm 端子出力の出力保護機能 (n = 0 ～ 9、m = A, B)」を参照してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行っていない場合

GTCCRA レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRA レジスタに “0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRA レジスタ = 0000 0000h もしくは GTCCRA レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRA レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRB レジスタに “0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRB レジスタ = 0000 0000h もしくは GTCCRB レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRB レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っている場合

GTCCRC, GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はデッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時 :
  GTCCRC レジスタ < GTCCRD レジスタ
  GTCCRC レジスタ > GTDVU レジスタ
  GTCCRD レジスタ < GTPR レジスタ – GTDVD レジスタ
- ダウンカウント時 :
  GTCCRC レジスタ > GTCCRD レジスタ
  GTCCRC レジスタ < GTPR レジスタ – GTDVU レジスタ
  GTCCRD レジスタ > GTDVD レジスタ

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っていない場合

GTCCRC, GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合は、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRC レジスタ < GTCCRD レジスタ < GTPR レジスタ
- ダウンカウント時：GTPR レジスタ > GTCCRC レジスタ > GTCCRD レジスタ > 0

同様に、GTCCRE, GTCCRF レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はコンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRE レジスタ < GTCCRF レジスタ < GTPR レジスタ
- ダウンカウント時：GTPR レジスタ > GTCCRE レジスタ > GTCCRF レジスタ > 0

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRA レジスタに “0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRA レジスタ = 0000 0000h もしくは GTCCRA レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRA レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRB レジスタに “0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRB レジスタ = 0000 0000h もしくは GTCCRB レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRB レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

24.10.3 GTCNT カウンタ値の設定範囲

GTCNT カウンタは、0 ≦ GTCNT カウンタ ≦ GTPR レジスタの範囲内に設定してください。

24.10.4 GTCNT カウンタのスタート / ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート / ストップの制御は、GTCR.TPCS[3:0] ビットで選択されたカウントクロックに同期しています。CST ビットが更新されてから TPCS[3:0] ビットで選択されたカウントクロック後に、GTCNT カウンタはスタート / ストップするので、実際に GTCNT カウンタがスタートするまでのイベントは無視され、CST ビット “0” になったあとにイベントを受け付けたり、割り込みが発生する場合があります。

24.10.5 イベントの優先順序

(1) GTCNT カウンタ

GTCNT カウンタを更新するイベントの優先順序を示します。

表24.24 GTCNTカウンタ更新の優先順序

GTCNTカウンタの更新要因	優先順序
CPU書き込み(GTCNTカウンタ書き込み / GTCLRレジスタ書き込み)	高
GTCSRレジスタで設定されたハードウェア要因によるクリア	↑
GTUPSR, GTDNSRレジスタで設定されたハードウェア要因によるカウントアップ / カウントダウン	
カウント動作	低

GTUPSR レジスタによるカウントアップと GTDNSR レジスタによるカウントダウンが競合した場合は、カウンタの値は更新されません。

GTCNT カウンタの更新と CPU 読み出しが競合した場合、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR, GTPSR レジスタで設定されたハードウェア要因によるスタート / ストップと CPU 書き込み (GTCR レジスタ書き込み /GTSTR レジスタ書き込み /GTSTP レジスタ書き込み) が競合した場合、CPU 書き込みが優先されます。

GTSSR レジスタで設定されたハードウェア要因によるスタートと GTPSR レジスタで設定されたハードウェア要因によるストップが競合した場合は、CST ビットの状態は変わりません。

CST ビットの更新と CPU 読み出し (GTCR レジスタ読み出し /GTSTR レジスタ読み出し /GTSTP レジスタ読み出し) が競合した場合、更新前のデータが読み出されます。

(3) GTCCRm レジスタ (m = A ～ F)

GTCCRm レジスタへの書き込みとインプットキャプチャ / バッファ転送が競合した場合、インプットキャプチャ / バッファ転送より GTCCRm レジスタへの書き込みが優先されます。

インプットキャプチャとカウンタへの CPU 書き込みまたはハードウェア要因によるカウンタの更新が競合した場合、更新前のカウンタの値がキャプチャされます。

GTCCRm レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読み出されます。

(4) GTPR レジスタ

バッファ転送と GTPR レジスタへの書き込みが競合した場合、バッファ転送より GTPR レジスタへの書き込みが優先されます。

GTPR レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読み出されます。

(5) GTADTRm レジスタ (m = A, B)

バッファ転送と GTADTRm レジスタへの書き込みが競合した場合、バッファ転送より GTADTRm レジスタへの書き込みが優先されます。

GTADTRm レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読み出されます。

(6) GTDVm レジスタ (m = U, D)

バッファ転送と GTDVm レジスタへの書き込みが競合した場合、バッファ転送より GTDVm レジスタへの書き込みが優先されます。

GTDVm レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読み出されます。

25. 高分解能 PWM 波形生成回路 (HRPWM)

25.1 概要

本 MCU は、GPTW0 ～ GPTW3 が生成する PWM 波形を最小約 195ps の分解能で整形する高分解能 PWM 波形生成回路 (HRPWM) を内蔵しています。HRPWM を使用することにより、変換効率の高いデジタル電源制御などが実現可能です。表 25.1 に HRPWM の仕様を、図 25.1 に HRPWM のブロック図を、表 25.2 に HRPWM の入出力端子を示します。

表25.1　HRPWMの仕様

項目	内容
機能	• 最大4チャネルの相補PWM波形を高分解能化 • DLL (Delay Locked Loop)回路により、HRCK周期の1/32 (最小約195ps)の高分解能を実現 • PWM波形の立ち上がり、および立ち下がりタイミングを個別に調整可能(注1) • HRPWMをバイパスしてGPTWが生成した波形をそのまま出力することも可能
動作クロック(HRCK)	PCLKCまたはPCLKAから選択可能
動作周波数(f(HRCK))	80～160MHz(注2)

注1.　調整はGPTW0～GPTW3から出力されるPWM信号の立ち上がり、または立ち下がりタイミングをHRCK周期の1/32の分解能で遅延させることで実現しています。
注2.　GPTWを160MHzより高い周波数で動作させる場合、PCLKCは使用できません。PCLKAに切り替えてください。

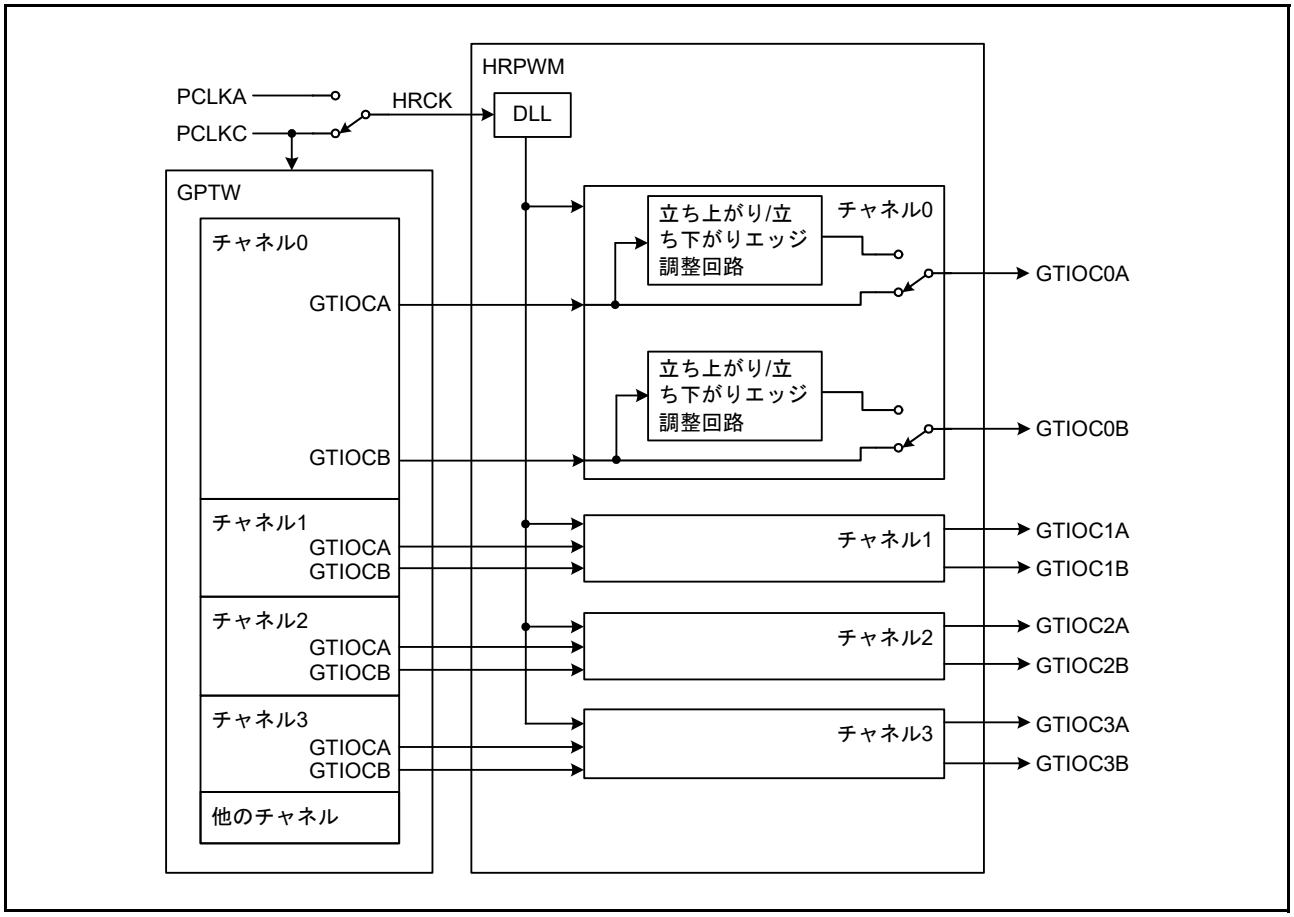


図 25.1　HRPWM のブロック図

表25.2 HRPWMの入出力端子

端子名	入出力	機能
GTIOC0A	出力	GPTW0が生成するPWM波形の高分解能化出力
GTIOC0B	出力	GPTW0が生成するPWM波形の高分解能化出力
GTIOC1A	出力	GPTW1が生成するPWM波形の高分解能化出力
GTIOC1B	出力	GPTW1が生成するPWM波形の高分解能化出力
GTIOC2A	出力	GPTW2が生成するPWM波形の高分解能化出力
GTIOC2B	出力	GPTW2が生成するPWM波形の高分解能化出力
GTIOC3A	出力	GPTW3が生成するPWM波形の高分解能化出力
GTIOC3B	出力	GPTW3が生成するPWM波形の高分解能化出力

25.2 レジスタの説明

25.2.1 HRPWM 動作制御レジスタ (HROCR)

アドレス HRPWM.HROCR 000C 2A00h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HRRST	DLLEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLLEN	DLL動作許可ビット	0：DLL動作を禁止 1：DLL動作を許可	R/W
b1	HRRST	高分解能PWM波形生成回路リセットビット	0：リセット解除 1：リセット	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HROCR レジスタは、HRPWM モジュール全体の動作を制御するレジスタです。HROCR レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTW0.GTWP.WP = 0) のときに書き込むことができます。

DLLEN ビット (DLL 動作許可ビット)

HRPWM 内部の DLL を起動させるかどうかを選択します。起動後は、DLL の出力が安定するまで 20μs 待ってください。

HRRST ビット (高分解能 PWM 波形生成回路リセットビット)

HRPWM の内部状態をリセットします。リセット解除後は、HRCK で 12 サイクル待ってください。また、動作中にリセットした場合、HRCK で 5 サイクル後に PWM 出力が Low に固定されます。

25.2.2 HRPWM 動作制御レジスタ 2 (HROCR2)

アドレス HRPWM.HROCR2 000C 2A02h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HRDIS 3	HRDIS 2	HRDIS 1	HRDIS 0	—	—	—	—	HRSEL 3	HRSEL 2	HRSEL 1	HRSEL 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HRSEL0	チャネル0高分解能PWM波形出力選択ビット	0：GTIOC0A/GTIOC0B端子からGPTW0が生成したPWM波形をそのまま出力 1：GTIOC0A/GTIOC0B端子から高分解能PWM波形を出力	R/W
b1	HRSEL1	チャネル1高分解能PWM波形出力選択ビット	0：GTIOC1A/GTIOC1B端子からGPTW1が生成したPWM波形をそのまま出力 1：GTIOC1A/GTIOC1B端子から高分解能PWM波形を出力	R/W
b2	HRSEL2	チャネル2高分解能PWM波形出力選択ビット	0：GTIOC2A/GTIOC2B端子からGPTW2が生成したPWM波形をそのまま出力 1：GTIOC2A/GTIOC2B端子から高分解能PWM波形を出力	R/W
b3	HRSEL3	チャネル3高分解能PWM波形出力選択ビット	0：GTIOC3A/GTIOC3B端子からGPTW3が生成したPWM波形をそのまま出力 1：GTIOC3A/GTIOC3B端子から高分解能PWM波形を出力	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	HRDIS0	チャネル0立ち上がり/立ち下がりエッジ調整回路停止ビット	0：チャネル0立ち上がり/立ち下がりエッジ調整回路の動作を許可 1：チャネル0立ち上がり/立ち下がりエッジ調整回路の動作を禁止	R/W
b9	HRDIS1	チャネル1立ち上がり/立ち下がりエッジ調整回路停止ビット	0：チャネル1立ち上がり/立ち下がりエッジ調整回路の動作を許可 1：チャネル1立ち上がり/立ち下がりエッジ調整回路の動作を禁止	R/W
b10	HRDIS2	チャネル2立ち上がり/立ち下がりエッジ調整回路停止ビット	0：チャネル2立ち上がり/立ち下がりエッジ調整回路の動作を許可 1：チャネル2立ち上がり/立ち下がりエッジ調整回路の動作を禁止	R/W
b11	HRDIS3	チャネル3立ち上がり/立ち下がりエッジ調整回路停止ビット	0：チャネル3立ち上がり/立ち下がりエッジ調整回路の動作を許可 1：チャネル3立ち上がり/立ち下がりエッジ調整回路の動作を禁止	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HROCR2 レジスタは、HRPWM モジュールをチャネルごとに制御するレジスタです。HROCR2 レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTW0.GTWP.WP = 0) のときに書き込むことができます。

HRSELn ビット (チャネル n 高分解能 PWM 波形出力選択ビット) (n = 0 ～ 3)

GTIOCnA、および GTIOCnB 端子 (n = 0 ～ 3) から、HRPWM で生成した波形を出力するか、回路をバイパスして GPTW の出力をそのまま出力するかを選択します。

HRPWM で生成された PWM 波形は、遅延量を 0 にした場合でもバイパスしたときより HRCK で最大 3 サイクル分 (注 1) 遅れて出力されます。

注 1.　HRCK に PCLKC を選択したときは 3 サイクル、PCLKA を選択したときは 2.5 または 3 サイクル。

HRDISn ビット (チャネル n 立ち上がり / 立ち下がりエッジ調整回路停止ビット) (n = 0 ～ 3)

対応する GPTW のチャネルごとに立ち上がり / 立ち下がりエッジ調整回路の動作を許可 / 禁止します。使用しないチャネルでは、“1” にしてください。

25.2.3 GTIOCnA 端子立ち上がりエッジ調整レジスタ (HRREARnA) (n = 0 ～ 3)

アドレス　HRPWM.HRREAR0A 000C 2A18h, HRPWM.HRREAR1A 000C 2A1Ch, HRPWM.HRREAR2A 000C 2A20h, HRPWM.HRREAR3A 000C 2A24h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	遅延量選択ビット	b4 b0 0 0 0 0 0 : HRCK周期の0/32倍の遅延を適用 0 0 0 0 1 : HRCK周期の1/32倍の遅延を適用 0 0 0 1 0 : HRCK周期の2/32倍の遅延を適用 0 0 0 1 1 : HRCK周期の3/32倍の遅延を適用 0 0 1 0 0 : HRCK周期の4/32倍の遅延を適用 0 0 1 0 1 : HRCK周期の5/32倍の遅延を適用 0 0 1 1 0 : HRCK周期の6/32倍の遅延を適用 0 0 1 1 1 : HRCK周期の7/32倍の遅延を適用 0 1 0 0 0 : HRCK周期の8/32倍の遅延を適用 0 1 0 0 1 : HRCK周期の9/32倍の遅延を適用 0 1 0 1 0 : HRCK周期の10/32倍の遅延を適用 0 1 0 1 1 : HRCK周期の11/32倍の遅延を適用 0 1 1 0 0 : HRCK周期の12/32倍の遅延を適用 0 1 1 0 1 : HRCK周期の13/32倍の遅延を適用 0 1 1 1 0 : HRCK周期の14/32倍の遅延を適用 0 1 1 1 1 : HRCK周期の15/32倍の遅延を適用 1 0 0 0 0 : HRCK周期の16/32倍の遅延を適用 1 0 0 0 1 : HRCK周期の17/32倍の遅延を適用 1 0 0 1 0 : HRCK周期の18/32倍の遅延を適用 1 0 0 1 1 : HRCK周期の19/32倍の遅延を適用 1 0 1 0 0 : HRCK周期の20/32倍の遅延を適用 1 0 1 0 1 : HRCK周期の21/32倍の遅延を適用 1 0 1 1 0 : HRCK周期の22/32倍の遅延を適用 1 0 1 1 1 : HRCK周期の23/32倍の遅延を適用 1 1 0 0 0 : HRCK周期の24/32倍の遅延を適用 1 1 0 0 1 : HRCK周期の25/32倍の遅延を適用 1 1 0 1 0 : HRCK周期の26/32倍の遅延を適用 1 1 0 1 1 : HRCK周期の27/32倍の遅延を適用 1 1 1 0 0 : HRCK周期の28/32倍の遅延を適用 1 1 1 0 1 : HRCK周期の29/32倍の遅延を適用 1 1 1 1 0 : HRCK周期の30/32倍の遅延を適用 1 1 1 1 1 : HRCK周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HRREARnA レジスタは、GTIOCnA 端子から出力される PWM 波形の立ち上がりエッジに適用する遅延量を設定するレジスタです。設定値の転送タイミングについては、「25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の 転送タイミング (n = 0 ～ 3)」を参照してください。

HRREARnA レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTWn.GTWP.WP = 0) のときに書き込むことができます。

25.2.4 GTIOCnA 端子立ち下がりエッジ調整レジスタ (HRFEARnA) (n = 0 ～ 3)

アドレス　HRPWM.HRFEAR0A 000C 2A28h, HRPWM.HRFEAR1A 000C 2A2Ch, HRPWM.HRFEAR2A 000C 2A30h, HRPWM.HRFEAR3A 000C 2A34h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	遅延量選択ビット	b4 b0 0 0 0 0 0 : HRCK周期の0/32倍の遅延を適用 0 0 0 0 1 : HRCK周期の1/32倍の遅延を適用 0 0 0 1 0 : HRCK周期の2/32倍の遅延を適用 0 0 0 1 1 : HRCK周期の3/32倍の遅延を適用 0 0 1 0 0 : HRCK周期の4/32倍の遅延を適用 0 0 1 0 1 : HRCK周期の5/32倍の遅延を適用 0 0 1 1 0 : HRCK周期の6/32倍の遅延を適用 0 0 1 1 1 : HRCK周期の7/32倍の遅延を適用 0 1 0 0 0 : HRCK周期の8/32倍の遅延を適用 0 1 0 0 1 : HRCK周期の9/32倍の遅延を適用 0 1 0 1 0 : HRCK周期の10/32倍の遅延を適用 0 1 0 1 1 : HRCK周期の11/32倍の遅延を適用 0 1 1 0 0 : HRCK周期の12/32倍の遅延を適用 0 1 1 0 1 : HRCK周期の13/32倍の遅延を適用 0 1 1 1 0 : HRCK周期の14/32倍の遅延を適用 0 1 1 1 1 : HRCK周期の15/32倍の遅延を適用 1 0 0 0 0 : HRCK周期の16/32倍の遅延を適用 1 0 0 0 1 : HRCK周期の17/32倍の遅延を適用 1 0 0 1 0 : HRCK周期の18/32倍の遅延を適用 1 0 0 1 1 : HRCK周期の19/32倍の遅延を適用 1 0 1 0 0 : HRCK周期の20/32倍の遅延を適用 1 0 1 0 1 : HRCK周期の21/32倍の遅延を適用 1 0 1 1 0 : HRCK周期の22/32倍の遅延を適用 1 0 1 1 1 : HRCK周期の23/32倍の遅延を適用 1 1 0 0 0 : HRCK周期の24/32倍の遅延を適用 1 1 0 0 1 : HRCK周期の25/32倍の遅延を適用 1 1 0 1 0 : HRCK周期の26/32倍の遅延を適用 1 1 0 1 1 : HRCK周期の27/32倍の遅延を適用 1 1 1 0 0 : HRCK周期の28/32倍の遅延を適用 1 1 1 0 1 : HRCK周期の29/32倍の遅延を適用 1 1 1 1 0 : HRCK周期の30/32倍の遅延を適用 1 1 1 1 1 : HRCK周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HRFEARnA レジスタは、GTIOCnA 端子から出力される PWM 波形の立ち下がりエッジに適用する遅延量を設定するレジスタです。設定値の転送タイミングについては、「25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の 転送タイミング (n = 0 ～ 3)」を参照してください。

HRFEARnA レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTWn.GTWP.WP = 0) のときに書き込むことができます。

25.2.5 GTIOCnB 端子立ち上がりエッジ調整レジスタ (HRREARnB) (n = 0 ～ 3)

アドレス　HRPWM.HRREAR0B 000C 2A1Ah, HRPWM.HRREAR1B 000C 2A1Eh, HRPWM.HRREAR2B 000C 2A22h, HRPWM.HRREAR3B 000C 2A26h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	遅延量選択ビット	b4 b0 0 0 0 0 0 : HRCK周期の0/32倍の遅延を適用 0 0 0 0 1 : HRCK周期の1/32倍の遅延を適用 0 0 0 1 0 : HRCK周期の2/32倍の遅延を適用 0 0 0 1 1 : HRCK周期の3/32倍の遅延を適用 0 0 1 0 0 : HRCK周期の4/32倍の遅延を適用 0 0 1 0 1 : HRCK周期の5/32倍の遅延を適用 0 0 1 1 0 : HRCK周期の6/32倍の遅延を適用 0 0 1 1 1 : HRCK周期の7/32倍の遅延を適用 0 1 0 0 0 : HRCK周期の8/32倍の遅延を適用 0 1 0 0 1 : HRCK周期の9/32倍の遅延を適用 0 1 0 1 0 : HRCK周期の10/32倍の遅延を適用 0 1 0 1 1 : HRCK周期の11/32倍の遅延を適用 0 1 1 0 0 : HRCK周期の12/32倍の遅延を適用 0 1 1 0 1 : HRCK周期の13/32倍の遅延を適用 0 1 1 1 0 : HRCK周期の14/32倍の遅延を適用 0 1 1 1 1 : HRCK周期の15/32倍の遅延を適用 1 0 0 0 0 : HRCK周期の16/32倍の遅延を適用 1 0 0 0 1 : HRCK周期の17/32倍の遅延を適用 1 0 0 1 0 : HRCK周期の18/32倍の遅延を適用 1 0 0 1 1 : HRCK周期の19/32倍の遅延を適用 1 0 1 0 0 : HRCK周期の20/32倍の遅延を適用 1 0 1 0 1 : HRCK周期の21/32倍の遅延を適用 1 0 1 1 0 : HRCK周期の22/32倍の遅延を適用 1 0 1 1 1 : HRCK周期の23/32倍の遅延を適用 1 1 0 0 0 : HRCK周期の24/32倍の遅延を適用 1 1 0 0 1 : HRCK周期の25/32倍の遅延を適用 1 1 0 1 0 : HRCK周期の26/32倍の遅延を適用 1 1 0 1 1 : HRCK周期の27/32倍の遅延を適用 1 1 1 0 0 : HRCK周期の28/32倍の遅延を適用 1 1 1 0 1 : HRCK周期の29/32倍の遅延を適用 1 1 1 1 0 : HRCK周期の30/32倍の遅延を適用 1 1 1 1 1 : HRCK周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HRREARnB レジスタは、GTIOCnB 端子から出力される PWM 波形の立ち上がりエッジに適用する遅延量を設定するレジスタです。設定値の転送タイミングについては、「25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の 転送タイミング (n = 0 ～ 3)」を参照してください。

HRREARnB レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTWn.GTWP.WP = 0) のときに書き込むことができます。

25.2.6 GTIOCnB 端子立ち下がりエッジ調整レジスタ (HRFEARnB) (n = 0 ～ 3)

アドレス　HRPWM.HRFEAR0B 000C 2A2Ah, HRPWM.HRFEAR1B 000C 2A2Eh, HRPWM.HRFEAR2B 000C 2A32h, HRPWM.HRFEAR3B 000C 2A36h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	遅延量選択ビット	b4 b0 0 0 0 0 0 : HRCK周期の0/32倍の遅延を適用 0 0 0 0 1 : HRCK周期の1/32倍の遅延を適用 0 0 0 1 0 : HRCK周期の2/32倍の遅延を適用 0 0 0 1 1 : HRCK周期の3/32倍の遅延を適用 0 0 1 0 0 : HRCK周期の4/32倍の遅延を適用 0 0 1 0 1 : HRCK周期の5/32倍の遅延を適用 0 0 1 1 0 : HRCK周期の6/32倍の遅延を適用 0 0 1 1 1 : HRCK周期の7/32倍の遅延を適用 0 1 0 0 0 : HRCK周期の8/32倍の遅延を適用 0 1 0 0 1 : HRCK周期の9/32倍の遅延を適用 0 1 0 1 0 : HRCK周期の10/32倍の遅延を適用 0 1 0 1 1 : HRCK周期の11/32倍の遅延を適用 0 1 1 0 0 : HRCK周期の12/32倍の遅延を適用 0 1 1 0 1 : HRCK周期の13/32倍の遅延を適用 0 1 1 1 0 : HRCK周期の14/32倍の遅延を適用 0 1 1 1 1 : HRCK周期の15/32倍の遅延を適用 1 0 0 0 0 : HRCK周期の16/32倍の遅延を適用 1 0 0 0 1 : HRCK周期の17/32倍の遅延を適用 1 0 0 1 0 : HRCK周期の18/32倍の遅延を適用 1 0 0 1 1 : HRCK周期の19/32倍の遅延を適用 1 0 1 0 0 : HRCK周期の20/32倍の遅延を適用 1 0 1 0 1 : HRCK周期の21/32倍の遅延を適用 1 0 1 1 0 : HRCK周期の22/32倍の遅延を適用 1 0 1 1 1 : HRCK周期の23/32倍の遅延を適用 1 1 0 0 0 : HRCK周期の24/32倍の遅延を適用 1 1 0 0 1 : HRCK周期の25/32倍の遅延を適用 1 1 0 1 0 : HRCK周期の26/32倍の遅延を適用 1 1 0 1 1 : HRCK周期の27/32倍の遅延を適用 1 1 1 0 0 : HRCK周期の28/32倍の遅延を適用 1 1 1 0 1 : HRCK周期の29/32倍の遅延を適用 1 1 1 1 0 : HRCK周期の30/32倍の遅延を適用 1 1 1 1 1 : HRCK周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HRFEARnB レジスタは、GTIOCnB 端子から出力される PWM 波形の立ち下がりエッジに適用する遅延量を設定するレジスタです。設定値の転送タイミングについては、「25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の 転送タイミング (n = 0 ～ 3)」を参照してください。

HRFEARnB レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTWn.GTWP.WP = 0) のときに書き込むことができます。

25.2.7 HRPWM 動作クロック選択レジスタ (HRCKSR)

アドレス HRPWM.HRCKSR 000C 2A70h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HRCKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HRCKSEL[1:0]	HRPWM動作クロック選択ビット (注1)	b1 b0 0 0：PCLKC 0 1：PCLKA 上記以外設定しないでください	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　動作クロック周波数が80MHz以上、160MHz以下になるようにしてください。

HRCKSR レジスタは、GPTW 書き込み保護レジスタのレジスタ書き込み禁止ビットが許可 (GPTW0.GTWP.WP = 0) のときに書き込むことができます。

25.3　動作説明

25.3.1　PWM 波形の立ち上がりおよび立ち下がりエッジのタイミング調整

HRPWM は、HRCK を基準位相として動作する DLL (Delay Locked Loop) を元に、GPTW から出力された PWM 信号の立ち上がり、および立ち下がりタイミングを HRCK 周期 (tC(HRCK)) の 1/32 の分解能 (最小約 195ps) で遅延させます。遅延させられた PWM 信号は、GTIOCnA および GTIOCnB 端子 (n = 0 ～ 3) から出力されます。

遅延量は tC(HRCK) の 0/32 ～ 31/32 の範囲で調整できます。この範囲を超える遅延量は設定できません。この範囲を超える遅延量を設定する場合は、GPTW の汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) の値を変更してください。

HRPWM は DLL を内蔵しているため、動作前に HROCR.DLLEN ビットを “1” にして安定時間を待つ必要があります。さらに PWM 波形を確実に出力するために、HROCR.HRRST ビットを “0” にした後、HRCK で 12 サイクル待ってください。詳細は、**図 25.2** の手順を参照してください。

遅延量の設定は、GTIOCnA 端子は HRREARnA と HRFEARnA レジスタで、GTIOCnB 端子は HRREARnB と HRFEARnB レジスタで行います。PWM 波形は、立ち上がり遅延用と立ち下がり遅延用に各設定レジスタがありますので、High 幅と Low 幅の微調整をすることができます。端子とレジスタの対応関係は、**表 25.3** を参照してください。

各レジスタで設定した遅延量はテンポラリレジスタを介して端子に反映されます。反映タイミングは汎用 PWM タイマの PWM 出力動作モードにより異なります。詳細は「**25.3.2　HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の 転送タイミング** (n = 0 ～ 3)」を参照してください。

HRPWM は、DLL 許可 / 禁止、リセット設定 / 解除はチャネル共通の設定になりますが、それ以外はチャネル毎に設定可能です。

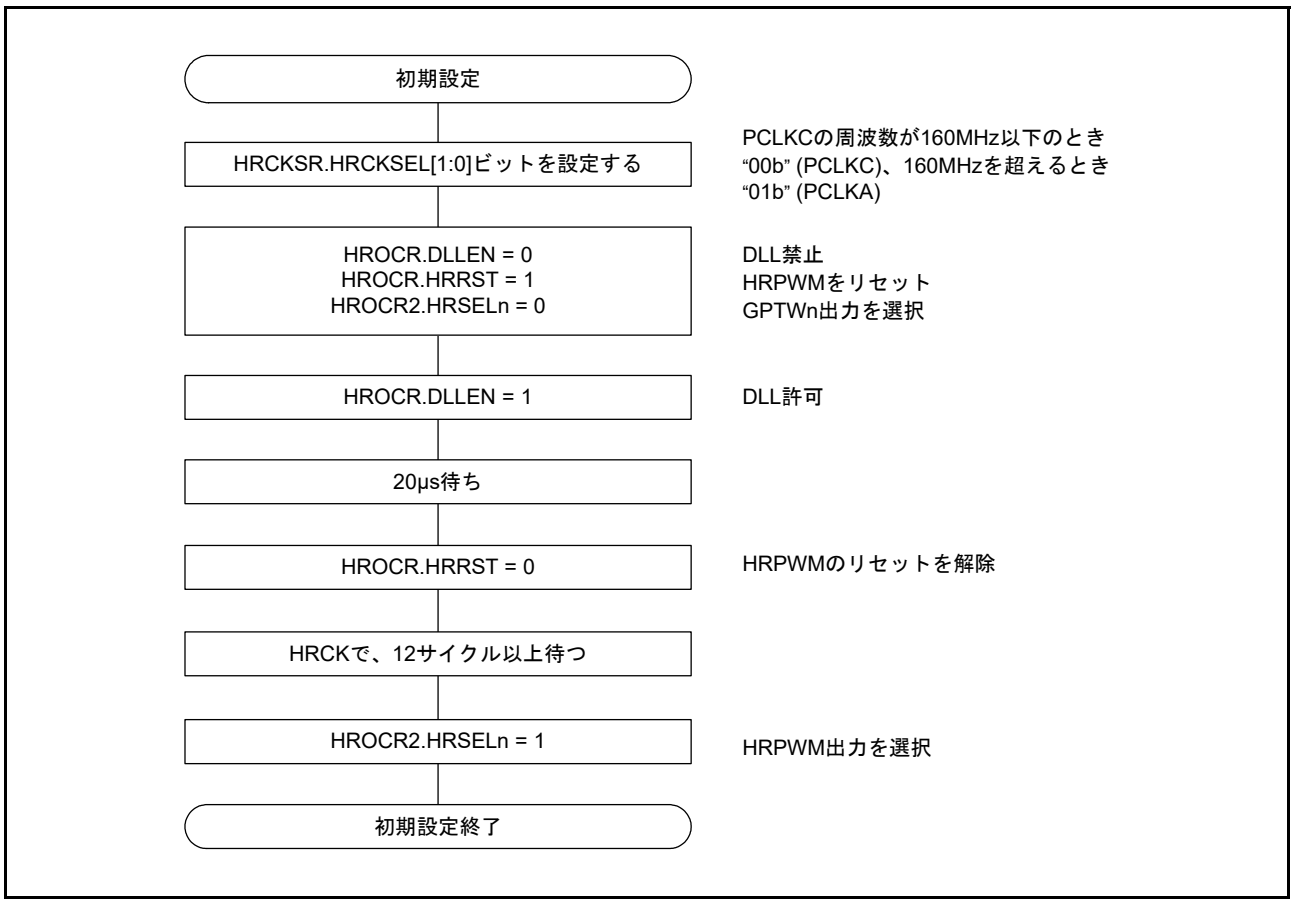


図 25.2　HRPWM 初期設定フロー (n = 0 ～ 3)

表25.3 PWM波形出力端子と遅延設定レジスタの対応関係

PWM波形出力端子	立ち上がりエッジ調整レジスタ	立ち下がりエッジ調整レジスタ
GTIOC0A	HRREAR0A	HRFEAR0A
GTIOC0B	HRREAR0B	HRFEAR0B
GTIOC1A	HRREAR1A	HRFEAR1A
GTIOC1B	HRREAR1B	HRFEAR1B
GTIOC2A	HRREAR2A	HRFEAR2A
GTIOC2B	HRREAR2B	HRFEAR2B
GTIOC3A	HRREAR3A	HRFEAR3A
GTIOC3B	HRREAR3B	HRFEAR3B

25.3.2 HRREARnA、HRREARnB、HRFEARnA、HRFEARnB レジスタ設定値の転送タイミング (n = 0 ～ 3)

HRREARnA、HRREARnB、HRFEARnA、および HRFEARnB レジスタの設定値は、最初にテンポラリレジスタに転送され、その後、GTIOCnA および GTIOCnB 端子の PWM 波形の遅延量に反映されます。テンポラリレジスタへは、PWM 周期の終わり (のこぎり波の場合はオーバフロー時 (アップカウント中) またはアンダフロー時 (ダウンカウント中)、三角波の場合は谷) に転送されます。

動作例を図 25.3 と図 25.4 に示します。

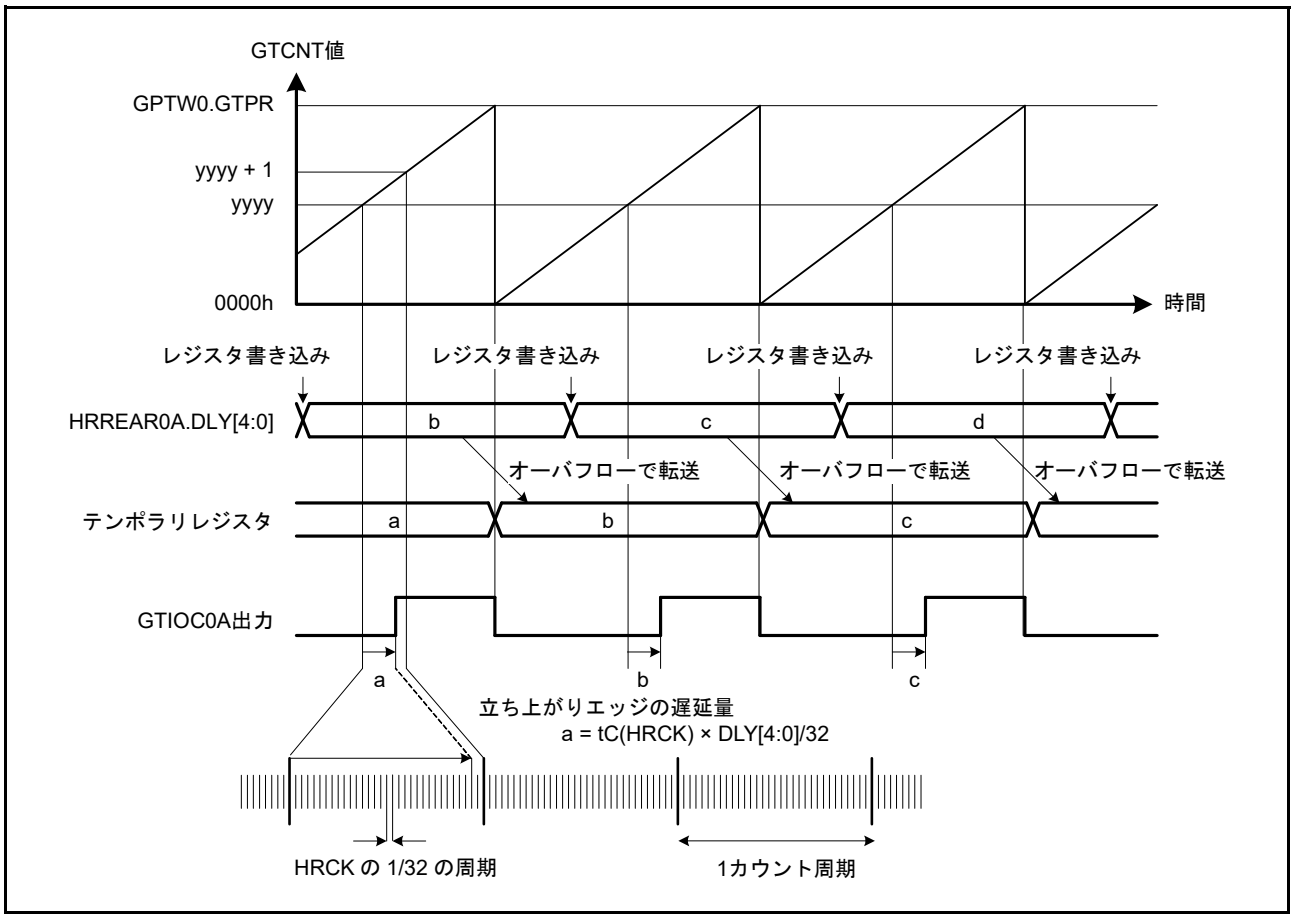


図 25.3 HRREAR0A レジスタ変更時の動作例 (のこぎり波の場合)

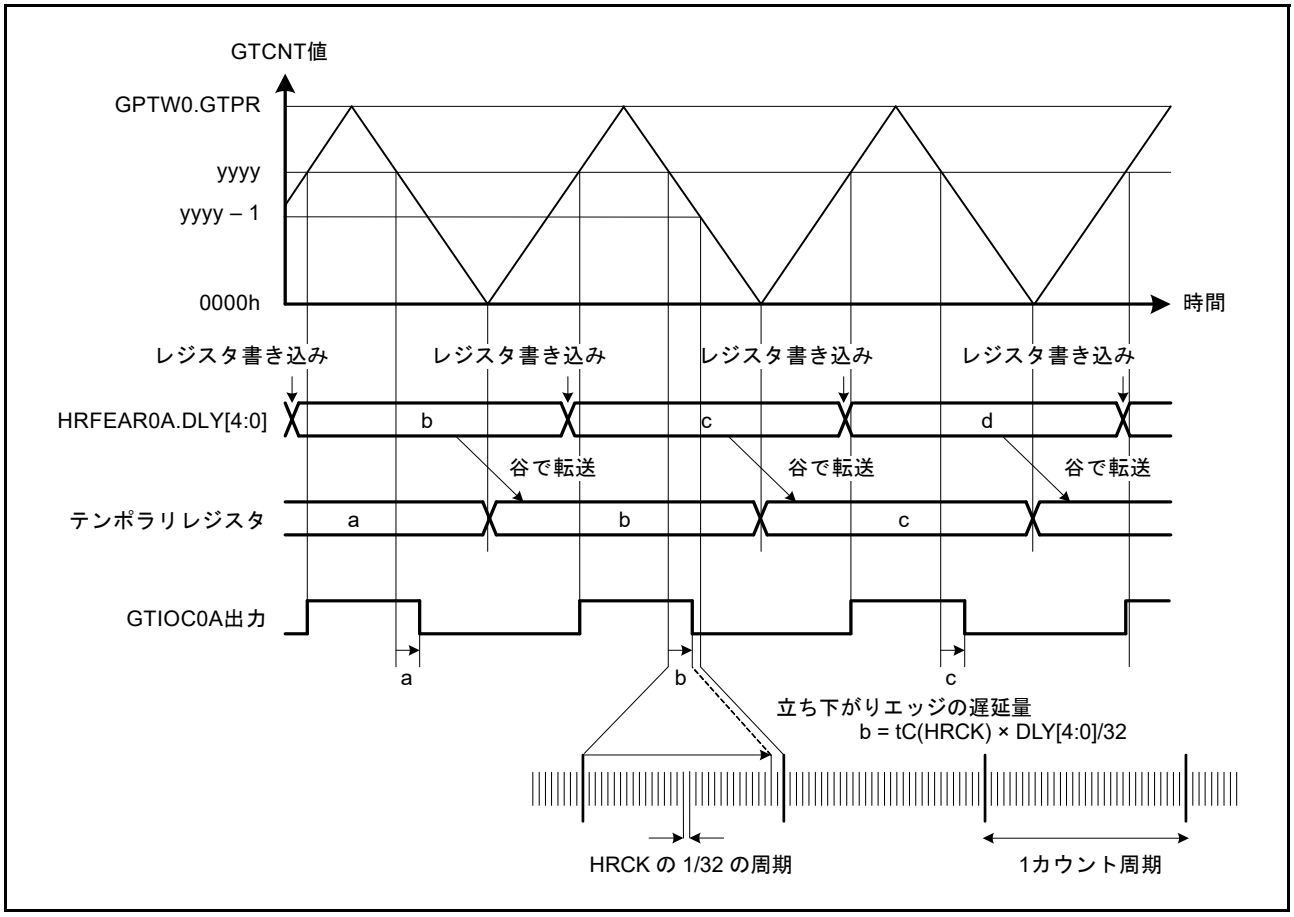


図 25.4 HRFEAR0A レジスタ変更時の動作例 (三角波の場合)

25.4 使用上の注意事項

25.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ (MSTPCRA) により、HRPWM の動作を禁止 / 許可できます。リセット後の初期状態では、HRPWM の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. **消費電力低減機能**」を参照してください。

25.4.2 HRPWM 使用時の GTCNT カウンタのタイマプリスケーラ選択に関する注意事項

GPTW から出力される PWM 信号は、GPTWn.GTCR.TPCS[3:0] ビット (n = 0 ～ 3) に設定したクロックの1周期に相当する分解能で動作する GTCNT カウンタを元に生成されます。TPCS[3:0] ビットが “0000b” (PCLKC/1) 以外の場合、GPTWn.GTCCRm レジスタ (m = A ～ F) の値を変更すると、選択したクロックを基準に生成された分解能の低い PWM 信号のエッジに対し 0/32 × tC(HRCK) ～ 31/32 × tC(HRCK) の遅延が適用されますので注意してください。

25.4.3 HRPWM の遅延設定に関する注意事項

PWM 周期の終了から HRCK の 3 サイクル以内 (HRCKR.HRCKSEL[1:0] = 00b のとき)、または 3.5 サイクル以内 (HRCKR.HRCKSEL[1:0] = 01b のとき) にある場合は HRFEARnA、HRREARnA、HRFEARnB、および HRREARnB レジスタを変更しないでください。上記の期間中に変更した場合、PWM 波形の 1 周期分遅れて反映されます。

25.4.4 GPTW のカウントクロック選択に関する注意事項

HRPWM の動作クロックに PCLKA を選択した場合、GPTW のカウントクロックには、PCLKC/2、PCLKC/4、PCLKC/8、PCLKC/16、PCLKC/32、PCLKC/64、PCLKC/256、PCLKC/1024 のいずれかを選択してください。PCLKC/1、GTETRGA、GTETRGB、GTETRGC、GTETRGD を選択した場合、PWM 波形は意図した波形にならないことがあります。

26. GPTW 用ポートアウトプットイネーブル (POEG)

26.1 概要

POEG は汎用 PWM タイマ (GPTW) に対し、出力端子の出力停止要求を発行します。POE3 とは異なり、停止させる出力端子の組み合わせはどのチャネルからでも指定することができます。MTU3 と GPTW の出力端子を同時に停止する場合は、POE3 を使用してください。出力停止の検出方法は以下から選択します。

- GTETRGn 端子 (n = A ～ D) の入力レベル検出
- GPTW からの出力停止検出
- コンパレータ検出 (エッジ検出、レベル検出)
- メインクロック発振停止検出回路からの発振停止検出
- レジスタ設定

GTETRGn 端子は、GPTW への外部トリガ入力端子として出力可能です。

表 26.1 に POEG の仕様、**図 26.1** にシステム概要図、**図 26.2** にブロック図、**表 26.2** に入力端子を示します。

表26.1 POEGの仕様

項目	内容
入力レベル検出による停止要求	• GTETRGn端子(n = A～D)の入力レベル検出によって、POEGGn.PIDFフラグがセットされた場合、GPTWに出力停止要求を発行 • GTETRGn端子の入力レベル検出から直接GPTWに出力停止要求を発行
GPTWからの出力停止信号による停止要求	• GPTWがGTIOCAとGTIOCB端子の同時アクティブレベル(Highレベル、Lowレベル)を検出し、POEGGn.IOCFフラグがセットされた場合、GPTWに出力停止要求を発行 • GPTWがデッドタイムエラーを検出し、POEGGn.IOCFフラグがセットされた場合、GPTWに出力停止要求を発行
コンパレータ検出による停止要求	• コンパレータエッジ検出によって、POEGGn.IOCFフラグがセットされた場合、GPTWに出力停止要求を発行 • コンパレータレベル検出から直接GPTWに出力停止要求を発行
発振停止検出による停止要求	メインクロック用発振停止検出回路が停止検出し、POEGGn.OSTPFフラグがセットされた場合、GPTWに出力停止要求を発行
ソフトウェアによる停止要求	ソフトウェアでPOEGGn.SSFフラグをセットすることによって、GPTWに出力停止要求を発行
割り込み	• POEGGn.PIDFフラグによる停止要求で割り込みを発生 • POEGGn.IOCFフラグによる停止要求で割り込みを発生
GPTWに対する外部トリガ出力	GTETRGn端子をGPTWへ外部トリガとして出力
ノイズ除去	• GTETRGn端子にデジタルノイズフィルタを内蔵 • 4種類のサンプリングクロックを選択可能

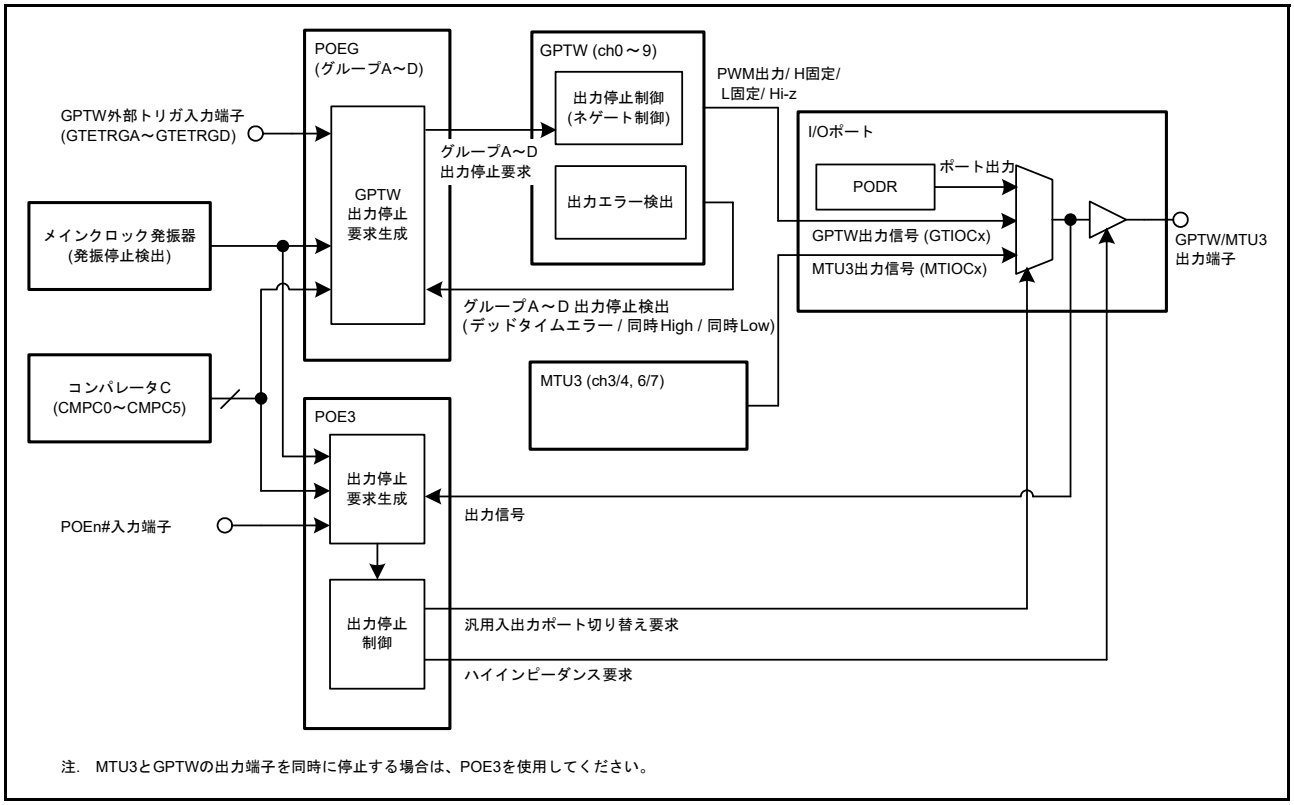


図 26.1 POEG のシステム概要図

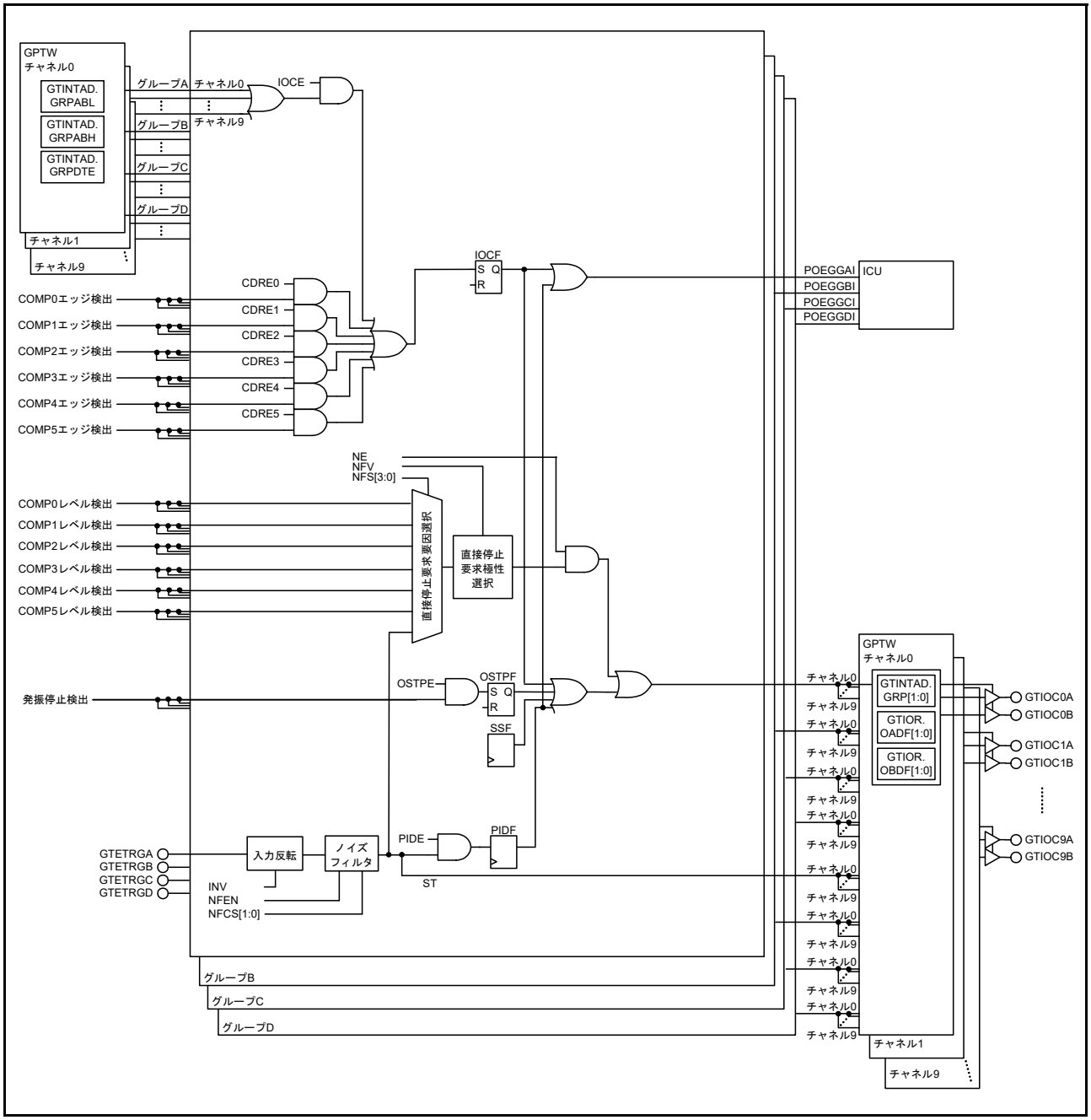


図 26.2　　POEG のブロック図

表26.2　　POEGの入出力端子

端子名	入出力	機能
GTETRGA	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガ入力端子A
GTETRGB	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガ入力端子B
GTETRGC	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガ入力端子C
GTETRGD	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガ入力端子D

26.2 レジスタの説明

26.2.1 POEG グループ n 設定レジスタ (POEGGn) (n = A ～ D)

アドレス　POEG.POEGGA 0009 E000h, POEG.POEGGB 0009 E100h, POEG.POEGGC 0009 E200h, POEG.POEGGD 0009 E300h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCS[1:0]		NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CDRE5	CDRE4	CDRE3	CDRE2	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0：GTETRGn端子からの入力レベル検出なし 1：GTETRGn端子からの入力レベル検出あり	R/(W) (注1)
b1	IOCF	GPTWまたはCMPC出力停止要求検出フラグ	0：GPTWの出力停止検出またはコンパレータエッジ検出なし 1：GPTWの出力停止検出またはコンパレータエッジ検出あり	R/(W) (注1)
b2	OSTPF	発振停止検出フラグ	0：発振停止検出なし 1：発振停止検出あり	R/(W) (注1)
b3	SSF	ソフトウェア停止フラグ	0：ソフトウェアによる出力停止なし 1：ソフトウェアによる出力停止あり	R/W
b4	PIDE	ポート入力検出許可ビット	0：GTETRGn端子からの入力レベル検出を禁止 1：GTETRGn端子からの入力レベル検出を許可	R/W (注2)
b5	IOCE	GPTW出力停止要求許可ビット	0：GPTWからの出力停止検出を禁止 1：GPTWからの出力停止検出を許可	R/W (注2)
b6	OSTPE	発振停止時出力停止許可ビット	0：発振停止検出を禁止 1：発振停止検出を許可	R/W (注2)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CDRE0	CMPC_0許可ビット	0：コンパレータエッジ検出0を禁止 1：コンパレータエッジ検出0を許可	R/W (注2)
b9	CDRE1	CMPC_1許可ビット	0：コンパレータエッジ検出1を禁止 1：コンパレータエッジ検出1を許可	R/W (注2)
b10	CDRE2	CMPC_2許可ビット	0：コンパレータエッジ検出2を禁止 1：コンパレータエッジ検出2を許可	R/W (注2)
b11	CDRE3	CMPC_3許可ビット	0：コンパレータエッジ検出3を禁止 1：コンパレータエッジ検出3を許可	R/W (注2)
b12	CDRE4	CMPC_4許可ビット	0：コンパレータエッジ検出4を禁止 1：コンパレータエッジ検出4を許可	R/W (注2)
b13	CDRE5	CMPC_5許可ビット	0：コンパレータエッジ検出5を禁止 1：コンパレータエッジ検出5を許可	R/W (注2)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	ST	GTETRGn入力ステータスフラグ	0：GPTWに出力する外部トリガは“0” 1：GPTWに出力する外部トリガは“1”	R
b27-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	INV	GTETRGn入力反転ビット	0：GTETRGn端子の入力を反転しない 1：GTETRGn端子の入力を反転する	R/W
b29	NFEN	ノイズフィルタ許可ビット	0：GTETRGn端子のデジタルノイズフィルタを禁止 1：GTETRGn端子のデジタルノイズフィルタを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択ビット	b31 b30 0 0：GTETRGn端子の入力レベルをPCLKB/1クロックごとに3回サンプリング 0 1：GTETRGn端子の入力レベルをPCLKB/8クロックごとに3回サンプリング 1 0：GTETRGn端子の入力レベルをPCLKB/32クロックごとに3回サンプリング 1 1：GTETRGn端子の入力レベルをPCLKB/128クロックごとに3回サンプリング	R/W

注1. フラグをクリアするための“0”の書き込みのみ可能です。
注2. リセット後、1回のみ書き込み可能です。

POEGGn レジスタ (n = A ～ D) は、各種検出信号を元に、GPTW に対して出力停止要求や外部トリガを制御するレジスタです。

SSF フラグ (ソフトウェア停止フラグ)

本フラグに “1” を書くと、GPTW に対し出力停止要求を発行し、“0” を書くと出力停止要求を解除します。また、本フラグを読むことで、ソフトウェアによる出力停止要求をモニタすることが可能です。

26.2.2 GPTW 出力停止制御グループ n 書き込み保護レジスタ (GTONCWPn) (n = A ～ D)

アドレス　POEG.GTONCWPA 0009 E040h, POEG.GTONCWPB 0009 E140h, POEG.GTONCWPC 0009 E240h, POEG.GTONCWPD 0009 E340h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	—	—	—	WP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止ビット	0：GTONCCRn レジスタへの書き込みを許可 1：GTONCCRn レジスタへの書き込みを禁止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	キーコードビット	GTONCWPn レジスタの書き換えの可否を制御します。GTONCWPn レジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を16ビット単位で同時に書いてください。読むと“00h”が読めます	R/W

GTONCWPn レジスタ (n = A ～ D) は、誤書き込み防止のため GTONCCRn レジスタへの書き込みを許可 / 禁止するレジスタです。

26.2.3 GPTW 出力停止制御グループ n コントロールレジスタ (GTONCCRn) (n = A ～ D)

アドレス　POEG.GTONCCRA 0009 E044h, POEG.GTONCCRB 0009 E144h, POEG.GTONCCRC 0009 E244h, POEG.GTONCCRD 0009 E344h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFV	NFS[3:0]				—	—	—	NE
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NE	直接停止要求設定ビット	0：検出信号を直接停止要求信号として設定しない 1：検出信号を直接停止要求信号として設定する	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	NFS[3:0]	直接停止要求選択ビット	b7　b4 ００００：コンパレータレベル検出0 ０００１：コンパレータレベル検出1 ００１０：コンパレータレベル検出2 ０１００：コンパレータレベル検出3 ０１０１：コンパレータレベル検出4 ０１１０：コンパレータレベル検出5 ０１１１：GTETRGn端子入力レベル検出(n = A～D) 上記以外は設定しないでください。	R/W
b8	NFV	直接停止要求極性ビット	0：出力停止検出信号が“0”のときに出力停止を要求 1：出力停止検出信号が“1”のときに出力停止を要求	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTONCCRn レジスタ (n = A ～ D) は、検出信号による出力停止要求を設定するためのレジスタです。

NE ビット (直接停止要求設定ビット)

NE ビットに “1” を書くと、NFS[3:0] ビットで選択された検出信号が、出力停止要求信号としてそのまま GPTW に出力されます。

26.3　動作説明

26.3.1　GTETRGn 端子の入力レベル検出 (n ＝ A ～ D) による出力停止要求

出力停止要求は、POEGGn.PIDF フラグ (n ＝ A ～ D) から行う方法と、直接検出信号から行う方法の 2 種類があります。

(1) PIDF フラグによる出力停止要求は、POEGGn.PIDE ビットが “1” の状態で、POEGGn.NFCS[1:0] ビット、POEGGn.NFEN ビット、および POEGGn.INV ビットで設定された入力レベルが検出されると、POEGGn.PIDF フラグが “1” にセットされ、GPTW の各チャネルへグループごとに出力停止要求を発行します。出力停止要求の解除は POEGGn.PIDF フラグのクリアで行います。出力停止要求の解除は、「26.3.6　出力停止要求の解除」を参照してください。

(2) 入力レベル検出信号による出力停止要求は、GTONCCRn.NFS[3:0] ビットで選択した GTETRGn 端子に対し、GTONCCRn.NE ビットが “1” の状態で、POEGGn.NFCS[1:0] ビット、POEGGn.NFEN ビット、POEGGn.INV ビット、および GTONCCRn.NFV ビットで設定された入力レベルが検出されると、直接 GPTW の各チャネルへグループごとに出力停止要求を発行します。出力停止要求は、入力レベル検出が発行条件と不一致になると解除されます。詳細は「26.3.7　検出信号による出力停止要求と解除」を参照してください。

26.3.1.1　デジタルノイズフィルタ

GTETRGn 端子の入力は、デジタルノイズフィルタ機能があります。図 26.3 にデジタルノイズフィルタによる High 検出時の動作例を示します。POEGGn.INV ビットで設定した極性の High 状態が、POEGGn.NFCS[1:0] ビットと POEGGn.NFEN ビットで選択したサンプリングクロックにおいて 3 回連続して High レベルが検出されたとき、High 検出とみなされ、GPTW へ出力停止要求を発行します。

このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRGA ～ GTETRGD 端子のレベル変化は無視されます。

デジタルノイズフィルタは、POEGGn.PIDF フラグ (n ＝ A ～ D) による出力停止要求、検出信号による直接出力停止要求、および GPTW に出力する外部トリガに対し、共通に使用することが可能です。

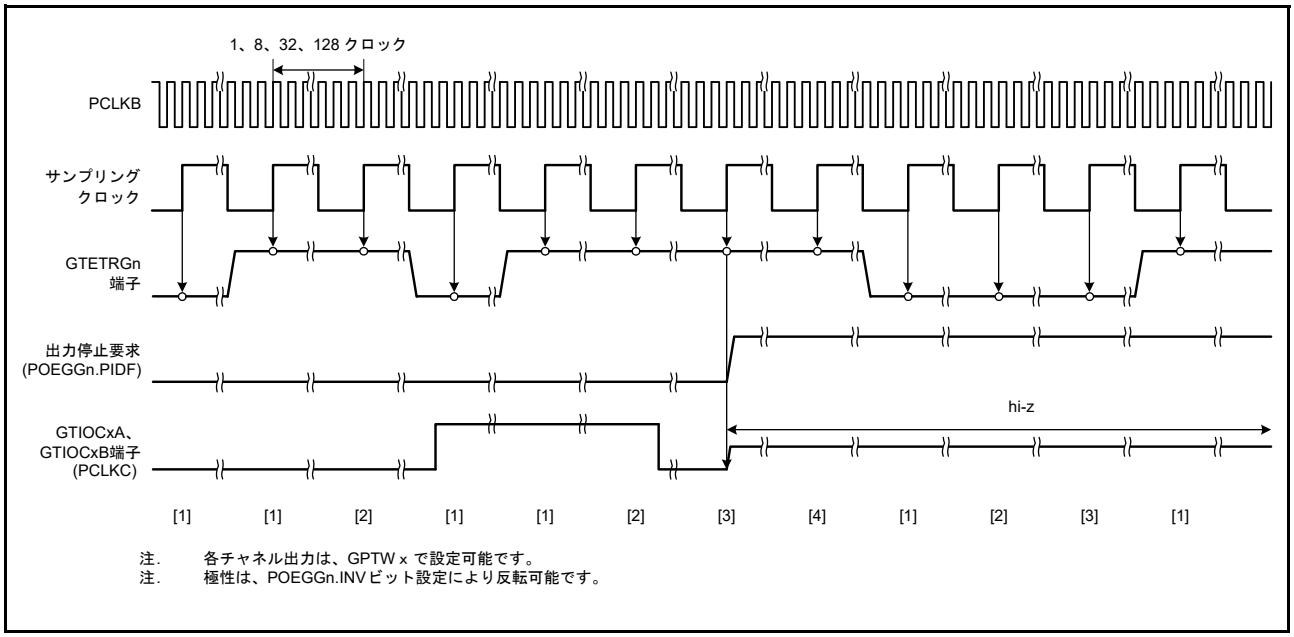


図 26.3　デジタルノイズフィルタの動作例

26.3.2　GPTW からの出力停止検出による出力停止要求

GPTW のデッドタイムエラー、同時 High 出力、および同時 Low 出力のどれかを検出すると、POEGGn.IOCF フラグが “1” にセットされ、GPTW の各チャネルへグループごとに出力停止要求を発行します。POEGGn.IOCF フラグは、コンパレータエッジ検出による出力停止要求と兼用になっています。出力停止要求の解除は POEGGn.IOCF フラグのクリアで行います。出力停止要求の解除は、**「26.3.6　出力停止要求の解除」**を参照してください。

GPTW のデッドタイムエラー、同時 High 出力、および同時 Low 出力は、GPTWn.GTINTAD.GRPDTE、GPTWn.GTINTAD.GRPABH、および GPTWn.GTINTAD.GRPABL で、出力停止検出が許可されている必要があります。

なお、GPTW からの停止検出は、GPTWn.GTINTAD.GRP[1:0] ビットでグループ指定してください。詳細は、**「24.2.15　汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)」**を参照してください。

26.3.3　コンパレータ検出による出力停止要求

コンパレータ検出が発生すると、GPTW に対し出力停止要求を発行します。出力停止要求は、コンパレータエッジ検出による POEGGn.IOCF フラグ (n ＝ A ～ D) で行う方法と、コンパレータレベル検出で行う方法の 2 種類があります。

(1) IOCF フラグによる出力停止は、POEGGn.CDRE[5:0] ビットが “1” の状態で、対応するコンパレータエッジ検出が発生すると、POEGGn.IOCF フラグが “1” にセットされ、GPTW の各チャネルへグループごとに出力停止要求を発行します。POEGGn.IOCF フラグは、GPTW による出力停止要求と兼用になっています。出力停止要求の解除は POEGGn.IOCF フラグのクリアで行います。出力停止要求の解除は、**「26.3.6　出力停止要求の解除」**を参照してください。

(2) 検出信号による出力停止は、検出信号が直接出力停止要求になります。GTONCCRn.NFS[3:0] ビットで選択したコンパレータレベル検出信号が、GTONCCRn.NFV ビットで設定した極性に一致しているとき、GPTW の各チャネルへグループごとに出力停止要求を発行します。出力停止要求は、コンパレータレベル検出が発行条件と不一致になると解除されます。詳細は**「26.3.7　検出信号による出力停止要求と解除」**を参照してください。

26.3.4　発振停止検出による出力停止要求

POEGGn.OSTPE ビットが “1” の場合、メインクロック発振器の発振停止検出回路が発振停止を検出すると、POEGGn.OSTPF フラグが “1” にセットされ、GPTW の各チャネルへグループごとに出力停止要求を発行します。出力停止要求の解除は POEGGn.OSTPF フラグのクリアで行います。出力停止要求の解除は、**「26.3.6　出力停止要求の解除」**を参照してください。

26.3.5　レジスタによる出力停止要求

ソフトウェア停止フラグ (POEGGn.SSF) に “1” を書き込むことで、GPTW の各チャネルへグループごとに出力停止要求を発行します。出力停止要求の解除は POEGGn.SSF フラグのクリアで行います。出力停止要求の解除は、**「26.3.6　出力停止要求の解除」**を参照してください。

26.3.6　出力停止要求の解除

出力停止要求を解除するには、以下の 3 通りがあります。

(1) リセットによる解除 (初期状態に復帰)
(2) POEGGn レジスタの全フラグクリアによる解除
(3) 検出信号による直接解除

(1) リセットによる解除

すべてのリセットに対して解除することができます。リセットの詳細は「6. リセット」を参照してください。

(2) POEGGn レジスタの全フラグクリアによる解除

下記フラグをすべてクリアすると、出力停止要求が解除されます。

- POEGGn.PIDF
- POEGGn.IOCF
- POEGGn.OSTPF
- POEGGn.SSF

解除された要求は GPTW でカウンタ周期の終了タイミングで取り込まれ、出力端子は、最短でこのタイミングの 3 PCLKC 後から停止状態を解除します。図 26.4 に、出力停止状態の解除タイミングを示します。

各フラグをクリアする際、各要因元のステータスフラグを読み、要因が検出されていない事を確認してから、“0” を書いてください。コンパレータエッジ検出を除く要因は、検出状態でフラグをクリアしてもクリアできません。コンパレータエッジ検出は、検出方法がエッジのため、検出状態で 0 を書くとフラグがクリアされ、その後該当要因のエッジが発生するまでフラグはセットされません。

以下に各要因元のステータスフラグを示します。

- 入力レベル検出　POEGGn.ST (GTETRGn 入力ステータスフラグ)
- コンパレータエッジ検出　CMPCn.CMPMON.CMPMON0 (コンパレータ出力モニタフラグ)
- 発振停止検出　OSTDSR.OSTDF (発振停止検出フラグ)
- GPTW の停止検出　GPTWn.GTST.DTEF (デッドタイムエラーフラグ)
  GPTWn.GTST.OABLF (同時 Low 出力フラグ)
  GPTWn.GTST.OABHF (同時 High 出力フラグ)

注 1. CMPCn.CMPMON.CMPMON0 はコンパレータ出力のモニタフラグになります。

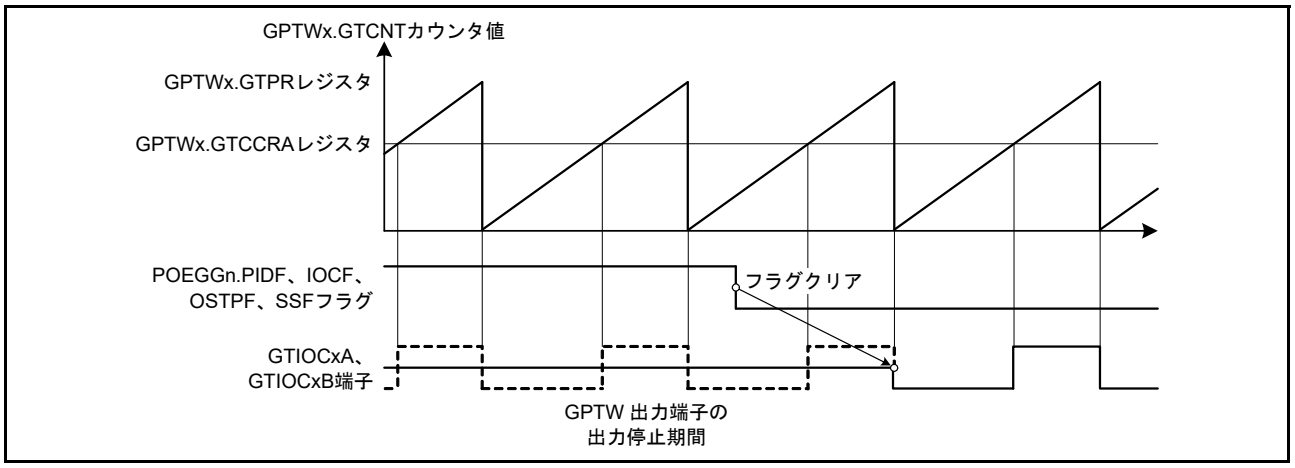


図 26.4　出力停止要求の解除による GPTW の出力端子の停止解除タイミング

(3) 検出信号による直接解除

検出信号による直接解除の詳細は「26.3.7 検出信号による出力停止要求と解除」を参照してください。

26.3.7　検出信号による出力停止要求と解除

検出信号による出力停止要求は、GTETRGn 端子 (n = A ～ D) の入力レベル検出信号と CMPCm (m = 0 ～ 5) のコンパレータレベル検出信号で可能です。検出信号の要因は、GTONCCRn.NFS[3:0] ビットから選択し、選択された要因の極性は、GTONCCRn.NFV ビットで設定します。GTONCCRn.NE ビットで直接出力停止要求を設定すると、選択した出力停止検出の要因が発生したとき、GPTW へ出力停止要求を発行します。

出力停止要求は、GTETRGn 端子の入力レベル検出やコンパレータレベル検出が発行条件と不一致になると解除されます。なお、要求を解除するには、POEGGn.PIDF、POEGGn.IOCF フラグが “0” になっていることを確認してください。

図 26.5 にコンパレータのチャネル 0 のレベル検出による出力停止要求の動作例を示します。この例では、GPTW が GTIOC0A 端子からカウンタ周期ごとに PWM 波形を出力しているとき、CMPC0 のアナログ入力電圧がリファレンス電圧より高くなると、コンパレータレベル検出として POEG に入力されます。POEG は、この検出をもとに出力停止要求を GPTW に出力し、GPTW は停止要求が解除しても、カウンタ周期が終了するまで停止状態を継続します。

その際、周期終了時に出力停止要求が解除されていない場合、GPTW は出力停止状態を次の周期の終了まで継続します。

なお、出力停止状態は、GPTW の汎用 PWM タイマステータスレジスタ (GTST) の ODF フラグで確認することができます。詳細は、「24.2.16　汎用 PWM タイマステータスレジスタ (GTST)」の ODF フラグを参照してください。また、**図 26.6** に検出信号による出力停止要求の設定手順を示します。

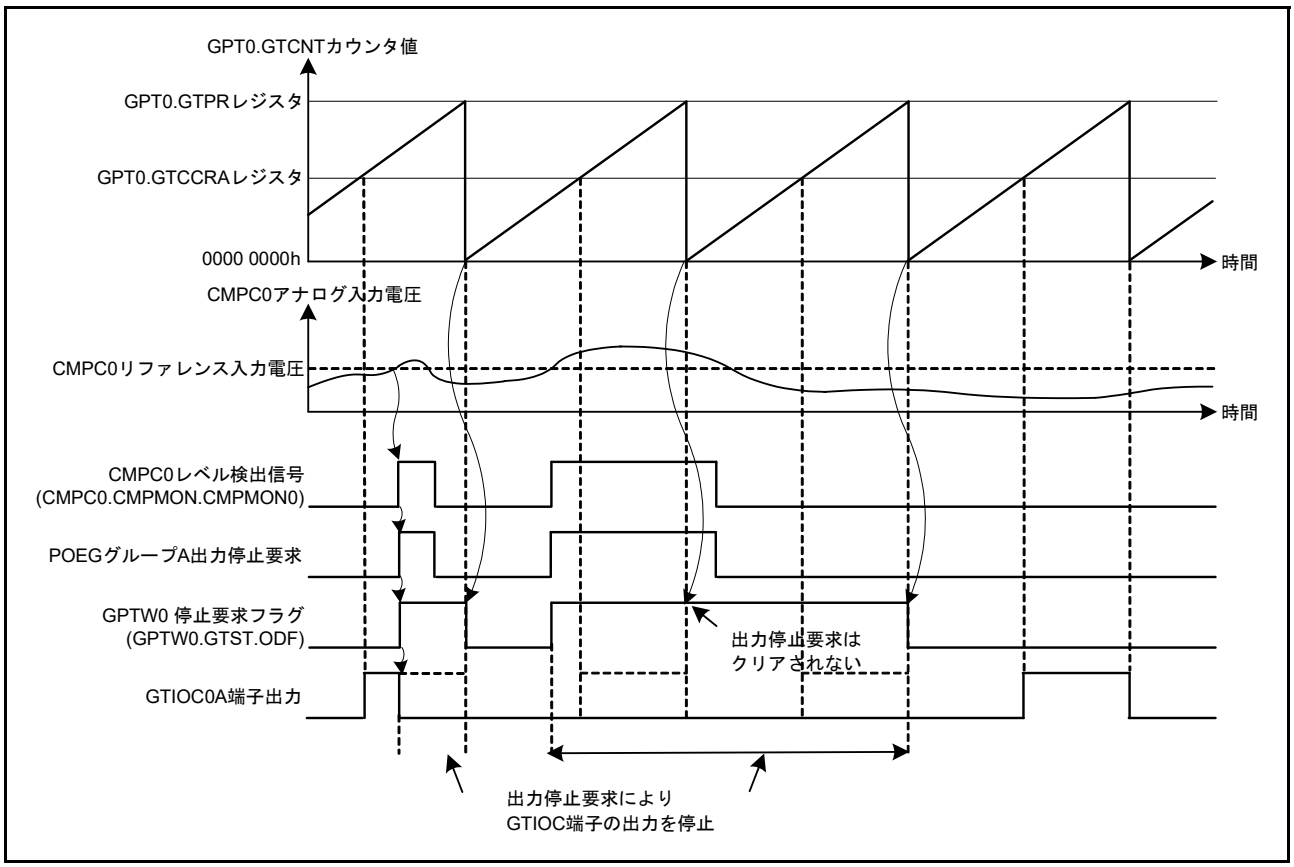
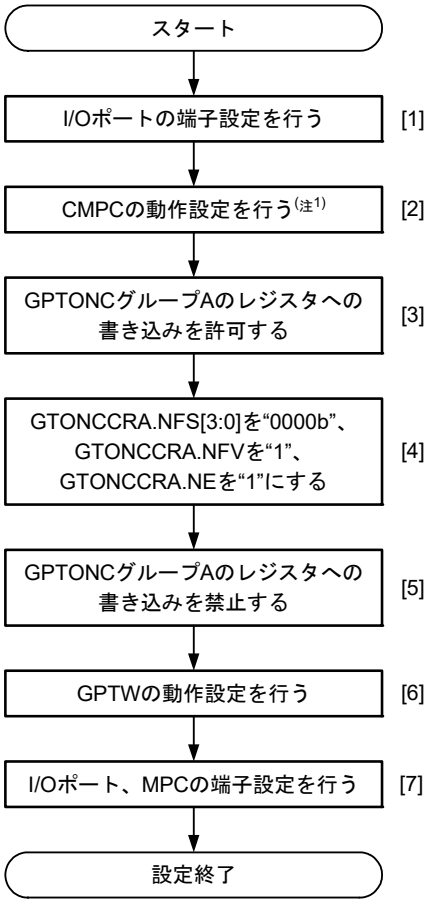


図 26.5　コンパレータレベル検出による GTIOC 端子の出力停止動作例



[1] I/Oポートの設定を行います。
CMPC0のアナログ入力端子、GPTWの出力端子を使用するため、I/Oポートで当該端子を汎用入出力ポートに設定してください。詳細は「20.　I/Oポート」を参照してください。

[2] アナログ入力電圧とリファレンス入力電圧の比較によりPOEGに対し、コンパレータレベル検出を出力するためにCMPC0の動作設定をしてください。詳細は、「42.　コンパレータC (CMPC)」を参照してください。(注1)

[3] GTONCCPRAレジスタを書き込み許可にするため、GTONCWPAレジスタに“A500h”を書き込んでください。

[4] GTONCCRA.NFS[3:0]を“0000b”とすることで、コンパレータレベル検出を選択します。GTONCCRA.NFVを“1”とすることで、選択された要因が“1”で出力停止要求を出力します。
GTONCCRA.NEを“1”とすることで、出力停止要求の出力を許可します。

[5] GTONCCPRAレジスタを書き込み禁止にするため、GTONCWPAレジスタに“A501h”を書き込んでください。

[6] GPTWのGTIOCn端子にPWM波形を出力するため、GPTWの設定をしてください。詳細は、「24.　汎用PWMタイマ(GPTW)」を参照してください。

[7] I/Oポート、マルチファンクションピンコントローラの設定を行います。
CMPC0のアナログ入力端子、GPTWの出力端子を使用するため、I/Oポート、マルチファンクションピンコントローラの設定をしてください。詳細は、「20.　I/Oポート」、「21.　マルチファンクションピンコントローラ(MPC)」を参照してください。

以上の設定を行うことで、GPTW端子を使用してPWM波形を出力しているときに、アナログ入力電圧とリファレンス入力電圧の比較により出力停止要求が出力され、GPTW端子が出力停止します。

注1.　本例では、コンパレータ出力非反転とします。

図 26.6　　コンパレータレベル検出による GTIOC 端子の出力停止の設定手順例

26.4 割り込み要因

POEG は、以下が検出されたとき、割り込みコントローラに割り込みを発生させます。

- POEGGn.PIDF フラグによる入力レベル検出
- POEGGn.IOCF フラグによる GPTW からの出力停止検出
- POEGGn.IOCF フラグによるコンパレータエッジ検出

表 26.3 に、割り込み要因と条件を示します。

表26.3 割り込み要因と条件

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEGグループA割り込み	POEGGAI	POEGGA.IOCF	GPTWからの出力停止検出
			コンパレータエッジ検出
		POEGGA.PIDF	GTETRGA端子からの入力レベル検出
POEGグループB割り込み	POEGGBI	POEGGB.IOCF	GPTWからの出力停止検出
			コンパレータエッジ検出
		POEGGB.PIDF	GTETRGB端子からの入力レベル検出
POEGグループC割り込み	POEGGCI	POEGGC.IOCF	GPTWからの出力停止検出
			コンパレータエッジ検出
		POEGGC.PIDF	GTETRGC端子からの入力レベル検出
POEGグループD割り込み	POEGGDI	POEGGD.IOCF	GPTWからの出力停止検出
			コンパレータエッジ検出
		POEGGD.PIDF	GTETRGD端子からの入力レベル検出

26.5 GPTW に対する外部トリガ出力

POEG は、GTETRGn 端子 (n = A ～ D) の入力を外部トリガ信号として GPTW に出力します。外部トリガ信号は、極性選択、デジタルノイズフィルタを経由して、POEGGn.ST フラグでモニタすることができます。GPTW は外部トリガ信号により、以下の機能を行うことができます。

- カウント開始
- カウント停止
- カウンタクリア
- アップカウント
- ダウンカウント
- インプットキャプチャ

各機能の詳細は、「24. 汎用 PWM タイマ (GPTW)」を参照してください。

26.6 使用上の注意事項

26.6.1 低消費電力モードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ遷移しないでください。このモードでは POEG が停止するため、出力停止要求をすることができません。

26.6.2 モジュールストップ機能の設定

POEG は、モジュールストップコントロールレジスタにより、POEG の動作禁止 / 許可を設定することが可能です。リセット後、POEG は動作を停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. **消費電力低減機能**」を参照してください。なお、POEG のモジュールストップビットは GPTW と兼用になっています。

26.6.3 出力停止要求の重複について

GTONCCRn レジスタで設定した検出信号による停止要求に対し、POEGGn.PIDF、もしくは POEGGn.IOCF フラグが “1” の場合、検出信号による停止要求が解除されても、フラグによる出力停止要求が働いているため、要求は解除されません。また、フラグによる出力停止要求は各停止検出信号の論理和になっているため、どれか一つでも停止検出フラグがセットされていると、要求は解除されませんので注意してください。

27. 8 ビットタイマ (TMRb)

本 MCU は、8 ビットのカウンタをベースにした 2 チャネルの 8 ビットタイマ (TMR) を 4 ユニット (ユニット 0、ユニット 1、ユニット 2、ユニット 3)、合計 8 チャネル内蔵しています。外部イベントのカウントが可能なほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット 0、ユニット 1、ユニット 2、ユニット 3 は同一機能です。ユニット 0 とユニット 1 は、SCI の基本クロックを生成することができます。

本章に記載している PCLK とは PCLKB を指します。

27.1 概要

表 27.1 に TMR の仕様を、表 27.2、表 27.3 に TMR の機能一覧を示します。

図 27.1 にユニット 0、図 27.2 にユニット 1、図 27.3 にユニット 2、図 27.4 にユニット 3 のブロック図を示します。

表27.1 TMRの仕様

項目	仕様
カウントクロック	● 内部クロック：PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 ● 外部クロック：外部カウントクロック
チャネル数	(8ビット×2チャネル)×4ユニット
コンペアマッチ	● 8ビットモード(コンペアマッチA、コンペアマッチB) ● 16ビットモード(コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャネルのカスケード接続	● 16ビットカウントモード TMR0を上位、TMR1を下位(TMR2を上位、TMR3を下位、TMR4を上位、TMR5を下位、TMR6を上位、TMR7を下位)とする16ビットタイマ ● コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント(TMR3はTMR2のコンペアマッチをカウント、TMR5はTMR4のコンペアマッチをカウント、TMR7はTMR6のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
イベントリンク機能(出力)	コンペアマッチA、コンペアマッチB、オーバフロー (TMR0～3)
イベントリンク機能(入力)	イベント受付により、3種類のうち1つの動作が可能 (1) カウントスタート動作(TMR0～3) (2) イベントカウンタ動作(TMR0～3) (3) カウントリスタート動作(TMR0～3)
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
A/Dコンバータの変換開始トリガ	TMR0、TMR2、TMR4、TMR6のコンペアマッチA
SCIの基本クロック生成	SCIの基本クロックを生成 (注1)
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

注1. 詳細は「32. シリアルコミュニケーションインタフェース(SCIj, SCIi, SCIh)」を参照してください。

表27.2 TMRの機能一覧 (1)

項目		ユニット0			ユニット1		
カウンタモード		8ビット		16ビット	8ビット		16ビット
チャネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI0	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI2	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3
カウンタクリア		TMR0.TCORA TMR0.TCORB TMRI0	TMR1.TCORA TMR1.TCORB TMRI1	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMRI0	TMR2.TCORA TMR2.TCORB TMRI2	TMR3.TCORA TMR3.TCORB TMRI3	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMRI2
コンペアマッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバフロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1 のオーバフロー	TMR0 のコンペアマッチ A	—	TMR3 のオーバフロー	TMR2 のコンペアマッチ A	—
A/Dコンバータの変換開始トリガ (注1)		○	—	○	○	—	○
SCIの基本クロックの生成 (注2)		○		—	○		—
ELC出力イベント	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	○	○	○	○	○	○
ELC入力イベント	カウントスタート	○	○	—	○	○	—
	イベントカウンタ	○	○	—	○	○	—
	カウントリスタート	○	○	—	○	○	—
モジュールストップの設定 (注3)		(ユニット0) MSTPCRA.MSTPA5 ビット、(ユニット1) MSTPCRA.MSTPA4 ビット					

表27.3　TMRの機能一覧 (2)

項目		ユニット2			ユニット3		
カウンタモード		8ビット		16ビット	8ビット		16ビット
チャネル		TMR4	TMR5	TMR4 + TMR5	TMR6	TMR7	TMR6 + TMR7
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI4	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI5	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI5	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI6	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI7	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI7
カウンタクリア		TMR4.TCORA TMR4.TCORB TMRI4	TMR5.TCORA TMR5.TCORB TMRI5	TMR4.TCORA + TMR5.TCORA TMR4.TCORB + TMR5.TCORB TMRI4	TMR6.TCORA TMR6.TCORB TMRI6	TMR7.TCORA TMR7.TCORB TMRI7	TMR6.TCORA + TMR7.TCORA TMR6.TCORB + TMR7.TCORB TMRI6
コンペアマッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA4	CMIA5	CMIA4	CMIA6	CMIA7	CMIA6
	コンペアマッチB	CMIB4	CMIB5	CMIB4	CMIB6	CMIB7	CMIB6
	TCNTのオーバフロー	OVI4	OVI5	OVI4	OVI6	OVI7	OVI6
カスケード接続		TMR5のオーバフロー	TMR4のコンペアマッチA	—	TMR7のオーバフロー	TMR6のコンペアマッチA	—
A/Dコンバータの変換開始トリガ(注1)		○	—	○	○	—	○
SCIの基本クロックの生成(注2)		—	—	—	—	—	—
ELC出力イベント	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	○	○	○	○	○	○
ELC入力イベント	カウントスタート	○	○	—	○	○	—
	イベントカウンタ	○	○	—	○	○	—
	カウントリスタート	○	○	—	○	○	—
モジュールストップの設定(注3)		(ユニット2) MSTPCRA.MSTPA3ビット、(ユニット3) MSTPCRA.MSTPA2ビット					

○：可能
—：不可能
注1.　詳細は「39.　12ビットA/Dコンバータ(S12ADH)」を参照してください。
注2.　詳細は「32.　シリアルコミュニケーションインタフェース(SCIj, SCIi, SCIh)」を参照してください。
注3.　詳細は「11.　消費電力低減機能」を参照してください。

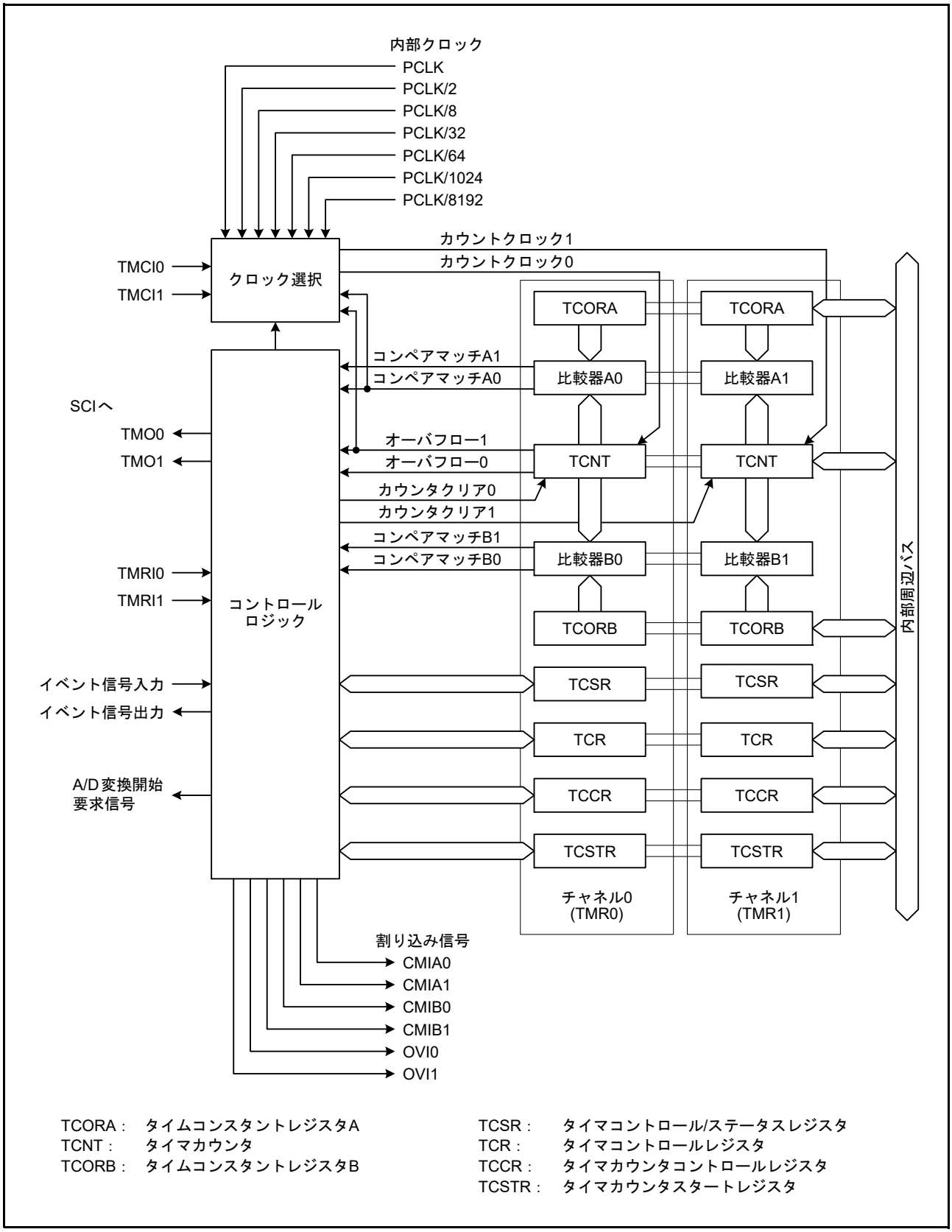


図 27.1 TMR (ユニット 0) のブロック図

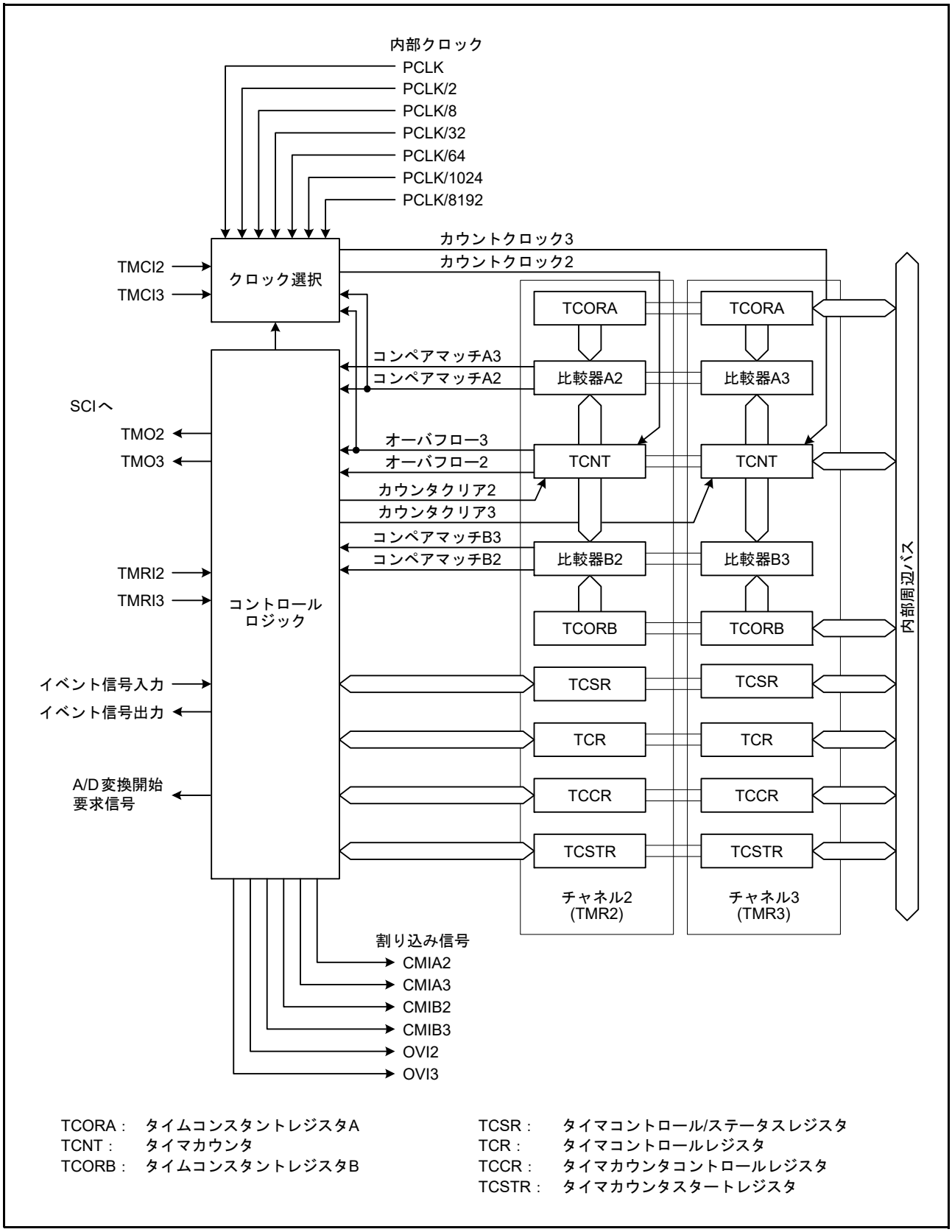


図 27.2 TMR (ユニット 1) のブロック図

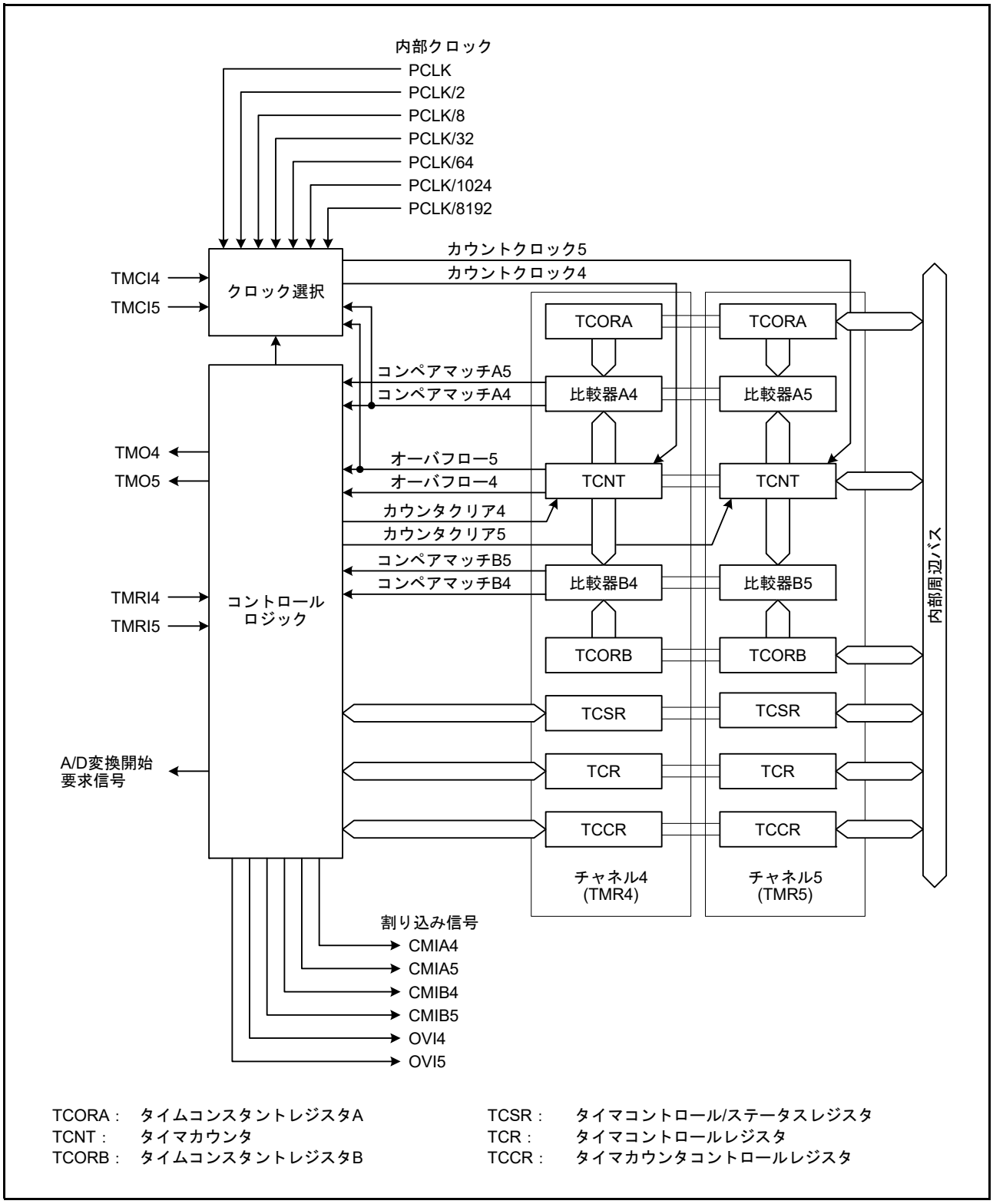


図 27.3 TMR (ユニット 2) のブロック図

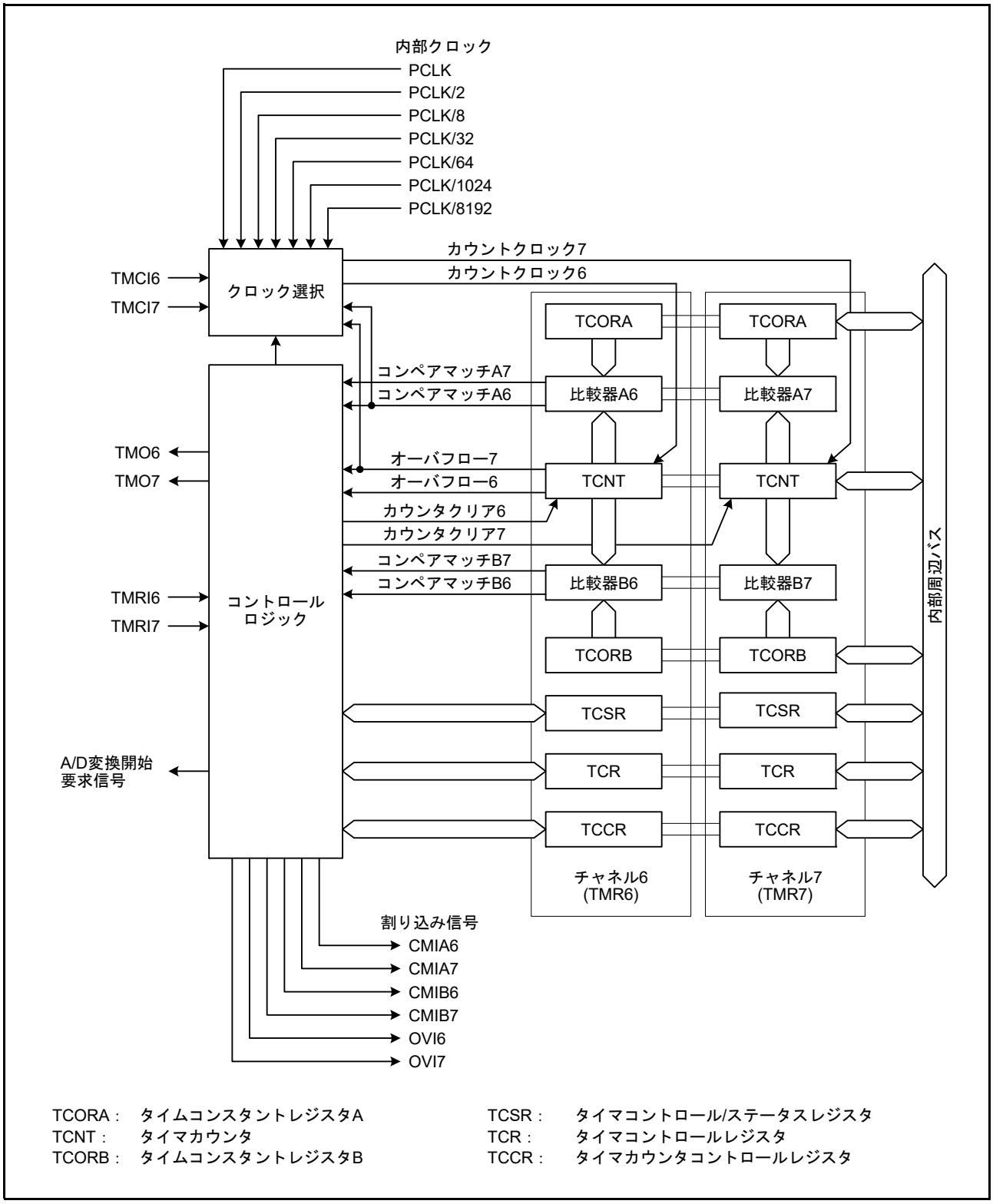


図 27.4 TMR (ユニット 3) のブロック図

表 27.4 に TMR で使用する入出力端子を示します。

表27.4 TMRの入出力端子

ユニット	チャネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCI0	入力	外部カウントクロック入力
		TMRI0	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCI1	入力	外部カウントクロック入力
		TMRI1	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCI2	入力	外部カウントクロック入力
		TMRI2	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCI3	入力	外部カウントクロック入力
		TMRI3	入力	外部カウンタリセット入力
ユニット2	TMR4	TMO4	出力	コンペアマッチ出力
		TMCI4	入力	外部カウントクロック入力
		TMRI4	入力	外部カウンタリセット入力
	TMR5	TMO5	出力	コンペアマッチ出力
		TMCI5	入力	外部カウントクロック入力
		TMRI5	入力	外部カウンタリセット入力
ユニット3	TMR6	TMO6	出力	コンペアマッチ出力
		TMCI6	入力	外部カウントクロック入力
		TMRI6	入力	外部カウンタリセット入力
	TMR7	TMO7	出力	コンペアマッチ出力
		TMCI7	入力	外部カウントクロック入力
		TMRI7	入力	外部カウンタリセット入力

27.2 レジスタの説明

表27.5　16ビットアクセスのレジスタ配置

アドレス	レジスタ	上位8ビット	下位8ビット
0008 8208h	TMR01.TCNT	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR01.TCORA	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR01.TCORB	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR01.TCCR	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR23.TCNT	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR23.TCORA	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR23.TCORB	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR23.TCCR	TMR2.TCCR	TMR3.TCCR
0008 8228h	TMR45.TCNT	TMR4.TCNT	TMR5.TCNT
0008 8224h	TMR45.TCORA	TMR4.TCORA	TMR5.TCORA
0008 8226h	TMR45.TCORB	TMR4.TCORB	TMR5.TCORB
0008 822Ah	TMR45.TCCR	TMR4.TCCR	TMR5.TCCR
0008 8238h	TMR67.TCNT	TMR6.TCNT	TMR7.TCNT
0008 8234h	TMR67.TCORA	TMR6.TCORA	TMR7.TCORA
0008 8236h	TMR67.TCORB	TMR6.TCORB	TMR7.TCORB
0008 823Ah	TMR67.TCCR	TMR6.TCCR	TMR7.TCCR

27.2.1 タイマカウンタ (TCNT)

アドレス　TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h, TMR4.TCNT 0008 8228h, TMR5.TCNT 0008 8229h, TMR6.TCNT 0008 8238h, TMR7.TCNT 0008 8239h, TMR01.TCNT 0008 8208h, TMR23.TCNT 0008 8218h, TMR45.TCNT 0008 8228h, TMR67.TCNT 0008 8238h

TMR01.TCNT (TMR23.TCNT, TMR45.TCNT, TMR67.TCNT)

TMR0.TCNT (TMR2.TCNT, TMR4.TCNT, TMR6.TCNT)　TMR1.TCNT (TMR3.TCNT, TMR5.TCNT, TMR7.TCNT)

	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TCNT カウンタは、8 ビットのリード / ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ、TMR4.TCNT カウンタと TMR5.TCNT カウンタ、TMR6.TCNT カウンタと TMR7.TCNT カウンタ) を 16 ビットカウンタ (TMR01.TCNT, TMR23.TCNT, TMR45.TCNT, TMR67.TCNT) として 16 ビット単位でアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバフロー割り込みを出力します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUC)」と「表 27.7 TMR の割り込み要因」を参照してください。

27.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h, TMR4.TCORA 0008 8224h, TMR5.TCORA 0008 8225h, TMR6.TCORA 0008 8234h, TMR7.TCORA 0008 8235h, TMR01.TCORA 0008 8204h, TMR23.TCORA 0008 8214h, TMR45.TCORA 0008 8224h, TMR67.TCORA 0008 8234h

	TMR01.TCORA (TMR23.TCORA, TMR45.TCORA, TMR67.TCORA)															
	TMR0.TCORA (TMR2.TCORA, TMR4.TCORA, TMR6.TCORA)								TMR1.TCORA (TMR3.TCORA, TMR5.TCORA, TMR7.TCORA)							
	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

TCORA レジスタは、8 ビットのリード / ライト可能なレジスタです。

TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ、TMR4.TCORA レジスタと TMR5.TCORA レジスタ、TMR6.TCORA レジスタと TMR7.TCORA レジスタ) を 16 ビットレジスタ (TMR01.TCORA, TMR23.TCORA, TMR45.TCORA, TMR67.TCORA) として 16 ビット単位でアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込みを出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMOn 端子からのタイマ出力を制御することができます。

27.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h, TMR4.TCORB 0008 8226h, TMR5.TCORB 0008 8227h, TMR6.TCORB 0008 8236h, TMR7.TCORB 0008 8237h, TMR01.TCORB 0008 8206h, TMR23.TCORB 0008 8216h, TMR45.TCORB 0008 8226h, TMR67.TCORB 0008 8236h

	TMR01.TCORB (TMR23.TCORB, TMR45.TCORB, TMR67.TCORB)															
	TMR0.TCORB (TMR2.TCORB, TMR4.TCORB, TMR6.TCORB)								TMR1.TCORB (TMR3.TCORB, TMR5.TCORB, TMR7.TCORB)							
	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

TCORB レジスタは、8 ビットのリード / ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ、TMR4.TCORB レジスタと TMR5.TCORB レジスタ、TMR6.TCORB レジスタと TMR7.TCORB レジスタ) を 16 ビットレジスタ (TMR01.TCORB, TMR23.TCORB, TMR45.TCORB, TMR67.TCORB) として 16 ビット単位でアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込みを出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMOn 端子からのタイマ出力を制御することができます。

27.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h, TMR4.TCR 0008 8220h, TMR5.TCR 0008 8221h, TMR6.TCR 0008 8230h, TMR7.TCR 0008 8231h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット	b4 b3 0 0：クリアを禁止 0 1：コンペアマッチAによりクリア 1 0：コンペアマッチBによりクリア 1 1：外部カウンタリセット信号によりクリア(注1) (TCCR.TMRISビットでエッジまたはレベルを選択)	R/W
b5	OVIE	オーバフロー割り込み許可ビット	0：オーバフローによる割り込み要求(OVIn)を禁止 1：オーバフローによる割り込み要求(OVIn)を許可	R/W
b6	CMIEA	コンペアマッチA割り込み許可ビット	0：コンペアマッチAによる割り込み要求(CMIAn)を禁止 1：コンペアマッチAによる割り込み要求(CMIAn)を許可	R/W
b7	CMIEB	コンペアマッチB割り込み許可ビット	0：コンペアマッチBによる割り込み要求(CMIBn)を禁止 1：コンペアマッチBによる割り込み要求(CMIBn)を許可	R/W

注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (オーバフロー割り込み許可ビット)

TCNT カウンタのオーバフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ A 割り込み許可ビット)

TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIAn) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ B 割り込み許可ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIBn) の許可または禁止を選択します。

27.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh, TMR4.TCCR 0008 822Ah, TMR5.TCCR 0008 822Bh, TMR6.TCCR 0008 823Ah, TMR7.TCCR 0008 823Bh, TMR01.TCCR 0008 820Ah, TMR23.TCCR 0008 821Ah, TMR45.TCCR 0008 822Ah, TMR67.TCCR 0008 823Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表27.6を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表27.6を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0：外部カウンタリセット信号の立ち上がりでクリア 1：外部カウンタリセット信号のHighでクリア	R/W

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

TCCR レジスタはカウンタの基本動作を設定する 8 ビットのレジスタです。偶数チャネルのアドレスに対して 16 ビットアクセスすると、同時に 2 つの TCCR レジスタにアクセスできます。

CKS[2:0] ビット (クロック選択ビット)
CSS[1:0] ビット (クロックソース選択ビット)

CKS[2:0] ビットおよび CSS[1:0] ビットは、カウントクロックを選択します。詳細は、表 27.6 を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが “11b” (外部カウンタリセット信号によりクリア) のとき有効となり、カウンタのリセット検出条件 (レベルまたはエッジ) を選択します。

表27.6　TCNTカウンタに入力するクロックとカウント条件

チャネル	TCCRレジスタ					機能
	CSS[1:0]		CKS[2:0]			
	b4	b3	b2	b1	b0	
TMR0 (TMR2, TMR4, TMR6)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)
				1	0	外部カウントクロックの立ち下がりエッジでカウント(注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)
	0	1	0	0	0	内部クロック：PCLKでカウント
					1	内部クロック：PCLK/2でカウント
				1	0	内部クロック：PCLK/8でカウント
					1	内部クロック：PCLK/32でカウント
			1	0	0	内部クロック：PCLK/64でカウント
					1	内部クロック：PCLK/1024でカウント
				1	0	内部クロック：PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT, TMR5.TCNT, TMR7.TCNT)のオーバフロー信号でカウント(注2)
TMR1 (TMR3, TMR5, TMR7)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)
				1	0	外部カウントクロックの立ち下がりエッジでカウント(注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)
	0	1	0	0	0	内部クロック：PCLKでカウント
					1	内部クロック：PCLK/2でカウント
				1	0	内部クロック：PCLK/8でカウント
					1	内部クロック：PCLK/32でカウント
			1	0	0	内部クロック：PCLK/64でカウント
					1	内部クロック：PCLK/1024でカウント
				1	0	内部クロック：PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT, TMR4.TCNT, TMR6.TCNT)のコンペアマッチAでカウント(注2)

注1.　外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「20.　I/Oポート」、および「21.　マルチファンクションピンコントローラ(MPC)」を参照してください。

注2.　TMR0 (TMR2, TMR4, TMR6)のクロック入力をTMR1.TCNT (TMR3.TCNT, TMR5.TCNT, TMR7.TCNT)カウンタのオーバフロー信号とし、TMR1 (TMR3, TMR5, TMR7)のクロック入力をTMR0.TCNT (TMR2.TCNT, TMR4.TCNT, TMR6.TCNT)カウンタのコンペアマッチ信号とすると、TCNTカウントクロックが発生しません。この設定は行わないでください。

27.2.6 タイマコントロール / ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR、TMR4.TCSR、TMR6.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h, TMR4.TCSR 0008 8222h, TMR6.TCSR 0008 8232h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力(トグル出力)	R/W
b4	ADTE	A/Dトリガ許可ビット	0：コンペアマッチAによるA/D変換開始要求を禁止 1：コンペアマッチAによるA/D変換開始要求を許可	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMOn端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMOn 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMOn 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR、TMR5.TCSR、TMR7.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h, TMR5.TCSR 0008 8223h, TMR7.TCSR 0008 8233h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	1	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMOn端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMOn 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMOn 端子の出力方法を選択します。

27.2.7 タイマカウンタスタートレジスタ (TCSTR)

アドレス TMR0.TCSTR 0008 820Ch, TMR1.TCSTR 0008 820Dh, TMR2.TCSTR 0008 821Ch, TMR3.TCSTR 0008 821Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCS
リセット後の値	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	TCS	タイマカウンタステータスビット	0：ELCによるカウント停止状態 1：ELCによるカウント開始状態	R/W
b7-b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

TCS ビット (タイマカウンタステータスビット)

ELC によるタイマカウントの状態を確認できます。

読み出し値が “1” のとき、ELC よるタイマ開始状態で、“0” のとき、タイマカウント停止状態です。

このビットをクリアするには、“0” を書いてください。“1” の書き込みは無効です。

TCS ビットは、イベントリンクコントローラ (ELC) の ELOPD レジスタでカウントスタート動作が選択されたときのみ有効となります。

詳細は、「27.7 ELC によるリンク動作」および、「19. イベントリンクコントローラ (ELC)」を参照してください。

27.3 動作説明

27.3.1 パルス出力

任意のデューティパルスを出力させる例を図 27.5 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “01b” (コンペアマッチ A によりクリア) に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介在なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

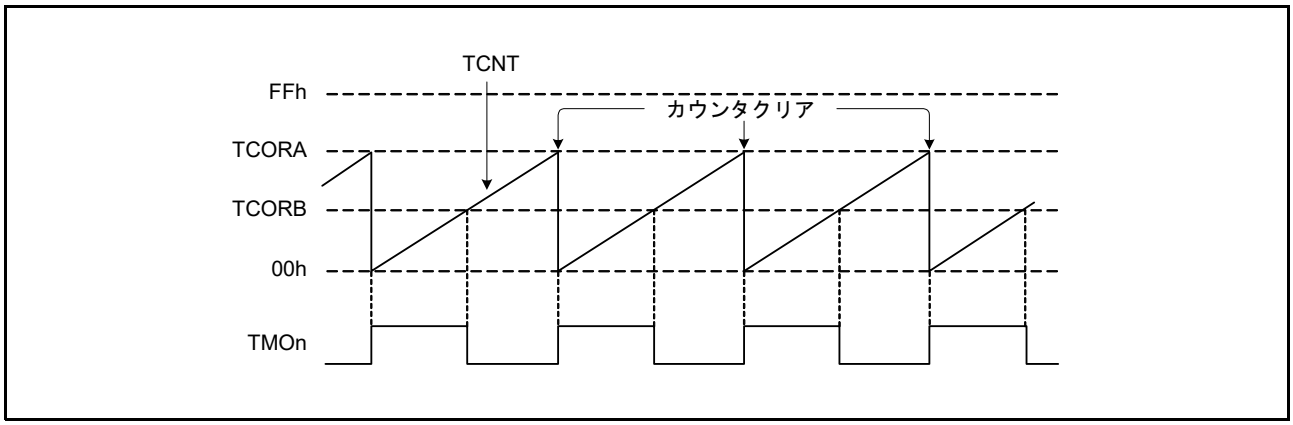


図 27.5 パルス出力例 (n = 0 ～ 7)

27.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 27.6 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “11b” (外部カウンタリセット信号によりクリア) にし、TCCR.TMRIS ビットを “1” (外部カウンタリセット信号の High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB – TCORA) の波形を出力できます。

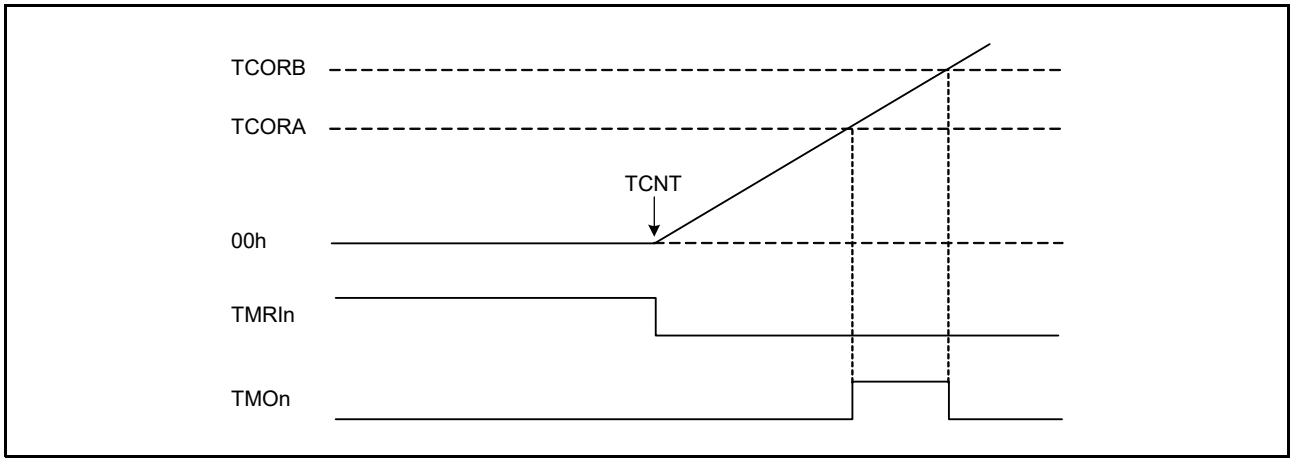


図 27.6 外部カウンタリセット信号入力例 (n = 0 ～ 7)

27.4 動作タイミング

27.4.1 TCNT カウンタのカウントタイミング

内部クロック動作の場合の TCNT カウンタのカウントタイミングを図 27.7 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 27.8 に示します。

なお外部クロックのパルス幅は、片エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

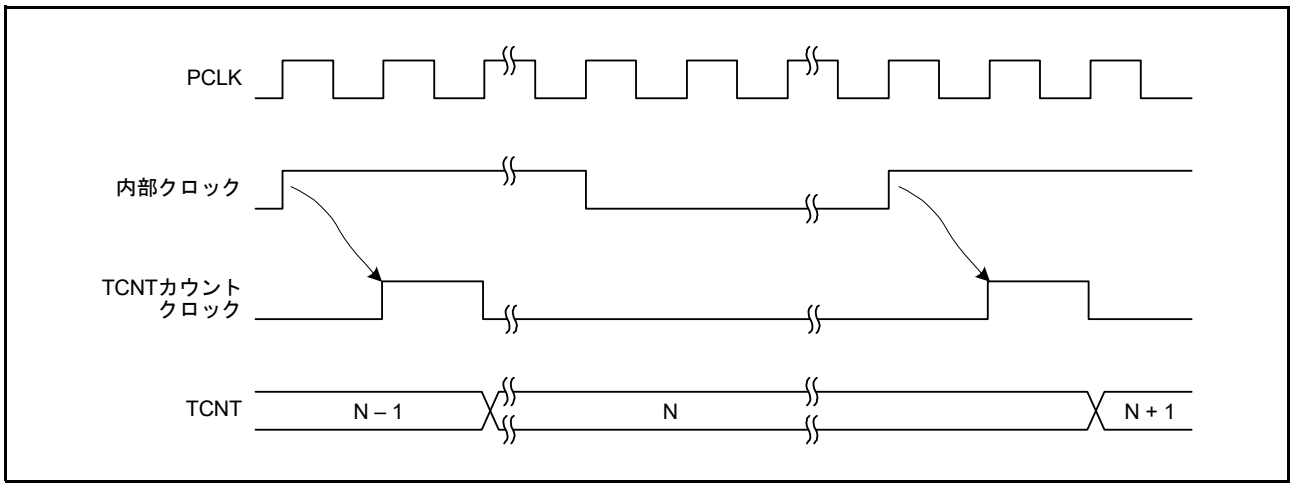


図 27.7 内部クロック動作時のカウントタイミング

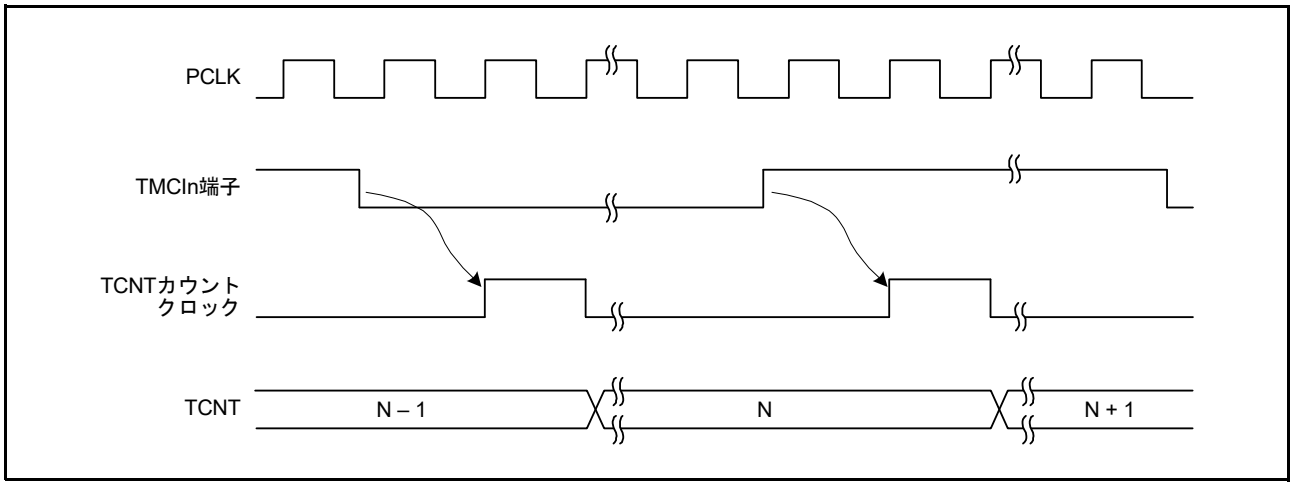


図 27.8 外部クロック動作時のカウントタイミング (両エッジの場合)

27.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 27.9 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUC)」と表 27.7 を参照してください。

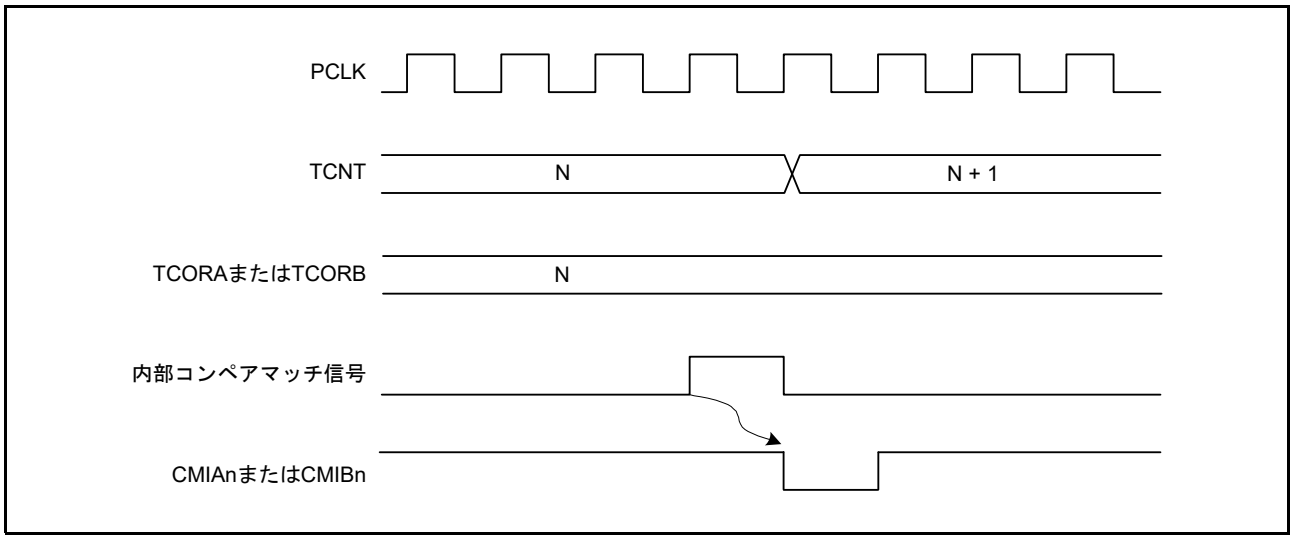


図 27.9 コンペアマッチ時の割り込みタイミング (n = 0 ～ 7)

27.4.3 コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMOn) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを図 27.10 に示します。

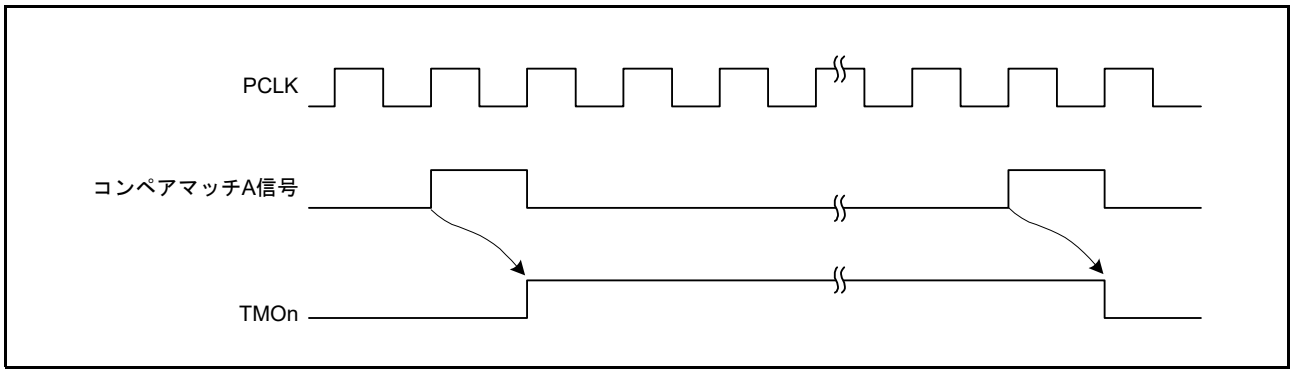


図 27.10 コンペアマッチ A 信号による出力信号タイミング (n = 0 ～ 7)

27.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 27.11 に示します。

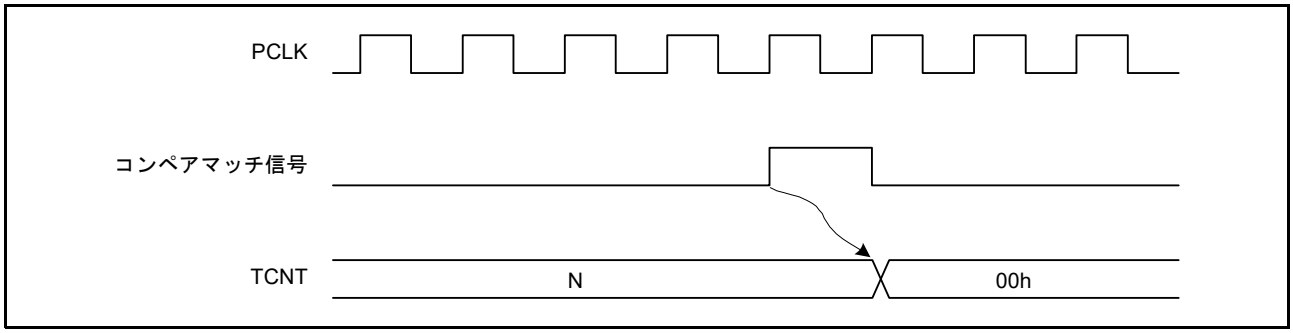


図 27.11 コンペアマッチによるカウンタクリアタイミング

27.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 27.12、図 27.13 に示します。

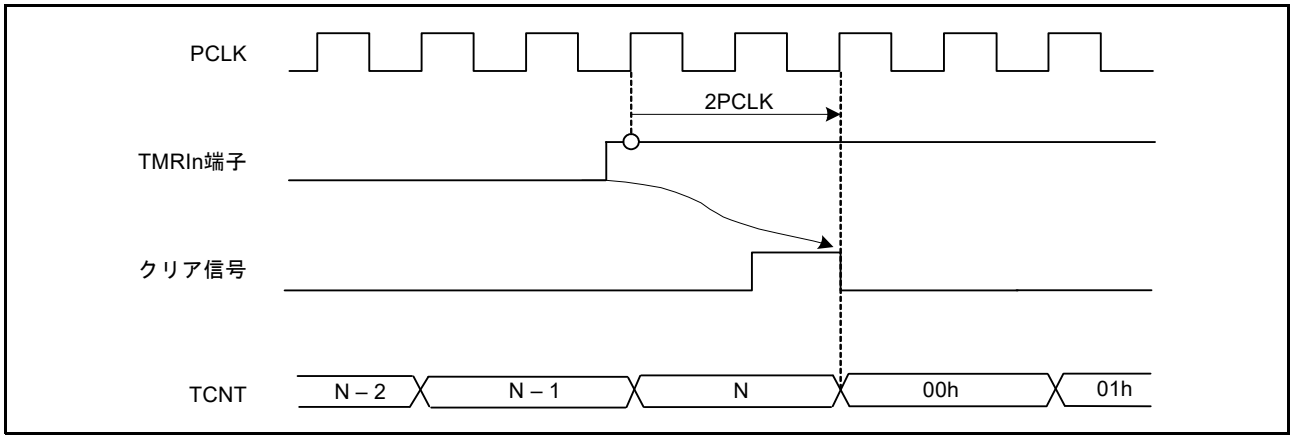


図 27.12 外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

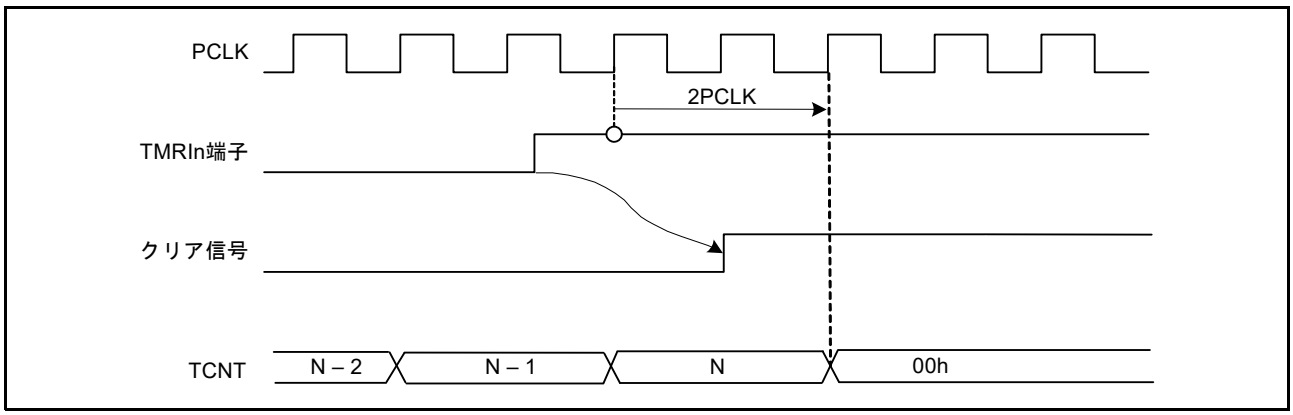


図 27.13 外部カウンタリセット信号によるクリアタイミング (High)

27.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを**図 27.14** に示します。

なお、対応する割り込みベクタ番号は、「**14. 割り込みコントローラ (ICUC)**」と**表 27.7** を参照してください。

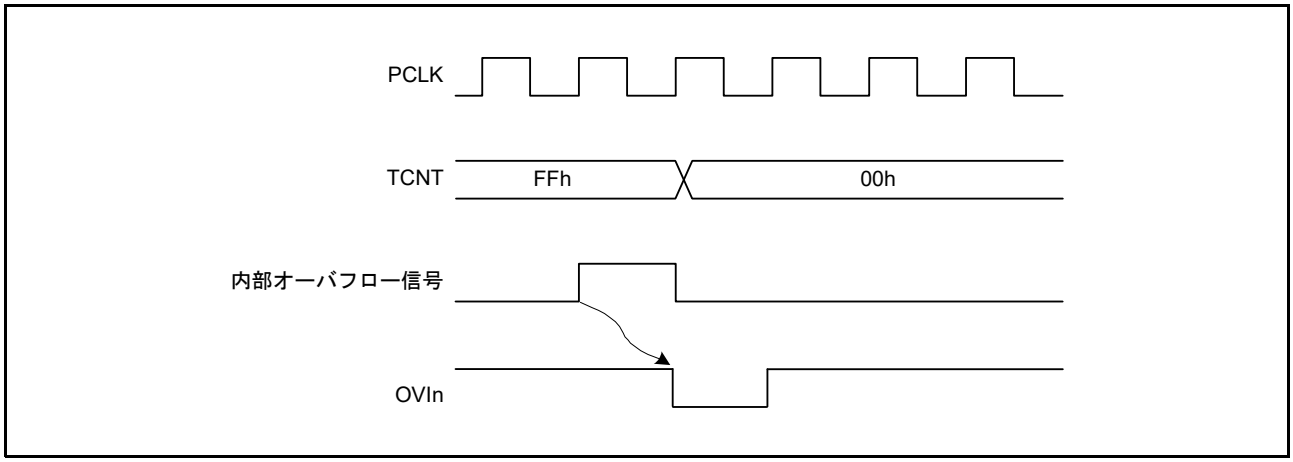


図 27.14 オーバフローによる割り込みタイミング (n = 0 ～ 7)

27.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを “11b” にすると、2 チャネルの TMR はカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

なお、この節ではユニット 0 について説明しています。ユニット 1、ユニット 2、ユニット 3 のカスケード接続時の動作についても、ユニット 0 と同様です。

27.5.1 16 ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが “11b” のとき、TMR0 を上位 8 ビット、TMR1 を下位 8 ビットとする 1 チャネルの 16 ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が 16 ビットカウンタに対して有効になります。
  TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16 ビットのコンペアマッチが発生すると 16 ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMRI0 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16 ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位 8 ビットのコンペアマッチ条件に従います。

27.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが “11b” のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMOn 端子 (n = 0, 1) の出力、カウンタクリアなどは各チャネルの設定に従います。

27.6 割り込み要因

27.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIAn、CMIBn、OVIn の 3 種類があります。表 27.7 に各割り込み要因と優先順位を示します。

なお、CMIAn、CMIBn 割り込みにより DTC を起動することができます。

表27.7 TMRの割り込み要因

名称	割り込み要因	DTCの起動
CMIA0	TMR0.TCORAのコンペアマッチ	可能
CMIB0	TMR0.TCORBのコンペアマッチ	可能
OVI0	TMR0.TCNTのオーバフロー	不可能
CMIA1	TMR1.TCORAのコンペアマッチ	可能
CMIB1	TMR1.TCORBのコンペアマッチ	可能
OVI1	TMR1.TCNTのオーバフロー	不可能
CMIA2	TMR2.TCORAのコンペアマッチ	可能
CMIB2	TMR2.TCORBのコンペアマッチ	可能
OVI2	TMR2.TCNTのオーバフロー	不可能
CMIA3	TMR3.TCORAのコンペアマッチ	可能
CMIB3	TMR3.TCORBのコンペアマッチ	可能
OVI3	TMR3.TCNTのオーバフロー	不可能
CMIA4	TMR4.TCORAのコンペアマッチ	可能
CMIB4	TMR4.TCORBのコンペアマッチ	可能
OVI4	TMR4.TCNTのオーバフロー	不可能
CMIA5	TMR5.TCORAのコンペアマッチ	可能
CMIB5	TMR5.TCORBのコンペアマッチ	可能
OVI5	TMR5.TCNTのオーバフロー	不可能
CMIA6	TMR6.TCORAのコンペアマッチ	可能
CMIB6	TMR6.TCORBのコンペアマッチ	可能
OVI6	TMR6.TCNTのオーバフロー	不可能
CMIA7	TMR7.TCORAのコンペアマッチ	可能
CMIB7	TMR7.TCORBのコンペアマッチ	可能
OVI7	TMR7.TCNTのオーバフロー	不可能

27.6.2 A/D コンバータの起動

TMR0、TMR2、TMR4、TMR6 のコンペアマッチ A で、A/D コンバータを起動することができます。

TMRn.TCSR.ADTE ビットが “1” (コンペアマッチ A による A/D 変換開始要求を許可) の状態で、コンペアマッチ A の発生により、A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

表27.8 A/Dコンバータの起動

A/Dコンバータ	TMRユニット番号	対象	A/D変換開始要求
S12AD, S12AD1, S12AD2 (12ビットA/Dコンバータ)	0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	TMTRG0AN_0
	1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	TMTRG0AN_1
	2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	TMTRG0AN_2
	3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	TMTRG0AN_3

27.7 ELC によるリンク動作

27.7.1 ELC へのイベント信号出力

TMR はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。TMR はコンペアマッチ A、コンペアマッチ B、および、オーバフローのイベント信号を出力します。対応するチャネルは TMR0 ～ TMR3 です。

イベント信号は該当する割り込み要求許可ビット (TMRn.TCR.OVIE, TMRn.TCR.CMIEA, TMRn.TCR.CMIEB (n = 0 ～ 3)) の設定に関係なく出力することができます。詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

カスケード接続の動作にも、イベント出力機能は対応しています。

27.7.2 ELC からのイベント信号受信による TMR 動作

TMR は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。ただし、カスケード接続の動作には ELC は対応しておりません。

(1) カウントスタート動作

ELC の ELOPD レジスタで TMR のカウントスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットが “1” にセットされ、TMR のカウントがスタートします。カウントソースは、ELC の ELOPD レジスタで TMR のカウントスタート動作を選択した後、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定により選択してください。

TCS ビットが “1” にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

カウントを停止させるためには、TCSTR.TCS ビットへ “0” を書いてください。

カウント停止状態でカウントスタートのイベントが入力されると、再び CKS[2:0]、CSS[1:0] ビットに従ってカウントします。

TCS ビットは、ELC の ELOPD.TMR0MD[1:0]、ELOPD.TMR1MD[1:0]、ELOPD.TMR2MD[1:0]、ELOPD.TMR3MD[1:0] ビットにおいてカウントスタートが選択されたときのみ有効となります。

(2) イベントカウンタ動作

ELC の ELOPD レジスタで TMR のイベントカウンタ動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウント動作します。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPD レジスタで TMR のカウントリスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。CKS[2:0] ビット、CSS[1:0] ビットの設定が「クロック入力禁止」以外になっていれば、カウント動作を継続することができます。

27.7.3 ELC からのイベント信号受信による TMR の注意事項

以下に TMR をイベントリンクによる動作で使用するときの注意事項を示します。

(1) カウントスタート動作

TCSTR.TCS ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットへの書き込みサイクルは行われずイベント発生による “1” の設定が優先されます。

(2) イベントカウンタ動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

TCNT カウンタへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

27.8 使用上の注意事項

27.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止 / 許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

27.8.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TCORA、TCORB レジスタの値と一致した最後の PCLK (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります (f : カウンタ周波数、PCLK : 動作周波数、N : TCORA、TCORB レジスタの設定値)。

$$f = PCLK/(N + 1)$$

27.8.3 TCNT カウンタへの書き込みとカウンタクリアの競合

図 27.15 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

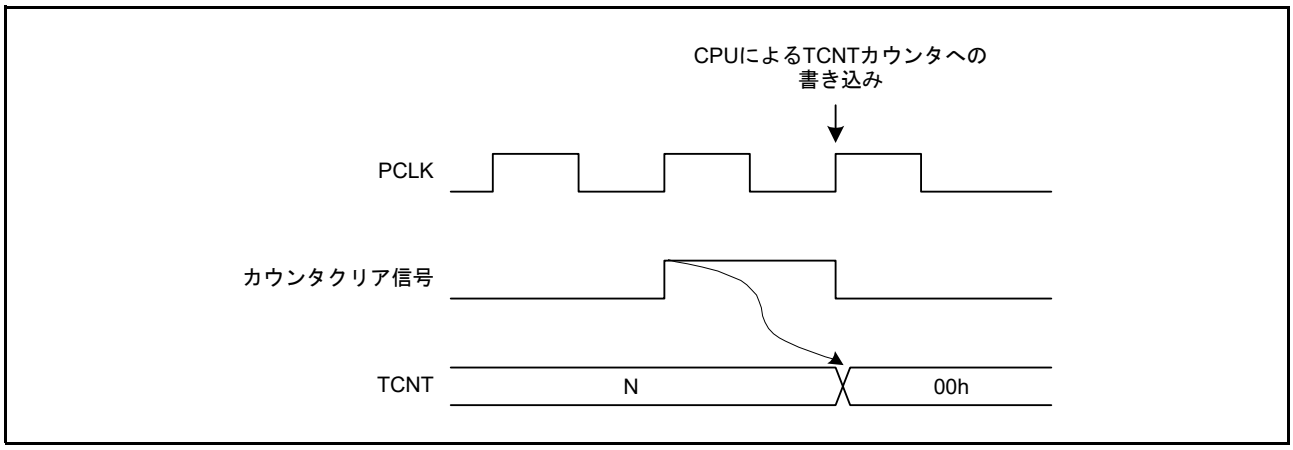


図 27.15 TCNT カウンタへの書き込みとカウンタクリアの競合

27.8.4 TCNT カウンタへの書き込みとカウントアップの競合

図 27.16 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

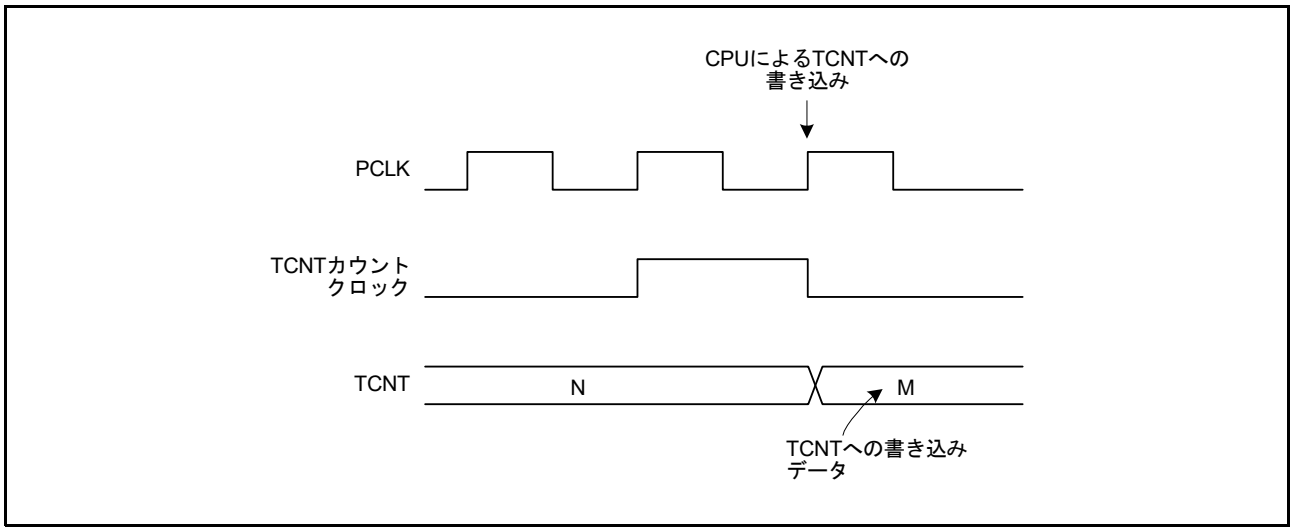


図 27.16 TCNT カウンタへの書き込みとカウントアップの競合

27.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 27.17 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペマッチ信号は High になりません。

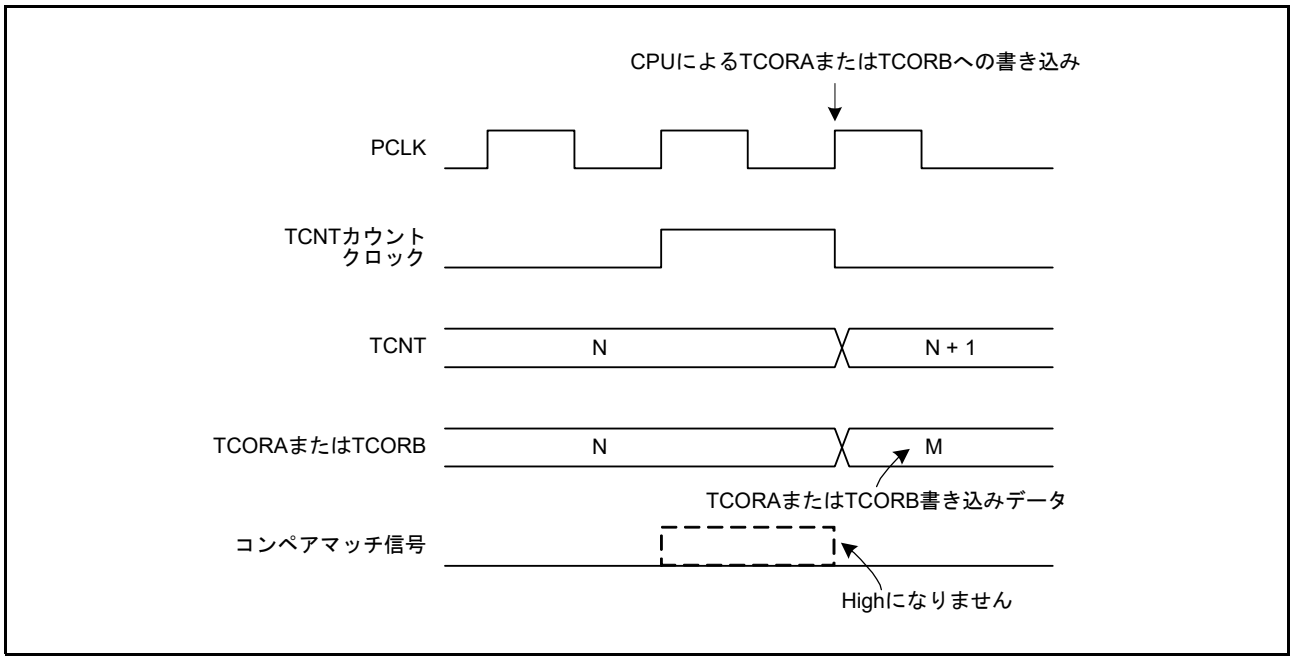


図 27.17 TCORA、TCORB レジスタのライトとコンペアマッチの競合

27.8.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、表 27.9 に示す出力設定の優先順位の高い方が出力されます。

表27.9 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
High出力	↑
Low出力	
変化しない	低

27.8.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 27.10 に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 27.10 の No.2 のように、Low→High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表27.10 内部クロックの切り替えとTCNTカウンタの動作 (1/2)

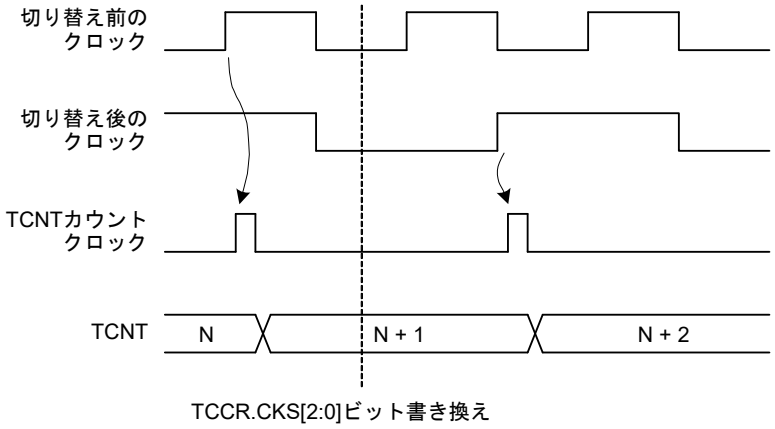
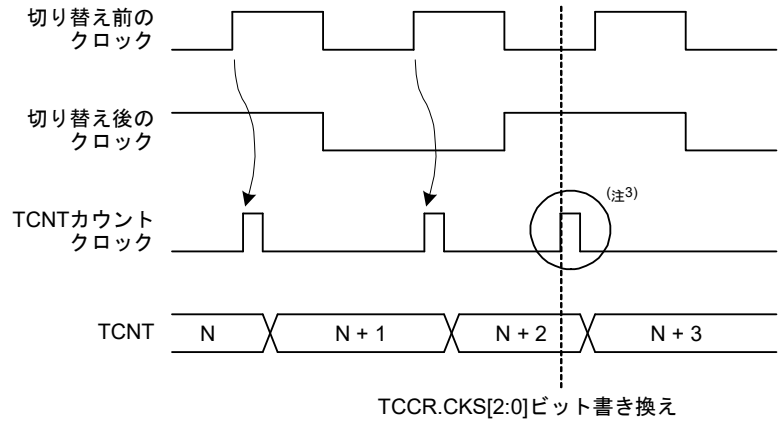
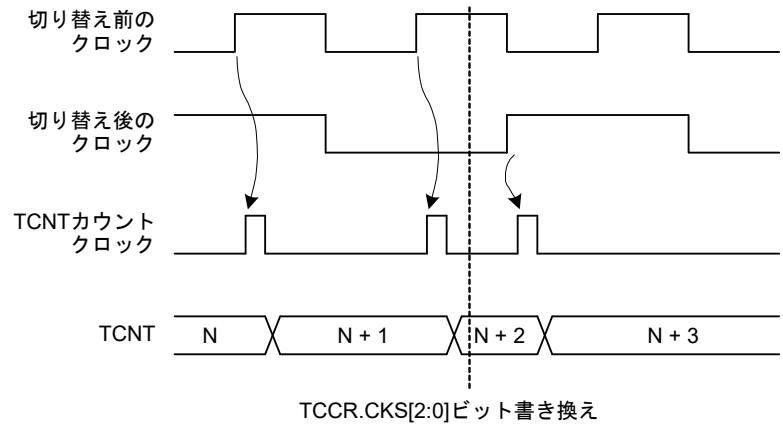
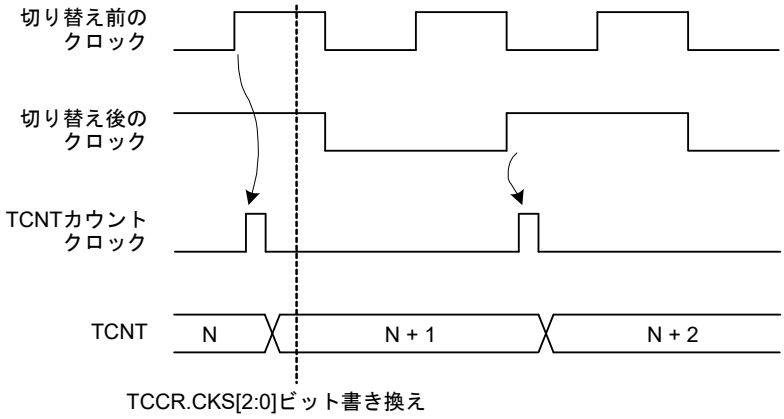
No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTカウンタの動作
1	Low→Low (注1)の切り替え	

表27.10　内部クロックの切り替えとTCNTカウンタの動作 (2/2)

No.	TCCR.CKS[2:0]ビット 書き換えタイミング	TCNTカウンタの動作
2	Low→High (注2)の切り替え	
3	High→Low (注4)の切り替え	
4	High→Highの切り替え	

注1.　Low→停止、および停止→Lowの場合を含みます。
注2.　停止→Highの場合を含みます。
注3.　切り替えのタイミングをエッジとみなすために発生し、TCNTカウンタはカウントアップされてしまいます。
注4.　High→停止の場合を含みます。

27.8.8 カスケード接続時のクロックソース設定

16 ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ、TMR4.TCNT、TMR5.TCNT カウンタ、TMR6.TCNT、TMR7.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

27.8.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを “00h” に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは “00h” のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは 2 つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 27.18 に示します。

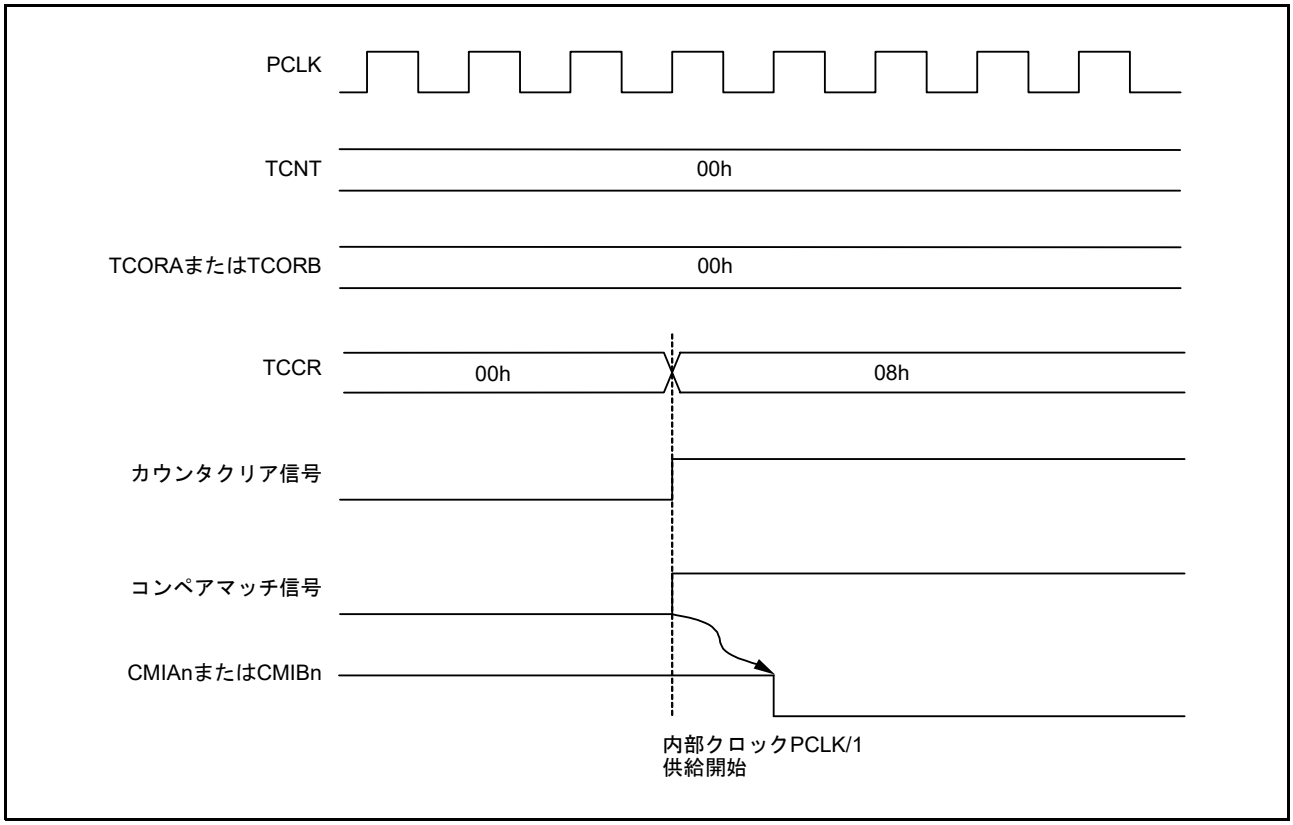


図 27.18 コンペアマッチ割り込みの連続出力 (n = 0 ～ 7)

28. コンペアマッチタイマ (CMT)

本 MCU は、2 チャネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を 2 ユニット (ユニット 0、ユニット 1)、合計 4 チャネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

28.1 概要

表 28.1 に CMT の仕様を示します。

図 28.1 に CMT (ユニット 0) のブロック図を示します。2 チャネルの CMT で 1 ユニットを構成し、ユニット 0 とユニット 1 は同じ仕様です。ユニット 0 のコンペアマッチタイマスタートレジスタ 0 (CMSTR0)、コンペアマッチ割り込み (CMI0, CMI1) が、ユニット 1 ではコンペアマッチタイマスタートレジスタ 1 (CMSTR1)、コンペアマッチ割り込み (CMI2, CMI3) に対応します。

表28.1　CMTの仕様

項目	機能
カウントクロック	• 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャネルごとに要求することが可能
イベントリンク機能(出力)	CMT1のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	設定したモジュールに対してリンク動作が可能 CMT1のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

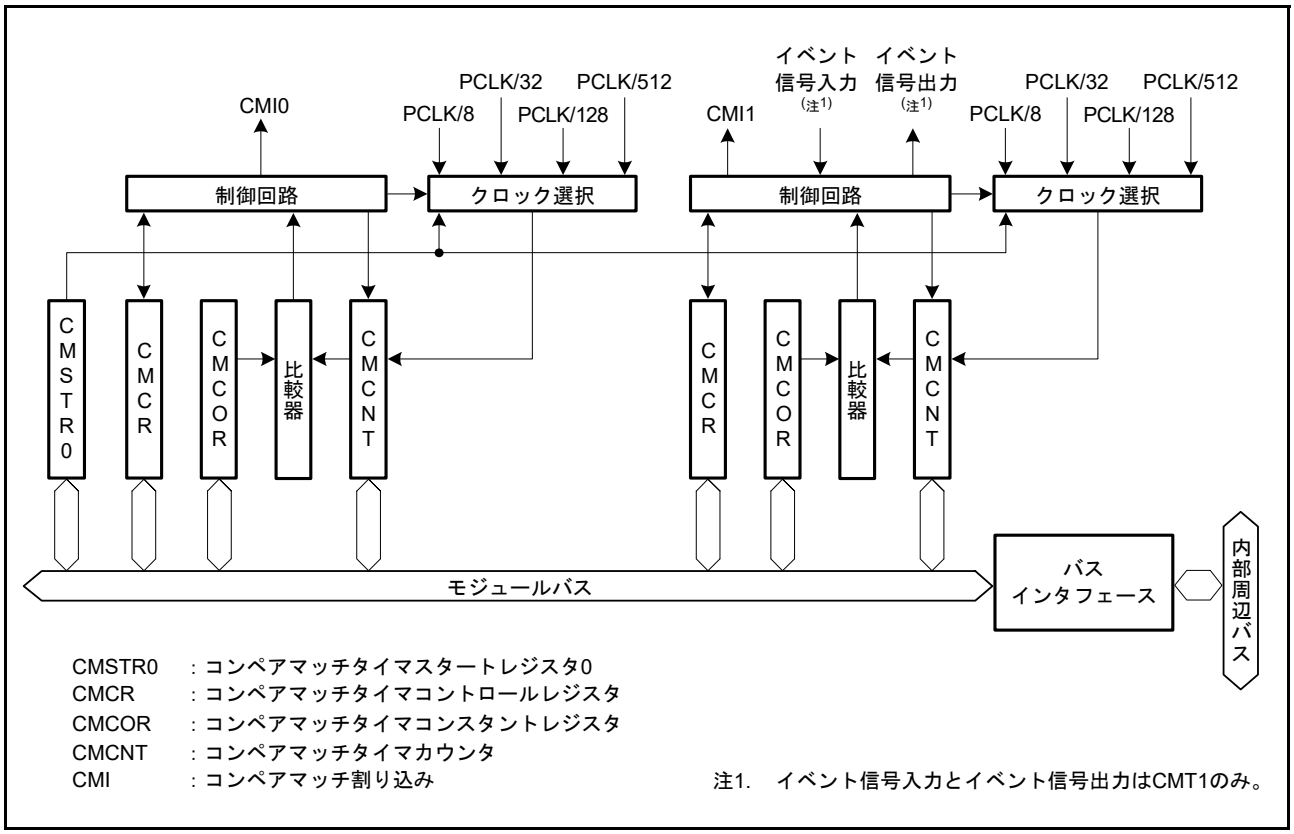


図 28.1　CMT (ユニット 0) のブロック図

28.2 レジスタの説明

28.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0：CMT0.CMCNTカウンタのカウント動作停止 1：CMT0.CMCNTカウンタのカウント動作開始	R/W
b1	STR1	カウントスタート1ビット	0：CMT1.CMCNTカウンタのカウント動作停止 1：CMT1.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

28.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0：CMT2.CMCNTカウンタのカウント動作停止 1：CMT2.CMCNTカウンタのカウント動作開始	R/W
b1	STR3	カウントスタート3ビット	0：CMT3.CMCNTカウンタのカウント動作停止 1：CMT3.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

28.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h, CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0：PCLK/8 0 1：PCLK/32 1 0：PCLK/128 1 1：PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0：コンペアマッチ割り込み(CMIn)を禁止 1：コンペアマッチ割り込み(CMIn)を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

CMSTRm.STRn ビット (m = 0, 1、n = 0 ～ 3) を “1” に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n = 0 ～ 3) の発生を許可するか禁止するかを選択します。

28.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah, CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット (m = 0, 1、n = 0 ～ 3) を “1” にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0 ～ 3) が発生します。

28.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch, CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

28.3 動作説明

28.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット (m = 0, 1、n = 0 ～ 3) を “1” にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、コンペアマッチ割り込み (CMIn) (n = 0 ～ 3) が発生します。CMCNT カウンタは “0000h” からカウントアップを再開します。CMCNT カウンタの動作を図 28.2 に示します。

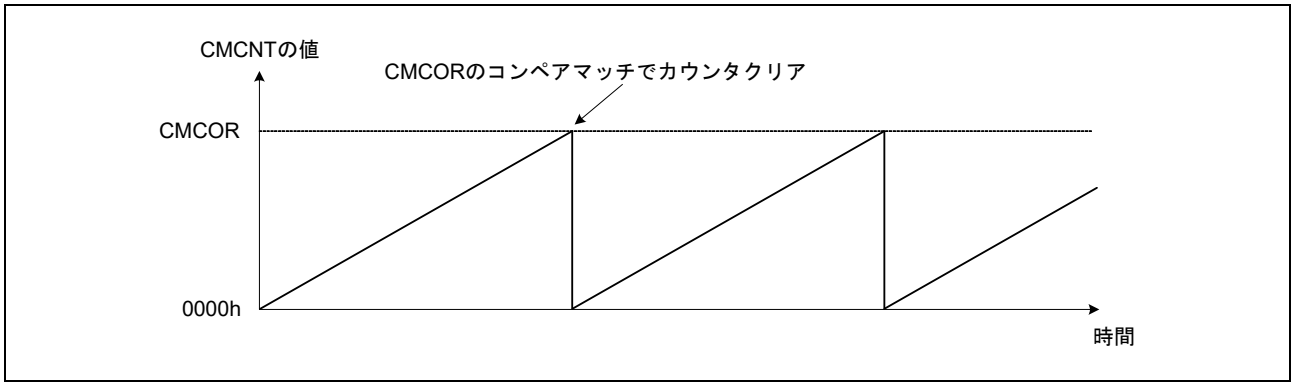


図 28.2 CMCNT カウンタの動作

28.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 28.3 に示します。

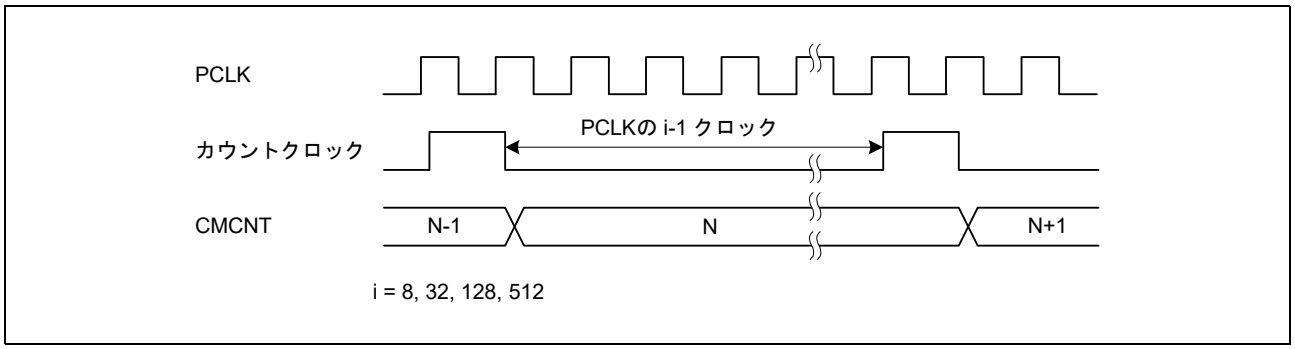


図 28.3 CMCNT カウンタのカウントタイミング

28.4 割り込み

28.4.1 割り込み要因

CMT は、チャネルごとにコンペアマッチ割り込み (CMIn) (n = 0 ～ 3) があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを発生させる場合、チャネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ (ICUC)」を参照してください。

表28.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
CMI0	CMT0のコンペアマッチ	可能	可能
CMI1	CMT1のコンペアマッチ	可能	可能
CMI2	CMT2のコンペアマッチ	可能	可能
CMI3	CMT3のコンペアマッチ	可能	可能

28.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMIn) (n = 0 ～ 3) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 28.4 に示します。

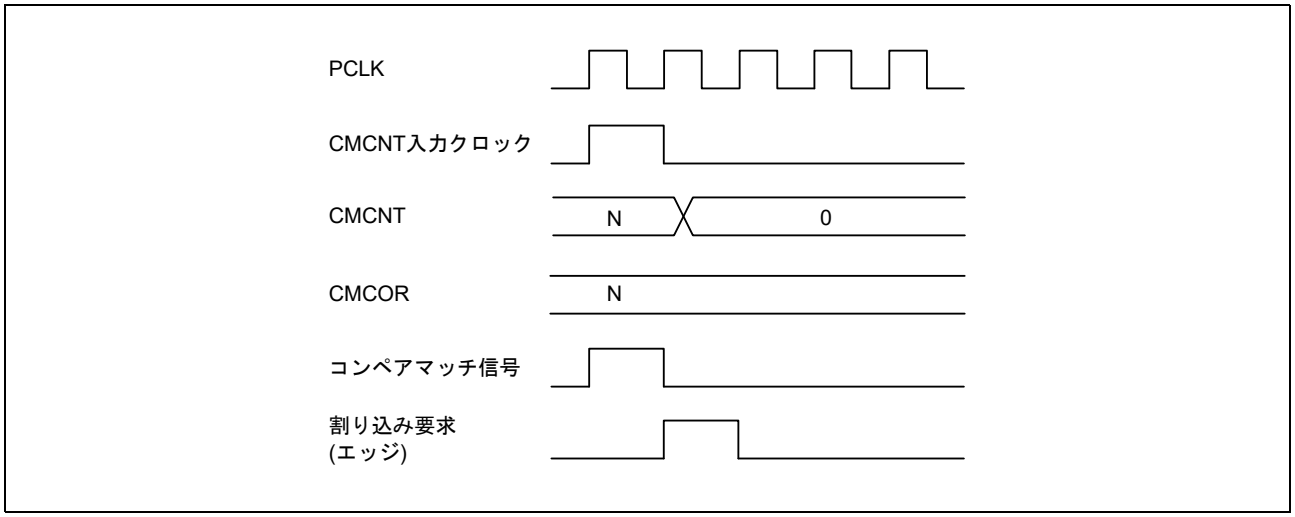


図 28.4 コンペアマッチ割り込みタイミング

28.5 ELC によるリンク動作

28.5.1 ELC へのイベント信号出力

CMT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。CMT1 のコンペアマッチによりイベント信号を出力します。

イベント信号は該当する割り込み要求許可ビット (CMTn.CMCR.CMIE ビット) の設定に関係なく出力することができます。

28.5.2 ELC からのイベント信号受信による CMT の動作

CMT は ELC の ELSR7 レジスタにあらかじめ設定したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPC レジスタで CMT のカウントスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットが “1” になり、CMT のカウントがスタートします。

ただし、CMSTR0.STR1 ビットが “1” になった状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPC レジスタで CMT のイベントカウンタ動作を選択します。CMSTR0.STR1 ビットが “1” の状態で、ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCR.CKS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウント動作を行います。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPC レジスタで CMT のカウントリスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタの値が初期値に書き換わります。CMSTR0.STR1 ビットが “1” の状態であればカウント動作を継続することができます。

28.5.3 ELC からのイベント信号受信による CMT の注意事項

以下に CMT をイベントリンクによる動作で使用するときの注意事項を示します。

(1) カウントスタート動作

CMSTR0.STR1 ビットへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットへの書き込みは行われずイベント発生による “1” の設定が優先されます。

(2) イベントカウンタ動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウント値の初期化が優先されます。

28.6 使用上の注意事項

28.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMT の動作を禁止 / 許可することが可能です。リセット後、CMT はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

28.6.2 CMCNT カウンタへの書き込みとコンペアマッチの競合

CMCNT カウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 28.5 に示します。

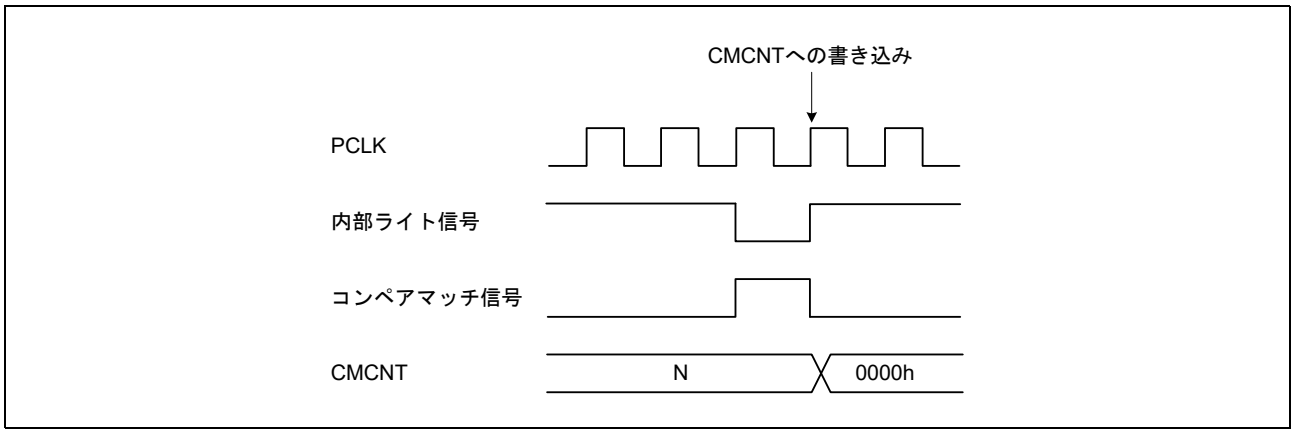


図 28.5 CMCNT カウンタへの書き込みとコンペアマッチの競合

28.6.3 CMCNT カウンタへの書き込みとカウントアップの競合

CMCNT カウンタへの書き込みと、カウントアップが競合した場合、CMCNT カウンタへの書き込みが優先されます。このタイミングを図 28.6 に示します。

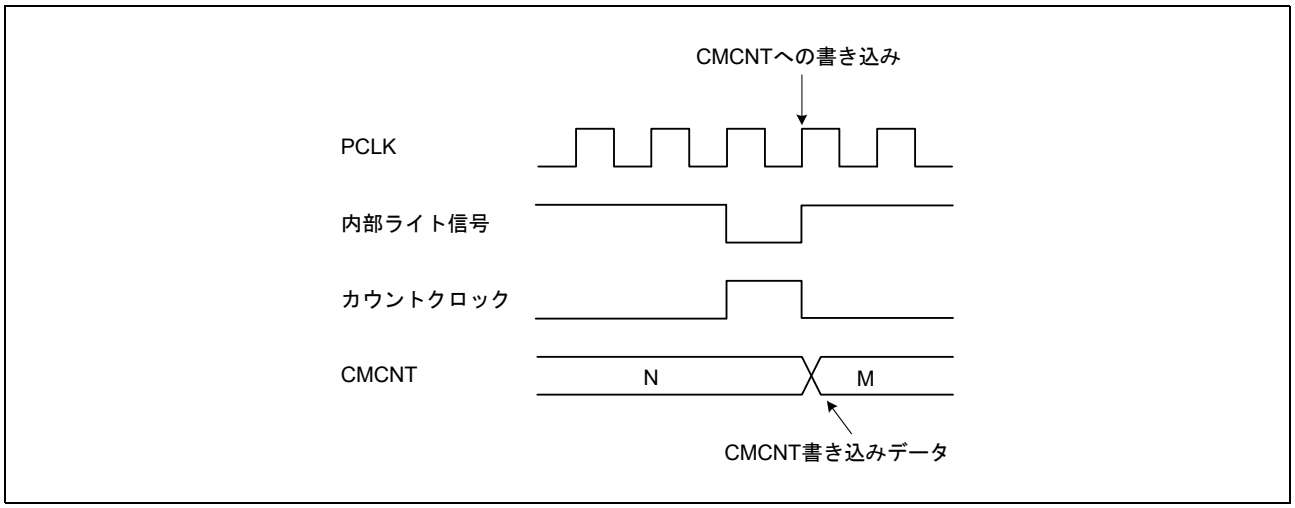


図 28.6 CMCNT カウンタへの書き込みとカウントアップの競合

29. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタで、システムの暴走などによりカウンタの値がリフレッシュされずにアンダフローすると、MCU をリセットします。

また、アンダフローにより、ノンマスカブル割り込みを発生させることもできます。

カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、同許可期間を暴走検知の条件とすることができます。

本章に記載している PCLK とは PCLKB を指します。

29.1 概要

表 29.1 に WDT の仕様を示します。図 29.1 に WDT のブロック図を示します。

表29.1　WDTの仕様

項目	内容
カウントソース	周辺モジュールクロック (PCLK)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	● オートスタートモード：リセット解除後、自動的にカウント開始 ● レジスタスタートモード：リフレッシュ動作(WDTRRレジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	● リセット ● 低消費電力状態 ● アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット発行要因	● ダウンカウンタがアンダフローしたとき ● リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	● ダウンカウンタがアンダフローしたとき ● リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
カウンタ値の読み出し	WDTSRレジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能

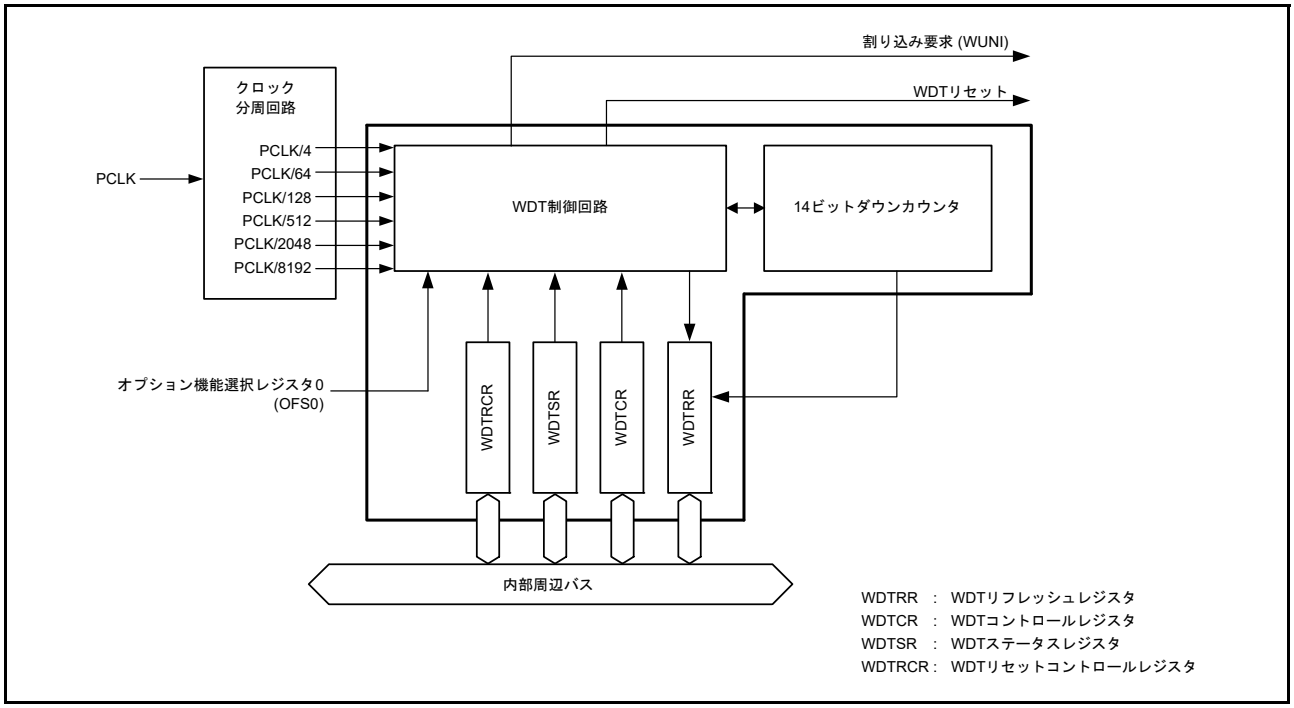


図 29.1　WDT のブロック図

29.2 レジスタの説明

29.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス 0008 8020h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む (リフレッシュ動作) ことにより WDT のダウンカウンタをリフレッシュします。

ダウンカウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の WDTTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを行います。

読み出される値は、“00h” を書き込んだ場合は “00h” が、“00h” 以外の値を書き込んだ場合は “FFh” となります。

リフレッシュ動作の詳細については、「29.3.3 リフレッシュ動作」を参照してください。

29.2.2 WDT コントロールレジスタ (WDTCR)

アドレス 0008 8022h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0：1024サイクル(03FFh) 0 1：4096サイクル(0FFFh) 1 0：8192サイクル(1FFFh) 1 1：16384サイクル(3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1：4分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 1 0：512分周 0 1 1 1：2048分周 1 0 0 0：8192分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

WDTCR レジスタへの書き込みには制限があります。詳細については、「29.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 29.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および PCLK 数の関係を示します。

表29.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間(サイクル数)	PCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	4分周	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	64分周	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	128分周	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	512分周	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	2048分周	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	8192分周	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択ビット)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺モジュールクロック (PCLK) の 4 分周 /64 分周 /128 分周 /512 分周 /2048 分周 /8192 分周から選択できます。TOPS[1:0] ビット設定と合わせて、WDT のカウント期間を PCLK の 4096 ～ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウの終了位置はタイムアウト期間の、75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウの開始位置はタイムアウト期間の、25%、50%、75%、100% から選択します。

設定値は、ウィンドウ開始位置 > ウィンドウ終了位置となるように設定してください。

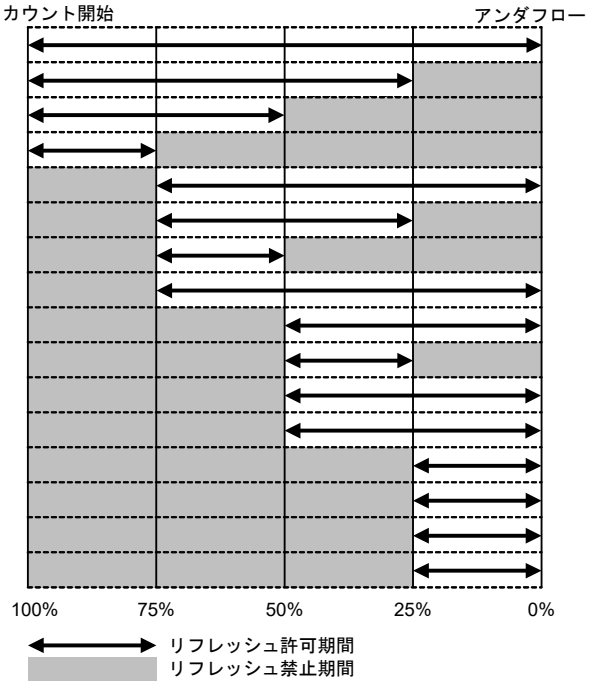
ウィンドウ開始位置≦ウィンドウ終了位置と設定した場合、ウィンドウ終了位置は、0% になります。

RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウンタ値を表 29.3 に、設定されるリフレッシュ許可期間を図 29.2 に示します。

表29.3　ウィンドウ開始、終了位置とカウンタ値の対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始、終了のカウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始(%)	終了(%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注.　「ウィンドウ終了」≧「ウィンドウ開始」設定を行った場合、「ウィンドウ終了」設定は0%になります。

図 29.2　RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

29.2.3 WDT ステータスレジスタ (WDTSR)

アドレス 0008 8024h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REFEF	UNDFF	CNTVAL[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFF	アンダフローフラグ	0：アンダフローなし 1：アンダフロー発生	R(/W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0：リフレッシュエラーなし 1：リフレッシュエラー発生	R(/W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (ダウンカウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し 1 カウントずれることがあります。

UNDFF フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。

読み出した値が “1” のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が “0” のとき、アンダフローは発生していません。

値を “0” にするには、UNDFF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が “1” のとき、リフレッシュエラーが発生した状態です。読み出した値が “0” のとき、リフレッシュエラーは発生していません。

値を “0” にするには、REFEF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

29.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス 0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求、または割り込み要求出力を許可 1：リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには制限があります。詳細については、「29.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

29.2.5 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタについては、「29.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

29.3 動作説明

29.3.1 カウント開始条件別の各動作

WDT はリセット解除後、自動的にカウントを開始するオートスタートモードと、リフレッシュ動作 (レジスタ書き込み) によりカウントを開始するレジスタスタートモードの 2 種類のモードがあります。

オートスタートモードは、リセット解除後、ROM 上のオプション機能選択レジスタ 0 (OFS0) の設定に従い、自動的にカウントを開始します。

レジスタスタートモードは、リセット解除後に各レジスタの設定後、リフレッシュ動作 (レジスタ書き込み) により、カウントを開始します。

オートスタートモード、もしくはレジスタスタートモードの選択は、OFS0 レジスタの WDTSTRT ビットで行います。

オートスタートモード選択時は、WDTCR レジスタ、WDTRCR レジスタの設定は無効となり、OFS0 レジスタの設定が有効となります。

一方、レジスタスタートモード選択時は、OFS0 レジスタの設定は無効となり、WDTCR レジスタ、WDTRCR レジスタの設定が有効となります。

29.3.1.1 レジスタスタートモード

OFS0.WDTSTRT ビットが “1” の場合、レジスタスタートモードとなり、WDTCR レジスタ、WDTRCR レジスタが有効となります。

リセット解除後、WDTCR レジスタにクロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、また WDTRCR レジスタにリセット出力 / 割り込み要求出力の設定を行います。その後、リフレッシュ動作を行うことにより、ダウンカウンタは、WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 / 割り込み要求 (WUNI) を出力します。リセット出力、または割り込み要求出力の選択は、WDTRCR.RSTIRQS ビットの設定により行います。

図 29.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力許可 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

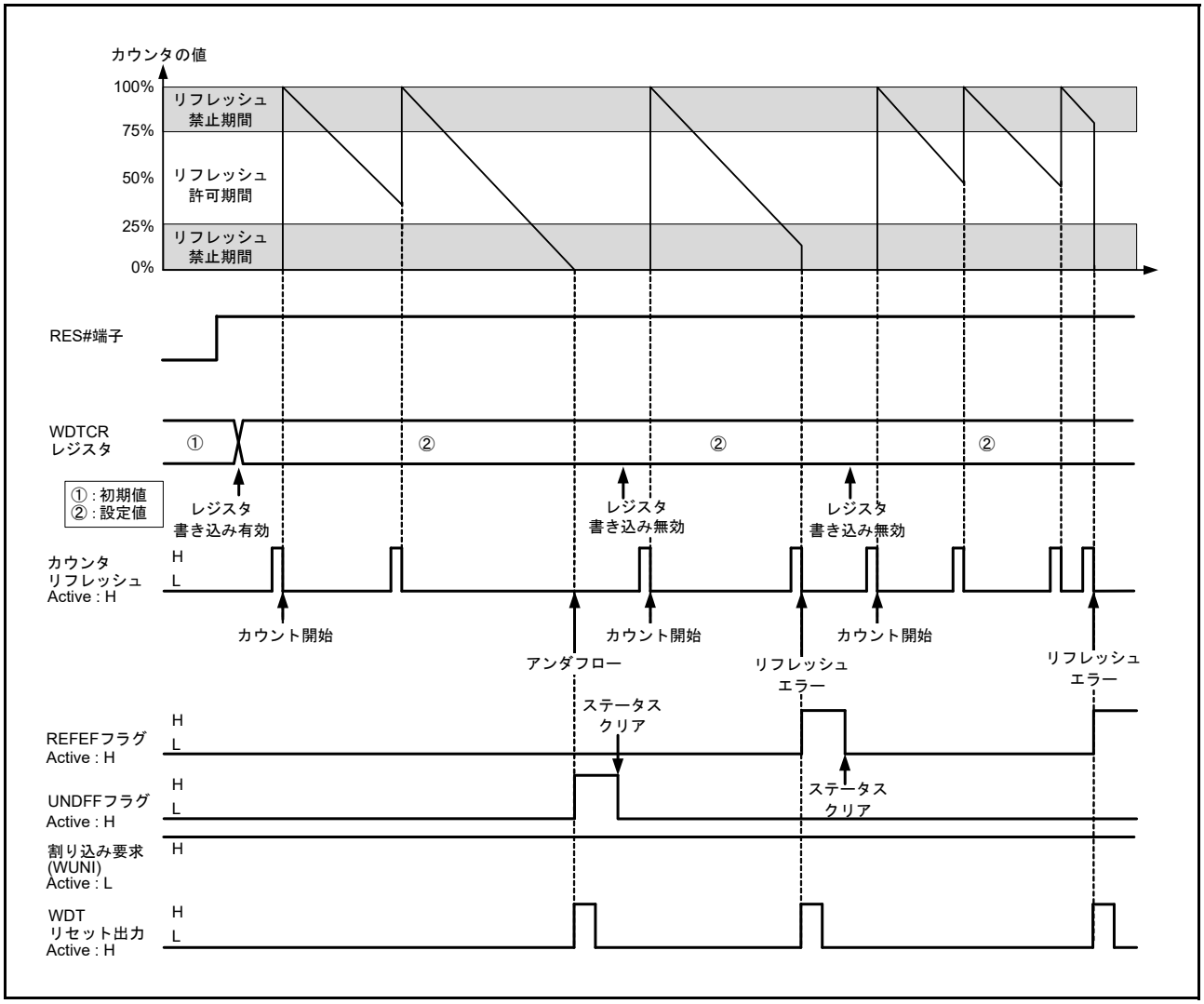


図 29.3 レジスタスタートモード動作例

29.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDTSTRT ビットが “0” の場合、オートスタートモードとなり、WDTCR レジスタ、WDTRCR レジスタが無効となり、OFS0 レジスタの設定が有効になります。

リセット期間中に OFS0 レジスタの設定値 (クロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、リセット出力 / 割り込み要求) が WDT のレジスタに設定されます。その後、リセット解除でダウンカウンタに OFS0.WDTTOPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 / 割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求 / 割り込み要求を 1 カウントサイクル出力後、ダウンカウンタはタイムアウト期間の値がセットされ、カウント動作を再開します。リセット出力、または割り込み要求出力の選択は、OFS0.WDTRSTIRQS ビットの設定により行います。

図 29.4 に以下の条件での動作例 (ノンマスカブル割り込み) を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- ノンマスカブル割り込み要求出力許可 (OFS0.WDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)

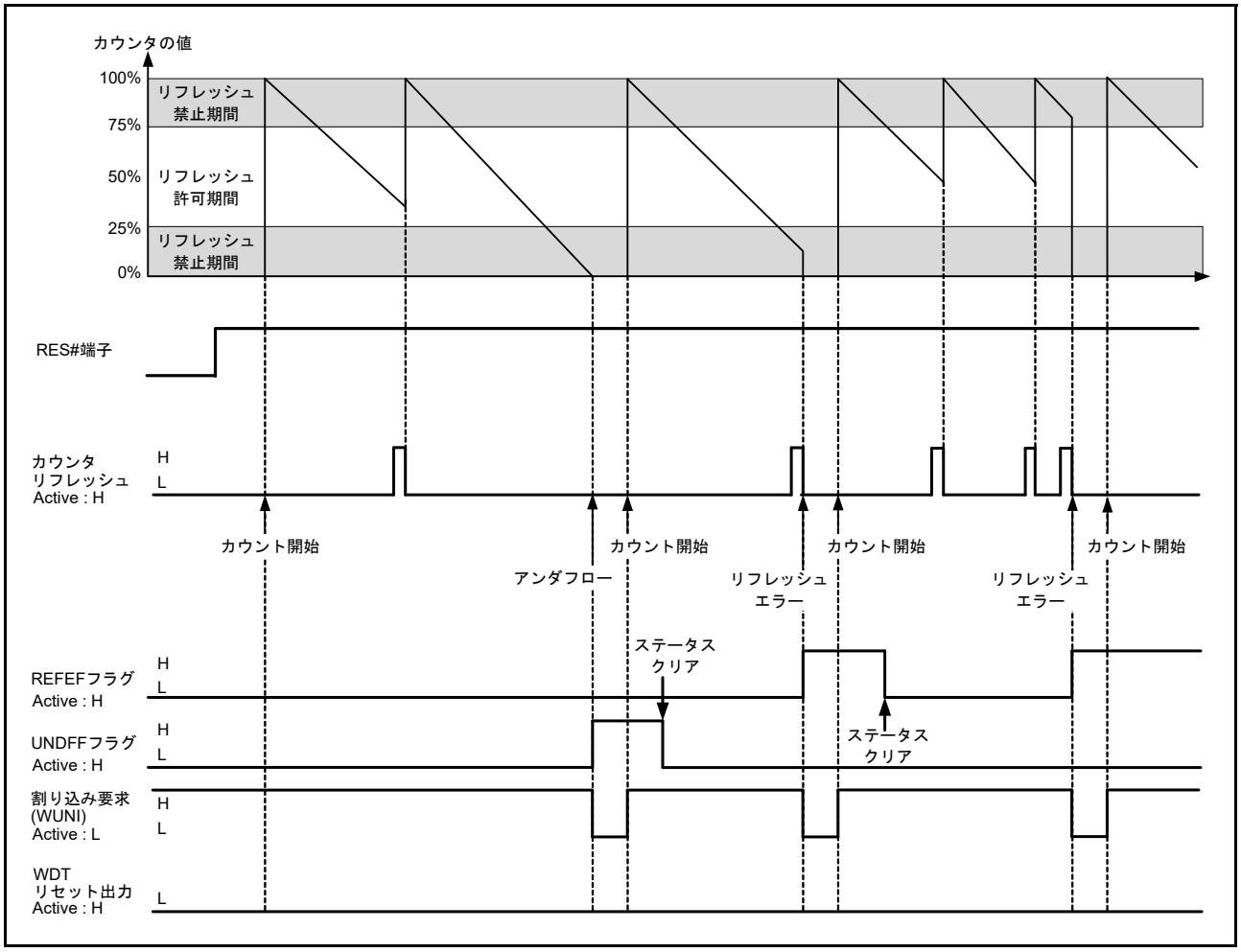


図 29.4 オートスタートモード動作例

29.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御

WDTCR レジスタ、WDTRCR レジスタへの書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは WDTCR レジスタ、WDTRCR レジスタへ書き込みを行うと、WDT 内部のプロテクト信号が “1” となり、以後 WDTCR レジスタ、WDTRCR レジスタへの書き込みをプロテクトします。

WDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 29.5 に WDTCR レジスタ書き込み制御波形を示します。

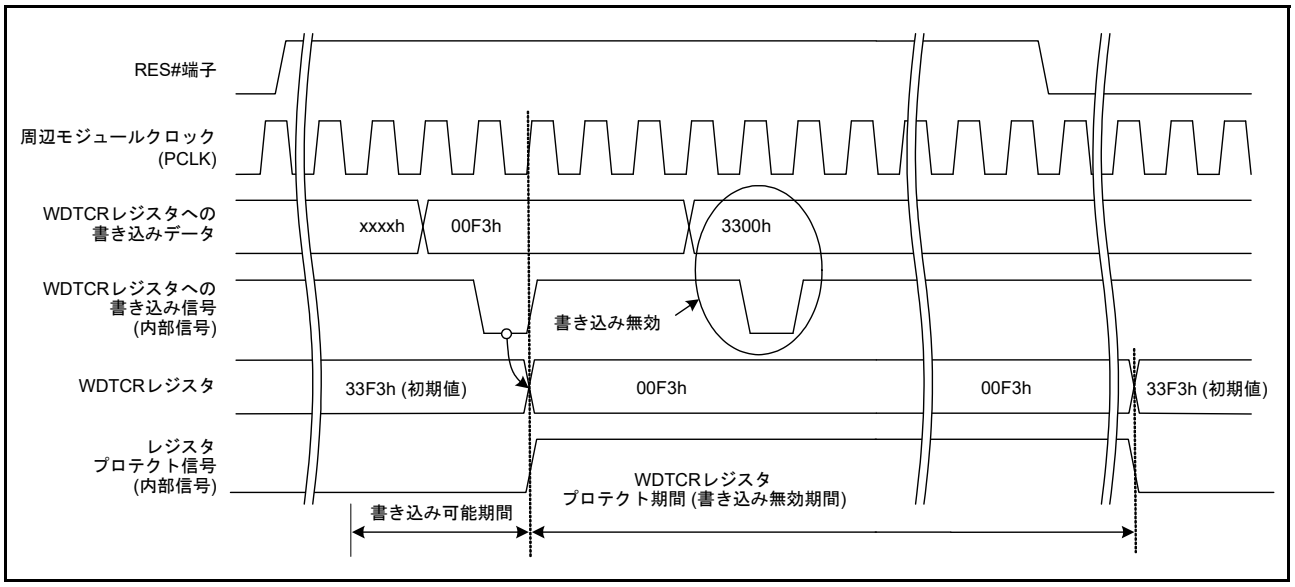


図 29.5 WDTCR レジスタ書き込み制御波形

29.3.3 リフレッシュ動作

ダウンカウンタのリフレッシュを行うには、WDTRR レジスタへ “00h” を書き込んだ後、続けて “FFh” 書き込みを行ってください。“00h” の書き込み後に “FFh” 以外を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタへ “00h” → “FFh” の順で書き込むことにより、リフレッシュを正常に行うことができます。

WDTRR レジスタへの “00h” 書き込みと “FFh” 書き込みの間に、WDTRR レジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

リフレッシュのための書き込みは、リフレッシュ許可期間内に行う必要があります。書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh” の書き込み時に行っています。このため “00h” の書き込みがリフレッシュ許可期間外であってもリフレッシュは正常に行われます。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは WDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

ダウンカウンタがリフレッシュされるタイミングは、WDTRR レジスタに “FFh” を書き込み後、カウントサイクル数で最大 4 サイクル必要となります。そのため、ダウンカウンタがアンダフローする 4 カウント前までに、WDTRR レジスタへの “FFh” 書き込みを完了してください。

図 29.6 にクロック分周比が PCLK/64 の場合の WDT リフレッシュ動作波形を示します。

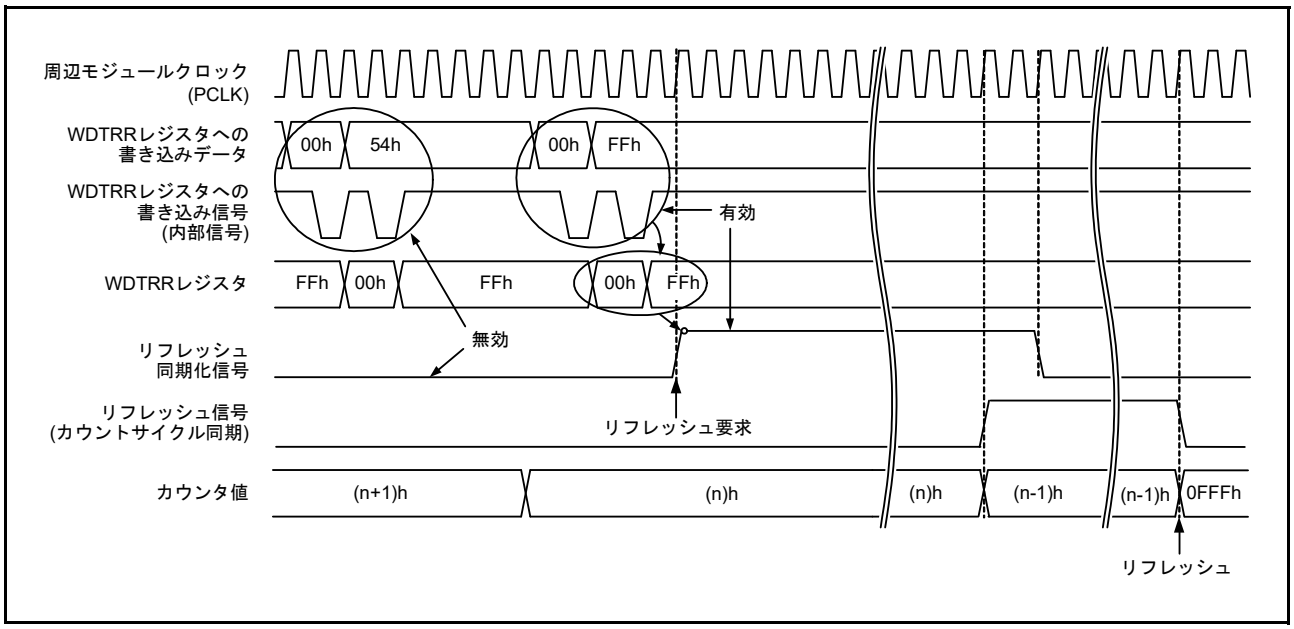


図 29.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

29.3.4 リセット出力

レジスタスタートモード時、WDTRCR.RSTIRQS ビットを “1” にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDTRSTIRQS ビットを “1” にした場合、ダウンカウンタのアンダフロー、またはリフレッシュエラーにより、1 カウントサイクル間リセットを出力します。

レジスタスタートモードでは、リセット出力後、ダウンカウンタは初期状態 (ALL“0”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット解除後、自動でダウンカウントを開始します。

29.3.5 割り込み要因

レジスタスタートモード時、WDTRCR.RSTIRQS ビットを “0” にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDTRSTIRQS ビットを “0” にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスカブル割り込み、または割り込みの両方に対応しています。詳細は、「14. 割り込みコントローラ (ICUC)」を参照してください。

表 29.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	ダウンカウンタのアンダフロー リフレッシュエラー	不可能	不可能

29.3.6 ダウンカウンタ値の読み出し

WDT はカウンタ値を WDTSR.CNTVAL[13:0] ビットに格納します。WDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、カウンタ値を確認することができます。

図 29.7 にクロック分周比が PCLK/64 の場合のダウンカウンタ値の読み出し処理を示します。

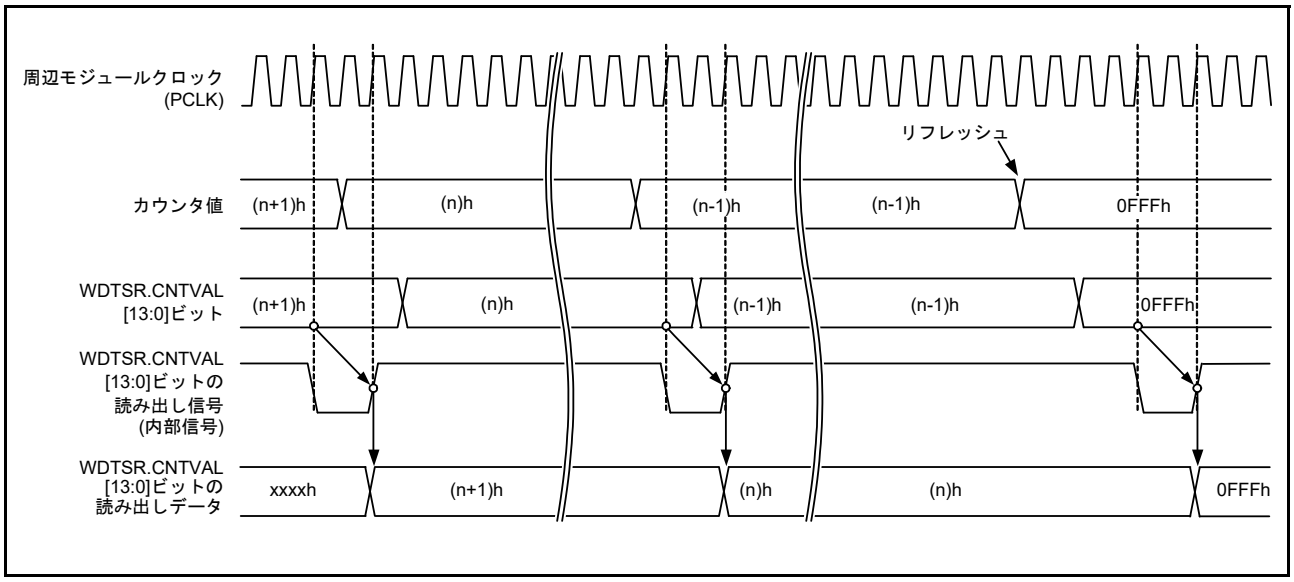


図 29.7 WDT ダウンカウンタ値の読み出し処理
(WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

29.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

表 29.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、WDT 動作中は変更しないでください。

OFS0 レジスタについては、「7.2.3 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 29.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモード時有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS

30. 独立ウォッチドッグタイマ (IWDTa)

本章に記載している PCLK とは PCLKB を指します。

30.1 概要

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースは IWDT 専用クロック (IWDTCLK) を分周したもの (PCLK の影響を受けない)
- スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または、全モジュールクロックストップモードに遷移する場合に、カウンタを停止しない選択が可能 (IWDTCSTPR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

表 30.1 に IWDT の仕様を、図 30.1 に IWDT のブロック図を示します。

表30.1 IWDTの仕様

項目	内容
カウントソース(注1)	IWDT専用クロック(IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	• オートスタートモード：リセット解除後、自動的にカウント開始 • レジスタスタートモード：リフレッシュ動作(IWDTRRレジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	• リセット • 低消費電力状態(レジスタ設定による(注2)) • アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)
リセット出力要因	• ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	• ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
カウンタ値の読み出し	IWDTSRレジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能(出力)	• ダウンカウンタのアンダフローイベント出力 • リフレッシュエラーイベント出力
出力信号(内部信号)	• リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード(オプション機能選択レジスタ0(OFS0)制御)	• リセット後のクロック分周比の選択(OFS0.IWDTCKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択(OFS0.IWDTTOPS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択(OFS0.IWDTRPSS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択(OFS0.IWDTRPES[1:0]ビット) • リセット出力、または割り込み要求出力の選択(OFS0.IWDTRSTIRQSビット) • スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択(OFS0.IWDTSLCSTPビット)
レジスタスタートモード(IWDTレジスタ制御)	• リフレッシュ動作後のクロック分周比の選択(IWDTCR.CKS[3:0]ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択(IWDTCR.TOPS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択(IWDTCR.RPSS[1:0]ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択(IWDTCR.RPES[1:0]ビット) • リセット出力、または割り込み要求出力の選択(IWDTRCR.RSTIRQSビット) • スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択(IWDTCSTPR.SLCSTPビット)

注1. 周辺モジュールクロック周波数(PCLK)≧4 × (カウントソースの分周後周波数)となるようにしてください。
注2. オートスタートモード時、OFS0.IWDTSLCSTPビットが“1”の場合、レジスタスタートモード時、IWDTCSTPR.SLCSTPビットが“1”の場合。

IWDT 使用時は、周辺モジュールクロック (PCLK) が停止した場合に備え、IWDT 専用クロック (IWDTCLK) が必要です。バスインタフェース部とレジスタ部は PCLK で動作し、14 ビットのカウンタと制御回路は IWDTCLK で動作します。

図 30.1 に IWDT のブロック図を示します。

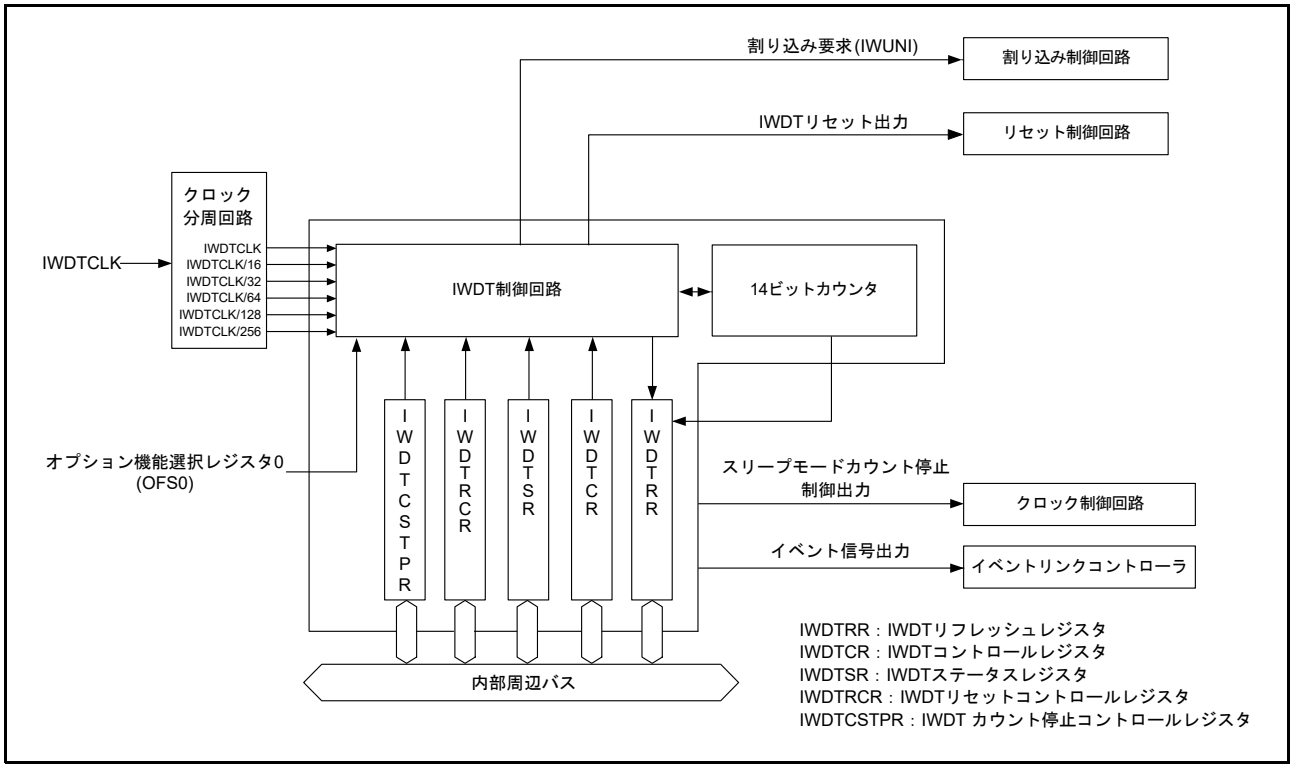


図 30.1 IWDT のブロック図

30.2 レジスタの説明

30.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDT.IWDTRR 0008 8030h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDTRR レジスタは、IWDT のカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む (リフレッシュ動作) ことにより IWDT のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDTTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h” を書き込んだ場合は “00h” が、“00h” 以外の値を書き込んだ場合は “FFh” となります。

リフレッシュ動作の詳細については、「30.3.3 リフレッシュ動作」を参照してください。

30.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス IWDT.IWDTCR 0008 8032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0：1024サイクル(03FFh) 0 1：4096サイクル(0FFFh) 1 0：8192サイクル(1FFFh) 1 1：16384サイクル(3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、「30.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「30.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 30.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表30.2　タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	16分周	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	32分周	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	64分周	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	128分周	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	256分周	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 /16 分周 /32 分周 /64 分周 /128 分周 /256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 1024 ～ 4194304 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 30.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウンタ値を示します。

表30.3　タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

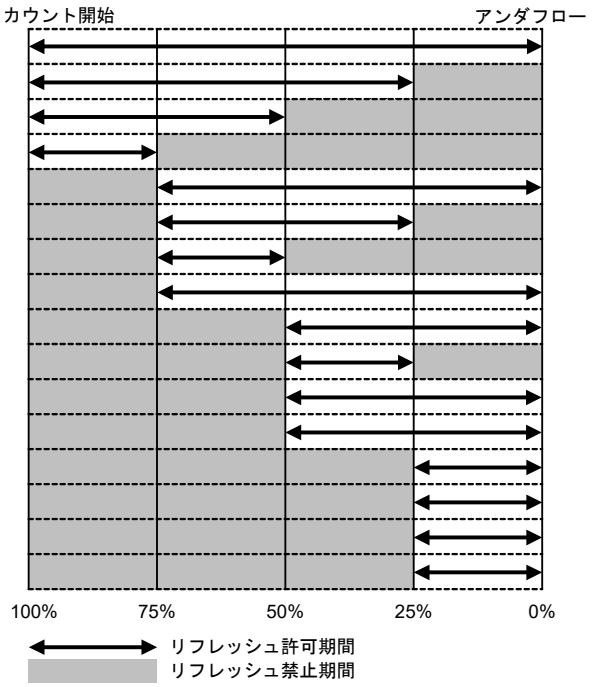
TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 30.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始 (%)	終了 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注.　「ウィンドウ終了」≧「ウィンドウ開始」設定を行った場合、「ウィンドウ終了」設定は0%になります。

図 30.2　RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

30.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 0008 8034h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REFEF	UNDFF	CNTVAL[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFF	アンダフローフラグ	0：アンダフローなし 1：アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0：リフレッシュエラーなし 1：リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

UNDFF フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が “1” のとき、カウンタはアンダフローが発生した状態です。読み出した値が “0” のとき、アンダフローは発生していません。

値を “0” にするには、UNDFF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が “1” のとき、リフレッシュエラーが発生した状態です。読み出した値が “0” のとき、リフレッシュエラーは発生していません。

値を “0” にするには、REFEF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

30.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス IWDT.IWDTRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求、または割り込み要求出力を許可 1：リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、「30.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「30.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

30.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSTPR)

アドレス IWDT.IWDTCSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCSTP	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止有効	R/W

低消費電力状態時、IWDT のカウンタを停止させるかどうかを設定するレジスタです。なお、IWDTCSTPR レジスタへの書き込みには制限があります。詳細については、「30.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「30.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止を選択します。

30.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「30.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

30.3 動作説明

30.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットで行います。

OFS0.IWDTSTRT ビットが “1” (レジスタスタートモード) の場合、IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタの設定が有効となり、IWDTRR レジスタへのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが “0” (オートスタートモード) の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

30.3.1.1 レジスタスタートモード

OFS0.IWDTSTRT ビットが “1” の場合、レジスタスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタが有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力 / 割り込み要求出力、また IWDTCSTPR レジスタに低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でカウンタに IWDTCR.TOPS[1:0] ビットで選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 / 割り込み要求 (IWUNI) を出力します。IWDTRCR.RSTIRQS ビットで、リセット出力、または割り込み要求出力のいずれかを選択します。

図 30.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.IWDTSTRT = 1)
- リセット出力許可 (IWDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (IWDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (IWDTCR.RPES[1:0] = 10b)

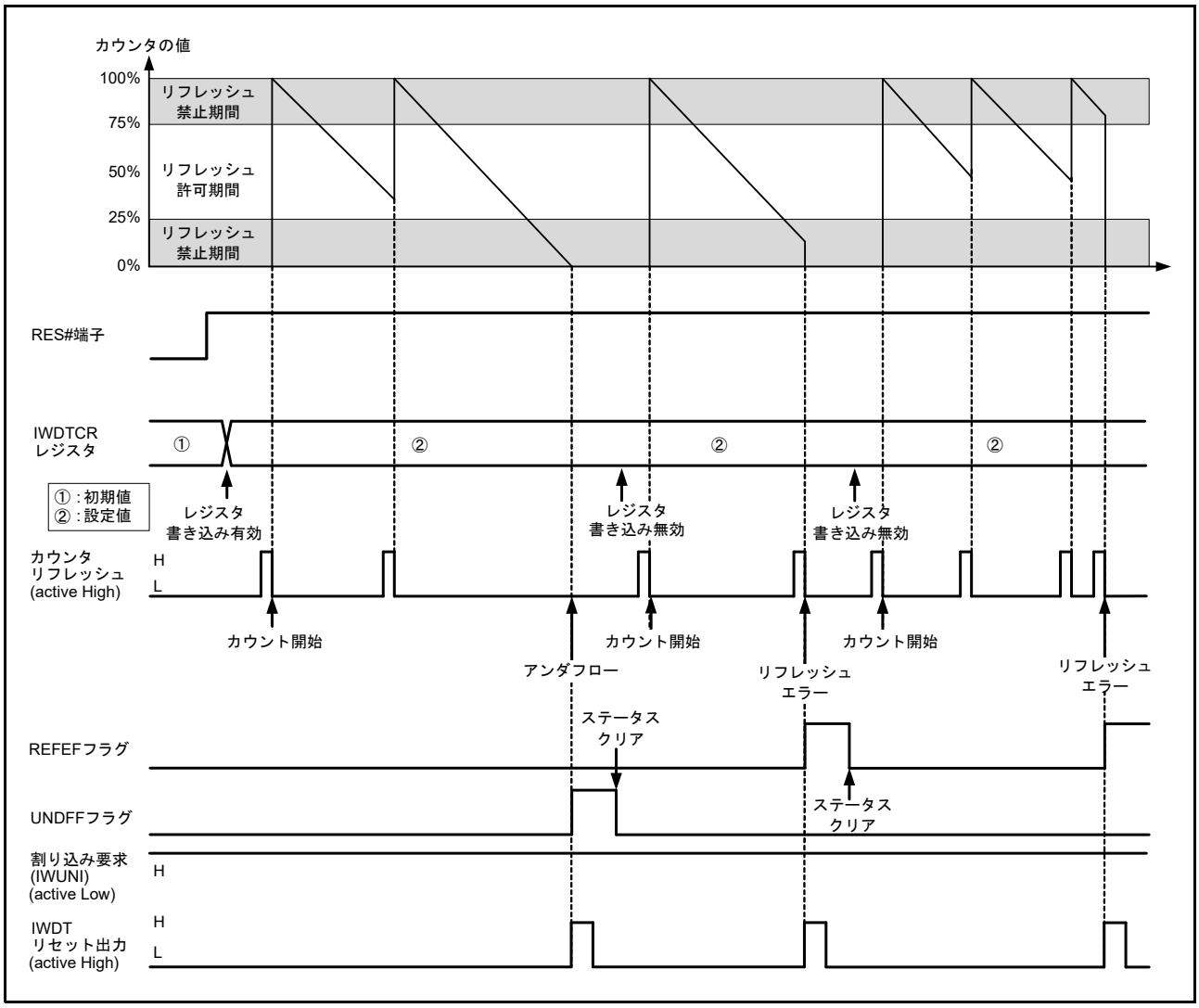


図 30.3　レジスタスタートモード動作例

30.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットが “0” の場合、オートスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタが無効となります。

また、リセット期間中に OFS0 レジスタの値を使ってクロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、リセット出力 / 割り込み要求出力、また低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定が行われます。その後、リセット解除でカウンタに OFS0.IWDTTOPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 / 割り込み要求 (IWUNI) を出力します。リセットまたはノンマスカブル割り込み要求 / 割り込み要求 (IWUNI) が発生後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。OFS0.IWDTRSTIRQS ビットで、リセット出力、または割り込み要求出力のいずれかを選択します。

図 30.4 に以下の条件での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- ノンマスカブル割り込み要求出力許可 (OFS0.IWDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)

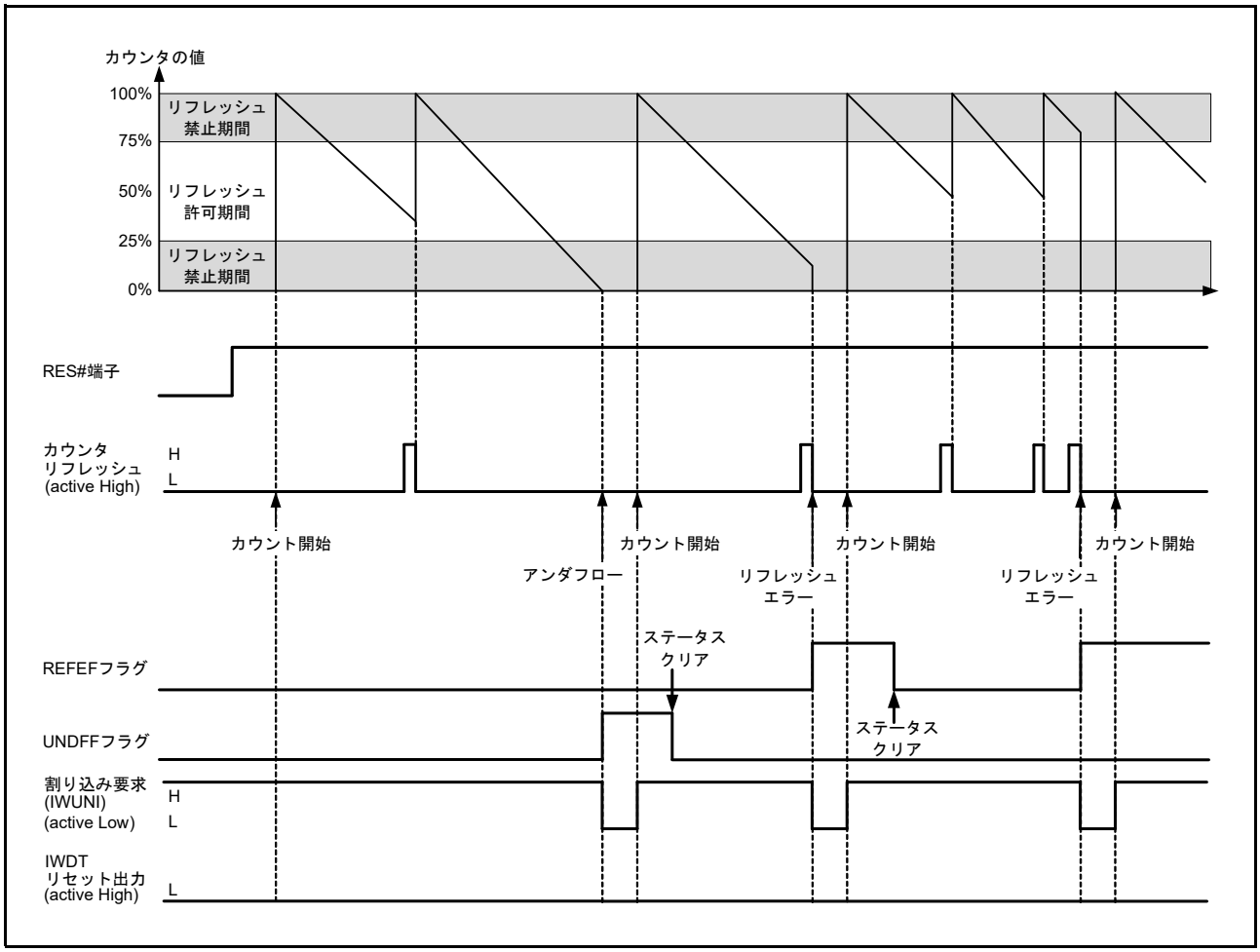


図 30.4　オートスタートモード動作例

30.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御

IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタへの書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR レジスタ、IWDTRCR レジスタ、または IWDTCSTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が “1” となり、以後 IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 30.5 に IWDTCR レジスタ書き込み制御波形を示します。

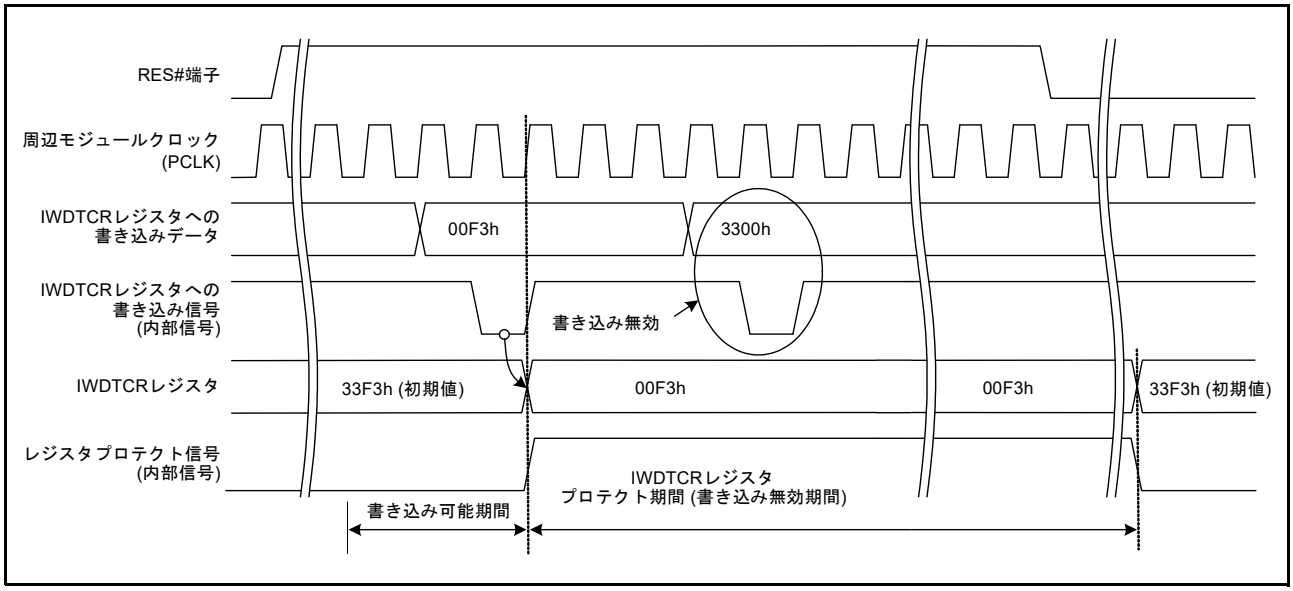


図 30.5 IWDTCR レジスタ書き込み制御波形

30.3.3 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始 (リフレッシュによるカウント開始) を行うには、IWDTRR レジスタへの “00h” 書き込みに続けて “FFh” 書き込みを行います。“00h” 書き込み後に “FFh” 以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ “00h” → “FFh” の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1 回目) → “00h” (2 回目) の書き込みを行った場合でも、その後 “FFh” を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h” (n-1 回目) → “00h” (n 回目) → “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h” 以前の書き込みが “00h” 以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの “00h” 書き込みと “FFh” 書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの “00h” の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの “FFh” の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに “FFh” を書き込み後、カウントサイクル数で最大 4 サイクル必要となります (1 サイクル間の IWDT 専用クロック (IWDTCLK) 数は、IWDTCR.CKS[3:0] ビットの設定値により異なります)。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはカウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの “FFh” 書き込みを完了してください。カウンタの値は IWDTSR.CNTVAL[13:0] ビットで確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が “1FFFh” とした場合、IWDTRR レジスタへの “00h” の書き込みが “1FFFh” より前 (たとえば “2002h”) であっても、IWDTSR.CNTVAL[13:0] ビットの値が “1FFFh” になってから、IWDTRR レジスタへ “FFh” を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が “1FFFh” とした場合、IWDTRR レジスタへ “00h” → “FFh” を書き込み直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して “2003h” (“1FFFh” の 4 カウント前) 以上であればリフレッシュを行います。
- “0000h” までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合 IWDTRR レジスタへ “00h” → “FFh” を書き込み直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して “0003h” (アンダフローの 4 カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 30.6 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

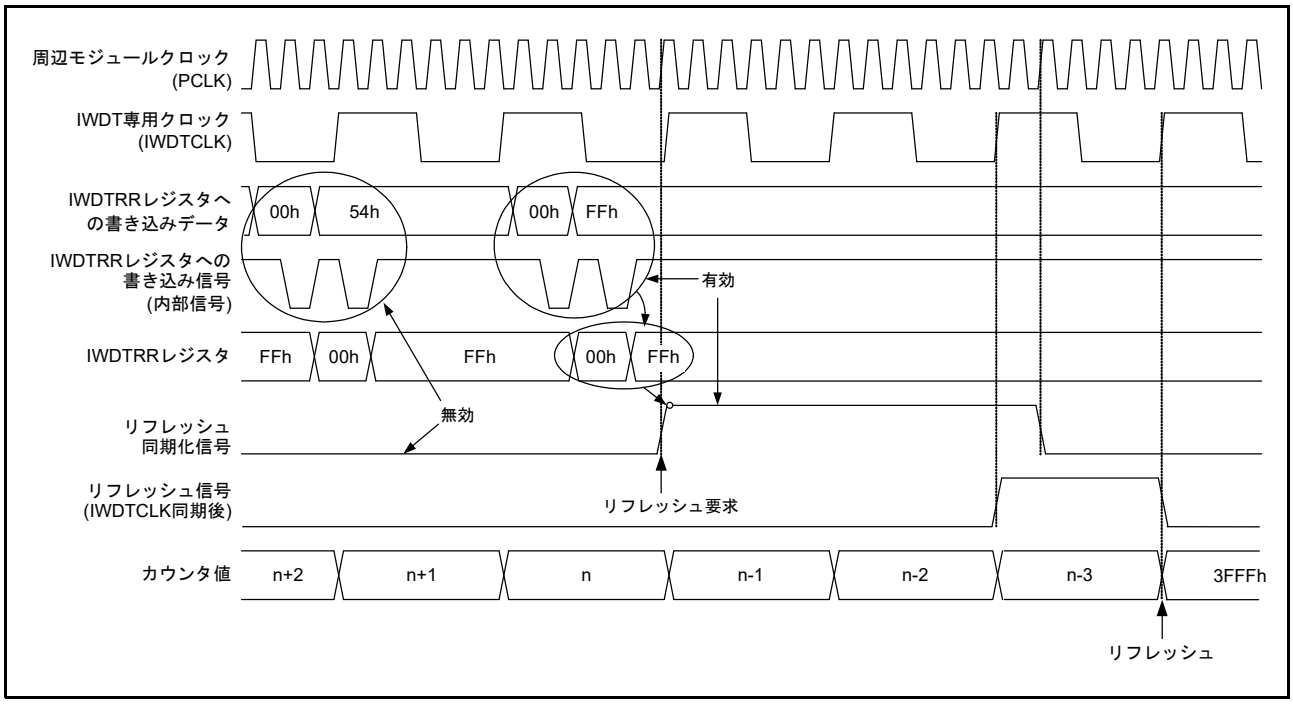


図 30.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

30.3.4 ステータスフラグ

IWDTSR.REFEF フラグ、IWDTSR.UNDFF フラグは、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDFF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を “0” にするには “0” を書き込んでください。“1” の書き込みは無効です。

各フラグは、“0” にしなくても動作に影響を与えません。“0” にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに “0” を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLK 2 クロック必要です。

30.3.5 リセット出力

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを “1” にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDTRSTIRQS ビットを “1” にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

30.3.6 割り込み要因

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを “0” にした場合，またはオートスタートモード時、OFS0.IWDTRSTIRQS ビットを “0” にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (IWUNI) が発生します。本割り込みはノンマスカブル割り込みまたはマスカブル割り込みとして使用できます。詳細は、「14. 割り込みコントローラ (ICUC)」を参照してください。

表 30.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
IWUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

30.3.7 カウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を周辺モジュールクロック (PCLK) で同期化し、IWDTSR.CNTVAL[13:0] ビットに格納します。IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLK で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 30.7 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT カウンタ値の読み出し処理を示します。

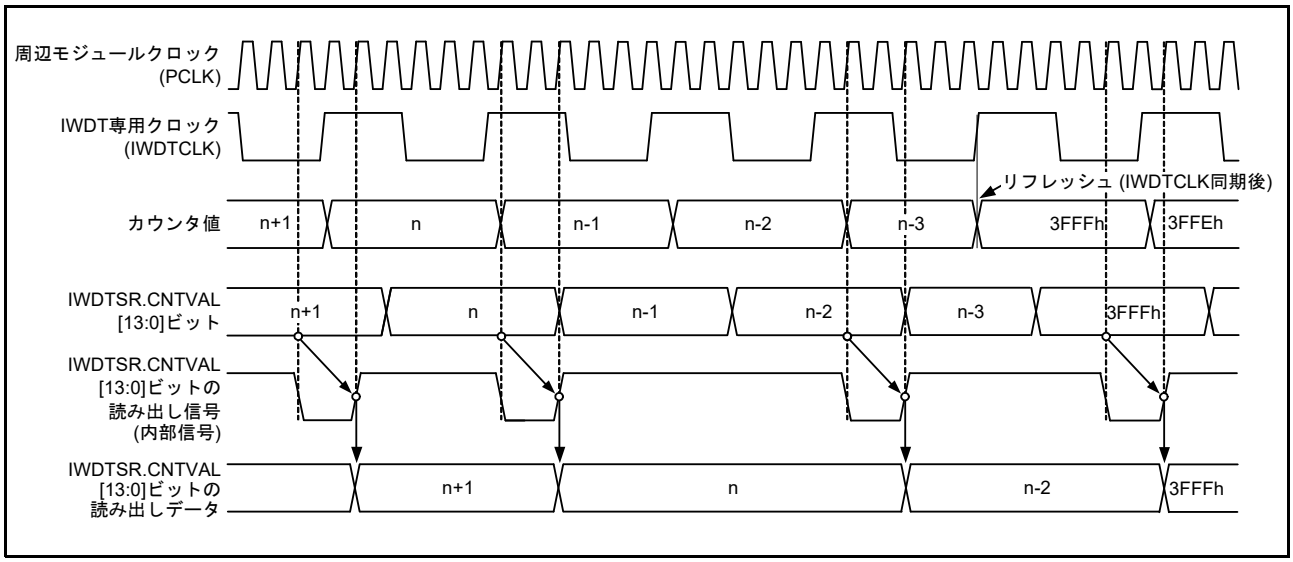


図 30.7 IWDT カウンタ値の読み出し処理
(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

30.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 30.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、IWDT 動作中は変更しないでください。

OFS0 レジスタについては、「7.2.3 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 30.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDTRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDTRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDTRSTIRQS	IWDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

30.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) は IWDT が生成する割り込み要求をイベント信号として使用します。IWDT が割り込み要求を出力すると、あらかじめ設定したモジュールに対してイベントが発生します。カウンタのアンダフロー、およびリフレッシュエラーによりイベント信号を出力します。

レジスタスタートモード時の IWDTRCR.RSTIRQS ビット、もしくはオートスタートモード時の OFS0.IWDTRSTIRQS ビットの設定に関わらず、イベント信号を出力します。また、IWDTSR.REFEF フラグ、または IWDTSR.UNDFF フラグが、“1” の状態で、次の割り込み要因が発生した場合でもイベント信号出力が可能です。

詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

30.5 使用上の注意事項

30.5.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

30.5.2 クロック分周比の設定

周辺モジュールクロック周波数 (PCLK) ≧ 4 × (カウントソースの分周後周波数) となるようにしてください。

31. USB2.0FS ホスト / ファンクションモジュール (USBb)

31.1 概要

本 MCU は、USB2.0FS ホスト / ファンクションモジュール (USB0) を内蔵しています。

USB は、ホストコントローラとファンクションコントローラを備えた USB コントローラです。

ホストコントローラと、ファンクションコントローラは、USB (Universal Serial Bus) 規格 2.0 のフルスピードおよびロースピード転送 (ホストコントローラのみ) に対応します。また、USB は USB トランシーバを内蔵し、USB 規格 2.0 で定義されている全転送タイプに対応しています。

データ転送用にバッファメモリを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1 ～ 9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

表 31.1 に USB の仕様を示します。

表31.1　USBの仕様

項目	内容
特長	• USB2.0に対応したUDC (USB Device Controller)およびトランシーバを内蔵 ホストコントローラ機能/ファンクションコントローラ機能/OTG (On-The-Go)に対応(1チャネル) • ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 • セルフパワーモードおよびバスパワーモードを選択可能
	ホストコントローラ機能選択時 • フルスピード転送(12 Mbps)およびロースピード転送(1.5 Mbps)に対応 • SOF、パケット送信のスケジュールを自動化 • アイソクロナス転送、インタラプト転送の転送インターバル設定機能 • ハブを1段経由し、複数の周辺デバイスと接続し通信が可能
	ファンクションコントローラ機能選択時 • フルスピード転送(12 Mbps) (注1)に対応 • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESSリクエストに対する自動応答機能 • SOF補完機能
通信データ転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
パイプコンフィギュレーション	• USB通信用バッファメモリを内蔵 • 最大10本のパイプを選択可能(デフォルトコントロールパイプを含む) • パイプ1～9は任意のエンドポイント番号を割り付け可能
	各パイプの設定可能な転送条件 • パイプ0：コントロール転送、64バイトシングルバッファ • パイプ1、2：バルク転送時、64バイトダブルバッファ指定可能 アイソクロナス転送時、256バイトダブルバッファ指定可能 • パイプ3～5：バルク転送、64バイトダブルバッファ指定可能 • パイプ6～9：インタラプト転送、64バイトシングルバッファ
その他の機能	• トランザクションカウントによる受信トランスファ終了機能 • BRDY割り込みイベント通知タイミング変更機能(BFRE) • DnFIFOポート(n = 0, 1)で指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) • トランスファ終了による応答PIDのNAK設定機能(SHTNAK) • D+/D–のプルアップ抵抗、プルダウン抵抗をチップに内蔵
消費電力低減機能	モジュールストップ状態への遷移が可能

注1.　ファンクションコントローラ機能選択時、ロースピード転送(1.5 Mbps)に対応していません。

図 31.1 に USB のブロック図を示します。

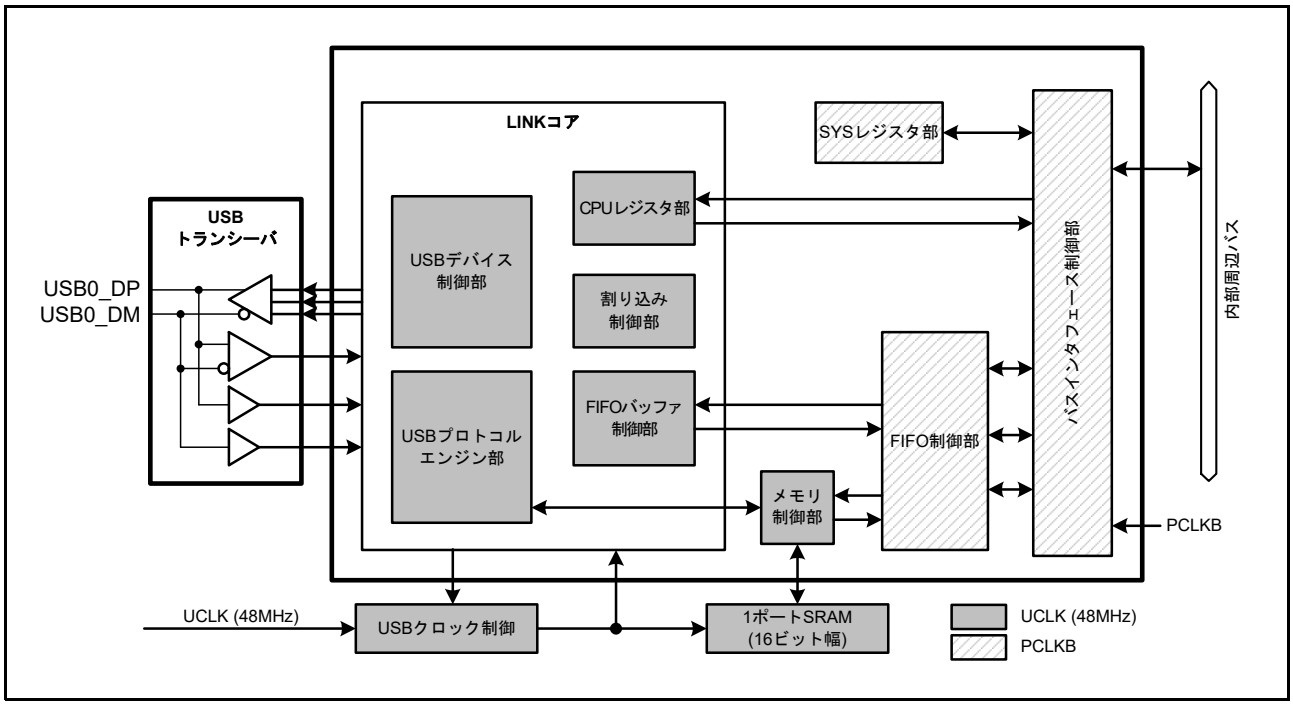


図 31.1　　USB のブロック図

表 31.2 に USB の入出力端子を示します。

表31.2　　USBの入出力端子

ポート	端子名	入出力	機能
USB0	USB0_DP	入出力	USB内蔵トランシーバD+入出力端子。USBバスのD+端子に接続してください
	USB0_DM	入出力	USB内蔵トランシーバD–入出力端子。USBバスのD–端子に接続してください
	USB0_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続/切断を検出することができます
	USB0_EXICEN	出力	外部電源(OTG)チップのローパワー制御信号
	USB0_VBUSEN	出力	外部電源チップへのVBUS (5 V)の供給許可信号
	USB0_OVRCURA USB0_OVRCURB	入力	外部オーバカレント検出信号を接続します。また、OTG電源チップとの接続時にはVBUSコンパレータ信号を接続します
	USB0_ID	入力	OTG動作時MicroABコネクタのID入力信号を接続します
共通	VCC_USB	入力	USB用電源端子
	VSS_USB	入力	USB用グランド端子

31.2 レジスタの説明

31.2.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

アドレス USB0.SYSCFG 000A 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKE	—	—	—	DCFM	DRPD	DPRPU	—	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USB動作許可ビット	0：USBの動作禁止 1：USBの動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DPRPU	D+ライン抵抗制御ビット	0：プルアップ禁止 1：プルアップ許可	R/W
b5	DRPD	D+/D–ライン抵抗制御ビット	0：プルダウン禁止 1：プルダウン許可	R/W
b6	DCFM	コントローラ機能選択ビット	0：ファンクションコントローラ機能を選択 1：ホストコントローラ機能を選択	R/W
b9-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	SCKE	USBクロック許可ビット(注1)	0：USBへのクロック供給停止 1：USBへのクロック供給許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCKEビットに“1”を書いた後、SCKEビットを読み出し、“1”となっていることを確認してください。

USBE ビット（USB 動作許可ビット）

USB の動作禁止 / 許可を指定します。

USBE ビットを “1” から “0” に変更したときに初期化されるレジスタとビットを表 31.3 に示します。

USBE ビットの変更は、SCKE ビットが “1” のときに行ってください。

ホストコントローラ機能選択時は、DRPD ビットを “1” にした後、SYSSTS0.LNST[1:0] フラグのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USBE ビットを “1” にしてください。

表31.3 USBEビットへの“0”書き込みにより初期化されるレジスタ

選択機能	レジスタ	ビット	備考
ファンクションコントローラ機能	SYSSTS0	LNST[1:0]	ホストコントローラ機能選択時は値保持
	DVSTCTR0	RHST[2:0]	
	INTSTS0	DVSQ[2:0]	ホストコントローラ機能選択時は値保持
	USBREQ	BREQUEST[7:0], BMREQUESTTYPE[7:0]	ホストコントローラ機能選択時は値保持
	USBVAL	—	ホストコントローラ機能選択時は値保持
	USBINDX	—	ホストコントローラ機能選択時は値保持
	USBLENG	—	ホストコントローラ機能選択時は値保持
ホストコントローラ機能	DVSTCTR0	RHST[2:0]	
	FRMNUM	FRNM[10:0]	ファンクションコントローラ機能選択時は値保持

DPRPU ビット（D+ ライン抵抗制御ビット）

ファンクションコントローラ機能選択時、D+ ラインのプルアップの禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に DPRPU ビットを “1” にすると、USB は D+ ラインをプルアップし、USB ホストに対してアタッチを通知することができます。また、DPRPU ビットを “1” から “0” に変更することにより、USB は D+ ラインをプルアップしないため、USB ホストに対してデタッチしたと見せることができます。

DPRPU ビットへの “1” 書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0” にしてください。

DRPD ビット（D+/D– ライン抵抗制御ビット）

ホストコントローラ機能選択時、D+/D– ラインのプルダウンの禁止 / 許可を指定します。

DRPD ビットへの “1” 書き込みは、ホストコントローラ機能選択時に行ってください。ファンクションコントローラ機能選択時は、“0” にしてください。

DCFM ビット（コントローラ機能選択ビット）

USB の機能を選択します。

DCFM ビットの変更は、DPRPU ビットが “0”、かつ DRPD ビットが “0” のときに行ってください。

SCKE ビット（USB クロック許可ビット）

USB への 48 MHz クロック供給の停止 / 許可を指定します。

SCKE ビットが “0” の場合、SYSCFG レジスタのみ、読み出し / 書き込みができます。

USB 関連の他のレジスタは、SCKE ビットが “0” の場合には、読み出し / 書き込みはできません。

31.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)

アドレス USB0.SYSSTS0 000A 0004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVCMON[1:0]		—	—	—	—	—	—	—	HTACT	—	—	—	IDMON	LNST[1:0]	
リセット後の値	0 (注1)	0 (注1)	0	0	0	0	0	0	0	0	0	0	0	0 (注1)	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USBデータラインステータスモニタフラグ	表31.4を参照してください	R
b2	IDMON	ID入力端子モニタフラグ	0：USB0_ID端子がLow 1：USB0_ID端子がHigh	R
b5-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6	HTACT	USBホストシーケンサステータスモニタフラグ	0：USBのホストシーケンサが完全に停止している 1：USBのホストシーケンサが完全に停止していない	R
b13-b7	—	予約ビット	読むと“0”が読み出されます。書き込みは無効になります	R
b15-b14	OVCMON [1:0]	OVRCURA/OVRCURB入力端子モニタフラグ	OVCMON[1]フラグにUSB0_OVRCURA端子の状態が表示されます OVCMON[0]フラグにUSB0_OVRCURB端子の状態が表示されます	R

注1. USB0_OVRCURA/USB0_OVRCURB端子およびUSB0_ID端子の状態に依存します。

LNST[1:0] フラグ（USB データラインステータスモニタフラグ）

USB データバスライン（D+ ライン、D– ライン）のステータスが表示されます。詳細は表 31.4 を参照してください。

LNST[1:0] フラグの参照は、ファンクションコントローラ機能選択時にはアタッチ処理（SYSCFG.DPRPU ビットを “1” にする）以後、ホストコントローラ機能選択時には、プルダウン許可（SYSCFG.DRPD ビットを “1” にする）以後に行ってください。

HTACT フラグ（USB ホストシーケンサステータスモニタフラグ）

USB のホストシーケンサが完全に停止しているとき、HTACT フラグは “0” になります。

OVCMON[1:0] フラグ（OVRCURA/OVRCURB 入力端子モニタフラグ）

外部電源チップからのオーバカレントのステータスが表示されます。

表31.4 USBデータバスライン(D+ライン、D–ライン)のステータス

LNST[1:0]フラグ	ロースピード動作時 (ホストコントローラ機能選択時のみ)	フルスピード動作時
00b	SE0	SE0
01b	K-State	J-State
10b	J-State	K-State
11b	SE1	SE1

31.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス USB0.DVSTCTR0 000A 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスフラグ	● ホストコントローラ機能選択時 b2 b0 0 0 0：通信速度不定(パワード時あるいは非接続時) 1 x x：USBバスリセット処理中 0 0 1：ロースピード接続時 0 1 0：フルスピード接続時 ● ファンクションコントローラ機能選択時 b2 b0 0 0 0：通信速度不定 0 0 1：USBバスリセット処理中 0 1 0：USBバスリセット処理中またはフルスピード接続時	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	UACT	USBバス許可ビット	0：ダウンポート動作禁止(SOF送出禁止) 1：ダウンポート動作許可(SOF送出許可)	R/W
b5	RESUME	レジューム出力ビット	0：レジューム信号を出力しない 1：レジューム信号を出力する	R/W
b6	USBRST	USBバスリセット出力ビット	0：USBバスリセット信号を出力しない 1：USBバスリセット信号を出力する	R/W
b7	RWUPE	ウェイクアップ検出許可ビット	0：ダウンポートリモートウェイクアップ禁止 1：ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力ビット	0：リモートウェイクアップ信号を出力しない 1：リモートウェイクアップ信号を出力する	R/W
b9	VBUSEN	VBUSEN出力端子制御ビット	0：USB0_VBUSEN端子からLowを出力する 1：USB0_VBUSEN端子からHighを出力する	R/W
b10	EXICEN	EXICEN出力端子制御ビット	0：USB0_EXICEN端子からLowを出力する 1：USB0_EXICEN端子からHighを出力する	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル(HNP)制御ビット	OTGにて使用時に、BデバイスからAデバイスに切り替えるときに使用します。HNPBTOAビットが“1”であれば、内部ファンクション制御はSYSCFG.DPRPU = 0またはSYSCFG.DCFM = 1にしてもHNP処理が終了するまでサスペンド状態を維持します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x：Don’t care

RHST[2:0] フラグ（USB バスリセットステータスフラグ）

USB バスリセットの状態を表示します。

ホストコントローラ機能選択時に、ソフトウェアで USBRST ビットに “1” を書いた後、RHST[2:0] フラグは “100b” を示します。

ソフトウェアで USBRST ビットに “0” を書き、USB が SE0 ドライブを終了した時点で、USB は RHST[2:0] フラグの値を確定します。

ファンクションコントローラ機能選択時に、USB が USB バスリセットを検出すると、RHST[2:0] フラグは “010b” (DPRPU = 1 にてアタッチ時) を示し、DVST 割り込みが発生します。

UACT ビット（USB バス許可ビット）

ホストコントローラ機能選択時に、USB バス動作許可（USB バス上への SOF パケットの送出制御）を行います。

UACT ビットを “1” にすると、USB は USB ポートを USB バス許可状態にし、SOF パケット出力およびデータ送受信を行います。

ソフトウェアで UACT ビットに “1” を書いてから、1 フレーム時間以内に SOF パケット出力を開始します。

UACT ビットを “0” にした場合、USB は SOF パケット出力後アイドル状態に遷移します。

以下の場合に、USB は UACT ビットを “0” にします。

- 通信中（UACT ビットが “1” のとき）に DTCH 割り込みを検出した場合
- 通信中（UACT ビットが “1” のとき）に EOFERR 割り込みを検出した場合

UACT ビットに “1” を書くときは、USB バスリセット処理終了時（USBRST ビットへの “0” 書き込み）、または、サスペンドからのレジューム処理終了時（RESUME ビットへの “0” 書き込み）のいずれかのタイミングで行ってください。

ファンクションコントローラ機能選択時は、“0” にしてください。

RESUME ビット（レジューム出力ビット）

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUME ビットを “1” にすると、USB はポートを K-State ドライブし、レジューム出力を行います。

RWUPE = 1 かつ USB サスペンド状態でリモートウェイクアップ信号を検出したときに、USB は RESUME ビットを “1” にします。

USB は、RESUME ビットが “1” の期間（ソフトウェアで RESUME ビットに “0” を書き込むまで）K-State 出力を継続します。RESUME ビットが “1” の期間（レジューム期間）は USB 規格 2.0 に準拠した時間を確保してください。

RESUME ビットへの “1” 書き込みは、サスペンド中にのみ行ってください。

レジューム終了（RESUME ビットへの “0” 書き込み）と同時に UACT ビットに “1” を書いてください。

ファンクションコントローラ機能選択時は、“0” にしてください。

USBRST ビット（USB バスリセット出力ビット）

ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。

ホストコントローラ機能選択時、USBRST ビットを “1” にすると、USB は USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。

USB は、USBRST ビットが “1” の期間（ソフトウェアで USBRST ビットに “0” を書くまで）SE0 出力を継続します。USBRST ビットが “1” の期間（USB バスリセット期間）は USB 規格 2.0 に準拠した時間を確保してください。

通信中（UACT ビットが “1”）またはレジューム中（RESUME ビットが “1”）に USBRST ビットに “1” を書いた場合、USB は UACT ビットが “0” かつ RESUME ビットが “0” の状態になるまで USB バスリセットを開始しません。

USB バスリセット終了（USBRST ビットへの “0” 書き込み）と同時に UACT ビットに “1” を書いてください。

ファンクションコントローラ機能選択時は、“0” にしてください。

RWUPE ビット（ウェイクアップ検出許可ビット）

ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ（レジューム信号出力）の禁止 / 許可を指定します。

RWUPE ビットを “1” にすると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号（2.5 µs 間の K-State）を検出し、レジューム処理（K-State のドライブ）を行います。

RWUPE ビットを “0” にした場合、USB が USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号（K-State）を検出しても無視します。

RWUPE ビットを “1” にしたときには、サスペンド中であっても内部クロックを停止しないでください（SYSCFG.SCKE ビットを “1” にしてください）。

ファンクションコントローラ機能選択時は、“0” にしてください。

WKUP ビット（ウェイクアップ出力ビット）

ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ（レジューム信号出力）禁止 / 許可を指定します。

USB は、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットを “1” にすると、USB は 10 ms の K-State を出力した後、WKUP ビットを “0” にします。

USB 規格 2.0 では、リモートウェイクアップ信号の送信までに最短 5 ms の USB バスアイドル状態を保持する必要があります。このため、USB は、サスペンド状態を検出した直後に WKUP ビットに “1” を書いて、2 ms 待ってから K-State を出力します。

WKUP ビットへの “1” 書き込みは、デバイスステートがサスペンド（INTSTS0.DVSQ[2:0] フラグが “1xxb”）であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。WKUP ビットを “1” にする場合は、サスペンド中であっても内部クロックを停止しないでください（SYSCFG.SCKE ビットが “1” の状態で WKUP ビットに “1” を書いてください）。

ホストコントローラ機能選択時は、“0” を書いてください。

HNPBTOA ビット（ホストネゴシエーションプロトコル (HNP) 制御ビット）

OTG にて使用時に、B デバイスから A デバイスに切り替えるときに使用します。HNPBTOA ビットが “1” であれば、内部ファンクション制御は SYSCFG.DPRPU ビットを “0” または SYSCFG.DCFM ビットを “1” にしても HNP 処理が終了するまでサスペンド状態を維持します。このとき、D+ の立ち下がりを検出しても、レジューム（RESM）割り込みは発生しません。

“1” にした後、ホストアタッチ（相手のプルアップ）検出または HNP 処理タイムアウト時にソフトウェアにて “0” を書き、HNP 処理を終了させます。

31.2.4 CFIFO ポートレジスタ (CFIFO)、D0FIFO ポートレジスタ (D0FIFO)、D1FIFO ポートレジスタ (D1FIFO)

(1) MBW ビットが “1” の場合

アドレス USB0.CFIFO 000A 0014h, USB0.D0FIFO 000A 0018h, USB0.D1FIFO 000A 001Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

(2) MBW ビットが “0” の場合

アドレス USB0.CFIFO.L 000A 0014h, USB0.D0FIFO.L 000A 0018h, USB0.D1FIFO.L 000A 001Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の 3 つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータの読み出し / 書き込みを行うポートレジスタ（CFIFO, D0FIFO, D1FIFO）以外に、FIFO ポートに割り当てるパイプを選択するポート選択レジスタ（CFIFOSEL, D0FIFOSEL, D1FIFOSEL）、ポートコントロールレジスタ（CFIFOCTR, D0FIFOCTR, D1FIFOCTR）で構成されています。

各 FIFO ポートには、以下の注意事項があります。

- DCP (コントロール転送) 用 FIFO バッファへのアクセスは、CFIFO ポートを通して行ってください。
- DMA/DTC転送によるFIFOバッファへのアクセスはD0FIFOあるいはD1FIFOポートを通して行ってください。
- CPU による D0FIFO あるいは D1FIFO ポートへのアクセスも可能です。
- FIFO ポート固有の機能を使用する場合は、ポート選択レジスタの CURPIPE[3:0] ビットに設定するパイプ番号（選択パイプ）を変更できません（DMA/DTC 転送機能使用時など）。
- 同一パイプを別々の FIFO ポートに割り当てないでください。
- FIFOバッファの状況には、アクセス権がCPU側にある場合とSerial Interface Engine (SIE)側にある場合の2種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からアクセスできません。

FIFO ポートビット

FIFO ポートビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。

FIFO ポートレジスタへのアクセスは、FIFO ポートコントロールレジスタ（CFIFOCTR, D0FIFOCTR, D1FIFOCTR）の FRDY フラグが “1” を示しているときのみ可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL, D0FIFOSEL, D1FIFOSEL）の MBW ビットの設定値により異なります。

MBW ビットが “1” (16 ビット幅) の場合は、MDE.MDE[2:0] ビットの値と、BIGEND ビット（CFIFOSEL.BIGEND, D0FIFOSEL.BIGEND, D1FIFOSEL.BIGEND）の設定値との関係により、RAM 上とデータ配置が変わる場合があります。16 ビットアクセス時のエンディアン動作を表 31.5 に示します。

なお、送信データ総数が奇数バイトの場合、最後のデータを書くときは下位バイトにバイトアクセスしてください。

MBW ビットが “0” (8 ビット幅) の場合は、下位バイトにバイトアクセスしてください。

表31.5　16ビットアクセス時のエンディアン動作表

MDE.MDE[2:0] ビット	CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット15～8	ビット7～0	備考
000b (ビッグエンディアン)	0 (リトルエンディアン)	N+1 番地のデータ	N 番地のデータ	バイト逆転あり
	1 (ビッグエンディアン)	N 番地のデータ	N+1 番地のデータ	
111b (リトルエンディアン)	0 (リトルエンディアン)	N+1 番地のデータ	N 番地のデータ	
	1 (ビッグエンディアン)	N 番地のデータ	N+1 番地のデータ	バイト逆転あり

31.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)、D0FIFO ポート選択レジスタ (D0FIFOSEL)、D1FIFO ポート選択レジスタ (D1FIFOSEL)

- CFIFOSEL

アドレス USB0.CFIFOSEL 000A 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	CFIFOポートアクセスパイプ指定ビット	b3 b0 0 0 0 0 : DCP (デフォルトコントロールパイプ) 0 0 0 1 : パイプ1 0 0 1 0 : パイプ2 0 0 1 1 : パイプ3 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 1 0 0 0 : パイプ8 1 0 0 1 : パイプ9 上記以外は設定しないでください	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ISEL	DCP選択時CFIFOポートアクセス方向ビット	0 : バッファメモリ読み出し選択 1 : バッファメモリ書き込み選択	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	CFIFOポートエンディアン制御ビット	0 : リトルエンディアン 1 : ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	CFIFOポートアクセスビット幅ビット	0 : 8ビット幅 1 : 16ビット幅	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	REW	バッファポインタリワインドビット	0 : バッファポインタリワインドしない 1 : バッファポインタリワインドする	R/W (注1)
b15	RCNT	リードカウントモードビット	0 : CFIFOの全受信データ読み出し終了時に CFIFOCTR.DTLN[8:0]フラグを“000h”にする (ダブルバッファの場合は一面のみ読み出し終了時) 1 : CFIFO受信データ読み出しごとに CFIFOCTR.DTLN[8:0]フラグをデクリメント	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットの設定が “0000b” の場合には、パイプ指定なしとなります。

なお、DMA/DTC 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット（CFIFO ポートアクセスパイプ指定ビット）

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

ISEL ビット（DCP 選択時 CFIFO ポートアクセス方向ビット）

選択パイプが DCP のときに、ISEL ビットを変更するときは、ISEL ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

ISEL ビットの設定は、CURPIPE[3:0] ビットの設定と同時に行ってください。

MBW ビット（CFIFO ポートアクセスビット幅ビット）

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、一度 CURPIPE[3:0] ビットに異なる値を設定してから、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。CURPIPE[3:0] ビットの変更手順は、CURPIPE[3:0] ビットの説明に従ってください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

REW ビット（バッファポインタリワインドビット）

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを “1” にすると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。

REW ビットを “1” にすることと CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを “1” にするときは、FRDY フラグが “1” であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

- D0FIFOSEL、D1FIFOSEL

アドレス　USB0.D0FIFOSEL 000A 0028h, USB0.D1FIFOSEL 000A 002Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	FIFOポートアクセスパイプ指定ビット	b3 b0 0 0 0 0 : DCP (デフォルトコントロールパイプ) 0 0 0 1 : パイプ1 0 0 1 0 : パイプ2 0 0 1 1 : パイプ3 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 1 0 0 0 : パイプ8 1 0 0 1 : パイプ9 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	FIFOポートエンディアン制御ビット	0 : リトルエンディアン 1 : ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	FIFOポートアクセスビット幅ビット	0 : 8ビット幅 1 : 16ビット幅	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DREQE	DMA/DTC転送要求許可ビット	0 : DMA/DTC転送要求禁止 1 : DMA/DTC転送要求許可	R/W
b13	DCLRM	選択パイプ読み出し後自動バッファメモリクリアモード	0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可	R/W
b14	REW	バッファポインタリワインドビット	0 : バッファポインタリワインドしない 1 : バッファポインタリワインドする	R/W (注1)
b15	RCNT	リードカウントモードビット	0 : DnFIFOの全受信データ読み出し終了時に DnFIFOCTR.DTLN[8:0]フラグを“000h”にする (ダブルバッファの場合は一面のみ読み出し終了時) 1 : DnFIFO受信データ読み出しごとに DnFIFOCTR.DTLN[8:0]フラグをデクリメント (n = 0, 1)	R/W

注1.　読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットを “0000b” にした場合には、パイプ指定なしとなります。

なお、DMA/DTC 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット（FIFO ポートアクセスパイプ指定ビット）

D0FIFO/D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

MBW ビット（FIFO ポートアクセスビット幅ビット）

D0FIFO ポート、D1FIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、一度 CURPIPE[3:0] ビットに異なる値を設定してから、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。CURPIPE[3:0] ビットの変更手順は、CURPIPE[3:0] ビットの説明に従ってください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

DREQE ビット（DMA/DTC 転送要求許可ビット）

DMA/DTC 転送要求発行の禁止 / 許可を指定します。

DMA/DTC 転送要求発行を許可する場合、CURPIPE[3:0] ビット設定後に DREQE ビットを “1” にしてください。

CURPIPE[3:0] ビットの設定を変更するときには、CURPIPE[3:0] ビットを “0” にした後で変更を行ってください。

DCLRM ビット（選択パイプ読み出し後自動バッファメモリクリアモード）

選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。

DCLRM ビットを “1” にした場合、選択パイプに割り当てた FIFO バッファが空の状態で Zero-Length packet を受信したとき、または PIPECFG.BFRE ビットを “1” にしたときにショートパケットを受信しデータ読み出しを完了時に、FIFO バッファへの BCLR ビットへの “1” 書き込みを USB が行います。

SOFCFG.BRDYM ビットを “1” にして USB を使用するときには、DCLRM ビットを “0” にしてください。

REW ビット（バッファポインタリワインドビット）

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを “1” にすると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。

REW ビットを “1” にすることと “1” の設定と CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを “1” にするときは、FRDY フラグが “1” であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントモードビット）

DnFIFOCTR.DTLN[8:0] フラグの読み出しモードを指定します。

PIPECFG.BFRE ビットを “1” にして DnFIFO にアクセスを行う場合は、RCNT ビットを “0” にしてください。

31.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR)、D0FIFO ポートコントロールレジスタ (D0FIFOCTR)、D1FIFO ポートコントロールレジスタ (D1FIFOCTR)

アドレス USB0.CFIFOCTR 000A 0022h, USB0.D0FIFOCTR 000A 002Ah, USB0.D1FIFOCTR 000A 002Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長表示フラグ	受信データ長が表示されます。ポート選択レジスタのRCNTビットの設定により、表示が異なります。詳細は下記DTLN[8:0]フラグの説明を参照してください	R
b12-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FRDY	FIFOポートレディフラグ	0：FIFOポートアクセス不可能 1：FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリアビット	0：何もしない 1：CPU側バッファメモリクリア	R/W (注1)
b15	BVAL	バッファメモリ有効ビット	0：無効 1：書き込み終了	R/W

注1. 読むと“0”が読めます。

CFIFOCTR、D0FIFOCTR、D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、D1FIFO レジスタに対応しています。

DTLN[8:0] フラグ（受信データ長表示フラグ）

受信データ長が表示されます。

FIFO バッファ読み出し中の DTLN[8:0] フラグの値は、DnFIFOSEL.RCNT ビット (n = 0, 1) の設定値により以下のように異なります。

- RCNT ビットが “0” のとき

CPU または DMAC/DTC が FIFO バッファ 1 面分の受信データを読み出し完了するまで、USB は受信データ長を DTLN[8:0] フラグに表示します。

PIPECFG.BFRE ビットが “1” のときには、読み出しが完了しても BCLR = 1 を行うまでは USB は受信データ長を保持します。

- RCNT ビットが “1” のとき

読み出しごとに USB は DTLN[8:0] フラグの表示をダウンカウントします（MBW ビットが “0” のときは 1 ずつ、MBW ビットが “1” のときは 2 ずつダウンカウント）。

1 面分の FIFO バッファ読み出し完了時に、USB は DTLN[8:0] フラグを “0” にします。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を FIFO ポートコントロールレジスタの DTLN[8:0] フラグに表示します。

FRDY フラグ（FIFO ポートレディフラグ）

CPU または DMAC/DTC から FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合には、USB は FRDY フラグを “1” にしますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR ビットを “1” にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- 選択パイプにアサインされている FIFO バッファが空の状態で Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが “1” のときに、ショートパケットを受信し、データ読み出しを完了した場合

BCLR ビット（CPU バッファクリアビット）

選択パイプの CPU 側の FIFO バッファをクリアする場合に “1” にします。

選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能な状態である場合でも、USB は CPU 側の FIFO バッファのみをクリアします。

選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR ビットを “1” にすると、USB は FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の DCPCTR.PID[1:0] ビットを “00b” (NAK) に設定した後で BCLR ビットを “1” にしてください。

選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に “1” を書いた場合には、USB はそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの “1” 書き込みは、USB が FIFO ポートコントロールの FRDY フラグが “1” を示しているときに実施してください。

BVAL ビット（バッファメモリ有効ビット）

CURPIPE[3:0] ビットに指定したパイプ（選択パイプ）の CPU 側の FIFO バッファの書き込み終了時に “1” にします。

選択パイプが送信方向のとき、以下の場合に BVAL ビットを “1” にしてください。USB は CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

- ショートパケットの送信を行いたいとき、データ書き込み終了時に BVAL ビットを “1” にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に BVAL ビットを “1” にする

MaxPacketSize 分のデータを書くと、USB が BVAL ビットを “1” にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

BVAL ビットへの “1” 書き込みは、USB が FRDY フラグに “1” を示しているときに実施してください。

選択パイプが受信方向のときには、BVAL ビットへの “1” 書き込みを行わないでください。

31.2.7 割り込み許可レジスタ 0 (INTENB0)

アドレス USB0.INTENB0 000A 0030h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BRDYE	バッファレディ割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可ビット(注1)	0：割り込み出力禁止 1：割り込み出力許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可ビット(注1)	0：割り込み出力禁止 1：割り込み出力許可	R/W
b13	SOFE	フレーム番号更新割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b14	RSME	レジューム割り込み許可ビット(注1)	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15	VBSE	VBUS割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W

注1. RSMEビット、DVSEビットおよびCTREビットは、ファンクションコントローラ機能選択時のみ“1”にできます。ホストコントローラ機能選択時は、“0”にしてください。

ソフトウェアで INTENB0 レジスタを “1” にしたビットに対応する割り込みを USB が検出した場合に、USB は USB 割り込み要求を発生させます。

USB は、INTENB0 レジスタの設定値（割り込み通知の禁止 / 許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットは “1” になります。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが “1” の状態で、ソフトウェアで INTENB0 レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB は USB 割り込み要求を発生させます。

31.2.8 割り込み許可レジスタ 1 (INTENB1)

アドレス USB0.INTENB1 000A 0032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCHE	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACKE	セットアップトランザクション正常応答割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	SIGNE	セットアップトランザクションエラー割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	EOFERRE	EOFエラー検出割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCHE	接続検出割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b12	DTCHE	切断検出割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHGE	USBバス変化割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15	OVRCRE	オーバカレント入力変化割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W

注. INTENB1レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ“1”にできます。ファンクションコントローラ機能選択時は、“0”にしてください。

INTENB1 レジスタは、ホストコントローラ機能選択時の割り込みマスクの設定、および SETUP トランザックションの割り込みマスクレジスタの設定を行うレジスタです。

ソフトウェアで INTENB1 レジスタを “1” にしたビットに対応する割り込みを USB が検出した場合に、USB は USB 割り込み要求を発生させます。

USB は、INTENB1 レジスタの設定値（割り込み通知の禁止 / 許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS1 レジスタの対応するステータスビットは “1” になります。

各割り込み要因に対応する INTSTS1 レジスタのステータスビットが “1” の状態で、ソフトウェアで INTENB1 レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB は USB 割り込み要求を発生させます。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

31.2.9 BRDY 割り込み許可レジスタ (BRDYENB)

アドレス USB0.BRDYENB 000A 0036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BRDYE	PIPE8BRDYE	PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0 BRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b1	PIPE1BRDYE	パイプ1 BRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b2	PIPE2BRDYE	パイプ2 BRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b3	PIPE3BRDYE	パイプ3 BRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b4	PIPE4BRDYE	パイプ4 BRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	PIPE5BRDYE	パイプ5 BRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	PIPE6BRDYE	パイプ6 BRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b7	PIPE7BRDYE	パイプ7 BRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b8	PIPE8BRDYE	パイプ8 BRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	PIPE9BRDYE	パイプ9 BRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY フラグを “1” にすることを禁止するか、許可するかを指定します。

ソフトウェアで BRDYENB レジスタを “1” にしたパイプに対して、USB が BRDY 割り込みを検出した場合に、USB は BRDYSTS.PIPEnBRDY フラグ (n = 0 ～ 9) の対応するフラグを “1” にし、INTSTS0.BRDY フラグを “1” にします。このときに INTENB0.BRDYE ビットが “1” であれば、USB は BRDY 割り込みを発生させます。

BRDYSTS.PIPEnBRDY フラグのうち、少なくとも 1 つのビットが “1” のときに、ソフトウェアで BRDYENB レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB は BRDY 割り込みを発生させます。

31.2.10 NRDY 割り込み許可レジスタ (NRDYENB)

アドレス USB0.NRDYENB 000A 0038h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0 NRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b1	PIPE1NRDYE	パイプ1 NRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b2	PIPE2NRDYE	パイプ2 NRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b3	PIPE3NRDYE	パイプ3 NRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b4	PIPE4NRDYE	パイプ4 NRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	PIPE5NRDYE	パイプ5 NRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	PIPE6NRDYE	パイプ6 NRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b7	PIPE7NRDYE	パイプ7 NRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b8	PIPE8NRDYE	パイプ8 NRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	PIPE9NRDYE	パイプ9 NRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に INTSTS0.NRDY フラグを “1” にすることを禁止するか、許可するかを指定します。

ソフトウェアで NRDYENB レジスタを “1” にしたパイプに対して、USB が NRDY 割り込み要因を検出した場合に、USB は NRDYSTS.PIPEnNRDY フラグ (n = 0 ～ 9) の対応するビットを “1” にし、INTSTS0.NRDY フラグを “1” にします。このときに INTENB0.NRDYE = 1 であれば、USB は NRDY 割り込みを発生させます。

NRDYSTS.PIPEnNRDY フラグの少なくともひとつのフラグが “1” の状態で、ソフトウェアで NRDYENB レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB は NRDY 割り込み要求を発生させます。

31.2.11 BEMP 割り込み許可レジスタ (BEMPENB)

アドレス USB0.BEMPENB 000A 003Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BEMPE	PIPE8BEMPE	PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0 BEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b1	PIPE1BEMPE	パイプ1 BEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b2	PIPE2BEMPE	パイプ2 BEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b3	PIPE3BEMPE	パイプ3 BEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b4	PIPE4BEMPE	パイプ4 BEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	PIPE5BEMPE	パイプ5 BEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	PIPE6BEMPE	パイプ6 BEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b7	PIPE7BEMPE	パイプ7 BEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b8	PIPE8BEMPE	パイプ8 BEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	PIPE9BEMPE	パイプ9 BEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に INTSTS0.BEMP フラグを “1” にすることを禁止するか、許可するかを指定するレジスタです。

ソフトウェアで BEMPENB レジスタを “1” にしたパイプに対して、USB が BEMP 割り込み要因を検出した場合に、USB は BEMPSTS.PIPEnBEMP フラグ (n = 0 ～ 9) の対応するフラグを “1” にし、INTSTS0.BEMP フラグを “1” にします。このときに INTENB0.BEMPE = 1 であれば、USB は BEMP 割り込みを発生させます。

BEMPSTS.PIPEnBEMP フラグのうち、少なくともひとつのフラグが “1” の状態で、ソフトウェアで BEMPENB レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB は BEMP 割り込み要求を発生させます。

31.2.12 SOF 出力コンフィギュレーションレジスタ (SOFCFG)

アドレス USB0.SOFCFG 000A 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TRNENSEL	—	BRDYM	—	EDGESTS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	EDGESTS	エッジ割り込み出力ステータスモニタフラグ(注1)	エッジ割り込み出力信号がエッジ処理中であるとき“1”を示します	R
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	BRDYM	BRDY割り込みステータスクリアタイミング設定ビット	0：ソフトウェアでステータスをクリア 1：FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBがステータスをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRNENSEL	トランザクション有効期間切り替えビット(注1)	0：ロースピード未対応 1：ロースピード対応	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. USBモジュールのクロックを停止するときには、本ビットが“0”であることを確認してください。

EDGESTS フラグ（エッジ割り込み出力ステータスモニタフラグ）

エッジ割り込み出力信号がエッジ処理中であるとき、“1” を示します。

USB のクロックを停止するときは、EDGESTS フラグが “0” であることを確認してください。

BRDYM ビット（BRDY 割り込みステータスクリアタイミング設定ビット）

各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。

TRNENSEL ビット（トランザクション有効期間切り替えビット）

フルスピードまたはロースピード通信中のポートにおいて、1 フレーム中に USB がトークン発行を行う期間（トランザクション有効期間）を指定します。

TRNENSEL ビットには、ロースピードデバイスが接続されたときに “1” にしてください。

TRNENSEL ビットは、ホストコントローラ機能選択時のみ有効です。

ファンクションコントローラ機能選択時は、“0” にしてください。

31.2.13 割り込みステータスレジスタ 0 (INTSTS0)

アドレス USB0.INTSTS0 000A 0040h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
リセット後の値	0	0	0	0/1 (注1)	0	0	0	0	0 (注2)	0 (注3)	0 (注3)	0/1 (注3)	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージフラグ	b2 b0 0 0 0：アイドルまたはセットアップステージ 0 0 1：コントロールリードデータステージ 0 1 0：コントロールリードステータスステージ 0 1 1：コントロールライトデータステージ 1 0 0：コントロールライトステータスステージ 1 0 1：コントロールライト(NoData)ステータスステージ 1 1 0：コントロール転送シーケンスエラー	R
b3	VALID	USBリクエストフラグ	0：セットアップパケットを受信していない 1：セットアップパケットを受信した	R/W (注4)
b6-b4	DVSQ[2:0]	デバイスステートフラグ	b6 b4 0 0 0：Poweredステート 0 0 1：Defaultステート 0 1 0：Addressステート 0 1 1：Configuredステート 1 x x：Suspendedステート	R
b7	VBSTS	VBUS入力ステータスフラグ	0：USB0_VBUS端子がLow 1：USB0_VBUS端子がHigh	R
b8	BRDY	バッファレディ割り込みステータスフラグ	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータスフラグ	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータスフラグ	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータスフラグ(注5)	0：コントロール転送ステージ遷移割り込み発生なし 1：コントロール転送ステージ遷移割り込み発生あり	R/W (注4)
b12	DVST	デバイスステート遷移割り込みステータスフラグ(注5)	0：デバイスステート遷移割り込み発生なし 1：デバイスステート遷移割り込み発生あり	R/W (注4)
b13	SOFR	フレーム番号更新割り込みステータスフラグ	0：SOF割り込み発生なし 1：SOF割り込み発生あり	R/W (注4)
b14	RESM	レジューム割り込みステータスフラグ(注5、注6)	0：レジューム割り込み発生なし 1：レジューム割り込み発生あり	R/W (注4)
b15	VBINT	VBUS割り込みステータスフラグ (注6)	0：VBUS割り込み発生なし 1：VBUS割り込み発生あり	R/W (注4)

x：Don't care

注1. MCUがリセットされると“0”、USBバスリセットのとき“1”になります。
注2. USB0_VBUS端子がHighのとき“1”、Lowのとき“0”になります。
注3. MCUがリセットされると“000b”、USBバスリセットのとき“001b”になります。
注4. VBINTフラグ、RESMフラグ、SOFRフラグ、DVSTフラグ、CTRTフラグまたはVALIDフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。“0”を示しているステータスフラグへの“0”書き込みを行わないでください。
注5. RESMフラグ、DVSTフラグ、CTRTフラグのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを“0”(禁止)にしてください。
注6. VBINTフラグ、RESMフラグが示すステータス変化をクロック停止中(SCKEビットが“0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

CTSQ[2:0] フラグ（コントロール転送ステージフラグ）

ホストコントローラ機能選択時、読み出しは無効です。

VALID フラグ（USB リクエストフラグ）

ホストコントローラ機能選択時、読み出しは無効です。

DVSQ[2:0] フラグ（デバイスステートフラグ）

USB バスリセットで DVSQ[2:0] フラグは初期化されます。

ホストコントローラ機能選択時、読み出しは無効です。

BRDY フラグ（バッファレディ割り込みステータスフラグ）

BRDY 割り込みステータスが表示されます。

BRDYENB.PIPEnBRDYE ビット (n = 0 ～ 9) を “1” にしたパイプに対応する BRDYSTS.PIPEnBRDY フラグ (n = 0 ～ 9) のうち、少なくともひとつが “1” になったとき（ソフトウェアで BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BRDY 割り込み状態を検出したとき）に、USB は BRDY フラグを “1” にします。

PIPEnBRDY ステータスのアサート条件は、「31.3.3.1　BRDY 割り込み」を参照ください。

ソフトウェアで、PIPEnBRDYE ビットで許可しているパイプに対応する PIPEnBRDY フラグのすべてに “0” を書くと、USB は BRDY フラグを “0” にします。

ソフトウェアで BRDY フラグに対して “0” を書いても、BRDY フラグを “0” にすることはできません。

NRDY フラグ（バッファノットレディ割り込みステータスフラグ）

NRDYENB.PIPEnNRDYE ビット (n = 0 ～ 9) を “1” にしたパイプに対応する NRDYSTS.PIPEnNRDY フラグ (n = 0 ～ 9) のうち、少なくともひとつが “1” になったとき（ソフトウェアで NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が NRDY 割り込み状態を検出したとき）に、USB は NRDY フラグを “1” にします。

PIPEnNRDY ステータスのアサート条件は、「31.3.3.2　NRDY 割り込み」」を参照ください。

ソフトウェアで、PIPEnNRDYE ビットで許可しているパイプに対応する PIPEnNRDY フラグのすべてに “0” を書くと、USB は NRDY フラグを “0” にします。

ソフトウェアで NRDY フラグに対して “0” を書いても、NRDY フラグを “0” にすることはできません。

BEMP フラグ（バッファエンプティ割り込みステータスフラグ）

BEMPENB.PIPEnBEMPE ビット (n = 0 ～ 9) を “1” にしたパイプに対応する BEMPSTS.PIPEnBEMP フラグ (n = 0 ～ 9) のうち、少なくともひとつが “1” になったとき（ソフトウェアで BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BEMP 割り込み状態を検出したとき）に、USB は BEMP フラグを “1” にします。

PIPEnBEMP ステータスのアサート条件は、「31.3.3.3　BEMP 割り込み」を参照ください。

ソフトウェアで、PIPEnBEMPE ビットで許可しているパイプに対応する PIPEnBEMP フラグすべてに “0” を書くと、USB は BEMP フラグを “0” にします。

ソフトウェアで BEMP フラグに対して “0” を書いても、BEMP フラグを “0” にすることはできません。

CTRT フラグ（コントロール転送ステージ遷移割り込みステータスフラグ）

ファンクションコントローラ機能設定時、USB がコントロール転送のステージ遷移を検出したときに、USB は CTSQ[2:0] フラグの値を更新し、CTRT フラグを “1” にします。

コントロール転送ステージ遷移割り込みが発生したときには、USB がコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

DVST フラグ（デバイスステート遷移割り込みステータスフラグ）

ファンクションコントローラ機能設定時、USB がデバイスステートの変化を検出したときに、USB は DVSQ[2:0] フラグの値を更新し、DVST フラグを “1” にします。

デバイスステート遷移割り込みが発生したときには、USB が次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

SOFR フラグ（フレーム番号更新割り込みステータスフラグ）

(1) ホストコントローラ機能設定時

ソフトウェアで DVSTCTR0.UACT ビットを “1” にしているとき、フレームナンバの更新タイミングで SOFR フラグを “1” にします（SOFR 割り込みは、1 ms ごとに検出します）。

(2) ファンクションコントローラ機能設定時

フレームナンバの更新時に USB は SOFR フラグを “1” にします（SOFR 割り込みは、1 ms ごとに検出します）。

USB ホストからの SOF パケットが破損したときでも、内部補完により、USB は SOFR 割り込みを検出します。

RESM フラグ（レジューム割り込みステータスフラグ）

ファンクションコントローラ機能設定時、USB がサスペンド状態（DVSQ[2:0] フラグが “1xxb”）であり、かつ、USB0_DP 端子の立ち下りを検出したときに、RESM フラグを “1” にします。

ホストコントローラ機能選択時、読み出し値は無効です。

VBINT フラグ（VBUS 割り込みステータスフラグ）

USB が USB0_VBUS 端子入力値の変化（High から Low への変化あるいは Low から High への変化）を検出したときに、VBINT フラグを “1” にします。USB は USB0_VBUS 端子の入力値を、VBSTS フラグに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS フラグ読み出しの数度一致を行い、チャタリング除去を実施してください。

31.2.14 割り込みステータスレジスタ 1 (INTSTS1)

アドレス USB0.INTSTS1 000A 0042h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACK	セットアップトランザクション正常応答割り込みステータスフラグ	0：SACK割り込み発生なし 1：SACK割り込み発生あり	R/W (注1)
b5	SIGN	セットアップトランザクションエラー割り込みステータスフラグ	0：SIGN割り込み発生なし 1：SIGN割り込み発生あり	R/W (注1)
b6	EOFERR	EOFエラー検出割り込みステータスフラグ	0：EOFERR割り込み発生なし 1：EOFERR割り込み発生あり	R/W (注1)
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH	ATTCH割り込みステータスフラグ	0：ATTCH割り込み発生なし 1：ATTCH割り込み発生あり	R/W (注1)
b12	DTCH	USB切断検出割り込みステータスフラグ	0：DTCH割り込み発生なし 1：DTCH割り込み発生あり	R/W (注1)
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHG	USBバス変化割り込みステータスフラグ(注2)	0：BCHG割り込み発生なし 1：BCHG割り込み発生あり	R/W (注1)
b15	OVRCR	オーバカレント入力変化割り込みステータスフラグ(注2)	0：OVRCR割り込み発生なし 1：OVRCR割り込み発生あり	R/W (注1)

注1. INTSTS1レジスタの各フラグが示すステータスをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。

注2. OVRCRフラグおよびBCHGフラグが示すステータス変化をクロック停止中(SYSCFG.SCKEビットが“0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはSYSCFG.SCKEビットを“1”にした後に行ってください。OVRCRフラグおよびBCHGフラグ以外の割り込みは、クロック停止中(SYSCFG.SCKEビットが“0”)は検出しません。

INTSTS1 レジスタは、ホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。

INTSTS1 レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

SACK フラグ（セットアップトランザクション正常応答割り込みステータスフラグ）

ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。

USB が発行した SETUP トランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、USB は SACK 割り込みを検出し、SACK フラグを “1” にします。このとき、ソフトウェアで該当する割り込み許可ビットを “1” にしていれば、USB は SACK 割り込みを発生します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

SIGN フラグ（セットアップトランザクションエラー割り込みステータスフラグ）

ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。

USB が発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、USB は SIGN 割り込みを検出し、SIGN フラグを “1” にします。このとき、ソフトウェアで該当する割り込み許可ビットを “1” にしていれば、USB は SIGN 割り込み発生をします。

USB の SIGN 割り込み検出条件は、具体的には 3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態で USB がタイムアウトを検出したとき
- ACK パケットが破損したとき
- ACK 以外のハンドシェイク（NAK、NYET、または STALL）を受信したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

EOFERR フラグ（EOF エラー検出割り込みステータスフラグ）

ホストコントローラ機能選択時、EOFERR 割り込みステータスが表示されます。

USB2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないことを USB が検出したときに、EOFERR 割り込みを検出し、EOFERR フラグを “1” にします。このとき、ソフトウェアで該当する割り込み許可ビットを “1” にしていれば、USB は EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定に関わらず）以下のハードウェア制御を行います。ソフトウェアで、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを “0” に変更し表示
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ファンクションコントローラ機能選択時、読み出し値は無効です。

ATTCH フラグ（ATTCH 割り込みステータスフラグ）

ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。

USB がポートにフルスピード信号レベルまたはロースピード信号レベルの J-State または K-State を 2.5 μs 間検出したとき、USB は ATTCH 割り込みを検出し、ATTCH フラグを “1” にします。このとき、ソフトウェアで該当する割り込み許可ビットを “1” にしていれば、USB は割り込み発生をします。

USB の ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μs 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μs 間継続したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

DTCH フラグ（USB 切断検出割り込みステータスフラグ）

ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。

USB バスディスコネクト検出時に、USB は DTCH 割り込みを検出し、DTCH フラグを “1” にします。このとき、ソフトウェアで該当する割り込み許可ビットを “1” にしていれば、USB は割り込み発生します。

USB は、USB 2.0 仕様に準じた基準でバスディスコネクトを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを “0” に変更し表示
- DTCH 割り込みが発生したポートをアイドル状態に遷移

ファンクションコントローラ機能選択時、読み出し値は無効です。

BCHG フラグ（USB バス変化割り込みステータスフラグ）

USB バス変化割り込みステータスが表示されます。

USB ポートでフルスピード信号レベルまたはロースピード信号レベルでの状態変化が発生した（J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した）ときに、USB は BCHG 割り込みを検出し、BCHG フラグを “1” にします。このとき、ソフトウェアで該当する割り込み許可ビットを “1” にしていれば、USB は割り込みを発生させます。

USB ポートの現在の入力状態を、SYSSTS0.LNST[1:0] フラグに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST[1:0] フラグ読み出しの数度一致を行い、チャタリング除去を実施してください。

USB バス変化は、内部クロック停止状態でも検出します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

OVRCR フラグ（オーバカレント入力変化割り込みステータスフラグ）

USB0_OVRCURA および USB0_OVRCURB 入力端子の変化割り込みステータスが表示されます。

USB0_OVRCURA または USB0_OVRCURB 端子入力値の少なくともどちらか一方が変化（High から Low への変化あるいは Low から High への変化）したときに、USB は OVRCR 割り込みを検出し、OVRCR フラグを “1” にします。このとき、ソフトウェアで該当する割り込み許可ビットを “1” にしていれば、USB は割り込みを発生させます。

31.2.15 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス USB0.BRDYSTS 000A 0046h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BRDY	PIPE8BRDY	PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0 BRDY割り込みステータスフラグ(注2)	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b1	PIPE1BRDY	パイプ1 BRDY割り込みステータスフラグ(注2)	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b2	PIPE2BRDY	パイプ2 BRDY割り込みステータスフラグ(注2)	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b3	PIPE3BRDY	パイプ3 BRDY割り込みステータスフラグ(注2)	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b4	PIPE4BRDY	パイプ4 BRDY割り込みステータスフラグ(注2)	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5 BRDY割り込みステータスフラグ(注2)	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6 BRDY割り込みステータスフラグ(注2)	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7 BRDY割り込みステータスフラグ(注2)	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b8	PIPE8BRDY	パイプ8 BRDY割り込みステータスフラグ(注2)	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b9	PIPE9BRDY	パイプ9 BRDY割り込みステータスフラグ(注2)	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SOFCFG.BRDYMビットが“0”の場合、BRDYSTSレジスタの各フラグが示すステータスをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。
注2. SOFCFG.BRDYMビットが“0”の場合、BRDY割り込みのクリアは、FIFOアクセスを行う前に実施してください。

31.2.16 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス USB0.NRDYSTS 000A 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY	PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0 NRDY割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b1	PIPE1NRDY	パイプ1 NRDY割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b2	PIPE2NRDY	パイプ2 NRDY割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b3	PIPE3NRDY	パイプ3 NRDY割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b4	PIPE4NRDY	パイプ4 NRDY割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5 NRDY割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6 NRDY割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7 NRDY割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b8	PIPE8NRDY	パイプ8 NRDY割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b9	PIPE9NRDY	パイプ9 NRDY割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NRDYSTSレジスタの各フラグが示すステータスを“0”にする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

31.2.17 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス USB0.BEMPSTS 000A 004Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BEMP	PIPE8BEMP	PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0 BEMP割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b1	PIPE1BEMP	パイプ1 BEMP割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b2	PIPE2BEMP	パイプ2 BEMP割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b3	PIPE3BEMP	パイプ3 BEMP割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b4	PIPE4BEMP	パイプ4 BEMP割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5 BEMP割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6 BEMP割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7 BEMP割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b8	PIPE8BEMP	パイプ8 BEMP割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b9	PIPE9BEMP	パイプ9 BEMP割り込みステータスフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BEMPSTSレジスタの各フラグが示すステータスを“0”にする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

31.2.18 フレームナンバレジスタ (FRMNUM)

アドレス USB0.FRMNUM 000A 004Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号フラグ	最新のフレーム番号	R
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	CRCE	受信データエラーフラグ	0：エラーなし 1：エラー発生	R/W (注1)
b15	OVRN	オーバラン/アンダラン検出ステータスフラグ	0：エラーなし 1：エラー発生	R/W (注1)

注1. 各ステータスを“0”にする場合は、クリアしたいフラグに“0”を、その他のフラグには“1”を書いてください。

FRNM[10:0] フラグ（フレーム番号フラグ）

USB は、1 ms に 1 回の SOF 発行タイミングまたは SOF 受信時に FRNM[10:0] フラグを書き換え、最新のフレーム番号を表示します。

CRCE フラグ（受信データエラーフラグ）

アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。

ソフトウェアで、CRCE フラグに “0” を書くことにより CRCE フラグを “0” にすることができます。このとき、FRMNUM レジスタの他のフラグには “1” を書いてください。

CRC エラーの検出時には、USB は内部 NRDY 割り込み要求を発生させます。

OVRN フラグ（オーバラン / アンダラン検出ステータスフラグ）

アイソクロナス転送を行っているパイプに対するオーバラン / アンダランエラー検出の有無が表示されます。

ソフトウェアで、OVRN フラグに “0” を書くことにより OVRN フラグを “0” にすることができます。このとき、FRMNUM レジスタの他のフラグには “1” を書いてください。

(1) ホストコントローラ機能選択時

以下のいずれかの場合に、USB が OVRN フラグを “1” にします。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき

(2) ファンクションコントローラ機能選択時

以下のいずれかの場合に、USB が OVRN フラグを “1” にします。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき

31.2.19 USB リクエストタイプレジスタ (USBREQ)

アドレス USB0.USBREQ 000A 0054h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプビット	USB リクエスト bmRequestType の値	R/W (注1)
b15-b8	BREQUEST[7:0]	リクエストビット	USB リクエスト bRequest の値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ レジスタは、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0] ビット（リクエストタイプビット）

USB リクエスト bmRequestType の値を格納します。

- ホストコントローラ機能選択時
  送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが “1” の状態で BMREQUESTTYPE[7:0] ビットの書き換えは行わないでください
- ファンクションコントローラ機能選択時
  SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です

BREQUEST[7:0] ビット（リクエストビット）

USB リクエスト bRequest の値を格納します。

- ホストコントローラ機能選択時
  送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが “1” の状態で BREQUEST[7:0] ビットの書き換えは行わないでください。
- ファンクションコントローラ機能選択時
  SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

31.2.20 USB リクエストバリューレジスタ (USBVAL)

アドレス USB0.USBVAL 000A 0056h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

USBVAL レジスタは、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

- ホストコントローラ機能選択時
  送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。
  DCPCTR.SUREQ ビットが “1” の状態で書き換えないでください。
- ファンクションコントローラ選択時
  SETUP トランザクションで受信した USB リクエスト wValue の値を表示します。書き込みは無効です。

31.2.21 USB リクエストインデックスレジスタ (USBINDX)

アドレス USB0.USBINDX 000A 0058h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDX レジスタは、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

- ホストコントローラ機能選択時
  送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。
  DCPCTR.SUREQ ビットが “1” の状態で書き換えないでください
- ファンクションコントローラ選択時
  SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します。書き込みは無効です。

31.2.22 USB リクエストレングスレジスタ (USBLENG)

アドレス USB0.USBLENG 000A 005Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

USBLENG レジスタはコントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG レジスタは、ファンクションコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

USBLENG レジスタは、バスリセットで初期化されます。

- ホストコントローラ機能選択時
  送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。
  DCPCTR.SUREQ ビットが “1” の状態で書き換えないでください。
- ファンクションコントローラ選択時
  SETUP トランザクションで受信した USB リクエスト wLength の値を表示します。書き込みは無効です。

31.2.23 DCP コンフィギュレーションレジスタ (DCPCFG)

アドレス USB0.DCPCFG 000A 005Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SHTNAK	—	—	DIR	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DIR	転送方向設定ビット(注1)	0：データ受信方向 1：データ送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0：トランスファ終了時にパイプ継続 1：トランスファ終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

DIR ビット（転送方向設定ビット）

ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。

ファンクションコントローラ機能選択時には、DIR ビットを “0” にしてください。

SHTNAK ビット（トランスファ終了時のパイプ禁止ビット）

コントロール転送が受信方向の場合に、トランスファ終了時に DCPCTR.PID[1:0] ビットを “00b” (NAK) に変更するかどうかを指定します。

SHTNAK ビットは、受信方向である場合に有効なビットです。

SHTNAK ビットを “1” にしている場合、USB は、トランスファの終了を判定したときに DCP の DCPCTR.PID[1:0] ビットを “00b” (NAK) に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常に受信したとき

31.2.24 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス USB0.DCPMAXP 000A 005Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	マックスパケットサイズビット(注1)	DCPの最大データペイロード(マックスパケットサイズ)設定	R/W
b11-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット(注2)	b15 b12 0 0 0 0：アドレス0000 0 0 0 1：アドレス0001 0 0 1 0：アドレス0010 0 0 1 1：アドレス0011 0 1 0 0：アドレス0100 0 1 0 1：アドレス0101 上記以外は設定しないでください	R/W

注1. MXPS[6:0]ビットの設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。またMXPS[6:0]ビットの設定変更後には、ポート選択レジスタのCURPIPE[3:0]ビットへDCPを設定後、ポートコントロールレジスタのBCLRビットを“1”にしてバッファクリア処理を実施してください。

注2. DEVSEL[3:0]ビットの設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態およびDCPCTR.SUREQビットが“0”の期間に実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

MXPS[6:0] ビット（マックスパケットサイズビット）

DCP の最大データペイロード（マックスパケットサイズ）を MXPS[6:0] ビットに設定してください。初期値は、40h (64 バイト) です。

MXPS[6:0] ビットの設定は、USB 規格 2.0 に準拠した値を設定してください。

MXPS[6:0] ビットが “0” の状態で FIFO バッファへの書き込み、または PID[1:0] = 01b (BUF) の設定は行わないでください。

DEVSEL[3:0] ビット（デバイス選択ビット）

ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn (n = 0 ～ 5) レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを “0010b” にする場合、DEVADD2 レジスタにアドレスの設定を行ってください。

ファンクションコントローラ機能選択時は、DEVSEL[3:0] ビットの値を “0000b” にしてください。

31.2.25 DCP コントロールレジスタ (DCPCTR)

アドレス USB0.DCPCTR 000A 0060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	SUREQ	—	—	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0：NAK応答 0 1：BUF応答(バッファ状態に従う) 1 0：STALL応答 1 1：STALL応答	R/W
b2	CCPL	コントロール転送終了許可ビット	0：コントロール転送終了許可しない 1：コントロール転送終了許可	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0：DCPはトランザクションで未使用 1：DCPはトランザクションで使用	R
b6	SQMON	シーケンストグルビットモニタフラグ	0：DATA0 1：DATA1	R
b7	SQSET	シーケンストグルビットセットビット (注2)	0：書き込みは無効 1：DATA1指定	R/W (注1)
b8	SQCLR	シーケンストグルビットクリアビット (注2)	0：書き込みは無効 1：DATA0指定	R/W (注1)
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	SUREQCLR	SUREQビットクリアビット	0：書き込みは無効 1：SUREQビットをクリア	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	SUREQ	SETUPトークン送出ビット	0：書き込みは無効 1：セットアップパケット送出	R/W
b15	BSTS	バッファステータスフラグ	0：バッファアクセス不可能 1：バッファアクセス可能	R

注1. 読むと“0”が読めます。
注2. SQSETビットおよびSQCLRビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PID[1:0] ビット（応答 PID ビット）

PID[1:0] ビットでコントロール転送における USB の応答を制御します。

(1) ホストコントローラ機能選択時

以下の手順で PID[1:0] ビットを “00b” (NAK) から “01b” (BUF) に変更してください。

- 送信方向設定時
  DVSTCTR0.UACT ビットが “1” かつ PID[1:0] = 00b (NAK) の状態で FIFO バッファに送信データを書き込み完了し、“01b” (BUF 応答) を書いてください。PID[1:0] = 01b (BUF) の書き込み後、USB は OUT トランザクションを実行します。
- 受信方向設定時
  DVSTCTR0.UACT ビットが “1” かつ PID[1:0] = 00b (NAK) の状態で FIFO バッファが空の状態であることを確認し（空の状態にし）、PID[1:0] = 01b (BUF) を書き込んでください。PID[1:0] = 01b (BUF) の書き

込み後、USB は IN トランザクションを実行します。

以下の場合に、USB が PID[1:0] ビットの値を変更します。

- ソフトウェアでPID[1:0]ビットに“01b” (BUF)を設定しているときに、USBがMaxPacketSizeを超えるデータを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。
- CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB は PID[1:0] = 00b (NAK) を表示します。
- STALL ハンドシェイクを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。

(2) ファンクションコントローラ機能選択時

以下の場合に、USB が PID[1:0] ビットの値を変更します。

- USB が SETUP パケットを受信したときに、USB は PID[1:0] ビットを PID[1:0] = 00b (NAK) に変更します。このとき、USB は INTSTS0.VALID フラグを “1” にし、ソフトウェアで VALID フラグを “0” にするまでは、ソフトウェアで PID[1:0] ビットを変更できません。
- ソフトウェアでPID[1:0]ビットに“01b” (BUF)を設定しているときに、USBがMaxPacketSizeを超えるデータを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。
- USB がコントロール転送シーケンスエラーを検出した場合、PID[1:0] = 1xb (STALL) を表示します。
- USB が USB バスリセットを検出した場合、PID[1:0] = 00b (NAK) を表示します。

SET_ADDRESS リクエスト処理（自動処理）時には、USB は PID[1:0] ビットの設定値を参照しません。

PID[1:0] ビットは USB バスリセットで初期化されます。

CCPL ビット（コントロール転送終了許可ビット）

ファンクションコントローラ機能選択時に、CCPL ビットを “1” にすることによりコントロール転送のステータスステージの終了許可を設定します。

対応する PID[1:0] ビットが “01b” (BUF) のとき、ソフトウェアで CCPL ビットを “1” にすると、USB はコントロール転送のステータスステージを完了させます。

コントロールリード転送時では USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時では USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく USB は SETUP ステージからステータスステージ完了まで自動応答を行います。

新たな SETUP パケットを受信したときに、USB は CCPL ビットを “1” から “0” に変更します。

INTSTS0.VALID フラグが “1” のとき、ソフトウェアで CCPL ビットへの “1” 書き込みを行うことができません。

CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラ機能選択時には、CCPL ビットへは “0” を書き込んでください。

PBUSY フラグ（パイプビジーフラグ）

DCP が PID[1:0] ビットを “01b” (BUF) から “00b” (NAK) に変更した場合に、DCP のトランザクションで使用されなくなったかを表示します。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY フラグを “0” から “1” に変更します。ひとつのトランザクションが終了したときに PBUSY フラグを “1” から “0” に変更します。

ソフトウェアで PID[1:0] = 00b (NAK) を設定した後、PBUSY フラグを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「31.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON フラグ（シーケンストグルビットモニタフラグ）

DCP の転送において、次のトランザクションのシーケンストグルビット値が表示されます。

トランザクションが正常処理すると USB は SQMON フラグをトグルさせます。ただし、受信方向転送時のデータ PID 不一致発生時には、SQMON フラグをトグルさせません。

ファンクションコントローラ機能選択時、SETUP パケット正常受信時に、USB は SQMON フラグを “1” (期待値を DATA1 に設定) にします。

また、ファンクションコントローラ機能選択時、USB はステータスステージの IN/OUT トランザクションでは SQMON フラグを参照しません。また正常終了してもトグルさせません。

SQSET ビット（シーケンストグルビットセットビット）

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA1 に設定することができます。

SQCLR ビットと SQSET ビットを同時に “1” にしないでください。

SQCLR ビット（シーケンストグルビットクリアビット）

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA0 に設定することができます。SQCLR ビットは “0” になります。

SQCLR ビットと SQSET ビットを同時に “1” にしないでください。

SUREQCLR ビット（SUREQ ビットクリアビット）

ホストコントローラ機能選択時に、SUREQCLR ビットを “1” にすることによって SUREQ ビットをクリアすることができます。SUREQCLR ビットは “0” になります。

SETUP トランザクションにおいて、SUREQ ビットが “1” のまま通信が停止したときに、ソフトウェアで SUREQCLR ビットを “1” にしてください。正常な SETUP トランザクションでは、トランザクション終了時に USB が自動的に SUREQ ビットを “0” にしますので、ソフトウェアによるクリア処理は不要です。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットの “0” による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。

ファンクションコントローラ機能選択時、SUREQCLR ビットへは “0” を書いてください。

SUREQ ビット（SETUP トークン送出ビット）

ホストコントローラ機能選択時、SUREQ ビットを “1” にすることにより、セットアップパケットを送信します。

SETUP トランザクション処理終了後、USB は SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを “0” にします。

また、SUREQCLR ビットをソフトウェアで “1” にすることにより、USB は SUREQ ビットを “0” にします。

DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを “1” にしてください。SUREQ ビットを “1” にする前に、DCP の PID[1:0] ビットを “00b” (NAK) に設定していることを確認してください。また、SUREQ ビットを “1” にした後、SETUP トランザクションが終了するまで（SUREQ ビットが “1”）の期間は DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。

SETUP トークンを出すときのみ SUREQ ビットを “1” にしてください。その他のときには、“0” を書いてください。

ファンクションコントローラ機能選択時、SUREQ ビットへは “0” を書いてください。

BSTS フラグ（バッファステータスフラグ）

DCP FIFO バッファへのアクセス可否ステータスが表示されます。

BSTS フラグの意味は、ポート選択レジスタの ISEL ビットの設定値により以下のように異なります。

- ISEL ビットが “0” のとき、受信データの読み出しが可能かどうかを表示
- ISEL ビットが “1” のとき、送信データの書き込みが可能かどうかを表示

31.2.26 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス USB0.PIPESEL 000A 0064h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択ビット	b3 b0 0 0 0 0 : 未選択 0 0 0 1 : パイプ1 0 0 1 0 : パイプ2 0 0 1 1 : パイプ3 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 1 0 0 0 : パイプ8 1 0 0 1 : パイプ9 上記以外は設定しないでください	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

パイプ 1 ～ 9 の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを設定した後、PIPECFG、PIPEMAXP、および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット（パイプウィンドウ選択ビット）

書き込み / 読み出しを対象とする PIPECFG、PIPEMAXP、PIPEPERI レジスタに対応するパイプ番号を指定します。

PIPESEL[3:0] ビットで指定したパイプ番号に対応する PIPECFG、PIPEMAXP、PIPEPERI レジスタの読み出し / 書き込みができます。

PIPESEL[3:0] ビットを “0000b” にしたときは、PIPECFG、PIPEMAXP および PIPEPERI レジスタの各ビットは、すべて “0” が読めます。書き込みは無効です。

31.2.27 パイプコンフィギュレーションレジスタ (PIPECFG)

アドレス USB0.PIPECFG 000A 0068h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TYPE[1:0]		—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号ビット(注1)	選択パイプのエンドポイント番号を指定します。 0000bの設定は、未使用パイプを意味します	R/W
b4	DIR	転送方向指定ビット(注2、注3)	0：受信方向 1：送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0：トランスファ終了時にパイプの割り付けを継続 1：トランスファ終了時にパイプの割り付けを禁止	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	DBLB	ダブルバッファモードビット(注2、注3)	0：シングルバッファ 1：ダブルバッファ	R/W
b10	BFRE	BRDY割り込み動作指定ビット(注2、注3)	0：データ送受信でBRDY割り込み 1：データ読み出し完了時にBRDY割り込み	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	TYPE[1:0]	転送タイプビット(注1)	• パイプ1、2の場合 b15 b14 0 0：パイプを不使用 0 1：バルク転送 1 0：設定しないでください 1 1：アイソクロナス転送 • パイプ3～5の場合 b15 b14 0 0：パイプを不使用 0 1：バルク転送 1 0：設定しないでください 1 1：設定しないでください • パイプ6～9の場合 b15 b14 0 0：パイプ不使用 0 1：設定しないでください 1 0：インタラプト転送 1 1：設定しないでください	R/W

注1. TYPE[1:0]ビット、SHTNAKビットおよびEPNUM[3:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSY = 0を確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注2. BFREビット、DBLBビットおよびDIRビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. 選択パイプを使用したUSB通信を行った後、BFREビット、DBLBビットおよびDIRビットの設定を変更する場合には、注2.の注意事項の状態に加え、ソフトウェアでPIPEnCTR.ACLRMビットに“1”、“0”を連続して書き込み、選択パイプに割り付けられたFIFOバッファのクリアを実行してください。

PIPECFG レジスタは、パイプ 1 ～ 9 に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をするレジスタです。

EPNUM[3:0] ビット（エンドポイント番号ビット）

選択パイプのエンドポイント番号を指定します。

“0000b” の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください（EPNUM[3:0] ビットが “0000b” の設定は重複可能です）。

DIR ビット（転送方向指定ビット）

選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを “0” にしている場合、USB は選択パイプを受信方向に、DIR ビットを “1” にしている場合、USB は選択パイプを送信方向に使用します。

SHTNAK ビット（トランスファ終了時のパイプ禁止ビット）

選択パイプが受信方向の場合に、トランスファ終了時に PID[1:0] ビットを “00b” (NAK) に変更するかどうかを指定します。

SHTNAK ビットは、選択パイプがパイプ 1 ～パイプ 5 であり、かつ、受信方向である場合に有効なビットです。

受信方向パイプに対してソフトウェアで SHTNAK ビットを “1” にしている場合、USB は、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PIPEnCTR.PID[1:0] ビットを “00b” (NAK) に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット（ダブルバッファモードビット）

選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。

DBLB ビットはパイプ 1 ～ 5 選択時に有効です。

BFRE ビット（BRDY 割り込み動作指定ビット）

USB から CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを “1” にし、かつ選択パイプを受信方向で使用している場合、USB は、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、ソフトウェアでポートコントロールレジスタの BCLR ビットに “1” を書く必要があります。BCLR ビットに “1” を書くまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを “1” にし、かつ、選択パイプを送信方向で使用している場合、USB は BRDY 割り込みを発生させません。

詳細は、「31.3.3.1　BRDY 割り込み」を参照してください。

TYPE[1:0] ビット（転送タイプビット）

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ（選択パイプ）の転送タイプを指定します。

選択パイプを PID[1:0] = 01b (BUF) に設定する（選択したパイプを使用した USB 通信を開始する）前に、TYPE[1:0] ビットを 00b 以外の値に設定してください。

31.2.28 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス USB0.PIPEMAXP 000A 006Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEVSEL[3:0]				—	—	—	MXPS[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	MAXパケットサイズビット(注2)	• パイプ1、2： 1バイト(001h)～256バイト(100h) • パイプ3～5： 8バイト(008h)、16バイト(010h)、 32バイト(020h)、64バイト(040h) • パイプ6～9： 1バイト(001h)～64バイト(040h)	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット(注3)	b15 b12 0 0 0 0：アドレス0000 0 0 0 1：アドレス0001 0 0 1 0：アドレス0010 0 0 1 1：アドレス0011 0 1 0 0：アドレス0100 0 1 0 1：アドレス0101 上記以外は設定しないでください	R/W

注1. PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないとき“0000h”、選択しているとき“0040h”です。
注2. MXPS[8:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。
注3. DEVSEL[3:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEMAXP レジスタは、パイプ 1 ～ 9 に対して、マックスパケットサイズを指定するレジスタです。

MXPS[8:0] ビット（MAX パケットサイズビット）

選択パイプの最大データペイロード（マックスパケットサイズ）を指定します。

MXPS[8:0] ビットの設定は、転送タイプごとに USB 規格 2.0 に準拠した値を設定してください。ただし、パイプ 1、2 の最大値は “256” です。MXPS[8:0] ビットが “000h” のとき、FIFO バッファへの書き込み、または PIPEnCTR.PID[1:0] ビットを “01b” (BUF) にしないでください。

DEVSEL[3:0] ビット（デバイス選択ビット）

ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn (n = 0 ～ 5) レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを “0010b” にする場合、DEVADD2 アドレスの設定を行ってください。

ファンクションコントローラ機能を選択したときは、DEVSEL[3:0] ビットの値を “0000b” にしてください。

31.2.29 パイプ周期制御レジスタ (PIPEPERI)

アドレス USB0.PIPEPERI 000A 006Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0]	インターバルエラー検出間隔ビット (注1)	選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	IFIS	アイソクロナスINバッファフラッシュビット	0：バッファフラッシュしない 1：バッファフラッシュする	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. IITV[2:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEPERI レジスタはパイプ 1 ～ 9 に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0] ビット（インターバルエラー検出間隔ビット）

IITV[2:0] ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID[1:0] = 00b (NAK) 設定後 PIPEnCTR.ACLRM ビットを “1” にして、インターバルタイマの初期化を行ってください。

パイプ 3 ～ 5 に対しては、IITV[2:0] ビットは存在しません。パイプ 3 ～ 5 に対応する IITV[2:0] ビットの位置には “000b” を設定してください。

IFIS ビット（アイソクロナス IN バッファフラッシュビット）

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ（選択パイプ）がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。

ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV[2:0] ビットに設定したインターバルごとのフレーム中に USB ホストから IN トークンを USB が受信しなかった場合に、USB が自動的に FIFO バッファをクリアする機能です。

ダブルバッファ設定時（PIPECFG.DBLB ビットを “1” にしたとき）は、USB がクリアするのは古い方の 1 面分データのみです。

FIFO バッファクリアのタイミングは、IN トークンを受信するはずのフレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングにクリアを行います。

ホストコントローラ機能選択時には、IITV[2:0] ビットを “000b” にしてください。

選択パイプの転送タイプがアイソクロナス以外の場合は、IITV[2:0] ビットを “000b” にしてください。

31.2.30 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ～ 9)

- PIPEnCTR (n = 1 ～ 5)

アドレス　USB0.PIPE1CTR 000A 0070h, USB0.PIPE2CTR 000A 0072h, USB0.PIPE3CTR 000A 0074h, USB0.PIPE4CTR 000A 0076h, USB0.PIPE5CTR 000A 0078h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0：NAK応答 0 1：BUF応答(バッファ状態に従う) 1 0：STALL応答 1 1：STALL応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0：当該パイプはトランザクションで未使用 1：当該パイプはトランザクションで使用	R
b6	SQMON	シーケンストグルビット確認フラグ	0：DATA0 1：DATA1	R
b7	SQSET	シーケンストグルビットセットビット(注2)	0：書き込み無効 1：DATA1指定	R/W(注1)
b8	SQCLR	シーケンストグルビットクリアビット(注2)	0：書き込み無効 1：DATA0指定	R/W(注1)
b9	ACLRM	自動バッファクリアモードビット(注3)	0：禁止 1：許可(全バッファ初期化)	R/W
b10	ATREPM	自動応答モードビット(注2)	0：自動応答禁止 1：自動応答許可	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	INBUFM	送信バッファモニタフラグ	0：バッファメモリに送信可能データなし 1：バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータスフラグ	0：CPUからのバッファアクセス不可能 1：CPUからのバッファアクセス可能	R

注1. 読むと“0”が読めます。
注2. ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。
注3. ACLRMビットの設定の変更は、PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEnCTR レジスタの設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PID[1:0] ビット（応答 PID ビット）

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は “00b” (NAK) です。当該パイプで USB 転送を行う場合には PID[1:0] ビットを “01b” (BUF) に変更してください。PID[1:0] ビット設定値ごとの基本動作 (通信パケットにエラーがない場合の動作) は**表 31.6** および**表 31.7** のとおりです。

当該パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットを “01b” (BUF) から “00b” (NAK) に変更する場合、“00b” (NAK) を書いた後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY フラグが “1” であることを確認してください。

以下の場合には USB が PID[1:0] ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアで選択パイプの PIPECFG.SHTNAK ビットを “1” にしている場合、USB がトランスファ終了を認識したときに、PID[1:0] = 00b (NAK) を表示します。
- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。
- ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、USB は PID[1:0] = 00b (NAK) を表示します。
- ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB は PID[1:0] = 00b (NAK) を表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b” を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b” を書いてください。
- STALL (11b) 状態から NAK 状態にする場合には、一度 “10b” を書いてから “00b” を書いてください。
- STALL (11b) 状態から BUF 状態にする場合には、一度 NAK 状態にしてから “01b” を書いてください。
- STALL (10b) 状態から BUF 状態にする場合には、一度 “00b” を書いてから “01b” を書いてください。

PBUSY フラグ（パイプビジーフラグ）

当該パイプを現在トランザクションで使用中かどうかが表示されます。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY フラグを “0” から “1” に変更します。ひとつのトランザクションが終了したときに PBUSY フラグを “1” から “0” に変更します。

ソフトウェアで PID[1:0] = 00b (NAK) を設定した後、PBUSY フラグを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「**31.3.4.1　パイプコントロールレジスタの切り替え手順**」を参照してください。

SQMON フラグ（シーケンストグルビット確認フラグ）

当該パイプの次回トランザクションにおけるシーケンストグルビット値が表示されます。

当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると USB は SQMON フラグをトグルさせます。ただし、受信方向転送時のデータ PID 不一致発生時には、SQMON フラグをトグルさせません。

SQSET ビット（シーケンストグルビットセットビット）

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA1 にセットするときに “1” を指定します。

ソフトウェアで SQSET ビットを “1” にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットを “0” にします。

SQCLR ビット（シーケンストグルビットクリアビット）

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA0 にクリアするときに “1” を指定します。

ソフトウェアで SQCLR ビットを “1” にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットを “0” にします。

ACLRM ビット（自動バッファクリアモードビット）

当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに “1”、“0” を連続して書いてください。

ACLRM ビットに “1”、“0” を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて**表 31.8** に示します。

ATREPM ビット（自動応答モードビット）

当該パイプの自動応答禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、ATREPM ビットを “1” にすることが可能です。

ATREPM ビットを “1” にした場合、USB ホストからのトークンに対し USB は以下のように応答します。

(1) 当該パイプが Bulk-IN 転送（PIPECFG.TYPE[1:0] ビットに “01b” かつ PIPECFG.DIR ビットに “1” を設定）の場合

ATREPM ビットが “1” かつ PID[1:0] = 01b (BUF) にしている場合、IN トークンに対して USB は Zero-Length パケットを送信します。

USB ホストからの ACK 受信のたびに（1 トランザクションは IN トークン受信 → Zero Length パケット送信 → ACK 受信）、USB はシーケンストグルビット（データ PID）の更新（トグル）を行います。

BRDY 割り込み、BEMP 割り込みは発生させません。

(2) 当該パイプが Bulk-OUT 転送（PIPECFG.TYPE[1:0] ビットに “01b” かつ PIPECFG.DIR ビットに “0” を設定）の場合

ATREPM ビットが “1” かつ PID[1:0] = 01b (BUF) にしている場合、OUT トークンに対して USB は NAK 応答を行い、NRDY 割り込みを発生させます。

ATREPM ビットを “1” にして USB 通信を行う場合、FIFO バッファは空の状態で設定を行ってください。ATREPM ビットを “1” にして USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

当該パイプの転送タイプがアイソクロナス転送の場合、ATREPM ビットは “0” にしてください。

ホストコントローラ機能選択時には、ATREPM ビットは “0” を書いてください。

INBUFM フラグ（送信バッファモニタフラグ）

当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。

当該パイプを送信方向（PIPECFG.DIR ビットが “1”）に設定している場合に、CPU または DMAC/DTC が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、USB は INBUFM フラグを “1” にします。

書き込みが完了している面の FIFO バッファ上のデータを USB がすべて送信完了したときに、USB は INBUFM フラグを “0” にします。ダブルバッファ使用時（PIPECFG.DBLB ビットが “1”）には、USB が 2 面分のデータを送信完了しかつ CPU または DMAC/DTC が 1 面分のデータ書き込みを完了していないときに、

INBUFM フラグを “0” にします。

当該パイプを受信方向（PIPECFG.DIR ビットが “0”）に設定している場合には、INBUFM フラグは BSTS フラグと同じ値を示します。

BSTS フラグ（バッファステータスフラグ）

当該パイプの FIFO バッファステータスが表示されます。

BSTS フラグの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 31.9 に示すように異なります。

表31.6　PID[1:0]ビットによるUSBの動作一覧(ホストコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIRビット)	USBの動作
“00b” (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
“01b” (BUF)	バルク または インタラプト	設定値に依存しない	DVSTCTR0.UACTビットが“1”で、かつ当該パイプに対応するFIFOバッファが送受信可能な状態ならばトークンを発行する。DVSTCTR0.UACTビットが“0”である、または送受信可能でなければトークンを発行しない
	アイソクロナス	設定値に依存しない	当該パイプに対応するFIFOバッファの状態にかかわらずトークンを発行する
“10b” (STALL) または “11b” (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表31.7　PID[1:0]ビットによるUSBの動作一覧(ファンクションコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIRビット)	USBの動作
“00b” (NAK)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにNAK応答を行う
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う
“01b” (BUF)	バルク	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	インタラプト	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	バルク、または インタラプト	送信方向 (DIRビットが“1”)	対応するFIFOバッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければNAK応答を行う
	アイソクロナス	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する
		送信方向 (DIRビットが“1”)	対応するFIFOバッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する
“10b” (STALL) または “11b” (STALL)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにSTALL応答を行う
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う

表31.8　ACLRM = 1設定時にUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容(ダブルバッファ設定時はFIFOバッファを2面ともクリア)	パイプの初期化をしたい場合
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFREビットに関する内部フラグ	PIPECFG.BFREビットの設定値変更時
4	FIFOバッファトグル制御	PIPECFG.DBLBビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表31.9　BSTSフラグの動作

DIRビット	BFREビット	DCLRMビット	BSTSフラグの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了したときに“0”になります
		1	この組み合わせは設定しないでください
	1	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了した後でソフトウェアでポートコントロールレジスタのBCLRビットに“1”を書いたときに“0”になります
		1	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了したときに“0”になります
1	0	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”になり、データの書き込みが完了したときに“0”になります
		1	この組み合わせは設定しないでください
	1	0	この組み合わせは設定しないでください
		1	この組み合わせは設定しないでください

- PIPEnCTR (n = 6 ～ 9)

アドレス　USB0.PIPE6CTR 000A 007Ah, USB0.PIPE7CTR 000A 007Ch, USB0.PIPE8CTR 000A 007Eh, USB0.PIPE9CTR 000A 0080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0：NAK応答 0 1：BUF応答(バッファ状態に従う) 1 0：STALL応答 1 1：STALL応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0：当該パイプをUSBバスにて未使用 1：当該パイプはUSBバスにて使用	R
b6	SQMON	シーケンストグルビット確認フラグ	0：DATA0 1：DATA1	R
b7	SQSET	シーケンストグルビットセットビット(注2)	0：無効 1：DATA1指定	R/W (注1)
b8	SQCLR	シーケンストグルビットクリアビット(注2)	0：無効 1：DATA0指定	R/W (注1)
b9	ACLRM	自動バッファクリアモードビット(注2、注3)	0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可(全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BSTS	バッファステータスフラグ	0：バッファアクセス不可能 1：バッファアクセス可能	R

注1.　読むと“0”が読めます。“1”のみ書けます。
注2.　SQCLRビットまたはSQSETビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。
注3.　ACLRMビットの設定の変更は、PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PID[1:0] ビット（応答 PID ビット）

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は “00b” (NAK) です。当該パイプで USB 転送を行う場合には PID[1:0] ビットを “01b” (BUF) に変更してください。PID[1:0] ビットの設定値ごとの基本動作 (通信パケットにエラーがない場合の動作) は表 31.6 および表 31.7 のとおりです。

当該パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットを “01b” (BUF) から “00b” (NAK) に変更する場合、“00b” (NAK) を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY フラグが “1” であることを確認してください。

以下の場合には USB が PID[1:0] ビットの値を変更します。

- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。
- ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、USB は PID[1:0] = 00b (NAK) を表示します。

- ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB は PID[1:0] = 00b (NAK) を表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b” を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b” を書いてください。
- STALL (11b) 状態から NAK 状態にする場合には、一度 “10b” を書いてから “00b” を書いてください。
- STALL (11b) 状態から BUF 状態にする場合には、一度 NAK 状態にしてから “01b” を書いてください。
- STALL (10b) 状態から BUF 状態にする場合には、一度 “00b” を書いてから “01b” を書いてください。

PBUSY フラグ（パイプビジーフラグ）

当該パイプを現在 USB バスで使用中かどうかが表示されます。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY フラグを “0” から “1” に変更します。ひとつのトランザクションが終了したときに PBUSY フラグを “1” から “0” に変更します。

ソフトウェアで PID[1:0] = 00b (NAK) を設定した後、PBUSY フラグを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

SQMON フラグ（シーケンストグルビット確認フラグ）

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

トランザクションが正常処理すると USB は SQMON フラグをトグルさせます。ただし、受信方向転送時のデータ PID 不一致発生時には、SQMON フラグをトグルさせません。

SQSET ビット（シーケンストグルビットセットビット）

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに “1” を指定します。

ソフトウェアで SQSET ビットを “1” にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットを “0” にします。

SQCLR ビット（シーケンストグルビットクリアビット）

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに “1” を指定します。

ソフトウェアで SQCLR ビットを “1” にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットを “0” にします。

ACLRM ビット（自動バッファクリアモードビット）

当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに “1”、“0” を連続して書いてください。

ACLRM ビットに “1”、“0” を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて表 31.10 に示します。

BSTS フラグ（バッファステータスフラグ）

当該パイプの FIFO バッファステータスが表示されます。

BSTS フラグの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 31.9 に示すように異なります。

表31.10　ACLRMビットを“1”にしたときにUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFOバッファのすべての内容	パイプの初期化をしたい場合
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFREビットに関する内部フラグ	PIPECFG.BFREビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

31.2.31 パイプ n トランザクションカウンタイネーブルレジスタ (PIPEnTRE) (n = 1 ～ 5)

アドレス　USB0.PIPE1TRE 000A 0090h, USB0.PIPE2TRE 000A 0094h, USB0.PIPE3TRE 000A 0098h, USB0.PIPE4TRE 000A 009Ch, USB0.PIPE5TRE 000A 00A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRCLR	トランザクションカウンタクリアビット	0：無効 1：カレントカウンタクリア	R/W
b9	TRENB	トランザクションカウンタ許可ビット	0：トランザクションカウンタ機能無効 1：トランザクションカウンタ機能有効	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　PIPEnTRE レジスタの各ビットの変更は、PID[1:0] = 00b (NAK)時に実施してください。
対応するパイプのPIPEnCTR.PID[1:0] ビットを“01b” (BUF)から“00b” (NAK)へ変更したあとで各ビットの設定値を変更する場合には、PIPEnCTR.PBUSY フラグが“0”であることを確認してから各ビットを変更してください。ただし、USB がPID[1:0] ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSY フラグの確認は必要ありません。

TRCLR ビット（トランザクションカウンタクリアビット）

当該パイプに対応するトランザクションカウンタの現在のカウント値をクリアし、TRCLR ビットを “0” にします。

TRENB ビット（トランザクションカウンタ許可ビット）

トランザクションカウンタ無効 / 有効を指定します。

受信パイプに対して、ソフトウェアで PIPEnTRN レジスタに総パケット数を設定した後で TRENB ビットを “1” にすると、USB は PIPEnTRN レジスタの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- PIPECFG.SHTNAK ビットが “1” のとき、PIPEnTRN レジスタの設定値と同数のパケット受信を終了時点で対応するパイプの PIPEnCTR.PID[1:0] ビットを “00b” (NAK) に変更します。
- PIPECFG.BFRE ビットが “1” のとき､PIPEnTRN レジスタの設定値と同数のパケット受信し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします

送信パイプについては、TRENB ビットを “0” にしてください。

トランザクションカウント機能を使用しない場合は、TRENB ビットを “0” にしてください。

トランザクションカウント機能を使用する場合、TRENB ビットを “1” にする前に PIPEnTRN レジスタの設定を行ってください。また、トランザクションカウントの対象となる最初のパケットを受信する前に TRENB ビットを “1” にしてください。

31.2.32 パイプ n トランザクションカウンタレジスタ (PIPEnTRN) (n = 1 ～ 5)

アドレス　USB0.PIPE1TRN 000A 0092h, USB0.PIPE2TRN 000A 0096h, USB0.PIPE3TRN 000A 009Ah, USB0.PIPE4TRN 000A 009Eh, USB0.PIPE5TRN 000A 00A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PIPEnTRN レジスタは、USB バスリセット時も設定値が保持されます。

- レジスタ書き込み時：
  当該 PIPE が受信すべき総パケット数（トランザクション回数）を設定します
- レジスタ読み出し時：
  PIPEnTRE.TRENB ビットが “0” の場合は、設定したトランザクション回数が表示されます。
  PIPEnTRE.TRENB ビットが “1” の場合は、カウント中のトランザクション回数が表示されます

USB は、受信時の状態が以下のすべてを満たしたときに PIPEnTRN レジスタを 1 インクリメントします。

- PIPEnTRE.TRENB ビットが “1” である
- パケット受信時に（PIPEnTRN 設定値≠現在のカウント値 +1）である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

USB は、以下のいずれかの条件が満たされたときに PIPEnTRN レジスタの表示を “0000h” にします。

(1) 以下の条件がすべて満たされたとき
- PIPEnTRE.TRENB ビットが “1” である
- パケット受信時に（PIPEnTRN 設定値 = 現在のカウント値 +1）である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

(2) 以下の条件がすべて満たされたとき
- PIPEnTRE.TRENB ビットが “1” である
- ショートパケットを受信した

(3) 以下の条件がすべて満たされたとき
- PIPEnTRE.TRENB ビットが “1” である
- ソフトウェアで PIPEnTRE.TRCLR ビットを “1” にした

送信パイプについては、PIPEnTRN レジスタを “0000h” にしてください。
トランザクションカウント機能を使用しない場合は、PIPEnTRN レジスタを “0000h” にしてください。
PIPEnTRN レジスタのトランザクション回数の設定は、PIPEnTRE.TRENB ビットが “0” のときのみ可能です。また、トランザクション回数設定値を変更する場合には、開始（PIPEnTRE.TRENB ビットが “1”）前に PIPEnTRE.TRCLR ビットに “1” を書いてください（カレントカウンタ値のクリア）。

31.2.33 デバイスアドレス n コンフィギュレーションレジスタ (DEVADDn) (n = 0 ～ 5)

アドレス　USB0.DEVADD0 000A 00D0h, USB0.DEVADD1 000A 00D2h, USB0.DEVADD2 000A 00D4h, USB0.DEVADD3 000A 00D6h, USB0.DEVADD4 000A 00D8h, USB0.DEVADD5 000A 00DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	USBSPD[1:0]		—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	USBSPD[1:0]	通信対象デバイスの転送速度ビット	b7 b6 0 0：DEVADDn レジスタ未使用 0 1：ロースピード 1 0：フルスピード 1 1：設定しないでください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DEVADDn レジスタは、パイプ 0 ～ 9 に対して、通信対象の周辺デバイスが接続されている通信速度を指定するレジスタです。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、DEVADDn レジスタの各ビットを設定してください。

DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下両方の条件を満たしているパイプです。

- DEVSEL[3:0] ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプの PID[1:0] ビットに “01b” (BUF) を設定しているとき、または選択パイプが DCP であり DCPCTR.SUREQ ビットが “1” になっている

USBSPD[1:0] ビット（通信対象デバイスの転送速度ビット）

通信対象の周辺デバイスの USB 転送速度を設定します。

HUB 経由でフルスピードデバイスが接続されたときには、“10b” にしてしてください。

ホストコントローラ機能選択時、USB は、USBSPD[1:0] ビットの設定値を参照してパケットを生成します。

ファンクションコントローラ機能選択時、“00b” にしてください。

31.2.34 PHY クロスポイント調整レジスタ (PHYSLEW)

アドレス USB0.PHYSLEW 000A 00F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SLEWF01	SLEWF00	SLEWR01	SLEWR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SLEWR00	ドライバのクロスポイント調整ビット00	“1”にしてください	R/W
b1	SLEWR01	ドライバのクロスポイント調整ビット01	“0”にしてください	R/W
b2	SLEWF00	ドライバのクロスポイント調整ビット00	“1”にしてください	R/W
b3	SLEWF01	ドライバのクロスポイント調整ビット01	“0”にしてください	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PHYSLEW レジスタは、ドライバのクロスポイントを調整します。
USB の動作を開始させる前に、このレジスタに値 (“00000005h”) を設定してください。

31.3 動作説明

31.3.1 システム制御

USB の初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

31.3.1.1 USB 関連レジスタの設定

USB へのクロック供給が開始された (SYSCFG.SCKE ビットが “1”) 状態で、SYSCFG.USBE ビットを “1” にすることにより、動作が許可され、USB は動作を開始します。

31.3.1.2 コントローラ機能の選択設定

USB は、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFM ビットで行います。ただし、DCFM ビットの設定は、リセット解除直後の初期設定時、または D+ のプルアップと D+/D– のプルダウンがともに禁止 (SYSCFG.DPRPU = 0 かつ DRPD = 0) のときに行ってください。

31.3.1.3 USB データバス抵抗制御

USB は、D+/D– のプルアップ抵抗およびプルダウン抵抗を内蔵しています。SYSCFG.DPRPU、DRPD ビットの設定によりプルアップ、プルダウンを設定してください。

ファンクションコントローラ機能選択時は、USB ホストへの接続を認識したあとで、DPRPU ビットを “1” に設定し、D+ (フルスピード時) をプルアップしてください。

また、PC と通信中に DPRPU ビットに “0” を設定した場合は、USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイス切断を通知することができます。

ホストコントローラ機能選択時は、DRPD ビットを “1” に設定し、D+/D– をプルダウンしてください。

表 31.11 USB データバス抵抗制御

SYSCFG レジスタ		D–	D+	機能
DRPD ビット	DPRPU ビット			
0	0	Open	Open	未使用時
0	1	Open	プルアップ	ファンクションコントローラ(フルスピード)として動作させる場合
1	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
1	1	—	—	設定しないでください

31.3.1.4　USB 外部接続回路例

図 31.2 にセルフパワード時の OTG デバイスと USB コネクタとの接続例を示します。

USB は、D+ 信号のプルアップ抵抗と D+、D– 信号のプルダウン抵抗を制御します。SYSCFG.DPRPU ビット、DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に DPRPU ビットに “0” を設定した場合は、USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイスの切断を通知することができます。

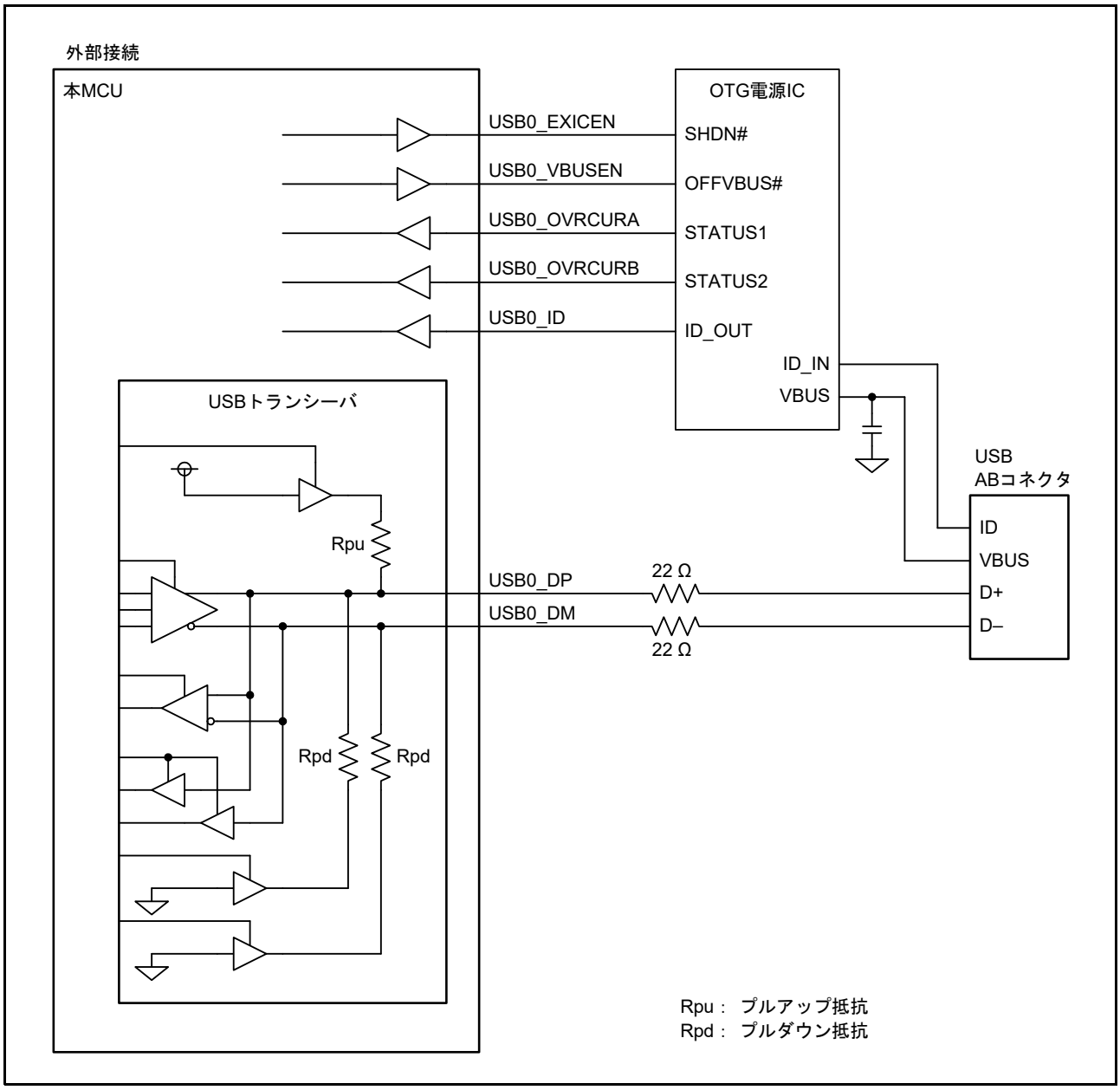


図 31.2　セルフパワード時の OTG デバイスと USB コネクタとの接続例

図 31.3 にセルフパワード時のファンクションコントローラと USB コネクタとの接続例を示します。

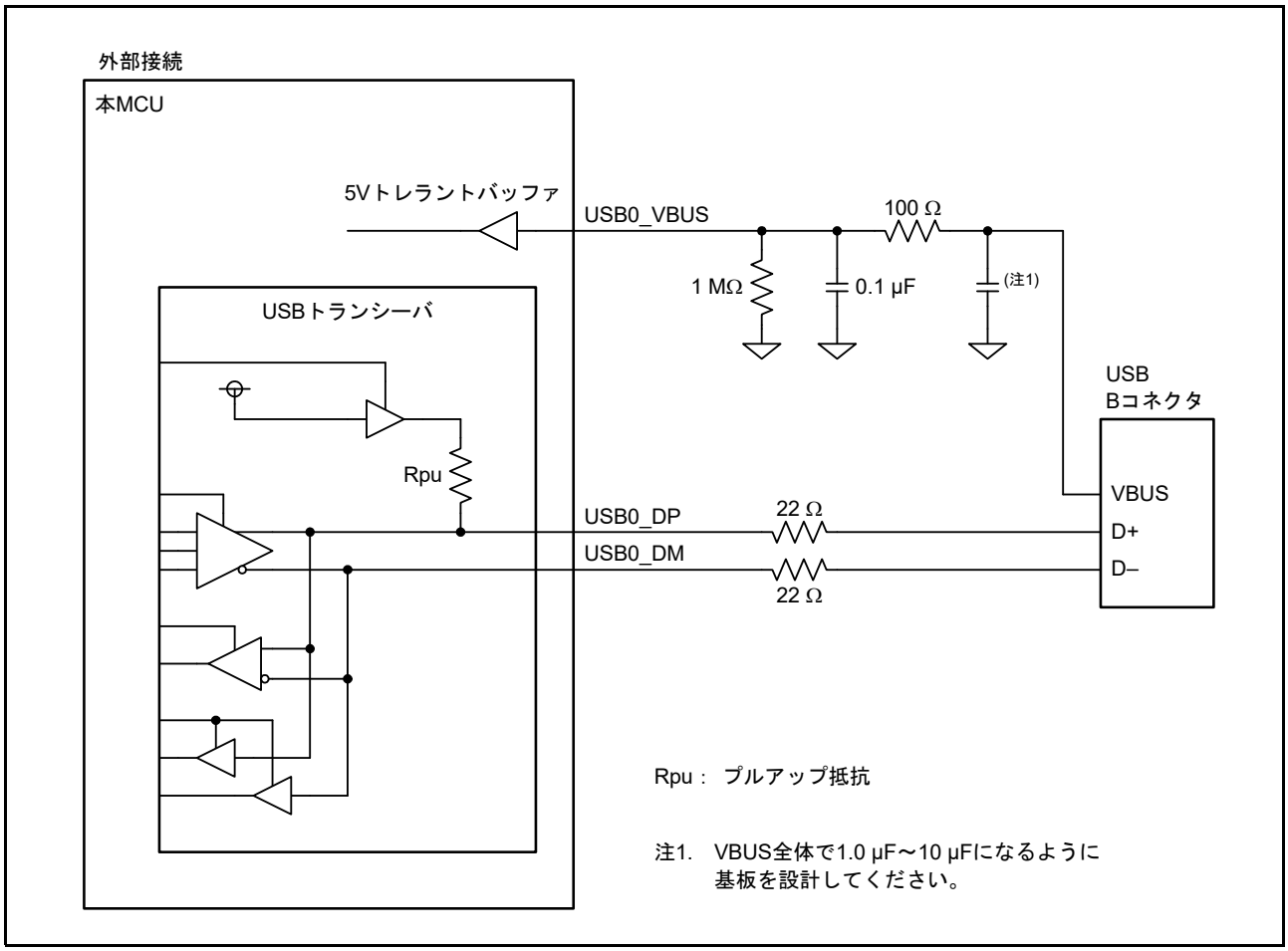


図 31.3　セルフパワード時のファンクションコントローラと USB コネクタとの接続例

図 31.4 にホストコントローラと USB コネクタとの接続例を示します。

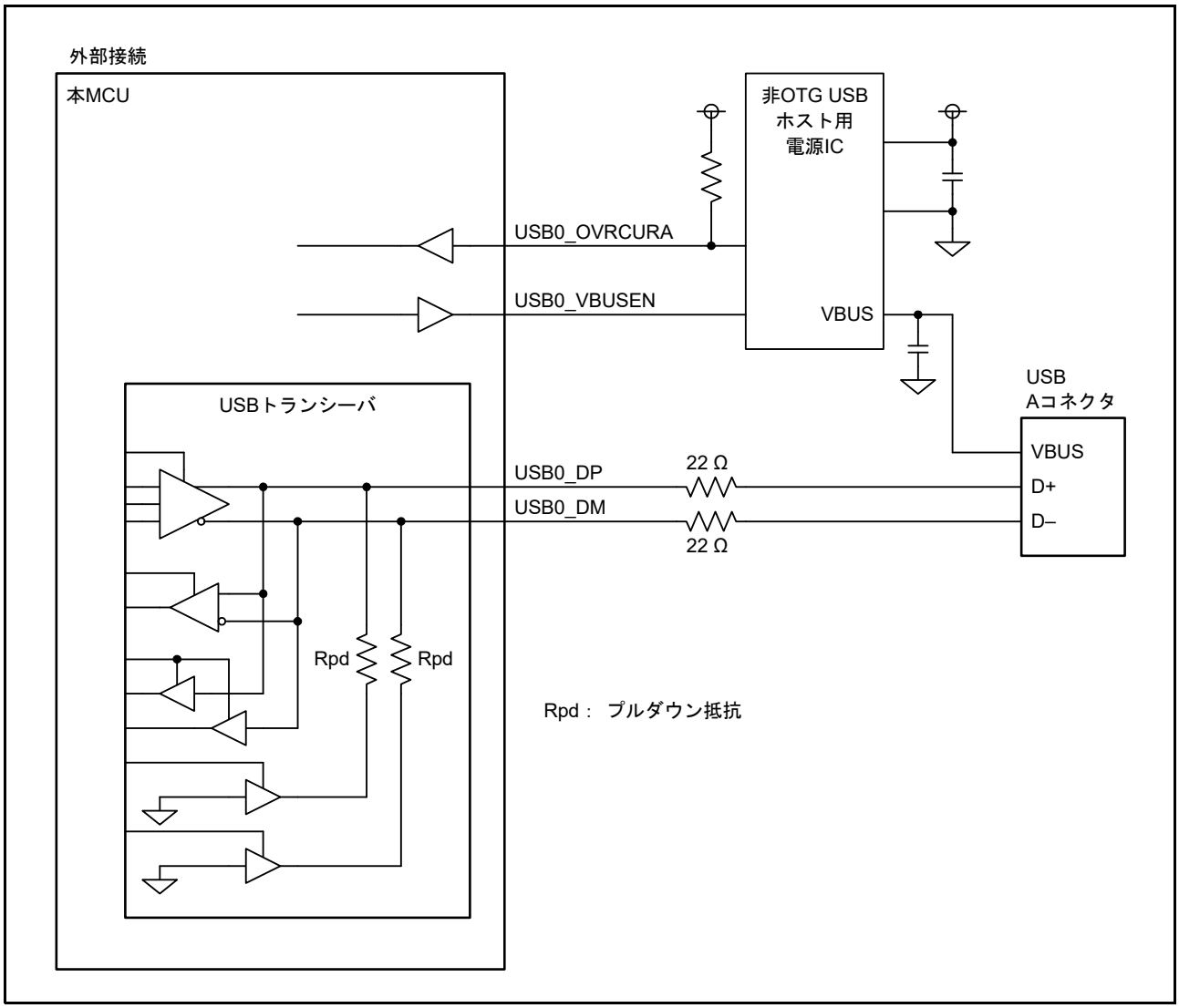


図 31.4　ホストコントローラと USB コネクタとの接続例

図 31.5 にバスパワード時のファンクションコントローラと USB コネクタとの接続例を示します。

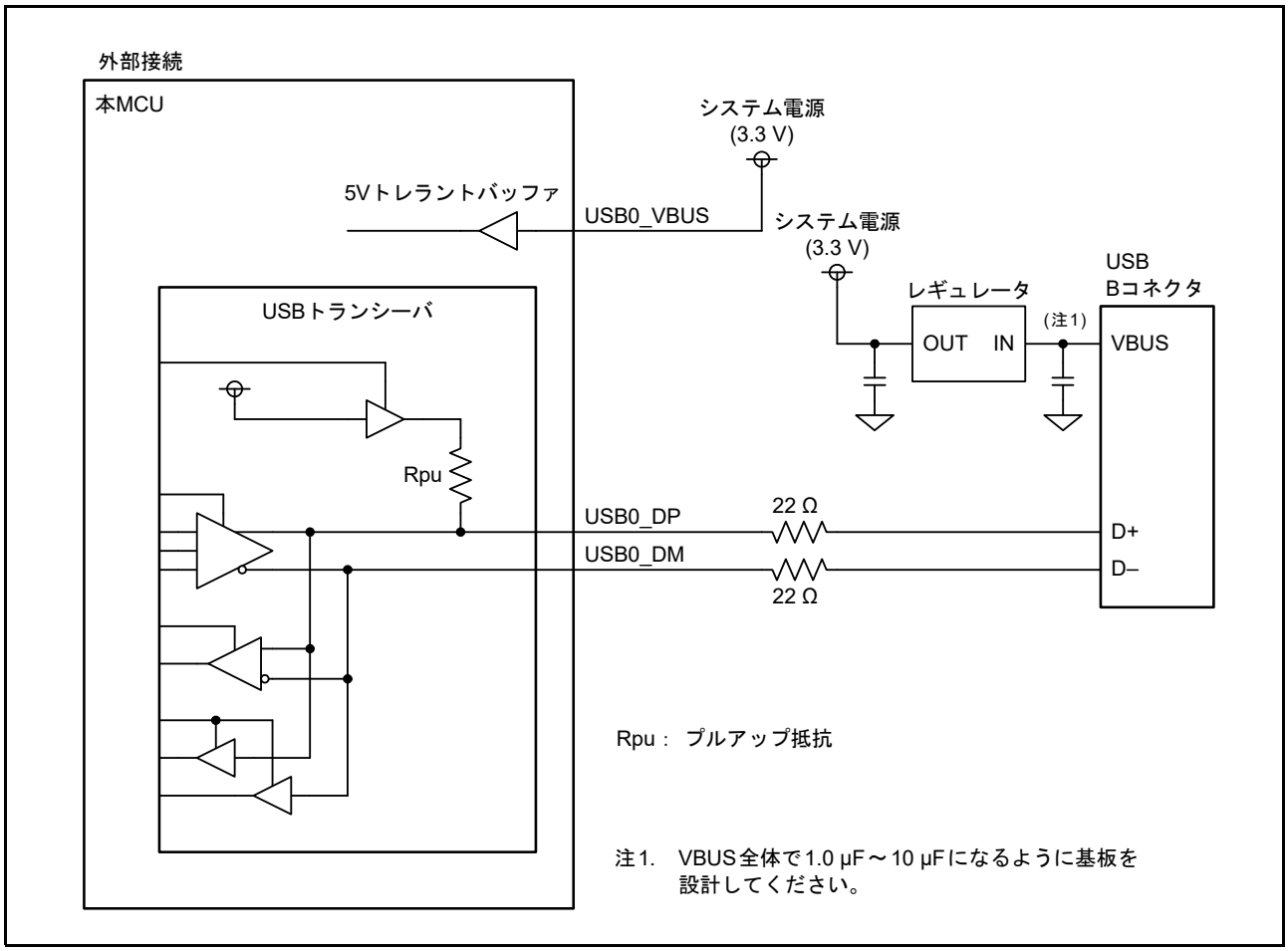


図 31.5　バスパワード時のファンクションコントローラと USB コネクタとの接続例

本章に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作を保証するものではありません。

31.3.2 割り込み要因

表 31.12 に USB の割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USB は割り込みコントローラ (ICU) に対して USB 割り込み要求を発行し、USB 割り込みが発生します。

表31.12　割り込み要因一覧

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
VBINT	VBUS割り込み	● USB0_VBUS入力端子の状態変化を検出したとき(Low → High、High → Lowの両方の変化)	ホスト/ファンクション(注1)	INTSTS0.VBSTS
RESM	レジューム割り込み	● サスペンド状態においてUSBバスの状態変化を検出したとき(J-State → K-StateまたはJ-State → SE0)	ファンクション	—
SOFR	フレーム番号更新割り込み	[ホストコントローラ機能選択時] ● フレーム番号の異なるSOFパケットを送信したとき [ファンクションコントローラ機能選択時] ● フレーム番号の異なるSOFパケットを受信したとき	ホスト/ファンクション	—
DVST	デバイスステート遷移割り込み	● デバイスステートの遷移を検出したとき(以下) USBバスリセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信	ファンクション	INTSTS0.DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	● コントロール転送のステージ遷移を検出したとき(以下) セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	ファンクション	INTSTS0.CTSQ[2:0]
BEMP	バッファエンプティ割り込み	● バッファメモリ中の全データを送信してバッファが空になったとき ● マックスパケットサイズを超えたパケットを受信したとき	ホスト/ファンクション	BEMPSTS.PIPEnBEMP
NRDY	バッファノットレディ割り込み	[ホストコントローラ機能選択時] ● 発行したトークンに対して周辺デバイス側からのSTALLを受信したとき ● 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき(無応答が3回連続、またはパケット受信エラーが3回連続) ● アイソクロナス転送時にオーバラン/アンダランが発生したとき [ファンクションコントローラ機能選択時] ● PID[1:0] = 01b (BUF)を設定しているときに、INトークン/OUTトークンに対してNAKを応答したとき ● アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフィングエラーが発生したとき ● アイソクロナス転送でデータ受信時にオーバラン/アンダランが発生したとき	ホスト/ファンクション	NRDYSTS.PIPEnNRDY
BRDY	バッファレディ割り込み	● バッファがレディ(リードまたはライト可能状態)になったとき	ホスト/ファンクション	BRDYSTS.PIPEnBRDY
OVRCR	オーバカレント変化割り込み	● USB0_OVRCURAおよびUSB0_OVRCURB入力端子の状態変化を検出したとき(Low → High、High → Lowの両方の変化)	ホスト	INTSTS1.OVRCR
BCHG	バス変化割り込み	● USBバスステートの変化を検出したとき	ホスト/ファンクション	SYSSTS0.LNST[1:0]
DTCH	フルスピード動作時切断検出	● フルスピード動作時周辺デバイスの切断を検出したとき	ホスト	DVSTCTR0.RHST[2:0]
ATTCH	デバイス接続検出	● USBバスステートが2.5 μs連続したJ-STATE、または2.5 μs連続したK-STATEを検出したとき。周辺デバイスの接続検出に使用可能。	ホスト	—
EOFERR	EOFエラー検出	● 周辺デバイスのEOFエラーを検出	ホスト	—
SACK	SETUP正常	● セットアップトランザクションの正常応答(ACK)を受信したとき	ホスト	—
SIGN	SETUPエラー	● セットアップトランザクションのエラー(無応答またはACKパケット破損)を3回連続で検出したとき	ホスト	—

注1.　本割り込みは、ホスト機能時も発生しますが、通常ホスト機能時には使用しません。

図 31.6 に USB の割り込み関連図を示します。

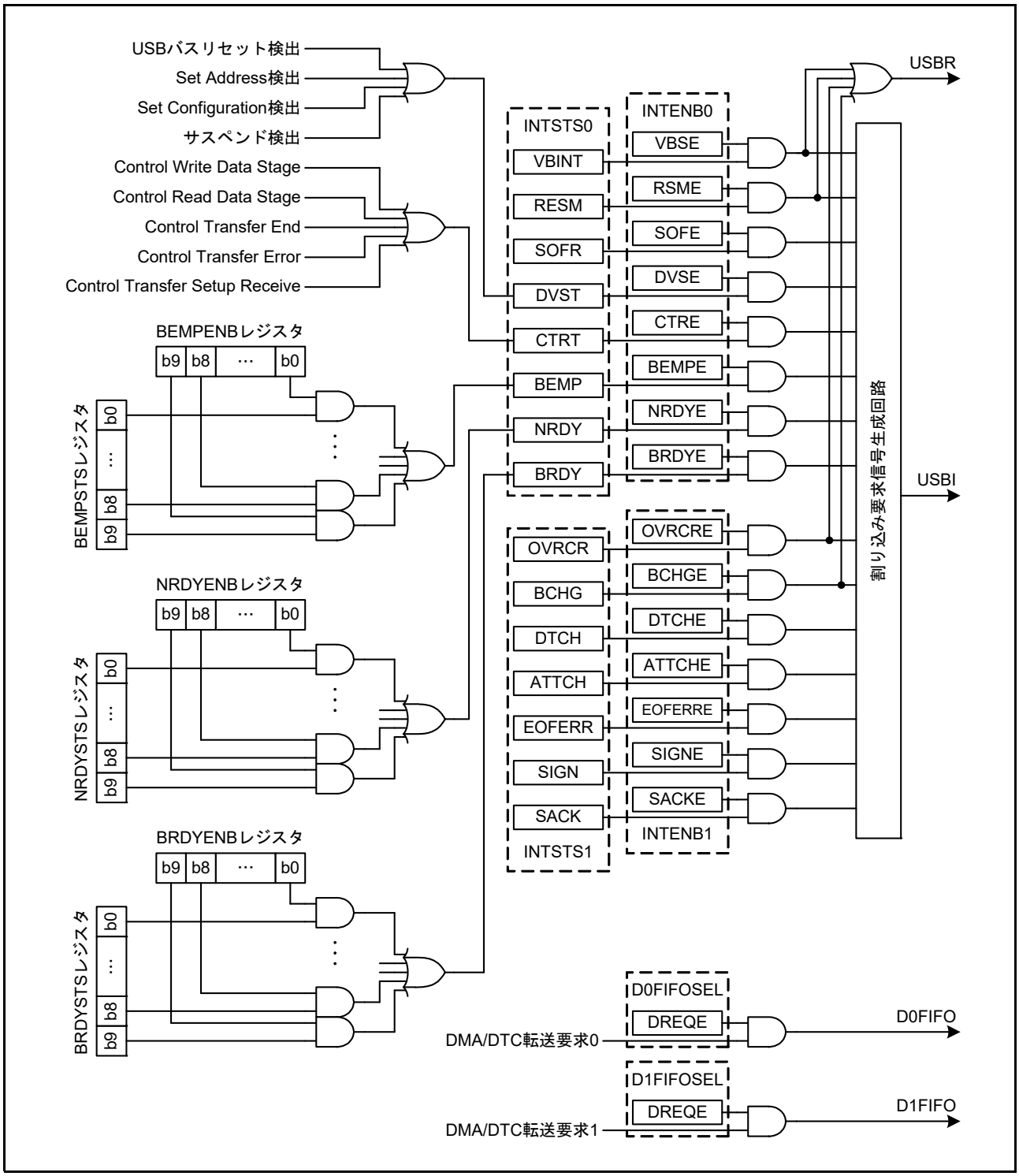


図 31.6 USB 割り込みの関連図

表 31.13 に USB の割り込み一覧を示します。

表31.13　USBの割り込み一覧

割り込み名称	割り込みステータスフラグ	DTCの起動	DMACの起動
D0FIFO	DMA/DTC転送要求0	可能	可能
D1FIFO	DMA/DTC転送要求1	可能	可能
USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバカレント変化割り込み、バス変化割り込み、フルスピード動作時切断検出、デバイス接続検出、EOFエラー検出、SETUP正常、SETUPエラー	不可能	不可能
USBR	VBUS割り込み、レジューム割り込み、オーバカレント変化割り込み、バス変化割り込み	不可能	不可能

31.3.3　割り込みの説明

31.3.3.1　BRDY 割り込み

BRDY 割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、USB は BRDYSTS レジスタの当該ビットを “1” にします。このとき、ソフトウェアで当該パイプに対応する BRDYENB.PIPEnBRDYE ビットを “1” にし、かつ、INTENB0.BRDYE ビットを “1” にしていれば、USB は BRDY 割り込みを発生させます。

BRDY 割り込みは、SOFCFG.BRDYM ビットおよび各パイプの PIPECFG.BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(1)　SOFCFG.BRDYM ビットが “0” かつ PIPECFG.BFRE ビットが “0” のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USB は、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する BRDYSTS.PIPEnBRDY フラグを “1” にします。

(a)　送信方向に設定したパイプの場合

- ソフトウェアで DIR ビットを “0” から “1” に変更したとき
- 当該パイプに割り付けたFIFOバッファへのCPUからの書き込みが不可能な状態のとき(BSTSフラグ読み出し値が “0” のとき) に、USB が当該パイプのパケット送信を完了したとき
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
- FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに “1” を書くことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

(b) 受信方向に設定したパイプの場合

- 当該パイプに割り付けたFIFOバッファへのCPUからの読み出しが不可能な状態のとき(BSTSフラグ読み出し値が “0” のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき
  データ PID 不一致のトランザクションに対し、要求トリガは発生しません。
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能状態であったとき
  読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では BRDY 割り込みは発生しません。

ソフトウェアで、当該パイプに対応する PIPEnBRDY フラグに “0” を書くことにより、当該パイプの BRDY 割り込みステータスを “0” にすることができます。このとき、他のパイプに対応するビットには “1” を書いてください。

この割り込みステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2) SOFCFG.BRDYM ビットが “0” かつ PIPECFG.BFRE ビットが “1” のとき

この設定の場合、USB は、受信パイプにおいて 1 トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、BRDYSTS レジスタの当該パイプに対応するビットを “1” にします。

USB は、以下のいずれかのときに 1 トランスファにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- パイプ n トランザクションカウンタ (PIPEnTRN) を使用し、PIPEnTRN レジスタ設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USB は 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケット受信した場合は、FIFO ポートコントロールレジスタの FRDY フラグが “1”、DTLN[8:0] フラグが “0” の状態になった時点で、USB は 1 トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応するポートコントロールレジスタの BCLR ビットにソフトウェアで “1” を書いてください。

この設定の場合には、USB は送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアで、当該パイプに対応する BRDYSTS.PIPEnBRDY フラグに “0” を書くことにより、当該パイプの BRDY 割り込みステータスを “0” にすることができます。このとき他のパイプに対応するビットには “1” を書いてください。

このモードを使用するときには、トランスファ分の処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、PIPEnCTR.ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビットが “1” かつ PIPECFG.BFRE ビットが “0” のとき

この設定の場合、BRDYSTS.PIPEnBRDY フラグの値は各パイプの BSTS フラグに連動します。即ち、BRDY 割り込みステータスは FIFO バッファの状態によって USB が “1”、“0” にします。

(a) 送信方向に設定したパイプの場合

FIFO ポートにデータが書き込み可能な状態であれば “1” になり、書き込み不可能な状態になれば “0” になります。ただし、DCP の送信パイプが書き込み可能であっても、BRDY 割り込みは発生しません。

(b) 受信方向に設定したパイプの場合

FIFO ポートにデータが読み出し可能な状態であれば “1” になり、すべてのデータを読み出したら (読み出しが不可能の状態になったら) “0” になります。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアで BCLR = 1 を書くまで該当ビットには “1” が表示され BRDY 割り込みは発生し続けます。

受信方向に設定したパイプ設定時、ソフトウェアで、PIPEnBRDY フラグを “0” にすることはできません。

SOFCFG.BRDYM ビットが “1” のときは、PIPECFG.BFRE ビットはすべて (全パイプ) “0” にしてください。

図 31.7 に、BRDY 割り込み発生タイミング図を示します。

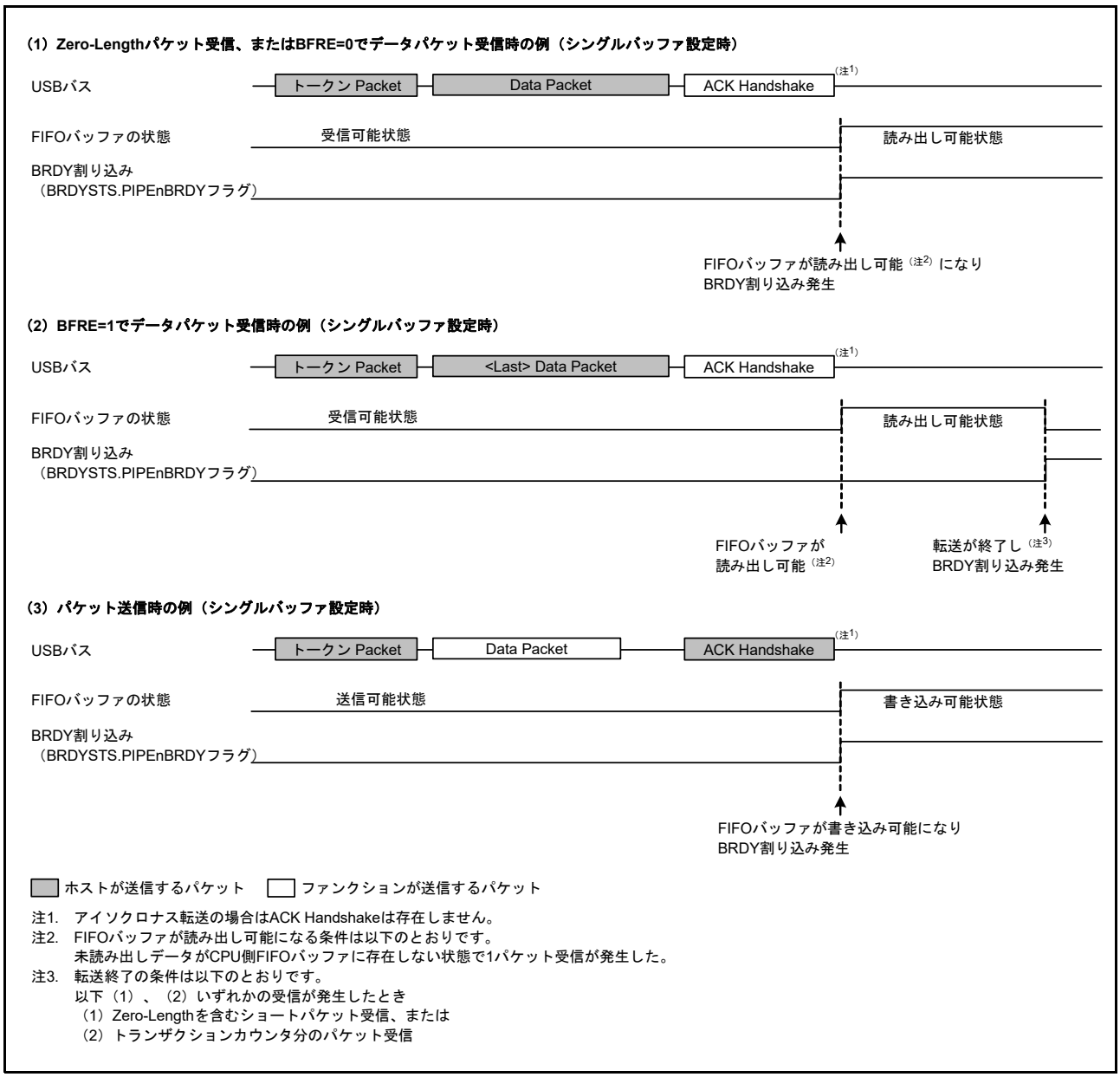


図 31.7　BRDY 割り込み発生タイミング図

USB が INTSTS0.BRDY フラグをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 31.14 に BRDY フラグクリア条件表を示します。

表31.14　BRDY フラグクリア条件表

BRDYM ビット	BRDY フラグのクリア条件
0	ソフトウェアでBRDYSTS レジスタの全ビットを“0”にすると、USB はBRDY フラグを“0”にします
1	全パイプのBSTS フラグが“0”になったときに、USB はBRDY フラグを“0”にします

31.3.3.2 NRDY 割り込み

ソフトウェアで PID[1:0] = 01b (BUF) に設定したパイプに対して、USB が内部 NRDY 割り込み要求を発生させた場合に、USB は NRDYSTS.PIPEnNRDY フラグの対応するビットを “1” にします。このとき、ソフトウェアによって NRDYENB レジスタの対応するビットを “1” にしている場合、USB は INTSTS0.NRDY フラグを “1” にし、USB 割り込みを発生させます。

USB が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(1) ホストコントローラ機能選択時

(a) 送信方向パイプの場合

USB は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき
  このとき、USB は OUT トークンに続けて Zero-Length パケットを送信し、NRDYSTS.PIPEnNRDY フラグの対応するフラグを “1” にし、FRMNUM.OVRN フラグも “1” にします。
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、周辺デバイスが無応答 (周辺デバイスからの Handshake パケットを検出しないままタイムアウトを検出) した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき
  このとき、USB は、PIPEnNRDY フラグの対応するビットを “1” にし、対応するパイプの PID[1:0] ビットを “00b” (NAK) に変更します。
- SETUP トランザクション以外の通信において、周辺デバイスから STALL Handshake を受信したとき
  このとき USB は、PIPEnNRDY フラグの対応するビットを “1” にし、対応するパイプの PID[1:0] ビットを “11b” (STALL) に変更します。

(b) 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに空きがない状態で IN トークン発行タイミングに達したとき
  このとき USB は、IN トークンに対する受信データを破棄し、当該パイプに対応する PIPEnNRDY フラグを “1” にし、OVRN フラグも “1” にします。
  更に、IN トークンに対する受信データにパケットエラーを検出した場合には、FRMNUM.CRCE フラグも “1” にします。
- 転送タイプがアイソクロナス転送以外のパイプで、USB が発行した IN トークンに対して周辺デバイスが無応答 (周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出) した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき
  このとき USB は、当該パイプに対応する PIPEnNRDY フラグを “1” にし、対応するパイプの PID[1:0] ビットを “00b” (NAK) に変更します。

- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスが無応答 (周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出) した場合、または周辺デバイスからのパケットにエラーを検出したとき
  このとき USB は、当該パイプに対応する PIPEnNRDY フラグを “1” にします (対応するパイプの PID[1:0] ビットの変更は行いません)。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーを検出したとき
  このとき USB は、当該パイプに対応する PIPEnNRDY フラグを “1” にし、CRCE フラグを “1” にします。
- STALL Handshake を受信したとき
  このとき USB は、当該パイプに対応する PIPEnNRDY フラグを “1” にし、対応するパイプの PID[1:0] ビットを “11b” (STALL) に変更します。

(2) ファンクションコントローラ機能選択時

(a) 送信方向パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき
  IN トークン受信時に USB は NRDY 割り込み要求を発生させ NRDYSTS.PIPEnNRDY フラグを “1” にします。
  割り込み発生パイプの転送タイプがアイソクロナスの場合、USB は Zero-Length パケットを送信し、FRMNUM.OVRN フラグを “1” にします。

(b) 受信方向パイプの場合

- FIFO バッファに空きがない状態で OUT トークンを受信したとき
  割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USB は NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを “1” にし、OVRN フラグを “1” にします。
  割り込み発生パイプの転送タイプがアイソクロナス以外の場合、USB は、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを “1” にします。
  ただし、再送時 (データ PID 不一致発生時) には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、発生させません。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
  SOF 受信のタイミングで USB は、NRDY 割り込み要求を発生させ、PIPEnNRDY フラグを “1” にします。

図 31.8 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

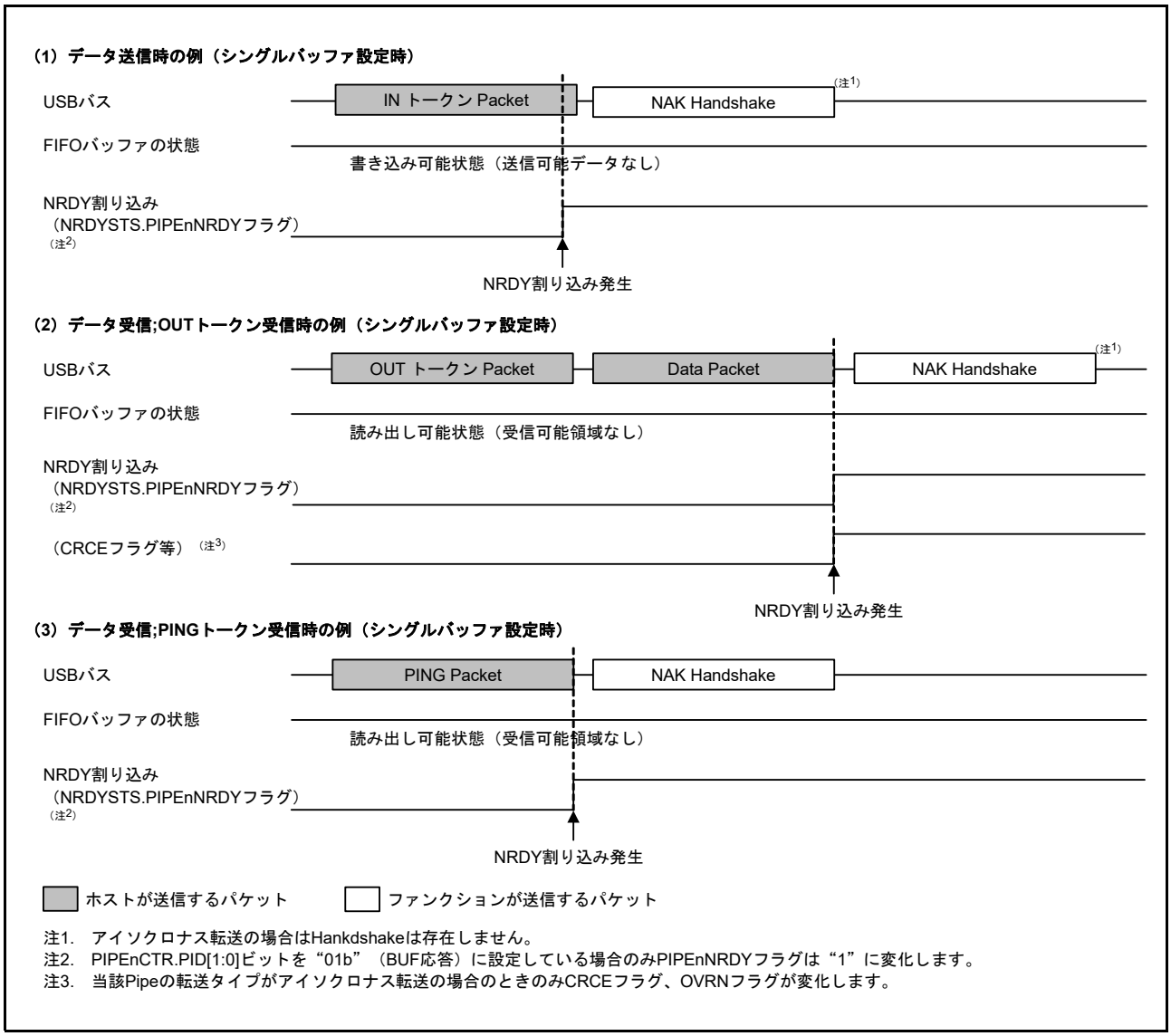


図 31.8　NRDY 割り込み発生タイミング図 (ファンクションコントローラ機能選択時)

31.3.3.3　BEMP 割り込み

ソフトウェアで PID[1:0] = 01b (BUF) に設定したパイプに対して、USB が、BEMP 割り込みを検出した場合に、USB は BEMPSTS.PIPEnBEMP フラグの対応するフラグを “1” にします。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットを “1” にしている場合、USB は INTSTS0.BEMP フラグを “1” にし、USB 割り込みが発生します。

以下の場合に、USB は内部 BEMP 割り込み要求を発生させます。

(1)　送信方向パイプの場合

送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき、シングルバッファ設定時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時にCPUまたはDMAC/DTCがCPU側のFIFOバッファに対する書き込みを開始している場合
- また、PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットに “1” を書くことによるバッファクリア (エンプティ)。
- ファンクションコントローラ機能設定時、コントロール転送 Status ステージの IN 転送 (Zero-Length パケット送信) 時

(2) 受信方向パイプの場合

MaxPacketSize の設定値より大きなデータサイズを正常受信したとき、USB は、BEMP 割り込み要求を発生させ、BEMPSTS.PIPEnBEMP フラグの対応するビットを “1” にし、受信データを破棄し、対応するパイプの PID[1:0] ビットを “11b” (STALL) に変更します。このとき USB は、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- 受信データに CRC エラー、またはビットスタッフィングエラー等を検出したとき
- SETUP トランザクション実行時
  BEMPSTS.PIPEnBEMP フラグに “0” を書くことにより、ステータスをクリアすることができます。
  BEMPSTS.PIPEnBEMP フラグに “1” を書いても、動作に影響ありません。

図 31.9 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

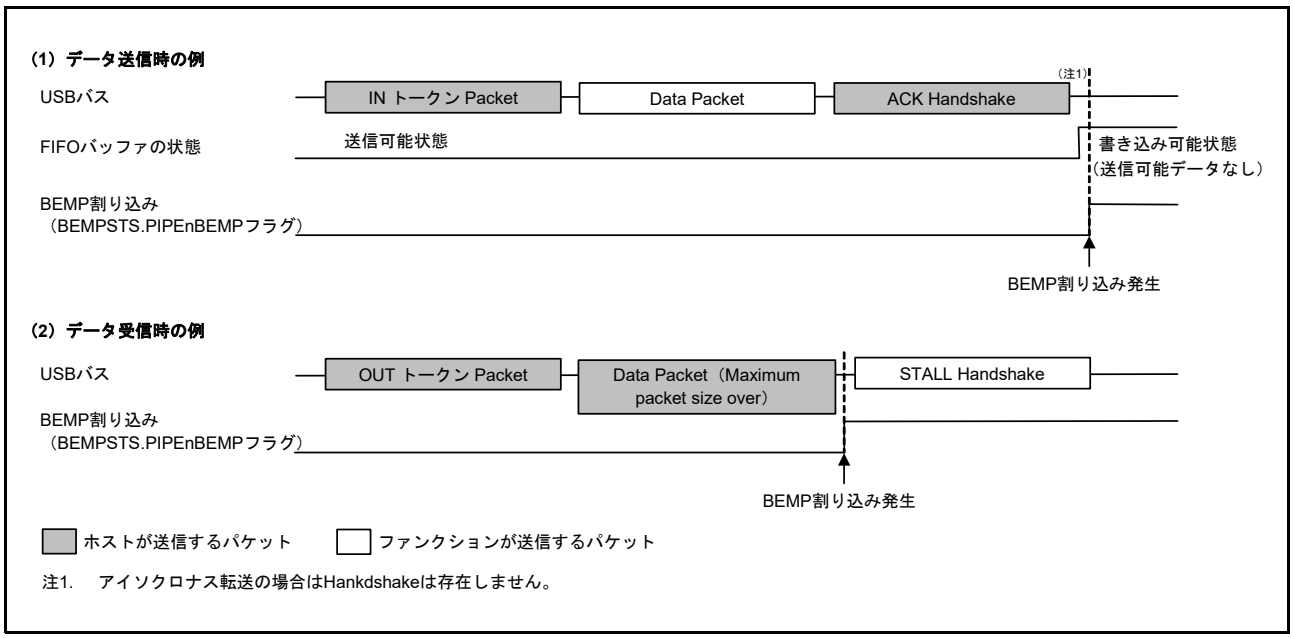


図 31.9　ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

31.3.3.4 デバイスステート遷移割り込み

図 31.10 に USB のデバイスステート遷移図を示します。USB は、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰 (レジューム信号検出) は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0.DVSQ[2:0] フラグにて確認できます。

デフォルトステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

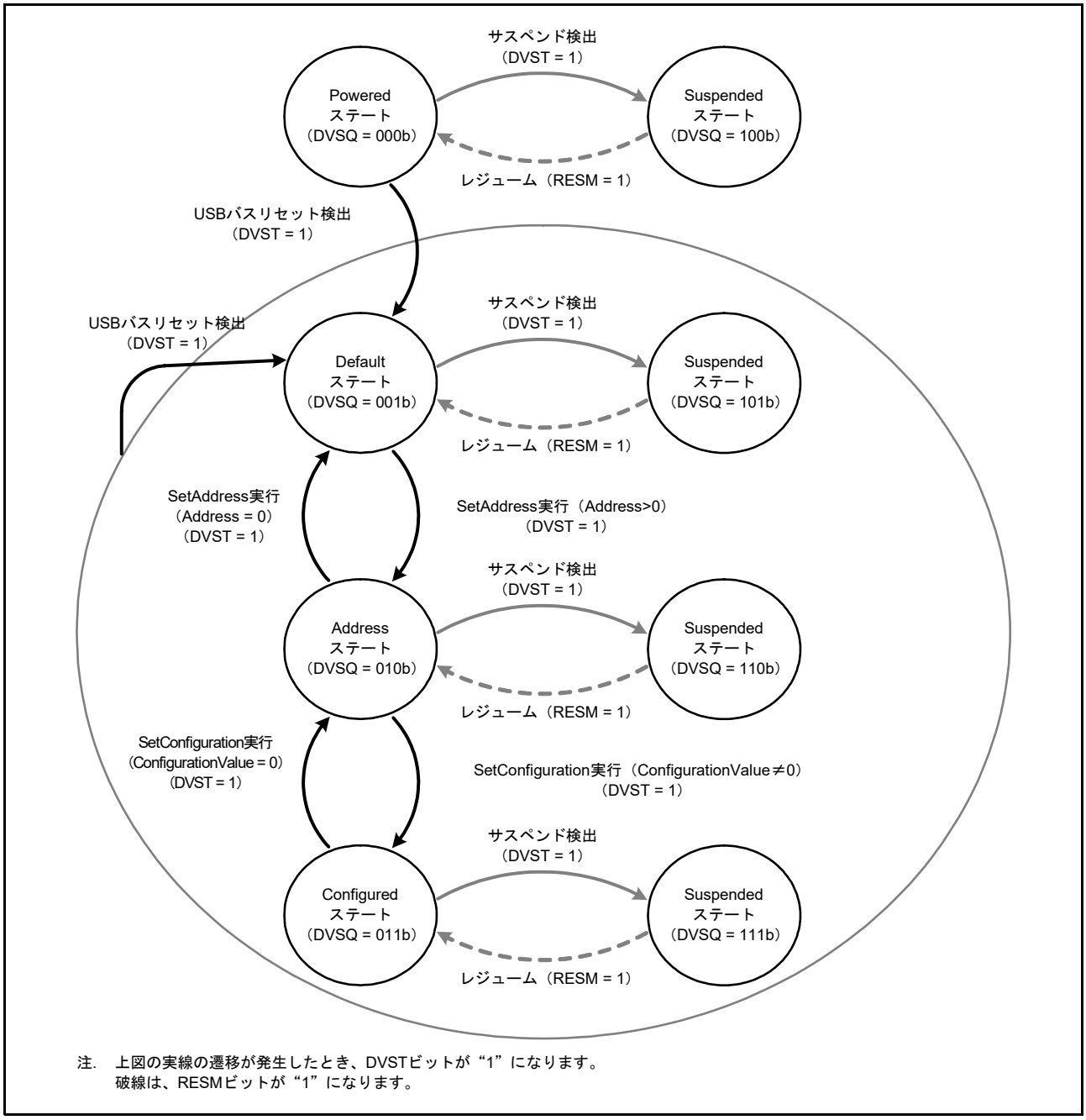


図 31.10　デバイスステート遷移図

31.3.3.5 コントロール転送ステージ遷移割り込み

図 31.11 に USB のコントロール転送ステージ遷移図を示します。USB は、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0.CTSQ[2:0] フラグにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが “1xb” (STALL 応答) になります。

コントロールリード転送時

- データステージの IN トークンに対して、1 度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークン受信
- ステータスステージでデータパケットが “PID = DATA0” のパケットを受信

コントロールライト転送時

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットが “PID = DATA0” のパケットを受信
- ステータスステージで OUT トークン受信

コントロールライトノーデータコントロール転送時

- ステータスステージで OUT トークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時（INTSTS0.CTRT = 1）は、CTSQ[2:0] = 110b の値がシステムから CTRT フラグに “0” を書く（割り込みステータスクリア）まで保持されます。このため、CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません（セットアップステージ完了は、USB で保持されており、ソフトウェアによる割り込みステータスクリア後に、CTRT 割り込みが発生します）。

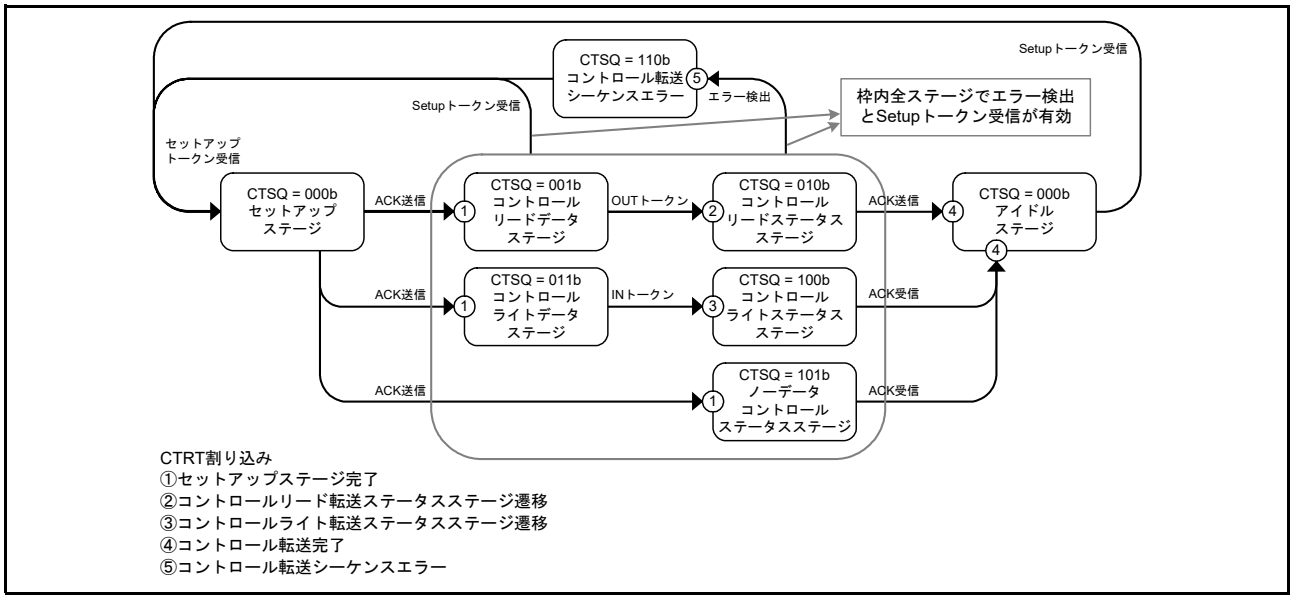


図 31.11　コントロール転送ステージ遷移図

31.3.3.6　フレーム番号更新割り込み

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、USB は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生します。

31.3.3.7　VBUS 割り込み

USB0_VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0.VBSTS フラグにて USB0_VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、USB0_VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

31.3.3.8　レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化 (J-State → K-State または J-State → SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

31.3.3.9　OVRCR 割り込み

USB0_OVRCURA 端子または USB0_OVRCURB 端子に変化があった場合に OVRCR 割り込みが発生します。SYSSTS0.OVCMON[1:0] フラグにて USB0_OVRCURA 端子および USB0_OVRCURB 端子のレベルを確認できます。OVRCR 割り込みによって外部電源 IC からオーバカレント検出の確認ができます。また OTG 接続時には VBUS コンパレータ変化検出の確認ができます。

31.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

31.3.3.11 DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。USB は、USB 規格 2.0 に準じた基準でバスディスコネクトを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを “0” に変更し表示する
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

31.3.3.12 SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

31.3.3.13 SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

31.3.3.14 ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5 μs 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μs 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μs 間継続したとき

31.3.3.15 EOFERR 割り込み

USB 2.0 規格で定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを “0” に変更し表示する
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

31.3.4 パイプコントロール

表 31.15 に USB のパイプ設定項目一覧を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行います。USB にはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表31.15　パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE[1:0]	転送タイプを指定	パイプ1～9：設定可能
	BFRE	BRDY割り込みモードを選択	パイプ1～5：設定可能
	DBLB	ダブルバッファを選択	パイプ1～5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM[3:0]	エンドポイント番号	パイプ1～9：設定可能 パイプ使用時は“0000b”以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ1、2：設定可能(バルク転送選択時のみ設定可能) パイプ3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL[3:0]	デバイス選択	ホストコントローラ機能選択時のみ参照
	MXPS[8:0]	マックスパケットサイズ	USB規格2.0に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1、2：設定可能(アイソクロナス転送選択時のみ) パイプ3～9：設定不可能
	IITV[2:0]	インターバルカウンタ	パイプ1、2：設定可能(アイソクロナス転送選択時のみ) パイプ3～5：設定不可能 パイプ6～9：ホストコントローラ機能選択時のみ設定可能
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCPはISELビットにより、受信/送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ1～5のみ内蔵
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQクリア	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ1～5：設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1～9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	パイプビジー確認	
	PID[1:0]	応答PID	「31.3.4.6　応答PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～5：設定可能
PIPEnTRN	—	トランザクションカウンタ	パイプ1～5：設定可能

31.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が禁止（PID[1:0] = 00b (NAK)）されているときのみ書き換えが可能になります。

USB 通信が許可（PID[1:0] = 01b (BUF)）されているとき、書き換えが禁止されているレジスタおよびビットを以下に示します。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR, SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM, ACLRM, SQCLR, SQSET ビット
- PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット

USB 通信許可（PID[1:0] = 01b (BUF)）状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプの PID[1:0] ビットを “00b” (NAK) に変更します。
3. 当該パイプの PBUSY フラグが “0” になるまで待ちます。
4. パイプコントロールレジスタのビット変更が開始されます。

また、パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれの CURPIPE[3:0] ビットにも設定されていないパイプ情報のみ書き換えが可能です。

CURPIPE[3:0] ビットに設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE[3:0] ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、ポートコントロールレジスタの BCLR ビットにてバッファのクリア処理をしてください。

31.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ 1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ 3 ～ 5：バルク転送を設定してください。
- パイプ 6 ～ 9：インタラプト転送を設定してください。

31.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント “0” に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP：設定不要（エンドポイント “0” 固定）です。
- パイプ 1 ～ 9：1 から 15 までを選択して設定してください。
  ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないように設定してください。

31.3.4.4 マックスパケットサイズ設定

DCPMAXP.MXPS[6:0] ビットおよび PIPEMAXP.MXPS[8:0] ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ 1 ～ 5 は USB 規格 2.0 で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ 6 ～ 9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前（PID[1:0] = 01b (BUF)）に設定してください。

- DCP：8、16、32、64 から選択して設定してください。
- パイプ 1 ～ 5：バルク転送時は、8、16、32、64 から選択して設定してください。
- パイプ 1、2：アイソクロナス転送時は、1 から 256 の値を設定してください。
- パイプ 6 ～ 9：1 から 64 の値を設定してください。

31.3.4.5 トランザクションカウンタ (パイプ 1 ～ 5 読み出し方向)

USB は、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタには、トランザクション回数を指定する PIPEnTRN レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、PIPECFG.SHTNAK ビット設定が “1” との組み合わせによりカレントカウンタが指定回数に一致すると、当該 PIPEnCTR.PID[1:0] ビットを NAK 状態とし、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。
PIPEnTRE.TRENB ビットの設定により、PIPEnTRN レジスタ読み出し時の情報が異なります。

- TRENB ビットが “0”：設定したトランザクションカウンタ値が読めます。
- TRENB ビットが “1”：内部でカウントしたカレントカウンタ値が読めます。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID[1:0] = 01b (BUF) の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

31.3.4.6　応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0] ビットにて各パイプの応答 PID を設定します。各設定における USB の動作は下記のとおりです。

(1)　ホストコントローラ機能選択時の応答 PID 設定

応答 PID は、トランザクションの実施を指定します。

- NAK 設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF 設定：バッファメモリの状況に応じてトランザクションが実施されます。
  OUT 方向の場合、バッファメモリに送信データがある場合、OUT トークンを発行します。
  IN 方向の場合、バッファメモリに空きがあり受信可能な場合、IN トークンを発行します。
- STALL 設定：パイプ禁止状態です。トランザクションは実施されません。

注．　DCP のセットアップトランザクションは、DCPCTR.SUREQ ビットで設定します。

(2)　ファンクションコントローラ機能選択時の応答 PID 設定

応答 PID は、ホストからのトランザクションに対する応答を指定します。

- NAK 設定：発生したトランザクションに対して NAK 応答します。
- BUF 設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL 設定：発生したトランザクションに対して STALL 応答します。

注．　セットアップトランザクションに対しては、PID[1:0] ビットの設定にかかわらず、ACK 応答し、レジスタに USB リクエストを格納します。

PID[1:0] ビットは、トランザクション結果により USB による書き込みが発生する場合があります。USB により PID[1:0] ビットへの書き込みが発生するのは以下の場合です。

(3)　ホストコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID[1:0] = 00b (NAK) となり、トークンの発行を自動的に停止します。
  アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
  （詳細は、「31.3.3.2　NRDY 割り込み」を参照してください）
  －バルク転送時に PIPECFG.SHTNAK ビットを “1” にした場合でショートパケットを受信したとき
  －バルク転送時に SHTNAK ビットを “1” にし、トランザクションカウンタが終了したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID[1:0] = 1xb (STALL) となり、トークンの発行を自動的に停止します。
  －送信したトークンに対して STALL を受信したとき
  －受信したデータパケットがマックスパケットサイズを超えたとき

(4)　ファンクションコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID[1:0] = 00b (NAK) となり、トランザクションに対して NAK 応答します。
  SETUP トークンを正常に受信したとき（DCP のみ）
  バルク転送時に PIPECFG.SHTNAK ビットを “1” にし、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID[1:0] = 1xb (STALL) となり、トランザクションに対して STALL 応答します。
  －受信データパケットでマックスパケットサイズオーバエラーを検出したとき
  －コントロール転送シーケンスエラーを検出したとき（DCP のみ）

31.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USB によりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON フラグにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に USB が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 になります。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので注意してください。

31.3.4.8 応答 PID = NAK 機能

USB には、PIPECFG.SHTNAK ビットを “1” にすることで、トランスファの最後（ショートパケット受信またはトランザクションカウンタでモジュールが自動識別）のデータパケット受信タイミングで、パイプ動作を禁止（応答 PID = NAK）する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可（応答 PID = BUF）設定を行う必要があります。

なお、応答 PID = NAK 機能はバルク転送時のみ動作することが可能です。

31.3.4.9 自動応答モード

バルク転送のパイプ（パイプ 1 ～ 5）において、PIPEnCTR.ATREPM ビットを “1” にすると、自動応答モードとなります。OUT 転送時（PIPECFG.DIR ビットが “0”）には OUT-NAK モードとなり、IN 転送時（DIR ビットが “1”）には Null 自動応答モードとなります。

31.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを “1” にすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で OUT-NAK モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前で OUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）で OUT-NAK モードを解除して、パイプ動作許可（応答 PID = BUF）を行ってください。通常モードでは、OUT データ受信が可能となります。

31.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを “1” にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。PIPEnCTR.INBUFM フラグが “0” であることで確認してください。INBUFM フラグが “1” の場合には、バッファ内にデータが存在しているため、PIPEnCTR.ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）を Zero-Length パケット送信分ウェイト（約 10 µs）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

31.3.5 FIFO バッファメモリ

31.3.5.1 FIFO バッファメモリ

USB はデータ転送用の FIFO バッファメモリを内蔵します。各 PIPE の使用領域は、USB にて管理しています。FIFO バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と USB (SIE 側) にある場合があります。

(1) バッファステータス

表 31.16 および表 31.17 に USB のバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS フラグおよび PIPEnCTR.INBUFM フラグにて確認できます。バッファメモリの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット (DCP 選択時) で指定します。

なお、INBUFM フラグは送信方向のパイプ 1 ～ 5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS フラグは CPU 側のバッファの状態を、INBUFM フラグは SIE 側のバッファの状態を判断するために使用します。CPU または DMAC/DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM フラグで送信完了を確認できます。

表31.16　BSTSフラグによるバッファステータス

ISELまたはDIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFOポートからの読み出し不可能
0 (受信方向)	1	受信データあり、またはZero-Lengthパケット受信 FIFOポートからの読み出し可能 ただし、Zero-Lengthパケット受信時は読み出し不可能のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFOポートへの書き込み不可能
1 (送信方向)	1	送信完了 CPUは書き込み可能

表31.17　INBUFMフラグによるバッファステータス

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データがFIFOポートから書き込まれた 送信可能データあり

31.3.5.2　FIFO バッファクリア

表 31.18 に USB による FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、PIPEnCTR.ACLRM ビットでクリアすることができます。

パイプ 1 ～ 5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

表31.18　各バッファクリア一覧

FIFOバッファクリアの種類	CPU側バッファメモリをクリアします	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです	受信したパケットをすべて破棄する自動バッファクリアモードです
当該レジスタ	CFIFOCTRレジスタ DnFIFOCTRレジスタ	DnFIFOSELレジスタ	PIPEnCTRレジスタ
当該ビット	BCLRビット	DCLRMビット	ACLRMビット
“0”になる条件	“1”書き込みで“0”になる	1：モード有効 0：モード無効	1：モード有効 0：モード無効

(1)　自動バッファクリアモード機能

USB には、PIPEnCTR.ACLRM ビットを “1” にすることで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、自動バッファクリアモード機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットを “1” にし、続けて “0” にすることで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの “1” 書き込みと “0” 書き込みの間隔を 100ns 以上とってください。

31.3.5.3 FIFO ポートの機能

表 31.19 に USB の FIFO ポート機能設定表を示します。データ書き込み時は、マックスパケットサイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックスパケットサイズ数未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN[8:0] フラグが “0”) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] フラグにて確認します。

表31.19　FIFOポート機能設定

レジスタ	ビット	機能
CFIFOSEL, DnFIFOSEL (n = 0, 1)	RCNT	DTLN[8:0]読み出しモード選択
	REW	バッファメモリリワインド(再読み出し、再書き込み)
	DCLRM	指定パイプの受信データ読み出し後自動クリア(DnFIFO専用)
	DREQE	DMA/DTC転送許可(DnFIFO専用)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアン選択
	ISEL	FIFOポートアクセス方向(DCP専用)
	CURPIPE[3:0]	カレントパイプ選択
CFIFOCTR, DnFIFOCTR (n = 0, 1)	BVAL	バッファメモリ書き込み終了
	BCLR	CPU側バッファメモリクリア
	DTLN[8:0]	受信データ長確認

(1) FIFO ポート選択

表 31.20 に各 FIFO ポートで選択可能なパイプ表を示します。ポート選択レジスタの CURPIPE[3:0] ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0] ビット値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、USB コントローラがパイプ変更処理中である事を示します)、ポートコントロールレジスタの FRDY フラグが “1” であることを確認し、FIFO ポートへアクセスしてください。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG.DIR ビットに従います。ただし、DCP のみポート選択レジスタの ISEL ビットにより決定します。

表31.20　パイプ別FIFOポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ1～9	CPUアクセス	CFIFOポートレジスタ D0FIFO/D1FIFOポートレジスタ
	DMAC/DTCアクセス	D0FIFO/D1FIFOポートレジスタ

(2) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0] ビット設定と同時に REW ビットを “1” にしてパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、“0” にしパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY フラグが “1” であることを確認する必要があります。

31.3.5.4 DMA 転送 (D0FIFO/D1FIFO ポート)

(1) DMA 転送概要

パイプ 1 ～ 9 に対して、DMAC による FIFO ポートアクセスが可能です。DMAC に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL.MBW ビットにて FIFO ポートへの転送単位を、DnFIFOSEL.CURPIPE[3:0] ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(2) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

USB は、DnFIFOSEL.DCLRM ビットを “1” にすることで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 31.21 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。**表 31.21** に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、DnFIFO 自動クリアモードはバッファメモリ読み出し方向のみ設定できます。

表31.21 パケット受信とソフトウェアによるバッファメモリクリア処理の関連

パケット受信時の バッファ状態	レジスタの設定			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

31.3.6 DCP を使用したコントロール転送

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

31.3.6.1 ホストコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに “1” を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、“0” になります。SUREQ = 1 中は上記 USB リクエストレジスタを操作しないでください。

接続されたファンクションデバイスのアタッチ検出後、そのデバイスに対する最初のセットアップトランザクションは、DCPMAXP.DEVSEL[3:0] ビットを “0” にし、DEVADD0.USBSPD[1:0] ビットを設定し上記シーケンスでセットアップトランザクションを発行してください。

接続されたファンクションデバイスが Address ステートに遷移した以降は、DEVSEL[3:0] ビットに割り付けた USB Address 値を設定し、USB Address に対応する DEVADDn レジスタの各ビットを設定後に上記シーケンスでセットアップトランザクションを発行してください。例えば、PIPEMAXP.DEVSEL[3:0] = 0010b のときは DEVADD2 レジスタを、PIPEMAXP.DEVSEL[3:0] = 0101b のときは DEVADD5 レジスタを設定してください。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN フラグおよび SACK フラグ)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR.SQMON フラグの内容にかかわらず、DATA0 のデータパケット (USB リクエスト) が送信されます。

(2) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL.ISEL ビットでアクセス方向を指定してください。また、DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCTR.SQSET ビットでデータ PID を DATA1 にセットし、PID[1:0] ビットを “01b” (BUF) に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

(3) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCTR.SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR.DTLN[8:0] フラグで受信データ長を確認のうえ、CFIFOCTR.BCLR ビットでバッファメモリクリアを行ってください。

31.3.6.2 ファンクションコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USB は、USB に対する正常なセットアップパケットに対して ACK 応答します。セットアップステージの USB の動作を以下に示します。

新しいセットアップパケットを受信すると、USB は以下のビットをセットします。

- INTSTS0.VALID フラグを “1” にする
- DCPCTR.PID[1:0] ビットを “00b” (NAK) にセット
- DCPCTR.CCPL ビットを “0” にする

セットアップパケットに引き続きデータパケット受信すると、USB は、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID フラグを “0” にした後にしてください。VALID フラグが “1” の状態では PID[1:0] = 01b (BUF) 設定が行えず、データステージを終了することができません。

VALID フラグの機能により、USB は、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USB は、受信した USB リクエストの方向ビット (bmRequestType のビット 8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。USB のステージ管理については図 31.11 を参照してください。

(2) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL.ISEL ビットにてアクセス方向指定を行ってください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0] ビットが “01b” (BUF) の状態で、DCPCTR.CCPL ビットを “1” にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USB が自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合
  USB ホストからの Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
  USB は Zero-Length パケットの送信を行い、USB ホストからの ACK 応答を受信します。

(4) コントロール転送自動応答機能

USB は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestType が “00h” でない場合：コントロールライト転送以外
- wIndex が “00h” でない場合：リクエストエラー
- wLength が “00h” でない場合：ノーデータコントロール転送以外
- wValue が “7Fh” より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0] フラグが “011b” (Configured ステート) の場合 : デバイスステートエラーのコントロール転送

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

31.3.7 バルク転送 (パイプ 1 ～ 5)

バルク転送は、バッファメモリ使用方法（シングル / ダブルバッファ設定）の選択ができます。
USB は、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み選択機能（PIPECFG.BFRE ビット：「31.3.3.1 (2)　SOFCFG.BRDYM ビットが “0” かつ PIPECFG.BFRE ビットが “1” のとき」参照）
- トランザクションカウント機能
  （PIPEnTRE.TRENB, TRCLR ビット、PIPEnTRN レジスタ：「31.3.4.5　トランザクションカウンタ (パイプ 1 ～ 5 読み出し方向)」参照）
- 応答 PID = NAK 機能（PIPECFG.SHTNAK ビット：「31.3.4.8　応答 PID = NAK 機能」参照）
- 自動応答モード（PIPEnCTR.ATREPM ビット：「31.3.4.9　自動応答モード」参照）

31.3.8 インタラプト転送 (パイプ 6 ～ 9)

ファンクションコントローラ機能選択時、USB は、ホストコントローラが管理している周期に従ってインタラプト転送を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

31.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0] ビットに、トランザクションのインターバルを設定します。USB コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(1) カウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPEnCTR.ACLRM ビットを “1” にしたときに初期化されます。なお、ACLRM ビットによる初期化時は、PIPEPERI.IITV[2:0] ビットは初期化されません。

以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USB バスリセット、USB サスペンド
  IITV[2:0] ビットは初期化されません。DVSTCTR0.UACT ビットを “1” にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

(2) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID[1:0] を “00b” (NAK) または “1xb” (STALL) に設定した場合
- IN 方向（受信）の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向（送信）の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

31.3.9 アイソクロナス転送 (パイプ 1、2)

USB は、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ（PIPEPERI.IITV[2:0] ビット指定）
- アイソクロナス IN 転送データセットアップコントロール（IDLY 機能）
- アイソクロナス IN 転送バッファフラッシュ機能（PIPEPERI.IFIS ビット指定）

31.3.9.1 アイソクロナス転送のエラー検出

USB は、アイソクロナス転送のエラー発生を、ソフトウェアで管理可能なように、下記のエラー情報の検出機能を持っています。**表 31.22** および**表 31.23** に USB がエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

(a) PID エラー

- 受信パケットの PID が不正な場合

(b) CRC エラー、ビットスタッフィングエラー

- 受信パケットの CRC にエラーがあった場合またはビットスタッフィングが不正な場合

(c) マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた場合

(d) オーバラン、アンダランエラー

- ホストコントローラ機能選択時
  IN 方向（受信）の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合
  OUT 方向（送信）の転送時にトークンの送信タイミングにバッファメモリにデータがない場合
- ファンクションコントローラ機能選択時
  IN 方向（送信）の転送時に IN トークン受信時にバッファメモリにデータがない場合
  OUT 方向（受信）の転送時に OUT トークン受信したがバッファメモリに空き領域がない場合

(e) インターバルエラー

ファンクションコントローラ機能選択時に、以下のときにインターバルエラーとします。

- アイソクロナス IN 転送でインターバルフレームに IN トークンを受信できなかった場合
- アイソクロナス OUT 転送でインターバルフレームに OUT トークンを受信できなかった場合

表31.22 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)
3	オーバラン、アンダランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させ、FRMNUM.OVRNフラグを“1”にします。ファンクションコントローラ機能選択時は、INトークンに対してZero-Lengthパケットを送信します。OUTトークンに対してはデータパケットを受信しません
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY割り込みを発生させます。ホストコントローラ機能選択時は発生しません

表31.23　データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させて、FRMNUM.CRCEフラグを“1”にします
3	マックスパケットサイズオーバエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP割り込みを発生させて、PID[1:0]ビットを1xb (STALL)にセットします

31.3.9.2　データ PID

ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

IN 方向

- DATA0：データパケットの PID として送信します
- DATA1：送信しません
- DATA2：送信しません
- mDATA：送信しません

OUT 方向

- DATA0：データパケットの PID として正常受信します
- DATA1：データパケットの PID として正常受信します
- DATA2：パケットを無視します
- mDATA：パケットを無視します

31.3.9.3　インターバルカウンタ

PIPEPERI.IITV[2:0] ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 31.24 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表31.24　ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウントは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は $2^{IITV[2:0]}$ フレームです。

(1) ファンクションコントローラ機能選択時でのカウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPEnCTR.ACLRM ビットを “1” にしたときに初期化されます。なお、ACLRM ビットによる初期化時は、PIPEPERI.IITV[2:0] ビットは初期化されません。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウントを開始します。

1. PID[1:0] = 01b (BUF) 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID[1:0] = 01b (BUF) 状態で OUT トークンのデータを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを “00b” (NAK) または “1xb” (STALL) に設定した場合
  インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
- USB バスリセットおよび USB サスペンド
  IITV[2:0] ビットは初期化されません。SOF を受信すると、受信前の値からカウントを開始します。

(2) ホストコントローラ機能選択時のインターバルカウントと転送制御

PIPEPERI.IITV[2:0] ビットの設定値に従って USB はトークン発行間隔を制御します。USB は $2^{IITV[2:0]}$ 回のフレームに 1 回の間隔で選択パイプに対するトークンを発行します。

USB は、ソフトウェアで PID[1:0] ビットを “01b” (BUF) に設定した次のフレームからトークン発行間隔のカウントを開始します。

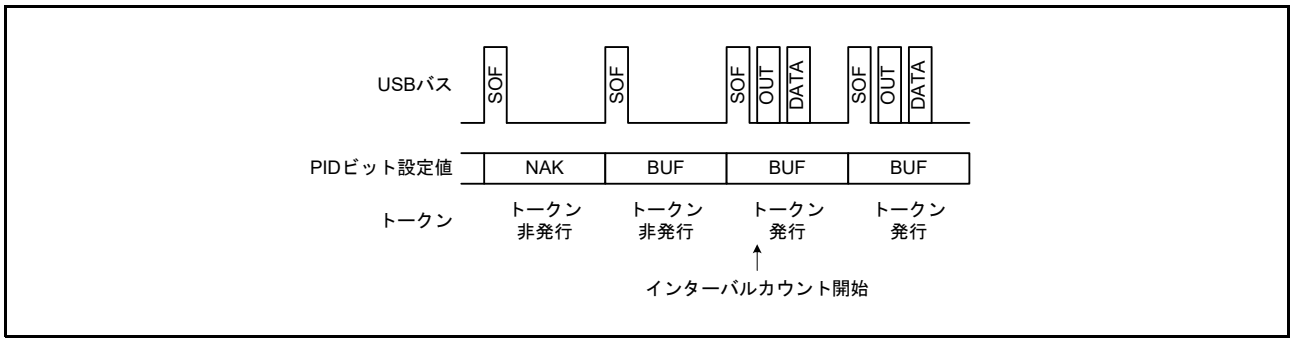


図 31.12　IITV[2:0] = 000b の場合のトークン発行有無

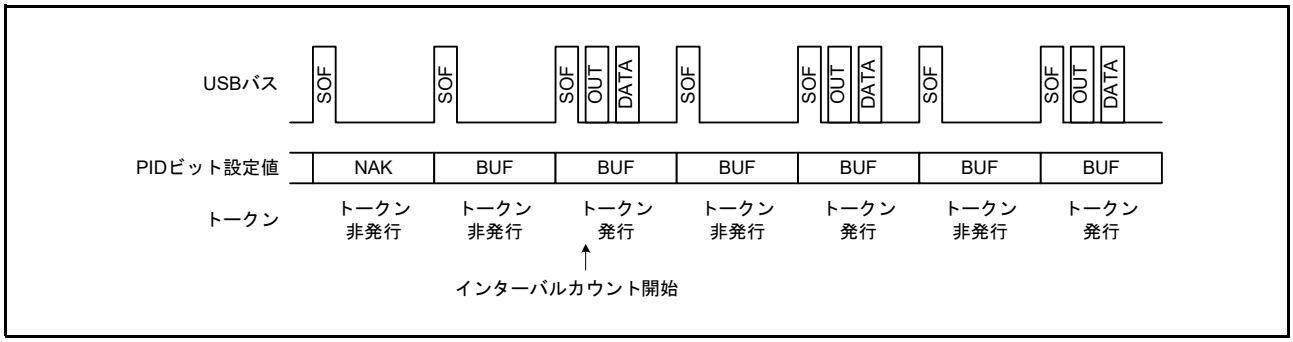


図 31.13　IITV[2:0] = 001b の場合のトークン発行有無

選択パイプの転送タイプがアイソクロナスの場合には、USB はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも USB はトークンを発行します。

(a) 選択パイプがアイソクロナス IN 転送パイプの場合

IN トークンを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY 割り込みを発生させます。

CPU または DMAC/DTC が FIFO バッファからデータを読み出すのが遅いなどの原因で FIFO バッファがフルのために、USB がデータを受信できない状態で、IN トークン発行タイミングに至った場合、USB は FRMNUM.OVRN フラグを “1” にし、NRDY 割り込みを発生させます。

(b) 選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMAC/DTC が FIFO バッファにデータを書き込むのが遅いなどの原因で、送信可能なデータが FIFO バッファに無い状態で OUT トークン発行タイミングに至った場合、USB は OVRN フラグを “1” にし、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

トークン発行間隔のリセット条件は以下の場合です。

- USB が端子リセットされた場合
  （このとき、IITV[2:0] ビットへの設定値も “0” になります）
- ソフトウェアで PIPEnCTR.ACLRM ビットを “1” にした場合

(3) ファンクションコントローラ機能選択時のインターバルカウントと転送制御

(a) 選択パイプがアイソクロナス OUT 転送パイプの場合

PIPEPERI.IITV[2:0] ビットに設定したインターバルごとのフレーム中に DATA パケットを受信しなかったとき、USB は NRDY 割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または FIFO バッファがフルのために USB がデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに割り込みを発生させます。

ただし IITV[2:0] = 000b 以外のときには、インターバルカウント開始後のインターバルごとの SOF パケット受信時に NRDY 割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアで PID[1:0] ビットに “00b” (NAK) を設定した場合、USB は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります。

- IITV[2:0] = 000b の場合
  選択パイプの PID[1:0] ビットを “01b” (BUF) に変更した時点でインターバルのカウントを開始します。

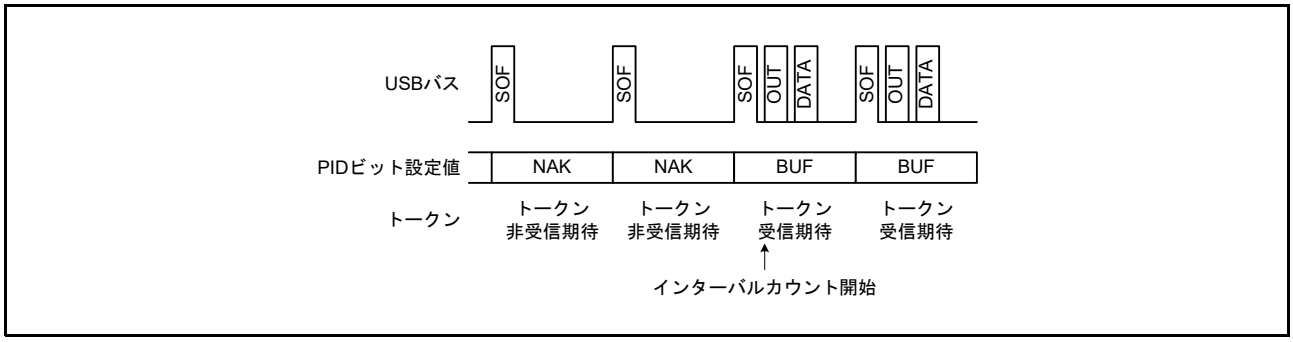


図 31.14　IITV[2:0] = 000b の場合のフレームとトークン受信期待有無の関係

- IITV[2:0] = 000b 以外の場合
  選択パイプの PID[1:0] ビットを “01b” (BUF) に変更した後、最初の DATA パケット正常受信完了時点からインターバルのカウントを開始します。

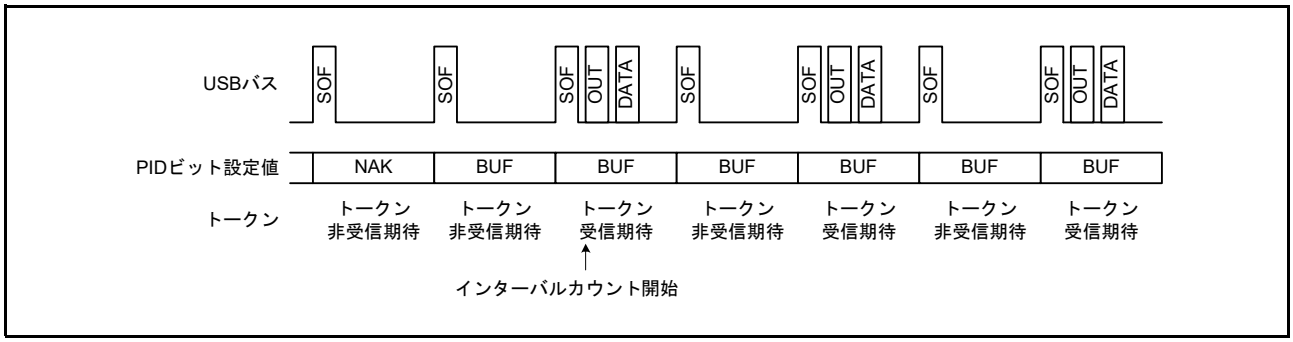


図 31.15　IITV[2:0] = 000b 以外の場合のフレームとトークン受信期待有無の関係

(b)　選択パイプがアイソクロナス IN 転送パイプの場合

PIPEPERI.IFIS ビットを “1” にして使用します。

IFIS ビットが “0” の場合には PIPEPERI.IITV[2:0] ビットへの設定値とは関係なく、受信したトークンに応答してデータパケットを送信します。

IFIS ビットが “1” のときは、FIFO バッファに送信可能なデータが存在している状態で、IITV[2:0] ビットに設定したインターバルごとのフレーム中に IN トークンを受信しなかったとき、USB は FIFO バッファをクリアします。

IN トークンに CRC エラー等のバスエラーが発生したために USB が正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります（OUT 時と同様です）。

ファンクションコントローラ機能選択時のインターバルカウント条件は以下のいずれかの場合です。

- USB がハードウェアリセットされた場合（このとき、IITV[2:0] ビットへの設定値も “000b” になります）
- ソフトウェアで PIPEnCTR.ACLRM ビットを “1” にした場合
- USB が USB バスリセットを検出した場合

(4)　ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、USB のアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリは 1 パケット分だけとなります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 31.16 に USB で、IITV[2:0] = 000b (毎フレーム) にした場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

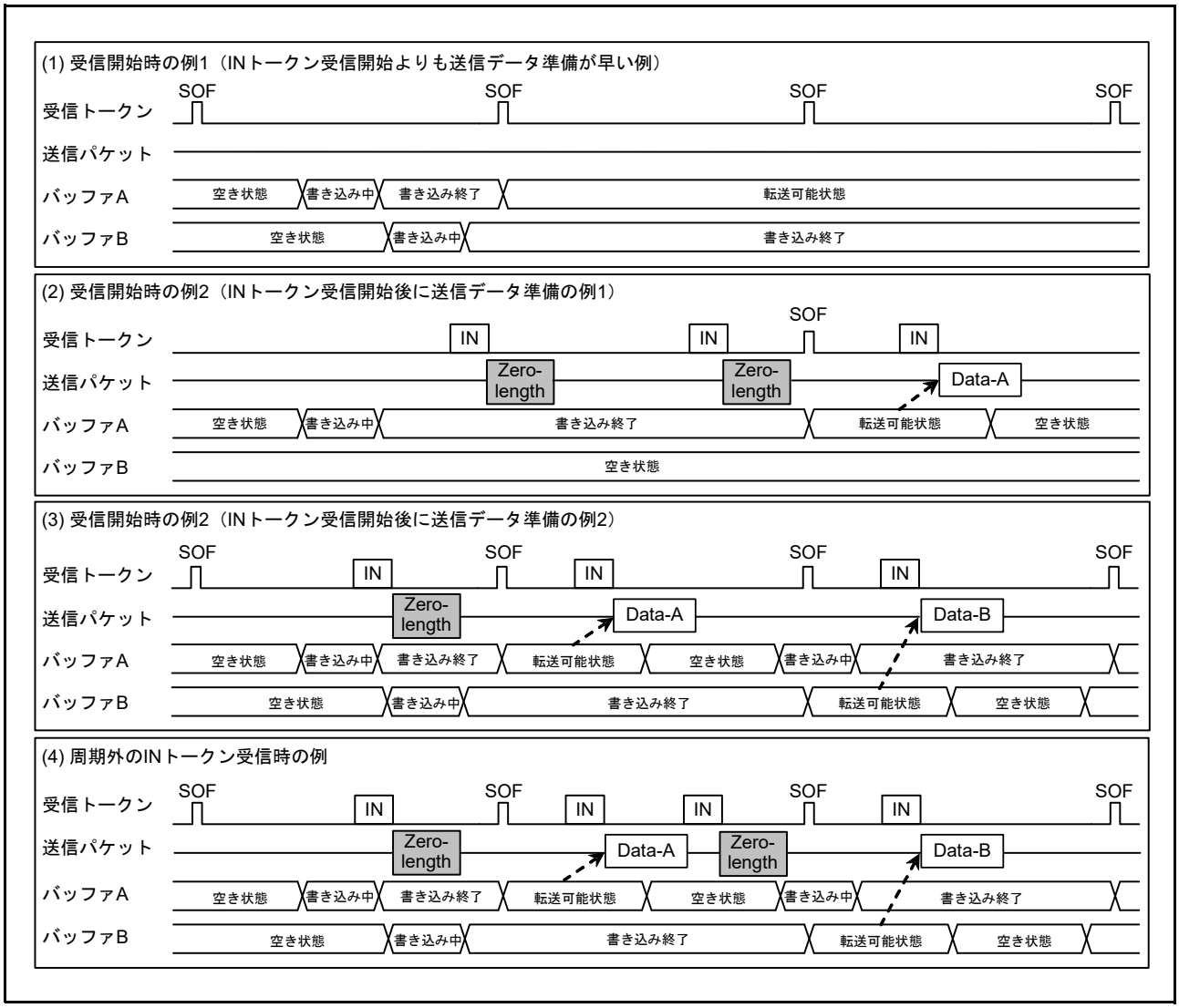


図 31.16　データセットアップ機能動作例

(5)　ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、USB は、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は PIPEPERI.IITV[2:0] ビットの設定値により動作開始タイミングが異なります。

- IITV[2:0] = 000b の場合
  パイプが有効となった次のフレームからバッファフラッシュ動作します。
- IITV[2:0] = 000b 以外の場合
  最初の正常なトランザクション以降バッファフラッシュ動作します。

図 31.17 に USB のバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外 (インターバルフレーム前のトークン) に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダランエラーとして Zero-Length パケットを送出します。

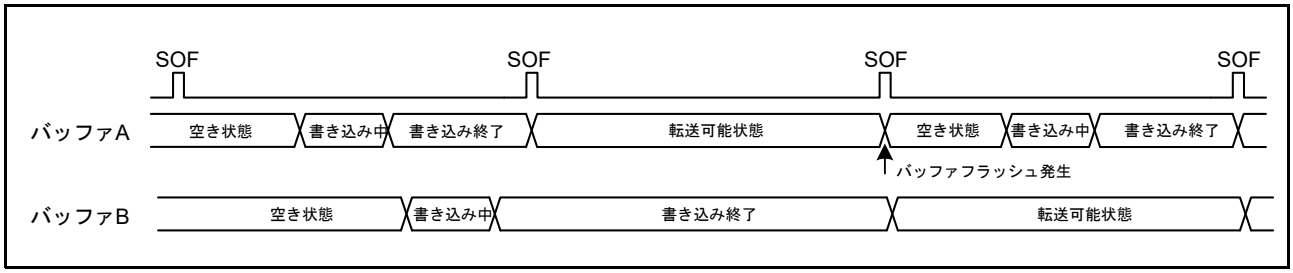


図 31.17　バッファフラッシュ機能動作例

図 31.18 に USB のインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は FRMNUM.OVRN フラグで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

【IN 方向】

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であれば Zero-Length パケット送信しアンダランエラー

【OUT 方向】

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

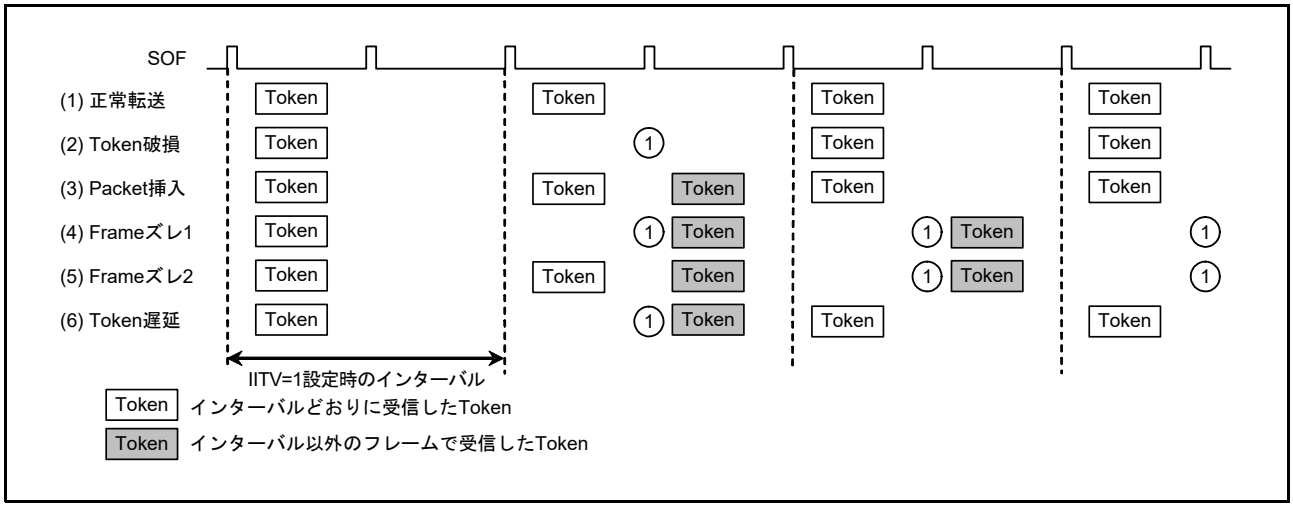


図 31.18　IITV[2:0] = 001b のときのインターバルエラー発生例

31.3.10 SOF 補完機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1 ms 間隔で SOF パケットを受信できなかった場合に、USB は SOF を補完します。SOF 補完動作の開始は SYSCFG.USBE ビットが “1”、SYSCFG.SCKE ビットが “1” かつ SOF パケット受信となります。また、下記の条件で補完機能が初期化されます。

- MCU のリセット
- USB バスリセット
- サスペンド検出

また、SOF 補完は次の仕様で動作します。

- SOF パケット受信までは補完機能は動作しない。
- 最初の SOF パケット受信後は内部クロック 48 MHz で 1 ms をカウントし補完する
- 2 回目以降の SOF パケットを受信後は前回の受信間隔を用いて補完する
- サスペンド時および USB バスリセット受信中は補完しない

USB は、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補完を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM.FRNM[10:0] フラグは更新されません。

31.3.11 パイプスケジュール

31.3.11.1 トランザクション発行条件

USB は、ホストコントローラ機能選択時、DVSTCTR0.UACT ビットを “1” にしたあと、**表 31.25** に示す条件でトランザクションを発行します。

表31.25　トランザクション発行条件

トランザクション	発行条件				
	DIR	PID[1:0]	IITV[0]	バッファの状態	SUREQ
セットアップ	— (注 1)	— (注 1)	— (注 1)	— (注 1)	“1” 設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	— (注 1)
	OUT	BUF	無効	送信データあり	— (注 1)
インタラプト転送	IN	BUF	有効	受信領域あり	— (注 1)
	OUT	BUF	有効	送信データあり	— (注 1)
アイソクロナス転送	IN	BUF	有効	(注 2)	— (注 1)
	OUT	BUF	有効	(注 3)	— (注 1)

注1. 表中の「－」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。
注2. 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。
注3. 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

31.3.11.2 転送スケジュール

USB のフレーム内の転送スケジューリング方法について説明します。USB は、SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行
   パイプ 1 → パイプ 2 → パイプ 6 → パイプ 7 → パイプ 8 → パイプ 9 の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送のセットアップトランザクション
   DCP を確認してセットアップトランザクションが可能であれば送信します。
3. バルク、コントロール転送データステージ、ステータスステージの実行
   DCP → パイプ 1 → パイプ 2 → パイプ 3 → パイプ 4 → パイプ 5 の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。
   トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3. を繰り返します。

31.3.11.3 USB 通信許可

DVSTCTR0.UACT ビットを “1” にすることにより、SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを “0” にすると、SOF の送信を停止しサスペンドとなります。UACT ビットを “1” から “0” にする場合、次の SOF を送信してから停止します。

31.4 使用上の注意事項

31.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、USB の動作を禁止または許可することができます。リセット後、USB の動作は停止しています。モジュールストップ状態を解除することによりレジスタにアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

32. シリアルコミュニケーションインタフェース (SCIj, SCIi, SCIh)

本 MCU は、独立した 7 チャネルのシリアルコミュニケーションインタフェース (SCI: Serial Communications Interface) を備えています。SCI は、SCIj モジュール (SCI1, SCI5, SCI6, SCI8, SCI9)、SCIi モジュール (SCI11) と、SCIh モジュール (SCI12) から構成されています。

SCIj (SCI1, SCI5, SCI6, SCI8, SCI9) と SCIi (SCI11) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I^2C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIh (SCI12) は、上記の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは、SCI1、SCI5、SCI6、SCI8、SCI9、SCI12 では PCLKB を、SCI11 では PCLKA を指します。

32.1 概要

表 32.1 に SCIj の仕様を、**表 32.2** に SCIi の仕様を、**表 32.3** に SCIh の仕様を、**表 32.4** に SCI チャネル別機能一覧を示します。

図 32.1 に SCI1、SCI8、SCI9 のブロック図を、**図 32.2** に SCI5、SCI6 のブロック図を、**図 32.3** に SCI11 のブロック図を、**図 32.4** に SCI12 (SCIh) のブロック図を示します。

表32.1　SCIjの仕様 (1/2)

項目	内容
シリアル通信方式	• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易I^2Cバス • 簡易SPIバス
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子	表32.5～表32.7参照
データ転送	LSBファースト/MSBファースト選択可能(注1)
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、データ一致 開始条件/再開始条件/停止条件生成終了(簡易I^2Cモード用)
消費電力低減機能	チャネルごとにモジュールストップ状態への遷移が可能

表32.1　SCIjの仕様 (2/2)

項目		内容
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ /奇数パリティ /パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	データ一致検出	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	Lowまたは立ち下がりエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出す、またはSPTR.RXDMONフラグを読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能(SCI5, SCI6)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I²Cモード	通信フォーマット	I²Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「32.2.13　ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能(SCI5のみ対応)		エラー(受信エラー・エラーシグナル検出)イベント出力
		受信データフルイベント出力
		送信データエンプティイベント出力
		送信終了イベント出力

注1.　簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表32.2　SCIiの仕様 (1/2)

項目	内容
シリアル通信方式	• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易I²Cバス • 簡易SPIバス
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子	表32.5～表32.7参照

表32.2　SCIiの仕様 (2/2)

項目		内容
データ転送		LSBファースト/MSBファースト選択可能(注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、データ一致 開始条件/再開始条件/停止条件生成終了(簡易I²Cモード用)
消費電力低減機能		チャネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信FIFO	送信16段、受信16段のFIFOを利用可能
	データ一致検出	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	Lowまたは立ち下がりエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出す、またはSPTR.RXDMONフラグを読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信FIFO	送信16段、受信16段のFIFOを利用可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I²Cモード	通信フォーマット	I²Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「32.2.13　ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注1.　簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表32.3　SCIhの仕様 (1/3)

項目	内容
シリアル通信方式	• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易I²Cバス • 簡易SPIバス
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能

表32.3　SCIhの仕様 (2/3)

項目		内容
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表32.5～表32.8参照
データ転送		LSBファースト/MSBファースト選択可能(注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー 開始条件/再開始条件/停止条件生成終了(簡易I²Cモード用)
消費電力低減機能		モジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Lowまたは立ち下がりエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I²Cモード	通信フォーマット	I²Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「32.2.13　ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
拡張シリアルモード	Start Frame送信	• Break Field Low widthの出力が可能/出力完了割り込み機能あり • バス衝突検出機能あり/検出割り込み機能あり
	Start Frame受信	• Break Field Low widthの検出が可能/検出完了割り込み機能あり • Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり • Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 • Control Field 1にプライオリティインタラプトビットを設定可能 • Break FieldがないStart Frameにも対応可能 • Control Field 0がないStart Frameにも対応可能 • ビットレート測定機能あり
	入出力制御機能	• TXDX12/RXDX12信号の極性選択が可能 • RXDX12信号にデジタルフィルタ機能を設定可能 • RXDX12端子とTXDX12端子を兼用した半二重通信が可能 • RXDX12端子受信データサンプリングタイミング選択可能
	タイマ機能	• リロードタイマ機能として使用可能

表32.3　SCIhの仕様 (3/3)

項目	内容
ビットレートモジュレーション機能	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注1.　簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表32.4　SCIチャネル別機能一覧

項目	SCI1, SCI8, SCI9	SCI5	SCI6	SCI11	SCI12
調歩同期式モード	○	○	○	○	○
クロック同期式モード	○	○	○	○	○
スマートカードインタフェースモード	○	○	○	○	○
簡易I²Cモード	○	○	○	○	○
簡易SPIモード	○	○	○	○	○
FIFOモード	—	—	—	○	—
データー致検出	○	○	○	○	—
拡張シリアルモード	—	—	—	—	○
TMRクロック入力	—	○	○	—	○
イベントリンク機能	—	○	—	—	—
周辺モジュールクロック	PCLKB	PCLKB	PCLKB	PCLKA	PCLKB

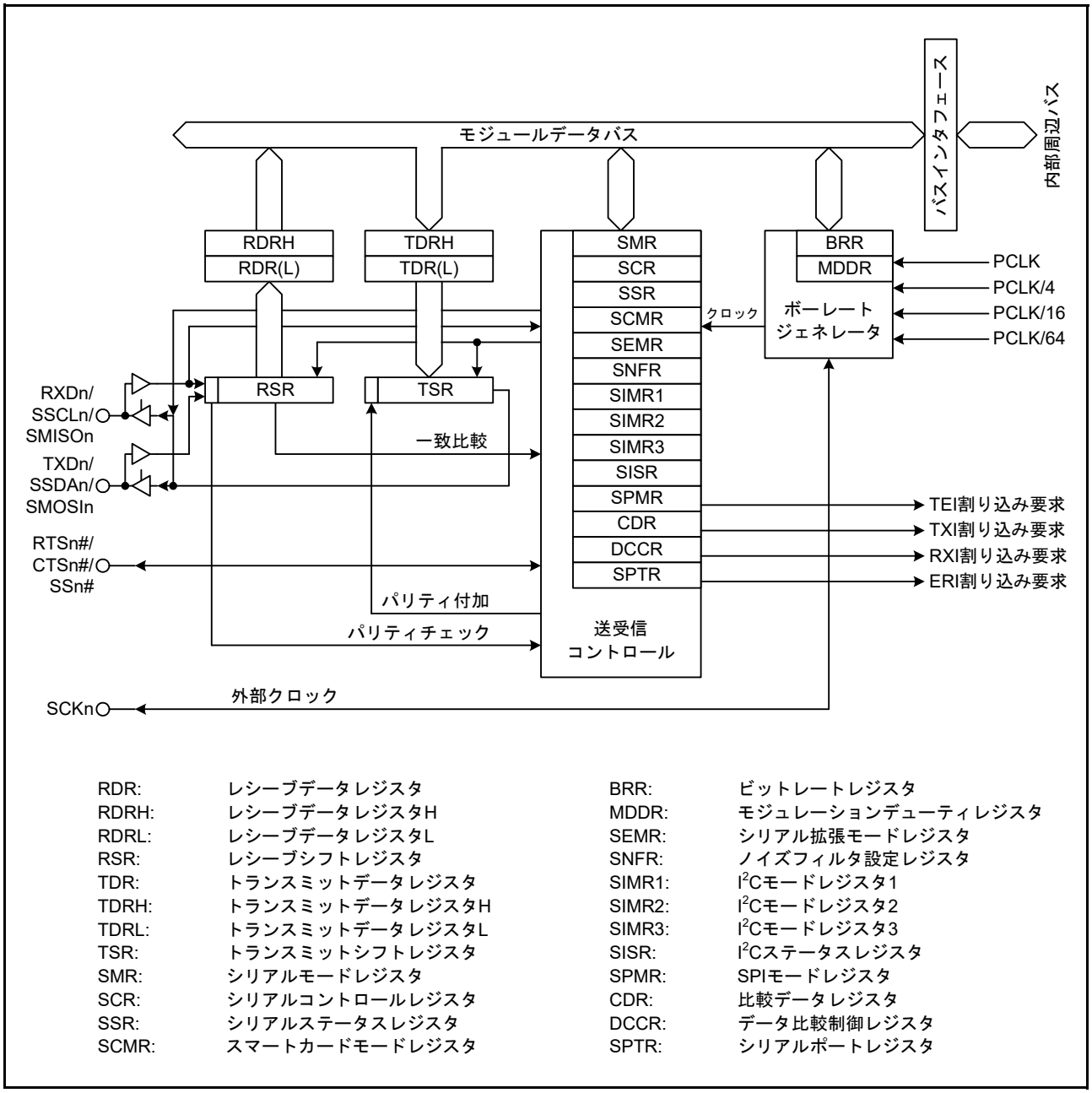


図 32.1　SCIj (SCI1, SCI8, SCI9) のブロック図

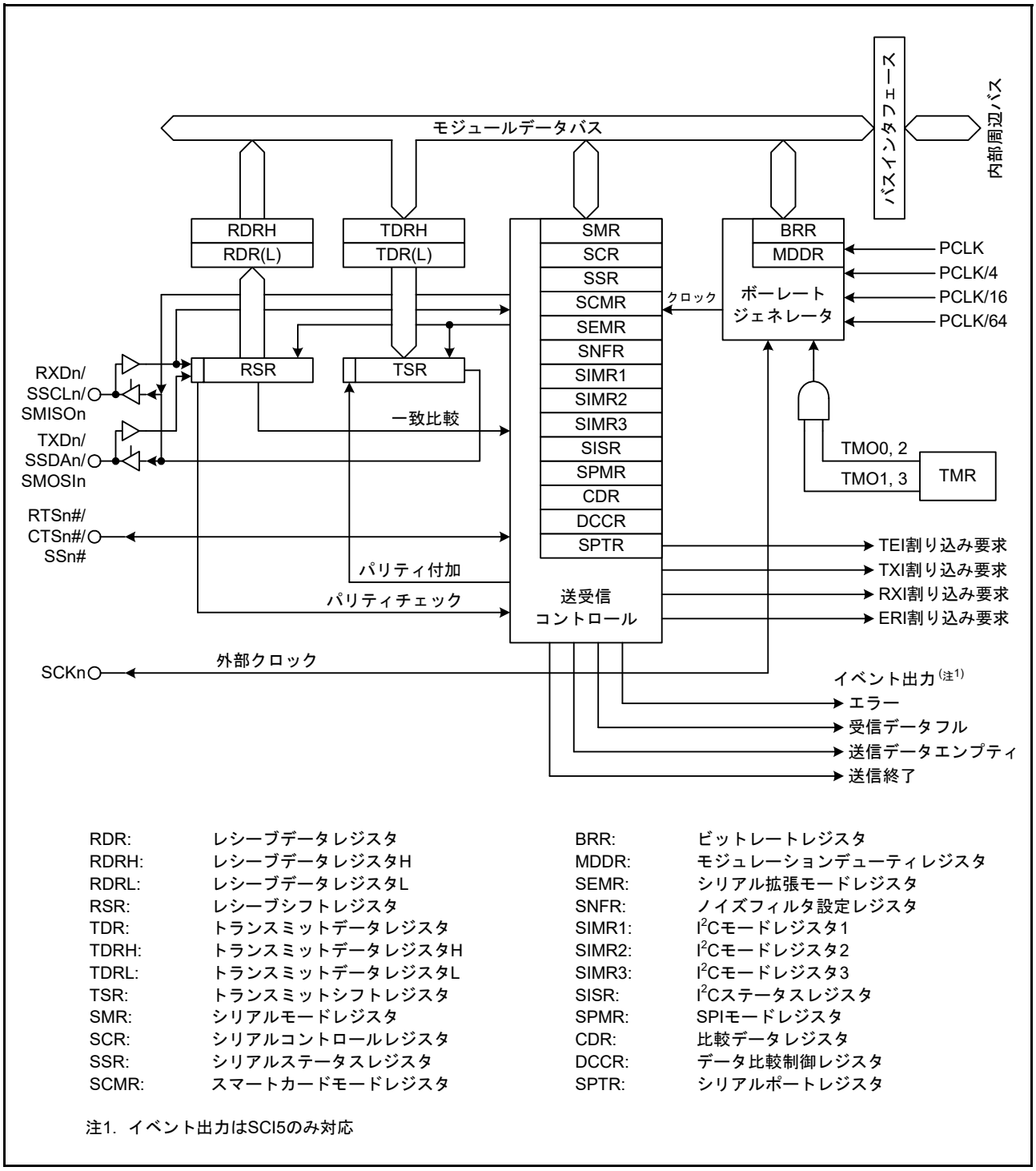
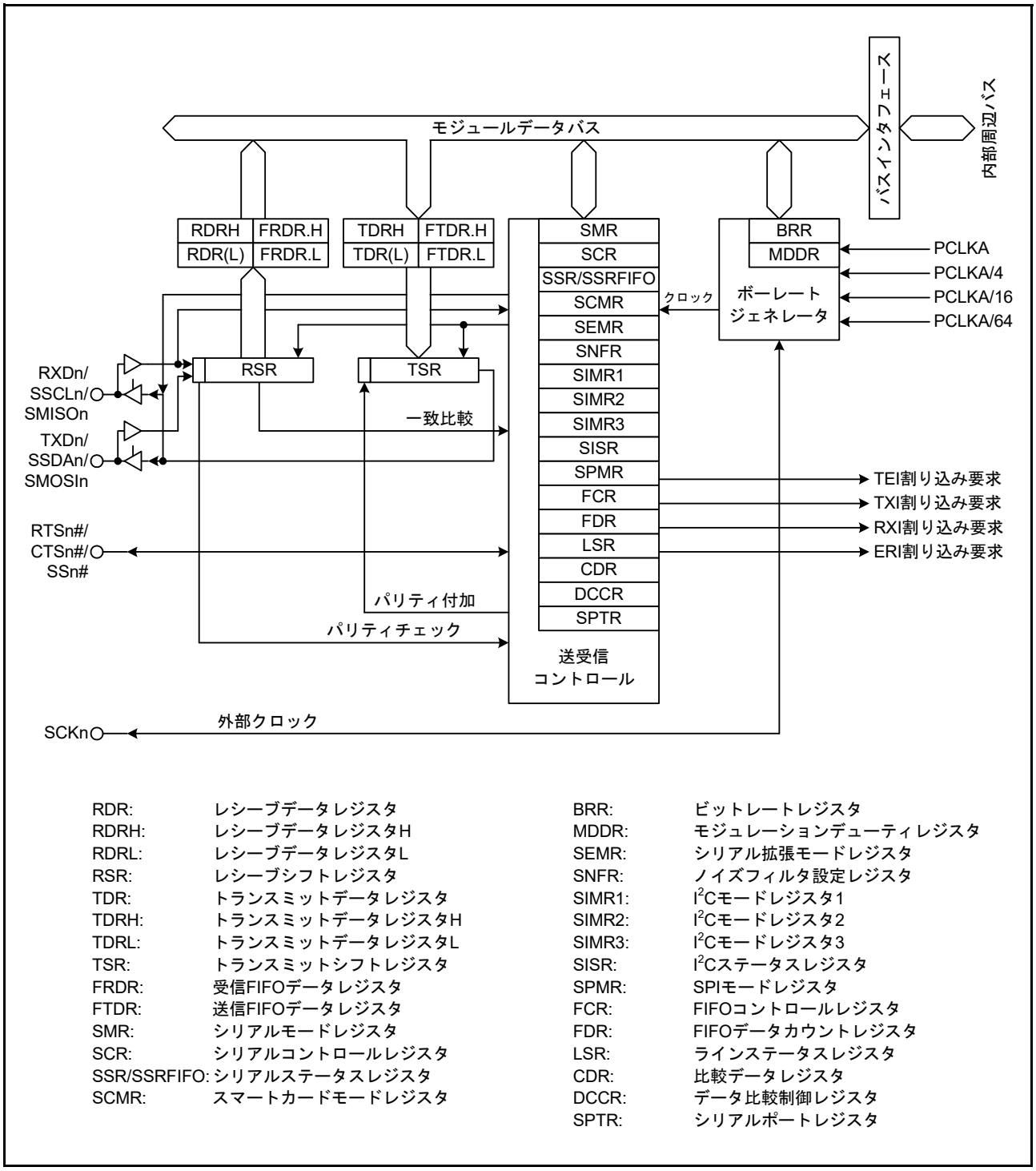


図 32.2　SCIj (SCI5, SCI6) のブロック図



RDR:	レシーブデータレジスタ	BRR:	ビットレートレジスタ
RDRH:	レシーブデータレジスタH	MDDR:	モジュレーションデューティレジスタ
RDRL:	レシーブデータレジスタL	SEMR:	シリアル拡張モードレジスタ
RSR:	レシーブシフトレジスタ	SNFR:	ノイズフィルタ設定レジスタ
TDR:	トランスミットデータレジスタ	SIMR1:	I^2Cモードレジスタ1
TDRH:	トランスミットデータレジスタH	SIMR2:	I^2Cモードレジスタ2
TDRL:	トランスミットデータレジスタL	SIMR3:	I^2Cモードレジスタ3
TSR:	トランスミットシフトレジスタ	SISR:	I^2Cステータスレジスタ
FRDR:	受信FIFOデータレジスタ	SPMR:	SPIモードレジスタ
FTDR:	送信FIFOデータレジスタ	FCR:	FIFOコントロールレジスタ
SMR:	シリアルモードレジスタ	FDR:	FIFOデータカウントレジスタ
SCR:	シリアルコントロールレジスタ	LSR:	ラインステータスレジスタ
SSR/SSRFIFO:	シリアルステータスレジスタ	CDR:	比較データレジスタ
SCMR:	スマートカードモードレジスタ	DCCR:	データ比較制御レジスタ
		SPTR:	シリアルポートレジスタ

図 32.3　SCIi (SCI11) のブロック図

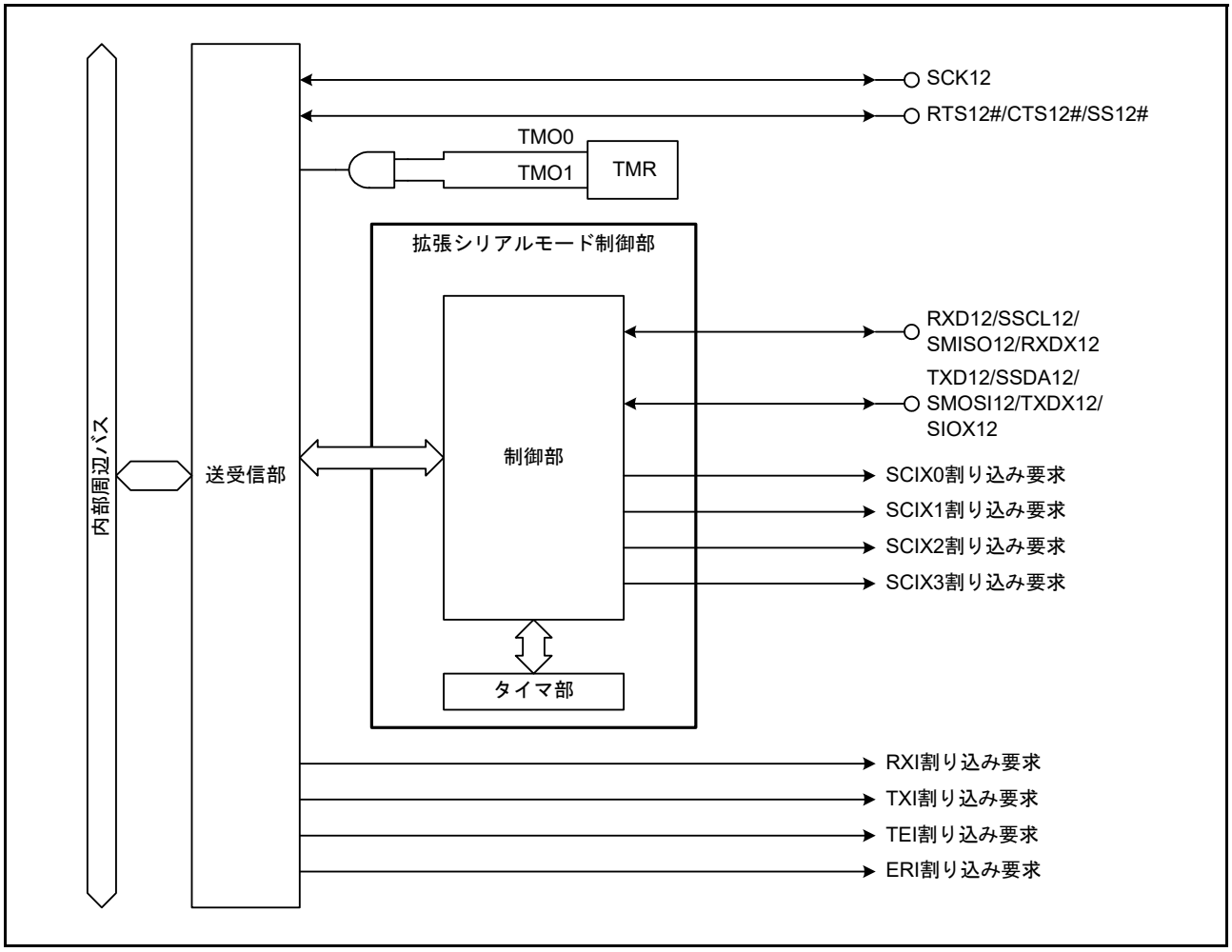


図 32.4　SCIh (SCI12) のブロック図

表 32.5 ～表 32.8 に SCI の入出力端子をモード別に示します。

表32.5　SCIの入出力端子(調歩同期式/クロック同期式モード)

チャネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	RXD8	入力	SCI8の受信データ入力端子
	TXD8	出力	SCI8の送信データ出力端子
	CTS8#/RTS8#	入出力	SCI8送受信開始制御用入出力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9	入力	SCI9の受信データ入力端子
	TXD9	出力	SCI9の送信データ出力端子
	CTS9#/RTS9#	入出力	SCI9送受信開始制御用入出力端子
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	RXD11	入力	SCI11の受信データ入力端子
	TXD11	出力	SCI11の送信データ出力端子
	CTS11#/RTS11#	入出力	SCI11送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表32.6　SCIの入出力端子(簡易I²Cモード) (1/2)

チャネル	端子名	入出力	機能
SCI1	SSCL1	入出力	SCI1のI²Cクロック入出力端子
	SSDA1	入出力	SCI1のI²Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI²Cクロック入出力端子
	SSDA5	入出力	SCI5のI²Cデータ入出力端子
SCI6	SSCL6	入出力	SCI6のI²Cクロック入出力端子
	SSDA6	入出力	SCI6のI²Cデータ入出力端子
SCI8	SSCL8	入出力	SCI8のI²Cクロック入出力端子
	SSDA8	入出力	SCI8のI²Cデータ入出力端子
SCI9	SSCL9	入出力	SCI9のI²Cクロック入出力端子
	SSDA9	入出力	SCI9のI²Cデータ入出力端子

表32.6　SCIの入出力端子(簡易I²Cモード) (2/2)

チャネル	端子名	入出力	機能
SCI11	SSCL11	入出力	SCI11のI²Cクロック入出力端子
	SSDA11	入出力	SCI11のI²Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI²Cクロック入出力端子
	SSDA12	入出力	SCI12のI²Cデータ入出力端子

表32.7　SCIの入出力端子(簡易SPIモード)

チャネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	SMISO8	入出力	SCI8のスレーブ送出データ入出力端子
	SMOSI8	入出力	SCI8のマスタ送出データ入出力端子
	SS8#	入力	SCI8チップセレクト入力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	SMISO9	入出力	SCI9のスレーブ送出データ入出力端子
	SMOSI9	入出力	SCI9のマスタ送出データ入出力端子
	SS9#	入力	SCI9チップセレクト入力端子
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	SMISO11	入出力	SCI11のスレーブ送出データ入出力端子
	SMOSI11	入出力	SCI11のマスタ送出データ入出力端子
	SS11#	入力	SCI11チップセレクト入力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表32.8　SCIの入出力端子(拡張シリアルモード)

チャネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

32.2 レジスタの説明

32.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

32.2.2 レシーブデータレジスタ (RDR)

アドレス　SCI1.RDR 0008 A025h, SCI5.RDR 0008 A0A5h, SCI6.RDR 0008 A0C5h, SCI8.RDR 0008 A105h, SCI9.RDR 0008 A125h, SCI11.RDR 000D 0005h, SCI12.RDR 0008 B305h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

32.2.3 レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)

- レシーブデータレジスタ H (RDRH)

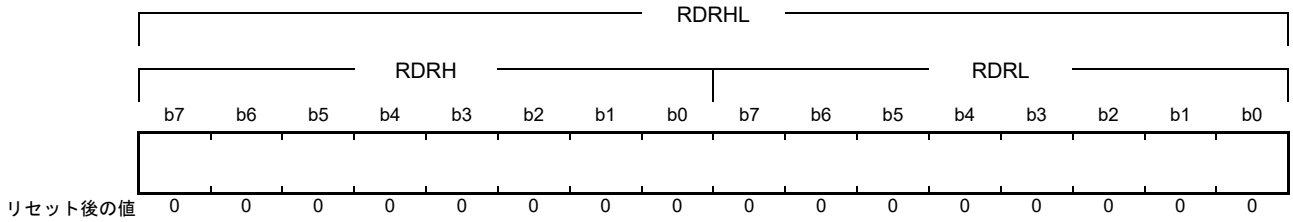
アドレス　SCI1.RDRH 0008 A030h, SCI5.RDRH 0008 A0B0h, SCI6.RDRH 0008 A0D0h, SCI8.RDRH 0008 A110h, SCI9.RDRH 0008 A130h, SCI11.RDRH 000D 0010h, SCI12.RDRH 0008 B310h

- レシーブデータレジスタ L (RDRL)

アドレス　SCI1.RDRL 0008 A031h, SCI5.RDRL 0008 A0B1h, SCI6.RDRL 0008 A0D1h, SCI8.RDRL 0008 A111h, SCI9.RDRL 0008 A131h, SCI11.RDRL 000D 0011h, SCI12.RDRL 0008 B311h

- レシーブデータレジスタ HL (RDRHL)

アドレス　SCI1.RDRHL 0008 A030h, SCI5.RDRHL 0008 A0B0h, SCI6.RDRHL 0008 A0D0h, SCI8.RDRHL 0008 A110h, SCI9.RDRHL 0008 A130h, SCI11.RDRHL 000D 0010h, SCI12.RDRHL 0008 B310h



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドーとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は “0” に固定されており、読むと “0” が読めます。

RDRHL レジスタとして 16 ビットでもアクセスできます。

32.2.4 受信 FIFO データレジスタ (FRDR)

アドレス　SCI11.FRDR 000D 0010h,
SCI11.FRDR.H 000D 0010h,
SCI11.FRDR.L 000D 0011h

	FRDR															
	FRDR.H								FRDR.L							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RDF	ORER	FER	PER	DR	MPB	RDAT[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	受信データ	受信したデータが読めます	R
b9	MPB	マルチプロセッサビットモニタフラグ	受信フレーム中のマルチプロセッサビットの値 0：データ送信サイクル 1：ID送信サイクル	R
b10	DR	受信データレディフラグ (注1)	0：FRDRレジスタに有効なデータなし 1：FRDRレジスタに有効なデータあり	R
b11	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R
b12	FER	フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R
b13	ORER	オーバランエラーフラグ (注1)	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R
b14	RDF	受信FIFOフルフラグ (注1)	0：受信FIFO内の未読データ数がしきい値未満 1：受信FIFO内の未読データ数がしきい値以上	R
b15	—	予約ビット	読んだ場合、その値は不定	R

注1.　これらのフラグはSSRFIFOレジスタの同名のフラグと同じ内容です。フラグをクリアするには、SSRFIFOレジスタの該当するフラグをクリアしてください。

FRDR レジスタは 16 段の受信 FIFO の先頭データを読み出すためのレジスタです。このレジスタは FCR.FM ビットが “1”（FIFO モード）のとき有効です。

受信 FIFO が空になった後に FRDR レジスタを読むと不定値が読めます。

下位 8 ビット (FRDR.L) を読み出すと、FRDR レジスタの値が受信 FIFO 内の次のデータで更新されます。上位 8 ビット (FRDR.H) のみを読み出しても、FRDR レジスタの値は更新されません。FRDR レジスタを 8 ビットずつ読み出す場合は、FRDR.H、FRDR.L の順に読み出してください。

受信キャラクタ長が 8 ビットの場合、RDAT[8] ビットには “0” が格納され、7 ビットの場合、RDAT[8:7] ビットには “00b” が格納されます。

MPB フラグには、受信 FIFO の先頭データに付加されていたマルチプロセッサビットの値が格納されています。FCR.FM ビットが “1”（FIFO モード）のときは、SSR.MPB フラグは使用しません。

FER、PER フラグは、受信 FIFO の先頭データに該当のエラーがあるかどうかを示すフラグです。FRDR レジスタを読み出すごとに、値が更新されます。

RDF、ORER、DR の各フラグは SSRFIFO レジスタの同名のフラグと同じものです。これらのフラグを読んだときにその値が “1” であると、SSRFIFO レジスタの同名のフラグに “0” を書くだけでフラグがクリアできます。

32.2.5 トランスミットデータレジスタ (TDR)

アドレス　SCI1.TDR 0008 A023h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h, SCI8.TDR 0008 A103h, SCI9.TDR 0008 A123h, SCI11.TDR 000D 0003h, SCI12.TDR 0008 B303h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU からリード / ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

32.2.6 トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)

- トランスミットデータレジスタ H (TDRH)

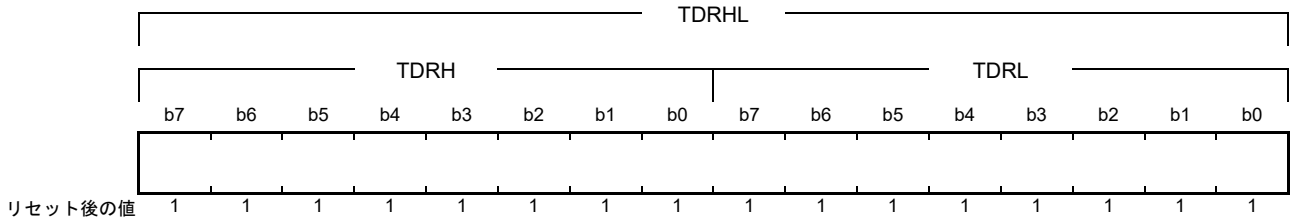
  アドレス　SCI1.TDRH 0008 A02Eh, SCI5.TDRH 0008 A0AEh, SCI6.TDRH 0008 A0CEh, SCI8.TDRH 0008 A10Eh, SCI9.TDRH 0008 A12Eh, SCI11.TDRH 000D 000Eh, SCI12.TDRH 0008 B30Eh

- トランスミットデータレジスタ L (TDRL)

  アドレス　SCI1.TDRL 0008 A02Fh, SCI5.TDRL 0008 A0AFh, SCI6.TDRL 0008 A0CFh, SCI8.TDRL 0008 A10Fh, SCI9.TDRL 0008 A12Fh, SCI11.TDRL 000D 000Fh, SCI12.TDRL 0008 B30Fh

- トランスミットデータレジスタ HL (TDRHL)

  アドレス　SCI1.TDRHL 0008 A02Eh, SCI5.TDRHL 0008 A0AEh, SCI6.TDRHL 0008 A0CEh, SCI8.TDRHL 0008 A10Eh, SCI9.TDRHL 0008 A12Eh, SCI11.TDRHL 000D 000Eh, SCI12.TDRHL 0008 B30Eh



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドーとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDRH レジスタおよび TDRL レジスタは CPU からリード / ライト可能です。TDRH レジスタの b1 から b7 は “1” に固定されており、読むと “1” が読めます。書く場合、“1” としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

32.2.7 送信 FIFO データレジスタ (FTDR)

アドレス　SCI11.FTDR 000D 000Eh,
SCI11.FTDR.H 000D 000Eh,
SCI11.FTDR.L 000D 000Fh

	FTDR															
	FTDR.H								FTDR.L							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MPBT	TDAT[8:0]								
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	送信データ	送信したいデータを書きます	W
b9	MPBT	送信マルチプロセッサビット	送信フレーム中のマルチプロセッサビットの値を指定します 0：データ送信サイクル 1：ID送信サイクル	W
b15-b10	—	予約ビット	“1”を書いてください	W

FTDR レジスタは 16 段の送信 FIFO にデータを書き込むためのレジスタです。このレジスタは FCR.FM ビットが “1”（FIFO モード）かつ SCR.TE ビットが “1” のとき有効です。

送信 FIFO 内に 16 フレーム分のデータが入っているときは、FTDR レジスタに送信データを設定できません。

下位 8 ビット (FTDR.L) に値を書くと、FTDR レジスタの値が送信 FIFO に転送されます。上位 8 ビット (FTDR.H) のみに値を書いた場合、送信 FIFO にデータは転送されません。FTDR レジスタに 16 ビットのデータを 8 ビットずつ書き込む場合、FTDR.H、FTDR.L の順に書き込んでください。

MPBT ビット（送信マルチプロセッサビット）

送信フレームに付加するマルチプロセッサビットの値を設定します。FCR.FM ビットが “1”（FIFO モード）のときは、SSR.MPBT ビットは使用しません。

32.2.8 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

32.2.9 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス　SCI1.SMR 0008 A020h, SCI5.SMR 0008 A0A0h, SCI6.SMR 0008 A0C0h, SCI8.SMR 0008 A100h, SCI9.SMR 0008 A120h, SCI11.SMR 000D 0000h, SCI12.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット= 1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) ● 送信時 0 : パリティビットなし 1 : パリティビットを付加 ● 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効 (注2)) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信(初期値) 1 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易I²Cモードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「32.2.13 ビットレートレジスタ(BRR)」中のnの値を表します。
注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。
注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7)は送信されません。
注4. SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット（クロックセレクトビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「32.2.13　ビットレートレジスタ (BRR)」を参照してください。

MP ビット（マルチプロセッサモードビット）

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット（ストップビットレングスビット）

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が “0” の場合は次の送信フレームのスタートビットと見なします。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ / 奇数パリティ）を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット（パリティイネーブルビット）

PE ビットが “1” のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット（キャラクタレングスビット）

送受信データのデータ長を SCMR.CHR1 ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス　SMCI1.SMR 0008 A020h, SMCI5.SMR 0008 A0A0h, SMCI6.SMR 0008 A0C0h, SMCI8.SMR 0008 A100h, SMCI9.SMR 0008 A120h, SMCI11.SMR 000D 0000h, SMCI12.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0：PCLK (n = 0) (注1) 0 1：PCLK/4 (n = 1) (注1) 1 0：PCLK/16 (n = 2) (注1) 1 1：PCLK/64 (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表32.9にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット = 1のときのみ有効) 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0：非ブロック転送モードで動作します 1：ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0：非GSMモードで動作します 1：GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「32.2.13　ビットレートレジスタ(BRR)」中のnの値を表します。
注2. SCR.TEビット = 0、SCR.REビット = 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット（クロックセレクトビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「32.2.13　ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット（基本クロック パルスビット）

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、「32.6.4　受信データサンプリングタイミングと受信マージン」を参照してください。

表32.9　SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック(S = 93)(注1)
0	0	1	128クロック(S = 128)(注1)
0	1	0	186クロック(S = 186)(注1)
0	1	1	512クロック(S = 512)(注1)
1	0	0	32クロック(S = 32)(注1)(初期値)
1	0	1	64クロック(S = 64)(注1)
1	1	0	372クロック(S = 372)(注1)
1	1	1	256クロック(S = 256)(注1)

注1.　Sは「32.2.13　ビットレートレジスタ(BRR)」中のSの値を表します。

PMビット（パリティモードビット）

送受信時のパリティ（偶数パリティ / 奇数パリティ）を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「32.6.2　データフォーマット(ブロック転送モード時を除く)」を参照してください。

PEビット（パリティ イネーブルビット）

PEビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLKビット（ブロック転送 モードビット）

BLKビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「32.6.3　ブロック転送モード」を参照してください。

GMビット（GSMモードビット）

GMビットを“1”にすると、GSMモードで動作します。

GSMモードでは、SSR.TENDフラグのセットタイミングが先頭から11.0 etu (etu: Elementary Time Unit、1ビットの転送期間)に前倒しされ、クロック出力制御機能が追加されます。詳細は、「32.6.6　シリアルデータの送信(ブロック転送モードを除く)」、「32.6.8　クロック出力制御」を参照してください。

32.2.10 シリアルコントロールレジスタ (SCR)

注. SCR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SCR 0008 A022h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h, SCI8.SCR 0008 A102h, SCI9.SCR 0008 A122h, SCI11.SCR 000D 0002h, SCI12.SCR 0008 B302h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	(調歩同期式の場合) b1 b0 0 0：内蔵ボーレートジェネレータ SCKn端子はハイインピーダンスになります 0 1：内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x：外部クロックまたはTMRクロック (注2) 外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください。 TMRクロック使用時 (注2)は、SCKn端子はハイインピーダンスになります。 (クロック同期式の場合) b1 b0 0 x：内部クロック SCKn端子はクロック出力端子となります 1 x：外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEIE	トランスミットエンドインタラプトイネーブルビット	0：TEI割り込み要求を禁止 1：TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサインタラプトイネーブルビット	(調歩同期式モードで、SMR.MPビット= 1のとき有効) 0：通常の受信動作 1：マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF, ORER, FERの各ステータスフラグのセット(“1”)を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的に“0”になり、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W (注3)
b5	TE	トランスミットイネーブルビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W (注3)
b6	RIE	レシーブインタラプトイネーブルビット	0：RXIおよびERI割り込み要求を禁止 1：RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプトイネーブルビット	0：TXI割り込み要求を禁止 1：TXI割り込み要求を許可	R/W

x: Don’t care
注1. TEビット= 0、REビット= 0の場合のみ書き込み可能です。
注2. SCI5、SCI6、SCI12のみ選択可能。
注3. SMR.CMビットが“1”のときは、TEビット= 0、REビット= 0の場合のみ“1”を書き込み可能です。
一度、TE、REビットのいずれかを“1”にした後は、TEビット= 0、REビット= 0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のIICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット（クロックイネーブルビット）

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット（トランスミットエンド インタラプトイネーブルビット）

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを “0” にすることで行うことができます。

簡易 I^2C モードでは、開始 / 再開始 / 停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット（マルチプロセッサインタラプト イネーブルビット）

MPIE ビットを “1” にすると、マルチプロセッサビットが “0” の受信データは読み飛ばし、SSR.RDRF、ORER、FER フラグ（SCI11 の場合は、DR フラグも）の各ステータスフラグは “1” になりません。マルチプロセッサビットが “1” のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「32.4　マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが “0” の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、RDRF、ORER、FER の各フラグ（SCI11 の場合は、DR フラグも）のセット (“1”) は行いません。

マルチプロセッサビットが “1” の受信データを受信すると、SSR.MPB ビットを “1” にし、MPIE ビットを自動的に “0” にし、RXI、ERI 割り込み要求（SCR の RIE ビットが “1” の場合）と、RDRF、ORER、FER フラグ（SCI11 の場合は、DR フラグも）のセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには “0” を書き込んでください。

RE ビット（レシーブイネーブルビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを “1” にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

FCR.FM ビットが “0”（非 FIFO モード）の場合に、RE ビットを “0” にして受信動作を停止しても、SSR.ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

FCR.FM ビットが “1”（FIFO モード）の場合に、RE ビットを “0” にして受信動作を停止しても、SSRFIFO.RDF、ORER、FER、PER、DR フラグは以前の状態を保持します。

TE ビット（トランスミットイネーブルビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを “1” にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（レシーブインタラプトイネーブルビット）

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを “0” にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを “0” にすることで行うことができます。

TIE ビット（トランスミットインタラプト イネーブルビット）

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを “0” にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス　SMCI1.SCR 0008 A022h, SMCI5.SCR 0008 A0A2h, SMCI6.SCR 0008 A0C2h, SMCI8.SCR 0008 A102h, SMCI9.SCR 0008 A122h, SMCI11.SCR 000D 0002h, SMCI12.SCR 0008 B302h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	● SMR.GM ビット = 0の場合 b1 b0 0 0：出力ディセーブル SCKn 端子はハイインピーダンスになります 0 1：クロック出力 1 x：設定しないでください ● SMR.GM ビット = 1の場合 b1 b0 0 0：Low出力固定 x 1：クロック出力 1 0：High出力固定	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0：RXIおよびERI割り込み要求を禁止 1：RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0：TXI割り込み要求を禁止 1：TXI割り込み要求を許可	R/W

x: Don’t care

注1.　TE ビット = 0、RE ビット = 0の場合のみ書き込み可能です。
注2.　TE ビット = 0、RE ビット = 0の場合のみ“1”を書き込み可能です。
一度、TE、RE ビットのいずれかを“1”にした後は、TE ビット = 0、RE ビット = 0の書き込みのみ行ってください。

各割り込み要求については、「32.12　割り込み要因」を参照してください。

CKE[1:0] ビット（クロックイネーブルビット）

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「32.6.8　クロック出力制御」を参照してください。

TEIE ビット（トランスミットエンド インタラプトイネーブルビット）

スマートカードインタフェースモードでは “0” としてください。

MPIE ビット（マルチプロセッサインタラプト イネーブルビット）

スマートカードインタフェースモードでは “0” としてください。

RE ビット（レシーブイネーブルビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを “1” にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット（トランスミットイネーブルビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを “1” にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（レシーブインタラプトイネーブルビット）

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを “0” にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを “0” にすることで行うことができます。

TIE ビット（トランスミットインタラプト イネーブルビット）

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを “0” にすることで行うことができます。

32.2.11 シリアルステータスレジスタ (SSR/SSRFIFO)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモード、FIFO モードと非 FIFO モードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードかつ非 FIFO モードのとき (SCMR.SMIF ビット = 0、FCR.FM ビット = 0)

アドレス　SCI1.SSR 0008 A024h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h, SCI8.SSR 0008 A104h, SCI9.SSR 0008 A124h, SCI11.SSR 000D 0004h, SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0：データ送信サイクル 1：ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0：データ送信サイクル 1：ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0：RDR レジスタに有効なデータなし 1：RDR レジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0：TDR レジスタに未送信のデータあり 1：TDR レジスタにデータなし	R/(W) (注2)

注1.　フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。
注2.　書く場合“1”としてください。

MPB ビット（マルチプロセッサビット）

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが “0” のときは変化しません。

TEND フラグ（トランスミットエンドフラグ）

送信が終了したことを表示します。

[“1” になる条件]

- SCR.TE ビットが “0”（シリアル送信動作を禁止）のとき
  SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

[“0” になる条件]

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき
  TEND フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2　レベル検出割り込み」の

手順を参照してください。

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- データ一致検出機能が無効の場合に、受信中にパリティエラーを検出したとき (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)
- 受信中にパリティエラーを検出したとき (SCI12)
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” になった状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  PER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2　レベル検出割り込み」の手順を参照してください。
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ（フレーミングエラーフラグ）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- データ一致検出機能が無効の場合に、ストップビットの “0” を検出したとき (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)
- ストップビットが “0” のとき (SCI12)
  2 ストップモードのときは、1 ビット目のストップビットが “1” であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが “1” になった状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  FER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2　レベル検出割り込み」の手順を参照してください。
  SCR.RE ビットを “0” にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
  RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが “1” になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  ORER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2　レベル検出割り込み」の手順を参照してください。

SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を表示します。

[“1” になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0” になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を表示します。

[“1” になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0” になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス　SMCI1.SSR 0008 A024h, SMCI5.SSR 0008 A0A4h, SMCI6.SSR 0008 A0C4h, SMCI8.SSR 0008 A104h, SMCI9.SSR 0008 A124h, SMCI11.SSR 000D 0004h, SMCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは“0”としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。“0”としてください	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0：RDRレジスタに有効なデータなし 1：RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0：TDRレジスタに未送信のデータあり 1：TDRレジスタにデータなし	R/(W) (注2)

注1.　フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2.　書く場合“1”としてください。

TEND フラグ（トランスミットエンドフラグ）

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき “1” になります。

[“1” になる条件]

- SCR.TE ビット = 0（シリアル送信動作を禁止）のとき
  SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
  セットされるタイミングは、レジスタの設定により以下のように異なります。
  SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
  SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
  SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
  SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

[“0” になる条件]

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき
  TEND フラグを “0” にして割り込み処理ルーチンを終了する場合は、「**14.5.2　レベル検出割り込み**」の手順を参照してください。

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- 受信中にパリティエラーを検出したとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” になった状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  PER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「**14.5.2　レベル検出割り込み**」の手順を参照してください。
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ（エラーシグナルステータスフラグ）

[“1” になる条件]

- エラーシグナル Low をサンプリングしたとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  ERS フラグを “0” にして割り込み処理ルーチンを終了する場合は、「**14.5.2　レベル検出割り込み**」の手順を参照してください。
  SCR.RE ビットを “0” にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
  RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが “1” になった状態では、以降のシリアル受信を続けることはできません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  ORER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2　レベル検出割り込み」の手順を参照してください。
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を表示します。

[“1” になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0” になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を表示します。

[“1” になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0” になる条件]

- TDR レジスタへ送信データを書いたとき

(3) 非スマートカードインタフェースモードかつ FIFO モードのとき (SCMR.SMIF ビット = 0、FCR.FM ビット = 1)

アドレス SCI11.SSRFIFO 000D 0004h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDFE	RDF	ORER	FER	PER	TEND	—	DR
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ (注1)	0：受信中、または受信FIFOが空 1：受信完了、かつ受信FIFO内のデータ数がしきい値未満	R/(W) (注2)
b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R/(W) (注2)
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) (注2)
b4	FER	フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R/(W) (注2)
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) (注2)
b6	RDF	受信FIFOフルフラグ	0：受信FIFO内の未読データ数がしきい値未満 1：受信FIFO内の未読データ数がしきい値以上	R/(W) (注2)
b7	TDFE	送信FIFOエンプティフラグ	0：送信FIFO内の未送信データ数がしきい値を超えた 1：送信FIFO内の未送信データ数がしきい値以下	R/(W) (注2)

注1. 調歩同期式モードでのみ有効です。クロック同期式モードでは“1”になりません。
注2. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

DR フラグ（受信データレディフラグ）

受信が完了した後、受信 FIFO 内のデータ数がしきい値 (FCR.RTRG[3:0]) 未満のまま、15 etu (Elementary Time Unit: 1 ビットの転送期間) の期間が経過したことを示します。

[“1” になる条件]

- 最後に受信したデータにフレーミングエラーもパリティエラーもなく、また、RSR レジスタからデータを転送したときに受信 FIFO 内のデータ数がしきい値未満で、かつ最後のストップビットから 15 etu の期間が経過しても、次の受信が完了しなかったとき

[“0” になる条件]

- 受信 FIFO 内のすべてのデータを読み出し、DR フラグが “1” であることを確認した後、DR フラグに “0” を書き込んだとき
- FCR.FM ビットを “0” から “1” にしたとき

FCR.DRES ビットが “1”（ERI 割り込み）のときに DR フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

TEND フラグ（トランスミットエンドフラグ）

送信が終了したことを表示します。

[“1” になる条件]

- 送信キャラクタの最終ビットの送信時、FTDR レジスタに有効な送信データがないとき

[“0” になる条件]

- SCR.TE ビットが “1” のときに FTDR レジスタに送信データを書き込んだとき
- SCR.TE ビットが “1” のときに、TEND フラグが “1” であることを確認した後、“0” を書き込んだとき
- FCR.FM ビットを “0” から “1” にしたとき

PER フラグ（パリティエラーフラグ）

調歩同期式モードかつデータ一致検出機能無効時に、受信 FIFO 内のいずれかのデータにパリティエラーがあることを示します。

[“1” になる条件]

- データ一致検出機能が無効のときに、受信したデータにパリティエラーがあったとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

PER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「**14.5.2　レベル検出割り込み**」の手順を参照してください。

非 FIFO モードの場合と異なり、パリティエラーのあるデータを受信した後も受信動作は継続します。

SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ（フレーミングエラーフラグ）

調歩同期式モードかつデータ一致検出機能無効時に、受信 FIFO 内のいずれかのデータを受信したときにフレーミングエラーがあったことを示します。

[“1” になる条件]

- データ一致検出機能が無効のときに、受信したデータのストップビットが “0” のとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

FER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「**14.5.2　レベル検出割り込み**」の手順を参照してください。

非 FIFO モードの場合と異なり、フレーミングエラーのあるデータを受信した後も受信動作は継続します。

SCR.RE ビットを “0” にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- 受信 FIFO 内に 16 フレーム分のデータがあるときに、次のデータの受信が完了したとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

ORER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「**14.5.2　レベル検出割り込み**」の手順を参照してください。

SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDF フラグ（受信 FIFO フルフラグ）

受信 FIFO 内に格納されているデータ数がしきい値 (FCR.RTRG[3:0]) 以上になったことを示します。

[“1” になる条件]

- 受信 FIFO 内のデータ数がしきい値以上になったとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
- DMA 転送または DTC 転送によって FRDR レジスタから受信データが読み出された後（ブロック転送の場合は 1 転送単位の最終データが読み出された後）、受信 FIFO 内のデータ数がしきい値未満であったとき

“1” になる条件と “0” になる条件が同時に起こったとき、RDF フラグは一旦 “0” になります。そのとき受信 FIFO 内のデータ数がしきい値以上であれば、1 PCLK 後に “1” になります。

TDFE フラグ（送信 FIFO エンプティフラグ）

送信 FIFO 内のデータが TSR レジスタに転送されて、送信 FIFO 内に残ったデータ数がしきい値 (FCR.TTRG[3:0]) 以下になったこと示します。

[“1” になる条件]

- SCR.TE ビットが “0” のとき
- 送信 FIFO 内のデータ数がしきい値以下になったとき

[“0” になる条件]

- DMA 転送、DTC 転送によって FTDR レジスタに送信データが書かれた後（ブロック転送の場合は 1 転送単位の最終データが書かれた後）、送信 FIFO 内のデータ数がしきい値を超えていたとき
- “1” の状態を読み出した後、“0” を書き込んだとき

SCR.TE ビットを “0” にすると、他の条件に関わらず TDFE フラグは “1” になります。これ以外の “1” になる条件と “0” になる条件が同時に起こったとき、TDFE フラグは一旦 “0” になります。そのとき送信 FIFO 内のデータ数がしきい値以下であれば、1 PCLK 後に “1” になります。

DMA 転送、DTC 転送を使用する場合は、TDFE フラグに “0” を書かないでください。

32.2.12 スマートカードモードレジスタ (SCMR)

アドレス
SCI1.SCMR 0008 A026h, SCI5.SCMR 0008 A0A6h, SCI6.SCMR 0008 A0C6h, SCI8.SCMR 0008 A106h, SCI9.SCMR 0008 A126h, SCI11.SCMR 000D 0006h, SCI12.SCMR 0008 B306h,
SMCI1.SCMR 0008 A026h, SMCI5.SCMR 0008 A0A6h, SMCI6.SCMR 0008 A0C6h, SMCI8.SCMR 0008 A106h, SMCI9.SCMR 0008 A126h, SMCI11.SCMR 000D 0006h, SMCI12.SCMR 0008 B306h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0：非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I²Cモード) 1：スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインバートビット (注2、注3)	0：TDRレジスタのデータビットをそのままTSRレジスタに転送、RSRレジスタのデータビットをそのままRDRレジスタに転送 1：TDRレジスタのデータビットを反転してTSRレジスタに転送、RSRレジスタのデータビットを反転してRDRレジスタに転送	R/W (注1)
b3	SDIR	送受信データトランスファディレクションビット (注2、注4)	0：LSBファーストで送受信 1：MSBファーストで送受信	R/W (注1)
b4	CHR1	キャラクタレングスビット1 (注5)	SMR.CHRビットと組み合わせて選択します CHR1 CHR 0 0：データ長9ビットで送受信 0 1：データ長9ビットで送受信 1 0：データ長8ビットで送受信(初期値) 1 1：データ長7ビットで送受信 (注6)	R/W (注1)
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します 表32.10にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。
注2. スマートカードインタフェースモード、調歩同期式モード(マルチプロセッサモード)、クロック同期式モード、簡易SPIモードで使用可能です。
注3. 簡易I²Cモードで動作させる場合は、“0”にしてください
注4. 簡易I²Cモードで動作させる場合は、“1”にしてください
注5. 調歩同期式モードでのみ有効です。調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。
注6. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7)は送信されません。

SMIF ビット（スマートカードインタフェース モードセレクトビット）

スマートカードインタフェースモードで動作させるときは、“1” を設定します。

非スマートカードインタフェースモードである調歩同期式（マルチプロセッサモード含む）、クロック同期式モード、簡易 SPI モード、および簡易 I²C モードで動作させるときは、“0” を設定します。

SINV ビット（送受信データインバートビット）

データレジスタとシフトレジスタ間のデータ転送時にロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PM ビットを反転してください。

CHR1 ビット（キャラクタレングスビット 1）

送受信データのデータ長を選択します。

SMR.CHR ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット（基本クロックパルスビット 2）

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

表32.10　SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック(S = 93)(注1)
0	0	1	128クロック(S = 128)(注1)
0	1	0	186クロック(S = 186)(注1)
0	1	1	512クロック(S = 512)(注1)
1	0	0	32クロック(S = 32)(注1)(初期値)
1	0	1	64クロック(S = 64)(注1)
1	1	0	372クロック(S = 372)(注1)
1	1	1	256クロック(S = 256)(注1)

注1.　Sは「32.2.13　ビットレートレジスタ(BRR)」中のSの値を表します。

32.2.13 ビットレートレジスタ (BRR)

アドレス　SCI1.BRR 0008 A021h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h, SCI8.BRR 0008 A101h, SCI9.BRR 0008 A121h, SCI11.BRR 000D 0001h, SCI12.BRR 0008 B301h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 32.11、表 32.12 に示します。

なお、SCI11 では、SMR.CM ビットが “1”（クロック同期式モードまたは簡易 SPI モード）かつ、FCR.FM ビットが “1”（FIFO モード）、SMR.CKS[1:0] ビットが “00b”（PCLK）のとき、BRR レジスタに “00h” を設定しないでください。

BRR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 32.11　BRR レジスタの設定値 N とビットレート B の関係 (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)

モード	SEMR レジスタの設定			BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易SPI				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 I²C (注1)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 (0 ≦ N ≦ 255)

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 32.14、表 32.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注 1.　簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表32.12　BRRレジスタの設定値NとビットレートBの関係(SCI12)

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差 (%)
	BGDMビット	ABCSビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易SPI			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I²C (注1)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)
N: BRR レジスタの設定値 (0 ≦ N ≦ 255)
PCLK: 周辺モジュールクロック周波数 (MHz)
n と S: 表 32.14、表 32.15 のとおり SMR、SCMR レジスタの設定値によって決まります。
注1.　簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

表32.13　SCL High/Low幅算出式

モード	SCL	算出式 (秒(s))
I²C	High幅(min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅(min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表32.14　クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表32.15　スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 32.16 に、各動作周波数における設定可能な最高ビットレートを表 32.18 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 32.21 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 32.23 に、簡易 I^2C モードにおける BRR レジスタの値 N の設定例を表 32.25 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「32.6.4　受信データサンプリングタイミングと受信マージン」を参照してください。また、表 32.19、表 32.22 に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードで SEMR.ABCS ビットまたは BGDM ビットのいずれか一方のビットを “1” にしたときのビットレートは表 32.16 の 2 倍に、両ビットとも “1” にしたときのビットレートは 4 倍になります。

表32.16　ビットレートに対するBRRの設定例(調歩同期式モード)

ビットレート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	–0.26	2	177	–0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	–1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	–2.34	0	19	0.00
31250	0	7	0.00	0	9	–1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	–2.34	0	9	0.00

ビットレート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	–0.17	3	70	0.03	3	75	0.48	3	79	–0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	–0.93	0	51	0.16	0	55	0.00	0	58	–0.69	0	63	0.00
19200	0	22	–0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	–1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	–2.34	0	15	0.00

ビットレート (bps)	動作周波数PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	–0.25	3	110	–0.02	3	132	0.13	3	145	0.33	3	177	–0.25
150	3	64	0.16	3	80	0.47	3	97	–0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	–0.15	2	194	0.16	2	214	–0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	–0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	–0.15	1	194	0.16	1	214	–0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	–0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	–0.15	0	194	0.16	0	214	–0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	–0.35	0	106	0.39	0	129	0.16
19200	0	32	–1.36	0	40	–0.76	0	48	–0.35	0	53	–0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	–0.54	0	32	–1.36

ビットレート (bps)	動作周波数PCLK (MHz)								
	50			60			120 (注1)		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	221	–0.02						
150	3	162	–0.15	3	194	0.16			
300	3	80	0.47	3	97	–0.35	3	194	0.16
600	2	162	–0.15	3	48	–0.35	3	97	–0.35
1200	2	80	0.47	2	97	–0.35	3	48	–0.35
2400	1	162	–0.15	2	48	–0.35	2	97	–0.35
4800	1	80	0.47	1	97	–0.35	2	48	–0.35
9600	0	162	–0.15	1	48	–0.35	1	97	–0.35
19200	0	80	0.47	0	97	–0.35	1	48	–0.35
31250	0	49	0.00	0	59	0.00	0	119	0.00
38400	0	40	–0.76	0	48	–0.35	0	97	–0.35

注.　SEMR.ABCSビット、SEMR.ABCSEビット、SEMR.BGDMビットがすべて“0”のときの例です。
ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
ABCSビット、BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
ABCSEビットを“1”にしたときは、ビットレートが16/3倍になります。

注1.　SCI11のみ対応しています。

表32.17　各動作周波数における最高ビットレート(調歩同期式モード) (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)

PCLK (MHz)	SEMRレジスタの設定値					最高ビットレート (bps)	PCLK (MHz)	SEMRレジスタの設定値					最高ビットレート (bps)
	BGDMビット	ABCSビット	ABCSEビット	n	N			BGDMビット	ABCSビット	ABCSEビット	n	N	
8	0	0	0	0	0	250000	19.6608	0	0	0	0	0	614400
		1	0	0	0	500000			1	0	0	0	1228800
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1000000			1	0	0	0	2457600
	任意	任意	1	0	0	1333333		任意	任意	1	0	0	3276800
9.8304	0	0	0	0	0	307200	20	0	0	0	0	0	625000
		1	0	0	0	614400			1	0	0	0	1250000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1228800			1	0	0	0	2500000
	任意	任意	1	0	0	1638400		任意	任意	1	0	0	3333333
10	0	0	0	0	0	312500	25	0	0	0	0	0	781250
		1	0	0	0	625000			1	0	0	0	1562500
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1250000			1	0	0	0	3125000
	任意	任意	1	0	0	1666667		任意	任意	1	0	0	4166667
12	0	0	0	0	0	375000	30	0	0	0	0	0	937500
		1	0	0	0	750000			1	0	0	0	1875000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1500000			1	0	0	0	3750000
	任意	任意	1	0	0	2000000		任意	任意	1	0	0	5000000
12.288	0	0	0	0	0	384000	33	0	0	0	0	0	1031250
		1	0	0	0	768000			1	0	0	0	2062500
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1536000			1	0	0	0	4125000
	任意	任意	1	0	0	2048000		任意	任意	1	0	0	5500000

表32.17　各動作周波数における最高ビットレート(調歩同期式モード) (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)

PCLK (MHz)	SEMRレジスタの設定値					最高ビットレート (bps)	PCLK (MHz)	SEMRレジスタの設定値					最高ビットレート (bps)
	BGDMビット	ABCSビット	ABCSEビット	n	N			BGDMビット	ABCSビット	ABCSEビット	n	N	
14	0	0	0	0	0	437500	40	0	0	0	0	0	1250000
		1	0	0	0	875000			1	0	0	0	2500000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1750000			1	0	0	0	5000000
	任意	任意	1	0	0	2333333		任意	任意	1	0	0	6666667
16	0	0	0	0	0	500000	50	0	0	0	0	0	1562500
		1	0	0	0	1000000			1	0	0	0	3125000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	2000000			1	0	0	0	6250000
	任意	任意	1	0	0	2666667		任意	任意	1	0	0	8333333
17.2032	0	0	0	0	0	537600	60	0	0	0	0	0	1875000
		1	0	0	0	1075200			1	0	0	0	3750000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	2150400			1	0	0	0	7500000
	任意	任意	1	0	0	2867200		任意	任意	1	0	0	10000000
18	0	0	0	0	0	562500	120 (注1)	0	0	0	0	0	3750000
		1	0	0	0	1125000			1	0	0	0	7500000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	2250000			1	0	0	0	15000000
	任意	任意	1	0	0	3000000		任意	任意	1	0	0	20000000

注1.　SCI11のみ対応しています。

表32.18　各動作周波数における最高ビットレート(調歩同期式モード) (SCI12)

PCLK (MHz)	SEMRレジスタの設定値				最高ビットレート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最高ビットレート (bps)
	BGDMビット	ABCSビット	n	N			BGDMビット	ABCSビット	n	N	
8	0	0	0	0	250000	19.6608	0	0	0	0	614400
		1	0	0	500000			1	0	0	1228800
	1	0	0	0			1	0	0	0	
		1	0	0	1000000			1	0	0	2457600
9.8304	0	0	0	0	307200	20	0	0	0	0	625000
		1	0	0	614400			1	0	0	1250000
	1	0	0	0			1	0	0	0	
		1	0	0	1228800			1	0	0	2500000
10	0	0	0	0	312500	25	0	0	0	0	781250
		1	0	0	625000			1	0	0	1562500
	1	0	0	0			1	0	0	0	
		1	0	0	1250000			1	0	0	3125000
12	0	0	0	0	375000	30	0	0	0	0	937500
		1	0	0	750000			1	0	0	1875000
	1	0	0	0			1	0	0	0	
		1	0	0	1500000			1	0	0	3750000
12.288	0	0	0	0	384000	33	0	0	0	0	1031250
		1	0	0	768000			1	0	0	2062500
	1	0	0	0			1	0	0	0	
		1	0	0	1536000			1	0	0	4125000
14	0	0	0	0	437500	40	0	0	0	0	1250000
		1	0	0	875000			1	0	0	2500000
	1	0	0	0			1	0	0	0	
		1	0	0	1750000			1	0	0	5000000
16	0	0	0	0	500000	50	0	0	0	0	1562500
		1	0	0	1000000			1	0	0	3125000
	1	0	0	0			1	0	0	0	
		1	0	0	2000000			1	0	0	6250000
17.2032	0	0	0	0	537600	60	0	0	0	0	1875000
		1	0	0	1075200			1	0	0	3750000
	1	0	0	0			1	0	0	0	
		1	0	0	2150400			1	0	0	7500000
18	0	0	0	0	562500						
		1	0	0	1125000						
	1	0	0	0							
		1	0	0	2250000						

表32.19　外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCSビット= 0	SEMR.ABCSビット= 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000
50	12.5000	781250	1562500
60	15.0000	937500	1875000
120 (注1)	30.0000	1875000	3750000

注1.　SCI11のみ対応しています。

表32.20　TMRクロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	TMRクロック(MHz)	最高ビットレート (bps)	
		SEMR.ABCSビット= 0	SEMR.ABCSビット= 1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000
33	16.5	1031250	2062500
40	20	1250000	2500000
50	25	1562500	3125000
60	30	1875000	3750000

表32.21　ビットレートに対するBRRの設定例(クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)																					
	8		10		16		20		25		30		33		40		50		60		120 (注1)	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																						
250	3	124	3	155	3	249																
500	2	249	3	77	3	124	3	155	3	194	3	233	3	255								
1k	2	124	2	155	2	249	3	77	3	97	3	116	3	128	3	155	3	194	3	233		
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249	3	77	3	93	3	187
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124	2	155	3	46	3	93
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249	2	77	2	93	3	46
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99	1	124	1	149	2	74
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49	1	61	1	74	1	149
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99	0	124	0	149	1	74
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39	0	49	0	59	1	29
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19	0	24	0	29	1	14
1M	0	1			0	3	0	4	—	—			—	—	0	9	—	—	0	14	0	29
2.5M			0	0 (注2)			0	1			0	2			0	3	0	4	0	5	0	11
5M							0	0 (注2)							0	1			0	2	0	5
7.5M											0	0 (注2)							0	1	0	3

空欄：誤差が5%を超えるため、設定できません。
—　：設定可能ですが1～5%の誤差がでます。
注1.　SCI11のみ対応しています。
注2.　SCI11では、FCR.FMビットが“1”(FIFOモード)の場合、この設定は使用できません。
FCR.FMビットが“0”(非FIFOモード)、または他のチャネルでこの設定を使用した場合、連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます(同期クロックの出力が1ビット期間停止します)。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表32.22　外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000
33	5.5000	5.5000
40	6.6667	6.6667
50	8.3333	8.3333
60	10.0000	10.0000
120 (注1)	20.0000	20.0000

注1.　SCI11のみ対応しています。

表32.23　ビットレートに対するBRRの設定例(スマートカードインタフェースモードでn = 0、S = 372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	–30.00
	10.7136	0	1	–25.00
	13.00	0	1	–8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	–15.99
	20.00	0	2	–6.66
	25.00	0	3	–12.49
	30.00	0	3	5.01
	33.00	0	4	–7.59
	40.00	0	5	–6.66
	50.00	0	6	0.01
	60.00	0	7	5.01
	120.00 (注1)	0	16	–1.17

注1.　SCI11のみ対応しています。

表32.24　各動作周波数における最高ビットレート(スマートカードインタフェースモードでS = 32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0
50.00	781250	0	0
60.00	937500	0	0
120.00 (注1)	1875000	0	0

注1.　SCI11のみ対応しています。

表32.25　ビットレートに対するBRRの設定例(簡易I²Cモード)

ビットレート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	–2.3	1	12	–3.8	1	15	–2.3	1	19	–2.3
25k	0	9	0.0	0	12	–3.8	1	4	0.0	1	6	–10.7	1	7	–2.3
50k	0	4	0.0	0	6	–10.7	1	2	–16.7	1	3	–21.9	1	3	–2.3
100k	0	2	–16.7	0	3	–21.9	0	4	0.0	0	6	–10.7	1	1	–2.3
250k	0	0	0.0	0	1	–37.5	0	1	0.0	0	2	–16.7	0	3	–21.9
350k										0	1	–10.7	0	2	–25.6

ビットレート (bps)	動作周波数PCLK (MHz)														
	30			33			40			50			60		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	23	–2.3	1	25	–0.8	0	124	0.00	2	9	–2.3	1	46	–0.27
25k	1	9	–6.3	1	10	–6.3	0	40	0.00	2	3	–2.3	0	74	0.00
50k	1	4	–6.3	1	5	–14.1	0	24	0.00	2	1	–2.3	0	37	–1.32
100k	1	2	–21.9	1	2	–14.1	0	12	–3.85	1	3	–2.3	0	18	–1.32
250k	0	3	–6.3	0	4	–17.5	0	4	0.00	0	6	–10.7	0	7	–6.25
350k	0	2	–10.7	0	2	–1.8	0	3	–10.71	0	4	–10.7	0	4	7.14

ビットレート (bps)	動作周波数PCLK (MHz)		
	120 (注1)		
	n	N	誤差 (%)
10k	1	93	–0.27
25k	0	149	0.00
50k	0	74	0.00
100k	0	37	–1.31
250k	0	14	0.00
350k	0	10	–2.60

注1.　SCI11のみ対応しています。

表32.26　各ビットレート設定でのSCL High/Low幅最小値(簡易I²Cモード)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.50/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビットレート (bps)	動作周波数PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	1	32	46.20/52.80
25k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	1	12	18.20/20.80
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	1	6	9.80/11.20
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	0	13	4.90/5.60
250k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60

ビットレート (bps)	動作周波数PCLK (MHz)								
	50			60			120 (注1)		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	2	9	44.80/51.20	1	47	44.80/51.20	1	93	43.87/50.13
25k	2	3	17.92/20.48	0	74	17.50/20.00	0	149	17.50/20.00
50k	2	1	8.96/10.24	0	37	8.87/10.13	0	74	8.75/10.00
100k	1	3	4.48/5.12	0	18	4.43/5.07	0	37	4.43/5.07
250k	0	6	1.96/2.24	0	7	1.87/2.13	0	15	1.87/2.13
350k	0	4	1.40/1.60	0	5	1.40/1.60	0	10	1.28/1.47

注1.　SCI11のみ対応しています。

32.2.14 モジュレーションデューティレジスタ (MDDR)

アドレス　SCI1.MDDR 0008 A032h, SCI5.MDDR 0008 A0B2h, SCI6.MDDR 0008 A0D2h, SCI8.MDDR 0008 A112h, SCI9.MDDR 0008 A132h, SCI11.MDDR 000D 0012h, SCI12.MDDR 0008 B312h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが “1” にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に M/256 に補正します。MDDR レジスタの設定値 M とビットレート B の関係を表 32.27、表 32.28 に示します。

MDDR レジスタに設定できる値の範囲は、“80h” 以上 “FFh” 以下です。これ以外の値は設定できません。

MDDR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 32.27　ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係 (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)

モード	SEMR レジスタの設定			BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI (注1)				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易 I²C (注2)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)
M: MDDR レジスタの設定値 (128 ≦ M ≦ 255)
N: ボーレートジェネレータの BRR の設定値 (0 ≦ N ≦ 255)
PCLK: 動作周波数 (MHz)

n と S: 「32.2.13　ビットレートレジスタ (BRR)」表 32.14、表 32.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1.　クロック同期式モードおよび簡易SPIモードの最高速設定(SMR.CKS[1:0]ビット= 00b、かつSCR.CKE[1]ビット= 0、かつBRR = 0)では、本機能を使用しないでください。

注2.　簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

表32.28　ビットレートモジュレーション機能使用時のMDDRレジスタ設定値MとビットレートBの関係(SCI12)

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差 (%)
	BGDMビット	ABCSビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易SPI (注1)			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	誤差 $= \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I²C (注2)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR レジスタの設定値 (128 ≦ M ≦ 255)

N: ボーレートジェネレータの BRR の設定値 (0 ≦ N ≦ 255)

PCLK: 動作周波数 (MHz)

n と S: 「32.2.13　ビットレートレジスタ (BRR)」表 32.14、表 32.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1.　クロック同期式モードおよび簡易SPIモードの最高速設定(SMR.CKS[1:0]ビット= 00b、かつSCR.CKE[1]ビット= 0、かつBRR = 0)では、本機能を使用しないでください。

注2.　簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

なお、SMR.CKS[1:0] ビットの設定値を小さく、BRR レジスタの設定値を大きくした方が、1 ビット期間の長さの長短差が小さくなります。

32.2.15 シリアル拡張モードレジスタ (SEMR)

アドレス　SCI1.SEMR 0008 A027h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h, SCI8.SEMR 0008 A107h, SCI9.SEMR 0008 A127h, SCI11.SEMR 000D 0007h, SCI12.SEMR 0008 B307h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	—	ACS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードでのみ有効) 0：外部クロック 1：TMRから出力される2つのコンペアマッチ出力の論理積(SCI5、SCI6、SCI12のみ有効) SCIのチャネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	BRME	ビットレートモジュレーションイネーブルビット	0：ビットレートモジュレーション機能無効 1：ビットレートモジュレーション機能有効	R/W (注1)
b3	ABCSE	調歩同期基本クロックセレクト拡張ビット (注2)	(調歩同期式モードで内蔵ボーレートジェネレータ使用時のみ有効) 0:1ビット期間の転送レートはBGDMビットとABCSビットの設定に従う 1：基本クロック6サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードでのみ有効) 0：基本クロック16サイクルの期間が1ビット期間の転送レートになります 1：基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0：RXDn入力信号のノイズ除去機能無効 1：RXDn入力信号のノイズ除去機能有効 (簡易I²Cモード) 0：SSCLn、SSDAn入力信号のノイズ除去機能無効 1：SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	BGDM	ボーレートジェネレータ倍速モードセレクトビット	(調歩同期式モードで内蔵ボーレートジェネレータ使用時のみ有効) 0：ボーレートジェネレータから通常の周波数のクロックを出力 1：ボーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードでのみ有効) 0：RXDn端子入力のLowレベルでスタートビットを検出 1：RXDn端子入力の立ち下がりエッジでスタートビットを検出	R/W (注1)

注1.　SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。
注2.　SCI12では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

SEMR レジスタは、調歩同期式モード時の 1 ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0 ビット（調歩同期クロックソースセレクトビット）

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード（SMR.CM ビット = 0）で、外部クロック入力（SCR.CKE[1:0] ビット = 10b、11b）のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0 ビットを “0” にしてください。

SCI5、SCI6、SCI12 では、TMR ユニット 0、1 の TMOn (n = 0 ～ 3 出力を基本クロックソースにすることができます。詳細は**表 32.29** を参照してください。

SCI1、SCI8、SCI9、SCI11 の ACS0 ビットは予約ビットです。SCI1、SCI8、SCI9、SCI11 では “0” にしてください。

表32.29　SCIのチャネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット0	TMO0, TMO1
SCI6	ユニット1	TMO2, TMO3
SCI12	ユニット0	TMO0, TMO1

TMR ユニット 0 の TMO0、TMO1 出力を選択したときの設定例を**図 32.5** に示します。

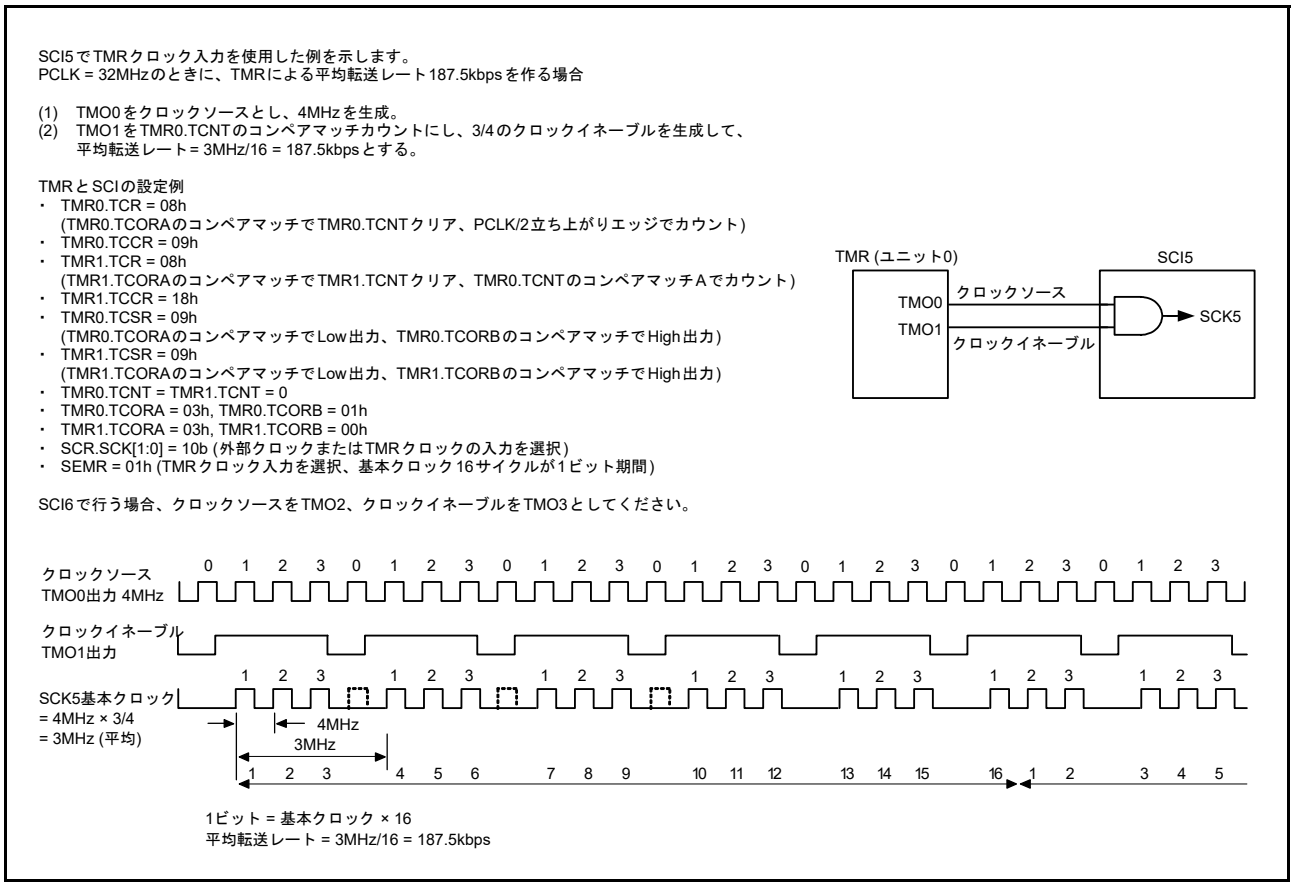


図 32.5　TMR クロック入力時の平均転送レート設定例

BRME ビット（ビットレートモジュレーションイネーブルビット）

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に補正します。

ABCSE ビット（調歩同期基本クロックセレクト拡張ビット）

このビットを “1” にすると、基本クロック 6 サイクルの期間が 1 ビット期間の転送レートになります。また、内蔵ボーレートジェネレータから 2 倍の周波数のクロックが出力されます。

調歩同期式モード（SMR.CM ビット = 0）で、クロックソースに内蔵ボーレートジェネレータを選択（SCR.CKE[1] ビット = 0）したときに有効です。

なお、ビットレートを PCLK の 1/6 の周波数にする場合は、このビットを “1” にするとともに、SMR.CKS[1:0] ビットを “00b” に、BRR レジスタを “00h” にしてください。

NFEN ビット（デジタルノイズフィルタ機能イネーブルビット）

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I^2C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを “0” にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット（ボーレートジェネレータ倍速モードセレクトビット）

ボーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード（SMR.CM ビット = 0）で、クロックソースに内蔵ボーレートジェネレータを選択 SCR.CKE[1] ビット = 0）したときに有効です。内蔵ボーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット = 1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では “0” を設定してください。

RXDESEL ビット（調歩同期スタートビットエッジ検出セレクトビット）

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレーク時の動作が異なります。ブレーク中に受信動作を停止させたい場合、およびブレーク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は “1” を設定してください。

調歩同期式モード以外では “0” を設定してください。

32.2.16 ノイズフィルタ設定レジスタ (SNFR)

アドレス　SCI1.SNFR 0008 A028h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h, SCI8.SNFR 0008 A108h, SCI9.SNFR 0008 A128h, SCI11.SNFR 000D 0008h, SCI12.SNFR 0008 B308h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	NFCS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2 b0 ０ ０ ０：1分周のクロックをノイズフィルタに使用 簡易I²Cモード時、SMR.CKS[1:0]ビットで選択した内蔵ボーレートジェネレータのクロックソース基準で b2 b0 ０ ０ １：1分周のクロックをノイズフィルタに使用 ０ １ ０：2分周のクロックをノイズフィルタに使用 ０ １ １：4分周のクロックをノイズフィルタに使用 １ ０ ０：8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

NFCS[2:0] ビット（ノイズフィルタクロックセレクトビット）

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b” を設定してください。簡易 I²C モード時は “001b” ～ “100b” の中で設定してください。

32.2.17 I²C モードレジスタ 1 (SIMR1)

アドレス　SCI1.SIMR1 0008 A029h, SCI5.SIMR1 0008 A0A9h, SCI6.SIMR1 0008 A0C9h, SCI8.SIMR1 0008 A109h, SCI9.SIMR1 0008 A129h, SCI11.SIMR1 000D 0009h, SCI12.SIMR1 0008 B309h

	b7	b6	b5	b4	b3	b2	b1	b0
	IICDL[4:0]					—	—	IICM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I²Cモードセレクトビット	SMIF IICM 0 0：調歩同期式モード、マルチプロセッサモード、クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易SPIモード) 0 1：簡易I²Cモード 1 0：スマートカードインタフェースモード 1 1：設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ボーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0：出力遅延なし 0 0 0 0 1：0～1サイクル 0 0 0 1 0：1～2サイクル 0 0 0 1 1：2～3サイクル 0 0 1 0 0：3～4サイクル 0 0 1 0 1：4～5サイクル ：　： 1 1 1 1 0：29～30サイクル 1 1 1 1 1：30～31サイクル	R/W (注1)

注1. SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I²C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

IICM ビット（簡易 I²C モードセレクトビット）

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット（SSDA 出力遅延セレクトビット）

SSCLn 端子出力の立ち下がりに対する SSDAn 端子出力の遅延を選択します。内蔵ボーレートジェネレータのクロックソースを 1 サイクルとし、遅延なし～ 31 サイクルまでの選択が可能です。内蔵ボーレートジェネレータのクロックソースとは、PCLK を SMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易 I²C モード以外では “00000b” を設定してください。簡易 I²C モード時は、“00001b” ～ “11111b” のいずれかを設定してください。

32.2.18 I²C モードレジスタ 2 (SIMR2)

アドレス　SCI1.SIMR2 0008 A02Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh, SCI8.SIMR2 0008 A10Ah, SCI9.SIMR2 0008 A12Ah, SCI11.SIMR2 000D 000Ah, SCI12.SIMR2 0008 B30Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACKT	—	—	—	IICCSC	IICINTM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I²C割り込みモードセレクトビット	0：ACK/NACK割り込みを使用 1：受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0：クロック同期を行わない 1：クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0：ACK送信 1：NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　SCR.TEビット= 0、SCR.REビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット（I²C 割り込みモードセレクトビット）

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット（クロック同期化ビット）

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに “1” を設定します。

IICCSC ビットに “0” を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

デバッグ時を除いて IICCSC ビットには “1” を設定してください。

IICACKT ビット（ACK 送信データビット）

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は “1” を設定してください。

32.2.19 I²C モードレジスタ 3 (SIMR3)

アドレス　SCI1.SIMR3 0008 A02Bh, SCI5.SIMR3 0008 A0ABh, SCI6.SIMR3 0008 A0CBh, SCI8.SIMR3 0008 A10Bh, SCI9.SIMR3 0008 A12Bh, SCI11.SIMR3 000D 000Bh, SCI12.SIMR3 0008 B30Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTP REQ	IICRST AREQ	IICSTA REQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0：開始条件を生成しない 1：開始条件を生成(注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開始条件生成ビット	0：再開始条件を生成しない 1：再開始条件を生成(注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0：停止条件を生成しない 1：停止条件を生成(注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開始/停止条件生成完了フラグ	0：各条件生成要求がない状態、または生成中の状態 1：各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0：シリアルデータ出力 0 1：開始条件、再開始条件、停止条件の生成 1 0：SSDAn端子はLowを出力 1 1：SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0：シリアルクロック出力 0 1：開始条件、再開始条件、停止条件の生成 1 0：SSCLn端子はLowを出力 1 1：SSCLn端子はハイインピーダンス状態	R/W

注1.　SSCLn端子とSSDAn端子が両方ともHigh(それぞれの端子に対応するPIDRレジスタのビットが“1”)のときに開始条件生成を行ってください。
注2.　SSCLn端子がLow(対応するPIDRレジスタのビットが“0”)のときに再開始条件生成または停止条件生成を行ってください。
注3.　IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。
注4.　IICSTIFフラグを“0”にしてから、各条件生成を行ってください。
注5.　“1”の状態で“0”を書き込まないでください。“1”の状態で“0”を書きこむと、コンディション生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット（開始条件生成ビット）

開始条件の生成を行うときは、IICSTAREQ ビットを “1” にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” にしてください。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット（再開始条件生成ビット）

再開始条件の生成を行うときは、IICRSTAREQ ビットを “1” にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” にしてください。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- 再開始条件の生成が完了したとき

IICSTPREQ ビット（停止条件生成ビット）

停止条件の生成を行うときは、IICSTPREQ ビットを “1” にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” にしてください。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ（開始 / 再開始 / 停止条件生成完了フラグ）

各条件生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを “0” にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが “1” の場合に開始 / 再開始 / 停止条件生成完了割り込み (STI) 要求が出力されます。

[“1” になる条件]

- 開始 / 再開始 / 停止の各条件の生成が完了したとき（ただし “0” になる条件と競合した場合は “0” になる条件が優先されます。）

[“0” になる条件]

- “0” を書き込んだとき（IICSTIF フラグが “0” になったことを確認してください。）
- SIMR1.IICM ビットが “0” のとき（簡易 I^2C モード以外のとき）
- SCR.TE ビットが “0” のとき

IICSDAS[1:0] ビット（SSDA 出力セレクトビット）

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット（SSCL 出力セレクトビット）

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

32.2.20 I²C ステータスレジスタ (SISR)

アドレス　SCI1.SISR 0008 A02Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh, SCI8.SISR 0008 A10Ch, SCI9.SISR 0008 A12Ch, SCI11.SISR 000D 000Ch, SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACKR
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0：ACK受信 1：NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ（ACK 受信データフラグ）

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCLn クロックの立ち上がりのタイミングで更新されます。

32.2.21 SPI モードレジスタ (SPMR)

アドレス　SCI1.SPMR 0008 A02Dh, SCI5.SPMR 0008 A0ADh, SCI6.SPMR 0008 A0CDh, SCI8.SPMR 0008 A10Dh, SCI9.SPMR 0008 A12Dh, SCI11.SPMR 000D 000Dh, SCI12.SPMR 0008 B30Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn#端子機能イネーブルビット	0：SSn#端子機能禁止 1：SSn#端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0：CTS機能禁止(RTS出力機能有効) 1：CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0：SMOSIn端子：送信、SMISOn端子：受信(マスタモード) 1：SMOSIn端子：受信、SMISOn端子：送信(スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0：モードフォルトエラーなし 1：モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0：クロック極性反転なし 1：クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0：クロック遅れなし 1：クロック遅れあり	R/W (注1)

注1.　SCR.TEビット＝0、SCR.REビット＝0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。
注2.　フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット（SSn# 端子機能イネーブルビット）

SSn# 端子を用いて送受信制御を行う場合（簡易 SPI モード）は “1” を設定します。それ以外の通信モードでは “0” を設定してください。なお、簡易 SPI モードでも、マスタモード（SCR.CKE[1:0] ビット = 00b かつ MSS ビット = 0）かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは “0” を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください（設定した場合、両ビット共に “0” にしたときと同じ動作となります）。

CTSE ビット（CTS イネーブルビット）

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は “1” を設定します。“0” を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I^2C モード時は “0” を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください（設定した場合、両ビット共に “0” にしたときと同じ動作となります）。

MSS ビット（マスタスレーブセレクトビット）

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを “1” にすると、SMOSIn 端子から受信データを入力し、SMISOn 端子から送信データを出力します。

簡易 SPI モード以外では “0” にしてください。

MFF フラグ（モードフォルトフラグ）

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

[“1” になる条件]

- 簡易 SPI モードのマスタモード設定時（SSE ビット = 1 かつ MSS ビット = 0）に、SSn# 端子入力が Low になったとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

CKPOL ビット（クロック極性セレクトビット）

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 32.62 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では “0” としてください。

CKPH ビット（クロック位相セレクトビット）

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 32.62 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では “0” としてください。

32.2.22 FIFO コントロールレジスタ (FCR)

アドレス　SCI11.FCR 000D 0014h,
SCI11.FCR.H 000D 0014h,
SCI11.FCR.L 000D 0015h

	FCR															
	FCR.H								FCR.L							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RSTRG[3:0]				RTRG[3:0]				TTRG[3:0]				DRES	TFRST	RFRST	FM
リセット後の値	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FM	FIFOモード選択ビット (注1)	0：非FIFOモード(TDR、RDRレジスタを送受信に使用) 1：FIFOモード(FTDR、FRDRレジスタを送受信に使用)	R/W (注2)
b1	RFRST	受信FIFOリセットビット (注3)	“1”を書くと受信FIFOの格納データ数を“0”にします	R/W
b2	TFRST	送信FIFOリセットビット (注3)	“1”を書くと送信FIFOの格納データ数を“0”にします	R/W
b3	DRES	受信データレディ割り込み選択ビット	0：受信データフル割り込み(RXI) 1：エラー割り込み(ERI)	R/W (注2)
b7-b4	TTRG[3:0]	送信FIFOしきい値設定ビット (注1)	SSRFIFO.TDFEフラグを“1”にするしきい値を設定します。 b7　b4 0000：送信FIFO内のデータ数が0のとき 0001：送信FIFO内のデータ数が1以下のとき ：　： 1111：送信FIFO内のデータ数が15以下のとき	R/W
b11-b8	RTRG[3:0]	受信FIFOしきい値設定ビット (注1)	SSRFIFO.RDFフラグを“1”にするしきい値を設定します。 b11　b8 0000：設定しないでください 0001：受信FIFO内のデータ数が1以上のとき ：　： 1111：受信FIFO内のデータ数が15以上のとき	R/W
b15-b12	RSTRG[3:0]	RTS#出力しきい値設定ビット (注4)	RTSn#端子をHighにするしきい値を設定します。 b15　b12 0000：設定しないでください 0001：受信FIFO内のデータ数が1以上のとき ：　： 1111：受信FIFO内のデータ数が15以上のとき	R/W

注1.　調歩同期式モードまたはクロック同期式モードでのみ有効。
注2.　SCR.TEビット、REビットがともに“0”のときのみ書き換え可能です。
注3.　FMビットが“1”のときのみ有効。
注4.　FMビットが“1”、かつSPMR.CTSEビットとSPMR.SSEビットが両方とも“0” (RTS#出力機能有効)のとき有効です。

FM ビット（FIFO モード選択ビット）

FIFO モードを有効にするためのビットです。“1” にすると FIFO が有効になり、送受信に使用するデータレジスタが FTDR、FRDR レジスタになります。

“0” にすると FIFO が無効になり、送受信に使用するデータレジスタが TDR、RDR レジスタまたは TDRHL、TDRH、TDRL、RDRHL、RDRH、RDRL レジスタになります。

調歩同期式モードまたはクロック同期式モードのときにのみ有効です。その他のモードでは “0” にしてください。このビットを書き換える場合は、送受信禁止のときに行ってください。

RFRST ビット（受信 FIFO リセットビット）

RFRST ビットを “1” にすると FDR.R[4:0] ビットの値が “0” になります。RFRST ビットの値は 1 PCLK 後に自動的に “0” に戻ります。

TFRST ビット（送信 FIFO リセットビット）

TFRST ビットを “1” にすると FDR.T[4:0] ビットの値が “0” になります。TFRST ビットの値は 1 PCLK 後に自動的に “0” に戻ります。

DRES ビット（受信データレディ割り込み選択ビット）

SSRFIFO.DR フラグが “1” になったときに生成する割り込み要求を選択するビットです。

“0” にすると DR フラグが “1” のときに受信データフル割り込み (RXI) 要求が生成され、“1” にすると受信エラー割り込み (ERI) 要求が生成されます。

TTRG[3:0] ビット（送信 FIFO しきい値設定ビット）

FDR.T[4:0] ビットの値が TTRG[3:0] ビットで設定した値以下になると、SSRFIFO.TDFE フラグが “1” になります。このとき SCR.TIE ビットが “1” であると、送信データエンプティ割り込み (TXI) 要求が発生します。

RTRG[3:0] ビット（受信 FIFO しきい値設定ビット）

FDR.R[4:0] ビットの値が RTRG[3:0] ビットで設定した値以上になると、SSRFIFO.RDF フラグが “1” になります。このとき SCR.RIE ビットが “1” であると、受信データフル割り込み (RXI) 要求が発生します。

RSTRG[3:0] ビット（RTS# 出力しきい値設定ビット）

FDR.R[4:0] ビットの値が RSTRG[3:0] ビットで設定した値以上になると、RTSn# 端子が High になります。この機能を使用する場合は、SPMR.CTSE ビットと SPMR.SSE ビットを両方とも “0” にして、RTSn# 出力機能を有効にしてください。

32.2.23 FIFO データカウントレジスタ (FDR)

アドレス　SCI11.FDR 000D 0016h,
SCI11.FDR.H 000D 0016h,
SCI11.FDR.L 000D 0017h

	FDR															
	FDR.H								FDR.L							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	T[4:0]					—	—	—	R[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	受信FIFOデータカウントビット (注1)	受信FIFO内に格納されているデータの数を示します	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	T[4:0]	送信FIFOデータカウントビット (注1)	送信FIFO内に格納されているデータの数を示します	R
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　調歩同期式モードまたはクロック同期式モードでのみ有効。

R[4:0] ビット（受信 FIFO データカウントビット）

受信 FIFO 内の受信済みデータ数を示します。“00h” は FIFO 内に受信済みデータがないことを、“10h” は FIFO 内に 16 フレームの受信済みデータが格納されていることを示します。

“11h” ～ “1Fh” にはなりません。

T[4:0] ビット（送信 FIFO データカウントビット）

送信 FIFO 内の未送信データ数を示します。“00h” は FIFO 内に未送信データがないことを、“10h” は FIFO 内に 16 フレームの未送信データが格納されていることを示します。

“11h” ～ “1Fh” にはなりません。

32.2.24 ラインステータスレジスタ (LSR)

アドレス　SCI11.LSR 000D 0018h,
SCI11.LSR.H 000D 0018h,
SCI11.LSR.L 000D 0019h

	LSR															
	LSR.H								LSR.L							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PNUM[4:0]					—	FNUM[4:0]					—	ORER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバランエラーフラグ (注1)	SSRFIFO.ORERフラグと同じ値が読めます 0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R (注2)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6-b2	FNUM[4:0]	フレーミングエラーカウントビット	受信FIFO内に格納されているデータの内、フレーミングエラーのあるデータの数を示します	R
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	PNUM[4:0]	パリティエラーカウントビット	受信FIFO内に格納されているデータの内、パリティエラーのあるデータの数を示します	R
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　FIFOモードで、かつ調歩同期式モードまたはクロック同期式モードでのみ有効。
注2.　このフラグをクリアするには、SSRFIFO.ORERフラグが“1”であることを確認してからSSRFIFO.ORERフラグに“0”を書いてください。

ORER フラグ（オーバランエラーフラグ）

オーバランエラーが発生すると “1” になります。SSRFIFO.ORER フラグの値が反映されます。このフラグをクリアするには、SSRFIFO.ORER フラグを “0” にしてください。

FNUM[4:0] ビット（フレーミングエラーカウントビット）

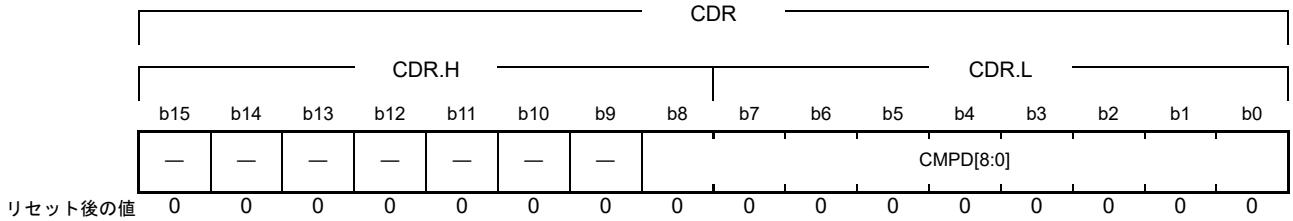
受信 FIFO 内の受信済みデータの内、フレーミングエラーが発生したデータの数を示します。

PNUM[4:0] ビット（パリティエラーカウントビット）

受信 FIFO 内の受信済みデータの内、パリティエラーが発生したデータの数を示します。

32.2.25 比較データレジスタ (CDR)

アドレス
SCI1.CDR 0008 A03Ah, SCI5.CDR 0008 A0BAh, SCI6.CDR 0008 A0DAh, SCI8.CDR 0008 A11Ah, SCI9.CDR 0008 A13Ah, SCI11.CDR 000D 001Ah,
SCI1.CDR.H 0008 A03Ah, SCI5.CDR.H 0008 A0BAh, SCI6.CDR.H 0008 A0DAh, SCI8.CDR.H 0008 A11Ah, SCI9.CDR.H 0008 A13Ah, SCI11.CDR.H 000D 001Ah,
SCI1.CDR.L 0008 A03Bh, SCI5.CDR.L 0008 A0BBh, SCI6.CDR.L 0008 A0DBh, SCI8.CDR.L 0008 A11Bh, SCI9.CDR.L 0008 A13Bh, SCI11.CDR.L 000D 001Bh



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	比較データビット	データ一致検出機能を使用する場合の比較元データを設定します	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

CMPD[8:0] ビット（比較データビット）

データ一致検出機能で使用します。有効ビット長は、SMR.CHR ビットと SCMR.CHR1 ビットで設定したキャラクタ長と同じです。

受信データとこのビットに設定した値が一致すると、DCCR.DCMF フラグが “1” になります。

32.2.26 データ比較制御レジスタ (DCCR)

アドレス　SCI1.DCCR 0008 A033h, SCI5.DCCR 0008 A0B3h, SCI6.DCCR 0008 A0D3h, SCI8.DCCR 0008 A113h, SCI9.DCCR 0008 A133h, SCI11.DCCR 000D 0013h

	b7	b6	b5	b4	b3	b2	b1	b0
	DCME	IDSEL	—	DFER	DPER	—	—	DCMF
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データ一致フラグ	0：データ不一致 1：データ一致	R/(W) (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DPER	一致データパリティエラーフラグ	0：一致したデータにパリティエラーなし 1：一致したデータにパリティエラーあり	R/(W) (注1)
b4	DFER	一致データフレーミングエラーフラグ	0：一致したデータにフレーミングエラーなし 1：一致したデータにフレーミングエラーあり	R/(W) (注1)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IDSEL	IDフレーム選択ビット (注2)	0：すべての受信データを比較する 1：マルチプロセッサビットが“1”の受信データのみ比較する	R/W
b7	DCME	データ一致検出機能許可ビット (注2)	0：データ一致検出機能無効 1：データ一致検出機能有効	R/W

注1.　フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアするには、“1”であることを確認した後、“0”を書いてください。
注2.　調歩同期式モードでのみ有効です。

DCMF フラグ（データ一致フラグ）

受信データと CDR レジスタの値を比較した結果を示します。

[“1” になる条件]

- DCME ビットが “1” の場合に、受信データと CDR レジスタの値が一致したとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

SCR.RE ビットを “0” にしても、DCMF フラグは影響を受けず以前の状態を保持します。

DPER フラグ（一致データパリティエラーフラグ）

一致したデータのパリティエラーの有無を示します。

[“1” になる条件]

- データ一致を検出した受信データにパリティエラーがあったとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

DPER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2　レベル検出割り込み」の手順を参照してください。

SCR.RE ビットを “0” にしても、DPER フラグは影響を受けず以前の状態を保持します。

DFER フラグ（一致データフレーミングエラーフラグ）

一致したデータのフレーミングエラーの有無を示します。

[“1” になる条件]

- データ一致を検出した受信フレームのストップビットが “0” であったとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

DFER フラグを “0” にして割り込み処理ルーチンを終了する場合は、「14.5.2　レベル検出割り込み」の手順を参照してください。

SCR.RE ビットを “0” にしても、DFER フラグは影響を受けず以前の状態を保持します。

IDSEL ビット（ID フレーム選択ビット）

比較する受信データの条件を指定します。DCME ビットが “1” のときのみ有効です。

このビットを “1” にすると、マルチプロセッサビットが “1” の受信フレーム (ID フレーム) 内のデータだけを比較します。

このビットを “0” にすると、すべての受信データを比較します。

DCME ビット（データ一致検出機能許可ビット）

データ一致検出機能の有効 / 無効を設定するビットです。データ一致検出機能は調歩同期式モードでのみ有効です。これ以外のモードでは “0” にしてください。

このビットは、データの一致を検出すると自動的に “0” に戻ります。

32.2.27 シリアルポートレジスタ (SPTR)

アドレス　SCI1.SPTR 0008 A03Ch, SCI5.SPTR 0008 A0BCh, SCI6.SPTR 0008 A0DCh, SCI8.SPTR 0008 A11Ch, SCI9.SPTR 0008 A13Ch, SCI11.SPTR 000D 001Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPB2IO	SPB2DT	RXDMON
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	RXDラインモニタフラグ	0：RXDn端子はLow 1：RXDn端子はHigh	R
b1	SPB2DT	シリアルポートブレークデータビット (注1)	SCR.TEビット、SPB2DTビット、SPB2IOビットを組み合わせて、TXDn端子を制御します。詳細は表32.30を参照してください	R/W
b2	SPB2IO	シリアルポートブレーク入出力ビット (注1)		R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　調歩同期式モードでのみ有効です。

RXDMON フラグ（RXD ラインモニタフラグ）

RXDn 端子のレベルをモニタするためのフラグです。

SPB2DT ビット（シリアルポートブレークデータビット）

SCR.TE ビットが “0” のときに、TXDn 端子の出力レベルを指定するビットです。詳細は表 32.30 を参照してください。

SPB2IO ビット（シリアルポートブレーク入出力ビット）

SCR.TE ビットが “0” のときに、TXDn 端子の入出力を指定するビットです。TXDn 端子をソフトウェアで制御する場合は、“1”（出力）に設定してください。

表32.30　TXDn端子の制御

SCR.TEビットの設定値	SPB2IOビットの設定値	SPB2DTビットの設定値	TXDn端子の状態
0 (送信禁止)	0 (入力)	任意	Hi-Z
	1 (出力)	0 (Low)	Low を出力
		1 (High)	High を出力
1 (送信許可)	任意	任意	送信データ出力端子

32.2.28 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ESME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0：拡張シリアルモード無効 1：拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット（拡張シリアルモード有効ビット）

ESME ビットが “1” の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを “0” にすると、拡張シリアルモード制御部は初期化された状態になります。

表32.31 ESMEビットの設定とタイマ動作モード

ESMEビット	タイマモード	Break Field Low width判定モード	Break Field Low width出力モード
0	使用可能(注1)	使用不可能	使用不可能
1	使用可能	使用可能	使用可能

注1. PCLK選択時のみ動作します。

32.2.29 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	BRME	RXDSF	SFSF	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0：Start Frame検出機能無効状態 1：Start Frame検出機能有効状態	R
b2	RXDSF	RXDX12入力ステータスフラグ	0：RXDX12入力許可状態 1：RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0：ビットレート測定無効 1：ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

32.2.30 コントロールレジスタ 1 (CR1)

アドレス SCI12.CR1 0008 B322h

	b7	b6	b5	b4	b3	b2	b1	b0
	PIBS[2:0]			PIBE	CF1DS[1:0]		CF0RE	BFE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0：Break Fieldの検出が無効 1：Break Fieldの検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0：Control Field 0受信無効 1：Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ選択ビット	b3 b2 0 0：PCF1DRを比較データに選択 0 1：SCF1DRを比較データに選択 1 0：PCF1DRおよびSCF1DRを比較データに選択 1 1：設定しないでください	R/W
b4	PIBE	プラリオリティインタラプトビットイネーブルビット	0：プライオリティインタラプトビット無効 1：プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プラリオリティインタラプトビットセレクトビット	b7　b5 0 0 0：Control Field 1　0ビット目 0 0 1：Control Field 1　1ビット目 0 1 0：Control Field 1　2ビット目 0 1 1：Control Field 1　3ビット目 1 0 0：Control Field 1　4ビット目 1 0 1：Control Field 1　5ビット目 1 1 0：Control Field 1　6ビット目 1 1 1：Control Field 1　7ビット目	R/W

32.2.31 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h

	b7	b6	b5	b4	b3	b2	b1	b0
	RTS[1:0]		BCCS[1:0]		—	DFCS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RXDX12信号デジタルフィルタクロック選択ビット	b2 b0 0 0 0：フィルタ無効 0 0 1：フィルタクロックは基本クロック（注1、注2） 0 1 0：フィルタクロックはPCLK/8 0 1 1：フィルタクロックはPCLK/16 1 0 0：フィルタクロックはPCLK/32 1 0 1：フィルタクロックはPCLK/64 1 1 0：フィルタクロックはPCLK/128 1 1 1：設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択ビット	● SEMR.BGDMビットが“0”または、SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”以外の場合 b5 b4 0 0：基本クロック 0 1：基本クロックの2分周 1 0：基本クロックの4分周 1 1：設定しないでください ● SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合 b5 b4 0 0：基本クロックの2分周 0 1：基本クロックの4分周 1 0：設定しないでください 1 1：設定しないでください	R/W
b7-b6	RTS[1:0]	RXDX12受信サンプリングタイミング選択ビット	● SCI12.SEMR.ABCSビット＝0の場合 b7 b6 0 0：基本クロックの8クロック目の立ち上がり 0 1：基本クロックの10クロック目の立ち上がり 1 0：基本クロックの12クロック目の立ち上がり 1 1：基本クロックの14クロック目の立ち上がり ● SCI12.SEMR.ABCSビット＝1の場合 b7 b6 0 0：基本クロックの4クロック目の立ち上がり 0 1：基本クロックの5クロック目の立ち上がり 1 0：基本クロックの6クロック目の立ち上がり 1 1：基本クロックの7クロック目の立ち上がり	R/W

注. 基本クロックとは、SCI12.SEMR.ABCS＝0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS＝1のとき、1データ期間の1/8の周期です。
注1. 基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。
注2. SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合は基本クロックの2分周がフィルタクロックとなります。

32.2.32 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0：Start Frameの検出を行わない 1：Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット（Start Frame 検出開始ビット）

SDST ビットを “1” にすると Start Frame の検出を開始します。読むと “0” が読み出されます。

32.2.33 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXPS	TXDXPS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0：TXDX12信号極性を反転せずに出力 1：TXDX12信号極性を反転して出力	R/W
b1	RXDXPS	RXDX12信号極性選択ビット	0：RXDX12極性を反転せずに入力 1：RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXDX12端子兼用選択ビット	0：TXDX12端子、RXDX12端子独立 1：TXDX12/RXDX12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット（TXDX12/RXDX12 端子兼用選択ビット）

SHARPS ビットが “1” の場合、TXDX12/RXDX12 端子を兼用した半二重通信が可能となります。

32.2.34 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width検出割り込み許可ビット	0：Break Field Low width検出割り込み禁止 1：Break Field Low width検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0：Control Field 0一致割り込み禁止 1：Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0：Control Field 1一致割り込み禁止 1：Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0：プライオリティインタラプトビット検出割り込み禁止 1：プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0：バス衝突検出割り込み禁止 1：バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0：有効エッジ検出割り込み禁止 1：有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

32.2.35 ステータスレジスタ (STR)

アドレス SCI12.STR 0008 B327h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width検出フラグ	[“1”になる条件] • Break Field Low width検出したとき • Break Field Low width出力完了したとき • タイマがアンダフローしたとき [“0”になる条件] • STCR.BFDCLビットに“1”を書いたとき	R
b1	CF0MF	Control Field 0一致フラグ	[“1”になる条件] • Control Field 0受信データが設定データと一致したとき [“0”になる条件] • STCR.CF0MCLビットに“1”を書いたとき	R
b2	CF1MF	Control Field 1一致フラグ	[“1”になる条件] • Control Field 1受信データが設定データと一致したとき [“0”になる条件] • STCR.CF1MCLビットに“1”を書いたとき	R
b3	PIBDF	プライオリティインタラプトビット検出フラグ	[“1”になる条件] • プライオリティインタラプトビットを検出したとき [“0”になる条件] • STCR.PIBDCLビットに“1”を書いたとき	R
b4	BCDF	バス衝突検出フラグ	[“1”になる条件] • バス衝突を検出したとき [“0”になる条件] • STCR.BCDCLビットに“1”を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	[“1”になる条件] • 有効エッジを検出したとき [“0”になる条件] • STCR.AEDCLビットに“1”を書いたとき	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

32.2.36 ステータスクリアレジスタ (STCR)

アドレス SCI12.STCR 0008 B328h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDCL	BCDCL	PIBDCL	CF1MCL	CF0MCL	BFDCL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCL	BFDFクリアビット	BFDCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCL	PIBDFクリアビット	PIBDCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

32.2.37 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード / ライト可能なレジスタです。

32.2.38 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0：Control Field 0 ビット0コンペア無効 1：Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0：Control Field 0 ビット1コンペア無効 1：Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0：Control Field 0 ビット2コンペア無効 1：Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0：Control Field 0 ビット3コンペア無効 1：Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0：Control Field 0 ビット4コンペア無効 1：Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0：Control Field 0 ビット5コンペア無効 1：Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0：Control Field 0 ビット6コンペア無効 1：Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0：Control Field 0 ビット7コンペア無効 1：Control Field 0 ビット7コンペア有効	R/W

32.2.39 Control Field 0 受信データレジスタ (CF0RR)

アドレス SCI12.CF0RR 0008 B32Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。

32.2.40 プライマリ Control Field 1 データレジスタ (PCF1DR)

アドレス SCI12.PCF1DR 0008 B32Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード / ライト可能なレジスタです。

32.2.41 セカンダリ Control Field 1 データレジスタ (SCF1DR)

アドレス SCI12.SCF1DR 0008 B32Dh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード / ライト可能なレジスタです。

32.2.42 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

アドレス SCI12.CF1CR 0008 B32Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	CF1CE 7	CF1CE 6	CF1CE 5	CF1CE 4	CF1CE 3	CF1CE 2	CF1CE 1	CF1CE 0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブルビット	0：Control Field 1 ビット0コンペア無効 1：Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブルビット	0：Control Field 1 ビット1コンペア無効 1：Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブルビット	0：Control Field 1 ビット2コンペア無効 1：Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブルビット	0：Control Field 1 ビット3コンペア無効 1：Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブルビット	0：Control Field 1 ビット4コンペア無効 1：Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブルビット	0：Control Field 1 ビット5コンペア無効 1：Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブルビット	0：Control Field 1 ビット6コンペア無効 1：Control Field 1 ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1 7ビットコンペアイネーブルビット	0：Control Field 1 ビット7コンペア無効 1：Control Field 1 ビット7コンペア有効	R/W

32.2.43 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。

32.2.44 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0：タイマカウント停止 1：タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

32.2.45 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TCSS[2:0]			TWRC	—	TOMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット (注1)	b1 b0 0 0：タイマモード 0 1：Break Field Low width判定モード 1 0：Break Field Low width出力モード 1 1：設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0：リロードレジスタとカウンタへの書き込み 1：リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット (注1)	b6 b4 0 0 0：PCLK 0 0 1：PCLK/2 0 1 0：PCLK/4 0 1 1：PCLK/8 1 0 0：PCLK/16 1 0 1：PCLK/32 1 1 0：PCLK/64 1 1 1：PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時(TCST = 0)に行ってください。

TWRC ビット（カウンタ書き込み制御ビット）

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

32.2.46 タイマプリスケーラレジスタ (TPRE)

アドレス SCI12.TPRE 0008 B332h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

32.2.47 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

32.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 32.6 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード / ライトができ、連続送受信が可能です。また、SCI11 には FIFO が搭載されていますので、より効率よく送受信が行えます。

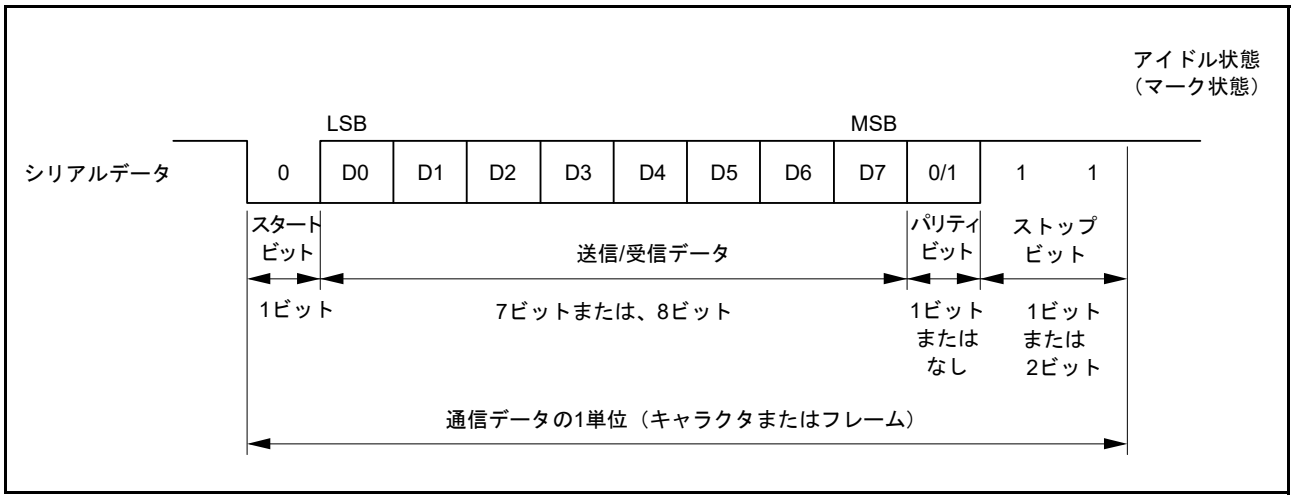


図 32.6　調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり /2 ストップビットの例)

32.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 32.32 に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「32.4　マルチプロセッサ通信機能」を参照してください。

表32.32　シリアル送信/受信フォーマット(調歩同期式モード)

SCMRの設定	SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	0	0	0	S	9ビットデータ									STOP		
0	0	0	0	1	S	9ビットデータ									STOP	STOP	
0	0	1	0	0	S	9ビットデータ									P	STOP	
0	0	1	0	1	S	9ビットデータ									P	STOP	STOP
1	0	0	0	0	S	8ビットデータ								STOP			
1	0	0	0	1	S	8ビットデータ								STOP	STOP		
1	0	1	0	0	S	8ビットデータ								P	STOP		
1	0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	1	0	0	0	S	7ビットデータ							STOP				
1	1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	1	0	0	S	7ビットデータ							P	STOP			
1	1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	0	—	1	0	S	9ビットデータ									MPB	STOP	
0	0	—	1	1	S	9ビットデータ									MPB	STOP	STOP
1	0	—	1	0	S	8ビットデータ								MPB	STOP		
1	0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	1	—	1	0	S	7ビットデータ							MPB	STOP			
1	1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

S:　スタートビット
STOP:　ストップビット
P:　パリティビット
MPB:　マルチプロセッサビット

32.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍 (注 1) の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 32.7 に示すように受信データを基本クロックの 8 サイクル目 (注 1) の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ (\%) \quad \text{...式 (1)}$$

M: 受信マージン
N: クロックに対するビットレートの比
- SEMR.ABCSE ビットが“0”、かつ SEMR.ABCS ビットが“0”のとき N = 16
- SEMR.ABCSE ビットが“0”、かつ SEMR.ABCS ビットが“1”のとき N = 8
- SEMR.ABCSE ビットが“1”のとき N = 6

D: クロックのデューティ (D = 0.5～1.0)
L: フレーム長 (L = 9～13)
F: クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、

M = {0.5 – 1/(2 × 16)} × 100 (%) = 46.875 (%)

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30% の余裕を持たせてください。

注 1. いずれも SEMR.ABCSE ビットが “0”、かつ SEMR.ABCS ビットが “0” のときの値です。ABCSE ビットが “0”、かつ ABCS ビットが “1” のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。また、ABCSE ビットが “1” のときは、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 番目の立ち上がりエッジでサンプリングします。

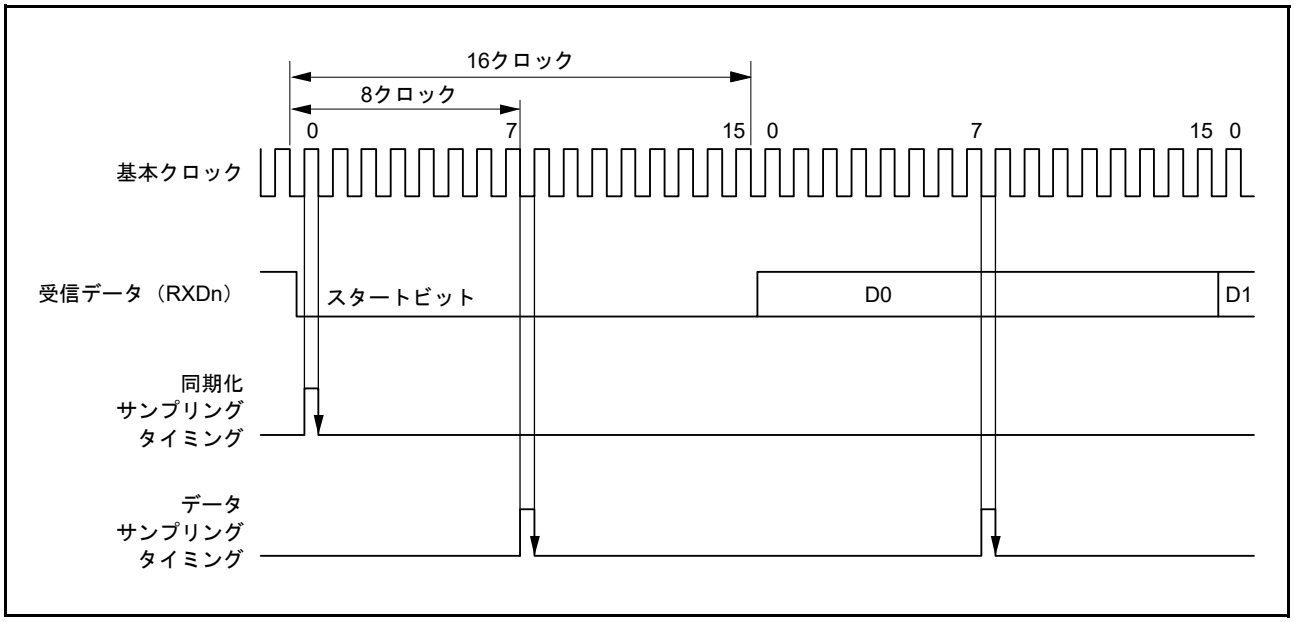


図 32.7 調歩同期式モードの受信データサンプリングタイミング

32.3.3　クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたは SCKn 端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（SEMR.ABCS ビット = 0 のとき）、8 倍（SEMR.ABCS ビット = 1 のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0 ビット (n = 5, 6, 12) の設定により、TMR0、TMR1 からの基本クロックを選択することが可能です。

内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図 32.8 に示すように送信データの中央でクロックが立ち上がります。

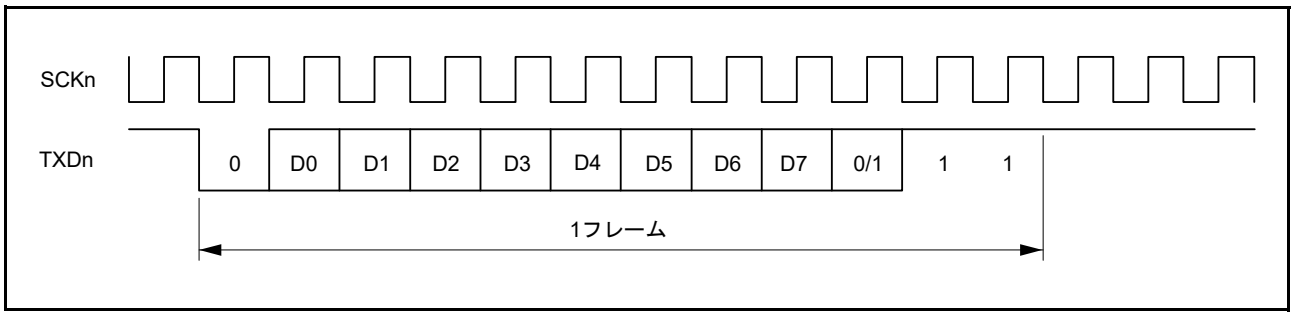


図 32.8　出力クロックと送信データの位相関係
(調歩同期式モード : SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

32.3.4　倍速モードと 6 分周モード

SEMR.BGDM ビットを “1” にすることによって内蔵ボーレートジェネレータの出力クロック周波数が 2 倍となり、ビットレートが 2 倍の高速通信が可能となります。また、この状態から SEMR.ABCS ビットを “1” にすると基本クロックのサイクル数が 16 から 8 になるため、ビットレートは初期状態から 4 倍に高速化されます。

また、SEMR.ABCSE ビットを “1” にすると、1 ビット期間中の基本クロックパルス数が 6、かつ基本クロックの周期が 1/2 になり、SEMR レジスタの ABCS ビット、BGDM ビット、ABCSE ビットがすべて “0” の場合に比べ 16/3 倍のビットレートで動作します。

なお、「32.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) が示すとおり、SEMR.ABCS ビットを “1” にするとサイクル数が 8 になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート 2 倍の高速通信は、SEMR.BGDM ビットを “0”、SEMR.ABCS ビットを “1” にするよりも、SEMR.BGDM ビットを “1”、SEMR.ABCS ビットを “0” にする設定を推奨します。

32.3.5 CTS、RTS 機能

CTS 機能は、CTSn# 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを “1” にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTSn# 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTSn# 端子出力を使用して送信要求を行う機能で、受信可能状態になると Low を出力します。RTSn# 端子から Low、High を出力する条件は以下の通りです。

(a) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが “1”
- 受信動作中でない
- 未読の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて “0”

[High になる条件]

Low になる条件を満たさない場合

(b) FIFO 有効の SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが “1”
- 受信 FIFO 内の格納データ数がしきい値 (FCR.RTRG[3:0]) 未満
- SSRFIFO.ORER フラグが “0”

[High になる条件]

Low になる条件を満たさない場合

なお、CTS/RTS はどちらか一方しか選択できません。

32.3.6 データ一致検出機能

データ一致検出機能は、SCI1、SCI5、SCI6、SCI8、SCI9、SCI11 の調歩同期式モードで利用可能です。

DCCR.DCME ビットを “1” にすると、受信データと CDR.CMPD[8:0] ビットの内容が比較 (注 1) され、値が一致すると受信データフル割り込み (RXI) 要求が発生します。

SMR.MP ビットが “0” の場合は、すべての受信データが比較されます。

SMR.MP ビットを “1” にすると、DCCR.IDSEL ビットが “1” の場合は、マルチプロセッサビットが “1” のデータのみが比較され、“0” のデータは無視されます。DCCR.IDSEL ビットが “0” の場合は、マルチプロセッサビットの値にかかわらずすべての受信データが比較されます。

受信データが CDR.CMPD[8:0] ビットの値と一致するまでは、受信データの格納は行われず、フラグも更新されません。データが一致すると、DCCR.DCME ビットは自動的に “0” になり、DCMF フラグが “1” になります。このとき、DCCR.IDSEL ビットが “1” であると、SCR.MPIE ビットも自動的に “0” になります。また、SCR.RIE ビットが “1” であると、受信データフル割り込み (RXI) 要求が発生します。

一致したデータにフレーミングエラーがあった場合は、DCCR.DFER フラグが “1” になり、パリティエラーがあった場合は DCCR.DPER フラグが “1” になります。CDR.CMPD[8:0] ビットの値と一致した受信データは受信バッファに格納されず、SSR.RDRF フラグ（FCR.FM ビットが “1” の場合は SSRFIFO.RDF フ

ラグ）も “1” になりません。

データの一致を検出し、DCCR.DCME ビットが “0” になった後は、通常通りデータの受信が行われます。

DCCR.DFER フラグまたは DCCR.DPER フラグが “1” のときは、データの一致は検出されません。データ一致検出機能を有効にする前に、これらのフラグは “0” にしてください。

注 1.　比較対象は SMR.CHR ビット、SCMR.CHR1 ビットで指定したキャラクタ長に相当する部分です。

図 32.9、図 32.10 にデータ一致検出の例を示します。

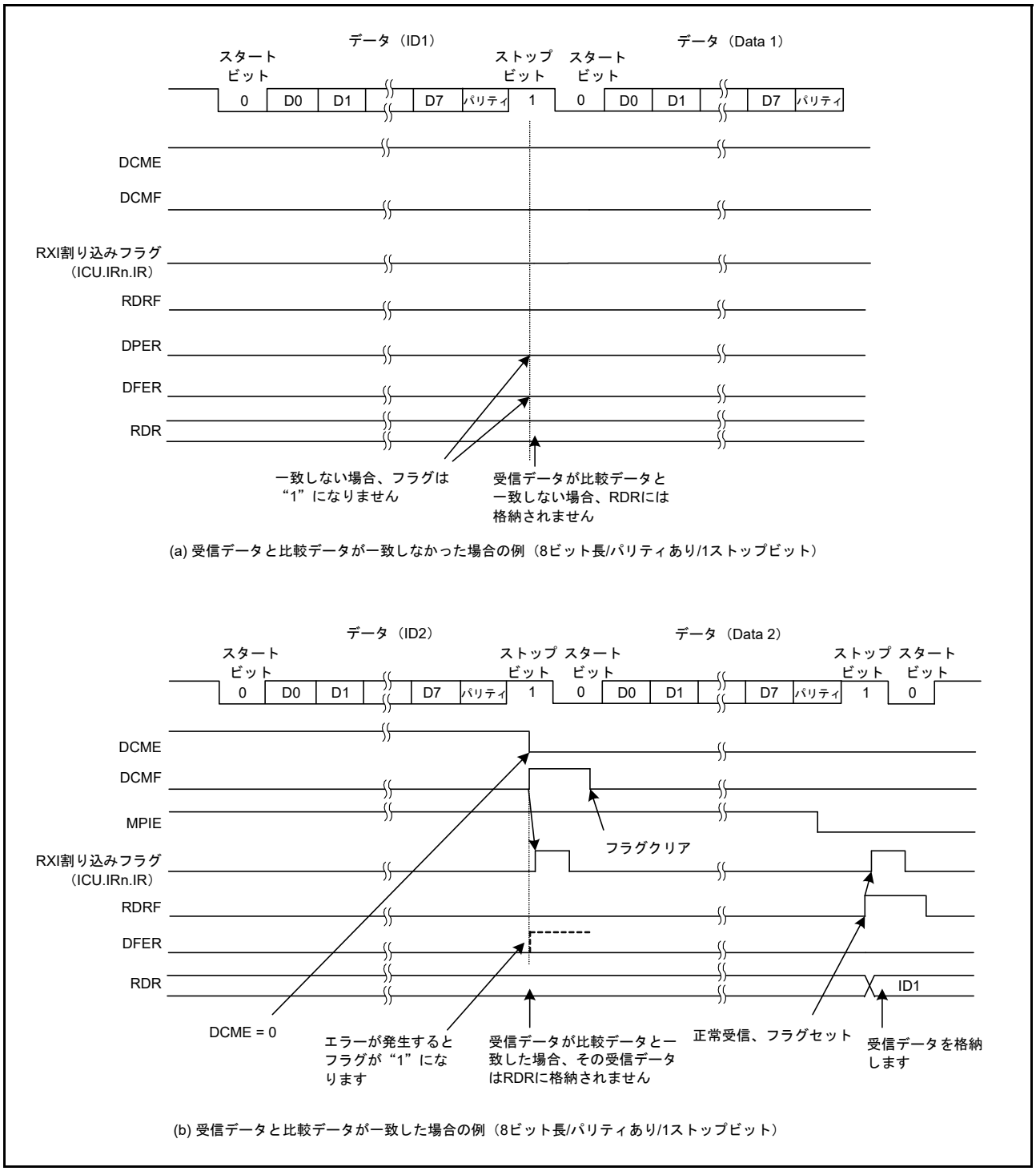


図 32.9　データ一致検出の例 (1) 非マルチプロセッサモード

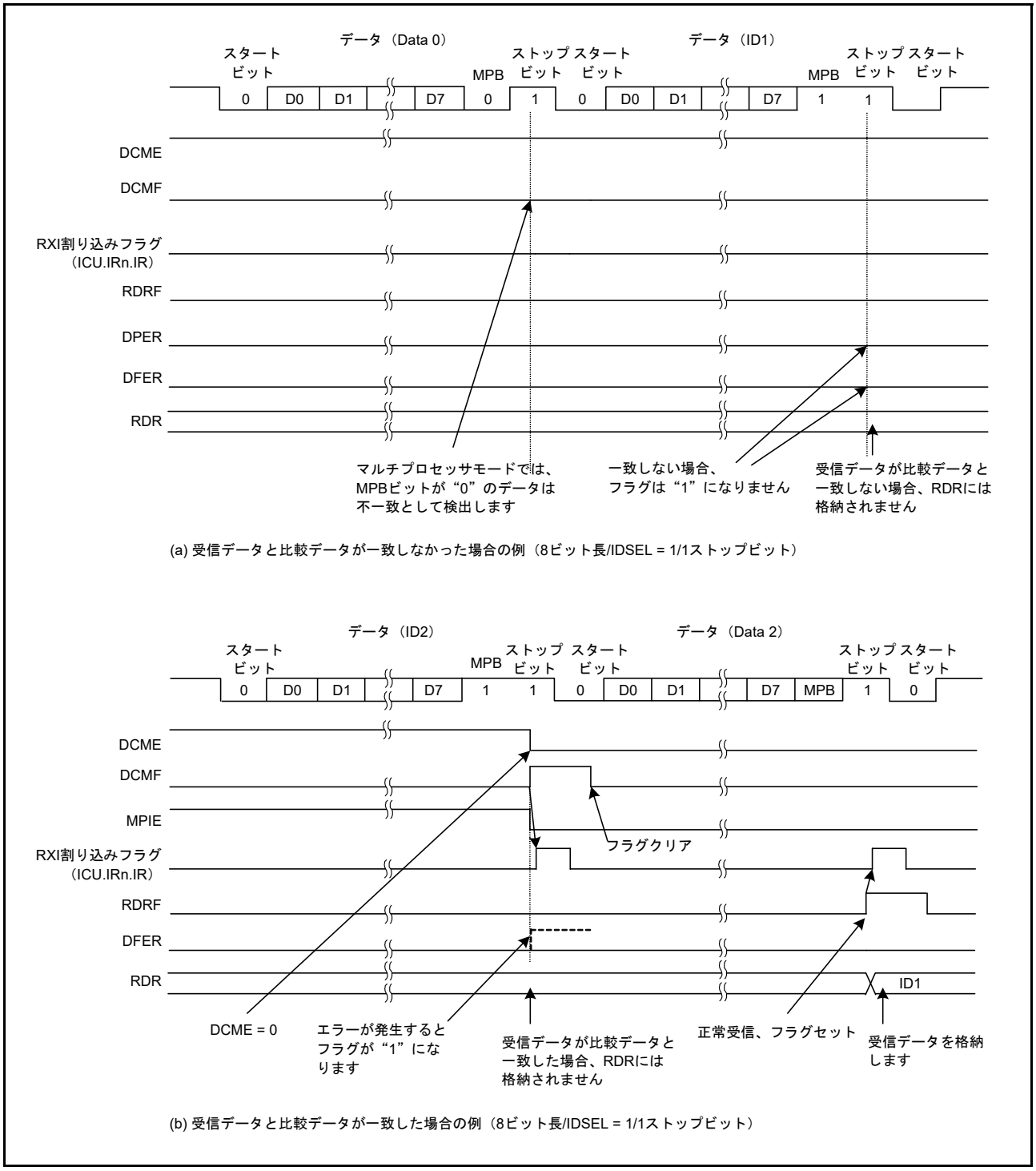


図 32.10　データ一致検出の例 (2) マルチプロセッサモード

32.3.7 SCI の初期化 (調歩同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 32.11 または図 32.12 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER、RDRF フラグ、SSRFIFO.RDF フラグ、および RDR、RDRH、RDRL レジスタは初期化されませんので注意してください。また、SCR.TE ビットを “0” にしても、SSRFIFO.TEND フラグは “1” になりませんので注意してください。

また、SCR レジスタの TIE ビット、TE ビット、TEIE ビットを同時に “1” にすると、送信データエンプティ割り込み (TXI) 要求が発生する前に送信終了割り込み (TEI) 要求が発生しますので注意してください。

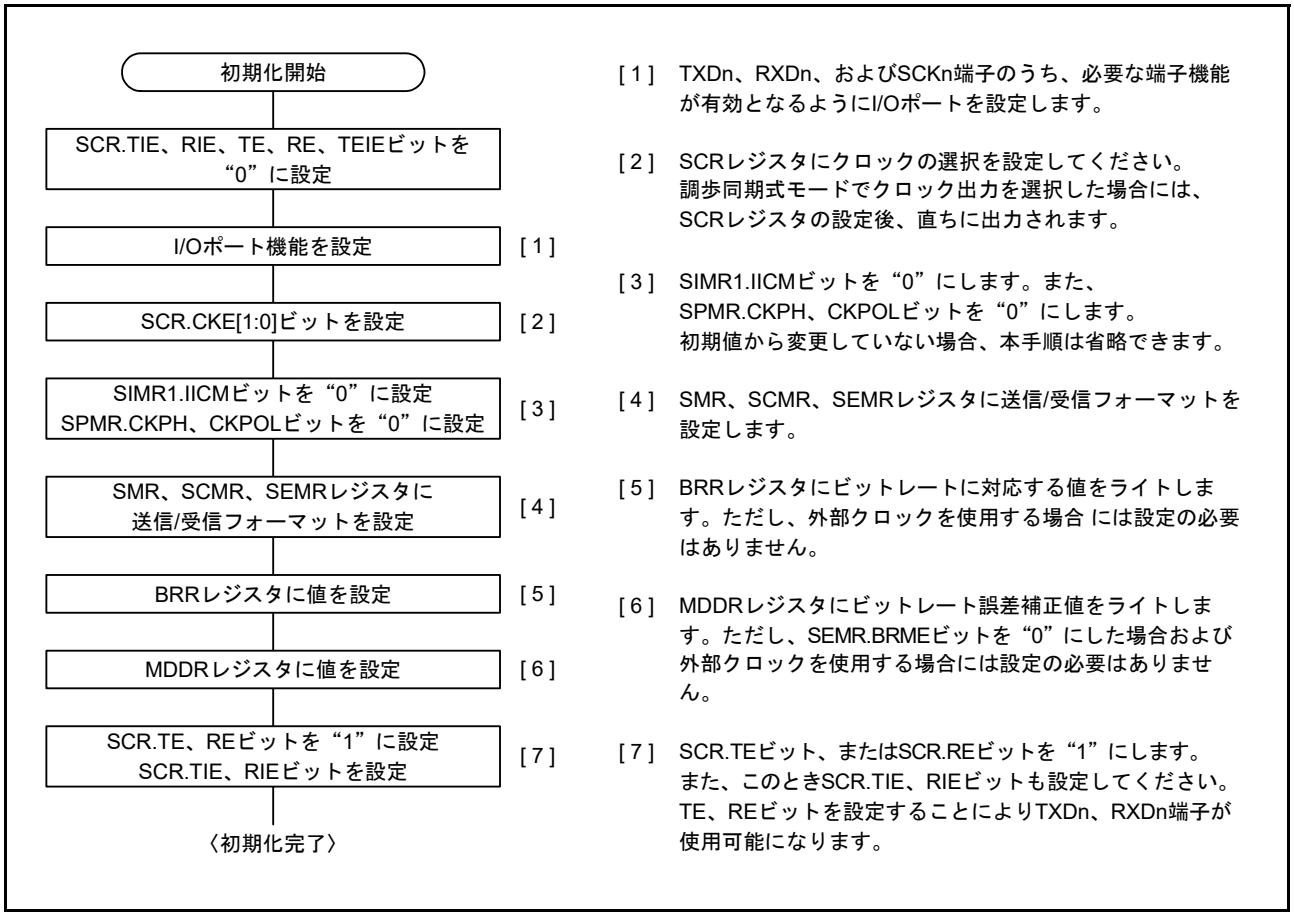


図 32.11　SCI の初期化フローチャートの例 (調歩同期式モード) (SCI1, SCI5, SCI6, SCI8, SCI9, SCI12)

[1] TXDn端子、SCKn端子など、通信に使用する出力端子を汎用出力ポートに設定します。

[2] FIFOモードを選択し、FIFOの初期設定を行います。

[3] SCRレジスタで使用するクロックを選択してください。調歩同期式モードでクロック出力を選択した場合には、SCRレジスタの設定後、直ちに出力されます。

[4] SIMR1.IICMビットを“0”にします。また、SPMR.CKPH、CKPOLビットを“0”にします。初期値から変更していない場合、本手順は省略できます。

[5] SMR、SCMR、SEMRレジスタに送信/受信フォーマットを設定します。

[6] BRRレジスタにビットレートに対応する値をライトします。ただし、外部クロックを使用する場合 には設定の必要はありません。

[7] MDDRレジスタにビットレート誤差補正値をライトします。
ただし、SEMR.BRMEビットを“0”にした場合および外部クロックを使用する場合には設定の必要はありません。

[8] SCR.TEビット、またはSCR.REビットを“1”にします。また、このときSCR.TIE、RIEビットも設定してください。TE、REビットを設定することによりTXDn、RXDn端子が使用可能になります。

[9] PMRレジスタ、MPC機能により通信に使用する端子の機能を有効にします。

図 32.12　SCI の初期化フローチャートの例 (調歩同期式モード、FIFO 使用) (SCI11)

図 32.13 は、リセット解除後に図 32.11 に従って SCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXD 端子に設定した時点では、SCR.TE ビットが “0” であるため端子はハイインピーダンスです。TE ビットを “1” にした後送信データを書くと、データ送信が開始されます。TE ビットを “1” にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。調歩同期式モードでは、この期間 TXD 端子は High になります。

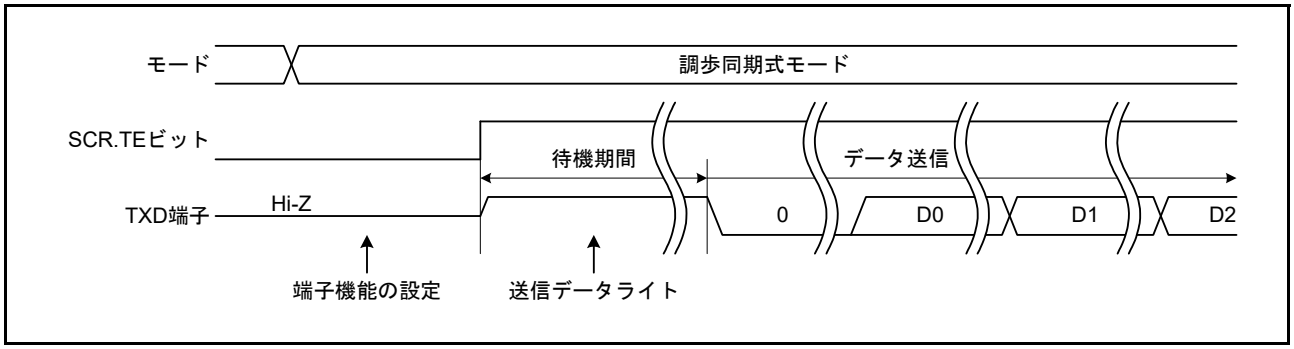


図 32.13　調歩同期式モード時のデータ送信タイミング例

32.3.8 シリアルデータの送信 (調歩同期式モード)

(1) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合

図 32.14 ～図 32.16 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

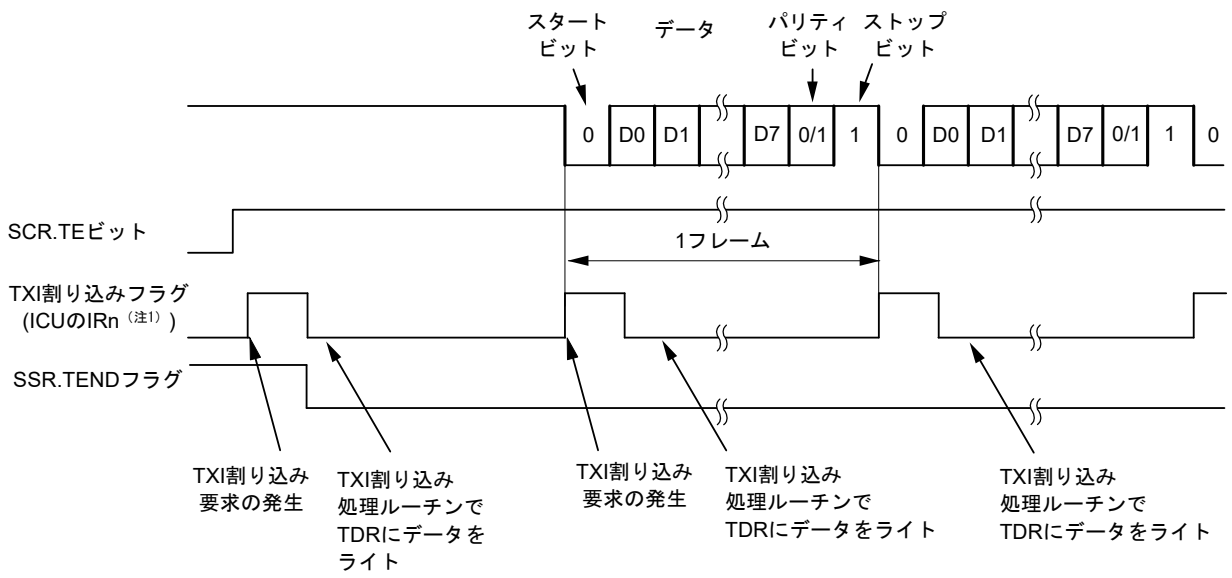
1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、TDR レジスタ (注 1) から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” にした後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” にすることで発生します。
2. SPMR.CTSE ビットが “0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、TDR レジスタ (注 1) から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ (注 1、注 2) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ (注 1、注 2) に書いた後、SCR.TIE ビットを “0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを “1”（TEI 割り込み要求を許可）にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ (注 3) の更新（書き込み）をチェックします。
5. TDR レジスタ (注 3) が更新されていると、SPMR.CTSE ビットが “0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタ (注 1) から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ (注 3) が更新されていなければ、SSR.TEND フラグを “1” にし、ストップビット送出後、High を出力してマーク状態になります。このとき、SCR.TEIE ビットが “1” であると、SSR.TEND フラグが “1” になり TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。

注 2. データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。

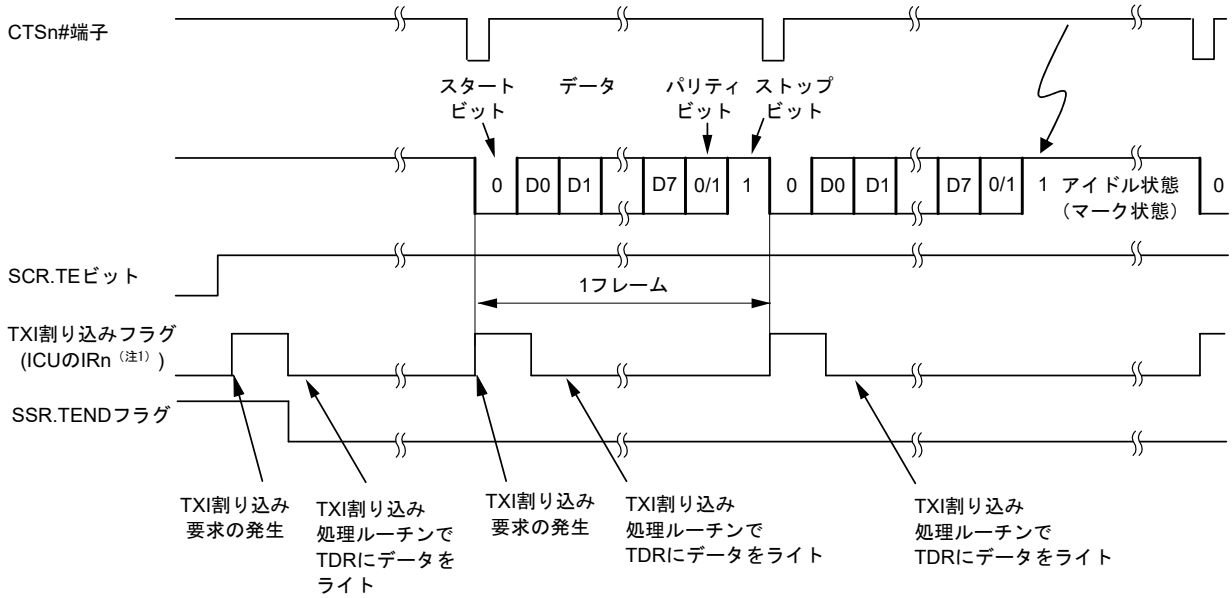
注 3. データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 32.17 にシリアル送信のフローチャートの例を示します。



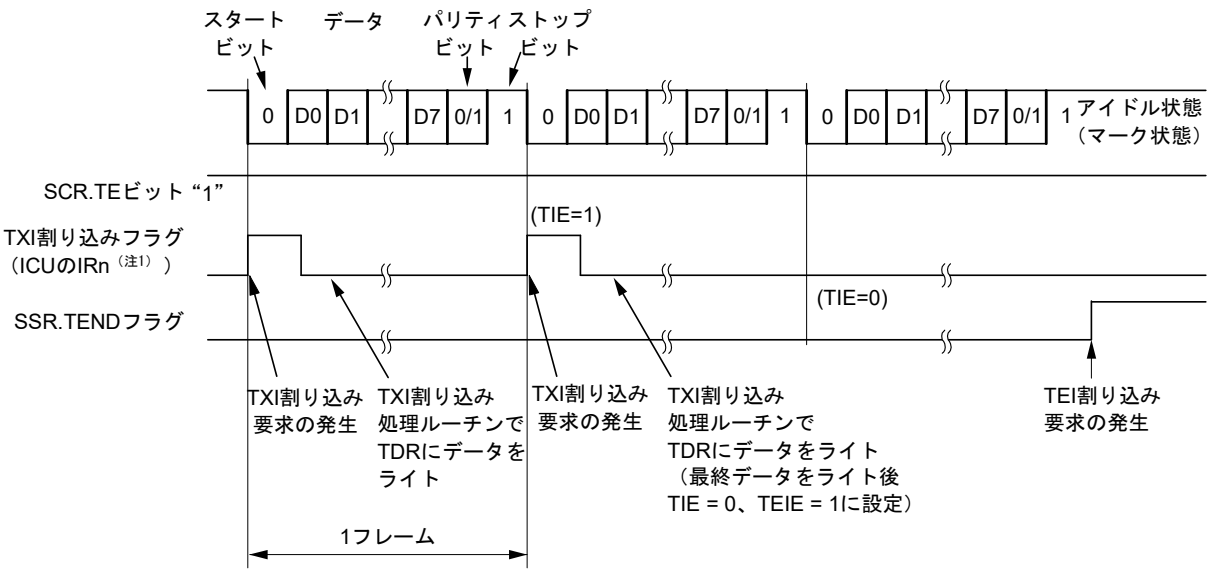
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUC)」を参照してください。

図 32.14　調歩同期式モードのシリアル送信の動作例 (1)
(8 ビットデータ / パリティあり /1 ストップビット /CTS 機能使用しない / 送信開始時)



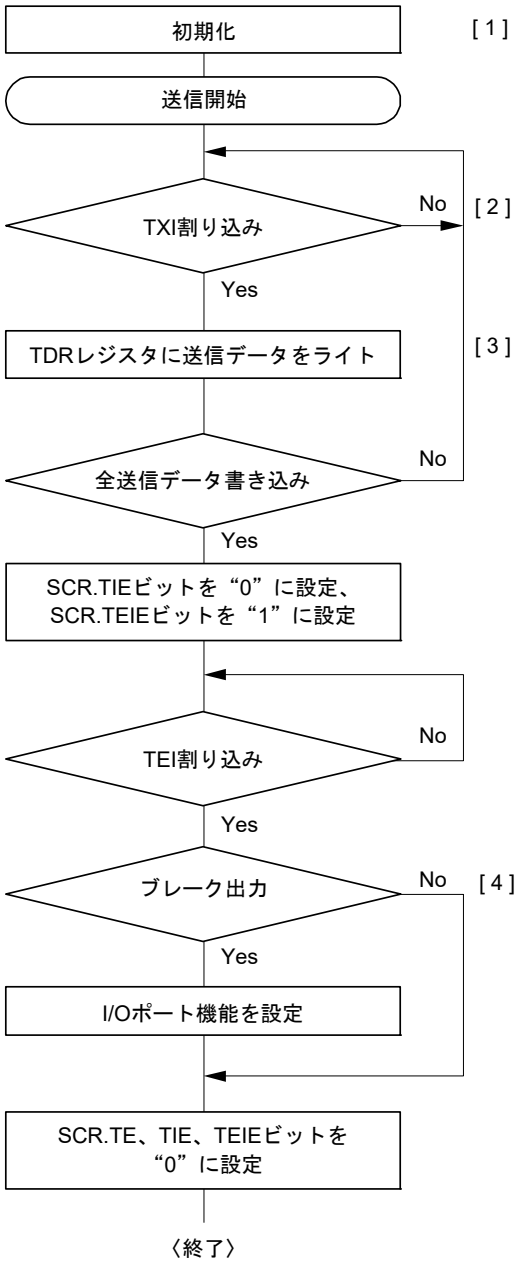
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUC)」を参照してください。

図 32.15　調歩同期式モードのシリアル送信の動作例 (2)
(8 ビットデータ / パリティあり /1 ストップビット /CTS 機能使用する / 送信開始時)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUC)」を参照してください。

図 32.16　調歩同期式モードのシリアル送信の動作例 (3)
(8 ビットデータ / パリティあり /1 ストップビット /CTS 機能使用しない / 送信中～送信終了時)



[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを“1”にした後、1フレーム分のHighを出力して送信可能状態になります。

[2] TXI割り込み要求で送信データをTDRレジスタにライト：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み(TXI)要求が発生します。
TXI割り込み処理ルーチンでTDRレジスタに送信データを1回だけライトしてください。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、TXI割り込み要求でTDRレジスタに送信データを1回だけライトしてください。
TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを“0”に、SCR.TEIEビットを“1”にします。

[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、TXDn端子に対応するI/Oポート機能を設定(Low出力に設定)し、TXDn端子を汎用入出力ポート機能に切り替えた後、SCR.TEビットを“0”にします。

注. TDRレジスタは、データ長9ビット選択時は、TDRHレジスタおよびTDRLレジスタになります。TDRH、TDRLレジスタの順にデータを書き込んでください。

図 32.17　調歩同期式モードのシリアル送信のフローチャート例

(2) FIFO 有効の SCI11 の場合

送信開始時の TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを同時に “1” にすることで発生します。

送信データは、TDR レジスタの代わりに FTDR レジスタ（7 ビット、8 ビットの場合は FTDR.L レジスタ）に設定します。送信 FIFO から TSR レジスタにデータが転送されたときに、送信 FIFO 内の格納データ数がしきい値 (FCR.TTRG[3:0]) 以下であると、送信データエンプティ割り込み (TXI) 要求が出力されます。TXI 割り込み処理ルーチンでは、最大 16 – FDR.T[4:0] フレーム分の送信データが設定できます。すべての送信データを設定し終わったら SSRFIFO.TDFE フラグを “0” にしてください。

DMAC や DTC を使用して送信データを設定する場合は、TDFE フラグは自動で “0” になります。

ブレークを出力する場合は、SPTR レジスタの SPB2IO ビットと SPB2DT ビットを使用します。設定が終わったら SCR.TE ビットを “0” にすると、ブレークが送出されます。

32.3.9 シリアルデータの受信 (調歩同期式モード)

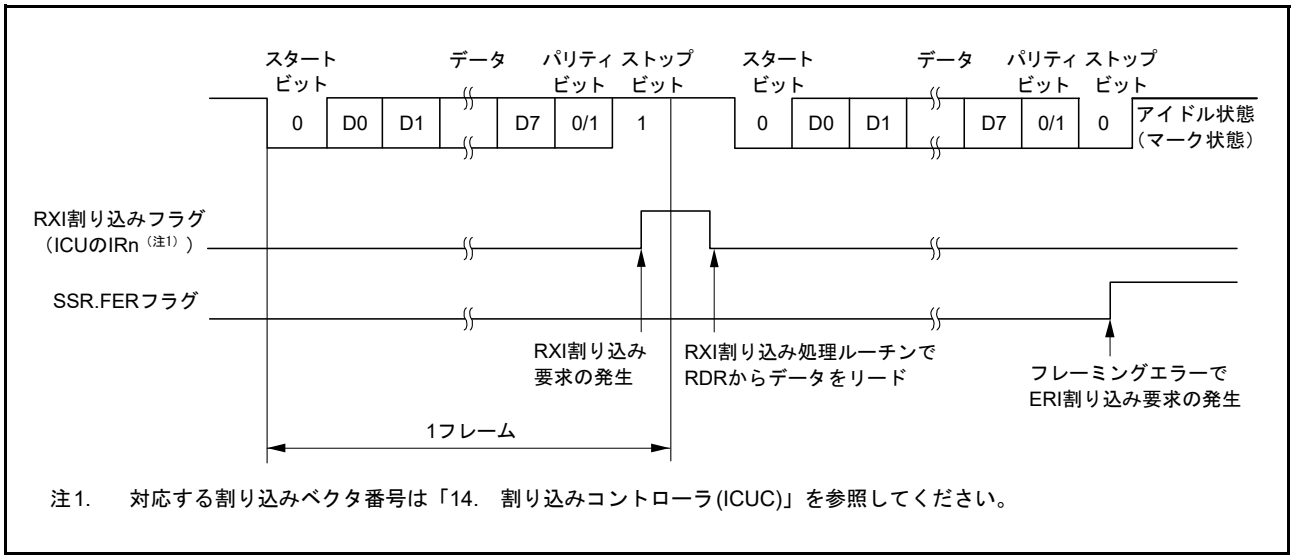
(1) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合

図 32.18、図 32.19 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが “1” になると、RTSn# 端子出力を Low にします（RTS 機能使用時）。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが “1” であると、ERI 割り込み要求が発生します。受信データは RDR レジスタ (注 1) に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが “1” であると、ERI 割り込み要求が発生します。
5. フレーミングエラー（ストップビットが “0” のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが “1” であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが “1” であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタ (注 1) に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ (注 2) に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

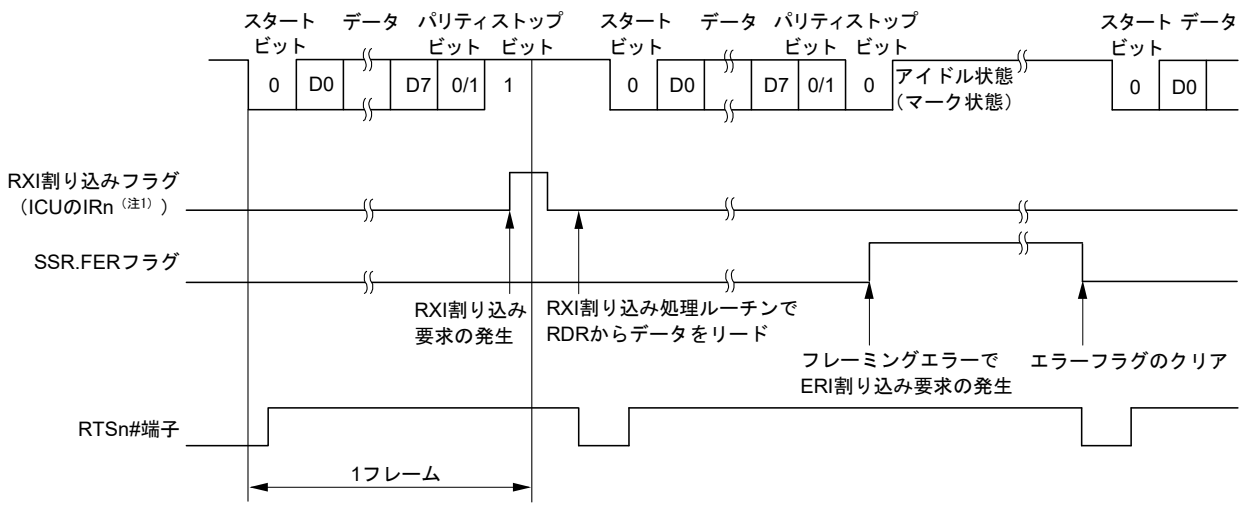
注 1. データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。

注 2. データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。



注1. 対応する割り込みベクタ番号は「14. 割り込みコントローラ(ICUC)」を参照してください。

図 32.18 調歩同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)
(8 ビットデータ / パリティあり /1 ストップビットの例)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUC)」を参照してください。

図 32.19　調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)
(8 ビットデータ / パリティあり /1 ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 32.33 に示します。

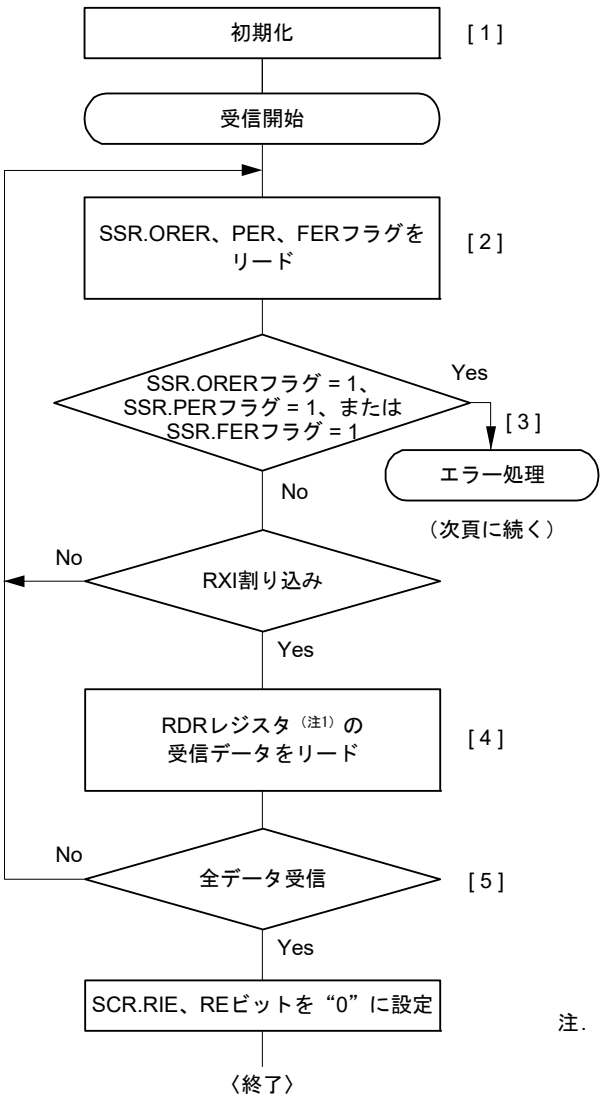
受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを “0” にしてください。また、オーバランエラー処理では RDR (または RDRL) レジスタをリードしてください。また、受信動作中に SCR.RE ビットを “0” にし受信動作を強制終了した場合、RDR (または RDRL) レジスタに読み出し前の受信データが残る場合があるため、RDR (または RDRL) レジスタをリードしてください。

図 32.20、図 32.21 にシリアル受信のフローチャートの例を示します。

表32.33　SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR (注1)へ転送	フレーミングエラー
0	0	1	RDR (注1)へ転送	パリティエラー
1	1	0	消失	オーバランエラー＋フレーミングエラー
1	0	1	消失	オーバランエラー＋パリティエラー
0	1	1	RDR (注1)へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

注1.　データ長9ビット選択時はRDRH、RDRLレジスタになります。



[1]　SCIの初期化：
データ受信に設定します。

[2][3] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、ERI割り込みが発生します。SSRレジスタのORER、PER、FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、PER、FERフラグをすべて“0”にしてください。ORER、PER、FERフラグのいずれかが“1”になった状態では受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値をリードすることでブレークの検出ができます。

[4]　RXI割り込みルーチンで、RDRレジスタの受信データを1回リードします。

[5]　シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RXI割り込みルーチンでRDRレジスタの値をリードします。DMACまたはDTCを起動し、RDRレジスタの値をリードすることも可能です。

注.　RDRレジスタは、データ長9ビット選択時は、RDRHレジスタおよびRDRLレジスタになります。RDRH、RDRLレジスタの順にデータを読み出してください。

図 32.20　調歩同期式モードのシリアル受信のフローチャート例 (1)

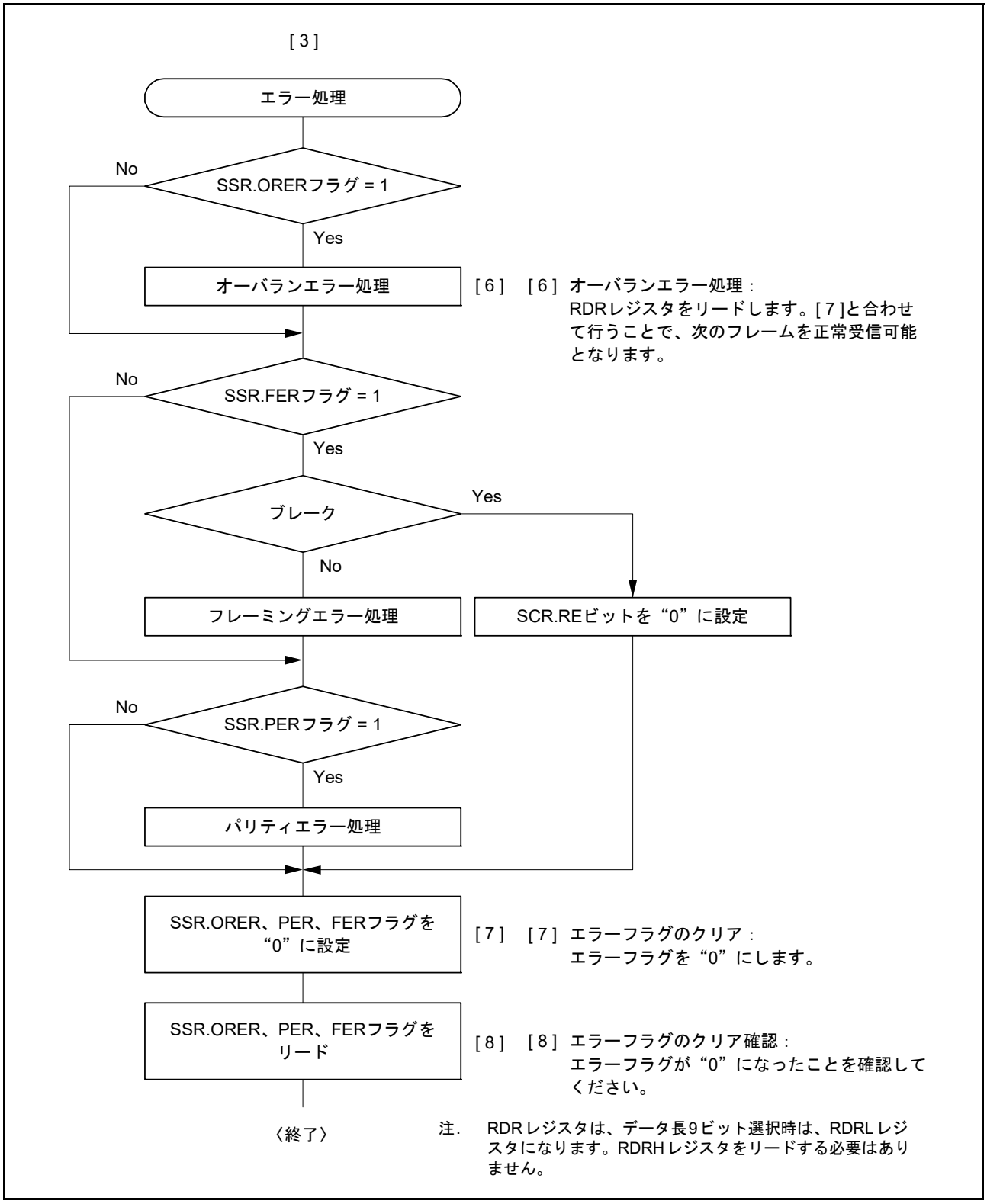


図 32.21　調歩同期式モードのシリアル受信のフローチャート例 (2)

(2) FIFO 有効の SCI11 の場合

RDR レジスタの代わりに FRDR レジスタから受信データとステータスフラグを読み出します。バイト単位で読み出す場合は、FRDR.H、FRDR.L レジスタの順で読み出してください。FRDR.L レジスタを読むと、FRDR レジスタの FER フラグ、PER フラグ、RDAT[8:0] ビットが更新されます。FRDR レジスタの RDF フラグ、ORER フラグ、DR フラグは SSRFIFO レジスタの値と同じです。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが “1” になると、RTSn# 端子出力を Low にします（RTS 機能使用時）。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. 受信 FIFO に空きがない場合は、オーバランエラーが発生します。オーバランエラーが発生したときは、SSRFIFO.ORER フラグを “1” にします。このとき、SCR.RIE ビットが “1” であると、ERI 割り込み要求を生成します。受信データは受信 FIFO に転送しません。
4. パリティエラーを検出した場合は、受信データを受信 FIFO に転送するとともに、受信 FIFO の PER フラグを “1” にします。このとき、RIE ビットが “1” であると、ERI 割り込み要求を生成します。
5. フレーミングエラー（ストップビットが “0” のとき）を検出した場合は、受信データを受信 FIFO に転送するとともに、受信 FIFO の FER フラグを “1” にします。このとき、RIE ビットが “1” であると、ERI 割り込み要求を生成します。
6. フレーミングエラーを検出した後、さらに 1 フレーム分の受信データがすべて “0” であると、受信動作を停止します。
7. 受信 FIFO に格納したデータの数がしきい値 (FCR.RTRG[3:0]) 未満のとき、最後に受信したデータのストップビットから 15 etu の期間が経過しても次のデータの受信が完了しないときは、SSRFIFO.DR フラグを “1” にします。このとき、SCR.RIE ビットが “1” であると、RXI 割り込み要求（FCR.DRES ビットが “0” の場合）または ERI 割り込み要求（FCR.DRES ビットが “1” の場合）を生成します。
8. 正常に受信したときは、受信データを受信 FIFO に転送します。受信 FIFO に格納したデータの数がしきい値 (FCR.RTRG[3:0]) 以上になると、SSRFIFO.RDF フラグを “1” にします。このとき、RIE ビットが “1” であると、RXI 割り込み要求を生成します。この RXI 割り込み処理ルーチンで、オーバランエラーが発生する前に RDRF レジスタから受信データを読み出すことで連続受信が可能です。受信 FIFO に転送された受信データが読み出され、未読データ数が FCR.RSTRG[3:0] ビットの値未満になると、RTSn# 端子出力を Low にします。

32.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが “1” のとき ID 送信サイクル、“0” のときデータ送信サイクルとなります。**図 32.22** にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが “1” の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが “1” の通信データを受信するまで通信データを読みとばします。

(1) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを “1” にすると、マルチプロセッサビットが “1” のデータを受け取るまで RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出と SSR レジスタの RDRF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが “1” の受信キャラクタを受け取ると、SSR.MPB フラグが “1” になるとともに SCR.MPIE ビットが “0” になって通常の受信動作に戻ります。このとき SCR.RIE ビットが “1” であると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

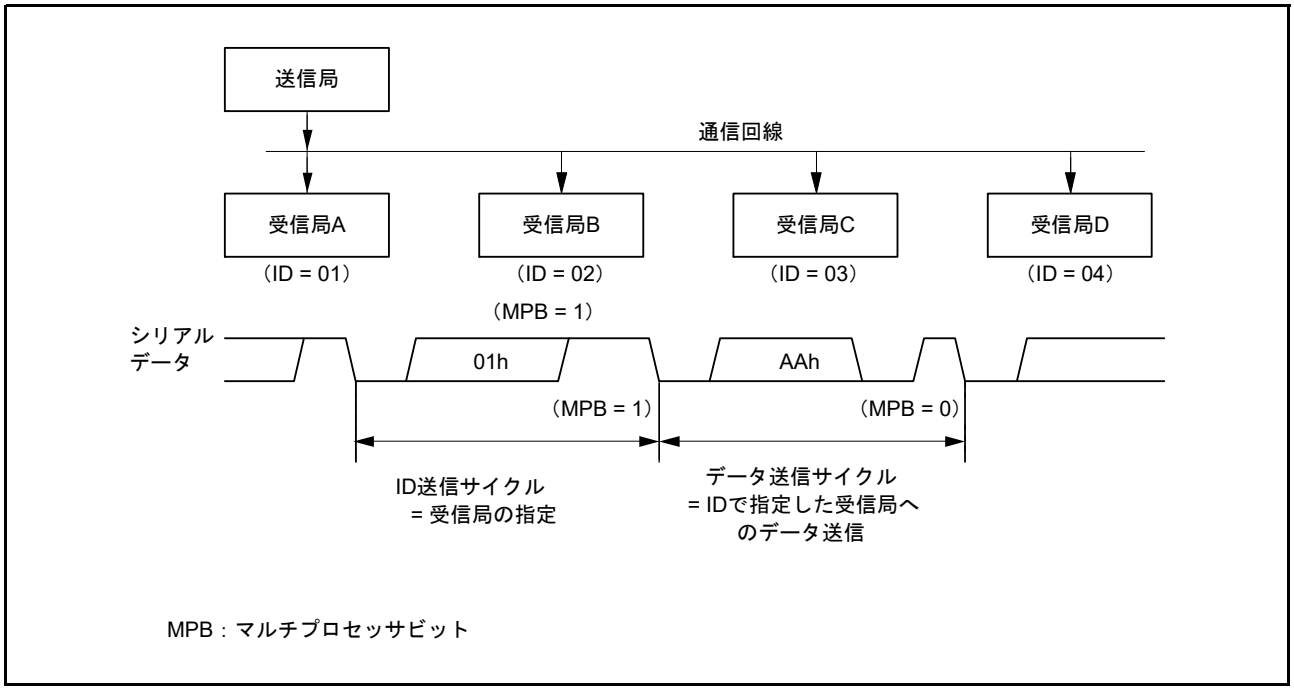


図 32.22　マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ “AAh” の送信の例)

(2) FIFO 有効の SCI11 の場合

送信時は SSR.MPBT ビットの代わりに FTDR.MPBT ビットを使用します。FTDR レジスタには送信データと同時に値を設定してください。

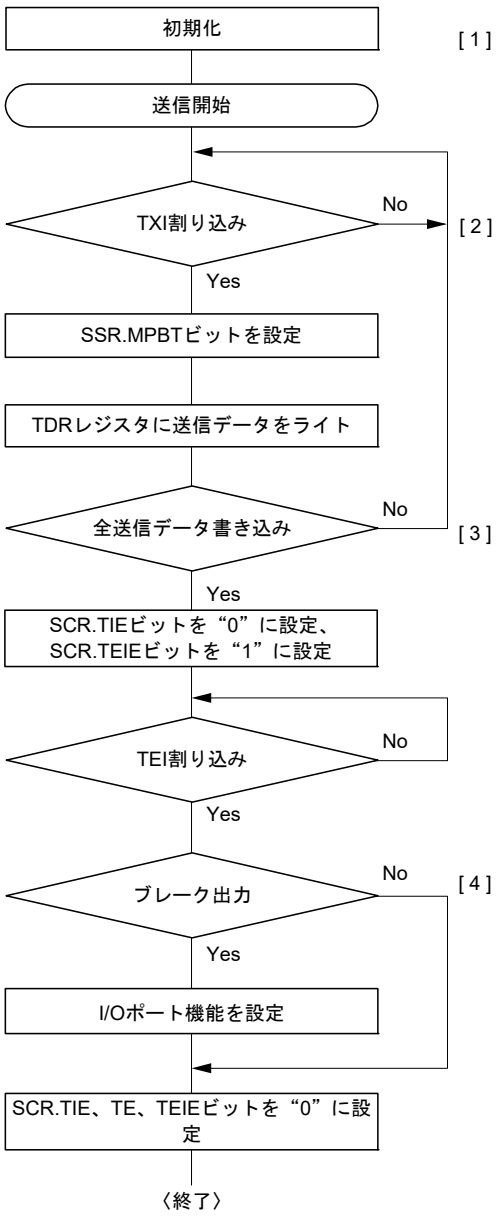
受信時は SSR.MPB フラグの代わりに FRDR.MPB フラグを使用します。受信完了時、RSR レジスタから受信 FIFO にデータが格納されるときに、マルチプロセッサビットの値も同時に格納されます。

SCR.MPIE ビットを “1” にすると、マルチプロセッサビットが “1” のデータを受け取るまで RSR レジスタから受信 FIFO への受信データの転送、受信エラーの検出、SSRFIFO レジスタの RDF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが “1” の受信キャラクタを受け取ると、マルチプロセッサビットと受信データが受信 FIFO に格納されるとともに SCR.MPIE ビットが “0” になって通常の受信動作に戻ります。このとき SCR.RIE ビットが “1” であると RXI 割り込みを生成します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。

32.4.1 マルチプロセッサシリアルデータ送信

図 32.23 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを “1” にして送信してください。データ送信サイクルでは SSR.MPBT ビットを “0” にして送信してください。その他の動作は調歩同期式モードの動作と同じです。



[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを“1”にした後、1フレーム分のHighを出力して送信可能状態になります。

[2] TXI割り込み要求：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み(TXI)要求が発生します。
TXI割り込み処理ルーチンでSSR.MPBTビットを“0”または“1”にし、TDRレジスタに送信データを1回だけライトしてください。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、TXI割り込み要求でTDRレジスタに送信データを1回だけライトしてください。TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを“0”に、SCR.TEIEビットを“1”にします。

[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、TXDn端子に対応するI/Oポート機能を設定(Low出力に設定)し、TXDn端子を汎用入出力ポート機能に切り替えた後に、SCR.TEビットを“0”にします。

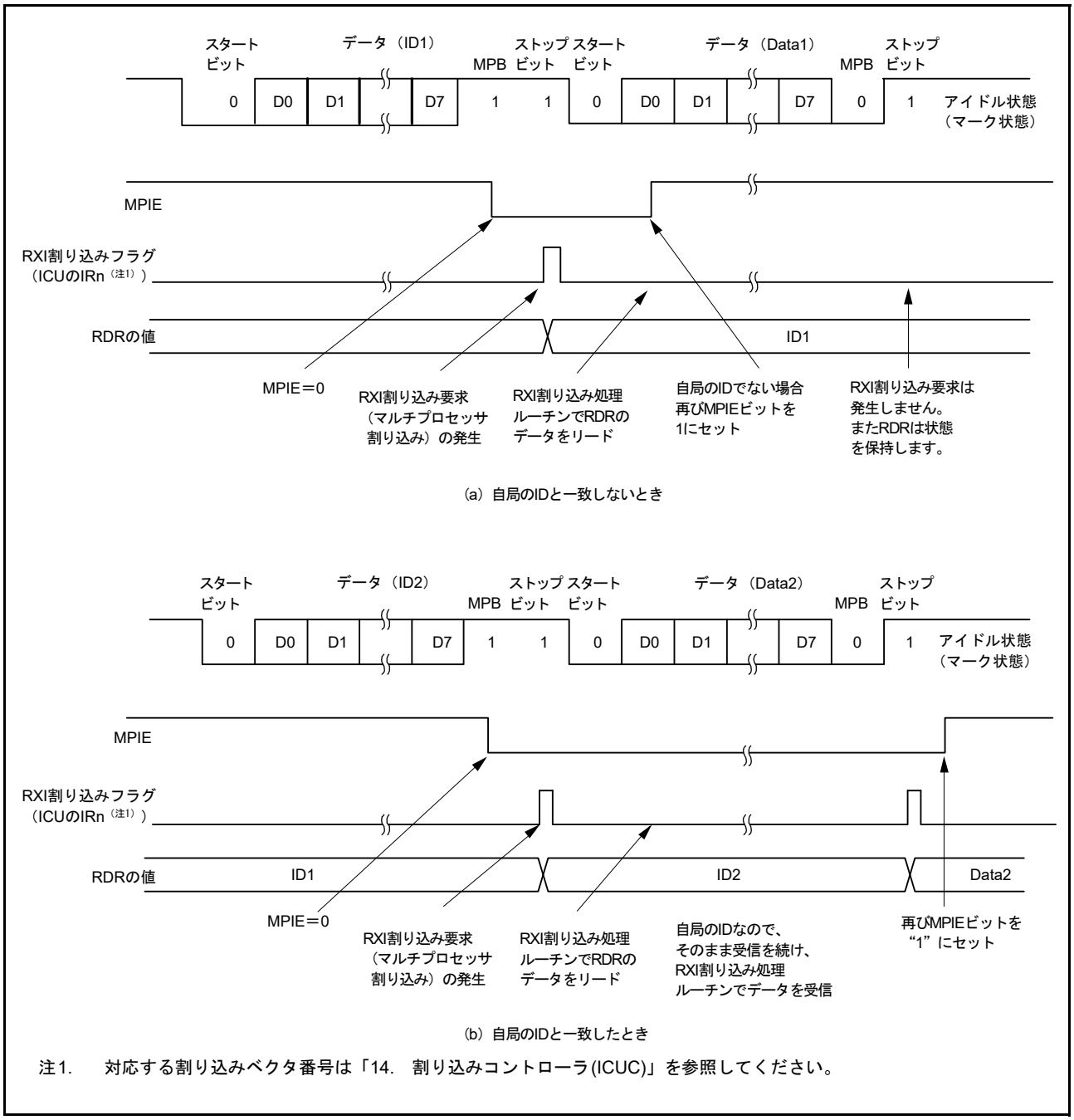
注. TDRレジスタは、データ長9ビット選択時は、TDRHレジスタおよびTDRLレジスタになります。TDRH、TDRLレジスタの順にデータを書き込んでください。

図 32.23 マルチプロセッサシリアル送信のフローチャートの例

32.4.2 マルチプロセッサシリアルデータ受信

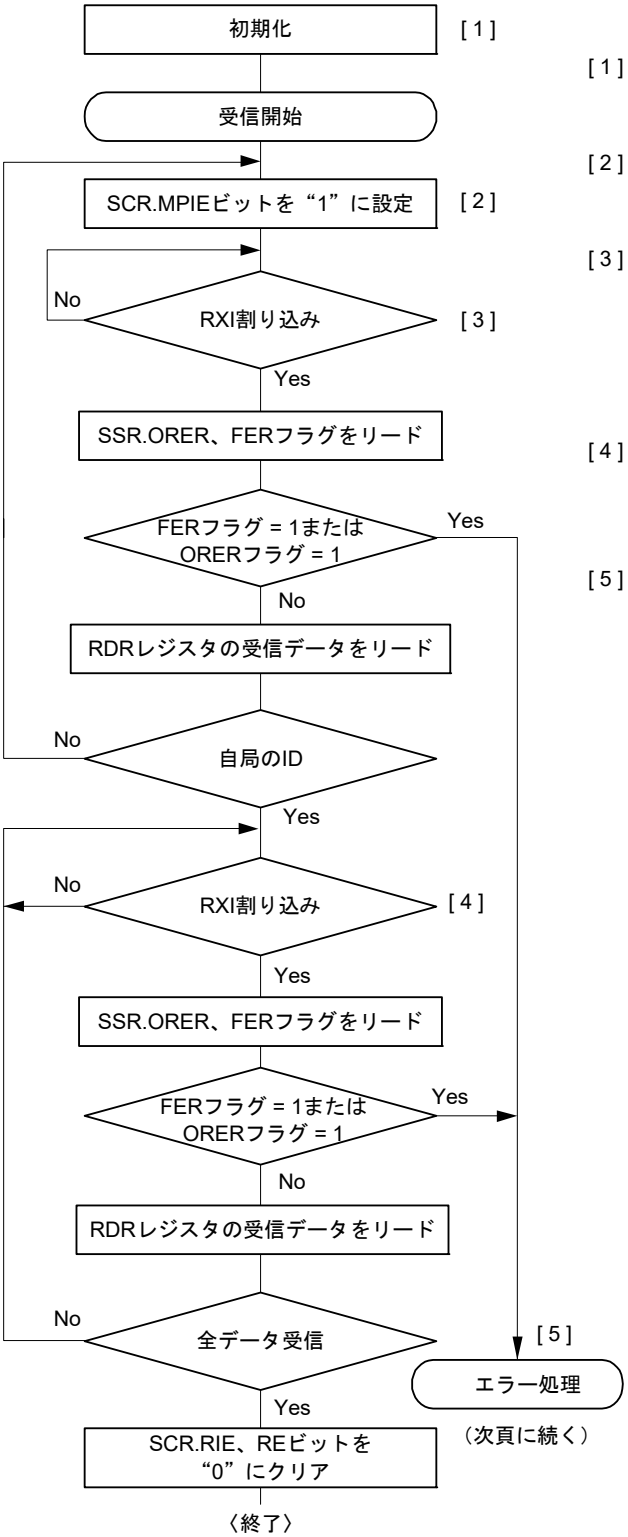
図 32.25、図 32.26 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを “1” にするとマルチプロセッサビットが “1” の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが “1” の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 32.24 に受信時の動作例を示します。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUC)」を参照してください。

図 32.24　SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり /1 ストップビットの例)



（次頁に続く）

[1] SCIの初期化：
データ受信に設定します。

[2] ID受信サイクル：
SCR.MPIEビットを“1”にし、ID受信を待ちます。

[3] SCIの状態を確認して、IDの受信と比較：
1回目のRXI割り込みで、RDRレジスタのデータをリードし、自局のIDと比較します。自局のIDでないときには、再びSCR.MPIEビットを“1”にしてRXI割り込み要求を待ちます。

[4] RXI割り込みでデータの受信：
RXI割り込みルーチンで、RDRレジスタのデータを1回リードします。

[5] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSR.ORER、FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、FERフラグをすべて“0”にしてください。ORER、FERフラグのいずれかが“1”になった状態では受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値をリードすることでブレークの検出ができます。

注.　RDRレジスタは、データ長9ビット選択時は、RDRHレジスタおよびRDRLレジスタになります。RDRH、RDRLレジスタの順にデータを読み出してください。

図 32.25　マルチプロセッサシリアル受信のフローチャートの例 (1)

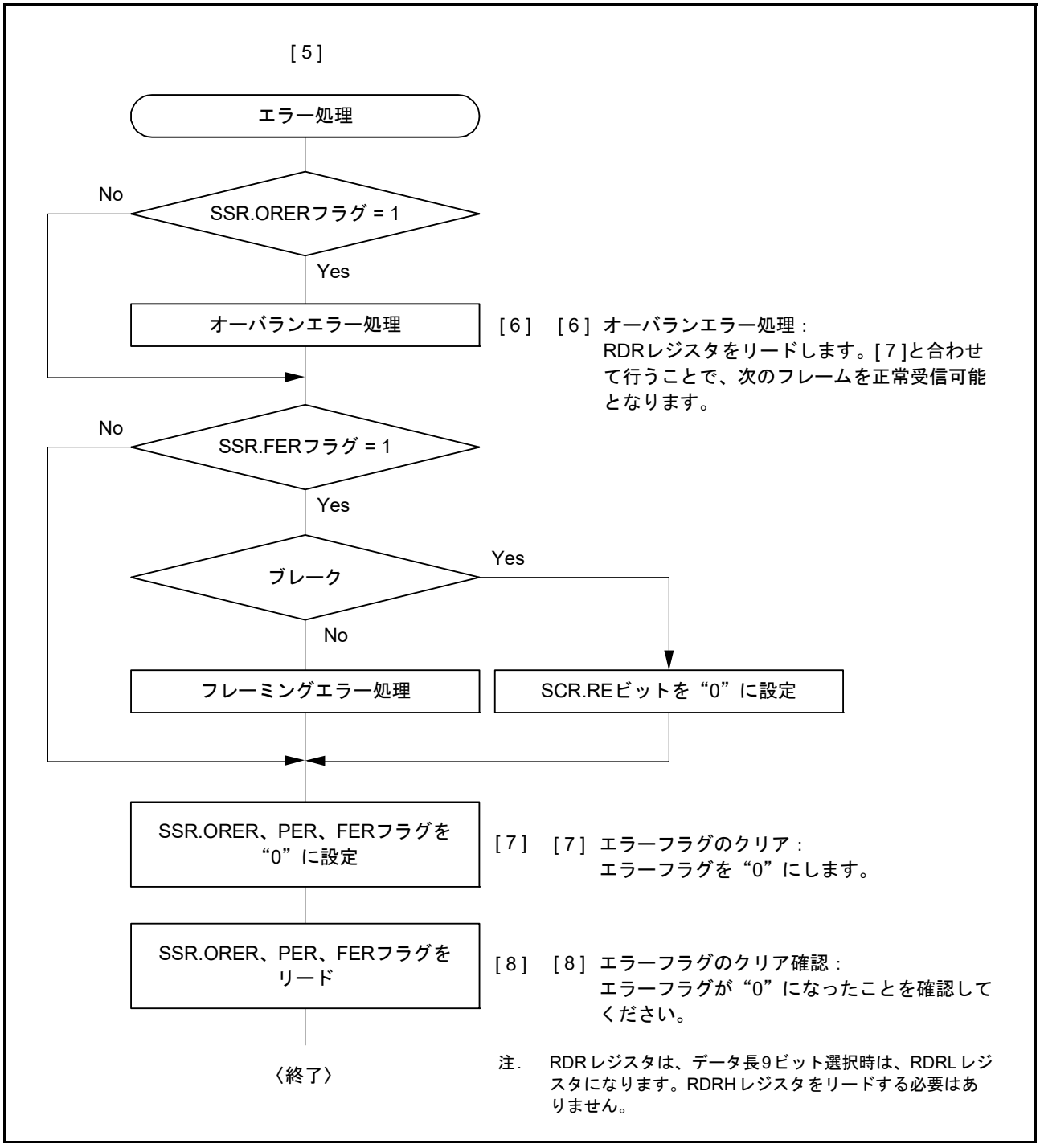


図 32.26　マルチプロセッサシリアル受信のフローチャートの例 (2)

32.5　クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 32.27 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

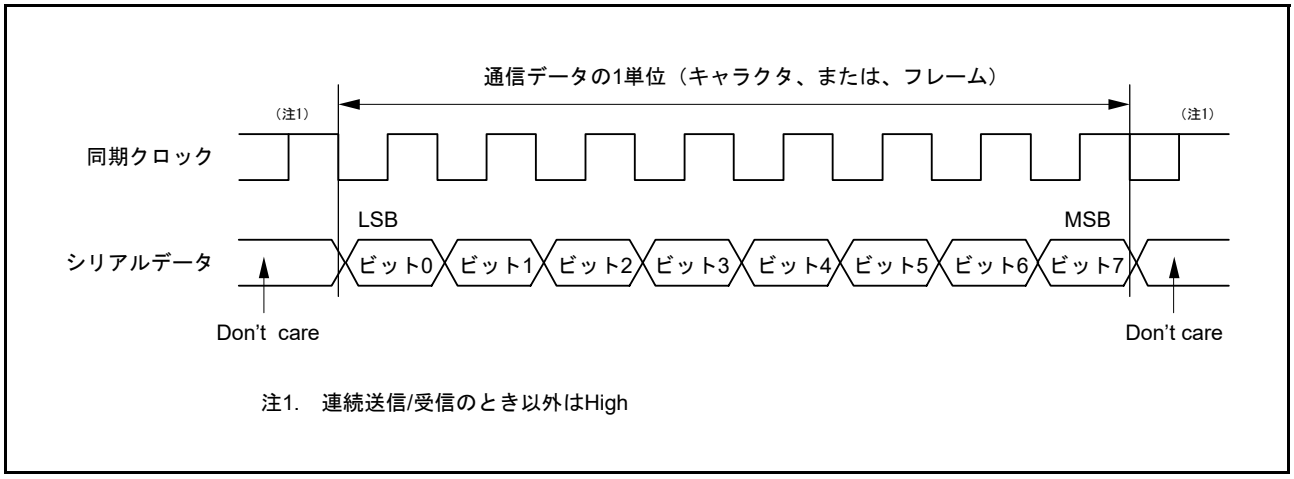


図 32.27　クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

32.5.1　クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを “1” にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを “0” にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが “0” のときに CTSn# 端子入力が High であれば、SCR.RE ビットを “1” にしてもクロック出力を開始しません。SCR.RE ビットを “1” にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを “0” にすると、同期クロックは High レベルで停止します。

32.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを “1” にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

(a) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが “1”
- 送受信動作中でない
- 未読の受信データがない (SCR.RE ビットが “1” のとき)
- 未送信のデータがある (SCR.TE ビットが “1” のとき)
- SSR.ORER フラグが “0”

[High になる条件]

Low になる条件を満たさない場合

(b) FIFO 有効の SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが “1”
- 送受信動作中でない
- 受信 FIFO 内の格納データ数がしきい値 (FCR.RTRG[3:0]) 未満 (SCR.RE ビットが “1” のとき)
- 未送信のデータがある (SCR.TE ビットが “1” のとき)
- SSRFIFO.ORER フラグが “0”

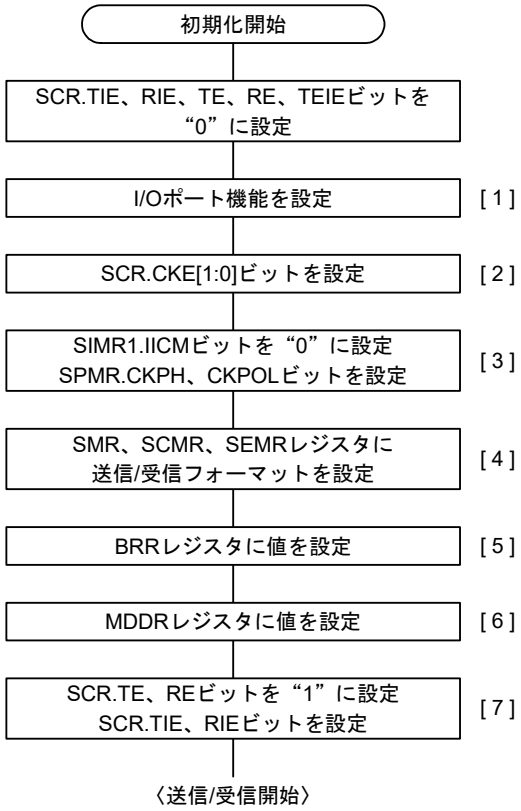
[High になる条件]

Low になる条件を満たさない場合

32.5.3 SCI の初期化 (クロック同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 32.28 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER フラグおよび RDR レジスタは初期化されませんので注意してください。



[1] TXDn、RXDn、およびSCKn端子のうち、必要な入力/出力機能が有効となるようにI/Oポートを設定します。

[2] SCRレジスタにクロックの選択を設定してください。内部クロックを選択した場合は、SCK端子が出力になります。

[3] SIMR1.IICMビットを“0”にします。また、SPMR.CKPH、CKPOLビットを設定します。初期値から変更していない場合、本手順は省略できます。

[4] SMR、SCMR、SEMRレジスタに送信/受信フォーマットを設定します。

[5] BRRレジスタにビットレートに対応する値をライトします。ただし、外部クロックを使用する場合 には設定の必要はありません。

[6] MDDRレジスタにビットレート誤差補正値をライトします。ただし、SEMR.BRMEビットを“0”にした場合および外部クロックを使用する場合には設定の必要はありません。

[7] SCR.TEビット、またはSCR.REビットを“1”にします。また、このときSCR.TIE、RIEビットも設定してください。TE、REビットを設定することによりTXDn、RXDn端子が使用可能になります。

注. 送受信同時動作の場合は、SCR.TE、RE ビットの “0” 設定、“1” 設定は、同時に行ってください。

図 32.28 SCI の初期化フローチャートの例 (クロック同期式モード)

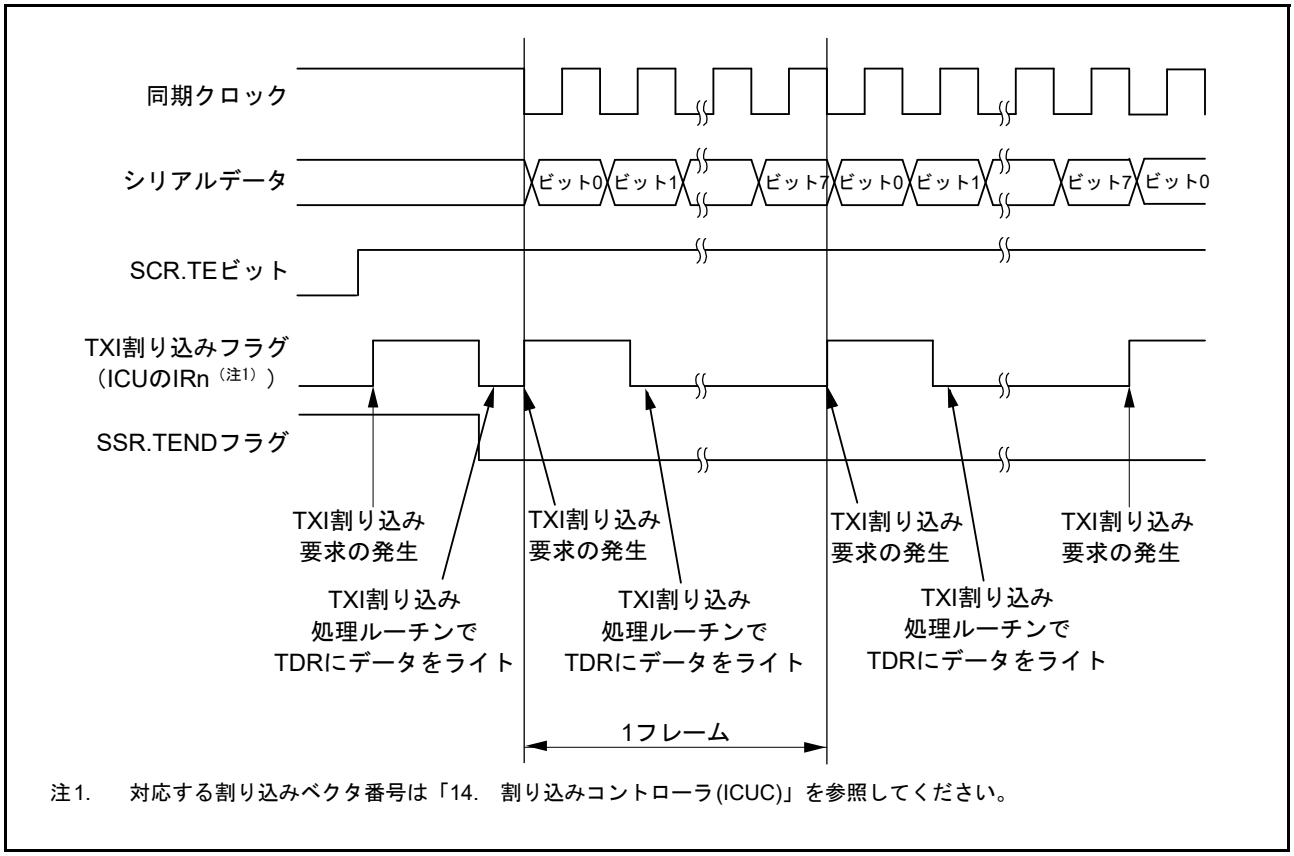
32.5.4 シリアルデータの送信 (クロック同期式モード)

(1) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合

図 32.29、図 32.30、図 32.31 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

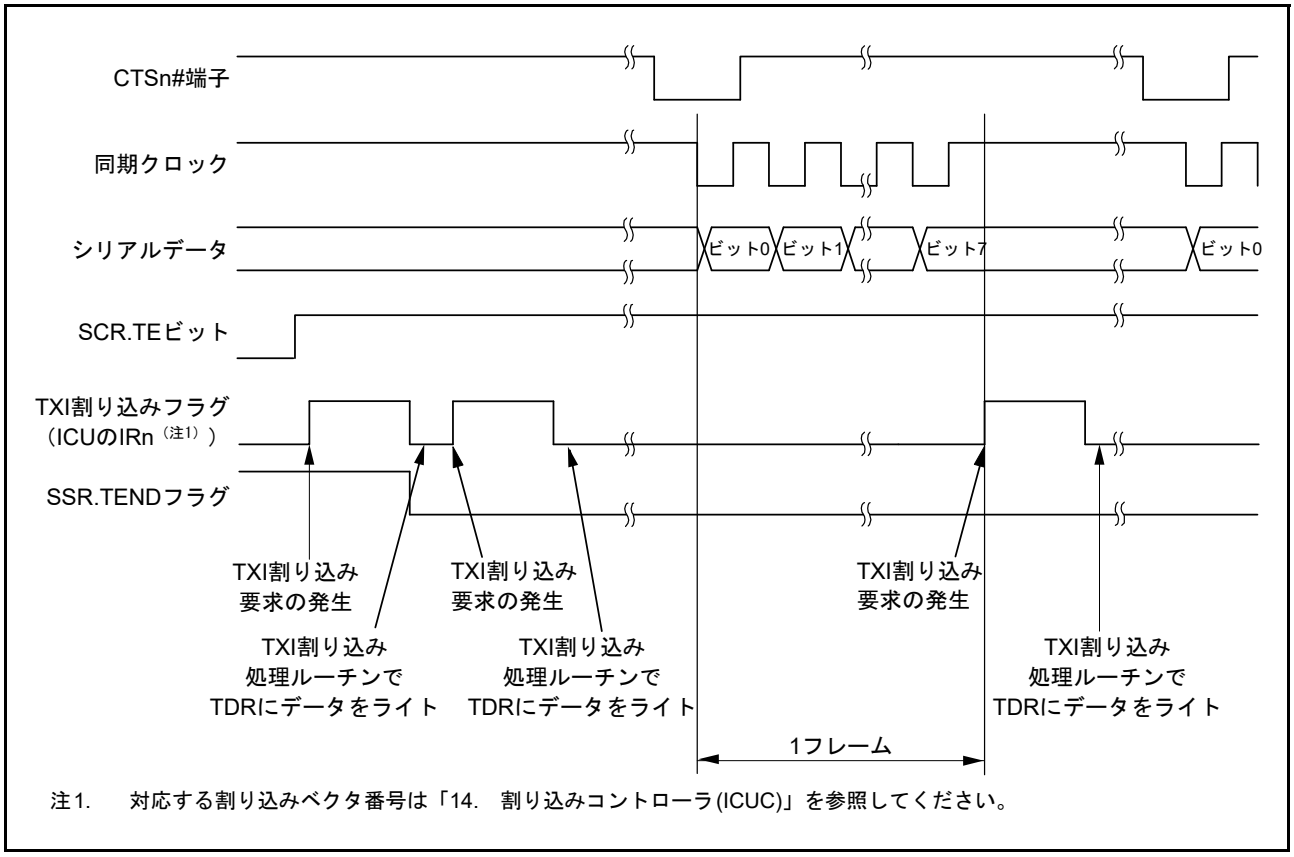
1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” にした後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを “0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを “1”（TEI 割り込み要求を許可）にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが “1”（CTS 機能許可）のとき、CTS 信号入力が Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが “1” であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 32.32 にシリアル送信のフローチャートの例を示します。
受信エラーフラグ (SSR.ORER, FER, PER) が “1” になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを “0” にしてください。また、受信エラーフラグは SCR.RE ビットを “0” にしただけではクリアされませんので注意してください。



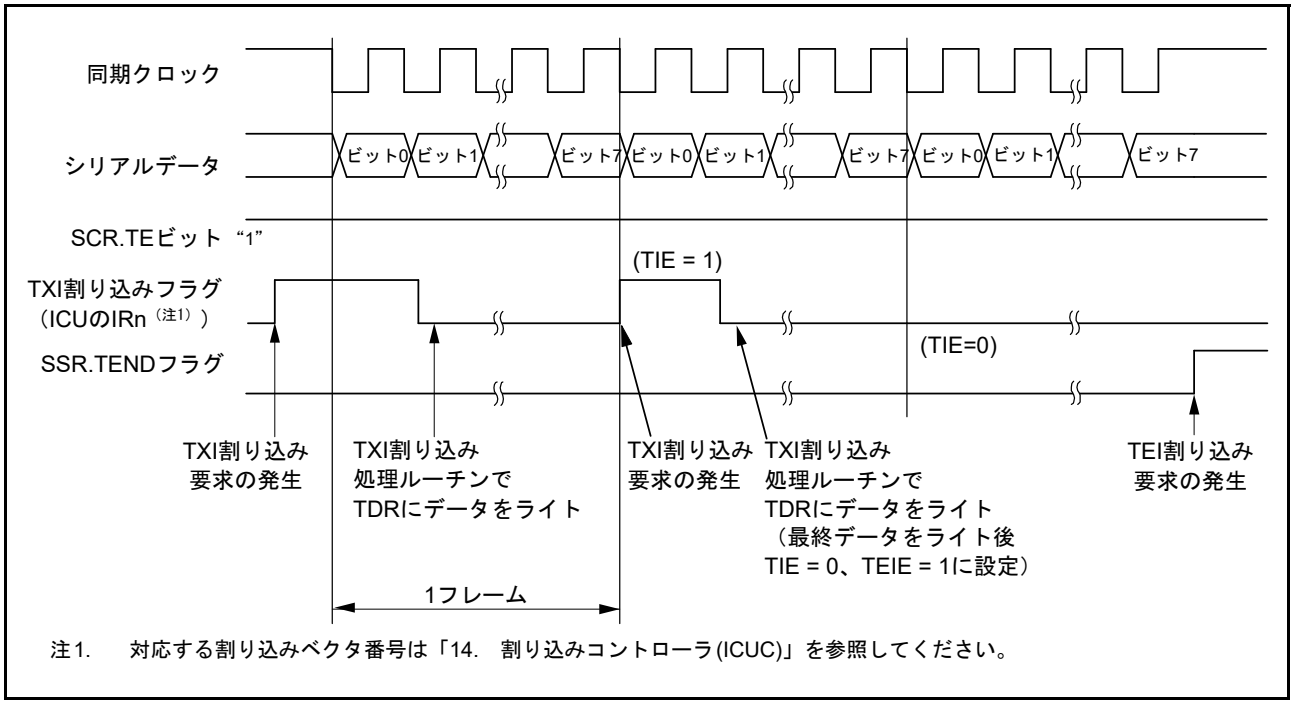
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUC)」を参照してください。

図 32.29　クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)



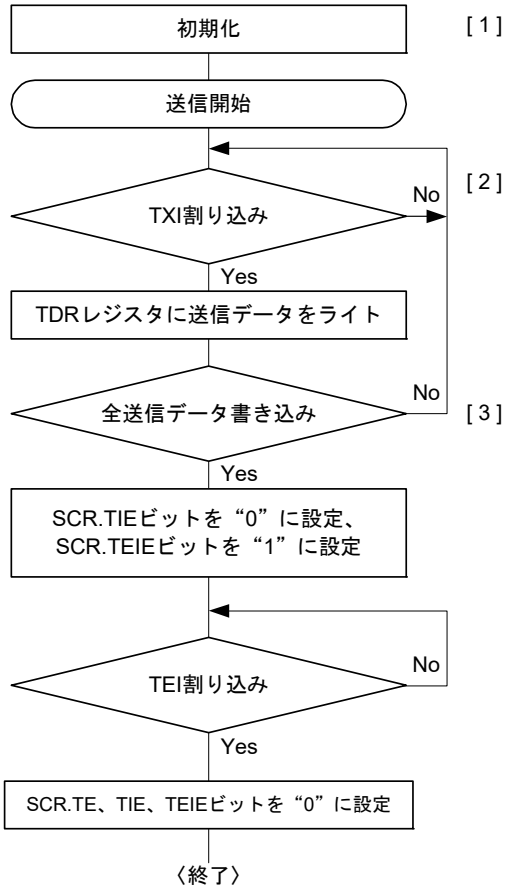
注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUC)」を参照してください。

図 32.30　クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUC)」を参照してください。

図 32.31　クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)



[1] SCIの初期化：
データ送信に設定します。

[2] TXI割り込み要求で送信データをTDRレジスタにライト：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み(TXI)要求が発生します。TXI割り込み処理ルーチンでTDRレジスタに送信データを1回ライトします。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、送信データエンプティ割り込み(TXI)要求によりTDRレジスタにデータをライトしてください。TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを“0”に、SCR.TEIEビットを“1”にします。

注. 外部クロック（SCR.CKE[1:0]ビット = 10b、11b）のときは、最終ビットのSCK端子立ち上がりでSSR.TENDフラグが“1”になります。このとき、SCR.TEビットを直ぐ“0”にすると受信デバイス側の受信データのホールド時間が不足する場合があります。

図 32.32　クロック同期式モードのシリアル送信のフローチャート例

(2) FIFO 有効の SCI11 の場合

TDR レジスタの代わりに FTDR レジスタ (FTDR.L レジスタ) に送信データを設定します。送信 FIFO から TSR レジスタにデータが転送されたときに、送信 FIFO 内の格納データ数がしきい値 (FCR.TTRG[3:0]) 以下であると、送信データエンプティ割り込み (TXI) 要求が出力されます。TXI 割り込み処理ルーチンでは、最大 16 – FDR.T[4:0] フレーム分の送信データが設定できます。すべての送信データを設定し終わったら SSRFIFO.TDFE フラグを “0” にしてください。

DMAC や DTC を使用して送信データを設定する場合は、TDFE フラグは自動で “0” になります。

シリアルデータの送信時、SCI は以下のように動作します。

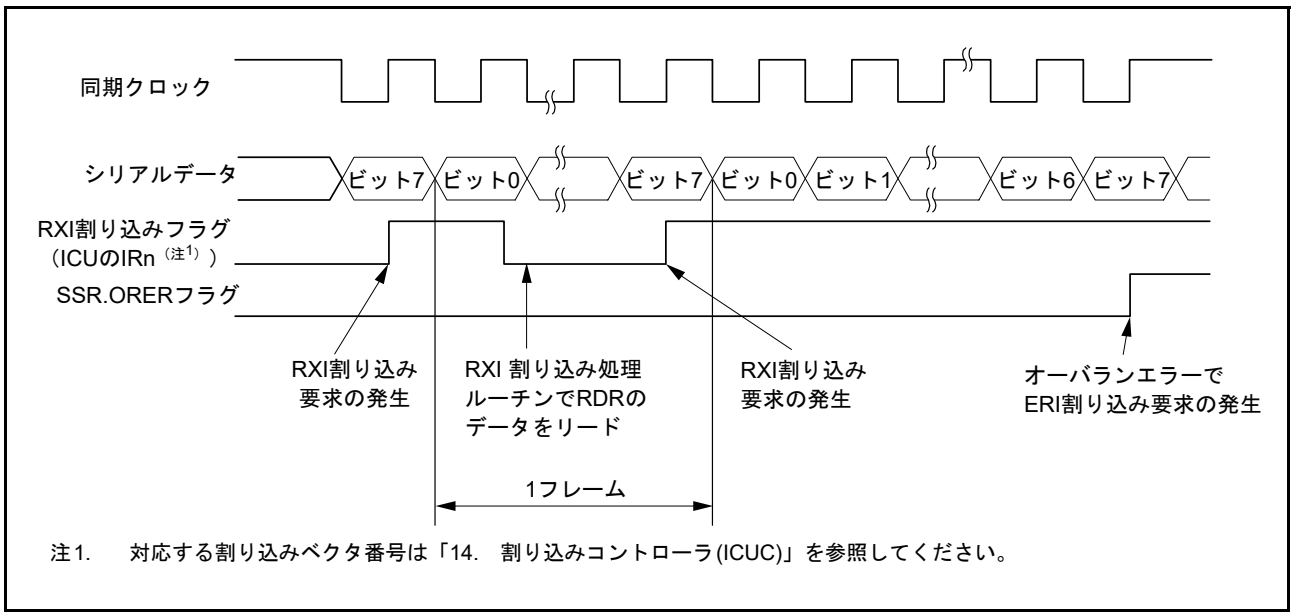
1. SCR.TIE ビットと SCR.TE ビットが同時に “1” になると、TXI 割り込み要求を生成します。TXI 割り込み処理ルーチンで FTDR レジスタ (FTDR.L レジスタ) に設定できる最大データ数は、16 – FDR.T[4:0] バイトです。
2. TXI 割り込み処理ルーチンで FTDR レジスタに送信データが書かれると、送信 FIFO の先頭から順に TSR レジスタにデータを転送し、送信を開始します。送信 FIFO 内の未送信データ数が設定されたしきい値 (FCR.TTRG[3:0]) 以下になると、SSRFIFO.TDFE フラグが “1” になります。このとき、SCR.TIE ビットが “1” であると、TXI 割り込み要求を生成します。送信 FIFO が空になる前に、TXI 割り込み処理ルーチンで FTDR レジスタに送信データを書くことで連続送信が可能です。TEI 割り込み要求を使用する場合は、TXI 割り込み処理ルーチンで最終送信データを FTDR レジスタに書き込んだ後、SCR.TIE ビットを “0” に、SCR.TEIE ビットを “1” にします。
3. SCR.CKE[1] ビットが “0”（内部クロック）の場合は、出力するクロックに同期して、SCR.CKE[1] ビットが “1”（外部クロック）の場合は、入力されるクロックに同期して TXDn 端子から 8 ビットのデータを出力します。SPMR.CTSE ビットが “1”（CTS 機能許可）の場合、CTSn# 端子に Low が入力されるまで待って送信を開始します。
4. SCI は、最終ビットを送出するときに、送信 FIFO に未送信データが残っているかどうかを確認します。
5. 送信 FIFO に未送信データがあった場合は、送信 FIFO から TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. 送信 FIFO に未送信データがなかった場合は、SSRFIFO.TEND フラグを “1” にし、TSR レジスタのシフトを停止します。このとき、SCR.TEIE ビットが “1” であると、TEI 割り込み要求を生成します。TXDn 端子は最終送信データの最終ビットの値に、SCKn 端子は High に固定されます。

32.5.5 シリアルデータの受信 (クロック同期式モード)

(1) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合

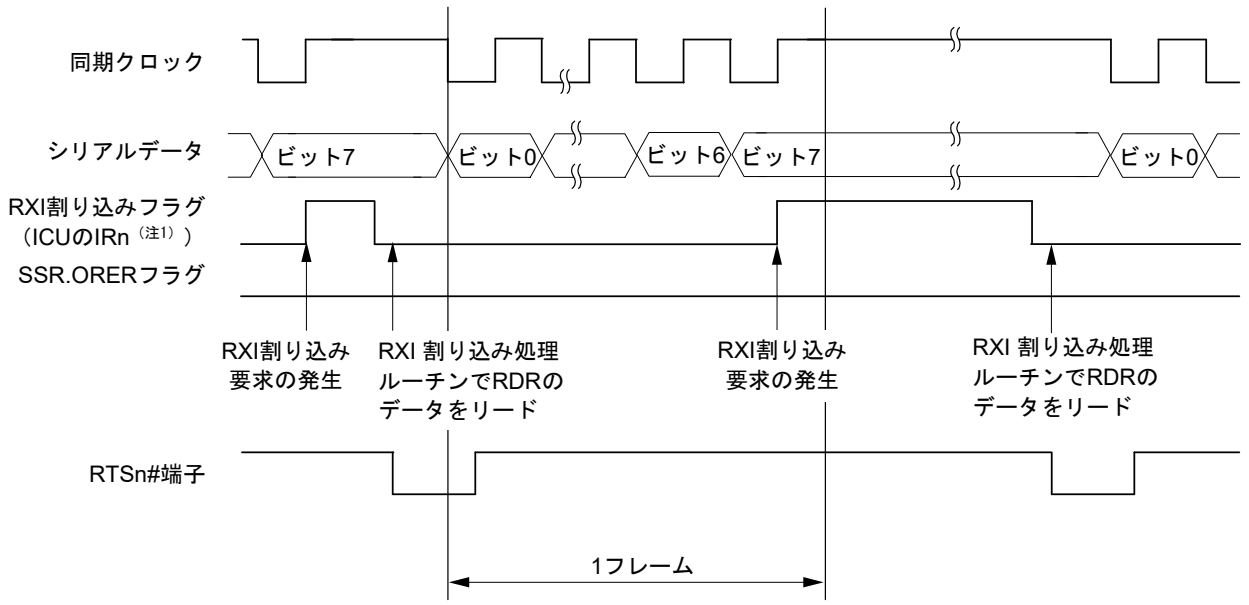
図 32.33、図 32.34 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが “1” になると、RTSn# 信号出力を Low にします（RTS 機能使用時)。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが “1” であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが “1” であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします（RTS 機能使用時)。



注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUC)」を参照してください。

図 32.33　クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)

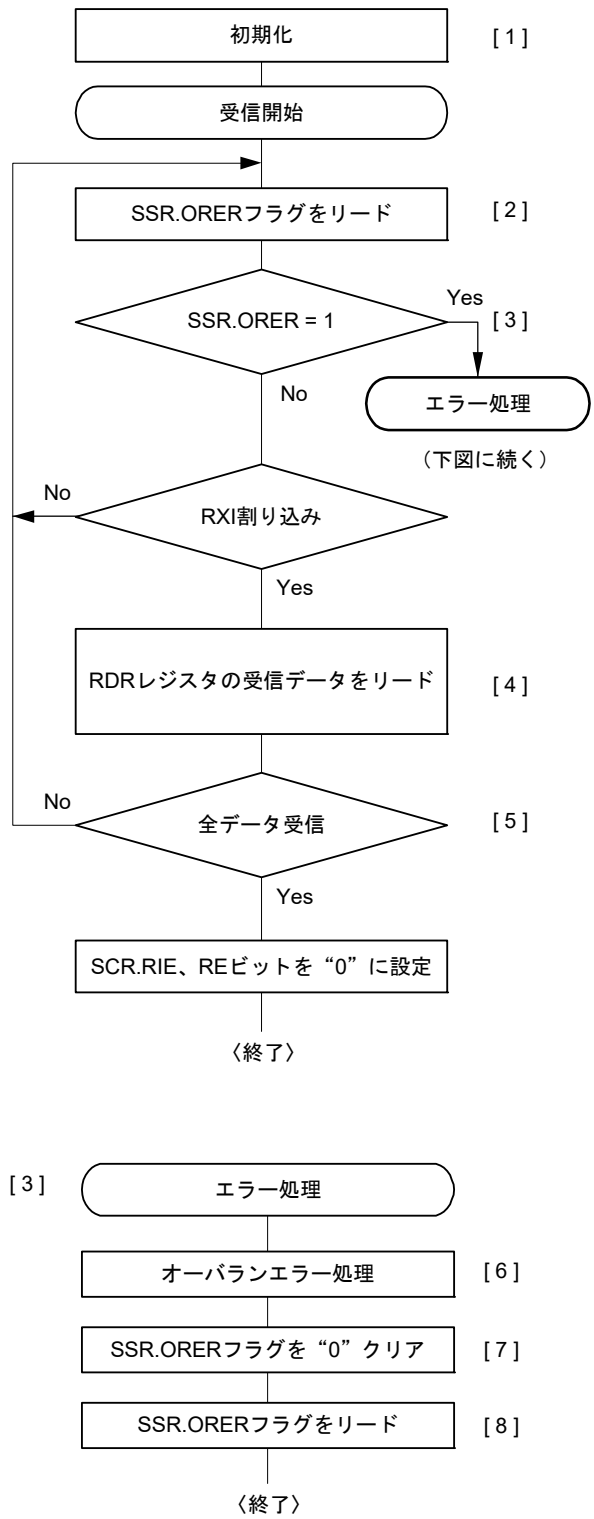


注1.　対応する割り込みベクタ番号は「14.　割り込みコントローラ(ICUC)」を参照してください。

図 32.34　クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを “0” にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを “0” にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 32.35 にシリアル受信のフローチャートの例を示します。



[1] SCIの初期化：
RXDn端子として使用するポートを入力に設定してください。

[2][3]受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”のままでは、受信を再開できません。

[4] 受信データフル割り込み(RXI)要求でRDRレジスタの受信データを1回リードしてください。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのMSB (ビット7)を受信する前に、RDRレジスタのリードを終了しておいてください。受信データフル割り込み(RXI)要求でDMACまたはDTCを起動し、RDRの値をリードすることも可能です。

[6] オーバランエラー処理：
RDRレジスタをリードします。[7]と合わせて行うことで、次のフレームを正常受信可能となります。

[7] エラーフラグのクリア：
エラーフラグを“0”にします。

[8] エラーフラグのクリア確認：
エラーフラグが“0”になったことを確認してください。

図 32.35　クロック同期式モードのシリアル受信のフローチャート例

(2) FIFO 有効の SCI11 の場合

RDR レジスタの代わりに FRDR レジスタから受信データとステータスフラグを読み出します。バイト単位で読み出す場合は、FRDR.H、FRDR.L レジスタの順で読み出してください。FRDR.L レジスタを読むと、FRDR.RDAT[7:0] ビットが更新されます。FRDR レジスタの RDF フラグ、ORER フラグは SSRFIFO レジスタの値と同じです。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが “1” になると、RTSn# 端子出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して受信を開始し、受信データを RSR レジスタに取り込みます。
3. 受信 FIFO に空きがない場合は、オーバランエラーが発生します。オーバランエラーが発生したときは、SSRFIFO.ORER フラグを “1” にします。このとき、SCR.RIE ビットが “1” であると、ERI 割り込み要求を生成します。受信データは受信 FIFO に転送しません。
4. 正常に受信したときは、受信データを受信 FIFO に転送します。受信 FIFO に格納したデータの数がしきい値 (FCR.RTRG[3:0]) 以上になると、SSRFIFO.RDF フラグを “1” にします。このとき、RIE ビットが “1” であると、RXI 割り込み要求を生成します。この RXI 割り込み処理ルーチンで、オーバランエラーが発生する前に RDRF レジスタから受信データを読み出すことで連続受信が可能です。受信 FIFO に転送された受信データが読み出され、未読データ数が FCR.RSTRG[3:0] ビットの値未満になると、RTSn# 端子出力を Low にします。

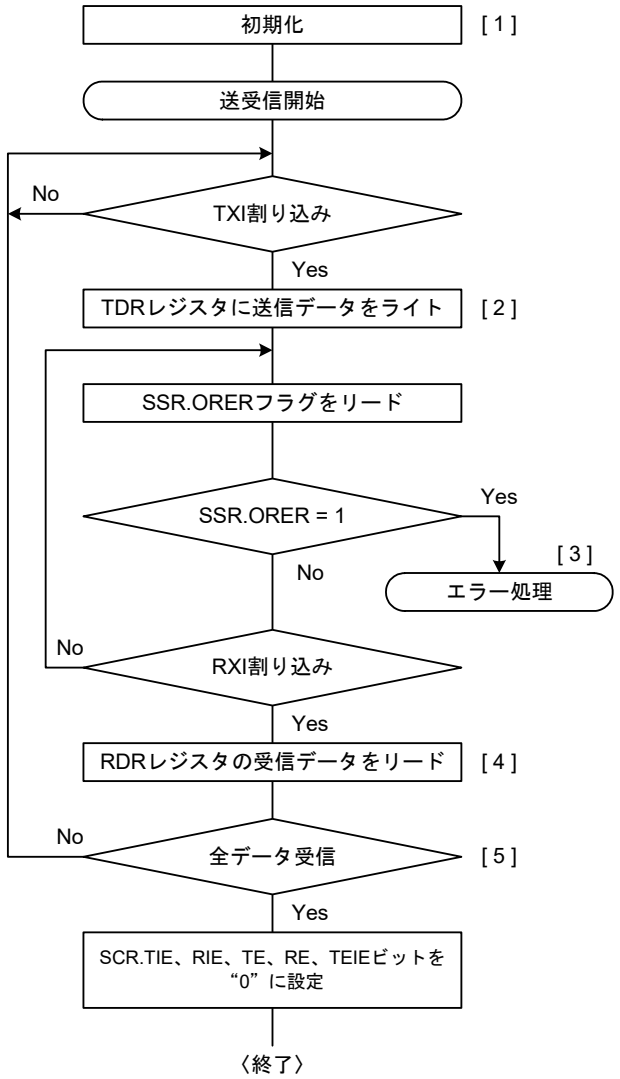
32.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 32.36 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが “1” になっていることで確認してください。その後、SCR レジスタを初期化してから SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に “1” にしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR レジスタの RIE、RE ビットを “0” にしてから、エラーフラグ (SSR.ORER, FER, PER) が “0” であることを確認した後、SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に “1” にしてください。



[1] SCI初期化：
TXDn端子は送信データ出力端子に、RXDn端子は受信データ入力端子にして送受信同時動作可能状態になります。

[2] 送信データのライト：
TXI割り込みでTDRレジスタに送信データを1回ライトします。

[3] 受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”のままでは受信を再開できません。

[4] 受信データのリード：
RXI割り込みでRDRレジスタの受信データを1回リードします。

[5] シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB (ビット7) を受信する前にRXI割り込みでRDRレジスタのリードを終了しておいてください。また、現在のフレームのMSB (ビット7) を送信する前にTXI割り込みでTDRレジスタにデータをライトしてください。
送信データエンプティ割り込み(TXI)要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることや、受信データフル割り込み(RXI)要求でDMACまたはDTCを起動し、RDRレジスタの値をリードすることも可能です。

注. 送信、または受信動作から同時送受信に切り替えるときは、SCR.TIE、RIE、TE、RE、TEIEビットを “0” にしてから、SCR.TIE、RIE、TE、REビットを同時に “1” にしてください。

図 32.36　クロック同期式モードのシリアル送受信同時動作のフローチャート例

32.6 スマートカードインタフェースモードの動作

SCI の拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

32.6.1 接続例

図 32.37 にスマートカード (IC カード) との接続例を示します。

IC カードとは 1 本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

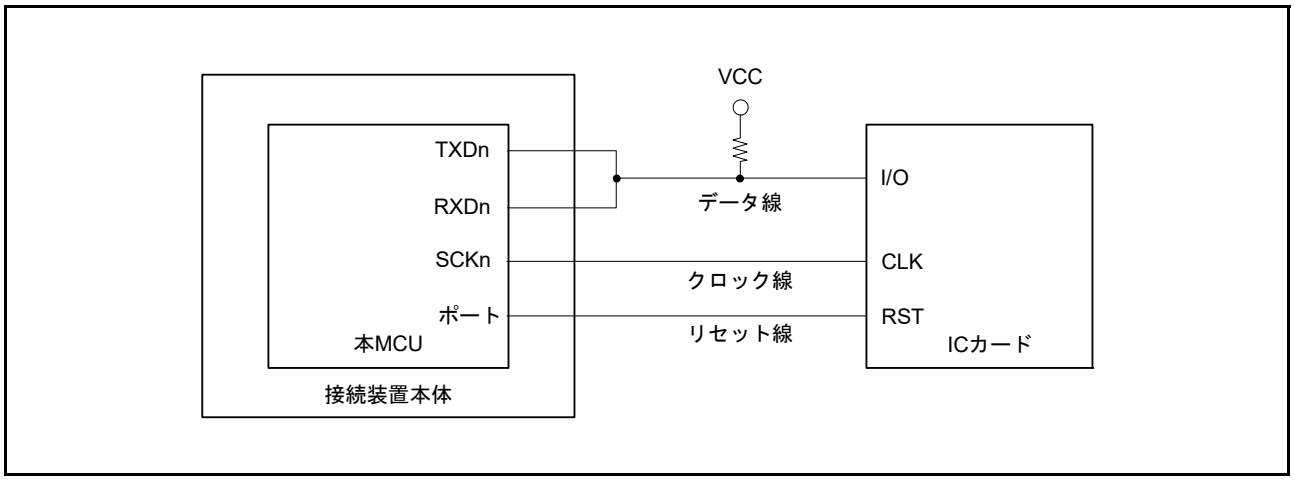


図 32.37　スマートカード (IC カード) との接続例

32.6.2 データフォーマット (ブロック転送モード時を除く)

図 32.38 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit: 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

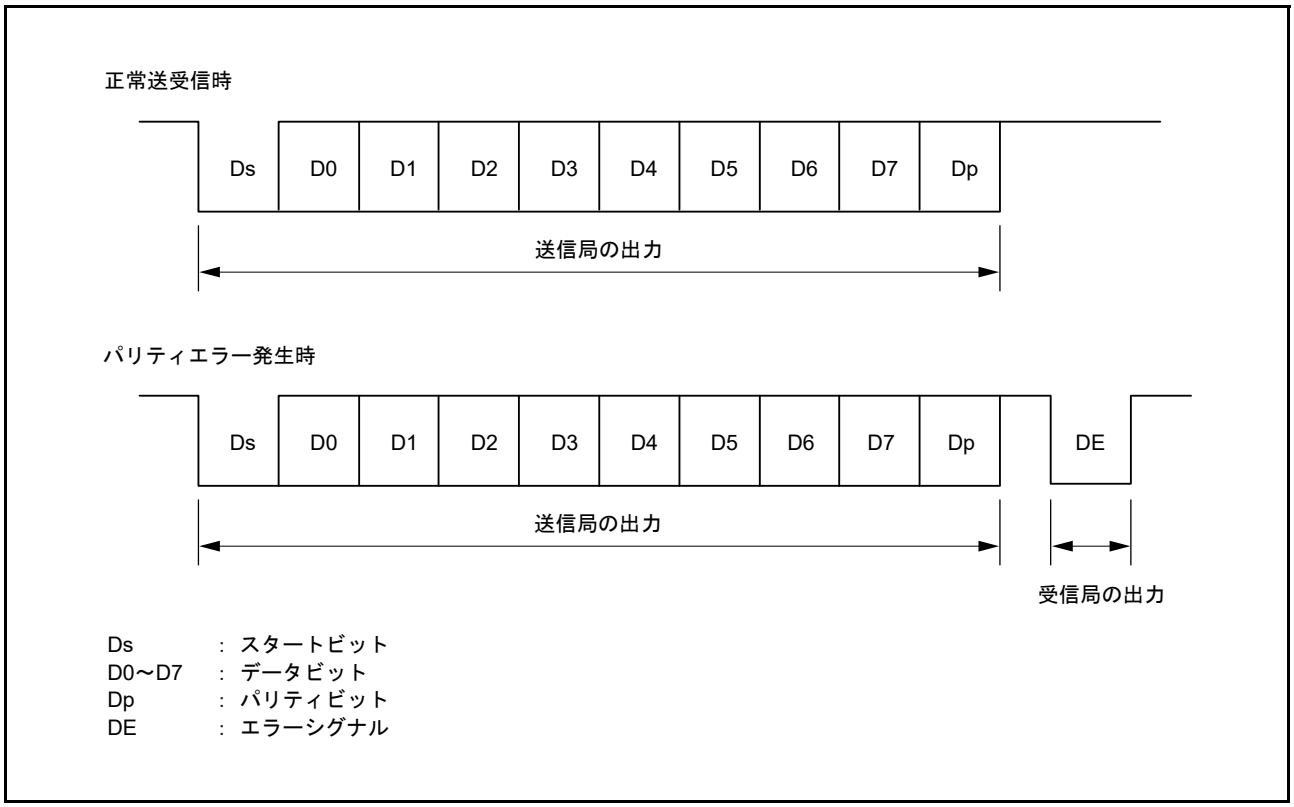


図 32.38　スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、図 32.39 に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。図 32.39 の開始キャラクタでは、データは “3Bh” となります。

ダイレクトコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに “0” にしてください。また、スマートカードの規定により偶数パリティとなるよう SMR.PM ビットには “0” を設定してください。

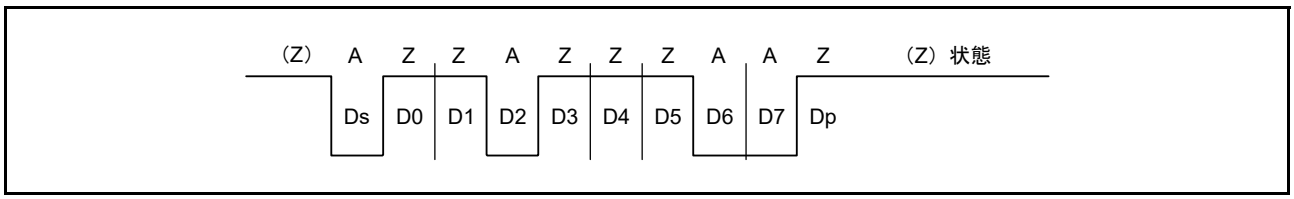


図 32.39　ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。図 32.40 の開始キャラクタでは、データは “3Fh” となります。

インバースコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに “1” にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、SINV ビットはデータビット D7 ～ D0 のみ反転させます。このため、送受信とも SMR.PM ビットに “1” を設定してパリティビットを反転させてください。

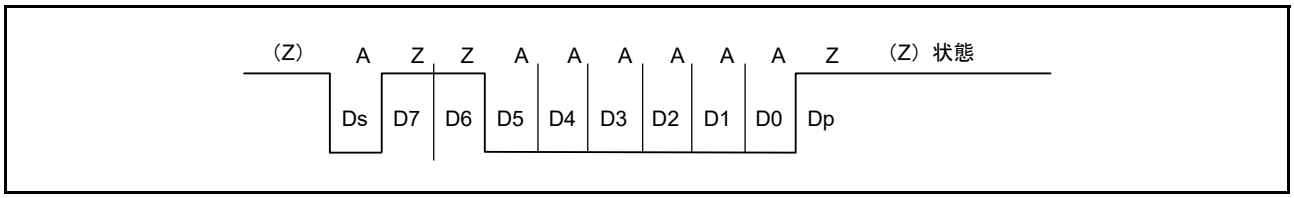


図 32.40　インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

32.6.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行いますが、エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため “0” となります。

32.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして同期化します。**図 32.41** に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\ (\%)$$

M:　受信マージン(%)
N:　クロックに対するビットレートの比(N = 32, 64, 372, 256)
D:　クロックデューティ (D = 0～1.0)
L:　フレーム長(L = 10)
F:　クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

M = {0.5 – 1/(2 × 372)} × 100 (%) = 49.866 (%)

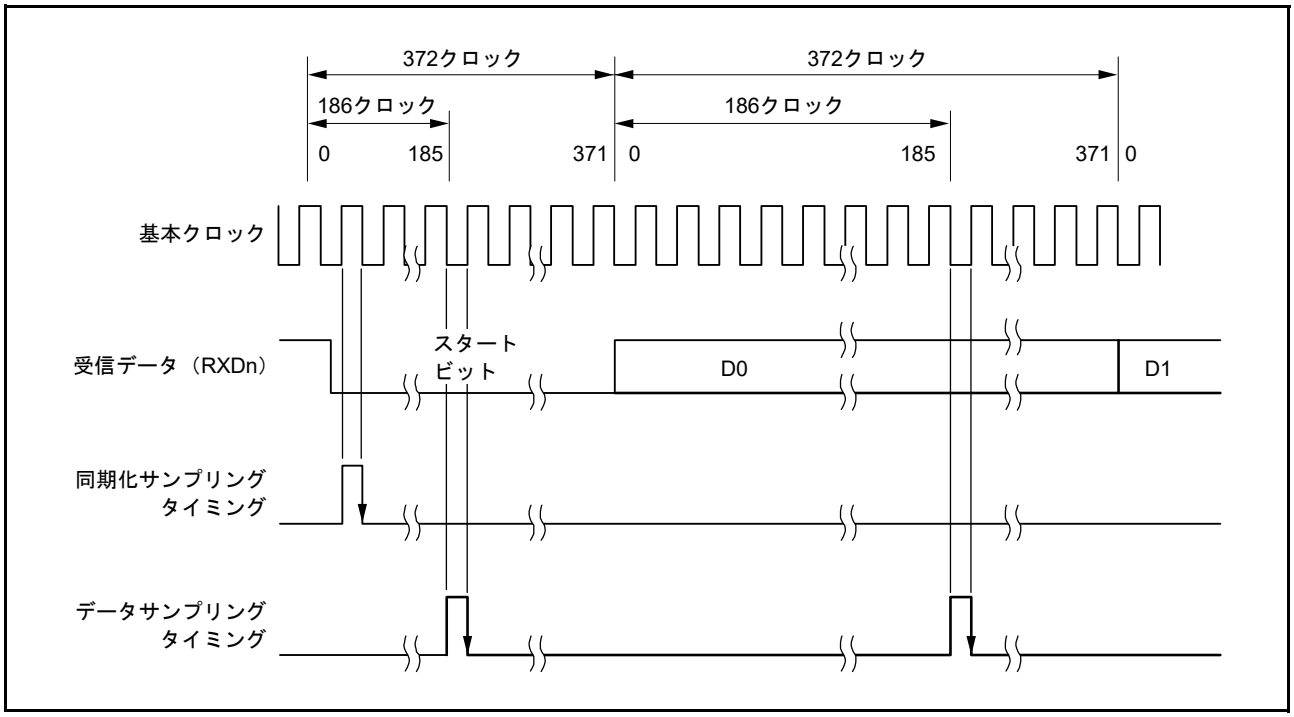


図 32.41　スマートカードインタフェースモード時の受信データサンプリングタイミング
(372 倍のクロック使用時)

32.6.5 SCI の初期化 (スマートカードインタフェースモード)

図 32.42 のフローチャート例に従って SCI を初期化してください。

送信モードと受信モードを切り替える場合も、SCR レジスタと SSR レジスタは初期化してください。ビットレートを変更しない場合、CKE[1:0] ビットを “00b” にする必要はありません。なお、RE ビットを “0” にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、図 32.42 の [1] と [3] を実施し、[11] で TE ビット = 1、RE ビット = 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、または SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、図 32.42 の [1] と [3] を実施し、[11] で TE ビット = 0、RE ビット = 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

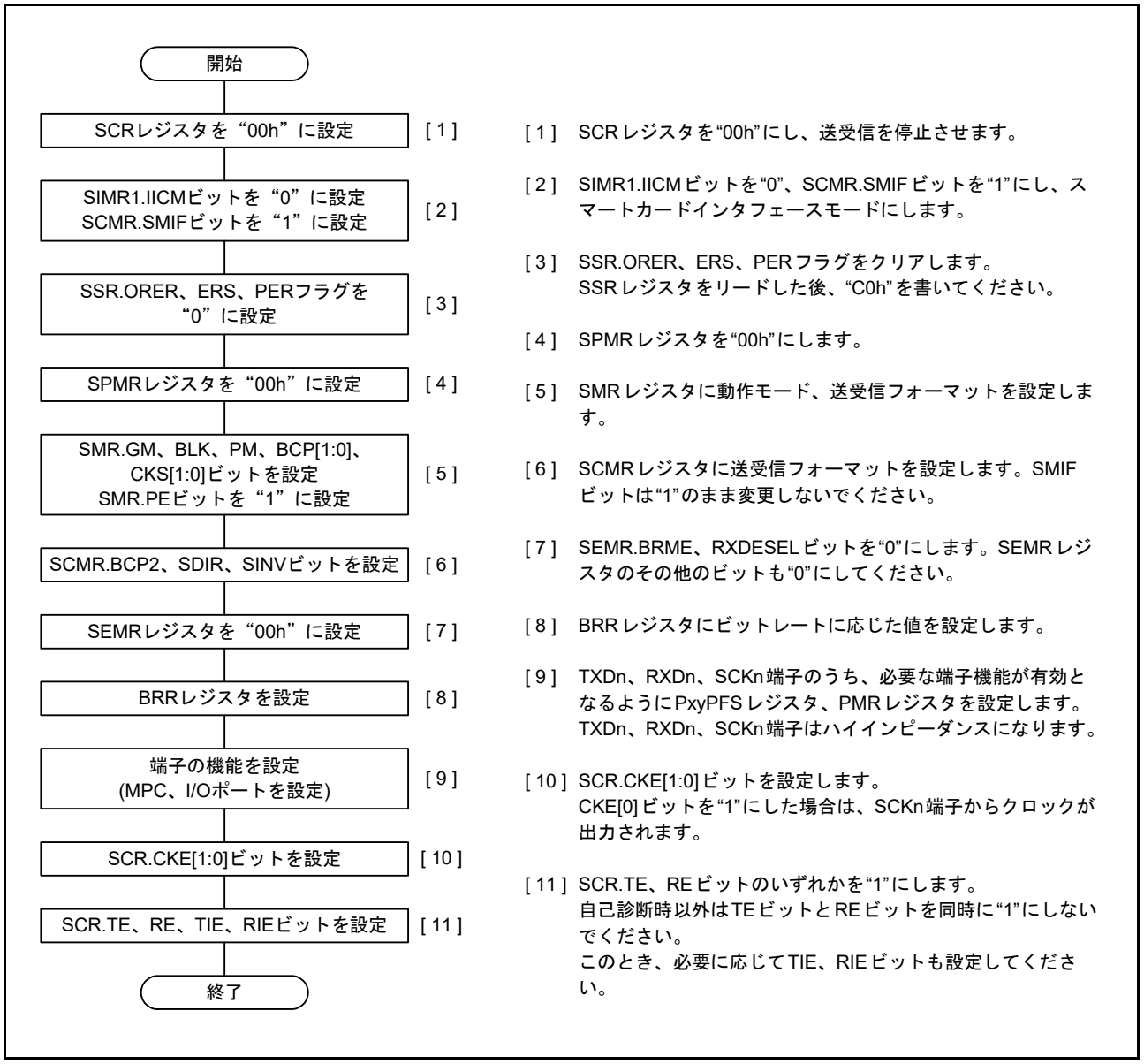


図 32.42　SCI の初期化フローチャートの例 (スマートカードインタフェースモード)

図 32.43 は、リセット解除後に図 32.42 に従って SCI をスマートカードインタフェースモードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を SCK 端子、TXD 端子に設定した時点では、それぞれ SCR.CKE[0] ビット、SCR.TE ビットが “0” であるため端子はハイインピーダンスです。CKE[0] ビットを “1” にすると SCK 端子からクロックが出力されます。TE ビットを “1” にした後送信データを書くと、データ送信が開始されます。TE ビットを “1” にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。スマートカードインタフェースモードでは、この期間 TXD 端子はハイインピーダンスになります。

スマートカードインタフェースモードでは、TE ビット、RE ビットが共に “0” になっている場合でも、CKE[0] ビットが “1” (クロック出力) であれば、クロックを出力し続けます。

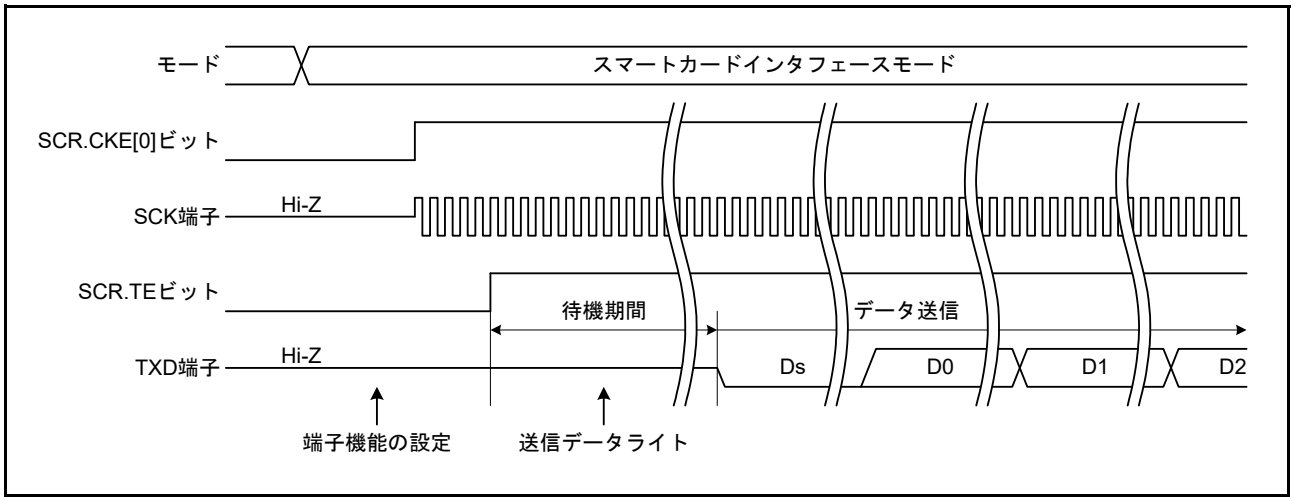


図 32.43　スマートカードインタフェースモード時のデータ送信タイミング例

32.6.6 シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再送信動作を図 32.44 に示します。

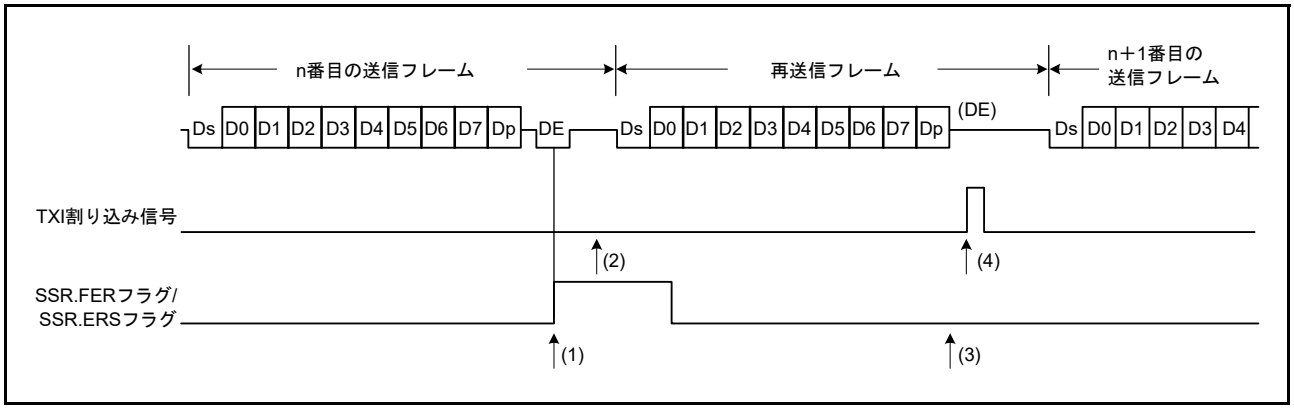


図 32.44　SCI 送信モードの場合の再送信動作 (送信時の再送信動作)

(1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが “1” になります。このとき SCR.RIE ビットが “1” であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。

(2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。

(3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。

(4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが “1” であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 32.45 に示します。

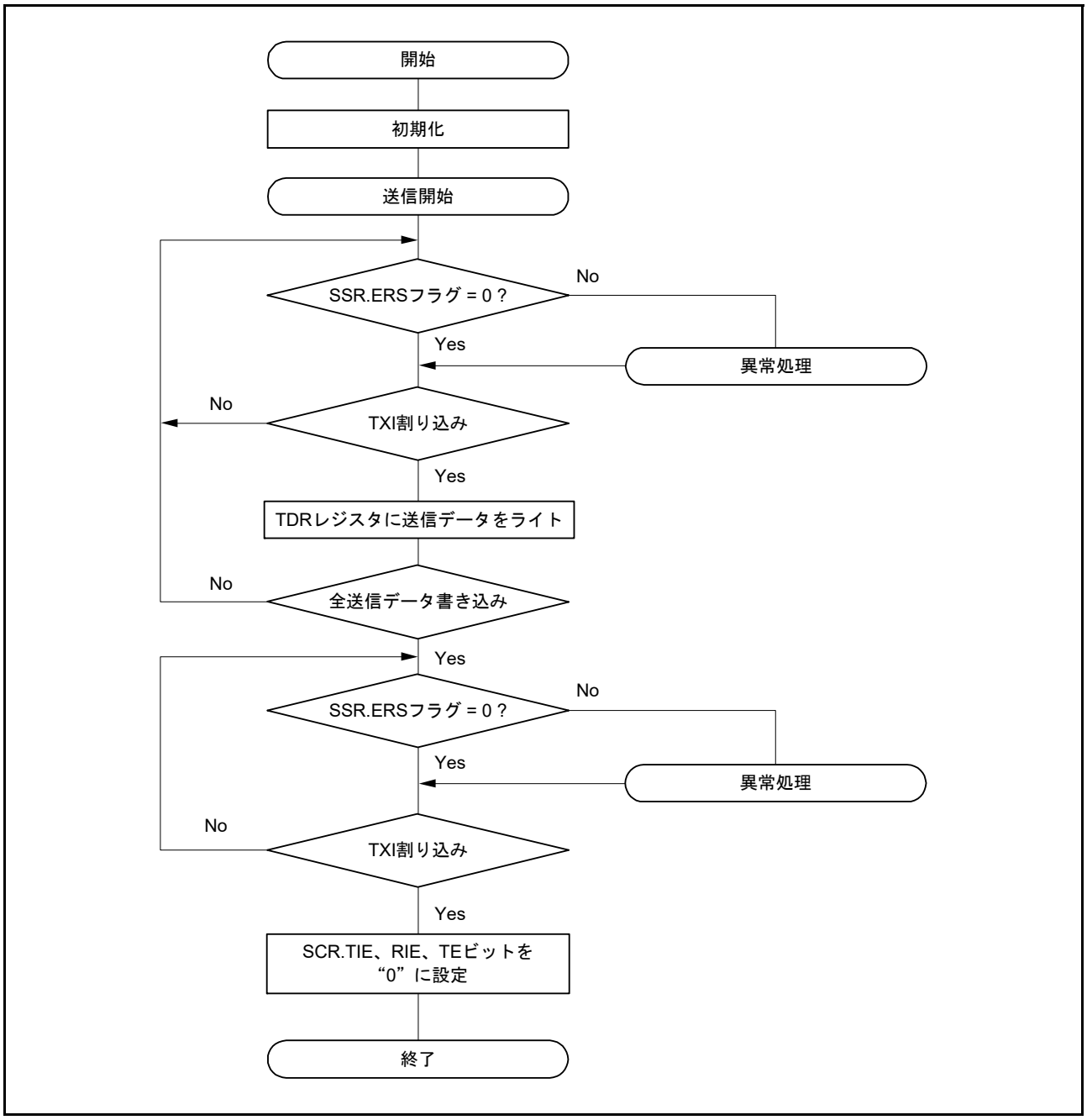


図 32.45　スマートカードインタフェース送信のフローチャート例

これらの一連の処理は、TXI 割り込み要因によって DTC または DMAC を起動することで自動的に行うことができます。

送信動作では、SCR.TIE ビットを “1” にしておくと、SSR.TEND フラグが “1” になったときに TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に “0” になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは “0” のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的

にはクリアされませんので、RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法は「18.　データトランスファコントローラ (DTCa)」、「17.　DMA コントローラ (DMACAa)」を参照してください。

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 32.46 に TEND フラグ発生タイミングを示します。

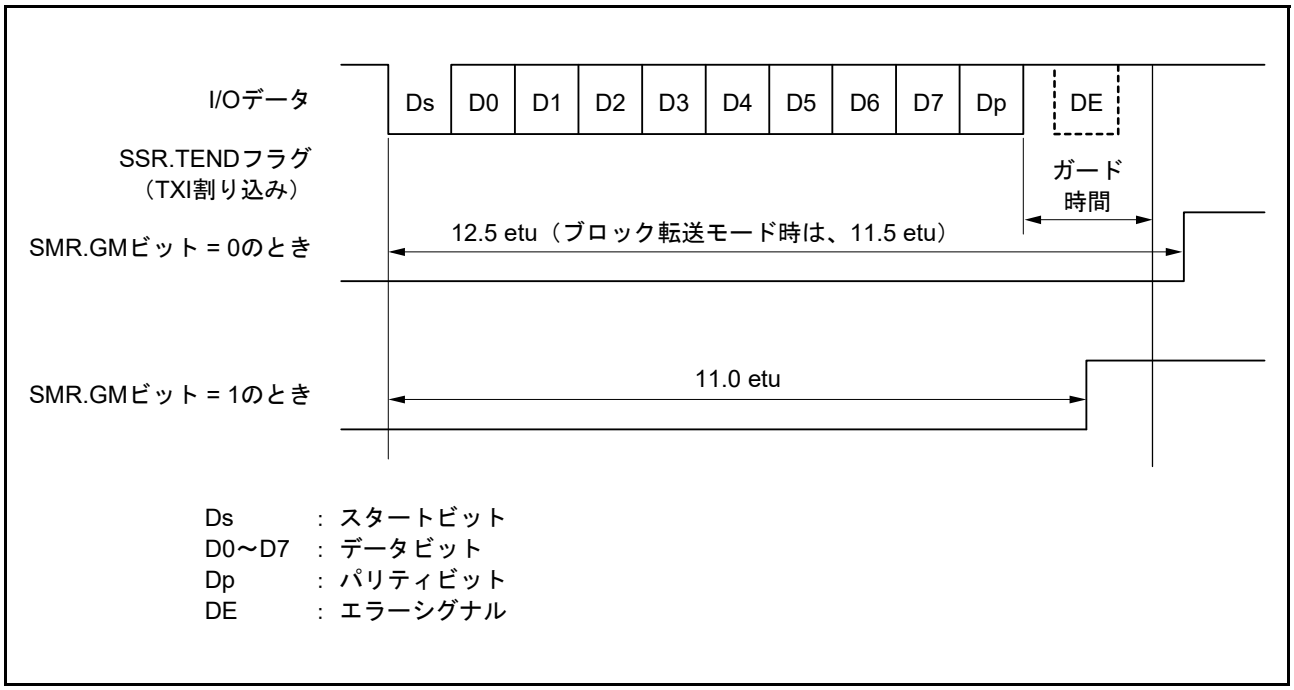


図 32.46　送信時の SSR.TEND フラグの発生タイミング

32.6.7 シリアルの受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 32.47 に示します。

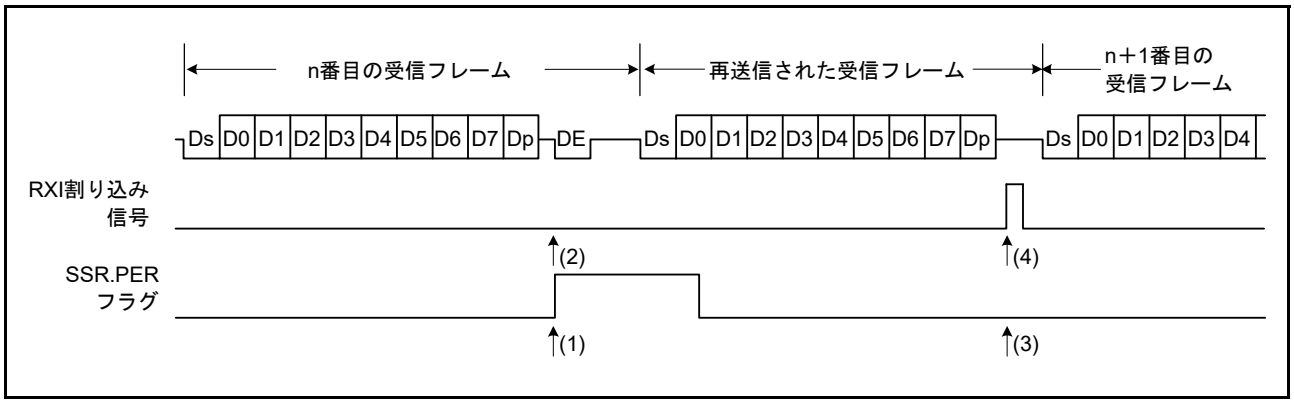


図 32.47　SCI 受信モードの場合の再送信動作 (受信時の再送信動作)

(1) 受信データにパリティエラーを検出すると SSR.PER フラグが “1” になります。このとき、SCR.RIE ビットが “1” であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに PER フラグをクリアしてください。
(2) パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
(3) パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
(4) 正常に受信を完了したと判断して、RIE ビットが “1” であれば、RXI 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 32.48 に示します。

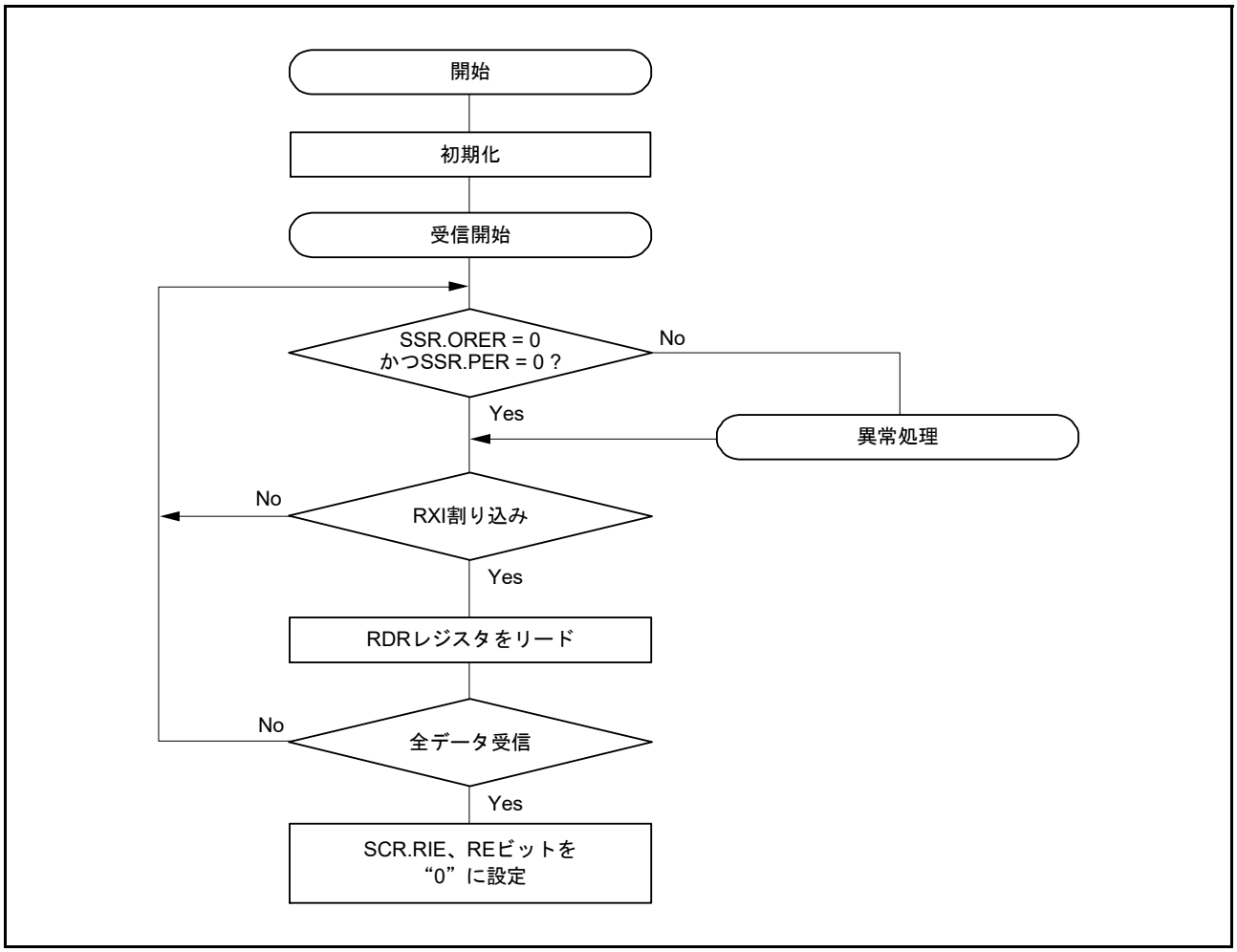


図 32.48　スマートカードインタフェース受信のフローチャート例

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを “1” にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、PER フラグのいずれかが “1” になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが “1” になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを “0” にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注 .　ブロック転送モードの場合は、「32.3　調歩同期式モードの動作」を参照してください。

32.6.8 クロック出力制御

SMR.GM ビットが “1” であるとき、SCR.CKE[1:0] ビットによってクロック出力を High や Low に固定することができます。CKE[1:0] ビットを “01b” (クロック出力) にすると、SCK 端子から基本クロックが出力されます。基本クロックの周波数 (ビットレート) の設定については、「32.2.13 ビットレートレジスタ (BRR)」を参照してください。CKE[1:0] ビットを “00b” (Low 出力固定) や “10b” (High 出力固定) にすると、SCK 端子から Low や High を出力できます。

図 32.49 にクロック出力制御を行ったときのタイミング図を示します。

なお、SMR.GM ビットが ”0” (非 GSM モード) の場合に CKE[1:0] ビットを変更すると、その結果がすぐに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力されることがあります。

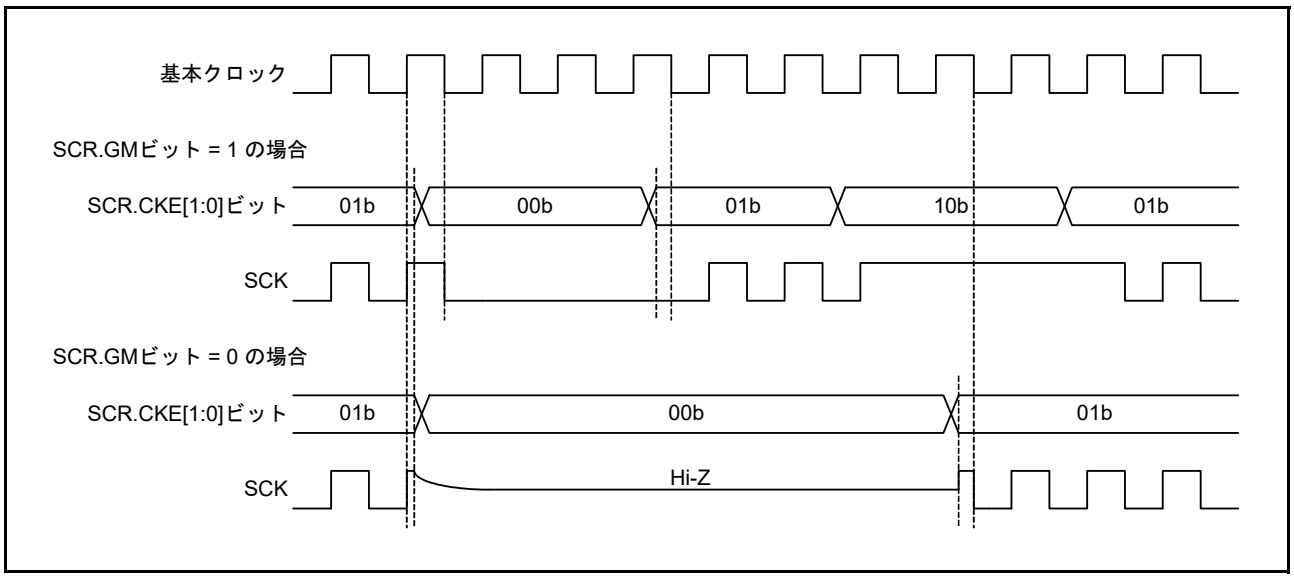


図 32.49 クロック出力制御

32.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 32.50 に I²C バスフォーマットを、図 32.51 に I²C バスタイミングを示します。

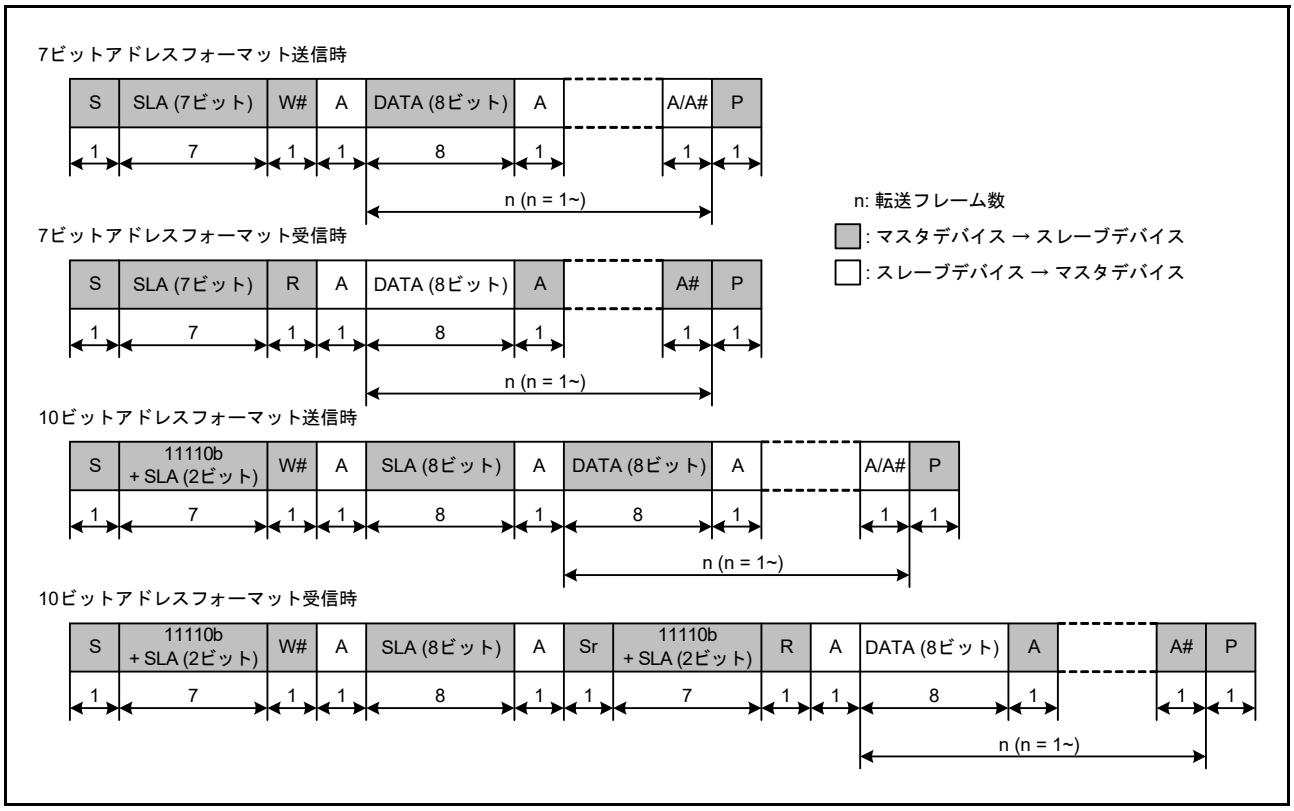


図 32.50　I²C バスフォーマット

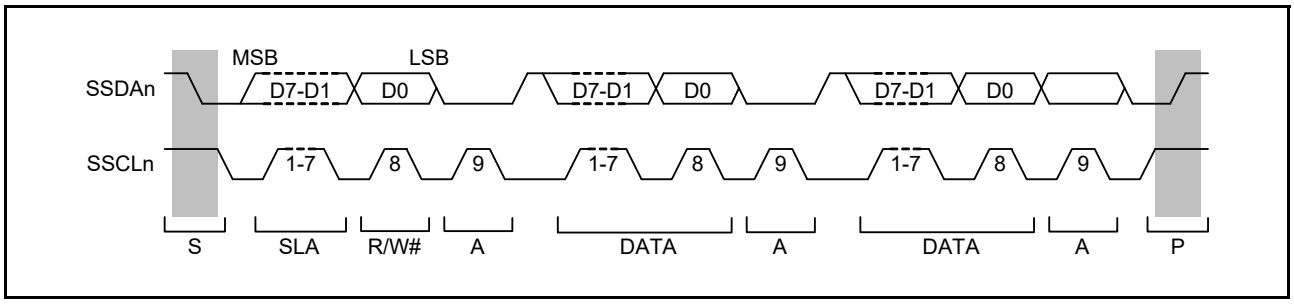


図 32.51　I²C バスタイミング (SLA = 7 ビットの場合)

S: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でSSDAnラインがHighからLowに変化します。

SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A/A#: アクノリッジを示します(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。

Sr: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。

DATA: 送受信データを示します。

P: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でSSDAnラインがLowからHighに変化します。

32.7.1 開始条件、再開始条件、停止条件の生成

SIMR3.IICSTAREQ ビットに “1” を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ（High から Low に遷移）、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ（High から Low に遷移）、SIMR3.IICSTAREQ ビットは “0” にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに “1” を書き込むことにより、再開始条件生成を行います。再開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放（Low から High に遷移）
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開始条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ（High から Low に遷移）
- BRR レジスタで設定したビットレートの半分の時間、再開始条件のホールド時間を確保
- SSCLn ラインを立ち下げ（High から Low に遷移）、SIMR3.IICRSTAREQ ビットは “0” にし、再開始条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに “1” を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ（High から Low に遷移）、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放（Low から High に遷移）
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放（Low から High に遷移）、SIMR3.IICSTPREQ ビットは “0” にし、停止条件生成割り込み要求を出力

図 32.52 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

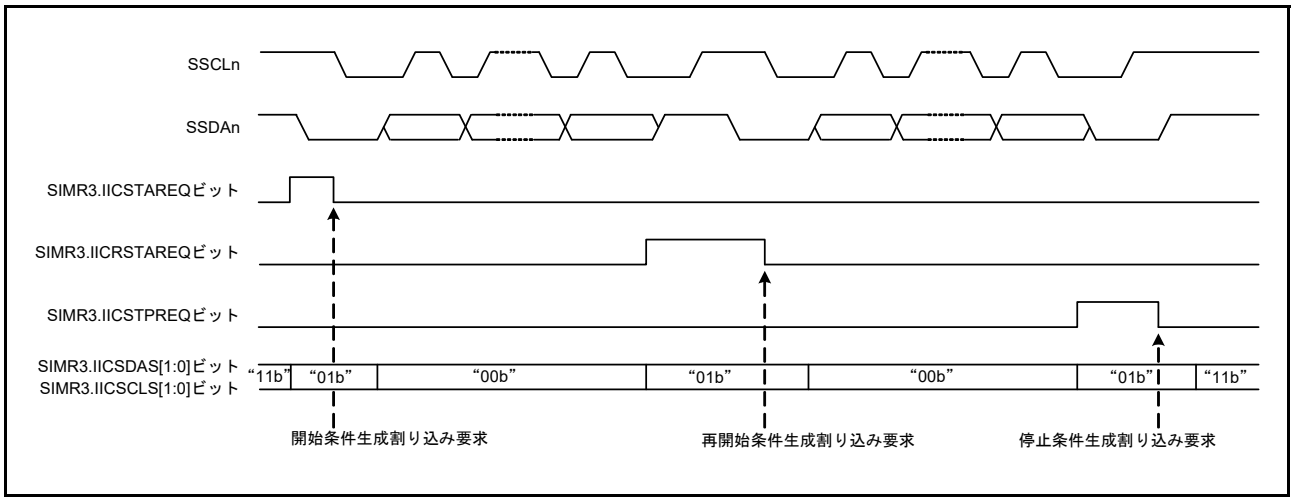


図 32.52　開始条件、再開始条件、停止条件生成の動作タイミング

32.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに “1” を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが “1” の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2 ～ 3 サイクル）、内部処理遅延（PCLK で 1 ～ 2 サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが “1” の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが “0” の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開始条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 32.53 にクロック同期化の動作例を示します。

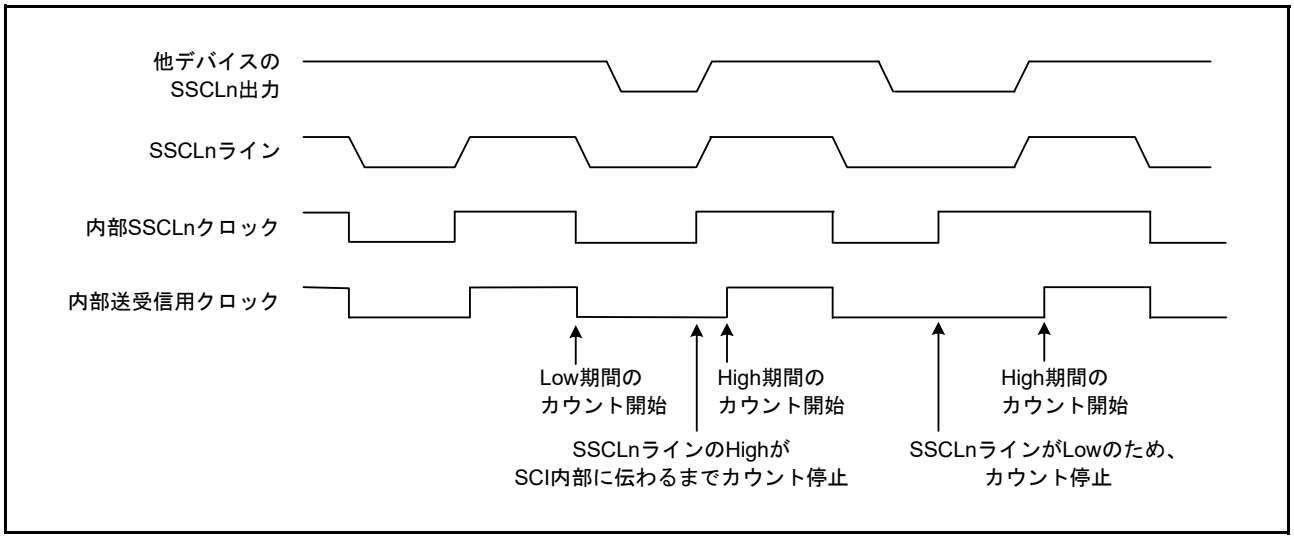


図 32.53　クロック同期化の動作例

32.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ボーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0 ～ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I^2C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 32.54 に SSDA 出力遅延のタイミングを示します。

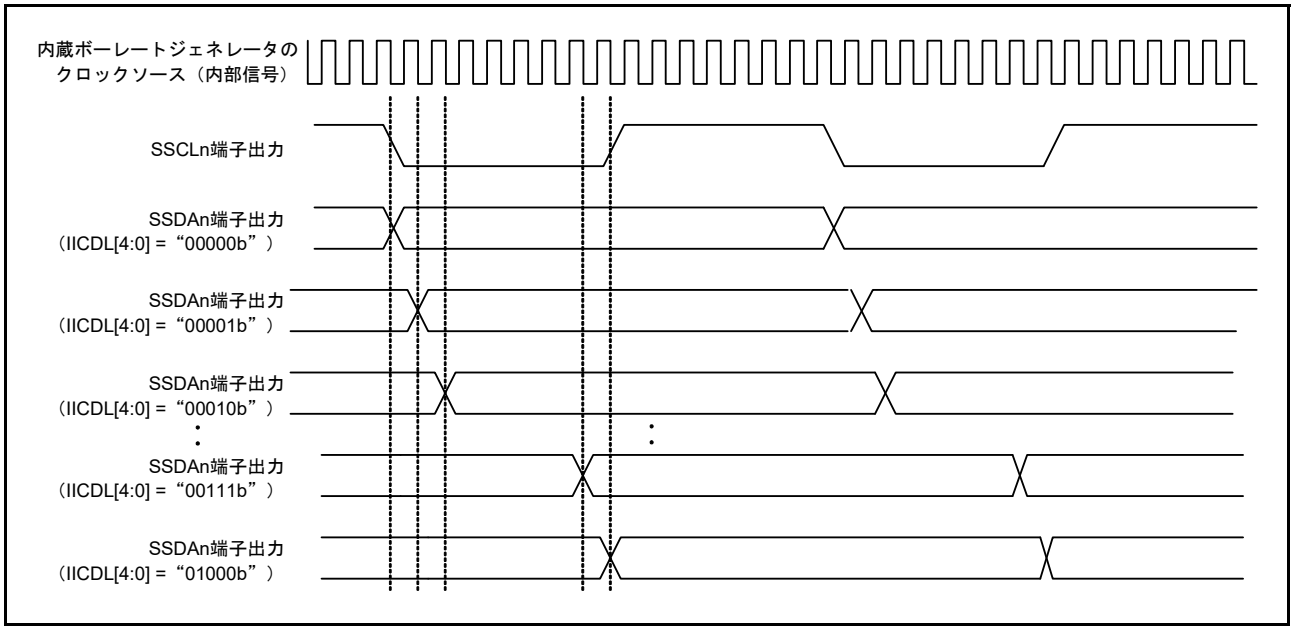
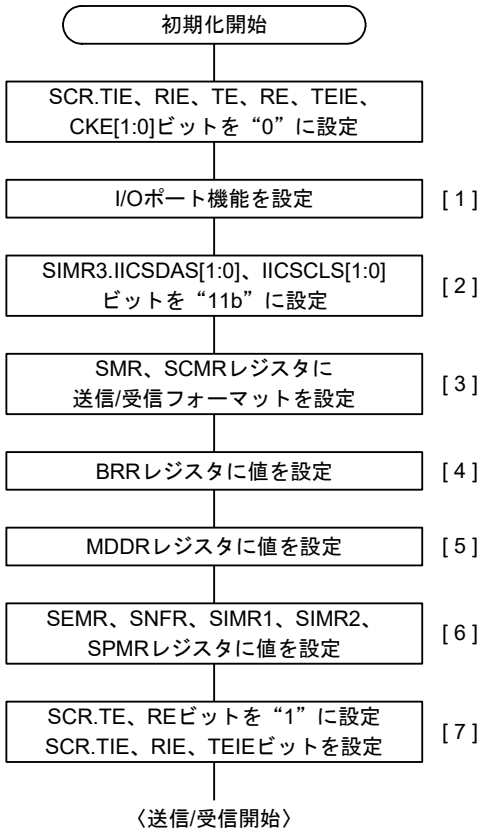


図 32.54　SSDA 出力遅延のタイミング

32.7.4 SCI の初期化 (簡易 I2C モード)

データの送受信前に、SCR レジスタに初期値 “00h” を書き込み、図 32.55 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCR レジスタを初期値にしてから変更してください。また、簡易 I2C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。



[1] SSCLn端子、SSDAn端子機能が有効 (Nチャネルオープンドレイン出力) かつハイインピーダンスになるようにI/Oポート機能を設定します。

[2] SSCLn端子、SSDAn端子の出力値を設定します。

[3] SMR、SCMRレジスタに送信/受信フォーマットを設定します。
SMRレジスタはCKS[1:0]ビットを設定し、それ以外のビットを“0”にします。
SCMRレジスタはSDIRビットを“1”、SINVビットを“0”、SMIFビットを“0”にします。

[4] BRRレジスタにビットレートに対応する値をライトします。

[5] MDDRレジスタにビットレート誤差補正値をライトします。
ただし、SEMR.BRMEビットを“0”にする場合には設定の必要はありません。

[6] SEMR、SNFR、SIMR1、SIMR2、SPMRレジスタに値を設定します。
SEMRレジスタは、NFENビット、BRMEビットを設定します。
SNFRレジスタは、NFCS[2:0]ビットを設定します。
SIMR1レジスタは、IICMビットを“1”にし、IICDL[4:0]ビットを設定します。
SIMR2レジスタは、IICACKT、IICCSCビットを“1”にし、IICINTMビットを設定します。
SPMRレジスタは、全ビット“0”にします。

[7] SCR.TE、REビットを“1”にします。また、このときSCR.TIE、RIE、TEIEビットも設定してください。
(送信動作かつSIMR2.IICINTMビットが“1”のときはRIEビットを“0”にします。)
TE、RE両ビットを“1”にすることによりSSCLn、SSDAn端子が使用可能になります。

注. SCR.TE、RE ビットの“0”設定、“1”設定は、同時に行ってください。

図 32.55 SCI の初期化フローチャート例 (簡易 I2C モード)

32.7.5 マスタ送信動作 (簡易 I²C モード)

図 32.56、図 32.57 に簡易 I²C モードのマスタ送信の動作例を、図 32.58 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 32.39 を参照してください。

10 ビットスレーブアドレス時は、図 32.58 の [3] ～ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

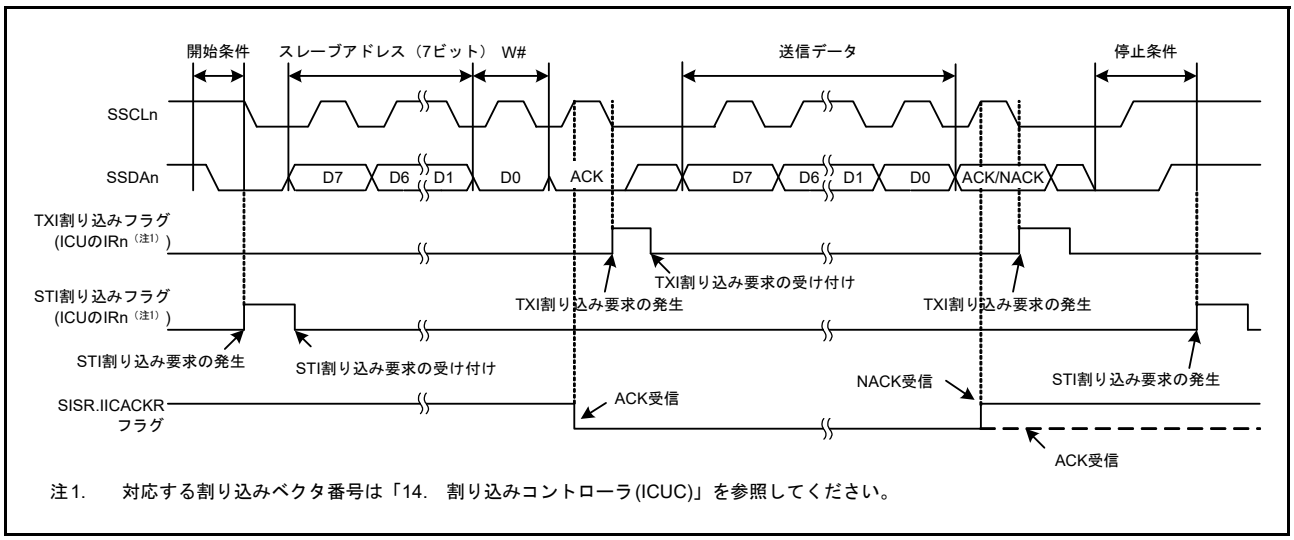


図 32.56　簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを “0”（ACK 割り込み、NACK 割り込みを使用）にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

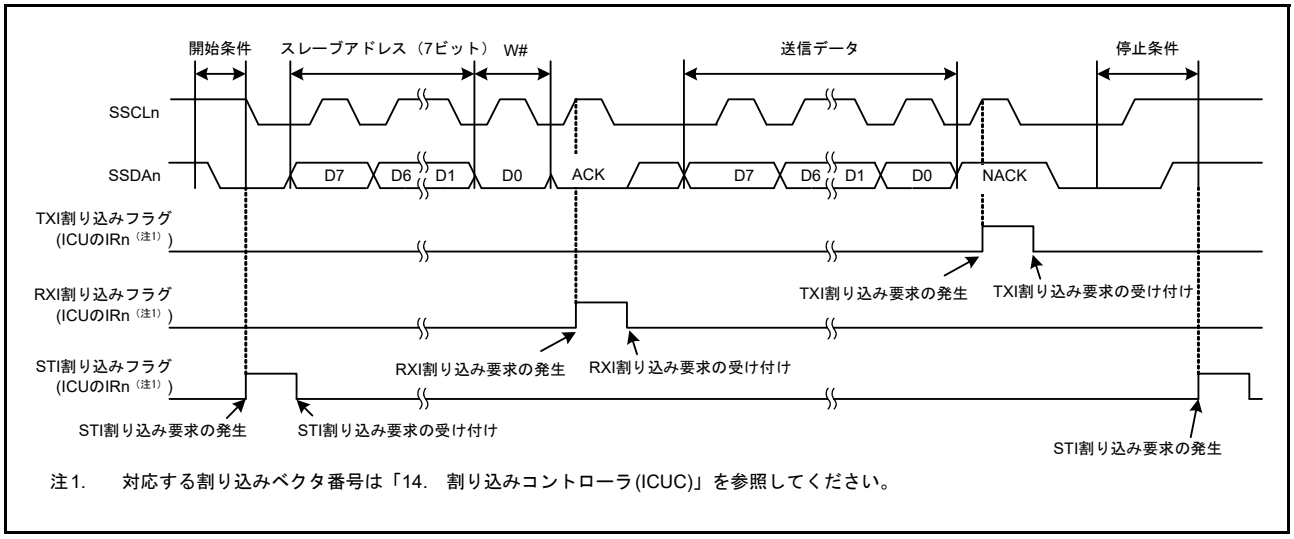
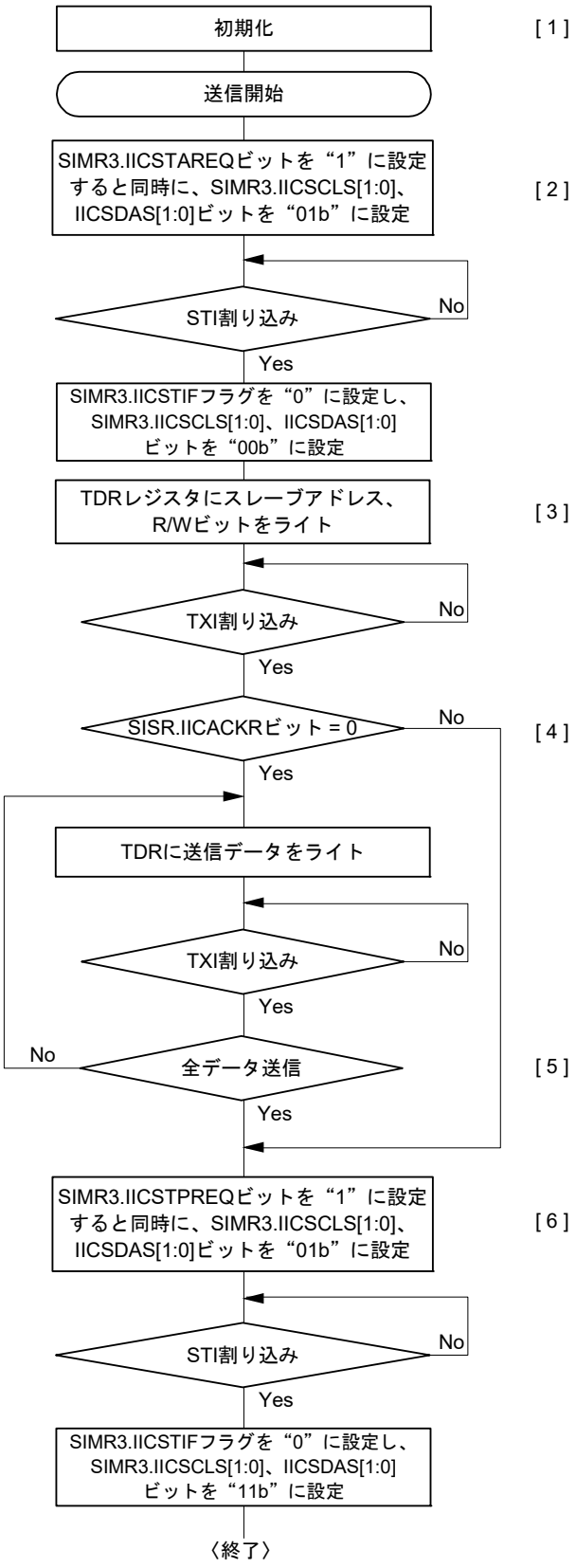


図 32.57　簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)



[1]　簡易I²Cモード用初期化
送信動作時はSCR.RIEビットを“0”にします。
(受信割り込み要求を禁止)

[2]　開始条件の生成

[3]　TDRレジスタにライト：
TDRレジスタにスレーブアドレスおよびR/Wビットをライトします。

[4]　スレーブデバイスからのACKを確認：
SISR.IICACKRビットを確認し、“0”であればスレーブデバイスからのACKとして送信動作を継続します。“1”であればスレーブデバイスが反応していないため、停止条件の生成に遷移します。

[5]　シリアル送信の継続手順：
送信を続けるときには、TDRレジスタに送信データをライトしてください。
最初の送信データ以外は、TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。ただし、この場合はACK/NACKを確認できません。

[6]　停止条件の生成

10ビットスレーブアドレス時は[3]～[4]の処理を2回実行

注. 簡易I²Cモード時のTXI割り込み要求はクロック同期式送信の場合と異なり、通信完了のタイミングで発生します。

図 32.58　簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

32.7.6 マスタ受信動作 (簡易 I2C モード)

図 32.59 に簡易 I2C モードのマスタ受信の動作例を、図 32.60 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを “1”（受信割り込み、送信割り込みを使用）を想定しています。

簡易 I2C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

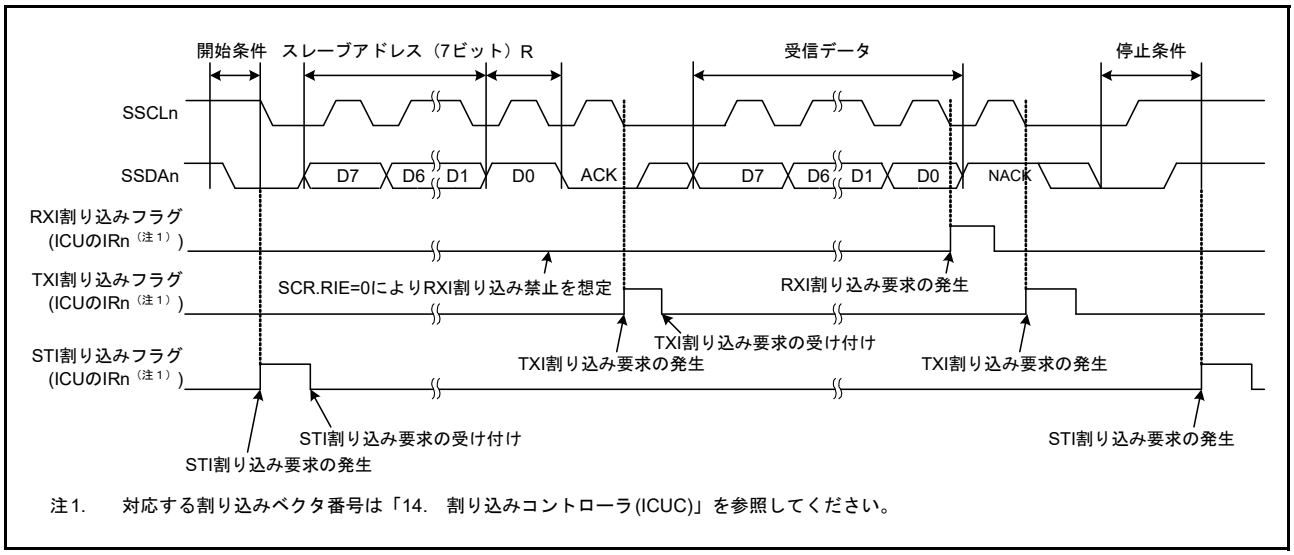


図 32.59　簡易 I2C バスモードのマスタ受信の動作例
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

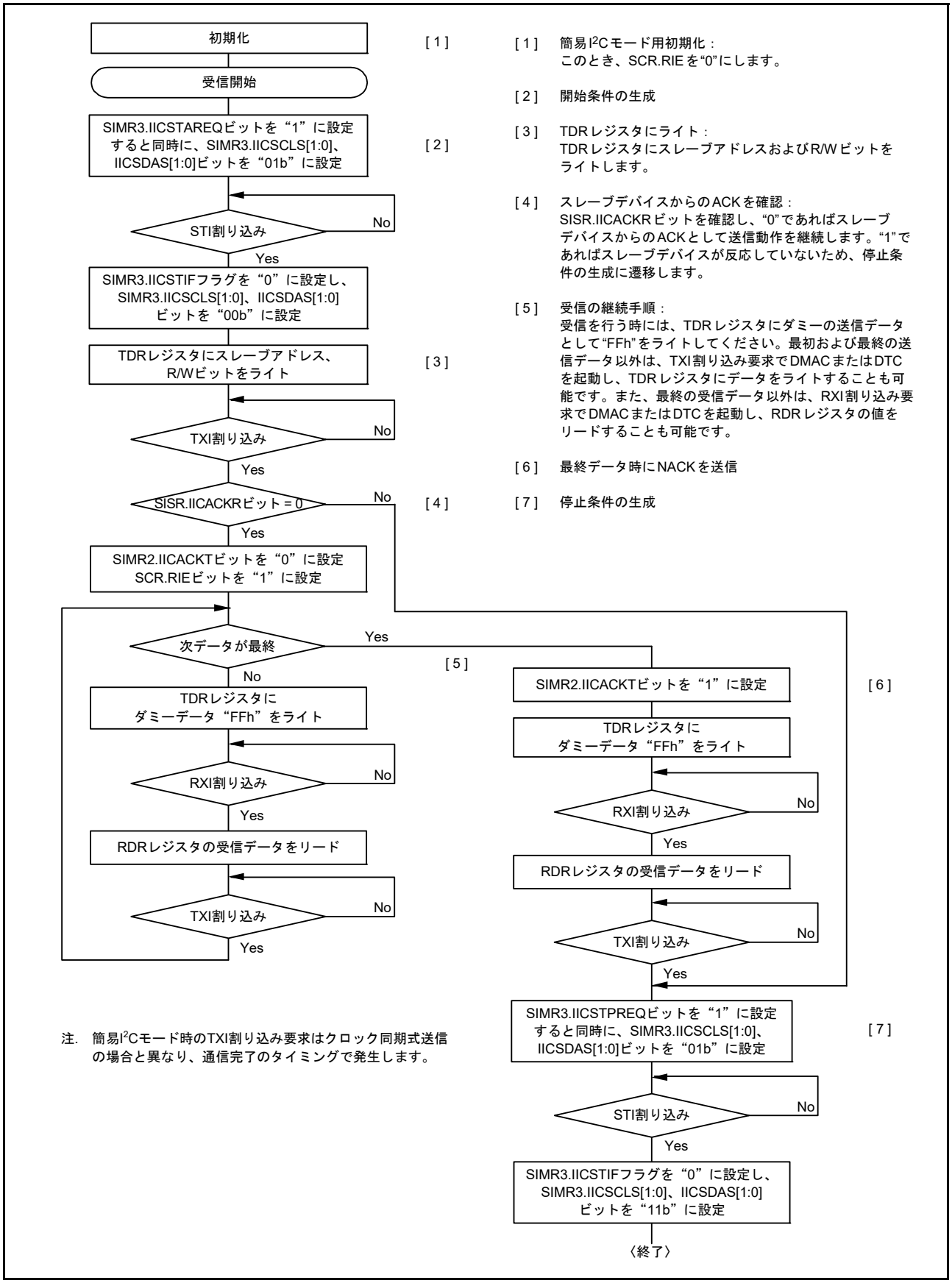


図 32.60　簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

32.7.7 バスハングアップからの回復

通信不具合などで SCI の内部状態が異常になり、バスをスタックさせてしまった場合、以下の手順で SCI をリセットし、バスを解放してください。

(1) SCR.TE ビットと RE ビットを同時に “0” にして、SCI をリセットする。
(2) SIMR3 レジスタを “F0h” にして、バスを解放する。
(3) SSR.RDRF フラグが “1” の場合は、RDR レジスタをダミーリードして RDRF フラグをクリアする。
(4) SCR.TE ビットと RE ビットを同時に “1” にする。

32.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定（SCMR.SMIF ビット = 0、SIMR1.IICM ビット = 0、SMR.CM ビット = 1）、かつ、SPMR.SSE ビットを “1” にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを “0” にします。

図 32.61 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを “1” にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部 / 受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

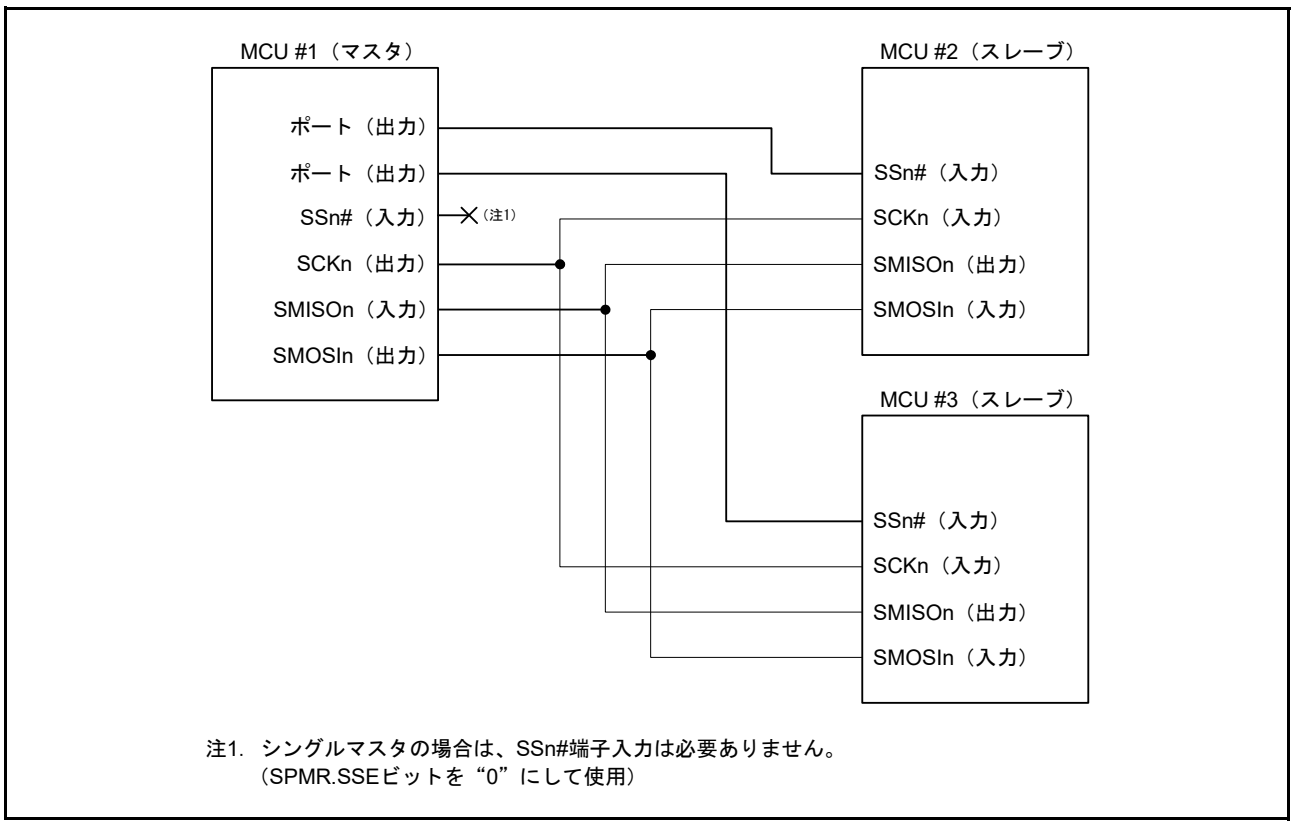


図 32.61　簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

32.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード（SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0）とスレーブモード（SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1）で各端子の入出力方向が変わります。

表 32.34 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表32.34　モードおよびSSn#端子入力と各端子の状態の関係

モード	SSn#端子入力	SMOSIn端子状態	SMISOn端子状態	SCKn端子状態
マスタモード(注1)	High (通信可能)	送信データ出力(注2)	受信データ入力	クロック出力(注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力(無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力(無効)	ハイインピーダンス	クロック入力(無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1.　シングルマスタ時(SPMR.SSE ビット = 0)は、SSn#端子の入力レベルに関わらず通信可能(SSn#端子入力がHighのときと等価)となります。SSn#端子は未使用であり、別の用途として使用できます。
注2.　送信禁止時(SCR.TE ビット = 0)はハイインピーダンスです。
注3.　マルチマスタ(SPMR.SSE ビット = 1)かつ送受信禁止時(SCR.TE, RE ビット = 00b)はハイインピーダンスです。

32.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時（SPMR.SSE ビット = 0）は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時（SPMR.SSE ビット = 1）、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時（SPMR.SSE ビット = 1）、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力がハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

32.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

32.8.4　クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを 4 種類から選択可能です。クロックと送受信データの関係を図 32.62 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

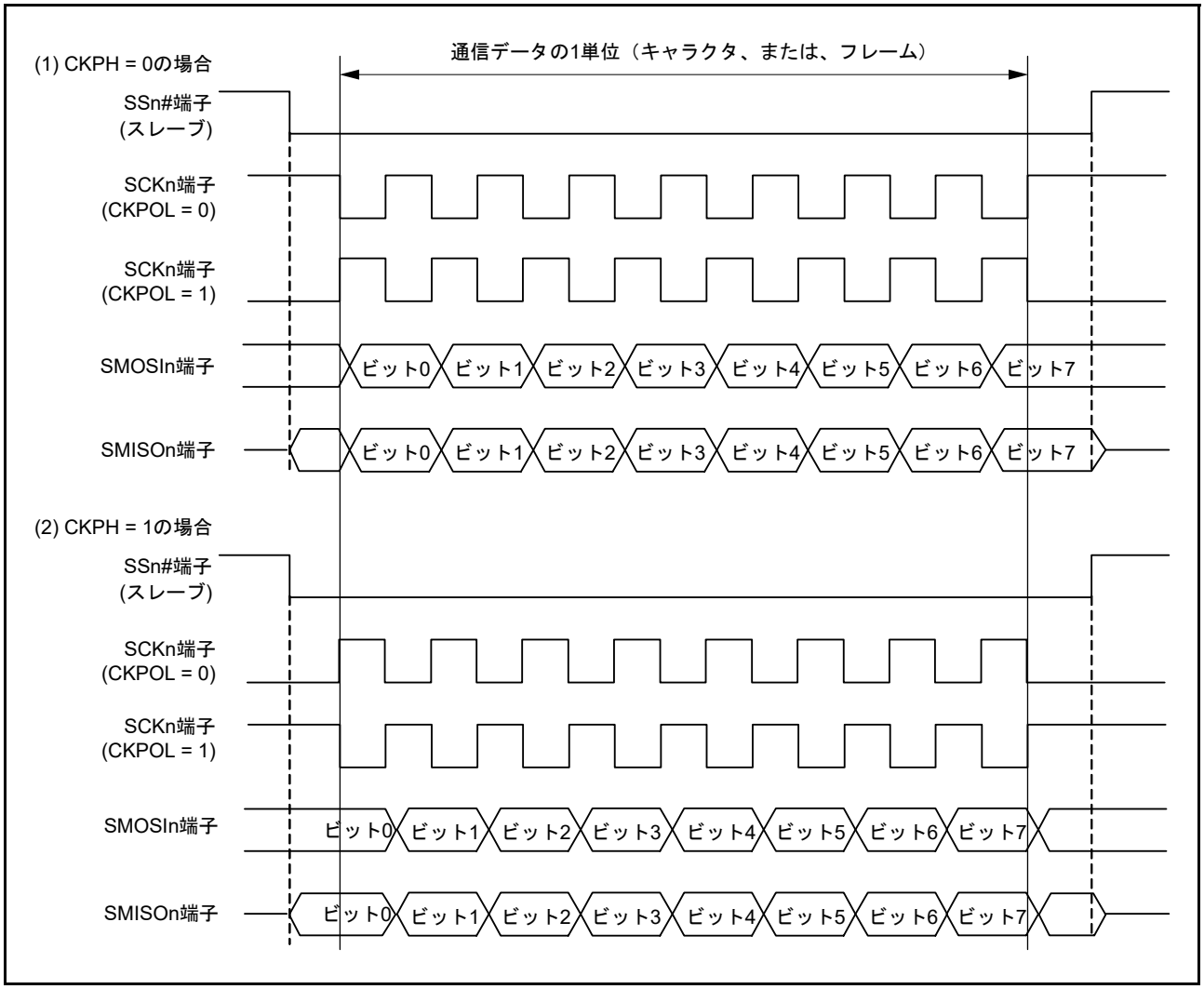


図 32.62　簡易 SPI モードのクロックと送受信データの関係

32.8.5　SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順（図 32.28 の SCI の初期化フローチャート例）と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

32.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

32.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。

SEMR.BRME ビットが “1” のとき、ボーレートジェネレータは、入力されたクロック 256 個のうち MDDR レジスタに設定された個数だけを、平均的な間隔となるよう有効にし、カウントを行います。

調歩同期モードで SMR.CKS[1:0] ビットが “00b” で、BRR レジスタが “00h”、MDDR レジスタが “160” のときの例を、図 32.63 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

注 . クロック同期式モードおよび簡易 SPI モードでは、最高速設定 (SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0) で本機能を使用しないでください。

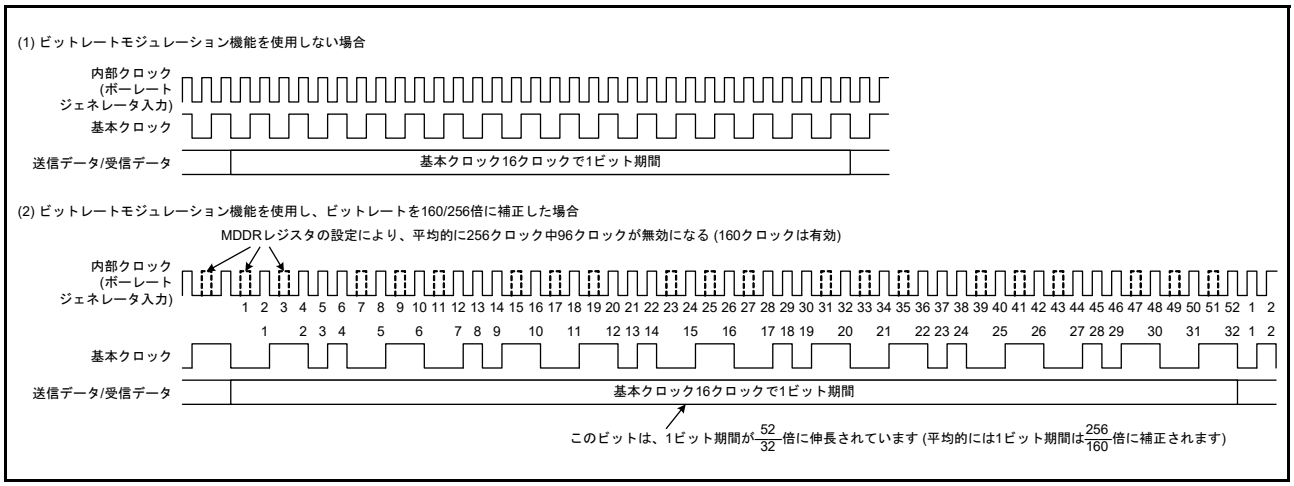


図 32.63 ビットレートモジュレーション機能使用時の基本クロックの例

なお、ボーレートジェネレータに入力されるクロックの周期が短いほど、生成される基本クロックの周期の差が小さくなり、また、ボーレートジェネレータの分周比も大きくなるため、結果として 1 ビット期間の長さの差も小さくなります。

32.10 拡張シリアルモード制御部の動作説明

32.10.1 シリアル通信プロトコル

SCI12 の拡張シリアルモード制御部は、図 32.64 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

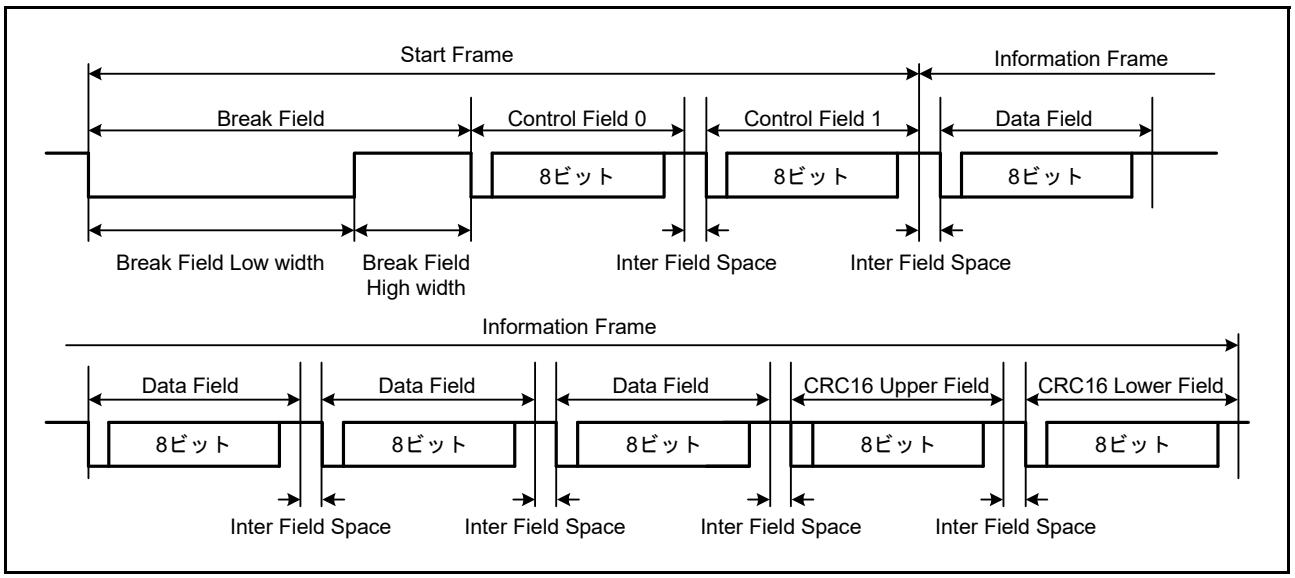


図 32.64　拡張シリアルモード制御部シリアル通信プロトコル

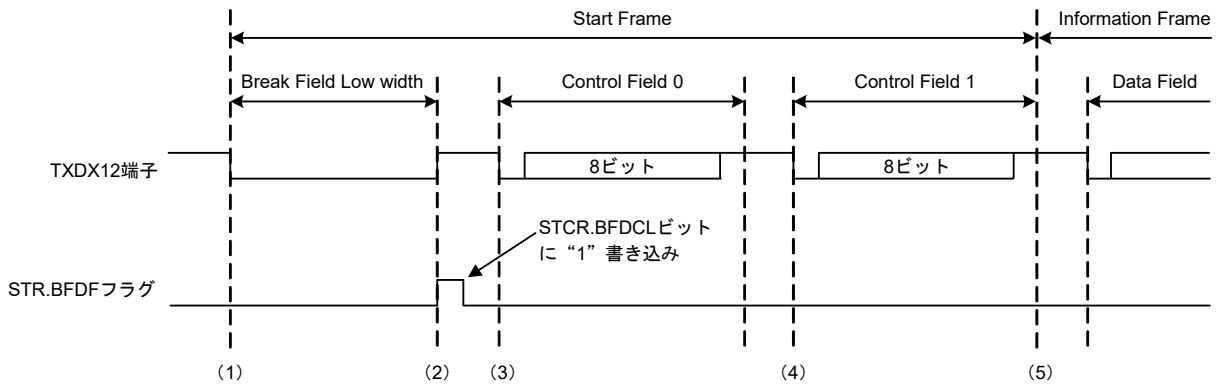
32.10.2 Start Frame 送信

図 32.65 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します。また、図 32.66、図 32.67 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

(1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR.TCST ビットに “1” を書き込むと、タイマがカウントを開始し、TCNT、TPRE レジスタに設定した期間、TXDX12 端子から Low が出力されます。
(2) タイマがアンダフローすると TXDX12 端子の出力が反転し、STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。
(3) TCR.TCST ビットに “0” を書き込んでタイマのカウントを停止させた後、Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダフローするまでにカウントを停止してください。
(4) Control Field 0 のデータの送信が完了した後、Control Field 1 のデータを送信します。
(5) Control Field 1 のデータの送信が完了した後、Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください。



上図は次の条件の場合です。
ESMER: ESME = 1
PCR　: TXDXPS = 0
ICR　: BFDIE = 1
TMR　: TOMS[1:0] = 10b

図 32.65　Start Frame 送信時の動作例

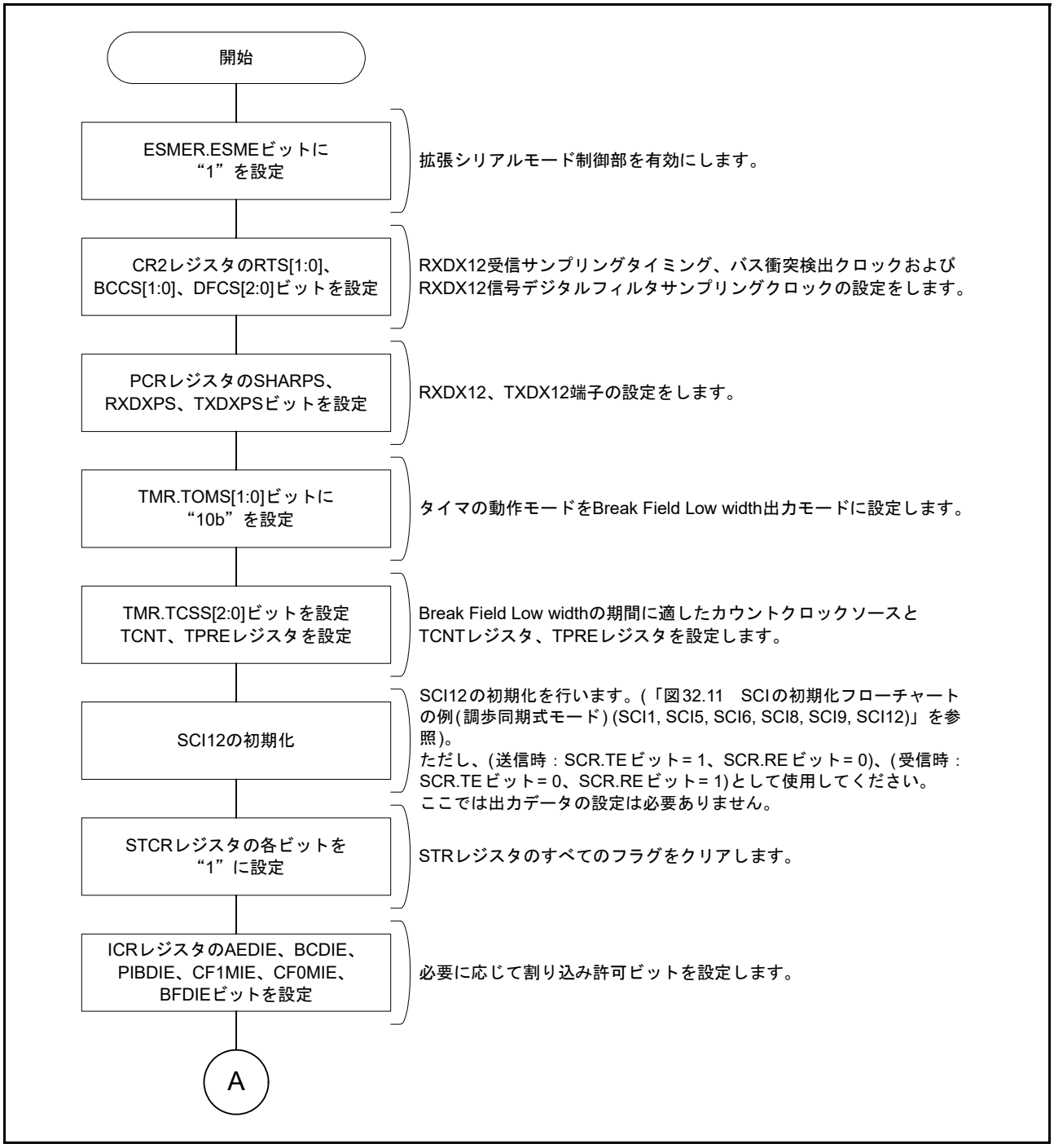


図 32.66　Start Frame 送信フローチャート例 (1)

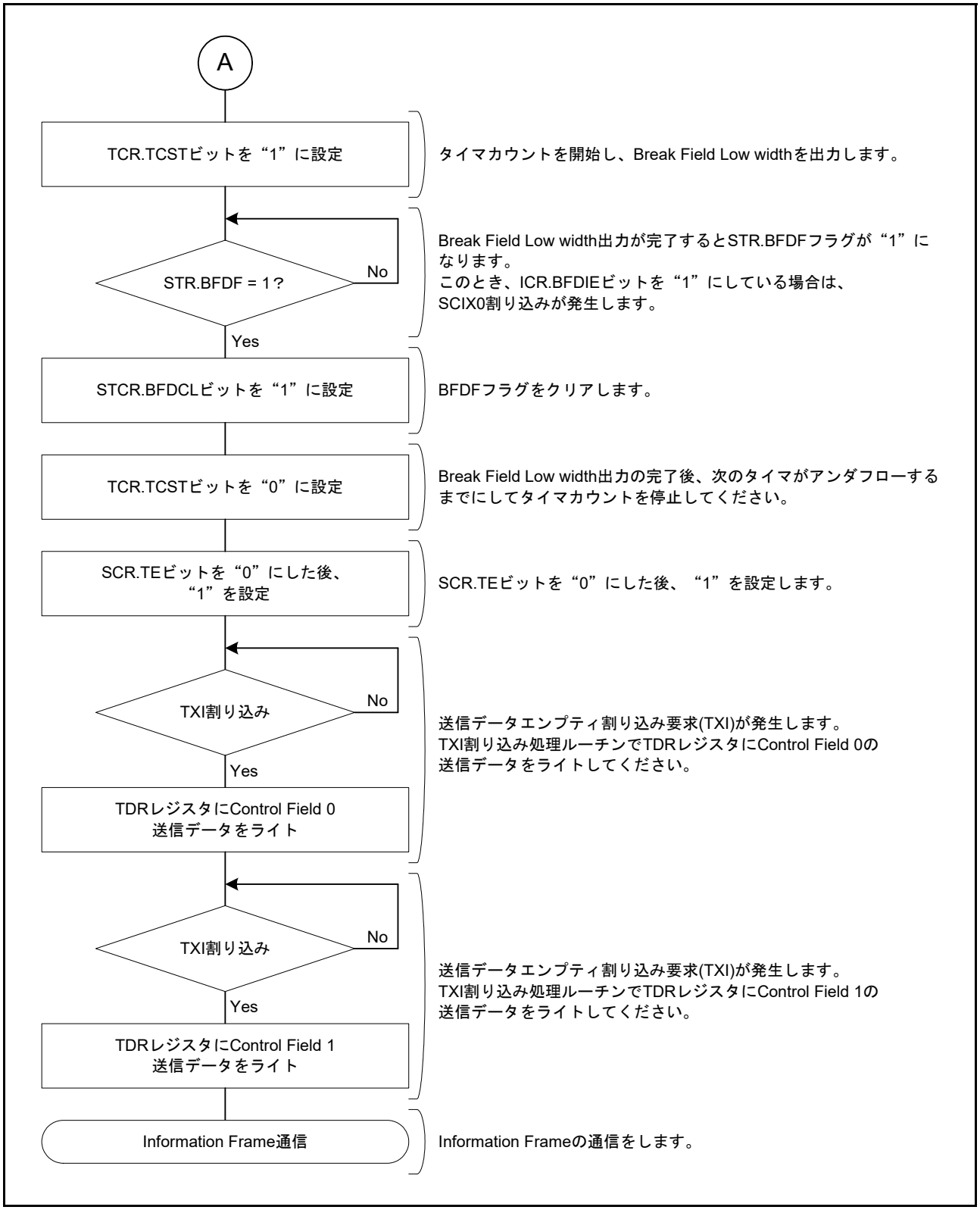


図 32.67　Start Frame 送信フローチャート例 (2)

32.10.3 Start Frame 受信

拡張シリアルモード制御部では、表 32.35 のような構成の Start Frame を検出することができます。

表32.35 Start Frameの構成

ビットの設定		Start Frameの構成
BFE	CF0RE	
0	0	Control Field1 (8ビット) / Information Frame
0	1	Control Field0 (8ビット) / Control Field1 (8ビット) / Information Frame
1	0	Break Field (Low width) / Control Field1 (8ビット) / Information Frame
1	1	Break Field (Low width) / Control Field0 (8ビット) / Control Field1 (8ビット) / Information Frame

図 32.68 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、図 32.69、図 32.70 に Start Frame の受信を行うためのフローチャート、図 32.71 に Start Frame 受信時の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

(1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST ビットに “1” を書き込むと、Break Field Low width 検出が可能になります。

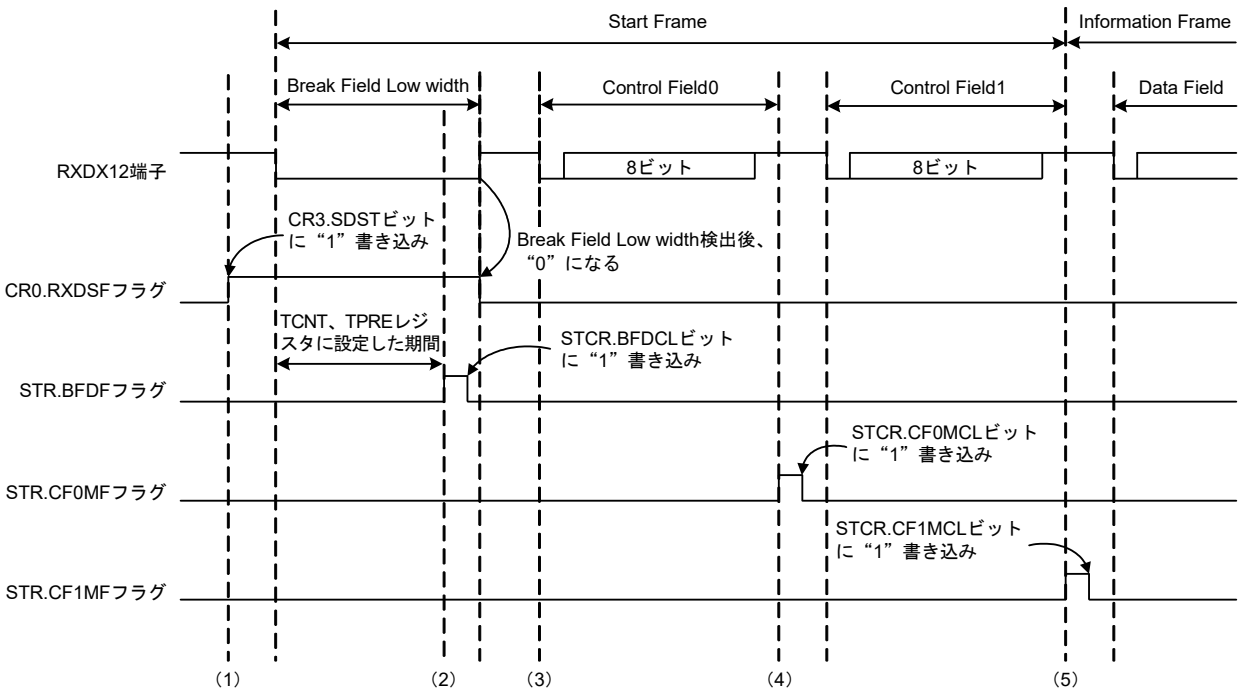
(2) タイマの TCNT、TPRE レジスタに設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。

(3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0.RXDSF フラグが “0” になり、Control Field 0 の受信を開始します。

(4) Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致した場合、STR.CF0MF フラグが “1” になります。また、ICR.CF0MIE ビットを “1” にしている場合は、SCIX1 割り込みが発生します。その後、Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。

(5) Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータと一致した場合、STR.CF1MF フラグが “1” になります。また、ICR.CF1MIE ビットを “1” にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。



上図は次の条件の場合です。

ESMER : ESME = 1
CR1 : BFE = 1、CF0RE = 1、CF1DS[1:0] = 10b
PCR : RXDXPS = 0
ICR : BFDIE = 1、CF0MIE = 1、CF1MIE = 1
TMR : TOMS[1:0] = 01b

図 32.68　Start Frame 受信時の動作例

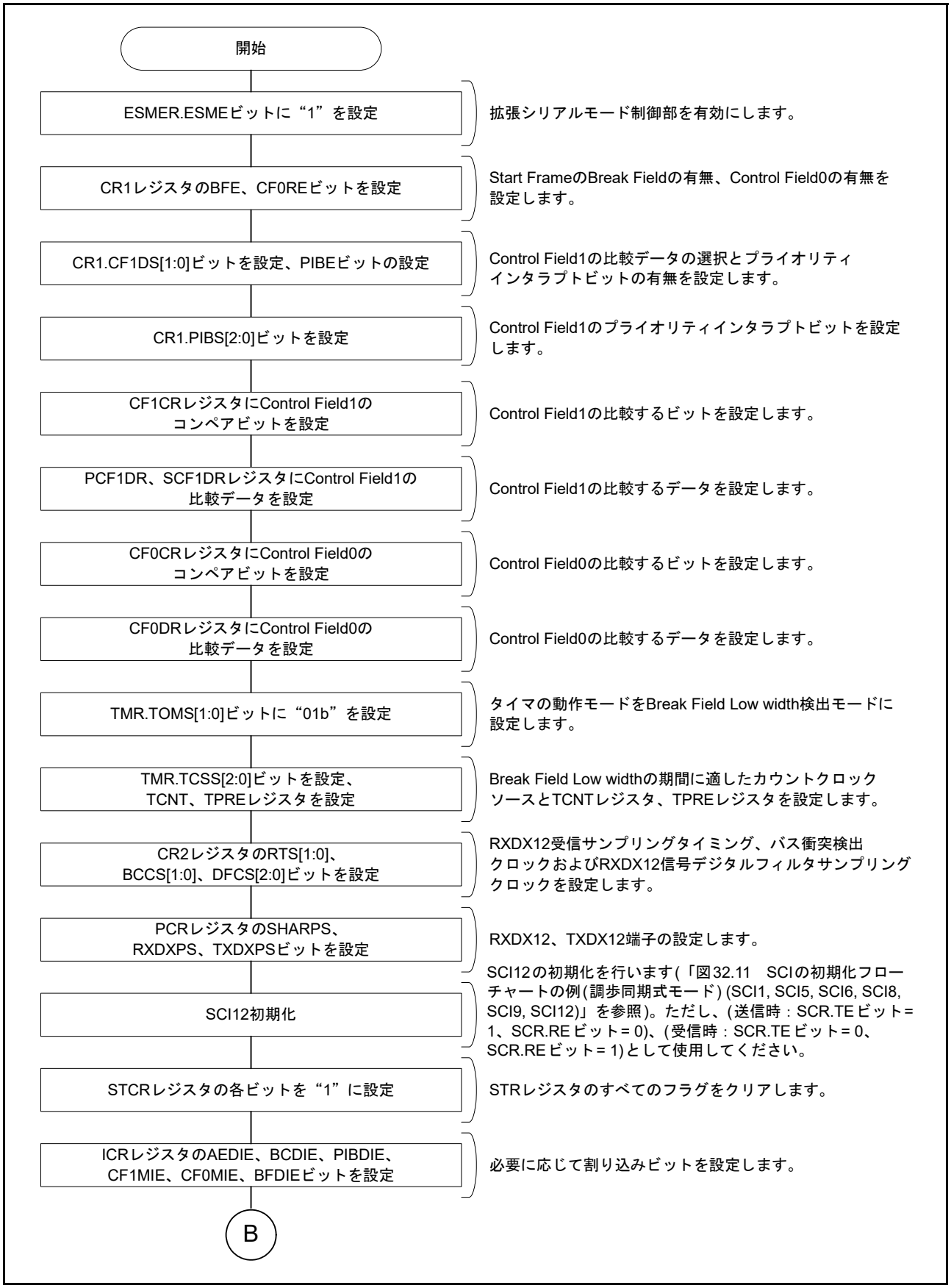


図 32.69　Start Frame 受信フローチャート例 (1)

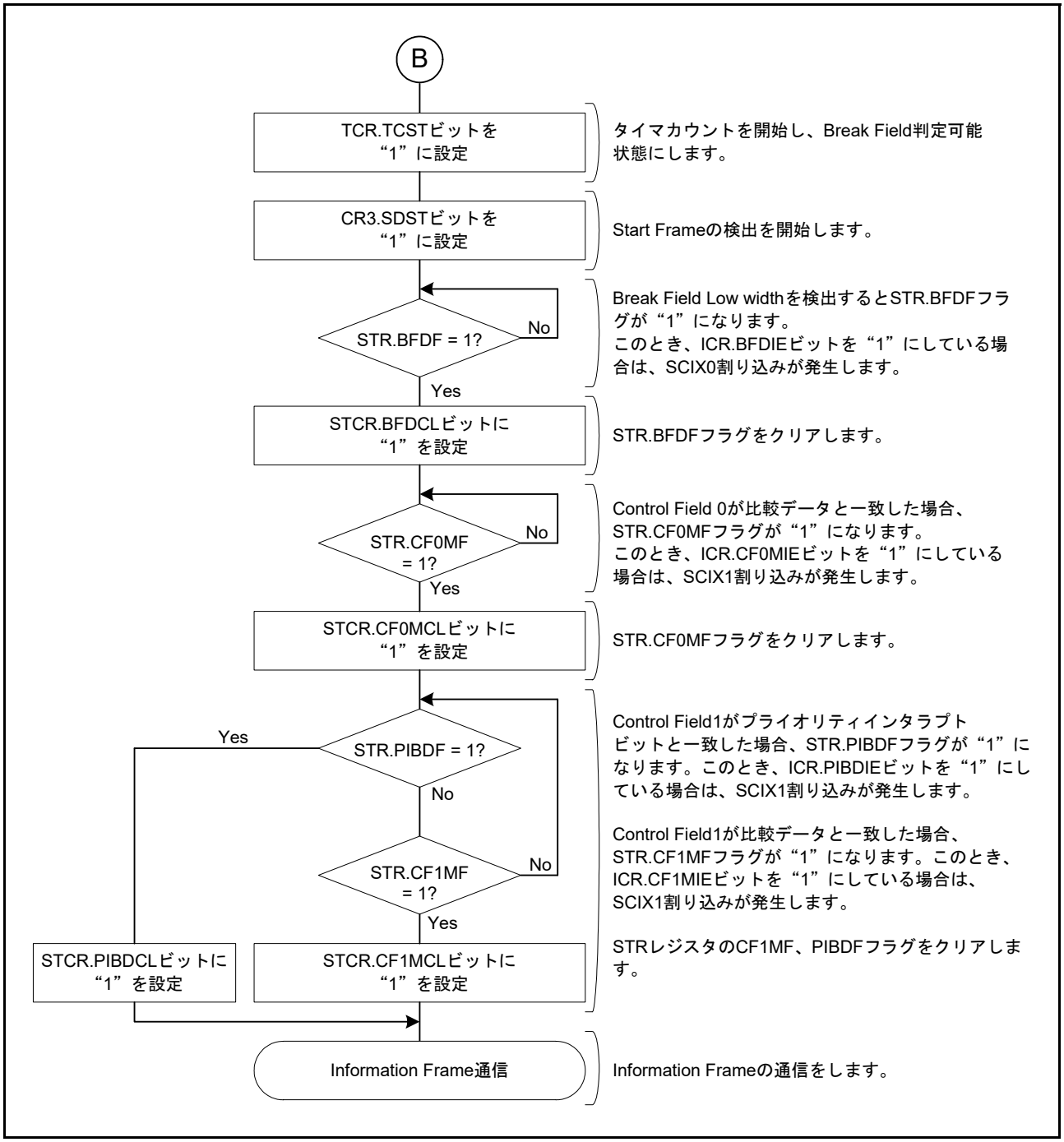


図 32.70　Start Frame 受信フローチャート例 (2)

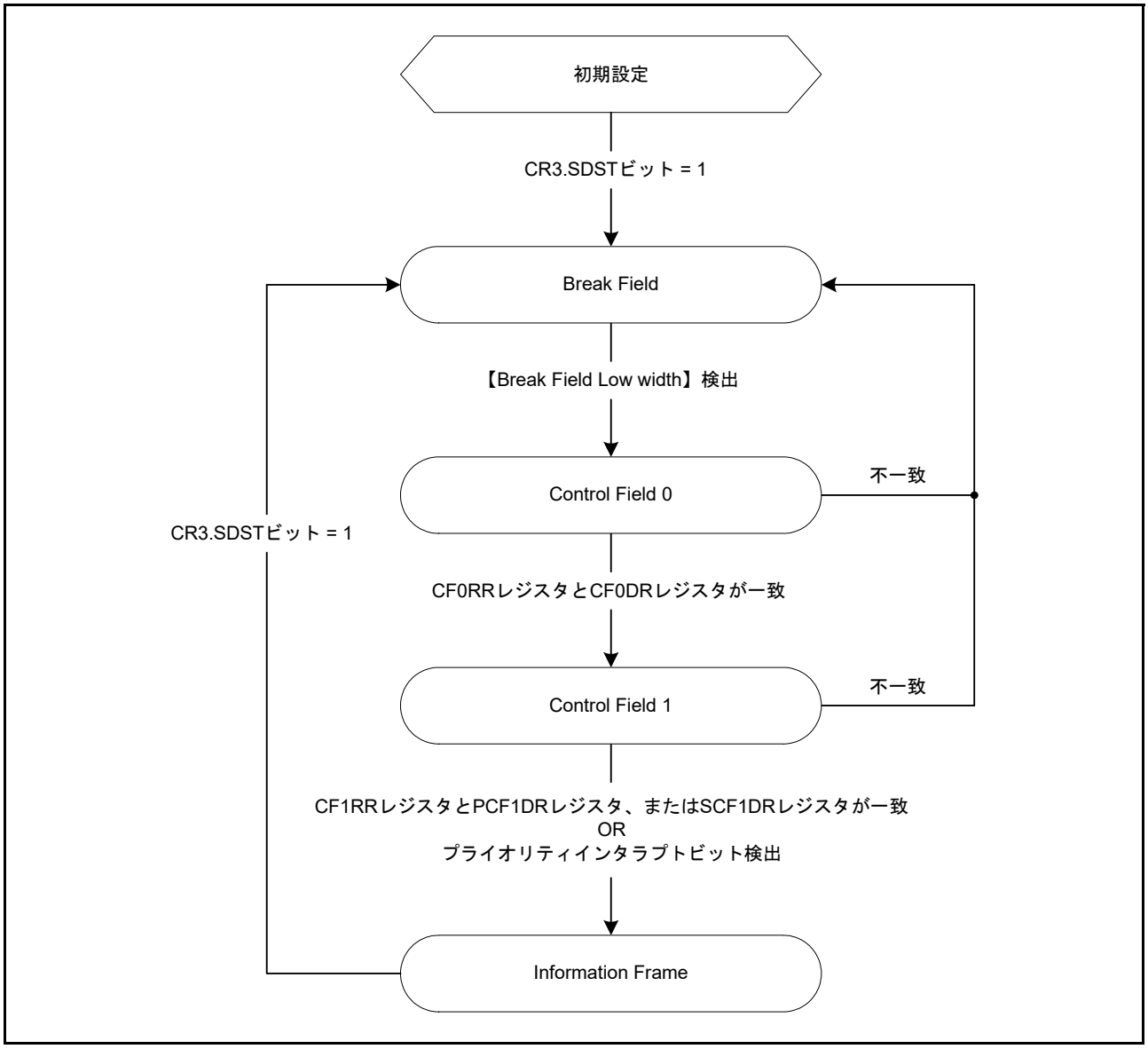


図 32.71　Start Frame 受信時の状態遷移図

32.10.3.1　プライオリティインタラプトビット

図 32.72 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを “1” にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のように動作します。

(1) ～ (4) は図 32.68 の Start Frame 受信時の動作例 (1) ～ (4) と同様になります。

(5) CR1.PIBS[2:0] ビットで指定したビットの値が PCF1DR レジスタに設定した値と一致した場合、STR.PIBDF フラグが “1” になります。また、ICR.PIBDIE ビットを “1” にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

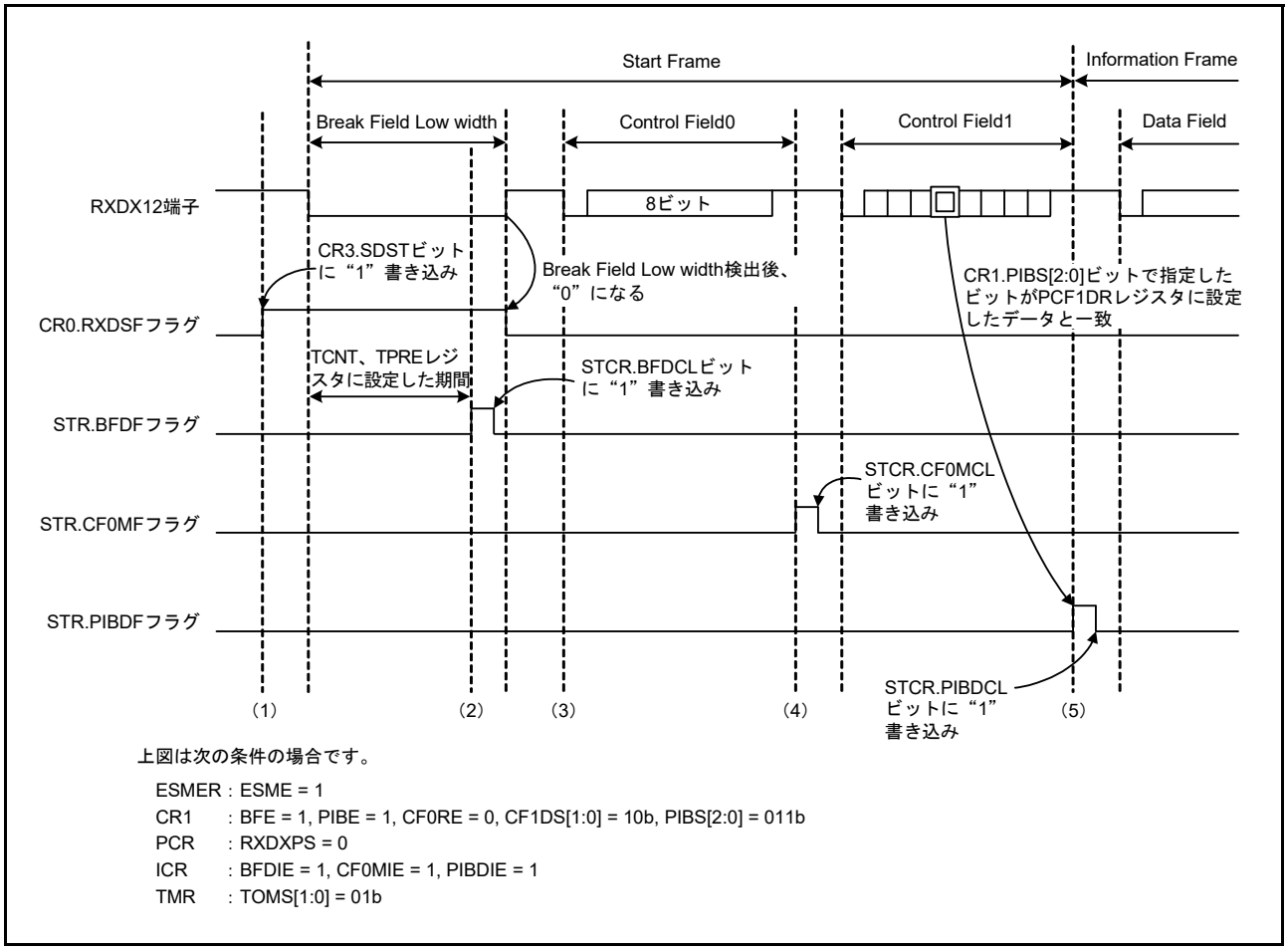


図 32.72　Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

32.10.4 バス衝突検出機能

ESMER.ESME ビット = 1、かつ SCR.TE ビット = 1 の状態で、Break Field Low width 出力中およびデータ送信中にバス衝突検出機能が働きます。

図 32.73 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが “1” になります。また、ICR.BCDIE ビットを “1” にしている場合は、SCIX2 割り込みが発生します。

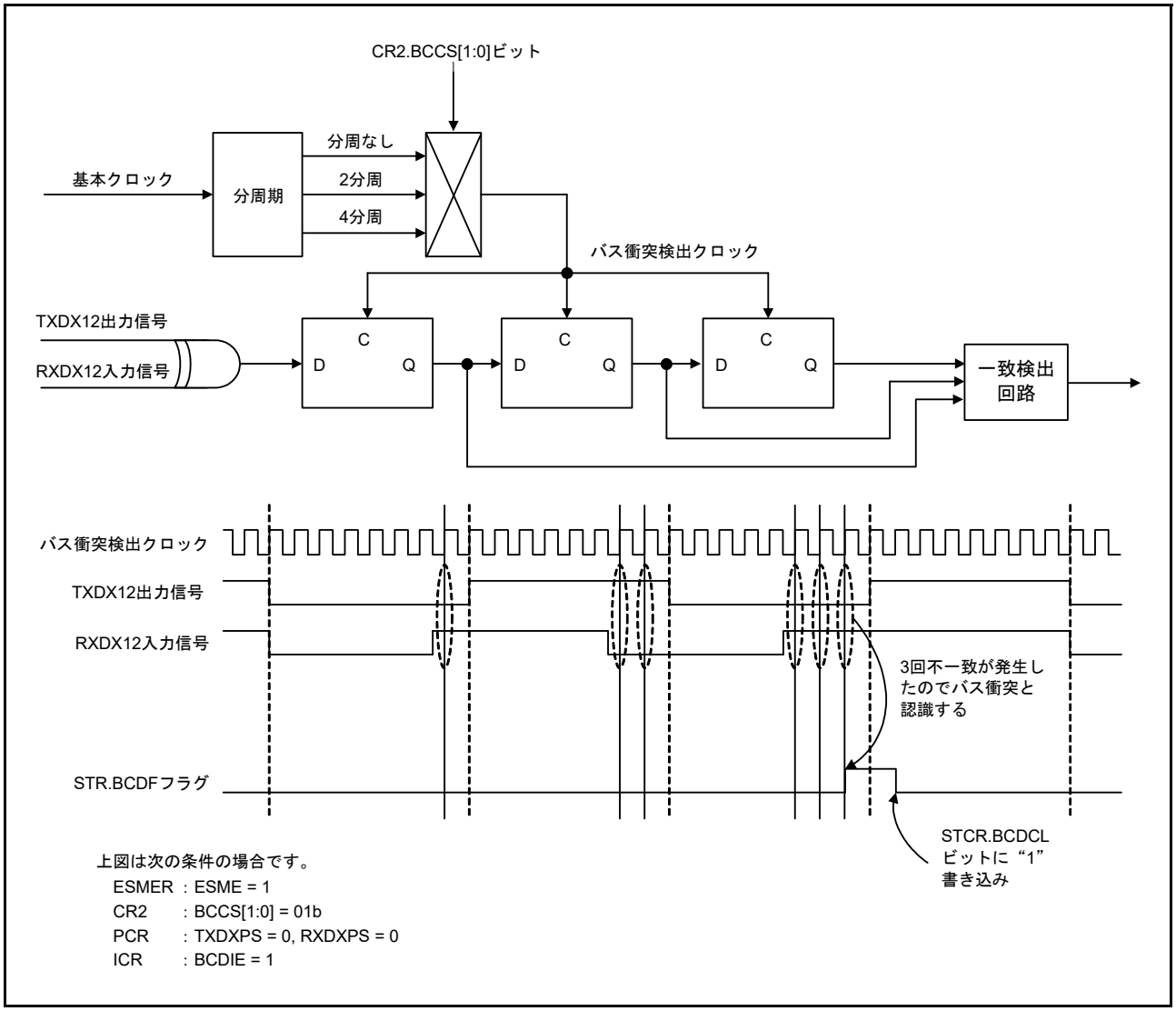


図 32.73　バス衝突検出機能の動作例

32.10.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号は CR2.DFCS[2:0] ビットによって選択されたクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3 サンプリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 32.74 にデジタルフィルタ機能の動作例を示します。

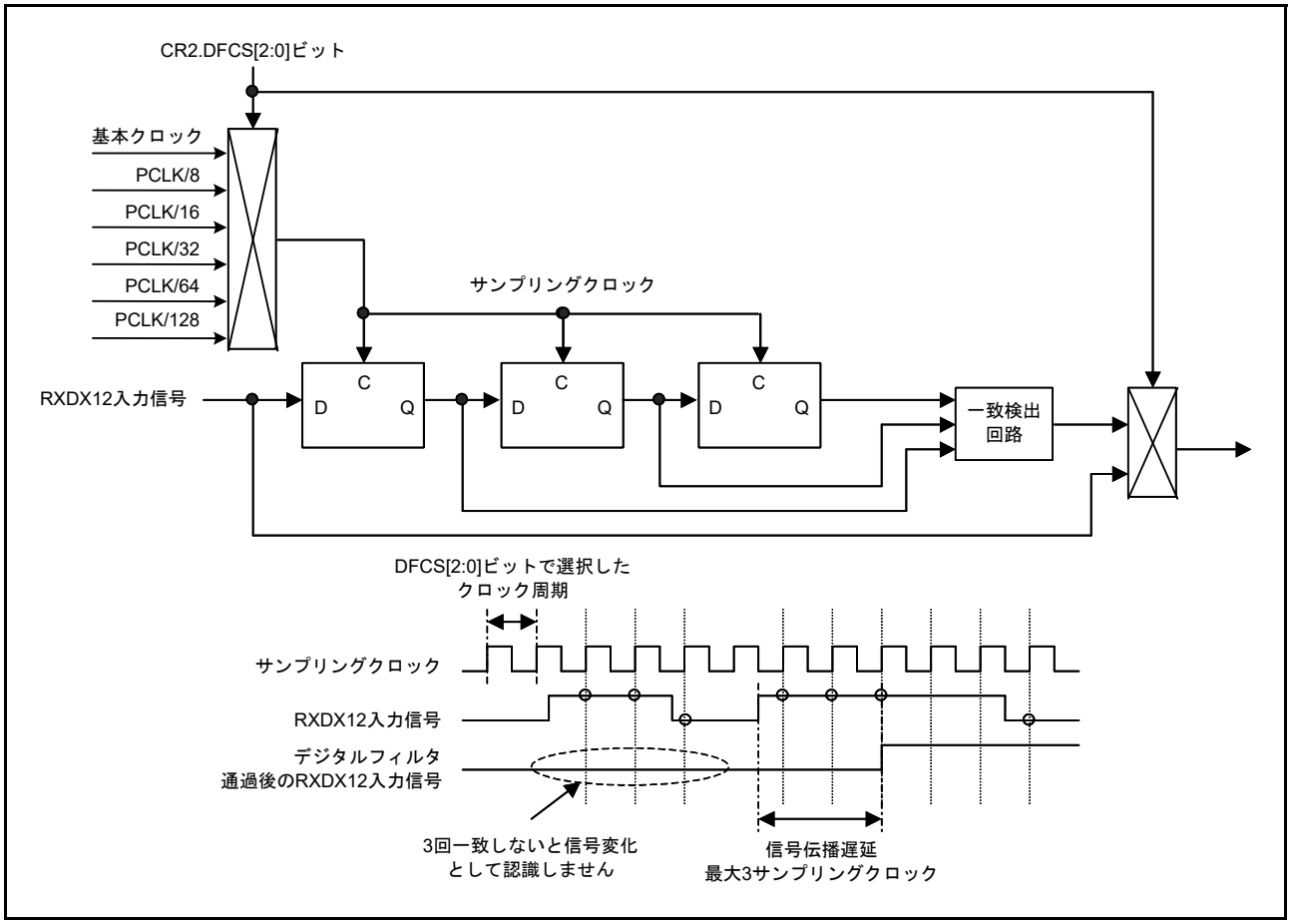
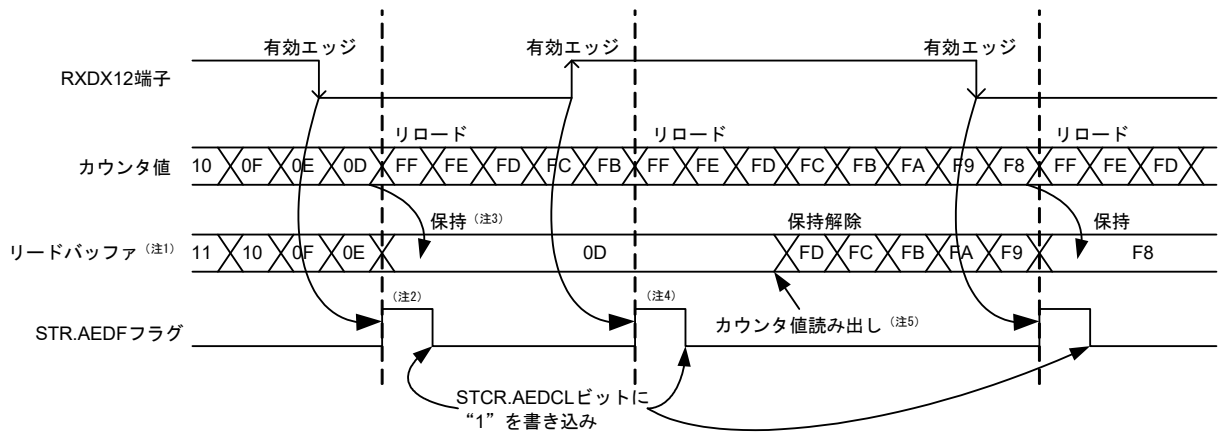


図 32.74　デジタルフィルタ機能の動作例

32.10.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり — 立ち下がり間または、立ち下がり — 立ち上がり間を測定する機能です。図 32.75 にビットレート測定機能の動作例を示します。

(1) CR0.BRME ビットに “1” を書き込むとビットレート測定が有効となります。BRME ビットは、測定を行いたいときのみ “1” を設定してください。また、BRME ビットを “1” にしても Break Field 中は、ビットレートの測定動作を行いません。
(2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
(3) ビットレート測定開始後、RXDX12 端子から有効エッジ (立ち上がりエッジおよび立ち下がりエッジ) が入力されるとタイマはそのときのカウント値をリードバッファに保持し、カウンタをリロードします。ICR.AEDIE ビットを “1” にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE レジスタをリードすることで保持は解除されます。
(4) 有効エッジ間のカウント値からビットレートを算出し、BRR レジスタの設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに “0” を書き込んでください。



注1. TCNT、TPREレジスタを読むと、リードバッファの内容が読めます。
注2. 有効エッジを検出するとSTR.AEDFフラグが “1” になります。
注3. 有効エッジを検出すると、現在のカウンタ値をリードバッファへ保持します。
注4. 一度有効エッジを検出しリードバッファに保持した値は、再び有効エッジを検出しても更新されません。
注5. 有効エッジによりリードバッファに保持された値は、TCNT、TPREレジスタをリードすることで保持が解除されます。

図 32.75 ビットレート測定機能動作例

32.10.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、RXDX12 受信データのサンプリングタイミングを CR2.RTS[1:0] ビットにより、基本クロックの 8 クロック目の立ち上がり、10 クロック目の立ち上がり、12 クロック目の立ち上がりおよび 14 クロック目の立ち上がりから選択することができます。SEMR.ABCS ビットが “1” の場合は基本クロックの 4 クロック目の立ち上がり、5 クロック目の立ち上がり、6 クロック目の立ち上がりおよび 7 クロック目の立ち上がりから選択することができます。図 32.76 に RXDX12 受信データサンプリングタイミングを示します。

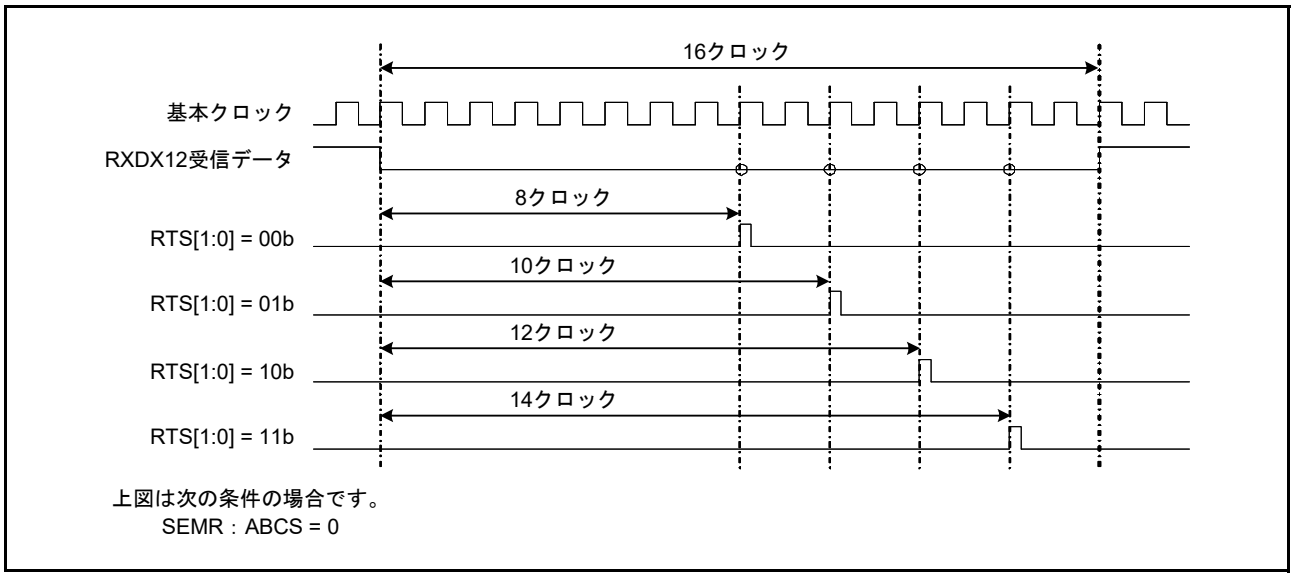


図 32.76　RXDX12 受信データサンプリングタイミング

32.10.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR.TOMS[1:0] ビットを “10b” に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに “1” を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに “0” を書き込むと、TPRE レジスタおよび TCNT レジスタはリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 32.77 に Break Field Low width 出力モードの動作例を示します。

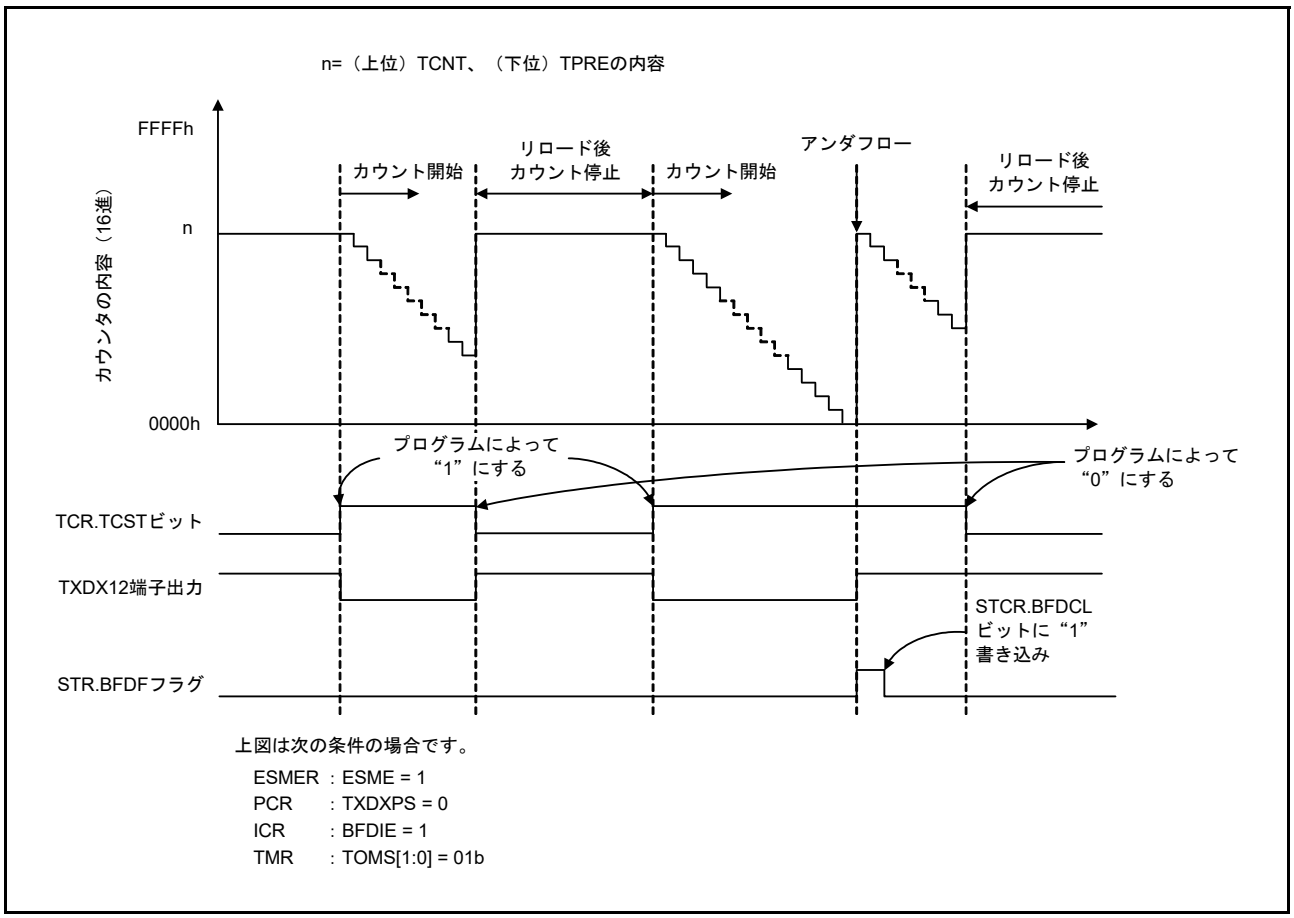


図 32.77　Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR.TOMS[1:0] ビットを “01b” に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに “1” を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRE レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 32.78 に Break Field Low width 判定モードの動作例を示します。

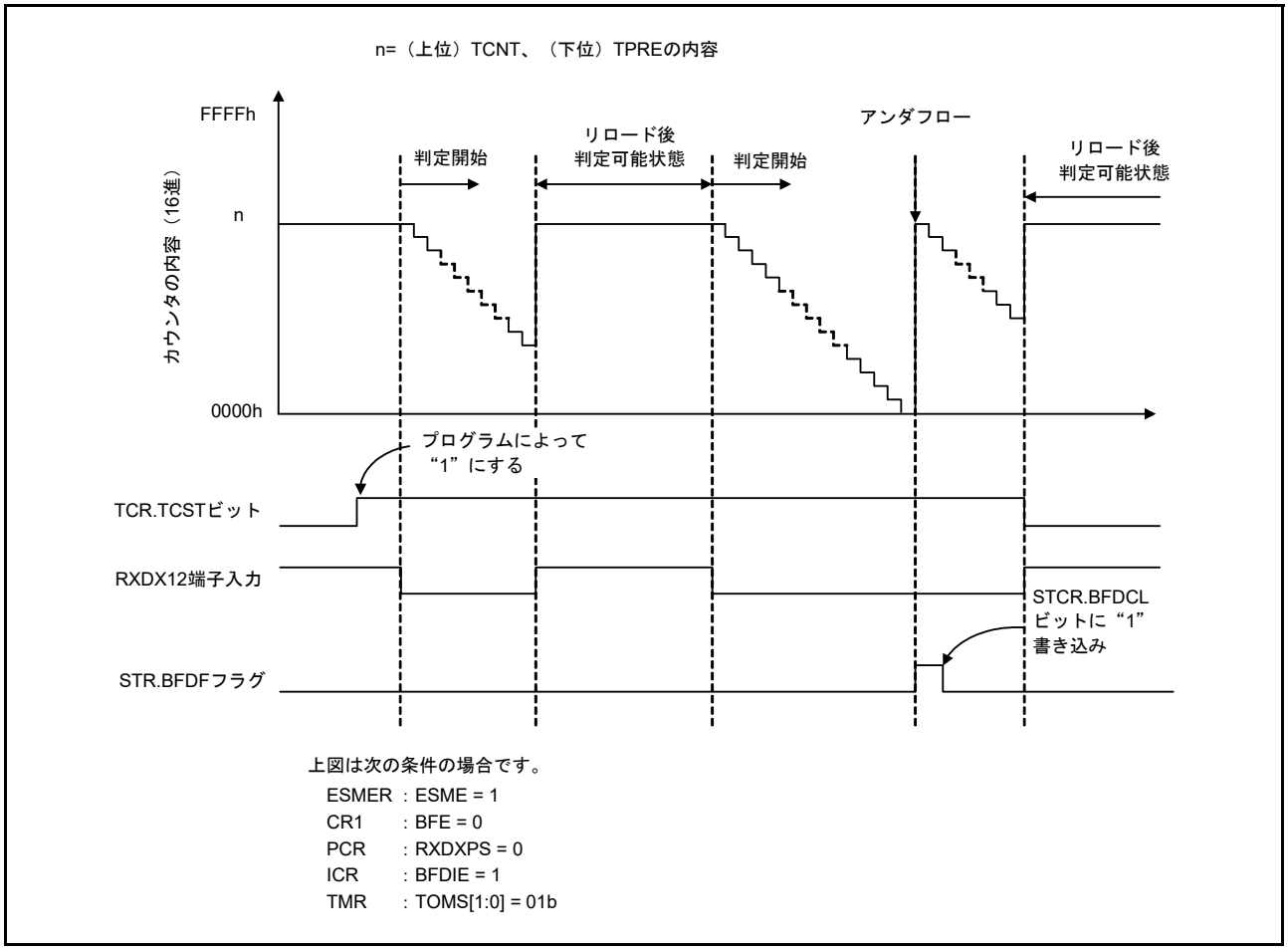


図 32.78　Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0] ビットを “00b” に設定すると、タイマモード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに “1” を書き込むと、カウントを開始し、TCST ビットに “0” を書き込むとカウントを停止します。TPRE レジスタに入力するカウントクロックソースの周期で TPRE レジスタがダウンカウントします。TPRE レジスタのアンダフローをカウントクロックソースにして、TCNT レジスタがダウンカウントします。タイマがアンダフローすると STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。

32.11 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 32.79 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDn の入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期（SEMR.ABCSE = 0 かつ SEMR.ABCS = 0 のとき 1 ビット期間の 1/16、SEMR.ABCSE = 0 かつ SEMR.ABCS = 1 のとき 1 ビット期間の 1/8、SEMR.ABCSE = 1 のとき 1 ビット期間の 1/6）となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ボーレートジェネレータのクロックソースの 1/2/4/8 分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて “1” に初期化され、受信再開時の入力データが “1” の場合は一致検出として内部信号に伝えられます。“0” の場合は 3 回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

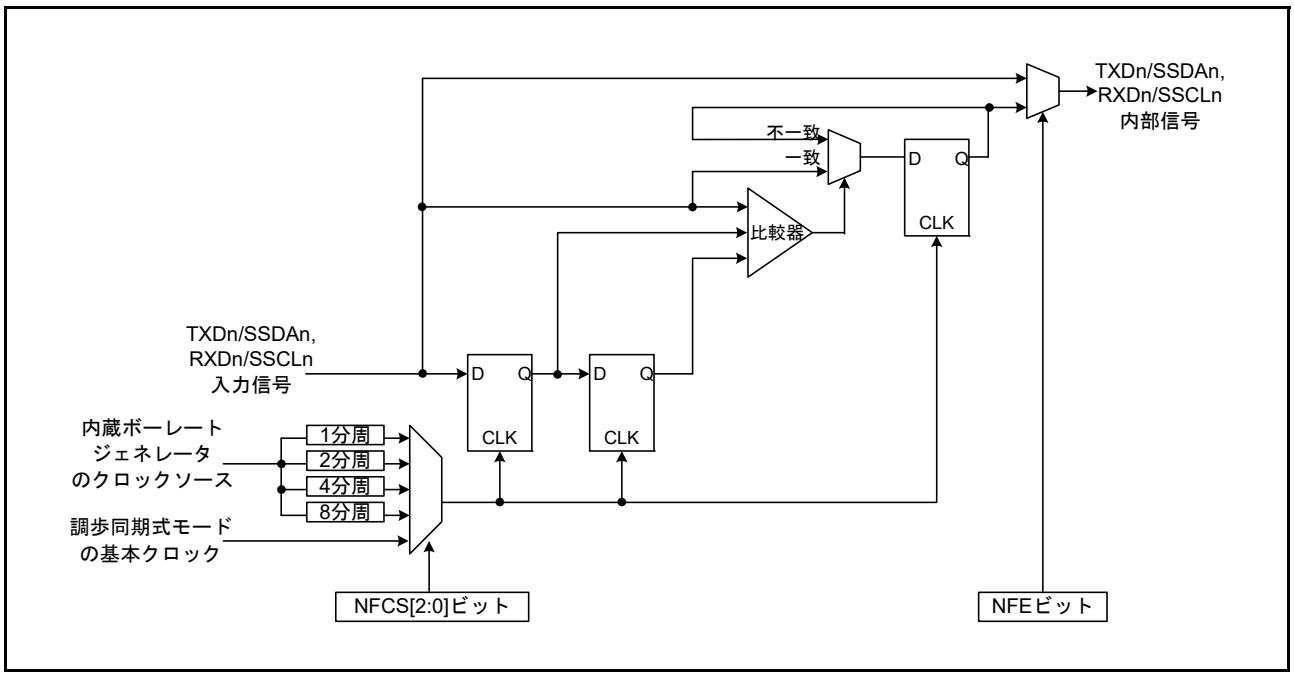


図 32.79　デジタルノイズフィルタのブロック図

32.12 割り込み要因

32.12.1 TXI 割り込みおよび RXI 割り込みバッファ動作

(1) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが “1” のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが “0” になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を “0” にすることでもクリアできます。

(2) FIFO 有効の SCI11 の場合

FCR.FM ビットが “1” の場合は、割り込み要求の内部保持は行われません。割り込みコントローラの割り込みステータスフラグが “1” のときに割り込み発生条件が成立した場合、ステータスフラグの更新は行われますが、割り込み要求は生成されません。

32.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

(1) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合

表 32.36 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが “1” のとき、送信データが TDR レジスタ、または TDRL レジスタ (注 1) から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを “1” にした後で SCR.TE ビットを “1” にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に “1” にすることでも発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが “0” の状態で SCR.TE ビットを “1” にした場合、および SCR.TE ビットが “1” の状態で SCR.TIE ビットを “1” にした場合には発生しません。(注 2)

ただし、SCR.TIE ビットが “1” の状態で SCR.TE ビットを “0” にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが “1” のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ (注 1) に次のデータをライトしていないと SSR.TEND フラグが “1” になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを “1” にしてから TDR レジスタ、または TDRL レジスタ (注 1) に送信データをライトするまでの間は、SSR.TEND フラグは “1” を保持しており、SCR.TEIE ビットを “1” にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ (注 1) にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが “1” のとき、受信データが RDR レジスタ、または RDRL レジスタ (注 1) に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが “1” のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが “1” になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1.　調歩同期式モードかつデータ長 9 ビットを選択した場合

注 2.　最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表32.36　SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー	ORER, FER, PER, DFER (注 1), DPER (注 1)	不可能	不可能
RXI	受信データフル	RDRF	可能	可能
	データ一致 (注1)	DCMF (注 1)		
TXI	送信データエンプティ	TDRE	可能	可能
TEI	送信終了	TEND	不可能	不可能

注1.　SCI1、SCI5、SCI6、SCI8、SCI9、SCI11にのみ存在します。

(2)　FIFO 有効の SCI11 の場合

表 32.37 に FIFO 有効時の調歩同期式モード、クロック同期式モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが “1” のとき、送信 FIFO 内の未送信データの数がしきい値 (FCR.TTRG[3:0]) 以下になると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TE ビットを “1” にした後で SCR.TIE ビットを “1” にするか、SCR.TIE ビットと SCR.TE ビットを同時に “1” にすることでも発生します。

TXI 割り込み要求は、SCR.TIE ビットが “0” の状態で SCR.TE ビットを “1” にした場合や、SCR.TIE ビットが “1” の状態で SCR.TE ビットを “1” にした場合には発生しません。

ただし、SCR.TE ビットが “0” の状態で SCR.TIE ビットを “1” にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが “1” のとき、送信データの最終ビットを送信するタイミングまでに FTDR レジスタに次のデータをライトしていないと、SSRFIFO.TEND フラグが “1” になり、TEI 割り込み要求が発生します。

SCR.RIE ビットが “1” のとき、受信 FIFO に格納されたデータの数がしきい値 (FCR.RTRG[3:0]) 以上になると、RXI 割り込み要求が発生します。

SCR.RIE ビットが “1” のとき、SSRFIFO.ORER フラグが “1” になるか、フレーミングエラーまたはパリティエラーの発生したデータが受信 FIFO に格納されると、ERI 割り込み要求が発生します。このとき受信 FIFO に格納されたデータの数がしきい値 (FCR.RTRG[3:0]) 以上であると、RXI 割り込み要求も発生します。SSRFIFO レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

表32.37　SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー	ORER, FER, PER, DFER, DPER	不可能	不可能
		DR (FCR.DRES = 1 の場合)		
RXI	受信FIFOフル	RDF	可能	可能
	受信データレディ	DR (FCR.DRES = 0 の場合)		
	データ一致	DCMF		
TXI	送信FIFOエンプティ	TDRE	可能	可能
TEI	送信終了	TEND	不可能	不可能

32.12.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 32.38 の割り込み要因があります。送信終了割り込み(TEI) 要求は使用できません。

表32.38 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能	不可能
RXI	受信データフル	—	可能	可能
TXI	送信データエンプティ	TEND	可能	可能

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが “1” になると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に “0” になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは “0” のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「18. データトランスファコントローラ (DTCa)」、「17. DMA コントローラ (DMACAa)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

32.12.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 32.39 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが “1” のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目（アクノリッジビット）の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが “0” のとき、9 ビット目（アクノリッジビット）の SSCLn 端子立ち上がりで、SSDAn 端子入力が Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開始条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 32.39　SCI割り込み要因

名称	割り込み要因		割り込みフラグ	DTCの起動	DMACの起動
	IICINTMビット= 0	IICINTMビット= 1			
RXI	ACK検出	受信	—	可能	可能
TXI	NACK検出	送信	—	可能 (注 1)	可能 (注 1)
STI	開始条件、再開始条件、停止条件生成終了		IICSTIF	不可能	不可能

注 1.　SIMR2.IICINTM ビット= 1 (受信割り込み、送信割り込みを選択)の場合のみDTC、DMACの起動が可能です。

32.12.5 拡張シリアルモード制御部の割り込み要求

SCIh の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが “1” になります。表 32.40 に各割り込み要求の内容を示します。

表32.40　拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0割り込み (Break Field Low width検出)	BFDF	• タイマに設定した期間より長いBreak Field Low widthを検出したとき • タイマに設定した期間、Break Field Low width出力が完了したとき • タイマがアンダフローしたとき
SCIX1割り込み (Control Field 0一致)	CF0MF	Control Field 0の受信データがCF0DRに設定したデータと一致したとき
SCIX1割り込み (Control Field 1一致)	CF1MF	Control Field 1の受信データがPCF1DRまたはSCF1DRに設定したデータと一致したとき
SCIX1割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータがPCF1DRに設定したデータと一致したとき
SCIX2割り込み (バス衝突検出)	BCDF	TXDX12端子の出力とRXDX12端子の入力をバス衝突検出クロックでサンプリングし、3回連続不一致が発生とき
SCIX3割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

32.13 イベントリンク機能

SCI5 は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが “1” の状態で次の割り込み要因が発生した場合でもイベントは出力可能です。

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。

(2) 受信データフルイベント出力

- 受信データがレシーブデータレジスタ (RDR レジスタ、または RDRL レジスタ) にセットされたことを示します。
- 簡易 I^2C モードで、SIMR2.IICINTM ビットが “0” のとき、ACK を検出したことを示します。
- 簡易 I^2C モードで、SIMR2.IICINTM ビットが “1” のとき、8 ビット目の SSCL5 端子立ち下がりを検出したことを示します。
- 簡易 I^2C モードのマスタ送信かつ SIMR2.IICINTM ビットが “1” のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンプティイベント出力

- SCR.TE ビットが “0” から “1” に変化したことを示します。
- トランスミットデータレジスタ (TDR レジスタ、または TDRL レジスタ) からトランスミットシフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I^2C モードで、SIMR2.IICINTM ビットが “0” のとき、NACK を検出したことを示します。
- 簡易 I^2C モードで、SIMR2.IICINTM ビットが “1” のとき、9 ビット目の SSCL5 端子立ち下がりを検出したことを示します。

(4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 I^2C モードで開始条件、再開始条件、停止条件の生成が完了したことを示します。

32.14 使用上の注意事項

32.14.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) とモジュールストップコントロールレジスタ C (MSTPCRC) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「**11. 消費電力低減機能**」を参照してください。

32.14.2 ブレークの検出と処理について

(1) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すか、SCI1、SCI5、SCI6、SCI8、SCI9、SCI11 では SPTR.RXDMON フラグの値を読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.FER フラグが “1”（フレーミングエラーの発生あり）になり、また SSR.PER フラグも “1”（パリティエラーの発生あり）になる可能性があります。SEMR.RXDESEL ビットが “0” のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを “0”（フレーミングエラーの発生なし）にしても、再び FER フラグが “1” になりますので注意してください。SEMR.RXDESEL ビットが “1” のとき、SCI は、SSR.FER フラグを “1” にし、次のフレームのスタートビット検出待ちの状態で受信動作を停止します。このとき SSR.FER フラグを “0” にすれば、ブレーク中は SSR.FER フラグの “0” を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりでスタートビットの始まりを検出し、受信動作を開始します。

(2) FIFO 有効の SCI11 の場合

フレーミングエラーを検出した後、さらに 1 フレーム分の受信データがすべて “0” であると、受信動作を停止します。フレーミングエラー検出時に、SPTR.RXDMON フラグの値をリードすることでブレークを検出できます。なお、RXDn 端子が High になりブレークが終了した後は、受信動作が再開します。

32.14.3 マーク状態とブレークの送出

SCR.TE ビットが “0” (シリアル送信動作を禁止) のとき、TXDn 端子はハイインピーダンスになります。このとき TXDn 端子を強制的にマーク / スペース状態にするには、I/O ポート関連のレジスタを設定して TXDn 端子を汎用出力ポートに切り替えてください。

SCR.TE ビットを “1” (シリアル送信動作を許可) にするまで、通信回線をマーク状態 (“1” の状態) にするためには、対応する PODR レジスタのビットを “1” にして、汎用出力ポートから High を出力します。通信を開始する場合、TE ビットを “1” にしてから PMR レジスタの対応するビットを “1” にしてください。

データ送信時にブレーク (一定期間以上連続したスペース) を送出したいときは、対応する PODR レジスタのビットを “0” (Low 出力) にした後、PMR レジスタの対応するビットを “0” (汎用入出力ポート) にします。TE ビットを “0” にする場合、この後実施してください。TE ビットを “0” にすると現在の送信状態とは無関係に送信部は初期化されます。

SPTR レジスタがある場合、汎用出力ポートに切り替えることなくマーク / スペースを出力できます。SPTR.SPB2IO ビットを “1” (出力)、SPB2DT ビットを “1” (マーク) または “0” (スペース) にした後、TE ビットを “0” にしてください。

32.14.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が “1” になった状態では、TDR レジスタ (FTDR レジスタ) にデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを “0” にしておいてください。また、SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても受信エラーフラグは “0” になりませんので注意してください。

32.14.5 TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

32.14.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

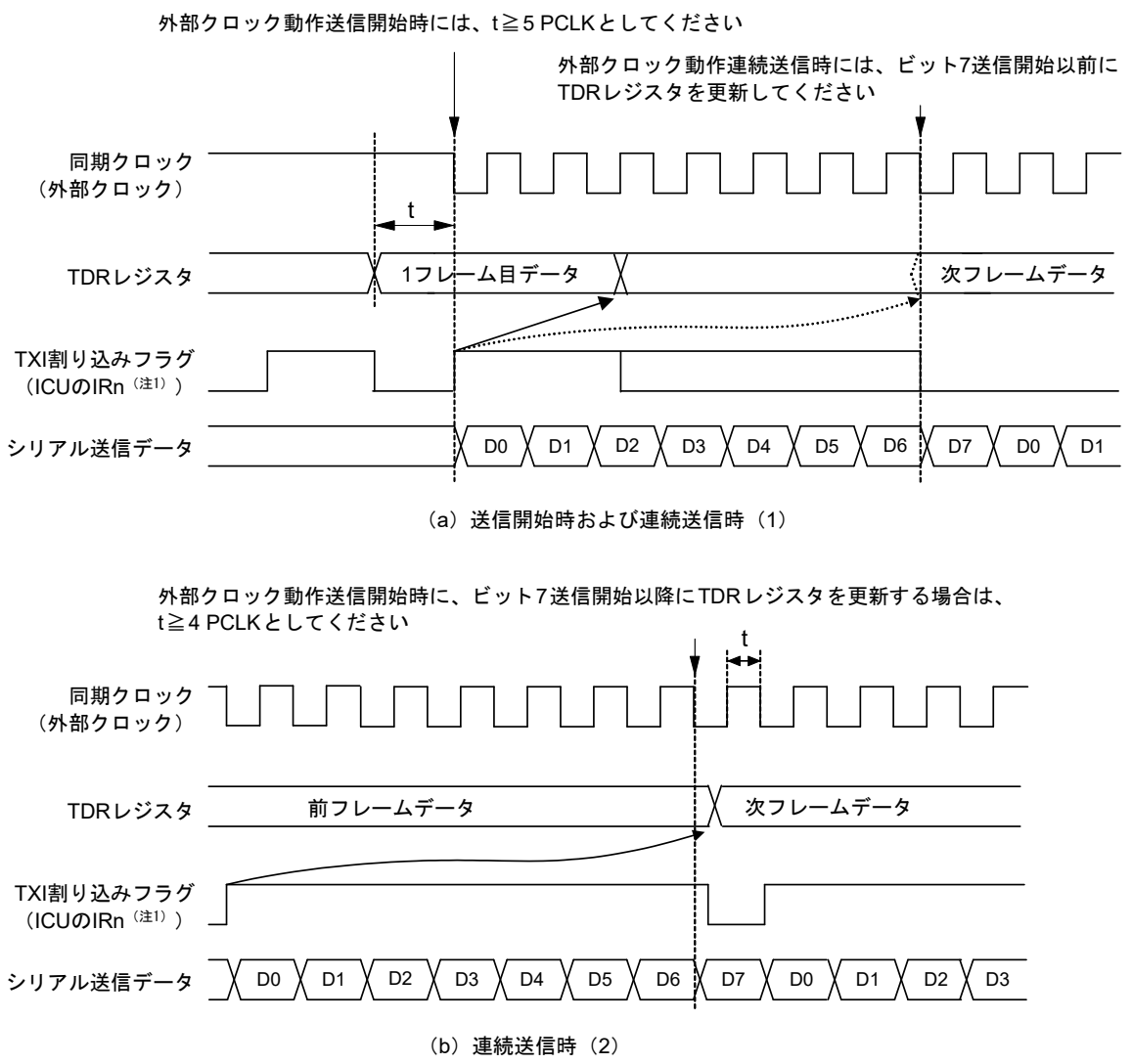
(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください（図 32.80 参照）。

(2) 連続送信時

(a) ビット7の送信クロックの立ち下がり以前に、TDR レジスタまたはTDRL レジスタに次の送信データを書き込んでください（図32.80参照）。

(b) ビット7送信開始以降にTDR レジスタを更新する場合は、同期クロックがLowの期間にTDR レジスタを更新し、かつビット7の送信クロックのHigh幅を、4 PCLK以上にしてください（図32.80参照）。



注1. 対応する割り込みベクタ番号は「14. 割り込みコントローラ(ICUC)」を参照してください。

図 32.80 クロック同期式モード送信での外部クロック使用の制約事項

32.14.7 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR、RDRH、RDRL レジスタのリードを行うときは起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

32.14.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ（IRn.IR ビット）が “1” のときは、動作許可（SCR.TE ビットを “1” に設定、または SCR.RE ビットを “1” に設定）前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUC)」を参照してください。

- 通信が停止していること（SCR.TE ビットまたは SCR.RE ビットが “0” となっていること）を確認
- 対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を “0” に設定
- 対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を読み出し、“0” を確認
- 割り込みコントローラの割り込みステータスフラグ（IRn.IR ビット）に “0” を設定

32.14.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えるか、SPTR レジスタで出力レベルを固定 (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11) した後、動作を停止（SCR.TIE ビット = 0、TE ビット = 0、TEIE ビット = 0）してから行ってください。TE ビットを “0” にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。なお、SCI11 の SSRFIFO.TEND フラグは初期化されません。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定または SPTR レジスタの設定 (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11) に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット = 1 に設定し、SSR レジスタリード→ TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 32.81 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 32.82、図 32.83 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC/DMA 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止（TE ビット = 0）してから行ってください。解除後、DTC/DMAC による送信を再開する場合は、TE ビット = 1、TIE ビット = 1 に設定すると TXI 割り込みフラグが立ち、DTC/DMAC による送信が始まります。

(2) 受信

(a) 低消費電力状態の解除に、データ一致機能を使用しない場合

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止（SCR.RE ビット = 0）してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット = 1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 32.84 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

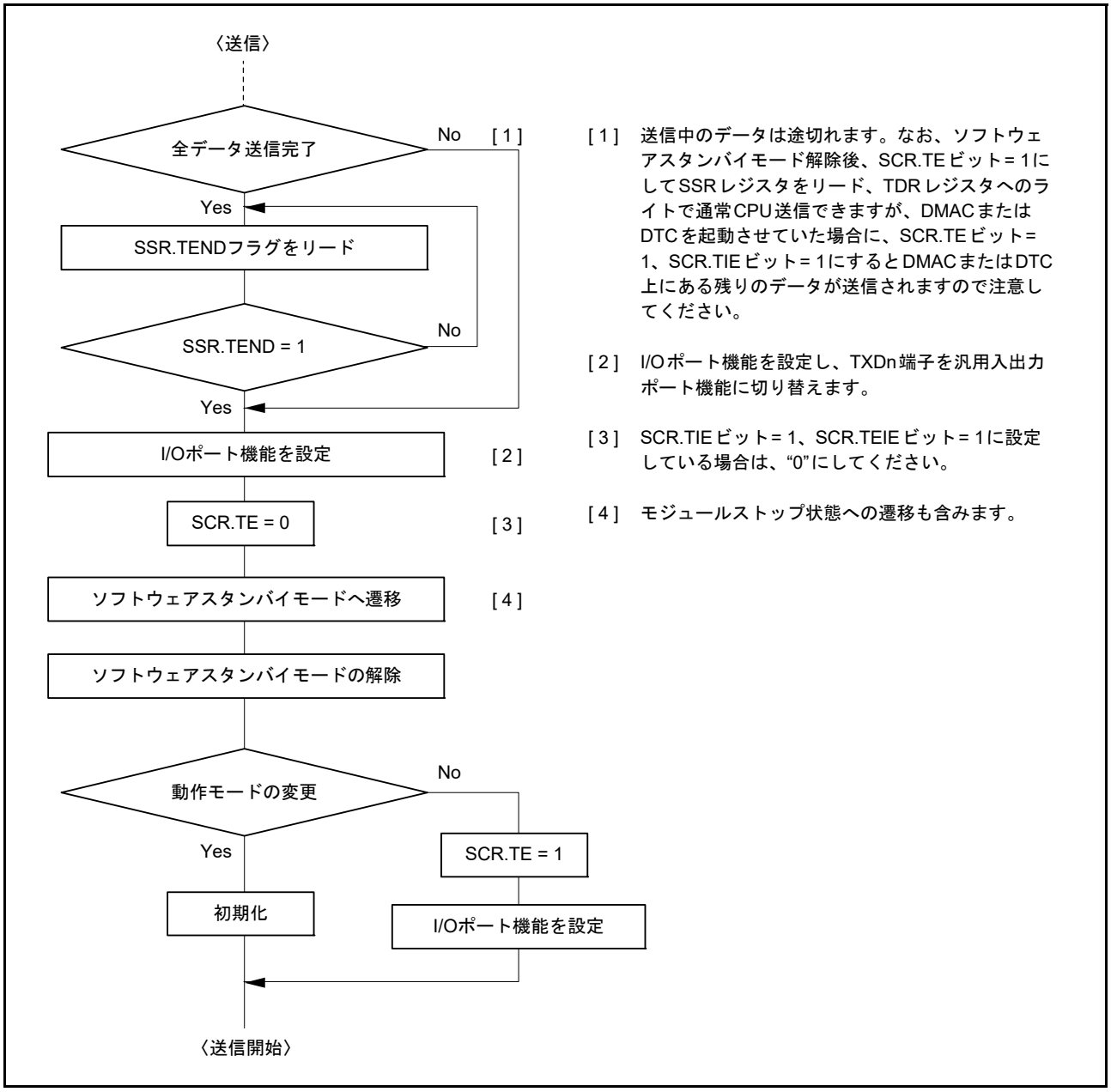


図 32.81　送信時のソフトウェアスタンバイモード遷移フローチャートの例

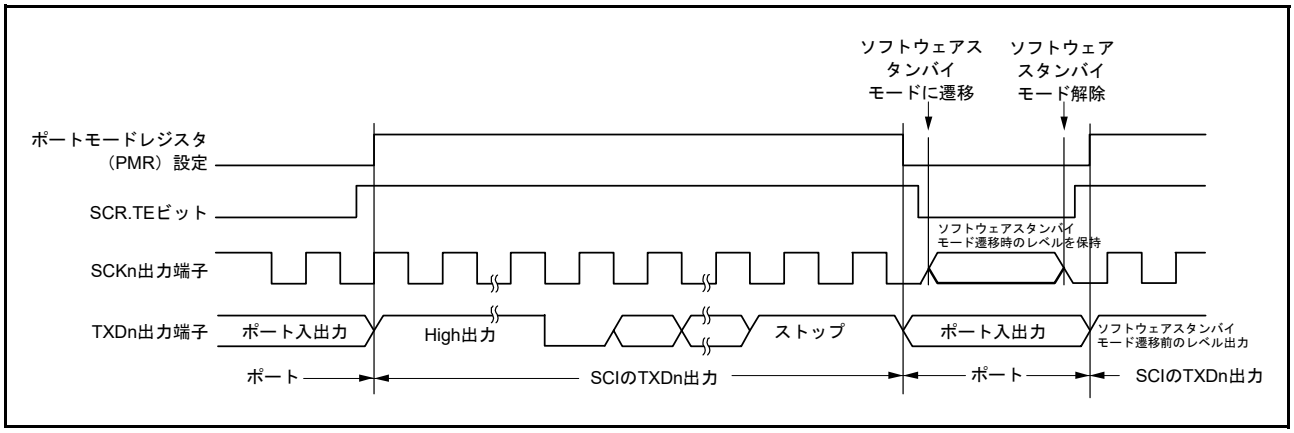


図 32.82　ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

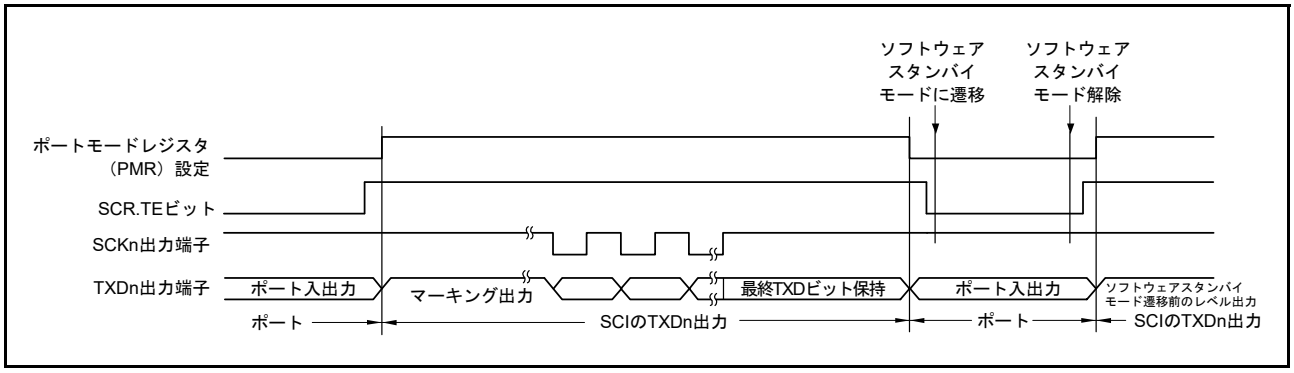


図 32.83　ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

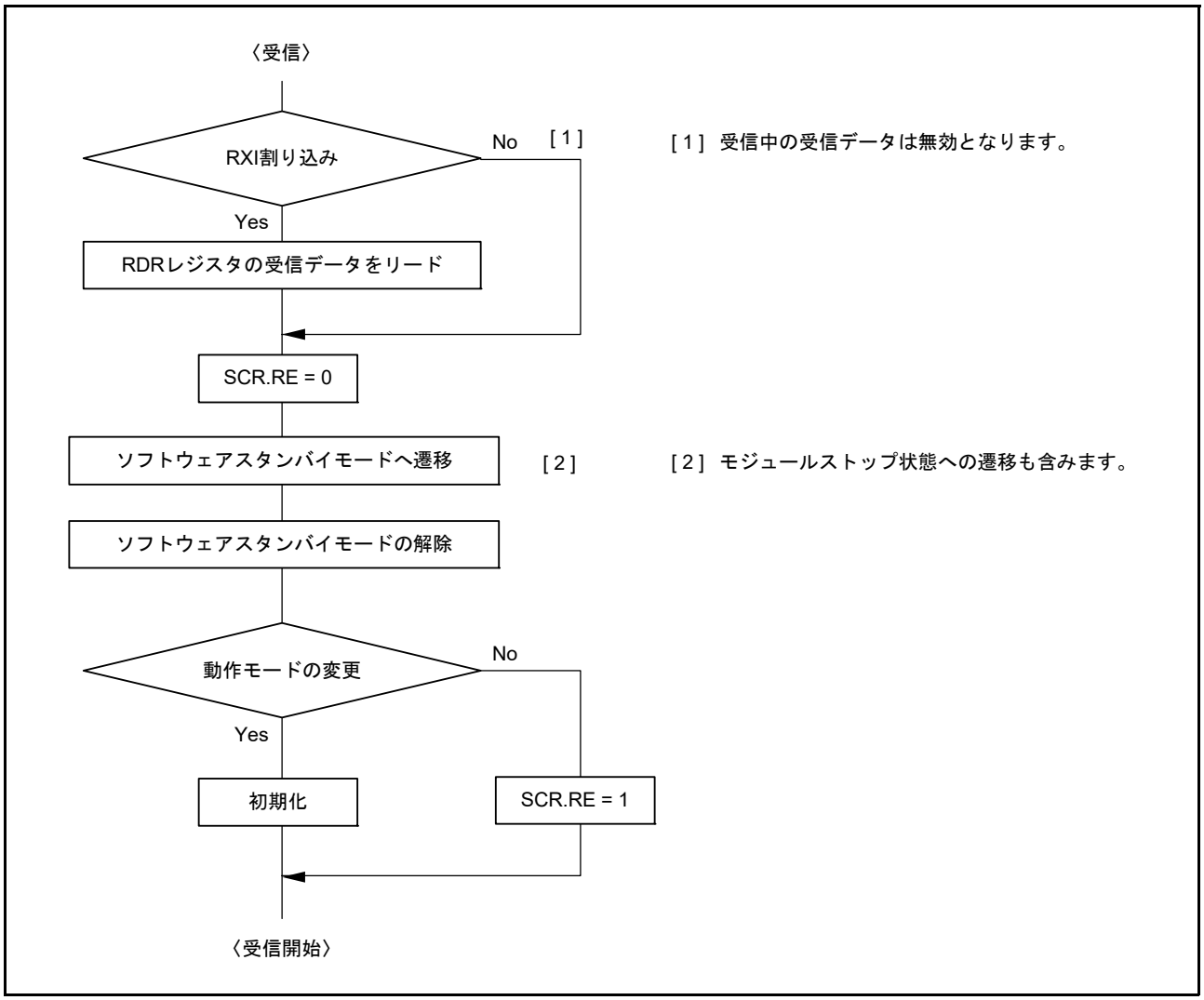


図 32.84　受信時のソフトウェアスタンバイモード遷移フローチャートの例

(b) 低消費電力状態の解除に、データ一致機能を使用する場合

消費電力低減機能を使用し、SCI の消費電力を低減する前に、消費電力解除後の動作モードを設定してください。その後、CDR.CMPD[8:0] ビットに比較データを設定し、DCCR.DCME ビットを “1” にしてから、SCR.RE ビットを “1” にしたままで、低消費電力状態に遷移してください。

RXDn 端子が Low のときに低消費電力状態に遷移する可能性があるときは SEMR.RXDESEL ビットを “0” に設定してください。SEMR.RXDESEL ビットが “1” の場合、低消費電力状態解除時にスタートビットを検出できないことがあります。

32.14.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

32.14.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.SSE ビットが “1” のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
  SCR.TE ビットを “0” にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを “0” から “1” にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが “0” のときは、SCR.TE ビットを “0” にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット = 1) の場合、図 32.85 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に “0” に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

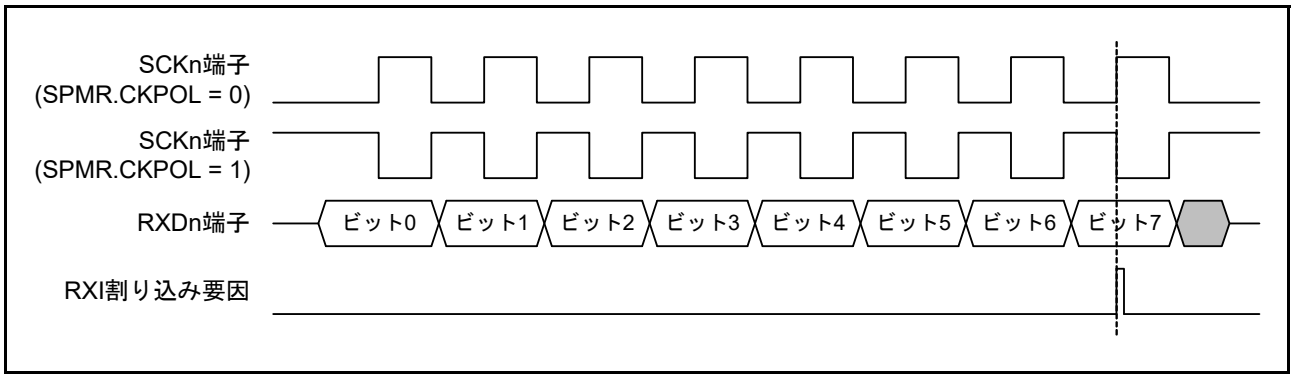


図 32.85　簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから外部クロック入力開始まで 5 PCLK 以上の時間を確保し、また SSn# 端子への Low 入力から外部クロック入力開始までについても 5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを “0” にし、再設定後、1 バイト目から転送をやり直してください。

32.14.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR.SHARPS ビットを “1” にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- タイマを Break Field Low width 出力モードで TCR.TCST ビットを “1” にしたとき
（TCR.TCST ビットを “1” にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。）
- SCR.TE ビットが “1” のとき

32.14.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、TXI、RXI、ERI、TEI 割り込み要求は生成されます。Start Frame 受信中は拡張シリアルモード制御部が受信データフル信号を使用するため、RXI 割り込みを許可しないでください。Information Frame 受信時に RXI 割り込みを使用する場合、以下のいずれかの手順で使用してください。なお、受信エラーを検出したときは、図 32.86 のフローチャートの例に従って受信エラーフラグのクリアと拡張シリアルモード制御部の初期化を実施してください。

(1) SCR.RIE ビットを “0” にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、Start Frame の受信終了タイミングで、SSR レジスタのエラーフラグを確認してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、SCR.RIE ビットを “1” に切り替えてください。

(2) SCR.RIE ビットを “1” にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り替えてください。

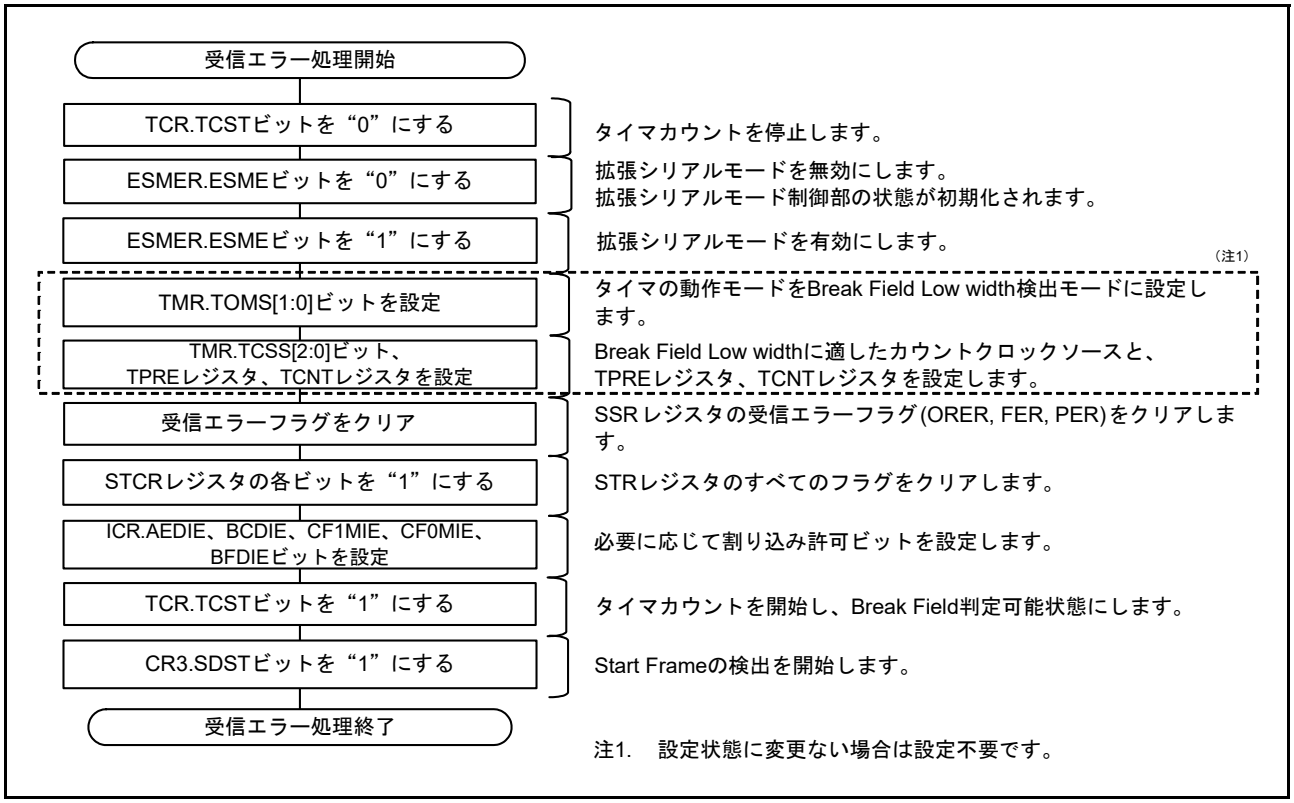


図 32.86　受信エラー処理のフローチャートの例 (Start Frame 受信中)

32.14.14　トランスミットイネーブルビット (TE ビット) に関する注意事項

SCR.TE ビットが “0” (シリアル送信動作を禁止) のときに端子の機能を「TXDn」にしたり、端子の機能が「TXDn」になっているときに TE ビットを “0” にしたりすると、TXDn 端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

(1) TXDn ラインにプルアップ抵抗を接続する。

(2) TE ビットを “1” にしてから、端子の機能を「TXDn」に切り替える (注 1)。また、TE ビットを “0” にする前に、端子の機能を「汎用入出力ポート」に切り替えて、High または Low を出力させる。

(3) SPTR.SPB2IO ビットを “1” にしてから、端子の機能を「TXDn」にする。また、その後も SPB2IO ビットを “1” にしたままにする (SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)。

注 1. TXI 割り込みが許可されているときに TE ビットを “1” にすると、割り込みが発生します (SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、および FIFO 無効の SCI11 の場合)。このことが問題になる場合は、端子の機能を「TXDn」にした後に、対応する ICU.IERm.IENj ビットを “1” にしてください。

32.14.15　調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

調歩同期式モードでは、SCR.RE ビットを “0” にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを “0” にしてから RDR (または RDRL) レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが “0” になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

33. I2C バスインタフェース (RIICa)

本 MCU は、1 チャネルの I2C バスインタフェース (RIIC0) を内蔵しています。

RIIC は、NXP 社が提唱する I2C バス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

33.1 概要

表 33.1 に RIIC の仕様を、図 33.1 に RIIC のブロック図を、表 33.2 に RIIC で使用する入出力端子を示します。

表33.1 RIICの仕様 (1/2)

項目	内容
通信フォーマット	• I2Cバスフォーマット/SMBusフォーマット • マスタ/スレーブ選択可能 • 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応(～400 kbps)
シリアルクロック(SCL)	マスタ時、SCLのデューティ比を4%～96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、 スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	• 異なるスレーブアドレスを3種類まで設定可能 • 7ビット/10ビットアドレスフォーマット対応(混在可能) • ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジ応答のソフトウェア制御が可能
ウェイト機能	• 受信時、SCLラインのLowホールドによるウェイトが可能 8クロック目と9クロック目の間でウェイト 9クロック目と1クロック目の間でウェイト
SDA出力遅延機能	アクノリッジ送信を含むデータ送信出力の変化タイミングを遅延させることが可能
アービトレーション	• マルチマスタ対応 他のマスタとのSCL衝突時、SCLの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 • バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) • ノットアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 • スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4種類 • 通信エラー/通信イベント アービトレーションロスト検出 NACK検出 タイムアウト検出 スタートコンディション検出(リスタートコンディション含む) ストップコンディション検出 • 受信データフル(スレーブアドレス一致時含む) • 送信データエンプティ(スレーブアドレス一致時含む) • 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表33.1　RIICの仕様 (2/2)

項目	内容
RIICの動作モード	● 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード
イベントリンク機能(出力)	4種類(RIIC0) ● 通信エラー/通信イベント アービトレーションロスト検出 NACK検出 タイムアウト検出 スタートコンディション検出(リスタートコンディション含む) ストップコンディション検出 ● 受信データフル(スレーブアドレス一致時含む) ● 送信データエンプティ(スレーブアドレス一致時含む) ● 送信終了

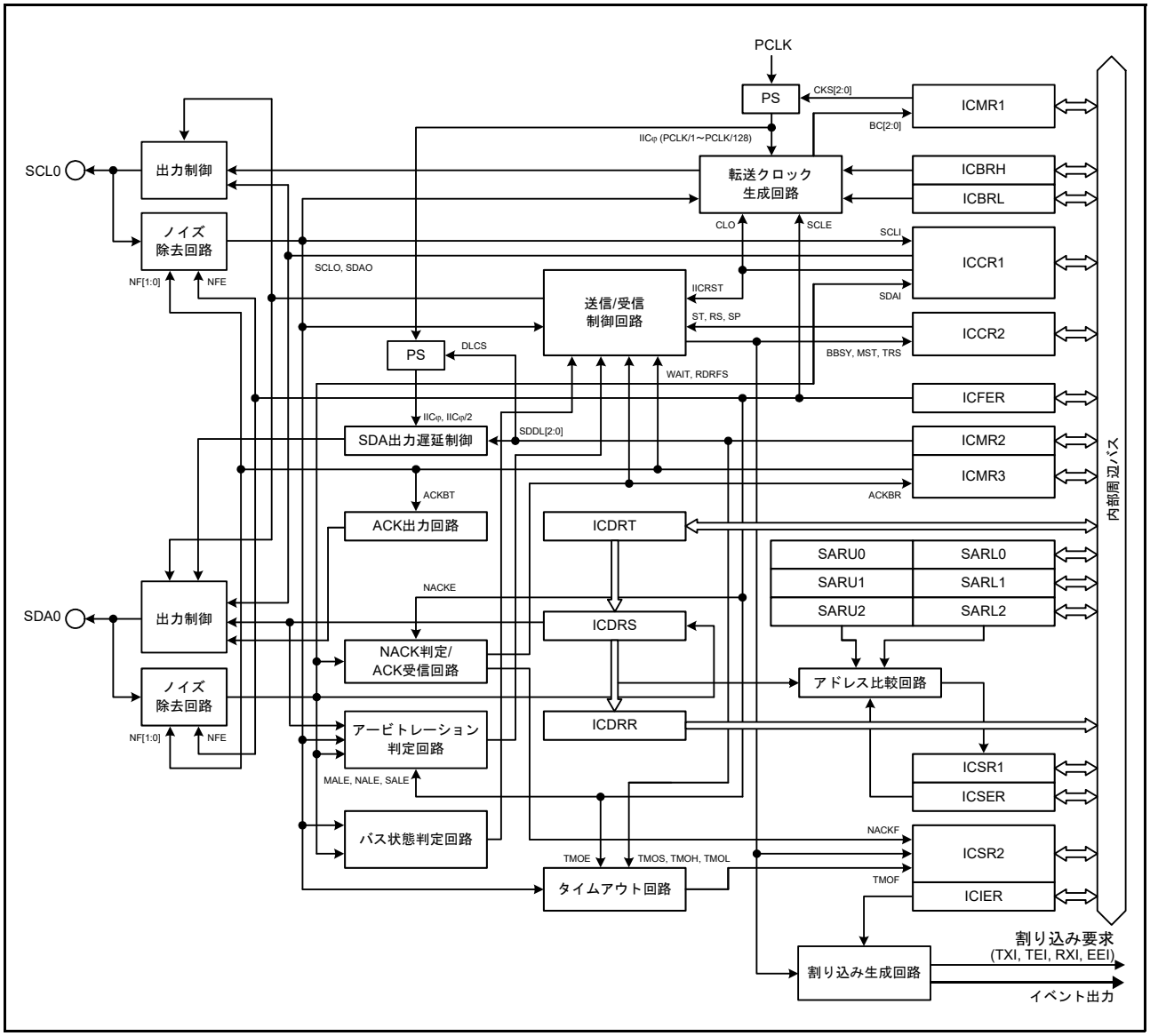


図 33.1　RIIC のブロック図

RIIC の各信号の入力レベルは、I2C バス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表33.2 RIICの入出力端子

チャネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子

33.2 レジスタの説明

33.2.1 I2C バスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0：SDA0ラインはLow 1：SDA0ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0：SCL0ラインはLow 1：SCL0ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	• リード時 0：SDA0端子をLowにしている 1：SDA0端子を解放している • ライト時 0：SDA0端子をLowにする 1：SDA0端子を解放する (外部プルアップ抵抗によりHigh出力)	R/W
b3	SCLO	SCL出力制御/モニタビット	• リード時 0：SCL0端子をLowにしている 1：SCL0端子を解放している • ライト時 0：SCL0端子をLowにする 1：SCL0端子を解放する (外部プルアップ抵抗によりHigh出力)	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0：SCLO、SDAOビットの書き換え許可 1：SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCL追加出力ビット	0：SCLを追加で出力しない(通常状態) 1：SCLを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I2Cバスインタフェース内部リセットビット	0：RIICリセット、内部リセット解除 1：RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL0/SDA0出力ラッチを解除)	R/W
b7	ICE	I2Cバスインタフェース許可ビット	0：禁止(SCL0、SDA0端子非駆動状態) 1：許可(SCL0、SDA0端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIIC が出力する SDA0 信号、SCL0 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも “0” を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL 追加出力ビット)

SCL を 1 クロックずつ追加で出力する機能で、デバッグ時または異常処理時に使用します。

通常は “0” にしてください。正常な通信動作中に使用すると通信エラーの原因になります。

本機能の詳細については、「33.11.2　SCL 追加出力機能」を参照してください。

IICRST ビット (I2C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを “1” にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 33.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I2C バスシフトレジスタ (ICDRS)、I2C バスステータスレジスタ (ICSR1, ICSR2) および内部状態を初期化します。各レジスタのリセット状況については、「33.14　リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを “1” にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL0 端子 / SDA0 端子をハイインピーダンスにしてバスを解放することができます。

注 .　スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、スレーブモード時に内部リセットを行う場合は、バスフリー中に実施してください。なお、RIIC がスレーブモード時に SCL0 ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 33.3　RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I2C バスインタフェース許可ビット)

SCL0、SDA0 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 33.3　RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを “1” に設定してください。ICE ビットが “1” のとき、SCL0、SDA0 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを “0” に設定してください。ICE ビットが “0” のとき、SCL0、SDA0 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL0、SDA0 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

33.2.2 I2C バスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0：スタートコンディションの発行を要求しない 1：スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0：リスタートコンディションの発行を要求しない 1：リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0：ストップコンディションの発行を要求しない 1：ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0：受信モード 1：送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0：スレーブモード 1：マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0：I2Cバスが解放状態(バスフリー状態) 1：I2Cバスが占有状態(バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが “1” になるとスタートコンディションの発行を要求し、BBSY フラグが “0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「33.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 . ST ビットは、BBSY フラグが “0” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。
BBSY フラグが “1” (バスビジー) のとき、ST ビットを “1” (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが “1” になるとリスタートコンディションの発行を要求し、BBSY フラグが “1” (バスビジー) でかつ MST ビットが “1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「33.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

[“1” になる条件]

- ICCR2.BBSY フラグが “1” の状態で、“1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 . ストップコンディション発行中に RS ビットを “1” にしないでください。

注 . スレーブモードでは RS ビットに “1” (リスタートコンディション発行要求) を書いた場合、リスタートコンディションは発行されずに RS ビットは “1” のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが “1” になるとストップコンディションの発行を要求し、BBSY フラグが “1” (バスビジー) でかつ MST ビットが “1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「33.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

[“1” になる条件]

- ICCR2.BBSY フラグが “1” でかつ ICCR2.MST ビットが “1” の状態で、“1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 . BBSY フラグが “0” (バスフリー) のとき書き込みはできません。

注 . リスタートコンディション発行中に SP ビットを “1” にしないでください。

TRS ビット (送信 / 受信モードビット)

送信 / 受信モードを示すビットです。

TRS ビットが “0” のとき受信モード、TRS ビットが “1” のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットの値で “1” または “0” になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1” になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが “1” の状態で、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが “1” の状態で、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが “0” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

[“0” になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “0” を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY フラグ = 1、ICCR2.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ / スレーブモードビット)

マスタモード / スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MST ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行 / 検出などで “1” または “0” になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1” になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが “1” の状態で、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

[“0” になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I2C バスの占有 (バスビジー)/ 解放状態 (バスフリー) を示します。

SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して “1” になります。

SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでスタートコンディションを検出しなかったとき “0” になります。

[“1” になる条件]

- スタートコンディションを検出したとき

[“0” になる条件]

- ストップコンディションを検出後、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでス

タートコンディションを検出しなかったとき

- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき (RIIC リセット)

33.2.3 I2C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h

	b7	b6	b5	b4	b3	b2	b1	b0
	MTWP	CKS[2:0]			BCWP	BC[2:0]		
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可(読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック(IICφ)ソースを選択します b6 b4 0 0 0 : PCLK/1 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

SCL0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数 + 1 を指定し (データにアクノリッジ 1 ビットが付加されて転送される)、転送バイト間でかつ SCL0 ラインが Low の状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に “000b” に戻ります。

33.2.4 I2C バスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h

	b7	b6	b5	b4	b3	b2	b1	b0
	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
リセット後の値	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0：ロングモードを選択 1：ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0：SCL0ラインがLow期間中のカウントアップを禁止 1：SCL0ラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0：SCL0ラインがHigh期間のカウントアップを禁止 1：SCL0ラインがHigh期間のカウントアップを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	• ICMR2.DLCSビット= 0 (IICφ)のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφの1サイクル 0 1 0：IICφの2サイクル 0 1 1：IICφの3サイクル 1 0 0：IICφの4サイクル 1 0 1：IICφの5サイクル 1 1 0：IICφの6サイクル 1 1 1：IICφの7サイクル • ICMR2.DLCSビット= 1 (IICφ/2)のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφの1～2サイクル 0 1 0：IICφの3～4サイクル 0 1 1：IICφの5～6サイクル 1 0 0：IICφの7～8サイクル 1 0 1：IICφの9～10サイクル 1 1 0：IICφの11～12サイクル 1 1 1：IICφの13～14サイクル	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0：SDA出力遅延カウンタのクロックソースに内部基準クロック(IICφ)を選択 1：SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周(IICφ/2)を選択(注1)	R/W

注1. SCL端子がLowのときのみDLCSビット= 1 (IICφ/2)の設定が有効になります。SCL端子がHighのときDLCSビット= 1の設定は無効となり内部基準クロック(IICφ)となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) にタイムアウト検出時間を選択するビットで、“0” にするとロングモード、“1” にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCL0 ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「33.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウト L カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に SCL0 ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウト H カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に SCL0 ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I2C バス仕様 (データ有効時間 / アクノリッジ有効時間 (注 1) 以内) または SMBus 仕様 (データホールド時間 (300 ns) 以上、かつ「クロックの Low 幅 – データセットアップ時間 (250 ns)」以下) を満たすようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「33.5　SDA 出力遅延機能」を参照してください。

注 1.　データ有効時間 / アクノリッジ有効時間
3,450 ns (～ 100 kbps：スタンダードモード (Sm))
900 ns (～ 400 kbps：ファストモード (Fm))

33.2.5 I²C バスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0：1 IICφ以下のノイズを除去(フィルタは1段) 0 1：2 IICφ以下のノイズを除去(フィルタは2段) 1 0：3 IICφ以下のノイズを除去(フィルタは3段) 1 1：4 IICφ以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0：アクノリッジビットに“0”を受信(ACK受信) 1：アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0：アクノリッジビットに“0”を送出(ACK送信) 1：アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0：ACKBTビットへの書き込み禁止 1：ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセットタイミング選択ビット	0：9個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりでSCL0ラインをLowにホールドしない) 1：8個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりでSCL0ラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0：WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1：WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I²Cバス選択ビット	0：I²Cバス選択 1：SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。
注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「33.6 デジタルノイズフィルタ回路」を参照してください。

注 . ノイズフィルタで除去するノイズ幅の設定は、SCL0 ラインの High/Low 幅よりも狭くしてください。ノイズフィルタ幅を、[SCL の High 幅または Low 幅のいずれか短い方] – 1.5 × t_{IICcyc} (内部基準クロック (IICφ) の周期) と同じか、それ以上に設定した場合は、RIIC のノイズフィルタ機能によりシリアルクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[“1” になる条件]

- ICCR2.TRS ビットが “1” の状態でアクノリッジビットに “1” を受信したとき

[“0” になる条件]

- ICCR2.TRS ビットが “1” の状態でアクノリッジビットに “0” を受信したとき

- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき (RIIC リセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

[“1” になる条件]

- ACKWP ビットが “1” の状態で “1” を書いたとき

[“0” になる条件]

- ACKWP ビットが “1” の状態で “0” を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが “1” の状態でストップコンディションを検出したとき)
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび 8 個目の SCL の立ち下がりで SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが “0” のとき、8 クロック目の立ち下がりで SCL0 ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを “1” にします。

RDRFS ビットが “1” のとき、RDRF フラグは 8 クロック目の立ち上がりで “1” にし、8 クロック目の立ち下がりで SCL0 ラインを Low にホールドします。この SCL0 ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが “0”) または NACK (ACKBT ビットが “1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I2C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL の 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが “0” のとき、SCL の 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに “0” のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが “1” のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCL0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注 . WAIT ビットを “0” にする場合は、ICDRR レジスタを先に読んでから “0” にしてください。

SMBS ビット (SMBus/I2C バス選択 ビット)

SMBS ビットを “1” にすると、SMBus が選択され ICSER.HOAE ビットが有効になります。

33.2.6 I2C バスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0：タイムアウト検出機能無効 1：タイムアウト検出機能有効	R/W
b1	MALE	マスタアービトレーションロスト検出許可ビット	0：マスタアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1：マスタアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0：NACK送信アービトレーションロスト検出禁止 1：NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0：スレーブアービトレーションロスト検出禁止 1：スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0：NACK受信時、転送を中断しない(転送中断禁止) 1：NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ有効ビット	0：デジタルノイズフィルタを使用しない 1：デジタルノイズフィルタを使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0：SCL同期回路無効 1：SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効 / 無効を選択します。

タイムアウト検出機能の詳細については、「33.11.1　タイムアウト検出機能」を参照してください。

MALE ビット (マスタアービトレーションロスト検出許可ビット)

マスタモード時にアービトレーションロスト検出機能の有効 / 無効を決定します。通常は “1” にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送出中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は “1” にしてください。

NACKE ビットが “1” のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが “0” のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「33.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、クロック同期を行うかどうかを選択します。通常は “1” にしてください。

SCLE ビットを “0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度のクロックを出力します。そのため、I2C バスラインの負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL 出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL 追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き “0” にしないでください。

33.2.7 I2C バスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0：SARL0、SARU0の設定値は無効 1：SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0：SARL1、SARU1の設定値は無効 1：SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0：SARL2、SARU2の設定値は無効 1：SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0：デバイスIDアドレス検出は無効 1：デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0：ホストアドレス検出は無効 1：ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ～ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを “1” にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを “0” にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが “1” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ～ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが “0” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが “1” の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが “0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが “0” の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「33.7.3　デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが “1” の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが “1” でかつ HOAE ビットが “1” の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ～ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが “0” または HOAE ビットが “0” の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

33.2.8 I2C バス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0：タイムアウト割り込み(TMOI)要求の禁止 1：タイムアウト割り込み(TMOI)要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0：アービトレーションロスト割り込み(ALI)要求の禁止 1：アービトレーションロスト割り込み(ALI)要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0：スタートコンディション検出割り込み(STI)要求の禁止 1：スタートコンディション検出割り込み(STI)要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0：ストップコンディション検出割り込み(SPI)要求の禁止 1：ストップコンディション検出割り込み(SPI)要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0：NACK受信割り込み(NAKI)要求の禁止 1：NACK受信割り込み(NAKI)要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0：受信データフル割り込み(RXI)要求の禁止 1：受信データフル割り込み(RXI)要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0：送信終了割り込み(TEI)要求の禁止 1：送信終了割り込み(TEI)要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0：送信データエンプティ割り込み(TXI)要求の禁止 1：送信データエンプティ割り込み(TXI)要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが “1” になったとき、タイムアウト割り込み (TMOI) 要求の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを “0” にするか、または TMOIE ビットを “0” にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが “1” になったとき、アービトレーションロスト割り込み (ALI) 要求の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを “0” にするか、または ALIE ビットを “0” にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが “1” になったとき、スタートコンディション検出割り込み (STI) 要求の許可 / 禁止を選択します。STI 割り込みは、START フラグを “0” にするか、または STIE ビットを “0” にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが “1” になったとき、ストップコンディション検出割り込み (SPI) 要求の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを “0” にするか、または SPIE ビットを “0” にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが “1” になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを “0” にするか、または NAKIE ビットを “0” にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが “1” になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが “1” になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを “0” にするか、または TEIE ビットを “0” にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが 1” になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

33.2.9 I2C バスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0：スレーブアドレス0未検出 1：スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0：スレーブアドレス1未検出 1：スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0：スレーブアドレス2未検出 1：スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0：デバイスIDアドレス未検出 1：デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス(1111 100b) + 0 (write)と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0：ホストアドレス未検出 1：ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス(0001 000b)と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ～ 2)

[“1” になる条件]

【7 ビットアドレスフォーマット選択時：SARUy.FS ビット = 0】

- ICSER.SARyE ビットが “1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの 9 個目の SCL の立ち上がり

【10 ビットアドレスフォーマット選択時：SARUy.FS ビット = 1】

- ICSER.SARyEビットが“1” (スレーブアドレスy検出有効)の状態で、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの 9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時：SARUy.FS ビット = 0】

- ICSER.SARyE ビットが “1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの 9 個目の SCL の立ち上がり

【10 ビットアドレスフォーマット選択時：SARUy.FS ビット = 1】

- ICSER.SARyEビットが“1” (スレーブアドレスy検出有効)の状態で、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの 9 個目の SCL の立ち上がり

- ICSER.SARyEビットが“1”(スレーブアドレスy検出有効)の状態で、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの 9 個目の SCL の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

[“1” になる条件]

- ICSER.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

[“1” になる条件]

- ICSER.DIDEビットが“1”(デバイスIDアドレス検出有効)の状態で、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.DIDEビットが“1”(デバイスIDアドレス検出有効)の状態で、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICSER.DIDEビットが“1”(デバイスIDアドレス検出有効)の状態で、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ～ 2 のすべてと不一致のとき、第二バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

[“1” になる条件]

- ICSER.HOAEビットが“1”(ホストアドレス検出有効)の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.HOAEビットが“1”(ホストアドレス検出有効)の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

33.2.10 I2C バスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0：タイムアウト未検出 1：タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0：アービトレーションロストの発生なし 1：アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0：スタートコンディション未検出 1：スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0：ストップコンディション未検出 1：ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0：NACK未検出 1：NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0：ICDRRレジスタに受信データなし 1：ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0：データ送信中 1：データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0：ICDRTレジスタに送信データあり 1：ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL0 ラインの状態が一定期間変化しない場合、タイムアウトを認識して “1” になります。

[“1” になる条件]

- ICFER.TMOE ビットが“1” (タイムアウト検出機能有効)で、かつマスタモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL0 ラインの状態に変化がないとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA0 ラインのレベルを監視し、出力データと SDA0 ラインのレベルが一致しない場合 AL フラグを “1” にしてバスが他のデバイスによって占有されたことを示します。

このほか、受信モード時の NACK 送信中や、スレーブモード時のデータ送信中もアービトレーションロストの検出が可能です。

[“1” になる条件]

【マスタアービトレーションロスト検出有効時：ICFER.MALE ビット = 1】

- マスタ送信モード時のデータ送信 (スレーブアドレス送信含む) において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき (内部 SDA 出力が

High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)

- ICCR2.ST ビットが“1”(スタートコンディション発行要求)の状態でスタートコンディションを検出したとき、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき
- ICCR2.BBSY フラグが“1”の状態でICCR2.ST ビットが“1”(スタートコンディション発行要求)に設定したとき

【NACK アービトレーションロスト検出有効時：ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

表 33.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが“1”の状態でスタートコンディション検出時に出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき
					ICCR2.BBSY フラグが“1”の状態でICCR2.ST ビットを“1”にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	1	x	1	NACK送信不一致	マスタ受信モードまたはスレーブ受信モードでNACK送信時にACKを検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x：Don’t care

START フラグ (スタートコンディション検出フラグ)

[“1” になる条件]

- スタートコンディション (リスタートコンディション含む) を検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

[“1” になる条件]

- ストップコンディションを検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

[“1” になる条件]

- ICFER.NACKE ビットが “1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 . NACKF フラグが “1” になると RIIC は通信動作を中断します。NACKF フラグが “1” の場合、送信モード時に ICDRT レジスタへの書き込みを行ったり、受信モード時に ICDRR レジスタの読み出しを行ったりしても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを “0” にしてください。

RDRF フラグ (受信データフルフラグ)

[“1” になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により 8 または 9 個目の SCL の立ち上がりで “1” になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが “0” のとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1” になる条件]

- TDRE フラグが “1” の状態で、9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1” になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが “1” になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが “1” のとき

[“0” になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが “0” になったとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 . ICFER.NACKE ビットが “1” の状態で NACKF フラグが “1” になると RIIC は通信動作を中断します。このときすでに、ICDRT レジスタに次の送信データが書き込まれていても (TDRE フラグが “0”)、ICDRS レジスタへのデータ転送は行われず ICDRT レジスタのデータが保持されるため、TDRE フラグは “1” になりません。

33.2.11 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ～ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC0.SARL1 0008 830Ch, RIIC0.SARL2 0008 830Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	SVA[6:0]							SVA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10 ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが “1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが “1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER.SARyE ビットが “0” のとき設定値は無視されます。

33.2.12 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ～ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC0.SARU1 0008 830Dh, RIIC0.SARU2 0008 830Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SVA[1:0]		FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0 : 7ビットアドレスフォーマット選択 1 : 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット /10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy、SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが “1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが “0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが “1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが “1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが “0” (SARLy、SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが “1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが “1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

33.2.13 I2C バスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRL[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL の Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時 (「33.8 SCL の自動 Low ホールド機能」参照) のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間 (注 1) 以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (IICφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

注 1. データセットアップ時間 (tSU:DAT)
250 ns (～ 100 kbps：スタンダードモード (Sm))
100 ns (～ 400 kbps：ファストモード (Fm))

33.2.14 I2C バスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRH[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

ICBRH レジスタは SCL の High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロック (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I2C 転送速度および SCL のデューティ比は以下の式で算定します。

転送速度 = 1 / { ((ICBRH + 1) + (ICBRL + 1)) / IICφ (注 1) + SCL0 ライン立ち上がり時間 (tr)
+ SCL0 ライン立ち下がり時間 (tf) }

デューティ比 = {SCL0 ライン立ち上がり時間 (tr) (注 2) + (ICBRH + 1) / IICφ} / {SCL0 ライン立ち下がり時間 (tf) (注 2)
+ (ICBRL + 1) / IICφ}

注 1. IICφ = PCLK × 分周比

注 2. SCL0 ライン立ち上がり時間 (tr)、SCL0 ライン立ち下がり時間 (tf) は、バスライン総容量 (Cb) とプルアップ抵抗 (Rp) に依存します。詳細については NXP 社の I2C バス仕様書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 33.5 に示します。

表33.5　転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度 (kbps)	動作周波数PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数PCLK (MHz)								
	30			32			33		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)	110b	22 (F6h)	26 (FAh)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)	100b	17 (F1h)	20 (F4h)
100	011b	14 (EEh)	17 (F1h)	011b	15 (EFh)	18 (F2h)	011b	16 (F0h)	19 (F3h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)	001b	9 (E9h)	21 (F5h)

転送速度 (kbps)	動作周波数PCLK (MHz)								
	40			50			60		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	111b	13 (EDh)	15 (EFh)	111b	16 (F0h)	20 (F4h)	111b	20 (F4h)	24 (F8h)
50	100b	21 (F5h)	24 (F8h)	100b	26 (FAh)	31 (FFh)	101b	15 (EFh)	18 (F2h)
100	011b	19 (F3h)	23 (F7h)	011b	24 (F8h)	29 (FDh)	100b	14 (EEh)	17 (F1h)
400	001b	11 (EBh)	25 (F9h)	010b	7 (E7h)	16 (F0h)	010b	8 (E8h)	19 (F3h)

注.　SCL0ラインの立ち上がり時間(tr)を100 kbps以下(Sm)は1000 ns、400 kbps以下(Fm)は300 ns、SCL0ラインの立ち下がり時間(tf)を400 kbps以下(Sm/Fm)は300 nsとして計算した場合の設定例です。
SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)の値についてはNXP社のI²Cバス仕様書を参照してください。

33.2.15 I2C バス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

I2C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

33.2.16 I2C バス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

1 バイトのデータの受信が終了すると、受信したデータは I2C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出さないまま (ICSR2.RDRF フラグが “1” の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグが次に “1” になるタイミングの 1 つ手前の SCL0 の立ち下がりで SCL0 ラインを Low にホールドします。

33.2.17 I2C バスシフトレジスタ (ICDRS)

ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA0 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

33.3 動作説明

33.3.1 通信データフォーマット

I2C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 33.2 に I2C バスフォーマットを、図 33.3 に I2C バスタイミングを示します。

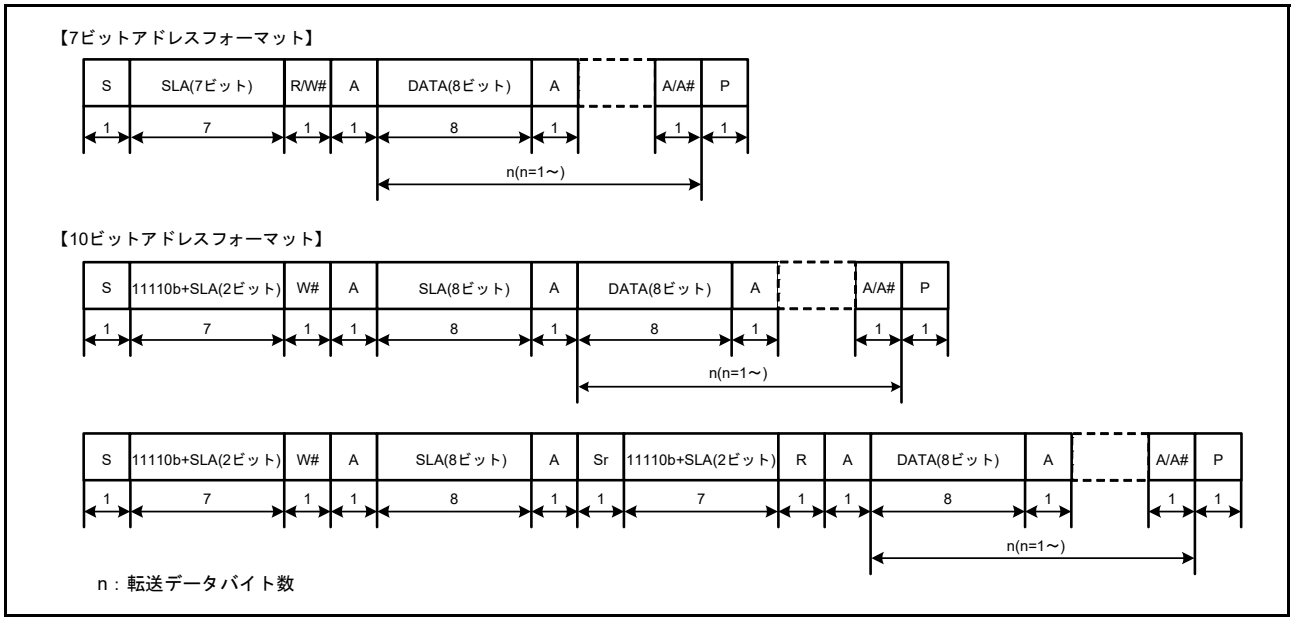


図 33.2　I2C バスフォーマット

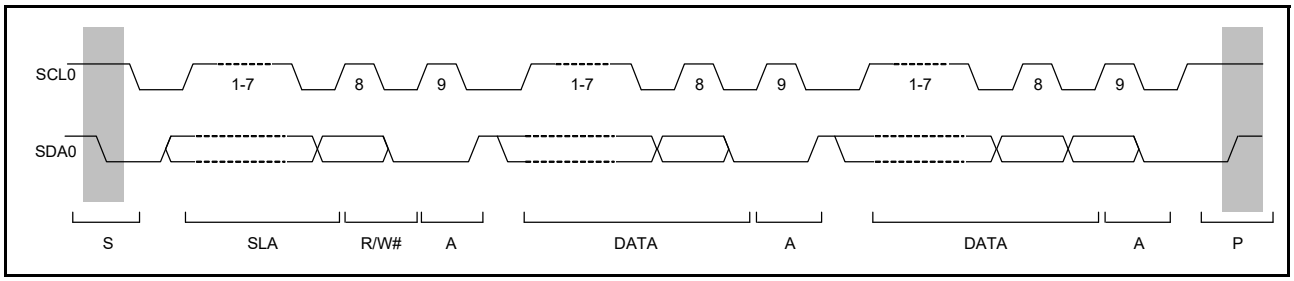


図 33.3　I2C バスタイミング (SLA = 7 ビットの場合)

S：　スタートコンディションを示します。マスタデバイスが、SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化します。

SLA：　スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#：　送信 / 受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A：　アクノリッジを示します。受信デバイスが SDA0 ラインを Low にします (マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します)。

A#：　ノットアクノリッジを示します。受信デバイスが SDA0 ラインを High にします。

Sr：　リスタートコンディションを示します。マスタデバイスが、SCL0 ラインが High の状態でセットアップ時間経過後に SDA0 ラインが High から Low に変化します。

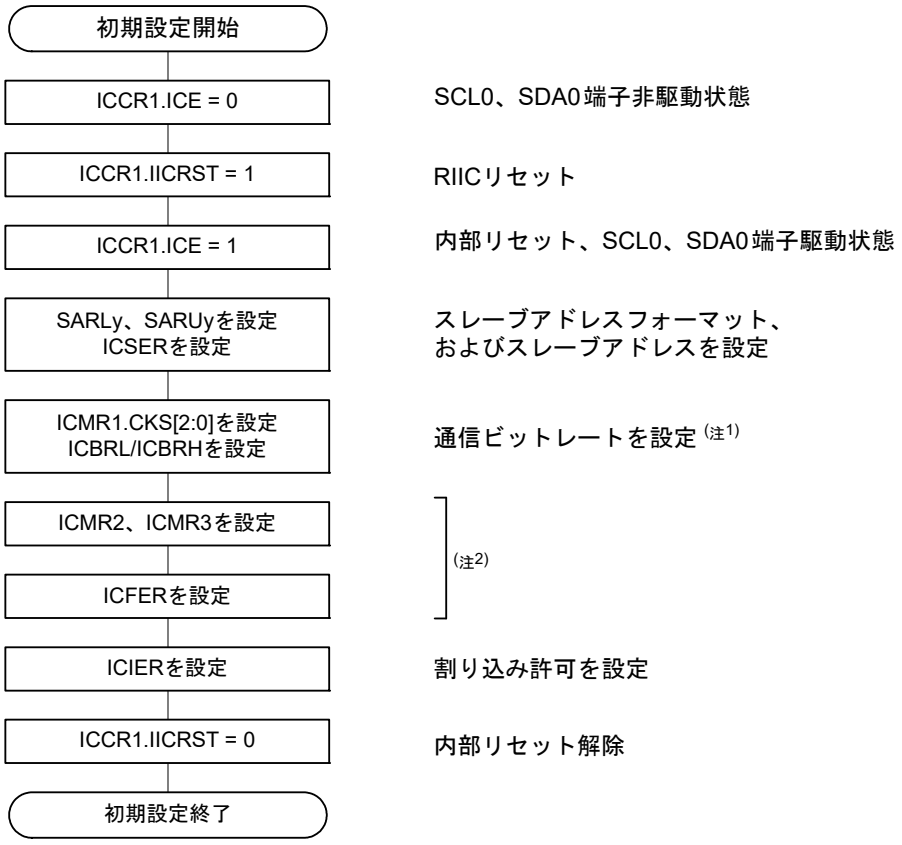
DATA：　送受信データを示します。

P：　ストップコンディションを示します。マスタデバイスが、SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化します。

33.3.2　初期設定

データの送信 / 受信を開始する場合、図 33.4 に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを “0” (SCL0、SDA0 端子非駆動状態) にしたまま ICCR1.IICRST ビットを “1” (RIIC リセット) にした後、ICCR1.ICE ビットを “1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y = 0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 33.4 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを “0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。



y = 0～2

注1.　スレーブのみで動作させる場合、ICBRLレジスタに
　　データセットアップ時間以上の値を設定してください。
注2.　必要に応じて設定してください。

図 33.4　RIIC の初期化フローチャート例

33.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC がクロックを生成し、データを送信して、スレーブデバイスがアクノリッジを返します。**図 33.5** にマスタ送信の使用例を、**図 33.6 ～図 33.8** にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

(1) 初期設定を行います。詳細は「**33.3.2 初期設定**」を参照してください。

(2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに “1” を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが “1” になることにより自動的に “1” になります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード / 受信モードが選択されます。RIIC は R/W# ビットが “0” の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに “1” を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

(4) ICSR2.TDRE フラグが “1” であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL0 ラインを Low にホールドします。

(5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.NACKF フラグが “1” になるか、ICSR2.TEND フラグが “1” になるまで待ってから ICCR2.SP ビットに “1” を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。

(6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に “00b” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に “0” になり、ICSR2.STOP フラグが “1” になります。

(7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

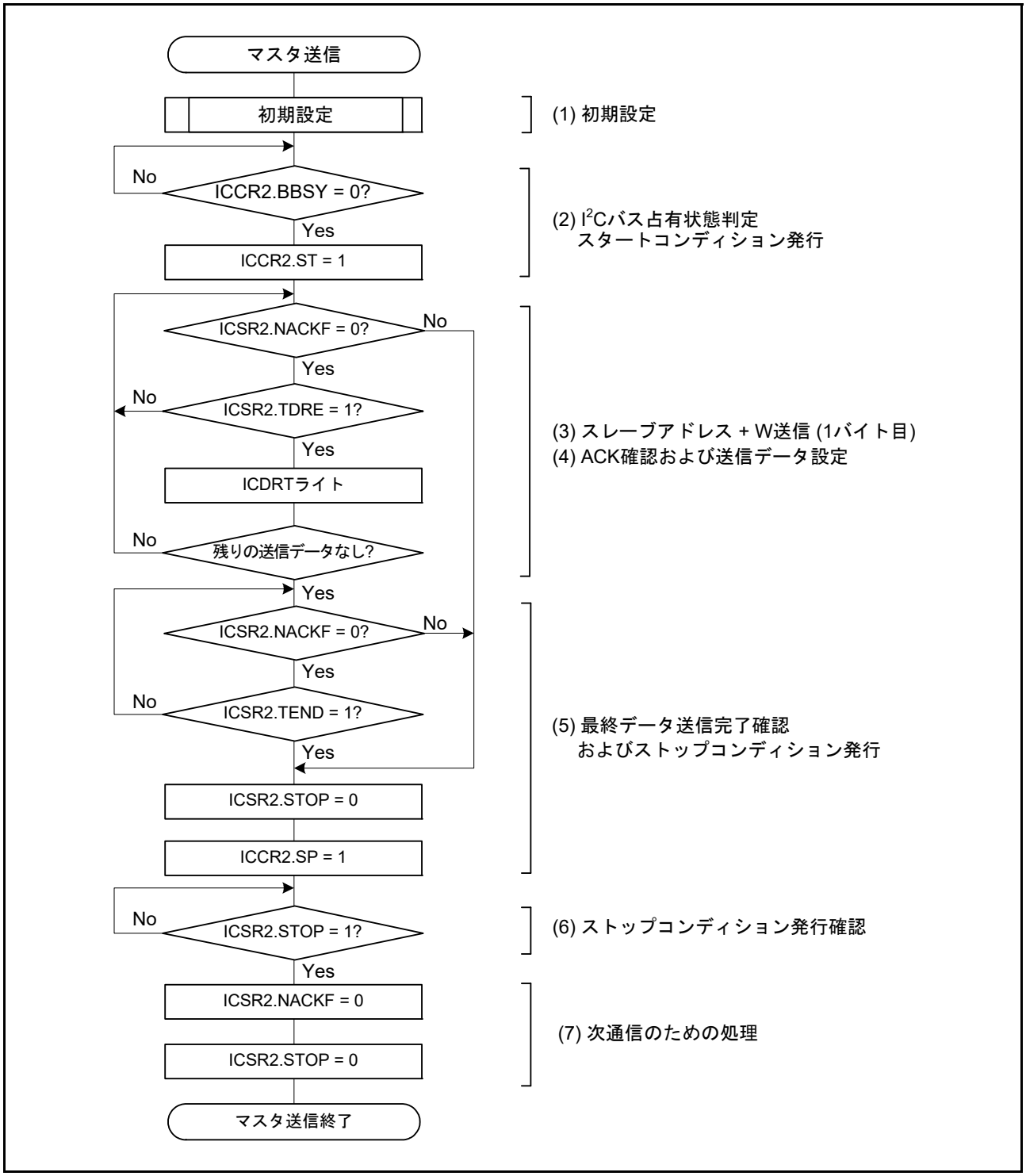


図 33.5 マスタ送信のフローチャート例

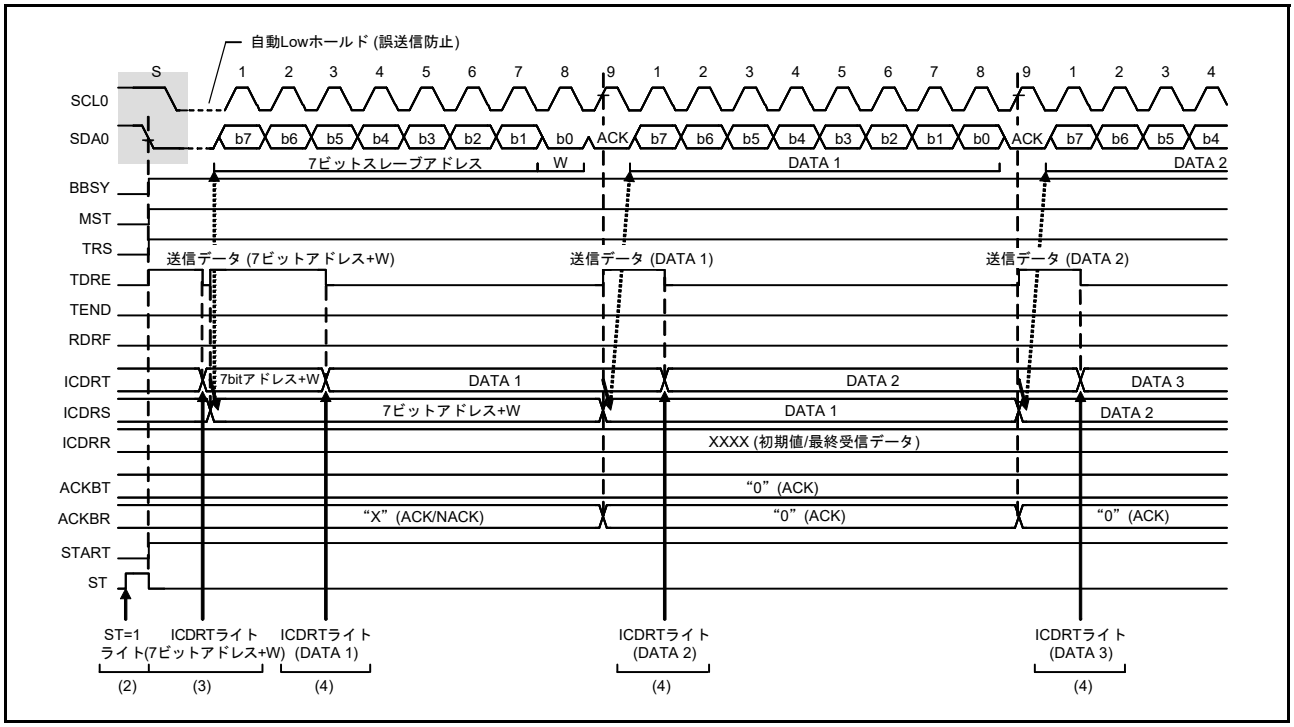


図 33.6　マスタ送信の動作タイミング (1) (7 ビットアドレスフォーマットのとき)

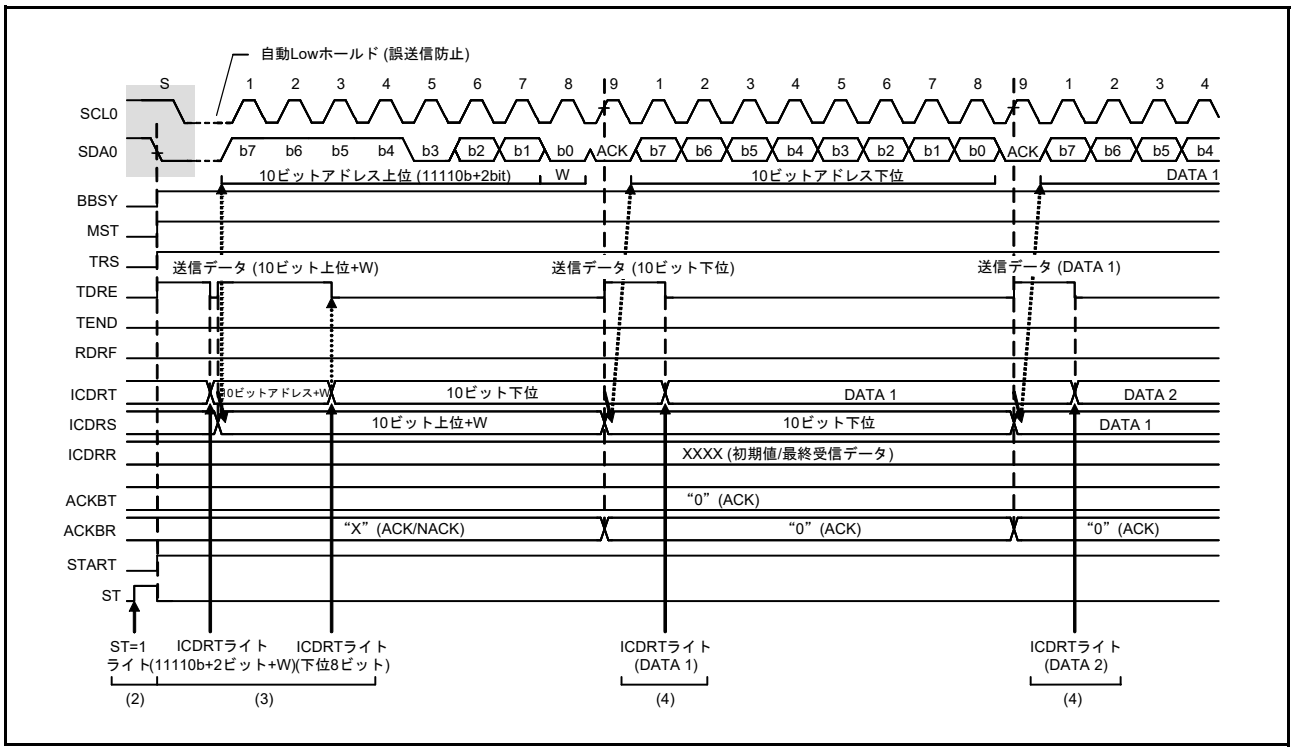


図 33.7　マスタ送信の動作タイミング (2) (10 ビットアドレスフォーマットのとき)

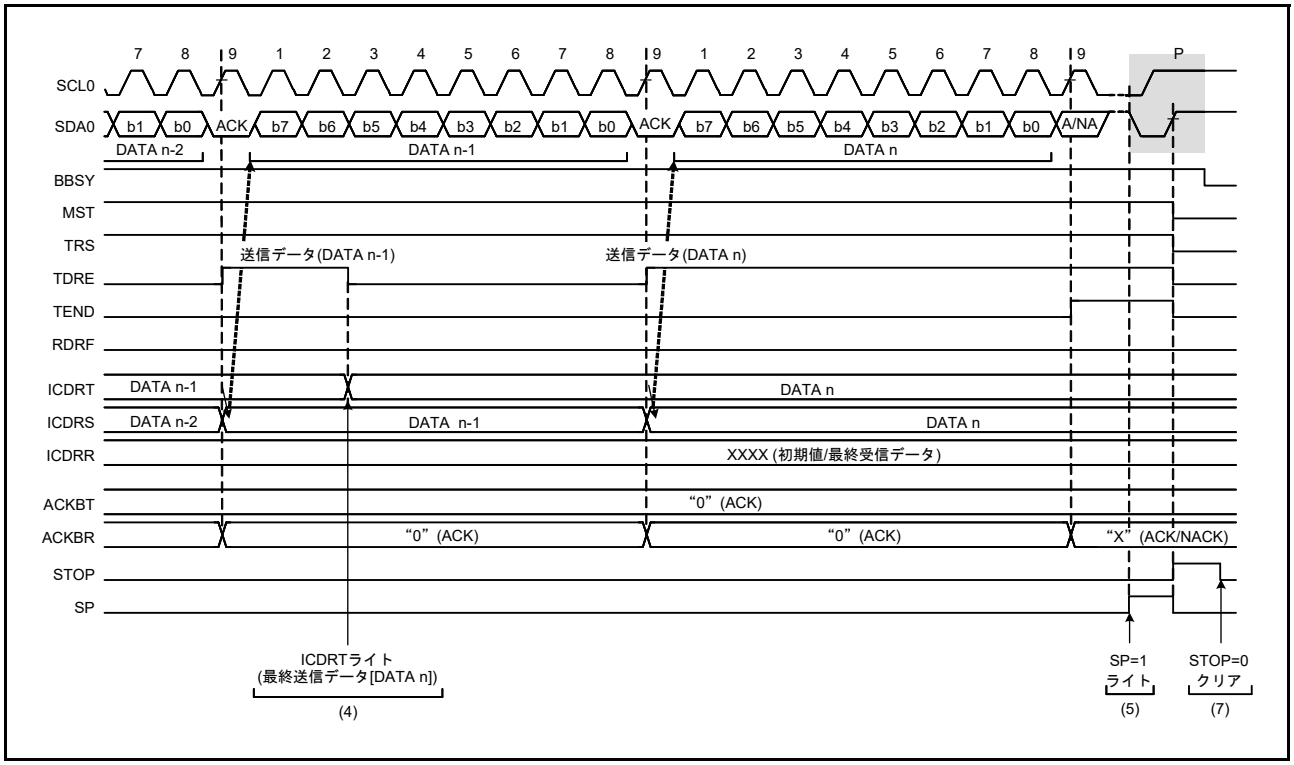


図 33.8　マスタ送信の動作タイミング (3)

33.3.4　マスタ受信動作

マスタ受信では、マスタデバイスである RIIC がクロックを生成し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 33.9、図 33.10 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 33.11 ～図 33.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

(1) 初期設定を行います。詳細は「33.3.2　初期設定」を参照してください。

(2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに “1” を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが “1” になることにより自動的に “1” になります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード / 受信モードが選択されます。RIIC は R/W# ビットが “1” の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを “0” にしてマスタ受信

モードに移行します。このとき TDRE フラグは “0” に、ICSR2.RDRF フラグは自動的に “1” になります。
このとき ICSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに “1” を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

(4) ICSR2.RDRF フラグが “1” であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL を出力して受信動作を開始します。

(5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した 8 または 9 個目の SCL の立ち上がりで、ICSR2.RDRF フラグが “1” になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に “0” になります。また 9 個目の SCL のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト – 1 の場合、ICDRR レジスタ (最終バイト – 2 バイト目) を読む前に ICMR3.WAIT ビットを “1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを “1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで SCL0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

(6) ICMR3.RDRFS ビットが “0” でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを “1” (NACK) にしてください。

(7) ICDRR レジスタ (最終バイト – 1 バイト目) 読み出し後、ICSR2.RDRF フラグが “1” であることを確認してから、ICCR2.SP ビットに “1” を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL0 ラインの Low ホールド解除後にストップコンディションを発行します。

(8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に “00b” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが “1” になります。

(9) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

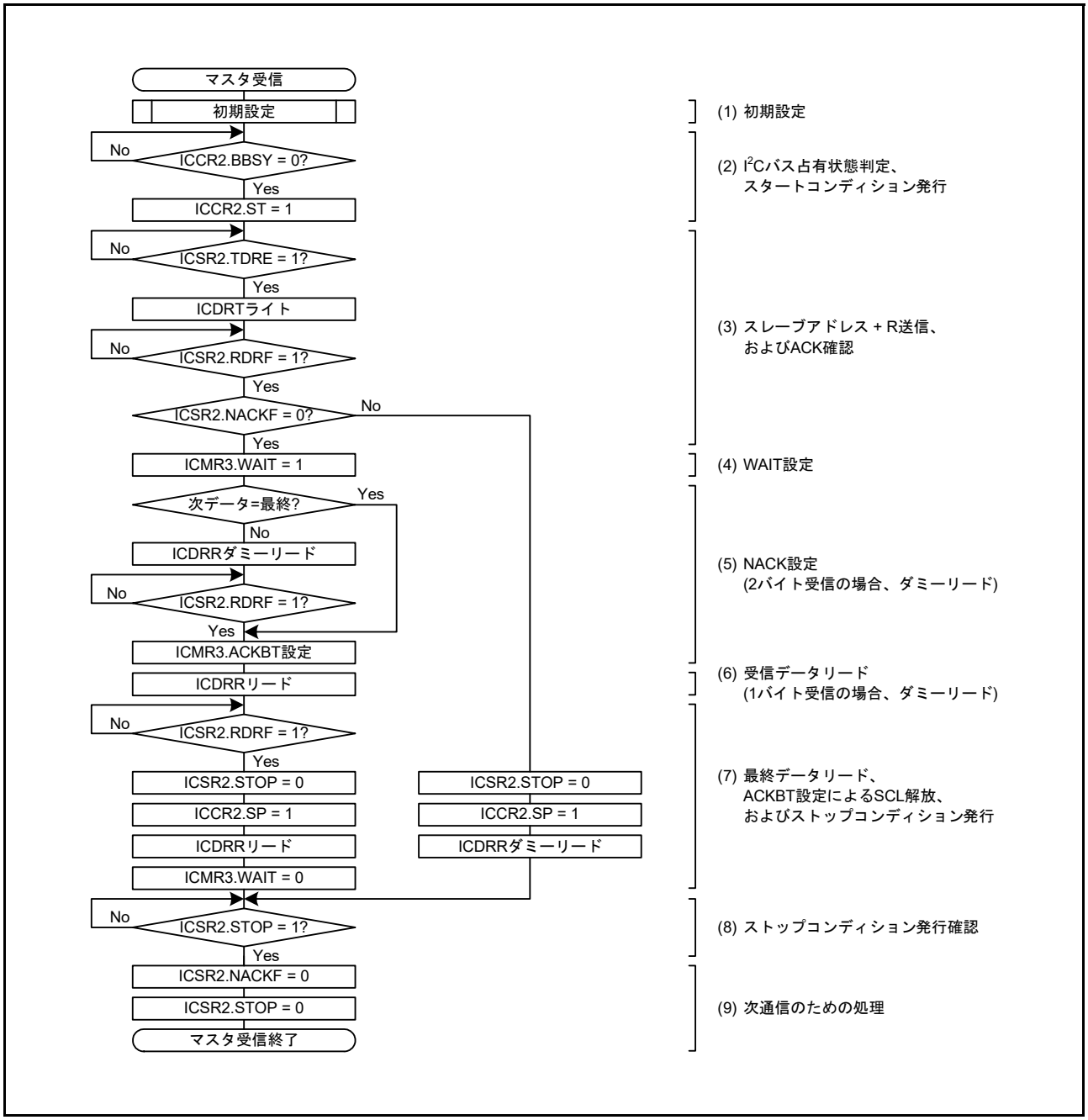


図 33.9　マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合、2 バイト以下の場合)

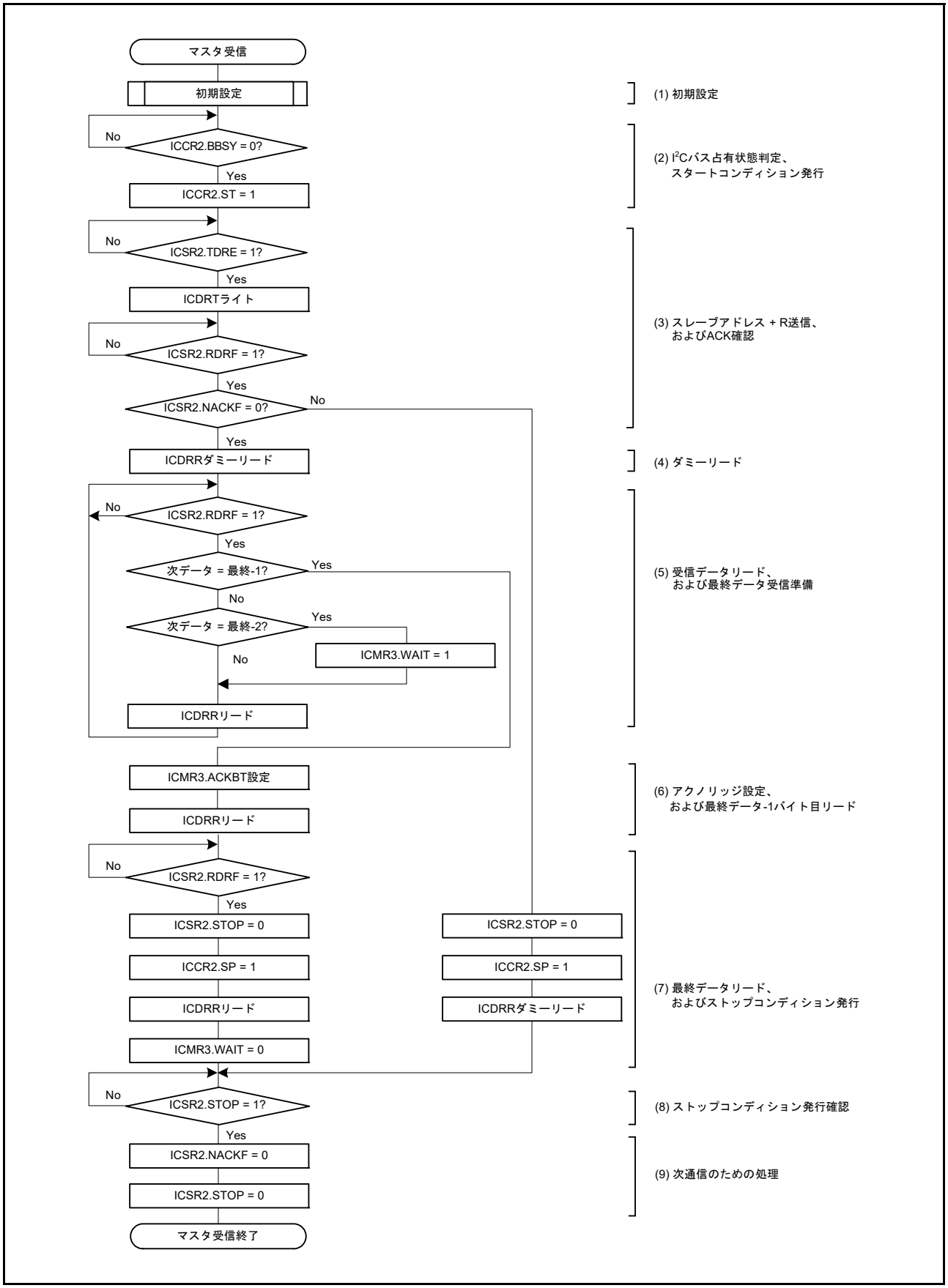


図 33.10　マスタ受信のフローチャート例 (7 ビットアドレスフォーマット、3 バイト以上の場合)

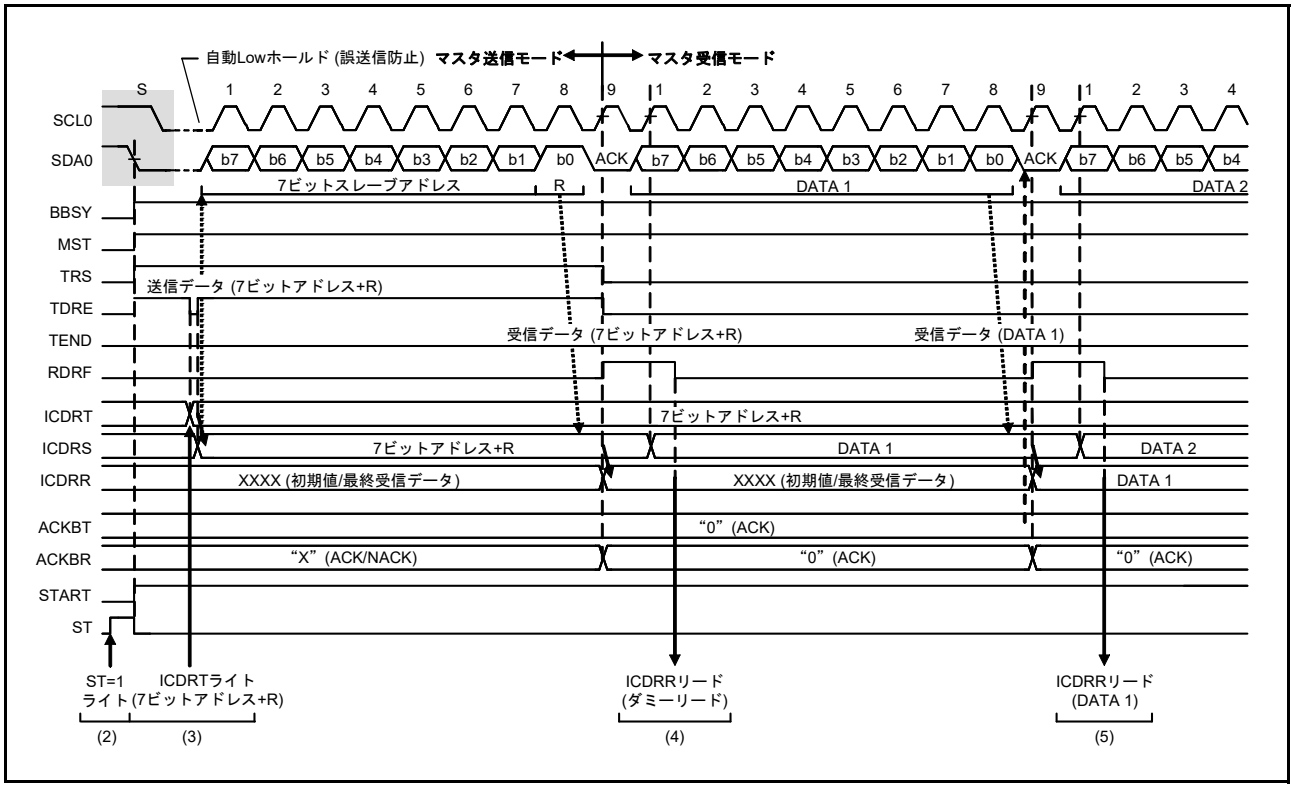


図 33.11　マスタ受信の動作タイミング (1) (7 ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

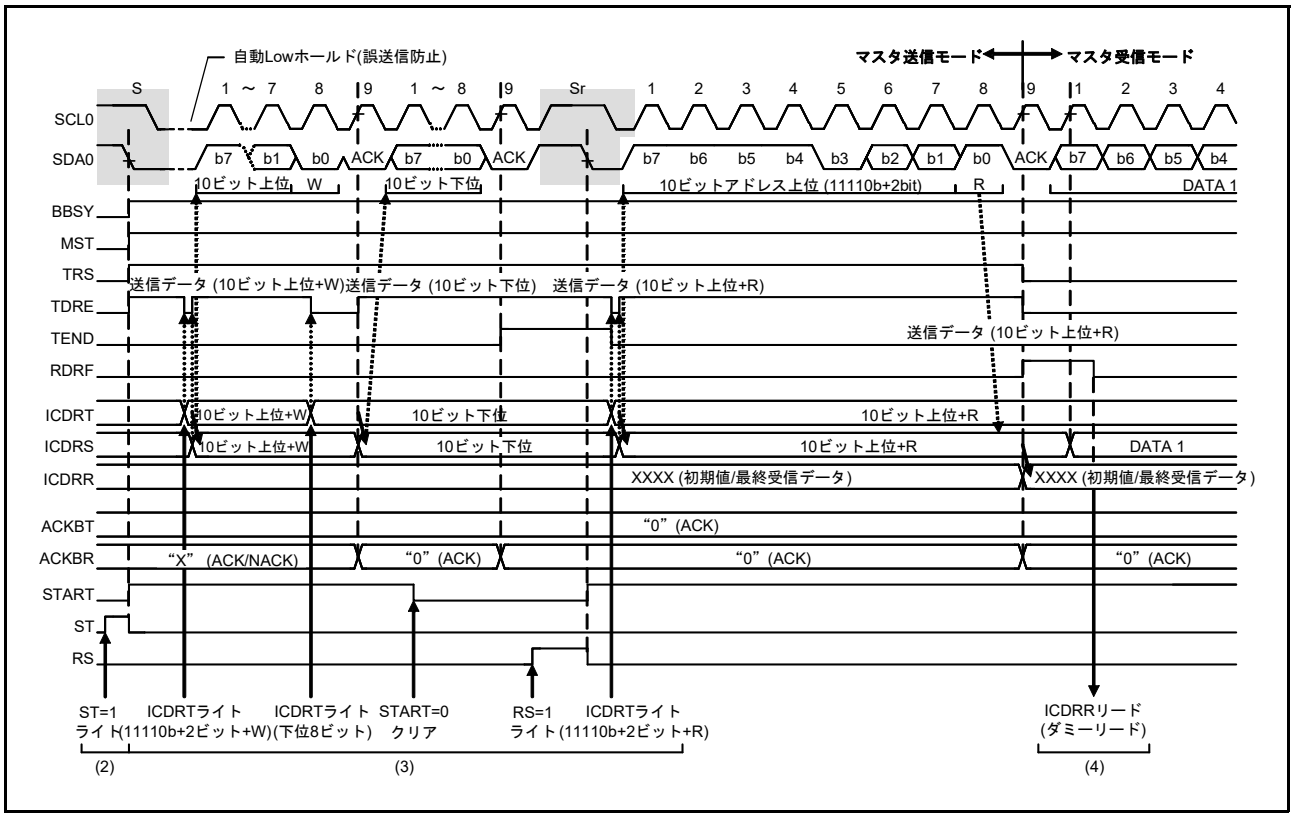


図 33.12　マスタ受信の動作タイミング (2) (10 ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

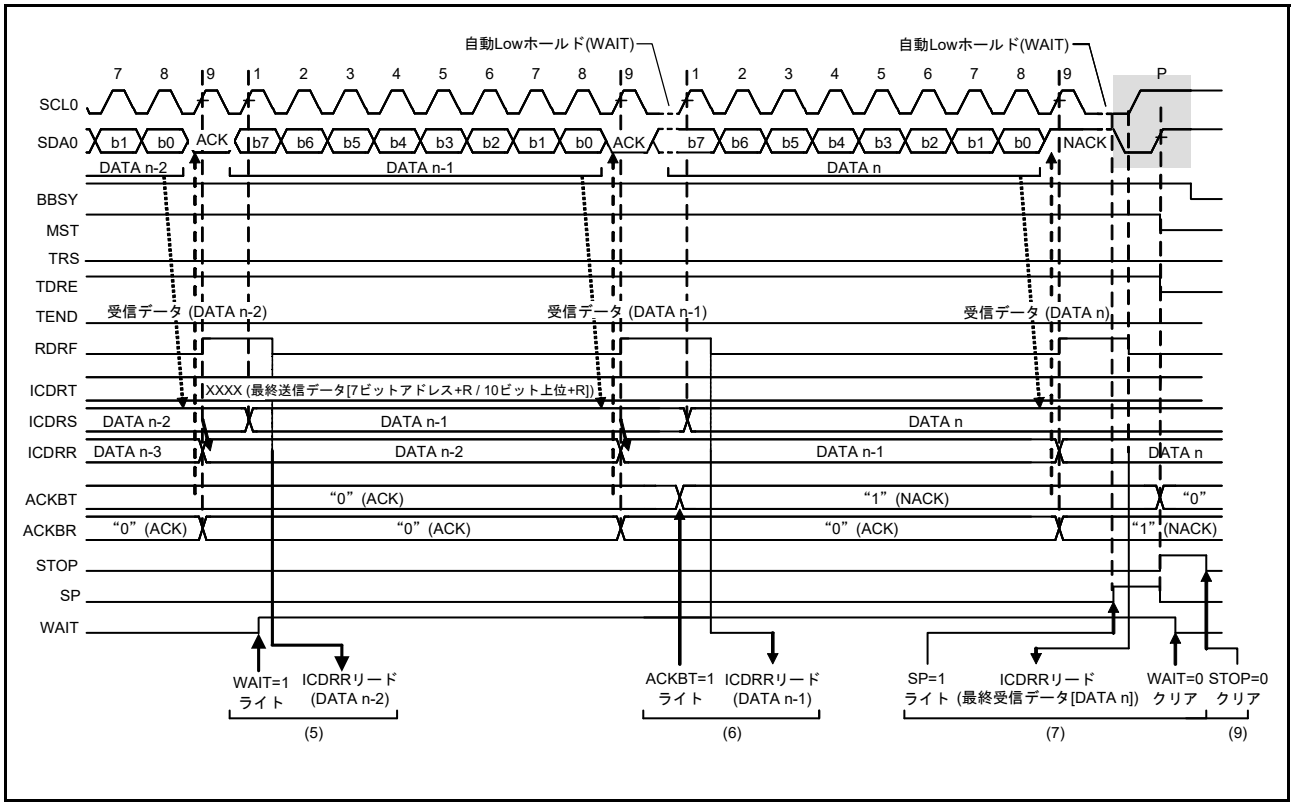


図 33.13　マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

33.3.5　スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL を出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 33.14 にスレーブ送信の使用例を示します。**図 33.15**、**図 33.16** にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

(1) 初期設定を行います。詳細は「**33.3.2　初期設定**」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ～ 2) のいずれかを “1” にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKE ビットが “1” の状態でマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。

(4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。
ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCL0 ラインを Low にホールドします。

(5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL0 ラインを開放します。

(6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ～ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。

(7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

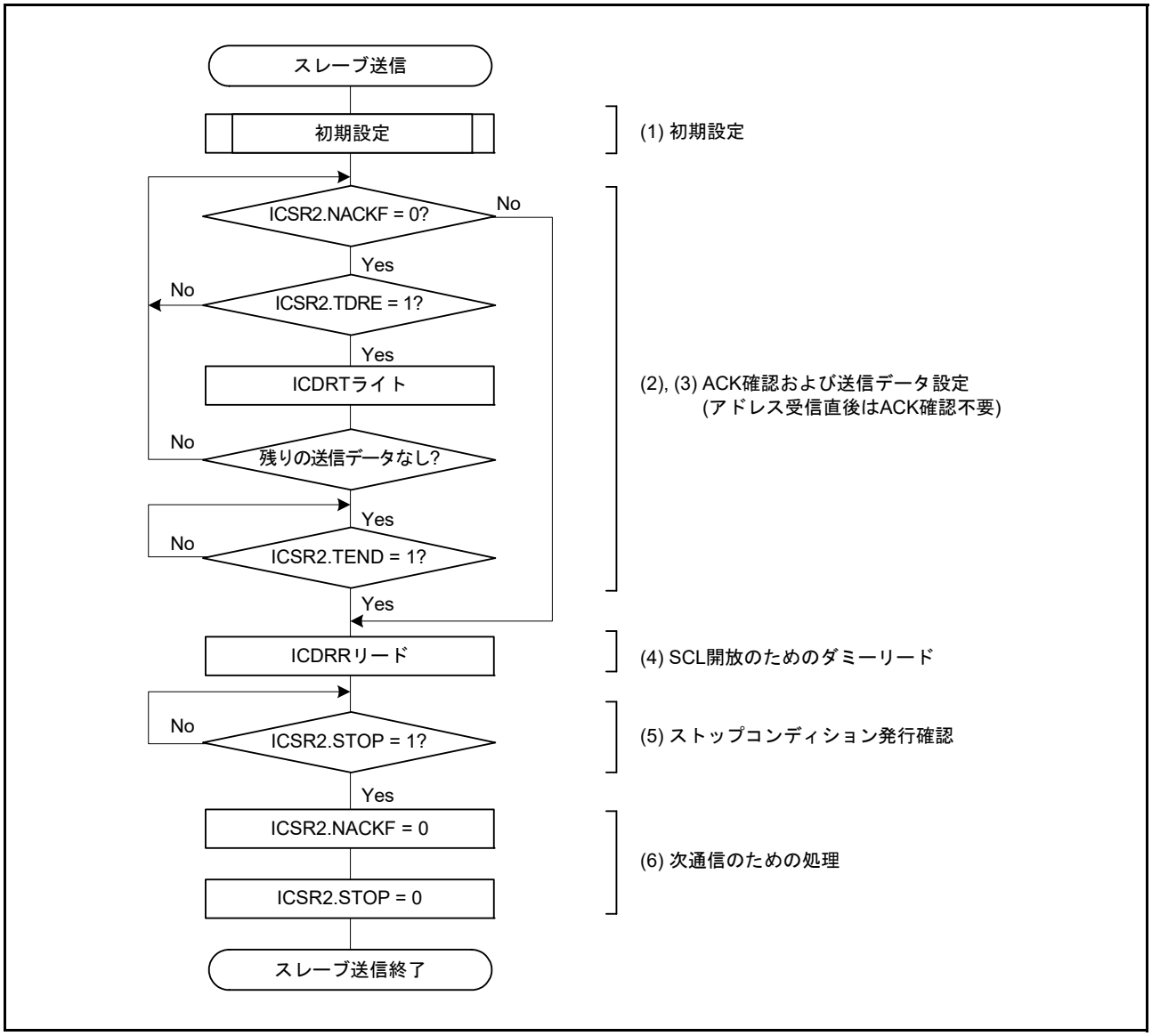


図 33.14　スレーブ送信のフローチャート例

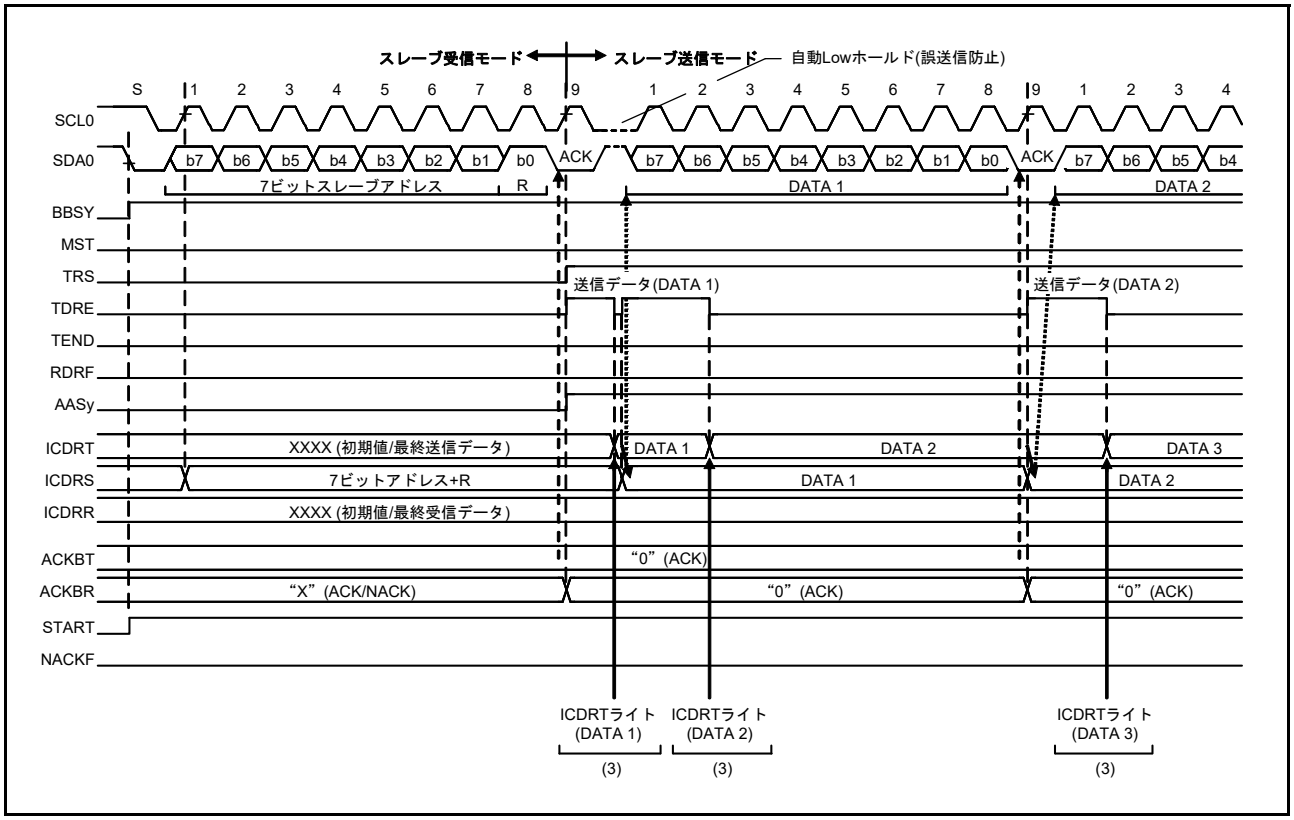


図 33.15　スレーブ送信の動作タイミング (1) (7 ビットアドレスフォーマットのとき)

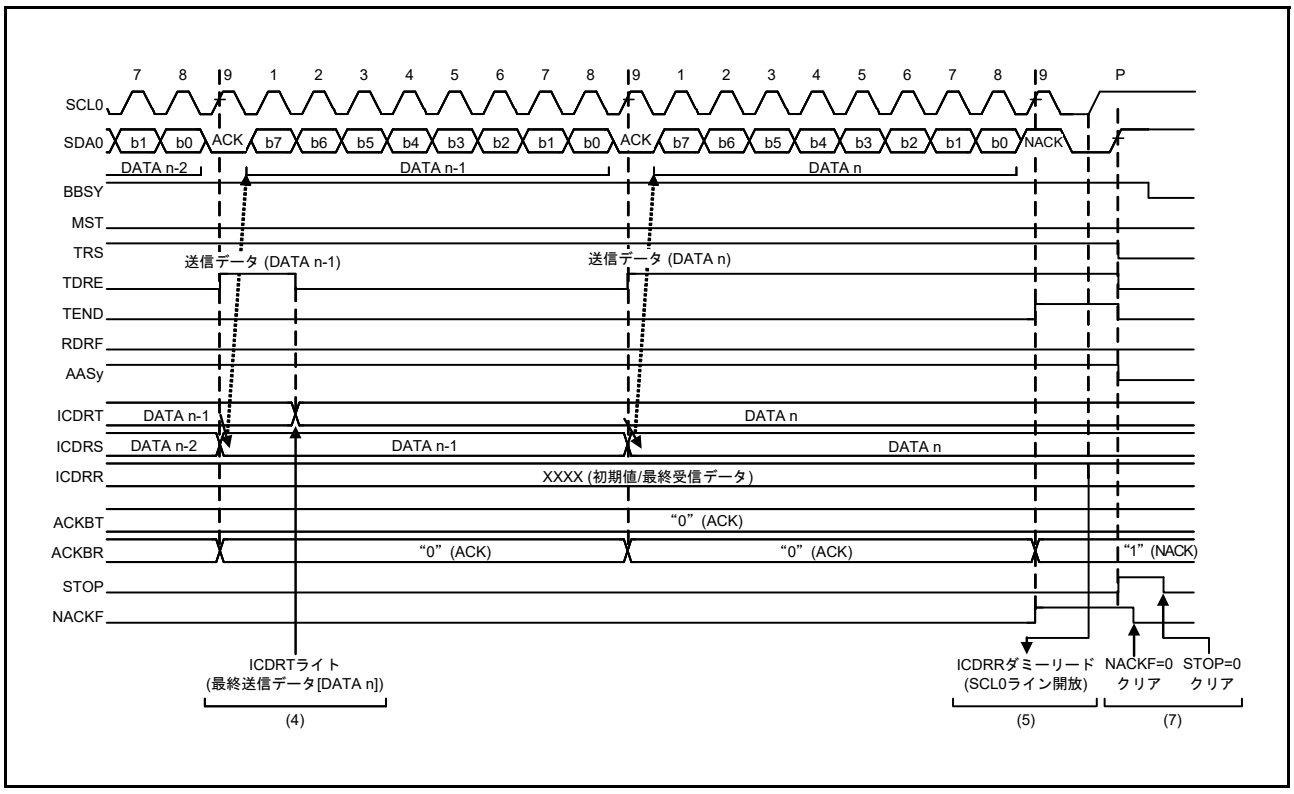


図 33.16　スレーブ送信の動作タイミング (2)

33.3.6　スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL と送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 33.17 にスレーブ受信の使用例を**図 33.18**、**図 33.19** にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

(1) 初期設定を行います。詳細は「**33.3.2　初期設定**」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、RIIC は 9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ～ 2) のいずれかを “1” にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを “1” にします。

(3) ICSR2.STOP フラグが “0” で、かつ ICSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。

(4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に “0” にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが “1” になるタイミングの 1 つ手前の SCL 立ち下がりで SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL0 ラインを開放します。
ICSR2.STOP フラグが “1” で、かつ ICSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。

(5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ～ 2) を自動的に “0” にします。

(6) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.STOP フラグを “0” にしてください。

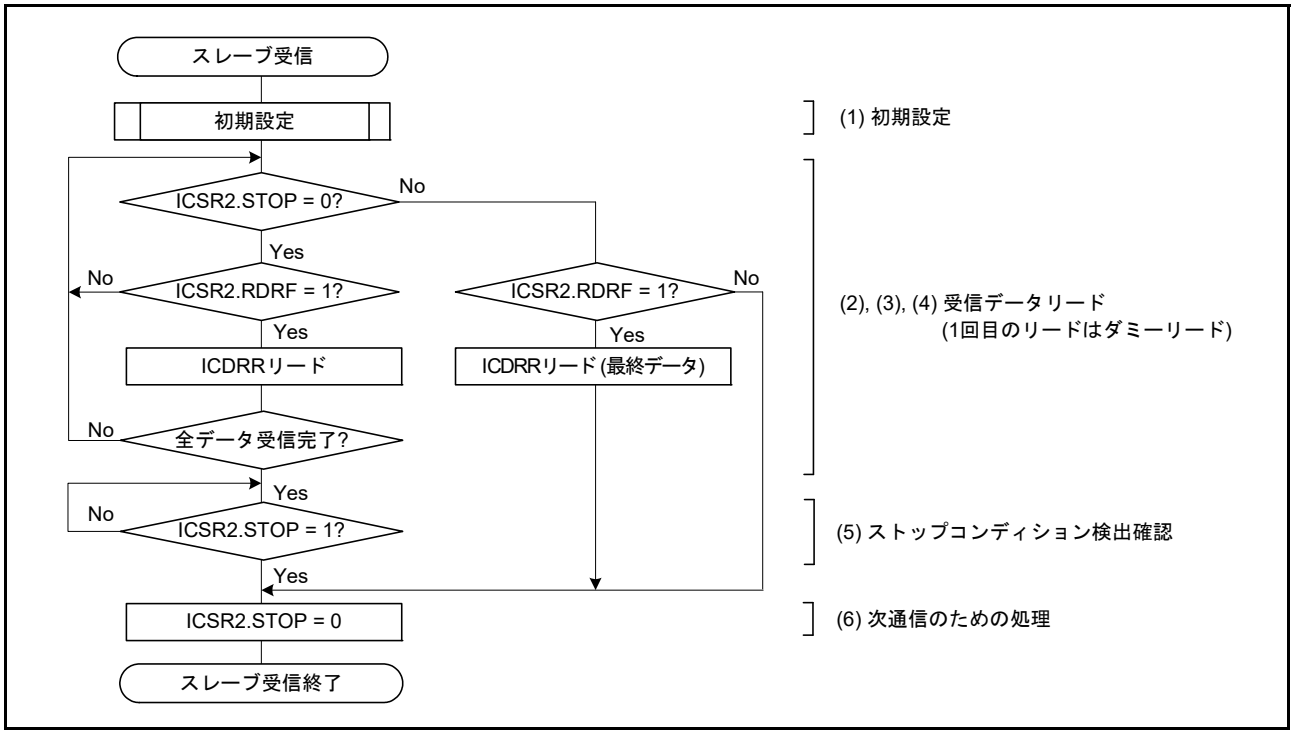


図 33.17　スレーブ受信のフローチャート例

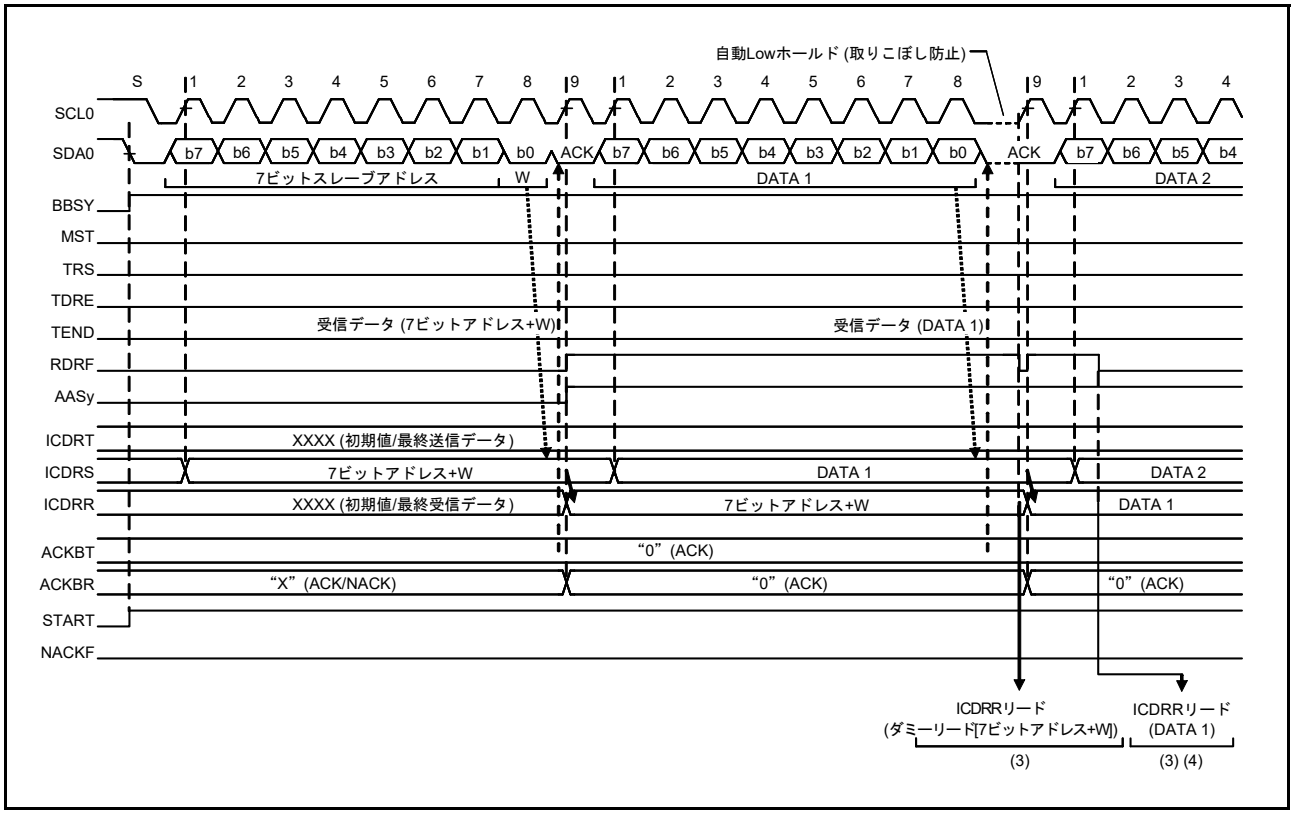


図 33.18　スレーブ受信の動作タイミング (1) (7 ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

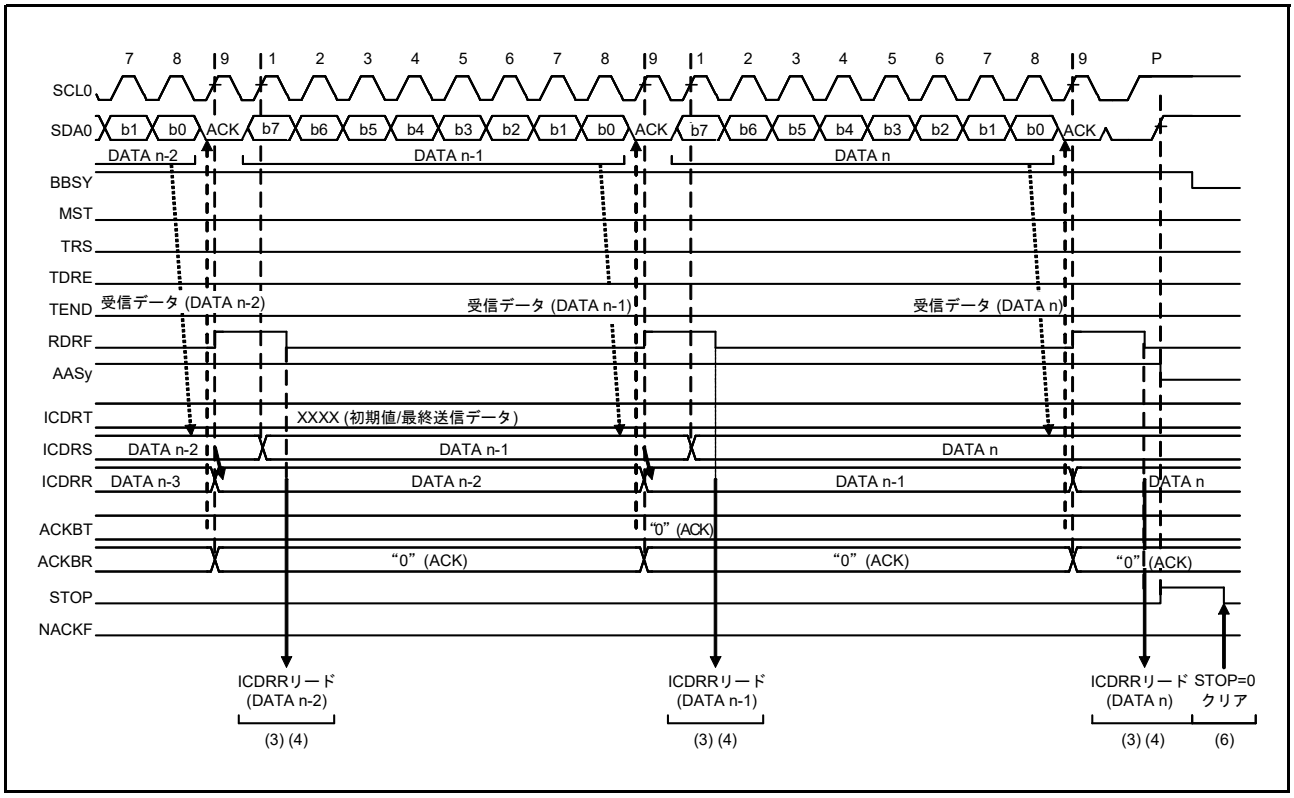


図 33.19　スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

33.4 SCL 同期回路

RIIC の SCL 生成は SCL0 ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCL0 ラインを Low にドライブして立ち下げます。また SCL0 ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。これにより SCL を生成します。

I2C バスをマルチマスタで使用する場合、SCL は他のマスタデバイスとの競合により SCL 同士が衝突する場合があります。SCL が衝突した場合、マスタデバイスは SCL の同期化を行う必要があります。この SCL の同期はビットごとに行う必要があり、RIIC はマスタモード時に SCL0 ラインを監視してビットごとに同期を取りながら SCL を生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL0 ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL 出力により SCL0 ラインが立ち下げられた場合、RIIC は SCL0 ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCL0 ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。このとき他のマスタデバイスの SCL の Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL の Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL0 ラインが開放され SCL が立ち上がります。そのため SCL 出力衝突時の SCL の High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが “1” のとき有効です。

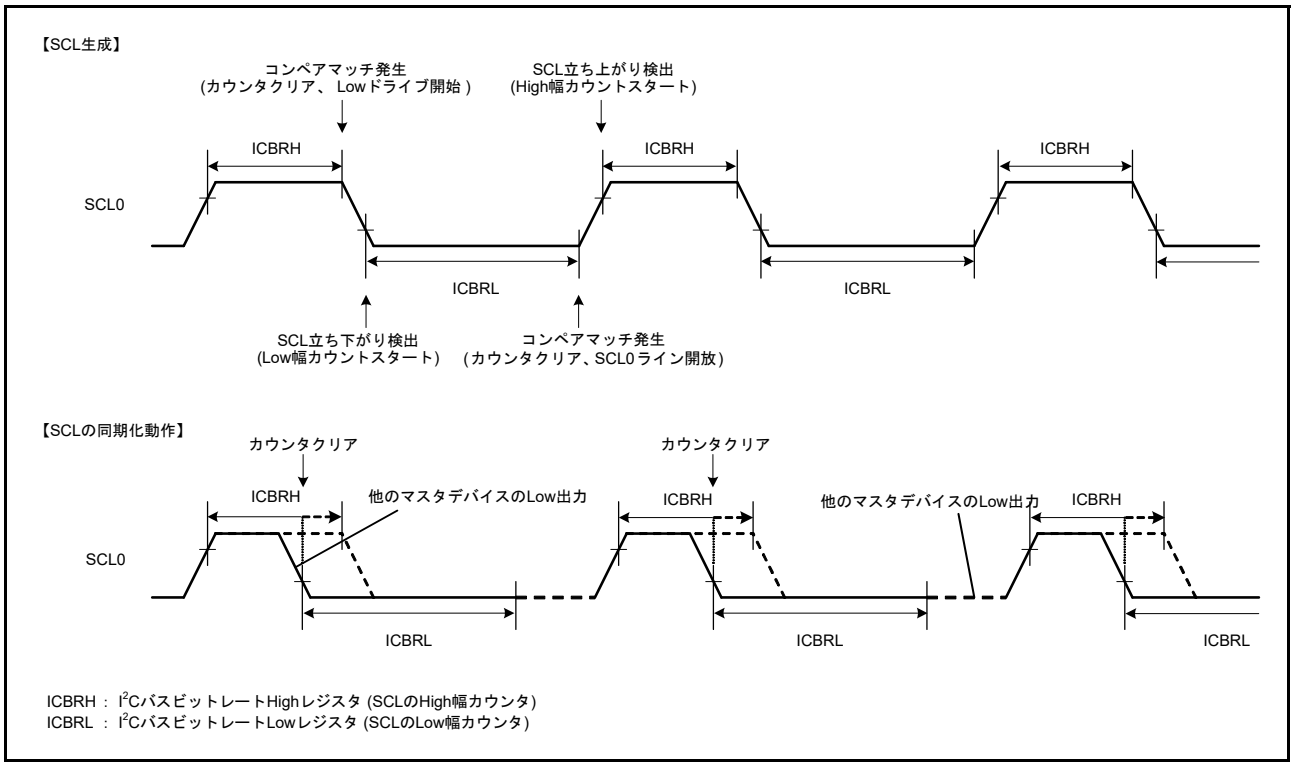


図 33.20 RIIC の SCL 生成および SCL 同期化動作

33.5　SDA 出力遅延機能

RIIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング (発行動作 (スタート / リスタート / ストップコンディション)、データ出力、ACK/NACK 出力) を遅延させることができます。

SDA 出力遅延機能は、SCL の立ち下がり検出から SDA 出力を遅延させ、確実に SCL の Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用します。また、SMBus のデータホールド時間：300 ns (min) の仕様を満たす目的でも使用することができます。

この SDA 出力遅延機能は ICMR2.SDDL[2:0] ビットが “000b” 以外のとき有効で、SDDL[2:0] ビットが “000b” のとき無効です。

SDA 出力遅延機能が有効 (SDDL[2:0] ビットが “000b” 以外) のとき、SDA 出力遅延カウンタは ICMR2.DLCS ビットで選択された内部基準クロック (IICφ) またはその 2 分周クロック (IICφ/2) をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行います。遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力 (発行動作 (スタート / リスタート / ストップコンディション)、データ出力、ACK/NACK 出力) を行います。

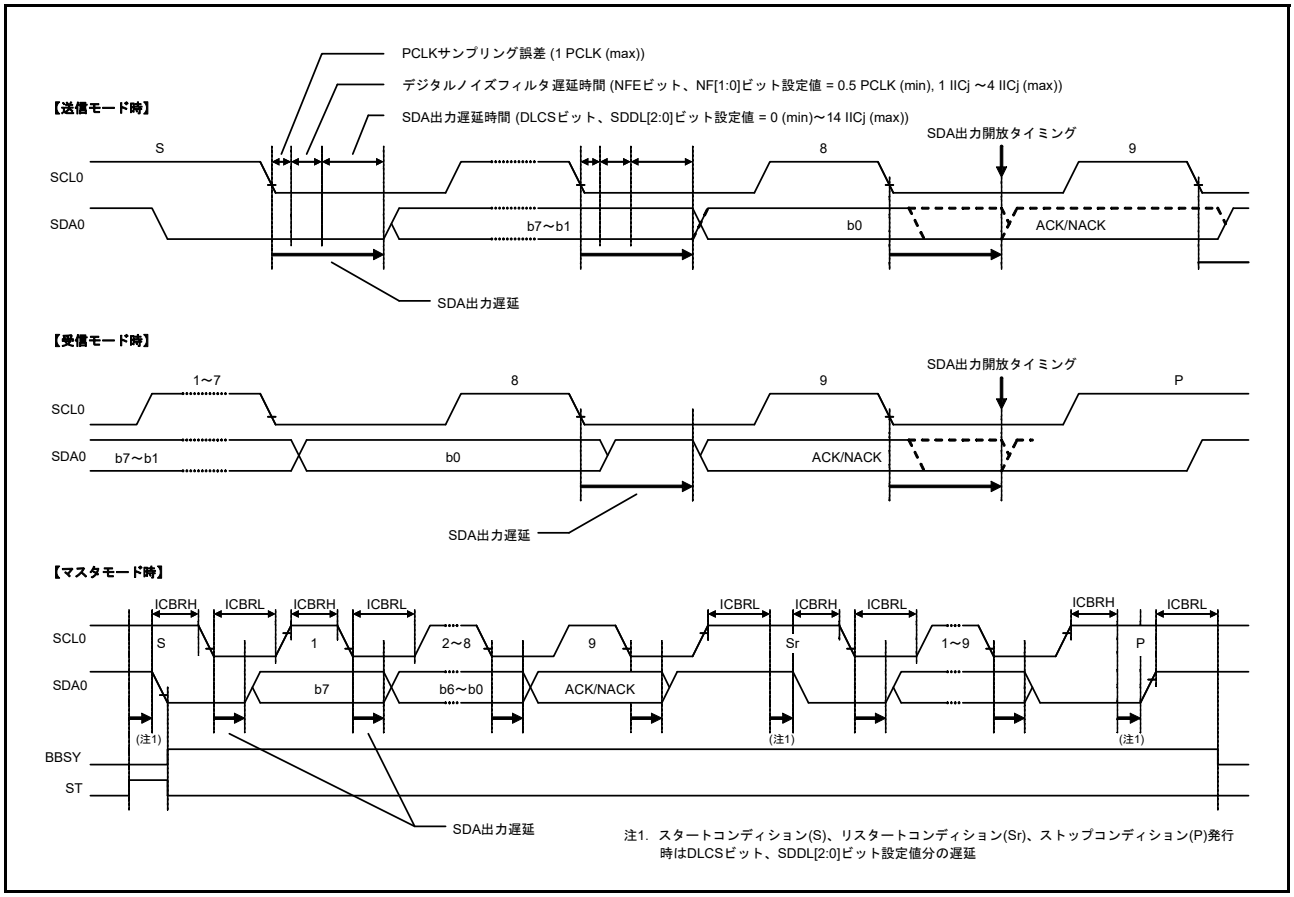


図 33.21　SDA 出力遅延タイミング

33.6　デジタルノイズフィルタ回路

SCL0 端子および SDA0 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。図 33.22 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1 IICφ ～ 4 IICφ サイクル分となります。

SCL0 端子入力信号 (または SDA0 端子入力信号) は IICφ の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4 MHz 時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合がありますので注意してください。

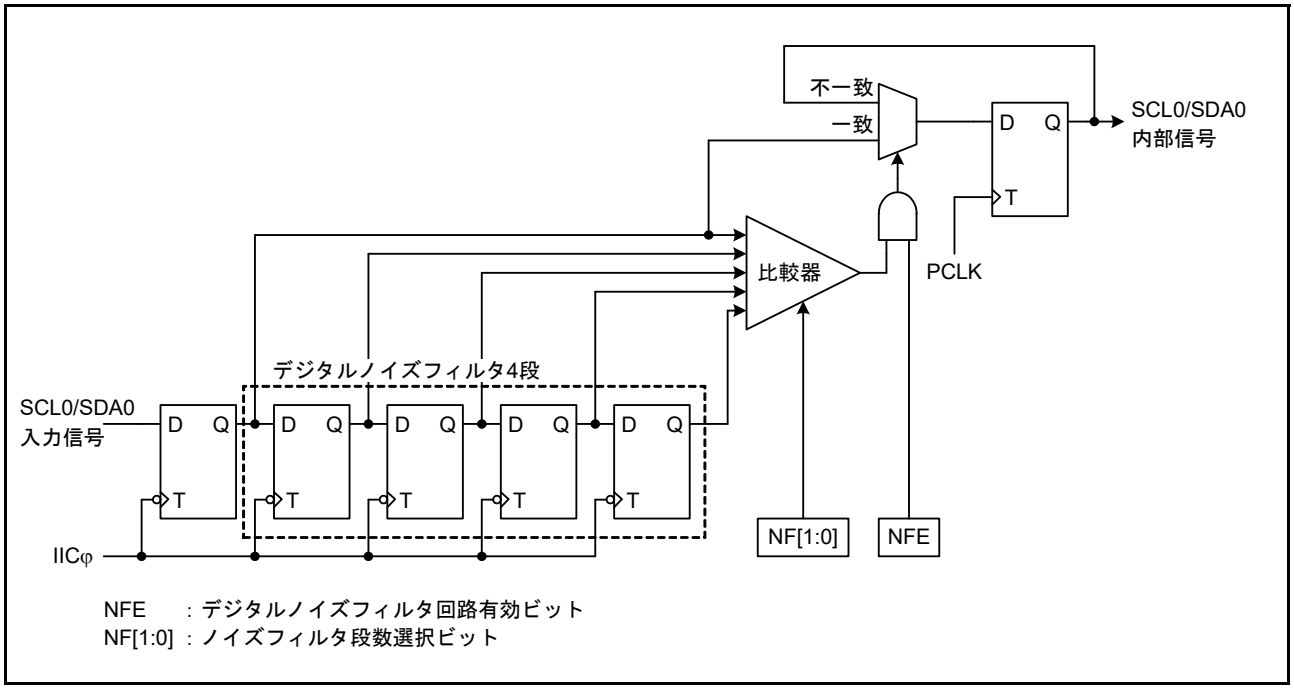


図 33.22　デジタルノイズフィルタ回路のブロック図

33.7　アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

33.7.1　スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyE ビット (y = 0 ～ 2) が “1” のとき、SARUy/SARLy レジスタ (y = 0 ～ 2) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、9 個目の SCL の立ち上がりで該当する ICSR1.AASy フラグ (y = 0 ～ 2) を “1” にし、このとき受信した R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグを “1” にします。これにより受信データフル割り込み (RXI) または送信データエンプティ割り込み (TXI) を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 33.23 ～図 33.25 に AASy フラグが “1” になるタイミングを示します。

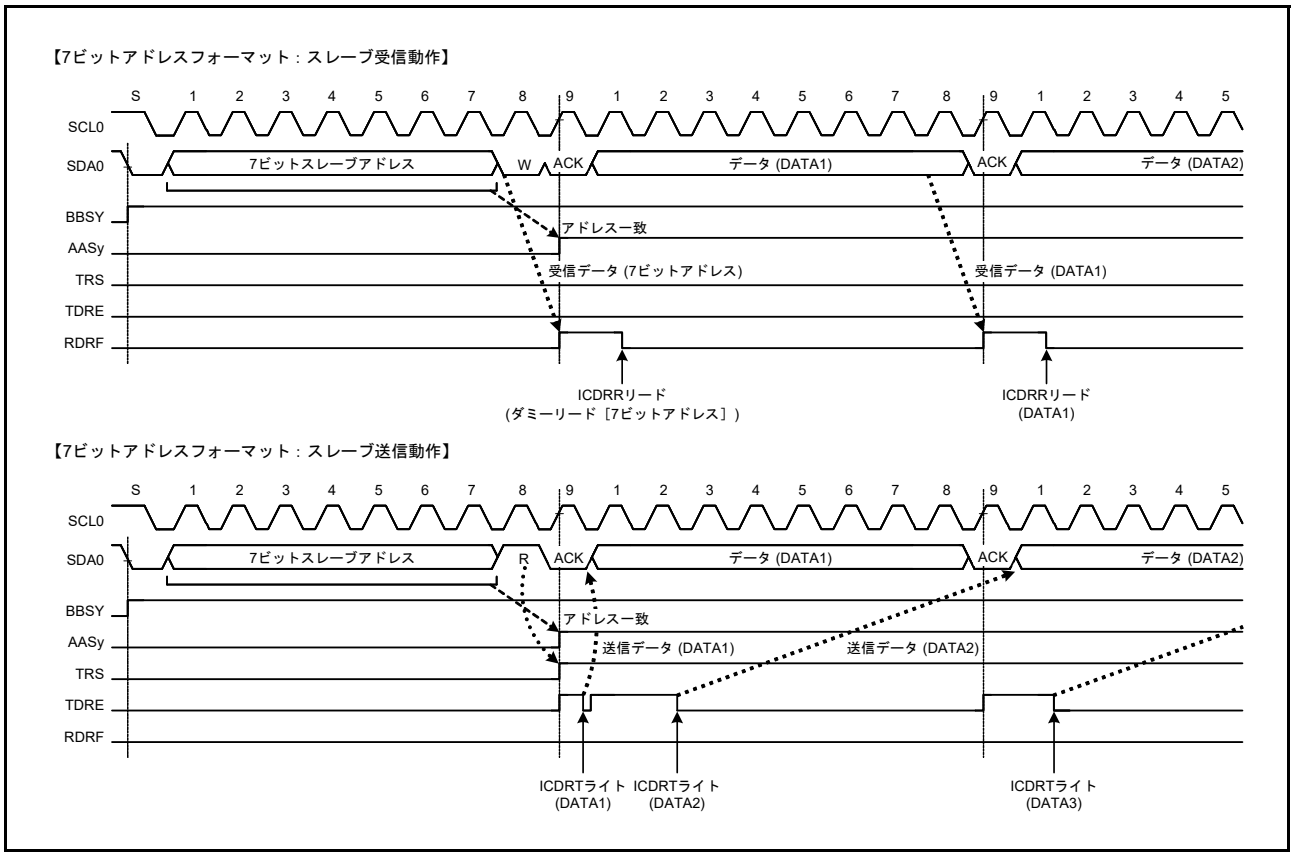


図 33.23　7 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

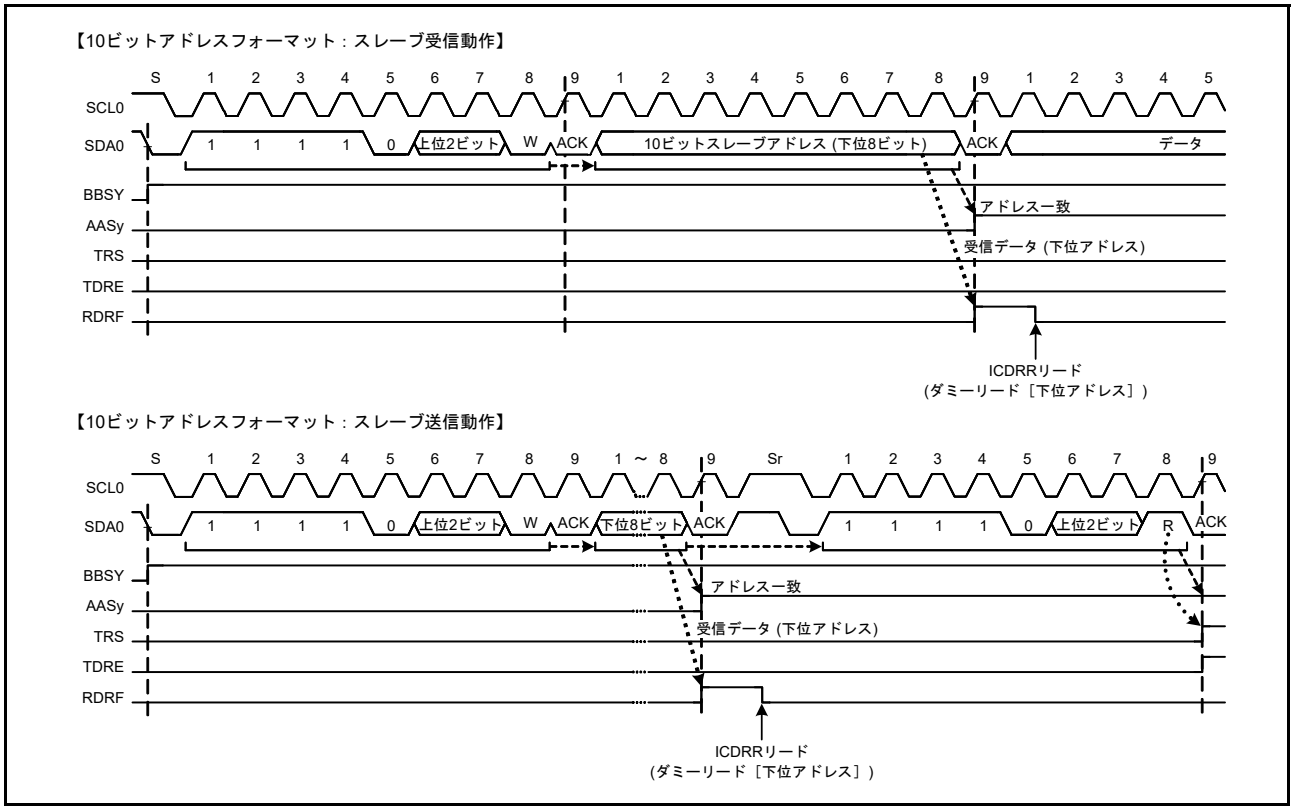


図 33.24　10 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

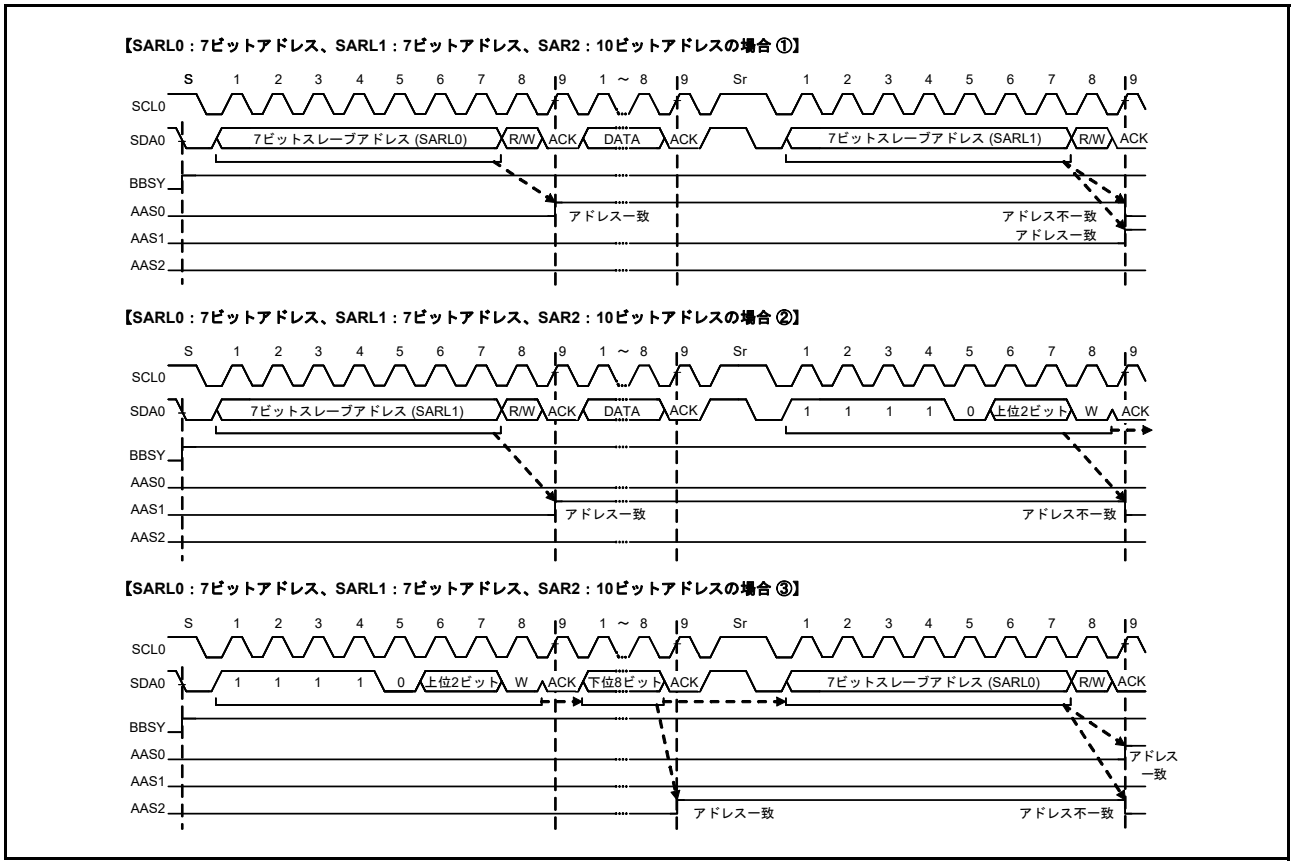


図 33.25　7 ビット /10 ビットアドレスフォーマット混在時に AASy フラグが “1” または “0” になるタイミング

33.7.2　ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSER.GCAE ビットが “1” のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIIC はこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、9 個目の SCL の立ち上がりで ICSR1.GCA フラグを “1” にし、同時に ICSR2.RDRF フラグを “1” にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

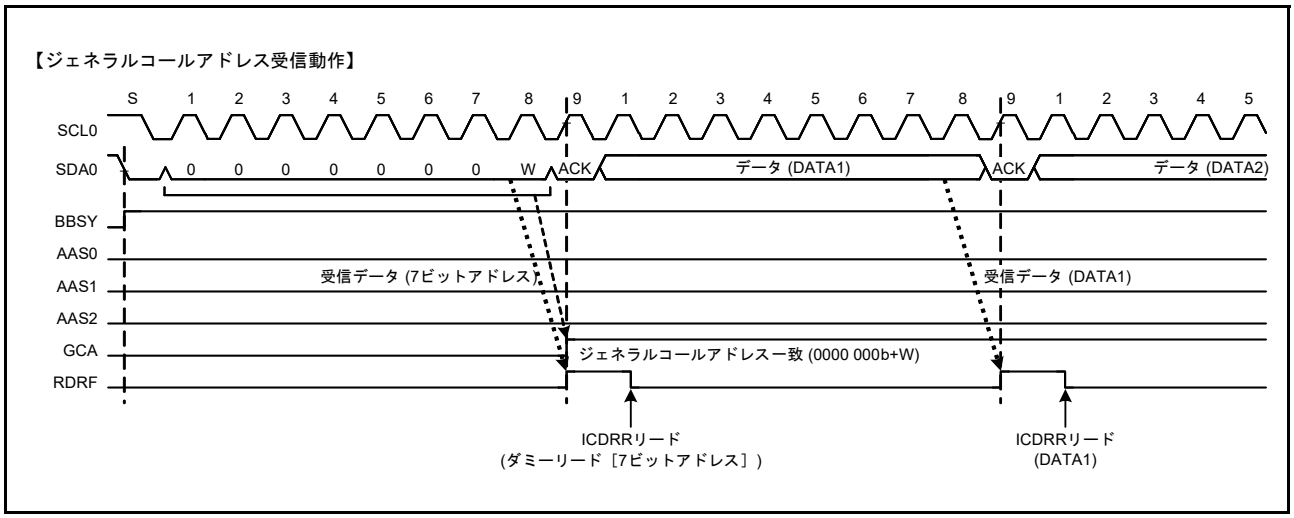


図 33.26　ジェネラルコールアドレス受信時に GCA フラグが “1” になるタイミング

33.7.3 デバイス ID アドレス検出機能

RIIC は I2C バス仕様に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを “1” にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが “0” のとき 9 個目の SCL の立ち上がりで ICSR1.DID フラグを “1” にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AASy フラグ (y = 0 ～ 2) が “1” になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが “1” のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを “1” にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを “0” にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが “0” のとき DID フラグを “1” にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが “1” の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE フラグが “1” であることを確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイト分：メーカ [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) は、通常の送信データと同様あらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

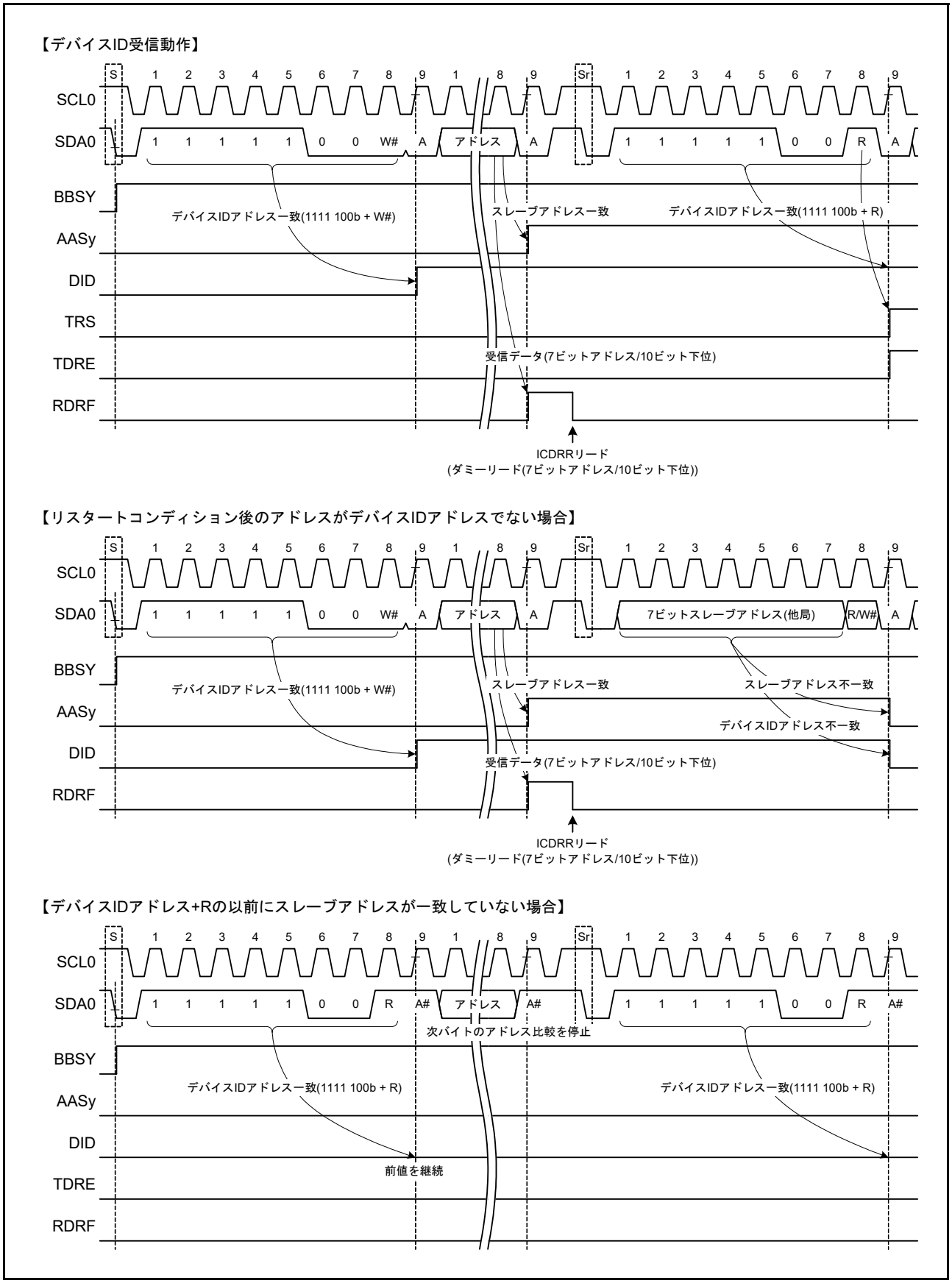


図 33.27　デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

33.7.4　ホストアドレス検出機能

RIIC には SMBus 動作時にホストアドレス検出機能を備えています。ICMR3.SMBS ビットが “1” のとき ICSER.HOAE ビットを “1” にすると、スレーブ受信モード (ICCR2.MST, TRS ビット = 00b) にホストアドレス (0001 000b) を検出することが可能です。

RIIC はホストアドレスを検出すると、9 個目の SCL の立ち上がりで ICSR1.HOA フラグを “1” にし、Wr ビット (R/W# ビットに “0” を受信) のとき ICSR2.RDRF フラグを “1” にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOA フラグを確認することでスマートバッテリなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# ビットに “1” を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

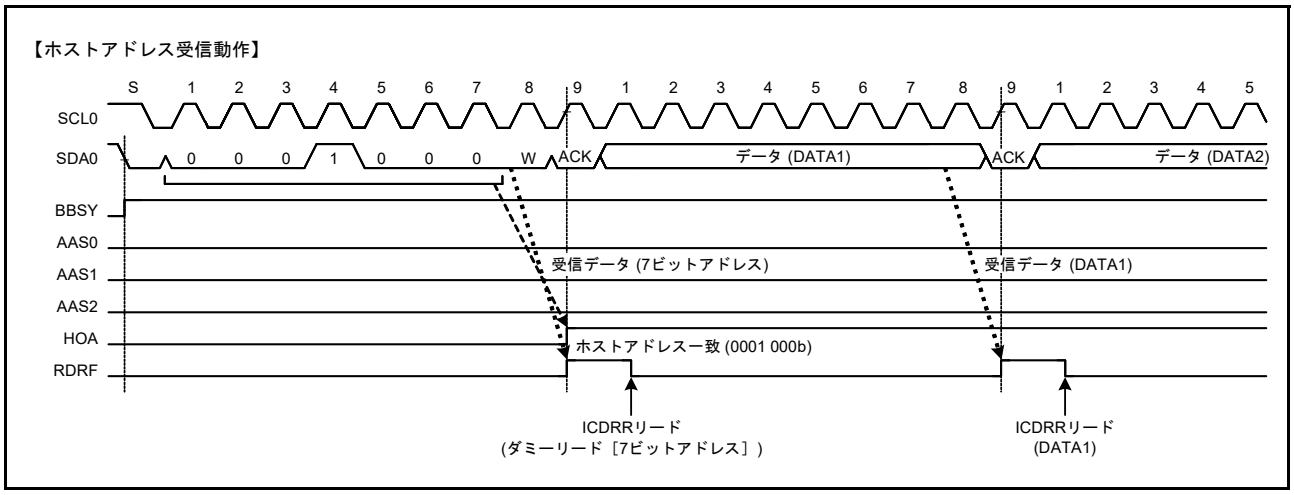


図 33.28　ホストアドレス受信時に HOA フラグが “1” になるタイミング

33.8　SCL の自動 Low ホールド機能

33.8.1　送信データ誤送信防止機能

RIIC は送信モード時 (ICCR2.TRS ビット = 1)、シフトレジスタ (ICDRS レジスタ) が空の状態でかつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCL0 ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション / リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の間の Low 区間

《スレーブ送信モード》

- 9 クロック目と 1 クロック目の間の Low 区間

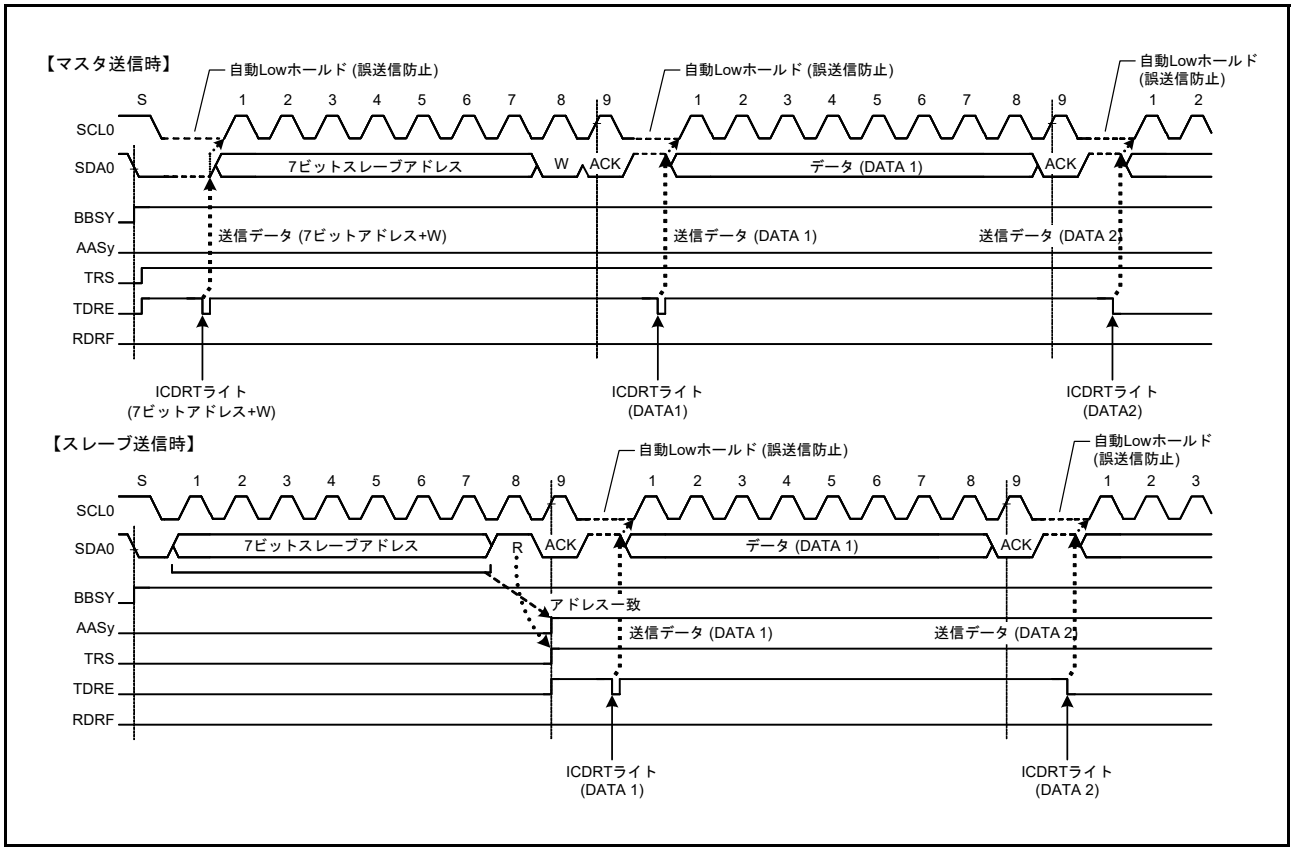


図 33.29　送信モードの自動 Low ホールド動作

33.8.2　NACK 受信転送中断機能

RIIC は送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKE ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、9 個目の SCL の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA0 ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。マスタ送信モードの場合には、リスタートコンディション発行後に NACKF フラグを “0” にして動作をやり直すか、ストップコンディション発行後に NACKF フラグを “0” にし、その後スタートコンディションの発行からやり直してください。

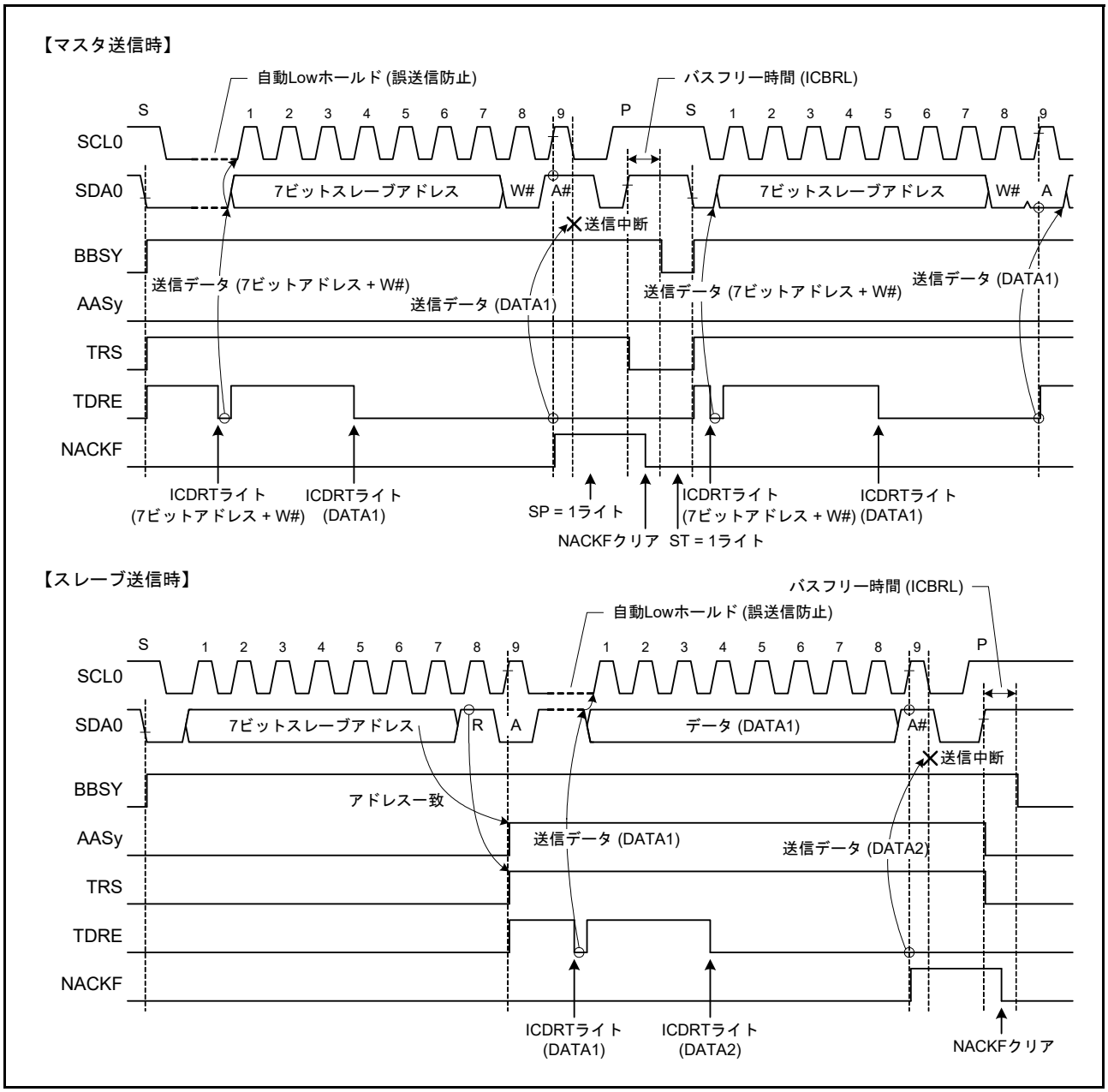


図 33.30　NACK 受信時の転送中断動作 (NACKE ビット = 1 のとき)

33.8.3 受信データ取りこぼし防止機能

RIIC は受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL0 ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT ビットと RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを “1” にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。ICMR3.RDRFS ビットが “0” のとき、RIIC は SCL の 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9 クロック目の立ち下がりを検出すると WAIT ビット機能により自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御)/ 自動 Low ホールド機能

ICMR3.RDRFS ビットを “1” にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを “1” にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が “1” になるタイミングが 8 個目の SCL の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

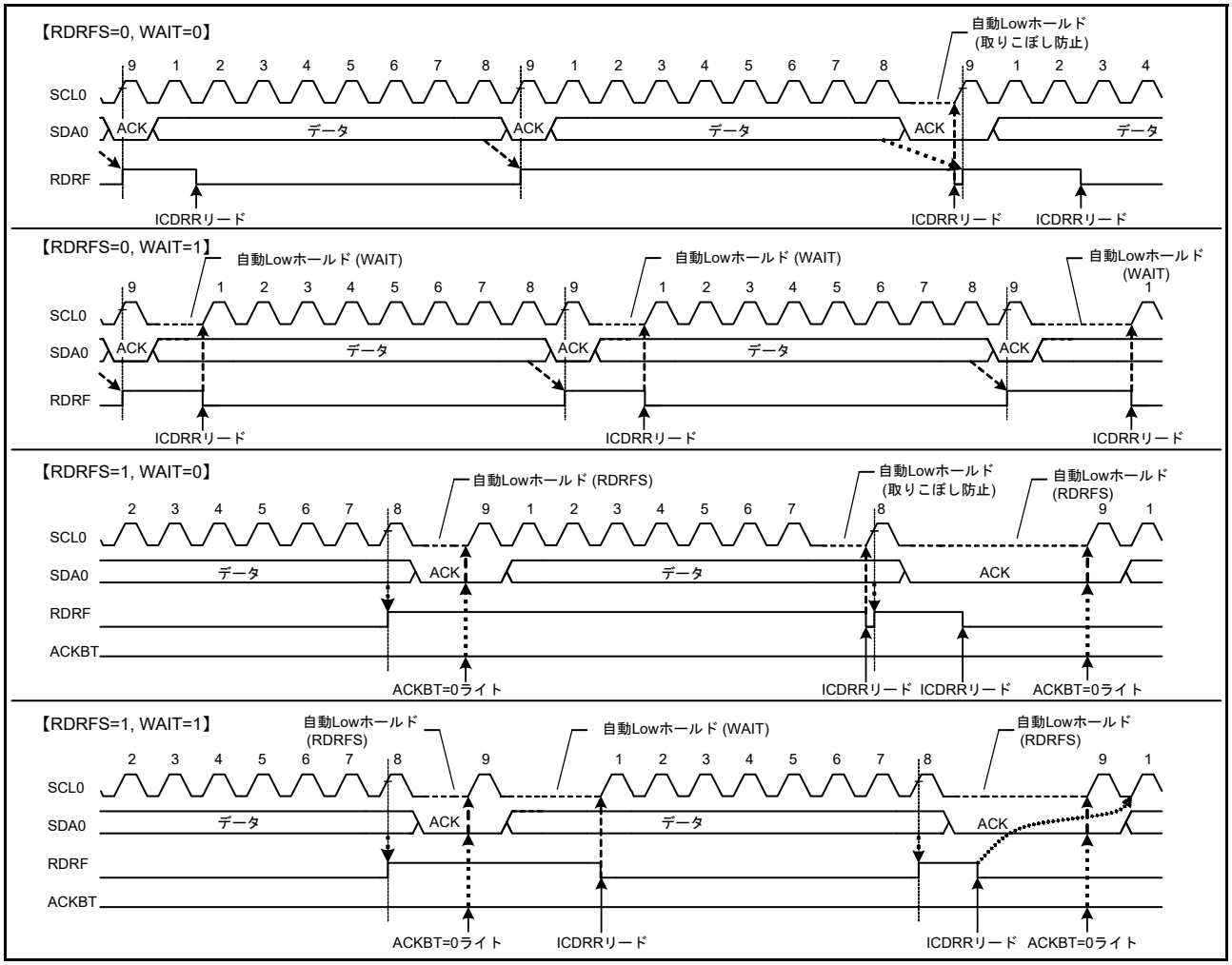


図 33.31　受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

33.9 アービトレーションロスト検出機能

RIIC には I2C バス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

33.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIIC はスタートコンディション発行の際 SDA0 ラインを Low にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDA0 ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に ICCR2.BBSY フラグが “1” (バスビジー) のときに ICCR2.ST ビットを “1” にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ (SDA 信号) と SDA0 ラインに不一致が生じた場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なお RIIC は、ICFER.MALE ビットが “1” (マスタアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、マスタアービトレーションロストを検出します。

マスタアービトレーションロスト検出条件

- ICCR2.BBSYフラグが“0”の状態でICCR2.STビットを“1”にしてスタートコンディションを発行したときに、SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (スタートコンディション発行エラー)
- ICCR2.BBSYフラグが“1”の状態でICCR2.STビットを“1”にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRS ビット = 11b)、アクノリッジを除く送信データ (SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

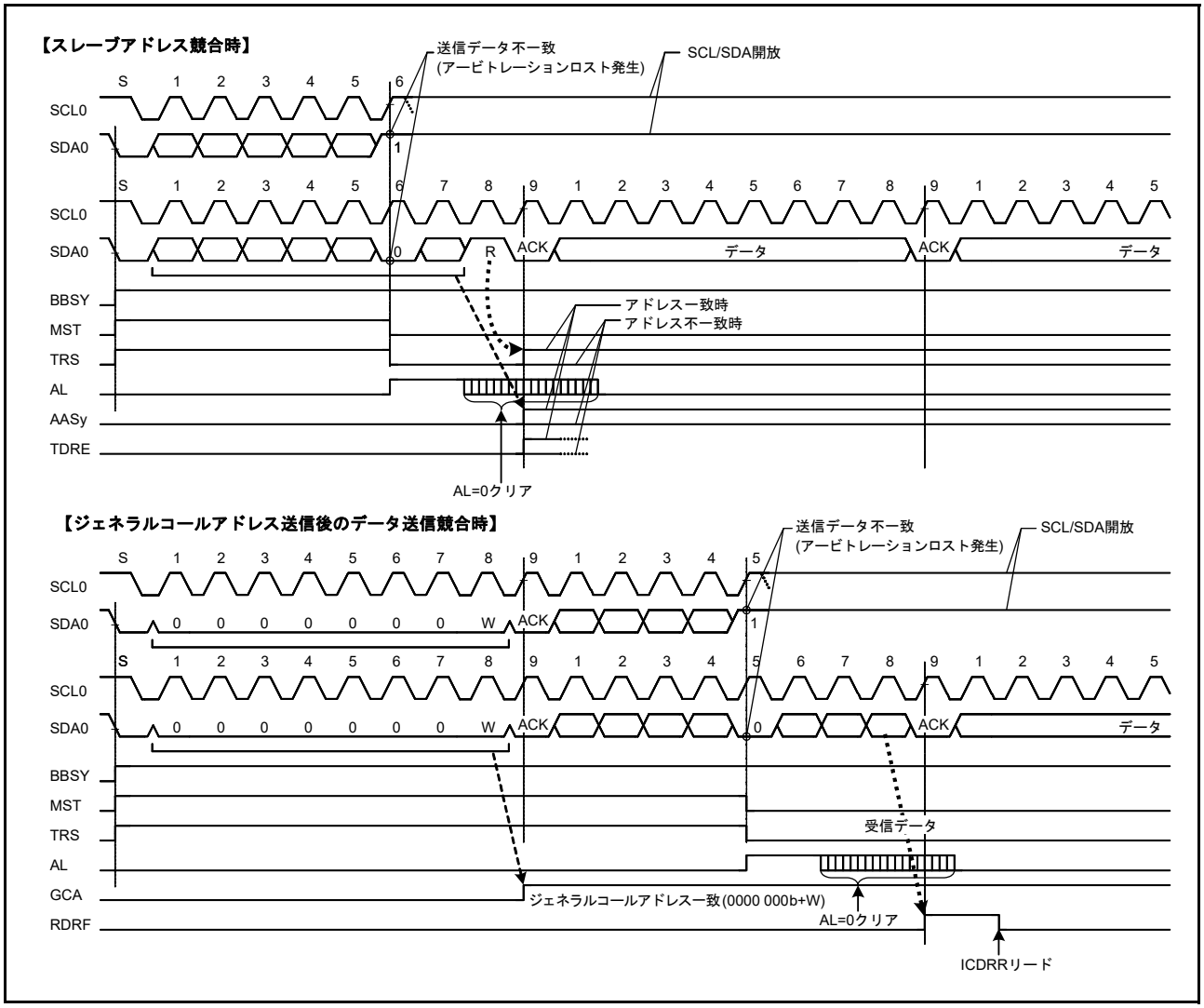


図 33.32　マスタアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

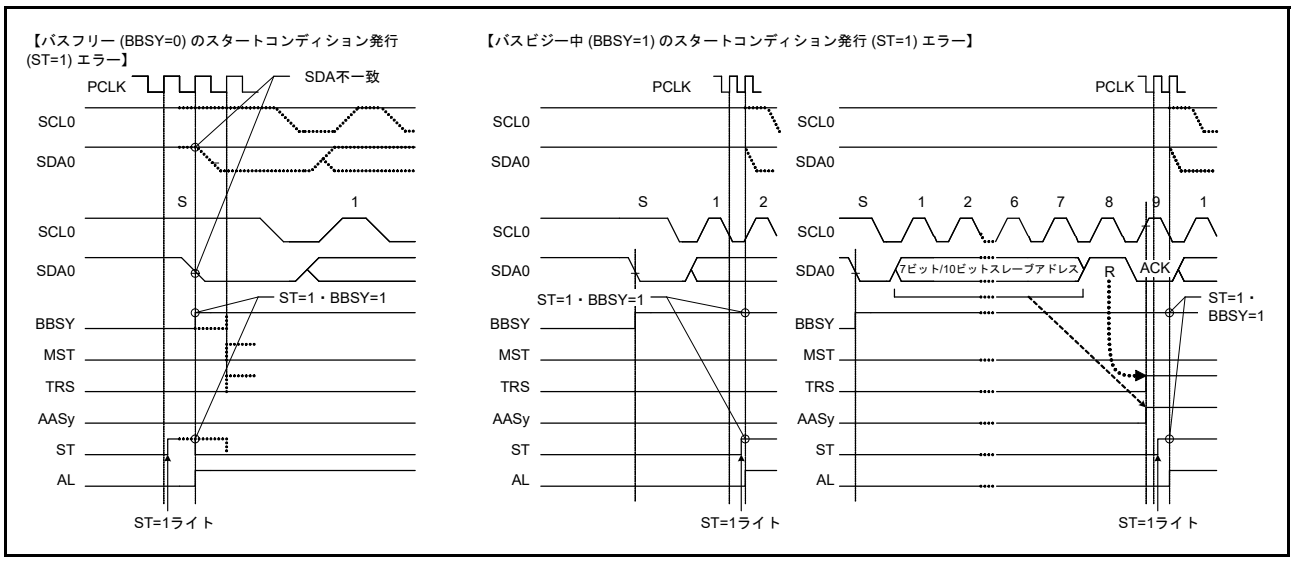


図 33.33　スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

33.9.2　NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIIC は受信モード時で NACK 送信時に出力した SDA 信号と SDA0 ライン上の信号の状態が不一致の場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。NACK 送信アービトレーションロストは、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図 33.34 に NACK 送信アービトレーションロスト検出動作例を示します。

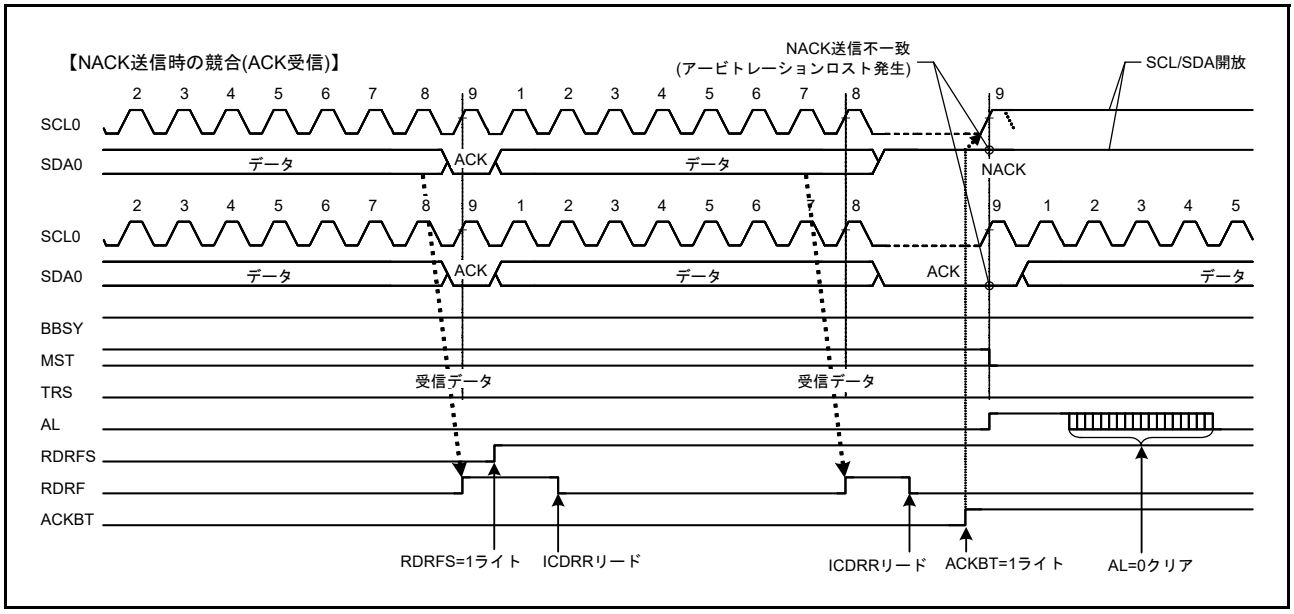


図 33.34　NACK 送信アービトレーションロスト検出動作例 (NALE ビット = 1 のとき)

2 つのマスタデバイス (マスタ A、マスタ B) と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B ともどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト目の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。このような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL 出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、アービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、Assign Address の UDID (Unique Device Identifier) 不一致時の NACK 送信以降、および Assign Address 確定後の Get UDID (General) の NACK 送信以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.NALE ビットが “1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、NACK 送信アービトレーションロストを検出します。

NACK 送信アービトレーションロスト検出条件

- NACK送信時(ICMR3.ACKBTビット=1)、出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき (ACK を受信したとき)

33.9.3　スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態に不一致が生じた場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (Unique Device Identifier) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.SALE ビットが “1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、スレーブアービトレーションロストを検出します。

スレーブアービトレーションロスト検出条件

- スレーブ送信モード時(ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

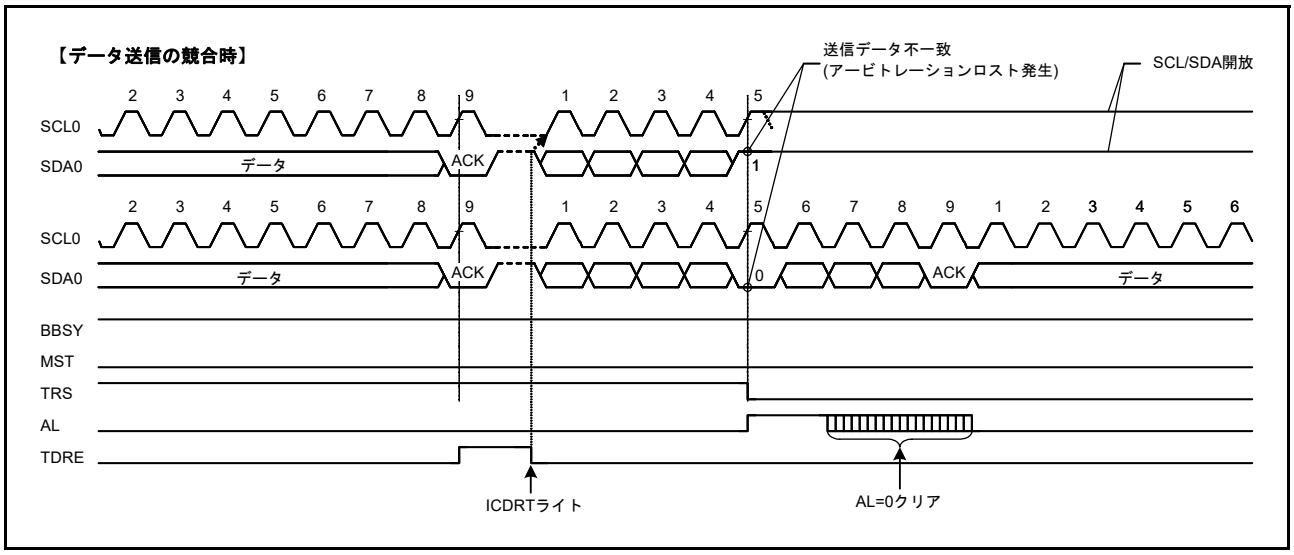


図 33.35　スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

33.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

33.10.1 スタートコンディション発行動作

RIIC は、ICCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを “1” にすると、スタートコンディション発行の要求が行われ ICCR2.BBSY フラグが “0” (バスフリー) の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

スタートコンディション発行動作

(1) SDA0 ラインを立ち下げ (High から Low に遷移)
(2) ICBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
(3) SCL0 ラインを立ち下げ (High から Low に遷移)
(4) SCL0 ラインの Low を検出後、ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保

33.10.2 リスタートコンディション発行動作

RIIC は ICCR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを “1” にするとリスタートコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが “1” (バスビジー) の状態でかつ ICCR2.MST ビットが “1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

リスタートコンディション発行動作

(1) SDA0 ラインを開放
(2) ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
(3) SCL0 ラインを開放 (Low から High に遷移)
(4) SCL0 ラインの High 検出後、ICBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
(5) SDA0 ラインを立ち下げ (High から Low に遷移)
(6) ICBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
(7) SCL0 ラインを立ち下げ (High から Low に遷移)
(8) SCL0 ラインの Low を検出後、ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保

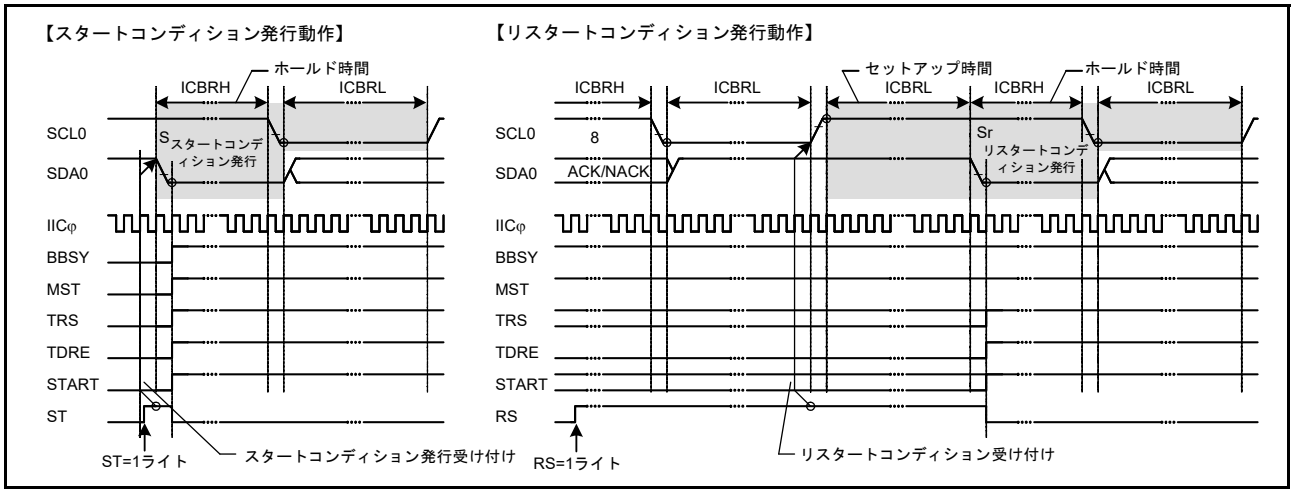


図 33.36　スタートコンディション / リスタートコンディション発行動作タイミング (ST、RS ビット)

33.10.3　ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを “1” にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが “1” (バスビジー) の状態でかつ ICCR2.MST ビットが “1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

ストップコンディション発行動作

(1) SDA0 ラインを立ち下げ (High から Low に遷移)
(2) ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
(3) SCL0 ラインを開放 (Low から High に遷移)
(4) SCL0 ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
(5) SDA0 ラインを開放 (Low から High に遷移)
(6) ICBRL レジスタで設定した時間、バスフリー時間を確保
(7) BBSY フラグクリア (バス権解放)

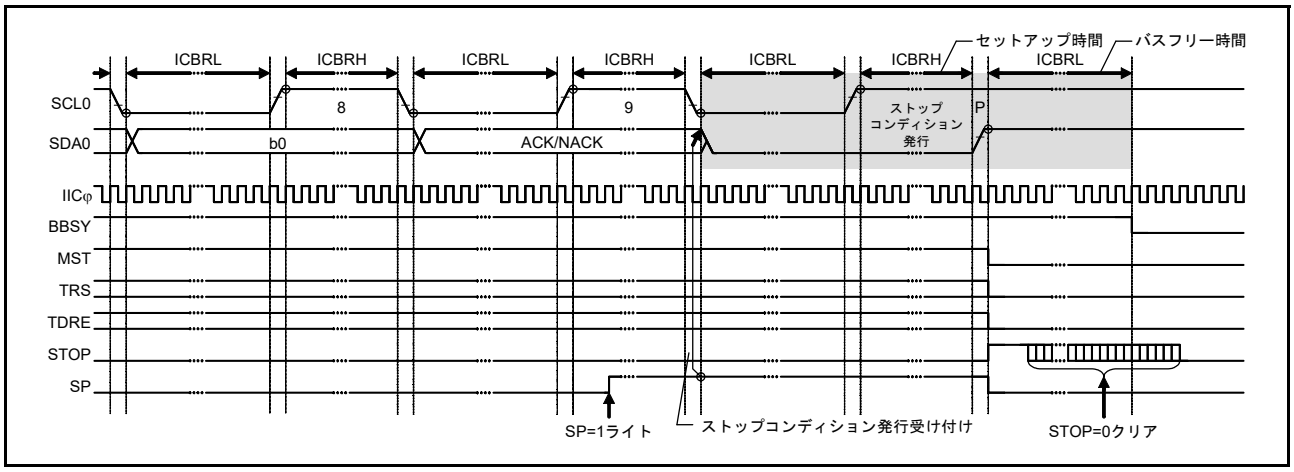


図 33.37　ストップコンディション発行動作タイミング (SP ビット)

33.11 バスハングアップ

I2C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL0 ラインや SDA0 ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCL0 ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するための SCL 追加出力機能および RIIC リセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCL0 ライン /SDA0 ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

33.11.1 タイムアウト検出機能

RIIC には SCL0 ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は、SCL0 ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCL0 ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCL0 ラインに変化 (立ち上がり / 立ち下がり) があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL0 ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能は ICFER.TMOE ビットが “1” のとき有効で、以下の期間に SCL0 ラインの Low 固定または High 固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16 ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL0 ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を “0” にした場合は、内部カウント動作を行いません。

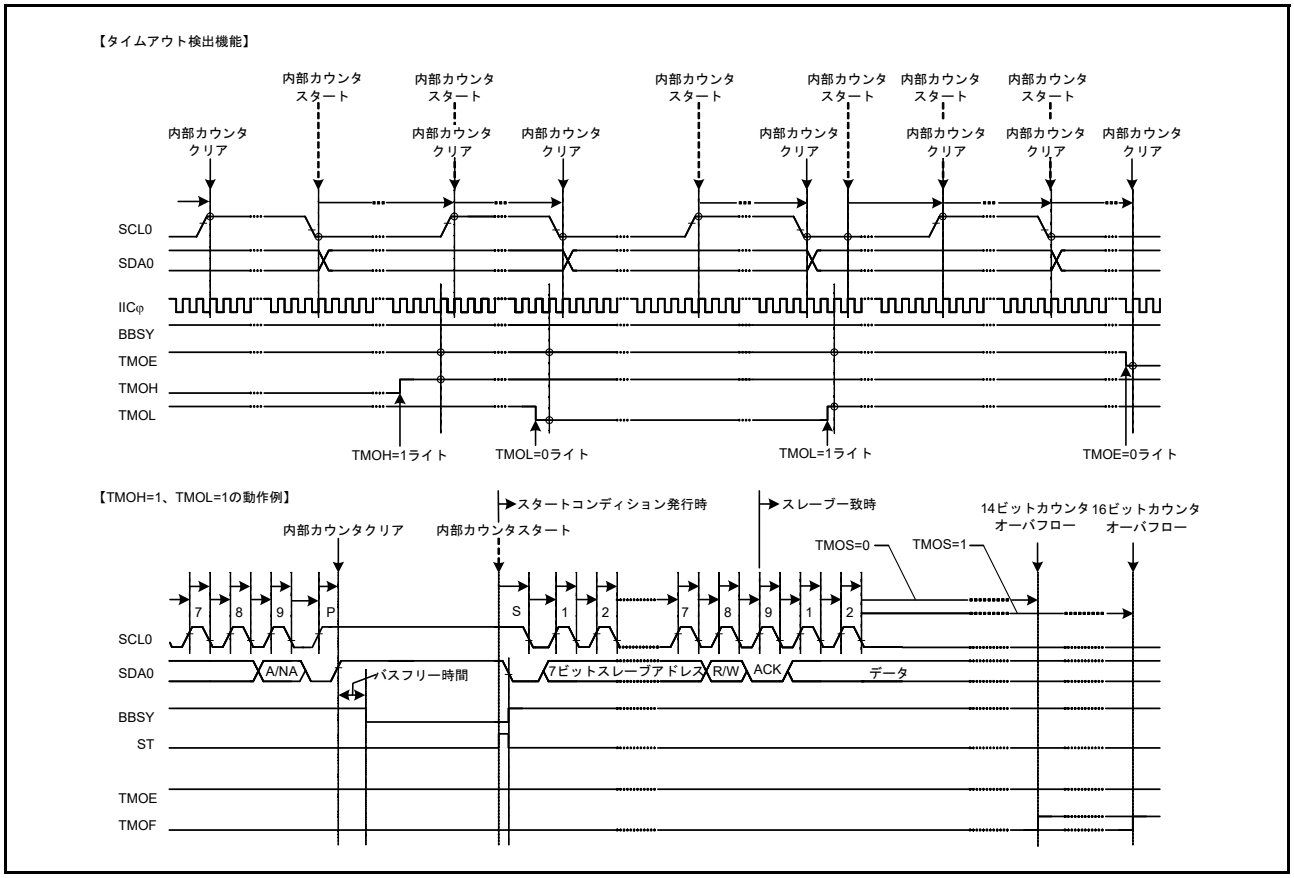


図 33.38 タイムアウト検出機能

33.11.2 SCL 追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスの SDA0 ライン Low 固定状態を開放するための SCL 追加出力機能を備えています。

SCL 追加出力機能は、SCL を 1 クロックずつ追加で出力する機能で、主にマスタモード時にスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA0 ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

ICCR1.CLO ビットを “1” にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された周波数のクロックが SCL0 端子から 1 クロック分追加で出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に “0” になります。このとき ICCR2.BBSY フラグが “1” であると SCL0 端子は Low になり、BBSY フラグが “0” であると SCL0 端子は High になります。CLO ビットが “0” であることを確認した後 “1” を書くことにより、追加クロックを連続して出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できないバスハングアップのとき、SCL 追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA0 ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA0 ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA0 ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを “0” (マスタアービトレーションロスト検出禁止) にして使用してください。

ICCR1.CLO ビットの使用条件

- バスフリー状態(ICCR2.BBSY フラグ = 0) またはマスタモード(ICCR2.MST ビット = 1、BBSY フラグ = 1 の状態) のとき
- 通信デバイスが SCL0 ラインを Low ホールドにしていない状態のとき

図 33.39 に SCL 追加出力機能 (CLO ビット) を示します。

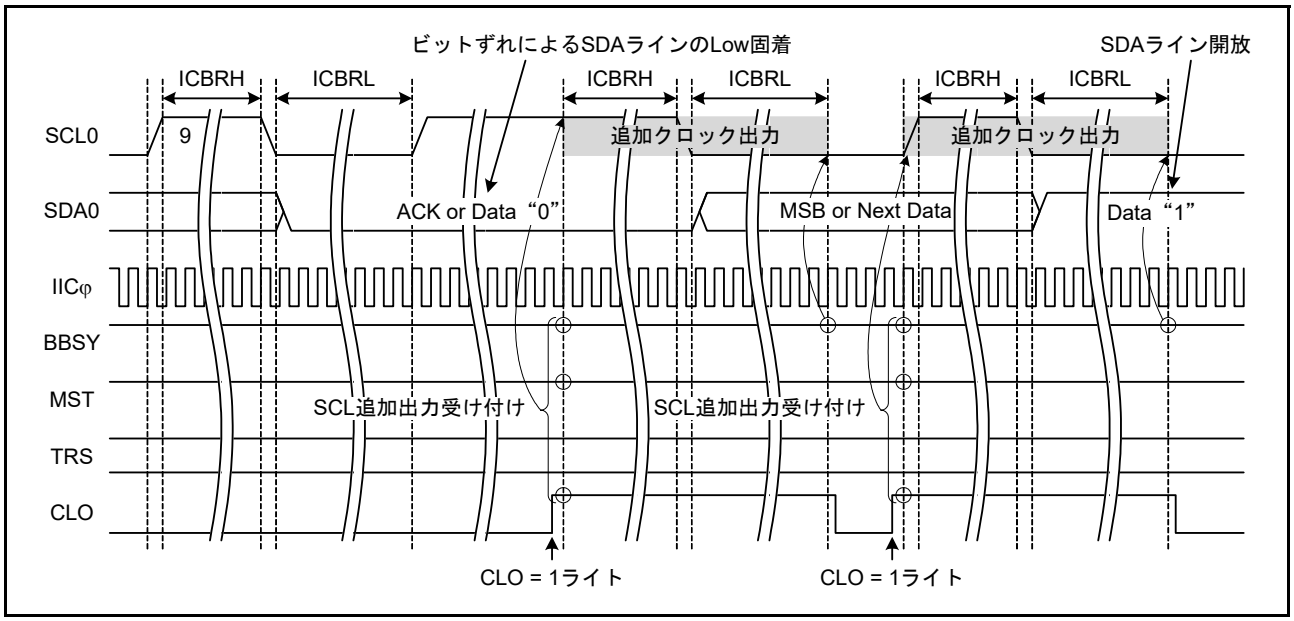


図 33.39　SCL 追加出力機能 (CLO ビット)

33.11.3　RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCL0 端子 /SDA0 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「33.14　リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

33.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを “1” にしてください。転送速度は SMBus 仕様の 10 kbps ～ 100 kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間：300 ns (min) の仕様を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ～ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARUy.FS ビット (y = 0 ～ 2) (7 ビット /10 ビットアドレスフォーマット選択ビット) を “0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (Unique Device Identifier) 送信時には、ICFER.SALE ビットを “1” にしてスレーブアービトレーションロスト検出機能を有効にしてください。

33.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔：$T_{LOW:SEXT}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (スレーブデバイス) $T_{LOW:SEXT}$：25 ms (max) 以内である必要があります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25 ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに “1” を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL0 端子 /SDA0 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔：$T_{LOW:MEXT}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{LOW:MEXT}$：10 ms (max) 以内である必要があり、スタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ を加算した結果が $T_{LOW:SEXT}$：25 ms (max) 以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{LOW:MEXT}$：10 ms (max) または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25 ms (min) を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

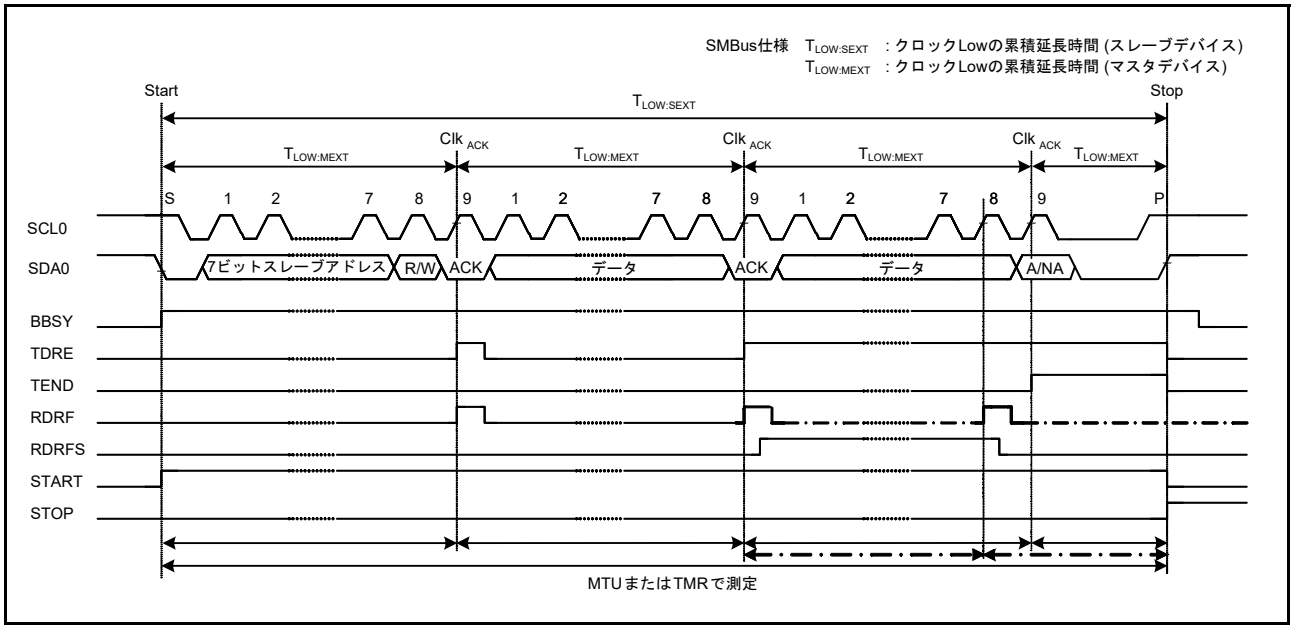


図 33.40　SMBus タイムアウト測定

33.12.2　パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「36.　CRC 演算器 (CRCA)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がりで SCL0 ラインを Low にホールドしてください。

33.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを “1”、ICSER.HOAE ビットを “1” にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

33.13 割り込み要因

RIIC の割り込み要因には、通信エラー / 通信イベント (アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の 4 種類があります。

表 33.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

表33.6　割り込み要因

名称	割り込み要因	割り込みフラグ	DTC/DMACの起動	割り込み条件
EEI	通信エラー /通信イベント	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
RXI (注2)	受信データフル	RDRF	可能	RDRF = 1かつRIE = 1
TXI (注1)	送信データエンプティ	TDRE	可能	TDRE = 1かつTIE = 1
TEI (注3)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1

注.　CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1.　TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ= 1)で自動的に“0”になります。

注2.　RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3.　TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。
なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ= 1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

33.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した ICU.IRn.IR フラグが “1” のときに割り込み発生の条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが “0” になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを “0” にすることでクリアが可能です。

33.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化

RIIC は MCU リセット、RIIC リセットおよび内部リセットによってリセットできます。表 33.7 にリセット時 / コンディション検出時のレジスタおよび機能のリセット状況を示します。

表33.7　リセット時/コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIIC リセット (ICE ビット = 0、IICRST ビット = 1)	内部リセット (ICE ビット = 1、IICRST ビット = 1)	スタートコンディション/リスタートコンディション検出	ストップコンディション検出
ICCR1	SDAO, SCLO	リセット	リセット	リセット	保持	保持
	IICRST, ICE		保持	保持		
	その他		リセット			
ICCR2	ST, RS	リセット	リセット	リセット	リセット	保持
	SP					リセット
	TRS				(注1)	
	MST				(注1)	
	BBSY			保持	“1”になる	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	START	リセット	リセット	リセット	“1”になる	リセット
	STOP				保持	“1”になる
	TEND					リセット
	TDRE				(注1)	
	その他				保持	保持
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

注1.　リセットされません。条件に応じて“0”または“1”になります。

33.15 イベントリンク機能 (出力)

RIIC0 は次の要因が発生すると、イベントリンクコントローラ (ELC) に対してイベント出力を行います。

- 通信エラー / 通信イベント
- 受信データフル
- 送信データエンプティ
- 送信終了

33.15.1 割り込み処理とイベントリンクの関係

RIIC の割り込みには、通信エラー / 通信イベント (アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の 4 種類があり、それぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に ICU に対して割り込み要求信号を出力します。

これに対してイベント信号は、割り込み許可ビットに依存せず、割り込み要因が発生すると出力され、ELC を介して他のモジュールに伝達されます。

割り込み要因については、**表 33.6** を参照してください。

33.16 使用上の注意事項

33.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移 / 解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「11. 消費電力低減機能」を参照してください。

33.16.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

(1) ICCR1.ICE ビットが “0” であることを確認
(2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
(3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0” を確認
(4) IR フラグを “0” にする

34. CAN モジュール（CAN）

34.1 概要

ISO 11898-1 規格に準拠した CAN（Controller Area Network）モジュールを 1 チャネル内蔵しています。CAN モジュールは標準（11 ビット）IDentifier（以下、ID と略す）と拡張（29 ビット）ID の両フォーマットのメッセージを送受信できます。

表 34.1 に CAN モジュールの仕様、図 34.1 に CAN モジュールブロック図を示します。

なお、CAN バストランシーバは外付けしてください。

表34.1　CANモジュールの仕様

項目	概要
プロトコル	• ISO 11898-1規格準拠（標準フレーム/拡張フレーム）
ビットレート	• 1Mbps以下のビットレートをプログラム可能（fCAN≧8MHz） fCAN：CANクロックソース
メッセージボックス	• 32メールボックス：2種類のメールボックスモードを選択可能 通常メールボックスモード　：32メールボックスを送信または受信用に設定可能 FIFOメールボックスモード　：24メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOを設定可能
受信	• データフレームとリモートフレームを受信可能 • 受信するIDフォーマット（標準IDのみ、拡張IDのみ、標準と拡張両方のID）を選択可能 • ワンショット受信機能を選択可能 • オーバライトモード（メッセージ上書き）かオーバランモード（メッセージ破棄）を選択可能 • 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
アクセプタンスフィルタ	• 8つのアクセプタンスマスク（4メールボックスごとに個別のマスク） • メールボックスはマスクの有効/無効を個別に設定可能
送信	• データフレームとリモートフレームを送信可能 • 送信するIDフォーマット（標準IDのみ、拡張IDのみ、標準と拡張両方のID）を選択可能 • ワンショット送信機能を選択可能 • ID優先送信モードかメールボックス番号優先送信モードを選択可能 • 送信要求をアボート可能（フラグでアボート完了を確認可能） • 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
バスオフ復帰方法	• バスオフ状態からの復帰方法を選択可能 ISO 11898-1規格準拠 バスオフ開始で自動的にCAN Haltモードへ移行 バスオフ終了で自動的にCAN Haltモードへ移行 プログラムによりCAN Haltモードへ移行 プログラムによりエラーアクティブ状態へ遷移
エラー状態の監視	• CANバスエラー（スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー）を監視可能 • エラー状態の遷移を検出可能（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） • エラーカウンタを読み出し可能
タイムスタンプ機能	• 16ビットカウンタによるタイムスタンプ機能 • 基準クロックは、1、2、4、8ビットタイムから選択可能
割り込み機能	• 5種類の割り込み要因（受信完了割り込み、送信完了割り込み、受信FIFO割り込み、送信FIFO割り込み、エラー割り込み）
CANスリープモード	• CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	• 3つのソフトウェアサポートユニット アクセプタンスフィルタサポート メールボックス検索サポート （受信メールボックス検索、送信メールボックス検索、メッセージロスト検索） チャネル検索サポート
CANクロックソース	周辺モジュールクロック（PCLKB）、CANMCLK
テストモード	• ユーザ評価用に3つのテストモードを用意 リッスンオンリモード セルフテストモード0（外部ループバック） セルフテストモード1（内部ループバック）
消費電力低減機能	モジュールストップ状態への設定が可能

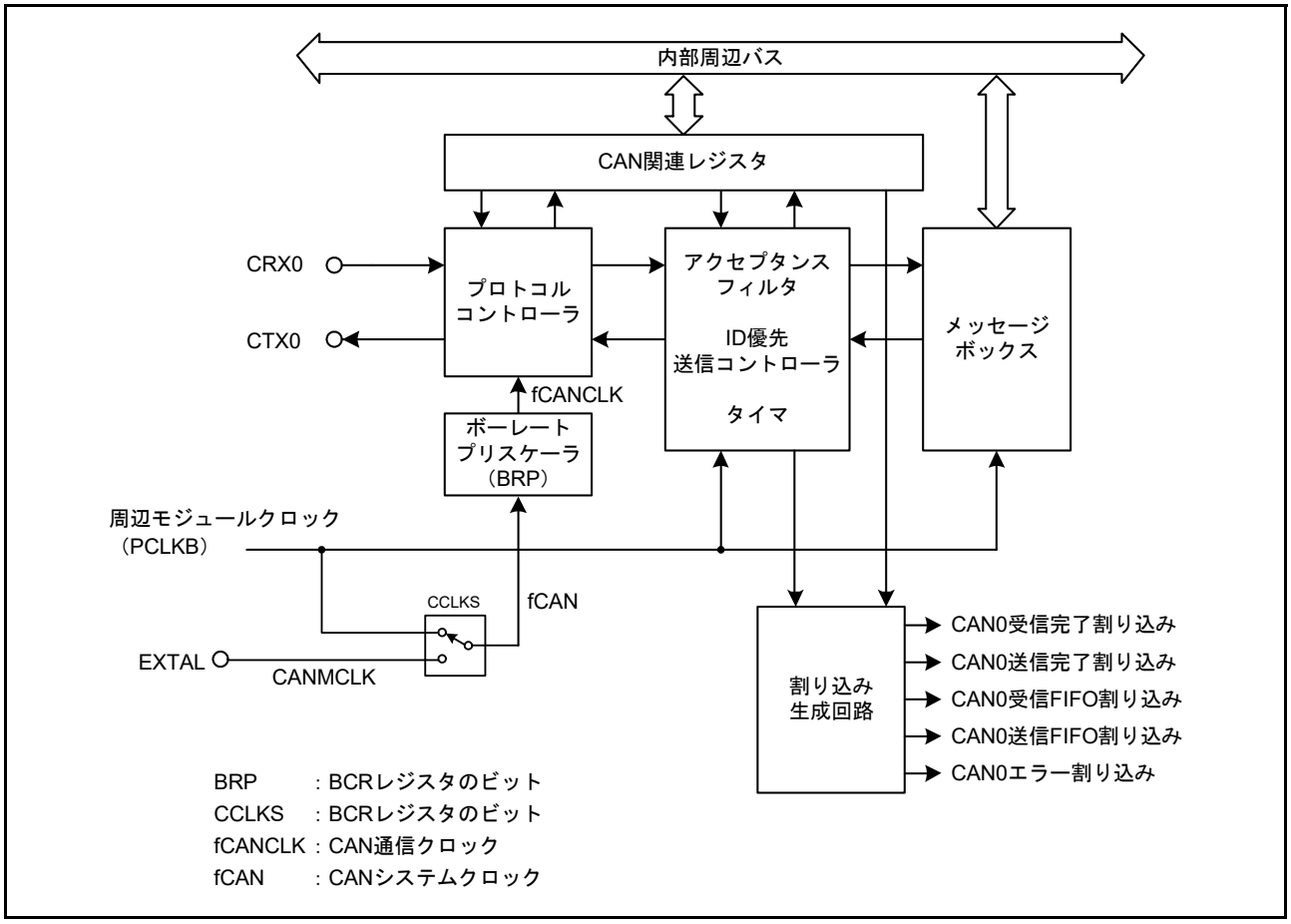


図 34.1 CAN モジュールブロック図

- CRX0、CTX0
  CAN の入出力端子です。
- プロトコルコントローラ
  バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。
- メッセージボックス
  送信または受信メールボックスとして使用可能な 32 個のメールボックスで構成されています。固有の ID、データ長コード、8 バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ
  受信メッセージのフィルタ処理を行います。このフィルタ処理には、MKR0 ～ MKR7 レジスタを使用します。
- タイマ
  タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。

- 割り込み生成回路
  次の 5 種類の割り込み要求を発生させることができます。
  CAN0 受信完了割り込み
  CAN0 送信完了割り込み
  CAN0 受信 FIFO 割り込み
  CAN0 送信 FIFO 割り込み
  CAN0 エラー割り込み

表 34.2 に CAN モジュールで使用する端子を示します。
他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「20. I/O ポート」を参照してください。

表34.2 CANモジュールの端子構成

端子名	入出力	機能
CRX0	入力	データ受信用端子です
CTX0	出力	データ送信用端子です

34.2 レジスタの説明

34.2.1 制御レジスタ（CTLR）

アドレス CAN0.CTLR 0009 0840h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RBOC	BOM[1:0]		SLPM	CANM[1:0]		TSPS[1:0]		TSRC	TPM	MLM	IDFM[1:0]		MBM
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	送受信メールボックスモード選択ビット（注1）	0：通常メールボックスモード 1：FIFOメールボックスモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモードビット（注1）	b2 b1 0 0：標準IDモード すべてのメールボックス（FIFOメールボックスを含む）は標準IDのみに対応します 0 1：拡張IDモード すべてのメールボックス（FIFOメールボックスを含む）は拡張IDのみに対応します 1 0：ミックスIDモード すべてのメールボックス（FIFOメールボックスを含む）は、標準IDと拡張IDの両方に対応します。標準IDと拡張IDの選択は、通常メールボックスモードの場合、対応するメールボックスのIDEビットで指定します。FIFOメールボックスモードの場合、メールボックス[0]～[23]は対応するメールボックスのIDEビット、受信FIFOはFIDCR0、FIDCR1レジスタのIDEビット、送信FIFOはメールボックス[24]のIDEビットで指定します 1 1：設定しないでください	R/W
b3	MLM	メッセージロストモード選択ビット（注2）	0：オーバライトモード 1：オーバランモード	R/W
b4	TPM	送信優先順位モード選択ビット（注2）	0：ID優先送信モード 1：メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットビット（注4）	0：リセットしない 1：リセットする（注3）	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケーラ選択ビット（注1）	b7 b6 0 0：1ビットタイムごと 0 1：2ビットタイムごと 1 0：4ビットタイムごと 1 1：8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CAN動作モード選択ビット（注5）	b9 b8 0 0：CANオペレーションモード 0 1：CANリセットモード 1 0：CAN Haltモード 1 1：CANリセットモード（強制移行）	R/W
b10	SLPM	CANスリープモードビット（注5、注6）	0：CANスリープモードではない 1：CANスリープモード	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード選択ビット（注1）	b12 b11 0 0：ノーマルモード（ISO 11898-1規格準拠） 0 1：バスオフ開始で自動的にCAN Haltモードへ移行） 1 0：バスオフ終了で自動的にCAN Haltモードへ移行） 1 1：プログラムによる要求でCAN Haltモードへ移行） （バスオフ復帰期間中）	R/W
b13	RBOC	バスオフ強制復帰ビット（注2）	0：何もしない 1：バスオフからの強制復帰（注3）	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、MBMビットは、CANリセットモード時に変更してください。
注2. RBOCビットはバスオフ状態時に“1”にしてください。
注3. “1”にした後自動的に“0”になります。読んだ場合“0”が読めます。
注4. TSRCビットはCANオペレーションモード時に“1”にしてください。
注5. CANM[1:0]、SLPMビットを変更した場合は、STRレジスタでモードが切り替わることを確認してください。

モードが切り替わるまで、CANM[1:0]、SLPMビットは変更しないでください。
注6. SLPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。SLPMビットを書き換える場合は、本ビットのみ“0”または“1”にしてください。

MBMビット（送受信メールボックスモード選択ビット）

MBMビットが“0”（通常メールボックスモード）の場合、メールボックス[0]～[31]は送信または受信メールボックスに設定されます。

MBMビットが“1”（FIFOメールボックスモード）の場合、メールボックス[0]～[23]は送信または受信メールボックスに設定され、メールボックス[24]～[27]は送信FIFOに、メールボックス[28]～[31]は受信FIFOに設定されます。

送信データはメールボックス[24]に書き込み（メールボックス[24]は送信FIFOのウィンドウメールボックスです）、受信データはメールボックス[28]から読み出します（メールボックス[28]は受信FIFOのウィンドウメールボックスです）。

表34.3にメールボックスの設定を示します。

IDFM[1:0]ビット（IDフォーマットモードビット）

IDFM[1:0]ビットは、IDフォーマットを決定します。

MLMビット（メッセージロストモード選択ビット）

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバライトモードまたはオーバランモードを選択できます。すべてのメールボックス（受信FIFOを含む）は、オーバライトモードかオーバランモードのどちらかになります。

MLMビットが“0”の場合、すべてのメールボックスはオーバライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

MLMビットが“1”の場合、すべてのメールボックスはオーバランモードになり、新しいメッセージは破棄されます。

TPMビット（送信優先順位モード選択ビット）

メッセージを送信する場合の優先順のモードを指定します。

TPMビットは、ID優先モードまたはメールボックス番号優先モードを選択します。すべてのメールボックスは、ID優先送信またはメールボックス番号優先送信どちらかになります。

TPMビットが“0”の場合、ID優先送信モードとなり、送信優先順位はCANバスアービトレーションルール（ISO 11898-1規格）に準拠します。ID優先送信モードは、通常メールボックスモードのときメールボックス[0]～[31]、FIFOメールボックスモードのときメールボックス[0]～[23]と送信FIFOの送信に設定されたメールボックスのIDを比較します。2つ以上のメールボックスのIDが同じ場合、小さい番号のメールボックスが優先されます。

次に送信FIFOから送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信FIFOのメッセージを送信中の場合、送信FIFO内の次の待機メッセージが送信アービトレーションの対象となります。

TPMビットが“1”の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFOメールボックスモードでは、送信FIFOは通常メールボックス（メールボックス[0]~[23]）よりも優先順位が低くなります。

TSRCビット（タイムスタンプカウンタリセットビット）

TSRCビットを“1”にするとTSRレジスタは0000hになります。このビットは自動的に“0”になります。

TSPS[1:0] ビット（タイムスタンププリスケーラ選択ビット）

タイムスタンプ用のプリスケーラを選択します。タイムスタンプの基準クロックは、1、2、4、または 8 ビットタイムから選択できます。

CANM[1:0] ビット（CAN 動作モード選択ビット）

CANM[1:0] ビットは、CAN モジュールのモード（CAN オペレーションモード、CAN リセットモード、CAN Halt モード）を選択するビットです。CAN スリープモードは SLPM ビットで設定します。詳細は「34.3　動作モード」を参照してください。

BOM[1:0] ビットの設定によって CAN Halt モードへ移行した場合は、CANM[1:0] ビットは自動的に “10b” になります。

SLPM ビット（CAN スリープモードビット）

SLPM ビットを “1” にすると CAN モジュールは CAN スリープモードになります。SLPM ビットを “0” にすると、CAN スリープモードは解除されます。詳細は、「34.3　動作モード」を参照してください。

BOM[1:0] ビット（バスオフ復帰モード選択ビット）

BOM[1:0] ビットは CAN モジュールのバスオフ復帰モードの選択に使用します。

BOM[1:0] ビットが “00b” の場合、バスオフからの復帰は ISO 11898-1 規格に準拠します。すなわち、CAN モジュールは、11 の連続するレセシブビットを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが “01b” の場合、CAN モジュールがバスオフ状態に達すると、CTLR レジスタの CANM[1:0] ビットが “10b”（CAN Halt モード）になってから、CAN Halt モードに移行します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは “00h” になります。

BOM[1:0] ビットが “10b” の場合、CAN モジュールがバスオフ状態に達すると、CANM[1:0] ビットが “10b” になり、バスオフ状態から復帰した（11 の連続するレセシブビットを 128 回検出）後に、CAN Halt モードに移行します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは “00h” になります。

BOM[1:0] ビットが “11b” の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを “10b” にすると、CAN Halt モードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは “00h” になります。しかし、CANM[1:0] ビットを “10b” にする前に 11 の連続するレセシブビットを 128 回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールが CAN Halt モードに移行するのと同時（BOM[1:0] ビットが “01b” のとき：バスオフ開始、または BOM[1:0] ビットが “10b” のとき：バスオフ終了）に、CPU が CAN リセットモードへの移行を要求した場合は、CPU の要求が優先されます。

RBOC ビット（バスオフ強制復帰ビット）

バスオフ状態時に RBOC ビットを “1”（バスオフからの強制復帰）にするとバスオフ状態から強制的に復帰します。このビットは自動的に “0” になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。RBOC ビットを “1” にすると、RECR、TECR レジスタは “00h” になり、STR レジスタの BOST フラグは “0”（CAN モジュールはバスオフ状態ではない）になります。他のレジスタは RBOC ビットを “1” にしても変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが “00B”（ノーマルモード）のときのみ使用してください。

表34.3　メールボックスの設定

メールボックス	MBMビット＝0 （通常メールボックスモード）	MBMビット＝1 （FIFOメールボックスモード）
メールボックス[0]～[23]	通常メールボックス	通常メールボックス
メールボックス[24]～[27]		送信FIFO
メールボックス[28]～[31]		受信FIFO

CTLR.MBMビットが“1”のときは以下の1.～5.の点に注意してください。
注1.　送信FIFOはTFCRレジスタで制御します。メールボックス[24]～[27]のMCTLjレジスタは無効です。
　　MCTL24～MCTL27レジスタは送信FIFOでは使用できません。
注2.　受信FIFOはRFCRレジスタで制御します。メールボックス[28]～[31]のMCTLjレジスタは無効です。
　　MCTL28～MCTL31レジスタは受信FIFOでは使用できません。
注3.　FIFO割り込みについてはMIERレジスタを参照してください。
注4.　MKIVLRレジスタのメールボックス[24]～[31]に対応するビットは無効です。これらのビットは“0”にしてください。
注5.　送信/受信FIFOはデータフレーム/リモートフレームを使用可能です。

34.2.2　ビットコンフィギュレーションレジスタ（BCR）

アドレス　CAN0.BCR 0009 0844h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSEG1[3:0]				—	—	BRP[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SJW[1:0]		—	TSEG2[2:0]			—	—	—	—	—	—	—	CCLKS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロックソース選択ビット	0：PCLKB（PLLクロックから生成） 1：CANMCLK（メインクロックから生成）	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御ビット	b10　b8 0 0 0：（設定しないでください） 0 0 1：2Tq 0 1 0：3Tq 0 1 1：4Tq 1 0 0：5Tq 1 0 1：6Tq 1 1 0：7Tq 1 1 1：8Tq	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	SJW[1:0]	再同期ジャンプ幅制御ビット	b13 b12 0 0：1Tq 0 1：2Tq 1 0：3Tq 1 1：4Tq	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b16	BRP[9:0]	プリスケーラ分周比選択ビット （注1）	CAN通信クロック（fCANCLK）の周波数を設定します	R/W
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b31-28	TSEG1[3:0]	タイムセグメント1制御ビット	b31　b28 0 0 0 0：（設定しないでください） 0 0 0 1：（設定しないでください） 0 0 1 0：（設定しないでください） 0 0 1 1：4Tq 0 1 0 0：5Tq 0 1 0 1：6Tq 0 1 1 0：7Tq 0 1 1 1：8Tq 1 0 0 0：9Tq 1 0 0 1：10Tq 1 0 1 0：11Tq 1 0 1 1：12Tq 1 1 0 0：13Tq 1 1 0 1：14Tq 1 1 1 0：15Tq 1 1 1 1：16Tq	R/W

Tq：Time Quantum

注1.　SCKCR3.CKSEL[2:0]ビットが“010b”（メインクロック発振器選択）のときは、“1”以下を設定しないでください。

ビットタイミングの設定については、「34.4　CAN 通信速度の設定」を参照してください。

BCR レジスタは、CAN リセットモードから CAN Halt モードまたは CAN リセットモードから CAN オペレーションモードへ移行する前に設定してください。一度設定すると CAN リセットモードまたは CAN Halt モードで変更できます。

BCR レジスタは 24 ビットです。32 ビットでアクセスする場合は、b0 ～ b7 を書き換えないように注意してください。

CCLKS ビット（CAN クロックソース選択ビット）

CCLKS ビットを “0” にすると、CAN クロックソース（fCAN）は PLL 周波数シンセサイザから生成された周辺モジュールクロック（PCLKB）が使用されます。

CCLKS ビットを “1” にすると、CAN クロックソース（fCAN）は PLL 周波数シンセサイザを使用せず、外部の EXTAL 端子から生成された CANMCLK が使用されます。

TSEG2[2:0] ビット（タイムセグメント 2 制御ビット）

フェーズバッファセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。2 ～ 8Tq の値が設定可能です。TSEG1[3:0] ビットより小さな値を設定してください。

SJW[1:0] ビット（再同期ジャンプ幅制御ビット）

再同期ジャンプ幅（Resynchronization Jump Width）を Tq 値で指定します。1 ～ 4Tq の値が設定可能です。TSEG2[2:0] ビット以下の値を設定してください。

BRP[9:0] ビット（プリスケーラ分周比選択ビット）

CAN 通信クロック（fCANCLK）の周波数設定に使用します。fCANCLK の周期が 1Tq となります。設定値 P（0 ～ 1023）とすると、ボーレートプリスケーラは fCAN を P+1 で分周します。

TSEG1[3:0] ビット（タイムセグメント 1 制御ビット）

プロパゲーションタイムセグメント（PROP_SEG）とフェーズバッファセグメント 1（PHASE_SEG1）の合計長を Time Quantum（Tq）値で指定します。

4 ～ 16Tq の値が設定可能です。

34.2.3　マスクレジスタ k（MKRk）（k = 0 ～ 7）

アドレス　CAN0.MKR0 0009 0400h, CAN0.MKR1 0009 0404h, CAN0.MKR2 0009 0408h, CAN0.MKR3 0009 040Ch, CAN0.MKR4 0009 0410h, CAN0.MKR5 0009 0414h, CAN0.MKR6 0009 0418h, CAN0.MKR7 0009 041Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	SID[10:0]											EID[17:0]	
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0：対応するEID[17:0]ビットは比較されない 1：対応するEID[17:0]ビットは比較される	R/W
b28-b18	SID[10:0]	標準IDビット	0：対応するSID[10:0]ビットは比較されない 1：対応するSID[10:0]ビットは比較される	R/W
b31-b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

FIFO メールボックスモードでのマスク機能については、「34.6　アクセプタンスフィルタ機能とマスク機能」を参照してください。

なお、MKR0 ～ MKR7 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID[17:0] ビット（拡張 ID ビット）

EID[17:0] ビットは、CAN 拡張 ID ビットに対応するフィルタマスクビットです。

拡張 ID のメッセージを受信する場合に使用します。

EID[17:0] ビットが “0” の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較しません。

EID[17:0] ビットが “1” の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較します。

SID[10:0] ビット（標準 ID ビット）

SID[10:0] ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。

標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

SID[10:0] ビットが “0” の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較しません。

SID[10:0] ビットが “1” の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較します。

34.2.4 FIFO 受信 ID 比較レジスタ 0、1（FIDCR0、FIDCR1）

アドレス CAN0.FIDCR0 0009 0420h, CAN0.FIDCR1 0009 0424h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	—	SID[10:0]											EID[17:0]	
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0：対応するEID[17:0]ビットは“0” 1：対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0：対応するSID[10:0]ビットは“0” 1：対応するSID[10:0]ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット（注1）	0：標準ID 1：拡張ID	R/W

注1. IDFM[1:0]ビットが“10b”以外のときはIDEビットには“0”を書いてください。また、読んだ場合、その値は“0”です。

FIDCR0、FIDCR1 レジスタは、CTLR レジスタの MBM ビットが “1”（FIFO メールボックスモード）のとき有効です。MB28 ～ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効です。

FIDCR0、FIDCR1 レジスタの使用方法については、「34.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

FIDCR0、FIDCR1 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID[17:0] ビット（拡張 ID ビット）

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。

拡張 ID のメッセージを受信する場合に使用します。

SID[10:0] ビット（標準 ID ビット）

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。

標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

RTR ビット（リモート送信要求ビット）

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが “0” の場合、データフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが “1” の場合、リモートフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの RTR ビットが “0” と “1” のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

IDE ビット（ID 拡張ビット）

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTLR レジスタの IDFM[1:0] ビットが “10b”（ミックス ID モード）のとき有効です。

- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが “0” の場合、標準 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが “1” の場合、拡張 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの IDE ビットが “0” と “1” のそれぞれ異なる設定の場合、標準 ID と拡張 ID のフレームの両方を受信できます。

34.2.5　マスク無効レジスタ（MKIVLR）

アドレス　CAN0.MKIVLR 0009 0428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31～MB0	マスク無効ビット	0：マスク有効 1：マスク無効	R/W

MKIVLR レジスタには、各メールボックスに対応するビットが含まれます。

各ビットの対応を以下に示します。

MKIVLR レジスタのビット 0 はメールボックス 0（MB0）に対応し、ビット 31 はメールボックス 31（MB31）にそれぞれ対応しています。（注 1）

該当するビットが “1” になると、該当するアクセプタンスマスクレジスタが対応するメールボックスに対して無効になります。マスク無効ビットを “1” にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合のみ対応するメールボックスが受信します。

なお、MKIVLR レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

注 1.　FIFO メールボックスモード時はビット 31 ～ 24 を “0” にしてください。

34.2.6 メールボックスレジスタ j（MBj）（j = 0 ～ 31）

表 34.4 に CAN0 メールボックスのメモリ配置、表 34.5 に CAN データフレームの構成を示します。

CAN0 メールボックスのリセット後の値は不定です。

MBj レジスタは、関連する MCTLj レジスタ（j = 0 ～ 31）が “00h” で、かつアボート処理中でないときにのみ MBj レジスタの設定を変更してください。

レジスタアドレスの詳細については表 34.4 を参照してください。

表34.4　CAN0メールボックスのメモリ配置

アドレス	メッセージ内容
CAN0	メモリ配置
0009 0200h + 16 × j + 0	IDE, RTR, SID10～SID6
0009 0200h + 16 × j + 1	SID5～SID0, EID17, EID16
0009 0200h + 16 × j + 2	EID15～EID8
0009 0200h + 16 × j + 3	EID7～EID0
0009 0200h + 16 × j + 4	—
0009 0200h + 16 × j + 5	データ長コード（DLC[3:0]）
0009 0200h + 16 × j + 6	データバイト0
0009 0200h + 16 × j + 7	データバイト1
0009 0200h + 16 × j + 8	データバイト2
0009 0200h + 16 × j + 9	データバイト3
0009 0200h + 16 × j + 10	データバイト4
0009 0200h + 16 × j + 11	データバイト5
0009 0200h + 16 × j + 12	データバイト6
0009 0200h + 16 × j + 13	データバイト7
0009 0200h + 16 × j + 14	タイムスタンプ上位バイト
0009 0200h + 16 × j + 15	タイムスタンプ下位バイト

注.　MBjレジスタの各コンテンツにアクセスする場合、32ビット単位でアクセスするときは4の倍数の番地（アドレスの末尾が0h、4h、8h、またはCh）を、16ビットアクセスするときは偶数番地をアクセスしてください。

表34.5　CANデータフレームの構成

SID10～SID6	SID5～SID0	EID17～EID16	EID15～EID8	EID7～EID0	DLC3～DLC0	DATA0	DATA1	・・・	DATA7

各メールボックスの内容は、新しいメッセージを受信しないかぎり、以前の値を保持します。

アドレス　CAN0.MB0～CAN0.MB31 0009 0200h～0009 03FFh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	—	SID[10:0]											EID[17:0]	
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット（注1）	0：対応するEID[17:0]ビットは“0” 1：対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0：対応するSID[10:0]ビットは“0” 1：対応するSID[10:0]ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット（注2）	0：標準ID 1：拡張ID	R/W

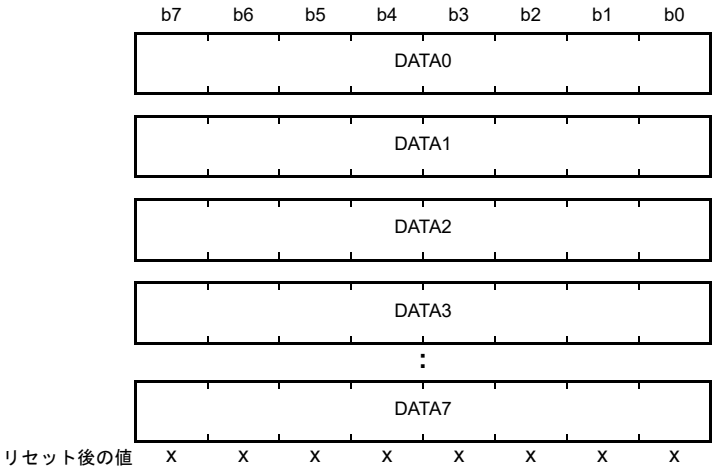
注1.　メールボックスが標準IDのメッセージを受信すると、メールボックスのEID[17:0]ビットの値は不定になります。
注2.　IDEビットは、CTLRレジスタのIDFM[1:0]ビットが“10b”（ミックスIDモード）のときに有効です。IDFM[1:0]ビットが“10b”以外のときにはIDEビットに“0”を書いてください。また、読んだ場合、その値は“0”です。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	DLC[3:0]			
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	データ長コードビット（注1）	b3　b0 0 0 0 0：データ長0バイト 0 0 0 1：データ長1バイト 0 0 1 0：データ長2バイト 0 0 1 1：データ長3バイト 0 1 0 0：データ長4バイト 0 1 0 1：データ長5バイト 0 1 1 0：データ長6バイト 0 1 1 1：データ長7バイト 1 x x x：データ長8バイト	R/W
b15-b4	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

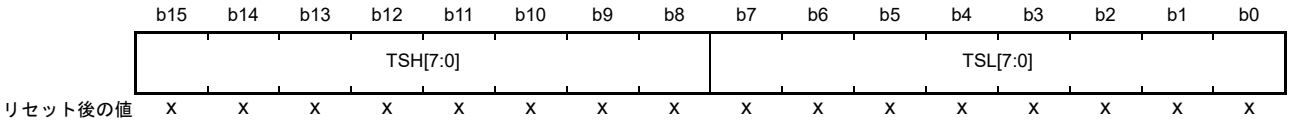
x：Don't care
注1.　メールボックスが8より小さいDLC[3:0]のメッセージを受信すると、メールボックスのDLC[3:0]より大きいDATAは不定になります。



x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0-DATA7	データバイト0～7 （注1、注2、注3）	DATA0～7は送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。CANバス上のビットオーダは、MSBファーストでビット7から送信または受信されます	R/W

注1. メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATAn～DATA7の値は不定になります。
注2. メールボックスがリモートフレームを受信した場合、メールボックスのDATA0～DATA7は以前の値が保持されます。
注3. DATA0～DATA3、あるいはDATA4～DATA7を32ビット単位で一度にアクセスすることはできません。DATA0～DATA1、DATA2～DATA5、DATA6～DATA7の3回、または、DATA0～DATA1、DATA2～DATA3、DATA4～DATA5、DATA6～DATA7の4回に分けてアクセスしてください。



x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]とTSL[7:0]は受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

EID[17:0] ビット（拡張 ID ビット）

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。
拡張 ID のメッセージを送受信する場合に使用します。

SID[10:0] ビット（標準 ID ビット）

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。
標準 ID と拡張 ID のメッセージを送受信する場合の両方で使用します。

RTR ビット（リモート送信要求ビット）

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- 受信メールボックスは、RTR ビットが指定するフォーマットのフレームのみ受信する
- 送信メールボックスは、RTR ビットが指定するフレームフォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの RTR ビットが指定するデータフレームとリモートフレームを受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの RTR ビットで選択したデータフレームまたはリモートフレームを送信する

IDE ビット（ID 拡張ビット）

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTLR レジスタの IDFM[1:0] ビットが “10b”（ミックス ID モード）のとき有効です。

- 受信メールボックスは、IDE ビットが指定する ID フォーマットのみ受信する
- 送信メールボックスは、IDE ビットが指定する ID フォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの IDE ビットが指定する標準 ID と拡張 ID を受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの IDE ビットで選択した標準 ID または拡張 ID のメッセージを送信する

DLC[3:0] ビット（データ長コードビット）

DLC[3:0] ビットはデータフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。
データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

34.2.7 メールボックス割り込み許可レジスタ（MIER）

アドレス CAN0.MIER 0009 042Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

- 通常メールボックスモード

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31～MB0	割り込み許可ビット	0：割り込み禁止 1：割り込み許可 ビット31はメールボックス31（MB31）、ビット0はメールボックス0（MB0）にそれぞれ対応しています	R/W

- FIFO メールボックスモード

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23～MB0	割り込み許可ビット	0：割り込み禁止 1：割り込み許可 ビット23はメールボックス23（MB23）、ビット0はメールボックス0（MB0）にそれぞれ対応しています	R/W
b24	MB24	送信FIFO割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御ビット	0：送信FIFO割り込み要求は、毎回の送信完了後発生 1：送信FIFO割り込み要求は、送信完了により送信FIFOが空き状態になったとき発生	R/W
b27-b26	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b28	MB28	受信FIFO割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御ビット（注1）	0：受信FIFO割り込み要求は、毎回の受信完了後発生 1：受信FIFO割り込み要求は、受信完了により受信FIFOがバッファワーニングになったとき発生	R/W
b31-b30	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1. 受信FIFOがフルからバッファワーニングとなった場合、割り込み要求は発生しません。なお、バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIER レジスタは、メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード（すべてのビット）と FIFO メールボックスモード（MIER レジスタのビット 24 ～ 0）では、それぞれのビットは各メールボックスに対応します。これらのビットは、対応するメールボックスの送信完了 / 受信完了割り込みを許可 / 禁止します。

- MIER レジスタのビット 0 はメールボックス 0（MB0）に対応
- MIER レジスタのビット 31 はメールボックス 31（MB31）に対応

FIFO メールボックスモードの MIER レジスタのビット 29、28、25、24 は送信 / 受信 FIFO 割り込みの許可 / 禁止と割り込み要求が発生するタイミングを指定します。

MIER レジスタは、関連する MCTLj レジスタ（j = 0 ～ 31）が “00h” で、対応するメールボックスが送受信アボートの処理をしていないときにのみ変更してください。また、FIFO 動作モード時は、TFCR.TFE ビットが “0” で TFEST フラグが “1”、RFCR.RFE ビットが “0” で RFCR.RFEST フラグが “1” のときのみ、関

連するFIFOのMIERレジスタのビットを変更してください。

34.2.8 メッセージ制御レジスタj（MCTLj）（j = 0 ～ 31）

アドレス CAN0.MCTL0～CAN0.MCTL31 0009 0820h～0009 083Fh

・送信モード（TRMREQビットが"1"、RECREQビットが"0"の場合）

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

・受信モード（TRMREQビットが"0"、RECREQビットが"1"の場合）

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ（注1、注2）	0：送信が終了していない 1：送信完了	R/W
	NEWDATA	受信完了フラグ（注1、注2）	0：データが受信されていない、またはNEWDATAフラグに“0”を書いた場合 1：新しいメッセージをメールボックスに格納中または格納された場合	R/W
b1	TRMACTIVE	送信中ステータスフラグ	（送信メールボックス設定時有効） 0：送信待機中または送信要求なし 1：送信要求の取り込みから、送信完了、エラー発生、またはアービトレーションロスト発生まで	R
	INVALDATA	受信中ステータスフラグ	（受信メールボックス設定時有効） 0：メッセージは有効 1：メッセージを更新中	R
b2	TRMABT	送信アボート完了フラグ （注1、注2）	（送信メールボックス設定時有効） 0：送信が開始された、または送信アボートが送信完了により失敗、または送信アボートが要求されていない 1：送信アボート完了	R/W
	MSGLOST	メッセージロストフラグ （注1、注2）	（受信メールボックス設定時有効） 0：メッセージはオーバライトまたはオーバランされていない 1：メッセージはオーバライトまたはオーバランされた	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ONESHOT	ワンショット許可ビット（注3）	0：ワンショット受信またはワンショット送信禁止 1：ワンショット受信またはワンショット送信許可	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	RECREQ	受信メールボックス設定ビット （注2、注3、注4、注5）	0：受信メールボックスに設定しない 1：受信メールボックスに設定する	R/W
b7	TRMREQ	送信メールボックス設定ビット （注2、注4）	0：送信メールボックスに設定しない 1：送信メールボックスに設定する	R/W

注1. “0”のみ書けます。（1を書いても変化しません）
注2. NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで“0”を書く場合は、論理演算（AND）命令は使用しないでください。“0”にしたいビットを“0”、そうでないビットを“1”にして、転送（MOV）命令を使用してください。
注3. ワンショット受信モードに移行するときは、RECREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット受信モードを解除するときは、RECREQビットに“0”を書いた後、RECREQビットが“0”になったのを確認してからONESHOTビットに“0”を書いてください。ワンショット送信モードに移行するときは、TRMREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後にONESHOTビットに“0”を書いてください。
注4. RECREQビットとTRMREQビットの両方を“1”にしないでください。

注5. RECREQビットを“0”にするときには、NEWDATA、MSGLOSTフラグとRECREQビットは同時に“0”にしてください。

MCTLj レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。
FIFO メールボックスモードでは、MCTL24 ～ MCTL31 レジスタは使用しないでください。

SENTDATA フラグ（送信完了フラグ）

SENTDATA フラグは、対応するメールボックスからのデータ送信が完了すると “1” になります。SENTDATA フラグは、プログラムで “0” を書くと “0” になります。

SENTDATA フラグを “0” にする場合は、TRMREQ ビットを “0” にしてから SENTDATA フラグを “0” にしてください。SENTDATA フラグと TRMREQ ビットは同時に “0” になりません。メールボックスから新しいメッセージを転送するには、SENTDATA フラグを “0” にしてください。

NEWDATA フラグ（受信完了フラグ）

NEWDATA フラグは、メールボックスに新しいメッセージを格納中または格納が完了したときに “1” になります。“1” になるタイミングは、INVALDATA フラグと同時です。NEWDATA フラグは、プログラムで “0” を書くと “0” になります。関連する INVALDATA フラグが “1” の間は、NEWDATA フラグはプログラムで “0” を書いても “0” にできません。

TRMACTIVE フラグ（送信中ステータスフラグ）

TRMACTIVE フラグは、CAN モジュールから対応するメールボックスのメッセージ送信を開始すると “1” になります。TRMACTIVE フラグは、CAN モジュールが CAN バスアービトレーションに負けるか、CAN バスエラーが起こるか、あるいはデータ送信が完了すると “0” になります。

INVALDATA フラグ（受信中ステータスフラグ）

INVALDATA フラグは、メッセージの受信完了後、受信したメッセージをメールボックスに更新中に “1” になります。INVALDATA フラグは、メッセージの格納完了時点で “0” になります。INVALDATA フラグが “1” の間にメールボックスを読んだ場合、データは不定値になります。

TRMABT フラグ（送信アボート完了フラグ）

TRMABT フラグは、次の場合、“1”（送信アボート完了）になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出した場合
- ワンショット送信モード（RECREQ ビットが “0”、TRMREQ ビットが “1”、ONESHOT ビットが “1”）で、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出した場合

TRMABT フラグは、データ送信が完了しても “1” にはなりません。データ送信が完了した場合は SENTDATA フラグが “1” になります。TRMABT フラグは、プログラムで “0” を書くと “0” になります。

MSGLOST フラグ（メッセージロストフラグ）

MSGLOST フラグは、NEWDATA フラグが “1” の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり、破棄されたりした場合、“1” になります。EOF の 6 番目のビットの終わりで “1” になります。MSGLOST フラグは、プログラムで “0” を書くと “0” になります。

オーバライトモードとオーバランモードの両方において、EOF の 6 番目のビットに続く周辺モジュールクロック（PCLKB）の 5 サイクルの間は、MSGLOST フラグはプログラムで “0” を書いても “0” にできません。

ONESHOT ビット（ワンショット許可ビット）

ONESHOT ビットは受信モードと送信モードの 2 つの使い方があります。

- ワンショット受信モード
  受信モード（RECREQ ビットが “1”、TRMREQ ビットが “0”）のとき ONESHOT ビットを “1” にすると、メールボックスはメッセージを 1 回のみ受信します（メッセージを 1 回受信完了した後は受信メールボックスとして動作しません）。NEWDATA フラグおよび INVALDATA フラグの動作は、通常の受信モードと同じです。このモードでは、MSGLOST フラグは “1” にはなりません。ONESHOT ビットを “0” にする場合、RECREQ ビットへ “0” を書いた後、RECREQ ビットが “0” になることを確認してから行ってください。
- ワンショット送信モード
  送信モード（RECREQ ビットが “0”、TRMREQ ビットが “1”）のとき ONESHOT ビットを “1” にすると、CAN モジュールはメッセージを 1 回のみ送信しようとします（CAN バスエラーまたは CAN バスアービトレーションロストの場合でも、メッセージの再送信を行いません）。送信が完了した場合、SENTDATA フラグが “1” になります。CAN バスエラーまたは CAN バスアービトレーションロストによって送信が完了しない場合は、TRMABT フラグが “1” になります。ONESHOT ビットを “0” にする場合は、SENTDATA フラグが “1” または TRMABT フラグが “1” になった後に行ってください。

RECREQ ビット（受信メールボックス設定ビット）

RECREQ ビットは**表 34.10** に示す受信モードを選択します。

RECREQ ビットを “1” にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

RECREQ ビットを “0” にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、RECREQ ビットはプログラムで “0” を書いても “0” になりません。

- ハードウェアプロテクトの開始

アクセプタンスフィルタ処理の開始（CRC フィールドの始まり）

- ハードウェアプロテクトの解除
  - メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後（すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで）
  - その他のメールボックスは、アクセプタンスフィルタ処理後
  - 受信するメールボックスがない場合は、アクセプタンスフィルタ処理後
    RECREQ ビットを “1” にする場合は、TRMREQ ビットを “1” にしないでください。メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そして SENTDATA フラグと TRMABT フラグを “0” にしてください。

TRMREQ ビット（送信メールボックス設定ビット）

TRMREQ ビットは**表 34.10** に示す送信モードを選択します。

TRMREQ ビットを “1” にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

TRMREQ ビットを “0” にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQ ビットを “1” から “0” に変更すると、TRMABT フラグまたは SENTDATA フラグが “1” になります。TRMREQ ビットを “1” にする場合は、RECREQ ビットを “1” にし

ないでください。メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアボートし、そして NEWDATA フラグと MSGLOST フラグを “0” にしてください。

34.2.9 受信 FIFO 制御レジスタ（RFCR）

アドレス CAN0.RFCR 0009 0848h

	b7	b6	b5	b4	b3	b2	b1	b0
	RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]			RFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信FIFO許可ビット	0：受信FIFO禁止 1：受信FIFO許可	R/W
b3-b1	RFUST[2:0]	受信FIFO未読メッセージ数ステータスフラグ	b3 b1 0 0 0：未読メッセージなし 0 0 1：未読メッセージ1件あり 0 1 0：未読メッセージ2件あり 0 1 1：未読メッセージ3件あり 1 0 0：未読メッセージ4件あり 1 0 1：予約 1 1 0：予約 1 1 1：予約	R
b4	RFMLF	受信FIFOメッセージロストフラグ	0：受信FIFOメッセージロスト未発生 1：受信FIFOメッセージロスト発生	R/W
b5	RFFST	受信FIFOフルステータスフラグ	0：受信FIFOはフルではない 1：受信FIFOはフル（未読メッセージ4件）	R
b6	RFWST	受信FIFOバッファワーニングステータスフラグ	0：受信FIFOはバッファワーニングではない 1：受信FIFOはバッファワーニング（未読メッセージ3件）	R
b7	RFEST	受信FIFO空ステータスフラグ	0：受信FIFOに未読メッセージあり 1：受信FIFOに未読メッセージなし	R

RFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

RFE ビット（受信 FIFO 許可ビット）

RFE ビットを “1” にすると、受信 FIFO が受信許可になります。

RFE ビットを “0” にすると、受信 FIFO は受信禁止になり、空状態（RFEST フラグが “1”）になります。RFMLF フラグと同時に RFE ビットに “0” を書いてください。

通常メールボックスモード（CTLR レジスタの MBM ビットが “0”）では RFE ビットを “1” にしないでください。以下の期間はハードウェアプロテクトがかかり、RFE ビットはプログラムで “0” を書いても “0” にできません。

- ハードウェアプロテクトの開始
  －アクセプタンスフィルタ処理の開始（CRC フィールドの始まり）
- ハードウェアプロテクトの解除
  －メッセージの受信に受信 FIFO が指定された場合は、受信メッセージが受信 FIFO に格納された後、または CAN バスエラーが発生した後（すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで）
  －受信 FIFO が指定されない場合は、アクセプタンスフィルタ処理後

RFUST[2:0] フラグ（受信 FIFO 未読メッセージ数 ステータスフラグ）

RFUST[2:0] フラグは、受信 FIFO 内の未読メッセージの数を示します。

RFE ビットを “0” にすると、RFUST[2:0] フラグの値は “000b” になります。

RFMLF フラグ（受信 FIFO メッセージロスト フラグ）

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF フラグは “1”（受信 FIFO メッセージロスト発生）になります。“1” になるタイミングは、EOF の 6 番目のビットの終わりです。

RFMLF フラグはプログラムで “0” を書くと “0” になります。“1” を書いても変化しません。オーバランモードとオーバライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアのプロテクトにより EOF の 6 番目のビットに続く周辺モジュールクロック（PCLKB）の 5 サイクルの間は、RFMLF フラグは “0”（受信 FIFO メッセージロスト未発生）になりません。

RFFST フラグ（受信 FIFO フルステータスフラグ）

受信 FIFO 内の未読メッセージが 4 件になると、RFFST フラグは “1”（受信 FIFO はフル）になります。受信 FIFO 内の未読メッセージが 4 件未満になると、RFFST フラグは “0”（受信 FIFO はフルではない）になります。RFE ビットを “0” にすると、RFFST フラグは “0” になります。

RFWST フラグ（受信 FIFO バッファワーニングステータスフラグ）

受信 FIFO 内の未読メッセージが 3 件になると、RFWST フラグは “1”（受信 FIFO はバッファワーニング）になります。受信 FIFO 内の未読メッセージの数が 3 未満または 4 件になると、RFWST フラグは “0”（受信 FIFO はバッファワーニングではない）になります。RFE ビットを “0” にすると、RFWST フラグは “0” になります。

RFEST フラグ（受信 FIFO 空ステータスフラグ）

受信 FIFO 内の未読メッセージがなくなると、RFEST フラグは “1”（受信 FIFO に未読メッセージなし）になります。RFE ビットを “0” にすると、RFEST フラグは “1” になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST フラグは “0”（受信 FIFO に未読メッセージあり）になります。

図 34.2 に受信 FIFO メールボックスの動作を示します。

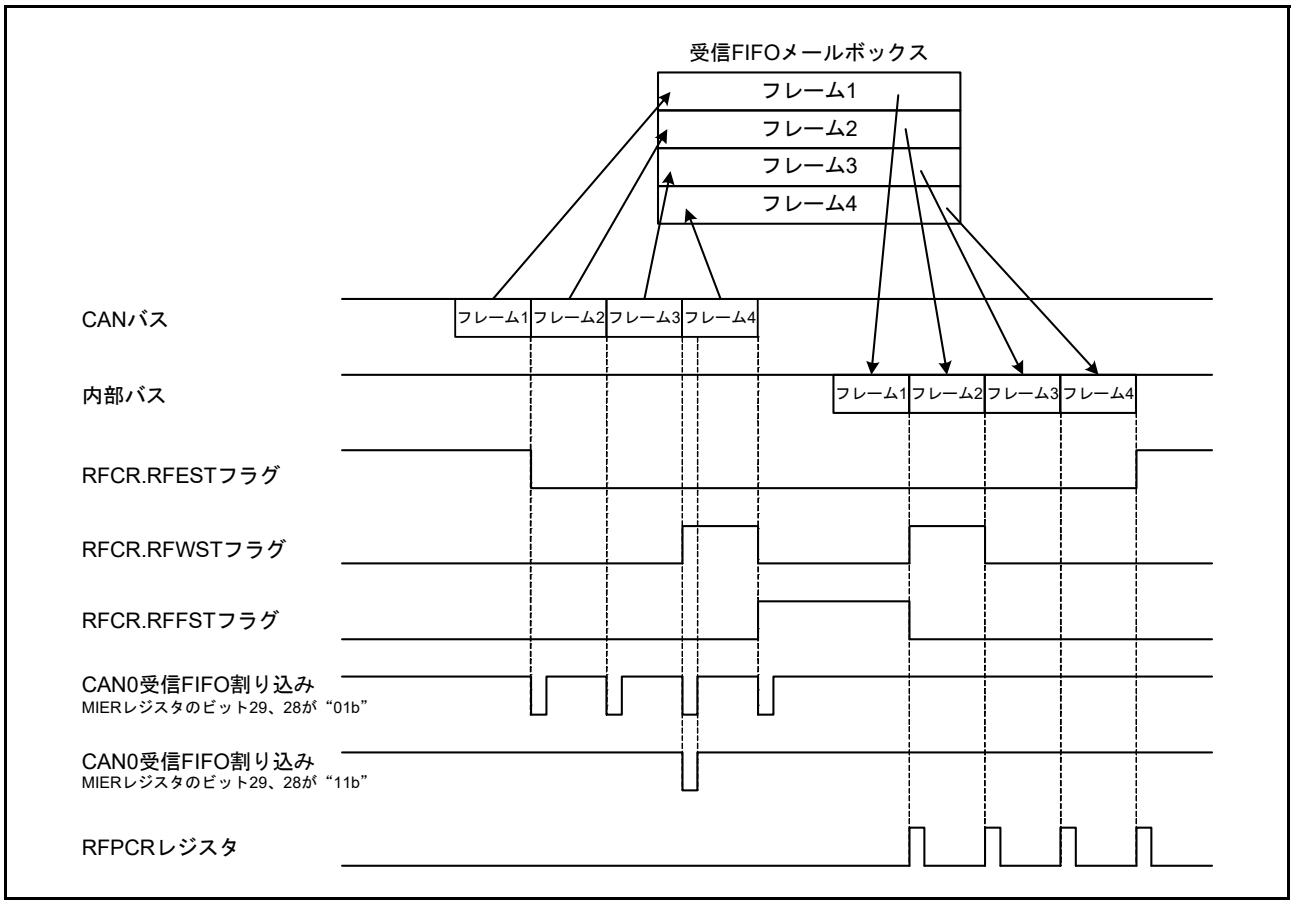


図 34.2　受信 FIFO メールボックスの動作（MIER レジスタのビット 29、28 が “01b” または “11b”）

34.2.10 受信 FIFO ポインタ制御レジスタ（RFPCR）

アドレス CAN0.RFPCR 0009 0849h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b7-b0	RFPCRレジスタに“FFh”を書き込むと、受信FIFOのCPU側ポインタが移動	W

受信 FIFO が空状態でないとき、受信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、RFPCR レジスタにプログラムで “FFh” を書いてください。

RFCR レジスタの RFE ビットが “0”（受信 FIFO 禁止）のときは、RFPCR レジスタに書かないでください。受信オーバライトモードで RFFST フラグが “1”（受信 FIFO はフル）のときに新しいメッセージが受信されると、CAN 側ポインタと CPU 側ポインタの両方が移動します。この状態で、RFMLF フラグが “1” のとき、プログラムで RFPCR レジスタに書き込んでも CPU 側ポインタは移動しません。

34.2.11 送信 FIFO 制御レジスタ（TFCR）

アドレス CAN0.TFCR 0009 084Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	TFEST	TFFST	—	—	TFUST[2:0]			TFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信FIFO許可ビット	0：送信FIFO禁止 1：送信FIFO許可	R/W
b3-b1	TFUST[2:0]	送信FIFO未送信メッセージ数ステータスフラグ	b3 b1 0 0 0：未送信メッセージなし 0 0 1：未送信メッセージ1件 0 1 0：未送信メッセージ2件 0 1 1：未送信メッセージ3件 1 0 0：未送信メッセージ4件 1 0 1：予約 1 1 0：予約 1 1 1：予約	R
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	TFFST	送信FIFOフルステータスフラグ	0：送信FIFOはフルではない 1：送信FIFOはフル（未送信4件）	R
b7	TFEST	受信FIFO空ステータスフラグ	0：送信FIFOに未送信メッセージあり 1：送信FIFOに未送信メッセージなし	R

TFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

TFE ビット（送信 FIFO 許可ビット）

TFE ビットを “1” にすると、送信 FIFO が送信許可になります。

TFE ビットを “0” にすると、送信 FIFO は空状態（TFEST フラグが “1”）になり、次のように送信 FIFO からの未送信メッセージが失われます。

- 送信 FIFO からの次の送信予定がなく、また送信中でもないとき、空状態になります。
- 送信 FIFO からの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、アービトレーションロスト、または CAN Halt モードへの移行に続いて空状態になります。

TFE ビットを再度 “1” にする前に、TFEST フラグが “1” になっているか確認してください。TFE ビットを “1” にした後、送信データを MB24 レジスタに書いてください。

通常メールボックスモード（CTLR レジスタの MBM ビットが “0”）では、TFE ビットを “1” にしないでください。

TFUST[2:0] フラグ（送信 FIFO 未送信メッセージ数ステータスフラグ）

TFUST[2:0] フラグは、送信 FIFO 内の未送信メッセージの数を表示します。

TFE ビットを “0” にした後、送信アボート完了または送信完了すると、TFUST[2:0] フラグの値は “000b” になります。

TFFST フラグ（送信 FIFO フルステータスフラグ）

送信 FIFO 内の未送信メッセージの数が 4 件になると、TFFST フラグは “1”（送信 FIFO はフル）になります。送信 FIFO 内の未送信メッセージの数が 4 未満になると、TFFST フラグは “0”（送信 FIFO はフルではない）になります。送信 FIFO の送信アボートが完了すると、TFFST フラグは “0” になります。

TFEST フラグ（受信 FIFO 空ステータスフラグ）

送信 FIFO 内の未送信メッセージがなくなると、TFEST フラグは “1”（送信 FIFO にメッセージなし）になります。送信 FIFO の送信アボートが完了すると、TFEST フラグは “1” になります。送信 FIFO 内の未送信メッセージの数が 1 件以上になると、TFEST フラグは “0”（送信 FIFO にメッセージあり）になります。

図 34.3 に送信 FIFO メールボックスの動作を示します。

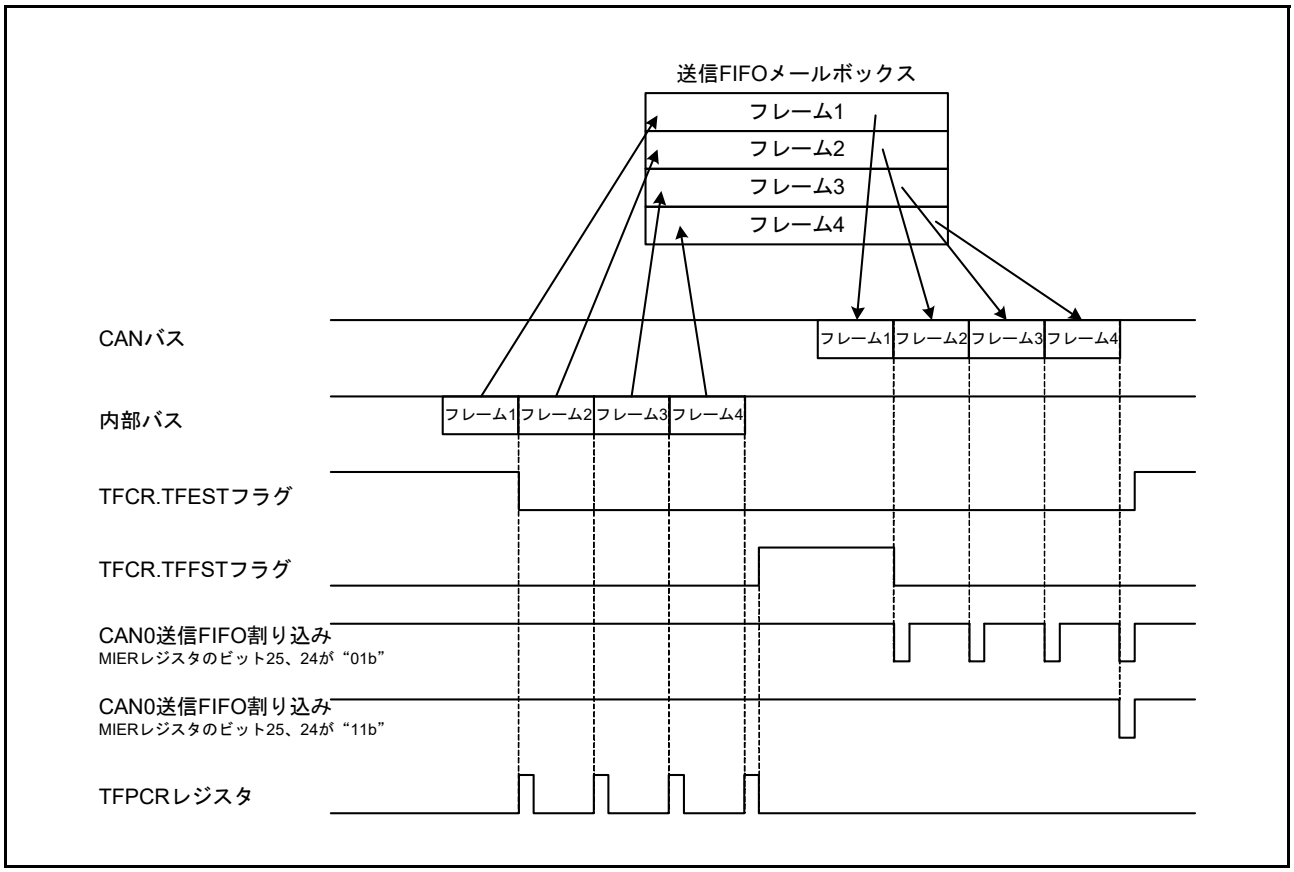


図 34.3　送信 FIFO メールボックスの動作（MIER レジスタのビット 25、24 が “01b” または “11b”）

34.2.12 送信 FIFO ポインタ制御レジスタ（TFPCR）

アドレス CAN0.TFPCR 0009 084Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b7-b0	TFPCR レジスタに“FFh”を書き込むと、CPU 側の送信 FIFO ポインタが移動	W

送信 FIFO がフルでないとき、送信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、TFPCR レジスタにプログラムで “FFh” を書いてください。

TFCR.TFE ビットが “0”（送信 FIFO 禁止）のときは、TFPCR レジスタに書かないでください。

34.2.13 ステータスレジスタ（STR）

アドレス CAN0.STR 0009 0842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0：NEWDATAフラグが“1”のメールボックスなし 1：NEWDATAフラグが“1”のメールボックスあり	R
b1	SDST	SENTDATAステータスフラグ	0：SENTDATAフラグが“1”のメールボックスなし 1：SENTDATAフラグが“1”のメールボックスあり	R
b2	RFST	受信FIFOステータスフラグ	0：受信FIFOにメッセージなし（空） 1：受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0：送信FIFOはフル 1：送信FIFOはフルではない	R
b4	NMLST	通常メッセージロストステータスフラグ	0：MSGLOSTフラグが“1”のメールボックスなし 1：MSGLOSTフラグが“1”のメールボックスあり	R
b5	FMLST	FIFOメッセージロストステータスフラグ	0：RFMLFフラグが“0” 1：RFMLFフラグが“1”	R
b6	TABST	送信アボートステータスフラグ	0：TRMABTフラグが“1”のメールボックスなし 1：TRMABTフラグが“1”のメールボックスあり	R
b7	EST	エラーステータスフラグ	0：エラーなし 1：エラー発生	R
b8	RSTST	CANリセットステータスフラグ	0：CANリセットモードではない 1：CANリセットモード	R
b9	HLTST	CAN Haltステータスフラグ	0：CAN Haltモードではない 1：CAN Haltモード	R
b10	SLPST	CANスリープステータスフラグ	0：CANスリープモードではない 1：CANスリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0：エラーパッシブ状態ではない 1：エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0：バスオフ状態ではない 1：バスオフ状態	R
b13	TRMST	送信ステータスフラグ（transmitter）	0：バスアイドルまたは受信中 1：送信中またはバスオフ状態	R
b14	RECST	受信ステータスフラグ（receiver）	0：バスアイドルまたは送信中 1：受信中	R
b15	—	予約ビット	読むと“0”が読めます。	R

NDST フラグ（NEWDATA ステータスフラグ）

MCTLj.NEWDATA フラグ（j = 0 ～ 31）が 1 つでも “1” になると、MIER レジスタの値とは無関係に NDST フラグは “1” になります。NEWDATA フラグがすべて “0” になると、NDST フラグは “0” になります。

SDST フラグ（SENTDATA ステータスフラグ）

MCTLj.SENTDATA フラグ（j = 0 ～ 31）が 1 つでも “1” になると、MIER レジスタの値とは無関係に SDST フラグは “1” になります。SENTDATA フラグがすべて “0” になると、SDST フラグは “0” になります。

RFST フラグ（受信 FIFO ステータスフラグ）

RFST フラグは、受信 FIFO が空状態以外になると “1” になります。受信 FIFO が空状態か通常メールボックスモードになると “0” になります。

TFST フラグ（送信 FIFO ステータスフラグ）

TFST フラグは、送信 FIFO がフル以外になると “1” になります。送信 FIFO がフルか通常メールボックスモードになると “0” になります。

NMLST フラグ（通常メッセージロストステータスフラグ）

MCTLj レジスタの MSGLOST フラグが一つでも “1” になると、MIER レジスタの値とは無関係に NMLST フラグは “1” になります。MSGLOST フラグがすべて “0” になると、NMLST フラグは “0” になります。

FMLST フラグ（FIFO メッセージロストステータスフラグ）

RFCR レジスタの RFMLF フラグが “1” になると、MIER レジスタの値とは無関係に FMLST フラグは “1” になります。RFMLF フラグが “0” のとき、FMLST フラグは “0” になります。

TABST フラグ（送信アボートステータスフラグ）

MCTLj レジスタの TRMABT フラグが一つでも “1” になると、MIER レジスタの値とは無関係に TABST フラグは “1” になります。TRMABT フラグがすべて “1” でないとき、TABST フラグは “0” になります。

EST フラグ（エラーステータスフラグ）

EIFR レジスタで一つでもエラーが検出されると、EIER レジスタの値とは無関係に EST フラグは “1” になります。EIFR レジスタで一つもエラーが検出されない場合は、EST フラグは “0” になります。

RSTST フラグ（CAN リセットステータスフラグ）

RSTST フラグは、CAN リセットモードになると “1” になります。CAN リセットモード以外になると “0” になります。CAN リセットモードから CAN スリープモードに移行しても、RSTST フラグは “1” のままです。

HLTST フラグ（CAN Halt ステータスフラグ）

HLTST フラグは、CAN Halt モードになると “1” になります。CAN Halt モード以外になると “0” になります。CAN Halt モードから CAN スリープモードに移行しても、HLTST フラグは “1” のままです。

SLPST フラグ（CAN スリープステータスフラグ）

SLPST フラグは、CAN スリープモードになると “1” になります。CAN スリープモード以外になると “0” になります。

EPST フラグ（エラーパッシブステータスフラグ）

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態（128 ≦ TEC < 256 または 128 ≦ REC < 256）になると、EPST フラグは “1” になります。エラーパッシブ状態以外になると、EPST フラグは “0” になります。

BOST フラグ（バスオフステータスフラグ）

TECR レジスタの値が 255 を超えて CAN モジュールがバスオフ状態（TEC ≧ 256）になると、BOST フラグは “1” になります。バスオフ状態以外になると、BOST フラグは “0” になります。

TRMST フラグ（送信ステータスフラグ（transmitter））

CAN モジュールが送信ノードかバスオフ状態になると TRMST フラグは “1” になります。受信ノードかバスアイドル状態になると TRMST フラグは “0” になります。

RECST フラグ（受信ステータスフラグ（receiver））

CAN モジュールが受信ノードになると RECST フラグは “1” になります。送信ノードかバスアイドル状態になると RECST フラグは “0” になります。

34.2.14　メールボックスサーチモードレジスタ（MSMR）

アドレス　CAN0.MSMR 0009 0853h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MBSM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択ビット	b1 b0 ０ ０：受信メールボックス検索モード ０ １：送信メールボックス検索モード １ ０：メッセージロスト検索モード １ １：チャネル検索モード	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MSMR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

MBSM[1:0] ビット（メールボックス検索モード選択ビット）

MBSM[1:0] ビットはメールボックス検索機能のための検索モードを選択します。

MBSM[1:0] ビットが “00b” の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタ（j = 0 ～ 31）の通常メールボックスでの NEWDATA フラグと RFCR レジスタの RFEST フラグです。

MBSM[1:0] ビットが “01b” の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタの SENTDATA フラグです。

MBSM[1:0] ビットが “10b” の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタの通常メールボックスでの MSGLOST フラグと RFCR レジスタの RFMLF フラグです。

MBSM[1:0] ビットが “11b” の場合、チャネル検索モードになります。

このモードで検索対象となるレジスタは CSSR レジスタです。「34.2.16　チャネルサーチサポートレジスタ（CSSR）」を参照してください。

34.2.15 メールボックスサーチステータスレジスタ（MSSR）

アドレス CAN0.MSSR 0009 0852h

	b7	b6	b5	b4	b3	b2	b1	b0
	SEST	—	—	MBNST[4:0]				
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータスフラグ	MSMRレジスタの各モードで検索された、最小のメールボックス番号を表示	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SEST	検索結果空ステータスフラグ	0：検索結果あり 1：検索結果なし	R

MBNST[4:0] フラグ（検索結果メールボックス番号ステータスフラグ）

MBNST[4:0] フラグは、MSMR レジスタの各モードで検索された、最小のメールボックス番号が表示されます。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- 出力されたメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが “0” になる
- より優先順位の高いメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが “1” になる

MBSM[1:0] ビットが “00b”（受信メールボックス検索モード）および “10b”（メッセージロスト検索モード）のとき、受信 FIFO が空状態でなく、すべての通常メールボックス（メールボックス [0] ～ [23]）に未読の受信メッセージもロストメッセージもない場合、受信 FIFO（メールボックス [28]）が出力されます。MBSM[1:0] ビットが “01b”（送信メールボックス検索モード）のとき、送信 FIFO（メールボックス [24]）は出力されません。表 34.6 に FIFO メールボックスモードでの MBNST[4:0] フラグの動作を示します。

チャネル検索モードでは、MBNST[4:0] フラグはチャネル番号が出力されます。MBNST[4:0] フラグは MSSR レジスタがプログラムで読み出された後に、次のターゲットチャネル番号が出力されます。

SEST フラグ（検索結果空ステータスフラグ）

すべてのメールボックスの検索で該当するメールボックスがない場合、SEST フラグは “1”（検索結果なし）になります。たとえば、送信メールボックス検索モードで、SENTDATA フラグが “1” のメールボックスがひとつもない場合、SEST フラグは “1” になり、ひとつでもある場合、“0” になります。SEST フラグが “1” の場合、MBNST[4:0] フラグの値は不定です。

表34.6 FIFOメールボックスモードでのMBNST[4:0]フラグの動作

MBSM[1:0]ビット	メールボックス[24]（送信FIFO）	メールボックス[28]（受信FIFO）
“00b”	メールボックス[24]は表示されない	通常メールボックスのどのMCTLj.NEWDATAフラグも“1”（新しいメッセージがメールボックスに格納中または格納された）にならず、また受信FIFOが空でない場合はメールボックス[28]が表示される
“01b”		メールボックス[28]は表示されない
“10b”		通常メールボックスのどのMCTLj.MSGLOSTフラグも“1”（メッセージはオーバライトまたはオーバランされた）にならず、受信FIFO内のRFCR.RFMLFフラグが“1”（受信FIFOメッセージロスト発生）になるとメールボックス[28]が表示される
“11b”		メールボックス[28]は表示されない

34.2.16 チャネルサーチサポートレジスタ（CSSR）

アドレス CAN0.CSSR 0009 0851h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b7-b0	チャネル検索の値が入力された場合、チャネル番号をMSSRレジスタに出力	R/W

“1” になった CSSR レジスタのビットは、8/3 エンコーダ（最小ビット位置がより高い優先順位）によってエンコードされ、MSSR レジスタの MBNST[4:0] フラグに出力されます。

MSSR レジスタは、MSSR レジスタをプログラムで読み出すたびに更新された値が表示されます。

なお、CSSR レジスタは、MSMR レジスタの MBSM[1:0] ビットが “11b”（チャネル検索モード）のときのみ変更してください。CSSR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

図 34.4 に CSSR、MSSR レジスタの書き込みと読み出しを示します。

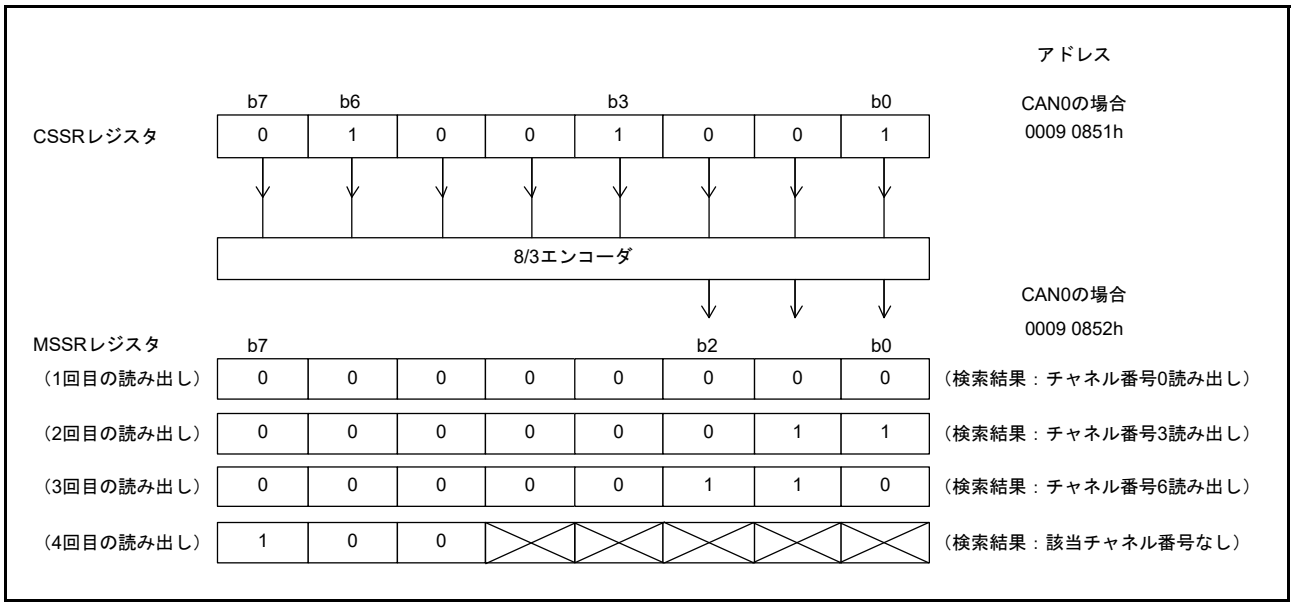


図 34.4　CSSR、MSSR レジスタの書き込みと読み出し

CSSR レジスタの値も MSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

34.2.17　アクセプタンスフィルタサポートレジスタ（AFSR）

アドレス　CAN0.AFSR 0009 0856h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値を読めます	R/W

注.　AFSRレジスタはCANオペレーションモードまたはCAN Haltモード時に変更してください。

アクセプタンスフィルタサポートユニット（ASU）は、あらかじめユーザにより作成された全標準 ID が有効か無効かを 1 ビット単位で設定したデータテーブル（8 ビット × 256）の検索に使用できます。受信した標準 ID が格納された MBj レジスタ（j = 0 ～ 31）の SID[10:0] ビットを含む 16 ビット単位のデータを AFSR レジスタへ書くと、デコードされたデータテーブル検索用の行（バイトオフセット）位置と列（ビット）位置が読み出せます。ASU は、標準（11 ビット）ID のみに使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合
  （例）受信する ID：078h、087h、111h
- 受信する ID が多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合

なお、AFSR レジスタは、CAN リセットモードでは設定できません。

図 34.5 に AFSR レジスタの書き込み、読み出しを示します。

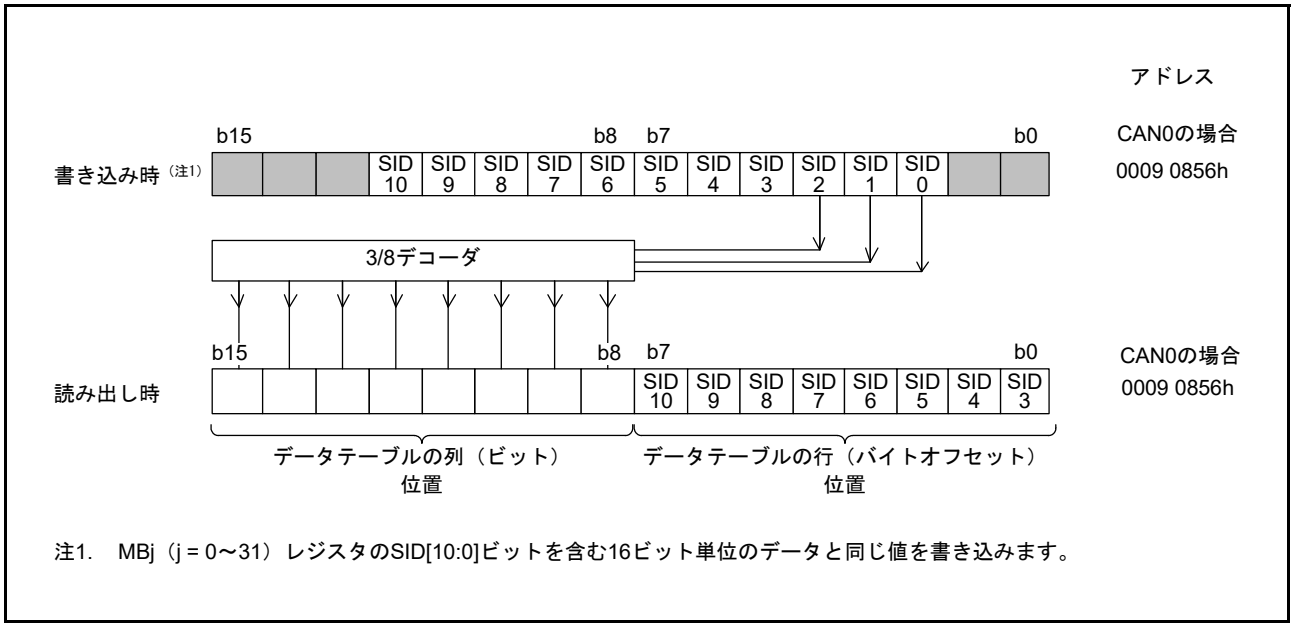


図 34.5　AFSR レジスタの書き込み、読み出し

34.2.18 エラー割り込み許可レジスタ（EIER）

アドレス CAN0.EIER 0009 084Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可ビット	0：バスエラー割り込み禁止 1：バスエラー割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可ビット	0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可	R/W
b2	EPIE	エラーパッシブエントリ割り込み許可ビット	0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可ビット	0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可ビット	0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可	R/W
b5	ORIE	オーバラン割り込み許可ビット	0：受信オーバラン割り込み禁止 1：受信オーバラン割り込み許可	R/W
b6	OLIE	オーバロードフレーム送信割り込み許可ビット	0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可	R/W
b7	BLIE	バスロック割り込み許可ビット	0：バスロック割り込み禁止 1：バスロック割り込み許可	R/W

EIER レジスタは、EIFR レジスタの個々のエラー割り込み要因に対して個別にエラー割り込みを許可 / 禁止します。

EIER レジスタは、CAN リセットモード時のみ変更してください。

BEIE ビット（バスエラー割り込み許可ビット）

BEIE ビットを “0” にすると、EIFR.BEIF フラグが “1” になっても、エラー割り込み要求は発生しません。BEIE ビットを “1” にすると、BEIF フラグが “1” になった場合、エラー割り込み要求が発生します。

EWIE ビット（エラーワーニング割り込み許可ビット）

EWIE ビットを “0” にすると、EIFR.EWIF フラグが “1” になっても、エラー割り込み要求は発生しません。EWIE ビットを “1” にすると、EWIF フラグが “1” になった場合、エラー割り込み要求が発生します。

EPIE ビット（エラーパッシブエントリ割り込み許可ビット）

EPIE ビットを “0” にすると、EIFR.EPIF フラグが “1” になっても、エラー割り込み要求は発生しません。EPIE ビットを “1” にすると、EPIF フラグが “1” になった場合、エラー割り込み要求が発生します。

BOEIE ビット（バスオフ開始割り込み許可ビット）

BOEIE ビットを “0” にすると、EIFR.BOEIF フラグが “1” になっても、エラー割り込み要求は発生しません。BOEIE ビットを “1” にすると、BOEIF フラグが “1” になった場合、エラー割り込み要求が発生します。

BORIE ビット（バスオフ復帰割り込み許可ビット）

BORIE ビットを “0” にすると、EIFR.BORIF フラグが “1” になっても、エラー割り込み要求は発生しません。BORIE ビットを “1” にすると、BORIF フラグが “1” になった場合、エラー割り込み要求が発生します。

ORIE ビット（オーバラン割り込み許可ビット）

ORIE ビットを “0” にすると、EIFR.ORIF フラグが “1” になっても、エラー割り込み要求は発生しません。ORIE ビットを “1” にすると、ORIF フラグが “1” になった場合、エラー割り込み要求が発生します。

OLIE ビット（オーバロードフレーム送信割り込み許可ビット）

OLIE ビットを “0” にすると、EIFR.OLIF フラグが “1” になっても、エラー割り込み要求は発生しません。OLIE ビットを “1” にすると、OLIF フラグの設定条件が “1” になった場合、エラー割り込み要求が発生します。

BLIE ビット（バスロック割り込み許可ビット）

BLIE ビットを “0” にすると、EIFR.BLIF フラグが “1” になっても、エラー割り込み要求は発生しません。BLIE ビットを “1” にすると、BLIF フラグが “1” になった場合、エラー割り込み要求が発生します。

34.2.19 エラー割り込み要因判定レジスタ（EIFR）

アドレス CAN0.EIFR 0009 084Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0：バスエラー未検出 1：バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0：エラーワーニング未検出 1：エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0：エラーパッシブ未検出 1：エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0：バスオフ開始未検出 1：バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0：バスオフ復帰未検出 1：バスオフ復帰検出	R/W
b5	ORIF	受信オーバラン検出フラグ	0：受信オーバラン未検出 1：受信オーバラン検出	R/W
b6	OLIF	オーバロードフレーム送信検出フラグ	0：オーバロードフレーム送信未検出 1：オーバロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0：バスロック未検出 1：バスロック検出	R/W

EIFR レジスタは、各フラグに対応する現象が発生すると、EIER レジスタの設定にかかわらず対応するフラグが “1” になります。

各フラグを “0” にする場合は、プログラムで “0” を書いてください。“1” になるタイミングとプログラムで “0” にするタイミングが同時の場合、そのビットは “1” になります。

また、各フラグを “0” にする場合、論理演算（AND）命令は使用しないでください。フラグを “0” にする場合は転送（MOV）命令を使用し、該当するビットに “0”、その他のビットに “1” を書いてください。“1” を書いてもこれらのフラグの値は変化しません。

BEIF フラグ（バスエラー検出フラグ）

バスエラーが検出されると、BEIF フラグは “1” になります。

EWIF フラグ（エラーワーニング検出フラグ）

REC または TEC の値が 95 を超えると、EWIF フラグは “1” になります。

EWIF フラグは、REC または TEC が最初に 95 を超えたときのみ “1” になります。したがって、REC または TEC が 95 を超えたままで、EWIF フラグにプログラムで “0” を書いた場合、一度 REC と TEC が 95 以下になり、再び REC または TEC が 95 を超えるまでは “1” にはなりません。

EPIF フラグ（エラーパッシブ検出フラグ）

CAN エラーステートがエラーパッシブ状態（REC（受信エラーカウンタ）または TEC の値が 127 を超える）になると、EPIF フラグは “1” になります。

EPIF フラグは、REC または TEC が最初に 127 を超えたときのみ “1” になります。したがって、REC または TEC が 127 を超えたままで、EPIF フラグにプログラムで “0” を書いた場合、一度 REC と TEC が 127 以下になり、再び REC または TEC が 127 を超えるまでは “1” にはなりません。

BOEIF フラグ（バスオフ開始検出フラグ）

CAN エラーステートがバスオフ状態（TEC（送信エラーカウンタ）の値が 255 を超える）になると、BOEIF フラグは “1” になります。CTLR レジスタの BOM[1:0] ビットが “01b”（バスオフ開始で自動的に CAN Halt モードへ移行）で、CAN モジュールがバスオフ状態になった場合も、BOEIF フラグは “1” になります。

BORIF フラグ（バスオフ復帰検出フラグ）

CAN モジュールが次の条件でバスオフ状態から通常復帰（11 の連続するレセシブビットを 128 回検出）した場合、BORIF フラグは “1” になります。

- CTLR.BOM[1:0] ビットが “00b”
- CTLR.BOM[1:0] ビットが “10b”
- CTLR.BOM[1:0] ビットが “11b”

なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、BORIF フラグは “1” になりません。

- CTLR.CANM[1:0] ビットを “01b” または “11b”（CAN リセットモード）にしたとき
- CTLR.RBOC ビットを “1”（バスオフからの強制復帰）にしたとき
- CTLR.BOM[1:0] ビットが “01b” のとき
- CTLR.BOM[1:0] ビットが “11b” で、通常復帰が発生する前に、CTLR.CANM[1:0] ビットを “10b”（CAN Halt モード）にしたとき

表 34.7 に CTLR.BOM[1:0] ビットの設定による BOEIF、BORIF フラグの動作を示します。

表34.7 CTLR.BOM[1:0]ビットの設定によるBOEIF、BORIFフラグの動作

BOM[1:0]ビット	BOEIFフラグ	BORIFフラグ
00	バスオフ状態への遷移時“1”になる	バスオフ状態からの復帰時“1”になる
01		“1”にはならない
10		バスオフ状態からの復帰時“1”になる
11		CANM[1:0]ビットが“10b”（CAN Haltモード）になる前に、通常のバスオフ状態からの復帰が発生した場合“1”になる

ORIF フラグ（受信オーバラン検出フラグ）

受信オーバランが発生すると、ORIF フラグは “1” になります。ORIF フラグはオーバライトモードでは “1” になりません。

オーバライトモードの場合、オーバライト条件が発生すると、受信完了割り込み要求が発生し、ORIF フラグは “1” にはなりません。

通常メールボックスモードの場合、オーバランモードで、メールボックス [0] ～ [31] のいずれかでオーバランが発生すると、ORIF フラグは “1” になります。FIFO メールボックスモードでは、オーバランモードで、メールボックス [0] ～ [23] のいずれかまたは受信 FIFO でオーバランが発生すると、ORIF フラグは “1”

になります。

OLIF フラグ（オーバロードフレーム送信検出フラグ）

CAN モジュールが受信または送信を行う場合にオーバロードフレームの送信条件が検出されると、OLIF フラグは “1” になります。

BLIF フラグ（バスロック検出フラグ）

CAN モジュールが CAN オペレーションモードの間、CAN バス上に 32 の連続するドミナントビットを検出すると、BLIF フラグは “1” になります。

“1” になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- このフラグを “1” から “0” にした後、レセシブビットを検出
- このフラグを “1” から “0” にした後、CAN リセットモードまたは CAN Halt モードに移行し、再度 CAN オペレーションモードに移行（内部リセット）

34.2.20 受信エラーカウントレジスタ（RECR）

アドレス CAN0.RECR 0009 084Eh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7-b0	受信エラーカウント機能 受信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

RECR レジスタは、受信エラーカウンタの値を示します。

受信エラーカウンタの増減条件については、ISO 11898-1 規格を参照してください。

RECR レジスタは、バスオフ状態時の値は不定になります。

34.2.21　送信エラーカウントレジスタ（TECR）

アドレス　CAN0.TECR 0009 084Fh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7-b0	送信エラーカウント機能 送信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

TECR レジスタは、送信エラーカウンタの値を示します。
送信エラーカウンタの増減条件については、ISO 11898-1 規格を参照してください。
TECR レジスタは、バスオフ状態時の値は不定になります。

34.2.22　エラーコード格納レジスタ（ECSR）

アドレス　CAN0.ECSR 0009 0850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ（注1、注2）	0：スタッフエラー未検出 1：スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ（注1、注2）	0：フォームエラー未検出 1：フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ（注1、注2）	0：ACKエラー未検出 1：ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ（注1、注2）	0：CRCエラー未検出 1：CRCエラー検出	R/W
b4	BE1F	ビットエラー（レセシブ）フラグ（注1、注2）	0：ビットエラー未検出 1：ビットエラー（レセシブ）検出	R/W
b5	BE0F	ビットエラー（ドミナント）フラグ（注1、注2）	0：ビットエラー未検出 1：ビットエラー（ドミナント）検出	R/W
b6	ADEF	ACKデリミタエラーフラグ（注1、注2）	0：ACKデリミタエラー未検出 1：ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択ビット（注3、注4）	0：最初に検出されたエラーコードを出力 1：蓄積したエラーコードを出力	R/W

注1.　“1”を書いてもこれらのフラグの値は変化しません。
注2.　SEF、FEF、AEF、CEF、BE1F、BE0F、ADEFフラグに対して“0”を書く場合は、論理演算（AND）命令は使用しないでください。フラグを“0”にする場合は転送（MOV）命令を使用し、該当するフラグに“0”、その他のフラグに“1”を書いてください。
注3.　EDPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。
注4.　同時に1つ以上のエラー条件が検出された場合は、関係するすべてのフラグが“1”になります。

ECSR レジスタは、CAN バス上のエラーの発生をモニタリングする場合に使用できます。
各エラーの発生条件を確認するには、ISO 11898-1 規格を参照してください。

EDPM ビット以外の各フラグを “0” にする場合は、プログラムで “0” を書いてください。各フラグが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのフラグは “1” になります。

SEF フラグ（スタッフエラーフラグ）

スタッフエラーを検出すると、SEF フラグは “1” になります。

FEF フラグ（フォームエラーフラグ）

フォームエラーを検出すると、FEF フラグは “1” になります。

AEF フラグ（ACK エラーフラグ）

ACK エラーを検出すると、AEF フラグは “1” になります。

CEF フラグ（CRC エラーフラグ）

CRC エラーを検出すると、CEF フラグは “1” になります。

BE1F フラグ（ビットエラー（レセシブ）フラグ）

レセシブビットエラーを検出すると、BE1F フラグは “1” になります。

BE0F フラグ（ビットエラー（ドミナント）フラグ）

ドミナントビットエラーを検出すると、BE0F フラグは “1” になります。

ADEF フラグ（ACK デリミタエラーフラグ）

送信中の ACK デリミタでフォームエラーを検出すると、ADEF フラグは “1” になります。

EDPM ビット（エラー表示モード選択ビット）

EDPM ビットは、ECSR レジスタの出力モードを設定します。EDPM ビットを “0” にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを “1” にすると、ECSR レジスタは蓄積したエラーコードを出力します。

34.2.23 タイムスタンプレジスタ（TSR）

アドレス CAN0.TSR 0009 0854h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値です	R

注. TSRレジスタの読み出しは16ビット単位で実行してください。

TSR レジスタを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読み出せます。

タイムスタンプカウンタの基準クロックの値は 1 ビットタイムを逓倍したもので、CTLR レジスタの TSPS[1:0] ビットで設定します。

タイムスタンプカウンタは、CAN スリープモードおよび CAN Halt モードで停止し、CAN リセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるときのタイムスタンプカウンタの値が MBj レジスタの TSL[7:0]、TSH[7:0] へ格納されます。

34.2.24　テスト制御レジスタ（TCR）

アドレス　CAN0.TCR 0009 0858h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TSTM[1:0]		TSTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTE	テストモード許可ビット	0：CANテストモード禁止 1：CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択ビット	b2 b1 0 0：CANテストモードではない 0 1：リッスンオンリモード 1 0：セルフテストモード0（外部ループバック） 1 1：セルフテストモード1（内部ループバック）	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR レジスタは、CAN テストモードの制御を行います。TCR レジスタは、CAN Halt モード時のみ変更してください。

(1)　リッスンオンリモード

ISO 11898-1 規格では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できますが、CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 34.6 にリッスンオンリモード選択時の接続を示します。

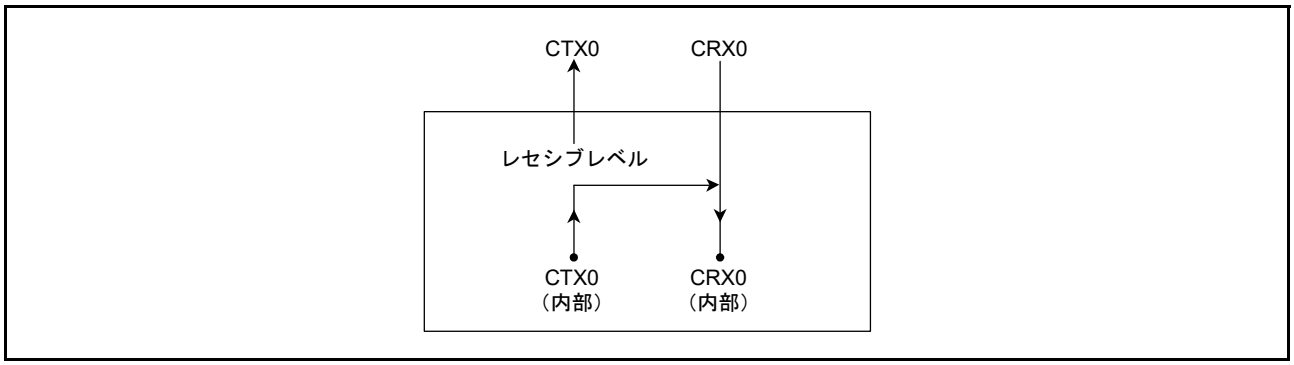


図 34.6　リッスンオンリモード選択時の接続

(2) セルフテストモード 0（外部ループバック）

セルフテストモード 0 は CAN トランシーバテスト用です。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

CTX0/CRX0 端子は CAN トランシーバに接続してください。

図 34.7 にセルフテストモード 0 選択時の接続を示します。

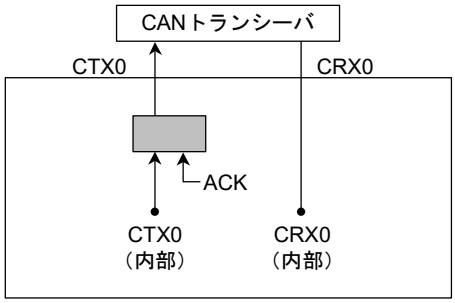


図 34.7　セルフテストモード 0 選択時の接続

(3) セルフテストモード 1（内部ループバック）

セルフテストモード 1 は、セルフテスト機能用です。

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

セルフテストモード 1 では内部 CTX0 端子から内部 CRX0 端子への内部フィードバックを行います。外部 CRX0 端子の入力の値は無視されます。外部 CTX0 端子はレセシブビットのみ出力します。CTX0/CRX0 端子は CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 34.8 にセルフテストモード 1 選択時の接続を示します。

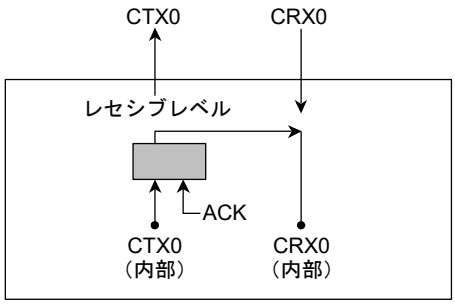


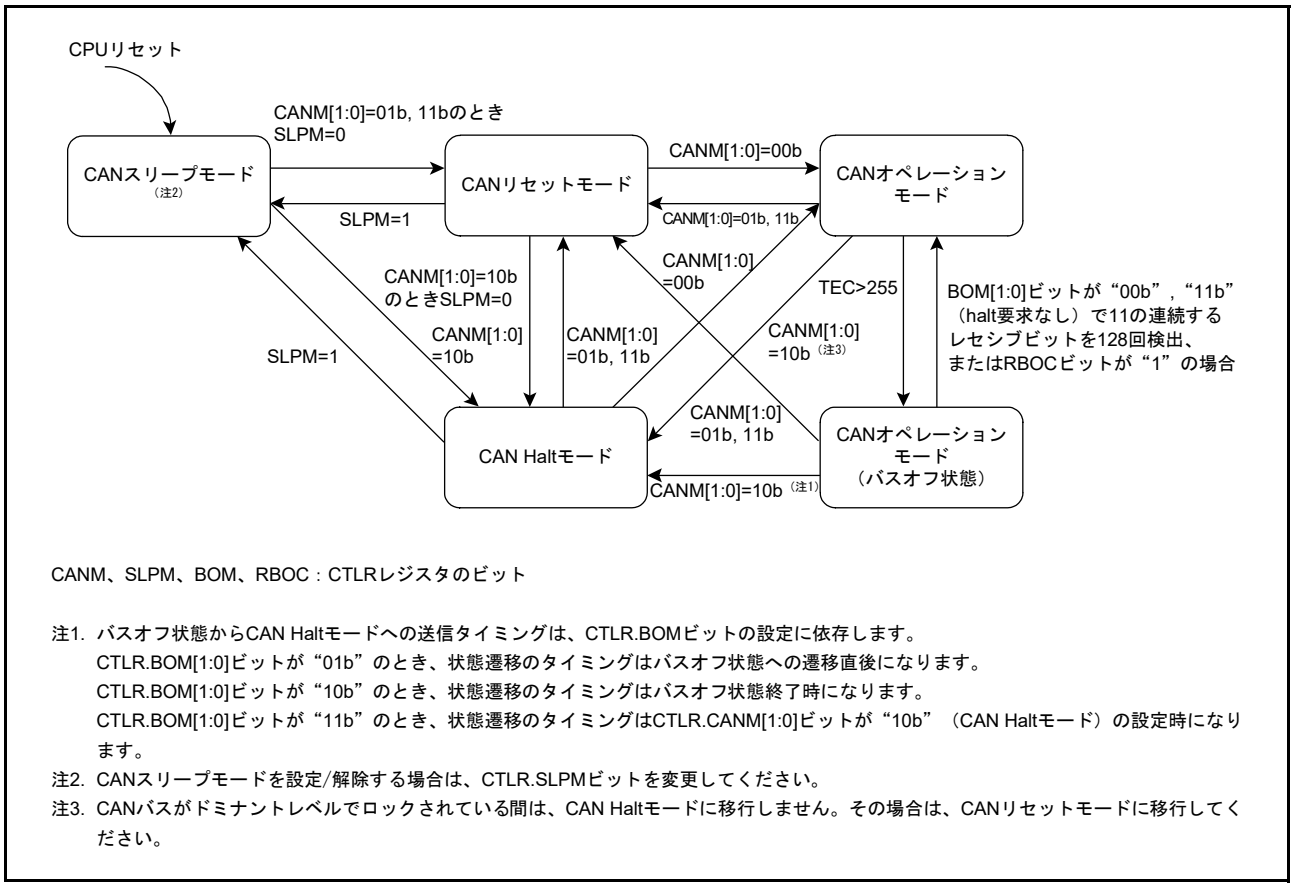
図 34.8　セルフテストモード 1 選択時の接続

34.3 動作モード

CAN モジュールには、以下 4 つの動作モードがあります。

- CAN リセットモード
- CAN Halt モード
- CAN オペレーションモード
- CAN スリープモード

図 34.9 に CAN 動作モード間の移行を示します。



CANM、SLPM、BOM、RBOC：CTLRレジスタのビット

注1. バスオフ状態からCAN Haltモードへの送信タイミングは、CTLR.BOMビットの設定に依存します。
CTLR.BOM[1:0]ビットが“01b”のとき、状態遷移のタイミングはバスオフ状態への遷移直後になります。
CTLR.BOM[1:0]ビットが“10b”のとき、状態遷移のタイミングはバスオフ状態終了時になります。
CTLR.BOM[1:0]ビットが“11b”のとき、状態遷移のタイミングはCTLR.CANM[1:0]ビットが“10b”（CAN Haltモード）の設定時になります。

注2. CANスリープモードを設定/解除する場合は、CTLR.SLPMビットを変更してください。

注3. CANバスがドミナントレベルでロックされている間は、CAN Haltモードに移行しません。その場合は、CANリセットモードに移行してください。

図 34.9 CAN 動作モード間の移行

34.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するモードです。

CTLR.CANM[1:0] ビットを “01b” または “11b” にすると、CAN モジュールは CAN リセットモードになります。そのとき、STR.RSTST フラグが “1” になります。RSTST フラグが “1” になるまで、CTLR.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ移行する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードに移行した後、それぞれのリセット後の値に初期化され、CAN リセットモード中は初期値を維持します。

- MCTLj レジスタ
- STR レジスタ（SLPST フラグと TFST フラグを除く）
- EIFR レジスタ
- RECR レジスタ
- TECR レジスタ
- TSR レジスタ
- MSSR レジスタ
- MSMR レジスタ
- RFCR レジスタ
- TFCR レジスタ
- TCR レジスタ
- ECSR レジスタ（EDPM ビットを除く）

以下のレジスタは、CAN リセットモードに移行した後も以前の値を保持します。

- CTLR レジスタ
- STR レジスタ（SLPST フラグと TFST フラグ）
- MIER レジスタ
- EIER レジスタ
- BCR レジスタ
- CSSR レジスタ
- ECSR レジスタ（EDPM ビットのみ）
- MBj レジスタ
- MKR0 ～ MKR7 レジスタ
- FIDCR0、FIDCR1 レジスタ
- MKIVLR レジスタ
- AFSR レジスタ
- RFPCR レジスタ
- TFPCR レジスタ

34.3.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードを設定するモードです。

CTLR.CANM[1:0] ビットを “10b” にすると、CAN Halt モードになります。そのとき、STR.HLTST フラグが “1” になります。HLTST フラグが “1” になるまで CANM[1:0] ビットを変更しないでください。

送信または受信時の状態移行の条件は、表 34.8 を参照してください。

CAN Halt モードへの移行では、STR レジスタの RSTST フラグ、HLTST フラグおよび SLPST フラグ以外のビットと他のすべてのレジスタは変化しません。

CAN Halt モードでは、CTLR レジスタ（CANM[1:0] ビットおよび SLPM ビットを除く）および EIER レジスタは変更しないでください。CAN テストモードで、自動ボーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN Halt モードで BCR レジスタを変更できます。

表34.8 CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード（強制移行） CANM[1:0] = 11b	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに移行	CANモジュールはメッセージ送信の終了を待たずにCANリセットモードに移行	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに移行
CANリセットモード CANM[1:0] = 01b	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに移行	CANモジュールはメッセージ送信の終了を待ってCANリセットモードに移行（注1、注4）	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに移行
CAN Haltモード	CANモジュールは受信メッセージの終了を待ってCAN Haltモードに移行（注2、注3）	CANモジュールはメッセージ送信の終了を待ってCAN Haltモードに移行（注1、注2、注4）	［BOM[1:0]ビットが“00b”の場合］ CANモジュールはバスオフ復帰後のみ、プログラムのHalt要求を受け付ける ［BOM[1:0]ビットが“01b”の場合］ CANモジュールはバスオフ復帰の終了を待たずに自動的にCAN Haltモードに移行（プログラムのHalt要求とは無関係に） ［BOM[1:0]ビットが“10b”の場合］ CANモジュールはバスオフ復帰の終了を待って自動的にCAN Haltモードに移行（プログラムのHalt要求とは無関係に） ［BOM[1:0]ビットが“11b”の場合］ CANモジュールはバスオフ中にプログラムによるHalt要求があると、CAN Haltモードに移行（バスオフ復帰の終了を待たずに）

CANM[1:0], BOM[1:0]：CTLR レジスタのビット

注1. いくつかのメッセージ送信が要求されている場合、最初のメッセージ送信が完了した後にモードを移行します。サスペンドトランスミッション中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを移行します。

注2. CANバスがドミナントレベルでロックされた場合、EIFR.BLIFフラグをモニタすると、プログラムはバスロック状態を検出できます。CANバスがドミナントレベルでロックされている間は、CAN Haltモードに移行しません。この場合は、CANリセットモードに移行してください。

注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに移行します（ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに移行しません）。

注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、要求された動作モードに移行します（ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに移行しません）。

34.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCU の RES# 端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTLR レジスタの SLPM ビットを “1” にすると、CAN スリープモードになります。そのとき、STR レジスタの SLPST フラグが “1” になります。SLPST フラグが “1” になるまで、SLPM ビットの値を変更しないでください。CAN スリープモードへの移行時は、他のレジスタは変化しません。

SLPM ビットは、CAN リセットモードと CAN Halt モードで変更してください。SLPM ビットを除く他のレジスタは、CAN スリープモード中は変更しないでください。読み出し動作は許可されます。

SLPM ビットを “0” にすると、CAN スリープモードから解除されます。CAN スリープモードからの復帰時、他のレジスタは変化しません。

34.3.4 CAN オペレーションモード（バスオフ状態以外）

CAN オペレーションモードは CAN 通信をするモードです。

CTLR レジスタの CANM[1:0] ビットを “00b” にすると、CAN モジュールは CAN オペレーションモードになります。

そのとき、STR レジスタの RSTST フラグと HLTST フラグが “0” になります。RSTST フラグと HLTST フラグが “0” になるまで、CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードに移行した後、11 の連続するレセシブビットを検出すると、CAN モジュールは次の状態になります。

- CAN モジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN モジュールは、CAN バスの状態によって、CAN オペレーションモード中に、次の 3 つのいずれかのサブモードになっています。

- アイドルモード : CAN モジュールは、送受信を行っていない状態です。
- 受信モード : CAN モジュールは、他のノードが送信した CAN メッセージを受信しています。
- 送信モード : CAN モジュールは、CAN メッセージを送信しています。セルフテストモード 0（TCR レジスタの TSTM[1:0] ビットが “10b”）またはセルフテストモード 1（TSTM[1:0] ビットが “11b”）が選択されている場合、同時に自ノードが送信したメッセージを受信します。

図 34.10 に CAN オペレーションモードのサブモードを示します。

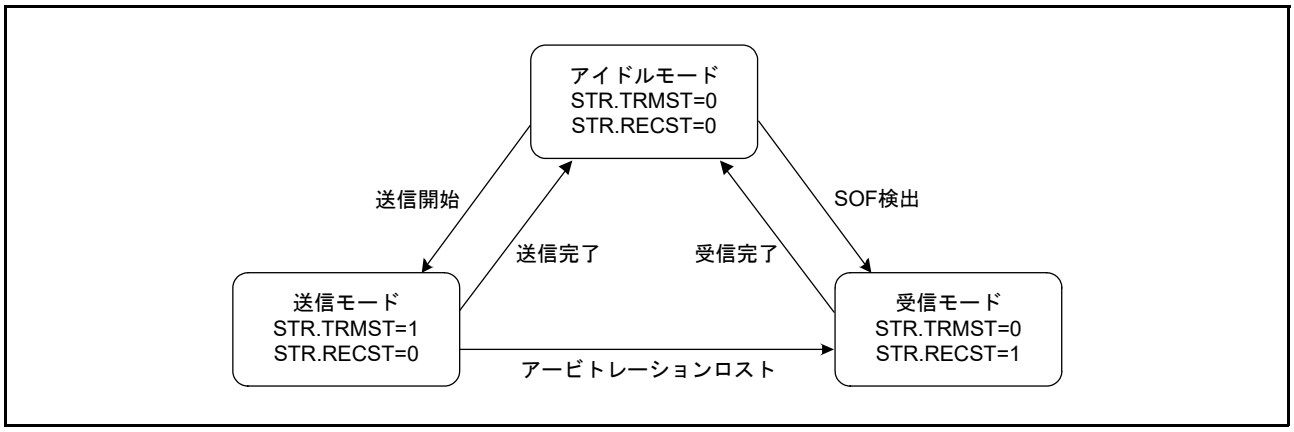


図 34.10 CAN オペレーションモードのサブモード

34.3.5 CAN オペレーションモード（バスオフ状態）

ISO 11898-1 規格の送信、受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態に移行します。

CAN モジュールがバスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、STR、EIFR、RECR、TECR および TSR レジスタを除く CAN モジュール関連レジスタの値は変化しません。

(1) CTLR レジスタの BOM[1:0] ビットが “00b” の場合（ノーマルモード）

バスオフ状態からの復帰完了後、エラーアクティブ状態に移行し、CAN 通信ができるようになります。このとき、EIFR レジスタの BORIF フラグが “1”（バスオフ復帰検出）になります。

(2) CTLR レジスタの RBOC ビットを “1” にしたとき（バスオフからの強制復帰）

バスオフ状態になり、RBOC ビットが “1” になると、CAN モジュールはエラーアクティブ状態に移行し、11 の連続するレセシブビットを検出した後、再び CAN 通信ができるようになります。このとき、BORIF フラグは “1” になりません。

(3) BOM[1:0] ビットが “01b” の場合（バスオフ開始で自動的に CAN Halt モードへ移行）

バスオフ状態に達すると CAN Halt モードになります。このとき BORIF フラグは “1” になりません。

(4) BOM[1:0] ビットが “10b” の場合（バスオフ終了で自動的に CAN Halt モードへ移行）

バスオフからの復帰が完了すると、CAN Halt モードになります。このとき BORIF フラグは “1” になります。

(5) BOM[1:0] ビットが “11b” の場合（プログラムにより CAN Halt モードへ移行）に バスオフ状態で CTLR レジスタの CANM[1:0] ビットを “10b” にしたとき（CAN Halt モード）

バスオフ状態時に CANM[1:0] ビットが “10b”（CAN Halt モード）に設定されると、CAN Halt モードになります。このとき、BORIF フラグは “1” になりません。

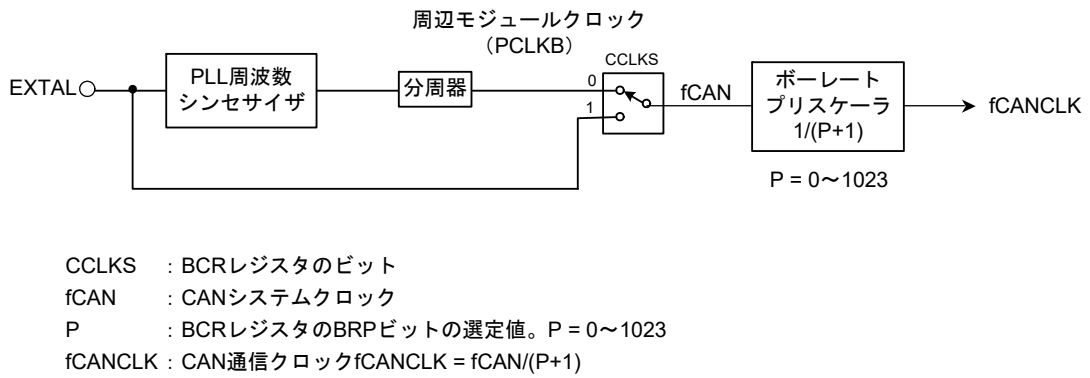
バスオフ中に CANM[1:0] ビットが “10b” に設定されないときは、(1) と同じ動作になります。

34.4 CAN 通信速度の設定

CAN 通信速度の設定について以下に説明します。

34.4.1 CAN クロックの設定

CAN モジュールは CAN クロック選択回路を内蔵しています。
CAN クロックは、BCR レジスタの CCLKS ビットと BRP[9:0] ビットで設定できます。
図 34.11 に CAN クロック発生回路のブロック図を示します。

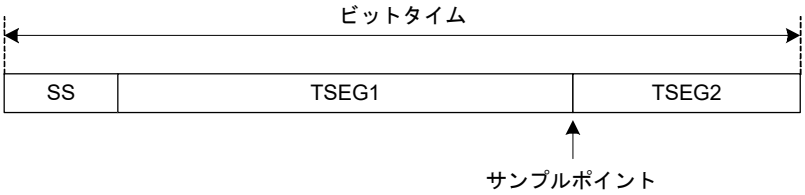


CCLKS　：BCRレジスタのビット
fCAN　：CANシステムクロック
P　：BCRレジスタのBRPビットの選定値。P = 0～1023
fCANCLK：CAN通信クロックfCANCLK = fCAN/(P+1)

図 34.11　CAN クロック発生回路のブロック図

34.4.2 ビットタイミングの設定

ビットタイムは、次の 3 つのセグメントからなります。
図 34.12 にビットタイミング図を示します。



各セグメントの範囲	ビットタイム= 8 Tq ～ 25 Tq SS = 1 Tq TSEG1 = 4 Tq ～ 16 Tq TSEG2 = 2 Tq ～ 8 Tq SJW = 1 Tq ～ 4 Tq
TSEG1とTSEG2の設定	TSEG1 > TSEG2 ≧ SJW

図 34.12　ビットタイミング図

34.4.3 ビットレート

ビットレートは、fCAN（CAN クロック）、ボーレートプリスケーラ分周値、および 1 ビットの Tq の数に依存します。

$$\text{ビットレート[bps]} = \frac{fCAN}{\text{ボーレートプリスケーラ分周値（注1）} \times \text{1ビットタイムのTq数}} = \frac{fCANCLK}{\text{1ビットタイムのTq数}}$$

注1. ボーレートプリスケーラ分周値 = P + 1（P = 0～1023）
P：BCR レジスタの BRP[9:0] ビットの設定値

表 34.9 にビットレートの例を示します。

表34.9 ビットレートの例

fCAN	50MHz		48MHz		40MHz		32MHz	
ビットレート	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1
1 Mbps	10Tq 25Tq	5 2	8Tq 12Tq 16Tq	6 4 3	10Tq 20Tq	4 2	8Tq 16Tq	4 2
500 kbps	10Tq 25Tq	10 4	8Tq 12Tq 16Tq	12 8 6	10Tq 20Tq	8 4	8Tq 16Tq	8 4
250 kbps	10Tq 25Tq	20 8	8Tq 12Tq 16Tq	24 16 12	10Tq 20Tq	16 8	8Tq 16Tq	16 8
125 kbps	10Tq 25Tq	40 16	8Tq 12Tq 16Tq	48 32 24	10Tq 20Tq	32 16	8Tq 16Tq	32 16
83.3 kbps	10Tq 25Tq	60 24	8Tq 12Tq 16Tq	72 48 36	8Tq 10Tq 16Tq 20Tq	60 48 30 24	8Tq 16Tq	48 24
33.3 kbps	10Tq 25Tq	150 60	8Tq 12Tq 16Tq	180 120 90	8Tq 10Tq 20Tq	150 120 60	8Tq 10Tq 16Tq 20Tq	120 96 60 48

34.5　メールボックスとマスクレジスタの構成

図 34.13 に MBj レジスタの構成を示します。
同じ構成の 32 のメールボックスがあります。

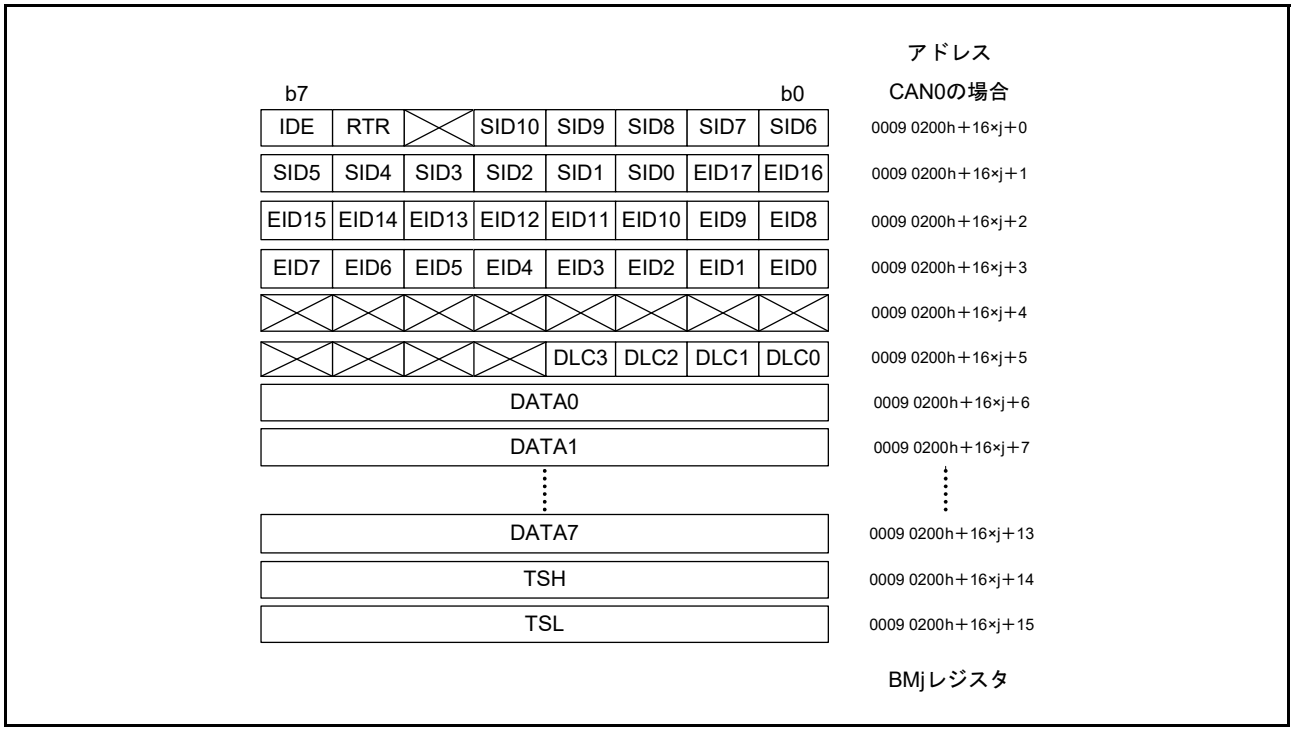


図 34.13　MBj レジスタの構成（j = 0 ～ 31）

図 34.14 に MKRk レジスタの構成を示します。
同じ構成の 8 つのマスクレジスタがあります。

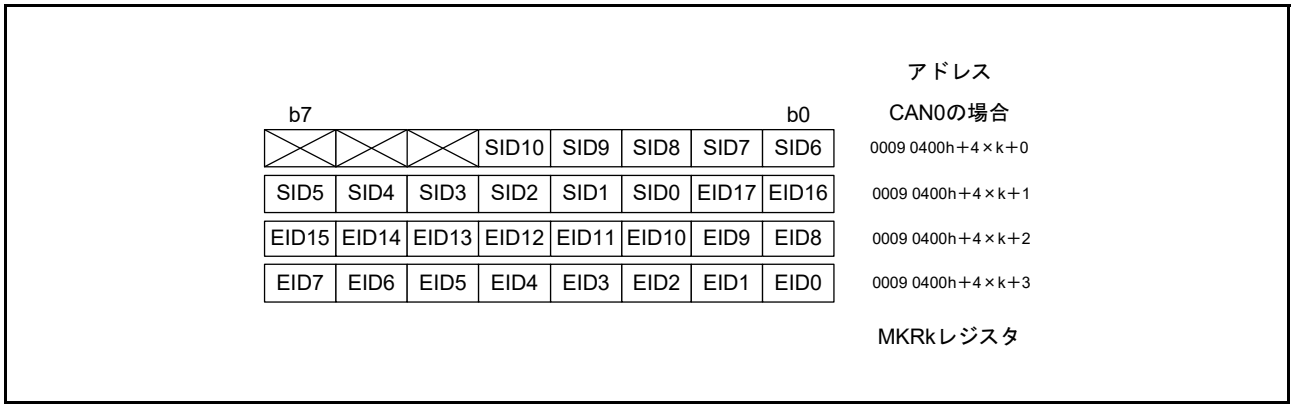


図 34.14　MKRk レジスタの構成（k = 0 ～ 7）

図 34.15 に FIDCR0、FIDCR1 レジスタの構成を示します。
同じ構成の 2 つの FIFO 受信 ID 比較レジスタがあります。

b7							b0	アドレス CAN0の場合
IDE	RTR		SID10	SID9	SID8	SID7	SID6	0009 0420h＋4×n＋0
SID5	SID4	SID3	SID2	SID1	SID0	EID17	EID16	0009 0420h＋4×n＋1
EID15	EID14	EID13	EID12	EID11	EID10	EID9	EID8	0009 0420h＋4×n＋2
EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0	0009 0420h＋4×n＋3

FIDCRnレジスタ

図 34.15　FIDCRn レジスタの構成（n = 0, 1）

34.6　アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能は、一定範囲の ID の選択と受信を許可します。
MKR0 ～ MKR7 レジスタは標準 ID と 29 ビットの拡張 ID のマスクができます。

- MKR0 レジスタは、メールボックス [0] ～ [3] に対応
- MKR1 レジスタは、メールボックス [4] ～ [7] に対応
- MKR2 レジスタは、メールボックス [8] ～ [11] に対応
- MKR3 レジスタは、メールボックス [12] ～ [15] に対応
- MKR4 レジスタは、メールボックス [16] ～ [19] に対応
- MKR5 レジスタは、メールボックス [20] ～ [23] に対応
- MKR6 レジスタは、通常メールボックスモードの場合はメールボックス [24] ～ [27]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ～ [31] に対応
- MKR7 レジスタは、通常メールボックスモードの場合はメールボックス [28] ～ [31]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ～ [31] に対応

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ機能を禁止します。
MBj レジスタの IDE ビットは、CTLR レジスタの IDFM[1:0] ビットが “10b”（ミックス ID モード）のとき有効です。
MBj レジスタの RTR ビットはデータフレームとリモートフレームを選択します。

FIFO メールボックスモードでは、通常メールボックス（メールボックス [0] ～ [23]）は、MKR0 ～ MKR5 レジスタの中から対応する 1 つを使用してアクセプタンスフィルタ処理しますが、受信 FIFO メールボックス（メールボックス [28] ～ [31]）は、MKR6、MKR7 レジスタの 2 つを使用してアクセプタンスフィルタ処理を行います。
また、受信 FIFO は FIDCR0、FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28 ～ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。それぞれ 2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO では 2 つの範囲の ID を受信することができます。
MKIVLR レジスタは、受信 FIFO に対しては無効です。

標準 ID と拡張 ID の両方がそれぞれ FIDCR0、FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれ FIDCR0、FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 34.16 にマスクレジスタとメールボックスの対応、**図 34.17** にアクセプタンスフィルタ処理を示します。

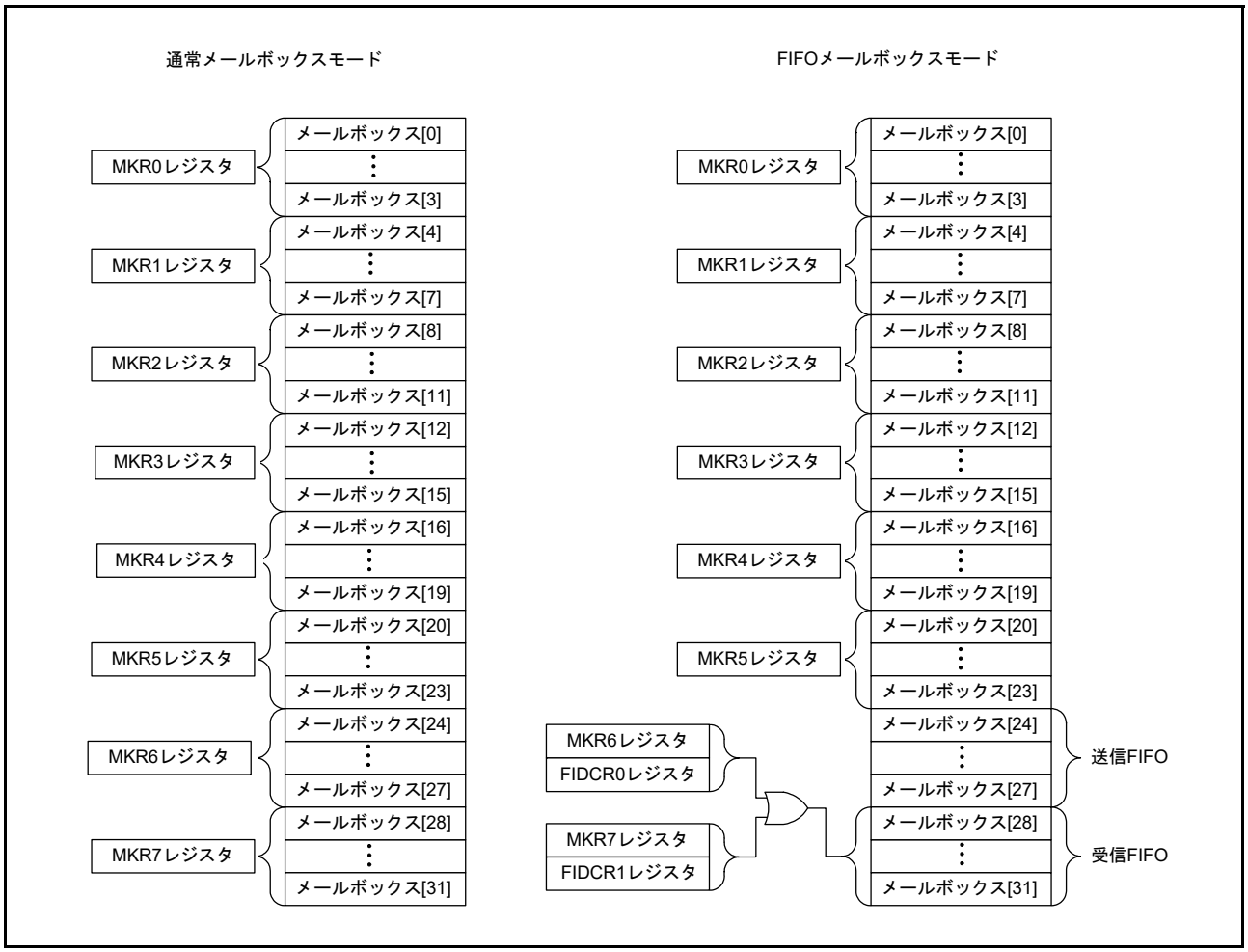


図 34.16　マスクレジスタとメールボックスの対応

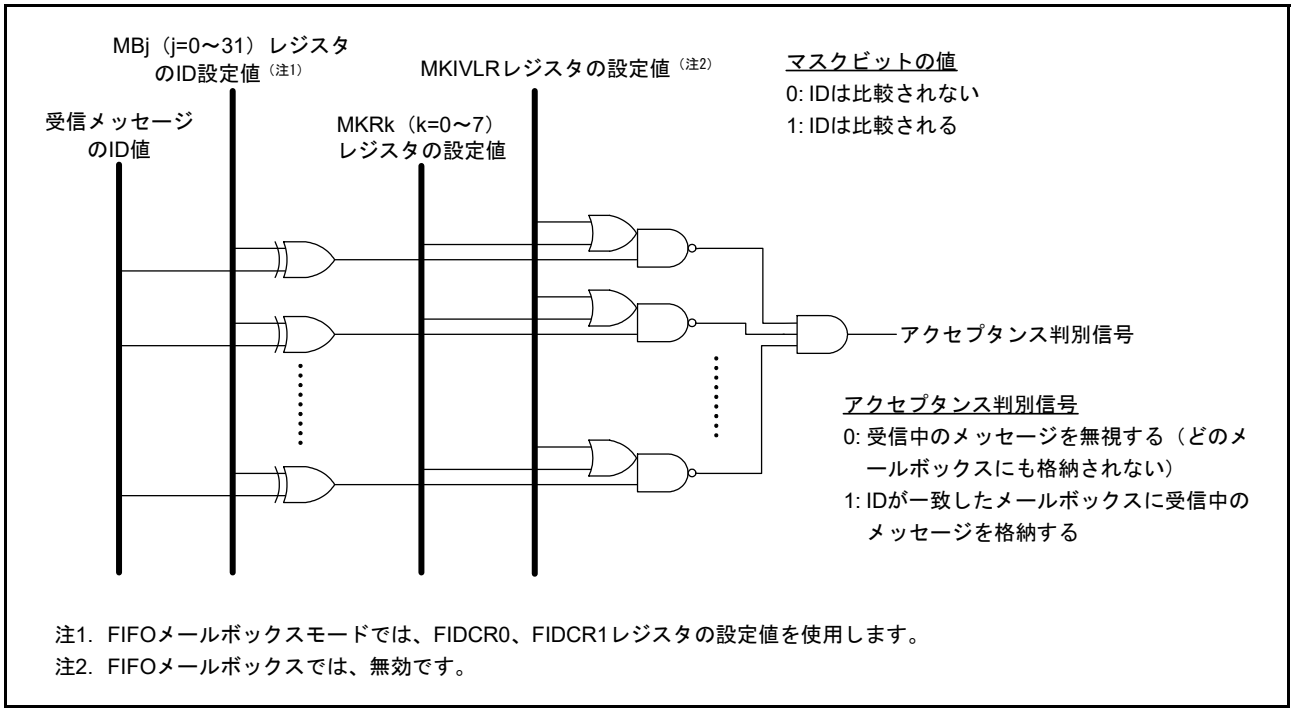


図 34.17　アクセプタンスフィルタ処理

34.7 受信 / 送信

表 34.10 に CAN 通信モードの設定方法を示します。

表34.10 CAN受信モードとCAN送信モードの設定方法

MCTLj. TRMREQ	MCTLj. RECREQ	MCTLj. ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

j = 0 ～ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、MCTLj レジスタを “00h” にしてください。
2. 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうの優先順位がより高くなります。
3. CAN オペレーションモードで、受信メッセージに設定したメールボックスの ID/ マスクセットに一致するメッセージを送信した場合、CAN モジュールは送信データを受信しません。しかしセルフテストモードでは、CAN モジュールは送信データを受信します。この場合、CAN モジュールは ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

4. メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、MCTLj レジスタを確実に “00h” にして、さらに、アボート処理中でないことを確認してください。

34.7.1　受信

図 34.18 にデータフレーム受信時の動作例（オーバライトモードの場合）を示します。

この例は、示された MCTLj レジスタ（j = 0 ～ 31）のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、最初のメッセージを上書きする場合の動作です。

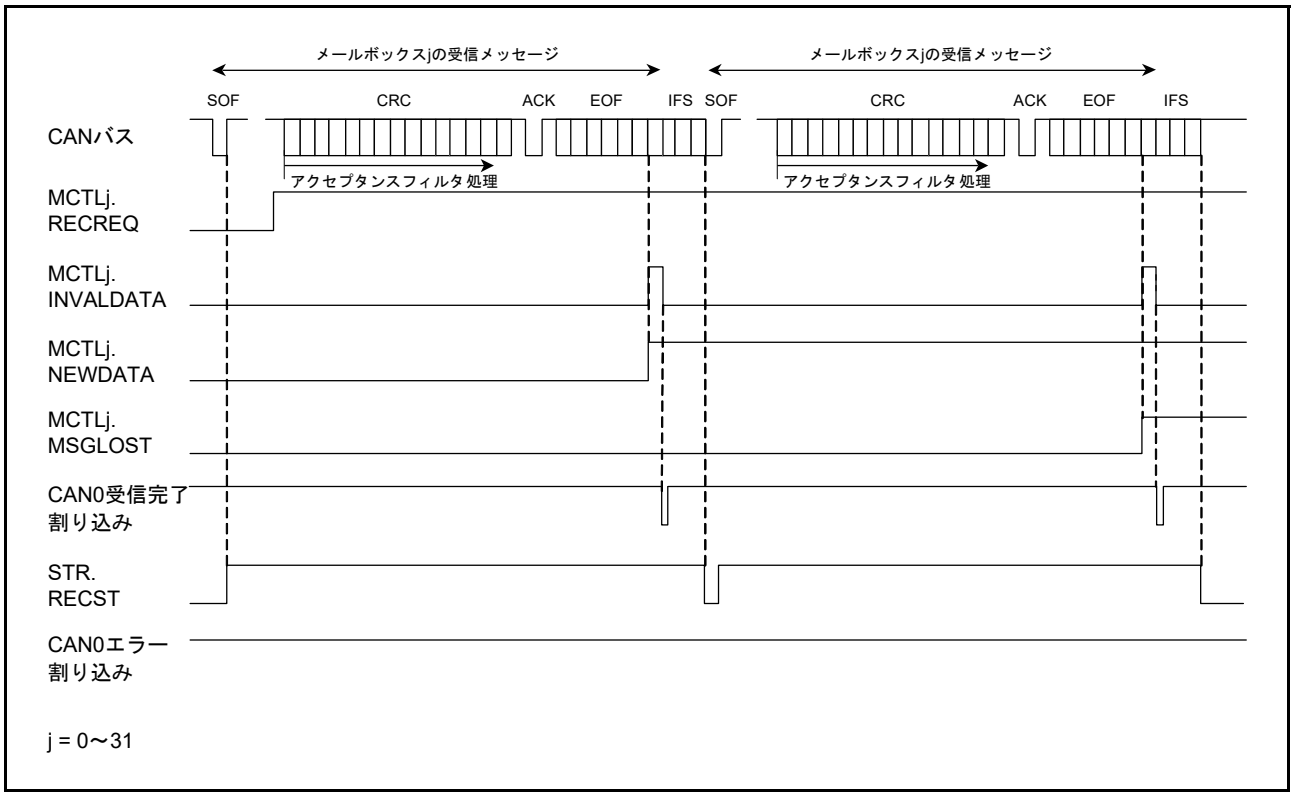


図 34.18　データフレーム受信時の動作例（オーバライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST フラグが “1”（受信中）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTLj.NEWDATA フラグが “1”（新しいメッセージを更新中、またはメールボックスに格納された）になります。同時に MCTLj.INVALDATA フラグが “1”（メッセージを更新中）になり、そのメールボックスにメッセージ全体が転送された後、INVALDATA フラグは “0”（メッセージは有効）に戻ります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが “1”（割り込み許可）の場合、CAN0 受信完了割り込み要求が発生します。INVALDATA フラグが “0” になると、この割り込み（CAN0 受信完了割り込み）が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATA フラグをプログラムで “0” にする必要があります。
6. オーバライトモードでは、NEWDATA フラグがまだ “1” になっているメールボックスに次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが “1”（メッセージはオーバライトされた）になります。新しく受信したメッセージはメールボックスに転送されます。CAN0 受信完了割り込み要求は、4. と同様に発生します。

図 34.19 にデータフレーム受信時の動作例（オーバランモードの場合）を示します。

この例は、示された MCTLj レジスタ（j = 0 ～ 31）のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、2 つ目のメッセージを破棄する場合の動作です。

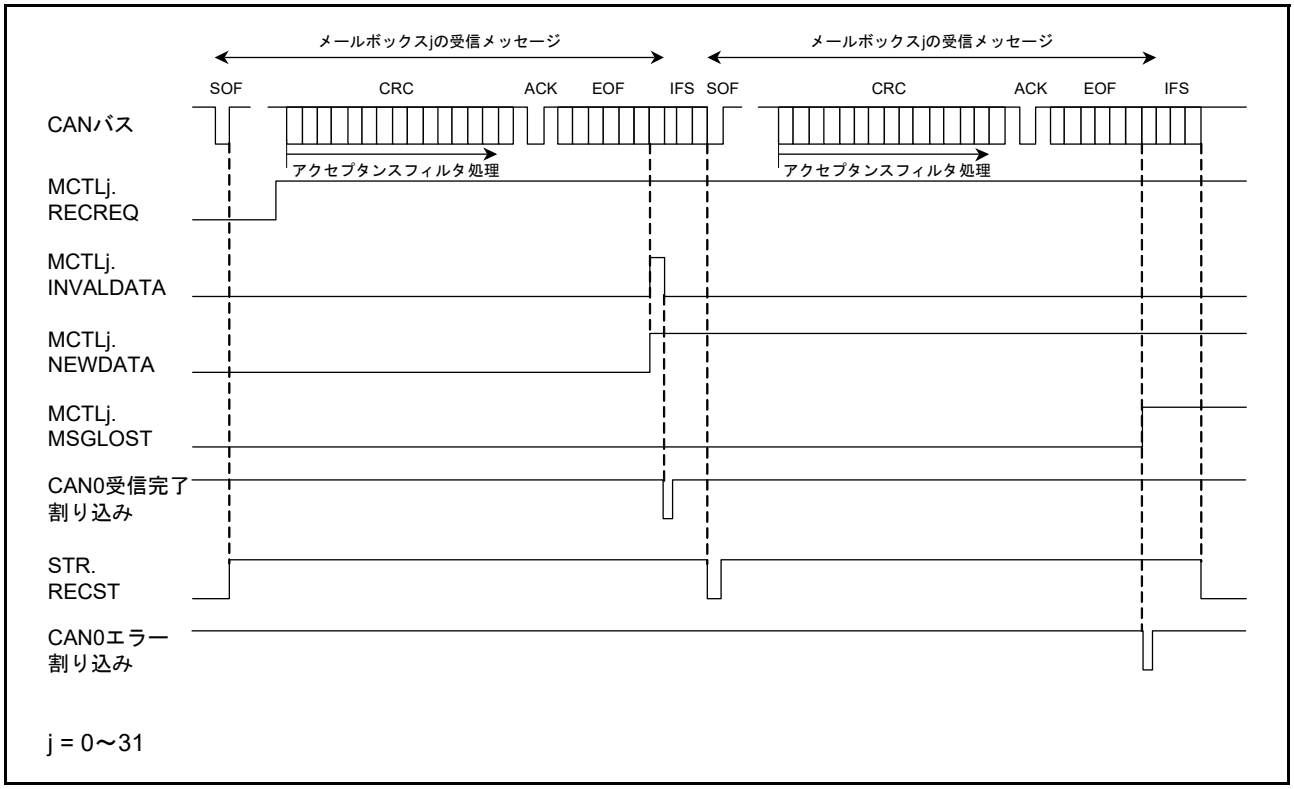


図 34.19　データフレーム受信時の動作例（オーバランモードの場合）

1. ～ 5. はオーバライトモードと同じです。

6. オーバランモードでは、MCTLj.NEWDATA フラグが “0” になる前に、次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが “1”（メッセージはオーバランされた）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが “1”（割り込み許可）の場合、CAN0 エラー割り込み要求が発生します。

34.7.2 送信

図 34.20 にデータフレーム送信時の動作例を示します。

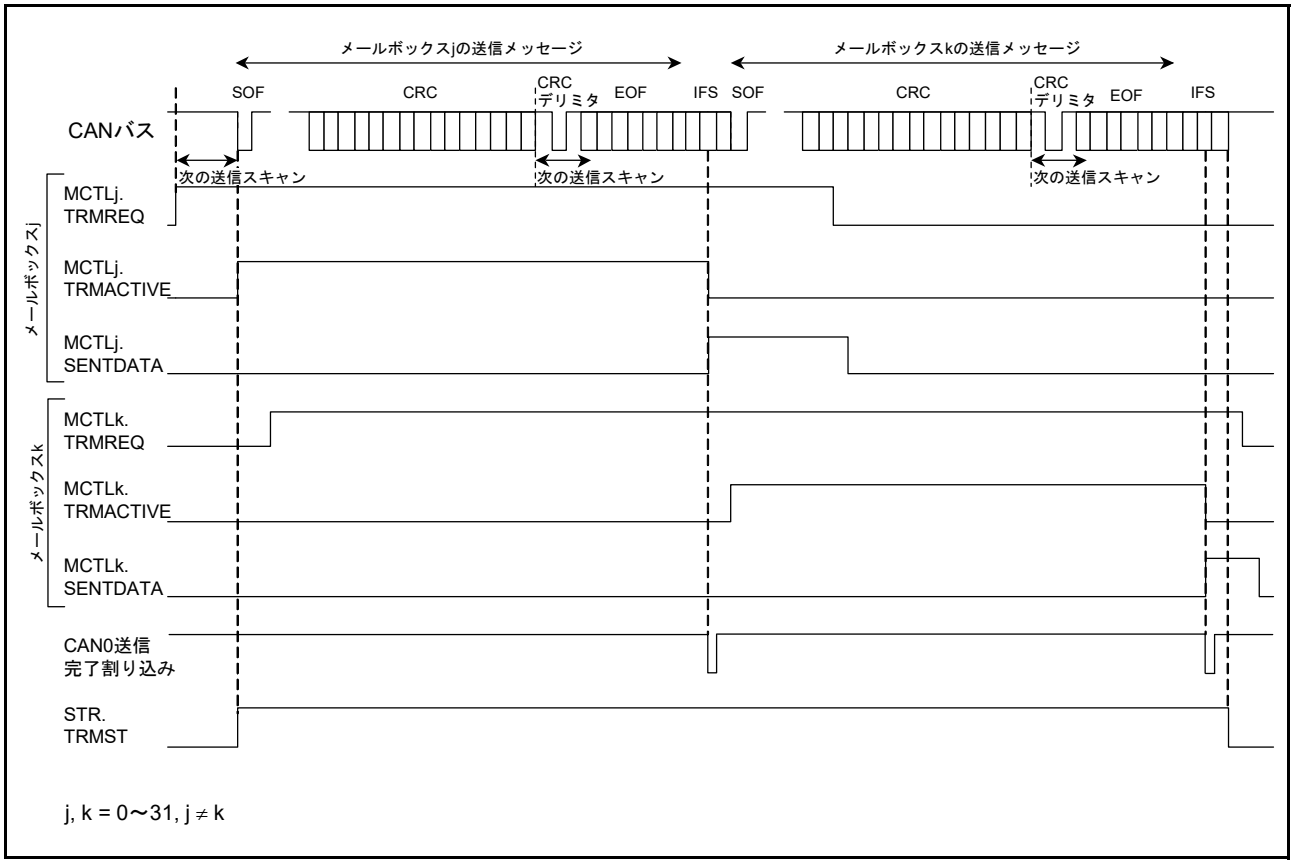


図 34.20 データフレーム送信時の動作例

1. バスアイドル状態で、MCTLj.TRMREQ ビット（j = 0 ～ 31）を “1”（送信メールボックス）にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、MCTLj レジスタの TRMACTIVE フラグが “1”（送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで）、STR レジスタの TRMST フラグが “1”（送信中）になり、CAN モジュールは送信を開始します（注 1）。
2. 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャン処理を開始します。
3. アービトレーションロストが発生せずに送信が完了すると、MCTLj レジスタの SENTDATA フラグが “1”（送信完了）に、TRMACTIVE フラグが “0”（送信待機中または送信要求なし）になります。そして、MIER レジスタの割り込み許可ビットが “1”（割り込み許可）の場合は CAN0 送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、SENTDATA フラグと TRMREQ ビットを “0” にして、SENTDATA フラグと TRMREQ ビットが “0” になるのを確認した後、TRMREQ ビットを “1” にしてください。

注 1. CAN モジュールが送信開始した後でアービトレーションロストをした場合、TRMACTIVE フラグは “0” になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

34.8 CAN 割り込み

CAN モジュールには、チャネルごとに以下の CAN 割り込みがあります。表 34.11 に CAN 割り込み一覧表を示します。

- CAN0 受信完了割り込み（メールボックス 0 ～ 31）[RXM0]
- CAN0 送信完了割り込み（メールボックス 0 ～ 31）[TXM0]
- CAN0 受信 FIFO 割り込み [RXF0]
- CAN0 送信 FIFO 割り込み [TXF0]
- CAN0 エラー割り込み [ERS0]

CAN0 エラー割り込みには、8 つの要因があります。これらの要因は、EIFR レジスタをチェックすることで確認できます。

－バスエラー
－エラーワーニング
－エラーパッシブ
－バスオフ開始
－バスオフ復帰
－受信オーバラン
－オーバロードフレーム送信
－バスロック

表 34.11 CAN割り込み一覧表

モジュール	割り込みシンボル	割り込み要因	要因フラグ
CAN0	ERS0	バスロック検出	EIFR.BLIF
		オーバロードフレーム送信検出	EIFR.OLIF
		オーバラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	RXF0	受信FIFOメッセージ受信（MIER[29] = 0）	RFCR.RFUST[2:0]
		受信FIFOワーニング（MIER[29] = 1）	
	TXF0	送信FIFOメッセージ送信完了（MIER[25] = 0）	TFCR.TFUST[2:0]
		FIFOラストメッセージ送信完了（MIER[25] = 1）	
	RXM0	メールボックス0～31メッセージ受信	MCTL0.NEWDATA～ MCTL31.NEWDATA
	TXM0	メールボックス0～31メッセージ送信完了	MCTL0.SENTDATA～ MCTL31.SENTDATA

34.9 使用上の注意事項

34.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、CAN モジュールの動作禁止 / 許可を設定できます。リセット後の値では、CAN モジュールの動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

35. シリアルペリフェラルインタフェース (RSPIc)

本章に記載している PCLK とは PCLKA を指します。

35.1 概要

本 MCU は、1 チャネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重または単方向 (送信のみ) の同期式シリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 35.1 に RSPI の仕様を、図 35.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ～ 7 と規定しています。

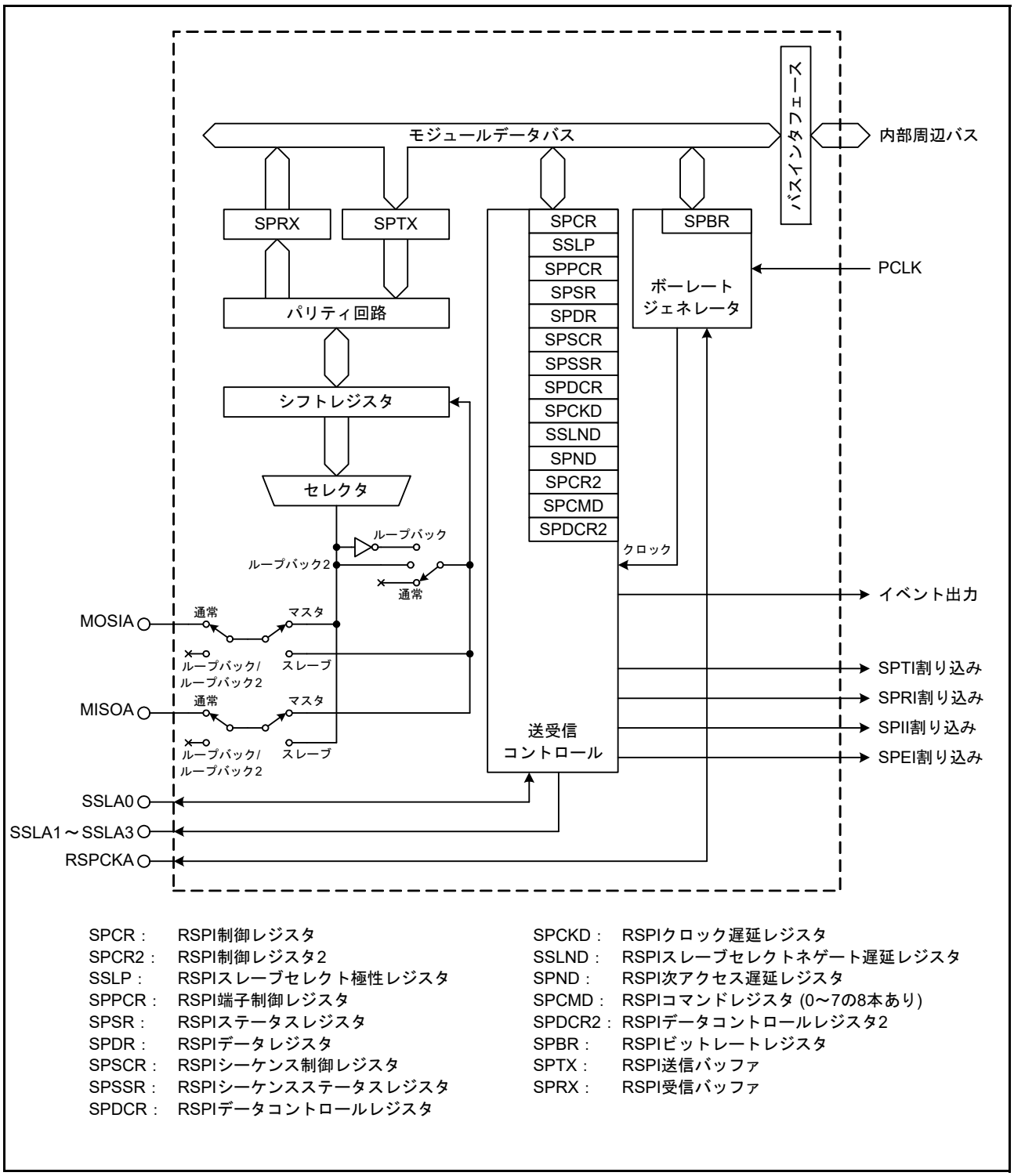
表35.1　RSPIの仕様 (1/2)

項目	内容
チャネル数	1チャネル
RSPI転送機能	• MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 • 通信モード：全二重または単方向(送信のみ)を選択可能 • RSPCKの極性を変更可能 • RSPCKの位相を変更可能
データフォーマット	• MSBファースト/LSBファーストの切り替え可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットから選択可能 • 送信/受信バッファは128ビット • 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) • 送受信データをバイト単位でスワップ可能
ビットレート	• マスタモード時、内蔵ボーレートジェネレータでPCLKを分周してRSPCKを生成(分周比は2～4096分周) • スレーブ時は、PCLKの最小4分周のクロックを、RSPCKとして入力可能(RSPCKの最高周波数はPCLKの4分周) High幅：PCLKの2サイクル、Low幅：PCLKの2サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは128ビット
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出(注1) • パリティエラー検出 • アンダランエラー検出
SSL制御機能	• 1チャネルあたり4本のSSL端子(SSLA0～SSLA3) • シングルマスタ設定時には、SSLA0～SSLA3端子を出力 • マルチマスタ設定時：SSLA0端子は入力、SSLA1～SSLA3端子は出力または未使用 • スレーブ設定時：SSLA0端子は入力、SSLA1～SSLA3端子は未使用 • SSL出力のアサートからRSPCK動作までの遅延(RSPCK遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延(SSLネゲート遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • 次アクセスのSSL出力アサートのウェイト(次アクセス遅延)を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • SSL極性変更機能
マスタ転送時の制御方式	• 最大8コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能 • RSPCK自動停止機能
割り込み要因	• 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み エラー割り込み(モードフォルト、オーバラン、アンダラン、パリティエラー) アイドル割り込み

表35.1　RSPIの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	● 以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) 受信バッファフルイベント 送信バッファエンプティイベント エラーイベント(モードフォルト、オーバラン、アンダラン、パリティエラー) アイドルイベント 送信完了イベント
その他の機能	● RSPI初期化機能 ● ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1.　マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。



SPCR：　RSPI制御レジスタ
SPCR2：　RSPI制御レジスタ2
SSLP：　RSPIスレーブセレクト極性レジスタ
SPPCR：　RSPI端子制御レジスタ
SPSR：　RSPIステータスレジスタ
SPDR：　RSPIデータレジスタ
SPSCR：　RSPIシーケンス制御レジスタ
SPSSR：　RSPIシーケンスステータスレジスタ
SPDCR：　RSPIデータコントロールレジスタ
SPCKD：　RSPIクロック遅延レジスタ
SSLND：　RSPIスレーブセレクトネゲート遅延レジスタ
SPND：　RSPI次アクセス遅延レジスタ
SPCMD：　RSPIコマンドレジスタ (0～7の8本あり)
SPDCR2：　RSPIデータコントロールレジスタ2
SPBR：　RSPIビットレートレジスタ
SPTX：　RSPI送信バッファ
SPRX：　RSPI受信バッファ

図 35.1　RSPI のブロック図

表 35.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ / スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「35.3.2　RSPI 端子の制御」を参照してください。

表35.2　RSPIの入出力端子

チャネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力

35.2 レジスタの説明

35.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 000D 0100h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット(注1)	0：SPI動作(4線式) 1：クロック同期式動作(3線式)	R/W
b1	TXMD	通信動作モード選択ビット(注1)	0：全二重通信(受信回路動作) 1：送信のみの単方向通信(受信回路停止)	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット(注1)	0：モードフォルトエラー検出を禁止 1：モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット(注1)	0：スレーブモード 1：マスタモード	R/W
b4	SPEIE	エラー割り込み許可ビット	0：エラー割り込み要求の生成を禁止 1：エラー割り込み要求の生成を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0：送信バッファエンプティ割り込み要求の生成を禁止 1：送信バッファエンプティ割り込み要求の生成を許可	R/W
b6	SPE	RSPI機能許可ビット	0：RSPI機能は無効 1：RSPI機能は有効	R/W
b7	SPRIE	受信バッファフル割り込み許可ビット	0：受信バッファフル割り込み要求の生成を禁止 1：受信バッファフル割り込み要求の生成を許可	R/W

注1. SPEビットが“1”の場合、MSTRビット、MODFENビット、TXMDビット、SPMSビットの値を変更しないでください。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式)/ クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSLA0 ～ SSLA3 端子を使用せず、RSPCKA 端子、MOSIA 端子、MISOA 端子の 3 端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを “0”、“1” どちらにも設定できます。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを “1” に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットを “0” にしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重通信、または送信のみの単方向通信を選択するためのビットです。

TXMD ビットを “1” にして通信を行う場合、送信動作のみを行い、受信動作を行いません (「35.3.6 通信動作モード」参照)。

また、TXMD ビットを “1” に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可 / 禁止するためのビットです (「35.3.9　エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLA0 ～ SSLA3 端子の入出力方向を決定します (「35.3.2　RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ / スレーブモード選択ビット)

RSPI のマスタ / スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0 ～ SSLA3 端子の方向を決定します。

SPEIE ビット (エラー割り込み許可ビット)

RSPI がモードフォルトエラーまたはアンダランエラーを検出して SPSR.MODF フラグを “1” にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを “1” にした場合、またはパリティエラーを検出して SPSR.PERF フラグを “1” にした場合のエラー割り込み要求の生成を許可 / 禁止します。詳細については、「35.3.9　エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPI が送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の生成を許可 / 禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットと同時または後に、SPE ビットを “1” にすることで発生します。

RSPI 機能は無効 (SPE ビットが “0”) に遷移しても、SPTIE ビットを “1” にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効 / 無効を選択します。

SPSR.MODF フラグが “1” の場合には、SPE ビットを “1” にすることはできません。詳細は「35.3.9　エラー検出」を参照してください。

SPE ビットを “0” にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「35.3.10　RSPI の初期化」を参照してください。また、SPE ビットを “0” の状態から “1” または “1” の状態から “0” になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (受信バッファフル割り込み許可ビット)

RSPI がシリアル転送完了後の受信バッファフルを検出し、受信バッファフル割り込み要求の生成を許可 / 禁止します。

35.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 000D 0101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0：SSL0信号はアクティブLow 1：SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0：SSL1信号はアクティブLow 1：SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0：SSL2信号はアクティブLow 1：SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0：SSL3信号はアクティブLow 1：SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPEビットが“1”の場合、SSLPレジスタを書き換えないでください。

35.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 000D 0102h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0：通常モード 1：ループバックモード(データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0：通常モード 1：ループバックモード(データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0：MOSIアイドル時のMOSIA端子の出力値はLow 1：MOSIアイドル時のMOSIA端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0：MOSI出力値は前回転送の最終データ 1：MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPEビットが“1”の場合、SPPCRレジスタを書き換えないでください。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを “1” にすると、RSPI は SPCR.MSTR ビットが “1” ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを “1” にすると、RSPI は SPCR.MSTR ビットが “1” ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが “1” の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIA 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSIA 出力値を固定するために使用するビットです。MOIFE が “0” の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIA に出力します。MOIFE が “1” の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIA に出力します。

35.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 000D 0103h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0：オーバランエラーなし 1：オーバランエラー発生	R/(W) (注1)
b1	IDLNF	アイドルフラグ	0：RSPIがアイドル状態 1：RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0：モードフォルトエラーなし、アンダランエラーなし 1：モードフォルトエラーまたはアンダランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0：パリティエラーなし 1：パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダランエラーフラグ	MODF フラグと組み合わせてモードフォルトエラーとアンダランエラーの発生状況が確認できます。 b4 b2 ００：モードフォルトエラーなし、アンダランエラーなし ０１：モードフォルトエラー発生 １１：アンダランエラー発生	R/(W) (注1、注2)
b5	SPTEF	送信バッファエンプティフラグ	0：送信バッファに有効なデータあり 1：送信バッファに有効なデータなし	R (注3)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0：受信バッファに有効なデータなし 1：受信バッファに有効なデータあり	R (注3)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。
注2. UDRF フラグを“0”にするときは、同時にMODF フラグも“0”にしてください。
注3. 書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが “1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが “1”) のときは、オーバランエラーが発生しないため、“1” になりません。詳細は「35.3.9.1 **オーバランエラー**」を参照ください。

[“1” になる条件]

- SPCR.TXMD ビットが “0”、かつ受信バッファがフルの状態で次の受信が終了したとき

[“0” になる条件]

- OVRF フラグが “1” になったときの SPSR レジスタを読んだ後、OVRF フラグに “0” を書いたとき

IDLNF フラグ (アイドルフラグ)

RSPI の転送状況を示します。

[“1” になる条件]

【マスタモード】

- 下記「“0” になる条件」のマスタモード時の条件がいずれも満たされないとき

【スレーブモード】

- SPCR.SPE ビットが “1” (RSPI 機能が有効) のとき

[“0” になる条件]

【マスタモード】

- SPCR.SPE ビットが “0” (RSPI 初期化) のとき
- 以下の条件がすべて満たされたとき
  1. 送信バッファが空 (SPTEF フラグ = 1)
  2. SPSSR.SPCP[2:0] ビットが “000b”
  3. 最終ビットの送出が完了し、SSLND.SLNDL[2:0] ビットと SPND.SPNDL[2:0] ビットで指定した時間が経過した

【スレーブモード】

- SPCR.SPE ビットが “0” (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーとアンダランエラーの発生を示します。モードフォルトエラーとアンダランエラーのどちらが発生したかは、UDRF フラグによって判別できます。

[“1” になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが “1” (マスタモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、SSLAi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが “0” (スレーブモード)、SPCR.MODFEN ビットが “1” (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLAi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが “1” (RSPI 機能は有効) で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

なお、SSLAi 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。

[“0” になる条件]

- MODF フラグが “1” の状態の SPSR レジスタを読んだ後、MODF フラグに “0” を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

[“1” になる条件]

- SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態で受信が終了し、パリティエラーが検出されたとき

[“0” になる条件]

- PERF フラグが “1” の状態の SPSR レジスタを読んだ後、PERF フラグに “0” を書いたとき

UDRF フラグ (アンダランエラーフラグ)

アンダランエラーが発生したことを示すフラグです。このフラグが “1” になると、MODF フラグも “1” になります。MODF フラグが “1” のときにこのフラグが “0” であれば、発生したエラーはモードフォルトエラーです。

[“1” になる条件]

- SPCR.MSTR ビットが “0” (スレーブモード)、SPCR.SPE ビットが “1” (RSPI 機能は有効) で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

[“0” になる条件]

- UDRF フラグが “1” の状態の SPSR レジスタを読んだ後、UDRF フラグに “0” を書いたとき

SPTEF フラグ (送信バッファエンプティフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

[“1” になる条件]

- SPCR.SPE ビットが “0” (RSPI 初期化) のとき
- SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データが送信バッファからシフトレジスタに転送されたとき

[“0” になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが “1” のときのみデータを設定できます。SPTEF フラグが “0” のときにデータを設定しても、送信バッファのデータは更新されません。

SPRF フラグ (受信バッファフルフラグ)

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[“1” になる条件]

- SPCR.TXMD ビットが “0” (全二重)、SPRF フラグが “0” のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
  ただし、OVRF フラグが “1” のときは、“1” に変化しません。

[“0” になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

35.2.5 RSPI データレジスタ (SPDR)

- ロングワードアクセス時

アドレス RSPI0.SPDR 000D 0104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- ワードアクセス時

アドレス RSPI0.SPDR.H 000D 0104h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	H															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- バイトアクセス時

アドレス RSPI0.SPDR.HH 000D 0104h

	b7	b6	b5	b4	b3	b2	b1	b0
	HH							
リセット後の値	0	0	0	0	0	0	0	0

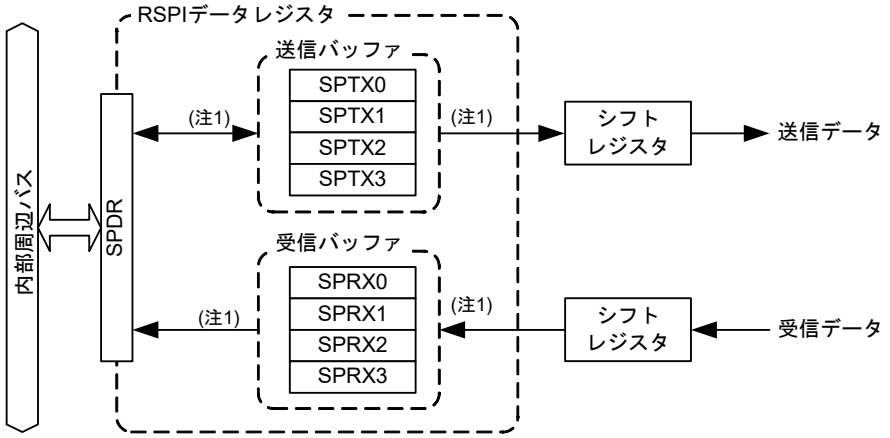
SPDR レジスタは、RSPI 送受信用のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが “1”、SPBYT ビットが “0”) のときは、SPDR を 32 ビット単位でアクセスしてください。

ワードアクセス (SPLW ビットが “0”、SPBYT ビットが “0”) のときは、SPDR.H を 16 ビット単位でアクセスしてください。

バイトアクセス (SPBYT ビットが “1”) のときは、SPDR.HH を 8 ビット単位でアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 35.2 に示します。



注1. アクセス先のバッファはハードウェアにより自動的に切り替えます。

図 35.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ SPTXn (n = 0 ～ 3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRXn (n = 0 ～ 3) の非参照ビットには、SPTXn (n = 0 ～ 3) の非参照ビットが格納されます。

たとえば、データ長が 9 ビットのデータを受信した場合は SPRXn[8:0] には受信データが格納され、SPRXn[31:9] に SPTXn[31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、SPDCR.SPLW ビット、SPDCR.SPBYT ビットで設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 35.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

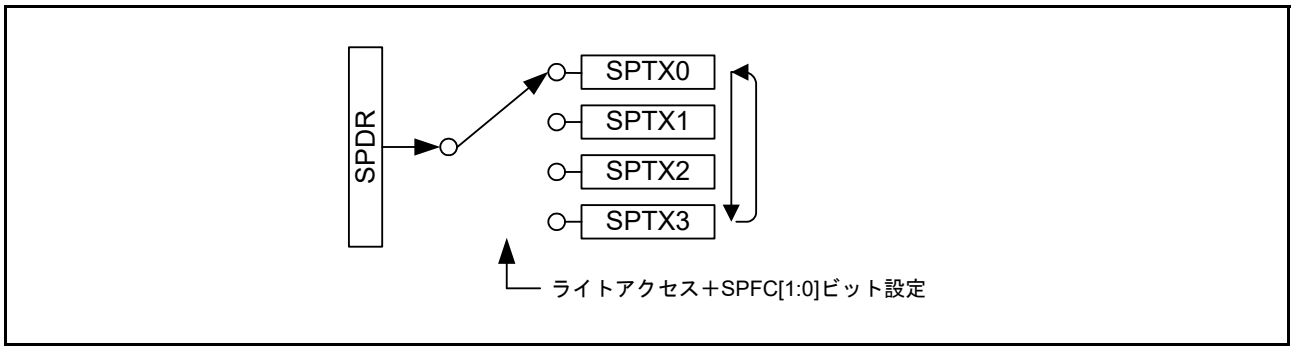


図 35.3　SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ～ SPTX3 の切り替え順序
  SPFC[1:0] ビットが “00b” のとき：SPTX0 → SPTX0 → SPTX0 →・・・
  SPFC[1:0] ビットが “01b” のとき：SPTX0 → SPTX1 → SPTX0 → SPTX1 →・・・
  SPFC[1:0] ビットが “10b” のとき：SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 →・・・
  SPFC[1:0] ビットが “11b” のとき：SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 →・・・

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 35.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

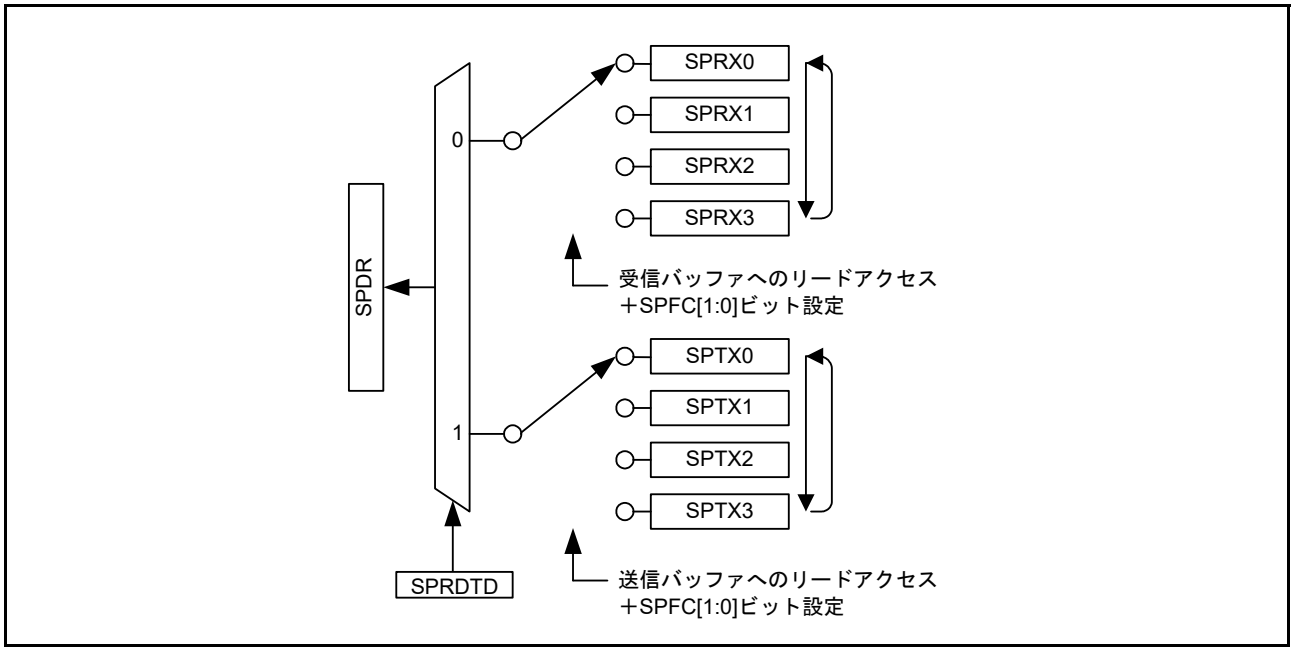


図 35.4　SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファの読み出し値は、すべて “0” となります。

35.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 000D 0108h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPSLN[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPI シーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0～7レジスタ(番号) 0 0 0 : 1 0→0→… 0 0 1 : 2 0→1→0→… 0 1 0 : 3 0→1→2→0→… 0 1 1 : 4 0→1→2→3→0→… 1 0 0 : 5 0→1→2→3→4→0→… 1 0 1 : 6 0→1→2→3→4→5→0→… 1 1 0 : 7 0→1→2→3→4→5→6→0→… 1 1 1 : 8 0→1→2→3→4→5→6→7→0→… 設定されたシーケンス長に応じて、参照するSPCMD0～7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0～7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されます。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSCR レジスタは、RSPI がマスタモードで動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに “1” の状態において、SPSCR.SPSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが “0” の状態で書き換えてください。

SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードの RSPI がシーケンス動作する場合のシーケンス長を設定します。マスタモードの RSPI は SPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照する SPCMD0 ～ 7 レジスタと参照順を変更します。

スレーブモードでは、SPCMD0 レジスタが参照されます。

35.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 000D 0109h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPECM[2:0]			—	SPCP[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタモードで動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMDm レジスタを示します。
なお、RSPI のシーケンス制御については、「35.3.11.1　マスタモード動作」を参照してください。

SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMDm レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに “0” で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。
なお、RSPI のエラー検出機能については、「35.3.9　エラー検出」を参照してください。また、RSPI のシーケンス制御については、「35.3.11.1　マスタモード動作」を参照してください。

35.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 000D 010Ah

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR、SPE ビットがともに “1” の場合、SPBR レジスタを書き換えないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, ……, 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(PCLK)}{2 \times (n+1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 35.3 に示します。

相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 35.3　SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの設定値 (n)	BRDV[1:0] ビットの設定値 (N)	分周比	ビットレート							
			PCLK = 32 MHz	PCLK = 36 MHz	PCLK = 40 MHz	PCLK = 50 MHz	PCLK = 60 MHz	PCLK = 80 MHz	PCLK = 100 MHz	PCLK = 120 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps	30.0 Mbps	40.0 Mbps	—	—
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps	15.0 Mbps	20.0 Mbps	25.0 Mbps	30.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps	10.0 Mbps	13.3 Mbps	16.7 Mbps	20.0 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps	7.50Mbps	10.0 Mbps	12.5 Mbps	15.0 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps	6.00 Mbps	8.00 Mbps	10.0 Mbps	12.0 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps	5.00 Mbps	6.67 Mbps	8.33 Mbps	10.0 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps	2.50 Mbps	3.33 Mbps	4.17 Mbps	5.00 Mbps
5	2	48	667 kbps	750 kbps	833 kbps	1.04 Mbps	1.25 Mbps	1.67 Mbps	2.08 Mbps	2.50 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps	625 kbps	833 kbps	1.04 Mbps	1.25 Mbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps	14.6 kbps	19.5 kbps	24.4 kbps	29.3 kbps

35.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 000D 010Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPBYT	SPLW	SPRDTD	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0：1フレーム 0 1：2フレーム 1 0：3フレーム 1 1：4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0：SPDRは受信バッファを読み出す 1：SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ワードアクセス設定ビット(注1)	0：SPDRレジスタへはワードアクセス 1：SPDRレジスタへはロングワードアクセス	R/W
b6	SPBYT	RSPIバイトアクセス設定ビット	0：SPDRレジスタへはワードアクセスまたはロングワードアクセス(SPLWビット有効) 1：SPDRレジスタへはバイトアクセス(SPLWビット無効)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPDRレジスタにワードまたはロングワードでアクセスする場合は、SPBYTビットを“0”にしてください。

SPCMDm.SPB[3:0] ビット、SPSCR.SPSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

SPCR.SPE ビットが “1” の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが “0” のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1 回の転送起動) フレーム数を設定します。SPSCR.SPSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC[1:0] ビットの設定により、受信バッファフル割り込みが発生したり、送信バッファエンプティ割り込みが発生したり、送信が開始されたりするフレーム数も変更されます。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが “0” になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが “1” になり RSPI 送信バッファエンプティ割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが “1” になり受信バッファフル割り込みが発生します。

表 35.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定はしないでください。

表35.4　SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	送信バッファ、受信バッファが「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが “1” の期間) に行ってください。

詳細は、「35.2.5　RSPI データレジスタ (SPDR)」を参照してください。

SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPBYT ビットが “0” のとき有効です。SPLW ビットが “0” のときはワードアクセス、SPLW ビットが “1” のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが “0” のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ～ 16 ビットに設定してください。20、24、32 ビットは選択しないでください。

SPBYT ビット (RSPI バイトアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPBYT ビットが “0” のときは、SPLW ビットの設定に従って SPDR レジスタにアクセスしてください。SPBYT ビットが “1” のときは、バイトアクセスで SPDR レジスタにアクセスしてください。

また、SPBYT ビットが “1” のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ビットに設定ししてください。9 ～ 16、20、24、32 ビットは選択しないでください。

35.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 000D 010Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが “1” の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の場合、SPCKD レジスタを書き換えないでください。

SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが “1” の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを “000b” にしてください。

35.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 000D 010Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SLNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLND レジスタは、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSLAi 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の場合、SSLND レジスタを書き換えないでください。

SLNDL[2:0] ビット (SSL ネゲート遅延設定ビット)

SPCMDm.SLNDEN ビットが “1” の場合の SSL ネゲート遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SLNDL[2:0] ビットを “000b” にしてください。

35.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 000D 010Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 2 PCLK 0 0 1 : 2 RSPCK + 2 PCLK 0 1 0 : 3 RSPCK + 2 PCLK 0 1 1 : 4 RSPCK + 2 PCLK 1 0 0 : 5 RSPCK + 2 PCLK 1 0 1 : 6 RSPCK + 2 PCLK 1 1 0 : 7 RSPCK + 2 PCLK 1 1 1 : 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが “1” の状態で、シリアル転送終了後の SSLAi 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の場合、SPND レジスタを書き換えないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが “1” の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを “000b” にしてください。

35.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 000D 010Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット(注1)	0：送信データにパリティビットを付加しない 受信データのパリティチェックを行わない 1：送信データにパリティビットを付加する 受信データのパリティチェックを行う	R/W
b1	SPOE	パリティモードビット(注1)	0：偶数パリティで送受信 1：奇数パリティで送受信	R/W
b2	SPIIE	アイドル割り込み許可ビット	0：アイドル割り込み要求の生成を禁止 1：アイドル割り込み要求の生成を許可	R/W
b3	PTE	パリティ自己診断ビット	0：パリティ回路自己診断機能は無効 1：パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK自動停止機能許可ビット(注1)	0：RSPCK自動停止機能が無効 1：RSPCK自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPCR.SPEビットが“1”の場合、SPPE、SPOE、SCKASEビットの設定値を変更しないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが “1” のときのみ有効です。

SPIIE ビット (アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが “0” になった場合に、アイドル割り込み要求の生成を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「35.3.9.1 オーバランエラー」を参照ください。

35.2.14 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ～ 7)

アドレス　RSPI0.SPCMD0 000D 0110h, RSPI0.SPCMD1 000D 0112h, RSPI0.SPCMD2 000D 0114h, RSPI0.SPCMD3 000D 0116h, RSPI0.SPCMD4 000D 0118h, RSPI0.SPCMD5 000D 011Ah, RSPI0.SPCMD6 000D 011Ch, RSPI0.SPCMD7 000D 011Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]				SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0：奇数エッジでデータサンプル、偶数エッジでデータ変化 1：奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0：アイドル時のRSPCKがLow 1：アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0：ベースのビットレートを選択 0 1：ベースのビットレートの2分周を選択 1 0：ベースのビットレートの4分周を選択 1 1：ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0：SSL0 0 0 1：SSL1 0 1 0：SSL2 0 1 1：SSL3 1 x x：設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0：転送終了時に全SSL信号をネゲート 1：転送終了後から次アクセス開始までSSL信号レベルを保持(バースト転送)	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100～0111 ：8ビット 1 0 0 0 ：9ビット 1 0 0 1 ：10ビット 1 0 1 0 ：11ビット 1 0 1 1 ：12ビット 1 1 0 0 ：13ビット 1 1 0 1 ：14ビット 1 1 1 0 ：15ビット 1 1 1 1 ：16ビット 0 0 0 0 ：20ビット 0 0 0 1 ：24ビット 0010, 0011 ：32ビット	R/W
b12	LSBF	RSPI LSBファーストビット	0：MSBファースト 1：LSBファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0：次アクセス遅延は1 RSPCK + 2 PCLK 1：次アクセス遅延はRSPI次アクセス遅延レジスタ(SPND)の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0：SSLネゲート遅延は1 RSPCK 1：SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ(SSLND)の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0：RSPCK遅延は1 RSPCK 1：RSPCK遅延はRSPIクロック遅延レジスタ(SPCKD)の設定値	R/W

x：Don’t care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ～ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが “0”、SPCR.SPE ビットが “1” の場合、SPCMDm レジスタを書き換えないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード / スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード / スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「35.2.8　RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし /2 分周 /4 分周 /8 分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを “000b” にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを “000b” にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを “1” とすることによってバースト転送が可能となります。詳細は「35.3.11.1　マスタモード動作の (4)　バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを “0” にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード / スレーブモードの RSPI の転送データ長を設定します。SPDCR.SPBYT ビットが “1” のときは “0100b” (8 ビット) に設定してください。SPDCR.SPBYT ビットが “0”、かつ SPDCR.SPLW ビットが “0” のときは、“0100b” (8 ビット) ～ “1111b” (16 ビット) の範囲で値を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード / スレーブモードの RSPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードの RSPI がシリアル転送を終了して SSLAi 信号を非アクティブにしてから、次アクセスの SSLAi 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが “0” のとき、RSPI は次アクセス遅延を 1 RSPCK + 2 PCLK にします。SPNDEN ビットが “1” のとき、RSPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを “0” にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードの RSPI が、RSPCK を発振停止してから SSLAi 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが “0” のとき、RSPI は SSL ネゲート遅延を 1 RSPCK にします。SLNDEN ビットが “1” のとき、RSPI は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを “0” にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードの RSPI が、SSLAi 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定します。SCKDEN ビットが “0” のとき、RSPI は RSPCK 遅延を 1 RSPCK にします。SCKDEN ビットが “1” のとき、RSPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを “0” にしてください。

35.2.15 RSPI データコントロールレジスタ 2 (SPDCR2)

アドレス RSPI0.SPDCR2 000D 0120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BYSW
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BYSW	バイトスワップビット	0：SPDRのデータをバイト単位でスワップしない 1：SPDRのデータをバイト単位でスワップする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPDCR2 レジスタは、送受信データのバイトの並びを設定するためのレジスタです。
SPCR.SPE ビットが “0” のときに書き換えてください。

BYSW ビット (バイトスワップビット)

送信時は SPDR レジスタに書かれたデータの送信順序を、受信時は受信したデータを SPDR レジスタに転送するときのバイト位置を、変更するためのビットです。SPDCR.SPBYT ビットが “0” のとき有効です。

バイトスワップを使用する場合は、SPCMD.SPB[3:0] ビットを “1111b” (16 ビット)、“0010b” (32 ビット) または “0011b” (32 ビット) のいずれかに設定してください。また、SPCR2.SPPE ビットは “0” (パリティビットを付加しない) にしてください。

詳細は、「35.3.4.3　バイトスワップ送信」、「35.3.4.4　バイトスワップ受信」を参照してください。

35.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

35.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR、MODFEN、SPMS ビットによって設定できます。表 35.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表35.5　RSPIのモードとSPCRレジスタの設定の関係および各モードの概要

モード	SPI動作			クロック同期式動作	
	スレーブ	シングルマスタ	マルチマスタ	スレーブ	マスタ
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKA信号	入力	出力	出力 /Hi-Z(注1)	入力	出力
MOSIA信号	入力	出力	出力 /Hi-Z(注1)	入力	出力
MISOA信号	出力 /Hi-Z(注2)	入力	入力	出力	入力
SSLA0信号	入力	出力	入力	Hi-Z(注3)	Hi-Z(注3)
SSLA1～SSLA3信号	Hi-Z(注3)	出力	出力 /Hi-Z(注1)	Hi-Z(注3)	Hi-Z(注3)
SSL極性変更機能	あり	あり	あり	—	—
転送レート	～ PCLK/4	～ PCLK/2	～ PCLK/2	～ PCLK/4	～ PCLK/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8 ～ 16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み	送信バッファエンプティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み	RSPCK 発振	送信バッファエンプティ割り込み要求、または SPTEF = 1 で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり				
受信バッファフル検出	あり (注4)				
オーバランエラー検出	あり (注4)	あり (注4、注6)	あり (注4、注6)	あり (注4)	あり (注4、注6)
アンダランエラー検出	あり	なし	なし	あり	なし
パリティエラー検出	あり (注4、注5)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. SSLA0が他のマスタによってアサートされると、端子がHi-Zになります。
注2. SSLA0がネゲートされているまたはSPCR.SPEビットが“0”の場合、端子がHi-Zになります。
注3. 本モードでは使用しません。
注4. SPCR.TXMDビットが“1”のときは、受信バッファフル、オーバランエラー、パリティエラーの検出を行いません。
注5. SPCR2.SPPEビットが“0”のときは、パリティエラーの検出を行いません。

注6. SPCR2.SCKASEビットが“1”のときは、オーバランエラーの検出を行いません。

35.3.2 RSPI 端子の制御

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の RSPI は、SPPCR.MOIFE、MOIFV ビットの設定に従って、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI 信号値を表 35.6 のように決定します。

表35.6 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIA信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

35.3.3 RSPI システム構成例

35.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 35.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLA0 ～ SSLA3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを選択できる状態にします。(注 1)

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

注 1. SPCMDm.CPHA ビットが “0” の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

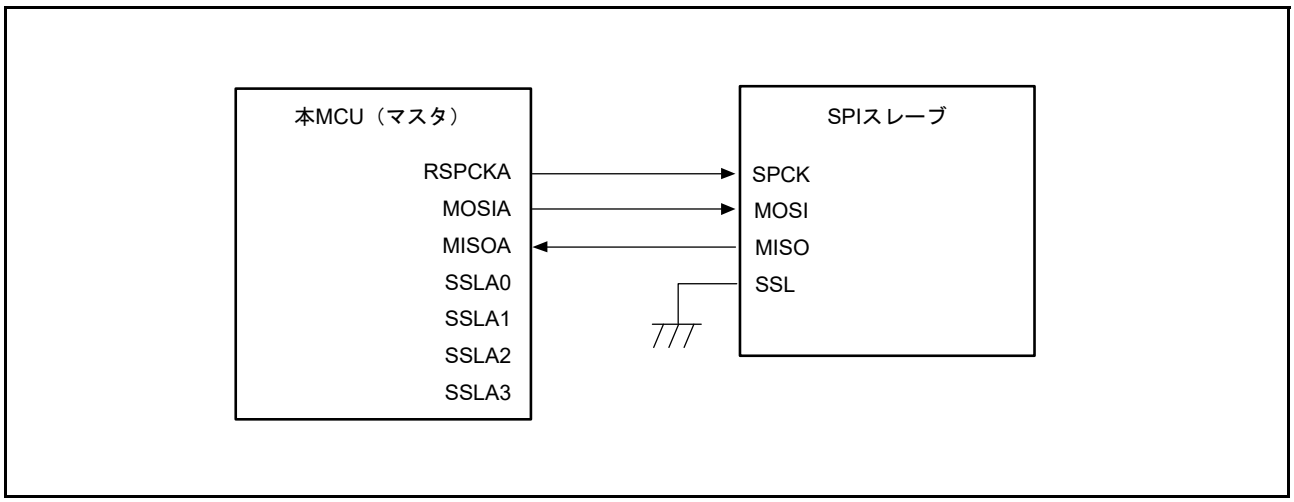


図 35.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

35.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 35.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOA をドライブします。(注 1)

SPCMDm.CPHA ビットを “1” にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLA0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です (図 35.7)。

注 1. SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

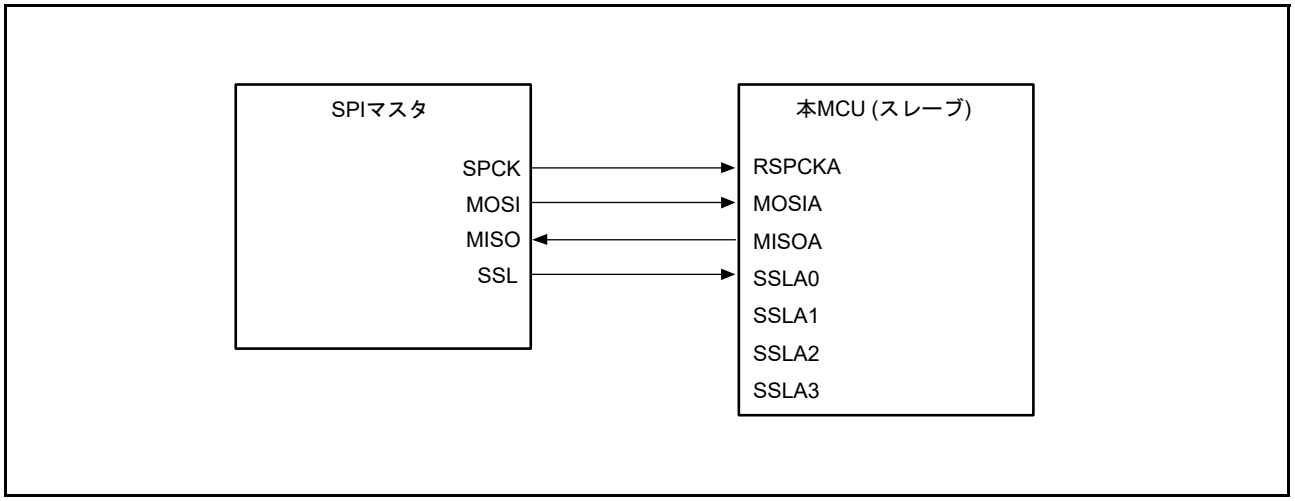


図 35.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

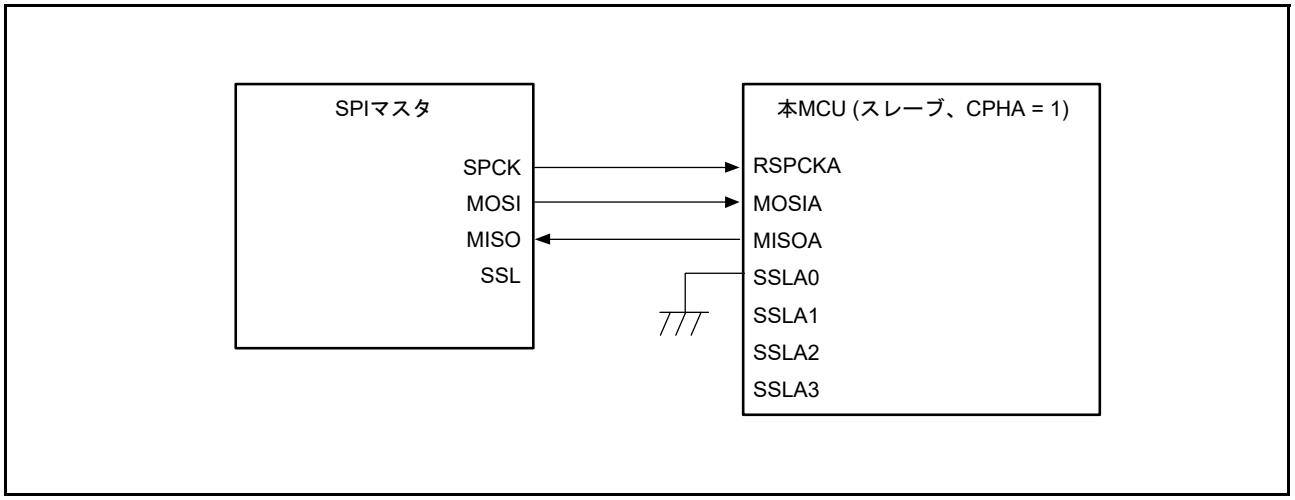


図 35.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

35.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 35.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 35.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ～ SPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 0 ～ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ～ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOA 入力に接続します。本 MCU (マスタ) の SSLA0 ～ SSLA3 出力は、それぞれ SPI スレーブ 0 ～ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCKA、MOSIA、SSLA0 ～ SSLA3 をドライブします。SPI スレーブ 0 ～ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

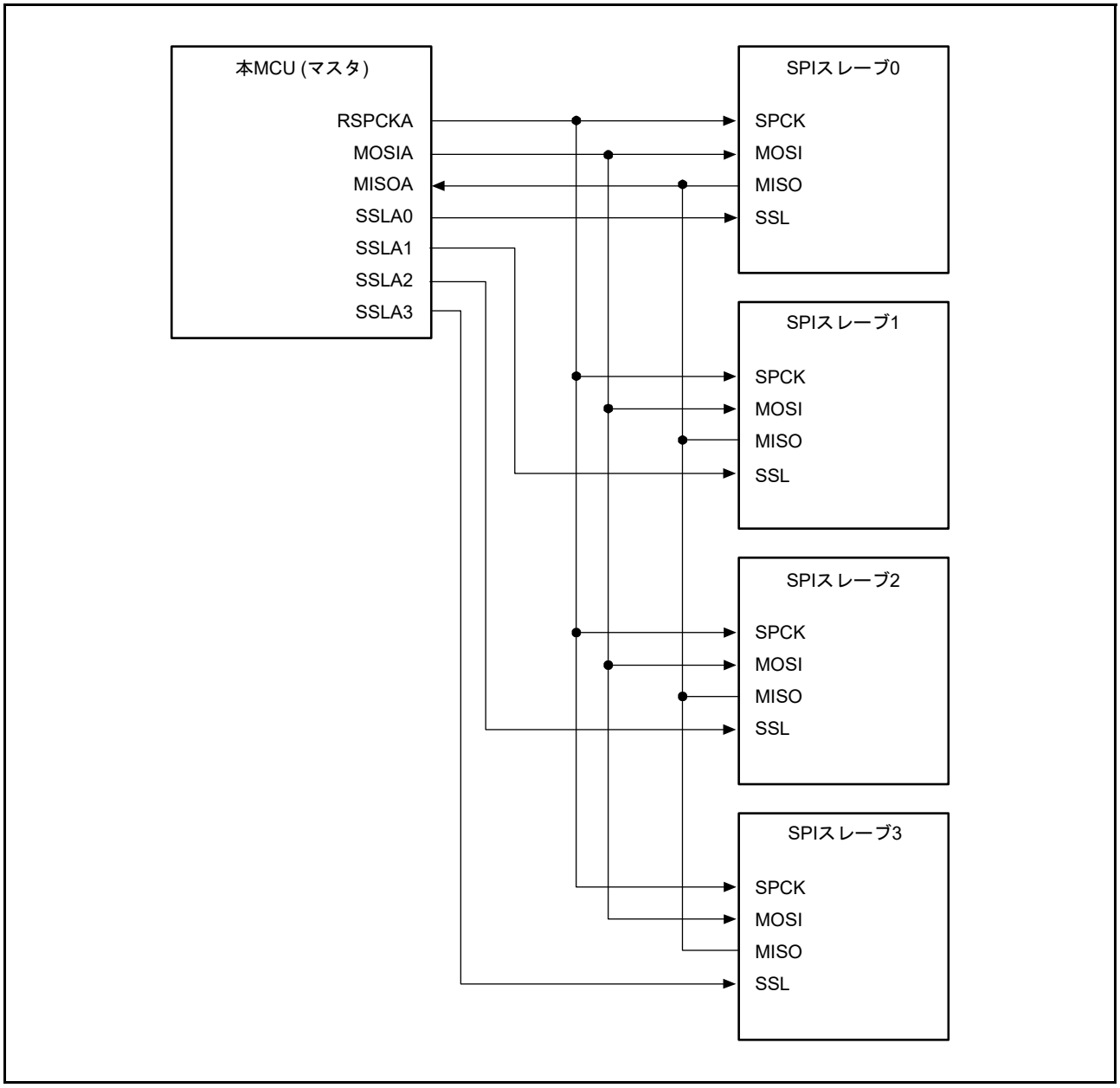


図 35.8　シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

35.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 35.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 35.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISOA 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLA0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLA0 入力に Low を入力されているスレーブが、MISOA をドライブします。

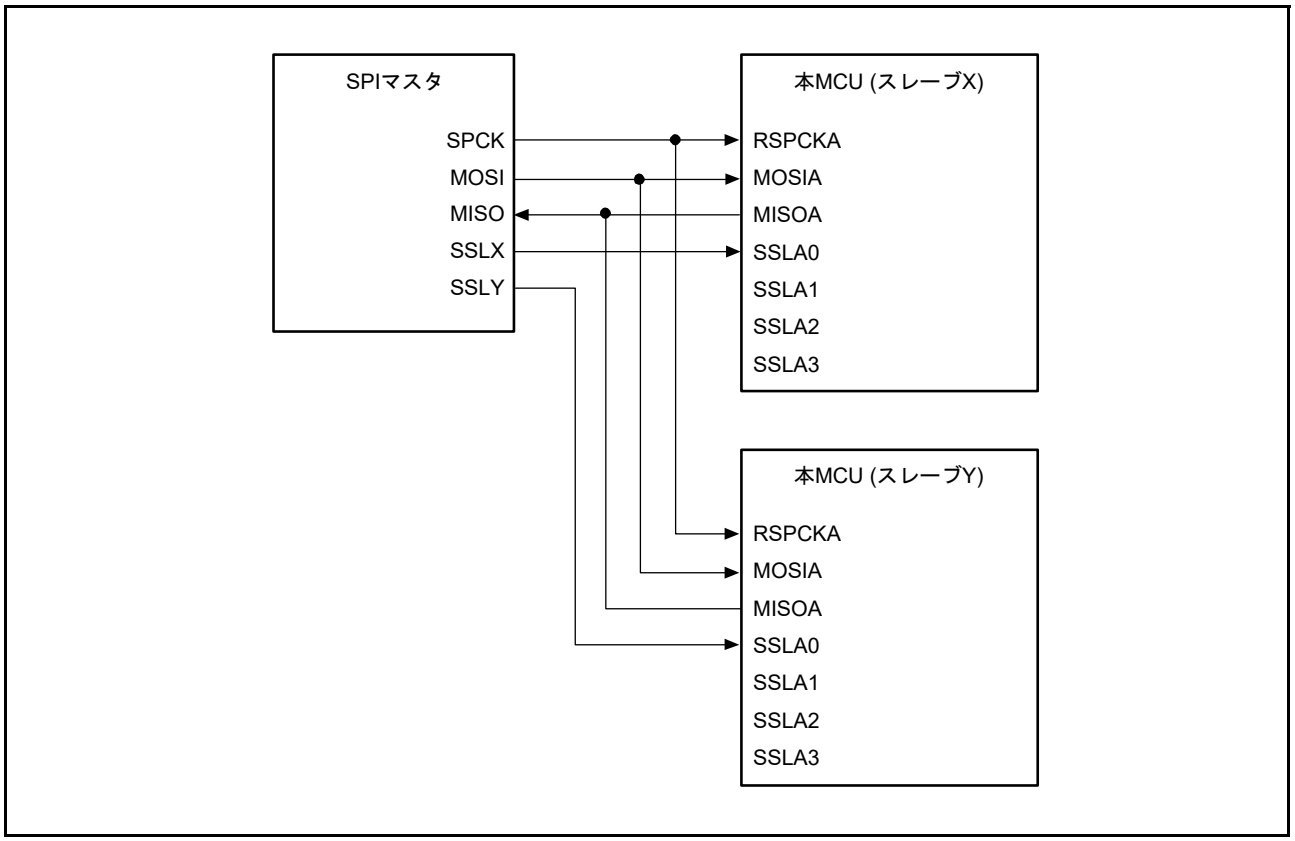


図 35.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

35.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 35.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 35.10 の例では、2 つの本 MCU (マスタ X、マスタ Y) と 2 つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISOA 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 MCU の SSLA3 出力を使用していません。

本 MCU は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

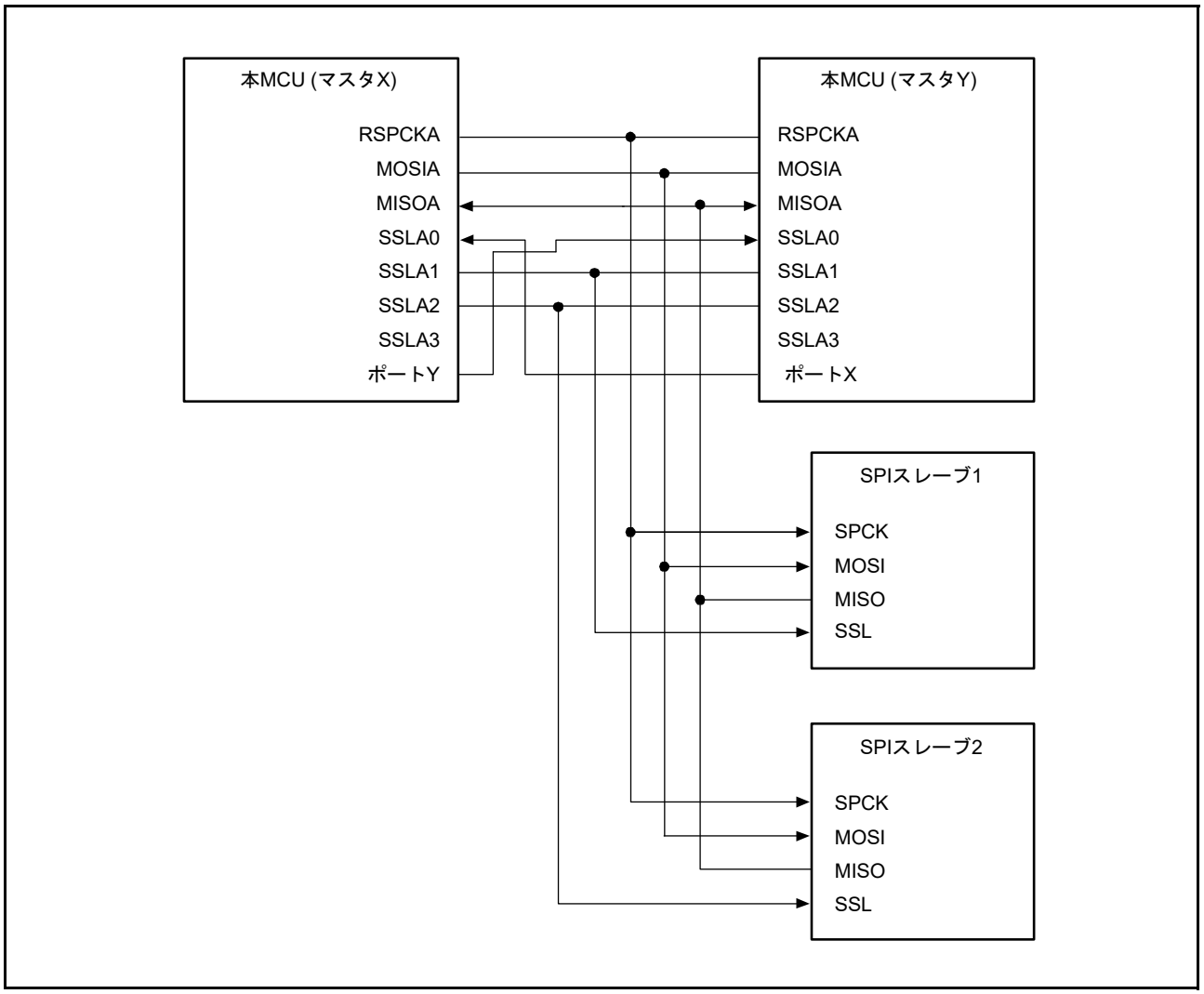


図 35.10　マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

35.3.3.6 マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 35.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLA0 ～ SSLA3 は使用しません。

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

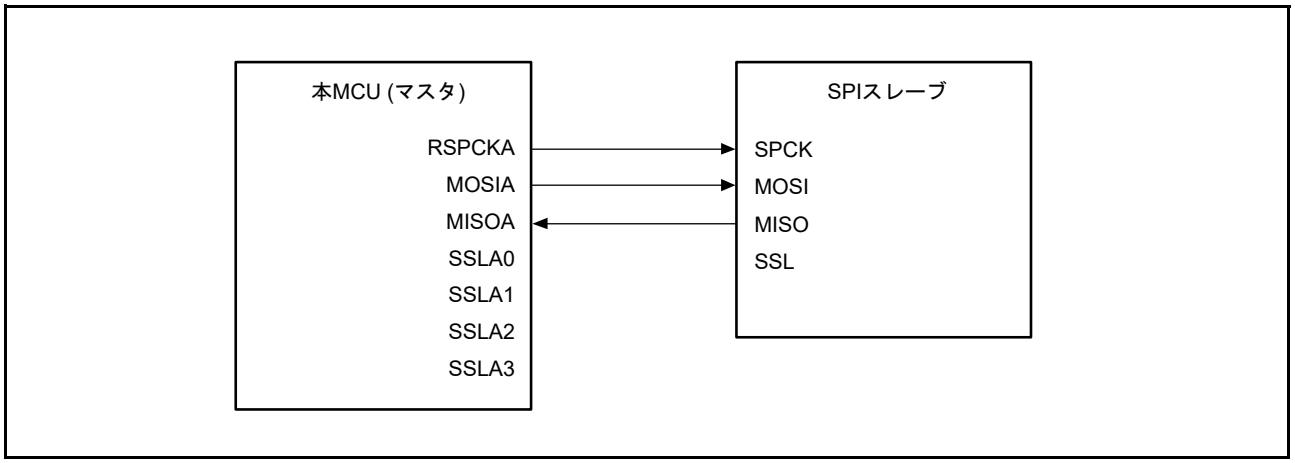


図 35.11　マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

35.3.3.7 マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 35.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOA をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLA0 ～ SSLA3 は使用しません。

SPCMDm.CPHA ビットを “1” にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

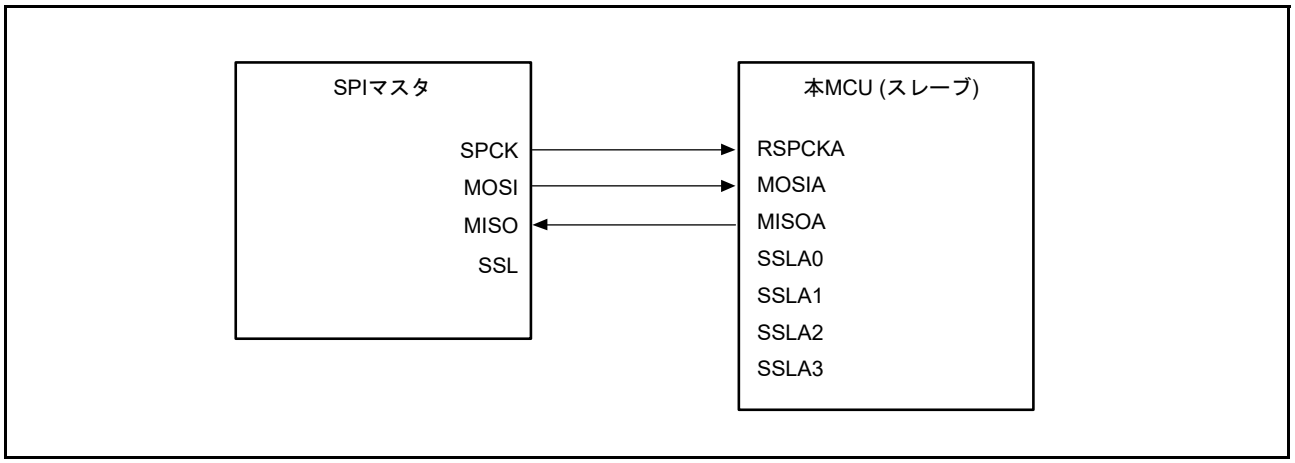


図 35.12　マスタ (クロック同期式動作)/ スレーブ (クロック同期式動作) の構成例 (本 MCU = スレーブ、CPHA = 1)

35.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMDm)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE)、RSPI データコントロールレジスタ 2 (SPDCR2) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMDm.SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMDm.SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

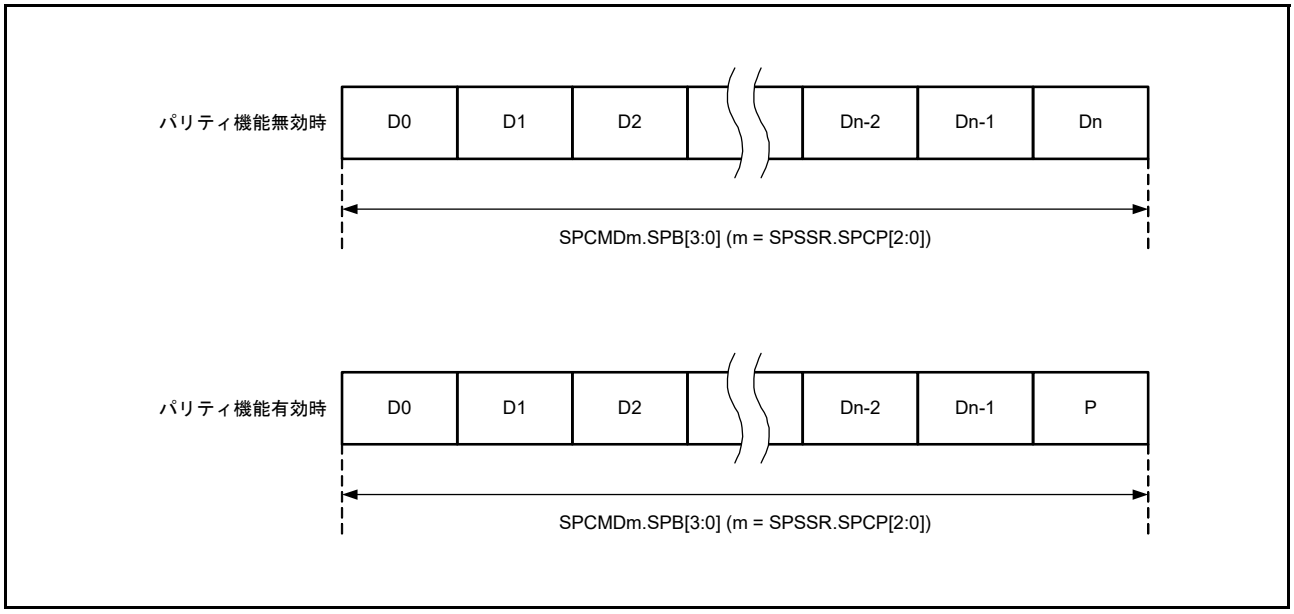


図 35.13　データフォーマット概要 (パリティ機能無効時 / 有効時)

35.3.4.1　パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下にRSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1)　MSB ファースト転送 (32 ビットデータ)

図 35.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ～ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 →・・・T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ～ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

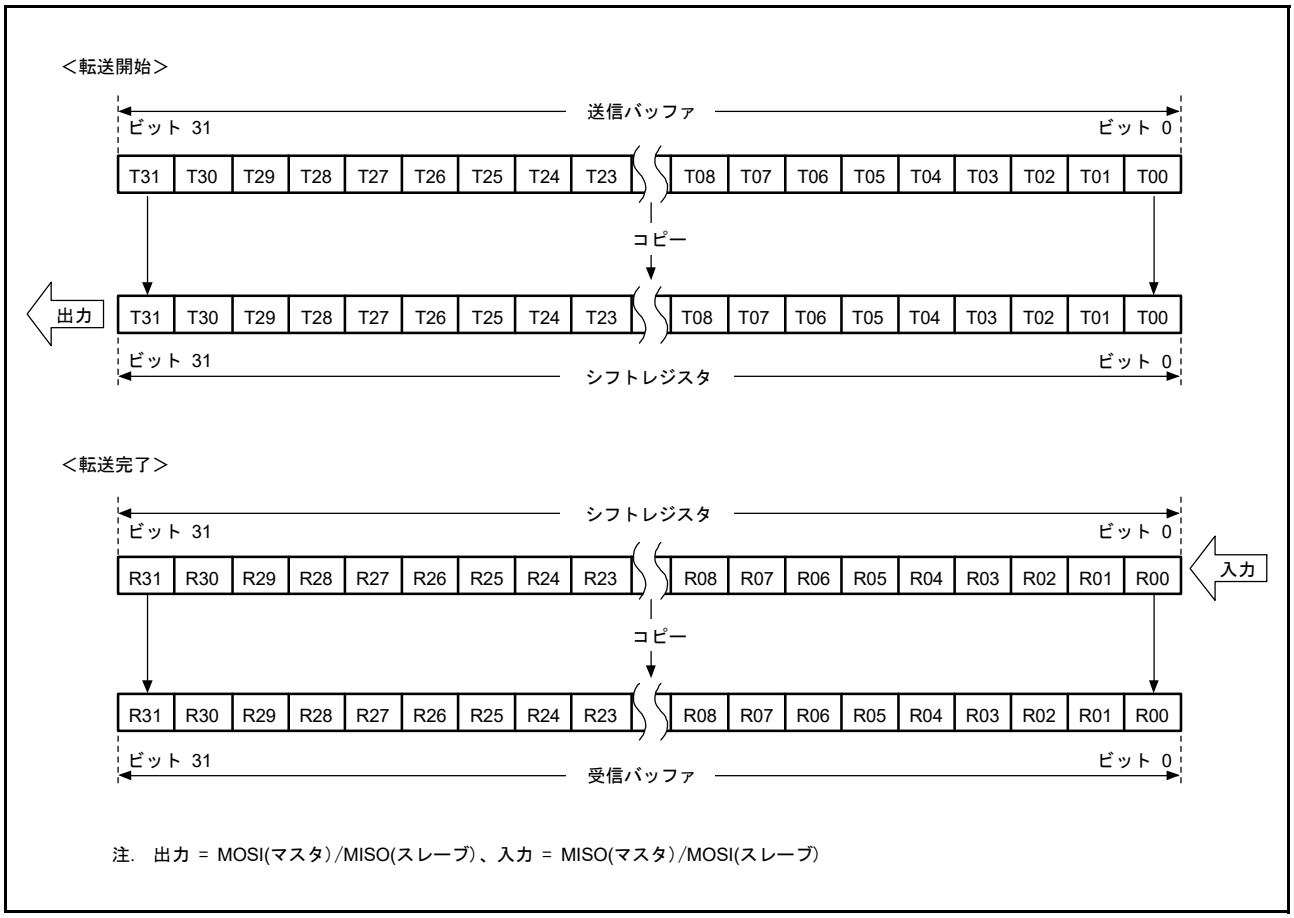


図 35.14　MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 35.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ～ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 →・・・T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

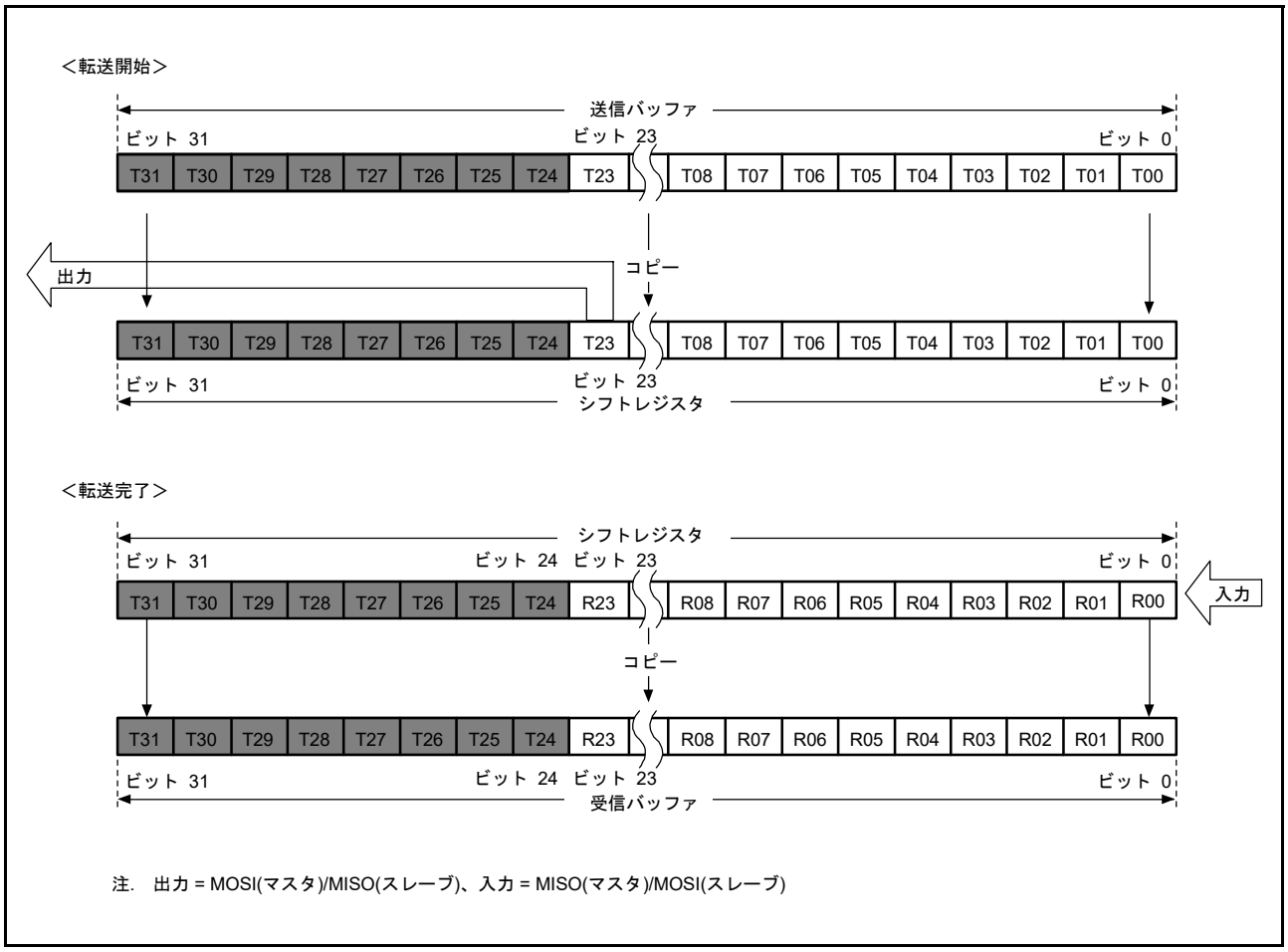


図 35.15　MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 35.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ～ T00) をビット単位で入れ替え、シフトレジスタに T00 ～ T31 の順番に並び替えコピーします。送信データは、T00 → T01 →・・・T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

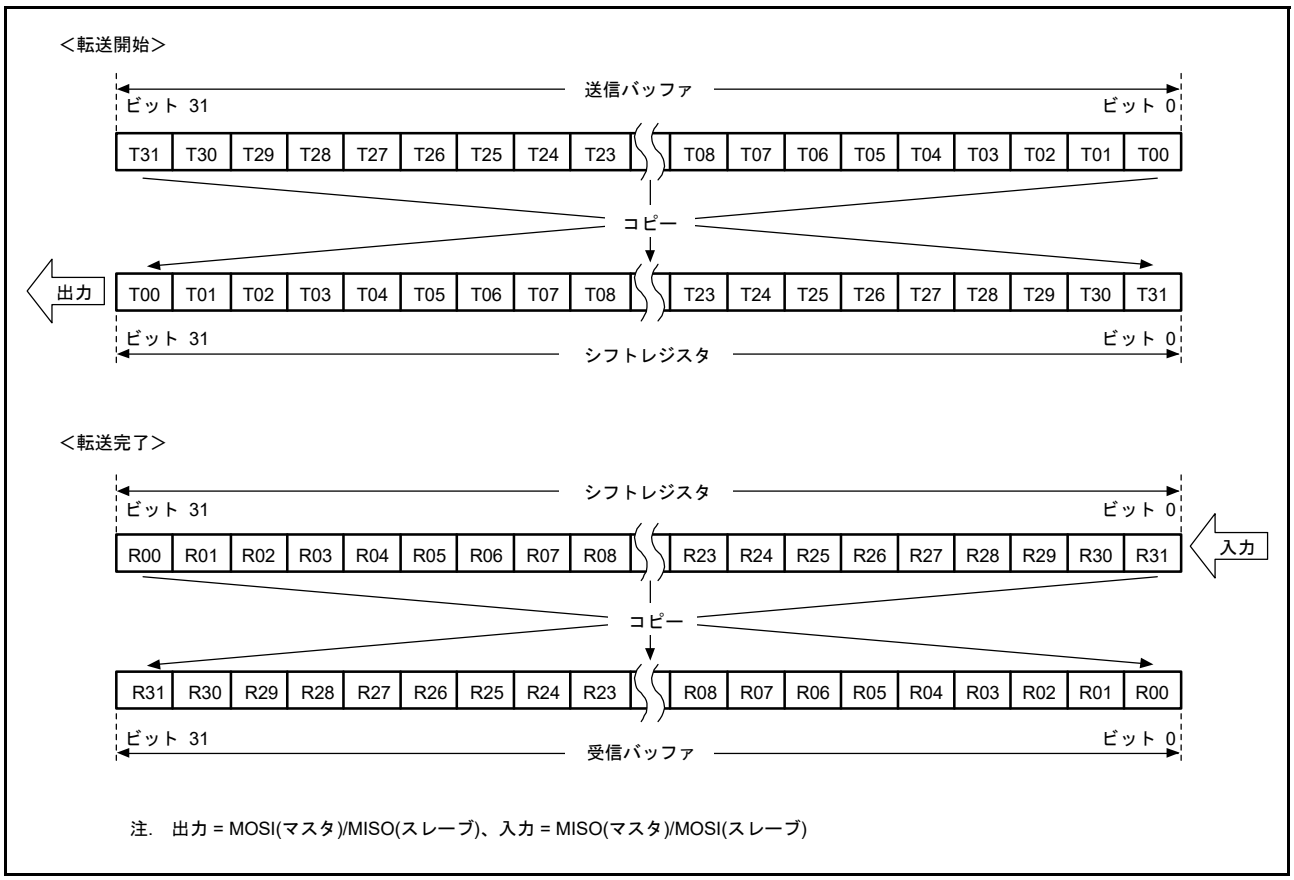


図 35.16　LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 35.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ～ T00) をビット単位で T00 ～ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 →・・・T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

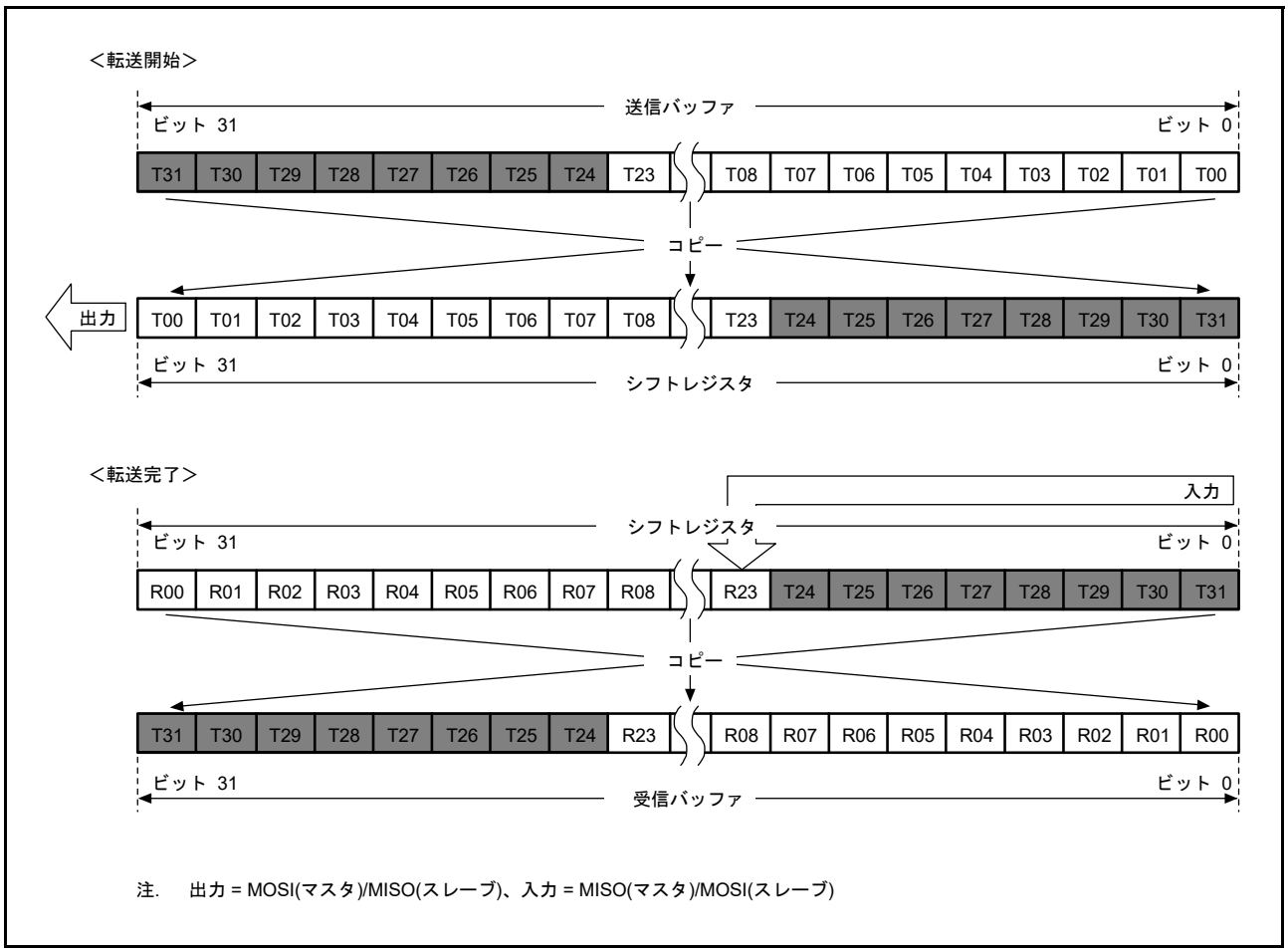


図 35.17　LSB ファースト (24 ビットデータ / パリティ機能無効)

35.3.4.2　パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1)　MSB ファースト転送 (32 ビットデータ)

図 35.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ～ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 →・・・T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ～ P のデータをチェックし、パリティエラーの判定を行います。

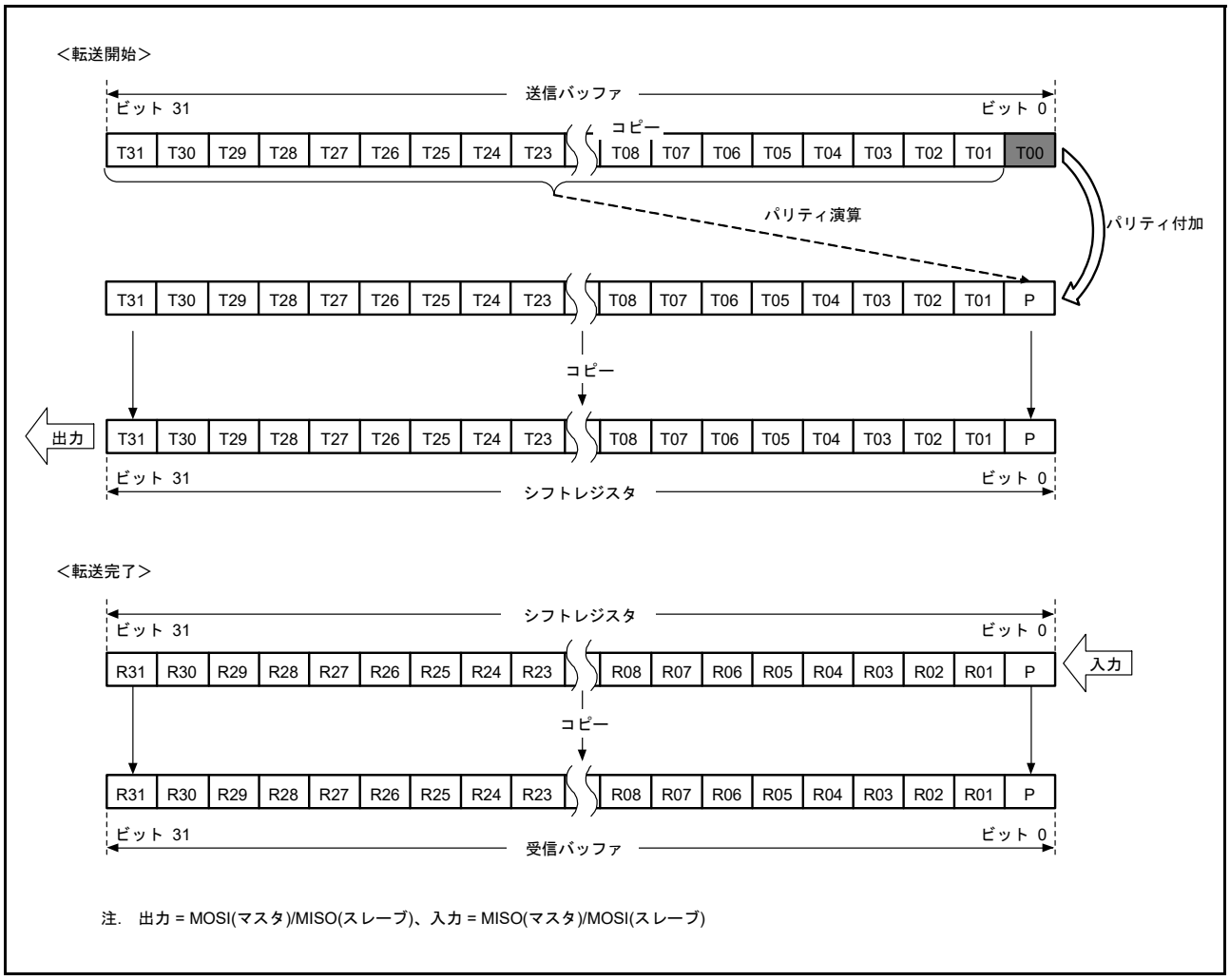


図 35.18　MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 35.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ～ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 →・・・T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ～ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

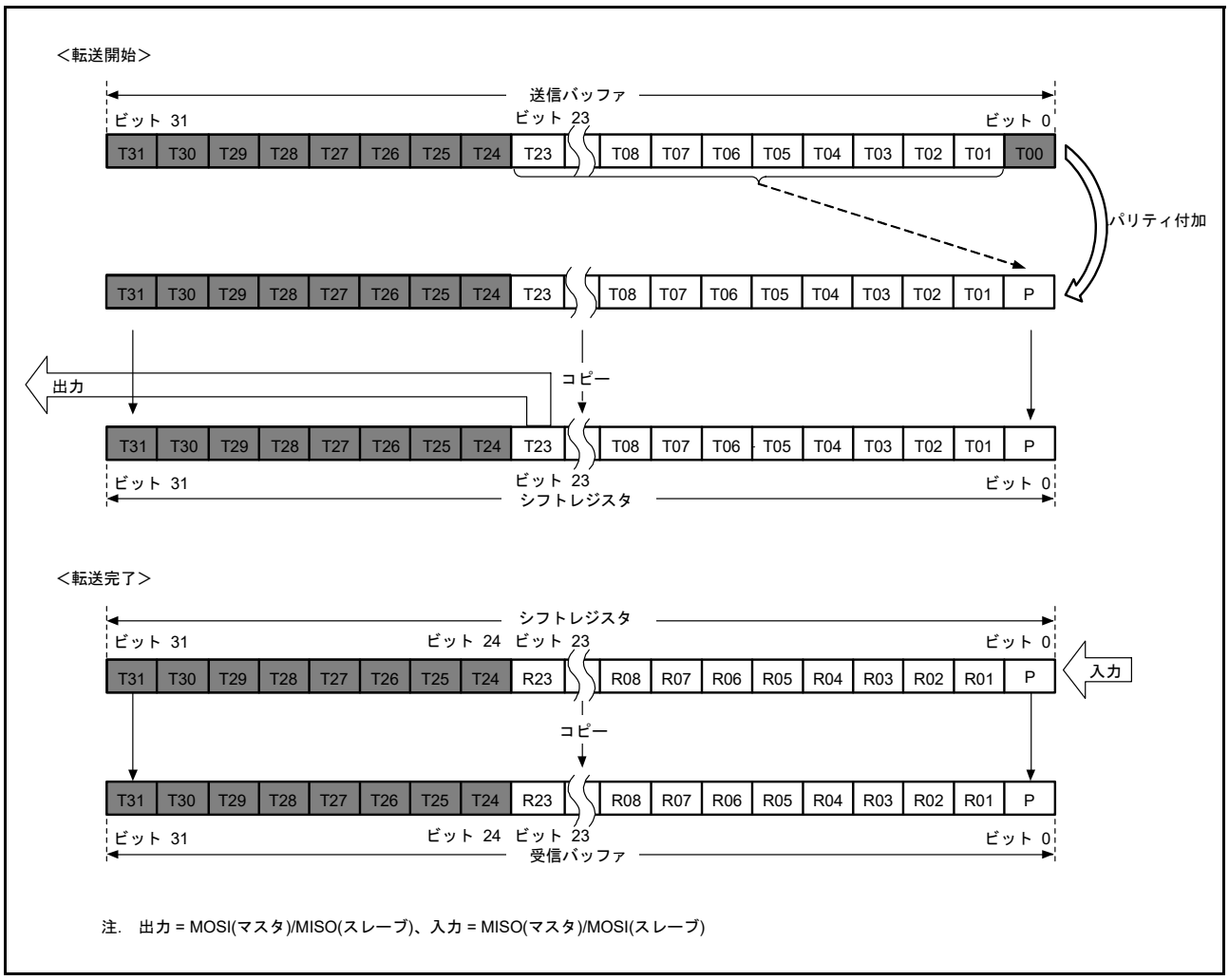


図 35.19　MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 35.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ～ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 →・・・T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。

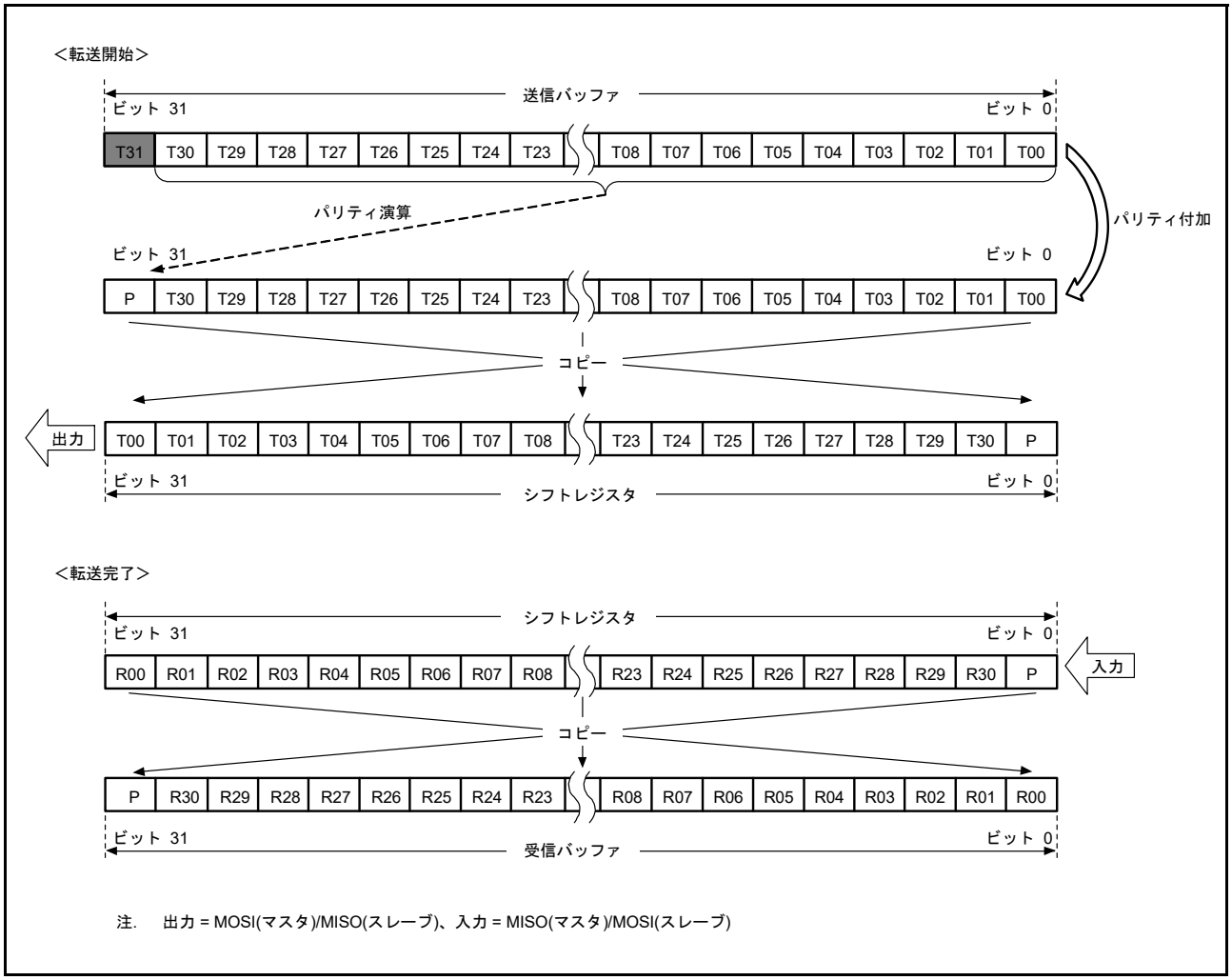


図 35.20　LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 35.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ～ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 →・・・T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

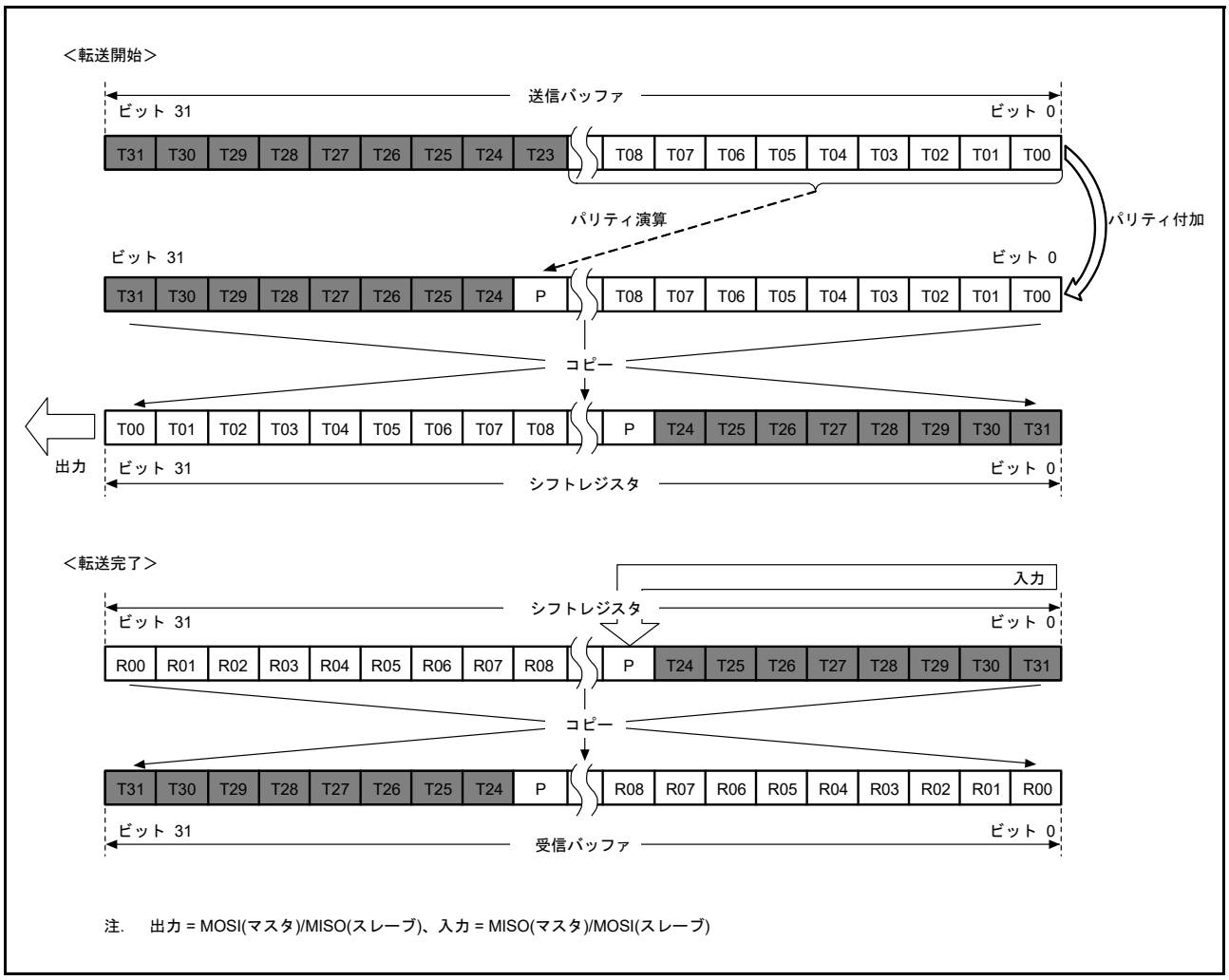


図 35.21　LSB ファースト (24 ビットデータ / パリティ機能有効)

35.3.4.3　バイトスワップ送信

SPDCR2.BYSW ビットが “1” (SPDR のデータをバイト単位でスワップする) のときは、送信バッファ (SPDR) のデータを 8 ビット単位で入れ替えてシフトレジスタに転送します。図 35.22 にデータ長が 32 ビットの場合の SPDR レジスタとシフトレジスタ間のデータ転送の様子を示します。

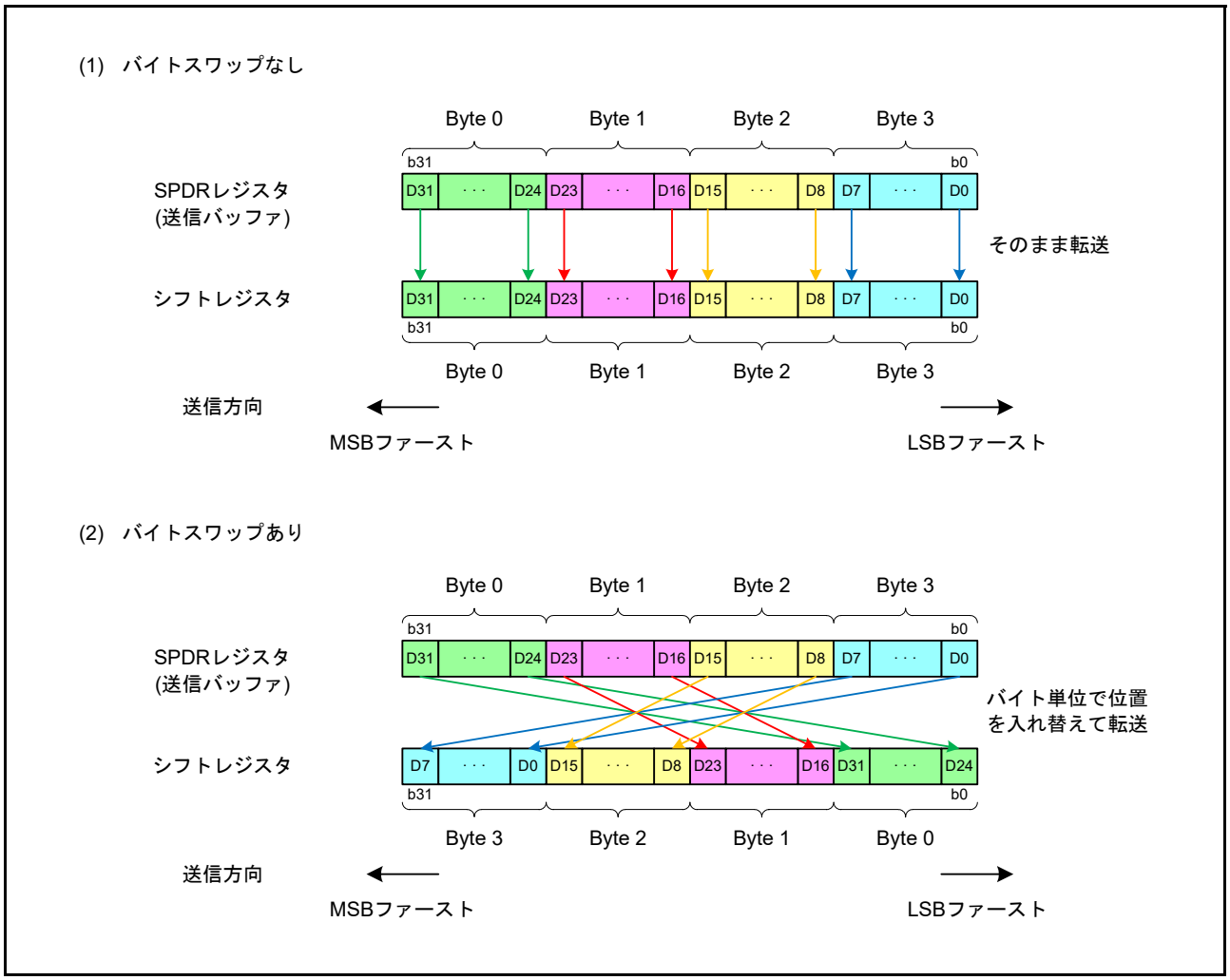


図 35.22　MSB/LSB ファーストとバイトスワップあり / なしの設定と送信データ変換

35.3.4.4 バイトスワップ受信

SPDCR2.BYSW ビットが “1” (SPDR のデータをバイト単位でスワップする) のときは、シフトレジスタのデータを 8 ビット単位で入れ替えて受信バッファ (SPDR) に転送します。図 35.23 にデータ長が 32 ビットの場合のシフトレジスタと SPDR レジスタ間のデータ転送の様子を示します。

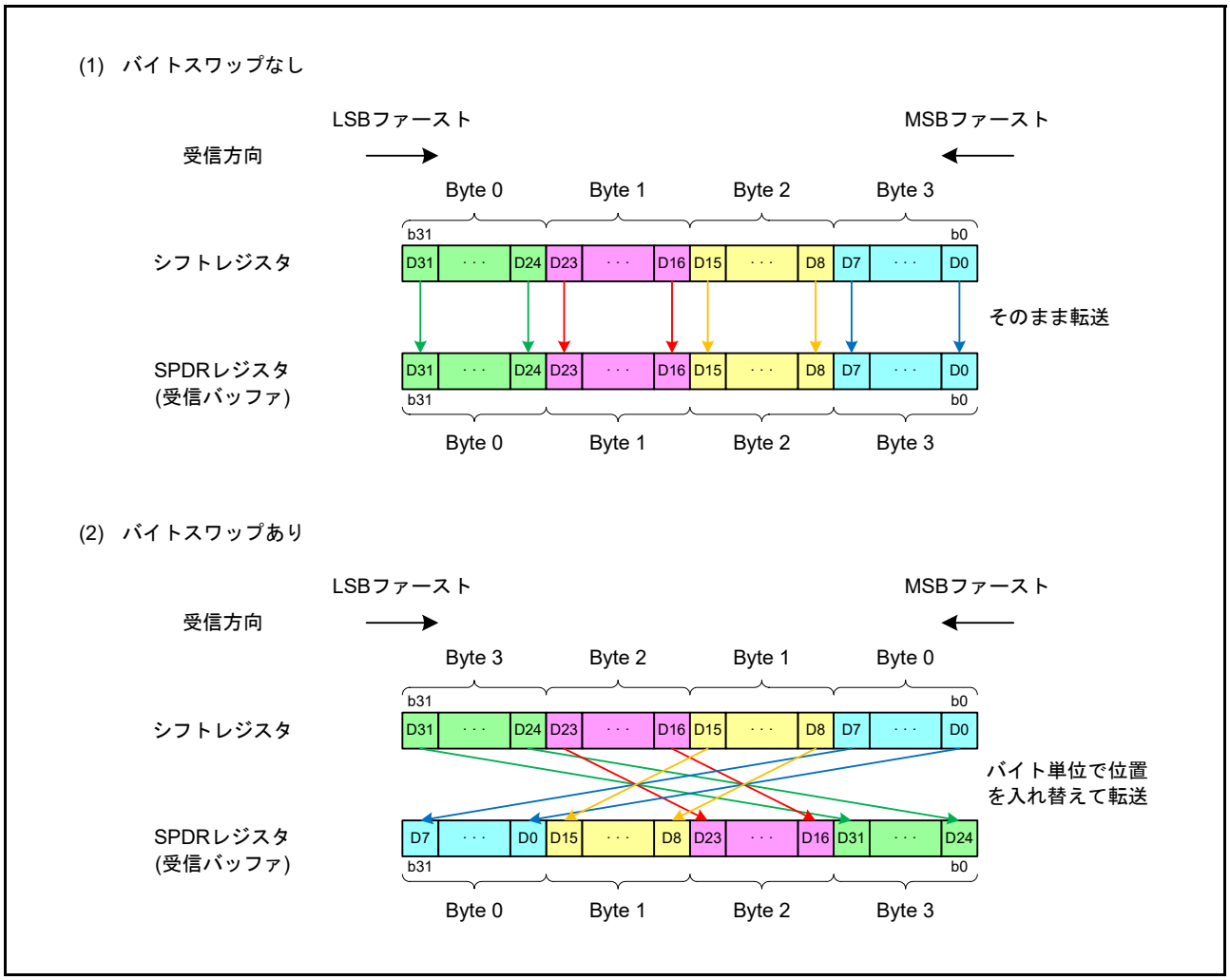


図 35.23　MSB/LSB ファーストとバイトスワップあり / なしの設定と受信データ変換

35.3.5　転送フォーマット

35.3.5.1　CPHA ビット = 0 の場合

図 35.24 に SPCMDm.CPHA ビットが “0” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR = 0) で CPHA ビットが “0” の場合のクロック同期式動作 (SPCR.SPMS ビットが “1” の場合) はしないでください。図 35.24 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが “0” の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが “1” の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「35.3.2　RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが “0” の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「35.3.11.1　マスタモード動作」を参照してください

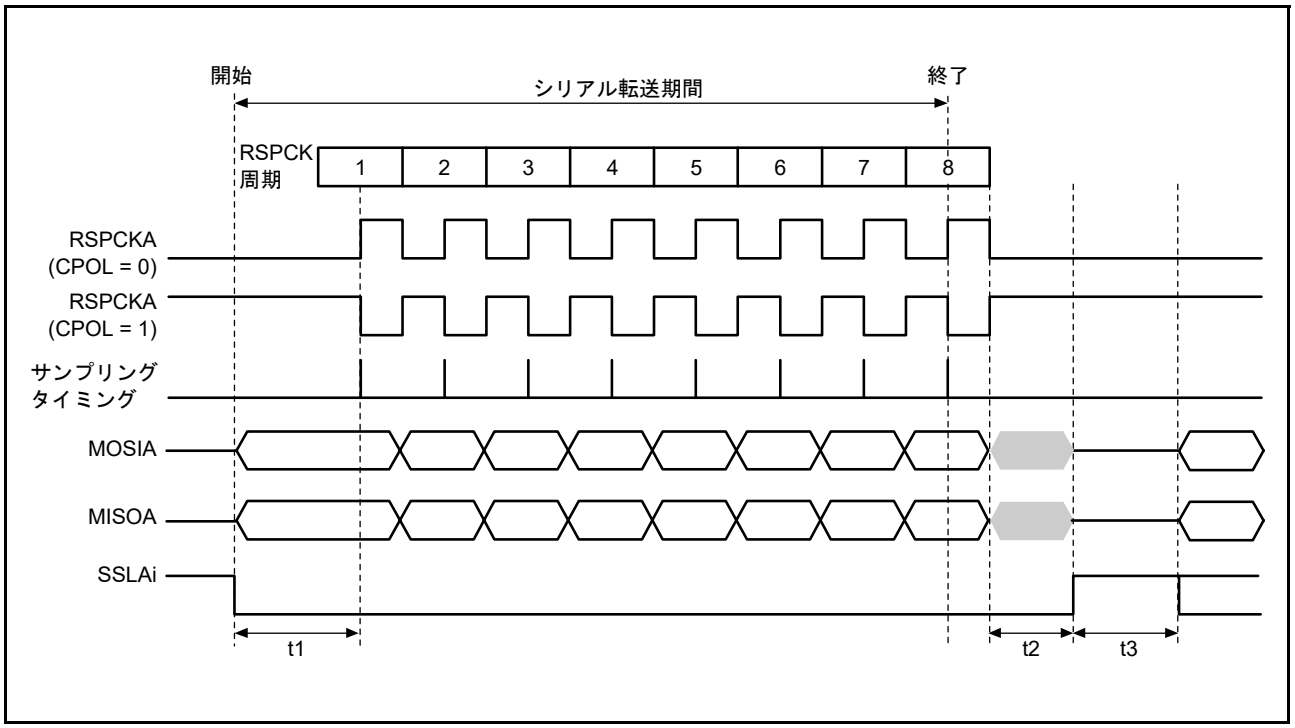


図 35.24　RSPI 転送フォーマット (CPHA ビット = 0)

35.3.5.2　CPHA ビット = 1 の場合

図 35.25 に SPCMDm.CPHA ビットが “1” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが “1” の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 35.25 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが “0” の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが “1” の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ / スレーブ) に依存します。詳細は「35.3.2　RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが “1” の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「35.3.11.1　マスタモード動作」を参照してください。

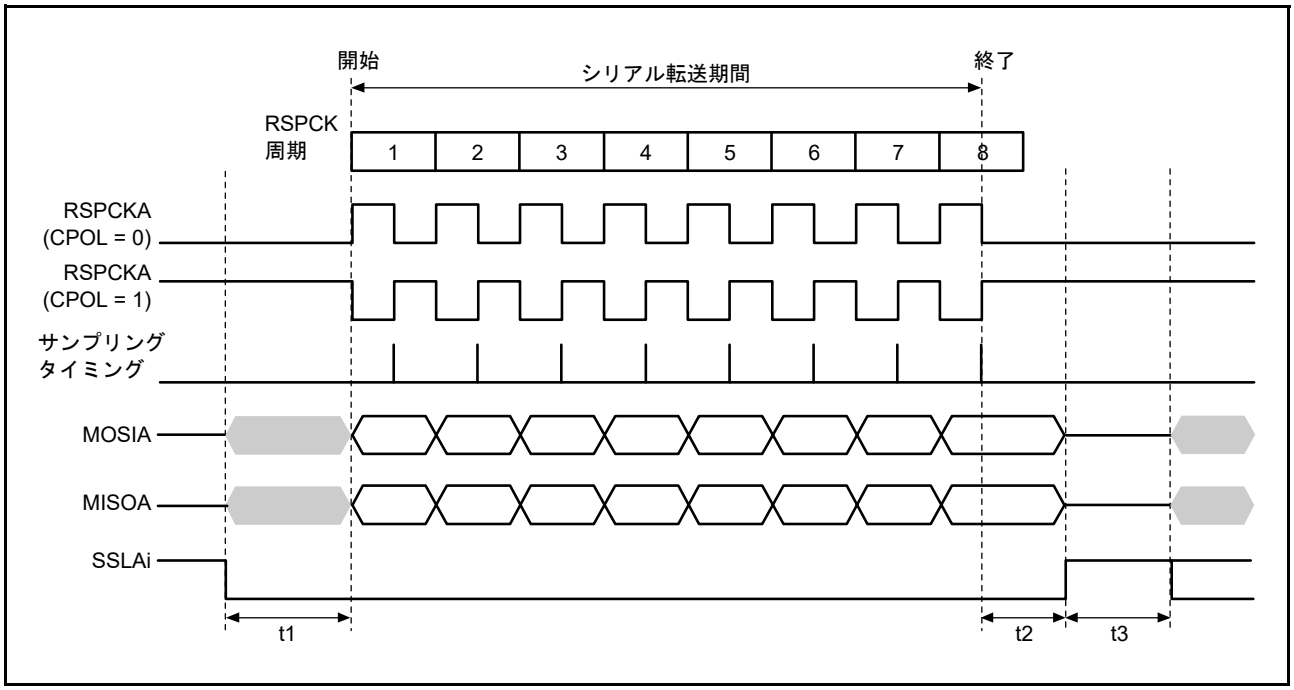


図 35.25　RSPI 転送フォーマット (CPHA ビット = 1)

35.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重通信または送信のみの単方向通信を選択します。

図 35.26、図 35.27 に記載した “SPDR アクセス ” は、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクルを示しています。

35.3.6.1 全二重通信 (SPCR.TXMD = 0)

図 35.26 に、SPCR.TXMD ビットを “0” にした場合の動作例を示します。図 35.26 の例では、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

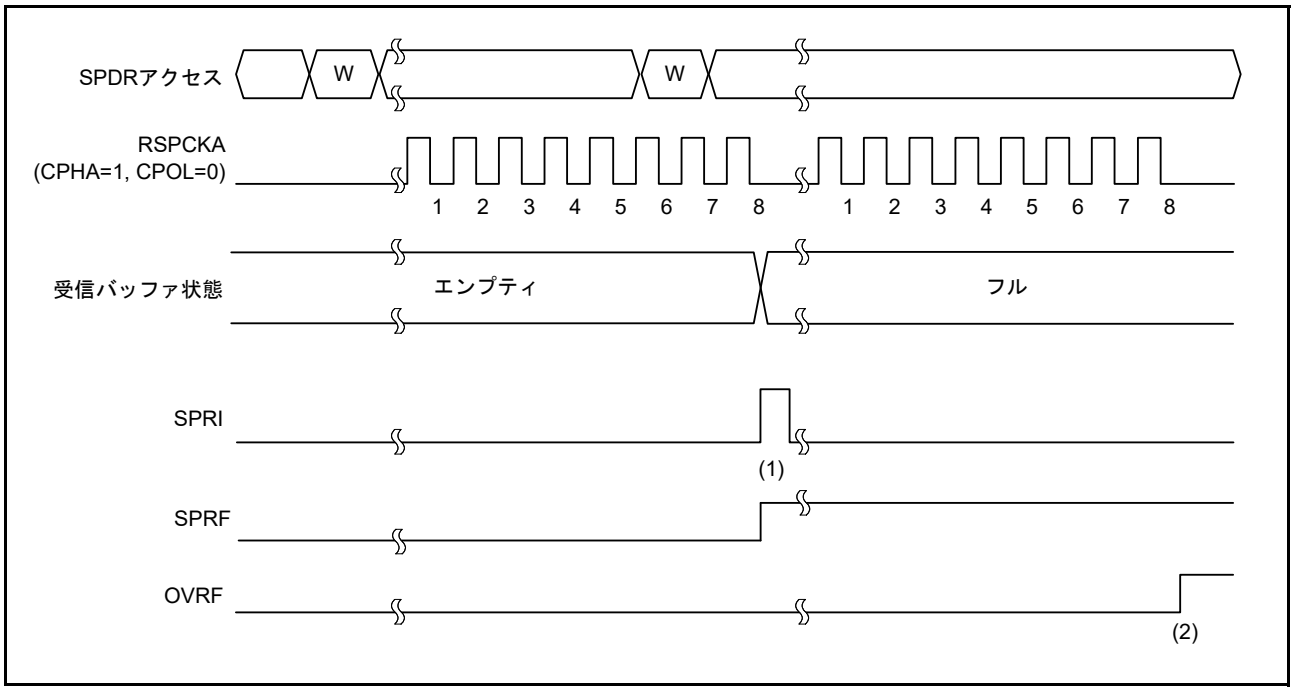


図 35.26 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

(1) SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を生成 (SPSR.SPRF フラグを “1”) してシフトレジスタの受信データを受信バッファにコピーします。

(2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを “1” にしてシフトレジスタの受信データを破棄します。

全二重通信時 (SPCR.TXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF、OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで “1” になります。

35.3.6.2　送信のみの単方向通信 (SPCR.TXMD = 1)

図 35.27 に、SPCR.TXMD ビットを “1” にした場合の動作例を示します。図 35.27 の例では、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

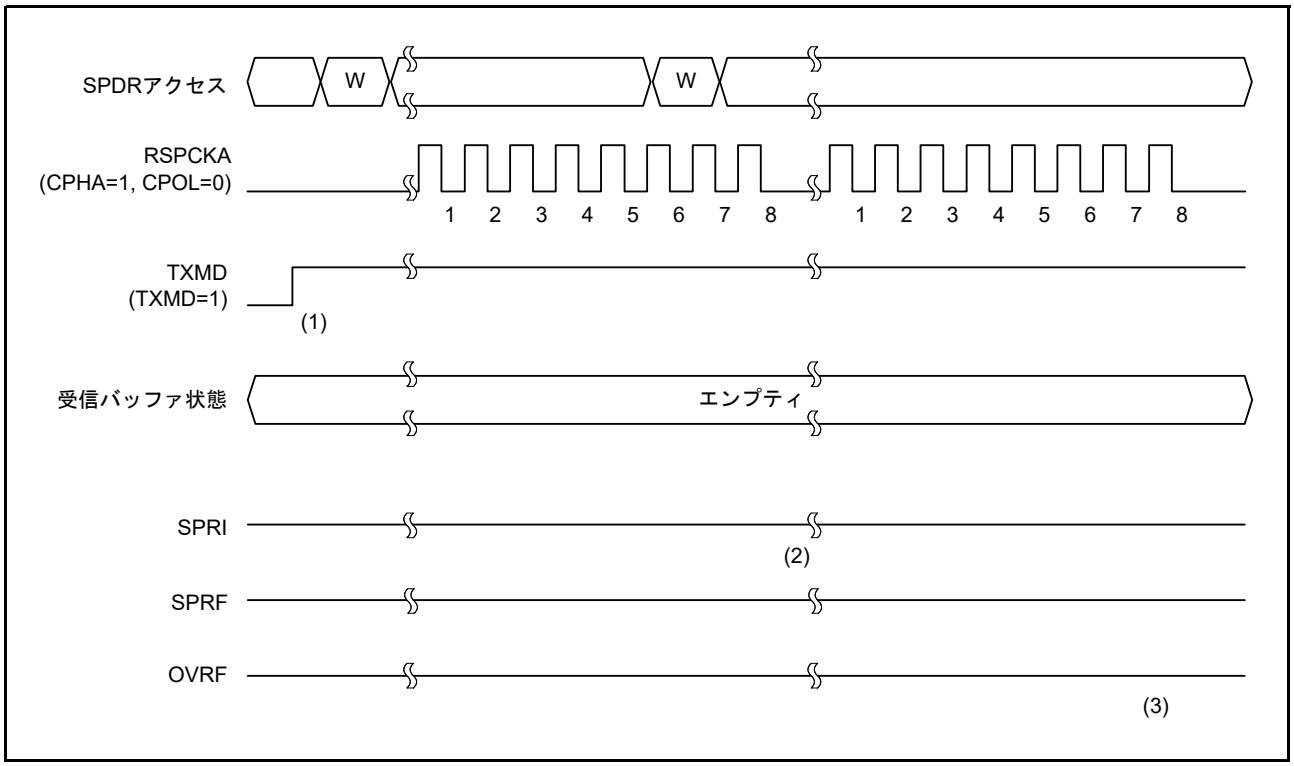


図 35.27　SPCR.TXMD = 1 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

(1) 送信のみの単方向通信 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF、OVRF フラグが “0” であることを確認してから、行ってください。

(2) SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、送信のみの単方向通信 (SPCR.TXMD = 1) のときは、SPRF フラグは “0” を維持し、シフトレジスタのデータを受信バッファへコピーしません。

(3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは “0” を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみの単方向通信時 (SPCR.TXMD = 1) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF、OVRF フラグは (1)、(2)、(3) いずれのタイミングでも “0” を保持します。

35.3.7　送信バッファエンプティ / 受信バッファフル割り込み

図 35.28 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 35.28 に記載した “SPDR アクセス ” は、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 35.28 の例では、SPCR.TXMD ビットが “0”、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

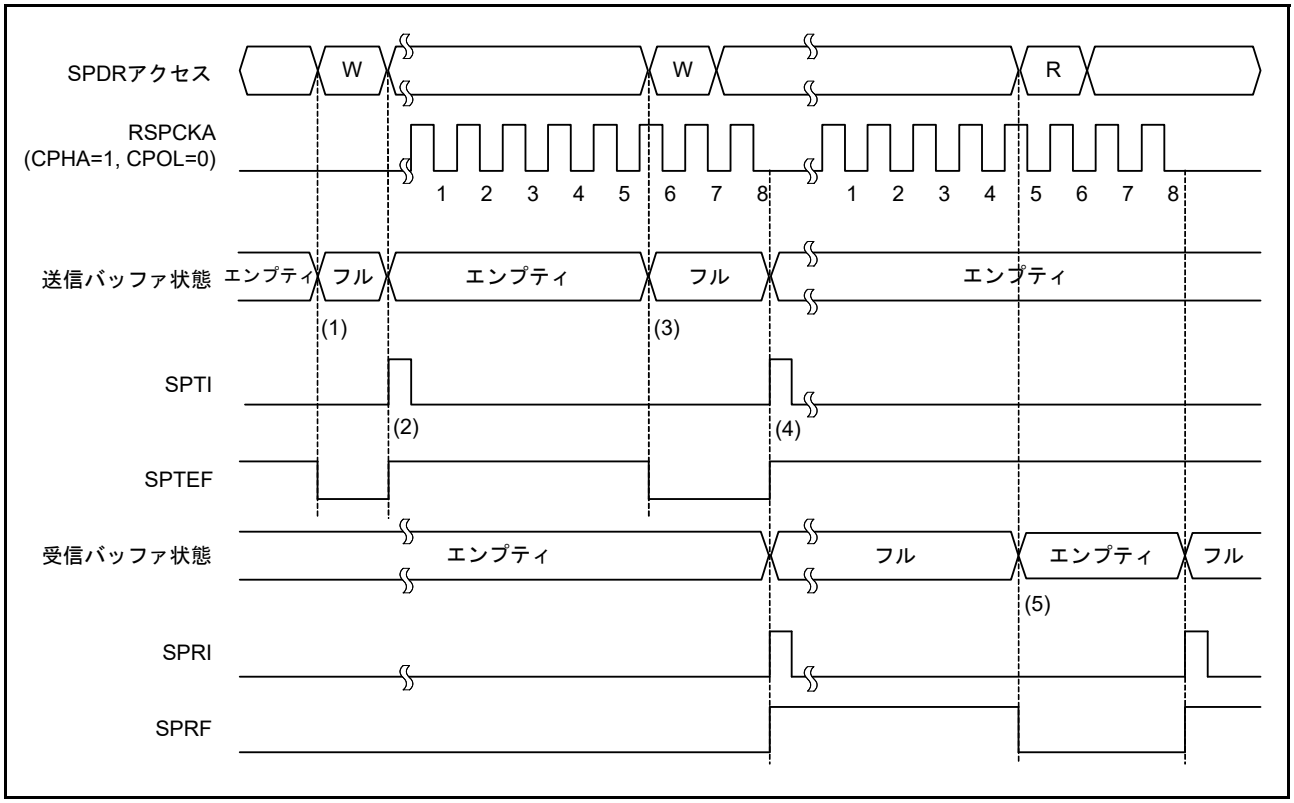


図 35.28　SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ～ (5) に示したタイミングでの割り込みの動作内容を説明します。

(1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを “0” にします。

(2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を生成し、SPSR.SPTEF フラグを “1” にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「35.3.11　SPI 動作」、「35.3.12　クロック同期式動作」参照)

(3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが “0” になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。

(4) SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を生成し、SPSR.SPRF フラグを “1” にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを “1” にして送信

バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

(5) 受信バッファフル割り込みルーチンまたは SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRF フラグが “0” になります。

送信バッファに未送信のデータがある状態 (SPTEF フラグが “0”) で、SPDR レジスタに送信データを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR の SPTIE ビットを “1” にしてください。

SPCR.SPE ビットを “0” (RSPI 機能は無効) にするときは、SPCR.SPTIE ビットも同時に “0” にしてください。SPCR.SPE ビットが “0” のときに SPCR.SPTIE ビットが “1” であると、送信バッファエンプティ割り込み要求が発生します。

受信バッファフル (SPRF フラグが “1”) の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「35.3.9 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを “1” にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「14. 割り込みコントローラ (ICUC)」を参照してください。また、SPTEF フラグ /SPRF フラグによって確認することもできます。

35.3.8 アイドル割り込み

SPCR2.SPIIE ビットが “1” のときに SPSR.IDLNF フラグが “0” になると、アイドル割り込み要求 (SPII) が発生します。

マスタモード時は送信開始前も IDLNF フラグが “0” なので、このときにアイドル割り込みが発生しないように、送信バッファにデータを書いて IDLNF フラグが “1” になった後に SPIIE ビットを “1” にしてください。送信完了後 SSLA0 信号がネゲートされ、次アクセス遅延 (t3) 時間が経過するまで次のデータを供給しなければ、IDLNF フラグが “0” になります。

35.3.9 エラー検出

通常の RSPI のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータが送信され、受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始 / 終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラー、アンダランエラー、パリティエラーまたはモードフォルトエラーとして検出します。**表 35.7** に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表35.7　通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態でSPDRレジスタを書き込み	• 送信バッファ内容を保持 • 書き込みデータ欠落	なし
2	受信バッファエンプティの状態でSPDRレジスタを読み出し	受信が完了していれば受信したデータ、完了していなければ前回受信したデータをバスに出力	なし
3	スレーブモード時、送信データがシフトレジスタに転送されていない状態でシリアル転送開始	シリアル転送を中断 送受信データ欠落 MISO端子のドライブ停止 RSPI機能を無効に設定	アンダランエラー検出
4	受信バッファフルの状態で、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重通信時に、パリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのセット	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号がアサート	• RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 • RSPI機能は無効	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号がアサート	• シリアル転送を中断 • 送受信データ欠落 • RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 • RSPI機能は無効	モードフォルトエラー検出
8	スレーブモードでシリアル転送中にSSLA0入力信号がネゲート	• シリアル転送中断 • 送受信データ欠落 • MISOA出力信号のドライブ停止 • RSPI機能は無効	モードフォルトエラー検出

表 35.7 の 1 に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、または SPSR.SPTEF フラグが “1” のときに SPDR レジスタへの書き込みを実施してください。

2 に示した動作に対しても、RSPI はエラーを検出しません。不要なデータを読み出さないようにするためには、受信バッファフル割り込み要求発生時、または SPSR.SPRF フラグが “1” のときに SPDR レジスタの読み出しを実行するようにしてください。

3 に示したアンダランエラーについては「**35.3.9.4　アンダランエラー**」で、4 に示したオーバランエラーについては「**35.3.9.1　オーバランエラー**」で、5 に示したパリティエラーについては「**35.3.9.2　パリティエラー**」で説明します。また、6 ～ 8 に示したモードフォルトエラーについては「**35.3.9.3　モードフォルトエラー**」で説明します。

なお、送受信の割り込みについては、「**35.3.7　送信バッファエンプティ / 受信バッファフル割り込み**」を参照してください。

35.3.9.1　オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを “1” にします。OVRF フラグが “1” の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを “0” にするためには、OVRF フラグが “1” にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに “0” を書く必要があります。

図 35.29 に、SPRF フラグと OVRF フラグの動作を示します。**図 35.29** に記載した “SPSR アクセス ” と “SPDR アクセス ” は、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。**図 35.29** の例では、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

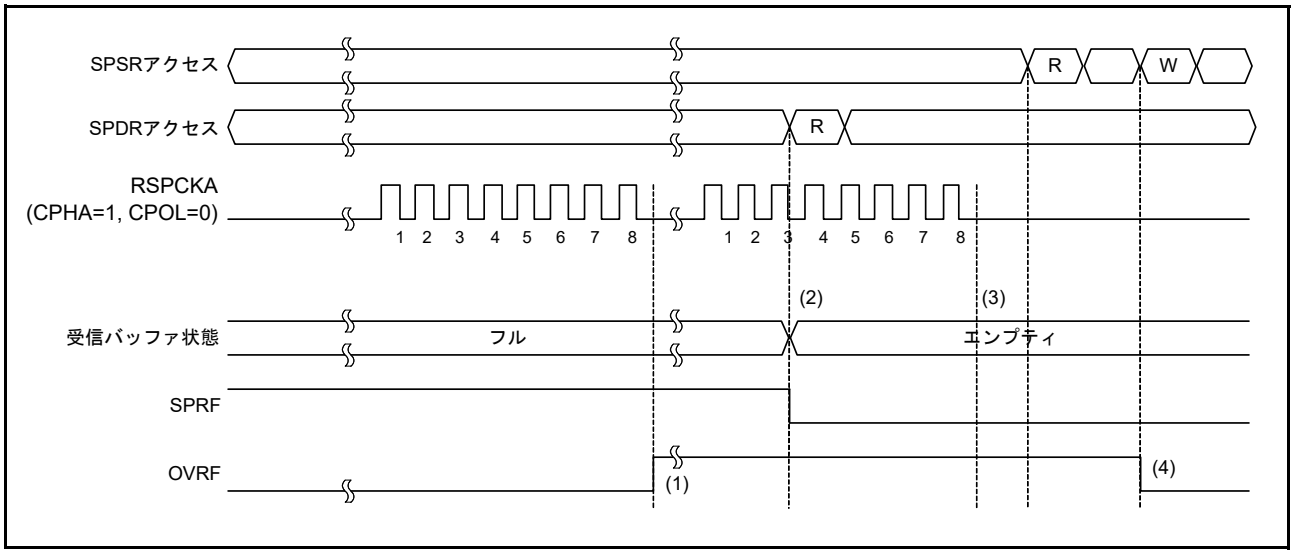


図 35.29　SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ～ (4) に示したタイミングでのフラグの動作内容を説明します。

(1) 受信バッファフル (SPRF フラグが “1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを “1” にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが “1” であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。

(2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは “0” になります。受信バッファが空になっても、OVRF フラグは “0” になりません。

(3) OVRF フラグが “1” の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは “0” のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット “1” であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

(4) OVRF フラグが “1” の状態で SPSR レジスタを読んだ後、OVRF フラグに “0” を書くと、RSPI は OVRF フラグを “0” にします。

オーバランの発生は、SPSR レジスタの読み出しあるいはエラー割り込みと SPSR レジスタの読み出しに

よって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが “1” になると、OVRF フラグが “0” になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバランエラーが発生しません。図 35.30、図 35.31 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

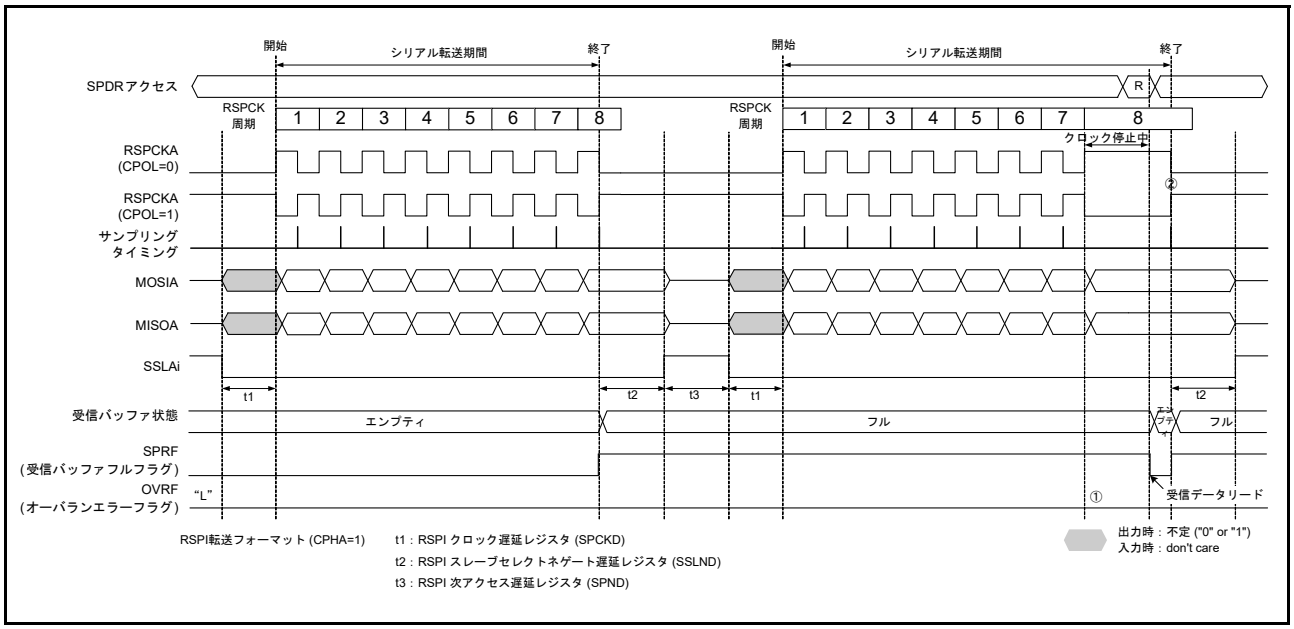


図 35.30　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

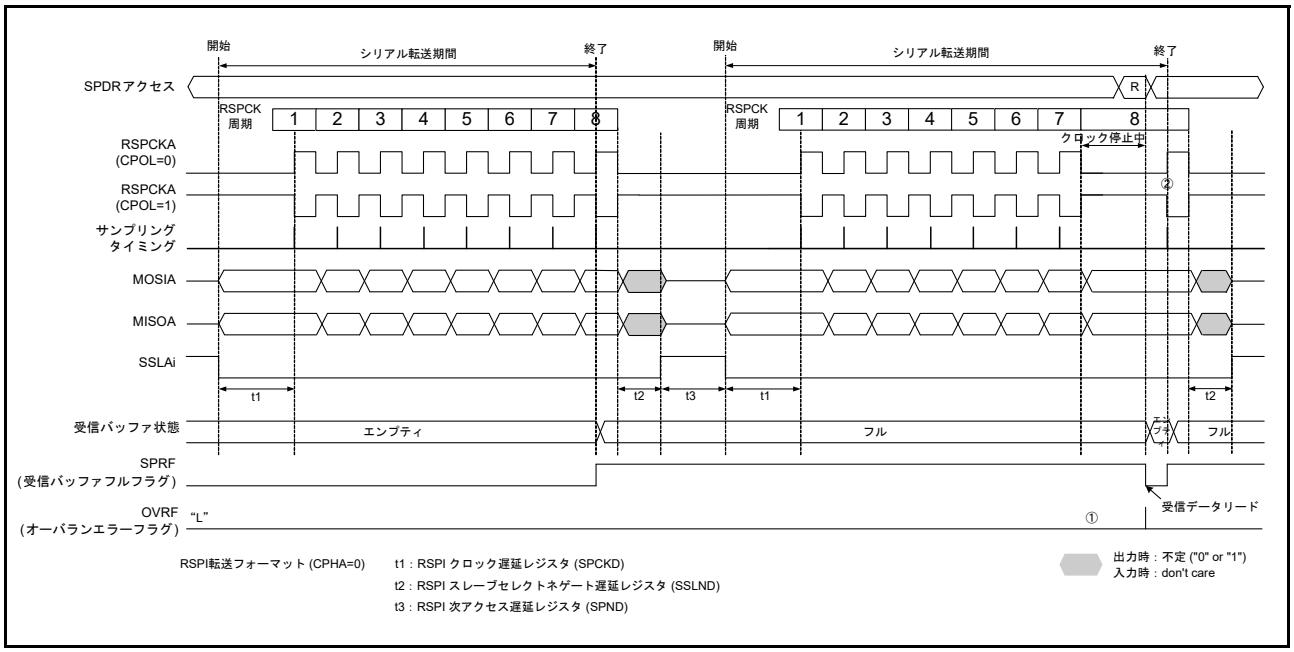


図 35.31　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

(1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバランエラーは発生しません。

(2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPRF フラグが “0” になった後)、RSPCK クロックが再開します。

35.3.9.2　パリティエラー

SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態で全二重通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを “1” にします。SPSR.OVRF フラグが “1” の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを “0” にするためには、PERF フラグが “1” の状態の SPSR レジスタを読んだ後、PERF フラグに “0” を書く必要があります。

図 35.32 に、OVRF フラグと PERF フラグの動作を示します。図 35.32 に記載した “SPSR アクセス ” は、SPSR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 35.32 の例では、SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態で全二重通信を行っています。SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

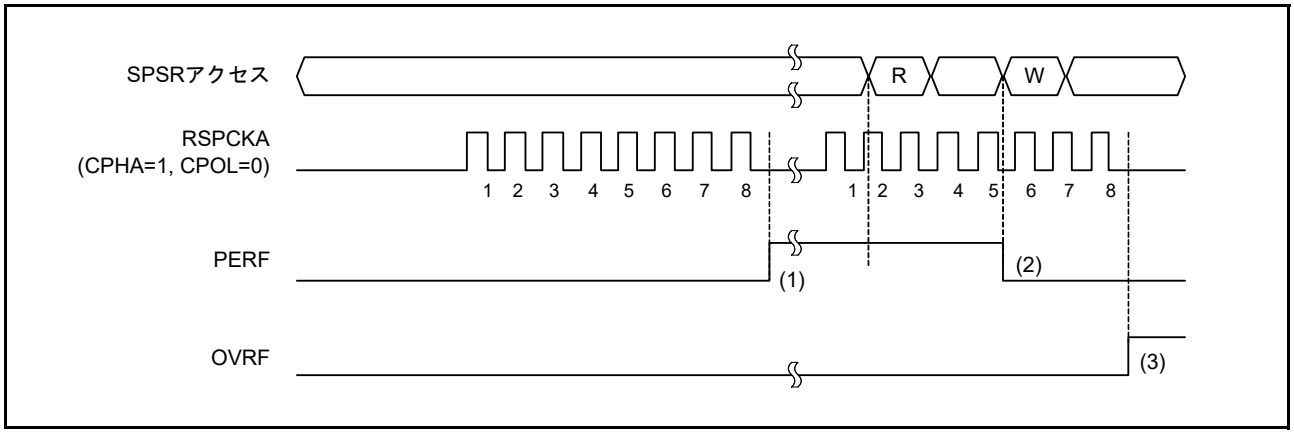


図 35.32　PERF フラグの動作例

以下に、図中の (1) ～ (3) に示したタイミングでのフラグの動作内容を説明します。

(1) RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを “1” にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。

(2) PERF フラグが “1” の状態で SPSR レジスタを読んだ後、PERF フラグに “0” を書くと、PERF フラグが “0” になります。

(3) RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

35.3.9.3 モードフォルトエラー

SPCR.MSTR ビットが “1”、SPCR.SPMS ビットが “0”、SPCR.MODFEN ビットが “1” の場合には、RSPI はマルチマスタモードで動作します。マルチマスタモードの RSPI の SSLA0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPI はモードフォルトエラーを検出して SPSR.MODF フラグを “1” にします。モードフォルトエラーを検出すると、RSPI は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。なお、SSLA0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが “0” の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが “1”、SPMS ビットが “0” の場合、シリアル転送期間 (有効データのドライブ開始から最終有効データの取り込みまで) に SSLA0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットのクリアを実施します (「35.3.10 RSPI の初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが “1” の状態では、RSPI は SPE ビットへの “1” の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、MODF フラグを “0” にしてください。MODF フラグを “0” にすると、SPE ビットは “1” になります。

35.3.9.4 アンダランエラー

RSPI がスレーブモード (SPCR.MSTR ビットが “0”) で動作している場合、SPCR.SPE ビットが “1” (RSPI 機能は有効)、かつ送信データをシフトレジスタにセットしていない状態でシリアル転送が開始されると、RSPI はアンダランエラーを検出して SPSR レジスタの MODF フラグと UDRF フラグを “1” にします。

RSPI はアンダランエラーを検出すると、出力信号のドライブを停止し SPE ビットを “0” にします。SPE ビットが “0” になると RSPI 機能は無効となります (「35.3.10 RSPI の初期化」を参照)。

アンダランエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。エラー割り込みを利用せずにアンダランエラーを検出する場合、SPSR レジスタをポーリングする必要があります。

MODF フラグが “1” のとき、RSPI は SPE ビットへの ”1” 書き込みを無視します。アンダランエラー検出後に RSPI 機能を有効にするには、MODF フラグを “0” にしてください。MODF フラグを “0” にすると、SPE ビットは “1” になります。

35.3.10 RSPI の初期化

SPCR.SPE ビットに “0” を書いた場合、またはモードフォルトエラーやアンダランエラー検出により RSPI が SPE ビットを “0” にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを “0” にすることによる初期化とシステムリセットによる初期化について説明します。

35.3.10.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを “0” にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中の送受信を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステートの初期化
- RSPI 送信バッファを空にする (SPTEF フラグを “1” にする)

SPE ビットを “0” にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを “1” にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.SPRF、UDRF、PERF、MODF、OVRF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEF フラグが “1”) の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを “1” にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの “0” 書き込みと同時に SPTIE ビットにも “0” を書いてください。

35.3.10.2 システムリセット

システムリセットによる初期化では、「35.3.10.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

35.3.11 SPI 動作

35.3.11.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出 (「35.3.9 エラー検出」を参照) のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル / マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI 送信バッファが空 (SPTEF フラグが “1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については「35.3.5 転送フォーマット」を参照してください。SSLAi 出力端子の極性は、SSLP レジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPRF フラグが “0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。SSLAi 出力端子の極性は、SSLP レジスタの設定値に依存します。RSPI の転送フォーマットの詳細については「35.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを “1” にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

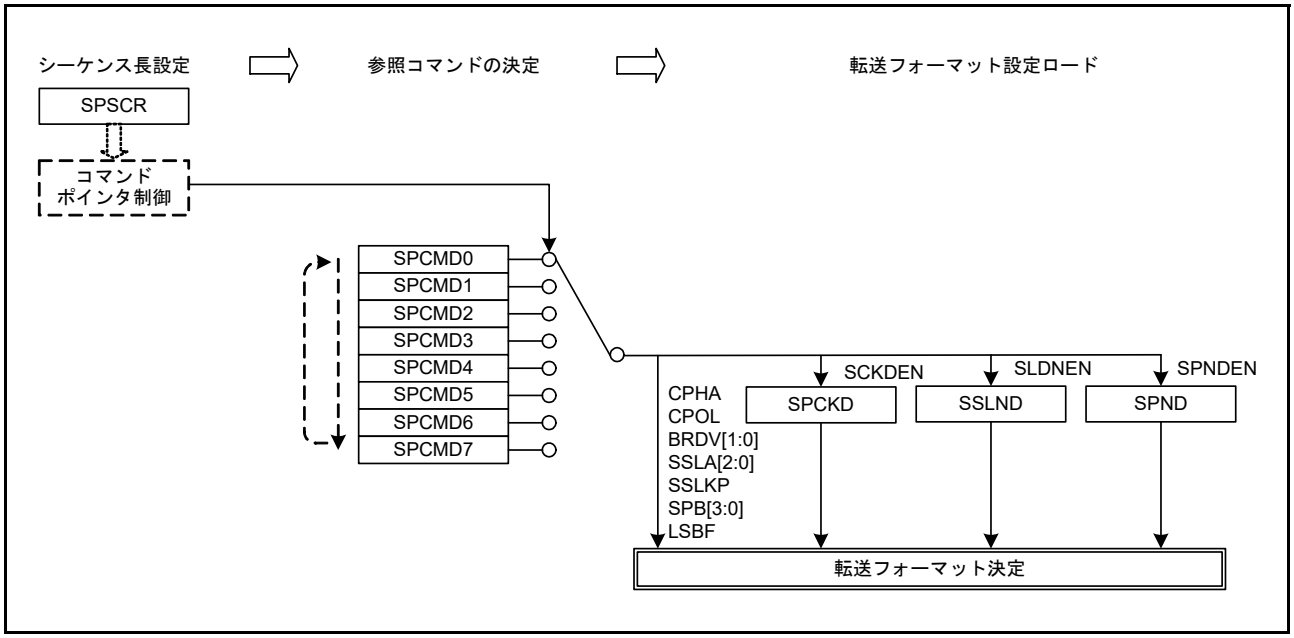


図 35.33　マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

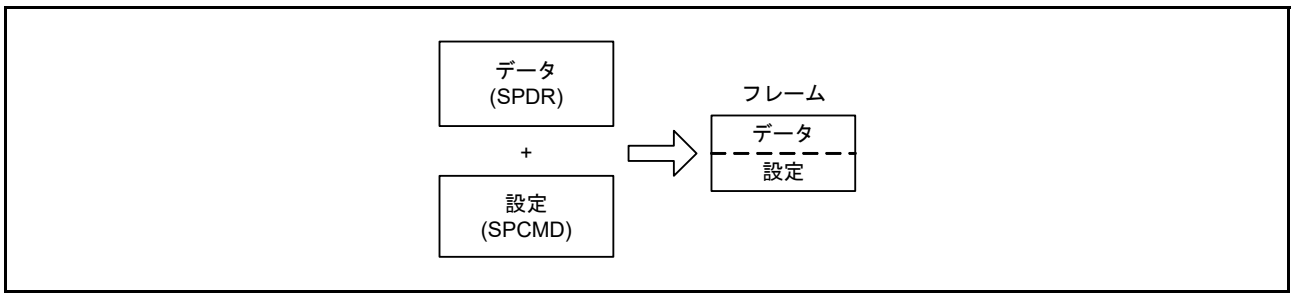


図 35.34　フレームの概念図

表 35.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 35.35 に示します。

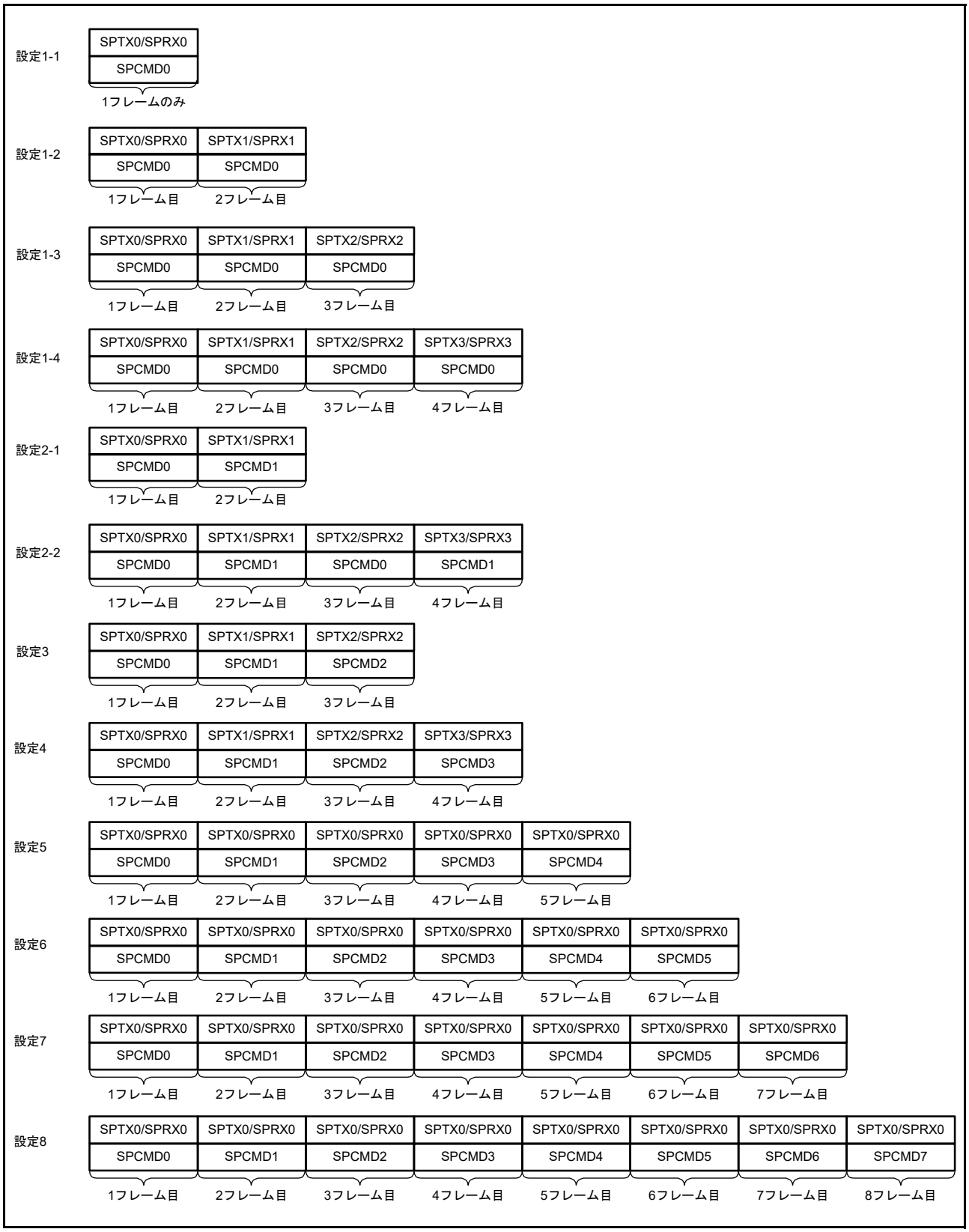


図 35.35　シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが “1” の場合には、RSPI はシリアル転送中の SSLAi 信号レベルを次のシリアル転送の SSLAi 信号アサート開始まで保持します。次のシリアル転送での SSLAi 信号レベルが、現在のシリアル転送での SSLAi 信号レベルと同じであれば、RSPI は SSLAi 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 35.36 に、SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSLAi 信号動作例を示します。図 35.36 に記載した (1) ～ (8) の RSPI 動作内容について、以下に説明します。なお、SSLAi 出力信号の極性は、SSLP レジスタの設定値に依存します。

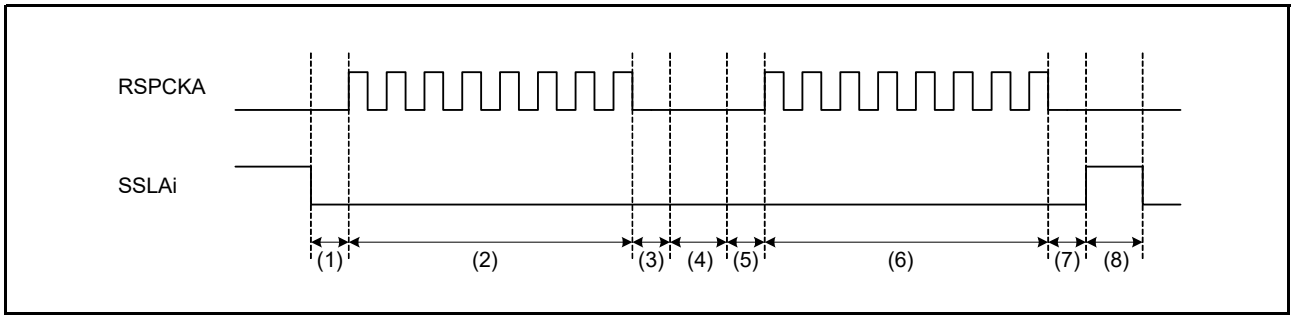


図 35.36　SSLKP ビットを利用したバースト転送動作の例 (CPHA = 1, CPOL = 0)

(1) SPCMD0 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
(2) SPCMD0 レジスタに従ったシリアル転送を実行します。
(3) SSL ネゲート遅延を挿入します。
(4) SPCMD0.SSLKP ビットが “1” であるため、SPCMD0 レジスタでの SSLAi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
(5) SPCMD1 レジスタに従った RSPCK 遅延の挿入を実施します。
(6) SPCMD1 レジスタに従ったシリアル転送を実行します。
(7) SSL ネゲート遅延を挿入します。
(8) SPCMD1.SSLKP ビットが “0” であるため、SSLAi 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを “1” にした SPCMDm レジスタでの SSLAi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLAi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLAi 信号のアサート時 (図 35.36 の (5)) に SSLAi 信号状態を切り替えます。このような SSLAi 信号の切り替えが発生した場合、MISOA をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLAi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが “0” の場合でも、RSPI は内部で検出した次転送の SSLAi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(5) RSPCK 遅延 (t1)

マスタモード時の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、表 35.8 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「35.3.5　転送フォーマット」を参照してください。

表 35.8　SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延値
0	000b ～ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモード時の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、表 35.9 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「35.3.5　転送フォーマット」を参照してください。

表 35.9　SLNDEN ビット、SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延値
0	000b ～ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモード時の次アクセス遅延は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SPNDEN ビットと SPND レジスタを使用して、**表 35.10** のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、**「35.3.5　転送フォーマット」**を参照してください。

表35.10　SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000b ～ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

(8) 初期化フロー

図 35.37 に、SPI 動作時、RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

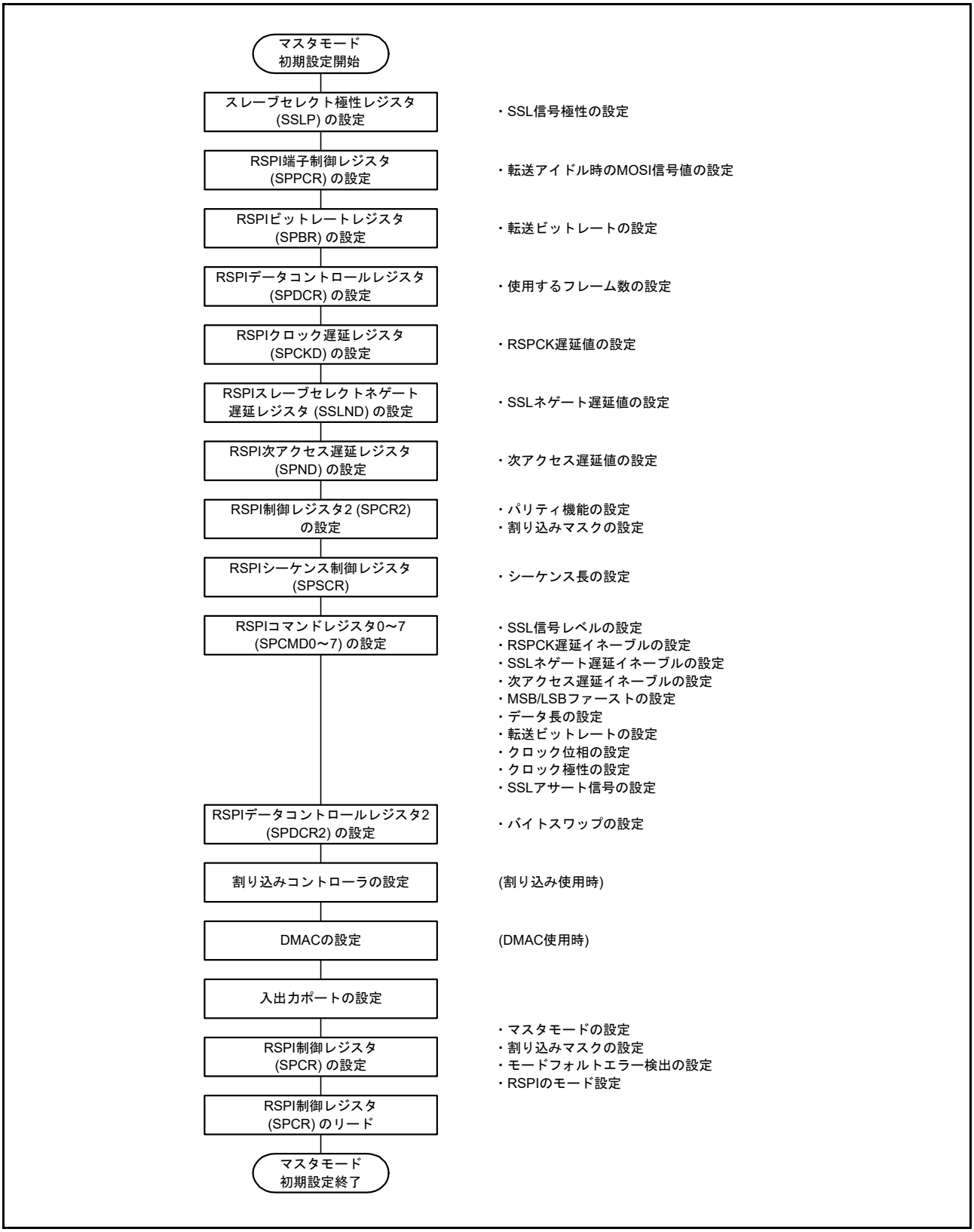


図 35.37　マスタモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 35.38 ～図 35.40 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データの送信完了を CPU に通知することが可能です。

SPII 割り込みの代わりに、SPSR.IDLNF フラグが “0” になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書いてから IDLNF フラグが “1” になるまでには、PCLK で 1 サイクル必要です。SPDR レジスタに最終データを書いた後は、“1” になる前の IDLNF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグの値から全データ送信完了の確認に使用してください。

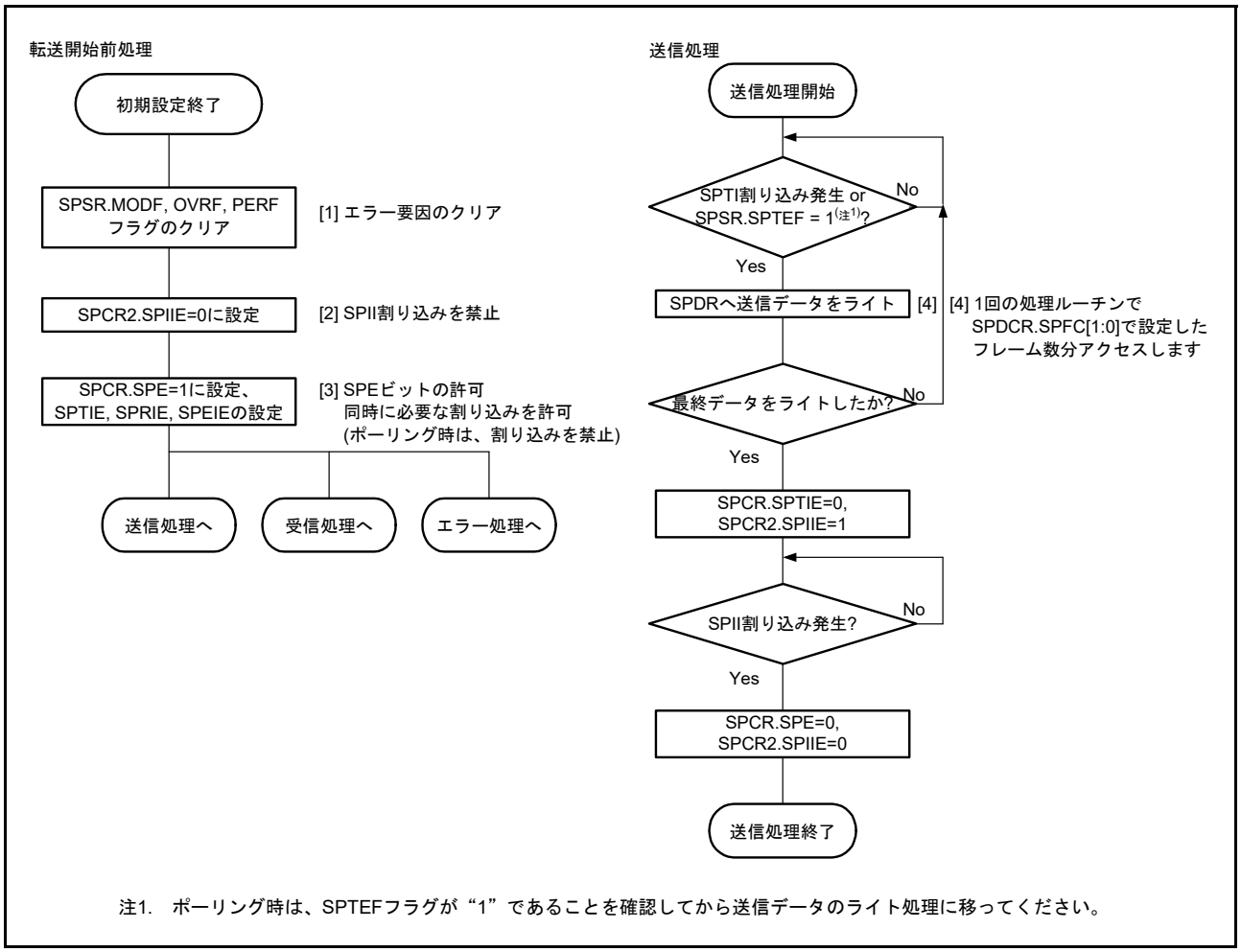


図 35.38　マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの単方向通信をサポートしていないため、送信を必要とします。

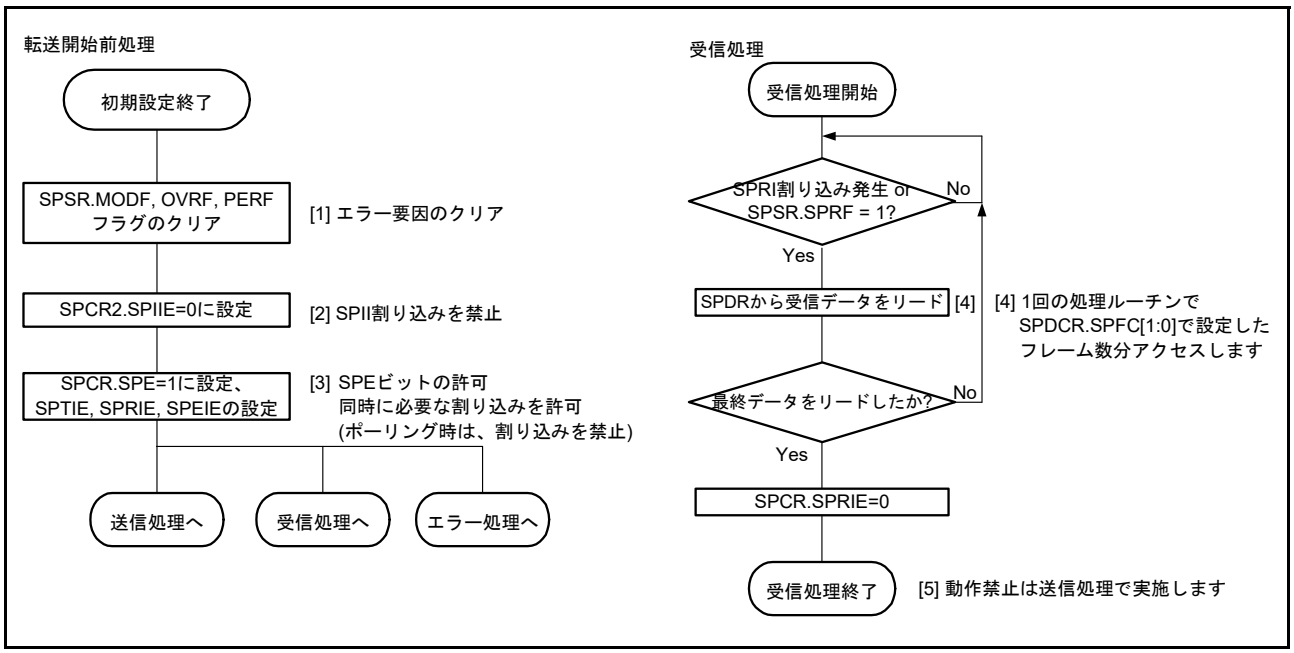


図 35.39　マスタモード時のフローチャート (受信)

(c)　エラー処理フロー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信 / 受信動作を停止させます。しかし、その他のエラー要因では SPCR.SPE ビットはクリアされず送信 / 受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0] ビットが更新されてしまうため、SPCR.SPE ビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性がありますので、エラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

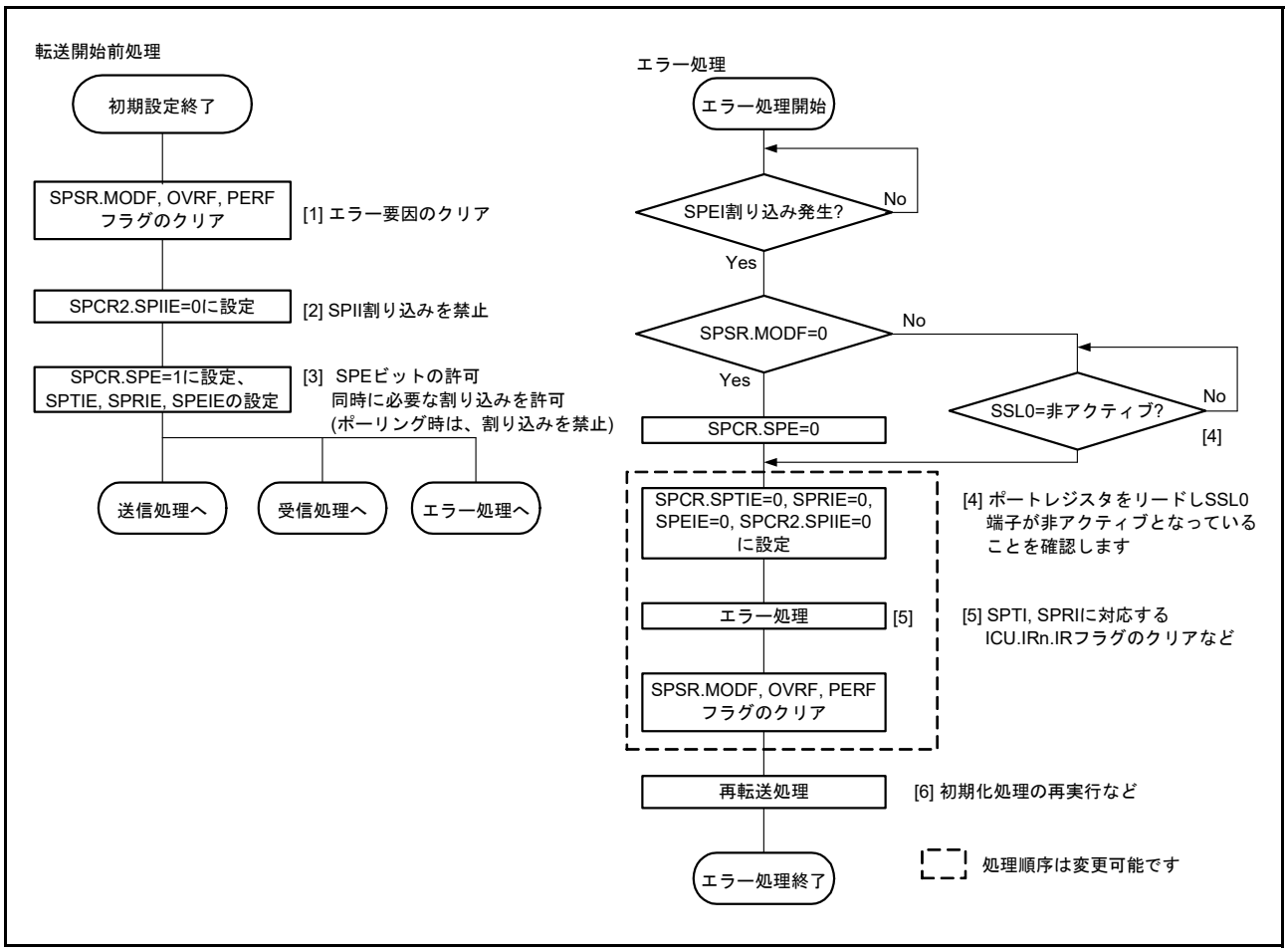


図 35.40　マスタモード時のフローチャート (エラー)

35.3.11.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが “0” の場合、RSPI は SSLA0 入力信号のアサートを検出すると、MISOA 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが “0” の場合には、SSLA0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが “1” の場合には、RSPI は SSLA0 入力信号のアサート状態で最初の RSPCKA エッジを検出すると、MISOA 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが “1” の場合には、SSLA0 信号アサート状態における最初の RSPCKA エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定に依存せず、RSPI が MISOA 出力信号のドライブを開始するタイミングは、SSLA0 信号アサートタイミングです。CPHA ビットの設定によって、RSPI が出力するデータの有効 / 無効が異なります。

なお、RSPI の転送フォーマットの詳細については、「35.3.5　転送フォーマット」を参照してください。SSLA0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(2)　シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCKA エッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合 (SPRF フラグが “0” の場合) には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSLA0 入力信号のネゲートを検出するとモードフォルトエラーが発生します (「35.3.9　エラー検出」を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。SSLA0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「35.3.5　転送フォーマット」を参照してください。

(3)　シングルスレーブ時の注意点

SPCMD0.CPHA ビットが “0” の場合には、RSPI は SSLA0 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 35.7 の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSLA0 入力信号がアクティブ状態に固定されるため、CPHA ビットを “0” に設定した RSPI ではシリアル転送を正しく開始できません。SSLA0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを “1” にしてください。CPHA ビットを “0” にする必要がある場合には、SSLA0 入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが “1” の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送 (バースト転送) を実行できます。CPHA ビットが “1” の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが “0” の場合には、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 35.41 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

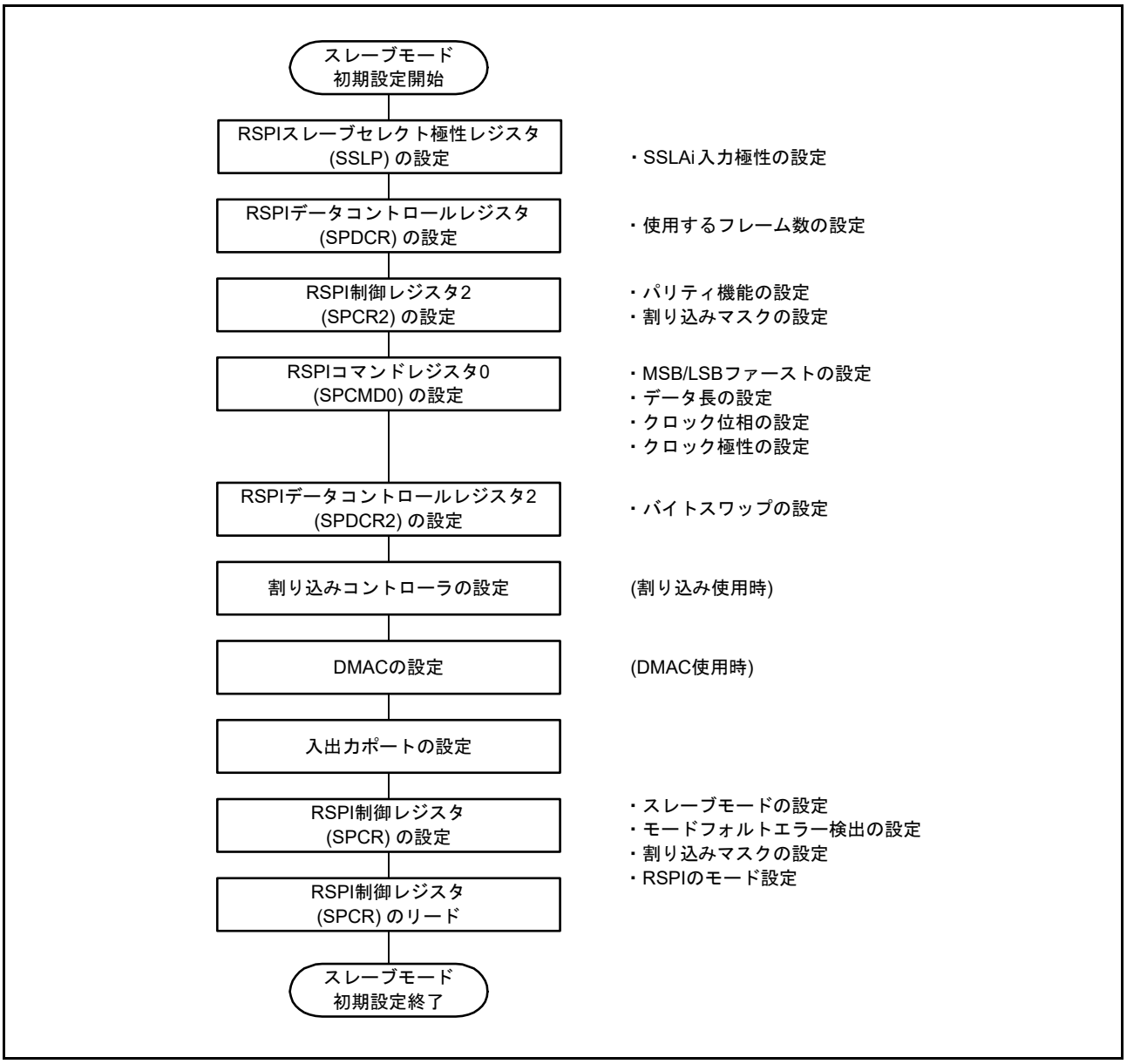


図 35.41　スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 35.42 ～図 35.44 に示します。

(a) 送信処理フロー

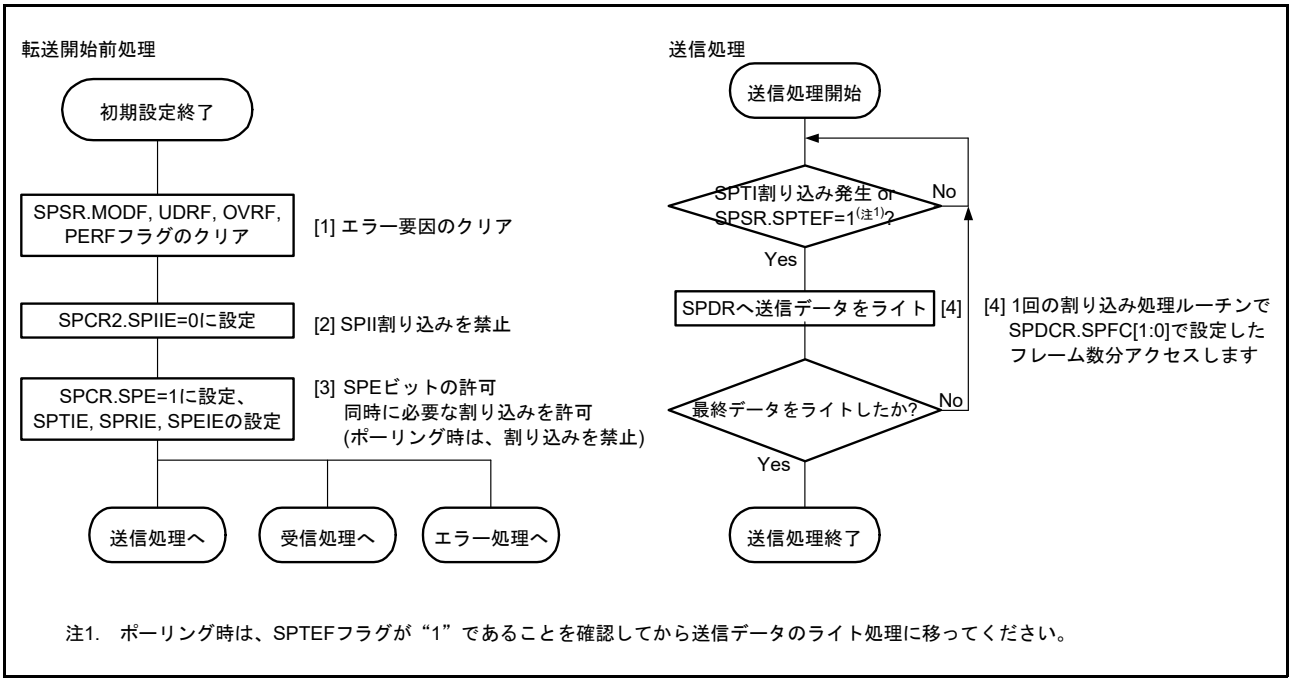


図 35.42　スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの単方向通信をサポートしていないため、送信を必要とします。

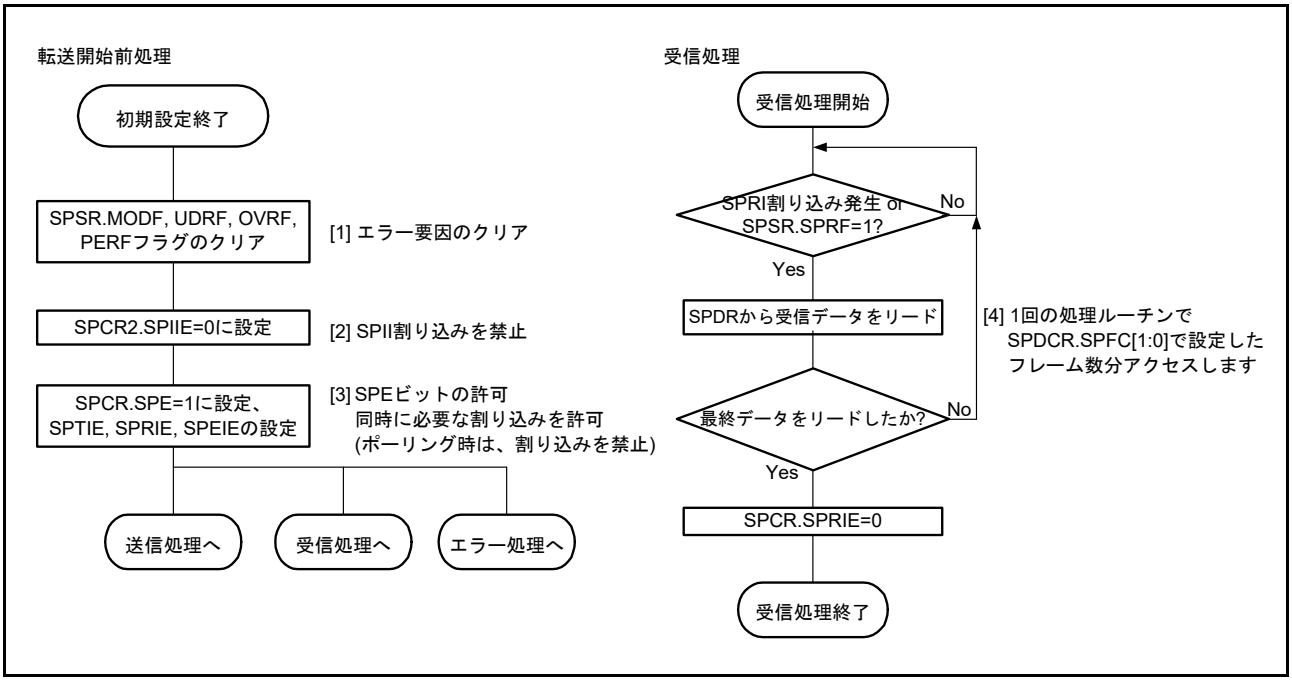


図 35.43　スレーブモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブモード時は、モードフォルトエラーが発生しても SSLA0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

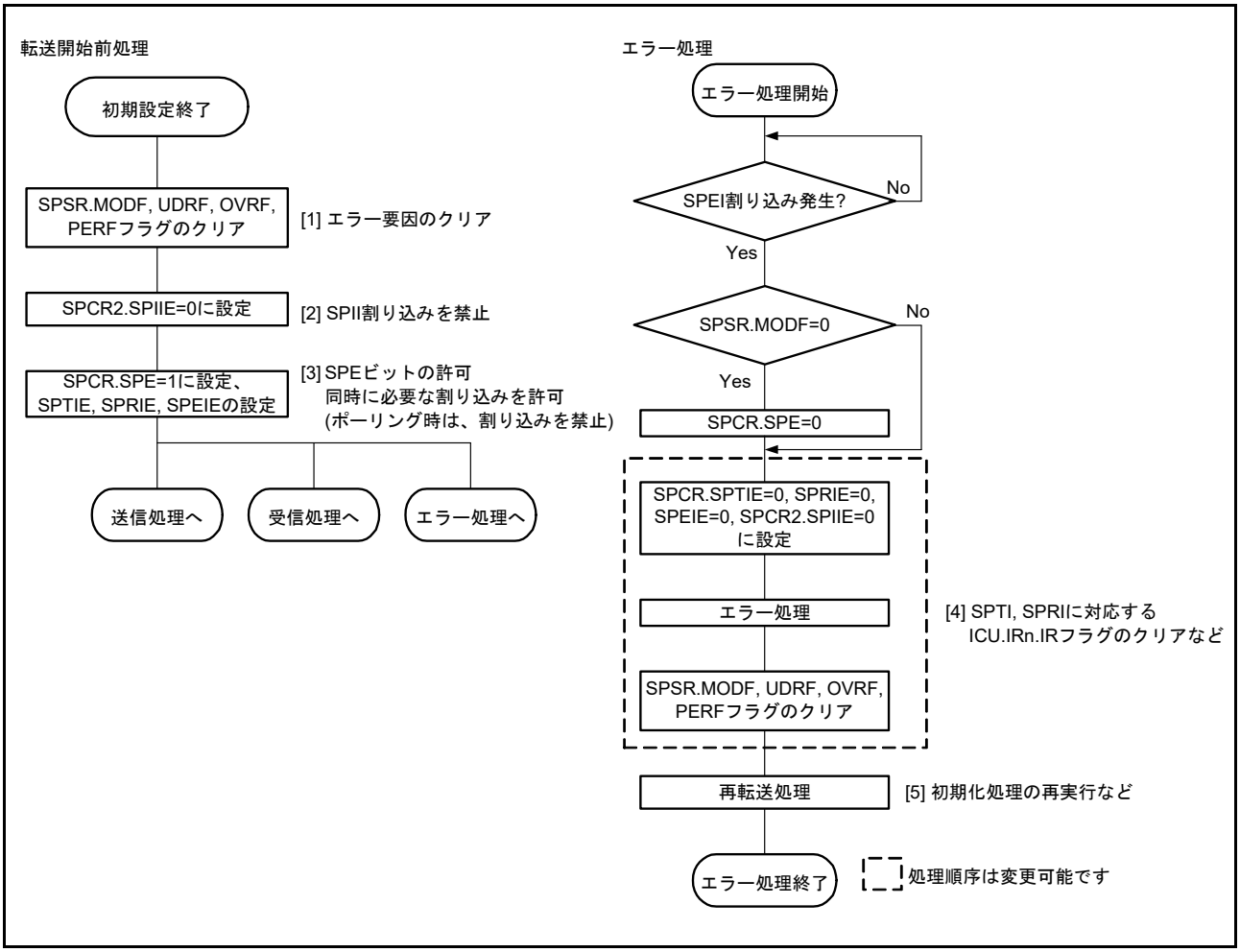


図 35.44　スレーブモード時のフローチャート (エラー処理)

35.3.12 クロック同期式動作

RSPI は、SPCR.SPMS ビットが “1” であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi 端子を使用せず、RSPCKA、MOSIA、MISOA の 3 本の端子を用いて通信を行い、SSLAi 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSLAi 端子を使用せず通信を行いますが、モジュール内部の動作は SPI 動作と同様の動作を行います。マスタモード、スレーブモードにおいて、SPI 動作時と同様のフローで通信を行うことができますが、SSLAi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを “0” にしないでください。

35.3.12.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが “1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「35.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが “0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「35.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLAi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKA 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが “1” で RSPI 動作が許可された状態にすると、RSPI はコマンドに対するポインタを SPCMD0 レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

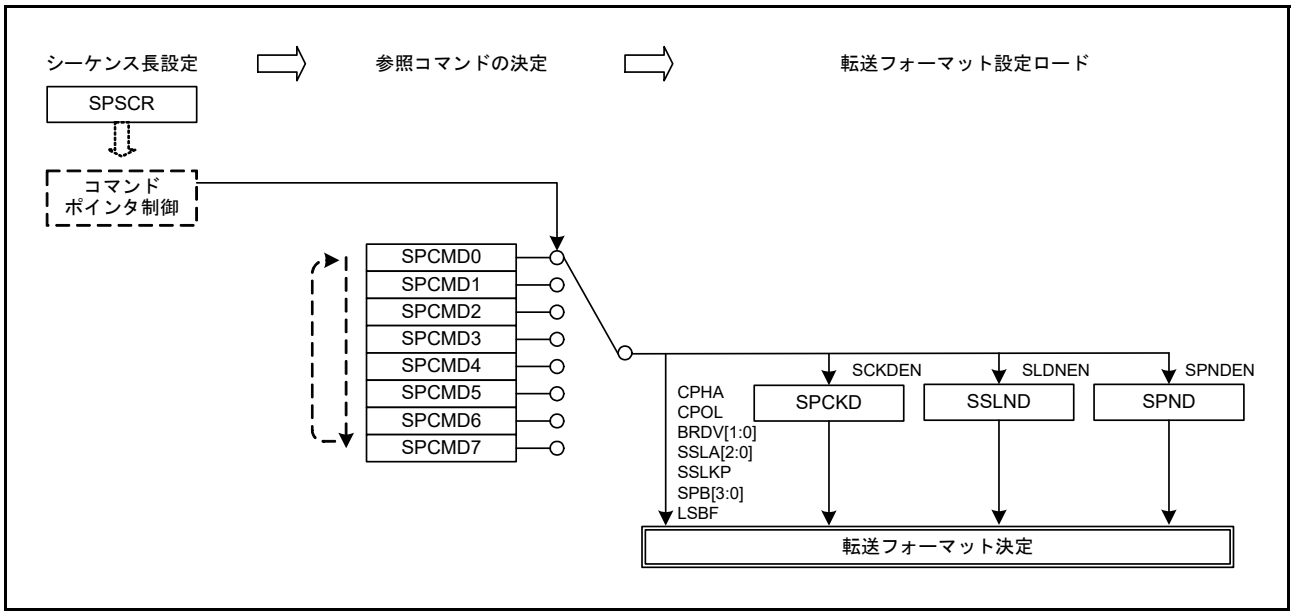


図 35.45　マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

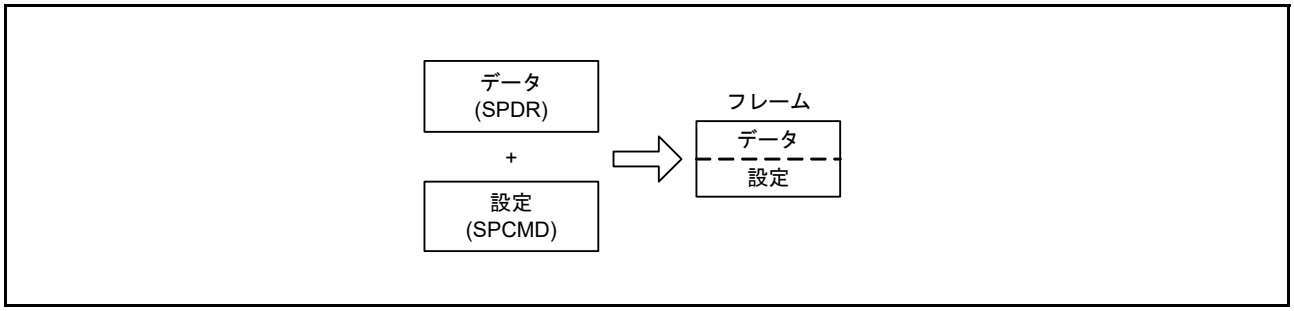


図 35.46　フレーム概念図

表 35.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 35.47 に示します。

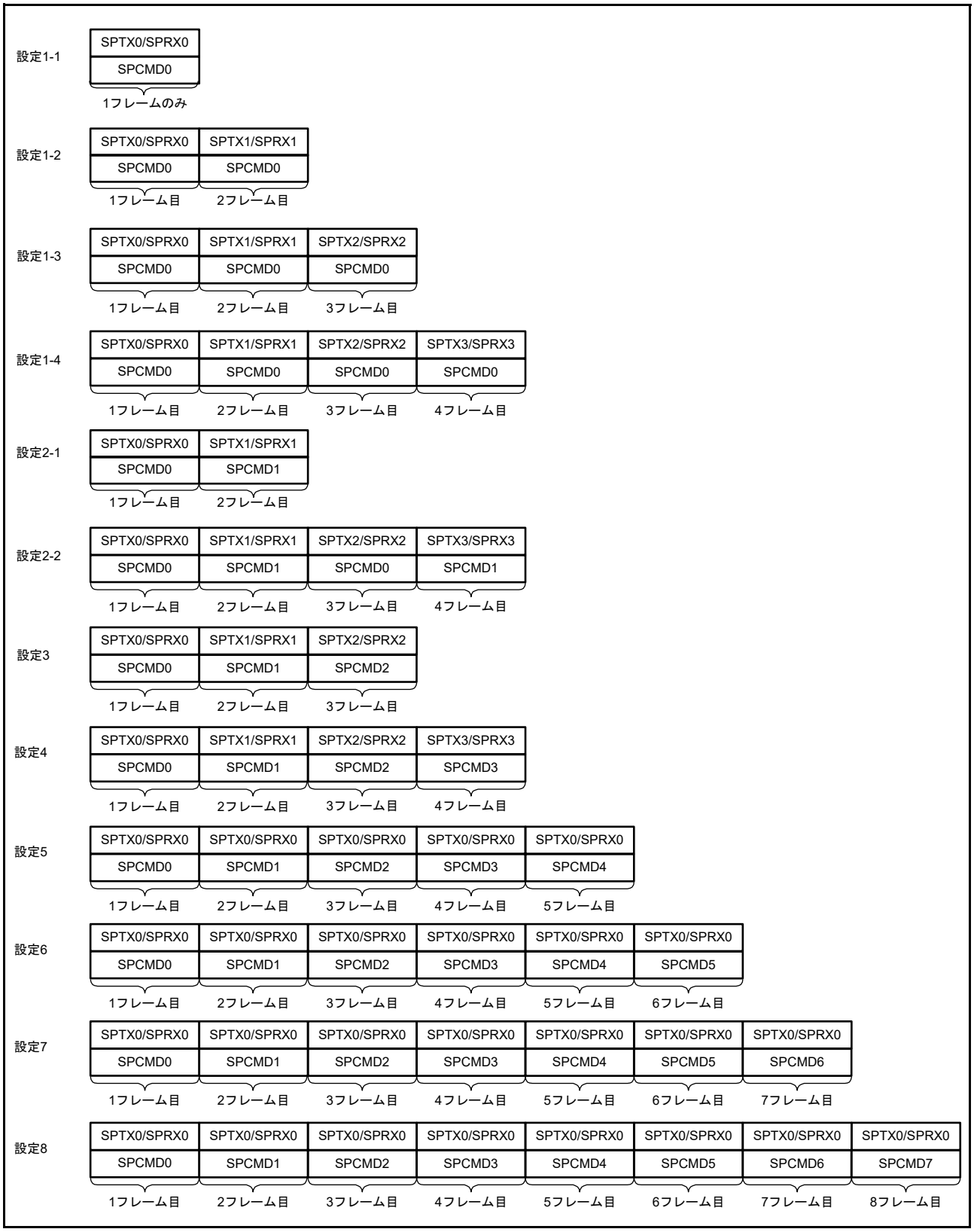


図 35.47　シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 35.48 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

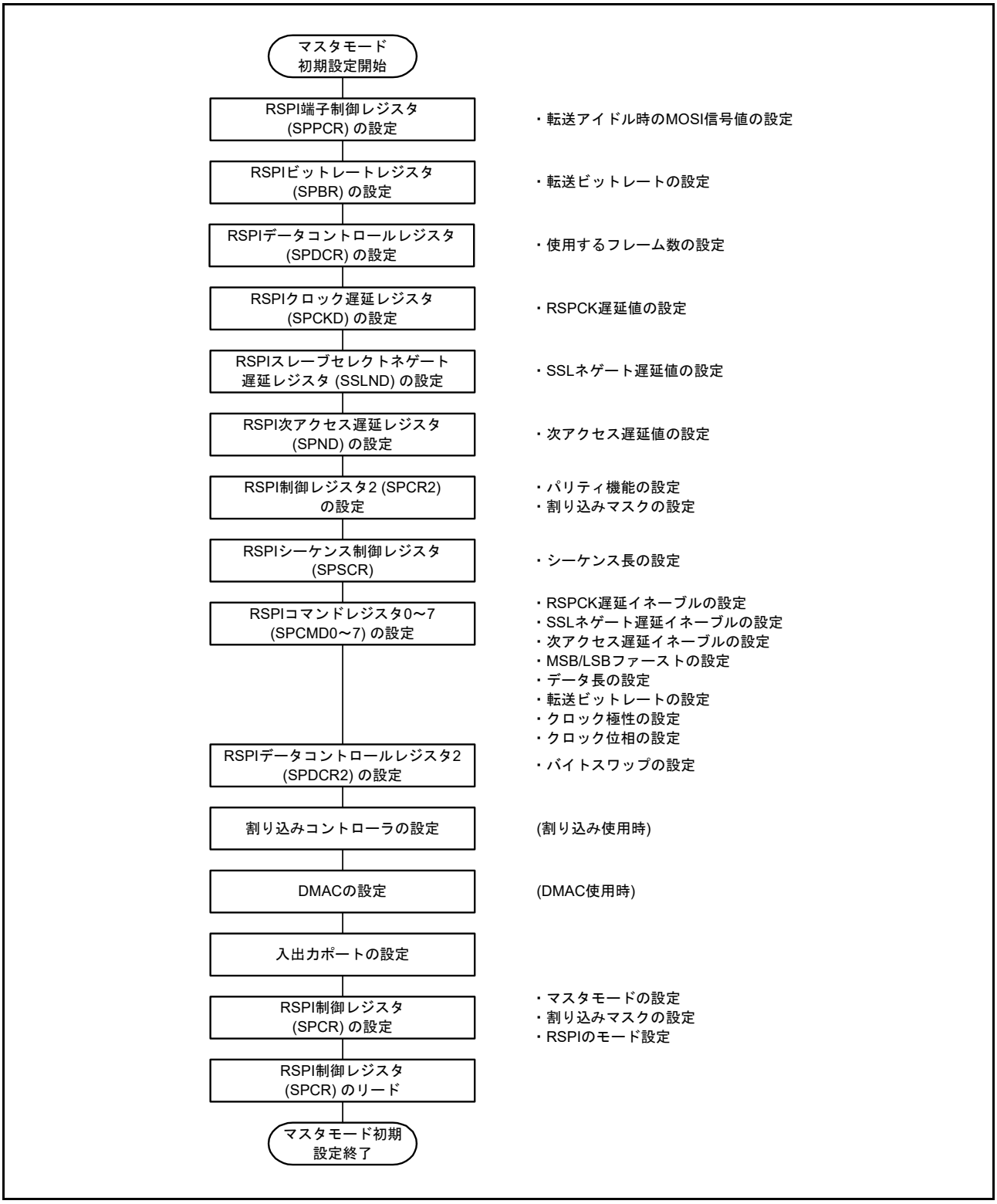


図 35.48　マスタモード時の初期化フロー例 (クロック同期式動作)

(5)　ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI 動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「35.3.11.1 (9)　**ソフトウェア処理フロー**」を参照してください。ただし、モードフォルトエラーの発生はありません。

35.3.12.2　スレーブモード動作

(1)　シリアル転送の開始

RSPI は、SPCR.SPMS ビットが “1” であるとき、最初の RSPCKA エッジがシリアル転送開始のトリガになります。

SPMS ビットが “1” であるときは、RSPI は MISOA 出力信号をドライブします。

なお、RSPI の転送フォーマットの詳細については、「35.3.5　**転送フォーマット**」を参照してください。ただし、クロック同期式動作時は SSLA0 入力信号を使用しません。

(2)　シリアル転送の終了

RSPI は最終サンプリングタイミングに相当する RSPCKA エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグが “0”) の場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「35.3.5　**転送フォーマット**」を参照してください。

(3) 初期化フロー

図 35.49 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

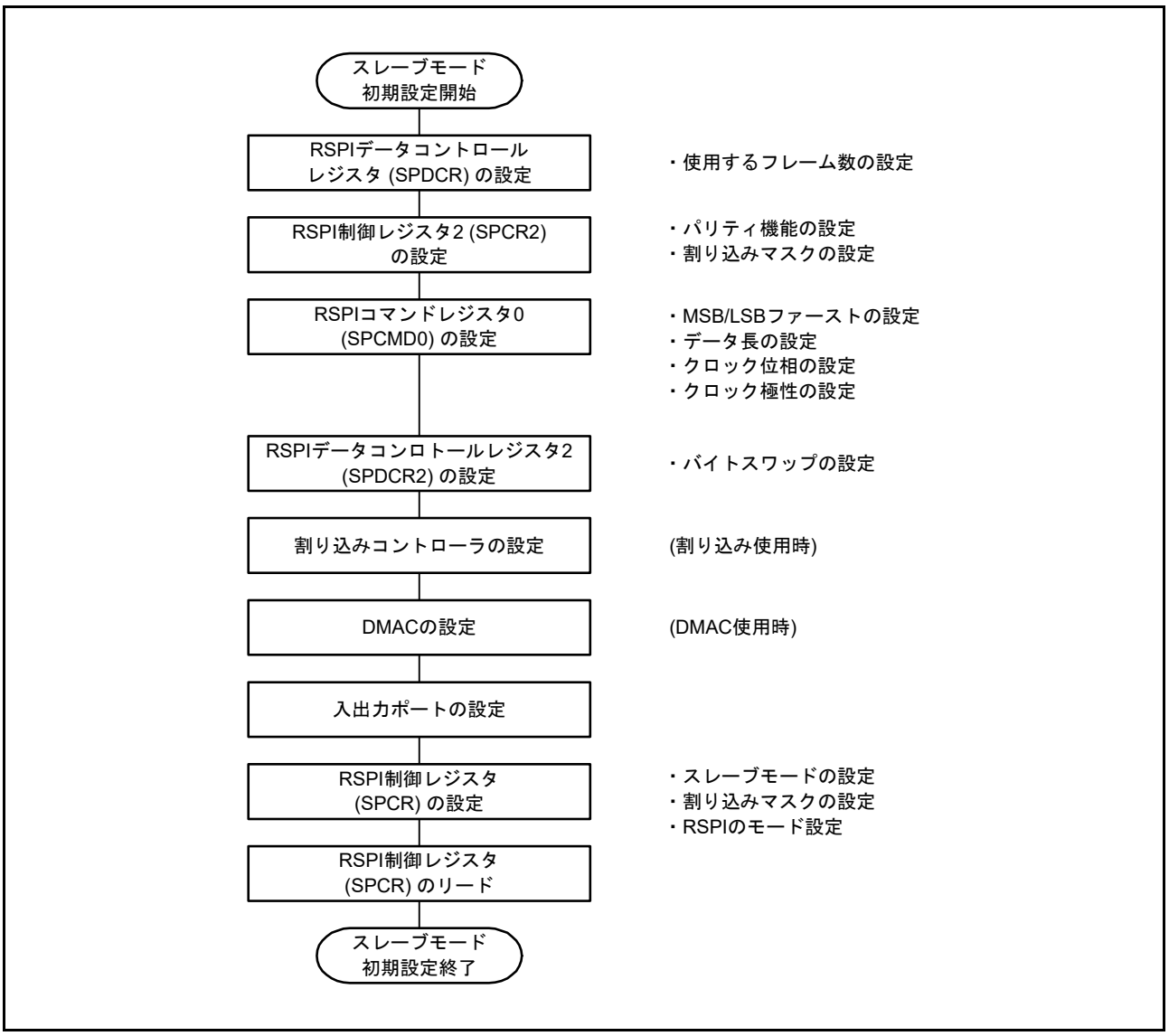


図 35.49　スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「35.3.11.2 (6)　ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

35.3.13 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに “1” を書くと、RSPI は SPCR.MSTR ビットが “1” ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが “1” ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 35.11 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 35.50 に、マスタモードの RSPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表35.11　SPLP2ビット、SPLPビットの設定と受信データ

SPPCR.SPLP2ビット	SPPCR.SPLPビット	受信データ
0	0	MOSIA端子またはMISOA端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

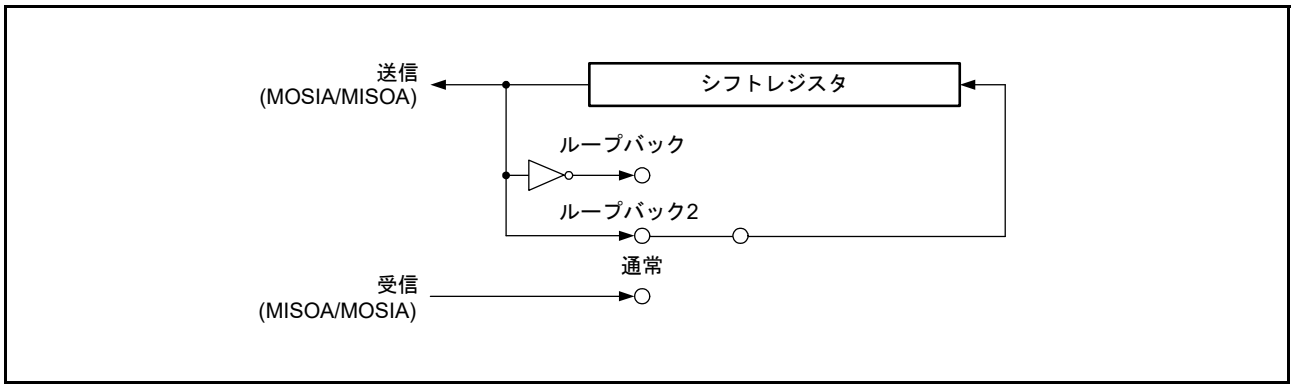


図 35.50　ループバックモード時のシフトレジスタ入出力構成 (マスタモード)

35.3.14 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 35.51 に示すのフローに従い、パリティ回路の自己診断を行います。

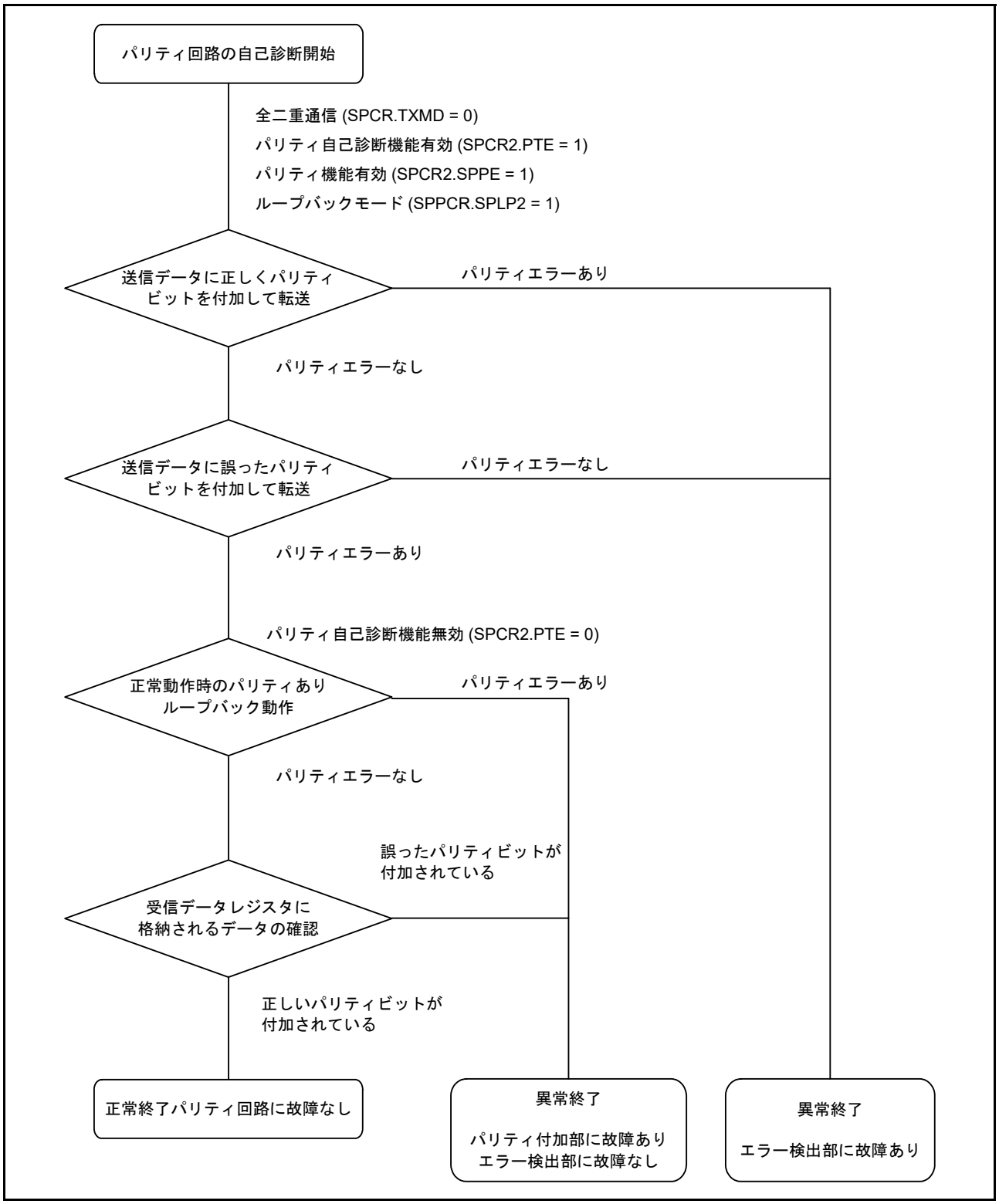


図 35.51　パリティ回路の自己判断フロー

35.3.15 割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、エラー (モードフォルト、アンダラン、オーバラン、パリティエラー)、アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

モードフォルト、アンダラン、オーバラン、パリティエラーの割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。**表 35.12** に RSPI の割り込み要因を示します。**表 35.12** の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSPI の設定を行ってください。DTC または DMAC の設定方法は「**17. DMA コントローラ (DMACAa)**」、「**18. データトランスファコントローラ (DTCa)**」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IR フラグが “1” のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。ICU.IRn.IR フラグが “0” になると、ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を “0” にすることでクリアが可能です。

表 35.12 RSPI の割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC 起動
受信バッファフル	SPRI	SPCR.SPRIE ビットが“1”の状態で受信バッファフル(SPRF フラグが“1”)になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが“1”の状態で送信バッファエンプティ(SPTEF フラグが“1”)になったとき	可能
エラー (モードフォルト、アンダラン、オーバラン、パリティエラー)	SPEI	SPCR.SPEIE ビットが“1”の状態で SPSR.MODF、UDRF、OVRF、または PERF フラグが“1”になったとき	不可能
アイドル	SPII	SPCR2.SPIIE ビットが“1”の状態で SPSR.IDLNF フラグが“0”になったとき	不可能

35.4 イベントリンク機能によるリンク動作

RSPI0 はイベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

35.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

35.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを “0” から “1” に変化させたときにイベントを出力します。

35.4.3 モードフォルト / アンダラン / オーバラン / パリティエラーイベント出力

(1) モードフォルト

表 35.13 にモードフォルトイベント出力の発生条件を示します。

表35.13 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLA0端子	備考
マスタ (SPCR.MSTRビットが“1”)	1	アクティブ	MSTRビットが“1”かつSPCR.MODFENビットが"1"のとき、SPCR.SPMSビットが“0”では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRnレジスタに“52h”を設定しないでください。
スレーブ (SPCR.MSTRビットが“0”)	1	非アクティブ	通信動作中にSSLA0端子が非アクティブになった場合のみイベント出力

(2) アンダラン

アンダランイベント出力の発生条件として、SPCR.MSTR ビットが “0”、かつ SPCR.SPE ビットが “1” で、送信バッファに送信データが書き込まれていないときにシリアル転送が開始されると、UDRF フラグと MODF フラグが “1” になり、イベントが出力されます。

(3) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが “0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが “1” となり、イベントを出力します。

(4) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが “0”、SPCR2 の SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

35.4.4 アイドルイベント出力

(1) マスタモード時

マスタモード時は、IDLNF フラグ (アイドルフラグ) が “0” になる条件が成立したときイベントを出力します。

(2) スレーブモード時

スレーブモード時は、SPCR.SPE ビットが “0” (RSPI 初期化) のとき、イベントを出力します。

35.4.5 送信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。スレーブモード時は表 35.14 に示す条件でイベントを出力します。

表35.14 送信完了イベント出力の発生条件(スレーブモード)

RSPIモード	送信バッファ状態	シフトレジスタ状態	その他
SPI動作(SPMS = 0)	エンプティ	エンプティ	SSLA0入力ネゲート
クロック同期式動作(SPMS = 1)	エンプティ	エンプティ	最終データのRSPCKA最終偶数エッジ検出

マスタモード / スレーブモードに関わらず、送信動作中に SPCR.SPE ビットに “0” を書いたとき、またはモードフォルトエラーが発生して SPCR.SPE ビットがクリアされたときはイベントを出力しません。

35.5 使用上の注意事項

35.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止 / 許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

35.5.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを “0” に設定し通信を終了させてください。

35.5.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが “1” で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが “1” のときは、動作許可 (SPCR.SPE ビットを “1” にする) 前に下記の手順で割り込み要求をクリアしてください。

(1) 通信が停止していること (SPCR.SPE ビットが “0” となっていること) を確認
(2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を “0” にする
(3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0” を確認
(4) ICU.IRn.IR フラグを “0” にする

35.5.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF、SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE、SPTIE ビットを “0” にしてください。

36. CRC 演算器 (CRCA)

CRC (Cyclic Redundancy Check) 演算器は、CRC コード生成を行います。

36.1 概要

表 36.1 に CRC 演算器の仕様を示します。図 36.1 に CRC 演算器のブロック図を示します。

表36.1 CRC演算器の仕様

項目	内容	
データサイズ	8ビット	32ビット
CRC演算対象データ(注1)	8nビットのデータに対してCRCコードを生成(n = 自然数)	32nビットのデータに対してCRCコードを生成(n = 自然数)
CRC演算処理方式	8ビット並列実行	32ビット並列実行
CRC生成多項式	3つの多項式から選択可能 • 8ビットCRC $X^8 + X^2 + X + 1$ • 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$	2つの多項式から選択可能 • 32ビット CRC $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への遷移が可能	

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位または32ビット単位で書いてください。

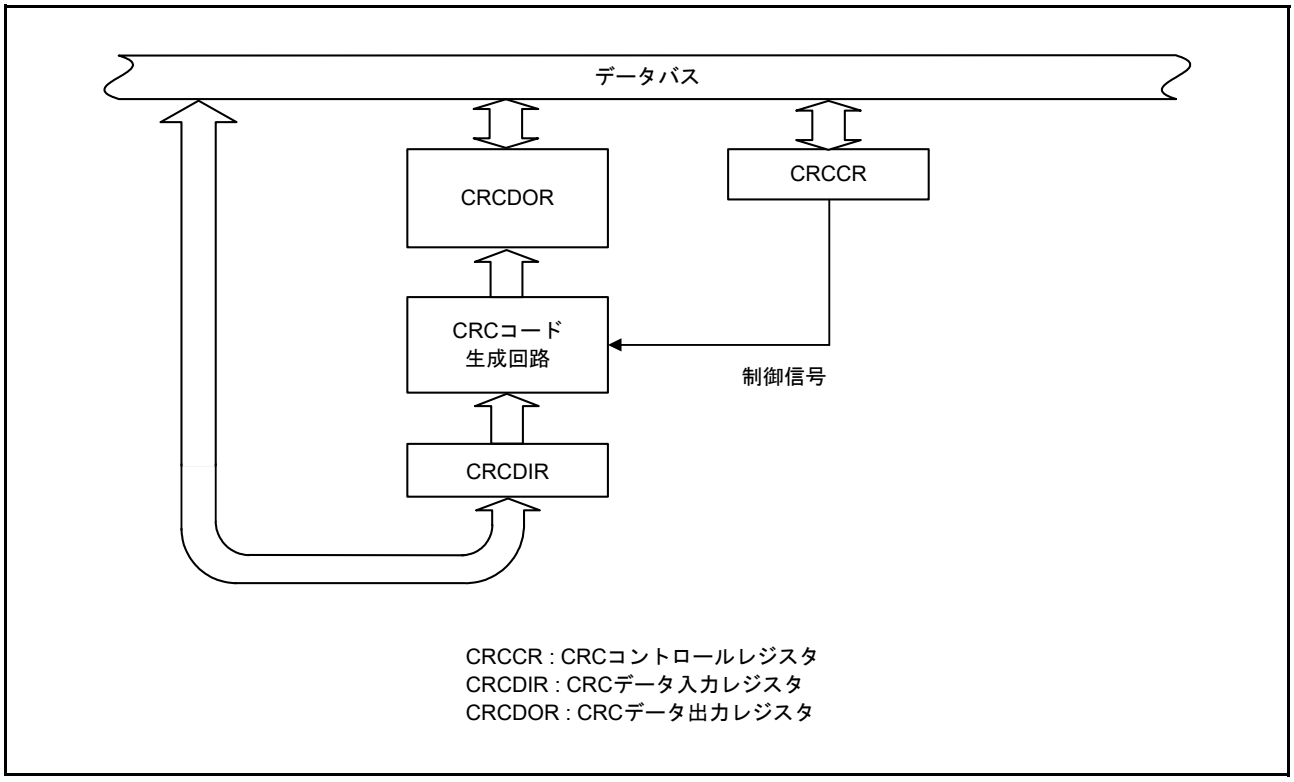


図 36.1 CRC 演算器のブロック図

36.2 レジスタの説明

36.2.1 CRC コントロールレジスタ (CRCCR)

アドレス CRC.CRCCR 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	LMS	—	—	—	GPS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC生成多項式切り替えビット	b2 b0 0 0 0：計算しません 0 0 1：8ビットCRC ($X^8 + X^2 + X + 1$) 0 1 0：16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1：16ビットCRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0：32ビットCRC ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1：32ビットCRC ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0：計算しません 1 1 1：計算しません	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LMS	CRC演算切り替えビット	0：LSBファースト通信用にCRCを生成 1：MSBファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1：CRCDORレジスタをクリア 読むと“0”が読めます	W (注1)

注1. “1”のみ書けます。

LMS ビット (CRC 演算切り替えビット)

生成した CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。

CRC コードの送信および受信については、「36.3 CRC 演算器の動作説明」を参照してください。

DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットに “1” を書くと、CRCDOR レジスタが “0000 0000h” になります。

読むと “0” が読めます。“0” を書いても何も起こりません。

36.2.2 CRC データ入力レジスタ (CRCDIR)

- 32 ビット CRC 生成時

アドレス CRC.CRCDIR 0008 8284h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- 16 ビット CRC、8 ビット CRC 生成時

アドレス CRC.CRCDIR 0008 8284h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDIR レジスタは、読み出し / 書き込み可能なレジスタです。CRC 演算の対象となるデータを書いてください。32 ビット CRC を生成する場合は、CRCDIR レジスタをロングワードアクセスしてください。
8 ビット CRC または 16 ビット CRC を生成する場合は、CRCDIR レジスタをバイトアクセスしてください。

36.2.3 CRC データ出力レジスタ (CRCDOR)

- 32 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- 16 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- 8 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDOR レジスタは、読み出し / 書き込み可能なレジスタです。

リセット後の値は “0000 0000h” ですので、初期値を “0000 0000h” 以外にして演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRCDIR レジスタに書き、その演算結果が “0000 0000h” の場合、誤りがないと判断できます。

32 ビット CRC を選択した場合は、CRCDOR レジスタをロングワードアクセスしてください。16 ビット CRC を選択した場合は、CRCDOR レジスタをワードアクセスしてください。8 ビット CRC を選択した場合は、CRCDOR レジスタをバイトアクセスしてください。

36.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト /MSB ファースト通信用 CRC コードを生成します。

16 ビットの CRC 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) の CRC コードを生成する例を以下に示します。この例では CRC 演算の初期値を “0000 0000h” にするために、DORCLR ビットを “1” にして CRC データ出力レジスタ (CRCDOR) の値をクリアしています。

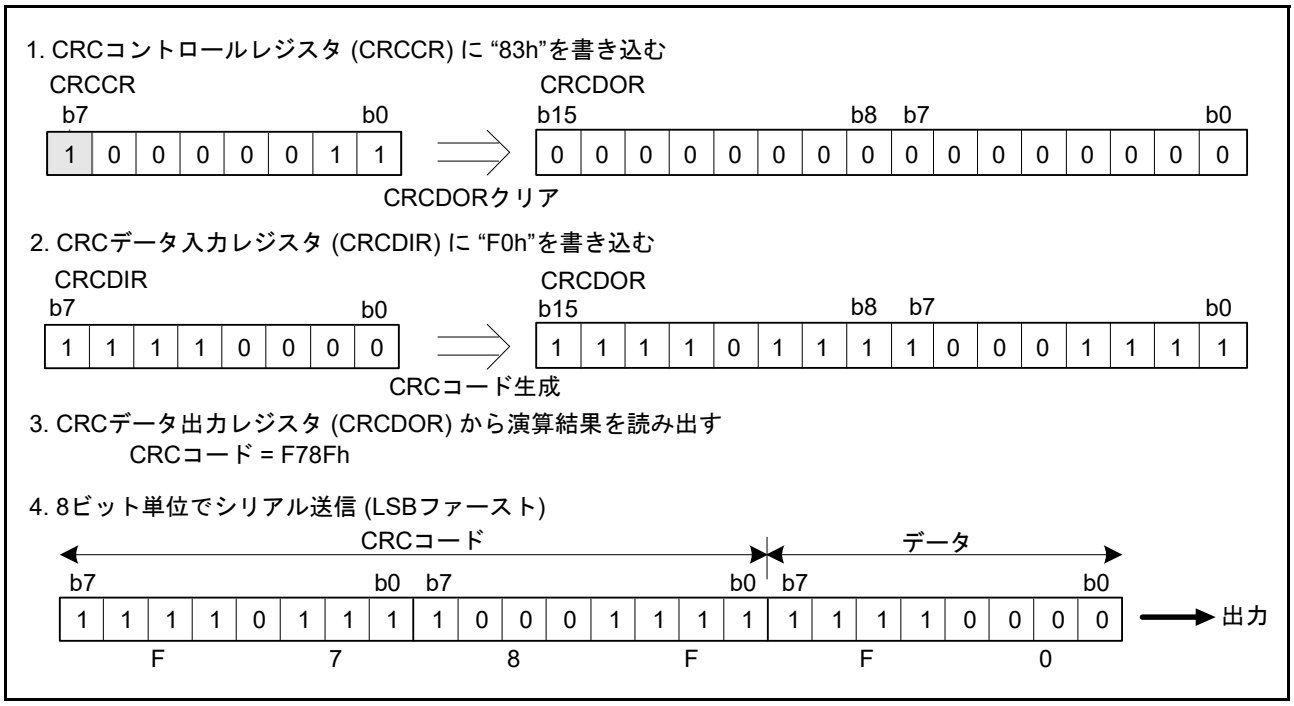


図 36.2 LSB ファーストでのデータ送信

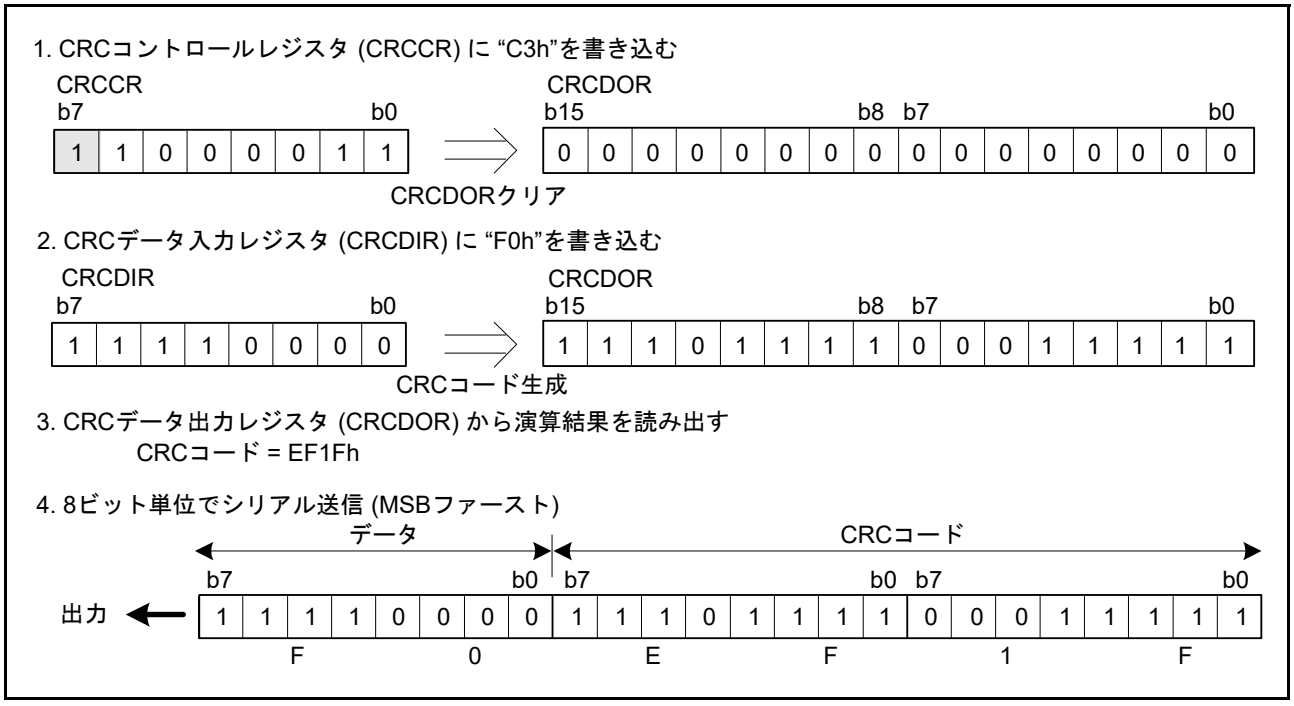


図 36.3 MSB ファーストでのデータ送信

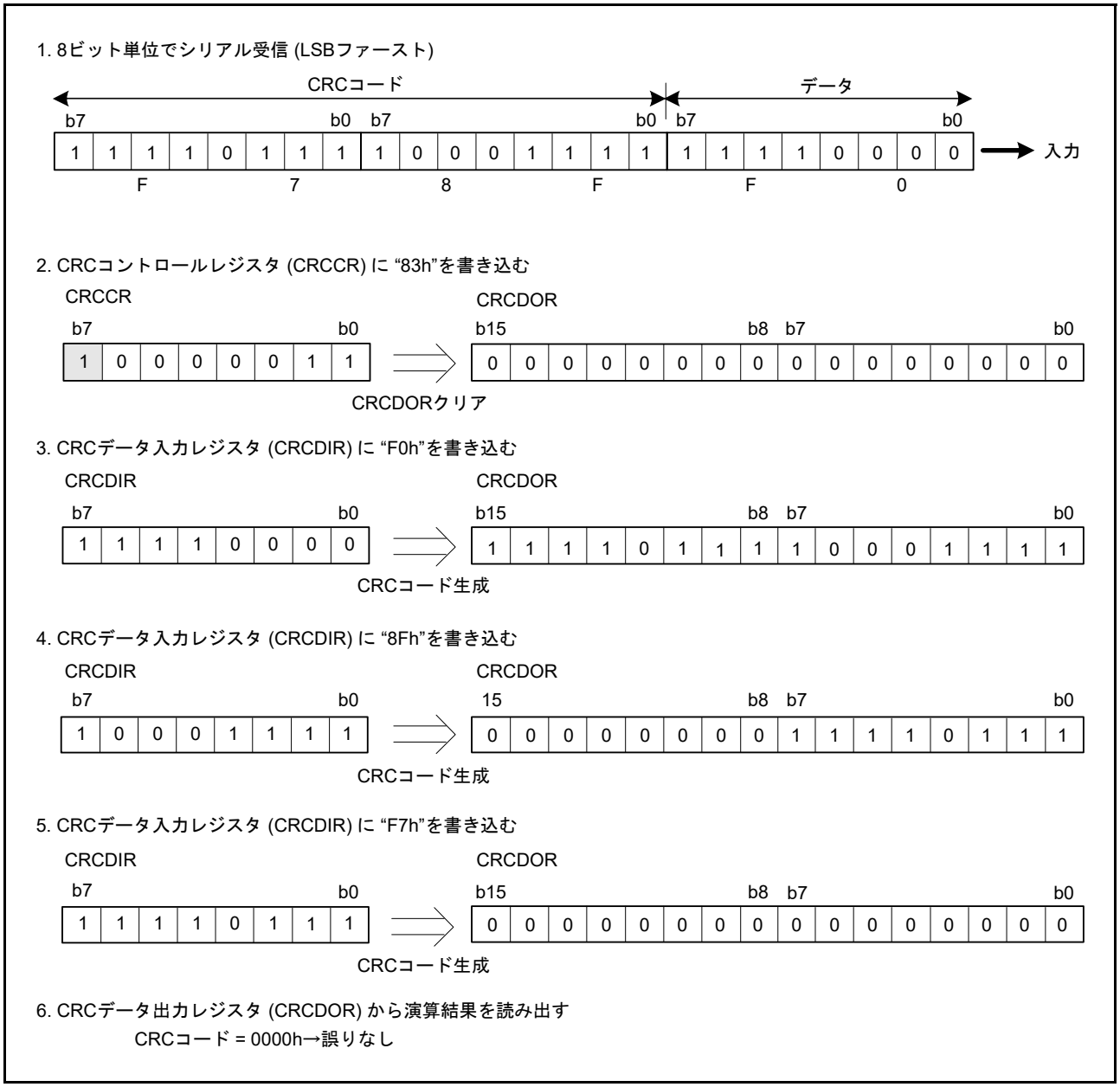


図 36.4 LSB ファーストでのデータ受信

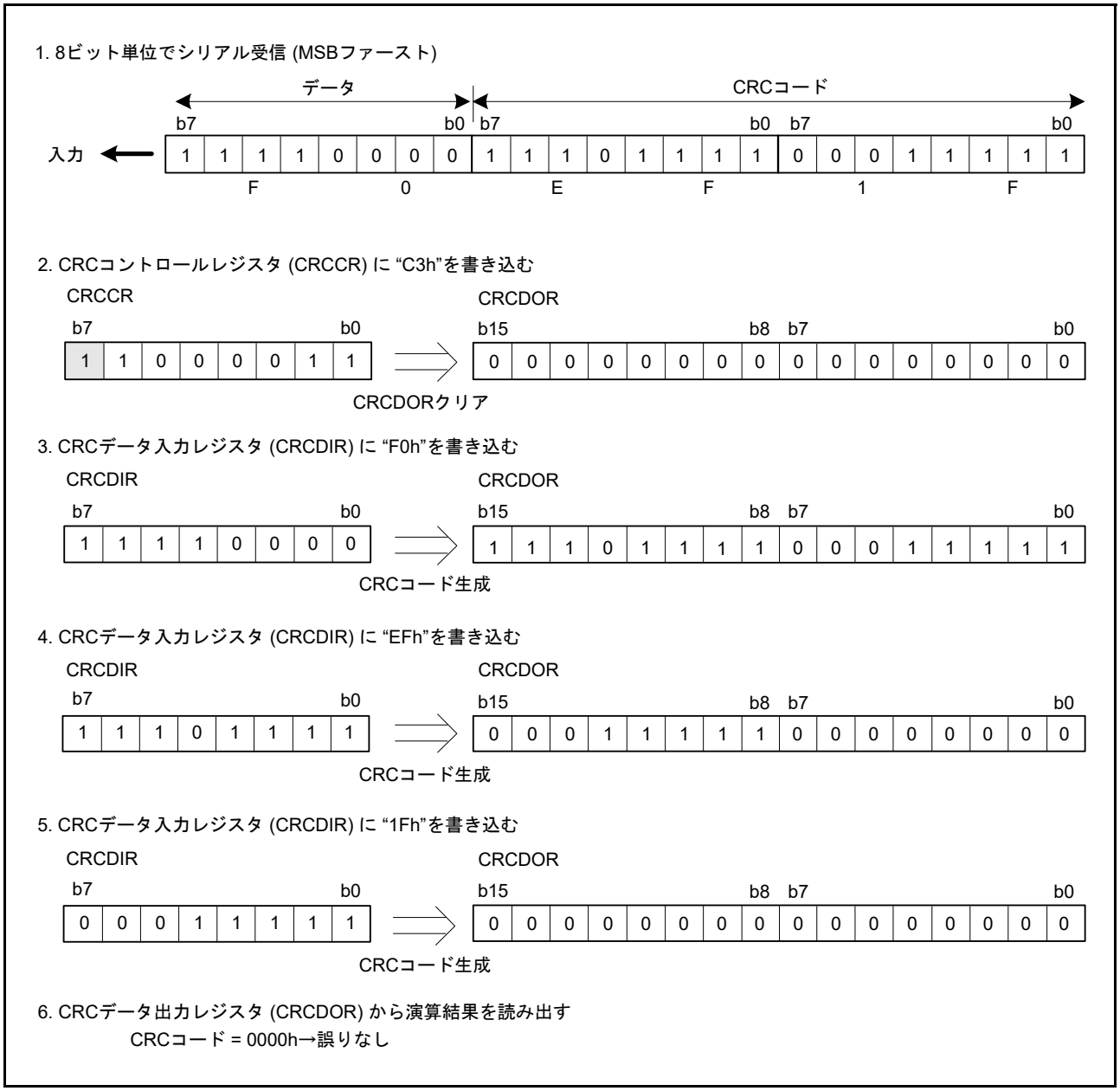


図 36.5 MSB ファーストでのデータ受信

36.4 使用上の注意事項

36.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止 / 許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

36.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

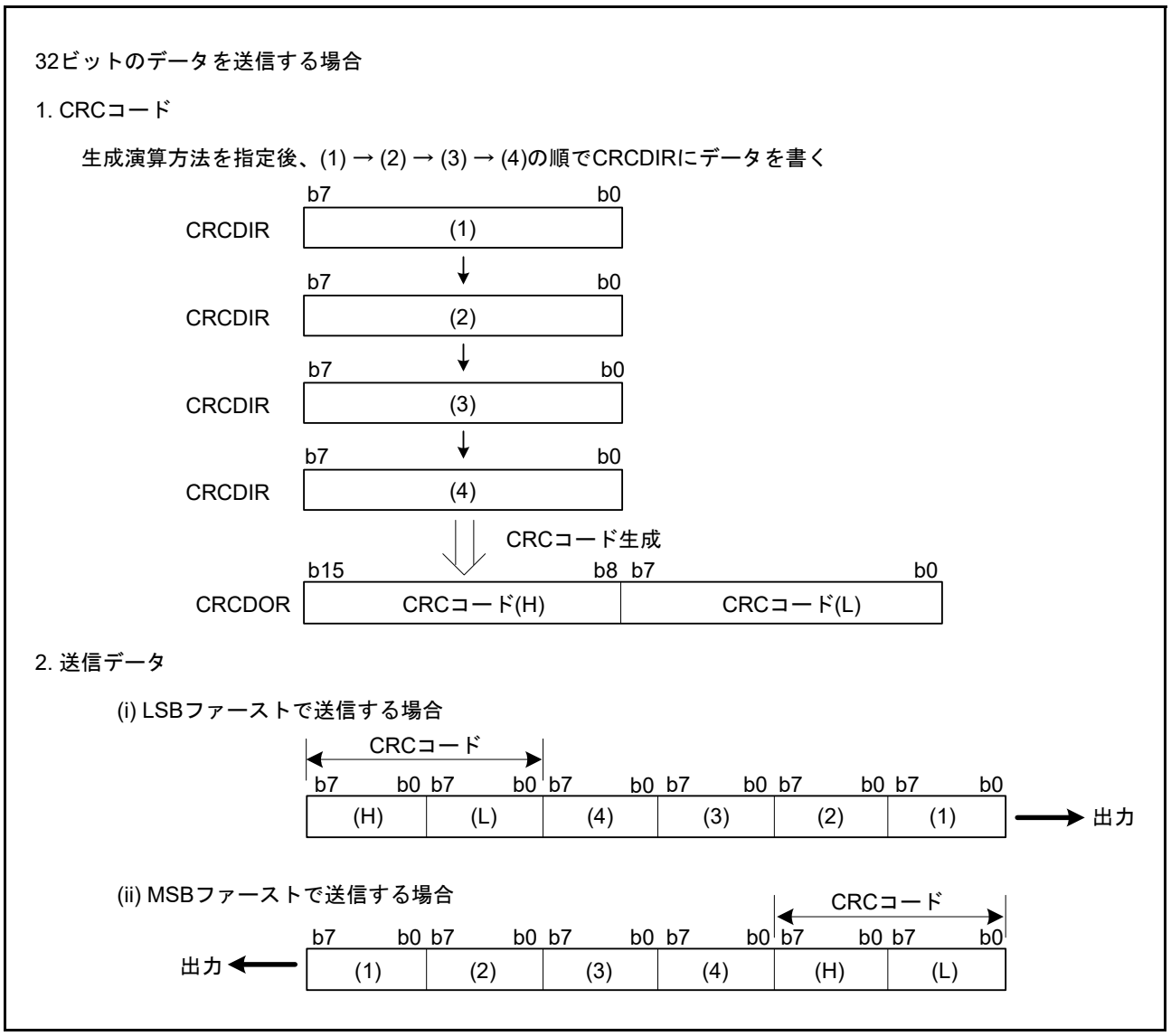


図 36.6 LSB ファーストと MSB ファーストの送信データ

37. 三角関数演算器 (TFUv1)

本 MCU は、三角関数演算器 (TFU) を搭載しています。

TFU を使用することにより、sinf 関数、cosf 関数、atan2f 関数、hypotf 関数が高速に演算できるようになります。C/C++ コンパイラでコンパイルオプションを指定することにより、TFU を使用する命令コードが生成されます。詳細はコンパイラのマニュアルを参照してください。

TFU の動作クロックは ICLK です。

37.1 概要

表 37.1 に TFU の仕様を示します。

表37.1　TFUの仕様

項目	内容				
演算処理	sin演算、cos演算、atan演算、hypot演算 • sin演算とcos演算は同時に演算できます。 • atan演算とhypot演算は同時に演算できます。				
値の範囲および単位	演算処理	入出力		範囲	単位
	sin演算	入力	角度θ	–float_max≦θ≦float_max (注1)	radian
		出力	sinθ	–1.0≦sinθ≦1.0	—
	cos演算	入力	角度θ	–float_max≦θ≦float_max (注1)	radian
		出力	cosθ	–1.0≦cosθ≦1.0	—
	atan演算	入力	x, y座標	–float_max≦x≦float_max (注1) –float_max≦y≦float_max (注1)	—
		出力	atan(y/x)	–π≦atan(y/x)≦π	radian
	hypot演算	入力	x, y座標	–float_max≦x≦float_max (注1) –float_max≦y≦float_max (注1)	—
		出力	$\sqrt{x^2+y^2}$	0≦$\sqrt{x^2+y^2}$≦∞	—
処理可能なデータタイプ	単精度浮動小数点数				
演算実行サイクル数	sin演算：14サイクル cos演算：14サイクル atan演算：14サイクル hypot演算：14サイクル+2サイクル(ソフトウェア処理)				

注1.　float_maxは単精度浮動小数点数で表現可能な最大値。$(2 - 2^{-23}) \times 2^{127}$。

38. Trusted Secure IP (TSIP-Lite)

本 MCU は、セキュリティ機能に対応した Trusted Secure IP Lite (TSIP-Lite) を内蔵しています。TSIP-Lite はアクセスマネジメント回路、暗号エンジン、乱数生成回路から構成されます。TSIP-Lite は、TSIP-Lite ライブラリを組み合わせることで、盗聴を防止する「秘匿性」、情報の偽造を防止する「完全性」、成りすましを防止する「認証」が実現できます。

また、暗号、復号の処理に用いる鍵情報は TSIP-Lite 内のみに格納し、外部からのアクセスを遮断することが可能なため、より強固なセキュリティシステムを実現することができます。

38.1 概要

表 38.1 に TSIP-Lite の仕様を示します。図 38.1 に TSIP-Lite のブロック図を示します。

表38.1 TSIP-Liteの仕様

項目	内容
アクセス制御	アクセスマネジメント回路 ● プログラムの改ざんや、CPUの暴走等によりTSIP-Liteへの異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、TSIP-Liteからのデータ出力を停止
暗号エンジン	AES：NIST FIPS PUB 197準拠 ● 鍵長：128ビット/256ビット ● データブロック長：128ビット ● 暗号利用モード ECB, CBC, CTR：NIST SP 800-38A準拠 CMAC：NIST SP 800-38B準拠 CCM：NIST SP 800-38C準拠 GCM：NIST SP 800-38D準拠 XTS：NIST SP 800-38E準拠 GCTR ● 実行サイクル数（注1） ECB, CBC, CTR, CMAC, GCTR, XTS： 鍵長 128ビット：PCLKB 44サイクル、256ビット：PCLKB 61サイクル CCM： 鍵長 128ビット：PCLKB 88サイクル AES-GCM ● AES-GCTRとGHASHの組み合わせでAES GCMを実現 鍵の管理 ● 鍵はTSIP-Liteの内部でのみ有効 ● TSIP-Liteの外部には鍵生成情報のみを出力 ● 鍵生成情報をTSIP-Liteに入力することで、鍵が再生成可能 エンディアン ● ビッグエンディアン、リトルエンディアンに対応
乱数生成	32ビット真性乱数生成回路 ● 32ビット真性乱数を用いてTSIP-Liteライブラリにより128ビット、256ビットの真性乱数を生成可能 ● 生成した128ビット、256ビットの真性乱数を暗号、復号の鍵として使用可能
鍵の不正コピー防止	● MCU個体固有のID (ユニークID)をアクセスマネジメント回路から専用バス経由でアクセス可能 ● ユニークIDを鍵生成情報に組み込むことで、本MCUグループの別の個体への不正コピーを防止可能
スーパバイザモード	● スーパバイザモード信号をアクセスマネジメント回路に接続しており、TSIP-Liteの制御をスーパバイザモード時に限定することが可能
割り込み要因	3種類 DMAC/DTCによるデータ転送が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. TSIP-Liteライブラリ呼び出しのオーバヘッドは含みません。

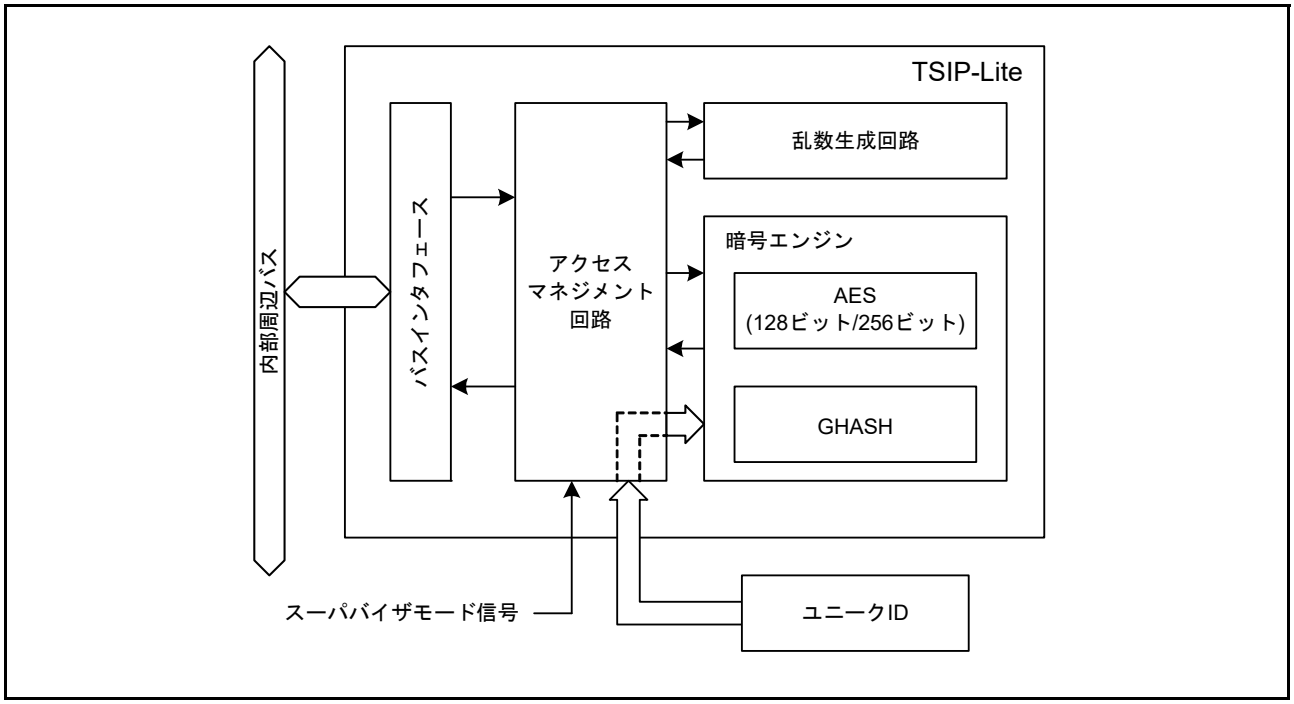


図 38.1 TSIP-Lite のブロック図

38.2 動作説明

38.2.1 動作モードと状態遷移

図 38.2 に TSIP-Lite の状態遷移図を示します。

TSIP-Lite のセキュリティ機能を使用する場合は、ルネサス エレクトロニクスが提供する TSIP-Lite ライブラリを用いて、図に示す状態遷移に従って実行する必要があります。

また、プログラムの改ざんや CPU の暴走等により、手順を違反して TSIP-Lite への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、TSIP-Lite からのデータ出力を停止します。

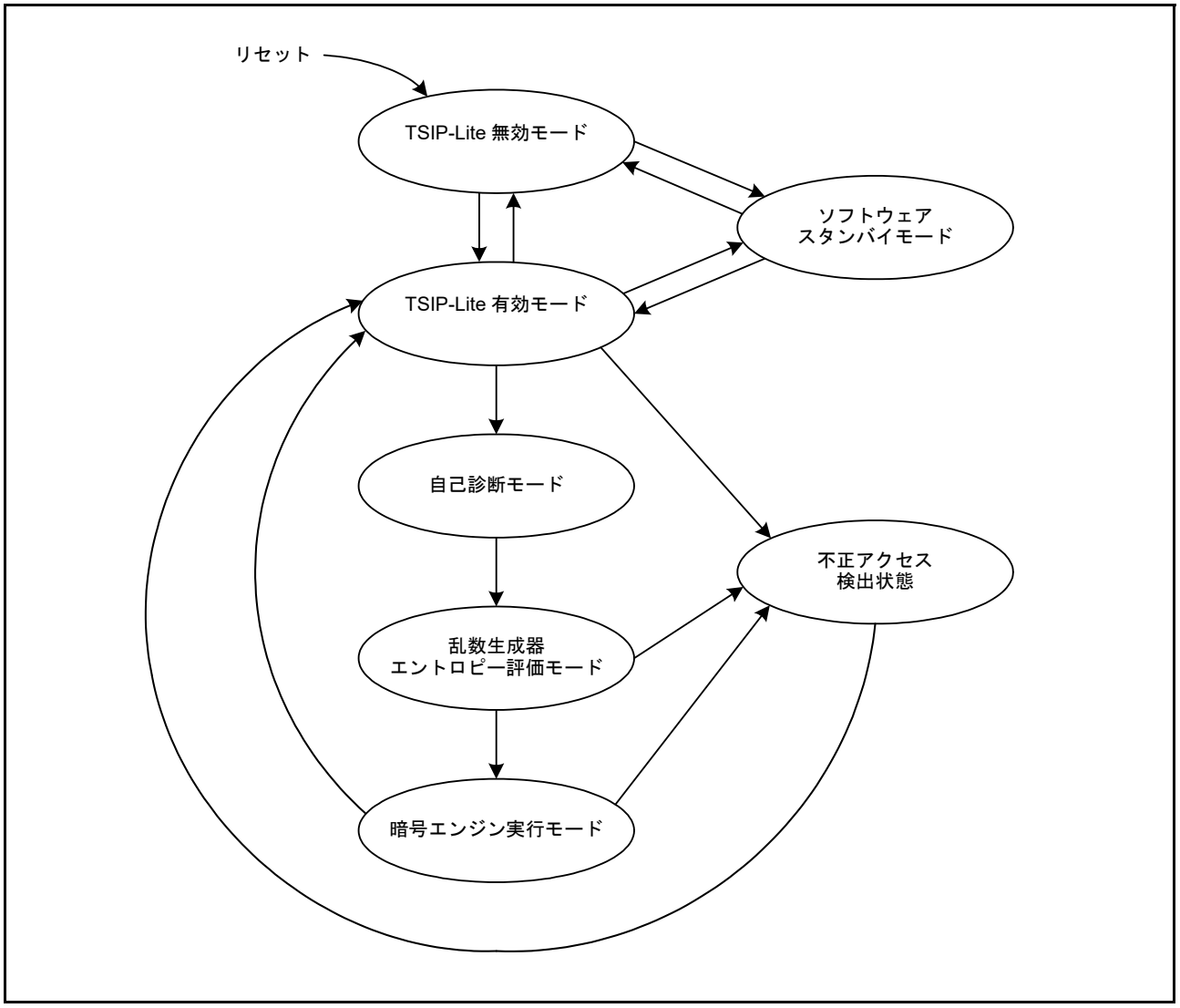


図 38.2 TSIP-Lite の動作モード状態遷移図

TSIP-Lite が提供するセキュリティ機能の多くは、暗号エンジン実行モードで実行します。暗号エンジン実行モードでは、次の処理を行うことができます。

(1) 鍵データインストール
(2) 暗号 / 復号処理
(3) 鍵生成
(4) 乱数生成

38.2.2 暗号エンジン

TSIP-Lite に搭載している暗号エンジンの概念図を**図 38.3** に示します。

暗号エンジンは鍵生成情報を使用し、平文を暗号文に、または暗号文を平文に変換する処理をハードウェアで行います。

鍵データや暗号 / 復号処理の中間データが TSIP-Lite の外部に出力されることなく、暗号 / 復号処理を行うことができます。

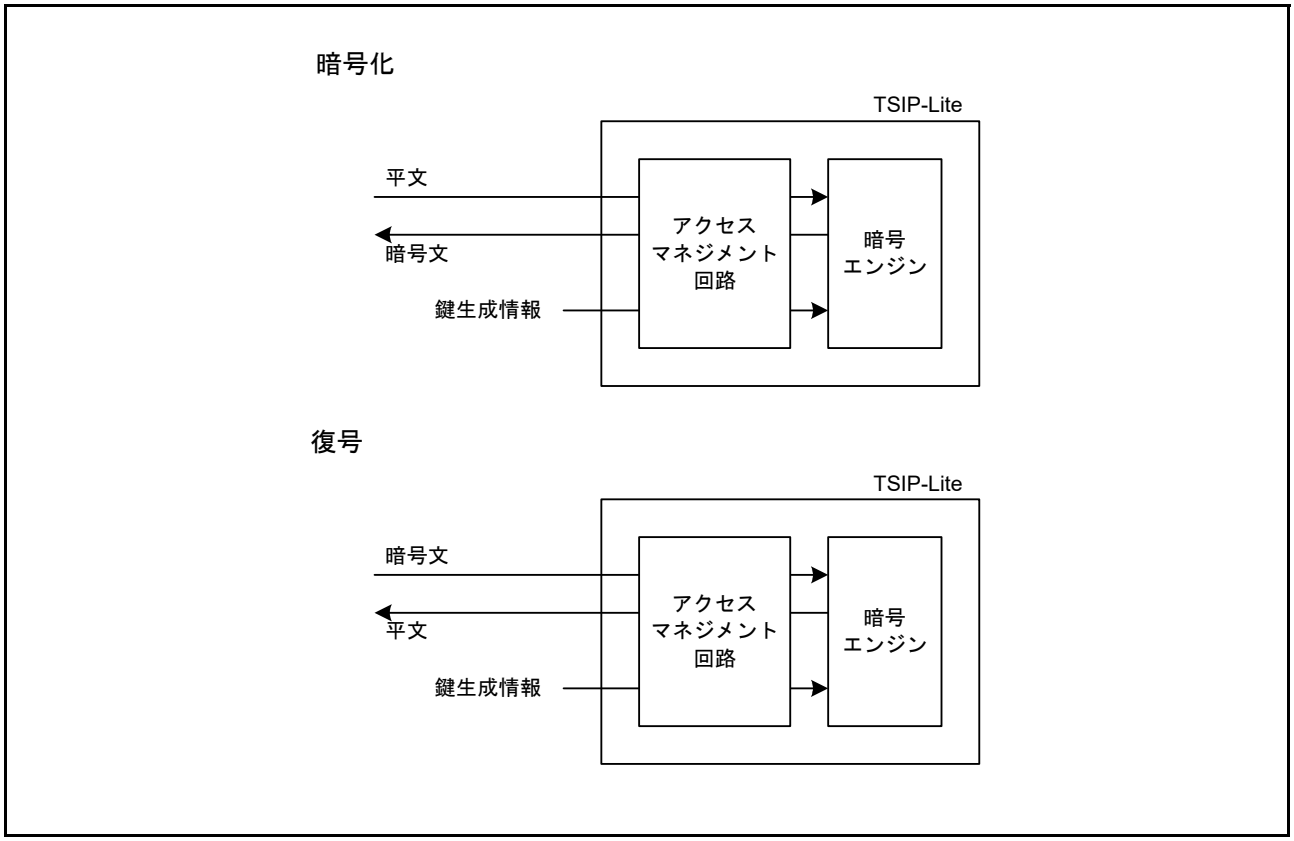


図 38.3 暗号エンジン概念図

38.2.3 鍵データインストール

鍵データのインストールは、ユーザ鍵を安全に鍵生成情報に変換してフラッシュメモリに格納する処理です。以下に鍵データのインストール手順について説明します。

(1) ユーザは、ユーザ鍵 (Key-1) を、ユーザ鍵を暗号化するための鍵 (Key-2) で暗号化します (eKey-1)。
(2) ユーザはシリアルインタフェースを用いて TSIP-Lite に暗号化したユーザ鍵 (eKey-1) を送ります。
(3) TSIP-Lite ライブラリで提供される Key-2 の鍵生成情報 (Index-2) から Key-2 を復元し、この鍵を用いてユーザ鍵を復号します。
(4) ユーザ鍵をユニーク ID および乱数を用いてユーザ鍵生成情報 (Index-1) に変換し、フラッシュメモリに格納します。

これらのインストール手順の概念図を**図 38.4** に、フローを**図 38.5** に示します。
鍵データをインストールした後は、ユーザ鍵生成情報 (Index-1) を使用して暗号 / 復号処理を行います。

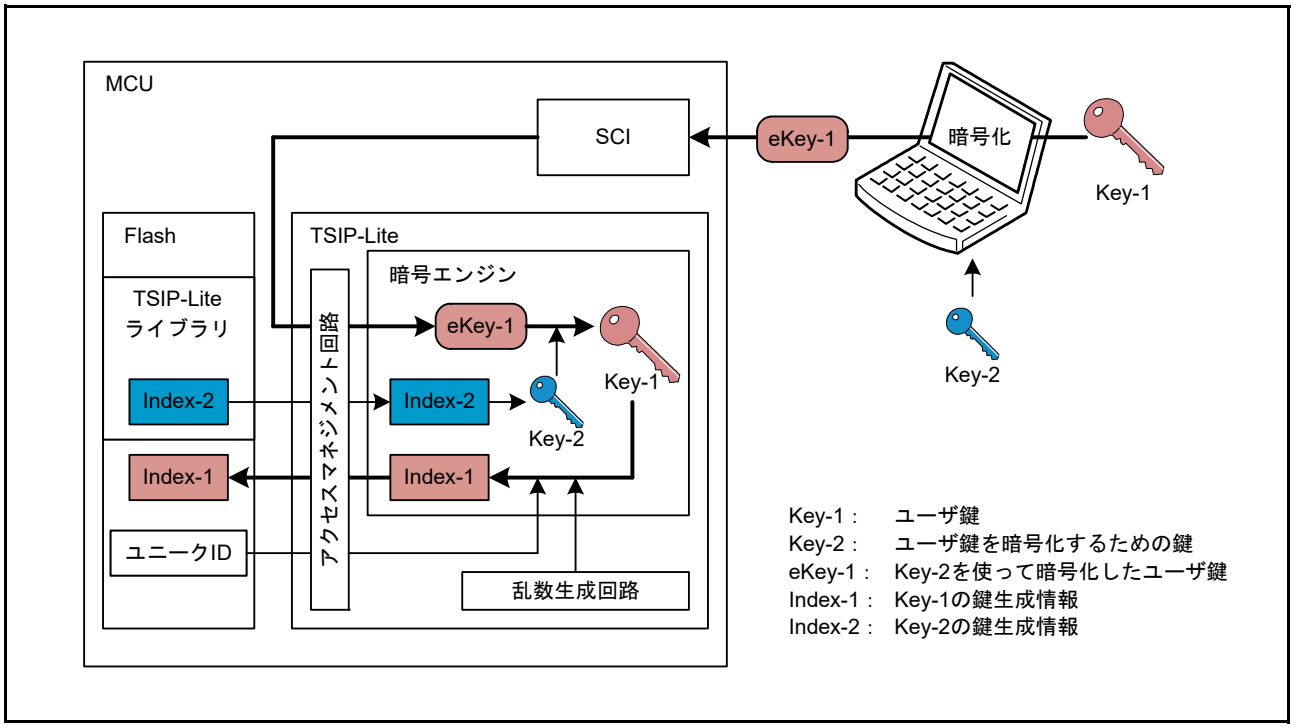


図 38.4 鍵インストール概念図

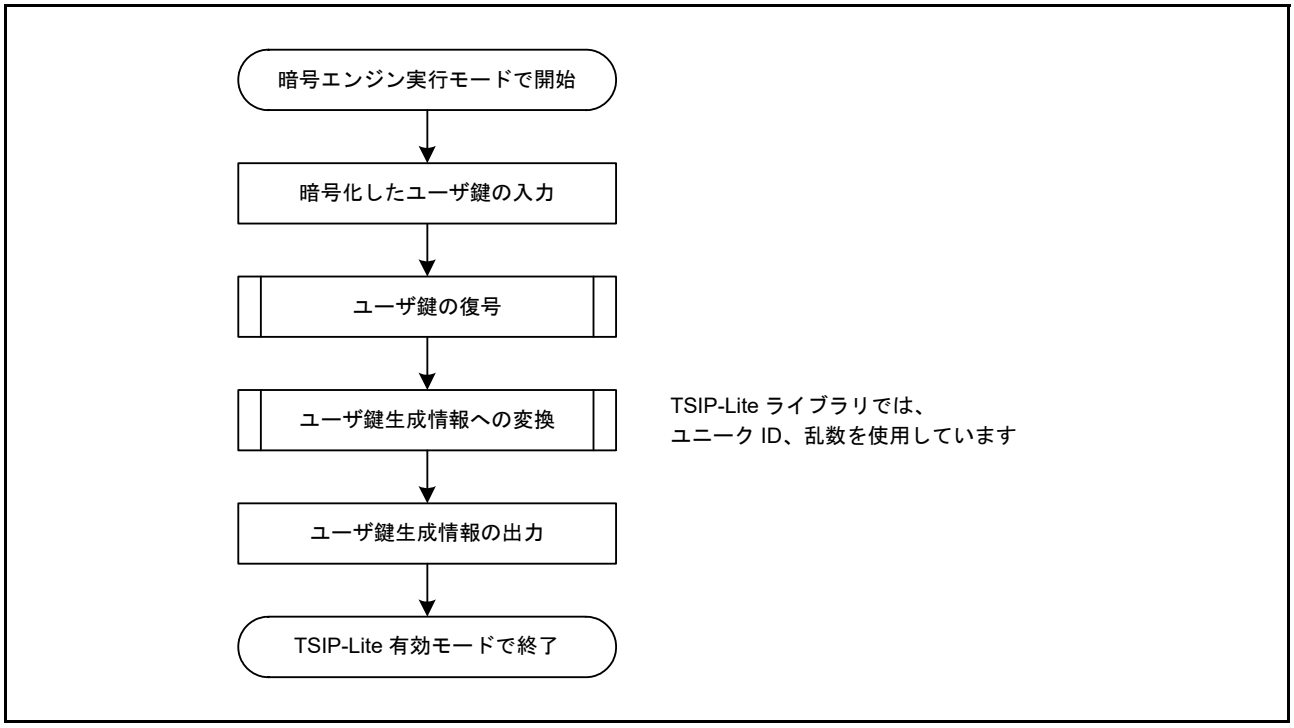


図 38.5 鍵インストールフロー

38.2.4 暗号 / 復号処理

暗号 / 復号処理は、以下の手順で行います。

(1) 鍵生成情報を TSIP-Lite に入力し、鍵データを復元します。

(2) 処理対象のデータを TSIP-Lite に入力します。平文は暗号文に、暗号文は平文に変換されます。

(3) 変換されたデータを読み出します。

暗号エンジンは入力バッファ、出力バッファを持っており、データの入出力と並行して暗号 / 復号処理を行うことができます。

図 38.6 に暗号 / 復号処理タイミング図を、図 38.7 に暗号化フロー、図 38.8 に復号フローを示します。

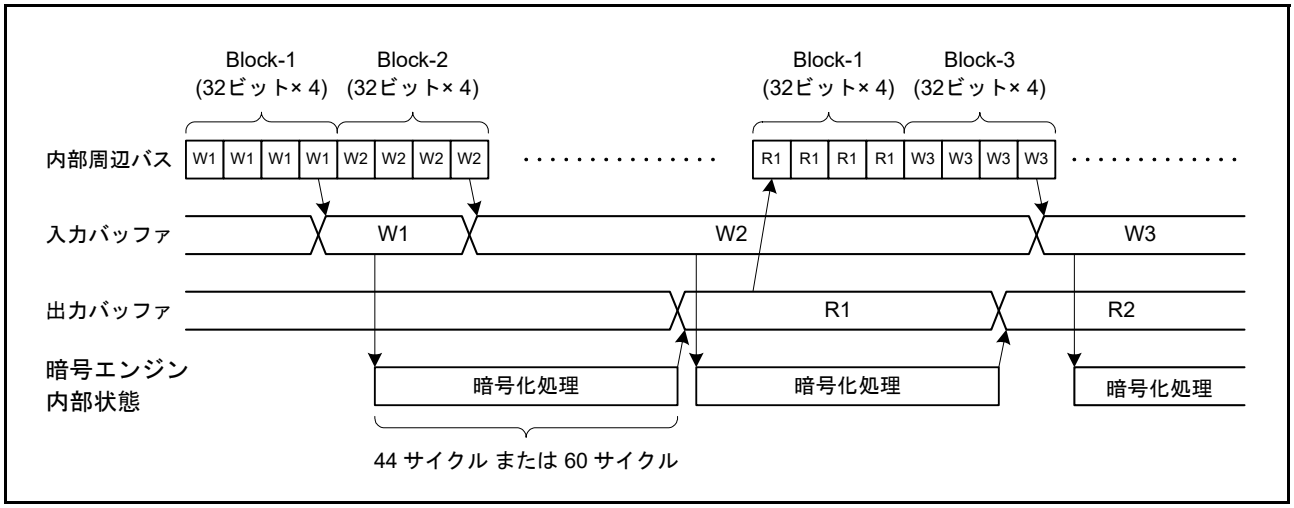


図 38.6 暗号 / 復号処理タイミング図

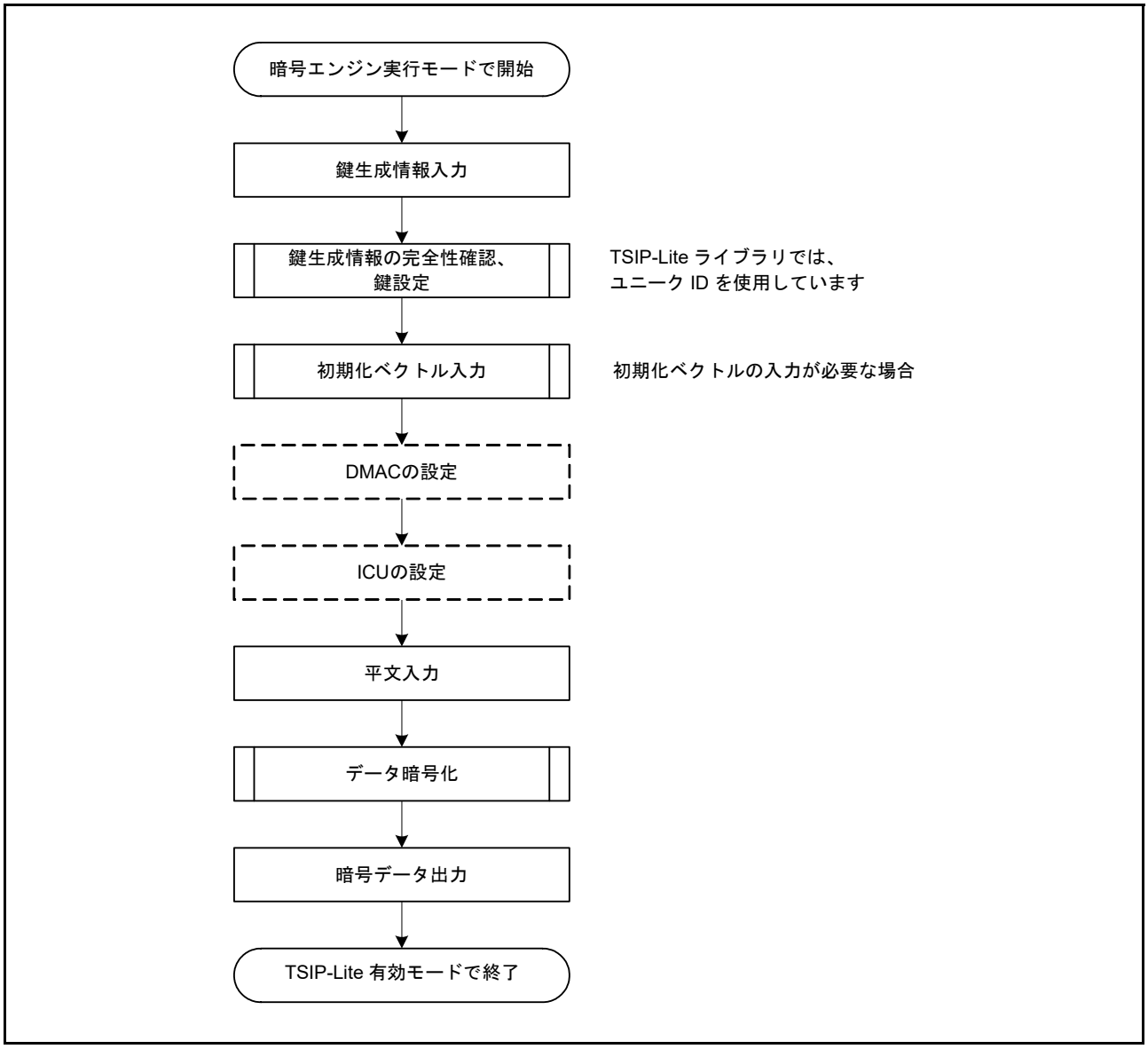

暗号エンジン実行モードで開始
鍵生成情報入力
鍵生成情報の完全性確認、
鍵設定
TSIP-Lite ライブラリでは、
ユニーク ID を使用しています
初期化ベクトル入力
初期化ベクトルの入力が必要な場合
DMACの設定
ICUの設定
平文入力
データ暗号化
暗号データ出力
TSIP-Lite 有効モードで終了

図 38.7　暗号化フロー

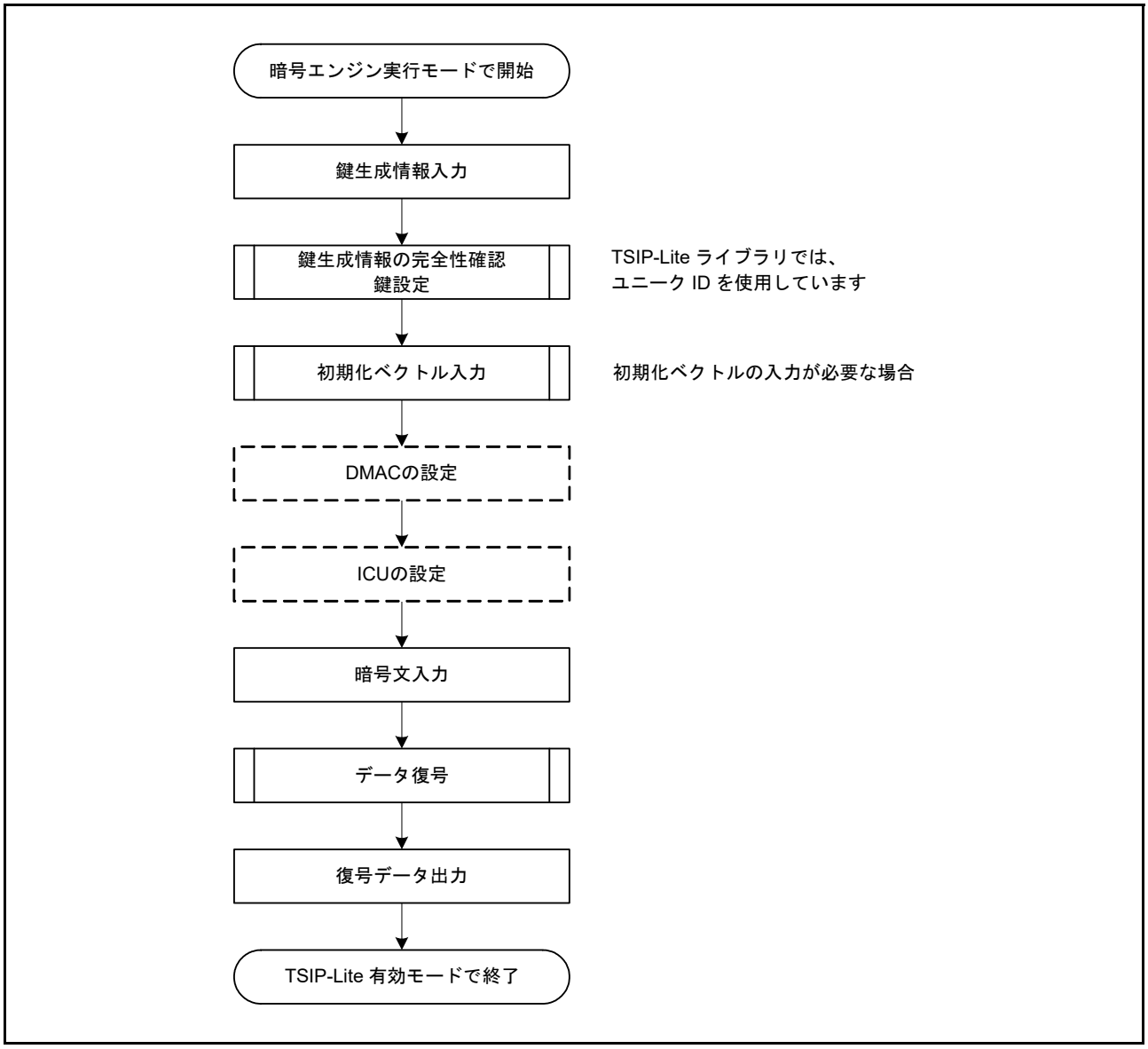

暗号エンジン実行モードで開始
鍵生成情報入力
鍵生成情報の完全性確認
鍵設定
TSIP-Lite ライブラリでは、
ユニーク ID を使用しています
初期化ベクトル入力
初期化ベクトルの入力が必要な場合
DMACの設定
ICUの設定
暗号文入力
データ復号
復号データ出力
TSIP-Lite 有効モードで終了

図 38.8 復号フロー

38.2.5 鍵生成情報作成 (乱数使用)

図 38.9 に乱数使用時の鍵生成情報作成フローを示します。

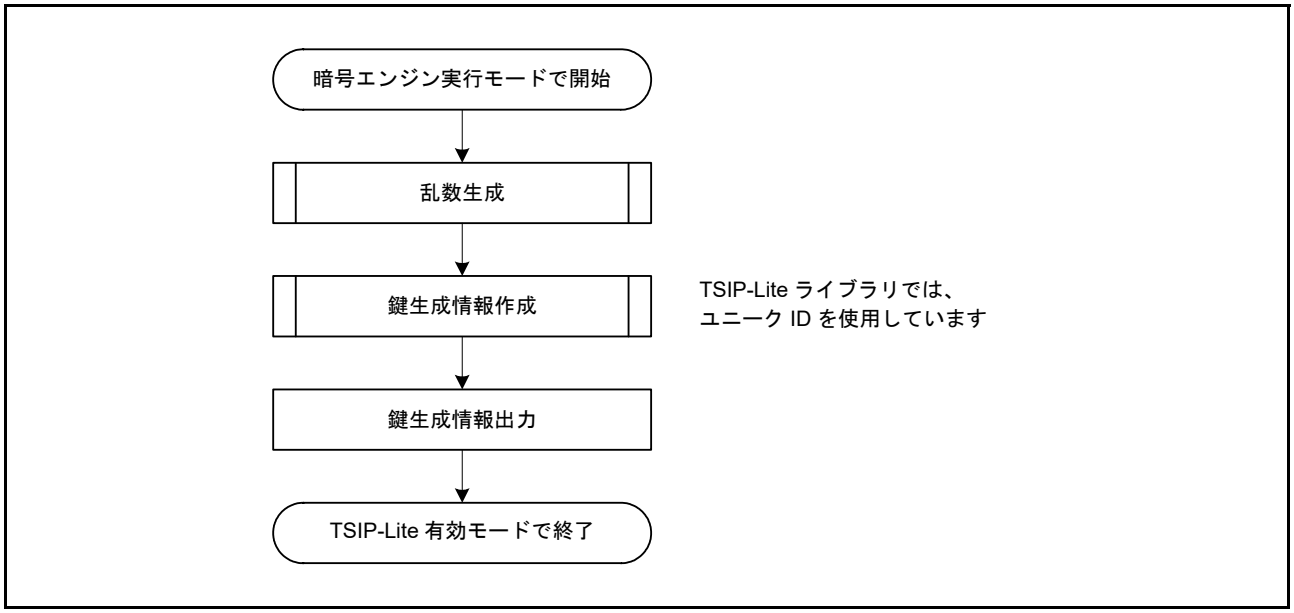


図 38.9 鍵生成情報作成フロー (乱数使用)

38.2.6 乱数生成

図 38.10 に乱数生成のフローを示します。

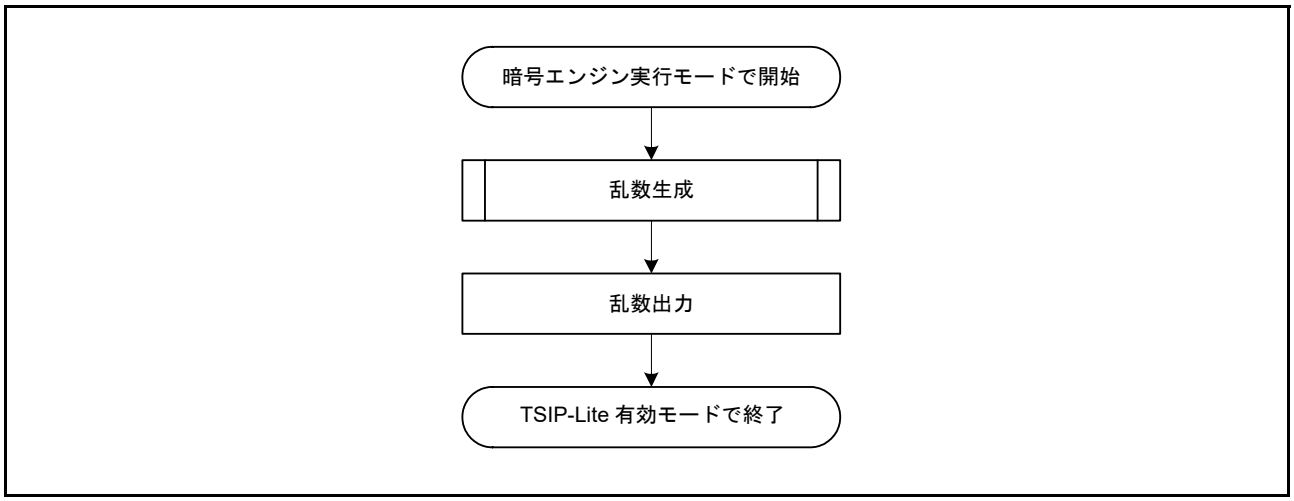


図 38.10 乱数生成フロー

38.3 割り込み

表 38.2 に TSIP-Lite の割り込み要因の一覧を示します。

TSIP-Lite ライブラリではこれらの割り込みを使用して処理を行っています。これらの割り込み要因に対応する ICU.IERm.IENj ビットを “0” にしないでください。

表38.2 TSIP-Liteの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
RD	データ出力レディ	可能	可能
WR	データ入力レディ	可能	可能
Error	不正アクセス検出	不可能	不可能

38.4 使用上の注意事項

38.4.1 スタンバイモード

暗号エンジンが処理を実行している途中にスタンバイモードに遷移した場合、復帰後に処理を継続しても正しく動作しません。TSIP-Lite 無効モードまたは TSIP-Lite 有効モードに遷移した後にスタンバイモードに移行して下さい。

38.4.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、TSIP-Lite の動作を禁止 / 許可することができます。リセット後は、TSIP-Lite の動作は停止しています。モジュールストップ状態を解除することにより、TSIP-Lite にアクセスできます。詳細は「11. **消費電力低減機能**」を参照して下さい。

38.4.3 TSIP-Lite ライブラリ

TSIP-Lite を使用する際は、ルネサス エレクトロニクスから提供する TSIP-Lite ライブラリが必要になります。TSIP-Lite ライブラリに関する情報は、弊社営業窓口にお問い合わせください。

39. 12 ビット A/D コンバータ (S12ADH)

39.1 概要

本 MCU は、逐次比較方式の 12 ビットの A/D コンバータを 3 ユニット (S12AD, S12AD1, S12AD2) 内蔵しています。

12 ビット A/D コンバータは、選択したチャネルのアナログ入力、温度センサ出力または内部基準電圧を逐次比較方式で 12 ビットのデジタル値に変換します。動作モードには、任意に選択したアナログ入力を任意のチャネル番号順に変換するシングルスキャンモード、任意に選択したアナログ入力を任意のチャネル番号順に連続して変換する連続スキャンモード、任意に選択したアナログ入力を 2 つ (グループ A、グループ B) または 3 つのグループ (グループ A、グループ B、グループ C) に分け、グループ単位で選択したチャネルのアナログ入力を任意のチャネル番号順に変換するグループスキャンモードの 3 種類あります。

グループスキャンモードは、2 つのグループ (グループ A、B) か、3 つのグループ (グループ A、B、C) のどちらか一方を選択します。各グループ (A, B, C) のスキャン開始条件 (同期トリガ) を個別に選択し、各グループ (A, B, C) のスキャンを異なるタイミングで開始することができます。

グループスキャンモードのグループ優先動作は、前述の動作に加え、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。グループ優先動作の優先順位は、グループ A > グループ B > グループ C の順となります。グループ優先動作では、グループ C のスキャン中にグループ B のスキャン開始を受け付けるとグループ C のスキャンを中断しグループ B のスキャンを開始する、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始する、同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けるとグループ B のスキャンを中断し、グループ A のスキャンを開始する動作となります。

また中断したグループのスキャンを優先グループのスキャン終了後に再開することもできます。

ダブルトリガモードは、任意に選択した 1 チャネルのアナログ入力をシングルスキャンモードかグループスキャンモード (グループ A) で変換し、1 回目の同期トリガで変換したデータと 2 回目の同期トリガで変換したデータを別々のレジスタに格納 (A/D 変換データの二重化) します。

自己診断は、スキャンごとの最初に 1 回実施され、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

シングルスキャンモードとグループスキャンモードで温度センサ出力または内部基準電圧の選択が可能です。温度センサ出力と内部基準電圧を選択した場合は、温度センサ出力、内部基準電圧の順で A/D 変換を行います。連続スキャンモードでは温度センサ出力または内部基準電圧を選択できません。

コンペア機能 (ウィンドウ A、ウィンドウ B) を有しています。また、A/D 変換値と Low 側基準値を比較するコンパレータ動作も可能です。

表 39.1 に 12 ビット A/D コンバータの仕様を、**表 39.2** に 12 ビット A/D コンバータの機能概要を示します。**図 39.1** ～**図 39.5** に 12 ビット A/D コンバータのブロック図を示します。

表39.1　12ビットA/Dコンバータの仕様 (1 / 2)

項目	内容
ユニット数	3ユニット(S12AD, S12AD1, S12AD2)
入力チャネル	S12AD：8チャネル、S12AD1：8チャネル、S12AD2：14チャネル
拡張アナログ機能	温度センサ出力、内部基準電圧(S12AD2のみ)
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャネルあたり0.9 μs (A/D変換クロック　ADCLK = 60 MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLKB(注1)とA/D変換クロックADCLK(注1)を以下の周波数比で設定可能 PCLKB：ADCLK周波数比= 1：1、2：1、4：1、1：2 ADCLKの設定はクロック発生回路で行います。 A/D変換クロックADCLKは最高60 MHz、最低8 MHzまで動作可能
データレジスタ	• アナログ入力用1本/チャネル、ダブルトリガモードでのA/D変換データ二重化用1本/ユニット、ダブルトリガモード拡張動作時のA/D変換データ二重化用2本/ユニット • 温度センサ用1本(S12AD2) • 内部基準電圧用1本(S12AD2) • 自己診断用1本/ユニット • A/D変換結果を12ビットA/Dデータレジスタに保持 • 加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビット/4ビット(注2)でA/Dデータレジスタに保持 • ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャネルのアナログ入力のA/D変換データを1回目は対象チャネルのデータレジスタに保持、2回目のA/D変換データは二重化レジスタに保持 • ダブルトリガモード拡張動作(特定トリガ種別で有効) 選択した1つのチャネルのアナログ入力のA/D変換データをトリガ種別毎に準備した二重化レジスタに保持
動作モード	動作モードは各ユニット個別に設定可能です。 • シングルスキャンモード： 任意に選択したチャネルのアナログ入力を1回のみA/D変換 温度センサ出力を1回のみA/D変換(S12AD2) 内部基準電圧を1回のみA/D変換(S12AD2) • 連続スキャンモード： 任意に選択したチャネルのアナログ入力を繰り返しA/D変換 • グループスキャンモード： 使用するグループの数は2つ(グループA、B)と3つ(グループA、B、C)が選択可能 (グループの数が2つの場合、グループA、グループBの組み合わせのみ選択可能) 任意に選択したチャネルのアナログ入力、温度センサ出力(S12AD2)、内部基準電圧(S12AD2)をグループAとグループBまたはグループA、B、Cに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBとグループCは、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 • グループスキャンモード(グループ優先制御選択時) 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループA(高)>グループB>グループC(低)。優先グループのスキャン終了後、低優先グループのスキャンを再実行(再スキャン)する/しないを設定可能。また再スキャンは、選択チャネルの最初からか、A/D変換未終了のチャネルからかを設定可能
A/D変換開始条件	• ソフトウェアトリガ • 同期トリガ マルチファンクションタイマパルスユニット(MTU)、8ビットタイマ(TMR)、イベントリンクコントローラ(ELC)からのトリガ • 非同期トリガ 外部トリガADTRG0# (S12AD)、ADTRG1# (S12AD1)、ADTRG2# (S12AD2)端子によるA/D変換動作の開始が可能(各ユニット個別)

表39.1　12ビットA/Dコンバータの仕様 (2 / 2)

項目	内容
機能	• チャネル専用サンプル＆ホールド機能(S12ADとS12AD1にそれぞれ3チャネル)(常時サンプリング設定可能) • サンプリング時間可変機能(チャネルごとに設定可能) • 12ビットA/Dコンバータの自己診断機能 • A/D変換値加算モードと平均モードが選択可能 • アナログ入力断線検出アシスト機能(ディスチャージ機能/プリチャージ機能) • ダブルトリガモード(A/D変換データ二重化機能) • A/Dデータレジスタオートクリア機能 • コンペア機能(ウィンドウA、ウィンドウB) • 各ユニットでのチャネル変換順序を設定可能 • プログラマブルゲインアンプによる入力信号増幅機能 (S12ADとS12AD1にそれぞれ3チャネル、シングルエンド入力または疑似差動入力(注3)を選択可能)
割り込み要因	• ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生(各ユニット個別) • ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生(各ユニット個別) • グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生。グループBのスキャン終了でグループBスキャン終了割り込み要求(S12GBADI, S12GBADI1, S12GBADI2)が発生。グループCのスキャン終了でグループCスキャン終了割り込み要求(S12GCADI, S12GCADI1, S12GCADI2)が発生 • グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生。グループBとグループCのスキャン終了で、それぞれのスキャン終了割り込み要求(S12GBADI/S12GCADI, S12GBADI1/S12GCADI1, S12GBADI2/S12GCADI2)が発生 • デジタルコンペア機能の比較条件成立で、コンペア割り込み要求(S12CMPAI, S12CMPAI1, S12CMPAI2, S12CMPBI, S12CMPBI1, S12CMPBI2)が発生 • S12ADI/S12ADI1/S12ADI2、S12GBADI/S12GBADI1/S12GBADI2、S12GCADI/S12GCADI1/S12GCADI2割り込みでDMAコントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能
イベントリンク機能	• すべてのスキャン終了時にイベント出力 • シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント出力 • ELCからのトリガによりスキャン開始可能
消費電力低減機能	• モジュールストップ状態への遷移が可能(注4、注5)

注1.　周辺モジュールクロックPCLKBはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。
注2.　加算時の拡張ビット数は、加算回数により異なります。
　　2ビット拡張：1～4回変換(0～3回加算)
　　4ビット拡張：16回変換(15回加算)
注3.　3シャント電流検出用のコモン端子(PGAVSS0, PGAVSS1)との疑似差動増幅が可能です。
注4.　詳細は、「11.　消費電力低減機能」を参照してください。
注5.　モジュールストップ状態を解除した後は、1 μs以上待ってからA/D変換を開始してください。

表39.2　12ビットA/Dコンバータの機能概要 (1 / 2)

項目			端子名、略称等		
			ユニット0 (S12AD)	ユニット1 (S12AD1)	ユニット2 (S12AD2)
アナログ入力チャネル			AN000～AN007	AN100～AN107	AN200～AN211、AN216、AN217、内部基準電圧、温度センサ出力
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能		
	非同期トリガ	トリガ入力端子	ADTRG0#	ADTRG1#	ADTRG2#
	同期トリガ	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	TRGA0N		
		MTU1.TGRAのコンペアマッチ/インプットキャプチャ	TRGA1N		
		MTU2.TGRAのコンペアマッチ/インプットキャプチャ	TRGA2N		
		MTU3.TGRAのコンペアマッチ/インプットキャプチャ	TRGA3N		
		MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	TRGA4N		
		MTU6.TGRAのコンペアマッチ/インプットキャプチャ	TRGA6N		
		MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	TRGA7N		
		MTU0.TGREのコンペアマッチ	TRG0N		
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	TRG4AN		
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4BN		
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、または、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4ANまたはTRG4BN		
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	TRG4ABN		
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	TRG7AN		
		MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7BN		
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、または、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7ANまたはTRG7BN		
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	TRG7ABN		
		MTU9.TGRAのコンペアマッチ/インプットキャプチャ	TRGA9N		
		MTU9.TGREのコンペアマッチ	TRG9N		
		MTU0.TGRAのコンペアマッチ/インプットキャプチャ、または、MTU0.TGREのコンペアマッチ	TRGA0NまたはTRG0N		

表39.2　12ビットA/Dコンバータの機能概要 (2 / 2)

項目			端子名、略称等		
			ユニット0 (S12AD)	ユニット1 (S12AD1)	ユニット2 (S12AD2)
A/D変換開始条件	同期トリガ	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、または、MTU9.TGREのコンペアマッチ	TRGA9NまたはTRG9N		
		MTU0.TGRAのコンペアマッチ/インプットキャプチャ、または、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	TRGA0NまたはTRGA9N		
		MTU0.TGREのコンペアマッチ、または、MTU9.TGREのコンペアマッチ	TRG0NまたはTRG9N		
		MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	TRG9AEN		
		MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	TRG0AEN		
		MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	TRGA09N		
		MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	TRG09N		
		TMR0.TCORAとTMR0.TCNTのコンペアマッチ	TMTRG0AN_0		
		TMR2.TCORAとTMR2.TCNTのコンペアマッチ	TMTRG0AN_1		
		TMR4.TCORAとTMR4.TCNTのコンペアマッチ	TMTRG0AN_2		
		TMR6.TCORAとTMR6.TCNTのコンペアマッチ	TMTRG0AN_3		
		ELCトリガ	ELCTRG00N	ELCTRG10N	ELCTRG20N
			ELCTRG01N	ELCTRG11N	ELCTRG21N
			ELCTRG00N または ELCTRG01N	ELCTRG10N または ELCTRG11N	ELCTRG20N または ELCTRG21N
チャネル専用サンプル&ホールド機能		対象チャネル	AN000～AN002	AN100～AN102	—
割り込み			S12ADI、S12GBADI、S12GCADI、S12CMPAI、S12CMPBI割り込み	S12ADI1、S12GBADI1、S12GCADI1、S12CMPAI1、S12CMPBI1割り込み	S12ADI2、S12GBADI2、S12GCADI2、S12CMPAI2、S12CMPBI2割り込み
モジュールストップ機能の設定(注1、注2)			MSTPCRA.MSTPA17ビット	MSTPCRA.MSTPA16ビット	MSTPCRA.MSTPA23ビット

注.　A/D変換を開始するトリガをADTRG0#、ADTRG1#、ADTRG2#に設定する場合は、該当する端子のポートモードレジスタの端子モード制御ビットを“1”(周辺機能)に、端子機能制御レジスタの端子機能選択ビットをADTRG0#、ADTRG1#、ADTRG2#に設定してください。詳細は「20.　I/Oポート」、「21.　マルチファンクションピンコントローラ(MPC)」を参照してください。

注1.　詳細は、「11.　消費電力低減機能」を参照してください。

注2.　モジュールストップ状態を解除後は、1 μs以上待ってからA/D変換を開始してください。

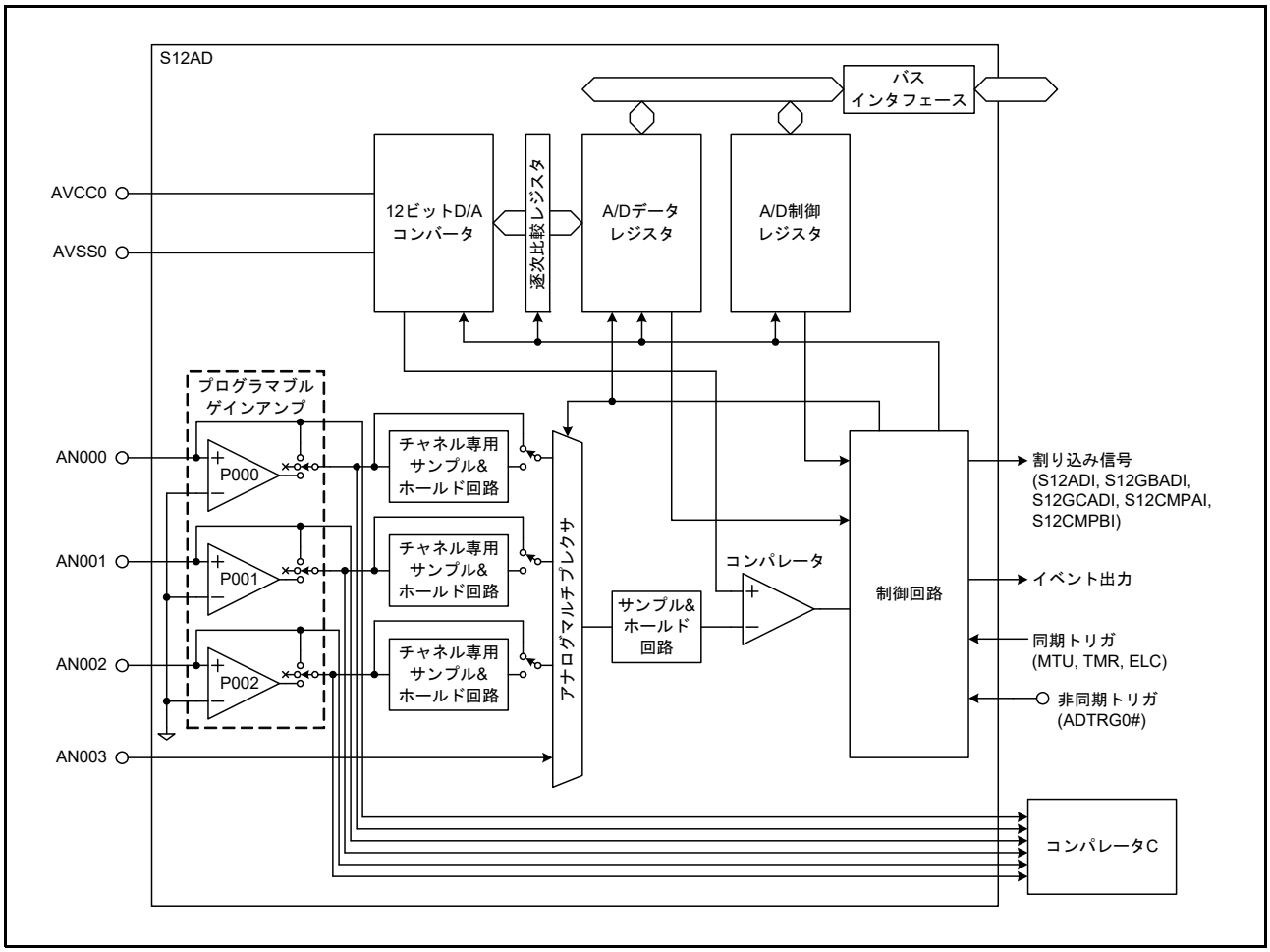


図 39.1　12 ビット A/D コンバータのブロック図 (PGA 疑似差動入力なし製品、ユニット 0)

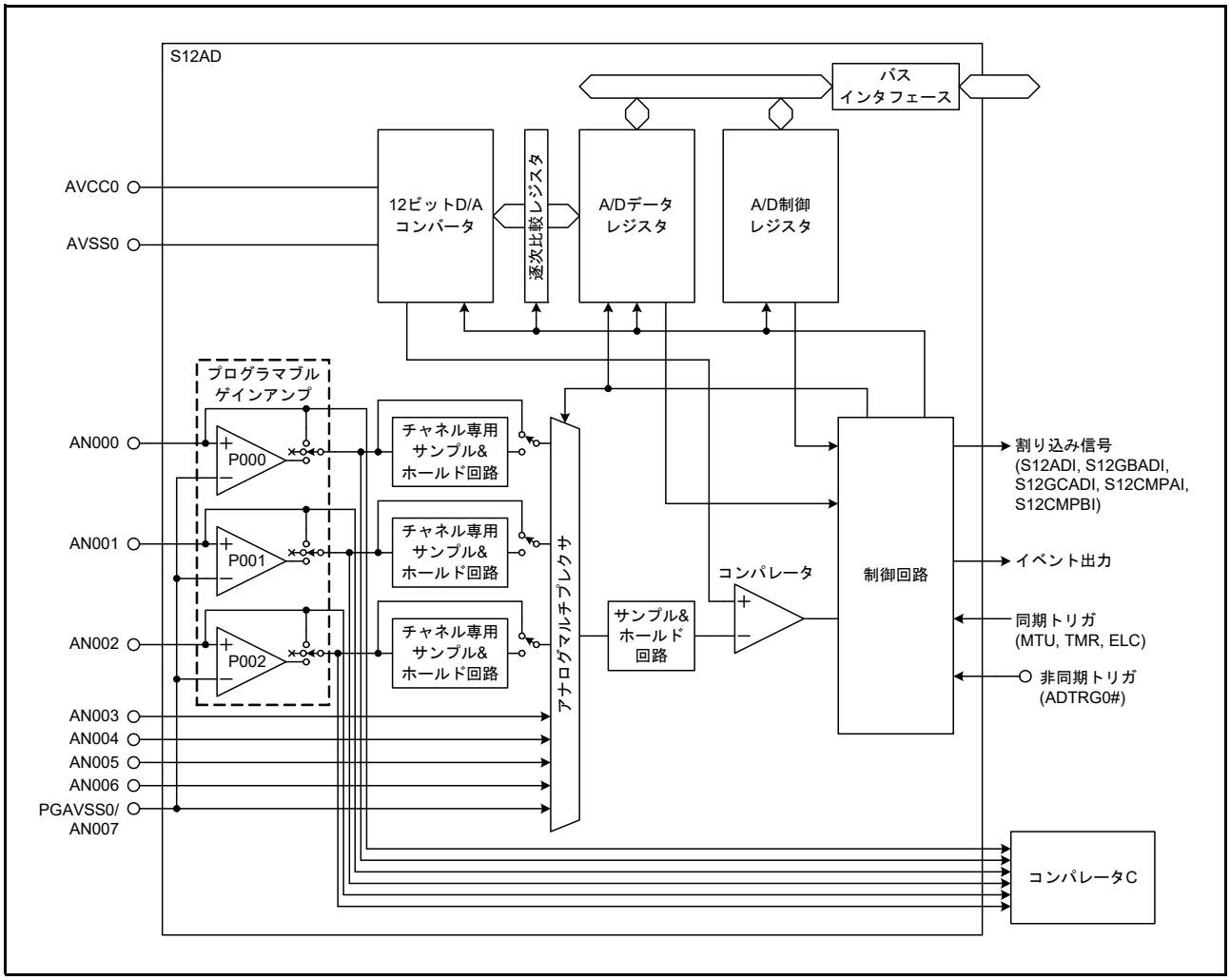


図 39.2 12 ビット A/D コンバータのブロック図 (PGA 疑似差動入力あり製品、ユニット 0)

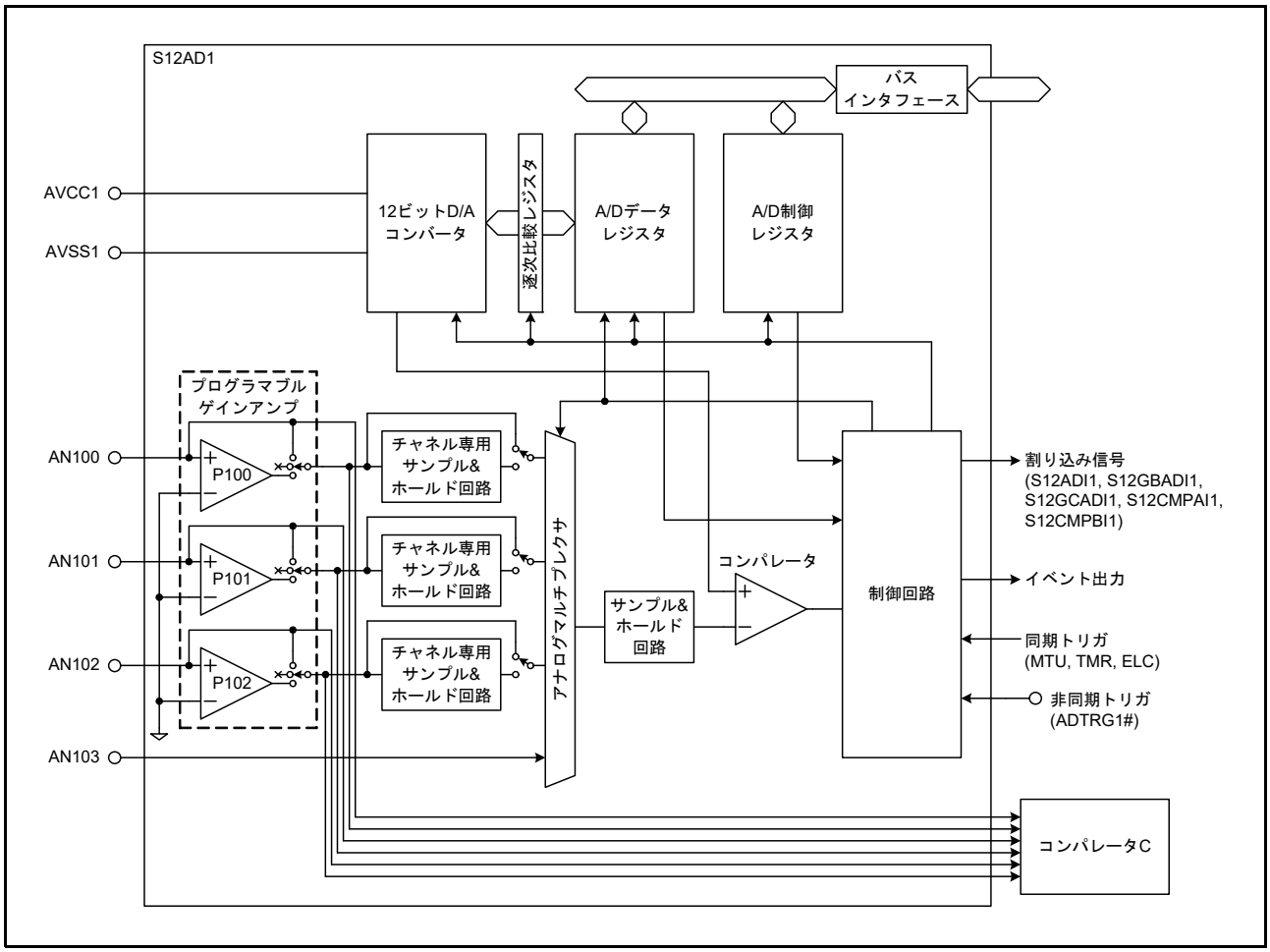


図 39.3　12 ビット A/D コンバータのブロック図 (PGA 疑似差動入力なし製品、ユニット 1)

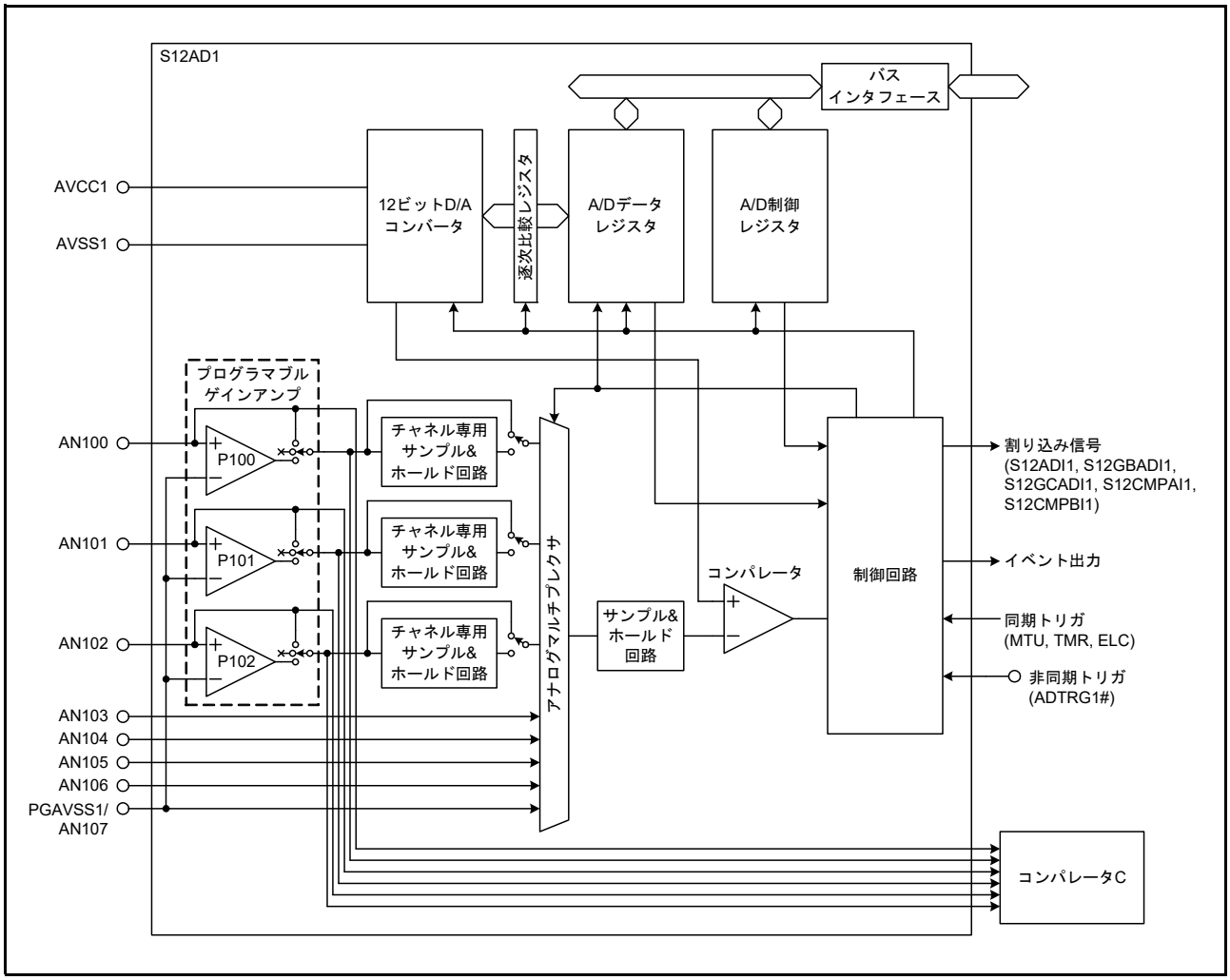


図 39.4 12 ビット A/D コンバータのブロック図 (PGA 疑似差動入力あり製品、ユニット 1)

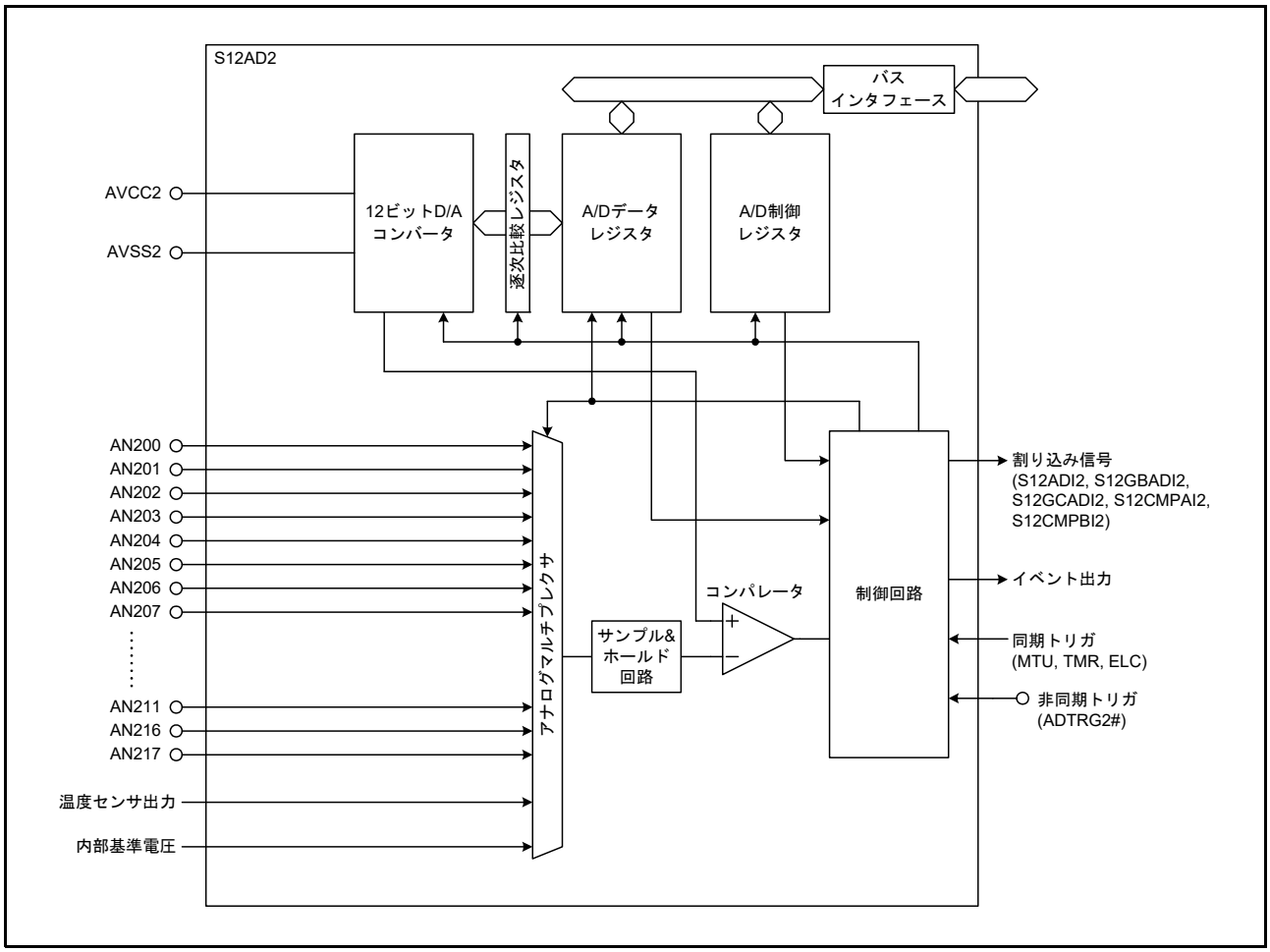


図 39.5 12 ビット A/D コンバータのブロック図 (ユニット 2)

表 39.3 に 12 ビット A/D コンバータで使用する入出力端子を示します。

12 ビット A/D コンバータは 3 ユニットで構成され、ユニット 0 (S12AD)、ユニット 1 (S12AD1)、ユニット 2 (S12AD2) は独立して動作させることができます。S12AD、S12AD1、S12AD2 の入力チャネルは、3 つのグループに分割して動作させることもできます。

表39.3 12ビットA/Dコンバータの入出力端子

ユニット	端子名	入出力	機能
ユニット0 (S12AD)	AVCC0	—	アナログ電源端子
	AVSS0	—	アナロググランド端子
	AN000～AN007	入力	アナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
	ADST0	出力	ADSTビットの状態出力端子
ユニット1 (S12AD1)	AVCC1	—	アナログ電源端子
	AVSS1	—	アナロググランド端子
	AN100～AN107	入力	アナログ入力端子
	ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	ADST1	出力	ADSTビットの状態出力端子
ユニット2 (S12AD2)	AVCC2	—	アナログ電源端子
	AVSS2	—	アナロググランド端子
	AN200～AN211, AN216, AN217	入力	アナログ入力端子
	ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
	ADST2	出力	ADSTビットの状態出力端子

39.2 レジスタの説明

39.2.1 A/D データレジスタ y (ADDRy) (y = 0 ～ 11, 16, 17)、A/D データ二重化レジスタ (ADDBLDR)、A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB)、A/D 温度センサデータレジスタ (ADTSDR)、A/D 内部基準電圧データレジスタ (ADOCDR)

アドレス

S12AD.ADDR0 0008 9020h, S12AD.ADDR1 0008 9022h, S12AD.ADDR2 0008 9024h, S12AD.ADDR3 0008 9026h, S12AD.ADDR4 0008 9028h, S12AD.ADDR5 0008 902Ah, S12AD.ADDR6 0008 902Ch, S12AD.ADDR7 0008 902Eh, S12AD.ADDBLDR 0008 9018h, S12AD.ADDBLDRA 0008 9084h, S12AD.ADDBLDRB 0008 9086h,
S12AD1.ADDR0 0008 9220h, S12AD1.ADDR1 0008 9222h, S12AD1.ADDR2 0008 9224h, S12AD1.ADDR3 0008 9226h, S12AD1.ADDR4 0008 9228h, S12AD1.ADDR5 0008 922Ah, S12AD1.ADDR6 0008 922Ch, S12AD1.ADDR7 0008 922Eh, S12AD1.ADDBLDR 0008 9218h, S12AD1.ADDBLDRA 0008 9284h, S12AD1.ADDBLDRB 0008 9286h,
S12AD2.ADDR0 0008 9420h, S12AD2.ADDR1 0008 9422h, S12AD2.ADDR2 0008 9424h, S12AD2.ADDR3 0008 9426h, S12AD2.ADDR4 0008 9428h, S12AD2.ADDR5 0008 942Ah, S12AD2.ADDR6 0008 942Ch, S12AD2.ADDR7 0008 942Eh, S12AD2.ADDR8 0008 9430h, S12AD2.ADDR9 0008 9432h, S12AD2.ADDR10 0008 9434h, S12AD2.ADDR11 0008 9436h, S12AD2.ADDR16 0008 9440h, S12AD2.ADDR17 0008 9442h, S12AD2.ADDBLDR 0008 9418h, S12AD2.ADDBLDRA 0008 9484h, S12AD2.ADDBLDRB 0008 9486h, S12AD2.ADTSDR 0008 941Ah, S12AD2.ADOCDR 0008 941Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADDRy レジスタ (y = 0 ～ 7 : S12AD、y = 0 ～ 7 : S12AD1、y = 0 ～ 11, 16, 17 : S12AD2) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作であるトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (2 回、3 回、4 回、16 回変換)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
  b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は “0” が読み出されます。
- 左詰めのフォーマット
  b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は “0” が読み出されます。

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

- 右詰めのフォーマット
  b11-b0 に同一チャネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は “0” が読み

出されます。

- 左詰めのフォーマット
  b15-b4 に同一チャネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は “0” が読み出されます。

(3) A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を示します。A/D 変換回数を 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、変換回数を 1 回～ 4 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 2 ビット分拡張したデータとして、変換回数を 16 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに保持します。A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b13-b0 に同一チャネルの A/D 変換値を加算した値を格納します。読み出し時、b15-b14 は “0” が読み出されます。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値を加算した値を格納します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b15-b2 に同一チャネルの A/D 変換値を加算した値を格納します。読み出し時、b1-b0 は “0” が読み出されます。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値を加算した値を格納します。

39.2.2 A/D 自己診断データレジスタ (ADRD)

アドレス S12AD.ADRD 0008 901Eh, S12AD1.ADRD 0008 921Eh, S12AD2.ADRD 0008 941Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADRD レジスタは、12 ビット A/D コンバータの自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値に加えて、自己診断のステータスが付加されます。ADRD レジスタは下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)

AD 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。温度センサ出力または内部基準電圧を選択した場合、自己診断機能を選択できません。自己診断の詳細については「39.2.14 A/D コントロール拡張レジスタ (ADCER)」を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めのフォーマット

  b11-b0 に A/D 変換値を格納します。b15-b14 に自己診断ステータスを格納します。読み出し時、b13-b12 は “0” が読み出されます。

- 左詰めのフォーマット

  b15-b4 に A/D 変換値を格納します。b1-b0 に自己診断ステータスを格納します。読み出し時、b3-b2 は “0” が読み出されます。

表 39.4 自己診断ステータス内容

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	1/2 × AVCCの電圧値の自己診断を実施したことを示します
11b	AVCCの電圧値の自己診断を実施したことを示します

注. 自己診断の詳細については、「39.2.14 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

39.2.3 A/D コントロールレジスタ (ADCSR)

アドレス S12AD.ADCSR 0008 9000h, S12AD1.ADCSR 0008 9200h, S12AD2.ADCSR 0008 9400h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]		ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャネル選択ビット	ダブルトリガ対象のアナログ入力を1チャネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0：グループBのスキャン終了割り込みを禁止 1：グループBのスキャン終了割り込みを許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0：ダブルトリガモード非選択 1：ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット	0：同期トリガによるA/D変換の開始を選択 1：非同期トリガによるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット(注1)	0：同期、非同期トリガによるA/D変換の開始を禁止 1：同期、非同期トリガによるA/D変換の開始を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0：スキャン終了割り込みを禁止 1：スキャン終了割り込みを許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0　0：シングルスキャンモード 0　1：グループスキャンモード 1　0：連続スキャンモード 1　1：設定禁止	R/W
b15	ADST	A/D変換スタートビット(注1)	0：A/D変換停止 1：A/D変換開始	R/W

注1. AN000～AN002、AN007、AN100～AN102、AN107を選択する場合は、「39.3.2 AN000～AN002、AN007、AN100～AN102、AN107の入力経路設定」を参照してください。

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可 / 禁止、スキャンモードの選択、A/D 変換の開始 / 停止を行うレジスタです。

DBLANS[4:0] ビット (ダブルトリガ対象チャネル選択ビット)

ダブルトリガモードで A/D 変換データを二重化する 1 チャネルを選択します。

DBLANS[4:0] ビットで選択したチャネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ二重化レジスタに格納されます。**表 39.5** にダブルトリガ対象チャネルの選択表を示します。

ダブルトリガモードを選択した場合は、ADANSA0、ADANSA1 レジスタで選択したチャネルの選択は無効になり、DBLANS[4:0] ビットで選択した 1 チャネルが A/D 変換を行うチャネルとなります。

グループスキャンモードでダブルトリガモードを選択した場合、グループ A のみダブルトリガモードの動作を行い、グループ B、C はダブルトリガモードの動作を行いません。また、ダブルトリガモード時は、グループ A に複数チャネルのアナログ入力、温度センサ出力、内部基準電圧は選択できませんが、グループ B、C には複数チャネルのアナログ入力、温度センサ出力、内部基準電圧が選択可能です。

また、DBLANS[4:0] ビットは、ADST ビットが “0” のときに設定してください (ADST ビットへの “1” 書き込みと同時設定もしないでください)。

表39.5　DBLANS[4:0]ビット設定値とダブルトリガ対象チャネルの関係

DBLANS[4:0]	二重化チャネル		
	S12AD (ユニット0)	S12AD1 (ユニット1)	S12AD2 (ユニット2)
00000b	AN000	AN100	AN200
00001b	AN001	AN101	AN201
00010b	AN002	AN102	AN202
00011b	AN003	AN103	AN203
00100b	AN004	AN104	AN204
00101b	AN005	AN105	AN205
00110b	AN006	AN106	AN206
00111b	AN007	AN107	AN207
01000b	—	—	AN208
01001b	—	—	AN209
01010b	—	—	AN210
01011b	—	—	AN211
10000b	—	—	AN216
10001b	—	—	AN217

—：設定しないでください。
注.　自己診断、温度センサ出力、内部基準電圧のA/D変換データは、二重化を選択できません。

GBADIE ビット (グループ B スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B のスキャン終了割り込みの発生を許可 / 禁止します。グループ B のスキャン終了割り込みはユニットごとに各 1 本あり、各ユニットとグループ B のスキャン終了割り込みの関係を表 39.6 に示します。

表39.6　各ユニットとグループBのスキャン終了割り込みの関係

ユニット	グループBのスキャン終了割り込み
S12AD	S12GBADI
S12AD1	S12GBADI1
S12AD2	S12GBADI2

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、1 回目の同期トリガで変換された結果と 2 回目で変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSA0、ADANSA1 レジスタで指定したチャネルは無効となり、DBLANS[4:0] ビットで選択したチャネルが有効となります。ADSTRGR.TRSA[5:0] ビットで選択された同期トリガのみで動作します。非同期トリガ、およびソフトウェアトリガは発生させないでください。1 回目の同期トリガで変換した結果は、A/D データレジスタ y に格納され、2 回目の同期トリガで変換した結果は、A/D データ二重化レジスタに格納されます。このとき、ADIE ビットが “1” になっていると、1 回目の変換終了時は割り込み要求が発生せず、2 回目の変換終了時に割り込み要求が発生します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。さらに、自己診断機能、温度センサ出力の変換、および内部基準電圧の変換でも使用しないでください。また、グループスキャンモードでダブルトリガモードを使用する場合、グループ A で温度センサ出力、内部基準電圧の A/D 変換を選択しないでください。

DBLE ビットの設定は、あらかじめ ADST ビットを “0” にしてから行ってください。

EXTRG ビット (トリガ選択ビット)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

外部端子 (非同期トリガ) で A/D 変換を起動する場合、外部端子 (ADTRG0#, ADTRG1#, ADTRG2#) に High を入力した状態で、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。その後、ADTRG0#、ADTRG1#、ADTRG2# 信号を Low に変化させると、ADTRG0#、ADTRG1#、ADTRG2# の立ち下がりエッジを検出し、スキャン変換を開始します。このときの Low 入力のパルス幅は、1.5 PCLKB 以上必要です。

ユニットと外部端子 (非同期トリガ) の関係を表 39.7 に示します。

表39.7 ユニットと外部端子(非同期トリガ)の関係

ユニット	外部端子(非同期トリガ)
S12AD	ADTRG0#
S12AD1	ADTRG1#
S12AD2	ADTRG2#

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の起動を許可 / 禁止します。

グループスキャンモードでは、このビットを “1” にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B とグループ C を除く、A/D スキャン変換終了割り込みの発生を許可 / 禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回のスキャンが終了したときに、ADIE ビットが “1” に設定されていると、A/D スキャン変換終了割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガからのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが “1” に設定されていると A/D スキャン変換終了割り込みが発生します。

ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADIE ビットが “1” に設定されていると A/D スキャン変換終了割り込みが発生します。A/D スキャン変換終了割り込みは、ユニットごとに各 1 本あり、各ユニットと A/D スキャン変換終了割り込みの関係を表 39.8 に示します。

表39.8 各ユニットとA/Dスキャン変換終了割り込みの関係

ユニット	A/Dスキャン変換終了割り込み
S12AD	S12ADI
S12AD1	S12ADI1
S12AD2	S12ADI2

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 8 チャネル (ユニット 0)、8 チャネル (ユニット 1)、14 チャネル (ユニット 2) のアナログ入力を任意のチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの変換が終了するとスキャン変換を停止します。温度センサ出力または内部基準電圧の選択が可能ですが、チャネルの入力と合わせて選択できません。温度センサ出力と内部基準電圧を同時に選択する場合は、温度センサ出力が先に変換されます。

連続スキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 8 チャネル (ユニット 0)、8

チャネル (ユニット 1)、14 チャネル (ユニット 2) のアナログ入力を任意のチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの変換が終了すると最初のチャネルに戻り A/D 変換を継続します。

連続スキャンモードでは、温度センサ出力と内部基準電圧は選択禁止です。

グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを開始条件として、ADANSA0、ADANSA1 レジスタで選択した最大 8 チャネル (ユニット 0)、8 チャネル (ユニット 1)、14 チャネル (ユニット 2) のアナログ入力 (グループ A) を任意のチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの A/D 変換が終了すると停止します。

また、同様に ADSTRGR.TRSB[5:0] ビット、ADGCTRGR.TRSC[5:0] ビットで選択した同期トリガを A/D 変換開始条件として、ADANSB0、ADANSB1 レジスタ、ADANSC0、ADANSC1 レジスタで選択した最大 8 チャネル (ユニット 0)、8 チャネル (ユニット 1)、14 チャネル (ユニット 2) のアナログ入力 (グループ B、グループ C) を任意のチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの A/D 変換が終了すると停止します。

温度センサ出力または内部基準電圧の選択が可能です。同じグループではチャネルの入力と合わせて選択できません。温度センサ出力と内部基準電圧を同時に選択する場合は、温度センサ出力が先に変換されます。

グループスキャンモードを選択する場合は、グループ A とグループ B とグループ C で異なるチャネルと異なるトリガを選択してください。

グループスキャンモード設定時に 2 つのグループを使用する場合、グループ A とグループ B を使用してください (ADGCTRGR.GRCE ビット = 0)。また、3 つのグループを使用する場合、グループ A、グループ B とグループ C を使用してください (ADGCTRGR.GRCE ビット = 1)。

ADCS[1:0] ビットは、ADST ビットが “0” のときに設定してください (ADST ビットへの “1” 書き込みと同時設定もしないでください)。

表 39.9　スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループA含む)	アナログ入力 (グループB、グループC)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○	○	×	○	○
	DBLE = 1	×	○ (1ch のみ)	×	×	×
連続スキャン	DBLE = 0	○	○	×	×	×
	DBLE = 1	×	×	×	×	×
グループスキャン	DBLE = 0	○	○	○	○	○
	DBLE = 1	×	○ (1ch のみ)	○	○ (グループ B、グループ C)	○ (グループ B、グループ C)

○ : 選択可能、× : 選択不可能

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを “1” に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1” になる条件]

- ソフトウェアで “1” を書き込んだとき
- ADCSR.EXTRG ビットに “0”、ADCSR.TRGE ビットに “1” を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[5:0]ビットで選択した同期トリガを検出したとき

- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを “1”、ADSTRGR.TRSA[5:0] ビットを “000000b” に設定し、非同期トリガを検出したとき
- グループ優先制御動作モード有効時(ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)に、グループ B またはグループ C のトリガを検出し、グループ B またはグループ C の A/D 変換を開始したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを “1” に設定し、最も優先度の低いグループの A/D 変換を開始したとき

［“0” になる条件］

- ソフトウェアで “0” を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャネル、温度センサ出力または内部基準電圧 (ユニット 2 のみ) の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループスキャンモードでグループ C のスキャンが終了したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを “1” に設定し、低優先グループのトリガによるスキャンが終了したとき

注 . グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを “1” にしないでください。

注 . グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを “0” にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

注 . グループ優先動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) にシングルスキャン連続機能を使用 (ADGSPCR.GBRP ビット = 1) した場合、ADST ビットは “1” を保持します。

39.2.4 A/D チャネル選択レジスタ A0 (ADANSA0)

(1) S12AD.ADANSA0

アドレス S12AD.ADANSA0 0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSA007	ANSA006	ANSA005	ANSA004	ANSA003	ANSA002	ANSA001	ANSA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャネル選択ビット	AN000～AN007(注1)を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. AN000～AN002、AN007を選択する場合は、「39.3.2 AN000～AN002、AN007、AN100～AN102、AN107の入力経路設定」を参照してください。

S12AD.ADANSA0 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 07)

A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA000 ビットが AN000 に、ANSA007 ビットが AN007 に対応します。

ダブルトリガモードを選択した場合は、S12AD.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD.ADCSR.ADST ビットが “0” のときに設定してください。

(2) S12AD1.ADANSA0

アドレス S12AD1.ADANSA0 0008 9204h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSA007	ANSA006	ANSA005	ANSA004	ANSA003	ANSA002	ANSA001	ANSA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャネル選択ビット	AN100～AN107(注1)を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. AN100～AN102、AN107を選択する場合は、「39.3.2 AN000～AN002、AN007、AN100～AN102、AN107の入力経路設定」を参照してください。

S12AD1.ADANSA0 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN107 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 07)

A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN107 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA000 ビットが AN100 に、ANSA007 ビットが AN107 に対応します。

ダブルトリガモードを選択した場合は、S12AD1.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

(3) S12AD2.ADANSA0

アドレス S12AD2.ADANSA0 0008 9404h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ANSA011	ANSA010	ANSA009	ANSA008	ANSA007	ANSA006	ANSA005	ANSA004	ANSA003	ANSA002	ANSA001	ANSA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャネル選択ビット	AN200～AN211を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b8	ANSA008			R/W
b9	ANSA009			R/W
b10	ANSA010			R/W
b11	ANSA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSA0 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 11)

A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA000 ビットが AN200 に、ANSA011 ビットが AN211 に対応します。

シングルスキャンモードあるいはグループスキャンモードのグループ A で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ダブルトリガモードを選択した場合は、S12AD2.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

39.2.5 A/D チャネル選択レジスタ A1 (ADANSA1)

アドレス S12AD2.ADANSA1 0008 9406h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSA101	ANSA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA100	A/D変換チャネル選択ビット	AN216、AN217を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSA101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSA1 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN216、AN217 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA1n ビット (A/D 変換チャネル選択ビット) (n = 00, 01)

A/D 変換を行うチャネルのアナログ入力 AN216、AN217 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA100 ビットが AN216 に、ANSA101 ビットが AN217 に対応します。

シングルスキャンモードあるいはグループスキャンモードのグループ A で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ダブルトリガモードを選択した場合は、S12AD2.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA1n ビットの設定は無効になります。

ANSA1n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

39.2.6 A/D チャネル選択レジスタ B0 (ADANSB0)

(1) S12AD.ADANSB0

アドレス S12AD.ADANSB0 0008 9014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSB007	ANSB006	ANSB005	ANSB004	ANSB003	ANSB002	ANSB001	ANSB000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャネル選択ビット	AN000～AN007(注1)を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. AN000～AN002、AN007を選択する場合は、「39.3.2 AN000～AN002、AN007、AN100～AN102、AN107の入力経路設定」を参照してください。

S12AD.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 を選択するレジスタです。S12AD.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 07)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 の選択を行います。S12AD.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD.ADANSA0 レジスタ)、グループ C で指定したチャネル (S12AD.ADANSC0 レジスタ)、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

ANSB000 ビットが AN000 に、ANSB007 ビットが AN007 に対応します。

ANSB0n ビットは、S12AD.ADCSR.ADST ビットが “0” のときに設定してください。

(2) S12AD1.ADANSB0

アドレス S12AD1.ADANSB0 0008 9214h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSB007	ANSB006	ANSB005	ANSB004	ANSB003	ANSB002	ANSB001	ANSB000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャネル選択ビット	AN100～AN107(注1)を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. AN100～AN102、AN107を選択する場合は、「39.3.2 AN000～AN002、AN007、AN100～AN102、AN107の入力経路設定」を参照してください。

S12AD1.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN107 を選択するレジスタです。S12AD1.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 07)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN107 の選択を行います。S12AD1.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD1.ADANSA0 レジスタ)、グループ C で指定したチャネル (S12AD1.ADANSC0 レジスタ)、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

ANSB000 ビットが AN100 に、ANSB007 ビットが AN107 に対応します。

ANSB0n ビットは、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

(3) S12AD2.ADANSB0

アドレス S12AD2.ADANSB0 0008 9414h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ANSB011	ANSB010	ANSB009	ANSB008	ANSB007	ANSB006	ANSB005	ANSB004	ANSB003	ANSB002	ANSB001	ANSB000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャネル選択ビット	AN200～AN211を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b8	ANSB008			R/W
b9	ANSB009			R/W
b10	ANSB010			R/W
b11	ANSB011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 を選択するレジスタです。S12AD2.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 11)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 の選択を行います。S12AD2.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、グループ C で指定したチャネル (S12AD2.ADANSC0、S12AD2.ADANSC1 レジスタ)、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

グループスキャンモードのグループ B で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ANSB000 ビットが AN200 に、ANSB011 ビットが AN211 に対応します。

ANSB0n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

39.2.7 A/D チャネル選択レジスタ B1 (ADANSB1)

アドレス S12AD2.ADANSB1 0008 9416h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSB101	ANSB100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB100	A/D変換チャネル選択ビット	AN216、AN217を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSB101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN216、AN217 を選択するレジスタです。S12AD2.ADANSB1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB1n ビット (A/D 変換チャネル選択ビット) (n = 00, 01)

ANSB1n ビットは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネル AN216、AN217 の選択を行います。S12AD2.ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、グループ C で指定したチャネル (S12AD2.ADANSC0、S12AD2.ADANSC1 レジスタ)、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

グループスキャンモードのグループ B で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ANSB100 ビットが AN216 に、ANSB101 ビットが AN217 に対応します。

ANSB1n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

39.2.8 A/D チャネル選択レジスタ C0 (ADANSC0)

(1) S12AD.ADANSC0

アドレス S12AD.ADANSC0 0008 90D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSC007	ANSC006	ANSC005	ANSC004	ANSC003	ANSC002	ANSC001	ANSC000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャネル選択ビット	AN000～AN007(注1)を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b4	ANSC004			R/W
b5	ANSC005			R/W
b6	ANSC006			R/W
b7	ANSC007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. AN000～AN002、AN007を選択する場合は、「39.3.2 AN000～AN002、AN007、AN100～AN102、AN107の入力経路設定」を参照してください。

S12AD.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 を選択するレジスタです。S12AD.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 07)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 の選択を行います。S12AD.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD.ADANSA0 レジスタ)、グループ B で指定したチャネル (S12AD.ADANSB0 レジスタ)、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

ANSC000 ビットが AN000 に、ANSC007 ビットが AN007 に対応します。

ANSC0n ビットは、S12AD.ADCSR.ADST ビットが “0” のときに設定してください。

(2) S12AD1.ADANSC0

アドレス S12AD1.ADANSC0 0008 92D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSC007	ANSC006	ANSC005	ANSC004	ANSC003	ANSC002	ANSC001	ANSC000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャネル選択ビット	AN100～AN107(注1)を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b4	ANSC004			R/W
b5	ANSC005			R/W
b6	ANSC006			R/W
b7	ANSC007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. AN100～AN102、AN107を選択する場合は、「39.3.2 AN000～AN002、AN007、AN100～AN102、AN107の入力経路設定」を参照してください。

S12AD1.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN107 を選択するレジスタです。S12AD1.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 07)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN100 ～ AN107 の選択を行います。S12AD1.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD1.ADANSA0 レジスタ)、グループ B で指定したチャネル (S12AD1.ADANSB0 レジスタ)、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

ANSC000 ビットが AN100 に、ANSC007 ビットが AN107 に対応します。

ANSC0n ビットは、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

(3) S12AD2.ADANSC0

アドレス S12AD2.ADANSC0 0008 94D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ANSC011	ANSC010	ANSC009	ANSC008	ANSC007	ANSC006	ANSC005	ANSC004	ANSC003	ANSC002	ANSC001	ANSC000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャネル選択ビット	AN200～AN211を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b4	ANSC004			R/W
b5	ANSC005			R/W
b6	ANSC006			R/W
b7	ANSC007			R/W
b8	ANSC008			R/W
b9	ANSC009			R/W
b10	ANSC010			R/W
b11	ANSC011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 を選択するレジスタです。S12AD2.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (A/D 変換チャネル選択ビット) (n = 00 ～ 11)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN200 ～ AN211 の選択を行います。S12AD2.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、グループ B で指定したチャネル (S12AD2.ADANSB0、S12AD2.ADANSB1 レジスタ)、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

グループスキャンモードのグループ C で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ANSC000 ビットが AN200 に、ANSC011 ビットが AN211 に対応します。

ANSC0n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

39.2.9 A/D チャネル選択レジスタ C1 (ADANSC1)

アドレス S12AD2.ADANSC1 0008 94D6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSC101	ANSC100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC100	A/D変換チャネル選択ビット	AN216、AN217を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSC101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADANSC1 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN216、AN217 を選択するレジスタです。S12AD2.ADANSC1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC1n ビット (A/D 変換チャネル選択ビット) (n = 00, 01)

ANSC1n ビットは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネル AN216、AN217 の選択を行います。S12AD2.ADANSC1 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、グループ B で指定したチャネル (S12AD2.ADANSB0、S12AD2.ADANSB1 レジスタ)、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル以外から設定します。

グループスキャンモードのグループ C で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタに “0000h” を設定してください)。

ANSC100 ビットが AN216 に、ANSC101 ビットが AN217 に対応します。

ANSC1n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

39.2.10 A/D チャネル変換順序設定レジスタ n (ADSCSn) (n = 0 ～ 13)

(1) S12AD.ADSCSn (n = 0 ～ 7)

アドレス　S12AD.ADSCS0 0008 91C0h, S12AD.ADSCS1 0008 91C1h, S12AD.ADSCS2 0008 91C2h, S12AD.ADSCS3 0008 91C3h, S12AD.ADSCS4 0008 91C4h, S12AD.ADSCS5 0008 91C5h, S12AD.ADSCS6 0008 91C6h, S12AD.ADSCS7 0008 91C7h

b7	b6	b5	b4	b3	b2	b1	b0

リセット後の値　(表39.10参照)

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	A/D変換の順序を設定します。ADSCSnレジスタに設定したチャネルをn+1番目に変換します(表39.10参照)	R/W

ADSCSn レジスタは、12 ビット A/D コンバータのユニット 0 のチャネル変換順序を設定するレジスタです。リセット後は、AN000 → AN001 →・・・→ AN007 の順に変換する設定になっています。この順序を変更したいとき ADSCSn レジスタを書き換えてください。

AN000 ～ AN002 のチャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。ADSCS3 ～ ADSCS7 レジスタに設定した場合の変換結果については保証しません。

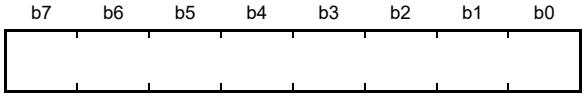
設定したチャネルが、A/D チャネル選択レジスタ (ADANSA0, ADANSB0, ADANSC0) にて変換対象から外されている場合は、当該チャネルの A/D 変換は実行されません。A/D チャネル選択レジスタで変換対象にしたチャネルを ADSCS0 レジスタから順に設定し、残りのレジスタにはその他のチャネルをすべて設定してください。複数のレジスタに同じチャネル番号を指定しないでください。

表39.10　A/Dチャネル変換順序設定レジスタn (ADSCSn)のリセット後の値と変換順序の関係

レジスタ	変換順序	リセット後の値	設定可能な値
ADSCS0	1 番目	00h	00h～07h (AN000～AN007)
ADSCS1	2 番目	01h	
ADSCS2	3 番目	02h	
ADSCS3	4 番目	03h	
ADSCS4	5 番目	04h	
ADSCS5	6 番目	05h	
ADSCS6	7 番目	06h	
ADSCS7	8 番目	07h	

(2) S12AD1.ADSCSn (n = 0 ～ 7)

アドレス　S12AD1.ADSCS0 0008 93C0h, S12AD1.ADSCS1 0008 93C1h, S12AD1.ADSCS2 0008 93C2h, S12AD1.ADSCS3 0008 93C3h, S12AD1.ADSCS4 0008 93C4h, S12AD1.ADSCS5 0008 93C5h, S12AD1.ADSCS6 0008 93C6h, S12AD1.ADSCS7 0008 93C7h



リセット後の値　(表39.11参照)

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	A/D変換の順序を設定します。ADSCSnレジスタに設定したチャネルをn+1番目に変換します(表39.11参照)。	R/W

ADSCSn レジスタは、12 ビット A/D コンバータのユニット 1 のチャネル変換順序を設定するレジスタです。リセット後は、AN100 → AN101 →・・・→ AN107 の順に変換する設定になっています。この順序を変更したいとき ADSCSn レジスタを書き換えてください。

AN100 ～ AN102 のチャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。ADSCS3 ～ ADSCS7 レジスタに設定した場合の変換結果については保証しません。

設定したチャネルが、A/D チャネル選択レジスタ (ADANSA0, ADANSB0, ADANSC0) にて変換対象から外されている場合は、当該チャネルの A/D 変換は実行されません。A/D チャネル選択レジスタで変換対象にしたチャネルを ADSCS0 レジスタから順に設定し、残りのレジスタにはその他のチャネルをすべて設定してください。複数のレジスタに同じチャネル番号を指定しないでください。

表39.11　A/Dチャネル変換順序設定レジスタn (ADSCSn)のリセット後の値と変換順序の関係

レジスタ	変換順序	リセット後の値	設定可能な値
ADSCS0	1番目	00h	00h～07h (AN100～AN107)
ADSCS1	2番目	01h	
ADSCS2	3番目	02h	
ADSCS3	4番目	03h	
ADSCS4	5番目	04h	
ADSCS5	6番目	05h	
ADSCS6	7番目	06h	
ADSCS7	8番目	07h	

(3) S12AD2.ADSCSn (n = 0 ～ 13)

アドレス　S12AD2.ADSCS0 0008 95C0h, S12AD2.ADSCS1 0008 95C1h, S12AD2.ADSCS2 0008 95C2h, S12AD2.ADSCS3 0008 95C3h, S12AD2.ADSCS4 0008 95C4h, S12AD2.ADSCS5 0008 95C5h, S12AD2.ADSCS6 0008 95C6h, S12AD2.ADSCS7 0008 95C7h, S12AD2.ADSCS8 0008 95C8h, S12AD2.ADSCS9 0008 95C9h, S12AD2.ADSCS10 0008 95CAh, S12AD2.ADSCS11 0008 95CBh, S12AD2.ADSCS12 0008 95D0h, S12AD2.ADSCS13 0008 95D1h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	(表39.12参照)							

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	A/D変換の順序を設定します。ADSCSnレジスタに設定したチャネルをn+1番目に変換します(表39.12参照)。	R/W

ADSCSn レジスタは、12 ビット A/D コンバータのユニット 2 のチャネル変換順序を設定するレジスタです。リセット後は、AN200 → AN201 →・・・→ AN211 → AN216 → AN217 の順に変換する設定になっています。この順序を変更したいとき ADSCSn レジスタを書き換えてください。

設定したチャネルが、A/D チャネル選択レジスタ (ADANSA0/1, ADANSB0/1, ADANSC0/1) にて変換対象から外されている場合は、当該チャネルの A/D 変換は実行されません。A/D チャネル選択レジスタで変換対象にしたチャネルを ADSCS0 レジスタから順に設定し、残りのレジスタにはその他のチャネルをすべて設定してください。複数のレジスタに同じチャネル番号を指定しないでください。

なお、温度センサ出力、内部基準電圧に対する変換順序は変更できません。

表39.12　A/Dチャネル変換順序設定レジスタn (ADSCSn)のリセット後の値と変換順序の関係

レジスタ	変換順序	リセット後の値	設定可能な値
ADSCS0	1番目	00h	00h～0Bh, 10h, 11h (AN200～AN211, AN216, AN217)
ADSCS1	2番目	01h	
ADSCS2	3番目	02h	
ADSCS3	4番目	03h	
ADSCS4	5番目	04h	
ADSCS5	6番目	05h	
ADSCS6	7番目	06h	
ADSCS7	8番目	07h	
ADSCS8	9番目	08h	
ADSCS9	10番目	09h	
ADSCS10	11番目	0Ah	
ADSCS11	12番目	0Bh	
ADSCS12	13番目	10h	
ADSCS13	14番目	11h	

39.2.11 A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0)

(1) S12AD.ADADS0

アドレス S12AD.ADADS0 0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ADS007	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャネル選択ビット	AN000～AN007のA/D変換値加算/平均モードを設定します。 0：A/D変換値加算/平均モード無効 1：A/D変換値加算/平均モード有効	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADADS0 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャネル AN000 ～ AN007 を選択します。

ADS0n ビット (A/D 変換値加算 / 平均チャネル選択ビット) (n = 00 ～ 07)

S12AD.ADANSA0.ANSA0n ビット、または S12AD.ADCSR.DBLANS[4:0] ビットと S12AD.ADANSB0.ANSB0n ビットと S12AD.ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の ADS0n ビットを “1” にすると、S12AD.ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、選択したチャネルのアナログ入力を連続して A/D 変換し、S12AD.ADADC.AVEE ビットが “0” の場合、加算 (積算) した値を、S12AD.ADADC.AVEE ビットが “1” の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが無効の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD.ADCSR.ADST ビットが “0” のときに設定してください。

(2) S12AD1.ADADS0

アドレス S12AD1.ADADS0 0008 9208h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ADS007	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャネル選択ビット	AN100～AN107のA/D変換値加算/平均モードを設定します。 0：A/D変換値加算/平均モード無効 1：A/D変換値加算/平均モード有効	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADADS0 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャネル AN100 ～ AN107 を選択します。

ADS0n ビット (A/D 変換値加算 / 平均チャネル選択ビット) (n = 00 ～ 07)

S12AD1.ADANSA0.ANSA0n ビット、または S12AD1.ADCSR.DBLANS[4:0] ビットと S12AD1.ADANSB0.ANSB0n ビットと S12AD1.ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の ADS0n ビットを “1” にすると、S12AD1.ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、選択したチャネルのアナログ入力を連続して A/D 変換し、S12AD1.ADADC.AVEE ビットが “0” の場合、加算 (積算) した値を、S12AD1.ADADC.AVEE ビットが “1” の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが無効の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

(3) S12AD2.ADADS0

アドレス S12AD2.ADADS0 0008 9408h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ADS011	ADS010	ADS009	ADS008	ADS007	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャネル選択ビット	AN200～AN211のA/D変換値加算/平均モードを設定します。 0：A/D変換値加算/平均モード無効 1：A/D変換値加算/平均モード有効	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b8	ADS008			R/W
b9	ADS009			R/W
b10	ADS010			R/W
b11	ADS011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADADS0 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャネル AN200 ～ AN211 を選択します。

ADS0n ビット (A/D 変換値加算 / 平均チャネル選択ビット) (n = 00 ～ 11)

S12AD2.ADANSA0.ANSA0n ビット、または S12AD2.ADCSR.DBLANS[4:0] ビットと S12AD2.ADANSB0.ANSB0n ビットと S12AD2.ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の ADS0n ビットを “1” にすると、S12AD2.ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、選択したチャネルのアナログ入力を連続して A/D 変換し、S12AD2.ADADC.AVEE ビットが “0” の場合、加算 (積算) した値を、S12AD2.ADADC.AVEE ビットが “1” の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが無効の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

図 39.6 に S12AD.ADADS0.ADS002 と S12AD.ADADS0.ADS006 ビットを “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (S12AD.ADCSR.ADCS[1:0] ビット = 10b) で、加算モードを選択 (S12AD.ADADC.AVEE ビット = 0)、加算回数は 3 回に設定 (S12AD.ADADC.ADC[2:0] ビット = 011b)、AN000 ～ AN007 が選択 (S12AD.ADANSA0 レジスタ = 00FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換 (3 回加算) し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 6 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

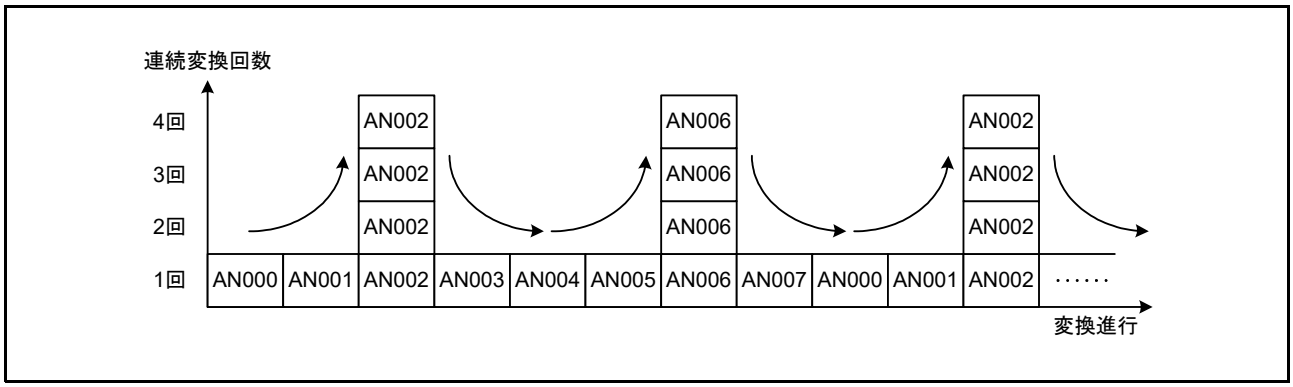


図 39.6 S12AD.ADADC.ADC[2:0] = 011b、S12AD.ADADC.AVEE = 0、S12AD.ADADS0.ADS002 = 1、S12AD.ADADS0.ADS006 = 1 選択時のスキャン変換シーケンス

39.2.12 A/D 変換値加算 / 平均機能チャネル選択レジスタ 1 (ADADS1)

アドレス S12AD2.ADADS1 0008 940Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADS101	ADS100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS100	A/D変換値加算/平均チャネル選択ビット	AN216、AN217のA/D変換値加算/平均モードを設定します。 0：A/D変換値加算/平均モード無効 1：A/D変換値加算/平均モード有効	R/W
b1	ADS101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADADS1 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャネル AN216、AN217 を選択します。

ADS1n ビット (A/D 変換値加算 / 平均チャネル選択ビット) (n = 00, 01)

S12AD2.ADANSA1.ANSA1n ビット、または S12AD2.ADCSR.DBLANS[4:0] ビットと S12AD2.ADANSB1.ANSB1n ビットと S12AD2.ADANSC1.ANSC1n ビットで選択した A/D 変換チャネルと同一番号の ADS1n ビットを “1” にすると、S12AD2.ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、選択したチャネルのアナログ入力を連続して A/D 変換し、S12AD2.ADADC.AVEE ビットが “0” の場合、加算 (積算) した値を、S12AD2.ADADC.AVEE ビットが “1” の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが無効の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS1n ビットは、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

39.2.13 A/D 変換値加算 / 平均回数選択レジスタ (ADADC)

アドレス S12AD.ADADC 0008 900Ch, S12AD1.ADADC 0008 920Ch, S12AD2.ADADC 0008 940Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	加算回数選択ビット	b2 b0 ０００：1回変換(加算なし。通常変換と同じ) ００１：2回変換(1回加算を行う) ０１０：3回変換(2回加算を行う)(注1) ０１１：4回変換(3回加算を行う) １０１：16回変換(15回加算を行う)(注1) 上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0：加算モードを選択 1：平均モードを選択	R/W

注1. AVEEビットは、2回変換、4回変換のときにのみ有効です。平均モードを選択した場合(AVEEビット= 1)、3回変換(ADC[2:0]ビット= 010b)および16回変換(ADC[2:0]ビット= 101b)に設定しないでください。

ADADC レジスタは、A/D 変換値加算 / 平均モードが有効のチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算回数の設定と、加算モード / 平均モードの選択を行います。

ADC[2:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算 / 平均モードが有効のチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

AVEE ビット (平均モードイネーブルビット)

ダブルトリガモードでの選択チャネル (DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算 / 平均モードが有効のチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算モード、または平均モードの選択を行います。

AVEE ビットを “1” にして平均モードを選択する場合、1 回変換 (ADC[2:0] ビット = 000b)、3 回変換 (ADC[2:0] ビット = 010b) および 16 回変換 (ADC[2:0] ビット = 101b) に設定しないでください。1 回、3 回および 16 回変換の平均値を求めることはできません。

AVEE ビットの設定は、ADST ビットが “0” のときに設定してください。

39.2.14 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD.ADCER 0008 900Eh, S12AD1.ADCER 0008 920Eh, S12AD2.ADCER 0008 940Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]		—	—	ACE	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	A/Dデータレジスタ自動クリアイネーブルビット	0：自動クリアを禁止 1：自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0：自己診断電圧固定モード時は設定禁止 0 1：0Vの電圧を使って自己診断を行う 1 0：1/2 × AVCCの電圧を使って自己診断を行う 1 1：AVCCの電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0：自己診断電圧ローテーションモード 1：自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0：12ビットA/Dコンバータの自己診断を実施しない 1：12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0：A/Dデータレジスタのフォーマットを右詰めにする 1：A/Dデータレジスタのフォーマットを左詰めにする	R/W

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDRy) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU、DTC または DMAC によって ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタを読み出した後、当該レジスタの自動クリア (All “0”) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細は DIAGLD ビットの説明を参照してください。

DIAGVAL[1:0] ビットが “00b” の状態で DIAGLD ビットを “1” に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。DIAGLD ビットを “0” にすると 0V → 1/2 × AVCC → AVCC の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は 0V から自己診断を行います。自己診断電圧固定モードを選択した場合は DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST が “0” のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12 ビット A/D コンバータの故障を検出するための機能です。内部で生成する 0V、1/2 × AVCC、AVCC の 3 つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B とグループ C のそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

自己診断を実施する場合、スキャングループに関わらず温度センサ出力または内部基準電圧の A/D 変換は禁止です。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADRD、ADCMPDR0、ADCMPDR1、ADWINLLB、ADWINULB レジスタに格納するデータの右詰め / 左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

各データレジスタのフォーマットの詳細は、「39.2.1　A/D データレジスタ y (ADDRy) (y = 0 ～ 11, 16, 17)、A/D データ二重化レジスタ (ADDBLDR)、A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB)、A/D 温度センサデータレジスタ (ADTSDR)、A/D 内部基準電圧データレジスタ (ADOCDR)」、「39.2.2　A/D 自己診断データレジスタ (ADRD)」「39.2.32　A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)」「39.2.33　A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)」「39.2.39　A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)」「39.2.40　A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)」を参照してください。

39.2.15 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD.ADSTRGR 0008 9010h, S12AD1.ADSTRGR 0008 9210h, S12AD2.ADSTRGR 0008 9410h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TRSA[5:0]						—	—	TRSB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSB[5:0] ビット (グループ B A/D 変換開始トリガ選択ビット)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[5:0] ビットを “00h” 以外に設定し、ADCSR.TRGE ビットを “1” に設定してください。

グループスキャンモードのグループ優先動作時に、2 グループを選択 (ADGCTRGR.GRCE ビット = 0) した場合、ADGSPCR.GBRP ビットを “1” に設定することで、グループ B をシングルスキャンモードで連続動作させることができます。GBRP ビットを “1” に設定する場合は、TRSB[5:0] ビットを “3Fh” に設定してください。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに PCLKC で動作する MTU からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「39.3.8　アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 39.13 に TRSB[5:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D 変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ADCSR.TRGE ビットを “1” かつ ADCSR.EXTRG ビットを “0” に設定してください。

- 同期トリガの A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを “1” に設定し、かつ ADCSR.EXTRG ビットを “0” に設定してください。
- 非同期トリガを使用する場合は、ADCSR.TRGE ビットを “1” に設定し、かつ ADCSR.EXTRG ビットを “1” に設定してください。
- ソフトウェアトリガ (ADCSR.ADST ビット) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。

なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。
A/D 変換開始トリガに PCLKC で動作する MTU からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「**39.3.8　アナログ入力のサンプリング時間とスキャン変換時間**」を参照してください。**表 39.14** に TRSA[5:0] ビットでの A/D 起動要因選択一覧を示します。

表39.13　TRSB[5:0]ビットでのA/D起動要因選択一覧 (1 / 2)

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4ANまたはTRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7ANまたはTRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	1	0	0	0	0
	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	0	0	1	1
	TRG9N	MTU9.TGREのコンペアマッチ	0	1	0	1	0	0
	TRGA0NまたはTRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	1	1	0	0	1
	TRGA9NまたはTRG9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGREのコンペアマッチ	0	1	1	0	1	0
	TRGA0NまたはTRGA9N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	1	0	1	1
	TRG0NまたはTRG9N	MTU0.TGREのコンペアマッチ、またはMTU9.TGREのコンペアマッチ	0	1	1	1	0	0
	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	1	0	0	0	0	1
	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	1	0	0	0	1	0

表39.13　TRSB[5:0]ビットでのA/D起動要因選択一覧 (2 / 2)

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
MTU	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	1	0	0	0	1	1
	TRG09N	MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	1	0	0	1	0	0
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
	TMTRG0AN_2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	0	1	1	1	1	1
	TMTRG0AN_3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	1	0	0	0	0	0
ELC	ELCTRG00N(注1) ELCTRG10N(注2) ELCTRG20N(注3)	ELCからのA/D起動要因0	1	1	0	0	1	0
	ELCTRG01N(注1) ELCTRG11N(注2) ELCTRG21N(注3)	ELCからのA/D起動要因1	1	1	0	0	1	1
	ELCTRG00NまたはELCTRG01N(注1) ELCTRG10NまたはELCTRG11N(注2) ELCTRG20NまたはELCTRG21N(注3)	ELCからのA/D起動要因0、またはELCからのA/D起動要因1	1	1	1	0	1	0

注1.　ユニット0
注2.　ユニット1
注3.　ユニット2

表39.14　TRSA[5:0]ビットでのA/D起動要因選択一覧 (1 / 2)

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRGn#	トリガ入力端子	0	0	0	0	0	0
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4ANまたはTRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7ANまたはTRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	1	0	0	0	0
	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	0	0	1	1
	TRG9N	MTU9.TGREのコンペアマッチ	0	1	0	1	0	0
	TRGA0NまたはTRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	1	1	0	0	1
	TRGA9NまたはTRG9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGREのコンペアマッチ	0	1	1	0	1	0
	TRGA0NまたはTRGA9N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	1	0	1	1
	TRG0NまたはTRG9N	MTU0.TGREのコンペアマッチ、またはMTU9.TGREのコンペアマッチ	0	1	1	1	0	0
	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	1	0	0	0	0	1
	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	1	0	0	0	1	0
	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	1	0	0	0	1	1
	TRG09N	MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	1	0	0	1	0	0

表39.14　TRSA[5:0]ビットでのA/D起動要因選択一覧 (2 / 2)

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
	TMTRG0AN_2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	0	1	1	1	1	1
	TMTRG0AN_3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	1	0	0	0	0	0
ELC	ELCTRG00N(注1) ELCTRG10N(注2) ELCTRG20N(注3)	ELCからのA/D起動要因0	1	1	0	0	1	0
	ELCTRG01N(注1) ELCTRG11N(注2) ELCTRG21N(注3)	ELCからのA/D起動要因1	1	1	0	0	1	1
	ELCTRG00Nまたは ELCTRG01N(注1) ELCTRG10Nまたは ELCTRG11N(注2) ELCTRG20Nまたは ELCTRG21N(注3)	ELCからのA/D起動要因0、またはELCからのA/D起動要因1	1	1	1	0	1	0

注1.　ユニット0
注2.　ユニット1
注3.　ユニット2

39.2.16 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス S12AD2.ADEXICR 0008 9412h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OCSB	TSSB	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算/平均モード選択ビット	0：温度センサ出力A/D変換値加算/平均モード無効 1：温度センサ出力A/D変換値加算/平均モード有効	R/W
b1	OCSAD	内部基準電圧A/D変換値加算/平均モード選択ビット	0：内部基準電圧A/D変換値加算/平均モード無効 1：内部基準電圧A/D変換値加算/平均モード有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSSA	温度センサ出力A/D変換選択ビット	0：温度センサ出力をA/D変換しない 1：温度センサ出力をA/D変換する	R/W
b9	OCSA	内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b10	TSSB	グループB温度センサ出力A/D変換選択ビット	0：温度センサ出力をA/D変換しない 1：温度センサ出力をA/D変換する	R/W
b11	OCSB	グループB内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADEXICR レジスタは、温度センサ出力、内部基準電圧の A/D 変換の設定をします。

TSSAD ビット (温度センサ出力 A/D 変換値加算 / 平均モード選択ビット)

温度センサ出力の A/D 変換を選択し、TSSAD ビットを “1” にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、温度センサ出力を連続して A/D 変換し、ADADC.AVEE ビットが “0” の場合は加算 (積算) した値を、ADADC.AVEE ビットが “1” の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。TSSAD ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

OCSAD ビット (内部基準電圧 A/D 変換値加算 / 平均モード選択ビット)

内部基準電圧の A/D 変換を選択し、OCSAD ビットを “1” にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ～ 4、16 回) 分、内部基準電圧を連続して A/D 変換し、ADADC.AVEE ビットが “0” の場合は加算 (積算) した値を、ADADC.AVEE ビットが “1” の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に格納します。

OCSAD ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

TSSA ビット (温度センサ出力 A/D 変換選択ビット)

シングルスキャンモードおよびグループスキャンモードのグループ A で温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換をする場合、ADCSR.DBLE ビットを “0” にしてください。

TSSA ビットは、ADCSR.ADST ビットが “0” のときに設定してください。TSSB ビットまたは ADGCEXCR.TSSC ビットを “1” にする場合、このビットは “0” にしてください。

シングルスキャンモード、グループスキャンモードで温度センサ出力の選択が可能です。温度センサ出力の A/D 変換では、サンプリング時間は 4 µs 以上に設定してください。TSSA ビットを “1” にすると、温度センサが自動的に起動します。温度センサが起動した後は 200 µs の安定時間を待ってから A/D 変換を開始し

てください。A/D 変換を開始すると、サンプリング前に 15 ADCLK 期間のオートディスチャージが実行されます。

グループ B、グループ C で温度センサ出力の A/D 変換を行う場合も同様に動作させてください。

OCSA ビット (内部基準電圧 A/D 変換選択ビット)

シングルスキャンモードおよびグループスキャンモードのグループ A で内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換をする場合、ADCSR.DBLE ビットを “0” にしてください。

OCSA ビットは、ADCSR.ADST ビットが “0” のときに設定してください。OCSB ビットまたは ADGCEXCR.OCSC ビットを “1” にする場合、このビットは “0” にしてください。

内部基準電圧を A/D 変換する場合、OCSA ビットを “1” にしてから 400 ns 以上待ってから A/D 変換を開始してください。A/D 変換を開始すると、サンプリング前に 15 ADCLK 期間のオートディスチャージが実行されます。なお、断線検出アシスト機能を併用した場合、ADNDIS[4:0] ビットの設定値は無視されます。

グループ B、グループ C で内部基準電圧を A/D 変換する場合も同様の動作をします。

TSSB ビット (グループ B 温度センサ出力 A/D 変換選択ビット)

グループスキャンモードのグループ B で温度センサ出力の A/D 変換を選択します。

TSSB ビットは、ADCSR.ADST ビットが “0” のときに設定してください。TSSA ビットまたは ADGCEXCR.TSSC ビットを “1” にする場合、このビットは “0” にしてください。

温度センサ出力の A/D 変換についての詳細は、TSSA ビットの説明を参照してください。

OCSB ビット (グループ B 内部基準電圧 A/D 変換選択ビット)

グループスキャンモードのグループ B で内部基準電圧の A/D 変換を選択します。

OCSB ビットは、ADCSR.ADST ビットが “0” のときに設定してください。OCSA ビットまたは ADGCEXCR.OCSC ビットを “1” にする場合、このビットは “0” にしてください。

内部基準電圧の A/D 変換についての詳細は、OCSA ビットの説明を参照してください。

39.2.17 A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR)

アドレス S12AD2.ADGCEXCR 0008 94D8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSC	TSSC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSC	グループC温度センサ出力A/D変換選択ビット	0：温度センサ出力をA/D変換しない 1：温度センサ出力をA/D変換する	R/W
b1	OCSC	グループC内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADGCEXCR レジスタは、グループ C の拡張入力を設定するレジスタです。

TSSC ビット (グループ C 温度センサ出力 A/D 変換選択ビット)

グループスキャンモードのグループ C で温度センサ出力の A/D 変換を選択します。

TSSC ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットを “1” にする場合、このビットは “0” にしてください。

温度センサ出力の A/D 変換についての詳細は、ADEXICR.TSSA ビットの説明を参照してください。

OCSC ビット (グループ C 内部基準電圧 A/D 変換選択ビット)

グループスキャンモードのグループ C で内部基準電圧の A/D 変換を選択します。

OCSC ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。ADEXICR.OCSA ビットまたは ADEXICR.OCSB ビットを “1” にする場合、このビットは “0” にしてください。

内部基準電圧の A/D 変換についての詳細は、ADEXICR.OCSA ビットの説明を参照してください。

39.2.18 A/D グループ C トリガ選択レジスタ (ADGCTRGR)

アドレス S12AD.ADGCTRGR 0008 90D9h, S12AD1.ADGCTRGR 0008 92D9h, S12AD2.ADGCTRGR 0008 94D9h

	b7	b6	b5	b4	b3	b2	b1	b0
	GRCE	GCADIE	TRSC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSC[5:0]	グループC A/D変換開始トリガ選択ビット	グループスキャンモードでグループCのA/D変換開始トリガを選択します	R/W
b6	GCADIE	グループCスキャン終了割り込み許可ビット	0：グループCのスキャン終了割り込みを禁止 1：グループCのスキャン終了割り込みを許可	R/W
b7	GRCE	グループC A/D変換動作許可ビット	グループCのA/D変換動作許可を設定します 0：グループCを使用しない 1：グループCを使用する	R/W

ADGCTRGR レジスタは、グループ C の動作許可設定と A/D 変換開始トリガを選択します。グループ優先動作の設定は、表 39.23、表 39.24 を参照してください。

TRSC[5:0] ビット (グループ C A/D 変換開始トリガ選択ビット)

グループ C で選択したアナログ入力のスキャンを開始するトリガの選択を行います。TRSC[5:0] ビットはグループスキャンモードでのみ使用可能なビットで、他のスキャンモードでは使用しません。グループ C のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガは設定できません。グループスキャンモードでグループ C を使用する場合は、TRSC[5:0] ビットを “00h” 以外に設定し、ADCSR.TRGE ビットを “1”、GRCE ビットを “1” に設定してください。

グループスキャンモードのグループ優先制御時にグループ C を使用し、ADGSPCR.GBRP ビットを “1” に設定することで、グループ C をシングルスキャンモードで連続動作させることができます。グループ C をシングルスキャンモードで連続動作させる場合は、TRSC[5:0] ビットを “3Fh” に設定し、トリガ選択を無効にしてください。

なお、AD 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに PCLKC で動作する MTU からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「39.3.8　アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 39.15 に TRSC[5:0] ビット (グループ C) での A/D 起動要因選択一覧を示します。

表39.15 TRSC[5:0]ビット(グループC)でのA/D起動要因選択一覧 (1 / 2)

モジュール	要因	備考	TRSC[5]	TRSC[4]	TRSC[3]	TRSC[2]	TRSC[1]	TRSC[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4ANまたはTRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7ANまたはTRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	1	0	0	0	0
	TRGA9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	0	0	1	1
	TRG9N	MTU9.TGREのコンペアマッチ	0	1	0	1	0	0
	TRGA0NまたはTRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	1	1	0	0	1
	TRGA9NまたはTRG9N	MTU9.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGREのコンペアマッチ	0	1	1	0	1	0
	TRGA0NまたはTRGA9N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU9.TGRAのコンペアマッチ/インプットキャプチャ	0	1	1	0	1	1
	TRG0NまたはTRG9N	MTU0.TGREのコンペアマッチ、またはMTU9.TGREのコンペアマッチ	0	1	1	1	0	0
	TRG9AEN	MTU9.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGREのコンペアマッチ	1	0	0	0	0	1
	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	1	0	0	0	1	0
	TRGA09N	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU9.TGRAのコンペアマッチ/インプットキャプチャ	1	0	0	0	1	1
	TRG09N	MTU0.TGREのコンペアマッチと、MTU9.TGREのコンペアマッチ	1	0	0	1	0	0

表39.15　TRSC[5:0]ビット(グループC)でのA/D起動要因選択一覧 (2 / 2)

モジュール	要因	備考	TRSC[5]	TRSC[4]	TRSC[3]	TRSC[2]	TRSC[1]	TRSC[0]
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
	TMTRG0AN_2	TMR4.TCORAとTMR4.TCNTのコンペアマッチ	0	1	1	1	1	1
	TMTRG0AN_3	TMR6.TCORAとTMR6.TCNTのコンペアマッチ	1	0	0	0	0	0
ELC	ELCTRG00N(注1) ELCTRG10N(注2) ELCTRG20N(注3)	ELCからのA/D起動要因0	1	1	0	0	1	0
	ELCTRG01N(注1) ELCTRG11N(注2) ELCTRG21N(注3)	ELCからのA/D起動要因1	1	1	0	0	1	1
	ELCTRG00Nまたは ELCTRG01N(注1) ELCTRG10Nまたは ELCTRG11N(注2) ELCTRG20Nまたは ELCTRG21N(注3)	ELCからのA/D起動要因0、またはELCからのA/D起動要因1	1	1	1	0	1	0

注1.　ユニット0
注2.　ユニット1
注3.　ユニット2

GCADIE ビット (グループ C スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ C のスキャン終了割り込みの発生を許可 / 禁止します。グループ C のスキャン終了割り込みはユニットごとに各 1 本あり、各ユニットとグループ C のスキャン終了割り込みの関係を表 39.16 に示します。

表39.16　各ユニットとグループCのスキャン終了割り込みの関係

ユニット	グループCのスキャン終了割り込み
S12AD	S12GCADI
S12AD1	S12GCADI1
S12AD2	S12GCADI2

GRCE ビット (グループ C A/D 変換動作許可ビット)

グループスキャンモードでグループ C を使用する場合は、GRCE ビットを “1” にしてください。GRCE ビットが “0” の場合は、グループ C のトリガ入力が無効となります。グループ C を使用したグループ優先動作 (ADGSPCR.PGS ビットが “1”) で、ADGSPCR.GBRP ビットを “1” とすると、グループ C がシングルスキャンの連続動作を行います (GRCE ビットを “1” にするとグループ B はシングルスキャンの連続動作を行いません)。

GRCE ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

39.2.19 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ～ 11, L, T, O)

アドレス
S12AD.ADSSTR0 0008 90E0h, S12AD.ADSSTR1 0008 90E1h, S12AD.ADSSTR2 0008 90E2h,
S12AD.ADSSTR3 0008 90E3h, S12AD.ADSSTR4 0008 90E4h, S12AD.ADSSTR5 0008 90E5h,
S12AD.ADSSTR6 0008 90E6h, S12AD.ADSSTR7 0008 90E7h,
S12AD1.ADSSTR0 0008 92E0h, S12AD1.ADSSTR1 0008 92E1h, S12AD1.ADSSTR2 0008 92E2h,
S12AD1.ADSSTR3 0008 92E3h, S12AD1.ADSSTR4 0008 92E4h, S12AD1.ADSSTR5 0008 92E5h,
S12AD1.ADSSTR6 0008 92E6h, S12AD1.ADSSTR7 0008 92E7h,
S12AD2.ADSSTR0 0008 94E0h, S12AD2.ADSSTR1 0008 94E1h, S12AD2.ADSSTR2 0008 94E2h,
S12AD2.ADSSTR3 0008 94E3h, S12AD2.ADSSTR4 0008 94E4h, S12AD2.ADSSTR5 0008 94E5h,
S12AD2.ADSSTR6 0008 94E6h, S12AD2.ADSSTR7 0008 94E7h, S12AD2.ADSSTR8 0008 94E8h,
S12AD2.ADSSTR9 0008 94E9h, S12AD2.ADSSTR10 0008 94EAh, S12AD2.ADSSTR11 0008 94EBh,
S12AD2.ADSSTRL 0008 94DDh, S12AD2.ADSSTRT 0008 94DEh, S12AD2.ADSSTRO 0008 94DFh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	1	1	0	1	1

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

サンプリング時間は ADCLK (A/D 変換クロック) のクロック数で設定し、初期値は 27 クロックです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。ADSSTRn レジスタは、ADCSR.ADST ビットが “0” のときに設定してください。

本レジスタの設定値は 12 ～ 252 クロックの間かつ 3 の倍数の値にしてください。

サンプリング時間は以下の式で求められます。

サンプリング時間 = ADSSTR × t_C(ADCLK)

表 39.17 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

詳細は、「39.3.8　アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表39.17　A/Dサンプリングステートレジスタと対象チャネルの関係

ユニット	レジスタ名	対象チャネル
S12AD	ADSSTR0レジスタ	AN000、自己診断
	ADSSTR1レジスタ	AN001
	ADSSTR2レジスタ	AN002
	ADSSTR3レジスタ	AN003
	ADSSTR4レジスタ	AN004
	ADSSTR5レジスタ	AN005
	ADSSTR6レジスタ	AN006
	ADSSTR7レジスタ	AN007
S12AD1	ADSSTR0レジスタ	AN100、自己診断
	ADSSTR1レジスタ	AN101
	ADSSTR2レジスタ	AN102
	ADSSTR3レジスタ	AN103
	ADSSTR4レジスタ	AN104
	ADSSTR5レジスタ	AN105
	ADSSTR6レジスタ	AN106
	ADSSTR7レジスタ	AN107
S12AD2	ADSSTR0レジスタ	AN200、自己診断
	ADSSTR1レジスタ	AN201
	ADSSTR2レジスタ	AN202
	ADSSTR3レジスタ	AN203
	ADSSTR4レジスタ	AN204
	ADSSTR5レジスタ	AN205
	ADSSTR6レジスタ	AN206
	ADSSTR7レジスタ	AN207
	ADSSTR8レジスタ	AN208
	ADSSTR9レジスタ	AN209
	ADSSTR10レジスタ	AN210
	ADSSTR11レジスタ	AN211
	ADSSTRLレジスタ	AN216, AN217
	ADSSTRTレジスタ	温度センサ出力(注1)
	ADSSTROレジスタ	内部基準電圧(注2)

注1.　温度センサ出力をA/D変換する場合、「46.　電気的特性」に記載された仕様を満たすようにサンプリング時間を設定する必要があります。
注2.　内部基準電圧をA/D変換する場合、サンプリング時間を4 μs以上に設定する必要があります。

39.2.20 A/D サンプル & ホールド回路コントロールレジスタ (ADSHCR)

アドレス S12AD.ADSHCR 0008 9066h, S12AD1.ADSHCR 0008 9266h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SHANS[2:0]			SSTSH[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	チャネル専用サンプル＆ホールド回路サンプリング時間設定ビット	12～252クロックの間でサンプリング時間を設定します	R/W
b8	SHANS[0]	チャネル専用サンプル＆ホールド回路バイパス選択ビット	AN000またはAN100のチャネル専用サンプル＆ホールド回路を使用するか、しないかを選択します。 0：チャネル専用サンプル＆ホールド回路無効 1：チャネル専用サンプル＆ホールド回路有効	R/W
b9	SHANS[1]		AN001またはAN101のチャネル専用サンプル＆ホールド回路を使用するか、しないかを選択します。 0：チャネル専用サンプル＆ホールド回路無効 1：チャネル専用サンプル＆ホールド回路有効	R/W
b10	SHANS[2]		AN002またはAN102のチャネル専用サンプル＆ホールド回路を使用するか、しないかを選択します。 0：チャネル専用サンプル＆ホールド回路無効 1：チャネル専用サンプル＆ホールド回路有効	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSHCR レジスタは、チャネル専用サンプル & ホールド回路を設定するレジスタです。

SSTSH[7:0] ビット (チャネル専用サンプル & ホールド回路サンプリング時間設定ビット)

ADSHMSR.SHMD ビットが “0” のときのチャネル専用サンプル & ホールド回路のサンプリング時間を設定をします。サンプリング時間は ADCLK (A/D 変換クロック) のクロック数で設定し、初期値は 27 クロックです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。SSTSH[7:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。サンプリング時間の設定値は、12 クロック以上 252 クロック以下の値を設定してください。また、サンプリング時間が 0.4 μs 以上となるように設定してください。

SHANS[2:0] ビット (チャネル専用サンプル & ホールド回路バイパス選択ビット)

アナログ入力 AN000 ～ AN002 (ユニット 0) または AN100 ～ AN102 (ユニット 1) のチャネル専用サンプル & ホールド回路を使用するか、使用せずにバイパスするかを選択します。SHANS[2:0] ビットの設定は、ADCSR.ADST ビットが “0” のとき、かつ ADSHMSR.SHMD ビットが “0” のときに行ってください。

グループスキャンモードのグループ A 優先制御時に、グループ B またはグループ C に AN000 ～ AN002 (ユニット 0) または AN100 ～ AN102 (ユニット 1) のいずれかを選択した場合は、チャネル専用サンプル & ホールド回路を無効にしてください。

なお、チャネル専用サンプル & ホールド回路は、ユニット 2 にはありません。

39.2.21 A/D サンプル & ホールド動作モード選択レジスタ (ADSHMSR)

アドレス S12AD.ADSHMSR 0008 907Ch, S12AD1.ADSHMSR 0008 927Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SHMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SHMD	チャネル専用サンプル&ホールド回路動作モード設定ビット	0：チャネル専用サンプル&ホールド回路の常時サンプリングを無効 1：チャネル専用サンプル&ホールド回路の常時サンプリングを有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSHMSR レジスタは、チャネル専用サンプル & ホールド回路の常時サンプリングの有効 / 無効を設定するレジスタです。

SHMD ビット (チャネル専用サンプル & ホールド回路動作モード設定ビット)

SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたチャネル専用サンプル & ホールド回路の常時サンプリングが有効になります。SHMD ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

常時サンプリング機能を有効にすると、12 ビット A/D コンバータが待機中に常時サンプリング動作を行い、A/D 変換中にホールド動作を行います。

チャネル専用サンプル & ホールド回路の使用を許可 (ADSHCR.SHANS[2:0] ≠ 000b) 後、チャネル専用サンプル & ホールド回路の常時サンプリングを有効 (ADSHMSR.SHMD = 1) にしてから 6 ADCLK の間はトリガを入力しないでください。

39.2.22 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス S12AD.ADDISCR 0008 907Ah, S12AD1.ADDISCR 0008 927Ah, S12AD2.ADDISCR 0008 947Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADNDIS[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ADNDIS[3:0]	A/D断線検出アシスト設定ビット	ディスチャージ/プリチャージ期間をADCLKのクロック数で指定します。 b3　b0 ００００：チャージなし(断線検出アシスト機能無効) ００１１：チャージ期間3クロック ０１１０：チャージ期間6クロック １００１：チャージ期間9クロック １１００：チャージ期間12クロック １１１１：チャージ期間15クロック 上記以外は設定しないでください	R/W
b4	ADNDIS[4]		0：ディスチャージ 1：プリチャージ	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ / ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ / ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0000b または 3 の倍数に設定してください。それ以外は設定禁止です。ADNDIS[3:0] ビットに設定した値が、プリチャージ / ディスチャージ期間のクロック数となります。

ADNDIS[4:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

PGA 出力 (PGA バイパス除く)、温度センサ出力、または内部基準電圧を変換する場合や自己診断機能を使用する場合は、断線検出アシスト機能は使用できません。ADNDIS[3:0] ビットを “0000b” に設定してください。

温度センサ出力または内部基準電圧を A/D 変換する場合、オートディスチャージを実施しますので、温度センサ出力または内部基準電圧を含むスキャングループの変換動作中は ADNDIS[4:0] ビットを自動的に “0Fh” に固定し、A/D コンバータ内部のアナログ入力経路をディスチャージします。ディスチャージ完了後、サンプリングが開始されます。温度センサ出力または内部基準電圧の A/D 変換が完了後、ADNDIS[4:0] ビットは自動的に元の設定値に戻ります。

39.2.23 A/D イベントリンクコントロールレジスタ (ADELCCR)

アドレス S12AD.ADELCCR 0008 907Dh, S12AD1.ADELCCR 0008 927Dh, S12AD2.ADELCCR 0008 947Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ELCC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ELCC[2:0]	イベントリンクコントロールビット	b2 b0 ０００：グループAのスキャン終了時にイベント出力 ００１：グループBのスキャン終了時にイベント出力 ０１０：グループA、グループB、またはグループCのスキャン終了時にイベント出力 １００：グループCのスキャン終了時にイベント出力 上記以外は設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADELCCR レジスタは、スキャン終了イベントのイベント信号の出力条件を設定します。

ELCC[2:0] ビット (イベントリンクコントロールビット)

スキャン終了イベントの出力条件を選択するビットです。

39.2.24 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス S12AD.ADGSPCR 0008 9080h, S12AD1.ADGSPCR 0008 9280h, S12AD2.ADGSPCR 0008 9480h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	LGRRS	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループ優先制御設定ビット (注1)	0：グループの優先制御動作を行わない 1：グループの優先制御動作を行う	R/W
b1	GBRSCN	低優先グループ再起動設定ビット	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0：グループ優先制御で中断されたグループの再起動をしない 1：グループ優先制御で中断されたグループの再起動をする	R/W
b13-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	LGRRS	再開チャネル選択ビット	(PGS = 1かつGBRSCN = 1のときのみ有効。PGS = 0またはGBRSCN = 0ときは予約ビット) 0：スキャン先頭チャネルから再スキャンを行う 1：A/D変換未終了チャネルから再スキャンを行う	R/W
b15	GBRP	シングルスキャン連続起動設定ビット (注2)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0：シングルスキャン連続動作しない 1：最も優先度の低いグループのシングルスキャン連続動作開始	R/W

注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。それ以外の設定をした場合、動作は保証されません。
注2. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、最も優先度の低いグループのシングルスキャン連続動作を実行します。

ADGSPCR レジスタは、グループスキャンモードで低優先グループのスキャンを中断し、優先グループのスキャンを実行する優先制御を設定するレジスタです。グループ優先動作の設定は、表 39.23、表 39.24 を参照してください。

PGS ビット (グループ優先制御設定ビット)

グループスキャンモードでの優先動作を制御します。グループ優先制御動作を行うときに “1” を設定してください。

PGS ビットを “1” に設定するときは、ADCSR.ADCS[1:0] ビットを “01b” (グループスキャンモード) に設定してください。

グループ優先動作は、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。優先順位は、グループ A > グループ B > グループ C の順です。グループ C のスキャン中にグループ B のスキャン開始を受け付けると、グループ C のスキャンを中断し、グループ B のスキャンを開始します。また、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始します。同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けると、グループ B のスキャンを中断し、グループ A のスキャンを開始します。

PGS ビットを “0” にする場合は、「39.6.2　A/D 変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGS ビットを “1” にする場合は、「39.3.6.3　グループ優先制御動作」の手順に従い設定を行ってください。

GBRSCN ビット (低優先グループ再起動設定ビット)

グループ優先制御時の、再スキャン動作を設定します。

GBRSCN ビットを “1” にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断

した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを “0” にした場合は、A/D 変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが “1” のときに有効となります。

LGRRS ビット (再開チャネル選択ビット)

グループ優先動作時の、再スキャン開始チャネルを設定します。LGRRS ビットの設定は、PGS ビットと GBRSCN ビットが “1” のときに有効となります。

LGRRS ビットが “0” のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後のスキャンを先頭チャネルから再実行します。

LGRRS ビットが “1” のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後の再スキャンを A/D 変換未終了のチャネルから再実行 (注 1) します。

LGRRS ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

注 1. 中断時に加算設定チャネルの A/D 変換が設定回数分終了していなければ、再実行時、加算設定チャネルは再度 A/D 変換を設定回数分実行します。

GBRP ビット (シングルスキャン連続起動設定ビット)

グループ優先動作設定で最も優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。最も優先度の低いグループとは、グループ A、B、C を使用する場合はグループ C、グループ A、B のみを使用する場合は、グループ B になります。

GBRP ビットを “1” にすると、最も優先度の低いグループのシングルスキャンが起動します。スキャン終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。

GBRP ビットを “1” にする場合は、事前に最も優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを “1” に設定した場合、GBRSCN ビットが “0” でも、最も優先度の低いグループのみ再スキャンを行います。

GBRP ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

GBRP ビットの設定は、PGS ビットが “1” のときに有効となります。

39.2.25 A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス S12AD.ADCMPCR 0008 9090h, S12AD1.ADCMPCR 0008 9290h, S12AD2.ADCMPCR 0008 9490h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPAIE	WCMPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウA/Bの複合条件設定ビット	b1 b0 0 0：ウィンドウA比較条件一致ORウィンドウB比較条件一致 0 1：ウィンドウA比較条件一致XORウィンドウB比較条件一致 1 0：ウィンドウA比較条件一致ANDウィンドウB比較条件一致 1 1：設定しないでください	R/W
b8-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	CMPBE	コンペアウィンドウB動作許可ビット	0：コンペアウィンドウB停止 1：コンペアウィンドウB動作	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	CMPAE	コンペアウィンドウA動作許可ビット	0：コンペアウィンドウA停止 1：コンペアウィンドウA動作	R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	CMPBIE	コンペアB割り込み許可ビット	0：比較条件(ウィンドウB)一致によるコンペア割り込み禁止 1：比較条件(ウィンドウB)一致によるコンペア割り込み許可	R/W
b14	WCMPE	ウィンドウ機能設定ビット	0：ウィンドウ機能無効 ウィンドウA/Bは下位側の1値とA/D変換結果を比較するコンパレータとして動作します。 1：ウィンドウ機能有効 ウィンドウA/Bは上位側、下位側の2値とA/D変換結果を比較するウィンドウコンパレータとして動作します。	R/W
b15	CMPAIE	コンペアA割り込み許可ビット	0：比較条件(ウィンドウA)一致によるコンペア割り込み禁止 1：比較条件(ウィンドウA)一致によるコンペア割り込み許可	R/W

ADCMPCR レジスタは、コンペアウィンドウ A/B 機能の設定を行います。

CMPAB[1:0] ビット (ウィンドウ A/B の複合条件設定ビット)

CMPAB[1:0] ビットは、シングルスキャン時、ウィンドウ A/B が共に有効である場合 (CMPAE ビット = 1 かつ CMPBE ビット = 1) に有効です。ADWINMON.MONCOMB フラグのモニタ条件を選択します。CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

CMPBE ビット (コンペアウィンドウ B 動作許可ビット)

コンペアウィンドウ B の停止 / 動作を選択します。CMPBE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

以下のレジスタを設定する場合は、本ビットを “0” にしてください。

- A/Dチャネル選択レジスタA0/A1/B0/B1/C0/C1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1, ADANSC0, ADANSC1)
- A/D 変換拡張入力コントロールレジスタの OCSB、TSSB、OCSA、TSSA ビット (ADEXICR.OCSB, TSSB, OCSA, TSSA)
- A/D グループ C 拡張入力コントロールレジスタの OCSC、TSSC ビット (ADGCEXCR.OCSC, TSSC)
- ウィンドウ B チャネル選択レジスタの CMPCHB[5:0] ビット (ADCMPBNSR.CMPCHB[5:0])

CMPAE ビット (コンペアウィンドウ A 動作許可ビット)

コンペアウィンドウ A の停止 / 動作を選択します。CMPAE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

以下のレジスタを設定する場合は、本ビットを “0” にしてください。

- A/Dチャネル選択レジスタA0/A1/B0/B1/C0/C1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1, ADANSC0, ADANSC1)
- A/D 変換拡張入力コントロールレジスタの OCSB、TSSB、OCSA、TSSA ビット (ADEXICR.OCSB, TSSB, OCSA, TSSA)
- A/D グループ C 拡張入力コントロールレジスタの OCSC、TSSC ビット (ADGCEXCR.OCSC, TSSC)
- ウィンドウ A チャネル選択レジスタ 0/1 (ADCMPANSR0, ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット (コンペア B 割り込み許可ビット)

比較条件 (ウィンドウ B) 一致によるコンペア割り込みの発生を許可 / 禁止します。コンペア割り込みはユニットごとに各 1 本あり、各ユニットとコンペア割り込みの関係を表 39.18 に示します。

WCMPE ビット (ウィンドウ機能設定ビット)

ウィンドウ機能の有効 / 無効を選択します。WCMPE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

CMPAIE ビット (コンペア A 割り込み許可ビット)

比較条件 (ウィンドウ A) 一致によるコンペア割り込みの発生を許可 / 禁止します。コンペア割り込みはユニットごとに各 1 本あり、各ユニットとコンペア割り込みの関係を表 39.18 に示します。

表39.18 各ユニットとコンペア割り込みの関係

ユニット	コンペア割り込み	
	比較条件(ウィンドウA)一致	比較条件(ウィンドウB)一致
S12AD	S12CMPAI	S12CMPBI
S12AD1	S12CMPAI1	S12CMPBI1
S12AD2	S12CMPAI2	S12CMPBI2

39.2.26 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCMPANSR0)

(1) S12AD.ADCMPANSR0

アドレス S12AD.ADCMPANSR0 0008 9094h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPCHA007	CMPCHA006	CMPCHA005	CMPCHA004	CMPCHA003	CMPCHA002	CMPCHA001	CMPCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウAチャネル選択ビット	AN000～AN007をコンペアウィンドウAの対象にするかどうかを設定します。 0：コンペアウィンドウAの対象から外す 1：コンペアウィンドウAの対象にする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b6	CMPCHA006			R/W
b7	CMPCHA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0 レジスタは、コンペアウィンドウ A の条件で比較を行うチャネルのアナログ入力 AN000 ～ AN007 を選択するレジスタです。

CMPCHA0n ビット (コンペアウィンドウ A チャネル選択ビット) (n = 00 ～ 07)

ADANSA0.ANSA0n ビット、ADANSB0.ANSB0n ビットと ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の CMPCHA0n ビットを “1” にすると、コンペア機能が有効になります。

CMPCHA0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

(2) S12AD1.ADCMPANSR0

アドレス S12AD1.ADCMPANSR0 0008 9294h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPCHA007	CMPCHA006	CMPCHA005	CMPCHA004	CMPCHA003	CMPCHA002	CMPCHA001	CMPCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウAチャネル選択ビット	AN100～AN107をコンペアウィンドウAの対象にするかどうかを設定します。 0：コンペアウィンドウAの対象から外す 1：コンペアウィンドウAの対象にする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b6	CMPCHA006			R/W
b7	CMPCHA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0 レジスタは、コンペアウィンドウ A の条件で比較を行うチャネルのアナログ入力 AN100 ～ AN107 を選択するレジスタです。

CMPCHA0n ビット (コンペアウィンドウ A チャネル選択ビット) (n = 00 ～ 07)

ADANSA0.ANSA0n ビット、ADANSB0.ANSB0n ビットと ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の CMPCHA0n ビットを “1” にすると、コンペア機能が有効になります。

CMPCHA0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

(3) S12AD2.ADCMPANSR0

アドレス S12AD2.ADCMPANSR0 0008 9494h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPCHA011	CMPCHA010	CMPCHA009	CMPCHA008	CMPCHA007	CMPCHA006	CMPCHA005	CMPCHA004	CMPCHA003	CMPCHA002	CMPCHA001	CMPCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウAチャネル選択ビット	AN200～AN211をコンペアウィンドウAの対象にするかどうかを設定します。 0：コンペアウィンドウAの対象から外す 1：コンペアウィンドウAの対象にする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b6	CMPCHA006			R/W
b7	CMPCHA007			R/W
b8	CMPCHA008			R/W
b9	CMPCHA009			R/W
b10	CMPCHA010			R/W
b11	CMPCHA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0 レジスタは、コンペアウィンドウ A の条件で比較を行うチャネルのアナログ入力 AN200 ～ AN211 を選択するレジスタです。

CMPCHA0n ビット (コンペアウィンドウ A チャネル選択ビット) (n = 00 ～ 11)

ADANSA0.ANSA0n ビット、ADANSB0.ANSB0n ビットと ADANSC0.ANSC0n ビットで選択した A/D 変換チャネルと同一番号の CMPCHA0n ビットを “1” にすると、コンペア機能が有効になります。

CMPCHA0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

39.2.27 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 (ADCMPANSR1)

アドレス S12AD2.ADCMPANSR1 0008 9496h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPCHA101	CMPCHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA100	コンペアウィンドウAチャネル選択ビット	AN216、AN217をコンペアウィンドウAの対象にするかどうかを設定します。 0：コンペアウィンドウAの対象から外す 1：コンペアウィンドウAの対象にする	R/W
b1	CMPCHA101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR1 レジスタは、コンペアウィンドウ A の条件で比較を行うチャネルのアナログ入力 AN216、AN217 を選択するレジスタです。

CMPCHA1n ビット (コンペアウィンドウ A チャネル選択ビット) (n = 00, 01)

ADANSA1.ANSA1n ビット、ADANSB1.ANSB1n ビットと ADANSC1.ANSC1n ビットで選択した A/D 変換チャネルと同一番号の CMPCHA1n ビットを “1” にすると、コンペア機能が有効になります。

CMPCHA1n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

39.2.28 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

アドレス S12AD2.ADCMPANSER 0008 9492h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPSOC	CMPSTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTS	温度センサ出力コンペア選択ビット	0：温度センサ出力をコンペアウィンドウAの対象から外す 1：温度センサ出力をコンペアウィンドウAの対象にする	R/W
b1	CMPSOC	内部基準電圧コンペア選択ビット	0：内部基準電圧をコンペアウィンドウAの対象から外す 1：内部基準電圧をコンペアウィンドウAの対象にする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSER レジスタは、温度センサ出力 / 内部基準電圧をコンペアウィンドウ A の条件で比較を行うかを選択するレジスタです。

CMPSTS ビット (温度センサ出力コンペア選択ビット)

ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットまたは ADGCEXCR.TSSC ビットが “1” のときに CMPSTS ビットを “1” にすると、コンペアウィンドウ A 機能が有効になります。CMPSTS ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

CMPSOC ビット (内部基準電圧コンペア選択ビット)

ADEXICR.OCSA ビットまたは ADEXICR.OCSB または ADGCEXCR.OCSC ビットが “1” のときに CMPSOC ビットを “1” にすると、コンペアウィンドウ A 機能が有効になります。CMPSOC ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

39.2.29 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)

(1) S12AD.ADCMPLR0

アドレス S12AD.ADCMPLR0 0008 9098h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPLCHA007	CMPLCHA006	CMPLCHA005	CMPLCHA004	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値> A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：AD変換値< ADCMPDR0レジスタ値または ADCMPDR1レジスタ値< AD変換値 1：ADCMPDR0レジスタ値< A/D変換値< ADCMPDR1レジスタ値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002			R/W
b3	CMPLCHA003			R/W
b4	CMPLCHA004			R/W
b5	CMPLCHA005			R/W
b6	CMPLCHA006			R/W
b7	CMPLCHA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADCMPLR0 レジスタは、S12AD.ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。S12AD.ADCMPLR0 レジスタの設定は、S12AD.ADCSR.ADST ビットが “0” のときに設定してください。

CMPLCHA0n ビット (コンペアウィンドウ A コンペア条件選択ビット) (n = 00 ～ 07)

ウィンドウ A 比較条件の対象としたチャネル (AN000 ～ AN007) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN000 に、CMPLCHA007 ビットが AN007 に対応します。

(2) S12AD1.ADCMPLR0

アドレス S12AD1.ADCMPLR0 0008 9298h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPLCHA007	CMPLCHA006	CMPLCHA005	CMPLCHA004	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値> A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：AD変換値< ADCMPDR0レジスタ値または ADCMPDR1レジスタ値< AD変換値 1：ADCMPDR0レジスタ値< A/D変換値< ADCMPDR1レジスタ値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002			R/W
b3	CMPLCHA003			R/W
b4	CMPLCHA004			R/W
b5	CMPLCHA005			R/W
b6	CMPLCHA006			R/W
b7	CMPLCHA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADCMPLR0 レジスタは、S12AD1.ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。S12AD1.ADCMPLR0 レジスタの設定は、S12AD1.ADCSR.ADST ビットが “0” のときに設定してください。

CMPLCHA0n ビット (コンペアウィンドウ A コンペア条件選択ビット) (n = 00 ～ 07)

ウィンドウ A 比較条件の対象としたチャネル (AN100 ～ AN107) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN100 に、CMPLCHA007 ビットが AN107 に対応します。

(3) S12AD2.ADCMPLR0

アドレス S12AD2.ADCMPLR0 0008 9498h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPLCHA011	CMPLCHA010	CMPLCHA009	CMPLCHA008	CMPLCHA007	CMPLCHA006	CMPLCHA005	CMPLCHA004	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値> A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：AD変換値< ADCMPDR0レジスタ値または ADCMPDR1レジスタ値< AD変換値 1：ADCMPDR0レジスタ値< A/D変換値< ADCMPDR1レジスタ値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002			R/W
b3	CMPLCHA003			R/W
b4	CMPLCHA004			R/W
b5	CMPLCHA005			R/W
b6	CMPLCHA006			R/W
b7	CMPLCHA007			R/W
b8	CMPLCHA008			R/W
b9	CMPLCHA009			R/W
b10	CMPLCHA010			R/W
b11	CMPLCHA011			R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD2.ADCMPLR0 レジスタは、S12AD2.ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。S12AD2.ADCMPLR0 レジスタの設定は、S12AD2.ADCSR.ADST ビットが “0” のときに設定してください。

CMPLCHA0n ビット (コンペアウィンドウ A コンペア条件選択ビット) (n = 00 ～ 11)

ウィンドウ A 比較条件の対象としたチャネル (AN200 ～ AN211) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN200 に、CMPLCHA011 ビットが AN211 に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPSR0.CMPSTCHA0n フラグ (n = 00 ～ 11) が “1” になり、コンペア割り込み (S12CMPAI, S12CMPAI1, S12CMPAI2) が発生します。

コンペア条件を図 39.7 に示します。

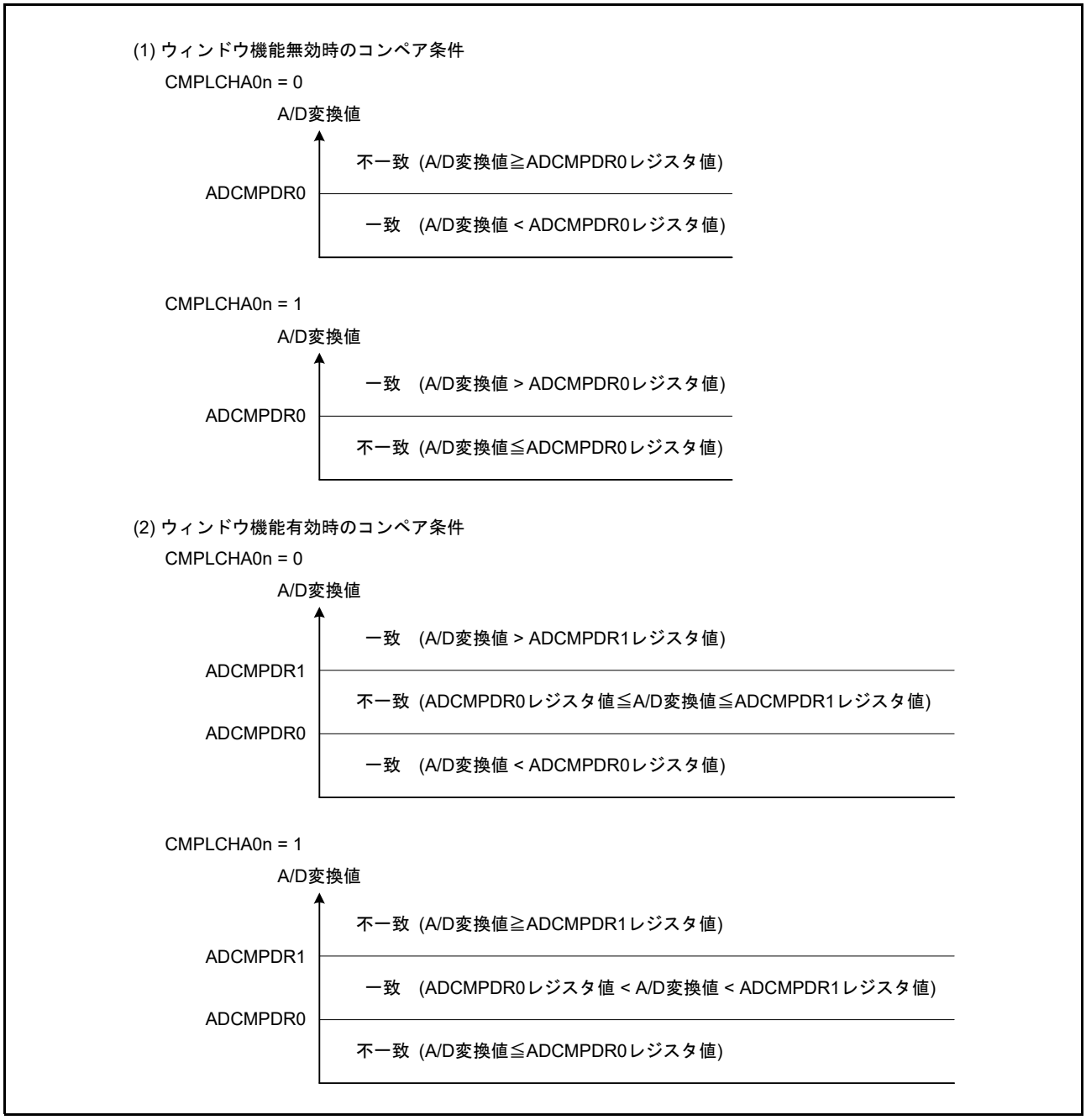


図 39.7　コンペア機能ウィンドウ A　コンペア条件説明

39.2.30 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1)

アドレス S12AD2.ADCMPLR1 0008 949Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPLCHA101	CMPLCHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA100	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値> A/D変換値 1：ADCMPDR0レジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：AD変換値< ADCMPDR0レジスタ値または ADCMPDR1レジスタ値< AD変換値 1：ADCMPDR0レジスタ値< A/D変換値< ADCMPDR1レジスタ値	R/W
b1	CMPLCHA101			R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLR1 レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。ADCMPLR1 レジスタの設定は、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLCHA1n ビット (コンペアウィンドウ A コンペア条件選択ビット) (n = 00, 01)

ウィンドウ A 比較条件の対象としたチャネル (AN216, AN217) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA100 ビットが AN216 に、CMPLCHA101 ビットが AN217 に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPSR1.CMPSTCHA1n フラグが “1” になり、コンペア割り込み (S12CMPAI2) が発生します。

コンペア条件を図 39.7 に示します。

39.2.31 A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス S12AD2.ADCMPLER 0008 9493h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPLOC	CMPLTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTS	コンペアウィンドウA温度センサ出力コンペア条件選択ビット	ウィンドウA機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値＞A/D変換値 1：ADCMPDR0レジスタ値＜A/D変換値 ウィンドウA機能有効時(ADCMPCR.WCMPEビットが“1”) 0：AD変換値＜ADCMPDR0レジスタ値または AD変換値＞ADCMPDR1レジスタ値 1：ADCMPDR0レジスタ値＜A/D変換値＜ADCMPDR1レジスタ値	R/W
b1	CMPLOC	コンペアウィンドウA内部基準電圧コンペア条件選択ビット	ウィンドウA機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADCMPDR0レジスタ値＞A/D変換値 1：ADCMPDR0レジスタ値＜A/D変換値 ウィンドウA機能有効時(ADCMPCR.WCMPEビットが“1”) 0：AD変換値＜ADCMPDR0レジスタ値または AD変換値＞ADCMPDR1レジスタ値 1：ADCMPDR0レジスタ値＜A/D変換値＜ADCMPDR1レジスタ値	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLER レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。ADCMPLER レジスタの設定は、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLTS ビット (コンペアウィンドウ A 温度センサ出力コンペア条件選択ビット)

温度センサ出力をウィンドウ A 比較条件の対象とした場合の比較条件を設定します。

温度センサ出力の比較結果が設定した条件と一致したとき、ADCMPSER.CMPFTS フラグが “1” になり、コンペア割り込み (S12CMPAI2) が発生します。コンペア条件を図 39.7 に示します。

CMPLOC ビット (コンペアウィンドウ A 内部基準電圧コンペア条件選択ビット)

内部基準電圧をウィンドウ A 比較条件の対象とした場合の比較条件を設定します。

内部基準電圧の比較結果が設定した条件と一致したとき、ADCMPSER.CMPFOC フラグが “1” になり、コンペア割り込み (S12CMPAI2) が発生します。コンペア条件を図 39.7 に示します。

39.2.32 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)

アドレス S12AD.ADCMPDR0 0008 909Ch, S12AD1.ADCMPDR0 0008 929Ch, S12AD2.ADCMPDR0 0008 949Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADCMPDR0 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR0 は、ウィンドウ A の下位側レベルを設定します。

ADCMPDR0 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル≧下限側レベル (ADCMPDR1 設定値≧ ADCMPDR0 設定値) となるように設定してください。

ADCMPDR0 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャネル選択レジスタの設定値(A/D 変換値加算 / 平均モード有効、または無効)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注 . A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
  b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

- 右詰めのフォーマット
  b11-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

(3) A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～ 4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADCMPDR0 レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADCMPDR0 レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い

基準となるデータを設定してください。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b13-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b15-b2 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 には “0” を書いてください。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

39.2.33 A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)

アドレス S12AD.ADCMPDR1 0008 909Eh, S12AD1.ADCMPDR1 0008 929Eh, S12AD2.ADCMPDR1 0008 949Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADCMPDR1 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR1 は、ウィンドウ A の上位側レベルを設定します。

ADCMPDR1 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル≧下限側レベル (ADCMPDR1 設定値≧ ADCMPDR0 設定値) となるように設定してください。

ADCMPDR1 レジスタはウィンドウ機能無効時には使用しません。

ADCMPDR1 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャネル選択レジスタの設定値 (A/D 変換値加算 / 平均モード有効、または無効)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注 . A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
  b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 には “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

- 右詰めのフォーマット
  b11-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 には “0” を書いてください。

(3) A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～ 4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADCMPDR1 レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADCMPDR1 レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い基準となるデータを設定してください。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b13-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b15-b2 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b1-b0 には “0” を書いてください。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。

39.2.34 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0)

(1) S12AD.ADCMPSR0

アドレス S12AD.ADCMPSR0 0008 90A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPST CHA007	CMPST CHA006	CMPST CHA005	CMPST CHA004	CMPST CHA003	CMPST CHA002	CMPST CHA001	CMPST CHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、ウィンドウA比較条件の対象としたチャネル(AN000～AN007)の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b1	CMPSTCHA001			R/(W) (注1)
b2	CMPSTCHA002			R/(W) (注1)
b3	CMPSTCHA003			R/(W) (注1)
b4	CMPSTCHA004			R/(W) (注1)
b5	CMPSTCHA005			R/(W) (注1)
b6	CMPSTCHA006			R/(W) (注1)
b7	CMPSTCHA007			R/(W) (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (コンペアウィンドウ A フラグ) (n = 00 ～ 07)

ウィンドウ A 比較条件の対象としたチャネル (AN000 ～ AN007) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLR0.CMPLCHA0n ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI) 要求が発生します。CMPSTCHA000 フラグが AN000、CMPSTCHA007 フラグが AN007 に対応します。

CMPSTCHA0n フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

(2) S12AD1.ADCMPSR0

アドレス S12AD1.ADCMPSR0 0008 92A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPST CHA007	CMPST CHA006	CMPST CHA005	CMPST CHA004	CMPST CHA003	CMPST CHA002	CMPST CHA001	CMPST CHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、ウィンドウA比較条件の対象としたチャネル(AN100～AN107)の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b1	CMPSTCHA001			R/(W) (注1)
b2	CMPSTCHA002			R/(W) (注1)
b3	CMPSTCHA003			R/(W) (注1)
b4	CMPSTCHA004			R/(W) (注1)
b5	CMPSTCHA005			R/(W) (注1)
b6	CMPSTCHA006			R/(W) (注1)
b7	CMPSTCHA007			R/(W) (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (コンペアウィンドウ A フラグ) (n = 00 ～ 07)

ウィンドウ A 比較条件の対象としたチャネル (AN100 ～ AN107) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLR0.CMPLCHA0n ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI1) 要求が発生します。CMPSTCHA000 フラグが AN100、CMPSTCHA007 フラグが AN107 に対応します。

CMPSTCHA0n フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

(3) S12AD2.ADCMPSR0

アドレス S12AD2.ADCMPSR0 0008 94A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPST CHA011	CMPST CHA010	CMPST CHA009	CMPST CHA008	CMPST CHA007	CMPST CHA006	CMPST CHA005	CMPST CHA004	CMPST CHA003	CMPST CHA002	CMPST CHA001	CMPST CHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、ウィンドウA比較条件の対象としたチャネル(AN200～AN211)の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b1	CMPSTCHA001			R/(W) (注1)
b2	CMPSTCHA002			R/(W) (注1)
b3	CMPSTCHA003			R/(W) (注1)
b4	CMPSTCHA004			R/(W) (注1)
b5	CMPSTCHA005			R/(W) (注1)
b6	CMPSTCHA006			R/(W) (注1)
b7	CMPSTCHA007			R/(W) (注1)
b8	CMPSTCHA008			R/(W) (注1)
b9	CMPSTCHA009			R/(W) (注1)
b10	CMPSTCHA010			R/(W) (注1)
b11	CMPSTCHA011			R/(W) (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (コンペアウィンドウ A フラグ) (n = 00 ～ 11)

ウィンドウ A 比較条件の対象としたチャネル (AN200 ～ AN211) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLR0.CMPLCHA0n ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI2) 要求が発生します。CMPSTCHA000 フラグが AN200 に、CMPSTCHA011 フラグが AN211 に対応します。

CMPSTCHA0n フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

39.2.35 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 (ADCMPSR1)

アドレス S12AD2.ADCMPSR1 0008 94A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPST CHA101	CMPST CHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA100	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、ウィンドウA比較条件の対象としたチャネル(AN216, AN217)の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b1	CMPSTCHA101			R/(W) (注1)
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSR1 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA1n フラグ (コンペアウィンドウ A フラグ) (n = 00, 01)

ウィンドウ A 比較条件の対象としたチャネル (AN216, AN217) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLR1.CMPLCHA1n ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI2) 要求が発生します。CMPSTCHA100 フラグが AN216 に、CMPSTCHA101 フラグが AN217 に対応します。

CMPSTCHA1n フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR1.CMPLCHA1n ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

39.2.36 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス S12AD2.ADCMPSER 0008 94A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPFOC	CMPFTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPFTS	コンペアウィンドウA温度センサ出力コンペアフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、温度センサ出力の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b1	CMPFOC	コンペアウィンドウA内部基準電圧コンペアフラグ	ウィンドウA動作状態(ADCMPCR.CMPAEビット= 1)のとき、内部基準電圧の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSER レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPFTS フラグ (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLER.CMPLTS ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI2) 要求が発生します。

CMPFTS フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLER.CMPLTS ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

CMPFOC フラグ (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLER.CMPLOC ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPAIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI2) 要求が発生します。

CMPFOC フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLER.CMPLOC ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

39.2.37 A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ (ADWINMON)

アドレス S12AD.ADWINMON 0008 908Ch, S12AD1.ADWINMON 0008 928Ch, S12AD2.ADWINMON 0008 948Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MONCMPB	MONCMPA	—	—	—	MONCOMB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果モニタフラグ	組み合わせの結果を示します。 本ビットはウィンドウA/B共に動作状態のときに有効です。 0：ウィンドウA/Bの複合条件不成立 1：ウィンドウA/Bの複合条件成立	R
b3-b1	—	予約ビット	読むと“0”が読めます	R
b4	MONCMPA	比較結果モニタAフラグ	0：ウィンドウA比較条件不成立 1：ウィンドウA比較条件成立	R
b5	MONCMPB	比較結果モニタBフラグ	0：ウィンドウB比較条件不成立 1：ウィンドウB比較条件成立	R
b7-b6	—	予約ビット	読むと“0”が読めます	R

ADWINMON レジスタは比較結果と組み合わせ結果をモニタできます。

MONCOMB フラグ (組み合わせ結果モニタフラグ)

ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件で比較条件結果 A と比較結果条件 B を組み合わせた結果を示す読み出し専用のビットです。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 かつ ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致

[“0” になる条件]

- ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致しない
- ADCMPCR.CMPAE ビット = 0 または ADCMPCR.CMPBE ビット = 0 のとき

MONCMPA フラグ (比較結果モニタ A フラグ)

ADCMPLR0、ADCMPLR1、ADCMPLER レジスタで設定した条件にウィンドウ A 対象チャネルの AD 変換値が一致した場合は “1” を、一致しなかった場合は “0” を示す読み出し専用のビットです。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が不成立のとき
- ADCMPCR.CMPAE ビット = 0 のとき (ADCMPCR.CMPAE ビット = 1 → 0 で自動クリア)

MONCMPB フラグ (比較結果モニタ B フラグ)

ADCMPBNSR.CMPLB ビットで設定した条件にウィンドウ B 対象チャネルの AD 変換値が一致した場合は “1” を、一致しなかった場合は “0” を示す読み出し専用のビットです。

[“1” になる条件]

- ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

[“0” になる条件]

- ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビット設定した条件が不成立のとき
- ADCMPCR.CMPBE ビット = 0 のとき (ADCMPCR.CMPBE ビット = 1 → 0 で自動クリア)

39.2.38 A/D コンペア機能ウィンドウ B チャネル選択レジスタ (ADCMPBNSR)

(1) S12AD.ADCMPBNSR

アドレス S12AD.ADCMPBNSR 0008 90A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMPLB	—	CMPCHB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウB チャネル選択ビット	コンペアウィンドウBの条件で比較を行うチャネルを選択します b5 b0 0 0 0 0 0 0 : AN000 0 0 0 0 0 1 : AN001 0 0 0 0 1 0 : AN002 : : 0 0 0 1 1 0 : AN006 0 0 0 1 1 1 : AN007 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウBコンペア条件設定ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADWINLLBレジスタ値> A/D変換値 1：ADWINLLBレジスタ値< A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値< ADWINLLBレジスタ値またはADWINULBレジスタ値< A/D変換値 1：ADWINLLBレジスタ値< A/D変換値< ADWINULBレジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャネルを AN000 ～ AN007 から選択するビットです。

ADANSAy.ANSAyn ビット (y = 0, 1、n = 00 ～ 07) と ADANSBy.ANSByn ビットで選択した A/D 変換チャネルの番号を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが “1” になり、コンペア割り込み (S12CMPBI) が発生します。コンペア条件を図 39.8 に示します。

(2) S12AD1.ADCMPBNSR

アドレス S12AD1.ADCMPBNSR 0008 92A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMPLB	—	CMPCHB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウB チャネル選択ビット	コンペアウィンドウBの条件で比較を行うチャネルを選択します b5　　b0 0 0 0 0 0 0：AN100 0 0 0 0 0 1：AN101 0 0 0 0 1 0：AN102 : : 0 0 0 1 1 0：AN106 0 0 0 1 1 1：AN107 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウBコンペア条件設定ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADWINLLBレジスタ値 > A/D変換値 1：ADWINLLBレジスタ値 < A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値 < ADWINLLBレジスタ値またはADWINULBレジスタ値 < A/D変換値 1：ADWINLLBレジスタ値 < A/D変換値 < ADWINULBレジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャネルを AN100 ～ AN107 から選択するビットです。

ADANSAy.ANSAyn ビット (y = 0, 1、n = 00 ～ 07) と ADANSBy.ANSByn ビットで選択した A/D 変換チャネルの番号を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが “1” になり、コンペア割り込み (S12CMPBI1) が発生します。コンペア条件を図 39.8 に示します。

(3) S12AD2.ADCMPBNSR

アドレス S12AD2.ADCMPBNSR 0008 94A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMPLB	—	CMPCHB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウB チャネル選択ビット	コンペアウィンドウBの条件で比較を行うチャネルを選択します b5　　b0 0 0 0 0 0 0 : AN200 0 0 0 0 0 1 : AN201 0 0 0 0 1 0 : AN202 : : 0 0 0 1 1 0 : AN206 0 0 0 1 1 1 : AN207 : : 0 0 1 0 1 0 : AN210 0 0 1 0 1 1 : AN211 0 1 0 0 0 0 : AN216 0 1 0 0 0 1 : AN217 1 0 0 0 0 0 : 温度センサ 1 0 0 0 0 1 : 内部基準電圧 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウBコンペア条件設定ビット	ウィンドウ機能無効時(ADCMPCR.WCMPEビットが“0”) 0：ADWINLLBレジスタ値 > A/D変換値 1：ADWINLLBレジスタ値 < A/D変換値 ウィンドウ機能有効時(ADCMPCR.WCMPEビットが“1”) 0：A/D変換値 < ADWINLLBレジスタ値またはADWINULBレジスタ値 < A/D変換値 1：ADWINLLBレジスタ値 < A/D変換値 < ADWINULBレジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャネルを AN200 ～ AN211、AN216、AN217、温度センサ、内部基準電圧から選択するビットです。

ADANSAy.ANSAyn ビット (y = 0, 1、n = 00 ～ 11) と ADANSBy.ANSByn ビットで選択した A/D 変換チャネルの番号を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが “1” になり、コンペア割り込み (S12CMPBI2) が発生します。コンペア条件を図 39.8 に示します。

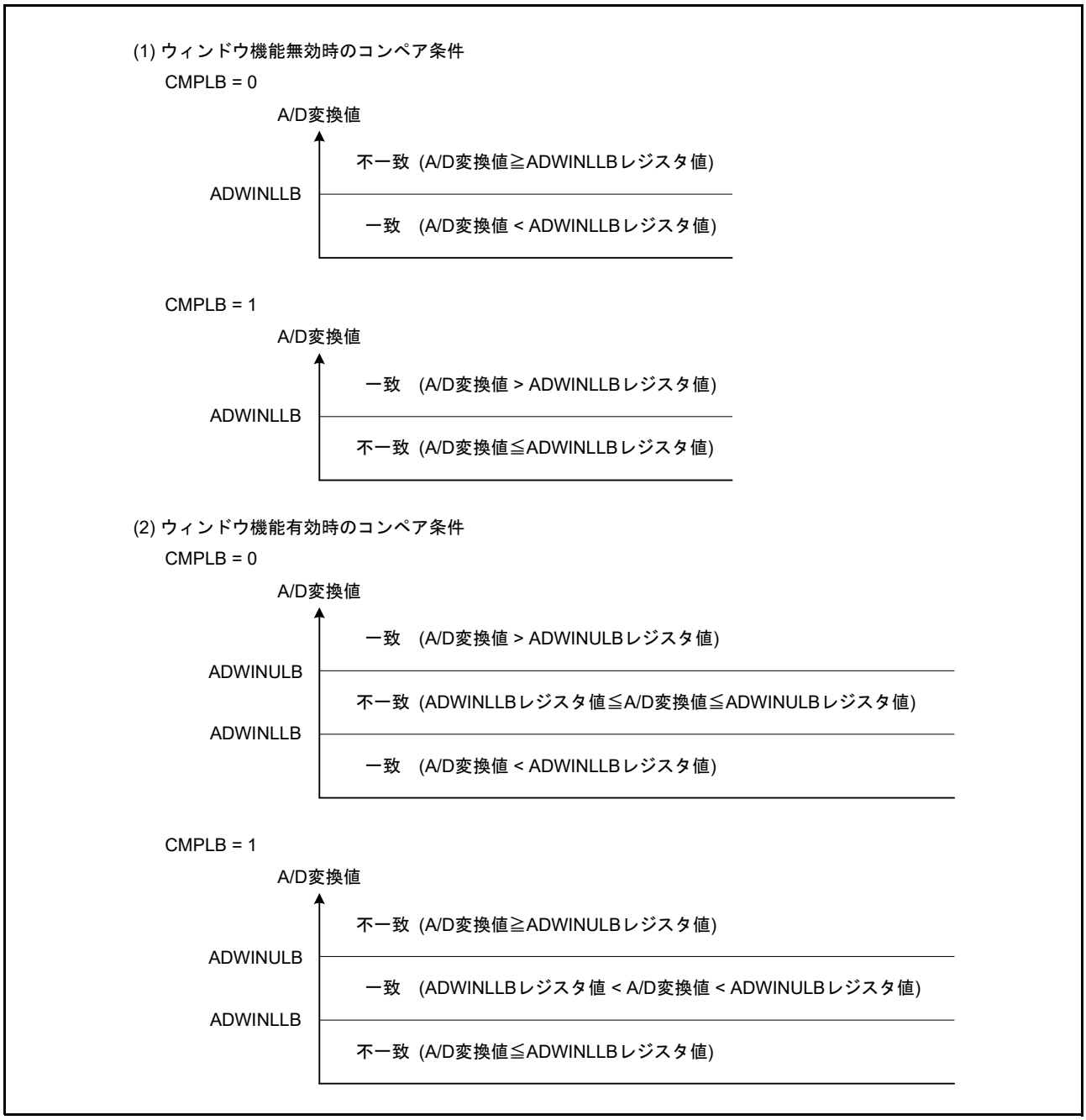


図 39.8　コンペア機能ウィンドウ B　コンペア条件説明

39.2.39 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)

アドレス S12AD.ADWINLLB 0008 90A8h, S12AD1.ADWINLLB 0008 92A8h, S12AD2.ADWINLLB 0008 94A8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINLLB レジスタは、ウィンドウ B の下位側レベルを設定します。

ADWINLLB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル≧下限側レベル (ADWINULB レジスタ設定値≧ ADWINLLB レジスタ設定値) となるように設定してください。

ADWINLLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャネル選択レジスタの設定値(A/D 変換値加算 / 平均モード有効、または無効)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注 . A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
  b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

- 右詰めのフォーマット
  b11-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

(3) A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～ 4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINLLB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINLLB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い

基準となるデータを設定してください。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b13-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b15-b2 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 には “0” を書いてください。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

39.2.40 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)

アドレス S12AD.ADWINULB 0008 90AAh, S12AD1.ADWINULB 0008 92AAh, S12AD2.ADWINULB 0008 94AAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADWINULB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINULB レジスタは、ウィンドウ B の上位側レベルを設定します。

ADWINULB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル≧下限側レベル (ADWINULB レジスタ設定値≧ ADWINLLB レジスタ設定値) となるように設定してください。

ADWINULB レジスタはウィンドウ機能無効時には使用しません。

ADWINULB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャネル選択レジスタの設定値 (A/D 変換値加算 / 平均モード有効、または無効)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注 . A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
  b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 には “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

- 右詰めのフォーマット
  b11-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
  b15-b4 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 には “0” を書いてください。

(3) A/D 変換値加算モードを選択した場合

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～ 4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINULB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINULB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い基準となるデータを設定してください。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b13-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～ 4 回選択時)
  b15-b2 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b1-b0 には “0” を書いてください。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
  b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。

39.2.41 A/D コンペア機能ウィンドウ B チャネルステータスレジスタ (ADCMPBSR)

(1) S12AD.ADCMPBSR

アドレス S12AD.ADCMPBSR 0008 90ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPSTB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャネル (AN000 ～ AN007) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBNSR.CMPLB ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPBIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPBI) 要求が発生します。

CMPSTB フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

(2) S12AD1.ADCMPBSR

アドレス S12AD1.ADCMPBSR 0008 92ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPSTB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャネル (AN100 ～ AN107) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBNSR.CMPLB ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPBIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPBI1) 要求が発生します。

CMPSTB フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

(3) S12AD2.ADCMPBSR

アドレス S12AD2.ADCMPBSR 0008 94ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPSTB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャネル (AN200 ～ AN211、AN216、AN217、温度センサ、内部基準電圧) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBNSR.CMPLB ビットに設定された比較条件と一致した場合、“1” になります。ADCMPCR.CMPBIE ビットが “1” のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPBI2) 要求が発生します。

CMPSTB フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

39.2.42　A/D プログラマブルゲインアンプコントロールレジスタ (ADPGACR)

(1)　S12AD.ADPGACR

アドレス　S12AD.ADPGACR 0008 91A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P002CR[3:0]				P001CR[3:0]				P000CR[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P000CR[3:0]	P000アンプコントロールビット	AN000に繋がるPGA (P000)とアナログ信号の出力先を制御します。設定内容に関しては、表39.19を参照してください	R/W
b7-b4	P001CR[3:0]	P001アンプコントロールビット	AN001に繋がるPGA (P001)とアナログ信号の出力先を制御します。設定内容に関しては、表39.19を参照してください	R/W
b11-b8	P002CR[3:0]	P002アンプコントロールビット	AN002に繋がるPGA (P002)とアナログ信号の出力先を制御します。設定内容に関しては、表39.19を参照してください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

(2)　S12AD1.ADPGACR

アドレス　S12AD1.ADPGACR 0008 93A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P102CR[3:0]				P101CR[3:0]				P100CR[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P100CR[3:0]	P100アンプコントロールビット	AN100に繋がるPGA (P100)とアナログ信号の出力先を制御します。設定内容に関しては、表39.19を参照してください	R/W
b7-b4	P101CR[3:0]	P101アンプコントロールビット	AN101に繋がるPGA (P101)とアナログ信号の出力先を制御します。設定内容に関しては、表39.19を参照してください	R/W
b11-b8	P102CR[3:0]	P102アンプコントロールビット	AN102に繋がるPGA (P102)とアナログ信号の出力先を制御します。設定内容に関しては、表39.19を参照してください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PxCR[3:0] ビット (Px アンプコントロールビット) (x = 000 ～ 002, 100 ～ 102)

AN000 ～ AN002、AN100 ～ AN102 端子に入力されたアナログ信号の経路を設定するビットです。設定値と A/D コンバータへの入力信号、コンパレータ C への入力信号の関係については表 39.19 を参照してください。

また、他のレジスタのビットとの関係については、「39.3.16　プログラマブルゲインアンプ」を参照してください。

表39.19　PxCR[3:0]ビットの設定値とアナログ信号の経路(x = 000～002, 100～102、m = 0～5)

PxCR[3:0]ビット	PGA	A/Dコンバータの入力	コンパレータCの入力	
			CMPCm0	CMPCm1
0000b(初期値)	無効	—	—	—
0001b(注1)	無効	ANx	—	—
1000b(注1)	無効	—	ANx	—
1001b(注1)	無効	ANx	ANx	—
1100b	有効	—	ANx(注2)	Px出力
1101b	有効	ANx(注3)	ANx(注2)	Px出力
1110b	有効	Px出力	ANx(注2)	Px出力

注.　上記以外の値は設定しないでください。
注1.　ADPGADCR0.PxDENビットを“0”(シングルエンド入力)にしてください。
注2.　ANxはADPGADCR0.PxDENビットが“0”(シングルエンド入力)のときのみ有効。
注3.　ANx端子に負電圧を入力しないでください。

39.2.43 A/D プログラマブルゲインアンプゲイン設定レジスタ 0 (ADPGAGS0)

(1) S12AD.ADPGAGS0

アドレス S12AD.ADPGAGS0 0008 91A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P002GAIN[3:0]				P001GAIN[3:0]				P000GAIN[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P000GAIN[3:0]	P000アンプゲイン設定ビット	• 疑似差動入力が無効(ADPGADCR0.PxDENビット= 0)の場合 0 0 0 0 : × 2.000 0 0 0 1 : × 2.500 0 0 1 1 : × 3.077 0 1 0 1 : × 3.636 0 1 1 0 : × 4.000 0 1 1 1 : × 4.444 1 0 0 0 : × 5.000 1 0 1 0 : × 6.667 1 0 1 1 : × 8.000 1 1 0 0 : × 10.000 1 1 0 1 : × 13.333 1 1 1 0 : × 20.000 上記以外は設定しないでください • 疑似差動入力が有効(ADPGADCR0.PxDENビット= 1かつADPGACR.PxCR[2]ビット= 1)の場合 0 0 0 1 : × 1.500 1 0 0 0 : × 4.000 1 0 1 1 : × 7.000 1 1 0 1 : × 12.333 上記以外は設定しないでください	R/W
b7-b4	P001GAIN[3:0]	P001アンプゲイン設定ビット		R/W
b11-b8	P002GAIN[3:0]	P002アンプゲイン設定ビット		R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. ビット設定の詳細は、「39.3.16 プログラマブルゲインアンプ」を参照してください。

(2) S12AD1.ADPGAGS0

アドレス S12AD1.ADPGAGS0 0008 93A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P102GAIN[3:0]				P101GAIN[3:0]				P100GAIN[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P100GAIN[3:0]	P100アンプゲイン設定ビット	• 疑似差動入力が無効(ADPGADCR0.PxDENビット= 0)の場合 0 0 0 0 : × 2.000 0 0 0 1 : × 2.500 0 0 1 1 : × 3.077 0 1 0 1 : × 3.636 0 1 1 0 : × 4.000 0 1 1 1 : × 4.444 1 0 0 0 : × 5.000 1 0 1 0 : × 6.667 1 0 1 1 : × 8.000 1 1 0 0 : × 10.000 1 1 0 1 : × 13.333 1 1 1 0 : × 20.000 上記以外は設定しないでください • 疑似差動入力が有効(ADPGADCR0.PxDENビット= 1かつADPGACR.PxCR[2]ビット= 1)の場合 0 0 0 1 : × 1.500 1 0 0 0 : × 4.000 1 0 1 1 : × 7.000 1 1 0 1 : × 12.333 上記以外は設定しないでください	R/W
b7-b4	P101GAIN[3:0]	P101アンプゲイン設定ビット		R/W
b11-b8	P102GAIN[3:0]	P102アンプゲイン設定ビット		R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. ビット設定の詳細は、「39.3.16 プログラマブルゲインアンプ」を参照してください。

PxGAIN[3:0] ビット (Px アンプゲイン設定ビット) (x = 000 ～ 002, 100 ～ 102)

各プログラマブルゲインアンプ Px のゲインを指定します。疑似差動入力を使用する (ADPGADCR0.PxDEN ビット = 1 かつ ADPGACR.PxCR[2] ビット = 1) 場合、ADPGADCR0.PxDG[1:0] ビットと同じゲインになるように設定してください。

39.2.44 A/D プログラマブルゲインアンプ差動入力コントロールレジスタ (ADPGADCR0)

(1) S12AD.ADPGADCR0

アドレス S12AD.ADPGADCR0 0008 91B0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P002DEN	—	P002DG[1:0]		P001DEN	—	P001DG[1:0]		P000DEN	—	P000DG[1:0]	
リセット後の値	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	P000DG[1:0]	P000アンプ差動入力ゲイン設定ビット(注1)	b1 b0 0 0 : × 1.500 0 1 : × 4.000 1 0 : × 7.000 1 1 : × 12.333	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	P000DEN	P000アンプ差動入力許可ビット(注2)	0 : 疑似差動入力無効(シングルエンド入力) 1 : 疑似差動入力有効	R/W
b5-b4	P001DG[1:0]	P001アンプ差動入力ゲイン設定ビット(注1)	b5 b4 0 0 : × 1.500 0 1 : × 4.000 1 0 : × 7.000 1 1 : × 12.333	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	P001DEN	P001アンプ差動入力許可ビット(注2)	0 : 疑似差動入力無効(シングルエンド入力) 1 : 疑似差動入力有効	R/W
b9-b8	P002DG[1:0]	P002アンプ差動入力ゲイン設定ビット(注1)	b9 b8 0 0 : × 1.500 0 1 : × 4.000 1 0 : × 7.000 1 1 : × 12.333	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	P002DEN	P002アンプ差動入力許可ビット(注2)	0 : 疑似差動入力無効(シングルエンド入力) 1 : 疑似差動入力有効	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. ビット設定の詳細は、「39.3.16 プログラマブルゲインアンプ」を参照してください。
注1. このビットは、PxDENビット = 1かつADPGACR.PxCR[2]ビット = 1 (x = 000～002)のとき有効です。
注2. PGAVSS0端子に負電圧を入力する場合、P000DEN、P001DEN、P002DENビットはすべて“1”にしてください。

(2) S12AD1.ADPGADCR0

アドレス S12AD1.ADPGADCR0 0008 93B0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P102DEN	—	P102DG[1:0]		P101DEN	—	P101DG[1:0]		P100DEN	—	P100DG[1:0]	
リセット後の値	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	P100DG[1:0]	P100アンプ差動入力ゲイン設定ビット(注1)	b1 b0 0 0 : × 1.500 0 1 : × 4.000 1 0 : × 7.000 1 1 : × 12.333	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	P100DEN	P100アンプ差動入力許可ビット(注2)	0 : 疑似差動入力無効(シングルエンド入力) 1 : 疑似差動入力有効	R/W
b5-b4	P101DG[1:0]	P101アンプ差動入力ゲイン設定ビット(注1)	b5 b4 0 0 : × 1.500 0 1 : × 4.000 1 0 : × 7.000 1 1 : × 12.333	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	P101DEN	P101アンプ差動入力許可ビット(注2)	0 : 疑似差動入力無効(シングルエンド入力) 1 : 疑似差動入力有効	R/W
b9-b8	P102DG[1:0]	P102アンプ差動入力ゲイン設定ビット(注1)	b9 b8 0 0 : × 1.500 0 1 : × 4.000 1 0 : × 7.000 1 1 : × 12.333	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	P102DEN	P102アンプ差動入力許可ビット(注2)	0 : 疑似差動入力無効(シングルエンド入力) 1 : 疑似差動入力有効	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注.　ビット設定の詳細は、「39.3.16　プログラマブルゲインアンプ」を参照してください。
注1.　このビットは、PxDENビット = 1かつADPGACR.PxCR[2]ビット = 1 (x = 100～102)のとき有効です。
注2.　PGAVSS1端子に負電圧を入力する場合、P100DEN、P101DEN、P102DENビットはすべて“1”にしてください。

PxDG[1:0] ビット (Px アンプ差動入力ゲイン設定ビット) (x = 000 ～ 002, 100 ～ 102)

各プログラマブルゲインアンプ Px の疑似差動入力使用時のゲインを指定します。PxDEN ビット = 1 かつ ADPGACR.PxCR[2] ビット = 1 の場合のみ有効です。

このビットには、ADPGAGS0.PxGAIN[3:0] ビットと同じゲインになるように値を設定してください。

例：P000 のゲインを × 1.500 に設定する場合

ADPGAGS0.P000GAIN[3:0] ビット = 0001b

ADPGADCR0.P000DG[1:0] ビット = 00b

PxDEN ビット (Px アンプ差動入力許可ビット) (x = 000 ～ 002, 100 ～ 102)

各プログラマブルゲインアンプ Px の疑似差動入力を許可 / 禁止します。

PGA をシングルエンド入力で使用する場合、このビットを “0” にしてください。また、対応する PGAVSS0、PGAVSS1 端子は AVSS0、AVSS1 端子に接続してください。

39.2.45 A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR)

アドレス S12AD2.ADVMONCR 0008 95E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VDE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VDE	電圧モニタ回路許可ビット	0：内部基準電圧モニタ回路の動作を禁止 1：内部基準電圧モニタ回路の動作を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADVMONCR レジスタは、内部基準電圧の電圧モニタ回路の動作を許可するレジスタです。
このレジスタは、ADCSR.ADST ビットが “0” のときに設定してください。

39.2.46 A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO)

アドレス S12AD2.ADVMONO 0008 95E4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VDO
リセット後の値	0	0	0	0	0	0	0	0

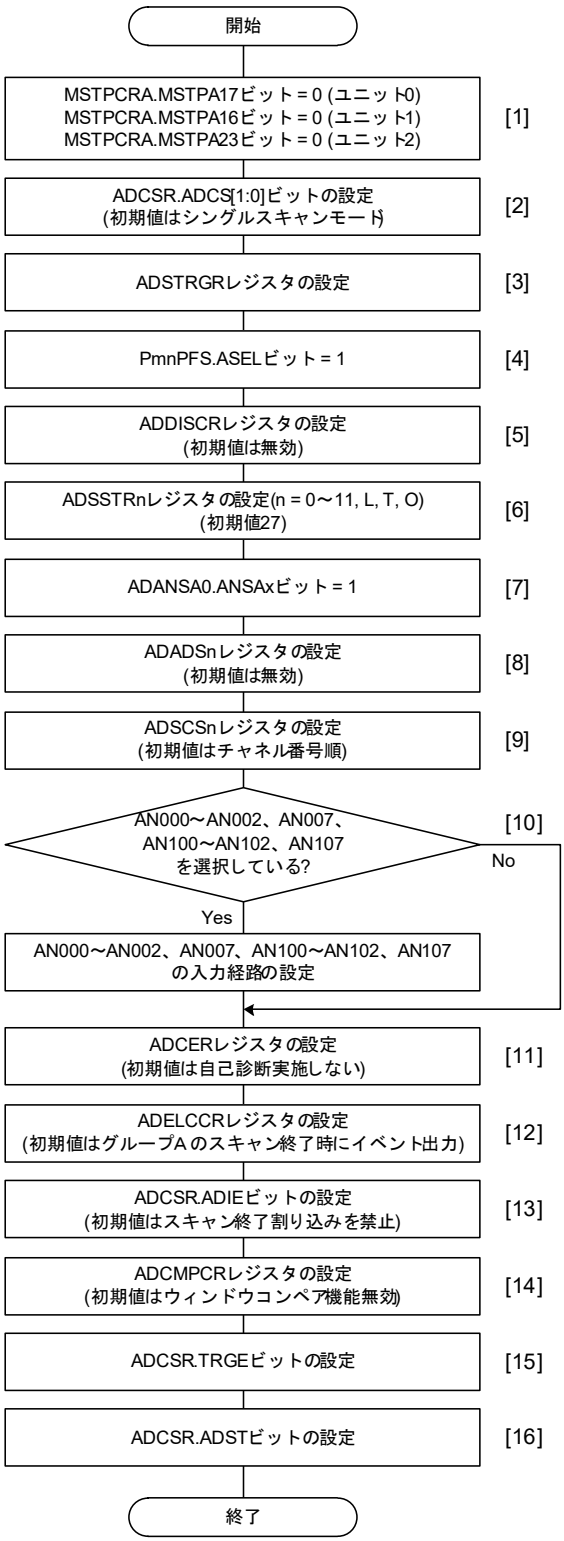
ビット	シンボル	ビット名	機能	R/W
b0	VDO	電圧モニタ回路電圧出力許可ビット	0：内部基準電圧モニタ回路の電圧出力を禁止 1：内部基準電圧モニタ回路の電圧出力を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADVMONO レジスタは、内部基準電圧の電圧モニタ回路の電圧出力を許可するレジスタです。
このレジスタは、ADCSR.ADST ビットが “0” のときに設定してください。

39.3 動作説明

39.3.1 A/D コンバータの初期設定フロー

図 39.9 に A/D コンバータの初期設定フローを示します。



[1] モジュールストップ解除

[2] スキャンモード設定をします。

[3] 変換開始トリガを選択します。

[4] アナログ入力端子として使用する端子のASELビットを“1”にしてください。

[5] 断線検出機能を設定します。

[6] サンプリングステートを設定します。

[7] 使用するチャネルを選択します。

[8] 変換値加算・平均モードを設定します。

[9] チャネル変換順序を設定します。

[10] AN000～AN002、AN007、AN100～AN102、AN107を選択する場合は、「39.3.2 AN000～AN002、AN007、AN100～AN102、AN107の入力経路設定」を参照してください。

[11] 自己診断機能を設定します。

[12] イベント出力設定をします。

[13] スキャン終了割り込み設定をします。

[14] ウィンドウコンペア機能を設定します。

[15] トリガによる変換開始設定をします。

[16] A/D変換開始設定をします。

注. [2]、[3]、[5]～[15]はADCSR.ADSTビットが“0”の状態で設定してください。

注. [2]、[3]、[5]、[6]、[8]、[9]、[11]～[15]の各関連機能を使用しない場合は設定不要です。

図 39.9 A/D コンバータの初期設定フロー

39.3.2 AN000 ～ AN002、AN007、AN100 ～ AN102、AN107 の入力経路設定

入力端子から A/D コンバータまたはコンパレータ C への経路は図 39.10 のようになっています。図は P000 の例ですが、他のチャネルについても同様です。

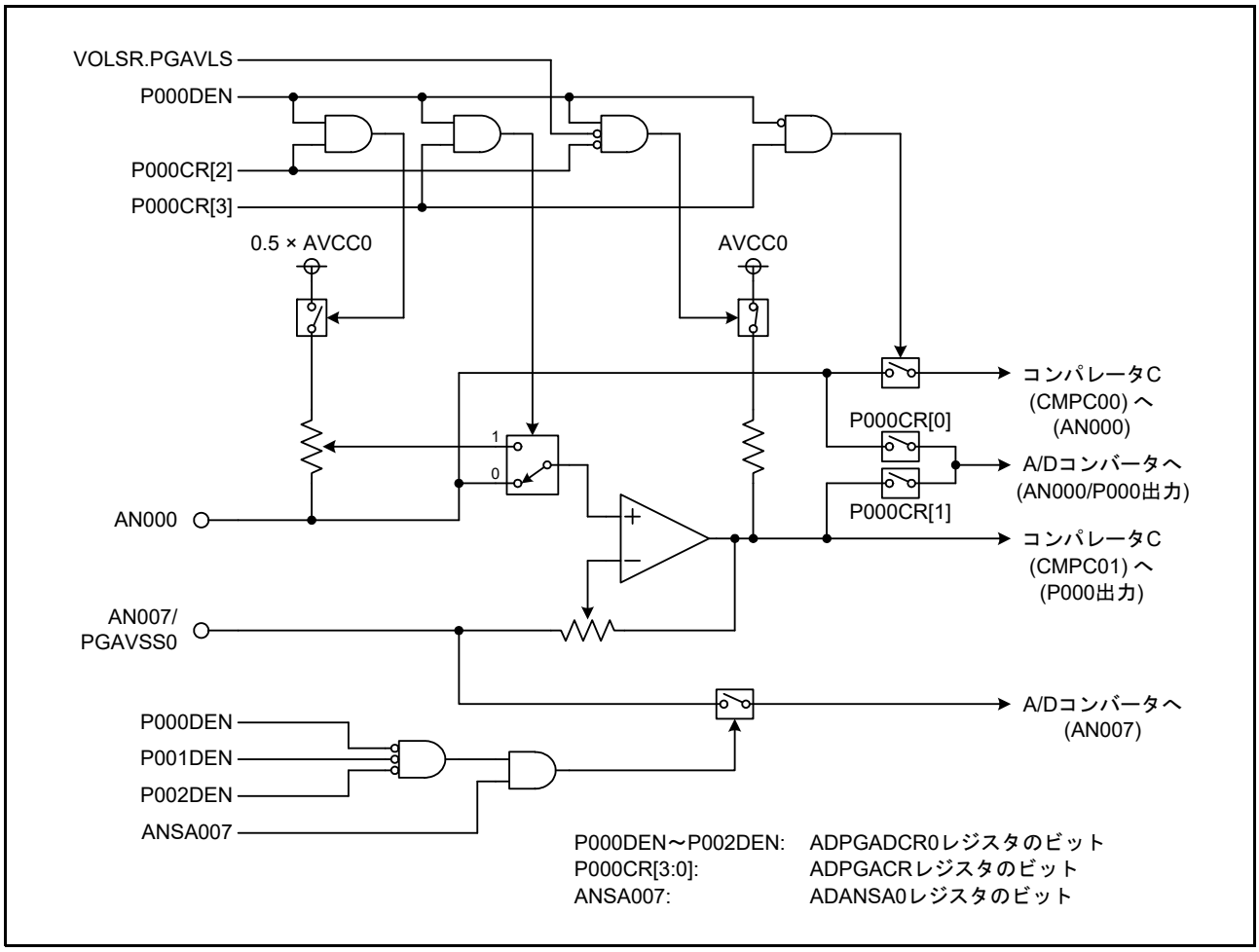


図 39.10 PGA (P000) の内部ブロック図

AN000 ～ AN002、AN100 ～ AN102 端子の用途、および使用する製品、アナログ電源電圧に応じて、表 39.20 ～表 39.21 に従ってレジスタを設定してください。AN000 ～ AN002、AN007、AN100 ～ AN102、AN107 に関連する設定手順については、図 39.11 を参照してください。VOLSR.PGAVLS ビットは PGA の全チャネルを一括で制御します。VOLSR レジスタについては、「3. 動作モード」を参照してください。

AN007、AN107 端子を被測定端子として使用する場合は、対応するユニットの PGA をすべて無効 (PxCR[2] = 0; x = 000 ～ 002, 100 ～ 102)、シングルエンド入力 (PxDEN = 0) にし、AN007、AN107 を変換対象 (ANSA007 = 1) にしてください。

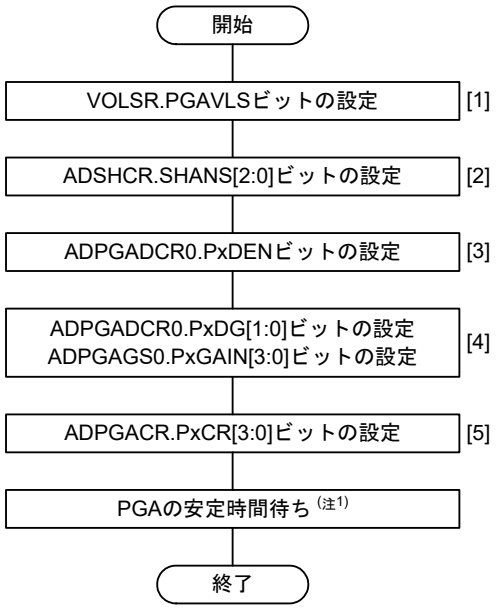
表39.20　使用する機能(測定対象)とPGA関連レジスタの設定(PGA疑似差動入力なし製品)
(x = 000～002, 100～102、m = 0～5)

端子の機能	PGA	A/D コンバータ	コンパレータC		ADPGADCR0	ADPGACR
			CMPCm0	CMPCm1	PxDEN	PxCR[3:0]
(リセット解除後)	無効	—	—	—	1	0000b
汎用入出力ポート	無効	—	—	—	0	0000b
アナログ入力端子	無効	ANx	—	—	0	0001b
アナログ入力端子	無効	—	ANx	—	0	1000b
アナログ入力端子	無効	ANx	ANx	—	0	1001b
アナログ入力端子	シングルエンド入力	—	ANx	Px出力	0	1100b
アナログ入力端子	シングルエンド入力	ANx	ANx	Px出力	0	1101b
アナログ入力端子	シングルエンド入力	Px出力	ANx	Px出力	0	1110b

表39.21　使用する機能(測定対象)とPGA関連レジスタの設定(PGA疑似差動入力あり製品)
(x = 000～002, 100～102、m = 0～5)

端子の機能	PGA	A/D コンバータ	コンパレータC		ADPGADCR0	ADPGACR
			CMPCm0	CMPCm1	PxDEN	PxCR[3:0]
(リセット解除後)	無効	—	—	—	1	0000b
汎用入出力ポート	無効	—	—	—	0	0000b
アナログ入力端子	無効	ANx	—	—	0	0001b
アナログ入力端子	無効	—	ANx	—	0	1000b
アナログ入力端子	無効	ANx	ANx	—	0	1001b
アナログ入力端子	シングルエンド入力(注1)	—	ANx	Px出力	0	1100b
アナログ入力端子	シングルエンド入力(注1)	ANx	ANx	Px出力	0	1101b
アナログ入力端子	シングルエンド入力(注1)	Px出力	ANx	Px出力	0	1110b
アナログ入力端子	疑似差動入力(注2)	—	—	Px出力	1	1100b
アナログ入力端子	疑似差動入力(注3)	ANx(注4)	—	Px出力	1	1101b
アナログ入力端子	疑似差動入力(注2)	Px出力	—	Px出力	1	1110b

注1.　対応するPGAVSS0、PGAVSS1端子はAVSS0、AVSS1端子に接続してください。
注2.　AVCC≧4.0V、かつANx、PGAVSS0、PGAVSS1端子に負電圧を入力する場合、VOLSR.PGAVLSビットを“0”にしてください。
注3.　チャネル専用サンプル＆ホールド回路使用時のみ有効な設定です。AVCC≧4.0V、かつPGAVSS0、PGAVSS1端子に負電圧を入力する場合、VOLSR.PGAVLSビットを“0”にしてください。
注4.　ANx端子に負電圧を入力しないでください。



[1] AVCCの電圧が4.0V未満、または、PGAの疑似差動入力を使用しない場合、“1”にしてください。

[2] チャネル専用サンプル＆ホールドの有効/無効を選択します。

[3] PGAの入力方式 (シングルエンド入力/疑似差動入力) を選択します。

[4] PGAのゲインを設定します。

[5] 使用する機能、測定対象に合わせてPxCR[3:0] ビットを設定します。

x = 000～002, 100～102

注1. 安定待ち時間の詳細は、「46. 電気的特性」を参照してください。

図 39.11　設定手順

39.3.3 スキャンの動作説明

スキャンとは、選択したチャネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの 3 種類の動作モードがあります。シングルスキャンモードは、指定した 1 チャネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードは指定した 1 チャネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを “0” (“1” の状態から “0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B とグループ C のスキャンをそれぞれ選択した同期トリガで開始し、グループ A とグループ B とグループ C で選択したチャネルのスキャンをそれぞれ 1 回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って、グループ B が ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って、グループ C が ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を行います。自己診断を選択した場合は、スキャンごとの最初に 1 回実施され、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

温度センサ出力または内部基準電圧の選択が可能です。同じグループにてチャネルのアナログ入力と合わせて選択できません。

温度センサ出力と内部基準電圧を同時に選択する場合は、温度センサ出力が先に変換されます。

温度センサ出力または内部基準電圧を変換するときに、オートディスチャージが自動的に実施されます。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換データを二重化します。グループスキャンモードではグループ A のみダブルトリガ機能が使用できます。

ダブルトリガ拡張モードは、ダブルトリガモードで A/D 変換開始トリガ選択レジスタ (ADSTRGR) の TRSA[5:0] ビットで以下の同期トリガ (2 種類の同期トリガ要因許可) に選択した状態を示します。

- TRG4AN または TRG4BN (ADSTRGR.TRSA[5:0] ビットに “001011b” を設定)
- TRG7AN または TRG7BN (ADSTRGR.TRSA[5:0] ビットに “001111b” を設定)
- TRGA0N または TRG0N (ADSTRGR.TRSA[5:0] ビットに “011001b” を設定)
- TRGA9N または TRG9N (ADSTRGR.TRSA[5:0] ビットに “011010b” を設定)
- TRGA0N または TRGA9N (ADSTRGR.TRSA[5:0] ビットに “011011b” を設定)
- TRG0N または TRG9N (ADSTRGR.TRSA[5:0] ビットに “011100b” を設定)
- ELCTRG00N または ELCTRG01N/ELCTRG10N または ELCTRG11N/ELCTRG20N または ELCTRG21N (ADSTRGR.TRSA[5:0] ビットに “111010b” を設定)

ダブルトリガ拡張モードでは、通常のダブルトリガモードの動作に加え、トリガの種別に応じて、A/D 変換データを A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB) に格納します。ダブルトリガ拡張モード時に、2 種類のトリガ要因が同時に発生した場合は、トリガ要因による振り分けは実施せず、A/D 変換データは、データ二重化レジスタ B (ADDBLDRB) に格納されます。なお、一方のトリガで AD 変換を実施中に、他方のトリガが入力された場合、他方のトリガは無視されます。

ADSHCR.SHANS[2:0] ビットで AN000 ～ AN002 または AN100 ～ AN102 のいずれかをチャネル専用サンプル & ホールド回路使用に設定すると、スキャンごとに最初の A/D 変換開始前に対象となるアナログ入力のサンプル & ホールドを行います。

39.3.4 シングルスキャンモード

39.3.4.1 基本動作 (チャネル専用サンプル & ホールドなし)

シングルスキャンモードの基本動作は、指定されたチャネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。
(図 39.12 の変換順序設定：AN004 → AN005 → AN006)

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(4) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

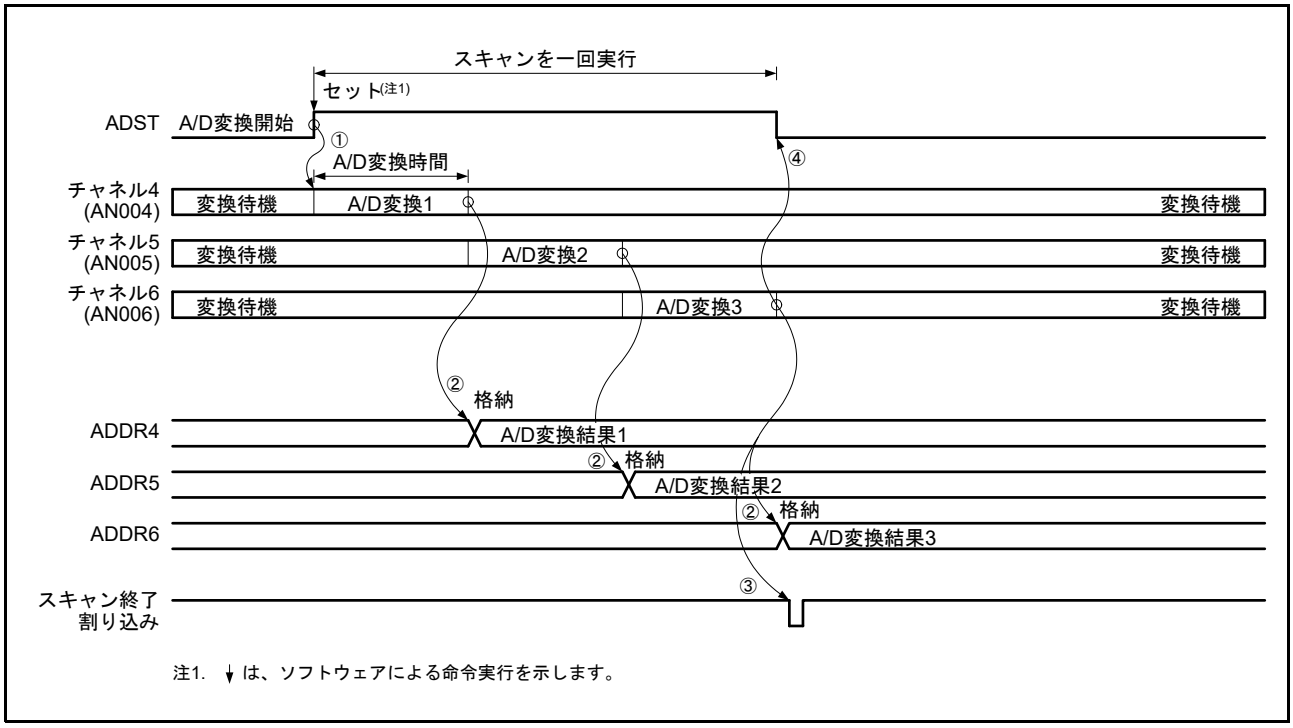


図 39.12 シングルスキャンモードの動作例 (基本動作：AN004、AN005、AN006 選択)

39.3.4.2 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング無効)

チャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。チャネル専用サンプル & ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング & ホールド実施後に、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(3) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(4) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(5) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

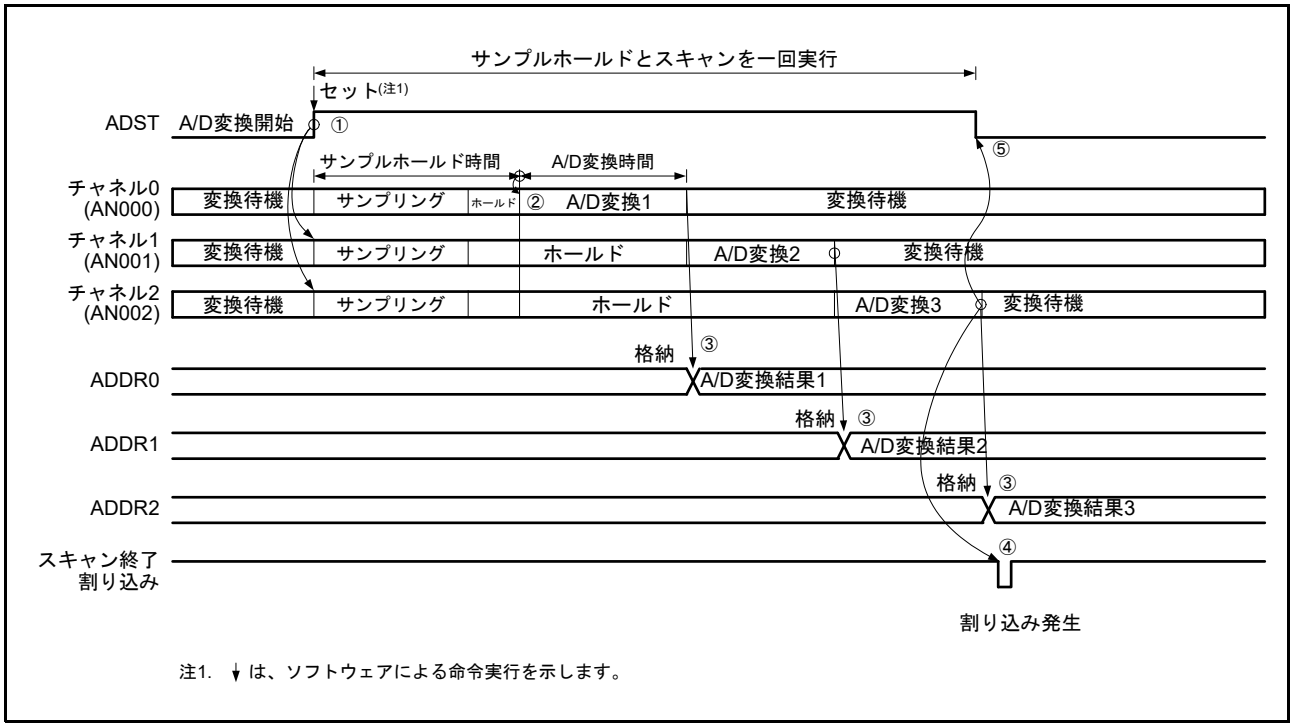


図 39.13 シングルスキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用チャネル AN000、AN001、AN002 選択、常時サンプリング無効)

39.3.4.3　基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング有効)

常時サンプリング有効設定でチャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。チャネル専用サンプル & ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

(1) ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(2) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを “1” に設定してから 750 ns 以上経過してから、ADCSR.ADST ビットが “1” になるようにしてください。
(3) サンプル & ホールド回路の安定時間経過後に、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(4) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、サンプル & ホールド回路は常時サンプリングを再開します。
(5) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(6) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。続けてシングルスキャンを実施する場合は、サンプル & ホールド回路の常時サンプリング期間が 400 ns (許容信号源インピーダンスが 1 kΩ の場合) 以上となるようにしてください。
(7) ADSHMSR.SHMD ビットを “0” にすると、サンプル & ホールド回路が停止します。

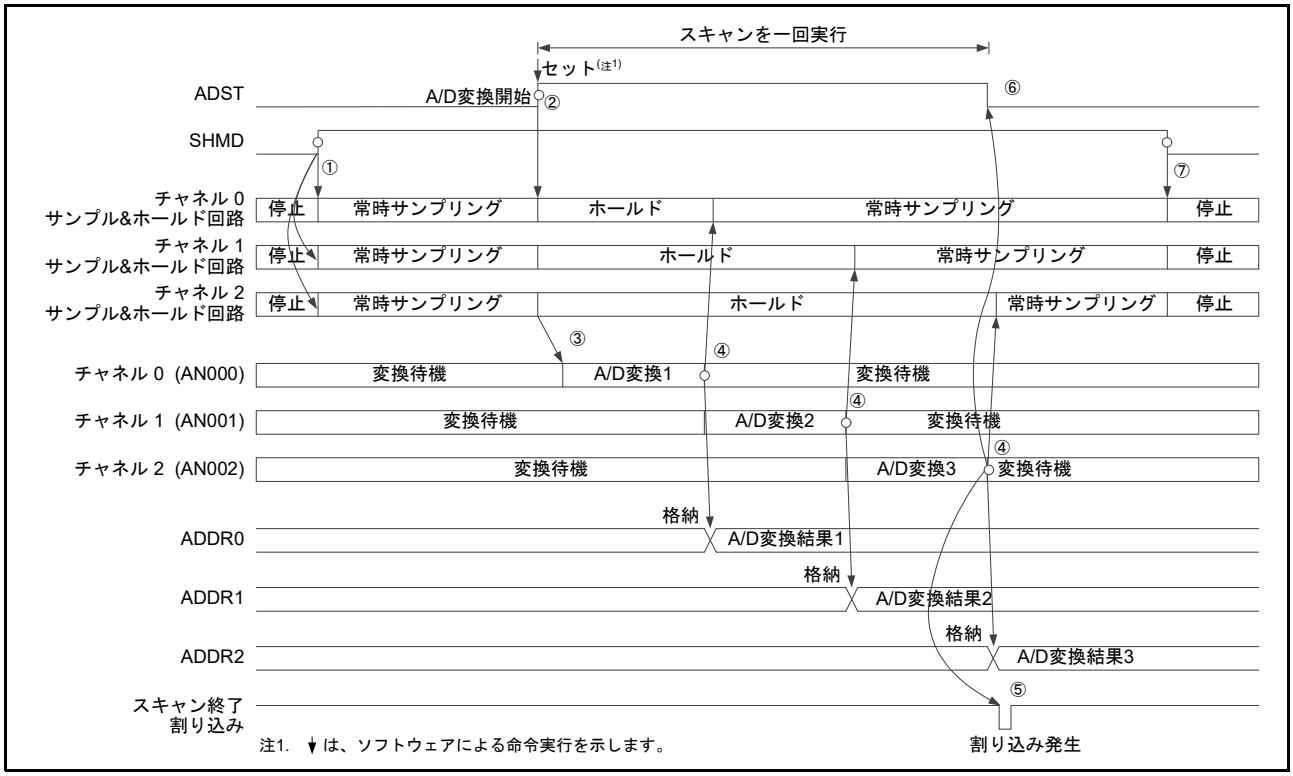


図 39.14　シングルスキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用：AN000 ～ AN002 選択、常時サンプリング有効)

39.3.4.4 チャネル選択と自己診断 (チャネル専用サンプル & ホールドなし)

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
(2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(4) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(5) ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

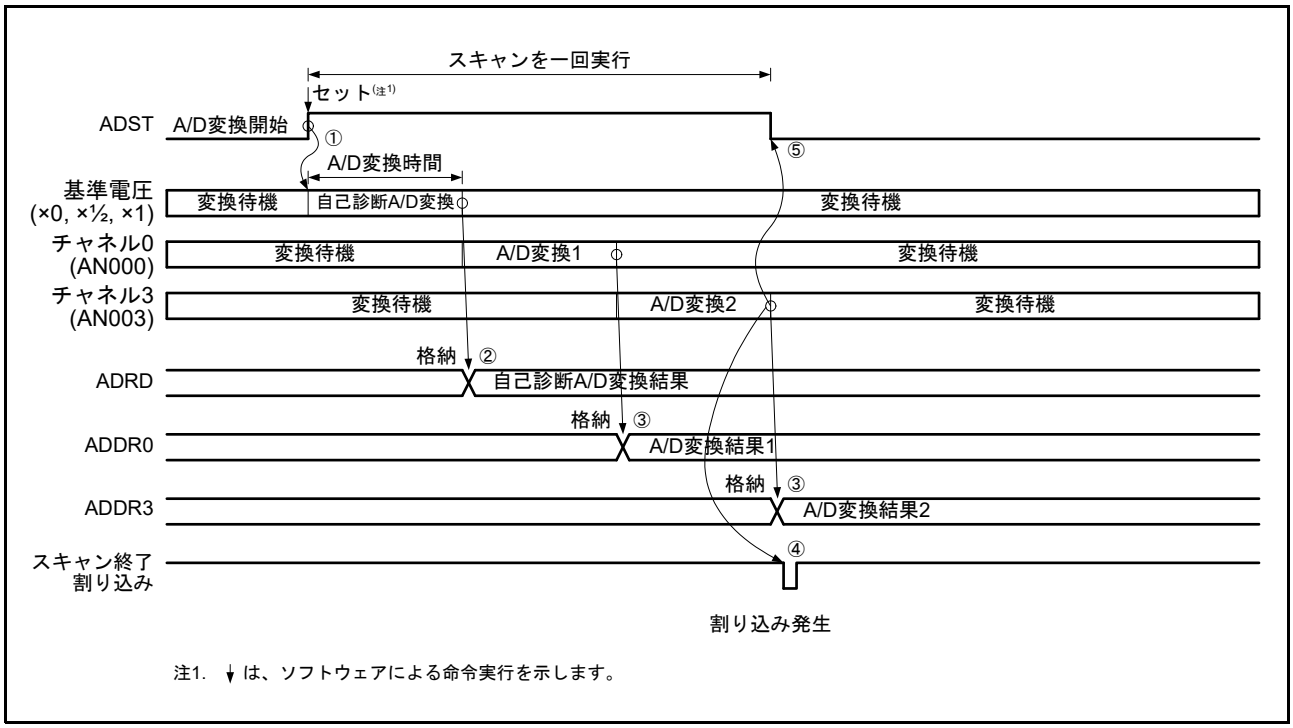


図 39.15 シングルスキャンモードの動作例 (基本動作 : AN000、AN003 選択 + 自己診断)

39.3.4.5 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング無効)

チャネル選択と共に自己診断を選択し、チャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。自己診断は温度センサ出力または内部基準電圧と合わせて使用することができません。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング & ホールド実施後に自己診断での A/D 変換を開始します。
(3) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(4) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(5) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(6) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

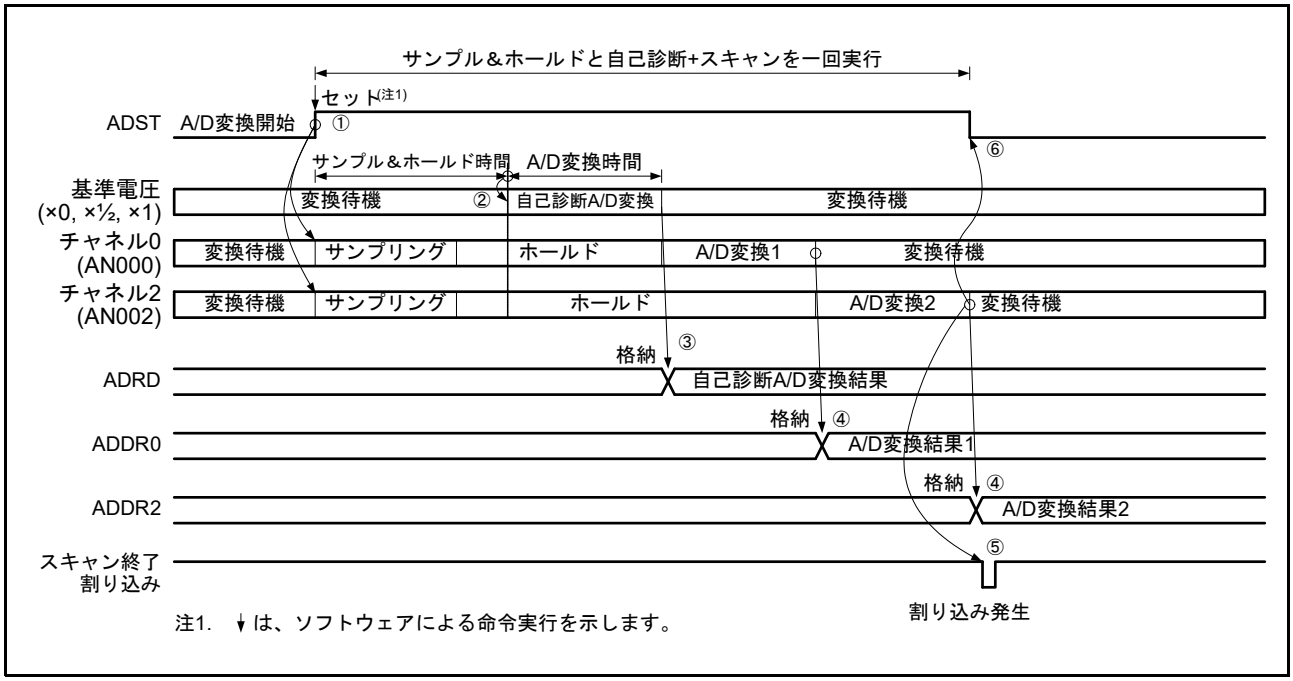


図 39.16 シングルスキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用チャネル AN000、AN002 選択 + 自己診断、常時サンプリング無効)

39.3.4.6 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング有効)

チャネル選択と共に自己診断を選択し、常時サンプリング有効設定でチャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。自己診断は温度センサ出力または内部基準電圧と合わせて使用することができません。

(1) ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(2) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを “1” に設定してから 750 ns 以上経過してから、ADCSR.ADST ビットが “1” になるようにしてください。
(3) サンプル & ホールド回路の安定時間経過後に、自己診断での A/D 変換を開始します。
(4) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(5) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、サンプル & ホールド回路は常時サンプリングを再開します。
(6) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(7) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。続けてシングルスキャンを実施する場合は、サンプル & ホールド回路の常時サンプリング期間が 400 ns (許容信号源インピーダンスが 1 kΩ の場合) 以上となるようにしてください。
(8) ADSHMSR.SHMD ビットを “0” にすると、サンプル & ホールド回路が停止します。

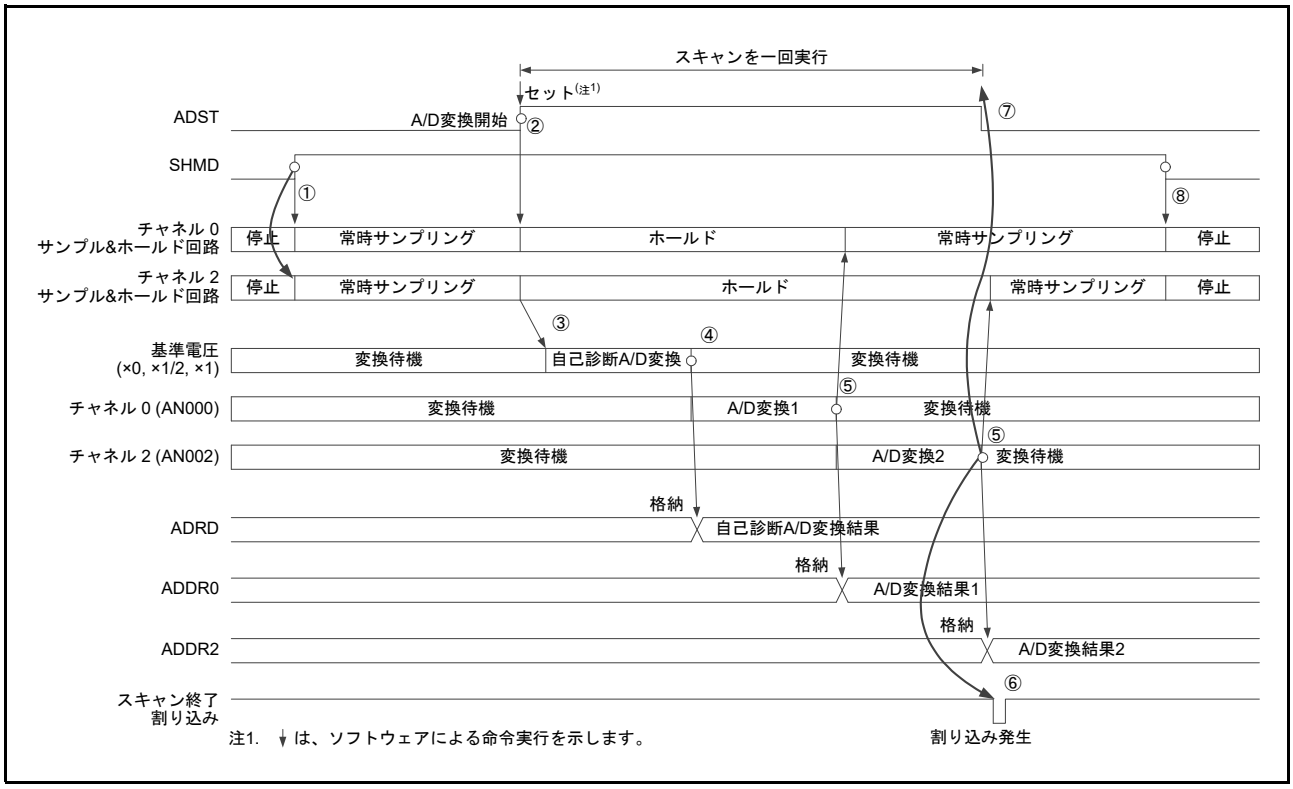


図 39.17 シングルスキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用：AN000、AN002 選択＋自己診断、常時サンプリング有効)

39.3.4.7　温度センサ出力 / 内部基準電圧選択時の A/D 変換動作

温度センサ出力または内部基準電圧を選択すると、以下のように温度センサ出力または内部基準電圧を 1 回のみ A/D 変換します。

温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ出力、内部基準電圧の順に A/D 変換します。

温度センサ出力または内部基準電圧とチャネルのアナログ入力は、同時選択禁止です。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、温度センサ出力のオートディスチャージを実施して、A/D 変換を開始します。
(2) 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ (ADTSDR) へ格納され、次に内部基準電圧のオートディスチャージを実施して、A/D 変換を開始します。
(3) 内部基準電圧の A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(4) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

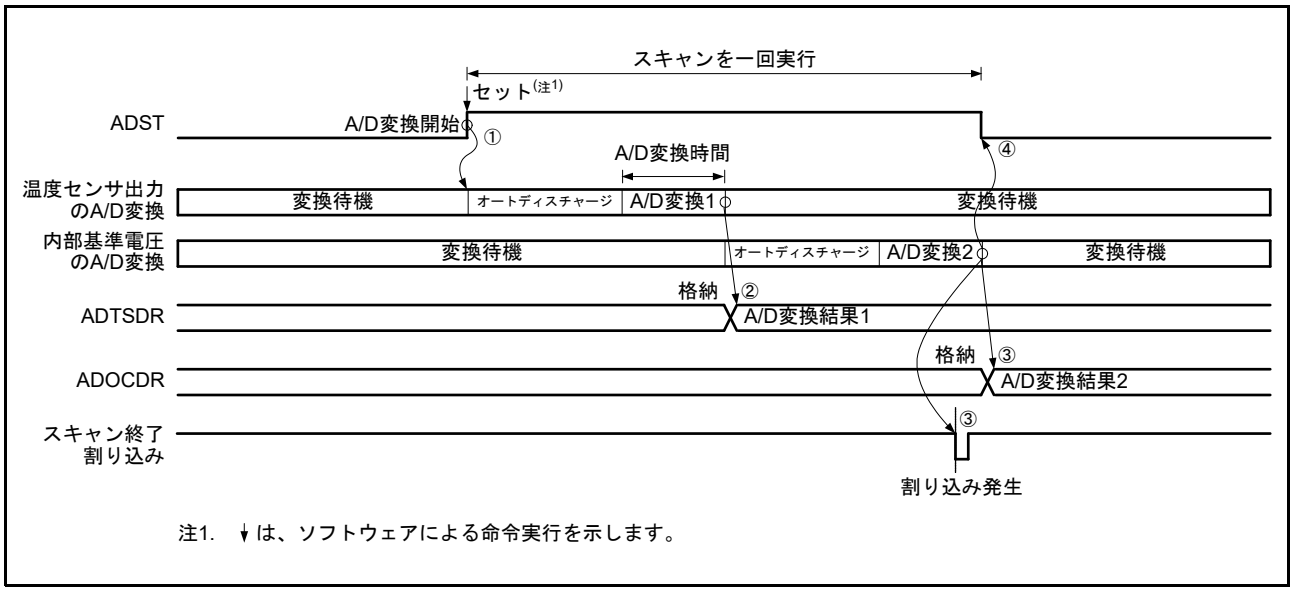


図 39.18　シングルスキャンモードの動作例 (基本動作：温度センサ出力、内部基準電圧選択)

39.3.4.8 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンモードを 2 回行います。

自己診断は非選択とし、温度センサ A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB, ADGCEXCR.TSSC) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSB, ADGCEXCR.OCSC) は “0” に設定してください。

A/D 変換データ二重化は、二重化するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを “1” にすると有効となります。ADCSR.DBLE を “1” にした場合は ADANSA0、ADANSA1 レジスタのチャネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを “0” に、ADCSR.TRGE ビットを “1” に設定してください。また、ソフトウェアトリガは使用しないでください。

(1) 同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了割り込みを許可) の設定に関わらず、スキャン終了割り込みは発生しません。
(4) 2 回目のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ二重化レジスタ (ADDBLDR) に格納されます。
(6) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(7) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

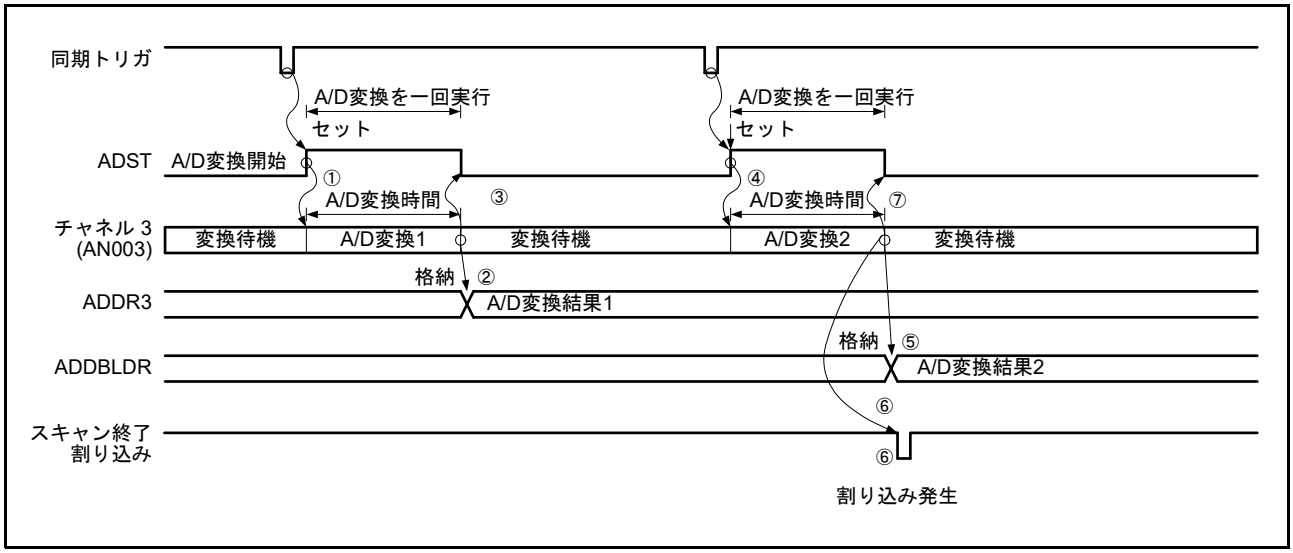


図 39.19 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を二重化)

39.3.4.9 ダブルトリガ拡張モードの動作

シングルスキャンモードでダブルトリガモードを選択し、A/D 変換開始トリガ選択レジスタ (ADSTRGR) の TRSA[5:0] ビットで「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」、「TRGA0N または TRG0N」、「TRGA9N または TRG9N」、「TRGA0N または TRGA9N」、「TRG0N または TRG9N」、「ELCTRG00N または ELCTRG01N/ELCTRG10N または ELCTRG11N/ELCTRG20N または ELCTRG21N」を選択した場合は、以下のようにシングルスキャンモードを 2 回行います。

自己診断は非選択とし、温度センサ A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB, ADGCEXCR.TSSC) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSB, ADGCEXCR.OCSC) は “0” に設定してください。

A/D 変換データ二重化は、二重化するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを “1” にすると有効となります。ADCSR.DBLE ビットを “1” にした場合は ADANSA0、ADANSA1 レジスタのチャネル選択は無効になります。また、ダブルトリガ拡張モードを選択する場合は、ADCSR.EXTRG ビットを “0” に、ADCSR.TRGE ビットを “1” に設定してください。また、ソフトウェアトリガは使用しないでください。

(1) TRG4AN 入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) と A/D データ二重化レジスタ A (ADDBLDRA) へ格納されます。
(3) ADCSR.ADST ビットは自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了割り込みを許可) の設定に関わらず、スキャン終了割り込みは発生しません。
(4) TRG4BN 入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
(5) A/D 変換が終了すると、A/D 変換結果は A/D データ二重化レジスタ (ADDBLDR) と A/D データ二重化レジスタ B (ADDBLDRB) に格納されます。
(6) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(7) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

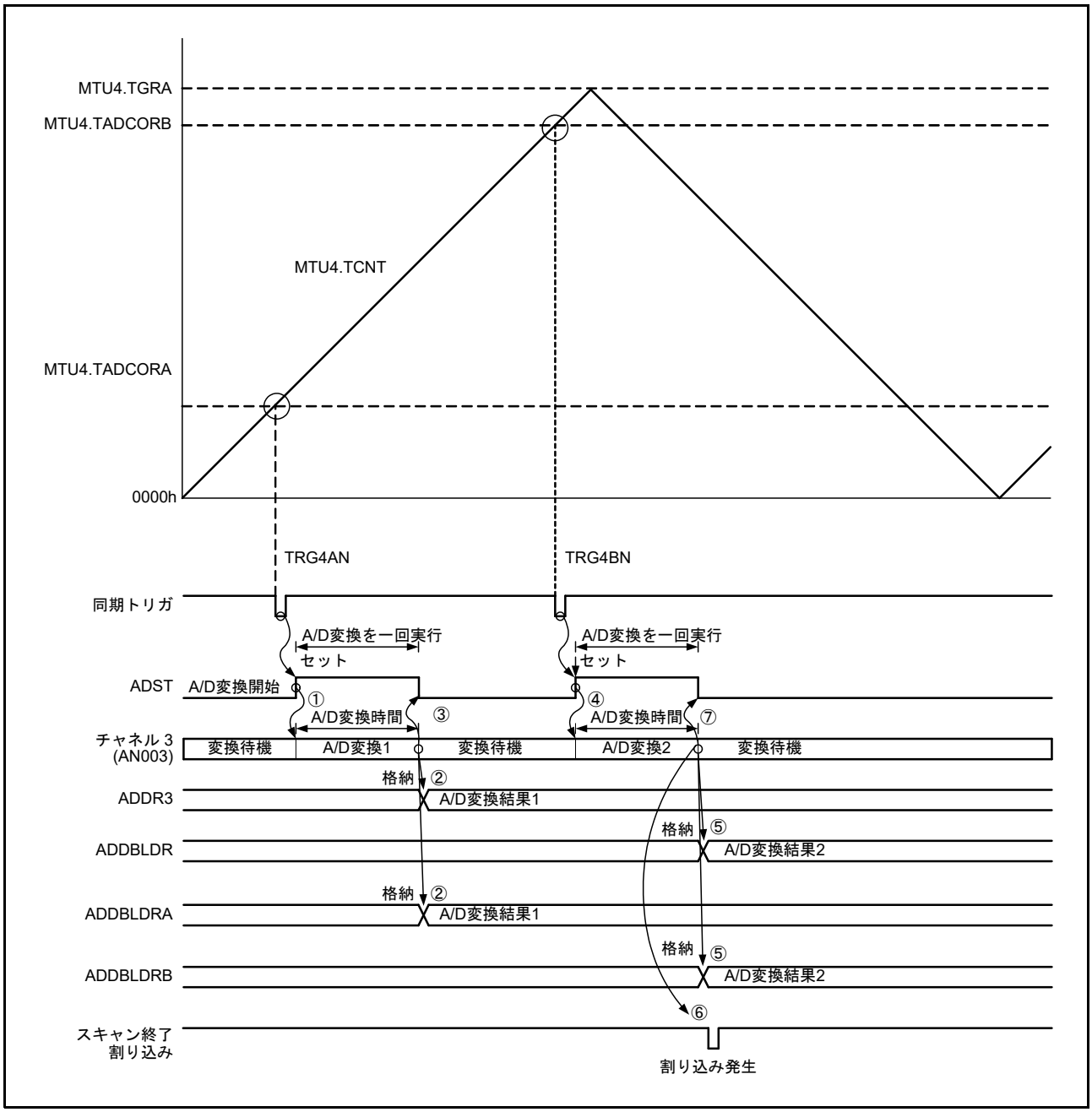


図 39.20 ダブルトリガモードの拡張動作例 (1)
(AN003 を二重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4AN の場合)

39.3.5 連続スキャンモード

39.3.5.1 基本動作 (チャネル専用サンプル & ホールドなし)

連続スキャンモードの基本動作は、選択されたチャネルのアナログ入力を以下のように繰り返し A/D 変換します。

連続スキャンモード時は、温度センサ A/D 変換選択ビットと内部基準電圧 A/D 変換選択ビットを非選択にしてください。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します (図 39.21 の変換順序設定：AN000 → AN001 → AN002)。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
また 12 ビット A/D コンバータは、継続して ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。

(4) ADCSR.ADST ビットは自動的にクリアされず、“1” (A/D 変換開始) の間は (2) ～ (3) を繰り返します。
ADCSR.ADST ビットを “0” (A/D 変換停止) に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。

(5) その後、ADCSR.ADST ビットを “1” (A/D 変換開始) にセットすると再び ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。

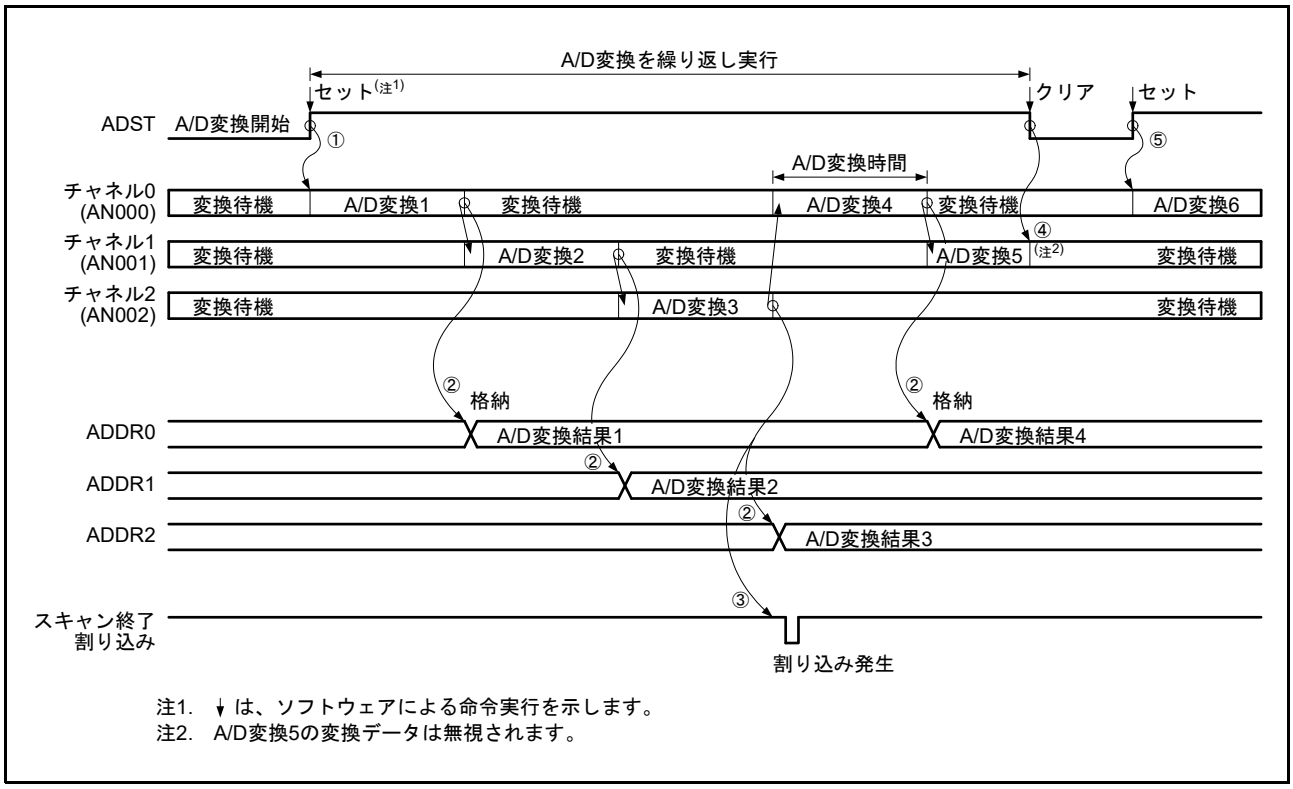


図 39.21 連続スキャンモードの動作例 (基本動作：AN000、AN001、AN002 選択)

39.3.5.2　基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング無効)

チャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に、選択したすべてのチャネルのアナログ入力を A/D 変換する動作を繰り返します。チャネル専用サンプル & ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

連続スキャンモード時は、温度センサ A/D 変換選択ビットと内部基準電圧 A/D 変換選択ビットを非選択にしてください。

(1) ソフトウェア、同期トリガ入力または非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング & ホールド実施後に、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(3) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(4) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。また、チャネル専用サンプル & ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが開始されます。
(5) ADCSR.ADST ビットは自動的にクリアされず、“1” になっている間は (2) ～ (4) を繰り返します。ADCSR.ADST ビットを “0” (A/D 変換停止) に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(6) その後、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再びチャネル専用サンプル & ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが開始されます。

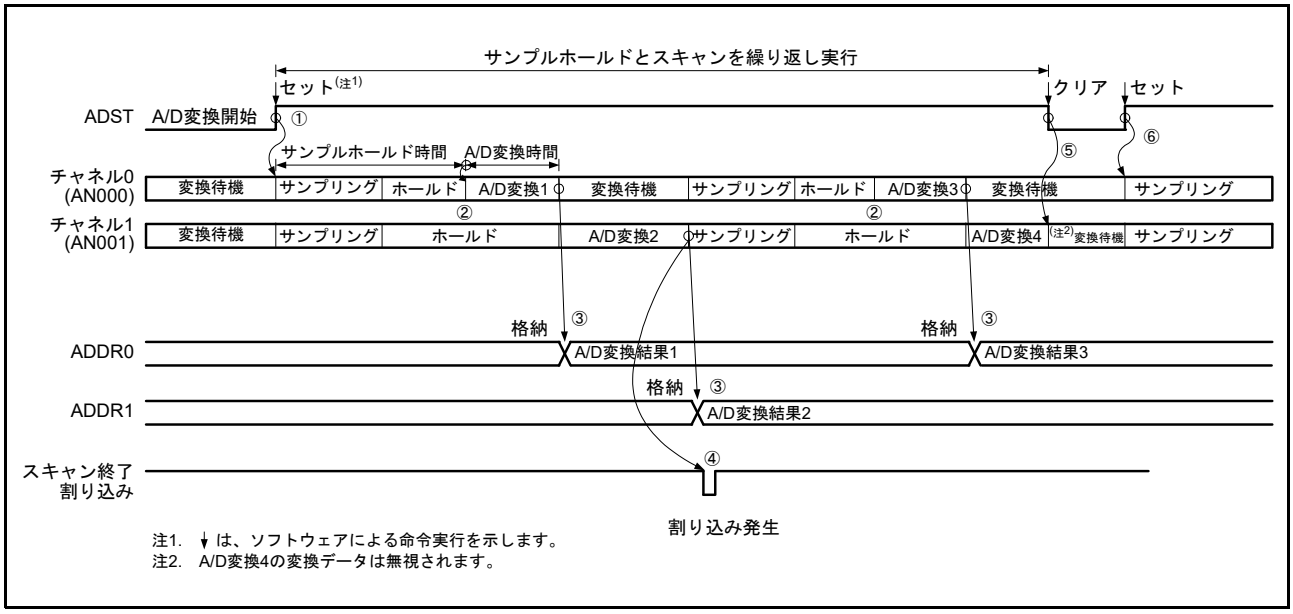


図 39.22　連続スキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用：AN000、AN001 選択、常時サンプリング無効)

39.3.5.3 基本動作 (チャネル専用サンプル & ホールドあり、常時サンプリング有効)

常時サンプリング有効設定でチャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド実施後に、選択したすべてのチャネルのアナログ入力を A/D 変換する動作を繰り返します。チャネル専用サンプル & ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

連続スキャンモード時は、温度センサ A/D 変換選択ビットと内部基準電圧 A/D 変換選択ビットを非選択にしてください。

(1) ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(2) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを “1” に設定してから 750 ns 以上経過してから、ADCSR.ADST ビットが “1” になるようにしてください。
(3) サンプル & ホールド回路の安定時間経過後に、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(4) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、サンプル & ホールド回路は常時サンプリングを再開します。
(5) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。また、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。
(6) ADCSR.ADST ビットは自動的にクリアされず、“1” になっている間は (3) ～ (5) を繰り返します。ADCSR.ADST ビットを “0” (A/D 変換停止) にすると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(7) ADSHMSR.SHMD ビットを “0” にすると、サンプル & ホールド回路が停止します。
(8) その後、ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(9) ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再びチャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。

注 . チャネル専用サンプル & ホールド回路ありのチャネルのみを選択し連続スキャンを実施すると、連続スキャンの 2 回目以降に常時サンプリングの期間が確保されなくなります。サンプル & ホールド回路の常時サンプリング有効で連続スキャンする場合は、AN003 ～ AN007 を 1 チャネル以上選択し、サンプル & ホールド回路の常時サンプリング期間が 400 ns 以上となるようにしてください。

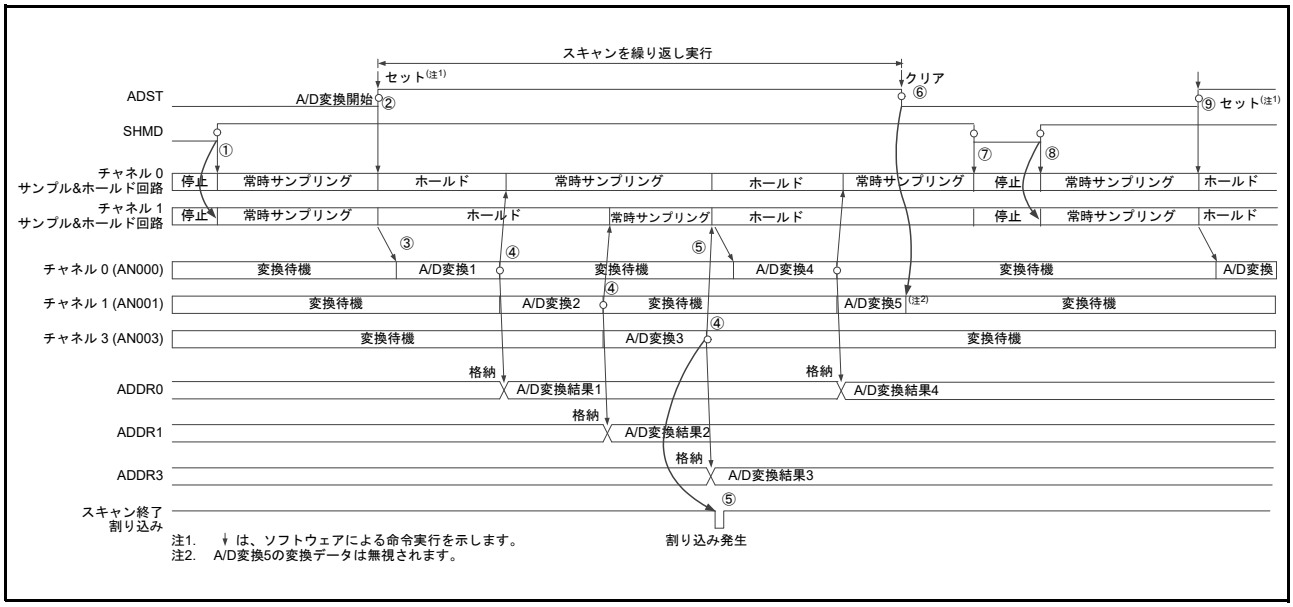


図 39.23 連続スキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用：AN000、AN001、AN003 選択、常時サンプリング有効)

39.3.5.4　チャネル選択と自己診断 (チャネル専用サンプル & ホールドなし)

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換する動作を繰り返します。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
(2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(4) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。また、12 ビット A/D コンバータは継続して自己診断での A/D 変換を開始し、終了後に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。
(5) ADCSR.ADST ビットは自動的にクリアされず、“1” になっている間は (2) ～ (4) を繰り返します。ADST ビットを “0” (A/D 変換停止) にすると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(6) その後、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再び自己診断での A/D 変換から開始します。

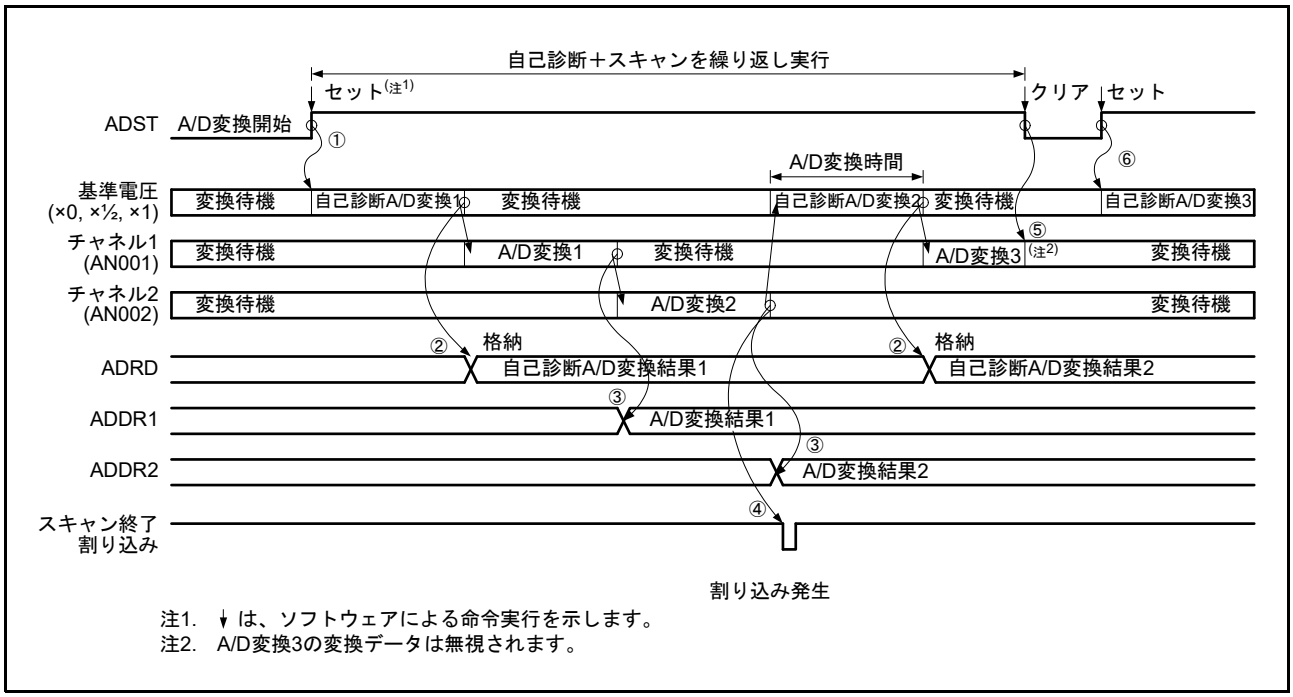


図 39.24　連続スキャンモードの動作例 (基本動作：AN001、AN002 選択 + 自己診断)

39.3.5.5 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング無効)

チャネル選択と共に自己診断を選択し、チャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド処理後に、12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換する動作を繰り返します。

連続スキャンモード時は、温度センサ A/D 変換選択ビットと内部基準電圧 A/D 変換選択ビットを非選択にしてください。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
(2) サンプリング & ホールド実施後に、自己診断での A/D 変換を開始します。
(3) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(4) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
(5) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。また、チャネル専用サンプル & ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが開始されます。
(6) ADCSR.ADST ビットは自動的にクリアされず、“1” に設定されている間は (2) ～ (5) を繰り返します。ADCSR.ADST ビットを “0” (A/D 変換停止) にすると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(7) その後、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再び自己診断での A/D 変換から開始します。

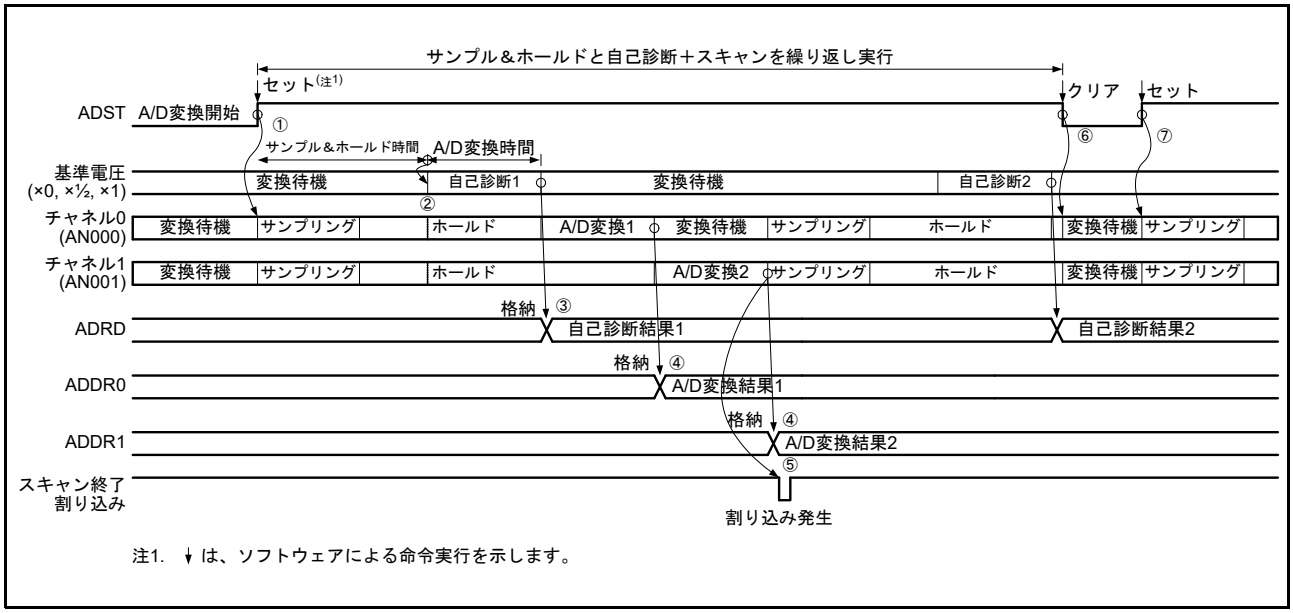


図 39.25　連続スキャンモードの動作例
(チャネル専用サンプル & ホールド回路使用 : AN000、AN001 選択 + 自己診断)

39.3.5.6 チャネル選択と自己診断 (チャネル専用サンプル & ホールドあり、常時サンプリング有効)

チャネル選択と共に自己診断を選択し、常時サンプリング有効設定でチャネル専用サンプル & ホールド回路を使用すると、以下のようにサンプル & ホールド処理後に、12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換する動作を繰り返し行います。

(1) ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(2) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを “1” に設定してから 750 ns 以上経過してから、ADCSR.ADST ビットが “1” になるようにしてください。
(3) サンプル & ホールド回路の安定時間経過後に、自己診断での A/D 変換を開始します。
(4) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。
(5) チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納され、サンプル & ホールド回路は常時サンプリングを再開します。
(6) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。また、チャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。
(7) ADCSR.ADST ビットは自動的にクリアされず、“1” になっている間は (3) ～ (6) を繰り返します。ADCSR.ADST ビットを “0” (A/D 変換停止) にすると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
(8) ADSHMSR.SHMD ビットを “0” にすると、サンプル & ホールド回路が停止します。
(9) その後、ADSHMSR.SHMD ビットを “1” にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル & ホールド回路が常時サンプリングを開始します。
(10) ADCSR.ADST ビットが “1” (A/D 変換開始) になると、再びチャネル専用サンプル & ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。

注 . チャネル専用サンプル & ホールド回路ありのチャネルのみを選択し連続スキャンを実施すると、連続スキャンの 2 回目以降に常時サンプリングの期間が確保されなくなります。サンプル & ホールド回路の常時サンプリング有効で連続スキャンする場合は、AN003 ～ AN007 を 1 チャネル以上選択し、サンプル & ホールド回路の常時サンプリング期間が 400 ns 以上となるようにしてください。

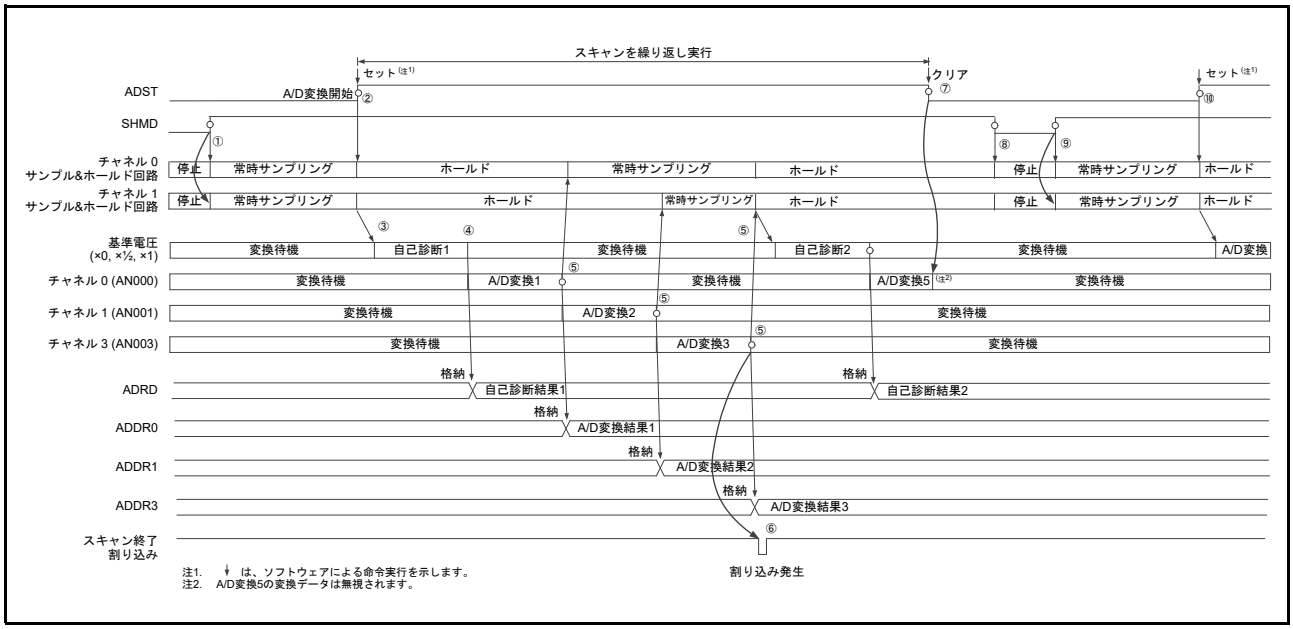


図 39.26 連続スキャンモードの動作例 (チャネル専用サンプル & ホールド回路使用：AN000、AN001、AN003 選択＋自己診断、常時サンプリング有効)

39.3.6 グループスキャンモード

39.3.6.1 基本動作

グループスキャンモードで使用するグループの数は 2 つ (グループ A、B) と 3 つ (グループ A、B、C) のどちらか一方を選択することができます。グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループ A、B またはグループ A、B、C のそれぞれで選択したすべてのチャネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A、B、C のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A とグループ B とグループ C のスキャンが同時に起こらないように、グループ A とグループ B とグループ C のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

スキャン対象は、ADANSA0、ADANSA1 レジスタ、ADEXICR.TSSA、OCSA ビットでグループ A のチャネル、ADANSB0、ADANSB1 レジスタ、ADEXICR.TSSB、OCSB ビットでグループ B のチャネル、ADANSC0、ADANSC1 レジスタ、ADGCEXCR.TSSC、OCSC ビットでグループ C のチャネルを選択します。温度センサ出力をスキャン対象にする場合、TSSA、TSSB、TSSC ビットのいずれか 1 ビットのみ “1” にしてください。また、内部基準電圧をスキャン対象にする場合、OCSA、OCSB、OCSC ビットのいずれか 1 ビットのみ “1” にしてください。温度センサ出力または内部基準電圧を設定したスキャングループのすべての変換チャネルに対し、15 ADCLK 期間のディスチャージが実施されます。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B またはグループ A とグループ B とグループ C それぞれで自己診断を実施します。

以下に MTU からの同期トリガによるグループスキャンモードの動作例を示します。グループ A は MTU からの TRG4AN トリガで変換開始し、グループ B は MTU からの TRG4BN トリガで変換開始し、グループ C は MTU からの TRG4ABN トリガで変換開始する設定です。

(1) MTU からの TRG4AN トリガでグループ A のスキャンを開始します。
(2) グループ A のスキャン終了時に ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込みが発生します。
(3) MTU からの TRG4BN トリガでグループ B のスキャンを開始します。
(4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込みが発生します。
(5) MTU からの TRG4ABN トリガでグループ C のスキャンを開始します。
(6) グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込みが発生します。

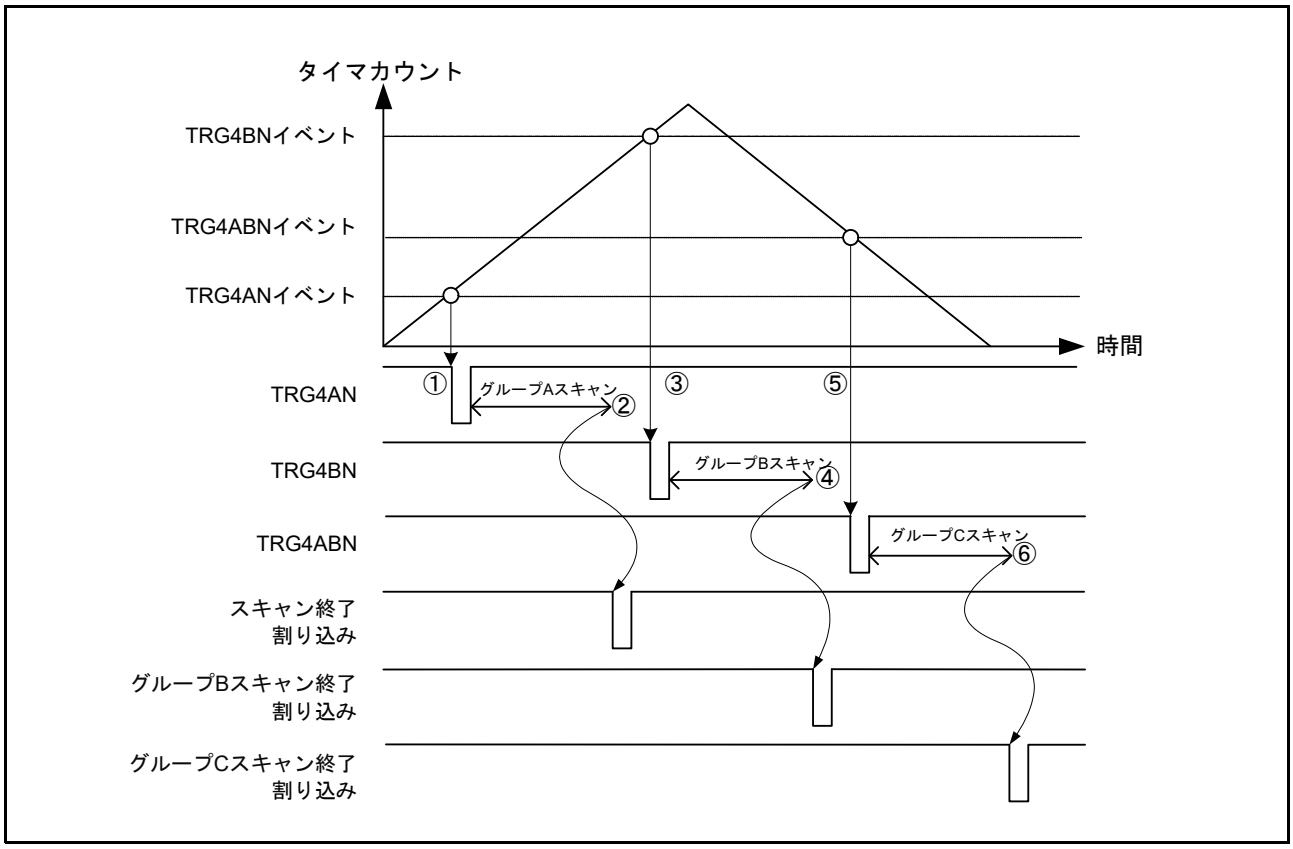


図 39.27　グループスキャンモードの動作例 (MTU からの同期トリガ発生による基本動作)

以下に温度センサ出力、内部基準電圧を使用する場合の動作例 (グループスキャンモードかつグループ優先動作を行わない) を示します。

グループ A にチャネル 0 を、グループ B に温度センサ出力と内部基準電圧を、グループ C にチャネル 1 を A/D 変換する設定です。

(1) グループ A のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、グループ A のスキャンを開始します。
(2) チャネル 0 の A/D 変換を開始し、A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR0) へ格納されます。
(3) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込みが発生します。
(4) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。
(5) グループ B のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、グループ B のスキャンを開始します。
(6) 温度センサ出力を A/D 変換する前に、ディスチャージ期間として 15 ADCLK が挿入されます。ディスチャージ期間終了後に A/D 変換を開始し、A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADTSDR) へ格納されます。次に内部基準電圧を A/D 変換する前に、ディスチャージ期間として 15 ADCLK が挿入されます。ディスチャージ期間終了後に A/D 変換を開始し、A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADOCDR) へ格納されます。
(7) ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込みを出力します。

(8) ADST ビットは、グループ B のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

(9) グループ C のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、グループ C のスキャンを開始します。

(10) チャネル 1 の A/D 変換を開始し、A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR1) へ格納されます。

(11) ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込みを出力します。

(12) ADST ビットは、グループ C のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

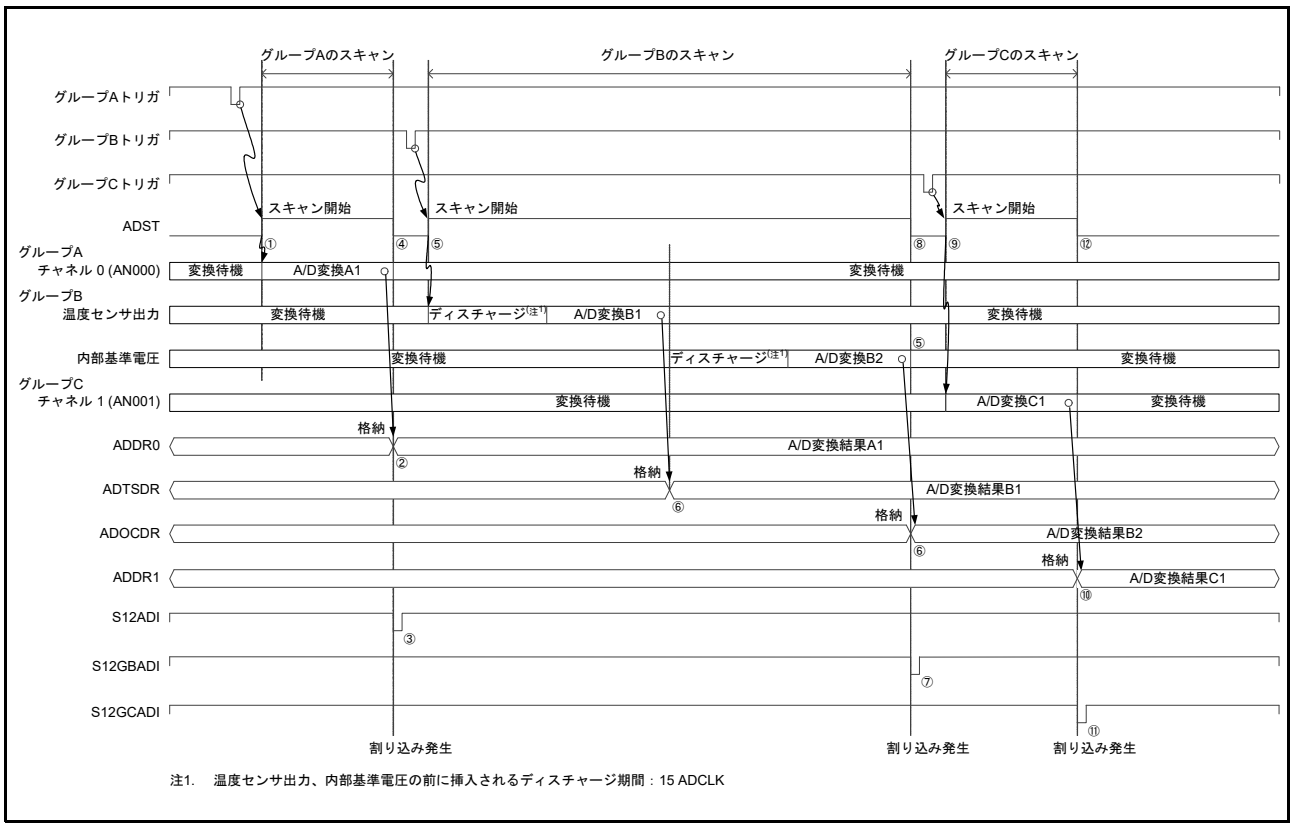


図 39.28 温度センサ出力、内部電圧を使用する場合の動作例 (グループスキャンモードかつグループ優先動作を行わない)

39.3.6.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガで開始するシングルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B とグループ C は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A とグループ B とグループ C のスキャンが同時に起こらないように、グループ A とグループ B とグループ C のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガは使用しないでください。ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガに「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」、「TRGA0N または TRG0N」、「TRGA9N または TRG9N」、「TRGA0N または TRGA9N」、「TRG0N または TRG9N」、「ELCTRG00N または ELCTRG01N/ELCTRG10N または ELCTRG11N/ELCTRG20N または ELCTRG21N」を選択した場合は、ダブルトリガ拡張モードで動作します。

スキャン対象は、ADCSR.DBLANS[4:0] ビットでグループ A のチャネル、ADANSB0、ADANSB1 レジスタでグループ B のチャネル、ADANSC0、ADANSC1 レジスタでグループ C のチャネルを選択します。グループスキャンモードでダブルトリガモードを選択した場合は、温度センサ A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は “0” (非選択) に設定します。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ二重化は、二重化するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを “1” にすると有効となります。

以下に MTU からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRGA0N トリガで変換開始し、グループ C は MTU からの TRGA1N トリガで変換開始する設定です。

(1) MTU からの TRGA1N トリガでグループ C のスキャンを開始します。
(2) グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込みが発生します。
(3) MTU からの TRGA0N トリガでグループ B のスキャンを開始します。
(4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込みが発生します。
(5) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
(6) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ (ADDRy) に格納し、ADCSR.ADIE ビットの設定に関わらずスキャン終了割り込み要求は発生しません。
(7) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
(8) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR レジスタに格納し、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(9) MTU からの 2 回目の TRGA0N トリガでグループ B の 2 回目のスキャンを開始します。
(10) グループ B の 2 回目のスキャン終了時は、ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン割り込みが発生します。
(11) MTU からの 2 回目の TRGA1N トリガでグループ C の 2 回目のスキャンを開始します。
(12) グループ C の 2 回目のスキャン終了時は、ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン割り込みが発生します。

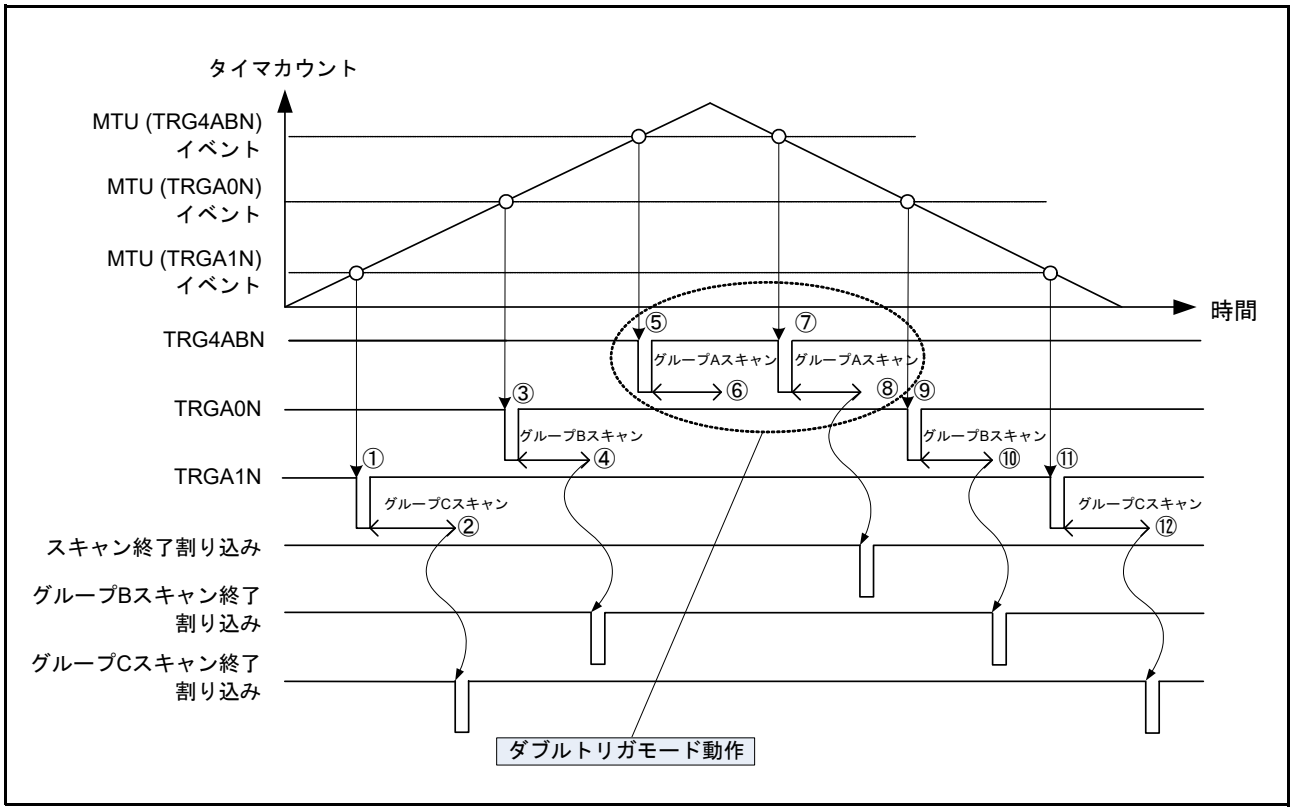


図 39.29 グループスキャンモードでダブルトリガモード選択時の動作例
(MTU からの同期トリガ発生による基本動作)

39.3.6.3 グループ優先制御動作

グループスキャンモードで ADGSPCR.PGS ビットを “1” にすると、グループ優先制御動作を行います。グループの優先度は、グループ A > グループ B > グループ C の順となります。グループスキャンモードで使用するグループの数は ADGCTRGR.GRCE ビットの設定により、2 つ (グループ A、B) または 3 つ (グループ A、B、C) のいずれか一方を選択可能です。ADGSPCR.PGS ビットを “1” に設定する際は、**図 39.30** に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、スキャンの動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、グループ B、またはグループ C のスキャン動作中に他方のトリガ入力があっても無視されます。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループのスキャンを中断して、優先グループのスキャンを行います。

ADGSPCR.GBRSCN ビットが “0” のとき、優先グループのスキャン終了後、低優先グループは待機状態となります。またスキャン中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが “1” のとき、優先グループのスキャン終了後、自動的に低優先グループのスキャンを再実行します。また優先グループのスキャン中に発生した低優先グループのトリガ入力は有効となり、優先グループのスキャン終了後、自動的に低優先グループのスキャンを実行します。

ADGSPCR.GBRSCN ビットが “1” のときに ADGSPCR.LGRRS ビットが “0” のとき、低優先グループのスキャンは先頭から再実行します。また、ADGSPCR.LGRRS ビットが “1” のとき、低優先グループのスキャンは中断したチャネルから再実行します。ただし自己診断機能を使用した場合は、自己診断後に中断したチャネルから再実行します。

ADGSPCR.GBRSCN ビットの設定とスキャン動作中のトリガ入力時の動作を**表 39.22** に示します。

ADGSPCR.GBRP ビットに “1” を設定したとき、最も優先度の低いグループのスキャン動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードでは、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを、ADGCTRGR.TRSC[5:0] ビットでグループ A、B のトリガとは異なるグループ C の同期トリガを選択してください。

グループスキャンモードを 2 グループ (ADGCTRGR.GRCE ビットを “0” に設定) でかつ ADGSPCR.GBRP ビットに “1” を設定する場合、ADSTRGR.TRSB[5:0] ビットには “3Fh” を設定してください。

また、グループスキャンモードを 3 グループ (ADGCTRGR.GRCE ビットを “1” に設定) でかつ ADGSPCR.GBRP ビットに “1” を設定する場合は、ADGCTRGR.TRSC[5:0] ビットを “3Fh” に設定してください。

またスキャン対象は、ADANSA0、ADANSA1 レジスタ、ADEXICR.TSSA、OCSA ビットでグループ A のチャネル、ADANSB0、ADANSB1 レジスタ、ADEXICR.TSSB、OCSB ビットでグループ B のチャネル、ADANSC0、ADANSC1 レジスタ、ADGCEXCR.TSSC、OCSC ビットでグループ C のチャネルを選択してください。

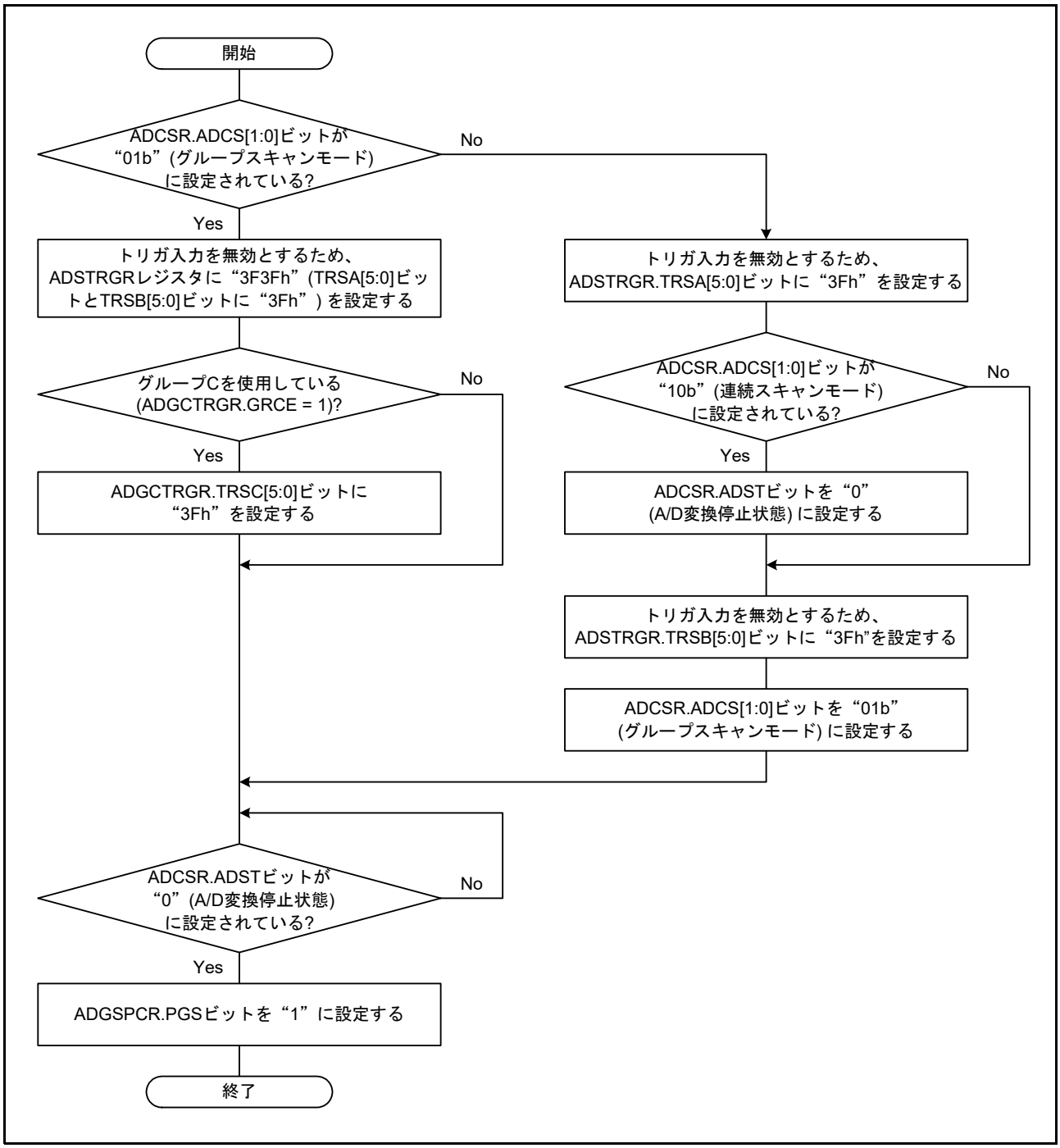


図 39.30 ADGSPCR.PGS ビット設定時のフローチャート

表39.22　ADGSPCR.GBRSCNビットの設定によるスキャン動作制御

スキャン動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループAのスキャン中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループBのスキャンを行います
	グループCトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループCのスキャンを行います
グループBのスキャン中	グループAトリガ入力	グループBのスキャンを中断し、グループAのスキャンを開始	• グループBのスキャンを中断し、グループAのスキャン開始 • グループAのスキャン終了後、グループBのスキャン動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効
	グループCトリガ入力	トリガ入力無効	グループBのスキャン終了後、グループCのスキャンを行います
グループCのスキャン中	グループAトリガ入力	グループCのスキャンを中断し、グループAのスキャンを開始	• グループCのスキャンを中断し、グループAのスキャンを開始 • グループAのスキャン終了後、グループCのスキャンを開始
	グループBトリガ入力	グループCのスキャンを中断し、グループBのスキャン動作を開始	• グループCのスキャンを中断し、グループBのスキャン開始 • グループBのスキャン終了後、グループCのスキャン開始
	グループCトリガ入力	トリガ入力無効	トリガ入力無効

グループ優先動作モードを使用する場合、下記の表を参考に実現したい動作モードを選択して、レジスタを設定してください。

表39.23　2グループのグループ優先動作設定と動作モード(ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	2グループ(グループA、B)のグループ優先動作 • グループAのトリガが入力されたとき、グループBのスキャンは終了する(再実行しない)
1	0	0	2グループ(グループA、B)のグループ優先動作 • グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0レジスタで指定したチャネルの先頭からスキャンを再開する
1	1	0	2グループ(グループA、B)のグループ優先動作 • グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0レジスタで指定したチャネルのうち、中断したチャネル(注1)からスキャンを再開する
x	0	1	2グループ(グループA、B)のグループ優先動作 • グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0レジスタで指定したチャネルの先頭からシングルスキャンを再開する
1	1	1	2グループ(グループA、B)のグループ優先動作 • グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0レジスタで指定したチャネルのうち、中断したチャネル(注1)からシングルスキャンを再開する

x = Don't care

注1.　自己診断機能有(ADCER.DIAGM = 1)では、自己診断を実行してから中断したチャネルのA/D変換を開始します。

表39.24　3グループのグループ優先動作設定と動作モード(ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	3グループ(グループA、B、C)のグループ優先動作 • グループAのトリガが入力されたとき、グループBのスキャンは終了する(再実行しない) • グループA、またはグループBのトリガが入力されたとき、グループCのスキャンは終了する(再実行しない)
0	x	1	3グループ(グループA、B、C)のグループ優先動作 • グループAのトリガが入力されたとき、グループBのスキャンは終了する(再実行しない) • グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャネルの先頭からスキャンを再開する
1	0	0	3グループ(グループA、B、C)のグループ優先動作 • グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャネルの先頭からスキャンを再開する • グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャネルの先頭からスキャンを再開する
1	1	0	3グループ(グループA、B、C)のグループ優先動作 • グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャネルのうち、中断したチャネル(注1)からスキャンを再開する • グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャネルのうち、中断したチャネル(注1)からスキャンを再開する
1	0	1	3グループ(グループA、B、C)のグループ優先動作 • グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャネルの先頭からスキャンを再開する • グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャネルの先頭からシングルスキャンを再開する
1	1	1	3グループ(グループA、B、C)のグループ優先動作 • グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャネルのうち、中断したチャネル(注1)から再開する • グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャネルのうち、中断したチャネル(注1)からシングルスキャンを再開する

x = Don't care

注1.　自己診断機能有(ADCER.DIAGM = 1)では、自己診断を実行してから中断したチャネルのA/D変換を開始します。

(1) 2グループのグループ優先動作 (ADGSPCR.PGS = 1、ADGCTRGR.GRCE = 0 設定)

グループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時) を動作例 1 ～ 5 に示します。

動作例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

(1) グループ B のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します (図 39.31 のチャネル変換順序設定：AN000 → AN001 → AN002 → AN003)。

(2) チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。

(4) チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(5) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(6) ADGSPCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。

(7) チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(8) ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

(9) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

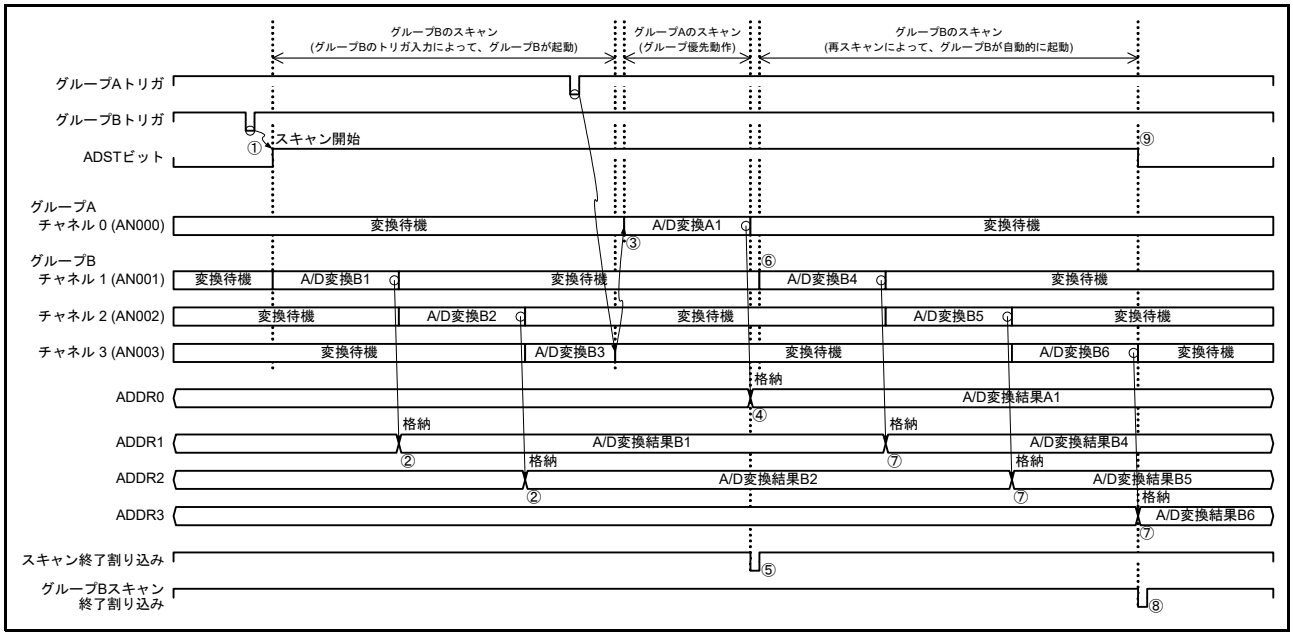


図 39.31　グループ優先動作の例 1「グループ B スキャン中のグループ A トリガ入力」再スキャンあり
(ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時)

動作例 2 「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり

グループ B 再スキャン動作中に、グループ A のトリガが入力された場合を図 39.32 に示します。

再スキャン動作中であっても、グループ A のトリガが入力されれば、グループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。

ADCSR.ADST ビット、A/D 変換結果の A/D データレジスタ (ADDRy) への格納、割り込み要求は、例 1 と同じ動作になります。

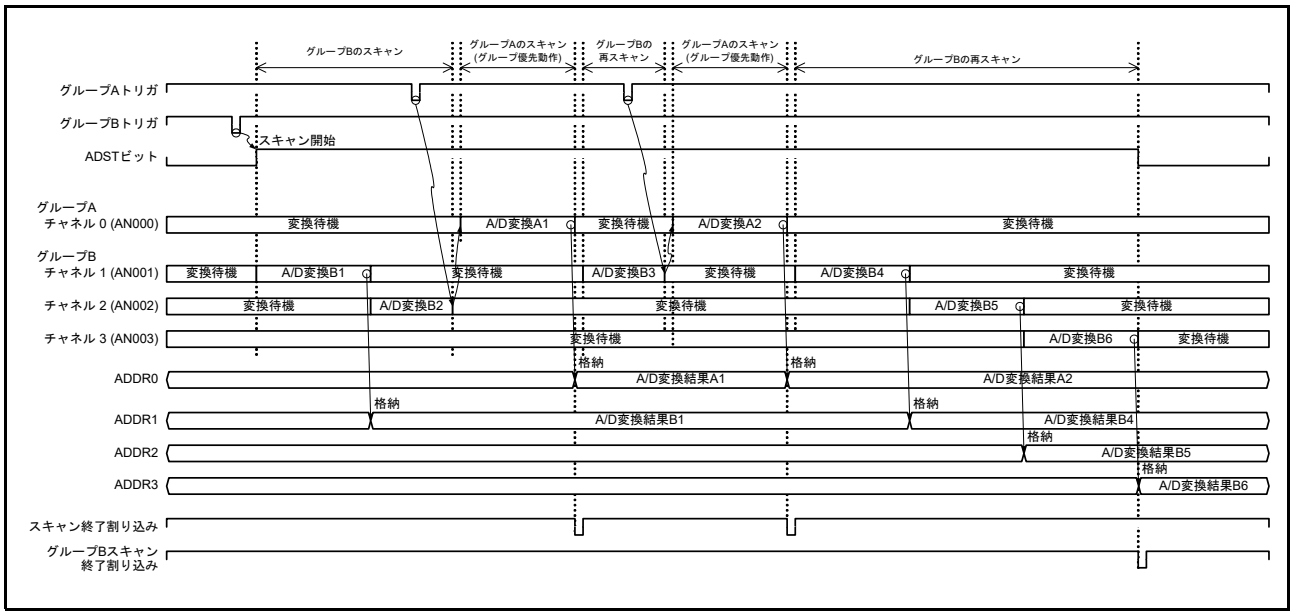


図 39.32　グループ優先動作の例 2「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時)

動作例 3 「グループ A スキャン中のグループ B トリガ入力」再スキャンあり

ADGPSCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) の設定で、グループ A のスキャン動作中にグループ B のトリガが入力された場合を説明します。

ADGPSCR.GBRSCN ビットが “0” に設定されている場合は、グループ A のスキャン動作中に入力されたグループ B のトリガはすべて無効となります。

(1) グループ A のトリガ入力によって、ADCSR.ADST ビットが “1” (A/D 変換開始) に設定されると、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。
(2) グループ A のスキャン中に、グループ B のトリガ入力があると、グループ B はスキャン実行可能状態になります。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
(4) グループ A のスキャン終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(5) グループ A のスキャン終了後、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します (グループ B のスキャン中にグループ A のトリガが入力されると、例 1 と同じくグループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します)。
(6) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
(7) グループ B のスキャン終了後、ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
(8) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

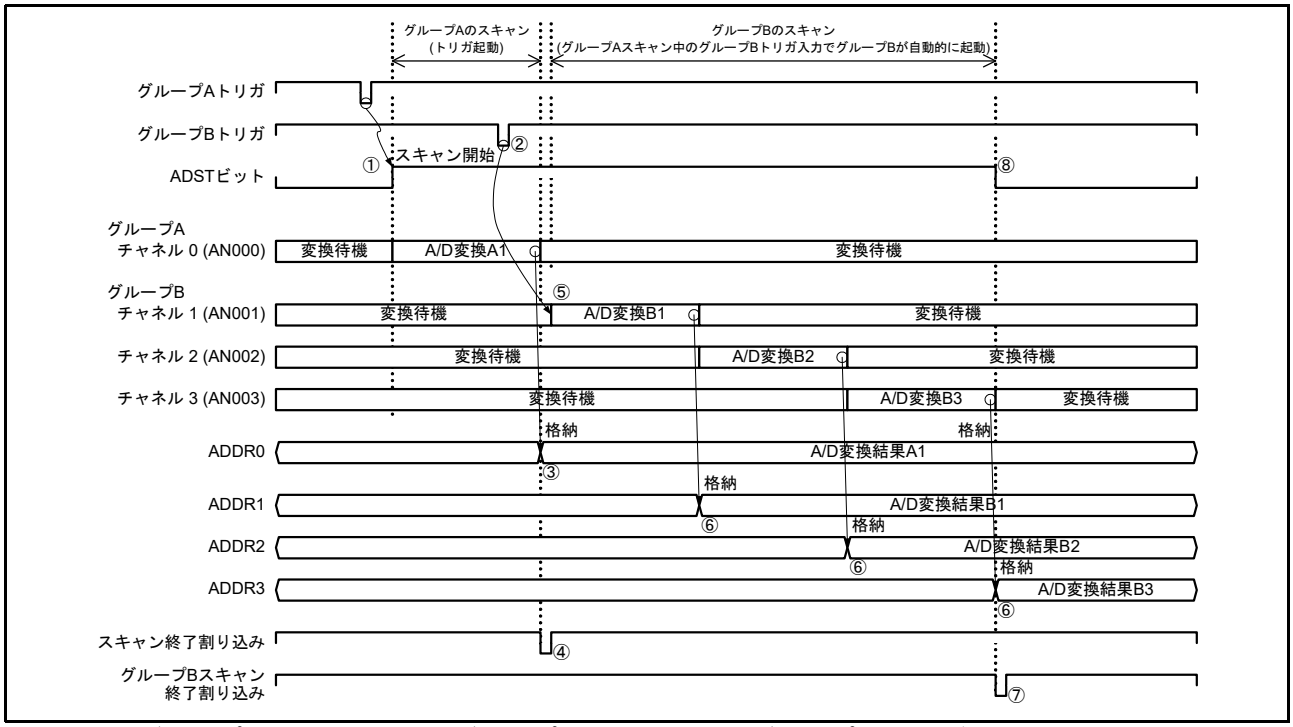


図 39.33　グループ優先動作の例 3「グループ A スキャン中のグループ B トリガ入力」再スキャンあり
(ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時)

グループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし

(1) グループ B のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。

(4) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(5) グループ A のスキャン終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(6) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。グループ B は、以後のグループ B トリガ入力までスキャンを行いません。

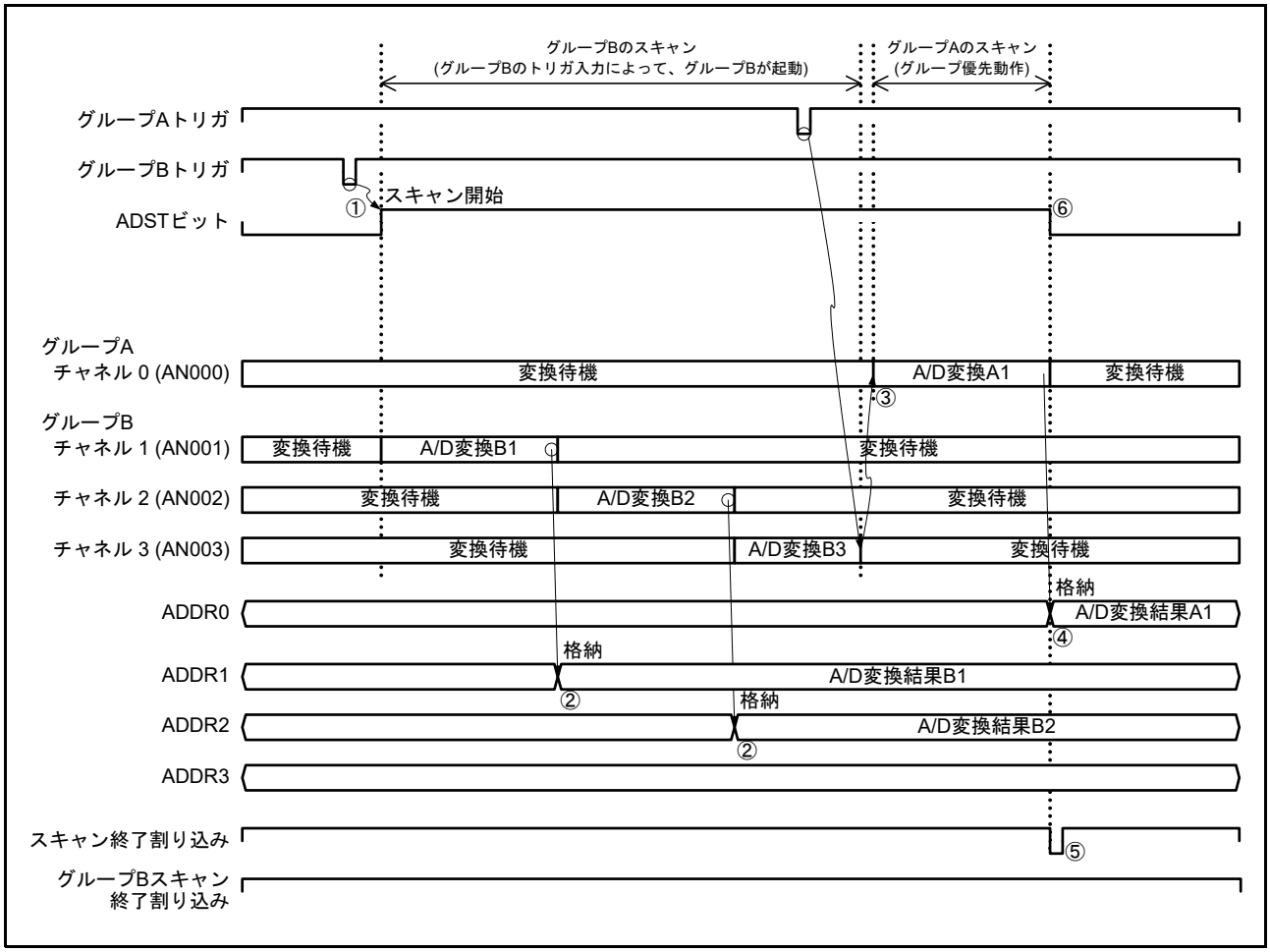


図 39.34　グループ優先動作の例 4「グループ B スキャン中のグループ A トリガ入力」再スキャンなし
(ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時)

グループ A にチャネル 0 を、グループ B にチャネル 1、2 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 0 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが “1” の設定では、グループ C がシングルスキャン連続動作を行い、グループ B はトリガ入力でのスキャン開始になります。

動作例 5 「グループ B のシングルスキャン連続動作」

(1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが “1” (A/D 変換開始) に設定され、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。

(4) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(5) グループ A のスキャン終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(6) ADGSPCR.GBRP ビットが “1” (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。

(7) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(8) ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

(9) ADGSPCR.GBRP ビットが “1” (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。

グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

ADGSPCR.GBRP ビットが “1” に設定されている間は (6) ～ (9) の動作を繰り返します。ADGSPCR.GBRP ビットが “1” に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、「39.6.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

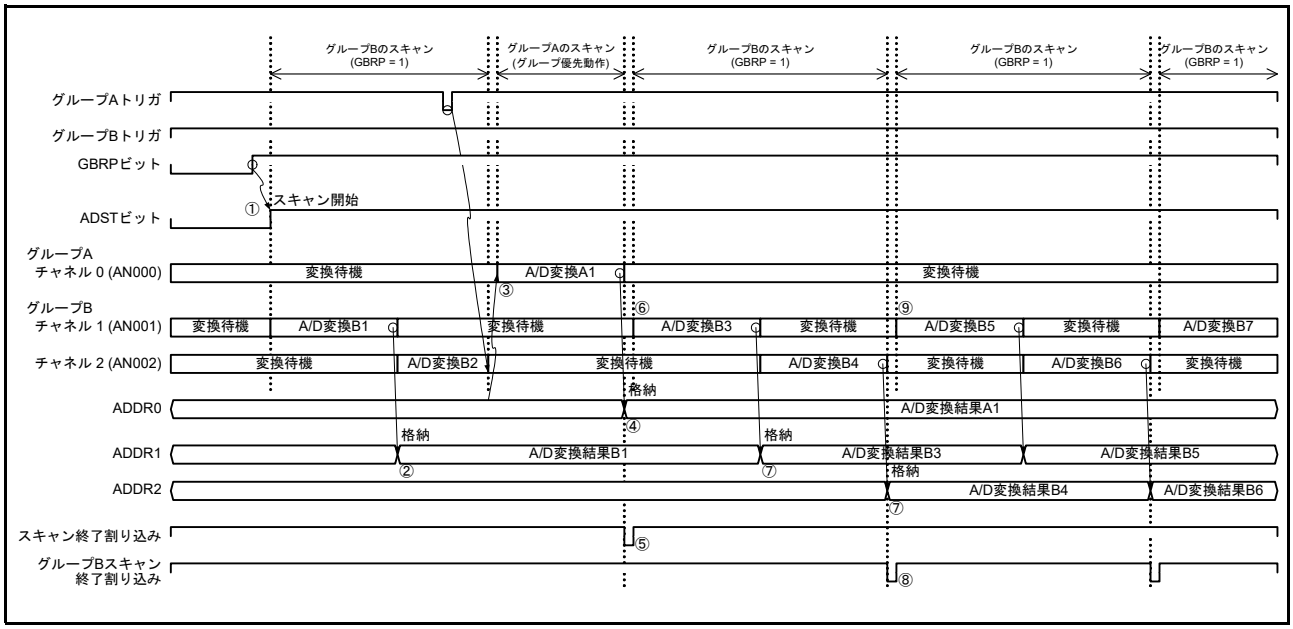


図 39.35　グループ優先動作の例 5「グループ B のシングルスキャン連続動作」
(ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 1、ADGCTRGR.GRCE = 0 設定時)

(2) 3グループのグループ優先動作 (ADGSPCR.PGS = 1、ADGCTRGR.GRCE = 1 設定)

グループ A にチャネル 0 を、グループ B にチャネル 1、2 を、グループ C にチャネル 3、4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時) を動作例 1 ～例 5 に示します。優先グループとは、グループ C に対するグループ A とグループ B、グループ B に対するグループ A を意味します。

動作例 1「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり

(1) グループ C のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ C のスキャンを開始します。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ C のスキャンを中断し、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

(4) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

(6) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(7) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(8) ADGSPCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ B のスキャンは、A/D 変換が中断したチャネルから開始します。

(9) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(10) ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

(11) ADGSPCR.GBRSCN ビットが “1” に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ C のスキャンは、A/D 変換が中断したチャネルから開始します。

(12) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(13) ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込み要求が発生します。

(14) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

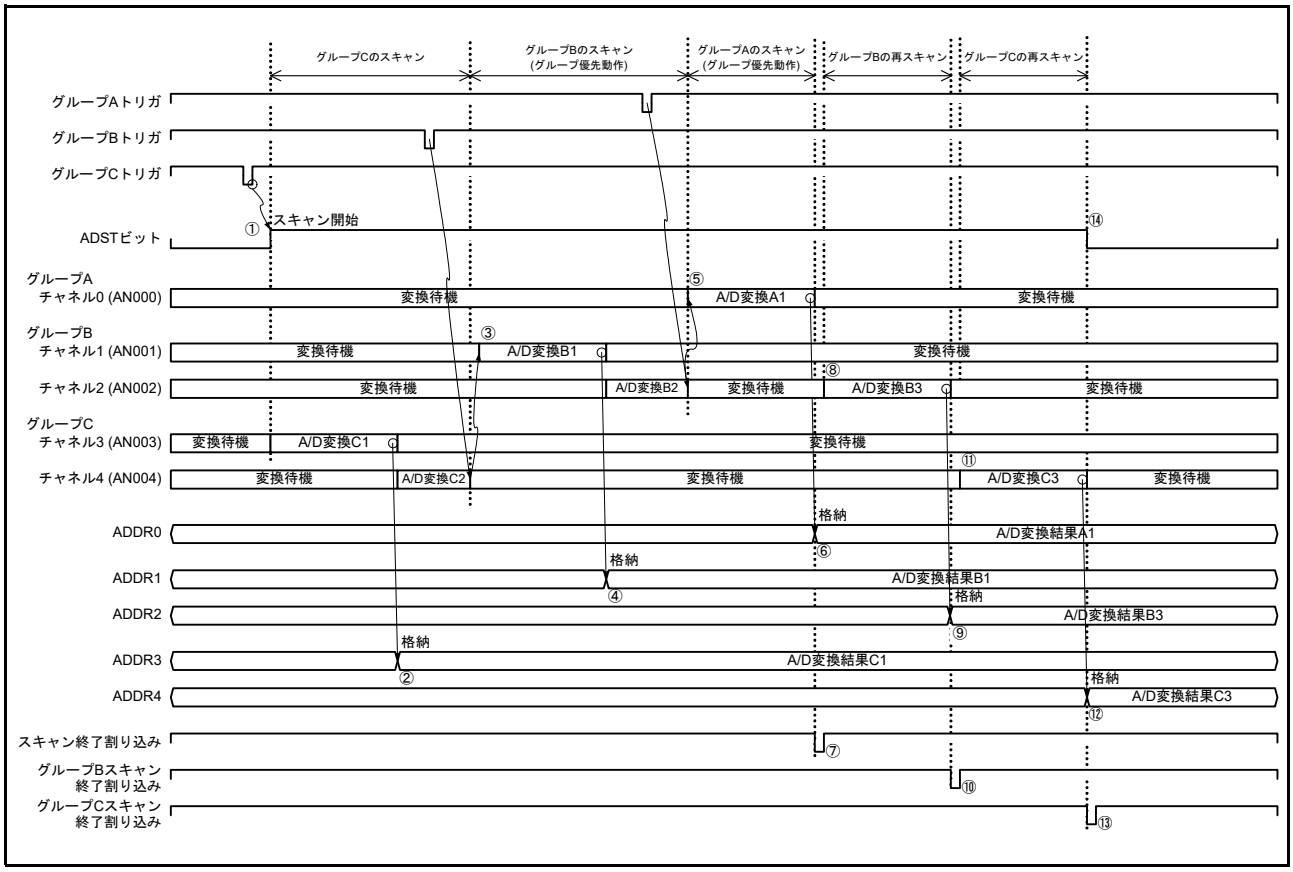


図 39.36 グループ優先動作の例 1「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時)

動作例 2「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり

グループ B 再スキャン動作中に、グループ A のトリガが入力された場合を図 39.37 に示します。

低優先グループが再スキャン動作中であっても、優先グループ (グループ C に対する優先グループはグループ A とグループ B、グループ B に対する優先グループはグループ A) のトリガが入力されれば、優先グループのスキャンを開始し、優先グループのスキャン終了後、中断した低優先グループのスキャンを開始します。

ADCSR.ADST ビット、A/D 変換結果の A/D データレジスタ (ADDRy) への格納、割り込み要求は、例 1 と同じ動作になります。

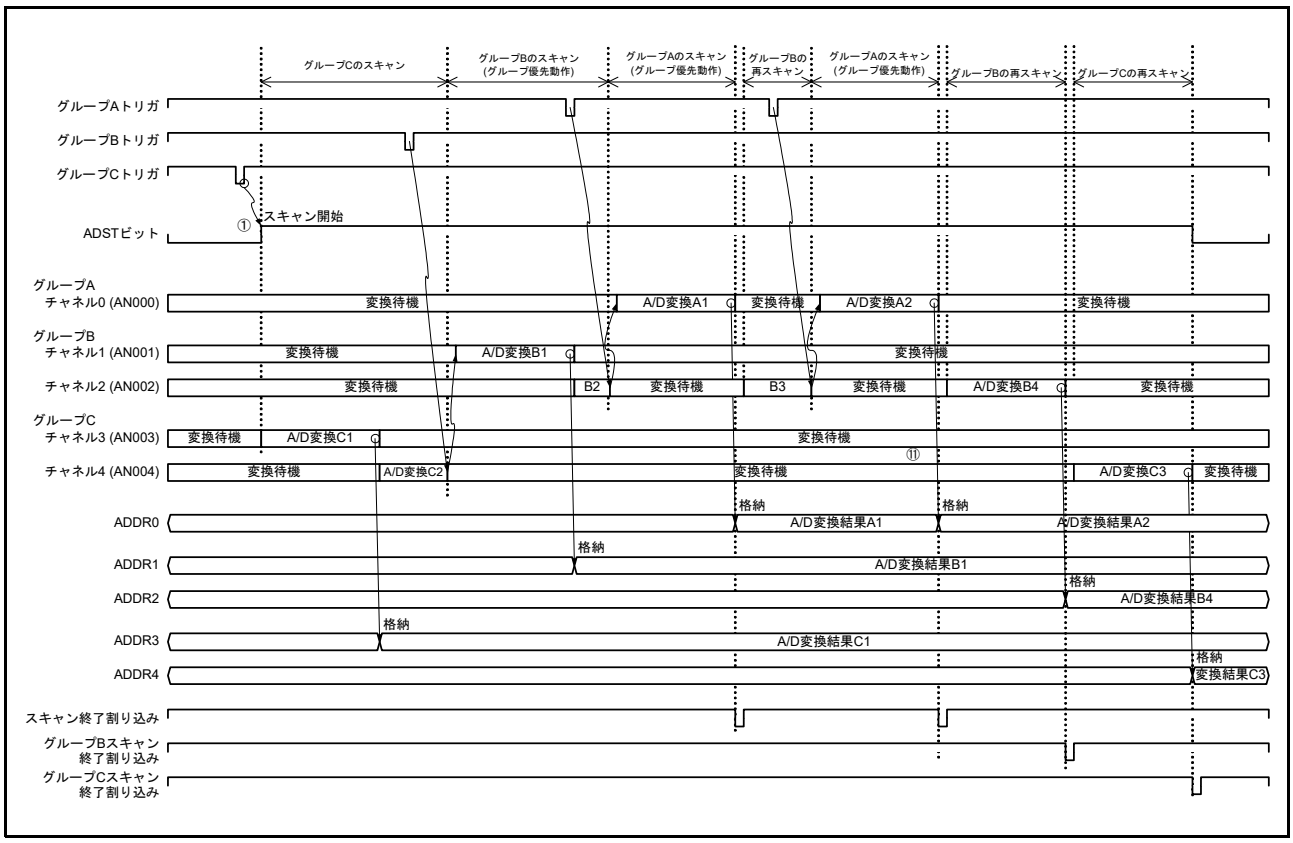


図 39.37　グループ優先動作の例 2「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時)

動作例 3「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり

ADGPSCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) の設定で、優先グループのスキャン動作中に低優先グループのトリガが入力された場合を説明します。

ADGPSCR.GBRSCN ビットが “0” に設定されている場合は、優先グループのスキャン動作中に入力された低優先グループのトリガはすべて無効となります。

(1) グループ A のトリガ入力によって、ADCSR.ADST ビットが “1” (A/D 変換開始) に設定されると、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。
(2) グループ A のスキャン中に、グループ B のトリガ入力があると、グループ B はスキャン実行可能状態になります。
(3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
(4) グループ A のスキャン終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
(5) グループ A のスキャン終了後、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ B のスキャンは、A/D 変換が中断したチャネルから開始します (グループ B のスキャン中にグループ A のトリガが入力されると、例 1 と同じくグループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します)。
(6) グループ B のスキャン中に、グループ C のトリガ入力があると、グループ C はスキャン実行可能状態になります。
(7) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
(8) グループ B のスキャン終了後、ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
(9) グループ B のスキャン終了後、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0、ADANSC1 レジスタで選択した、グループ C のチャネル ANx の x が小さい番号順に、グループ C のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ C のスキャンは、A/D 変換が中断したチャネルから開始します (グループ C のスキャン中にグループ A またはグループ B のトリガが入力されると、例 1 と同じくグループ A またはグループ B のスキャンを開始し、スキャン終了後、グループ C のスキャンを開始します)。
(10) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
(11) グループ C のスキャン終了後、ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込み要求が発生します。
(12) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

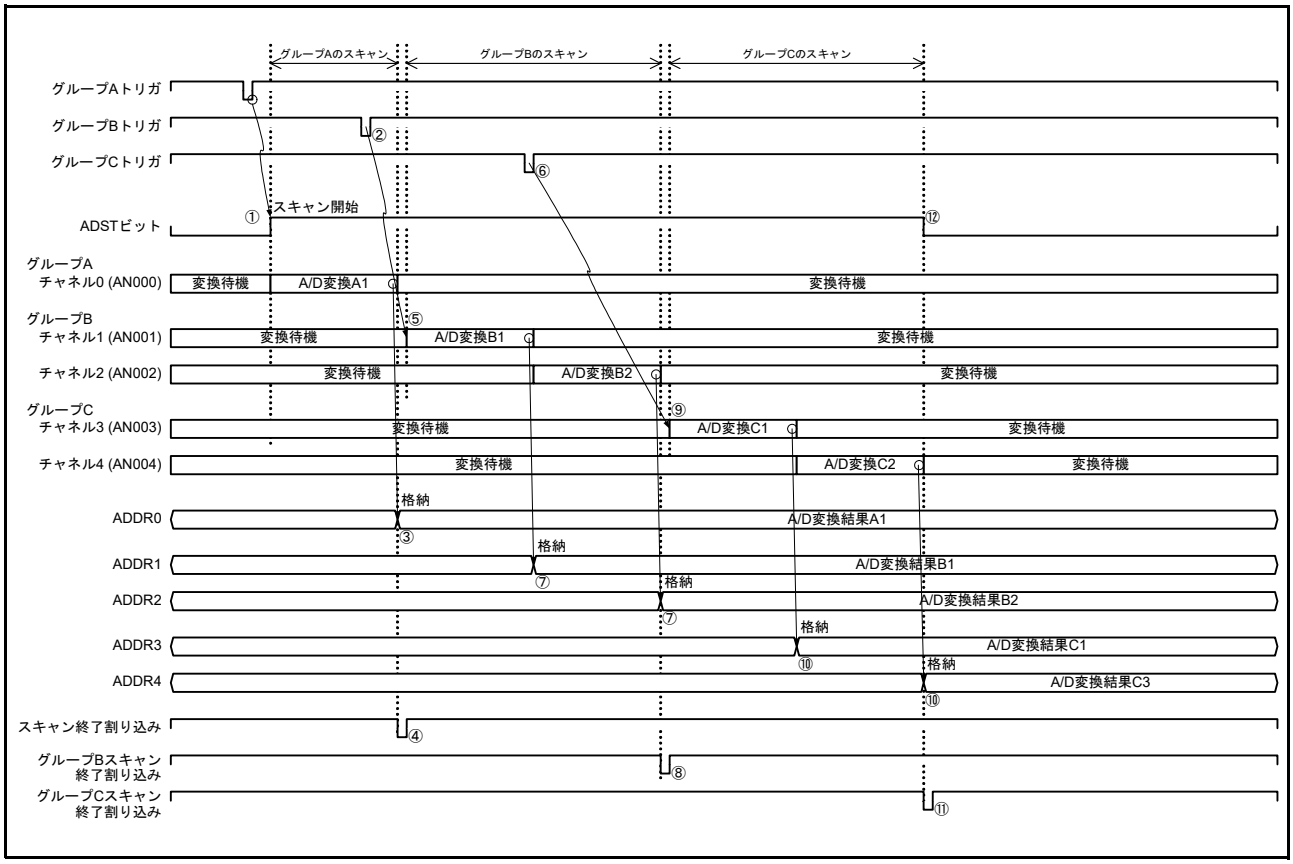


図 39.38 グループ優先動作の例 3「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1、ADGCTRGR.GRCE = 1 時の動作)

グループ A にチャネル 0 を、グループ B にチャネル 1、2 を、グループ C にチャネル 3、4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし

(1) グループ C のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ C のスキャンを開始します。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ C のスキャンを中断し、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

(4) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

(6) グループ A のスキャン終了後、ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(7) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。グループ C とグループ B は、以後のグループに対応したトリガ入力までスキャンを行いません。

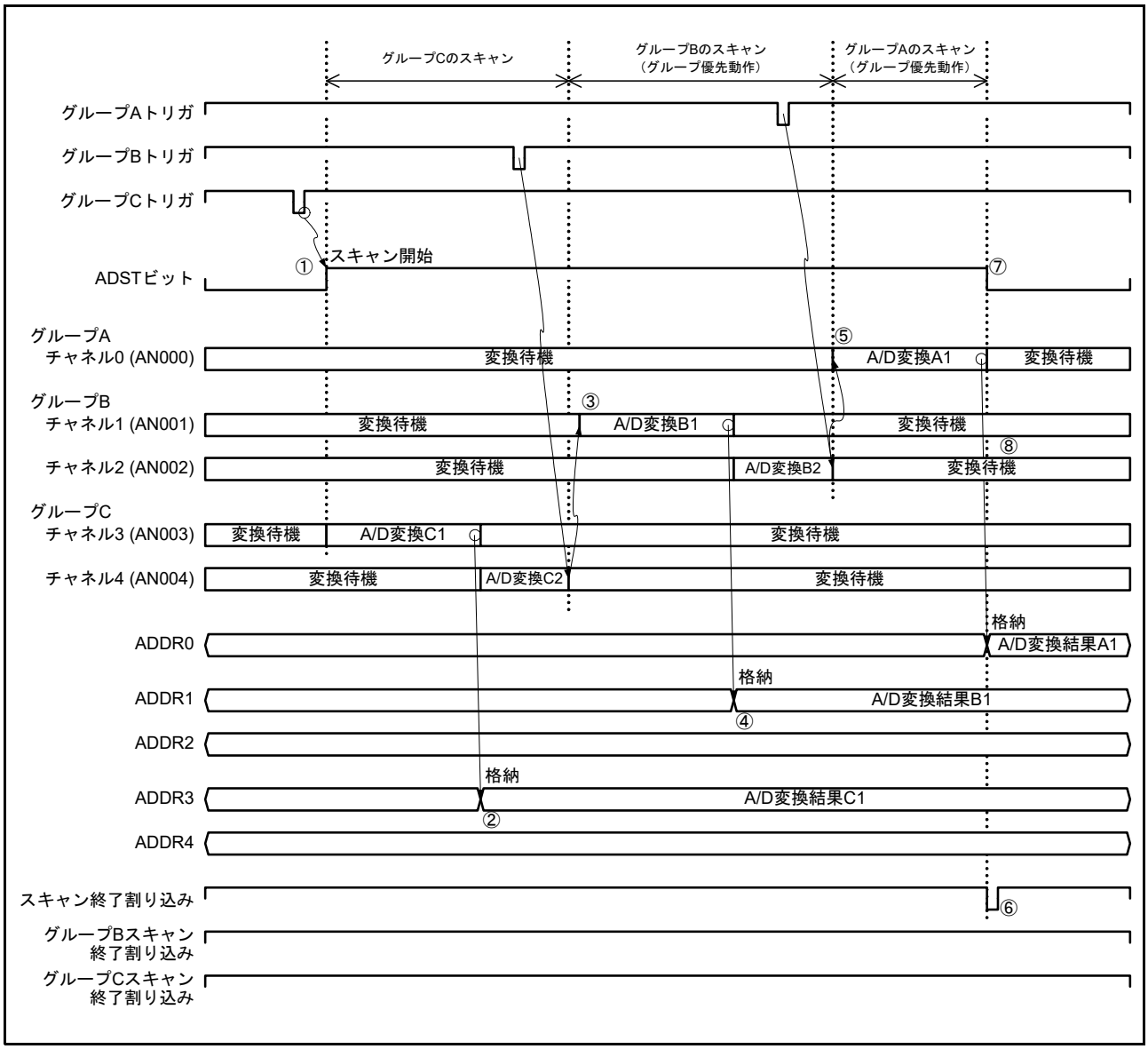


図 39.39　グループ優先動作の例 4「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時)

グループ A にチャネル 0 を、グループ B にチャネル 1 を、グループ C にチャネル 2、3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 1 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが “0” の設定では、グループ B がシングルスキャン連続動作を行い、グループ C はトリガ入力が無効になります。

動作例 5「グループ C のシングルスキャン連続動作」

(1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが “1” (A/D 変換開始) に設定され、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ C のスキャンを開始します。

(2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ C のスキャンを中断し、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

(4) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

(5) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(6) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。

(7) ADGSPCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ B のスキャンは、A/D 変換が中断したチャネルから開始します。

(8) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(9) ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

(10) ADGSPCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ C のスキャンは、A/D 変換が中断したチャネルから開始します。

(11) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。

(12) ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込み要求が発生します。

(13) ADGSPCR.GBRP ビットが “1” (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ C のスキャンを開始します。

グループ C をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

ADGSPCR.GBRP ビットが “1” に設定されている間は (13) → (11) → (12) → (13) の動作を繰り返します。

ADGSPCR.GBRP ビットが “1” に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。

ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、**「39.6.2 A/D 変換停止時の注意事項」**に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

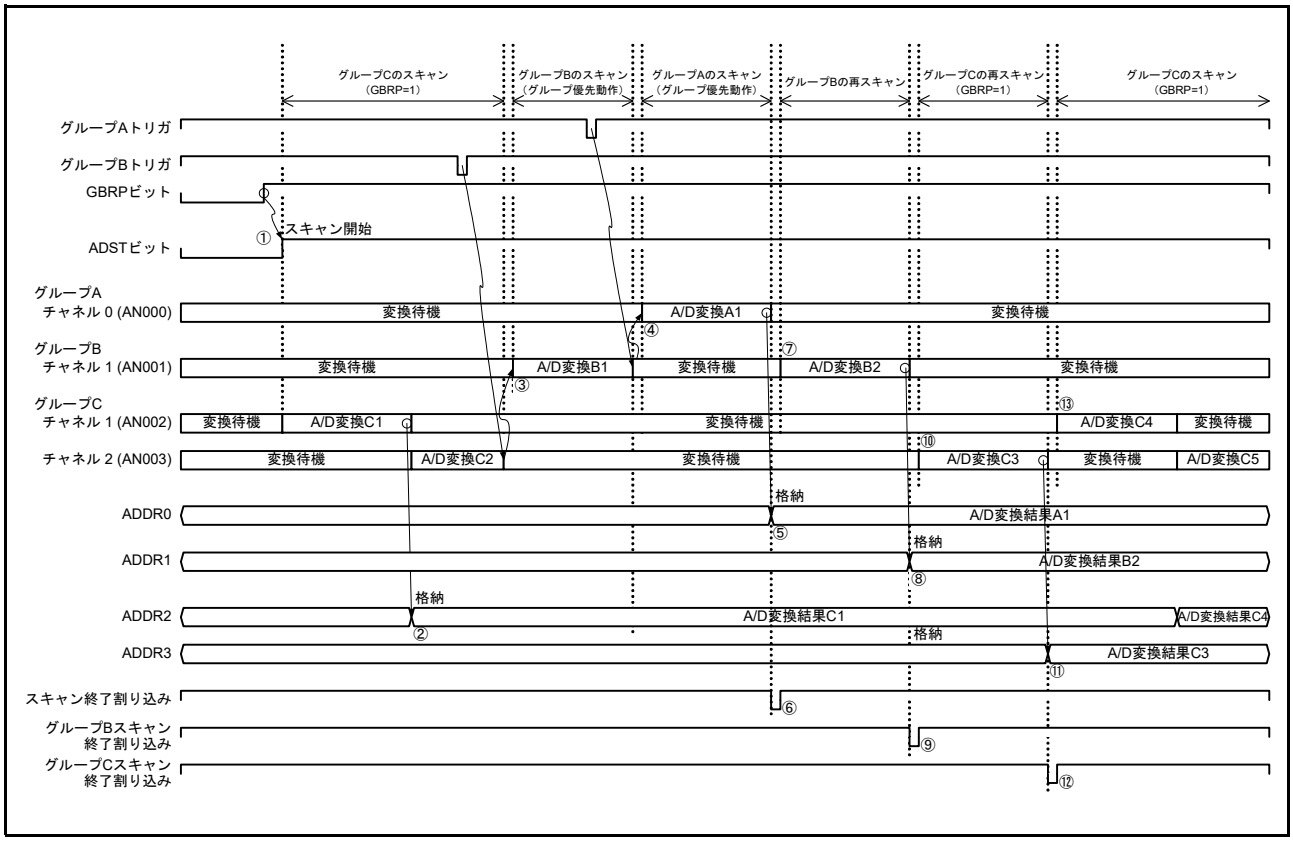


図 39.40　グループ優先動作の例 5「グループ C のシングルスキャン連続動作」
(ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 1 設定時)

39.3.7 コンペア機能 (ウィンドウ A、ウィンドウ B)

39.3.7.1 コンペア機能ウィンドウ A/B

コンペア機能は、レジスタ (ADCMPDR0, ADCMPDR1, ADWINLLB, ADWINULB) に設定した基準値と A/D 変換結果を比較する機能です。コンペア機能使用時は、自己診断機能およびダブルトリガモードは使用できません。また、2 値と比較するウィンドウコンペア機能を有します (ADCMPCR.WCMPE = 1 設定時)。ウィンドウコンペア機能は、ウィンドウ A とウィンドウ B の 2 組の電圧レベル範囲を設定することが可能です。

連続スキャンモードにおいて、ウィンドウコンペア機能有効 (ADCMPCR.WCMPE = 1) とした場合の動作例を以下に示します。

(1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、選択されたチャネル、温度センサ出力、内部基準電圧の順に A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy, ADTSDR, ADOCDR) に格納されます。ADCMPCR.CMPAE ビット = 1 のとき、ADCMPANSRy レジスタ、ADCMPANSER レジスタでウィンドウ A 対象に設定されていると、ADCMPDR0、ADCMPDR1 レジスタ設定値と比較されます。ADCMPCR.CMPBE ビット = 1 のとき、ADCMPBNSR レジスタで、ウィンドウ B 対象に設定されていると、ADWINULB/ADWINLLB レジスタ設定値と比較されます。
(3) 比較の結果、ウィンドウ A は、ADCMPLR0、ADCMPLR1、ADCMPLER レジスタで設定した条件と一致したときコンペアウィンドウ A のフラグ (ADCMPSR0.CMPSTCHA0n, ADCMPSR1.CMPSTCHA1n, ADCMPSER.CMPFTS, ADCMPSER.CMPFOC) が “1” になります。このとき、ADCMPCR.CMPAIE ビットが “1” に設定されていると、S12CMPAI 割り込み要求が発生します。同様に、ウィンドウ B は、ADCMPBNSR.CMPLB で設定した条件と一致したとき、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が “1” になります。このとき、ADCMPCR.CMPBIE ビットが “1” に設定されていると、S12CMPBI 割り込み要求が発生します。
(4) 選択されたすべての A/D 変換と比較が終了すると、再びスキャンを行います。
(5) ADCSR.ADST ビットを “0” (A/D 変換停止) に設定し、コンペアフラグが “1” になっているチャネルに対する処理を実行します。
(6) 処理終了後、すべてのコンペアフラグをクリアしてください。再度コンペアを実行する場合には、再度 A/D 変換を開始してください。

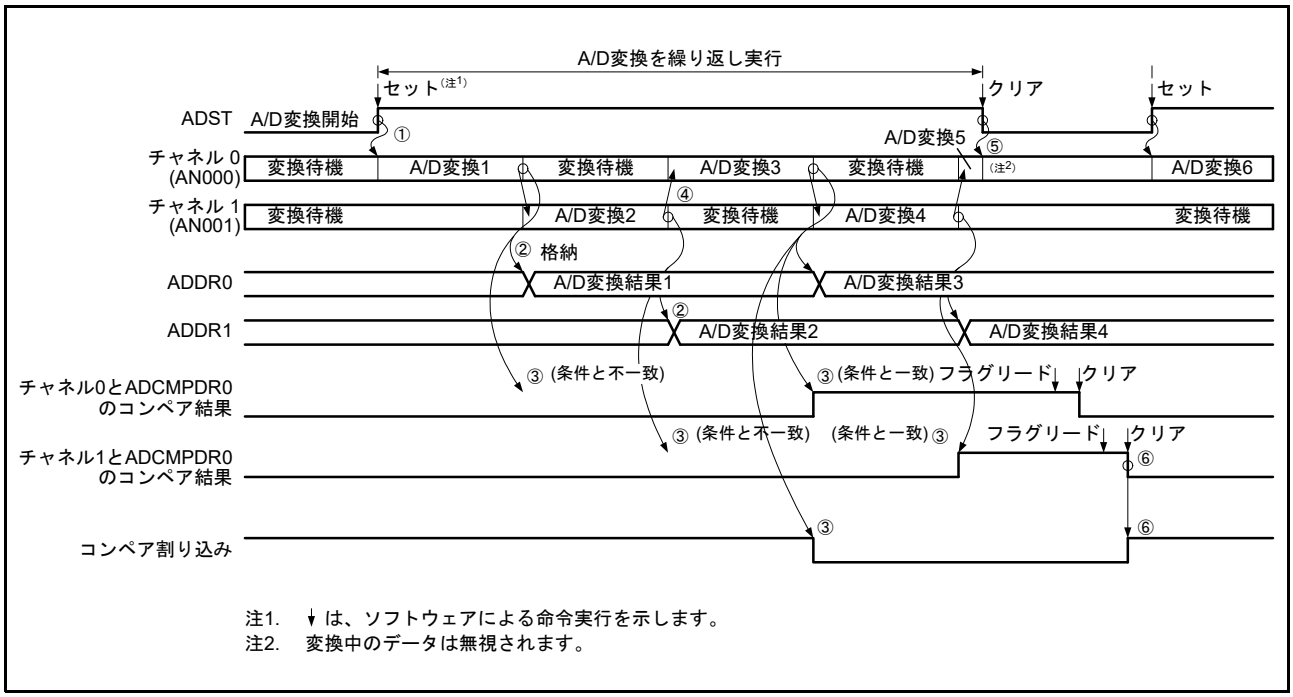


図 39.41 コンペア機能の動作例 (AN000、AN001 コンペア対象)

39.3.7.2 コンペア機能制約

コンペア機能には、以下の制約条件があります。

1. 自己診断機能およびダブルトリガモードの使用は禁止です。
   (ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB はコンペア機能対象外です)
2. マッチ / アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
3. ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
4. ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
5. ウィンドウ A とウィンドウ B で同一チャネルは設定禁止です。
6. High 側基準値≧ Low 側基準値となるように設定してください。

39.3.8 アナログ入力のサンプリング時間とスキャン変換時間

図 39.42 にシングルスキャンモード、ソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 39.43 にシングルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、チャネル専用サンプル & ホールド回路処理時間 (t_{SPLSH})(注 1)、断線検出アシスト処理時間 (t_{DIS})(注 2)、温度センサ出力と内部基準電圧を A/D 変換するときのオートディスチャージ処理時間 (t_{ADIS})、自己診断変換時間 (t_{DIAG})(注 3)、A/D 変換処理時間 (t_{CONV})、チャネル専用サンプル & ホールド回路終了処理時間 (t_{SHED})(注 4)、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、24 クロック (ADCLK) です。スキャン変換時間を表 39.25 に示します。

選択チャネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n)$(注 5)$+ t_{ED}$

t_{SCAN} (温度センサ出力、内部基準電圧変換時) $= t_D + (t_{ADIS} \times m) + (t_{CONV} \times m) + t_{ED}$(注 6、注 7、注 8)

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。

連続スキャンの 2 サイクル目以降は、$t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$(注 5) $+ t_{SHED}$ となります。

注 1. チャネル専用サンプル & ホールド回路を使用しない場合は、$t_{SPLSH} = 0$ です。

注 2. 断線検出アシストを設定しない場合は、$t_{DIS} = 0$ です。温度センサ出力 / 内部基準電圧を A/D 変換時は、“0Fh” (15 ADCLK) に固定されます。

注 3. 自己診断を設定しない場合は、$t_{DIAG} = 0$、$t_{DSD} = 0$ です。

注 4. チャネル専用サンプル & ホールド回路を使用しない場合は、$t_{SHED} = 0$ です。t_{SHED} は連続スキャンモード実行時の所要時間です。シングルスキャンとグループスキャンでは、スキャン終了時間 (t_{ED}) に含まれます。

注 5. 選択チャネルのサンプリング時間 (t_{SPL}) が、同一の場合は $t_{CONV} \times n$ ですが、チャネルごとに異なる場合は、各チャネルのサンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) の総和になります。

注 6. 温度センサ出力と内部基準電圧の A/D 変換を両方とも実施する場合は m = 2、どちらか一方だけ実施する場合は m = 1。

注 7. 温度センサ出力または内部基準電圧の A/D 変換する場合、自己診断とアナログチャネルの変換は選択できないため、$t_{SPLSH} = 0$、$t_{DIAG} = 0$ です。

注 8. グループスキャン時に温度センサ出力、内部基準電圧と別グループにて自己診断、アナログチャネルの変換は実施可能です。

表39.25　スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)

項目			記号		種別/条件			単位
					同期トリガ(注3)	非同期トリガ	ソフトウェアトリガ	
スキャン開始処理時間(注1、注2)	グループ優先制御動作によるグループのA/D変換	低優先グループ中断あり(優先グループのA/D変換要因によって低優先グループB停止させた後、優先グループを起動)	t_D		2 PCLKB + 6 ADCLK (5 PCLKB + 3 ADCLK)(注4)	—	—	サイクル
		低優先グループ中断なし(優先グループのA/D変換要因によって起動)			2 PCLKB + 4 ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時			2 PCLKB + 6 ADCLK	4 PCLKB + 6 ADCLK	6 ADCLK	
	上記以外				2 PCLKB + 4 ADCLK	4 PCLKB + 4 ADCLK	4 ADCLK	
チャネル専用サンプルホールド処理時間(注1)	サンプリング時間		t_{SPLSH}	t_{SH}	常時サンプリング無効時：ADSHCR.SSTSH[7:0]の設定値(初期値1Bh) × ADCLK 常時サンプリング有効時：0			
	サンプリング–A/D変換ウェイト時間			t_W	12 ADCLK			
断線検出アシスト処理時間			t_{DIS}		ADDISCR.ADNDIS[3:0]設定値(初期値00h) × ADCLK(注5)			
オートディスチャージ処理時間(温度センサ出力と内部基準電圧変換時に必要な時間)			t_{ADIS}		15 ADCLK			
自己診断変換処理時間(注1)	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR0設定値(初期値1Bh) × ADCLK			
	逐次変換時間			t_{SAM}	24 ADCLK			
	自己診断変換終了後。通常のA/D変換開始時		t_{DED}		2 ADCLK			
	連続スキャン時の最終チャネル変換終了後、自己診断変換開始時		t_{DED}		2 ADCLK			
A/D変換処理時間(注1)	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn (n = 0～11, L, T, O)設定値(初期値1Bh) × ADCLK			
	逐次変換時間			t_{SAM}	24 ADCLK			
チャネル専用サンプルホールド終了処理時間			t_{SHED}		2 ADCLK			
スキャン終了時間(注1)			t_{ED}		1 PCLKB + 3 ADCLK (2 PCLKB + 2 ADCLK)(注4)			

注1.　t_D、t_{SPLSH}、t_{DIAG}、t_{CONV}、t_{ED}の各タイミングについては図39.42、図39.43を参照してください。
注2.　ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
注3.　タイマ出力からトリガ入力までの経路で消費する時間は含まれていません。
注4.　ADCLKがPCLKBより高速な場合(PCLKB：ADCLK周波数比＝1：2の設定)の最大時間。
注5.　温度センサ出力/内部基準電圧をA/D変換時は、“0Fh” (15 ADCLK)に固定されます。

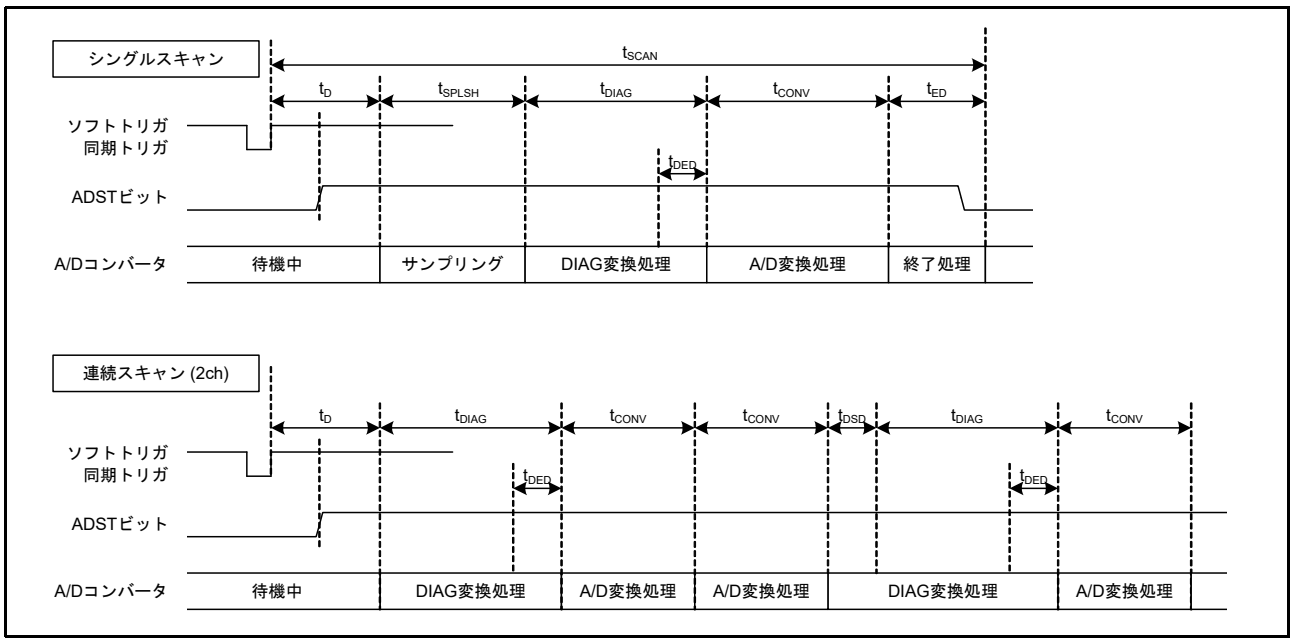


図39.42　スキャン変換のタイミング(ソフトウェア起動、同期トリガ起動の場合)

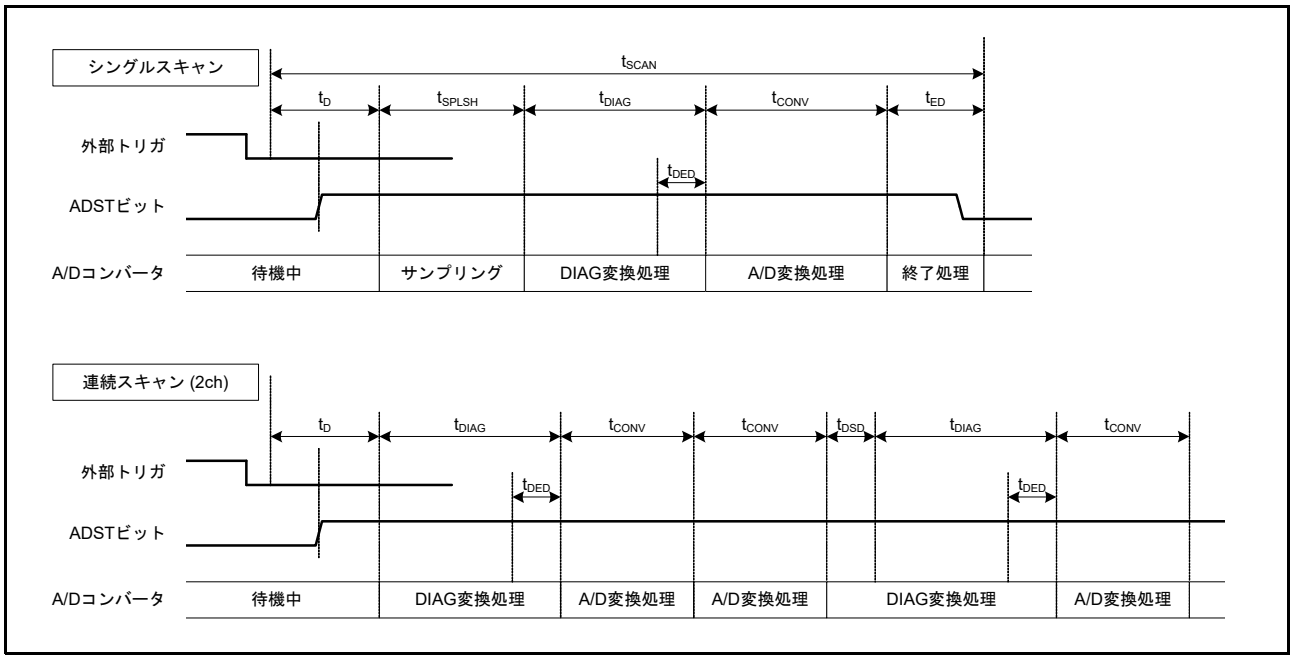


図 39.43　スキャン変換のタイミング (非同期トリガ起動の場合)

39.3.8.1　グループ優先動作でのスキャン中断 / 開始タイミング

グループ優先動作では、スキャンを中断 / 開始する下記のタイミングがあります。

1. 低優先グループのスキャンを中断し優先グループのスキャンを開始するタイミング
2. 中断した低優先グループのスキャンを再開するタイミングと、高優先グループのスキャン中に受け付けた低優先グループのトリガで、高優先グループのスキャン終了後に低優先グループのスキャンを開始するタイミング
3. 低優先グループがシングルスキャンを連続で行うタイミング

それぞれのタイミングを図 39.44 に示します。

グループ A とグループ C またはグループ B とグループ C によるスキャン中断 / 開始のタイミングは、図 39.44 に示すグループ A とグループ B によるスキャン中断 / 開始のタイミングと同じになります。シングルスキャンの連続は、グループ B とグループ C 共に同じタイミングになります。

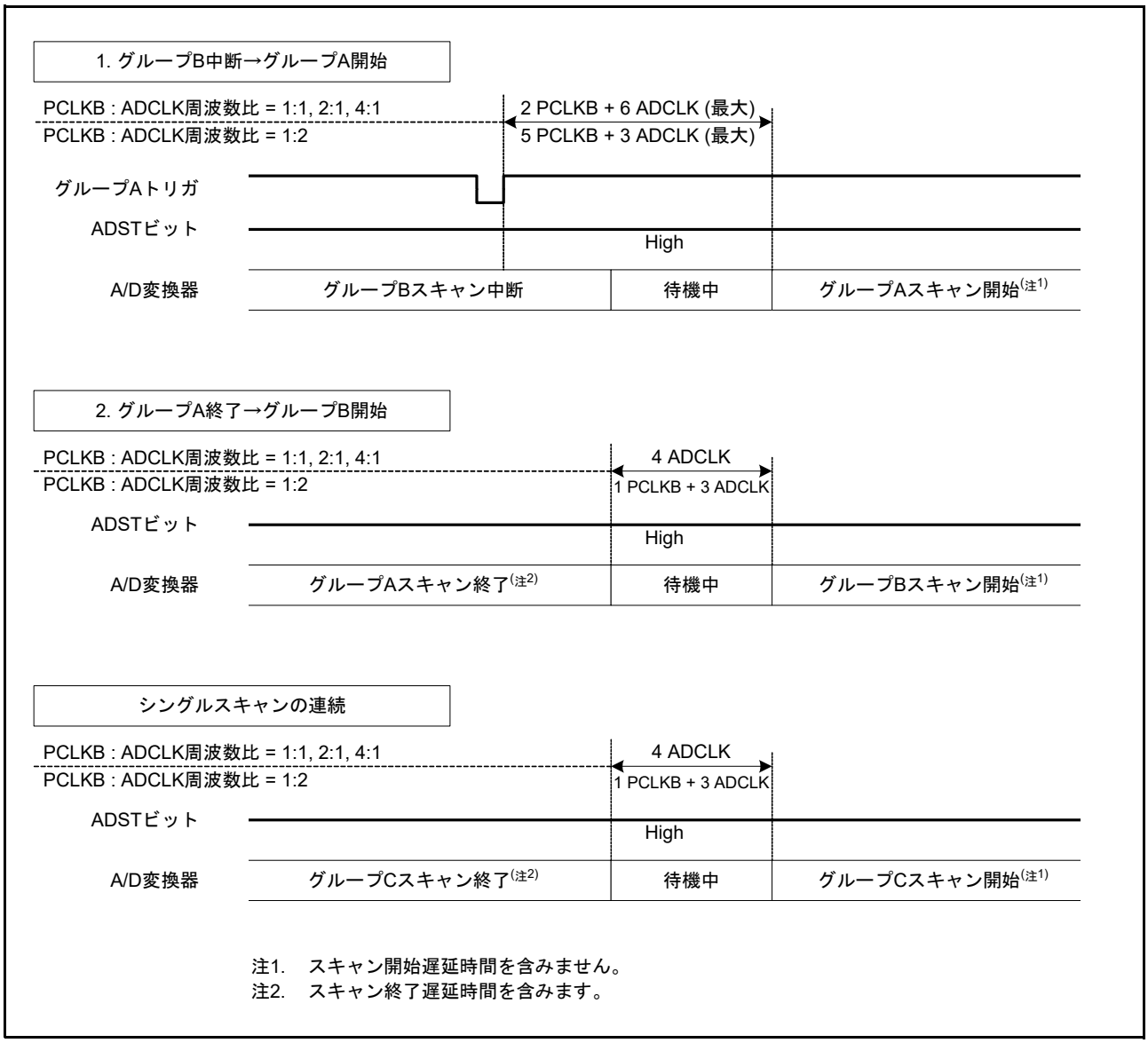


図 39.44　グループ優先でのスキャン停止 / 起動タイミング

39.3.9 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを “1” にすることにより、CPU、DTC または DMAC によって A/D データレジスタ (ADDRy, ADRD, ADTSDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB) を読み出す際、自動的に ADDRy、ADRD、ADTSDR、ADOCDR、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタを “0000h” にクリアできます。

この機能を使うことにより、ADDRy、ADRD、ADTSDR、ADOCDR、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効 / 有効時の例を示します。

ADCER.ACE ビットが “0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが “1” (自動クリア許可) の場合には、ADDRy = 0111h を CPU、DTC または DMAC により読み出す際、ADDRy レジスタは自動的に “0000h” にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h” が汎用レジスタなどに保持されます。読み出されたデータ値が “0000h” であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

39.3.10 A/D 変換値加算 / 平均機能

A/D 変換値加算機能は、同じチャネルを 2 ～ 4、16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均機能は、同じチャネルを 2 回、または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算 / 平均機能は、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換 (ユニット 2 のみ)、内部基準電圧 A/D 変換選択時 (ユニット 2 のみ) に使用できます。

39.3.11 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 39.45 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、**図 39.46** にプリチャージを選択した場合の断線検出例を、**図 39.47** にディスチャージを選択した場合の断線検出例を示します。

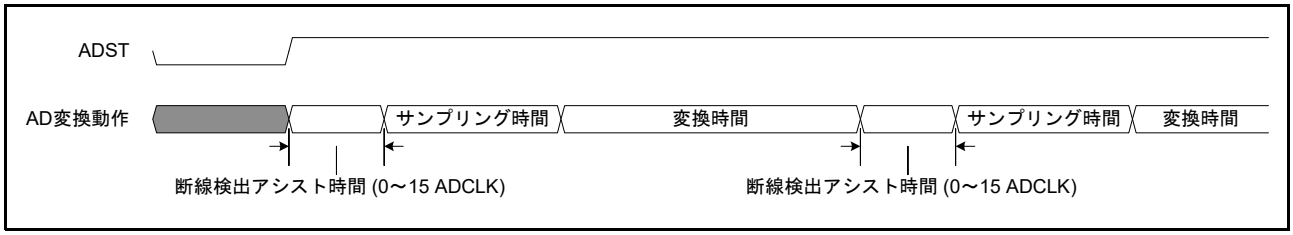
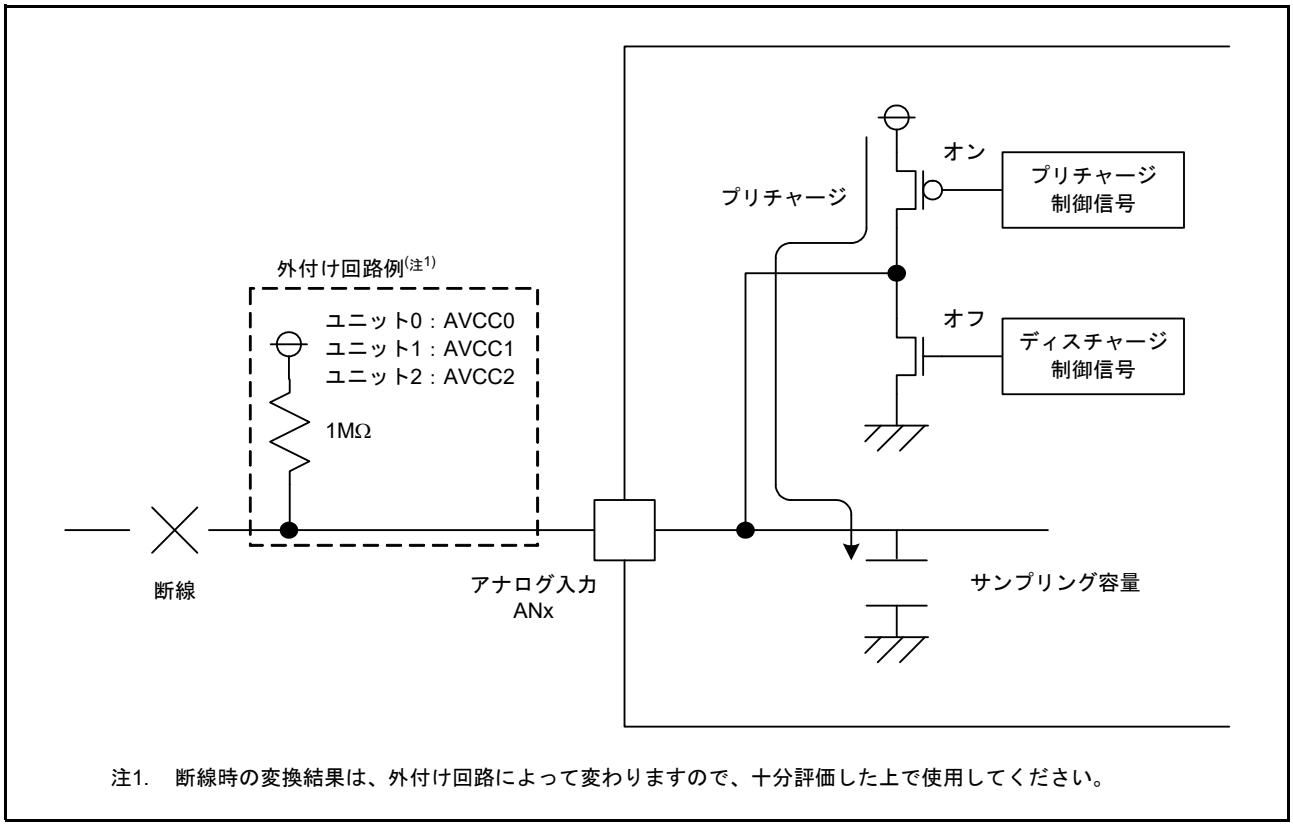
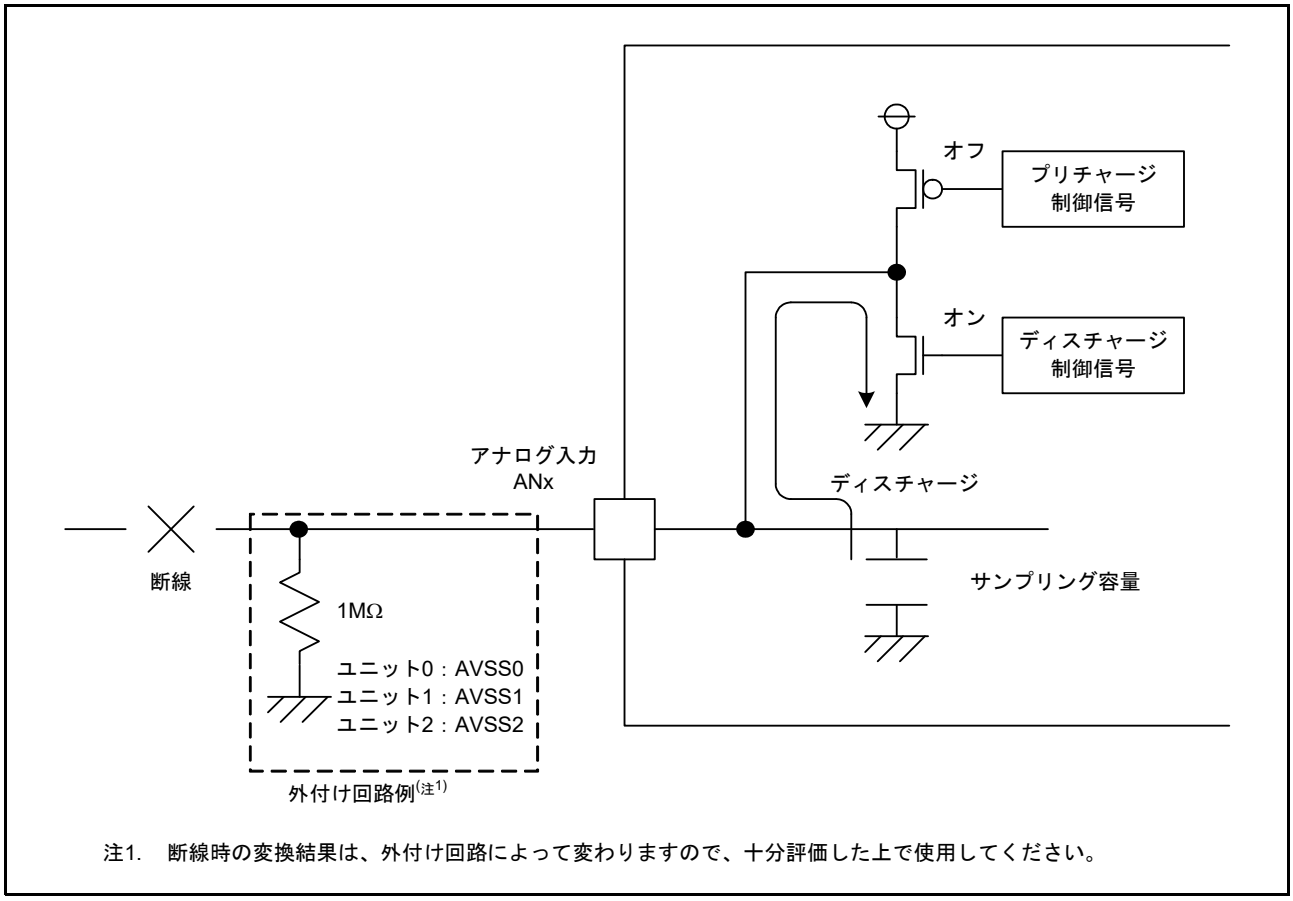


図 39.45 断線検出アシスト機能を使用した場合の A/D 変換動作図



注1.　断線時の変換結果は、外付け回路によって変わりますので、十分評価した上で使用してください。

図 39.46　プリチャージを選択した場合の断線検出例



注1.　断線時の変換結果は、外付け回路によって変わりますので、十分評価した上で使用してください。

図 39.47　ディスチャージを選択した場合の断線検出例

39.3.12 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 39.48 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、「39.6.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。グループスキャンモードで使用するグループ B とグループ C は、非同期トリガを選択できません。

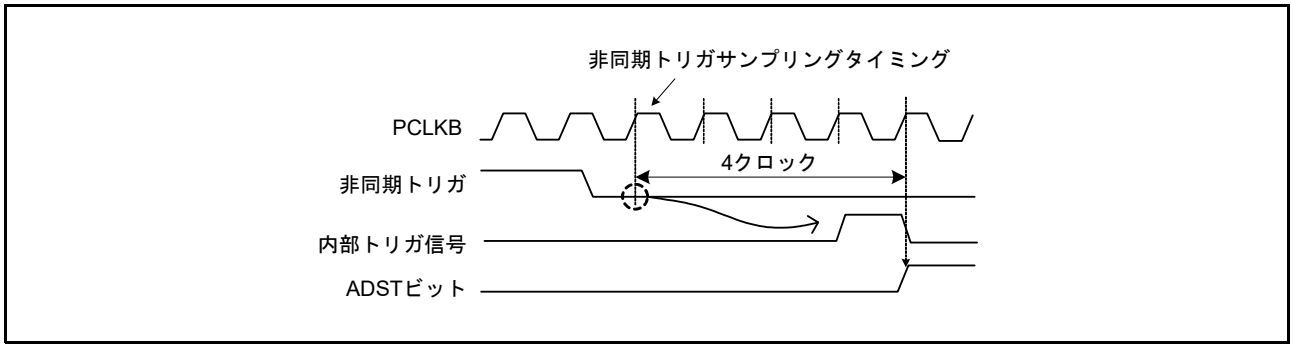


図 39.48 非同期トリガ入力タイミング

39.3.13 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” とし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビット、ADGCTRGR.TRSC[5:0] ビットで該当の A/D 変換開始要因を選択します。

39.3.14 任意チャネル順変換機能

12 ビット A/D コンバータの各ユニットのアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って変換する機能です。

ADSCSn レジスタ内へ同一チャネルを設定することは禁止です。本機能で順序設定可能なチャネルはアナログチャネルのみとなります。

自己診断、温度センサ、内部基準電圧に関する変換順序は変更できません。

表 39.26　スキャングループ A で ADSCSn レジスタ (n = 0～4) が初期値の場合の変換順序例

ADSCSn 設定値		A/D 変換順序			ADANSA0 設定値
シンボル	初期値	物理チャネル	優先度	変換順序	チャネル選択ビット
ADSCS0	00h	AN000	高	1	ANSA0[0] = 1
ADSCS1	01h	AN001	↓	2	ANSA0[1] = 1
ADSCS2	02h	AN002		3	ANSA0[2] = 1
ADSCS3	03h	AN003		4	ANSA0[3] = 1
ADSCS4	04h	AN004	低	5	ANSA0[4] = 1

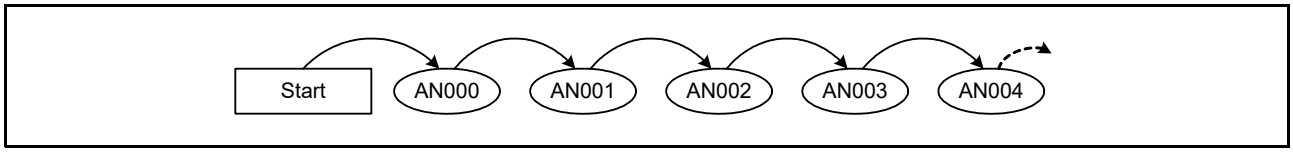


図 39.49　変換順序例 (表 39.26 の設定をした場合)

表 39.27　スキャングループ A で ADSCSn レジスタ (n = 0～4) を変更した場合の変換順序例

ADSCSn 設定値		A/D 変換順序			ADANSA0 設定値
シンボル	ユーザ設定値	物理チャネル	優先度	変換順序	チャネル選択ビット
ADSCS0	04h	AN004	高	1	ANSA0[4] = 1
ADSCS1	02h	AN002	↓	2	ANSA0[2] = 1
ADSCS2	00h	AN000		3	ANSA0[0] = 1
ADSCS3	01h	AN001		4	ANSA0[1] = 1
ADSCS4	03h	AN003	低	5	ANSA0[3] = 1

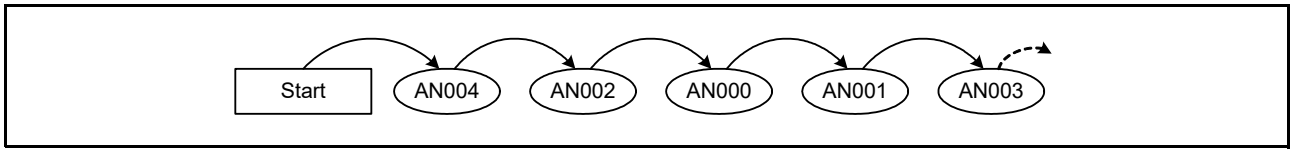


図 39.50　変換順序例 (表 39.27 の設定をした場合)

表 39.28　スキャングループ A で ADSCSn レジスタ (n = 0～4) を変更した場合の変換順序例 (ANSA0[1] ビットが非選択の場合)

ADSCSn 設定値		A/D 変換順序			ADANSA0 設定値
シンボル	ユーザ設定値	物理チャネル	優先度	変換順序	チャネル選択ビット
ADSCS0	04h	AN004	高	1	ANSA0[4] = 1
ADSCS1	02h	AN002	↓	2	ANSA0[2] = 1
ADSCS2	00h	AN000		3	ANSA0[0] = 1
ADSCS3	01h	AN001		4	ANSA0[1] = 0
ADSCS4	03h	AN003	低	5	ANSA0[3] = 1

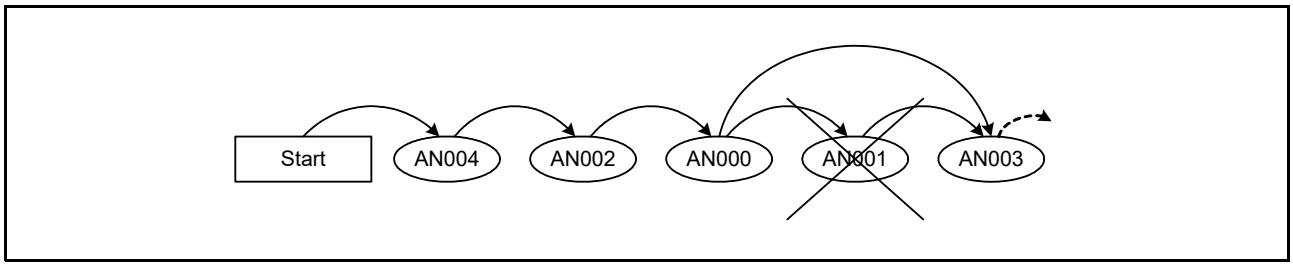


図 39.51　変換順序例 (表 39.28 の設定をした場合)

39.3.15　内部基準電圧モニタ機能

内部基準電圧モニタ機能は、内部基準電圧を A/D コンバータに出力する機能です。

A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) と A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) を設定し、内部基準電圧 A/D 選択ビット (OCSA/B/C) を有効にすると、内部基準電圧の A/D 変換が可能になります。

以下に動作例を示します。

(1) A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) の VDE ビットを “1” に設定します。
(2) A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) の VDO ビットを “1” に設定します。
(3) A/D 変換拡張入力コントロールレジスタの内部基準電圧 A/D 変換選択ビット (OCSA)、グループ B 内部基準電圧 A/D 変換選択ビット (OCSB) または、A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR) のグループ C 内部基準電圧 A/D 変換選択ビット (OCSC) により内部基準電圧を選択します。
(4) 500 ns のウェイト期間を入れた後、ソフトウェア、同期トリガ (MTU, TMR, ELC) または非同期トリガ入力によって、ADCSR.ADST ビットが “1” (A/D 変換開始) になると、内部基準電圧のオートディスチャージを実施して、内部基準電圧の A/D 変換を開始します。
(5) 内部基準電圧の A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納されます。
(6) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、S12ADI2 割り込み要求 (パルス出力とレベル出力) が発生します。
(7) ADCSR.ADST ビットは、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。
(8) A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) の VDO ビットを “0” に設定します。
(9) A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) の VDE ビットを “0” に設定します。

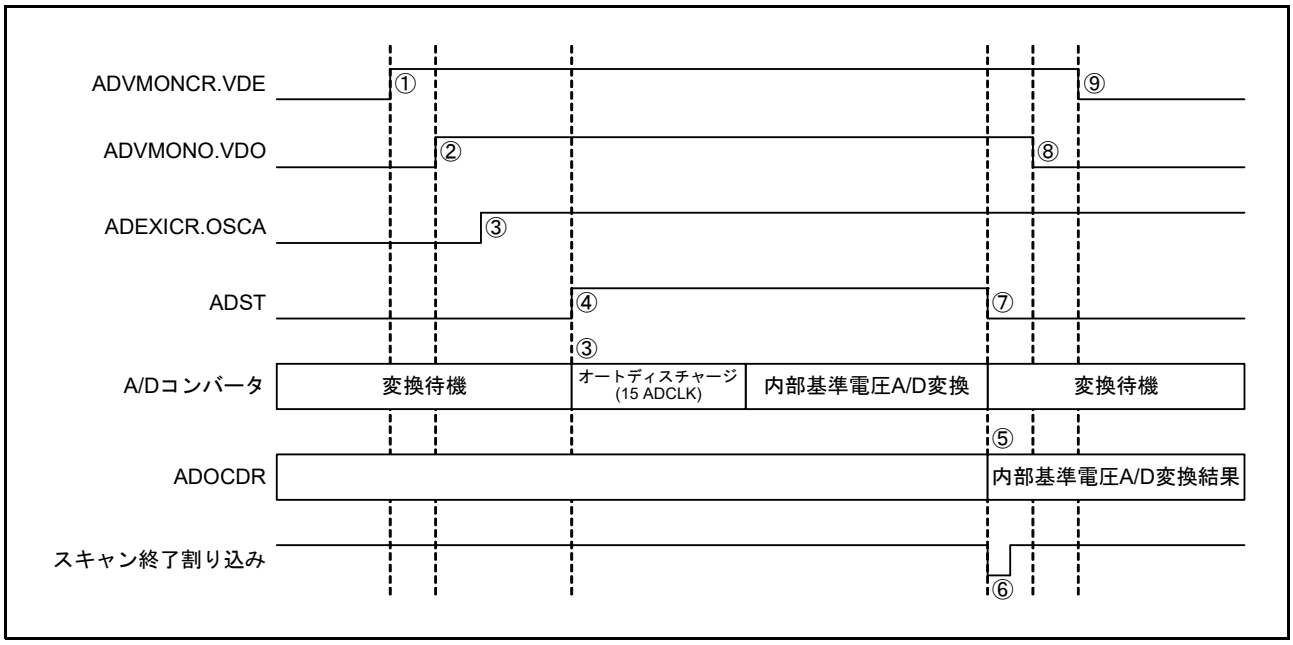


図 39.52　内部基準電圧モニタ出力 A/D 変換例

39.3.16 プログラマブルゲインアンプ

A/D コンバータのユニット 0 とユニット 1 には、プログラマブルゲインアンプ (PGA) がそれぞれ 3 つあります。

これらの PGA はユニットごとにシングルエンド入力または疑似差動入力を選択できます(注 1)。PGA の反転入力端子はユニットごとに同じ基準グランド端子に接続されており、AN000 ～ AN002 端子 (ユニット 0) の基準グランドは PGAVSS0 端子、AN100 ～ AN102 端子 (ユニット 1) の基準グランドは PGAVSS1 端子です。

注 1. PGA 疑似差動入力なし製品ではシングルエンド入力のみ有効です。また、PGAVSS0、PGAVSS1 端子はありません。PGA の反転入力端子は内部で AVSS0、AVSS1 に接続されています。

図 39.53 に P000 を例にシングルエンド入力時、疑似差動入力時の内部構成を示します。

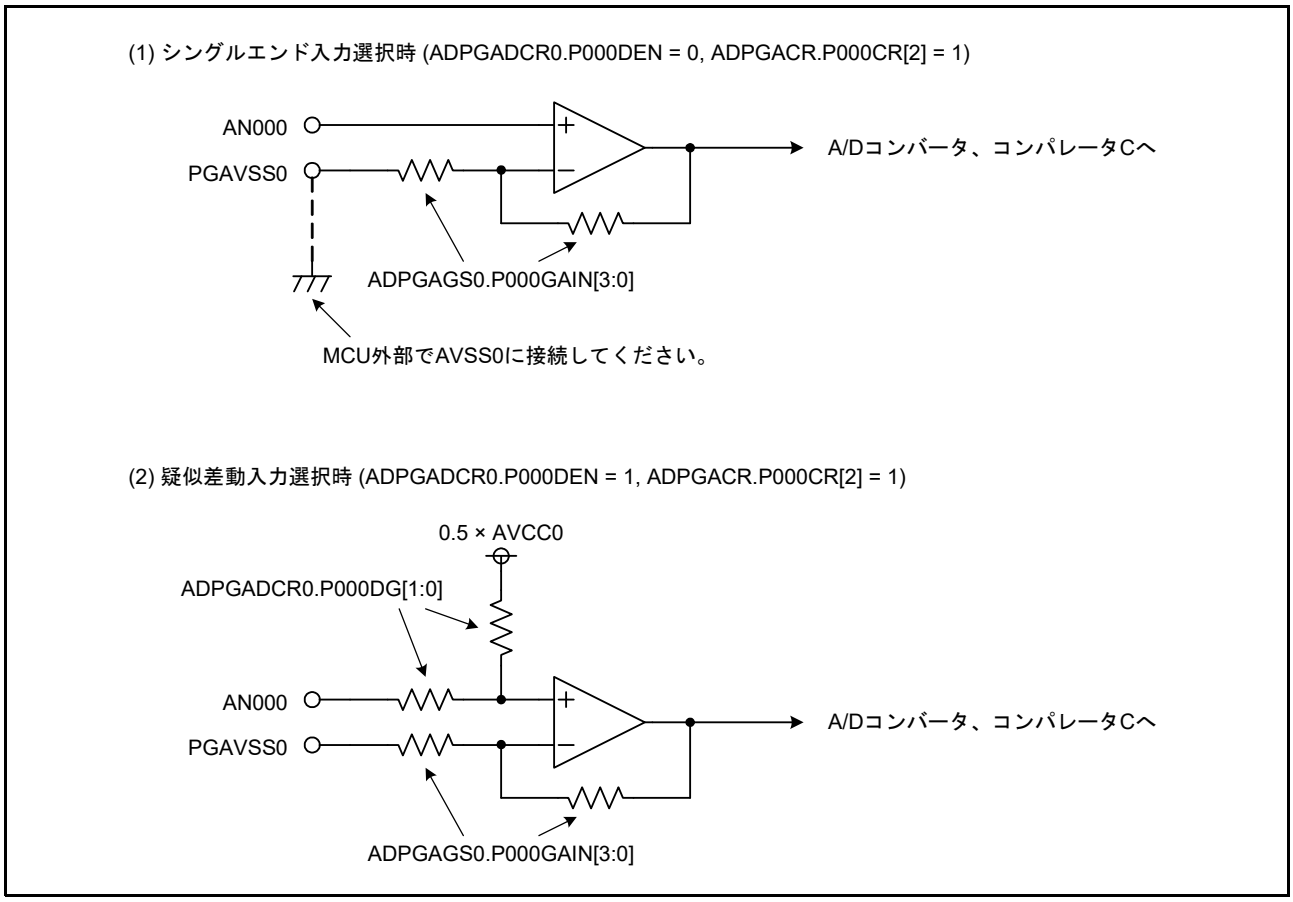


図 39.53 PGA (P000) の内部構成

シングルエンド入力を選択した場合、PGA のゲインは ADPGAGS0.PxGAIN[3:0] ビット (x = 000 ～ 002, 100 ～ 102) で設定します。設定できるゲインの範囲は 2.000 倍～ 20.000 倍です。増幅後の電圧が電気的特性に規定された出力電圧範囲を超えないように、ANx 端子への入力電圧を制御してください。また、PGAVSS0、PGAVSS1 端子は外部で AVSS0、AVSS1 に接続してください。

疑似差動入力を選択した場合、PGA のゲインは ADPGAGS0.PxGAIN[3:0] ビットと ADPGADCR0.PxDG[1:0] ビットで設定します。設定できるゲインは 1.500 倍、4.000 倍、7.000 倍、12.333 倍です。PxGAIN[3:0] ビットと PxDG[1:0] ビットのゲインが同じになるように設定してください。設定したゲインによって差動入力電圧の範囲が変わります。詳細は「39.3.2 AN000 ～ AN002、AN007、AN100 ～ AN102、AN107 の入力経路設定」と「46. 電気的特性」を参照してください。

39.4 割り込み要因と DTC、DMA 転送要求

39.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である S12ADI/S12ADI1/S12ADI2、S12GBADI/S12GBADI1/S12GBADI2、S12GCADI/S12GCADI1/S12GCADI2 割り込みを発生させることができます。

また、CPU へのコンペア条件成立割り込み要求である S12CMPAI/S12CMPBI 割り込みを発生させることができます。

ADCSR.ADIE ビットを “1” にすると S12ADI/S12ADI1/S12ADI2 を許可、“0” にすると S12ADI/S12ADI1/S12ADI2 を禁止できます。ADCSR.GBADIE ビットを “1” にすると S12GBADI/S12GBADI1/S12GBADI2 を許可、“0” にすると S12GBADI/S12GBADI1/S12GBADI2 を禁止できます。ADGCTRGR.GCADIE ビットを “1” にすると S12GCADI/S12GCADI1/S12GCADI2 を許可、“0” にすると S12GCADI/S12GCADI1/S12GCADI2 を禁止できます。

ADCMPCR.CMPAIE ビットを “1” にすると S12CMPAI を許可、“0” にすると S12CMPAI を禁止できます。ADCMPCR.CMPBIE ビットを “1” にすると S12CMPBI を許可、“0” にすると S12CMPBI を禁止できます。

また、S12ADI/S12ADI1/S12ADI2、S12GBADI/S12GBADI1/S12GBADI2、S12GCADI/S12GCADI1/S12GCADI2 発生時に DTC または DMAC を起動できます。S12ADI/S12ADI1/S12ADI2、S12GBADI/S12GBADI1/S12GBADI2、S12GCADI/S12GCADI1/S12GCADI2 割り込みで変換されたデータの読み出しを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「18. データトランスファコントローラ (DTCa)」を、DMAC の設定は「17. DMA コントローラ (DMACAa)」を参照してください。

39.4.2 ELC へのスキャン終了イベント出力

ELC では、S12ADI/S12ADI1/S12ADI2 割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。S12GBADI/S12GBADI1/S12GBADI2 割り込み、S12CMPAI/S12CMPAI1/S12CMPAI2 割り込み、S12CMPBI/S12CMPBI1/S12CMPBI2 割り込み要求信号をイベント信号として使用することはできません。イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。12 ビット A/D コンバータは、A/D 変換終了イベントを出力します。

39.5 許容信号源インピーダンスについて

図 39.54 にアナログ入力端子と外部センサの等価回路を示します。

A/D 変換を正しく行うためには、内部コンデンサ (Cs) への充電がサンプリング時間内に終了することが必要です。信号源インピーダンス (R0) が大きく Cs への充電に時間がかかるときは、ADSSTRn レジスタでサンプリング時間を延長してください。逆に R0 が小さいときは、サンプリング時間を短縮することができます。電気的特性に各種動作条件下での許容信号源インピーダンスを記載していますので、参考にしてください。

シングルスキャンモードで 1 端子のみの変換を行う場合、外部に大容量のコンデンサ (C) を接続することにより、入力の負荷が実質的に内部入力抵抗 (Rs) だけになり、R0 の影響を無視できるようになります。ただし、R0 と C でローパスフィルタが形成されますので、変化の速いアナログ信号には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

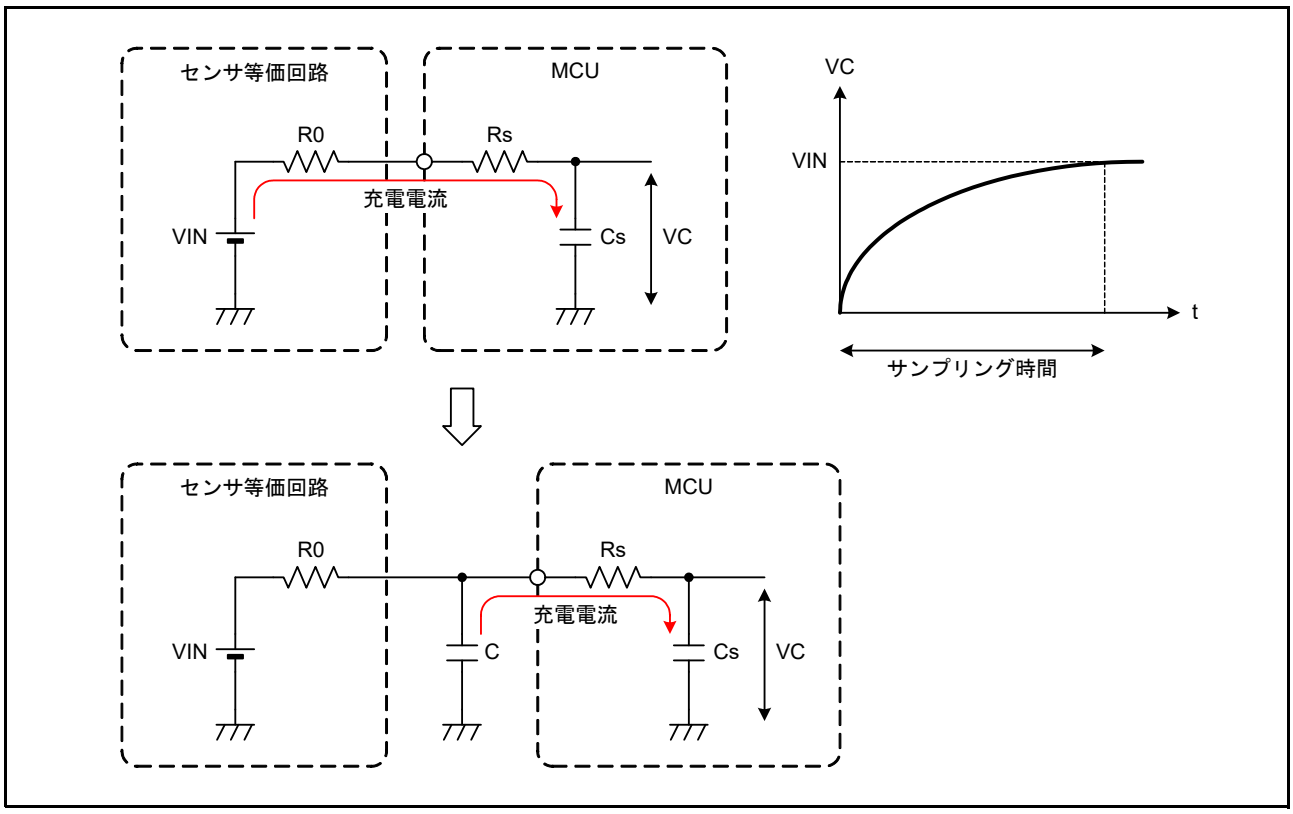


図 39.54 アナログ入力端子と外部センサの等価回路

39.6 使用上の注意事項

39.6.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D データ二重化レジスタ、A/D データ二重化レジスタ A、A/D データ二重化レジスタ B、A/D 温度センサデータレジスタ、A/D 内部基準電圧データレジスタ、および A/D 自己診断データレジスタの読み出しは、16 ビット単位で行ってください。8 ビット単位で上位バイト / 下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、8 ビット単位の読み出しは行わないでください。

39.6.2 A/D 変換停止時の注意事項

39.6.2.1 A/D 変換停止手順

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、**図 39.55** のフローチャートの手順に従ってください。

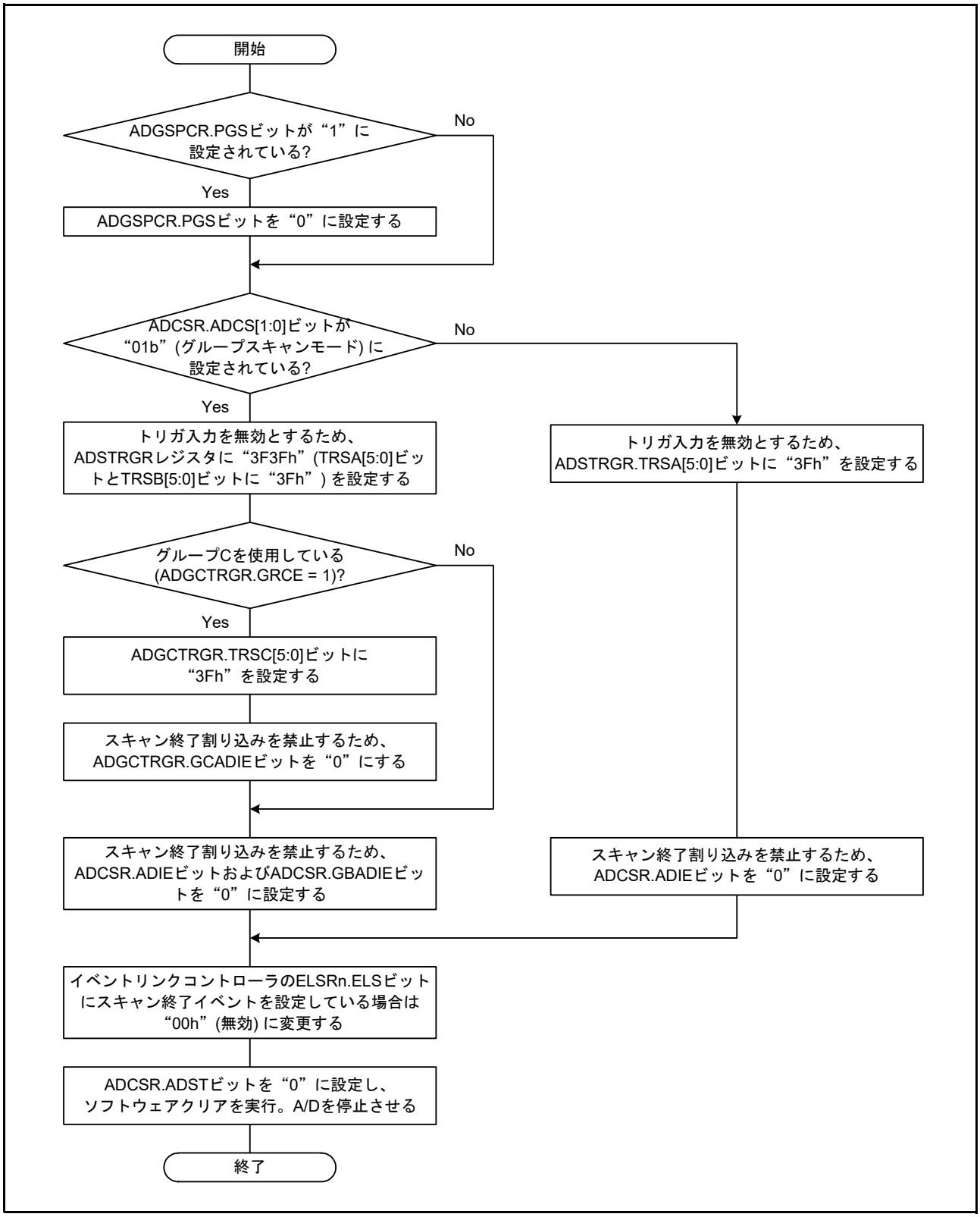


図 39.55 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

39.6.2.2 モード / ステータスフラグの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数 / 偶数判定、コンペア機能のモニタフラグは、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定をするには、ADCER.DIAGLD ビットを “1” にし ADCER.DIAGVAL[1:0] ビットで選択します。
- ダブルトリガモードは、ADCSR.DBLE ビットを “0” から “1” にするとスキャン 1 回目の動作から開始します。
- コンペア機能のモニタフラグ (MONCMPA, MONCMPB, MONCOMB) を初期化するには、ADCMPCR.CMPAE ビットと ADCMPCR.CMPBE ビットを “0” にしてください。
- 常時サンプリング機能(ADSHMSR.SHMD ビットを“1”に設定)を初期化するには、ADSHMSR.SHMD ビットを “0” にしてください。初期化後に再度、常時サンプリング機能を使用する場合は、1 ADCLK 以上待ってから ADSHMSR.SHMD ビットを “1” にしてください。

39.6.3 A/D 変換強制停止と開始時の動作タイミング

12 ビット A/D コンバータのアナログ部が停止した状態で、ADCSR.ADST ビットを “1” にしてから 12 ビット A/D コンバータのアナログ部が動作を開始するまでに、ADCLK で最大 6 クロックの時間を必要とします。ADCSR.ADST ビットを “0” にして A/D 変換を強制停止させると、12 ビット A/D コンバータのアナログ部が動作を停止するのに、ADCLK で最大 2 クロックの時間を必要とします。

PCLKB：ADCLK 周波数比が 1：2 (ADCLK が高速) での強制停止からアナログ部停止までは、最大 1 PCLKB + 1 ADCLK になります。

39.6.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合等で、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていなければ、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。

39.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12 ビット A/D コンバータの動作禁止 / 許可を設定することが可能です。リセット解除後、12 ビット A/D コンバータの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 µs 待ってから A/D 変換を開始してください。モジュールストップ機能を使用し 12 ビット A/D コンバータの動作を停止させる場合は、ADVMONCR.VDE ビット、ADVMONO.VDO ビットを “0” にしてください。

詳細は「11. 消費電力低減機能」を参照してください。

39.6.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを “0” に設定後、12 ビット A/D コンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 39.55 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを “0” に設定してください。その後、ADCLK の 2 クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

39.6.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、メインクロックまたは PLL クロックの発振安定フラグが “1” になってからさらに 1 μs 以上待って、A/D 変換を開始してください。詳細は「**11. 消費電力低減機能**」を参照してください。

39.6.8 外部バス使用時の注意事項

外部バスをアクセス中に A/D 変換をすると、精度が悪化することがあります。

このような場合は、複数回の変換を実施し、最大値 / 最小値を除いた A/D 変換値の平均をとるなどのソフト対策を実施してください。

39.6.9 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ / プルダウン抵抗 (Rp) と信号源抵抗 (Rs) の抵抗分圧分の誤差電圧が入力され、A/D コンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。

断線検出アシスト機能は、十分な評価の上、使用してください。

最大絶対精度誤差 (LSB) = 4095 × Rs/Rp

39.6.10 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて MCU を使用した場合は、MCU の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

  アナログ入力端子 AN000 ～ AN007、AN100 ～ AN107、AN200 ～ AN211、AN216、AN217 に印加する電圧は、AVSSn ～ AVCCn (n = 0 ～ 2) の範囲としてください。

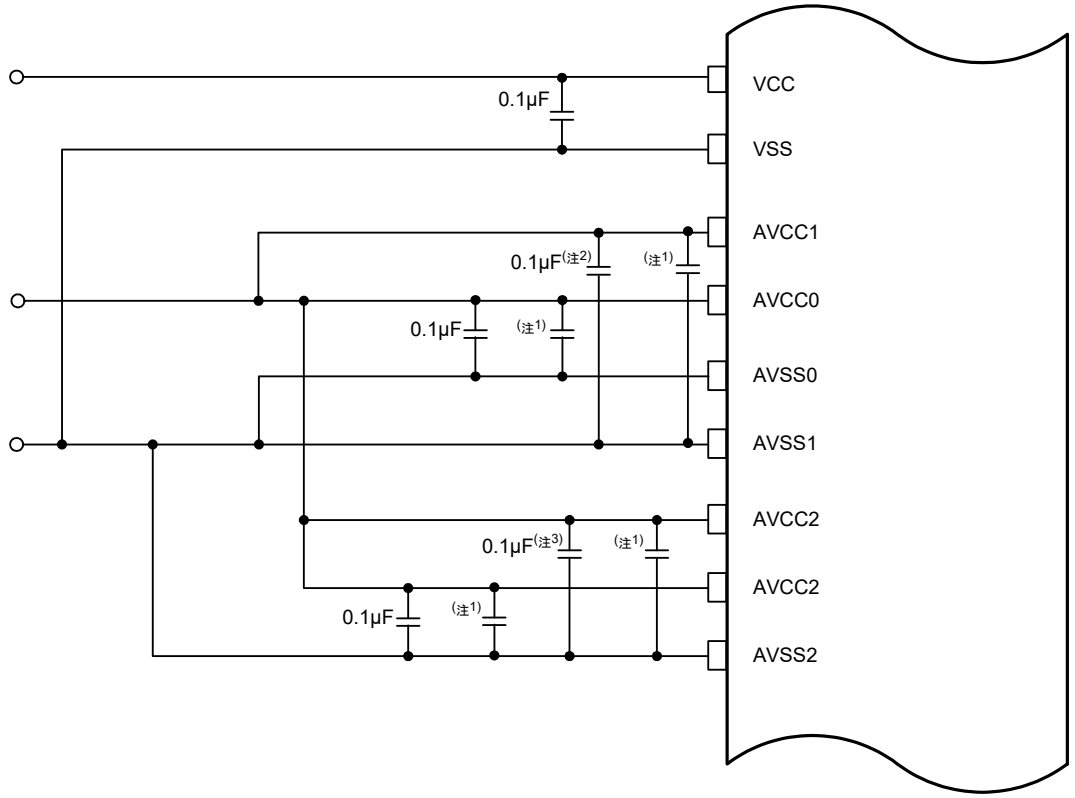
- 各電源端子 (AVCCn – AVSSn, VCC – VSS) の関係

  PGA 疑似差動入力なし製品、LFQFP-144 では 2 本の AVCC2 端子に同じ電源から電圧を供給してください。

  AVSSn と VSS との関係は AVSSn = VSS (n = 0 ～ 2) としてください。アナログ入力端子 AN216、AN217 の A/D 変換を行う場合は、AVCCn = VCC としてください。また、図 39.56、図 39.57 に示すように各々の電源間に最短で閉ループが形成できるように 0.1 µF のコンデンサを接続し、供給元で AVSSn = VSS になるように接続してください。

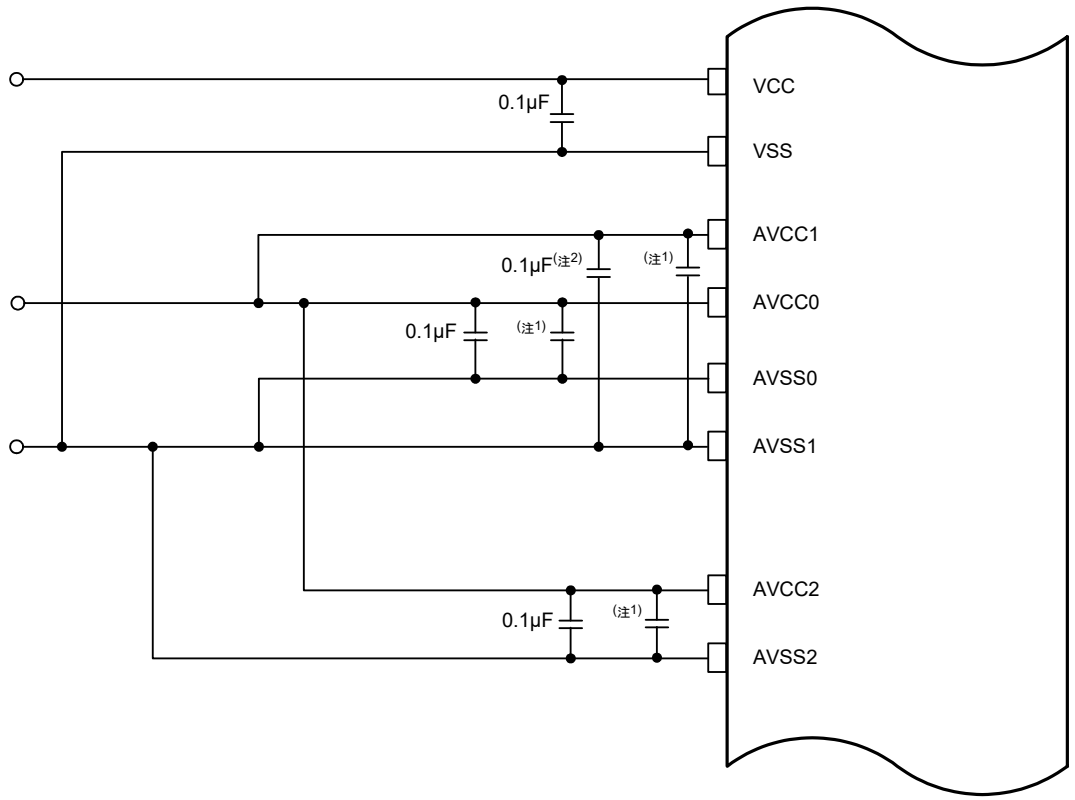
  図 39.56 に示すように PGA 疑似差動入力なし製品、LFQFP-144 ではコンデンサは各 AVCC2 端子ごとに接続してください。

  12 ビット A/D コンバータを使用しない場合は、AVCCn = VCC、AVSSn = VSS としてください。



注1. A/D変換クロックを40 MHzより高くする場合、0.1 µFのコンデンサと電源端子の間に0.01 µFのコンデンサを追加してください。
注2. AVCC0/AVSS0に入れるコンデンサより、AVCC1/AVSS1に入れるコンデンサを、より端子の近くに配置してください。
注3. AVSS2から遠い方のAVCC2に付けるコンデンサをより端子の近くに配置してください。

図 39.56 各電源端子の接続例 (PGA 疑似差動入力なし製品 , LFQFP-144)



注1. A/D変換クロックを40 MHzより高くする場合、0.1 μFのコンデンサと電源端子の間に0.01 μFのコンデンサを追加してください。
注2. AVCC0/AVSS0に入れるコンデンサより、AVCC1/AVSS1に入れるコンデンサを、より端子の近くに配置してください。

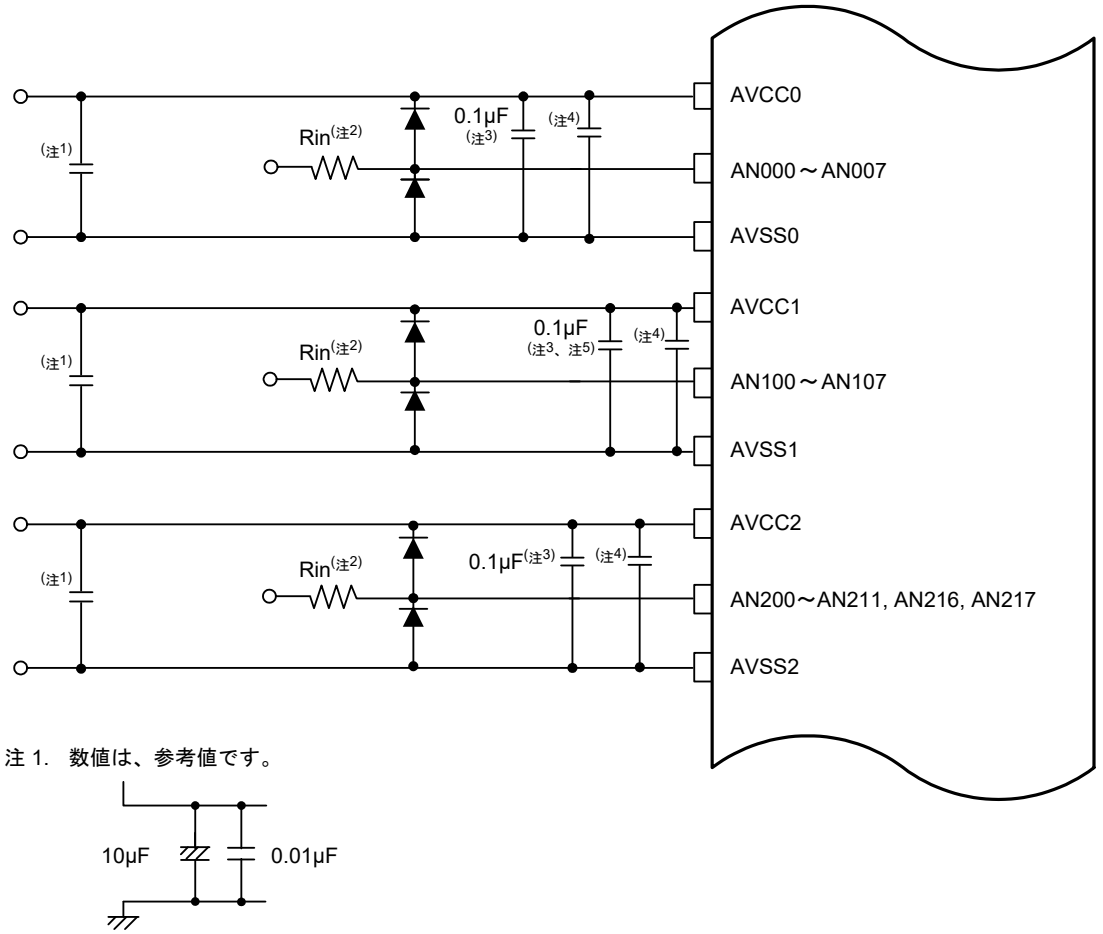
図 39.57 各電源端子の接続例 (PGA 疑似差動入力なし製品、LFQFP-144 以外)

39.6.11 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D 変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ～ AN007, AN100 ～ AN107, AN200 ～ AN211, AN216, AN217)、アナログ電源 (AVCCn) は、アナロググランド (AVSSn) で、デジタル回路と分離してください。さらにアナロググランド (AVSSn) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

39.6.12　ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ～ AN007, AN100 ～ AN107, AN200 ～ AN211, AN216, AN217) の破壊を防ぐために、図 39.58 に示すように AVCCn と AVSSn 間にコンデンサを、またアナログ入力端子 (AN000 ～ AN007, AN100 ～ AN107, AN200 ～ AN211, AN216, AN217) を基準に保護回路を接続してください。



注 1.　数値は、参考値です。

注2.　Rin：信号源インピーダンス

注3.　AVCC0、AVSS0、AVCC1、AVSS1、AVCC2、AVSS2電源間に挿入するコンデンサは、A/D変換精度向上のために、できるだけ電源端子の近くに配置してください。

注4.　A/D変換クロックを40 MHzより高くする場合、0.1 μFのコンデンサと電源端子の間に0.01 μFのコンデンサを追加してください。

注5.　AVCC0/AVSS0に入れるコンデンサより、AVCC1/AVSS1に入れるコンデンサを、より端子の近くに配置してください。

図 39.58　アナログ入力保護回路の例

39.6.13 チャネル専用サンプル & ホールド回路使用時の注意

チャネル専用サンプル & ホールド回路の使用を許可 (ADSHCR.SHANS[2:0] ≠ 000b) 後、チャネル専用サンプル & ホールド回路の常時サンプリングを有効 (ADSHMSR.SHMD = 1) にしてから 6 ADCLK 期間はトリガ入力禁止です。

チャネル専用サンプル & ホールド回路を使用する場合、当該チャネルは ADSCS0、ADSCS1、ADSCS2 レジスタのいずれかに設定してください。

39.6.14 AN000 ～ AN002、AN007、AN100 ～ AN102、AN107 チャネル使用時の注意

AN000 ～ AN002、AN007、AN100 ～ AN102、AN107 を選択する場合は、「39.3.2 AN000 ～ AN002、AN007、AN100 ～ AN102、AN107 の入力経路設定」を参照してください。

40. 12 ビット D/A コンバータ (R12DAb)

40.1 概要

本 MCU は、12 ビット D/A コンバータを 2 チャネル内蔵しています。

表 40.1 に 12 ビット D/A コンバータの仕様を示します。**図 40.1** に 12 ビット D/A コンバータのブロック図を示します。

表40.1　12ビットD/Aコンバータの仕様

項目	内容
分解能	12ビット
出力チャネル	2チャネル
アナログモジュールの干渉対策	• D/A変換とA/D変換の干渉対策 12ビットA/Dコンバータ(ユニット2)が出力する12ビットA/Dコンバータ同期D/A変換許可信号により、D/A変換データの更新タイミングを制御する。 これにより、12ビットD/Aコンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉によるA/D変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への遷移が可能
イベントリンク機能(入力)	イベント信号の入力により、チャネル0のD/A変換を開始可能
出力先切り替え	外部端子への出力と、コンパレータCへの出力を独立して制御可能

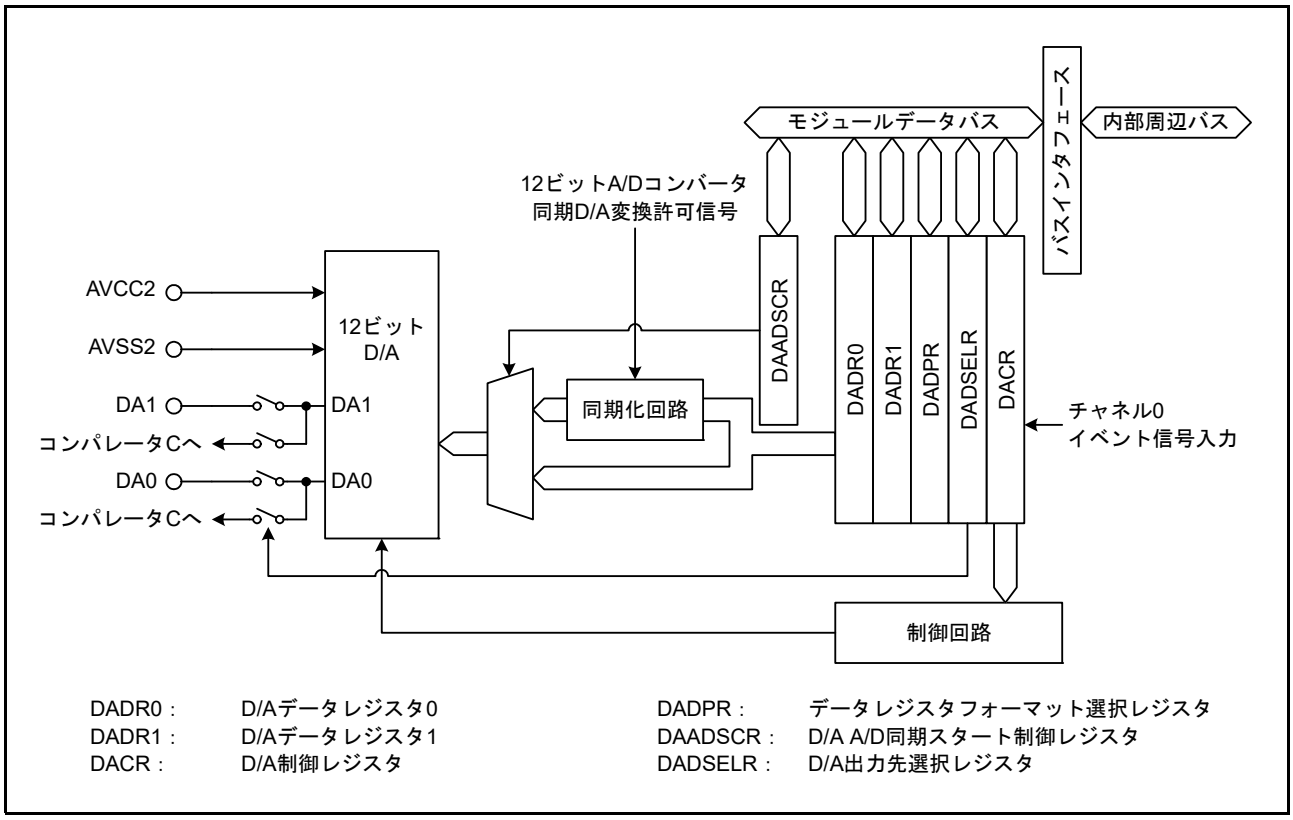


図 40.1　12 ビット D/A コンバータのブロック図

表 40.2 に 12 ビット D/A コンバータで使用する入出力端子を示します。

表40.2　12ビットD/Aコンバータの入出力端子

端子名	入出力	機能
AVCC2	入力	アナログ電源端子
AVSS2	入力	アナロググランド端子
DA0	出力	チャネル0のアナログ出力
DA1	出力	チャネル1のアナログ出力

40.2　レジスタの説明

40.2.1　D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス　DA.DADR0 0008 8040h, DA.DADR1 0008 8042h

・DADPR.DPSEL ビット= 0 (データは右詰め)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

・DADPR.DPSEL ビット= 1 (データは左詰め)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
													—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換され D/A コンバータから出力されます。

DADPR.DPSEL ビットの設定によって 12 ビットのデータの配置を変更できます。“—” のビットは、読むと “0” が読めます。書く場合、“0” としてください。

40.2.2 D/A 制御レジスタ (DACR)

アドレス DA.DACR 0008 8044h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	DAE	D/A許可ビット(注1)	0：チャネル0, 1のD/A変換を個別制御 1：チャネル0, 1のD/A変換を一括許可	R/W
b6	DAOE0	D/A出力許可0ビット	0：チャネル0のアナログ出力(DA0)を禁止 1：チャネル0のD/A変換を許可 チャネル0のアナログ出力(DA0)を許可	R/W
b7	DAOE1	D/A出力許可1ビット	0：チャネル1のアナログ出力(DA1)を禁止 1：チャネル1のD/A変換を許可 チャネル1のアナログ出力(DA1)を許可	R/W

注1. DAOEmビット(m = 0, 1)との組み合わせで、D/A変換を制御します。変換結果の出力は、DAOEmビットにより制御されます。表40.3を参照してください。

表40.3 D/A変換の制御

b5	b7	b6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A変換とアナログ出力(DA0, DA1)を禁止(注1)
		1	チャネル0のD/A変換を許可、チャネル1のD/A変換を禁止 チャネル0のアナログ出力(DA0)を許可、チャネル1のアナログ出力(DA1)を禁止(注1)
	1	0	チャネル0のD/A変換を禁止、チャネル1のD/A変換を許可 チャネル0のアナログ出力(DA0)を禁止(注1)、チャネル1のアナログ出力(DA1)を許可
		1	チャネル0, 1のD/A変換を許可 チャネル0, 1のアナログ出力(DA0, DA1)を許可
1	x	x	チャネル0, 1のD/A変換を許可 チャネル0, 1のアナログ出力(DA0, DA1)を一括して許可

x：Don't care

注1. アナログ出力禁止時、アナログ出力はHi-Zになります。

このレジスタは、DAADSCR.DAADST ビットが “1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、12 ビット A/D コンバータ (ユニット 2) 停止中に設定してください (ADCSR.ADST ビットが “0” のときに設定してください)。このとき確実に 12 ビット A/D コンバータ (ユニット 2) を停止させるため、トリガ選択をソフトウェアトリガに設定してください。

このレジスタを設定する前に、各チャネルの出力先を DADSELR レジスタで選択しておいてください。

DAE ビット (D/A 許可ビット)

DAE ビット、DAOEm ビット (m = 0, 1) の組み合わせで、D/A 変換、およびアナログ出力を制御します。

D/A 変換と A/D 変換の干渉対策が有効時 (DAADSCR.DAADST ビット = 1) には、12 ビット A/D コンバータ (ユニット 2) の ADCSR.ADST ビットが “0” のときに設定してください。このとき、確実に 12 ビット A/D コンバータ (ユニット 2) を停止させるため、12 ビット A/D コンバータ (ユニット 2) のトリガ選択をソフトウェアトリガに設定してください。

DAOEm ビット (D/A 出力許可 m ビット) (m = 0, 1)

DAE ビット、DAOEm ビットの組み合わせで、D/A 変換、およびアナログ出力を制御します。

DAOEm ビットが “0” かつ DAE ビットが “0” のとき、チャネル m の D/A 変換は行われず、変換結果も出力されません。

D/A 変換と A/D 変換の干渉対策が有効時 (DAADSCR.DAADST ビット = 1) には、12 ビット A/D コンバータ (ユニット 2) の ADCSR.ADST ビットが “0” のときに設定してください。このとき、確実に 12 ビット A/D コンバータ (ユニット 2) を停止させるため、12 ビット A/D コンバータ (ユニット 2) のトリガ選択をソフトウェアトリガに設定してください。

イベントリンク機能により、DAOE0 ビットを “1” にできます。ELC の ELSR16 レジスタで設定されたイベントが発生すると、DAOE0 ビットが “1” になり、D/A 変換出力を開始します。

40.2.3 データレジスタフォーマット選択レジスタ (DADPR)

アドレス DA.DADPR 0008 8045h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b7	DPSEL	フォーマット選択ビット	0 : D/A データレジスタは右詰め 1 : D/A データレジスタは左詰め	R/W

40.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR)

アドレス DA.DAADSCR 0008 8046h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DAADST	D/A A/D同期変換ビット	0：12ビットD/Aコンバータは、12ビットA/Dコンバータ(ユニット2)と同期変換しない(D/A変換とA/D変換の干渉対策の無効) 1：12ビットD/Aコンバータは、12ビットA/Dコンバータ(ユニット2)と同期変換する(D/A変換とA/D変換の干渉対策の有効)	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉対策のために、12 ビット D/A コンバータの変換開始タイミングを 12 ビット A/D コンバータ (ユニット 2) からの 12 ビット A/D コンバータ同期 D/A 変換許可信号に同期させるかさせないかを選択します。

このレジスタは、12 ビット A/D コンバータ (ユニット 2) 停止中に設定してください (12 ビット A/D コンバータ (ユニット 2) のトリガ選択をソフトウェアトリガに選択後、ADCSR.ADST ビットが “0” のときに設定してください)。

DAADST ビット (D/A A/D 同期変換ビット)

DAADST ビットを “0” にすると、随時 DADRm レジスタ (m = 0, 1) の値を D/A 変換します。DAADST ビットを “1” にすると、12 ビット A/D コンバータ (ユニット 2) からの同期 D/A 変換許可信号に同期して D/A 変換が行われます。したがって、DADRm レジスタの値を書き換えても、12 ビット A/D コンバータ (ユニット 2) の A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は 12 ビット A/D コンバータ (ユニット 2) の ADCSR.ADST ビットが “0” のときに設定してください。このとき確実に 12 ビット A/D コンバータ (ユニット 2) を停止させるため、トリガ選択をソフトウェアトリガに設定してください。

なお、DAADST ビットを “1” にした場合は、イベント機能は使用できません。ELC の ELSR16 でイベントリンク機能を停止に設定してください。DAADST ビットは、12 ビット D/A コンバータのチャネル 0, 1 の共通仕様です。

40.2.5 D/A 出力先選択レジスタ (DADSELR)

アドレス DA.DADSELR 0008 8049h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OUTREF1	OUTREF0	OUTDA1	OUTDA0
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	OUTDA0	DA0端子出力許可ビット	0：チャネル0のアナログ出力をDA0端子から出力しない 1：チャネル0のアナログ出力をDA0端子から出力する	R/W
b1	OUTDA1	DA1端子出力許可ビット	0：チャネル1のアナログ出力をDA1端子から出力しない 1：チャネル1のアナログ出力をDA1端子から出力する	R/W
b2	OUTREF0	基準電圧0出力許可ビット	0：チャネル0のアナログ出力をコンパレータCの基準電圧として使用しない 1：チャネル0のアナログ出力をコンパレータCの基準電圧として使用する	R/W
b3	OUTREF1	基準電圧1出力許可ビット	0：チャネル1のアナログ出力をコンパレータCの基準電圧として使用しない 1：チャネル1のアナログ出力をコンパレータCの基準電圧として使用する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

DADSELR レジスタは、D/A コンバータが生成するアナログ電圧をどこに出力するかを設定するレジスタです。DACR レジスタで出力を許可する前に、このレジスタで出力先を選択してください。

40.3 動作説明

2 チャネルの 12 ビット D/A コンバータは、それぞれ独立して変換を行うことができます。

DACR.DAOEm ビット (m = 0, 1) を “1” にすると、D/A 変換が許可され変換結果が出力されます。

チャネル 0 の D/A 変換を行う場合の動作例を以下に示します。このときの動作タイミングを図 40.2 に示します。

(1) DADPR.DPSEL ビットと DADR0 レジスタに D/A 変換を行うためのデータを設定します。

(2) DADSELR レジスタで D/A コンバータの出力先を選択します。

(3) DACR.DAOE0 ビットを “1” にすると、D/A 変換が開始されます。変換時間 tDCONV が経過すると、DA0 出力が設定値に対応する電圧で安定します。DADR0 レジスタを書き換えるか、DAOE0 ビットを “0” にするまで、この電圧が出力され続けます。出力電圧 (参考) は以下の式で計算します。

$$\frac{\text{DADRm レジスタ}}{4096} \times \text{AVCC2}$$

(4) DADR0 レジスタを書き換えると変換が開始されます。変換時間 tDCONV が経過すると、DA0 出力が変更した電圧で安定します。DAADSCR.DAADST ビットが “1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、D/A 変換開始まで最大 A/D 変換 1 回分待たされます (ADCLK が周辺モジュールクロックよりも速い場合は、A/D 変換 1 回分以上待たされる場合があります)。

(5) DAOE0 ビットを “0” にするとアナログ出力が禁止されます。

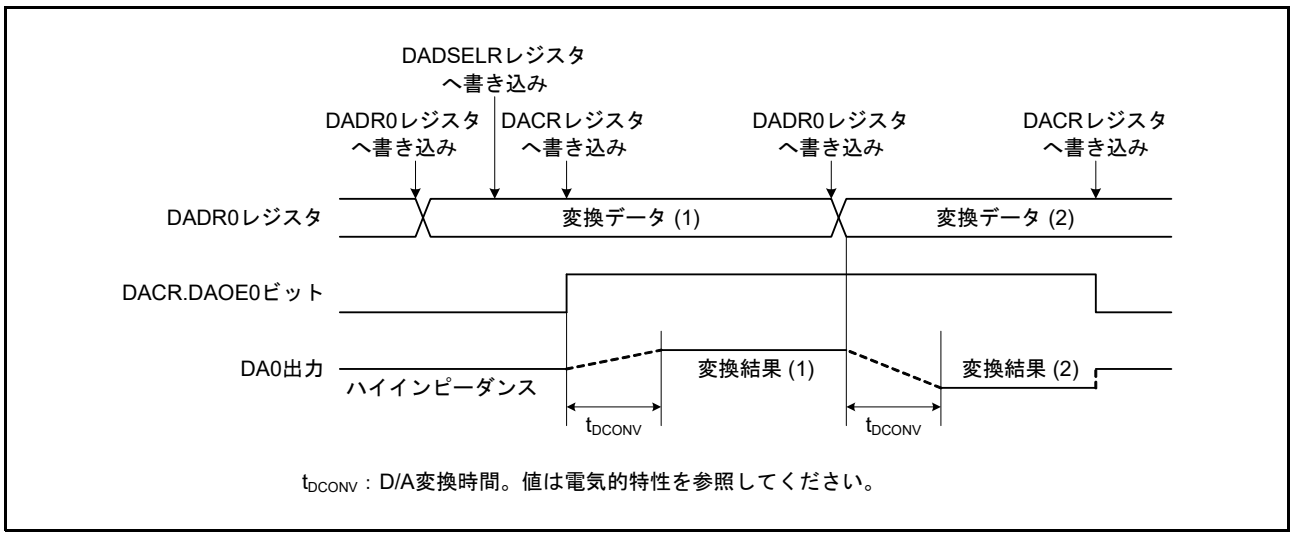


図 40.2　12 ビット D/A コンバータの動作例

40.3.1 D/A 変換と A/D 変換の干渉対策

D/A 変換が始まると 12 ビット D/A コンバータにはラッシュカレントが発生します。12 ビット D/A コンバータと 12 ビット A/D コンバータ (ユニット 2) のアナログ電源が共通のため、発生したラッシュカレントが 12 ビット A/D コンバータ (ユニット 2) の変換に干渉することがあります。

DAADSCR.DAADST ビットを “1” にしている場合、12 ビット A/D コンバータ (ユニット 2) が A/D 変換中に DADRm レジスタ (m = 0, 1) にデータを書き換えても、すぐに変換されず、12 ビット A/D コンバータ (ユニット 2) の A/D 変換終了タイミングに同期して変換を開始します。DADRm レジスタへの書き込みから D/A 変換回路の入力に反映するまで最大 A/D 変換 1 回分待たされます。その間 DADRm レジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADRm レジスタの値が D/A 変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADST ビットを “1” にしている場合であっても、12 ビット A/D コンバータ (ユニット 2) が ADCSR.ADST ビットを “0” にして停止中であれば DADRm レジスタにデータを書き換えると、1 PCLKB 後に D/A 変換を開始します。

図 40.3 に 12 ビット D/A コンバータを 12 ビット A/D コンバータ (ユニット 2) に同期変換させる場合のチャネル 0 の D/A 変換の動作例を示します。

(1) 12 ビット A/D コンバータ (ユニット 2) が停止中であることを確認し、DAADSCR.DAADST ビットを “1” にする。

(2) 12 ビット A/D コンバータ (ユニット 2) が停止中であることを確認し、DACR.DAOE0 ビットを “1” にする。

(3) DADR0 レジスタを設定する (ADCLK が周辺モジュールクロックよりも速い場合は、A/D 変換 1 回分以上待たされる場合があります)。

- DADR0 レジスタを書き換えたとき、12 ビット A/D コンバータ (ユニット 2) が停止していた場合 (ADCSR.ADST ビット = 0)、1PCLKB 後に D/A 変換が開始されます。
- DADR0 レジスタを書き換えたとき、12 ビット A/D コンバータ (ユニット 2) が A/D 変換中の場合 (ADCSR.ADST ビット = 1)、A/D 変換終了時に D/A 変換が開始されます。
  A/D 変換中に 2 回、DADR0 レジスタを書き換えた場合、1 回目の値は、D/A 変換されないことがあります。

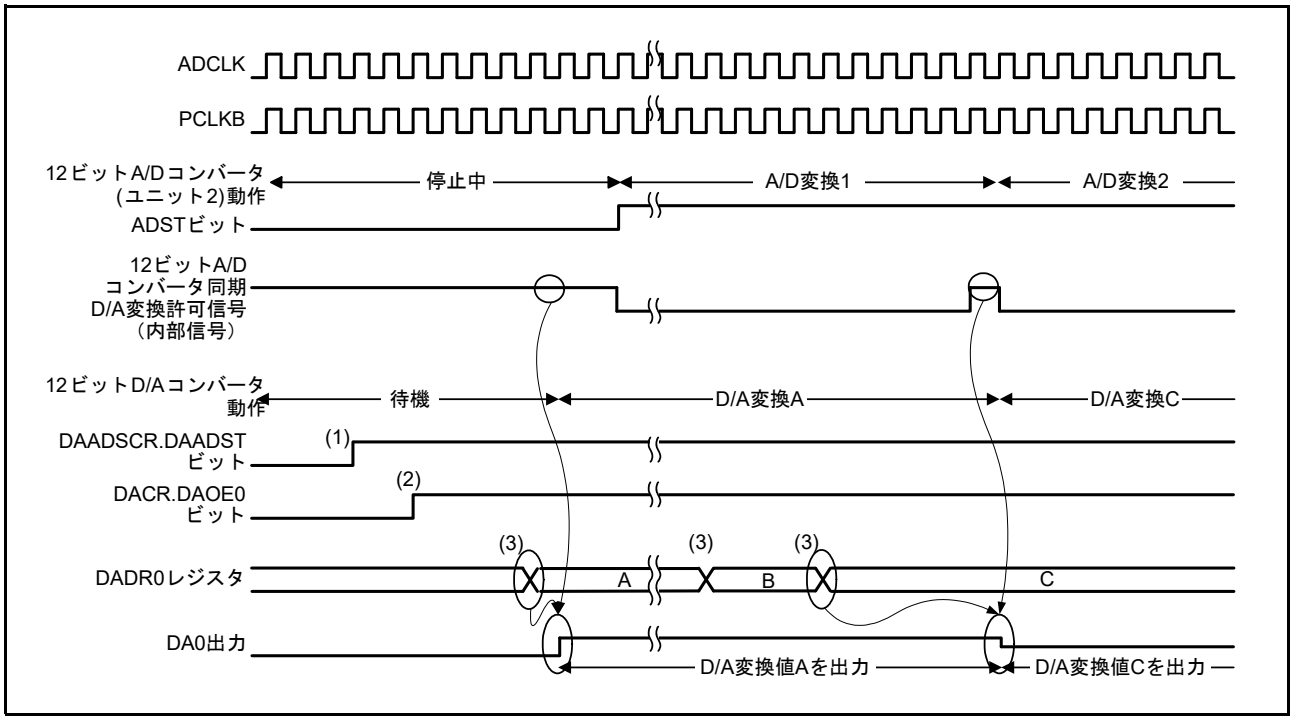


図 40.3　12 ビット D/A コンバータを 12 ビット A/D コンバータ (ユニット 2) に同期して変換する例

ADCLK が PCLKB よりも速い場合、A/D 変換 1 と A/D 変換 2 の間に出力される ADCLK 1 周期分の 12 ビット A/D コンバータ同期 D/A 変換許可信号を 12 ビット D/A コンバータが取り込めない可能性があります。図 40.4 に 12 ビット D/A コンバータが 12 ビット A/D コンバータ同期 D/A 変換許可信号を取り込めない例を示します。この場合、DA0 出力は D/A 変換値 A の出力を継続します。

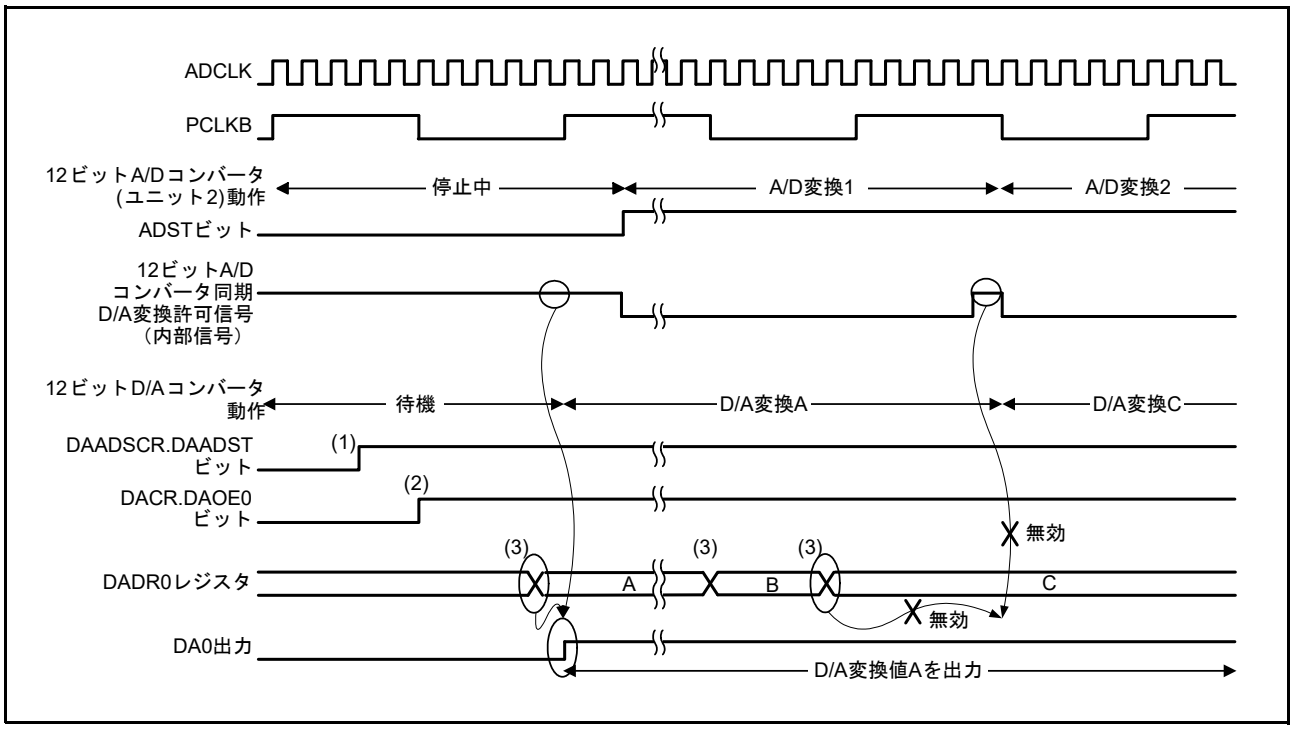


図 40.4　12 ビット D/A コンバータが 12 ビット A/D コンバータ同期 D/A 変換許可信号を取り込めない例

40.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

(1) DADPR.DPSEL ビットの設定と DADR0 レジスタに D/A 変換を行うためのデータを設定します。
(2) DADSELR レジスタで D/A コンバータの出力先を選択します。
(3) ELC の ELSR16 レジスタにリンクする ELSR16 設定イベント信号のビットの値を設定します。
(4) ELCR.ELCON ビットを “1” にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効となります。
(5) イベント出力元のモジュールを設定し、起動します。モジュールから出力されるイベントにより、DACR.DAOE0 ビットが “1” になり、チャネル 0 の D/A 変換が開始されます。
(6) 12 ビット D/A コンバータのチャネル 0 のイベントリンク動作を停止するときは、ELSR16.ELS[7:0] ビットに “0000 0000b” を設定してください。また ELCR.ELCON ビットを “0” にすることにより、全モジュールのイベントリンク動作が停止します。

40.5 イベントリンク動作における注意事項

(1) イベントリンク機能を使用する場合、DACR.DAE ビットは “0” に設定してください。
(2) DACR.DAOE0 ビットへの書き込みサイクル中に ELSR16 レジスタで設定されたイベントが発生すると、DACR.DAOE0 ビットへの書き込みサイクルは行われず、イベント発生による “1” 設定が優先されます。
(3) D/A 変換と A/D 変換の干渉対策として、DAADSCR.DAADST ビットを “1” にする場合、イベントリンク機能は使用禁止です。

40.6 使用上の注意事項

40.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12 ビット D/A コンバータの動作禁止 / 許可を設定することが可能です。初期値では、12 ビット D/A コンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「**11. 消費電力低減機能**」を参照してください。

40.6.2 モジュールストップ時の D/A コンバータの動作

D/A 変換を許可した状態でモジュールストップ状態になると D/A コンバータの出力は保持され、アナログ電源電流は D/A 変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAE ビットをすべて “0” にして D/A コンバータの出力を禁止してください。

40.6.3 ソフトウェアスタンバイモード時の D/A コンバータの動作

D/A 変換を許可した状態でソフトウェアスタンバイモードになると D/A コンバータの出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAE ビットをすべて “0” にして D/A コンバータの出力を禁止してください。

40.6.4 ディープソフトウェアスタンバイモード時の注意事項

D/A 変換を許可した状態で本 MCU がディープソフトウェアスタンバイモードに移行すると、D/A コンバータの出力はハイインピーダンスとなります。

40.6.5 D/A 変換と A/D 変換の干渉対策有効時の注意事項

DAADSCR.DAADST ビットが “1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、12 ビット A/D コンバータ (ユニット 2) をモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換が停止する可能性があります。

40.6.6 D/A コンバータの出力をコンパレータ C の基準電圧に使用するときの注意事項

DADSELR.OUTREFn ビット (n = 0, 1) を “1” にする場合は、「**42.4.5 D/A コンバータの設定について**」を参照してください。

40.6.7 DAn 端子 (n = 0, 1) とコンパレータ C への同時出力に関する注意事項

DADSELR.OUTDAn ビットと OUTREFn ビットを同時に “1” にした場合、DAn 端子に接続された負荷の影響で、電気的特性に記載された特性が満たせないことがあります。両出力を有効にする場合は、十分に評価した上で使用してください。

41. 温度センサ (TEMPS)

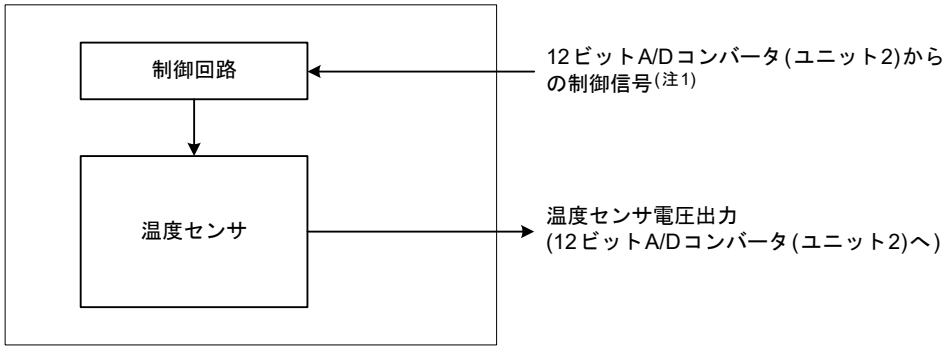
41.1 概要

本 MCU は、温度センサを内蔵しています。温度センサは温度に比例した電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータ (ユニット 2) でデジタル値に変換し、温度に換算することで MCU の内部温度を求めることができます。

表 41.1 に温度センサの仕様を示します。図 41.1 に温度センサのブロック図を示します。

表41.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータ(ユニット2)へ出力
温度センサ校正データ	工場出荷時に個々のチップごとに測定した基準データをレジスタに格納



注1. 12ビットA/DコンバータのADEXICR.TSSAビット、TSSBビット、ADGCEXCR.TSSCビットのいずれかが“1”になると、温度センサが起動します。

図 41.1 温度センサのブロック図

41.2 レジスタの説明

41.2.1 温度センサ校正データレジスタ (TSCDR)

アドレス TEMPS.TSCDR 007F B17Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—												
リセット後の値	0	0	0	0	チップごとの固有値											

注. このレジスタは、SYSCR0.ROMEビットが“1” (内蔵ROM有効)のときのみ読み出せます。

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。TSCDR レジスタは読み出し専用の 32 ビットレジスタです。32 ビット単位で読み出してください。

温度センサ校正データは、Tj = 125°C、AVCC2 = 5 V の条件における温度センサの出力電圧を、12 ビット A/D コンバータ (ユニット 2) でデジタル変換した値です。

TSCDR レジスタの値から、Tj = 125°C における温度センサの出力電圧 V1 は、

V1 = 5 × TSCDR レジスタ値 /4096 [V]

と計算できます。なお、温度センサの出力電圧 V1 は、AVCC2 の電圧には依存しません。

41.3 温度センサの使用方法

温度センサは、温度に比例する電圧を出力します。この電圧を 12 ビット A/D コンバータ (ユニット 2) を用いてデジタル変換し、温度に換算することで MCU の内部温度を求めることができます。

41.3.1 使用前の準備

温度センサのキャリブレーションを実施します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式
T = (Vs – V1)/Slope + T1

T：測定温度 (°C)
Vs：温度測定時の温度センサの出力電圧 (V)
T1：1 点目の試行測定時の温度 (°C)
V1：1 点目の試行測定時の温度センサの出力電圧 (V)
T2：2 点目の試行測定時の温度 (°C)
V2：2 点目の試行測定時の温度センサの出力電圧 (V)
Slope：温度センサの温度傾斜 (V/°C)　Slope = (V2 – V1)/(T2 – T1)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。
まず、温度 T1 のときの温度センサの出力電圧 V1 を 12 ビット A/D コンバータ (ユニット 2) で試行測定することで求めます。
次に、温度 T1 と異なる温度 T2 のときの温度センサの出力電圧 V2 を 12 ビット A/D コンバータ (ユニット 2) にて試行測定することで求めます。
両者の測定結果から、温度傾斜 (Slope = (V2 – V1)/(T2 – T1)) を求めます。
この Slope を温度特性の式に代入し、測定温度 T = (Vs – V1)/Slope + T1 を求めます。

また、「46. 電気的特性」の表 46.51 に記載の温度傾斜を使用すれば、温度 T1 のときの温度センサの出力電圧 V1 を、12 ビット A/D コンバータ (ユニット 2) で試行測定によって求めるだけで、下記式により測定温度が算出できます。なお、本測定温度精度は 2 点測定方法よりも劣ります。

T = (Vs – V1)/Slope + T1

T：測定温度 (°C)
Vs：温度測定時の温度センサの出力電圧 (V)
T1：1 点目の試行測定時の温度 (°C)
V1：1 点目の試行測定時の温度センサの出力電圧 (V)
Slope：表 46.51 に記載の温度傾斜 ÷ 1000 (V/°C)

また、本 MCU は、TSCDR レジスタに、Tj = 125°C、AVCC2 = 5 V の条件における温度センサの温度測定値 (CAL_{125}) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。
CAL_{125} から V1 を求めると、

$V1 = 5 \times CAL_{125}/4096$ [V]

となり、これを用いると、測定温度は下記の式にて算出できます。

T = (Vs − V1)/Slope + 125 [°C]

T：測定温度 (MCU の内部温度) (°C)
Vs：温度測定時の温度センサの出力電圧 (V)
V1：Tj = 125°C、AVCC2 = 5 V 時の温度センサの出力電圧 (V)
Slope：表 46.51 に記載の温度傾斜 ÷ 1000 (V/°C)

なお、測定温度誤差 (ばらつき範囲は 3σ) は、図 41.2 のとおりです。

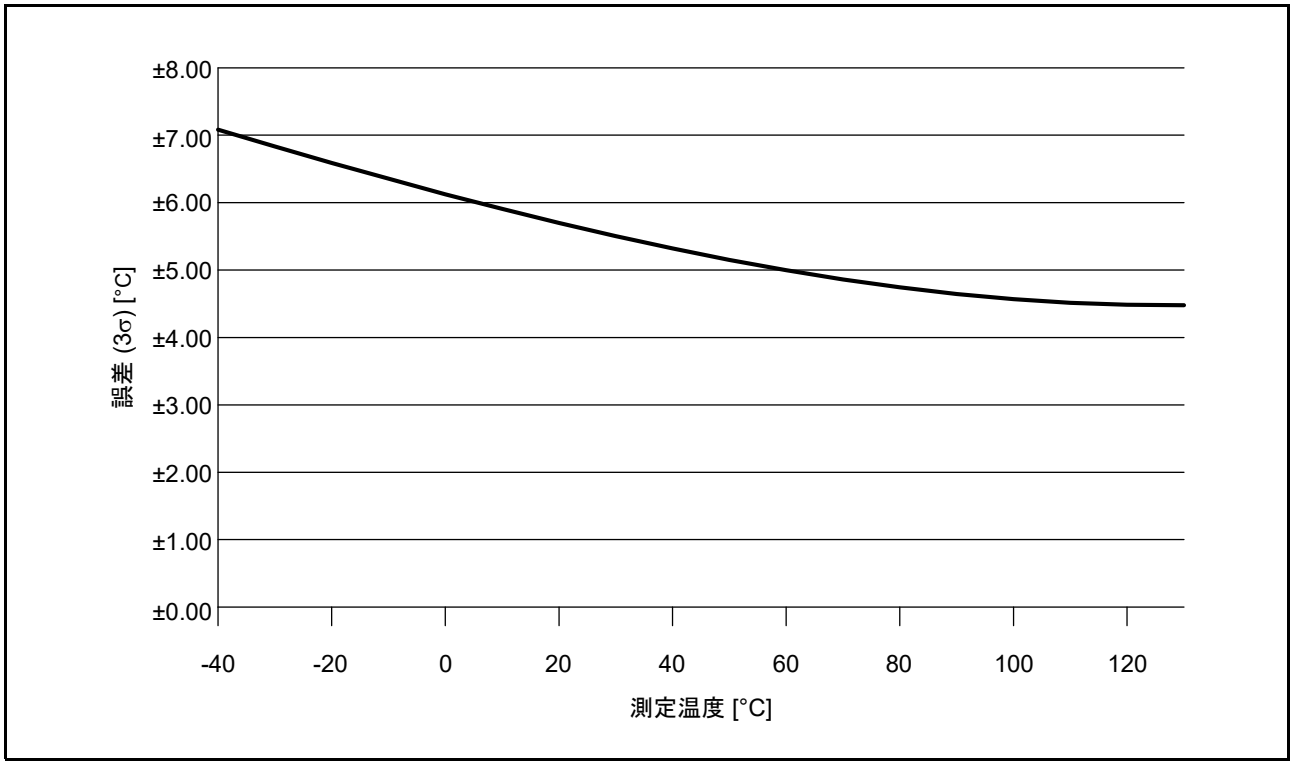


図 41.2　製品の測定温度誤差

41.3.2 12 ビット A/D コンバータ (ユニット 2) の設定

温度センサの出力を A/D 変換するために、12 ビット A/D コンバータ (ユニット 2) のレジスタを以下のように設定する必要があります。

- **温度センサ出力の A/D 変換対象への選択**

A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA、TSSB または ADGCEXCR.TSSC) を “1” に設定し、温度センサ出力を A/D 変換対象に選択します。

- **スキャンモードの設定**

A/D コントロールレジスタのスキャンモード選択ビット (ADCSR.ADCS[1:0]) を設定し、スキャンモードを選択します。シングルスキャンモードまたはグループスキャンモードに設定してください。

- **加算 / 平均モードの設定**

温度センサの出力を A/D 変換する際、加算モードと平均モードの選択が可能です。加算モードと平均モードいずれのモードを使用する場合でも、A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換値加算モード選択ビット (ADEXICR.TSSAD) を “1” に設定し、A/D 変換値加算回数選択レジスタの加算回数選択ビット (ADADC.ADC[2:0]) に加算回数を設定してください。

加算モードを選択する場合は、ADADC.AVEE ビットを “0” に、平均モードを選択する場合は、ADADC.AVEE ビットを “1” にしてください。ただし、平均モードを選択する場合は、ADADC.ADC[2:0] ビットを “010b”、“101b” に設定しないでください。

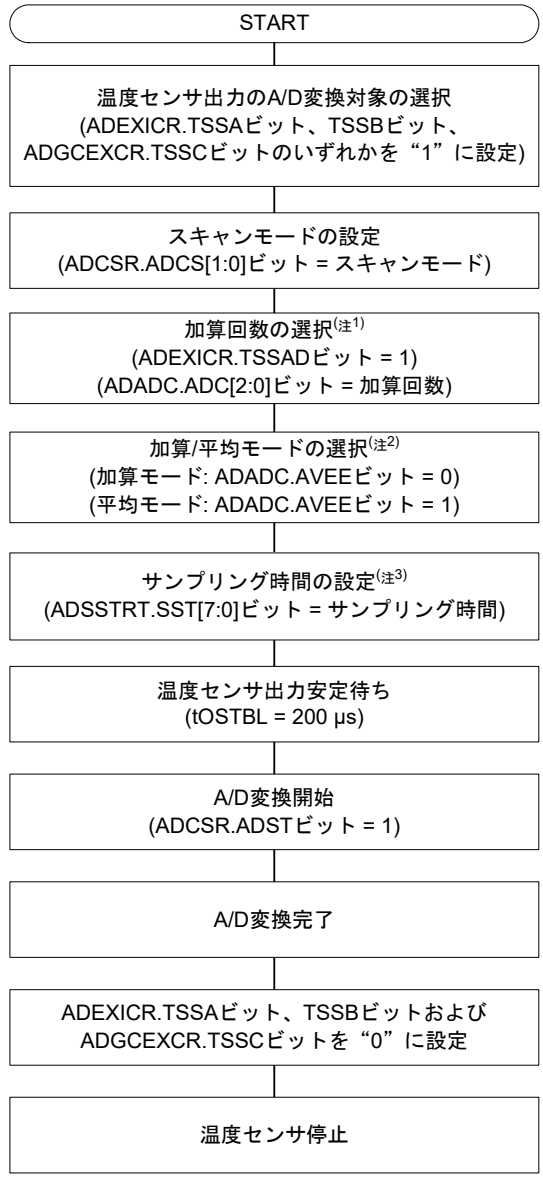
- **12 ビット A/D コンバータ (ユニット 2) のサンプリング時間の設定**

温度センサの出力を A/D 変換する際、サンプリング時間を変更することができます。初期値は 27 クロックです。サンプリング時間を 27 クロックから変更する場合は、ADCSR.ADST ビットが “0” のときに A/D サンプリングステートレジスタ T (ADSSTRT) を設定してください。サンプリング時間の設定範囲は「39.2.19 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ～ 11, L, T, O)」を参照してください。サンプリング時間は「46. 電気的特性」に記載された仕様を満たすように設定してください。

A/D コントロールレジスタの A/D 変換スタートビット (ADCSR.ADST) を “1” にすると、A/D 変換を開始し、A/D 温度センサデータレジスタ (ADTSDR) に A/D 変換結果が格納されます。温度センサの出力を A/D 変換する際は、「41.3.3 温度センサの使用手順」に従ってください。

41.3.3 温度センサの使用手順

図 41.3 に温度センサの使用手順フローを示します。



注1. 加算/平均モードを使用しない場合は、設定不要です。平均モードを選択する場合は、ADADC.ADC[2:0]ビットを“010b”および“101b”に設定しないでください。
注2. 加算/平均モードを使用しない場合は、設定不要です。
注3. サンプリング時間の初期値は27クロックです。サンプリング時間を変更しない場合は、設定不要です。

図 41.3 温度センサの使用手順フロー

41.3.4 温度センサ出力の A/D 変換タイミング

シングルスキャンモードで温度センサ出力のみを A/D 変換対象としたときの、温度センサの動作から A/D 変換完了までのタイミングを**図 41.4** に、温度センサ動作から A/D 変換完了までの時間を**表 41.2** に示します。

温度センサ出力を A/D 変換する場合、ASDT ビットを “1” にすると、サンプリングの前にオートディスチャージが行われます。温度センサの A/D 変換時間には、このオートディスチャージ時間が含まれます。

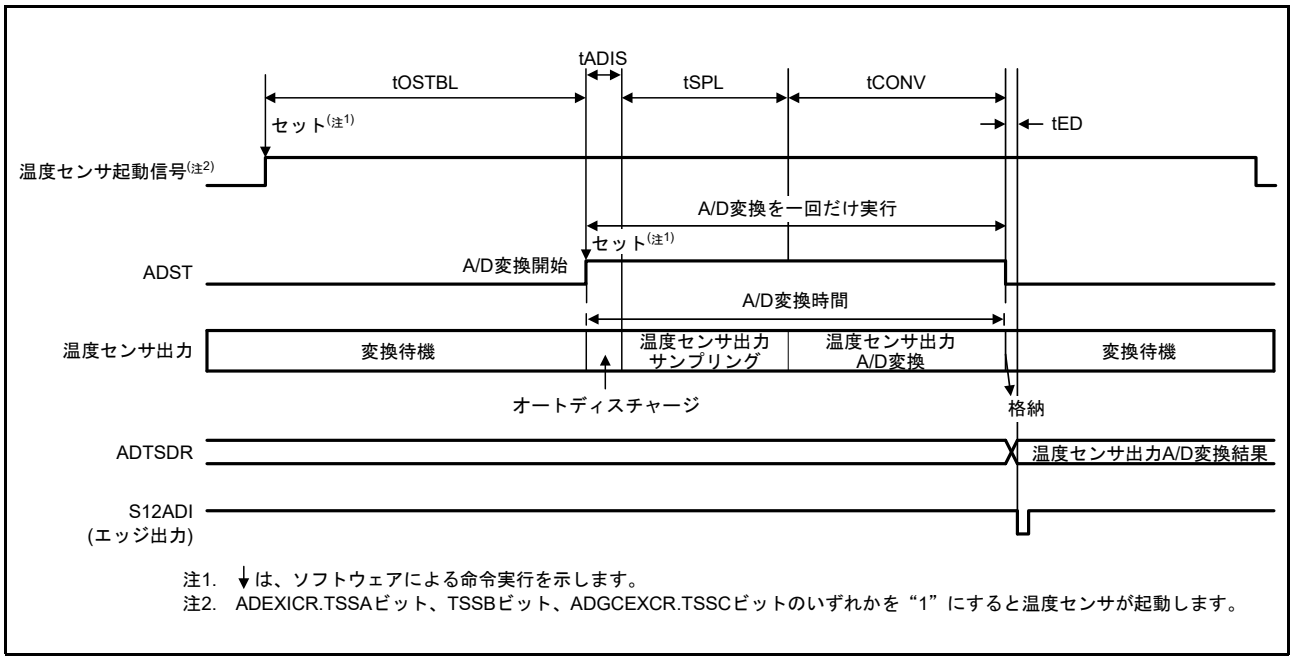


図 41.4 温度センサの動作から A/D 変換完了までのタイミング

表41.2 温度センサの動作からA/D変換完了までの時間

項目	記号	時間
温度センサ出力安定待ち時間	tOSTBL	200 μs (min)
オートディスチャージ時間	tADIS	15 × tC(ADCLK)
12ビットA/Dコンバータ(ユニット2)入力サンプリング時間	tSPL	ADSSTRTの設定値 × tC(ADCLK)
A/D変換処理時間	tCONV	「39.3.8 アナログ入力のサンプリング時間とスキャン変換時間」の「表39.25 スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)」を参照
スキャン変換終了遅延時間	tED	「39.3.8 アナログ入力のサンプリング時間とスキャン変換時間」の「表39.25 スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)」を参照

41.4 使用上の注意事項

41.4.1 温度センサの動作設定

温度センサは 12 ビット A/D コンバータのユニット 2 (S12AD2) 内のレジスタで制御されます。温度センサを動作させる場合は、S12AD2 のモジュールストップ状態を解除した後に ADEXICR.TSSA ビット、TSSB ビットまたは ADGCEXCR.TSSC ビットを “1” にしてください。詳細は、「39. 12 ビット A/D コンバータ (S12ADH)」を参照してください。

42. コンパレータ C (CMPC)

42.1 概要

コンパレータ C はリファレンス入力電圧とアナログ入力電圧を比較します。リファレンス入力電圧とアナログ入力電圧の比較結果はソフトウェアで読むことも、外部端子に出力することもできます。また、比較結果の変化を検出して割り込み要求を発生させることもできます。

コンパレータ C のリファレンス入力電圧は、CVREFC0、CVREFC1 端子からの入力、内蔵 D/A コンバータ 0 出力、または内蔵 D/A コンバータ 1 出力のいずれかから選択できます。

アナログ入力は 4 系統あり、いずれか 1 つを選択します。

表 42.1 にコンパレータ C の仕様を、**図 42.1** にコンパレータ C のブロック図を、**表 42.2** にコンパレータ C の入出力端子を、**表 42.3** にコンパレータ C のアナログ入力端子接続先を示します。

本章に記載している PCLK とは PCLKB を指します。

表42.1 コンパレータCの仕様

項目	内容
チャネル数	6チャネル(コンパレータ C0～コンパレータ C5)
アナログ入力電圧	CMPCnm端子(n = チャネル番号、m = 0～3)からの入力電圧
リファレンス入力電圧	CVREFC0、CVREFC1端子からの入力電圧、内蔵D/Aコンバータ0出力電圧、または内蔵D/Aコンバータ1出力電圧
比較結果	比較結果を外部出力可能
デジタルフィルタ機能	• 3種類のサンプリング周期の選択可能 • フィルタ未使用も可能 • ノイズフィルタを通した信号から割り込み要求出力、ELCへのイベント出力の生成、POE要因出力の生成(注1)、およびレジスタを介して比較結果を読み出し可能
割り込み要求	• 比較結果の有効エッジを検出して割り込み要求を発生 • 有効エッジは、比較結果の立ち上がりエッジ/立ち下がりエッジ/両エッジから選択可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. POEの場合はレベル検出信号のみ。POEGの場合はレベル検出信号とエッジ検出信号。

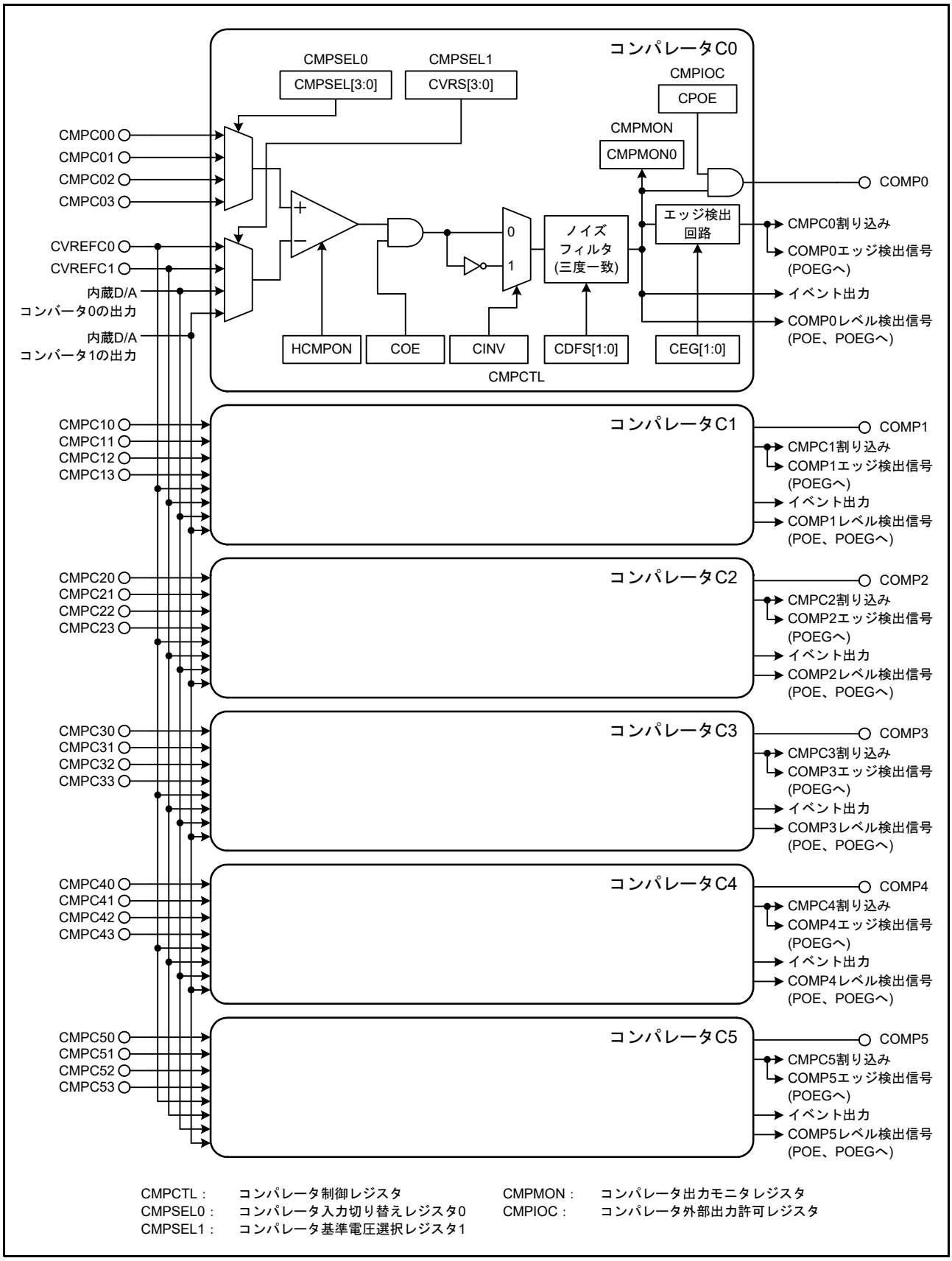


図 42.1 コンパレータ C のブロック図

表42.2 コンパレータCの入出力端子

端子名	入出力	機能
CMPC00, CMPC01, CMPC02, CMPC03	入力	CMPC0用アナログ入力端子
CMPC10, CMPC11, CMPC12, CMPC13	入力	CMPC1用アナログ入力端子
CMPC20, CMPC21, CMPC22, CMPC23	入力	CMPC2用アナログ入力端子
CMPC30, CMPC31, CMPC32, CMPC33	入力	CMPC3用アナログ入力端子
CMPC40, CMPC41, CMPC42, CMPC43	入力	CMPC4用アナログ入力端子
CMPC50, CMPC51, CMPC52, CMPC53	入力	CMPC5用アナログ入力端子
CVREFC0	入力	リファレンス入力電圧端子0
CVREFC1	入力	リファレンス入力電圧端子1
COMP0	出力	CMPC0比較結果出力端子
COMP1	出力	CMPC1比較結果出力端子
COMP2	出力	CMPC2比較結果出力端子
COMP3	出力	CMPC3比較結果出力端子
COMP4	出力	CMPC4比較結果出力端子
COMP5	出力	CMPC5比較結果出力端子

表42.3 コンパレータCのアナログ入力端子接続先

アナログ入力端子	接続先
CMPC00	AN000端子
CMPC01	AN000端子プログラマブルゲインアンプ出力
CMPC02	AN200端子
CMPC03	AN206端子
CMPC10	AN001端子
CMPC11	AN001端子プログラマブルゲインアンプ出力
CMPC12	AN201端子
CMPC13	AN207端子
CMPC20	AN002端子
CMPC21	AN002端子プログラマブルゲインアンプ出力
CMPC22	AN202端子
CMPC23	AN209端子
CMPC30	AN100端子
CMPC31	AN100端子プログラマブルゲインアンプ出力
CMPC32	AN203端子
CMPC33	AN210端子
CMPC40	AN101端子
CMPC41	AN101端子プログラマブルゲインアンプ出力
CMPC42	AN204端子
CMPC43	AN208端子
CMPC50	AN102端子
CMPC51	AN102端子プログラマブルゲインアンプ出力
CMPC52	AN205端子
CMPC53	AN211端子

42.2 レジスタの説明

42.2.1 コンパレータ制御レジスタ (CMPCTL)

アドレス CMPC0.CMPCTL 000A 0C80h, CMPC1.CMPCTL 000A 0CA0h, CMPC2.CMPCTL 000A 0CC0h, CMPC3.CMPCTL 000A 0CE0h, CMPC4.CMPCTL 000A 0D00h, CMPC5.CMPCTL 000A 0D20h

	b7	b6	b5	b4	b3	b2	b1	b0
	HCMPON	CDFS[1:0]		CEG[1:0]		—	COE	CINV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性切り替えビット (注1、注4)	0：コンパレータ出力非反転 1：コンパレータ出力反転	R/W
b1	COE	コンパレータ出力許可ビット	0：コンパレータ出力禁止(“0”出力に固定) 1：コンパレータ出力許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CEG[1:0]	コンパレータエッジ割り込み検出選択ビット	b4 b3 ００：割り込み要求を生成しない ０１：立ち上がりエッジ １０：立ち下がりエッジ １１：立ち上がり、立ち下がりの両エッジ	R/W
b6-b5	CDFS[1:0]	ノイズフィルタサンプリング選択ビット(注1、注2、注4)	b6 b5 ００：ノイズフィルタ未使用 ０１：PCLK/8でサンプリング １０：PCLK/16でサンプリング １１：PCLK/32でサンプリング	R/W
b7	HCMPON	コンパレータ動作許可ビット(注3)	0：動作停止(コンパレータの出力は“0”) 1：動作許可(コンパレータの端子入力許可)	R/W

注. イベント出力を使用する場合、ELCのレジスタを設定する前に、このレジスタを設定してください。
注. コンパレータ出力をPOE要因として使用する場合、POEのレジスタを設定する前に、このレジスタを設定してください。
注1. CINV、CDFS[1:0]ビットの書き換えは、コンパレータの出力を禁止(COEビット = 0)した後で行ってください。
注2. CDFS[1:0]ビットを“00b”(ノイズフィルタ未使用)から“00b”以外(ノイズフィルタを使用)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、CMPCn割り込み要求出力やイベント出力、POE要因出力を使用してください。
注3. コンパレータ動作を許可(HCMPONビット = 1)に設定後、動作安定待ち時間が必要です。値は、「46. 電気的特性」を参照してください。
注4. CINVビット、CDFS[1:0]ビットを変更するとCMPCn割り込み要求およびイベント出力、POE要因が発生することがあります。これらのビットは、ELCのレジスタ設定でコンパレータ出力をリンクさせない設定、POE/POEGのレジスタ設定でコンパレータ出力を出力停止制御に使用しない設定にしてから変更してください。また、変更後に対応する割り込み要求レジスタの割り込みステータスフラグ(IR)、POEのコンパレータチャネルn出力検出フラグ(n = 0～5)、POEGのGPTWまたはCMPC出力停止要求検出フラグを“0”にしてください。

CEG[1:0] ビット (コンパレータエッジ割り込み検出選択ビット)

コンパレータ出力信号のどのエッジで割り込み要求を生成するかを選択するビットです。有効エッジの設定は、CINV ビットおよび CDFS[1:0] ビットにより、コンパレータ出力信号を反転 / 非反転処理、ノイズフィルタ未使用 / 使用処理した信号に対して設定されます。

42.2.2 コンパレータ入力切り替えレジスタ (CMPSEL0)

アドレス CMPC0.CMPSEL0 000A 0C84h, CMPC1.CMPSEL0 000A 0CA4h, CMPC2.CMPSEL0 000A 0CC4h, CMPC3.CMPSEL0 000A 0CE4h, CMPC4.CMPSEL0 000A 0D04h, CMPC5.CMPSEL0 000A 0D24h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMPSEL[3:0]	コンパレータ入力切り替えビット (注1、注2、注3)	• コンパレータ C0の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC00を選択 0 0 1 0：CMPC01を選択 0 1 0 0：CMPC02を選択 1 0 0 0：CMPC03を選択 上記以外は設定しないでください • コンパレータ C1の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC10を選択 0 0 1 0：CMPC11を選択 0 1 0 0：CMPC12を選択 1 0 0 0：CMPC13を選択 上記以外は設定しないでください • コンパレータ C2の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC20を選択 0 0 1 0：CMPC21を選択 0 1 0 0：CMPC22を選択 1 0 0 0：CMPC23を選択 上記以外は設定しないでください • コンパレータ C3の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC30を選択 0 0 1 0：CMPC31を選択 0 1 0 0：CMPC32を選択 1 0 0 0：CMPC33を選択 上記以外は設定しないでください • コンパレータ C4の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC40を選択 0 0 1 0：CMPC41を選択 0 1 0 0：CMPC42を選択 1 0 0 0：CMPC43を選択 上記以外は設定しないでください • コンパレータ C5の場合 b3 b0 0 0 0 0：入力なし 0 0 0 1：CMPC50を選択 0 0 1 0：CMPC51を選択 0 1 0 0：CMPC52を選択 1 0 0 0：CMPC53を選択 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CMPSEL[3:0]ビットの書き換えは、以下の手順で行ってください。CMPSEL[3:0]ビットが“0000b”でないときに、“0000b”以

外の書き込みは無効です。2ビット以上“1”となる値を書いた場合も無効です。いずれの場合も前の値を保持します。
(1) CMPCTL.COEビットを“0”にする
(2) CMPSEL[3:0]ビットを“0000b”にする
(3) CMPSEL[3:0]ビットを新しい設定値(いずれか1ビットのみ“1”)にする
(4) 入力切り替えの安定時間を待つ。値は、「46.　電気的特性」を参照してください。
(5) CMPCTL.COEビットを“1”にする
(6) 対応する割り込み要求レジスタの割り込みステータスフラグ(IR)を“0”にする
(7) 対応するPOEGのGPTWまたはCMPC出力停止要求検出フラグ(POEGGj.IOCF (j = A～D))を“0”にする

注2. イベント出力を使用する場合、ELCのレジスタを設定した後に、このビットに書き込むとイベント信号が出力されることがあるので注意してください。

注3. COMPnレベル検出信号をPOE要因として使用する場合、POEのレジスタを設定した後に、このビットに書き込むとPOE要因が発生することがあるので注意してください。

42.2.3　コンパレータ基準電圧選択レジスタ (CMPSEL1)

アドレス　CMPC0.CMPSEL1 000A 0C88h, CMPC1.CMPSEL1 000A 0CA8h, CMPC2.CMPSEL1 000A 0CC8h, CMPC3.CMPSEL1 000A 0CE8h, CMPC4.CMPSEL1 000A 0D08h, CMPC5.CMPSEL1 000A 0D28h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CVRS[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CVRS[3:0]	リファレンス入力電圧選択ビット (注1、注2、注3、注4)	b3　b0 0000：入力なし 0001：リファレンス入力電圧に内蔵D/Aコンバータ1の出力を選択 0010：リファレンス入力電圧に内蔵D/Aコンバータ0の出力を選択 0100：リファレンス入力電圧にCVREFC1入力を選択 1000：リファレンス入力電圧にCVREFC0入力を選択 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 内蔵D/Aコンバータの出力を使用する場合、コンパレータの動作を許可(CMPCTL.HCMPONビット = 1)する前に、D/Aコンバータを設定してください。D/Aコンバータの設定については「40.　12ビットD/Aコンバータ(R12DAb)」を参照してください。

注2. CVRS[3:0]ビットの書き換えは、以下の手順で行ってください。設定値を変えるときは、CVRS[3:0]ビットを“0000b”にしてから設定値を変更してください。“0001b”から“0010b”、“0010b”から“0001b”などのように直接書き換えようとしても無視されます。
(1) CMPCTL.COEビットを“0”にする
(2) CVRS[3:0]ビットを“0000b”にする
(3) CVRS[3:0]ビットを新しい設定値(いずれか1ビットのみ“1”)にする
(4) 入力切り替えの安定時間を待つ。値は、「46.　電気的特性」を参照してください。
(5) CMPCTL.COEビットを“1”にする
(6) 対応する割り込み要求レジスタの割り込みステータスフラグ(IR)を“0”にする
(7) 対応するPOEGのGPTWまたはCMPC出力停止要求検出フラグ(POEGGj.IOCF (j = A～D))を“0”にする

注3. イベント出力を使用する場合、ELCのレジスタを設定した後に、このビットに書き込むとイベント信号が出力されることがあるので注意してください。

注4. COMPnレベル検出信号をPOE要因として使用する場合、POEのレジスタを設定した後に、このビットに書き込むとPOE要因が発生することがあるので注意してください。

42.2.4 コンパレータ出力モニタレジスタ (CMPMON)

アドレス CMPC0.CMPMON 000A 0C8Ch, CMPC1.CMPMON 000A 0CACh, CMPC2.CMPMON 000A 0CCCh, CMPC3.CMPMON 000A 0CECh, CMPC4.CMPMON 000A 0D0Ch, CMPC5.CMPMON 000A 0D2Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPMON0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPMON0	コンパレータ出力モニタフラグ (注1)	0：コンパレータ出力は“0” 1：コンパレータ出力は“1”	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ノイズフィルタ未使用(CMPCTL.CDFS[1:0]ビット = 00b)の設定でコンパレータを動作(CMPCTL.HCMPON、COEビット = 1)させる場合は、CMPMON0ビットを2回リードし、一致したときのみその値を使用してください。

42.2.5 コンパレータ外部出力許可レジスタ (CMPIOC)

アドレス CMPC0.CMPIOC 000A 0C90h, CMPC1.CMPIOC 000A 0CB0h, CMPC2.CMPIOC 000A 0CD0h, CMPC3.CMPIOC 000A 0CF0h, CMPC4.CMPIOC 000A 0D10h, CMPC5.CMPIOC 000A 0D30h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CPOE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	外部端子出力許可ビット	コンパレータの比較結果を外部端子へ出力します。 0：コンパレータ外部端子出力禁止(Low出力に固定) 1：コンパレータ外部端子出力許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

42.3 動作説明

42.3.1 コンパレータ動作例

図 42.2 にコンパレータの動作例を示します。リファレンス入力電圧よりアナログ入力電圧が高い場合に COMPn レベル検出信号 (n = 0 ～ 5) が High になり、リファレンス入力電圧よりアナログ入力電圧が低い場合に COMPn レベル検出信号が Low になります (CMPCTL.CINV ビットが “0” の場合)。COMPn レベル検出信号はイベント出力信号としても使われ、また CMPIOC.CPOE ビットが “1” の場合、COMPn 端子から出力されます。また、コンパレータ出力が変化すると割り込み要求、COMPn エッジ検出信号を生成します。

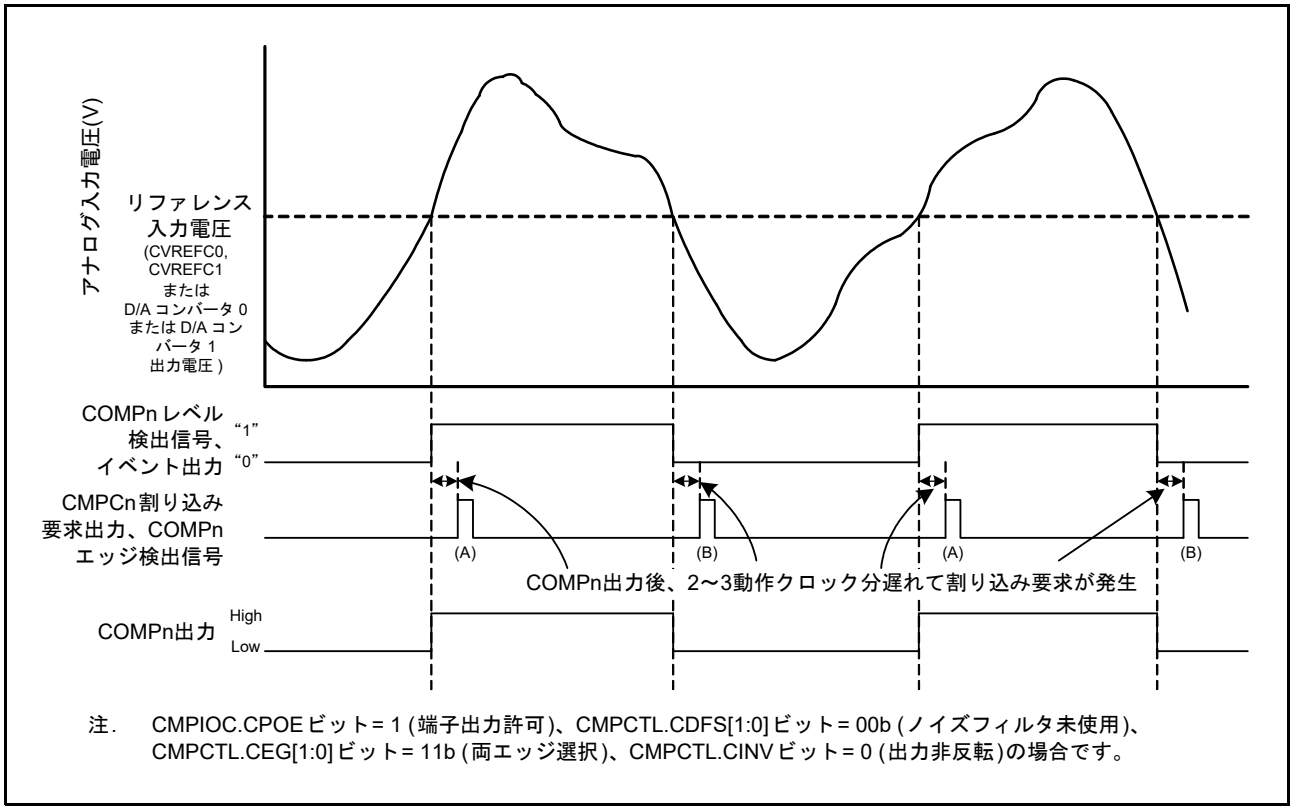


図 42.2 コンパレータの動作例 (n = 0 ～ 5)

42.3.2 ノイズフィルタ

コンパレータ C は、ノイズフィルタを内蔵しています。サンプリングクロックは CMPCTL.CDFS[1:0] ビットで選択できます。サンプリングクロックごとにコンパレータの出力信号をサンプリングし、レベルが 3 回一致した次のサンプリングクロックで、ノイズフィルタ出力がその値になります。

図 42.3 にノイズフィルタとエッジ検出回路の構成を、図 42.4 にノイズフィルタと割り込み動作例を示します。

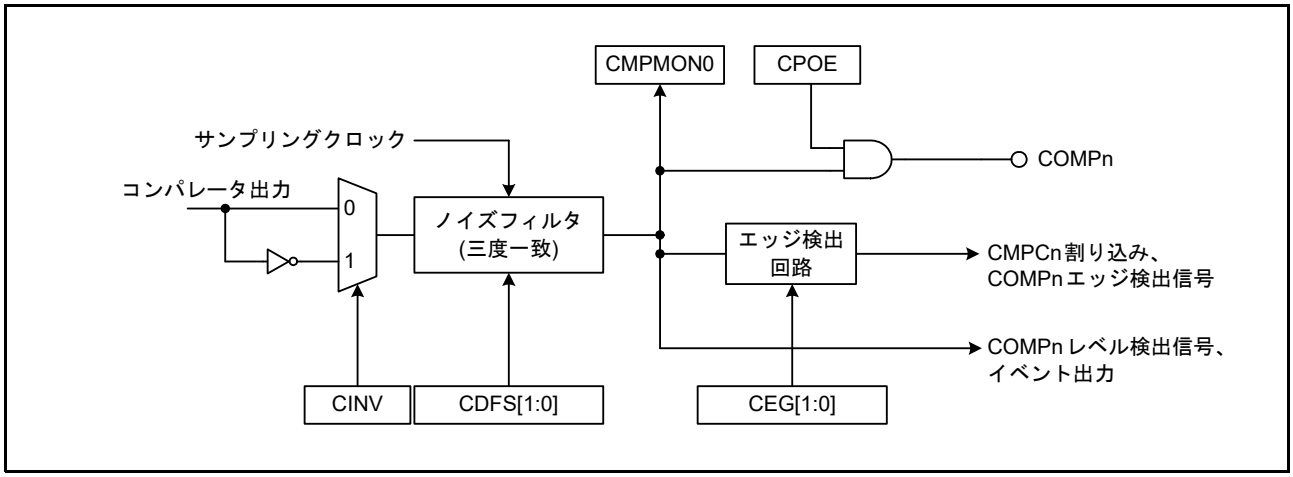
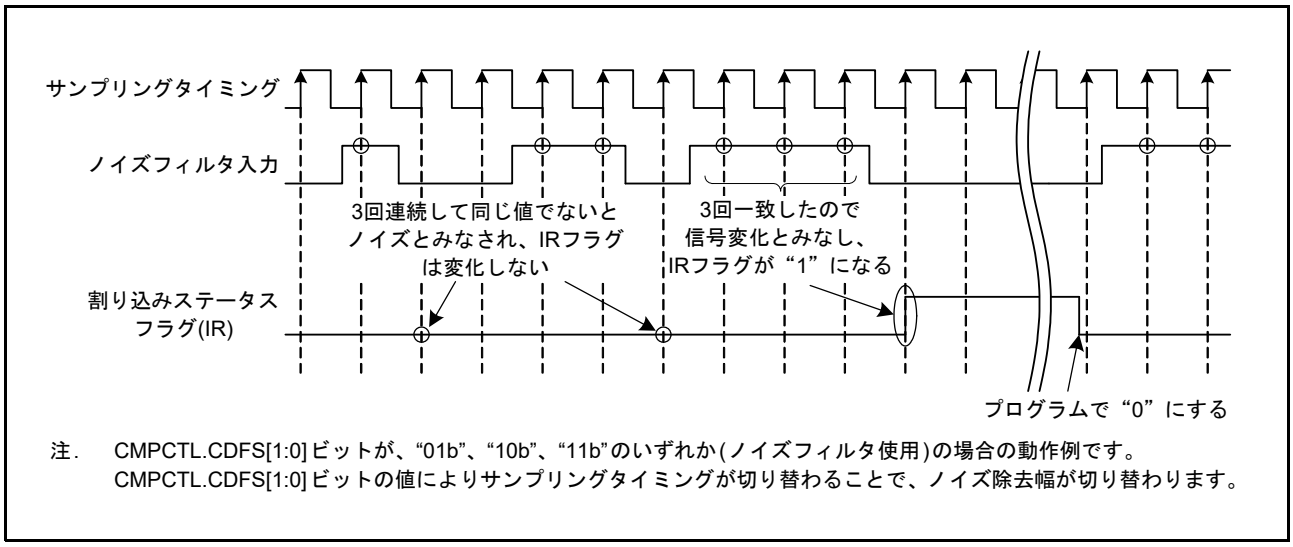


図 42.3 ノイズフィルタとエッジ検出回路の構成 (n = 0 ～ 5)



注. CMPCTL.CDFS[1:0]ビットが、“01b”、“10b”、“11b”のいずれか(ノイズフィルタ使用)の場合の動作例です。
CMPCTL.CDFS[1:0]ビットの値によりサンプリングタイミングが切り替わることで、ノイズ除去幅が切り替わります。

図 42.4 ノイズフィルタと割り込み動作例

42.3.3 割り込み

コンパレータ C は比較結果の変化を検出して割り込み要求を発生させます。

CMPCn 割り込みを使用するときは、CMPCTL.CEG[1:0] ビットの少なくとも 1 つを “1” (“00b”(割り込み要求を生成しない) 以外の設定) にしてください。

CMPCn 割り込みを使用する場合は、以下の手順で設定してください。ただし、(1)、(2)、(3) は順不同です。

(1) リファレンス入力電圧に内蔵 D/A コンバータの出力を使用する場合は、D/A コンバータを設定し、D/A 変換を許可する。
(2) CMPSEL0、CMPSEL1 レジスタでコンパレータの入力を設定する。
(3) CMPCTL.CINV、CDFS[1:0] ビットを設定し、反転 / 非反転処理およびノイズフィルタのサンプリングタイミングを選択する。
(4) コンパレータの割り込み検出エッジを有効 (CMPCTL.CEG[1:0] ビットを “00b” 以外) にする。
(5) コンパレータの入力を許可 (CMPCTL.HCMPON ビットを “1”) し、コンパレータの動作安定時間を待つ。値は、「46. 電気的特性」を参照してください。
(6) コンパレータの出力を許可 (CMPCTL.COE ビットを “1”) する。

42.3.4 コンパレータの端子出力

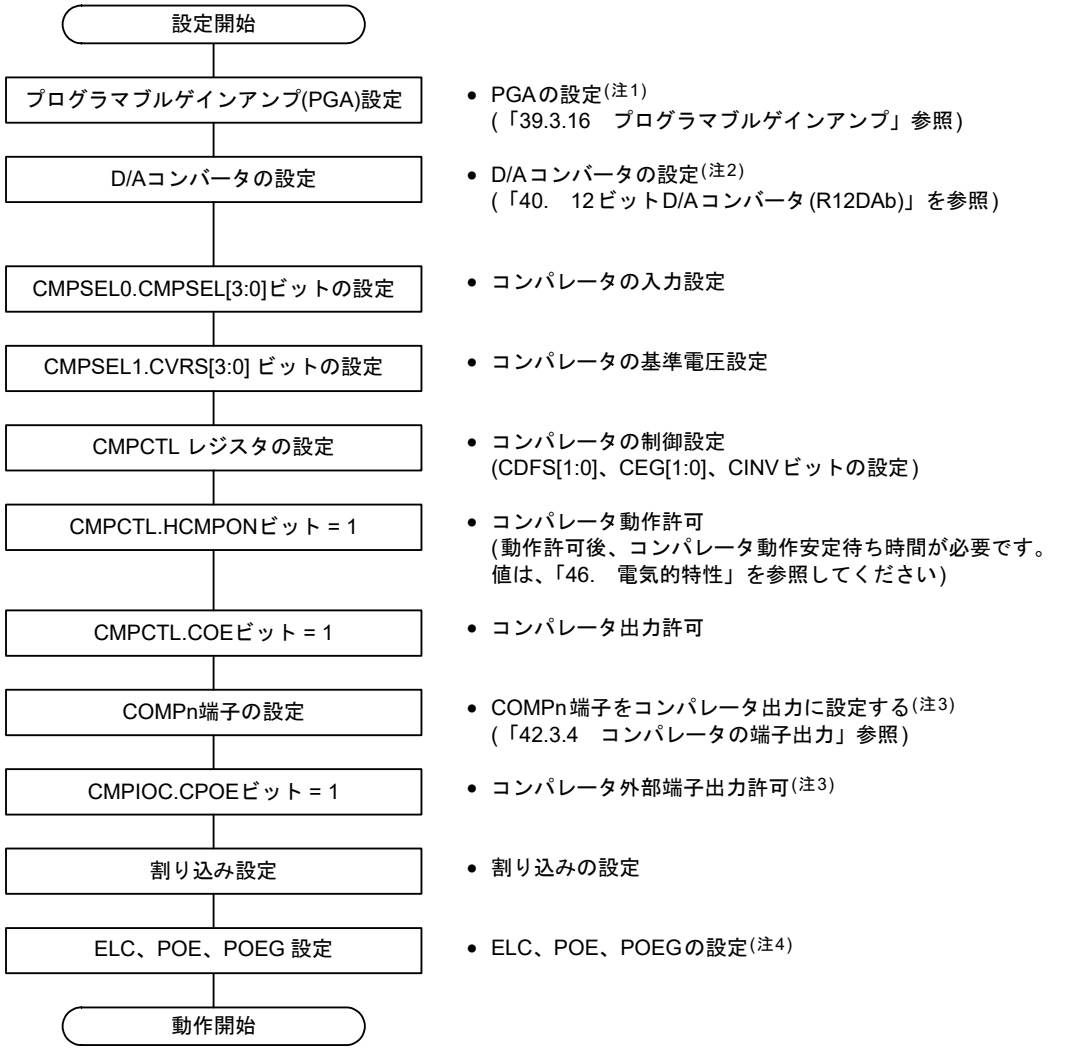
コンパレータの比較結果を COMPn 端子 (n ＝ 0 ～ 5) に出力することができます。CMPCTL.CINV ビットや CMPIOC.CPOE ビットにより、出力極性 (非反転出力 / 反転出力) や出力許可 / 禁止を設定できます。

コンパレータの比較結果を COMPn 端子に出力する場合は、以下の手順で設定してください (リセット後、ポートは入力設定になっています)。

(1) 「42.3.3 割り込み」に示す手順の (1) ～ (3) および (5)、(6) を行う。
(2) コンパレータの比較結果を外部端子へ出力 (CMPIOC.CPOE ビットを “1”) する。
(3) 各コンパレータの出力端子に対応するポートモードレジスタ、端子機能制御レジスタの設定をする。

42.3.5 コンパレータの設定手順

図 42.5 にコンパレータの動作設定フローを示します。



注1. PGA機能と兼用しているAN000～AN002、AN100～AN102以外の入力端子を使用する場合は不要です。
注2. D/Aコンバータをリファレンス入力電圧として使用しない場合は不要です。
注3. コンパレータの比較結果を外部端子に出力しない場合は不要です。
注4. コンパレータ出力をELCやPOE、POEGで使用しない場合は不要です。

図 42.5 コンパレータ動作設定フローチャート (n = 0 ～ 5)

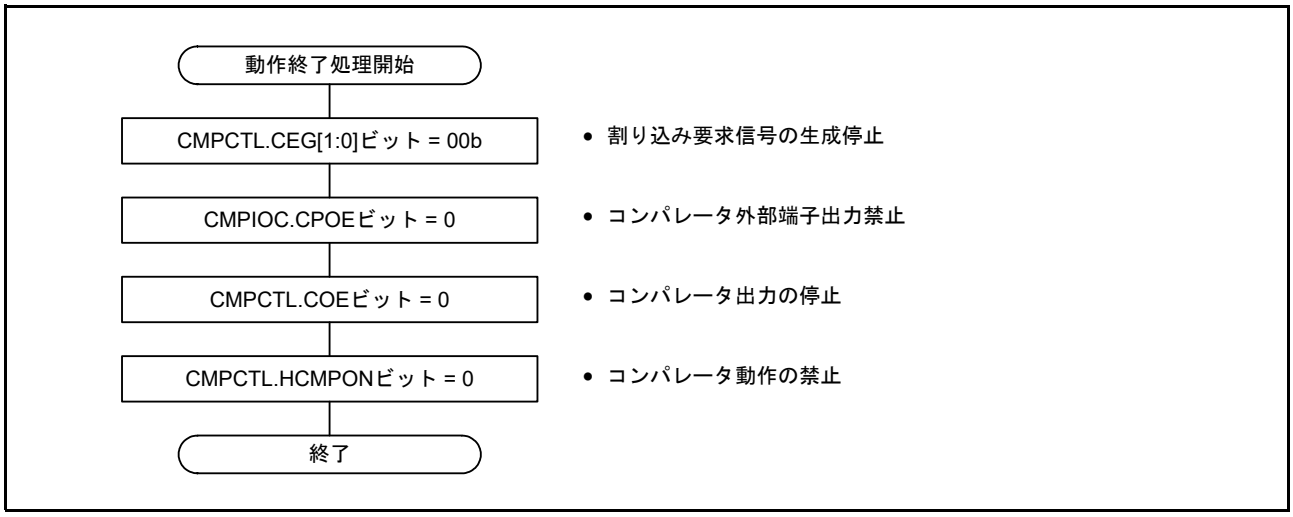


図 42.6 コンパレータ動作終了フローチャート

42.4 使用上の注意事項

42.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、コンパレータ C の動作禁止 / 許可を設定することが可能です。リセット解除後は、コンパレータ C の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「**11. 消費電力低減機能**」を参照してください。

42.4.2 モジュールストップ時のコンパレータ C の動作

コンパレータ C を動作させたままモジュールストップ状態に遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを “0” にしてコンパレータ C を停止させてください。

42.4.3 ソフトウェアスタンバイモード時のコンパレータ C の動作

コンパレータ C を動作させたままソフトウェアスタンバイモードに遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを “0” にしてコンパレータ C を停止させてください。

42.4.4 12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作

プログラマブルゲインアンプ (PGA) と 12 ビット A/D コンバータは同じモジュールストップ信号で制御されていますので、12 ビット A/D コンバータがモジュールストップ中は、以下の PGA 出力の比較はできません。

- AN000 端子 PGA 出力
- AN001 端子 PGA 出力
- AN002 端子 PGA 出力
- AN100 端子 PGA 出力
- AN101 端子 PGA 出力
- AN102 端子 PGA 出力

12 ビット A/D コンバータがモジュールストップ中は、以下のアナログ端子の比較はできません。

- AN000 端子
- AN001 端子
- AN002 端子
- AN100 端子
- AN101 端子
- AN102 端子

42.4.5 D/A コンバータの設定について

D/A コンバータの設定は、D/A 出力先選択レジスタ (DADSELR) でコンパレータ C への出力設定を行い、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

43. データ演算回路 (DOC)

43.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算する機能です。

表 43.1 にデータ演算回路 (DOC) の仕様を示します。DOC のブロック図を図 43.1 に示します。

16 ビットのデータを比較し、選択した条件に合致した場合に割り込みを発生させることができます。

表43.1 データ演算回路(DOC)の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への遷移が可能
割り込み	• データ比較の結果が検出条件に合致したとき • データ加算の結果が“FFFFh”より大きくなったとき(オーバフロー) • データ減算の結果が“0000h”より小さくなったとき(アンダフロー)
イベントリンク機能(出力)	• データ比較の結果が検出条件に合致したとき • データ加算の結果が“FFFFh”より大きくなったとき(オーバフロー) • データ減算の結果が“0000h”より小さくなったとき(アンダフロー)

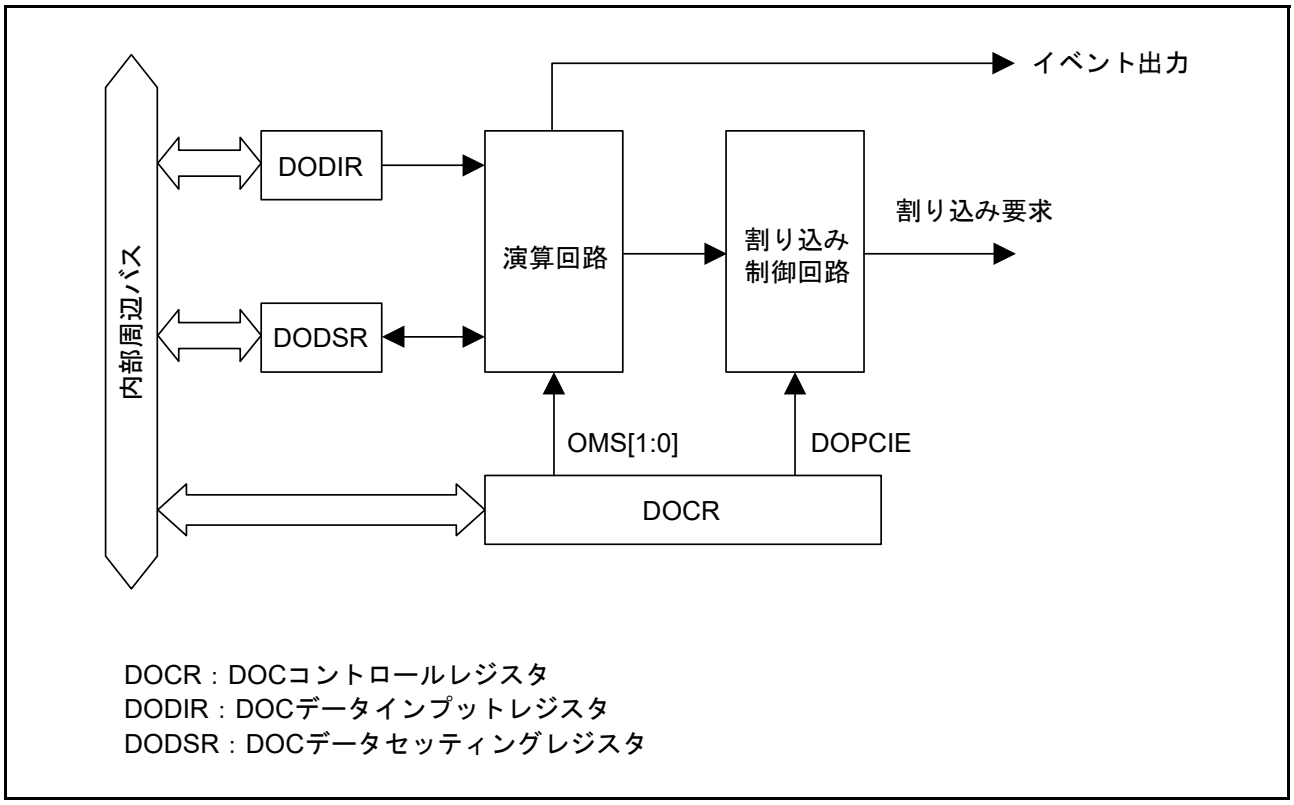


図 43.1 DOC のブロック図

43.2 レジスタの説明

43.2.1 DOC コントロールレジスタ (DOCR)

アドレス DOC.DOCR 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCFCL	DOPCF	DOPCIE	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0：データ比較モード 0 1：データ加算モード 1 0：データ減算モード 1 1：設定しないでください	R/W
b2	DCSEL	検出条件選択ビット(注1)	0：不一致を検出する 1：一致を検出する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b5	DOPCF	データ演算結果フラグ	演算結果を示します	R
b6	DOPCFCL	データ演算結果クリアビット	0：DOPCF フラグの値を保持 1：DOPCF フラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. データ比較モード選択時のみ有効

DOCR レジスタは、DOC の動作モードの設定や、割り込みの許可 / 禁止を設定するレジスタです。

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定により DOC の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが “1” の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算結果フラグ)

[“1” になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が “FFFFh” より大きくなったとき
- データ減算の結果が “0000h” より小さくなったとき

[“0” になる条件]

- DOPCFCL ビットに “1” を書き込んだとき

DOPCFCL ビット (データ演算結果クリアビット)

本ビットに “1” を書くと DOPCF フラグがクリアされます。

読むと “0” が読めます。

43.2.2 DOC データインプットレジスタ (DODIR)

アドレス DOC.DODIR 0008 B082h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DODIR レジスタは、演算対象のデータを格納する読み書き可能なレジスタです。

43.2.3 DOC データセッティングレジスタ (DODSR)

アドレス DOC.DODSR 0008 B084h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DODSR レジスタは、比較対象のデータを格納する、または演算結果が格納される読み書き可能なレジスタです。

データ比較モードでは、比較の基準となるデータを格納してください。

データ加算モードおよびデータ減算モードでは、演算結果が格納されます。

43.3 動作説明

43.3.1 データ比較モード

図 43.2 にデータ比較モードの動作例を示します。
DOC は、データ比較モード時、以下のように動作します。
以下は DCSEL = 0 (データ比較の結果、不一致を検出) 設定時の動作例です。

(1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。
(2) DODSR レジスタに比較の基準となるデータを設定します。
(3) DODIR レジスタに比較するデータを書き込みます。
(4) すべてのデータの書き込みが完了するまで、DODIR レジスタに比較するデータを書き込みます。
(5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかったとき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

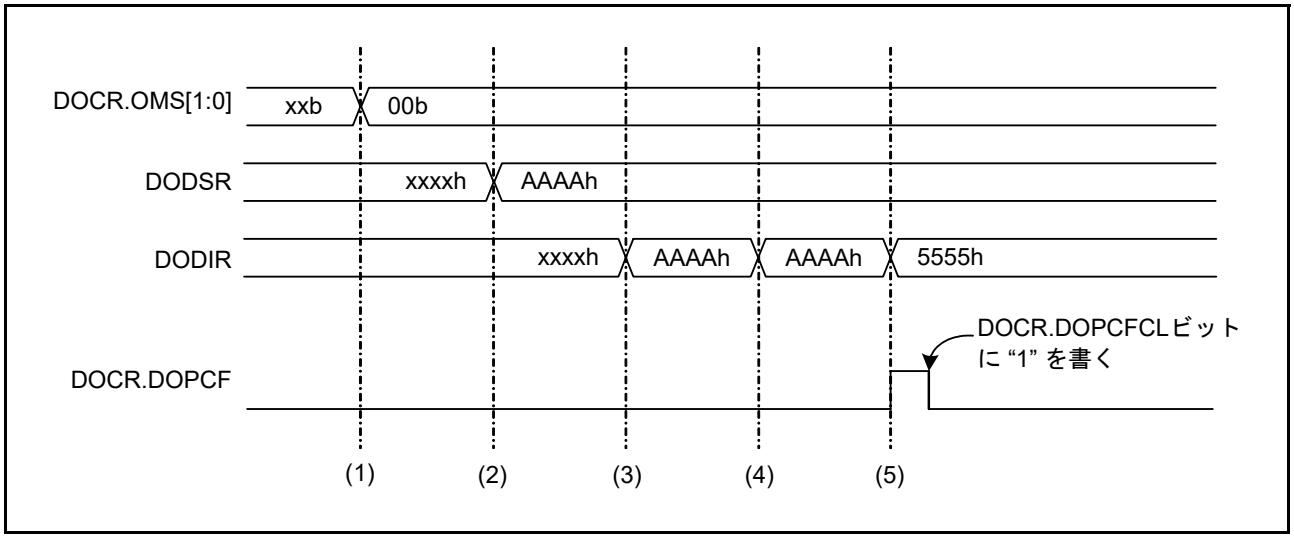


図 43.2 データ比較モードの動作例

43.3.2 データ加算モード

図 43.3 にデータ加算モードの動作例を示します。

DOC は、データ加算モード時、以下のように動作します。

(1) DOCR.OMS[1:0] ビットに “01b” を書き込むと、データ加算モードになります。
(2) DODSR レジスタに初期値を設定します。
(3) DODIR レジスタに加算するデータを書き込みます。演算結果は DODSR レジスタに格納されます。
(4) すべてのデータの書き込みが完了するまで、DODIR レジスタに加算するデータを書き込みます。
(5) 演算結果が “FFFFh” よりも大きくなると DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

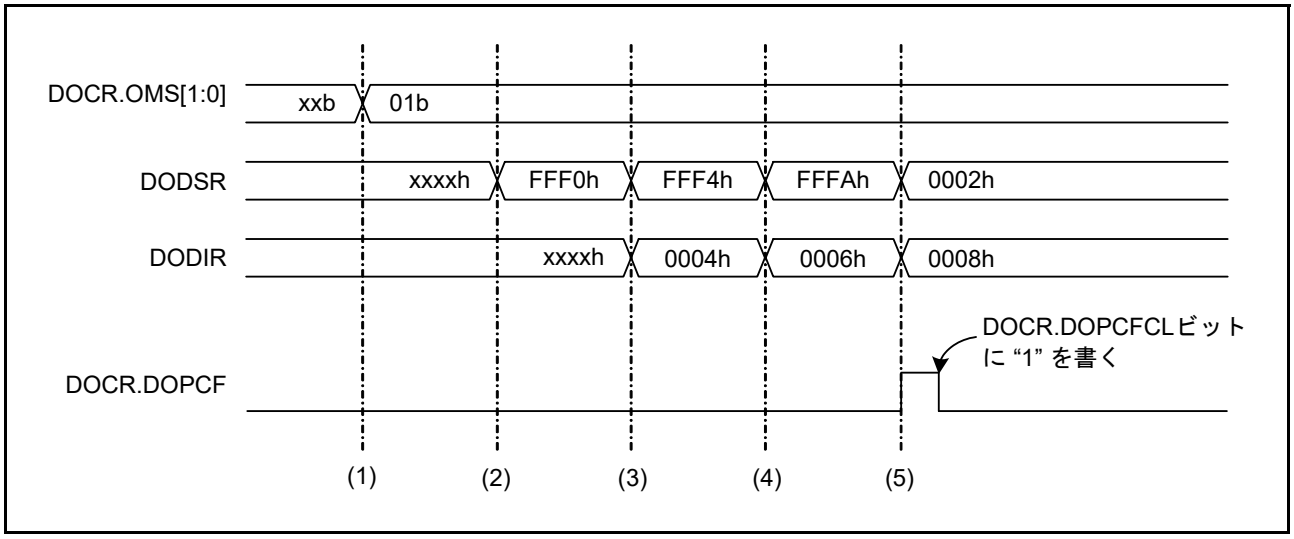


図 43.3 データ加算モードの動作例

43.3.3 データ減算モード

図 43.4 にデータ減算モードの動作例を示します。

DOC は、データ減算モード時、以下のように動作します。

(1) DOCR.OMS[1:0] ビットに “10b” を書き込むと、データ減算モードになります。
(2) DODSR レジスタに初期値を設定します。
(3) DODIR レジスタに減算するデータを書き込みます。演算結果は DODSR レジスタに格納されます。
(4) すべてのデータの書き込みが完了するまで、DODIR レジスタに減算するデータを書き込みます。
(5) 演算結果が “0000h” よりも小さくなると DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

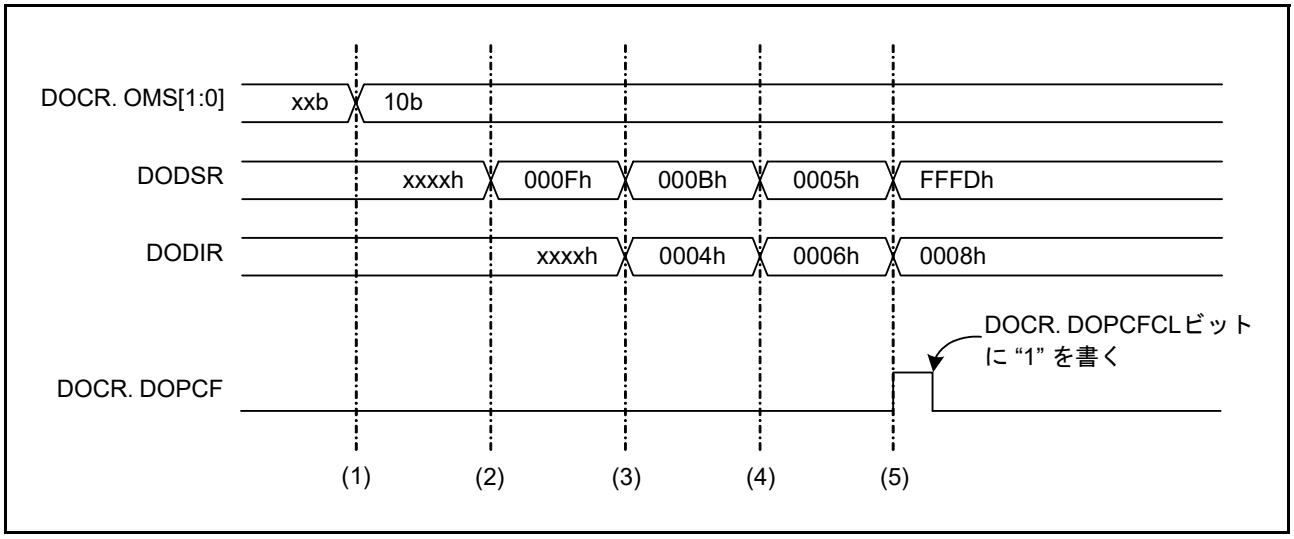


図 43.4 データ減算モードの動作例

43.4 割り込み要求

DOC が生成する割り込み要求には、データ演算回路割り込み (DOPCI) があります。割り込み要因が発生すると DOCR.DOPCF フラグが “1” になります。表 43.2 に割り込み要求の内容を示します。

表 43.2 DOCの割り込み要求

割り込み要求	データ演算結果フラグ	割り込み発生タイミング
データ演算回路割り込み (DOPCI)	DOPCF	• データ比較の結果が検出条件に合致したとき • データ加算の結果が“FFFFh”より大きくなったとき • データ減算の結果が“0000h”より小さくなったとき

43.5 イベントリンク出力機能

DOC はイベントリンクコントローラ (ELC) へ以下の条件でイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

- データ比較の結果が検出条件に合致したとき
- データ加算の結果が “FFFFh” より大きくなったとき
- データ減算の結果が “0000h” より小さくなったとき

43.5.1 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可 / 禁止するビットがあります。割り込み要因が発生すると、割り込みが許可されている場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると、割り込み許可ビットの値にかかわらず、ELC を介して他のモジュールにイベント信号として出力します。

43.6 使用上の注意事項

43.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) の MSTPB6 ビットにより、DOC の動作を禁止または許可することができます。リセット後、DOC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「**11. 消費電力低減機能**」を参照してください。

44. RAM

本 MCU は、128K バイトの高速スタティック RAM (ECC 誤り訂正機能なし) と 16K バイトの ECC 誤り訂正機能付き高速スタティック RAM を内蔵しています。

44.1 概要

表 44.1 に RAM の仕様を示します。

表44.1 RAMの仕様

項目	ECC誤り訂正機能なし(RAM)	ECC誤り訂正機能あり(ECCRAM)
容量	128Kバイト	16Kバイト
アドレス	0000 0000h～0001 FFFFh	00FF C000h～00FF FFFFh
メモリバス	メモリバス1	メモリバス3
アクセス	• リード/ライトともに 1 サイクルで動作 (注1) • RAM有効/無効選択可能 (注2)	• ECC機能有効/無効選択可能 (注3) 【MEMWAIT = 0を設定したとき】 • ECC機能無効の場合 リード/ライトともに2サイクルで動作 (注1) • ECC機能有効の場合(エラーなしのとき) リード/ライトともに2サイクルで動作 (注1) • ECC機能有効の場合(エラーありのとき) リード /ライトともに3サイクルで動作 (注1) 【MEMWAIT = 1を設定したとき】(注4) • ECC 機能無効の場合 : リード/ライトともに3サイクルで動作 (注1) • ECC機能有効の場合(エラーなしのとき) : リードは3 サイクル、ライトは4 サイクルで動作 (注1) • ECC機能有効の場合(エラー発生時) : リード/ライトともに5 サイクルで動作 (注1)
データ保持機能	ディープソフトウェアスタンバイモード時のデータ保持機能なし	
消費電力低減機能	RAM、ECCRAM個別にモジュールストップ状態への遷移が可能	
エラーチェック機能	• 1ビット誤り検出 • エラー発生時、ノンマスカブル割り込み、または割り込みを発生	• ECC誤り訂正機能 1ビット誤り訂正、2ビット誤り検出 • エラー発生時、ノンマスカブル割り込み、または割り込みを発生

注1. 8バイト境界をまたいだアクセス時は、サイクル数が2倍に増えます。
注2. SYSCR1.RAME ビットにより選択可能です。SYSCR1 レジスタについては、「3.2.4 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。
注3. SYSCR1.ECCRAME ビットによりECCRAMの有効/無効を選択可能です。SYSCR1 レジスタについては、「3.2.4 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。
注4. ICLKが120MHzより速い場合は、MEMWAIT レジスタを変更する必要があります。
詳細は「9.2.2 メモリウェイトサイクル設定レジスタ (MEMWAIT)」を参照してください。

44.2 レジスタの説明

44.2.1 ECCRAM 動作モード制御レジスタ (ECCRAMMODE)

アドレス RAM.ECCRAMMODE 0008 12C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RAMMOD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RAMMOD[1:0]	RAM動作モード選択ビット	b1 b0 0 0：ECC無効 0 1：設定しないでください 1 0：ECC有効/エラーチェックなし 1 1：ECC有効/エラーチェックあり	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECCRAMMODE レジスタへの書き込みは ECCRAM プロテクトレジスタ (ECCRAMPRCR) によって保護されています。まず、ECCRAMPRCR レジスタの該当ビットを書き込み許可にしてから ECCRAMMODE レジスタへの書き込みを行ってください。

本レジスタへの書き込みを行う際には、直後に本レジスタへの読み出しを行い、書き込み値との比較を行ってください。この操作を行わない場合の ECCRAM へのアクセス動作は保証できません。

また、ECCRAM アクセス中は本レジスタに書き込みを行わないでください。

44.2.2 ECCRAM 2 ビットエラーステータスレジスタ (ECCRAM2STS)

アドレス RAM.ECCRAM2STS 0008 12C1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECC2ERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC2ERR	ECC 2ビットエラーステータスフラグ	0：ECC 2ビットエラー未発生 1：ECC 2ビットエラー発生	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

ECCRAMMODE.RAMMOD[1:0] ビットを "11b" の設定で 2 ビットエラーを検出すると、ECC2ERR フラグが “1” に変化します。ECC2ERR フラグが “1” に変化すると、RAM エラー割り込みが発生します。ECC2ERR フラグに “0” を書き込めば、ECC 2 ビットエラーに起因する RAM エラー割り込みはクリアされます。

44.2.3 ECCRAM 1 ビットエラー情報更新許可レジスタ (ECCRAM1STSEN)

アドレス RAM.ECCRAM1STSEN 0008 12C2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECC1STSEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC1STSEN	ECC 1ビットエラー情報更新許可ビット	0：ECC 1ビットエラー情報の更新禁止 1：ECC 1ビットエラー情報の更新許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECCRAM 1 ビットエラー発生時に、ECCRAM 1 ビットエラーステータスレジスタ (ECCRAM1STS) の更新を禁止 / 許可を指定するレジスタです。

本レジスタへの書き込みは ECCRAM プロテクトレジスタ (ECCRAMPRCR) によって保護されています。まず、ECCRAMPRCR レジスタの該当ビットを書き込み許可にしてから ECCRAM1STSEN レジスタへの書き込みを行ってください。

本レジスタへの書き込みを行う際には、直後に本レジスタへの読み出しを行い、書き込み値との比較を行ってください。この操作を行わない場合の ECCRAM へのアクセス動作は保証できません。また、ECCRAM アクセス中は本レジスタに書き込みを行わないでください。

44.2.4 ECCRAM 1 ビットエラーステータスレジスタ (ECCRAM1STS)

アドレス RAM.ECCRAM1STS 0008 12C3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECC1ERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECC1ERR	ECC 1ビットエラーステータス	0：ECC 1ビットエラー未発生 1：ECC 1ビットエラー発生	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットをクリアするための“0”書き込みのみ可能です。

ECCRAM1STSEN.ECC1STSEN ビットを “1”、ECCRAMMODE.RAMMOD[1:0] ビットを「ECC 有効 / エラーチェックあり」に設定し、ECC 1 ビットエラーが発生したとき、ECC 1 ビットエラーを検出すると、ECC1ERR ビットが “1” に変化します。ECC1ERR ビットが “1” に変化すると、RAM エラー割り込みが発生します。ECC1ERR ビットに “0” を書き込めば、ECC 1 ビットエラーに起因する RAM エラー割り込みはクリアされます。

44.2.5 ECCRAM プロテクトレジスタ (ECCRAMPRCR)

アドレス RAM.ECCRAMPRCR 0008 12C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	KW[6:0]							PRCR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRCR	ECCRAMMODE レジスタおよび ECCRAM1STSEN レジスタ書き込み制御ビット	0：ECCRAMMODE レジスタおよび、ECCRAM1STSEN レジスタへの書き込み禁止 1：ECCRAMMODE レジスタおよび、ECCRAM1STSEN レジスタへの書き込み許可	R/W
b7-b1	KW[6:0]	書き込みキーワードビット	ECCRAMPRCR レジスタの書き換えの許可、禁止を制御します。ECCRAMPRCR レジスタを書き換える場合、KW[6:0] ビットに“1111000b”を書いてください。	R/W

KW[6:0] = 1111000b のとき、PRCR ビットへの “1” 書き込みが可能になります。

それ以外の書き込み時、PRCR ビットをクリアします。KW[6:0] は読むと “0000000b” が読み出されます。

ECCRAMPRCR レジスタでの書き込み保護対象となるのは、ECCRAMMODE レジスタ、ECCRAM1STSEN レジスタです。一度 PRCR ビットを “1” にすると、次に PRCR ビットを “0” にクリアするまで ECCRAMMODE レジスタ、ECCRAM1STSEN レジスタへの書き込みが可能です。ECCRAMMODE レジスタ、ECCRAM1STSEN レジスタへの書き込み後、PRCR ビットをクリアしてください。

44.2.6 ECCRAM 2 ビットエラーアドレスキャプチャレジスタ (ECCRAM2ECAD)

アドレス RAM.ECCRAM2ECAD 0008 12C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ECC2EAD[11:0]												—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。	R
b14-b3	ECC2EAD[11:0]	ECC 2ビットエラーアドレスビット	ECC 2ビットエラーアドレスが読み出されます	R
b23-b15	—	予約ビット	読むと“1”が読めます。	R
b31-b24	—	予約ビット	読むと“0”が読めます。	R

ECCRAMMODE.RAMMOD[1:0] ビットを “11b” の設定で ECC 2 ビットエラーが発生したとき、ECC 2 ビットエラーが発生したアドレスを保持します。ECCRAM2STS.ECC2ERR フラグがセットされると同時に、エラーが発生した 8 バイト境界のアドレスが本レジスタの ECC2EAD[11:0] ビットにセットされます。ECC2ERR フラグが “1” (エラー発生) 状態のときエラーアドレスは更新されません。ECC 無効時は、変化しません。

リセットで初期化されます。リセット以外でのクリア条件はありません。

44.2.7 ECCRAM 1 ビットエラーアドレスキャプチャレジスタ (ECCRAM1ECAD)

アドレス RAM.ECCRAM1ECAD 0008 12CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ECC1EAD[11:0]												—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。	R
b14-b3	ECC1EAD[11:0]	ECC 1ビットエラーアドレスビット	ECC 1ビットエラーアドレスが読み出されます	R
b23-b15	—	予約ビット	読むと“1”が読めます。	R
b31-b24	—	予約ビット	読むと“0”が読めます。	R

ECCRAM1STSEN.ECC1STSEN ビットを “1”、ECCRAMMODE.RAMMOD[1:0] ビットを「ECC 有効 / エラーチェックあり」に設定し、ECC 1 ビットエラーが発生したとき、ECC 1 ビットエラーが発生したアドレスを保持します。ECCRAM1STS.ECC1ERR ビットがセットされると同時に ECC 1 ビットエラーが発生した 8 バイト境界のアドレスがこのレジスタにセットされます。

ECC1ERR ビットが “1” (エラー発生) 状態のときエラーアドレスは更新されません。ECC 無効時は、変化しません。

リセットで初期化されます。リセット以外でのクリア条件はありません。

44.2.8 ECCRAM プロテクトレジスタ 2 (ECCRAMPRCR2)

アドレス RAM.ECCRAMPRCR2 0008 12D0h

	b7	b6	b5	b4	b3	b2	b1	b0
	KW2[6:0]							PRCR2
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRCR2	ECCRAMETST レジスタ書き込み制御ビット	0 : ECCRAMETST レジスタへの書き込み禁止 1 : ECCRAMETST レジスタへの書き込み許可	R/W
b7-b1	KW2[6:0]	書き込みキーワードビット	ECCRAMPRCR2 レジスタの書き換えの許可、禁止を制御します。ECCRAMPRCR2 レジスタを書き換える場合、KW2[6:0] ビットに“1111000b”を書いてください。	R/W

KW2[6:0] = 1111000b のとき、PRCR2 ビットへの “1” 書き込みが可能になります。

それ以外の書き込み時、PRCR2 ビットをクリアします。KW2[6:0] は “0000000b” が読み出されます。

本レジスタでの書き込み保護対象は、ECCRAM テスト制御レジスタ (ECCRAMETST) です。一度 PRCR2 ビットを “1” にすると、次に PRCR2 ビットを “0” にクリアするまで ECCRAMETST レジスタへの書き込み

が可能です。ECCRAMETST レジスタへの書き込み後、PRCR2 ビットをクリアしてください。

44.2.9 ECCRAM テスト制御レジスタ (ECCRAMETST)

アドレス RAM.ECCRAMETST 0008 12D4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TSTBYP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTBYP	ECCバイパス選択ビット	0：ECCバイパス無効 1：ECCバイパス有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

本レジスタへの書き込みはプロテクトレジスタ 2 (ECCRAMPRCR2) によって保護されています。まず、ECCRAMPRCR2 レジスタの該当ビットを書き込み許可にしてから ECCRAMETST レジスタへの書き込みを行ってください。本レジスタへの書き込みは ECCRAM へのアクセスを行っていない状態で行ってください。

ECCRAM のデータ幅 72 ビットのうち 8 ビットを ECC コードとして使用します。本ビットを “1” にセットし、ECC バイパス有効を選択した場合 8 ビットの ECC コードに、ECC 回路を経由することなく直接アクセスすることができます。ECC バイパス機能は、ECCRAMMODE.RAMMOD[1:0] ビットを “00b” にして ECC 無効モード時のみ有効となります。

44.2.10 RAM 動作モード制御レジスタ (RAMMODE)

アドレス RAM.RAMMODE 0008 1200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RAMMODE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RAMMODE[1:0]	RAM動作モード選択ビット	b1 b0 0 0：パリティチェック無効 0 1：パリティチェック有効 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

RAMMODE レジスタへの書き込みは RAM プロテクトレジスタ (RAMPRCR) によって保護されています。まず、RAMPRCR.RAMPRCR ビットを書き込み許可にしてから RAMMODE レジスタへの書き込みを行ってください。本レジスタは RAM へのアクセスを開始する前に設定してください。RAM へアクセスした後に本レジスタを書き換えた場合、RAM の動作は保証できません。

44.2.11 RAM エラーステータスレジスタ (RAMSTS)

アドレス RAM.RAMSTS 0008 1201h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RAMERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RAMERR	RAMエラーステータスフラグ	0：パリティチェックエラー未発生 1：パリティチェックエラー発生	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. フラグをクリアするための“0”書き込みのみ可能です。

パリティチェックが有効のときパリティチェックエラーを検出すると、RAMERR フラグが “1” になります。RAMERR フラグが “1” になると、RAM エラー割り込み要求が発生します。

パリティチェックが無効のときはパリティチェックエラーを検出しないため、RAMERR フラグが “1” になりません。

RAMERR フラグに “0” を書き込むと、パリティチェックエラーに起因する RAM エラー割り込み要求はクリアされます。

44.2.12 RAM エラーアドレスキャプチャレジスタ (RAMECAD)

アドレス RAM.RAMECAD 0008 1208h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	READ		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	READ													—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます	R
b18-b3	READ	エラーアドレスビット	エラーアドレスが読み出されます	R
b31-b19	—	予約ビット	読むと“0”が読めます	R

パリティチェックが有効のときパリティチェックエラーが発生したアドレスを保持します。RAMSTS.RAMERR フラグが “1” になると同時に、エラーが発生した 8 バイト境界のアドレスがこのレジスタに格納されます。

RAMERR フラグが “1” (エラー発生) のときは、エラーアドレスは更新されません。パリティチェックが無効のとき、パリティチェックエラーを検出しないため、変化しません。

RAMECAD レジスタはリセットでのみ初期化されます。

44.2.13 RAM プロテクトレジスタ (RAMPRCR)

アドレス RAM.RAMPRCR 0008 1204h

	b7	b6	b5	b4	b3	b2	b1	b0
	KW[6:0]							RAMPRCR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RAMPRCR	RAMMODE レジスタ書き込み制御ビット	0：RAMMODE レジスタへの書き込み禁止 1：RAMMODE レジスタへの書き込み許可	R/W
b7-b1	KW[6:0]	書き込みキーワードビット	RAMPRCR レジスタの書き換えの許可、禁止を制御します。RAMPRCR レジスタを書き換える場合、KW[6:0] ビットに “1111000b” を書いてください。	R/W

KW[6:0] = 1111000b のとき、RAMPRCR ビットへの “1” 書き込みが可能になります。それ以外のデータ書き込み時、RAMPRCR ビットを “0” にします。KW[6:0] ビットは読むと “0000000b” が読み出されます。

本レジスタによる書き込み保護対象は、RAM 動作モード制御レジスタ (RAMMODE) です。一度 RAMPRCR ビットを “1” にすると、次に RAMPRCR ビットを “0” にするまで RAMMODE レジスタへの書き込みが可能です。RAMMODE レジスタへの書き込み後、RAMPRCR ビットをクリアしてください。

44.3 動作説明

44.3.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM、ECCRAM へのクロック供給を停止することで、消費電力を低減することが可能です。

MSTPCRC.MSTPC0 ビットを “1” にセットすると RAM に供給されるクロックが停止します。

また、MSTPCRC.MSTPC6 ビットを “1” にセットすると ECCRAM に供給されるクロックが停止します。

クロック供給の停止により、RAM、ECCRAM はそれぞれモジュールストップ状態になります。リセット後の初期値では、RAM、ECCRAM は動作状態です。

モジュールストップ状態になると、RAM、ECCRAM へのアクセスができなくなります。RAM、ECCRAM のアクセス中にモジュールストップ状態へ遷移しないでください。

モジュールストップ状態で RAM、ECCRAM へのアクセスは禁止です。アクセスした場合の動作は保証できません。

MSTPCRC レジスタの詳細については、**「11. 消費電力低減機能」**を参照してください。

44.3.2 ECC 誤り訂正機能

ECCRAMMODE レジスタの設定によって、ECC 誤り訂正の有効・無効を選択することができます。初期状態では、ECC 誤り訂正は無効です。ECC の仕様は、SEC-DED (Single-Error-Correction/Double-Error-Detection Code：単一誤り訂正 / 二重誤り検出符号) です。

ECC の有効なモードでは、書き込み時は、64 ビットのデータに 8 ビットの ECC コードを付与して書き込みます。読み出しは ECCRAM から 72 ビット (データ：64 ビット、ECC コード：8 ビット) のデータを読み出します。

「ECC 有効 / エラーチェックあり」モードでは、1 ビットエラーの場合は誤り訂正を行い、ECCRAM1STSEN.ECC1STSEN ビットが “1” の場合、ECCRAM1STS.ECC1ERR ビットが “1” にセットされます。誤りが検出された場合、エラーが発生したアドレスを含む 8 バイト境界のアドレスが、ECCRAM1ECAD レジスタにセットされます。また、2 ビットエラーの場合は、誤り検出を行い、ECCRAM2STS.ECC2ERR フラグが “1” にセットされますが、誤り訂正は行いません。誤りが検出された場合、エラーが発生したアドレスを含む 8 バイト境界のアドレスが、ECCRAM2ECAD レジスタにセットされます。なお、エラーの発生が、8 バイト境界内のどのアドレスであるかを確認する手段はありませんので、エラー発生時に、正しいデータを上書きする場合は、8 バイト境界内のすべてのデータを更新してください。

「ECC 有効 / エラーチェックなし」モードでは、読み出し時 1 ビットエラーの場合は誤り訂正を行いますが、ECCRAM への訂正データの書き戻しは行われず、ECC コードの生成および書き戻しも行われません。書き込み時は、書き込みデータ部分の置き換えおよび ECC コード生成が行われ、書き戻されます。

電源投入後およびディープソフトウェアスタンバイモード解除後、ECCRAM データは不定であるため、「ECC 有効 / エラーチェックあり」モードでアクセスを行うと ECC エラーが発生します。したがって、ECC 誤り訂正機能を用いる場合は、あらかじめ「ECC 有効 / エラーチェックなし」モードで、ECCRAM の使用予定の領域に初期書き込みを行ってください。なお、ECC 誤り訂正は 8 バイト単位で行うので、使用予定の領域を含んだ 8×N バイトの領域に対して初期書き込みを行う必要があります。

44.3.3 パリティチェック機能

RAMMODE レジスタの設定によって、パリティチェックの有効、無効を選択することができます。

初期状態では、パリティチェックは無効です。パリティチェックの仕様は、偶数パリティです。

書き込み時 1 バイトデータ毎に 1 ビットのパリティチェックコードを付加し、読み出し時にパリティチェックを行います。

読み出し時に、パリティチェックで 1 バイト内に 1 ビットエラーを検出した場合、RAM エラー割り込みを発生させることが可能です。1 バイト内に 2 ビット以上のエラーがある場合は正しく検出することができません。

電源投入後、パリティチェックコードは書き込みを行うまで不定です。パリティチェック機能を使用する場合は、リセット直後 RAM へアクセスを行う前に、パリティチェックが有効の状態で全領域に対して初期値を書いてください。

初期値を書いていない領域にアクセスがあった場合の動作は保証できません。

44.3.4 RAM エラー割り込み機能

「ECC 有効 / エラーチェックあり」モードにおいて、ECC 2 ビットエラーを示す ECCRAM2STS.ECC2ERR ビット、ECC 1 ビットエラーを示す ECCRAM1STS.ECC1ERR ビット、パリティチェック有効時はパリティチェックエラーを示す RAMSTS.RAMERR ビットのいずれかのビットが “1” に変化すると、RAM エラー割り込みが発生します。

上記各ビットに “0” を書き込めば、それぞれの要因に起因する RAM エラー割り込みはクリアされます。

他の要因のエラーが発生状態であれば、RAM エラー割り込みは発生状態のままになります。

なお、ECC1 ビットエラー割り込みをマスクしたい場合は、ECCRAM1STSEN.ECC1STSEN ビットを “0” にして、ECC1ERR ビットの更新を禁止してください。RAM エラー割り込みは ECC 無効時、および「ECC 有効 / エラーチェックなし」モードでは発生しません。

44.3.5 ECC デコーダのテスト方法

本 MCU はユーザが ECCRAM の ECC コード制御回路をテストすることができます。

図 44.1 に ECC コード制御回路をテストできるフローを示します。

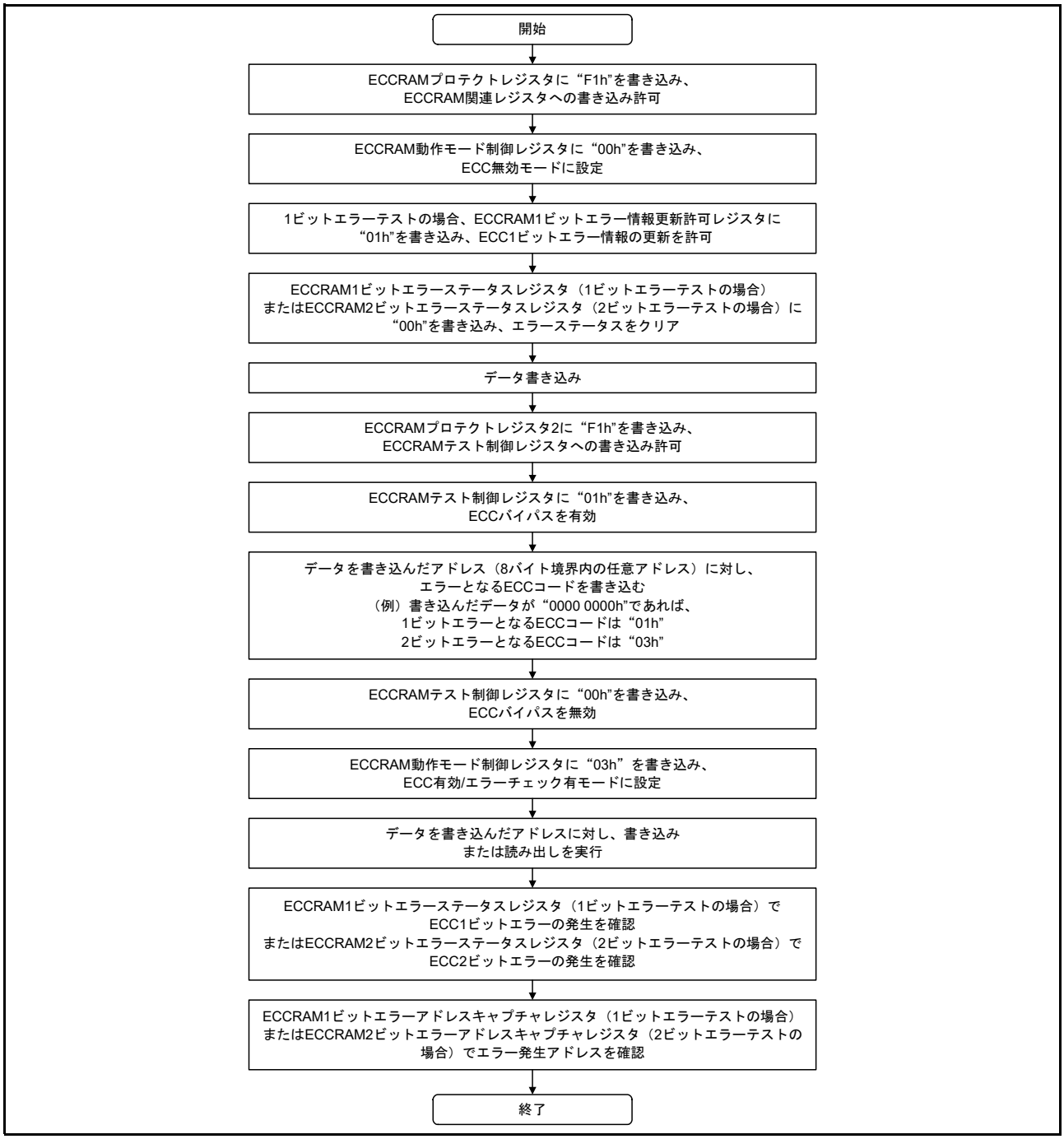


図 44.1　ECC コード制御回路テストフロー

44.3.6　割り込み要因

RAM の割り込み要因には、RAM からパリティチェックエラーもしくは、ECCRAM から ECC エラーによる RAM エラー割り込みがあり、ノンマスカブル割り込み、または割り込みの両方に対応しています。詳細は「14.　割り込みコントローラ (ICUC)」を参照してください。

表44.2　RAMの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
RAMERR	パリティチェックエラー、ECC エラー	不可能	不可能

44.4 使用上の注意事項

44.4.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM と ECCRAM へのクロック供給を停止させることで、消費電力を低減することができます。

MSTPCRC.MSTPC0 ビットを “1” にすると RAM、MSTPCRC.MSTPC6 ビットを “1” にすると ECCRAM に供給されるクロックが停止します。

クロック供給の停止により、RAM、ECCRAM はそれぞれモジュールストップ状態になります。

リセット後は、RAM と ECCRAM は動作状態です。

モジュールストップ状態になると、RAM と ECCRAM へのアクセスができなくなります。

RAM と ECCRAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

44.4.2 RAM、ECCRAM のエラーチェック機能使用時の注意事項

電源投入時の RAM、ECCRAM 内のデータは不定です。このため初期化を実施せずにデータを読むと、パリティチェックエラーまたは ECC エラーが発生します。RAM、ECCRAM のリード単位は 8 バイト (64 ビット) ですから、初期化は 8 バイト境界で実施してください。

パリティチェックまたは ECC 機能を有効にして、RAM、ECCRAM 上でプログラムを実行する場合は、CPU が命令プリフェッチを行うことも考慮して初期化を実施してください。命令プリフェッチは最大 32 バイトまで実行されますから、プログラムの最終アドレスから 24 ～ 31 バイト分を余分に初期化してください。

44.4.3 RAM の自己診断に関する注意事項

RAM (注 1) にはライトバッファが搭載されているため、書き込みを行った後に同一アドレスから読み出しを行うと、RAM のメモリセルではなくライトバッファのデータが読み出されることがあります。RAM の自己診断を行う場合、ライトバッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

(1) 診断対象のアドレスにデータを書く
(2) (1) のアドレスから 4 番地以上離れたアドレスにデータを書く
(3) (1) のアドレスからデータを読む

注 1. ECCRAM は対象外です。

45. フラッシュメモリ (FLASH)

本 MCU は、コードフラッシュメモリ、データフラッシュメモリ、オプション設定メモリを内蔵しています。

コードフラッシュメモリには命令とオペランドなど、データフラッシュメモリにはデータのみを格納できます。オプション設定メモリについては「7. **オプション設定メモリ** (OFSM)」を参照してください。

45.1 概要

表 45.1 にコードフラッシュメモリ / データフラッシュメモリの仕様を、**図** 45.1 にフラッシュメモリ関連のブロック図を示します。

ブートモードで使用する入出力端子については**表** 45.19 を参照してください。

フラッシュシーケンサはフラッシュメモリのプログラム / イレーズの制御を行います。FACI (Flash Application Command Interface) は設定された FACI コマンドに従って、フラッシュシーケンサを制御します。

コードフラッシュメモリのメモリ構成については**図** 45.2 を、データフラッシュメモリのメモリ構成については**図** 45.3 を参照してください。

表45.1 コードフラッシュメモリ/データフラッシュメモリの仕様 (1/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	• ユーザ領域：最大1Mバイト • ユーザブート領域：32Kバイト	データ領域：32Kバイト
ROMキャッシュ	• 容量：8Kバイト • マッピング方式：ダイレクトマップ • ラインサイズ：16バイト	なし
リードサイクル	• ROMキャッシュ動作許可時： キャッシュヒット時、1サイクル キャッシュミス時、 ICLK≦120MHzのとき、1～2サイクル ICLK > 120MHzのとき、2～3サイクル • ROMキャッシュ動作禁止時： ICLK≦120MHzのとき、1サイクル ICLK > 120MHzのとき、2サイクル	16ビット、8ビットアクセス時にはFCLK 8サイクルでリード
イレーズ後の値	FFh	不定値
プログラム/イレーズ方式	• FACIコマンド発行領域(007E 0000h)に設定したFACIコマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレーズが可能 • フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) • ユーザプログラムによるフラッシュメモリのプログラム/イレーズ(セルフプログラミング)	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤書き換えを防止	
Trusted Memory (TM)機能	コードフラッシュメモリのブロック8、9に対する不正リードを防止	
バックグラウンドオペレーション(BGO)機能 (注1)	データ領域プログラム/イレーズ中のユーザ領域リードが可能	
プログラム/イレーズ単位	• ユーザ領域およびユーザブート領域へのプログラム：256バイト • ユーザ領域のイレーズ：ブロック単位	• データ領域へのプログラム：4バイト • データ領域のイレーズ：ブロック単位
その他の機能	セルフプログラミング中の割り込み受け付け可能	

表45.1　コードフラッシュメモリ/データフラッシュメモリの仕様 (2/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
オンボードプログラミング (シリアルプログラミング/セルフプログラミング)	ブートモード(SCIインタフェース)によるプログラム/イレーズ • 調歩同期式シリアルインターフェース(SCI1)を使用 • 通信速度は自動調整 • ユーザブート領域もプログラム/イレーズ可能 ブートモード(USBインタフェース)によるプログラム/イレーズ • USB0を使用 • 特別なハードウェアが不要で、PCと直結可能 ブートモード(FINEインタフェース)によるプログラム/イレーズ • FINEを使用 ユーザブートモードによるプログラム/イレーズ • ユーザ独自のブートプログラムを作成可能 シングルチップモード、内蔵ROM有効拡張モードによるプログラム/イレーズ • ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム/イレーズが可能	
オフボードプログラミング(パラレルプログラマによるプログラム/イレーズ)	パラレルプログラマを使用して、ユーザ領域/ユーザブート領域のプログラム/イレーズが可能	パラレルプログラマを使用したデータ領域のプログラム/イレーズはできません
ユニークID	本MCU個体ごとの12バイト長のIDコード	

注1.　コンフィギュレーション設定領域の書き換えには、BGO機能を利用できません。

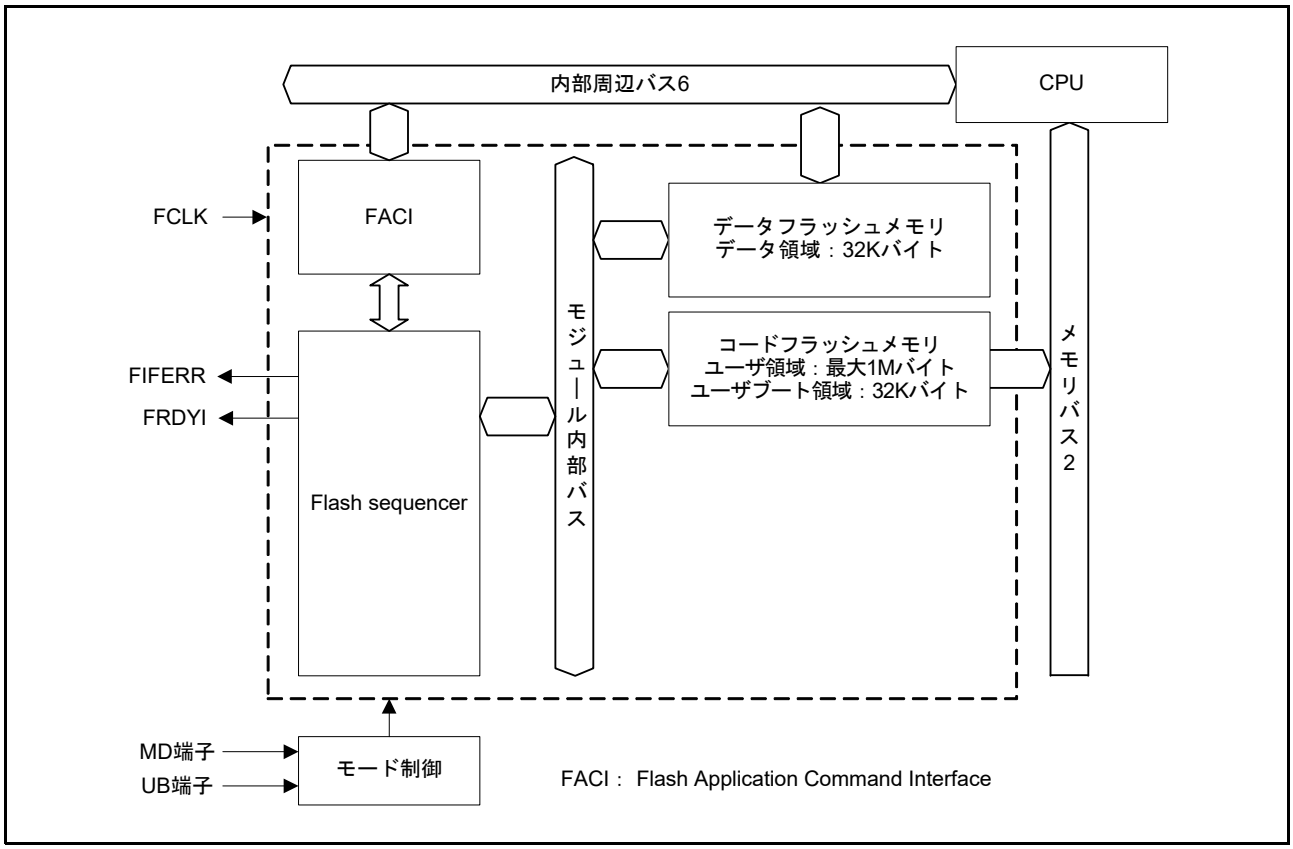


図 45.1　フラッシュメモリ関連のブロック図

45.2 ハードウェアインタフェース用領域

フラッシュメモリのハードウェアインタフェースを使用する場合には、各ハードウェアのレジスタ領域、FACI コマンド発行用の領域にアクセスする必要があります。各領域の情報を表 45.2 に記載します。

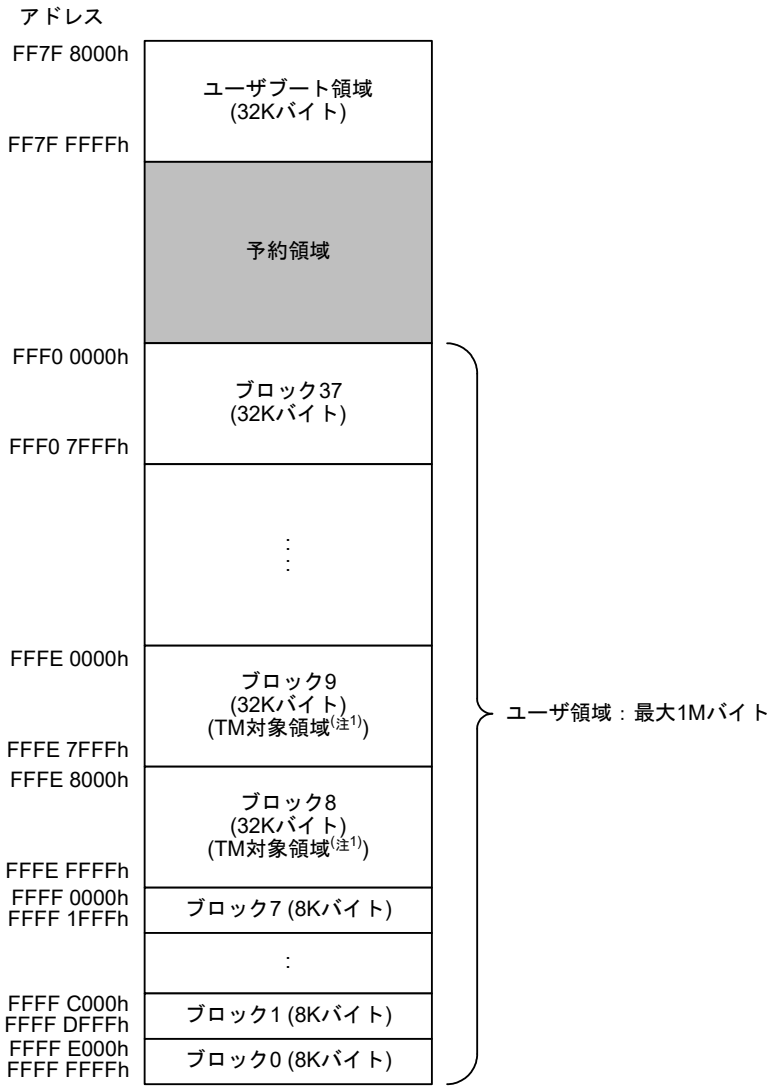
表45.2 ハードウェアインタフェース用領域の情報

領域	アドレス	サイズ
各ハードウェアのレジスタ領域	「45.4 レジスタの説明」を参照	「45.4 レジスタの説明」を参照
FACIコマンド発行領域	007E 0000h	4バイト
コンフィギュレーション設定領域	0012 0040h～0012 00FFh	192バイト

45.3 メモリ構成

図 45.2 にコードフラッシュメモリマッピングを示します。本 MCU のコードフラッシュメモリのユーザ領域は 8K バイトまたは 32K バイトのブロックに分割されており、各ブロック単位でイレーズ可能です。TM 機能有効時、ブロック 8、9 が TM 対象領域となります。また、32K バイトのユーザブート領域を 1 ブロック内蔵しています。ユーザ領域とユーザブート領域は、ユーザプログラムの格納領域として利用可能です。

セルフプログラミングでは書き換えられない保護領域として、32K バイトのユーザブート領域を 1 ブロック内蔵しています。ユーザブート領域は、ユーザプログラム動作時の書き換えを禁止したいブートプログラム等の格納領域として利用可能です。



コードフラッシュメモリ容量	アドレス	ブロック数
1M バイト	FFF0 0000h ～ FFFF FFFFh	0 ～ 37
512K バイト	FFF8 0000h ～ FFFF FFFFh	0 ～ 21

注1. TM対象領域はブロック8とブロック9の両方です。ブロック8もしくはブロック9のみを設定することはできません。

図 45.2 コードフラッシュメモリマッピング

本 MCU のデータフラッシュメモリのデータ領域は 64 バイトのブロックに分割されており、各ブロック単位でイレーズ可能です。図 45.3 にデータフラッシュメモリマッピングを示します。

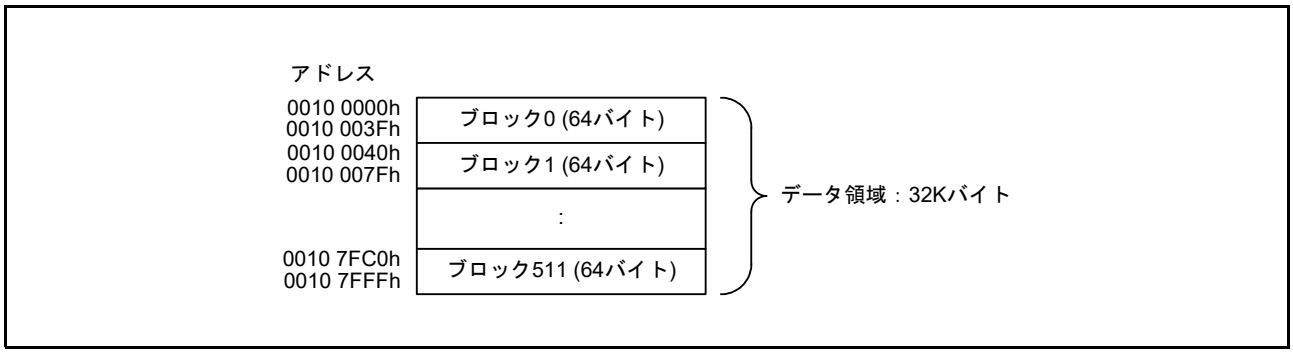


図 45.3 データフラッシュメモリマッピング

45.4 レジスタの説明

45.4.1 ROM キャッシュ許可レジスタ (ROMCE)

アドレス FLASH.ROMCE 0008 1000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROMCEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ROMCEN	ROMキャッシュ動作許可ビット	0：ROMキャッシュ動作禁止 1：ROMキャッシュ動作許可	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

ROMCEN ビット (ROM キャッシュ動作許可ビット)

ROMCEN ビットを “1” にすると ROM キャッシュが動作します。ROM キャッシュが動作しているときは、キャッシュにヒットした場合に ROM キャッシュからデータが供給されます。

ノンキャッシャブル領域を設定する場合は、ROMCEN ビットが “0” のときに実施してください。

45.4.2 ROM キャッシュ無効化レジスタ (ROMCIV)

アドレス FLASH.ROMCIV 0008 1004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROMCIV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ROMCIV	ROMキャッシュ無効化ビット	読み出し時 0：無効化未実施/無効化完了 1：無効化実施中 書き込み時 “1”を書くとキャッシュラインの無効化を実施します。“0”を書いても何も起こりません。	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

ROMCIV ビット (ROM キャッシュ無効化ビット)

ROMCIV ビットに “1” を書くと ROM キャッシュの内容を無効化 (インバリデート) します。

45.4.3 ノンキャッシャブル領域 n アドレスレジスタ (NCRGn) (n = 0, 1)

アドレス FLASH.NCRG0 0008 1040h, FLASH.NCRG1 0008 1048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

キャッシュ機能を無効にする領域 (ノンキャッシャブル領域) の先頭アドレスを指定するレジスタです。上位 10 ビット (b31-b22) は “1” 固定、下位 4 ビット (b3-b0) は “0” 固定の予約ビットです。書く場合はそれぞれ “1”、“0” を書いてください。

NCRGn レジスタは ROMCE.ROMCEN ビットが “0” のときに設定してください。

45.4.4 ノンキャッシャブル領域 n 設定レジスタ (NCRCn) (n = 0, 1)

アドレス FLASH.NCRC0 0008 1044h, FLASH.NCRC1 0008 104Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	NCSZ[16:12]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NCSZ[11:0]												NC3E	NC2E	NC1E	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	NC1E	IFノンキャッシャブル領域指定有効ビット	IFキャッシュのノンキャッシャブル領域の設定 0：無効 1：有効	R/W
b2	NC2E	OAノンキャッシャブル領域指定有効ビット	OAキャッシュのノンキャッシャブル領域の設定 0：無効 1：有効	R/W
b3	NC3E	DMノンキャッシャブル領域指定有効ビット	DMキャッシュのノンキャッシャブル領域の設定 0：無効 1：有効	R/W
b20-b4	NCSZ[16:0]	ノンキャッシャブル領域サイズ指定ビット	ノンキャッシャブル領域のサイズを指定 b20 b4 0 0000 0000 0000 0000：16バイト 0 0000 0000 0000 0001：32バイト 0 0000 0000 0000 0011：64バイト 0 0000 0000 0000 0111：128バイト 0 0000 0000 0000 1111：256バイト 0 0000 0000 0001 1111：512バイト 0 0000 0000 0011 1111：1Kバイト 0 0000 0000 0111 1111：2Kバイト 0 0000 0000 1111 1111：4Kバイト 0 0000 0001 1111 1111：8Kバイト 0 0000 0011 1111 1111：16Kバイト 0 0000 0111 1111 1111：32Kバイト 0 0000 1111 1111 1111：64Kバイト 0 0001 1111 1111 1111：128Kバイト 0 0011 1111 1111 1111：256Kバイト 0 0111 1111 1111 1111：512Kバイト 0 1111 1111 1111 1111：1Mバイト 上記以外：設定禁止	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ノンキャッシャブル領域 n (n = 0, 1) の有効 / 無効の指定、およびノンキャッシャブル領域のサイズを指定します。本レジスタへの書き込みは、ROMCE.ROMCEN ビットが “0” のときに行ってください。

NC1E ビット (IF ノンキャッシャブル領域指定有効ビット)

CPU の命令フェッチ (IF) を高速に行うためのキャッシュ (IF キャッシュ) に対し、ノンキャッシャブル領域の設定を有効 / 無効にするビットです。

NC2E ビット (OA ノンキャッシャブル領域指定有効ビット)

CPU のオペランドアクセス (OA) を高速に行うためのキャッシュ (OA キャッシュ) に対し、ノンキャッシャブル領域の設定を有効 / 無効にするビットです。

NC3E ビット (DM ノンキャッシャブル領域指定有効ビット)

CPU 以外のバスマスタのデータアクセスを高速に行うためのキャッシュ (DM キャッシュ) に対し、ノンキャッシャブル領域の設定を有効 / 無効にするビットです。

NCSZ[16:0] ビット (ノンキャッシャブル領域サイズ指定ビット)

ノンキャッシャブル領域の領域サイズを指定します。アドレスの b20-b4 をマスクするビットとして使われます。

バスマスタが生成したアドレスと NCRGn レジスタの値を比較するとき、NCSZ[16:0] ビットが “1” になっている部分は無視されます。

45.4.5 フラッシュ P/E プロテクトレジスタ (FWEPROR)

アドレス FLASH.FWEPROR 0008 C296h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FLWE[1:0]	
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュプログラム/イレーズ許可ビット	b1 b0 ００：プログラム、ブロックイレーズ、ブランクチェック、ロックビットプログラムの禁止 ０１：プログラム、ブロックイレーズ、ブランクチェック、ロックビットプログラムの許可 １０：プログラム、ブロックイレーズ、ブランクチェック、ロックビットプログラムの禁止 １１：プログラム、ブロックイレーズ、ブランクチェック、ロックビットプログラムの禁止	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

フラッシュメモリに対するプログラム、ブロックイレーズ、ブランクチェック、ロックビットプログラムをハードウェアによって許可 / 禁止します。

FWEPROR レジスタは、リセット時以外に、ディープソフトウェアスタンバイモード遷移時、ソフトウェアスタンバイモード遷移時にも初期化されます。

45.4.6 フラッシュアクセスステータスレジスタ (FASTAT)

アドレス FLASH.FASTAT 007F E010h

	b7	b6	b5	b4	b3	b2	b1	b0
	CFAE	—	—	CMDLK	DFAE	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFAE	データフラッシュメモリアクセス違反フラグ	0：データフラッシュメモリのアクセス違反なし 1：データフラッシュメモリのアクセス違反あり	R/W (注1)
b4	CMDLK	コマンドロックフラグ	0：フラッシュシーケンサはコマンドロック状態ではない 1：フラッシュシーケンサはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CFAE	コードフラッシュメモリアクセス違反フラグ	0：コードフラッシュメモリのアクセス違反なし 1：コードフラッシュメモリのアクセス違反あり	R/W (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTAT レジスタはコードフラッシュメモリ / データフラッシュメモリのアクセス違反有無を示すレジスタです。CFAE フラグ、DFAE フラグのいずれかが “1” の場合には、CMDLK フラグが “1” となり、フラッシュシーケンサはコマンドロック状態になります (「45.5.4.2 エラープロテクション」参照)。コマンドロック状態を解除するためには、FASTAT.CFAE フラグおよび DFAE フラグを “0” に設定後、FACI によりステータスクリアコマンドまたは強制終了コマンドを発行する必要があります。

DFAE フラグ (データフラッシュメモリアクセス違反フラグ)

データフラッシュメモリのアクセス違反の有無を示すフラグです。DFAE フラグが “1” の場合には、FSTATR.ILGLERR フラグが “1” になり、フラッシュシーケンサはコマンドロック状態になります。

[“1” になる条件]

- 「表 45.11 エラープロテクト一覧」を参照してください。

[“0” になる条件]

- “1” を読んだ後に、“0” を書いた場合

CMDLK フラグ (コマンドロックフラグ)

フラッシュシーケンサがコマンドロック状態であることを示すフラグです。

[“1” になる条件]

- フラッシュシーケンサが「表 45.11 エラープロテクト一覧」のエラーを検出して、コマンドロック状態に遷移した後

[“0” になる条件]

- FASTAT.CFAE フラグおよび DFAE フラグが “0” の状態で、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

CFAE フラグ (コードフラッシュメモリアクセス違反フラグ)

コードフラッシュメモリのアクセス違反の有無を示すフラグです。CFAE フラグが “1” の場合には、FSTATR.ILGLERR フラグが “1” になり、フラッシュシーケンサはコマンドロック状態になります。

[“1” になる条件]

- 「表 45.11　エラープロテクト一覧」を参照してください。

[“0” になる条件]

- “1” を読んだ後に、“0” を書いた場合

45.4.7 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

アドレス FLASH.FAEINT 007F E014h

	b7	b6	b5	b4	b3	b2	b1	b0
	CFAEIE	—	—	CMDLKIE	DFAEIE	—	—	—
リセット後の値	1	0	0	1	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	リセット解除後、“0”を書き込んでください	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFAEIE	データフラッシュメモリアクセス違反割り込み許可ビット	0：FASTAT.DFAE = 1で、FIFERR割り込み要求の発生を禁止 1：FASTAT.DFAE = 1で、FIFERR割り込み要求の発生を許可	R/W
b4	CMDLKIE	コマンドロック割り込み許可ビット	0：FASTAT.CMDLK = 1で、FIFERR割り込み要求の発生を禁止 1：FASTAT.CMDLK = 1で、FIFERR割り込み要求の発生を許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CFAEIE	コードフラッシュメモリアクセス違反割り込み許可ビット	0：FASTAT.CFAE = 1で、FIFERR割り込み要求の発生を禁止 1：FASTAT.CFAE = 1で、FIFERR割り込み要求の発生を許可	R/W

FAEINT レジスタは、フラッシュアクセスエラー (FIFERR) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

DFAEIE ビット (データフラッシュメモリアクセス違反割り込み許可ビット)

データフラッシュメモリアクセス違反が発生し、FASTAT.DFAE フラグが “1” になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

CMDLKIE ビット (コマンドロック割り込み許可ビット)

フラッシュシーケンサがコマンドロック状態に遷移し、FASTAT.CMDLK フラグが “1” になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

CFAEIE ビット (コードフラッシュメモリアクセス違反割り込み許可ビット)

コードフラッシュメモリアクセス違反が発生し、FASTAT.CFAE フラグが “1” になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

45.4.8 フラッシュレディ割り込み許可レジスタ (FRDYIE)

アドレス FLASH.FRDYIE 007F E018h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRDYIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0：FRDY割り込み要求の発生を禁止 1：FRDY割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FRDYIE レジスタは、フラッシュレディ (FRDY) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

FRDYIE ビット (フラッシュレディ割り込み許可ビット)

フラッシュシーケンサがプログラム / イレーズ、ブランクチェックのコマンド処理を完了して、FASTAT.FRDY フラグが “0” から “1” に変化した場合の FRDY 割り込み要求の発生を許可 / 禁止するためのビットです。

45.4.9 FACI コマンド処理開始アドレスレジスタ (FSADDR)

アドレス FLASH.FSADDR 007F E030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FSADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FSADDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	FSADDR[31:0]	FACIコマンド処理開始アドレスビット	FACIコマンド処理開始アドレス	R/W (注1)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。なお、下位2ビット(b1-b0)の値は“00b”固定です。

FSADDR レジスタは、プログラム、ブロックイレーズ、ブランクチェック、コンフィギュレーション設定、ロックビットプログラム、ロックビットリードの FACI コマンド発行時に、コマンド処理の対象領域の開始アドレスを指定するためのレジスタです。

FSUINITR.SUINIT ビットを “1” にすると、FSADDR レジスタを初期化できます。リセットでも初期化可能です。

FSADDR[31:0] ビット (FACI コマンド処理開始アドレスビット)

FACI コマンド処理の開始アドレスを指定するためのビットです。コードフラッシュメモリに対する FACI コマンド処理では b31 ～ b24 は無視されます。データフラッシュメモリに対する FACI コマンド処理では、b31 ～ b19 は無視されます。下記のアドレス境界に満たないビットも無視されます。表 45.3 にコマンドごとのアドレス境界を示します。

表45.3 コマンドごとのアドレス境界

コマンド	アドレス境界
プログラム(コードフラッシュメモリ)	256バイト
プログラム(データフラッシュメモリ)	4バイト
ブロックイレーズ(コードフラッシュメモリ)	8Kまたは32Kバイト
ブロックイレーズ(データフラッシュメモリ)	64バイト
ブランクチェック	4バイト
コンフィギュレーション設定	16バイト
ロックビットプログラム	8Kまたは32Kバイト
ロックビットリード	8Kまたは32Kバイト

コンフィギュレーション設定領域の開始アドレスは「表 45.18 コンフィギュレーション設定コマンドで使用するアドレス」を参照してください。

45.4.10 FACI コマンド処理終了アドレスレジスタ (FEADDR)

アドレス FLASH.FEADDR 007F E034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FEADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FEADDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	FEADDR[31:0]	FACI コマンド処理終了アドレスビット	FACI コマンド処理終了アドレス	R/W (注1)

注1. FSTATR.FRDY フラグが“1”の場合のみ書き込み可能です。FSTATR.FRDY フラグが“0”の場合の書き込みは無視されます。なお、下位2ビット(b1-b0)の値は“00b”固定です。

FEADDR レジスタは、ブランクチェックコマンド処理の対象領域の終了アドレスを指定するためのレジスタです。FBCCNT.BCDIR ビットが “0” の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。FBCCNT.BCDIR ビットが “1” の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。FBCCNT.BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります (「45.5.4.2 エラープロテクション」参照)。

FSUINITR.SUINIT ビットを “1” にすると、FEADDR レジスタを初期化できます。リセットでも初期化可能です。

FEADDR[31:0] ビット (FACI コマンド処理終了アドレスビット)

ブランクチェックコマンド処理の終了アドレスを指定するためのビットです。コマンド処理では、b31 ～ b19 および b1、b0 は無視されます。

45.4.11 フラッシュステータスレジスタ (FSTATR)

アドレス FLASH.FSTATR 007F E080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	DBFULL	ERSSPD	PRGSPD	—	FLWEERR	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	FLWEERR	フラッシュ P/E プロテクトエラーフラグ	0：エラー未発生 1：エラー発生	R
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRGSPD	プログラムサスペンドステータスフラグ	0：下記以外の状態 1：フラッシュシーケンサはプログラムの中断処理中またはプログラムサスペンド中	R
b9	ERSSPD	イレーズサスペンドステータスフラグ	0：下記以外の状態 1：フラッシュシーケンサはイレーズの中断処理中またはイレーズサスペンド中	R
b10	DBFULL	データバッファフルフラグ	0：データバッファは空 1：データバッファはフル	R
b11	SUSRDY	サスペンドレディフラグ	0：フラッシュシーケンサがP/Eサスペンドコマンドを受け付けられない 1：フラッシュシーケンサがP/Eサスペンドコマンドを受け付け可能	R
b12	PRGERR	プログラムエラーフラグ	0：プログラム処理は正常終了 1：プログラム処理中にエラー発生	R
b13	ERSERR	イレーズエラーフラグ	0：イレーズ処理は正常終了 1：イレーズ処理中にエラー発生	R
b14	ILGLERR	イリーガルコマンドエラーフラグ	0：フラッシュシーケンサは不正なFACIコマンドや不正なフラッシュメモリアクセスを検出していない 1：フラッシュシーケンサは不正なFACIコマンドや不正なフラッシュメモリアクセスを検出した	R
b15	FRDY	フラッシュレディフラグ	0：プログラム、ブロックイレーズ、P/Eサスペンド、P/Eレジューム、強制終了、ブランクチェック、コンフィギュレーション設定、ロックビットプログラム、ロックビットリードのコマンド処理中 1：上記の処理を実行していない	R
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FSTATR レジスタは、フラッシュシーケンサの状態を示すレジスタです。

FLWEERR フラグ (フラッシュ P/E プロテクトエラーフラグ)

FWEPROR レジスタによるフラッシュメモリのプログラム / イレーズ保護に違反したことを示すフラグです。FLWEERR フラグが “1” の場合には、フラッシュシーケンサはコマンドロック状態になります。

[“1” になる条件]

- 「表 45.11 エラープロテクト一覧」を参照してください。

[“0” になる条件]

- フラッシュシーケンサが強制終了コマンドの処理を開始した後

PRGSPD フラグ (プログラムサスペンドステータスフラグ)

フラッシュシーケンサがプログラムの中断処理中またはプログラムサスペンド状態に遷移したことを示すフラグです。

[“1” になる条件]

- フラッシュシーケンサがプログラムの中断処理を開始した後

[“0” になる条件]

- フラッシュシーケンサが P/E レジュームコマンドを受け付けた後
  (FACI コマンド発行領域に対するライトアクセスが完了した後)
- フラッシュシーケンサが強制終了コマンドの処理を開始した後

ERSSPD フラグ (イレーズサスペンドステータスフラグ)

フラッシュシーケンサがイレーズの中断処理中またはイレーズサスペンド状態に遷移したことを示すフラグです。

[“1” になる条件]

- フラッシュシーケンサがイレーズの中断処理を開始した後

[“0” になる条件]

- フラッシュシーケンサが P/E レジュームコマンドを受け付けた後
  (FACI コマンド発行領域に対するライトアクセスが完了した後)
- フラッシュシーケンサが強制終了コマンドの処理を開始した後

DBFULL フラグ (データバッファフルフラグ)

プログラムコマンド発行時のデータバッファ状態を示すフラグです。FACI にはプログラムデータ用のバッファ (データバッファ) が内蔵されています。データバッファがフルの状態で、FACI コマンド発行領域にフラッシュメモリへのプログラムデータを発行すると、FACI は内部周辺バス 6 にウェイトを挿入します。

[“1” になる条件]

- プログラムコマンド発行中にデータバッファがフルになった後

[“0” になる条件]

- データバッファが空になった後

SUSRDY フラグ (サスペンドレディフラグ)

フラッシュシーケンサが P/E サスペンドコマンドを受け付け可能であるかどうかを示すフラグです。

[“1” になる条件]

- フラッシュシーケンサがプログラム / イレーズ処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した後

[“0” になる条件]

- フラッシュシーケンサが P/E サスペンドコマンド、強制終了コマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)
- プログラム / イレーズ処理中にコマンドロック状態に遷移した後
- プログラム / イレーズ処理が完了した後

PRGERR フラグ (プログラムエラーフラグ)

フラッシュメモリのプログラム処理の結果を示すフラグです。PRGERR フラグが “1” の場合には、フラッ

シュシーケンサはコマンドロック状態になります。
[“1” になる条件]

- **「表 45.11　エラープロテクト一覧」**を参照してください。

[“0” になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

ERSERR フラグ (イレーズエラーフラグ)

フラッシュメモリのイレーズ処理の結果を示すフラグです。ERSERR フラグが “1” の場合には、フラッシュシーケンサはコマンドロック状態になります。
[“1” になる条件]

- **「表 45.11　エラープロテクト一覧」**を参照してください。

[“0” になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

ILGLERR フラグ (イリーガルコマンドエラーフラグ)

フラッシュシーケンサが不正な FACI コマンドやフラッシュメモリアクセスを検出したことを示すフラグです。ILGLERR フラグが “1” の場合には、フラッシュシーケンサはコマンドロック状態になります。
[“1” になる条件]

- **「表 45.11　エラープロテクト一覧」**を参照してください。

[“0” になる条件]

- FASTAT.DFAE フラグおよび CFAE フラグが “0” の状態で、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

FASTAT.CFAE フラグまたは DFAE フラグが “1” の状態で、ステータスクリアまたは強制終了コマンドの処理を完了した場合には、ILGLERR フラグは “1” になります。強制終了コマンド処理中に、一時的に ILGLERR フラグが “0” になりますが、コマンド処理の完了時に CFAE フラグまたは DFAE フラグが “1” であることが検出され、ILGLERR フラグが “1” に再設定されます。

FRDY フラグ (フラッシュレディフラグ)

フラッシュシーケンサのコマンド処理状態を示すフラグです。
[“1” になる条件]

- フラッシュシーケンサがコマンド処理を完了した後
- フラッシュシーケンサが P/E サスペンドコマンドを受け付けて、フラッシュメモリのプログラム / イレーズ処理を中断した後
- フラッシュシーケンサが強制終了コマンドを受け付けて、コマンド処理を終了した後

[“0” になる条件]

- フラッシュシーケンサがプログラム、コンフィギュレーション設定の FACI コマンドを受け付け、FACI コマンド発行領域に対する最初のライトアクセスの後
- フラッシュシーケンサがプログラム、コンフィギュレーション設定以外の FACI コマンドを受け付け、FACI コマンド発行領域に対する最終のライトアクセスの後

45.4.12 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス FLASH.FENTRYR 007F E084h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								FENTRYD	—	—	—	—	—	—	FENTRYC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FENTRYC	コードフラッシュメモリP/E モードエントリビット	0：コードフラッシュメモリはリードモード 1：コードフラッシュメモリはP/Eモード	R/W (注1、注2)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	データフラッシュメモリP/E モードエントリビット	0：データフラッシュメモリはリードモード 1：データフラッシュメモリはP/Eモード	R/W (注1、注2)
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。
注2. KEY[7:0]ビットを“AAh”にした16ビット単位の書き込みを行った場合のみ、書き込みが有効になります。
注3. 書き込んだ値は保持されません。読んだ場合、“0”が読めます。

FENTRYR レジスタはコードフラッシュメモリ P/E モード、データフラッシュメモリ P/E モードを設定するためのレジスタです。FACI コマンドを受け付け可能にするためには、FENTRYD ビットか FENTRYC ビットのいずれかのビットを “1” に設定して、フラッシュシーケンサを P/E モードにする必要があります。

FENTRYR レジスタに “AA81h” を書くと、FSTATR.ILGLERR フラグが “1” になり、フラッシュシーケンサはコマンドロック状態になります。

FSUINITR.SUINIT ビットを “1” にすると、FENTRYR レジスタを初期化できます。リセットでも初期化可能です。

FENTRYC ビット (コードフラッシュメモリ P/E モードエントリビット)

コードフラッシュメモリの P/E モードを設定するためのビットです。

[“1” になる条件]

- FSTATR.FRDY フラグが “1” かつ FENTRYR レジスタが “0000h” の状態で、FENTRYR レジスタに “AA01h” を書き込んだ場合

[“0” になる条件]

- FSTATR.FRDY フラグが “1” の状態で、FENTRYR レジスタに 8 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態で、KEY[7:0] ビットに “AAh” 以外の値を指定して FENTRYR レジスタに 16 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態で、FENTRYR レジスタに “AA00h” を書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態かつ FENTRYR レジスタが “0000h” 以外の状態で FENTRYR レジスタに書き込んだ場合

FENTRYD ビット (データフラッシュメモリ P/E モードエントリビット)

データフラッシュメモリの P/E モードを設定するためのビットです。

[“1” になる条件]

- FSTATR.FRDY フラグが “1” かつ FENTRYR レジスタが “0000h” の状態で、FENTRYR レジスタに “AA80h” を書き込んだ場合

[“0” になる条件]

- FSTATR.FRDY フラグが “1” の状態で、FENTRYR レジスタに 8 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態で、KEY[7:0] ビットに “AAh” 以外の値を指定して FENTRYR レジスタに 16 ビット単位で書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態で、FENTRYR レジスタに “AA00h” を書き込んだ場合
- FSTATR.FRDY フラグが “1” の状態かつ FENTRYR レジスタが “0000h” 以外の状態で FENTRYR レジスタに書き込んだ場合

KEY[7:0] ビット (キーコードビット)

FENTRYD ビットおよび FENTRYC ビットの書き換えの可否を制御します。

45.4.13 フラッシュプロテクトレジスタ (FPROTR)

アドレス FLASH.FPROTR 007F E088h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	FPROTCN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FPROTCN	ロックビットプロテクトキャンセルビット	0 : ロックビットによるプロテクトが有効 1 : ロックビットによるプロテクトが無効	R/W (注1)
b7-b1	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注2)

注1. KEY[7:0] ビットを “55h” にした 16 ビット単位の書き込みを行った場合のみ、書き込みが有効になります。
注2. 書き込んだ値は保持されません。読んだ場合、“0” が読めます。

FPROTR レジスタは、ロックビットによるコードフラッシュメモリに対する書き換えプロテクトを有効 / 無効にするためのレジスタです。FSUINITR.SUINIT ビットを “1” にすると、FPROTR レジスタを初期化できます。リセットでも初期化可能です。

FPROTCN ビット (ロックビットプロテクトキャンセルビット)

ロックビットによるコードフラッシュメモリに対する書き換えプロテクトを有効 / 無効にするためのビットです。

[“1” になる条件]

- FENTRYR レジスタが “0000h” 以外の状態で、FPROTR レジスタに “5501h” を書き込んだ場合

[“0” になる条件]

- FPROTR レジスタに 8 ビット単位で書き込んだ場合
- KEY[7:0] ビットに “55h” 以外の値を指定して FPROTR レジスタに 16 ビット単位で書き込んだ場合
- FPROTR レジスタに “5500h” を書き込んだ場合
- FENTRYR レジスタの値が “0000h” の場合

KEY[7:0] ビット (キーコードビット)

FPROTCN ビットの書き換えの可否を制御します。

45.4.14 フラッシュシーケンサ設定初期化レジスタ (FSUINITR)

アドレス FLASH.FSUINITR 007F E08Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	SUINIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SUINIT	設定初期化ビット	0：FEADDR、FPROTR、FCPSR、FSADDR、FENTRYR、FBCCNTのフラッシュシーケンサの設定レジスタ値は保持 1：FEADDR、FPROTR、FCPSR、FSADDR、FENTRYR、FBCCNTのフラッシュシーケンサの設定レジスタを初期化	R/W (注1、注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。
注2. KEY[7:0]ビットを“2Dh”にした16ビット単位の書き込みを行った場合のみ、書き込みが有効になります。
注3. 書き込んだ値は保持されません。読んだ場合、“0”が読めます。

FSUINITR レジスタは、フラッシュシーケンサの設定を初期化するためのレジスタです。

SUINIT ビット (設定初期化ビット)

下記のフラッシュシーケンサの設定レジスタを初期化します。

- FEADDR
- FPROTR
- FCPSR
- FSADDR
- FENTRYR
- FBCCNT

KEY[7:0] ビット (キーコードビット)

SUINIT ビットの書き換えの可否を制御します。

45.4.15 ロックビットステータスレジスタ (FLKSTAT)

アドレス FLASH.FLKSTAT 007F E090h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FLOCKST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLOCKST	ロックビットステータスフラグ	0：プロテクト状態 1：非プロテクト状態	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FLOCKST フラグ (ロックビットステータスフラグ)

ロックビットリードコマンドで読み出したロックビットの値を示すフラグです。ロックビットリードコマンドを発行した後に、FSTATR.FRDY フラグが “1” になった時点で、FLOCKST フラグに有効なデータが格納されます。FLOCKST フラグの値は、次のロックビットコマンドの終了まで保持されます。

45.4.16 FACI コマンドレジスタ (FCMDR)

アドレス FLASH.FCMDR 007F E0A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMDR[7:0]								PCMDR[7:0]							
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンドフラグ	1つ前のコマンド格納	R
b15-b8	CMDR[7:0]	コマンドフラグ	最新コマンド格納	R

FCMDR レジスタは、FACI が受け付けたコマンドを示すレジスタです。

PCMDR[7:0] フラグ (プレコマンドフラグ)

FACI が受け付けた 1 つ前のコマンドを格納します。

CMDR[7:0] フラグ (コマンドフラグ)

FACI が受け付けた最新のコマンドを格納します。

表45.4 各コマンド受け付け後のFCMDRレジスタの状態

コマンド	CMDR	PCMDR
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/Eサスペンド	B0h	前回コマンド
P/E レジューム	D0h	前回コマンド
ステータスクリア	50h	前回コマンド
強制終了	B3h	前回コマンド
ブランクチェック	D0h	71h
コンフィギュレーション設定	40h	前回コマンド
ロックビットプログラム	D0h	77h
ロックビットリード	D0h	71h

45.4.17 フラッシュ P/E ステータスレジスタ (FPESTAT)

アドレス FLASH.FPESTAT 007F E0C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PEERRST[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST [7:0]	P/Eエラーステータスフラグ	00h：エラーなし 01h：ロックビットでプロテクトされた領域に対するプログラムエラー 02h：ロックビット以外の原因によるプログラムエラー 11h：ロックビットでプロテクトされた領域に対するイレーズエラー 12h：ロックビット以外の原因によるイレーズエラー	R
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FPESTAT レジスタは、フラッシュメモリのプログラム / イレーズ結果を示すレジスタです。

PEERRST[7:0] フラグ (P/E エラーステータスフラグ)

コードフラッシュメモリ、データフラッシュメモリのプログラム / イレーズ処理中にエラーが発生した場合のエラー原因を示すフラグです。PEERRST フラグの値は、FSTATR.ERSERR フラグまたは PRGERR フラグが “1” の状態で、かつ FSTATR.FRDY フラグが “1” になった時点でのみ有効です。ERSERR フラグと PRGERR フラグが “0” の場合の PEERRST フラグには、過去に発生したエラー原因の値が保持されます。

45.4.18 データフラッシュブランクチェック制御レジスタ (FBCCNT)

アドレス FLASH.FBCCNT 007F E0D0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCDIR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCDIR	ブランクチェック方向ビット	0：小さいアドレスから大きいアドレスの方向にブランクチェック処理を実行します(加算モード) 1：大きいアドレスから小さいアドレスの方向にブランクチェック処理を実行します(減算モード)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FBCCNT レジスタは、ブランクチェックコマンド処理時のアドレッシングモードを指定するためのレジスタです。FSUINITR.SUINIT ビットを “1” にすると、FBCCNT レジスタを初期化できます。リセットでも初期化可能です。

BCDIR ビット (ブランクチェック方向ビット)

ブランクチェック動作時のアドレッシングモードを指定するためのビットです。

45.4.19 データフラッシュブランクチェックステータスレジスタ (FBCSTAT)

アドレス FLASH.FBCSTAT 007F E0D4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスフラグ	0：ブランクチェック対象領域は未書き込み状態 (イレーズ後に書き込んでいない状態。ブランク) 1：ブランクチェック対象領域は“0”データか“1”データを書き込まれた状態	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FBCSTAT レジスタは、ブランクチェックコマンドの結果を格納するレジスタです。

BCST フラグ (ブランクチェックステータスフラグ)

ブランクチェックコマンドの結果を示すフラグです。

FSTATR.FRDY フラグが “1” になった時点で、BCST フラグに有効なデータが格納されます。

45.4.20 データフラッシュ書き込み開始アドレスレジスタ (FPSADDR)

アドレス FLASH.FPSADDR 007F E0D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PSADR[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSADR[15:0]															
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b18-b0	PSADR[18:0]	書き込み領域開始アドレスビット	書き込み済みアドレス値	R
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FPSADDR レジスタは、ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すレジスタです。

PSADR[18:0] ビット (書き込み領域開始アドレスビット)

ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すビットです。データフラッシュメモリ領域の先頭アドレスからのオフセット値が格納されます。PSADR[18:0] ビットの値は、FBCSTAT.BCST ビットが “1” の状態で、かつ FSTATR.FRDY フラグが “1” になった時点でのみ有効です。FBCSTAT.BCST ビットが “0” の場合の PSADR[18:0] ビットには、過去に検出したアドレスが保持されます。

45.4.21 フラッシュシーケンサ処理切り替えレジスタ (FCPSR)

アドレス FLASH.FCPSR 007F E0E0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSPMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	イレーズサスペンドモードビット	0：サスペンド優先モード 1：イレーズ優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FCPSR レジスタはイレーズサスペンドモードを選択するためのレジスタです。FSUINITR.SUINIT ビットを “1” にすると、FCPSR レジスタを初期化できます。リセットでも初期化可能です。

ESUSPMD ビット (イレーズサスペンドモードビット)

フラッシュシーケンサがイレーズ処理を実行中に、P/E サスペンドコマンドが発行された場合のイレーズサスペンドモードを選択するためのビットです (「45.6.6.5 P/E サスペンドコマンド」参照)。ESUSPMD ビットは、ブロックイレーズコマンドを発行する前に設定する必要があります。

45.4.22 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)

アドレス FLASH.FPCKAR 007F E0E4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								PCKA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1

ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	フラッシュシーケンサ処理クロック周波数通知ビット	FlashIFクロック(FCLK)の周波数を設定し、フラッシュシーケンサに使用周波数を通知	R/W (注1、注2)
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。
注2. KEY[7:0]ビットを“1Eh”にした16ビット単位の書き込みを行った場合のみ、書き込みが有効になります。
注3. 書き込んだ値は保持されません。読んだ場合、“0”が読めます。

FPCKAR レジスタは、クロック発生回路で生成した FlashIF クロック (FCLK) の周波数を設定し、フラッシュシーケンサに使用周波数を通知するためのレジスタです。フラッシュシーケンサは、FPCKAR レジスタで通知された周波数に基づいて FACI コマンド処理時間を決めます。また、初期値は、FCLK の最高動作周波数に設定されます。

PCKA[7:0] ビット (フラッシュシーケンサ処理クロック周波数通知ビット)

FCLK の周波数を設定し、フラッシュシーケンサに使用周波数を通知するためのビットです。FACI コマンドを発行する前に、PCKA[7:0] ビットに周波数を設定してください。MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA[7:0] ビットに設定してください。

例) 周波数が 35.9MHz の場合 (PCKA[7:0] = 24h)

35.9MHz の小数第 1 位を切り上げ

36 を 2 進数に変換

PCKA[7:0] ビットの設定値が FCLK の周波数よりも小さい場合には、フラッシュメモリの書き換え特性を保証できません。PCKA[7:0] ビットの設定値が FCLK の周波数よりも大きい場合には、書き換え時間などの FACI コマンド処理時間が長くなりますが、フラッシュメモリの書き換え特性は保証されます (FCLK の周波数と PCKA[7:0] ビットの設定値が同一の場合に、FACI コマンド処理時間が最短になります)。

KEY[7:0] ビット (キーコードビット)

PCKA[7:0] ビットの書き換えの可否を制御します。

45.4.23 ユニーク ID レジスタ n (UIDRn) (n = 0 ～ 2)

アドレス FLASH.UIDR0 007F B174h, FLASH.UIDR1 007F B1E4h, FLASH.UIDR2 007F B1E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	チップごとの固有値															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	チップごとの固有値															

注. このレジスタは、SYSCR0.ROMEビットが“1” (内蔵ROM有効)のときのみ読み出せます。

UIDRn レジスタは、MCU の個体を識別するための 12 バイトの ID コード (ユニーク ID) が格納されている読み出し専用のレジスタです。UIDRn レジスタは、32 ビット単位で読み出してください。

45.5 機能概要

45.5.1 ROM キャッシュ

本 MCU は、下記の 3 種類のキャッシュを搭載しています。

- 命令キャッシュ (IF キャッシュ) : 8K バイト
- データキャッシュ (OA キャッシュ) : 16 バイト
- データキャッシュ (DM キャッシュ) : 16 バイト

IF キャッシュと OA キャッシュは CPU 用、DM キャッシュは DMAC や DTC など CPU 以外のバスマスタ用のキャッシュです。

リセット解除後、プログラム / イレーズ後は自動的に無効化 (インバリデート) が行われます。

キャッシュ対象の領域は FFC0 0000h 番地～ FFFF FFFFh 番地の 4M バイトですが、この中にキャッシュ対象外の領域 (ノンキャッシャブル領域) を 2 つまで設定できます。

45.5.1.1 ノンキャッシャブル領域の設定

本 MCU に実装されているフラッシュメモリは NCRGn レジスタ (n = 0, 1) と NCRCn レジスタ (n = 0, 1) を設定することでキャッシュ対象領域内であっても、キャッシュ対象外にすることができます。それぞれのレジスタの設定とノンキャッシャブル領域について図 45.4 に示します。

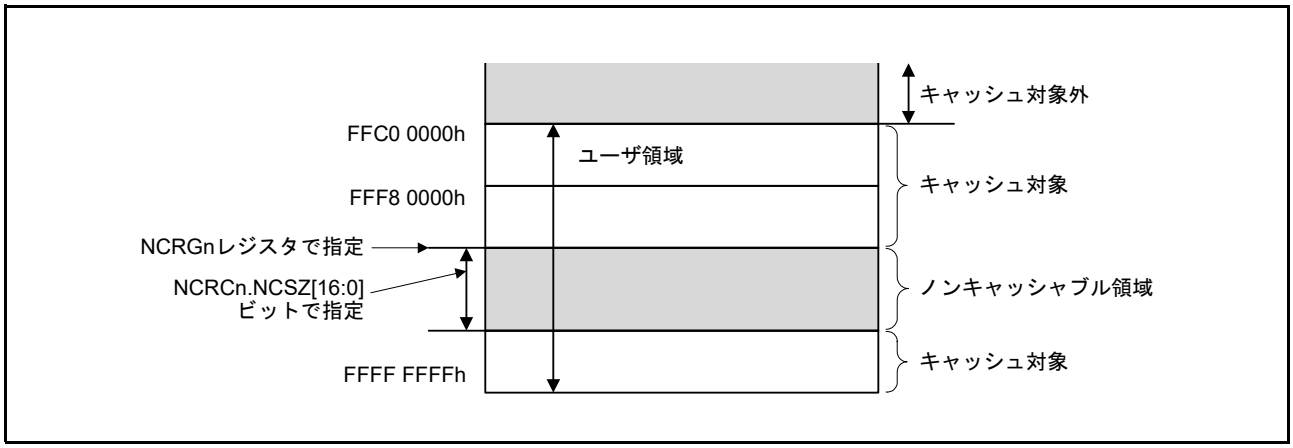


図 45.4 ノンキャッシャブル領域指定 (n = 0, 1)

NCRCn.NCSZ[16:0] ビットの設定値と NCRGn レジスタの設定値には、表 45.5 に示す制限事項があります。

表45.5 NCRCn.NCSZ[16:0]ビット設定値とNCRGnレジスタ設定値の制限事項

NCRCn.NCSZ[16:0]ビット設定値	NCRGnレジスタ設定値の制限事項
0 0000 0000 0000 0000：16バイト	制限事項なし
0 0000 0000 0000 0001：32バイト	NCRGnレジスタのb4は、無視されます。
0 0000 0000 0000 0011：64バイト	NCRGnレジスタのb5-b4は、無視されます。
0 0000 0000 0000 0111：128バイト	NCRGnレジスタのb6-b4は、無視されます。
0 0000 0000 0000 1111：256バイト	NCRGnレジスタのb7-b4は、無視されます。
0 0000 0000 0001 1111：512バイト	NCRGnレジスタのb8-b4は、無視されます。
0 0000 0000 0011 1111：1Kバイト	NCRGnレジスタのb9-b4は、無視されます。
0 0000 0000 0111 1111：2Kバイト	NCRGnレジスタのb10-b4は、無視されます。
0 0000 0000 1111 1111：4Kバイト	NCRGnレジスタのb11-b4は、無視されます。
0 0000 0001 1111 1111：8Kバイト	NCRGnレジスタのb12-b4は、無視されます。
0 0000 0011 1111 1111：16Kバイト	NCRGnレジスタのb13-b4は、無視されます。
0 0000 0111 1111 1111：32Kバイト	NCRGnレジスタのb14-b4は、無視されます。
0 0000 1111 1111 1111：64Kバイト	NCRGnレジスタのb15-b4は、無視されます。
0 0001 1111 1111 1111：128Kバイト	NCRGnレジスタのb16-b4は、無視されます。
0 0011 1111 1111 1111：256Kバイト	NCRGnレジスタのb17-b4は、無視されます。
0 0111 1111 1111 1111：512Kバイト	NCRGnレジスタのb18-b4は、無視されます。
0 1111 1111 1111 1111：1Mバイト	NCRGnレジスタのb19-b4は、無視されます。

45.5.2 プログラム / イレーズ方式

本 MCU のフラッシュメモリは、フラッシュメモリプログラマにより、ターゲットシステムへの実装前、実装後にかかわらず書き換えが可能です。

また、フラッシュメモリに書かれたユーザプログラムの書き換えやリードを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんや不正リード防止などに対応可能となっています。コードフラッシュメモリのブロック 8、9 については、TM 機能を使用することで常にリードを防止することができます。

ユーザプログラムによる書き換え (セルフプログラミング) は、ターゲットシステムの製造 / 出荷後のプログラムやデータの変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各書き換え方式の概要と対応する動作モードを表 45.6 に示します。

表45.6 書き換え方式

書き換え方式	機能概要	動作モード
フラッシュメモリプログラマによる書き換え	シリアルプログラマを用いてターゲットシステム上に実装後にフラッシュメモリのオンボード書き換えが可能です。TM機能を有効/無効にすることもできます。	ブートモード
	パラレルプログラマと専用プログラムアダプタボードを用いることにより、ターゲットシステムに実装する前に、フラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミングによりコードフラッシュメモリへあらかじめ書き込まれたユーザプログラムの実行により、フラッシュメモリの書き換えが可能です。TM機能を有効にすることもできます。 セルフプログラミングによるデータフラッシュメモリの書き換え時には、BGO機能によりコードフラッシュメモリからの命令フェッチおよびデータの読み出しが可能です。このため、コードフラッシュメモリ上の書き換え用のプログラムを実行しながら、データフラッシュメモリを書き換えることができます。 セルフプログラミングによるコードフラッシュメモリの書き換え時には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。内蔵RAMまたは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	シングルチップモード 内蔵ROM有効拡張モード ユーザブートモード

各モードでプログラム / イレーズが可能なフラッシュメモリの領域、リセット後の起動プログラムが異なります。各モードの相違点を表 45.7 にまとめます。

表45.7 各モードの相違点

項目	シングルチップモード、または内蔵ROM有効拡張モード	ユーザブートモード	ブートモード(SCIインタフェース、USBインタフェース、またはFINEインタフェース)
プログラム/イレーズが可能な領域	• ユーザ領域 • データフラッシュメモリ • オプション設定メモリ(プログラムのみ可能)	• ユーザ領域 • データフラッシュメモリ • オプション設定メモリ(プログラムのみ可能)	• ユーザ領域 • データフラッシュメモリ • ユーザブート領域 • オプション設定メモリ
リセット時の起動プログラム	ユーザ領域のプログラム	ユーザブート領域のプログラム	ブートプログラム

フラッシュメモリの機能一覧を表 45.8 に示します。シリアルプログラミングにおける各機能は、シリアルプログラマのコマンドで実現されます。セルフプログラミングにおける各機能は、FACI コマンドまたはユーザプログラムによるフラッシュメモリのリードで実現されます。

セキュリティ機能の設定は、「7. オプション設定メモリ (OFSM)」の「7.2.1 シリアルプログラマコマンド制御レジスタ (SPCC)」を参照してください。

表45.8　基本機能一覧

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレーズ後にプログラムされていない状態のデータフラッシュメモリのリード結果は保証されません。イレーズ後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	○	○
ブロックイレーズ	指定したブロックをイレーズします。	○	○
プログラム	指定したアドレスをプログラムします。	○	○
ベリファイ/チェックサム	フラッシュメモリからリードしたデータと、フラッシュメモリプログラマから転送されたデータを比較します。	○	× (ユーザプログラムにて読み出しは可能)
リード	フラッシュメモリにプログラムしたデータをリードします。	○	○
制御コード、またはID コードの設定	OSIS レジスタを設定します。	○	○
セキュリティ機能の設定	SPCC レジスタを設定し、以下の機能を有効にします。 • シリアルプログラマ ID コードプロテクト • シリアルプログラマ接続禁止 • ブロックイレーズコマンド禁止 • プログラムコマンド禁止 • リードコマンド禁止	○	△ (設定を無効から有効にする場合のみ可能)
プロテクション設定	コードフラッシュメモリの各ブロックのロックビットを設定します。	○	○
コンフィギュレーションクリア	コンフィギュレーション設定領域をイレーズします。TM 機能を無効にできます。	○	×
TM 機能の設定	TM 機能を設定します。	○	△ (設定を無効から有効にする場合のみ可能)

○ : サポート、△ : 条件付サポート、× : 未サポート

45.5.3 セキュリティ機能

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

セキュリティ機能は、オンチップデバッガ ID コードプロテクト、シリアルプログラマ ID コードプロテクト、シリアルプログラマ接続禁止、コマンド禁止 (ブロックイレーズコマンド禁止 / プログラムコマンド禁止 / リードコマンド禁止)、ROM コードプロテクトがあります。

シリアルプログラミング時は、シリアルプログラマ ID コードプロテクト、シリアルプログラマ接続禁止、コマンド禁止 (ブロックイレーズコマンド禁止 / プログラムコマンド禁止 / リードコマンド禁止) が使用可能です。オンチップデバッガ使用時はオンチップデバッガ ID コードプロテクトを使用可能です。オフボードプログラミング時は ROM コードプロテクトが使用可能です。

フラッシュメモリでサポートされるセキュリティ機能を表 45.9 に、セキュリティ機能設定時の動作を表 45.10 に示します。

表45.9 セキュリティ機能一覧

機能	機能概要
オンチップデバッガIDコードプロテクト	オンチップデバッガへの接続をIDコードの判定結果で制御可能です。
シリアルプログラマIDコードプロテクト	シリアルプログラマの接続を制御コード、およびIDコードの判定結果で制御可能です。
シリアルプログラマ接続禁止	シリアルプログラミング時のシリアルプログラマの接続を禁止します。シリアルプログラマの接続を禁止すると、コンフィギュレーションクリアコマンドの実行が禁止されるため、セキュリティ機能の設定を禁止から許可に変更できなくなります。
ブロックイレーズコマンド禁止	シリアルプログラミング時のブロックイレーズコマンド、エリアイレーズコマンド、コンフィギュレーションクリアコマンドの実行を禁止します。コンフィギュレーションクリアコマンドの実行が禁止されるため、セキュリティ機能の設定を禁止から許可に変更できなくなります。
プログラムコマンド禁止	シリアルプログラミング時のプログラムコマンドの実行を禁止し、ブロックイレーズコマンドとエリアイレーズコマンドの実行に条件が付きます。コンフィギュレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。
リードコマンド禁止	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィギュレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。
ROMコードプロテクト	パラレルプログラマを使用する場合にフラッシュメモリのリード、プログラム、イレーズを禁止する機能です。

表45.10　セキュリティ機能設定時の動作

機能	各セキュリティ機能設定時の プログラム/イレーズ/リード動作		セキュリティ機能設定時の注意事項	
	シリアルプログラミング	セルフプログラミング	シリアルプログラミング	セルフプログラミング
シリアルプログラマIDコードプロテクト	(IDコードが不一致の場合) ブロックイレーズコマンド：× プログラムコマンド：× リードコマンド：× (IDコードが一致した場合) ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	(IDコードの判定は行わない) ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドによる禁止設定の初期化が可能 ブロックイレーズコマンド禁止の設定が不可能 プログラムコマンド禁止の設定が不可能 リードコマンド禁止の設定が不可能	(IDコードの判定は行わない)
シリアルプログラマ接続禁止	ブロックイレーズコマンド：× プログラムコマンド：× リードコマンド：×	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドの実行が禁止されるため、禁止設定の初期化が不可能	コンフィギュレーションクリアコマンドがサポートされていないため、禁止設定の初期化が不可能
ブロックイレーズコマンド禁止	ブロックイレーズコマンド：× プログラムコマンド：○ リードコマンド：○	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドの実行が禁止されるため、禁止設定の初期化が不可能 シリアルプログラミングIDコード設定コマンドの実行が禁止されるため、シリアルプログラマIDコードプロテクトの有効設定が不可能	コンフィギュレーションクリアコマンドがサポートされていないため、禁止設定の初期化が不可能
プログラムコマンド禁止	ブロックイレーズコマンド：△ プログラムコマンド：× リードコマンド：○	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドによる禁止設定の初期化が可能 シリアルプログラミングIDコード設定コマンドの実行が禁止されるため、シリアルプログラマIDコードプロテクトの有効設定が不可能	コンフィギュレーションクリアコマンドがサポートされていないため、禁止設定の初期化が不可能
リードコマンド禁止	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：×	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○		

○：サポート、△：条件付サポート(詳細は「45.9.43　プログラムコマンド禁止設定時のイレーズフロー」を参照)、
×：未サポート

45.5.4 プロテクション機能

45.5.4.1 ソフトウェアプロテクション

ソフトウェアプロテクトは、制御レジスタ設定やユーザ領域のロックビット設定によってユーザ領域に対するプログラム / イレーズが禁止された状態です。ソフトウェアプロテクトに違反して、FACI コマンドを発行した場合には、フラッシュシーケンサはコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを “01b” にしないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR レジスタが “0000h” の場合には、フラッシュシーケンサはリードモードになります。リードモードでは、FACI コマンドは受け付けられません。リードモードで FACI コマンドが発行された場合には、フラッシュシーケンサはコマンドロック状態になります。

(3) ロックビットによるプロテクト

ユーザ領域の各ブロックにはロックビットが内蔵されています。FPROTR.FPROTCN ビットが “0” の場合には、ロックビットが “0” に設定されたブロックに対するプログラム / イレーズは禁止状態になります。ロックビットが “0” に設定されたブロックをプログラム / イレーズしたい場合には、FPROTR.FPROTCN ビットを “1” に設定してください。ロックビットによるプロテクトに違反して、ユーザ領域に対するプログラム、ブロックイレーズ、ロックビットプログラムコマンドを発行すると、フラッシュシーケンサはコマンドロック状態になります。

45.5.4.2 エラープロテクション

エラープロテクトは、FACI コマンドの誤発行 / 禁止アクセスの発生、フラッシュシーケンサの誤動作を検出して FACI コマンドの受け付けを禁止する状態 (コマンドロック状態) です。フラッシュシーケンサをコマンドロック状態にすることにより、フラッシュメモリのプログラム / イレーズが禁止されます。コマンドロック状態を解除するためには、FASTAT.CFAE フラグおよび DFAE フラグが “0” の状態でステータスクリアまたは強制終了コマンドを発行する必要があります。ステータスクリアコマンドは FSTATR.FRDY フラグが “1” の場合のみ使用できます。強制終了コマンドは、FRDY フラグの値に関わらず使用できます。

フラッシュアクセスエラー (FIFERR) 割り込みの発生により、誤動作を検出できます。FIFERR 割り込みは、以下の条件で発生します。

- FAEINT.DFAEIE ビットが “1” の場合に、データフラッシュメモリアクセス違反が発生 (FASTAT.DFAE フラグが “1”) したとき
- FAEINT.CMDLKIE ビットが “1” の場合に、フラッシュシーケンサがコマンドロック状態 (FASTAT.CMDLK フラグが “1”) になったとき
- FAEINT.CFAEIE ビットが “1” の場合に、コードフラッシュメモリアクセス違反が発生 (FASTAT.CFAE フラグが “1”) したとき

プログラム / イレーズ処理中に P/E サスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、フラッシュシーケンサはプログラム / イレーズ処理を継続します。この状態で P/E サスペンドコマンドを発行してプログラム / イレーズを中断することはできません。コマンドロック状態でコマンドが発行された場合には、FSTATR.ILGLERR フラグの値は “1” になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 45.11 にエラープロテクトの内容とエラー検出後のステータスビット値の関係を示します。

表45.11 エラープロテクト一覧

分類	内容	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
FENTRYR設定エラー	FENTRYRレジスタに“AA81h”をライト	1	0	0	0	0	0
	サスペンド時とレジューム時でFENTRYRレジスタの値が不一致	1	0	0	0	0	0
不正コマンドエラー	FACIコマンドの第1アクセスで未定義コードをライト	1	0	0	0	0	0
	複数アクセスサイクルのFACIコマンドの最終アクセスで“D0h”以外をライト	1	0	0	0	0	0
	プログラムコマンド、コンフィギュレーション設定コマンドにおいて、FACIコマンドの第2アクセスで指定された値(N)(表45.17参照)が不正	1	0	0	0	0	0
	ブランクチェックコマンドを下記のいずれかの設定で発行 • FBCCNT.BCDIRビット = 0、かつFSADDRレジスタ > FEADDRレジスタ • FBCCNT.BCDIRビット = 1、かつFEADDRレジスタ > FSADDRレジスタ • FEADDRレジスタのb18～b0の設定値が0 8000h～7 FFFFhの範囲	1	0	0	0	0	0
	各モードで使用できないFACIコマンドを発行(表45.14参照)	1	0	0	0	0	0
	コマンド受け付け条件を満たさない状態でFACIコマンドを発行(表45.15参照)	1	0/1	0/1	0/1	0/1	0/1
イレーズエラー	イレーズ処理中のエラー発生	0	1	0	0	0	0
	ロックビットによって保護されている領域に対してブロックイレーズコマンドを発行	0	1	0	0	0	0
プログラムエラー	プログラム処理中のエラー発生	0	0	1	0	0	0
	ロックビットによって保護されている領域に対してプログラムコマンド、ロックビットプログラムコマンドを発行	0	0	1	0	0	0
コードフラッシュメモリアクセス違反	コードフラッシュメモリP/Eモードのとき、プログラムコマンド、ブロックイレーズコマンド、ロックビットプログラムコマンド、ロックビットリードコマンドを下記の設定で発行 • FSADDRレジスタのb23～b0の設定値が00 0000h～EF FFFFhの範囲	1	0	0	0	1	0
データフラッシュメモリアクセス違反	データフラッシュメモリP/Eモードのとき、プログラムコマンド、ブロックイレーズコマンドを下記の設定で発行 • FSADDRレジスタのb18～b0の設定値が0 8000h～7 FFFFhの範囲	1	0	0	0	0	1
	データフラッシュメモリP/Eモードのとき、コンフィギュレーション設定コマンドを下記の設定で発行 • FSADDRレジスタのb18～b0の設定値が0 0000h～0 003Fh、または0 0100h～7 FFFFhの範囲	1	0	0	0	0	1
その他	リードモードで、FACIコマンド発行領域をアクセス	1	0	0	0	0	0
	コードフラッシュメモリP/Eモードまたはデータフラッシュメモリ P/Eモードで、FACIコマンド発行領域を読み出し	1	0	0	0	0	0
フラッシュP/Eプロテクトエラー	フラッシュシーケンサのコマンド処理中にFWEPRORレジスタ設定によるフラッシュメモリのプログラム/イレーズ保護違反を検出	0	0/1	0/1	1	0	0

45.5.4.3 ブートプログラムプロテクション

(1) ユーザブート保護

ユーザブート領域は、ブートモード (SCI インタフェースまたは USB インタフェース) でのみ書き換え可能です。通常動作モード、ユーザブートモードでは書き換え保護されている領域であるため、ブートプログラム等を安全に格納するための領域として利用できます。

45.5.5 サスペンド機能

プログラム / イレーズ処理中は、BGO 動作時以外のユーザ領域 / データ領域のリードはできません。P/E サスペンドコマンドを発行し、ユーザ領域 / データ領域へのプログラム / イレーズ処理を中断させることによって、ユーザ領域 / データ領域のリードができるようになります。P/E サスペンドコマンドには、プログラムに対するサスペンドが 1 種類とイレーズに対するサスペンドが 2 種類 (サスペンド優先モード、イレーズ優先モード) 存在します。また、中断したプログラム / イレーズ処理を再開する P/E レジュームコマンドも用意しています。

45.5.6 Trusted Memory

本 MCU には、ユーザ領域上のブロック 8、9 に第三者によるソフトウェアのリード防止機能として、Trusted Memory (以後、TM と呼びます) があり、暗号アルゴリズムの処理ソフトウェア、ノウハウを伴う機器制御処理ソフトウェアや有償のミドルウェアなどを格納するのに適しています。

表 45.12 に TM 機能の仕様を、表 45.13 に TM 機能有効時の TM 対象領域内のアクセス制限を、TM 機能有効時、TM 対象領域で CPU が動作可能なケースを図 45.5 に示します。

表45.12 TM機能の仕様

項目	内容
TM対象領域	ユーザ領域のブロック8、9 (合計64Kバイト)
TM機能有効時のアクセス制限	「表45.13 TM機能有効時のTM対象領域内のアクセス制限」を参照
TM機能有効時のプログラム実行方法	TM機能有効時、TM対象領域内のプログラムを実行するにはTM対象領域以外のプログラムから分岐命令による実行のみ可能
TM機能有効時、TM対象領域内のプログラム実行時の割り込み処理	割り込み処理の受付、割り込み処理からの復帰ともに可能
セキュリティ機能	TM機能有効時、TM対象領域内のプログラムのアクセス制限
プロテクション機能	• TM機能有効時のTM対象領域のデータアクセスに対する制限 (注1) • TM機能有効時、TM対象領域をイレーズするまで、TM機能無効化防止 • TM機能有効時、TM対象領域に対する追加プログラム防止

注1. データアクセスはTM対象領域の境界を含んだ場合、実行できません。

表45.13 TM機能有効時のTM対象領域内のアクセス制限

アクセス種別	CPU	DMAC/DTC
命令フェッチ	可能	—
データアクセス (注1)	不可能	不可能

注. オンチップデバッガ(OCD)使用時は、上記表のDMACと同じ制限となります。OCDのTM対象領域に対する動作は、ご使用になるエミュレータのマニュアルを参照してください。
注1. データ配置はTM対象領域以外にしてください。

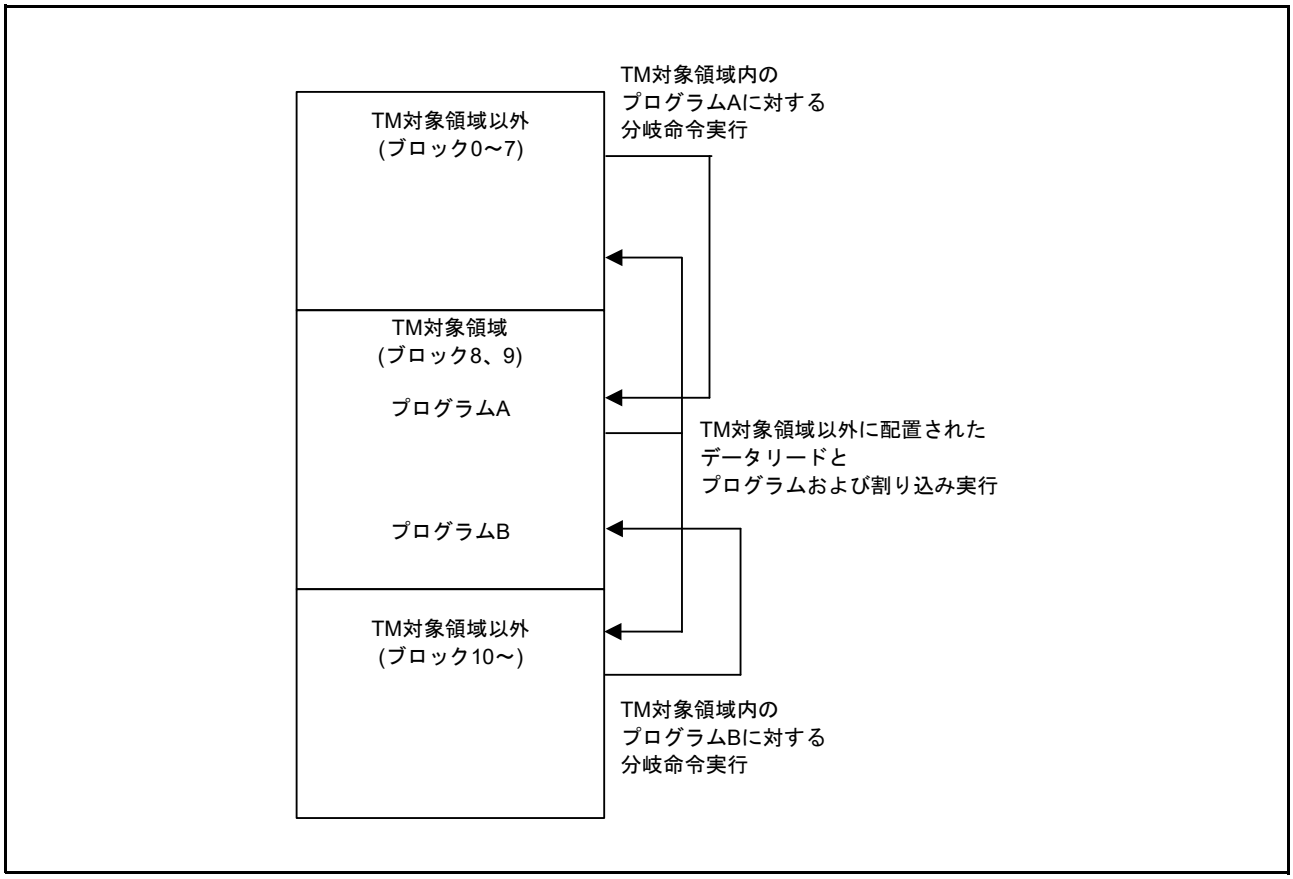


図 45.5 TM 機能有効時、TM 対象領域で CPU が動作可能なケース

45.5.6.1 TM 対象領域に配置するプログラム

TM 機能有効時、TM 対象領域以外から連続したアドレスの TM 対象領域内のプログラム実行を防止するため、必要に応じて TM 対象領域内のソフトウェアによる対策を実施してください。

45.5.6.2 TM 機能を有効にする方法

(1) セルフプログラミングによる方法

TM 対象領域である、ユーザ領域のブロック 8、9 に対するプログラム後、FACI のコンフィギュレーション設定コマンドで TM 機能を有効にします。

図 45.6 にセルフプログラミングによる TM 機能を有効にするためのフローを示します。

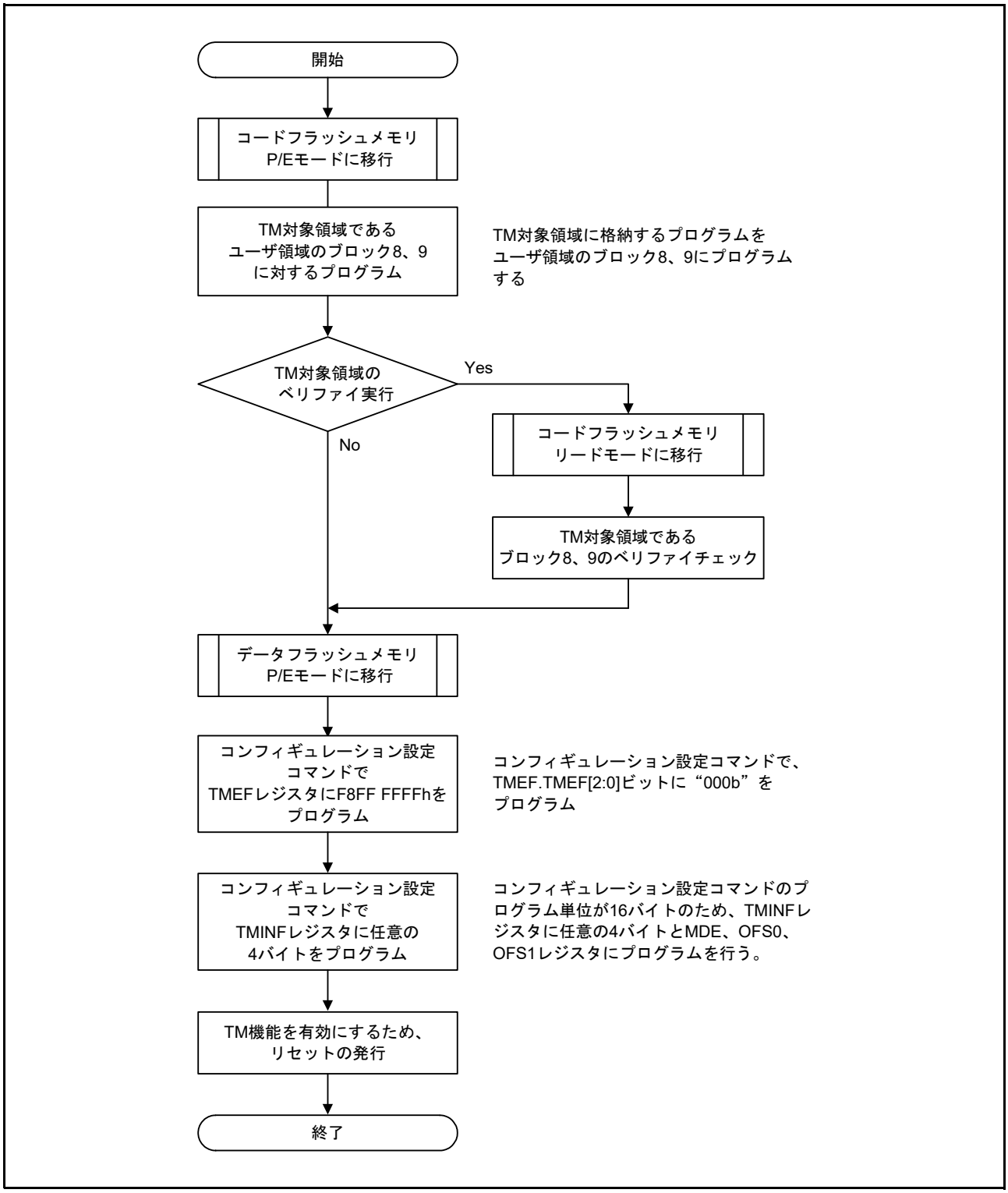


図 45.6 セルフプログラミングによる TM 機能を有効にするためのフロー

(2) ブートモードによる方法

ブートモードにおいて、ユーザ領域のブロック 8、9 に対するプログラム後、ブートコマンドの TM 設定コマンドで TM 機能を有効にします。

ブートコマンドの TM 設定コマンドは「45.9.36　TM 設定コマンド」を参照してください。

図 45.7 にブートモードで TM 機能を有効にするためのフローを示します。

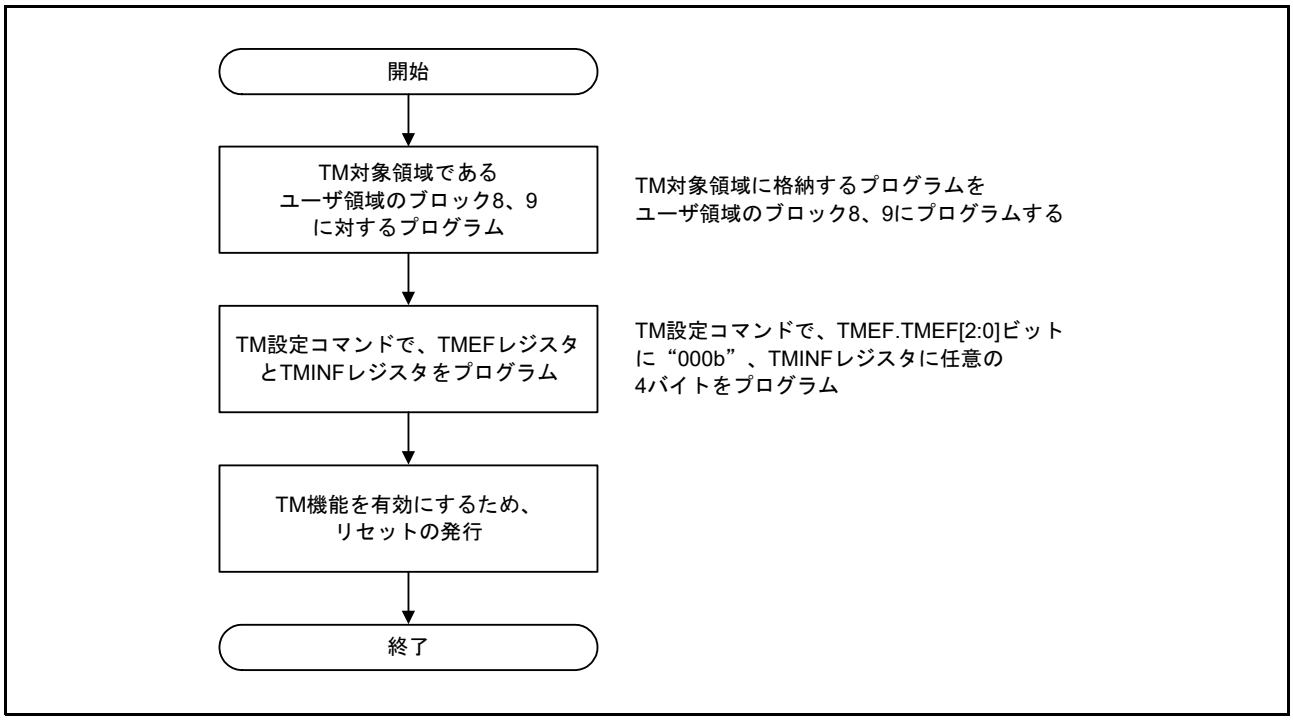
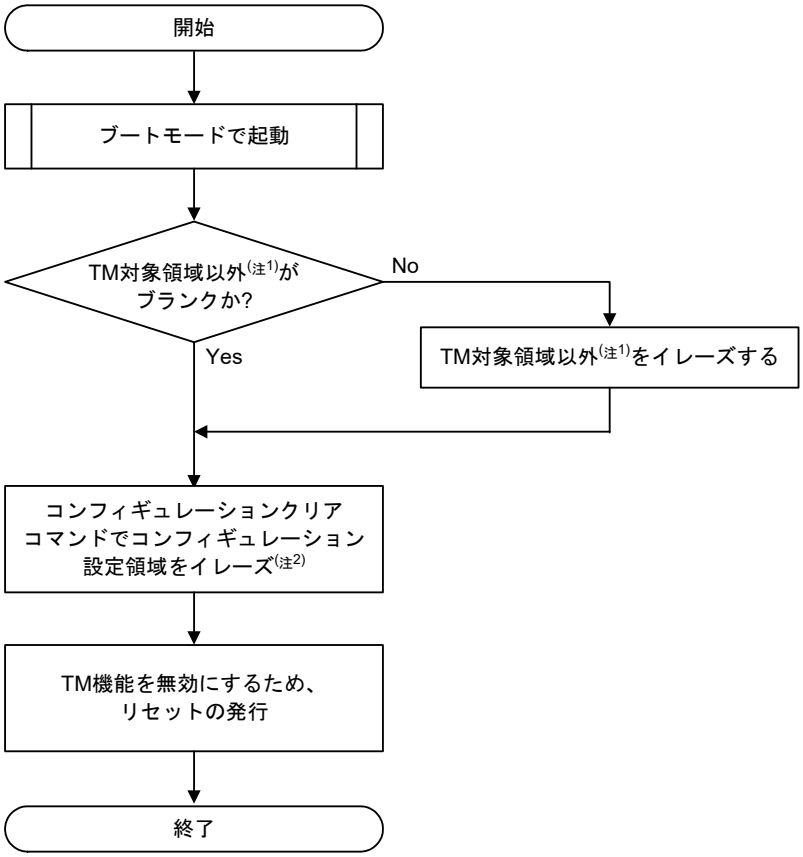


図 45.7　ブートモードで TM 機能を有効にするためのフロー

45.5.6.3 TM 機能を無効にする方法

TM 機能を無効にする場合、コンフィギュレーションクリアコマンドで TM 対象領域をイレーズする必要があります。TM 機能を無効にしない場合は、コンフィギュレーションクリアコマンドを使用しないでください。

図 45.8 にブートモードで TM 機能を無効にするためのフローを示します。



注1. TM対象以外の領域とは、データフラッシュメモリ、ユーザブート領域、ユーザ領域のブロック8、9以外の領域。
注2. コンフィギュレーションクリアコマンドで、TMEF レジスタ、TMINF レジスタを含む、コンフィギュレーション設定領域、TM対象領域であるコードフラッシュメモリのブロック8、9をイレーズします。

図 45.8 ブートモードで TM 機能を無効にするためのフロー

45.5.6.4 TM 機能有効時の注意事項

(1) TM 対象領域のアクセス防止

TM 機能有効時、TM 対象領域は CPU による命令フェッチのみ実行可能となりますので、TM 対象領域にはデータを配置しないでください。

TM 機能有効時、CPU/DMAC/DTC および OCD による TM 対象領域に対するデータアクセスを実行すると、プログラムされた値ではなく “0” がリードされます。

(2) TM 対象領域に対する追加プログラム

TM 機能有効時、TM 対象領域に対して追加プログラムはできません。

「45.5.6.3 TM 機能を無効にする方法」で TM 機能を無効にした後プログラムし、「45.5.6.2 TM 機能を有効にする方法」でコードフラッシュメモリのブロック 8、9 に対するプログラムと TM 機能を有効してください。

ユーザ領域、ユーザブート領域、データ領域をすべてイレーズする場合は、「45.9.43 プログラムコマンド禁止設定時のイレーズフロー」を参照してください。

(3) コンフィギュレーションクリアコマンド実行

「45.5.6.3 TM 機能を無効にする方法」でコンフィギュレーションクリアコマンドを実行してください。

(4) TM 対象領域に対する MPU 設定時

TM 機能有効時、TM 対象領域に対して MPU を設定しても、TM 機能が優先されます。

(5) TM 対象領域に対する FACI のブロックイレーズコマンドについて

FACI のブロックイレーズコマンドによる、TM 対象領域のブロックイレーズは特に制約はありません。

ブロックイレーズコマンドの発行によりイレーズされます。

(6) コマンドプロテクションの設定について

TM 機能を無効にするときに実行するコンフィギュレーションクリアコマンドにより、同時にコマンドプロテクションの状態も初期化されます。

(7) TM 機能の動作条件

TM 機能は、「46. 電気的特性」で規定された条件において正常に動作します。

45.6 フラッシュシーケンサ

45.6.1 フラッシュシーケンサの動作モード

フラッシュシーケンサには、図 45.9 に示す 3 種類のモードがあります。モードの移行は、FENTRYR レジスタの書き込みで行います。

FENTRYR レジスタが “0000h” の場合には、フラッシュシーケンサはリードモードになります。このモードでは、FACI コマンドを受け付けません。コードフラッシュメモリ、データフラッシュメモリともにリードが可能です。

FENTRYR レジスタが “0001h” の場合には、フラッシュシーケンサはコードフラッシュメモリ P/E モードになります。コードフラッシュメモリ P/E モードでは、FACI コマンドを使用してコードフラッシュメモリのプログラム / イレーズを実行可能です。このモードでは、コードフラッシュメモリ、データフラッシュメモリともにリードはできません。

FENTRYR レジスタが “0080h” の場合には、フラッシュシーケンサはデータフラッシュメモリ P/E モードになります。データフラッシュメモリ P/E モードでは、FACI コマンドを使用してデータフラッシュメモリのプログラム / イレーズを実行可能です。このモードでは、データフラッシュメモリのリードはできません。コードフラッシュメモリのリードは可能です。

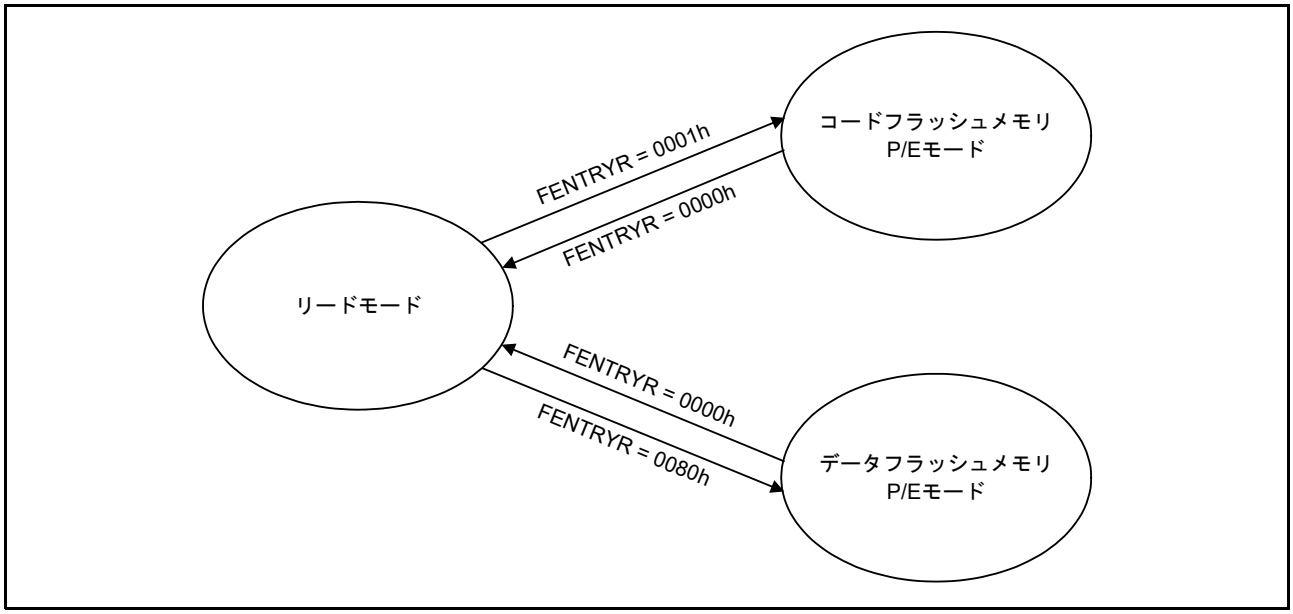


図 45.9 フラッシュシーケンサのモード

45.6.2 リードモード

リードモードは、コードフラッシュメモリまたはデータフラッシュメモリの高速読み出しを行うためのモードです。

(1) コードフラッシュメモリ

シングルチップモード、内蔵 ROM 有効拡張モード、およびユーザブートモードのコードフラッシュメモリのリード時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データをリードすることが可能です。

イレーズ後にプログラムしていない状態 (未プログラム状態) のコードフラッシュメモリをリードすると、全ビット “1” がリードされます。

(2) データフラッシュメモリ

シングルチップモード、内蔵 ROM 有効拡張モード、およびユーザブートモードのデータフラッシュメモリのリード時には、特別な設定は必要ありません。データフラッシュメモリのアドレスにアクセスすることで、データをリードすることが可能です。

イレーズ後にプログラムしていない状態 (未プログラム状態) のデータフラッシュメモリの値は不定です。未プログラム状態の確認には、ブランクチェック機能を使用してください。

45.6.3 P/E モード

P/E モードは、コードフラッシュメモリまたはデータフラッシュメモリのプログラム / イレーズを行うモードです。

(1) コードフラッシュメモリ P/E モード

コードフラッシュメモリが P/E モード、データフラッシュメモリがリードモードになっているモードを、コードフラッシュメモリ P/E モードと言います。FENTRYR.FENTRYD ビットを “0”、FENTRYR.FENTRYC ビットを “1” にした場合にこのモードに遷移します。

(2) データフラッシュメモリ P/E モード

コードフラッシュメモリがリードモード、データフラッシュメモリが P/E モードになっているモードを、データフラッシュメモリ P/E モードと言います。FENTRYR.FENTRYD ビットを “1”、FENTRYR.FENTRYC ビットを “0” にした場合にこのモードに遷移します。

45.6.4 モード遷移

フラッシュシーケンサの各モード / 状態で受け付け可能な FACI コマンドが決められています。FACI コマンドの発行は、フラッシュシーケンサをコードフラッシュメモリ P/E モードまたはデータフラッシュメモリ P/E モードに移行させた後、フラッシュシーケンサの状態を確認してから実施する必要があります。フラッシュシーケンサの状態の確認には、FSTATR レジスタと FASTAT レジスタを使用してください。なお、FASTAT.CMDLK フラグは、FSTATR レジスタの ILGLERR、ERSERR、PRGERR、FLWEERR フラグと FASTAT レジスタの CFAE、DFAE フラグの値の論理和です。このため、FASTAT.CMDLK フラグの値によって、エラーの発生有無を確認することができます。

各モードで使用可能なコマンドを表 45.14 に示します。

表45.14 各モードで使用可能なコマンド

モード	FENTRYR レジスタの値	使用可能なコマンド
リードモード	0000h	なし
コードフラッシュメモリP/Eモード	0001h	プログラム ブロックイレーズ P/Eサスペンド P/Eレジューム ステータスクリア 強制終了 ロックビットプログラム ロックビットリード
データフラッシュメモリP/Eモード	0080h	プログラム ブロックイレーズ P/Eサスペンド P/Eレジューム ステータスクリア 強制終了 ブランクチェック コンフィギュレーション設定

表 45.15 にフラッシュシーケンサの状態と受け付け可能な FACI コマンドの関係を示します。この表は、各コマンドの実行前に適切なモード設定にしていることを前提に記載しています。

表45.15　フラッシュシーケンサの状態と受け付け可能なFACIコマンドの関係

	プログラム/イレーズの処理中 (注5)	コンフィギュレーション設定の処理中	プログラム/イレーズの中断処理中	ブランクチェック、ロックビットリードの処理中	プログラムサスペンド中	イレーズサスペンド中	イレーズサスペンド中のプログラム処理中	コマンドロック状態(FRDY = 1)	コマンドロック状態(FRDY = 0)	ロックビット、プログラムの処理中	強制終了のコマンド処理中	その他の状態
FRDYフラグ	0	0	0	0	1	1	0	1	0	0	0	1
SUSRDYフラグ	1	0	0	0	0	0	0	0	0	0	0	0
ERSSPDフラグ	0	0	0/1	0/1	0	1	1	0/1	0/1	0	0	0
PRGSPDフラグ	0	0	0/1	0/1	1	0	0	0/1	0/1	0	0	0
CMDLKフラグ	0	0	0	0	0	0	0	1	1	0	0	0
プログラム	×	×	×	×	×	○ (注3)	×	×	×	×	×	○
ブロックイレーズ	×	×	×	×	×	×	×	×	×	×	×	○
P/Eサスペンド	○	×	×	×	×	×	×	—	×	×	×	—
P/E レジューム	×	×	×	×	○	○	×	×	×	×	×	×
ステータスクリア	×	×	×	×	○	○	×	○	×	×	×	○
強制終了	○	○	○	○	○	○	○	○	○	○	○	○
ブランクチェック	×	×	×	×	○ (注1)	○ (注1)	×	×	×	×	×	○ (注1)
コンフィギュレーション設定	×	×	×	×	×	×	×	×	×	×	×	○ (注1)
ロックビットプログラム	×	×	×	×	×	×	×	×	×	×	×	○ (注2)
ロックビットリード	×	×	×	×	○ (注2)	○ (注2、注4)	×	×	×	×	×	○ (注2)

○：受け付け可能、×：受け付け不可能 (コマンドロック状態発生)、—：無視

注1.　データフラッシュメモリP/Eモードでのみ受け付け可能
注2.　コードフラッシュメモリP/Eモードでのみ受け付け可能
注3.　イレーズ中断したブロック以外へのプログラムのみ受け付け可能。
注4.　イレーズ中断したブロックのロックビットのリード結果は不定です。
注5.　P/Eサスペンドコマンドが受け付けられるまでの間にプログラム/イレーズ処理が完了していた場合も含みます。

45.6.4.1 コードフラッシュメモリ P/E モードへの遷移

コードフラッシュメモリ関連の FACI コマンドを使用するためには、コードフラッシュメモリ P/E モードに移行する必要があります。コードフラッシュメモリ P/E モードに移行するためには、FENTRYR.FENTRYC ビットを “1” にします。

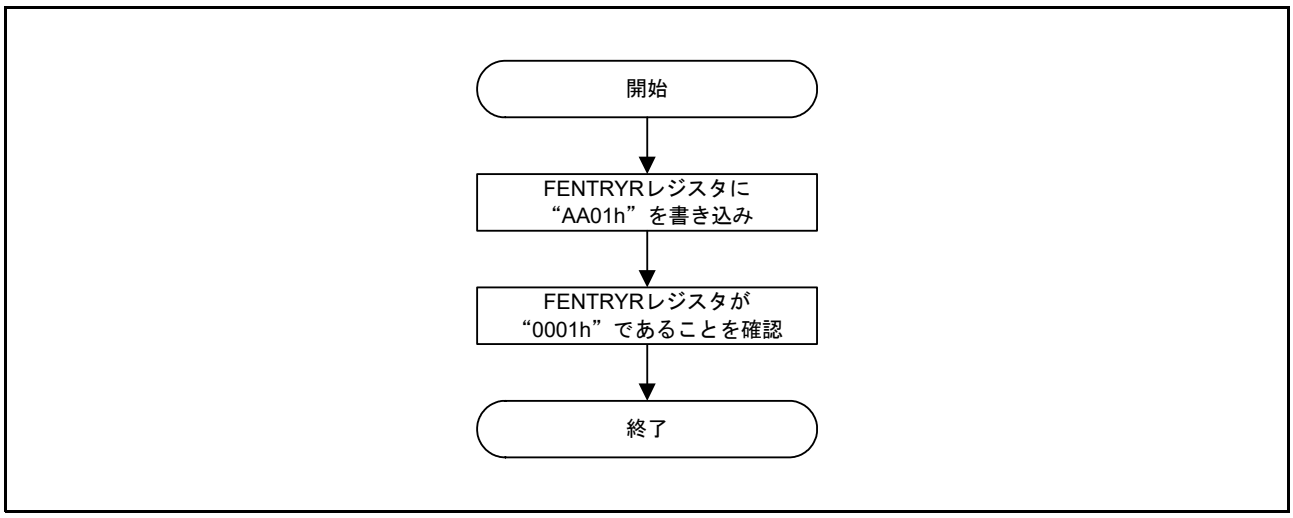


図 45.10 コードフラッシュメモリ P/E モード移行フロー

45.6.4.2 データフラッシュメモリ P/E モードへの遷移

データフラッシュメモリ関連の FACI コマンドを使用するためには、データフラッシュメモリ P/E モードに移行する必要があります。データフラッシュメモリ P/E モードに移行するためには、FENTRYR.FENTRYD ビットを “1” にします。

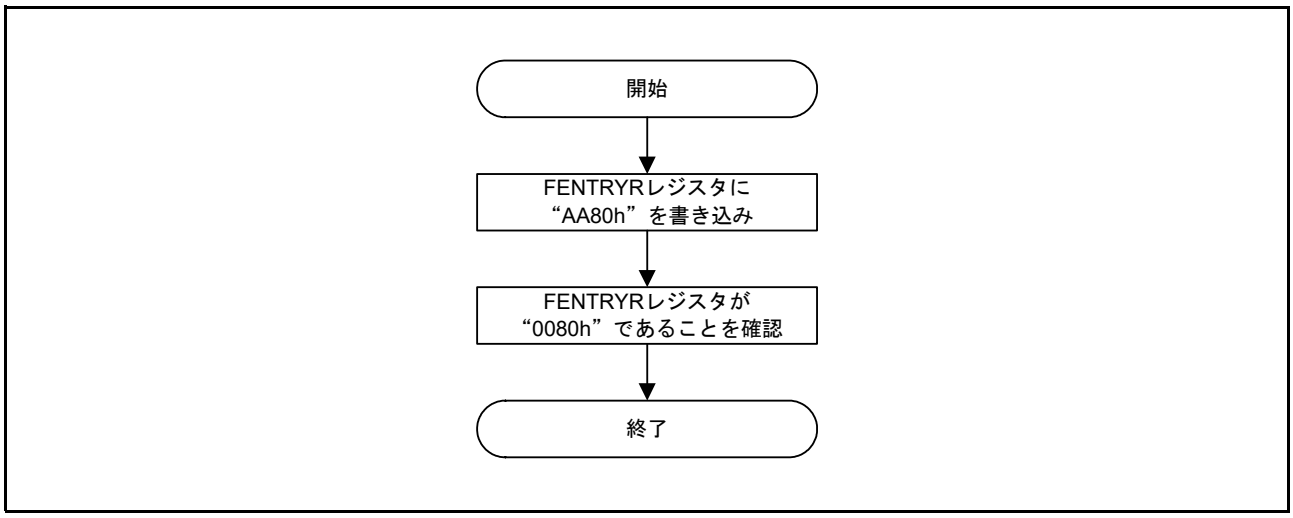
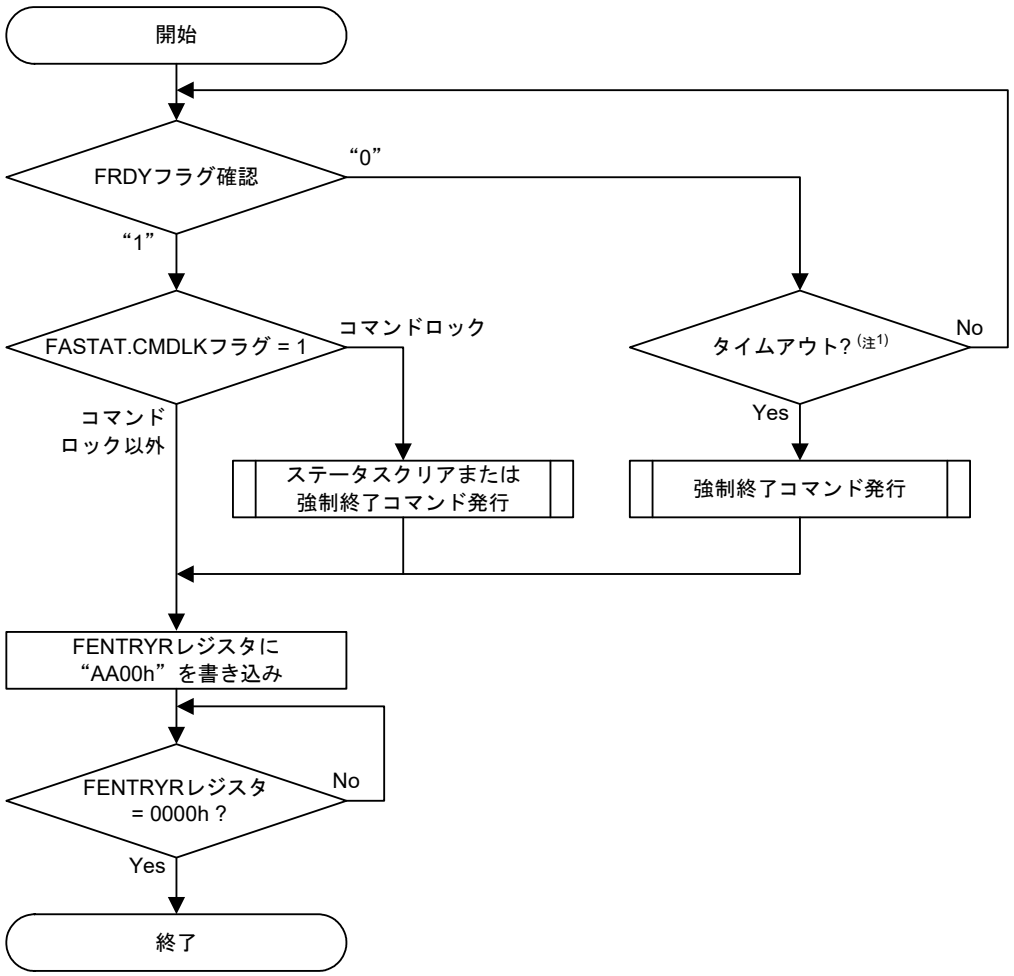


図 45.11 データフラッシュメモリ P/E モード移行フロー

45.6.4.3 リードモードへの遷移

BGO 動作以外でフラッシュメモリを読み出すためには、リードモードに移行する必要があります。リードモードに移行するためには、FENTRYR レジスタを “0000h” にします。リードモードへの移行は、フラッシュシーケンサの処理が完了し、かつコマンドロック以外の状態で実施してください。なお、リセット解除後はリードモードです。



注1. 実行中のFACIコマンド処理のmax時間(「46. 電気的特性」参照)の1.1倍で判定。

図 45.12 リードモード移行フロー

45.6.5 FACI コマンド一覧

表45.16　FACIコマンド一覧

FACIコマンド	機能
プログラム	ユーザ領域、データ領域をプログラムします。 ユーザ領域のプログラム単位：256バイト データ領域のプログラム単位：4バイト
ブロックイレーズ	ユーザ領域(ロックビットを含む)、データ領域をイレーズします。 イレーズ単位：1ブロック (ユーザ領域は8Kまたは32Kバイト、データ領域は64バイト)
P/Eサスペンド	プログラムまたはイレーズの処理を中断します。
P/E レジューム	中断したプログラム/イレーズの処理を再開します。
ステータスクリア	FSTATR.ILGLERR、ERSERR、PRGERRフラグとFASTAT.CMDLKフラグを初期化して、フラッシュシーケンサのコマンドロック状態を解除します。
強制終了	FACIコマンド処理を強制的に終了し、FSTATRレジスタを初期化します。
ブランクチェック	データ領域をブランクチェックします。 チェック単位：4～32Kバイト(4バイト単位で指定)
コンフィギュレーション設定	コンフィギュレーション設定領域の設定を行います。 設定単位：16バイト
ロックビットプログラム	ユーザ領域のロックビットをプログラムします。 プログラム単位：1ビット(1ブロック分のロックビット)
ロックビットリード	ユーザ領域のロックビットをリードして、結果をFLKSTATレジスタに格納します。 リード単位：1ビット(1ブロック分のロックビット)

FACI コマンド発行領域 (表 45.2 参照) に対して、ライトアクセスを行うことで、FACI コマンドを発行できます。表 45.17 に示したライトアクセスを特定の状態で発行すると、フラッシュシーケンサが各コマンドに対応した処理を実行します (「45.6.4　モード遷移」参照)。

表45.17　FACIコマンドのフォーマット

FACIコマンド	ライト回数	FACIコマンド発行領域にライトするデータ			
		第1アクセス	第2アクセス	第3～第(N + 2)アクセス	第(N + 3)アクセス
プログラム(ユーザ領域) 256バイトプログラム：N = 128	131	E8h	80h (= N)	WD_1 ～ WD_{128}	D0h
プログラム(データ領域) 4バイトプログラム：N = 2	5	E8h	02h (= N)	WD_1 ～ WD_2	D0h
ブロックイレーズ	2	20h	D0h	—	—
P/Eサスペンド	1	B0h	—	—	—
P/E レジューム	1	D0h	—	—	—
ステータスクリア	1	50h	—	—	—
強制終了	1	B3h	—	—	—
ブランクチェック	2	71h	D0h	—	—
コンフィギュレーション設定 N = 8	11	40h	08h (= N)	WD_1 ～ WD_8	D0h
ロックビットプログラム	2	77h	D0h	—	—
ロックビットリード	2	71h	D0h	—	—

注.　WD_N (N = 1, 2, …)：N番目の16ビットプログラムデータ

フラッシュシーケンサは，ステータスクリア以外のコマンド処理を開始すると FSTATR.FRDY ビットを “0” にし、コマンド処理が完了すると FSTATR.FRDY ビットを “1” にします。

FRDYIE.FRDYIE ビットが “1” の場合、FSTATR.FRDY ビットが “1” になると、フラッシュレディ (FRDY) 割り込みが発生します。

45.6.6 FACI コマンドの使用方法

本項では、FACI コマンドの使用方法 / 使用例を記載します。

45.6.6.1 FACI コマンド使用時の概略フロー

FACI コマンドを使用する場合の概略フローを図 45.13 に示します。

BGO 動作では、コードフラッシュメモリ上の書き換えプログラムからデータフラッシュメモリへの FACI コマンドの発行も可能なため、内蔵 RAM または外部領域 (コードフラッシュメモリ以外) へのジャンプは不要です。

FCLK を変更した場合、FPCKAR レジスタを変更することで FACI コマンド処理時間の短縮が可能です。詳細は、「45.4.22 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)」を参照してください。

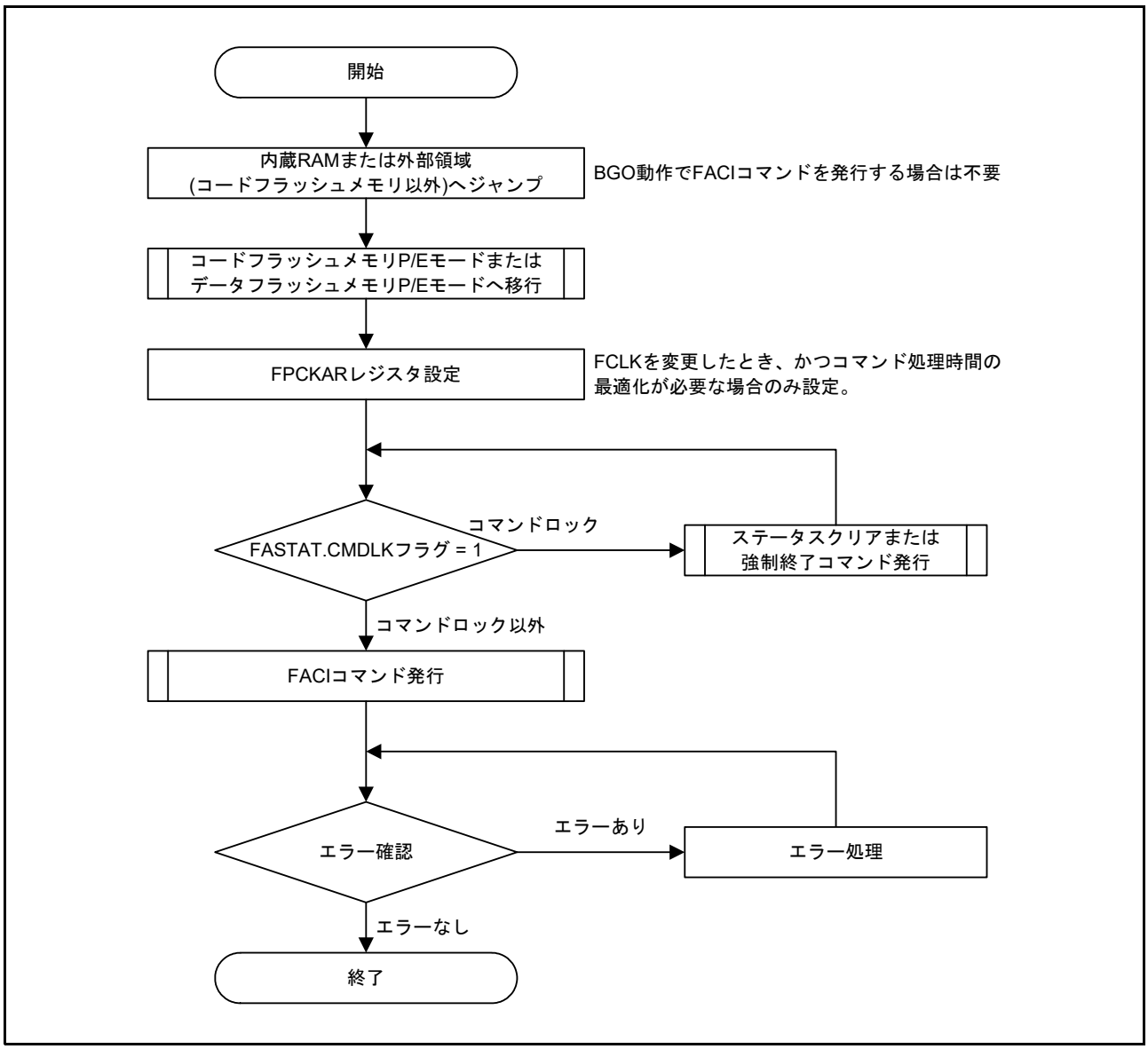


図 45.13 FACI コマンド使用時の概略フロー

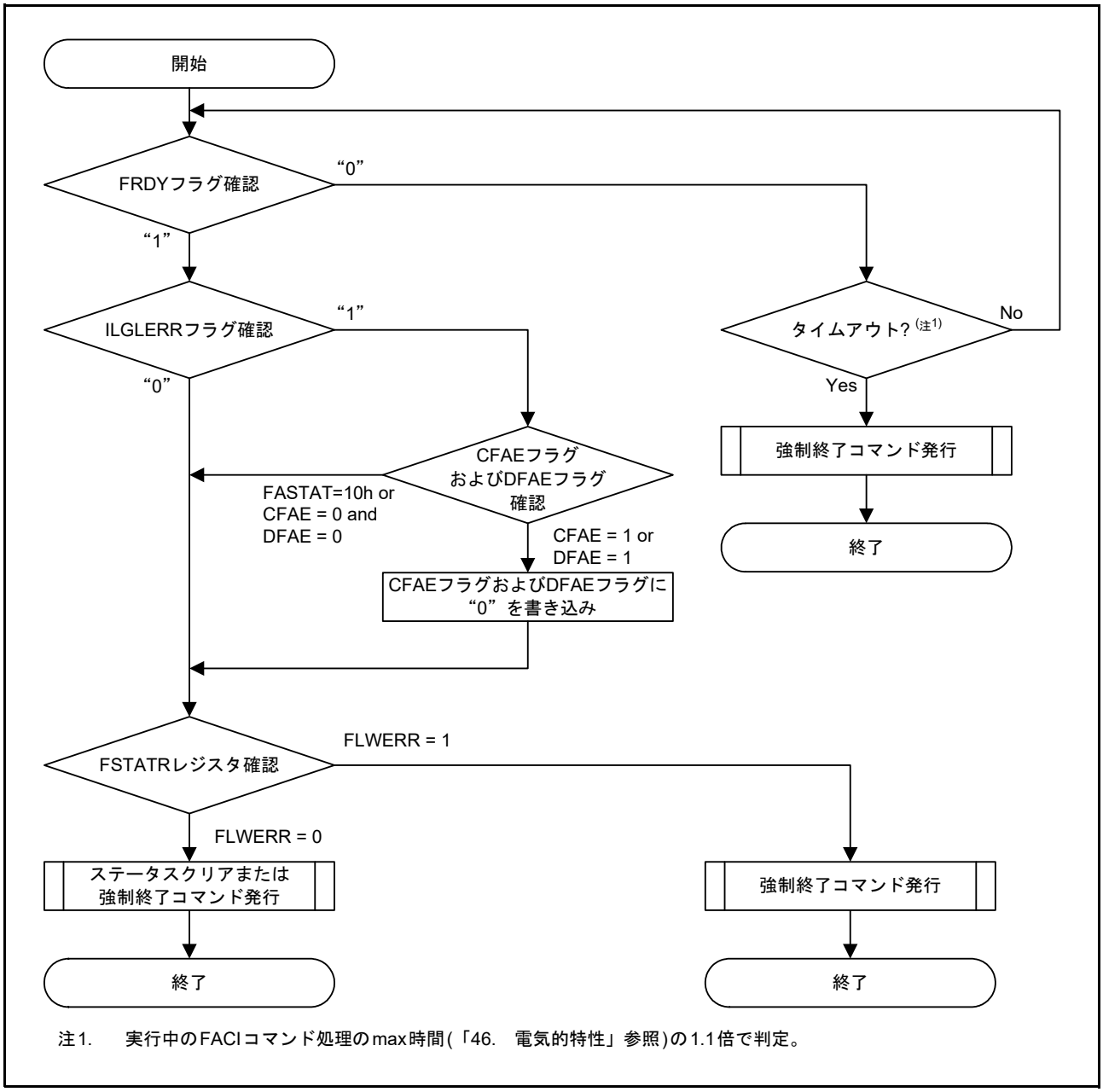
45.6.6.2 コマンドロック状態からの復帰

フラッシュシーケンサがコマンドロック状態になった場合には、FACI コマンドの受け付けができなくなります。コマンドロック状態を解除するためには、ステータスクリアコマンド、強制終了コマンド、または FASTAT レジスタを使用する必要があります。

P/E サスペンドコマンド発行前のエラー確認などでコマンドロック状態を検出した場合には、コマンド処理が完了しておらず FSTATR.FRDY フラグが “0” を保持している可能性があります。「46. 電気的特性」で規定された最大のプログラム / イレーズ時間の 1.1 倍を越えても処理が完了しない場合には、タイムアウトと判断して強制終了コマンドでフラッシュシーケンサを停止させてください。

FSTATR.ILGLERR フラグが “1” の場合には、FASTAT レジスタの値を確認してください。FASTAT.CFAE フラグまたは DFAE フラグが “1” の場合には、FASTAT レジスタの CFAE フラグまたは DFAE フラグを “0” にしてから、ステータスクリア / 強制終了コマンドを発行してください。

FSTATR.FLWERR フラグは、ステータスクリアコマンドでは “1” から “0” に更新できません。これらのビットが “1” の場合には、強制終了コマンドを使用して、コマンドロックを解除してください。その他のコマンドロック要因となるビットは、ステータスクリアコマンドまたは強制終了コマンドで “1” から “0” に更新可能です。



注1. 実行中のFACIコマンド処理のmax時間(「46. 電気的特性」参照)の1.1倍で判定。

図 45.14 コマンドロック状態からの復帰方法

45.6.6.3 プログラムコマンド

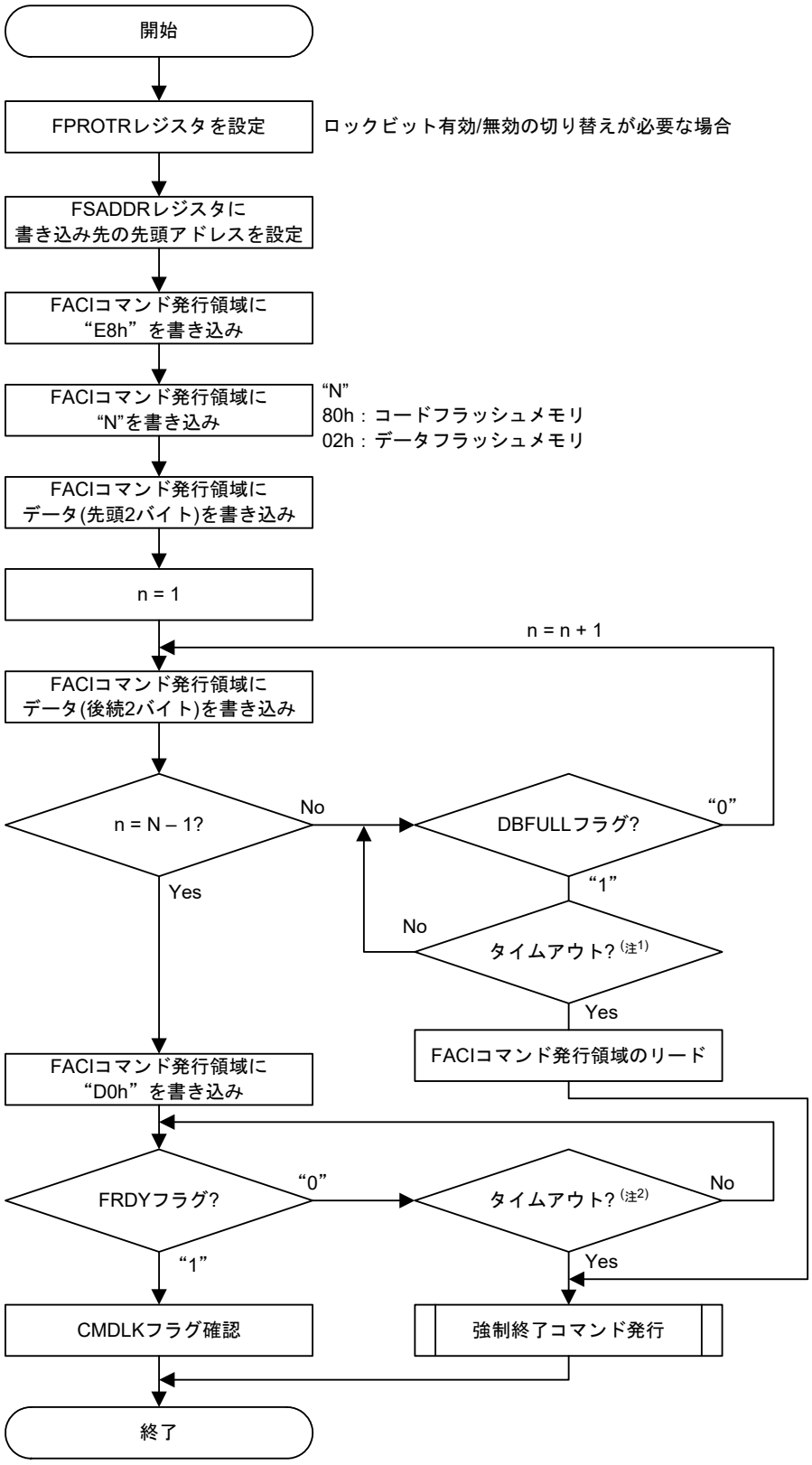
ユーザ領域、データ領域のプログラムには、プログラムコマンドを使用します。

プログラムコマンドを発行する前に、書き込み先の先頭アドレスを FSADDR レジスタに設定してください。FACI コマンド発行時の最終アクセスで “D0h” を FACI コマンド発行領域に書き込むと、プログラムコマンドの処理が開始されます。コマンド処理の終了は、FSTATR.FRDY フラグで確認することができます。プログラムコマンドの処理対象領域に書き込み不要な領域が含まれる場合には、該当領域に対するプログラムデータを “FFFFh” にしてください。

FPROTR レジスタは、プログラムコマンドを発行する前に設定する必要があります。FPROTR レジスタは、ロックビットの有効 / 無効を切り替える場合に設定を変更する必要があります。

FACI 内部のデータバッファがフルの状態で、プログラムコマンドを発行し続けると、内部周辺バス 6 にウェイトが発生し、他の周辺 IP のバスアクセスに影響を及ぼす可能性があります。ウェイト発生を回避する必要がある場合には、FSTATR.DBFULL フラグが “0” の状態で FACI コマンドを発行してください。

なお、データ領域のプログラム時には、データバッファがフルになることがありません。



注1. 1.4μsで判定。(FCLK≧20MHzの場合)
注2. コードフラッシュメモリの場合は、256バイトプログラム時間(max)の1.1倍で判定。
データフラッシュメモリの場合は、4バイトプログラム時間(max)の1.1倍で判定。
256バイトプログラム時間と4バイトプログラム時間は「46. 電気的特性」を参照。

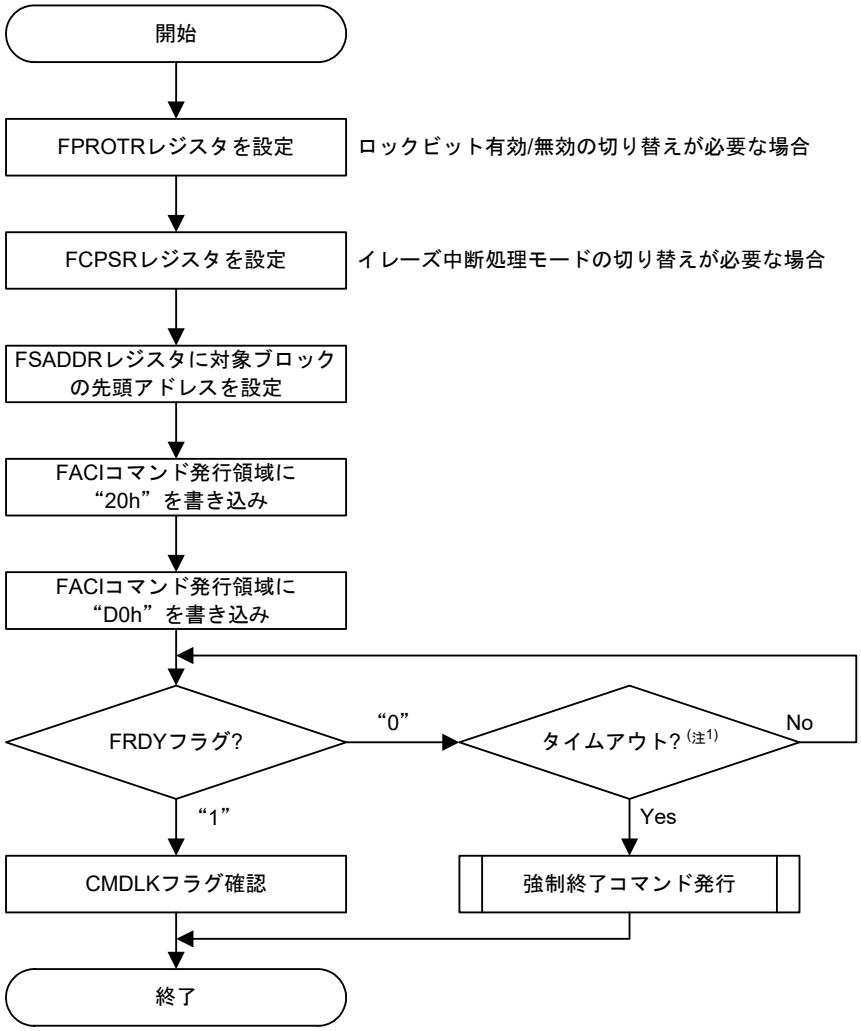
図 45.15 プログラムコマンドの使用方法

45.6.6.4 ブロックイレーズコマンド

ユーザ領域、ロックビット、データ領域のイレーズには、ブロックイレーズコマンドを使用します。イレーズ単位は 1 ブロックです。

ブロックイレーズコマンドを発行する前に、消去先の先頭アドレスを FSADDR レジスタに設定してください。FACI コマンド発行領域に “20h” と “D0h” を書き込むと、ブロックイレーズコマンドの処理が開始されます。コマンド処理の終了は、FSTATR.FRDY フラグで確認することができます。

FPROTR レジスタおよび FCPSR レジスタは、ブロックイレーズコマンドを発行する前に設定する必要があります。FPROTR レジスタは、ロックビットの有効 / 無効を切り替える場合に設定を変更する必要があります。ロックビットのイレーズを行う場合には、FPROTR.FPROTCN ビットを “1” にした状態でブロックイレーズコマンドを発行してください。FCPSR レジスタは、P/E サスペンドコマンドでイレーズ処理を中断する場合の中断方式 (サスペンド優先モード / イレーズ優先モード) を切り替える場合に設定を変更する必要があります。



注1.　コードフラッシュメモリの場合は、32Kバイトイレーズ時間(max)の1.1倍で判定。
データフラッシュメモリの場合は、64バイトイレーズ時間(max)の1.1倍で判定。
32Kバイトイレーズ時間と64バイトイレーズ時間は「46.　電気的特性」を参照。

図 45.16　ブロックイレーズコマンドの使用方法

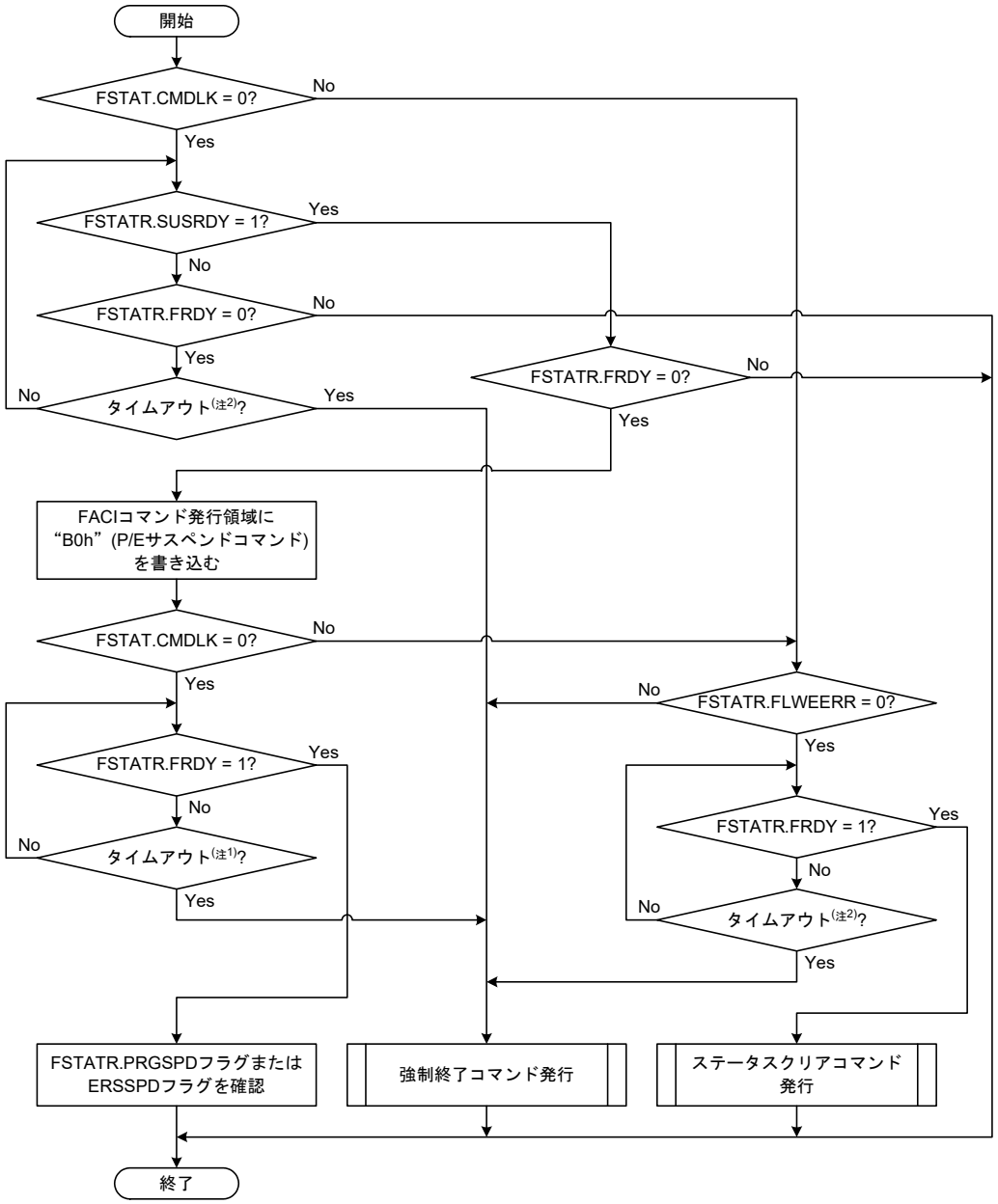
45.6.6.5 P/E サスペンドコマンド

プログラム / イレーズ処理の中断には、P/E サスペンドコマンドを使用します。P/E サスペンドコマンドを発行する場合には、事前に FASTAT.CMDLK フラグが “0” でプログラム / イレーズ処理が正常に実行されていることを確認してください。また、P/E サスペンドコマンドが受け付け可能であることを確認するために、FSTATR.SUSRDY フラグが “1” であることも確認してください。P/E サスペンドコマンドの発行後は、FASTAT.CMDLK フラグを読み出して “1” (コマンドロック) でないことを確認してください。

プログラム / イレーズ処理中に異常が発生した場合には、FASTAT.CMDLK フラグが “1” になります。FSTATR.SUSRDY フラグが “1” であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間にプログラム / イレーズ処理が完了していた場合には、P/E サスペンドコマンドは無視され、サスペンド状態にも遷移しません (FSTATR.FRDY フラグが “1”、かつ FSTATR.ERSSPD フラグと PRGSPD フラグが “0”)。

P/E サスペンドコマンドが受け付けられて、プログラム / イレーズの中断処理が正常に終了した場合には、フラッシュシーケンサがサスペンド状態に遷移して FSTATR.FRDY フラグが “1”、かつ FSTATR.ERSSPD フラグまたは PRGSPD フラグが “1” になります。P/E サスペンドコマンド発行後には、FSTATR.ERSSPD フラグまたは PRGSPD フラグが “1” で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生しフラッシュシーケンサがコマンドロック状態に遷移します (「45.5.4.2 エラープロテクション」参照)。

イレーズサスペンド状態に遷移した場合には、イレーズ対象外のブロックに対するプログラムを実行することができます。また、プログラム / イレーズサスペンド状態ともに、FENTRYR レジスタをクリアすることにより、リードモードに移行することも可能です。



注1. コードフラッシュメモリ、データフラッシュメモリともに、イレーズサスペンド遅延時間(max)の1.1倍で判定。
注2. コードフラッシュメモリ、データフラッシュメモリともに、イレーズ時間(max)の1.1倍で判定。

イレーズサスペンド遅延時間およびイレーズ時間については、「46. 電気的特性」を参照。

図 45.17 P/E サスペンドコマンドの使用方法

(1) プログラム中のサスペンド

フラッシュメモリへのプログラム処理中に P/E サスペンドコマンドを発行すると、フラッシュシーケンサはプログラム処理を中断します。**図 45.18** にプログラム処理の中断動作を示します。

フラッシュシーケンサは、プログラムコマンドまたは P/E レジュームコマンドを受け付けると、FSTATR.FRDY フラグを “0” にしてプログラム処理を開始します。プログラム処理の開始後にフラッシュシーケンサが P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR.SUSRDY フラグが “1” になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受け付けて FSTATR.SUSRDY フラグを “0” にします。書き込みパルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受け付けた場合には、フラッシュシーケンサはパルスの印加を継続します。所定のパルス印加時間を経過するとフラッシュシーケンサはパルスの印加を完了し、プログラムの中断処理を開始して FSTATR.PRGSPD フラグを “1” にします。

中断処理が完了すると、フラッシュシーケンサは FSTATR.FRDY フラグを “1” にしてプログラムサスペンド状態に遷移します。プログラムサスペンド状態でフラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FSTATR.FRDY フラグと FSTATR.PRGSPD フラグを “0” にしてプログラム処理を再開します。

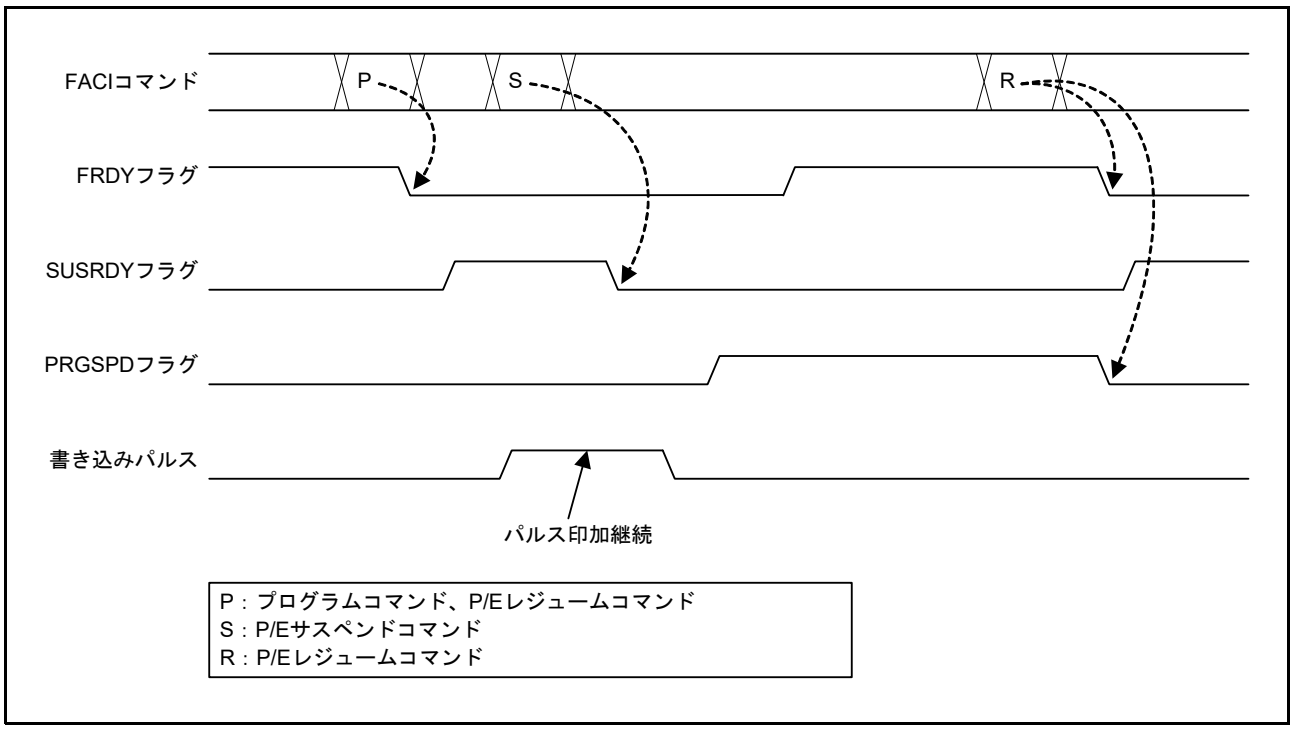


図 45.18 プログラム処理の中断動作

(2) イレーズ中のサスペンド (サスペンド優先モード)

イレーズ中のサスペンド方式として、サスペンド優先モードをサポートしています。**図 45.19** にサスペンド優先モード (FCPSR.ESUSPMD ビットが “0”) の場合のイレーズ処理の中断動作を示します。

フラッシュシーケンサは、ブロックイレーズコマンドまたは P/E レジュームコマンドを受け付けると、FSTATR.FRDY フラグを “0” にしてイレーズ処理を開始します。イレーズ処理の開始後にフラッシュシーケンサが P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR.SUSRDY フラグが “1” になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサは P/E サスペンドコマンドを受け付けて FSTATR.SUSRDY フラグを “0” にします。イレーズ処理中に P/E サスペンドコマンドを受け付けた場合には、フラッシュシーケンサは消去パルス印加中でも中断処理を開始して FSTATR.ERSSPD フラグを “1” にします。中断処理が完了すると、フラッシュシーケンサは FSTATR.FRDY フラグを “1” にして、イレーズサスペンド状態に遷移します。イレーズサスペンド状態で、フラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FSTATR.FRDY フラグと ERSSPD フラグを “0” にして、イレーズ処理を再開します。イレーズ処理の中断 / 再開時の FSTATR.FRDY、SUSRDY、ERSSPD フラグの動作は、イレーズサスペンドモードに依存せず同様です。

イレーズサスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を停止してイレーズサスペンド状態に遷移します。P/E レジュームコマンドによりイレーズが再開され、消去パルス A を再印加している期間に、P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、フラッシュシーケンサは消去パルス A の印加を完了してイレーズサスペンド状態に遷移します。次にフラッシュシーケンサが P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加を停止します。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

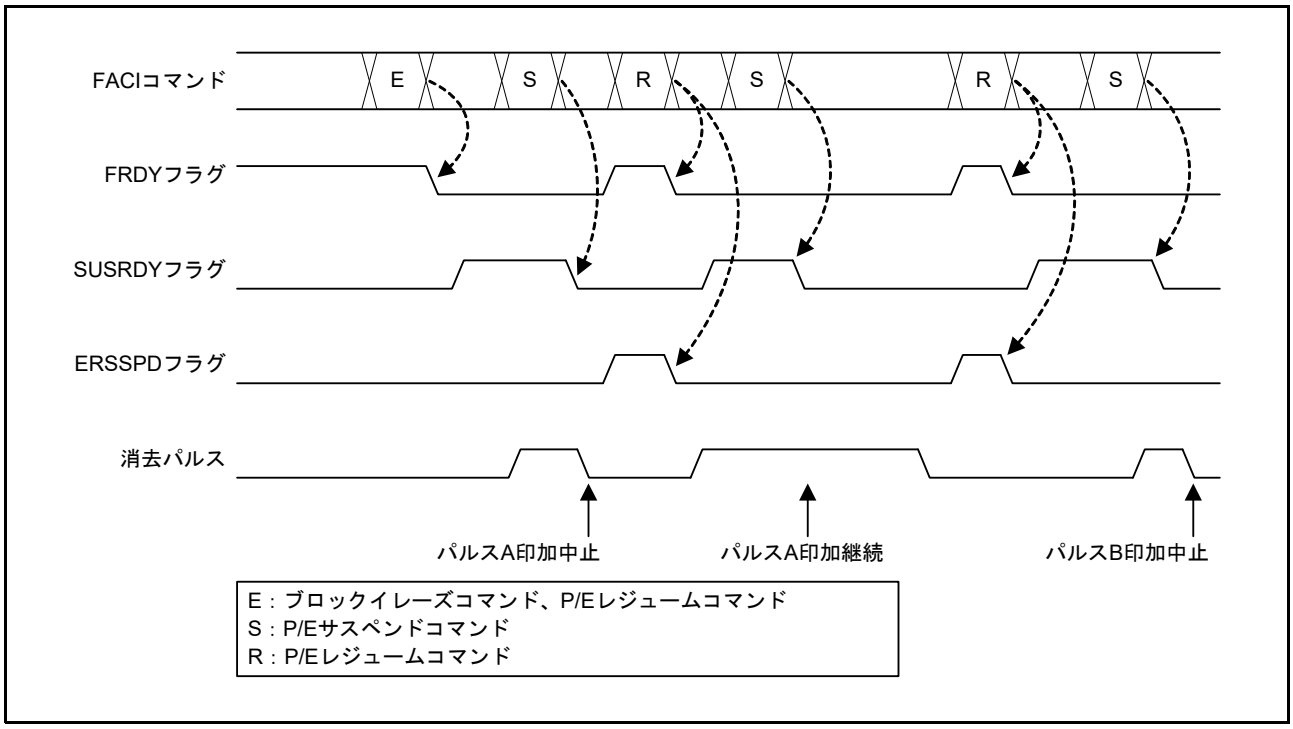


図 45.19 イレーズ処理の中断動作 (サスペンド優先モード)

(3) イレーズ中のサスペンド (イレーズ優先モード)

イレーズ中のサスペンドの方式として、イレーズ優先モードをサポートしています。図 45.20 にイレーズ優先モード (FCPSR.ESUSPMD ビットが “1”) の場合のイレーズ処理の中断動作を示します。イレーズ優先モードのイレーズパルス制御方式は、プログラム中断処理の書き込みパルス制御方式と同様です。

フラッシュシーケンサが消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時に消去パルスの再印加が発生しないため、サスペンド優先モードと比較してイレーズ処理全体に必要な時間を短縮可能です。

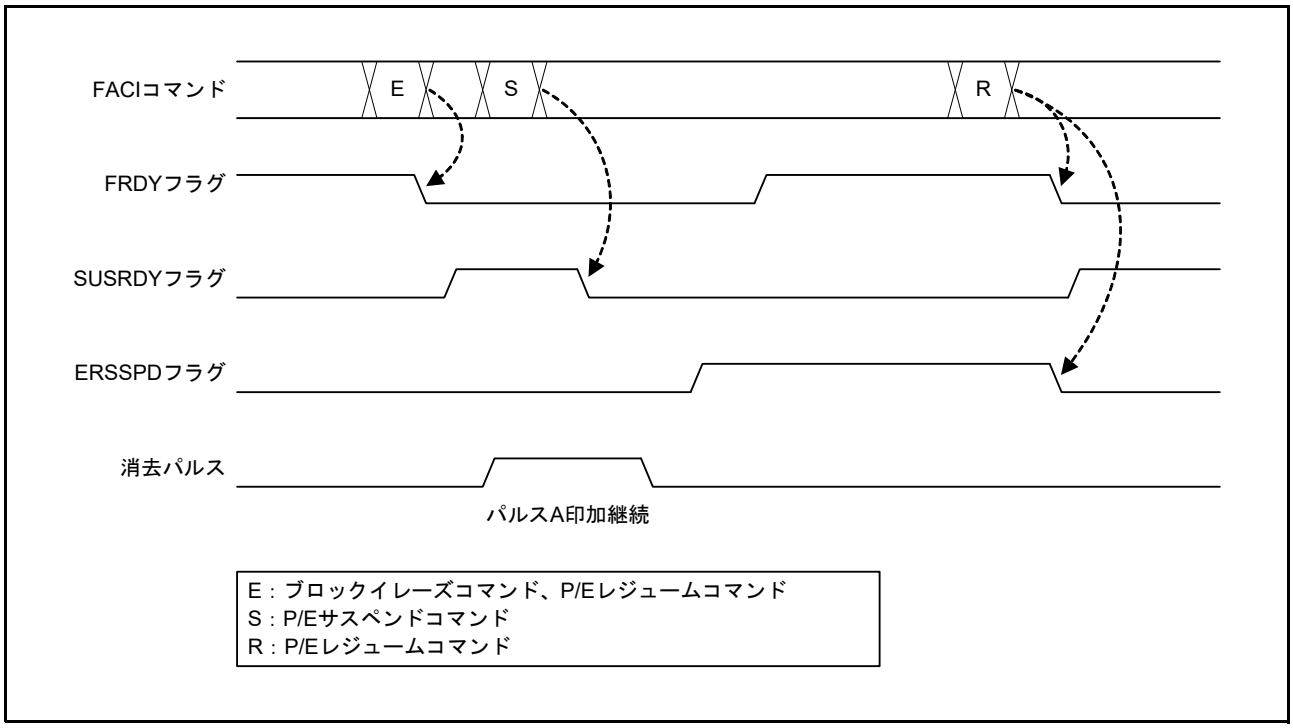
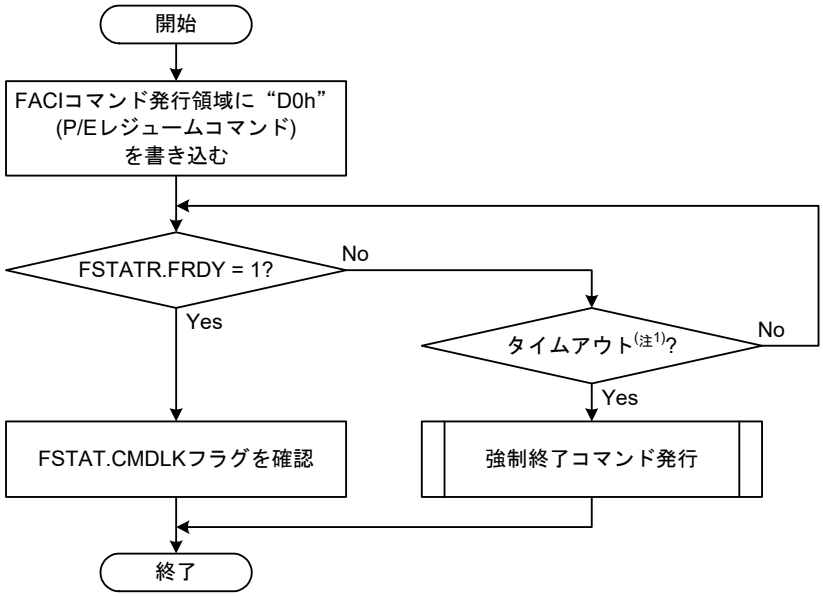


図 45.20 イレーズ処理の中断動作 (イレーズ優先モード)

45.6.6.6 P/E レジュームコマンド

サスペンドしたプログラム / イレーズ処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に、FENTRYR レジスタの値を P/E サスペンドコマンド発行直前の値に再設定してください。レジュームしたコマンドによる処理の終了は、FSTATR.FRDY フラグで確認することができます。



注1. 中断したFACIコマンド処理のmax時間(「46. 電気的特性」を参照)の1.1倍で判定。

図 45.21 P/E レジュームコマンドの使用方法

45.6.6.7 ステータスクリアコマンド

FSTATR.ILGLERR、ERSERR、PRGERR、FLWEERR フラグのいずれかのビットが “1” になると、フラッシュシーケンサはコマンドロック状態になります。また、FASTAT.CFAE、DFAE フラグのいずれかのビットが “1” になる場合もコマンドロック状態になります。コマンドロック状態時、フラッシュシーケンサはステータスクリアコマンドまたは強制終了コマンドのみ受け付け可能です。

ステータスクリアコマンドは、コマンドロック状態を解除するために使用するコマンドです(「45.6.6.2 **コマンドロック状態からの復帰**」参照)。コマンドロック状態で、FASTAT.CMDLK フラグ、また FSTATR.ILGLERR、ERSERR、PRGERR フラグをクリアしたい場合に、ステータスクリアコマンドを使用可能です。

FSTATR.FLWEERR フラグはステータスクリアコマンドでクリアすることはできず、強制終了コマンドのみクリアすることが可能です。

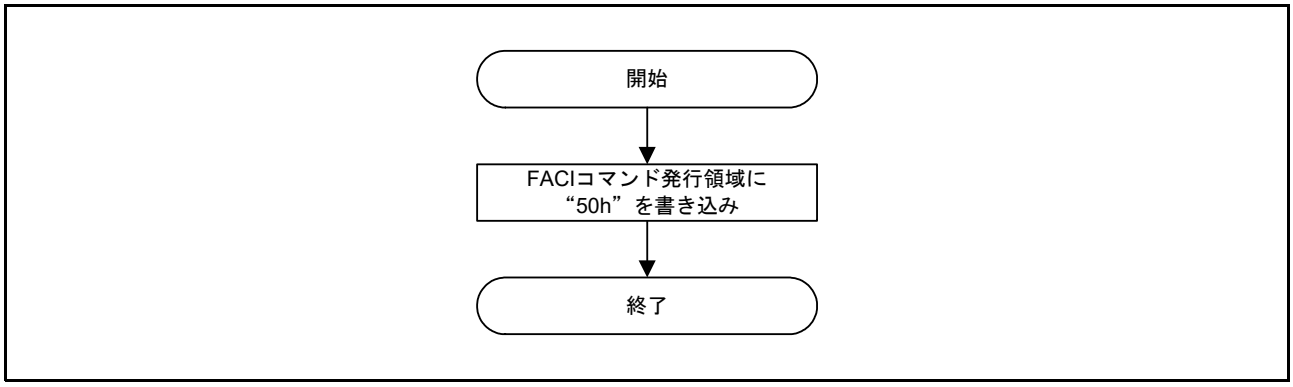
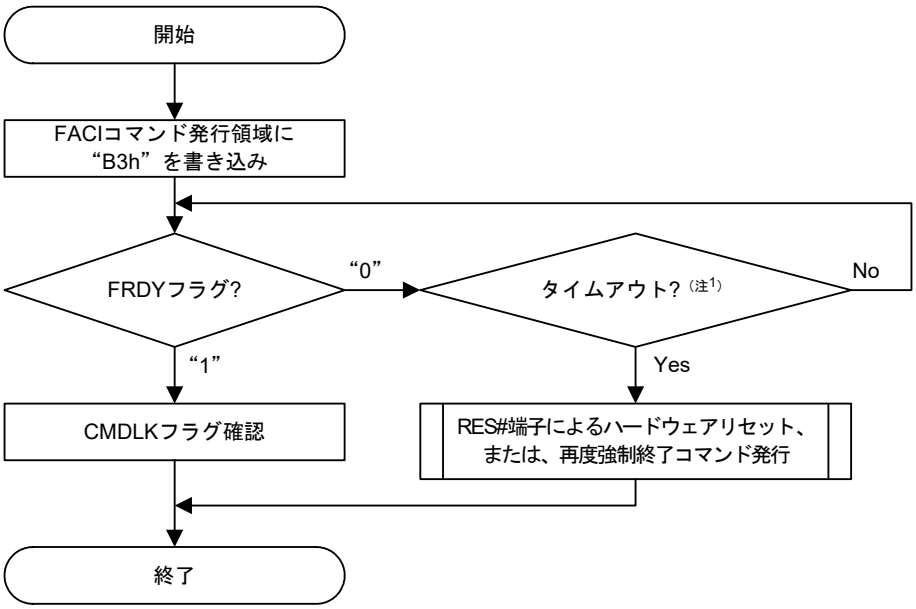


図 45.22 ステータスクリアコマンドの使用方法

45.6.6.8　強制終了コマンド

強制終了コマンドは、フラッシュシーケンサのコマンド処理を強制的に終了させるコマンドです。P/E サスペンドコマンドよりも高速にコマンド処理を中断可能ですが、中断したプログラム / イレーズ領域のデータ値は保証されません。また、中断した処理を再開することもできません。強制終了コマンドで中断したプログラム / イレーズ処理は、書き換え回数としては 1 回分と定義されます。

強制終了コマンドを実行すると、フラッシュシーケンサ全体および FACI の一部が初期化されます。また、FASTAT.CMDLK フラグと FSTATR レジスタも初期化されます。このため、コマンドロック状態からの復帰手段や、フラッシュシーケンサ動作のタイムアウト処理でも、強制終了コマンドを利用することができます (「45.6.6.2　コマンドロック状態からの復帰」参照)。



注 1.　強制終了コマンド時間の max 時間 (「46.　電気的特性」を参照) の 1.1 倍で判定。

図 45.23　強制終了コマンドの使用方法

コマンド発行中の強制終了コマンドの使用方法について

プログラムコマンドの DBFULL ビット判定でのタイムアウト発生時に強制終了コマンドによる中断を行う場合、FACI コマンド発行領域への書き込みがプログラムコマンドの書き込みデータとして扱われる場合があります。この場合、FACI コマンド発行領域をリードして意図的にコマンドロックを発生させた後、コマンドロック状態からの復帰方法に従って強制終了コマンドを発行してください。なお、FACI コマンド発行領域のリードのアクセスサイズが 8 ビット /16 ビット /32 ビットのいずれの場合でも、コマンドロックを発生させることが可能です。

45.6.6.9 ブランクチェックコマンド

イレーズ後に書き込んでいない状態 (未書き込み状態) のデータフラッシュメモリの値は不定であるため、未書き込み状態の確認にはブランクチェックコマンドを使用する必要があります。

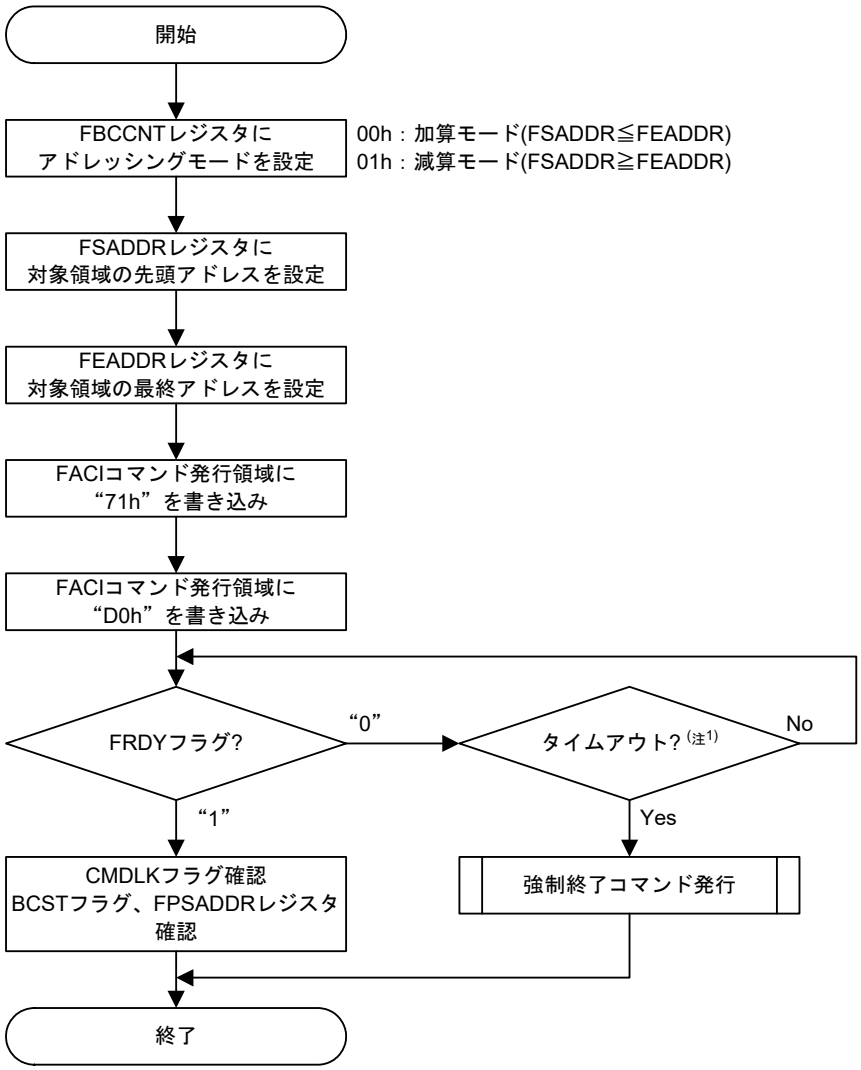
ブランクチェックコマンドを発行する前に、アドレッシングモード、ブランクチェック対象領域の先頭アドレス / 最終アドレスを FBCCNT レジスタ、FSADDR レジスタ、FEADDR レジスタに設定してください。

FBCCNT.BCDIR ビットが “1” の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。

FBCCNT.BCDIR ビットが “0” の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。

FBCCNT.BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります。ブランクチェック対象領域のサイズは 4 バイト～32K バイトの範囲で、4 バイト単位に設定可能です。

FACI コマンド発行領域に “71h” と “D0h” を書き込むと、ブランクチェックの処理が開始されます。処理の完了は、FSTATR.FRDY フラグで確認可能です。処理完了時に、FBCSTAT.BCST ビットにブランクチェックの結果が格納されます。書き込み済みの領域がブランクチェック対象の領域に含まれている場合、フラッシュシーケンサは最初に検出した書き込み済みデータのアドレスを FPSADDR レジスタに格納します。

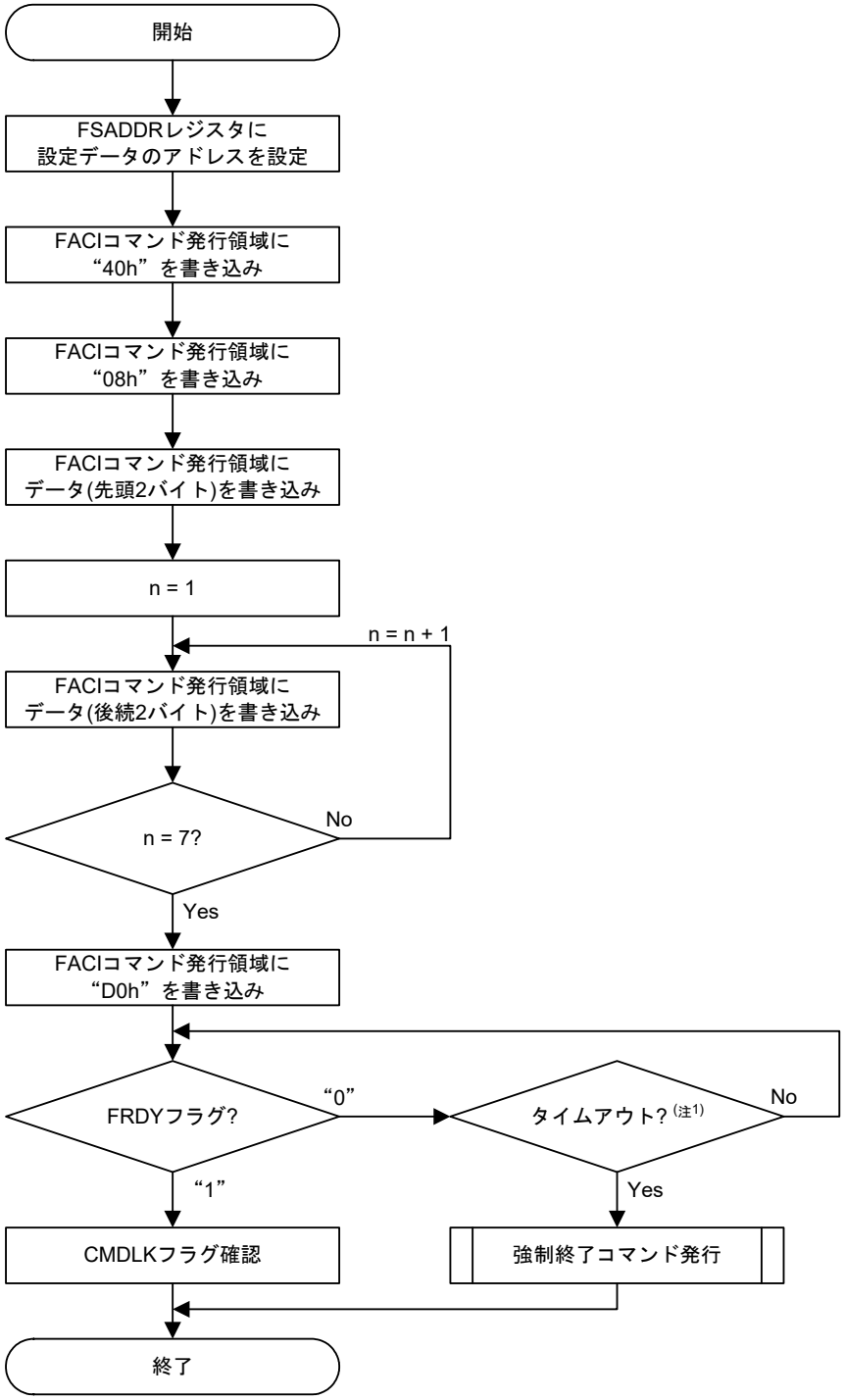


注1. ブランクチェック対象領域全体のブランクチェック時間(max)の1.1倍で判定。
ブランクチェック時間は「46. 電気的特性」を参照。

図 45.24 ブランクチェックコマンドの使用方法

45.6.6.10 コンフィギュレーション設定コマンド

コンフィギュレーション設定コマンドは、コンフィギュレーション設定領域の設定を行うためのコマンドです。コンフィギュレーション設定コマンドを発行する前に、設定データのアドレス (表 45.18 参照) を FSADDR レジスタに設定してください。FACI コマンド発行時の最終アクセスで “D0h” を FACI コマンド発行領域に書き込むと、コンフィギュレーション設定コマンドの処理が開始されます。



注1. 70ms (20MHz≦FCLK≦60MHzのとき)、140ms (FCLK = 4MHzのとき)で判定。

図 45.25 コンフィギュレーション設定コマンドの使用方法

コンフィギュレーション設定が可能なデータと、FSADDR レジスタに設定するアドレス値の対応は表45.18 のとおりです。

表45.18 コンフィギュレーション設定コマンドで使用するアドレス

アドレス	FSADDR レジスタ設定値	設定データ	設定が有効になる タイミング
0012 0040h	0000 0040h	• シリアルプログラマコマンド制御レジスタ(SPCC) • TMイネーブルフラグレジスタ(TMEF)	リセット後とコマンド実行時(注1)
0012 0050h	0000 0050h	• OCD/シリアルプログラマID設定レジスタ(OSIS)	リセット後
0012 0060h	0000 0060h	• TM識別データレジスタ(TMINF) • エンディアン選択レジスタ(MDE) • オプション機能選択レジスタ0(OFS0) • オプション機能選択レジスタ1(OFS1)	リセット後
0012 007Ch	0000 0070h	• ROMコードプロテクトレジスタ(ROMCODE)	リセット後

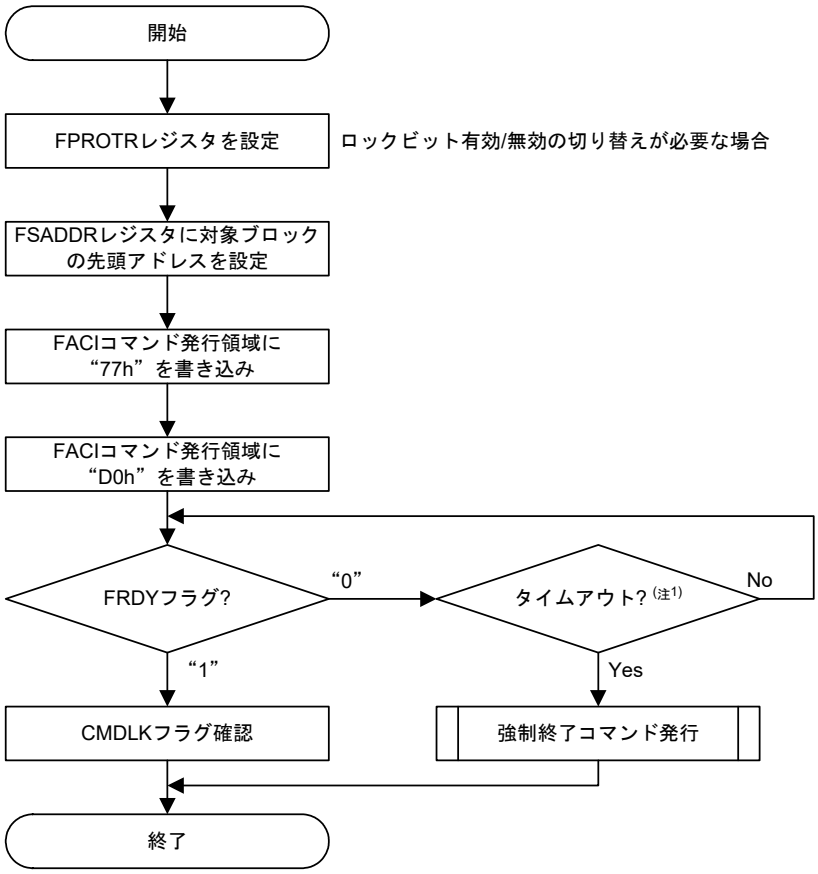
注1. シリアルプログラマコマンド制御レジスタ(SPCC)はリセット後に設定が有効になります。TMイネーブルフラグレジスタ(TMEF)はリセット後、およびコマンド実行時に設定が有効になります。

45.6.6.11 ロックビットプログラムコマンド

ロックビットのプログラムには、ロックビットプログラムコマンドを使用します。ロックビットのイレーズには、ブロックイレーズコマンドを使用します(「45.6.6.4 ブロックイレーズコマンド」参照)。

ロックビットプログラムコマンドを発行する前に、ロックビットを書き込みたいブロックの先頭アドレスを FSADDR レジスタに設定してください。FACI コマンド発行領域に “77h” と “D0h” を書き込むと、ロックビットプログラムコマンドの処理が開始されます。

FPROTR レジスタは、ロックビットプログラムコマンドを発行する前に設定する必要があります。FPROTR レジスタは、ロックビットの有効 / 無効を切り替える場合に設定を変更する必要があります。



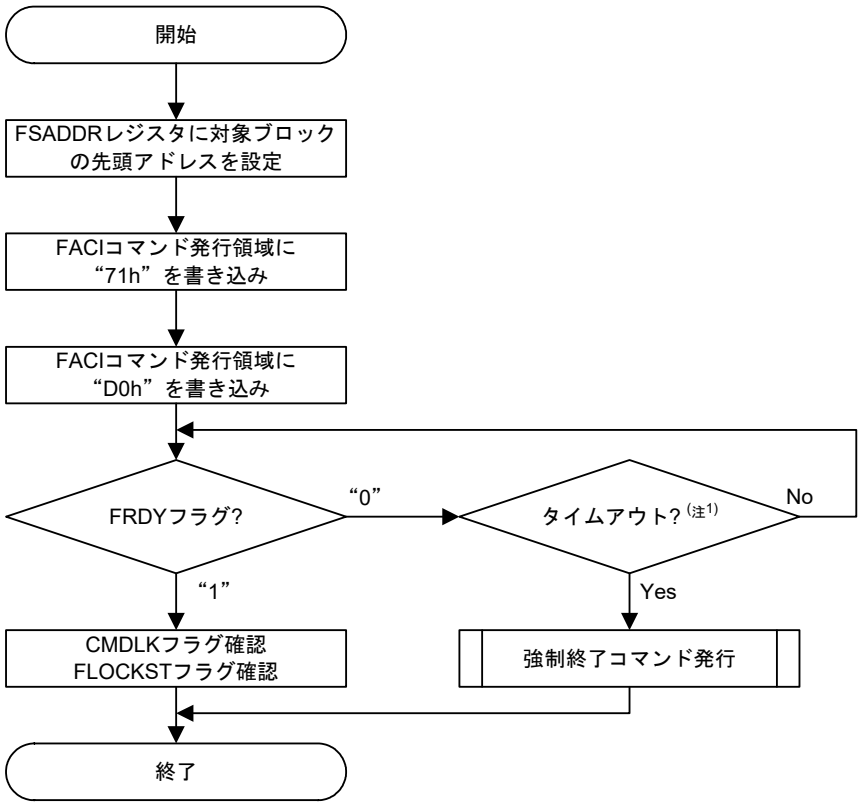
注1. 25ms (20MHz≦FCLK≦60MHzのとき)、50ms (FCLK = 4MHzのとき)で判定。

図 45.26 ロックビットプログラムコマンドの使用方法

45.6.6.12 ロックビットリードコマンド

ロックビットのリードには、ロックビットリードコマンドを使用します。

ロックビットリードコマンドを発行する前に、読み出したいブロックの先頭アドレスを FSADDR レジスタに設定してください。FACI コマンド発行領域に “71h” と “D0h” を書き込むと、ロックビットリードコマンドの処理が開始されます。コマンド処理の完了は、FSTATR.FRDY フラグで確認可能です。処理完了時に、FLKSTAT.FLOCKST フラグにロックビットリードの結果が格納されます。



注1. 10μs (20MHz≦FCLK≦60MHzのとき)、20μs (FCLK = 4MHzのとき)で判定。

図 45.27 ロックビットリードコマンドの使用方法

45.7 ブートモード

ブートモードには SCI を使用するブートモード (SCI インタフェース) と USB を使用するブートモード (USB インタフェース) と FINE を使用するブートモード (FINE インタフェース) があります。表 45.19 にブートモードで使用する入出力端子を示します。

ブートモードで使用しない入出力端子は、リセット後の状態です。

表45.19 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード (SCIインタフェース) ユーザブートモード ブートモード (USBインタフェース)	動作モードを選択
P00/UB	入力		ブートモード(SCIインタフェース)、ユーザブートモード(注1)/ブートモード(USBインタフェース)を選択
PD5/RXD1	入力	ブートモード (SCIインタフェース)	ホスト通信用(SCIデータ受信用)
PD3/TXD1	出力		ホスト通信用(SCIデータ送信用)
USB0_DP, USB0_DM	入出力	ブートモード (USBインタフェース)	USBデータの入出力
PD2/USB0_VBUS	入力		USBケーブルの接続/切断の検出
PE2/UPSEL	入力		USBバスパワーモード/セルフパワーモードを選択
MD/FINED	入出力	ブートモード (FINEインタフェース)	動作モードを選択、FINEデータの入出力

注1. ユーザブートモードを使用する場合はUBコードAとUBコードBの設定が必要です。

45.7.1 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) では、ホストから制御コマンドやプログラムデータを送信してユーザ領域 / データフラッシュメモリ、ユーザブート領域へのプログラム / イレーズが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモード (SCI インタフェース) で起動すると、MCU 内部の専用領域上のプログラム (ブートプログラム) が実行されます。ブートプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラム / イレーズの制御をします。

図 45.28 にブートモード (SCI インタフェース) 時のシステム構成を示します。

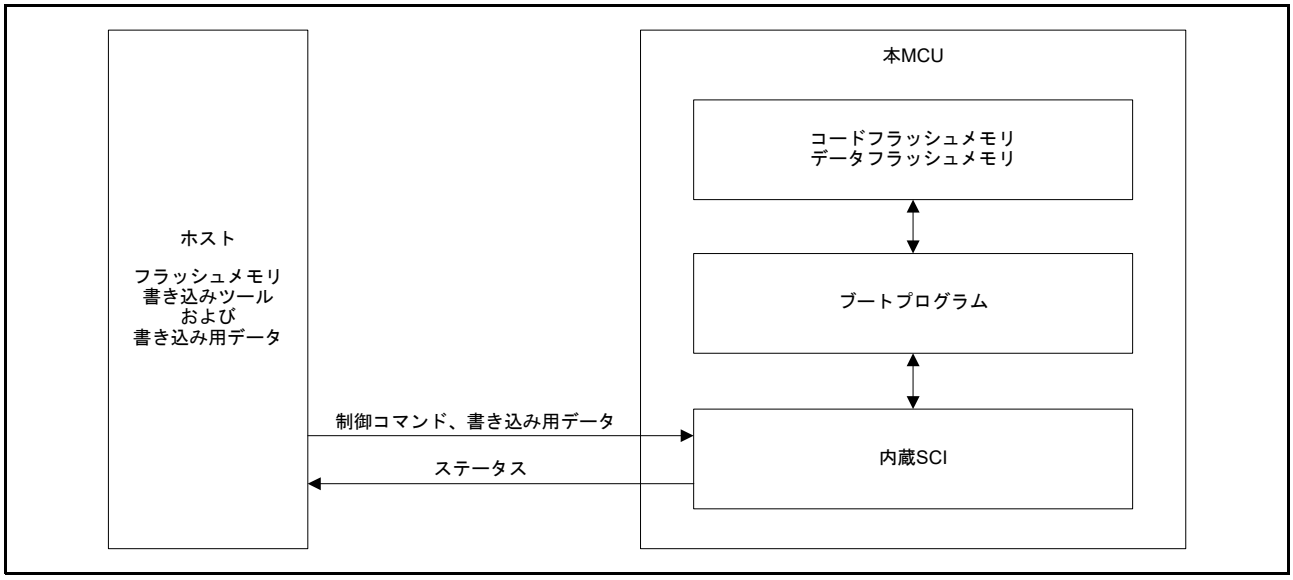


図 45.28 ブートモード (SCI インタフェース) 時のシステム構成

45.7.2 ブートモード (USB インタフェース)

ブートモード (USB インタフェース) では、ホストから制御コマンドやプログラムデータを送信してユーザ領域 / データフラッシュメモリ、ユーザブート領域へのプログラム / イレーズが実行可能です。ホストと本 MCU 間の通信には、内蔵の USB を使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

図 45.29 にブートモード (USB インタフェース) 時のシステム構成を示します。

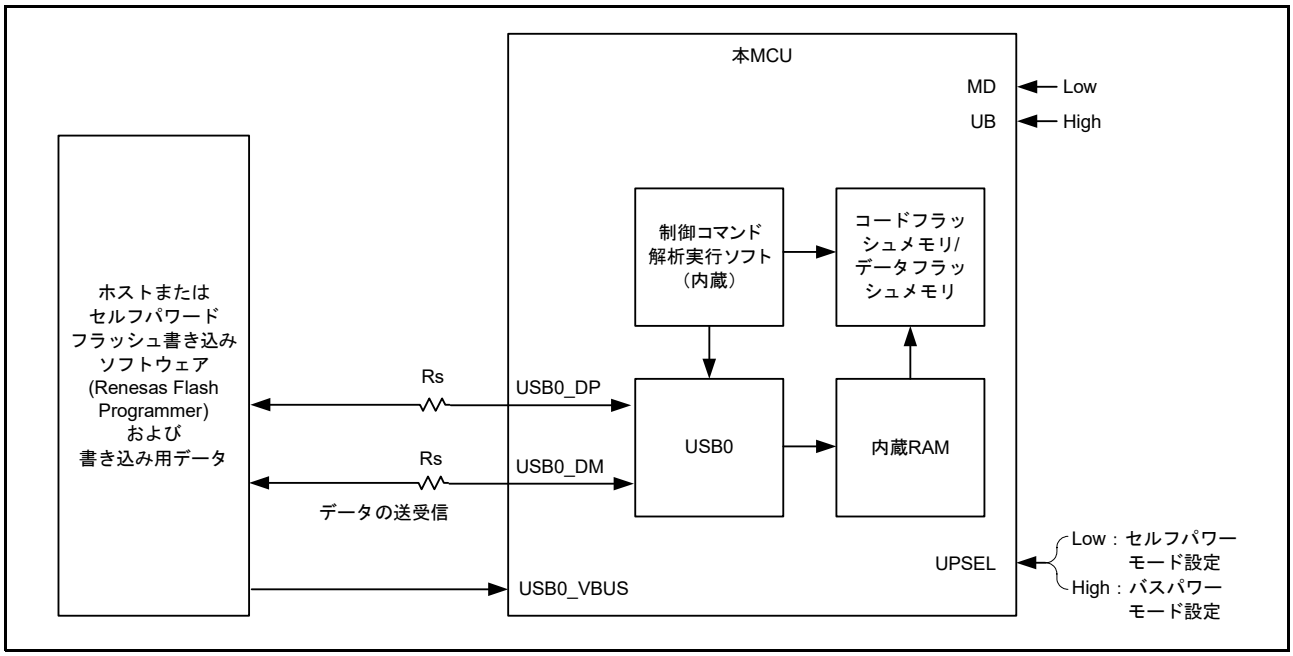


図 45.29 ブートモード (USB インタフェース) 時のシステム構成

ブートモード (USB インタフェース) では、セルフパワーモードもしくはバスパワーモードを選択して動作します。MD 端子、UPSEL 端子を Low に、UB 端子を High にしてリセットを解除すると、セルフパワーモードで動作します。MD 端子を Low に、UPSEL 端子、UB 端子を High にしてリセットを解除すると、バスパワーモードで動作します。

表 45.20 に各モードのエニュメレーション情報を示します。

表45.20 エニュメレーション情報

USB規格	Ver.2.0 (Full-speed)	
最大電力量	セルフパワーモード時(PE2/UPSEL端子 = Low)	100mA
	バスパワーモード時(PE2/UPSEL端子 = High)	500mA

45.7.3 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イレーズに FINE を使用するモードです。ユーザ領域 / データフラッシュメモリ、ユーザブート領域を書き換えることができます。

45.7.3.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。**図 45.30** にブートモード (FINE インタフェース) 時の端子接続例を、**表 45.21** にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、**図 45.30** に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

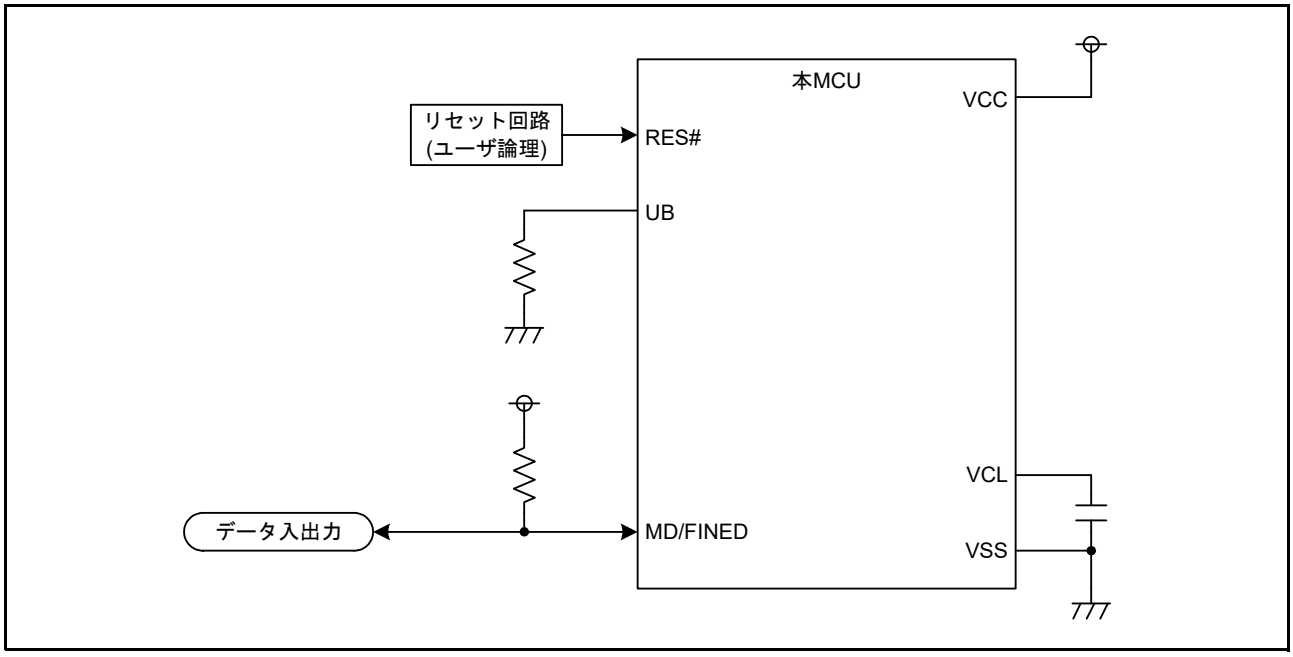


図 45.30 ブートモード (FINE インタフェース) 時のシステム構成

表45.21 ブートモード(FINEインタフェース)時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源入力	入力	VCC端子には2.7V以上の電圧を、VSS端子には0Vを入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の0.47μFの積層セラミックコンデンサを介してVSSに接続してください
MD	動作モードコントロール/データ入出力	入出力	抵抗を介してVCCに接続(プルアップ)してください
UB	動作モードコントロール	入力	抵抗を介してVSSに接続(プルダウン)してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

45.8 フラッシュメモリプロテクト機能

フラッシュメモリプロテクト機能は、第三者によるフラッシュメモリの読み出し、書き換えから保護する機能です。

オンチップデバッガ接続時にはオンチップデバッガ ID コードプロテクト、シリアルプログラマ接続時にはシリアルプログラマ ID コードプロテクトがあります。また、パラレルプログラマ接続時には ROM コードプロテクトがあります。

45.8.1 ID コードプロテクト

ID コードプロテクトには、オンチップデバッガを接続したときのオンチップデバッガ ID コードプロテクト、シリアルプログラマを接続したときのシリアルプログラマ ID コードプロテクトの 2 つがあります。どちらも使用する ID コードは同じものですが、動作が異なります。

詳細は、「7.2.2 OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)」を参照してください。

45.8.1.1 オンチップデバッガ ID コードプロテクト

オンチップデバッガ (OCD) への接続を禁止するための機能です。

エミュレータから送られてくるコードと、OCD/ シリアルプログラマ ID 設定レジスタ (OSIS) の ID コードの一致を判定し、一致した場合、OCD への接続を許可します。一致しない場合、OCD への接続はできません。

45.8.1.2 シリアルプログラマ ID コードプロテクト

シリアルプログラマとの接続を禁止するための機能です。シリアルプログラマを接続する場合、オプション設定メモリ上に書かれている OCD/ シリアルプログラマ ID 設定レジスタ (OSIS) の ID コードを使い、ID コードプロテクトの判定を行います。

シリアルプログラマから送られてくるコードと、OCD/ シリアルプログラマ ID 設定レジスタ (OSIS) の ID コードの一致を判定し、一致した場合、シリアルプログラマとの接続を許可します。一致しない場合、シリアルプログラマとの接続はできません。ただし、制御コードが “45h” の状態で 3 回連続して判定結果が一致しなかった場合、フラッシュメモリを全て消去します。

ユーザブートモードでは、シリアルプログラマ ID コードプロテクト機能はありません。

45.8.2 ROM コードプロテクト

ROM コードプロテクトは、パラレルプログラマを使用する場合にフラッシュメモリのリード、プログラム / イレーズを禁止する機能です。

詳細は、「7.2.8 ROM コードプロテクトレジスタ (ROMCODE)」を参照してください。

45.9 ブートモード通信プロトコル

ブートモードで使用する通信プロトコルを説明します。プログラマを開発される場合には、この通信プロトコルで制御してください。

45.9.1 ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子を Low、UB 端子を Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。また、ブートモード (SCI インタフェース) で起動した後、本 MCU との通信が可能になるまでには、RES# 端子を High にしたまま、400ms 以上の待ち時間が必要です。

図 45.31 にブートモード (SCI インタフェース) で通信が可能になるまでの各端子の状態を示します。

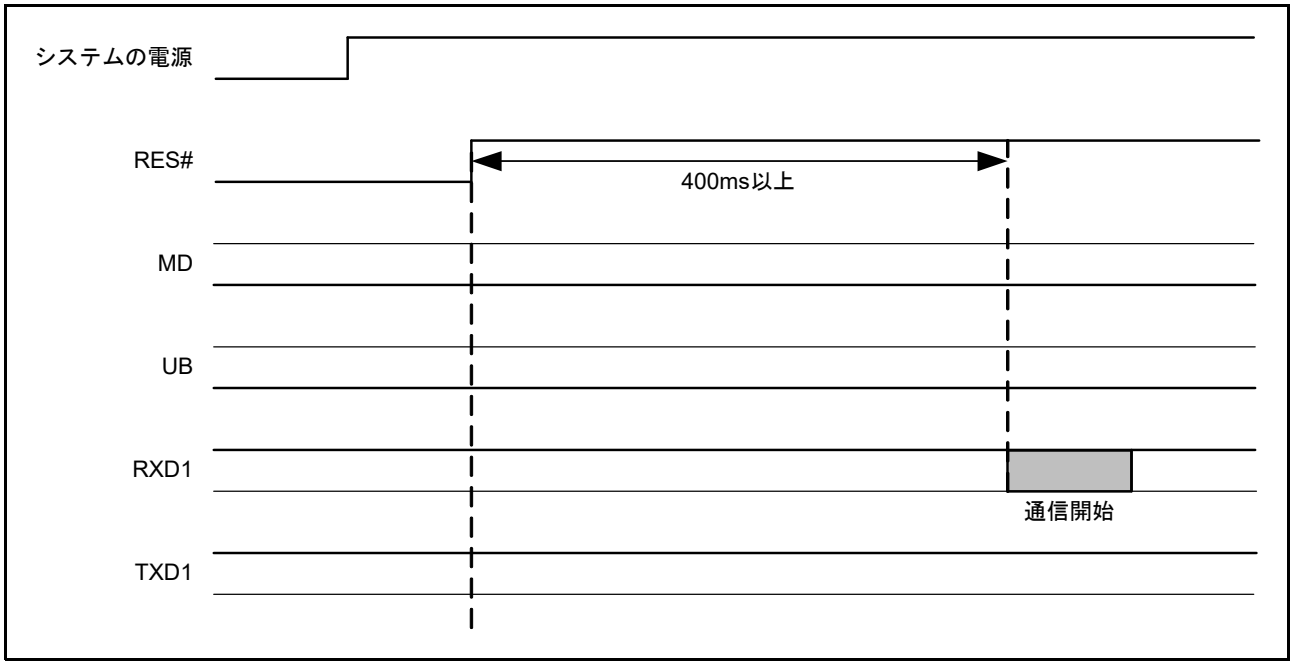


図 45.31 ブートモード (SCI インタフェース) で通信が可能になるまでの各端子の状態

45.9.2 ブートモードの状態遷移

45.9.2.1 ブートモード (SCI インタフェース) の状態遷移

図 45.32 にブートモード (SCI インタフェース) の状態遷移フローを示します。

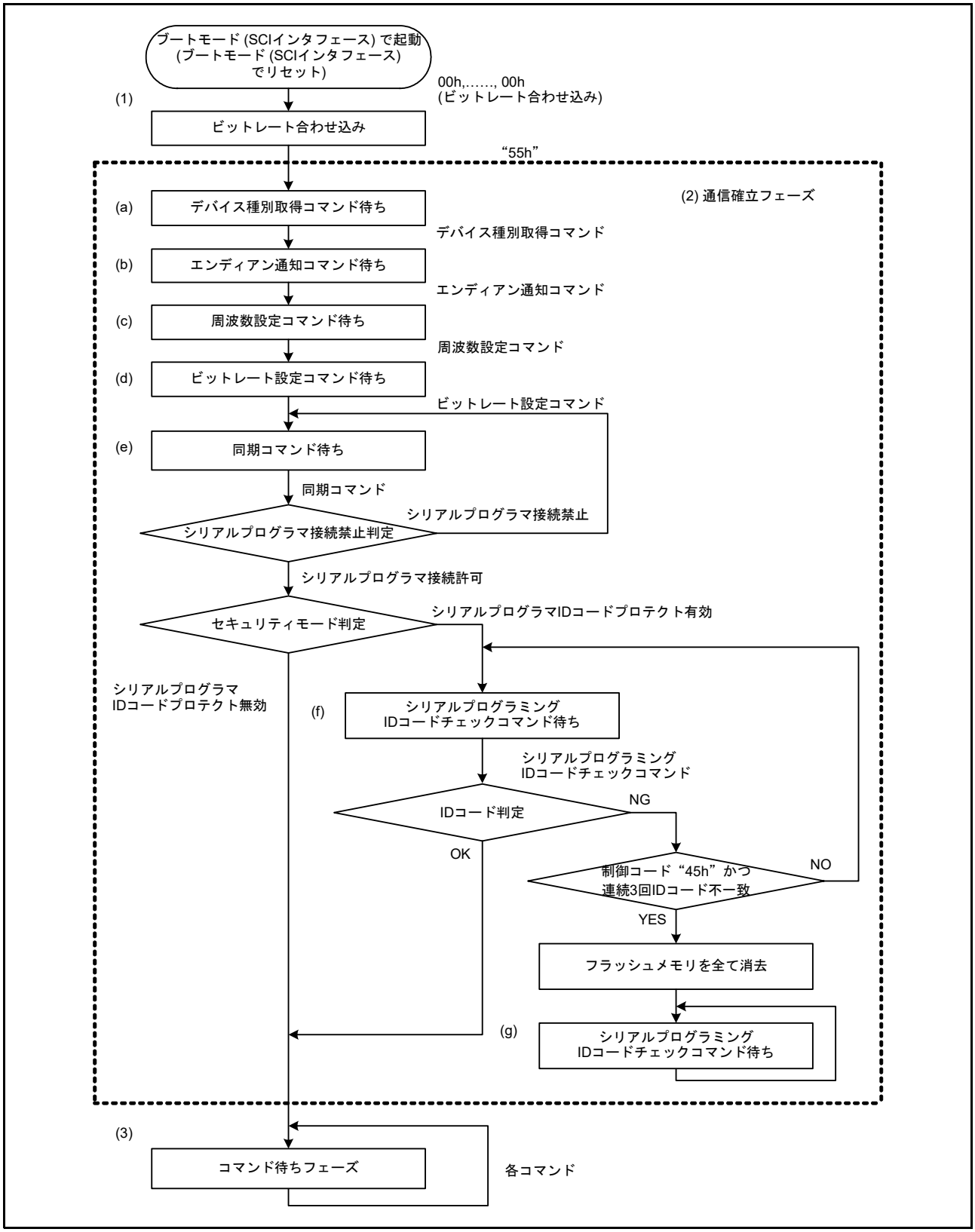


図 45.32 ブートモード (SCI インタフェース) の状態遷移フロー

(1) ビットレート合わせ込み

本 MCU をブートモードで起動すると、ホストと SCI 通信用のビットレートの自動調整を実行します。ビットレートの自動調整が終了すると、本 MCU からホストへ “00h” を送信します。その後、ホストから送信された “55h” を本 MCU が正しく受信すると通信確立フェーズに遷移します。ビットレート合わせ込みの詳細は「45.9.3 **ビットレートの自動調整**」を参照してください。

(2) 通信確立フェーズ

デバイス、エンディアン、周波数、ビットレートを選択するための状態です。また、シリアルプログラマ ID コードプロテクトが有効の場合は、ID コード認証を行います。通信確立フェーズで使用するコマンドの詳細は「45.9.5 **通信確立フェーズ**」を参照してください。

(a) デバイス種別取得コマンド待ち

ホストからデバイス種別取得コマンドが送られてくるのを待ちます。デバイス種別取得コマンドを受信した場合、エンディアン通知コマンド待ちに遷移します。デバイス種別取得コマンドの詳細は「45.9.9 **デバイス種別取得コマンド**」を参照してください。

(b) エンディアン通知コマンド待ち

ホストからエンディアン通知コマンドが送られてくるのを待ちます。エンディアン通知コマンドを受信した場合、周波数設定コマンド待ちに遷移します。エンディアン通知コマンドの詳細は「45.9.10 **エンディアン通知コマンド**」を参照してください。

(c) 周波数設定コマンド待ち

ホストから周波数設定コマンドが送られてくるのを待ちます。周波数設定コマンドを受信した場合、ボーレート設定コマンド待ちに遷移します。周波数設定コマンドの詳細は「45.9.11 **周波数設定コマンド**」を参照してください。

(d) ビットレート設定コマンド待ち

ホストからビットレート設定コマンドが送られてくるのを待ちます。ビットレート設定コマンドを受信した場合、同期コマンド待ちに遷移します。ビットレート設定コマンドの詳細は「45.9.12 **ビットレート設定コマンド**」を参照してください。

(e) 同期コマンド待ち

ホストから同期コマンドが送られてくるのを待ちます。同期コマンドを受信した場合、本 MCU はシリアルプログラマ ID コードプロテクトの有効 / 無効を判定します。ID コードプロテクトが無効の場合、コマンド待ちフェーズに遷移します。ID コードプロテクトが有効の場合、シリアルプログラミング ID コードチェックコマンド待ちに遷移します。また、シリアルプログラマ接続禁止が設定されている場合、本 MCU からホストへシリアルプログラマ接続禁止エラーを送信し、同期コマンド待ちのまま状態遷移を行いません。同期コマンドの詳細は「45.9.13 **同期コマンド**」を参照してください。

(f) シリアルプログラミング ID コードチェックコマンド待ち

ホストからシリアルプログラミング ID コードチェックコマンドが送られてくるのを待ちます。送られてくる ID コードと、オプション設定メモリ領域上に書かれている ID コードを比較し、一致していればコマンド待ちフェーズに遷移します。一致していなければ、シリアルプログラミング ID コードチェックコマンド待ちに戻ります。ただし、制御コードが “45h” の状態で 3 回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去します。シリアルプログラミング ID コードチェックコマンドの詳細は、「45.9.15 **シリアルプログラミング ID コードチェックコマンド**」を参照してください。

(g) シリアルプログラミング ID コードチェックコマンド待ち (消去後)

フラッシュメモリを全て消去後は、ブートモードにて起動し直してください。

(3) コマンド待ちフェーズ

ホストからのコマンドに従って、プログラム / イレーズを実行する状態です。コマンド待ちフェーズで使用するコマンドの詳細は「45.9.6 **コマンド待ちフェーズ**」を参照してください。

45.9.2.2 ブートモード (USB インタフェース) の状態遷移

図 45.33 にブートモード (USB インタフェース) の状態遷移フローを示します。

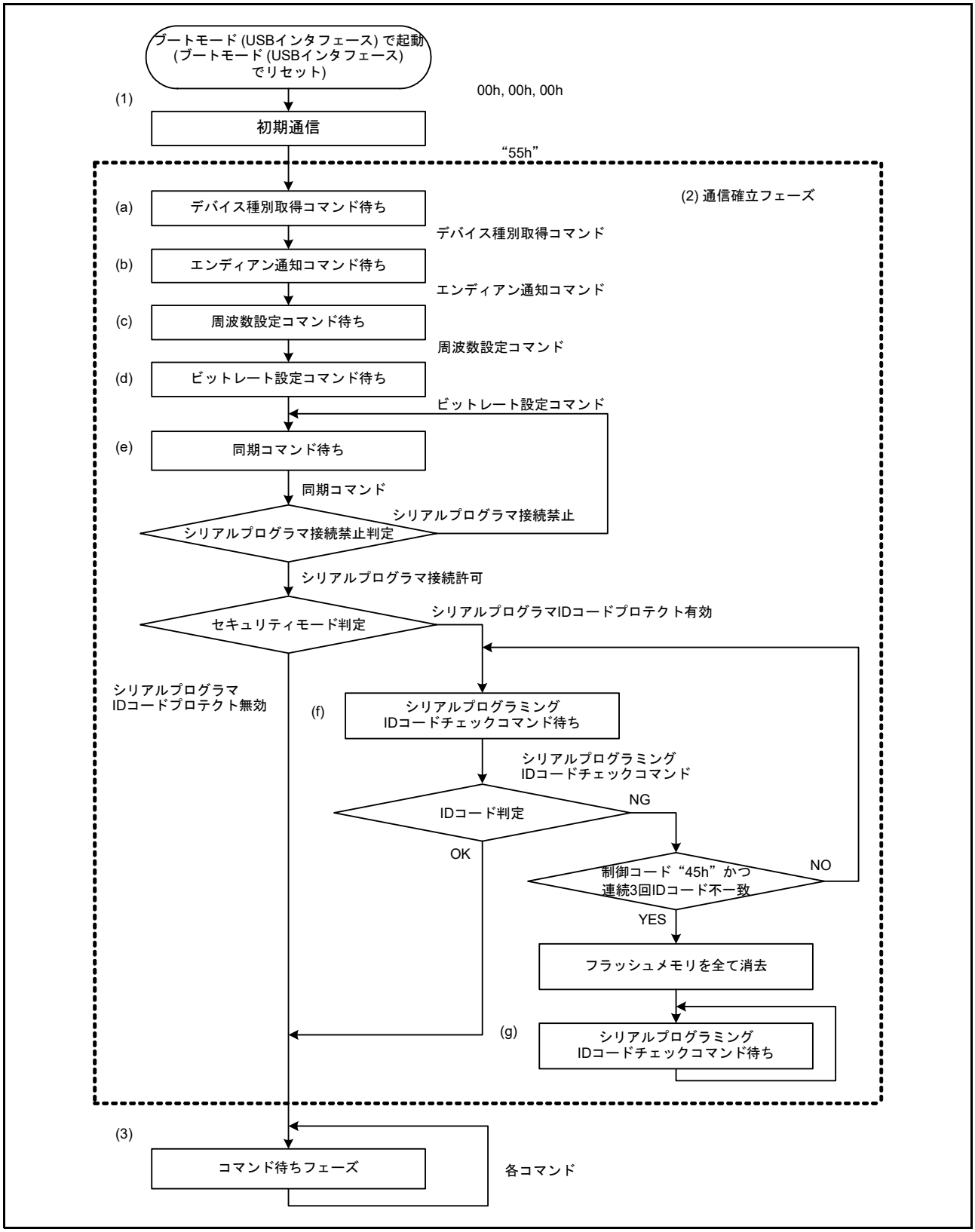


図 45.33 ブートモード (USB インタフェース) の状態遷移フロー

(1) 初期通信

ブートモード (USB インタフェース) で起動すると、エニュメレーションを開始します。

ホストと MCU のエニュメレーションが完了したら、ホストから本 MCU へ “00h” を 3 回送信してください。MCU は 4 回目以降のホストからの “00h” 送信は無視します。

本 MCU は “00h” を 3 回受信するとホストへ “00h” を返信します。その後、ホストから送信された “55h” を本 MCU が正しく受信すると通信確立フェーズに遷移します。

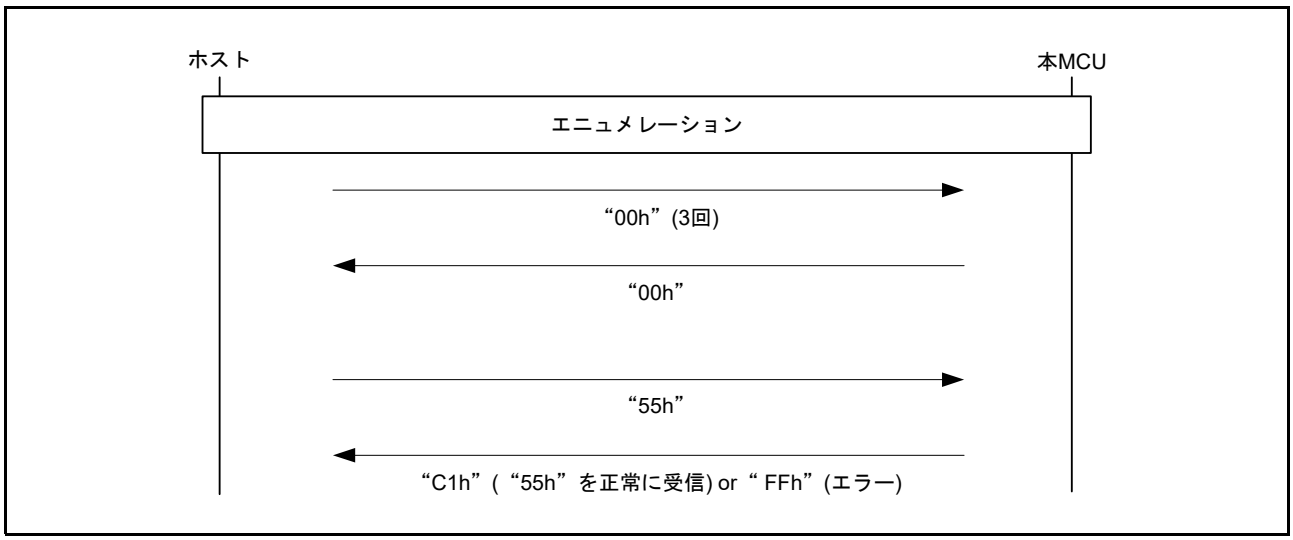


図 45.34 ホストと本 MCU 間の初期通信

(2) 通信確立フェーズ

デバイス、エンディアン、周波数、ビットレートを選択するための状態です。また、シリアルプログラマ ID コードプロテクトが有効の場合は、ID コード認証を行います。通信確立フェーズで使用するコマンドの詳細は「45.9.5 通信確立フェーズ」を参照してください。

(a) デバイス種別取得コマンド待ち

ホストからデバイス種別取得コマンドが送られてくるのを待ちます。デバイス種別取得コマンドを受信した場合、エンディアン通知コマンド待ちに遷移します。デバイス種別取得コマンドの詳細は「45.9.9 デバイス種別取得コマンド」を参照してください。

(b) エンディアン通知コマンド待ち

ホストからエンディアン通知コマンドが送られてくるのを待ちます。エンディアン通知コマンドを受信した場合、周波数設定コマンド待ちに遷移します。エンディアン通知コマンドの詳細は「45.9.10 エンディアン通知コマンド」を参照してください。

(c) 周波数設定コマンド待ち

ホストから周波数設定コマンドが送られてくるのを待ちます。周波数設定コマンドを受信した場合、ボーレート設定コマンド待ちに遷移します。周波数設定コマンドの詳細は「45.9.11 周波数設定コマンド」を参照してください。

(d) ビットレート設定コマンド待ち

ホストからビットレート設定コマンドが送られてくるのを待ちます。ビットレート設定コマンドを受信した場合、同期コマンド待ちに遷移します。ビットレート設定コマンドの詳細は「45.9.12 ビットレート設定コマンド」を参照してください。

(e) 同期コマンド待ち

ホストから同期コマンドが送られてくるのを待ちます。同期コマンドを受信した場合、本 MCU はシリアルプログラマ ID コードプロテクトの有効 / 無効を判定します。ID コードプロテクトが無効の場合、コマンド待ちフェーズに遷移します。ID コードプロテクトが有効の場合、シリアルプログラミング ID コードチェックコマンド待ちに遷移します。また、シリアルプログラマ接続禁止が設定されている場合、本 MCU からホストへシリアルプログラマ接続禁止エラーを送信し、同期コマンド待ちのまま状態遷移を行いません。同期コマンドの詳細は「45.9.13 **同期コマンド**」を参照してください。

(f) シリアルプログラミング ID コードチェックコマンド待ち

ホストからシリアルプログラミング ID コードチェックコマンドが送られてくるのを待ちます。送られてくる ID コードと、オプション設定メモリ領域上に書かれている ID コードを比較し、一致していればコマンド待ちフェーズに遷移します。一致していなければ、シリアルプログラミング ID コードチェックコマンド待ちに戻ります。ただし、制御コードが “45h” の状態で 3 回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去します。シリアルプログラミング ID コードチェックコマンドの詳細は、「45.9.15 **シリアルプログラミング ID コードチェックコマンド**」を参照してください。

(g) シリアルプログラミング ID コードチェックコマンド待ち (消去後)

フラッシュメモリを全て消去後は、ブートモードにて起動し直してください。

(3) コマンド待ちフェーズ

ホストからのコマンドに従って、プログラム / イレーズを実行する状態です。コマンド待ちフェーズで使用するコマンドの詳細は「45.9.6 **コマンド待ちフェーズ**」を参照してください。

45.9.3 ビットレートの自動調整

本 MCU をブートモード (SCI インタフェース) で起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ “00h” の Low 期間を測定します。Low 期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps に設定してください。本 MCU は測定した Low 期間を使用して SCI のビットレート調整を行い “00h” をホストへ送信します。

ホストが “00h” を正常に受信した場合には、ホストから本 MCU に “55h” を送信してください。“00h” を正常に受信できなかった場合には、本 MCU をブートモードで再起動し、ビットレートの自動調整を再実行してください。本 MCU は “55h” を正常に受信すると “C1h” を送信し、“55h” を正常に受信できなかった場合には “FFh” を送信します。

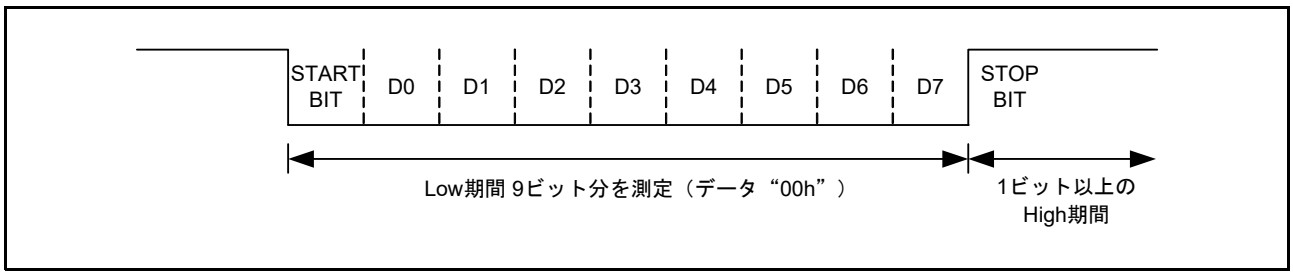


図 45.35 ビットレート自動調整時の SCI 送受信フォーマット

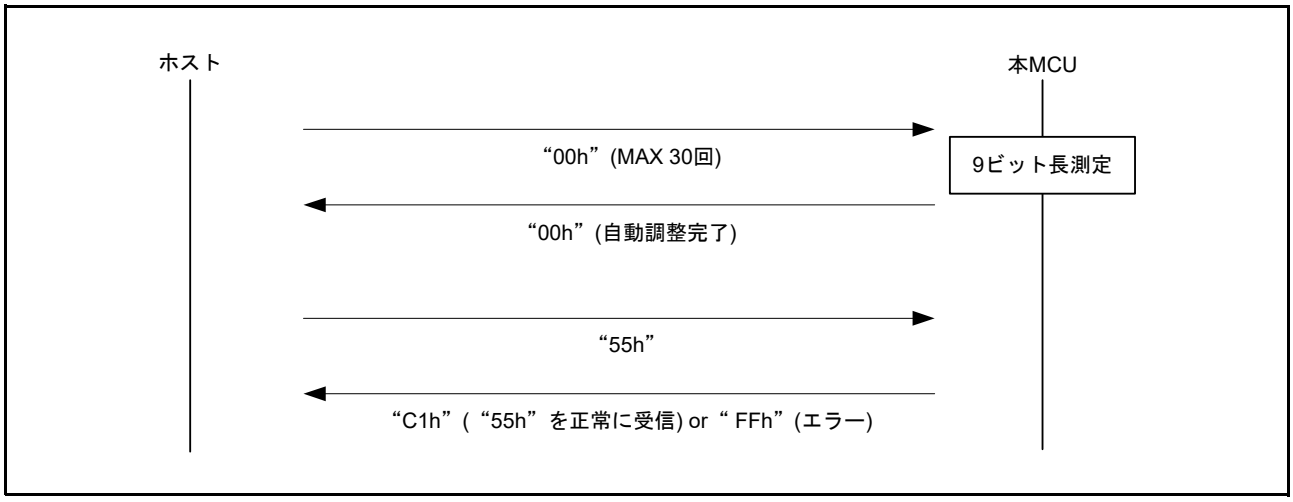


図 45.36 ホストと本 MCU 間の通信シーケンス

ホストの SCI のビットレートは、表 45.22 に示した条件で SCI の通信を行うようにしてください。

表45.22 ビットレート自動調整が可能な条件

ホストのSCIのビットレート
9,600bps

45.9.4 パケットフォーマット

(1) コマンドパケット

以下のフォーマットで、ホストから本 MCU へのコマンド送信を行います。

SOH	LNH	LNL	COM	コマンド情報 (可変長) (最大 : 255 バイト)	SUM	ETX

シンボル	コード	概要
SOH	01h	パケット開始(1バイト)
LNH	—	パケット長("COM + コマンド情報"の長さ) (8～15ビット) (1バイト)
LNL	—	パケット長("COM + コマンド情報"の長さ) (0～7ビット) (1バイト)
COM	—	コマンドコード(1バイト)
コマンド情報	—	コマンド情報(最大 : 255バイト)
SUM (注1)	—	"LNH + LNL + COM + コマンド情報"のサムデータの2の補数(1バイト)
ETX	03h	パケット終了(1バイト)

注1. SUMは、"LNH + LNL + COM + コマンド情報＋SUM"の合計が"00h" になるように計算された1バイトデータを指します。

(2) ステータスパケット / データパケット

以下のフォーマットで、ホスト－本 MCU 間のデータ通信を行います。

SOD	LNH	LNL	RES	データ (可変長) (最大 : 1024 バイト)	SUM	ETB or ETX

シンボル	コード	概要
SOD	81h	パケット開始(1バイト)
LNH	—	パケット長("RES + Data"の長さ) (8～15ビット) (1バイト)
LNL	—	パケット長("RES + Data"の長さ) (0～7ビット) (1バイト)
RES	—	レスポンスコード(1バイト)
Data	—	データ(最大 : 1024バイト)
SUM (注1)	—	"LNH + LNL + RES + Data"のサムデータの2の補数(1バイト)
ETB	17h	パケット終了(1バイト)
ETX	03h	最終パケット終了(1バイト)

注1. SUMは、"LNH + LNL + RES + Data＋SUM"の合計が"00h" になるように計算された1バイトデータを指します。

45.9.5 通信確立フェーズ

表 45.23 に通信確立フェーズで使用可能なコマンドの一覧を示します。

同期コマンドと ID 認証モード取得コマンドはコマンド待ちフェーズでも使用可能です。

表45.23 通信確立フェーズで使用可能なコマンド

コマンド名	機能
デバイス種別取得	ブートモードがサポートする発振周波数・CPU動作周波数(Hz単位)をホストへ送信します。
エンディアン通知	エンディアン(ビッグ/リトル)を通知します。
周波数設定	発振周波数・CPU動作周波数のデータ(Hz単位)を設定します。
ビットレート設定	ビットレートの変更を行います。
同期	通信同期処理に使用します。また、本MCUがコマンド受け付け可能な状態かどうかを確認する場合にも使用します。
ID認証モード取得	シリアルプログラマIDコードプロテクトの有効/無効をホストへ送信します。
シリアルプログラミングIDコードチェック	オプション設定メモリに設定されている制御コード、およびIDコードと、ホストが送信した制御コード、およびIDコードとの一致判定を行います。

通信確立フェーズでは、コマンドのレスポンスを参考にして、デバイス種別取得 → エンディアン通知 → 周波数設定 → ビットレート設定 → 同期コマンドの順にホストからコマンドを送信してください。シリアルプログラマ ID コードプロテクトが有効な場合は、同期コマンドに続いて ID 認証モード取得、またはシリアルプログラミング ID コードチェックコマンドを送信してください。

誤った順番でコマンドを送信した場合や、上記以外のコマンドを送信した場合は、本 MCU がフローエラーを送信します。

45.9.6 コマンド待ちフェーズ

表 45.24 にコマンド待ちフェーズで使用可能なコマンドの一覧を示します。
同期コマンドと ID 認証モード取得コマンドは通信確立フェーズでも使用可能です。

表45.24 コマンド待ちフェーズで使用可能なコマンド

コマンド名	機能
同期	表45.23を参照してください。
ブランクチェック	指定した領域がブランクであることをチェックします。
ブロックイレーズ	指定した1ブロックをイレーズします。
エリアイレーズ	指定された領域をイレーズします。
プログラム	指定した領域へプログラムします。
リード	指定した領域からデータをリードします。
ロックビット設定	ロックビットを設定します。
ロックビット取得	ロックビット設定を取得します。
ロックビット有効化	設定したロックビットを有効にします。
ロックビット無効化	設定したロックビットを無効にします。
ID認証モード取得	表45.23を参照してください。
コマンドプロテクション設定	ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止を有効にします。
コマンドプロテクション取得	ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止の設定を取得します。
シリアルプログラミングIDコード設定	OSISレジスタを設定します。また、SPCCレジスタを設定してシリアルプログラマIDコードプロテクトを有効にします。
IDコード設定	OSISレジスタを設定します。
IDコード取得	OSISレジスタ設定を取得します。
シリアルプログラマ接続禁止	SPCC.SPEビットを設定し、シリアルプログラマ接続禁止を有効にします。
OFS設定	OFS0レジスタ、OFS1レジスタを設定します。
OFS取得	OFS0レジスタ、OFS1レジスタの設定を取得します。
エンディアン設定	MDEレジスタを設定します。
エンディアン取得	MDEレジスタの設定を取得します。
コンフィギュレーションクリア	コンフィギュレーション設定領域の設定値およびTM対象領域をイレーズします。
TM設定	TMEFレジスタ、TMINFレジスタの設定を行い、TM機能を有効にします。
TM取得	TM機能の有効/無効、TMINFレジスタの内容、TM対象領域の開始/終了アドレスを取得します。
単純加算サムチェック	指定した領域の加算サムを計算します。
シグネチャ取得	フラッシュメモリの構成情報を取得します。
ROMコード設定	ROMコードプロテクトレジスタを設定します。
ROMコード取得	ROMコードプロテクトレジスタの設定を取得します。

ホストが未定義のコマンドを送信した場合は、本 MCU が未サポートエラーのレスポンスを送信します。

45.9.7 コマンドの通信シーケンス

コマンドごとに通信シーケンスが異なりますが、本 MCU への設定のみを行うコマンドと、本 MCU の設定情報を取得するコマンドは、それぞれ共通の通信シーケンスとなります。ただし、コマンドパケット、ステータスパケット、データパケットの内容はコマンドごとに異なりますので、詳細は各コマンドの章を参照してください。

(1) 設定のみを行うコマンドの共通通信シーケンス

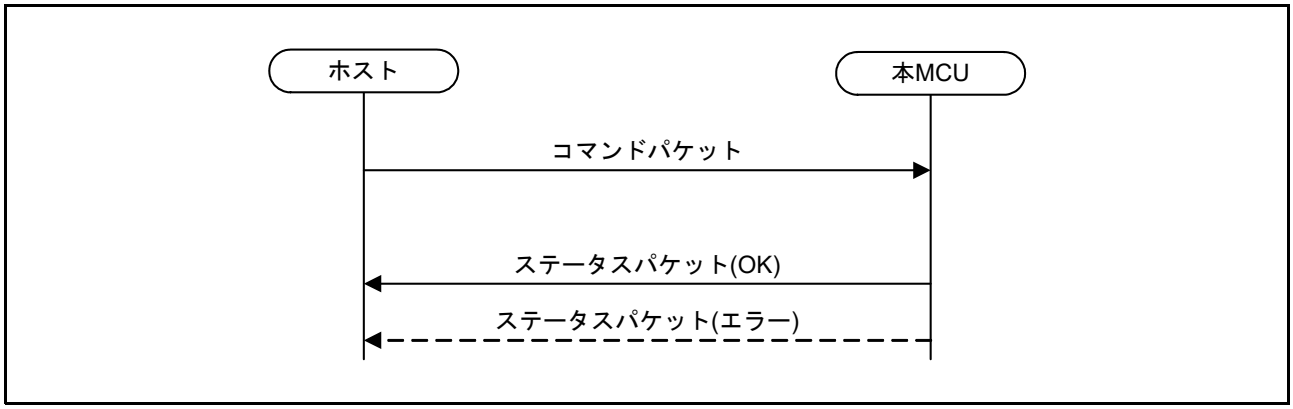


図 45.37 設定のみを行うコマンドの共通通信シーケンス

(2) 設定情報を取得するコマンドの共通通信シーケンス

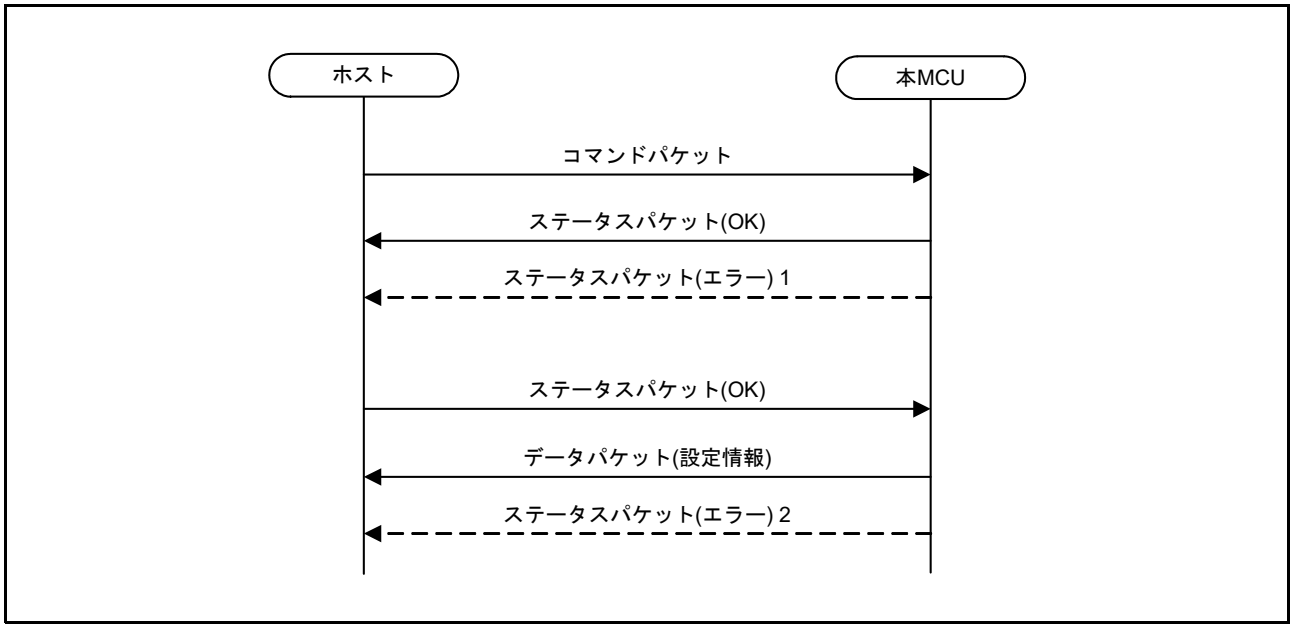


図 45.38 設定情報を取得するコマンドの共通通信シーケンス

表45.25 共通通信シーケンス

コマンド名	共通通信シーケンス種別
デバイス種別取得	設定情報を取得するコマンド
エンディアン通知	設定のみを行うコマンド
周波数設定	設定情報を取得するコマンド
ビットレート設定	共通通信シーケンスではありません。
同期	設定のみを行うコマンド
ID認証モード取得	設定情報を取得するコマンド
シリアルプログラミングIDコードチェック	設定のみを行うコマンド
ブランクチェック	設定のみを行うコマンド
ブロックイレーズ	設定のみを行うコマンド
エリアイレーズ	設定のみを行うコマンド
プログラム	共通通信シーケンスではありません。
リード	共通通信シーケンスではありません。
ロックビット設定	設定のみを行うコマンド
ロックビット取得	設定情報を取得するコマンド
ロックビット有効化	設定のみを行うコマンド
ロックビット無効化	設定のみを行うコマンド
コマンドプロテクション設定	設定のみを行うコマンド
コマンドプロテクション取得	設定情報を取得するコマンド
シリアルプログラミングIDコード設定	設定のみを行うコマンド
IDコード設定	設定のみを行うコマンド
IDコード取得	設定情報を取得するコマンド
シリアルプログラマ接続禁止	設定のみを行うコマンド
OFS設定	設定のみを行うコマンド
OFS取得	設定情報を取得するコマンド
エンディアン設定	設定のみを行うコマンド
エンディアン取得	設定情報を取得するコマンド
コンフィギュレーションクリア	設定のみを行うコマンド
TM設定	設定のみを行うコマンド
TM取得	設定情報を取得するコマンド
単純加算サムチェック	設定情報を取得するコマンド
シグネチャ取得	設定情報を取得するコマンド
ROMコード設定	設定のみを行うコマンド
ROMコード取得	設定情報を取得するコマンド

共通通信シーケンスではないコマンドの通信シーケンスは、各コマンドの章を参照してください。

45.9.8 未サポートコマンド

本 MCU が未定義のコマンドパケットを受信した場合、未サポートエラー (C0h) を返信して、コマンド待ち状態に戻ります。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH：01h
LNH：パケット長(8～15ビット)
LNL：パケット長(0～7ビット)
COM：コマンドコード(注1)
SUM：サムデータ
ETX：03h

注1. 表45.24で規定してあるコマンドコード以外のコマンドコード

(2) ステータスパケット構造

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：80h | COM (コマンドコード)
ERR：エラーコード
C0h (未サポートエラー)
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM：サムデータ
ETX：03h

45.9.9 デバイス種別取得コマンド

本コマンドでブートモード (SCI インタフェース) がサポートする入力周波数・システムクロック周波数 (Hz 単位) をホストへ送信します。

通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH：01h
LNH：00h
LNL：01h
COM：38h
SUM：C7h
ETX：03h

(2) データパケット構造

SOD	LNH	LNL	RES	TYP	OSA	OSI	CPA	CPI	SUM	ETX

SOD：81h
LNH：00h
LNL：19h
RES：38h (OK)
TYP：タイプコード(8バイト)(注1)
OSA：最大入力周波数(4バイト)
OSI：最小入力周波数(4バイト)
CPA：最大システムクロック周波数(4バイト)
CPI：最小システムクロック周波数(4バイト)
SUM：サムデータ
ETX：03h

以下のようなデータが送信されます。

最大入力周波数 = 16000000Hz
- OSA (1st byte)：00h
- OSA (2nd byte)：F4h
- OSA (3rd byte)：24h
- OSA (4th byte)：00h

最小入力周波数 = 16000000Hz
- OSI (1st byte)：00h
- OSI (2nd byte)：F4h
- OSI (3rd byte)：24h
- OSI (4th byte)：00h

最大システムクロック (ICLK) = 120000000Hz
- CPA (1st byte)：07h
- CPA (2nd byte)：27h
- CPA (3rd byte)：0Eh
- CPA (4th byte)：00h

最小システムクロック (ICLK) = 120000000Hz
- CPI (1st byte)：07h
- CPI (2nd byte)：27h
- CPI (3rd byte)：0Eh
- CPI (4th byte)：00h

注1. 予約データ

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：38h (OK)
SUM：C7h
ETX：03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：B8h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：B8h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.10 エンディアン通知コマンド

本コマンドでエンディアン (ビッグ / リトル) を通知します。
プログラムするデータに応じて、いずれかのエンディアンをエンディアン情報に設定してください。
通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	END	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 02h
COM : 36h
END : エンディアン情報
00h (ビッグエンディアン)
01h (リトルエンディアン)
SUM : サムデータ
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 36h (OK)
SUM : C9h
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : B6h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D7h (エンディアンエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.11 周波数設定コマンド

本コマンドで発振周波数・CPU 動作周波数のデータ (Hz 単位) を設定します。

ブートモード (SCI インタフェース) またはブートモード (FINE インタフェース) 中は HOCO = 16MHz、ICLK = 120MHz で動作するため、入力周波数を 16MHz、システムクロック周波数を 120MHz に設定してください。また、ブートモード (SCI インタフェース) またはブートモード (FINE インタフェース) 中は FCLK = PCLKB = 60MHz で動作するため、周辺モジュールクロック周波数は 60MHz を返信します。

ブートモード (USB インタフェース) 中は、使用している入力周波数 (20MHz または 24MHz)、ICLK = 120MHz で動作するため、入力周波数を 20MHz または 24MHz、システムロック周波数を 120MHz に設定してください。また、ブートモード (USB インタフェース) 中は FCLK = 60MHz、UCLK = 48MHz で動作するため、周辺モジュールクロック周波数は 48MHz を返信します。

通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	OC1	OC2	OC3	OC4	CC1	CC2	CC3	CC4	SUM	ETX

入力周波数 = 16000000Hz
システムクロック周波数 = 120000000Hz
の場合、以下のようなデータを送信してください。

OC1：00h	CC1：07h
OC2：F4h	CC2：27h
OC3：24h	CC3：0Eh
OC4：00h	CC4：00h

SOH：01h
LNH：00h
LNL：09h
COM：32h
OC1：入力周波数
OC2：入力周波数
OC3：入力周波数
OC4：入力周波数
CC1：システムクロック周波数
CC2：システムクロック周波数
CC3：システムクロック周波数
CC4：システムクロック周波数
SUM：サムデータ
ETX：03h

(2) データパケット構造

SOD	LNH	LNL	RES	FQ1	FQ2	FQ3	FQ4	PF1	PF2	PF3	PF4	SUM	ETX

以下のようなデータが送信されます。
システムクロック周波数 = 120000000Hz
周辺モジュールクロック周波数 = 60000000Hz

FQ1：07h	PF1：03h
FQ2：27h	PF2：93h
FQ3：0Eh	PF3：87h
FQ4：00h	PF4：00h

SOD：81h
LNH：00h
LNL：09h
RES：32h
FQ1：システムクロック周波数
FQ2：システムクロック周波数
FQ3：システムクロック周波数
FQ4：システムクロック周波数
PF1：周辺モジュールクロック周波数
PF2：周辺モジュールクロック周波数
PF3：周辺モジュールクロック周波数
PF4：周辺モジュールクロック周波数
SUM：サムデータ
ETX：03h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：32h (OK)
SUM：CDh
ETX：03h

(4) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：B2h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D1h (入力周波数エラー)
D2h (システムクロック(ICLK)周波数エラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.12 ビットレート設定コマンド

本コマンドでビットレート設定のデータ (bps 単位) を受信し、ビットレートの変更を行います。
エラーが発生した場合、ビットレートの切り替えは行いません。
通信確立フェーズでのみ受け付け可能なコマンドです。
ブートモード (USB インタフェース) またはブートモード (FINE インタフェース) 時は、ビットレートの切り替えは行いません。ビットレートは任意の値を設定してください。

(1) 処理手順

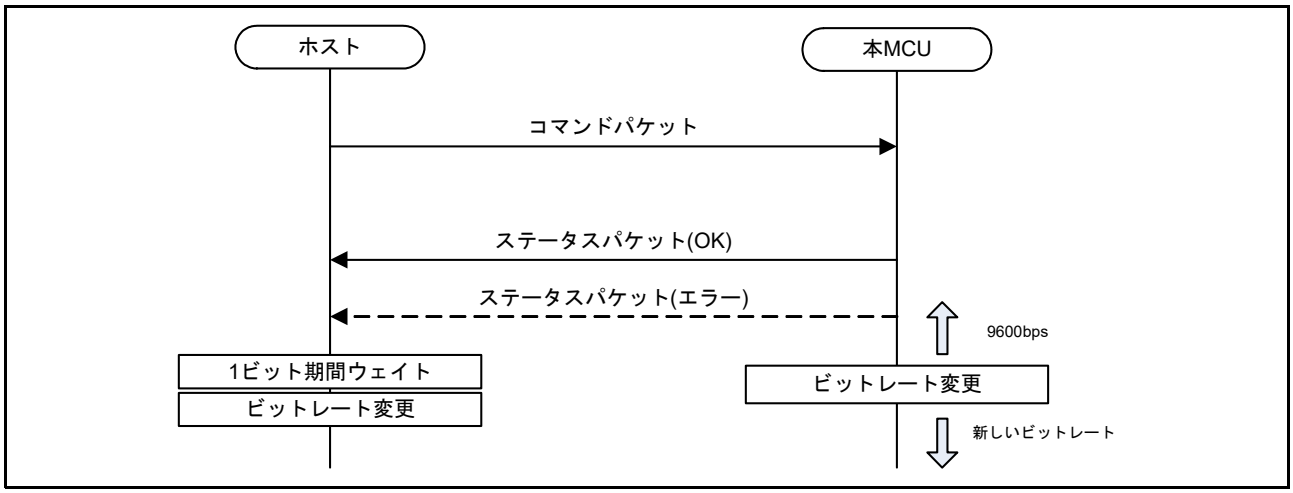


図 45.39 ビットレート設定コマンドの通信シーケンス

(2) コマンドパケット構造

SOH	LNH	LNL	COM	BR1	BR2	BR3	BR4	SUM	ETX

ビットレート = 2000000bps
の場合、以下のようなデータを送信してください。
BR1：00h
BR2：1Eh
BR3：84h
BR4：80h

SOH：01h
LNH：00h
LNL：05h
COM：34h
BR1：ビットレート
BR2：ビットレート
BR3：ビットレート
BR4：ビットレート
SUM：サムデータ
ETX：03h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：34h (OK)
SUM：CBh
ETX：03h

(4) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : B4h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D4h (ビットレート誤差エラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.13 同期コマンド

本コマンドは通信同期処理に使用します。

また、本 MCU がコマンド受け付け可能な状態かどうかを確認する場合にも使用します。シリアルプログラマ接続禁止が有効な場合は、シリアルプログラマ接続禁止エラーが返信されます。

通信確立フェーズ / コマンド待ちフェーズ双方で受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 00h
SUM : FFh
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 00h (OK)
SUM : FFh
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 80h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DCh (シリアルプログラマ接続禁止エラー)
SUM : サムデータ
ETX : 03h

45.9.14 ID 認証モード取得コマンド

本コマンドでシリアルプログラマ ID コードプロテクトの有効 / 無効をホストへ送信します。
通信確立フェーズ / コマンド待ちフェーズ双方で受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 2Ch
SUM : D3h
ETX : 03h

(2) データパケット構造

SOD	LNH	LNL	RES	MOD	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 2Ch (OK)
MOD : ID認証情報(1バイト)
00h (シリアルプログラマIDコードプロテクト有効)
FFh (シリアルプログラマIDコードプロテクト無効)
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 2Ch (OK)
SUM : D3h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : ACh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : ACh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.15 シリアルプログラミング ID コードチェックコマンド

本コマンドで OSIS レジスタに設定されている ID コードと、ホストから受信した ID コードとの一致判定を行い、結果をホストへ送信します。

通信確立フェーズで受け付け可能なコマンドです。シリアルプログラマ ID コードプロテクトが有効の場合、このコマンドが正常終了しない限り、コマンド待ちフェーズへ移行しません。

制御コードが “45h” の状態で、3 回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去します。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	IDC	SUM	ETX

SOH：01h
LNH：00h
LNL：11h
COM：30h
IDC：制御コードと ID コード(16バイト)(注1)
SUM：サムデータ
ETX：03h

注1. 以下のように送信してください。
<IDコード>
ID = 0F0E0D0C0B0A09080706050403020100h
(制御コード:00h, IDコード2:01h, IDコード3:02h, ... , IDコード16:0Fh)
<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト	…
00h	01h	02h	03h	04h	05h	06h	07h	…

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：30h (OK)
SUM：CFh
ETX：03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：B0h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DBh (IDコード不一致エラー)
E1h (消去エラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.16 ブランクチェックコマンド

本コマンドで指定された領域がブランクであることをチェックできます。

ユーザ領域、またはユーザブート領域の場合 256 バイトアライン、データ領域の場合 16 バイトアラインのアドレスで指定してください。TM 機能有効時、TM 対象領域であるコードフラッシュメモリのブロック 8、9 を含むブランクチェックを行うと、エラーとなります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SHH	SHL	SLH	SLL	EHH	EHL	ELH	ELL	SUM	ETX

SOH：01h
LNH：00h
LNL：09h
COM：10h
SHH：ブランクチェック開始アドレス(24～31ビット)
SHL：ブランクチェック開始アドレス(16～23ビット)
SLH：ブランクチェック開始アドレス(8～15ビット)
SLL：ブランクチェック開始アドレス(0～7ビット)
EHH：ブランクチェック終了アドレス(24～31ビット)
EHL：ブランクチェック終了アドレス(16～23ビット)
ELH：ブランクチェック終了アドレス(8～15ビット)
ELL：ブランクチェック終了アドレス(0～7ビット)
SUM：サムデータ
ETX：03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：10h (OK)
SUM：EFh
ETX：03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：90h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D0h (アドレスエラー)
E0h (非ブランクエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.17　ブロックイレーズコマンド

本コマンドで指定された1ブロックをイレーズできます。

イレーズするブロックをブロックの先頭アドレスで指定してください。

ロックビット機能が無効、かつロックビットを設定しているブロックに対してイレーズを行った場合、ロックビットの設定は解除されます。TM機能有効時、TM対象領域であるユーザ領域のブロック8、9のイレーズはできません。TM対象領域をイレーズするには、「45.9.35　コンフィギュレーションクリアコマンド」を使用してください。

プログラムコマンド禁止が有効な場合、イレーズを行うには規定の手順に従う必要があります。

詳細は「45.9.43　プログラムコマンド禁止設定時のイレーズフロー」を参照してください。

ブロックイレーズコマンド禁止が有効な場合、本コマンドは使用できません。

イレーズ中、リセットなどにより、強制停止した場合、ロックビットが設定される可能性がありますので、「45.12　使用上の注意事項」の「45.12.6　プログラム/イレーズ中またはブランクチェック中の異常終了」を参照してください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1)　コマンドパケット構造

SOH	LNH	LNL	COM	SHH	SHL	SLH	SLL	SUM	ETX

SOH：01h
LNH：00h
LNL：05h
COM：12h
SHH：イレーズするブロックの先頭アドレス(24～31ビット)
SHL：イレーズするブロックの先頭アドレス(16～23ビット)
SLH：イレーズするブロックの先頭アドレス(8～15ビット)
SLL：イレーズするブロックの先頭アドレス(0～7ビット)
SUM：サムデータ
ETX：03h

(2)　ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：12h (OK)
SUM：EDh
ETX：03h

(3)　ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：92h (エラー)
ERR：エラーコード
　C1h (パケットエラー)
　C2h (チェックサムエラー)
　C3h (フローエラー)
　D0h (アドレスエラー)
　DAh (プロテクションエラー)
　E1h (イレーズエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.18 エリアイレーズコマンド

エリアイレーズコマンドは、指定された領域をアドレスの小さい順に 1 ブロックずつ、連続してイレーズします。対象領域はユーザ領域もしくはユーザブート領域、データ領域から選択することができます。

ロックビット機能が無効、かつロックビットを設定しているブロックがある領域に対してイレーズを行った場合、ロックビットの設定は解除されます。

TM 機能有効の場合は、TM 対象領域のブロック以外をイレーズします。

プログラムコマンド禁止が有効な場合、イレーズを行うには規定の手順に従う必要があります。詳細は「45.9.43 **プログラムコマンド禁止設定時のイレーズフロー**」を参照してください。

ブロックイレーズコマンド禁止が有効な場合、本コマンドは使用できません。

イレーズ中、リセットなどにより強制停止した場合は、ロックビットが設定されている可能性がありますので、「45.12 **使用上の注意事項**」の「45.12.6 **プログラム / イレーズ中またはブランクチェック中の異常終了**」を参照してください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	ARE	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 02h
COM : 50h
ARE : Area
　00h (ユーザ領域)
　10h (ユーザブート領域)
　20h (データ領域)
SUM : サムデータ
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 50h (OK)
SUM : AFh
ETX : 03h

(3) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	SUM	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : D0h (エラー)
ERR : エラーコード
　C1h (パケットエラー)
　C2h (チェックサムエラー)
　C3h (フローエラー)
　D5h (エリアエラー)
　DAh (プロテクションエラー)
　E1h (イレーズエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.19 プログラムコマンド

本コマンドでフラッシュメモリへプログラムするデータを受信し、指定された領域へプログラムします。

データ長はユーザ領域、またはユーザブート領域の場合 256 バイト単位、データ領域の場合 16 バイト単位で指定してください。また、プログラム開始アドレスは、ユーザ領域、またはユーザブート領域の場合 256 バイトアライン、データ領域の場合 16 バイトアラインのアドレスで指定してください。TM 機能有効時、TM 対象領域であるユーザ領域のブロック 8、9 に対するプログラムはできません。

プログラムコマンド禁止が有効な場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) 処理手順

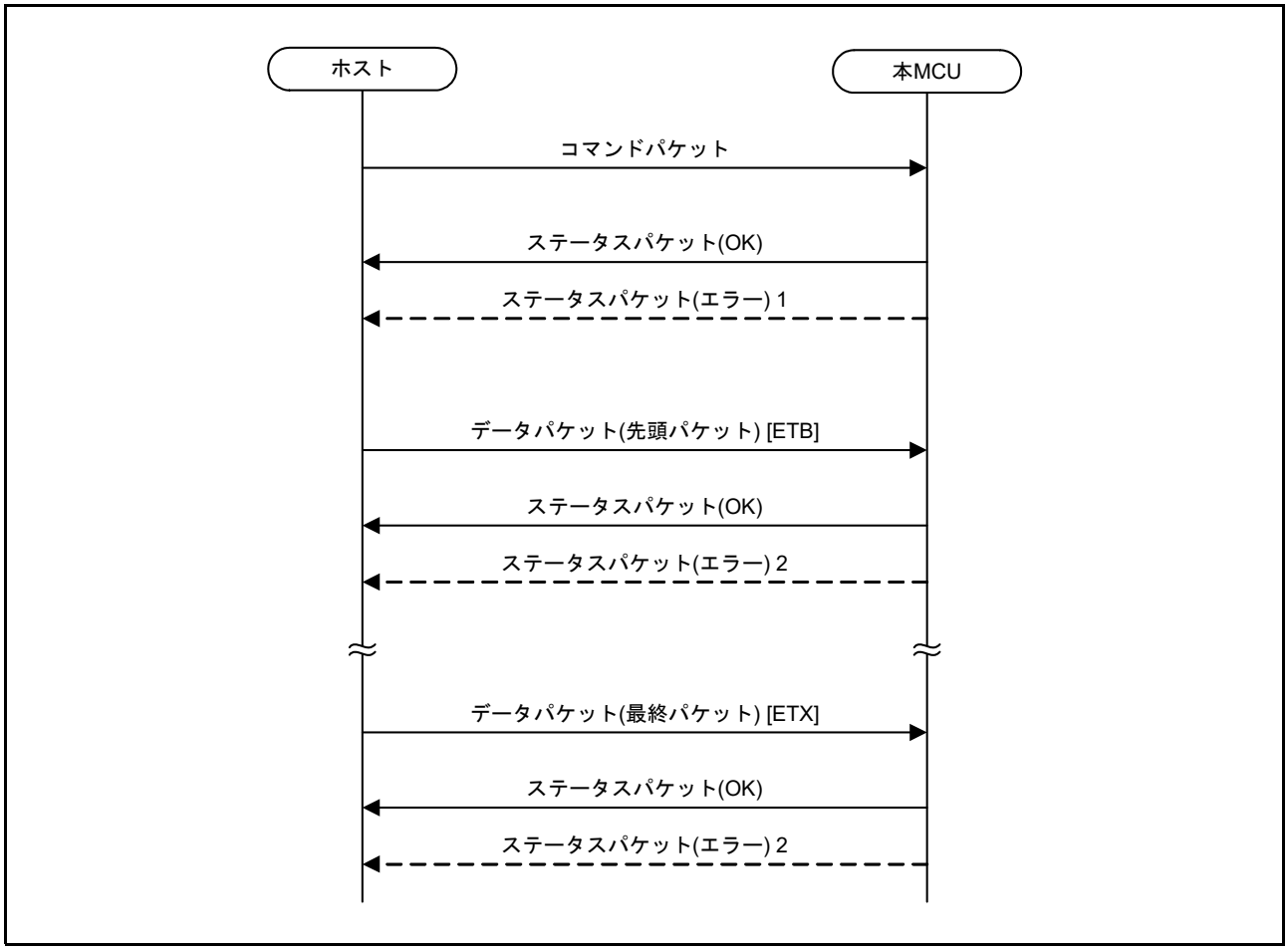


図 45.40 プログラムコマンドの通信シーケンス

(2) コマンドパケット構造

SOH	LNH	LNL	COM	SHH	SHL	SLH	SLL	EHH	EHL	ELH	ELL	SUM	ETX

SOH：01h
LNH：00h
LNL：09h
COM：13h
SHH：プログラム開始アドレス(24～31ビット)
SHL：プログラム開始アドレス(16～23ビット)
SLH：プログラム開始アドレス(8～15ビット)
SLL：プログラム開始アドレス(0～7ビット)
EHH：プログラム終了アドレス(24～31ビット)
EHL：プログラム終了アドレス(16～23ビット)
ELH：プログラム終了アドレス(8～15ビット)
ELL：プログラム終了アドレス(0～7ビット)
SUM：サムデータ
ETX：03h

(3) データパケット構造

SOD	LNH	LNL	RES	Data	SUM	ETB or ETX

SOD：81h
LNH：データ長+1 (8～15ビット)
LNL：データ長+1 (0～7ビット)
RES：13h (OK)
Data：プログラムデータ
SUM：サムデータ
ETB：17h
ETX：03h

(4) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：13h (OK)
SUM：ECh
ETX：03h

(5) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：93h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D0h (アドレスエラー)
DAh (プロテクションエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(6) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：93h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
E2h (プログラムエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.20 リードコマンド

本コマンドでフラッシュメモリの指定した領域からデータをリードし、ホストへ送信します。

データ長はユーザ領域、またはユーザブート領域の場合 256 バイト単位、データ領域の場合 16 バイト単位で指定してください。また、リード開始アドレスは、ユーザ領域、またはユーザブート領域の場合 256 バイトアライメント、データ領域の場合 16 バイトアライメントしたアドレスで指定してください。TM 機能有効時、TM 対象領域であるユーザ領域のブロック 8、9 をリードすると、“0” がリードされます。

リードコマンド禁止が有効な場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) 処理手順

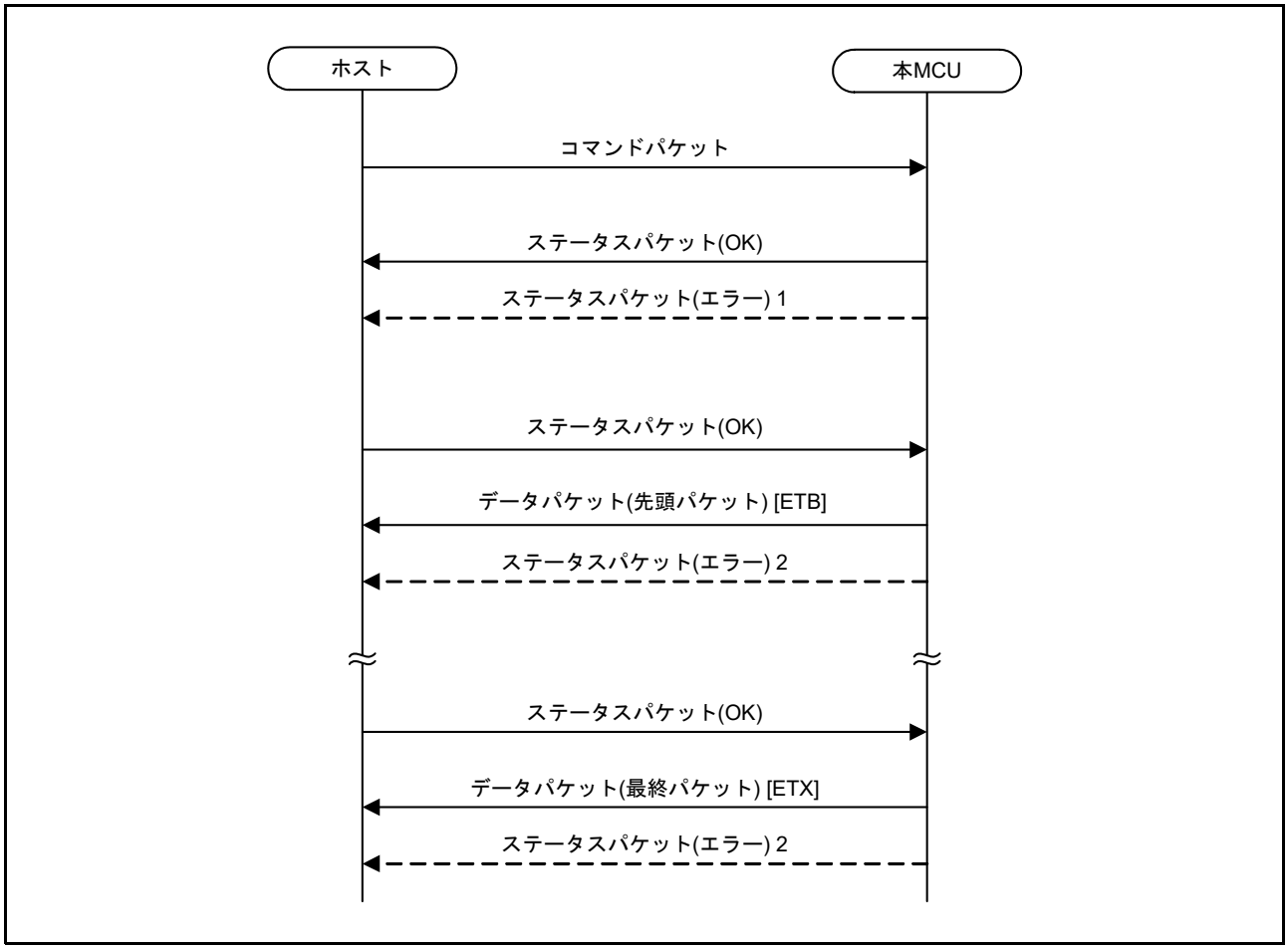


図 45.41 リードコマンドの通信シーケンス

(2) コマンドパケット構造

SOH	LNH	LNL	COM	SHH	SHL	SLH	SLL	EHH	EHL	ELH	ELL	SUM	ETX

SOH：01h
LNH：00h
LNL：09h
COM：15h
SHH：リード開始アドレス(24～31ビット)
SHL：リード開始アドレス(16～23ビット)
SLH：リード開始アドレス(8～15ビット)
SLL：リード開始アドレス(0～7ビット)
EHH：リード終了アドレス(24～31ビット)
EHL：リード終了アドレス(16～23ビット)
ELH：リード終了アドレス(8～15ビット)
ELL：リード終了アドレス(0～7ビット)
SUM：サムデータ
ETX：03h

(3) データパケット構造

SOD	LNH	LNL	RES	Data	SUM	ETB or ETX

SOD：81h
LNH：データ長+1 (8～15ビット)
LNL：データ長+1 (0～7ビット)
RES：15h (OK)
Data：リードデータ
SUM：サムデータ
ETB：17h
ETX：03h

(4) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：15h (OK)
SUM：EAh
ETX：03h

(5) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：95h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
D0h (アドレスエラー)
DAh (プロテクションエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(6) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：95h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.21 ロックビット設定コマンド

本コマンドでユーザ領域のロックビットを設定します。

ブートモード起動した場合、ロックビット機能を無効にしているためロックビットを設定したブロックに対してプログラム / イレーズが可能です。ブートモードで動作中にロックビット機能を有効にする場合は、ロックビット有効化コマンド使って有効にする必要があります。

本コマンドで、既に設定済みのロックビットを解除することはできません。ロックビットの設定を解除するには、対象ブロックをイレーズする必要があります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	LB1	LB2	LBU	SUM	ETX

SOH：01h
LNH：00h
LNL：63h
COM：22h
LB1：ユーザ領域(65バイト)
LB2：予約データ(32バイト)
LBU：予約データ(1バイト)
SUM：サムデータ
ETX：03h

[ロックビット設定]

(ロックビットを設定する：0、ロックビットを設定しない：1)

	b7	b6	b5	b4	b3	b2	b1	b0
1バイト	ブロック 7	ブロック 6	ブロック 5	ブロック 4	ブロック 3	ブロック 2	ブロック 1	ブロック 0

⋮

	b7	b6	b5	b4	b3	b2	b1	b0
65バイト	1 固定	1 固定	ブロック 517	ブロック 516	ブロック 515	ブロック 514	ブロック 513	ブロック 512
66バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定

⋮

	b7	b6	b5	b4	b3	b2	b1	b0
97バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定
98バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定

存在しないブロックには、“1” を設定してください。

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：22h (OK)
SUM：DDh
ETX：03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：A2h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
E2h (プログラムエラー)
DDh (ロックビット設定済みエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.22 ロックビット取得コマンド

本コマンドでユーザ領域のロックビット情報をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 23h
SUM : DCh
ETX : 03h

(2) データパケット構造

SOD	LNH	LNL	RES	LB1	LB2	LBU	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 63h
RES : 23h (OK)
LB1 : ユーザ領域(65バイト)
LB2 : 予約データ(32バイト)
LBU : 予約データ(1バイト)
SUM : サムデータ
ETX : 03h

[ロックビット設定]

(ロックビットが設定されている : 0、ロックビットが設定されていない : 1)

	b7	b6	b5	b4	b3	b2	b1	b0
1バイト	ブロック 7	ブロック 6	ブロック 5	ブロック 4	ブロック 3	ブロック 2	ブロック 1	ブロック 0

⋮

	b7	b6	b5	b4	b3	b2	b1	b0
65バイト	1 固定	1 固定	ブロック 517	ブロック 516	ブロック 515	ブロック 514	ブロック 513	ブロック 512
66バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定

⋮

	b7	b6	b5	b4	b3	b2	b1	b0
97バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定
98バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定

存在しないブロックには “1” が設定されます。

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 23h (OK)
SUM : DCh
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : A3h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : A3h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.23 ロックビット有効化コマンド

本コマンドでロックビット機能を有効にできます。

ロックビット機能を有効にすると、ロックビットを設定しているブロックのプログラム / イレーズできません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 24h
SUM : DBh
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 24h (OK)
SUM : DBh
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : A4h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.24 ロックビット無効化コマンド

本コマンドでロックビット機能を無効にできます。

ロックビット機能を無効にすると、ロックビットを設定しているブロックに対しプログラム / イレーズが可能です。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 25h
SUM : DAh
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 25h (OK)
SUM : DAh
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : A5h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.25 コマンドプロテクション設定コマンド

本コマンドでブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止を有効にできます。

すでにコマンドプロテクションを有効にしている場合は無効にできません。シリアルプログラマ ID コードプロテクトが有効の場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SEC	SUM	ETX

SOH：01h
LNH：00h
LNL：02h
COM：20h
SEC：セキュリティデータ(1バイト)
　Bit7：リードコマンド禁止(1:無効 0:有効)
　Bit6：プログラムコマンド禁止(1:無効 0:有効)
　Bit5：ブロックイレーズコマンド禁止(1:無効 0:有効)
　Bit4：予約ビット(1固定)
　Bit3：予約ビット(1固定)
　Bit2：予約ビット(1固定)
　Bit1：予約ビット(1固定)
　Bit0：予約ビット(1固定)
SUM：サムデータ
ETX：03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：20h (OK)
SUM：DFh
ETX：03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：A0h (エラー)
ERR：エラーコード
　C1h (パケットエラー)
　C2h (チェックサムエラー)
　C3h (フローエラー)
　DAh (プロテクションエラー)
　E1h (イレーズエラー)
　E2h (プログラムエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.26 コマンドプロテクション取得コマンド

本コマンドは、ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止の設定情報をホストへ送信します。シリアルプログラマ ID コードプロテクトが有効の場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 21h
SUM : DEh
ETX : 03h

(2) データパケット構造

SOD	LNH	LNL	RES	SEC	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 21h (OK)
SEC : セキュリティデータ(1バイト)
Bit7 : リードコマンド禁止(1:無効 0:有効)
Bit6 : プログラムコマンド禁止(1:無効 0:有効)
Bit5 : ブロックイレーズコマンド禁止(1:無効 0:有効)
Bit4 : 予約ビット(1固定)
Bit3 : 予約ビット(1固定)
Bit2 : 予約ビット(1固定)
Bit1 : 予約ビット(1固定)
Bit0 : 予約ビット(1固定)
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 21h (OK)
SUM : DEh
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : A1h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : A1h(エラー)
ERR : エラーコード
C1h(パケットエラー)
C2h(チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.27 シリアルプログラミング ID コード設定コマンド

本コマンドで OSIS レジスタに ID コードを設定します。また、SPCC.IDE ビット、SPCC.SEPR ビット、SPCC.WRPR ビット、SPCC.RDPR ビットに “0” を設定して、シリアルプログラマ ID コードプロテクトを有効にします。

本コマンドを使用した場合、再接続時にシリアルプログラマ ID コードプロテクトが有効となります。

ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止のいずれかが有効な場合、本コマンドは使用できません。

本コマンド実行後はリセットを実行してください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	IDC	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 11h
COM : 28h
IDC : 制御コードと ID コード(16バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信してください。
<IDコード>
ID = 0F0E0D0C0B0A09080706050403020100h
(制御コード:00h, IDコード2:01h, IDコード3:02h, ... , IDコード16:0Fh)
<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト	…
00h	01h	02h	03h	04h	05h	06h	07h	…

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 28h (OK)
SUM : D7h
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : A8h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DAh (プロテクションエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
E3h (ベリファイエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.28 ID コード設定コマンド

本コマンドで OSIS レジスタに ID コードを設定します。

本コマンドを使用して ID コードを設定した場合、シリアルプログラマ ID コードプロテクトは有効になりません。

また、シリアルプログラマ ID コードプロテクトが有効の場合、本コマンドは使用できません。

ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止のいずれかが有効な場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	IDC	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 11h
COM : 2Ah
IDC : IDコード(16バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信してください。
<IDコード>
ID = 0F0E0D0C0B0A09080706050403020100h
(IDコード1:00h, IDコード2:01h, IDコード3:02h, ... , IDコード16:0Fh)
<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト	…
00h	01h	02h	03h	04h	05h	06h	07h	…

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 2Ah (OK)
SUM : D5h
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : AAh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DAh (プロテクションエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.29 ID コード取得コマンド

本コマンドで OSIS レジスタに設定されている値をホストへ送信します。
シリアルプログラマ ID コードプロテクトが有効な場合、本コマンドは使用できません。
リードコマンド禁止が有効な場合、本コマンドは使用できません。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 2Bh
SUM : D4h
ETX : 03h

(2) データパケット構造

SOD	LNH	LNL	RES	IDC	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 11h
RES : 2Bh (OK)
IDC : IDコード(16バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信されます。
<IDコード>
ID = 0F0E0D0C0B0A09080706050403020100h
(IDコード1:00h, IDコード2:01h, IDコード3:02h, ... , IDコード16:0Fh)
<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト	…
00h	01h	02h	03h	04h	05h	06h	07h	…

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 2Bh (OK)
SUM : D4h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : ABh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：ABh (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
DAh (プロテクションエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.30 シリアルプログラマ接続禁止コマンド

本コマンドで SPCC.SPE ビットに “0” を設定してシリアルプログラマ接続禁止を有効にします。
本コマンド実行後にリセットを行うと、シリアルプログラマの接続ができなくなります。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 29h
SUM : D6h
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 29h (OK)
SUM : D6h
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : A9h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.31 OFS 設定コマンド

本コマンドで OFS0 レジスタ、OFS1 レジスタを設定できます。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	OFS	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 09h
COM : 48h
OFS : OFS (8バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信してください。
<OFS>
OFS0 レジスタ = 01234567h
OFS1 レジスタ = 89ABCDEFh
<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト
67h	45h	23h	01h	EFh	CDh	ABh	89h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 48h (OK)
SUM : B7h
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : C8h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.32 OFS 取得コマンド

本コマンドで OFS0 レジスタ、OFS1 レジスタの設定情報をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 49h
SUM : B6h
ETX : 03h

(2) データパケット構造 (Data packet)

SOD	LNH	LNL	RES	OFS	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 09h
RES : 49h (OK)
OFS : OFS (8バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信されます。
<OFS>
OFS0 レジスタ = 01234567h
OFS1 レジスタ = 89ABCDEFh
<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト
67h	45h	23h	01h	EFh	CDh	ABh	89h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 49h (OK)
SUM : B6h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : C9h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : C9h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.33 エンディアン設定コマンド

本コマンドで MDE レジスタを設定できます。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	END	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 02h
COM : 4Ah
END : エンディアン情報
00h (ビッグエンディアン)
上記以外(リトルエンディアン)
SUM : サムデータ
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 4Ah (OK)
SUM : B5h
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : CAh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.34 エンディアン取得コマンド

本コマンドで MDE レジスタの設定情報をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 4Bh
SUM : B4h
ETX : 03h

(2) データパケット構造

SOD	LNH	LNL	RES	END	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 4Bh (OK)
END : エンディアン情報
00h (ビッグエンディアン)
FFh (リトルエンディアン)
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 4Bh (OK)
SUM : B4h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : CBh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : CBh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.35 コンフィギュレーションクリアコマンド

本コマンドは、コンフィギュレーション設定領域をイレーズします。TM 機能有効時、TM 対象領域であるユーザ領域のブロック 8、9 のイレーズもできます。

本コマンド実行後の状態は、「(4) クリア後のコンフィギュレーションデータ」を参照してください。

ユーザ領域、ユーザブート領域、データ領域がブランクではない場合、本コマンドは使用できません。

いずれかのブロックにロックビットが設定されている場合、本コマンドは使用できません。

ブロックイレーズコマンド禁止が有効の場合、本コマンドは使用できません。

シリアルプログラマ ID コードプロテクトが有効の場合、リセット後にプロテクトが無効になります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 1Ch
SUM : E3h
ETX : 03h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 1Ch (OK)
SUM : E3h
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : 9Ch (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DAh (プロテクションエラー)
E0h (非ブランクエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
SUM : サムエラー
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(4) クリア後のコンフィギュレーションデータ

データ	設定
ブロックイレーズコマンド禁止	無効
プログラムコマンド禁止	無効
リードコマンド禁止	無効
シリアルプログラマ ID コードプロテクト	無効
シリアルプログラマ接続禁止	無効
ID コード	全て FFh
MDE	リトルエンディアン
OFS0, OFS1	全て FFh
TM 機能	無効
ROM コードプロテクト	無効

45.9.36 TM 設定コマンド

TM 設定コマンドは TM 機能を有効にするため TMEF.TMEF[2:0] ビットに “000b”、TMINF レジスタに任意の 4 バイトの値をプログラムします。TMINF レジスタには TM 対象領域に格納しているプログラムを識別できるコード格納などにご使用いただけます。TM 機能はリセット後に有効になります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	TMI	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 05h
COM : 4Eh
TMI : TMINF (4バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信してください。
<TMINF>
TMINF = 01234567h

<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト
67h	45h	23h	01h

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 4Eh (OK)
SUM : B1h
ETX : 03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : CEh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DAh (プロテクションエラー)
E1h (イレーズエラー)
E2h (ライトエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.37 TM 取得コマンド

TM 取得コマンドは、TM 機能の有効 / 無効のチェック、TMINF レジスタの設定値、TM 対象領域の開始アドレス / 終了アドレスをホストへ送信します。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH：01h
LNH：00h
LNL：01h
COM：4Fh
SUM：B0h
ETX：03h

(2) データパケット構造

SOD	LNH	LNL	RES	TME	TMI	SHH	SHL	SLH	SLL
EHH	EHL	ELH	ELL	SUM	EXT				

SOD：81h
LNH：00h
LNL：0Eh
RES：4Fh (OK)
TME：TM機能有効/無効
00h (TM機能有効)
FFh (TM機能無効)
TMI：TMINF (4バイト)(注1)
SHH：TM対象領域開始アドレス(High-High)
SHL：TM対象領域開始アドレス(High-Low)
SLH：TM対象領域開始アドレス(Low-High)
SLL：TM対象領域開始アドレス(Low-Low)
EHH：TM対象領域終了アドレス(High-High)
EHL：TM対象領域終了アドレス(High-Low)
ELH：TM対象領域終了アドレス(Low-High)
ELL：TM対象領域終了アドレス(Low-Low)
SUM：サムデータ
ETX：03h

注1. 以下のように送信されます。
<TMINF>
TMINF = 01234567h

<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト
67h	45h	23h	01h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：4Fh (OK)
SUM：B0h
ETX：03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : CEh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : CEh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.38 単純加算サムチェックコマンド

本コマンドで指定された領域のサムを計算し、結果をホストへ送信します。ただし、TM 機能有効時、TM 対象領域は加算されません。

本コマンドの対象領域はユーザ領域、ユーザブート領域、データ領域から選択することができます。算出方法は単純加算方式です。初期値は “0” で、指定領域のデータを 1 バイトずつ加算します。

イレーズ状態を含むデータ領域に対して本コマンドを使用すると結果は不定値になります。データ領域に対する単純加算サムチェックを実行する場合は、指定領域にはデータを書き込んでください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	ARE	SUM	ETX

SOH：01h
LNH：00h
LNL：02h
COM：4Dh
ARE：領域情報
　00h (ユーザ領域)
　10h (ユーザブート領域)
　20h (データ領域)
SUM：サムデータ
ETX：03h

(2) データパケット構造

SOD	LNH	LNL	RES	SD1	SD2	SD3	SD4	SUM	ETX

SOD：81h
LNH：00h
LNL：05h
RES：4Dh (OK)
SD1：サム結果
SD2：サム結果
SD3：サム結果
SD4：サム結果
　サム結果 = 01234567hの場合、以下のようになります。
　SD1 = 01h
　SD2 = 23h
　SD3 = 45h
　SD4 = 67h
SUM：サムデータ
ETX：03h

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：4Dh (OK)
SUM：B2h
ETX：03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：CDh (エラー)
ERR：エラーコード
　C1h (パケットエラー)
　C2h (チェックサムエラー)
　C3h (フローエラー)
　D5h (領域エラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：CDh (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.39 シグネチャ取得コマンド

本コマンドでフラッシュメモリ構成情報をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH：01h
LNH：00h
LNL：01h
COM：3Ah
SUM：C5h
ETX：03h

(2) データパケット構造

SOD	LNH	LNL	RES	DEV	CF1	CS1	CN1	CF2	CS2	CN2		
			SP1	SS1	SN1	CF3	CS3	CN3	UF1	US1	UN1	
								DF1	DS1	DN1	SUM	ETX

SOD：81h
LNH：00h
LNL：3Bh
RES：3Ah (OK)
DEV：予約データ(16バイト)
CF1：00h (ユーザ領域8Kバイトブロック)
CS1：ユーザ領域8Kバイトブロックサイズ [Byte] (4バイト)
CN1：ユーザ領域8Kバイトブロック数(2バイト)
CF2：00h (ユーザ領域32Kバイトブロック)
CS2：ユーザ領域32Kバイトブロックサイズ [Byte] (4バイト)
CN2：ユーザ領域32Kバイトブロック数(2バイト)
SP1：予約データ(1バイト)
SS1：予約データ(4バイト)
SN1：予約データ(2バイト)
CF3：予約データ(1バイト)
CS3：予約データ(4バイト)
CN3：予約データ(2バイト)
UF1：02h (ユーザブート領域)
US1：ユーザブート領域ブロックサイズ [Byte] (4バイト)
UN1：ユーザブート領域ブロック数(2バイト)
DF1：03h (データ領域)
DS1：データ領域ブロックサイズ [Byte] (4バイト)
DN1：データ領域ブロック数(2バイト)
SUM：サムデータ
ETX：03h

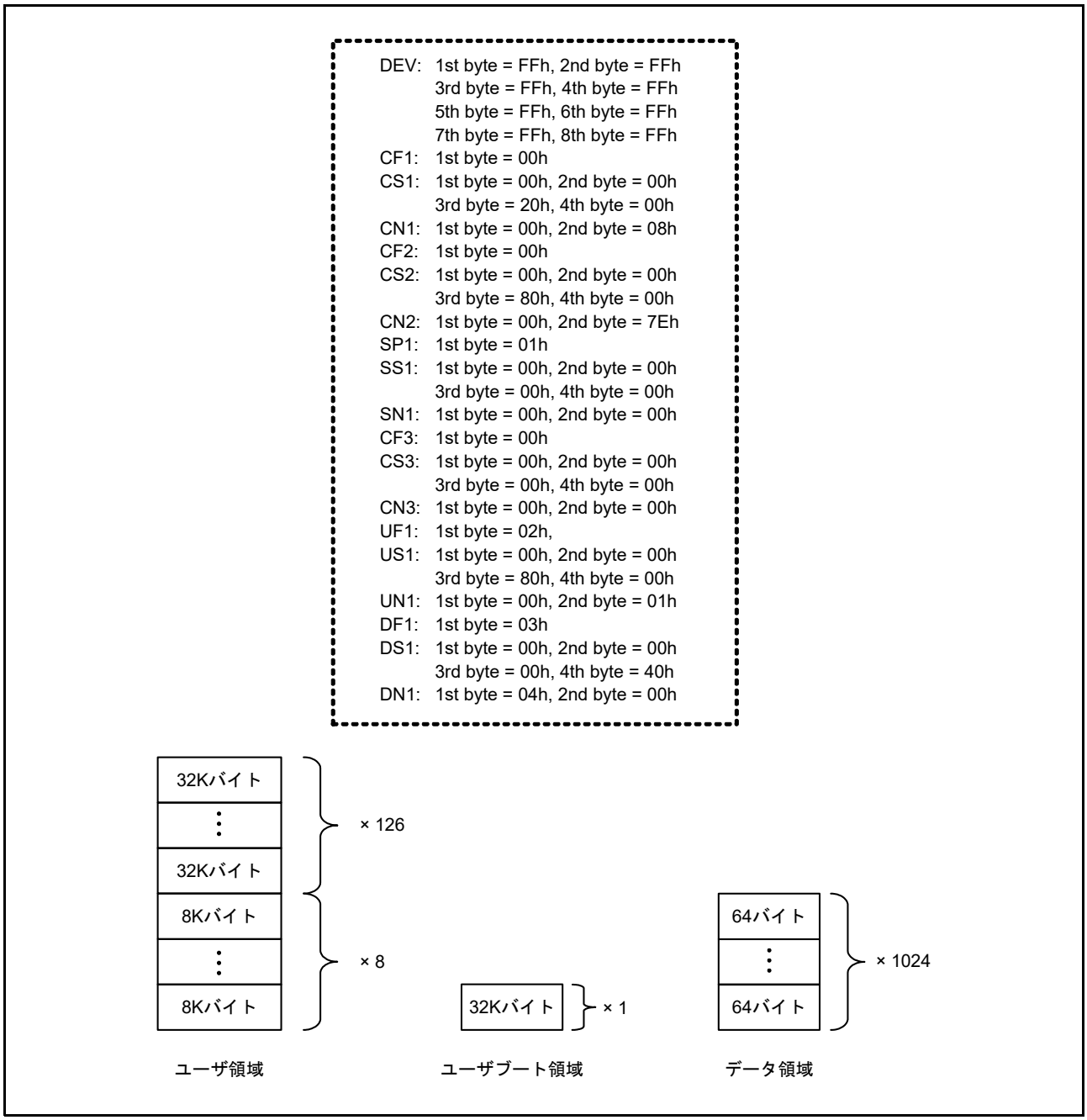


図 45.42 フラッシュメモリ構成情報の例

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：3Ah (OK)
SUM：C5h
ETX：03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：BAh (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：BAh (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.40 ROM コード設定コマンド

本コマンドで ROM コードプロテクトレジスタを設定できます。

プログラムコマンド禁止が有効、またはブロックイレーズコマンド禁止が有効な場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	RS1	ROM	RS2	SUM	ETX

SOH：01h
LNH：00h
LNL：21h
COM：26h
RS1：コンフィギュレーション設定領域の0012 0070h～0012 007Bhの設定値(12バイト)(注1)
ROM：ROMコードプロテクトレジスタ設定値(4バイト)(注2)
RS2：予約データ(16バイト)(注3)
SUM：サムデータ
ETX：03h

注1. コンフィギュレーション設定領域の0012 0070h～0012 007Bhへ書き込むデータです。コンフィギュレーション設定領域の0012 0070h～0012 007Bhは予約領域のため、FFhを送信してください。

注2. 以下のように送信してください。
<ROMコード>
ROMコードプロテクトレジスタ = 00000001h
<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト
01h	00h	00h	00h

注3. FFhを送信してください。

(2) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD：81h
LNH：00h
LNL：01h
RES：26h (OK)
SUM：D9h
ETX：03h

(3) ステータスパケット構造・エラー発生

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD：81h
LNH：00h
LNL：02h
RES：A6h (エラー)
ERR：エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DAh (プロテクションエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
SUM：サムデータ
ETX：03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.41 ROM コード取得コマンド

本コマンドで ROM コードプロテクトレジスタの設定情報をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

SOH	LNH	LNL	COM	SUM	ETX

SOH : 01h
LNH : 00h
LNL : 01h
COM : 27h
SUM : D8h
ETX : 03h

(2) データパケット構造

SOD	LNH	LNL	RES	RS1	ROM	RS2	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 21h
RES : 27h (OK)
RS1 : コンフィギュレーション設定領域の0012 0070h～0012 007Bhの設定値(12バイト)
ROM : ROMコードプロテクトレジスタ設定値(4バイト)(注1)
RS2 : 予約データ(16バイト)(注2)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信されます。
<ROMコード>
ROMコードプロテクトレジスタ = 00000001h
<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト
01h	00h	00h	00h

注2. FFhが送信されます。

(3) ステータスパケット構造・正常終了

SOD	LNH	LNL	RES	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 01h
RES : 27h (OK)
SUM : D8h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : A7h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

SOD	LNH	LNL	RES	ERR	SUM	ETX

SOD : 81h
LNH : 00h
LNL : 02h
RES : A7h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

45.9.42 使用例

(1) 書き換え方法の例

書き換え方法の例を図 45.43 に示します。

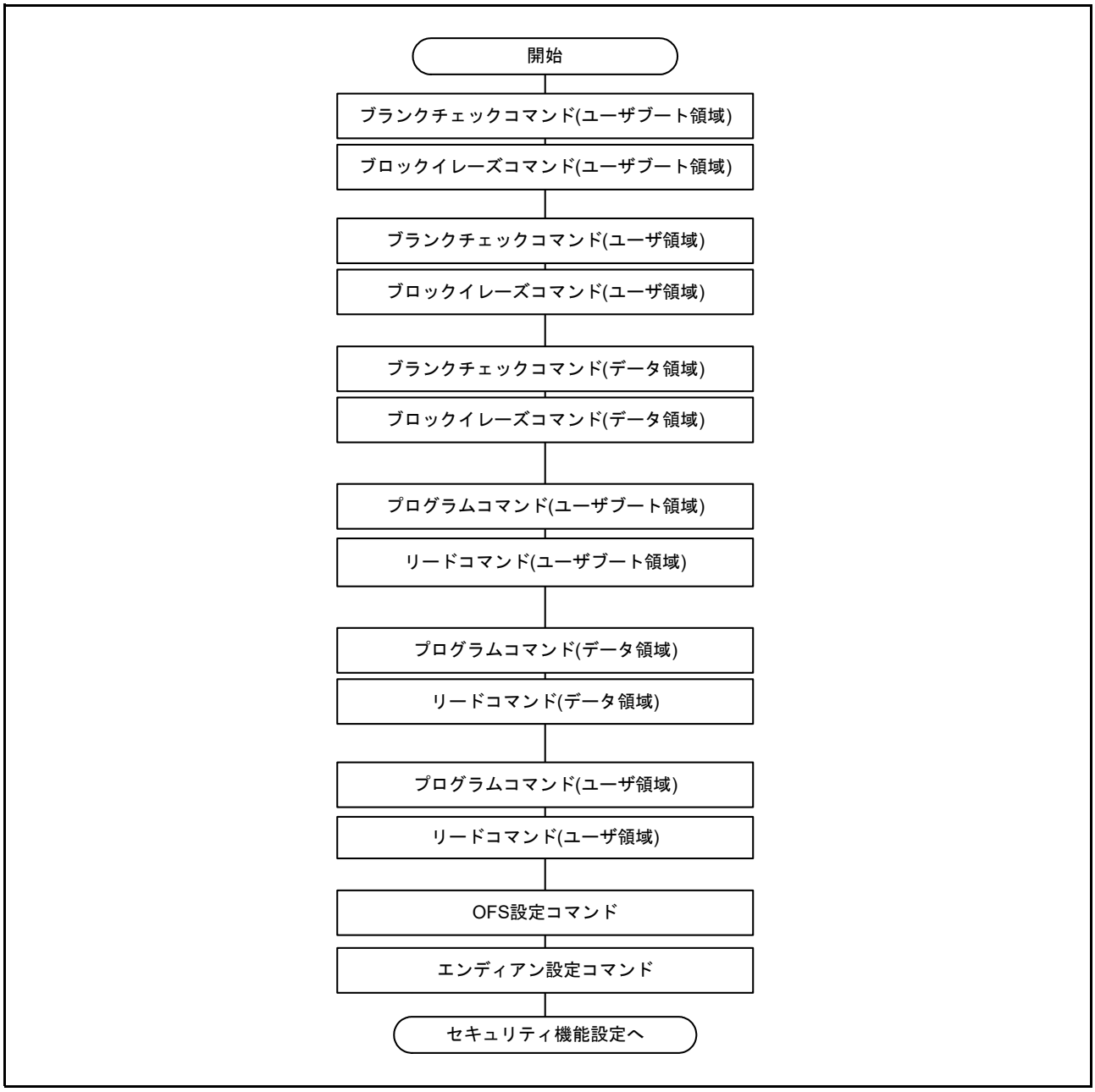
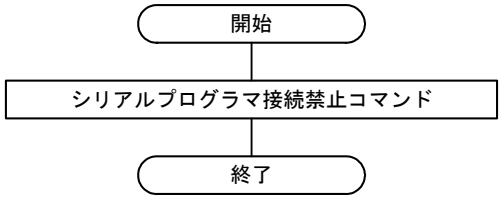


図 45.43 書き換え方法の例

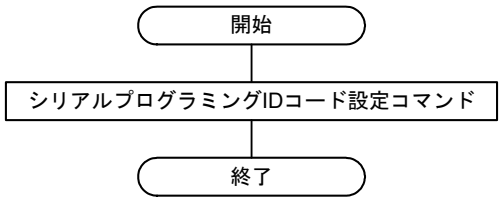
(2) セキュリティ機能設定

セキュリティ機能を使用する場合は、以下の方法でセキュリティ機能を設定します。

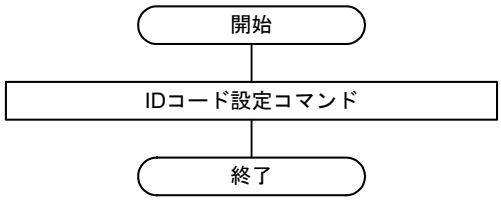
1. シリアルプログラマ接続禁止を有効にする場合



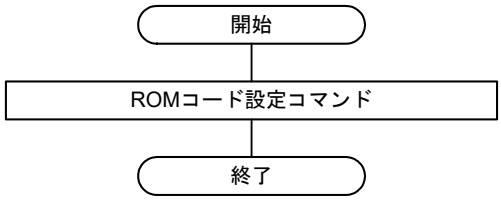
2. IDコードを設定し、シリアルプログラマIDコードプロテクトを有効にする場合



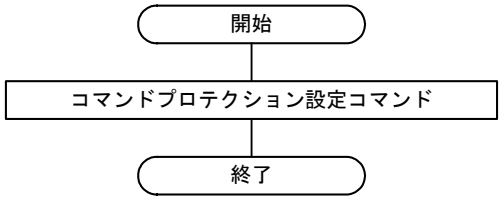
3. IDコードを設定する場合



4. ROMコードプロテクトを有効にする場合



5. ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止を有効にする場合



注. IDコード設定コマンドとコマンドプロテクション設定コマンドの両方を使用する場合は、先にIDコード設定コマンドを使用し、後にコマンドプロテクション設定コマンドを使用してください。

注. ROMコード設定コマンドとコマンドプロテクション設定コマンドの両方を使用する場合は、先にROMコード設定コマンドを使用し、後にコマンドプロテクション設定コマンドを使用してください。

図 45.44　セキュリティ機能を使用する場合の設定

45.9.43 プログラムコマンド禁止設定時のイレーズフロー

プログラムコマンド禁止が設定されている場合、以下の順でイレーズを実施してください。

1.ユーザブート領域をイレーズ
2.データ領域を先頭ブロックから順番にイレーズ
3.ユーザ領域の最終ブロックから順番にイレーズ

なお、ユーザブート領域からユーザ領域のイレーズを行う間、リセット、NMI を含む割り込みを実行しないでください。

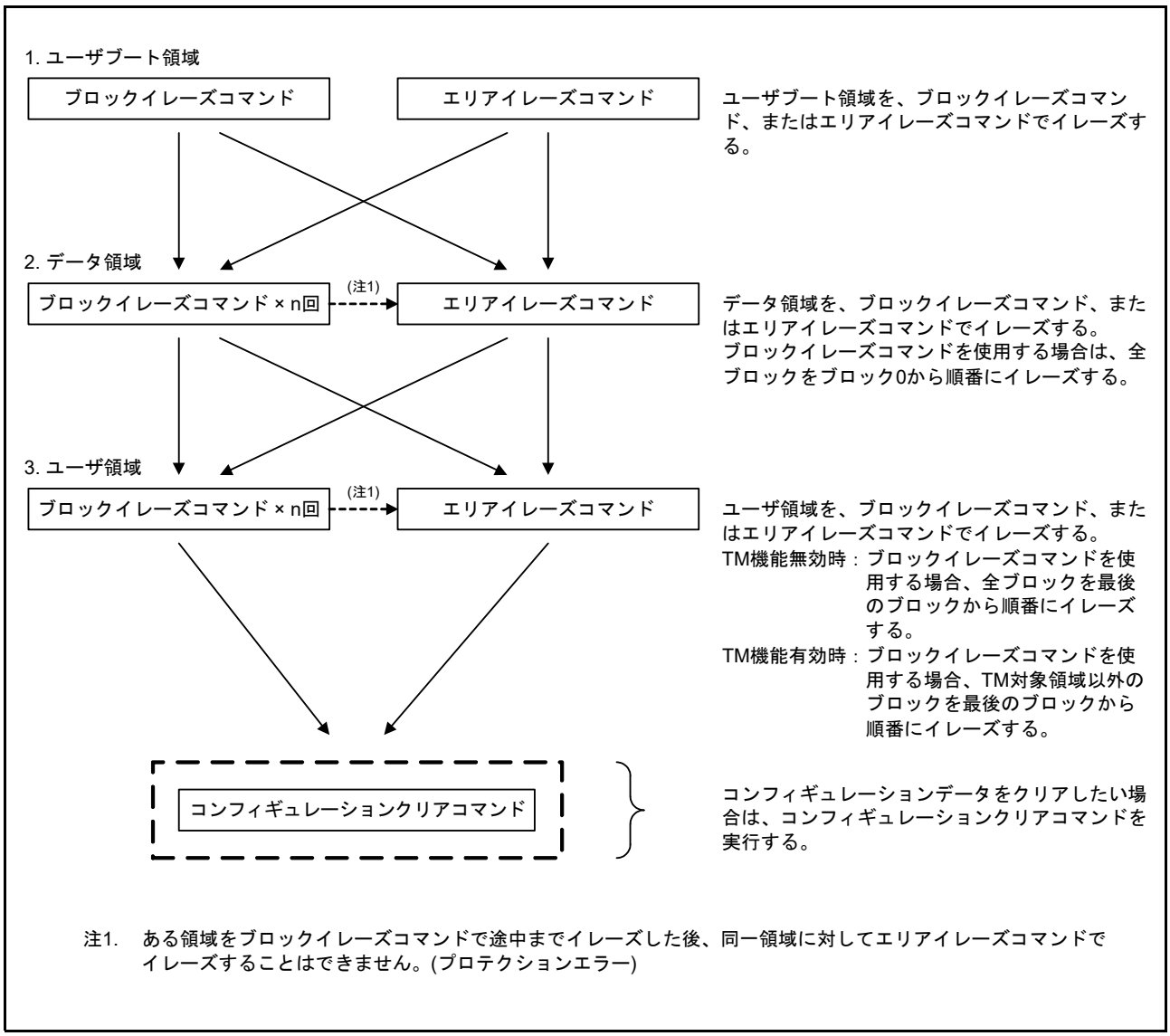


図 45.45 プログラムコマンド禁止設定時のイレーズフロー

45.10 シリアルプログラマでの書き換え

シリアルプログラマを使用して、ブートモードでフラッシュメモリの書き換えを行うことができます。

(1) シリアルプログラミング

ボード上にコネクタを設けることにより、ボードに本 MCU を実装したまま、シリアルプログラマで本 MCU にプログラムを行うことができます。

45.10.1 プログラミング環境

本 MCU のフラッシュメモリを書き換えるための推奨される環境を次に示します。

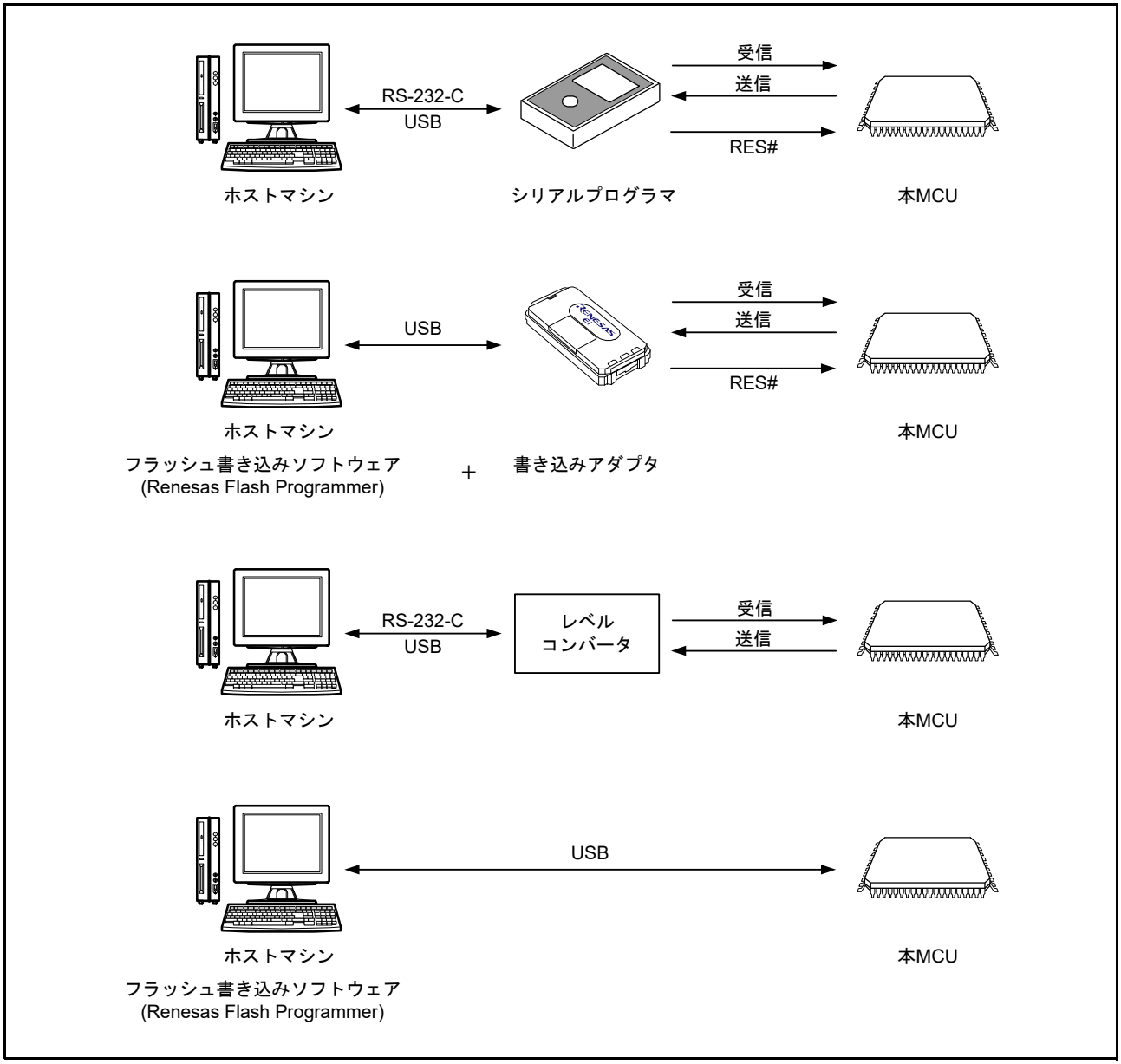


図 45.46 フラッシュメモリを書き換えるための環境

注. シリアルプログラマの詳細は、各シリアルプログラマのマニュアルを、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は、「Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザーズマニュアル」を参照してください。

45.11 セルフプログラミングでの書き換え

45.11.1 概要

本 MCU は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。FACI コマンドをユーザプログラムで使用することにより、ユーザ領域とデータ領域を書き換えることができます。したがって、ユーザプログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

データ領域の書き換え時には、BGO 機能を利用してユーザ領域上の書き換え用のプログラムを実行して、データ領域を書き換えることができます。また、あらかじめ内蔵 RAM または外部メモリに転送した書き換え用のプログラムを実行して、データ領域を書き換えることもできます。

また、内蔵 RAM または外部メモリにあらかじめ転送した書き換え用のプログラムを実行して、ユーザ領域を書き換えることができます。

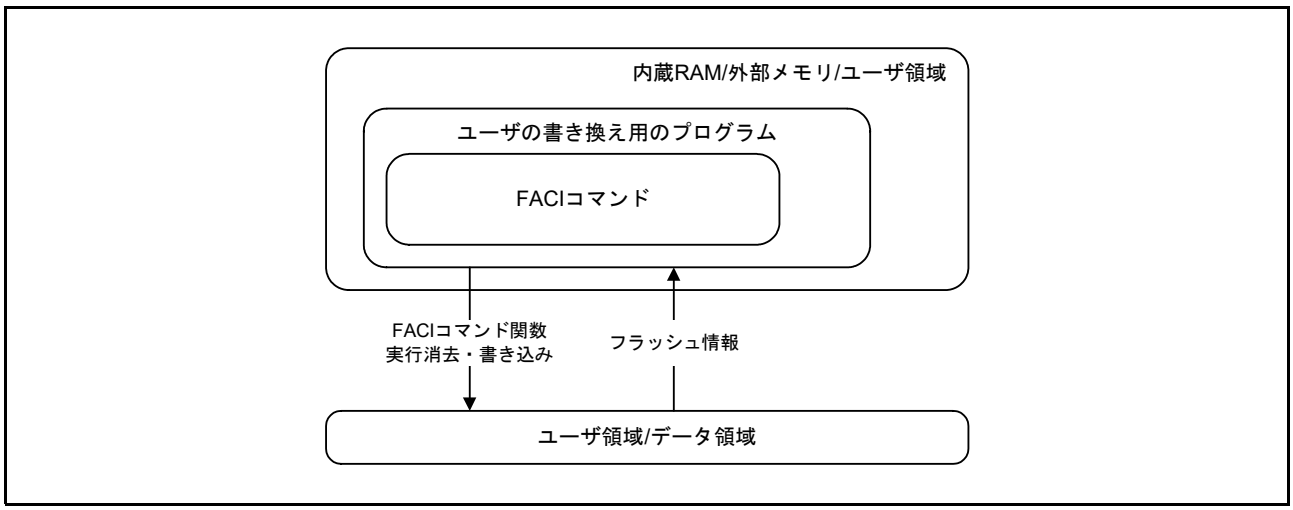


図 45.47 セルフプログラミングの概念

45.12 使用上の注意事項

45.12.1 プログラム / イレーズを中断した領域およびサスペンドした領域の読み出し

プログラム / イレーズを中断した領域および P/E サスペンドコマンドを使用してプログラム / イレーズを中断した領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、プログラム / イレーズを中断した領域および P/E サスペンドコマンドを使用してプログラム / イレーズを中断した領域の命令フェッチやデータリードが発生しないように注意してください。

45.12.2 プログラム / イレーズの中断

P/E サスペンドコマンドを発行してプログラム / イレーズ処理を中断した場合、P/E レジュームコマンドを発行してプログラム / イレーズ処理を再開することができます。中断処理が正常に終了して ERSSPD フラグまたは PRGSPD フラグが “1” になったあと、何らかの理由でフラッシュシーケンサがコマンドロック状態になり強制停止コマンドを発行した場合は、中断した処理を再開することはできません。また処理を中断した領域のデータ値は保証されませんので、当該領域をイレーズしてください。

45.12.3 追加プログラムの禁止

ユーザ領域 / ユーザブート領域 / データ領域では同一領域に 2 回以上のプログラムを行うことはできません。プログラム済みのユーザ領域 / ユーザブート領域 / データ領域をプログラムしたい場合には、当該領域をイレーズしてください。

45.12.4 プログラム / イレーズ中またはブランクチェック中のリセット

プログラム / イレーズ中またはブランクチェック中に RES# 端子によるリセットを発生させた場合には、電気的特性に定める動作電圧範囲内で、t_{RESWF} (「46. 電気的特性」を参照) 以上のリセット入力期間の後にリセット解除してください。

45.12.5 プログラム / イレーズ中の割り込み / 例外ベクタの配置

プログラム / イレーズ中に割り込み / 例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO 機能を使用できない条件下では、ベクタのアドレスをコードフラッシュメモリ以外に設定してください。

45.12.6 プログラム / イレーズ中またはブランクチェック中の異常終了

RES# 端子によるリセット発生などでプログラム / イレーズが異常終了したことにより、データが不定状態となったフラッシュメモリ領域のプログラム / イレーズ状態を確認するベリファイ手段はありません。プログラム / イレーズが異常終了した領域に対しては、ブランクチェック機能では正しくイレーズ状態の判定をできません。再度イレーズ処理を行って、該当領域を完全なイレーズ状態にした後にご使用ください。

ユーザ領域のプログラム / イレーズ中またはブランクチェック中に動作電圧範囲を超える電圧変動、RES# 端子によるリセット、エラー検出によるコマンドロック状態、および次項 45.12.7 の禁止事項によって、プログラム / イレーズまたはブランクチェックが正常に終了しなかった場合、ロックビットが有効になることがあります。

この場合には、ロックビットを無効化した状態で、該当ブロックのイレーズを実施して、ロックビットをイレーズしてください。

45.12.7 プログラム / イレーズ中またはブランクチェック中の禁止事項

プログラム / イレーズ中またはブランクチェック中は、フラッシュメモリ内に高電圧が印加されています。フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。

- 電源を動作電圧範囲外にする

- FWEPROR.FLWE[1:0] ビットの変更
- SYSCR0.ROME ビットの変更
- SCKCR.FCK[3:0] と PCLKB[3:0] ビットの変更
- SCKCR3.CKSEL[2:0] ビットの変更
- RSTCKCR.RSTCKEN ビットの変更
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへの移行

45.12.8 ブートモード (USB インタフェース) における注意事項

- ブートモード (USB インタフェース) で使用可能な発振子は、周波数が 20MHz、24MHz、かつ発振子メーカーのマッチングテスト結果 (推奨設定値) でメインクロック発振器ドライブ能力 2 切り替えビット (MOFCR.MODRV2[1:0]) が “00b” の設定値のみです。
- フラッシュメモリへのプログラム / イレーズ中は電源安定供給のため、バスパワード HUB を経由してケーブル接続はしないでください。

46. 電気的特性

46.1 絶対最大定格

表46.1 絶対最大定格
条件：VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V

項目			記号	定格値	単位
電源電圧 (注1)			VCC	–0.3 ～ +6.5	V
USB電源電圧 (注1)			VCC_USB	–0.3 ～ +6.5	
アナログ電源電圧 (注1)			AVCC0, AVCC1, AVCC2	–0.3 ～ +6.5	
入力電圧	PB1, PB2, PC0, PD2		V_{in}	–0.3 ～ +6.5	
	P40～P42, P44～P46, PH0, PH4	負入力許可時 (注2)		–1.0 ～ AVCC1 + 0.3 (最大 6.5)	
		負入力禁止時		–0.3 ～ AVCC1 + 0.3 (最大 6.5)	
	P43, P47, PH1～PH3, PH5～PH7			–0.3 ～ AVCC1 + 0.3 (最大 6.5)	
	P50～P55, P60～P65			–0.3 ～ AVCC2 + 0.3 (最大 6.5)	
	USB0_DP, USB0_DM			–0.3 ～ VCC_USB + 0.3 (最大 6.5)	
	上記以外			–0.3 ～ VCC + 0.3 (最大 6.5)	
ジャンクション温度		Dバージョン	T_j	–40 ～ +105	°C
		Gバージョン		–40 ～ +125	
保存温度			T_{stg}	–55 ～ +125	

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

注1. 各電源とグランド間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離、かつできる限り太いパターンを使用して接続してください。

注2. VOLSR.PGAVLS = 0かつADPGADCR0.PxDEN = 1 (x = 000, 001, 002, 100, 101, 102)のとき

46.2 推奨動作条件

表46.2 推奨動作条件(1)

項目			記号	min	typ	max	単位
電源電圧			VCC (注1)	2.7	—	5.5	V
			VSS	—	0	—	
USB電源電圧 (注2)		USB使用時	VCC_USB (注1)	3.0	—	3.6	
			VSS_USB	—	0	—	
		USB不使用時	VCC_USB	—	VCC	—	
			VSS_USB	—	VSS	—	
アナログ電源電圧 (注3)			AVCC0, AVCC1, AVCC2 (注1)	3.0	—	5.5	
			AVSS0, AVSS1, AVSS2	—	0	—	
入力電圧	PB1, PB2, PC0, PD2		V_{in}	–0.3	—	5.8	
	P40～P42, P44～P46	負入力許可時 (注4)		–1.0	—	AVCC1 + 0.3	
		負入力禁止時		–0.3	—		
	PH0, PH4	負入力許可時 (注4)		–0.5	—	AVCC1 + 0.3	
		負入力禁止時		–0.3	—		
	P43, P47, PH1～PH3, PH5～PH7			–0.3	—	AVCC1 + 0.3	
	P50～P55, P60～P65			–0.3	—	AVCC2 + 0.3	
	USB0_DP, USB0_DM			–0.3	—	VCC_USB + 0.3	
	上記以外			–0.3	—	VCC + 0.3	
動作温度	Dバージョン		T_{opr}	–40	—	85	°C
	Gバージョン			–40	—	105	

注1. 各電源電圧の関係は以下を守ってください。
VCC_USB ≦ VCC ≦ AVCC0 = AVCC1 = AVCC2
注2. USBを使用しないときは、VCC_USBとVCC、VSS_USBとVSSをそれぞれ接続し、VOLSR.USBVON = 0にしてください。
注3. 12ビットA/Dコンバータ(ユニット0～2)、12ビットD/Aコンバータ、コンパレータC、温度センサのいずれも使用しないときは、AVCC0、AVCC1、AVCC2はVCCに、AVSS0、AVSS1、AVSS2はVSSにそれぞれ接続してください。詳細は「39.6.10 アナログ電源端子他の設定範囲」を参照してください。
注4. VOLSR.PGAVLS = 0かつADPGADCR0.PxDEN = 1 (x = 000, 001, 002, 100, 101, 102)のとき

表46.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C_{VCL}	0.47μF ± 30% (注1)

注1. 静電容量の公称値が0.47μF、静電容量許容差とコンデンサの使用条件下における静電容量変化率の合計が±30%以内の積層セラミックコンデンサを使用してください。

46.3 DC 特性

表46.4 DC特性(1)
条件：VCC = 2.7～5.5V、VCC_USB = 2.7～5.5V、AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	CAN入力端子、MTU入力端子、GPTW入力端子、POE入力端子、POEG入力端子、TMR入力端子、SCI入力端子、ADTRG#入力端子、RES#、NMI	V_{IH}	0.8 × VCC	—	—	V	
		V_{IL}	—	—	0.2 × VCC		
		ΔV_T	0.06 × VCC	—	—		
	IRQ入力端子 (P52～P55、P60～P65 を除く)	V_{IH}	0.8 × VCC	—	—		
		V_{IL}	—	—	0.2 × VCC		
		ΔV_T	0.06 × VCC	—	—		
	IRQ入力端子 (P52～P55, P60～P65)	V_{IH}	0.8 × AVCC2	—	—		
		V_{IL}	—	—	0.2 × AVCC2		
		ΔV_T	0.06 × AVCC2	—	—		
	RIIC入力端子 (SMBusを除く)	V_{IH}	0.7 × VCC	—	—		
		V_{IL}	—	—	0.3 × VCC		
		ΔV_T	0.06 × VCC	—	—		
	5Vトレラント対応端子 (PB1, PB2, PC0, PD2)	V_{IH}	0.8 × VCC	—	—		
		V_{IL}	—	—	0.2 × VCC		
	アナログ入力端子 (P40～P47, PH0～PH7)	V_{IH}	0.8 × AVCC1	—	—		
		V_{IL}	—	—	0.2 × AVCC1		
	アナログ入力端子 (P50～P55, P60～P65)	V_{IH}	0.8 × AVCC2	—	—		
		V_{IL}	—	—	0.2× AVCC2		
	その他の入力端子 (上記以外のポート)	V_{IH}	0.8 × VCC	—	—		
		V_{IL}	—	—	0.2 × VCC		
High レベル入力電圧(シュミットトリガ入力端子を除く)	MD端子、EMLE	V_{IH}	0.9 × VCC	—	—	V	
	EXTAL、WAIT#、RSPI入力端子		0.8 × VCC	—	—		
	D0～D15		0.7 × VCC	—	—		
	RIIC (SMBus)		2.1	—	—		
Low レベル入力電圧(シュミットトリガ入力端子を除く)	MD端子、EMLE	V_{IL}	—	—	0.1 × VCC	V	
	EXTAL、WAIT#、RSPI入力端子		—	—	0.2 × VCC		
	D0～D15		—	—	0.3 × VCC		
	RIIC (SMBus)		—	—	0.8		

表46.5 DC特性(2)
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
High レベル出力電圧	P43, P47, PH1～PH3, PH5～PH7	V_{OH}	AVCC1 – 0.5	—	—	V	I_{OH} = –1.0mA
	P50～P55, P60～P65		AVCC2 – 0.5	—	—		I_{OH} = –1.0mA
	P90～P95, P71～P76, P81, PB5, PD3		VCC – 1.0	—	—		I_{OH} = –5.0mA (大電流出力設定時)
	上記以外		VCC – 0.5	—	—		I_{OH} = –1.0mA
Low レベル出力電圧	P43, P47, PH1～PH3, PH5～PH7	V_{OL}	—	—	0.5		I_{OL} = 1.0mA
	P50～P55, P60～P65		—	—	0.5		I_{OL} = 1.0mA
	P90～P95, P71～P76, P81, PB5, PD3		—	—	1.0		I_{OL} = 15mA (大電流出力設定時)
	RIIC端子		—	—	0.4		I_{OL} = 3.0mA
			—	—	0.6		I_{OL} = 6.0mA
	上記以外		—	—	0.5		I_{OL} = 1.0mA
入力リーク電流	RES#、MD端子、PE2、EMLE (注1)	$\lvert I_{in} \rvert$	—	—	1.0	μA	V_{in} = 0V V_{in} = VCC
	P40～P42, P44～P46		—	—	1.0		V_{in} = 0V V_{in} = AVCC1
	PH0, PH4		—	—	1.0		V_{in} = 0V V_{in} = AVCC1 VOLSR.PGAVLS = 1
スリーステートリーク電流(オフ状態)	RIIC端子	$\lvert I_{TSI} \rvert$	—	—	5.0		V_{in} = 0V V_{in} = VCC
	上記以外		—	—	1.0		
入力プルアップ抵抗	P43, P47, PH1～PH3, PH5～PH7, P50～P55, P60～P65	R_{PU}	10	—	100	kΩ	AVCC1 = AVCC2 = 3.0～5.5V V_{in} = 0V
	上記以外および、PE2以外の端子		10	—	100		VCC = 2.7～5.5V V_{in} = 0V
入力プルダウン抵抗	EMLE	R_{PD}	10	—	100		V_{in} = VCC = AVCC
入力端子容量	RIIC端子, PH0, PH4	C_{in}	—	—	16	pF	V_{bias} = 0V V_{amp} = 20mV f = 1MHz T_a = 25°C
	USB0_DP、USB0_DM端子		—	—	16		
	上記以外		—	—	8		
VCL端子出力電圧		V_{CL}	—	1.25	—	V	

注1. EMLE端子の入力リーク電流はV_{in} = 0V時のみの値です。

表46.6　DC特性(3) (Dバージョン)
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目				記号	Dバージョン min	Dバージョン typ	Dバージョン max	単位	測定条件
消費電流 (注1)	通常動作モード	最大動作 (注2)		I_{CC} (注3)	—	—	123	mA	ICLK = 200MHz PCLKA = 100MHz PCLKB = 50MHz PCLKC = 200MHz PCLKD = 50MHz FCLK = 50MHz BCLK = 50MHz BCLK端子 = 25MHz
		通常動作	周辺機能クロック供給状態 (注4)		—	28	—		
			周辺機能クロック停止状態 (注4、注5)		—	16	—		
		CoreMark動作	周辺機能クロック停止状態 (注4、注5)		—	27	—		
		スリープモード時：周辺機能クロック供給状態 (注4)			—	23	48		
		全モジュールクロックストップモード時 (参考値)			—	10.9	34		
		BGO動作時の増加分 (注6)			—	14	—		
		Trusted Secure IP動作時の増加分			—	3.9	5.3		
	ソフトウェアスタンバイモード				—	0.9	13.9		VOLSR.PGAVLS = 1
	ディープソフトウェアスタンバイモード				—	15	21	μA	VOLSR.PGAVLS = 1

注1.　消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。
注2.　周辺機能クロック供給状態。BGO動作は除きます。
注3.　I_{CC}は、下記の式のとおりICLK周波数f (MHz)に依存します
(ICLK:PCLKA:PCLKB:PCLKC:PCLKD:BCLK:BCLK端子 = 8:4:2:8:2:2:1 @EXTAL = 20MHz)。
・Dバージョン製品
I_{CC} max = 0.51 × f + 21 (通常動作モード、最大動作時)
I_{CC} typ = 0.115 × f + 5 (通常動作モード、通常動作時)
I_{CC} max = 0.135 × f + 21 (スリープモード時)
注4.　BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA～Dのビット設定でのみ制御しています。
注5.　周辺機能クロック停止時の各クロック周波数は、
FCLK = BCLK = PCLKA = PCLKB = PCLKC = PCLKD = BCLK端子を64分周に設定しています。
注6.　プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

表46.7　DC特性(3) (Gバージョン)

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目				記号	Gバージョン min	Gバージョン typ	Gバージョン max	単位	測定条件
消費電流 (注1)	通常動作モード	最大動作 (注2)		I_{CC} (注3)	—	—	136	mA	ICLK = 200MHz PCLKA = 100MHz PCLKB = 50MHz PCLKC = 200MHz PCLKD = 50MHz FCLK = 50MHz BCLK = 50MHz BCLK端子 = 25MHz
		通常動作	周辺機能クロック供給状態 (注4)		—	28	—		
			周辺機能クロック停止状態 (注4、注5)		—	16	—		
		CoreMark動作	周辺機能クロック停止状態 (注4、注5)		—	27	—		
		スリープモード時：周辺機能クロック供給状態 (注4)			—	23	60		
		全モジュールクロックストップモード時 (参考値)			—	10.9	46		
		BGO動作時の増加分 (注6)			—	14	—		
		Trusted Secure IP動作時の増加分			—	3.9	5.3		
	ソフトウェアスタンバイモード				—	0.9	22.1		VOLSR.PGAVLS = 1
	ディープソフトウェアスタンバイモード				—	15	28	μA	VOLSR.PGAVLS = 1

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. 周辺機能クロック供給状態。BGO動作は除きます。

注3. I_{CC}は、下記の式のとおりICLK周波数f (MHz)に依存します
(ICLK:PCLKA:PCLKB:PCLKC:PCLKD:BCLK:BCLK端子 = 8:4:2:8:2:2:1 @EXTAL = 20MHz)。
・Gバージョン製品
I_{CC} max = 0.535 × f + 29 (通常動作モード、最大動作時)
I_{CC} typ = 0.115 × f + 5 (通常動作モード、通常動作時)
I_{CC} max = 0.155 × f + 29 (スリープモード時)

注4. BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA～Dのビット設定でのみ制御しています。

注5. 周辺機能クロック停止時の各クロック周波数は、
FCLK = BCLK = PCLKA = PCLKB = PCLKC = PCLKD = BCLK端子を64分周に設定しています。

注6. プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

表46.8　DC特性(4)
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目			記号	min	typ	max	単位	測定条件
アナログ電源電流	ユニット0	12ビットA/D変換中(チャネル専用S&H：全チャネル動作、PGA：全チャネル有効)	AI_{CC}	—	2.9	5.1	mA	IAVCC0_AD + SH + PGA
		12ビットA/D変換中(チャネル専用S&H：全チャネル動作、PGA：全チャネル無効)		—	1.9	2.9		IAVCC0_AD + SH
		12ビットA/D変換中(チャネル専用S&H：全チャネル停止、PGA：全チャネル有効)		—	2.0	4.0		IAVCC0_AD + PGA
		12ビットA/D変換中(チャネル専用S&H：全チャネル停止、PGA：全チャネル無効)		—	1.0	1.5		IAVCC0_AD
	ユニット1	12ビットA/D変換中(チャネル専用S&H：全チャネル動作、PGA：全チャネル有効)		—	2.9	5.1		IAVCC1_AD + SH + PGA
		12ビットA/D変換中(チャネル専用S&H：全チャネル動作、PGA：全チャネル無効)		—	1.9	2.9		IAVCC1_AD + SH
		12ビットA/D変換中(チャネル専用S&H：全チャネル停止、PGA：全チャネル有効)		—	2.0	4.0		IAVCC1_AD + PGA
		12ビットA/D変換中(チャネル専用S&H：全チャネル停止、PGA：全チャネル無効)		—	1.0	1.5		IAVCC1_AD
	ユニット2	12ビットA/D変換中(温度センサ：動作)		—	0.9	1.5		IAVCC2_AD + TEMP
		12ビットA/D変換中(温度センサ：停止)		—	0.9	1.5		IAVCC2_AD
	コンパレータ(6ch)			—	0.5	0.6		IAVCC2_CMP
	12ビットD/A変換中(2ch)			—	0.6	0.8		IAVCC2_DA
	12ビットA/D、12ビットD/A、コンパレータC、温度センサ　待機時(全ユニット)			—	0.1	0.4		IAVCC0_AD + IAVCC1_AD + IAVCC2_AD + IAVCC2_DA
	12ビットA/D、12ビットD/A、コンパレータC、温度センサ　モジュールストップ時(全ユニット)			—	0.2	14.8	μA	IAVCC0_AD + IAVCC1_AD + IAVCC2_AD + IAVCC2_DA
USB動作電流	ロースピード		$I_{CCUSBLS}$	—	3.6	6.5	mA	VCC_USB = 3.0～3.6V
	フルスピード		$I_{CCUSBFS}$	—	4.1	10		VCC_USB = 3.0～3.6V
RAM保持電圧			V_{RAM}	2.7	—	—	V	

表46.9 DC特性(5)
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電源投入時VCC立ち上がり勾配	通常起動時	SrVCC	0.02	—	8	ms/V	
	起動時電圧監視0リセット有効時(注1、注2)		0.02	—	20		
許容電源変動立ち上がり/立ち下がり勾配		dt/dVCC	1.0	—	—		VCC 変動がVCC±10%を超える場合

注1. OFS1.LVDAS = 0を設定した場合です。
注2. ブートモード、ユーザブートモード時はOFS1レジスタにて設定した値は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

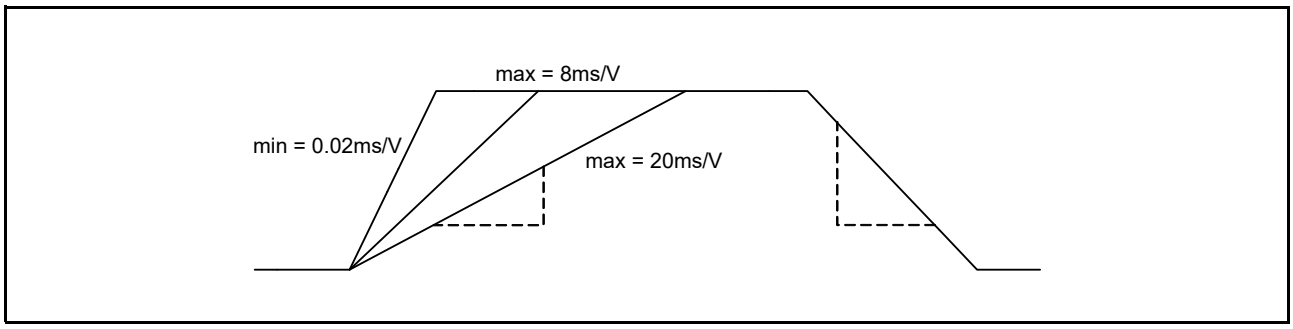


図 46.1 電源投入時 VCC 立ち上がり勾配

表46.10　出力許容電流

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目			記号	min	typ	max	単位
出力Lowレベル許容電流(1端子あたりの平均値)	全出力端子(RIIC端子、P43、P47、PH1～PH3、PH5～PH7、P50～P55、P60～P65以外)	通常駆動(注1)	I_{OL}	—	—	2.0	mA
		高駆動(注2)		—	—	2.0	
		大電流出力(注3)		—	—	15.0	
	RIIC端子	スタンダードモード		—	—	3	
		ファストモード		—	—	6	
	P43, P47, PH1～PH3, PH5～PH7, P50～P55, P60～P65			—	—	2.0	
出力Lowレベル許容電流(1端子あたりの最大値)	全出力端子(RIIC端子、P43、P47、PH1～PH3、PH5～PH7、P50～P55、P60～P65以外)	通常駆動(注1)		—	—	4.0	
		高駆動(注2)		—	—	4.0	
		大電流出力(注3)		—	—	15.0	
	RIIC端子	スタンダードモード		—	—	3	
		ファストモード		—	—	6	
	P43, P47, PH1～PH3, PH5～PH7, P50～P55, P60～P65			—	—	4.0	
出力Lowレベル許容電流(総和)	全出力端子の総和		ΣI_{OL}	—	—	110	
出力Highレベル許容電流(1端子あたりの平均値)	全出力端子(P43、P47、PH1～PH3、PH5～PH7、P50～P55、P60～P65以外)	通常駆動(注1)	I_{OH}	—	—	–2.0	
		高駆動(注2)		—	—	–2.0	
		大電流出力(注3)		—	—	–5.0	
	P43, P47, PH1～PH3, PH5～PH7, P50～P55, P60～P65			—	—	–2.0	
出力Highレベル許容電流(1端子あたりの最大値)	全出力端子(P43、P47、PH1～PH3、PH5～PH7、P50～P55、P60～P65以外)	通常駆動(注1)		—	—	–4.0	
		高駆動(注2)		—	—	–4.0	
		大電流出力(注3)		—	—	–5.0	
	P43, P47, PH1～PH3, PH5～PH7, P50～P55, P60～P65			—	—	–4.0	
出力Highレベル許容電流(総和)	全出力端子の総和		ΣI_{OH}	—	—	–35	

【使用上の注意】LSIの信頼性を確保するため、出力電流値は表46.10の値を超えないようにしてください。

注1.　通常駆動が選択できる端子で通常駆動を設定した場合の値
注2.　通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値
注3.　大電流出力が選択できる端子で、大電流出力を設定をした場合の端子の値

表46.11 標準出力特性(1)
条件：VCC = AVCC0 = AVCC1 = AVCC2 = 5.0V, VCC_USB = 2.7 ～ 5.0V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力電圧	通常出力時 (全出力端子)	V_{OH}	—	4.97	—	V	I_{OH} = –0.5mA
			—	4.94	—		I_{OH} = –1.0mA
			—	4.87	—		I_{OH} = –2.0mA
			—	4.74	—		I_{OH} = –4.0mA
	高駆動出力時 (P00, P01, P10 ～ P17, P20 ～ P27, P30 ～ P35, P70 ～ P76, P80 ～ P82, P90 ～ P96, PA0 ～ PA7, PB0 ～ PB7, PC0 ～ PC6, PD0 ～ PD7, PE0, PE1, PE3 ～ PE6, PF0 ～ PF3, PG0 ～ PG2, PK0 ～ PK2)		—	4.98	—		I_{OH} = –0.5mA
			—	4.97	—		I_{OH} = –1.0mA
			—	4.94	—		I_{OH} = –2.0mA
			—	4.87	—		I_{OH} = –4.0mA
	大電流出力時 (P71 ～ P76, P81, P90 ～ P95, PB5, PD3)		—	4.99	—		I_{OH} = –0.5mA
			—	4.98	—		I_{OH} = –1.0mA
			—	4.96	—		I_{OH} = –2.0mA
			—	4.92	—		I_{OH} = –4.0mA
			—	4.91	—		I_{OH} = –5.0mA
Low レベル出力電圧	通常出力時 (全出力端子)	V_{OL}	—	0.02	—	V	I_{OL} = 0.5mA
			—	0.04	—		I_{OL} = 1.0mA
			—	0.09	—		I_{OL} = 2.0mA
			—	0.18	—		I_{OL} = 4.0mA
	高駆動出力時 (P00, P01, P10 ～ P17, P20 ～ P27, P30 ～ P35, P70 ～ P76, P80 ～ P82, P90 ～ P96, PA0 ～ PA7, PB0 ～ PB7, PC0 ～ PC6, PD0 ～ PD7, PE0, PE1, PE3 ～ PE6, PF0 ～ PF3, PG0 ～ PG2, PK0 ～ PK2)		—	0.01	—		I_{OL} = 0.5mA
			—	0.03	—		I_{OL} = 1.0mA
			—	0.05	—		I_{OL} = 2.0mA
			—	0.10	—		I_{OL} = 4.0mA
	大電流出力時 (P71 ～ P76, P81, P90 ～ P95, PB5, PD3)		—	0.01	—		I_{OL} = 0.5mA
			—	0.02	—		I_{OL} = 1.0mA
			—	0.04	—		I_{OL} = 2.0mA
			—	0.07	—		I_{OL} = 4.0mA
			—	0.09	—		I_{OL} = 5.0mA
			—	0.18	—		I_{OL} = 10.0mA
			—	0.28	—		I_{OL} = 15.0mA

表46.12 標準出力特性(2)
条件：VCC = AVCC0 = AVCC1 = AVCC2 = 3.3V, VCC_USB = 2.7 ～ 3.3V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力電圧	通常出力時 (全出力端子)	V_{OH}	—	3.26	—	V	I_{OH} = –0.5mA
			—	3.22	—		I_{OH} = –1.0mA
			—	3.13	—		I_{OH} = –2.0mA
			—	2.94	—		I_{OH} = –4.0mA
	高駆動出力時 (P00, P01, P10 ～ P17, P20 ～ P27, P30 ～ P35, P70 ～ P76, P80 ～ P82, P90 ～ P96, PA0 ～ PA7, PB0 ～ PB7, PC0 ～ PC6, PD0 ～ PD7, PE0, PE1, PE3 ～ PE6, PF0 ～ PF3, PG0 ～ PG2, PK0 ～ PK2)		—	3.28	—		I_{OH} = –0.5mA
			—	3.26	—		I_{OH} = –1.0mA
			—	3.22	—		I_{OH} = –2.0mA
			—	3.13	—		I_{OH} = –4.0mA
	大電流出力時 (P71 ～ P76, P81, P90 ～ P95, PB5, PD3)		—	3.29	—		I_{OH} = –0.5mA
			—	3.27	—		I_{OH} = –1.0mA
			—	3.25	—		I_{OH} = –2.0mA
			—	3.20	—		I_{OH} = –4.0mA
			—	3.17	—		I_{OH} = –5.0mA
Low レベル出力電圧	通常出力時 (全出力端子)	V_{OL}	—	0.03	—	V	I_{OL} = 0.5mA
			—	0.06	—		I_{OL} = 1.0mA
			—	0.12	—		I_{OL} = 2.0mA
			—	0.25	—		I_{OL} = 4.0mA
	高駆動出力時 (P00, P01, P10 ～ P17, P20 ～ P27, P30 ～ P35, P70 ～ P76, P80 ～ P82, P90 ～ P96, PA0 ～ PA7, PB0 ～ PB7, PC0 ～ PC6, PD0 ～ PD7, PE0, PE1, PE3 ～ PE6, PF0 ～ PF3, PG0 ～ PG2, PK0 ～ PK2)		—	0.02	—		I_{OL} = 0.5mA
			—	0.03	—		I_{OL} = 1.0mA
			—	0.07	—		I_{OL} = 2.0mA
			—	0.13	—		I_{OL} = 4.0mA
	大電流出力時 (P71 ～ P76, P81, P90 ～ P95, PB5, PD3)		—	0.01	—		I_{OL} = 0.5mA
			—	0.02	—		I_{OL} = 1.0mA
			—	0.05	—		I_{OL} = 2.0mA
			—	0.09	—		I_{OL} = 4.0mA
			—	0.11	—		I_{OL} = 5.0mA
			—	0.24	—		I_{OL} = 10.0mA
			—	0.36	—		I_{OL} = 15.0mA

表46.13 熱抵抗値(参考値)

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	144ピンLFQFP (PLQP0144KA-B)	θ_{ja}	—	—	32.4	°C/W	JESD51-2および JESD51-7準拠
	100ピンLFQFP (PLQP0100KB-B)		—	—	35.0		
	144ピンLFQFP (PLQP0144KA-B)	Ψ_{jt}	—	—	0.6	°C/W	JESD51-2および JESD51-7準拠
	100ピンLFQFP (PLQP0100KB-B)		—	—	0.8		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

46.4 AC 特性

表46.14 動作周波数

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max (注3)	単位	測定条件
システムクロック(ICLK)	f	—	—	200	MHz	
周辺モジュールクロック(PCLKA)		—	—	120		
周辺モジュールクロック(PCLKB)		—	—	60		
周辺モジュールクロック(PCLKC)		—	—	200		
周辺モジュールクロック(PCLKD)		8 (注1)	—	60		AVCC0 = AVCC1 = AVCC2≧4.5V
		8 (注1)	—	40		AVCC0 = AVCC1 = AVCC2 < 4.5V
FlashIFクロック(FCLK)		4 (注2)	—	60		
外部バスクロック(BCLK)		—	—	60		
BCLK端子出力		—	—	40		VCC≧4.5V、 駆動能力選択制御レジスタは高駆動出力を選択
		—	—	32		
USBクロック(UCLK)		—	48	—		

注1. 12ビットA/Dコンバータを使用する場合のみ、この周波数以上にしてください。
注2. フラッシュメモリのプログラム/イレーズを行う場合のみ、この周波数以上にしてください。
注3. ICLKの周波数により、各クロックの最大周波数は以下となります。
ICLK = 200MHz、PCLKA = 100MHz、PCLKB = 50MHz、PCLKC = 200MHz、PCLKD = 50MHz、FCLK = 50MHz、BCLK = 50MHz、BCLK端子出力 = 25MHz
ICLK = 120MHz、PCLKA = 120MHz、PCLKB = 60MHz、PCLKC = 120MHz、PCLKD = 60MHz、FCLK = 60MHz、BCLK = 60MHz、BCLK端子出力 = 30MHz
ICLK = 160MHz、PCLKA = 80MHz、PCLKB = 40MHz、PCLKC = 160MHz、PCLKD = 40MHz、FCLK = 40MHz、BCLK = 40MHz、BCLK端子出力 = 40MHz

46.4.1 リセットタイミング

表46.15 リセットタイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t_{RESWP}	2.0	—	—	ms	図46.2
	ディープソフトウェアスタンバイモード	t_{RESWD}	0.6	—	—		図46.3
	ソフトウェアスタンバイモード	t_{RESWS}	0.3	—	—		
	コードフラッシュメモリのプログラム/イレーズ中、データフラッシュメモリのプログラム/イレーズ/ブランクチェック中	t_{RESWF}	200	—	—	μs	
	上記以外	t_{RESW}	200	—	—		
RES#解除後待機時間		t_{RESWT}	62	—	63	t_{Lcyc}	図46.2
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)		t_{RESW2}	108	—	116		

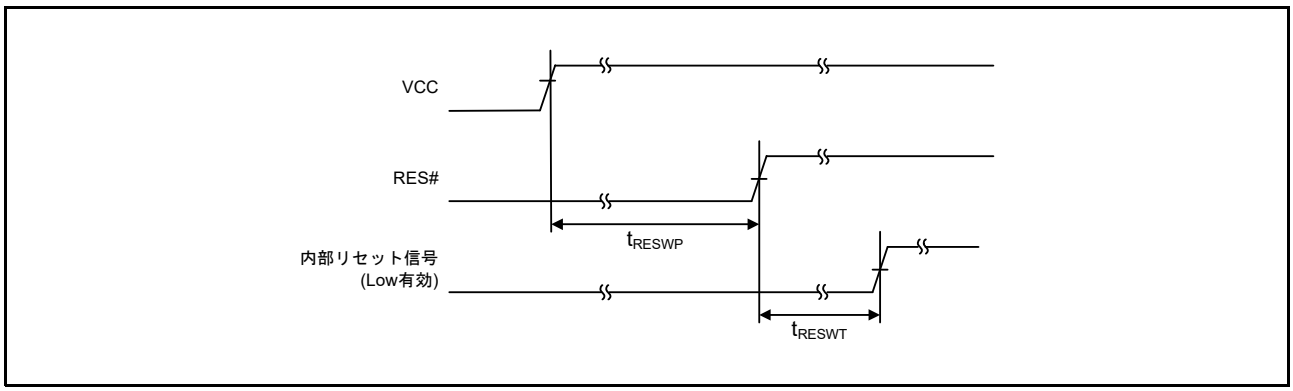


図 46.2 電源投入時リセット入力タイミング

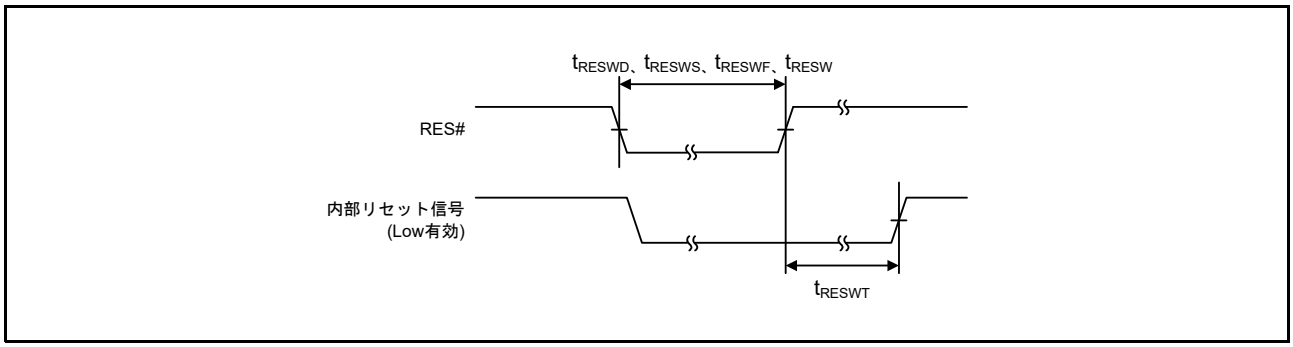


図 46.3 リセット入力タイミング

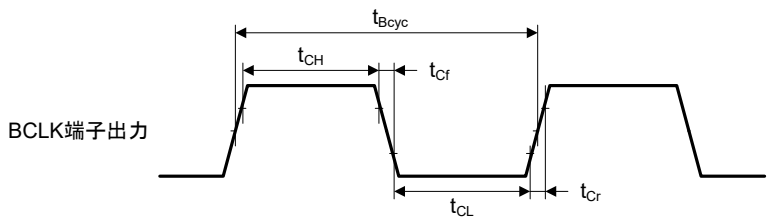
46.4.2 クロックタイミング

表46.16 BCLK端子出力クロックタイミング(1)
条件：4.5≦VCC≦5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t_{Bcyc}	25	—	—	ns	図46.4
BCLK端子出力High レベルパルス幅	t_{CH}	7.5	—	—		
BCLK端子出力Low レベルパルス幅	t_{CL}	7.5	—	—		
BCLK端子出力立ち上がり時間	t_{Cr}	—	—	5		
BCLK端子出力立ち下がり時間	t_{Cf}	—	—	5		

表46.17 BCLK端子出力クロックタイミング(2)
条件：2.7V≦VCC < 4.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t_{Bcyc}	31.25	—	—	ns	図46.4
BCLK端子出力High レベルパルス幅	t_{CH}	10.625	—	—		
BCLK端子出力Low レベルパルス幅	t_{CL}	10.625	—	—		
BCLK端子出力立ち上がり時間	t_{Cr}	—	—	5		
BCLK端子出力立ち下がり時間	t_{Cf}	—	—	5		



測定条件 VOH = 0.7 × VCC、VOL = 0.3 × VCC、C = 30pF
駆動能力制御レジスタは高駆動出力を選択

図 46.4 BCLK 端子出力タイミング

表46.18 EXTALクロックタイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	ns	図46.5
EXTAL外部クロック入力周波数	f_{EXMAIN}	—	—	24	MHz	
EXTAL外部クロック入力パルス幅Highレベル	t_{EXH}	15.83	—	—	ns	
EXTAL外部クロック入力パルス幅Lowレベル	t_{EXL}	15.83	—	—		
EXTAL外部クロック立ち上がり時間	t_{EXr}	—	—	5		
EXTAL外部クロック立ち下がり時間	t_{EXf}	—	—	5		

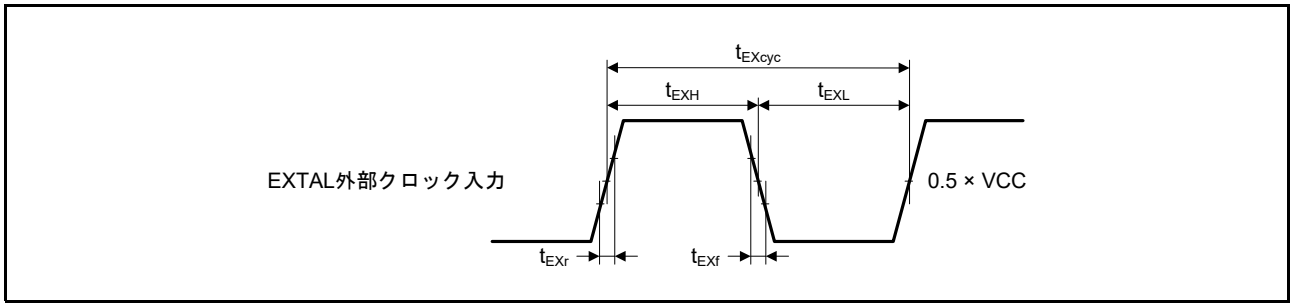


図 46.5 EXTAL 外部クロック入力タイミング

表46.19 メインクロックタイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	8	—	24	MHz	
メインクロック発振安定時間(水晶振動子使用時)	$t_{MAINOSC}$	—	—	—(注1)	ms	図46.6
メインクロック発振安定待機時間(水晶振動子使用時)	$t_{MAINOSCWT}$	—	—	—(注2)		

注1. メインクロックを使用する場合は、発振子メーカに発振評価を依頼してください。発振安定時間については、発振子メーカの評価結果を参照してください。
注2. メインクロック発振安定待機時間は、MOSCWTCR.MSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。
$t_{MAINOSCWT}$ = [(MSTS[7:0]ビット × 32) + 7] / f_{LOCO}

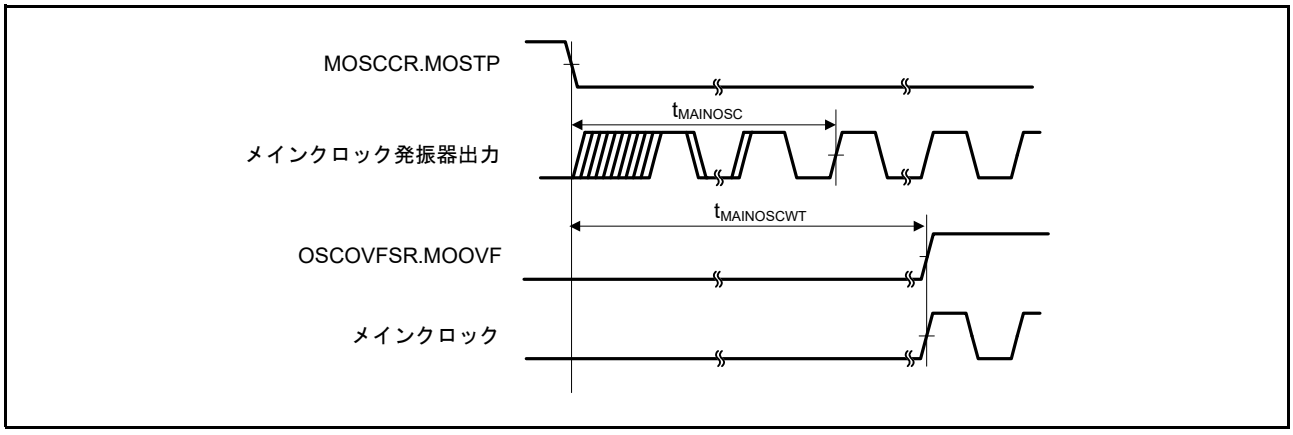


図 46.6 メインクロック発振開始タイミング

表46.20 LOCO, IWDT専用低速クロックタイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	3.78	4.16	4.63	μs	
LOCOクロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCOクロック発振安定時間	t_{LOCOWT}	—	—	44	μs	図46.7
IWDT専用低速クロックサイクル時間	t_{ILcyc}	7.57	8.33	9.26		
IWDT専用低速クロック発振周波数	f_{ILOCO}	108	120	132	kHz	
IWDT専用低速クロック発振安定待機時間	$t_{ILOCOWT}$	—	142	190	μs	図46.8

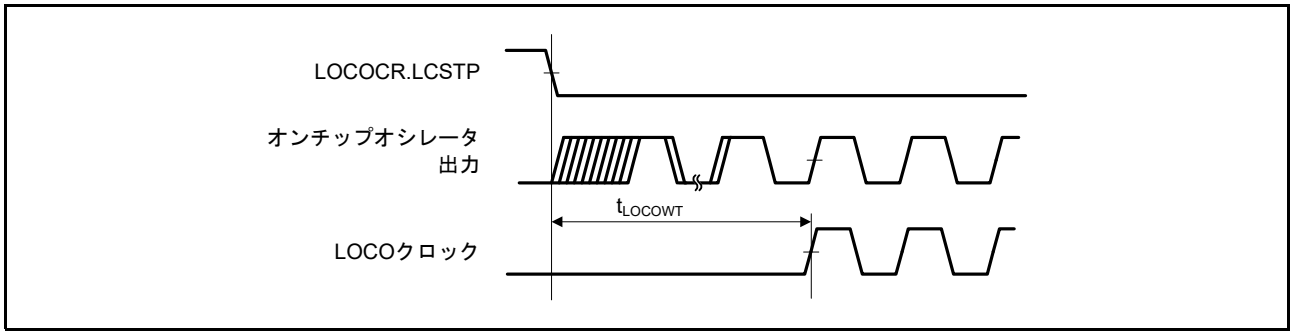


図 46.7 LOCO クロック発振開始タイミング

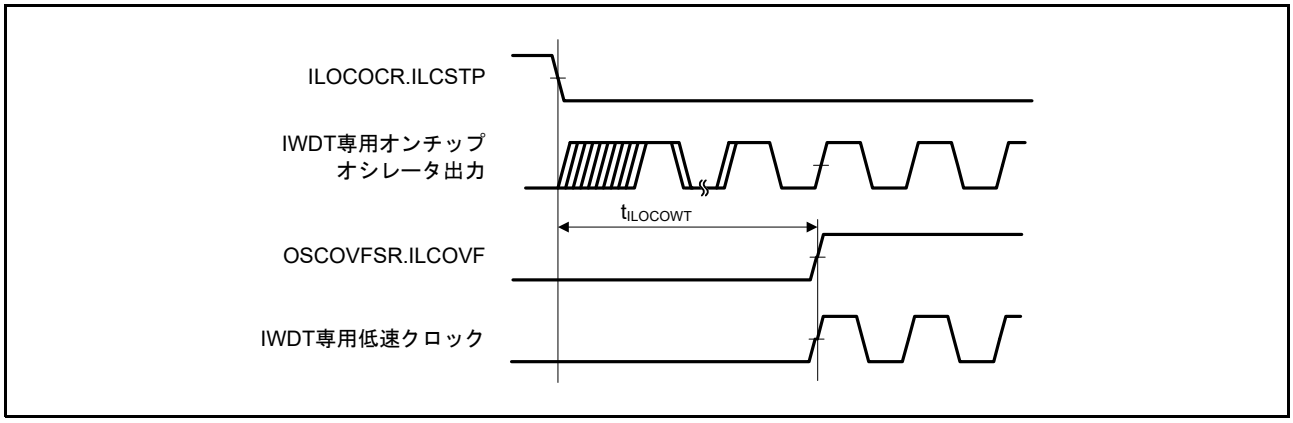


図 46.8 IWDT 専用低速クロック発振開始タイミング

表46.21 HOCOクロックタイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
HOCOクロック発振周波数	f_{HOCO}	15.61	16	16.39	MHz	–20°C≦T_a≦105°C
		17.56	18	18.44		
		19.52	20	20.48		
		15.52	16	16.48		–40°C≦T_a < –20°C
		17.46	18	18.54		
		19.40	20	20.60		
HOCOクロック発振安定待機時間	t_{HOCOWT}	—	105	149	μs	図46.9
HOCOクロック電源安定時間	t_{HOCOP}	—	—	150		図46.10

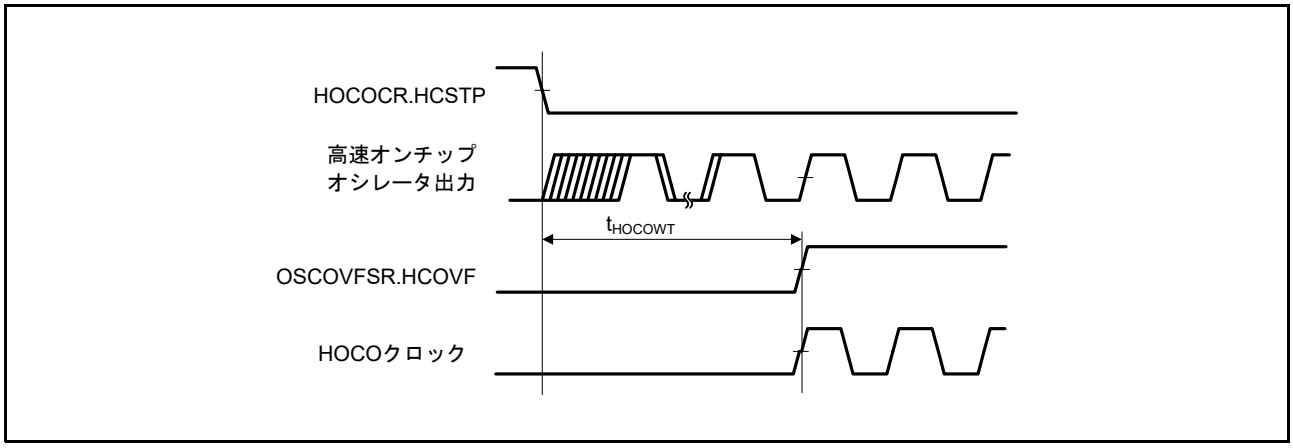


図 46.9 HOCO クロック発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

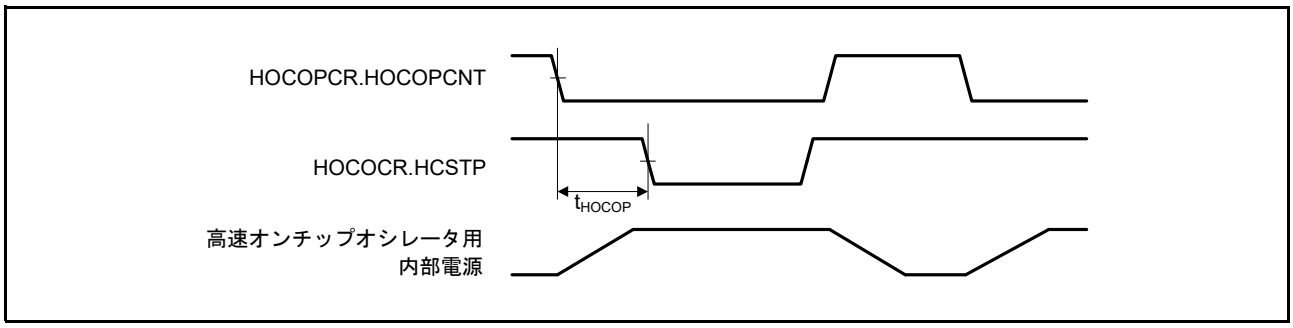


図 46.10 高速オンチップオシレータ電源制御タイミング

表46.22 PLLクロックタイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
PLLクロック発振周波数	f_{PLL}	120	—	240	MHz	
PLLクロック発振安定待機時間	t_{PLLWT}	—	259	320	μs	図46.11

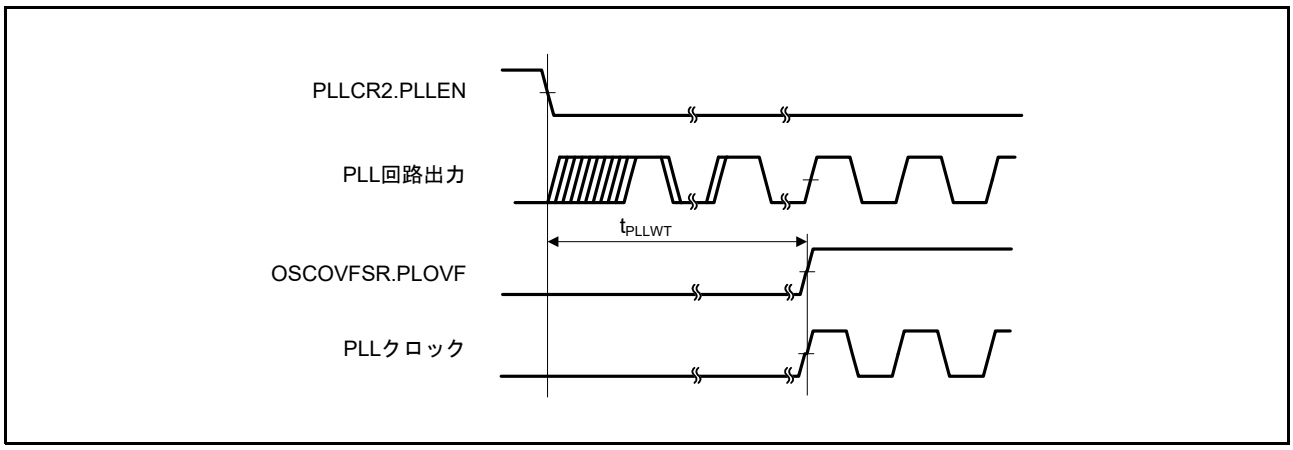


図 46.11 PLL クロック発振開始タイミング

46.4.3 低消費電力状態からの復帰タイミング

表46.23 低消費電力状態からの復帰タイミング(1)
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目			記号	min	typ	max		単位	測定条件
						$t_{SBYOSCWT}$ (注2)	t_{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間 (注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	—	—	{(MSTS[7:0] ビット × 32) + 76} / 0.216	100 + 7 / f_{ICLK} + 2n / f_{MAIN}	μs	図46.12
		メインクロック発振器、PLL回路動作	t_{SBYPC}			{(MSTS[7:0] ビット × 32) + 138} / 0.216	100 + 7 / f_{ICLK} + 2n / f_{PLL}		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}			352	100 + 7 / f_{ICLK} + 2n / f_{EXMAIN}		
		メインクロック発振器、PLL回路動作	t_{SBYPE}			639	100 + 7 / f_{ICLK} + 2n / f_{PLL}		
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t_{SBYHO}			454	100 + 7 / f_{ICLK} + 2n / f_{HOCO}		
		高速オンチップオシレータ動作、PLL回路動作	t_{SBYPH}			741	100 + 7 / f_{ICLK} + 2n / f_{PLL}		
	低速オンチップオシレータ動作 (注4)		t_{SBYLO}			338	100 + 7 / f_{ICLK} + 2n / f_{LOCO}		

注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間($t_{SBYOSCWT}$)とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は$t_{SBYOSCWT}$のうち、最も大きな値が選択されます。
注3. nは内部クロックの分周設定のうち、最も大きな値が選択されます。
注4. 本条件は、f_{ICLK}: f_{FCLK}＝1:1、2:1、4:1の場合に適用されます。

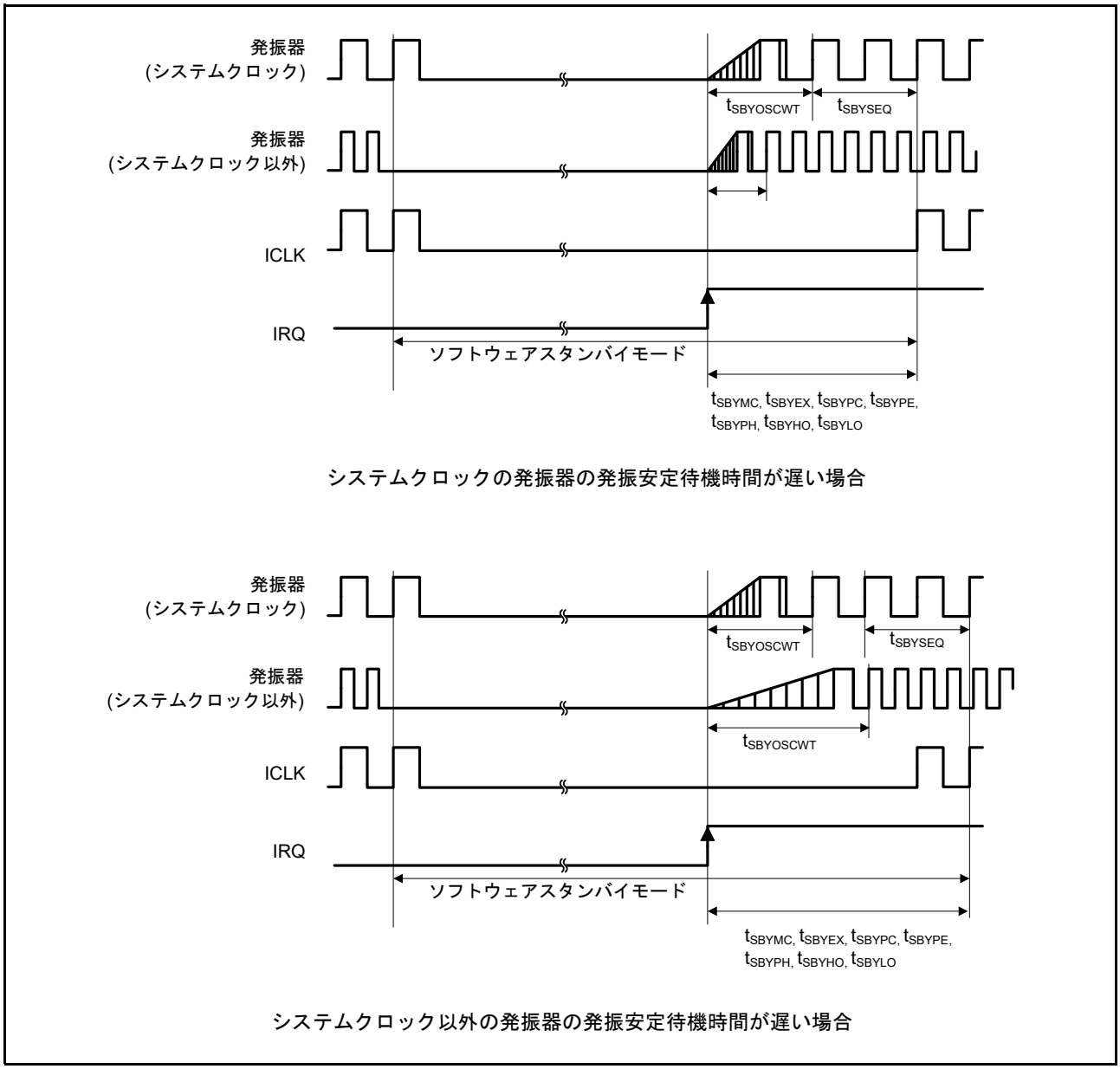


図 46.12　ソフトウェアスタンバイモード解除タイミング

表46.24　低消費電力状態からの復帰タイミング(2)
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
ディープソフトウェアスタンバイモード解除後復帰時間	t_{DSBY}	—	—	0.9	ms	図46.13
ディープソフトウェアスタンバイモード解除後待機時間	t_{DSBYWT}	31	—	32	t_{Lcyc}	

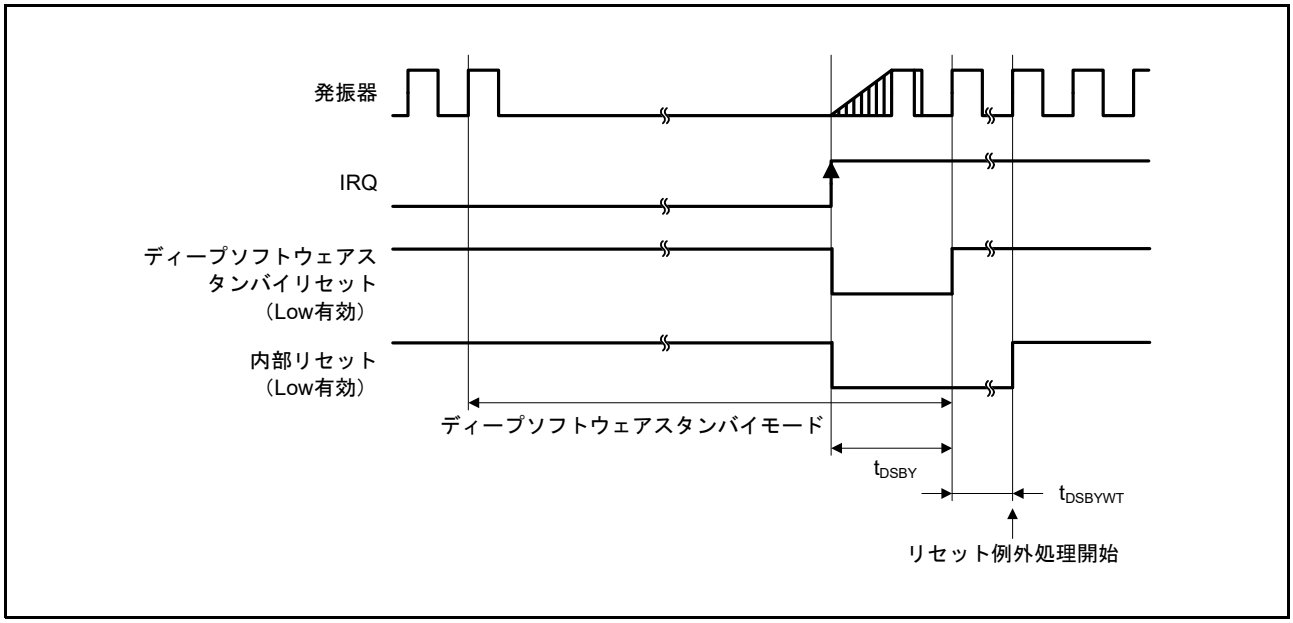


図 46.13　ディープソフトウェアスタンバイモード解除タイミング

46.4.4 制御信号タイミング

表46.25 制御信号タイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
$T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$2 \times t_{PBcyc} \leqq 200$ns、図46.14
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200$ns、図46.14
IRQパルス幅	t_{IRQW}	200	—	—		$2 \times t_{PBcyc} \leqq 200$ns、図46.15
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200$ns、図46.15

注1. t_{PBcyc}：PCLKBの周期

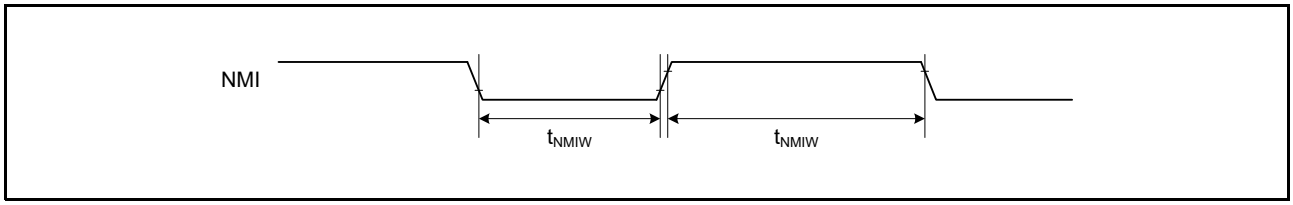


図 46.14 NMI 割り込み入力タイミング

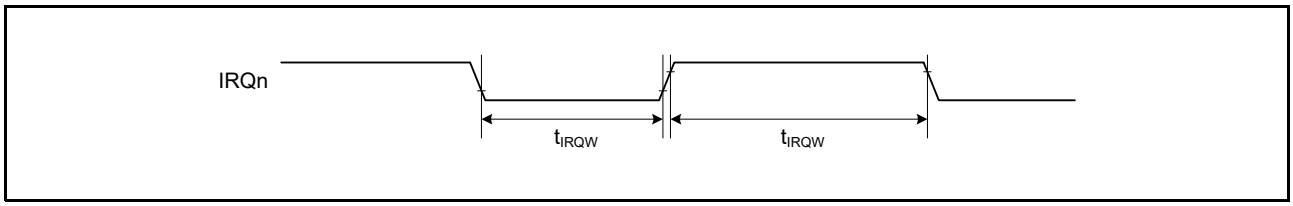


図 46.15 IRQ 割り込み入力タイミング

46.4.5 バスタイミング

表46.26 バスタイミング(1)
条件：4.5V≦VCC≦5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目	記号	min	typ	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	—	12.5	ns	図46.16～図46.21
バイトコントロール遅延時間	t_{BCD}	—	—	12.5		
CS#遅延時間	t_{CSD}	—	—	12.5		
ALE遅延時間	t_{ALED}	—	—	12.5		
RD#遅延時間	t_{RSD}	—	—	12.5		
リードデータセットアップ時間	t_{RDS}	12.5	—	—		
リードデータホールド時間	t_{RDH}	0	—	—		
WR#遅延時間	t_{WRD}	—	—	12.5		
ライトデータ遅延時間	t_{WDD}	—	—	12.5		
ライトデータホールド時間	t_{WDH}	0	—	—		
WAIT#セットアップ時間	t_{WTS}	12.5	—	—		図46.22
WAIT#ホールド時間	t_{WTH}	0	—	—		

表46.27 バスタイミング(2)
条件：2.7V≦VCC < 4.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目	記号	min	typ	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	—	25	ns	図46.16～図46.21
バイトコントロール遅延時間	t_{BCD}	—	—	25		
CS#遅延時間	t_{CSD}	—	—	25		
ALE遅延時間	t_{ALED}	—	—	25		
RD#遅延時間	t_{RSD}	—	—	25		
リードデータセットアップ時間	t_{RDS}	25	—	—		
リードデータホールド時間	t_{RDH}	0	—	—		
WR#遅延時間	t_{WRD}	—	—	25		
ライトデータ遅延時間	t_{WDD}	—	—	25		
ライトデータホールド時間	t_{WDH}	0	—	—		
WAIT#セットアップ時間	t_{WTS}	25	—	—		図46.22
WAIT#ホールド時間	t_{WTH}	0	—	—		

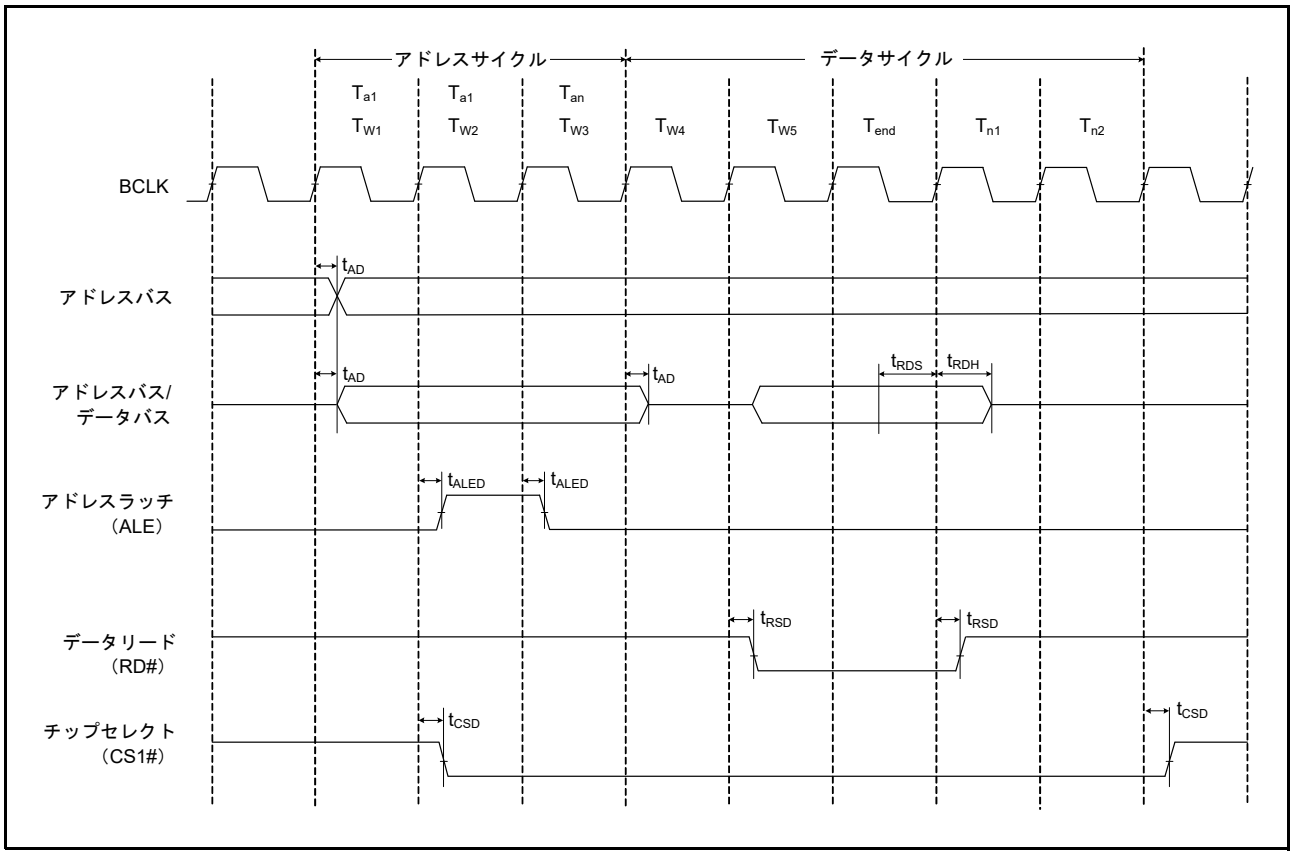


図 46.16　アドレス / データマルチプレクスバスのリードアクセスタイミング

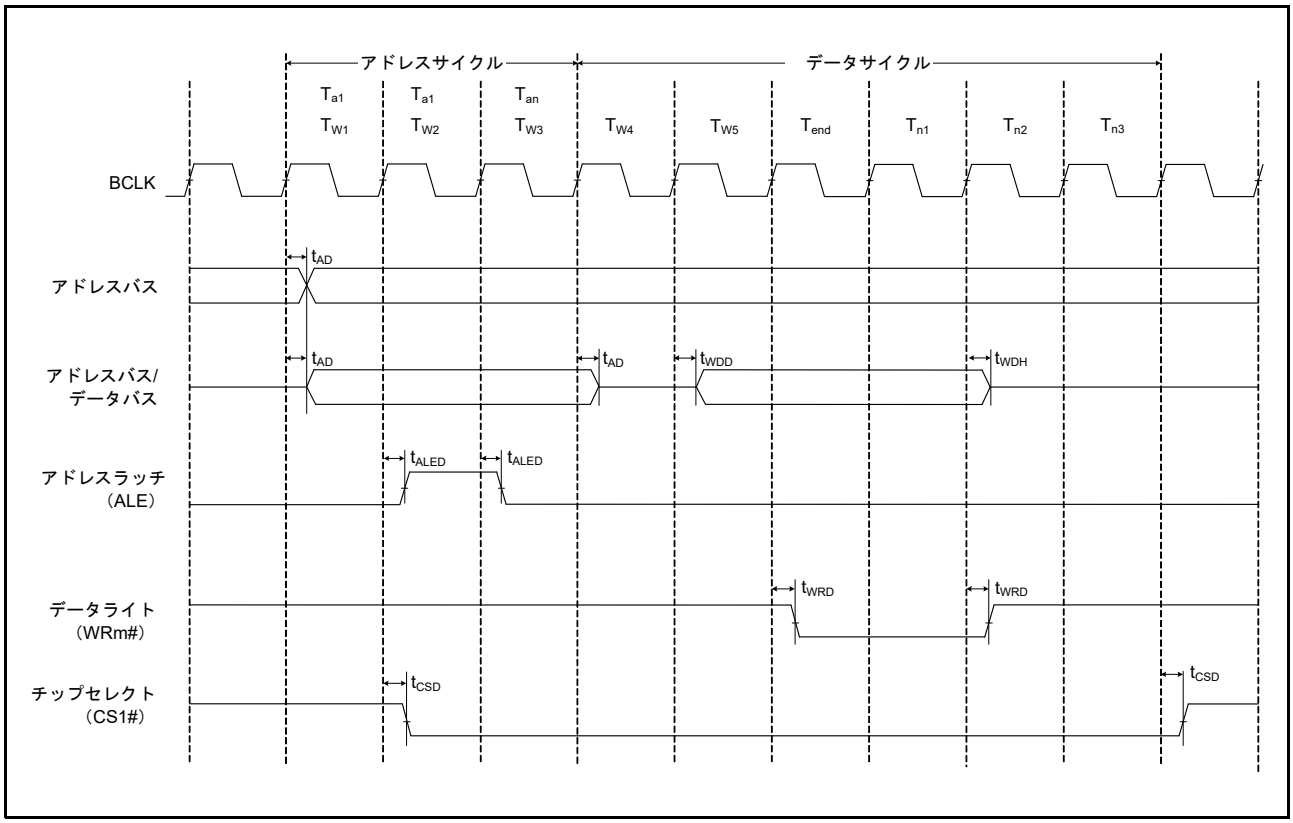


図 46.17　アドレス / データマルチプレクスバスのライトアクセスタイミング

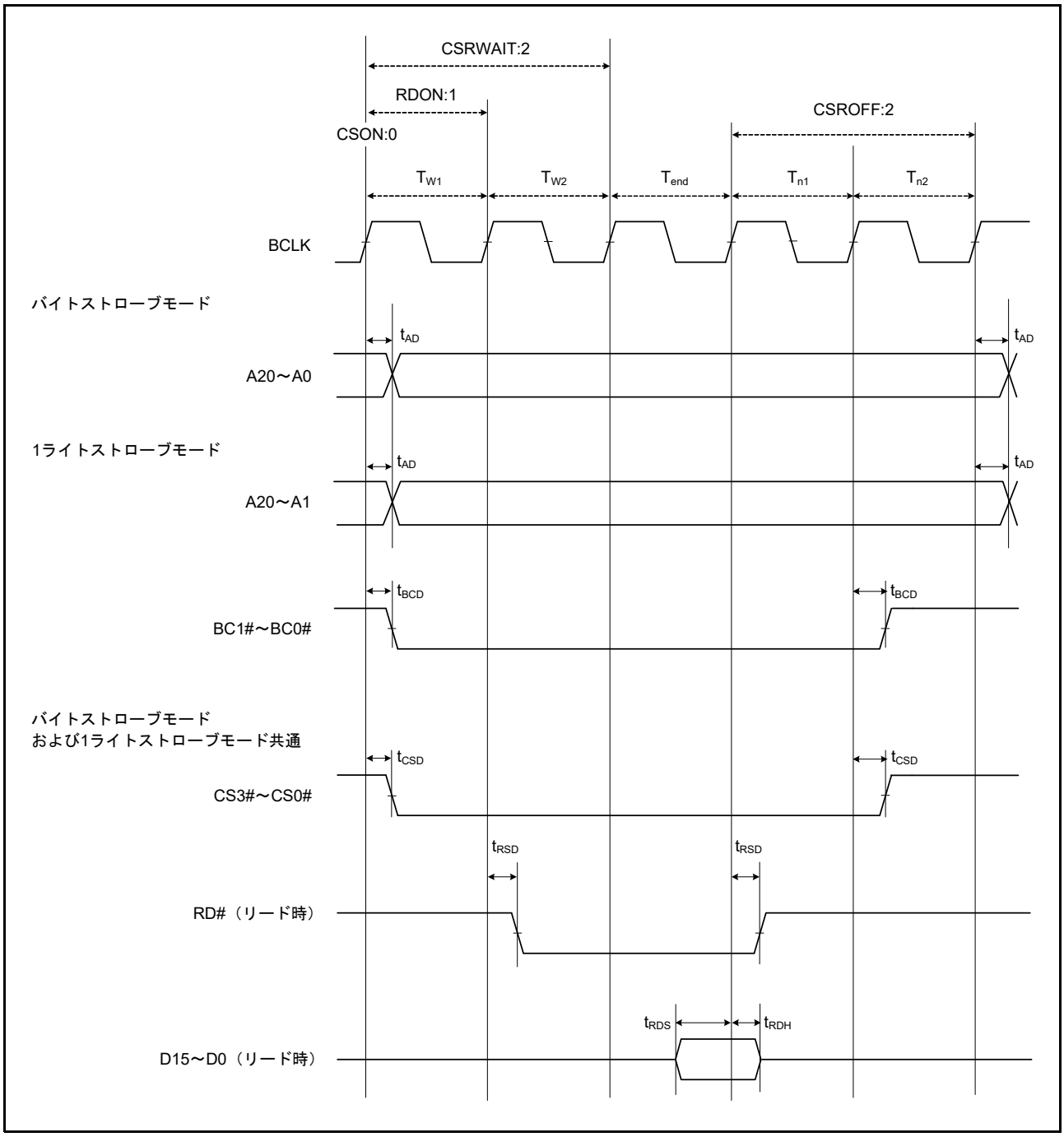
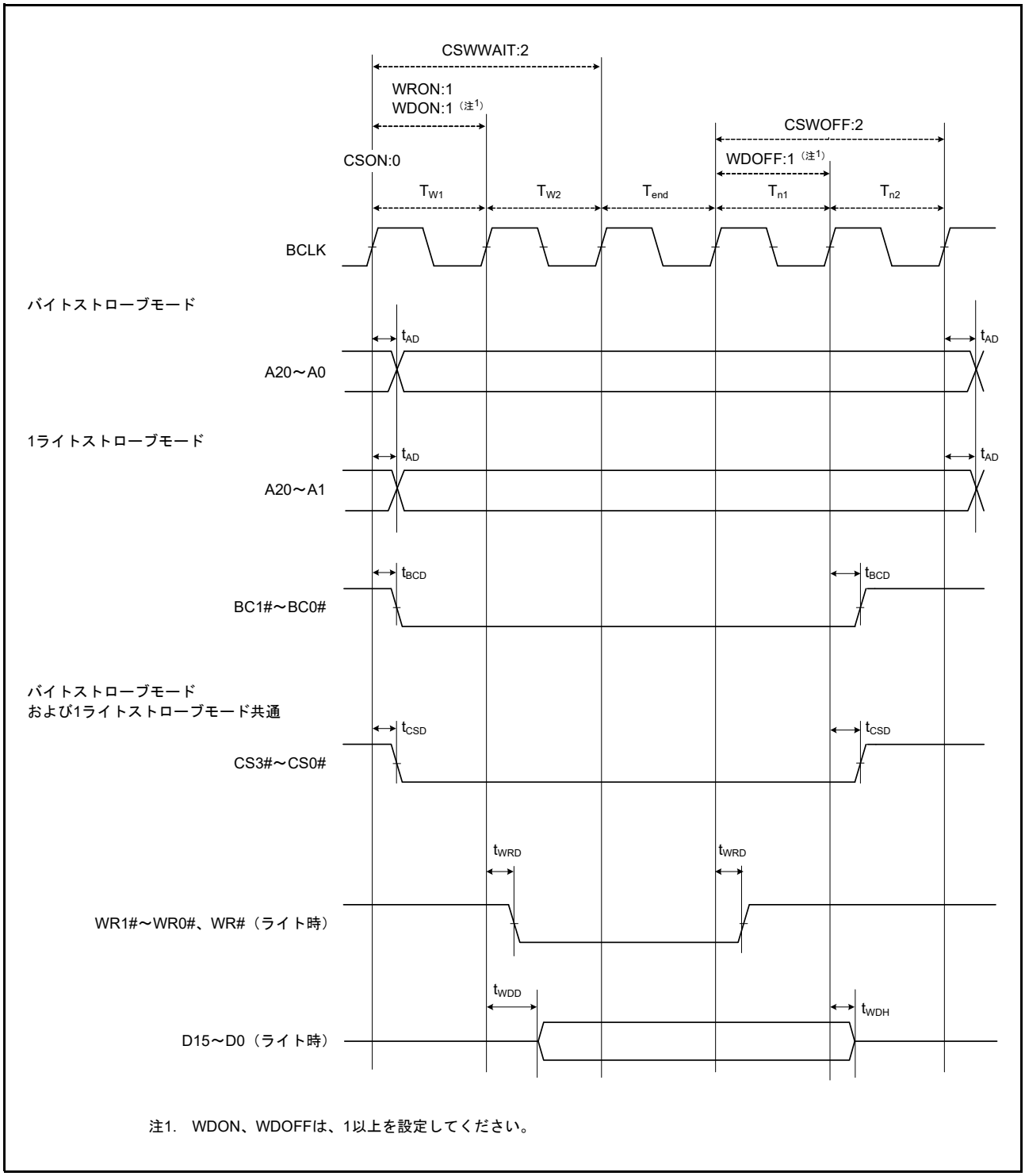


図 46.18　外部バスタイミング / ノーマルリードサイクル (バスクロック同期)



注1. WDON、WDOFFは、1以上を設定してください。

図 46.19 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

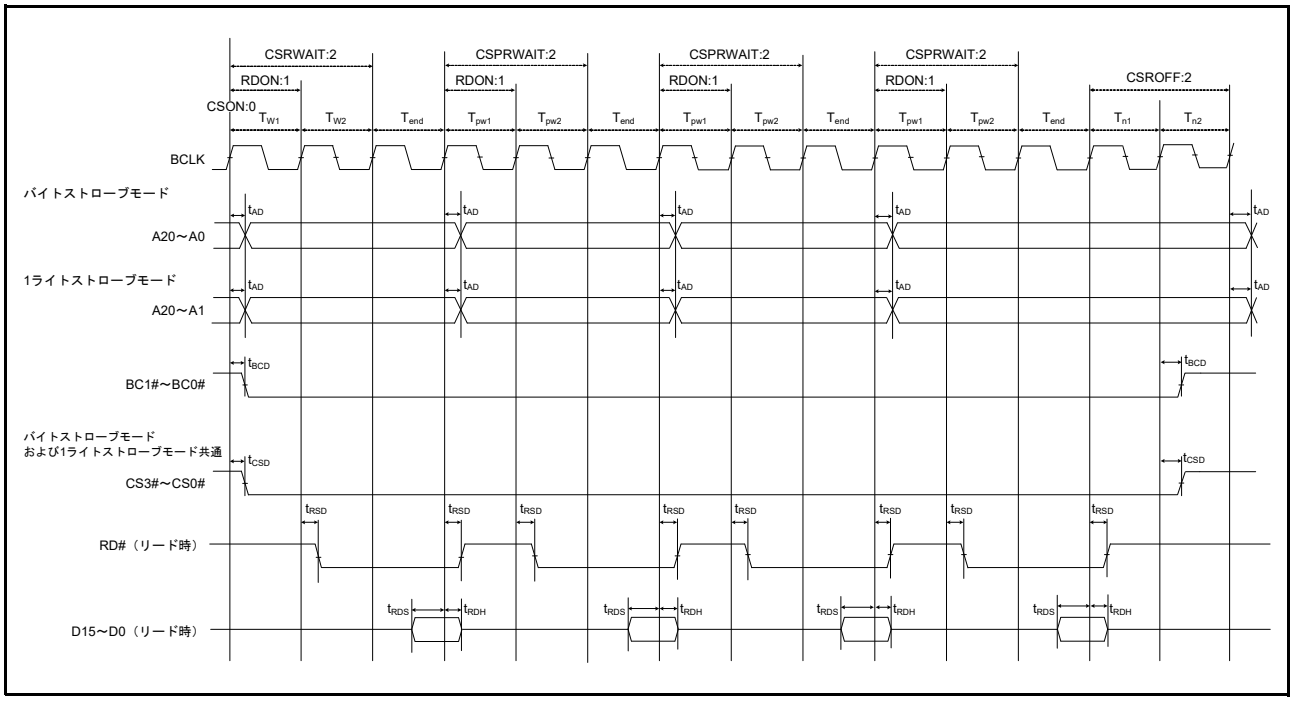


図 46.20　外部バスタイミング / ページリードサイクル (バスクロック同期)

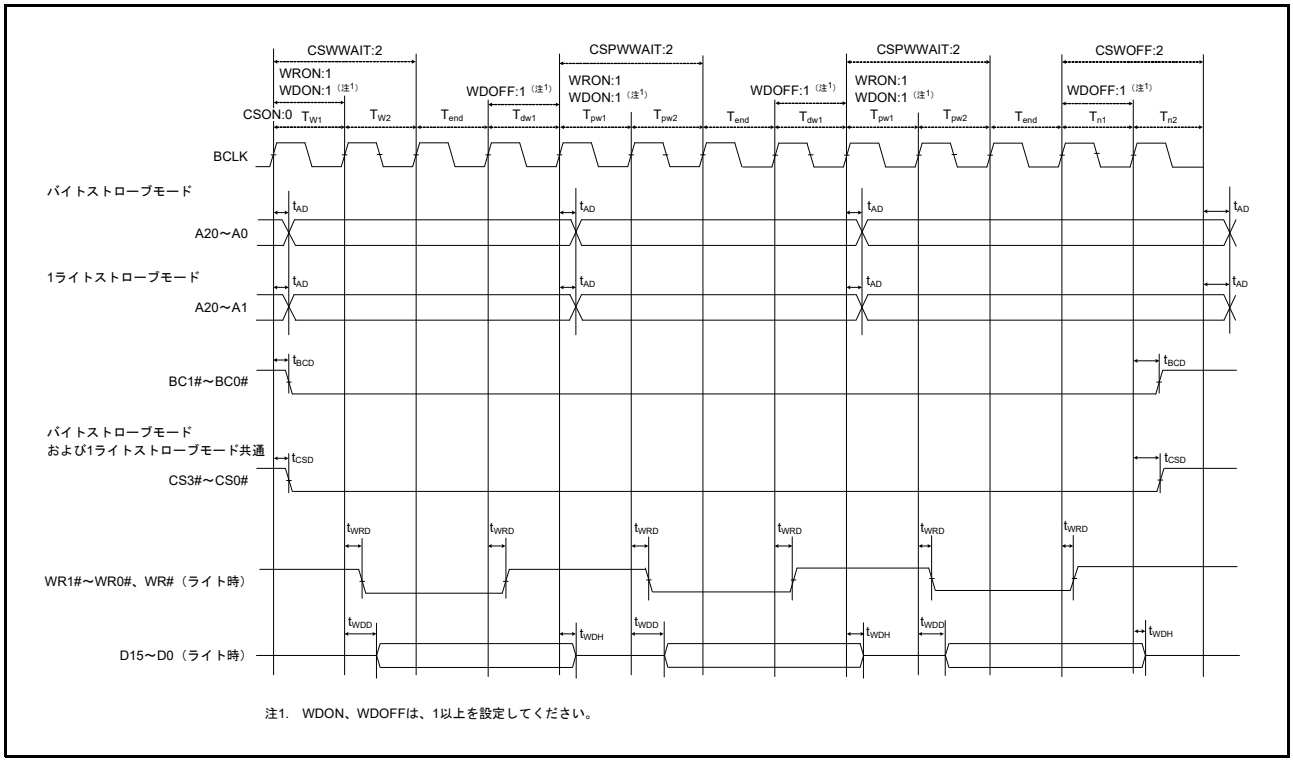


図 46.21　外部バスタイミング / ページライトサイクル (バスクロック同期)

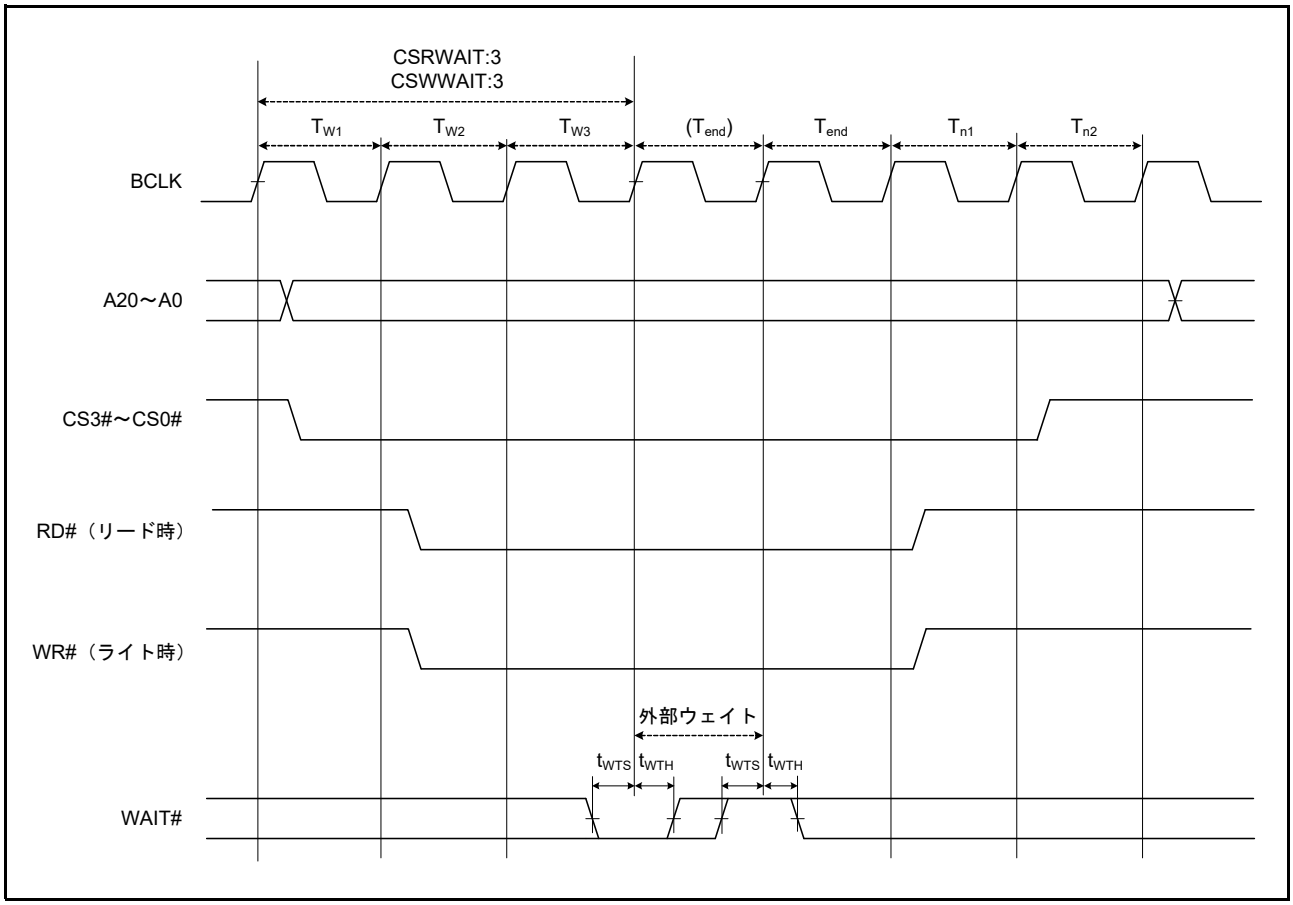


図 46.22　外部バスタイミング / 外部ウェイト制御

46.4.6 内蔵周辺モジュールタイミング

46.4.6.1 I/O ポート

表46.28 I/Oポートタイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図46.23

注1. t_{PBcyc}：PCLKBの周期

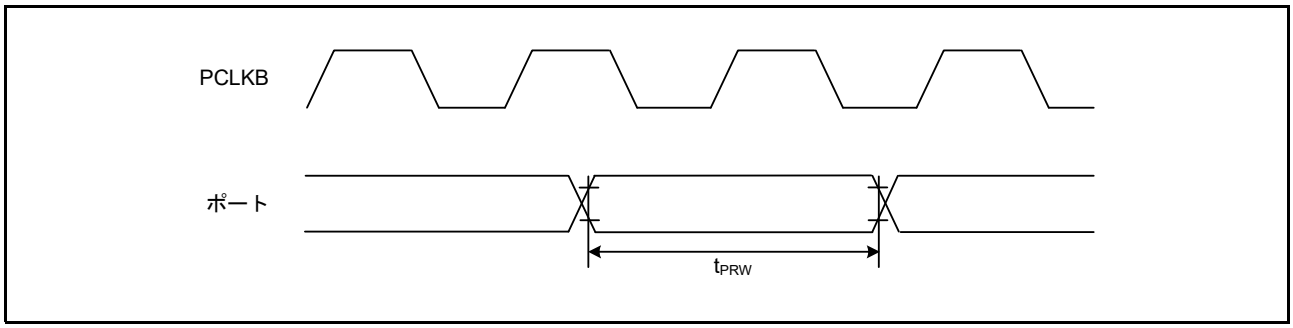


図 46.23 I/O ポート入力タイミング

46.4.6.2 TMR

表46.29 TMRタイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目			記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}, t_{TMCWL}	1.5	—	t_{PBcyc}	図46.24
		両エッジ指定		2.5	—		

注1. t_{PBcyc}：PCLKBの周期

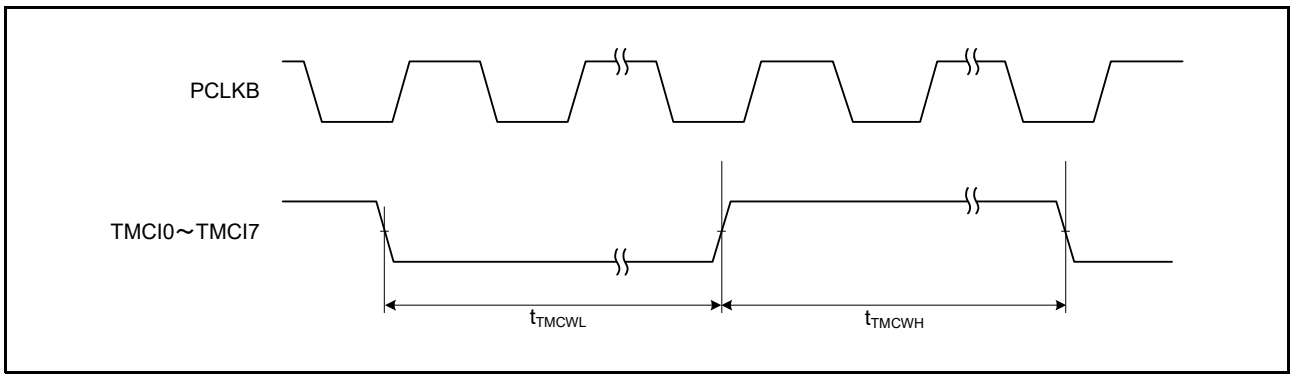


図 46.24 TMR クロック入力タイミング

46.4.6.3 MTU

表46.30 MTUタイミング

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目			記号	min	max	単位(注1)	測定条件
MTU	インプットキャプチャ入力パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{PCcyc}	図46.25
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH}, t_{MTCKWL}	1.5	—	t_{PCcyc}	図46.26
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PCcyc}：PCLKCの周期

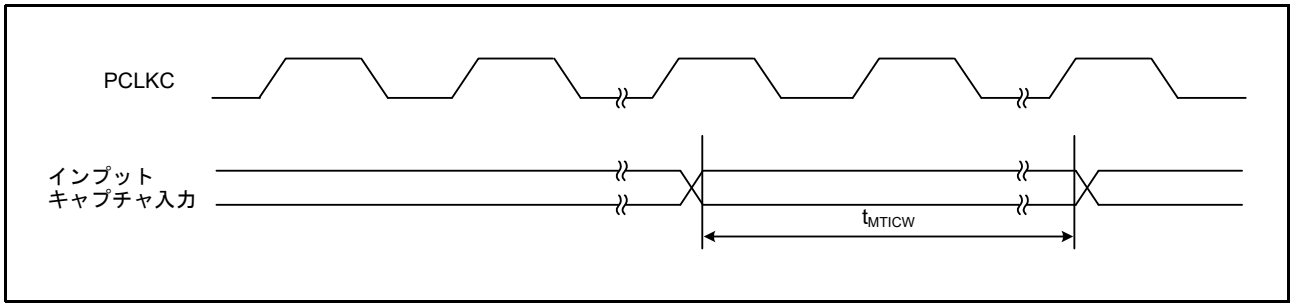


図 46.25 MTU インプットキャプチャ入力タイミング

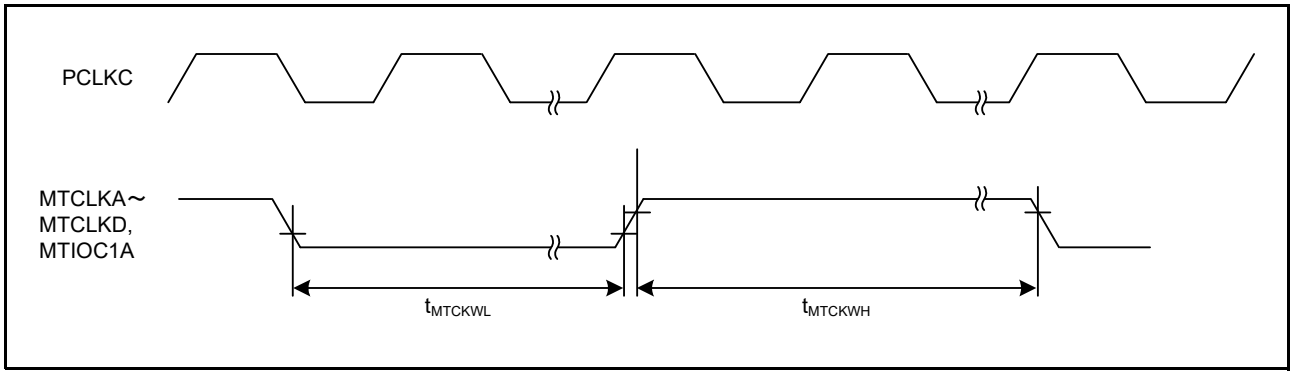


図 46.26 MTU クロック入力タイミング

46.4.6.4 POE

表46.31 POEタイミング

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目			記号	min	typ	max	単位 (注1)	測定条件
POE	POEn#入力パルス幅(n = 0, 4, 8～14)		t_{POEW}	1.5	—	—	t_{PBcyc}	図46.27
	出力ディセーブル時間	POEn#端子の変化	t_{POEDI}	—	—	5 PCLKB + 0.24	μs	図46.28 立ち下がりエッジ検出時 (ICSRm.POEnM[3:0] = 0000b (m = 1～5, 7～9、n = 0, 4, 8～14))
		出力端子の短絡	t_{POEDO}	—	—	3 PCLKB + 0.2	μs	図46.29
		コンパレータ出力検出	t_{POEDC}	—	—	5 PCLKB + 0.2	μs	図46.30 コンパレータCのノイズフィルタ不使用時(CMPCTL.CDFS[1:0] = 00b)、コンパレータCの検出時間は除く
		レジスタ設定	t_{POEDS}	—	—	1 PCLKB + 0.2	μs	図46.31 レジスタアクセス時間は除く
		発振停止検出	t_{POEDOS}	—	—	21	μs	図46.32

注1. t_{PBcyc}：PCLKBの周期

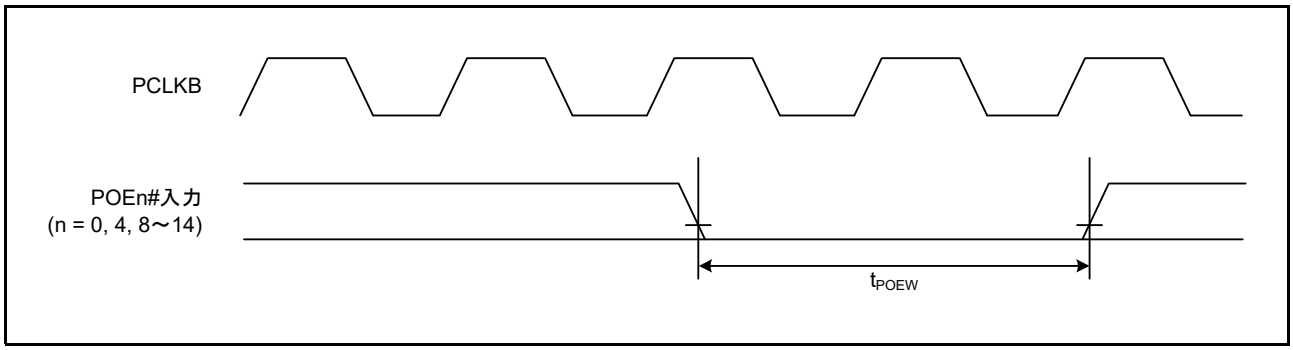


図 46.27 POE 入力タイミング

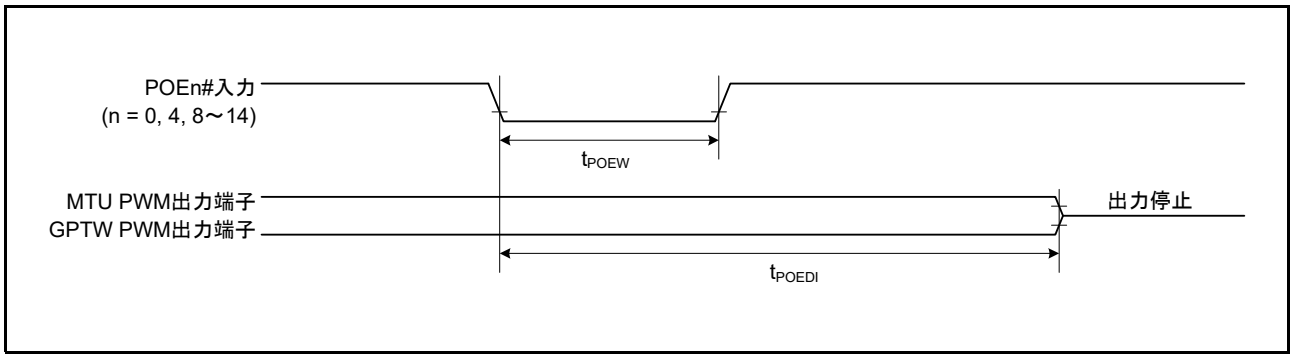
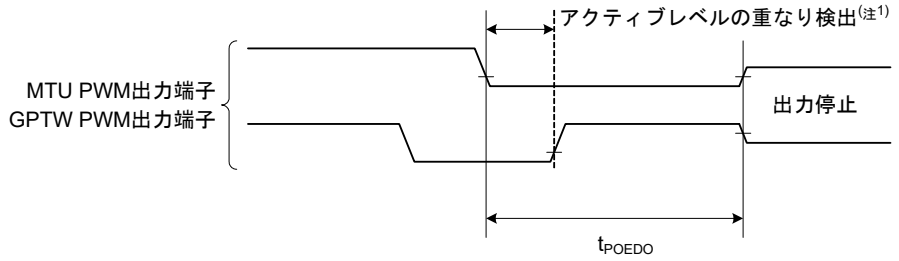


図 46.28 POE 出力ディセーブル時間 (POEn# 端子の変化)



注1. アクティブレベルをLowに設定している場合

図 46.29 POE 出力ディセーブル時間 (出力端子の短絡)

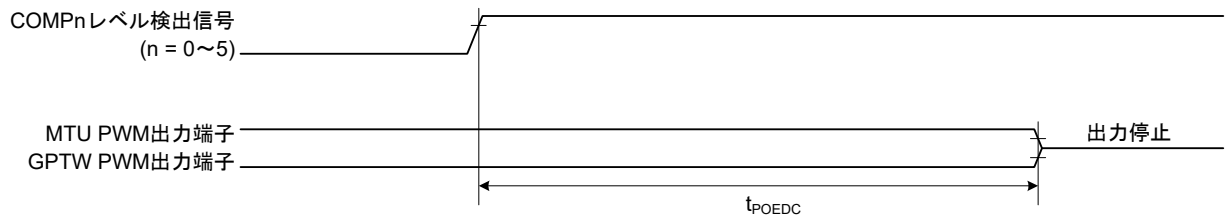


図 46.30 POE 出力ディセーブル時間 (コンパレータ出力検出)

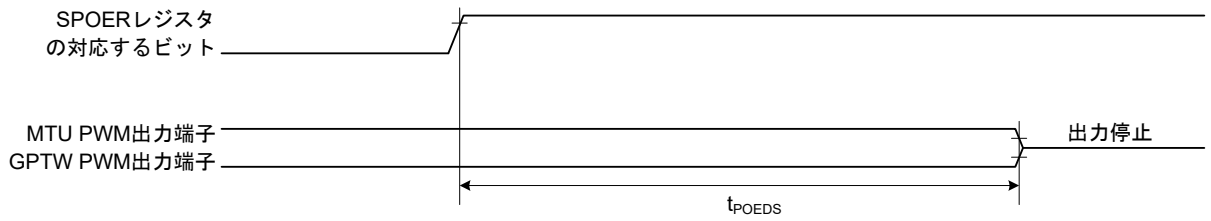


図 46.31 POE 出力ディセーブル時間 (レジスタ設定)

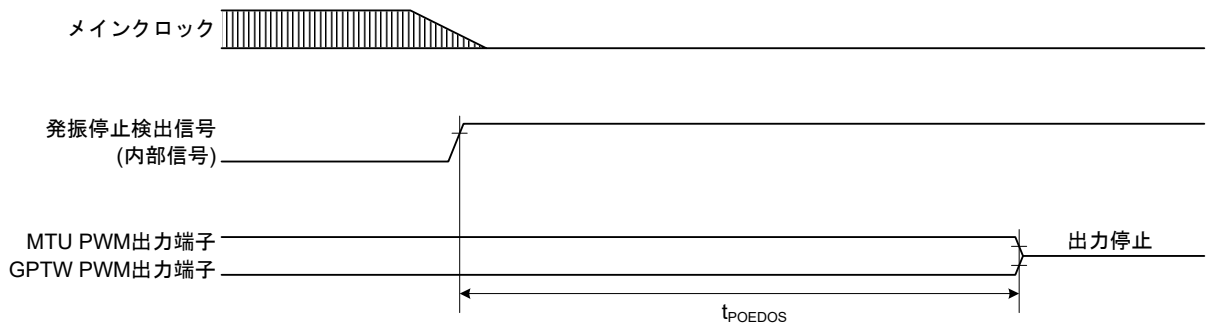


図 46.32 POE 出力ディセーブル時間 (発振停止検出)

46.4.6.5 POEG

表46.32 POEGタイミング

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目			記号	min	typ	max	単位 (注1)	測定条件
POEG	GTETRGn入力パルス幅(n = A～D)		t_{POEGW}	1.5	—	—	t_{PBcyc}	図46.33
	出力ディセーブル時間	GTETRGn端子の入力レベル検出(フラグ経由)	t_{POEGDI}	—	—	3 PCLKB + 0.34	μs	図46.34 デジタルノイズフィルタ不使用時(POEGGn.NFEN = 0 (n = A～D))
		GPTWからの出力停止信号検出(デットタイムエラー、同時High出力、同時Low出力)	t_{POEGDE}	—	—	0.5	μs	図46.35
		コンパレータエッジ検出	t_{POEGDC}	—	—	4 PCLKB + 0.5	μs	図46.36 コンパレータCのノイズフィルタ不使用時(CMPCTL.CDFS[1:0] = 00b)、コンパレータCの検出時間は除く
		レジスタ設定	t_{POEGDS}	—	—	1 PCLKB + 0.3	μs	図46.37 レジスタアクセス時間は除く
		発振停止検出	$t_{POEGDOS}$	—	—	21	μs	図46.38
		GTETRGn端子の入力レベル検出(フラグ非経由)	$t_{POEGDDI}$	—	—	2 PCLKB + 1 PCLKC + 0.34	μs	図46.39
		コンパレータレベル検出	$t_{POEGDDC}$	—	—	3 PCLKC + 0.3	μs	図46.40 コンパレータCのノイズフィルタ不使用時(CMPCTL.CDFS[1:0] = 00b)、コンパレータCの検出時間は除く

注1. t_{PBcyc}：PCLKBの周期

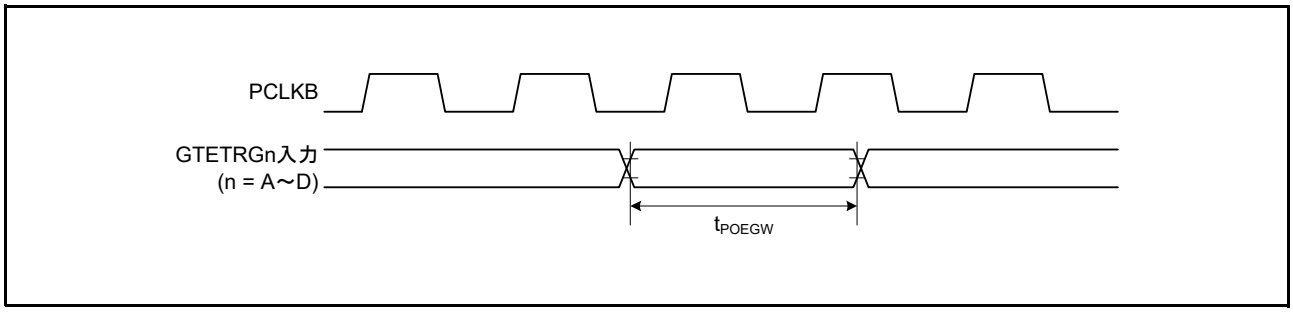


図 46.33 POEG 入力タイミング

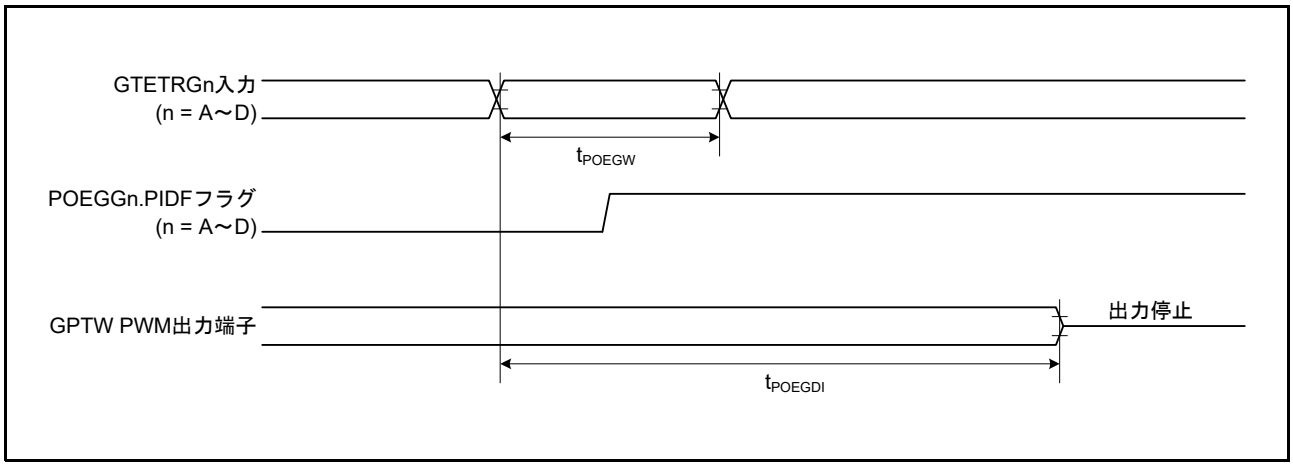


図 46.34　POEG 出力ディセーブル時間 (GTETRGn 端子の入力レベル検出 (フラグ経由))

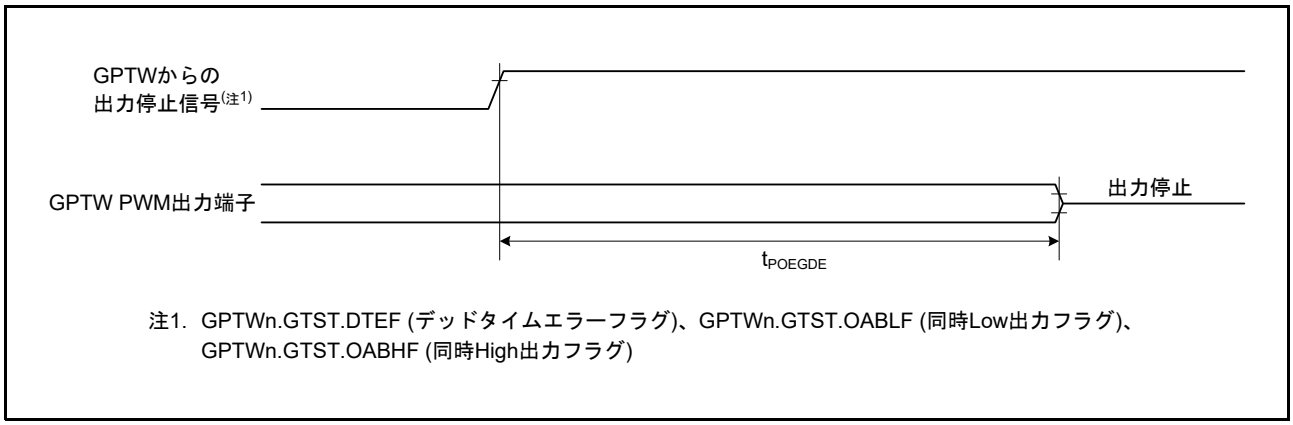


図 46.35　POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出)

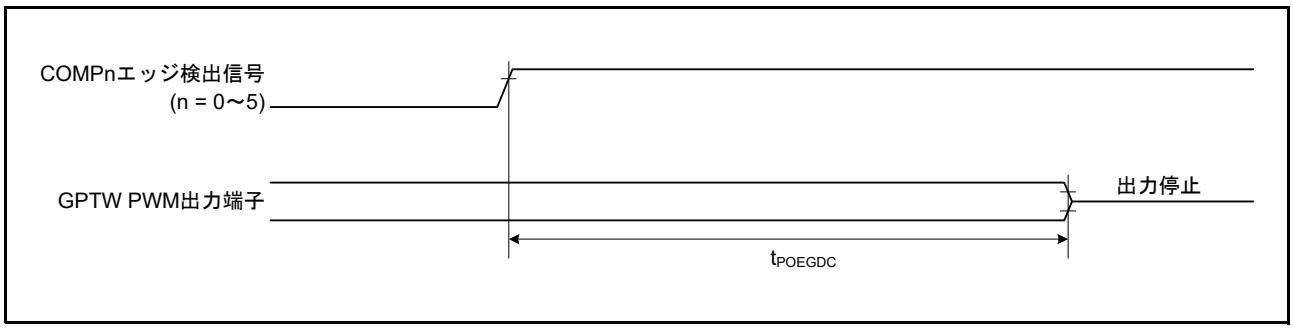


図 46.36　POEG 出力ディセーブル時間 (コンパレータエッジ検出)

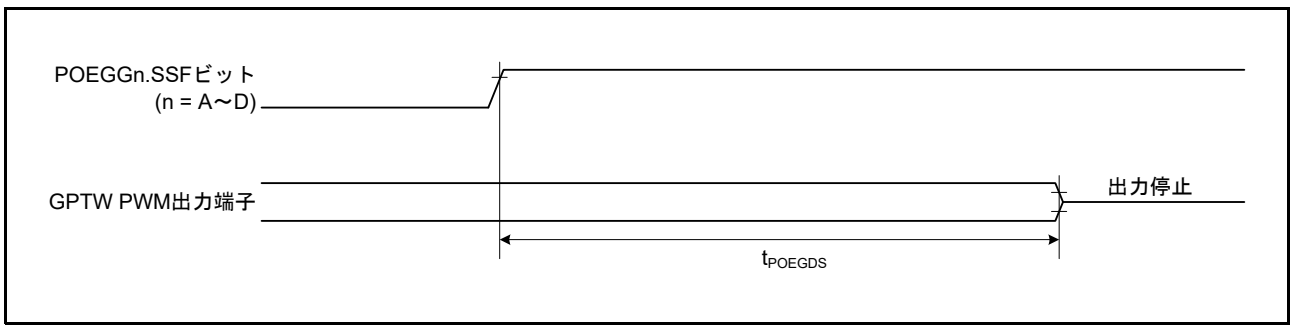


図 46.37　POEG 出力ディセーブル時間 (レジスタ設定)

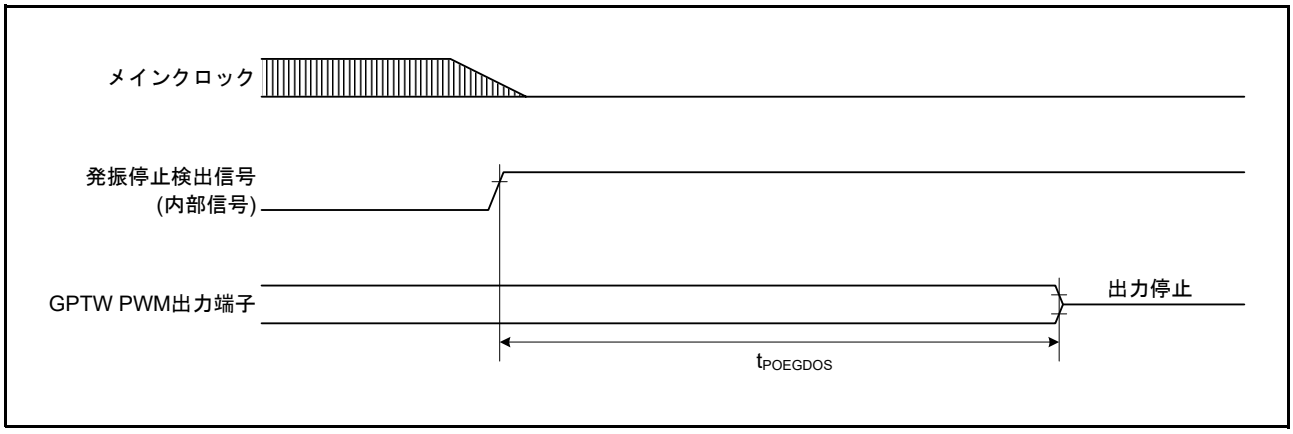


図 46.38　POEG 出力ディセーブル時間 (発振停止検出)

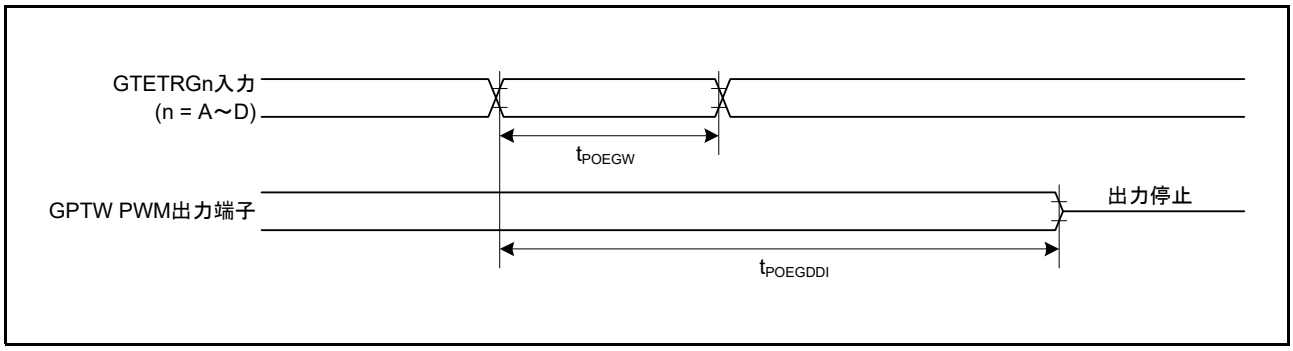


図 46.39　POEG 出力ディセーブル時間 (GTETRGn 端子の入力レベル検出 (フラグ非経由))

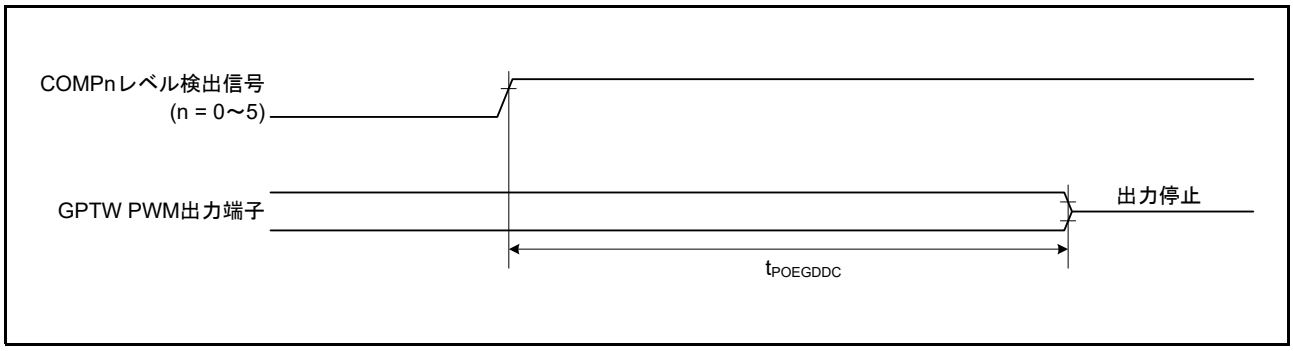


図 46.40　POEG 出力ディセーブル時間 (コンパレータレベル検出)

46.4.6.6 GPTW

表46.33 GPTWタイミング

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目			記号	min	max	単位 (注1、注2)	測定条件
GPTW	インプットキャプチャ入力パルス幅	単エッジ指定	t_{GTICW}	1.5	—	t_{PCcyc}	図46.41
		両エッジ指定		2.5	—		
	外部トリガ入力パルス幅	単エッジ指定	t_{GTEW}	1.5	—	t_{PBcyc}	図46.42
		両エッジ指定		2.5	—		
	タイマクロックパルス幅		t_{GTCKWH}	1.5	—	t_{PBcyc}	図46.43
			t_{GTCKWL}				

注1. t_{PCcyc}：PCLKCの周期
注2. t_{PBcyc}：PCLKBの周期

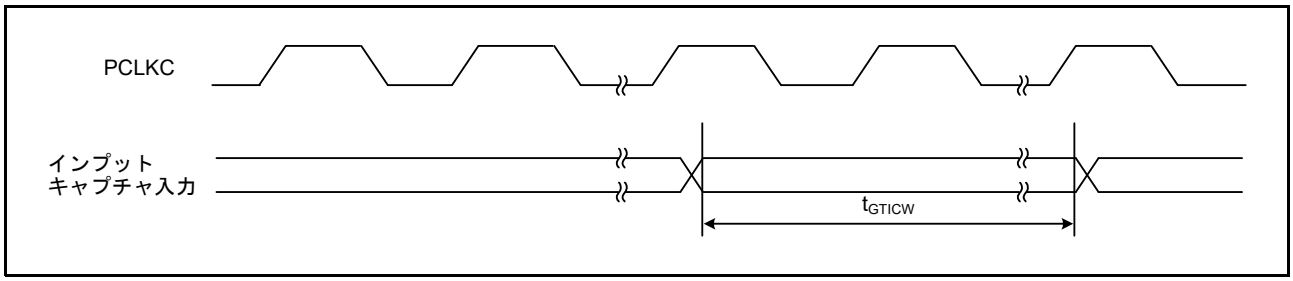


図 46.41 GPTW インプットキャプチャ入力タイミング

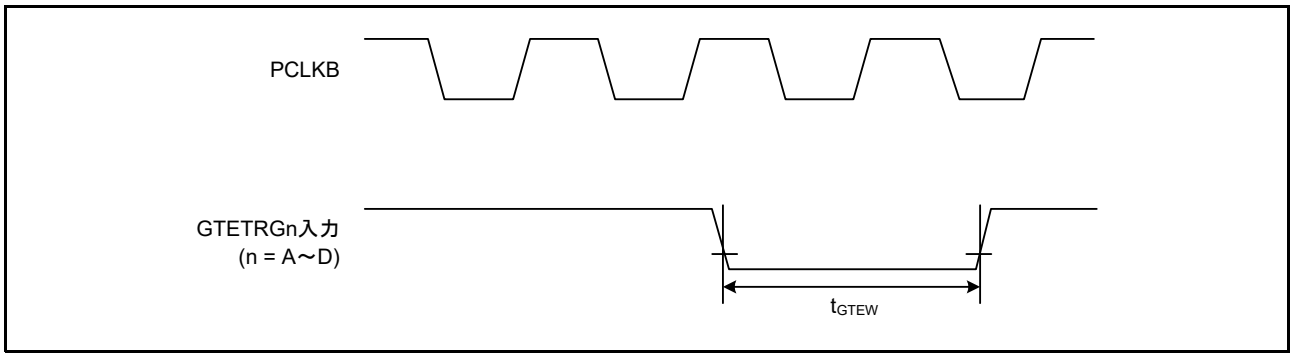


図 46.42 GPTW 外部トリガ入力タイミング

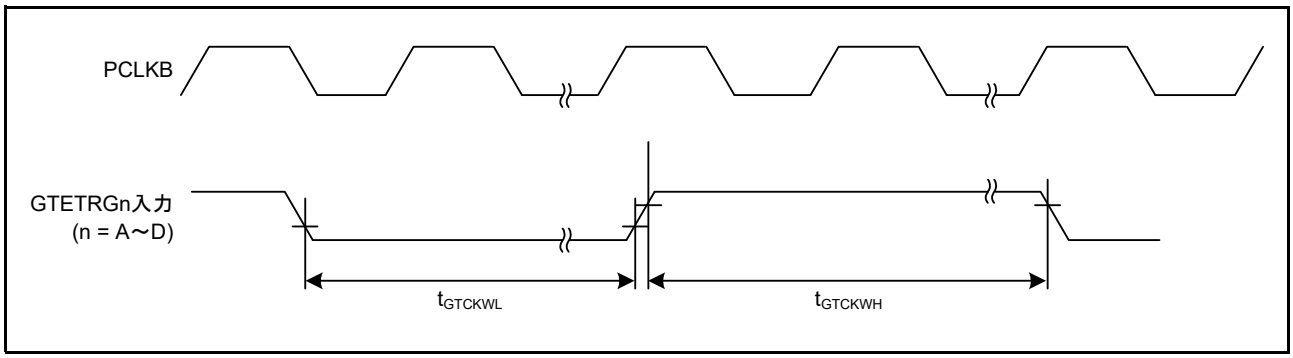


図 46.43 GPTW クロック入力タイミング

46.4.6.7 A/D コンバータトリガ

表46.34 A/Dコンバータトリガタイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目		記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc}	図 46.44

注1. t_{PBcyc}：PCLKBの周期

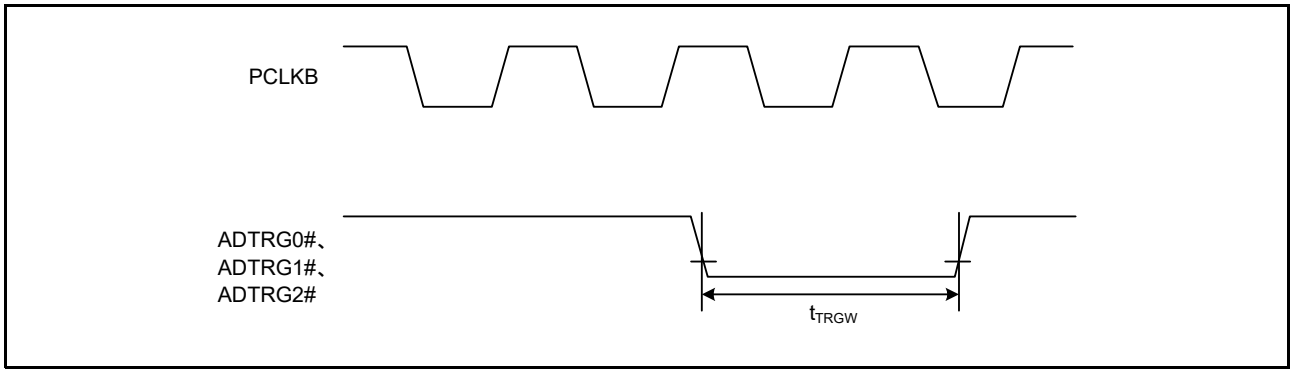


図 46.44 A/D コンバータトリガ入力タイミング

46.4.6.8 CAC

表46.35 CACタイミング
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目 (注1、注2)			記号	min (注1、注2)	max	単位	測定条件
CAC	CACREF入力パルス幅	$t_{PBcyc} \leqq t_{cac}$	t_{CACREF}	$4.5t_{cac} + 3t_{PBcyc}$	—	ns	
		$t_{PBcyc} > t_{cac}$		$5t_{cac} + 6.5t_{PBcyc}$	—		

注1. t_{PBcyc}：PCLKBの周期
注2. t_{cac}：CACカウントクロックソースの周期

46.4.6.9 SCI

表46.36 SCIj, SCIh, SCIiタイミング

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目			記号	min	max	単位 (注1)	測定条件	
SCIj, SCIh	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{PBcyc}	図46.45	
		クロック同期		6	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns		
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns		
	出力クロックサイクル	調歩同期 (注2)	t_{Scyc}	8	—	t_{PBcyc}		
		クロック同期		4	—			
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出力クロック立ち上がり時間		t_{SCKr}	—	5	ns		
	出力クロック立ち下がり時間		t_{SCKf}	—	5	ns		
	送信データ遅延時間	クロック同期	t_{TXD}	—	28	ns	VCC≧4.5V	図46.46
				—	33		VCC < 4.5V	
	受信データセットアップ時間	クロック同期	t_{RXS}	15	—	ns	VCC≧4.5V	図46.46
				20	—		VCC < 4.5V	
	受信データホールド時間	クロック同期	t_{RXH}	5	—	ns	図46.46	
SCIi	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{PAcyc}	図46.45	
		クロック同期		6	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns		
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns		
	出力クロックサイクル	調歩同期 (注2)	t_{Scyc}	6	—	t_{PAcyc}		
		クロック同期		4	—			
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出力クロック立ち上がり時間		t_{SCKr}	—	5	ns		
	出力クロック立ち下がり時間		t_{SCKf}	—	5	ns		
	送信データ遅延時間	マスタ	t_{TXD}	—	15	ns	VCC≧4.5V	図46.46
		スレーブ		—	28			
		マスタ		—	20	ns	VCC < 4.5V	
		スレーブ		—	33			
	受信データセットアップ時間	クロック同期	t_{RXS}	15	—	ns	VCC≧4.5V	図46.46
				20	—		VCC < 4.5V	
	受信データホールド時間	クロック同期	t_{RXH}	5	—	ns	図46.46	

注1. t_{PBcyc}：PCLKBの周期、t_{PAcyc}：PCLKAの周期
注2. SEMR.ABCSビット = 1かつSEMR.BGDMビット = 1のとき

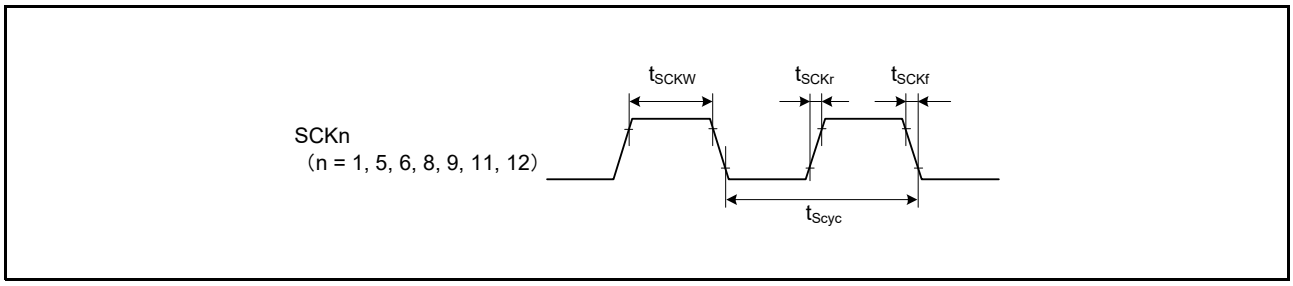


図 46.45　SCK クロック入力タイミング

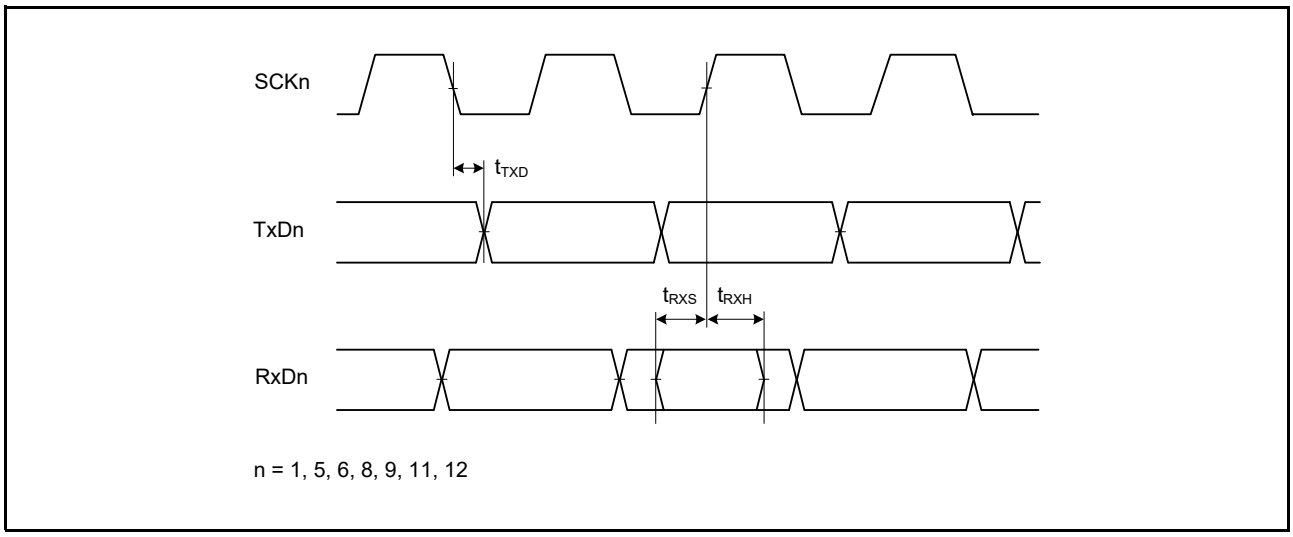


図 46.46　SCI 入出力タイミング / クロック同期式モード

表46.37　簡易IICタイミング

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目		記号(注1)	min	max(注2)	単位	測定条件
簡易IIC (Standard-mode)	SSDA入力立ち上がり時間	t_{Sr}	—	1000	ns	図46.47
	SSDA入力立ち下がり時間	t_{Sf}	—	300		
	SSCL, SSDA入力スパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$		
	データ入力セットアップ時間	t_{SDAS}	250	—		
	データ入力ホールド時間	t_{SDAH}	0	—		
	SSCL, SSDAの容量性負荷	C_b	—	400	pF	
簡易IIC (Fast-mode)	SSDA入力立ち上がり時間	t_{Sr}	—	300	ns	
	SSDA入力立ち下がり時間	t_{Sf}	—	300		
	SSCL, SSDA入力スパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$		
	データ入力セットアップ時間	t_{SDAS}	100	—		
	データ入力ホールド時間	t_{SDAH}	0	—		
	SSCL, SSDAの容量性負荷	C_b	—	400	pF	

注1.　Cbはバスラインの容量総計です。
注2.　t_{Pcyc}：SCI11はPCLKAの周期、SCI1、5、6、8、9、12はPCLKBの周期です。

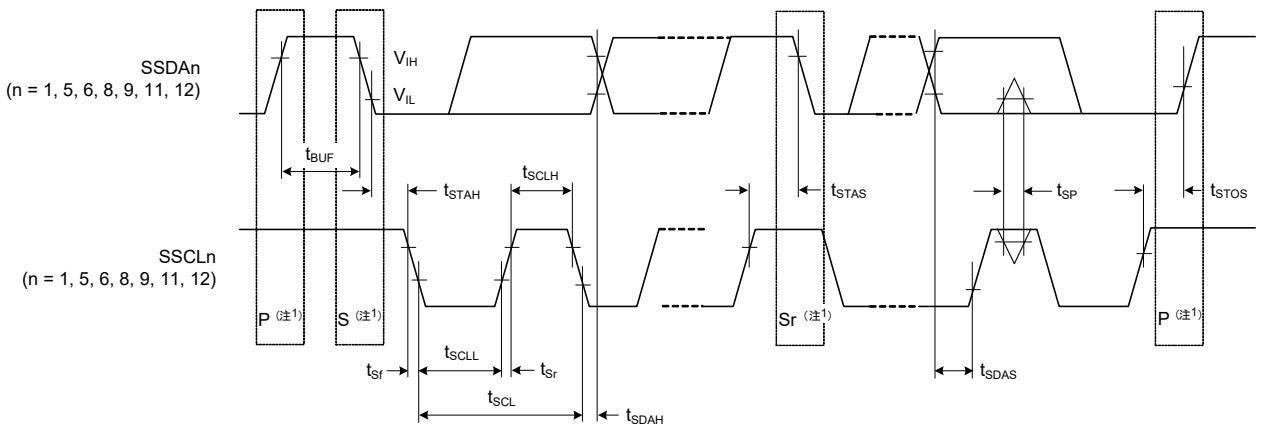


図 46.47　簡易 IIC バスインタフェース入出力タイミング

表46.38　簡易SPIタイミング

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目		記号	min	max	単位 (注1)	測定条件
簡易SPI (SCI11)	SCKクロックサイクル出力(マスタ)	t_{SPcyc}	4	65536	t_{PAcyc}	図46.48
	SCKクロックサイクル入力(スレーブ)		8	—		
	SCKクロックHighレベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCKクロックLowレベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr}, t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	図46.49～図46.52
	データ入力ホールド時間	t_H	33.3	—	ns	
	SS入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	
	SS入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	–10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr}, t_{Df}	—	16.6	ns	
	SS入力立ち上がり/立ち下がり時間	t_{SSLr}, t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	7	t_{PAcyc}	図46.51、図46.52
	スレーブ出力開放時間	t_{REL}	—	7	t_{PAcyc}	
簡易SPI (SCI1、SCI5、SCI6、SCI8、SCI9、SCI12)	SCKクロックサイクル出力(マスタ)	t_{SPcyc}	4	65536	t_{PBcyc}	図46.48
	SCKクロックサイクル入力(スレーブ)		8	—		
	SCKクロックHighレベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCKクロックLowレベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr}, t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	図46.49～図46.52
	データ入力ホールド時間	t_H	33.3	—	ns	
	SS入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	
	SS入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	–10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr}, t_{Df}	—	16.6	ns	
	SS入力立ち上がり/立ち下がり時間	t_{SSLr}, t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	7	t_{PBcyc}	図46.51、図46.52
	スレーブ出力開放時間	t_{REL}	—	7	t_{PBcyc}	

注1.　t_{PAcyc}：PCLKAの周期、t_{PBcyc}：PCLKBの周期

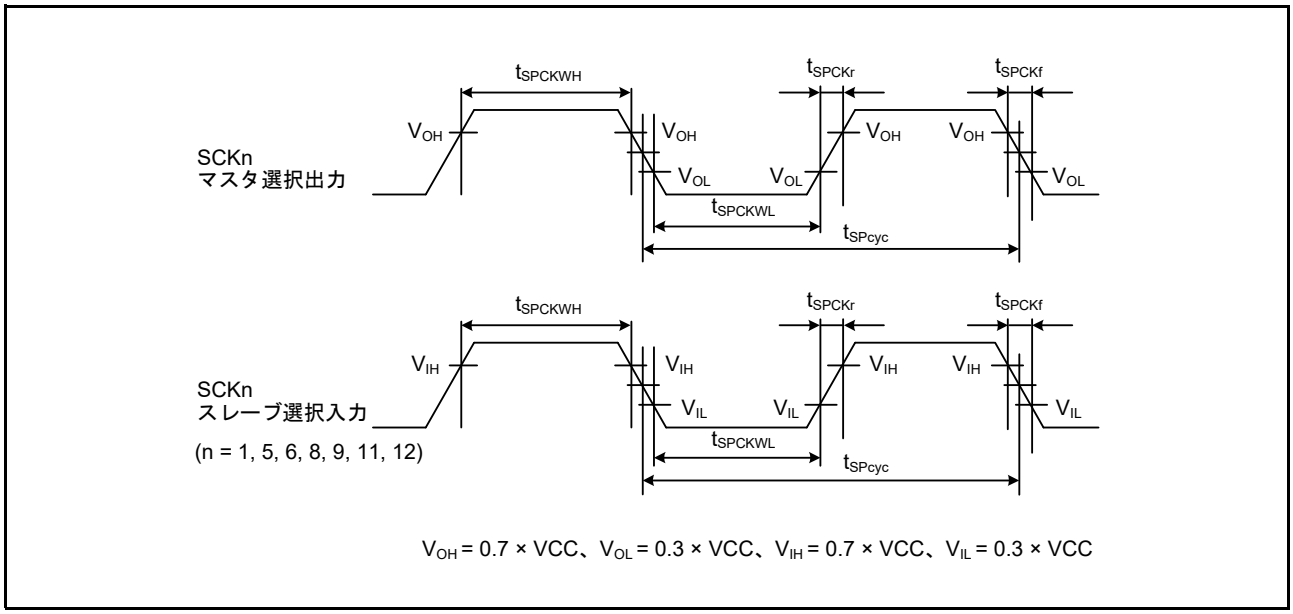


図 46.48　簡易 SPI クロックタイミング

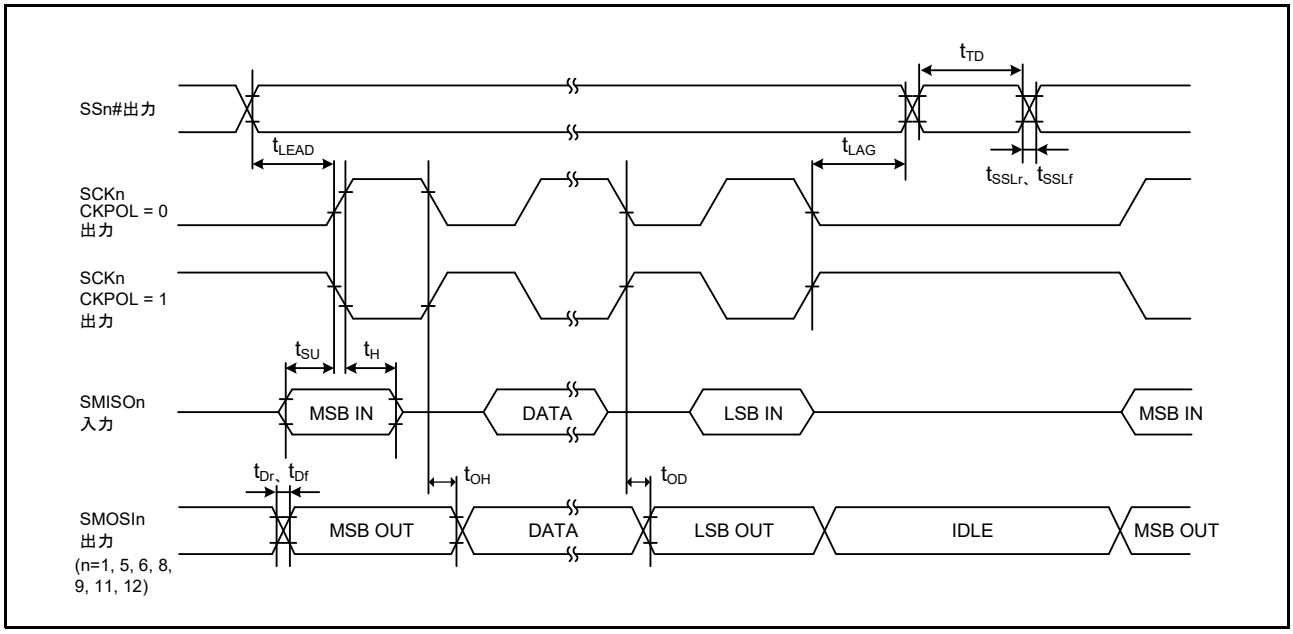


図 46.49　簡易 SPI タイミング (マスタ、CKPH = 1)

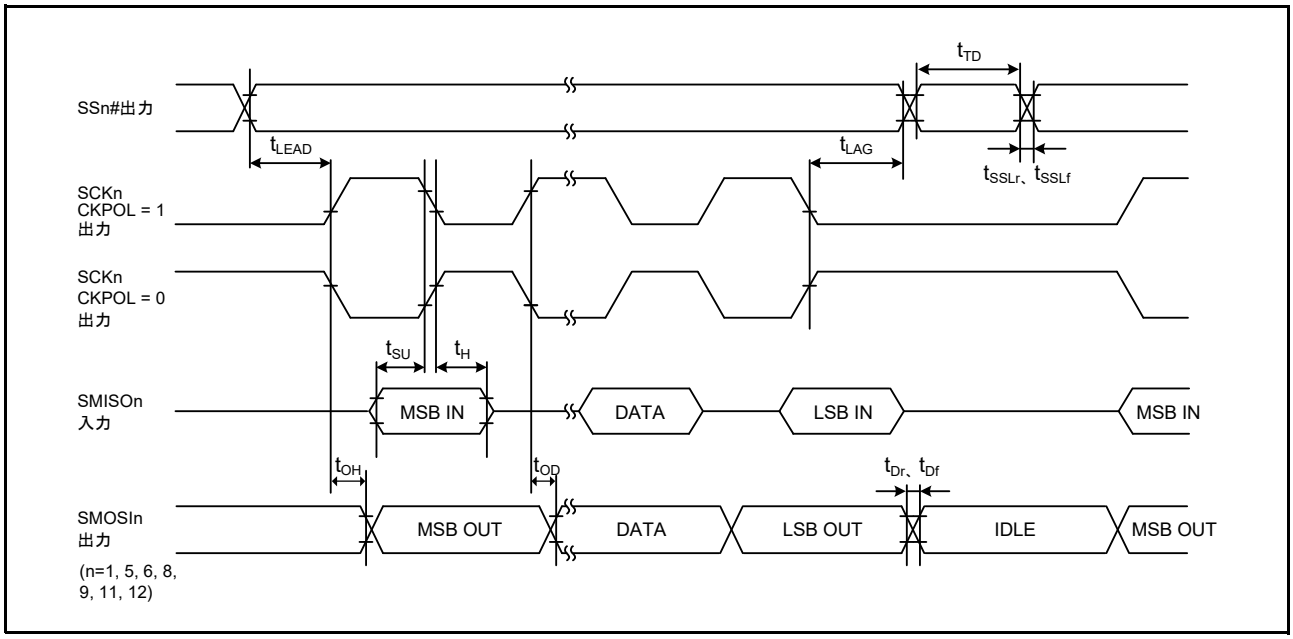


図 46.50 簡易 SPI タイミング (マスタ、CKPH = 0)

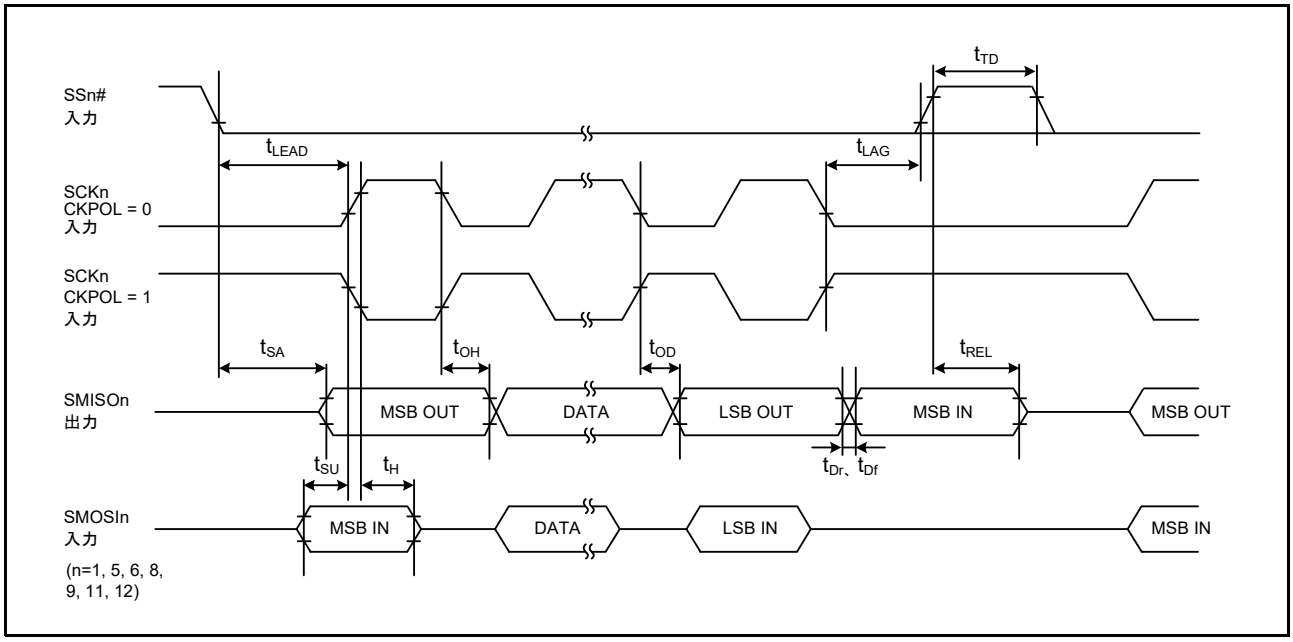


図 46.51 簡易 SPI タイミング (スレーブ、CKPH = 1)

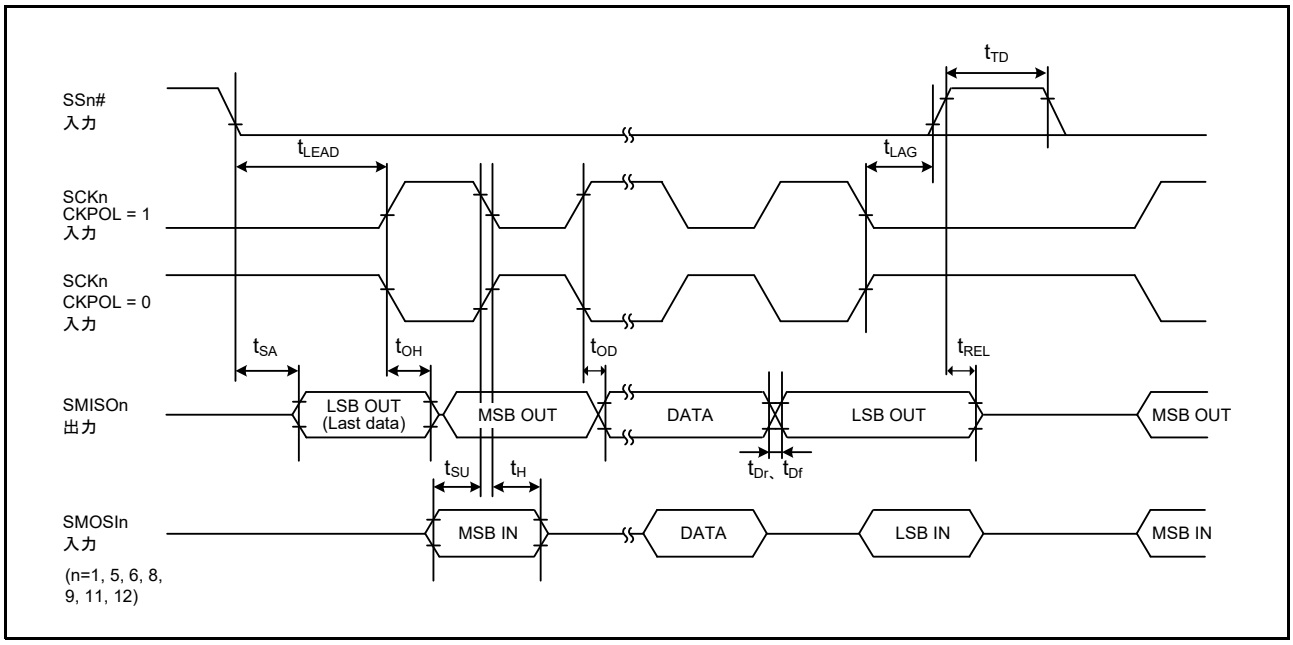


図 46.52　簡易 SPI タイミング (スレーブ、CKPH = 0)

46.4.6.10 RSPI

表46.39　RSPIタイミング

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目				記号	min (注1)	max (注1)	単位 (注1)	測定条件	
RSPI	RSPCK クロックサイクル	マスタ		t_{SPcyc}	2	4096	t_{PAcyc}	図46.53	
		スレーブ			4	—			
	RSPCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ			$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—	ns		
	RSPCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		
		スレーブ			$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—	ns		
	RSPCK クロック立ち上がり/立ち下がり時間	出力		t_{SPCKr}, t_{SPCKf}	—	5	ns		
		入力			—	1	μs		
	データ入力セットアップ時間	マスタ		t_{SU}	6	—	ns	VCC ≧ 4.5V	図46.54～図46.59
					11	—		VCC < 4.5V	
		スレーブ			8.3	—		図46.54～図46.59	
	データ入力ホールド時間	マスタ	PCLKAを2分周に設定	t_{HF}	0	—	ns		
			PCLKAを2分周以外に設定	t_H	t_{PAcyc}	—			
		スレーブ			8.3	—			
	SSL セットアップ時間	マスタ		t_{LEAD}	1	8	t_{SPcyc}		
		スレーブ			6	—	t_{PAcyc}		
	SSL ホールド時間	マスタ		t_{LAG}	1	8	t_{SPcyc}		
		スレーブ			6	—	t_{PAcyc}		
	データ出力遅延時間	マスタ		t_{OD}	—	6.3	ns	VCC ≧ 4.5V	図46.54～図46.59
		スレーブ			—	28			
		マスタ			—	11.3	ns	VCC < 4.5V	
		スレーブ			—	33			
	データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	図46.54～図46.59	
		スレーブ			0	—			
	連続送信遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{PAcyc}$	$8 \times t_{SPcyc} + 2 \times t_{PAcyc}$	ns		
		スレーブ			$6 \times t_{PAcyc}$	—			
	MOSI、MISO立ち上がり/立ち下がり時間	出力		t_{Dr}, t_{Df}	—	5	ns		
		入力			—	1	μs		
	SSL立ち上がり/立ち下がり時間	出力		t_{SSLr}, t_{SSLf}	—	5	ns		
		入力			—	1	μs		
	スレーブアクセス時間			t_{SA}	—	$2 \times t_{PAcyc} + 28$	ns	VCC ≧ 4.5V	図46.58、図46.59
					—	$2 \times t_{PAcyc} + 33$		VCC < 4.5V	
	スレーブ出力開放時間			t_{REL}	—	$2 \times t_{PAcyc} + 28$	ns	VCC ≧ 4.5V	
					—	$2 \times t_{PAcyc} + 33$		VCC < 4.5V	

注1. t_{PAcyc}：PCLKAの周期

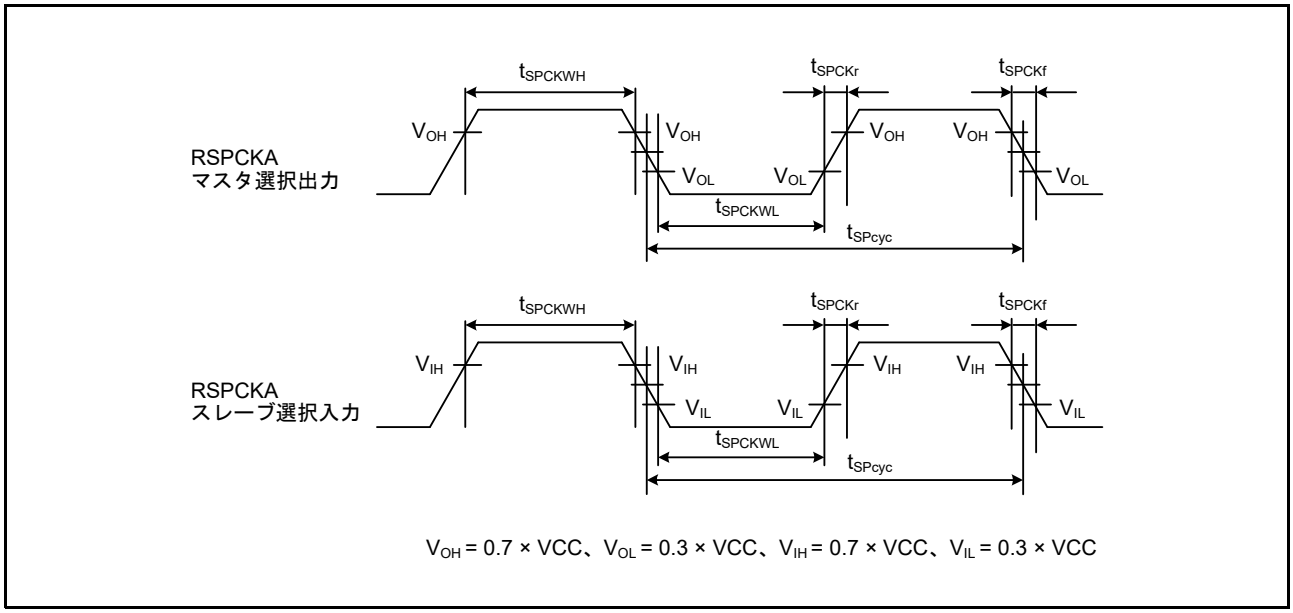


図 46.53 RSPI クロックタイミング

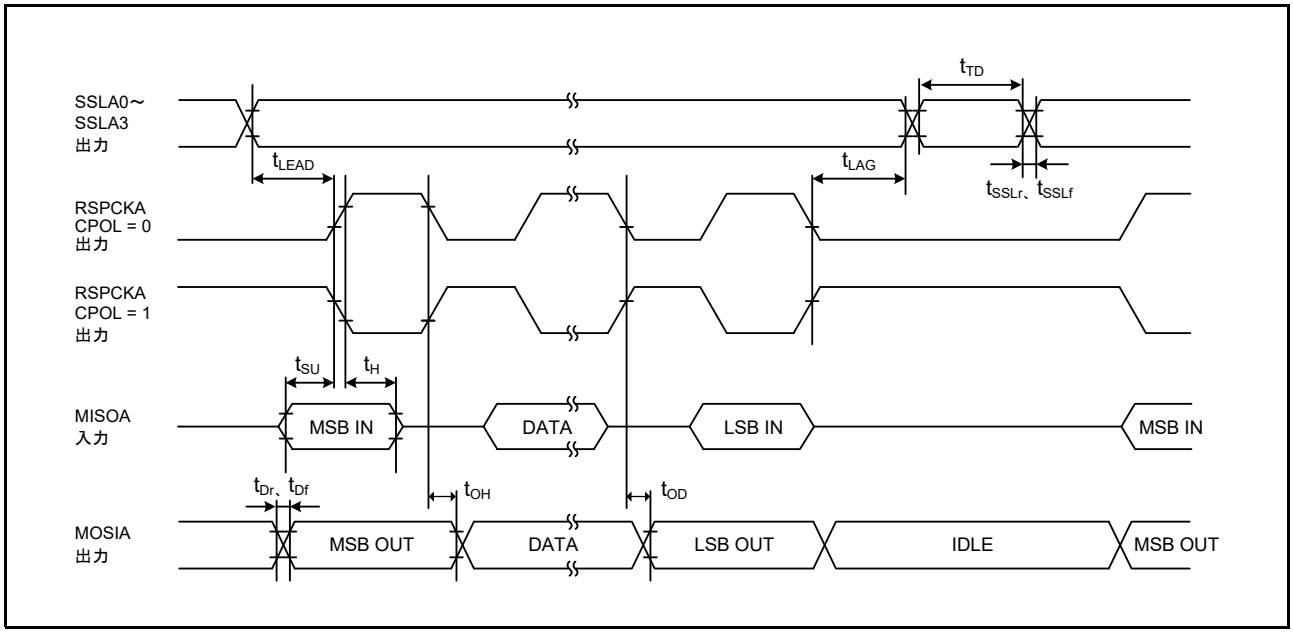


図 46.54 RSPI タイミング (マスタ、CPHA = 0) (ビットレート：PCLKA を 2 分周以外に設定)

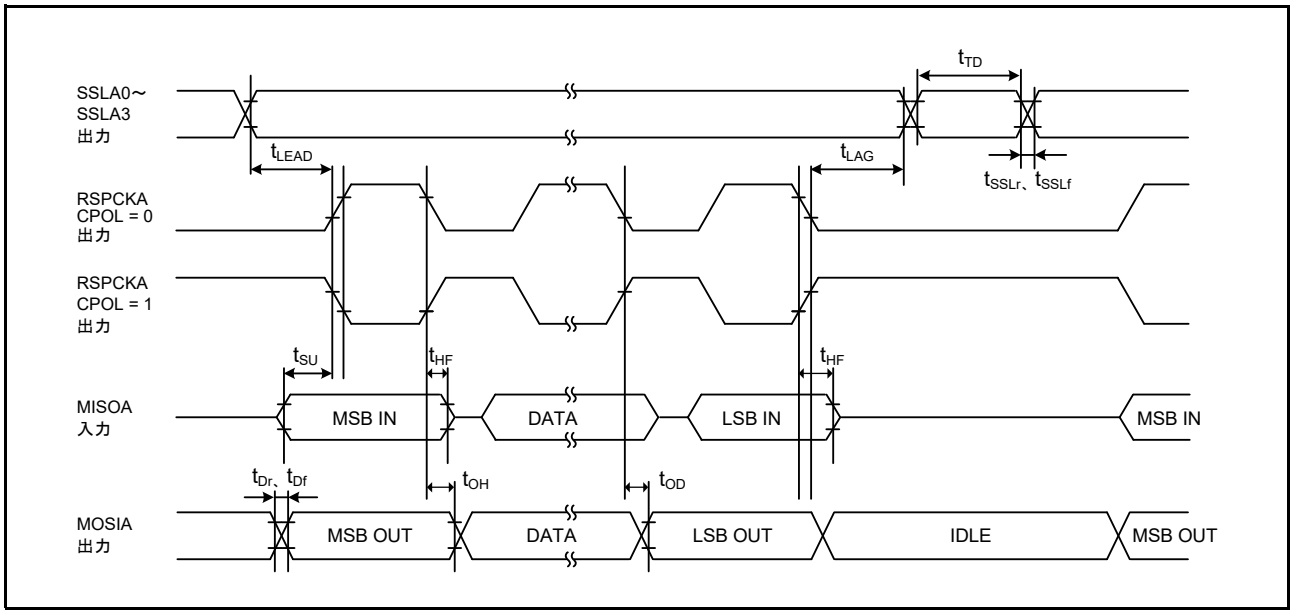


図 46.55　RSPI タイミング (マスタ、CPHA = 0) (ビットレート：PCLKA を 2 分周に設定)

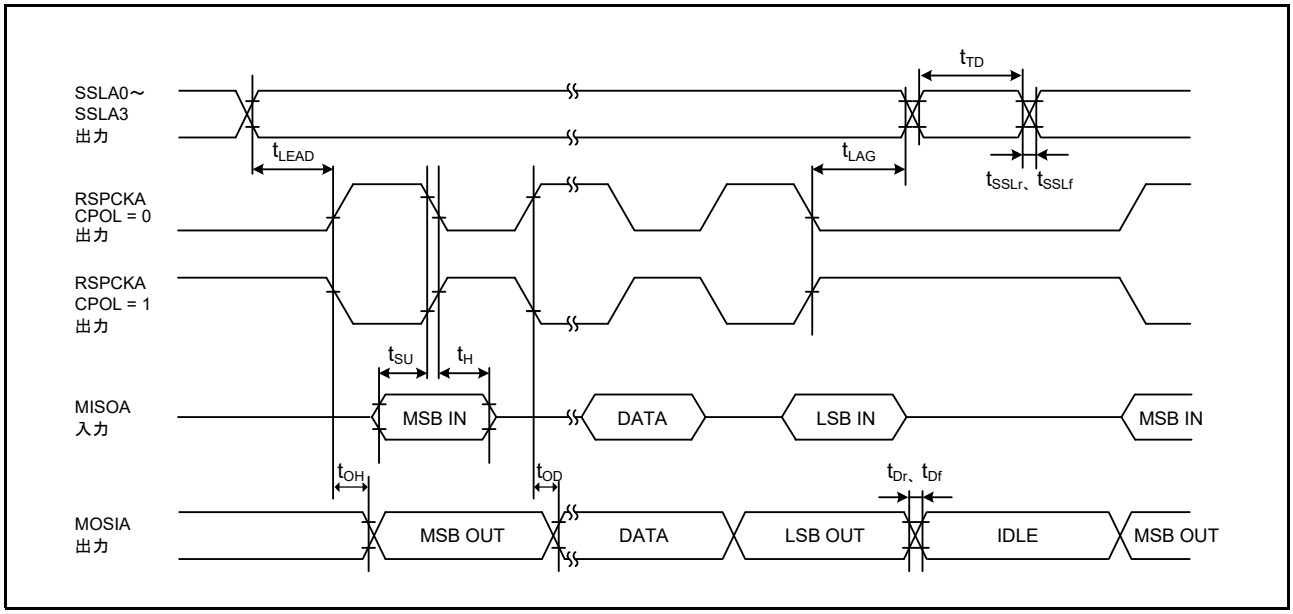


図 46.56　RSPI タイミング (マスタ、CPHA = 1) (ビットレート：PCLKA を 2 分周以外に設定)

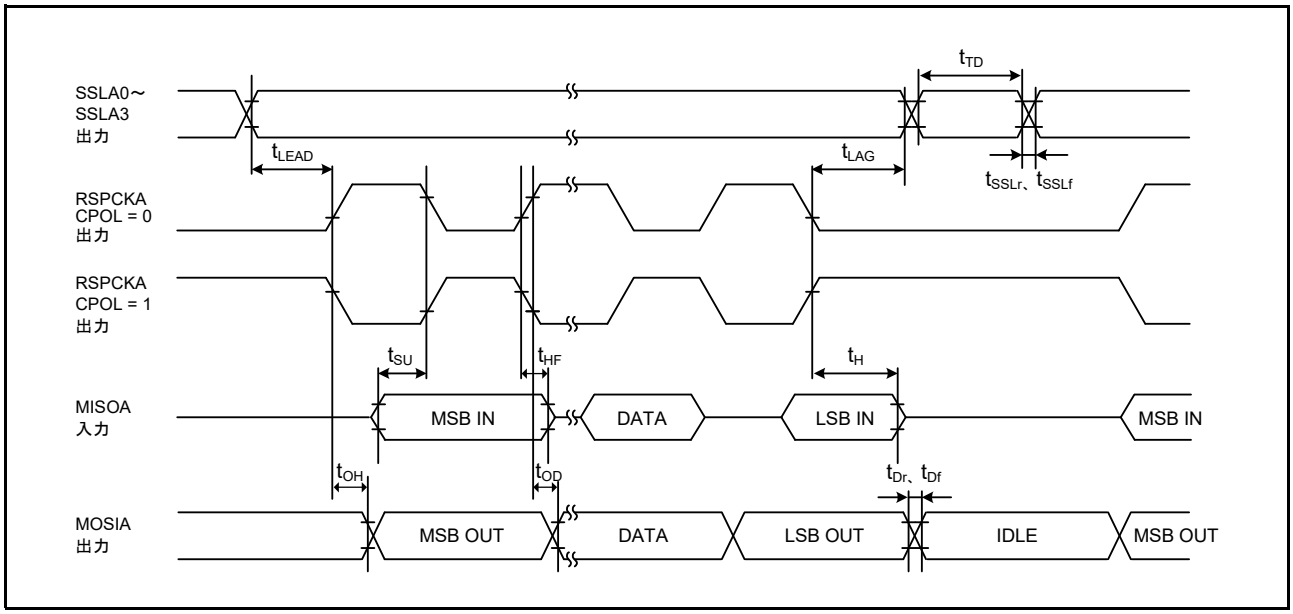


図 46.57　RSPI タイミング (マスタ、CPHA = 1) (ビットレート：PCLKA を 2 分周に設定)

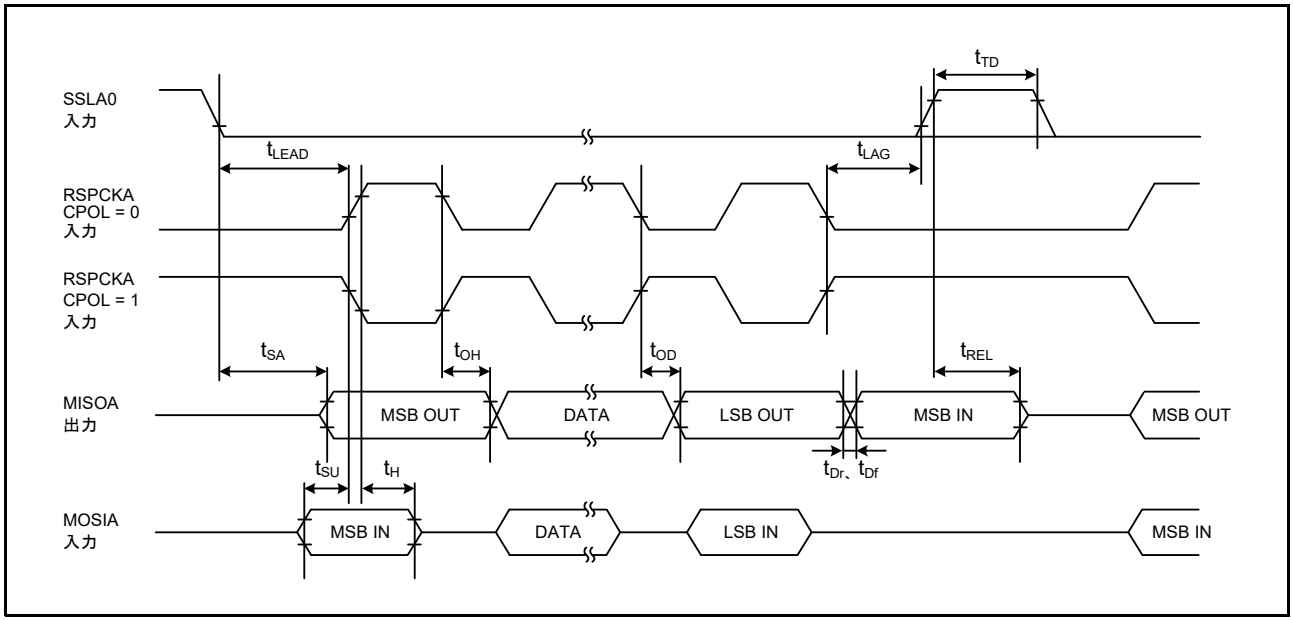


図 46.58　RSPI タイミング (スレーブ、CPHA = 0)/ 簡易 SPI タイミング (スレーブ、CKPH = 1)

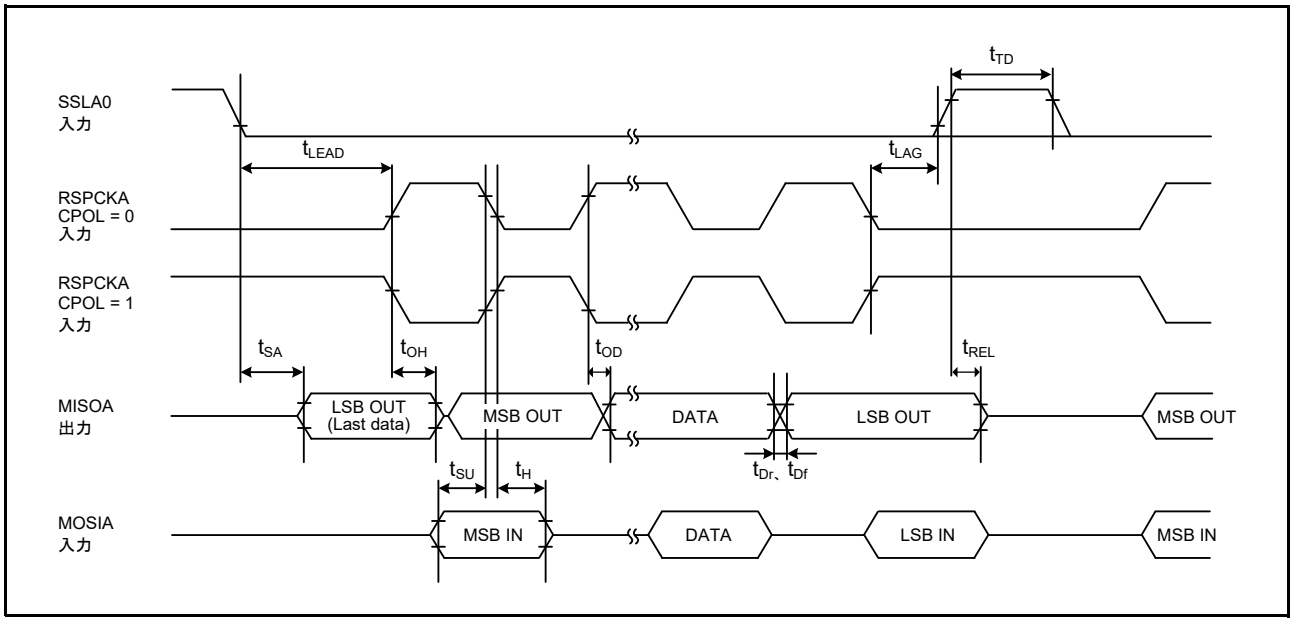


図 46.59 RSPI タイミング (スレーブ、CPHA = 1)

46.4.6.11 RIIC

表46.40 RIICタイミング

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目		記号 (注2)	min (注1)	max (注1)	単位	測定条件 (注3)
RIIC (Standard-mode, SMBus)	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 1300	—	ns	図46.60
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—		
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—		
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000		
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300		
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}		
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—		
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—		
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—		
	停止条件入力セットアップ時間	t_{STOS}	1000	—		
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—		
	データ入力ホールド時間	t_{SDAH}	0	—		
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 600	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—		
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—		
	SCL、SDA入力立ち上がり時間	t_{Sr}	20 × (外付けプルアップ電圧 /5.5V)	300		
	SCL、SDA入力立ち下がり時間	t_{Sf}	20 × (外付けプルアップ電圧 /5.5V)	300		
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}		
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—		
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—		
	再送開始条件入力セットアップ時間	t_{STAS}	300	—		
	停止条件入力セットアップ時間	t_{STOS}	300	—		
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—		
	データ入力ホールド時間	t_{SDAH}	0	—		
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{IICcyc}：RIICの内部基準クロック(IICφ)の周期
注1. ( )内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。
注2. Cbはバスラインの容量総計です。
注3. VCC≧4.5V のとき、VOLSR.RICVLS = 0
VCC < 4.5V のとき、VOLSR.RICVLS = 1

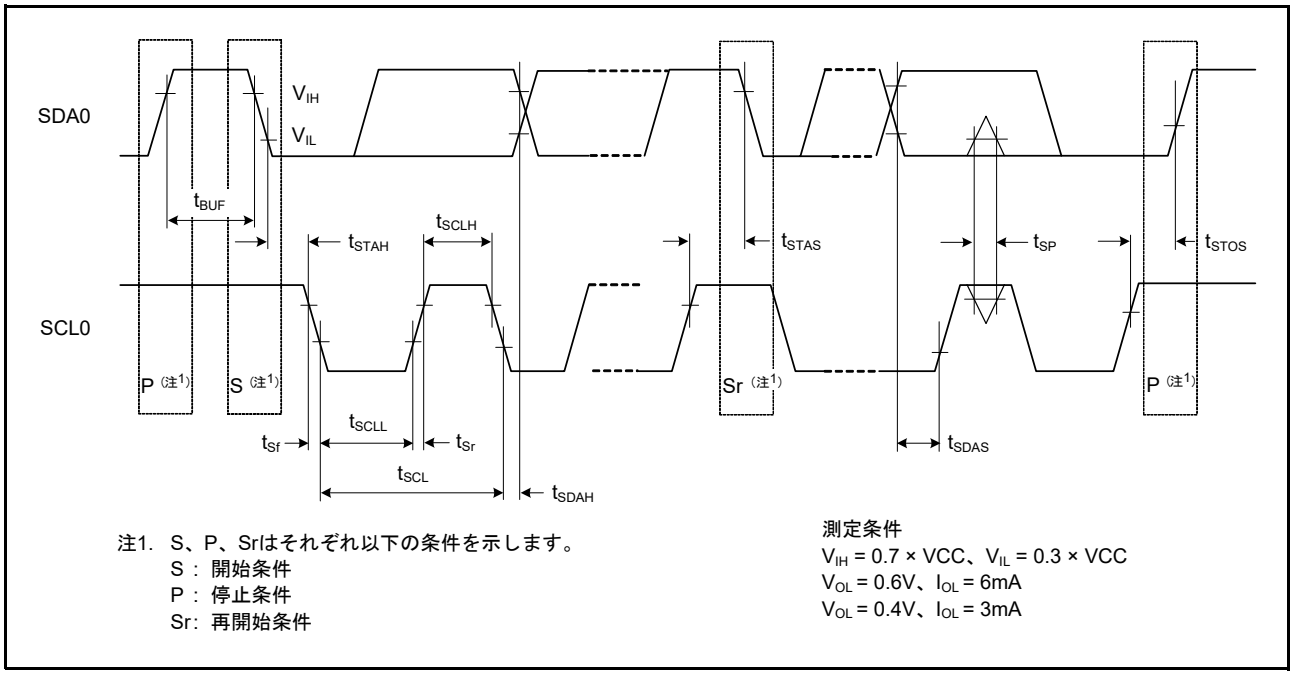


図 46.60 RIIC バスインタフェース入出力タイミング

46.4.6.12 HRPWM

表46.41 HRPWMタイミング

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8～200MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz, PCLKC = 8～200MHz, BCLK = 8～60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択(P53～P55、P60～P65以外)

項目	min	typ	max	単位	測定条件
入力周波数(f_{IN})	80	—	160	MHz	
分解能	—	195	—	ps	f_{IN} = 160MHz時
DNL (注1)	—	±2.0	—	LSB	

注1. 各コード毎の差分を分解能(1LSB)で正規化した値です。

46.5 USB 特性

表46.42 USBロースピード(Hostのみ) 特性(DP、DM端子特性)
条件：VCC = 2.7～5.5V, VCC_USB = 3.0～3.6V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
UCLK = 48MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz

項目		記号	min	max	単位	測定条件
入力特性	入力High レベル電圧	V_{IH}	2.0	—	V	
	入力Low レベル電圧	V_{IL}	—	0.8	V	
	差動入力感度	V_{DI}	0.2	—	V	| DP － DM |
	差動コモンモードレンジ	V_{CM}	0.8	2.5	V	
出力特性	出力High レベル電圧	V_{OH}	2.8	3.6	V	I_{OH} = –200μA
	出力Low レベル電圧	V_{OL}	0.0	0.3	V	I_{OL} = 2mA
	クロスオーバ電圧	V_{CRS}	1.3	2.0	V	図46.61
	立ち上がり時間	t_{LR}	75	300	ns	
	立ち下がり時間	t_{LF}	75	300	ns	
	立ち上がり/立ち下がり時間比	t_{LR} / t_{LF}	80	125	%	t_{LR}/ t_{LF}
プルダウン特性	DP/DM プルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	24.80	kΩ	

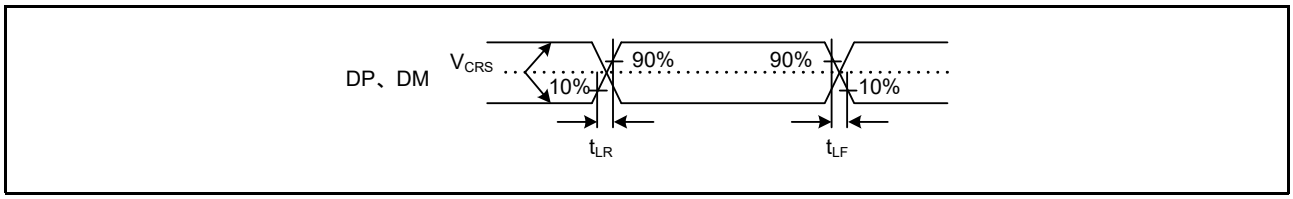


図 46.61 DP、DM 出力タイミング (ロースピード時)

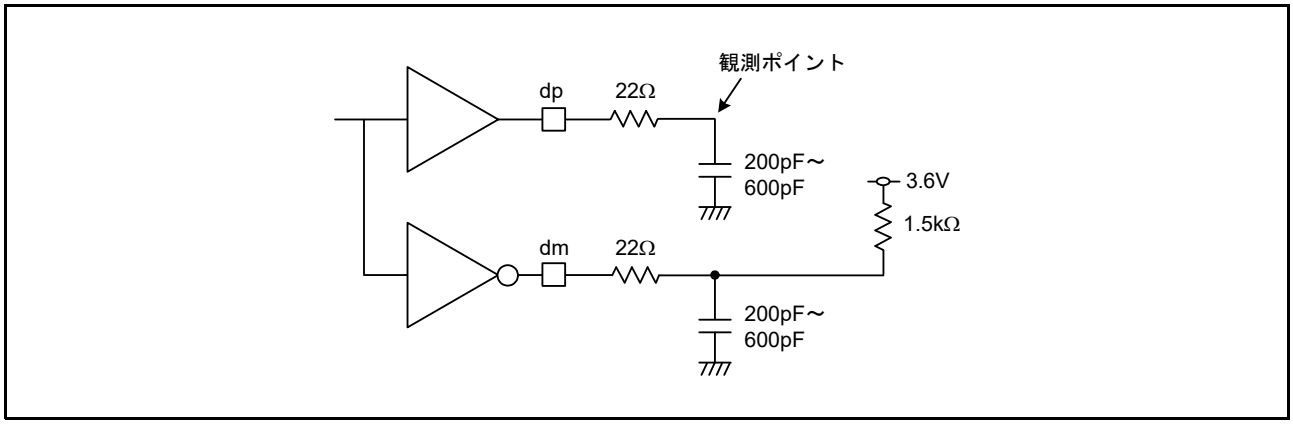


図 46.62 測定回路 (ロースピード時)

表46.43　USBフルスピード特性(DP、DM端子特性)
条件：VCC = 2.7～5.5V, VCC_USB = 3.0～3.6V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
UCLK = 48MHz, PCLKA = 8～120MHz, PCLKB = 8～60MHz

項目		記号	min	max	単位	測定条件
入力特性	入力High レベル電圧	V_{IH}	2.0	—	V	
	入力Low レベル電圧	V_{IL}	—	0.8	V	
	差動入力感度	V_{DI}	0.2	—	V	| DP － DM |
	差動コモンモードレンジ	V_{CM}	0.8	2.5	V	
出力特性	出力High レベル電圧	V_{OH}	2.8	3.6	V	I_{OH} = –200μA
	出力Low レベル電圧	V_{OL}	0.0	0.3	V	I_{OL} = 2mA
	クロスオーバ電圧	V_{CRS}	1.3	2.0	V	図46.63
	立ち上がり時間	t_{FR}	4	20	ns	
	立ち下がり時間	t_{FF}	4	20	ns	
	立ち上がり/立ち下がり時間比	t_{FR} / t_{FF}	90	111.11	%	t_{FR}/ t_{FF}
	出力抵抗	Z_{DRV}	28	44	Ω	Rs = 22Ω含む
プルアップ、プルダウン特性	DPプルアップ抵抗(ファンクション選択時)	R_{pu}	0.900	1.575	kΩ	アイドル時
			1.425	3.09	kΩ	送受信時
	DP/DMプルダウン抵抗(ホスト選択時)	R_{pd}	14.25	24.8	kΩ	

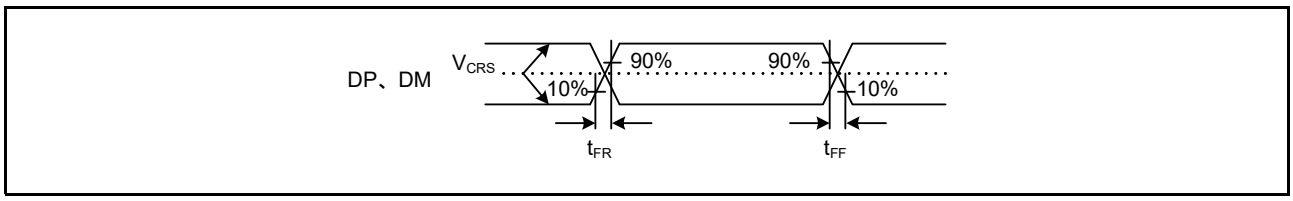


図 46.63　DP、DM 出力タイミング (フルスピード時)

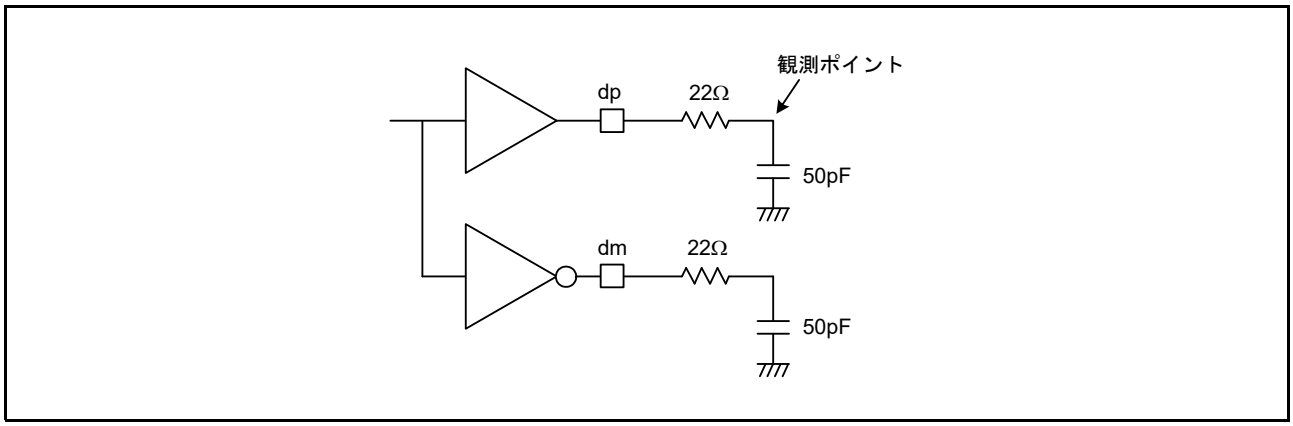


図 46.64　測定回路 (フルスピード時)

46.6 A/D 変換特性

表46.44　12ビットA/D (ユニット0, 1, 2)変換特性(1)

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, 4.5≦AVCC0 = AVCC1 = AVCC2≦5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$, PCLKB = PCLKD = 8～60MHz (注1),
信号源インピーダンス = 1.0 kΩ

項目				min	typ	max	単位	測定条件
分解能				12	12	12	ビット	
アナログ入力容量				—	—	30	pF	
変換時間 (注2) (PCLKD = 60MHz時)	AN000～AN002, AN100～AN102	チャネル専用サンプル＆ホールド回路使用時	常時サンプリング有効	1.00	—	—	μs	• サンプリング時間 24 PCLKD
			常時サンプリング無効	1.40	—	—		• チャネル専用サンプル＆ホールド回路のサンプリング時間 24 PCLKD • サンプリング時間 24 PCLKD
		チャネル専用サンプル＆ホールド回路不使用時		0.90	—	—		• サンプリング時間 30 PCLKD
	AN003～AN006, AN103～AN106			0.90	—	—		• サンプリング時間 30 PCLKD
	AN007, AN107, AN200～AN211			0.95	—	—		• サンプリング時間 33 PCLKD
	AN216～AN217			1.05	—	—		• サンプリング時間 39 PCLKD
オフセット誤差		チャネル専用サンプル＆ホールド回路使用時		—	±1.5	±6.0	LSB	AN000～AN002, AN100～AN102 = 0.2V
		チャネル専用サンプル＆ホールド回路不使用時		—	±1.5	±5.0		
フルスケール誤差		チャネル専用サンプル＆ホールド回路使用時		—	±1.5	±5.5		AN000～AN002 = AVCC0－0.2V AN100～AN102 = AVCC1－0.2V
		チャネル専用サンプル＆ホールド回路不使用時		—	±1.5	±4.5		
量子化誤差		チャネル専用サンプル＆ホールド回路使用時		—	±0.5	—		
		チャネル専用サンプル＆ホールド回路不使用時		—	±0.5	—		
絶対精度	AN000～AN002, AN100～AN102	チャネル専用サンプル＆ホールド回路使用時		—	±3.0	±6.0		
		チャネル専用サンプル＆ホールド回路不使用時		—	±2.5	±5.5		
	AN003～AN007, AN103～AN107			—	±2.5	±5.5		
	AN200～AN211			—	±2.5	±5.5		
	AN216～AN217			—	±2.5	±6.5		
DNL 微分非直線性誤差		チャネル専用サンプル＆ホールド回路使用時		—	±1.0	±2.5		
		チャネル専用サンプル＆ホールド回路不使用時		—	±1.0	±1.5		
INL 積分非直線性誤差		チャネル専用サンプル＆ホールド回路使用時		—	±1.5	±4.0		
		チャネル専用サンプル＆ホールド回路不使用時		—	±1.5	±2.5		
チャネル専用サンプル＆ホールド回路のホールド特性				—	—	20	μs	
ダイナミックレンジ	AN000～AN002	チャネル専用サンプル＆ホールド回路使用時		0.2	—	AVCC0 – 0.2	V	
	AN100～AN102	チャネル専用サンプル＆ホールド回路使用時		0.2	—	AVCC1 – 0.2		

注.　上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1.　PCLKD > 40 MHzの場合、AVCC0-AVSS0間、AVCC1-AVSS1間、AVCC2-AVSS2間に挿入している0.1 μFのコンデンサに、0.01 μFのコンデンサを並列に接続して測定しています。

注2.　変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

表46.45　12ビットA/D (ユニット0, 1, 2)変換特性(2)

条件：VCC = 2.7～4.5V, VCC_USB = 2.7～4.5V, 3.0≦AVCC0 = AVCC1 = AVCC2 < 4.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$, PCLKB = PCLKD = 8～40MHz,
信号源インピーダンス = 1.0 kΩ

項目				min	typ	max	単位	測定条件
分解能				12	12	12	ビット	
アナログ入力容量				—	—	30	pF	
変換時間 (注1) (PCLKD = 40MHz時)	AN000～AN002, AN100～AN102	チャネル専用サンプル＆ホールド回路使用時	常時サンプリング有効	1.35	—	—	μs	• サンプリング時間 18 PCLKD
			常時サンプリング無効	1.80	—	—		• チャネル専用サンプル＆ホールド回路のサンプリング時間 18 PCLKD • サンプリング時間 18 PCLKD
		チャネル専用サンプル＆ホールド回路不使用時		1.13	—	—		• サンプリング時間 21 PCLKD
	AN003～AN006, AN103～AN106			1.13	—	—		• サンプリング時間 21 PCLKD
	AN007, AN107, AN200～AN211			1.20	—	—		• サンプリング時間 24 PCLKD
	AN216～AN217			1.28	—	—		• サンプリング時間 27 PCLKD
オフセット誤差		チャネル専用サンプル＆ホールド回路使用時		—	±1.5	±7.5	LSB	AN000～AN002, AN100～AN102 = 0.2V
		チャネル専用サンプル＆ホールド回路不使用時		—	±1.5	±6.5		
フルスケール誤差		チャネル専用サンプル＆ホールド回路使用時		—	±1.5	±7.5		AN000～AN002 = AVCC0－0.2V AN100～AN102 = AVCC1－0.2V
		チャネル専用サンプル＆ホールド回路不使用時		—	±1.5	±6.5		
量子化誤差		チャネル専用サンプル＆ホールド回路使用時		—	±0.5	—		
		チャネル専用サンプル＆ホールド回路不使用時		—	±0.5	—		
絶対精度	AN000～AN002, AN100～AN102	チャネル専用サンプル＆ホールド回路使用時		—	±4.0	±8.0		
		チャネル専用サンプル＆ホールド回路不使用時		—	±2.5	±7.0		
	AN003～AN007, AN103～AN107			—	±2.5	±7.0		
	AN200～AN211			—	±2.5	±7.0		
	AN216～AN217			—	±2.5	±8.0		
DNL 微分非直線性誤差		チャネル専用サンプル＆ホールド回路使用時		—	±1.0	±4.5		
		チャネル専用サンプル＆ホールド回路不使用時		—	±1.0	±3.5		
INL 積分非直線性誤差		チャネル専用サンプル＆ホールド回路使用時		—	±2.0	±5.0		
		チャネル専用サンプル＆ホールド回路不使用時		—	±1.5	±3.5		
チャネル専用サンプル＆ホールド回路のホールド特性				—	—	20	μs	
ダイナミックレンジ	AN000～AN002	チャネル専用サンプル＆ホールド回路使用時		0.2	—	AVCC0 – 0.2	V	
	AN100～AN102	チャネル専用サンプル＆ホールド回路使用時		0.2	—	AVCC1 – 0.2		

注.　上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1.　変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

表46.46 A/D内部基準電圧特性

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$, PCLKB = PCLKD = 8～60MHz

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.20	1.25	1.30	V	

注. 上記規格値は、通常動作時の値です。

46.7 プログラマブルゲインアンプ特性

表46.47 PGA特性 (シングルエンド入力時)
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	3	8	mV	
シングルエンド入力電圧範囲	V_{ISR}	V_{OR}(min)/G	—	V_{OR}(max)/G	V	
出力電圧範囲	V_{OR}	0.10 × AVCCn	—	0.90 × AVCCn		G = 2.000～3.636
		0.15 × AVCCn	—	0.85 × AVCCn		G = 4.000～6.667
		0.20 × AVCCn	—	0.80 × AVCCn		G = 8.000～20.000
ゲイン	G	2.000	—	20.000	倍	
ゲインエラー	E_G	—	±0.5	±2.0	%	G = 2.000
		—	±0.5	±2.0		G = 2.500
		—	±0.5	±2.0		G = 3.077
		—	±0.5	±2.0		G = 3.636
		—	±0.6	±2.0		G = 4.000
		—	±0.6	±2.0		G = 4.444
		—	±0.7	±2.0		G = 5.000
		—	±0.7	±3.0		G = 6.667
		—	±0.7	±3.0		G = 8.000
		—	±0.7	±4.0		G = 10.000
		—	±1.1	±4.0		G = 13.333
		—	±1.3	±4.0		G = 20.000
スルーレート	SR	10	—	—	V/μs	
動作安定時間	t_{start}	—	—	5	μs	

n = 0, 1

表46.48 PGA特性 (疑似差動入力時)
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件 (注1)
入力オフセット電圧	V_{IO}	—	10	20	mV	
差動入力電圧範囲	V_{IDR}	–0.28 × AVCCn / G	—	0.28 × AVCCn / G	V	
出力電圧範囲	V_{OR}	0.22 × AVCCn	—	0.78 × AVCCn		
入力電圧範囲(PGAVSSn)	$V_{I(PGAVSS)}$	–0.5	—	0.3		AVCCn < 4.3V
		–0.5	—	0.6		AVCCn ≧ 4.3V
ゲインエラー	E_G	—	±0.5	±2.0	%	G = 1.500
		—	±0.5	±2.0		G = 4.000
		—	±0.8	±3.0		G = 7.000
		—	±1.2	±4.0		G = 12.333
スルーレート	SR	10	—	—	V/μs	
動作安定時間	t_{start}	—	—	5	μs	

n = 0, 1

注1. AVCC0 = AVCC1 = AVCC2 ≧ 4.0V のとき、VOLSR.PGAVLS = 0
AVCC0 = AVCC1 = AVCC2 < 4.0V のとき、VOLSR.PGAVLS = 1

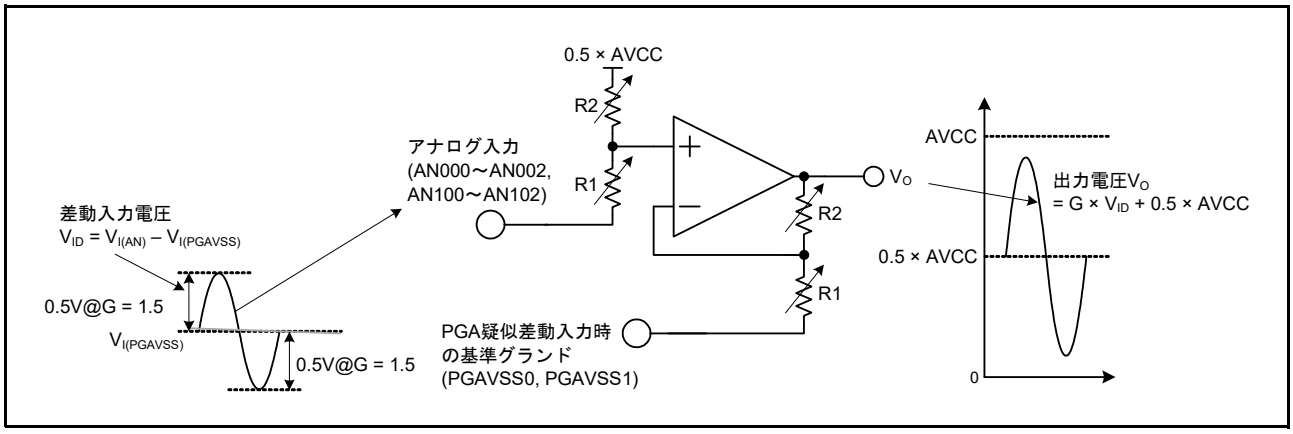


図 46.65　PGA 疑似差動設定時入出力信号レベル

46.8 コンパレータ特性

表46.49 コンパレータ特性
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	8	40	mV	
リファレンス入力電圧範囲	V_{ref}	0	—	AVCC1	V	CMPSEL1.CVRS[3:0] = 0100b, 1000b
		0	—	AVCC2		CMPSEL1.CVRS[3:0] = 0001b, 0010b
応答時間	$t_{tot(r)}$	—	—	200	ns	VOD = 100mV CMPCTL.CDFS[1:0] = 00b
	$t_{tot(f)}$	—	—	200		
入力切り替え時の安定待ち時間	t_{cwait}	300	—	—		
動作安定時間	t_{cmp}	—	—	1	μs	

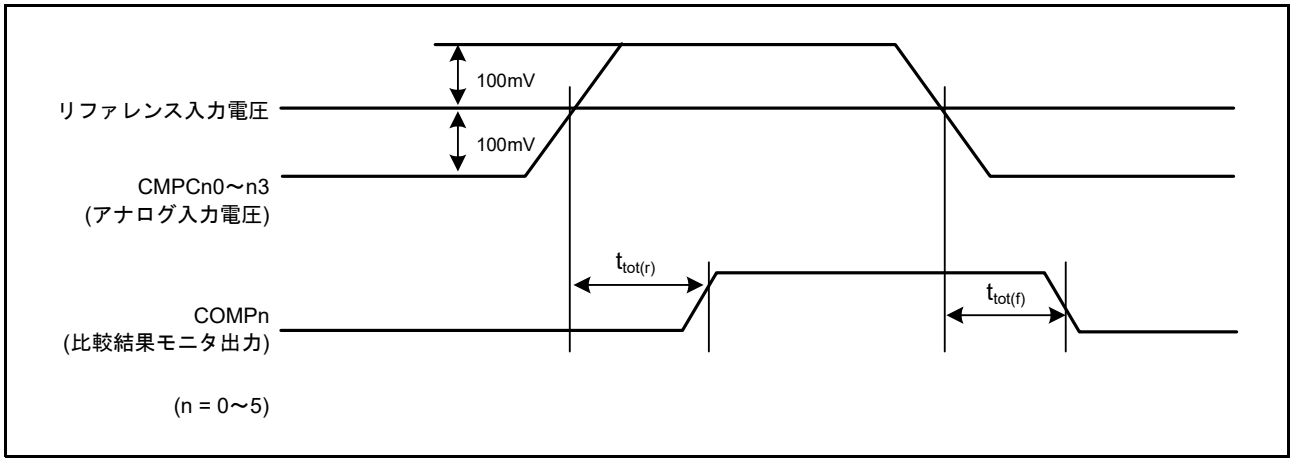


図 46.66 コンパレータ応答時間

46.9 D/A 変換特性

表46.50 D/A変換特性
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
分解能	12	12	12	ビット	
絶対精度	—	—	±6.0	LSB	負荷抵抗2MΩ、10ビット換算
微分非直線性誤差(DNL)	—	±1.0	±2.0	LSB	負荷抵抗2MΩ
出力抵抗(R_O)	—	5.7	—	kΩ	
変換時間	—	—	3	μs	負荷容量20pF

46.10 温度センサ特性

表46.51 温度センサ特性
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKB = PCLKD = 8～60MHz

項目	min	typ	max	単位	測定条件
相対精度	—	±1.0	—	°C	
温度傾斜	—	–2.0	—	mV/°C	
出力電位	—	0.63	—	V	T_a = 25°C
温度センサ起動時間	—	—	200	μs	
サンプリング時間 (注1)	3	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD2.ADSSTRTレジスタを設定してください。

46.11 パワーオンリセット回路、電圧検出回路特性

表46.52　パワーオンリセット回路、電圧検出回路特性
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット(POR)	V_{POR}	2.46	2.58	2.70	V	図 46.67
	電圧検出回路(LVD0)	V_{det0_1}	4.04	4.22	4.40		図 46.68
		V_{det0_2}	2.71	2.83	2.95		
	電圧検出回路(LVD1)	V_{det1_0}	4.39	4.57	4.75		図 46.69
		V_{det1_1}	4.29	4.47	4.65		
		V_{det1_2}	4.14	4.32	4.50		
		V_{det1_3}	2.81	2.93	3.05		
		V_{det1_4}	2.76	2.88	3.00		
	電圧検出回路(LVD2)	V_{det2_0}	4.39	4.57	4.75		図 46.70
		V_{det2_1}	4.29	4.47	4.65		
		V_{det2_2}	4.14	4.32	4.50		
		V_{det2_3}	2.81	2.93	3.05		
		V_{det2_4}	2.76	2.88	3.00		
内部リセット時間	パワーオンリセット時間	t_{POR}	—	13.7	—	ms	図 46.67
	LVD0リセット時間	t_{LVD0}	—	0.70	—		図 46.68
	LVD1リセット時間	t_{LVD1}	—	0.57	—		図 46.69
	LVD2リセット時間	t_{LVD2}	—	0.57	—		図 46.70
最小VCC低下時間		t_{VOFF}	200	—	—	μs	図 46.67、図 46.68
応答遅延時間		t_{det}	—	—	200	μs	図 46.67 ～ 図 46.70
LVD動作安定時間(LVD有効切り替え時)		$T_{d(E-A)}$	—	—	20	μs	図 46.69、図 46.70
ヒステリシス幅(LVD1, LVD2)		V_{LVH}	—	80	—	mV	

注.　最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}, V_{det1}, V_{det2}のmin値を下回っている時間です。

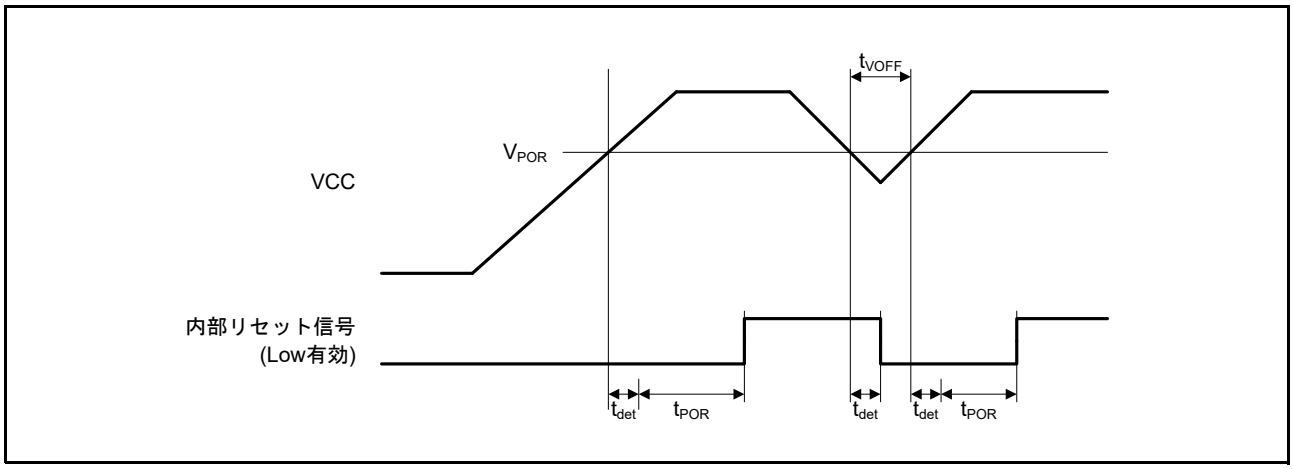


図 46.67　パワーオンリセットタイミング

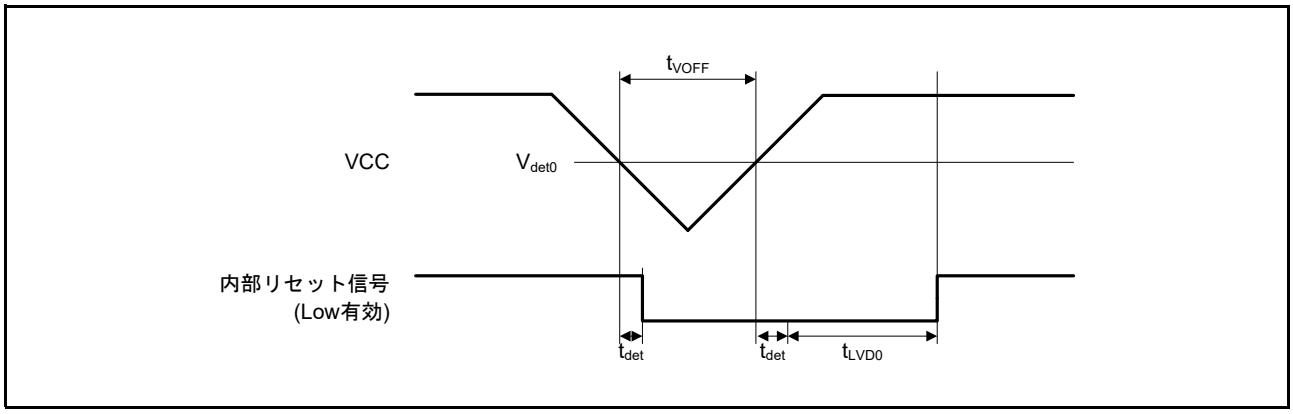


図 46.68　電圧検出回路タイミング (V_{det0})

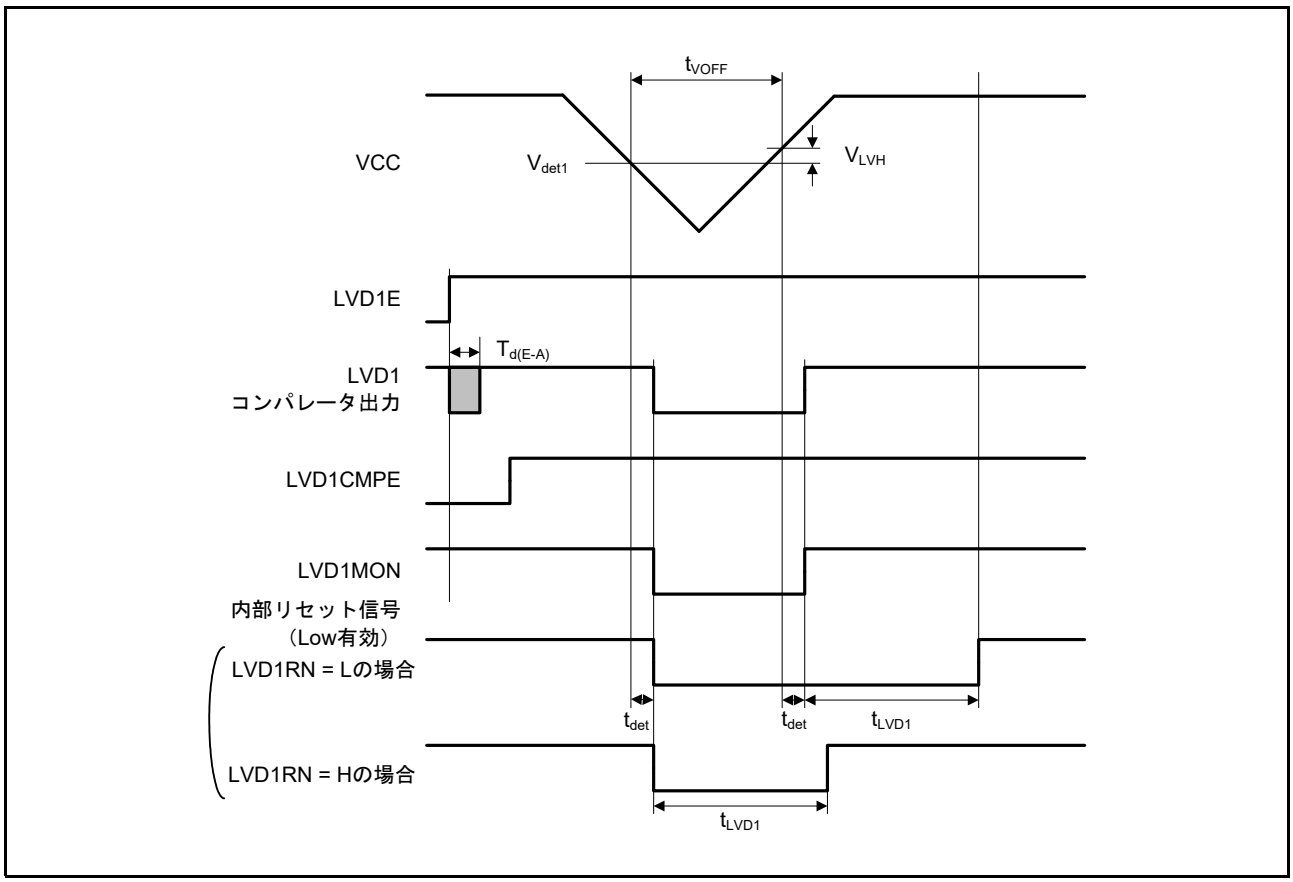


図 46.69　電圧検出回路タイミング (V_{det1})

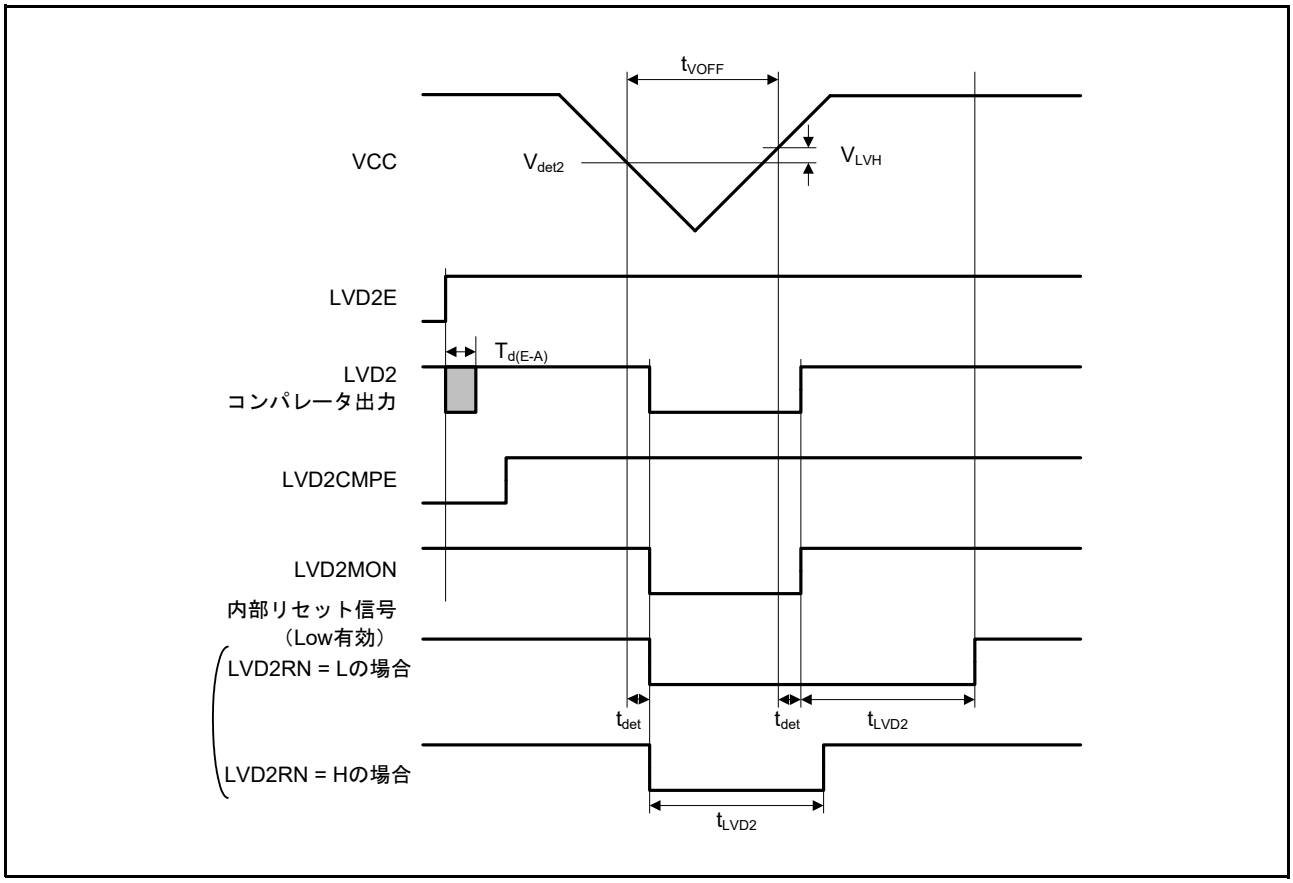


図 46.70　電圧検出回路タイミング (V_{det2})

46.12 発振停止検出タイミング

表46.53 発振停止検出回路特性
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図46.71

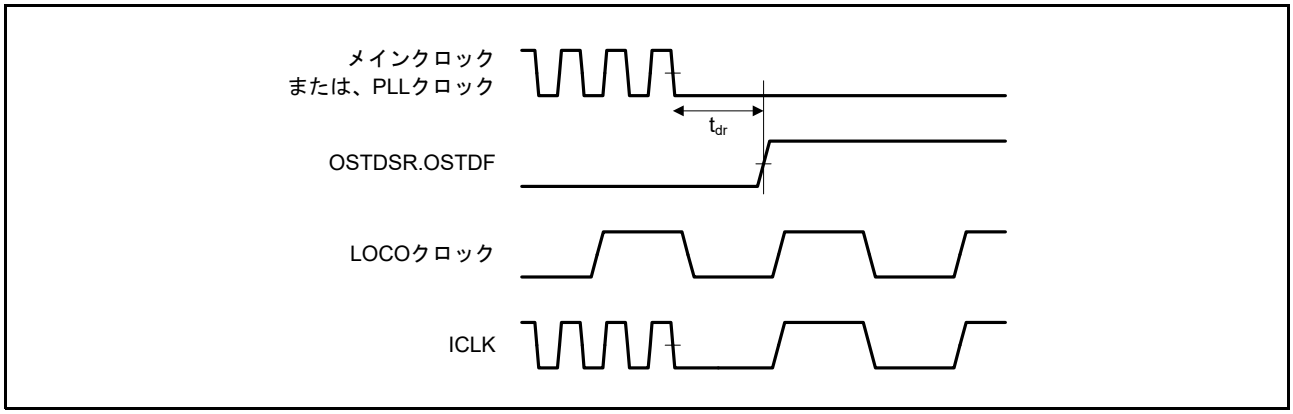


図 46.71 発振停止検出タイミング

46.13 フラッシュメモリ特性

表46.54 コードフラッシュメモリ特性
条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V
プログラム/イレーズ時の動作温度範囲：$T_a = T_{opr}$

項目		記号	FCLK = 4MHz			20MHz≦FCLK≦60MHz			単位	条件
			min	typ	max	min	typ	max		
プログラム時間 (N_{PEC}≦100)	256バイト	t_{P256}	—	0.9	13.2	—	0.4	6	ms	
	8Kバイト	t_{P8K}	—	29	176	—	13	80		
	32Kバイト	t_{P32K}	—	116	704	—	52	320		
プログラム時間 (N_{PEC} > 100)	256バイト	t_{P256}	—	1.1	15.8	—	0.5	7.2		
	8Kバイト	t_{P8K}	—	35	212	—	16	96		
	32Kバイト	t_{P32K}	—	140	848	—	64	384		
イレーズ時間 (N_{PEC}≦100)	8Kバイト	t_{E8K}	—	71	216	—	39	120		
	32Kバイト	t_{E32K}	—	254	864	—	141	480		
イレーズ時間 (N_{PEC} > 100)	8Kバイト	t_{E8K}	—	85	260	—	47	144		
	32Kバイト	t_{E32K}	—	304	1040	—	169	576		
プログラム/イレーズ回数 (注1)		N_{PEC}	1000 (注2)	—	—	1000 (注2)	—	—	回	
プログラムサスペンド遅延時間		t_{SPD}	—	—	264	—	—	120	μs	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{SESD1}	—	—	216	—	—	120		
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{SESD2}	—	—	1.7	—	—	1.7	ms	
イレーズサスペンド遅延時間 (イレーズ優先モード時)		t_{SEED}	—	—	1.7	—	—	1.7		
強制終了コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間 (注3、注4)		t_{DRP}	20	—	—	20	—	—	年	T_a≦85°C
			10	—	—	10	—	—		T_a≦105°C

注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
たとえば、8Kバイトのブロックについて、それぞれ異なる番地に256バイトプログラムを32回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
注4. 信頼性試験から得られた結果です。

表46.55　データフラッシュメモリ特性

条件：VCC = 2.7～5.5V, VCC_USB = 2.7～5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V
プログラム/イレーズ時の動作温度範囲：$T_a = T_{opr}$

項目		記号	FCLK = 4MHz			20MHz≦FCLK≦60MHz			単位	条件
			min	typ	max	min	typ	max		
プログラム時間	4バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
イレーズ時間	64バイト	t_{DE64}	—	3.1	18	—	1.7	10		
ブランクチェック時間	4バイト	t_{DBC4}	—	—	84	—	—	30	μs	
	64バイト	t_{DBC64}	—	—	280	—	—	100		
	2Kバイト	t_{DBC2K}	—	—	6160	—	—	2200		
プログラム/イレーズ回数(注1)		N_{DPEC}	100000 (注2)	—	—	100000 (注2)	—	—	回	
プログラムサスペンド遅延時間		t_{DSPD}	—	—	264	—	—	120	μs	
1回目のイレーズサスペンド遅延時間(サスペンド優先モード時)		t_{DSESD1}	—	—	216	—	—	120		
2回目のイレーズサスペンド遅延時間(サスペンド優先モード時)		t_{DSESD2}	—	—	300	—	—	300		
イレーズサスペンド遅延時間(イレーズ優先モード時)		t_{DSEED}	—	—	300	—	—	300		
強制終了コマンド		t_{FD}	—	—	32	—	—	20		
データ保持時間(注3、注4)		t_{DDRP}	20	—	—	20	—	—	年	T_a≦85°C
			10	—	—	10	—	—		T_a≦105°C

注1.　プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2.　プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3.　フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。

注4.　信頼性試験から得られた結果です。

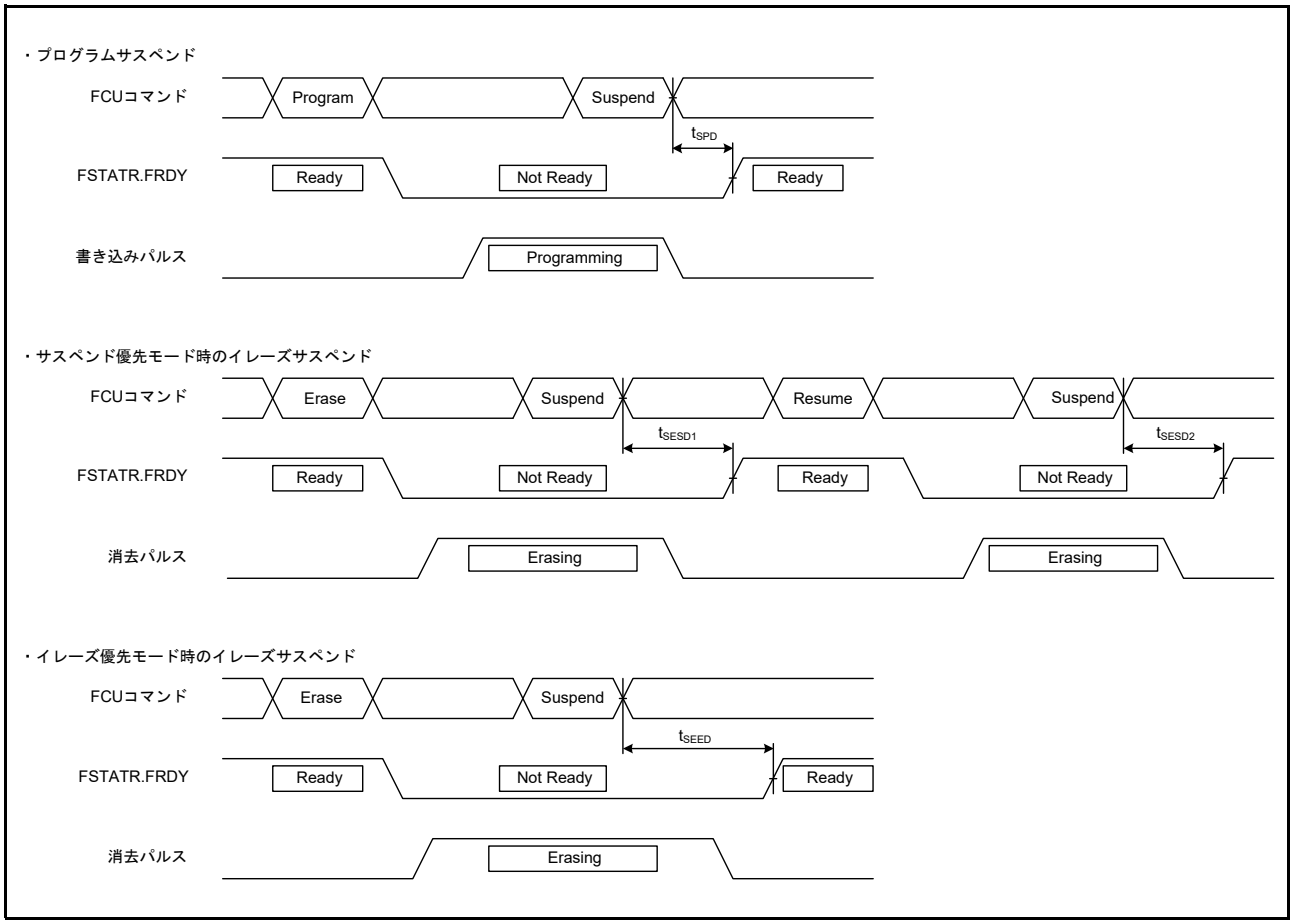


図 46.72　フラッシュメモリプログラム / イレーズサスペンドタイミング

付録 1.　各動作モードにおけるポートの状態

表1.1　各動作モードにおけるポートの状態 (1 / 6)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P00/A11/IRQ2, P01/A10/IRQ4	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
P10/IRQ0_DS	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P11/RD#/ IRQ1_DS	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[RD# 出力時] H [上記以外] Keep-O (注2)	[RD# 出力時] Hi-Z [上記以外] Keep-O (注2)			
P12/IRQ9, P13/IRQ10, P14/IRQ11, P15/IRQ12, P16/IRQ13, P17/IRQ14	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P20/D15/ IRQ7_DS, P21/D14/ IRQ6_DS	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
P22/D13/ IRQ10, P23/D12/ IRQ11, P24/D11/ IRQ4	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
P25/CS3#/ IRQ10, P26/CS2#/ IRQ11	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[CSn# 出力時] H [上記以外] Keep-O (注2)	[CSn# 出力時] Hi-Z [上記以外] Keep-O (注2)			
P27/CS3#/ IRQ15	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[CSn# 出力時] H [上記以外] Keep-O (注2)	[CSn# 出力時] Hi-Z [上記以外] Keep-O (注2)			
P30/D10/IRQ7, P31/D9/IRQ6	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
P32/D8/ IRQ12_DS	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
P33/D7/ IRQ13_DS	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
P34/A12/IRQ3, P35/A13/IRQ6	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
P36, P37	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z

表1.1　各動作モードにおけるポートの状態 (2 / 6)

ポート名 端子名	レジスタ設定による 動作モード		リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
				OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P40, P41, P42, P43, P44, P45, P46, P47	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P50, P51	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
P52/IRQ0	全モード		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P53/A20/ A18/IRQ1, P54/A19/ A17/IRQ2, P55/A18/ A16/IRQ3	シングルチップモード (EXBE=0)		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)			[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
P60/A17/ A15/IRQ4, P61/A16/ A14/IRQ5, P62/A15/ A13/IRQ6, P63/A14/ A12/IRQ7	シングルチップモード (EXBE=0)		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)			[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
P64/DA0/A13/ IRQ8	シングル チップモード (EXBE=0)	DA0 出力時 (DAOE0=1)	Hi-Z	DA 出力保持		Hi-Z	Hi-Z	Hi-Z
		上記以外 (DAOE0=0)		Keep-O (注2)		Keep	Keep	
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)	アドレス出力時		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)	Keep	Keep	
		上記以外 DA0 出力時 (DAOE0=1)		DA 出力保持		Hi-Z	Hi-Z	
		上記以外 上記以外 (DAOE0=0)		Keep-O (注2)		Keep	Keep	
P65/DA1/A12/ IRQ9	シングル チップモード (EXBE=0)	DA1 出力時 (DAOE1=1)	Hi-Z	DA 出力保持		Hi-Z	Hi-Z	Hi-Z
		上記以外 (DAOE1=0)		Keep-O (注2)		Keep	Keep	
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)	アドレス出力時		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)	Keep	Keep	
		上記以外 DA1 出力時 (DAOE1=1)		DA 出力保持		Hi-Z	Hi-Z	
		上記以外 上記以外 (DAOE1=0)		Keep-O (注2)		Keep	Keep	
P70/D6/ IRQ5_DS	シングルチップモード (EXBE=0)		Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)			[データ出力時] Hi-Z				
P71/D5, P72/D4, P73/D3, P74/D2, P75/D1, P76/D0	シングルチップモード (EXBE=0)		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)			[データ出力時] Hi-Z				
P80/CS1#/ IRQ5	シングルチップモード (EXBE=0)		Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)			[CSn# 出力時] H [上記以外] Keep-O (注2)	[CSn# 出力時] Hi-Z [上記以外] Keep-O (注2)			

表1.1　各動作モードにおけるポートの状態 (3 / 6)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P81/CS2#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[CSn# 出力時] H [上記以外] Keep-O	[CSn# 出力時] Hi-Z [上記以外] Keep-O			
P82/ALE/IRQ3	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注 2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[ALE 出力時] L [上記以外] Keep-O (注 2)	[ALE 出力時] Hi-Z [上記以外] Keep-O (注 2)			
P90, P91, P92, P93, P94, P95	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P96/CS0#/ IRQ4_DS	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注 2)		Keep-O (注 3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[CSn# 出力時] H [上記以外] Keep-O (注 2)	[CSn# 出力時] Hi-Z [上記以外] Keep-O (注 2)			
PA0	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PA1/IRQ14_DS	全モード	Hi-Z	Keep-O (注 2)		Keep-O (注 3)	Keep	Hi-Z
PA2/A0/BC0#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PA3/A1, PA4/A2	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PA5/A3/IRQ1	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注 2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注 2)			
PA6/A14/IRQ7	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注 2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注 2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注 2)			
PA7/A15	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PB0/A0/BC0#/ A4/IRQ8	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注 2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注 2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注 2)			
PB1/A5/IRQ4	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注 2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注 2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注 2)			
PB2/A6	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			

表1.1　各動作モードにおけるポートの状態 (4 / 6)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
PB3/A7/IRQ9	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PB4/A1/ IRQ3_DS	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PB5/A2	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PB6/A3/IRQ2	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PB7/A4	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PC0/CS0#/ IRQ12	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[CSn# 出力時] H [上記以外] Keep-O (注2)	[CSn# 出力時] Hi-Z [上記以外] Keep-O (注2)			
PC1/A16/ IRQ13	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PC2/CS1#/ IRQ15	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[CSn# 出力時] H [上記以外] Keep-O (注2)	[CSn# 出力時] Hi-Z [上記以外] Keep-O (注2)			
PC3/IRQ14	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
PC4/A20	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PC5/ IRQ10_DS, PC6/ IRQ11_DS	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
PD0/A5, PD1/A6, PD2/A7	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PD3	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PD4/IRQ2, PD5/IRQ6, PD6/IRQ5, PD7/IRQ8	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z

表1.1　各動作モードにおけるポートの状態 (5 / 6)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
PE0/WR1#/ BC1#/IRQ7	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[WR1#/BC1# 出力時] H [上記以外] Keep-O (注2)	[WR1#/BC1# 出力時] Hi-Z [上記以外] Keep-O (注2)			
PE1/WR0#/ WR#/IRQ15	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[WR0#/WR# 出力時] H	[WR0#/WR# 出力時] Hi-Z			
PE2/NMI	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
PE3/A8/ IRQ2_DS	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PE4/A9/IRQ1	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PE5/BCLK/ IRQ0	全モード	Hi-Z	[クロック出力時] H [上記以外] Keep-O (注2)		Keep	Keep	Hi-Z
PE6/RD#/IRQ3	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[RD# 出力時] H [上記以外] Keep-O (注2)	[RD# 出力時] Hi-Z [上記以外] Keep-O (注2)			
PF0/A0/BC0#/ IRQ12	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PF1/A17/ CS1#/IRQ13, PF2/A18/ CS2#/IRQ5, PF3/A19/ CS3#/IRQ14	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [CSn# 出力時] H [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [CSn# 出力時] Hi-Z [上記以外] Keep-O (注2)			
PG0/D13/ IRQ0, PG1/D12/ IRQ1, PG2/D11/ IRQ2	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
PH0/PGAVSS0 (注5)	全モード	Pull- up (注5)	Keep-O (注6)		Keep (注6)	Keep (注6)	Keep (注6)
PH1, PH2, PH3	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PH4/PGAVSS1 (注5)	全モード	Pull- up (注5)	Keep-O (注6)		Keep (注6)	Keep (注6)	Keep (注6)
PH5, PH6, PH7	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PK0/CS1#/ IRQ15_DS	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[CSn# 出力時] H [上記以外] Keep-O (注2)	[CSn# 出力時] Hi-Z [上記以外] Keep-O (注2)			

表1.1　各動作モードにおけるポートの状態 (6 / 6)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイ モード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
PK1/D15/ IRQ8_DS, PK2/D14/ IRQ9_DS	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
USB0_DM	全モード	Hi-Z	Keep-O (注4)		Hi-Z	Hi-Z	
USB0_DP	全モード	Hi-Z	Keep-O (注4)		Hi-Z	Hi-Z	

H ：High レベル

L ：Low レベル

Keep-O ：出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス。なお、入力プルアップ制御レジスタが有効の場合、入力プルアップ抵抗がオン状態で保持されます。

Keep ：ソフトウェアスタンバイでの端子状態を保持

Hi-Z ：ハイインピーダンス

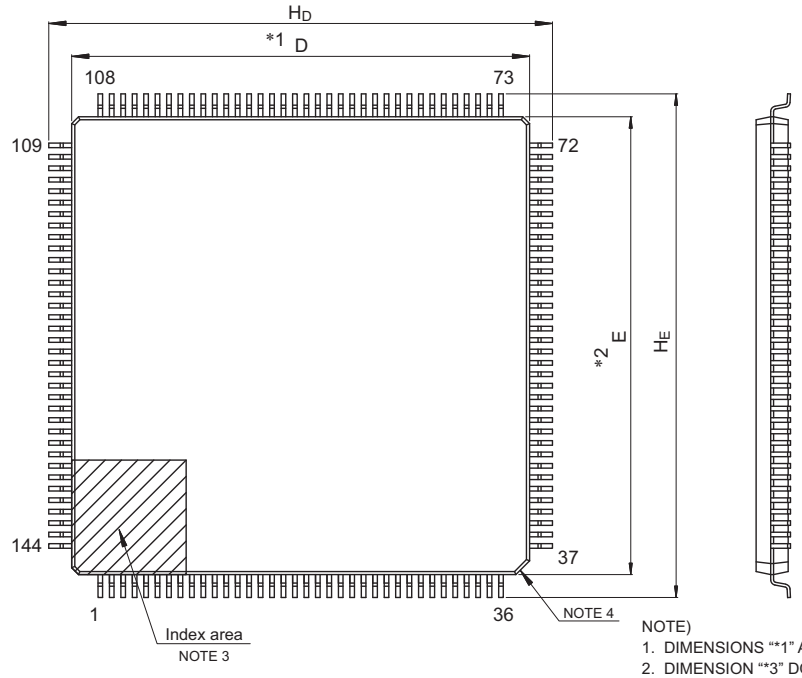
注1.　DPSBYCR.IOKEEP ビットを“0”にするまで、I/O ポートの状態を保持します。
注2.　外部割り込み端子として使用時は、ソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。
注3.　ディープソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。
注4.　入力端子として使用時は入力可能です。
注5.　疑似差動入力なし製品は端子がありません。
注6.　VOLSR.PGAVLS = 0にした場合、内蔵プルアップ抵抗がオンします。
ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード中、P40～P42、PH0 (疑似差動入力あり製品のみ)、P44～P46 、PH4 (疑似差動入力あり製品のみ)のすべての端子に0Vより高い電圧を印加する場合やオープンにする場合は、VOLSR.PGAVLS = 1にして内蔵プルアップ抵抗をオフすることができます。

付録 2.　外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP144-20x20-0.50	PLQP0144KA-B	—	1.2

Unit: mm



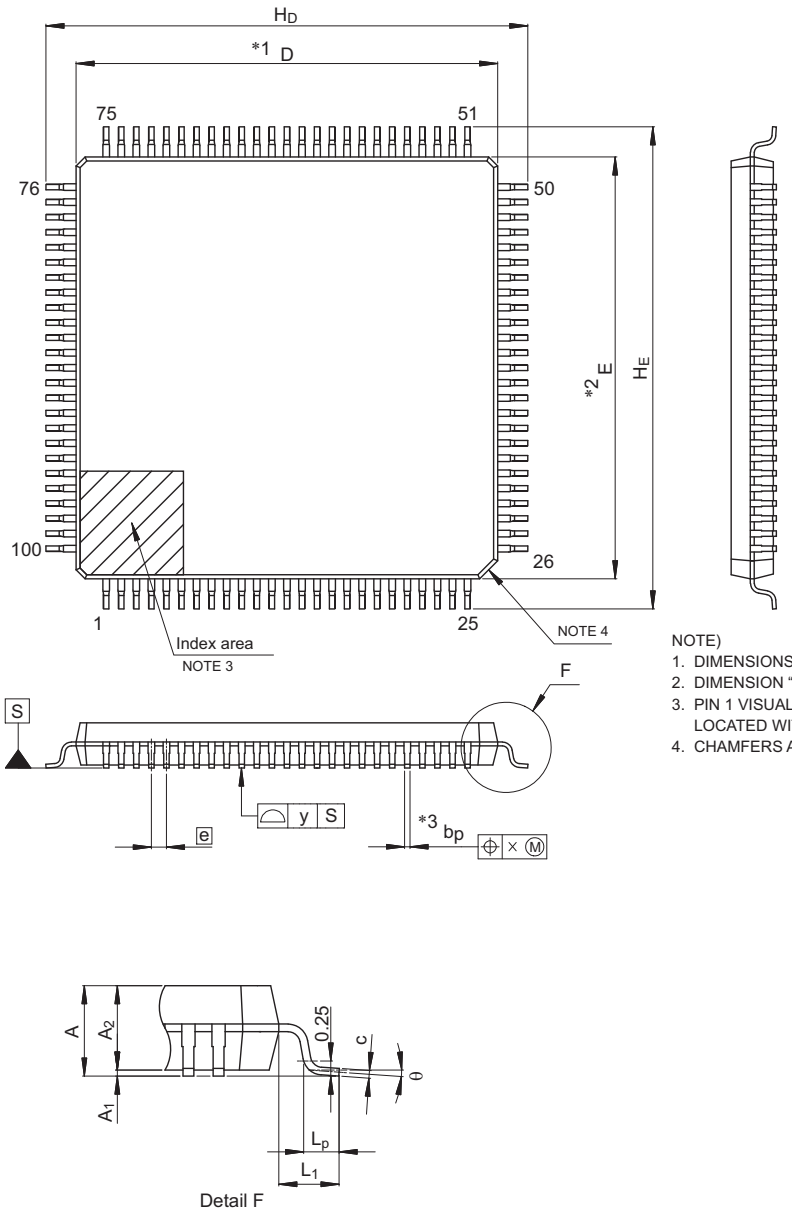
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A_2	—	1.4	—
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
L_p	0.45	0.6	0.75
L_1	—	1.0	—

図 A.　144 ピン LFQFP (PLQP0144KA-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6

Unit: mm



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

図 B. 100 ピン LFQFP (PLQP0100KB-B)

改訂記録	RX72T グループ　ユーザーズマニュアル　ハードウェア編

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの 該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2019.05.16	—	初版発行	
1.10	2023.10.06	1. 概要		
		65	表1.3 製品一覧表　変更	
		66	図1.1 型名とメモリサイズ・パッケージ　変更	
		3. 動作モード		
		137	3.1 動作モードの種類と選択　変更	
		5. I/O レジスタ		
		163	表5.1 I/Oレジスタアドレス一覧 (14 /46)　変更	
		164	表5.1 I/Oレジスタアドレス一覧 (15 /46)　変更	
		165	表5.1 I/Oレジスタアドレス一覧 (16 /46)　変更	
		167	表5.1 I/Oレジスタアドレス一覧 (18 /46)　変更	
		6. リセット		
		197、198	表6.2 リセット種別ごとの初期化対象　変更	
		7. オプション設定メモリ(OFSM)		
		224	表7.2 動作モードによるオプション設定メモリのプログラム/イレーズ動作 変更	
		226	7.6.1 オプション設定メモリへのデータの配置方法　変更	
		—	7.6.2 オプション設定メモリにプログラムするデータの設定方法　削除	
		8. 電圧検出回路(LVDA)		
		228	表8.1 電圧検出回路の仕様　変更	
		9. クロック発生回路		
		281	9.9.2 SCKCR3レジスタ書き換え時の注意事項　追加	TN-RX*-A0224B/J
		11. 消費電力低減機能		
		329	11.6.1 I/Oポートの状態　変更	
		14. 割り込みコントローラ(ICUC)		
		378～384	表14.4 割り込みベクタテーブル　変更	
		386	表14.5 グループ割り込みの種類　変更	
			14.4.4 グループ割り込み (2) グループ割り込みの構成　変更	
		387、388	表14.6 グループ割り込み要因の一覧　変更	
		390	14.5 割り込みの検出　変更	
		394	14.5.3 エッジ検出グループ割り込み　変更	
			図14.11 エッジ検出グループ割り込みの動作例(グループIE0)　追加	
		396	図14.14 エッジ検出グループ割り込みの割り込み処理手順の例(グループIE0)　追加	
		398、399	14.5.4 レベル検出グループ割り込み　変更	
		409	14.10.3 ソフトウェアスタンバイモードからの復帰　変更	
		15. バス		
		410	表15.1 バスの仕様　変更	
		412	15.2.1 CPUバス　変更	
			15.2.2 メモリバス　変更	
		19. イベントリンクコントローラ(ELC)		
		563	表19.2 ELSRnレジスタと周辺モジュールの対応　変更	
		—	19.4.1 ELSRnレジスタの設定について (2) ELSR24、ELSR25、ELSR26、ELSR27レジスタの設定　削除	
		22. マルチファンクションタイマパルスユニット3 (MTU3d)		
		673	表22.5 CCLR[2:0] (MTU1, MTU2)　変更	
		710	22.2.16 タイマロングワードジェネラルレジスタm (TGRmLW) (m = A, B) 変更	
		798	図22.47 相補PWMモードの設定手順例　変更	
		804	図22.51 PWM周期の変更例(MTU3, MTU4)　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2023.10.06	863	22.6.2 カウントクロックの制限事項　変更	
			図22.133 位相計数モード時の位相差、オーバラップ、およびパルス幅 変更	
		23. ポートアウトプットイネーブル3 (POE3B)		
		913、914	表23.1 POEの仕様　変更	
		914	図23.1 POEシステムブロック図　変更	
		25. 高分解能PWM波形生成回路(HRPWM)		
		1268	25.4.3 HRPWMの遅延設定に関する注意事項　変更	
		31. USB2.0FSホスト/ファンクションモジュール(USBb)		
		1367、1368	31.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)、 D0FIFO ポート選択レジスタ (D0FIFOSEL)、 D1FIFO ポート選択レジスタ (D1FIFOSEL) ・CFIFOSEL　変更	
		1369、1370	・D0FIFOSEL、D1FIFOSEL　変更	
		1415～1418	31.3.1.4 USB外部接続回路例　変更	
		1415	図31.2 セルフパワード時のOTGデバイスとUSBコネクタとの接続例 変更	
		1416	図31.3 セルフパワード時のファンクションコントローラとUSBコネクタとの接続例　変更	TN-RX*-A0218A/J
		1417	図31.4 ホストコントローラとUSBコネクタとの接続例　変更	
		1418	図31.5 バスパワード時のファンクションコントローラとUSBコネクタとの接続例　変更	
		1420	図31.6 USB割り込みの関連図　変更	
		1454	31.4.1 モジュールストップ機能の設定　変更	
		32. シリアルコミュニケーションインタフェース(SCIj, SCIi, SCIh)		
		1471	32.2.7 送信FIFO データレジスタ (FTDR)　変更	TN-RX*-A0235B/J
		1505、1506	32.2.15 シリアル拡張モードレジスタ (SEMR)　変更	
		1523	32.2.27 シリアルポートレジスタ (SPTR)　変更	
		1539	32.3.5 CTS、RTS 機能　変更	
		1542、1543	32.3.7 SCI の初期化 (調歩同期式モード)　変更	TN-RX*-A0235B/J
		1549	32.3.8 シリアルデータの送信 (調歩同期式モード) (2) FIFO有効のSCI11の場合　変更	
		1563	32.5.3 SCIの初期化(クロック同期式モード)　変更	
			図32.28 SCIの初期化フローチャートの例(クロック同期式モード)　変更	
		1568	32.5.4 シリアルデータの送信(クロック同期式モード) (2) FIFO有効のSCI11の場合　変更	
		1578	図32.42 SCIの初期化フローチャートの例(スマートカードインタフェースモード)　変更	
		1591	図32.55 SCIの初期化フローチャート例(簡易I²Cモード)　変更	
		1599	32.8.5 SCIの初期化(簡易SPIモード)　変更	
		1618	32.12.2 調歩同期式モード、クロック同期式モードおよび簡易SPIモードにおける割り込み (1) SCI1、SCI5、SCI6、SCI8、SCI9、SCI12、およびFIFO無効のSCI11の場合　変更	
		1619	(2) FIFO有効のSCI11の場合　変更	
		1632	32.14.14 トランスミットイネーブルビット(TEビット) に関する注意事項 変更	
		33. I²Cバスインタフェース(RIICa)		
		1636、1637	33.2.1 I²Cバスコントロールレジスタ1 (ICCR1)　変更	
		1654～1656	33.2.10 I²Cバスステータスレジスタ2 (ICSR2)　変更	
		1665	33.3.3 マスタ送信動作　変更	
		1666	図33.5 マスタ送信のフローチャート例　変更	
		1699、1700	33.11.2 SCL追加出力機能　変更	
		1705	表33.7 リセット時/コンディション検出時のレジスタおよび機能のリセット状況　変更	
		35. シリアルペリフェラルインタフェース(RSPIc)		
		1774～1776	35.2.4 RSPIステータスレジスタ (SPSR)　変更	
		1790～1792	35.2.14 RSPI コマンドレジスタ m (SPCMDm) (m = 0～7)　変更	
		1794、1795	表35.5 RSPIのモードとSPCRレジスタの設定の関係および各モードの概要　と　表35.6 RSPI端子の状態と制御ビット設定値の関係　を統合	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2023.10.06	1795	35.3.2 RSPI端子の制御　変更	
		1829	35.3.11.1 マスタモード動作 (4) バースト転送　変更	
		1832	図35.37 マスタモード時の初期化フロー例(SPI動作)　変更	
		1843	図35.48 マスタモード時の初期化フロー例(クロック同期式動作)　変更	
		1848	表35.12 RSPIの割り込み要因　変更	
		39. 12ビットA/Dコンバータ(S12ADH)		
		1882	39.2.1 A/D データレジスタy (ADDRy) (y = 0 ～ 11, 16, 17)、 A/D データ二重化レジスタ(ADDBLDR)、 A/D データ二重化レジスタA (ADDBLDRA)、 A/D データ二重化レジスタB (ADDBLDRB)、 A/D 温度センサデータレジスタ(ADTSDR)、 A/D 内部基準電圧データレジスタ(ADOCDR)　変更	
		1942	図39.7 コンペア機能ウィンドウA　コンペア条件説明　変更	
		1958	図39.8 コンペア機能ウィンドウB　コンペア条件説明　変更	
		2039	図39.56 各電源端子の接続例(PGA疑似差動入力なし製品, LFQFP-144) 変更	
		2040	図39.57 各電源端子の接続例(PGA疑似差動入力なし製品、LFQFP-144以外)　変更	
		2041	図39.58 アナログ入力保護回路の例　変更	
		41. 温度センサ(TEMPS)		
		2055	41.2.1 温度センサ校正データレジスタ(TSCDR)　変更	
		2056、2057	41.3.1 使用前の準備　変更	
		2058	41.3.2 12ビットA/Dコンバータ(ユニット2)の設定　変更	
		2059	図41.3 温度センサの使用手順フロー　変更	
		45. フラッシュメモリ(FLASH)		
		2095	45.1 概要　変更	
		2096	図45.1 フラッシュメモリ関連のブロック図　変更	
		2097	表45.2 ハードウェアインタフェース用領域の情報　変更	
		2124	表45.6 書き換え方式　変更	
			表45.7 各モードの相違点　変更	
		2126	表45.9 セキュリティ機能一覧　変更	
		2129	表45.11 エラープロテクト一覧　変更	
		2137	45.6.2 リードモード　変更	
		2156	45.6.6.8 強制終了コマンド　変更	
		2160	表45.18 コンフィギュレーション設定コマンドで使用するアドレス　変更	
		2206	45.9.27 シリアルプログラミングID コード設定コマンド　変更	
		2230	45.11.1 概要　変更	
		46. 電気的特性		
		2234	表46.3 推奨動作条件(2)　変更	TN-RX*-A0270A/J
		2242	表46.11 標準出力特性(1)　追加	TN-RX*-A0219A/J
		2243	表46.12 標準出力特性(2)　追加	
		2290	表46.47 PGA特性(シングルエンド入力時)　変更	
			表46.48 PGA特性(疑似差動入力時)　変更	
		2298	表46.54 コードフラッシュメモリ特性　変更	TN-RX*-A0249A/J
		2299	表46.55 データフラッシュメモリ特性　変更	

RX72Tグループ ユーザーズマニュアル
ハードウェア編

発行年月日　2019年5月16日　Rev.1.00
　　2023年10月6日　Rev.1.10

発行　　ルネサス エレクトロニクス株式会社
　　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

RX72T グループ

ルネサス エレクトロニクス株式会社

R01UH0803JJ0110