

R8C/56E グループ、R8C/56F グループ、 R8C/56G グループ、R8C/56H グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

R8C ファミリ / R8C/5x シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイクロコンピュータのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイクロコンピュータを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用する場合は、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意事項で構成されています。

本マイクロコンピュータは、注意事項を十分に確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して、訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細はこのマニュアルの本文で確認してください。

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループでは次のドキュメントを使用しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要	R8C/56Eグループ、 R8C/56Fグループ、 R8C/56Gグループ、 R8C/56Hグループ データシート	R01DS0043JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリ マップ、周辺機能の仕様、電気的特性、 タイミング)と動作説明 ※周辺機能の使用方法はアプリケー ションノートを参照してください。	R8C/56Eグループ、 R8C/56Fグループ、 R8C/56Gグループ、 R8C/56Hグループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	R8C/5xシリーズ ユーザーズマニュアル ソフトウェア編	R01US0007JJ
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラ ムの作成方法	—	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメントなどに關 する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0レジスタのSRSTビット
P3_5端子、VCC端子
- (2) 周辺機能名、レジスタ名、端子名
周辺機能名、レジスタ名、端子名の「_」(アンダースコア)の後の数字は、複数内蔵するモジュールの番号を示します。
(例) ●周辺機能名
タイマRC : タイマRC_0、タイマRC_1
タイマRJ : タイマRJ_0、タイマRJ_1、タイマRJ_2、タイマRJ_3
●端子名
タイマRC : TRCCLK_0、TRCCLK_1
UART0 : RXD_0、RXD_1、RXD_2、RXD_3
- (3) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数 : 11b
16進数 : EFA0h
10進数 : 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

X.X.X レジスタ (シンボル)

アドレス h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル 7 6 5 — — — 1 0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0 0 ビット	b1 b0 0 0 : 0 1 : 1 0 : 設定しないでください 1 1 :	R/W R/W R/W
b1 1			
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b3	—	予約ビット	0にしてください	W
b4	—			
b5 5 ビット	動作モードによって機能が異なる	R/W
b6 6			R/W
b7 7 ビット	0 : 1 :	R

* 1

* 2

* 3

* 1
R/W : 読むとビットの状態が読めます。書くと有効データになります。
R : 読むとビットの状態が読めます。書いた値は無効になります。
W : 書くと有効データになります。ビットの状態は読めません。
— : 何も配置されていないビットです。

* 2
• 予約ビット
予約ビットです。指定された値にしてください。R/Wのビットについては、特に記載のない限り書いた値が読めます。

* 3
• 何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は0を書いてください。
• 設定しないでください
設定した場合の動作は保証されません。
• 動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

SFR ページ早見表	B - 1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.1.2 仕様概要	2
1.2 製品一覧	14
1.3 ブロック図	18
1.4 ピン配置図	19
1.5 端子機能の説明	26
2. 中央演算処理装置 (CPU)	28
2.1 データレジスタ (R0、R1、R2、R3)	29
2.2 アドレスレジスタ (A0、A1)	29
2.3 フレームベースレジスタ (FB)	29
2.4 割り込みテーブルレジスタ (INTB)	29
2.5 プログラムカウンタ (PC)	29
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	29
2.7 スタティックベースレジスタ (SB)	29
2.8 フラグレジスタ (FLG)	29
2.8.1 キャリフラグ (Cフラグ)	29
2.8.2 デバッグフラグ (Dフラグ)	29
2.8.3 ゼロフラグ (Zフラグ)	29
2.8.4 サインフラグ (Sフラグ)	29
2.8.5 レジスタバンク指定フラグ (Bフラグ)	29
2.8.6 オーバフローフラグ (Oフラグ)	30
2.8.7 割り込み許可フラグ (Iフラグ)	30
2.8.8 スタックポインタ指定フラグ (Uフラグ)	30
2.8.9 プロセッサ割り込み優先レベル (IPL)	30
2.8.10 予約ビット	30
3. アドレス空間	31
3.1 R8C/56E グループのメモリマップ	31
3.2 R8C/56F グループのメモリマップ	32
3.3 R8C/56G グループのメモリマップ	33
3.4 R8C/56H グループのメモリマップ	34
3.5 SFR	35
4. バスアクセス	59
4.1 バスアクセス	59
5. システム制御	61
5.1 概要	61
5.2 レジスタの説明	61
5.2.1 プロセッサモードレジスタ 0 (PM0)	61
5.2.2 プロセッサモードレジスタ 1 (PM1)	62
5.2.3 プロテクトレジスタ (PRCR)	63
5.2.4 オプション機能選択レジスタ 2 (OFS2)	64
5.2.5 オプション機能選択レジスタ (OFS)	65

5.3	IDコード領域	66
5.3.1	概要	66
5.3.2	機能	66
5.3.3	強制イレーズ機能	67
5.3.4	標準シリアル入出力モード禁止機能	68
5.3.5	IDコード領域使用上の注意(設定例).....	68
5.4	プロテクト	69
5.5	オプション機能選択領域.....	69
5.5.1	概要	69
5.6	システム制御使用上の注意事項	70
5.6.1	オプション機能選択領域の設定例	70
6.	リセット	71
6.1	概要.....	71
6.2	レジスタの説明	72
6.2.1	プロセッサモードレジスタ0 (PM0).....	72
6.2.2	リセット要因判別レジスタ (RSTFR)	73
6.2.3	オプション機能選択レジスタ2 (OFS2).....	74
6.2.4	オプション機能選択レジスタ (OFS).....	75
6.3	動作説明	76
6.3.1	リセットシーケンス	76
6.3.2	ハードウェアリセット	77
6.3.3	パワーオンリセット	79
6.3.4	電圧監視0リセット.....	80
6.3.5	ウォッチドッグタイマリセット	81
6.3.6	ソフトウェアリセット	81
6.3.7	コールドスタート/ウォームスタート判定機能	81
6.3.8	リセット要因判別機能	81
6.4	リセット時の状態.....	82
6.4.1	RESET端子のレベルがLの期間の端子の状態.....	82
6.4.2	リセット後のCPUレジスタの状態.....	82
6.5	リセット使用上の注意事項	83
6.5.1	RSTFRレジスタ	83
7.	電圧検出回路	84
7.1	概要.....	84
7.2	レジスタの説明	87
7.2.1	電圧監視回路制御レジスタ (CMPA)	87
7.2.2	電圧監視回路エッジ選択レジスタ (VCAC)	88
7.2.3	電圧検出レジスタ2 (VCA2).....	88
7.2.4	電圧検出1レベル選択レジスタ (VD1LS)	89
7.2.5	電圧監視0回路制御レジスタ (VW0C)	90
7.2.6	電圧監視1回路制御レジスタ (VW1C)	91
7.2.7	電圧監視2回路制御レジスタ (VW2C)	92
7.2.8	オプション機能選択レジスタ (OFS).....	93
7.3	VCC入力電圧のモニタ	94
7.3.1	Vdet0のモニタ	94
7.3.2	Vdet1のモニタ	94
7.3.3	Vdet2のモニタ	94

7.4	電圧監視0リセット	95
7.5	電圧監視1割り込み	96
7.6	電圧監視2割り込み	98
8.	ウォッチドッグタイマ	100
8.1	概要	100
8.2	レジスタの説明	102
8.2.1	リセット割り込み選択レジスタ (RISR)	103
8.2.2	ウォッチドッグタイマリセットレジスタ (WDTR).....	103
8.2.3	ウォッチドッグタイマスタートレジスタ (WDTS).....	104
8.2.4	ウォッチドッグタイマ制御レジスタ (WDTC).....	104
8.2.5	カウントソース保護モードレジスタ (CSPR).....	105
8.2.6	オプション機能選択レジスタ2 (OFS2).....	106
8.2.7	オプション機能選択レジスタ (OFS).....	107
8.3	動作説明	108
8.3.1	複数モードに関わる共通事項	108
8.3.2	カウントソース保護モード無効時	109
8.3.3	カウントソース保護モード有効時	110
9.	クロック発生回路	111
9.1	概要	111
9.2	レジスタの説明	114
9.2.1	システムクロック制御レジスタ0 (CM0)	115
9.2.2	システムクロック制御レジスタ1 (CM1)	116
9.2.3	発振停止検出レジスタ (OCD).....	117
9.2.4	システムクロック制御レジスタ3 (CM3)	118
9.2.5	システムクロック制御レジスタ4 (CM4).....	119
9.2.6	周辺クロック選択レジスタ1 (PCLKR1)	120
9.2.7	高速オンチップオシレータ制御レジスタ0 (FRA0).....	120
9.2.8	高速オンチップオシレータ制御レジスタ2 (FRA2).....	121
9.2.9	PLL制御レジスタ0 (PLC0).....	122
9.2.10	電圧検出レジスタ2 (VCA2).....	123
9.2.11	入出力機能端子選択レジスタ (PINSR).....	124
9.3	XINクロック	125
9.4	オンチップオシレータクロック	127
9.4.1	低速オンチップオシレータクロック	127
9.4.2	高速オンチップオシレータクロック	127
9.5	PLLクロック	128
9.6	CPUクロックと周辺機能クロック	130
9.6.1	システムクロック	130
9.6.2	CPUクロック	130
9.6.3	周辺機能クロック (f1、f2、f4、f8、f32).....	130
9.6.4	fOCO.....	130
9.6.5	fHOCO.....	130
9.6.6	fHOCO-F	130
9.6.7	fLOCO	130
9.6.8	fOCO128.....	131
9.6.9	fLOCOWDT	131
9.6.10	CANクロック	131

9.7	発振停止検出機能	132
9.7.1	発振停止検出機能の使用方法	132
9.8	クロック発生回路使用上の注意事項	135
9.8.1	発振停止検出機能	135
9.8.2	発振回路定数	135
10.	パワーコントロール	136
10.1	概要	136
10.2	レジスタの説明	137
10.2.1	システムクロック制御レジスタ0 (CM0)	137
10.2.2	システムクロック制御レジスタ1 (CM1)	138
10.2.3	システムクロック制御レジスタ3 (CM3)	139
10.2.4	システムクロック制御レジスタ4 (CM4)	140
10.2.5	高速オンチップオシレータ制御レジスタ0 (FRA0)	141
10.2.6	STBY VDC電力制御レジスタ (SVDC)	141
10.2.7	モジュールスタンバイコントロールレジスタ0 (MSTCR0)	142
10.2.8	モジュールスタンバイコントロールレジスタ1 (MSTCR1)	142
10.2.9	モジュールスタンバイコントロールレジスタ2 (MSTCR2)	143
10.2.10	モジュールスタンバイコントロールレジスタ3 (MSTCR3)	143
10.3	標準動作モード	144
10.3.1	高速クロックモード	145
10.3.2	高速オンチップオシレータモード	145
10.3.3	低速オンチップオシレータモード	145
10.3.4	PLL動作モード	145
10.4	ウェイトモード	146
10.4.1	周辺機能クロック停止機能	146
10.4.2	ウェイトモードへの移行	146
10.4.3	ウェイトモード時の端子の状態	146
10.4.4	ウェイトモードからの復帰	147
10.5	ストップモード	150
10.5.1	ストップモードへの移行	150
10.5.2	ストップモード時の端子の状態	150
10.5.3	ストップモードからの復帰	151
10.6	消費電力の低減	152
10.6.1	電圧検出回路	152
10.6.2	ポート	152
10.6.3	クロック	152
10.6.4	ウェイトモード、ストップモード	152
10.6.5	周辺機能クロックの停止	152
10.6.6	タイマ	152
10.6.7	A/Dコンバータ	153
10.6.8	クロック同期形シリアルインタフェースおよびシリアルインタフェース	153
10.6.9	内部電源の消費電力低減(低消費電力モード)	153
10.6.10	フラッシュメモリの停止	155
10.6.11	低消費電流リードモード	156
10.7	パワーコントロール使用上の注意事項	157
10.7.1	ストップモード	157
10.7.2	ウェイトモード	157

11.	割り込み	158
11.1	概要	158
11.1.1	割り込みの分類	158
11.1.2	ソフトウェア割り込み	159
11.1.3	特殊割り込み	159
11.2	レジスタの説明	161
11.2.1	割り込み制御レジスタ (FMRDYIC、TRJIC_1、INT4IC、TRCIC_0、TRD0IC_0、TRD1IC_0、TRE2IC、U2TIC、 U2RIC、KUPIC、ADIC、SSUIC_0/IICIC_0、TRFIC、U0TIC_0、U0RIC_0、U0TIC_1、 U0RIC_1、INT2IC、TRJIC_0、TRB2IC_0、INT1IC、INT3IC、INT0IC、U2BCNIC、TRGIC、 CANRXIC_0、CANTXIC_0、CANERIC_0、VCMP1IC、VCMP2IC、SSUIC_1/IICIC_1、 TRCIC_1)	162
11.2.2	外部入力許可レジスタ0 (INTEN)	163
11.2.3	外部入力許可レジスタ1 (INTEN1)	164
11.2.4	INT入力フィルタ選択レジスタ0 (INTF)	165
11.2.5	INT入力フィルタ選択レジスタ1 (INTF1)	166
11.2.6	INT入力極性切り替えレジスタ (INTPOL)	166
11.2.7	キー入力割り込み許可レジスタ (KIEN)	167
11.2.8	アドレス一致割り込みアドレスijレジスタ (AIADRIj) (i = 0、1、j = L、H)	168
11.2.9	アドレス一致割り込み許可iレジスタ (AIENi) (i = 0、1)	168
11.2.10	INT割り込み入力端子選択レジスタ0 (INTSR0)	169
11.3	割り込みと割り込みベクタ	170
11.3.1	固定ベクタテーブル	170
11.3.2	可変ベクタテーブル	171
11.4	割り込み制御	173
11.4.1	Iフラグ	173
11.4.2	IRビット	173
11.4.3	ILVL0～ILVL2ビット、IPL	173
11.4.4	割り込みシーケンス	174
11.4.5	割り込み応答時間	175
11.4.6	割り込み要求受付時のIPLの変化	175
11.4.7	レジスタ退避	176
11.4.8	割り込みルーチンからの復帰	178
11.4.9	割り込み優先順位	178
11.4.10	割り込み優先レベル判定回路	179
11.5	INT割り込み	180
11.5.1	INTi割り込み (i = 0～4)	180
11.5.2	INTi入力フィルタ (i = 0～4)	181
11.6	キー入力割り込み	182
11.7	アドレス一致割り込み	183
11.8	タイマRC割り込み、タイマRD割り込み、タイマRE2割り込み、タイマRF割り込み、 タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット/ I ² Cバスインタフェース割り込み、CAN送信割り込み、CAN受信割り込み、CANエラー割り 込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)	184
11.9	割り込み使用上の注意事項	187
11.9.1	00000h番地の読み出し	187
11.9.2	SPの設定	187
11.9.3	外部割り込み、キー入力割り込み	187
11.9.4	割り込み要因の変更	188
11.9.5	割り込み制御レジスタの変更	189

12.	イベントリンクコントローラ (ELC)	190
12.1	概要	190
12.2	レジスタの説明	191
12.2.1	イベント出力先選択レジスタ n (ELSELRn) (n = 0~4、8~28、45~48)	192
12.3	動作説明	195
13.	DTC	197
13.1	概要	197
13.2	レジスタの説明	199
13.2.1	DTC 起動制御レジスタ (DTCTL)	202
13.2.2	DTC 起動許可レジスタ i (DTCENi) (i = 0~6)	203
13.2.3	DTC 制御レジスタ j (DTCCRj) (j = 0~23)	204
13.2.4	DTC ブロックサイズレジスタ j (DTBLSj) (j = 0~23)	204
13.2.5	DTC 転送回数レジスタ j (DTCCTj) (j = 0~23)	204
13.2.6	DTC 転送回数リロードレジスタ j (DTRLdj) (j = 0~23)	205
13.2.7	DTC ソースアドレスレジスタ j (DTSARj) (j = 0~23)	205
13.2.8	DTC デステイネーションアドレスレジスタ j (DTDARj) (j = 0~23)	205
13.3	動作説明	206
13.3.1	概要	206
13.3.2	起動要因	206
13.3.3	コントロールデータの配置と DTC ベクタテーブル	208
13.3.4	ノーマルモード	214
13.3.5	リピートモード	215
13.3.6	チェイン転送	216
13.3.7	割り込み要因	216
13.3.8	動作タイミング	217
13.3.9	DTC 実行サイクル数	218
13.3.10	DTC 起動要因受付と割り込み要因フラグ	219
13.4	DTC 使用上の注意事項	220
13.4.1	DTC 起動要因	220
13.4.2	DTCENi レジスタ (i = 0~6)	220
13.4.3	周辺モジュール	220
13.4.4	割り込み要求	220
13.4.5	DTC の起動	220
14.	I/Oポート	221
14.1	概要	221
14.2	I/Oポートの機能	222
14.3	I/Oポート以外の端子	222
14.4	周辺機能への入出力	231
14.4.1	周辺機能入出力と PDi ビット (i = 0~6、8、9、C)	231
14.5	レジスタの説明	232
14.5.1	タイマ RJ_0 端子選択レジスタ (TRJ_0SR)	233
14.5.2	タイマ RJ_1 端子選択レジスタ (TRJ_1SR)	234
14.5.3	タイマ RB2 端子選択レジスタ (TRBSR)	235
14.5.4	タイマ RCCLK 端子選択レジスタ (TRCCLKSR)	236
14.5.5	タイマ RC_0 端子選択レジスタ 0 (TRC_0SR0)	237
14.5.6	タイマ RC_0 端子選択レジスタ 1 (TRC_0SR1)	238
14.5.7	タイマ RC_1 端子選択レジスタ (TRC_1SR)	239

14.5.8	タイマRD_0端子選択レジスタ0 (TRD_0SR0).....	240
14.5.9	タイマRD_0端子選択レジスタ1 (TRD_0SR1).....	241
14.5.10	タイマ端子選択レジスタ (TIMSR).....	242
14.5.11	UART0_0端子選択レジスタ (U_0SR).....	243
14.5.12	UART0_1端子選択レジスタ (U_1SR).....	244
14.5.13	UART2端子選択レジスタ0 (U2SR0).....	245
14.5.14	UART2端子選択レジスタ1 (U2SR1).....	246
14.5.15	SSU/IIC_0端子選択レジスタ (SSUIIC_0SR).....	247
14.5.16	INT割り込み入力端子選択レジスタ0 (INTSR0).....	248
14.5.17	入出力機能端子選択レジスタ (PINSR).....	249
14.5.18	プルアップ制御レジスタ0 (PUR0).....	250
14.5.19	プルアップ制御レジスタ1 (PUR1).....	250
14.5.20	プルアップ制御レジスタ2 (PUR2).....	251
14.5.21	プルアップ制御レジスタ3 (PUR3).....	251
14.5.22	ポートP1駆動能力制御レジスタ (P1DRR).....	252
14.5.23	ポートP2駆動能力制御レジスタ (P2DRR).....	252
14.5.24	ポートPC駆動能力制御レジスタ (PCDRR).....	253
14.5.25	駆動能力制御レジスタ0 (DRR0).....	254
14.5.26	駆動能力制御レジスタ1 (DRR1).....	255
14.5.27	駆動能力制御レジスタ2 (DRR2).....	256
14.5.28	入力しきい値制御レジスタ0 (VLT0).....	257
14.5.29	入力しきい値制御レジスタ1 (VLT1).....	258
14.5.30	入力しきい値制御レジスタ2 (VLT2).....	258
14.5.31	入力しきい値制御レジスタ3 (VLT3).....	259
14.5.32	ポートPiレジスタ (PORTi) (i = 0~6、8、9、C).....	260
14.5.33	ポートPi方向レジスタ (PDi) (i = 0~6、8、9、C).....	261
14.5.34	端子選択レジスタで制御されない入出力端子.....	262
14.6	未使用端子の処理.....	263
15.	タイマRJ.....	264
15.1	概要.....	264
15.2	入出力端子.....	265
15.3	レジスタの説明.....	266
15.3.1	タイマRJカウンタレジスタ (TRJ).....	266
15.3.2	タイマRJ制御レジスタ (TRJCR).....	267
15.3.3	タイマRJ I/O制御レジスタ (TRJIOC).....	269
15.3.4	タイマRJモードレジスタ (TRJMR).....	271
15.3.5	タイマRJイベント端子選択レジスタ (TRJISR).....	272
15.4	動作説明.....	273
15.4.1	リロードレジスタとカウンタの書き換え動作.....	273
15.4.2	タイマモード.....	274
15.4.3	パルス出力モード.....	275
15.4.4	イベントカウンタモード.....	276
15.4.5	パルス幅測定モード.....	277
15.4.6	パルス周期測定モード.....	278
15.4.7	イベントリンクコントローラ (ELC)との連携による動作.....	279
15.4.8	各モードの入出力設定.....	279
15.5	タイマRJ使用上の注意事項.....	280

16.	タイマRB2.....	282
16.1	概要.....	282
16.2	入出力端子.....	284
16.3	レジスタの説明.....	285
16.3.1	タイマRB2制御レジスタ (TRBCR).....	286
16.3.2	タイマRB2ワンショット制御レジスタ (TRBOCR).....	287
16.3.3	タイマRB2 I/O制御レジスタ (TRBIOC).....	288
16.3.4	タイマRB2モードレジスタ (TRBMR).....	289
16.3.5	タイマRB2プリスケアラレジスタ (TRBPRES).....	290
16.3.6	タイマRB2プライマリレジスタ (TRBPR).....	291
16.3.7	タイマRB2セカンダリレジスタ (TRBSC).....	292
16.3.8	タイマRB2割り込み要求レジスタ (TRBIR).....	293
16.4	動作説明.....	294
16.4.1	タイマモード.....	294
16.4.2	プログラマブル波形発生モード.....	296
16.4.3	プログラマブルワンショット発生モード.....	299
16.4.4	プログラマブルウェイトワンショット発生モード.....	302
16.5	選択機能.....	305
16.5.1	TRBPRES、TRBPR、TRBSCレジスタの構造と更新タイミング.....	305
16.5.2	TWRCビットによるプリスケアラとカウンタ動作.....	307
16.5.3	TOCNTビットの設定と端子状態.....	312
16.5.4	イベントリンクコントローラ (ELC)との連携による動作.....	312
16.6	割り込み要求.....	313
16.7	INT0入力トリガ選択.....	313
16.8	タイマRB2使用上の注意事項.....	314
17.	タイマRC.....	316
17.1	概要.....	316
17.2	レジスタの説明.....	319
17.2.1	タイマRCカウンタ (TRCCNT).....	320
17.2.2	タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD).....	321
17.2.3	タイマRCモードレジスタ (TRCMR).....	322
17.2.4	タイマRC制御レジスタ1 (TRCCR1).....	324
17.2.5	タイマRC割り込み許可レジスタ (TRCIER).....	325
17.2.6	タイマRCステータスレジスタ (TRCSR).....	326
17.2.7	タイマRC I/O制御レジスタ0 (TRCIOR0).....	327
17.2.8	タイマRC I/O制御レジスタ1 (TRCIOR1).....	328
17.2.9	タイマRC制御レジスタ2 (TRCCR2).....	329
17.2.10	タイマRCデジタルフィルタ機能選択レジスタ (TRCDF).....	330
17.2.11	タイマRC出力許可レジスタ (TRCOER).....	331
17.2.12	タイマRC A/D変換トリガ制御レジスタ (TRCADCR).....	332
17.2.13	タイマRC出力波形操作レジスタ (TRCOPR).....	333
17.2.14	タイマRC ELC連動制御レジスタ (TRCELCCR).....	334
17.3	動作説明.....	335
17.3.1	タイマモード.....	337
17.3.2	PWMモード.....	341
17.3.3	PWM2モード.....	345
17.4	選択機能.....	352

17.4.1	インプットキャプチャ入力デジタルフィルタ	352
17.4.2	A/D変換開始トリガ	353
17.4.3	ジェネラルレジスタと出力端子変更	354
17.4.4	出力波形操作	356
17.5	動作タイミング	359
17.5.1	TRCCNTレジスタのカウントタイミング	359
17.5.2	アウトプットコンペア出力タイミング	360
17.5.3	インプットキャプチャ入力タイミング	360
17.5.4	コンペア一致によるカウンタクリアのタイミング	361
17.5.5	バッファ動作のタイミング	361
17.5.6	コンペア一致時のIMFA～IMFDビットタイミング	362
17.5.7	インプットキャプチャ時のIMFA～IMFDビットタイミング	362
17.5.8	IMFA～IMFDビットおよびOVFビットが0になるタイミング	363
17.5.9	コンペア一致によるA/D変換開始トリガのタイミング	363
17.6	タイマRC割り込み	364
17.7	タイマRC使用上の注意事項	365
17.7.1	TRCCNTレジスタ	365
17.7.2	TRCCR1レジスタ	365
17.7.3	TRCSRレジスタ	365
17.7.4	カウントソースの切り替え	365
17.7.5	インプットキャプチャ機能	367
17.7.6	PWM2モード時のTRCMRレジスタ	367
17.7.7	モジュールスタンバイ	367
17.7.8	モードの切り替え	367
17.7.9	カウント停止時のインプットキャプチャ動作	367
18.	タイマRD	368
18.1	概要	368
18.2	レジスタの説明	370
18.2.1	タイマRD ELC連動制御レジスタ (TRDELCCR)	371
18.2.2	タイマRDトリガ制御レジスタ (TRDADCR)	372
18.2.3	タイマRDスタートレジスタ (TRDSTR)	373
18.2.4	タイマRDモードレジスタ (TRDMR)	374
18.2.5	タイマRD PWMモードレジスタ (TRDPMR)	374
18.2.6	タイマRD機能制御レジスタ (TRDFCR)	375
18.2.7	タイマRD出力マスタ許可レジスタ1 (TRDOER1)	376
18.2.8	タイマRD出力マスタ許可レジスタ2 (TRDOER2)	377
18.2.9	タイマRD出力制御レジスタ (TRDOCR)	377
18.2.10	タイマRDデジタルフィルタ機能選択レジスタi (TRDDFi) (i = 0、1)	379
18.2.11	タイマRD制御レジスタi (TRDCRi) (i = 0、1)	380
18.2.12	タイマRD I/O制御レジスタAi (TRDIORAi) (i = 0、1)	383
18.2.13	タイマRD I/O制御レジスタCi (TRDIORCi) (i = 0、1)	385
18.2.14	タイマRDステータスレジスタi (TRDSRi) (i = 0、1)	387
18.2.15	タイマRD割り込み許可レジスタi (TRDIERi) (i = 0、1)	389
18.2.16	タイマRD PWMモード出力レベル制御レジスタi (TRDPOCRi) (i = 0、1)	389
18.2.17	タイマRDカウンタi (TRDi) (i = 0、1)	390
18.2.18	タイマRDジェネラルレジスタji (TRDGRji) (i = 0、1、j = A、B、C、D)	391
18.3	動作説明	397
18.3.1	複数モードに関わる共通事項	397

18.3.2	インプットキャプチャ機能	406
18.3.3	アウトプットコンペア機能	410
18.3.4	PWMモード	415
18.3.5	リセット同期PWMモード	419
18.3.6	相補PWMモード	422
18.3.7	PWM3モード	426
18.3.8	タイマRD割り込み	429
18.4	タイマRD使用上の注意事項	431
18.4.1	SFR リード/ライトアクセス	431
18.4.2	モードの切り替え	432
18.4.3	カウントソース切り替え	432
18.4.4	インプットキャプチャ機能	433
18.4.5	リセット同期PWMモード	433
18.4.6	相補PWMモード	434
18.4.7	カウント停止時のインプットキャプチャ動作	437
19.	タイマRE2	438
19.1	概要	438
19.2	レジスタの説明	440
19.2.1	タイマRE2カウンタデータレジスタ (TRESEC)	440
19.2.2	タイマRE2コンペアデータレジスタ (TREMIND)	441
19.2.3	タイマRE2制御レジスタ (TRECRCR)	442
19.2.4	タイマRE2カウントソース選択レジスタ (TRECSCR)	443
19.2.5	タイマRE2割り込みフラグレジスタ (TREIFR)	444
19.2.6	タイマRE2割り込み許可レジスタ (TREIER)	445
19.2.7	タイマRE2プロテクトレジスタ (TRECPRC)	445
19.3	コンペアー一致タイマモードの動作説明	446
19.3.1	動作例	446
19.3.2	関連レジスタの設定例	446
19.4	割り込み要因	448
19.5	タイマRE2使用上の注意事項	449
20.	タイマRF	450
20.1	概要	450
20.2	レジスタの説明	453
20.2.1	タイマRFレジスタ (TRF)	453
20.2.2	タイマRF出力制御レジスタ (TRFOUT)	454
20.2.3	タイマRF入力制御レジスタ (TRFIN)	454
20.2.4	タイマRFステータスレジスタ (TRFSR)	455
20.2.5	タイマRF割り込み許可レジスタ (TRFIER)	455
20.2.6	タイマRF制御レジスタ0 (TRFCR0)	456
20.2.7	タイマRF制御レジスタ1 (TRFCR1)	457
20.2.8	タイマRFキャプチャコンペア0レジスタ (TRFM0)	458
20.2.9	タイマRFコンペア1レジスタ (TRFM1)	458
20.3	機能説明	459
20.3.1	複数モードに関わる共通事項	459
20.3.2	インプットキャプチャモード	459
20.3.3	アウトプットコンペアモード	463
20.3.4	タイマRF割り込み	467

20.4	タイマRF使用上の注意事項	468
20.4.1	レジスタアクセス	468
20.4.2	カウント停止時のインプットキャプチャ動作	468
20.4.3	モード切り替え	468
20.4.4	カウントソース切り替え	468
20.4.5	コンペア出力の切り替え	469
20.4.6	PORT8レジスタ(PORTモジュール)の変更	469
21.	タイマRG	470
21.1	概要	470
21.2	レジスタの説明	472
21.2.1	タイマRGモードレジスタ(TRGMR)	473
21.2.2	タイマRGカウンタ制御レジスタ(TRGCNTC)	474
21.2.3	タイマRG制御レジスタ(TRGCR)	475
21.2.4	タイマRG割り込み許可レジスタ(TRGIER)	476
21.2.5	タイマRGステータスレジスタ(TRGSR)	477
21.2.6	タイマRG I/O制御レジスタ(TRGIOR)	478
21.2.7	タイマRGカウンタ(TRG)	479
21.2.8	タイマRGジェネラルレジスタA、B、C、D (TRGGRA、TRGGRB、TRGGRC、TRGGRD)	480
21.3	動作説明	482
21.3.1	複数モードに関わる共通事項	482
21.3.2	タイマモード(インプットキャプチャ機能)	486
21.3.3	タイマモード(アウトプットコンペア機能)	489
21.3.4	PWMモード	493
21.3.5	位相計数モード	497
21.3.6	タイマRG割り込み	500
21.4	タイマRG使用上の注意事項	501
21.4.1	位相計数モード時の位相差、オーバーラップ、およびパルス幅	501
21.4.2	モード切り替え	501
21.4.3	カウントソース切り替え	501
21.4.4	SFRリード/ライトアクセス	502
21.4.5	カウント停止時のインプットキャプチャ動作	502
22.	シリアルインタフェース(UART0)	503
22.1	概要	503
22.2	レジスタの説明	506
22.2.1	UART0送受信モードレジスタ(U0MR)	506
22.2.2	UART0ビットレートレジスタ(U0BRG)	507
22.2.3	UART0送信バッファレジスタ(U0TB)	507
22.2.4	UART0送受信制御レジスタ0(U0C0)	508
22.2.5	UART0送受信制御レジスタ1(U0C1)	509
22.2.6	UART0受信バッファレジスタ(U0RB)	510
22.2.7	UART0割り込みフラグと許可レジスタ(U0IR)	511
22.3	動作説明	512
22.3.1	クロック同期形シリアルI/Oモード	512
22.3.2	クロック非同期形シリアルI/O(UART)モード	517
22.4	UART0の割り込み	523
22.5	シリアルインタフェース(UART0)使用上の注意事項	524

22.5.1	動作モード共通	524
23.	シリアルインタフェース (UART2).....	525
23.1	概要.....	525
23.2	レジスタの説明	530
23.2.1	UART2送受信モードレジスタ (U2MR).....	531
23.2.2	UART2ビットレートレジスタ (U2BRG).....	531
23.2.3	UART2送信バッファレジスタ (U2TB).....	532
23.2.4	UART2送受信制御レジスタ0 (U2C0).....	533
23.2.5	UART2送受信制御レジスタ1 (U2C1).....	534
23.2.6	UART2受信バッファレジスタ (U2RB).....	535
23.2.7	UART2デジタルフィルタ機能選択レジスタ (U2RXDF).....	536
23.2.8	UART2特殊モードレジスタ5 (U2SMR5).....	537
23.2.9	UART2特殊モードレジスタ3 (U2SMR3).....	537
23.2.10	UART2特殊モードレジスタ (U2SMR).....	538
23.3	動作説明	539
23.3.1	クロック同期形シリアルI/Oモード (SIOモード).....	539
23.3.2	クロック非同期形シリアルI/O (UART)モード	544
23.3.3	特殊モード3 (IEモード).....	552
23.3.4	マルチプロセッサ通信モード	554
23.3.5	UART2割り込み要因	559
23.4	シリアルインタフェース (UART2)使用上の注意事項	560
23.4.1	動作モード共通	560
23.4.2	クロック同期形シリアルI/Oモード	560
24.	クロック同期形シリアルインタフェース	562
24.1	概要.....	562
24.1.1	モード選択	562
24.1.2	シンクロナスシリアルコミュニケーションユニット (SSU).....	563
24.1.3	I ² Cバスインタフェース	565
24.2	レジスタの説明	568
24.2.1	I ² C制御レジスタ (IICCR).....	569
24.2.2	SSビットカウンタレジスタ (SSBR).....	570
24.2.3	SI送信データレジスタ (SITDR).....	571
24.2.4	SI受信データレジスタ (SIRDR).....	571
24.2.5	SI制御レジスタ1 (SICR1).....	572
24.2.6	SI制御レジスタ2 (SICR2).....	574
24.2.7	SIモードレジスタ1 (SIMR1).....	576
24.2.8	SI割り込み許可レジスタ (SIER).....	578
24.2.9	SIステータスレジスタ (SISR).....	580
24.2.10	SIモードレジスタ2 (SIMR2).....	582
24.3	シンクロナスシリアルコミュニケーションユニット (SSU)の動作説明	584
24.3.1	クロック同期式通信モード、4線式バス通信モードにかかわる共通事項	584
24.3.2	クロック同期式通信モード	588
24.3.3	4線式バス通信モード	596
24.4	I ² Cバスインタフェースの動作説明	603
24.4.1	I ² Cバスインタフェースモード、クロック同期式シリアルモードにかかわる共通事項	603
24.4.2	I ² Cバスインタフェースモード	607
24.4.3	クロック同期式シリアルモード	619

24.4.4	レジスタ設定例	622
24.4.5	ノイズ除去回路	626
24.4.6	ビット同期回路	626
24.4.7	DTCとの連携動作	627
24.4.8	I ² Cバスインタフェースモード時の制御部リセット手順	630
24.5	クロック同期形シリアルインタフェース使用上の注意事項	631
24.5.1	シンクロナスシリアルコミュニケーションユニット使用上の注意	631
24.5.2	I ² Cバスインタフェース使用上の注意	631
24.5.3	SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット	631
25.	ハードウェアLIN	633
25.1	概要	633
25.2	入出力端子	634
25.3	レジスタの説明	634
25.3.1	LIN特殊機能レジスタ(LINCR2)	635
25.3.2	LIN制御レジスタ(LINCT)	635
25.3.3	LINステータスレジスタ(LINST)	636
25.4	動作説明	637
25.4.1	マスタモード	637
25.4.2	スレーブモード	640
25.4.3	バス衝突検出機能	644
25.4.4	ハードウェアLIN終了処理	645
25.5	割り込み要求	646
25.6	ハードウェアLIN使用上の注意事項	647
26.	CANモジュール	648
26.1	概要	648
26.2	レジスタの説明	651
26.2.1	CANメールボックス(CMBj) (j = 0 ~ 15)	653
26.2.2	CANマスクレジスタk (CMKRk) (k = 0 ~ 3)	657
26.2.3	CAN FIFO受信ID比較レジスタn (CFIDCRn) (n = 0, 1)	658
26.2.4	CANマスク無効レジスタ(CMKIVLR)	659
26.2.5	CANメールボックス割り込み許可レジスタ(CMIER)	660
26.2.6	CANメッセージ制御レジスタj (CMCTLj) (j = 0 ~ 15)	661
26.2.7	CAN制御レジスタ(CCTLR)	665
26.2.8	CANステータスレジスタ(CSTR)	670
26.2.9	CANビットコンフィグレーションレジスタ(CBCR)	673
26.2.10	CANクロック選択レジスタ(CCLKR)	674
26.2.11	CAN受信FIFO制御レジスタ(CRFCR)	675
26.2.12	CAN受信FIFOポインタ制御レジスタ(CRFPCR)	677
26.2.13	CAN送信FIFO制御レジスタ(CTFCR)	678
26.2.14	CAN送信FIFOポインタ制御レジスタ(CTFPCR)	679
26.2.15	CANエラー割り込み許可レジスタ(CEIER)	680
26.2.16	CANエラー割り込み要因判定レジスタ(CEIFR)	682
26.2.17	CAN受信エラーカウントレジスタ(CRECR)	684
26.2.18	CAN送信エラーカウントレジスタ(CTECCR)	684
26.2.19	CANエラーコード格納レジスタ(CECSR)	685
26.2.20	CANチャネルサーチサポートレジスタ(CCSSR)	686
26.2.21	CANメールボックスサーチステータスレジスタ(CMSSR)	687

26.2.22	CANメールボックスサーチモードレジスタ (CMSMR).....	688
26.2.23	CANタイムスタンプレジスタ (CTSR).....	689
26.2.24	CANアクセプタンスフィルタサポートレジスタ (CAFSR).....	690
26.2.25	CANテスト制御レジスタ (CTCR).....	691
26.2.26	CAN割り込みステータスレジスタ (CANISR).....	693
26.2.27	CAN割り込み制御レジスタ (CANIE).....	693
26.3	動作モード.....	696
26.3.1	CANリセットモード.....	697
26.3.2	CAN Haltモード.....	698
26.3.3	CANスリープモード.....	699
26.3.4	CANオペレーションモード(バスオフ状態以外).....	699
26.3.5	CANオペレーションモード(バスオフ状態).....	700
26.4	CAN通信速度の設定.....	701
26.4.1	CANクロックの設定.....	701
26.4.2	ビットタイミングの設定.....	701
26.4.3	ビットレート.....	702
26.5	メールボックスとマスクレジスタの構成.....	703
26.6	アクセプタンスフィルタ機能とマスク機能.....	704
26.7	受信、送信.....	706
26.7.1	受信.....	707
26.7.2	送信.....	709
26.8	CAN割り込み.....	710
27.	A/Dコンバータ.....	711
27.1	概要.....	711
27.2	レジスタの説明.....	714
27.2.1	チップ内蔵基準電圧制御レジスタ (OCVREFCR).....	714
27.2.2	A/Dレジスタ <i>i</i> (AD <i>i</i>) (<i>i</i> = 0~7).....	715
27.2.3	A/Dモードレジスタ (ADM <small>OD</small>).....	716
27.2.4	A/D入力選択レジスタ (AD <small>INSEL</small>).....	717
27.2.5	A/D制御レジスタ0 (AD <small>CON0</small>).....	718
27.2.6	A/D制御レジスタ1 (AD <small>CON1</small>).....	719
27.3	複数モードに関わる共通事項.....	720
27.3.1	入出力端子.....	720
27.3.2	A/D変換サイクル数.....	720
27.3.3	A/D変換開始条件.....	722
27.3.4	A/D変換結果.....	724
27.3.5	分解能(8ビット/10ビットモード).....	724
27.3.6	消費電流低減機能.....	724
27.3.7	チップ内蔵基準電圧(OCVREF).....	724
27.3.8	A/D断線検出アシスト機能.....	725
27.4	単発モード.....	726
27.5	繰り返しモード0.....	727
27.6	繰り返しモード1.....	728
27.7	単掃引モード.....	730
27.8	繰り返し掃引モード.....	732
27.9	A/D変換時のセンサの出力インピーダンス.....	734
27.10	A/Dコンバータ使用上の注意事項.....	735
27.10.1	A/D変換中の注意事項.....	735

27.10.2	クロック源の切り替え	735
27.10.3	端子処理	735
28.	コンパレータ B	736
28.1	概要	736
28.2	レジスタの説明	738
28.2.1	コンパレータ B 制御レジスタ 0 (INTCMP)	738
28.3	動作説明	739
28.3.1	コンパレータ Bi デジタルフィルタ (i = 1、3)	740
28.4	コンパレータ B1、コンパレータ B3 割り込み	741
29.	フラッシュメモリ	743
29.1	概要	743
29.2	メモリ配置	744
29.3	レジスタの説明	746
29.3.1	フラッシュメモリステータスレジスタ (FST)	746
29.3.2	フラッシュメモリ制御レジスタ 0 (FMR0)	749
29.3.3	フラッシュメモリ制御レジスタ 1 (FMR1)	752
29.3.4	フラッシュメモリ制御レジスタ 2 (FMR2)	754
29.3.5	オプション機能選択レジスタ (OFS)	756
29.4	フラッシュメモリ書き換え禁止機能	757
29.4.1	ID コードチェック機能	757
29.4.2	ROM コードプロテクト機能	757
29.5	CPU 書き換えモード	758
29.5.1	EW0 モード	759
29.5.2	EW1 モード	759
29.5.3	各モードの設定と解除方法	760
29.5.4	サスペンド動作	761
29.5.5	BGO (バックグラウンドオペレーション) 機能	762
29.5.6	データ保護機能	763
29.5.7	ソフトウェアコマンド	764
29.5.8	フルステータスチェック	773
29.6	標準シリアル入出力モード	775
29.6.1	ID コードチェック機能	775
29.7	パラレル入出力モード	778
29.7.1	ROM コードプロテクト機能	778
29.8	フラッシュメモリ使用上の注意	779
29.8.1	CPU 書き換えモード	779
30.	CRC	783
30.1	概要	783
30.2	レジスタの説明	784
30.2.1	SFR 監視アドレスレジスタ (CRCSAR)	784
30.2.2	CRC 制御レジスタ (CRCMR)	785
30.2.3	CRC データレジスタ (CRCD)	786
30.2.4	CRC インพุットレジスタ (CRCIN)	786
30.3	動作説明	787
30.4	SFR アクセス監視機能	787
30.5	使用方法	787

31.	ペリフェラルマッピングコントローラ (PMC)	788
31.1	概要	788
31.1.1	PMCSELレジスタで未選択となった端子について	788
31.2	周辺機能の割り当て	789
31.3	レジスタの説明	791
31.3.1	端子配置選択レジスタ (PMCSEL)	791
31.4	ペリフェラルマッピングコントローラ (PMC) 使用上の注意事項	792
31.4.1	端子配置選択レジスタ (PMCSEL) の設定	792
32.	電気的特性	793
32.1	絶対最大定格	793
32.2	推奨動作条件	794
32.3	周辺機能の特性	797
32.4	DC特性	804
32.5	AC特性	810
33.	使用上の注意事項集	819
33.1	システム制御使用上の注意事項	819
33.1.1	オプション機能選択領域の設定例	819
33.2	リセット使用上の注意事項	820
33.2.1	RSTFRレジスタ	820
33.3	クロック発生回路使用上の注意事項	821
33.3.1	発振停止検出機能	821
33.3.2	発振回路定数	821
33.4	パワーコントロール使用上の注意事項	822
33.4.1	ストップモード	822
33.4.2	ウェイトモード	822
33.5	割り込み使用上の注意事項	823
33.5.1	0000h番地の読み出し	823
33.5.2	SPの設定	823
33.5.3	外部割り込み、キー入力割り込み	823
33.5.4	割り込み要因の変更	824
33.5.5	割り込み制御レジスタの変更	825
33.6	DTC使用上の注意事項	826
33.6.1	DTC起動要因	826
33.6.2	DTCENiレジスタ (i = 0 ~ 6)	826
33.6.3	周辺モジュール	826
33.6.4	割り込み要求	826
33.6.5	DTCの起動	826
33.7	タイマRJ使用上の注意事項	827
33.8	タイマRB2使用上の注意事項	829
33.9	タイマRC使用上の注意事項	831
33.9.1	TRCCNTレジスタ	831
33.9.2	TRCCR1レジスタ	831
33.9.3	TRCSRレジスタ	831
33.9.4	カウントソースの切り替え	831
33.9.5	インプットキャプチャ機能	833
33.9.6	PWM2モード時のTRCMRレジスタ	833
33.9.7	モジュールスタンバイ	833

33.9.8	モードの切り替え	833
33.9.9	カウント停止時のインプットキャプチャ動作	833
33.10	タイマRD使用上の注意事項.....	834
33.10.1	SFRリード/ライトアクセス	834
33.10.2	モードの切り替え	835
33.10.3	カウントソース切り替え	835
33.10.4	インプットキャプチャ機能	836
33.10.5	リセット同期PWMモード	836
33.10.6	相補PWMモード	837
33.10.7	カウント停止時のインプットキャプチャ動作	840
33.11	タイマRE2使用上の注意事項	841
33.12	タイマRF使用上の注意事項	842
33.12.1	レジスタアクセス	842
33.12.2	カウント停止時のインプットキャプチャ動作	842
33.12.3	モード切り替え	842
33.12.4	カウントソース切り替え	842
33.12.5	コンペア出力の切り替え	843
33.12.6	PORT8レジスタ(PORTモジュール)の変更	843
33.13	タイマRG使用上の注意事項.....	844
33.13.1	位相計数モード時の位相差、オーバーラップ、およびパルス幅	844
33.13.2	モード切り替え	844
33.13.3	カウントソース切り替え	844
33.13.4	SFRリード/ライトアクセス	845
33.13.5	カウント停止時のインプットキャプチャ動作	845
33.14	シリアルインタフェース(UART0)使用上の注意事項.....	846
33.14.1	動作モード共通	846
33.15	シリアルインタフェース(UART2)使用上の注意事項	847
33.15.1	動作モード共通	847
33.15.2	クロック同期形シリアルI/Oモード	847
33.16	クロック同期形シリアルインタフェース使用上の注意事項	849
33.16.1	シンクロナスシリアルコミュニケーションユニット使用上の注意	849
33.16.2	I ² Cバスインタフェース使用上の注意	849
33.16.3	SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット	849
33.17	ハードウェアLIN使用上の注意事項	851
33.18	A/Dコンバータ使用上の注意事項.....	852
33.18.1	A/D変換中の注意事項	852
33.18.2	クロック源の切り替え	852
33.18.3	端子処理	852
33.19	フラッシュメモリ使用上の注意.....	853
33.19.1	CPU書き換えモード	853
33.20	ペリフェラルマッピングコントローラ(PMC)使用上の注意事項.....	857
33.20.1	端子配置選択レジスタ(PMCSEL)の設定	857

34. オンチップデバッガの注意事項	858
35. エミュレータデバッガの注意事項.....	859
付録1. 外形寸法図.....	860
付録2. シリアルライターとオンチップデバッグエミュレータとの接続例.....	861
付録3. 発振評価回路例	863
索引.....	864

SFR ページ早見表

アドレス	レジスタ名	シンボル	掲載 ページ
00000h			
00001h			
00002h			
00003h			
00004h	プロセッサモードレジスタ0	PM0	61、72
00005h	プロセッサモードレジスタ1	PM1	62
00006h			
00007h	プロテクトレジスタ	PRCR	63
00008h	システムクロック制御レジスタ0	CM0	115、137
00009h	システムクロック制御レジスタ1	CM1	116、138
0000Ah	発振停止検出レジスタ	OCD	117
0000Bh	システムクロック制御レジスタ3	CM3	118、139
0000Ch	システムクロック制御レジスタ4	CM4	119、140
0000Dh			
0000Eh			
0000Fh	周辺クロック選択レジスタ1	PCLKR1	120
00010h			
00011h			
00012h	高速オンチップオシレータ制御レジスタ0	FRA0	120、141
00013h			
00014h	高速オンチップオシレータ制御レジスタ2	FRA2	121
00015h			
00016h			
00017h			
00018h			
00019h			
0001Ah			
0001Bh			
0001Ch	PLL制御レジスタ0	PLC0	122
0001Dh			
0001Eh			
0001Fh			
00020h	リセット割り込み選択レジスタ	RISR	103
00021h	ウォッチドッグタイマリセットレジスタ	WDTR	103
00022h	ウォッチドッグタイマスタートレジスタ	WDTS	104
00023h	ウォッチドッグタイマ制御レジスタ	WDTC	104
00024h	カウントソース保護モードレジスタ	CSPR	105
00025h			
00026h			
00027h			
00028h	リセット要因判別レジスタ	RSTFR	73
00029h			
0002Ah			
0002Bh			
0002Ch	STBY VDC電力制御レジスタ	SVDC	141
0002Dh			
0002Eh			
0002Fh			
00030h	電圧監視回路制御レジスタ	COMPA	87
00031h	電圧監視回路エッジ選択レジスタ	VCAC	88
00032h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	714
00033h			
00034h	電圧検出レジスタ2	VCA2	88、123
00035h			
00036h	電圧検出1レベル選択レジスタ	VD1LS	89
00037h			
00038h	電圧監視0回路制御レジスタ	VW0C	90
00039h	電圧監視1回路制御レジスタ	VW1C	91

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載 ページ
0003Ah	電圧監視2回路制御レジスタ	VW2C	92
0003Bh			
0003Ch			
0003Dh			
0003Eh			
0003Fh			
00040h			
00041h	割り込み制御レジスタ	FMRDYIC	162
00042h	割り込み制御レジスタ	TRJIC_1	162
00043h			
00044h			
00045h			
00046h	割り込み制御レジスタ	INT4IC	162
00047h	割り込み制御レジスタ	TRCIC_0	162
00048h	割り込み制御レジスタ	TRD0IC_0	162
00049h	割り込み制御レジスタ	TRD1IC_0	162
0004Ah	割り込み制御レジスタ	TRE2IC	162
0004Bh	割り込み制御レジスタ	U2TIC	162
0004Ch	割り込み制御レジスタ	U2RIC	162
0004Dh	割り込み制御レジスタ	KUPIC	162
0004Eh	割り込み制御レジスタ	ADIC	162
0004Fh	割り込み制御レジスタ	SSUJIC_0/IICIC_0	162
00050h	割り込み制御レジスタ	TRFIC	162
00051h	割り込み制御レジスタ	U0TIC_0	162
00052h	割り込み制御レジスタ	U0RIC_0	162
00053h	割り込み制御レジスタ	U0TIC_1	162
00054h	割り込み制御レジスタ	U0RIC_1	162
00055h	割り込み制御レジスタ	INT2IC	162
00056h	割り込み制御レジスタ	TRJIC_0	162
00057h			
00058h	割り込み制御レジスタ	TRB2IC_0	162
00059h	割り込み制御レジスタ	INT1IC	162
0005Ah	割り込み制御レジスタ	INT3IC	162
0005Bh			
0005Ch			
0005Dh	割り込み制御レジスタ	INT0IC	162
0005Eh	割り込み制御レジスタ	U2BCNIC	162
0005Fh			
00060h			
00061h			
00062h			
00063h			
00064h			
00065h			
00066h			
00067h			
00068h			
00069h			
0006Ah			
0006Bh	割り込み制御レジスタ	TRGIC	162
0006Ch	割り込み制御レジスタ	CANRXIC_0	162
0006Dh	割り込み制御レジスタ	CANTXIC_0	162
0006Eh	割り込み制御レジスタ	CANERIC_0	162
0006Fh			
00070h			
00071h			
00072h	割り込み制御レジスタ	VCMP1IC	162
00073h	割り込み制御レジスタ	VCMP2IC	162
00074h			
00075h			
00076h			
00077h			
00078h			
00079h	割り込み制御レジスタ	SSUJIC_1/IICIC_1	162

アドレス	レジスタ名	シンボル	掲載ページ
0007Ah			
0007Bh			
0007Ch			
0007Dh			
0007Eh			
0007Fh	割り込み制御レジスタ	TRCIC_1	162
00080h	UART0_0送受信モードレジスタ	UOMR_0	506
00081h	UART0_0ビットレートレジスタ	U0BRG_0	507
00082h	UART0_0送信バッファレジスタ	U0TB_0	507
00083h			
00084h	UART0_0送受信制御レジスタ0	U0C0_0	508
00085h	UART0_0送受信制御レジスタ1	U0C1_0	509
00086h	UART0_0受信バッファレジスタ	U0RB_0	510
00087h			
00088h	UART0_0割り込みフラグと許可レジスタ	U0IR_0	511
00089h			
0008Ah			
0008Bh			
0008Ch	LIN_0特殊機能レジスタ	LINCR2_0	635
0008Dh			
0008Eh	LIN_0制御レジスタ	LINCT_0	635
0008Fh	LIN_0ステータスレジスタ	LINST_0	636
00090h	UART0_1送受信モードレジスタ	UOMR_1	506
00091h	UART0_1ビットレートレジスタ	U0BRG_1	507
00092h	UART0_1送信バッファレジスタ	U0TB_1	507
00093h			
00094h	UART0_1送受信制御レジスタ0	U0C0_1	508
00095h	UART0_1送受信制御レジスタ1	U0C1_1	509
00096h	UART0_1受信バッファレジスタ	U0RB_1	510
00097h			
00098h	UART0_1割り込みフラグと許可レジスタ	U0IR_1	511
00099h			
0009Ah			
0009Bh			
0009Ch	LIN_1特殊機能レジスタ	LINCR2_1	635
0009Dh			
0009Eh	LIN_1制御レジスタ	LINCT_1	635
0009Fh	LIN_1ステータスレジスタ	LINST_1	636
000A0h			
000A1h			
000A2h			
000A3h			
000A4h			
000A5h			
000A7h			
000A6h			
000A7h			
000A8h			
000A9h			
000AAh			
000ABh			
000ACh			
000ADh			
000AEh			
000AFh			
000B0h			
000B1h			
000B2h			
000B3h			
000B4h			
000B5h			
000B6h			
000B7h			
000B8h			
000B9h			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
000BAh			
000BBh			
000BCh			
000BDh			
000BEh			
000BFh			
000C0h	UART2送受信モードレジスタ	U2MR	531
000C1h	UART2ビットレートレジスタ	U2BRG	531
000C2h	UART2送信バッファレジスタ	U2TB	532
000C3h			
000C4h	UART2送受信制御レジスタ0	U2C0	533
000C5h	UART2送受信制御レジスタ1	U2C1	534
000C6h	UART2受信バッファレジスタ	U2RB	535
000C7h			
000C8h	UART2デジタルフィルタ機能選択レジスタ	U2RXDF	536
000C9h			
000CAh			
000CBh			
000CCh			
000CDh			
000CEh			
000CFh			
000D0h	UART2特殊モードレジスタ5	U2SMR5	537
000D1h			
000D2h			
000D3h			
000D4h			
000D5h	UART2特殊モードレジスタ3	U2SMR3	537
000D6h			
000D7h	UART2特殊モードレジスタ	U2SMR	538
000D8h			
000D9h			
000DAh			
000DBh			
000DCh			
000DDh			
000DEh			
000DFh			
000E0h	I ² C_0制御レジスタ	IICCR_0	569
000E1h	SS_0ビットカウンタレジスタ	SSBR_0	570
000E2h	SI_0送信データレジスタ	SITDR_0	571
000E3h			
000E4h	SI_0受信データレジスタ	SIRDR_0	571
000E5h			
000E6h	SI_0制御レジスタ1	SICR1_0	572
000E7h	SI_0制御レジスタ2	SICR2_0	574
000E8h	SI_0モードレジスタ1	SIMR1_0	576
000E9h	SI_0割り込み許可レジスタ	SIER_0	578
000EAh	SI_0ステータスレジスタ	SISR_0	580
000EBh	SI_0モードレジスタ2	SIMR2_0	582
000ECh			
000EDh			
000EEh			
000EFh			
000F0h	I ² C_1制御レジスタ	IICCR_1	569
000F1h	SS_1ビットカウンタレジスタ	SSBR_1	570
000F2h	SI_1送信データレジスタ	SITDR_1	571
000F3h			
000F4h	SI_1受信データレジスタ	SIRDR_1	571
000F5h			
000F6h	SI_1制御レジスタ1	SICR1_1	572
000F7h	SI_1制御レジスタ2	SICR2_1	574
000F8h	SI_1モードレジスタ1	SIMR1_1	576
000F9h	SI_1割り込み許可レジスタ	SIER_1	578

アドレス	レジスタ名	シンボル	掲載ページ
000FAh	SI_1ステータスレジスタ	SISR_1	580
000FBh	SI_1モードレジスタ2	SIMR2_1	582
000FCh			
000FDh			
000FEh			
000FFh			
00100h			
00101h			
00102h			
00103h			
00104h			
00105h			
00106h			
00107h			
00108h			
00109h			
0010Ah			
0010Bh			
0010Ch			
0010Dh			
0010Eh			
0010Fh			
00110h	タイマRJ_0カウンタレジスタ	TRJ_0	266
00111h			
00112h	タイマRJ_0制御レジスタ	TRJCR_0	267
00113h	タイマRJ_0 I/O制御レジスタ	TRJIOC_0	269
00114h	タイマRJ_0モードレジスタ	TRJMR_0	271
00115h	タイマRJ_0イベント端子選択レジスタ	TRJISR_0	272
00116h			
00117h			
00118h	タイマRJ_1カウンタレジスタ	TRJ_1	266
00119h			
0011Ah	タイマRJ_1制御レジスタ	TRJCR_1	267
0011Bh	タイマRJ_1 I/O制御レジスタ	TRJIOC_1	269
0011Ch	タイマRJ_1モードレジスタ	TRJMR_1	271
0011Dh	タイマRJ_1イベント端子選択レジスタ	TRJISR_1	272
0011Eh			
0011Fh			
00120h			
00121h			
00122h			
00123h			
00124h			
00125h			
00126h			
00127h			
00128h			
00129h			
0012Ah			
0012Bh			
0012Ch			
0012Dh			
0012Eh			
0012Fh			
00130h	タイマRB2_0制御レジスタ	TRBCR_0	286
00131h	タイマRB2_0ワンショット制御レジスタ	TRBOCR_0	287
00132h	タイマRB2_0 I/O制御レジスタ	TRBIOC_0	288
00133h	タイマRB2_0モードレジスタ	TRBMR_0	289
00134h	タイマRB2_0プリスケアラレジスタ タイマRB2_0プライマリ/セカンダリ レジスタ(下位8ビット)	TRBPRE_0	290
00135h	タイマRB2_0プライマリレジスタ タイマRB2_0プライマリレジスタ (上位8ビット)	TRBPR_0	
00136h	タイマRB2_0セカンダリレジスタ タイマRB2_0セカンダリレジスタ (上位8ビット)	TRBSC_0	292
00137h	タイマRB2_0割り込み要求レジスタ	TRBIR_0	293
00138h	タイマRC_0カウンタ	TRCCNT_0	320
00139h			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
0013Ah	タイマRC_0ジェネラルレジスタA	TRCGRA_0	321
0013Bh			
0013Ch	タイマRC_0ジェネラルレジスタB	TRCGRB_0	321
0013Dh			
0013Eh	タイマRC_0ジェネラルレジスタC	TRCGRC_0	321
0013Fh			
00140h	タイマRC_0ジェネラルレジスタD	TRCGRD_0	321
00141h			
00142h	タイマRC_0モードレジスタ	TRCMR_0	322
00143h	タイマRC_0制御レジスタ1	TRCCR1_0	324
00144h	タイマRC_0割り込み許可レジスタ	TRCIER_0	325
00145h	タイマRC_0ステータスレジスタ	TRCSR_0	326
00146h	タイマRC_0 I/O制御レジスタ0	TRCIOR0_0	327
00147h	タイマRC_0 I/O制御レジスタ1	TRCIOR1_0	328
00148h	タイマRC_0制御レジスタ2	TRCCR2_0	329
00149h	タイマRC_0デジタルフィルタ機能選択レジスタ	TRCDF_0	330
0014Ah	タイマRC_0出力許可レジスタ	TRCOER_0	331
0014Bh	タイマRC_0 A/D変換トリガ制御レジスタ	TRCADCR_0	332
0014Ch	タイマRC_0出力波形操作レジスタ	TRCOPR_0	333
0014Dh	タイマRC_0 ELC運動制御レジスタ	TRCELCCR_0	334
0014Eh			
0014Fh			
00150h			
00151h			
00152h			
00153h			
00154h			
00155h			
00156h			
00157h			
00158h	タイマRC_1カウンタ	TRCCNT_1	320
00159h			
0015Ah	タイマRC_1ジェネラルレジスタA	TRCGRA_1	321
0015Bh			
0015Ch	タイマRC_1ジェネラルレジスタB	TRCGRB_1	321
0015Dh			
0015Eh	タイマRC_1ジェネラルレジスタC	TRCGRC_1	321
0015Fh			
00160h	タイマRC_1ジェネラルレジスタD	TRCGRD_1	321
00161h			
00162h	タイマRC_1モードレジスタ	TRCMR_1	322
00163h	タイマRC_1制御レジスタ1	TRCCR1_1	324
00164h	タイマRC_1割り込み許可レジスタ	TRCIER_1	325
00165h	タイマRC_1ステータスレジスタ	TRCSR_1	326
00166h	タイマRC_1 I/O制御レジスタ0	TRCIOR0_1	327
00167h	タイマRC_1 I/O制御レジスタ1	TRCIOR1_1	328
00168h	タイマRC_1制御レジスタ2	TRCCR2_1	329
00169h	タイマRC_1デジタルフィルタ機能選択レジスタ	TRCDF_1	330
0016Ah	タイマRC_1出力許可レジスタ	TRCOER_1	331
0016Bh			
0016Ch	タイマRC_1出力波形操作レジスタ	TRCOPR_1	333
0016Dh	タイマRC_1 ELC運動制御レジスタ	TRCELCCR_1	334
0016Eh			
0016Fh			
00170h	タイマRE2カウンタデータレジスタ	TRESEC	440
00171h	タイマRE2コンペアデータレジスタ	TREMIN	441
00172h			
00173h			
00174h			
00175h			
00176h			
00177h	タイマRE2制御レジスタ	TRECR	442
00178h	タイマRE2カウントソース選択レジスタ	TRECSR	443
00179h			

アドレス	レジスタ名	シンボル	掲載ページ
0017Ah	タイマRE2割り込みフラグレジスタ	TREIFR	444
0017Bh	タイマRE2割り込み許可レジスタ	TREIER	445
0017Ch			
0017Dh			
0017Eh			
0017Fh	タイマRE2プロテクトレジスタ	TREPRC	445
00180h	タイマRD_0 ELC運動制御レジスタ	TRDELCCR_0	371
00181h			
00182h	タイマRD_0トリガ制御レジスタ	TRDADCR_0	372
00183h	タイマRD_0スタートレジスタ	TRDSTR_0	373
00184h	タイマRD_0モードレジスタ	TRDMR_0	374
00185h	タイマRD_0 PWMモードレジスタ	TRDPMR_0	374
00186h	タイマRD_0機能制御レジスタ	TRDFCR_0	375
00187h	タイマRD_0出力マスタ許可レジスタ1	TRDOER1_0	376
00188h	タイマRD_0出力マスタ許可レジスタ2	TRDOER2_0	377
00189h	タイマRD_0出力制御レジスタ	TRDOCR_0	377
0018Ah	タイマRD_0デジタルフィルタ機能選択レジスタ0	TRDDF0_0	379
0018Bh	タイマRD_0デジタルフィルタ機能選択レジスタ1	TRDDF1_0	379
0018Ch			
0018Dh			
0018Eh			
0018Fh			
00190h	タイマRD_0制御レジスタ0	TRDCR0_0	380
00191h	タイマRD_0 I/O制御レジスタA0	TRDIORA0_0	383
00192h	タイマRD_0 I/O制御レジスタC0	TRDIORC0_0	385
00193h	タイマRD_0ステータスレジスタ0	TRDSR0_0	387
00194h	タイマRD_0割り込み許可レジスタ0	TRDIER0_0	389
00195h	タイマRD_0 PWMモード出力レベル制御レジスタ0	TRDPOCR0_0	389
00196h	タイマRD_0カウンタ0	TRD0_0	390
00197h			
00198h	タイマRD_0ジェネラルレジスタA0	TRDGRA0_0	391
00199h			
0019Ah	タイマRD_0ジェネラルレジスタB0	TRDGRB0_0	391
0019Bh			
0019Ch	タイマRD_0ジェネラルレジスタC0	TRDGRC0_0	391
0019Dh			
0019Eh	タイマRD_0ジェネラルレジスタD0	TRDGRD0_0	391
0019Fh			
001A0h	タイマRD_0制御レジスタ1	TRDCR1_0	380
001A1h	タイマRD_0 I/O制御レジスタA1	TRDIORA1_0	383
001A2h	タイマRD_0 I/O制御レジスタC1	TRDIORC1_0	385
001A3h	タイマRD_0ステータスレジスタ1	TRDSR1_0	387
001A4h	タイマRD_0割り込み許可レジスタ1	TRDIER1_0	389
001A5h	タイマRD_0 PWMモード出力レベル制御レジスタ1	TRDPOCR1_0	389
001A6h	タイマRD_0カウンタ1	TRD1_0	390
001A7h			
001A8h	タイマRD_0ジェネラルレジスタA1	TRDGRA1_0	391
001A9h			
001AAh	タイマRD_0ジェネラルレジスタB1	TRDGRB1_0	391
001ABh			
001ACh	タイマRD_0ジェネラルレジスタC1	TRDGRC1_0	391
001ADh			
001AEh	タイマRD_0ジェネラルレジスタD1	TRDGRD1_0	391
001AFh			
001B0h	タイマRFレジスタ	TRF	453
001B1h			
001B2h	タイマRF出力制御レジスタ	TRFOUT	454
001B3h	タイマRF入力制御レジスタ	TRFIN	454
001B4h	タイマRFステータスレジスタ	TRFSR	455
001B5h			
001B6h	タイマRF割り込み許可レジスタ	TRFIER	455
001B7h			
001B8h			
001B9h			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
001BAh	タイマRF制御レジスタ0	TRFCR0	456
001BBh	タイマRF制御レジスタ1	TRFCR1	457
001BCh	タイマRFキャプチャコンペア0レジスタ	TRFM0	458
001BDh			
001BEh	タイマRFコンペア1レジスタ	TRFM1	458
001BFh			
001C0h			
001C1h			
001C2h			
001C3h			
001C4h			
001C5h			
001C6h			
001C7h			
001C8h			
001C9h			
001CAh			
001CBh			
001CCh			
001CDh			
001CEh			
001CFh			
001D0h			
001D1h			
001D2h			
001D3h			
001D4h			
001D5h			
001D6h			
001D7h			
001D8h			
001D9h			
001DAh			
001DBh			
001DCh			
001DDh			
001DEh			
001DFh			
001E0h			
001E1h			
001E2h			
001E3h			
001E4h			
001E5h			
001E6h			
001E7h			
001E8h			
001E9h			
001EAh			
001EBh			
001ECh			
001EDh			
001EEh			
001EFh			
001F0h	タイマRGモードレジスタ	TRGMR	473
001F1h	タイマRGカウンタ制御レジスタ	TRGCNTC	474
001F2h	タイマRG制御レジスタ	TRGCR	475
001F3h	タイマRG割り込み許可レジスタ	TRGIER	476
001F4h	タイマRGステータスレジスタ	TRGSR	477
001F5h	タイマRG I/O制御レジスタ	TRGIOR	478
001F6h	タイマRGカウンタ	TRG	479
001F7h			
001F8h	タイマRGジェネラルレジスタA	TRGGRA	480
001F9h			
001FAh	タイマRGジェネラルレジスタB	TRGGRB	480
001FBh			
001FCh	タイマRGジェネラルレジスタC	TRGGRC	480
001FDh			
001FEh	タイマRGジェネラルレジスタD	TRGGRD	480
001FFh			

アドレス	レジスタ名	シンボル	掲載ページ
00200h	A/D レジスタ 0	AD0	715
00201h			
00202h	A/D レジスタ 1	AD1	715
00203h			
00204h	A/D レジスタ 2	AD2	715
00205h			
00206h	A/D レジスタ 3	AD3	715
00207h			
00208h	A/D レジスタ 4	AD4	715
00209h			
0020Ah	A/D レジスタ 5	AD5	715
0020Bh			
0020Ch	A/D レジスタ 6	AD6	715
0020Dh			
0020Eh	A/D レジスタ 7	AD7	715
0020Fh			
00210h			
00211h			
00212h			
00213h			
00214h	A/D モードレジスタ	ADMOD	716
00215h	A/D 入力選択レジスタ	ADINSEL	717
00216h	A/D 制御レジスタ 0	ADCON0	718
00217h	A/D 制御レジスタ 1	ADCON1	719
00218h			
00219h			
0021Ah			
0021Bh			
0021Ch			
0021Dh			
0021Eh			
0021Fh			
00220h			
00221h			
00222h			
00223h			
00224h			
00225h			
00226h			
00227h			
00228h	コンパレータ B 制御レジスタ 0	INTCMP	738
00229h			
0022Ah			
0022Bh			
0022Ch			
0022Dh			
0022Eh			
0022Fh			
00230h	外部入力許可レジスタ 0	INTEN	163
00231h	外部入力許可レジスタ 1	INTEN1	164
00232h	INT 入力フィルタ選択レジスタ 0	INTF	165
00233h	INT 入力フィルタ選択レジスタ 1	INTF1	166
00234h	INT 入力極性切り替えレジスタ	INTPOL	166
00235h			
00236h	キー入力割り込み許可レジスタ	KIEN	167
00237h			
00238h	モジュールスタンプバイコントロールレジスタ 0	MSTCR0	142
00239h	モジュールスタンプバイコントロールレジスタ 1	MSTCR1	142
0023Ah	モジュールスタンプバイコントロールレジスタ 2	MSTCR2	143
0023Bh	モジュールスタンプバイコントロールレジスタ 3	MSTCR3	143
0023Ch			
0023Dh			
0023Eh			
0023Fh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
00240h			
00241h			
00242h			
00243h			
00244h			
00245h			
00246h			
00247h			
00248h			
00249h			
0024Ah			
0024Bh			
0024Ch			
0024Dh			
0024Eh			
0024Fh			
00250h			
00251h			
00252h	フラッシュメモリステータスレジスタ	FST	746
00253h			
00254h	フラッシュメモリ制御レジスタ 0	FMR0	749
00255h	フラッシュメモリ制御レジスタ 1	FMR1	752
00256h	フラッシュメモリ制御レジスタ 2	FMR2	754
00257h			
00258h			
00259h			
0025Ah			
0025Bh			
0025Ch			
0025Dh			
0025Eh			
0025Fh			
00260h	アドレス一致割り込みアドレス 0L レジスタ	AIADR0L	168
00261h			
00262h	アドレス一致割り込みアドレス 0H レジスタ	AIADR0H	168
00263h	アドレス一致割り込み許可 0 レジスタ	AIEN0	168
00264h	アドレス一致割り込みアドレス 1L レジスタ	AIADR1L	168
00265h			
00266h	アドレス一致割り込みアドレス 1H レジスタ	AIADR1H	168
00267h	アドレス一致割り込み許可 1 レジスタ	AIEN1	168
00268h			
00269h			
0026Ah			
0026Bh			
0026Ch			
0026Dh			
0026Eh			
0026Fh			
00270h			
00271h			
00272h			
00273h			
00274h			
00275h			
00276h			
00277h			
00278h			
00279h			
0027Ah			
0027Bh			
0027Ch			
0027Dh			
0027Eh			
0027Fh			

アドレス	レジスタ名	シンボル	掲載ページ
00280h	DTC起動制御レジスタ	DTCTL	202
00281h			
00282h			
00283h			
00284h			
00285h			
00286h			
00287h			
00288h	DTC起動許可レジスタ0	DTCEN0	203
00289h	DTC起動許可レジスタ1	DTCEN1	203
0028Ah	DTC起動許可レジスタ2	DTCEN2	203
0028Bh	DTC起動許可レジスタ3	DTCEN3	203
0028Ch	DTC起動許可レジスタ4	DTCEN4	203
0028Dh	DTC起動許可レジスタ5	DTCEN5	203
0028Eh	DTC起動許可レジスタ6	DTCEN6	203
0028Fh			
00290h	SFR監視アドレスレジスタ	CRCSAR	784
00291h			
00292h	CRC制御レジスタ	CRCMR	785
00293h			
00294h	CRCデータレジスタ	CRCD	786
00295h			
00296h	CRCインプットレジスタ	CRCIN	786
00297h			
00298h			
00299h			
0029Ah			
0029Bh			
0029Ch			
0029Dh			
0029Eh			
0029Fh			
002A0h	タイマRJ_0端子選択レジスタ	TRJ_0SR	233
002A1h	タイマRJ_1端子選択レジスタ	TRJ_1SR	234
002A2h			
002A3h			
002A4h	タイマRB2端子選択レジスタ	TRBSR	235
002A5h	タイマRCCLK端子選択レジスタ	TRCCLKSR	236
002A6h	タイマRC_0端子選択レジスタ0	TRC_0SR0	237
002A7h	タイマRC_0端子選択レジスタ1	TRC_0SR1	238
002A8h	タイマRC_1端子選択レジスタ	TRC_1SR	239
002A9h	タイマRD_0端子選択レジスタ0	TRD_0SR0	240
002AAh	タイマRD_0端子選択レジスタ1	TRD_0SR1	241
002ABh			
002ACh			
002ADh	タイマ端子選択レジスタ	TIMSR	242
002AEh	UART0_0端子選択レジスタ	U_0SR	243
002AFh	UART0_1端子選択レジスタ	U_1SR	244
002B0h			
002B1h			
002B2h	UART2端子選択レジスタ0	U2SR0	245
002B3h	UART2端子選択レジスタ1	U2SR1	246
002B4h	SSU/IIC_0端子選択レジスタ	SSUIIC_0SR	247
002B5h			
002B6h	INT割り込み入力端子選択レジスタ0	INTSR0	169、248
002B7h			
002B8h			
002B9h	入出力機能端子選択レジスタ	PINSR	124、249
002BAh			
002BBh			
002BCh			
002BDh			
002BEh	端子配置選択レジスタ	PMCSEL	791
002BFh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
002C0h	ブルアップ制御レジスタ0	PUR0	250
002C1h	ブルアップ制御レジスタ1	PUR1	250
002C2h	ブルアップ制御レジスタ2	PUR2	251
002C3h	ブルアップ制御レジスタ3	PUR3	251
002C4h			
002C5h			
002C6h			
002C7h			
002C8h	ポートP1駆動能力制御レジスタ	P1DRR	252
002C9h	ポートP2駆動能力制御レジスタ	P2DRR	252
002CAh			
002CBh	ポートPC駆動能力制御レジスタ	PCDRR	253
002Ch	駆動能力制御レジスタ0	DRR0	254
002CDh	駆動能力制御レジスタ1	DRR1	255
002CEh	駆動能力制御レジスタ2	DRR2	256
002CFh			
002D0h	入力しきい値制御レジスタ0	VLT0	257
002D1h	入力しきい値制御レジスタ1	VLT1	258
002D2h	入力しきい値制御レジスタ2	VLT2	258
002D3h	入力しきい値制御レジスタ3	VLT3	259
002D4h			
002D5h			
002D6h			
002D7h			
002D8h			
002D9h			
002DAh			
002DBh			
002DCh			
002DDh			
002DEh			
002DFh			
002E0h	ポートP0レジスタ	PORT0	260
002E1h	ポートP1レジスタ	PORT1	260
002E2h	ポートP0方向レジスタ	PD0	261
002E3h	ポートP1方向レジスタ	PD1	261
002E4h	ポートP2レジスタ	PORT2	260
002E5h	ポートP3レジスタ	PORT3	260
002E6h	ポートP2方向レジスタ	PD2	261
002E7h	ポートP3方向レジスタ	PD3	261
002E8h	ポートP4レジスタ	PORT4	260
002E9h	ポートP5レジスタ	PORT5	260
002EAh	ポートP4方向レジスタ	PD4	261
002EBh	ポートP5方向レジスタ	PD5	261
002ECh	ポートP6レジスタ	PORT6	260
002EDh			
002EEh	ポートP6方向レジスタ	PD6	261
002EFh			
002F0h	ポートP8レジスタ	PORT8	260
002F1h	ポートP9レジスタ	PORT9	260
002F2h	ポートP8方向レジスタ	PD8	261
002F3h	ポートP9方向レジスタ	PD9	261
002F4h			
002F5h			
002F6h			
002F7h			
002F8h	ポートPCレジスタ	PORTC	260
002F9h			
002FAh	ポートPC方向レジスタ	PDC	261
002FBh			
002FCh			
002FDh			
002FEh			
002FFh			
00300h			
~			
003FFh			

アドレス	レジスタ名	シンボル	掲載ページ
00400h ~ 02BFFh	内蔵RAM	内蔵RAM	
02C00h ~ 069FFh			
06A00h	イベント出力先選択レジスタ0	ELSELR0	192
06A01h	イベント出力先選択レジスタ1	ELSELR1	192
06A02h	イベント出力先選択レジスタ2	ELSELR2	192
06A03h	イベント出力先選択レジスタ3	ELSELR3	192
06A04h	イベント出力先選択レジスタ4	ELSELR4	192
06A05h			
06A06h			
06A07h			
06A08h	イベント出力先選択レジスタ8	ELSELR8	192
06A09h	イベント出力先選択レジスタ9	ELSELR9	192
06A0Ah	イベント出力先選択レジスタ10	ELSELR10	192
06A0Bh	イベント出力先選択レジスタ11	ELSELR11	192
06A0Ch	イベント出力先選択レジスタ12	ELSELR12	192
06A0Dh	イベント出力先選択レジスタ13	ELSELR13	192
06A0Eh	イベント出力先選択レジスタ14	ELSELR14	192
06A0Fh	イベント出力先選択レジスタ15	ELSELR15	192
06A10h	イベント出力先選択レジスタ16	ELSELR16	192
06A11h	イベント出力先選択レジスタ17	ELSELR17	192
06A12h	イベント出力先選択レジスタ18	ELSELR18	192
06A13h	イベント出力先選択レジスタ19	ELSELR19	192
06A14h	イベント出力先選択レジスタ20	ELSELR20	192
06A15h	イベント出力先選択レジスタ21	ELSELR21	192
06A16h	イベント出力先選択レジスタ22	ELSELR22	192
06A17h	イベント出力先選択レジスタ23	ELSELR23	192
06A18h	イベント出力先選択レジスタ24	ELSELR24	192
06A19h	イベント出力先選択レジスタ25	ELSELR25	192
06A1Ah	イベント出力先選択レジスタ26	ELSELR26	192
06A1Bh	イベント出力先選択レジスタ27	ELSELR27	192
06A1Ch	イベント出力先選択レジスタ28	ELSELR28	192
06A1Dh			
06A1Eh			
06A1Fh			
06A20h			
06A21h			
06A22h			
06A23h			
06A24h			
06A25h			
06A26h			
06A27h			
06A28h			
06A29h			
06A2Ah			
06A2Bh			
06A2Ch			
06A2Dh	イベント出力先選択レジスタ45	ELSELR45	192
06A2Eh	イベント出力先選択レジスタ46	ELSELR46	192
06A2Fh	イベント出力先選択レジスタ47	ELSELR47	192
06A30h	イベント出力先選択レジスタ48	ELSELR48	192
06A31h ~ 06BFFh			
06C00h	DTC転送ベクタ0格納領域		208
06C01h	DTC転送ベクタ1格納領域		208
06C02h	DTC転送ベクタ2格納領域		208
06C03h	DTC転送ベクタ3格納領域		208
06C04h	DTC転送ベクタ4格納領域		208
06C05h			
06C06h			
06C07h			
06C08h	DTC転送ベクタ8格納領域		208
06C09h	DTC転送ベクタ9格納領域		208

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06C0Ah	DTC転送ベクタ10格納領域		208
06C0Bh	DTC転送ベクタ11格納領域		208
06C0Ch	DTC転送ベクタ12格納領域		208
06C0Dh	DTC転送ベクタ13格納領域		208
06C0Eh	DTC転送ベクタ14格納領域		208
06C0Fh	DTC転送ベクタ15格納領域		208
06C10h	DTC転送ベクタ16格納領域		208
06C11h	DTC転送ベクタ17格納領域		208
06C12h	DTC転送ベクタ18格納領域		208
06C13h	DTC転送ベクタ19格納領域		208
06C14h			
06C15h			
06C16h	DTC転送ベクタ22格納領域		208
06C17h	DTC転送ベクタ23格納領域		208
06C18h	DTC転送ベクタ24格納領域		208
06C19h	DTC転送ベクタ25格納領域		208
06C1Ah	DTC転送ベクタ26格納領域		208
06C1Bh	DTC転送ベクタ27格納領域		208
06C1Ch	DTC転送ベクタ28格納領域		208
06C1Dh	DTC転送ベクタ29格納領域		208
06C1Eh	DTC転送ベクタ30格納領域		208
06C1Fh	DTC転送ベクタ31格納領域		208
06C20h	DTC転送ベクタ32格納領域		208
06C21h	DTC転送ベクタ33格納領域		208
06C22h			
06C23h			
06C24h			
06C25h			
06C26h	DTC転送ベクタ38格納領域		208
06C27h	DTC転送ベクタ39格納領域		208
06C28h			
06C29h			
06C2Ah	DTC転送ベクタ42格納領域		208
06C2Bh	DTC転送ベクタ43格納領域		208
06C2Ch	DTC転送ベクタ44格納領域		208
06C2Dh	DTC転送ベクタ45格納領域		208
06C2Eh	DTC転送ベクタ46格納領域		208
06C2Fh	DTC転送ベクタ47格納領域		208
06C30h	DTC転送ベクタ48格納領域		208
06C31h	DTC転送ベクタ49格納領域		208
06C32h	DTC転送ベクタ50格納領域		208
06C33h	DTC転送ベクタ51格納領域		208
06C34h	DTC転送ベクタ52格納領域		208
06C35h			
06C36h			
06C37h			
06C38h			
06C39h			
06C3Ah			
06C3Bh			
06C3Ch			
06C3Dh			
06C3Eh			
06C3Fh			
06C40h	DTC制御レジスタ0	DTCCR0	204
06C41h	DTCブロックサイズレジスタ0	DTBLS0	204
06C42h	DTC転送回数レジスタ0	DTCCR0	204
06C43h	DTC転送回数リロードレジスタ0	DTRLDO	205
06C44h	DTCソースアドレスレジスタ0	DT SAR0	205
06C45h			
06C46h	DTCデスティネーションアドレスレジスタ0	DTDAR0	205
06C47h			
06C48h	DTC制御レジスタ1	DTCCR1	204
06C49h	DTCブロックサイズレジスタ1	DTBLS1	204

アドレス	レジスタ名	シンボル	掲載ページ
06C4Ah	DTC転送回数レジスタ1	DTCCT1	204
06C4Bh	DTC転送回数リロードレジスタ1	DTRLD1	205
06C4Ch	DTCソースアドレスレジスタ1	DTSAR1	205
06C4Dh			
06C4Eh	DTCデスティネーションアドレスレジスタ1	DTDAR1	205
06C4Fh			
06C50h	DTC制御レジスタ2	DTCCR2	204
06C51h	DTCブロックサイズレジスタ2	DTBLS2	204
06C52h	DTC転送回数レジスタ2	DTCCT2	204
06C53h	DTC転送回数リロードレジスタ2	DTRLD2	205
06C54h	DTCソースアドレスレジスタ2	DTSAR2	205
06C55h			
06C56h	DTCデスティネーションアドレスレジスタ2	DTDAR2	205
06C57h			
06C58h	DTC制御レジスタ3	DTCCR3	204
06C59h	DTCブロックサイズレジスタ3	DTBLS3	204
06C5Ah	DTC転送回数レジスタ3	DTCCT3	204
06C5Bh	DTC転送回数リロードレジスタ3	DTRLD3	205
06C5Ch	DTCソースアドレスレジスタ3	DTSAR3	205
06C5Dh			
06C5Eh	DTCデスティネーションアドレスレジスタ3	DTDAR3	205
06C5Fh			
06C60h	DTC制御レジスタ4	DTCCR4	204
06C61h	DTCブロックサイズレジスタ4	DTBLS4	204
06C62h	DTC転送回数レジスタ4	DTCCT4	204
06C63h	DTC転送回数リロードレジスタ4	DTRLD4	205
06C64h	DTCソースアドレスレジスタ4	DTSAR4	205
06C65h			
06C66h	DTCデスティネーションアドレスレジスタ4	DTDAR4	205
06C67h			
06C68h	DTC制御レジスタ5	DTCCR5	204
06C69h	DTCブロックサイズレジスタ5	DTBLS5	204
06C6Ah	DTC転送回数レジスタ5	DTCCT5	204
06C6Bh	DTC転送回数リロードレジスタ5	DTRLD5	205
06C6Ch	DTCソースアドレスレジスタ5	DTSAR5	205
06C6Dh			
06C6Eh	DTCデスティネーションアドレスレジスタ5	DTDAR5	205
06C6Fh			
06C70h	DTC制御レジスタ6	DTCCR6	204
06C71h	DTCブロックサイズレジスタ6	DTBLS6	204
06C72h	DTC転送回数レジスタ6	DTCCT6	204
06C73h	DTC転送回数リロードレジスタ6	DTRLD6	205
06C74h	DTCソースアドレスレジスタ6	DTSAR6	205
06C75h			
06C76h	DTCデスティネーションアドレスレジスタ6	DTDAR6	205
06C77h			
06C78h	DTC制御レジスタ7	DTCCR7	204
06C79h	DTCブロックサイズレジスタ7	DTBLS7	204
06C7Ah	DTC転送回数レジスタ7	DTCCT7	204
06C7Bh	DTC転送回数リロードレジスタ7	DTRLD7	205
06C7Ch	DTCソースアドレスレジスタ7	DTSAR7	205
06C7Dh			
06C7Eh	DTCデスティネーションアドレスレジスタ7	DTDAR7	205
06C7Fh			
06C80h	DTC制御レジスタ8	DTCCR8	204
06C81h	DTCブロックサイズレジスタ8	DTBLS8	204
06C82h	DTC転送回数レジスタ8	DTCCT8	204
06C83h	DTC転送回数リロードレジスタ8	DTRLD8	205
06C84h	DTCソースアドレスレジスタ8	DTSAR8	205
06C85h			
06C86h	DTCデスティネーションアドレスレジスタ8	DTDAR8	205
06C87h			
06C88h	DTC制御レジスタ9	DTCCR9	204
06C89h	DTCブロックサイズレジスタ9	DTBLS9	204
06C8Ah	DTC転送回数レジスタ9	DTCCT9	204
06C8Bh	DTC転送回数リロードレジスタ9	DTRLD9	205
06C8Ch	DTCソースアドレスレジスタ9	DTSAR9	205
06C8Dh			
06C8Eh	DTCデスティネーションアドレスレジスタ9	DTDAR9	205
06C8Fh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06C90h	DTC制御レジスタ10	DTCCR10	204
06C91h	DTCブロックサイズレジスタ10	DTBLS10	204
06C92h	DTC転送回数レジスタ10	DTCCT10	204
06C93h	DTC転送回数リロードレジスタ10	DTRLD10	205
06C94h	DTCソースアドレスレジスタ10	DTSAR10	205
06C95h			
06C96h	DTCデスティネーションアドレスレジスタ10	DTDAR10	205
06C97h			
06C98h	DTC制御レジスタ11	DTCCR11	204
06C99h	DTCブロックサイズレジスタ11	DTBLS11	204
06C9Ah	DTC転送回数レジスタ11	DTCCT11	204
06C9Bh	DTC転送回数リロードレジスタ11	DTRLD11	205
06C9Ch	DTCソースアドレスレジスタ11	DTSAR11	205
06C9Dh			
06C9Eh	DTCデスティネーションアドレスレジスタ11	DTDAR11	205
06C9Fh			
06CA0h	DTC制御レジスタ12	DTCCR12	204
06CA1h	DTCブロックサイズレジスタ12	DTBLS12	204
06CA2h	DTC転送回数レジスタ12	DTCCT12	204
06CA3h	DTC転送回数リロードレジスタ12	DTRLD12	205
06CA4h	DTCソースアドレスレジスタ12	DTSAR12	205
06CA5h			
06CA6h	DTCデスティネーションアドレスレジスタ12	DTDAR12	205
06CA7h			
06CA8h	DTC制御レジスタ13	DTCCR13	204
06CA9h	DTCブロックサイズレジスタ13	DTBLS13	204
06CAAh	DTC転送回数レジスタ13	DTCCT13	204
06CABh	DTC転送回数リロードレジスタ13	DTRLD13	205
06CACH	DTCソースアドレスレジスタ13	DTSAR13	205
06CADh			
06CAEh	DTCデスティネーションアドレスレジスタ13	DTDAR13	205
06CAFh			
06CB0h	DTC制御レジスタ14	DTCCR14	204
06CB1h	DTCブロックサイズレジスタ14	DTBLS14	204
06CB2h	DTC転送回数レジスタ14	DTCCT14	204
06CB3h	DTC転送回数リロードレジスタ14	DTRLD14	205
06CB4h	DTCソースアドレスレジスタ14	DTSAR14	205
06CB5h			
06CB6h	DTCデスティネーションアドレスレジスタ14	DTDAR14	205
06CB7h			
06CB8h	DTC制御レジスタ15	DTCCR15	204
06CB9h	DTCブロックサイズレジスタ15	DTBLS15	204
06CBAh	DTC転送回数レジスタ15	DTCCT15	204
06CBBh	DTC転送回数リロードレジスタ15	DTRLD15	205
06CBCh	DTCソースアドレスレジスタ15	DTSAR15	205
06CBDh			
06CBEh	DTCデスティネーションアドレスレジスタ15	DTDAR15	205
06CBFh			
06CC0h	DTC制御レジスタ16	DTCCR16	204
06CC1h	DTCブロックサイズレジスタ16	DTBLS16	204
06CC2h	DTC転送回数レジスタ16	DTCCT16	204
06CC3h	DTC転送回数リロードレジスタ16	DTRLD16	205
06CC4h	DTCソースアドレスレジスタ16	DTSAR16	205
06CC5h			
06CC6h	DTCデスティネーションアドレスレジスタ16	DTDAR16	205
06CC7h			
06CC8h	DTC制御レジスタ17	DTCCR17	204
06CC9h	DTCブロックサイズレジスタ17	DTBLS17	204
06CCAh	DTC転送回数レジスタ17	DTCCT17	204
06CCBh	DTC転送回数リロードレジスタ17	DTRLD17	205
06CCCh	DTCソースアドレスレジスタ17	DTSAR17	205
06CCDh			
06CCEh	DTCデスティネーションアドレスレジスタ17	DTDAR17	205
06CCFh			

アドレス	レジスタ名	シンボル	掲載ページ
06CD0h	DTC制御レジスタ 18	DTCCR18	204
06CD1h	DTCブロックサイズレジスタ 18	DTBLS18	204
06CD2h	DTC転送回数レジスタ 18	DTCCT18	204
06CD3h	DTC転送回数リロードレジスタ 18	DTRL18	205
06CD4h	DTCソースアドレスレジスタ 18	DTSAR18	205
06CD5h			
06CD6h	DTCデスティネーションアドレスレジスタ 18	DTDAR18	205
06CD7h			
06CD8h	DTC制御レジスタ 19	DTCCR19	204
06CD9h	DTCブロックサイズレジスタ 19	DTBLS19	204
06CDAh	DTC転送回数レジスタ 19	DTCCT19	204
06CDBh	DTC転送回数リロードレジスタ 19	DTRL19	205
06CDCh	DTCソースアドレスレジスタ 19	DTSAR19	205
06CDDh			
06CDEh	DTCデスティネーションアドレスレジスタ 19	DTDAR19	205
06CDFh			
06CE0h	DTC制御レジスタ 20	DTCCR20	204
06CE1h	DTCブロックサイズレジスタ 20	DTBLS20	204
06CE2h	DTC転送回数レジスタ 20	DTCCT20	204
06CE3h	DTC転送回数リロードレジスタ 20	DTRL20	205
06CE4h	DTCソースアドレスレジスタ 20	DTSAR20	205
06CE5h			
06CE6h	DTCデスティネーションアドレスレジスタ 20	DTDAR20	205
06CE7h			
06CE8h	DTC制御レジスタ 21	DTCCR21	204
06CE9h	DTCブロックサイズレジスタ 21	DTBLS21	204
06CEAh	DTC転送回数レジスタ 21	DTCCT21	204
06CEBh	DTC転送回数リロードレジスタ 21	DTRL21	205
06CECh	DTCソースアドレスレジスタ 21	DTSAR21	205
06CEDh			
06CEEh	DTCデスティネーションアドレスレジスタ 21	DTDAR21	205
06CEFh			
06CF0h	DTC制御レジスタ 22	DTCCR22	204
06CF1h	DTCブロックサイズレジスタ 22	DTBLS22	204
06CF2h	DTC転送回数レジスタ 22	DTCCT22	204
06CF3h	DTC転送回数リロードレジスタ 22	DTRL22	205
06CF4h	DTCソースアドレスレジスタ 22	DTSAR22	205
06CF5h			
06CF6h	DTCデスティネーションアドレスレジスタ 22	DTDAR22	205
06CF7h			
06CF8h	DTC制御レジスタ 23	DTCCR23	204
06CF9h	DTCブロックサイズレジスタ 23	DTBLS23	204
06CFAh	DTC転送回数レジスタ 23	DTCCT23	204
06CFBh	DTC転送回数リロードレジスタ 23	DTRL23	205
06CFCh	DTCソースアドレスレジスタ 23	DTSAR23	205
06CFDh			
06CFEh	DTCデスティネーションアドレスレジスタ 23	DTDAR23	205
06CFFh			
06D00h ~ 06DFFh			
06E00h	CAN_0メールボックス0	CMB0_0	653
06E01h			
06E02h			
06E03h			
06E04h			
06E05h			
06E06h			
06E07h			
06E08h			
06E09h			
06E0Ah			
06E0Bh			
06E0Ch			
06E0Dh			
06E0Eh			
06E0Fh			

アドレス	レジスタ名	シンボル	掲載ページ
06E10h	CAN_0メールボックス1	CMB1_0	653
06E11h			
06E12h			
06E13h			
06E14h			
06E15h			
06E16h			
06E17h			
06E18h			
06E19h			
06E1Ah			
06E1Bh			
06E1Ch			
06E1Dh			
06E1Eh			
06E1Fh			
06E20h	CAN_0メールボックス2	CMB2_0	653
06E21h			
06E22h			
06E23h			
06E24h			
06E25h			
06E26h			
06E27h			
06E28h			
06E29h			
06E2Ah			
06E2Bh			
06E2Ch			
06E2Dh			
06E2Eh			
06E2Fh			
06E30h	CAN_0メールボックス3	CMB3_0	653
06E31h			
06E32h			
06E33h			
06E34h			
06E35h			
06E36h			
06E37h			
06E38h			
06E39h			
06E3Ah			
06E3Bh			
06E3Ch			
06E3Dh			
06E3Eh			
06E3Fh			
06E40h	CAN_0メールボックス4	CMB4_0	653
06E41h			
06E42h			
06E43h			
06E44h			
06E45h			
06E46h			
06E47h			
06E48h			
06E49h			
06E4Ah			
06E4Bh			
06E4Ch			
06E4Dh			
06E4Eh			
06E4Fh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06E50h	CAN_0メールボックス5	CMB5_0	653
06E51h			
06E52h			
06E53h			
06E54h			
06E55h			
06E56h			
06E57h			
06E58h			
06E59h			
06E5Ah			
06E5Bh			
06E5Ch			
06E5Dh			
06E5Eh			
06E5Fh			
06E60h	CAN_0メールボックス6	CMB6_0	653
06E61h			
06E62h			
06E63h			
06E64h			
06E65h			
06E66h			
06E67h			
06E68h			
06E69h			
06E6Ah			
06E6Bh			
06E6Ch			
06E6Dh			
06E6Eh			
06E6Fh			
06E70h	CAN_0メールボックス7	CMB7_0	653
06E71h			
06E72h			
06E73h			
06E74h			
06E75h			
06E76h			
06E77h			
06E78h			
06E79h			
06E7Ah			
06E7Bh			
06E7Ch			
06E7Dh			
06E7Eh			
06E7Fh			
06E80h	CAN_0メールボックス8	CMB8_0	653
06E81h			
06E82h			
06E83h			
06E84h			
06E85h			
06E86h			
06E87h			
06E88h			
06E89h			
06E8Ah			
06E8Bh			
06E8Ch			
06E8Dh			
06E8Eh			
06E8Fh			

アドレス	レジスタ名	シンボル	掲載ページ
06E90h	CAN_0メールボックス9	CMB9_0	653
06E91h			
06E92h			
06E93h			
06E94h			
06E95h			
06E96h			
06E97h			
06E98h			
06E99h			
06E9Ah	CAN_0メールボックス10	CMB10_0	653
06E9Bh			
06E9Ch			
06E9Dh			
06E9Eh			
06E9Fh			
06EA0h			
06EA1h			
06EA2h			
06EA3h			
06EA4h	CAN_0メールボックス11	CMB11_0	653
06EA5h			
06EA6h			
06EA7h			
06EA8h			
06EA9h			
06EAAh			
06EABh			
06EACh			
06EADh			
06EAEh	CAN_0メールボックス12	CMB12_0	653
06EAFh			
06EB0h			
06EB1h			
06EB2h			
06EB3h			
06EB4h			
06EB5h			
06EB6h			
06EB7h			
06EB8h	CAN_0メールボックス12	CMB12_0	653
06EB9h			
06EBAh			
06EBBh			
06EBCh			
06EBDh			
06EBEh			
06EBFh			
06EC0h			
06EC1h			
06EC2h			
06EC3h			
06EC4h			
06EC5h			
06EC6h			
06EC7h			
06EC8h			
06EC9h			
06ECAh			
06ECBh			
06ECCh			
06ECDh			
06ECEh			
06ECFh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06ED0h	CAN_0メールボックス13	CMB13_0	653
06ED1h			
06ED2h			
06ED3h			
06ED4h			
06ED5h			
06ED6h			
06ED7h			
06ED8h			
06ED9h			
06EDAh			
06EDBh			
06EDCh			
06EDDh			
06EDEh			
06EDFh			
06EE0h	CAN_0メールボックス14	CMB14_0	653
06EE1h			
06EE2h			
06EE3h			
06EE4h			
06EE5h			
06EE6h			
06EE7h			
06EE8h			
06EE9h			
06EEAh			
06EEBh			
06EECh			
06EEDh			
06EEFh			
06EF0h	CAN_0メールボックス15	CMB15_0	653
06EF1h			
06EF2h			
06EF3h			
06EF4h			
06EF5h			
06EF6h			
06EF7h			
06EF8h			
06EF9h			
06EFAh			
06EFBh			
06EFCh			
06EFDh			
06EFEh			
06EFFh			
06F00h			
06F01h			
06F02h			
06F03h			
06F04h			
06F05h			
06F06h			
06F07h			
06F08h			
06F09h			
06F0Ah			
06F0Bh			
06F0Ch			
06F0Dh			
06F0Eh			
06F0Fh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06F10h	CAN_0マスクレジスタ0	CMKR0_0	657
06F11h			
06F12h			
06F13h			
06F14h	CAN_0マスクレジスタ1	CMKR1_0	657
06F15h			
06F16h			
06F17h			
06F18h	CAN_0マスクレジスタ2	CMKR2_0	657
06F19h			
06F1Ah			
06F1Bh			
06F1Ch	CAN_0マスクレジスタ3	CMKR3_0	657
06F1Dh			
06F1Eh			
06F1Fh			
06F20h	CAN_0 FIFO 受信ID 比較レジスタ0	CFIDCR0_0	658
06F21h			
06F22h			
06F23h			
06F24h	CAN_0 FIFO 受信ID 比較レジスタ1	CFIDCR1_0	658
06F25h			
06F26h			
06F27h			
06F28h			
06F29h			
06F2Ah	CAN_0マスク無効レジスタ	CMKIVLR_0	659
06F2Bh			
06F2Ch			
06F2Dh			
06F2Eh	CAN_0メールボックス割り込み許可レジスタ	CMIER_0	660
06F2Fh			
06F30h	CAN_0メッセージ制御レジスタ0	CMCTL0_0	661
06F31h	CAN_0メッセージ制御レジスタ1	CMCTL1_0	661
06F32h	CAN_0メッセージ制御レジスタ2	CMCTL2_0	661
06F33h	CAN_0メッセージ制御レジスタ3	CMCTL3_0	661
06F34h	CAN_0メッセージ制御レジスタ4	CMCTL4_0	661
06F35h	CAN_0メッセージ制御レジスタ5	CMCTL5_0	661
06F36h	CAN_0メッセージ制御レジスタ6	CMCTL6_0	661
06F37h	CAN_0メッセージ制御レジスタ7	CMCTL7_0	661
06F38h	CAN_0メッセージ制御レジスタ8	CMCTL8_0	661
06F39h	CAN_0メッセージ制御レジスタ9	CMCTL9_0	661
06F3Ah	CAN_0メッセージ制御レジスタ10	CMCTL10_0	661
06F3Bh	CAN_0メッセージ制御レジスタ11	CMCTL11_0	661
06F3Ch	CAN_0メッセージ制御レジスタ12	CMCTL12_0	661
06F3Dh	CAN_0メッセージ制御レジスタ13	CMCTL13_0	661
06F3Eh	CAN_0メッセージ制御レジスタ14	CMCTL14_0	661
06F3Fh	CAN_0メッセージ制御レジスタ15	CMCTL15_0	661
06F40h	CAN_0制御レジスタ	CCTLR_0	665
06F41h			
06F42h	CAN_0ステータスレジスタ	CSTR_0	670
06F43h			
06F44h	CAN_0ビットコンフィグレーションレジスタ	CBCR_0	673
06F45h			
06F46h			
06F47h	CAN_0クロック選択レジスタ	CCLKR_0	674
06F48h	CAN_0受信FIFO制御レジスタ	CRFCR_0	675
06F49h	CAN_0受信FIFOポインタ制御レジスタ	CRFPCR_0	677
06F4Ah	CAN_0送信FIFO制御レジスタ	CTFCR_0	678
06F4Bh	CAN_0送信FIFOポインタ制御レジスタ	CTFPCR_0	679
06F4Ch	CAN_0エラー割り込み許可レジスタ	CEIER_0	680
06F4Dh	CAN_0エラー割り込み要因判定レジスタ	CEIFR_0	682
06F4Eh	CAN_0受信エラーカウントレジスタ	CRECR_0	684
06F4Fh	CAN_0送信エラーカウントレジスタ	CTECR_0	684

アドレス	レジスタ名	シンボル	掲載ページ
06F50h	CAN_0エラーコード格納レジスタ	CECSR_0	685
06F51h	CAN_0チャネルサーチサポートレジスタ	CCSSR_0	686
06F52h	CAN_0メールボックスサーチステータスレジスタ	CMSSR_0	687
06F53h	CAN_0メールボックスサーチモードレジスタ	CMSMR_0	688
06F54h	CAN_0タイムスタンプレジスタ	CTSR_0	689
06F55h			
06F56h	CAN_0アクセプタンスフィルタサポートレジスタ	CAFSSR_0	690
06F57h			
06F58h	CAN_0テスト制御レジスタ	CTCR_0	691
06F59h			
06F5Ah			
06F5Bh			
06F5Ch			
06F5Dh			
06F5Eh			
06F5Fh			
06F60h			
06F61h			
06F62h			
06F63h			
06F64h			
06F65h			
06F66h			
06F67h			
06F68h			
06F69h			
06F6Ah			
06F6Bh			
06F6Ch			
06F6Dh			
06F6Eh			
06F6Fh			
06F70h			
06F71h			
06F72h			
06F73h			
06F74h			
06F75h			
06F76h			
06F77h			
06F78h			
06F79h			
06F7Ah			
06F7Bh			
06F7Ch			
06F7Dh			
06F7Eh	CAN_0割り込みステータスレジスタ	CANISR_0	693
06F7Fh	CAN_0割り込み制御レジスタ	CANIE_0	693
06F80h ~ 06FFFh			
:			
0FFDBh	オプション機能選択レジスタ2	OFS2	64、74、106
:			
0FFFFh	オプション機能選択レジスタ	OFS	65、75、93、107、756

注1. 空欄は予約領域です。アクセスしないでください。

1. 概要

1.1 特長

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1 M バイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループは、EMI/EMS 性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/56Eグループ、R8C/56FグループはCANモジュールを1チャンネル内蔵し、車載やFAのLANシステムに適したマイクロコンピュータです。R8C/56Gグループ、R8C/56HグループはCANモジュールを内蔵しません。

また、R8C/56Eグループ、R8C/56GグループはBGO (バックグラウンドオペレーション)機能付データフラッシュ (1 K バイト×4ブロック)を内蔵します。

1.1.1 用途

自動車、他

1.1.2 仕様概要

表1.1～表1.3にR8C/56Eグループの仕様概要を、表1.4～表1.6にR8C/56Fグループの仕様概要を、表1.7～表1.9にR8C/56Gグループの仕様概要を、表1.10～表1.12にR8C/56Hグループの仕様概要を示します。

表1.1 R8C/56Eグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：31.25 ns (CPUクロック = 32 MHz、VCC = 2.7 V～5.5 V) 乗算器：16ビット×16ビット→32ビット 積和演算命令：16ビット×16ビット+32ビット→32ビット 動作モード：シングルチップモード(アドレス空間：1 Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表1.13 R8C/56Eグループの製品一覧」参照
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0と電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：59、プルアップ抵抗選択可能 PMC (Peripheral Mapping Controller)によりタイマ機能優先、通信機能優先型の端子配置選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路、 高速オンチップオシレータ(周波数調整機能付)、 低速オンチップオシレータ、 PLL周波数シンセサイザ(～32 MHz) 2、4、6、8通倍 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、 低速オンチップオシレータ、PLL動作)、ウェイトモード、 ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能 (30要因×10種類のイベントリンク動作) 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データトランスファ コントローラ)		<ul style="list-style-type: none"> 1チャンネル 起動要因：42 転送モード：2(ノーマルモード、リピートモード)

表1.2 R8C/56Eグループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0、RC_1	16ビット(キャプチャ/コンペアレジスタ4本付)×1 2回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本) (64ピンでタイマ機能優先ピン配置選択時のみ2チャンネル使用可能(他は1チャンネルのみ))
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
	タイマRF	16ビット×1 インプットキャプチャモード(インプットキャプチャ機能)、アウトプットコンペアモード(アウトプットコンペア機能)
	タイマRG	16ビット×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力1本)、位相計数モード(2相エンコーダのカウンタ数の自動計測が可能)
シリアルインタフェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LINモジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
CANモジュール	CAN_0	1チャンネル 16メールボックス(ISO11898-1仕様準拠)
A/Dコンバータ		分解能10ビット×16チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレーズ電圧：VCC = 2.7 V ~ 5.5 V リード電圧：VCC = 2.7 V ~ 5.5 V プログラム/イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) プログラムセキュリティ：ROMコードプロテクト、IDコードチェック デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能 BGO(バックグラウンドオペレーション)機能(データフラッシュ)

表 1.3 R8C/56Eグループの仕様概要(3)

分類	機能	説明
デバッグ機能		<ul style="list-style-type: none">• 1線式デバッグインタフェース搭載(専用ハードウェア搭載)• ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V ~ 5.5 V)
消費電流		標準 14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C ~ 85 °C (Jバージョン) -40 °C ~ 125 °C (Kバージョン) (注1)
パッケージ		64ピンLQFP パッケージコード : PLQP0064KB-A (旧コード : 64P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

表 1.4 R8C/56Fグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：31.25 ns (CPUクロック = 32 MHz、VCC = 2.7 V ~ 5.5 V) 乗算器：16ビット×16ビット→32ビット 積和演算命令：16ビット×16ビット+32ビット→32ビット 動作モード：シングルチップモード(アドレス空間：1 Mバイト)
メモリ	ROM、RAM	「表 1.14 R8C/56Fグループの製品一覧」参照
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0と電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：59、プルアップ抵抗選択可能 PMC (Peripheral Mapping Controller)によりタイマ機能優先、通信機能優先型の端子配置選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路、 高速オンチップオシレータ(周波数調整機能付)、 低速オンチップオシレータ、 PLL周波数シンセサイザ(~32 MHz) 2、4、6、8 通倍 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、 低速オンチップオシレータ、PLL動作)、ウェイトモード、 ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT × 5、キー入力 × 4) 割り込み優先レベル：7レベル
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能 (30要因×10種類のイベントリンク動作) 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データトランスファ コントローラ)		<ul style="list-style-type: none"> 1チャンネル 起動要因：42 転送モード：2(ノーマルモード、リピートモード)

表1.5 R8C/56Fグループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0、RC_1	16ビット(キャプチャ/コンペアレジスタ4本付)×1 2回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本) (64ピンでタイマ機能優先ピン配置選択時のみ2チャンネル使用可能(他は1チャンネルのみ))
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
	タイマRF	16ビット×1 インプットキャプチャモード(インプットキャプチャ機能)、アウトプットコンペアモード(アウトプットコンペア機能)
	タイマRG	16ビット×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力1本)、位相計数モード(2相エンコーダのカウンタ数の自動計測が可能)
シリアルインタフェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LINモジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
CANモジュール	CAN_0	1チャンネル 16メールボックス(ISO11898-1仕様準拠)
A/Dコンバータ		分解能10ビット×16チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレーズ電圧：VCC = 2.7 V ~ 5.5 V リード電圧：VCC = 2.7 V ~ 5.5 V プログラム/イレーズ回数：1,000回(プログラムROM) プログラムセキュリティ：ROMコードプロテクト、IDコードチェック デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能

表 1.6 R8C/56Fグループの仕様概要(3)

分類	機能	説明
デバッグ機能		<ul style="list-style-type: none">• 1線式デバッグインタフェース搭載(専用ハードウェア搭載)• ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V ~ 5.5 V)
消費電流		標準 14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C ~ 85 °C (Jバージョン) -40 °C ~ 125 °C (Kバージョン) (注1)
パッケージ		64ピンLQFP パッケージコード : PLQP0064KB-A (旧コード : 64P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

表 1.7 R8C/56Gグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：31.25 ns (CPUクロック = 32 MHz、VCC = 2.7 V～5.5 V) 乗算器：16ビット×16ビット→32ビット 積和演算命令：16ビット×16ビット+32ビット→32ビット 動作モード：シングルチップモード(アドレス空間：1 Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表 1.15 R8C/56Gグループの製品一覧」参照
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0と電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：59、プルアップ抵抗選択可能 PMC (Peripheral Mapping Controller)によりタイマ機能優先、通信機能優先型の端子配置選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路、高速オンチップオシレータ(周波数調整機能付)、低速オンチップオシレータ、PLL周波数シンセサイザ(～32 MHz) 2、4、6、8通倍 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、低速オンチップオシレータ、PLL動作)、ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
イベントリンクコントローラ(ELC)		<ul style="list-style-type: none"> 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能(30要因×10種類のイベントリンク動作) 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC(データトランスファコントローラ)		<ul style="list-style-type: none"> 1チャンネル 起動要因：42 転送モード：2(ノーマルモード、リピートモード)

表1.8 R8C/56Gグループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0、RC_1	16ビット(キャプチャ/コンペアレジスタ4本付)×1 2回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本) (64ピンでタイマ機能優先ピン配置選択時のみ2チャンネル使用可能(他は1チャンネルのみ))
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
	タイマRF	16ビット×1 インプットキャプチャモード(インプットキャプチャ機能)、アウトプットコンペアモード(アウトプットコンペア機能)
	タイマRG	16ビット×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力1本)、位相計数モード(2相エンコーダのカウンタ数の自動計測が可能)
シリアルインタフェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LINモジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
A/Dコンバータ		分解能10ビット×16チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> • プログラム、イレーズ電圧：VCC = 2.7 V ~ 5.5 V • リード電圧：VCC = 2.7 V ~ 5.5 V • プログラム/イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) • プログラムセキュリティ：ROMコードプロテクト、IDコードチェック • デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能 • BGO(バックグラウンドオペレーション)機能(データフラッシュ)

表 1.9 R8C/56Gグループの仕様概要(3)

分類	機能	説明
デバッグ機能		<ul style="list-style-type: none"> • 1線式デバッグインタフェース搭載(専用ハードウェア搭載) • ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V ~ 5.5 V)
消費電流		標準 14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C ~ 85 °C (Jバージョン) -40 °C ~ 125 °C (Kバージョン) (注1)
パッケージ		64ピンLQFP パッケージコード : PLQP0064KB-A (旧コード : 64P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

表 1.10 R8C/56Hグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：31.25 ns (CPUクロック = 32 MHz、VCC = 2.7 V～5.5 V) 乗算器：16ビット×16ビット→32ビット 積和演算命令：16ビット×16ビット+32ビット→32ビット 動作モード：シングルチップモード(アドレス空間：1 Mバイト)
メモリ	ROM、RAM	「表 1.16 R8C/56Hグループの製品一覧」参照
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0と電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：59、プルアップ抵抗選択可能 PMC (Peripheral Mapping Controller)によりタイマ機能優先、通信機能優先型の端子配置選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路、 高速オンチップオシレータ(周波数調整機能付)、 低速オンチップオシレータ、 PLL周波数シンセサイザ(～32 MHz) 2、4、6、8 通倍 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、 低速オンチップオシレータ、PLL動作)、ウェイトモード、 ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能 (30要因×10種類のイベントリンク動作) 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データトランスファ コントローラ)		<ul style="list-style-type: none"> 1チャンネル 起動要因：42 転送モード：2(ノーマルモード、リピートモード)

表 1.11 R8C/56Hグループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0、RC_1	16ビット(キャプチャ/コンペアレジスタ4本付)×1 2回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本) (64ピンでタイマ機能優先ピン配置選択時のみ2チャンネル使用可能(他は1チャンネルのみ))
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー一致タイマモード
	タイマRF	16ビット×1 インプットキャプチャモード(インプットキャプチャ機能)、アウトプットコンペアモード(アウトプットコンペア機能)
	タイマRG	16ビット×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力1本)、位相計数モード(2相エンコーダのカウンタ数の自動計測が可能)
シリアルインタフェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LINモジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
A/Dコンバータ		分解能10ビット×16チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレーズ電圧：VCC = 2.7 V ~ 5.5 V リード電圧：VCC = 2.7 V ~ 5.5 V プログラム/イレーズ回数：1,000回(プログラムROM) プログラムセキュリティ：ROMコードプロテクト、IDコードチェック デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能

表 1.12 R8C/56Hグループの仕様概要(3)

分類	機能	説明
デバッグ機能		<ul style="list-style-type: none">• 1線式デバッグインタフェース搭載(専用ハードウェア搭載)• ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V ~ 5.5 V)
消費電流		標準 14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C ~ 85 °C (Jバージョン) -40 °C ~ 125 °C (Kバージョン) (注1)
パッケージ		64ピンLQFP パッケージコード : PLQP0064KB-A (旧コード : 64P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

1.2 製品一覧

表1.13にR8C/56Eグループの製品一覧を、図1.1にR8C/56Eグループの型名とメモリサイズ・パッケージを、表1.14にR8C/56Fグループの製品一覧を、図1.2にR8C/56Fグループの型名とメモリサイズ・パッケージを、表1.15にR8C/56Gグループの製品一覧を、図1.3にR8C/56Gグループの型名とメモリサイズ・パッケージを、表1.16にR8C/56Hグループの製品一覧を、図1.4にR8C/56Hグループの型名とメモリサイズ・パッケージを示します。

表1.13 R8C/56Eグループの製品一覧

2014年9月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21566EJFP	32 Kバイト	1 Kバイト × 4	2.5 Kバイト	PLQP0064KB-A	Jバージョン
R5F21567EJFP	48 Kバイト		4 Kバイト		
R5F21568EJFP	64 Kバイト		6 Kバイト		
R5F2156AEJFP	96 Kバイト		8 Kバイト		
R5F2156CEJFP	128 Kバイト		10 Kバイト		
R5F21566EKFP	32 Kバイト		2.5 Kバイト		Kバージョン
R5F21567EKFP	48 Kバイト		4 Kバイト		
R5F21568EKFP	64 Kバイト		6 Kバイト		
R5F2156AEKFP	96 Kバイト		8 Kバイト		
R5F2156CEKFP	128 Kバイト		10 Kバイト		

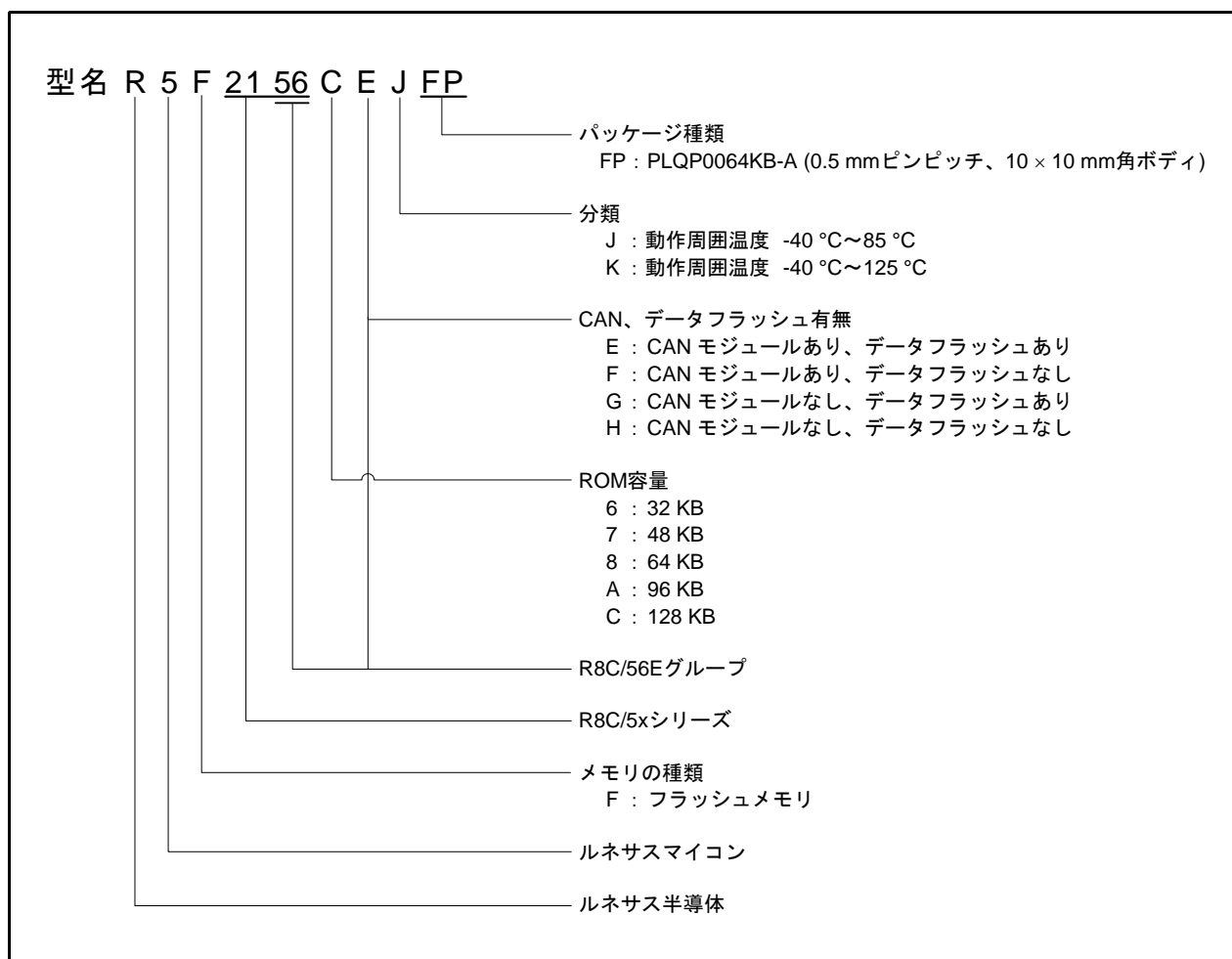


図1.1 R8C/56Eグループの型名とメモリサイズ・パッケージ

表 1.14 R8C/56Fグループの製品一覧

2014年9月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM				
R5F21566FJFP	32 Kバイト		2.5 Kバイト	PLQP0064KB-A	Jバージョン
R5F21567FJFP	48 Kバイト		4 Kバイト		
R5F21568FJFP	64 Kバイト		6 Kバイト		
R5F2156AFJFP	96 Kバイト		8 Kバイト		
R5F2156CFJFP	128 Kバイト		10 Kバイト		
R5F21566FKFP	32 Kバイト		2.5 Kバイト		Kバージョン
R5F21567FKFP	48 Kバイト		4 Kバイト		
R5F21568FKFP	64 Kバイト		6 Kバイト		
R5F2156AFKFP	96 Kバイト		8 Kバイト		
R5F2156CFKFP	128 Kバイト		10 Kバイト		

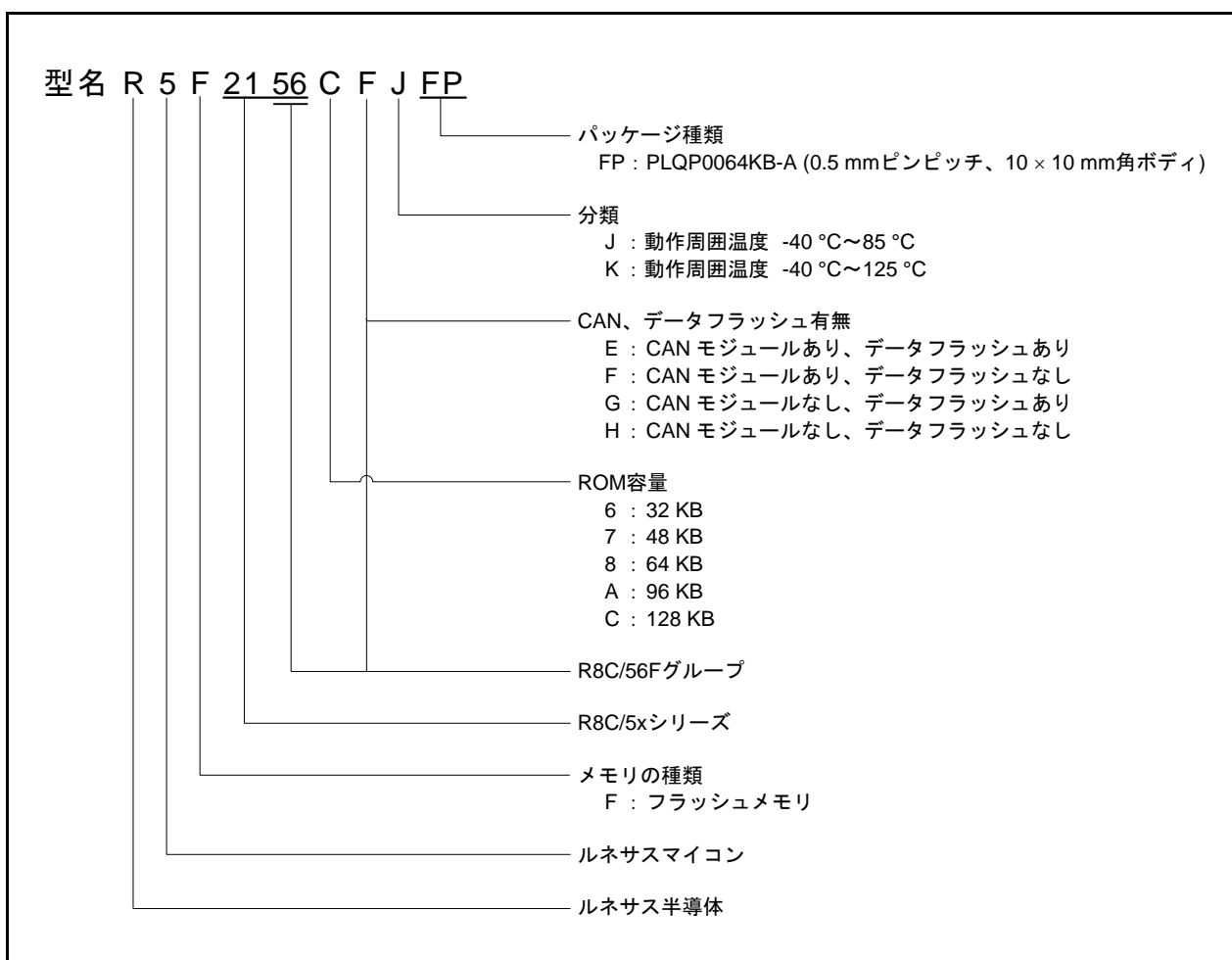


図 1.2 R8C/56Fグループの型名とメモリサイズ・パッケージ

表 1.15 R8C/56Gグループの製品一覧

2014年9月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21566GJFP	32 Kバイト	1 Kバイト × 4	2.5 Kバイト	PLQP0064KB-A	Jバージョン
R5F21567GJFP	48 Kバイト		4 Kバイト		
R5F21568GJFP	64 Kバイト		6 Kバイト		
R5F2156AGJFP	96 Kバイト		8 Kバイト		
R5F2156CGJFP	128 Kバイト		10 Kバイト		
R5F21566GKFP	32 Kバイト		2.5 Kバイト		
R5F21567GKFP	48 Kバイト		4 Kバイト		
R5F21568GKFP	64 Kバイト		6 Kバイト		
R5F2156AGKFP	96 Kバイト		8 Kバイト		
R5F2156CGKFP	128 Kバイト		10 Kバイト		

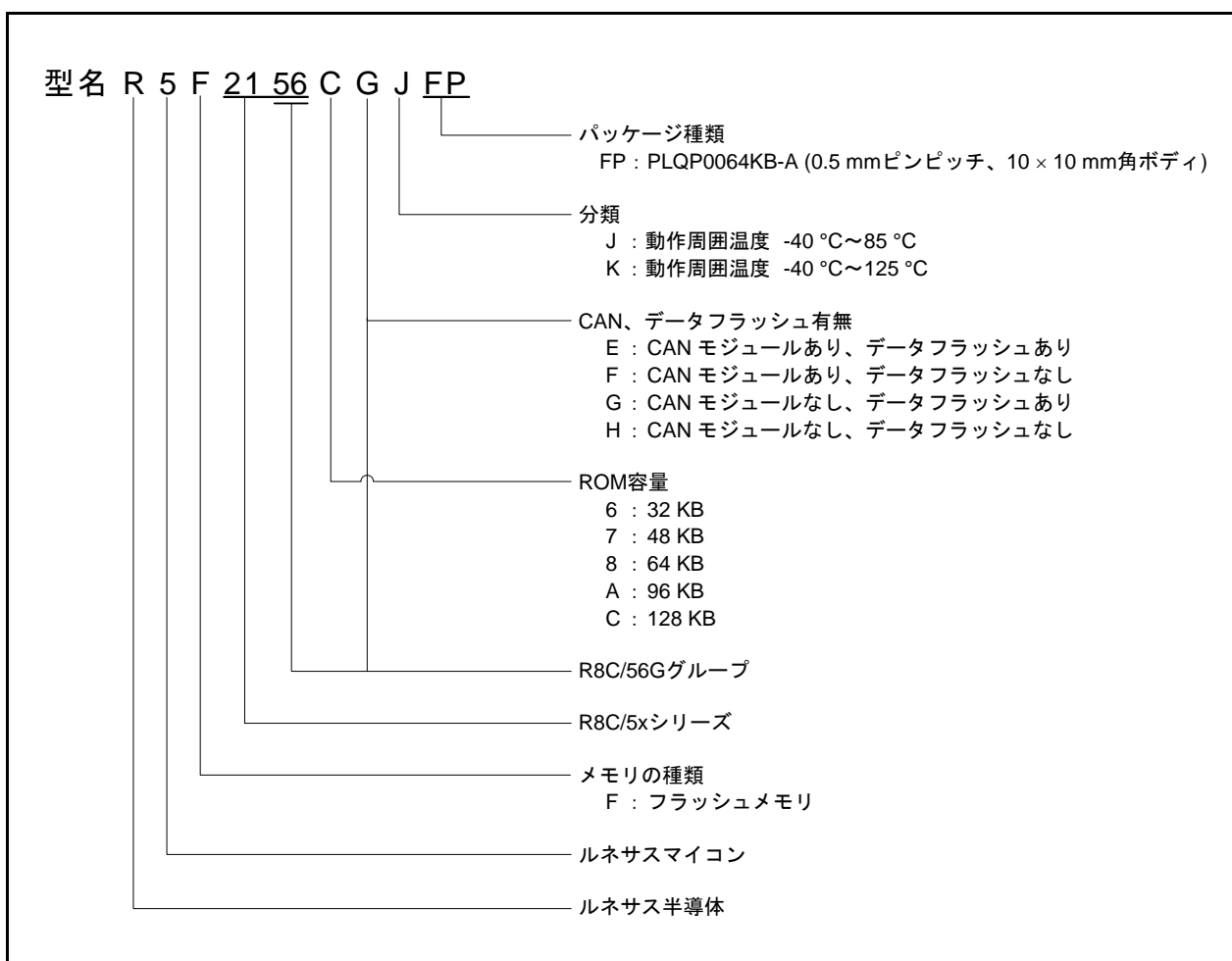


図 1.3 R8C/56Gグループの型名とメモリサイズ・パッケージ

表 1.16 R8C/56Hグループの製品一覧

2014年9月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
	プログラムROM			
R5F21566HJFP	32 Kバイト	2.5 Kバイト	PLQP0064KB-A	Jバージョン
R5F21567HJFP	48 Kバイト	4 Kバイト		
R5F21568HJFP	64 Kバイト	6 Kバイト		
R5F2156AHJFP	96 Kバイト	8 Kバイト		
R5F2156CHJFP	128 Kバイト	10 Kバイト		
R5F21566HKFP	32 Kバイト	2.5 Kバイト		Kバージョン
R5F21567HKFP	48 Kバイト	4 Kバイト		
R5F21568HKFP	64 Kバイト	6 Kバイト		
R5F2156AHKFP	96 Kバイト	8 Kバイト		
R5F2156CHKFP	128 Kバイト	10 Kバイト		

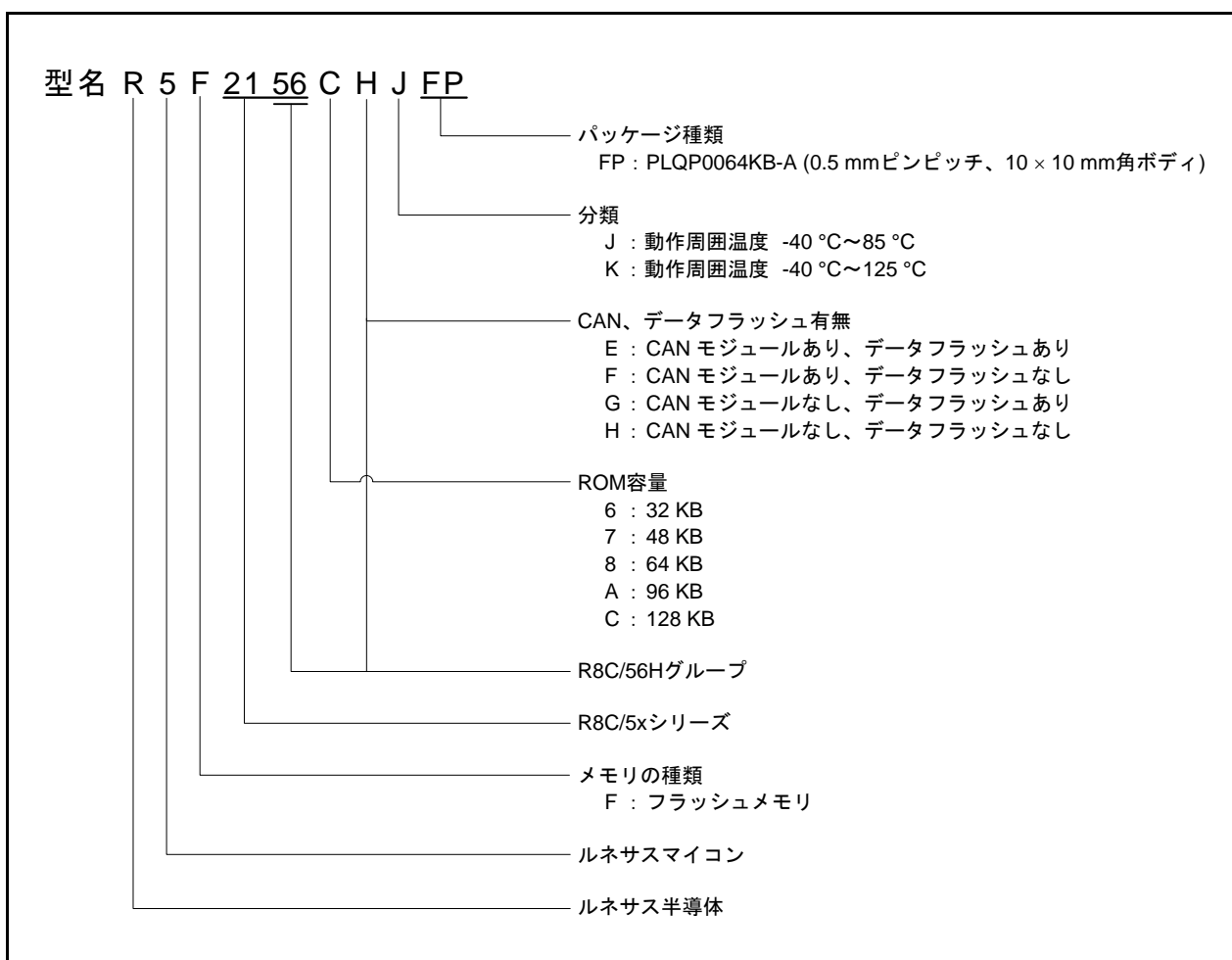


図 1.4 R8C/56Hグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.5にブロック図を示します。

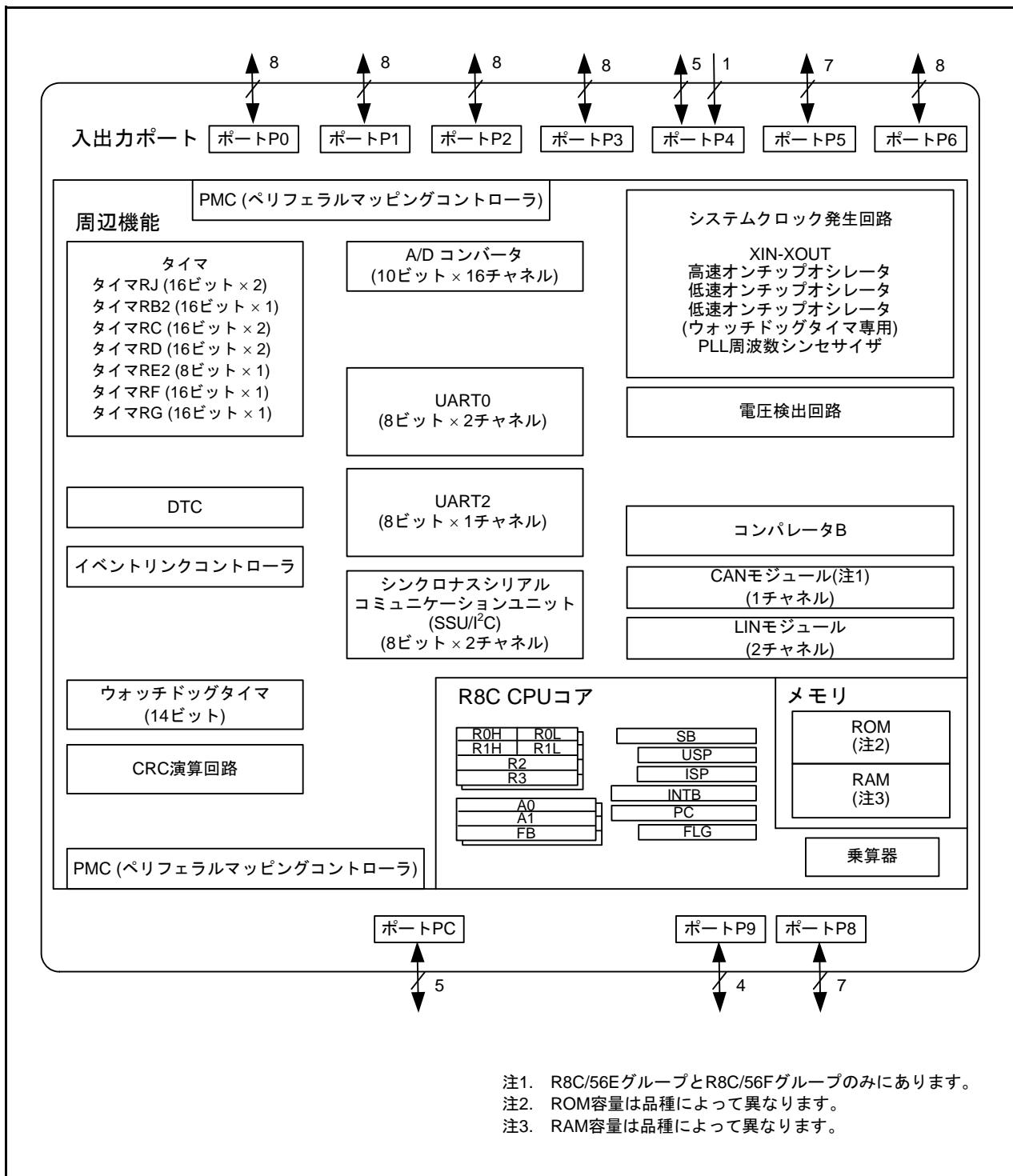


図1.5 ブロック図

1.4 ピン配置図

図1.6にピン配置図(上面図)を、表1.17～表1.22にピン番号別端子名一覧を示します。

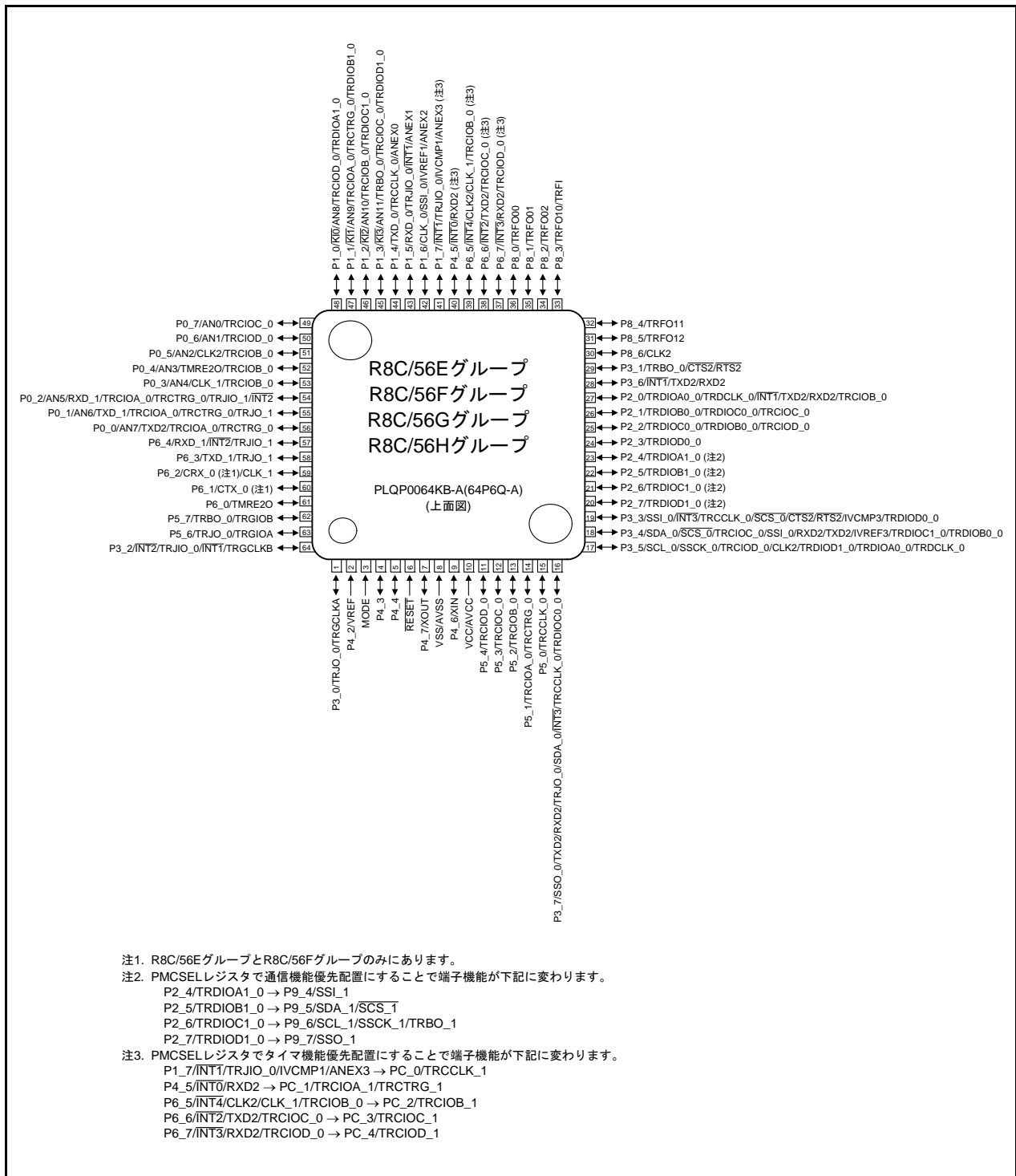


図1.6 ピン配置図(上面図)

表 1.17 ピン番号別端子名一覧(割り込み、UART0、UART2)

ポート	端子番号	割り込み				UART0						UART2					
		INT0	INT1	INT2	INT3	INT4	TXD_0	TXD_1	RXD_0	RXD_1	CLK_0	CLK_1	TXD2	RXD2	CTS2	RTS2	CLK2
P0_0	56																
P0_1	55								TXD_1				TXD2				
P0_2	54			INT2								RXD_1					
P0_3	53											CLK_1					
P0_4	52																
P0_5	51																CLK2
P0_6	50																
P0_7	49																
P1_0	48																
P1_1	47																
P1_2	46																
P1_3	45																
P1_4	44						TXD_0										
P1_5	43		INT1						RXD_0								
P1_6	42										CLK_0						
P1_7	41 (注1)		INT1														
P2_0	27		INT1										TXD2	RXD2			
P2_1	26																
P2_2	25																
P2_3	24																
P2_4	23 (注1)																
P2_5	22 (注1)																
P2_6	21 (注1)																
P2_7	20 (注1)																
P3_0	1																
P3_1	29														CTS2	RTS2	
P3_2	64		INT1	INT2													
P3_3	19				INT3										CTS2	RTS2	
P3_4	18												TXD2	RXD2			
P3_5	17																CLK2
P3_6	28		INT1										TXD2	RXD2			
P3_7	16				INT3								TXD2	RXD2			
P4_2	2																
P4_3	4																
P4_4	5																
P4_5	40 (注1)	INT0												RXD2			
P4_6	9																
P4_7	7																
P5_0	15																
P5_1	14																
P5_2	13																
P5_3	12																
P5_4	11																
P5_6	63																
P5_7	62																
P6_0	61																
P6_1	60																
P6_2	59											CLK_1					
P6_3	58																
P6_4	57			INT2								RXD_1					
P6_5	39 (注1)					INT4							CLK_1				CLK2
P6_6	38 (注1)			INT2									TXD2				
P6_7	37 (注1)				INT3									RXD2			
P8_0	36																
P8_1	35																
P8_2	34																
P8_3	33																
P8_4	32																
P8_5	31																
P8_6	30																CLK2
P9_4	23 (注1)																
P9_5	22 (注1)																
P9_6	21 (注1)																
P9_7	20 (注1)																
PC_0	41 (注1)																
PC_1	40 (注1)																
PC_2	39 (注1)																
PC_3	38 (注1)																
PC_4	37 (注1)																

注1. PMC機能により端子配置が変わります。

表 1.18 ピン番号別端子名一覧(CAN、SSU/I²C)

ポート	端子番号	CAN (注1)		SSU/I ² C											
		CTX_0	CRX_0	SCL_0	SCL_1	SDA_0	SDA_1	SSI_0	SSI_1	SCS_0	SCS_1	SSCK_0	SSCK_1	SSO_0	SSO_1
P0_0	56														
P0_1	55														
P0_2	54														
P0_3	53														
P0_4	52														
P0_5	51														
P0_6	50														
P0_7	49														
P1_0	48														
P1_1	47														
P1_2	46														
P1_3	45														
P1_4	44														
P1_5	43														
P1_6	42							SSI_0							
P1_7	41 (注2)														
P2_0	27														
P2_1	26														
P2_2	25														
P2_3	24														
P2_4	23 (注2)														
P2_5	22 (注2)														
P2_6	21 (注2)														
P2_7	20 (注2)														
P3_0	1														
P3_1	29														
P3_2	64														
P3_3	19							SSI_0		SCS_0					
P3_4	18					SDA_0		SSI_0		SCS_0					
P3_5	17			SCL_0								SSCK_0			
P3_6	28														
P3_7	16					SDA_0								SSO_0	
P4_2	2														
P4_3	4														
P4_4	5														
P4_5	40 (注2)														
P4_6	9														
P4_7	7														
P5_0	15														
P5_1	14														
P5_2	13														
P5_3	12														
P5_4	11														
P5_6	63														
P5_7	62														
P6_0	61														
P6_1	60	CTX_0													
P6_2	59		CRX_0												
P6_3	58														
P6_4	57														
P6_5	39 (注2)														
P6_6	38 (注2)														
P6_7	37 (注2)														
P8_0	36														
P8_1	35														
P8_2	34														
P8_3	33														
P8_4	32														
P8_5	31														
P8_6	30														
P9_4	23 (注2)							SSI_1							
P9_5	22 (注2)					SDA_1				SCS_1					
P9_6	21 (注2)			SCL_1								SSCK_1			
P9_7	20 (注2)														SSO_1
PC_0	41 (注2)														
PC_1	40 (注2)														
PC_2	39 (注2)														
PC_3	38 (注2)														
PC_4	37 (注2)														

注1. R8C/56E グループとR8C/56F グループのみにあります。
 注2. PMC機能により端子配置が変わります。

表 1.19 ピン番号別端子名一覧(タイマRC)

ポート	端子番号	タイマRC												
		TRCCLK_0	TRCCLK_1	TRCIOA_0	TRCIOB_0	TRCIOC_0	TRCIOD_0	TRCTRГ_0	TRCCLK_1	TRCIOA_1	TRCIOB_1	TRCIOC_1	TRCIOD_1	TRCTRГ_1
P0_0	56			TRCIOA_0				TRCTRГ_0						
P0_1	55			TRCIOA_0				TRCTRГ_0						
P0_2	54			TRCIOA_0				TRCTRГ_0						
P0_3	53				TRCIOB_0									
P0_4	52				TRCIOB_0									
P0_5	51				TRCIOB_0									
P0_6	50						TRCIOD_0							
P0_7	49					TRCIOC_0								
P1_0	48						TRCIOD_0							
P1_1	47			TRCIOA_0				TRCTRГ_0						
P1_2	46				TRCIOB_0									
P1_3	45					TRCIOC_0								
P1_4	44	TRCCLK_0												
P1_5	43													
P1_6	42													
P1_7	41 (注1)													
P2_0	27				TRCIOB_0									
P2_1	26					TRCIOC_0								
P2_2	25						TRCIOD_0							
P2_3	24													
P2_4	23 (注1)													
P2_5	22 (注1)													
P2_6	21 (注1)													
P2_7	20 (注1)													
P3_0	1													
P3_1	29													
P3_2	64													
P3_3	19	TRCCLK_0												
P3_4	18					TRCIOC_0								
P3_5	17						TRCIOD_0							
P3_6	28													
P3_7	16	TRCCLK_0												
P4_2	2													
P4_3	4													
P4_4	5													
P4_5	40 (注1)													
P4_6	9													
P4_7	7													
P5_0	15	TRCCLK_0												
P5_1	14			TRCIOA_0				TRCTRГ_0						
P5_2	13				TRCIOB_0									
P5_3	12					TRCIOC_0								
P5_4	11						TRCIOD_0							
P5_6	63													
P5_7	62													
P6_0	61													
P6_1	60													
P6_2	59													
P6_3	58													
P6_4	57													
P6_5	39 (注1)				TRCIOB_0									
P6_6	38 (注1)					TRCIOC_0								
P6_7	37 (注1)						TRCIOD_0							
P8_0	36													
P8_1	35													
P8_2	34													
P8_3	33													
P8_4	32													
P8_5	31													
P8_6	30													
P9_4	23 (注1)													
P9_5	22 (注1)													
P9_6	21 (注1)													
P9_7	20 (注1)													
PC_0	41 (注1)								TRCCLK_1					
PC_1	40 (注1)									TRCIOA_1				TRCTRГ_1
PC_2	39 (注1)										TRCIOB_1			
PC_3	38 (注1)											TRCIOC_1		
PC_4	37 (注1)												TRCIOD_1	

注1. PMC機能により端子配置が変わります。

表 1.20 ピン番号別端子名一覧(タイマRD)

ポート	端子番号	タイマRD								
		TRDCLK_0	TRDIOA0_0	TRDIOB0_0	TRDIOC0_0	TRDIOD0_0	TRDIOA1_0	TRDIOB1_0	TRDIOC1_0	TRDIOD1_0
P0_0	56									
P0_1	55									
P0_2	54									
P0_3	53									
P0_4	52									
P0_5	51									
P0_6	50									
P0_7	49									
P1_0	48						TRDIOA1_0			
P1_1	47							TRDIOB1_0		
P1_2	46								TRDIOC1_0	
P1_3	45									TRDIOD1_0
P1_4	44									
P1_5	43									
P1_6	42									
P1_7	41 (注1)									
P2_0	27	TRDCLK_0	TRDIOA0_0							
P2_1	26			TRDIOB0_0	TRDIOC0_0					
P2_2	25			TRDIOB0_0	TRDIOC0_0					
P2_3	24					TRDIOD0_0				
P2_4	23 (注1)						TRDIOA1_0			
P2_5	22 (注1)							TRDIOB1_0		
P2_6	21 (注1)								TRDIOC1_0	
P2_7	20 (注1)									TRDIOD1_0
P3_0	1									
P3_1	29									
P3_2	64									
P3_3	19					TRDIOD0_0				
P3_4	18			TRDIOB0_0				TRDIOC1_0		
P3_5	17	TRDCLK_0	TRDIOA0_0							TRDIOD1_0
P3_6	28									
P3_7	16				TRDIOC0_0					
P4_2	2									
P4_3	4									
P4_4	5									
P4_5	40 (注1)									
P4_6	9									
P4_7	7									
P5_0	15									
P5_1	14									
P5_2	13									
P5_3	12									
P5_4	11									
P5_6	63									
P5_7	62									
P6_0	61									
P6_1	60									
P6_2	59									
P6_3	58									
P6_4	57									
P6_5	39 (注1)									
P6_6	38 (注1)									
P6_7	37 (注1)									
P8_0	36									
P8_1	35									
P8_2	34									
P8_3	33									
P8_4	32									
P8_5	31									
P8_6	30									
P9_4	23 (注1)									
P9_5	22 (注1)									
P9_6	21 (注1)									
P9_7	20 (注1)									
PC_0	41 (注1)									
PC_1	40 (注1)									
PC_2	39 (注1)									
PC_3	38 (注1)									
PC_4	37 (注1)									

注1. PMC機能により端子配置が変わります。

表 1.21 ピン番号別端子名一覧(タイマRJ、タイマRB2、タイマRE2、タイマRF)

ポート	端子番号	タイマRJ				タイマRB2	タイマRE2	タイマRF							
		TRJO_0	TRJO_1	TRJIO_0	TRJIO_1	TRBO_0	TMRE20	TRFI	TRFO00	TRFO01	TRFO02	TRFO10	TRFO11	TRFO12	
P0_0	56														
P0_1	55		TRJO_1												
P0_2	54				TRJIO_1										
P0_3	53														
P0_4	52						TMRE20								
P0_5	51														
P0_6	50														
P0_7	49														
P1_0	48														
P1_1	47														
P1_2	46														
P1_3	45					TRBO_0									
P1_4	44														
P1_5	43			TRJIO_0											
P1_6	42														
P1_7	41 (注1)			TRJIO_0											
P2_0	27														
P2_1	26														
P2_2	25														
P2_3	24														
P2_4	23 (注1)														
P2_5	22 (注1)														
P2_6	21 (注1)														
P2_7	20 (注1)														
P3_0	1	TRJO_0													
P3_1	29					TRBO_0									
P3_2	64			TRJIO_0											
P3_3	19														
P3_4	18														
P3_5	17														
P3_6	28														
P3_7	16	TRJO_0													
P4_2	2														
P4_3	4														
P4_4	5														
P4_5	40 (注1)														
P4_6	9														
P4_7	7														
P5_0	15														
P5_1	14														
P5_2	13														
P5_3	12														
P5_4	11														
P5_6	63	TRJO_0													
P5_7	62					TRBO_0									
P6_0	61						TMRE20								
P6_1	60														
P6_2	59														
P6_3	58		TRJO_1												
P6_4	57				TRJIO_1										
P6_5	39 (注1)														
P6_6	38 (注1)														
P6_7	37 (注1)														
P8_0	36								TRFO00						
P8_1	35									TRFO01					
P8_2	34										TRFO02				
P8_3	33							TRFI				TRFO10			
P8_4	32												TRFO11		
P8_5	31													TRFO12	
P8_6	30														
P9_4	23 (注1)														
P9_5	22 (注1)														
P9_6	21 (注1)														
P9_7	20 (注1)														
PC_0	41 (注1)														
PC_1	40 (注1)														
PC_2	39 (注1)														
PC_3	38 (注1)														
PC_4	37 (注1)														

注1. PMC機能により端子配置が変わります。

表1.22 ピン番号別端子名一覧(タイマRG、その他)

ポート	端子番号	タイマRG				その他		
		TRGCLKA	TRGCLKB	TRGIOA	TRGGIOB			
P0_0	56					AN7		
P0_1	55					AN6		
P0_2	54					AN5		
P0_3	53					AN4		
P0_4	52					AN3		
P0_5	51					AN2		
P0_6	50					AN1		
P0_7	49					AN0		
P1_0	48					KI0	AN8	
P1_1	47					KI1	AN9	
P1_2	46					KI2	AN10	
P1_3	45					KI3	AN11	
P1_4	44						ANEX0	
P1_5	43						ANEX1	
P1_6	42					IVREF1		ANEX2
P1_7	41 (注1)					IVCMP1	ANEX3	
P2_0	27							
P2_1	26							
P2_2	25							
P2_3	24							
P2_4	23 (注1)							
P2_5	22 (注1)							
P2_6	21 (注1)							
P2_7	20 (注1)							
P3_0	1	TRGCLKA						
P3_1	29							
P3_2	64		TRGCLKB					
P3_3	19					IVCMP3		
P3_4	18					IVREF3		
P3_5	17							
P3_6	28							
P3_7	16							
P4_2	2					VREF		
P4_3	4							
P4_4	5							
P4_5	40 (注1)							
P4_6	9					XIN		
P4_7	7					XOUT		
P5_0	15							
P5_1	14							
P5_2	13							
P5_3	12							
P5_4	11							
P5_6	63			TRGIOA				
P5_7	62				TRGGIOB			
P6_0	61							
P6_1	60							
P6_2	59							
P6_3	58							
P6_4	57							
P6_5	39 (注1)							
P6_6	38 (注1)							
P6_7	37 (注1)							
P8_0	36							
P8_1	35							
P8_2	34							
P8_3	33							
P8_4	32							
P8_5	31							
P8_6	30							
P9_4	23 (注1)							
P9_5	22 (注1)							
P9_6	21 (注1)							
P9_7	20 (注1)							
PC_0	41 (注1)							
PC_1	40 (注1)							
PC_2	39 (注1)							
PC_3	38 (注1)							
PC_4	37 (注1)							

注1. PMC機能により端子配置が変わります。

1.5 端子機能の説明

表1.23、表1.24に端子機能の説明を示します。

表1.23 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS	—	CPUクロック = 32 MHzのとき、VCCには2.7 V～5.5 Vを入力してください。 VSSには、0 Vを入力してください。
アナログ電源入力	AVCC、AVSS	—	A/Dコンバータの電源入力です。 AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子にLを入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。
XINクロック出力	XOUT	入出力	XINとXOUTの間には、セラミック共振子または水晶発振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XOUTからクロックを入力し、XINは開放にしてください。
INT割り込み入力	INT0～INT4	入力	INT割り込みの入力です。
キー入力割り込み	KI0～KI3	入力	キー入力割り込みの入力です。
タイマRJ_0、RJ_1	TRJIO_0、TRJIO_1	入出力	タイマRJの入出力です。
	TRJO_0、TRJO_1	出力	タイマRJの出力です。
タイマRB2_0	TRBO_0	出力	タイマRB2の出力です。
タイマRC_0、RC_1	TRCCLK_0、TRCCLK_1	入力	外部クロック入力です。
	TRCTRG_0、TRCTRG_1	入力	外部トリガ入力です。
	TRCIOA_0、TRCIOB_0、 TRCIOA_1、TRCIOB_1、 TRCIOA_1、TRCIOB_1、 TRCIOA_1、TRCIOB_1、 TRCIOA_1、TRCIOB_1	入出力	タイマRCの入出力です。
タイマRD_0	TRDIOA0_0、 TRDIOA1_0、 TRDIOB0_0、 TRDIOB1_0、 TRDIOC0_0、 TRDIOC1_0、 TRDIOD0_0、 TRDIOD1_0	入出力	タイマRDの入出力です。
	TRDCLK_0	入力	外部クロック入力です。
タイマRE2	TMRE2O	出力	分周クロックの出力です。
タイマRF	TRFO00、TRFO10、 TRFO01、TRFO11、 TRFO02、TRFO12	出力	タイマRFの出力です。
	TRFI	入力	タイマRFの入力です。
タイマRG	TRGIOA、TRGIOB	入出力	タイマRGの入出力です。
	TRGCLKA、TRGCLKB	入力	外部クロック入力です。
シリアルインタフェース(UART0)	CLK_0、CLK_1	入出力	転送クロック入出力です。
	RXD_0、RXD_1	入力	シリアルデータ入力です。
	TXD_0、TXD_1	出力	シリアルデータ出力です。

注1. 発振特性は発振子メーカーにお問い合わせください。

表1.24 端子機能の説明(2)

分類	端子名	入出力	機能
シリアルインタフェース(UART2)	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	RXD2	入力	シリアルデータ入力です。
	TXD2	出力	シリアルデータ出力です。
	CLK2	入出力	転送クロック入出力です。
シンクロナスシリアルコミュニケーションユニット(SSU_0、SSU_1)	SSI_0、SSI_1	入出力	データ入出力です。
	SCS_0、SCS_1	入出力	チップセレクト入出力です。
	SSCK_0、SSCK_1	入出力	クロック入出力です。
	SSO_0、SSO_1	入出力	データ入出力です。
I ² Cバス(I ² C_0、I ² C_1)	SCL_0、SCL_1	入出力	クロック入出力です。
	SDA_0、SDA_1	入出力	データ入出力です。
CANモジュール(CAN_0)(注1)	CRX_0	入力	CANのデータ入力です。
	CTX_0	出力	CANのデータ出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0～AN11、ANEX0～ANEX3	入力	A/Dコンバータのアナログ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力です。
	IVREF1、IVREF3	入力	コンパレータBの基準電圧入力です。
入出力ポート	P0_0～P0_7、 P1_0～P1_7、 P2_0～P2_7、 P3_0～P3_7、 P4_3～P4_7、 P5_0～P5_4、P5_6、 P5_7 P6_0～P6_7、 P8_0～P8_6、 P9_4～P9_7、 PC_0～PC_4	入出力	CMOSの8ビット入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 すべてのポートは、LED駆動(高駆動)ポートとして使用できます。
入力ポート	P4_2	入力	入力専用ポートです。

注1. R8C/56EグループとR8C/56Fグループのみにあります。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

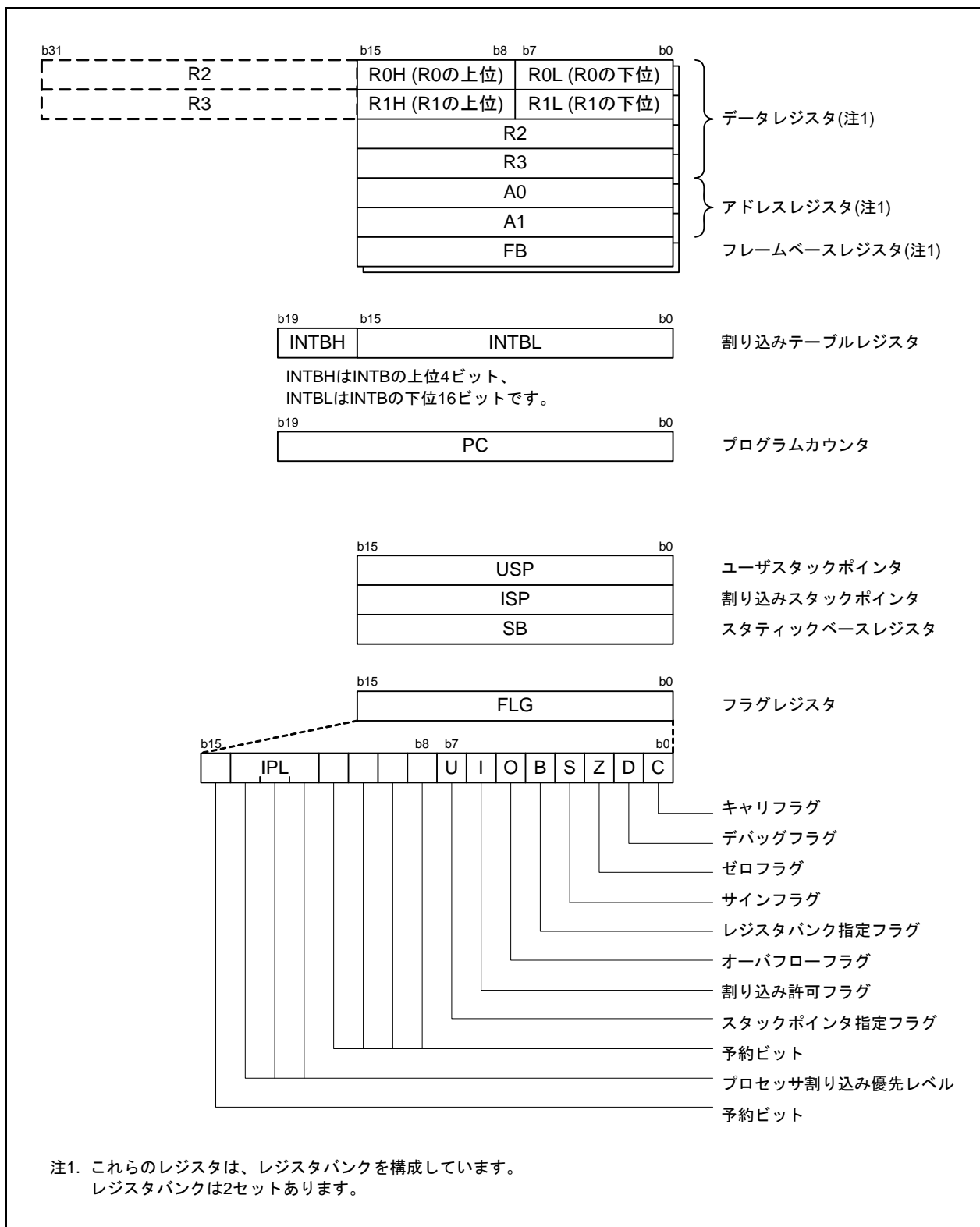


図2.1 CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、ともに16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。0にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき1になり、それ以外のとき0になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき1になり、それ以外のとき0になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが0の場合、レジスタバンク0が指定され、1の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに1になります。それ以外では0になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが0の場合、マスクブル割り込みは禁止され、1の場合、許可されます。割り込み要求を受け付けると、Iフラグは0になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが0の場合、ISPが指定され、1の場合、USPが指定されます。ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは0になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、0を書いてください。読んだ場合、その値は不定です。

3. アドレス空間

3.1 R8C/56Eグループのメモリマップ

図3.1にR8C/56Eグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は07000h番地から07FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

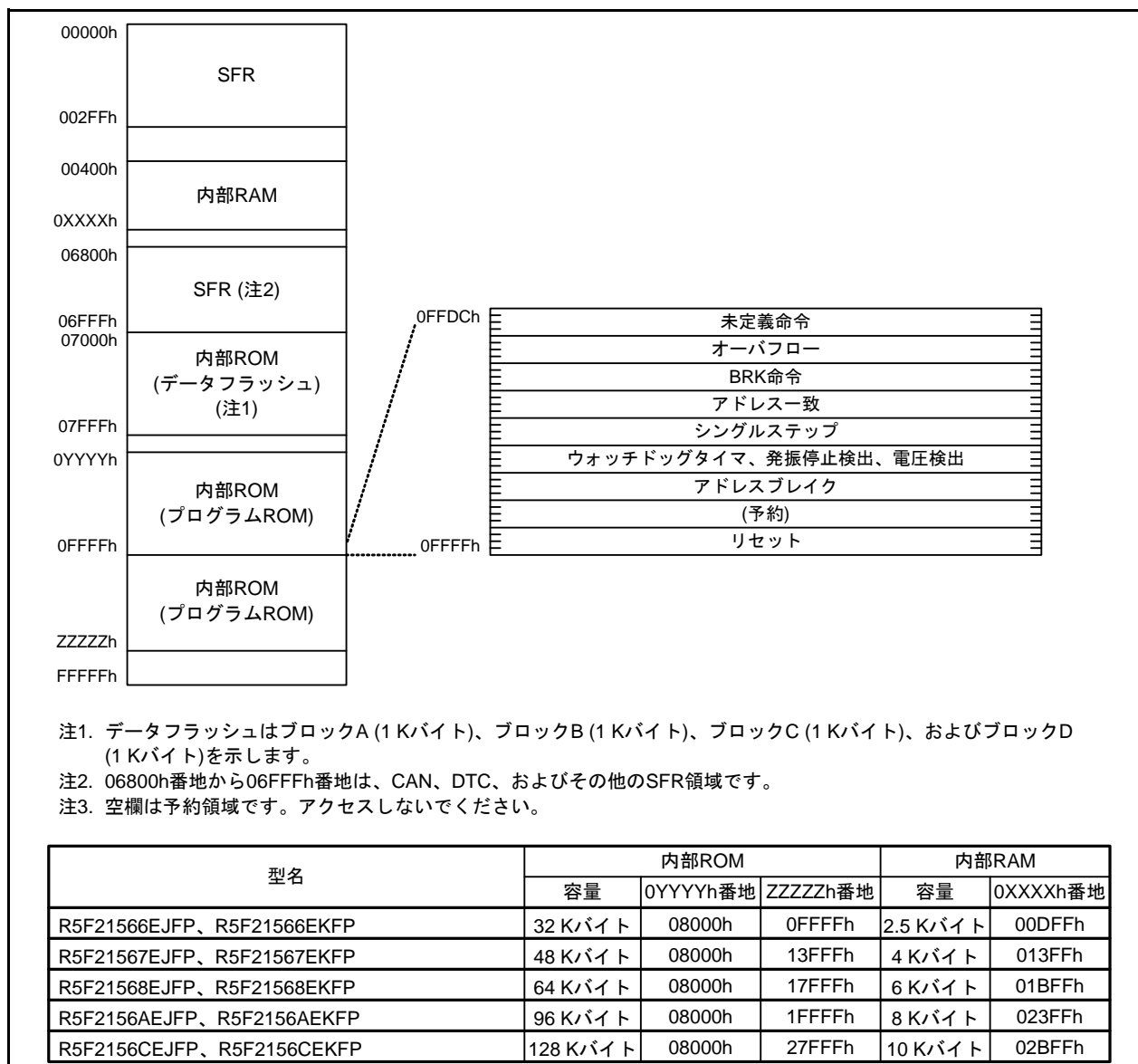


図3.1 R8C/56Eグループのメモリ配置図

3.2 R8C/56Fグループのメモリマップ

図3.2にR8C/56Fグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

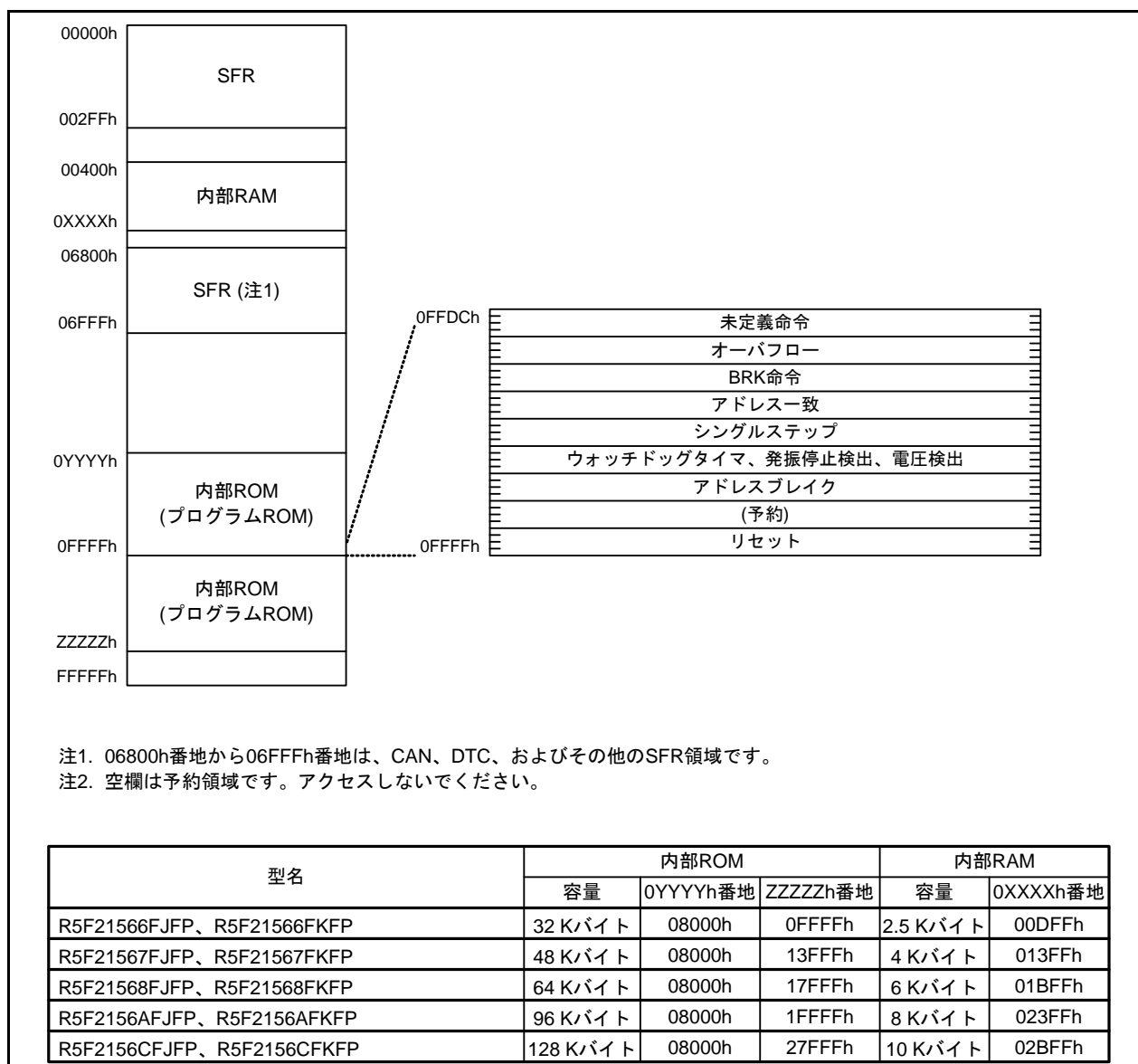


図3.2 R8C/56Fグループのメモリ配置図

3.3 R8C/56Gグループのメモリマップ

図3.3にR8C/56Gグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は07000h番地から07FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

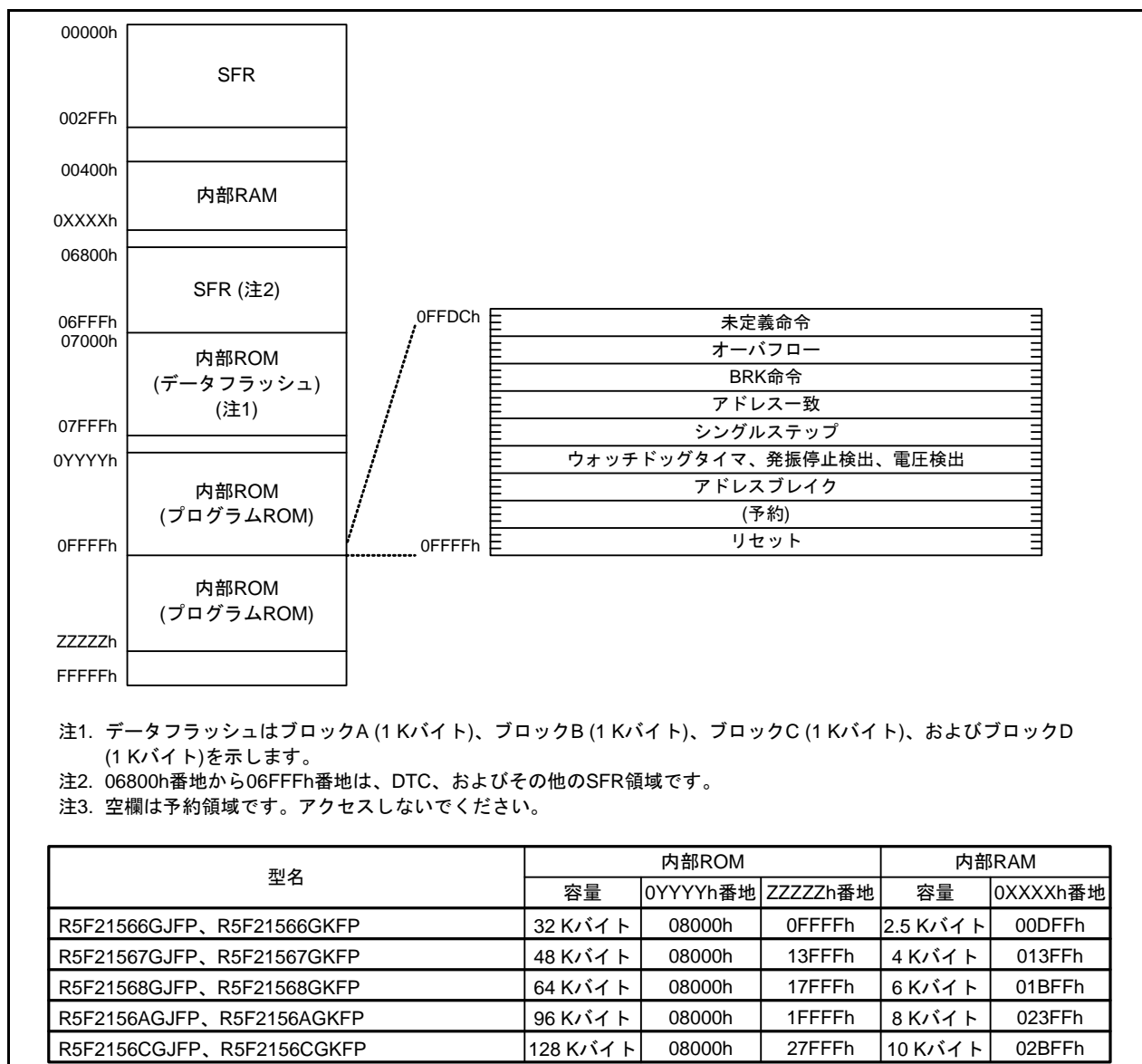


図3.3 R8C/56Gグループのメモリ配置図

3.4 R8C/56Hグループのメモリマップ

図3.4にR8C/56Hグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

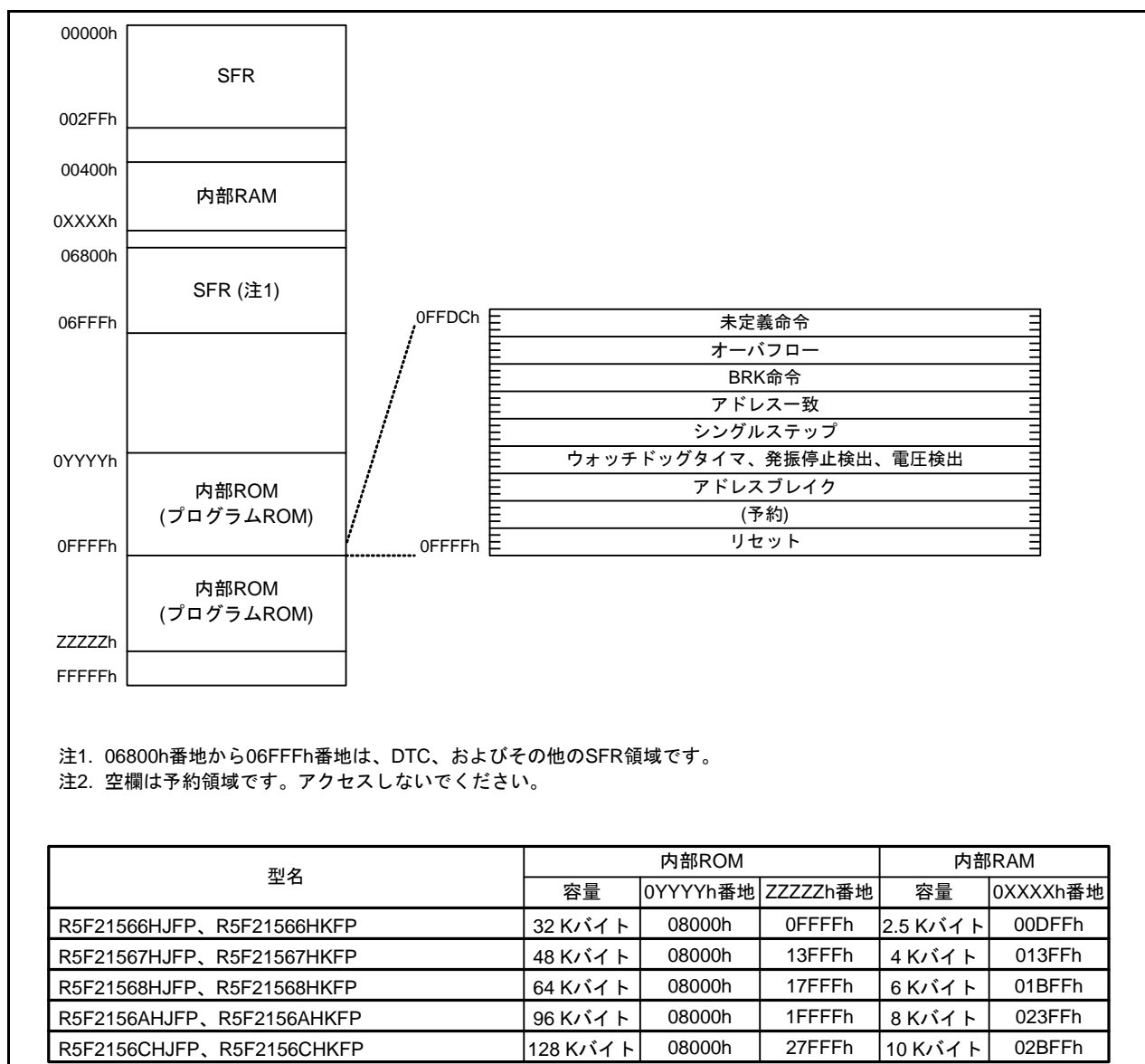


図3.4 R8C/56Hグループのメモリ配置図

3.5 SFR

SFR (Special Function Register)は、周辺機能の制御レジスタです。表3.1～表3.23にSFR一覧を、表3.24にIDコード領域、オプション機能選択領域を示します。

表3.1 SFR一覧(1) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00000h				
00001h				
00002h				
00003h				
00004h	PM0	プロセッサモードレジスタ0	00h	
00005h	PM1	プロセッサモードレジスタ1	10000000b	
00006h				
00007h	PRCR	プロテクトレジスタ	00h	
00008h	CM0	システムクロック制御レジスタ0	00101000b	
00009h	CM1	システムクロック制御レジスタ1	00100000b	
0000Ah	OCD	発振停止検出レジスタ	00h	
0000Bh	CM3	システムクロック制御レジスタ3	00h	
0000Ch	CM4	システムクロック制御レジスタ4	00000001b	
0000Dh				
0000Eh				
0000Fh	PCLKR1	周辺クロック選択レジスタ1	00h	
00010h				
00011h				
00012h	FRA0	高速オンチップオシレータ制御レジスタ0	00h	
00013h				
00014h	FRA2	高速オンチップオシレータ制御レジスタ2	00h	
00015h				
00016h				
00017h				
00018h				
00019h				
0001Ah				
0001Bh				
0001Ch	PLC0	PLL制御レジスタ0	00010010b	
0001Dh				
0001Eh				
0001Fh				
00020h	RISR	リセット割り込み選択レジスタ	10000000b、00000000b	(注2)
00021h	WDTR	ウォッチドッグタイマリセットレジスタ	FFh	
00022h	WDTS	ウォッチドッグタイマスタートレジスタ	FFh	
00023h	WDTC	ウォッチドッグタイマ制御レジスタ	01111111b	
00024h	CSPR	カウントソース保護モードレジスタ	10000000b、00000000b	(注2)
00025h				
00026h				
00027h				
00028h	RSTFR	リセット要因判別レジスタ	00XXXXXXb	
00029h				
0002Ah				
0002Bh				
0002Ch	SVDC	STBY VDC電力制御レジスタ	00h	
0002Dh				
0002Eh				
0002Fh				
00030h	CMPA	電圧監視回路制御レジスタ	00h	
00031h	VCAC	電圧監視回路エッジ選択レジスタ	00h	
00032h	OCVREFCR	チップ内蔵基準電圧制御レジスタ	00h	
00033h				
00034h	VCA2	電圧検出レジスタ2	00000000b、00100000b	(注3)
00035h				
00036h	VD1LS	電圧検出1レベル選択レジスタ	00000111b	
00037h				
00038h	VW0C	電圧監視0回路制御レジスタ	1100XX10b、1100XX11b	(注3)
00039h	VW1C	電圧監視1回路制御レジスタ	10001010b	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタのCSPROINIビットの値によってリセット後の値が異なります。

注3. OFSレジスタのLVDASビットの値によってリセット後の値が異なります。

表3.2 SFR一覧(2)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0003Ah	VW2C	電圧監視2回路制御レジスタ	10001010b	
0003Bh				
0003Ch				
0003Dh				
0003Eh				
0003Fh				
00040h				
00041h	FMRDYIC	割り込み制御レジスタ	00h	
00042h	TRJIC_1	割り込み制御レジスタ	00h	
00043h				
00044h				
00045h				
00046h	INT4IC	割り込み制御レジスタ	00h	
00047h	TRCIC_0	割り込み制御レジスタ	00h	
00048h	TRD0IC_0	割り込み制御レジスタ	00h	
00049h	TRD1IC_0	割り込み制御レジスタ	00h	
0004Ah	TRE2IC	割り込み制御レジスタ	00h	
0004Bh	U2TIC	割り込み制御レジスタ	00h	
0004Ch	U2RIC	割り込み制御レジスタ	00h	
0004Dh	KUPIC	割り込み制御レジスタ	00h	
0004Eh	ADIC	割り込み制御レジスタ	00h	
0004Fh	SSUIC_0/IICIC_0	割り込み制御レジスタ	00h	
00050h	TRFIC	割り込み制御レジスタ	00h	
00051h	U0TIC_0	割り込み制御レジスタ	00h	
00052h	U0RIC_0	割り込み制御レジスタ	00h	
00053h	U0TIC_1	割り込み制御レジスタ	00h	
00054h	U0RIC_1	割り込み制御レジスタ	00h	
00055h	INT2IC	割り込み制御レジスタ	00h	
00056h	TRJIC_0	割り込み制御レジスタ	00h	
00057h				
00058h	TRB2IC_0	割り込み制御レジスタ	00h	
00059h	INT1IC	割り込み制御レジスタ	00h	
0005Ah	INT3IC	割り込み制御レジスタ	00h	
0005Bh				
0005Ch				
0005Dh	INT0IC	割り込み制御レジスタ	00h	
0005Eh	U2BCNIC	割り込み制御レジスタ	00h	
0005Fh				
00060h				
00061h				
00062h				
00063h				
00064h				
00065h				
00066h				
00067h				
00068h				
00069h				
0006Ah				
0006Bh	TRGIC	割り込み制御レジスタ	00h	
0006Ch	CANRXIC_0	割り込み制御レジスタ	00h	
0006Dh	CANTXIC_0	割り込み制御レジスタ	00h	
0006Eh	CANERIC_0	割り込み制御レジスタ	00h	
0006Fh				
00070h				
00071h				
00072h	VCMP1IC	割り込み制御レジスタ	00h	
00073h	VCMP2IC	割り込み制御レジスタ	00h	
00074h				
00075h				
00076h				
00077h				
00078h				
00079h	SSUIC_1/IICIC_1	割り込み制御レジスタ	00h	

注1. 空欄は予約領域です。アクセスしないでください。

表3.3 SFR一覧(3)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0007Ah				
0007Bh				
0007Ch				
0007Dh				
0007Eh				
0007Fh	TRCIC_1	割り込み制御レジスタ	00h	
00080h	U0MR_0	UART0_0送受信モードレジスタ	00h	
00081h	U0BRG_0	UART0_0ビットレートレジスタ	XXh	
00082h	U0TB_0	UART0_0送信バッファレジスタ	XXh	
00083h			XXh	
00084h	U0C0_0	UART0_0送受信制御レジスタ0	00001000b	
00085h	U0C1_0	UART0_0送受信制御レジスタ1	00000010b	
00086h	U0RB_0	UART0_0受信バッファレジスタ	XXXXh	
00087h				
00088h	U0IR_0	UART0_0割り込みフラグと許可レジスタ	00h	
00089h				
0008Ah				
0008Bh				
0008Ch	LINCR2_0	LIN_0特殊機能レジスタ	00h	
0008Dh				
0008Eh	LINCT_0	LIN_0制御レジスタ	00h	
0008Fh	LINST_0	LIN_0ステータスレジスタ	00h	
00090h	U0MR_1	UART0_1送受信モードレジスタ	00h	
00091h	U0BRG_1	UART0_1ビットレートレジスタ	XXh	
00092h	U0TB_1	UART0_1送信バッファレジスタ	XXh	
00093h			XXh	
00094h	U0C0_1	UART0_1送受信制御レジスタ0	00001000b	
00095h	U0C1_1	UART0_1送受信制御レジスタ1	00000010b	
00096h	U0RB_1	UART0_1受信バッファレジスタ	XXXXh	
00097h				
00098h	U0IR_1	UART0_1割り込みフラグと許可レジスタ	00h	
00099h				
0009Ah				
0009Bh				
0009Ch	LINCR2_1	LIN_1特殊機能レジスタ	00h	
0009Dh				
0009Eh	LINCT_1	LIN_1制御レジスタ	00h	
0009Fh	LINST_1	LIN_1ステータスレジスタ	00h	
000A0h				
000A1h				
000A2h				
000A3h				
000A4h				
000A5h				
000A6h				
000A7h				
000A8h				
000A9h				
000AAh				
000ABh				
000ACh				
000ADh				
000AEh				
000AFh				
000B0h				
000B1h				
000B2h				
000B3h				
000B4h				
000B5h				
000B6h				
000B7h				
000B8h				
000B9h				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.4 SFR一覧(4)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
000BAh				
000BBh				
000BCh				
000BDh				
000BEh				
000BFh				
000C0h	U2MR	UART2送受信モードレジスタ	00h	
000C1h	U2BRG	UART2ビットレートレジスタ	00h	
000C2h	U2TB	UART2送信バッファレジスタ	00h	
000C3h			00h	
000C4h	U2C0	UART2送受信制御レジスタ0	00001000b	
000C5h	U2C1	UART2送受信制御レジスタ1	00000010b	
000C6h	U2RB	UART2受信バッファレジスタ	0000h	
000C7h				
000C8h	U2RXDF	UART2デジタルフィルタ機能選択レジスタ	00h	
000C9h				
000CAh				
000CBh				
000CCh				
000CDh				
000CEh				
000CFh				
000D0h	U2SMR5	UART2特殊モードレジスタ5	00h	
000D1h				
000D2h				
000D3h				
000D4h				
000D5h	U2SMR3	UART2特殊モードレジスタ3	00h	
000D6h				
000D7h	U2SMR	UART2特殊モードレジスタ	00h	
000D8h				
000D9h				
000DAh				
000DBh				
000DCh				
000DDh				
000DEh				
000DFh				
000E0h	IICCR_0	I ² C_0制御レジスタ	00001110b	
000E1h	SSBR_0	SS_0ビットカウンタレジスタ	11111000b	
000E2h	SITDR_0	SI_0送信データレジスタ	FFh	
000E3h			FFh	
000E4h	SIRDR_0	SI_0受信データレジスタ	FFh	
000E5h			FFh	
000E6h	SICR1_0	SI_0制御レジスタ1	00h	
000E7h	SICR2_0	SI_0制御レジスタ2	0111101b	
000E8h	SIMR1_0	SI_0モードレジスタ1	00010000b	
000E9h	SIER_0	SI_0割り込み許可レジスタ	00h	
000EAh	SISR_0	SI_0ステータスレジスタ	00h	
000EBh	SIMR2_0	SI_0モードレジスタ2	00h	
000ECh				
000EDh				
000EEh				
000EFh				
000F0h	IICCR_1	I ² C_1制御レジスタ	00001110b	
000F1h	SSBR_1	SS_1ビットカウンタレジスタ	11111000b	
000F2h	SITDR_1	SI_1送信データレジスタ	FFh	
000F3h			FFh	
000F4h	SIRDR_1	SI_1受信データレジスタ	FFh	
000F5h			FFh	
000F6h	SICR1_1	SI_1制御レジスタ1	00h	
000F7h	SICR2_1	SI_1制御レジスタ2	0111101b	
000F8h	SIMR1_1	SI_1モードレジスタ1	00010000b	
000F9h	SIER_1	SI_1割り込み許可レジスタ	00h	

注1. 空欄は予約領域です。アクセスしないでください。

表3.5 SFR一覧(5)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
000FAh	SISR_1	SI_1ステータスレジスタ	00h	
000FBh	SIMR2_1	SI_1モードレジスタ2	00h	
000FCh				
000FDh				
000FEh				
000FFh				
00100h				
00101h				
00102h				
00103h				
00104h				
00105h				
00106h				
00107h				
00108h				
00109h				
0010Ah				
0010Bh				
0010Ch				
0010Dh				
0010Eh				
0010Fh				
00110h	TRJ_0	タイマRJ_0カウンタレジスタ	FFFFh	
00111h				
00112h	TRJCR_0	タイマRJ_0制御レジスタ	00h	
00113h	TRJIOC_0	タイマRJ_0 I/O制御レジスタ	00h	
00114h	TRJMR_0	タイマRJ_0モードレジスタ	00h	
00115h	TRJISR_0	タイマRJ_0イベント端子選択レジスタ	00h	
00116h				
00117h				
00118h	TRJ_1	タイマRJ_1カウンタレジスタ	FFFFh	
00119h				
0011Ah	TRJCR_1	タイマRJ_1制御レジスタ	00h	
0011Bh	TRJIOC_1	タイマRJ_1 I/O制御レジスタ	00h	
0011Ch	TRJMR_1	タイマRJ_1モードレジスタ	00h	
0011Dh	TRJISR_1	タイマRJ_1イベント端子選択レジスタ	00h	
0011Eh				
0011Fh				
00120h				
00121h				
00122h				
00123h				
00124h				
00125h				
00126h				
00127h				
00128h				
00129h				
0012Ah				
0012Bh				
0012Ch				
0012Dh				
0012Eh				
0012Fh				
00130h	TRBCR_0	タイマRB2_0制御レジスタ	00h	
00131h	TRBOCR_0	タイマRB2_0フンショット制御レジスタ	00h	
00132h	TRBIOC_0	タイマRB2_0 I/O制御レジスタ	00h	
00133h	TRBMR_0	タイマRB2_0モードレジスタ	00h	
00134h	TRBPRES_0	TRBPRSC_0 タイマRB2_0プリスケアラレジスタ タイマRB2_0プライマリ/セカンダリレジスタ (下位8ビット)	FFh	
00135h	TRBPR_0		FFh	
00136h	TRBSC_0	タイマRB2_0セカンダリレジスタ タイマRB2_0セカンダリレジスタ(上位8ビット)	FFh	
00137h	TRBIR_0	タイマRB2_0割り込み要求レジスタ	00h	
00138h	TRCCNT_0	タイマRC_0カウンタ	0000h	
00139h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.6 SFR一覧(6)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	レジスタ名
0013Ah	TRCGRA_0	タイマRC_0ジェネラルレジスタA	FFFFh	
0013Bh				
0013Ch	TRCGRB_0	タイマRC_0ジェネラルレジスタB	FFFFh	
0013Dh				
0013Eh	TRCGRC_0	タイマRC_0ジェネラルレジスタC	FFFFh	
0013Fh				
00140h	TRCGRD_0	タイマRC_0ジェネラルレジスタD	FFFFh	
00141h				
00142h	TRCMR_0	タイマRC_0モードレジスタ	01001000b	
00143h	TRCCR1_0	タイマRC_0制御レジスタ1	00h	
00144h	TRCIER_0	タイマRC_0割り込み許可レジスタ	01110000b	
00145h	TRCSR_0	タイマRC_0ステータスレジスタ	01110000b	
00146h	TRCIOR0_0	タイマRC_0 I/O制御レジスタ0	10001000b	
00147h	TRCIOR1_0	タイマRC_0 I/O制御レジスタ1	10001000b	
00148h	TRCCR2_0	タイマRC_0制御レジスタ2	00011000b	
00149h	TRCDF_0	タイマRC_0デジタルフィルタ機能選択レジスタ	00h	
0014Ah	TRCOER_0	タイマRC_0出力許可レジスタ	01111111b	
0014Bh	TRCADCR_0	タイマRC_0 A/D変換トリガ制御レジスタ	11110000b	
0014Ch	TRCOPR_0	タイマRC_0出力波形操作レジスタ	00h	
0014Dh	TRCELCCR_0	タイマRC_0 ELC連動制御レジスタ	00h	
0014Eh				
0014Fh				
00150h				
00151h				
00152h				
00153h				
00154h				
00155h				
00156h				
00157h				
00158h	TRCNT_1	タイマRC_1カウンタ	0000h	
00159h				
0015Ah	TRCGRA_1	タイマRC_1ジェネラルレジスタA	FFFFh	
0015Bh				
0015Ch	TRCGRB_1	タイマRC_1ジェネラルレジスタB	FFFFh	
0015Dh				
0015Eh	TRCGRC_1	タイマRC_1ジェネラルレジスタC	FFFFh	
0015Fh				
00160h	TRCGRD_1	タイマRC_1ジェネラルレジスタD	FFFFh	
00161h				
00162h	TRCMR_1	タイマRC_1モードレジスタ	01001000b	
00163h	TRCCR1_1	タイマRC_1制御レジスタ1	00h	
00164h	TRCIER_1	タイマRC_1割り込み許可レジスタ	01110000b	
00165h	TRCSR_1	タイマRC_1ステータスレジスタ	01110000b	
00166h	TRCIOR0_1	タイマRC_1 I/O制御レジスタ0	10001000b	
00167h	TRCIOR1_1	タイマRC_1 I/O制御レジスタ1	10001000b	
00168h	TRCCR2_1	タイマRC_1制御レジスタ2	00011000b	
00169h	TRCDF_1	タイマRC_1デジタルフィルタ機能選択レジスタ	00h	
0016Ah	TRCOER_1	タイマRC_1出力許可レジスタ	01111111b	
0016Bh				
0016Ch	TRCOPR_1	タイマRC_1出力波形操作レジスタ	00h	
0016Dh	TRCELCCR_1	タイマRC_1 ELC連動制御レジスタ	00h	
0016Eh				
0016Fh				
00170h	TRESEC	タイマRE2カウンタデータレジスタ	00h	
00171h	TREMIN	タイマRE2コンペアデータレジスタ	00h	
00172h				
00173h				
00174h				
00175h				
00176h				
00177h	TRECR	タイマRE2制御レジスタ	00000100b	
00178h	TRECSR	タイマRE2カウントソース選択レジスタ	00001000b	
00179h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.7 SFR一覧(7)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0017Ah	TREIFR	タイマRE2割り込みフラグレジスタ	00h	
0017Bh	TREIER	タイマRE2割り込み許可レジスタ	00h	
0017Ch				
0017Dh				
0017Eh				
0017Fh	TREPRC	タイマRE2プロテクトレジスタ	00h	
00180h	TRDELCCR_0	タイマRD_0 ELC 連動制御レジスタ	00h	
00181h				
00182h	TRDADCR_0	タイマRD_0 トリガ制御レジスタ	00h	
00183h	TRDSTR_0	タイマRD_0 スタートレジスタ	11111100b	
00184h	TRDMR_0	タイマRD_0 モードレジスタ	00001110b	
00185h	TRDPMR_0	タイマRD_0 PWMモードレジスタ	10001000b	
00186h	TRDFCR_0	タイマRD_0 機能制御レジスタ	10000000b	
00187h	TRDOER1_0	タイマRD_0 出力マスタ許可レジスタ1	FFh	
00188h	TRDOER2_0	タイマRD_0 出力マスタ許可レジスタ2	01111111b	
00189h	TRDOCR_0	タイマRD_0 出力制御レジスタ	00h	
0018Ah	TRDDF0_0	タイマRD_0 デジタルフィルタ機能選択レジスタ0	00h	
0018Bh	TRDDF1_0	タイマRD_0 デジタルフィルタ機能選択レジスタ1	00h	
0018Ch				
0018Dh				
0018Eh				
0018Fh				
00190h	TRDCR0_0	タイマRD_0 制御レジスタ0	00h	
00191h	TRDIORA0_0	タイマRD_0 I/O制御レジスタA0	10001000b	
00192h	TRDIORC0_0	タイマRD_0 I/O制御レジスタC0	10001000b	
00193h	TRDSR0_0	タイマRD_0 ステータスレジスタ0	11100000b	
00194h	TRDIER0_0	タイマRD_0 割り込み許可レジスタ0	11100000b	
00195h	TRDPOCR0_0	タイマRD_0 PWMモード出力レベル制御レジスタ0	11111000b	
00196h	TRD0_0	タイマRD_0 カウンタ0	0000h	
00197h				
00198h	TRDGRA0_0	タイマRD_0 ジェネラルレジスタA0	FFFFh	
00199h				
0019Ah	TRDGRB0_0	タイマRD_0 ジェネラルレジスタB0	FFFFh	
0019Bh				
0019Ch	TRDGRC0_0	タイマRD_0 ジェネラルレジスタC0	FFFFh	
0019Dh				
0019Eh	TRDGRD0_0	タイマRD_0 ジェネラルレジスタD0	FFFFh	
0019Fh				
001A0h	TRDCR1_0	タイマRD_0 制御レジスタ1	00h	
001A1h	TRDIORA1_0	タイマRD_0 I/O制御レジスタA1	10001000b	
001A2h	TRDIORC1_0	タイマRD_0 I/O制御レジスタC1	10001000b	
001A3h	TRDSR1_0	タイマRD_0 ステータスレジスタ1	11000000b	
001A4h	TRDIER1_0	タイマRD_0 割り込み許可レジスタ1	11100000b	
001A5h	TRDPOCR1_0	タイマRD_0 PWMモード出力レベル制御レジスタ1	11111000b	
001A6h	TRD1_0	タイマRD_0 カウンタ1	0000h	
001A7h				
001A8h	TRDGRA1_0	タイマRD_0 ジェネラルレジスタA1	FFFFh	
001A9h				
001AAh	TRDGRB1_0	タイマRD_0 ジェネラルレジスタB1	FFFFh	
001ABh				
001ACh	TRDGRC1_0	タイマRD_0 ジェネラルレジスタC1	FFFFh	
001ADh				
001AEh	TRDGRD1_0	タイマRD_0 ジェネラルレジスタD1	FFFFh	
001AFh				
001B0h	TRF	タイマRFレジスタ	0000h	
001B1h				
001B2h	TRFOUT	タイマRF出力制御レジスタ	00h	
001B3h	TRFIN	タイマRF入力制御レジスタ	00h	
001B4h	TRFSR	タイマRFステータスレジスタ	00h	
001B5h				
001B6h	TRFIER	タイマRF割り込み許可レジスタ	00h	
001B7h				
001B8h				
001B9h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.8 SFR一覧(8)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
001BAh	TRFCR0	タイマRF制御レジスタ0	00h	
001BBh	TRFCR1	タイマRF制御レジスタ1	00h	
001BCh	TRFM0	タイマRFキャプチャコンペア0レジスタ	0000h	
001BDh				
001BEh	TRFM1	タイマRFコンペア1レジスタ	FFFFh	
001BFh				
001C0h				
001C1h				
001C2h				
001C3h				
001C4h				
001C5h				
001C6h				
001C7h				
001C8h				
001C9h				
001CAh				
001CBh				
001CCh				
001CDh				
001CEh				
001CFh				
001D0h				
001D1h				
001D2h				
001D3h				
001D4h				
001D5h				
001D6h				
001D7h				
001D8h				
001D9h				
001DAh				
001DBh				
001DCh				
001DDh				
001DEh				
001DFh				
001E0h				
001E1h				
001E2h				
001E3h				
001E4h				
001E5h				
001E6h				
001E7h				
001E8h				
001E9h				
001EAh				
001EBh				
001ECh				
001EDh				
001EEh				
001EFh				
001F0h	TRGMR	タイマRGモードレジスタ	00h	
001F1h	TRGCNTC	タイマRGカウンタ制御レジスタ	00h	
001F2h	TRGCR	タイマRG制御レジスタ	10000000b	
001F3h	TRGIER	タイマRG割り込み許可レジスタ	11110000b	
001F4h	TRGSR	タイマRGステータスレジスタ	11100000b	
001F5h	TRGIOR	タイマRG I/O制御レジスタ	00h	
001F6h	TRG	タイマRGカウンタ	0000h	
001F7h				
001F8h	TRGGRA	タイマRGジェネラルレジスタA	FFFFh	
001F9h				
001FAh	TRGGRB	タイマRGジェネラルレジスタB	FFFFh	
001FBh				
001FCh	TRGGRC	タイマRGジェネラルレジスタC	FFFFh	
001FDh				
001FEh	TRGGRD	タイマRGジェネラルレジスタD	FFFFh	
001FFh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.9 SFR一覧(9)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00200h	AD0	A/Dレジスタ0	00h	
00201h			00h	
00202h	AD1	A/Dレジスタ1	00h	
00203h			00h	
00204h	AD2	A/Dレジスタ2	00h	
00205h			00h	
00206h	AD3	A/Dレジスタ3	00h	
00207h			00h	
00208h	AD4	A/Dレジスタ4	00h	
00209h			00h	
0020Ah	AD5	A/Dレジスタ5	00h	
0020Bh			00h	
0020Ch	AD6	A/Dレジスタ6	00h	
0020Dh			00h	
0020Eh	AD7	A/Dレジスタ7	00h	
0020Fh			00h	
00210h				
00211h				
00212h				
00213h				
00214h	ADM0D	A/Dモードレジスタ	00h	
00215h	ADINSEL	A/D入力選択レジスタ	11000000b	
00216h	ADCON0	A/D制御レジスタ0	00h	
00217h	ADCON1	A/D制御レジスタ1	00h	
00218h				
00219h				
0021Ah				
0021Bh				
0021Ch				
0021Dh				
0021Eh				
0021Fh				
00220h				
00221h				
00222h				
00223h				
00224h				
00225h				
00226h				
00227h				
00228h	INTCMP	コンパレータB制御レジスタ0	00h	
00229h				
0022Ah				
0022Bh				
0022Ch				
0022Dh				
0022Eh				
0022Fh				
00230h	INTEN	外部入力許可レジスタ0	00h	
00231h	INTEN1	外部入力許可レジスタ1	00h	
00232h	INTF	INT入力フィルタ選択レジスタ0	00h	
00233h	INTF1	INT入力フィルタ選択レジスタ1	00h	
00234h	INTPOL	INT入力極性切り替えレジスタ	00h	
00235h				
00236h	KIEN	キー入力割り込み許可レジスタ	00h	
00237h				
00238h	MSTCR0	モジュールスタンバイコントロールレジスタ0	00h	
00239h	MSTCR1	モジュールスタンバイコントロールレジスタ1	00h	
0023Ah	MSTCR2	モジュールスタンバイコントロールレジスタ2	00h	
0023Bh	MSTCR3	モジュールスタンバイコントロールレジスタ3	00h	
0023Ch				
0023Dh				
0023Eh				
0023Fh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.10 SFR一覧(10)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00240h				
00241h				
00242h				
00243h				
00244h				
00245h				
00246h				
00247h				
00248h				
00249h				
0024Ah				
0024Bh				
0024Ch				
0024Dh				
0024Eh				
0024Fh				
00250h				
00251h				
00252h	FST	フラッシュメモリステータスレジスタ	10000X00b	
00253h				
00254h	FMR0	フラッシュメモリ制御レジスタ0	00h	
00255h	FMR1	フラッシュメモリ制御レジスタ1	00h	
00256h	FMR2	フラッシュメモリ制御レジスタ2	00h	
00257h				
00258h				
00259h				
0025Ah				
0025Bh				
0025Ch				
0025Dh				
0025Eh				
0025Fh				
00260h	AIADR0L	アドレス一致割り込みアドレス0Lレジスタ	XXXXh	
00261h				
00262h	AIADR0H	アドレス一致割り込みアドレス0Hレジスタ	0000XXXXb	
00263h	AIEN0	アドレス一致割り込み許可0レジスタ	00h	
00264h	AIADR1L	アドレス一致割り込みアドレス1Lレジスタ	XXXXh	
00265h				
00266h	AIADR1H	アドレス一致割り込みアドレス1Hレジスタ	0000XXXXb	
00267h	AIEN1	アドレス一致割り込み許可1レジスタ	00h	
00268h				
00269h				
0026Ah				
0026Bh				
0026Ch				
0026Dh				
0026Eh				
0026Fh				
00270h				
00271h				
00272h				
00273h				
00274h				
00275h				
00276h				
00277h				
00278h				
00279h				
0027Ah				
0027Bh				
0027Ch				
0027Dh				
0027Eh				
0027Fh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.11 SFR一覧(11)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00280h	DTCTL	DTC起動制御レジスタ	00h	
00281h				
00282h				
00283h				
00284h				
00285h				
00286h				
00287h				
00288h	DTCEN0	DTC起動許可レジスタ0	00h	
00289h	DTCEN1	DTC起動許可レジスタ1	00h	
0028Ah	DTCEN2	DTC起動許可レジスタ2	00h	
0028Bh	DTCEN3	DTC起動許可レジスタ3	00h	
0028Ch	DTCEN4	DTC起動許可レジスタ4	00h	
0028Dh	DTCEN5	DTC起動許可レジスタ5	00h	
0028Eh	DTCEN6	DTC起動許可レジスタ6	00h	
0028Fh				
00290h	CRCSAR	SFR監視アドレスレジスタ	0000h	
00291h				
00292h	CRCMR	CRC制御レジスタ	00h	
00293h				
00294h	CRCD	CRCデータレジスタ	0000h	
00295h				
00296h	CRCIN	CRCインプットレジスタ	00h	
00297h				
00298h				
00299h				
0029Ah				
0029Bh				
0029Ch				
0029Dh				
0029Eh				
0029Fh				
002A0h	TRJ_0SR	タイマRJ_0端子選択レジスタ	00h	
002A1h	TRJ_1SR	タイマRJ_1端子選択レジスタ	00h	
002A2h				
002A3h				
002A4h	TRBSR	タイマRB2端子選択レジスタ	00h	
002A5h	TRCCLKSR	タイマRCCLK端子選択レジスタ	00h	
002A6h	TRC_0SR0	タイマRC_0端子選択レジスタ0	00h	
002A7h	TRC_0SR1	タイマRC_0端子選択レジスタ1	00h	
002A8h	TRC_1SR	タイマRC_1端子選択レジスタ	00h	
002A9h	TRD_0SR0	タイマRD_0端子選択レジスタ0	00h	
002AAh	TRD_0SR1	タイマRD_0端子選択レジスタ1	00h	
002ABh				
002ACh				
002ADh	TIMSR	タイマ端子選択レジスタ	00h	
002AEh	U_0SR	UART0_0端子選択レジスタ	00h	
002AFh	U_1SR	UART0_1端子選択レジスタ	00h	
002B0h				
002B1h				
002B2h	U2SR0	UART2端子選択レジスタ0	00h	
002B3h	U2SR1	UART2端子選択レジスタ1	00h	
002B4h	SSUIIC_0SR	SSU/IIC_0端子選択レジスタ	00h	
002B5h				
002B6h	INTSR0	INT割り込み入力端子選択レジスタ0	00h	
002B7h				
002B8h				
002B9h	PINSR	入出力機能端子選択レジスタ	00h	
002BAh				
002BBh				
002BCh				
002BDh				
002BEh	PMCSEL	端子配置選択レジスタ	00h	
002BFh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.12 SFR一覧(12)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
002C0h	PUR0	ブルアップ制御レジスタ0	00h	
002C1h	PUR1	ブルアップ制御レジスタ1	00h	
002C2h	PUR2	ブルアップ制御レジスタ2	00h	
002C3h	PUR3	ブルアップ制御レジスタ3	00h	
002C4h				
002C5h				
002C6h				
002C7h				
002C8h	P1DRR	ポートP1駆動能力制御レジスタ	00h	
002C9h	P2DRR	ポートP2駆動能力制御レジスタ	00h	
002CAh				
002CBh	PCDRR	ポートPC駆動能力制御レジスタ	00h	
002CCh	DRR0	駆動能力制御レジスタ0	00h	
002CDh	DRR1	駆動能力制御レジスタ1	00h	
002CEh	DRR2	駆動能力制御レジスタ2	00h	
002CFh				
002D0h	VLT0	入力しきい値制御レジスタ0	00h	
002D1h	VLT1	入力しきい値制御レジスタ1	00h	
002D2h	VLT2	入力しきい値制御レジスタ2	00h	
002D3h	VLT3	入力しきい値制御レジスタ3	00h	
002D4h				
002D5h				
002D6h				
002D7h				
002D8h				
002D9h				
002DAh				
002DBh				
002DCh				
002DDh				
002DEh				
002DFh				
002E0h	PORT0	ポートP0レジスタ	XXh	
002E1h	PORT1	ポートP1レジスタ	XXh	
002E2h	PD0	ポートP0方向レジスタ	00h	
002E3h	PD1	ポートP1方向レジスタ	00h	
002E4h	PORT2	ポートP2レジスタ	XXh	
002E5h	PORT3	ポートP3レジスタ	XXh	
002E6h	PD2	ポートP2方向レジスタ	00h	
002E7h	PD3	ポートP3方向レジスタ	00h	
002E8h	PORT4	ポートP4レジスタ	XXh	
002E9h	PORT5	ポートP5レジスタ	XXh	
002EAh	PD4	ポートP4方向レジスタ	00h	
002EBh	PD5	ポートP5方向レジスタ	00h	
002ECh	PORT6	ポートP6レジスタ	XXh	
002EDh				
002EEh	PD6	ポートP6方向レジスタ	00h	
002EFh				
002F0h	PORT8	ポートP8レジスタ	XXh	
002F1h	PORT9	ポートP9レジスタ	XXh	
002F2h	PD8	ポートP8方向レジスタ	00h	
002F3h	PD9	ポートP9方向レジスタ	00h	
002F4h				
002F5h				
002F6h				
002F7h				
002F8h	PORTC	ポートPCレジスタ	XXh	
002F9h				
002FAh	PDC	ポートPC方向レジスタ	00h	
002FBh				
002FCh				
002FDh				
002FEh				
002FFh				
00300h				
~				
003FFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.13 SFR一覧(13)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00400h ~ 02BFFh	内蔵RAM	内蔵RAM		
02C00h ~ 069FFh				
06A00h	ELSELR0	イベント出力先選択レジスタ0	00h	
06A01h	ELSELR1	イベント出力先選択レジスタ1	00h	
06A02h	ELSELR2	イベント出力先選択レジスタ2	00h	
06A03h	ELSELR3	イベント出力先選択レジスタ3	00h	
06A04h	ELSELR4	イベント出力先選択レジスタ4	00h	
06A05h				
06A06h				
06A07h				
06A08h	ELSELR8	イベント出力先選択レジスタ8	00h	
06A09h	ELSELR9	イベント出力先選択レジスタ9	00h	
06A0Ah	ELSELR10	イベント出力先選択レジスタ10	00h	
06A0Bh	ELSELR11	イベント出力先選択レジスタ11	00h	
06A0Ch	ELSELR12	イベント出力先選択レジスタ12	00h	
06A0Dh	ELSELR13	イベント出力先選択レジスタ13	00h	
06A0Eh	ELSELR14	イベント出力先選択レジスタ14	00h	
06A0Fh	ELSELR15	イベント出力先選択レジスタ15	00h	
06A10h	ELSELR16	イベント出力先選択レジスタ16	00h	
06A11h	ELSELR17	イベント出力先選択レジスタ17	00h	
06A12h	ELSELR18	イベント出力先選択レジスタ18	00h	
06A13h	ELSELR19	イベント出力先選択レジスタ19	00h	
06A14h	ELSELR20	イベント出力先選択レジスタ20	00h	
06A15h	ELSELR21	イベント出力先選択レジスタ21	00h	
06A16h	ELSELR22	イベント出力先選択レジスタ22	00h	
06A17h	ELSELR23	イベント出力先選択レジスタ23	00h	
06A18h	ELSELR24	イベント出力先選択レジスタ24	00h	
06A19h	ELSELR25	イベント出力先選択レジスタ25	00h	
06A1Ah	ELSELR26	イベント出力先選択レジスタ26	00h	
06A1Bh	ELSELR27	イベント出力先選択レジスタ27	00h	
06A1Ch	ELSELR28	イベント出力先選択レジスタ28	00h	
06A1Dh				
06A1Eh				
06A1Fh				
06A20h				
06A21h				
06A22h				
06A23h				
06A24h				
06A25h				
06A26h				
06A27h				
06A28h				
06A29h				
06A2Ah				
06A2Bh				
06A2Ch				
06A2Dh	ELSELR45	イベント出力先選択レジスタ45	00h	
06A2Eh	ELSELR46	イベント出力先選択レジスタ46	00h	
06A2Fh	ELSELR47	イベント出力先選択レジスタ47	00h	
06A30h	ELSELR48	イベント出力先選択レジスタ48	00h	
06A31h ~ 06BFFh				
06C00h		DTC転送ベクタ0格納領域	XXh	
06C01h		DTC転送ベクタ1格納領域	XXh	
06C02h		DTC転送ベクタ2格納領域	XXh	
06C03h		DTC転送ベクタ3格納領域	XXh	
06C04h		DTC転送ベクタ4格納領域	XXh	
06C05h				
06C06h				
06C07h				
06C08h		DTC転送ベクタ8格納領域	XXh	
06C09h		DTC転送ベクタ9格納領域	XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.14 SFR一覧(14)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C0Ah		DTC転送ベクタ10格納領域	XXh	
06C0Bh		DTC転送ベクタ11格納領域	XXh	
06C0Ch		DTC転送ベクタ12格納領域	XXh	
06C0Dh		DTC転送ベクタ13格納領域	XXh	
06C0Eh		DTC転送ベクタ14格納領域	XXh	
06C0Fh		DTC転送ベクタ15格納領域	XXh	
06C10h		DTC転送ベクタ16格納領域	XXh	
06C11h		DTC転送ベクタ17格納領域	XXh	
06C12h		DTC転送ベクタ18格納領域	XXh	
06C13h		DTC転送ベクタ19格納領域	XXh	
06C14h				
06C15h				
06C16h		DTC転送ベクタ22格納領域	XXh	
06C17h		DTC転送ベクタ23格納領域	XXh	
06C18h		DTC転送ベクタ24格納領域	XXh	
06C19h		DTC転送ベクタ25格納領域	XXh	
06C1Ah		DTC転送ベクタ26格納領域	XXh	
06C1Bh		DTC転送ベクタ27格納領域	XXh	
06C1Ch		DTC転送ベクタ28格納領域	XXh	
06C1Dh		DTC転送ベクタ29格納領域	XXh	
06C1Eh		DTC転送ベクタ30格納領域	XXh	
06C1Fh		DTC転送ベクタ31格納領域	XXh	
06C20h		DTC転送ベクタ32格納領域	XXh	
06C21h		DTC転送ベクタ33格納領域	XXh	
06C22h				
06C23h				
06C24h				
06C25h				
06C26h		DTC転送ベクタ38格納領域	XXh	
06C27h		DTC転送ベクタ39格納領域	XXh	
06C28h				
06C29h				
06C2Ah		DTC転送ベクタ42格納領域	XXh	
06C2Bh		DTC転送ベクタ43格納領域	XXh	
06C2Ch		DTC転送ベクタ44格納領域	XXh	
06C2Dh		DTC転送ベクタ45格納領域	XXh	
06C2Eh		DTC転送ベクタ46格納領域	XXh	
06C2Fh		DTC転送ベクタ47格納領域	XXh	
06C30h		DTC転送ベクタ48格納領域	XXh	
06C31h		DTC転送ベクタ49格納領域	XXh	
06C32h		DTC転送ベクタ50格納領域	XXh	
06C33h		DTC転送ベクタ51格納領域	XXh	
06C34h		DTC転送ベクタ52格納領域	XXh	
06C35h				
06C36h				
06C37h				
06C38h				
06C39h				
06C3Ah				
06C3Bh				
06C3Ch				
06C3Dh				
06C3Eh				
06C3Fh				
06C40h	DTCCR0	DTC制御レジスタ0	XXh	
06C41h	DTBLS0	DTCブロックサイズレジスタ0	XXh	
06C42h	DTCCT0	DTC転送回数レジスタ0	XXh	
06C43h	DTRLDO	DTC転送回数リロードレジスタ0	XXh	
06C44h	DTSAR0	DTCソースアドレスレジスタ0	XXXXh	
06C45h				
06C46h	DTDAR0	DTCデスティネーションアドレスレジスタ0	XXXXh	
06C47h				
06C48h	DTCCR1	DTC制御レジスタ1	XXh	
06C49h	DTBLS1	DTCブロックサイズレジスタ1	XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.15 SFR一覧(15)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C4Ah	DTCCT1	DTC転送回数レジスタ1	XXh	
06C4Bh	DTRLD1	DTC転送回数リロードレジスタ1	XXh	
06C4Ch	DTSAR1	DTCソースアドレスレジスタ1	XXXXh	
06C4Dh				
06C4Eh	DTDAR1	DTCデスティネーションアドレスレジスタ1	XXXXh	
06C4Fh				
06C50h	DTCCR2	DTC制御レジスタ2	XXh	
06C51h	DTBLS2	DTCブロックサイズレジスタ2	XXh	
06C52h	DTCCT2	DTC転送回数レジスタ2	XXh	
06C53h	DTRLD2	DTC転送回数リロードレジスタ2	XXh	
06C54h	DTSAR2	DTCソースアドレスレジスタ2	XXXXh	
06C55h				
06C56h	DTDAR2	DTCデスティネーションアドレスレジスタ2	XXXXh	
06C57h				
06C58h	DTCCR3	DTC制御レジスタ3	XXh	
06C59h	DTBLS3	DTCブロックサイズレジスタ3	XXh	
06C5Ah	DTCCT3	DTC転送回数レジスタ3	XXh	
06C5Bh	DTRLD3	DTC転送回数リロードレジスタ3	XXh	
06C5Ch	DTSAR3	DTCソースアドレスレジスタ3	XXXXh	
06C5Dh				
06C5Eh	DTDAR3	DTCデスティネーションアドレスレジスタ3	XXXXh	
06C5Fh				
06C60h	DTCCR4	DTC制御レジスタ4	XXh	
06C61h	DTBLS4	DTCブロックサイズレジスタ4	XXh	
06C62h	DTCCT4	DTC転送回数レジスタ4	XXh	
06C63h	DTRLD4	DTC転送回数リロードレジスタ4	XXh	
06C64h	DTSAR4	DTCソースアドレスレジスタ4	XXXXh	
06C65h				
06C66h	DTDAR4	DTCデスティネーションアドレスレジスタ4	XXXXh	
06C67h				
06C68h	DTCCR5	DTC制御レジスタ5	XXh	
06C69h	DTBLS5	DTCブロックサイズレジスタ5	XXh	
06C6Ah	DTCCT5	DTC転送回数レジスタ5	XXh	
06C6Bh	DTRLD5	DTC転送回数リロードレジスタ5	XXh	
06C6Ch	DTSAR5	DTCソースアドレスレジスタ5	XXXXh	
06C6Dh				
06C6Eh	DTDAR5	DTCデスティネーションアドレスレジスタ5	XXXXh	
06C6Fh				
06C70h	DTCCR6	DTC制御レジスタ6	XXh	
06C71h	DTBLS6	DTCブロックサイズレジスタ6	XXh	
06C72h	DTCCT6	DTC転送回数レジスタ6	XXh	
06C73h	DTRLD6	DTC転送回数リロードレジスタ6	XXh	
06C74h	DTSAR6	DTCソースアドレスレジスタ6	XXXXh	
06C75h				
06C76h	DTDAR6	DTCデスティネーションアドレスレジスタ6	XXXXh	
06C77h				
06C78h	DTCCR7	DTC制御レジスタ7	XXh	
06C79h	DTBLS7	DTCブロックサイズレジスタ7	XXh	
06C7Ah	DTCCT7	DTC転送回数レジスタ7	XXh	
06C7Bh	DTRLD7	DTC転送回数リロードレジスタ7	XXh	
06C7Ch	DTSAR7	DTCソースアドレスレジスタ7	XXXXh	
06C7Dh				
06C7Eh	DTDAR7	DTCデスティネーションアドレスレジスタ7	XXXXh	
06C7Fh				
06C80h	DTCCR8	DTC制御レジスタ8	XXh	
06C81h	DTBLS8	DTCブロックサイズレジスタ8	XXh	
06C82h	DTCCT8	DTC転送回数レジスタ8	XXh	
06C83h	DTRLD8	DTC転送回数リロードレジスタ8	XXh	
06C84h	DTSAR8	DTCソースアドレスレジスタ8	XXXXh	
06C85h				
06C86h	DTDAR8	DTCデスティネーションアドレスレジスタ8	XXXXh	
06C87h				
06C88h	DTCCR9	DTC制御レジスタ9	XXh	
06C89h	DTBLS9	DTCブロックサイズレジスタ9	XXh	
06C8Ah	DTCCT9	DTC転送回数レジスタ9	XXh	
06C8Bh	DTRLD9	DTC転送回数リロードレジスタ9	XXh	
06C8Ch	DTSAR9	DTCソースアドレスレジスタ9	XXXXh	
06C8Dh				
06C8Eh	DTDAR9	DTCデスティネーションアドレスレジスタ9	XXXXh	
06C8Fh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.16 SFR一覧(16)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C90h	DTCCR10	DTC制御レジスタ10	XXh	
06C91h	DTBLS10	DTCブロックサイズレジスタ10	XXh	
06C92h	DTCCT10	DTC転送回数レジスタ10	XXh	
06C93h	DTRLD10	DTC転送回数リロードレジスタ10	XXh	
06C94h	DTSAR10	DTCソースアドレスレジスタ10	XXXXh	
06C95h				
06C96h	DTDAR10	DTCデスティネーションアドレスレジスタ10	XXXXh	
06C97h				
06C98h	DTCCR11	DTC制御レジスタ11	XXh	
06C99h	DTBLS11	DTCブロックサイズレジスタ11	XXh	
06C9Ah	DTCCT11	DTC転送回数レジスタ11	XXh	
06C9Bh	DTRLD11	DTC転送回数リロードレジスタ11	XXh	
06C9Ch	DTSAR11	DTCソースアドレスレジスタ11	XXXXh	
06C9Dh				
06C9Eh	DTDAR11	DTCデスティネーションアドレスレジスタ11	XXXXh	
06C9Fh				
06CA0h	DTCCR12	DTC制御レジスタ12	XXh	
06CA1h	DTBLS12	DTCブロックサイズレジスタ12	XXh	
06CA2h	DTCCT12	DTC転送回数レジスタ12	XXh	
06CA3h	DTRLD12	DTC転送回数リロードレジスタ12	XXh	
06CA4h	DTSAR12	DTCソースアドレスレジスタ12	XXXXh	
06CA5h				
06CA6h	DTDAR12	DTCデスティネーションアドレスレジスタ12	XXXXh	
06CA7h				
06CA8h	DTCCR13	DTC制御レジスタ13	XXh	
06CA9h	DTBLS13	DTCブロックサイズレジスタ13	XXh	
06CAAh	DTCCT13	DTC転送回数レジスタ13	XXh	
06CABh	DTRLD13	DTC転送回数リロードレジスタ13	XXh	
06CACH	DTSAR13	DTCソースアドレスレジスタ13	XXXXh	
06CADh				
06CAEh	DTDAR13	DTCデスティネーションアドレスレジスタ13	XXXXh	
06CAFh				
06CB0h	DTCCR14	DTC制御レジスタ14	XXh	
06CB1h	DTBLS14	DTCブロックサイズレジスタ14	XXh	
06CB2h	DTCCT14	DTC転送回数レジスタ14	XXh	
06CB3h	DTRLD14	DTC転送回数リロードレジスタ14	XXh	
06CB4h	DTSAR14	DTCソースアドレスレジスタ14	XXXXh	
06CB5h				
06CB6h	DTDAR14	DTCデスティネーションアドレスレジスタ14	XXXXh	
06CB7h				
06CB8h	DTCCR15	DTC制御レジスタ15	XXh	
06CB9h	DTBLS15	DTCブロックサイズレジスタ15	XXh	
06CBAh	DTCCT15	DTC転送回数レジスタ15	XXh	
06CBBh	DTRLD15	DTC転送回数リロードレジスタ15	XXh	
06CBCh	DTSAR15	DTCソースアドレスレジスタ15	XXXXh	
06CBDh				
06CBEh	DTDAR15	DTCデスティネーションアドレスレジスタ15	XXXXh	
06CBFh				
06CC0h	DTCCR16	DTC制御レジスタ16	XXh	
06CC1h	DTBLS16	DTCブロックサイズレジスタ16	XXh	
06CC2h	DTCCT16	DTC転送回数レジスタ16	XXh	
06CC3h	DTRLD16	DTC転送回数リロードレジスタ16	XXh	
06CC4h	DTSAR16	DTCソースアドレスレジスタ16	XXXXh	
06CC5h				
06CC6h	DTDAR16	DTCデスティネーションアドレスレジスタ16	XXXXh	
06CC7h				
06CC8h	DTCCR17	DTC制御レジスタ17	XXh	
06CC9h	DTBLS17	DTCブロックサイズレジスタ17	XXh	
06CCAh	DTCCT17	DTC転送回数レジスタ17	XXh	
06CCBh	DTRLD17	DTC転送回数リロードレジスタ17	XXh	
06CCCh	DTSAR17	DTCソースアドレスレジスタ17	XXXXh	
06CCDh				
06CCEh	DTDAR17	DTCデスティネーションアドレスレジスタ17	XXXXh	
06CCFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.17 SFR一覧(17)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06CD0h	DTCCR18	DTC制御レジスタ18	XXh	
06CD1h	DTBLS18	DTCブロックサイズレジスタ18	XXh	
06CD2h	DTCCT18	DTC転送回数レジスタ18	XXh	
06CD3h	DTRLD18	DTC転送回数リロードレジスタ18	XXh	
06CD4h	DTSAR18	DTCソースアドレスレジスタ18	XXXXh	
06CD5h				
06CD6h	DTDAR18	DTCデスティネーションアドレスレジスタ18	XXXXh	
06CD7h				
06CD8h	DTCCR19	DTC制御レジスタ19	XXh	
06CD9h	DTBLS19	DTCブロックサイズレジスタ19	XXh	
06CDAh	DTCCT19	DTC転送回数レジスタ19	XXh	
06CDBh	DTRLD19	DTC転送回数リロードレジスタ19	XXh	
06CDC	DTSAR19	DTCソースアドレスレジスタ19	XXXXh	
06CDDh				
06CDEh	DTDAR19	DTCデスティネーションアドレスレジスタ19	XXXXh	
06CDFh				
06CE0h	DTCCR20	DTC制御レジスタ20	XXh	
06CE1h	DTBLS20	DTCブロックサイズレジスタ20	XXh	
06CE2h	DTCCT20	DTC転送回数レジスタ20	XXh	
06CE3h	DTRLD20	DTC転送回数リロードレジスタ20	XXh	
06CE4h	DTSAR20	DTCソースアドレスレジスタ20	XXXXh	
06CE5h				
06CE6h	DTDAR20	DTCデスティネーションアドレスレジスタ20	XXXXh	
06CE7h				
06CE8h	DTCCR21	DTC制御レジスタ21	XXh	
06CE9h	DTBLS21	DTCブロックサイズレジスタ21	XXh	
06CEAh	DTCCT21	DTC転送回数レジスタ21	XXh	
06CEBh	DTRLD21	DTC転送回数リロードレジスタ21	XXh	
06CECh	DTSAR21	DTCソースアドレスレジスタ21	XXXXh	
06CEDh				
06CEEh	DTDAR21	DTCデスティネーションアドレスレジスタ21	XXXXh	
06CEFh				
06CF0h	DTCCR22	DTC制御レジスタ22	XXh	
06CF1h	DTBLS22	DTCブロックサイズレジスタ22	XXh	
06CF2h	DTCCT22	DTC転送回数レジスタ22	XXh	
06CF3h	DTRLD22	DTC転送回数リロードレジスタ22	XXh	
06CF4h	DTSAR22	DTCソースアドレスレジスタ22	XXXXh	
06CF5h				
06CF6h	DTDAR22	DTCデスティネーションアドレスレジスタ22	XXXXh	
06CF7h				
06CF8h	DTCCR23	DTC制御レジスタ23	XXh	
06CF9h	DTBLS23	DTCブロックサイズレジスタ23	XXh	
06CFAh	DTCCT23	DTC転送回数レジスタ23	XXh	
06CFBh	DTRLD23	DTC転送回数リロードレジスタ23	XXh	
06CFCh	DTSAR23	DTCソースアドレスレジスタ23	XXXXh	
06CFDh				
06CFEh	DTDAR23	DTCデスティネーションアドレスレジスタ23	XXXXh	
06CFFh				
06D00h				
~				
06DFFh				
06E00h	CMB0_0	CAN_0メールボックス0	XXh	
06E01h			XXh	
06E02h			XXh	
06E03h			XXh	
06E04h			XXh	
06E05h			XXh	
06E06h			XXh	
06E07h			XXh	
06E08h			XXh	
06E09h			XXh	
06E0Ah			XXh	
06E0Bh			XXh	
06E0Ch			XXh	
06E0Dh			XXh	
06E0Eh			XXh	
06E0Fh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.18 SFR一覧(18)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06E10h	CMB1_0	CAN_0メールボックス1	XXh	
06E11h			XXh	
06E12h			XXh	
06E13h			XXh	
06E14h			XXh	
06E15h			XXh	
06E16h			XXh	
06E17h			XXh	
06E18h			XXh	
06E19h			XXh	
06E1Ah			XXh	
06E1Bh			XXh	
06E1Ch			XXh	
06E1Dh			XXh	
06E1Eh			XXh	
06E1Fh			XXh	
06E20h	CMB2_0	CAN_0メールボックス2	XXh	
06E21h			XXh	
06E22h			XXh	
06E23h			XXh	
06E24h			XXh	
06E25h			XXh	
06E26h			XXh	
06E27h			XXh	
06E28h			XXh	
06E29h			XXh	
06E2Ah			XXh	
06E2Bh			XXh	
06E2Ch			XXh	
06E2Dh			XXh	
06E2Eh			XXh	
06E2Fh			XXh	
06E30h	CMB3_0	CAN_0メールボックス3	XXh	
06E31h			XXh	
06E32h			XXh	
06E33h			XXh	
06E34h			XXh	
06E35h			XXh	
06E36h			XXh	
06E37h			XXh	
06E38h			XXh	
06E39h			XXh	
06E3Ah			XXh	
06E3Bh			XXh	
06E3Ch			XXh	
06E3Dh			XXh	
06E3Eh			XXh	
06E3Fh			XXh	
06E40h	CMB4_0	CAN_0メールボックス4	XXh	
06E41h			XXh	
06E42h			XXh	
06E43h			XXh	
06E44h			XXh	
06E45h			XXh	
06E46h			XXh	
06E47h			XXh	
06E48h			XXh	
06E49h			XXh	
06E4Ah			XXh	
06E4Bh			XXh	
06E4Ch			XXh	
06E4Dh			XXh	
06E4Eh			XXh	
06E4Fh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.19 SFR一覧(19)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06E50h	CMB5_0	CAN_0メールボックス5	XXh	
06E51h			XXh	
06E52h			XXh	
06E53h			XXh	
06E54h			XXh	
06E55h			XXh	
06E56h			XXh	
06E57h			XXh	
06E58h			XXh	
06E59h			XXh	
06E5Ah			XXh	
06E5Bh			XXh	
06E5Ch			XXh	
06E5Dh			XXh	
06E5Eh			XXh	
06E5Fh			XXh	
06E60h	CMB6_0	CAN_0メールボックス6	XXh	
06E61h			XXh	
06E62h			XXh	
06E63h			XXh	
06E64h			XXh	
06E65h			XXh	
06E66h			XXh	
06E67h			XXh	
06E68h			XXh	
06E69h			XXh	
06E6Ah			XXh	
06E6Bh			XXh	
06E6Ch			XXh	
06E6Dh			XXh	
06E6Eh			XXh	
06E6Fh			XXh	
06E70h	CMB7_0	CAN_0メールボックス7	XXh	
06E71h			XXh	
06E72h			XXh	
06E73h			XXh	
06E74h			XXh	
06E75h			XXh	
06E76h			XXh	
06E77h			XXh	
06E78h			XXh	
06E79h			XXh	
06E7Ah			XXh	
06E7Bh			XXh	
06E7Ch			XXh	
06E7Dh			XXh	
06E7Eh			XXh	
06E7Fh			XXh	
06E80h	CMB8_0	CAN_0メールボックス8	XXh	
06E81h			XXh	
06E82h			XXh	
06E83h			XXh	
06E84h			XXh	
06E85h			XXh	
06E86h			XXh	
06E87h			XXh	
06E88h			XXh	
06E89h			XXh	
06E8Ah			XXh	
06E8Bh			XXh	
06E8Ch			XXh	
06E8Dh			XXh	
06E8Eh			XXh	
06E8Fh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.20 SFR一覧 (20) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06E90h	CMB9_0	CAN_0メールボックス9	XXh	
06E91h			XXh	
06E92h			XXh	
06E93h			XXh	
06E94h			XXh	
06E95h			XXh	
06E96h			XXh	
06E97h			XXh	
06E98h			XXh	
06E99h			XXh	
06E9Ah			XXh	
06E9Bh			XXh	
06E9Ch			XXh	
06E9Dh			XXh	
06E9Eh			XXh	
06E9Fh			XXh	
06EA0h	CMB10_0	CAN_0メールボックス10	XXh	
06EA1h			XXh	
06EA2h			XXh	
06EA3h			XXh	
06EA4h			XXh	
06EA5h			XXh	
06EA6h			XXh	
06EA7h			XXh	
06EA8h			XXh	
06EA9h			XXh	
06EAAh			XXh	
06EABh			XXh	
06EACh			XXh	
06EADh			XXh	
06EAEh			XXh	
06EAFh			XXh	
06EB0h	CMB11_0	CAN_0メールボックス11	XXh	
06EB1h			XXh	
06EB2h			XXh	
06EB3h			XXh	
06EB4h			XXh	
06EB5h			XXh	
06EB6h			XXh	
06EB7h			XXh	
06EB8h			XXh	
06EB9h			XXh	
06EBAh			XXh	
06EBBh			XXh	
06EBC			XXh	
06EBDh			XXh	
06EBEh			XXh	
06EBFh			XXh	
06EC0h	CMB12_0	CAN_0メールボックス12	XXh	
06EC1h			XXh	
06EC2h			XXh	
06EC3h			XXh	
06EC4h			XXh	
06EC5h			XXh	
06EC6h			XXh	
06EC7h			XXh	
06EC8h			XXh	
06EC9h			XXh	
06ECAh			XXh	
06ECBh			XXh	
06ECC			XXh	
06ECDh			XXh	
06ECEh			XXh	
06ECFh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.21 SFR一覧 (21) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06ED0h	CMB13_0	CAN_0メールボックス 13	XXh	
06ED1h			XXh	
06ED2h			XXh	
06ED3h			XXh	
06ED4h			XXh	
06ED5h			XXh	
06ED6h			XXh	
06ED7h			XXh	
06ED8h			XXh	
06ED9h			XXh	
06EDAh			XXh	
06EDBh			XXh	
06EDCh			XXh	
06EDDh			XXh	
06EDEh			XXh	
06EDFh			XXh	
06EE0h	CMB14_0	CAN_0メールボックス 14	XXh	
06EE1h			XXh	
06EE2h			XXh	
06EE3h			XXh	
06EE4h			XXh	
06EE5h			XXh	
06EE6h			XXh	
06EE7h			XXh	
06EE8h			XXh	
06EE9h			XXh	
06EEAh			XXh	
06EEBh			XXh	
06EECh			XXh	
06EEdh			XXh	
06EEeh			XXh	
06EEfh			XXh	
06EF0h	CMB15_0	CAN_0メールボックス 15	XXh	
06EF1h			XXh	
06EF2h			XXh	
06EF3h			XXh	
06EF4h			XXh	
06EF5h			XXh	
06EF6h			XXh	
06EF7h			XXh	
06EF8h			XXh	
06EF9h			XXh	
06EFAh			XXh	
06EFBh			XXh	
06EFC			XXh	
06EFDh			XXh	
06EFEh			XXh	
06EFFh			XXh	
06F00h				
06F01h				
06F02h				
06F03h				
06F04h				
06F05h				
06F06h				
06F07h				
06F08h				
06F09h				
06F0Ah				
06F0Bh				
06F0Ch				
06F0Dh				
06F0Eh				
06F0Fh				

X : 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.22 SFR一覧 (22) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06F10h	CMKR0_0	CAN_0 マスクレジスタ 0	XXh	
06F11h			XXh	
06F12h			XXh	
06F13h			XXh	
06F14h	CMKR1_0	CAN_0 マスクレジスタ 1	XXh	
06F15h			XXh	
06F16h			XXh	
06F17h			XXh	
06F18h	CMKR2_0	CAN_0 マスクレジスタ 2	XXh	
06F19h			XXh	
06F1Ah			XXh	
06F1Bh			XXh	
06F1Ch	CMKR3_0	CAN_0 マスクレジスタ 3	XXh	
06F1Dh			XXh	
06F1Eh			XXh	
06F1Fh			XXh	
06F20h	CFIDCR0_0	CAN_0 FIFO 受信 ID 比較レジスタ 0	XXh	
06F21h			XXh	
06F22h			XXh	
06F23h			XXh	
06F24h	CFIDCR1_0	CAN_0 FIFO 受信 ID 比較レジスタ 1	XXh	
06F25h			XXh	
06F26h			XXh	
06F27h			XXh	
06F28h				
06F29h				
06F2Ah	CMKIVLR_0	CAN_0 マスク無効レジスタ	XXh	
06F2Bh			XXh	
06F2Ch				
06F2Dh				
06F2Eh	CMIER_0	CAN_0 メールボックス割り込み許可レジスタ	XXh	
06F2Fh			XXh	
06F30h	CMCTL0_0	CAN_0 メッセージ制御レジスタ 0	00h	
06F31h	CMCTL1_0	CAN_0 メッセージ制御レジスタ 1	00h	
06F32h	CMCTL2_0	CAN_0 メッセージ制御レジスタ 2	00h	
06F33h	CMCTL3_0	CAN_0 メッセージ制御レジスタ 3	00h	
06F34h	CMCTL4_0	CAN_0 メッセージ制御レジスタ 4	00h	
06F35h	CMCTL5_0	CAN_0 メッセージ制御レジスタ 5	00h	
06F36h	CMCTL6_0	CAN_0 メッセージ制御レジスタ 6	00h	
06F37h	CMCTL7_0	CAN_0 メッセージ制御レジスタ 7	00h	
06F38h	CMCTL8_0	CAN_0 メッセージ制御レジスタ 8	00h	
06F39h	CMCTL9_0	CAN_0 メッセージ制御レジスタ 9	00h	
06F3Ah	CMCTL10_0	CAN_0 メッセージ制御レジスタ 10	00h	
06F3Bh	CMCTL11_0	CAN_0 メッセージ制御レジスタ 11	00h	
06F3Ch	CMCTL12_0	CAN_0 メッセージ制御レジスタ 12	00h	
06F3Dh	CMCTL13_0	CAN_0 メッセージ制御レジスタ 13	00h	
06F3Eh	CMCTL14_0	CAN_0 メッセージ制御レジスタ 14	00h	
06F3Fh	CMCTL15_0	CAN_0 メッセージ制御レジスタ 15	00h	
06F40h	CCTLR_0	CAN_0 制御レジスタ	00000101b	
06F41h			00h	
06F42h	CSTR_0	CAN_0 ステータスレジスタ	00000101b	
06F43h			00h	
06F44h			00h	
06F45h	CBCR_0	CAN_0 ビットコンフィグレーションレジスタ	00h	
06F46h			00h	
06F47h			00h	
06F48h	CCLKR_0	CAN_0 クロック選択レジスタ	00h	
06F49h	CRFCR_0	CAN_0 受信 FIFO 制御レジスタ	10000000b	
06F49h	CRFPCR_0	CAN_0 受信 FIFO ポインタ制御レジスタ	XXh	
06F4Ah	CTFCR_0	CAN_0 送信 FIFO 制御レジスタ	10000000b	
06F4Bh	CTFPCR_0	CAN_0 送信 FIFO ポインタ制御レジスタ	XXh	
06F4Ch	CEIER_0	CAN_0 エラー割り込み許可レジスタ	00h	
06F4Dh	CEIFR_0	CAN_0 エラー割り込み要因判定レジスタ	00h	
06F4Eh	CRECR_0	CAN_0 受信エラーカウントレジスタ	00h	
06F4Fh	CTECCR_0	CAN_0 送信エラーカウントレジスタ	00h	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.23 SFR一覧 (23) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06F50h	CECSR_0	CAN_0エラーコード格納レジスタ	00h	
06F51h	CCSSR_0	CAN_0チャネルサーチサポートレジスタ	XXh	
06F52h	CMSSR_0	CAN_0メールボックスサーチステータスレジスタ	10000000b	
06F53h	CMSMR_0	CAN_0メールボックスサーチモードレジスタ	00h	
06F54h	CTSR_0	CAN_0タイムスタンプレジスタ	0000h	
06F55h				
06F56h	CAFSR_0	CAN_0アクセプタンスフィルタサポートレジスタ	XXh	
06F57h			XXh	
06F58h	CTCR_0	CAN_0テスト制御レジスタ	00h	
06F59h				
06F5Ah				
06F5Bh				
06F5Ch				
06F5Dh				
06F5Eh				
06F5Fh				
06F60h				
06F61h				
06F62h				
06F63h				
06F64h				
06F65h				
06F66h				
06F67h				
06F68h				
06F69h				
06F6Ah				
06F6Bh				
06F6Ch				
06F6Dh				
06F6Eh				
06F6Fh				
06F70h				
06F71h				
06F72h				
06F73h				
06F74h				
06F75h				
06F76h				
06F77h				
06F78h				
06F79h				
06F7Ah				
06F7Bh				
06F7Ch				
06F7Dh				
06F7Eh	CANISR_0	CAN_0割り込みステータスレジスタ	00h	
06F7Fh	CANIE_0	CAN_0割り込み制御レジスタ	00h	
06F80h				
~				
06FFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.24 IDコード領域、オプション機能選択領域

アドレス	シンボル	領域名	リセット後の値	備考
0FFDBh	OFS2	オプション機能選択レジスタ2	(注1)	
0FFDFh	ID1		(注2)	
0FFE3h	ID2		(注2)	
0FFEBh	ID3		(注2)	
0FFEFh	ID4		(注2)	
0FFF3h	ID5		(注2)	
0FFF7h	ID6		(注2)	
0FFFBh	ID7		(注2)	
0FFFFh	OFS	オプション機能選択レジスタ	(注1)	

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はFFhになります。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域はFFhになります。

4. バスアクセス

4.1 バスアクセス

ROM、RAM、DTCベクタ領域、DTCコントロールデータ、およびSFRは、アクセス領域によりアクセス時のバスサイクルが異なります。また、ROMとSFRについては、CPUクロックの周波数により、アクセスサイクル数の制約が異なるため、制御レジスタ(プロセッサモードレジスタ(PM1)、フラッシュ制御レジスタ(FMR2))によるアクセスサイクル数の設定が必要です。

表4.1、表4.2にR8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ(データフラッシュありの場合)の各アクセス領域に対するデータバス幅、バスサイクルを示します。

また、表4.3に各制御レジスタによるアクセスサイクル数の設定表を示します。CPUクロック周波数に応じて、この表の設定を行ってください。

SFRの一部とデータフラッシュは、8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。

表4.1 アクセス領域に対するデータバス幅、バスサイクル(CPUクロック \leq 20 MHz)

アクセス対象	バス幅(bit)	ウェイトサイクル数	アクセスサイクル数		
			バイトアクセス	ワードアクセス (偶数番地)	ワードアクセス (奇数番地)
SFR (00002h~0003Fh)	8	1ウェイト	2	4	4
SFR (注1) (00002h~0003Fh以外)	16	1ウェイト	2	2	4
RAM	16	0ウェイト	1	1	2
データフラッシュ	8	1ウェイト	2	4	4
プログラムROM	16	0ウェイト	1	1	2

注1. 以下のステータスレジスタへのライトサイクルは、3ウェイトになります。

SSU/IIC : SISR

タイマRC : TRCSR

タイマRD : TRDSR0、TRDSR1

タイマRG : TRGSR

SSU/IICのSITDRレジスタへのライトサイクルは、3ウェイトになります。

ただし、DTCアクセスによるSITDRレジスタへのライトは、1ウェイトとなります。

表4.2 アクセス領域に対するデータバス幅、バスサイクル(CPUクロック>20 MHz)

アクセス対象(注1)	バス幅(bit)	ウェイトサイクル数	アクセスサイクル数		
			バイトアクセス	ワードアクセス (偶数番地)	ワードアクセス (奇数番地)
SFRリード (00002h~0003Fh)	8	2ウェイト	3	6	6
SFRライト (00002h~0003Fh)	8	1ウェイト	2	4	4
SFRリード(注2) (00002h~0003Fh以外)	16	2ウェイト	3	3	6
SFRライト(注2) (00002h~0003Fh以外)	16	1ウェイト	2	2	4
RAM	16	0ウェイト	1	1	2
データフラッシュ	8	1ウェイト	2	4	4
プログラムROM (ランダムアクセス)	16	0ウェイト	1	1	2
プログラムROM (ページアクセス)	16	0ウェイト	1	1	2

注1. ページ空間(アドレス16バイト分)内でアクセスする場合は、ページアクセス、それ以外はランダムアクセスとなります。プログラムROM以外のアクセスが混在しても最後にアクセスしたプログラムROMと同じページ空間であれば、ページアクセスとなります。

注2. 以下のステータスレジスタへのライトサイクルは、3ウェイトになります。

SSU/IIC : SISR

タイマRC : TRCSR

タイマRD : TRDSR0, TRDSR1

タイマRG : TRGSR

SSU/IICのSITDRレジスタへのライトサイクルは、3ウェイトになります。

ただし、DTCアクセスによるSITDRレジスタへのライトは、1ウェイトとなります。

表4.3 アクセス領域に対するウェイトサイクル設定

レジスタ制御仕様 アクセス対象	プロセッサモードレジスタ1 (PM1 : 00005h番地)		フラッシュ制御レジスタ2 (FMR2 : 00256h番地)	
	PM17 = 1 (周辺ウェイト サイクル追加)	PM17 = 0 (周辺ウェイト サイクル1ウェイト)	FMR24 = 1 (フラッシュ 高速リード禁止)	FMR24 = 0 (フラッシュ 高速リード許可)
SFRリード	2ウェイト	1ウェイト	影響なし	影響なし
SFRライト	1ウェイト	1ウェイト	影響なし	影響なし
データフラッシュ	影響なし	影響なし	1ウェイト	3ウェイト
プログラムROM (ランダムアクセス)	影響なし	影響なし	0ウェイト	1ウェイト
プログラムROM (ページアクセス)	影響なし	影響なし	0ウェイト	0ウェイト

5. システム制御

5.1 概要

本章ではレジスタアクセスプロテクト機能やオプション機能などに関するシステム共通の制御に関して説明します。

5.2 レジスタの説明

表5.1にシステム制御のレジスタ構成を示します。

表5.1 システム制御のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
プロセッサモードレジスタ0	PM0	00h	00004h	8
プロセッサモードレジスタ1	PM1	10000000b	00005h	8
プロテクトレジスタ	PRCR	00h	00007h	8
オプション機能選択レジスタ2	OFS2	(注1)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注2)	0FFFFh	8

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。

注2. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

5.2.1 プロセッサモードレジスタ0 (PM0)

アドレス 00004h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PM03	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	PM03	ソフトウェアリセットビット	0: 状態保持 1: リセット発生	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、PM0レジスタを書き換えてください。

PM03ビット(ソフトウェアリセットビット)

PM03ビットを1にすると、マイクロコンピュータ全体がリセットされます。読んだ場合、その値は0です。

5.2.2 プロセッサモードレジスタ1 (PM1)

アドレス	00005h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PM17	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b6	—			
b7	PM17	バスサイクルウェイトビット (注1)	0: 周辺ウェイトサイクル1ウェイト 1: 周辺ウェイトサイクル追加	R/W

注1. 「表4.3 アクセス領域に対するウェイトサイクル設定」を参照してください。

- CPUクロック ≤ 20 MHzのとき、PM17 = 0または1にしてください。
- CPUクロック > 20 MHzのとき、PM17 = 1を維持してください。

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、PM1レジスタを書き換えてください。

5.2.3 プロテクトレジスタ (PRCR)

アドレス	00007h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	0: 禁止	R/W
b1	PRC1	プロテクトビット1	1: 許可(注1)	R/W
b2	PRC2	プロテクトビット2	0: 禁止 1: 許可(注2)	R/W
b3	PRC3	プロテクトビット3	0: 禁止 1: 許可(注1)	R/W
b4	—	予約ビット	0にしてください	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

注1. 一度1にすると、プログラムで0にするまで書き込み許可を継続します。

注2. PRC2ビットを1(書き込み許可)にした後、SFR領域に書き込むと0になります。PRC2ビットで保護されるレジスタは、PRC2ビットを1にした次の命令で変更してください。なお、PRC2ビットを1にする命令と次の命令の間に、割り込みやDTC起動が実行されないようにしてください。

PRC0ビット(プロテクトビット0)

CM0、CM1、CM3、CM4、OCD、FRA0、FRA2、PLC0、PCLKR1レジスタへの書き込みの許可/禁止を制御します。

PRC1ビット(プロテクトビット1)

PM0、PM1、RISRレジスタへの書き込みの許可/禁止を制御します。

PRC2ビット(プロテクトビット2)

PD0レジスタへの書き込みの許可/禁止を制御します。

PRC3ビット(プロテクトビット3)

OCVREFCR、VCA2、VDILS、VW0C、VW1C、VW2C、SVDCレジスタへの書き込みの許可/禁止を制御します。

5.2.4 オプション機能選択レジスタ2 (OFS2)

アドレス	0FFDBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25 % 0 1 : 50 % 1 0 : 75 % 1 1 : 100 %	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	1にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。ブランク出荷品の出荷時、OFS2レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0～WDTRCS1ビット

(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

5.2.5 オプション機能選択レジスタ (OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択(Vdet0_3) 0 1 : 2.85 V選択(Vdet0_2) 上記以外: 設定しないでください	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

5.3 IDコード領域

5.3.1 概要

IDコード領域は、固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFEb、0FFEf、0FFF3h、0FFF7h、0FFFBh番地です。

図5.1にIDコード領域を示します。

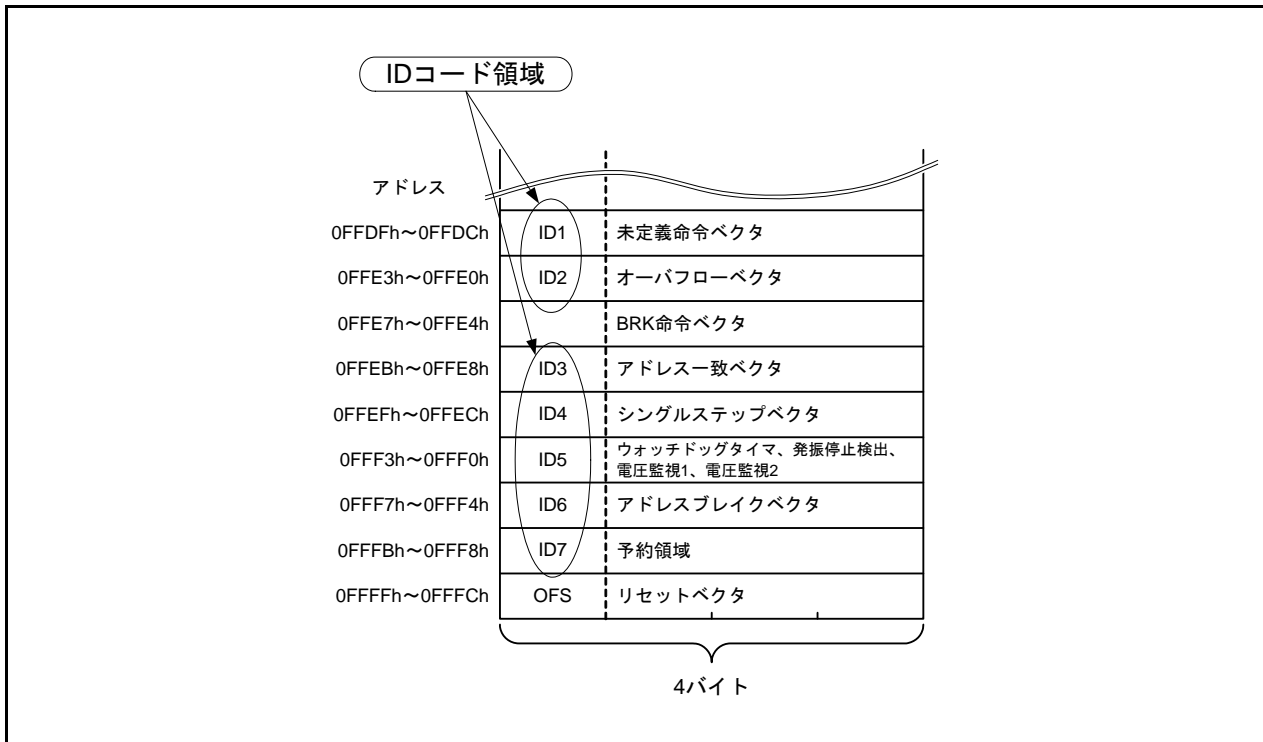


図5.1 IDコード領域

5.3.2 機能

IDコード領域は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFCh~0FFeh番地)がFFFFFFhの場合と、FFFFFFhでない場合で動作が異なります。

標準シリアル入出力モードでリセットベクタの3バイト(0FFCh~0FFeh番地)がFFFFFFhではない場合、IDコード領域に格納されているIDコードと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFCh~0FFeh番地)がFFFFFFhの場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードのALeRASEになる組み合わせは、強制イレーズ機能で使用する予約語です。また、Protectになる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。

表5.2にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表5.2と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表5.2 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE (強制イレース機能)	Protect (標準シリアル入出力モード禁止機能)
0FFDFh	ID1	41h : A (大文字)	50h : P (大文字)
0FFE3h	ID2	4Ch : L (大文字)	72h : r (小文字)
0FFEBh	ID3	65h : e (小文字)	6Fh : o (小文字)
0FFEFh	ID4	52h : R (大文字)	74h : t (小文字)
0FFF3h	ID5	41h : A (大文字)	65h : e (小文字)
0FFF7h	ID6	53h : S (大文字)	63h : c (小文字)
0FFFBh	ID7	45h : E (大文字)	74h : t (小文字)

注1. IDコード格納番地のアドレスとデータがすべて表5.2と一致する場合が予約語です。

5.3.3 強制イレース機能

強制イレース機能は、標準シリアル入出力モードで使用します。シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードのALeRASEの場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードのALeRASE以外(「表5.2 IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが1、ROMCP1ビットが0(ROMコードプロテクト有効)の場合は、強制イレースを行わず、IDコードチェック機能によるIDコードの判定を行います。表5.3に強制イレース機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードのALeRASEにしておくと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードがALeRASEならばユーザROM領域を消し、ALeRASE以外ならばIDが一致せず、コマンドを受け付けないので、ユーザROM領域を操作できません。

表5.3 強制イレース機能の条件と動作

シリアルライターやオンチップデバッグエミュレータから送られてくるIDコード	条件		動作
	IDコード格納番地のIDコード	OFSレジスタのROMCP1~ROMCRビット	
ALeRASE	ALeRASE	—	ユーザROM領域をすべて消去 (強制イレース機能)
	ALeRASE以外 (注1)	01b以外 (ROMコードプロテクト解除)	
ALeRASE以外	ALeRASE	—	IDコードの判定 (IDコードチェック機能、 IDコード不一致)
	ALeRASE以外 (注1)	—	

注1. Protectの場合は「5.3.4 標準シリアル入出力モード禁止機能」を参照してください。

5.3.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードのProtectになる組み合わせ(「表5.2 IDコードの予約語」参照)の場合、シリアルライターやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライターやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードをProtectになる組み合わせにし、かつ、OFSレジスタのROMCRビットを1、ROMCP1ビットを0(ROMコードプロテクト有効)にしている場合は、シリアルライターやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライターやオンチップデバッグエミュレータでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

5.3.5 IDコード領域使用上の注意(設定例)

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに55hを設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy                  ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; ADDRESS BREAK
.lword dummy | (55000000h)    ; RESERVE
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

5.4 プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCRレジスタが保護するレジスタは次のとおりです。

表5.4 PRCRレジスタの各ビットと保護されるレジスタ一覧

ビット	保護されるレジスタ
PRC0	CM0、CM1、CM3、CM4、OCD、FRA0、FRA2、PLC0、PCLKR1レジスタ
PRC1	PM0、PM1、RISRレジスタ
PRC2	PD0レジスタ
PRC3	OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C、SVDCレジスタ

5.5 オプション機能選択領域

5.5.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地、および0FFDBh番地がオプション機能選択領域です。

図5.2にオプション機能選択領域を示します。

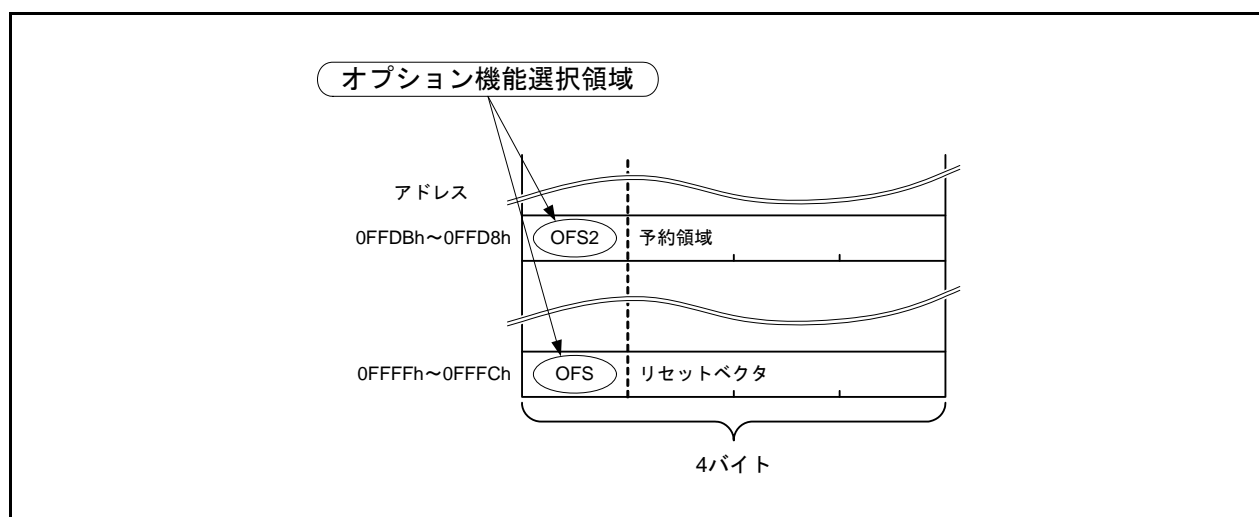


図5.2 オプション機能選択領域

5.6 システム制御使用上の注意事項

5.6.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFS2レジスタにFFhを設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

- OFSレジスタにFFhを設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

6. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧検出回路による電圧監視0リセット、ウォッチドッグタイマリセット、およびソフトウェアリセットがあります。

6.1 概要

表6.1にリセットの名称と要因を、図6.1にリセット回路のブロック図を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子にLレベルが入力されたとき
パワーオンリセット	電源VCCが投入されたとき
電圧監視0リセット	電源VCCがVdet0以下に低下し、電圧検出回路0によりこれを検知したとき
ウォッチドッグタイマリセット	ウォッチドッグタイマがアンダフローしたとき
ソフトウェアリセット	プログラムにより、PM0レジスタのPM03ビットに1を書いたとき

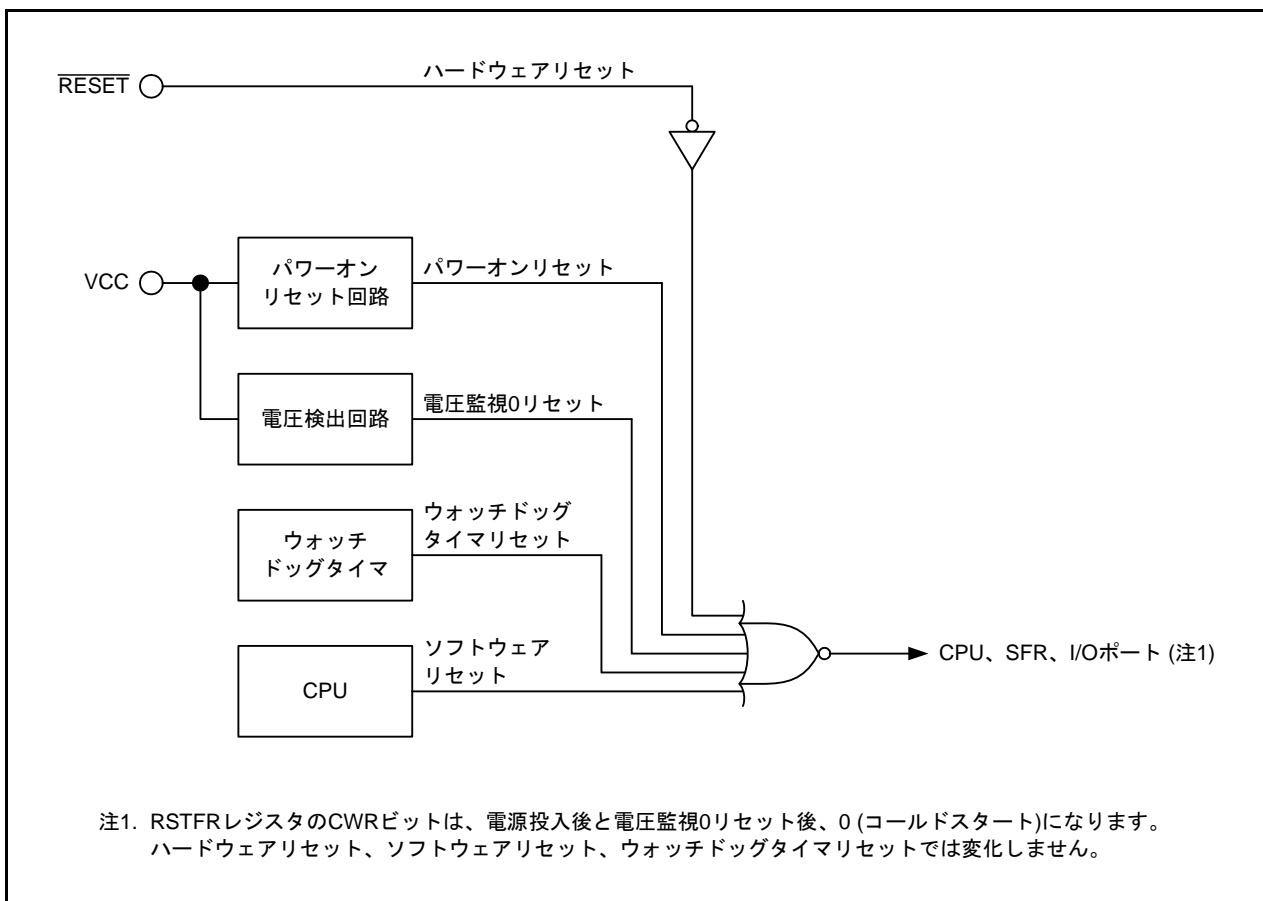


図6.1 リセット回路のブロック図

6.2 レジスタの説明

表6.2にリセットのレジスタ構成を示します。

表6.2 リセットのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
プロセッサモードレジスタ0	PM0	00h	00004h	8
リセット要因判別レジスタ	RSTFR	00XXXXXXb	00028h	8
オプション機能選択レジスタ2	OFS2	(注1)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注2)	0FFFFh	8

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。

注2. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

6.2.1 プロセッサモードレジスタ0 (PM0)

アドレス 00004h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PM03	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	PM03	ソフトウェアリセットビット	0：状態保持 1：リセット発生	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、PM0レジスタを書き換えてください。

PM03ビット(ソフトウェアリセットビット)

PM03ビットを1にすると、マイクロコンピュータ全体がリセットされます。読んだ場合、その値は0です。

6.2.2 リセット要因判別レジスタ (RSTFR)

アドレス	00028h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDR	SWR	HWR	CWR
リセット後の値	0	0	X	X	X	X	X	X (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート/ウォームスタート判定フラグ(注2、3)	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ		R
b3	WDR	ウォッチドッグタイマリセット検出フラグ		R
b4	—	予約ビット	読んだ場合、その値は不定。	R
b5	—			
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

注1. CWRビットは電源投入後と、電圧監視0リセット後、0(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWRビットはプログラムで1を書くと1になります。(0を書いても変化しません。)

注3. VW0CレジスタのVW0C0ビットが0(電圧監視0リセット禁止)のとき、CWRビットは不定です。

6.2.3 オプション機能選択レジスタ2 (OFS2)

アドレス	0FFDBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25 % 0 1 : 50 % 1 0 : 75 % 1 1 : 100 %	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	1にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。ブランク出荷品の出荷時、OFS2レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0～WDTRCS1ビット

(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

6.2.4 オプション機能選択レジスタ (OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択(Vdet0_3) 0 1 : 2.85 V選択(Vdet0_2) 上記以外: 設定しないでください	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

6.3 動作説明

6.3.1 リセットシーケンス

図6.2にハードウェアリセットを例にしてリセットシーケンスを示します。内部リセット信号が解除されると所定時間経過後リセットベクタ(0FFFCh～0FFFEh番地)からCPUは動作を開始します。

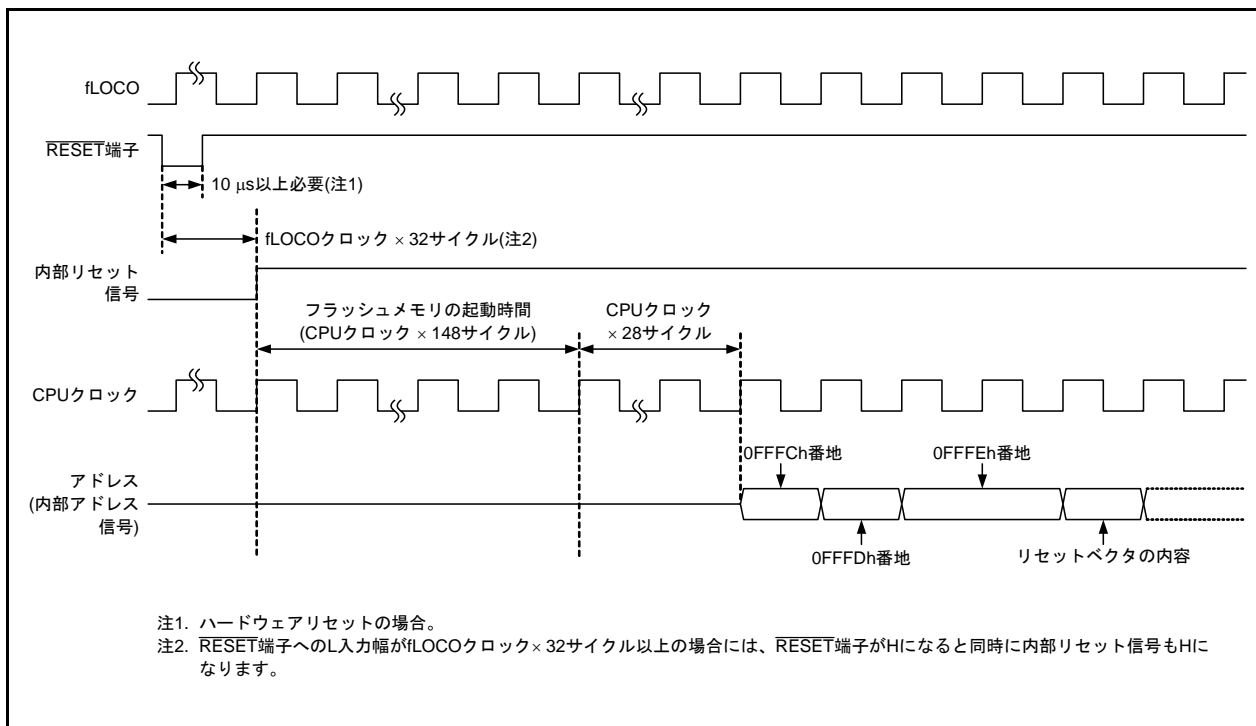


図6.2 リセットシーケンス

6.3.2 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子にLを入力するとCPU、SFR、I/Oポートが初期化されます(「表 6.3 $\overline{\text{RESET}}$ 端子のレベルがLの期間の端子の状態」、[「図 6.8 リセット後のCPUレジスタの状態](#)」、および「表 3.1～表 3.23 SFR 一覧」参照)。

$\overline{\text{RESET}}$ 端子の入力レベルをLからHにすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「3.5 SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中に $\overline{\text{RESET}}$ 端子がLになると、内部RAMは不定となります。

図 6.3 にハードウェアリセット回路例と動作を、図 6.4 にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

6.3.2.1 電源が安定している場合

- (1) $\overline{\text{RESET}}$ 端子にLを入力する
- (2) $10\mu\text{s}$ 待つ
- (3) $\overline{\text{RESET}}$ 端子にHを入力する

6.3.2.2 電源投入時

- (1) $\overline{\text{RESET}}$ 端子にLを入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ(「32. 電気的特性」参照)
- (4) $10\mu\text{s}$ 待つ
- (5) $\overline{\text{RESET}}$ 端子にHを入力する

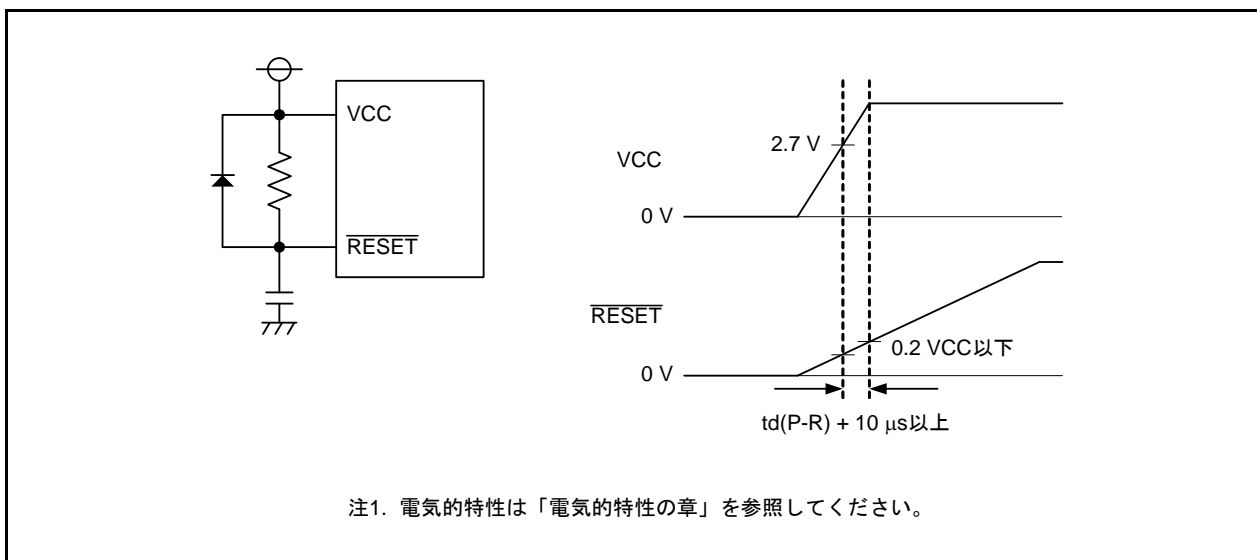


図6.3 ハードウェアリセット回路例と動作

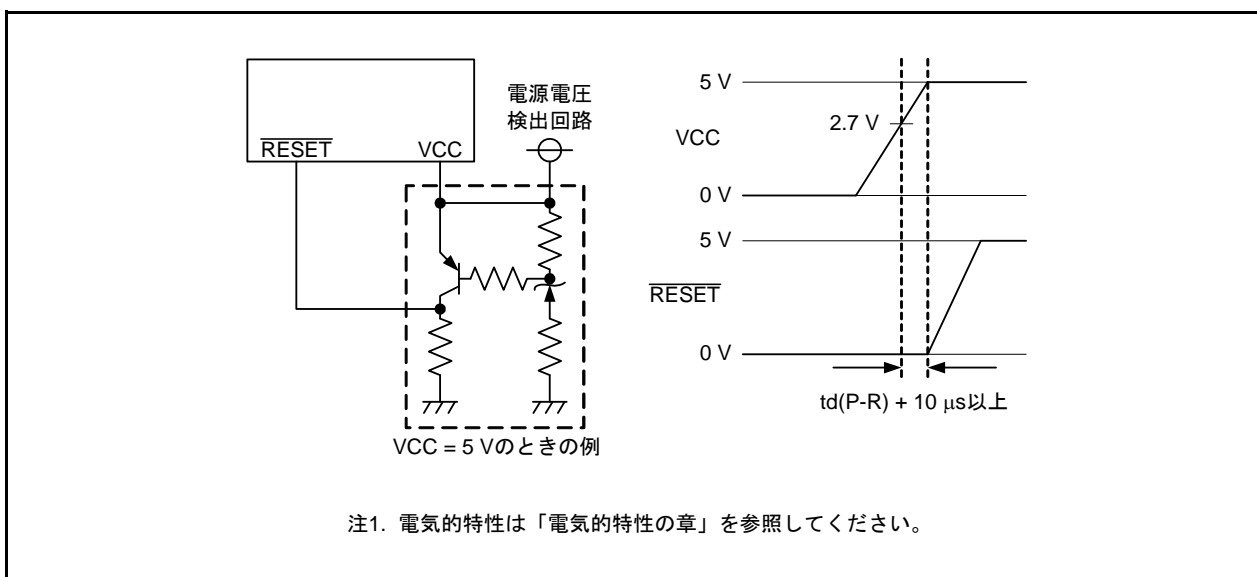


図6.4 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

6.3.3 パワーオンリセット

抵抗を通してRESET端子をVCCに接続し、VCCを立ち上げるとパワーオンリセットが有効になり、CPU、SFR、I/Oポートが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に0.8 VCC以上になるようにご注意ください。

VCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号がHになり、リセットシーケンス(図6.2参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「3.5 SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを0にして、電圧監視0リセットを有効にしてください。

図6.5にパワーオンリセット回路例と動作を示します。

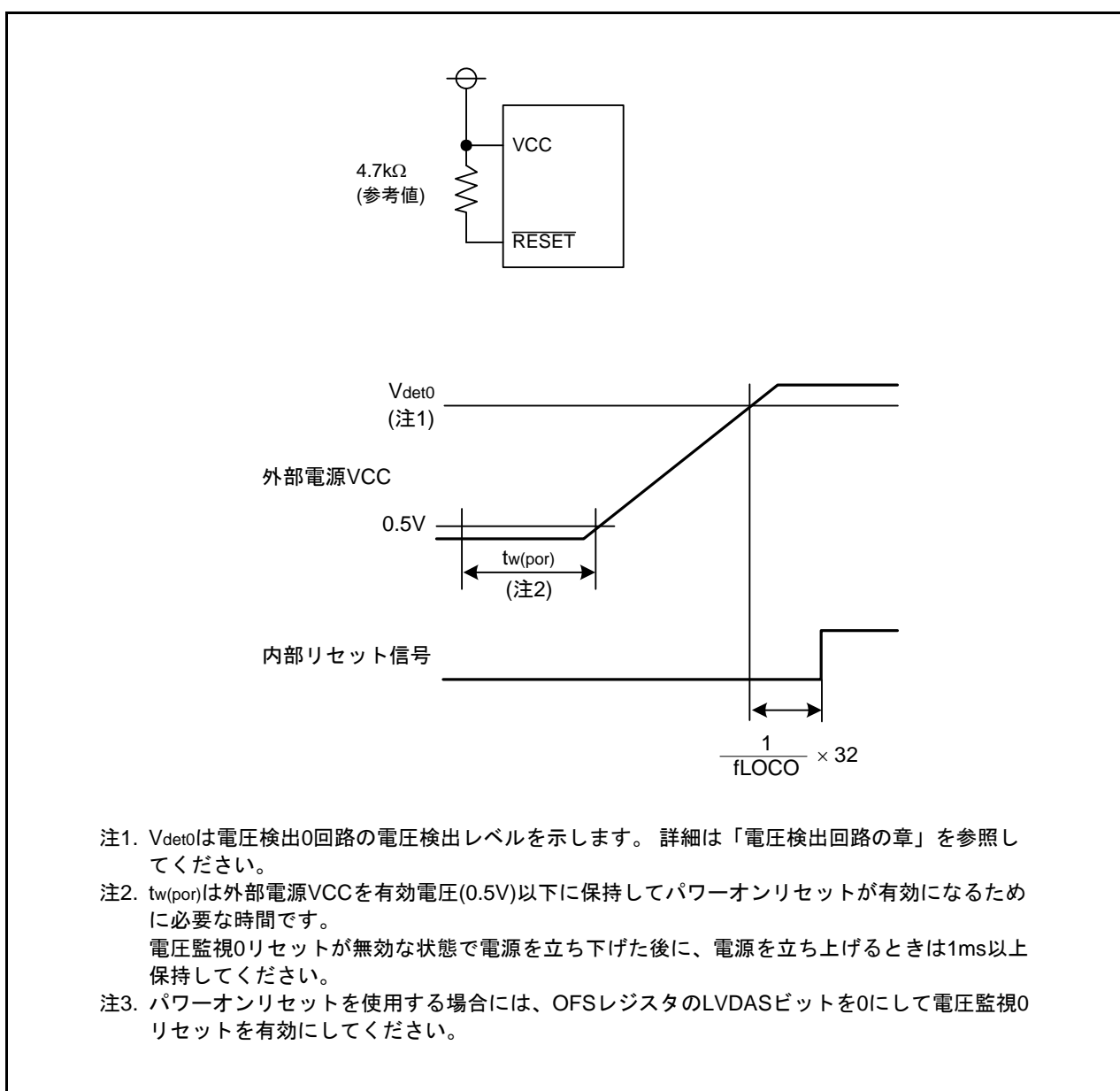


図6.5 パワーオンリセット回路例と動作

6.3.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0、VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になるとCPU、SFR、I/Oポートが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウンタを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号がHになり、リセットシーケンス(図6.2参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、LVDASビットを0にして電圧監視0リセットを有効にしてください。

VDSEL0、VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書いてください。

OFSレジスタの詳細は「6.2.4 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「3.5 SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「7. 電圧検出回路」を参照してください。

図6.6に電圧監視0リセット回路例と動作を示します。

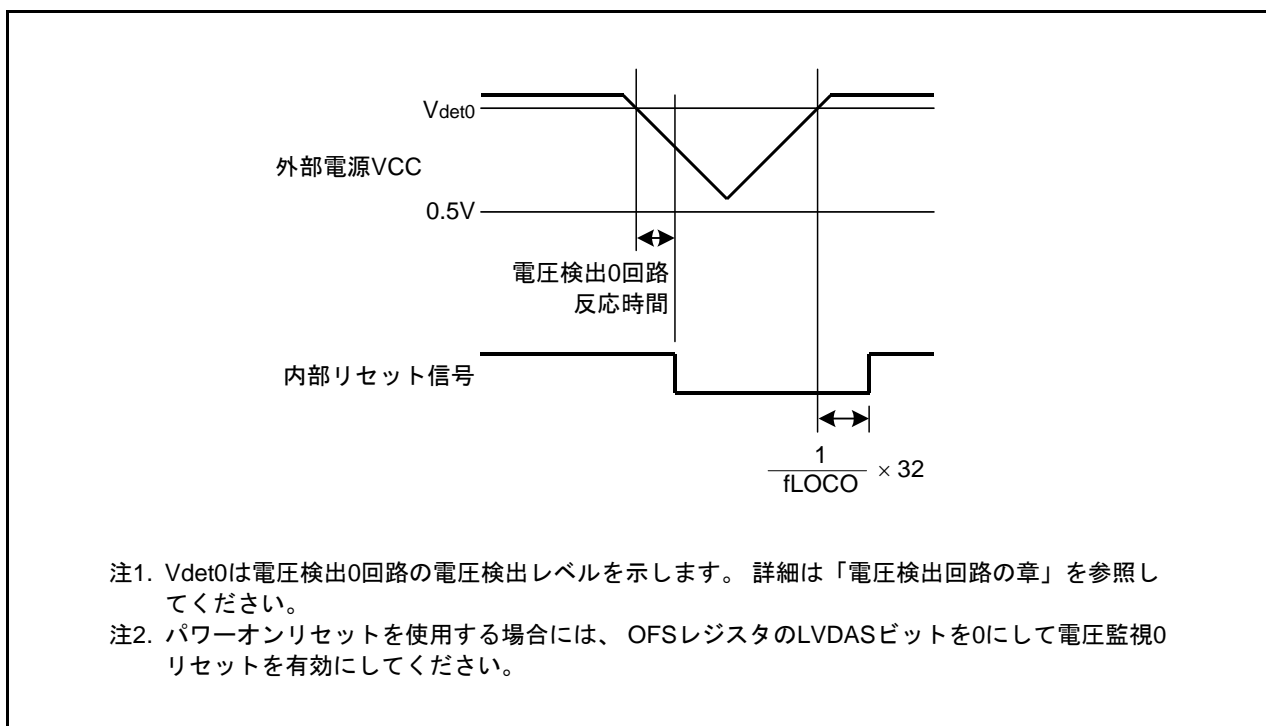


図6.6 電圧監視0リセット回路例と動作

6.3.5 ウォッチドッグタイマリセット

RISRレジスタのRISビットが1(ウォッチドッグタイマリセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータはCPU、SFR、I/Oポートを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「3.5 SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0、WDTUFS1ビット、WDTRCS0、WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「8. ウォッチドッグタイマ」を参照してください。

6.3.6 ソフトウェアリセット

PM0レジスタのPM03ビットを1(マイクロコンピュータをリセット)にするとマイクロコンピュータはCPU、SFR、I/Oポートを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「3.5 SFR」を参照してください。

内部RAMは初期化されません。

6.3.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時0(コールドスタート)です。また、電圧監視0リセットでも0になります。CWRビットはプログラムで1を書くと1になり、ハードウェアリセット、ソフトウェアリセット、およびウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図6.7にコールドスタート/ウォームスタート判定機能の動作例を示します。

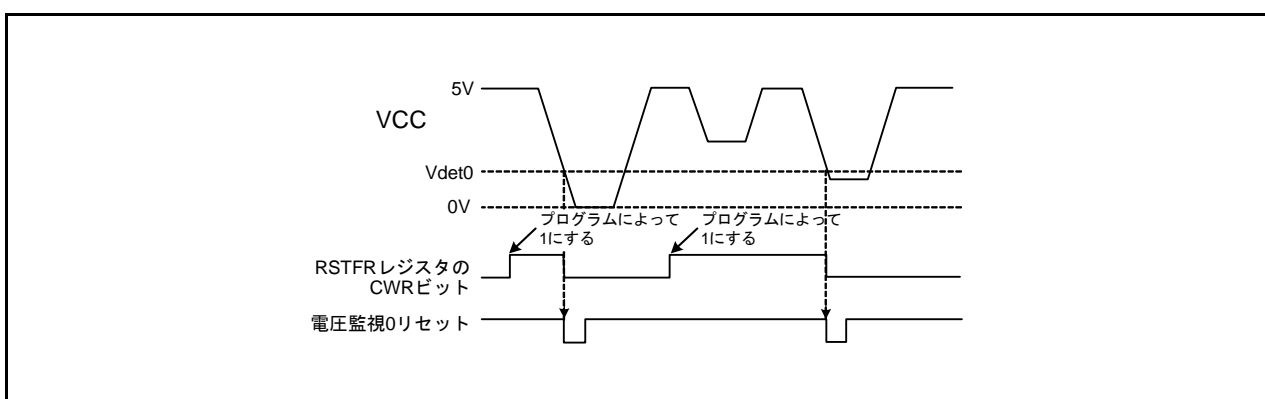


図6.7 コールドスタート/ウォームスタート判定機能の動作例

6.3.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセット、およびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセットが発生すると、RSTFRレジスタのHWRビットが1(検出)になります。ソフトウェアリセットが発生すると、RSTFRレジスタのSWRビットが1(検出)になります。ウォッチドッグタイマリセットが発生すると、RSTFRレジスタのWDRビットが1(検出)になります。

6.4 リセット時の状態

6.4.1 $\overline{\text{RESET}}$ 端子のレベルがLの期間の端子の状態

表6.3に $\overline{\text{RESET}}$ 端子のレベルがLの期間の端子の状態を示します。

表6.3 $\overline{\text{RESET}}$ 端子のレベルがLの期間の端子の状態

端子名	端子の状態
P0、P1、P2、P3、P5_0~P5_4、P5_6、P5_7、P6、P8_0~P8_6、 P9_4~P9_7、PC_0~PC_4	入力ポート
P4_3~P4_7	入力ポート

6.4.2 リセット後のCPUレジスタの状態

図6.8にリセット後のCPUレジスタの状態を示します。

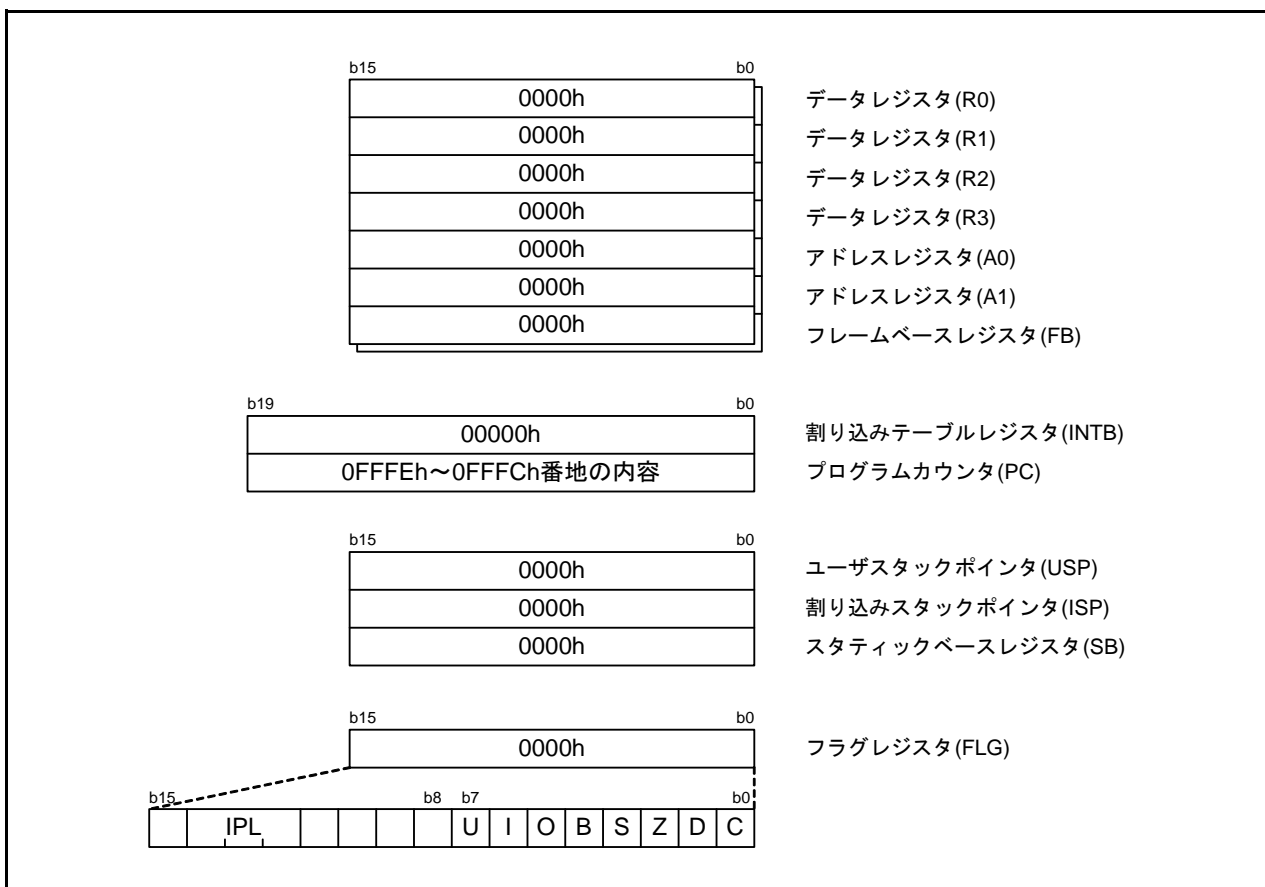


図6.8 リセット後のCPUレジスタの状態

6.5 リセット使用上の注意事項

6.5.1 RSTFR レジスタ

RSTFR レジスタの読み出しを連続して2回以上読み出す場合は、読み出す直前に00hを書き込んでから、読み出してください。

<プログラム例>

```
MOV.B    #00H, 0028H    ; RSTFR レジスタに00hを書き込む(注1)
MOV.B    0028H, A0      ; RSTFR レジスタの読み出し値をA0に格納
```

注1. RSTFR レジスタのCWR ビットは0を書いても値は変化しません。
また本レジスタの他のビットは、全てリードオンリーなので本レジスタ内の他ビットの値に影響はありません。

7. 電圧検出回路

電圧検出回路は、VCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。

7.1 概要

電圧検出0はOFSレジスタで、検出電圧を2レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を9レベルから選択できます。

電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

表7.1に電圧検出回路の仕様を、図7.1に電圧検出回路のブロック図を、図7.2に電圧監視0リセット発生回路のブロック図を、図7.3に電圧監視1割り込み発生回路のブロック図を、図7.4に電圧監視2割り込み発生回路のブロック図を示します。

表7.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降して、Vdet0を通過したか	上昇または下降して、Vdet1を通過したか	上昇または下降して、Vdet2を通過したか
	検出電圧	OFSレジスタで、2レベルから選択可能	VD1LSレジスタで、9レベルから選択可能	固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低い	VW2CレジスタのVW2C3ビット Vdet2より高いか低い
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット、 VCC > Vdet0でCPU動作再開	なし	なし
	割り込み	なし	電圧監視1割り込み ノンマスクブルまたはマスクブルを選択可能 Vdet1 > VCC、 VCC > Vdet1の両方、 またはどちらかで割り込み要求	電圧監視2割り込み ノンマスクブルまたはマスクブルを選択可能 Vdet2 > VCC、 VCC > Vdet2の両方、 またはどちらかで割り込み要求
デジタルフィルタ	有効または無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	(fLOCOのn分周) × 2 n: 1、2、4、8	(fLOCOのn分周) × 2 n: 1、2、4、8

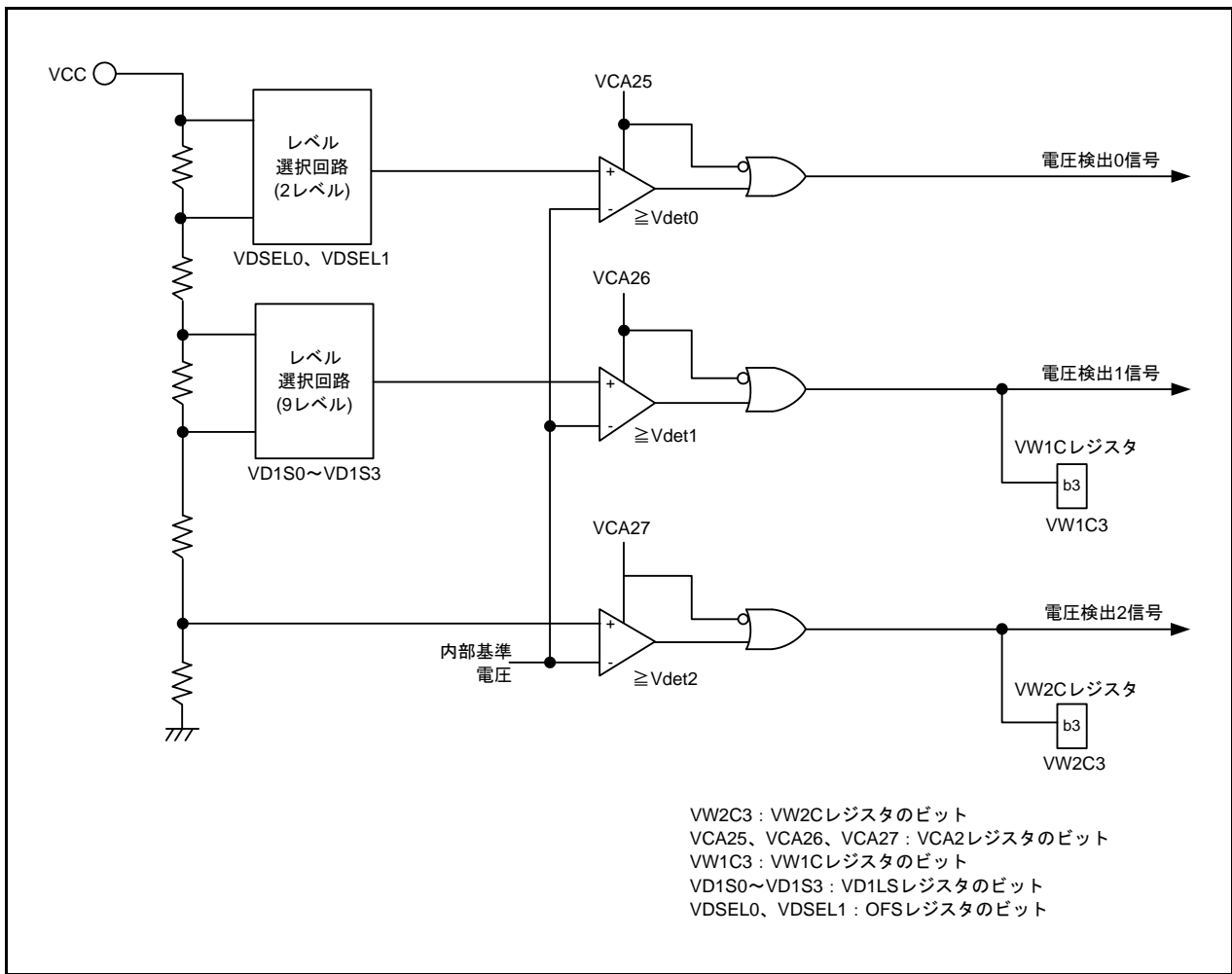


図7.1 電圧検出回路のブロック図

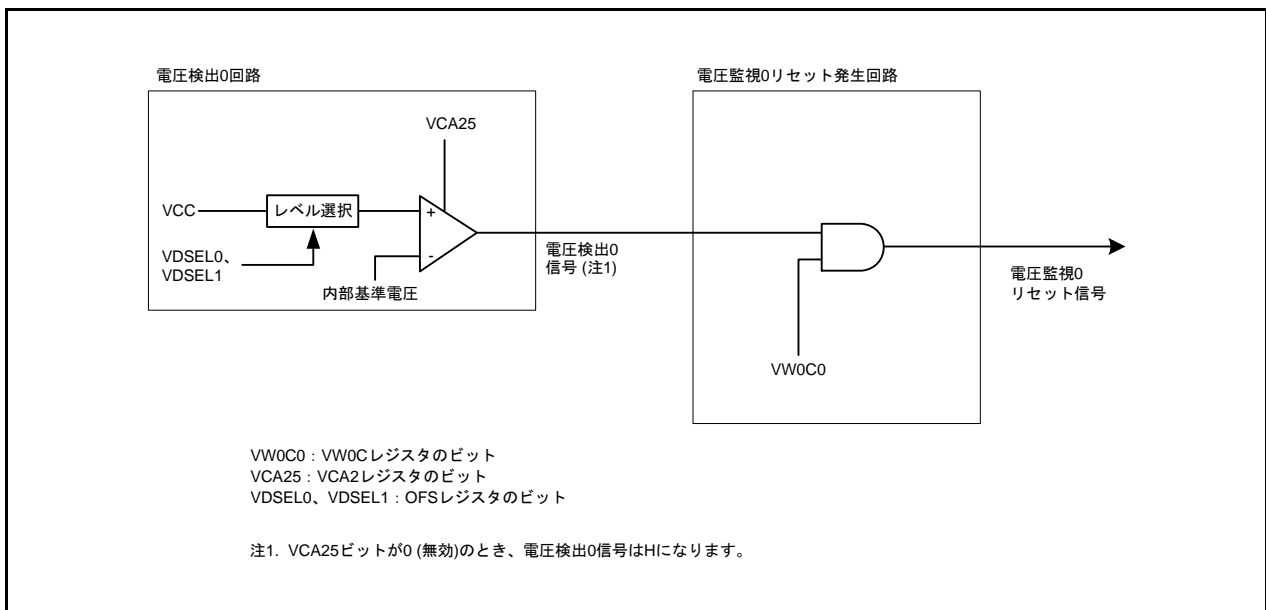


図7.2 電圧監視0リセット発生回路のブロック図

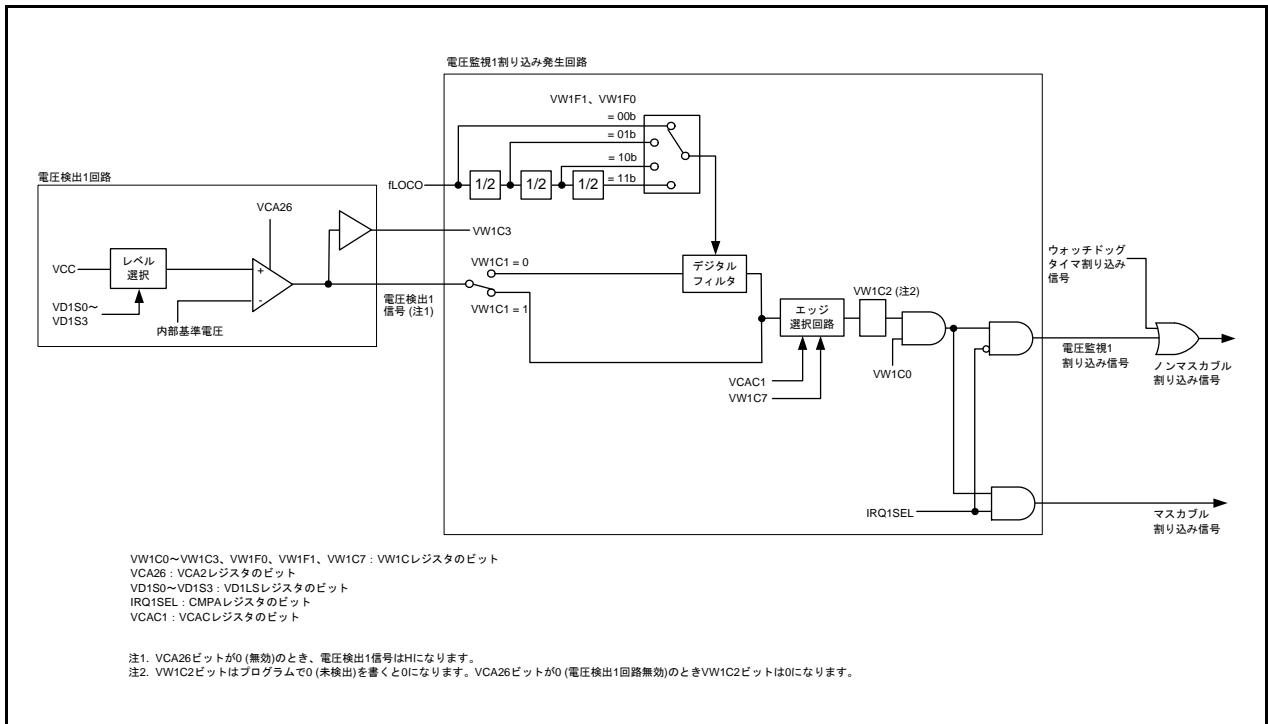


図7.3 電圧監視1割り込み発生回路のブロック図

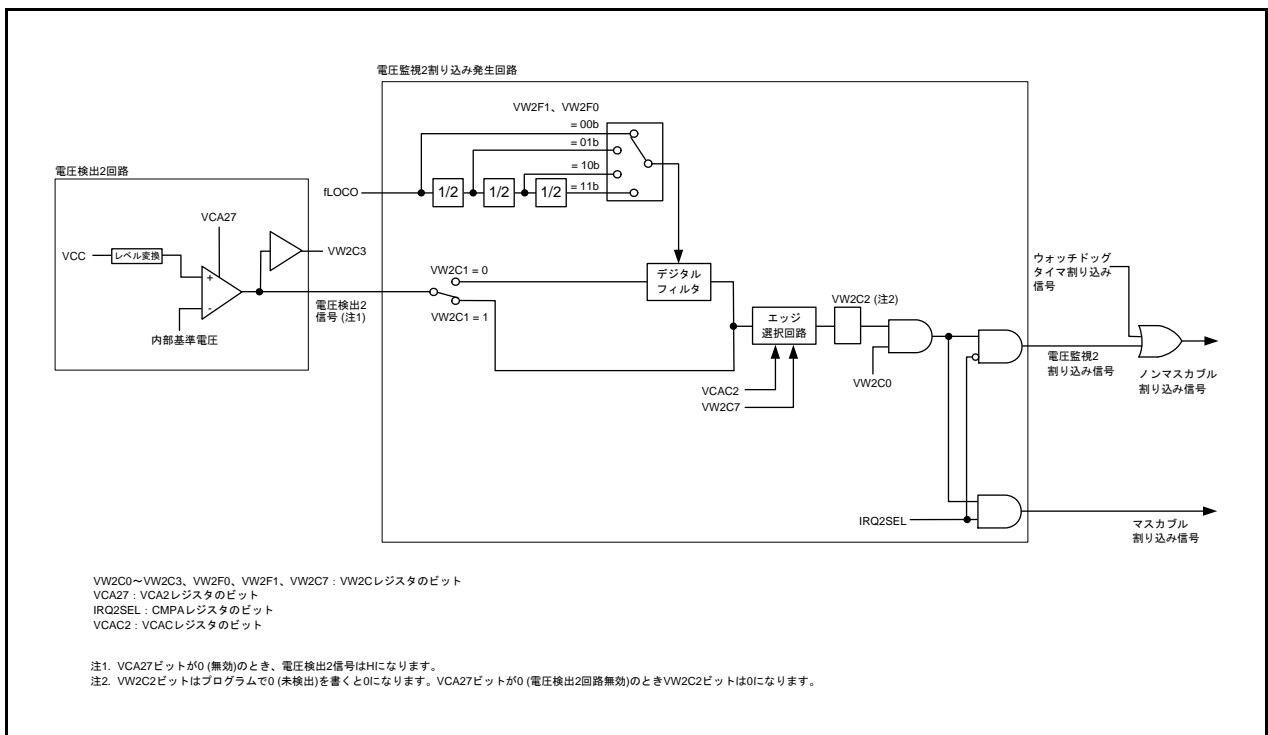


図7.4 電圧監視2割り込み発生回路のブロック図

7.2 レジスタの説明

表7.2に電圧検出回路のレジスタ構成を示します。

表7.2 電圧検出回路のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
電圧監視回路制御レジスタ	CMPA	00h	00030h	8
電圧監視回路エッジ選択レジスタ	VCAC	00h	00031h	8
電圧検出レジスタ2	VCA2	00000000b、 00100000b (注1)	00034h	8
電圧検出1レベル選択レジスタ	VD1LS	00000111b	00036h	8
電圧監視0回路制御レジスタ	VW0C	1100XX10b、 1100XX11b (注1)	00038h	8
電圧監視1回路制御レジスタ	VW1C	10001010b	00039h	8
電圧監視2回路制御レジスタ	VW2C	10001010b	0003Ah	8
オプション機能選択レジスタ	OFS	(注2)	0FFFFh	8

注1. OFSレジスタのLVDASビットの値によってリセット後の値が異なります。

注2. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

7.2.1 電圧監視回路制御レジスタ (CMPA)

アドレス 00030h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	IRQ2SEL	IRQ1SEL	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	IRQ1SEL	電圧監視1割り込み種類選択ビット	0: ノンマスクابل割り込み	R/W
b5	IRQ2SEL	電圧監視2割り込み種類選択ビット	1: マスクابل割り込み	R/W
b6	—	予約ビット	0にしてください	R/W
b7	—			

7.2.2 電圧監視回路エッジ選択レジスタ (VCAC)

アドレス	00031h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	VCAC2	VCAC1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	VCAC1	電圧監視1回路エッジ選択ビット	0: 片エッジ	R/W
b2	VCAC2	電圧監視2回路エッジ選択ビット	1: 両エッジ	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

7.2.3 電圧検出レジスタ2 (VCA2)

アドレス	00034h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
上記はOFSレジスタのLVDASビットが1の場合								
リセット後の値	0	0	1	0	0	0	0	0
上記はOFSレジスタのLVDASビットが0の場合								

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注1)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注2)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注3)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. 電圧監視0リセットを使用する場合、VCA25ビットを1にしてください。

注2. 電圧検出1割り込みを使用する場合またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを1にしてください。VCA26ビットを0から1にした後、td(E-A)経過してから電圧検出1回路が動作します。

注3. 電圧検出2割り込みを使用する場合またはVW2CレジスタのVW2C3ビットを使用する場合、VCA27ビットを1にしてください。VCA27ビットを0から1にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。

7.2.4 電圧検出1レベル選択レジスタ (VD1LS)

アドレス 00036h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0 0 1 1 1 : 3.25 V (Vdet1_7)	R/W
b1	VD1S1		1 0 0 0 : 3.40 V (Vdet1_8)	R/W
b2	VD1S2		1 0 0 1 : 3.55 V (Vdet1_9)	R/W
b3	VD1S3		1 0 1 0 : 3.70 V (Vdet1_A)	R/W
			1 0 1 1 : 3.85 V (Vdet1_B)	
			1 1 0 0 : 4.00 V (Vdet1_C)	
			1 1 0 1 : 4.15 V (Vdet1_D)	
			1 1 1 0 : 4.30 V (Vdet1_E)	
		1 1 1 1 : 4.45 V (Vdet1_F)		
		上記以外 : 設定しないでください		
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	
b5	—			
b6	—			
b7	—			

VD1LSレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。

7.2.5 電圧監視0回路制御レジスタ (VW0C)

アドレス 00038h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	VW0C0
リセット後の値	1	1	0	0	X	X	1	0
	上記はOFSレジスタのLVDASビットが1の場合							
リセット後の値	1	1	0	0	X	X	1	1
	上記はOFSレジスタのLVDASビットが0の場合							

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	—	予約ビット	1にしてください	R/W
b2	—	予約ビット	読んだ場合、その値は不定。	R
b3	—			
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—	予約ビット	1にしてください	R/W
b7	—			

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが1(電圧検出0回路有効)のときに有効になります。VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0C0ビットを1にする場合は、次の手順で設定してください。

- (1) VCA25ビットを1にする。
- (2) 検出回路が動作するまでtd(E-A)待つ。
- (3) VW0C0ビットを1にする。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。

7.2.6 電圧監視1回路制御レジスタ (VW1C)

アドレス 00039h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	—	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2、3)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注4、5)	0: 未検出 1: Vdet1通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注4)	0: VCC < Vdet1 1: VCC ≥ Vdet1 または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット(注3)	b5 b4 0 0 : fLOCOの1分周 0 1 : fLOCOの2分周 1 0 : fLOCOの4分周 1 1 : fLOCOの8分周	R/W
b5	VW1F1			R/W
b6	—	予約ビット	0にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット	0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき	R/W

注1. VW1C0ビットはVCA2レジスタのVCA26ビットが1(電圧検出1回路有効)のときに有効です。VCA26ビットが0(電圧検出1回路無効)のとき、VW1C0ビットを0(禁止)にしてください。VW1C0ビットを1(許可)にするときは、「表7.3 電圧監視1割り込み関連ビットの設定手順」に従ってください。

注2. デジタルフィルタを使用する場合(VW1C1ビットが0)、CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にしてください。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合、VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効)にしてください。

注3. VW1C0ビットが1(許可)のとき、VW1C1ビットとVW1F0、VW1F1ビットを同時に(1命令で)設定しないでください。

注4. VW1C2ビットおよびVW1C3ビットはVCA26ビットが1(電圧検出1回路有効)のときに有効になります。

注5. プログラムで0にしてください。プログラムで0を書くと0になります(1を書いても変化しません)。

VW1Cレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。VW1Cレジスタを書き換えると、VW1C2ビットが1になる場合があります。VW1Cレジスタを書き換えた後、VW1C2ビットを0にしてください。

7.2.7 電圧監視2回路制御レジスタ (VW2C)

アドレス 0003Ah

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	—	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	電圧監視2割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2、3)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	電圧変化検出フラグ(注4、5)	0: 未検出 1: Vdet2通過検出	R/W
b3	VW2C3	電圧検出2信号モニタフラグ(注5)	0: VCC < Vdet2 1: VCC ≥ Vdet2または電圧検出2回路無効	R
b4	VW2F0	サンプリングクロック選択ビット(注3)	b5 b4 0 0 : fLOCOの1分周 0 1 : fLOCOの2分周 1 0 : fLOCOの4分周 1 1 : fLOCOの8分周	R/W
b5	VW2F1			R/W
b6	—	予約ビット	0にしてください	R/W
b7	VW2C7	電圧監視2割り込み発生条件選択ビット	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	R/W

注1. VW2C0ビットはVCA2レジスタのVCA27ビットが1(電圧検出2回路有効)のときに有効です。VCA27ビットが0(電圧検出2回路無効)のとき、VW2C0ビットを0(禁止)にしてください。VW2C0ビットを1(許可)にするときは、「表7.4 電圧監視2割り込み関連ビットの設定手順」に従ってください。

注2. デジタルフィルタを使用する場合(VW2C1ビットが0)、CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にしてください。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合、VW2C1ビットを1(デジタルフィルタ無効モード)にしてください。

注3. VW2C0ビットが1(許可)のとき、VW2C1ビットとVW2F0、VW2F1ビットを同時に(1命令で)設定しないでください。

注4. VW2C2ビットはVCA27ビットが1(電圧検出2回路有効)のとき有効になります。

注5. プログラムで0にしてください。プログラムで0を書くと0になります(1を書いても変化しません)。

VW2Cレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。VW2Cレジスタを書き換えると、VW2C2ビットが1になる場合があります。VW2Cレジスタを書き換えた後、VW2C2ビットを0にしてください。

7.2.8 オプション機能選択レジスタ (OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択(Vdet0_3) 0 1 : 2.85 V選択(Vdet0_2) 上記以外: 設定しないでください	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

7.3 VCC入力電圧のモニタ

7.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

7.3.2 Vdet1のモニタ

次の設定をした後、td(E-A) (「32. 電気的特性」参照)経過してから、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S0～VD1S3ビットで電圧検出1の検出電圧を選択する
- (2) VCA2レジスタのVCA26ビットを1(電圧検出1回路有効)にする

7.3.3 Vdet2のモニタ

次の設定をした後、td(E-A) (「32. 電気的特性」参照)経過後、VW2CレジスタのVW2C3ビットで電圧監視2の比較結果をモニタできます。

- (1) VCA2レジスタのVCA27ビットを1(電圧検出2回路有効)にする

7.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

図7.5に電圧監視0リセットの動作例を示します。

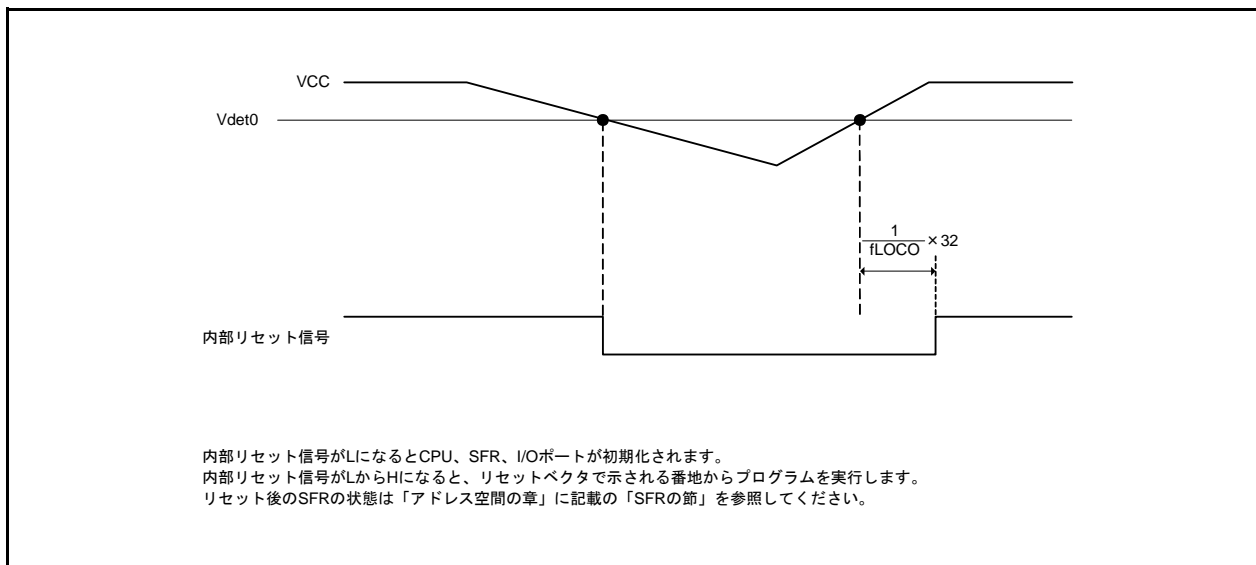


図7.5 電圧監視0リセットの動作例

7.5 電圧監視1割り込み

表7.3に電圧監視1割り込み関連ビットの設定手順を、図7.6に電圧監視1割り込みの動作例を示します。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効モード)にしてください。

表7.3 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S0～VD1S3ビットで電圧検出1の検出電圧を選択する	
2	VCA2レジスタのVCA26ビットを1(電圧検出1回路有効)にする	
3	td(E-A)待つ	
4	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
5(注1)	VW1CレジスタのVW1F0、VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効)にする
6(注1)	VW1CレジスタのVW1C1ビットを0(デジタルフィルタ有効)にする	—
7(注1)	VW1CレジスタのVW1C7ビットで割り込み検出のタイミングを選択する	
8	VCACレジスタのVCAC1ビットで割り込み検出のタイミングを選択する	
9	CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にする	—
10	デジタルフィルタのサンプリングクロック×4サイクル+低速OCOクロック×2サイクル待つ	— (待ち時間なし)
11	VW1CレジスタのVW1C2ビットを0にする	
12(注2)	VW1CレジスタのVW1C0ビットを1(電圧監視1割り込み許可)にする	

注1. VW1C0ビットが0のとき、手順5～7は同時に(1命令で)実行可能です。

注2. 電圧監視1割り込みが無効(VW1C0ビットが0、VCA26ビットが0)の状態から設定するとき、手順12の電圧監視1割り込みを許可するまでに $VCC < V_{det1}$ (または $VCC > V_{det1}$)を検出した場合は、割り込みは発生しません。手順11と手順12の間に $VCC < V_{det1}$ (または $VCC > V_{det1}$)を検出した場合は、VW1C2ビットが1になります。手順12のあとVW1C2ビットを読み、1の場合は検出したときに実行する処理を実施してください。

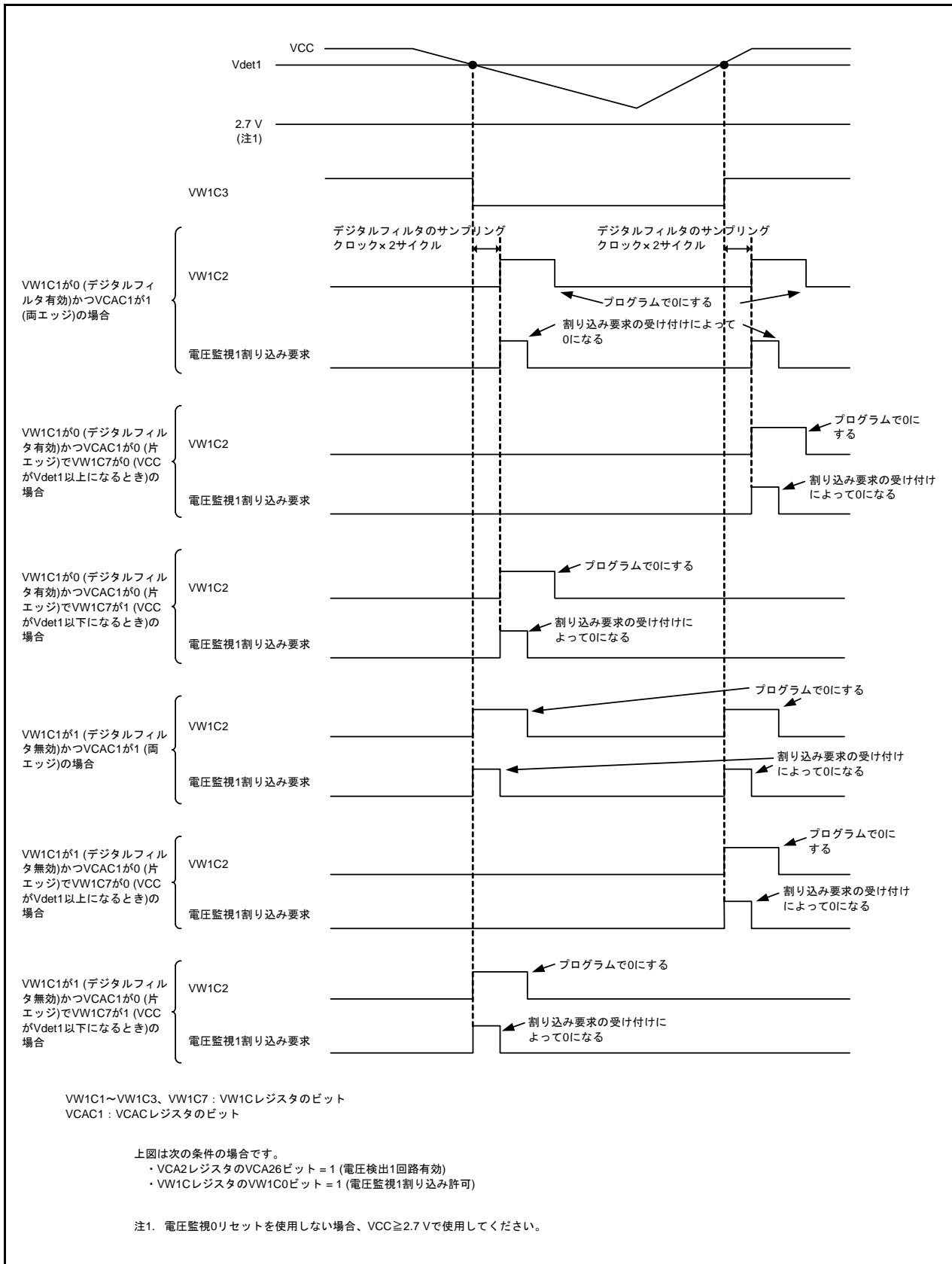


図7.6 電圧監視1割り込みの動作例

7.6 電圧監視2割り込み

表7.4に電圧監視2割り込み関連ビットの設定手順を、図7.7に電圧監視2割り込みの動作例を示します。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを1(デジタルフィルタ無効)にしてください。

表7.4 電圧監視2割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA27ビットを1(電圧検出2回路有効)にする	
2	td(E-A)待つ	
3	CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する	
4(注1)	VW2CレジスタのVW2F0、VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW2CレジスタのVW2C1ビットを1(デジタルフィルタ無効)にする
5(注1)	VW2CレジスタのVW2C1ビットを0(デジタルフィルタ有効)にする	—
6(注1)	VW2CレジスタのVW2C7ビットで割り込み検出のタイミングを選択する	
7	VCACレジスタのVCAC2ビットで割り込み検出のタイミングを選択する	
8	CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にする	—
9	デジタルフィルタのサンプリングクロック×4サイクル+低速OCOクロック×2サイクル待つ	— (待ち時間なし)
10	VW2CレジスタのVW2C2ビットを0にする	
11(注2)	VW2CレジスタのVW2C0ビットを1(電圧監視2割り込み許可)にする	

注1. VW2C0ビットが0のとき、手順4～6は同時に(1命令で)実行可能です。

注2. 電圧監視2割り込みが無効(VW2C0ビットが0、VCA27ビットが0)の状態から設定するとき、手順11の電圧監視2割り込みを許可するまでにVCC < Vdet2(またはVCC > Vdet2)を検出した場合は、割り込みは発生しません。手順10と手順11の間にVCC < Vdet2(またはVCC > Vdet2)を検出した場合は、VW2C2ビットが1になります。手順11のあとVW2C2ビットを読み、1の場合は検出したときに実行する処理を実施してください。

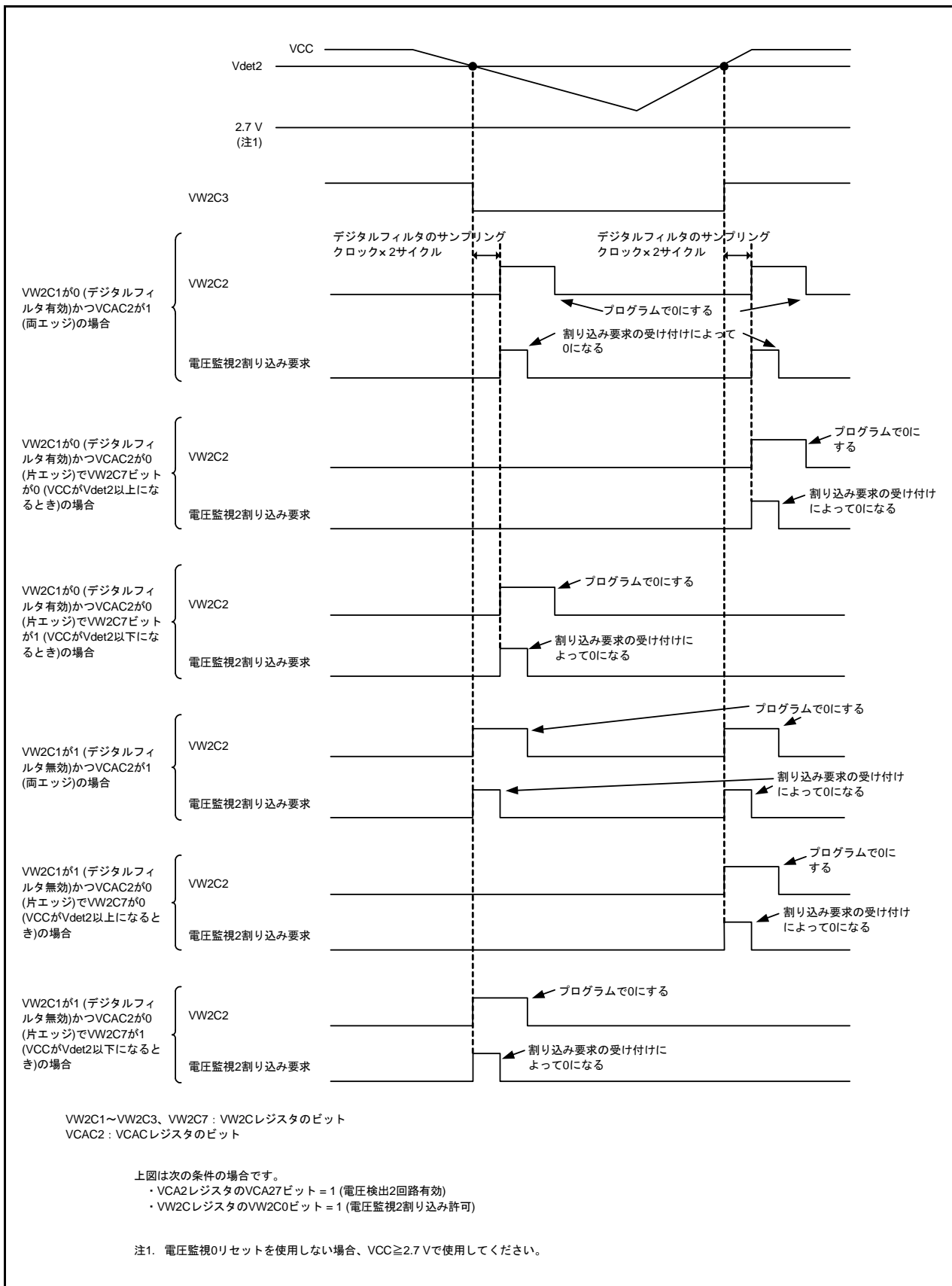


図7.7 電圧監視2割り込みの動作例

8. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

8.1 概要

ウォッチドッグタイマは14ビットのダウンカウンタを持ち、カウントソース保護モードの有効または無効を選択できます。

表8.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「6.3.5 ウォッチドッグタイマリセット」を参照してください。

図8.1にウォッチドッグタイマのブロック図を示します。

表8.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック、またはウォッチドッグタイマ用低速オンチップオシレータクロック(1/16)	ウォッチドッグタイマ用低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDTSレジスタへの書き込みによりカウントを開始 	
カウント停止条件	<ul style="list-style-type: none"> カウントソースがCPUクロックの2、16または128分周のとき、ウェイトモードまたはストップモードに移行すると、カウントを停止します カウントソースがウォッチドッグタイマ用低速オンチップオシレータクロックの16分周のとき、ウェイトモードまたはストップモードに移行しても、カウントを停止しません 	なし
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット 受付可能な期間内にWDTRレジスタに00hを書いた後、FFhを書く(注1)(受付期間の設定あり) アンダフロー 	
アンダフロー時の動作	ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> カウントソースの選択 WDTCレジスタのWDTC6、WDTC7ビットで選択 カウントソース保護モード - リセット後に有効か無効かをOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択 - リセット後に無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0、WDTUFS1ビットで選択 ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0、WDTRCS1ビットで選択 	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中のリフレッシュ期間に書いてください。

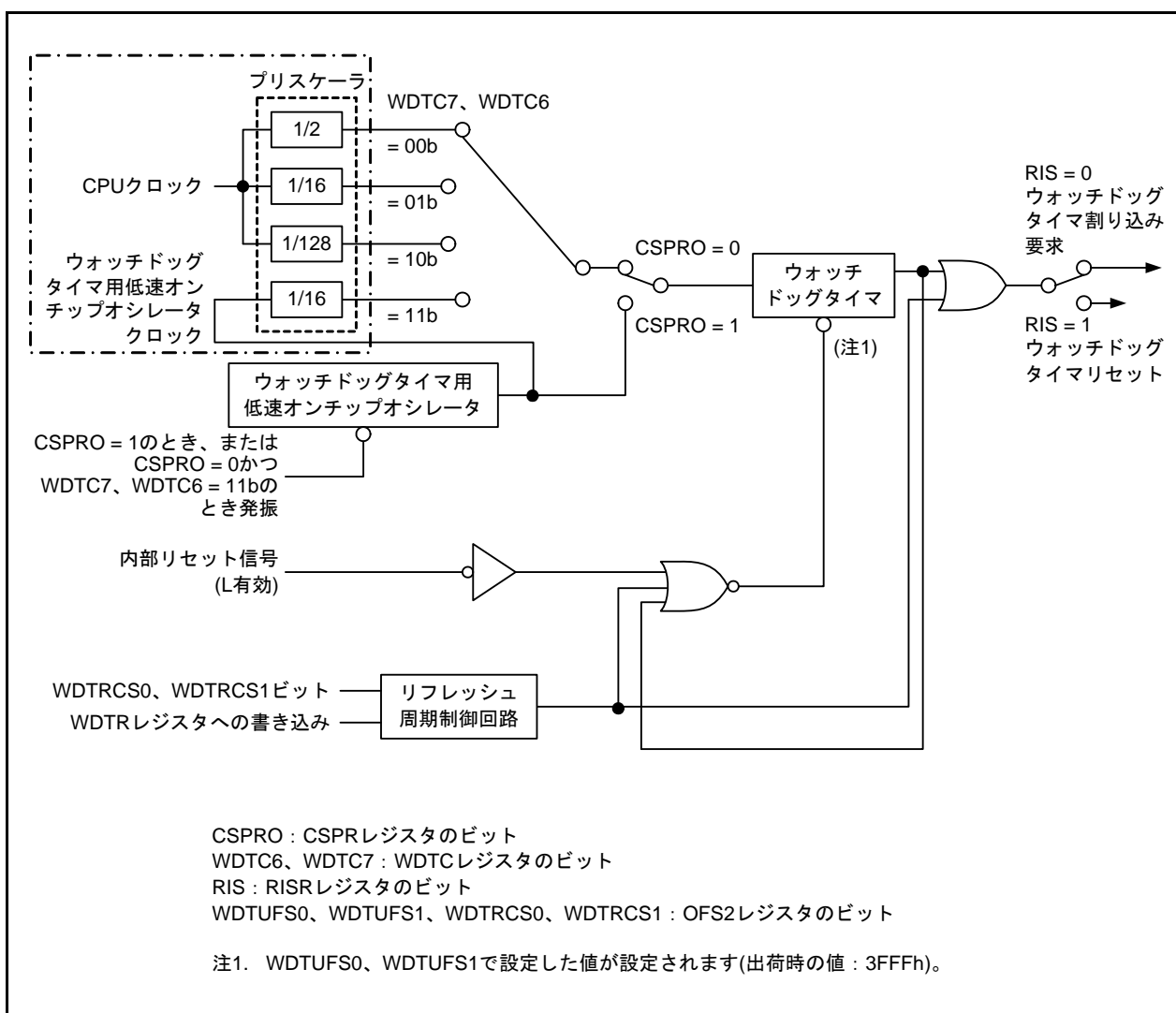


図8.1 ウォッチドッグタイマのブロック図

8.2 レジスタの説明

表8.2にウォッチドッグタイマのレジスタ構成を示します。

表8.2 ウォッチドッグタイマのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
リセット割り込み選択レジスタ	RISR	10000000b、 00000000b (注1)	00020h	8
ウォッチドッグタイマリセットレジスタ	WDTR	FFh	00021h	8
ウォッチドッグタイマスタートレジスタ	WDTS	FFh	00022h	8
ウォッチドッグタイマ制御レジスタ	WDTC	01111111b	00023h	8
カウントソース保護モードレジスタ	CSPR	10000000b、 00000000b (注1)	00024h	8
オプション機能選択レジスタ2	OFS2	(注2)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注3)	0FFFFh	8

注1. OFSレジスタのCSPROINIビットの値によってリセット後の値が異なります。

注2. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。

注3. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

8.2.1 リセット割り込み選択レジスタ (RISR)

アドレス	00020h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RIS	UFIF	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0
	上記はOFSレジスタのCSPROINIビットが0の場合							
リセット後の値	0	0	0	0	0	0	0	0
	上記はOFSレジスタのCSPROINIビットが1の場合							

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	UFIF	WDTアンダフロー検出フラグ	0: ウォッチドッグタイマアンダフローなし 1: ウォッチドッグタイマアンダフローあり(注1)	R/W
b7	RIS	WDT割り込み/リセット切り替えビット	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット(注2)	R/W

注1. 1を読んだ後、カウントソースの1サイクル分経過してから、UFIFビットに0を書いてください。

注2. RISビットは、プログラムで1を書くと1になりますが、0を書いても変化しません。

CSPRレジスタのCSPROビットが1(カウントソース保護モード有効)のとき、RISビットは自動的に1になります。

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、RISRレジスタを書き換えてください。

UFIFビット(WDTアンダフロー検出フラグ)

[0になる条件]

- 0を書いたとき

[1になる条件]

- RISビットが0(ウォッチドッグタイマ割り込み)で、ウォッチドッグタイマがアンダフローしたとき
- RISビットが0(ウォッチドッグタイマ割り込み)で、受付可能な期間以外にリフレッシュを実行したとき(不正リフレッシュ)

8.2.2 ウォッチドッグタイマリセットレジスタ (WDTR)

アドレス	00021h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7~b0	受付可能な期間内に00hを書いた後、FFhを書くと、ウォッチドッグタイマは初期化されます。ウォッチドッグタイマの初期値は、OFS2レジスタのWDTUFS0、WDTUFS1ビットで指定されます。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

8.2.3 ウォッチドッグタイマスタートレジスタ (WDTS)

アドレス	00022h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7~b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマは開始します。	W

8.2.4 ウォッチドッグタイマ制御レジスタ (WDTC)

アドレス	00023h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	WDTC6	WDTC5	WDTC4	WDTC3	WDTC2	WDTC1	WDTC0
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	WDTC0	ウォッチドッグタイマモニタビット	OFS2レジスタのWDTUFS1~WDTUFS0ビットの設定値によってウォッチドッグタイマの表8.3に示すビットが読めます。	R
b1	WDTC1			
b2	WDTC2			
b3	WDTC3			
b4	WDTC4			
b5	WDTC5			
b6	WDTC6	ウォッチドッグタイマカウントソース選択ビット	b7 b6 0 0 : CPUクロックの2分周 0 1 : CPUクロックの16分周 1 0 : CPUクロックの128分周 1 1 : ウォッチドッグタイマ用低速オンチップオシレータクロックの16分周	R/W
b7	WDTC7			R/W

表8.3 WDTC5~WDTC0ビットに表示されるウォッチドッグタイマのビット

OFS2 レジスタ	WDTC レジスタ
WDTUFS1~WDTUFS0 ビット設定値	WDTC5~WDTC0ビットに表示されるウォッチドッグタイマの該当ビット
00b (03FFh)	ウォッチドッグタイマのb5~b0の内容
01b (0FFFh)	ウォッチドッグタイマのb7~b2の内容
10b (1FFFh)	ウォッチドッグタイマのb8~b3の内容
11b (3FFFh)	ウォッチドッグタイマのb9~b4の内容

8.2.5 カウントソース保護モードレジスタ (CSPR)

アドレス 00024h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

上記はOFSレジスタのCSPROINIビットが0の場合

リセット後の値	0	0	0	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのCSPROINIビットが1の場合

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	CSPRO	カウントソース保護モード選択ビット(注1)	0: カウントソース保護モード無効 1: カウントソース保護モード有効	R/W

注1. CSPRO ビットを1にする場合、0を書いた後、1を書いてください。プログラムでは0にできません。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

8.2.6 オプション機能選択レジスタ2 (OFS2)

アドレス	0FFDBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25 % 0 1 : 50 % 1 0 : 75 % 1 1 : 100 %	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	1にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。ブランク出荷品の出荷時、OFS2レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0～WDTRCS1ビット

(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

8.2.7 オプション機能選択レジスタ (OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択(Vdet0_3) 0 1 : 2.85 V選択(Vdet0_2) 上記以外: 設定しないでください	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

8.3 動作説明

8.3.1 複数モードに関わる共通事項

8.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受け付けできる期間を、OFS2レジスタのWDTRCS0、WDTRCS1ビットで選択できます。図8.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(RISRレジスタのRISビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

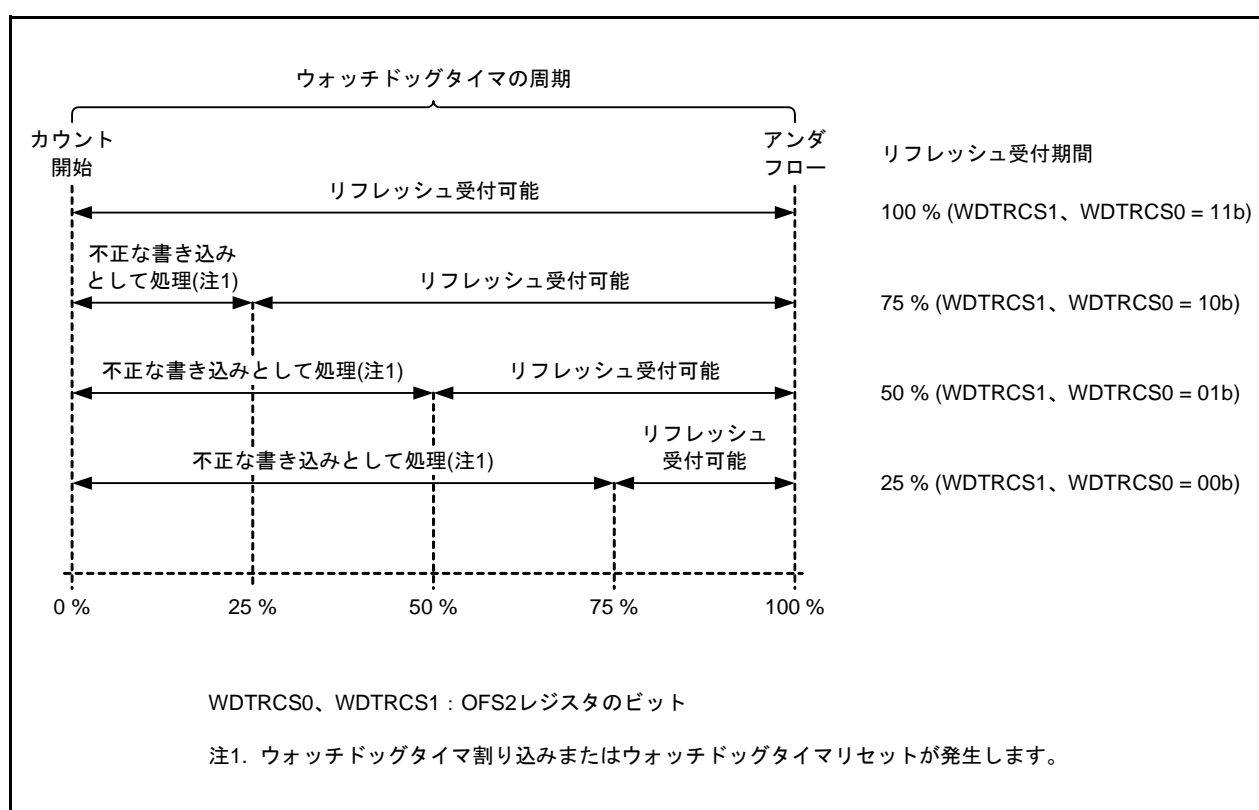


図8.2 ウォッチドッグタイマのリフレッシュ受付期間

8.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックまたはウォッチドッグタイマ用低速オンチップオシレータクロックです。

表8.4にカウントソース保護モード無効時ウォッチドッグタイマの仕様を示します。

表8.4 カウントソース保護モード無効時ウォッチドッグタイマの仕様

項目	仕様
カウントソース	CPUクロックまたはウォッチドッグタイマ用低速オンチップオシレータクロック (1/16)
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1) カウントソース n : 2、16または128 (WDTCレジスタのWDTC6、WDTC7ビットで選択) ただし、WDTC7、WDTC6ビットが11b (カウントソースがウォッチドッグタイマ用低速オンチップオシレータクロック)のときは16 m : OFS2レジスタのWDTUFS0、WDTUFS1ビットで設定した値 例 : CPUクロックが20 MHzで、プリスケアラが16分周し、WDTUFS1、WDTUFS0ビットが11b (3FFFh)の場合、周期は約13.1 ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに00hを書いた後、FFhを書く(注2) アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注3)で選択 <ul style="list-style-type: none"> WDTONビットが1 (リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTNレジスタに書くことにより、カウントを開始 WDTONビットが0 (リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	<ul style="list-style-type: none"> カウントソースがCPUクロックの2、16または128分周のとき、ウェイトモードまたはストップモードに移行すると、カウントを停止します カウントソースがウォッチドッグタイマ用低速オンチップオシレータクロックの16分周のとき、ウェイトモードまたはストップモードに移行しても、カウントを停止しません
アンダフロー時の動作	<ul style="list-style-type: none"> RISRレジスタのRISビットが0のとき ウォッチドッグタイマ割り込み RISRレジスタのRISビットが1のとき ウォッチドッグタイマリセット(「6.3.5 ウォッチドッグタイマリセット」参照)

注1. WDTRレジスタに00hを書いた後、FFhを書くと、ウォッチドッグタイマは初期化されます。プリスケアラはリセット後、初期化されます。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

注3. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に0を書き込んでください。

8.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表8.5にカウントソース保護モード有効時ウォッチドッグタイマの仕様を示します。

表8.5 カウントソース保護モード有効時ウォッチドッグタイマの仕様

項目	仕様
カウントソース	ウォッチドッグタイマ用低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(m) ウォッチドッグタイマ用低速オンチップオシレータクロック m : OFS2レジスタのWDTUFS0、WDTUFS1ビットで設定した値 例 : ウォッチドッグタイマ用低速オンチップオシレータクロックが125 kHzで、WDTUFS1、WDTUFS0ビットが00b (03FFh)の場合、周期は約8.2 ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに00hを書いた後、FFhを書く(注1) アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> WDTONビットが1(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが0(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後、ウェイトモードまたはストップモードでも停止しない)
アンダフロー時の動作	ウォッチドッグタイマリセット(「6.3.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	CSPRレジスタのCSPROビットを1(カウントソース保護モード有効)にすると(注3)、次が自動的に設定される <ul style="list-style-type: none"> ウォッチドッグタイマ用低速オンチップオシレータが発振 RISRレジスタのRISビットを1(ウォッチドッグタイマリセット)

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に0を書き込んでください。

注3. OFSレジスタのCSPROINIビットに0を書いても、CSPROビットは1になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に0を書き込んでください。

9. クロック発生回路

9.1 概要

クロック発生回路として、5つの回路が内蔵されています。

- XINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ
- PLL周波数シンセサイザ

表9.1にクロック発生回路の仕様を、図9.1にクロック発生回路のブロック図を、図9.2に周辺機能クロックの供給を、表9.2にクロック発生回路の端子構成を示します。

表9.1 クロック発生回路の仕様

項目	XINクロック発振回路	オシレータ		ウォッチドッグ タイマ用低速オンチップ オシレータ	PLL周波数 シンセサイザ
		高速オンチップ オシレータ	低速オンチップ オシレータ		
用途	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源 		<ul style="list-style-type: none"> • ウォッチドッグタイマのクロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源
クロック周波数	0~20 MHz	約40 MHz (注3)	約125 kHz	約125 kHz	10 MHz~32 MHz
接続できる発振子	<ul style="list-style-type: none"> • セラミック共振子 • 水晶発振子 	—		—	— (注6)
発振子の接続端子	XIN、XOUT (注1)	— (注1)		—	— (注6)
発振の開始と停止	あり	あり		あり	あり
リセット後の状態	停止	停止	発振	停止(注4) 発振(注5)	停止
その他	<ul style="list-style-type: none"> • 外部で生成されたクロックを入力可能(注2) 	—		—	— (注6)

注1. XINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP4_6、P4_7として使うことができます。

注2. 外部クロック入力時には、CM0レジスタのCM05ビットを0(発振)、CM0レジスタのCM07ビットを1(XOUT端子への外部クロック入力によるXINクロック供給)に、CM1レジスタのCM13ビットを1(XIN-XOUT端子)にしてください。

注3. CPUクロック源として使用する場合には、分周器により最大：約20 MHzとなります。

注4. OFSレジスタのCSPROINIビットが1(リセット後、カウントソース保護モード無効)の場合です。

注5. CSPROINIビットが0(リセット後、カウントソース保護モード有効)の場合です。

注6. PLL周波数シンセサイザは基準クロック源としてXINクロック発振回路を使用します。

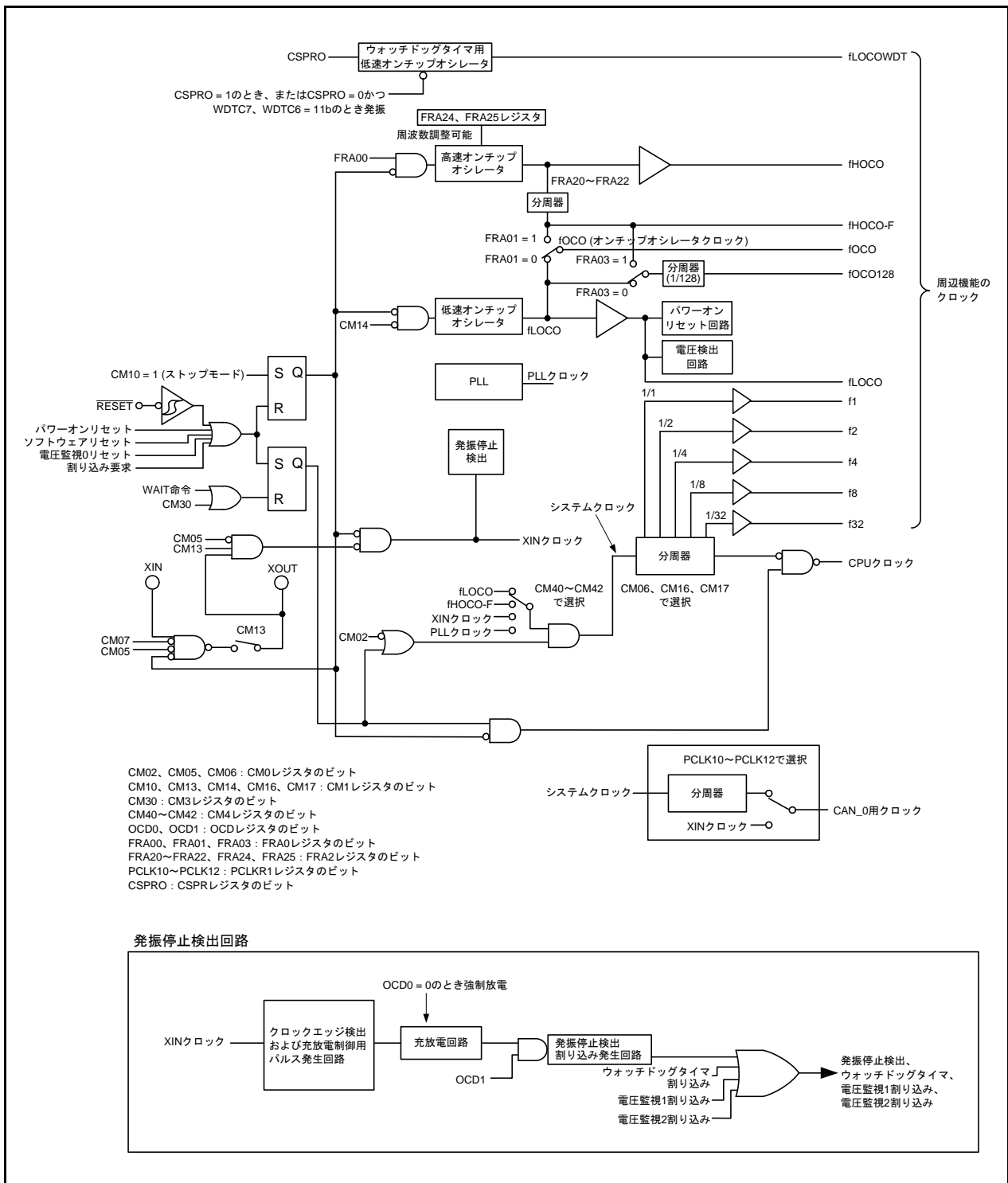


図9.1 クロック発生回路のブロック図

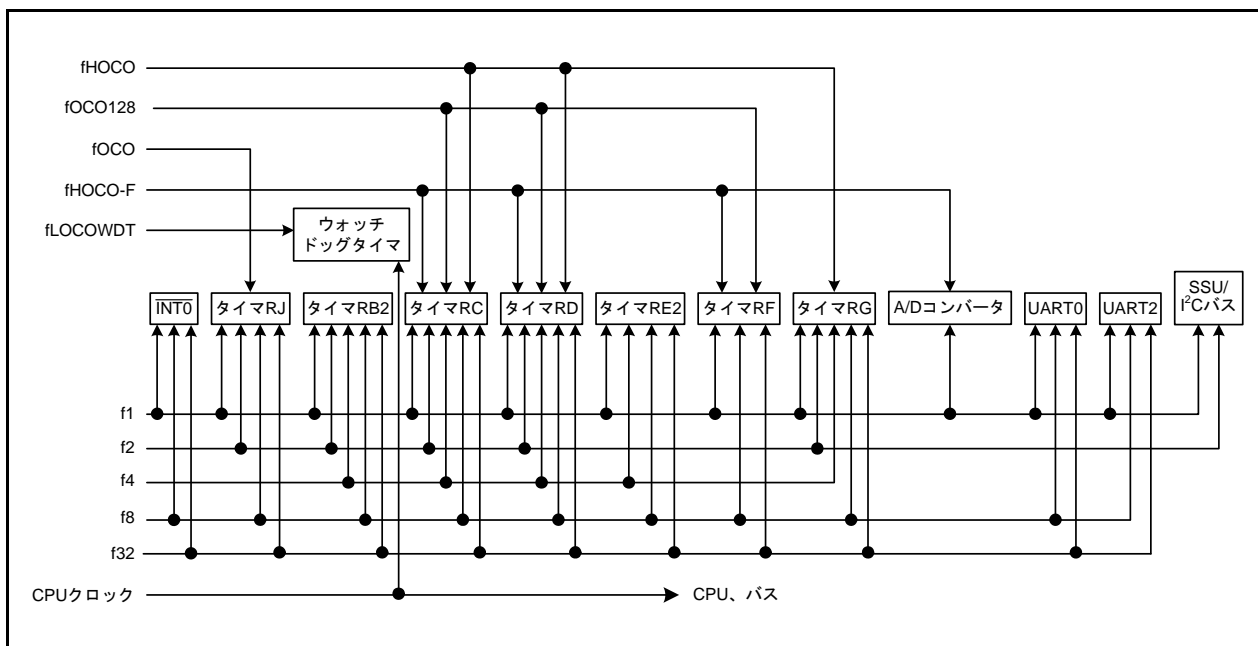


図9.2 周辺機能クロックの供給

表9.2 クロック発生回路の端子構成

端子名	入出力	機能
XIN	入力	XINクロック発振回路の入力
XOUT	入出力	XINクロック発振回路の出力/外部クロック入力

9.2 レジスタの説明

表9.3にクロック発生回路のレジスタ構成を示します。

表9.3 クロック発生回路のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムクロック制御レジスタ0	CM0	00101000b	00008h	8
システムクロック制御レジスタ1	CM1	00100000b	00009h	8
発振停止検出レジスタ	OCD	00h	0000Ah	8
システムクロック制御レジスタ3	CM3	00h	0000Bh	8
システムクロック制御レジスタ4	CM4	00000001b	0000Ch	8
周辺クロック選択レジスタ1	PCLKR1	00h	0000Fh	8
高速オンチップオシレータ制御レジスタ0	FRA0	00h	00012h	8
高速オンチップオシレータ制御レジスタ2	FRA2	00h	00014h	8
PLL制御レジスタ0	PLC0	00010010b	0001Ch	8
電圧検出レジスタ2	VCA2	00000000b、 00100000b (注1)	00034h	8
入出力機能端子選択レジスタ	PINSR	00h	002B9h	8

注1. OFSレジスタのLVDASビットの値によってリセット後の値が異なります。

9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス	00008h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	—	—	CM02	—	—
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	—	予約ビット	1にしてください	R/W
b4	—	予約ビット	0にしてください	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、2)	0: 発振 1: 停止(注3)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	XINクロック供給設定ビット(注5)	0: 発振子(セラミック共振子外付け等)によるXINクロック供給 1: XOUT端子への外部クロック入力によるXINクロック供給	R/W

注1. CM05ビットはXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1)OCDレジスタのOCD1、OCD0ビットを00b(発振停止検出機能無効)

(2)CM4レジスタのCM42～CM40ビットを001b(fLOCOクロック)、101b(fHOCO-Fクロック)にしてください。

注2. CM05ビットが1(XINクロック停止)かつCM1レジスタのCM13ビットが0(P4_6、P4_7)の場合のみ、P4_6、P4_7はI/Oポートとして使用できます。

注3. 外部クロック入力時には、クロック入力そのものも受け付けません。

注4. ストップモードへの移行時、CM06ビットは1(8分周モード)になります。

注5. ストップモードまたはウェイトモードからの復帰時、XINクロックに切り替える場合、CM05ビットを1(XINクロック停止)にしないでください。

CM0レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.2 システムクロック制御レジスタ1 (CM1)

アドレス	00009h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	—	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット (注1、2)	0 : クロック発振 1 : 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効	R/W
b2	—	予約ビット	0にしてください	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット (注3)	0 : I/OポートP4_6、P4_7 1 : XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止 ビット(注4、5)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	1にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注6)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	R/W
b7	CM17			R/W

注1. CM10ビットが1(ストップモード)の場合、内蔵している帰還抵抗は無効となります。CM10ビットが1(ストップモード)の場合、CM13ビットが1(XIN-XOUT端子)のとき、XIN(P4_6)、XOUT(P4_7)端子はハイインピーダンスになります。

注2. SVDCレジスタのSVC0ビットが1(低消費電力モード遷移許可)のとき、CM10ビットを1(ストップモード)にしないでください。

注3. CM13ビットはプログラムで一度1にすると、0にはできません。XIN-XOUT端子として使用する場合はCM13ビットを1にしてください。

注4. CM14ビットはCM4レジスタのCM42~CM40ビットが000b(XINクロック)のとき、1(低速オンチップオシレータ停止)にできます。CM42~CM40ビットを001b(fLOCOクロック)にすると、CM14ビットは0(低速オンチップオシレータ発振)になります。1を書いても変化しません。

注5. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを0(低速オンチップオシレータ発振)にしてください。

注6. CM0レジスタのCM06ビットが0(CM16、CM17ビット有効)の場合、CM16、CM17ビットは有効となります。

CM1レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.3 発振停止検出レジスタ (OCD)

アドレス	0000Ah							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	OCD6	—	—	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット (注1)	0: 発振停止検出機能無効(注2) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注2) 1: 許可	R/W
b2	OCD2	発振停止検出フラグ (注3)	0: 発振 1: 発振停止検出	R
b3	OCD3	発振停止モニタビット (注4)	0: 発振周波数>約2 MHz 1: 発振周波数≤約2 MHz	R/W
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	OCD6	発振停止検出時の切り替えクロック選 択ビット(注5)	0: fLOCO 1: fHOCO-F	R/W
b7	—	予約ビット	0にしてください	R/W

注1. 発振停止検出後、XIN クロックが再発振した場合の切り替え手順は、「図 9.6 低速オンチップオシレータから XIN クロックへの切り替え手順」を参照してください。

注2. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XIN クロック停止)に移行する前にOCD1、OCD0 ビットを00bに設定してください。

注3. OCD2 ビットは、OCD0 ビットが1 (発振停止検出機能有効)、OCD1 ビットが1 (発振停止割り込み許可)のときに、発振停止を検出すると1になります。OCD2 ビットの1の状態は、OCD1 ビットを0 (発振停止割り込み禁止)にするまで保持されます。

注4. OCD3 ビットは、OCD0 ビットが1 (発振停止検出機能有効)のときに有効です。OCD3 ビットは発振状態を継続してモニタ可能ですので、数回読むことによって選択したクロックの状態を判定してください。

注5. 発振停止後のクロックを選択する場合は、OCD6 ビットを設定した後にOCD1、OCD0 ビットを11bに設定してください。

OCD レジスタは、PRCR レジスタのPRC0 ビットを1 (書き込み許可)にした後、書き換えてください。

9.2.4 システムクロック制御レジスタ3 (CM3)

アドレス	0000Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット (注1)	0 : ウェイトモードではない 1 : ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPU クロック分周比選択ビット(注2)	0 : CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1 : 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから 復帰時のシステムクロック選択ビット (注3)	b7 b6 0 0 : ウェイトモード、ストップモードに移 行する直前のCPUクロックで復帰 0 1 : 設定しないでください 1 0 : 高速オンチップオシレータクロックを 選択(注4) 1 1 : XINクロックを選択(注5)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは0(ウェイトモードではない)になります。

注2. ストップモード時はCM35ビットを0にしてください。ウェイトモードへ移行時、CM35ビットが1(分周なし)の場合、CM0レジスタのCM06ビットは0(CM1レジスタのCM16、CM17ビット有効)、CM17、CM16ビットは00b(分周なしモード)になります。

注3. FMR2レジスタのFMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。また、低消費電流リードモード中は、FMR0レジスタのFMSTPビットを1(フラッシュメモリ停止)にしないでください。

注4. CM37、CM36ビットが10b(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM4レジスタのCM42～CM40ビット=001b(fLOCOクロック)
- FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
- CM4レジスタのCM42～CM40ビット=101b(fHOCO-Fクロック)

注5. CM37、CM36ビットが11b(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM0レジスタのCM05ビット=0(XINクロック発振)
- CM1レジスタのCM13ビット=1(XIN-XOUT端子)
- CM4レジスタのCM42～CM40ビット=000b(XINクロック選択)

CM05ビットが1(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを1(8分周モード)かつCM35ビットを0にしてください。ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37、CM36ビットを11b(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを1(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、低速オンチップオシレータクロック、高速オンチップオシレータクロック、およびウォッチドッグタイマ用低速オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを1にするときは、FLGレジスタのIフラグを0(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰の場合、CM30ビットを1にした命令の直後の命令から実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを1(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

9.2.5 システムクロック制御レジスタ4 (CM4)

アドレス 0000Ch

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	CM42	CM41	CM40
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CM40	CPUクロック選択ビット(注1)	b2 b1 b0 0 0 0 : XINクロック	R/W
b1	CM41		0 0 1 : fLOCOクロック	R/W
b2	CM42		0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : PLLクロック 1 0 1 : fHOCO-Fクロック 上記以外 : 設定しないでください	R/W
b3	—	予約ビット	0にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

注1. 詳細は「図10.1 パワーコントロールモードの状態遷移」を参照してください。

CM4レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.6 周辺クロック選択レジスタ1 (PCLKR1)

アドレス	0000Fh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	PCLK12	PCLK11	PCLK10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PCLK10	CAN_0クロック選択ビット(注1)	b2 b1 b0 0 0 0 : システムクロック1分周 0 0 1 : システムクロック2分周 0 1 0 : システムクロック4分周 0 1 1 : システムクロック8分周 1 0 0 : XINクロック 上記以外 : 設定しないでください	R/W
b1	PCLK11			R/W
b2	PCLK12			R/W
b3	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—			
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	

注1. CAN用クロック源を選択するビットです。

CAN用クロックは、CCLKRレジスタのCCLKSビットでCANシステムクロック (fCAN) として選択できます。

PCLKR1レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.7 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス	00012h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0 : 高速オンチップオシレータ停止 1 : 高速オンチップオシレータ発振	R/W
b1	FRA01	fOCOクロックソース選択ビット(注1)	0 : 低速オンチップオシレータ選択(注2) 1 : 高速オンチップオシレータ選択	R/W
b2	—	予約ビット	0にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0 : fLOCOの128分周を選択 1 : fHOCO-Fの128分周を選択	R/W
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	
b7	—			

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00ビット=1(高速オンチップオシレータ発振)
- CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- FRA2レジスタのFRA22~FRA20ビットが
VCC = 2.7V ~ 5.5Vの場合は全分周モード設定可能 000b ~ 111b

注2. FRA01ビットに0(低速オンチップオシレータ選択)を書くと、同時にFRA00ビットに0(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを0にした後、FRA00ビットを0にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.8 高速オンチップオシレータ制御レジスタ2 (FRA2)

アドレス	00014h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	FRA25	FRA24	—	FRA22	FRA21	FRA20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA20	高速オンチップオシレータ分周比選択ビット	b2 b1 b0 0 0 0 : 2分周モード	R/W
b1	FRA21		0 0 1 : 3分周モード	R/W
b2	FRA22		0 1 0 : 4分周モード	R/W
			0 1 1 : 5分周モード	
			1 0 0 : 6分周モード	
			1 0 1 : 7分周モード	
			1 1 0 : 8分周モード	
		1 1 1 : 9分周モード		
b3	—	予約ビット	0にしてください	R/W
b4	FRA24	高速オンチップオシレータ周波数切り替えビット	b5 b4 0 0 : 40 MHz	R/W
b5	FRA25		0 1 : 36.864 MHz 1 0 : 32 MHz 1 1 : 設定した場合00bと同じ	
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

FRA2 レジスタを書き換える場合は、高速オンチップオシレータが停止している状態で、PRCR レジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.9 PLL制御レジスタ0 (PLC0)

アドレス 0001Ch

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル PLC07 — PLC05 PLC04 — PLC02 PLC01 PLC00

リセット後の値 0 0 0 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	PLC00	PLL通倍率選択ビット(注1)	b2 b1 b0 0 0 0 : 設定しないでください	R/W
b1	PLC01		0 0 1 : 2通倍	R/W
b2	PLC02		0 1 0 : 4通倍	R/W
			0 1 1 : 6通倍 1 0 0 : 8通倍 上記以外 : 設定しないでください	
b3	—	予約ビット	読んだ場合、その値は不定	R
b4	PLC04	基準周波数カウンタ設定ビット(注1)	b5 b4 0 0 : 分周なし	R/W
b5	PLC05		0 1 : 2分周 1 0 : 4分周 1 1 : 8分周	R/W
b6	—	予約ビット	0にしてください	R/W
b7	PLC07	PLL動作許可ビット(注2)	0 : PLL停止 1 : PLL動作	R/W

注1. PLC07ビットが0 (PLL停止)のときに書き込み可能です。一度書いた値は変更しないでください。

注2. PLC07ビットを1 (PLL動作)に設定後、CM4レジスタのCM42～CM40ビットを100b (PLLクロック)にしてください。

PLC0レジスタは、PRCRレジスタのPRC0ビットを1 (書き込み許可)にした後、書き換えてください。

9.2.10 電圧検出レジスタ2 (VCA2)

アドレス 00034h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが1の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが0の場合

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注1)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注2)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注3)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. 電圧監視0リセットを使用する場合、VCA25ビットを1にしてください。

注2. 電圧検出1割り込みを使用する場合またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを1にしてください。VCA26ビットを0から1にした後、td(E-A)経過してから電圧検出1回路が動作します。

注3. 電圧検出2割り込みを使用する場合またはVW2CレジスタのVW2C3ビットを使用する場合、VCA27ビットを1にしてください。VCA27ビットを0から1にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。

9.2.11 入出力機能端子選択レジスタ (PINSR)

アドレス	002B9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	IOINSEL	I/Oポート入力機能選択ビット	0 : I/Oポートの入力機能はPDiレジスタ(i=0~6、8、9、C)に依存。PDiレジスタのPDi _j ビット(j=0~7)が0(入力モード)のとき、端子の入力レベルが読める。 PDiレジスタのPDi _j ビットが1(出力モード)のとき、ポートラッチの値が読める。 1 : I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルが読める。	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

IOINSELビット(I/Oポート入力機能選択ビット)

IOINSELビットはPDiレジスタのPDi_jビットが1(出力モード)のときに、Piレジスタの読み出す値をポートラッチにするか、I/Oポートの端子の入力レベルにするかを選択するビットです。0にするとポートラッチの値が読めます。1にするとI/Oポートの端子の入力レベルが読めます。

表9.4にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表9.4 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi _j ビット	0(入力モード)		1(出力モード)	
	IOINSELビット	0	1	1
I/Oポート読み出し値		端子の入力レベル	ポートラッチの値	端子の入力レベル

i=0~6、8、9、C、j=0~7

9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXOUT端子へ入力することもできます。

図9.3にXINクロック発振回路の接続例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを1(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを0(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、CM4レジスタのCM42～CM40ビットを000b(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「10. パワーコントロール」を参照してください。

XINクロックの設定は、発振子外付け、外部クロック入力のそれぞれに対応して表9.5に示す設定が必要です。

表9.5 CM0、CM1レジスタの設定

CM0レジスタ		CM1レジスタ	XINクロック
CM05ビット	CM07ビット	CM13ビット	
1	0	1	発振停止
0	0	1	発振許可
1	1	1	外部クロック停止
0	1	1	外部クロック入力許可

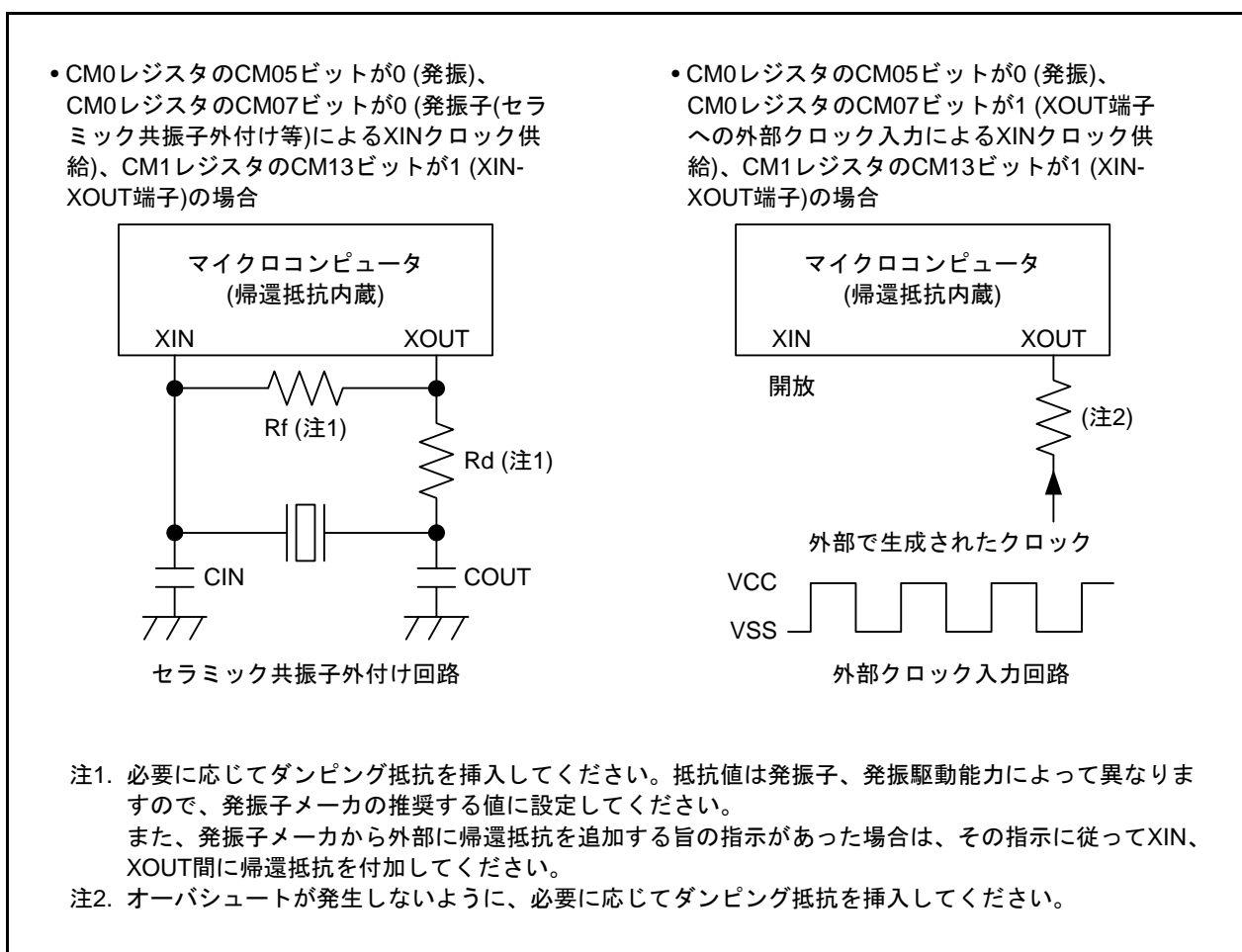


図9.3 XINクロック発振回路の接続例

9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fLOCO、fOCO128のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1、OCD0ビットが11bの場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fHOCO-F、fHOCO、fOCO128のクロック源になります。

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを1(オンチップオシレータ発振)にすると発振を開始します。

高速オンチップオシレータクロックの周波数を36.864 MHzにするには、FRA2レジスタのFRA25、FRA24ビットを01bとしてください。これにより、シリアルインタフェースをUARTモードで使用時に、9600 bps、38400 bpsなどのビットレートの設定誤差を、0%にすることができます。

高速オンチップオシレータクロックの周波数を32 MHzにするには、FRA25、FRA24ビットを10bとしてください。

9.5 PLLクロック

PLLクロックは、PLL周波数シンセサイザが生成するクロックです。CPUクロックと周辺機能クロックのクロック源になります。リセット後、PLL周波数シンセサイザは停止しています。PLC0レジスタのPLC07ビットを1(PLL動作)にするとPLL周波数シンセサイザが動作します。PLLクロックをCPUクロックのクロック源にする場合は、PLLクロックが安定するまで、tsu(PLL)待ってCM4レジスタのCM42～CM40ビットを100bにしてください。

図9.4にPLLクロックをCPUのクロック源にする手順を示します。

XINクロックをPLC0レジスタのPLC04、PLC05ビットで選択した値で分周し、PLC0レジスタのPLC00～PLC02ビットで選択した値で逡倍したものがPLLクロックになります。分周後のクロック周波数が2MHz～6MHzになるようにPLC04、PLC05ビットを設定してください。図9.5にXINクロックとPLLクロックの関係を示します。

PLL動作モードでウェイトモードまたはストップモードへ遷移はできません。

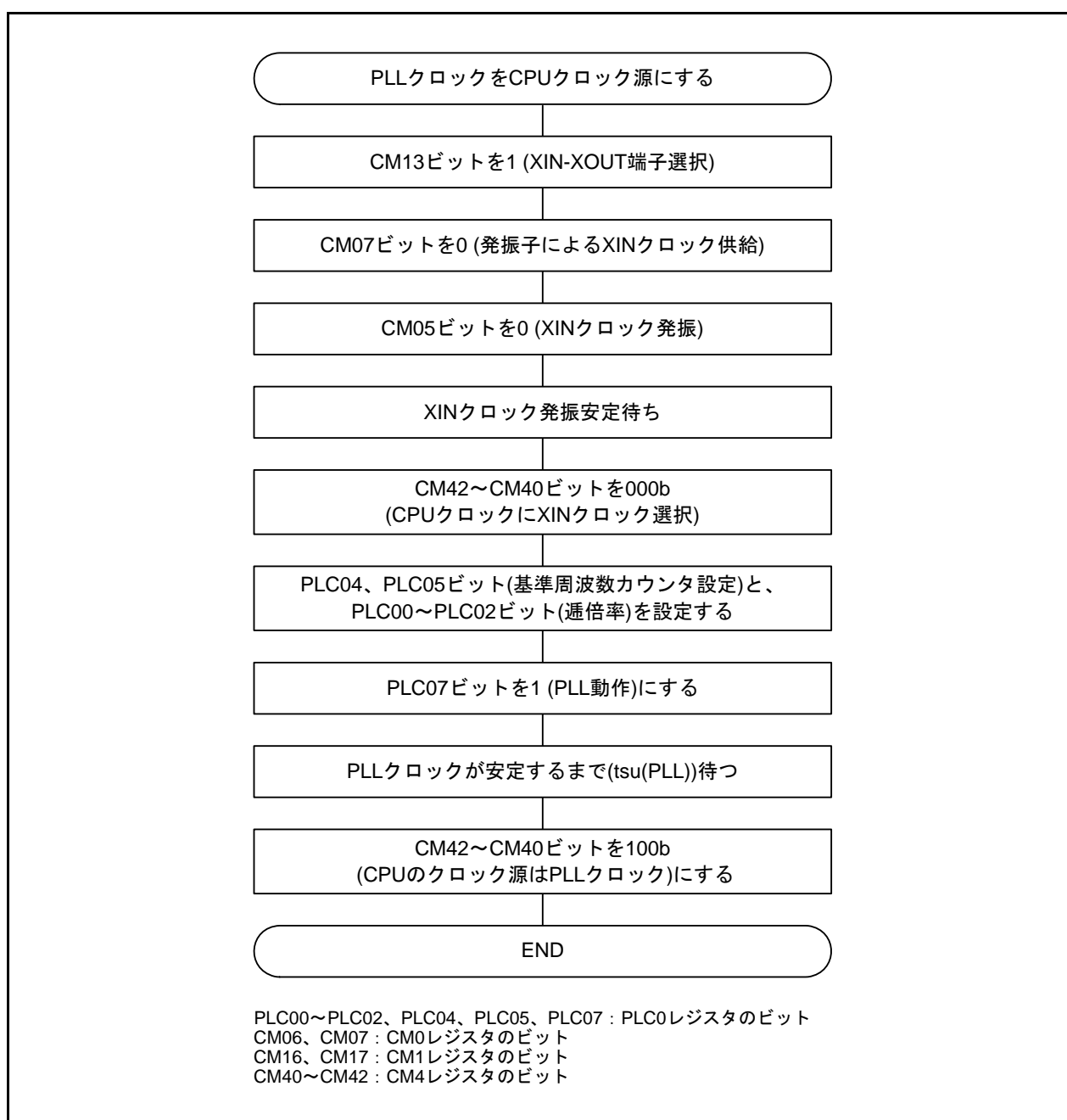


図9.4 PLLクロックをCPUのクロック源にする手順

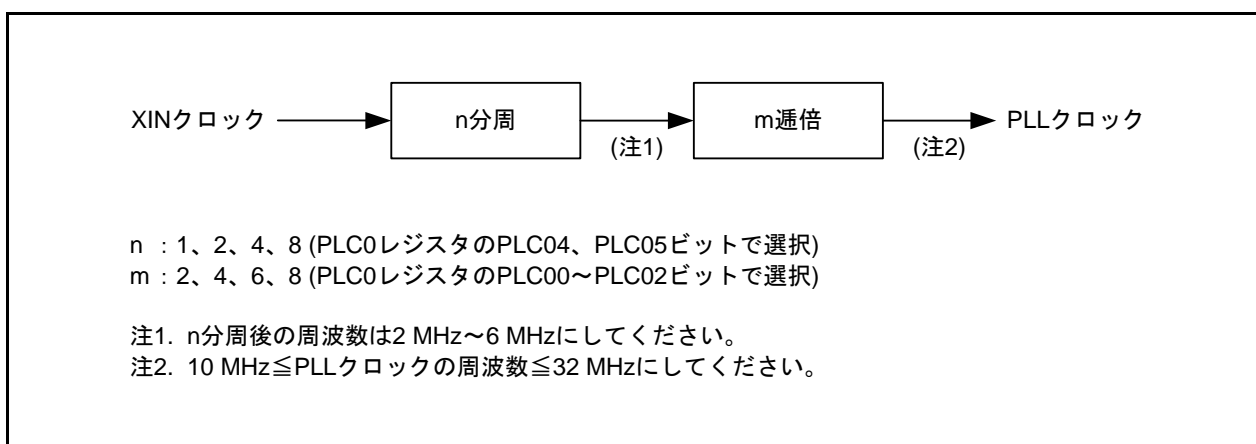


図9.5 XINクロックとPLLクロックの関係

PLC0レジスタのPLC00～PLC02、PLC04、PLC05ビットはリセット後、1回だけ設定できます。表9.6にPLLクロックの周波数設定例を示します。

表9.6 PLLクロックの周波数設定例

XINクロック	設定値		PLLクロック
	PLC05、PLC04ビット	PLC02～PLC00ビット	
10 MHz	01b (2分周)	010b (4通倍)	20 MHz
5 MHz	00b (分周なし)	010b (4通倍)	
12 MHz	10b (4分周)	100b (8通倍)	24 MHz
6 MHz	01b (2分周)	100b (8通倍)	
16 MHz	10b (4分周)	100b (8通倍)	32 MHz
8 MHz	01b (2分周)	100b (8通倍)	

9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります(「図9.1 クロック発生回路のブロック図」参照)。

9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、オンチップオシレータクロック、またはPLLクロックが選択できます。

9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは1(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを0(CM06、CM16、CM17ビットの設定有効)にしてください。

9.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i (i=1、2、4、8、32)はシステムクロックをi分周したクロックです。f_iはタイマRJ、タイマRB2、タイマRC、タイマRD、タイマRE2、タイマRF、タイマRG、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを1(ウェイトモード時、周辺機能クロックを停止する)にした後にウェイトモードに移行した場合、f_iは停止します。

9.6.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRJで使用します。fOCOはウェイトモード時、停止しません。

9.6.5 fHOCO

タイマRC、タイマRD、タイマRGのカウントソースになります。

fHOCOは高速オンチップオシレータで生成したクロックで、FRA0レジスタのFRA00ビットを1にすると供給されます。

fHOCOはウェイトモード時、停止しません。

9.6.6 fHOCO-F

タイマRC、タイマRD、タイマRF、A/Dコンバータのカウントソースになります。

fHOCO-Fは高速オンチップオシレータで生成したクロックをi分周(i=2、3、4、5、6、7、8、9；FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを1にすると供給されます。

fHOCO-Fはウェイトモード時、停止しません。

9.6.7 fLOCO

電圧検出回路の動作クロックです。

fLOCOは低速オンチップオシレータで生成したクロックで、CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にすると供給されます。

fLOCOはウェイトモード時、停止しません。

9.6.8 fOCO128

fLOCOまたはfHOCO-Fを128分周したクロックです。FRA0レジスタのFRA03ビットを0にするとfLOCOの128分周が選択され、1にするとfHOCO-Fの128分周が選択されます。

タイマRCのタイマRC_0、RC_1およびタイマRDのタイマRD_0で使用するキャプチャ信号になります。

9.6.9 fLOCOWDT

ウォッチドッグタイマの動作クロックです。

fLOCOWDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRO=1(カウントソース保護モード有効)のとき、またはCSPRO=0(カウントソース保護モード無効)かつWDTC7、WDTC6=11b(ウォッチドッグタイマ用低速オンチップオシレータクロックの16分周)のときに供給されます。

fLOCOWDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

9.6.10 CANクロック

CANの通信クロックです。

CANクロックにつきましては「26.4.1 CANクロックの設定」を参照してください。

9.7 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表9.7に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1、OCD0ビットが11bの場合、XINクロックが停止すると、次の状態になります。

- CM4レジスタのCM42～CM40ビット=001b (fLOCO)
- CM1レジスタのCM14ビット=0 (低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.7 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) ≥ 2 MHz
発振停止検出機能有効条件	OCDレジスタのOCD1、OCD0ビットを11bにする
発振停止検出時の動作	発振停止検出割り込み発生

9.7.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。

表9.8に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.7に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。

- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。
図9.6に低速オンチップオシレータからXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM0レジスタのCM02ビットを0 (ウェイトモード時、周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM0レジスタのCM05ビットを変更する)は、OCD1、OCD0ビットを00bにしてください。
- XINクロックの周波数が2 MHz未満の場合、この機能は使用できませんので、OCD1、OCD0ビットを00bにしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、OCDレジスタのOCD6ビットを0 (低速オンチップオシレータ選択)にした後、OCD1、OCD0ビットを11bにしてください。
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA00ビットを1 (高速オンチップオシレータ発振)にし、OCD6ビットを1 (高速オンチップオシレータ選択)にした後、OCD1、OCD0ビットを11bにしてください。

表9.8 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

項目	仕様
発振停止検出	OCDレジスタのOCD2ビット=1
ウォッチドッグタイマ	RISRレジスタのUFIFビット=1
電圧監視1	VW1CレジスタのVW1C2ビット=1
電圧監視2	VW2CレジスタのVW2C2ビット=1

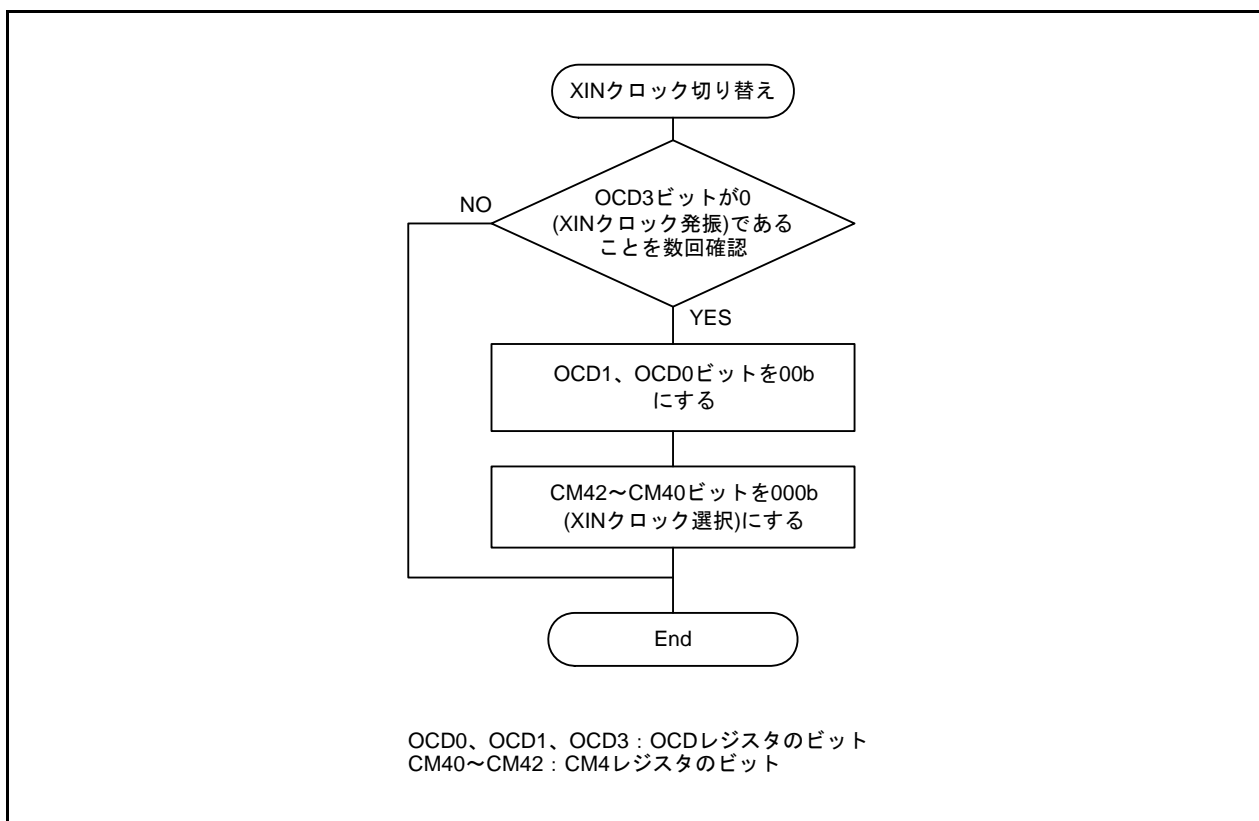


図9.6 低速オンチップオシレータからXINクロックへの切り替え手順

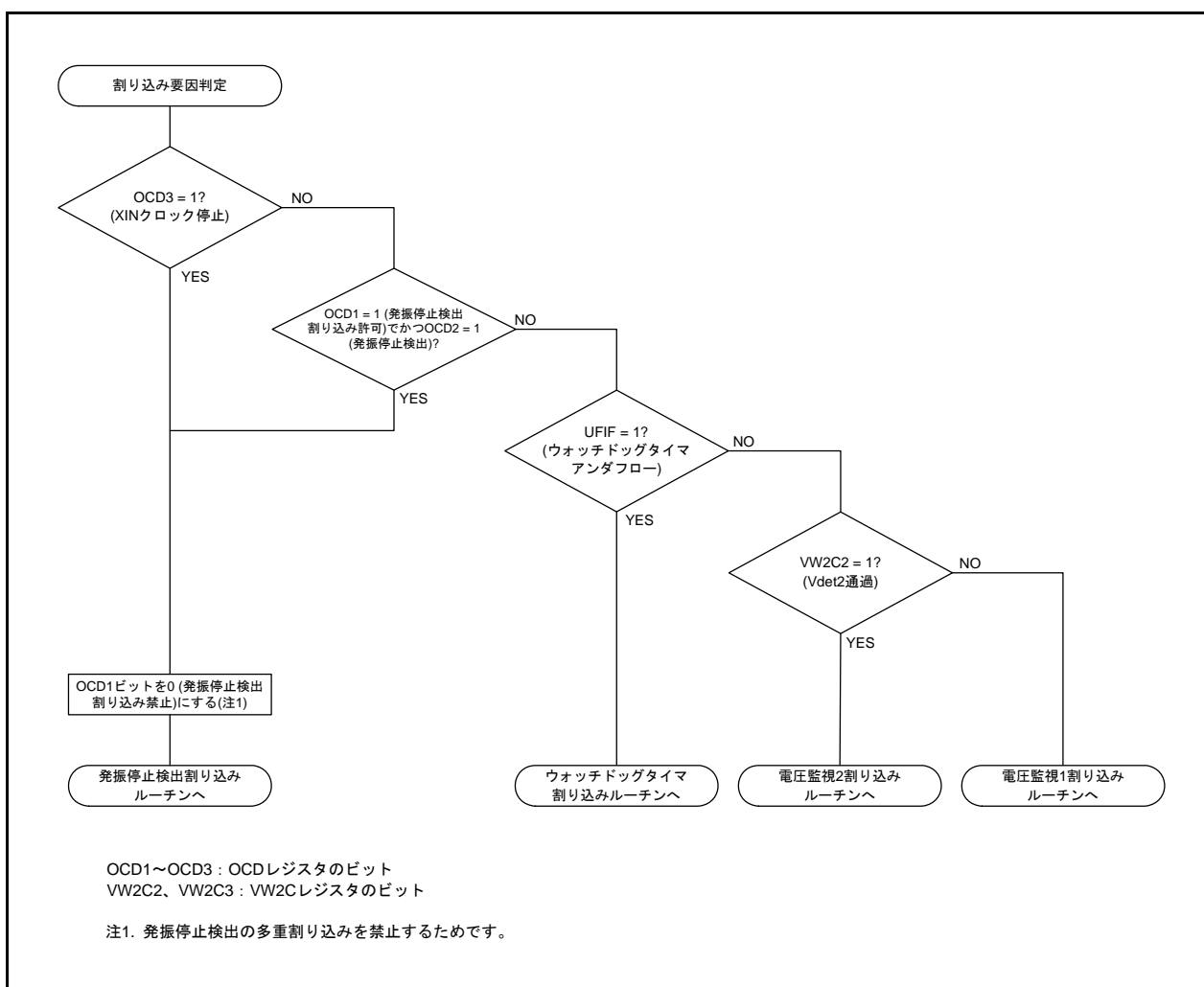


図9.7 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

9.8 クロック発生回路使用上の注意事項

9.8.1 発振停止検出機能

XINクロックの周波数が2 MHz未満の場合、発振停止検出機能は使用できませんので、OCDレジスタのOCD1、OCD0ビットを00bにしてください。(対象：OCD2、OCD3ビット)

9.8.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

10. パワーコントロール

CPUクロックや周辺機能クロックの選択や停止などで、消費電力を制御することをパワーコントロールと呼びます。

10.1 概要

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

図10.1にパワーコントロールモードの状態遷移を示します。

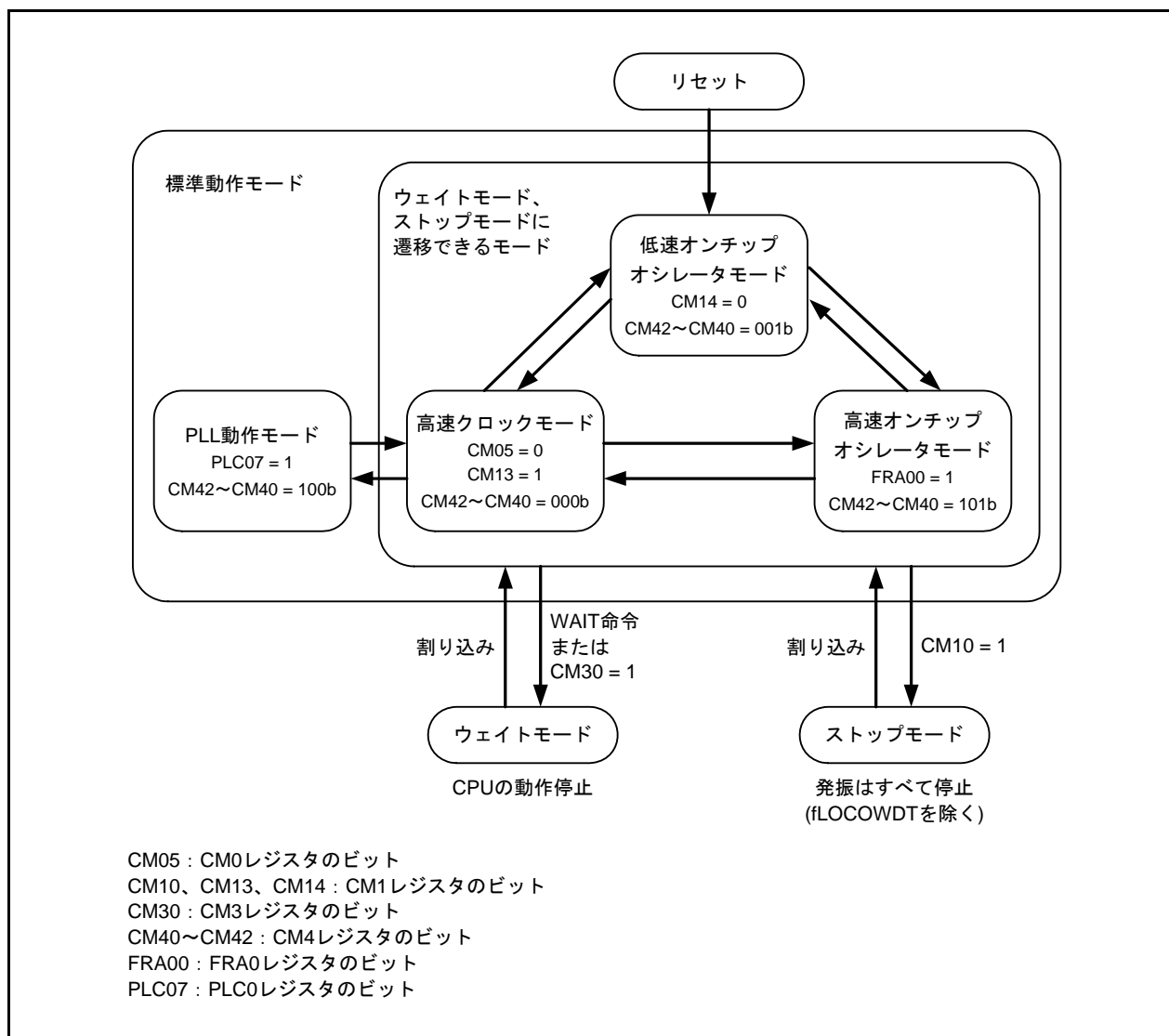


図10.1 パワーコントロールモードの状態遷移

10.2 レジスタの説明

表10.1にパワーコントロールのレジスタ構成を示します。

表10.1 パワーコントロールのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムクロック制御レジスタ0	CM0	00101000b	00008h	8
システムクロック制御レジスタ1	CM1	00100000b	00009h	8
システムクロック制御レジスタ3	CM3	00h	0000Bh	8
システムクロック制御レジスタ4	CM4	00000001b	0000Ch	8
高速オンチップオシレータ制御レジスタ0	FRA0	00h	00012h	8
STBY VDC電力制御レジスタ	SVDC	00h	0002Ch	8
モジュールスタンバイコントロールレジスタ0	MSTCR0	00h	00238h	8
モジュールスタンバイコントロールレジスタ1	MSTCR1	00h	00239h	8
モジュールスタンバイコントロールレジスタ2	MSTCR2	00h	0023Ah	8
モジュールスタンバイコントロールレジスタ3	MSTCR3	00h	0023Bh	8

10.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 00008h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	—	—	CM02	—	—
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—	予約ビット	0にしてください	R/W
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	—	予約ビット	1にしてください	R/W
b4	—	予約ビット	0にしてください	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、2)	0: 発振 1: 停止(注3)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	XINクロック供給設定ビット(注5)	0: 発振子(セラミック共振子外付け等)によるXINクロック供給 1: XOUT端子への外部クロック入力によるXINクロック供給	R/W

注1. CM05ビットはXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1)OCDレジスタのOCD1、OCD0ビットを00b(発振停止検出機能無効)

(2)CM4レジスタのCM42～CM40ビットを001b(fLOCOクロック)、101b(fHOCO-Fクロック)にしてください。

注2. CM05ビットが1(XINクロック停止)かつCM1レジスタのCM13ビットが0(P4_6、P4_7)の場合のみ、P4_6、P4_7はI/Oポートとして使用できます。

注3. 外部クロック入力時には、クロック入力そのものも受け付けません。

注4. ストップモードへの移行時、CM06ビットは1(8分周モード)になります。

注5. ストップモードまたはウェイトモードからの復帰時、XINクロックに切り替える場合、CM05ビットを1(XINクロック停止)にしないでください。

CM0レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

10.2.2 システムクロック制御レジスタ1 (CM1)

アドレス	00009h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	—	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット (注1、2)	0 : クロック発振 1 : 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効	R/W
b2	—	予約ビット	0にしてください	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット (注3)	0 : I/OポートP4_6、P4_7 1 : XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止 ビット(注4、5)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	1にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注6)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	R/W
b7	CM17			R/W

注1. CM10ビットが1(ストップモード)の場合、内蔵している帰還抵抗は無効となります。CM10ビットが1(ストップモード)の場合、CM13ビットが1(XIN-XOUT端子)のとき、XIN(P4_6)、XOUT(P4_7)端子はハイインピーダンスになります。

注2. SVDCレジスタのSVC0ビットが1(低消費電力モード遷移許可)のとき、CM10ビットを1(ストップモード)にしないでください。

注3. CM13ビットはプログラムで一度1にすると、0にはできません。XIN-XOUT端子として使用する場合はCM13ビットを1にしてください。

注4. CM14ビットはCM4レジスタのCM42~CM40ビットが000b(XINクロック)のとき、1(低速オンチップオシレータ停止)にできます。CM42~CM40ビットを001b(fLOCOクロック)にすると、CM14ビットは0(低速オンチップオシレータ発振)になります。1を書いても変化しません。

注5. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを0(低速オンチップオシレータ発振)にしてください。

注6. CM0レジスタのCM06ビットが0(CM16、CM17ビット有効)の場合、CM16、CM17ビットは有効となります。

CM1レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

10.2.3 システムクロック制御レジスタ3 (CM3)

アドレス	0000Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット (注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPU クロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから 復帰時のシステムクロック選択ビット (注3)	b7 b6 0 0: ウェイトモード、ストップモードに移 行する直前のCPUクロックで復帰 0 1: 設定しないでください 1 0: 高速オンチップオシレータクロックを 選択(注4) 1 1: XINクロックを選択(注5)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは0(ウェイトモードではない)になります。

注2. ストップモード時はCM35ビットを0にしてください。ウェイトモードへ移行時、CM35ビットが1(分周なし)の場合、CM0レジスタのCM06ビットは0(CM1レジスタのCM16、CM17ビット有効)、CM17、CM16ビットは00b(分周なしモード)になります。

注3. FMR2レジスタのFMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。また、低消費電流リードモード中は、FMR0レジスタのFMSTPビットを1(フラッシュメモリ停止)にしないでください。

注4. CM37、CM36ビットが10b(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM4レジスタのCM42～CM40ビット=001b(fLOCOクロック)
- FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
- CM4レジスタのCM42～CM40ビット=101b(fHOCO-Fクロック)

注5. CM37、CM36ビットが11b(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM0レジスタのCM05ビット=0(XINクロック発振)
- CM1レジスタのCM13ビット=1(XIN-XOUT端子)
- CM4レジスタのCM42～CM40ビット=000b(XINクロック選択)

CM05ビットが1(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを1(8分周モード)かつCM35ビットを0にしてください。ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37、CM36ビットを11b(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを1(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、低速オンチップオシレータクロック、高速オンチップオシレータクロック、およびウォッチドッグタイマ用低速オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを1にするときは、FLGレジスタのIフラグを0(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰の場合、CM30ビットを1にした命令の直後の命令から実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを1(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

10.2.4 システムクロック制御レジスタ4 (CM4)

アドレス 0000Ch

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	CM42	CM41	CM40
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CM40	CPUクロック選択ビット(注1)	b2 b1 b0 0 0 0 : XINクロック	R/W
b1	CM41		0 0 1 : fLOCOクロック	R/W
b2	CM42		0 1 0 : 設定しないでください	R/W
			0 1 1 : 設定しないでください	
		1 0 0 : PLLクロック		
		1 0 1 : fHOCO-Fクロック		
		上記以外 : 設定しないでください		
b3	—	予約ビット	0にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

注1. 詳細は「図10.1 パワーコントロールモードの状態遷移」を参照してください。

CM4レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

10.2.5 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス	00012h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0 : 高速オンチップオシレータ停止 1 : 高速オンチップオシレータ発振	R/W
b1	FRA01	fOCOクロックソース選択ビット (注1)	0 : 低速オンチップオシレータ選択 (注2) 1 : 高速オンチップオシレータ選択	R/W
b2	—	予約ビット	0にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0 : fLOCOの128分周を選択 1 : fHOCO-Fの128分周を選択	R/W
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00ビット=1 (高速オンチップオシレータ発振)
- CM1レジスタのCM14ビット=0 (低速オンチップオシレータ発振)
- FRA2レジスタのFRA22~FRA20ビットが
VCC = 2.7V ~ 5.5Vの場合は全分周モード設定可能 000b ~ 111b

注2. FRA01ビットに0 (低速オンチップオシレータ選択) を書くとき、同時にFRA00ビットに0 (高速オンチップオシレータ停止) を書かないでください。FRA01ビットを0にした後、FRA00ビットを0にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを1 (書き込み許可) にした後、書き換えてください。

10.2.6 STBY VDC電力制御レジスタ (SVDC)

アドレス	0002Ch							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	SVC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SVC0	低消費電力モード遷移許可ビット	0 : 低消費電力モード遷移禁止 1 : 低消費電力モード遷移許可	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

SVDCレジスタは、PRCRレジスタのPRC3ビットを1 (書き込み許可) にした後、書き換えてください。

10.2.7 モジュールスタンバイコントロールレジスタ0 (MSTCR0)

アドレス 00238h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MSTURT2	—	—	MSTURT_1	MSTURT_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTURT_0	UART0_0モジュールスタンバイビット	0 : UART0_0通常動作 1 : UART0_0スタンバイ	R/W
b1	MSTURT_1	UART0_1モジュールスタンバイビット	0 : UART0_1通常動作 1 : UART0_1スタンバイ	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	MSTURT2	UART2モジュールスタンバイビット	0 : UART2通常動作 1 : UART2スタンバイ	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

10.2.8 モジュールスタンバイコントロールレジスタ1 (MSTCR1)

アドレス 00239h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	MSTIIC_1	MSTIIC_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTIIC_0	IICSSU_0モジュールスタンバイビット	0 : IICSSU_0通常動作 1 : IICSSU_0スタンバイ	R/W
b1	MSTIIC_1	IICSSU_1モジュールスタンバイビット	0 : IICSSU_1通常動作 1 : IICSSU_1スタンバイ	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

10.2.9 モジュールスタンバイコントロールレジスタ2 (MSTCR2)

アドレス 0023Ah

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MSTTRC_1	MSTTRC_0	—	MSTTRB_0	—	—	MSTTRJ_1	MSTTRJ_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRJ_0	タイマRJ_0モジュールスタンバイビット	0: タイマRJ_0通常動作 1: タイマRJ_0スタンバイ	R/W
b1	MSTTRJ_1	タイマRJ_1モジュールスタンバイビット	0: タイマRJ_1通常動作 1: タイマRJ_1スタンバイ	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	MSTTRB_0	タイマRB2_0モジュールスタンバイビット	0: タイマRB2_0通常動作 1: タイマRB2_0スタンバイ	R/W
b5	—	予約ビット	0にしてください	R/W
b6	MSTTRC_0	タイマRC_0モジュールスタンバイビット	0: タイマRC_0通常動作 1: タイマRC_0スタンバイ	R/W
b7	MSTTRC_1	タイマRC_1モジュールスタンバイビット	0: タイマRC_1通常動作 1: タイマRC_1スタンバイ	R/W

10.2.10 モジュールスタンバイコントロールレジスタ3 (MSTCR3)

アドレス 0023Bh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MSTTRG	MSTTRF	MSTTRE	—	MSTTRD_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRD_0	タイマRD_0モジュールスタンバイビット	0: タイマRD_0通常動作 1: タイマRD_0スタンバイ	R/W
b1	—	予約ビット	0にしてください	R/W
b2	MSTTRE	タイマRE2モジュールスタンバイビット	0: タイマRE2通常動作 1: タイマRE2スタンバイ	R/W
b3	MSTTRF	タイマRFモジュールスタンバイビット	0: タイマRF通常動作 1: タイマRFスタンバイ	R/W
b4	MSTTRG	タイマRGモジュールスタンバイビット	0: タイマRG通常動作 1: タイマRGスタンバイ	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

10.3 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。周辺機能を周辺機能クロック (f1、f2、f4、f8、f32) 以外のクロックで動作させる場合は、対象クロックが発振安定状態である必要があります。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させるとさらに消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってから、クロックを切り替えてください。

表10.2 クロック関連ビットの設定とモード

モード		CM4レジスタ	CM1レジスタ			CM0 レジスタ	FRA0 レジスタ	PLC0 レジスタ
		CM42～CM40 ビット	CM17、CM16 ビット	CM14 ビット	CM13 ビット	CM06 ビット	FRA00 ビット	PLC07 ビット
高速クロック モード	分周なし	000b	00b	—	1	0	—	—
	2分周	000b	01b	—	1	0	—	—
	4分周	000b	10b	—	1	0	—	—
	8分周	000b	—	—	1	1	—	—
	16分周	000b	11b	—	1	0	—	—
高速オンチップ オシレータ モード	分周なし	101b	00b	—	—	0	1	—
	2分周	101b	01b	—	—	0	1	—
	4分周	101b	10b	—	—	0	1	—
	8分周	101b	—	—	—	1	1	—
	16分周	101b	11b	—	—	0	1	—
低速オンチップ オシレータ モード	分周なし	001b	00b	0	—	0	—	—
	2分周	001b	01b	0	—	0	—	—
	4分周	001b	10b	0	—	0	—	—
	8分周	001b	—	0	—	1	—	—
	16分周	001b	11b	0	—	0	—	—
PLL動作モード	分周なし	100b	00b	—	1	0	—	1
	2分周	100b	01b	—	1	0	—	1
	4分周	100b	10b	—	1	0	—	1
	8分周	100b	—	—	1	1	—	1
	16分周	100b	11b	—	1	0	—	1

—: 0でも1でも影響ない

10.3.1 高速クロックモード

CM1レジスタのCM13ビットが1 (XIN-XOUT端子)、かつCM4レジスタのCM42～CM40ビットが000bのとき、XINクロックがシステムクロックになり、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。

10.3.2 高速オンチップオシレータモード

FRA00ビットが1 (高速オンチップオシレータ発振)、かつCM4レジスタのCM42～CM40ビットが101bのとき、高速オンチップオシレータがシステムクロックになります。このとき、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。

10.3.3 低速オンチップオシレータモード

CM14ビットが0 (低速オンチップオシレータ発振)、かつCM42～CM40ビットが001bのとき、低速オンチップオシレータがシステムクロックになります。このとき、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR27ビットを1 (低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周、または16分周のいずれかで、低消費電流リードモードを使用できます。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

また、このモードからウェイトモードに入る場合、SVD0ビットを1 (低消費電力モード遷移許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は「10.6 消費電力の低減」を参照してください。

10.3.4 PLL動作モード

PLC0レジスタのPLC07ビットが1 (PLL動作)、かつCM4レジスタのCM42～CM40ビットが100bのとき、PLLがシステムクロックになり、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。

10.4 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、CPUクロックをカウントソースに選択しているウォッチドッグタイマが停止します。XINクロック、高速オンチップオシレータ、低速オンチップオシレータ、およびウォッチドッグタイマ用低速オンチップオシレータの発振は停止しませんので、これらのクロックを使用する周辺機能は動作します。

10.4.1 周辺機能クロック停止機能

CM0レジスタのCM02ビットが1(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

10.4.2 ウェイトモードへの移行

WAIT命令を実行またはCM3レジスタのCM30ビットを1(ウェイトモードに移行する)にするとウェイトモードになります。

CM4レジスタのCM42~CM40ビットを001b(CPUクロックにfLOCOを選択)、またはCM42~CM40ビットを101b(CPUクロックにfHOCO-Fクロックを選択)に設定した場合は、OCDレジスタのOCD1ビットを0(発振停止検出割り込み禁止)にしてから、WAIT命令を実行またはCM30ビットを1(ウェイトモードに移行する)にしてください。

OCD1ビットが1(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

FMR2レジスタのFMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM3レジスタのCM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM3レジスタのCM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

10.4.3 ウェイトモード時の端子の状態

I/Oポートはウェイトモードに入る直前の状態を保持します。

10.4.4 ウェイトモードからの復帰

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM0レジスタのCM02ビットの影響を受けます。CM02ビットが0(ウェイトモード時、周辺機能クロックを停止しない)の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが1(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはfHOCOクロック、fOCO128クロック、fOCOクロック、fHOCO-Fクロック、fLOCOWDTクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02 = 0の場合	CM02 = 1の場合
シリアルインタフェース 割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
シンクロナスシリアルコ ミュニケーションユニット I ² Cバスインタフェース	すべてのモードで使用可	— (使用しないでください)
キー入力割り込み	使用可	使用可
A/D変換割り込み	— (使用しないでください)	— (使用しないでください)
タイマRJ割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタ モードで使用可 カウントソースにfOCOを選択することで 使用可
タイマRB2割り込み	すべてのモードで使用可	— (使用しないでください)
タイマRC割り込み	すべてのモードで使用可	カウントソースにfHOCO、fHOCO-Fを選 択することで使用可
タイマRD割り込み	すべてのモードで使用可	カウントソースにfHOCO、fHOCO-Fを選 択することで使用可
タイマRE2割り込み	すべてのモードで使用可	— (使用しないでください)
タイマRF割り込み	すべてのモードで使用可	カウントソースにfHOCO-Fを選択するこ とで使用可
タイマRG割り込み	すべてのモードで使用可	カウントソースにfHOCOを選択するこ とで使用可
INT割り込み	使用可	使用可(INT0～INT4はフィルタなしの場合 に、使用可)
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	— (使用しないでください)
CANウェイクアップ 割り込み	使用可	使用可

図10.2にCM3レジスタのCM30ビットを1(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを1にする前に次の設定をしてください。

- (1) FLGレジスタのIフラグを0(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL0～ILVL2ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて000b(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびSVDCレジスタのSVC0ビットの設定に応じて図10.2のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

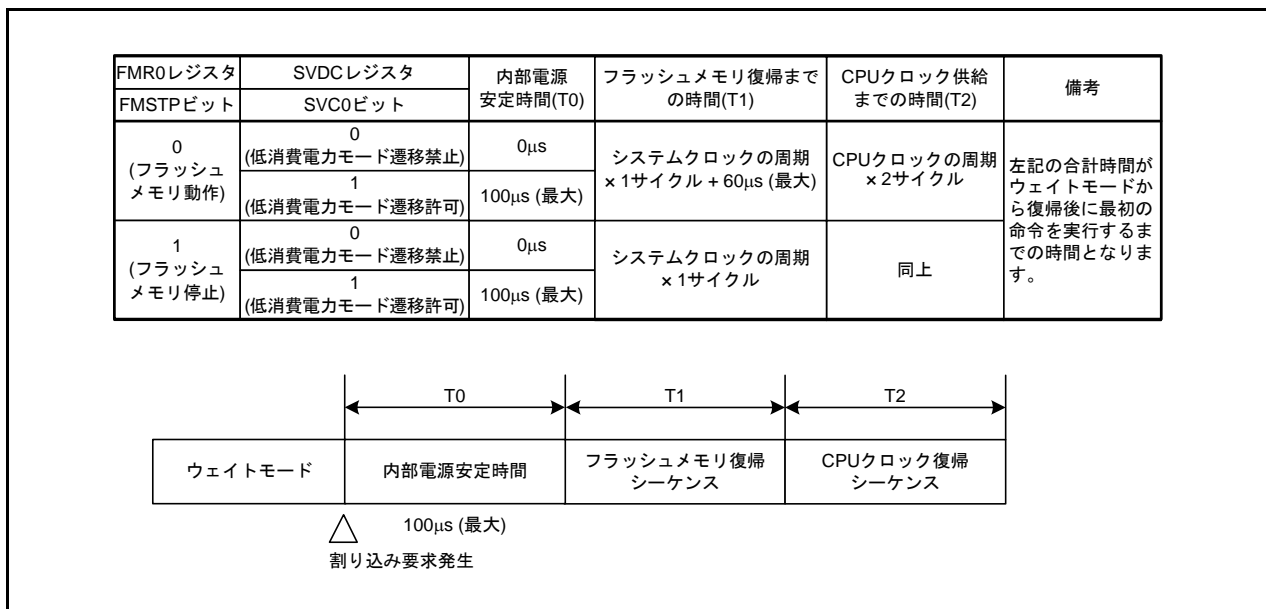


図10.2 CM30ビットを1(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

図10.3にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL0～ILVL2ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて000b(割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能を動作させる。
- (3) FLGレジスタのIフラグを1にする。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびSVDCレジスタのSVD0ビットの設定に応じて図10.3のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

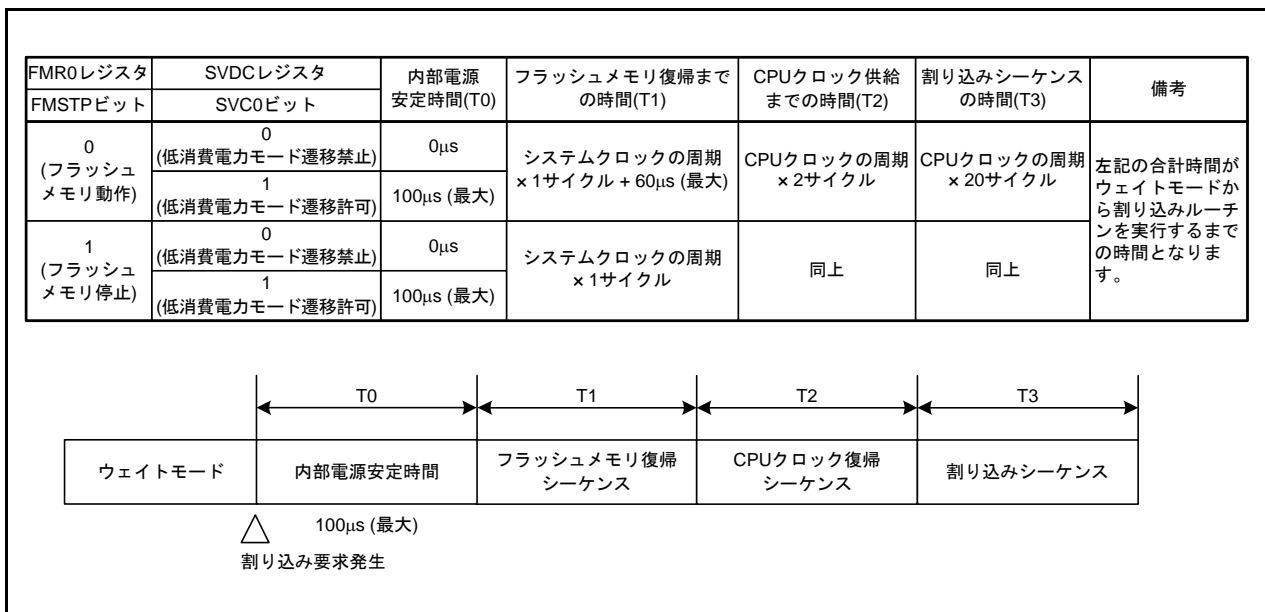


図10.3 WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

10.5 ストップモード

ストップモードでは、fLOCOWDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表10.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
INT0～INT4割り込み	フィルタなしの場合に使用可
タイマRJ割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
シリアルインタフェース割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが1)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが1)の場合に使用可
CANウェイクアップ割り込み	フィルタなしの場合に使用可

10.5.1 ストップモードへの移行

CM1レジスタのCM10ビットを1(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは1(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1、OCD0ビットを00b、CM3レジスタのCM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

FMR2レジスタのFMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35ビットを0にしてください。

10.5.2 ストップモード時の端子の状態

I/Oポートはストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが1(XIN-XOUT端子)のとき、XIN(P4_6)、XOUT(P4_7)端子はハイインピーダンスになります。

10.5.3 ストップモードからの復帰

リセットまたは周辺機能割り込みにより、ストップモードから復帰します。

図10.4にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM1レジスタのCM10ビットを1にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込み制御レジスタのILVL0～ILVL2ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて000b(割り込み禁止)にする。
- (2) ストップモードからの復帰に使用する周辺機能を動作させる。
- (3) FLGレジスタのIフラグを1にする。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

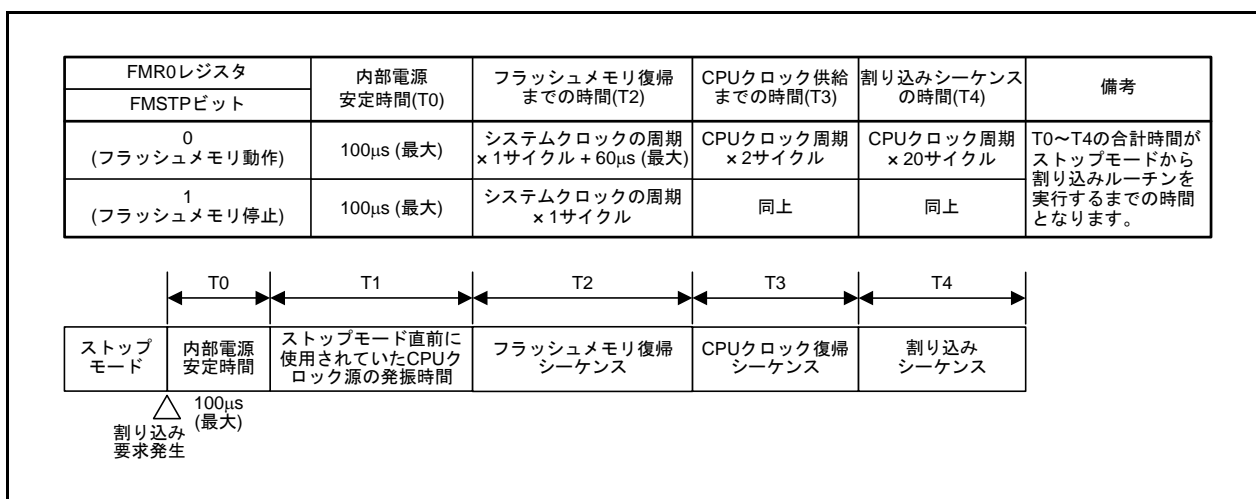


図10.4 ストップモードから割り込みルーチンを実行するまでの時間

10.6 消費電力の低減

以下に消費電力を小さくするためのポイント、処理方法について説明します。

10.6.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを0(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを0(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを0(電圧検出0回路無効)にしてください。

10.6.2 ポート

ウェイトモードまたはストップモードに移行してもI/Oポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れません。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

10.6.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また、周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビット

高速オンチップオシレータの発振停止：FRA0レジスタのFRA00ビット

PLLの停止：PLC0レジスタのPLC07ビット

10.6.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「10.4 ウェイトモード」、「10.5 ストップモード」を参照してください。

10.6.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロックf1、f2、f4、f8、f32が不要の場合、CM0レジスタのCM02ビットを1(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時のf1、f2、f4、f8、f32を停止させてください。

10.6.6 タイマ

タイマRJ_i(i=0,1)を使用しない場合、MSTCR2レジスタの未使用のタイマRJに対応したMSTTRJ_iビットを1(スタンバイ)にしてください。

タイマRB2を使用しない場合、MSTCR2レジスタの未使用のタイマRB2に対応したMSTTRB₀ビットを1(スタンバイ)にしてください。

タイマRC_iを使用しない場合、MSTCR2レジスタの未使用のタイマRCに対応したMSTTRC_iビットを1(スタンバイ)にしてください。

タイマRDを使用しない場合、MSTCR3レジスタの未使用のタイマRDに対応したMSTTRD₀ビットを1(スタンバイ)にしてください。

タイマRE2を使用しない場合、MSTCR3レジスタのMSTTREビットを1(スタンバイ)にしてください。

タイマRFを使用しない場合、MSTCR3レジスタのMSTTRFビットを1(スタンバイ)にしてください。

タイマRGを使用しない場合、MSTCR3レジスタのMSTTRGビットを1(スタンバイ)にしてください。

10.6.7 A/Dコンバータ

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを0(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

10.6.8 クロック同期形シリアルインタフェースおよびシリアルインタフェース

SSU_iとI²C_i(i=0、1)の両方を使用しない場合、MSTCR1レジスタの未使用のSSU_iおよびI²C_iに対応したMSTIIC_iビットを1(スタンバイ)にしてください。

UART0_iを使用しない場合、MSTCR0レジスタの未使用のUART0_iに対応したMSTURT_iビットを1(スタンバイ)にしてください。

UART2を使用しない場合、MSTCR0レジスタのMSTURT2ビットを1(スタンバイ)にしてください。

10.6.9 内部電源の消費電力低減(低消費電力モード)

低速オンチップオシレータモード(XINクロック、高速オンチップオシレータは発振停止)でウェイトモードへ移行する場合、SVDCレジスタのSVC0ビットにより、内部電源の消費電力を低減できます。図10.5にSVC0ビットによる内部電源低消費操作手順を示します。SVC0ビットにより低消費電力モード遷移を許可する場合は、この手順に従ってください。

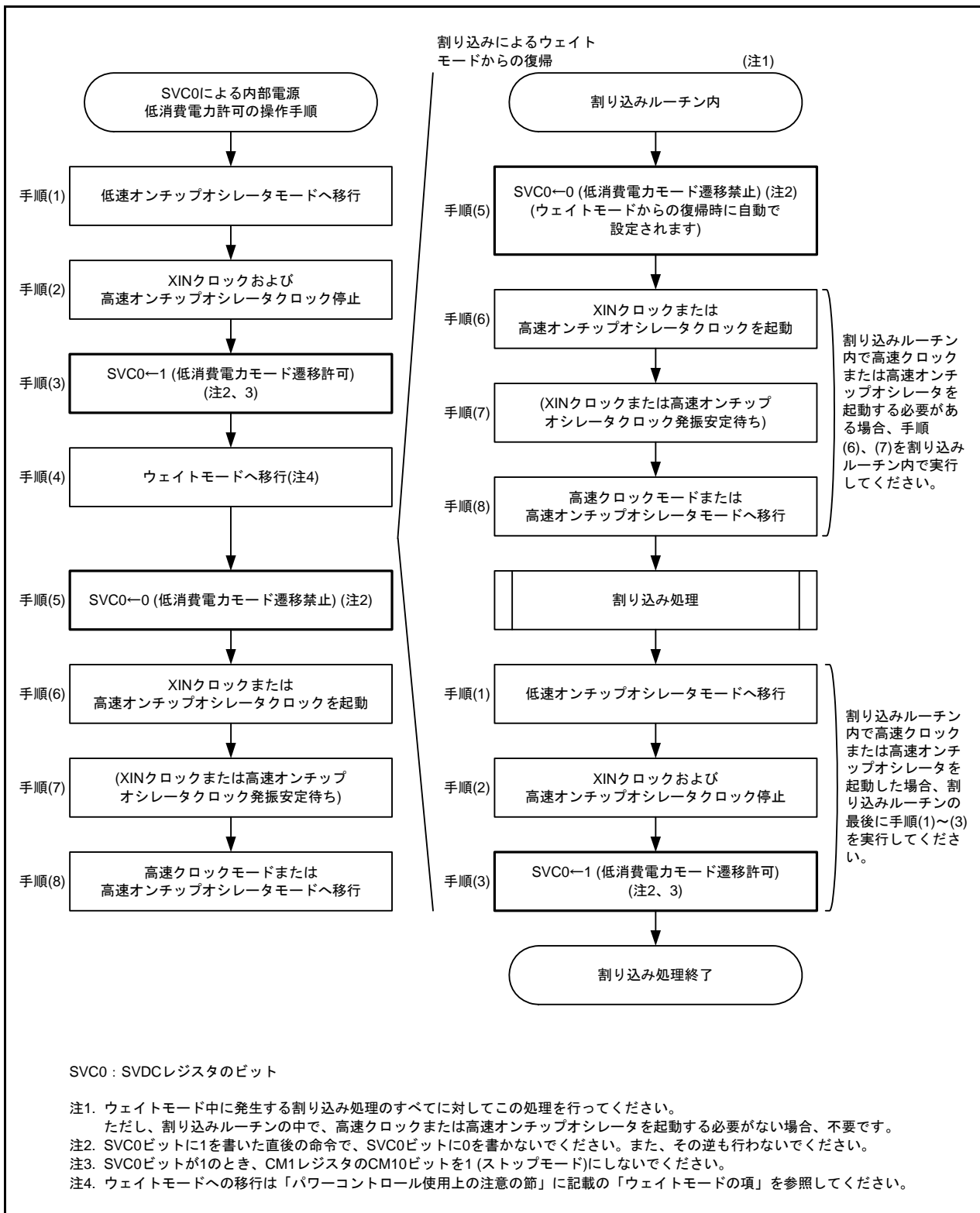


図10.5 SVC0ビットによる内部電源低消費操作手順

10.6.10 フラッシュメモリの停止

低速オンチップオシレータモードの場合、FMR0レジスタのFMSTPビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTPビットを1(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図10.6にFMSTPビットによる低消費電力操作手順を示します。

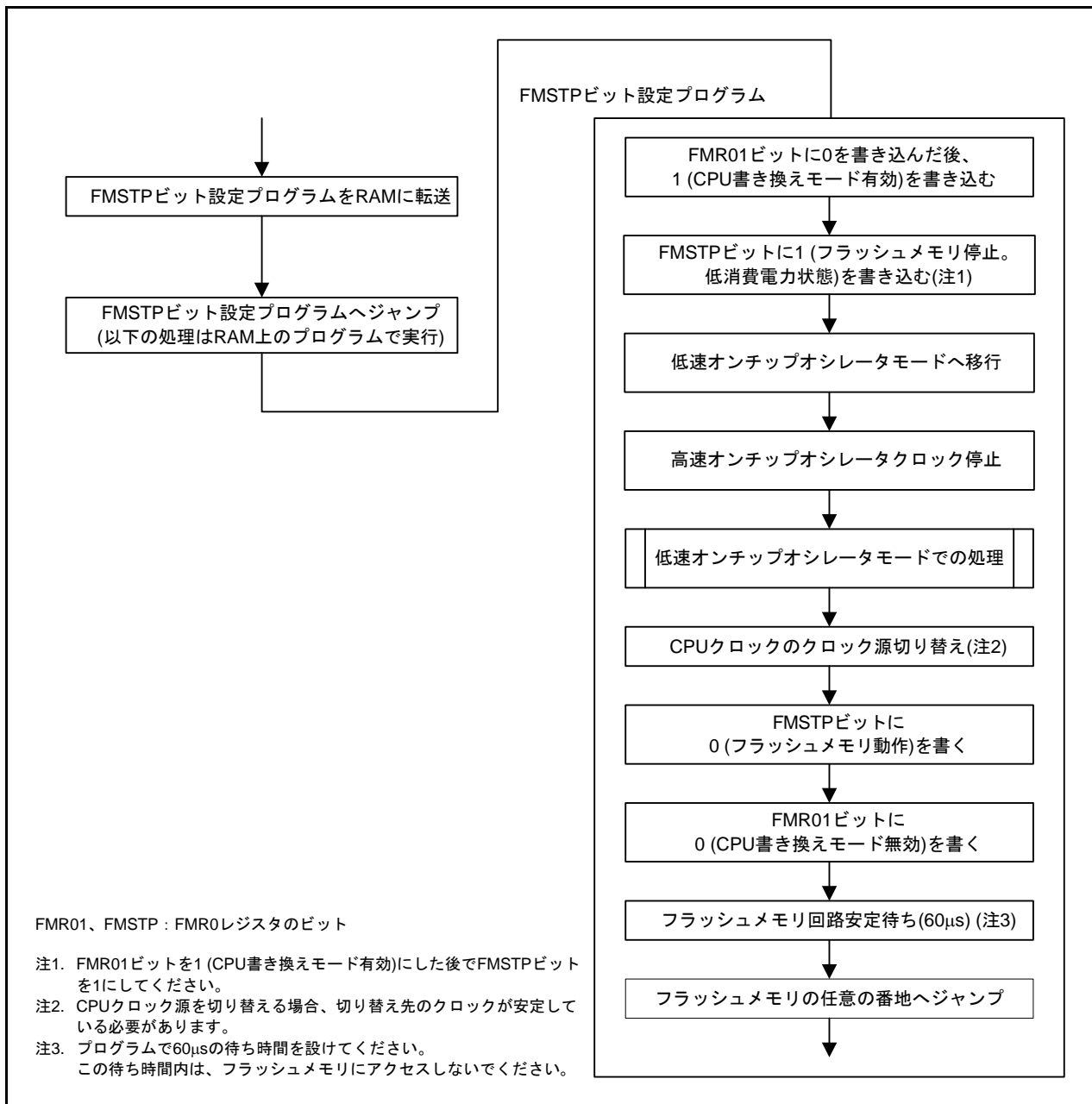


図10.6 FMSTPビットによる低消費電力操作手順

10.6.11 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを1(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが下記のとおり、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

FMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

図10.7にフラッシュメモリの低消費電流リードモードの操作手順を示します。

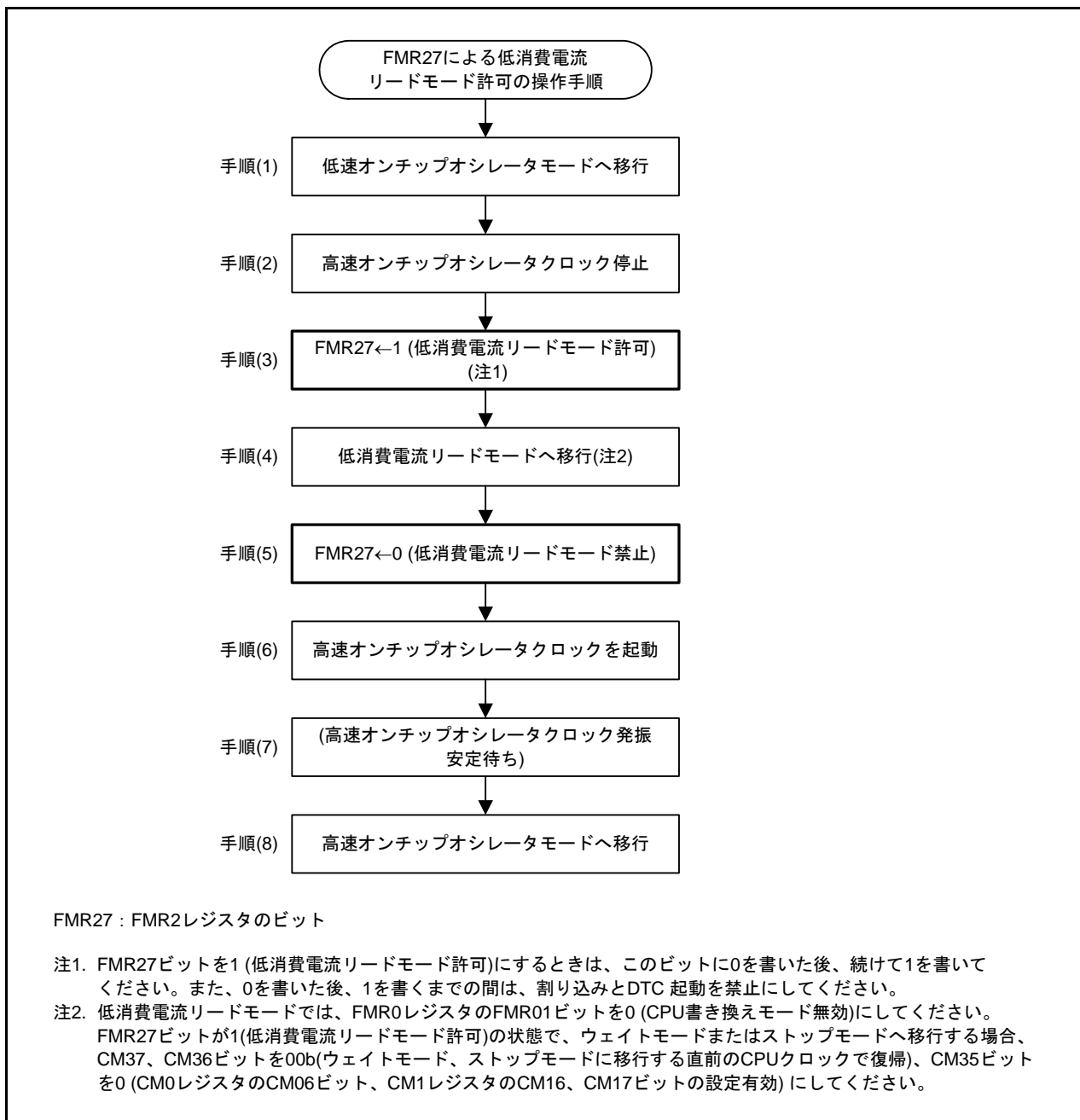


図10.7 フラッシュメモリの低消費電流リードモードの操作手順

10.7 パワーコントロール使用上の注意事項

10.7.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを0 (CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを1 (ストップモード)にしてください。命令キューはCM10ビットを1 (ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを1にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BSET    0, PRCR     ; プロテクト解除
FSET    I           ; 割り込み許可
BSET    0, CM1      ; ストップモード
JMP.B   LABEL_001

LABEL_001 :
NOP
NOP
NOP
NOP

```

10.7.2 ウェイトモード

CM3レジスタのCM30ビットを1にしてウェイトモードに移行する場合、FMR01ビットを0 (CPU書き換えモード無効)にした後、CM30ビットを1にしてください。

WAIT命令でウェイトモードに移行する場合、FMR01ビットを0 (CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはCM30ビットを1 (ウェイトモードに移行する)にする命令またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを1 (ウェイトモードに移行する)にする命令またはWAIT命令の後にはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
FSET    I           ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP

```

- CM30ビットを1にするプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BSET    0, PRCR     ; CM3レジスタへの書き込み許可
FCLR    I           ; 割り込み禁止
BSET    0, CM3      ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR     ; CM3レジスタへの書き込み禁止
FSET    I           ; 割り込み許可

```

11. 割り込み

11.1 概要

割り込みはノンマスクابل割り込みと、マスクابل割り込みに分けられます。これらの割り込みは、FLGレジスタの割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や、割り込み優先レベルによる割り込み優先順位の変更に関して表11.1に示す違いがあります。

表11.1 マスクابل/ノンマスクابل割り込み

	割り込み許可フラグ(Iフラグ)による 割り込み許可または禁止の変更	割り込み優先レベルによる 優先順位の変更
ノンマスクابل割り込み	不可能	不可能
マスクابل割り込み	可能	可能

11.1.1 割り込みの分類

図11.1に割り込みの分類を示します。

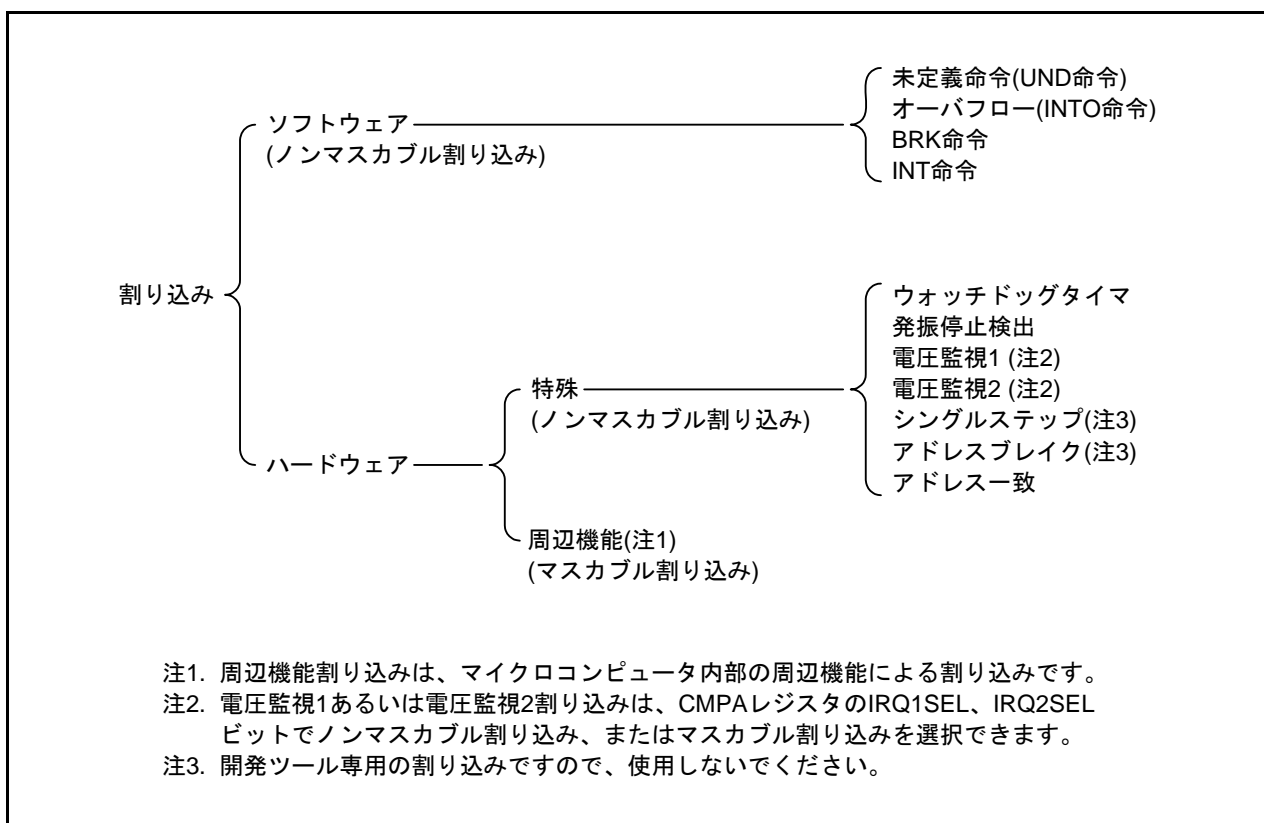


図11.1 割り込みの分類

11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND 命令を実行すると発生します。

11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、FLG レジスタの O フラグが 1 (演算の結果がオーバフロー) の場合、INTO 命令を実行すると発生します。演算によって O フラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

11.1.2.3 BRK 割り込み

BRK 割り込みは、BRK 命令を実行すると発生します。

11.1.2.4 INT 命令割り込み

INT 命令割り込みは、INT 命令を実行すると発生します。INT 命令で指定できるソフトウェア割り込み番号は 0～63 です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT 命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号 0～31 では、命令実行時に FLG レジスタの U フラグを退避し、U フラグを 0 (ISP を選択) にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいた U フラグを復帰します。ソフトウェア割り込み番号 32～63 では、命令実行時 U フラグは変化せず、そのとき選択されている SP を使用します。

11.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は「8. ウォッチドッグタイマ」を参照してください。

11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

11.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPA レジスタの IRQ1SEL ビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

11.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。CMPA レジスタの IRQ2SEL ビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

11.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

11.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIEN0レジスタのAIEN00ビット、AIEN1レジスタのAIEN10ビットのうち、いずれか1つが1(アドレス一致割り込み許可)の場合、対応するAIADR0j、AIADR1jレジスタ(j=L、H)で示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.7 アドレス一致割り込み」を参照してください。

11.1.3.7 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表11.4、表11.5 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

11.2 レジスタの説明

表11.2に割り込みのレジスタ構成を示します。

表11.2 割り込みのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み制御レジスタ	FMRDYIC	00h	00041h	8
割り込み制御レジスタ	TRJIC_1	00h	00042h	8
割り込み制御レジスタ	INT4IC	00h	00046h	8
割り込み制御レジスタ	TRCIC_0	00h	00047h	8
割り込み制御レジスタ	TRD0IC_0	00h	00048h	8
割り込み制御レジスタ	TRD1IC_0	00h	00049h	8
割り込み制御レジスタ	TRE2IC	00h	0004Ah	8
割り込み制御レジスタ	U2TIC	00h	0004Bh	8
割り込み制御レジスタ	U2RIC	00h	0004Ch	8
割り込み制御レジスタ	KUPIC	00h	0004Dh	8
割り込み制御レジスタ	ADIC	00h	0004Eh	8
割り込み制御レジスタ	SSUIC_0/IICIC_0	00h	0004Fh	8
割り込み制御レジスタ	TRFIC	00h	00050h	8
割り込み制御レジスタ	U0TIC_0	00h	00051h	8
割り込み制御レジスタ	U0RIC_0	00h	00052h	8
割り込み制御レジスタ	U0TIC_1	00h	00053h	8
割り込み制御レジスタ	U0RIC_1	00h	00054h	8
割り込み制御レジスタ	INT2IC	00h	00055h	8
割り込み制御レジスタ	TRJIC_0	00h	00056h	8
割り込み制御レジスタ	TRB2IC_0	00h	00058h	8
割り込み制御レジスタ	INT1IC	00h	00059h	8
割り込み制御レジスタ	INT3IC	00h	0005Ah	8
割り込み制御レジスタ	INT0IC	00h	0005Dh	8
割り込み制御レジスタ	U2BCNIC	00h	0005Eh	8
割り込み制御レジスタ	TRGIC	00h	0006Bh	8
割り込み制御レジスタ	CANRXIC_0	00h	0006Ch	8
割り込み制御レジスタ	CANTXIC_0	00h	0006Dh	8
割り込み制御レジスタ	CANERIC_0	00h	0006Eh	8
割り込み制御レジスタ	VCMP1IC	00h	00072h	8
割り込み制御レジスタ	VCMP2IC	00h	00073h	8
割り込み制御レジスタ	SSUIC_1/IICIC_1	00h	00079h	8
割り込み制御レジスタ	TRCIC_1	00h	0007Fh	8
外部入力許可レジスタ0	INTEN	00h	00230h	8
外部入力許可レジスタ1	INTEN1	00h	00231h	8
INT入力フィルタ選択レジスタ0	INTF	00h	00232h	8
INT入力フィルタ選択レジスタ1	INTF1	00h	00233h	8
INT入力極性切り替えレジスタ	INTPOL	00h	00234h	8
キー入力割り込み許可レジスタ	KIEN	00h	00236h	8
アドレス一致割り込みアドレス0Lレジスタ	AIADR0L	XXXXh	00260h	16
アドレス一致割り込みアドレス0Hレジスタ	AIADR0H	0000XXXXb	00262h	8
アドレス一致割り込み許可0レジスタ	AIEN0	00h	00263h	8
アドレス一致割り込みアドレス1Lレジスタ	AIADR1L	XXXXh	00264h	16
アドレス一致割り込みアドレス1Hレジスタ	AIADR1H	0000XXXXb	00266h	8
アドレス一致割り込み許可1レジスタ	AIEN1	00h	00267h	8
INT割り込み入力端子選択レジスタ0	INTSR0	00h	002B6h	8

11.2.1 割り込み制御レジスタ

(FMRDYIC、TRJIC_1、INT4IC、TRCIC_0、TRD0IC_0、TRD1IC_0、TRE2IC、U2TIC、U2RIC、KUPIC、ADIC、SSUIC_0/IICIC_0、TRFIC、U0TIC_0、U0RIC_0、U0TIC_1、U0RIC_1、INT2IC、TRJIC_0、TRB2IC_0、INT1IC、INT3IC、INT0IC、U2BCNIC、TRGIC、CANRXIC_0、CANTXIC_0、CANERIC_0、VCMP1IC、VCMP2IC、SSUIC_1/IICIC_1、TRCIC_1)

アドレス 00041h (FMRDYIC)、00042h (TRJIC_1)、00046h (INT4IC)、00047h (TRCIC_0)、00048h (TRD0IC_0)、00049h (TRD1IC_0)、0004Ah (TRE2IC)、0004Bh (U2TIC)、0004Ch (U2RIC)、0004Dh (KUPIC)、0004Eh (ADIC)、0004Fh (SSUIC_0/IICIC_0)、00050h (TRFIC)、00051h (U0TIC_0)、00052h (U0RIC_0)、00053h (U0TIC_1)、00054h (U0RIC_1)、00055h (INT2IC)、00056h (TRJIC_0)、00058h (TRB2IC_0)、00059h (INT1IC)、0005Ah (INT3IC)、0005Dh (INT0IC)、0005Eh (U2BCNIC)、0006Bh (TRGIC)、0006Ch (CANRXIC_0)、0006Dh (CANTXIC_0)、0006Eh (CANERIC_0)、00072h (VCMP1IC)、00073h (VCMP2IC)、00079h (SSUIC_1/IICIC_1)、0007Fh (TRCIC_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0	R/W
b1	ILVL1		0 0 0 : レベル0 (割り込み禁止)	R/W
b2	ILVL2		0 0 1 : レベル1	R/W
			0 1 0 : レベル2	
		0 1 1 : レベル3		
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. IRビットは0のみ書けます(1を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.9.5 割り込み制御レジスタの変更」を参照してください。

11.2.2 外部入力許可レジスタ0 (INTEN)

アドレス	00230h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	$\overline{\text{INT2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	$\overline{\text{INT2}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	$\overline{\text{INT3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPLビット(i = 0~3)を1(両エッジ)にする場合、INTPOLレジスタのINTiPOLビットを0(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiICレジスタのIRビットが1(割り込み要求あり)になることがあります。
「11.9.4 割り込み要因の変更」を参照してください。

11.2.3 外部入力許可レジスタ1 (INTEN1)

アドレス	00231h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	INT4PL	INT4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4EN	INT4入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT4PL	INT4入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. INT4PLビットを1(両エッジ)にする場合、INTPOLレジスタのINT4POLビットを0(立ち下がリエッジを選択)にしてください。

注2. INTEN1レジスタを変更すると、INT4ICレジスタのIRビットが1(割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

11.2.4 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 00232h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

11.2.5 INT入力フィルタ選択レジスタ1 (INTF1)

アドレス 00233h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	INT4F1	INT4F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4F0	INT4入力フィルタ選択ビット	b1 b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b1	INT4F1			R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

11.2.6 INT入力極性切り替えレジスタ (INTPOL)

アドレス 00234h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	INT4POL	INT3POL	INT2POL	INT1POL	INT0POL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0POL	INT0極性切り替えビット(注1)	0 : 立ち下がリエッジ 1 : 立ち上がりエッジ(注2)	R/W
b1	INT1POL	INT1極性切り替えビット(注1)		R/W
b2	INT2POL	INT2極性切り替えビット(注1)		R/W
b3	INT3POL	INT3極性切り替えビット(注1)		R/W
b4	INT4POL	INT4極性切り替えビット(注1)		R/W
b5	—	予約ビット	0にしてください	R/W
b6	—			
b7	—			

注1. INTiPOLビット(i=0~4)を変更すると、INTiICレジスタのIRビットが1(割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

注2. INTEN、INTEN1レジスタのINTiPLビットが1(両エッジ)の場合、INTiPOLビットを0(立ち下がリエッジを選択)にしてください。

11.2.7 キー入力割り込み許可レジスタ (KIEN)

アドレス	00236h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	$\overline{\text{KI0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI0PL	$\overline{\text{KI0}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI1EN	$\overline{\text{KI1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI1PL	$\overline{\text{KI1}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI2EN	$\overline{\text{KI2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI2PL	$\overline{\text{KI2}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI3EN	$\overline{\text{KI3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI3PL	$\overline{\text{KI3}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが1(割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

11.2.8 アドレス一致割り込みアドレスijレジスタ (AIADRij) (i = 0、1、j = L、H)

アドレス 00260h (AIADR0L)、00262h (AIADR0H)、00264h (AIADR1L)、00266h (AIADR1H)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19～b0	—	ターゲットPC値20ビット	00000h～FFFFFFh	R/W
b20	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b21	—			
b22	—			
b23	—			

11.2.9 アドレス一致割り込み許可iレジスタ (AIENi) (i = 0、1)

アドレス 00263h (AIEN0)、00267h (AIEN1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	AIENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AIENi0	アドレス一致割り込み許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

11.2.10 INT割り込み入力端子選択レジスタ0 (INTSR0)

アドレス	002B6h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3SEL1	INT3SEL0	INT2SEL1	INT2SEL0	INT1SEL2	INT1SEL1	INT1SEL0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—		何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b1	INT1SEL0	INT1端子選択ビット	b3 b2 b1 0 0 0 : P1_7に割り当てる 0 0 1 : P1_5に割り当てる 0 1 0 : P2_0に割り当てる 0 1 1 : P3_6に割り当てる 1 0 0 : P3_2に割り当てる 上記以外 : 設定しないでください	R/W
b2	INT1SEL1			R/W
b3	INT1SEL2			R/W
b4	INT2SEL0	INT2端子選択ビット	b5 b4 0 0 : P6_6に割り当てる 0 1 : P3_2に割り当てる 1 0 : P6_4に割り当てる 1 1 : P0_2に割り当てる	R/W
b5	INT2SEL1			R/W
b6	INT3SEL0	INT3端子選択ビット	b7 b6 0 0 : P3_3に割り当てる 0 1 : P3_7に割り当てる 1 0 : P6_7に割り当てる 1 1 : 設定しないでください	R/W
b7	INT3SEL1			R/W

INTSR0レジスタは、 $\overline{\text{INT}}_i$ ($i=1\sim 3$)の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSR0レジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSR0レジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSR0レジスタの設定値を変更しないでください。

$\overline{\text{INT}}_0$ 、 $\overline{\text{INT}}_4$ は、INTSR0レジスタに関係なく、それぞれP4_5、P6_5に割り当てられます。

11.3 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

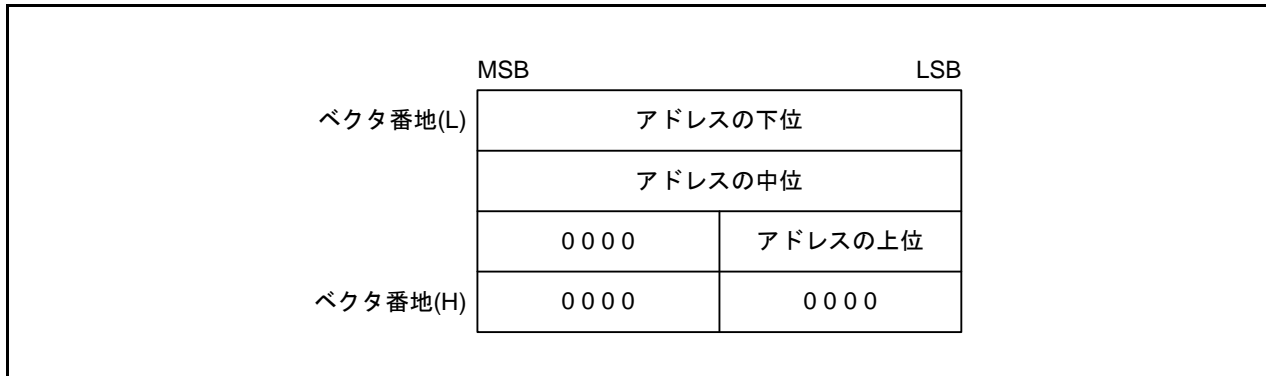


図11.2 割り込みベクタ

11.3.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.3に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「29.4 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.3 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	備考
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/5xシリーズ
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	ユーザーズマニュアル
BRK命令	0FFE4h～0FFE7h	0FFE6h番地の内容がFFhの場合は、可変ベクタテーブル内のベクタが示す番地から実行	ソフトウェア編
アドレス一致	0FFE8h～0FFEBh		11.7 アドレス一致割り込み
シングルステップ(注1)	0FFEC h～0FFEFh		
ウォッチドッグタイマ、発振停止検出、電圧監視1(注2)、電圧監視2(注2)	0FFF0h～0FFF3h		8. ウォッチドッグタイマ、 9. クロック発生回路、 7. 電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFFBh		
リセット	0FFFC h～0FFFFh		6. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. 電圧監視1あるいは電圧監視2割り込みは、CMPAレジスタのIRQ1SELあるいはIRQ2SELビットでノンマスク可能またはマスク可能割り込みを選択可能です。

11.3.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。
表11.4、表11.5に可変ベクタテーブルを示します。

表11.4 可変ベクタテーブル(1)

割り込み要因	ベクタ番地(注1) 番地(L)~番地(H)	ソフト ウェア 割り込 み番号	割り込み 制御 レジスタ	参照先
BRK命令(注2)	+0~+3 (00000h~00003h)	0	—	R8C/5xシリーズ ユーザーズマニュアル ソフトウェア編
フラッシュメモリ	+4~+7 (00004h~00007h)	1	FMRDYIC	29. フラッシュメモリ
タイマRJ_1	+8~+11 (00008h~0000Bh)	2	TRJIC_1	15. タイマRJ
—(予約)	+12~+15 (0000Ch~0000Fh)	3	—	—
—(予約)	+16~+19 (00010h~00013h)	4	—	
—(予約)	+20~+23 (00014h~00017h)	5	—	
INT4	+24~+27 (00018h~0001Bh)	6	INT4IC	11.5 INT割り込み
タイマRC_0	+28~+31 (0001Ch~0001Fh)	7	TRCIC_0	17. タイマRC
タイマRD0_0	+32~+35 (00020h~00023h)	8	TRD0IC_0	18. タイマRD
タイマRD1_0	+36~+39 (00024h~00027h)	9	TRD1IC_0	
タイマRE2	+40~+43 (00028h~0002Bh)	10	TRE2IC	19. タイマRE2
UART2送信/NACK2	+44~+47 (0002Ch~0002Fh)	11	U2TIC	23. シリアルインタ フェース(UART2)
UART2受信/ACK2	+48~+51 (00030h~00033h)	12	U2RIC	
キー入力	+52~+55 (00034h~00037h)	13	KUPIC	11.6 キー入力割り込み
A/D変換	+56~+59 (00038h~0003Bh)	14	ADIC	27. A/Dコンバータ
シンクロナスシリアルコ ミュニケーションユニット/ I ² Cバスインタフェース	+60~+63 (0003Ch~0003Fh)	15	SSUIC_0/ IICIC_0	24. クロック同期形シリ アルインタフェース
タイマRF/コンペア0/コン ペア1/キャプチャ	+64~+67 (00040h~00043h)	16	TRFIC	20. タイマRF
UART0_0送信	+68~+71 (00044h~00047h)	17	U0TIC_0	22. シリアルインタ フェース(UART0)
UART0_0受信	+72~+75 (00048h~0004Bh)	18	U0RIC_0	
UART0_1送信	+76~+79 (0004Ch~0004Fh)	19	U0TIC_1	
UART0_1受信	+80~+83 (00050h~00053h)	20	U0RIC_1	
INT2	+84~+87 (00054h~00057h)	21	INT2IC	11.5 INT割り込み
タイマRJ_0	+88~+91 (00058h~0005Bh)	22	TRJIC_0	15. タイマRJ
—(予約)	+92~+95 (0005Ch~0005Fh)	23	—	—
タイマRB2_0	+96~+99 (00060h~00063h)	24	TRB2IC_0	16. タイマRB2
INT1(コンパレータB兼用)	+100~+103 (00064h~00067h)	25	INT1IC	11.5 INT割り込み
INT3(コンパレータB兼用)	+104~+107 (00068h~0006Bh)	26	INT3IC	
—(予約)	+108~+111 (0006Ch~0006Fh)	27	—	—
—(予約)	+112~+115 (00070h~00073h)	28	—	
INT0	+116~+119 (00074h~00077h)	29	INT0IC	11.5 INT割り込み
UART2バス衝突検出	+120~+123 (00078h~0007Bh)	30	U2BCNIC	23. シリアルインタ フェース(UART2)
—(予約)	+124~+127 (0007Ch~0007Fh)	31	—	—

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

表 11.5 可変ベクタテーブル(2)

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み 番号	割り込み 制御 レジスタ	参照先
ソフトウェア(注2)	+128～+131 (00080h～00083h) ～+164～+167 (000A4h～ 000A7h)	32～41	—	R8C/5xシリーズ ユーザーズマニュアル ソフトウェア編
—(予約)	+168～+171 (000A8h～000ABh)	42	—	—
タイマRG	+172～+175 (000ACh～000AFh)	43	TRGIC	21. タイマRG
CAN_0受信	+176～+179 (000B0h～000B3h)	44	CANRXIC_0	26. CANモジュール
CAN_0送信	+180～+183 (000B4h～000B7h)	45	CANTXIC_0	
CAN_0エラー	+184～+187 (000B8h～000BBh)	46	CANERIC_0	
—(予約)	+188～+191 (000BCh～000BFh)	47	—	—
—(予約)	+192～+195 (000C0h～000C3h)	48	—	
—(予約)	+196～+199 (000C4h～000C7h)	49	—	
電圧監視1(注3)	+200～+203 (000C8h～000CBh)	50	VCMP1IC	7. 電圧検出回路
電圧監視2(注3)	+204～+207 (000CCh～000CFh)	51	VCMP2IC	
—(予約)	+208～+211 (000D0h～000D3h)～ +224～+227 (000E0h～000E3h)	52～56	—	—
シンクロナスシリアルコ ミュニケーションユニット/ I ² Cバスインタフェース	+228～+231 (000E4h～000E7h)	57	SSUIC_1/ IICIC_1	24. クロック同期形シリ アルインタフェース
—(予約)	+232～+235 (000E8h～000EBh)	58	—	—
—(予約)	+236～+239 (000ECh～000EFh)	59	—	—
—(予約)	+240～+243 (000F0h～000F3h)	60	—	
—(予約)	+244～+247 (000F4h～000F7h)	61	—	
—(予約)	+248～+251 (000F8h～000FBh)	62	—	
タイマRC_1	+252～+255 (000FCh～000FFh)	63	TRCIC_1	

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

注3. 電圧監視1あるいは電圧監視2割り込みは、CMPAレジスタのIRQ1SELあるいはIRQ2SELビットでノンマスク
ブルまたはマスクブル割り込みを選択可能です。

11.4 割り込み制御

マスクابل割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクابل割り込みには該当しません。

マスクابل割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

11.4.1 Iフラグ

Iフラグは、マスクابل割り込みを許可または禁止します。Iフラグを1(許可)にすると、マスクابل割り込みは許可され、0(禁止)にするとすべてのマスクابل割り込みは禁止されます。

11.4.2 IRビット

IRビットは割り込み要求が発生すると、1(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは0(割り込み要求なし)になります。

IRビットはプログラムによって0にできます。1を書かないでください。

ただし、タイマRC割り込み、タイマRD割り込み、タイマRE2割り込み、タイマRF割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース割り込み、CAN送信割り込み、CAN受信割り込み、CANエラー割り込み、フラッシュメモリ割り込みでは、IRビットの動作が違います。「11.8 タイマRC割り込み、タイマRD割り込み、タイマRE2割り込み、タイマRF割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース割り込み、CAN送信割り込み、CAN受信割り込み、CANエラー割り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

11.4.3 ILVL0～ILVL2ビット、IPL

割り込み優先レベルは、ILVL0～ILVL2ビットで設定できます。

表11.6に割り込み優先レベルの設定を、表11.7にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ=1
- IRビット=1
- 割り込み優先レベル> IPL

Iフラグ、IRビット、ILVL0～ILVL2ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表11.6 割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い ↓ 高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表11.7 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクابل割り込みを禁止

11.4.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

図11.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みの割り込み制御レジスタのIRビットが0(割り込み要求なし)になります。(注1)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注2)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは0(割り込み禁止)
Dフラグは0(シングルステップ割り込みは割り込み禁止)
Uフラグは0(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注2)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. タイマRC、タイマRD、タイマRE2、タイマRF、タイマRG、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、CAN送信、CAN受信、CANエラー、フラッシュメモリ割り込みのIRビットの動作は「11.8 タイマRC割り込み、タイマRD割り込み、タイマRE2割り込み、タイマRF割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース割り込み、CAN送信割り込み、CAN受信割り込み、CANエラー割り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

注2. ユーザは使用できません。

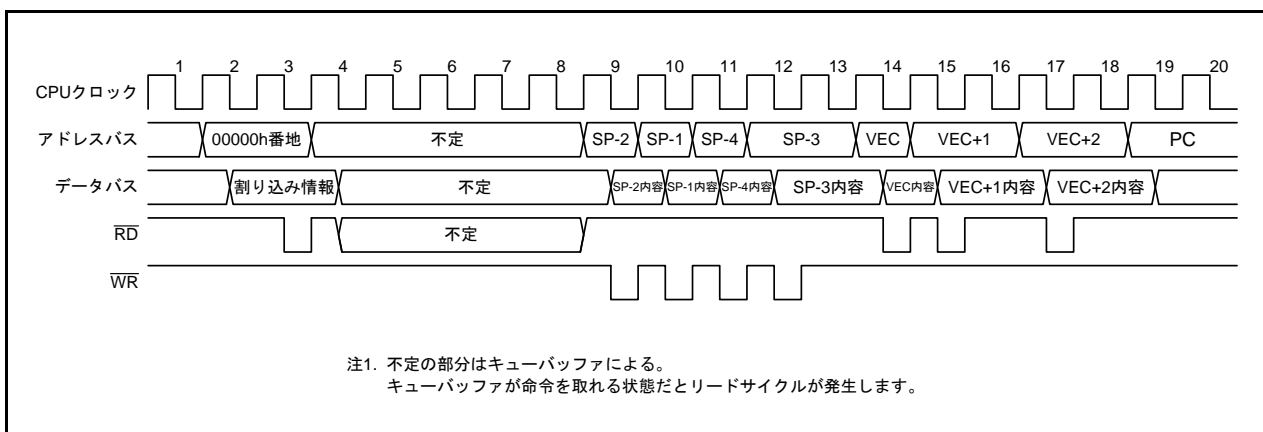


図11.3 割り込みシーケンスの実行時間

11.4.5 割り込み応答時間

図11.4に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図11.4の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

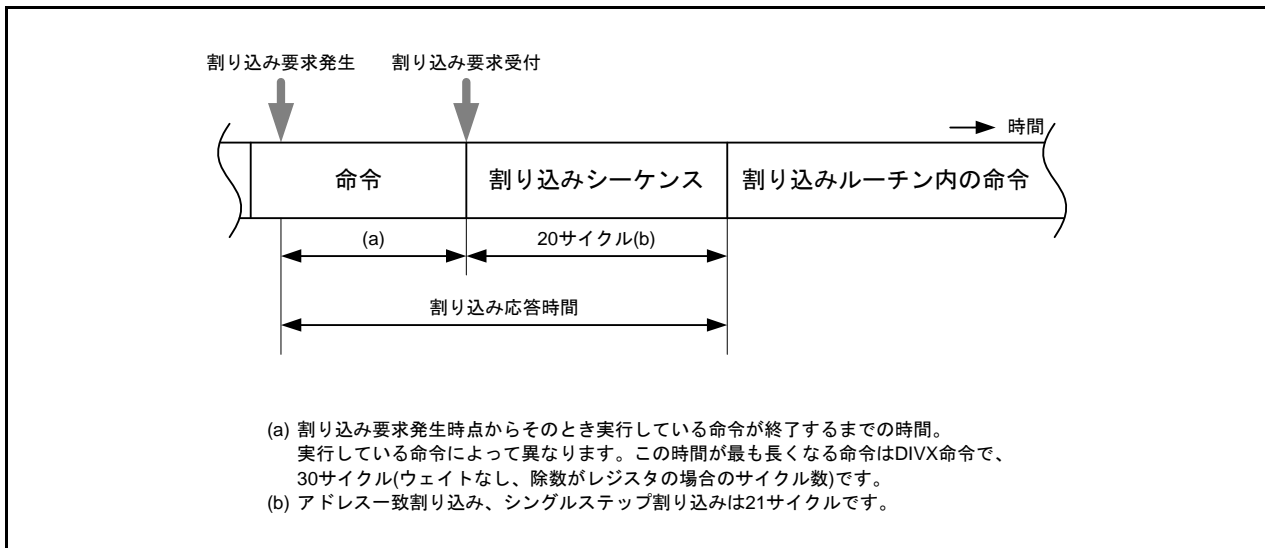


図11.4 割り込み応答時間

11.4.6 割り込み要求受付時のIPLの変化

マスクابل割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表11.8に示す値がIPLに設定されます。

表11.8にソフトウェア割り込み、特殊割り込み受付時のIPLの値を示します。

表11.8 ソフトウェア割り込み、特殊割り込み受付時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

11.4.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図11.5に割り込み要求受付前後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

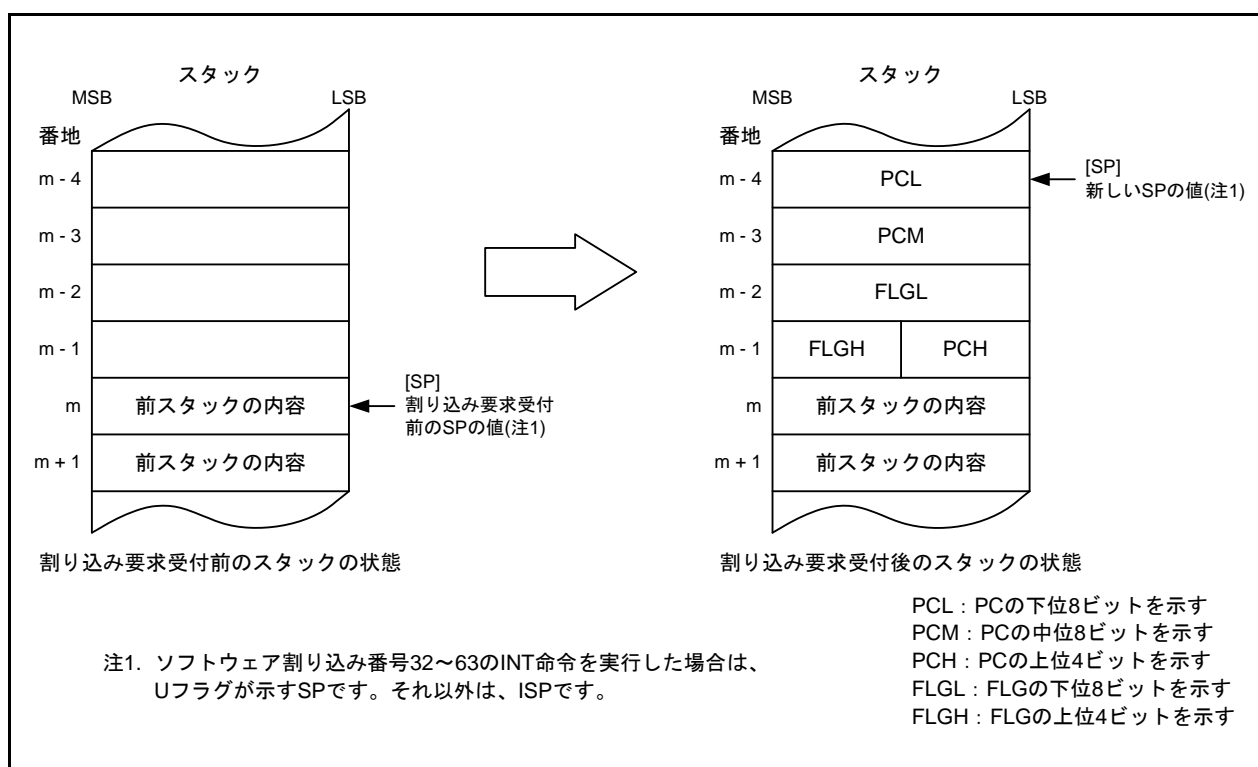


図11.5 割り込み要求受付前後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
図11.6にレジスタ退避動作を示します。

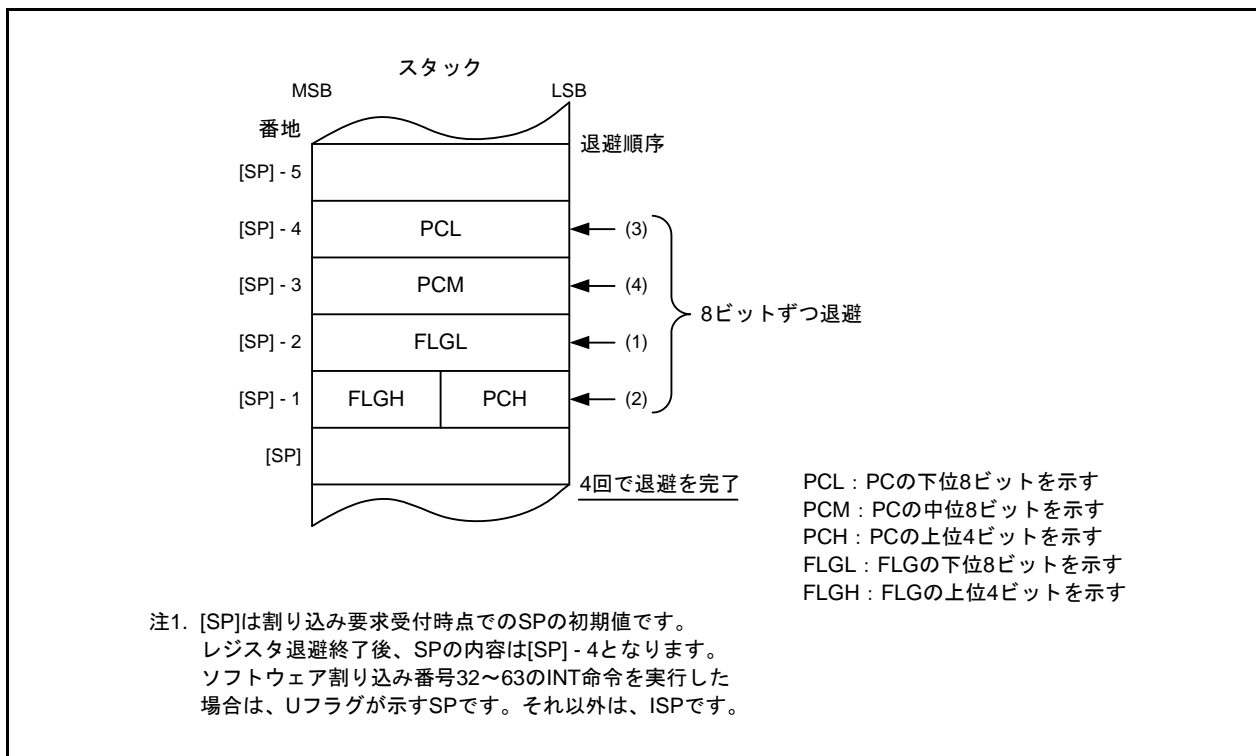


図11.6 レジスタ退避動作

11.4.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受付前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

11.4.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスクブル割り込み(周辺機能)の優先レベルは、ILVL0～ILVL2ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されます。

図11.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは、割り込み優先順位の影響を受けません。命令を実行すると、割り込みルーチンを実行します。

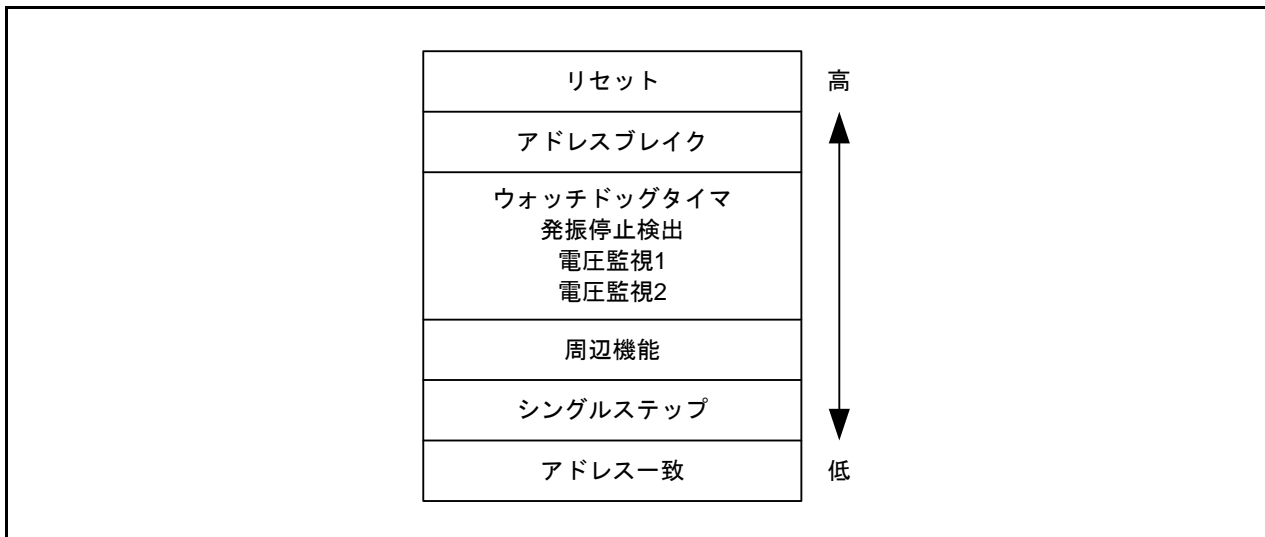


図11.7 ハードウェア割り込みの割り込み優先順位

11.4.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
図11.8に割り込み優先レベルの判定回路を示します。

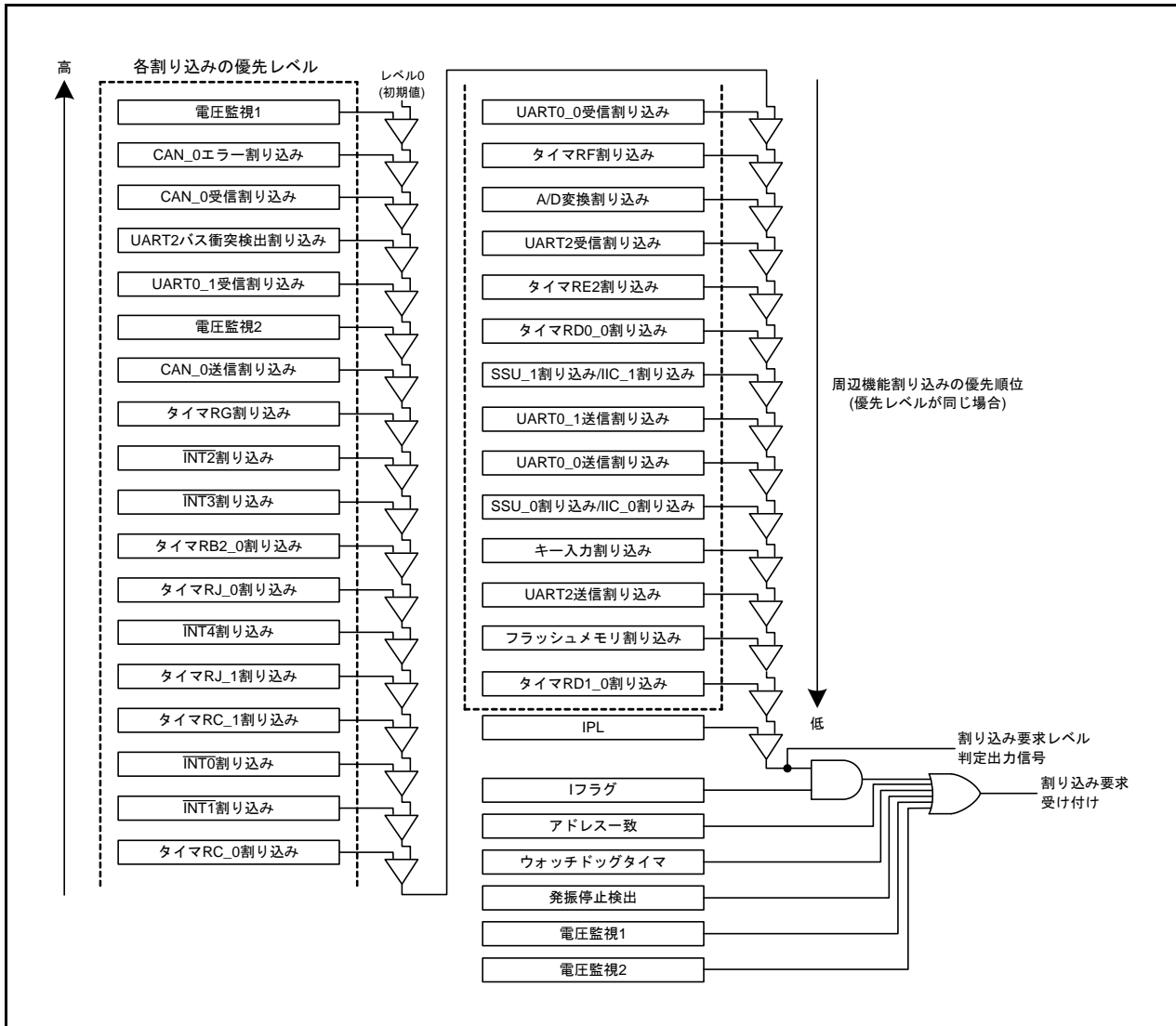


図11.8 割り込み優先レベルの判定回路

11.5 $\overline{\text{INT}}$ 割り込み

11.5.1 $\overline{\text{INT}}_i$ 割り込み ($i = 0 \sim 4$)

$\overline{\text{INT}}_i$ 割り込みは $\overline{\text{INT}}_i$ 入力による割り込みです。 $\overline{\text{INT}}_i$ 割り込みを使用するときは INTEN 、 INTEN1 レジスタの INTiEN ビット 1 (許可) にしてください。極性を INTEN 、 INTEN1 レジスタの INTiPL ビットと INTPOL レジスタの INTiPOL ビットで選択できます。 $\overline{\text{INT}}_1 \sim \overline{\text{INT}}_4$ 入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。 $\overline{\text{INT}}_0$ 端子はタイマ RC およびタイマ RD のパルス出力強制遮断入力と、タイマ RB2 の外部トリガ入力と兼用、 $\overline{\text{INT}}_2$ 端子はタイマ RJ のイベント入力有効と兼用です。

表 11.9 に $\overline{\text{INT}}_i$ 割り込みの端子構成 ($i = 0 \sim 4$) を示します。

表 11.9 $\overline{\text{INT}}_i$ 割り込みの端子構成 ($i = 0 \sim 4$)

端子名	入出力	機能
$\overline{\text{INT}}_0$	入力	$\overline{\text{INT}}_0$ 割り込み入力
$\overline{\text{INT}}_1$	入力	$\overline{\text{INT}}_1$ 割り込み入力
$\overline{\text{INT}}_2$	入力	$\overline{\text{INT}}_2$ 割り込み入力
$\overline{\text{INT}}_3$	入力	$\overline{\text{INT}}_3$ 割り込み入力
$\overline{\text{INT}}_4$	入力	$\overline{\text{INT}}_4$ 割り込み入力

11.5.2 $\overline{\text{INTi}}$ 入力フィルタ ($i = 0 \sim 4$)

$\overline{\text{INTi}}$ 入力は、デジタルフィルタを持ちます。サンプリングクロックは $\overline{\text{INTF}}$ 、 $\overline{\text{INTF1}}$ レジスタの $\overline{\text{INTiF0}}$ 、 $\overline{\text{INTiF1}}$ ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3度一致した時点で、 $\overline{\text{INTiIC}}$ レジスタの $\overline{\text{IR}}$ ビットが1(割り込み要求あり)になります。

図11.9に $\overline{\text{INTi}}$ 入力フィルタの構成($i = 0 \sim 4$)を、図11.10に $\overline{\text{INTi}}$ 入力フィルタの動作例($i = 0 \sim 4$)を示します。

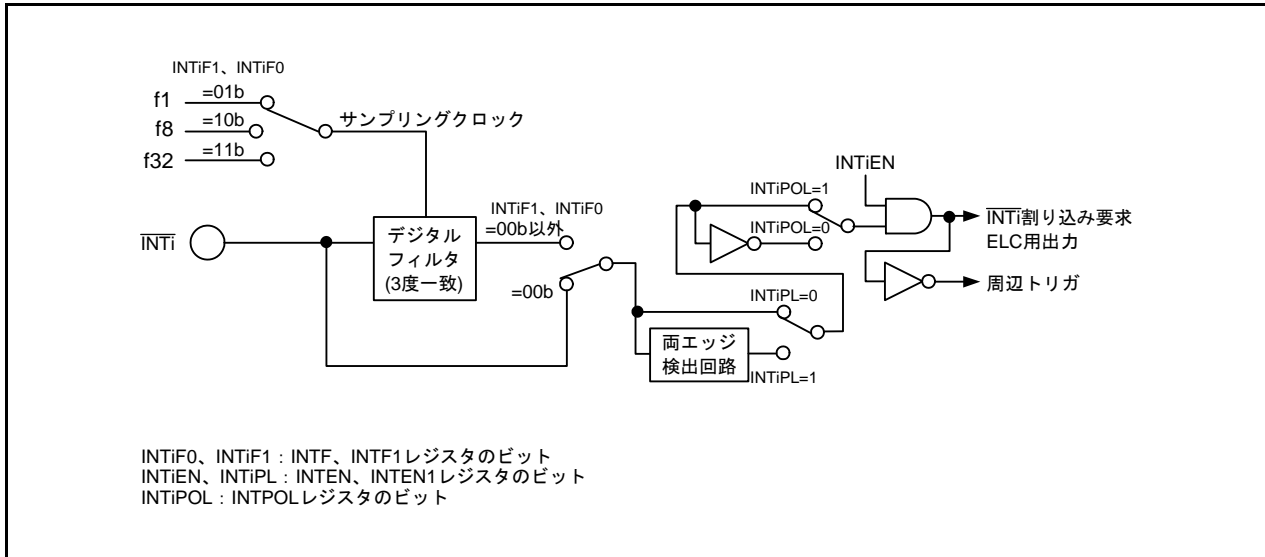


図11.9 $\overline{\text{INTi}}$ 入力フィルタの構成 ($i = 0 \sim 4$)

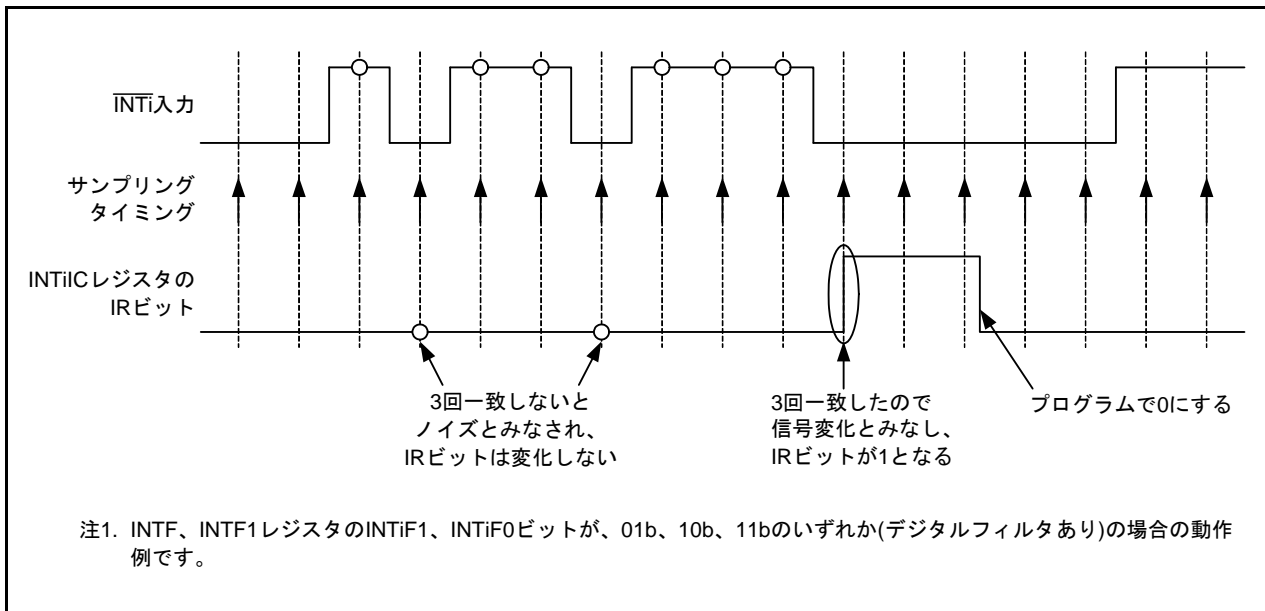


図11.10 $\overline{\text{INTi}}$ 入力フィルタの動作例 ($i = 0 \sim 4$)

11.6 キー入力割り込み

$\overline{KI0} \sim \overline{KI3}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードまたはストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット($i = 0 \sim 3$)で、端子を \overline{KIi} 入力として使用するかどうかを選択できます。また、KIiPLビットで入力極性を選択できます。

なお、KIiPLビットを0(立ち下がりエッジ)にしている \overline{KIi} 端子にLを入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。同様に、KIiPLビットを1(立ち上がりエッジ)にしている \overline{KIi} 端子にHを入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図($i = 0 \sim 3$)を示します。表11.10にキー入力割り込みの端子構成を示します。

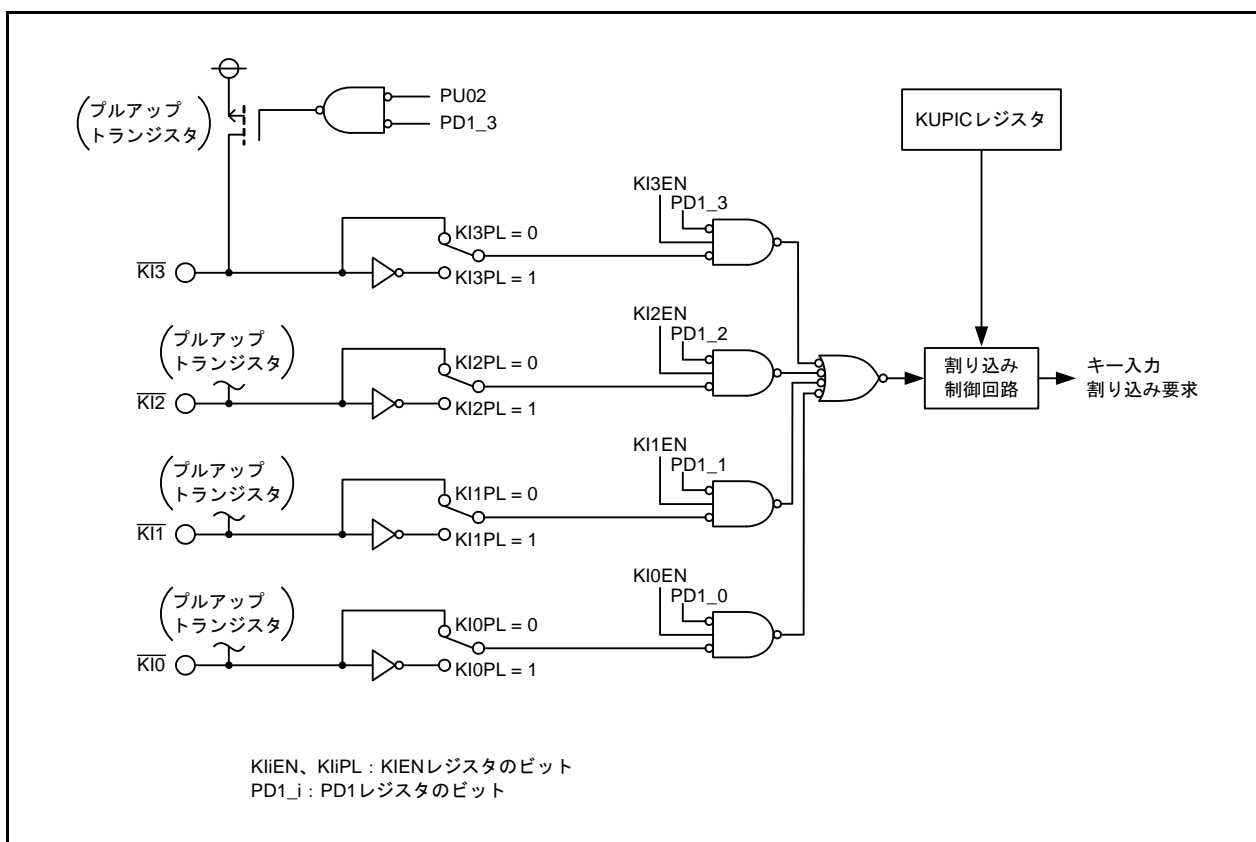


図11.11 キー入力割り込みのブロック図($i = 0 \sim 3$)

表11.10 キー入力割り込みの端子構成

端子名	入出力	機能
$\overline{KI0}$	入力	$\overline{KI0}$ 割り込み入力
$\overline{KI1}$	入力	$\overline{KI1}$ 割り込み入力
$\overline{KI2}$	入力	$\overline{KI2}$ 割り込み入力
$\overline{KI3}$	入力	$\overline{KI3}$ 割り込み入力

11.7 アドレス一致割り込み

AIADRijレジスタ (i=0、1、j=L、H)で示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み (AIENi、AIADRijレジスタ、固定ベクタテーブル)を設定しないでください。

AIADRijレジスタには命令の先頭番地を設定してください。割り込みの禁止または許可はAIENiレジスタのAIENi0ビットで選択できます。アドレス一致割り込みは、FLGレジスタのIフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.4.7 レジスタ退避」参照)は、AIADRijレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えて、REIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受付前の状態に戻してからジャンプ命令で復帰する

表11.11にアドレス一致割り込み要求受付時に退避されるPCの値を、表11.12にアドレス一致割り込み要因と関連レジスタの対応を示します。

表11.11 アドレス一致割り込み要求受付時に退避されるPCの値

AIADRijレジスタ (i=0、1、j=L、H)で示される番地の命令	退避されるPCの値(注1)
<ul style="list-style-type: none"> • オペコードが2バイトの命令(注2) • オペコードが1バイトの命令(注2) 	AIADRijレジスタで示される番地 + 2
ADD.B:S #IMM8, dest SUB.B:S #IMM8, dest AND.B:S #IMM8, dest	
OR.B:S #IMM8, dest MOV.B:S #IMM8, dest STZ #IMM8, dest	
STNZ #IMM8, dest STZX #IMM81, #IMM82, dest	
CMP.B:S #IMM8, dest PUSHM src POPM dest	
JMPS #IMM8 JSRS #IMM8	
MOV.B:S #IMM, dest (ただし、dest = A0またはA1)	
上記以外	AIADRijレジスタで示される番地 + 1

注1. 退避されるPCの値:「11.4.7 レジスタ退避」参照。

注2. オペコード:「R8C/5xシリーズ ユーザーズマニュアル ソフトウェア編(R01US0007JJ)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表11.12 アドレス一致割り込み要因と関連レジスタの対応

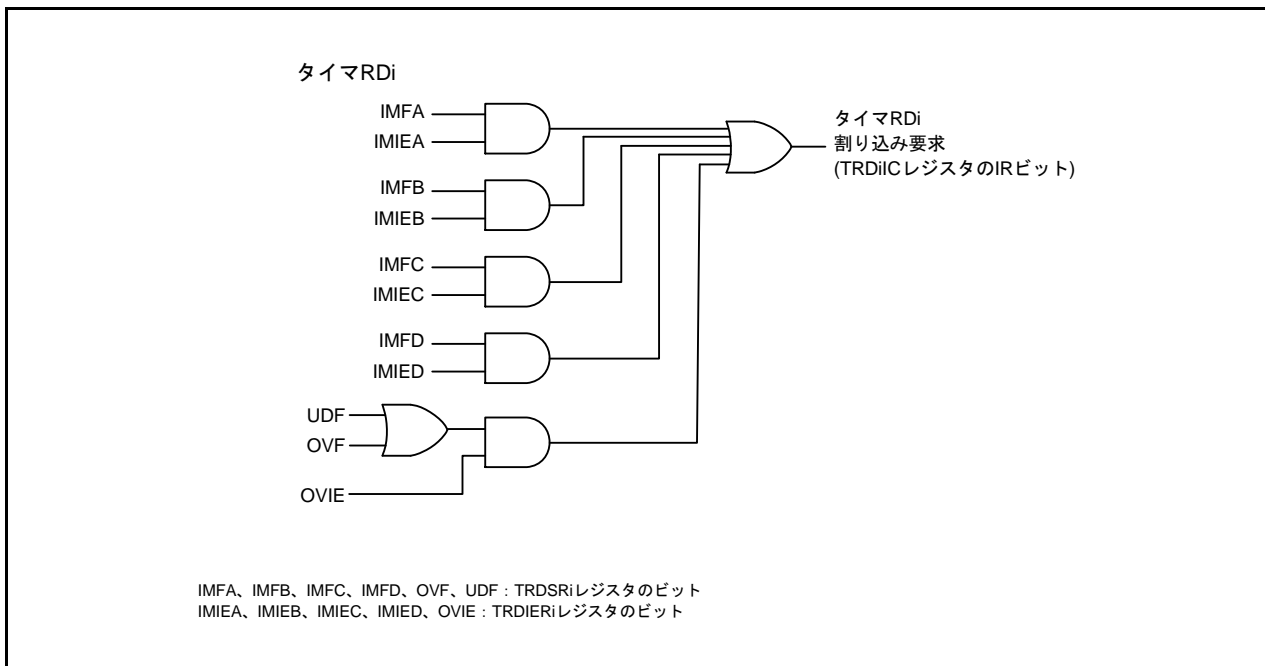
アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIEN00	AIADR0j
アドレス一致割り込み1	AIEN10	AIADR1j

11.8 タイマRC割り込み、タイマRD割り込み、タイマRE2割り込み、タイマRF割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース割り込み、CAN送信割り込み、CAN受信割り込み、CANエラー割り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、タイマRD、タイマRE2、タイマRF、タイマRG、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、CAN送信、CAN受信、CANエラー、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表11.13にタイマRC、タイマRD、タイマRE2、タイマRF、タイマRG、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、CAN送信、CAN受信、CANエラー、フラッシュメモリ割り込み関連レジスタを、図11.12にタイマRD割り込みのブロック図(i=0、1)を示します。

表11.13 タイマRC、タイマRD、タイマRE2、タイマRF、タイマRG、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、CAN送信、CAN受信、CANエラー、フラッシュメモリ割り込み関連レジスタ

周辺機能名		割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC		TRCSR	TRCIER	TRCIC
タイマRD ₀	タイマRD0 ₀	TRDSR0 ₀	TRDIER0 ₀	TRD0IC ₀
	タイマRD1 ₀	TRDSR1 ₀	TRDIER1 ₀	TRD1IC ₀
タイマRE2		TREIFR	TREIER	TRE2IC
タイマRF		TRFSR	TRFIER	TRFIC
タイマRG		TRGSR	TRGIER	TRGIC
シンクロナスシリアルコミュニケーションユニット/I ² Cバスインタフェース		SISR ₀	SIER ₀	SSUIC ₀ /IICIC ₀
		SISR ₁	SIER ₁	SSUIC ₁ /IICIC ₁
CAN ₀	CAN ₀ 送信	CANISR ₀	CANIE ₀	CANRXIC ₀
	CAN ₀ 受信			CANTXIC ₀
	CAN ₀ エラー			CANERIC ₀
フラッシュメモリ		RDYSTI	RDYSTIE	FMRDYIC
		BSYAEI	BSYAEIE	
			CMDERIE	

図 11.12 タイマRD割り込みのブロック図($i = 0, 1$)

タイマRC、タイマRD、タイマRE2、タイマRF、タイマRG、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、CAN送信、CAN受信、CANエラー、フラッシュメモリの割り込みが、FLGレジスタのIフラグ、割り込み制御レジスタのIRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが1で、それに対応する許可レジスタのビットが1(割り込み許可)の場合、割り込み制御レジスタのIRビットが1(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が0になるとIRビットが0(割り込み要求なし)になります。
すなわち、IRビットは、一旦1になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
また、IRビットに0を書いた場合、一時的に(CPUクロックの5サイクル間)0になった後、1にもどります。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に0になりません。
このため、IRビットも割り込みが受け付けられたとき自動的に0になりません。
ステータスレジスタの各ビットは割り込みルーチン内で0にしてください。ステータスレジスタの各ビットを0にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを1にしている場合、IRビットが1になった後、別の要求要因が成立したとき、IRビットは1のまま変化しません。
- 許可レジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。
割り込み要因ビットや許可ビットをソフトウェアでクリアした場合、最大CPUクロック2サイクル後にIRビットがクリアされます。

ステータスレジスタと許可レジスタは各周辺機能の章(「17. タイマRC」、「18. タイマRD」、「19. タイマRE2」、「20. タイマRF」、「21. タイマRG」、「24. クロック同期形シリアルインタフェース」、「26. CANモジュール」、「29. フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「11.4 割り込み制御」を参照してください。

11.9 割り込み使用上の注意事項

11.9.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みに対応する割り込み制御レジスタのIRビットが0になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが0になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

11.9.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは0000hです。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

11.9.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 入力に示すLレベル幅またはHレベル幅が必要です。

11.9.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが1(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを0(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを0(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図11.13に割り込み要因の変更手順例を示します。

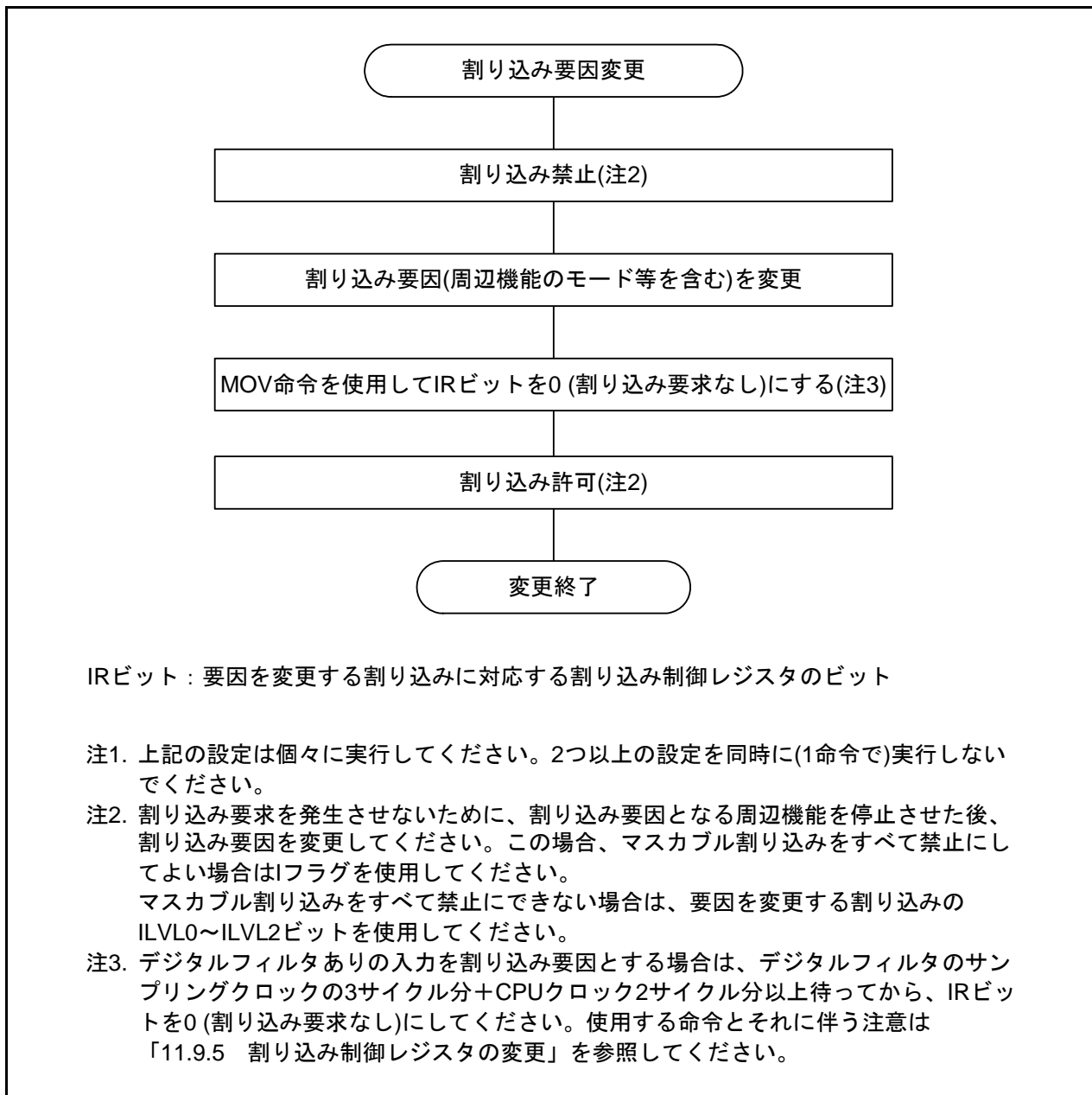


図11.13 割り込み要因の変更手順例

11.9.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

割り込み制御レジスタのIRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが1(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを0(割り込み要求なし)にする場合、使用する命令によってはIRビットが0にならないことがあります。IRビットはMOV命令を使用して0にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが1(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

INT_SWITCH1:

```
FCLR    I                ; 割り込み禁止
MOV.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
NOP
NOP
FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

INT_SWITCH2:

```
FCLR    I                ; 割り込み禁止
MOV.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
MOV.W   MEM, R0         ; ダミーリード
FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

INT_SWITCH3:

```
PUSHC   FLG
FCLR    I                ; 割り込み禁止
MOV.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
POPC    FLG             ; 割り込み許可
```

12. イベントリンクコントローラ(ELC)

イベントリンクコントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

12.1 概要

ELCには次の機能があります。

- 周辺機能から出力する30種類のイベント信号を、指定した周辺機能へ直接リンク可能
- 10種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

図12.1にイベントリンクコントローラのブロック図($n=0\sim 4, 8\sim 28, 45\sim 48$)を示します。

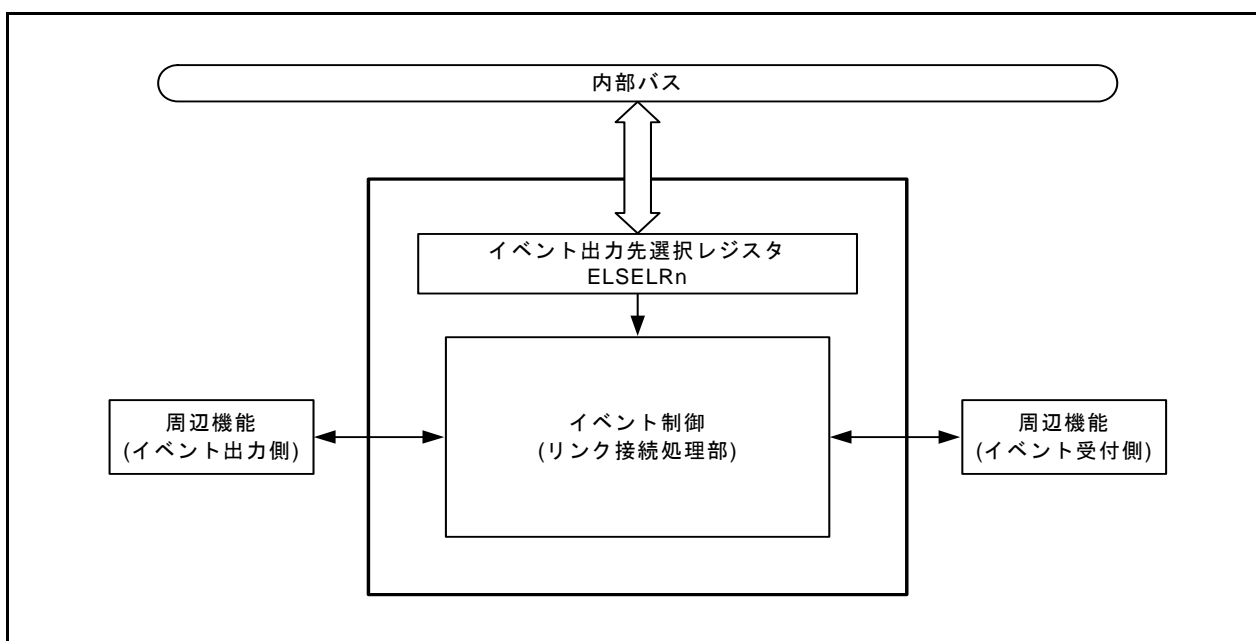


図12.1 イベントリンクコントローラのブロック図 ($n=0\sim 4, 8\sim 28, 45\sim 48$)

12.2 レジスタの説明

表12.1にELCのレジスタ構成を示します。

表12.1 ELCのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
イベント出力先選択レジスタ0	ELSELR0	00h	06A00h	8
イベント出力先選択レジスタ1	ELSELR1	00h	06A01h	8
イベント出力先選択レジスタ2	ELSELR2	00h	06A02h	8
イベント出力先選択レジスタ3	ELSELR3	00h	06A03h	8
イベント出力先選択レジスタ4	ELSELR4	00h	06A04h	8
イベント出力先選択レジスタ8	ELSELR8	00h	06A08h	8
イベント出力先選択レジスタ9	ELSELR9	00h	06A09h	8
イベント出力先選択レジスタ10	ELSELR10	00h	06A0Ah	8
イベント出力先選択レジスタ11	ELSELR11	00h	06A0Bh	8
イベント出力先選択レジスタ12	ELSELR12	00h	06A0Ch	8
イベント出力先選択レジスタ13	ELSELR13	00h	06A0Dh	8
イベント出力先選択レジスタ14	ELSELR14	00h	06A0Eh	8
イベント出力先選択レジスタ15	ELSELR15	00h	06A0Fh	8
イベント出力先選択レジスタ16	ELSELR16	00h	06A10h	8
イベント出力先選択レジスタ17	ELSELR17	00h	06A11h	8
イベント出力先選択レジスタ18	ELSELR18	00h	06A12h	8
イベント出力先選択レジスタ19	ELSELR19	00h	06A13h	8
イベント出力先選択レジスタ20	ELSELR20	00h	06A14h	8
イベント出力先選択レジスタ21	ELSELR21	00h	06A15h	8
イベント出力先選択レジスタ22	ELSELR22	00h	06A16h	8
イベント出力先選択レジスタ23	ELSELR23	00h	06A17h	8
イベント出力先選択レジスタ24	ELSELR24	00h	06A18h	8
イベント出力先選択レジスタ25	ELSELR25	00h	06A19h	8
イベント出力先選択レジスタ26	ELSELR26	00h	06A1Ah	8
イベント出力先選択レジスタ27	ELSELR27	00h	06A1Bh	8
イベント出力先選択レジスタ28	ELSELR28	00h	06A1Ch	8
イベント出力先選択レジスタ45	ELSELR45	00h	06A2Dh	8
イベント出力先選択レジスタ46	ELSELR46	00h	06A2Eh	8
イベント出力先選択レジスタ47	ELSELR47	00h	06A2Fh	8
イベント出力先選択レジスタ48	ELSELR48	00h	06A30h	8

12.2.1 イベント出力先選択レジスタ n (ELSELRn) (n = 0~4、8~28、45~48)

アドレス 06A00h (ELSELR0)~06A04h (ELSELR4)、06A08h (ELSELR8)~06A1Ch (ELSELR28)、
06A2Dh (ELSELR45)~06A30h (ELSELR48)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	ELSEL3	ELSEL2	ELSEL1	ELSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELSEL0	イベントリンク選択0ビット	b3 b2 b1 b0 0 0 0 0 : イベントリンク禁止 0001 ~ 1111 : リンクする周辺機能の動作を選択(注1)	R/W
b1	ELSEL1	イベントリンク選択1ビット		R/W
b2	ELSEL2	イベントリンク選択2ビット		R/W
b3	ELSEL3	イベントリンク選択3ビット		R/W
b4	—	予約ビット	読んだ場合、その値は0。	R
b5	—			
b6	—			
b7	—			

注1. 「表 12.3 ELSELRn レジスタ (n = 0~4、8~28、45~48) に設定する値とリンク先周辺機能の受付時の動作の対応」参照

ELSELRn レジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRn レジスタを設定してください。

表 12.2 に ELSELRn レジスタ (n = 0~4、8~28、45~48) と周辺機能の対応を、表 12.3 に ELSELRn レジスタ (n = 0~4、8~28、45~48) に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

表12.2 ELSELRnレジスタ(n = 0~4、8~28、45~48)と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR0	外部割り込み	INT0入力レベル
ELSELR1	外部割り込み	INT1入力レベル/比較結果変化
ELSELR2	外部割り込み	INT2入力レベル
ELSELR3	外部割り込み	INT3入力レベル/比較結果変化
ELSELR4	外部割り込み	INT4入力レベル
ELSELR8	外部割り込み	キー入力イベント
ELSELR9	タイマRJ_0	タイマRJ_0アンダフロー
ELSELR10	タイマRJ_1	タイマRJ_1アンダフロー
ELSELR11	タイマRE2	タイマRE2コンペア一致
ELSELR12	タイマRB2_0	タイマRB2_0アンダフロー
ELSELR13	タイマRC_0	タイマRC_0コンペア一致A
ELSELR14	タイマRC_0	タイマRC_0コンペア一致B
ELSELR15	タイマRC_0	タイマRC_0コンペア一致C
ELSELR16	タイマRC_0	タイマRC_0コンペア一致D
ELSELR17	タイマRD0_0	タイマRD0_0コンペア一致A
ELSELR18	タイマRD0_0	タイマRD0_0コンペア一致B
ELSELR19	タイマRD0_0	タイマRD0_0コンペア一致C
ELSELR20	タイマRD0_0	タイマRD0_0コンペア一致D
ELSELR21	タイマRD1_0	タイマRD1_0コンペア一致A
ELSELR22	タイマRD1_0	タイマRD1_0コンペア一致B
ELSELR23	タイマRD1_0	タイマRD1_0コンペア一致C
ELSELR24	タイマRD1_0	タイマRD1_0コンペア一致D
ELSELR25	タイマRF	タイマRFコンペア一致0
ELSELR26	タイマRF	タイマRFコンペア一致1
ELSELR27	タイマRG	タイマRGコンペア一致A
ELSELR28	タイマRG	タイマRGコンペア一致B
ELSELR45	タイマRC_1	タイマRC_1コンペア一致A
ELSELR46	タイマRC_1	タイマRC_1コンペア一致B
ELSELR47	タイマRC_1	タイマRC_1コンペア一致C
ELSELR48	タイマRC_1	タイマRC_1コンペア一致D

表 12.3 ELSELRnレジスタ (n = 0~4、8~28、45~48)に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRnレジスタの ELSEL3~ELSEL0ビット	リンク先周辺機能	イベント受付時の動作
0001b	10ビットA/Dコンバータ	A/D変換開始トリガ
0010b	タイマRJ_0	イベントカウント動作
0011b	タイマRJ_1	イベントカウント動作
0100b (注1)	—	—
0101b (注1)	—	—
0110b	タイマRB2_0	プログラマブルワンショット発生モードのカウント開始トリガ、プログラマブルウェイトワンショット発生モードのカウント開始トリガ
0111b (注1)	—	—
1000b	タイマRC_0	インプットキャプチャ、PWM2モードの外部トリガ
1001b	タイマRC_1	インプットキャプチャ、PWM2モードの外部トリガ
1010b	タイマRD0_0	インプットキャプチャ、パルス出力強制遮断
1011b	タイマRD1_0	インプットキャプチャ、パルス出力強制遮断
1100b (注1)	—	—
1101b (注1)	—	—
1110b	タイマRF	インプットキャプチャ
1111b	タイマRG	インプットキャプチャ

注1. 設定しないでください。

12.3 動作説明

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

また、イベントリンク動作はCPUクロックの供給の有無に、影響されずに行うことができます。ただし、周辺機能の動作クロックが供給されて、動作できる状態にしてください。

図12.2に割り込み処理とELCの関係を示します。タイマRCのようにステータスフラグと割り込み許可を制御するレジスタを持つ周辺機能をELCのイベント出力側に設定したときの構成図です。割り込み要求(イベント信号)を、ELCと割り込み制御回路に分けて供給することで、ELCと割り込み制御で独立した動作を可能としています。ELCと割り込み制御が互いに影響を与えることはありません。

ELCに向かうイベント信号は、イベント発生ごとにエッジが発生します。このエッジによりイベント受付側の周辺機能は、イベント受付時の動作をします。したがって、ステータスフラグや割り込み要求ビット(IRビット)のソフトウェアによるクリア処理は不要です。

また、表12.4にイベントを受け付ける周辺機能の応答性を示します。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします(「表12.3 ELSELRnレジスタ(n=0~4、8~28、45~48)に設定する値とリンク先周辺機能の受付時の動作の対応」参照)。

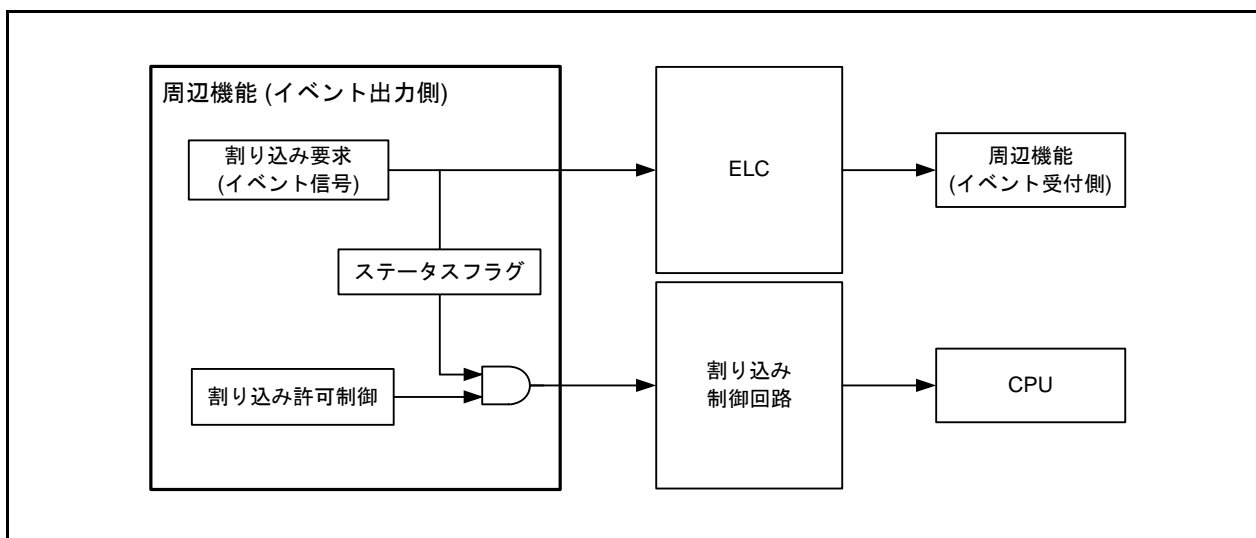


図12.2 割り込み処理とELCの関係

表12.4 イベントを受け付ける周辺機能の応答性

イベント受取先No. (イベントトリガNo.)	リンク先 モジュール	イベント受付後の動作	イベント受付後動作のリアルタイム性
1	A/Dコンバータ	A/D変換開始トリガ	ELCのイベント発生からA/Dコンバータの動作クロック(注1)2、3サイクル後に変換開始トリガが発生します。
2	タイマRJ_0	イベントカウント動作	ELCからのイベントが直接カウントクロックになります。(内部クロック等によるサンプリングのタイムラグなし)
3	タイマRJ_1		
6	タイマRB2_0	ワンショット発生モードのカウント開始トリガ/ディレイドワンショット発生モードのカウント開始トリガ	ELCのイベント発生からタイマRB2のカウントクロック2、3サイクル後に変換開始トリガが発生します。
8	タイマRC_0	インプットキャプチャ/ PWM2モードの外部トリガ	インプットキャプチャ、PWM2モード： ELCのイベント発生からタイマRCの動作クロック(注1)2、3サイクル後にカウント開始トリガが発生します。
9	タイマRC_1		
a	タイマRD0_0	インプットキャプチャ/ パルス出力強制遮断	インプットキャプチャ： ELCのイベント発生からタイマRDの動作クロック(注1)2、3サイクル後にカウント開始トリガが発生します。 パルス出力強制遮断： ELCのイベント発生からタイマRDの動作クロック(注1)2、3サイクル後に強制遮断状態になります。
b	タイマRD1_0		
e	タイマRF	インプットキャプチャ	ELCのイベント発生からタイマRFの動作クロック(注1)2、3サイクル後にカウント開始トリガが発生します。
f	タイマRG	インプットキャプチャ	ELCのイベント発生からタイマRGの動作クロック(注1)2、3サイクル後にカウント開始トリガが発生します。

注1. 動作クロックについては、各周辺機能の章を参照ください。

13. DTC

DTC (データトランスファコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ (転送元アドレス、転送先アドレス、動作モードなど)をDTCコントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

13.1 概要

表13.1にDTCの仕様を示します。

表13.1 DTCの仕様

項目		仕様
起動要因		42要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間		64 Kバイト空間(00000h~0FFFFh)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード	256バイト
	リピートモード	255バイト
転送単位		バイト、ワード
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定または加算
	リピートモード	リピートエリアでないアドレスを固定または加算
起動要因優先度		「表13.8 DTC起動要因とDTCベクタアドレス」参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0~DTCENi7ビットを1(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	<ul style="list-style-type: none"> • DTCENi0~DTCENi7ビットを0(起動禁止)にする • DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	<ul style="list-style-type: none"> • DTCENi0~DTCENi7ビットを0(起動禁止)にする • RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

i = 0~6、j = 0~23

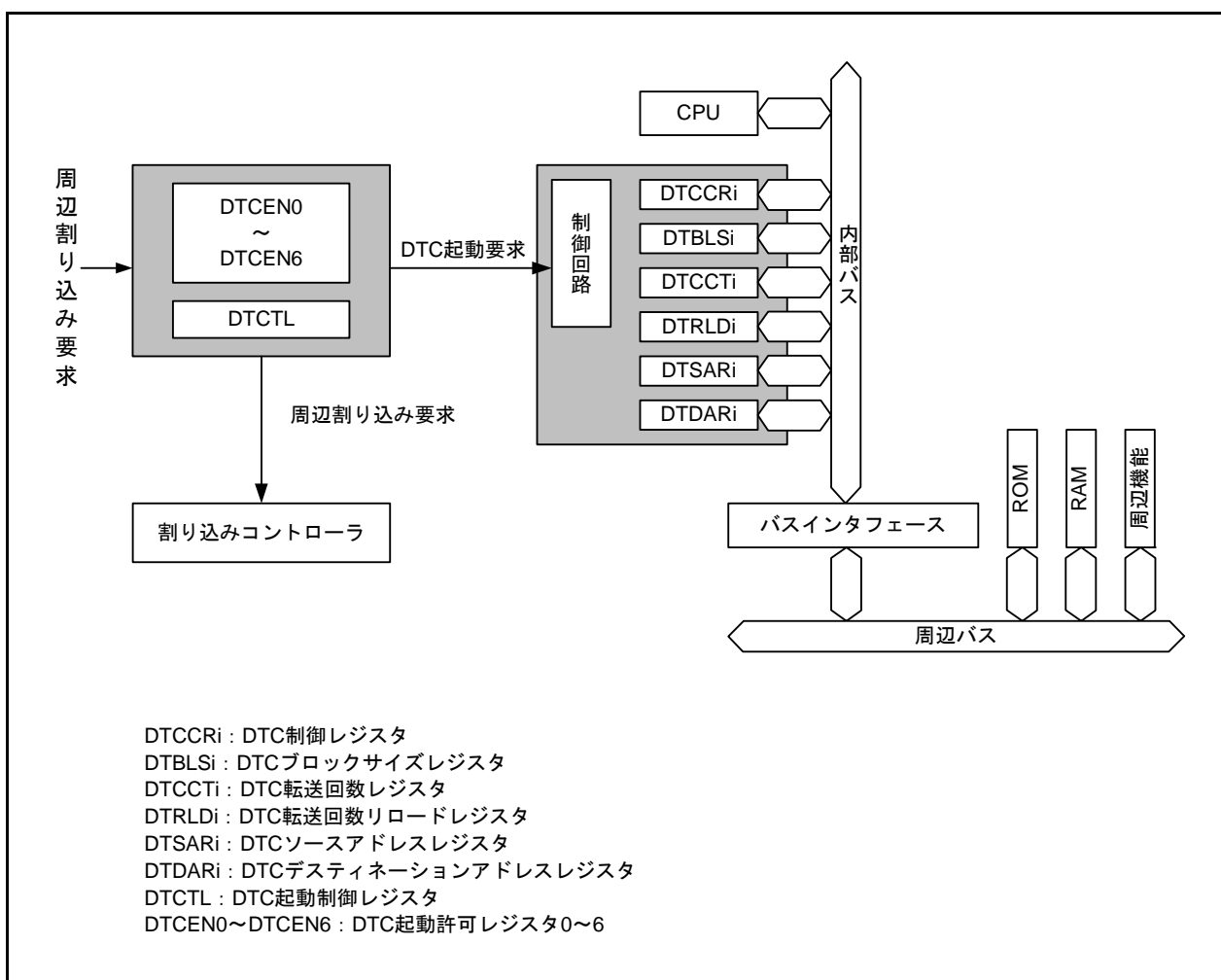


図13.1 DTCのブロック図(i = 0~23)

13.2 レジスタの説明

DTCは起動するとRAM上のコントロールデータ領域に配置したコントロールデータ(DTCCR_j、DTBLS_j、DTCCT_j、DTRLD_j、DTSAR_j、DTDAR_j) (j = 0~23)を読み出し、DTC内の制御レジスタ(DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDAR)へ転送します。DTCのデータ転送終了後、DTC内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDARの各レジスタは直接アクセスできません。

DTCCR_j、DTBLS_j、DTCCT_j、DTRLD_j、DTSAR_j、DTDAR_jはシステムバスより直接アクセスできます。

また、DTCTL、DTCEN_iレジスタ(i = 0~6)は周辺バスを経由してアクセスできます。

表13.2~表13.5にDTCのレジスタ構成を示します。

表13.2 DTCのレジスタ構成(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC起動制御レジスタ	DTCTL	00h	00280h	8
DTC起動許可レジスタ0	DTCEN0	00h	00288h	8
DTC起動許可レジスタ1	DTCEN1	00h	00289h	8
DTC起動許可レジスタ2	DTCEN2	00h	0028Ah	8
DTC起動許可レジスタ3	DTCEN3	00h	0028Bh	8
DTC起動許可レジスタ4	DTCEN4	00h	0028Ch	8
DTC起動許可レジスタ5	DTCEN5	00h	0028Dh	8
DTC起動許可レジスタ6	DTCEN6	00h	0028Eh	8
DTC制御レジスタ0	DTCCR0	XXh	06C40h	8
DTCブロックサイズレジスタ0	DTBLS0	XXh	06C41h	8
DTC転送回数レジスタ0	DTCCT0	XXh	06C42h	8
DTC転送回数リロードレジスタ0	DTRLD0	XXh	06C43h	8
DTCソースアドレスレジスタ0	DTSAR0	XXXXh	06C44h	16
DTCデスティネーションアドレスレジスタ0	DTDAR0	XXXXh	06C46h	16
DTC制御レジスタ1	DTCCR1	XXh	06C48h	8
DTCブロックサイズレジスタ1	DTBLS1	XXh	06C49h	8
DTC転送回数レジスタ1	DTCCT1	XXh	06C4Ah	8
DTC転送回数リロードレジスタ1	DTRLD1	XXh	06C4Bh	8
DTCソースアドレスレジスタ1	DTSAR1	XXXXh	06C4Ch	16
DTCデスティネーションアドレスレジスタ1	DTDAR1	XXXXh	06C4Eh	16
DTC制御レジスタ2	DTCCR2	XXh	06C50h	8
DTCブロックサイズレジスタ2	DTBLS2	XXh	06C51h	8
DTC転送回数レジスタ2	DTCCT2	XXh	06C52h	8
DTC転送回数リロードレジスタ2	DTRLD2	XXh	06C53h	8
DTCソースアドレスレジスタ2	DTSAR2	XXXXh	06C54h	16
DTCデスティネーションアドレスレジスタ2	DTDAR2	XXXXh	06C56h	16
DTC制御レジスタ3	DTCCR3	XXh	06C58h	8
DTCブロックサイズレジスタ3	DTBLS3	XXh	06C59h	8
DTC転送回数レジスタ3	DTCCT3	XXh	06C5Ah	8
DTC転送回数リロードレジスタ3	DTRLD3	XXh	06C5Bh	8
DTCソースアドレスレジスタ3	DTSAR3	XXXXh	06C5Ch	16
DTCデスティネーションアドレスレジスタ3	DTDAR3	XXXXh	06C5Eh	16
DTC制御レジスタ4	DTCCR4	XXh	06C60h	8
DTCブロックサイズレジスタ4	DTBLS4	XXh	06C61h	8
DTC転送回数レジスタ4	DTCCT4	XXh	06C62h	8
DTC転送回数リロードレジスタ4	DTRLD4	XXh	06C63h	8

表 13.3 DTCのレジスタ構成(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC ソースアドレスレジスタ 4	DTSAR4	XXXXh	06C64h	16
DTC デスティネーションアドレスレジスタ 4	DTDAR4	XXXXh	06C66h	16
DTC 制御レジスタ 5	DTCCR5	XXh	06C68h	8
DTC ブロックサイズレジスタ 5	DTBLS5	XXh	06C69h	8
DTC 転送回数レジスタ 5	DTCCT5	XXh	06C6Ah	8
DTC 転送回数リロードレジスタ 5	DTRL5	XXh	06C6Bh	8
DTC ソースアドレスレジスタ 5	DTSAR5	XXXXh	06C6Ch	16
DTC デスティネーションアドレスレジスタ 5	DTDAR5	XXXXh	06C6Eh	16
DTC 制御レジスタ 6	DTCCR6	XXh	06C70h	8
DTC ブロックサイズレジスタ 6	DTBLS6	XXh	06C71h	8
DTC 転送回数レジスタ 6	DTCCT6	XXh	06C72h	8
DTC 転送回数リロードレジスタ 6	DTRL6	XXh	06C73h	8
DTC ソースアドレスレジスタ 6	DTSAR6	XXXXh	06C74h	16
DTC デスティネーションアドレスレジスタ 6	DTDAR6	XXXXh	06C76h	16
DTC 制御レジスタ 7	DTCCR7	XXh	06C78h	8
DTC ブロックサイズレジスタ 7	DTBLS7	XXh	06C79h	8
DTC 転送回数レジスタ 7	DTCCT7	XXh	06C7Ah	8
DTC 転送回数リロードレジスタ 7	DTRL7	XXh	06C7Bh	8
DTC ソースアドレスレジスタ 7	DTSAR7	XXXXh	06C7Ch	16
DTC デスティネーションアドレスレジスタ 7	DTDAR7	XXXXh	06C7Eh	16
DTC 制御レジスタ 8	DTCCR8	XXh	06C80h	8
DTC ブロックサイズレジスタ 8	DTBLS8	XXh	06C81h	8
DTC 転送回数レジスタ 8	DTCCT8	XXh	06C82h	8
DTC 転送回数リロードレジスタ 8	DTRL8	XXh	06C83h	8
DTC ソースアドレスレジスタ 8	DTSAR8	XXXXh	06C84h	16
DTC デスティネーションアドレスレジスタ 8	DTDAR8	XXXXh	06C86h	16
DTC 制御レジスタ 9	DTCCR9	XXh	06C88h	8
DTC ブロックサイズレジスタ 9	DTBLS9	XXh	06C89h	8
DTC 転送回数レジスタ 9	DTCCT9	XXh	06C8Ah	8
DTC 転送回数リロードレジスタ 9	DTRL9	XXh	06C8Bh	8
DTC ソースアドレスレジスタ 9	DTSAR9	XXXXh	06C8Ch	16
DTC デスティネーションアドレスレジスタ 9	DTDAR9	XXXXh	06C8Eh	16
DTC 制御レジスタ 10	DTCCR10	XXh	06C90h	8
DTC ブロックサイズレジスタ 10	DTBLS10	XXh	06C91h	8
DTC 転送回数レジスタ 10	DTCCT10	XXh	06C92h	8
DTC 転送回数リロードレジスタ 10	DTRL10	XXh	06C93h	8
DTC ソースアドレスレジスタ 10	DTSAR10	XXXXh	06C94h	16
DTC デスティネーションアドレスレジスタ 10	DTDAR10	XXXXh	06C96h	16
DTC 制御レジスタ 11	DTCCR11	XXh	06C98h	8
DTC ブロックサイズレジスタ 11	DTBLS11	XXh	06C99h	8
DTC 転送回数レジスタ 11	DTCCT11	XXh	06C9Ah	8
DTC 転送回数リロードレジスタ 11	DTRL11	XXh	06C9Bh	8
DTC ソースアドレスレジスタ 11	DTSAR11	XXXXh	06C9Ch	16
DTC デスティネーションアドレスレジスタ 11	DTDAR11	XXXXh	06C9Eh	16
DTC 制御レジスタ 12	DTCCR12	XXh	06CA0h	8
DTC ブロックサイズレジスタ 12	DTBLS12	XXh	06CA1h	8
DTC 転送回数レジスタ 12	DTCCT12	XXh	06CA2h	8

表 13.4 DTCのレジスタ構成(3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC 転送回数リロードレジスタ 12	DTRL12	XXh	06CA3h	8
DTC ソースアドレスレジスタ 12	DTSAR12	XXXXh	06CA4h	16
DTC デスティネーションアドレスレジスタ 12	DTDAR12	XXXXh	06CA6h	16
DTC 制御レジスタ 13	DTCCR13	XXh	06CA8h	8
DTC ブロックサイズレジスタ 13	DTBLS13	XXh	06CA9h	8
DTC 転送回数レジスタ 13	DTCCT13	XXh	06CAAh	8
DTC 転送回数リロードレジスタ 13	DTRL13	XXh	06CABh	8
DTC ソースアドレスレジスタ 13	DTSAR13	XXXXh	06CACh	16
DTC デスティネーションアドレスレジスタ 13	DTDAR13	XXXXh	06CAEh	16
DTC 制御レジスタ 14	DTCCR14	XXh	06CB0h	8
DTC ブロックサイズレジスタ 14	DTBLS14	XXh	06CB1h	8
DTC 転送回数レジスタ 14	DTCCT14	XXh	06CB2h	8
DTC 転送回数リロードレジスタ 14	DTRL14	XXh	06CB3h	8
DTC ソースアドレスレジスタ 14	DTSAR14	XXXXh	06CB4h	16
DTC デスティネーションアドレスレジスタ 14	DTDAR14	XXXXh	06CB6h	16
DTC 制御レジスタ 15	DTCCR15	XXh	06CB8h	8
DTC ブロックサイズレジスタ 15	DTBLS15	XXh	06CB9h	8
DTC 転送回数レジスタ 15	DTCCT15	XXh	06CBAh	8
DTC 転送回数リロードレジスタ 15	DTRL15	XXh	06CBBh	8
DTC ソースアドレスレジスタ 15	DTSAR15	XXXXh	06CBCCh	16
DTC デスティネーションアドレスレジスタ 15	DTDAR15	XXXXh	06CBEh	16
DTC 制御レジスタ 16	DTCCR16	XXh	06CC0h	8
DTC ブロックサイズレジスタ 16	DTBLS16	XXh	06CC1h	8
DTC 転送回数レジスタ 16	DTCCT16	XXh	06CC2h	8
DTC 転送回数リロードレジスタ 16	DTRL16	XXh	06CC3h	8
DTC ソースアドレスレジスタ 16	DTSAR16	XXXXh	06CC4h	16
DTC デスティネーションアドレスレジスタ 16	DTDAR16	XXXXh	06CC6h	16
DTC 制御レジスタ 17	DTCCR17	XXh	06CC8h	8
DTC ブロックサイズレジスタ 17	DTBLS17	XXh	06CC9h	8
DTC 転送回数レジスタ 17	DTCCT17	XXh	06CCAh	8
DTC 転送回数リロードレジスタ 17	DTRL17	XXh	06CCBh	8
DTC ソースアドレスレジスタ 17	DTCCT18	XXXXh	06CCCh	16
DTC デスティネーションアドレスレジスタ 17	DTDAR17	XXXXh	06CCeh	16
DTC 制御レジスタ 18	DTCCR18	XXh	06CD0h	8
DTC ブロックサイズレジスタ 18	DTBLS18	XXh	06CD1h	8
DTC 転送回数レジスタ 18	DTCCT18	XXh	06CD2h	8
DTC 転送回数リロードレジスタ 18	DTRL18	XXh	06CD3h	8
DTC ソースアドレスレジスタ 18	DTSAR18	XXXXh	06CD4h	16
DTC デスティネーションアドレスレジスタ 18	DTDAR18	XXXXh	06CD6h	16
DTC 制御レジスタ 19	DTCCR19	XXh	06CD8h	8
DTC ブロックサイズレジスタ 19	DTBLS19	XXh	06CD9h	8
DTC 転送回数レジスタ 19	DTCCT19	XXh	06CDAh	8
DTC 転送回数リロードレジスタ 19	DTRL19	XXh	06CDBh	8
DTC ソースアドレスレジスタ 19	DTSAR19	XXXXh	06CDCh	16
DTC デスティネーションアドレスレジスタ 19	DTDAR19	XXXXh	06CDEh	16
DTC 制御レジスタ 20	DTCCR20	XXh	06CE0h	8
DTC ブロックサイズレジスタ 20	DTBLS20	XXh	06CE1h	8

表 13.5 DTCのレジスタ構成(4)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC 転送回数レジスタ 20	DTCCT20	XXh	06CE2h	8
DTC 転送回数リロードレジスタ 20	DTRL20	XXh	06CE3h	8
DTC ソースアドレスレジスタ 20	DTSAR20	XXXXh	06CE4h	16
DTC デスティネーションアドレスレジスタ 20	DTDAR20	XXXXh	06CE6h	16
DTC 制御レジスタ 21	DTCCR21	XXh	06CE8h	8
DTC ブロックサイズレジスタ 21	DTBLS21	XXh	06CE9h	8
DTC 転送回数レジスタ 21	DTCCT21	XXh	06CEAh	8
DTC 転送回数リロードレジスタ 21	DTRL21	XXh	06CEBh	8
DTC ソースアドレスレジスタ 21	DTSAR21	XXXXh	06CECh	16
DTC デスティネーションアドレスレジスタ 21	DTDAR21	XXXXh	06CEEh	16
DTC 制御レジスタ 22	DTCCR22	XXh	06CF0h	8
DTC ブロックサイズレジスタ 22	DTBLS22	XXh	06CF1h	8
DTC 転送回数レジスタ 22	DTCCT22	XXh	06CF2h	8
DTC 転送回数リロードレジスタ 22	DTRL22	XXh	06CF3h	8
DTC ソースアドレスレジスタ 22	DTSAR22	XXXXh	06CF4h	16
DTC デスティネーションアドレスレジスタ 22	DTDAR22	XXXXh	06CF6h	16
DTC 制御レジスタ 23	DTCCR23	XXh	06CF8h	8
DTC ブロックサイズレジスタ 23	DTBLS23	XXh	06CF9h	8
DTC 転送回数レジスタ 23	DTCCT23	XXh	06CFAh	8
DTC 転送回数リロードレジスタ 23	DTRL23	XXh	06CFBh	8
DTC ソースアドレスレジスタ 23	DTSAR23	XXXXh	06CFCh	16
DTC デスティネーションアドレスレジスタ 23	DTDAR23	XXXXh	06CFEh	16

13.2.1 DTC 起動制御レジスタ (DTCTL)

アドレス 00280h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	NMIF	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	NMIF	ノンマスクابل割り込み発生ビット (注1)	0 : ノンマスクابل割り込みなし 1 : ノンマスクابل割り込み発生	R/W
b2	—	何も配置されていない。読んだ場合、その値は0。		R
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. 読んだ結果が1の場合、同じビットに0を書くと0になります。読んだ結果が0の場合、同じビットに0を書いても変化しません。1を書いた場合は変化しません。

NMIF ビット (ノンマスクابل割り込み発生ビット)

NMIF ビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込みのいずれかが発生すると1になります。

NMIF ビットが1の場合、DTC 起動を許可している割り込みが発生してもDTCは起動しません。DTC 転送中にNMIF ビットが1になっても、その転送を終了するまで行います。

13.2.2 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0 ~ 6)

アドレス 00288h (DTCEN0)、00289h (DTCEN1)、0028Ah (DTCEN2)、0028Bh (DTCEN3)、
0028Ch (DTCEN4)、0028Dh (DTCEN5)、0028Eh (DTCEN6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCENi0	DTC起動許可ビット	0 : 起動禁止 1 : 起動許可	R/W
b1	DTCENi1			R/W
b2	DTCENi2			R/W
b3	DTCENi3			R/W
b4	DTCENi4			R/W
b5	DTCENi5			R/W
b6	DTCENi6			R/W
b7	DTCENi7			R/W

DTCEN*i*レジスタは、各割り込み要因によるDTC起動の許可または禁止を制御します。表13.6に割り込み要因とDTCENi0~DTCENi7ビット(*i* = 0~6)の対応を示します。

表13.6 割り込み要因とDTCENi0~DTCENi7ビット(*i* = 0~6)の対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	INT0	INT1	INT2	INT3	INT4	—	—	—
DTCEN1	キー入力	A/D変換	UART0_0 受信	UART0_0 送信	UART0_1 受信	UART0_1 送信	UART2 受信	UART2 送信
DTCEN2	SSU_0/I2C_0 受信データ フル	SSU_0/I2C_0 送信データ エンpty	電圧監視2	電圧監視1	—	—	タイマRC_0 インプット キャプチャ/ コンペアー一致A	タイマRC_0 インプット キャプチャ/ コンペアー一致B
DTCEN3	タイマRC_0 インプット キャプチャ/ コンペアー一致C	タイマRC_0 インプット キャプチャ/ コンペアー一致D	タイマRD0_0 インプット キャプチャ/ コンペアー一致A	タイマRD0_0 インプット キャプチャ/ コンペアー一致B	タイマRD0_0 インプット キャプチャ/ コンペアー一致C	タイマRD0_0 インプット キャプチャ/ コンペアー一致D	タイマRD1_0 インプット キャプチャ/ コンペアー一致A	タイマRD1_0 インプット キャプチャ/ コンペアー一致B
DTCEN4	タイマRD1_0 インプット キャプチャ/ コンペアー一致C	タイマRD1_0 インプット キャプチャ/ コンペアー一致D	—	—	—	—	SSU_1/I2C_1 受信データ フル	SSU_1/I2C_1 送信データ エンpty
DTCEN5	—	—	タイマRE2	タイマRF	タイマRF コンペアー一致0	タイマRF コンペアー一致1	タイマRF インプット キャプチャ	タイマRG インプット キャプチャ/ コンペアー一致A
DTCEN6	タイマRG インプット キャプチャ/ コンペアー一致B	タイマRJ_0	タイマRJ_1	タイマRB2	フラッシュ レディ ステータス	—	—	—

13.2.3 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	MODE	転送モード選択ビット	0: ノーマルモード 1: リピートモード	R/W
b1	RPTSEL	リピートエリア選択ビット(注1)	0: 転送先がリピートエリア 1: 転送元がリピートエリア	R/W
b2	SAMOD	ソースアドレス制御ビット(注2)	0: 固定	R/W
b3	DAMOD	デスティネーションアドレス制御ビット(注2)	1: 加算	R/W
b4	CHNE	チェイン転送許可ビット(注3)	0: チェイン転送禁止 1: チェイン転送許可	R/W
b5	RPTINT	リピートモード割り込み許可ビット(注1)	0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	—	予約ビット	0にしてください。読んだ場合、その値は不定。	R/W
b7	—			

注1. MODEビットが1(リピートモード)のときに有効です。

注2. リピートエリアに対するSAMODビットとDAMODビットの設定は無効です。

注3. DTCCR23レジスタのCHNEビットは0(チェイン転送禁止)にしてください。

13.2.4 DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7~b0	1回の起動で転送するデータブロックサイズを設定する	00h~FFh(注1)	R/W

注1. 00hのときブロックサイズは256バイトになります。

リピートモード時に指定可能な値は01h~FFh(1~255バイト)です。

13.2.5 DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7~b0	DTCのデータ転送回数を設定する	00h~FFh(注1)	R/W

注1. 00hのとき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

リピートモード時に指定可能な値は01h~FFh(1~255回)です。

13.2.6 DTC転送回数リロードレジスタj (DTRLDj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7~b0	リピートモード動作でこのレジスタの値をDTCCTレジスタへリロードする	00h~FFh (注1)	R/W

注1. DTCCTレジスタの初期値を設定してください。

リピートモード時に指定可能な値は01h~FFh (1~255回)です。

13.2.7 DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15~b0	データ転送時の転送元アドレスを指定する	0000h~FFFFh	R/W

13.2.8 DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15~b0	データ転送時の転送先アドレスを指定する	0000h~FFFFh	R/W

13.3 動作説明

13.3.1 概要

DTCが起動すると、DTCコントロールデータ領域からコントロールデータ(注1)を読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロールデータ領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCRj (j=0~23)レジスタのCHNEビットが1(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先アドレスは16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

注1. コントロールデータの詳細は、「13.2.3 DTC制御レジスタj (DTCCRj) (j=0~23)」~「13.2.8 DTCデスティネーションアドレスレジスタj (DTDARj) (j=0~23)」および「表13.7 コントロールデータの配置アドレス」を参照してください。

13.3.2 起動要因

DTCは割り込み要因により起動します。図13.2にDTC起動要因の制御ブロック図(i=0~6)を示します。

DTCを起動する割り込み要因は、DTCENi (i=0~6)レジスタで選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ノーマルモードでDTCCTj (j=0~23)レジスタが0になる転送
- リピートモードでDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが0になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0~DTCENi7ビットを0(起動禁止)にします。

データ転送の設定がどちらでもなく、DTCは動作中に起動要因となった割り込み要因フラグを0にします。

複数の起動要因が同時に発生した場合には、DTC起動要因の優先順位に従ってDTCを起動します。

DTCの動作が終了した時点で複数のDTC起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC起動は割り込み要求動作と異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDTC起動要求を受け付けることができます。DTC起動許可にした割り込み要因が発生しても割り込み制御レジスタのIRビットは変化しません。

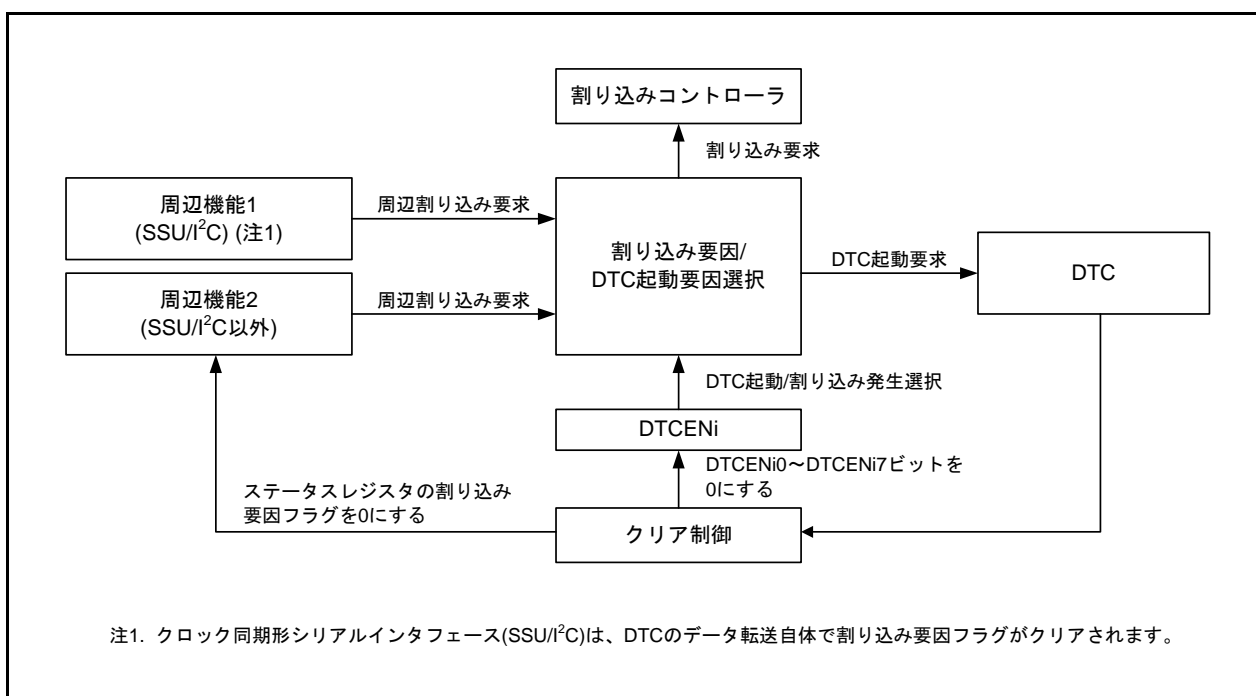


図 13.2 DTC 起動要因の制御ブロック図 (i = 0 ~ 6)

13.3.3 コントロールデータの配置とDTCベクタテーブル

コントロールデータは先頭アドレスから、DTCCRj、DTBLSj、DTCCTj、DTRLdj、DTSARj、DTDARjレジスタ(j=0~23)の順に配置します。表13.7にコントロールデータの配置アドレスを示します。

表13.7 コントロールデータの配置アドレス

コントロールデータ番号	アドレス	DTCCRj レジスタ	DTBLSj レジスタ	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ (下位 8ビット)	DTSARj レジスタ (上位 8ビット)	DTDARj レジスタ (下位 8ビット)	DTDARj レジスタ (上位 8ビット)
コントロールデータ0	06C40h~06C47h	06C40h	06C41h	06C42h	06C43h	06C44h	06C45h	06C46h	06C47h
コントロールデータ1	06C48h~06C4Fh	06C48h	06C49h	06C4Ah	06C4Bh	06C4Ch	06C4Dh	06C4Eh	06C4Fh
コントロールデータ2	06C50h~06C57h	06C50h	06C51h	06C52h	06C53h	06C54h	06C55h	06C56h	06C57h
コントロールデータ3	06C58h~06C5Fh	06C58h	06C59h	06C5Ah	06C5Bh	06C5Ch	06C5Dh	06C5Eh	06C5Fh
コントロールデータ4	06C60h~06C67h	06C60h	06C61h	06C62h	06C63h	06C64h	06C65h	06C66h	06C67h
コントロールデータ5	06C68h~06C6Fh	06C68h	06C69h	06C6Ah	06C6Bh	06C6Ch	06C6Dh	06C6Eh	06C6Fh
コントロールデータ6	06C70h~06C77h	06C70h	06C71h	06C72h	06C73h	06C74h	06C75h	06C76h	06C77h
コントロールデータ7	06C78h~06C7Fh	06C78h	06C79h	06C7Ah	06C7Bh	06C7Ch	06C7Dh	06C7Eh	06C7Fh
コントロールデータ8	06C80h~06C87h	06C80h	06C81h	06C82h	06C83h	06C84h	06C85h	06C86h	06C87h
コントロールデータ9	06C88h~06C8Fh	06C88h	06C89h	06C8Ah	06C8Bh	06C8Ch	06C8Dh	06C8Eh	06C8Fh
コントロールデータ10	06C90h~06C97h	06C90h	06C91h	06C92h	06C93h	06C94h	06C95h	06C96h	06C97h
コントロールデータ11	06C98h~06C9Fh	06C98h	06C99h	06C9Ah	06C9Bh	06C9Ch	06C9Dh	06C9Eh	06C9Fh
コントロールデータ12	06CA0h~06CA7h	06CA0h	06CA1h	06CA2h	06CA3h	06CA4h	06CA5h	06CA6h	06CA7h
コントロールデータ13	06CA8h~06CAFh	06CA8h	06CA9h	06CAAh	06CABh	06CACH	06CADh	06CAEh	06CAFh
コントロールデータ14	06CB0h~06CB7h	06CB0h	06CB1h	06CB2h	06CB3h	06CB4h	06CB5h	06CB6h	06CB7h
コントロールデータ15	06CB8h~06CBFh	06CB8h	06CB9h	06CBAh	06CBBh	06CBCh	06CBDh	06CBEh	06CBFh
コントロールデータ16	06CC0h~06CC7h	06CC0h	06CC1h	06CC2h	06CC3h	06CC4h	06CC5h	06CC6h	06CC7h
コントロールデータ17	06CC8h~06CCFh	06CC8h	06CC9h	06CCAh	06CCBh	06CCCh	06CCDh	06CCEh	06CCFh
コントロールデータ18	06CD0h~06CD7h	06CD0h	06CD1h	06CD2h	06CD3h	06CD4h	06CD5h	06CD6h	06CD7h
コントロールデータ19	06CD8h~06CDFh	06CD8h	06CD9h	06CDAh	06CDBh	06CDCh	06CDDh	06CDEh	06CDFh
コントロールデータ20	06CE0h~06CE7h	06CE0h	06CE1h	06CE2h	06CE3h	06CE4h	06CE5h	06CE6h	06CE7h
コントロールデータ21	06CE8h~06CEFh	06CE8h	06CE9h	06CEAh	06CEBh	06CECh	06CEDh	06CEEh	06CEFh
コントロールデータ22	06CF0h~06CF7h	06CF0h	06CF1h	06CF2h	06CF3h	06CF4h	06CF5h	06CF6h	06CF7h
コントロールデータ23	06CF8h~06CFFh	06CF8h	06CF9h	06CFAh	06CFBh	06CFCh	06CFDh	06CFEh	06CFFh

j = 0 ~ 23

DTCが起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表13.8にDTC起動要因とDTCベクタアドレスを示します。起動要因ごとにDTCベクタテーブルが1バイトあり、00000000b～00010111bのデータ(表13.7のコントロールデータ番号)を格納し、24組のコントロールデータから1つを選択します。

図13.3～図13.7にDTC内部動作のフローチャートを示します。

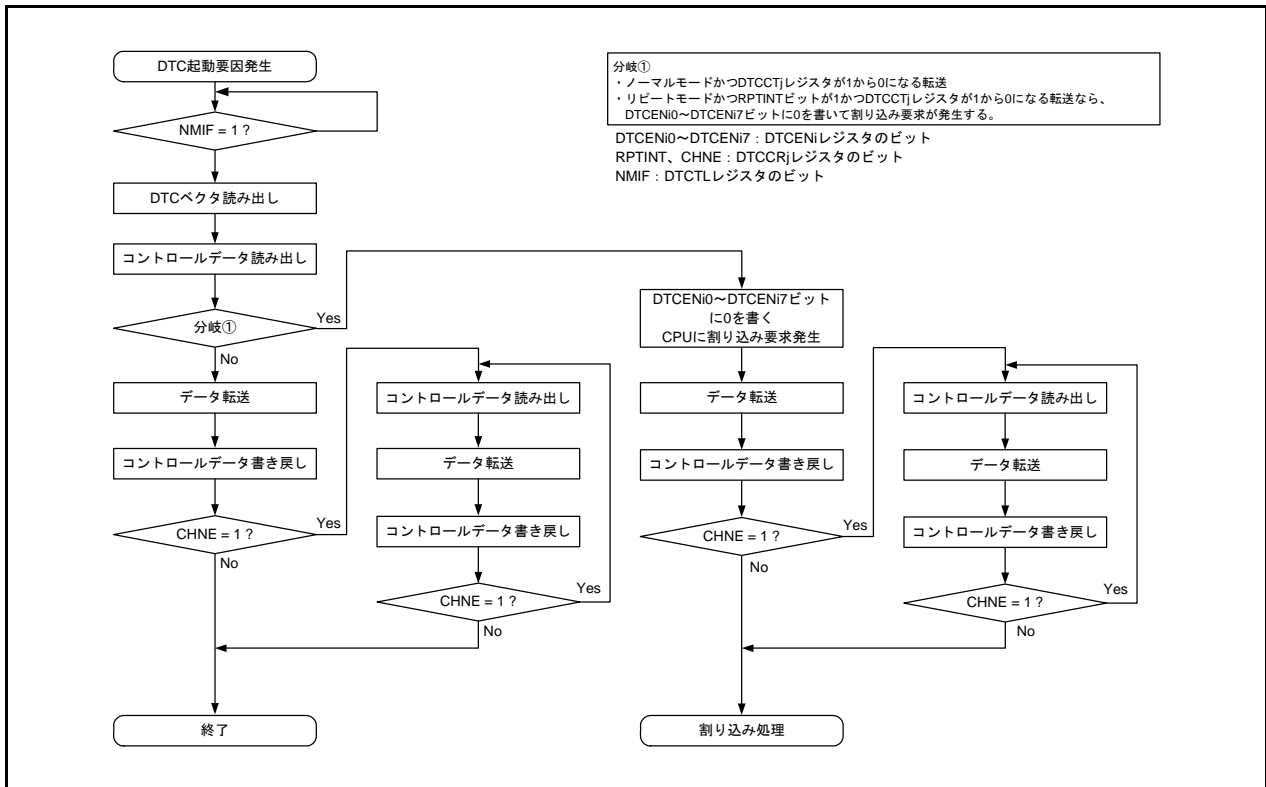


図 13.3 DTC 起動要因がタイマRC、タイマRD、タイマRE2、タイマRF、タイマRG、SSU/I²Cバス、フラッシュメモリの割り込み要因でないときのDTC内部動作フローチャート (i = 0 ~ 6) (j = 0 ~ 23)

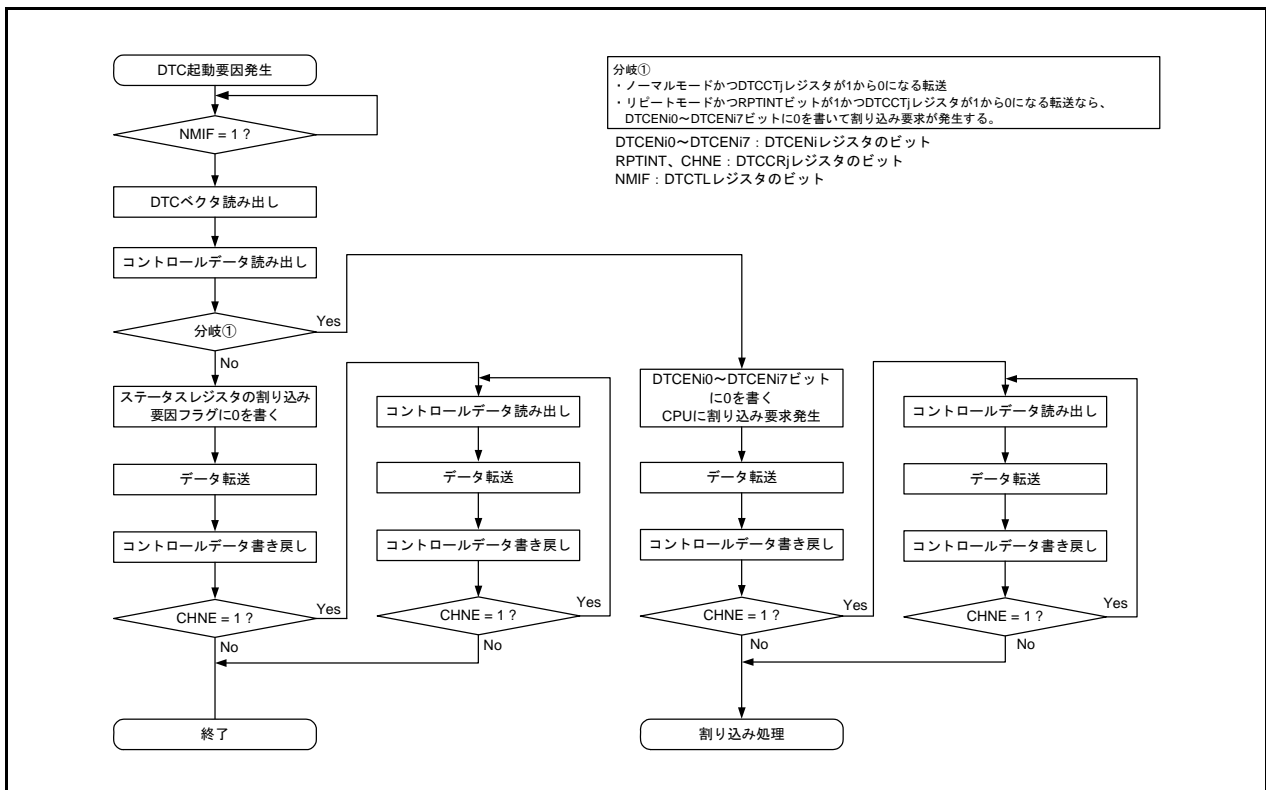


図 13.4 DTC 起動要因がタイマRC、タイマRD、タイマRE2、タイマRF、タイマRGの割り込み要因であるときのDTC内部動作フローチャート (i = 0 ~ 6) (j = 0 ~ 23)

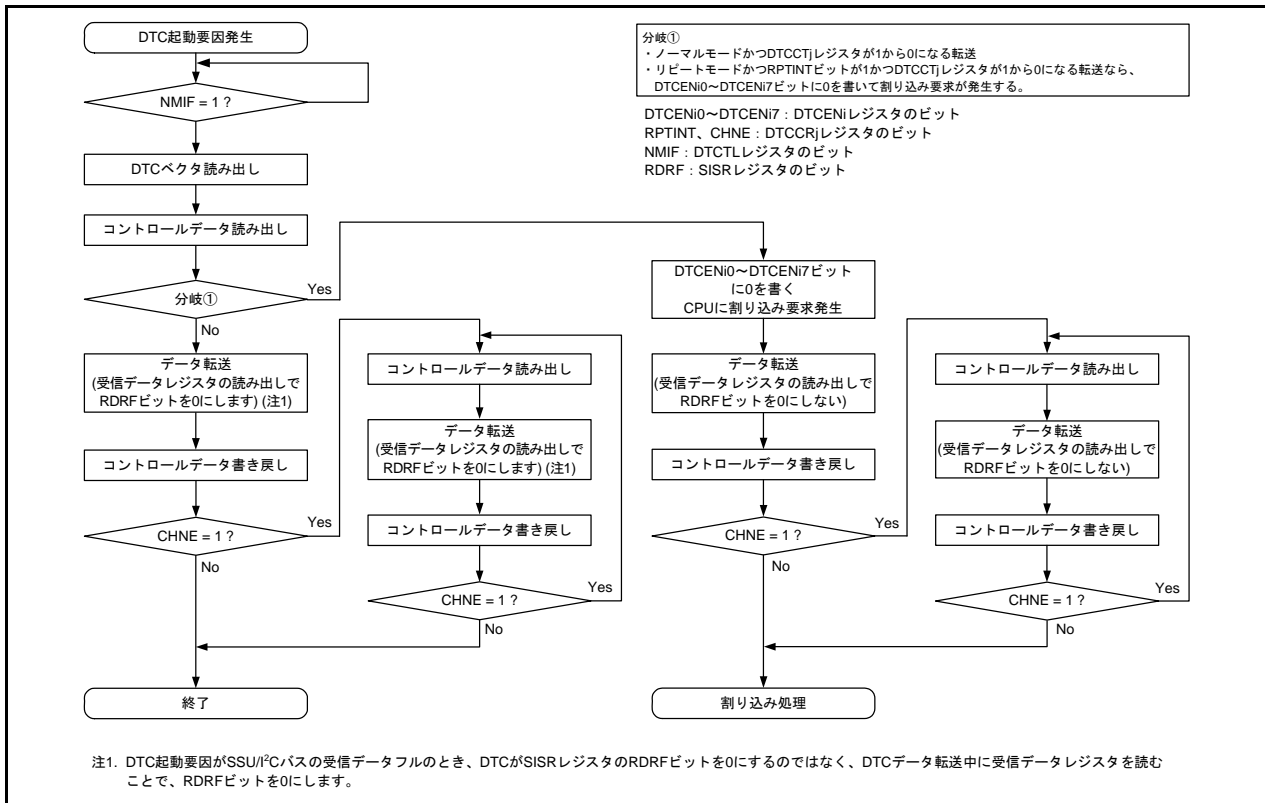


図 13.5 DTC 起動要因が SSU/I²C バスの受信データフルであるときの DTC 内部動作フローチャート (i = 0 ~ 6) (j = 0 ~ 23)

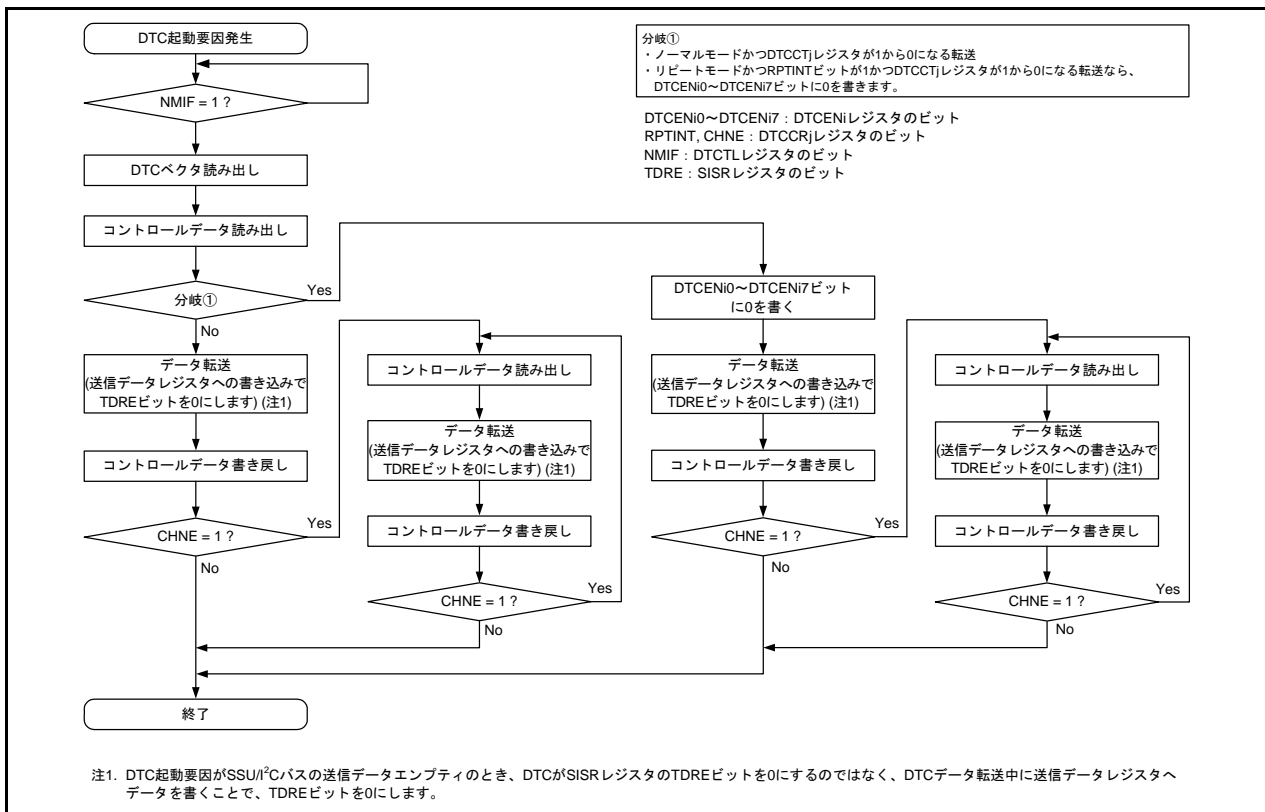


図 13.6 DTC 起動要因が SSU/I²C バスの送信データエンプティであるときの DTC 内部動作フローチャート (i = 0 ~ 6) (j = 0 ~ 23)

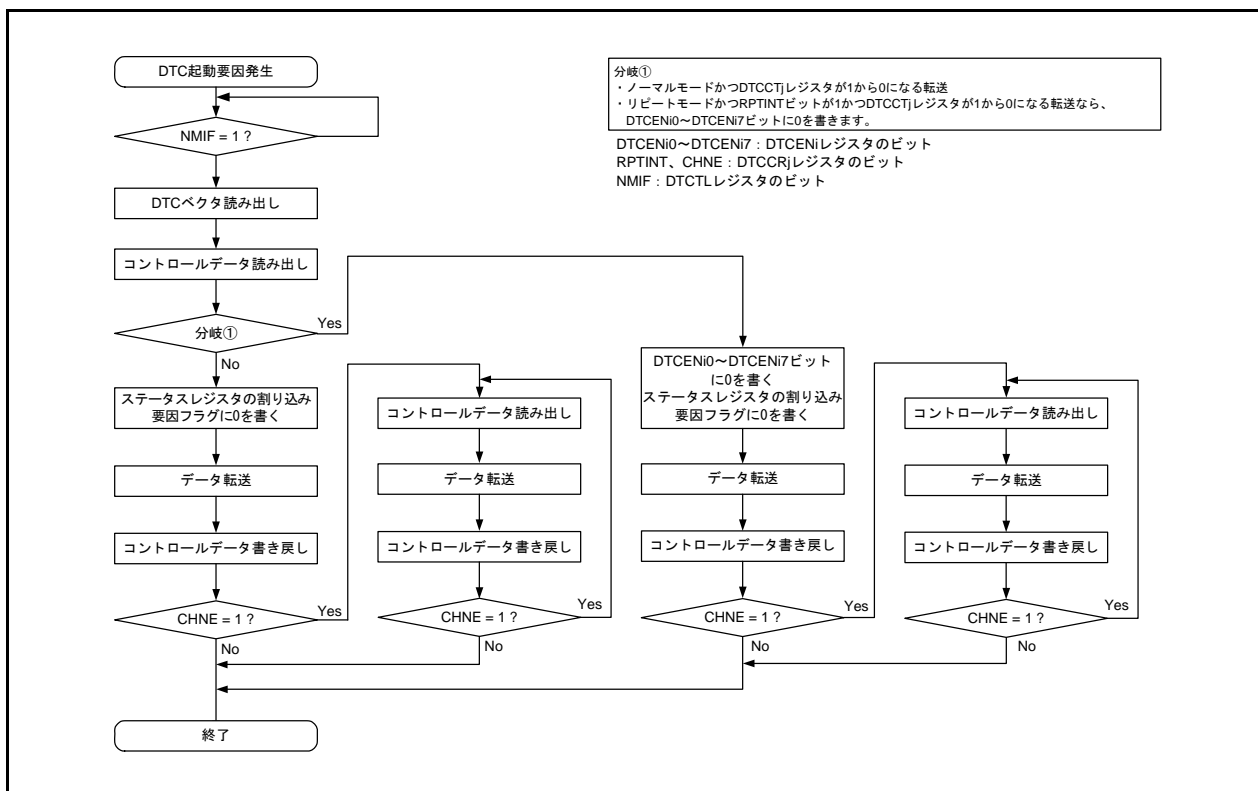


図 13.7 DTC 起動要因がフラッシュレディステータスであるときの DTC 内部動作フローチャート (i = 0 ~ 6) (j = 0 ~ 23)

13.3.4 ノーマルモード

1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCTjレジスタ(j = 0～23)が0になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求が発生します。

表13.9にノーマルモードでのレジスタ機能を示します。

図13.8にノーマルモードでのデータ転送(j = 0～23)を示します。

表13.9 ノーマルモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	使用しません
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j = 0～23

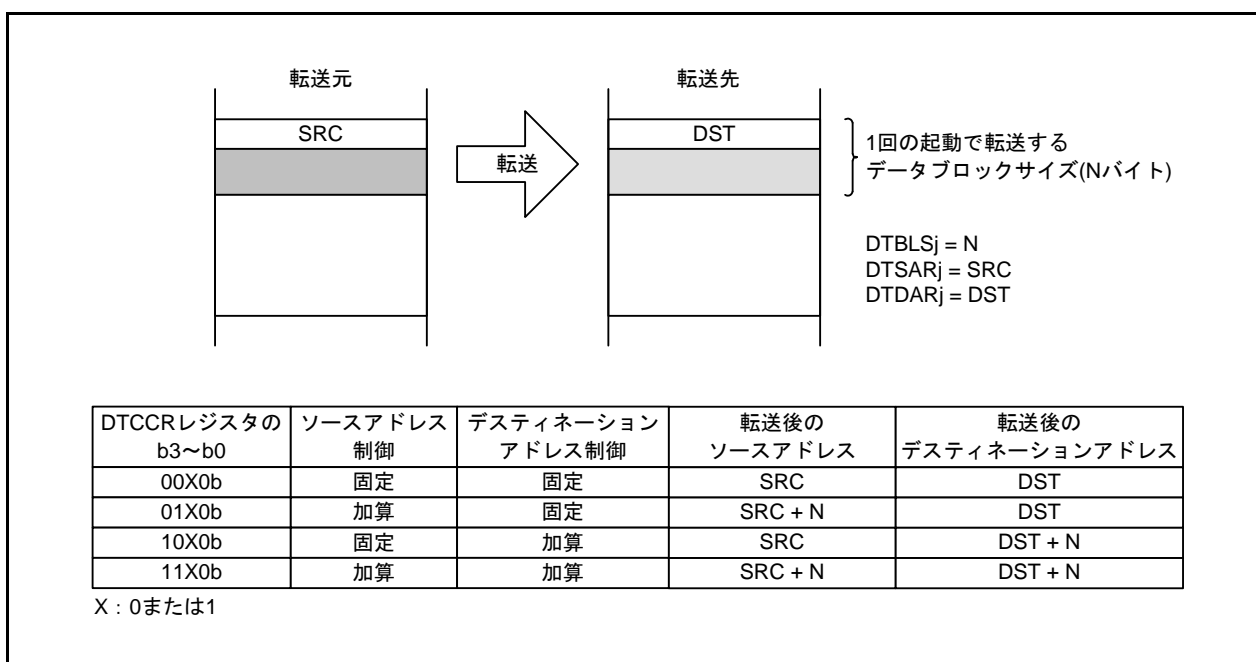


図13.8 ノーマルモードでのデータ転送(j = 0～23)

13.3.5 リpeatモード

1回の起動で1~255バイトをデータ転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1~255回です。指定回数の転送が終了すると、DTCCTj (j=0~23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)でDTCCTjレジスタが0になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求を発生します。

リピートエリアに指定したアドレスの初期値の下位8ビットを00hにしてください。また、指定回数の転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

表13.10にリピートモードでのレジスタ機能を示します。図13.9にリピートモードでのデータ転送(j=0~23)を示します。

表13.10 リpeatモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTjレジスタへリロード(データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j = 0 ~ 23

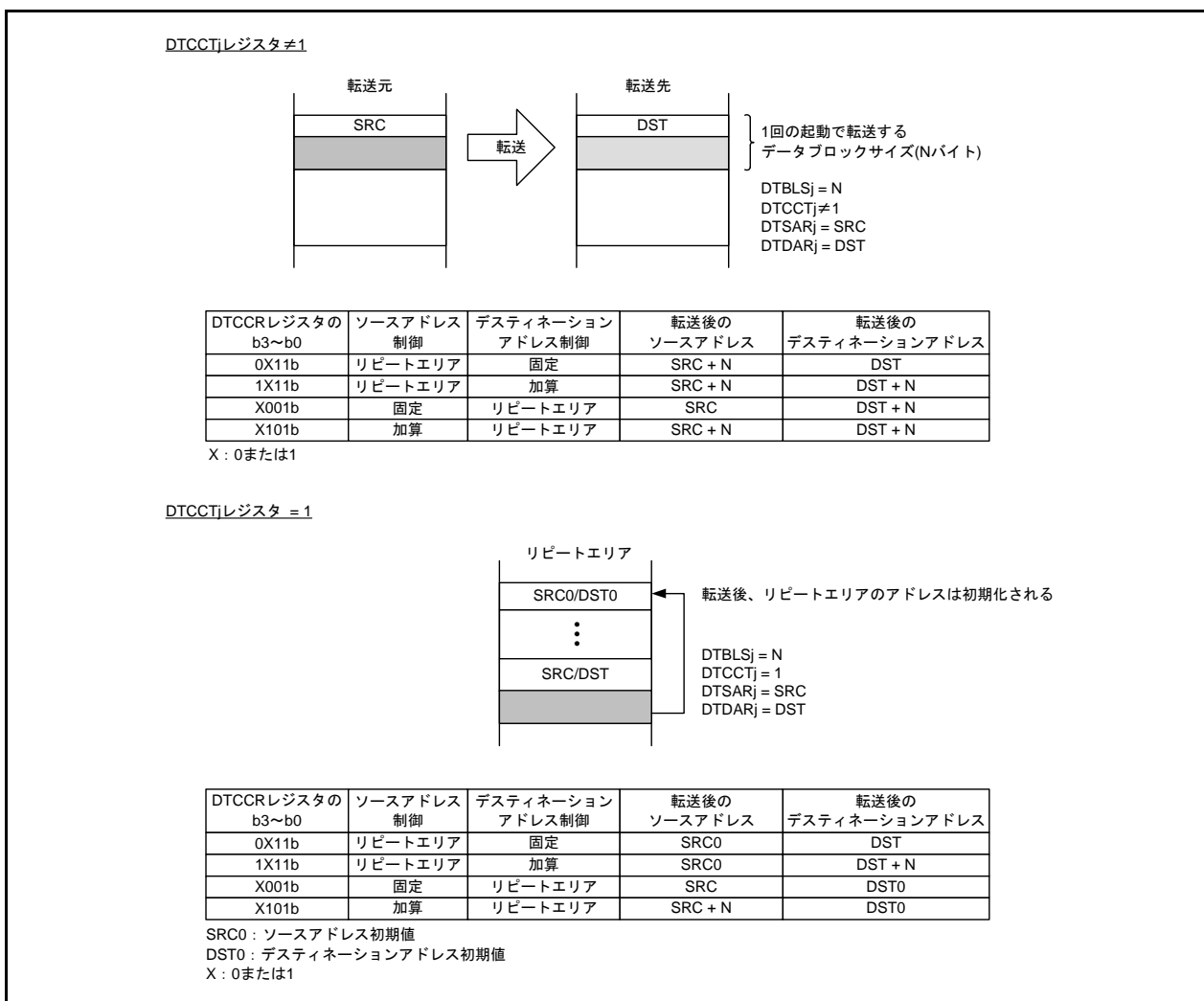


図13.9 リpeatモードでのデータ転送(j = 0 ~ 23)

13.3.6 チェイン転送

DTCCR0～DTCCR22レジスタのCHNEビットが1(チェーン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図13.10にチェーン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0(チェーン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

DTCCR23レジスタのCHNEビットは0(チェーン転送禁止)にしてください。

なお、各起動要因に対するデータ転送は、各々ノーマルモード、リピートモードのいずれかに設定できます。データ転送の動作については、「13.3.4 ノーマルモード」、「13.3.5 リピートモード」を参照してください。

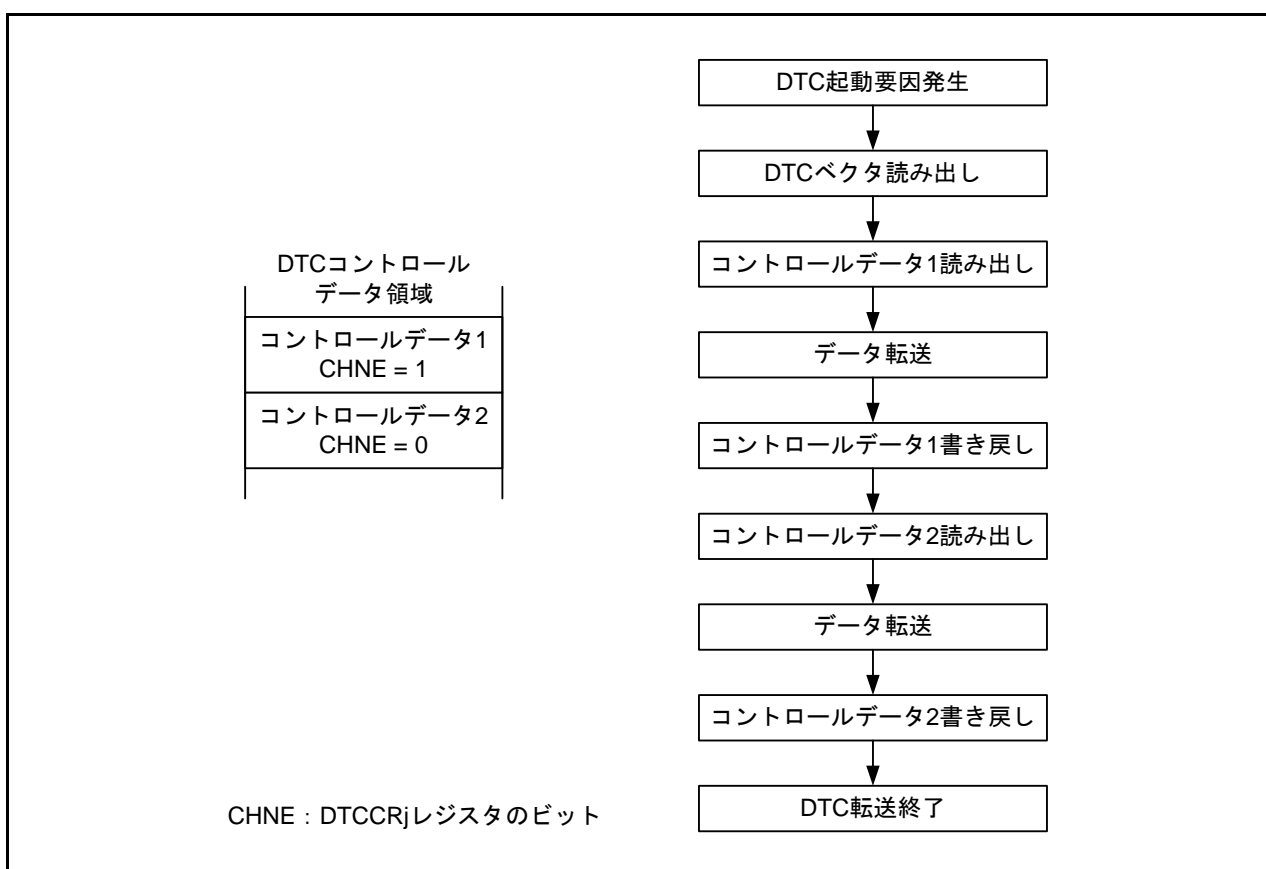


図13.10 チェイン転送のフロー

13.3.7 割り込み要因

DTCがノーマルモードでDTCCTjレジスタ(j=0～23)が0になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが0になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生します。ただし、起動要因がSSU/I²Cバス送信データエンプティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求を発生しません。

このCPUに対する割り込み要求は、Iフラグや割り込み制御レジスタの影響を受けます。チェーン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENi(i=0～6)レジスタのDTCENi0～DTCENi7ビットは0(起動禁止)になります。

13.3.8 動作タイミング

DTCコントロールデータ領域上に配置したコントロールデータの読み出しは5サイクルで行います。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図13.11にDTCの動作タイミング例を、図13.12にチェーン転送時のDTCの動作タイミング例を示します。

表13.11にコントロールデータ書き戻し仕様を示します。

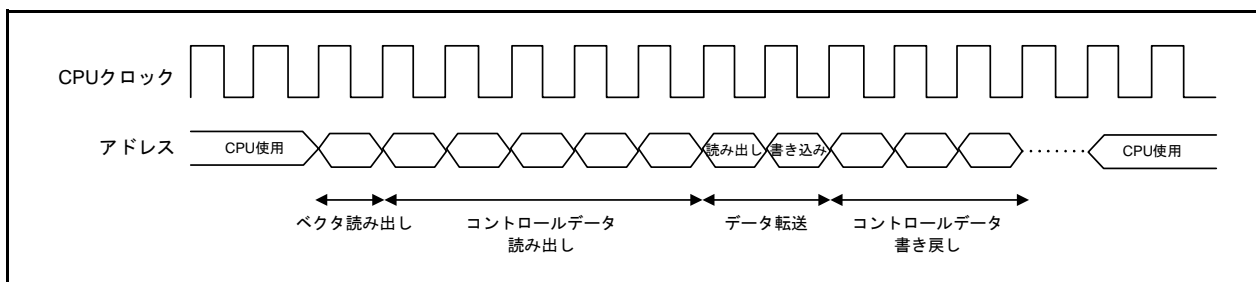


図13.11 DTCの動作タイミング例

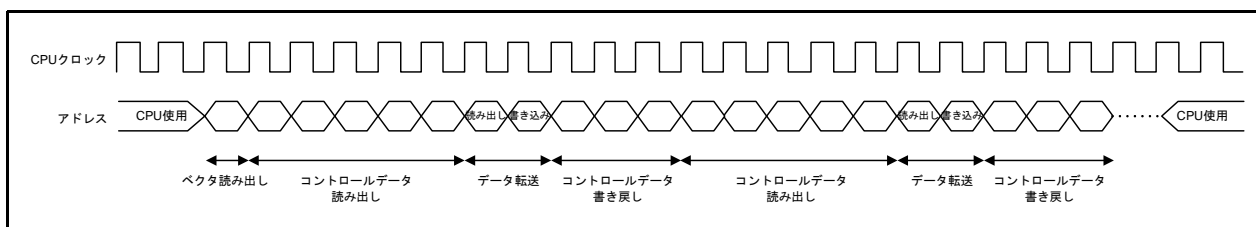


図13.12 チェーン転送時のDTCの動作タイミング例

表13.11 コントロールデータ書き戻し仕様

DTCCR レジスタの b3~b0	動作モード	アドレス制御		書き戻すコントロールデータ				サイクル数
		ソース	デスティネーション	DTCCTj レジスタ	DTRLj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
00X0b	ノーマル モード	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
01X0b		加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
10X0b		固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
11X0b		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0X11b	リピート モード	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1X11b		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X001b		固定	リピート エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X101b		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3

j = 0 ~ 23

X : 0または1

チェーン転送動作におけるコントロールデータの書き戻しの仕様は、各起動要因で設定された動作モードによって、各起動要因ごとに表13.11のノーマルモード、リピートモードのいずれかに従います。

13.3.9 DTC実行サイクル数

表 13.12 に DTC 起動時の実行状態と必要なサイクル数を示します。表 13.13 にデータ転送に必要なサイクル数を示します。

表 13.12 DTC 起動時の実行状態と必要なサイクル数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み	内部動作
	読み出し	書き戻し			
1	5	(注1)	(注2)	(注2)	1

注1. コントロールデータの書き戻しに必要なサイクル数は「表 13.11 コントロールデータ書き戻し仕様」を参照してください。

注2. データ読み出し/データ書き込みに必要なサイクル数は「表 13.13 データ転送に必要なサイクル数」を参照してください。

DTBLS_j (j = 0 ~ 23) レジスタ = N とすると、データ転送時、

(1) N = 2n (偶数) のとき、n 回の 2 バイト転送

(2) N = 2n + 1 (奇数) のとき、n 回の 2 バイト転送後、1 回の 1 バイト転送
を実行します。

表 13.13 データ転送に必要なサイクル数

実行状態	転送単位	内部RAM (DTC転送中)		内部ROM (プログラムROM)	内部ROM (データフラッシュ)	SFR (ワードアクセス)		SFR (バイトアクセス)	SFR (DTCコントロールデータ領域)	
		偶数番地	奇数番地			偶数番地	奇数番地		偶数番地	奇数番地
データ読み出し	1バイト	1		1 (注1)	4	3		3	1	
	2バイト	1	2	1 (注1)	8	3	6	6	1	2
データ書き込み	1バイト	1		—	—	2		2	1	
	2バイト	1	2	—	—	2	4	4	1	2

注1. ページアクセスでの値になります。

2 バイトでかつ奇数番地の場合、2 サイクルになります。また、ページ境界をまたがるアクセスの場合、1 サイクル増になります。ページアクセス以外は、1 サイクル増になります。

実行サイクル数は下記の計算式で求められます。

$$\text{実行サイクル数} = 1 + \Sigma[\text{式A}] + 2$$

Σ は一つの起動要因で転送する回数分 (CHNE ビットが 1 に設定されている数 + 1) の和

(1) N = 2n (偶数) のとき

$$\text{式A} = J + n \cdot SK2 + n \cdot SL2$$

(2) N = 2n + 1 (奇数) のとき

$$\text{式A} = J + n \cdot SK2 + 1 \cdot SK1 + n \cdot SL2 + 1 \cdot SL1$$

J: コントロールデータ読み出しサイクル数(5サイクル) + 書き戻しに必要なサイクル数

16 ビット単位でアクセスする必要のあるレジスタに対して、データ読み出しまたはデータ書き込みを行う場合は、DTBLS_j (j = 0 ~ 23) レジスタに 2 以上の偶数値を設定してください。

DTC は 16 ビット単位でアクセスします。

13.3.10 DTC起動要因受付と割り込み要因フラグ

13.3.10.1 クロック同期形シリアルインタフェース(SSU/I²C)、フラッシュメモリ以外の割り込み要因

DTC起動要因がSSU/I²C、フラッシュメモリ以外の割り込み要因であるとき、DTCは割り込み要因による転送開始後、CPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。また、DTC動作中にDTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。

DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクルの間、同じDTC起動要因を受け付けることができません。

13.3.10.2 フラッシュメモリ

DTC起動要因がフラッシュレディステータスのとき、FSTレジスタのRDYSTIビットが1(フラッシュレディステータス割り込み要求あり)になってからDTCが0(フラッシュレディステータス割り込み要求なし)にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC起動要因になりません。DTCがRDYSTIビットを0にした後、フラッシュレディステータス割り込み要求が発生すると、DTCは起動要因として受け付けます。RDYSTIビットが1になってDTCが転送を開始してから、DTCが割り込み要因フラグを0にするまで、CPUクロックの8～12サイクル必要です。

DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル後に、RDYSTIビットが0になります。

13.3.10.3 SSU/I²Cバス受信データフル

DTC起動要因がSSU/I²Cバス受信データフルであるとき、データ転送でSIRDRレジスタを読んでもください。SIRDRレジスタを読むことで、SISRレジスタのRDRFビットが0(SIRDRレジスタにデータなし)になります。その後、受信データフルの割り込み要因が発生すると、DTCは起動要因として受け付けます。

13.3.10.4 SSU/I²Cバス送信データエンプティ

DTC起動要因がSSU/I²Cバス送信データエンプティであるとき、データ転送でSITDRレジスタへ書いてください。SITDRレジスタへ書くことで、SISRレジスタのTDREビットが0(SITDRレジスタからSIDRレジスタにデータ転送されていない)になります。その後、送信データエンプティの割り込み要因が発生すると、DTCは起動要因として受け付けます。

13.4 DTC使用上の注意事項

13.4.1 DTC起動要因

- ウェイトモード移行時はウェイトモードの実行サイクル前にDTC転送を完了させてください。
- ストップモード移行時はストップモードの実行サイクル前にDTC転送を完了させてください。

13.4.2 DTCENi レジスタ (i = 0 ~ 6)

- DTCENi0 ~ DTCENi7 ビットは、そのレジスタに対応する割り込み要求が発生しない箇所を変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが1のとき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENi レジスタをアクセスしないでください。

13.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを0にしないでください。
- DTC起動要因がSSU/I²C受信データフルのときは、DTC転送でSIRDRレジスタを読んでください。SIRDRレジスタを読むことで、SISRレジスタのRDRFビットが0 (SIRDRレジスタにデータなし) になります。
ただし、DTCのデータ転送の設定が
 - ノーマルモードかつDTCCTj レジスタ (j = 0 ~ 23) が1から0になる転送
 - リピートモードかつDTCCRj レジスタのRPTINTビットが1 (割り込み発生許可) かつDTCCTj レジスタが1から0になる転送のときには、SIRDRレジスタを読んでもSISRレジスタのRDRFビットは0 (SIRDRレジスタにデータなし) になりません。
- DTC起動要因がSSU/I²C送信データエンプティのときは、DTC転送でSITDRレジスタへ書いてください。SITDRレジスタへ書くことで、SISRレジスタのTDREビットが0 (SITDRレジスタからSISDRレジスタにデータ転送されていない) になります。

13.4.4 割り込み要求

- DTC起動要因がSSU/I²C送信データエンプティまたはフラッシュレディステータスのとき、以下の場合でもCPUに割り込み要求を発生しません。
 - DTCがノーマルモードでDTCCTj レジスタが0になるデータ転送を実行するとき
 - リピートモードでDTCCRj レジスタのRPTINTビットが1 かつDTCCTj レジスタが0になるデータ転送を実行するとき

13.4.5 DTCの起動

- DTC起動時、ベクタ読み出しの前に1サイクル動作がずれる場合があります。

14. I/Oポート

注意

周辺機能を動作させる前に、PMCSELレジスタで端子配置を設定してください。

14.1 概要

I/Oポートは、P0～P3、P4_3～P4_7、P5_0～P5_4、P5_6、P5_7、P6、P8_0～P8_6、P9_4～P9_7、PC_0～PC_4の68本あります。(同時に使用できるI/Oポートは59本です。P4_6、P4_7はXINクロック発生回路を使用しない場合、I/Oポートとして使用できます。)

また、A/Dコンバータを使用しない場合、P4_2を入力専用ポートとして使用できます。

表14.1にI/Oポートの概要を示します。

表14.1 I/Oポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力切り替え	入力レベル切り替え
P0、P3、P5_0～P5_4、P5_6、P5_7、P6_0～P6_4、P6_5～P6_7(注7)、P8_0～P8_6、P9_4～P9_7(注8)	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	4ビット単位で設定(注2)	8ビット単位で設定(注3)
P1_0～P1_6、P1_7(注7)、P2_0～P2_3、P2_4～P2_7(注8)、PC_0～PC_4(注7)	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	1ビット単位で設定(注4)	8ビット単位で設定(注3)
P4_3	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注1)	1ビット単位で設定(注2)	6ビット単位で設定(注3)
P4_4、P4_5(注7)、P4_6(注5)、P4_7(注5)	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	4ビット単位で設定(注2)	
P4_2(注6)	入力	(出力機能なし)	なし	なし	なし	

注1. 入力モード時、PUR0～PUR3レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. DRR0～DRR2レジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. VLT0～VLT3レジスタで入力のしきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

注4. P1DRR、P2DRR、およびPCDRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注5. XINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注6. A/Dコンバータを使用しない場合、入力専用ポートとして使用できます。

注7. PMCSELレジスタで通信機能優先端子配置にすると、P1_7、P4_5、P6_5～P6_7がPC_0～PC_4の機能になります。

注8. PMCSELレジスタでタイマ機能優先端子配置にすると、P2_4～P2_7がP9_4～P9_7の機能になります。PMCSELレジスタの詳細は、「31.3.1 端子配置選択レジスタ(PMCSEL)」を参照してください。

14.2 I/Oポートの機能

ポートP0～P3、P4_3～P4_7、P5_0～P5_4、P5_6、P5_7、P6、P8_0～P8_6、P9_4～P9_7、PC_0～PC_4の入出力はPDiレジスタ(i=0～6、8、9、C)のPDi_jビット(j=0～7)で制御します。PORTiレジスタは出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。

図14.1～図14.7にI/Oポートの構成を、表14.2にI/Oポートの機能を示します。

表14.2 I/Oポートの機能

PORTiレジスタを アクセス時の動作	PDiレジスタのPDi_jビットの値	
	0(入力モード)のとき	1(出力モード)のとき
読み出し	端子の入力レベルを読む	ポータラッチを読む
書き込み	ポータラッチに書く	ポータラッチに書く。ポータラッチに書いた値は、端子から出力される。

i=0～6、8、9、C、j=0～7

注1. PD4_0～PD4_2ビットには何も配置されていません。PD5_5、PD8_7、PD9_0～PD9_3、PDC_5～PDC_7ビットは予約ビットです。

注2. P4_0、P4_1ビットには何も配置されていません。P5_5、P8_7、P9_0～P9_3、PC_5～PC_7ビットは予約ビットです。

注3. PORT4レジスタを読んだ場合、P4_0、P4_1ビットは0になります。

注4. PORT5レジスタを読んだ場合、P5_5ビットは0になります。

注5. PORT8レジスタを読んだ場合、P8_7ビットは0になります。

注6. PORT9レジスタを読んだ場合、P9_0～P9_3ビットは0となります。

注7. PORTCレジスタを読んだ場合、PC_5～PC_7ビットは0となります。

注8. P4_6、P4_7ビットをXIN、XOUTで使用している場合、PORT4レジスタを読んでも、端子の入力レベルは読めません。P4_6、P4_7ビットは1となります。また、PD4_6、PD4_7ビットを1(出力モード)に設定しても、P4_6、P4_7ビットの値は端子から出力されません。

14.3 I/Oポート以外の端子

図14.8に端子の構成を示します。

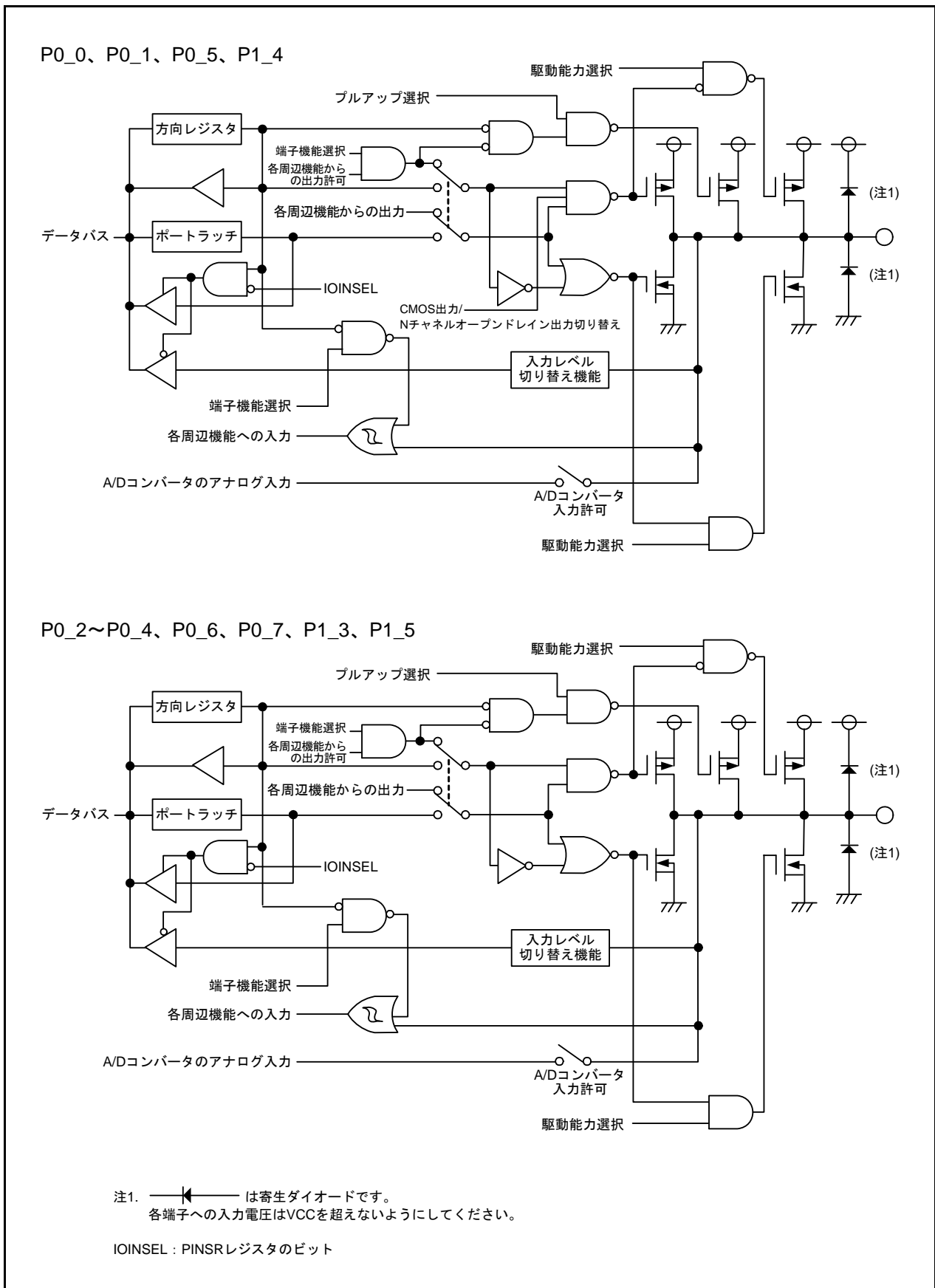


図 14.1 I/Oポートの構成(1)

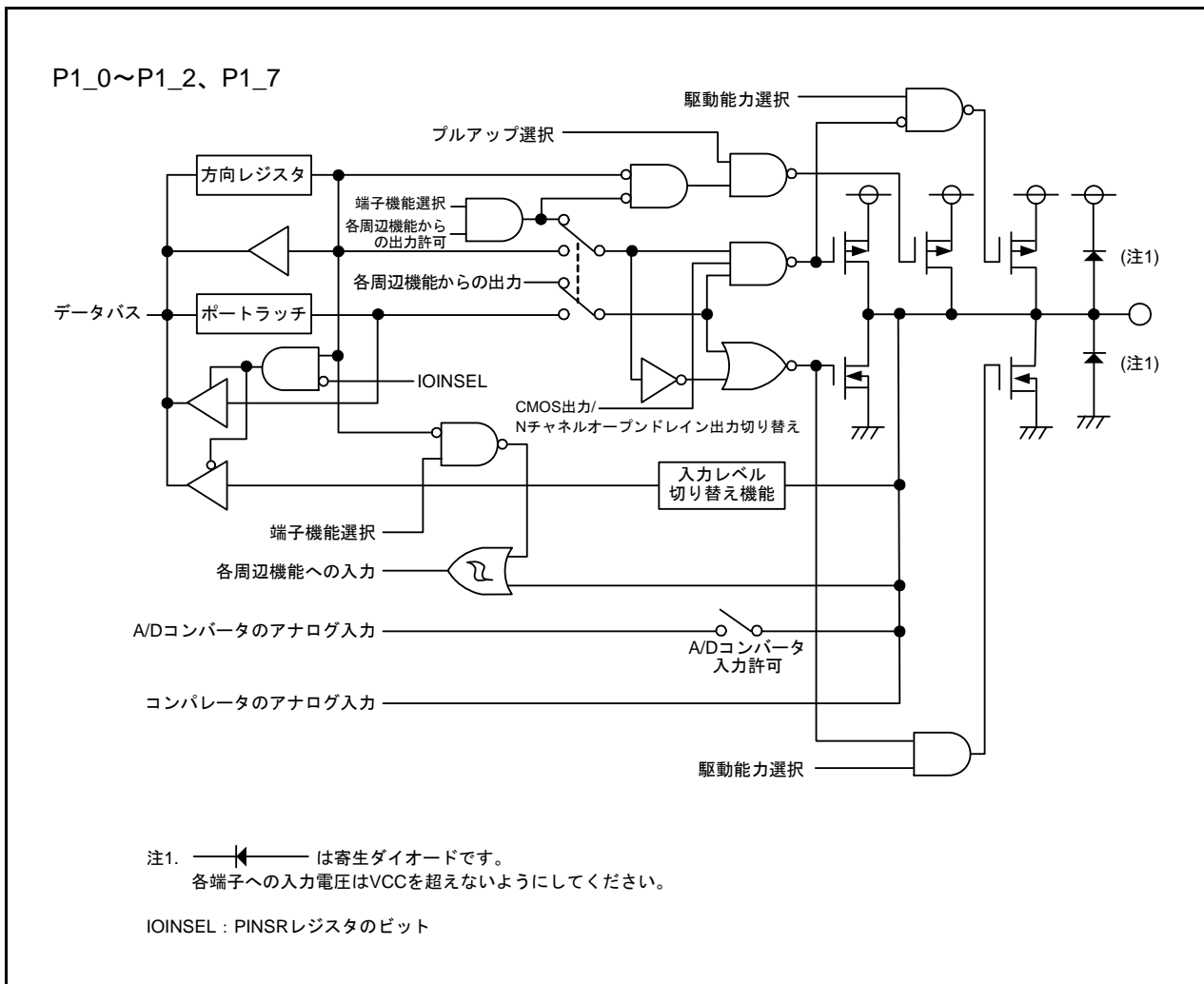


図 14.2 I/Oポートの構成(2)

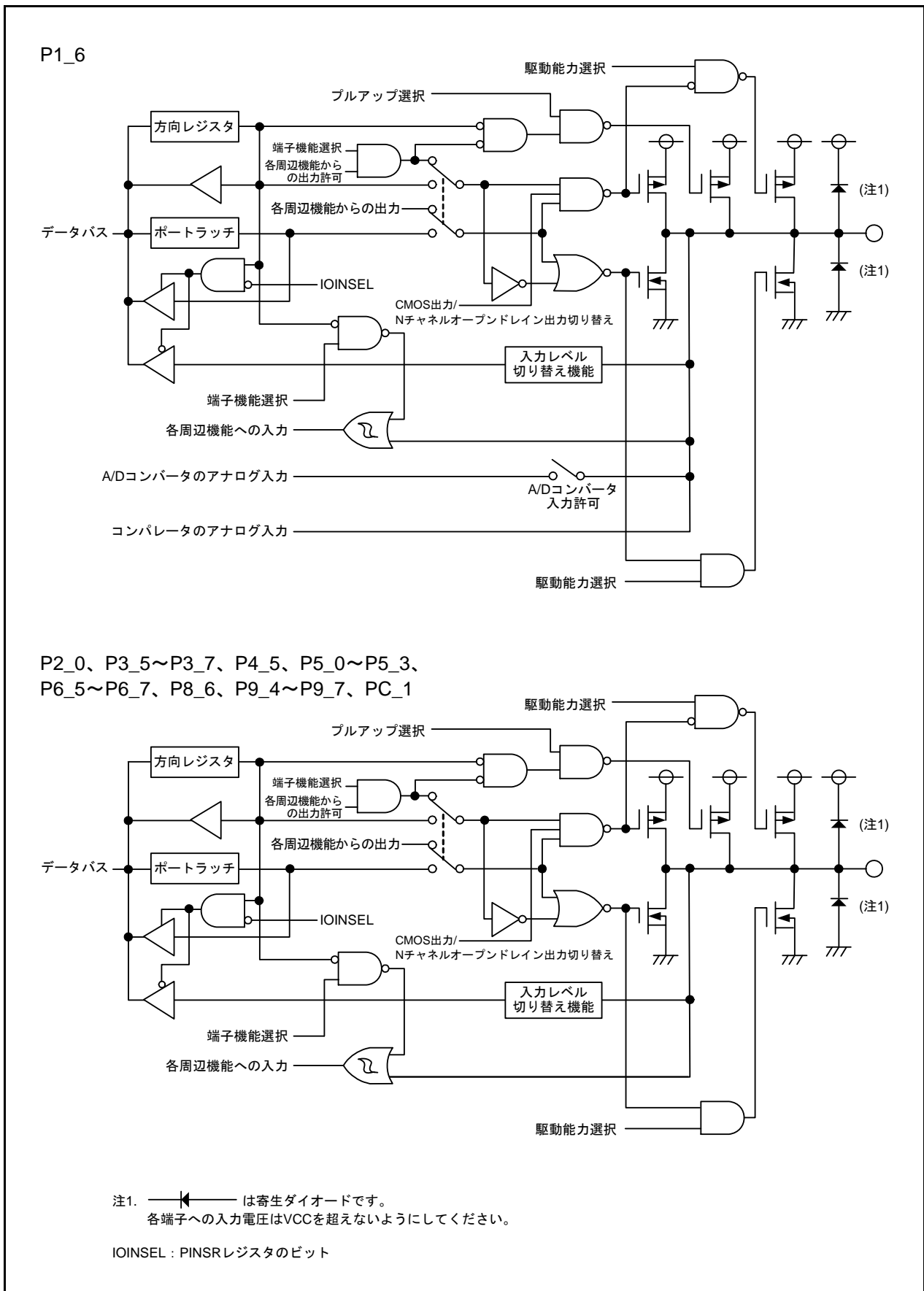


図 14.3 I/Oポートの構成(3)

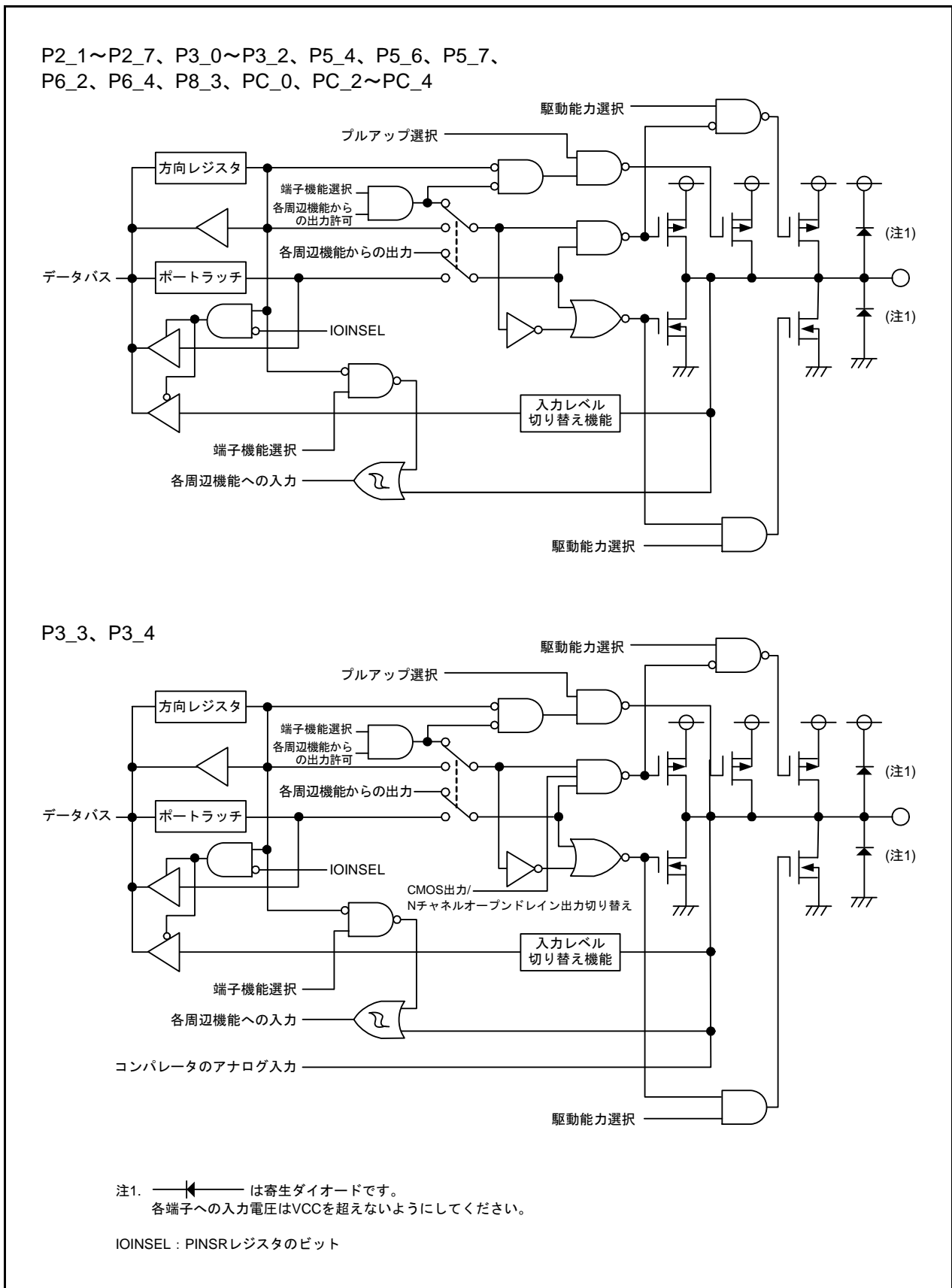


図 14.4 I/Oポートの構成(4)

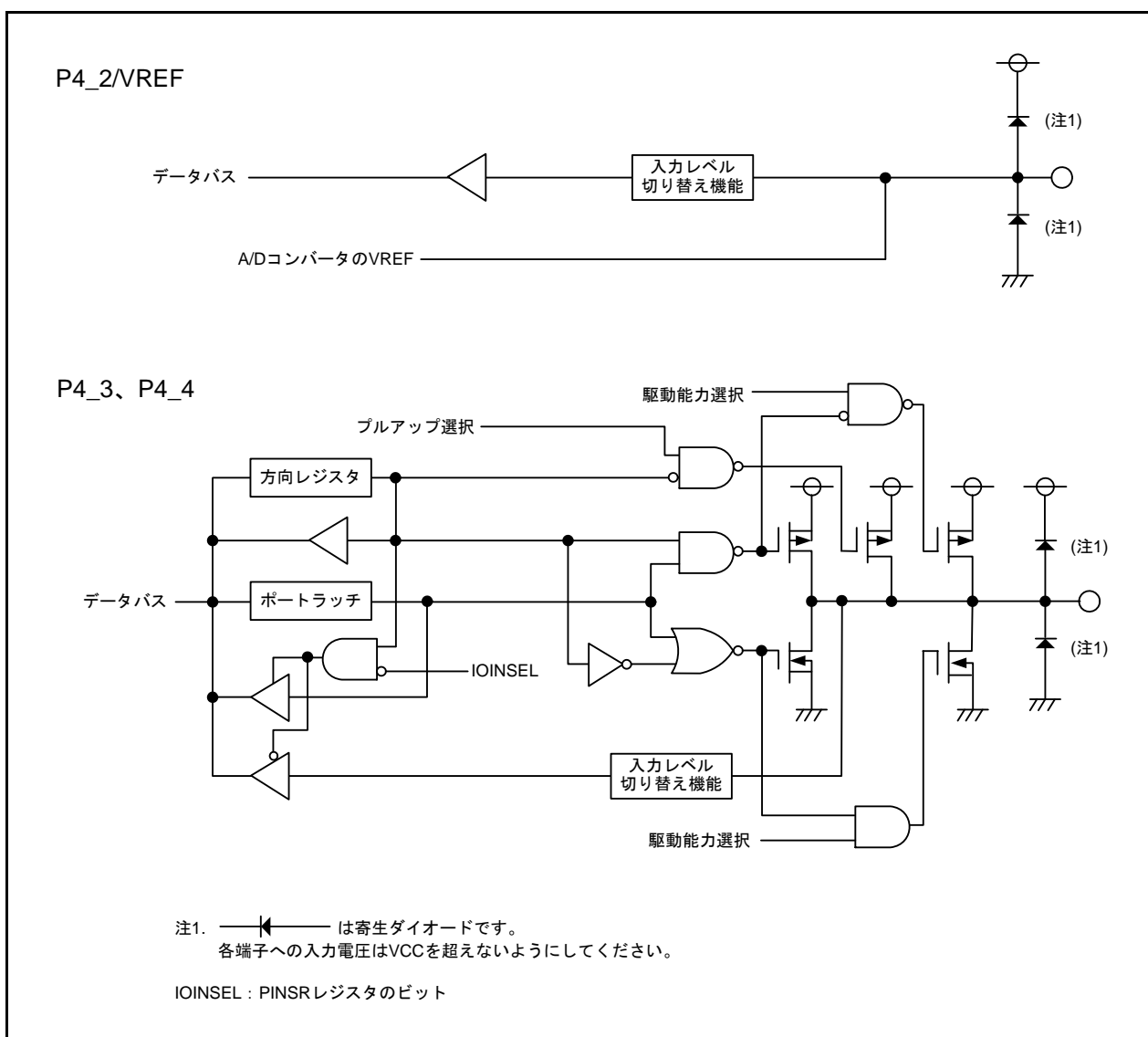


図14.5 I/Oポートの構成(5)

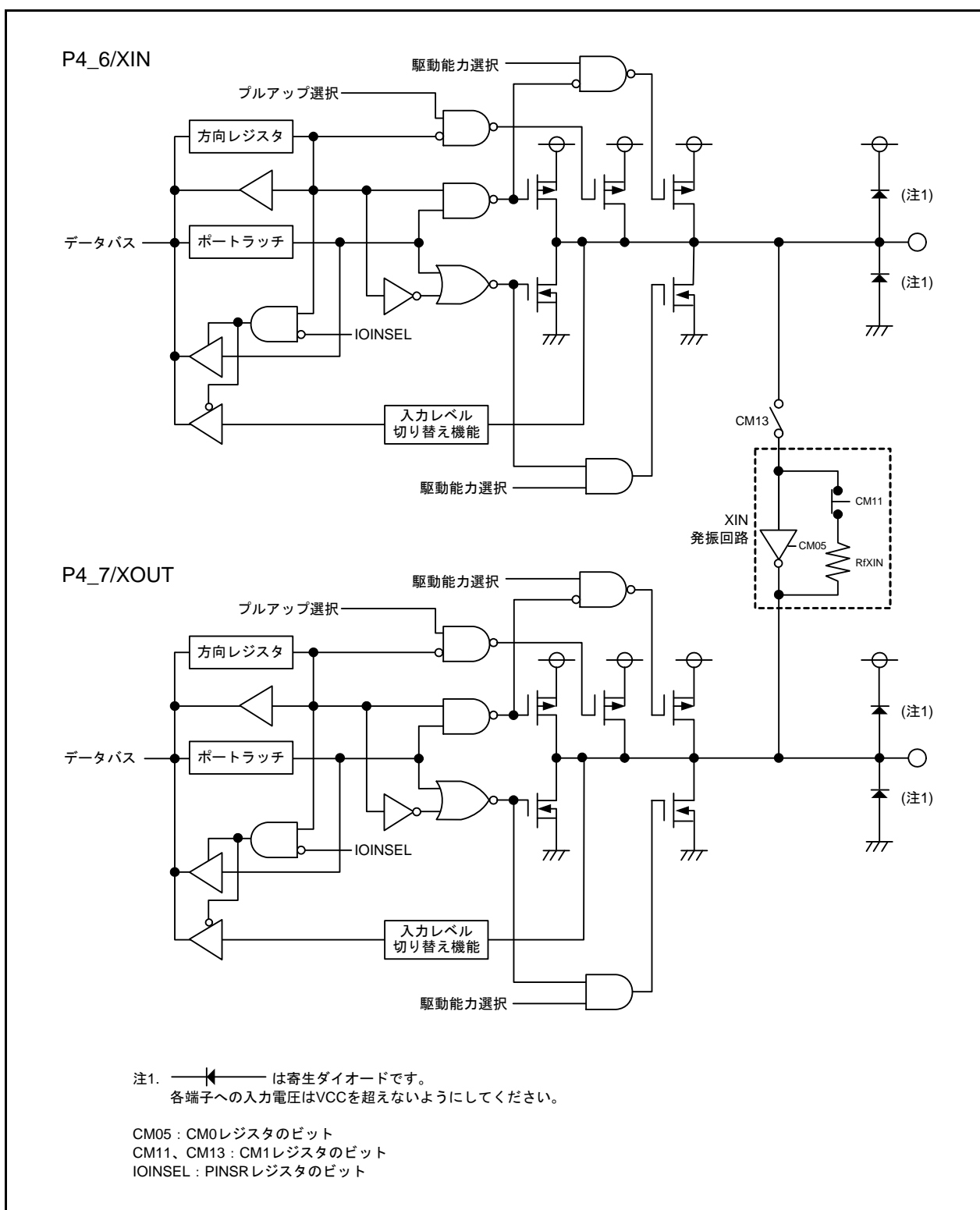


図14.6 I/Oポートの構成(6)

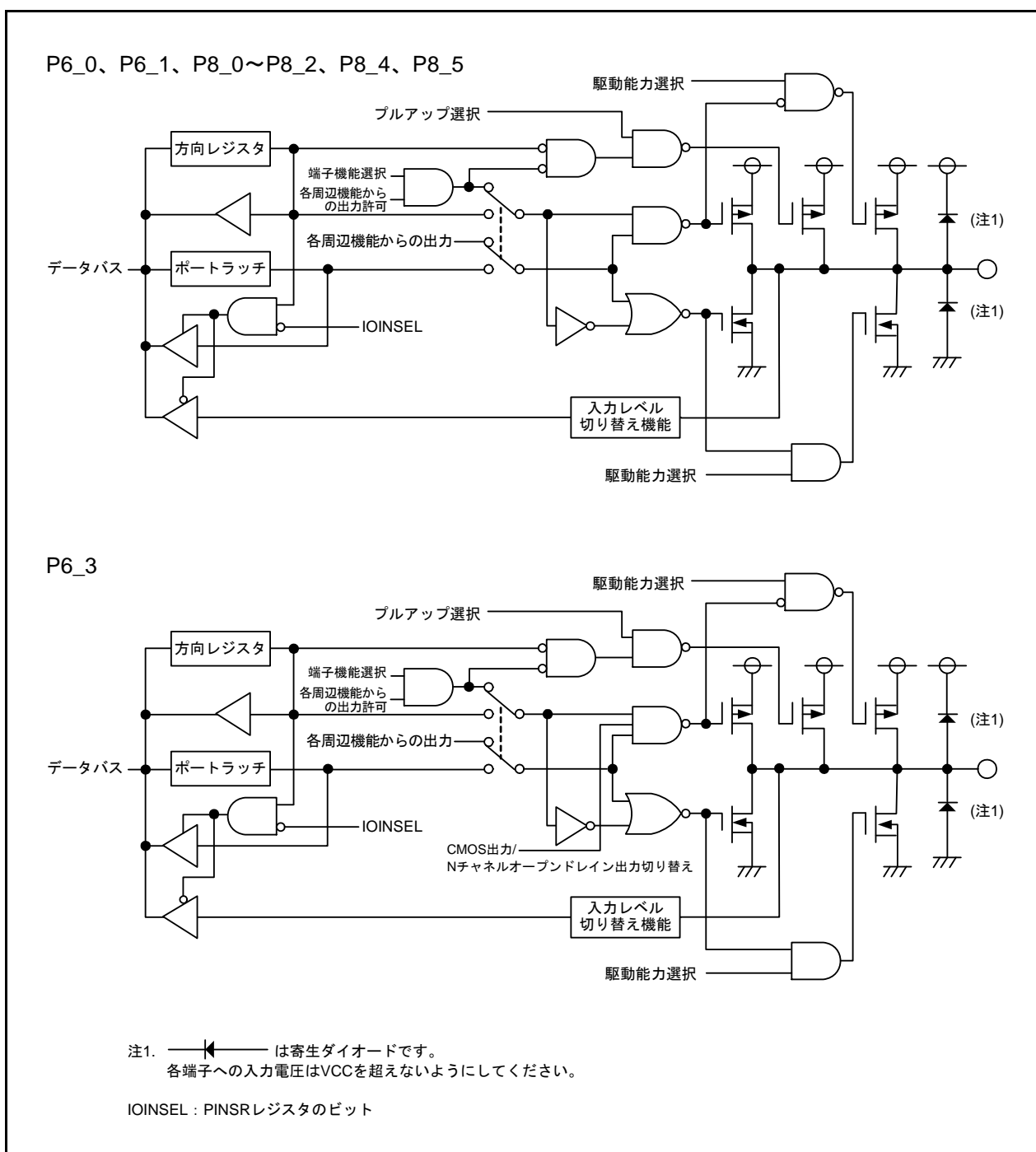


図 14.7 I/Oポートの構成(7)

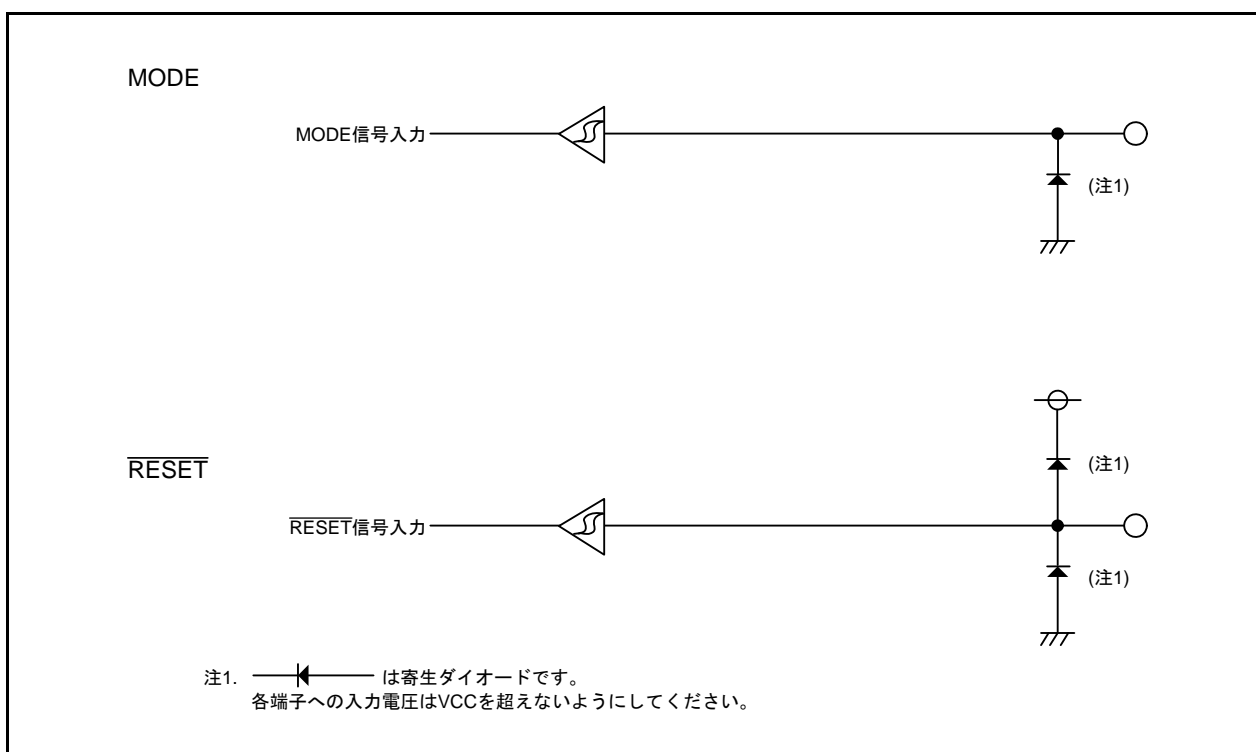


図 14.8 端子の構成

14.4 周辺機能への入出力

14.4.1 周辺機能入出力とPDiビット (i = 0~6、8、9、C)

I/Oポートは、周辺機能の入出力として機能する場合があります。周辺機能の入出力は、端子を共用するI/OポートのPDiビットの影響を受けるものがあります。表14.3に周辺機能の入出力として機能する場合のPDi_jビット (i = 0~6、8、9、C、j = 0~7) の設定を示します。周辺機能の設定方法は、各機能説明を参照してください。

表14.3 周辺機能の入出力として機能する場合のPDi_jビット (i = 0~6、8、9、C、j = 0~7) の設定

周辺機能の入出力		端子を共用しているポートのPDi _j ビットの設定
入力		0 (入力モード) に設定してください
出力	D/Aコンバータ	0 (入力モード) に設定してください
	その他	0でも1でも良い(ポートの設定に関係なく、出力になる)

14.5 レジスタの説明

表14.4、表14.5にI/Oポートのレジスタ構成を示します。

表14.4 I/Oポートのレジスタ構成(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRJ_0端子選択レジスタ	TRJ_0SR	00h	002A0h	8
タイマRJ_1端子選択レジスタ	TRJ_1SR	00h	002A1h	8
タイマRB2端子選択レジスタ	TRBSR	00h	002A4h	8
タイマRCCLK端子選択レジスタ	TRCCLKSR	00h	002A5h	8
タイマRC_0端子選択レジスタ0	TRC_0SR0	00h	002A6h	8
タイマRC_0端子選択レジスタ1	TRC_0SR1	00h	002A7h	8
タイマRC_1端子選択レジスタ	TRC_1SR	00h	002A8h	8
タイマRD_0端子選択レジスタ0	TRD_0SR0	00h	002A9h	8
タイマRD_0端子選択レジスタ1	TRD_0SR1	00h	002AAh	8
タイマ端子選択レジスタ	TIMSR	00h	002ADh	8
UART0_0端子選択レジスタ	U_0SR	00h	002AEh	8
UART0_1端子選択レジスタ	U_1SR	00h	002AFh	8
UART2端子選択レジスタ0	U2SR0	00h	002B2h	8
UART2端子選択レジスタ1	U2SR1	00h	002B3h	8
SSU/IIC_0端子選択レジスタ	SSUIC_0SR	00h	002B4h	8
INT割り込み入力端子選択レジスタ0	INTSR0	00h	002B6h	8
入出力機能端子選択レジスタ	PINSR	00h	002B9h	8
プルアップ制御レジスタ0	PUR0	00h	002C0h	8
プルアップ制御レジスタ1	PUR1	00h	002C1h	8
プルアップ制御レジスタ2	PUR2	00h	002C2h	8
プルアップ制御レジスタ3	PUR3	00h	002C3h	8
ポートP1駆動能力制御レジスタ	P1DRR	00h	002C8h	8
ポートP2駆動能力制御レジスタ	P2DRR	00h	002C9h	8
ポートPC駆動能力制御レジスタ	PCDRR	00h	002CBh	8
駆動能力制御レジスタ0	DRR0	00h	002CCh	8
駆動能力制御レジスタ1	DRR1	00h	002CDh	8
駆動能力制御レジスタ2	DRR2	00h	002CEh	8
入力しきい値制御レジスタ0	VLT0	00h	002D0h	8
入力しきい値制御レジスタ1	VLT1	00h	002D1h	8
入力しきい値制御レジスタ2	VLT2	00h	002D2h	8
入力しきい値制御レジスタ3	VLT3	00h	002D3h	8
ポートP0レジスタ	PORT0	XXh	002E0h	8
ポートP1レジスタ	PORT1	XXh	002E1h	8
ポートP0方向レジスタ	PD0	00h	002E2h	8
ポートP1方向レジスタ	PD1	00h	002E3h	8
ポートP2レジスタ	PORT2	XXh	002E4h	8
ポートP3レジスタ	PORT3	XXh	002E5h	8
ポートP2方向レジスタ	PD2	00h	002E6h	8
ポートP3方向レジスタ	PD3	00h	002E7h	8
ポートP4レジスタ	PORT4	XXh	002E8h	8
ポートP5レジスタ	PORT5	XXh	002E9h	8
ポートP4方向レジスタ	PD4	00h	002EAh	8
ポートP5方向レジスタ	PD5	00h	002EBh	8

表 14.5 I/Oポートのレジスタ構成(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ポートP6レジスタ	PORT6	XXh	002ECh	8
ポートP6方向レジスタ	PD6	00h	002EEh	8
ポートP8レジスタ	PORT8	XXh	002F0h	8
ポートP9レジスタ	PORT9	XXh	002F1h	8
ポートP8方向レジスタ	PD8	00h	002F2h	8
ポートP9方向レジスタ	PD9	00h	002F3h	8
ポートPCレジスタ	PORTC	XXh	002F8h	8
ポートPC方向レジスタ	PDC	00h	002FAh	8

14.5.1 タイマRJ_0端子選択レジスタ(TRJ_0SR)

アドレス 002A0h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	TRJO_0SEL1	TRJO_0SEL0	—	TRJIO_0SEL1	TRJIO_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJIO_0SEL0	TRJIO_0端子選択ビット	b1 b0 0 0 : TRJIO_0端子は使用しない 0 1 : P1_7に割り当てる 1 0 : P1_5に割り当てる 1 1 : P3_2に割り当てる	R/W
b1	TRJIO_0SEL1			R/W
b2	—	予約ビット	0にしてください	R/W
b3	TRJO_0SEL0	TRJO_0端子選択ビット	b4 b3 0 0 : P3_7に割り当てる 0 1 : P3_0に割り当てる 1 0 : P5_6に割り当てる 1 1 : 設定しないでください	R/W
b4	TRJO_0SEL1			R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

TRJ_0SRレジスタは、タイマRJ_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRJ_0の入出力端子を使用する場合は、TRJ_0SRレジスタを設定してください。

タイマRJ_0の関連レジスタを設定する前に、TRJ_0SRレジスタを設定してください。また、タイマRJ_0の動作中はTRJ_0SRレジスタの設定値を変更しないでください。

14.5.2 タイマRJ_1端子選択レジスタ (TRJ_1SR)

アドレス	002A1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	TRJO_1SEL	—	TRJIO_1SEL1	TRJIO_1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJIO_1SEL0	TRJIO_1端子選択ビット	b1 b0 0 0 : TRJIO_1端子は使用しない 0 1 : P6_4に割り当てる 1 0 : P0_2に割り当てる 1 1 : 設定しないでください	R/W
b1	TRJIO_1SEL1			R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	TRJO_1SEL	TRJO_1端子選択ビット	0 : P6_3に割り当てる 1 : P0_1に割り当てる	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

TRJ_1SRレジスタは、タイマRJ_1の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRJ_1の入出力端子を使用する場合は、TRJ_1SRレジスタを設定してください。

タイマRJ_1の関連レジスタを設定する前に、TRJ_1SRレジスタを設定してください。また、タイマRJ_1の動作中はTRJ_1SRレジスタの設定値を変更しないでください。

14.5.3 タイマRB2端子選択レジスタ (TRBSR)

アドレス	002A4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	TRBO_0SEL1	TRBO_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBO_0SEL0	TRBO_0端子選択ビット	b1 b0 0 0 : P1_3に割り当てる 0 1 : P3_1に割り当てる 1 0 : P5_7に割り当てる 1 1 : TRBO端子は使用しない	R/W
b1	TRBO_0SEL1			R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b4	—			
b5	—			

TRBSR レジスタはタイマRB2_0の出力をどの端子に割り当てるかを選択するレジスタです。タイマRB2_0の出力端子を使用する場合は、TRBSRレジスタを設定してください。

タイマRB2関連レジスタ(注1)を設定する前にTRBO_0SEL0、TRBO_0SEL1ビットを設定してください。また、タイマRB2_0の動作中はTRBO_0SEL0、TRBO_0SEL1ビットの設定値を変更しないでください。

注1. タイマRB2関連レジスタ : TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

14.5.4 タイマRCCLK端子選択レジスタ (TRCCLKSR)

アドレス	002A5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	TRCCLK_1SEL	—	TRCCLK_0SEL2	TRCCLK_0SEL1	TRCCLK_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCCLK_0SEL0	TRCCLK_0端子選択ビット	b2 b1 b0 0 0 0 : TRCCLK_0端子は使用しない 0 0 1 : P1_4に割り当てる 0 1 0 : P3_3に割り当てる 0 1 1 : P3_7に割り当てる 1 0 0 : P5_0に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCCLK_0SEL1			R/W
b2	TRCCLK_0SEL2			R/W
b3	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。
b4	TRCCLK_1SEL	TRCCLK_1端子選択ビット	0 : TRCCLK_1端子は使用しない 1 : PC_0に割り当てる	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

TRCCLKSRレジスタは、タイマRC_0およびタイマRC_1の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRC_0およびタイマRC_1の入出力端子を使用する場合は、TRCCLKSRレジスタを設定してください。

タイマRC_0の関連レジスタを設定する前に、TRCCLK_0SEL0～TRCCLK_0SEL2ビットを、タイマRC_1の関連レジスタを設定する前にTRCCLK_1SELビットを設定してください。また、タイマRC_0の動作中はTRCCLK_0SEL0～TRCCLK_0SEL2ビットを、タイマRC_1の動作中はTRCCLK_1SELビットの設定値を変更しないでください。

14.5.5 タイマRC_0端子選択レジスタ0 (TRC_0SR0)

アドレス 002A6h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRCIOB_0SEL2	TRCIOB_0SEL1	TRCIOB_0SEL0	—	TRCIOA_0SEL2	TRCIOA_0SEL1	TRCIOA_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOA_0SEL0	TRCIOA_0/TRCTRG_0端子選択ビット	b2 b1 b0 0 0 0 : TRCIOA_0/TRCTRG_0端子は使用しない 0 0 1 : P1_1に割り当てる 0 1 0 : P0_0に割り当てる 0 1 1 : P0_1に割り当てる 1 0 0 : P0_2に割り当てる 1 0 1 : P5_1に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOA_0SEL1			R/W
b2	TRCIOA_0SEL2			R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	TRCIOB_0SEL0	TRCIOB_0端子選択ビット	b6 b5 b4 0 0 0 : TRCIOB_0端子は使用しない 0 0 1 : P1_2に割り当てる 0 1 0 : P0_3に割り当てる 0 1 1 : P0_4に割り当てる 1 0 0 : P0_5に割り当てる 1 0 1 : P2_0に割り当てる 1 1 0 : P6_5に割り当てる 1 1 1 : P5_2に割り当てる	R/W
b5	TRCIOB_0SEL1			R/W
b6	TRCIOB_0SEL2			R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

TRC_0SR0レジスタは、タイマRC_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRC_0の入出力端子を使用する場合は、TRC_0SR0レジスタを設定してください。

タイマRC_0の関連レジスタを設定する前に、TRC_0SR0レジスタを設定してください。また、タイマRC_0の動作中はTRC_0SR0レジスタの設定値を変更しないでください。

14.5.6 タイマRC_0端子選択レジスタ1 (TRC_0SR1)

アドレス 002A7h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRCIOD_0SEL2	TRCIOD_0SEL1	TRCIOD_0SEL0	—	TRCIOC_0SEL2	TRCIOC_0SEL1	TRCIOC_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOC_0SEL0	TRCIOC_0端子選択ビット	b2 b1 b0 0 0 0 : TRCIOC_0端子は使用しない 0 0 1 : P1_3に割り当てる 0 1 0 : P3_4に割り当てる 0 1 1 : P0_7に割り当てる 1 0 0 : P2_1に割り当てる 1 0 1 : P6_6に割り当てる 1 1 0 : P5_3に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOC_0SEL1			R/W
b2	TRCIOC_0SEL2			R/W
b3	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。
b4	TRCIOD_0SEL0	TRCIOD_0端子選択ビット	b6 b5 b4 0 0 0 : TRCIOD_0端子は使用しない 0 0 1 : P1_0に割り当てる 0 1 0 : P3_5に割り当てる 0 1 1 : P0_6に割り当てる 1 0 0 : P2_2に割り当てる 1 0 1 : P6_7に割り当てる 1 1 0 : P5_4に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIOD_0SEL1			R/W
b6	TRCIOD_0SEL2			R/W
b7	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。

TRC_0SR1レジスタは、タイマRC_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRC_0の入出力端子を使用する場合は、TRC_0SR1レジスタを設定してください。

タイマRC_0の関連レジスタを設定する前に、TRC_0SR1レジスタを設定してください。また、タイマRC_0の動作中はTRC_0SR1レジスタの設定値を変更しないでください。

14.5.7 タイマRC_1端子選択レジスタ (TRC_1SR)

アドレス	002A8h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRCIOD_1SEL	—	TRCIOC_1SEL	—	TRCIOB_1SEL	—	TRCIOA_1SEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOA_1SEL	TRCIOA_1/TRCTRG_1端子選択ビット	0 : TRCIOA_1/TRCTRG_1端子は使用しない 1 : PC_1に割り当てる	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	TRCIOB_1SEL	TRCIOB_1端子選択ビット	0 : TRCIOB_1端子は使用しない 1 : PC_2に割り当てる	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	TRCIOC_1SEL	TRCIOC_1端子選択ビット	0 : TRCIOC_1端子は使用しない 1 : PC_3に割り当てる	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	TRCIOD_1SEL	TRCIOD_1端子選択ビット	0 : TRCIOD_1端子は使用しない 1 : PC_4に割り当てる	R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

TRC_1SRレジスタは、タイマRC_1の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRC_1の入出力端子を使用する場合は、TRC_1SRレジスタを設定してください。

タイマRC_1の関連レジスタを設定する前に、TRC_1SRレジスタを設定してください。また、タイマRC_1の動作中はTRC_1SRレジスタの設定値を変更しないでください。

14.5.8 タイマRD_0端子選択レジスタ0 (TRD_0SR0)

アドレス	002A9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0_OSEL1	TRDIOD0_OSEL0	TRDIOC0_OSEL1	TRDIOC0_OSEL0	TRDIOB0_OSEL1	TRDIOB0_OSEL0	TRDIOA0_OSEL1	TRDIOA0_OSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0_OSEL0	TRDIOA0_0/TRDCLK_0端子 選択ビット	b1 b0 0 0 : TRDIOA0_0/TRDCLK_0端子は使用し ない 0 1 : P2_0に割り当てる 1 0 : P3_5に割り当てる 1 1 : 設定しないでください	R/W
b1	TRDIOA0_OSEL1			R/W
b2	TRDIOB0_OSEL0	TRDIOB0_0端子選択ビット	b3 b2 0 0 : TRDIOB0_0端子は使用しない 0 1 : P2_1に割り当てる 1 0 : P2_2に割り当てる 1 1 : P3_4に割り当てる	R/W
b3	TRDIOB0_OSEL1			R/W
b4	TRDIOC0_OSEL0	TRDIOC0_0端子選択ビット	b5 b4 0 0 : TRDIOC0_0端子は使用しない 0 1 : P2_2に割り当てる 1 0 : P2_1に割り当てる 1 1 : P3_7に割り当てる	R/W
b5	TRDIOC0_OSEL1			R/W
b6	TRDIOD0_OSEL0	TRDIOD0_0端子選択ビット	b7 b6 0 0 : TRDIOD0_0端子は使用しない 0 1 : P2_3に割り当てる 1 0 : P3_3に割り当てる 1 1 : 設定しないでください	R/W
b7	TRDIOD0_OSEL1			R/W

TRD_0SR0レジスタは、タイマRD_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRD_0の入出力端子を使用する場合は、TRD_0SR0レジスタを設定してください。

タイマRD_0の関連レジスタを設定する前に、TRD_0SR0レジスタを設定してください。また、タイマRD_0の動作中はTRD_0SR0レジスタの設定値を変更しないでください。

14.5.9 タイマRD_0端子選択レジスタ1 (TRD_0SR1)

アドレス 002AAh

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル TRDIOD1_0SEL1 TRDIOD1_0SEL0 TRDIOC1_0SEL1 TRDIOC1_0SEL0 TRDIOB1_0SEL1 TRDIOB1_0SEL0 TRDIOA1_0SEL1 TRDIOA1_0SEL0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1_0SEL0	TRDIOA1_0端子選択ビット	b1 b0 0 0 : TRDIOA1_0端子は使用しない 0 1 : P2_4に割り当てる 1 0 : P1_0に割り当てる 1 1 : 設定しないでください	R/W
b1	TRDIOA1_0SEL1			R/W
b2	TRDIOB1_0SEL0	TRDIOB1_0端子選択ビット	b3 b2 0 0 : TRDIOB1_0端子は使用しない 0 1 : P2_5に割り当てる 1 0 : P1_1に割り当てる 1 1 : 設定しないでください	R/W
b3	TRDIOB1_0SEL1			R/W
b4	TRDIOC1_0SEL0	TRDIOC1_0端子選択ビット	b5 b4 0 0 : TRDIOC1_0端子は使用しない 0 1 : P2_6に割り当てる 1 0 : P3_4に割り当てる 1 1 : P1_2に割り当てる	R/W
b5	TRDIOC1_0SEL1			R/W
b6	TRDIOD1_0SEL0	TRDIOD1_0端子選択ビット	b7 b6 0 0 : TRDIOD1_0端子は使用しない 0 1 : P2_7に割り当てる 1 0 : P3_5に割り当てる 1 1 : P1_3に割り当てる	R/W
b7	TRDIOD1_0SEL1			R/W

TRD_0SR1レジスタは、タイマRD_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRD_0の入出力端子を使用する場合は、TRD_0SR1レジスタを設定してください。

タイマRD_0の関連レジスタを設定する前に、TRD_0SR1レジスタを設定してください。また、タイマRD_0の動作中はTRD_0SR1レジスタの設定値を変更しないでください。

14.5.10 タイマ端子選択レジスタ (TIMSR)

アドレス	002ADh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRGCLKBSEL	TRGCLKASEL	TRGIOBSEL	TRGIOASEL	—	TRFISEL0	—	TRE2OSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRE2OSEL0	TMRE20端子選択ビット	0: P0_4に割り当てる 1: P6_0に割り当てる	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b2	TRFISEL0	TRFI端子選択ビット	0: TRFI端子は使用しない 1: P8_3に割り当てる	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b4	TRGIOASEL	TRGIOA端子選択ビット	0: TRGIOA端子は使用しない 1: P5_6に割り当てる	R/W
b5	TRGIOBSEL	TRGIOB端子選択ビット	0: TRGIOB端子は使用しない 1: P5_7に割り当てる	R/W
b6	TRGCLKASEL	TRGCLKA端子選択ビット	0: TRGCLKA端子は使用しない 1: P3_0に割り当てる	R/W
b7	TRGCLKBSEL	TRGCLKB端子選択ビット	0: TRGCLKB端子は使用しない 1: P3_2に割り当てる	R/W

TIMSRレジスタは、タイマRE2、タイマRF、タイマRGの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRE2、タイマRF、タイマRGの入出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマRE2、タイマRF、タイマRGの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマRE2、タイマRF、タイマRGの動作中はTIMSRレジスタの設定値を変更しないでください。

14.5.11 UART0_0端子選択レジスタ(U_0SR)

アドレス	002AEh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CLK_0SEL	—	RXD_0SEL	—	TXD_0SEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD_0SEL	TXD_0端子選択ビット	0: TXD_0端子は使用しない 1: P1_4に割り当てる	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	RXD_0SEL	RXD_0端子選択ビット	0: RXD_0端子は使用しない 1: P1_5に割り当てる	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	CLK_0SEL	CLK_0端子選択ビット	0: CLK_0端子は使用しない 1: P1_6に割り当てる	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

U_0SRレジスタは、UART0_0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0_0の入出力端子を使用する場合は、U_0SRレジスタを設定してください。

UART0_0の関連レジスタを設定する前に、U_0SRレジスタを設定してください。また、UART0_0の動作中はU_0SRレジスタの設定値を変更しないでください。

14.5.12 UART0_1端子選択レジスタ(U_1SR)

アドレス	002AFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	CLK_1SEL1	CLK_1SEL0	RXD_1SEL1	RXD_1SEL0	TXD_1SEL1	TXD_1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD_1SEL0	TXD_1端子選択ビット	b1 b0 0 0 : TXD_1端子は使用しない 0 1 : P0_1に割り当てる 1 0 : P6_3に割り当てる 1 1 : 設定しないでください	R/W
b1	TXD_1SEL1			R/W
b2	RXD_1SEL0	RXD_1端子選択ビット	b3 b2 0 0 : RXD_1端子は使用しない 0 1 : P0_2に割り当てる 1 0 : P6_4に割り当てる 1 1 : 設定しないでください	R/W
b3	RXD_1SEL1			R/W
b4	CLK_1SEL0	CLK_1端子選択ビット	b5 b4 0 0 : CLK_1端子は使用しない 0 1 : P0_3に割り当てる 1 0 : P6_2に割り当てる 1 1 : P6_5に割り当てる	R/W
b5	CLK_1SEL1			R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

U_1SRレジスタは、UART0_1の入出力をどの端子に割り当てるかを選択するレジスタです。UART0_1の入出力端子を使用する場合は、U_1SRレジスタを設定してください。

UART0_1の関連レジスタを設定する前に、U_1SRレジスタを設定してください。また、UART0_1の動作中はU_1SRレジスタの設定値を変更しないでください。

14.5.13 UART2 端子選択レジスタ 0 (U2SR0)

アドレス	002B2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RXD2SEL2	RXD2SEL1	RXD2SEL0	—	TXD2SEL2	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2端子選択ビット	b2 b1 b0 0 0 0 : TXD2端子は使用しない	R/W
b1	TXD2SEL1		0 0 1 : P3_7に割り当てる	R/W
b2	TXD2SEL2		0 1 0 : P3_4に割り当てる	R/W
			0 1 1 : P0_0に割り当てる	
		1 0 0 : P2_0に割り当てる		
		1 0 1 : P6_6に割り当てる		
		1 1 0 : P3_6に割り当てる		
		1 1 1 : 設定しないでください		
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	RXD2SEL0	RXD2端子選択ビット	b6 b5 b4 0 0 0 : RXD2端子は使用しない	R/W
b5	RXD2SEL1		0 0 1 : P3_4に割り当てる	R/W
b6	RXD2SEL2		0 1 0 : P3_7に割り当てる	R/W
			0 1 1 : P4_5に割り当てる	
		1 0 0 : P2_0に割り当てる		
		1 0 1 : P6_7に割り当てる		
		1 1 0 : P3_6に割り当てる		
		1 1 1 : 設定しないでください		
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

14.5.14 UART2端子選択レジスタ1 (U2SR1)

アドレス	002B3h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	CTS2SEL1	CTS2SEL0	—	CLK2SEL2	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2端子選択ビット	b2 b1 b0 0 0 0 : CLK2端子は使用しない 0 0 1 : P3_5に割り当てる 0 1 0 : P0_5に割り当てる 0 1 1 : P6_5に割り当てる 1 0 0 : P8_6に割り当てる 上記以外 : 設定しないでください	R/W
b1	CLK2SEL1			R/W
b2	CLK2SEL2			R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	CTS2SEL0	CTS2/RTS2端子選択ビット	b5 b4 0 0 : CTS2/RTS2端子は使用しない 0 1 : P3_3に割り当てる 1 0 : P3_1に割り当てる 1 1 : 設定しないでください	R/W
b5	CTS2SEL1			R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

U2SR1レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1レジスタを設定してください。また、UART2の動作中はU2SR1レジスタの設定値を変更しないでください。

14.5.15 SSU/IIC_0端子選択レジスタ(SSUIIC_0SR)

アドレス	002B4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	SCS_0SEL	SSI_0SEL1	SSI_0SEL0	—	—	SDA_0SEL	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—		何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b1	SDA_0SEL	SDA_0端子選択ビット	0 : P3_7に割り当てる 1 : P3_4に割り当てる	R/W
b2	—		何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b3	—			—
b4	SSI_0SEL0	SSI_0端子選択ビット	b1 b0 0 0 : P3_4に割り当てる 0 1 : P3_3に割り当てる 1 0 : P1_6に割り当てる 1 1 : 設定しないでください	R/W
b5	SSI_0SEL1			R/W
b6	SCS_0SEL	SCS_0端子選択ビット	0 : P3_3に割り当てる 1 : P3_4に割り当てる	R/W
b7	—		何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—

SSUIIC_0SRレジスタは、シンクロナスシリアルコミュニケーションユニット(SSU_0)/I²Cバスインタフェース(I²C_0)の入出力をどの端子に割り当てるかを選択するレジスタです。SSU_0/I²C_0の入出力端子を使用する場合は、SSUIIC_0SRレジスタを設定してください。

SSU_0/I²C_0の関連レジスタを設定する前に、SSUIIC_0SRレジスタを設定してください。また、SSU_0/I²C_0の動作中はSSUIIC_0SRレジスタの設定値を変更しないでください。

14.5.16 INT割り込み入力端子選択レジスタ0 (INTSR0)

アドレス 002B6h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル INT3SEL1 INT3SELO INT2SEL1 INT2SELO INT1SEL2 INT1SEL1 INT1SELO —

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—		何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b1	INT1SELO	INT1端子選択ビット	b3 b2 b1 0 0 0 : P1_7に割り当てる 0 0 1 : P1_5に割り当てる 0 1 0 : P2_0に割り当てる 0 1 1 : P3_6に割り当てる 1 0 0 : P3_2に割り当てる 上記以外 : 設定しないでください	R/W
b2	INT1SEL1			R/W
b3	INT1SEL2			R/W
b4	INT2SELO	INT2端子選択ビット	b5 b4 0 0 : P6_6に割り当てる 0 1 : P3_2に割り当てる 1 0 : P6_4に割り当てる 1 1 : P0_2に割り当てる	R/W
b5	INT2SEL1			R/W
b6	INT3SELO	INT3端子選択ビット	b7 b6 0 0 : P3_3に割り当てる 0 1 : P3_7に割り当てる 1 0 : P6_7に割り当てる 1 1 : 設定しないでください	R/W
b7	INT3SEL1			R/W

INTSR0レジスタは、 $\overline{\text{INT}}_i$ ($i=1\sim 3$)の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSR0レジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSR0レジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSR0レジスタの設定値を変更しないでください。

INT0、INT4は、INTSR0レジスタに関係なく、それぞれP4_5、P6_5に割り当てられます。

14.5.17 入出力機能端子選択レジスタ (PINSR)

アドレス	002B9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	IOINSEL	I/Oポート入力機能選択ビット	0 : I/Oポートの入力機能はPDiレジスタ (i=0~6、8、9、C)に依存。PDiレジスタのPDi _j ビット (j=0~7)が0 (入力モード)のとき、端子の入力レベルが読める。 PDiレジスタのPDi _j ビットが1 (出力モード)のとき、ポートラッチの値が読める。 1 : I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルが読める。	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

IOINSELビット (I/Oポート入力機能選択ビット)

IOINSELビットはPDiレジスタのPDi_jビットが1 (出力モード)のときに、Piレジスタの読み出す値をポートラッチにするか、I/Oポートの端子の入力レベルにするかを選択するビットです。0にするとポートラッチの値が読めます。1にするとI/Oポートの端子の入力レベルが読めます。

表14.6にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表14.6 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi _j ビット	0 (入力モード)		1 (出力モード)		
	IOINSELビット	0	1	0	1
I/Oポート読み出し値		端子の入力レベル	ポートラッチの値	端子の入力レベル	

i=0~6、8、9、C、j=0~7

14.5.18 プルアップ制御レジスタ0 (PUR0)

アドレス	002C0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PUR07	PUR06	PUR05	PUR04	PUR03	PUR02	PUR01	PUR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUR00	P0_0~P0_3のプルアップ	0: プルアップなし 1: プルアップあり(注1)	R/W
b1	PUR01	P0_4~P0_7のプルアップ		R/W
b2	PUR02	P1_0~P1_3のプルアップ		R/W
b3	PUR03	P1_4~P1_7のプルアップ		R/W
b4	PUR04	P2_0~P2_3のプルアップ		R/W
b5	PUR05	P2_4~P2_7のプルアップ		R/W
b6	PUR06	P3_0~P3_3のプルアップ		R/W
b7	PUR07	P3_4~P3_7のプルアップ		R/W

注1. このビットが1 (プルアップあり)かつポート方向ビットが0 (入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR0 レジスタの設定値が有効になります。

14.5.19 プルアップ制御レジスタ1 (PUR1)

アドレス	002C1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUR10	P4_3のプルアップ	0: プルアップなし 1: プルアップあり(注1)	R/W
b1	PUR11	P4_4~P4_7のプルアップ		R/W
b2	PUR12	P5_0~P5_3のプルアップ		R/W
b3	PUR13	P5_4、P5_6、P5_7のプルアップ		R/W
b4	PUR14	P6_0~P6_3のプルアップ		R/W
b5	PUR15	P6_4~P6_7のプルアップ		R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

注1. このビットが1 (プルアップあり)かつポート方向ビットが0 (入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR1 レジスタの設定値が有効になります。

14.5.20 プルアップ制御レジスタ2 (PUR2)

アドレス	002C2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PUR23	—	PUR21	PUR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUR20	P8_0~P8_3のプルアップ	0: プルアップなし	R/W
b1	PUR21	P8_4~P8_6のプルアップ	1: プルアップあり(注1)	R/W
b2	—	予約ビット	0にしてください	R/W
b3	PUR23	P9_4~P9_7のプルアップ	0: プルアップなし 1: プルアップあり(注1)	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. このビットが1 (プルアップあり)かつポート方向ビットが0 (入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR2レジスタの設定値が有効になります。

14.5.21 プルアップ制御レジスタ3 (PUR3)

アドレス	002C3h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	PUR31	PUR30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUR30	PC_0~PC_3のプルアップ	0: プルアップなし	R/W
b1	PUR31	PC_4のプルアップ	1: プルアップあり(注1)	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. このビットが1 (プルアップあり)かつポート方向ビットが0 (入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR3レジスタの設定値が有効になります。

14.5.22 ポートP1駆動能力制御レジスタ (P1DDR)

アドレス	002C8h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P1DDR7	P1DDR6	P1DDR5	P1DDR4	P1DDR3	P1DDR2	P1DDR1	P1DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P1DDR0	P1_0の駆動能力	0 : Low 1 : High (注1)	R/W
b1	P1DDR1	P1_1の駆動能力		R/W
b2	P1DDR2	P1_2の駆動能力		R/W
b3	P1DDR3	P1_3の駆動能力		R/W
b4	P1DDR4	P1_4の駆動能力		R/W
b5	P1DDR5	P1_5の駆動能力		R/W
b6	P1DDR6	P1_6の駆動能力		R/W
b7	P1DDR7	P1_7の駆動能力		R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

P1DDRレジスタはP1の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P1DDRjビット(j=0~7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P1DDRレジスタの設定値が有効になります。

14.5.23 ポートP2駆動能力制御レジスタ (P2DDR)

アドレス	002C9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P2DDR7	P2DDR6	P2DDR5	P2DDR4	P2DDR3	P2DDR2	P2DDR1	P2DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P2DDR0	P2_0の駆動能力	0 : Low 1 : High (注1)	R/W
b1	P2DDR1	P2_1の駆動能力		R/W
b2	P2DDR2	P2_2の駆動能力		R/W
b3	P2DDR3	P2_3の駆動能力		R/W
b4	P2DDR4	P2_4の駆動能力		R/W
b5	P2DDR5	P2_5の駆動能力		R/W
b6	P2DDR6	P2_6の駆動能力		R/W
b7	P2DDR7	P2_7の駆動能力		R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

P2DDRレジスタはP2の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P2DDRjビット(j=0~7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P2DDRレジスタの設定値が有効になります。

14.5.24 ポートPC駆動能力制御レジスタ(PCDRR)

アドレス	002CBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	PCDRR4	PCDRR3	PCDRR2	PCDRR1	PCDRR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PCDRR0	PC_0の駆動能力	0 : Low 1 : High (注1)	R/W
b1	PCDRR1	PC_1の駆動能力		R/W
b2	PCDRR2	PC_2の駆動能力		R/W
b3	PCDRR3	PC_3の駆動能力		R/W
b4	PCDRR4	PC_4の駆動能力		R/W
b5	—	予約ビット	0にしてください	R/W
b6	—			
b7	—			

注1. H出力、L出力ともにHigh駆動能力に設定されます。

PCDRRレジスタはPCの出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。PCDRR_jビット(j=0~4)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、PCDRRレジスタの設定値が有効になります。

14.5.25 駆動能力制御レジスタ0 (DRR0)

アドレス	002CCh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DRR07	DRR06	—	—	—	—	DRR01	DRR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR00	P0_0～P0_3の駆動能力	0 : Low	R/W
b1	DRR01	P0_4～P0_7の駆動能力	1 : High (注1)	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b6	DRR06	P3_0～P3_3の駆動能力	0 : Low	R/W
b7	DRR07	P3_4～P3_7の駆動能力	1 : High (注1)	R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR0レジスタの設定値が有効になります。

DRR00ビット(P0_0～P0_3の駆動能力)

DRR00ビットは、P0_0～P0_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR00ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR01ビット(P0_4～P0_7の駆動能力)

DRR01ビットは、P0_4～P0_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR01ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR06ビット(P3_0～P3_3の駆動能力)

DRR06ビットは、P3_0～P3_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR06ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR07ビット(P3_4～P3_7の駆動能力)

DRR07ビットは、P3_4～P3_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR07ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

14.5.26 駆動能力制御レジスタ 1 (DRR1)

アドレス	002CDh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	DRR15	DRR14	DRR13	DRR12	DRR11	DRR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR10	P4_3の駆動能力	0 : Low 1 : High (注1)	R/W
b1	DRR11	P4_4～P4_7の駆動能力		R/W
b2	DRR12	P5_0～P5_3の駆動能力		R/W
b3	DRR13	P5_4、P5_6、P5_7の駆動能力		R/W
b4	DRR14	P6_0～P6_3の駆動能力		R/W
b5	DRR15	P6_4～P6_7の駆動能力		R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

注1. H出力、L出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR1レジスタの設定値が有効になります。

DRR10ビット (P4_3の駆動能力)

DRR10ビットは、P4_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR10ビットによって、1端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR11ビット (P4_4～P4_7の駆動能力)

DRR11ビットは、P4_4～P4_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR11ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR12ビット (P5_0～P5_3の駆動能力)

DRR12ビットは、P5_0～P5_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR12ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR13ビット (P5_4、P5_6、P5_7の駆動能力)

DRR13ビットは、P5_4、P5_6、P5_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR13ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR14ビット (P6_0～P6_3の駆動能力)

DRR14ビットは、P6_0～P6_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR14ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR15ビット (P6_4～P6_7の駆動能力)

DRR15ビットの、P6_4～P6_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR15ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

14.5.27 駆動能力制御レジスタ2 (DRR2)

アドレス	002CEh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	DRR23	—	DRR21	DRR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR20	P8_0～P8_3の駆動能力	0 : Low	R/W
b1	DRR21	P8_4～P8_6の駆動能力	1 : High (注1)	R/W
b2	—	予約ビット	0にしてください	R/W
b3	DRR23	P9_4～P9_7の駆動能力	0 : Low 1 : High (注1)	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. H出力、L出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR2レジスタの設定値が有効になります。

DRR20ビット(P8_0～P8_3の駆動能力)

DRR20ビットは、P8_0～P8_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR20ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR21ビット(P8_4～P8_6の駆動能力)

DRR21ビットは、P8_4～P8_6の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR21ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR23ビット(P9_4～P9_7の駆動能力)

DRR23ビットは、P9_4～P9_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR23ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

14.5.28 入力しきい値制御レジスタ0 (VLT0)

アドレス 002D0h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	VLT05	VLT04	VLT03	VLT02	VLT01	VLT00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT00	P0の入カレベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b1	VLT01			R/W
b2	VLT02	P1の入カレベル選択ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b3	VLT03			R/W
b4	VLT04	P2の入カレベル選択ビット	b5 b4 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b5	VLT05			R/W
b6	VLT06	P3の入カレベル選択ビット	b7 b6 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b7	VLT07			R/W

VLT0 レジスタはポート P0～P3 の入力しきい値の電圧レベルを選択するレジスタです。VLT00～VLT07ビットによって、8端子ごとに入力しきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

14.5.29 入力しきい値制御レジスタ1 (VLT1)

アドレス	002D1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	VLT15	VLT14	VLT13	VLT12	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4_2~P4_7入力レベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b1	VLT11			R/W
b2	VLT12	P5_0~P5_4、P5_6、P5_7入力レベル選択ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b3	VLT13			R/W
b4	VLT14	P6入力レベル選択ビット	b5 b4 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b5	VLT15			R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

VLT1レジスタはポートP4_2~P4_7、P5_0~P5_4、P5_6、P5_7、P6の入力しきい値の電圧レベルを選択するレジスタです。VLT10~VLT15ビットによって、入力しきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

14.5.30 入力しきい値制御レジスタ2 (VLT2)

アドレス	002D2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VLT23	VLT22	VLT21	VLT20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT20	P8_0~P8_6入力レベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b1	VLT21			R/W
b2	VLT22	P9_4~P9_7入力レベル選択ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b3	VLT23			R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			—
b6	—			—
b7	—			—

VLT2レジスタはポートP8_0~P8_6、P9_4~P9_7の入力しきい値の電圧レベルを選択するレジスタです。VLT20~VLT23ビットによって、入力しきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

14.5.31 入力しきい値制御レジスタ3 (VLT3)

アドレス	002D3h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	VLT31	VLT30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT30	PC_0~PC_4入力レベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b1	VLT31			R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

VLT3レジスタはポートPCの入力しきい値の電圧レベルを選択するレジスタです。VLT30、VLT31ビットによって、入力しきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

14.5.32 ポートPiレジスタ (PORTi) (i = 0~6、8、9、C)

アドレス 002E0h (PORT0)、002E1h (PORT1)、002E4h (PORT2)、002E5h (PORT3)、
002E8h (PORT4 (注1))、002E9h (PORT5 (注2))、002ECh (PORT6)、002F0h (PORT8 (注3))、
002F1h (PORT9 (注4))、002F8h (PORTC (注5))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0 : Lレベル 1 : Hレベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

注1. P4_0~P4_1ビットは何も配置されていません。

P4_0~P4_1ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注2. P5_5ビットは予約ビットです。

P5_5ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注3. P8_7ビットは予約ビットです。

P8_7ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注4. P9_0~P9_3ビットは予約ビットです。

P9_0~P9_3ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注5. PC_5~PC_7ビットは予約ビットです。

PC_5~PC_7ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

外部とのデータ入出力は、PORTiレジスタへの読み出しと書き込みによって行います。PORTiレジスタは、出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。ポータラッチに書いた値は端子から出力されます。PORTiレジスタの各ビットは、ポート1本ずつに対応しています。

Pi_jビット (j = 0~7) (ポートPi_jビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

14.5.33 ポートPi方向レジスタ (PDi) (i = 0~6、8、9、C)

アドレス 002E2h (PD0 (注1))、002E3h (PD1)、002E6h (PD2)、002E7h (PD3)、002EAh (PD4 (注2))、
002EBh (PD5 (注3))、002EEh (PD6)、002F2h (PD8 (注4))、002F3h (PD9 (注5))、
002FAh (PDC (注6))、

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

注1. PD0レジスタは、PRCRレジスタのPRC2ビットを1(書き込み許可)にした次の命令で書いてください。

注2. PD4_0~PD4_2ビットは何も配置されていません。

PD4_0~PD4_2ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注3. PD5_5ビットは予約ビットです。

PD5_5ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注4. PD8_7ビットは予約ビットです。

PD8_7ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注5. PD9_0~PD9_3ビットは予約ビットです。

PD9_0~PD9_3ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注6. PDC_5~PDC_7ビットは予約ビットです。

PDC_5~PDC_7ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

PDi レジスタはI/Oポートを入力で使用するか、出力で使用するか選択するためのレジスタです。
PDiレジスタの各ビットは、ポート1本ずつに対応しています。

14.5.34 端子選択レジスタで制御されない入出力端子

端子選択レジスタで制御されない入出力端子を以下に記載します。

- (1) クロック同期形シリアルインタフェース(SSU_1/IIC_1)の入出力端子
 - SCL_1 : P9_6
 - SDA_1 : P9_5
 - SSI_1 : P9_4
 - SCS_1 : P9_5
 - SSCK_1 : P9_6
 - SSO_1 : P9_7
- (2) キー入力割り込みの入力端子
 - KI0 : P1_0
 - KI1 : P1_1
 - KI2 : P1_2
 - KI3 : P1_3
- (3) CANの入出力端子
 - CTX_0 : P6_1
 - CRX_0 : P6_2

14.6 未使用端子の処理

表14.7に未使用端子の処理例を、図14.9に未使用端子の処理例を示します。

表14.7 未使用端子の処理例

端子名	処理内容
ポートP0、P1、P2、P3、 P4_3~P4_7、P5_0~P5_4、 P5_6、P5_7、P6、 P8_0~P8_6、P9_4~P9_7、 PC_0~PC_4	<ul style="list-style-type: none"> 入力モードに設定し、端子ごとに抵抗を通して、VSSに接続(プルダウン)または端子ごとに抵抗を通して、VCCに接続(プルアップ)(注1) 出力モードに設定し、端子を開放(注1、2)
ポートP4_2/VREF	VCCに接続
RESET (注3)	抵抗を通してVCCに接続(プルアップ)(注1)

注1. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2 cm以内)で処理してください。

注2. 出力モードに設定し開放する場合、プログラムによってポートを出力モードに切り替えるまで、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定すると、プログラムの信頼性が高くなります。

注3. パワーオンリセット使用時。

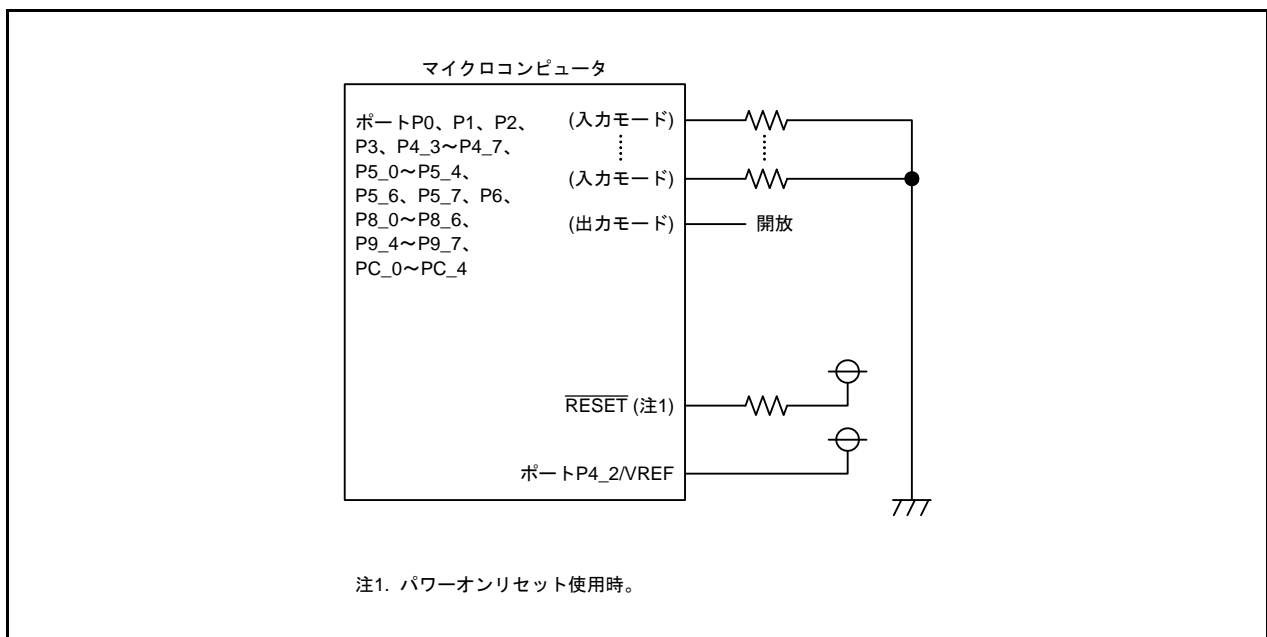


図14.9 未使用端子の処理例

15. タイマRJ

タイマRJはパルス出力、外部入力のパルス幅/周期測定、内部カウントソースまたは外部パルスをカウントできる16ビットタイマです。

タイマRJは同機能を持つタイマRJ_0、タイマRJ_1の2本内蔵されています。特に差異がない限り、本章ではタイマRJとして説明します。タイマRJはリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されます。

15.1 概要

表15.1にタイマRJの仕様を、図15.1にタイマRJのブロック図(i=1, 2)を示します。

表15.1 タイマRJの仕様

項目		内容
動作モード	タイマモード	内部カウントソースをカウントする
	パルス出力モード	内部カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部パルスをカウントする
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース	f1、f2、f8、fOCO、ELCからのイベント入力、および外部パルスから選択可能	
割り込み	<ul style="list-style-type: none"> • カウンタがアンダフローしたとき • パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき • パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき 	
選択機能	<ul style="list-style-type: none"> • ハードウェアLINモジュールとの連携 ハードウェアLINモジュールから入力によるカウンタのリロード動作可能 • イベントリンクコントローラ(ELC)との連携 カウントソースにELCからのイベント入力を選択可能 	

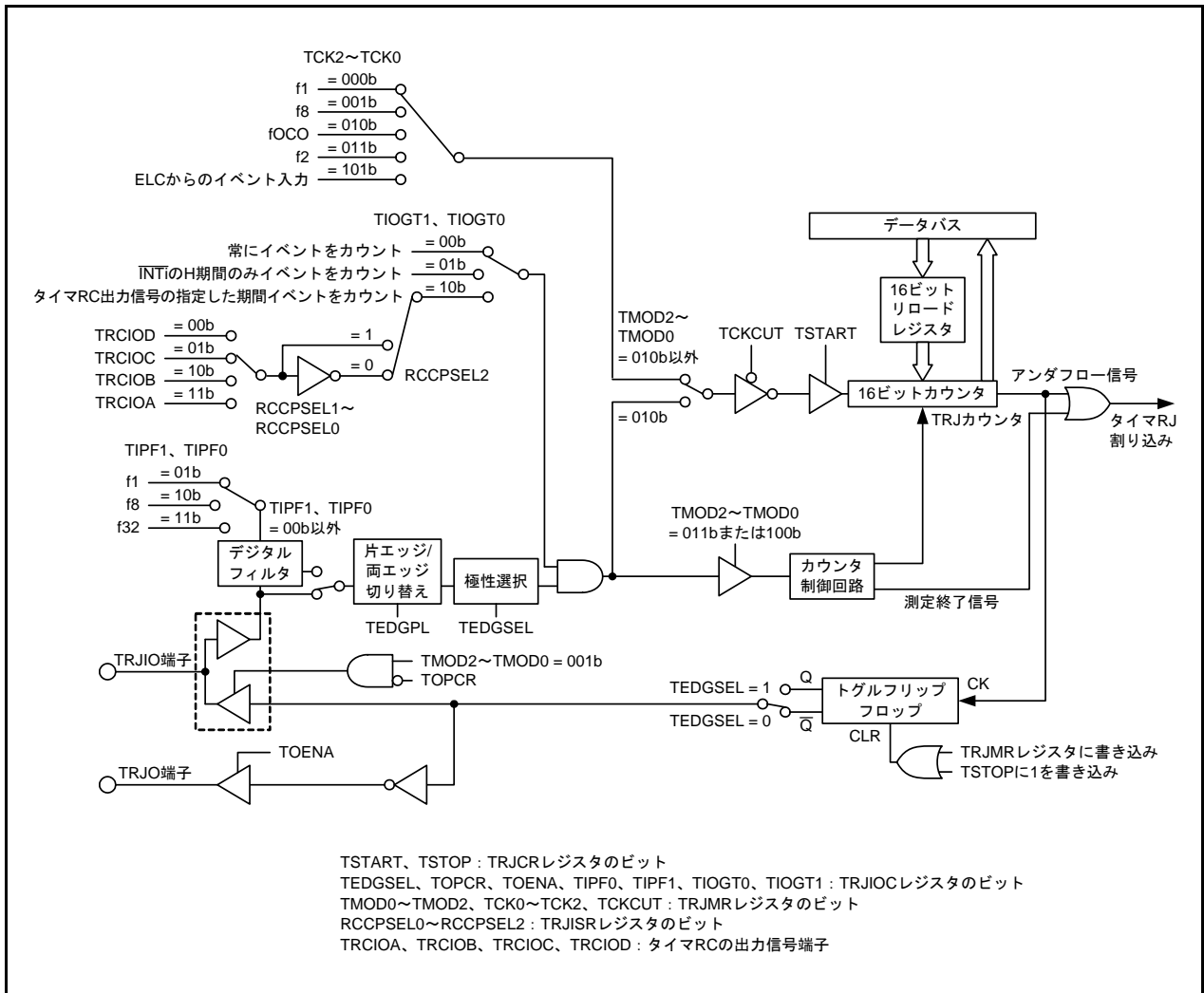


図 15.1 タイマRJのブロック図 (i = 1, 2)

15.2 入出力端子

表 15.2 にタイマRJの端子構成を示します。

表 15.2 タイマRJの端子構成

端子名	入出力	機能
INT1	入力	タイマRJ_0のイベントカウンタモード制御
INT2	入力	タイマRJ_1のイベントカウンタモード制御
TRJIO (注1)	入出力	タイマRJの外部パルス入力、パルス出力
TRJO (注1)	出力	タイマRJのパルス出力

注1. TRJIOとTRJOが同時にパルス出力する場合、TRJIOはTRJOの反転出力となります。

15.3 レジスタの説明

表15.3にタイマRJのレジスタ構成を示します。

表15.3 タイマRJのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRJ_0カウンタレジスタ	TRJ_0	FFFFh	00110h	16
タイマRJ_0制御レジスタ	TRJCR_0	00h	00112h	8
タイマRJ_0 I/O制御レジスタ	TRJIOC_0	00h	00113h	8
タイマRJ_0モードレジスタ	TRJMR_0	00h	00114h	8
タイマRJ_0イベント端子選択レジスタ	TRJISR_0	00h	00115h	8
タイマRJ_1カウンタレジスタ	TRJ_1	FFFFh	00118h	16
タイマRJ_1制御レジスタ	TRJCR_1	00h	0011Ah	8
タイマRJ_1 I/O制御レジスタ	TRJIOC_1	00h	0011Bh	8
タイマRJ_1モードレジスタ	TRJMR_1	00h	0011Ch	8
タイマRJ_1イベント端子選択レジスタ	TRJISR_1	00h	0011Dh	8

15.3.1 タイマRJカウンタレジスタ (TRJ)

アドレス 00110h (TRJ_0)、00118h (TRJ_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	設定範囲	R/W
b15~b0	—	16ビットのカウンタおよびリロードレジスタです。(注1、2)	0001h~FFFFh	R/W

注1. TRJCRレジスタのTSTOPビットに1を書くと、16ビットカウンタは強制停止し、FFFFhになります。

注2. TRJレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

16ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。

なお、TRJレジスタへの書き込みは、TRJCRレジスタのTCSTFビットの値により、リロードレジスタとカウンタへの反映の仕方が変わります。詳細は「15.4.1 リロードレジスタとカウンタの書き換え動作」を参照してください。

15.3.2 タイマRJ制御レジスタ (TRJCR)

アドレス 00112h (TRJCR_0)、0011Ah (TRJCR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRJカウント開始ビット (注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRJカウントステータスフラグ (注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRJカウント強制停止ビット (注2)	1を書くと、カウント強制停止。 読んだ場合、その値は0。	W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	TEDGF	有効エッジ判定フラグ (注3)	0: 有効エッジなし 1: 有効エッジあり	R/W
b5	TUNDF	タイマRJアンダフローフラグ (注3)	0: アンダフローなし 1: アンダフローあり	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

注1. TSTART、TCSTFビットの使用上の注意は「15.5 タイマRJ使用上の注意事項の(2)」を参照してください。

注2. TSTOPビットに1(カウント強制停止)を書くと、同時にTSTART、TCSTFビットが初期化されます。また、パルス出力レベルも初期化されます。

注3. TRJCRレジスタは、MOV命令を使用して書いてください。TRJCRレジスタにリードモディファイライト命令を実行すると、タイミングによってはTEDGF、TUNDFビットを0にする場合があります。

TSTARTビット(タイマRJカウント開始ビット)

TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTビットを1(カウント開始)にすると、カウントソースに同期してTCSTFビットが1(カウント中)になります。また、TSTARTビットに0を書き込み後、カウントソースに同期してTCSTFビットが0(カウント停止)になります。詳細は「15.5 タイマRJ使用上の注意事項の(2)」を参照してください。

TCSTFビット(タイマRJカウントステータスフラグ)

[0になる条件]

- TSTARTビットに0を書いたとき(カウントソースに同期して0になる)
- TSTOPビットに1を書いたとき

[1になる条件]

- TSTARTビットに1を書いたとき(カウントソースに同期して1になる)

TEDGFビット(有効エッジ判定フラグ)

[0になる条件]

- プログラムで0を書いたとき

[1になる条件]

- パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき
- パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき

TUNDFビット(タイマRJアンダフローフラグ)

[0になる条件]

- プログラムで0を書いたとき

[1になる条件]

- カウンタがアンダフローしたとき

15.3.3 タイマRJ I/O制御レジスタ (TRJIOC)

アドレス 00113h (TRJIOC_0)、0011Bh (TRJIOC_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	入出力極性切り替えビット	動作モードによって機能が異なる (表 15.4、表 15.5 参照)	R/W
b1	TOPCR	TRJIO 出力制御ビット (注1)	0 : TRJIO 出力許可 (トグル出力開始) 1 : TRJIO 出力禁止 (トグル出力停止)	R/W
b2	TOENA	TRJO 出力許可ビット	0 : TRJO 出力禁止 (ポート) 1 : TRJO 出力許可	R/W
b3	TIOSEL	イベント入力選択ビット	0 : TRJIO 端子から入力 1 : ハードウェア LIN から入力	R/W
b4	TIPF0	TRJIO 入力フィルタ選択ビット	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1 でサンプリング 1 0 : フィルタあり、f8 でサンプリング 1 1 : フィルタあり、f32 でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJIO カウント制御ビット (注2、3)	b7 b6 0 0 : イベントをカウント 0 1 : INTi (i = 1、2) の H 期間のみイベントをカウント 1 0 : TRJISR レジスタの RCCPSEL ビットで指定したタイマ RC 出力信号の期間イベントをカウント 1 1 : 設定しないでください	R/W
b7	TIOGT1			R/W

注1. TOPCR ビットはパルス出力モードのみ有効です。パルス出力モードでは0のとき、反転出力となり、1に設定すると出力禁止になり、TRJIO機能として選択したポートはハイインピーダンス状態になります。

TOPCR ビットは、TRJMR レジスタの設定完了後に設定してください。

注2. タイマ RC 出力信号使用時、RCCPSEL2 ビットにてイベントをカウントする期間を選択できます。

注3. TIOGT0、TIOGT1 ビットはイベントカウンタモードでのみ有効です。

TEDGSEL ビット (入出力極性切り替えビット)

TEDGSEL ビットは、TRJO 出力極性と TRJIO 入出力のエッジおよび極性切り替えを設定します。パルス出力モードでは、TRJO 出力および TRJIO 出力の極性のみ制御します。TRJO 出力および TRJIO 出力は、TRJMR レジスタに書いたとき、または TRJCR レジスタの TSTOP ビットに1を書いたときに初期化されます。

表 15.4 TRJIO 入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	未使用 (I/O ポート)
パルス出力モード	0 : H から出力開始 (初期化レベル H) 1 : L から出力開始 (初期化レベル L)
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : L レベル幅を測定 1 : H レベル幅を測定
パルス周期測定モード	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定

表 15.5 TRJO出力極性切り替え

動作モード	機能
全モード	0 : Lから出力開始(初期化レベルL) 1 : Hから出力開始(初期化レベルH)

TOPCRビット(TRJIO出力制御ビット)

TOPCRビットはパルス出力モードのみ有効です。0にするとTRJIO端子からパルス出力できます。1にすると出力禁止となり、TRJIO機能として選択したポートは、ハイインピーダンス状態になります。

その他の動作モードでは、TOPCRビットの設定にかかわらず、表 15.6に示す機能を持ちます。

表 15.6 TRJIO端子機能

動作モード	機能
タイマモード	未使用(I/Oポート)
イベントカウンタモード	イベントカウント入力(カウントソース入力)
パルス幅測定モード	パルス幅測定の入力
パルス周期測定モード	パルス周期測定の入力

TIOSELビット(イベント入力選択ビット)

ハードウェアLINとして使用する場合、TIOSELビットを1にしてください。

TIPF0、TIPF1ビット(TRJIO入力フィルタ選択ビット)

TRJIO入力のフィルタのサンプリング周波数を指定します。TRJIO端子からの入力をサンプリングして、その値が3回連続して一致したとき、入力が確定します。

15.3.4 タイマRJモードレジスタ (TRJMR)

アドレス 00114h (TRJMR_0)、0011Ch (TRJMR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRJ動作モード選択ビット	b2 b1 b0 0 0 0 : タイマモード 0 0 1 : パルス出力モード 0 1 0 : イベントカウンタモード 0 1 1 : パルス幅測定モード 1 0 0 : パルス周期測定モード 上記以外 : 設定しないでください	R/W
b1	TMOD1			R/W
b2	TMOD2			R/W
b3	TEDGPL	TRJIOエッジ極性選択ビット(注1)	0 : 片エッジ 1 : 両エッジ	R/W
b4	TCK0	タイマRJカウントソース選択ビット (注2、3)	b6 b5 b4 0 0 0 : f1 0 0 1 : f8 0 1 0 : fOCO 0 1 1 : f2 1 0 0 : 設定しないでください 1 0 1 : イベントリンクコントローラ(ELC)からのイベント入力 上記以外 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRJカウントソース遮断ビット (注3)	0 : カウントソース供給 1 : カウントソース遮断	R/W

注1. TEDGPLビットはイベントカウンタモードでのみ有効です。

注2. イベントカウンタモードを選択すると、TCK0～TCK2ビットの設定にかかわらず、カウントソースは外部入力(TRJIO)が選択されます。

注3. カウント中にカウントソースの切り替えまたは遮断をしないでください。カウントソースの切り替えまたは遮断をするときは、TRJCRレジスタのTSTARTビットを0(カウント停止)、TCSTFビットを0(カウント停止)にし、タイマのカウントを停止してください。

カウント停止(TSTARTビットが0、かつTCSTFビットが0)時に動作モードを選択してください。

TRJMRレジスタに書き込むと、トグルフリップフロップは初期化されます。初期化時の出力レベルは、「15.3.3 タイマRJ I/O制御レジスタ (TRJIOC)」のTEDGSELビットの説明を参照してください。

15.3.5 タイマRJイベント端子選択レジスタ (TRJISR)

アドレス 00115h (TRJISR_0)、0011Dh (TRJISR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	RCCPSEL2	RCCPSEL1	RCCPSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCCPSEL0	タイマRC出力信号選択ビット	b1 b0 0 0 : TRCIOD 0 1 : TRCIOC 1 0 : TRCIOB 1 1 : TRCIOA	R/W
b1	RCCPSEL1			R/W
b2	RCCPSEL2	タイマRC出力信号反転ビット	0 : タイマRC出力信号のL期間をカウント 1 : タイマRC出力信号のH期間をカウント	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

イベントカウンタモードで使用します。TRJIOC レジスタのTIOGT1、TIOGT0 ビットに10b (RCCPSEL0、RCCPSEL1 ビットで指定したタイマRC出力信号の期間イベントをカウント) の場合のみ有効です。

タイマRCからのイベント入力とタイマRJ_0、タイマRJ_1との接続を以下に示します。

- タイマRC_0 → タイマRJ_0
- タイマRC_1 → タイマRJ_1

15.4 動作説明

15.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらずTRJCRレジスタのTSTARTビットの値によりタイミングが変わります。TSTARTビットが0(カウント停止)のときは、直接リロードレジスタに書き込まれた後、システムクロック(f)に同期してカウンタに書き込まれます。TSTARTビットが1(カウント開始)のときは、カウントソースの3サイクル後に同期してリロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。

図15.2にTSTARTビットの値による書き換え動作のタイミング図を示します。

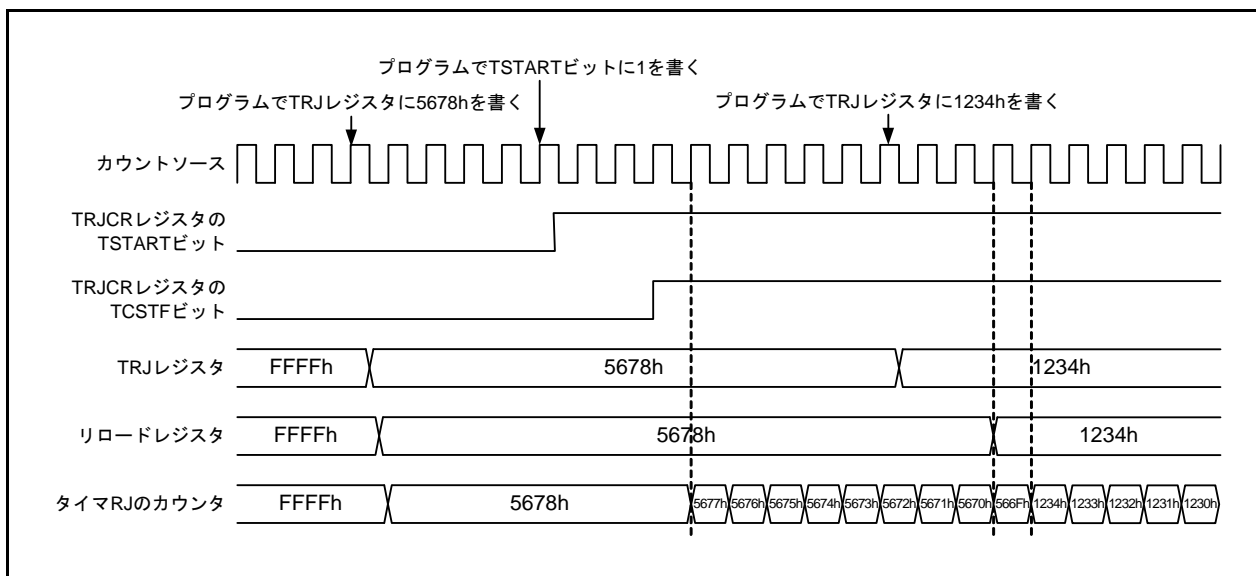


図15.2 TSTARTビットの値による書き換え動作のタイミング図

15.4.2 タイマモード

TRJMRレジスタのTCK0～TCK2ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1だけ減少し、カウント値が0000hになった後、次のカウントソースが入力されると、リロードレジスタに設定した値がロードされ、アンダフローが発生し割り込みが発生します。

図15.3にタイマモードの動作タイミング例を示します。

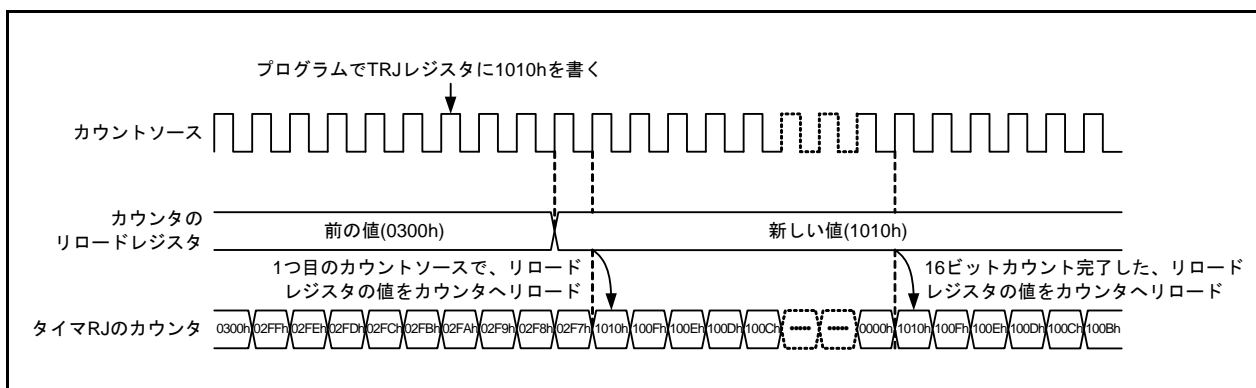


図15.3 タイマモードの動作タイミング例

15.4.3 パルス出力モード

TRJMRレジスタのTCK0～TCK2ビットにより選択されたカウントソースでダウンカウントし、パルスをTRJIO端子から出力するモードです。アンダフローが発生すると出力レベルを反転します。

パルス出力モードでは、カウントソースが入力されるごとにカウント値が1だけ減少し、カウント値が0000hになった後、次のカウントソースが入力されると、リロードレジスタに設定した値がロードされ、アンダフローが発生し割り込みが発生します。

また、TRJIO端子とTRJO端子の2端子からパルス出力が可能で、アンダフローが発生するごとに出力レベルを反転します。TRJIO端子については、TRJIOCレジスタのTOPCRビットによりパルス出力を停止できます。

なお、出力レベルをTRJIOCレジスタのTEDGSELビットにより選択できます。

図15.4にTEDGSELビットが0のときのパルス出力モードの動作タイミング例を示します。

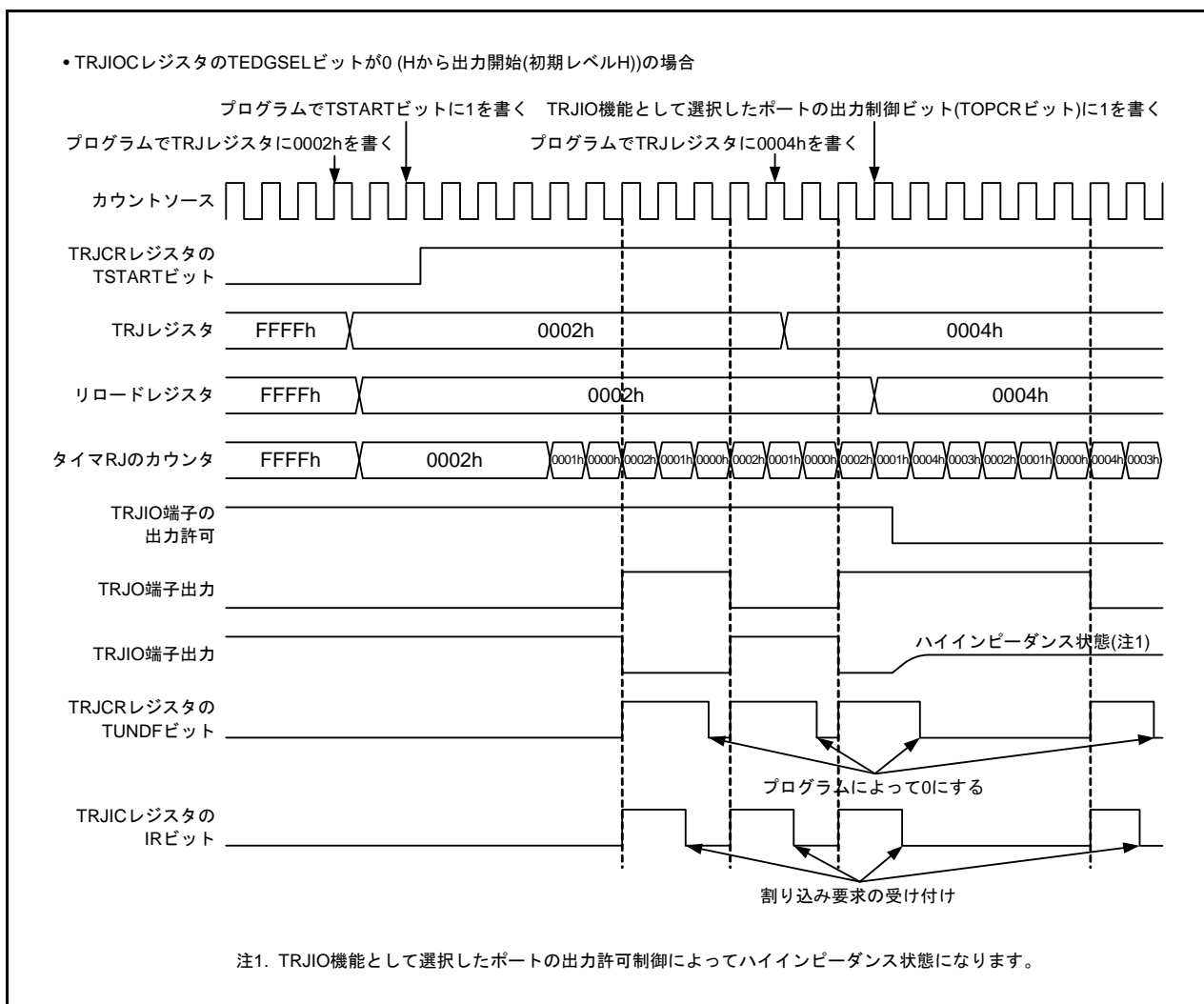


図15.4 パルス出力モードの動作タイミング例

15.4.4 イベントカウンタモード

TRJIO端子から入力される外部パルス信号をダウンカウントするモードです。

イベントカウントする期間を、TRJIOCレジスタのTIOGT0、TIOGT1ビットおよびTRJISRレジスタにより各種設定ができます。また、TRJIO入力のフィルタ機能をTRJIOCレジスタのTIPF0、TIPF1ビットで指定できます。

なお、イベントカウンタモードでもTRJO端子からトグル出力ができます。

イベントカウンタモードを使用する場合、「15.5 タイマRJ使用上の注意事項の(3)」を参照してください。

図15.5にイベントカウンタモードの動作タイミング例(1)を示します。

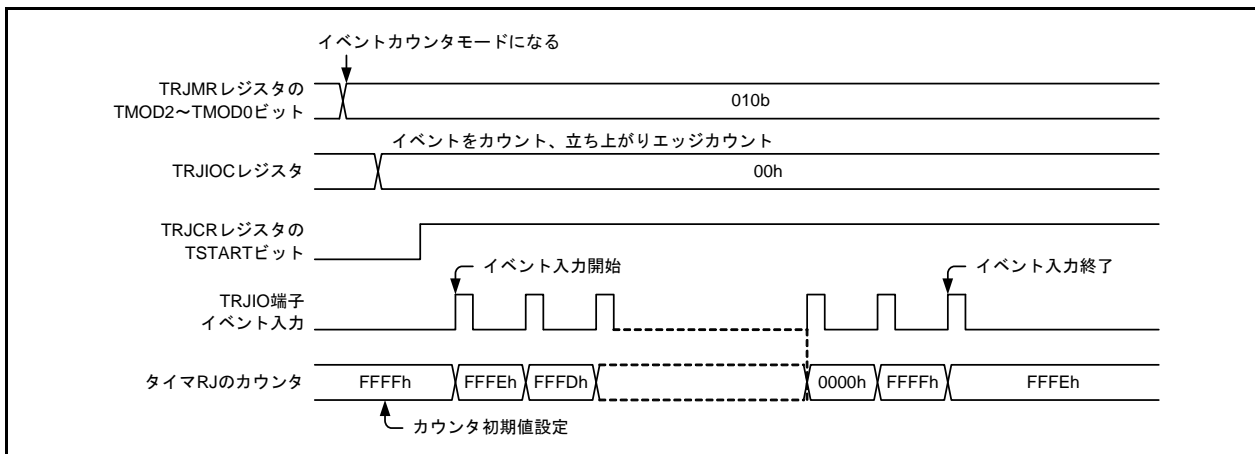


図15.5 イベントカウンタモードの動作タイミング例(1)

イベントカウンタモードで指定期間カウントする場合 (TRJIOCレジスタ TIOGT0、TIOGT1ビットが01bまたは10b)の動作例を図15.6に示します。

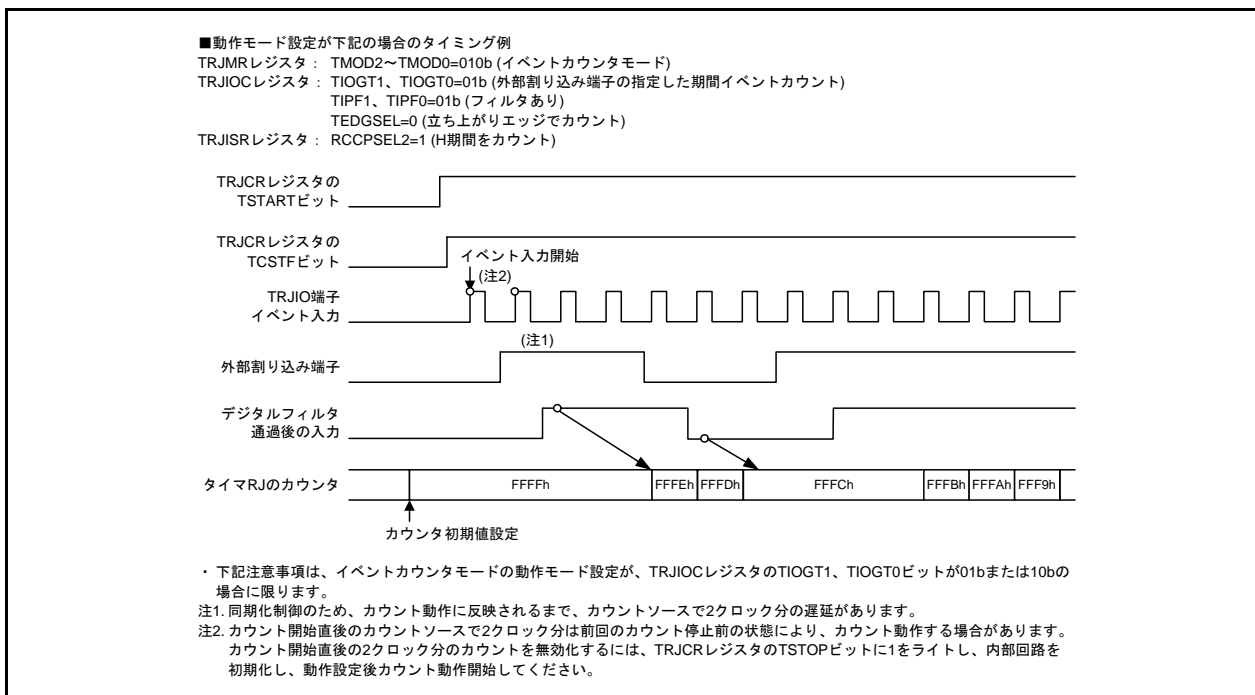


図15.6 イベントカウンタモードの動作タイミング例(2)

図15.6の動作例は外部割り込み端子の指定した期間の動作例ですが、PWM入力の指定した期間の場合も同様のタイミングとなります。

15.4.5 パルス幅測定モード

TRJIO端子から入力される外部信号のパルス幅を測定するモードです。

パルス幅測定モードでは、TRJIO端子にTRJIOCレジスタのTEDGSELビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO端子が指定したレベルが終了するとカウンタは停止し、TRJCRレジスタのTEDGFビットが1(有効エッジあり)になり割り込みが発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCRレジスタのTUNDFビットが1(アンダフローあり)となり、割り込みが発生します。

図15.7にパルス幅測定モードの動作タイミング例を示します。

TRJCRレジスタのTEDGF、TUNDFビットをアクセスする場合、「15.5 タイマRJ使用上の注意事項の(4)」を参照してください。

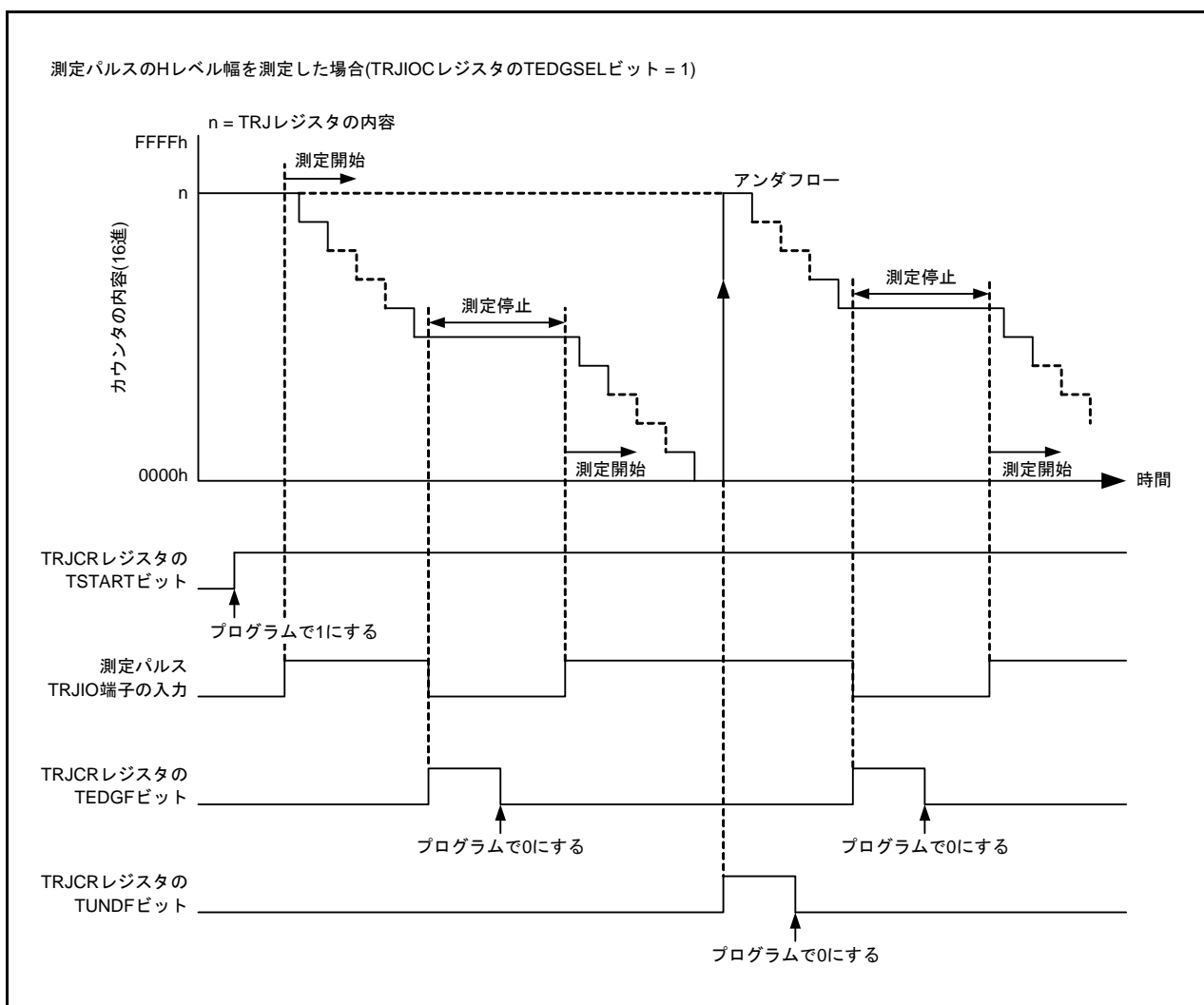


図15.7 パルス幅測定モードの動作タイミング例

15.4.6 パルス周期測定モード

TRJIO端子から入力する外部信号のパルス周期を測定するモードです。

TRJMRレジスタのTCK0～TCK2ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO端子にTRJIOCレジスタのTEDGSELビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時にTRJCRレジスタのTEDGFビットが1(有効エッジあり)となり、割り込みが発生します。このときに読み出し用バッファ(TRJレジスタ)を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCRレジスタのTUNDFビットが1(アンダフローあり)となり、割り込みが発生します。

図15.8にパルス周期測定モードの動作タイミング例を示します。

カウントソースより2倍長い周期のパルスを入力してください。また、L幅とH幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

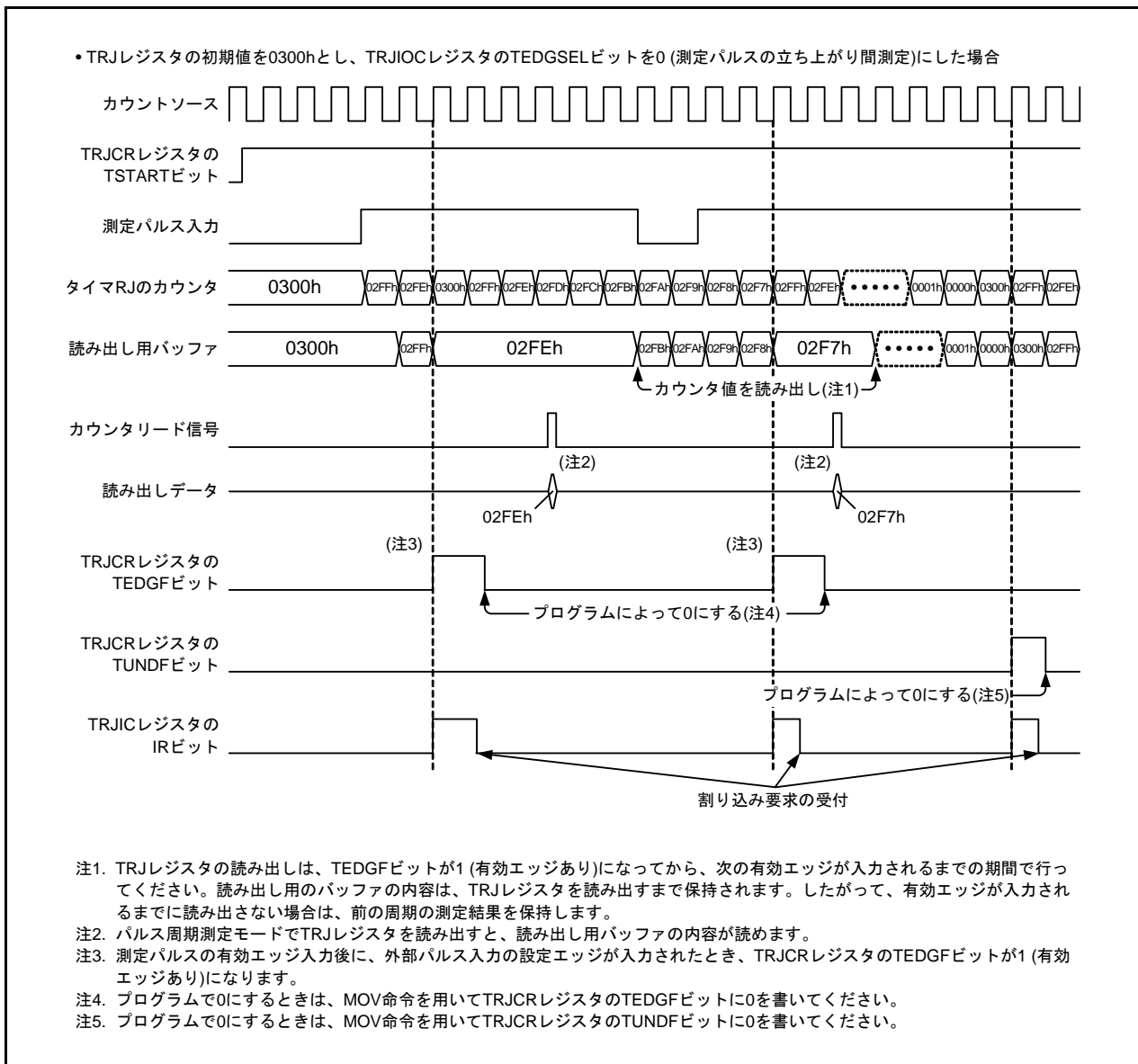


図15.8 パルス周期測定モードの動作タイミング例

15.4.7 イベントリンクコントローラ(ELC)との連携による動作

ELCとの連携により、カウンタのカウントソースにELCからのイベント入力を設定することができます。TRJMRレジスタのTCK0～TCK2ビットにて、ELCからイベント入力の立ち上がりでカウントします。

ELC設定手順を以下に示します。

•動作開始手順

- (1) イベントリンクコントローラ(ELC)のイベント出力先選択レジスタ(ELSELRn)を設定する。
- (2) イベント発生元の動作モードを設定する。
- (3) タイマRJのモードを設定する。
- (4) タイマRJのカウント動作を開始する。
- (5) イベント発生元の動作を開始する。

•動作停止手順

- (1) イベント発生元の動作を停止させる。
- (2) タイマRJのモードのカウント動作を停止させる。
- (3) イベントリンクコントローラ(ELC)のイベント出力先選択レジスタ(ELSELRn)を0に設定する。

ELCモジュールとの連携動作の場合、「15.5 タイマRJ使用上の注意事項の(12)」を参照してください。

15.4.8 各モードの入出力設定

表15.7、表15.8に各モード時のTRJO、TRJIO端子状態を示します。

表15.7 TRJO端子設定(TOENAビットが有効の場合)(注1)

動作モード	TRJIOCレジスタ		TRJO端子出力
	TOENAビット	TEDGSELビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

注1. 外部端子としてTRJO、TRJIOを設定する場合、タイマRJの制御レジスタ(上記)以外に、TRJ_0SRレジスタ、TRJ_1SRレジスタの設定が必要です。詳細は「14. I/Oポート」を参照してください。

表15.8 TRJIO端子設定(注1)

動作モード	TRJIOCレジスタ		TRJIO端子入出力
	TOPCRビット	TEDGSELビット	
タイマモード	0または1	0または1	入力
パルス出力モード	1	0または1	出力禁止
		1	正転出力
	0	0	反転出力
イベントカウンタモード	0または1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

注1. 外部端子としてTRJO、TRJIOを設定する場合、タイマRJの制御レジスタ(上記)以外に、TRJ_0SRレジスタ、TRJ_1SRレジスタの設定が必要です。詳細は「14. I/Oポート」を参照してください。

15.5 タイマRJ使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマRJ関連レジスタ(注1)の値を設定した後、カウントを開始してください。

注1. タイマRJ関連レジスタ：TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (2) カウント停止中のレジスタアクセスについては、タイマのモードによって以下の制限があります。

• イベントカウンタモード

カウント停止中にTRJCRレジスタのTSTARTビットに1(カウント開始)を書いた後は、CPUクロックの2サイクルの間、TRJCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TRJCRレジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、CPUクロックの2サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントは停止します。TCSTFビットが0になるまで、TRJCRレジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TRJレジスタへの書き込みは、TRJIO端子が非アクティブレベル(TRJIOCレジスタのTEDGSELビットが0の場合はLowレベル、1の場合はHighレベル)になるまで無効となります。この場合TRJレジスタを変更する場合には以下の手順を行ってください。

- ① TSTARTビットに0を書き込み、カウント停止
- ② TCSTFビットが0になるまでウェイト
- ③ TRJIOCレジスタのTIPF1、TIPF0ビットに00b(フィルタなし)を設定(デジタルフィルタ未使用の場合は不要)
- ④ TEDGSELビットへ1→0書き込み
- ⑤ TEDGSELビットに元の値(④の手順実行前の値)を設定
(④の手順実行前の値が0であれば⑤の手順は不要)
- ⑥ TIPF1、TIPF0ビットに元の値(③の手順実行前の値)を設定
(デジタルフィルタ未使用の場合は不要)
- ⑦ TRJレジスタへアクセス

• イベントカウンタモード以外

カウント停止中にTSTARTビットに1(カウント開始)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TRJCRレジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントは停止します。TCSTFビットが0になるまで、TRJCRレジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。

注1. タイマRJ関連レジスタ：TRJIOC、TRJMR、TRJ、TRJISR

- (3) イベントカウンタモードのとき、TRJCRレジスタのTSTARTビットを1(カウント開始)に設定後、TCSTFビットが1になってから外部パルスを入力してください。

- (4) パルス幅測定モードおよびパルス周期測定モードで使用するTRJCRレジスタのTEDGF、TUNDFビットは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCRレジスタにビット操作命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF、TUNDFビットを誤って0にする場合があります。
- これを避けるためには、TEDGF、TUNDFビットをMOV命令で1にしてください。
- (5) タイマRJカウント停止状態でのタイマRJ関連レジスタ(注1)の書き込みと読み出しの間に、NOP命令を2つ入れてください。

注1. タイマRJ関連レジスタ : TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (6) TRJCRレジスタのTSTARTビットが1(カウント開始)かつTCSTFビットが1(カウント中)の場合、TRJレジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。
- (7) 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに0を書いてから、タイマRJのカウントを開始してください。
- (8) 消費電流を低減するために、TRJCRのTSTARTビットおよびTCSTFビットが0(カウント停止)のとき、モジュールスタンバイに切り替えてください。モジュールスタンバイの切り替えビットについては、「10.2.9 モジュールスタンバイコントロールレジスタ2(MSTCR2)」を参照してください。
- (9) パルス幅測定モードまたはパルス周期測定モードを使用する場合は、次の順序で設定してください。
- ①タイマRJ関連レジスタ(注1)を設定する。
 - ②TSTARTビットに1(カウント開始)を設定後、TCSTFビットが1(カウント中)になるのを待つ。
 - ③外部イベントを入力する。

注1. タイマRJ関連レジスタ : TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (10) パルス周期測定モードでは、最初の測定完了による処理は無効としてください(2回目以降から測定値有効です)。
- (11) TRJレジスタへの0000hの設定は禁止です。
- (12) パルス幅測定モード、イベントカウンタモードの場合、カウントソースはイベントリンクコントローラ(ELC)からのイベントを選択しないでください。
- (13) パルス出力モードのとき、TRJIOCレジスタのTOPCRビットはTRJMRレジスタの設定後に設定してください。
- (14) タイマRJの動作モード関連レジスタ(TRJIOC、TRJMR、TRJISR)の変更は、カウント停止時(TRJCRレジスタのTSTARTビットとTCSTFビットがともに0(カウント停止))のみ可能です。カウント動作中には変更しないでください。
- 対象 : タイマRJの全動作モード

16. タイマRB2

タイマRB2は、8ビットプリスケータ付き8ビットタイマまたは16ビットタイマです。プリスケータとタイマは、それぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは、同じ番地に配置されます。タイマRB2はリロードレジスタとして、タイマRB2プライマリとタイマRB2セカンダリのレジスタを持ちます。

16.1 概要

表16.1にタイマRB2の仕様を、図16.1にタイマRB2のブロック図を示します。

表16.1 タイマRB2の仕様

項目		内容
動作モード	タイマモード	内部カウントソースまたはタイマRJのアンダフローをカウントする
	プログラマブル波形発生モード	任意のパルス幅を連続して出力する
	プログラマブルワンショット発生モード	ワンショットパルスを出力する
	プログラマブルウェイトワンショット発生モード	ディレイドワンショットパルスを出力する
カウントソース		f1、f2、f4、f8、f32、タイマRJのアンダフロー選択可能
割り込み		タイマRB2のアンダフロー
選択機能		<ul style="list-style-type: none"> イベントリンクコントローラ(ELC)との連携 ELCからのイベント入力によるタイマRB2ワンショット開始可能

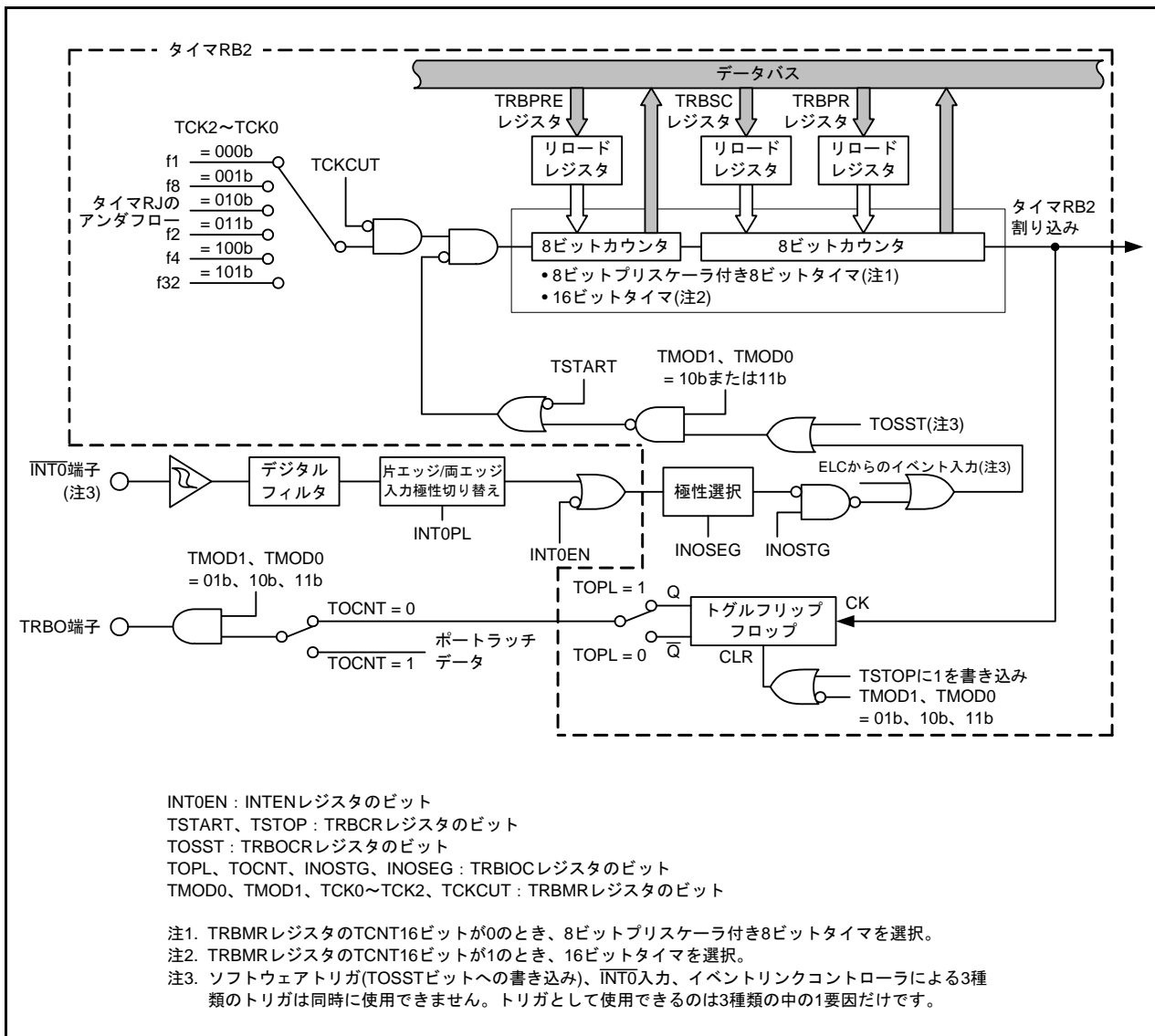


図 16.1 タイマRB2のブロック図

16.2 入出力端子

表16.2にタイマRB2の端子構成を示します。

表16.2 タイマRB2の端子構成

端子名	入出力	機能
INT0	入力	外部トリガ
TRBO	出力	パルス連続出力またはワンショットパルス出力

$\overline{\text{INT0}}$ の詳細は「11. 割り込み」を参照してください。リセット解除後、INTFレジスタの設定でフィルタなしからフィルタありに変更した後、すぐにデジタルフィルタを使用しないでください。サンプリングクロックの4サイクルを待った後、TRBIOCレジスタのINOSTGビットを1 (INT0端子ワンショットトリガ有効)にしてください。

16.3 レジスタの説明

表16.3にタイマRB2のレジスタ構成を示します。

表16.3 タイマRB2のレジスタ構成

レジスタ名	シンボル		リセット後の値	アドレス	アクセスサイズ
タイマRB2_0制御レジスタ	TRBCR_0		00h	00130h	8
タイマRB2_0ワンショット制御レジスタ	TRBOCR_0		00h	00131h	8
タイマRB2_0 I/O制御レジスタ	TRBIOC_0		00h	00132h	8
タイマRB2_0モードレジスタ	TRBMR_0		00h	00133h	8
8ビットプリスケアラ付き8ビットタイマ時： タイマRB2_0プリスケアラレジスタ 16ビットタイマ時： タイマRB2_0プライマリ/セカンダリレジスタ (下位8ビット)	8ビット タイマ時： TRBPRES_0	16ビット タイマ時： TRBPRSC_0	FFh	00134h	8ビットタイマ時： 8 16ビットタイマ時： 16 (注1)
8ビットプリスケアラ付き8ビットタイマ時： タイマRB2_0プライマリレジスタ 16ビットタイマ時： タイマRB2_0プライマリレジスタ (上位8ビット)	8ビット タイマ時： TRBPR_0		FFh	00135h	8ビットタイマ時： 8 16ビットタイマ時： 16 (注1)
8ビットプリスケアラ付き8ビットタイマ時： タイマRB2_0セカンダリレジスタ 16ビットタイマ時(注1)： タイマRB2_0セカンダリレジスタ (上位8ビット)	TRBSC_0		FFh	00136h	8
タイマRB2_0割り込み要求レジスタ	TRBIR_0		00h	00137h	8

注1. 16ビットタイマで使用する時、8ビット単位でTRBPRES、TRBPR、TRBSCレジスタをアクセス(8ビットアクセス)する場合、必ずTRBPRES→TRBPR→TRBSCの順番でアクセスしてください。

カウンタの構成を下記に示します。

- タイマモード、プログラマブルワンショット発生モード時
上位8ビットはTRBPRレジスタ値、下位8ビットはTRBPRESレジスタ値でカウントされます。
TRBSCレジスタは使いません。
- プログラマブル波形発生モード時
上位8ビットはTRBPRレジスタ値とTRBSCレジスタ値が交互にカウントされ、下位8ビットはTRBPRESレジスタ値がカウントされます。
- プログラマブルウェイトワンショット発生モード時
ウェイト時間として、上位8ビットはTRBPRレジスタ値、下位8ビットにTRBPRESレジスタ値でカウントされ、パルス幅として上位8ビットはTRBSCレジスタ値、下位8ビットにTRBPRESレジスタ値がカウントされます。

16.3.1 タイマRB2制御レジスタ (TRBCR)

アドレス	00130h (TRBCR_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRB2カウント開始ビット (注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRB2カウントステータスフラグ (注1)	0: カウント停止 1: カウント許可	R
b2	TSTOP	タイマRB2カウント強制停止ビット (注1、2)	1を書くと、カウント強制停止。 読んだ場合、その値は0。	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意は「16.8 タイマRB2使用上の注意事項」を参照してください。

注2. TSTOPビットに1(カウント強制停止)を書くと、カウンタ、TRBPRES、TRBPR、TRBSCレジスタ、TSTART、TCSTFビットおよびTRBOCRレジスタのTOSST、TOSSP、TOSSTFビットが初期化されます。また、TRBO出力も初期化されます。TRBO出力の初期状態については、「16.5.3 TOCNTビットの設定と端子状態」を参照してください。

TSTARTビット(タイマRB2カウント開始ビット)

TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTビットを1(カウント開始)にすると、カウントソースに同期してTCSTFビットが1(カウント中)になります。また、TSTARTビットに0を書き込み後、カウントソースに同期してTCSTFビットが0(カウント停止)になります。カウント開始後、TCSTFビットが1になるまで、また、カウント停止後、TCSTFビットが0になるまで、タイマRB2関連レジスタ(注1)をアクセスしないでください。詳細は「16.8 タイマRB2使用上の注意事項」を参照してください。

注1. タイマRB2関連レジスタ: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

TCSTFビット(タイマRB2カウントステータスフラグ)

[0になる条件]

- TSTARTビットに0を書いたとき(カウントソースに同期して0になる)
- TSTOPビットに1を書いたとき

[1になる条件]

- TSTARTビットに1を書いたとき(カウントソースに同期して1になる)

16.3.2 タイマRB2ワンショット制御レジスタ (TRBOCR)

アドレス 00131h (TRBOCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRB2ワンショット開始ビット (注1、2)	1を書くと、ワンショットカウント開始。 読んだ場合、その値は0。	R/W
b1	TOSSP	タイマRB2ワンショット停止ビット (注2、3)	1を書くと、ワンショットカウント停止。 読んだ場合、その値は0。	R/W
b2	TOSSTF	タイマRB2ワンショットステータスフラグ	0：ワンショット停止 1：ワンショット動作(ウェイト期間を含む)	R
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TOSSTFビットが0(ワンショット停止)であることを確認した後、TOSSTビットに1(ワンショットカウント開始)を書いてください。

注2. 0を書いた場合、その値は無効です。

注3. TOSSTFビットが1(ワンショット動作(ウェイト期間を含む))であることを確認した後、TOSSPビットに1(ワンショットカウント停止)を書いてください。

TRBOCRレジスタは、TRBMRレジスタのTMOD1～TMOD0ビットが10b(プログラマブルワンショット発生モード)または11b(プログラマブルウェイトワンショット発生モード)のとき有効です。

TOSSTFビット(タイマRB2ワンショットステータスフラグ)

[0になる条件]

- TRBOCRレジスタのTSTOPビットを1(カウント強制停止)にしたとき
- プログラマブルワンショット発生モード時に、カウント値が00hになりリロードしたとき
- プログラマブルウェイトワンショット発生モード時に、セカンダリカウント時のカウント値が00hになり、リロードしたとき
- TOSSPビットを1(ワンショットカウント停止)に設定してから、タイマRB2のカウントソースの2、3サイクル後
- タイマRB2カウント動作中(TOSSTF=1)にTRBOCRレジスタのTSTARTビットを0(カウント停止)に設定してから、タイマRB2のカウントソースの2、3サイクル後

[1になる条件]

- TCSTFビットが1(カウント許可)の状態、TOSSTビットを1(ワンショットカウント開始)に設定してから、タイマRB2のカウントソースの3サイクル後
- TCSTFビットが1の状態、トリガを入力してから、タイマRB2のカウントソースの3サイクル後

16.3.3 タイマRB2 I/O制御レジスタ (TRBIOC)

アドレス 00132h (TRBIOC_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRB2出力レベル選択ビット	「表 16.4 タイマRB2出力レベル選択ビットの機能」参照	R/W
b1	TOCNT	タイマRB2出力切り替えビット	0: 波形出力 1: 固定値出力	R/W
b2	INOSTG	ワンショットトリガ制御ビット	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

TOCNTビット(タイマRB2出力切り替えビット)

TOCNTビットの設定は、プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードのみ有効です。

各モードでのTRBO出力の状態変化の詳細は「16.5.3 TOCNTビットの設定と端子状態」を参照してください。

表 16.4 タイマRB2出力レベル選択ビットの機能

動作モード	機能	
タイマモード	タイマモードでは0にしてください	
プログラマブル波形発生モード	0	プライマリ期間H出力 セカンダリ期間L出力 タイマ停止時L出力
	1	プライマリ期間L出力 セカンダリ期間H出力 タイマ停止時H出力
プログラマブルワンショット発生モード	0	ワンショットパルスH出力 タイマ停止時L出力
	1	ワンショットパルスL出力 タイマ停止時H出力
プログラマブルウェイトワンショット発生モード	0	ワンショットパルスH出力 タイマ停止およびウェイト期間にL出力
	1	ワンショットパルスL出力 タイマ停止およびウェイト期間にH出力

16.3.4 タイマRB2モードレジスタ (TRBMR)

アドレス 00133h (TRBMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	TWRC	TCNT16	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB2動作モード選択ビット (注1)	b1 b0 0 0 : タイマモード 0 1 : プログラマブル波形発生モード 1 0 : プログラマブルワンショット発生モード 1 1 : プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	TCNT16	タイマRB2カウンタ選択ビット (注1)	0 : 8ビットプリスケアラ付き8ビットタイマ 1 : 16ビットタイマ	R/W
b3	TWRC	タイマRB2書き込み制御ビット (注2)	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRB2カウントソース選択ビット (注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f8 0 1 0 : タイマRJのアンダフロー 0 1 1 : f2 1 0 0 : f4 1 0 1 : f32 上記以外 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRB2カウントソース遮断ビット (注1)	0 : カウントソース供給 1 : カウントソース遮断	R/W

注1. TRBCRレジスタのTSTART、TCSTFビットが0(カウント停止)のときに、このビットを変更してください。

注2. TWRC ビットによるレジスタ、カウンタへの書き込みの詳細は「16.5.2 TWRC ビットによるプリスケアラとカウンタ動作」を参照してください。

タイマモードのとき、TWRCビットは0または1が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは1(リロードレジスタのみ書き込み)にしてください。

16.3.5 タイマRB2プリスケアラレジスタ (TRBPRES)

アドレス 00134h (TRBPRES_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	初期値	設定範囲	R/W
b7～b0	タイマモード	内部カウントソースまたはタイマRJのアンダフローをカウント	FFh	00h～FFh	R/W
	プログラマブル波形発生モード		FFh	00h～FFh	R/W
	プログラマブルワンショット発生モード		FFh	00h～FFh	R/W
	プログラマブルウェイトワンショット発生モード		FFh	00h～FFh	R/W

8ビットプリスケアラ付き8ビットタイマ時、プリスケアラの周期を設定する8ビットのレジスタです。プリスケアラがダウンカウントし、アンダフローするごとにTRBPRESレジスタの値がリロードされます。読んだ場合、プリスケアラのカウント値が読み出されます。

16ビットタイマ時、16ビットカウンタの下位8ビットを設定するレジスタになります。カウンタがダウンカウントし、アンダフローするごとにTRBPRESレジスタ値がリロードされます。読んだ場合、下位8ビットのカウント値が読み出されます。8ビット単位でTRBPRES、TRBPR、TRBSCレジスタをアクセス(8ビットアクセス)する場合、必ずTRBPRES→TRBPR→TRBSCの順番でアクセスしてください。

なお、TRBPRESレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表16.7 16ビットタイマ時のTRBPRES、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。カウントソースに同期して更新されます。

TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、TRBPRESレジスタは初期化(FFh)されます。

16.3.6 タイマRB2プライマリレジスタ (TRBPR)

アドレス 00135h (TRBPR_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能		初期値	設定範囲	R/W
		8ビットプリスケアラ付き8ビットタイマ	16ビットタイマ			
b7~b0	タイマモード	タイマRB2プリスケアラのアンダフローをカウント	タイマRBプリスケアラのアンダフローをカウント	FFh	00h~FFh	R/W
	プログラマブル波形発生モード	タイマRB2プリスケアラのアンダフローをカウント(注1)		FFh	00h~FFh	R/W
	プログラマブルワンショット発生モード	タイマRB2プリスケアラのアンダフローをカウント(ワンショット幅をカウント)		FFh	00h~FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRB2プリスケアラのアンダフローをカウント(ウェイト期間をカウント)		FFh	00h~FFh	R/W

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

8ビットプリスケアラ付き8ビットタイマ時、TRBSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBSCレジスタに値を書く。
- (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)。

16ビットタイマ時、TRBSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBPREレジスタ、TRBSCレジスタに値を書く。
- (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)。

8ビットプリスケアラ付き8ビットタイマ時、カウンタの周期やプライマリ期間を設定する8ビットのレジスタです。読んだ場合、カウンタの8ビットカウント値が読み出されます。

16ビットタイマ時、上位8ビットのカウンタの周期やプライマリ期間を設定する8ビットのレジスタです。読んだ場合、16ビットカウンタの上位8ビットの値が読み出されます。TRBPREレジスタをアクセスした後、TRBPRレジスタをアクセスしてください。

なお、TRBPRレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表 16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表 16.7 16ビットタイマ時のTRBPRE、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。

TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、TRBPRレジスタは初期化(FFh)されます。

16.3.7 タイマRB2セカンダリレジスタ (TRBSC)

アドレス 00136h (TRBSC_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能		初期値	設定範囲	R/W
		8ビットプリスケアラ付き8ビットタイマ	16ビットタイマ			
b7~b0	タイマモード	無効		FFh	無効	—
	プログラマブル波形発生モード	タイマRB2プリスケアラのアンダフロー	タイマRBプリスケアラのアンダフローをカウント(注1)	FFh	00h~FFh	R/W
	プログラマブルワンショット発生モード	無効		FFh	無効	—
	プログラマブルウェイトワンショット発生モード	タイマRB2プリスケアラのアンダフロー	タイマRBプリスケアラのアンダフローをカウント(注1)	FFh	00h~FFh	R/W

注1. TRBPR、TRBSCレジスタの値が交互にカウンタへリロードされ、カウントされます。カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

8ビットプリスケアラ付き8ビットタイマ時、プログラマブル波形発生モード、プログラマブルウェイトワンショット発生モードで使用されるセカンダリ期間を設定する8ビットのレジスタです。読んだ場合、リロードレジスタの値が読み出されます。

16ビットタイマ時、プログラマブル波形発生モード、プログラマブルウェイトワンショット発生モードで使用される上位8ビットのセカンダリ期間を設定する8ビットのレジスタです。タイマモード、プログラマブルワンショット発生モードでも設定できますが、カウンタ動作には使用されません。読んだ場合、リロードレジスタの値が読み出されます。

なお、TRBSCレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表16.7 16ビットタイマ時のTRBPRE、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。

TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、TRBSCレジスタは初期化(FFh)されます。

16.3.8 タイマRB2割り込み要求レジスタ (TRBIR)

アドレス 00137h (TRBIR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRBIE	TRBIF	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	TRBIF	タイマRB2割り込み要求フラグ	0：割り込み要求なし 1：割り込み要求あり	R/W
b7	TRBIE	タイマRB2割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W

TRBIFビット(タイマRB2割り込み要求フラグ)

[0になる条件]

- 1を読んだ後、0を書いたとき
- DTCからの割り込み自動クリアしたとき
- 割り込みルーチンにジャンプ(CPUが割り込みを受付)したとき

[1になる条件]

- 「表16.5 TRBIFビットが1になる条件」参照

表16.5 TRBIFビットが1になる条件

動作モード	条件
タイマモード	タイマRB2のカウンタがアンダフローしたとき
プログラマブル波形発生モード	セカンダリ期間で、タイマRB2のカウンタがアンダフローしたとき
プログラマブルワンショット発生モード	タイマRB2のカウンタがアンダフローしたとき
プログラマブルウェイトワンショット発生モード	セカンダリ期間で、タイマRB2のカウンタがアンダフローしたとき

16.4 動作説明

16.4.1 タイマモード

内部で生成されたカウントソース、またはタイマRJのアンダフローをカウントするモードです。タイマモード時、TRBOCR、TRBSCレジスタは使用しません。

TRBCRレジスタのTSTARTビットに1(カウント開始)を書き込むと、カウントを開始します。TSTARTビットに0(カウント停止)を書き込むと、カウントを停止します。また、TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止します。

タイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPRレジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRES、TRBPRレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPRレジスタに書き込むと、それぞれのリロードレジスタに書き込まれます。次のカウント時にカウンタへ転送されるか、またはそれぞれリロードレジスタのみに書き込まれ、次のリロード時にカウンタに転送されるかは、プログラムにより選択可能です。

図16.2、図16.3にタイマモードの動作例を示します。

注1. TSTARTビットに1(カウント開始)を設定してから、カウントソースの3サイクル後にカウントを開始します。また、TSTARTビットに0(カウント停止)を設定してから、カウントソースの2、3サイクル後にカウントを停止します。カウンタ動作状態はTRBCRレジスタのTCSTFビットを監視してください。

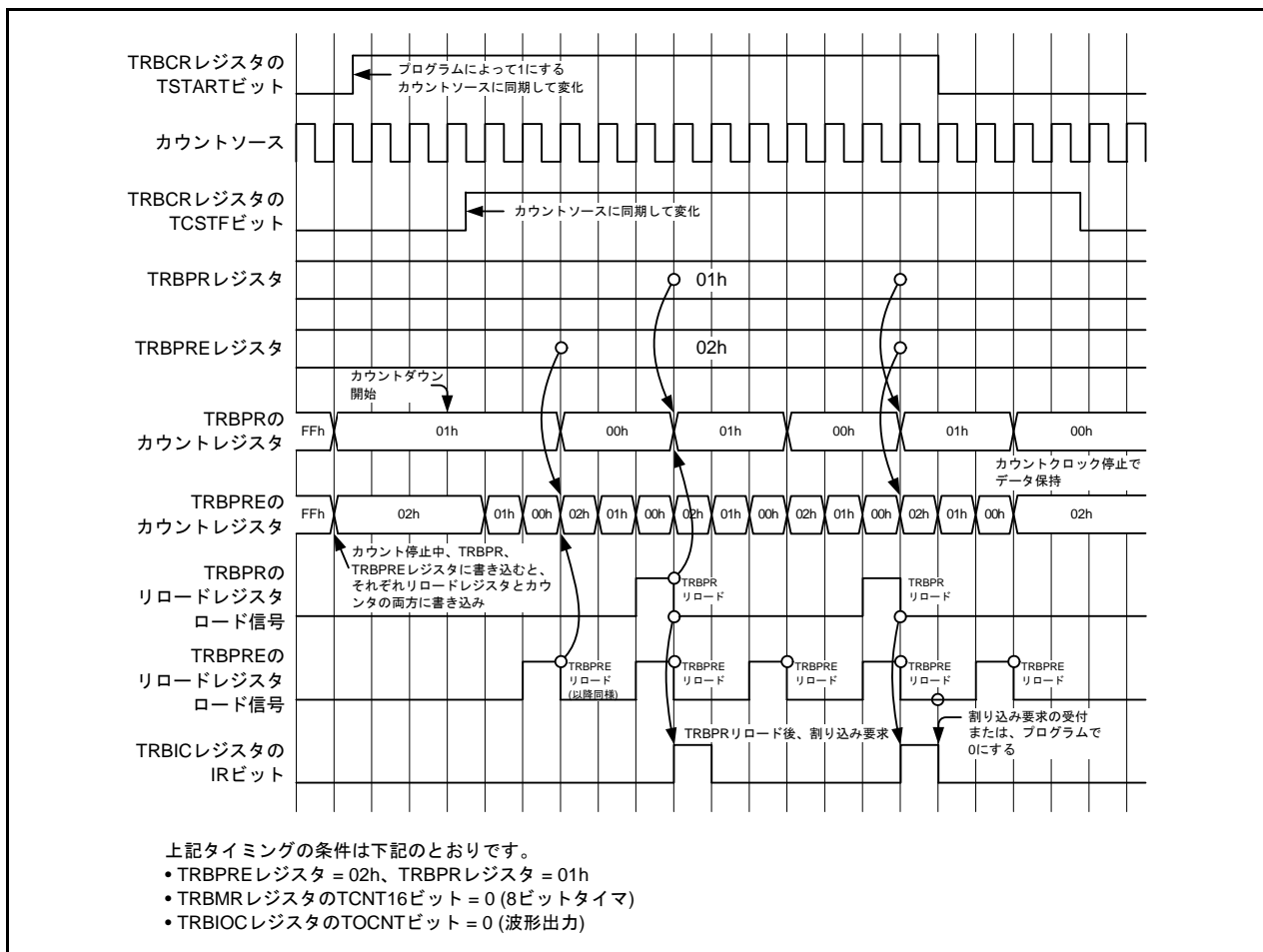


図16.2 タイマモードの動作例(8ビットタイマ時)

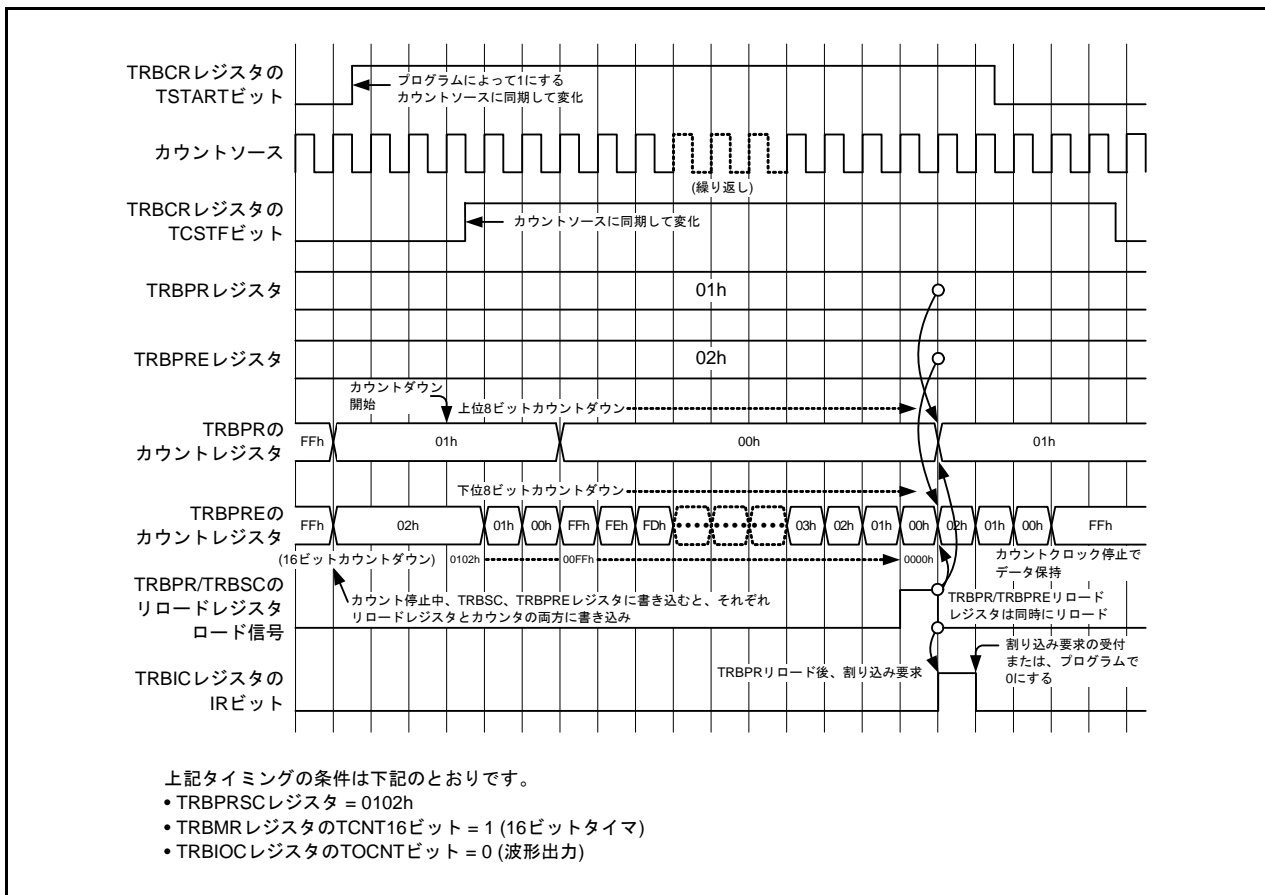


図16.3 タイマモードの動作例(16ビットタイマ時)

16.4.2 プログラマブル波形発生モード

8ビットプリスケアラ付き8ビットタイマ時、タイマRB2のカウンタがアンダフローするごとにTRBPRレジスタとTRBSCレジスタを交互に切り替えてカウントするモードです。

16ビットタイマ時、16ビットのカウンタがアンダフローするたびにプライマリ期間とセカンダリ期間のカウントを交互に切り替えるモードです。プライマリ期間の16ビットのカウンタは、上位8ビットをTRBPRレジスタ、下位8ビットをTRBPRESレジスタが構成しています。セカンダリ期間の16ビットのカウンタは、上位8ビットをTRBSCレジスタ、下位8ビットをTRBPRESレジスタが構成しています。

カウンタがアンダフローするごとに、反転した波形をTRBO端子から出力します。プライマリ期間からカウントを開始します。プログラマブル波形発生モードでは、TRBOCRレジスタは使用しません。

TRBCRレジスタのTSTARTビットに1(カウント開始)を書き込むと、カウントを開始します。TSTARTビットに0(カウント停止)を書き込むと、カウントを停止します。また、TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止します。

セカンダリ期間でタイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPRレジスタを読み出すと、それぞれのカウンタ値が読み出されます。セカンダリ期間をカウント中でも、TRBPRレジスタを読み出してください。カウント停止中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

図16.4に8ビットプリスケアラ付き8ビットタイマ時のプログラマブル波形発生モードの動作例を、図16.5に16ビットタイマ時のプログラマブル波形発生モードの動作例を示します。

- 注1.
- TSTARTビットに1を設定してから、カウントソースの3サイクル後にカウントを開始します。また、TSTARTビットに0を設定してから、カウントソースの2、3サイクル後にカウントを停止します。カウンタ動作状態はTRBCRレジスタのTCSTFビットを監視してください。
 - 実際のカウンタ動作状態はTRBCRレジスタのTCSTFビットを監視してください。
 - 16ビットタイマ動作時、プライマリ期間とセカンダリ期間の下位8ビットは共に同じTRBPRESレジスタで設定するため、1周期内で下位8ビットには必ず同じ値が設定されます。そのため、PWM波形の周期を変更せずにパルス幅だけを変更しようとする、設定可能なのは上位8ビットだけなので細かい分解能でPWM制御をすることができません。

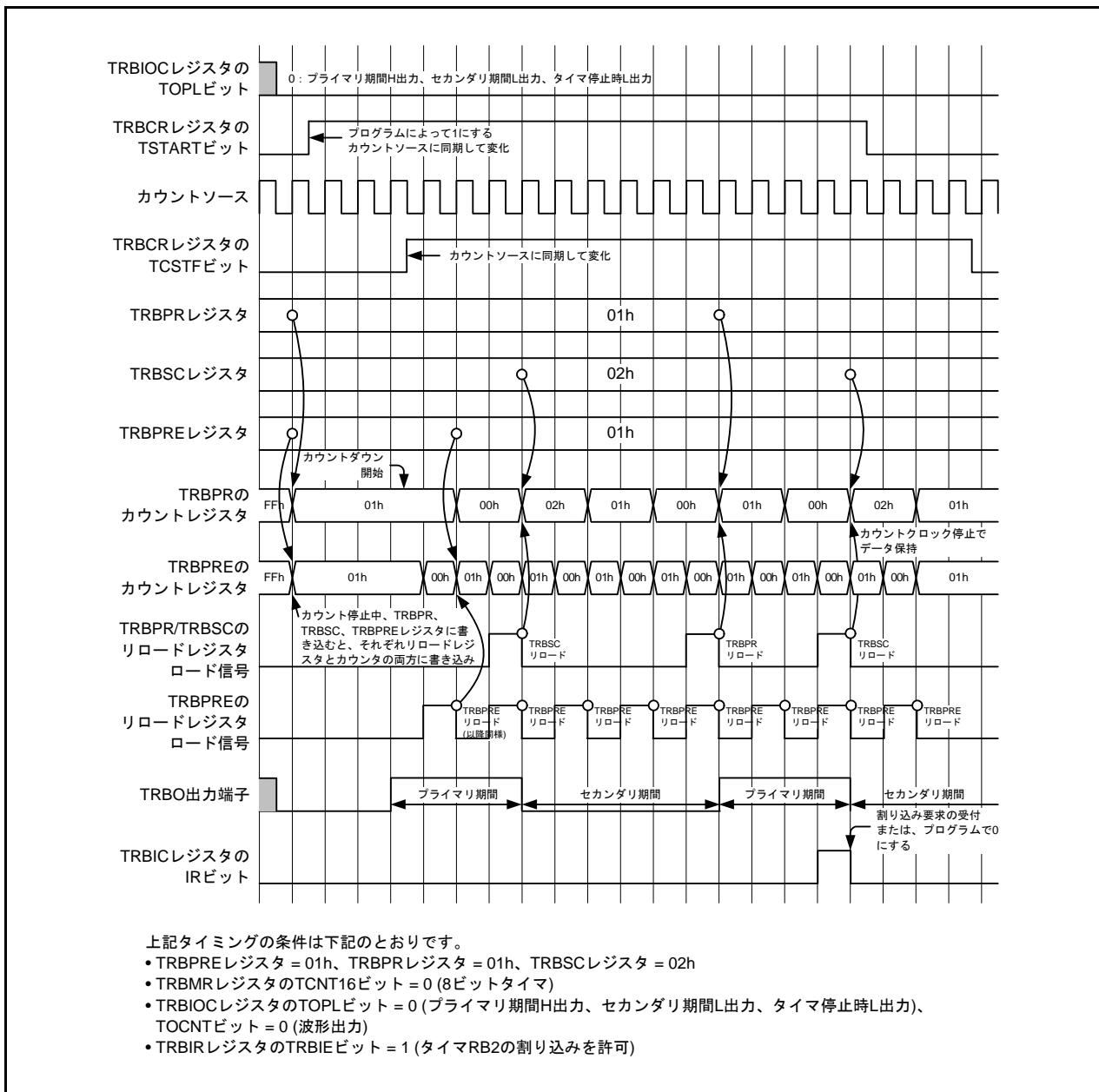


図16.4 8ビットプリスケラ付き8ビットタイマ時のプログラマブル波形発生モードの動作例

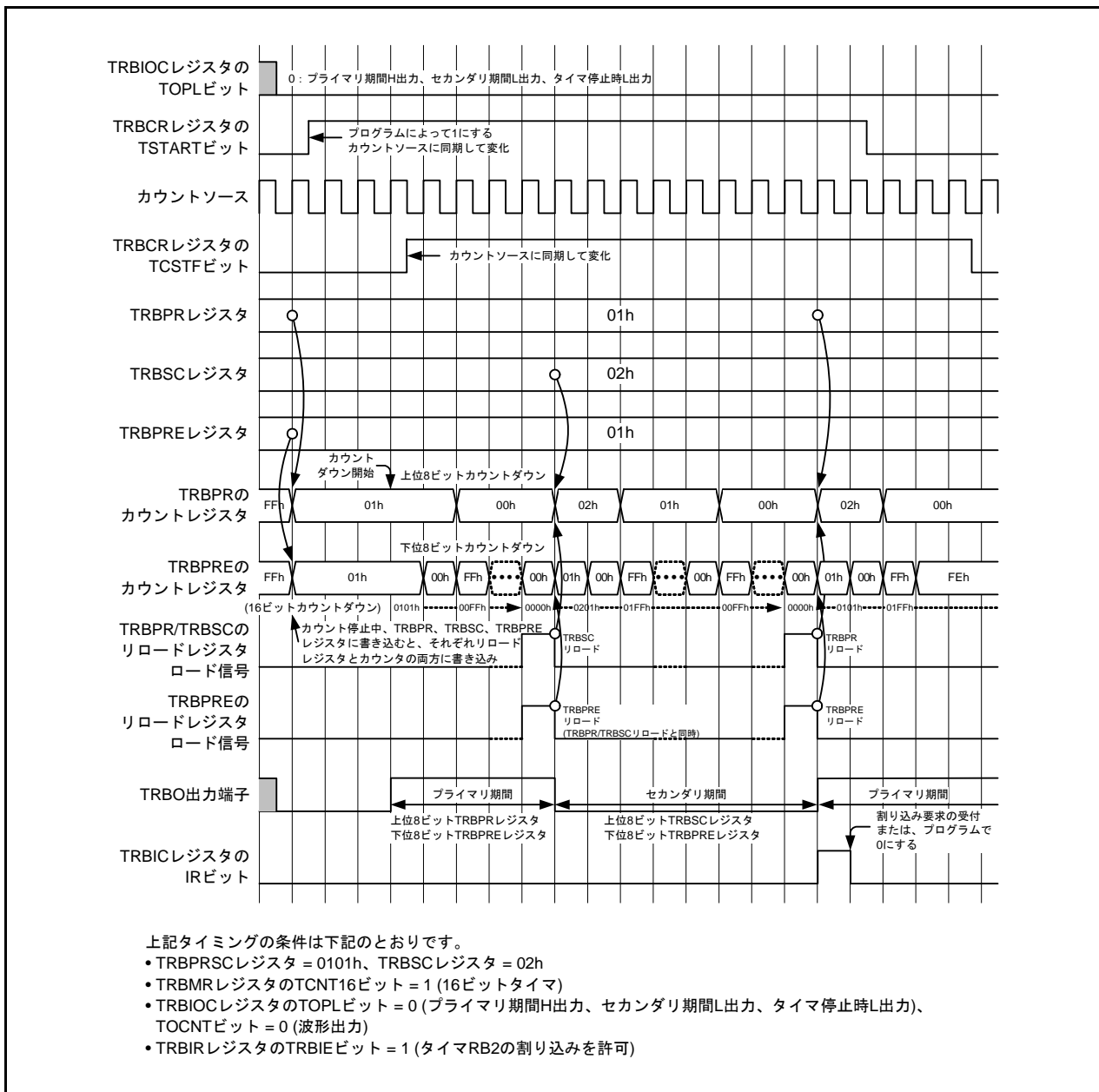


図 16.5 16ビットタイマ時のプログラマブル波形発生モードの動作例

16.4.3 プログラマブルワンショット発生モード

プログラム、外部トリガ入力(INT0)、またはイベントリンクコントローラ(ELC)からのイベント入力により、ワンショットパルスをTRBO端子から出力するモードです。トリガが発生すると、その時点から一度だけタイマが動作し、任意の時間(TRBPRレジスタの設定値)をカウントします。

8ビットプリスケアラ付き8ビットタイマ時、カウント値をTRBPRレジスタに設定します。

16ビットタイマ時、上位8ビットはTRBPRレジスタに、下位8ビットはTRBPRESレジスタにカウント値を設定します。

プログラマブルワンショット発生モードでは、TRBSCレジスタは使用しません。

TRBCRレジスタのTCSTFビットが1(カウント許可状態)のときに、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込むと、カウントを開始します。また、TCSTFビットが1のときに、INT0端子へ有効なトリガを入力あるいはELCからのイベント入力の立ち上がりエッジで、カウントを開始します。カウント値がアンダフローし、リロードした後カウントを停止します。また、カウントは以下のいずれかの設定で停止します。

- TRBOCRレジスタのTOSSPビットに1(ワンショットカウント停止)を書き込むと、カウントを停止
 - TRBCRレジスタのTSTARTビットに0(カウント停止)を書き込むと、カウントを停止
 - TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止
- タイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPRレジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRES、TRBPRレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPRレジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

INT0入力によるトリガの設定は「16.7 INT0入力トリガ選択」を参照してください。

また、TOSSTFビットが1の期間に、ワンショットトリガが発生してもタイマRB2の動作には影響ありませんが、INTOICレジスタのIRビットは変化します。

図16.6に8ビットプリスケアラ付き8ビットタイマ時のプログラマブルワンショット発生モードの動作例を、図16.7に16ビットタイマ時のプログラマブルワンショット発生モードの動作例を示します。

- 注1. TOSST、TOSSPビットへの1書き込み、INT0端子への有効なトリガ入力、イベントリンクコントローラ(ELC)からのイベント入力、またはTSTARTビットに0を書き込んでから、カウントソースの2、3サイクル後にカウンタの動作に反映します。
カウンタ動作状態は、TRBOCRレジスタのTOSSTFビットを監視してください。

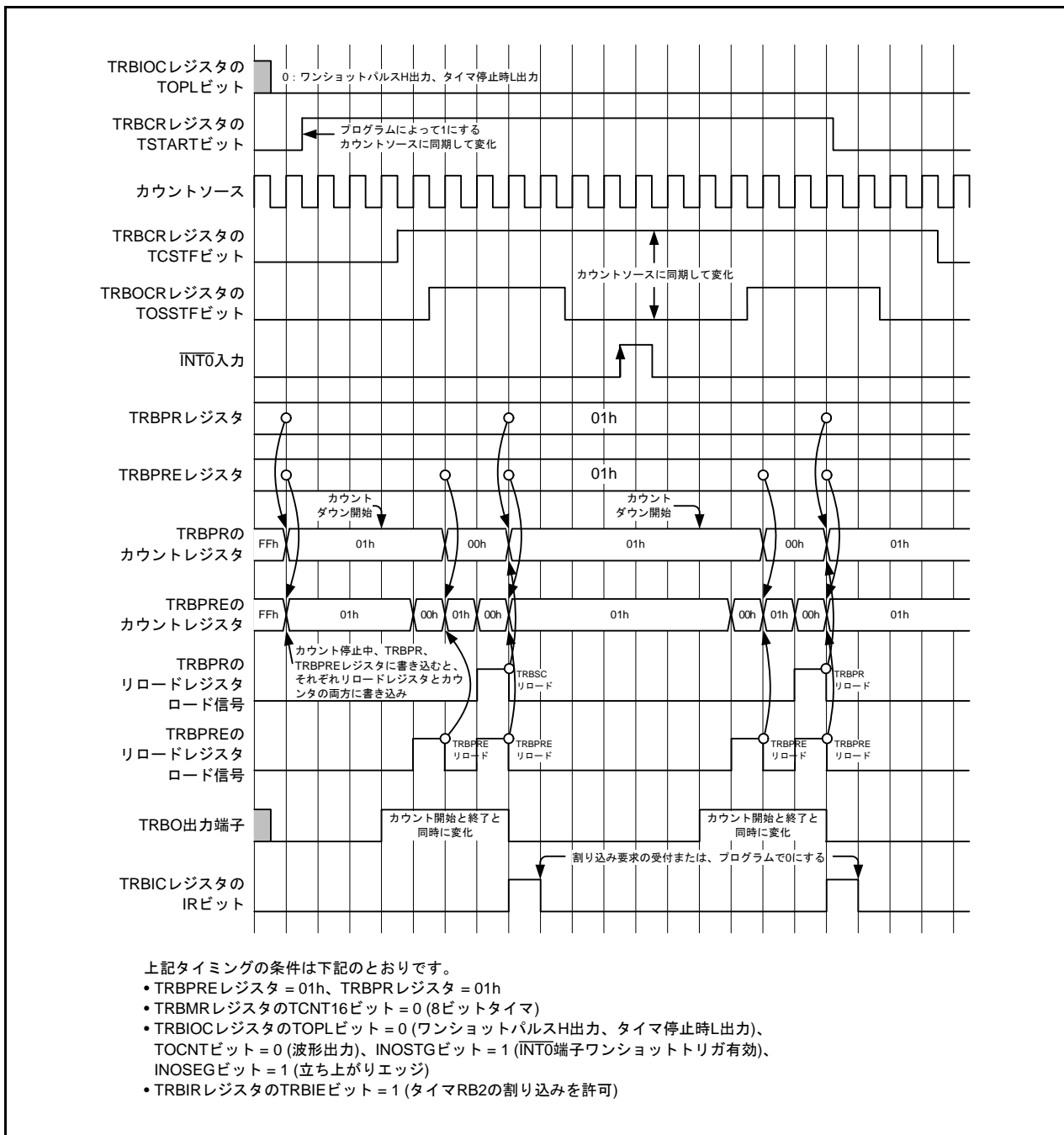


図 16.6 8ビットプリスケラ付き8ビットタイマ時のプログラマブルワンショット発生モードの動作例

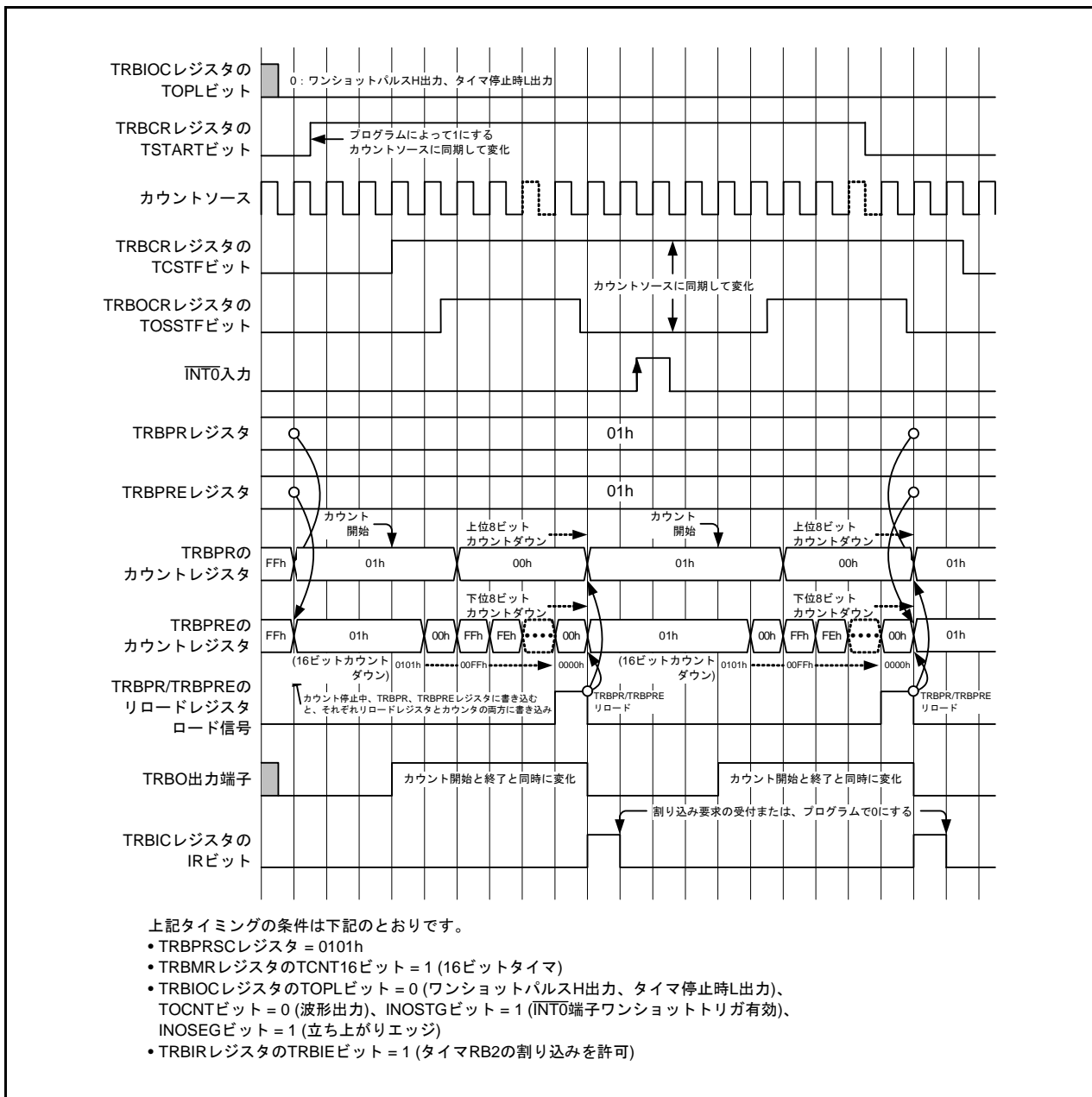


図 16.7 16ビットタイマ時のプログラマブルワンショット発生モードの動作例

16.4.4 プログラブルウェイトワンショット発生モード

プログラム、外部トリガ($\overline{\text{INT0}}$ 端子入力)、またはELCからのイベント入力により、一定時間後にワンショットパルスをTRBO端子から出力するモードです。トリガが発生すると、その時点から任意の時間(TRBPRレジスタの設定値)後、一度だけ任意の時間(TRBSCレジスタの設定値)パルス出力を行います。

8ビットプリスケアラ付き8ビットタイマ時、ウェイト時間のカウント値をTRBPRレジスタに、パルス幅のカウント値をTRBSCレジスタに設定してください。

16ビットタイマ時、ウェイト時間のカウント値の上位8ビットをTRBPRレジスタに、下位8ビットをTRBPRESレジスタに設定してください。パルス幅のカウント値の上位8ビットをTRBSCレジスタに、下位8ビットをTRBPRESレジスタに設定してください。

TRBCRレジスタのTCSTFビットが1(カウント許可状態)のときに、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込むと、カウントを開始します。また、TCSTFビットが1のときに、 $\overline{\text{INT0}}$ 端子へ有効なトリガを入力あるいはELCからのイベント入力、カウントを開始します。タイマRBのセカンダリのカウンタのカウント値がアンダフローし、リロードした後カウントを停止します。また、カウントは以下のいずれかの設定で停止します。

- TRBOCRレジスタのTOSSPビットに1(ワンショットカウント停止)を書き込むと、カウントを停止
 - TRBCRレジスタのTSTARTビットに0(カウント停止)を書き込むと、カウントを停止
 - TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止
- セカンダリ期間でタイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPRレジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

16ビットタイマ動作時、プライマリ期間とセカンダリ期間の下位8ビットは共に同じTRBPRESレジスタで設定するため、1周期内で下位8ビットには必ず同じ値が設定されます。そのため、PWM波形の周期を変更せずにパルス幅だけを変更しようとする、設定可能なのは上位8ビットだけなので細かい分解能でPWM制御をすることができません。

$\overline{\text{INT0}}$ 入力によるトリガの設定は「16.7 $\overline{\text{INT0}}$ 入力トリガ選択」を参照してください。

図16.8に8ビットプリスケアラ付き8ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例を、図16.9に16ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例を示します。

- 注1. TOSST、TOSSPビットへの1書き込み、 $\overline{\text{INT0}}$ 端子への有効なトリガ入力、イベントリンクコントローラ(ELC)からのイベント入力、またはTSTARTビットに0を書き込んでから、カウントソースの3サイクル後にカウンタの動作に反映します。
カウンタ動作状態は、TRBOCRレジスタのTOSSTFビットを監視してください。

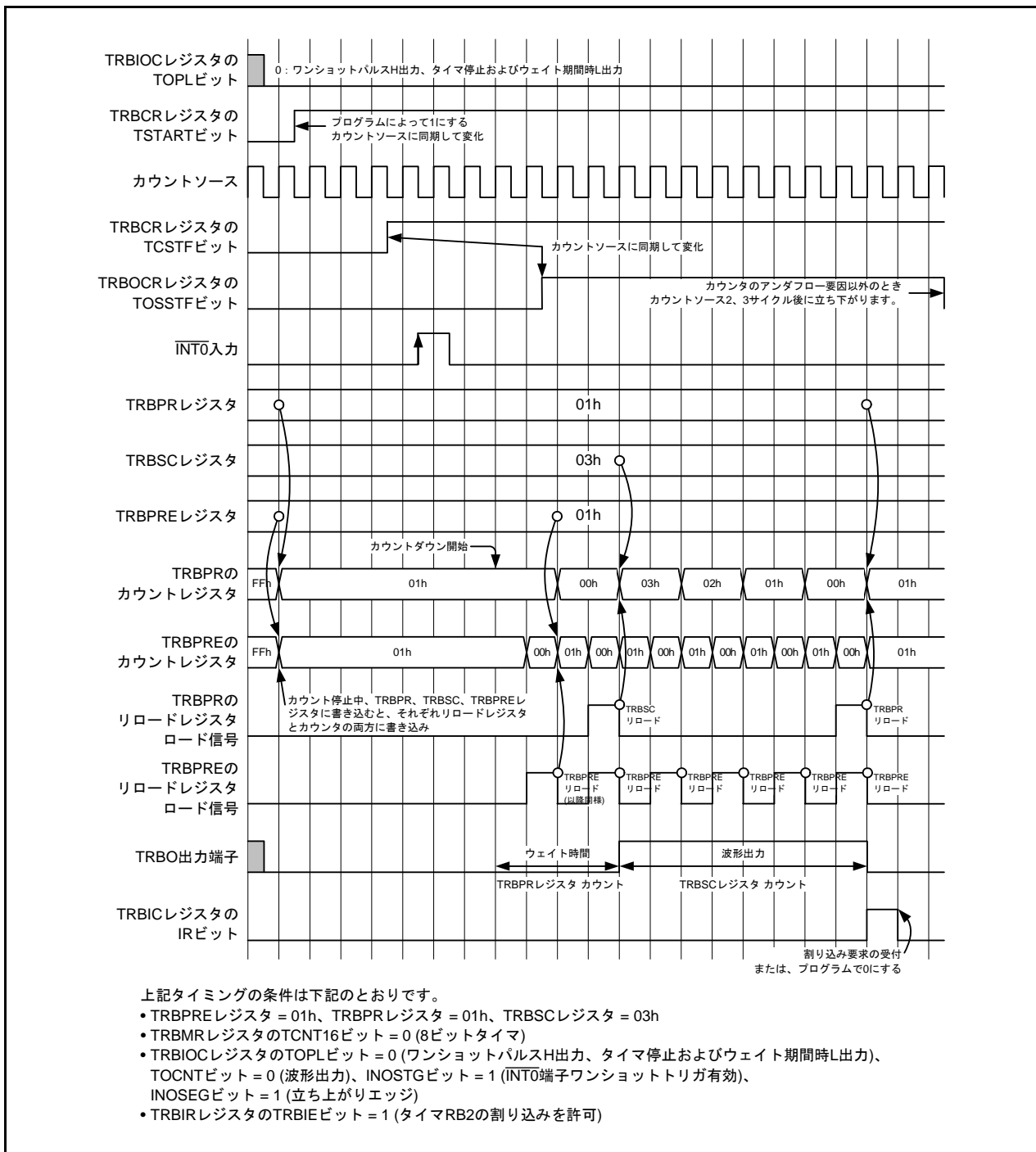


図16.8 8ビットプリスケラ付き8ビットタイマ時のプログラマブルウェイトワンショット発生モードの動作例

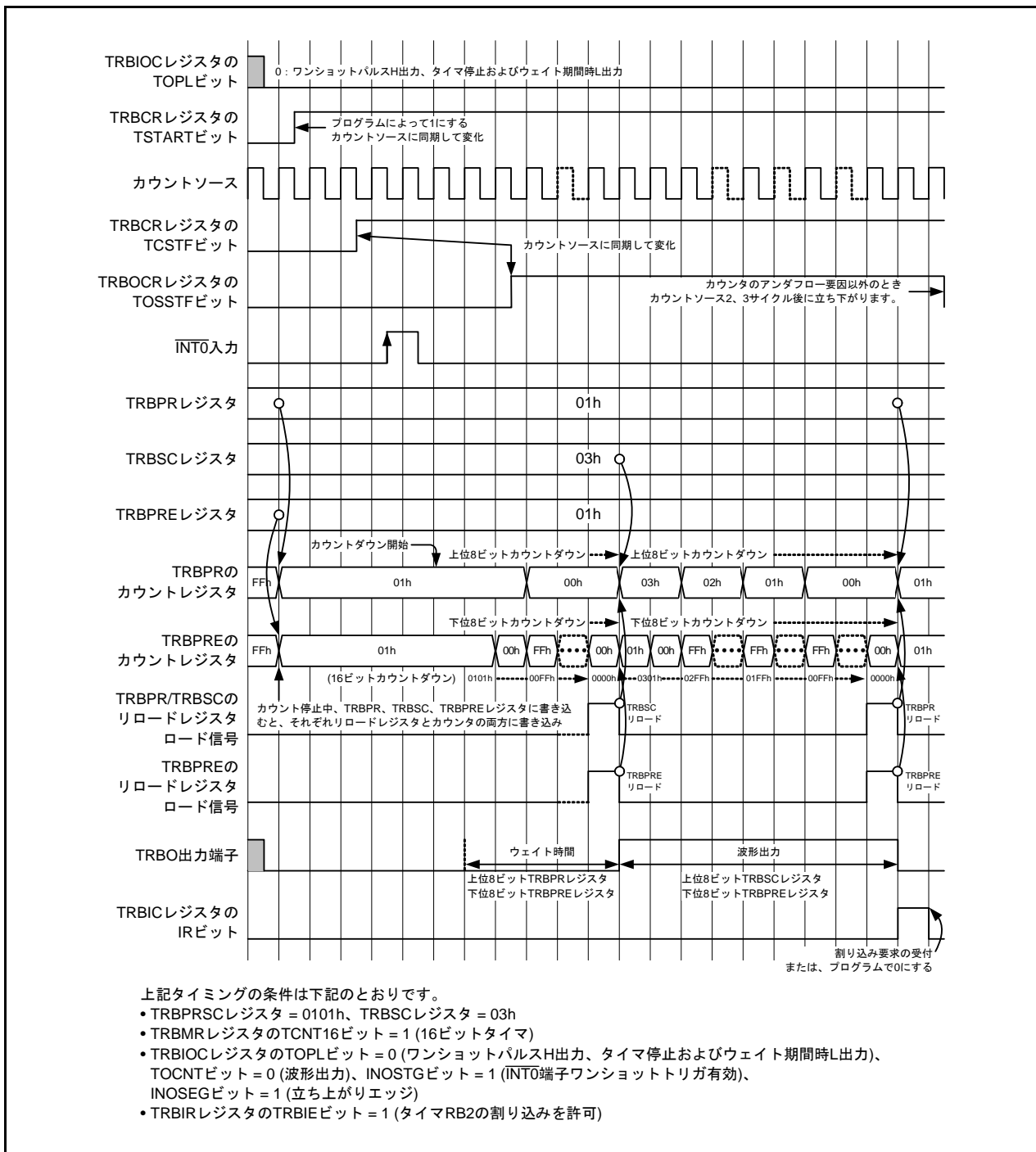


図 16.9 16ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例

16.5 選択機能

16.5.1 TRBPRES、TRBPR、TRBSCレジスタの構造と更新タイミング

TRBPRES、TRBPR、TRBSCレジスタはマスターリロードレジスタのバッファ構造になっています。図16.10にTRBPRES、TRBPR、TRBSCレジスタの構成を示します。TRBCRレジスタのTSTARTビットが0(カウント停止)のとき、レジスタへの書き込み直後にリロードレジスタに更新されます。しかし、TSTARTビットが1(カウント開始)のときは、各モードによってリロードレジスタに更新されるタイミングが異なります。8ビットプリスケアラ付き8ビットタイマ時、TRBPRESレジスタに書き込み後、カウントソースに同期して、TRBPRESレジスタのリロードレジスタを更新します。

プログラマブル波形発生モードとプログラマブルウェイトワンショット発生モードでカウンタ動作中の場合は、TRBPRレジスタへの書き込み後、TRBSCレジスタのデータとTRBPRレジスタのデータを同時にリロードレジスタへ更新します。

プログラマブル波形発生モードとプログラマブルウェイトワンショット発生モードでは、TRBSCレジスタへの書き込み後、TRBPRレジスタへ書き込んでください。

表16.6に8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミングを、表16.7に16ビットタイマ時のTRBPRES、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミングを示します。

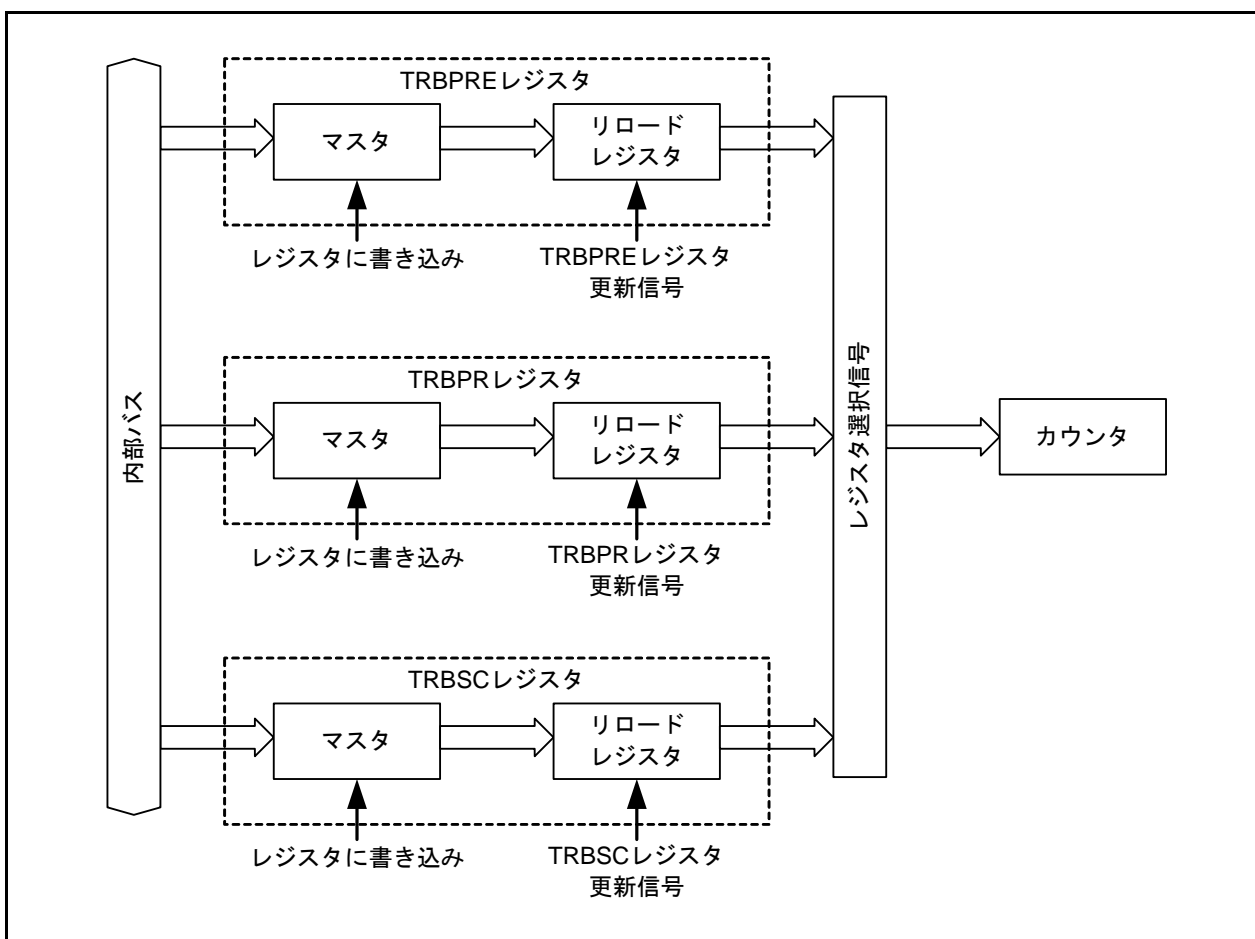


図16.10 TRBPRES、TRBPR、TRBSCレジスタの構成

表 16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング

動作モード		更新タイミング(注1)	
		TRBPRレジスタ	TRBSCレジスタ
タイマモード		TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新	使用しません
プログラマブル波形発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新(注2)	
プログラマブルワンショット発生モード		TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新	使用しません
プログラマブルウェイトワンショット発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新(注2)	

TWRC : TRBMRレジスタのビット

注1. 詳細は「16.5.2 TWRCビットによるプリスケアラとカウンタ動作」を参照してください。

注2. プログラマブル波形発生モードおよびプログラマブルウェイトワンショット発生モードで、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、カウント中にTRBSC、TRBPRレジスタのデータを更新すると、その時点から更新した周期で波形を出力します。

表 16.7 16ビットタイマ時のTRBPRE、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング

動作モード		更新タイミング(注1)	
		TRBPRE、TRBPRレジスタ	TRBSCレジスタ
タイマモード		TRBPRレジスタに書き込み後、カウントソースに同期して更新	使用しません
プログラマブル波形発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、カウントソースに同期して更新(注2)	
プログラマブルワンショット発生モード		TRBPRレジスタに書き込み後、カウントソースに同期して更新	使用しません
プログラマブルウェイトワンショット発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、カウントソースに同期して更新(注2)	

TWRC : TRBMRレジスタのビット

注1. 詳細は「16.5.2 TWRCビットによるプリスケアラとカウンタ動作」を参照してください。

注2. プログラマブル波形発生モードおよびプログラマブルウェイトワンショット発生モードで、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、カウント中にTRBSC、TRBPRレジスタのデータを更新すると、その時点から更新した周期で波形を出力します。

16.5.2 TWRCビットによるプリスケアラとカウンタ動作

タイマモード以外の動作モードのときは、TWRCビットは1に設定してください。

タイマモード時、タイマRB2はTRBMRレジスタのTWRCビットにより、TRBPRE、TRBPRレジスタのみに書き込むか、リロードレジスタとカウンタの両方に書き込むかを選択できます。ただし、TRBCRレジスタのTCSTFビットが0(カウント停止)のとき、TRBMRレジスタのTWRCビットの設定にかかわらず、リロードレジスタとカウンタの両方に書き込まれます。TWRCビットを1(リロードレジスタのみ書き込み)にし、プリスケアラの値を変更すると書き込んだときの周期がずれます。レジスタのみに書き込むと、設定前周期から設定後周期の間に不規則な周期がなく、周期を切り替えることができます。

プログラマブルワンショット発生モードとプログラマブルウェイトワンショット発生モード中、TRBCRレジスタのTCSTFビットが1(カウント中)、TRBOCRレジスタのTOSSTFビットが0(ワンショット停止)のとき、TRBMRレジスタのTWRCビットの設定は無効なので、リロードレジスタとカウンタへ書き込めません。

図16.11、図16.12に8ビットプリスケアラ付き8ビットタイマ時のプリスケアラとカウンタの動作例を、図16.13、図16.14に16ビットタイマ時のカウンタの動作例を示します。

なお、TCSTFビットが1(カウント中)のとき、TWRCビットを0(リロードレジスタとカウンタへの書き込み)にした場合でも、プリスケアラ、カウンタへの転送はカウントソースに同期して行なわれるため、書き込み命令実行後すぐにカウンタの値は更新されません。

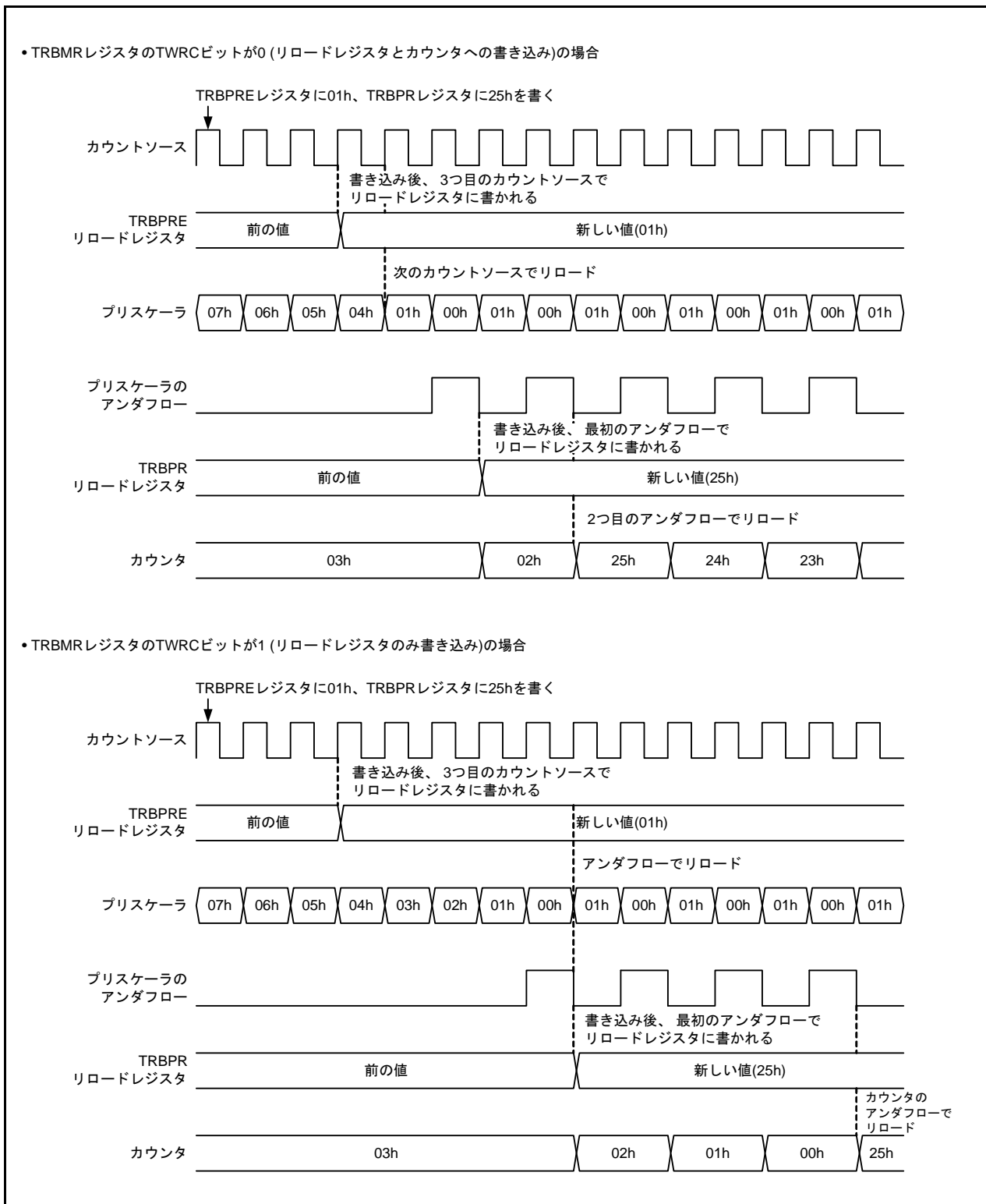


図 16.11 8ビットプリスケアラ付き8ビットタイマ時のプリスケアラとカウンタの動作例
(タイマモードまたはプログラマブルワンショット発生モードの例)

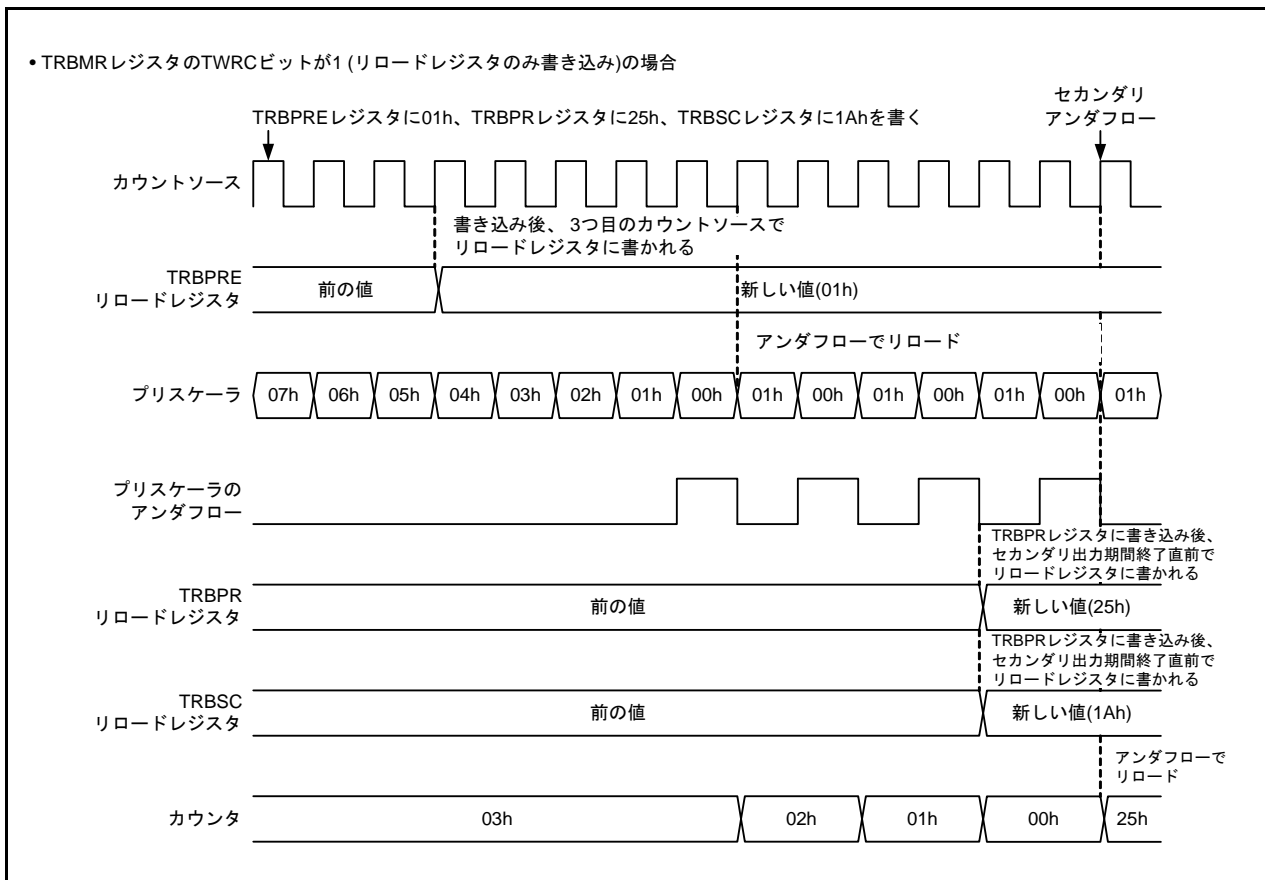


図16.12 8ビットプリスケアラ付き8ビットタイマ時のプリスケアラとカウンタの動作例
(プログラマブル波形発生モードまたはプログラマブルウェイトワンショット発生モードの例)

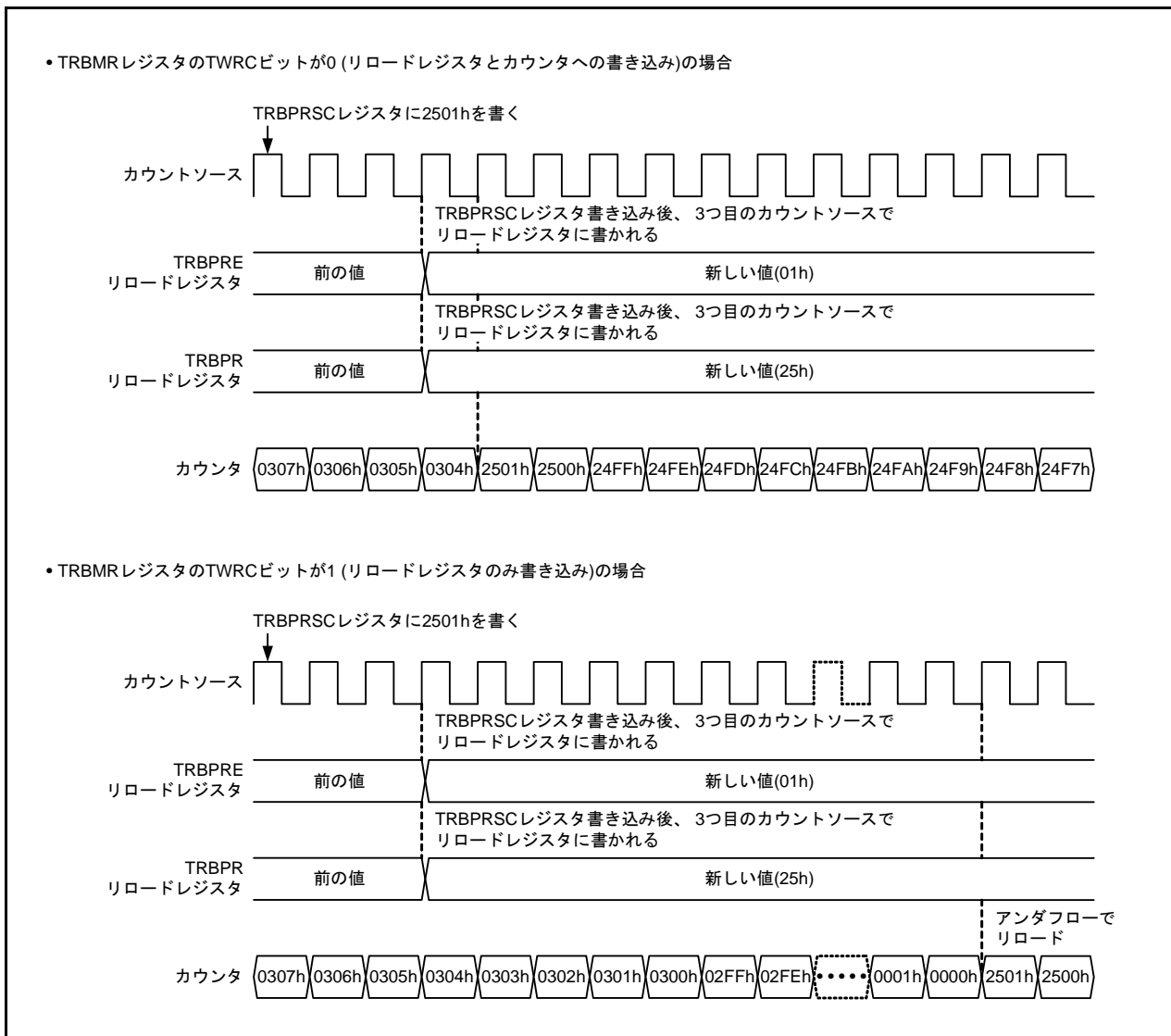


図 16.13 16ビットタイマ時のカウンタの動作例
(タイマモードまたはプログラマブルワンショット発生モードの例)

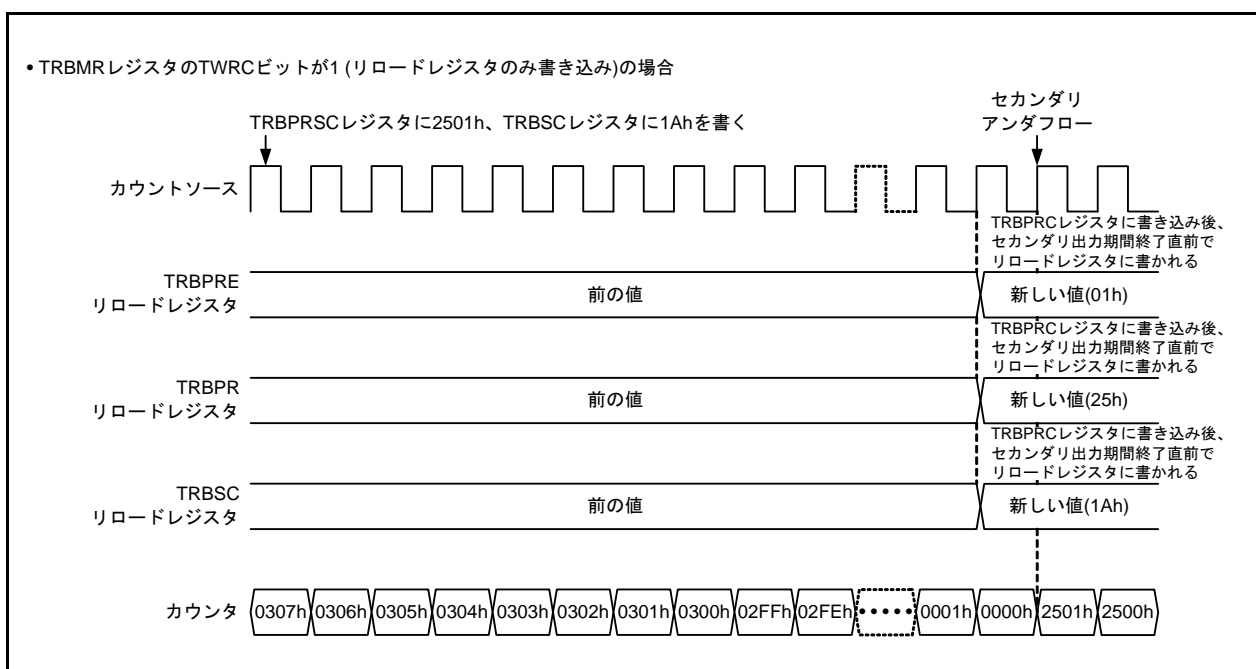


図 16.14 16ビットタイマ時のカウンタの動作例

(プログラマブル波形発生モードまたはプログラマブルウェイトワンショット発生モードの例)

16.5.3 TOCNTビットの設定と端子状態

TRBIOCレジスタのTOCNTビットによりタイマ波形出力するか、固定値を出力するかを選択できます。

表16.8に各モードでの出力データを示します。

表16.8 各モードでの出力データ

動作モード	TRBO出力のイネーブル信号		出力データ
タイマモード	出力禁止		ハイインピーダンス
プログラマブル波形発生モード	TOCNT	0	波形出力
		1	固定値(TOPLの反転値) 「表16.4 タイマRB2出力レベル選択ビットの機能」参照
プログラマブルワンショット発生モード	出力許可		波形出力
プログラマブルウェイトワンショット発生モード			

TOPL、TOCNT : TRBIOCレジスタのビット

タイマモード、プログラマブルワンショット発生モード、およびプログラマブルウェイトワンショット発生モードではTOCNTビットの設定にかかわらず、タイマモードはハイインピーダンス、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは波形出力となります。

プログラマブル波形発生モードでは、TOCNTビットを書き換えた場合、直ちに端子状態は変わらずに、下記の条件どちらかが発生したときに変更した内容が反映されます。TOCNTビットが1(固定値出力)のとき、TRBIOCレジスタのTOPLビットの反転値が出力されます。

[端子状態の更新条件]

- TRBCRレジスタのTSTARTビットを0(カウント停止)から1(カウント開始)に変更したとき
- TRBPRレジスタがカウンタにリロードされたとき

16.5.4 イベントリンクコントローラ(ELC)との連携による動作

プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、タイマRB2はELCとの連携によりELCからのイベント入力の立ち上がりエッジで、カウントを開始することができます。

16.6 割り込み要求

TRBIRレジスタのTRBIFビットが1(割り込み要求あり)およびTRBIEビットが1(割り込み許可)のとき、CPUに割り込み要求が発生します。タイマRB2の割り込み要求フラグは、割り込み制御でのフラグレジスタ(FLG)のCPUの割り込み許可フラグ(Iフラグ)とプロセッサ割り込み優先レベル(IPL)とICUの割り込み制御レジスタ(TRB2IC_0レジスタのIRビット、ILVL0～ILVL2ビット)と関係しています。またCPUが割り込みを受付けた場合は、割り込みシーケンス中にTRBIFビットが0になります。TRBIFビットが1になる条件は、各モードにより異なります。TRBIFビットの説明および各モードの説明を参照してください。

16.7 INT0入力トリガ選択

プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが1(カウント許可状態)の状態、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込む、またはINT0端子にトリガを入力すると、ワンショット動作を開始します。

INT0端子からトリガ入力を使用する場合は、事前に次の設定をしてください。

- (1) PD4レジスタのPD4_5ビットを0(入力ポート)にする
- (2) INTFレジスタのINTOF0、INTOF1ビットで、INT0端子のデジタルフィルタのサンプリングクロックを選択する
- (3) INTENレジスタのINTOPLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合は、TRBIOCレジスタのINOSEGビットで、立ち下がりまたは立ち上がりエッジを選択する
- (4) INTENレジスタのINTOENビットを1(許可)にし、割り込みを許可する
- (5) TRBIOCレジスタのINOSTGビットを1(INT0端子ワンショットトリガ有効)にする

なお、INT0端子へのトリガ入力で割り込み要求が発生させる場合は、次の点に注意してください。

- INTOPLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合は、INTPOLレジスタのINTOPOLビットで立ち下がりまたは立ち上がりエッジを選択する(TRBIOCレジスタのINOSEGビット(ワンショットトリガ極性選択ビットはINT0割り込みとは無関係))。
- TRBOCRレジスタのTOSSTFビットが1(ワンショット動作(ウェイト期間を含む))の間に、ワンショットトリガが発生しても、タイマRB2の動作に影響はないが、INTOICレジスタのIRビットは変化する
- INT割り込みの詳細は「11.5 INT割り込み」を参照

16.8 タイマRB2使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- (2) 16ビットタイマで使用する時、8ビット単位でTRBPRES、TRBPR、TRBSCレジスタをアクセス(8ビットアクセス)する場合、必ずTRBPRES→TRBPR→TRBSCの順番でアクセスしてください。
- (3) プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モードでは、TRBOCRレジスタのTOSSPビットを1にしてワンショット停止したとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- (4) カウント停止中にTRBCRレジスタのTSTARTビットに1(カウント開始)を書いた後は、カウントソースの2、3サイクルの間、TRBCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。
 カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの2、3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB2関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBPR、TRBSC

- (5) TSTARTビットが0(カウント停止)のとき、TRBPRES、TRBPR、TRBSCレジスタの値を変更する場合は、CPUクロックの2サイクル以上待ってから、TSTARTビットを1(カウント開始)にしてください。
- (6) TSTARTビットが1(カウント開始)またはTCSTFビットが1(カウント中)のとき、TRBIOC、TRBMRレジスタ、TRBIRレジスタのTRBIEビットの値を変更しないでください。なお、TOCNTビットについては、16.5.3に記載の仕様でカウント中の変更は可能です。
- (7) カウント中(TCSTFビットが1)のとき、TRBCRレジスタのTSTOPビットに1を書くと、待ち時間なくタイマRB2が停止(TSTARTビットが0、TCSTFビットが0、TOSSTビットが0、TOSSTFビットが0)します。
- (8) TRBOCRレジスタのTOSSTビットに1(ワンショット開始)を書くと、タイマRBのカウントソースの3サイクル後にTOSSTFビットが変化します。TRBOCRレジスタのTOSSPビットに1(ワンショット停止)を書くと、タイマRBのカウントソースの2、3サイクル後にTOSSTFビットが変化します。TOSSTビットに1を書いた後からTOSSTFビットが1(ワンショット動作中(ウェイト期間を含む))になるまでの期間にTOSSPビットに1を書いた場合、内部の状態によってTOSSTFビットが0(ワンショット停止中)になる場合と、1になる場合があります。TOSSPビットに1を書いた後からTOSSTFビットが0になるまでの期間にTOSSTビットに1を書いた場合も同様に、TOSSTFビットは0になる場合と、1になる場合があります。
- (9) タイマRJのアンダフロー信号をタイマRB2のカウントソースにする場合、タイマRJはタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。
- (10) TCSTFビットが1(カウント中)であることを確認した後、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込んでください。TCSTFビットが0(カウント停止)のとき、TOSSTビットに1(ワンショットカウント開始)の書き込みは無効です。
- (11) タイマRB2のプログラマブル波形発生モードおよびプログラマブルウェイトワンショットモードでは、TRBSCレジスタに書いてからTRBPRレジスタに書いてください。TRBPRレジスタへ書き込み後のセカンダリ期間のアンダフローのとき、TRBPRレジスタの値がカウンタに反映されず、TRBPRレジスタに書き込み後からセカンダリ期間のアンダフローまで、TRBSC、TRBPRレジスタを複数回書くと、最後に書き込んだデータがカウンタに反映されます。ただし、TRBSCレジスタを単独で書かないでください。TRBSC、TRBPRレジスタの両方に書き込んでください。

- (12) カウント停止状態で TRBPRES レジスタ、または TRBPR レジスタの書き込みと読み出しを連続して行う場合は、書き込みと読み出しの間にNOP命令を入れてください。
- (13) カウント中(TSTARTビットが1またはTCSTFビットが1)に TRBPRES、TRBPR、TRBSC レジスタに書き込む場合は、以下の点に注意してください。
- TRBPRES レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBSC レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- (14) 消費電流を低減するために、TRBCR レジスタのTSTARTビットと TRBCR レジスタのTCSTFビットがともに0（カウント停止）状態でモジュールスタンバイに切り替えてください。モジュールスタンバイの切り替えビットについては、10.2.9 「モジュールスタンバイコントロールレジスタ2 (MSTCR2)」を参照してください。
- (15) TSTOP ビットでカウントを強制停止させる場合は、次の設定をしてください。
- (1) TRB2IC_0 レジスタの割り込み優先レベルを0（割り込み禁止）に設定
 - (2) TSTOP ビットに1（カウント強制停止）を設定
 - (3) TRBIF ビットを0（割り込み要求なし）に設定
- (16) プログラマブル波形発生モードで TRBPR レジスタを書き換えた場合、書き換え後の次のセカンダリ期間の次のタイミングで、TRBPRES、TRBPR、TRBSC レジスタに書かないでください。
- 8ビットプリスケアラ付き8ビットタイマ：
セカンダリ出力期間が終了する前のプリスケアラのアンダフロー2周期分
 - 16ビットタイマ：
セカンダリ出力期間が終了する前のカウントソースクロックの2周期分

17. タイマRC

タイマRCはアウトプットコンペア機能、インプットキャプチャ機能を内蔵した16ビットのタイマです。外部イベントのカウントができます。タイマRCカウンタと4本のジェネラルレジスタのコンペア一致による、任意のデューティのパルス出力など、多機能タイマとして種々の応用が可能です。

タイマRCは同機能を持つタイマRC_0、タイマRC_1の2本内蔵されています。特に差異がない限り、本章ではタイマRCとして説明します。

17.1 概要

表17.1にタイマRCの仕様を、表17.2にタイマRC機能一覧を、図17.1にタイマRCのブロック図を、表17.3にタイマRCの端子構成を示します。

表17.1 タイマRCの仕様

項目		内容
カウントソース (カウンタ入力 クロック)	動作クロック	内部クロック <ul style="list-style-type: none"> • f1、f2、f4、f8、f32 : TRCCR1レジスタのCKS2～CKS0ビットが⁰000b～100bで選択 • fHOCO : TRCCR1レジスタのCKS2～CKS0ビットが¹10bで選択 • fHOCO-F : TRCCR1レジスタのCKS2～CKS0ビットが¹11bで選択
	外部クロック (外部イベント カウント)	TRCCLK入力 : TRCCR1レジスタのCKS2～CKS0ビットが ¹ 01bで選択
パルス入出力端子		4本
ジェネラルレジスタ		4本 <ul style="list-style-type: none"> • アウトプットコンペアレジスタ、インプットキャプチャレジスタとして独立に設定可能 • アウトプットコンペアレジスタ、インプットキャプチャレジスタのバッファレジスタとしても使用可能
動作モード	タイマモード	<ul style="list-style-type: none"> • アウトプットコンペア機能 : L出力、H出力、トグル出力が可能 • インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジを検出 • カウンタクリア機能 : カウンタの周期設定が可能
	PWMモード	最大3相のPWM出力が可能
	PWM2モード	任意の周期/デューティのパルス出力が可能
割り込み要因		<ul style="list-style-type: none"> • コンペア一致/インプットキャプチャ兼用割り込み × 4要因 • オーバフロー割り込み
その他		<ul style="list-style-type: none"> • タイマRC出力の初期値を任意に設定可能 • TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタのコンペア一致によるA/D変換トリガを設定可能 • タイマRCとイベントリンクコントローラ(ELC)またはDTCと連動可能 • INT0端子によりタイマ出力禁止制御が可能 • INT1端子によりタイマRC_0の出力波形操作イベント入力が可能 • INT3端子によりタイマRC_1の出力波形操作イベント入力が可能 • インプットキャプチャトリガ選択 TRCGRAレジスタのインプットキャプチャトリガ入力にfOCO128を選択可能

表 17.2 タイマRC機能一覧

項目	カウンタ	入出力端子			
		TRCIOA	TRCIOB	TRCIOC	TRCIOD
カウントソース	内蔵クロック : f1、f2、f4、f8、f32、fHOCO、fHOCO-F 外部クロック : TRCCLK				
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼 用レジスタ)	周期設定は TRCGRAレジ スタ	TRCGRAレジ スタ	TRCGRBレジ スタ	TRCGRCレジ スタ バッファ動作時 TRCGRAレジ スタのバッファ レジスタ	TRCGRDレジ スタ バッファ動作時 TRCGRBレジ スタのバッファ レジスタ
カウンタクリア機能	TRCGRAレジ スタのインプッ トキャプチャ/ コンペア一致	TRCGRAレジ スタのインプッ トキャプチャ/ コンペア一致	—	—	—
	TRCTRG入力	—	—	—	—
初期出力レベルの 設定機能	—	○	○	○	○
バッファ動作	—	○	○	—	—
コンペア 一致	L出力	—	○	○	○
	H出力	—	○	○	○
	トグル出力	—	○	○	○
インプットキャプチャ 機能	—	○	○	○	○
PWMモード	—	—	○	○	○
PWM2モード	—	—	○	—	—
割り込み要因	オーバフロー	コンペア一致/ インプットキャ プチャ	コンペア一致/ インプットキャ プチャ	コンペア一致/ インプットキャ プチャ	コンペア一致/ インプットキャ プチャ

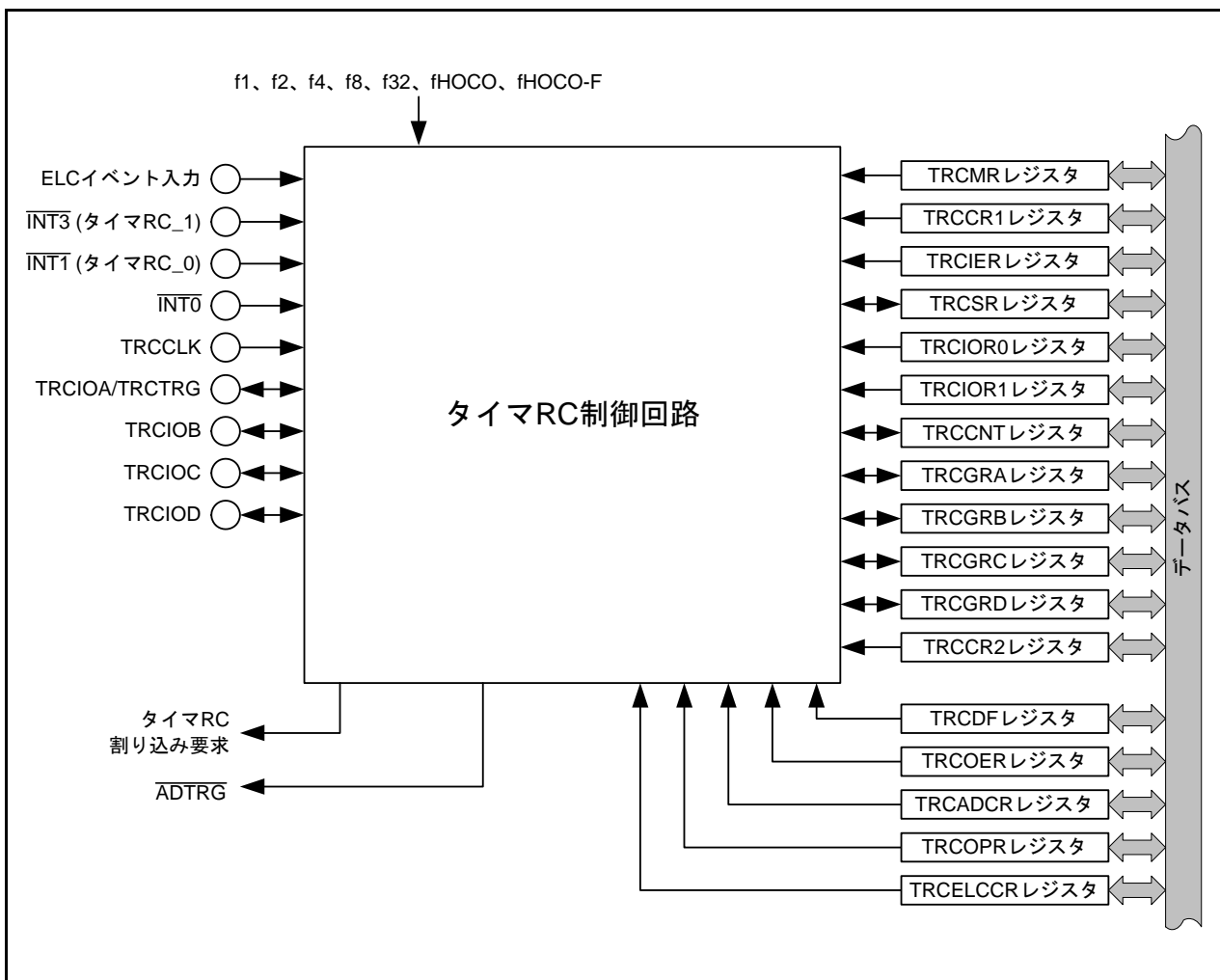


図 17.1 タイマRCのブロック図

表 17.3 タイマRCの端子構成

端子名	入出力	機能
TRCCLK	入力	外部クロック入力
TRCIOA/TRCTRГ	入出力	TRCGRA アウトプットコンペア出力/TRCGRA インプットキャプチャ入力/ 外部トリガ入力 (TRCTRГ)
TRCIOB	入出力	TRCGRB アウトプットコンペア出力/TRCGRB インプットキャプチャ入力/ PWM出力 (PWMモード時、PWM2モード時)
TRCIOC	入出力	TRCGRC アウトプットコンペア出力/TRCGRC インプットキャプチャ入力/ PWM出力 (PWMモード時)
TRCIOD	入出力	TRCGRD アウトプットコンペア出力/TRCGRD インプットキャプチャ入力/ PWM出力 (PWMモード時)
$\overline{\text{INT0}}$	入力	タイマ出力禁止制御入力
$\overline{\text{INT1}}$	入力	タイマRC_0の出力波形操作イベント入力
$\overline{\text{INT3}}$	入力	タイマRC_1の出力波形操作イベント入力

17.2 レジスタの説明

表17.4にタイマRCのレジスタ構成を示します。

表17.4 タイマRCのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRC_0カウンタ	TRCCNT_0	0000h	00138h	16
タイマRC_0ジェネラルレジスタA	TRCGRA_0	FFFFh	0013Ah	16
タイマRC_0ジェネラルレジスタB	TRCGRB_0	FFFFh	0013Ch	16
タイマRC_0ジェネラルレジスタC	TRCGRC_0	FFFFh	0013Eh	16
タイマRC_0ジェネラルレジスタD	TRCGRD_0	FFFFh	00140h	16
タイマRC_0モードレジスタ	TRCMR_0	01001000b	00142h	8
タイマRC_0制御レジスタ1	TRCCR1_0	00h	00143h	8
タイマRC_0割り込み許可レジスタ	TRCIER_0	01110000b	00144h	8
タイマRC_0ステータスレジスタ	TRCSR_0	01110000b	00145h	8
タイマRC_0 I/O制御レジスタ0	TRCIOR0_0	10001000b	00146h	8
タイマRC_0 I/O制御レジスタ1	TRCIOR1_0	10001000b	00147h	8
タイマRC_0制御レジスタ2	TRCCR2_0	00011000b	00148h	8
タイマRC_0デジタルフィルタ機能選択レジスタ	TRCDF_0	00h	00149h	8
タイマRC_0出力許可レジスタ	TRCOER_0	01111111b	0014Ah	8
タイマRC_0 A/D変換トリガ制御レジスタ	TRCADCR_0	11110000b	0014Bh	8
タイマRC_0出力波形操作レジスタ	TRCOPR_0	00h	0014Ch	8
タイマRC_0 ELC連動制御レジスタ	TRCELCCR_0	00h	0014Dh	8
タイマRC_1カウンタ	TRCCNT_1	0000h	00158h	16
タイマRC_1ジェネラルレジスタA	TRCGRA_1	FFFFh	0015Ah	16
タイマRC_1ジェネラルレジスタB	TRCGRB_1	FFFFh	0015Ch	16
タイマRC_1ジェネラルレジスタC	TRCGRC_1	FFFFh	0015Eh	16
タイマRC_1ジェネラルレジスタD	TRCGRD_1	FFFFh	00160h	16
タイマRC_1モードレジスタ	TRCMR_1	01001000b	00162h	8
タイマRC_1制御レジスタ1	TRCCR1_1	00h	00163h	8
タイマRC_1割り込み許可レジスタ	TRCIER_1	01110000b	00164h	8
タイマRC_1ステータスレジスタ	TRCSR_1	01110000b	00165h	8
タイマRC_1 I/O制御レジスタ0	TRCIOR0_1	10001000b	00166h	8
タイマRC_1 I/O制御レジスタ1	TRCIOR1_1	10001000b	00167h	8
タイマRC_1制御レジスタ2	TRCCR2_1	00011000b	00168h	8
タイマRC_1デジタルフィルタ機能選択レジスタ	TRCDF_1	00h	00169h	8
タイマRC_1出力許可レジスタ	TRCOER_1	01111111b	0016Ah	8
タイマRC_1出力波形操作レジスタ	TRCOPR_1	00h	0016Ch	8
タイマRC_1 ELC連動制御レジスタ	TRCELCCR_1	00h	0016Dh	8

17.2.1 タイマRCカウンタ (TRCCNT)

アドレス 00138h (TRCCNT_0)、00158h (TRCCNT_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	16ビットの読み出し/書き込みが可能なアップカウンタです。オーバーフローすると、TRCSRレジスタのOVFビットが1になります。このとき、TRCIERレジスタのOVIEビットが1(OVFビットによる割り込み要求許可)の場合、割り込み要求が発生します。	0000h～FFFFh	R/W

タイマRCカウンタのカウンタソースは、TRCCR1レジスタのCKS0～CKS2ビットで選択します。TRCCR1レジスタのCCLRビットを1に設定しておくことで、TRCCNTレジスタはTRCGRAレジスタとのコンペア一致時、0000hにクリアされます。

TRCCNTレジスタを8ビット単位でアクセスしないでください。16ビット単位でアクセスしてください。

17.2.2 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0013Ah (TRCGRA_0)、0013Ch (TRCGRB_0)、0013Eh (TRCGRC_0)、00140h (TRCGRD_0)、
0015Ah (TRCGRA_1)、0015Ch (TRCGRB_1)、0015Eh (TRCGRC_1)、00160h (TRCGRD_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	モードによって機能が異なる	R/W

TRCGRA～TRCGRDレジスタを8ビット単位でアクセスしないでください。16ビット単位でアクセスしてください。

表 17.5 インพุットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インพุットキャプチャ 入力端子
TRCGRA	—	ジェネラルレジスタ。インพุットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB	—		TRCIOB
TRCGRC	BUFEA = 0	ジェネラルレジスタ。インพุットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BUFEB = 0		TRCIOD
TRCGRC	BUFEA = 1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「17.5.5 バッファ動作のタイミング」参照)。	TRCIOA
TRCGRD	BUFEB = 1		TRCIOB

j = A、B、C、Dのいずれか

BUFEA、BUFEB : TRCMRレジスタのビット

表 17.6 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプット コンペア出力端子
TRCGRA	—	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB	—		TRCIOB
TRCGRC	BUFEA = 0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BUFEB = 0		TRCIOD
TRCGRC	BUFEA = 1	バッファレジスタ。次回のコンペア値を書いてください。 (「17.5.5 バッファ動作のタイミング」参照)	TRCIOA
TRCGRD	BUFEB = 1		TRCIOB

j = A、B、C、Dのいずれか

BUFEA、BUFEB : TRCMRレジスタのビット

表 17.7 PWMモード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRCGRB	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BUFEA = 0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BUFEB = 0		TRCIOD
TRCGRC	BUFEA = 1	バッファレジスタ。次回のPWM周期を設定してください (「17.5.5 バッファ動作のタイミング」参照)。	—
TRCGRD	BUFEB = 1		TRCIOB

j = A、B、C、Dのいずれか

BUFEA、BUFEB : TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペアー一致しても端子の出力レベルは変化しません。

表 17.8 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB (注1)	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC (注1)	BUFEA = 0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	—
TRCGRD	BUFEB = 0	(PWM2モードでは使用しません)	
TRCGRD	BUFEB = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください。(「17.5.5 バッファ動作のタイミング」参照)	TRCIOB端子

j = A、B、C、Dのいずれか

BUFEA、BUFEB : TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

17.2.3 タイマRCモードレジスタ (TRCMR)

アドレス 00142h (TRCMR_0)、00162h (TRCMR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CTS	—	BUFEB	BUFEA	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b1	PWMC	TRCIOC PWMモード選択ビット (注1)		R/W
b2	PWMD	TRCIOD PWMモード選択ビット (注1)		R/W
b3	PWM2	PWM2モード選択ビット	0 : PWM2モード 1 : タイマモードまたはPWMモード	R/W
b4	BUFEA	TRCGRCレジスタ機能選択ビット (注2)	0 : アウトプットコンペアレジスタまたはイン プットキャプチャレジスタ 1 : TRCGRAレジスタのバッファレジスタ	R/W
b5	BUFEB	TRCGRDレジスタ機能選択ビット	0 : アウトプットコンペアレジスタまたはイン プットキャプチャレジスタ 1 : TRCGRBレジスタのバッファレジスタ	R/W
b6	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。	—	—
b7	CTS	TRCCNTカウント開始ビット	0 : カウント停止 1 : カウント開始	R/W

注1. これらのビットはPWM2ビットが1(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードでは、BUFEAビットを0(アウトプットコンペアレジスタまたはインプットキャプチャレジスタ)にしてください。

CTSビット(TRCCNTカウント開始ビット)

[0になる条件]

- 0を書いたとき

- PWM2モード時、TRCCR2レジスタのCSTPビットが1 (TRCGRAレジスタとのコンペア一致でカウント停止)の状態、コンペア一致が発生したとき
[1になる条件]
- 1を書いたとき

以下に各モードのカウント停止条件を示します。

カウント停止条件

[インプットキャプチャ機能時]

- TRCMRレジスタのCTSビットへの0 (カウント停止)書き込み
- TRCCNTレジスタは停止前の値を保持

[アウトプットコンペア機能時]

TRCCR2レジスタのCSTPビットが0 (TRCGRAレジスタとのコンペア一致後もカウント継続)の場合

- TRCMRレジスタのCTSビットへの0 (カウント停止)書き込み
- アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRCCNTレジスタは停止前の値を保持

[PWMモード時]

TRCCR2レジスタのCSTPビットが0 (TRCGRAレジスタとのコンペア一致後もカウント継続)の場合

- TRCMRレジスタのCTSビットへの0 (カウント停止)書き込み
- PWM出力端子はカウント停止前の出力レベルを保持、TRCCNTレジスタは停止前の値を保持

[PWM2モード時]

- TRCMRレジスタのCTSビットへの0 (カウント停止)書き込み (TRCCR2レジスタのCSTPビットが0の場合も、1の場合も含む)
- TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCCNTレジスタは停止前の値を保持

17.2.4 タイマRC制御レジスタ1 (TRCCR1)

アドレス 00143h (TRCCR1_0)、00163h (TRCCR1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	タイマ出力レベル選択Aビット (注1)	0 : 出力値L 1 : 出力値H	R/W
b1	TOB	タイマ出力レベル選択Bビット (注1)		R/W
b2	TOC	タイマ出力レベル選択Cビット (注1)		R/W
b3	TOD	タイマ出力レベル選択Dビット (注1)		R/W
b4	CKS0	カウントソース選択ビット (注3)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ(注5) 1 1 0 : fHOCO(注2) 1 1 1 : fHOCO-F (注4)	R/W
b5	CKS1			R/W
b6	CKS2			R/W
b7	CCLR	TRCCNTカウンタクリア選択ビット	0 : クリア禁止 (フリーランニング動作) 1 : インพุットキャプチャ/コンペアー一致Aで TRCCNTカウンタクリア	R/W

注1. TOA～TODビットに設定した出力値は、書き込んだタイミングで反映されます。なお、TRCMRレジスタのCTSビットが0 (カウント停止) ときに設定してください。

注2. fHOCOを選択する場合は、高速オンチップオシレータが動作している状態で設定してください。

注3. カウントソースの切り替えは、カウンタが停止した状態で行ってください。

注4. fHOCO-Fを選択する場合は、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

注5. TRCCLKに入力する外部クロックのパルス幅は動作クロックの3サイクル以上にしてください。

TOAビット(タイマ出力レベル選択Aビット)

最初のコンペアー一致A (TRCCNTレジスタとTRCGRAレジスタの値が一致) が発生するまでの、TRCIOA端子の出力値を設定します。また、タイマモード (アウトプットコンペアー機能) に限定で、PWMモードではTRCIOA端子を使用しません。

TOBビット(タイマ出力レベル選択Bビット)

最初のコンペアー一致B (TRCCNTレジスタとTRCGRBレジスタの値が一致) が発生するまでの、TRCIOB端子の出力値を設定します。また、PWMモードおよびPWM2モードではTRCIOB端子の出力レベルを制御します。詳細は「図17.9 PWMモードの動作例」を参照してください。

TOCビット(タイマ出力レベル選択Cビット)

最初のコンペアー一致C (TRCCNTレジスタとTRCGRCレジスタの値が一致) が発生するまでの、TRCIOC端子の出力値を設定します。また、PWMモードではTRCIOC端子の出力レベルを制御します。詳細は「図17.9 PWMモードの動作例」を参照してください。

TODビット(タイマ出力レベル選択Dビット)

最初のコンペアー一致D (TRCCNTレジスタとTRCGRDレジスタの値が一致) が発生するまでの、TRCIOD端子の出力値を設定します。また、PWMモードではTRCIOD端子の出力レベルを制御します。詳細は「図17.9 PWMモードの動作例」を参照してください。

17.2.5 タイマRC割り込み許可レジスタ (TRCIER)

アドレス 00144h (TRCIER_0)、00164h (TRCIER_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致A割り込み許可ビット	0 : TRCSRレジスタのIMFAビットによる割り込み要求禁止 1 : TRCSRレジスタのIMFAビットによる割り込み要求許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致B割り込み許可ビット	0 : TRCSRレジスタのIMFBビットによる割り込み要求禁止 1 : TRCSRレジスタのIMFBビットによる割り込み要求許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致C割り込み許可ビット	0 : TRCSRレジスタのIMFCビットによる割り込み要求禁止 1 : TRCSRレジスタのIMFCビットによる割り込み要求許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致D割り込み許可ビット	0 : TRCSRレジスタのIMFDビットによる割り込み要求禁止 1 : TRCSRレジスタのIMFDビットによる割り込み要求許可	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	OVIE	タイマオーバフロー割り込み許可ビット	0 : TRCSRレジスタのOVFビットによる割り込み要求禁止 1 : TRCSRレジスタのOVFビットによる割り込み要求許可	R/W

17.2.6 タイマRCステータスレジスタ (TRCSR)

アドレス 00145h (TRCSR_0)、00165h (TRCSR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致 Aフラグ	[0になる条件] • 1を読んだ後、0を書いたとき(注1)	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致 Bフラグ	• IMFi割り込み(i = A~D)でDTCを起動した場合、DTCのアクノリッジで0になる	R/W
b2	IMFC	インプットキャプチャ/コンペアー一致 Cフラグ	[1になる条件] • 「表 17.9 各フラグが1になる条件」参照	R/W
b3	IMFD	インプットキャプチャ/コンペアー一致 Dフラグ		R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	OVF	タイマオーバフローフラグ	[0になる条件] • 1を読んだ後、0を書いたとき [1になる条件] • 「表 17.9 各フラグが1になる条件」参照	R/W

注1. 書き込み結果は次のようになります。

- 読んだ結果が1の場合、同じビットに0を書くと0になります。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 1を書いた場合は変化しません。

表 17.9 各フラグが1になる条件

シンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプットコンペアー機能		
IMFA	TRCIOA端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRAレジスタへ転送されたとき	TRCCNTレジスタとTRCGR A)レジスタの値が一致(コンペアー一致)したとき		
IMFB	TRCIOB端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRBレジスタへ転送されたとき	TRCCNTレジスタとTRCGRBレジスタの値が一致(コンペアー一致B)したとき		
IMFC	TRCIOC端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRCレジスタへ転送されたとき	TRCCNTレジスタとTRCGRCレジスタの値が一致(コンペアー一致C)したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRDレジスタへ転送されたとき	TRCCNTレジスタとTRCGRDレジスタの値が一致(コンペアー一致D)したとき(注2)		
OVF	TRCCNTレジスタがFFFFhから0000hにオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOi0~IOi1ビット(i = A~D)で選択したエッジです。

注2. TRCMRレジスタのBUFEA、BUFEBビットが1 (TRCGRA、TRCGRBのバッファレジスタ)の場合を含みます。

17.2.7 タイマRC I/O制御レジスタ0 (TRCIOR0)

アドレス 00146h (TRCIOR0_0)、00166h (TRCIOR0_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御A0ビット	[IOA2 = 0 (アウトプットコンペアレジスタ)]	R/W
b1	IOA1	TRCGRA制御A1ビット	b1 b0 0 0 : コンペア一致Aによる端子出力禁止 0 1 : コンペア一致AでTRCIOA端子へL出力 1 0 : コンペア一致AでTRCIOA端子へH出力 1 1 : コンペア一致AでTRCIOA端子へトグル出力 [IOA2 = 1 (インプットキャプチャレジスタ)] b1 b0 0 0 : TRCIOA端子の立ち上がりエッジ 0 1 : TRCIOA端子の立ち下がりエッジ 1 0 : TRCIOA端子の両エッジ 1 1 : 設定しないでください	R/W
b2	IOA2	TRCGRA制御A2ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切り替え	0 : fOCO128をインプットキャプチャ 1 : TRCIOA端子入力をインプットキャプチャ	R/W
b4	IOB0	TRCGRB制御B0ビット	[IOB2 = 0 (アウトプットコンペアレジスタ)]	R/W
b5	IOB1	TRCGRB制御B1ビット	b5 b4 0 0 : コンペア一致Bによる端子出力禁止 0 1 : コンペア一致BでTRCIOB端子へL出力 1 0 : コンペア一致BでTRCIOB端子へH出力 1 1 : コンペア一致BでTRCIOB端子へトグル出力 [IOB2 = 1 (インプットキャプチャレジスタ)] b5 b4 0 0 : TRCIOB端子の立ち上がりエッジ 0 1 : TRCIOB端子の立ち下がりエッジ 1 0 : TRCIOB端子の両エッジ 1 1 : 設定しないでください	R/W
b6	IOB2	TRCGRB制御B2ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b7	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—

注1. TRCMR レジスタの BUFEA、BUFEB ビットを 1 にした場合、TRCGRA と TRCGRC レジスタ、TRCGRB と TRCGRD レジスタがペアとなります。IOA2 ビットと TRCIOR1 レジスタの IOC2 ビット、IOB2 ビットと TRCIOR1 レジスタの IOD2 ビットは、同じ値を設定してください。

注2. インプットキャプチャ機能時、タイマカウント動作中に TRCIOR0 レジスタを書き換えしないでください。

PWM モードおよび PWM2 モードでは、TRCIOR0 レジスタの設定は無効になります。書き込んだ値は保持されますが、制御には反映されません。

17.2.8 タイマRC I/O制御レジスタ1 (TRCIOR1)

アドレス 00147h (TRCIOR1_0)、00167h (TRCIOR1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御C0ビット	[IOC3 = 0 (TRCIOA端子のジェネラルレジスタ)]	R/W
b1	IOC1	TRCGRC制御C1ビット	b1 b0 0 0 : コンペア一致Cによる端子出力禁止 0 1 : コンペア一致CでTRCIOA端子へL出力 1 0 : コンペア一致CでTRCIOA端子へH出力 1 1 : コンペア一致CでTRCIOA端子へトグル出力 [IOC2 = 0、IOC3 = 1 (アウトプットコンペアレジスタ)] b1 b0 0 0 : コンペア一致Cによる端子出力禁止 0 1 : コンペア一致CでTRCIOC端子へL出力 1 0 : コンペア一致CでTRCIOC端子へH出力 1 1 : コンペア一致CでTRCIOC端子へトグル出力 [IOC2 = 1、IOC3 = 1 (インプットキャプチャレジスタ)] b1 b0 0 0 : TRCIOC端子の立ち上がりエッジ 0 1 : TRCIOC端子の立ち下がりエッジ 1 0 : TRCIOC端子の両エッジ 1 1 : 設定しないでください	R/W
b2	IOC2	TRCGRC制御C2ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b3	IOC3	TRCGRC制御C3ビット	0 : TRCIOA端子のジェネラルレジスタとして使用 1 : TRCIOC端子のジェネラルレジスタとして使用	R/W
b4	IOD0	TRCGRD制御D0ビット	[IOD3 = 0 (TRCIOB端子のジェネラルレジスタ)]	R/W
b5	IOD1	TRCGRD制御D1ビット	b5 b4 0 0 : コンペア一致Dによる端子出力禁止 0 1 : コンペア一致DでTRCIOB端子へL出力 1 0 : コンペア一致DでTRCIOB端子へH出力 1 1 : コンペア一致DでTRCIOB端子へトグル出力 [IOD2 = 0、IOD3 = 1 (アウトプットコンペアレジスタ)] b5 b4 0 0 : コンペア一致Dによる端子出力禁止 0 1 : コンペア一致DでTRCIOD端子へL出力 1 0 : コンペア一致DでTRCIOD端子へH出力 1 1 : コンペア一致DでTRCIOD端子へトグル出力 [IOD2 = 1、IOD3 = 1 (インプットキャプチャレジスタ)] b5 b4 0 0 : TRCIOD端子の立ち上がりエッジ 0 1 : TRCIOD端子の立ち下がりエッジ 1 0 : TRCIOD端子の両エッジ 1 1 : 設定しないでください	R/W
b6	IOD2	TRCGRD制御D2ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b7	IOD3	TRCGRD制御D3ビット	0 : TRCIOB端子のジェネラルレジスタとして使用 1 : TRCIOD端子のジェネラルレジスタとして使用	R/W

注1. TRCMRレジスタのBUFEA、BUFEBビットを1にした場合、TRCGRAとTRCGRCレジスタ、TRCGRBとTRCGRDレジスタがペアとなります。IOC2ビットとTRCIOR0レジスタのIOA2ビット、IOD2ビットとTRCIOR0レジスタのIOB2ビットは、同じ値を設定してください。

注2. インプットキャプチャ機能時、タイマカウント動作中にTRCIOR1レジスタを書き換えしないでください。

PWMモードおよびPWM2モードでは、TRCIOR1レジスタの設定は無効になります。書き込んだ値は保持されますが、制御には反映されません。

17.2.9 タイマRC制御レジスタ2 (TRCCR2)

アドレス 00148h (TRCCR2_0)、00168h (TRCCR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSTP	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	TRCIOB PWMモード出力レベル制御ビット (注1)	0 : 出力レベルはLアクティブ 1 : 出力レベルはHアクティブ	R/W
b1	POLC	TRCIOC PWMモード出力レベル制御ビット (注1)		R/W
b2	POLD	TRCIOD PWMモード出力レベル制御ビット (注1)		R/W
b3	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b4	—			
b5	CSTP	カウント停止ビット (注2)	0 : TRCGRAレジスタとのコンペア一致 後もカウント継続 1 : TRCGRAレジスタとのコンペア一致 でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット(注3)	b7 b6 0 0 : TRCTRGの入力禁止 0 1 : 立ち上がりエッジ 1 0 : 立ち下がりエッジ 1 1 : 立ち上がり/立ち下がり両エッジ	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。

PWM2モード時の注意事項は「17.7.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

CSTPビット(カウント停止ビット)

以下に各モードのカウント停止条件を示します。

カウント停止条件

[アウトプットコンペア機能時]

- TRCCR2レジスタのCSTPビットが1(TRCGRAレジスタとのコンペア一致でカウント停止)の場合
- TRCGRAレジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持

[PWMモード時]

- TRCCR2レジスタのCSTPビットが1(TRCGRAレジスタとのコンペア一致でカウント停止)の場合
- TRCGRAレジスタとのコンペア一致でカウント停止、PWM出力端子はコンペア一致による出力変化後のレベルを保持

[PWM2モード時]

TRCCR2レジスタのCSTPビットが1の場合、TRCGRAコンペア一致でカウント停止

- TRCIOB端子は初期レベルを出力
- TRCCR1レジスタのCCLRビットが0のとき、TRCCNTレジスタは停止前の値を保持
- TRCCR1レジスタのCCLRビットが1のとき、TRCCNTレジスタは0000h

17.2.10 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 00149h (TRCDF_0)、00169h (TRCDF_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA デジタルフィルタ機能ビット (注1)	0 : 機能なし 1 : 機能あり	R/W
b1	DFB	TRCIOB デジタルフィルタ機能ビット (注1)		R/W
b2	DFC	TRCIOC デジタルフィルタ機能ビット (注1)		R/W
b3	DFD	TRCIOD デジタルフィルタ機能ビット (注1)		R/W
b4	DFTRG	TRCTRG デジタルフィルタ機能ビット (注1、2)		R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	DFCK0	デジタルフィルタクロック選択ビット (注1、2)	b7 b6 0 0 : f32 0 1 : f8 1 0 : f1 1 1 : カウントソース (TRCCR1 レジスタの CKS0 ~ CKS2 ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2 レジスタのTCEG1 ~ TCEG0 ビットが01b、10b、11b (TRCTRG トリガ入力許可)のとき有効です。

17.2.11 タイマRC出力許可レジスタ (TRCOER)

アドレス 0014Ah (TRCOER_0)、0016Ah (TRCOER_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット (注1)	[TRCOPRレジスタのOPEビットが0 (出力波形操作無効)のとき] 0: TRCMR、TRCIOR0レジスタの設定に従い、TRCIOi端子 (i = A、B)の出力は許可 1: TRCMR、TRCIOR0レジスタの設定に関わらず、TRCIOi端子の出力は禁止 (TRCIOi端子はプログラマブル入出力ポート) [TRCOPRレジスタのOPEビットが1 (出力波形操作有効)のとき] 0: TRCMR、TRCIOR0レジスタの設定に従い、TRCIOi端子の出力は許可 1: TRCIOi端子はTRCOPRレジスタの設定により固定レベル出力	R/W
b1	EB	TRCIOB出力禁止ビット (注1)	[TRCOPRレジスタのOPEビットが0 (出力波形操作無効)のとき] 0: TRCMR、TRCIOR0レジスタの設定に従い、TRCIOi端子 (i = A、B)の出力は許可 1: TRCMR、TRCIOR0レジスタの設定に関わらず、TRCIOi端子の出力は禁止 (TRCIOi端子はプログラマブル入出力ポート) [TRCOPRレジスタのOPEビットが1 (出力波形操作有効)のとき] 0: TRCMR、TRCIOR0レジスタの設定に従い、TRCIOi端子の出力は許可 1: TRCIOi端子はTRCOPRレジスタの設定により固定レベル出力	R/W
b2	EC	TRCIOC出力禁止ビット (注1)	[TRCOPRレジスタのOPEビットが0 (出力波形操作無効)のとき] 0: TRCMR、TRCIOR1レジスタの設定に従い、TRCIOk端子 (k = C、D)の出力は許可 1: TRCMR、TRCIOR1レジスタの設定に関わらず、TRCIOk端子の出力は禁止 (TRCIOi端子はプログラマブル入出力ポート) [TRCOPRレジスタのOPEビットが1 (出力波形操作有効)のとき] 0: TRCMR、TRCIOR1レジスタの設定に従い、TRCIOk端子 (k = C、D)の出力は許可 1: TRCIOk端子はTRCOPRレジスタの設定により固定レベル出力	R/W
b3	ED	TRCIOD出力禁止ビット (注1)	[TRCOPRレジスタのOPEビットが0 (出力波形操作無効)のとき] 0: TRCMR、TRCIOR1レジスタの設定に従い、TRCIOk端子 (k = C、D)の出力は許可 1: TRCMR、TRCIOR1レジスタの設定に関わらず、TRCIOk端子の出力は禁止 (TRCIOi端子はプログラマブル入出力ポート) [TRCOPRレジスタのOPEビットが1 (出力波形操作有効)のとき] 0: TRCMR、TRCIOR1レジスタの設定に従い、TRCIOk端子 (k = C、D)の出力は許可 1: TRCIOk端子はTRCOPRレジスタの設定により固定レベル出力	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	PTO	タイマ出力禁止ビット	[TRCOPRレジスタのOPEビットが0 (出力波形操作無効)のとき] 0: タイマ出力禁止無効 1: タイマ出力禁止有効 (INT0端子にLを入力すると、EA～EDビットが1 (出力禁止)になる) INT0は「11. 割り込み」を参照 [TRCOPRレジスタのOPEビットが1 (出力波形操作有効)のとき] PTOビットの機能が無効。読み書きは可能。	R/W

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

17.2.12 タイマRC A/D変換トリガ制御レジスタ (TRCADCR)

アドレス 0014Bh (TRCADCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	TRCGRA A/D変換開始トリガ許可ビット	0: コンペア一致A時にA/D変換開始トリガ発生しない 1: コンペア一致A時にA/D変換開始トリガ発生する	R/W
b1	ADTRGBE	TRCGRB A/D変換開始トリガ許可ビット	0: コンペア一致B時にA/D変換開始トリガ発生しない 1: コンペア一致B時にA/D変換開始トリガ発生する	R/W
b2	ADTRGCE	TRCGRC A/D変換開始トリガ許可ビット	0: コンペア一致C時にA/D変換開始トリガ発生しない 1: コンペア一致C時にA/D変換開始トリガ発生する	R/W
b3	ADTRGDE	TRCGRD A/D変換開始トリガ許可ビット	0: コンペア一致D時にA/D変換開始トリガ発生しない 1: コンペア一致D時にA/D変換開始トリガ発生する	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	—			

TRCADCRレジスタでA/D変換開始トリガソースを選択します。対応するコンペア一致でA/D変換開始トリガを発生します。

タイマRC_1にはTRCADCRレジスタはありません。

17.2.13 タイマRC出力波形操作レジスタ (TRCOPR)

アドレス 0014Ch (TRCOPR_0)、0016Ch (TRCOPR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	OPE	RESTATS	OPOL1	OPOL0	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	OPOL0	波形出力操作期間出力レベル選択ビット(注1)	b3 b2 0 0 : TRCIOA、TRCIOB、TRCIOC、TRCIOD端子を外部でプルダウンに設定している場合、各端子の出力レベルがハイインピーダンスに固定 0 1 : TRCIOA、TRCIOB、TRCIOC、TRCIOD端子を外部でプルアップに設定している場合、各端子の出力レベルがハイインピーダンスに固定 1 0 : 波形出力操作期間はTRCIOA、TRCIOB、TRCIOC、TRCIOD端子の出力レベルがLに固定 1 1 : 波形出力操作期間はTRCIOA、TRCIOB、TRCIOC、TRCIOD端子の出力レベルがHに固定	R/W
b3	OPOL1			R/W
b4	RESTATS	出力再開方式選択ビット(注1)	0 : ソフトウェアで出力波形操作中止、出力再開 1 : 自動出力波形操作中止、自動出力再開	R/W
b5	OPE	波形出力操作許可ビット(注1)	0 : 波形出力操作無効 1 : 波形出力操作有効	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

注1. カウント動作中は、TRCOPRレジスタを書き換えないでください。

RESTATSビット(出力再開方式選択ビット)

OPEビットが1またはRESTATSビットが0(ソフトウェアで出力波形操作中止、出力再開)のとき、ソフトウェアでTRCOERレジスタのEA～EDビットを0にします。波形出力操作イベントを解除しても、EA～EDビットは自動的に0になりません。

OPEビットが1またはRESTATSビットが1(自動出力波形操作中止、自動出力再開)のとき、波形出力操作イベントを解除すると、EA～EDビットが自動的に0になります。

OPEビット(波形出力操作許可ビット)

OPEビットが1(波形出力操作有効)のとき、波形出力操作イベントを入力すると、TRCOERレジスタのEA～EDビットは1(TRCOPRレジスタの設定により固定レベル出力)になります。

OPEビットが0(波形出力操作無効)のとき、TRCOERレジスタのEA～EDビットは、このビットの設定の影響を受けません。

OPEビットが0のとき、TRCOERレジスタの設定だけでタイマRCの波形出力を操作します。OPEビットが1のとき、TRCOERレジスタのPTOビットの設定にかかわらず、TRCOPRレジスタの設定でタイマRCの波形出力を操作します。TRCOERレジスタのEA～EDビットを、波形出力操作のフラグとして使用します。波形出力操作イベントを入力すると、EA～EDビットが1になります。

17.2.14 タイマRC ELC連動制御レジスタ (TRCELCCR)

アドレス 0014Dh (TRCELCCR_0)、0016Dh (TRCELCCR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	ELCICE	ELCP2TE	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	ELCP2TE	PWM2モード時の入力トリガ 選択ビット	0 : TRCTRG端子入力 1 : ELCからのイベント入力	R/W
b2	ELCICE	TRCGRDのインプットキャプ チャ信号選択ビット	0 : TRCIOD端子入力 1 : ELCからのイベント入力	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

ELCP2TE ビット (PWM2モード時の入力トリガ選択ビット)

- ELCP2TE ビットが1のとき
TRCCR2レジスタのTCEG0、TCEG1ビットの設定に関わらず、ELCからのイベント入力がPWM2モードの入力トリガになります。
- ELCP2TE ビットが0のとき
TRCCR2レジスタのTCEG0、TCEG1ビットの設定に従い、TRCTRG入力がPWM2モードの入力トリガになります。

ELCICE ビット (TRCGRDのインプットキャプチャ信号選択ビット)

- TRCIOR1レジスタのIOD3、IOD2ビットが1、ELCICEビットが1のとき
ELCからイベント入力の立ち上がりエッジをインプットキャプチャします。
- ELCICE ビットが0のとき
TRCIOD端子入力の有効エッジがTRCIOR1レジスタの設定で決まります。

17.3 動作説明

表17.10にタイマRCの動作モードを示します。

表17.10 タイマRCの動作モード

項目	内容
タイマモード	TRCMRレジスタのPWM2ビットを0、かつPWMB～PWMDビットを0に設定することで、タイマモードとして動作する。この場合、TRCIOR0レジスタのIOA0～IOA2、IOB0～IOB2ビットの設定、TRCIOR1レジスタのIOC0～IOC2、IOD0～IOD2ビットの設定をすることで、アウトプットコンペア機能またはインプットキャプチャ機能が動作する。
PWMモード	TRCMRレジスタのPWM2ビットを0、かつPWMB～PWMDビットを1に設定することで、PWMモードとして動作する。
PWM2モード	TRCMRレジスタのPWM2ビットを1に設定することで、PWM2モードとして動作する。

表17.11～表17.14にTRCIOA～TRCIOD端子設定を示します。TRCIOA～TRCIOD端子の配置は「14. I/Oポート」を参照してください。

TRCIOA_1～TRCIOD_1端子を使用する場合、端子配置選択レジスタ(PMCSEL)をタイマ優先端子配置に設定してください。

表17.11 TRCIOA端子設定

レジスタ	TRCOER	TRCMR	TRCIOR0			機能
ビット	EA	PWM2	IOA2	IOA1	IOA0	
設定値	0	1	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
	x	1	1	x	x	タイマモード(インプットキャプチャ機能)
	上記以外					I/Oポート

x : 0または1

表17.12 TRCIOB端子設定

レジスタ	TRCOER	TRCMR		TRCIOR0			機能
ビット	EB	PWM2	PWMB	IOB2	IOB1	IOB0	
設定値	0	0	x	x	x	x	PWM2モード波形出力
	0	1	1	x	x	x	PWMモード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
					1	x	タイマモード(インプットキャプチャ機能)
	x	1	0	1	x	x	タイマモード(インプットキャプチャ機能)
上記以外						I/Oポート	

x : 0または1

表17.13 TRCIOC端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	1	1	x	x	x	PWMモード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
					1	x	タイマモード(インプットキャプチャ機能)
	x	1	0	1	x	x	タイマモード(インプットキャプチャ機能)
PWM2 = 1および上記以外						I/Oポート	

x : 0または1

表 17.14 TRCIOD端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	0	1	1	×	×	×	PWMモード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
					1	×	
	×	1	0	1	×	×	タイマモード(インプットキャプチャ機能)
PWM2 = 1 および上記以外						I/Oポート	

× : 0または1

17.3.1 タイマモード

17.3.1.1 フリーランニング動作

TRCCNTレジスタは、フリーランニングカウント動作または周期カウント動作します。TRCCNTレジスタはリセット直後、フリーランニングカウンタに設定されます。TRCMRレジスタのCTSビットを1(カウント開始)にセットすると、カウント動作を開始します。TRCCNTレジスタがFFFFhから0000hにオーバーフローすると、TRCSRレジスタのOVFビットが1になり、TRCIERレジスタのOVIEビットが1(OVFビットによる割り込み要求許可)であれば、タイマRC割り込みが発生します。

図17.2にフリーランニングカウンタの動作例を示します。

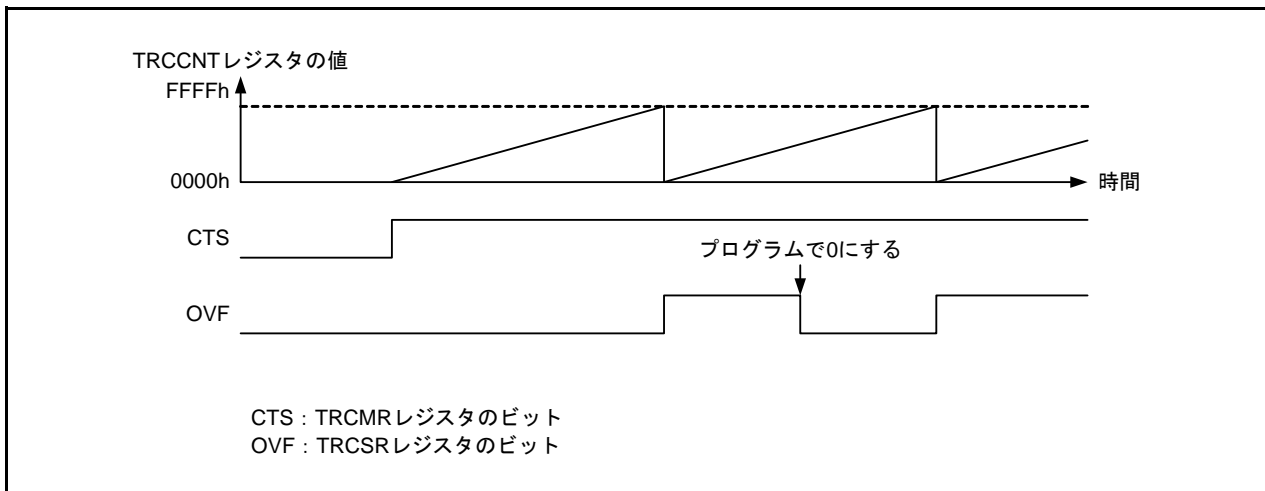


図17.2 フリーランニングカウンタの動作例

17.3.1.2 周期カウント動作

周期設定用のTRCGRAレジスタに任意の値を設定し、TRCCR1レジスタのCCLRビットを1にすると、周期カウント動作します。カウント値がTRCGRAレジスタと一致するとTRCCNTレジスタは0000hになり、TRCSRレジスタのIMFAビットが1になります。このとき、対応するTRCIERレジスタのIMIEAビットが1(IMFAビットによる割り込み要求許可)であれば、割り込み要求が発生します。TRCCR2レジスタのCSTPビットが0の場合、TRCCNTレジスタは、0000hからアップカウント動作を継続します。TRCCR2レジスタのCSTPビットが1の場合、TRCCNTレジスタは、0000hからアップカウント動作を停止します。

図17.3に周期カウンタの動作例を示します。

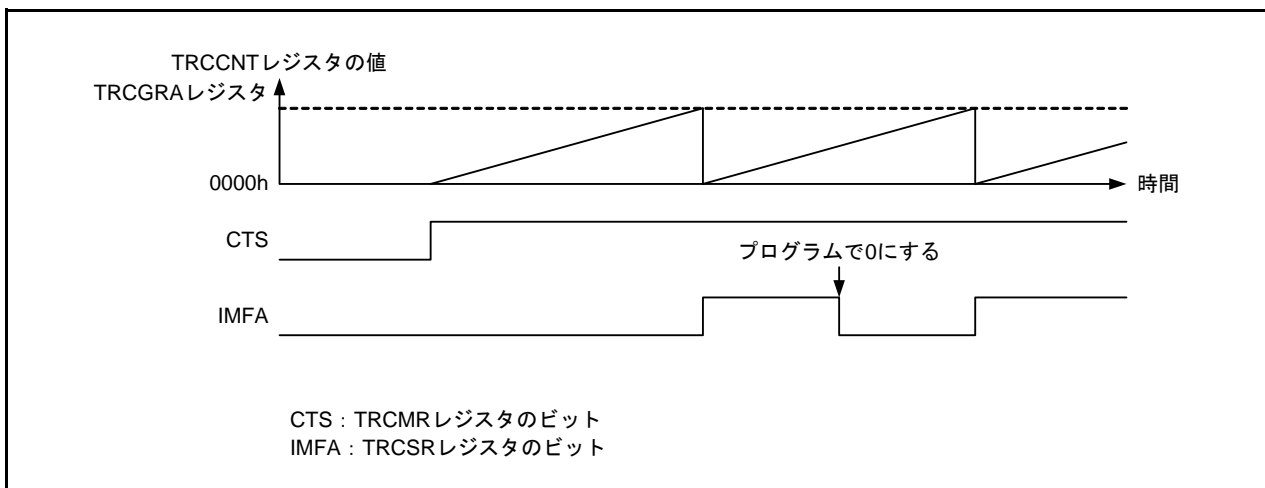


図17.3 周期カウンタの動作例

17.3.1.3 アウトプットコンペア機能

ジェネラルレジスタをアウトプットコンペアレジスタに設定することで、コンペアー一致A～DによってTRCIOA、TRCIOB、TRCIOC、TRCIOD端子からL出力、H出力またはトグル出力をします。

TRCIOA～TRCIOD端子の出力レベルは、TRCCR1レジスタのTOA～TODビットにより初期出力レベルを、TRCIOR0レジスタのIOA0、IOA1、IOB0、IOB1ビットとTRCIOR1レジスタのIOC0、IOC1、IOD0、IOD1ビットによりアクティブレベルやトグル出力を設定することができます。

図17.4にL出力、H出力の動作例を示します。TRCCNTレジスタをフリーランニングカウント動作させ、コンペアー一致BでL出力、コンペアー一致AでH出力します。設定したレベルと端子のレベルが同じ場合は、端子のレベルは変化しません。

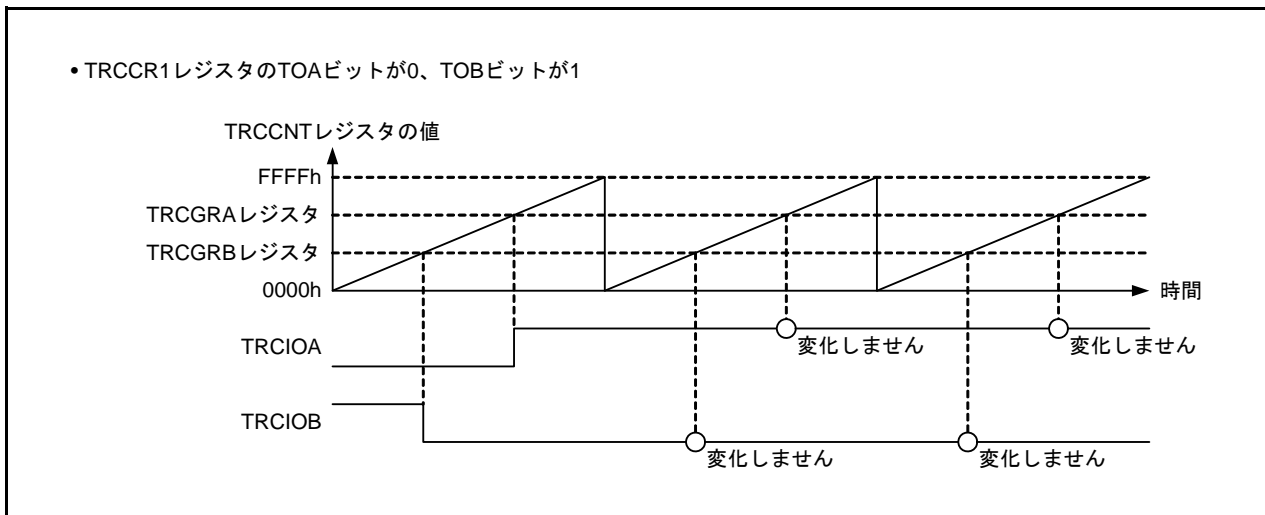


図17.4 L出力、H出力の動作例

図17.5にフリーランニングカウント時トグル出力の動作例を示します。TRCCNTレジスタをフリーランニングカウント動作させ、コンペアー一致A、Bでトグル出力します。

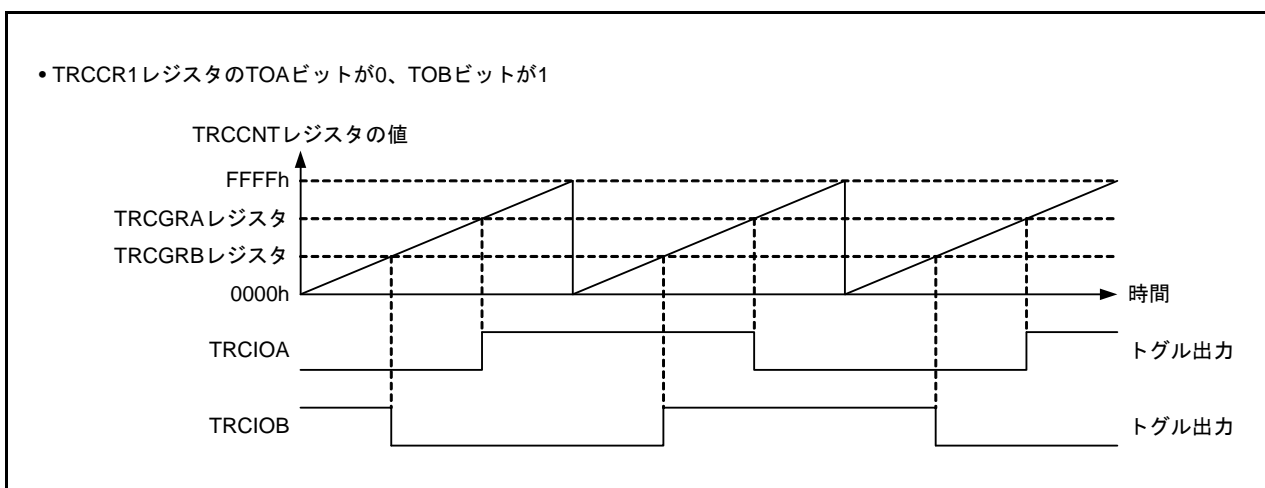


図17.5 フリーランニングカウント時トグル出力の動作例

図17.6に周期カウント時トグル出力の動作例を示します。TRCCNTレジスタを周期カウント動作させ、コンペア一致A、Bでトグル出力します。

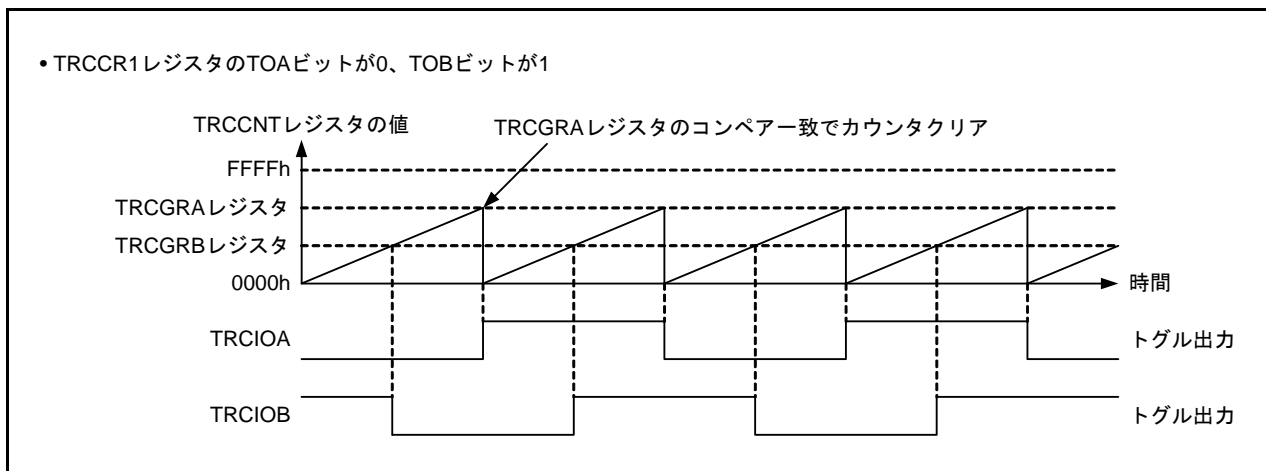


図17.6 周期カウント時トグル出力の動作例

17.3.1.4 インプットキャプチャ機能

インプットキャプチャ機能でパルス幅や周期の測定ができます。

ジェネラルレジスタをインプットキャプチャレジスタに設定することで、TRCIOA～TRCIOD端子の入力エッジを検出したときのTRCCNTレジスタの値を、TRCGRA～TRCGRDレジスタに転送します。インプットキャプチャ機能を使用する場合、TRCIOA～TRCIOD端子の入力エッジは、TRCIOR0レジスタのIOA0、IOA1、IOB0、IOB1ビットとTRCIOR1レジスタのIOC0、IOC1、IOD0、IOD1ビットの対応するビットにより、立ち上がり/立ち下がり/両エッジのいずれかに設定することができます。

インプットキャプチャ機能を利用することで、TRCGRA～TRCGRDレジスタに格納された値から周期またはパルス幅の測定結果を求めることができます。

図17.7にインプットキャプチャの動作例を示します。TRCCNTレジスタをフリーランニングカウント動作させ、TRCIOA端子のインプットキャプチャ入力を両エッジに、TRCIOB端子のインプットキャプチャ入力を立ち下がりエッジに選択します。

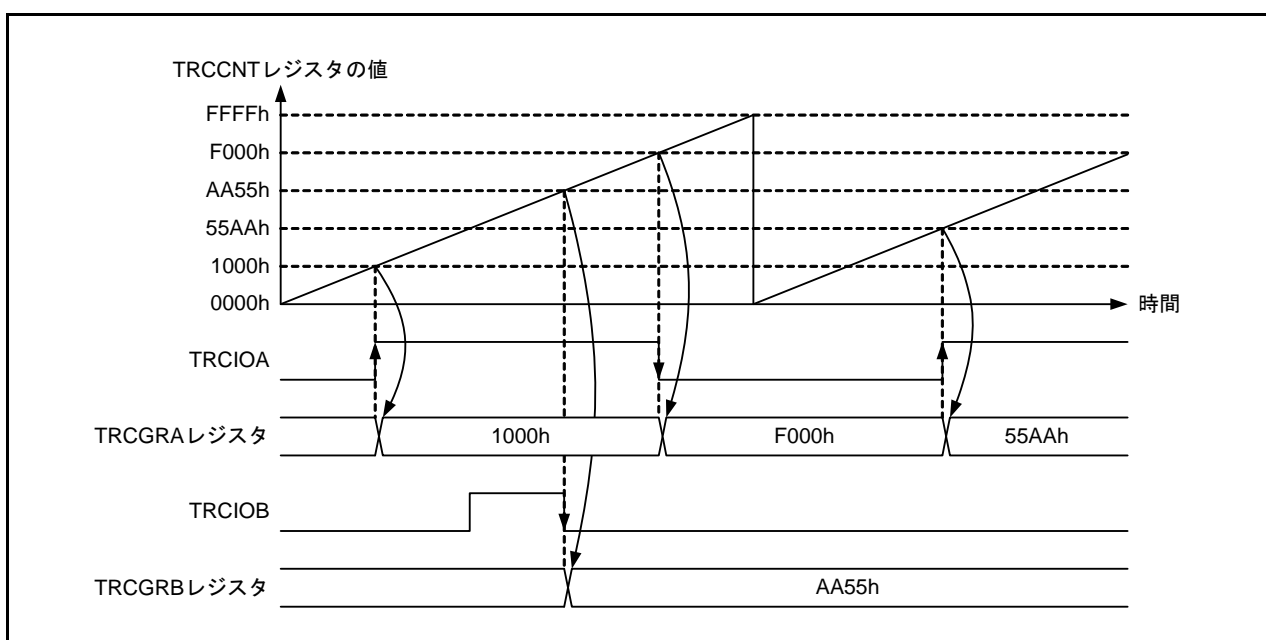


図17.7 インプットキャプチャの動作例

図17.8にインプットキャプチャ時のバッファ動作例を示します。TRCGRAレジスタをインプットキャプチャレジスタに設定し、TRCGRCレジスタをTRCGRAレジスタのバッファレジスタとした場合です。TRCCNTレジスタはフリーランニングカウント動作、TRCIOA端子のインプットキャプチャ入力は立ち上がりとし、立ち下がりとの両エッジを選択した例です。バッファ動作が設定されているため、インプットキャプチャ(インプットキャプチャ端子の入力エッジを検出) AでTRCCNTレジスタの値がTRCGRAレジスタに格納されると同時に、それまでTRCGRAレジスタに格納されていた値がTRCGRCレジスタに転送されます。

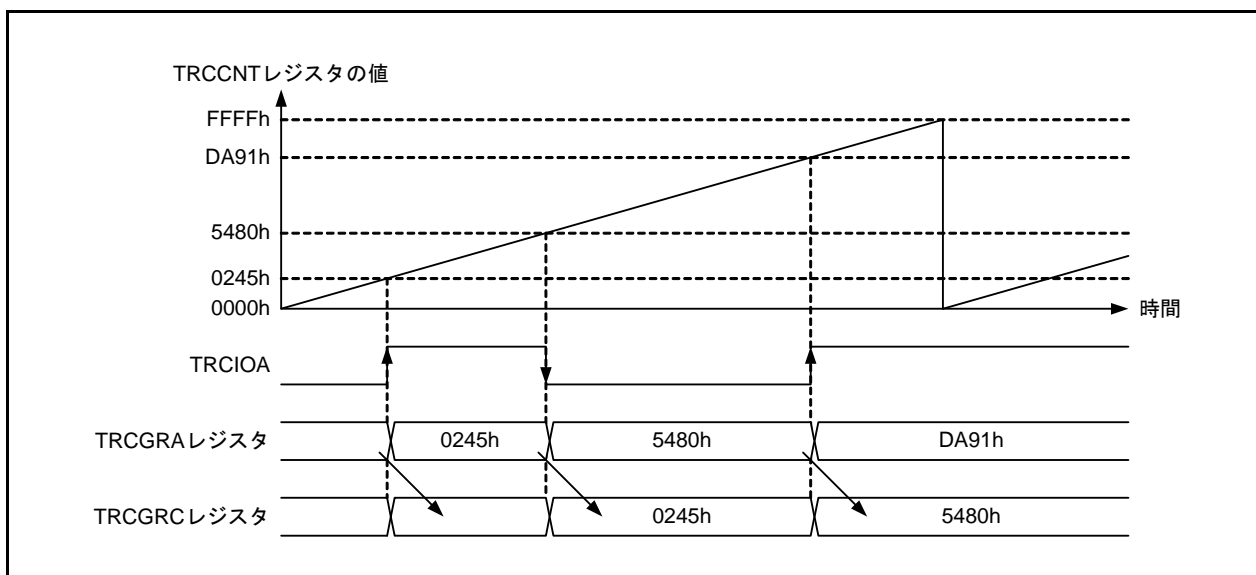


図17.8 インプットキャプチャ時のバッファ動作例

17.3.2 PWMモード

PWMモードはTRCGRAレジスタを周期レジスタ、TRCGRB、TRCGRC、TRCGRDレジスタをデューティレジスタとして設定し、TRCIOB、TRCIOC、TRCIOD出力端子よりそれぞれPWM波形を出力します。バッファ機能未使用時は最大3本のPWM出力が可能です。PWMモードでは、ジェネラルレジスタは自動的にアウトプットコンペアレジスタとして機能します。IOB2、IOC2、IOD2ビットの設定は無効です。対応する端子の初期出力レベルは、TRCCR1レジスタのTOA～TODビット、TRCCR2レジスタのPOLB～POLDビットの設定値に従います。

TRCIOB、TRCIOC、TRCIOD出力で、コンペア一致までの初期値に対してコンペア一致のときのアクティブ極性の設定値が同じ場合、実際コンペア一致出力はしていますが、出力値が変化しないため初期値を保持しているような出力になります。

表17.15にTRCIOB端子の初期出力レベルを示します。TRCIOC端子、TRCIOD端子の初期出力レベルについても、同様です。

表17.15 TRCIOB端子の初期出力レベル

TRCCR1レジスタのTOBビット	TRCCR2レジスタのPOLBビット	初期出力レベル
0	0	1
	1	0
1	0	0
	1	1

出力レベルは、POLB～POLDビットで決まります。POLBビットが0(出力レベルはLアクティブ)のときにTRCIOB出力端子は、コンペア一致BでL出力に、コンペア一致AでH出力になります。POLBビットが1(出力レベルはHアクティブ)のときにTRCIOB出力端子は、コンペア一致BでH出力に、コンペア一致AでL出力になります。

TRCIOR0、TRCIOR1レジスタの設定値より、TRCMRのPWMD～PWMBビットの設定値が優先されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペア一致が発生しても出力値は変化しません。

図17.9にPWMモードの動作例を示します。

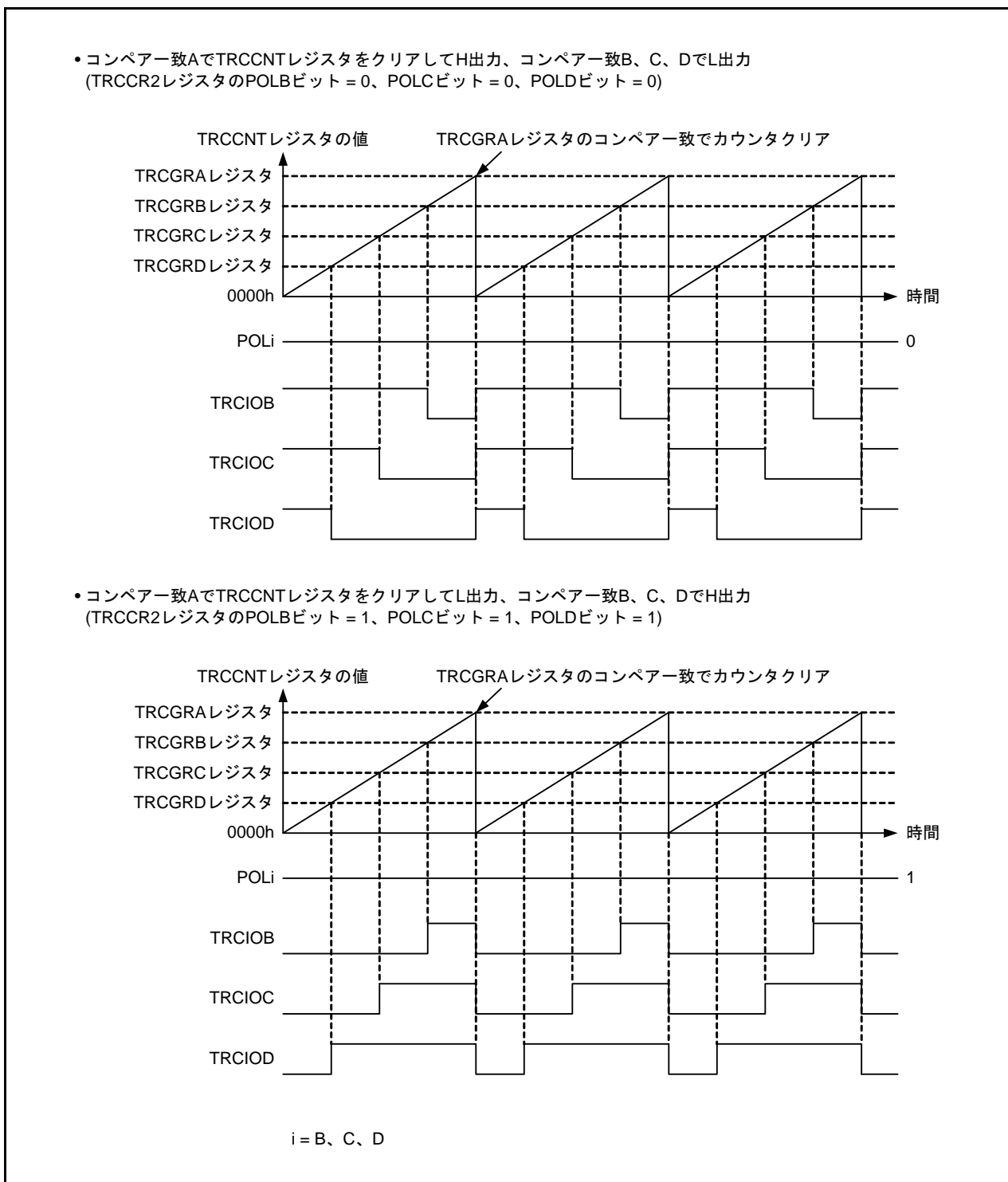


図 17.9 PWMモードの動作例

図17.10にバッファ動作例(アウトプットコンペアの場合)を示します。TRCIOB端子をPWMモードに設定し、TRCGRDレジスタをTRCGRBレジスタのバッファレジスタとして設定した場合です。TRCCNTレジスタはコンペア一致Aでクリア、出力はコンペア一致AでL出力、コンペア一致BでH出力に設定した例です。

バッファ動作が設定されているため、コンペア一致Bが発生すると出力を変化させると同時に、バッファレジスタのTRCGRDレジスタの値がTRCGRBレジスタに転送されます。この動作は、コンペア一致Bが発生するたびに繰り返します。

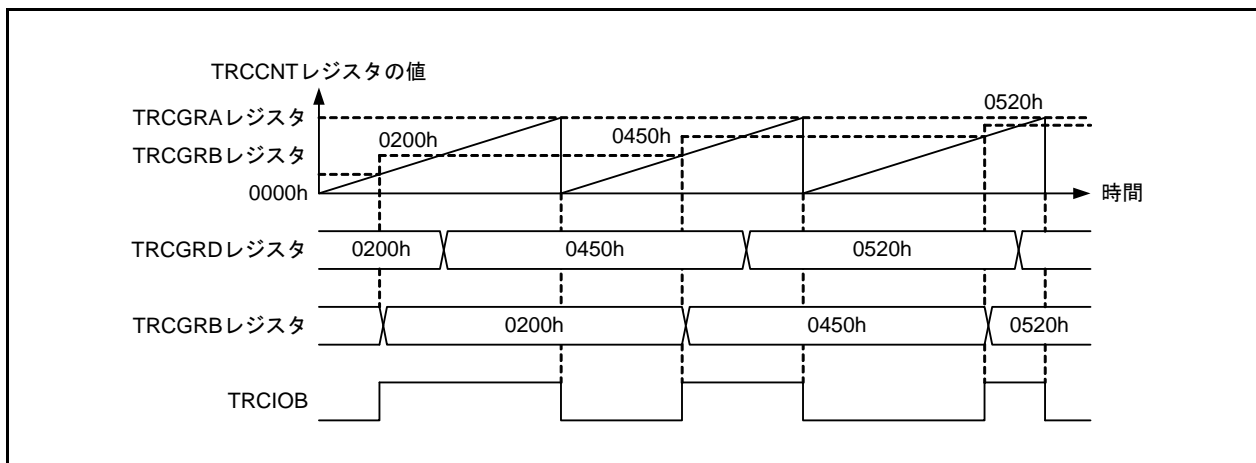


図17.10 バッファ動作例(アウトプットコンペアの場合)

図 17.11 にPWMモードの動作例(デューティ 0%、デューティ 100%)を示します。

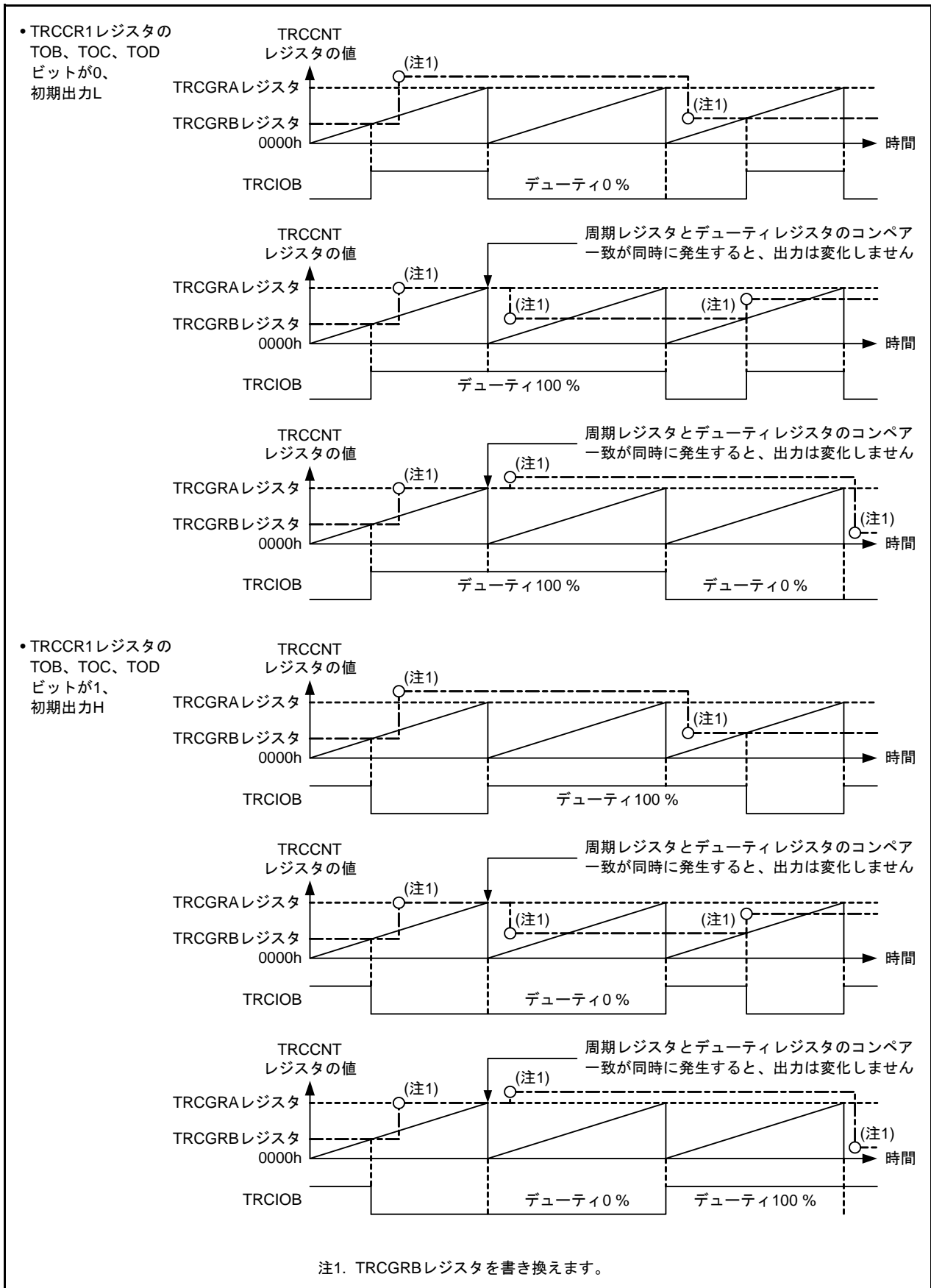


図 17.11 PWMモードの動作例(デューティ 0%、デューティ 100%)

17.3.3 PWM2モード

PWM2モードはPWMモードと異なり、TRCCNTレジスタのカウント値とTRCGRB、TRCGRCレジスタのコンペアー一致で、TRCIOB端子からPWM波形を出力するモードです。TRCGRDレジスタは、TRCMRレジスタのBUFEBビットを1(TRCGRBレジスタのバッファレジスタ)にすることで、TRCGRBレジスタのバッファレジスタとして機能します。出力レベルは、TRCCR1レジスタのTOBビットの設定値で決まります。

TOBビットが0(出力値L)のとき、TRCGRBレジスタのコンペアー一致でL出力、TRCGRCレジスタのコンペアー一致でH出力します。TOBビットが1(出力値H)のとき、TRCGRBレジスタのコンペアー一致でH出力、TRCGRCレジスタのコンペアー一致でL出力します。

表17.16にPWM2モードの端子機能とジェネラルレジスタの組み合わせを、図17.12にPWM2モードのブロック図を、図17.13にPWM2モード時TRCGRD、TRCGRBレジスタのバッファ動作のタイミング図を示します。

TRCGRAレジスタのコンペアー一致で、TRCGRDレジスタの値がTRCGRBレジスタに転送され、カウンタがクリアされます。ただし、カウンタがクリアされるのは、TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペアー一致AでTRCCNTカウンタクリア)にしたときだけです。また、TRCCR2レジスタのTCEG0、TCEG1ビットでトリガ入力を有効に設定したとき、トリガでTRCGRDレジスタの値がTRCGRBレジスタに転送され、カウンタがクリアされます。PWM2モードで使用しないタイマの入出力端子は、I/Oポートに使用できます。

表17.16 PWM2モードの端子機能とジェネラルレジスタの組み合わせ

端子名	端子機能	使用するジェネラルレジスタ	ジェネラルレジスタの役割
TRCIOA	ポート機能/TRCTRГ入力	—	—
TRCIOB	タイマRC PWM出力	TRCGRAレジスタ	周期設定
		TRCGRBレジスタ	デューティ設定：非アクティブレベルに変化
		TRCGRCレジスタ	デューティ設定：アクティブレベルに変化
		TRCGRDレジスタ(任意)	TRCGRBバッファレジスタ(任意)
TRCIOC	ポート機能	—	—
TRCIOD			

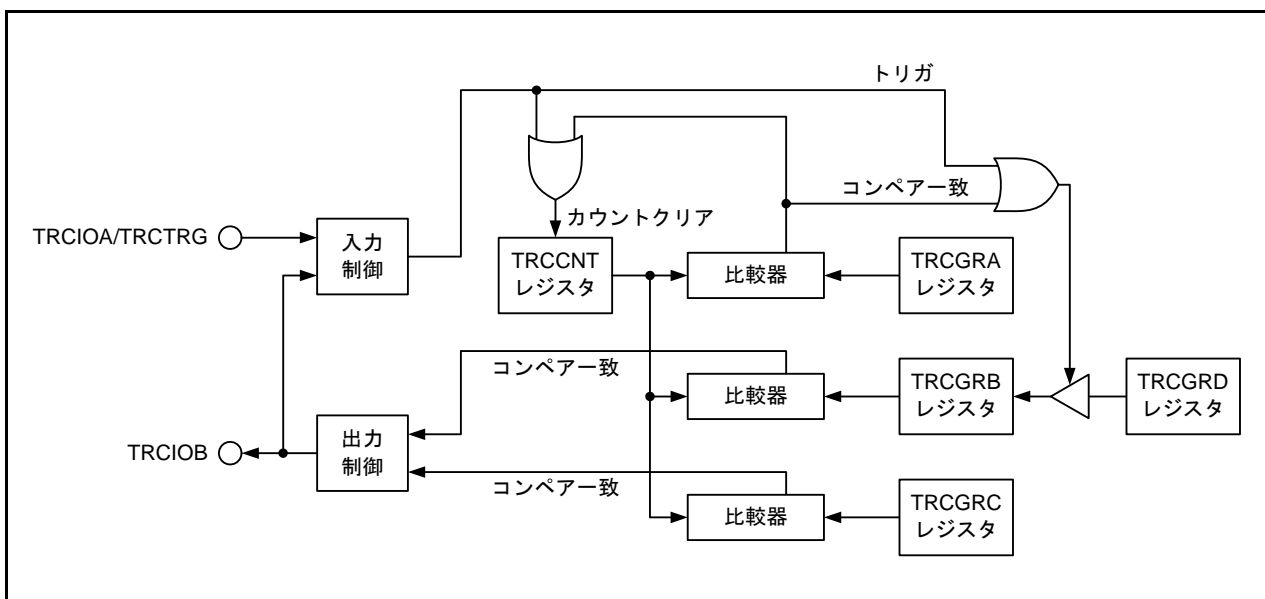


図17.12 PWM2モードのブロック図

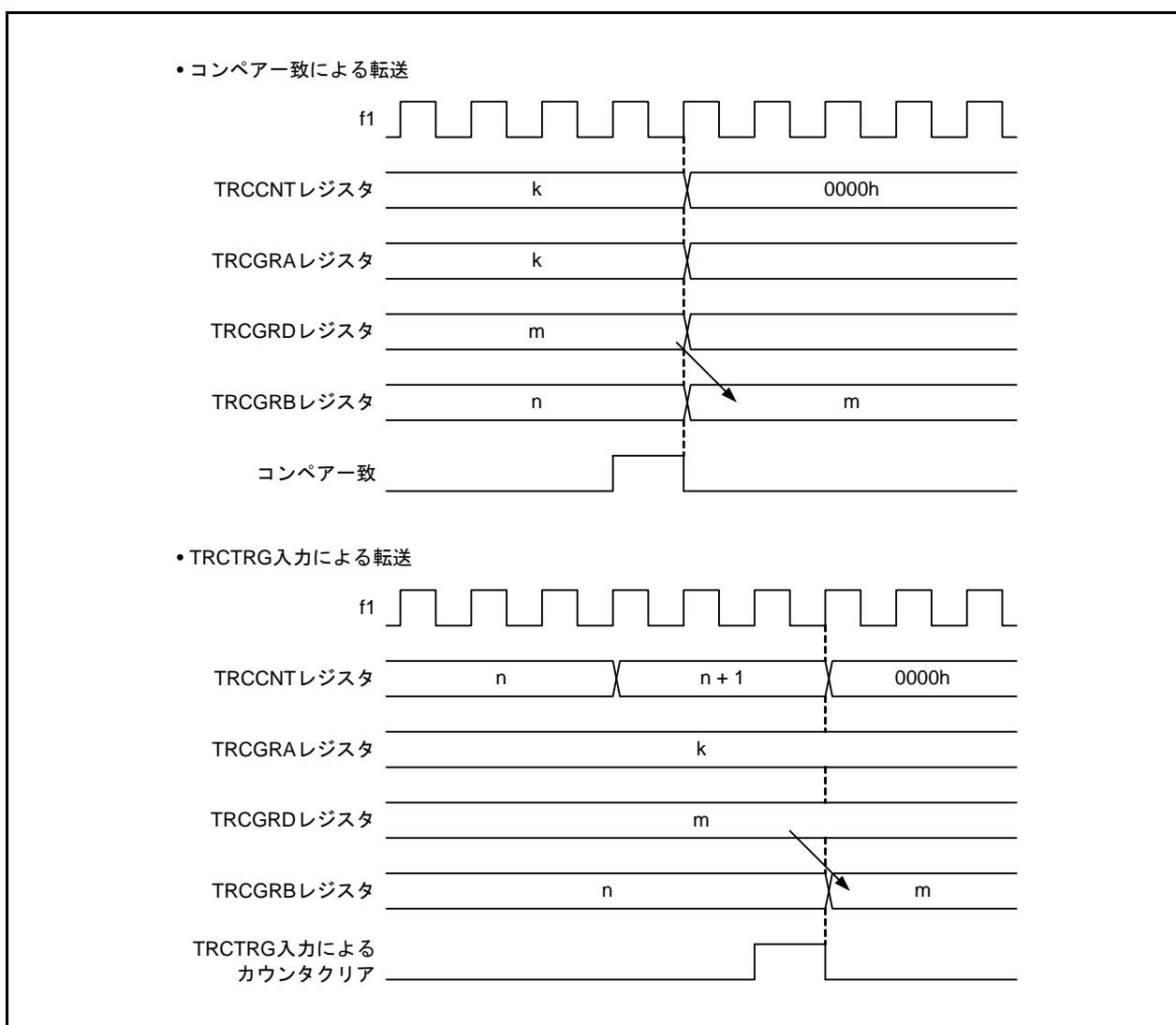


図 17.13 PWM2モード時TRCGRD、TRCGRBレジスタのバッファ動作のタイミング図

PWM2モードでは、TRCTRG入力を使ってTRCIOB端子から任意の遅延時間と幅を持つパルスを出力できます。TRCTRG入力の有効エッジは、TRCCR2レジスタのTCEG0ビット、TCEG1ビットによって、立ち上がり/立ち下がり/両エッジから選択できます。

TRCCR2レジスタのTCEG1、TCEG0ビットを10b(立ち下がりエッジ)にし、TRCTRG入力の立ち下がりエッジを設定します。TRCCR2レジスタのCSTPビットを0(TRCGRAレジスタとのコンペア一致後もカウント継続)にし、TRCGRAレジスタとのコンペア一致A発生時のカウントアップ継続を設定します。TRCMRレジスタのBUFEBビットを1(TRCGRBレジスタのバッファレジスタ)にし、TRCGRDレジスタをバッファレジスタに設定します。TRCCR1レジスタのTOBビットを0(出力値L)または1(出力値H)にし、出力レベルの初期値をLまたはHにします。次に、TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCNTカウンタクリア)にし、コンペア一致A発生時にTRCNTレジスタをクリアします。

前記設定によるTRCTRG入力許可時PWM2モードの動作例を図17.14に、TRCTRG入力禁止時PWM2モードの動作例を図17.15に示します。TRCMRレジスタのPWM2ビットを0(PWM2モード)にし、TRCIOB端子から波形を出力する場合の例です。

PWM2モードにおいて、TRCCR1レジスタのTOBビットが0(出力値L)の場合、TRCIOB端子からH出力中は、TRCTRG入力エッジは無効となります。同様に、TOBビットが1(出力値H)の場合、TRCIOB端子からL出力中は、TRCTRG入力エッジは無効となります。また、TRCGRDレジスタからTRCGRBレジスタへの転送は、TRCGRAレジスタとのコンペア一致およびTRCTRG入力が発生したとき行われます。ただし、TRCIOB端子のレベルでTRCTRG入力が無効となる場合、TRCGRDレジスタからTRCGRBレジスタへの転送は行われません。

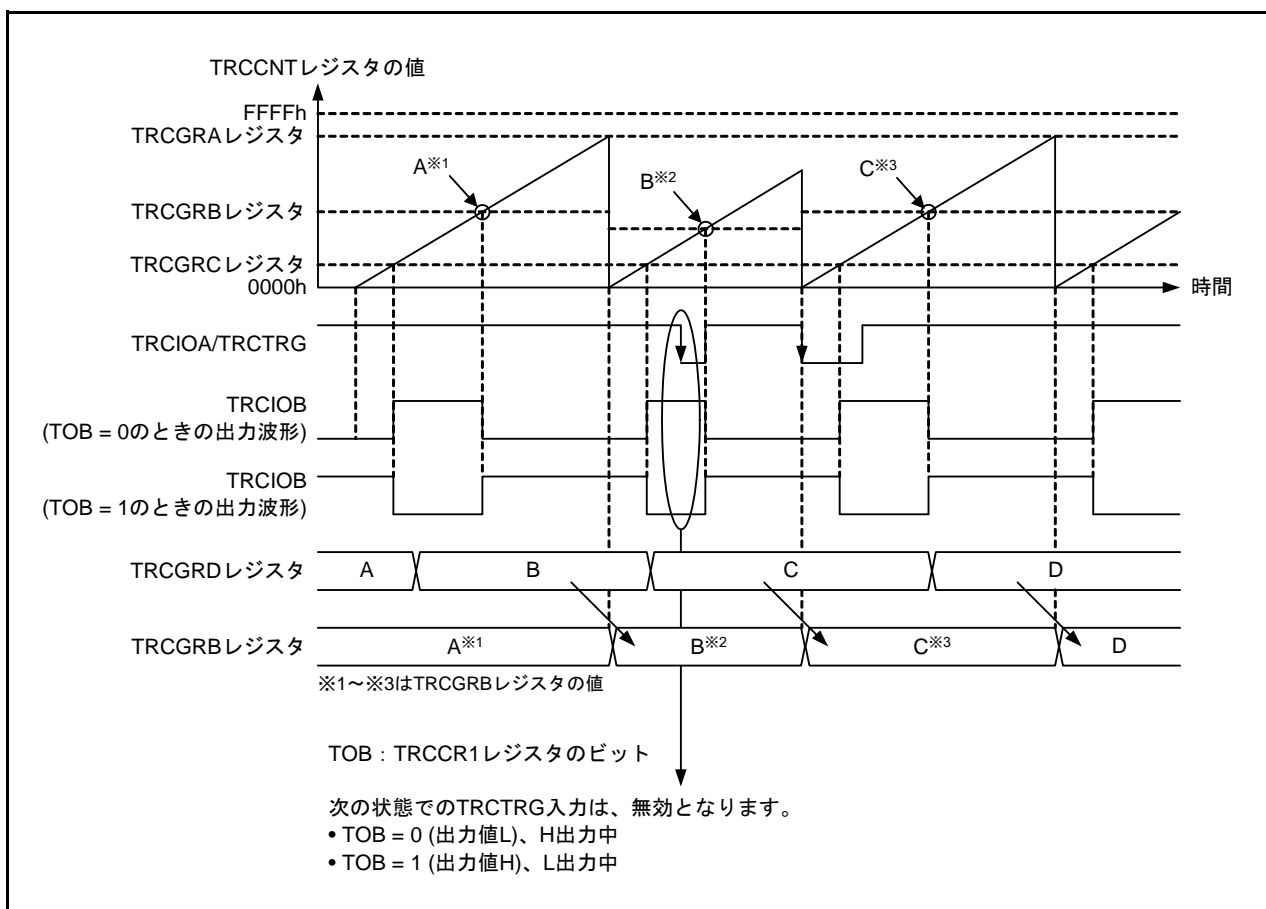


図17.14 TRCTRG入力許可時PWM2モードの動作例

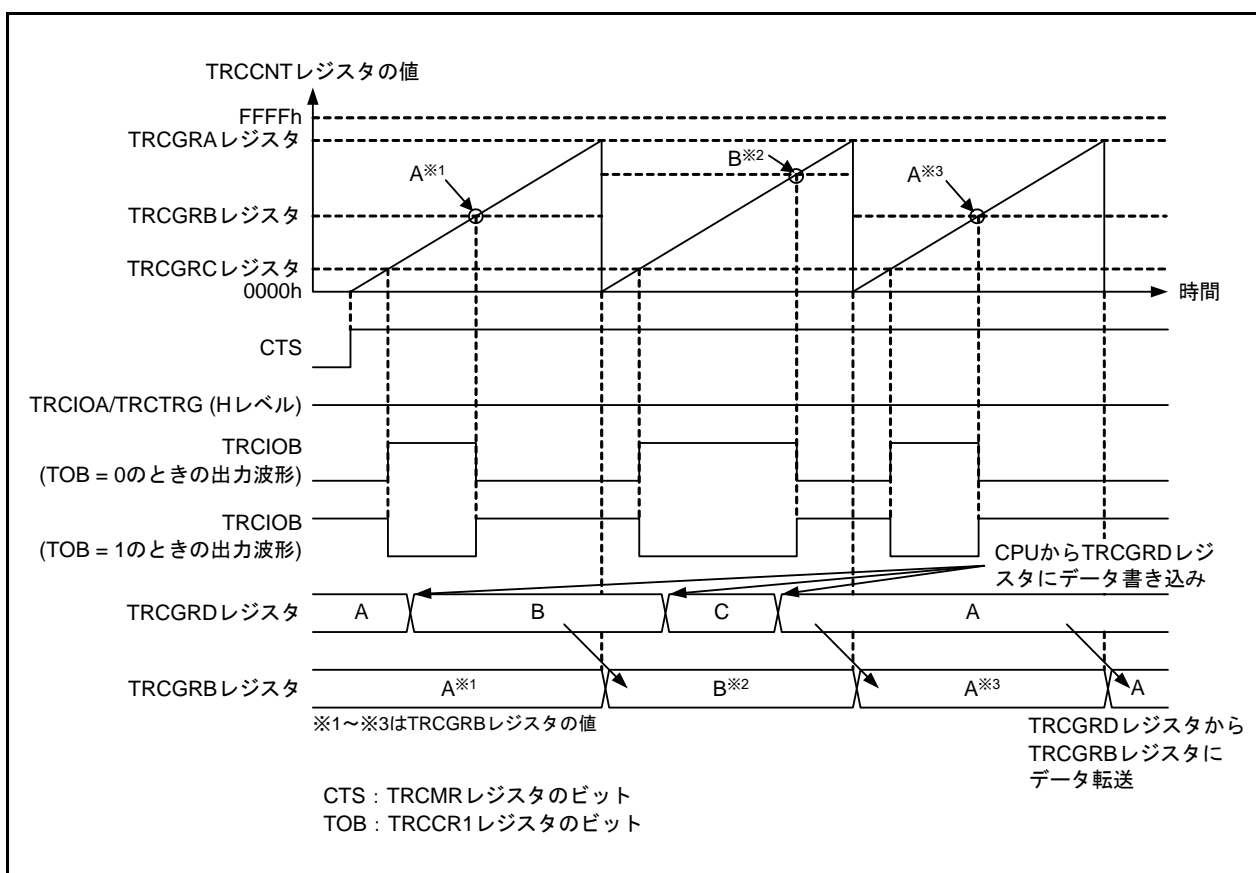


図 17.15 TRCTRG 入力禁止時 PWM2 モードの動作例

図17.16にPWM2モード時カウンタ停止の動作例を示します。TRCCR1レジスタのTOBビットを0(出力値L)、TOBビットを1(出力値H)にした場合の例です。

TRCCR2レジスタのCSTPビットを1(TRCGRAレジスタとのコンペア一致でカウント停止)、TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にすることで、TRCCNTレジスタはTRCGRAレジスタとのコンペア一致で、カウンタが0000hになり停止します。また、TRCMRレジスタのCTSビットを0(カウント停止)にすることで、強制的にカウンタは停止し、出力レベルは初期レベルになります。

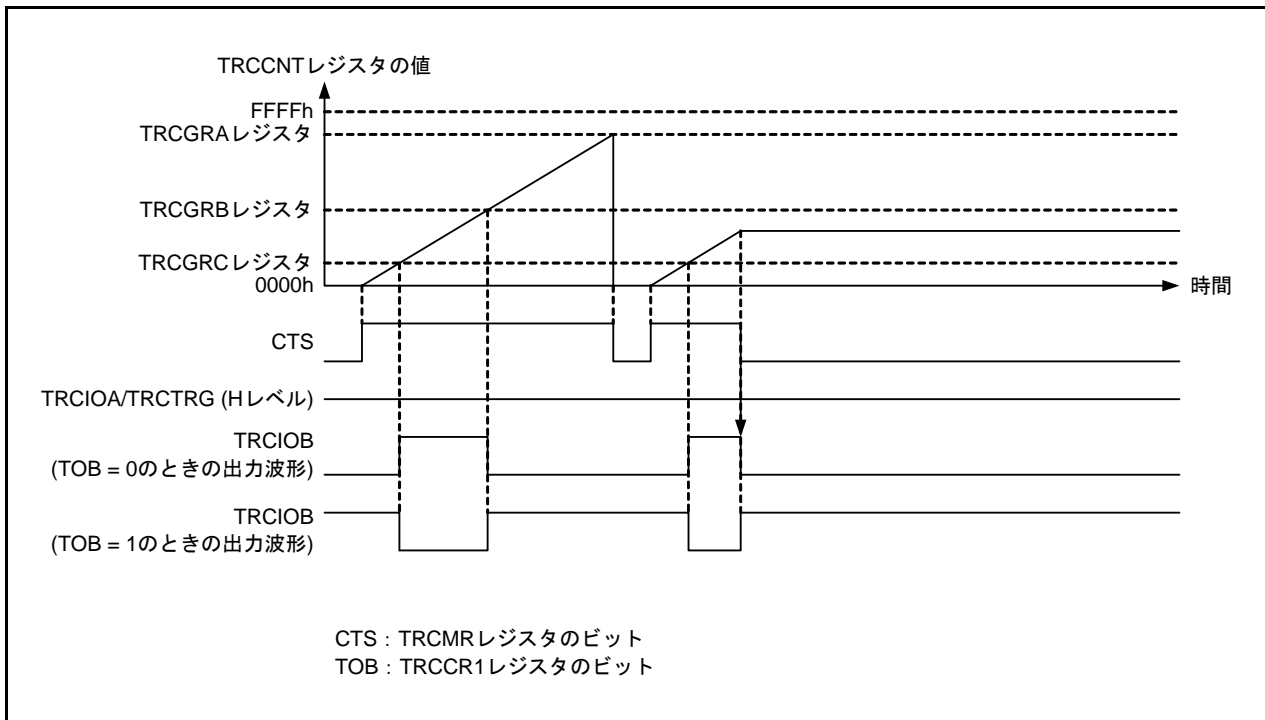


図17.16 PWM2モード時カウンタ停止の動作例

図17.17にPWM2モード時ワンショットパルス波形出力の動作例を示します。

次の条件で、TRCMRレジスタのCTSビットを1(カウント開始)にした時点でカウントを開始します。その後、TRCGRAレジスタとのコンペア一致でカウンタが0000hになり、カウント動作を停止し、ワンショット波形を出力します。

- TRCCR2レジスタのTCEG1、TCEG0ビットを00b (TRCTRGの入力禁止)にし、TRCTRG入力を禁止設定
- TRCCR2レジスタのCSTPビットを1 (TRCGRAレジスタとのコンペア一致でカウント停止)にし、TRCGRAレジスタとのコンペア一致A発生時のカウントアップ停止を設定
- TRCCR1レジスタのCCLRビットを1 (インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にし、コンペア一致AでTRCCNTレジスタをクリア
- TRCCR1レジスタのTOBビットを0 (出力値L)にし、出力レベルの初期値をL

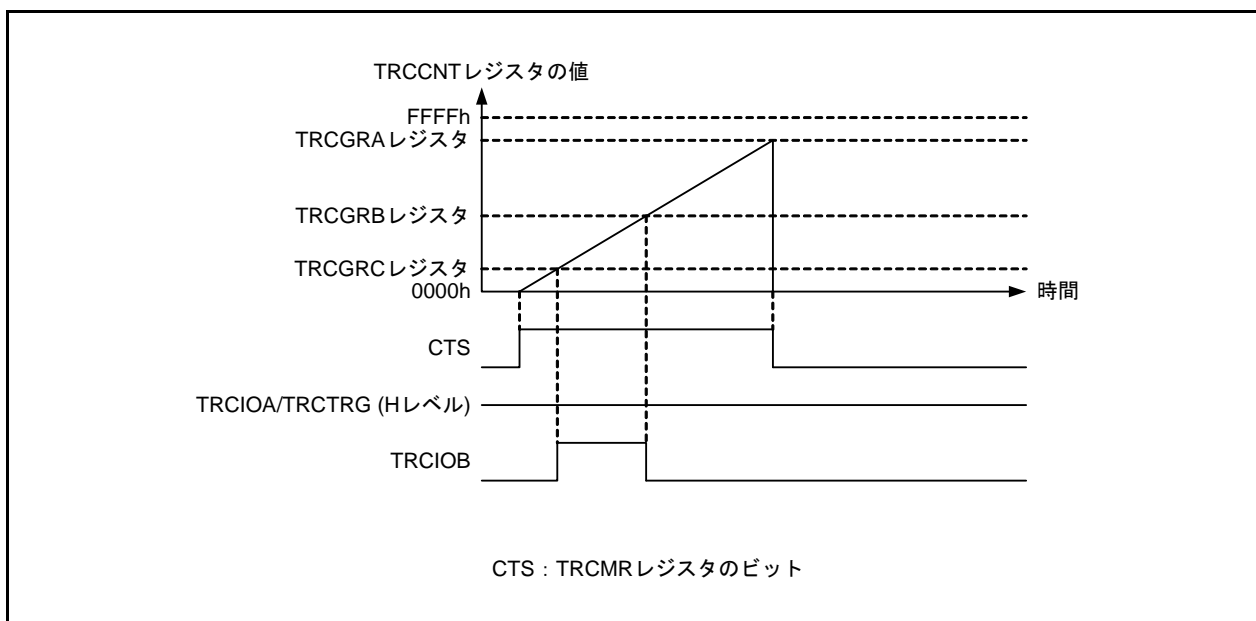


図17.17 PWM2モード時ワンショットパルス波形出力の動作例

図17.18にPWM2モード時のワンショットパルス波形出力(TRCTRГ入力によるカウント開始)の動作例を示します。

次の条件で、TRCMRレジスタのCTSビットを1(カウント開始)にした後、TRCIOA/TRCTRГの立ち下がりエッジでカウントアップを開始し、TRCGRAレジスタとのコンペア一致でカウンタが0000hになり、カウント動作を停止し、ワンショットパルス波形を出力します。

- TRCCR2レジスタのTCEG1、TCEG0ビットを10b(立ち下がりエッジ)にし、TRCTRГ入力の立ち下がりエッジを設定
- TRCCR2レジスタのCSTPビットを1(TRCGRAレジスタとのコンペア一致でカウント停止)にし、TRCGRAレジスタとのコンペア一致発生時のカウントアップ停止を設定
- TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にし、コンペア一致でTRCCNTレジスタをクリア
- TRCCR1レジスタのTOBビットを0(出力値L)にし、出力レベルの初期値をL

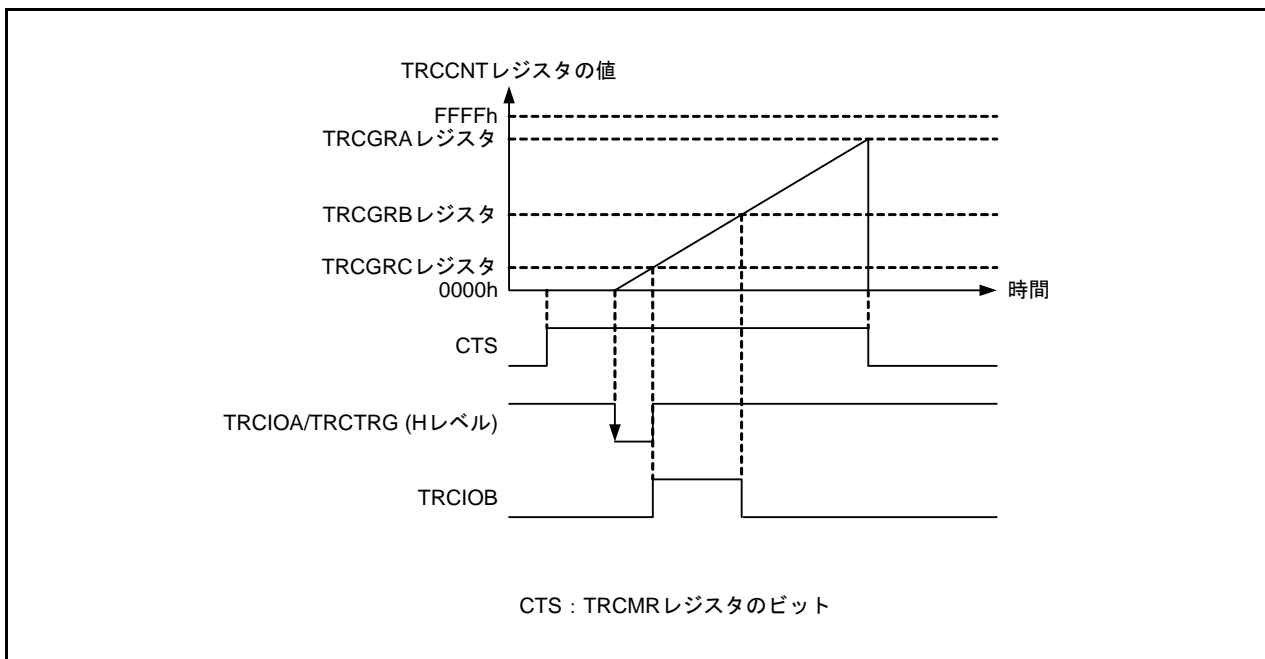


図17.18 PWM2モード時のワンショットパルス波形出力(TRCTRГ入力によるカウント開始)の動作例

17.4 選択機能

17.4.1 インプットキャプチャ入力デジタルフィルタ

図17.19にデジタルフィルタ回路のブロック図を示します。TRCIOA～TRCIODおよびTRCTRГ入力、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。TRCIOA～TRCIODおよびTRCTRГ入力は、TRCDFレジスタのDFCK0、DFCK1ビットによって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3サンプリングクロック以上の幅のパルス入力は信号として認識しますが、3サンプリングクロック以下の信号変化はノイズとして判断し除去されます。

リセット解除後、サンプリングクロックが供給され、端子の状態が決まり5クロック以上経過してからデジタルフィルタを使用してください。サンプリングクロックの4サイクルを待った後で、インプットキャプチャを設定して、インプットキャプチャ機能を使用してください。

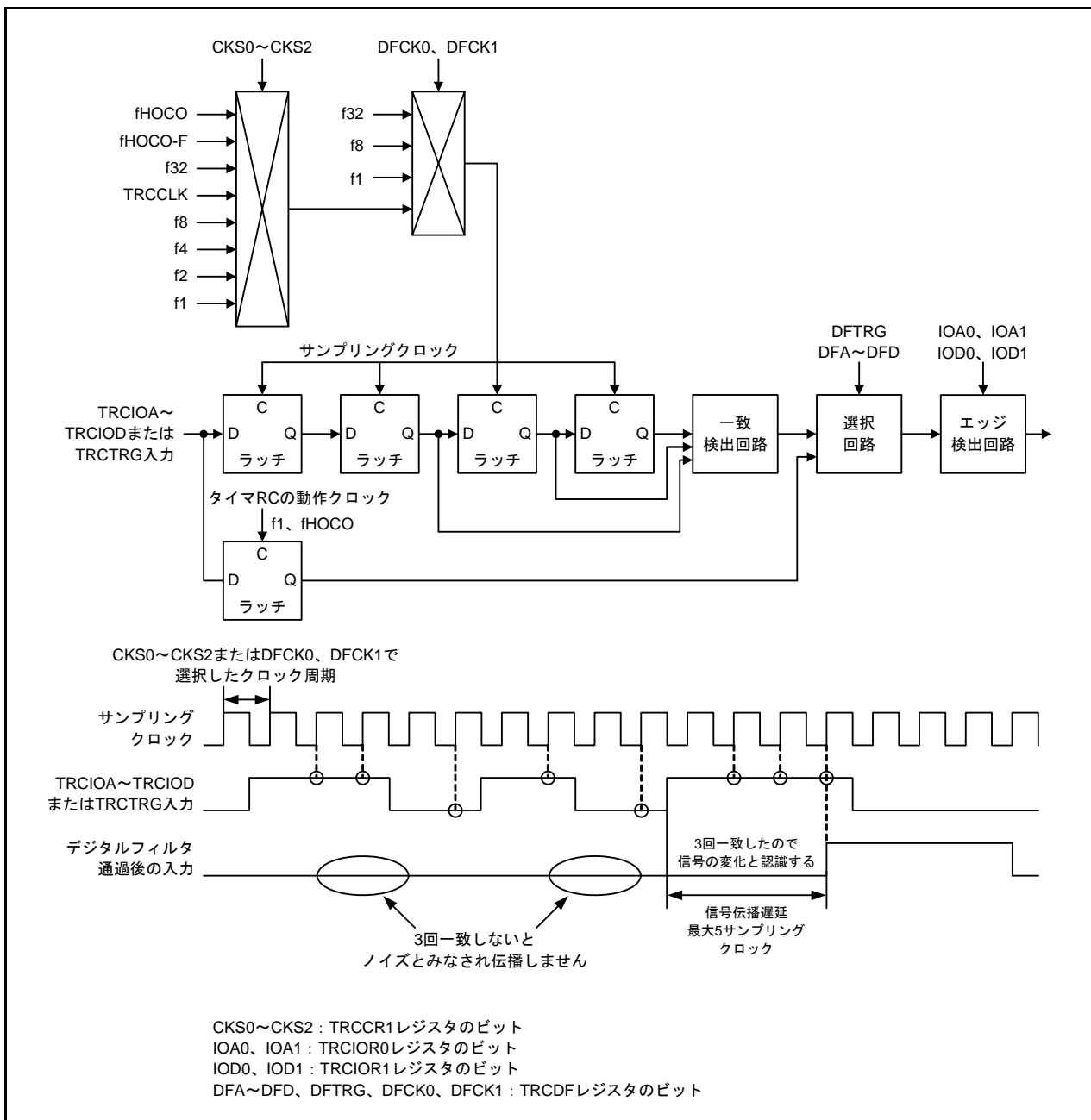


図17.19 デジタルフィルタ回路のブロック図

17.4.2 A/D変換開始トリガ

タイマRCはTRCADCRレジスタを設定することで、コンペアー一致A～DによってA/D変換開始トリガを発生できます。

図17.20にコンペアー一致B、CによるA/D変換開始トリガの動作を示します。

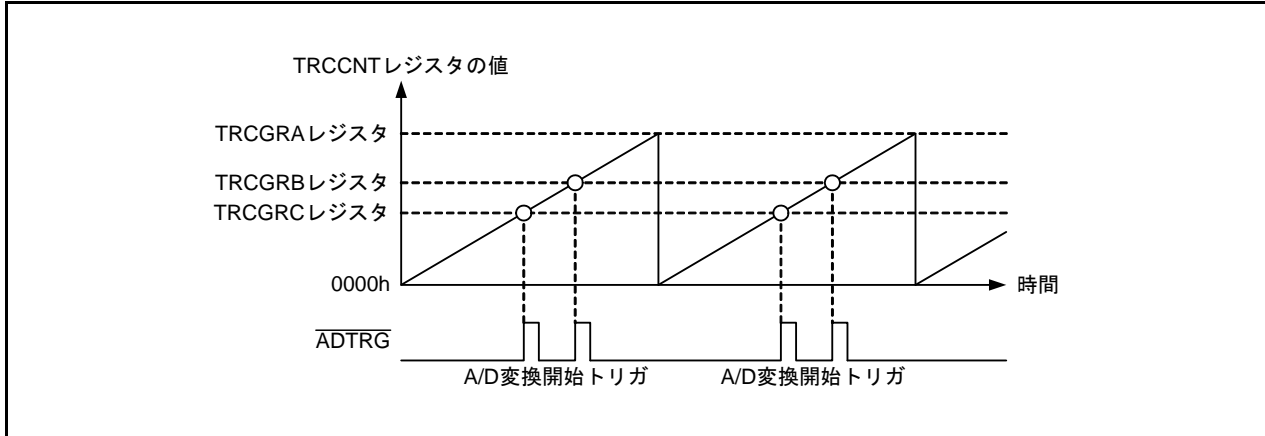


図17.20 コンペアー一致B、CによるA/D変換開始トリガの動作

バッファ動作時のバッファレジスタは、A/D変換開始トリガを発生できません。PWM2モードでのTRCGRCレジスタは、TRCGRAレジスタのバッファレジスタとして動作できません。

表17.17にA/D変換開始トリガ要因の発生状況を示します。

表17.17 A/D変換開始トリガ要因の発生状況

動作モード	バッファ動作	A/D変換開始トリガ要因			
		TRCGRA	TRCGRB	TRCGRC	TRCGRD
インプットキャプチャ	使用	×	×	×	×
	未使用	×	×	×	×
コンペアー一致	使用	○	○	×	×
	未使用	○	○	○	○
PWMモード	使用	○	○	×	×
	未使用	○	○	○	○
PWM2モード	使用	○	○	○	×
	未使用	○	○	○	○

○ : A/D変換開始トリガを発生

× : A/D変換開始トリガを発生しない

17.4.3 ジェネラルレジスタと出力端子変更

TRCIOR1レジスタのIOC3、IOD3ビットの設定で、TRCGRC、TRCGRDレジスタのコンペアー一致出力をそれぞれTRCIOC、TRCIOD端子からTRCIOA、TRCIOB端子へ変更できる機能です。TRCIOA端子はコンペアー一致AとCを組み合わせた出力、TRCIOB端子はコンペアー一致BとDを組み合わせた出力が可能になります。

図17.21にジェネラルレジスタと出力端子変更のブロック図を示します。

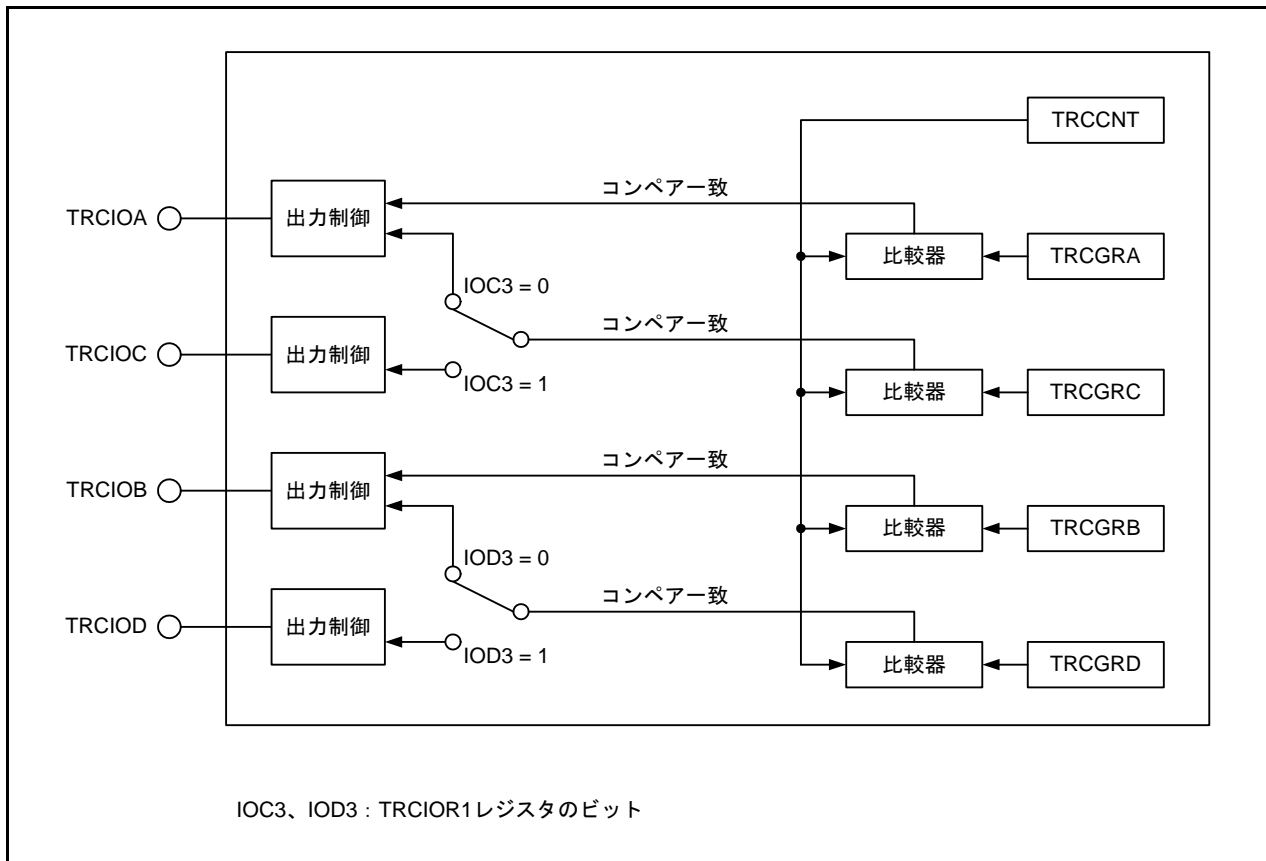


図17.21 ジェネラルレジスタと出力端子変更のブロック図

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1レジスタのIOC3ビットを0 (TRCIOA出力レジスタ)、IOD3ビットを0 (TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBUFEA、BUFEBビットを0(ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定

図17.22にTRCIOA、TRCIOBの出力が重ならない動作例を示します。次の設定をします。

- TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にし、コンペア一致でカウンタクリアし、TRCCNTレジスタを周期カウント動作
- TRCIOR0レジスタのIOA2～IOA0ビットを011b(コンペア一致AでTRCIOA端子へトグル出力)にし、トグル出力
- TRCIOR0レジスタのIOB2～IOB0ビットが011b(コンペア一致BでTRCIOB端子へトグル出力)にし、トグル出力
- TRCIOR1レジスタのIOC3～IOC0ビットが0011b(コンペア一致CでTRCIOA端子へトグル出力)にし、トグル出力
- TRCIOR1レジスタのIOD3～IOD0ビットが0011b(コンペア一致DでTRCIOB端子へトグル出力)にし、トグル出力

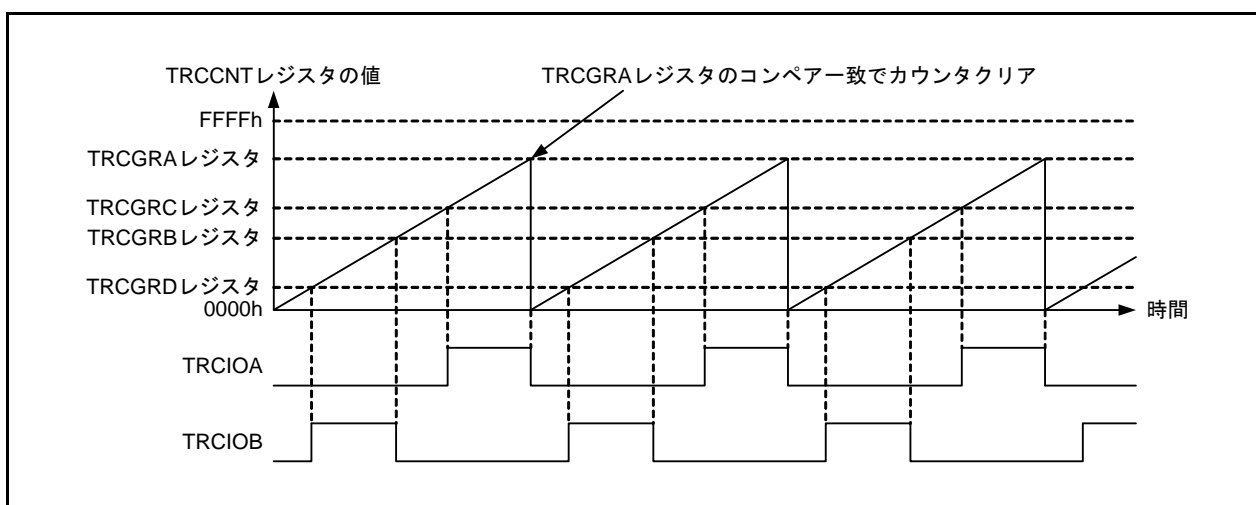


図17.22 TRCIOA、TRCIOBの出力が重ならない動作例

17.4.4 出力波形操作

タイマRCはTRCOPRレジスタ(タイマRC出力波形操作レジスタ)を設定することにより、 $\overline{\text{INT1}}$ の入力、タイマRC_1は $\overline{\text{INT3}}$ の入力によって、ポート出力波形を制御することができます。

TRCOPRレジスタのOPEビットが0のとき、出力波形操作機能は無効です。出力波形操作機能無効の状態では出力波形操作の要求イベントを入力しても受け付けません。タイマRCのTRCIOA、TRCIOB、TRCIOC、TRCIOD端子の出力は、TRCIOR0、TRCIOR1、TRCOERレジスタで設定した波形を出力します。TRCOERレジスタのPTOビットが1(パルス出力強制遮断信号入力INT0有効)のとき、 $\overline{\text{INT0}}$ 端子にLを入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて1(タイマRC出力禁止)、TRCIOA～TRCIOD出力端子はハイインピーダンスになります。

OPEビットが1のとき、出力波形操作機能は有効です。出力波形操作イベント(タイマRC_0は $\overline{\text{INT1}}=L$ 、タイマRC_1は $\overline{\text{INT3}}=L$)を入力すると、TRCOERレジスタのEA～EDビットが自動的に1になります。タイマRCのポート出力レベルは、TRCOPRレジスタのOPOL0、OPOL1ビットの設定により、強制的にL/H/ハイインピーダンスを出力します。出力波形操作の要求イベントが解除されると、RESTATSの設定によりタイマRCのポートの出力波形操作が中止され、出力を再開します。出力波形操作の停止後、出力再開を設定したタイミングの次のタイマカウント周期から端子の出力を再開します。

図17.23～図17.26に出力波形操作の動作例を示します。

- TRCIOB端子を外部でプルダウンし、TRCOPRレジスタのOPEビットが1(出力波形操作有効)、OPOL1、OPOL0ビットが00b(TRCIOA、TRCIOB、TRCIOC、TRCIOD端子を外部でプルダウンに設定している場合、出力波形操作期間はタイマRC出力レベルがハイインピーダンスに固定)、RESTATSビットが0(ソフトウェアで出力波形操作を中止、出力再開)の場合

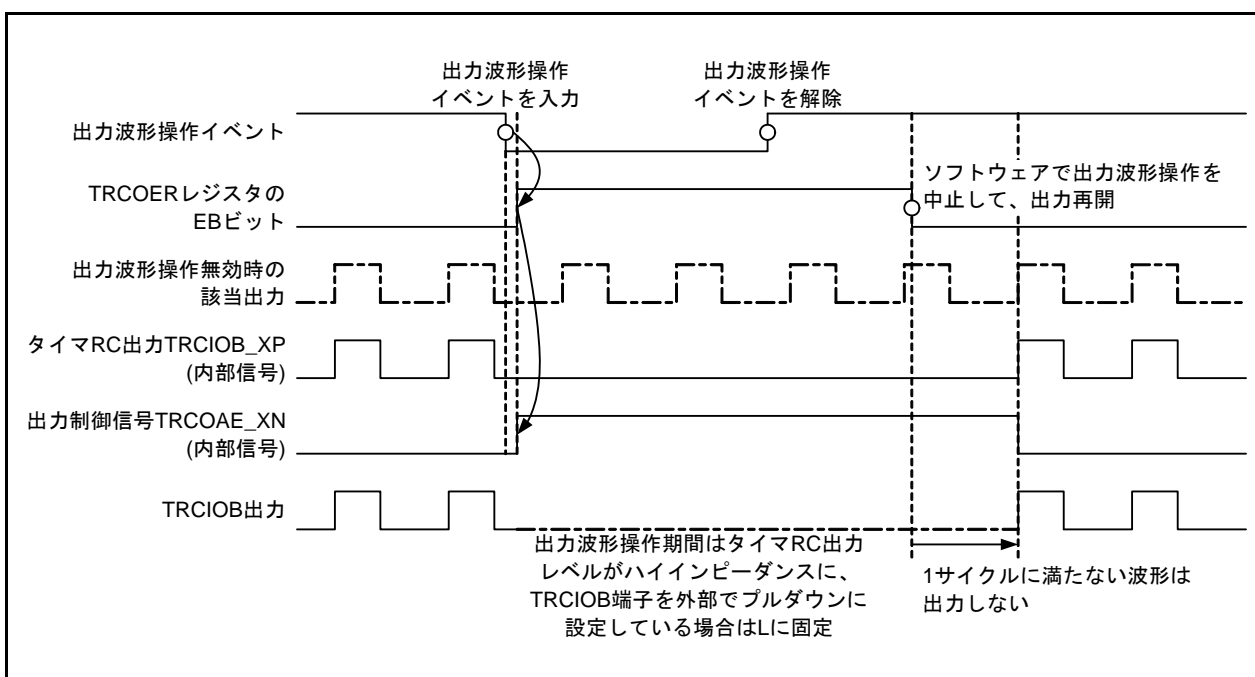


図17.23 出力波形操作の動作例(1)

- TRCIOB 端子を外部でプルアップし、TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効)、OPOL1、OPOL0 ビットが 01b (TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子を外部でプルアップに設定している場合、出力波形操作期間はタイマRC出力レベルがハイインピーダンスに固定)、RESTATS ビットが 0 (ソフトウェアで出力波形操作を中止、出力再開)の場合

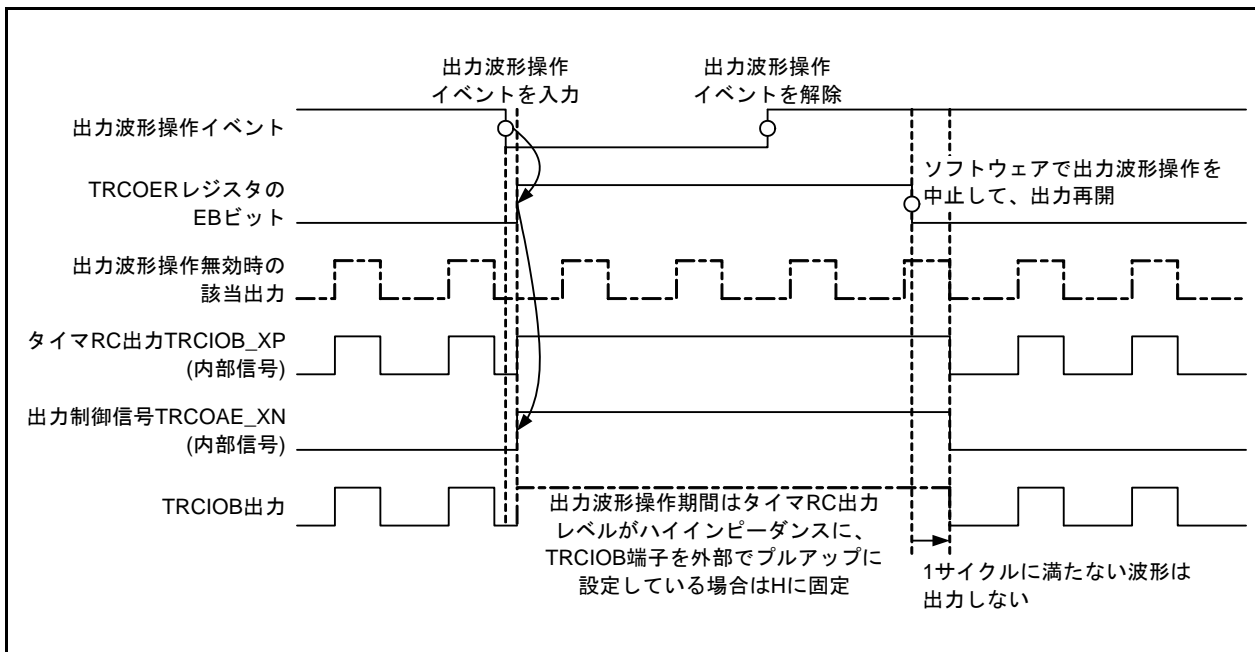


図 17.24 出力波形操作の動作例(2)

- TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効)、OPOL1、OPOL0 ビットが 10b (出力波形操作期間はタイマRC出力レベルがLに固定)、RESTATS ビットが 1 (自動出力波形操作を中止、自動出力再開)の場合

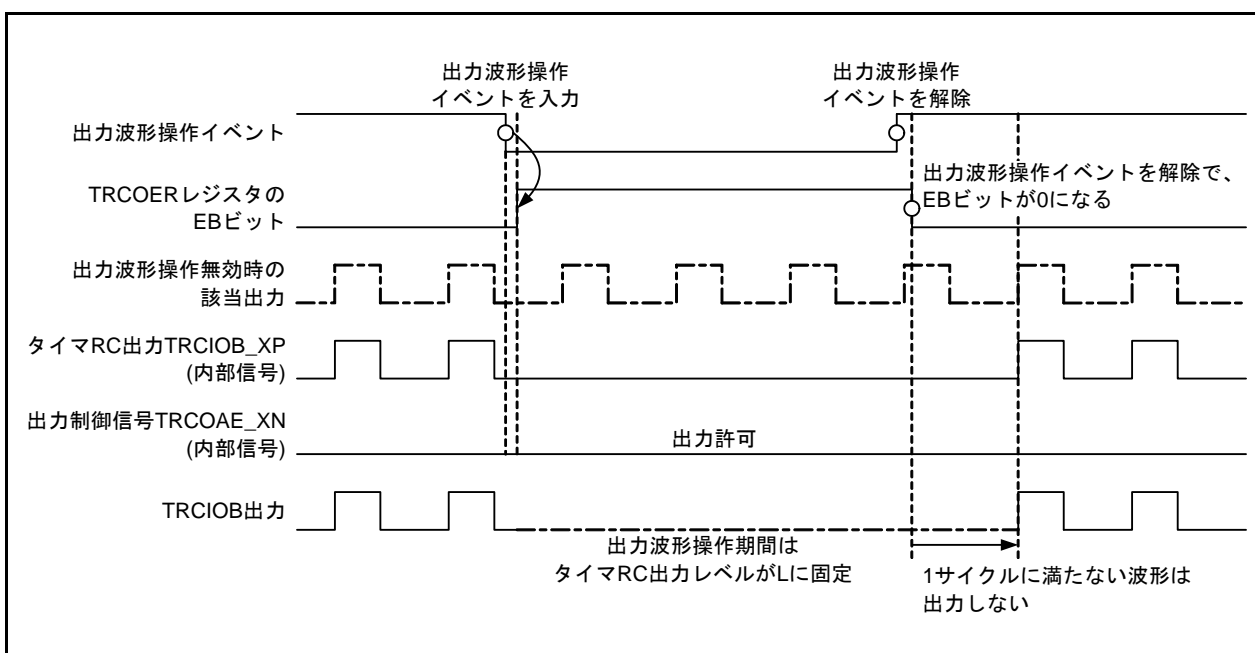


図 17.25 出力波形操作の動作例(3)

- TRCOERレジスタのOPEビットが1(出力波形操作有効)、OPOL1、OPOL0ビットが11b(出力波形操作期間はタイマRC出力レベルがHに固定)、RESTATSビットが1(自動出力波形操作を中止、自動出力再開)の場合

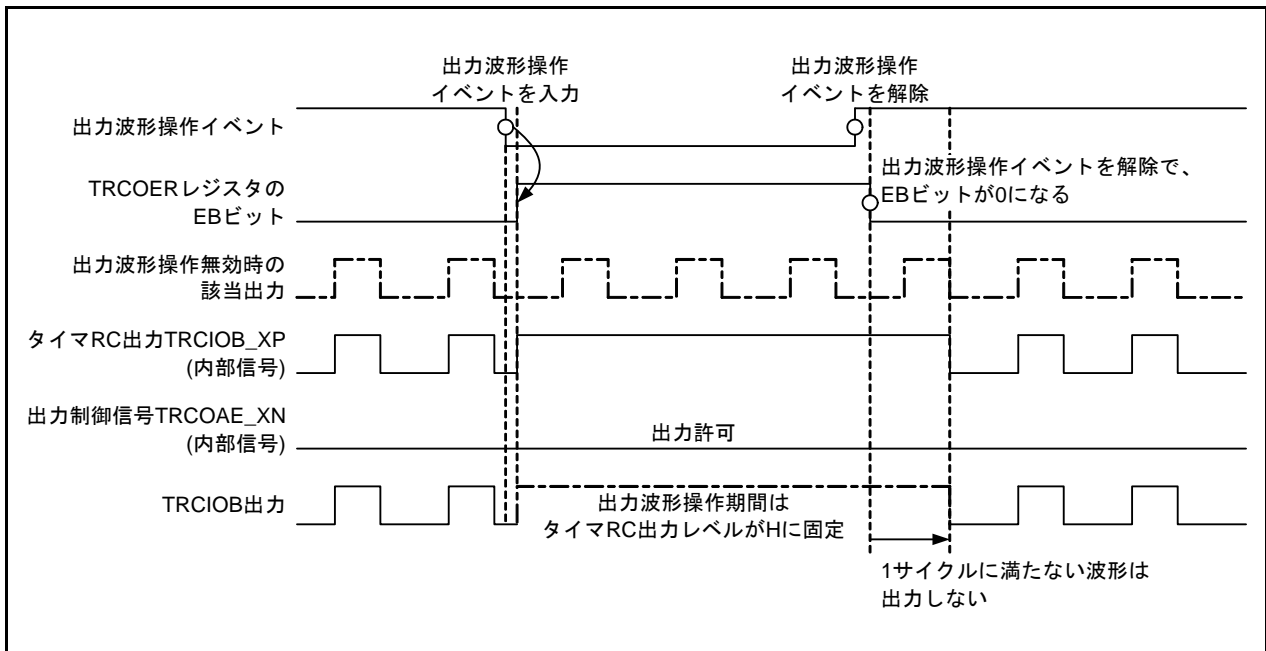


図 17.26 出力波形操作の動作例(4)

17.5 動作タイミング

17.5.1 TRCCNTレジスタのカウントタイミング

図17.27にカウント動作時のタイミング図を示します。

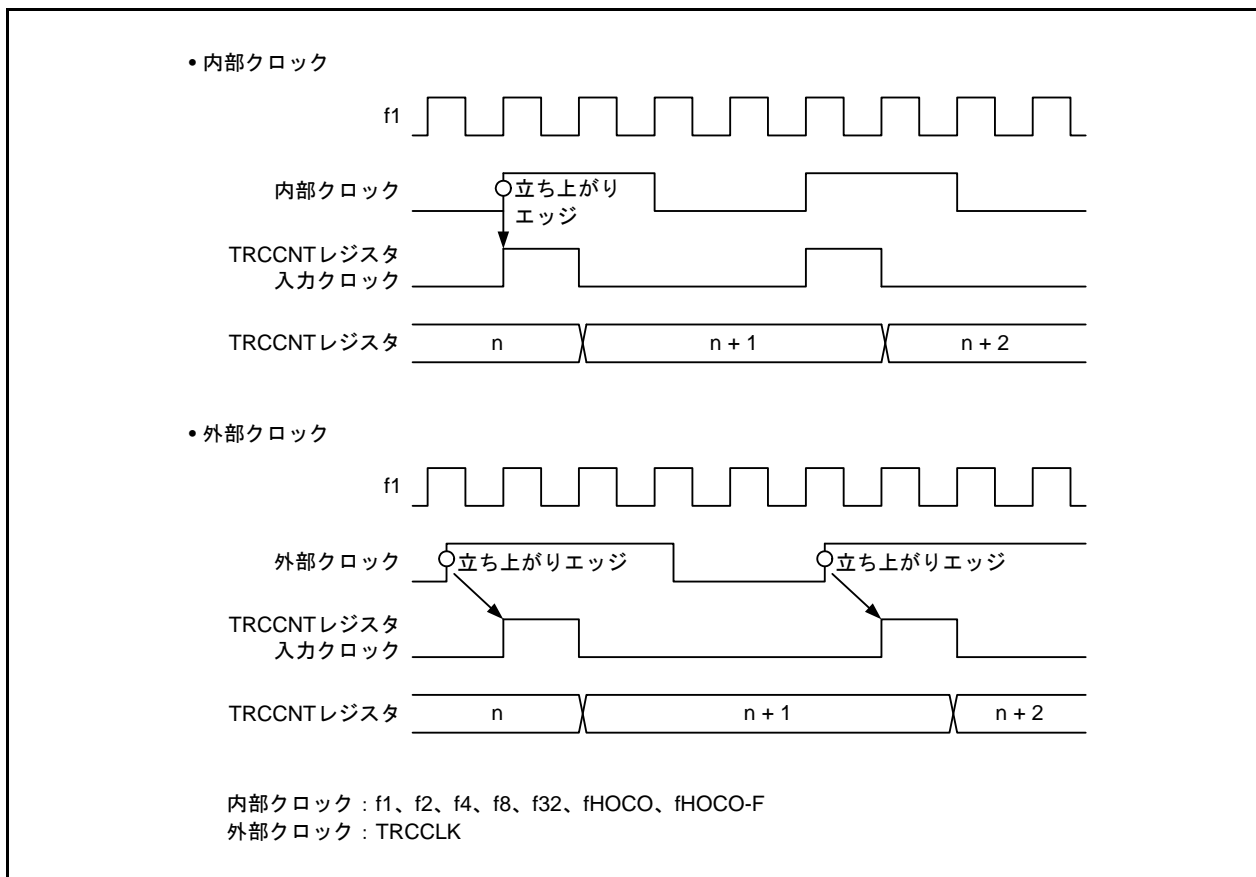


図17.27 カウント動作時のタイミング図

17.5.2 アウトプットコンペア出力タイミング

コンペアー一致信号は、TRCCNTレジスタとジェネラルレジスタが一致した最後のステート (TRCCNTレジスタが一致したカウント値を更新するタイミング) で発生します。コンペアー一致発生時にTRCIORレジスタで設定される出力値が、アウトプットコンペア出力端子 (TRCIOA、TRCIOB、TRCIOC、TRCIOD) に出力されます。TRCCNTレジスタとジェネラルレジスタが一致した後、TRCCNTレジスタ入力クロックが発生するまで、コンペアー一致信号は発生しません。

図17.28にアウトプットコンペア出力のタイミング図を示します。

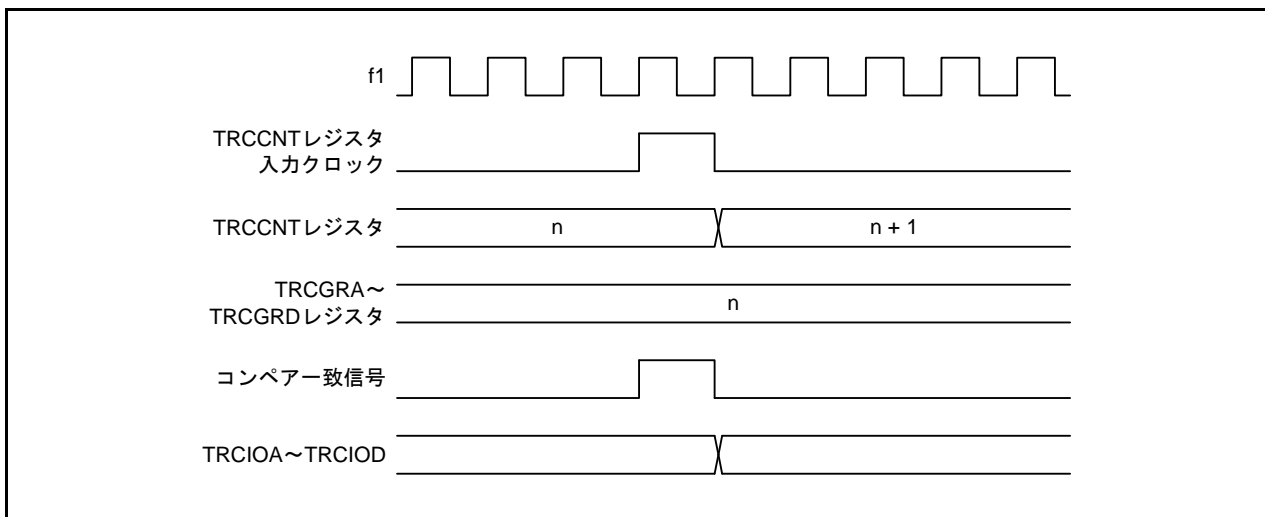


図17.28 アウトプットコンペア出力のタイミング図

17.5.3 インプットキャプチャ入力タイミング

インプットキャプチャ入力は、TRCIOR0、TRCIOR1レジスタの設定で、立ち上がりエッジ、立ち下がりエッジまたは両エッジが選択できます。

図17.29にインプットキャプチャ入力のタイミング図を示します。立ち下がりエッジを選択した場合です。

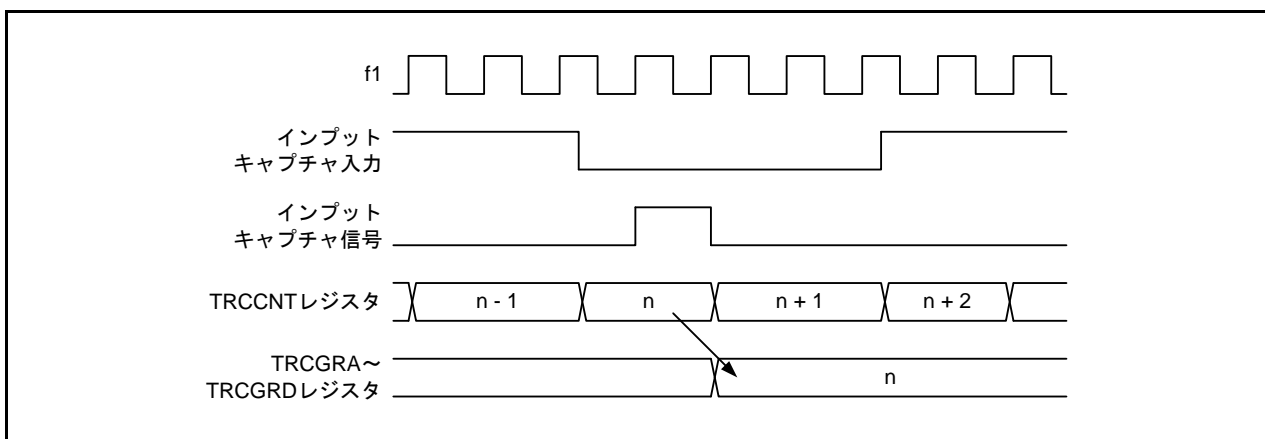


図17.29 インプットキャプチャ入力のタイミング図

17.5.4 コンペアー一致によるカウンタクリアのタイミング

図17.30にコンペアー一致Aによるカウンタクリアのタイミング図を示します。TRCGRAレジスタの値をnにすると、カウンタは0からnまでカウントし、周期はn+1となります。

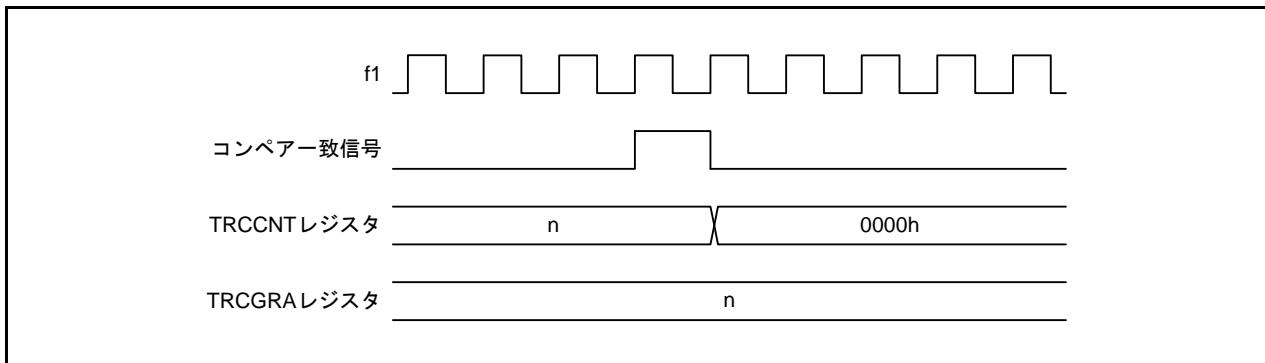


図17.30 コンペアー一致Aによるカウンタクリアのタイミング図

17.5.5 バッファ動作のタイミング

図17.31にバッファ動作のタイミング図を示します。

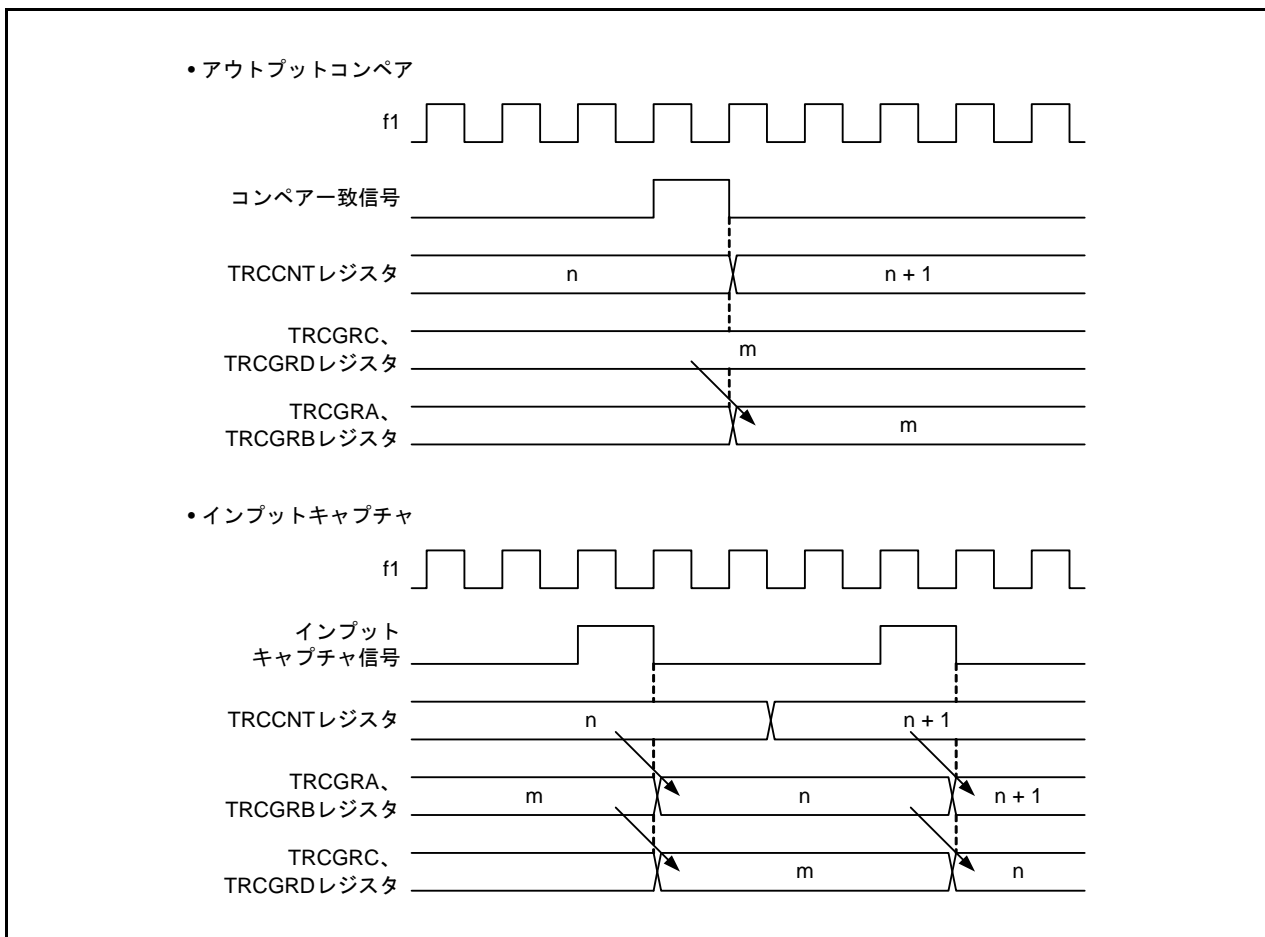


図17.31 バッファ動作のタイミング図

17.5.6 コンペアー一致時のIMFA～IMFDビットタイミング

アウトプットコンペアーレジスタとして機能している場合のTRCSRレジスタのIMFA～IMFDビットは、TRCCNTレジスタとジェネラルレジスタ (TRCGRA、TRCGRB、TRCGRC、TRCGRD) が一致したときに1になります。

コンペアー一致信号は、一致した最後のステート (TRCCNTレジスタが一致したカウント値を更新するタイミング) で発生します。従って、TRCCNTレジスタとジェネラルレジスタが一致した後、TRCCNTレジスタ入力クロックが発生するまでコンペアー一致信号は発生しません。

図17.32にコンペアー一致時のタイミング図を示します。

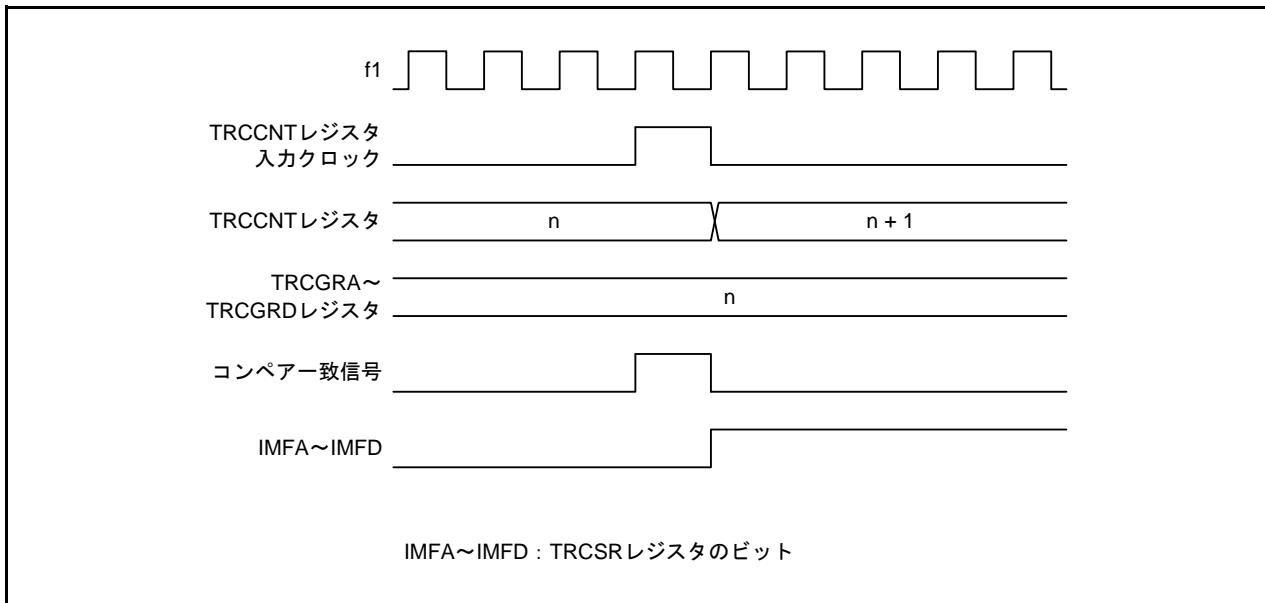


図17.32 コンペアー一致時のタイミング図

17.5.7 インプットキャプチャ時のIMFA～IMFDビットタイミング

インプットキャプチャレジスタとして機能している場合のTRCSRレジスタのIMFA～IMFDビットは、インプットキャプチャの発生で1になります。

図17.33にインプットキャプチャ時のタイミング図を示します。

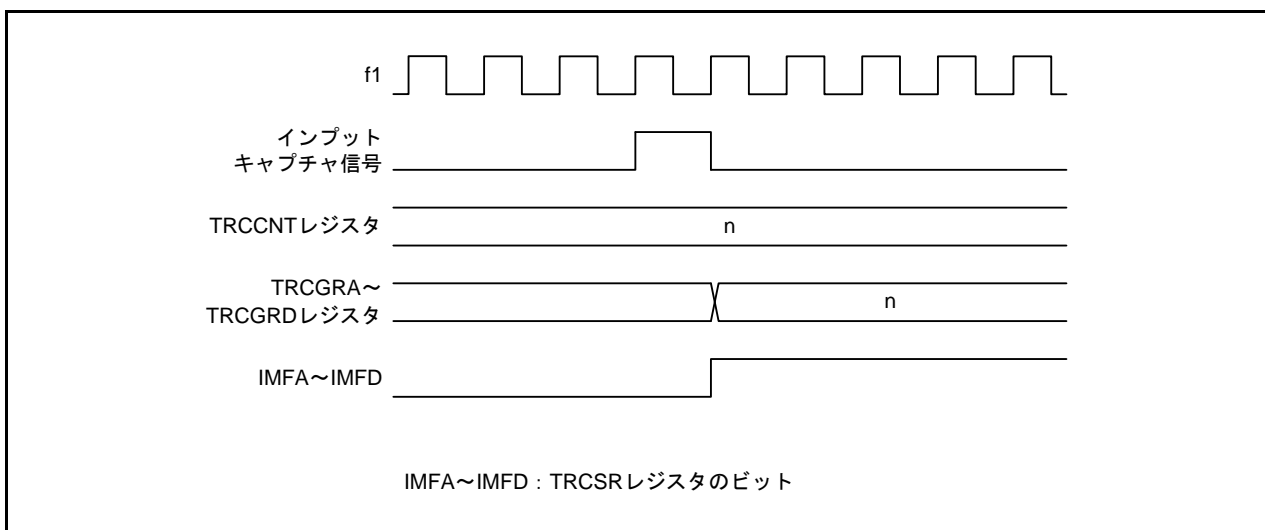


図17.33 インプットキャプチャ時のタイミング図

17.5.8 IMFA～IMFDビットおよびOVFビットが0になるタイミング

IMFA～IMFDビットおよびOVFビットは、CPUが1を読んだ後、0を書くと0になります。
 図17.34にCPUによるIMFA～IMFDビットおよびOVFビットのタイミング図を示します。

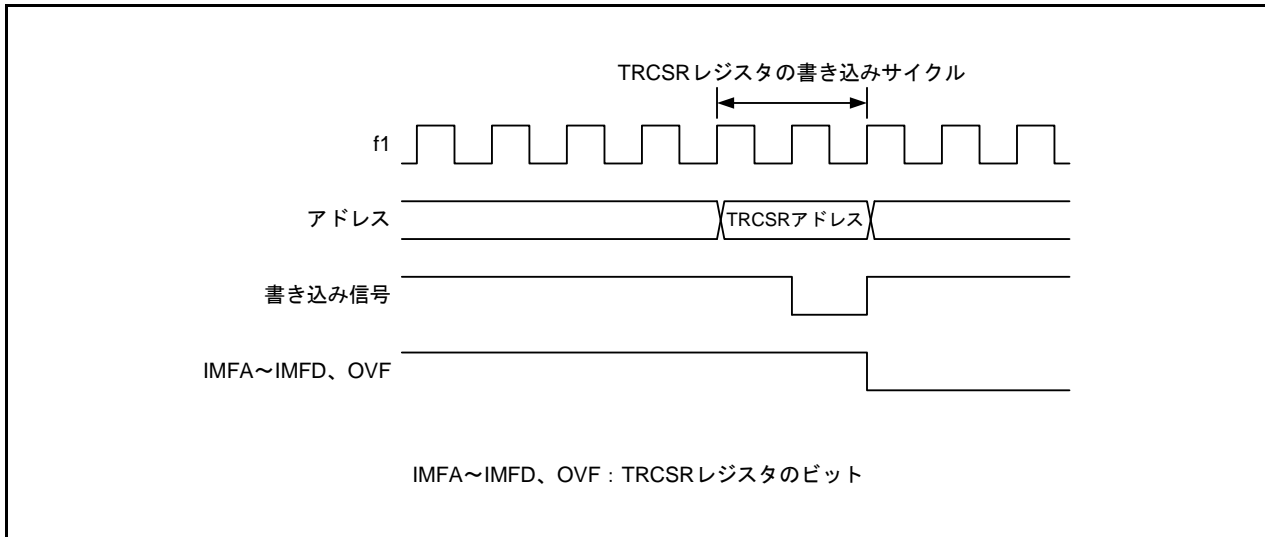


図17.34 CPUによるIMFA～IMFDビットおよびOVFビットのタイミング図

17.5.9 コンペアー一致によるA/D変換開始トリガのタイミング

図17.35にコンペアー一致によるA/D変換開始トリガのタイミング図を示します。

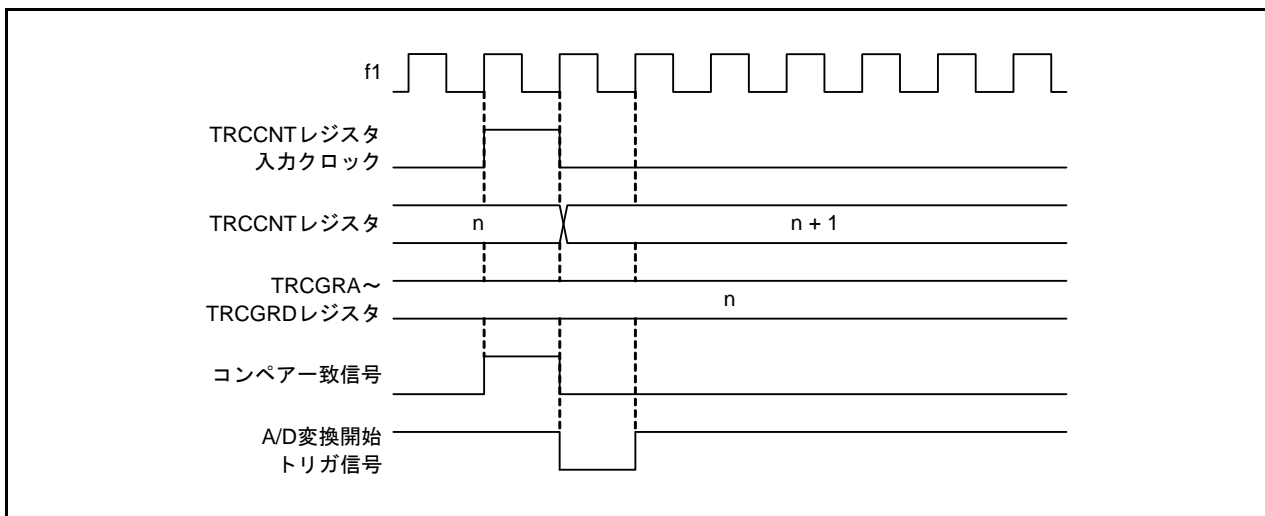


図17.35 コンペアー一致によるA/D変換開始トリガのタイミング図

17.6 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表17.18にタイマRC割り込み関連レジスタを、図17.36にタイマRC割り込みのブロック図を示します。

表17.18 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

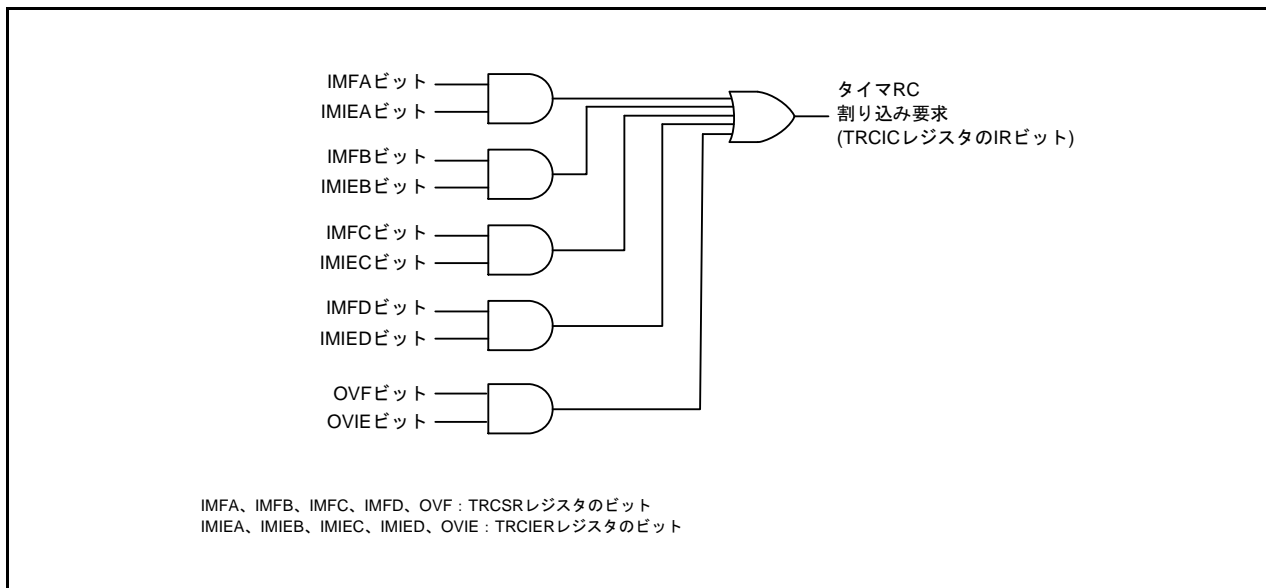


図17.36 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが1で、それに対応するTRCIERレジスタのビットが1(割り込み許可)の場合、TRCICレジスタのIRビットが1(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が0になるとIRビットが0(割り込み要求なし)になります。すなわち、IRビットは、一旦1になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが1になった後、別の要求要因が成立した場合、IRビットは1のまま変化しません。
- TRCIERレジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。0にする方法は「17.2.6 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「17.2.5 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCICレジスタは「11.4 割り込み制御」、割り込みベクタは「11.3.2 可変ベクタテーブル」を参照してください。

17.7 タイマRC使用上の注意事項

17.7.1 TRCCNTレジスタ

TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にしている場合、次の注意事項が該当します。

- TRCMRレジスタのCTSビットが1(カウント開始)の状態、プログラムでTRCCNTレジスタに値を書き込む場合は、TRCCNTレジスタが0000hになるタイミングと重ならないように書いてください。
- TRCCNTレジスタが0000hになるタイミングと、TRCCNTレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCCNTレジスタが0000hになります。

TRCCNTレジスタに書いた後、TRCCNTレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

- プログラム例

```

MOV.W    #XXXXh, TRCCNT    ; 書き込み
JMP.B    L1                ; JMP.B 命令
L1:      MOV.W    TRCCNT, DATA ; 読み出し

```

17.7.2 TRCCR1レジスタ

TRCCR1レジスタのCKS2～CKS0ビットを111b(fHOCO-F)にするときは、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

17.7.3 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

- プログラム例

```

MOV.B    #XXh, TRCSR      ; 書き込み
JMP.B    L1                ; JMP.B 命令
L1:      MOV.B    TRCSR, DATA ; 読み出し

```

17.7.4 カウントソースの切り替え

- カウントソースを切り替える場合、カウントを停止した後に切り替えてください。また、カウントソースの切り替え後、CPUクロックの2サイクル以上待ってから、タイマRC関連レジスタ(00138h～0014Dh、00158h～0016Dh番地)への書き込みを行ってください。

[変更手順]

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0～CKS2ビットを変更する
- (3) CPUクロックの2サイクル以上待つ
- (4) タイマRC関連レジスタ(00138h～0014Dh、00158h～0016Dh番地)への書き込み

- カウントソースをfHOCO-FからfHOCOに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの2サイクル以上待ってからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0～CKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

- カウントソースをfHOCO-FからfHOCO以外のクロックに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの1サイクル+fHOCOの1サイクル以上待ってからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0～CKS2ビットを変更する
- (3) fHOCO-Fの1サイクル+fHOCOの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

注1. fHOCO、fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0(高速オンチップオシレータ停止)にしないでください。

注2. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

17.7.5 インพุットキャプチャ機能

インพุットキャプチャ信号のパルス幅については、次のように設定してください。

[デジタルフィルタなしの場合]

タイマRCの動作クロックの3サイクル分以上(「表17.1 タイマRCの仕様」参照)

[デジタルフィルタありの場合]

デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図17.19 デジタルフィルタ回路のブロック図」参照)

TRCIO_j (j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後にTRCCNTレジスタの値をTRCGR_jレジスタに転送します(デジタルフィルタなしの場合)。

17.7.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSTPビットが1 (TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCCNTレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

17.7.7 モジュールスタンバイ

タイマRCのカウント停止中にMSTCR2レジスタのMSTTRC_0、MSTTRC_1ビットを書いてください。MSTCR2レジスタにタイマRCのモジュールスタンバイビットが存在します。

17.7.8 モードの切り替え

- 動作中にモードを切り替える場合、TRCMRレジスタのCTSビットを0(カウント停止)にした後に行ってください。
- モードの切り替え後、動作開始前にTRCSRレジスタの各フラグを0、TRCICレジスタのIRビットを0に設定してください。
詳細は「11.9.4 割り込み要因の変更」を参照してください。

17.7.9 カウント停止時のインพุットキャプチャ動作

インพุットキャプチャ機能使用時、インพุットキャプチャ信号(TRCIOR0レジスタのIO_j0、IO_j1ビット(j = A、B)、TRCIOR1レジスタのIO_k0、IO_k1ビット(k = C、D)のいずれかで選択したエッジ)がTRCIO_i端子(i = A、B、C、D)に入力されると、TRCMRレジスタのCTSビットが0(カウント停止)のときも、TRCSRレジスタのIMFiビットが1になります。

18. タイマRD

タイマRDは、16ビットタイマを2本(タイマRD0、タイマRD1)持ちます。

18.1 概要

タイマRDは4本の入出力端子を持ちます。

タイマRDの動作クロックはf1、fHOCOまたはfHOCO-Fです。表18.1にタイマRDの動作クロックを示します。

表18.1 タイマRDの動作クロック

条件	タイマRDの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRDCLK入力 (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが000b～101b)	f1
カウントソースがfHOCO (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが110b)	fHOCO
カウントソースがfHOCO-F (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが111b)	fHOCO-F

図18.1にタイマRDのブロック図(i=0、1)を、表18.2にタイマRDの端子構成を示します。

タイマRDは5種類のモードを持ちます。

- タイマモード
 - インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
 - アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能
(検出時に端子出力変更可能)

次の4つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- リセット同期PWMモード 鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード 三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード 同一周期のPWM波形(2本)を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、タイマRD0とタイマRD1で同等の機能を持ち、1端子ごとに機能とモードを選択できます。また、タイマRD0、タイマRD1の中でこれらの機能とモードを組み合わせることができます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、タイマRD0とタイマRD1のカウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

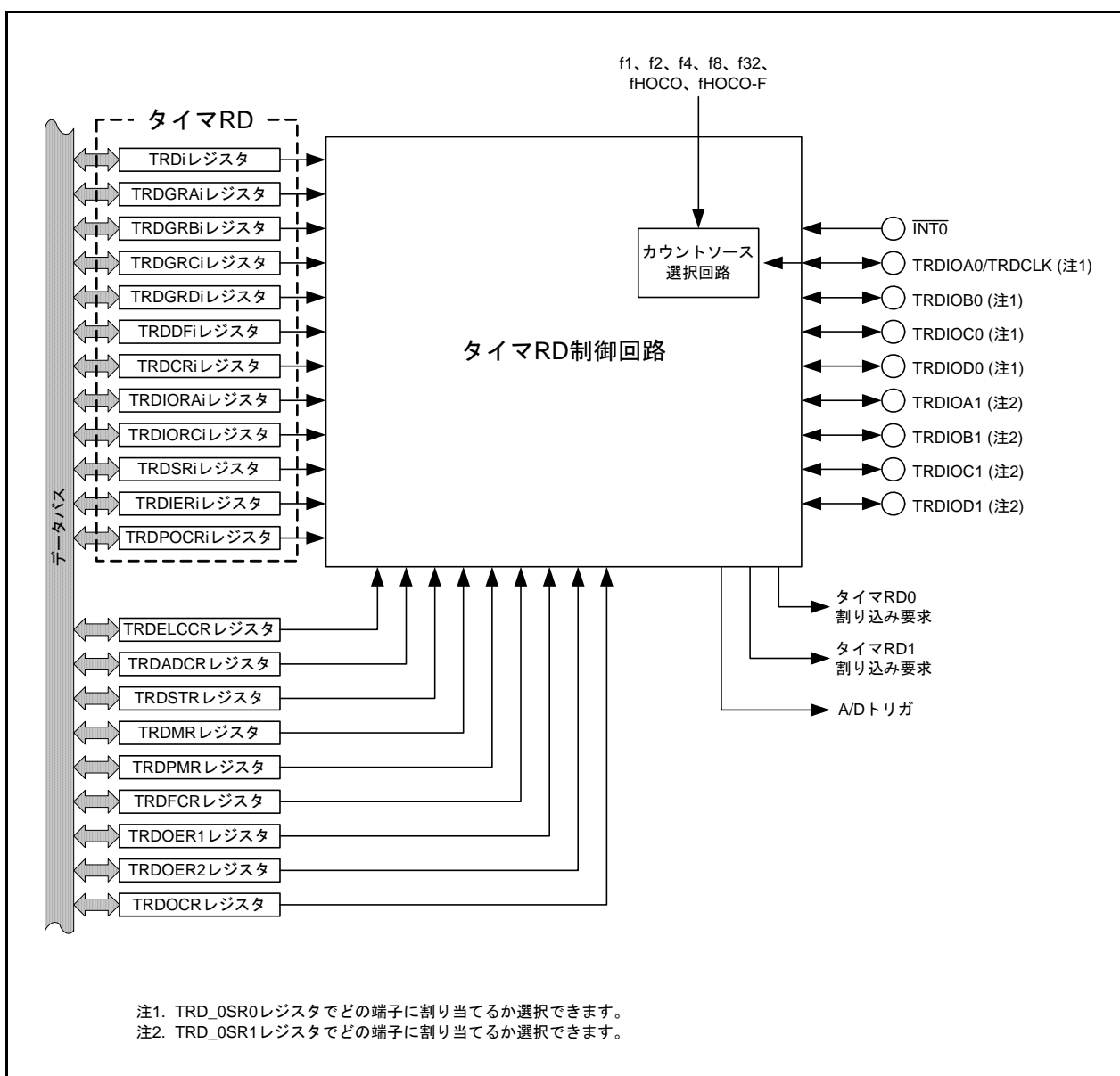


図 18.1 タイマRDのブロック図 (i = 0, 1)

表 18.2 タイマRDの端子構成

端子名	入出力	機能
TRDIOA0/TRDCLK	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRDIOB0	入出力	
TRDIOC0	入出力	
TRDIOD0	入出力	
TRDIOA1	入出力	
TRDIOB1	入出力	
TRDIOC1	入出力	
TRDIOD1	入出力	

18.2 レジスタの説明

表18.3にタイマRDのレジスタ構成を示します。

表18.3 タイマRDのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRD_0 ELC連動制御レジスタ	TRDELCCR_0	00h	00180h	8
タイマRD_0トリガ制御レジスタ	TRDADCR_0	00h	00182h	8
タイマRD_0スタートレジスタ	TRDSTR_0	11111100b	00183h	8
タイマRD_0モードレジスタ	TRDMR_0	00001110b	00184h	8
タイマRD_0 PWMモードレジスタ	TRDPMR_0	10001000b	00185h	8
タイマRD_0機能制御レジスタ	TRDFCR_0	10000000b	00186h	8
タイマRD_0出力マスタ許可レジスタ1	TRDOER1_0	FFh	00187h	8
タイマRD_0出力マスタ許可レジスタ2	TRDOER2_0	01111111b	00188h	8
タイマRD_0出力制御レジスタ	TRDOCR_0	00h	00189h	8
タイマRD_0デジタルフィルタ機能選択レジスタ0	TRDDF0_0	00h	0018Ah	8
タイマRD_0デジタルフィルタ機能選択レジスタ1	TRDDF1_0	00h	0018Bh	8
タイマRD_0制御レジスタ0	TRDCR0_0	00h	00190h	8
タイマRD_0 I/O制御レジスタA0	TRDIORA0_0	10001000b	00191h	8
タイマRD_0 I/O制御レジスタC0	TRDIORC0_0	10001000b	00192h	8
タイマRD_0ステータスレジスタ0	TRDSR0_0	11100000b	00193h	8
タイマRD_0割り込み許可レジスタ0	TRDIER0_0	11100000b	00194h	8
タイマRD_0 PWMモード出力レベル制御レジスタ0	TRDPOCR0_0	11111000b	00195h	8
タイマRD_0カウンタ0	TRD0_0	0000h	00196h	16
タイマRD_0ジェネラルレジスタA0	TRDGRA0_0	FFFFh	00198h	16
タイマRD_0ジェネラルレジスタB0	TRDGRB0_0	FFFFh	0019Ah	16
タイマRD_0ジェネラルレジスタC0	TRDGRC0_0	FFFFh	0019Ch	16
タイマRD_0ジェネラルレジスタD0	TRDGRD0_0	FFFFh	0019Eh	16
タイマRD_0制御レジスタ1	TRDCR1_0	00h	001A0h	8
タイマRD_0 I/O制御レジスタA1	TRDIORA1_0	10001000b	001A1h	8
タイマRD_0 I/O制御レジスタC1	TRDIORC1_0	10001000b	001A2h	8
タイマRD_0ステータスレジスタ1	TRDSR1_0	11000000b	001A3h	8
タイマRD_0割り込み許可レジスタ1	TRDIER1_0	11100000b	001A4h	8
タイマRD_0 PWMモード出力レベル制御レジスタ1	TRDPOCR1_0	11111000b	001A5h	8
タイマRD_0カウンタ1	TRD1_0	0000h	001A6h	16
タイマRD_0ジェネラルレジスタA1	TRDGRA1_0	FFFFh	001A8h	16
タイマRD_0ジェネラルレジスタB1	TRDGRB1_0	FFFFh	001AAh	16
タイマRD_0ジェネラルレジスタC1	TRDGRC1_0	FFFFh	001ACh	16
タイマRD_0ジェネラルレジスタD1	TRDGRD1_0	FFFFh	001AEh	16

18.2.1 タイマRD ELC連動制御レジスタ (TRDELCCR)

アドレス 00180h (TRDELCCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	ELCOBE1	ELCICE1	—	—	ELCOBE0	ELCICE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELCICE0	タイマRD0 ELCインプットキャプチャ要求信号選択ビット	0: インプットキャプチャ TRDIOD0を選択 1: タイマRD0 ELCインプットキャプチャ要求信号を選択	R/W
b1	ELCOBE0	パルス強制遮断(INT0)用タイマRD0 ELCインプットキャプチャ要求信号許可ビット	0: タイマRD0 ELCインプットキャプチャ要求信号許可ビット無効 1: タイマRD0 ELCインプットキャプチャ要求信号許可ビット許可	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	ELCICE1	タイマRD1 ELCインプットキャプチャ要求信号選択ビット	0: インプットキャプチャ TRDIOD1を選択 1: タイマRD1 ELCインプットキャプチャ要求信号を選択	R/W
b5	ELCOBE1	パルス強制遮断(INT0)用タイマRD1 ELCインプットキャプチャ要求信号許可ビット	0: タイマRD1 ELCインプットキャプチャ要求信号許可ビット無効 1: タイマRD1 ELCインプットキャプチャ要求信号許可ビット許可	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

18.2.2 タイマRDトリガ制御レジスタ (TRDADCR)

18.2.2.1 アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき

アドレス 00182h (TRDADCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット(注1)	0: A/Dトリガ禁止 1: TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

注1. 相補PWMモードの場合は、0にしてください。

18.2.3 タイマRDスタートレジスタ (TRDSTR)

アドレス 00183h (TRDSTR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注1、2)	0: カウント停止	R/W
b1	TSTART1	TRD1カウント開始フラグ(注3、4)	1: カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペア一致でカウント停止 1: TRDGRA0レジスタとのコンペア一致後もカウント継続(注5)	R/W
b3	CSEL1	TRD1カウント動作選択ビット(注6)	0: TRDGRA1レジスタとのコンペア一致でカウント停止 1: TRDGRA1レジスタとのコンペア一致後もカウント継続(注5)	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	—			

- 注1. タイマRD0のカウント動作を停止させる場合、CSEL0ビットが1の状態ではTSTART0ビットに0を書いてください。
- 注2. CSEL0ビットが0でコンペア一致信号(TRDIOA0)が発生したとき、0(カウント停止)になります。
- 注3. タイマRD1のカウント動作を停止させる場合、CSEL1ビットが1の状態ではTSTART1ビットに0を書いてください。
- 注4. CSEL1ビットが0でコンペア一致信号(TRDIOA1)が発生したとき、0(カウント停止)になります。
- 注5. インพุットキャプチャ機能では1にしてください。
- 注6. PWM3モードでは使用しません。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「18.4.1.2 TRDSTRレジスタ」を参照してください。

18.2.4 タイマRDモードレジスタ (TRDMR)

アドレス 00184h (TRDMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット (注1)	0 : TRD0とTRD1は独立動作 1 : TRD0とTRD1は同期動作	R/W
b1	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット (注2、3)	0 : ジェネラルレジスタ 1 : TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット (注3)	0 : ジェネラルレジスタ 1 : TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット (注3)	0 : ジェネラルレジスタ 1 : TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット (注3)	0 : ジェネラルレジスタ 1 : TRDGRB1レジスタのバッファレジスタ	R/W

注1. リセット同期PWMモード時、相補PWMモード時、およびPWM3モード時は、0 (TRD0とTRD1は独立動作)にしてください。

注2. 相補PWMモードでは0 (ジェネラルレジスタ)にしてください。

注3. アウトプットコンペア機能時、TRDIORCiレジスタ (i = 0、1)のIOj3ビット (j = CまたはD)で0 (TRDGRjiレジスタ出力端子変更)を選択した場合、TRDMRレジスタのBFjiビットを0にしてください。

18.2.5 タイマRD PWMモードレジスタ (TRDPMR)

18.2.5.1 インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードのとき

アドレス 00185h (TRDPMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDI0B0 PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b1	PWMC0	TRDI0C0 PWMモード選択ビット (注1)		R/W
b2	PWMD0	TRDI0D0 PWMモード選択ビット (注1)		R/W
b3	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b4	PWMB1	TRDI1B1 PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b5	PWMC1	TRDI1C1 PWMモード選択ビット (注1)		R/W
b6	PWMD1	TRDI1D1 PWMモード選択ビット (注1)		R/W
b7	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—

注1. インพุットキャプチャ機能、アウトプットコンペア機能では0 (タイマモード)にしてください。

18.2.6 タイマRD機能制御レジスタ (TRDFCR)

アドレス 00186h (TRDFCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンピネーションモード選択ビット (注1、2)	<ul style="list-style-type: none"> • インพุットキャプチャ機能、アウトプットコンペア機能、PWMモード、PWM3モードの場合は、00b (タイマモード、PWMモード、PWM3モード)にしてください。 • リセット同期PWMモードの場合は、01b (リセット同期PWMモード)にしてください。 • 相補PWMモードの場合は、 b1 b0 1 0 : 相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送) 1 1 : 相補PWMモード (TRD0とTRDGRA0レジスタのコンペアー一致時にバッファレジスタからジェネラルレジスタへ転送) 上記以外 : 設定しないでください 	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	<ul style="list-style-type: none"> • リセット同期PWMモード、相補PWMモードの場合は、 0 : 初期出力H、アクティブレベルL 1 : 初期出力L、アクティブレベルH 	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	<ul style="list-style-type: none"> • インพุットキャプチャ機能、アウトプットコンペア機能、PWMモード、PWM3モードでは無効です。 	R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	<ul style="list-style-type: none"> • 相補PWMモードの場合は、 0 : A/Dトリガを禁止 1 : A/Dトリガを許可(注3) • インพุットキャプチャ機能、アウトプットコンペア機能、PWMモード、リセット同期PWMモード、PWM3モードでは無効です。 	R/W
b5	ADEG	A/Dトリガ発生選択ビット (相補PWMモード時)	<ul style="list-style-type: none"> • 相補PWMモードの場合は、 0 : TRD0とTRDGRA0レジスタのコンペアー一致時にA/Dトリガ発生 1 : TRD1のアンダフロー時のA/Dトリガ発生 • インพุットキャプチャ機能、アウトプットコンペア機能、PWMモード、リセット同期PWMモード、PWM3モードでは無効です。 	R/W
b6	STCLK	外部クロック入力選択ビット	<ul style="list-style-type: none"> • インพุットキャプチャ機能、アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモードの場合は、 0 : 外部クロック入力無効 1 : 外部クロック入力有効 • PWM3モードの場合は、0 (外部クロック入力無効)にしてください。 	R/W
b7	PWM3	PWM3モード選択ビット(注4)	<ul style="list-style-type: none"> • インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードの場合は、1 (PWM3モード以外)にしてください。 • PWM3モードの場合は0 (PWM3モード)にしてください。 • リセット同期PWMモード、相補PWMモードでは無効です。 	R/W

注1. CMD0、CMD1ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに0 (カウント停止)のときに書いてください。

注2. CMD1、CMD0ビットを01b、10b、11bに設定したとき、TRDPMRレジスタの設定にかかわらず、リセット同期PWMモードまたは相補PWMモードになります。

注3. ADMODレジスタのADCAP1、ADCAP0ビットを10b (タイマRDで開始)にしてください。

注4. CMD1、CMD0ビットが00b (タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

18.2.7 タイマRD出力マスタ許可レジスタ1 (TRDOER1)

18.2.7.1 アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき

アドレス 00187h (TRDOER1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット (注1)	0: 出力許可 1: 出力禁止 (TRDIOA0端子はプログラマブル入出力ポート)	R/W
b1	EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット (注2)	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット (注2)	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット (注3)	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット (注2)	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット (注2)	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット (注2)	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	R/W

注1. PWMモード、リセット同期PWMモード、相補PWMモードでは、1にしてください。

注2. PWM3モードでは、1にしてください。

注3. PWMモード、PWM3モードでは、1にしてください。

18.2.8 タイマRD出力マスタ許可レジスタ2 (TRDOER2)

18.2.8.1 アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき

アドレス 00188h (TRDOER2_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット(注1)	0:パルス出力強制遮断入力無効 1:パルス出力強制遮断入力有効(INT0端子にLを入力すると、TRDOER1レジスタの全ビットが1(出力禁止)になる)	R/W

注1.「18.3.1.4 パルス出力強制遮断」を参照してください。

18.2.9 タイマRD出力制御レジスタ (TRDOCR)

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに0(カウント停止)のときに書いてください。

アドレス 00189h (TRDOCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

18.2.9.1 アウトプットコンペア機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	0:初期出力L 1:初期出力H	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)		R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット(注1)		R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット(注1)		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット(注1)		R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット(注1)		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット(注1)		R/W

注1. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

18.2.9.2 PWMモードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	0にしてください	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)	0: 初期出力は非アクティブレベル 1: 初期出力はアクティブレベル	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット(注1)	0: 初期出力は非アクティブレベル 1: 初期出力はアクティブレベル リセット同期PWMモード時、相補PWMモード時は、有効となります。	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット(注1)	0: 初期出力は非アクティブレベル 1: 初期出力はアクティブレベル	R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット	0にしてください	R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット(注1)	0: 初期出力は非アクティブレベル 1: 初期出力はアクティブレベル	R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット(注1)		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット(注1)		R/W

注1. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

18.2.9.3 PWM3モードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	0: 初期出力L、アクティブレベルH、 TRDGRA1のコンペアー致でH出力、 TRDGRA0のコンペアー致でL出力 1: 初期出力H、アクティブレベルL、 TRDGRA1のコンペアー致でL出力、 TRDGRA0のコンペアー致でH出力	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)	0: 初期出力L、アクティブレベルH、 TRDGRB1のコンペアー致でH出力、 TRDGRB0のコンペアー致でL出力 1: 初期出力H、アクティブレベルL、 TRDGRB1のコンペアー致でL出力、 TRDGRB0のコンペアー致でH出力	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット	PWM3モードでは無効です。	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット		R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット		R/W

注1. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

18.2.10 タイマRD デジタルフィルタ機能選択レジスタ*i* (TRDDFi) (*i* = 0、1)

18.2.10.1 インพุットキャプチャ機能のとき

アドレス 0018Ah (TRDDF0_0)、0018Bh (TRDDF1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	—	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRDIOA端子デジタルフィルタ機能 選択ビット	0 : 機能なし 1 : 機能あり	R/W
b1	DFB	TRDIOB端子デジタルフィルタ機能 選択ビット		R/W
b2	DFC	TRDIOC端子デジタルフィルタ機能 選択ビット		R/W
b3	DFD	TRDIOD端子デジタルフィルタ機能 選択ビット		R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	DFCK0	デジタルフィルタ機能用クロック 選択ビット(注1)	b7 b6 0 0 : f32 0 1 : f8 1 0 : f1 1 1 : カウントソース (TRDCR <i>i</i> レジスタの TCK0~TCK2ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. DFCK0、DFCK1ビットの設定は、カウント動作前に設定してください。

DF*j*ビット (TRDIO*j*端子デジタルフィルタ機能選択ビット) (*j* = A、B、C、D)

デジタルフィルタを許可した場合、デジタルフィルタのサンプリングクロックの5サイクル分以上経過した後で、正しいエッジ検出を行います。

18.2.11 タイマRD制御レジスタi (TRDCRi) (i = 0、1)

リセット同期PWMモード、PWM3モードでは、TRDCR1レジスタは使用しません。

アドレス 00190h (TRDCR0_0)、001A0h (TRDCR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

18.2.11.1 インพุットキャプチャ機能、アウトプットコンペア機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1) 1 1 0 : fHOCO 1 1 1 : fHOCO-F (注2)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット (注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作) 0 0 1 : TRDGRAiのインพุットキャプチャ/コンペア一致でクリア 0 1 0 : TRDGRBiのインพุットキャプチャ/コンペア一致でクリア 0 1 1 : 同期クリア(他のタイマRDiのカウンタと同時にクリア)(注4) 1 0 0 : 設定しないでください 1 0 1 : TRDGRGiのインพุットキャプチャ/コンペア一致でクリア 1 1 0 : TRDGRDiのインพุットキャプチャ/コンペア一致でクリア 1 1 1 : 設定しないでください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCRレジスタのSTCLKビットが1(外部クロック入力有効)のとき、有効です。

注2. fHOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

注3. TCK2~TCK0ビットが101b(TRDCLK入力)、かつSTCLKビットが1(外部クロック入力有効)のとき、有効です。

注4. TRDMRレジスタのSYNCビットが1(TRD0とTRD1は同期動作)のとき、有効です。

18.2.11.2 PWMモードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1) 1 1 0 : fHOCO 1 1 1 : fHOCO-F(注2)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット (注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	001b (TRDGRAiレジスタとのコンペア一致でTRDiレジスタクリア)にしてください。	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCRレジスタのSTCLKビットが1(外部クロック入力有効)のとき、有効です。

注2. fHOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

注3. TCK2~TCK0ビットが101b(TRDCLK入力)、かつSTCLKビットが1(外部クロック入力有効)のとき、有効です。

18.2.11.3 リセット同期PWMモードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1) 1 1 0 : fHOCO 1 1 1 : fHOCO-F(注2)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット (注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRD0カウンタクリア選択ビット	001b (TRDGRA0レジスタとのコンペア一致でTRD0レジスタクリア)にしてください。	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCRレジスタのSTCLKビットが1(外部クロック入力有効)のとき、有効です。

注2. fHOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

注3. TCK2~TCK0ビットが101b(TRDCLK入力)、かつSTCLKビットが1(外部クロック入力有効)のとき、有効です。

18.2.11.4 相補PWMモードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット (注1)	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注2) 1 1 0 : fHOCO 1 1 1 : fHOCO-F(注3)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット (注1、4)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	000b(クリア禁止(フリーランニング動作))にして ください。	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDCR0レジスタとTRDCR1レジスタのTCK0～TCK2ビット、CKEG0、CKEG1ビットの設定は、同じにしてください。

注2. TRDFCRレジスタのSTCLKビットが1(外部クロック入力有効)のとき、有効です。

注3. fHOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

注4. TCK2～TCK0ビットが101b(TRDCLK入力)、かつSTCLKビットが1(外部クロック入力有効)のとき、有効です。

18.2.11.5 PWM3モードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : 設定しないでください 1 1 0 : fHOCO 1 1 1 : fHOCO-F(注1)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット	PWM3モードでは無効です。	R/W
b4	CKEG1			R/W
b5	CCLR0	TRD0カウンタクリア選択ビット	001b(TRDGRA0レジスタとのコンパレー致で TRD0レジスタクリア)にしてください。	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. fHOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

18.2.12 タイマRD I/O制御レジスタ Ai (TRDIORAi) (i = 0, 1)

アドレス 00191h (TRDIORA0_0)、001A1h (TRDIORA1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

18.2.12.1 インพุットキャプチャ機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRDGRA制御ビット(注1)	b1 b0 0 0 : 立ち上がりエッジでTRDGRAiへインพุットキャプチャ 0 1 : 立ち下がりエッジでTRDGRAiへインพุットキャプチャ 1 0 : 両エッジでTRDGRAiへインพุットキャプチャ 1 1 : 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRDGRAモード選択ビット(注2)	インพุットキャプチャ機能では1(インพุットキャプチャ)にしてください。	R/W
b3	IOA3	インพุットキャプチャ入力切替ビット(注3、4)	0 : fOCO128 1 : TRDIOA0端子入力	R/W
b4	IOB0	TRDGRB制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRDGRBiへインพุットキャプチャ 0 1 : 立ち下がりエッジでTRDGRBiへインพุットキャプチャ 1 0 : 両エッジでTRDGRBiへインพุットキャプチャ 1 1 : 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRDGRBモード選択ビット(注5)	インพุットキャプチャ機能では1(インพุットキャプチャ)にしてください。	R/W
b7	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—

注1. IOA3ビットが0 (fOCO128)のとき、IOA1、IOA0ビットを00bにしてください。

注2. TRDMRレジスタのBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注3. IOA2ビットが1 (インพุットキャプチャ機能)のとき、有効です。

注4. IOA3ビットはTRDIORA0レジスタ側のみに存在します。TRDIORA1レジスタ側には何にも存在しません。b3に書く場合、1を書いてください。読んだ場合その値は1です。

注5. TRDMRレジスタのBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

18.2.12.2 アウトプットコンペア機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRDGRA制御ビット	^{b1 b0} 0 0 : コンペア一致による端子出力禁止 (TRDIOAi端子はプログラマブル入出力ポート) 0 1 : TRDGRAiのコンペア一致でL出力 1 0 : TRDGRAiのコンペア一致でH出力 1 1 : TRDGRAiのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2			TRDGRAモード選択ビット(注1)
b3	IOA3	インプットキャプチャ入力切替ビット(注2)	アウトプットコンペア機能では1(TRDIOA0端子入力)にしてください。	R/W
b4	IOB0	TRDGRB制御ビット	^{b5 b4} 0 0 : コンペア一致による端子出力禁止 (TRDIOBi端子はプログラマブル入出力ポート) 0 1 : TRDGRBiのコンペア一致でL出力 1 0 : TRDGRBiのコンペア一致でH出力 1 1 : TRDGRBiのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRDGRBモード選択ビット(注3)	アウトプットコンペア機能では0(アウトプットコンペア)にしてください。	R/W
b7	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—

注1. TRDMRレジスタのBFCiビットで1(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. IOA3ビットはTRDIORA0レジスタ側のみに存在します。TRDIORA1レジスタ側には何にも存在しません。

b3に書く場合、1を書いてください。読んだ場合その値は1です。

注3. TRDMRレジスタのBFDiビットで1(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

18.2.13 タイマRD I/O制御レジスタ Ci (TRDIORCi) (i = 0, 1)

アドレス 00192h (TRDIORC0_0)、001A2h (TRDIORC1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

18.2.13.1 インพุットキャプチャ機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC制御ビット	b1 b0 0 0 : 立ち上がりエッジでTRDGRCiへインพุットキャプチャ 0 1 : 立ち下がりエッジでTRDGRCiへインพุットキャプチャ 1 0 : 両エッジでTRDGRCiへインพุットキャプチャ 1 1 : 設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRDGRCモード選択ビット(注1)	インพุットキャプチャ機能では1(インพุットキャプチャ)にしてください。	R/W
b3	IOC3	TRDGRCレジスタ機能選択ビット	インพุットキャプチャ機能では1(ジェネラルレジスタまたはバッファレジスタ)にしてください。	R/W
b4	IOD0	TRDGRD制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRDGRDiへインพุットキャプチャ 0 1 : 立ち下がりエッジでTRDGRDiへインพุットキャプチャ 1 0 : 両エッジでTRDGRDiへインพุットキャプチャ 1 1 : 設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRDGRDモード選択ビット(注2)	インพุットキャプチャ機能では1(インพุットキャプチャ)にしてください。	R/W
b7	IOD3	TRDGRDレジスタ機能選択ビット	インพุットキャプチャ機能では1(ジェネラルレジスタまたはバッファレジスタ)にしてください。	R/W

注1. TRDMRレジスタのBFCiビットで1(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで1(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

18.2.13.2 アウトプットコンペア機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC制御ビット	b1 b0 0 0 : コンペア一致による端子出力禁止 0 1 : TRDGRCiのコンペア一致でL出力 1 0 : TRDGRCiのコンペア一致でH出力 1 1 : TRDGRCiのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRDGRCモード選択ビット(注1)	アウトプットコンペア機能では0(アウトプットコンペア)にしてください。	R/W
b3	IOC3	TRDGRCレジスタ機能選択ビット	0 : TRDIOA出力レジスタ (「18.3.3.2 TRDGRCi、TRDGRDiレジスタ(i=0、1)の出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRDGRD制御ビット	b5 b4 0 0 : コンペア一致による端子出力禁止 0 1 : TRDGRDiのコンペア一致でL出力 1 0 : TRDGRDiのコンペア一致でH出力 1 1 : TRDGRDiのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRDGRDモード選択ビット(注2)	アウトプットコンペア機能では0(アウトプットコンペア)にしてください。	R/W
b7	IOD3	TRDGRDレジスタ機能選択ビット	0 : TRDIOB出力レジスタ (「18.3.3.2 TRDGRCi、TRDGRDiレジスタ(i=0、1)の出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRDMRレジスタのBFCiビットで1(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで1(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

18.2.14 タイマRDステータスレジスタi (TRDSRi) (i = 0、1)

アドレス 00193h (TRDSR0_0)、001A3h (TRDSR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

18.2.14.1 インプットキャプチャ機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDSR0レジスタ： TRDIORA0レジスタのIOA3ビットが0 (fOCO128)の場合、fOCO128のエッジ TRDIORA0レジスタのIOA3ビットが1 (TRDIOA0入力)の場合、TRDIOA0端子の入力 エッジ(注2) TRDSR1レジスタ： TRDIOA1端子の入力エッジ(注2)	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDIOBi端子の入力エッジ(注2)	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDIOCi端子の入力エッジ(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDIODi端子の入力エッジ(注3)	R/W
b4	OVF	オーバフローフラグ(注4)	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注5)	インプットキャプチャ機能では無効です。	R/W
b6	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b7	—			—

注1. 書き込み結果は次のようになります。

- 読んだ結果が1の場合、同じビットに0を書くと0になります。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 1を書いた場合は変化しません。

注2. TRDIORAiレジスタのIOj1、IOj0ビット(j = AまたはB)で選択したエッジ。

注3. TRDIORCiレジスタのIOk1、IOk0ビット(k = CまたはD)で選択したエッジ。

TRDMRレジスタのBFkiビットが1(TRDGRkiはバッファレジスタ)の場合を含む。

注4. オーバフローフラグは、タイマRDiのカウンタ値がFFFFhから0000hになった場合に1となります。

また、TRDCRiレジスタのCCLR0～CCLR2ビットの設定によって、動作中のインプットキャプチャ/コンペア一致により、タイマRDiのカウンタ値がFFFFhから0000hになった場合に1となります。

注5. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、1を書いてください。読んだ場合、その値は1です。

18.2.14.2 インพุットキャプチャ機能以外のとき

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インพุットキャプチャ/コンペア一致フラグA	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDi (i = 0、1)とTRDGRAiの値が一致したとき	R/W
b1	IMFB	インพุットキャプチャ/コンペア一致フラグB	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インพุットキャプチャ/コンペア一致フラグC	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiとTRDGRCiの値が一致したとき(注2)	R/W
b3	IMFD	インพุットキャプチャ/コンペア一致フラグD	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiとTRDGRDiの値が一致したとき(注2)	R/W
b4	OVF	オーバフローフラグ(注3)	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注4)	相補PWMモードのとき [0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiがアンダフローしたとき 相補PWMモード以外では無効です。	R/W
b6	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b7	—			—

注1. 書き込み結果は次のようになります。

- 読んだ結果が1の場合、同じビットに0を書くと0になります。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 1を書いた場合は変化しません。

注2. TRDMRレジスタのBFkiビット(k = CまたはD)が1 (TRDGRkiはバッファレジスタ)の場合を含む。

注3. オーバフローフラグは、タイマRDiのカウンタ値がFFFFhから0000hになった場合に1となります。

また、TRDCRiレジスタのCCLR0～CCLR2ビットの設定によって、動作中のインพุットキャプチャ/コンペア一致により、タイマRDiのカウンタ値がFFFFhから0000hになった場合に1となります。

注4. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、1を書いてください。読んだ場合、その値は1です。

18.2.15 タイマRD割り込み許可レジスタ*i* (TRDIER*i*) (*i* = 0、1)

アドレス 00194h (TRDIER0_0)、001A4h (TRDIER1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0 : OVF、UDFビットによる割り込み(OVI)禁止 1 : OVF、UDFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b6	—			
b7	—			

18.2.16 タイマRD PWMモード出力レベル制御レジスタ*i* (TRDPOCR*i*) (*i* = 0、1)

アドレス 00195h (TRDPOCR0_0)、001A5h (TRDPOCR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	POLD	POLC	POLB
リセット後の値	1	1	1	1	1	0	0	0

18.2.16.1 PWMモードのとき

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモード出力レベル制御ビットB	0 : TRDIOBiの出力レベルはLアクティブ 1 : TRDIOBiの出力レベルはHアクティブ	R/W
b1	POLC	PWMモード出力レベル制御ビットC	0 : TRDIOCiの出力レベルはLアクティブ 1 : TRDIOCiの出力レベルはHアクティブ	R/W
b2	POLD	PWMモード出力レベル制御ビットD	0 : TRDIODiの出力レベルはLアクティブ 1 : TRDIODiの出力レベルはHアクティブ	R/W
b3	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b4	—			
b5	—			
b6	—			
b7	—			

TRDPOCR*i* レジスタへの設定は、PWMモードのときのみ有効です。PWMモード以外は、無効です。

18.2.17 タイマRDカウンタ*i* (TRD*i*) (*i* = 0, 1)

アドレス 00196h (TRD0_0)、001A6h (TRD1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDi7	TRDi6	TRDi5	TRDi4	TRDi3	TRDi2	TRDi1	TRDi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TRDi15	TRDi14	TRDi13	TRDi12	TRDi11	TRDi10	TRDi9	TRDi8
リセット後の値	0	0	0	0	0	0	0	0

18.2.17.1 インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードのとき

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRDSR <i>i</i> レジスタのOVFビットが1になる。	0000h～FFFFh	R/W

TRD*i*レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.17.2 リセット同期PWMモード、PWM3モードのとき

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRDSR0レジスタのOVFビットが1になる。	0000h～FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。リセット同期PWMモードおよびPWM3モードでは、TRD1レジスタは使用しません。

18.2.17.3 相補PWMモード(TRD0)のとき

ビット	機能	設定範囲	R/W
b15～b0	短絡防止時間を設定してください。カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。オーバーフローすると、TRDSR0レジスタのOVFビットが1になる。	0001h～FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.17.4 相補PWMモード(TRD1)のとき

ビット	機能	設定範囲	R/W
b15～b0	0000hを設定してください。カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。アンダフローすると、TRDSR1レジスタのUDFビットが1になる。	0000h～FFFFh	R/W

TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.18 タイマRD ジェネラルレジスタji (TRDGRji) (i = 0、1、j = A、B、C、D)

アドレス 00198h (TRDGRA0_0)、0019Ah (TRDGRB0_0)、
0019Ch (TRDGRC0_0)、0019Eh (TRDGRD0_0)、
001A8h (TRDGRA1_0)、001AAh (TRDGRB1_0)、
001ACh (TRDGRC1_0)、001AEh (TRDGRD1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDGRji7	TRDGRji6	TRDGRji5	TRDGRji4	TRDGRji3	TRDGRji2	TRDGRji1	TRDGRji0
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TRDGRji15	TRDGRji14	TRDGRji13	TRDGRji12	TRDGRji11	TRDGRji10	TRDGRji9	TRDGRji8
リセット後の値	1	1	1	1	1	1	1	1

18.2.18.1 インพุットキャプチャ機能のとき

ビット	機能	R/W
b15～b0	「表 18.4 インพุットキャプチャ機能時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

インพุットキャプチャ機能では、次のレジスタは無効です。
TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表 18.4 インพุットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インพุットキャプチャ 入力端子
TRDGRAi	—	ジェネラルレジスタ。インพุットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	BFCi = 0	ジェネラルレジスタ。インพุットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	BFDi = 0		TRDIODi
TRDGRCi	BFCi = 1	バッファレジスタ。インพุットキャプチャ時のTRDiレジスタの値が読めます(「18.3.1.2 バッファ動作」参照)。	TRDIOAi
TRDGRDi	BFDi = 1		TRDIOBi

i = 0、1、j = A、B、C、D

BFCi、BFDi : TRDMRレジスタのビット

TRDIOji端子に入力するインพุットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFiレジスタのDFjビットが0)の場合、タイマRDの動作クロック(「表 18.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

18.2.18.2 アウトプットコンペア機能のとき

ビット	機能	R/W
b15~b0	「表 18.5 アウトプットコンペア機能時のTRDGR _{ji} レジスタの機能」参照	R/W

TRDGRA_i ~ TRDGRD_i レジスタ (i = 0, 1) は 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

アウトプットコンペア機能では、次のレジスタは無効です。
TRDDF0、TRDDF1、TRDPOCR0、TRDPOCR1

表 18.5 アウトプットコンペア機能時のTRDGR_{ji}レジスタの機能

レジスタ	設定		レジスタの機能	アウトプット コンペア出力端子
	BF _{ji}	IO _{j3}		
TRDGRA _i	—	—	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOA _i
TRDGRB _i	—	—		TRDIOB _i
TRDGRC _i	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOC _i
TRDGRD _i	0	1		TRDIOD _i
TRDGRC _i	1	1	バッファレジスタ。次回のコンペア値を書いてください。 (「18.3.1.2 バッファ動作」参照)	TRDIOA _i
TRDGRD _i	1	1		TRDIOB _i
TRDGRC _i	0	0	TRDIOA _i 出力制御	TRDIOA _i
TRDGRD _i			TRDIOB _i 出力制御	

i = 0, 1, j = A, B, C, D

BF_{ji} : TRDMRレジスタのビット、IO_{j3} : TRDIORC_iレジスタのビット

18.2.18.3 PWMモードのとき

ビット	機能	R/W
b15~b0	「表 18.6 PWMモード時のTRDGR _{ji} レジスタの機能」参照	R/W

TRDGRA_i ~ TRDGRD_i レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

PWMモードでは、次のレジスタは無効です。
TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1、TRDIORC1

表 18.6 PWMモード時のTRDGR_{ji}レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA _i	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRDGRB _i	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOB _i
TRDGRC _i	BFC _i = 0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOC _i
TRDGRD _i	BFD _i = 0		TRDIOD _i
TRDGRC _i	BFC _i = 1	バッファレジスタ。次回のPWM周期を設定してください (「18.3.1.2 バッファ動作」参照)。	—
TRDGRD _i	BFD _i = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (「18.3.1.2 バッファ動作」参照)。	TRDIOB _i

i = 0, 1, j = A, B, C, D

BFC_i, BFD_i : TRDMRレジスタのビット

18.2.18.4 リセット同期PWMモードのとき

ビット	機能	R/W
b15～b0	「表 18.7 リセット同期PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRA_i～TRDGRD_iレジスタ (i = 0, 1)は16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR (注1)、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

注1. TRDOCR レジスタのTOC0ビットのみ、リセット同期PWMモード、相補PWMモード時のTRDIOC0初期出力設定として有効となります。

表 18.7 リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRB0	—	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	BFC0 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD0	BFD0 = 0		
TRDGRA1	—	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	BFC1 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD1	BFD1 = 0		
TRDGRC0	BFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください(「18.3.1.2 バッファ動作」参照)。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRD0	BFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。	TRDIOB1 TRDIOD1

i = 0, 1, j = A, B, C, D

BFC0、BFD0、BFC1、BFD1 : TRDMRレジスタのビット

18.2.18.5 相補PWMモードのとき

ビット	機能	R/W
b15～b0	「表 18.8 相補PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0 レジスタは使用しません。

相補PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR (注1)、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

注1. TRDOCR レジスタのTOC0ビットのみ、リセット同期PWMモード、相補PWMモード時のTRDIOC0初期出力設定として有効となります。

表 18.8 相補PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値以上、 FFFFh - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが1(カウント開始)のとき書き込まないでください。	(TRDIOC0 半周期ごと に出力反転)
TRDGRB0	—	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが1(カウント開始)のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	—	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが1(カウント開始)のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが1(カウント開始)のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	—	(相補PWMモードでは使用しません。)	—
TRDGRD0	BFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (「18.3.1.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (「18.3.1.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (「18.3.1.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

i = 0、1、j = A、B、C、D

BFD0、BFC1、BFD1：TRDMRレジスタのビット

TRDGRB0、TRDGRA1、TRDGRB1レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0、TRDGRC1、TRDGRD1をバッファレジスタとして使用してください。ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを0(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを1(バッファレジスタ)にできます。

18.2.18.6 PWM3モードのとき

ビット	機能	R/W
b15～b0	「表 18.9 PWM3モード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRA_i～TRDGRD_iレジスタ (i = 0, 1)は16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、次のレジスタは無効です。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表 18.9 PWM3モード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1	—	ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下	
TRDGRB0	—	ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上、TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1	—	ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下	
TRDGRC0	BFC0 = 0	(PWM3モードでは使用しません)	—
TRDGRC1	BFC1 = 0		
TRDGRD0	BFD0 = 0		
TRDGRD1	BFD1 = 0		
TRDGRC0	BFC0 = 1	バッファレジスタ。次のPWM周期を設定してください(「18.3.1.2 バッファ動作」参照)。 設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	BFC1 = 1	バッファレジスタ。次のPWM出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。 設定範囲：TRDGRC0レジスタ設定値以下	
TRDGRD0	BFD0 = 1	バッファレジスタ。次のPWM出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。 設定範囲：TRDGRD1レジスタ設定値以上、TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	BFD1 = 1	バッファレジスタ。次のPWM出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。 設定範囲：TRDGRD0レジスタ設定値以下	

i = 0, 1, j = A, B, C, D

BFC0、BFD0、BFC1、BFD1 : TRDMRレジスタのビット

PWM3モードでは使用しませんが、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタをバッファレジスタに使う際に、BFC0、BFC1、BFD0、BFD1ビットを0(ジェネラルレジスタ)にして、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタに値を書き込み、その後BFC0、BFC1、BFD0、BFD1ビットを1(バッファレジスタ)にできます。

18.3 動作説明

18.3.1 複数モードに関わる共通事項

18.3.1.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWM3モードでは外部クロックを選択できません。

表18.10 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRDCRiレジスタのTCK2～TCK0ビットでカウントソース選択
fHOCO、fHOCO-F (注1、2、3)	FRA0レジスタのFRA00ビットが1(高速オンチップオシレータ発振) TRDCRiレジスタのTCK2～TCK0ビットが110b(fHOCO) TRDCRiレジスタのTCK2～TCK0ビットが111b(fHOCO-F)
TRDCLK端子に入力された外部信号	TRDFCRレジスタのSTCLKビットが1(外部クロック入力有効) TRDCRiレジスタのTCK2～TCK0ビットが101b(カウントソースは外部クロック) TRDCRiレジスタのCKEG1、CKEG0ビットで有効エッジを選択 PD2レジスタのPD2_0ビットが0(入力モード)

i = 0, 1

注1. カウントソースfHOCOは、VCC = 3.0V～5.5Vの範囲で使用することができます。

注2. fHOCO、fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0(高速オンチップオシレータ停止)にしないでください。

注3. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

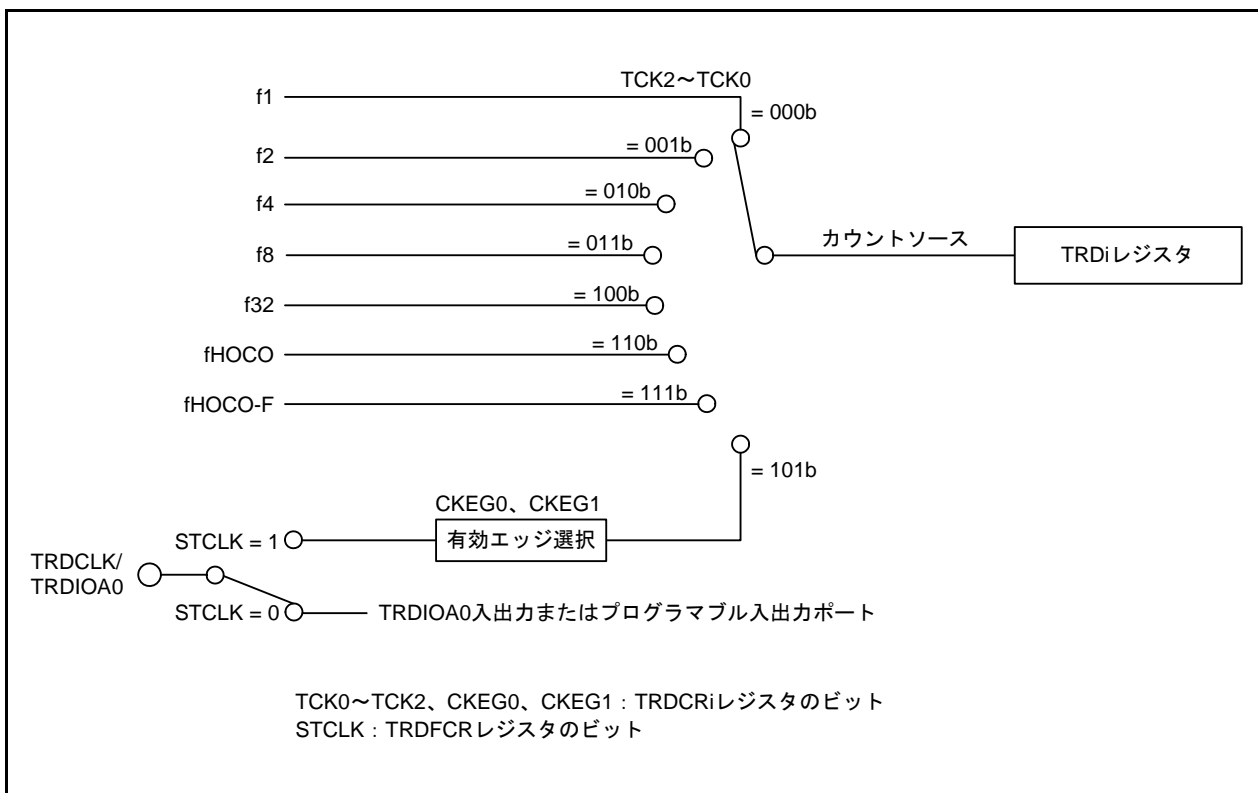


図18.2 カウントソースのブロック図(i = 0, 1)

TRDCLK端子に入力する外部クロックのパルス幅は、タイマRDの動作クロック(「表18.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfHOCOまたはfHOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを1(高速オンチップオシレータ発振)にしてから、TRDCR_iレジスタ(i = 0, 1)のTCK2～TCK0ビットを110b(fHOCO)または111b(fHOCO-F)にしてください。

18.3.1.2 バッファ動作

TRDMRレジスタのBFC_iビット、BFD_iビットで、TRDGRC_i、TRDGRD_iレジスタをTRDGRA_i、TRDGRB_iレジスタのバッファレジスタにできます。

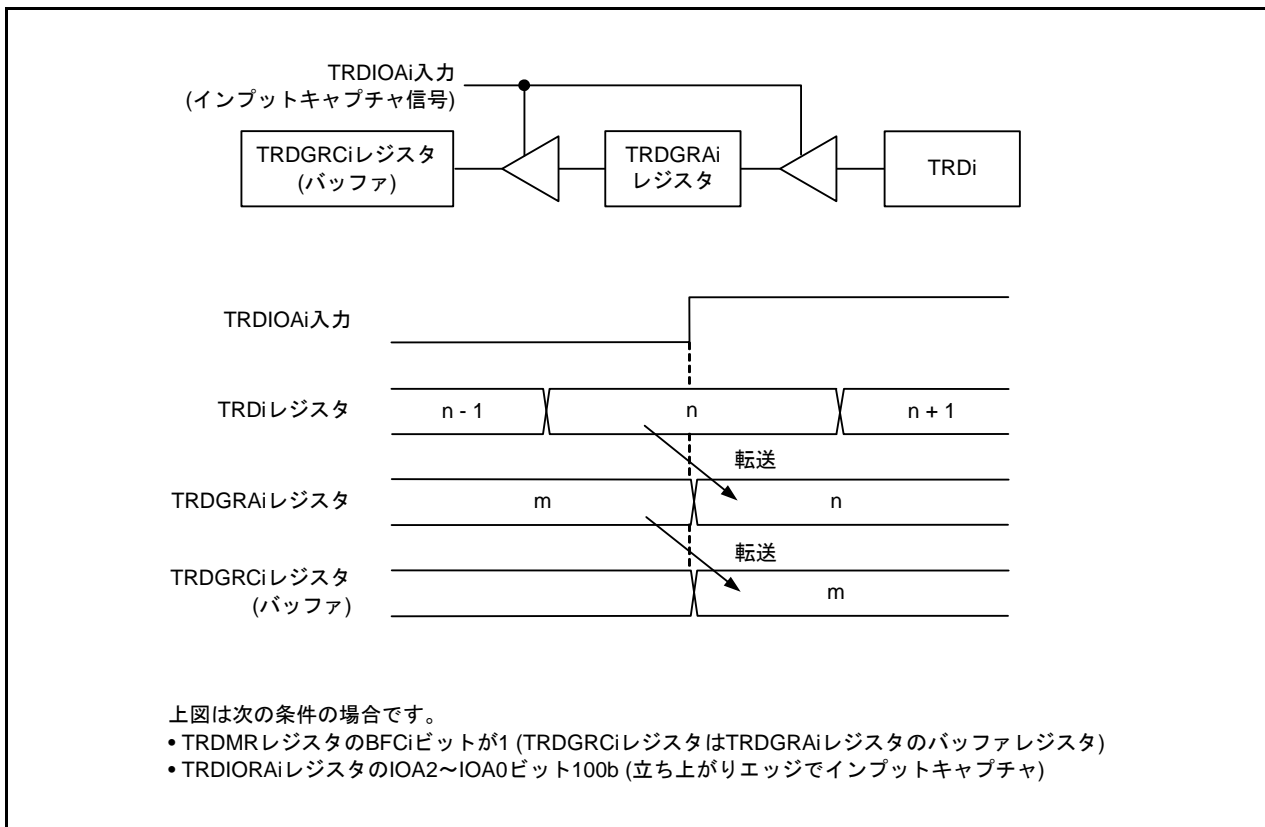
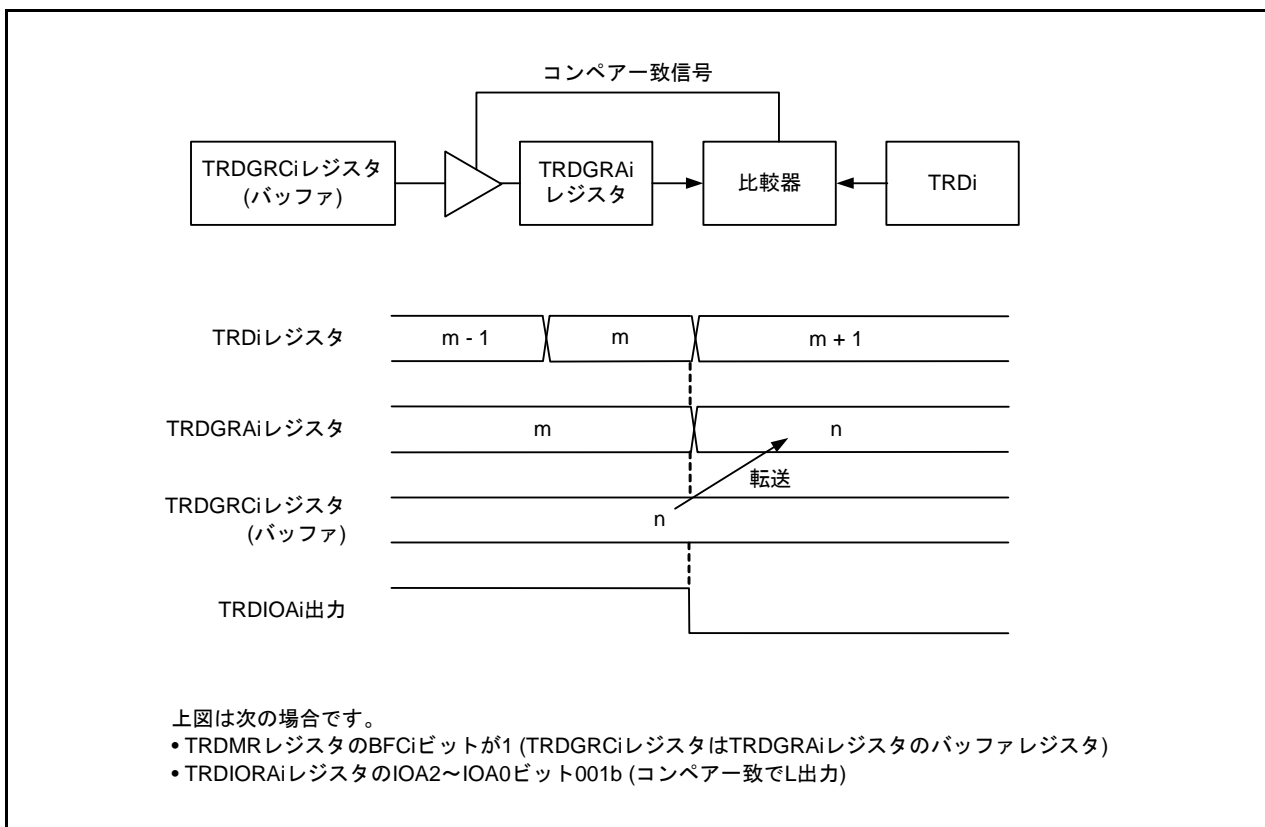
- TRDGRA_iのバッファレジスタ：TRDGRC_iレジスタ
- TRDGRB_iのバッファレジスタ：TRDGRD_iレジスタ

バッファ動作は、モードによって違います。表18.11に各モードのバッファ動作を示します。

表18.11 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
入力キャプチャ機能	入力キャプチャ信号入力	TRDGRA _i (TRDGRB _i) レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能 PWMモード	TRD _i レジスタとTRDGRA _i (TRDGRB _i) レジスタのコンペア一致	バッファレジスタの内容をTRDGRA _i (TRDGRB _i) レジスタに転送
リセット同期PWMモード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	バッファレジスタの内容をTRDGRA _i (TRDGRB _i) レジスタに転送
相補PWMモード	TRD0レジスタとTRDGRA0レジスタのコンペア一致 TRD1レジスタアンダフロー	バッファレジスタの内容をTRDGRB0、TRDGRA1、TRDGRB1レジスタに転送
PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	バッファレジスタの内容をTRDGRA _i (TRDGRB _i) レジスタに転送

i = 0, 1

図 18.3 インプットキャプチャ機能のバッファ動作 ($i = 0, 1$)図 18.4 アウトプットコンペアー機能のバッファ動作 ($i = 0, 1$)

タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)では次のようにしてください。

TRDGRCiレジスタ(i=0、1)をTRDGRAiレジスタのバッファレジスタに使用する場合

- TRDIORCiレジスタのIOC3ビットを1(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- TRDIORCiレジスタのIOC2ビットは、TRDIORAiレジスタのIOA2ビットと同じ設定にしてください。

TRDGRDiレジスタをTRDGRBiレジスタのバッファレジスタに使用する場合

- TRDIORCiレジスタのIOD3ビットを1(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- TRDIORCiレジスタのIOD2ビットは、TRDIORAiレジスタのIOB2ビットと同じ設定にしてください。

インプットキャプチャ機能では、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDIOCi端子、TRDIODi端子の入力エッジでTRDSRiレジスタのIMFC、IMFDビットが1になります。

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードでは、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDiレジスタとのコンペア一致でTRDSRiレジスタのIMFC、IMFDビットが1になります。

18.3.1.3 同期動作

TRD0レジスタとTRD1レジスタを同期させます。

- 同期プリセット

TRDMRレジスタのSYNCビットが1(同期動作)の場合、TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれます。

- 同期クリア

SYNCビットが1で、かつTRDCR0レジスタのCCLR2~CCLR0ビットが011b(同期クリア)の場合、TRD0レジスタはTRD1レジスタが0000hになるとき、同時に0000hになります。

同様に、SYNCビットが1で、かつCCLR2~CCLR0ビットが011b(同期クリア)の場合、TRD1レジスタはTRD0レジスタが0000hになるとき、同時に0000hになります。

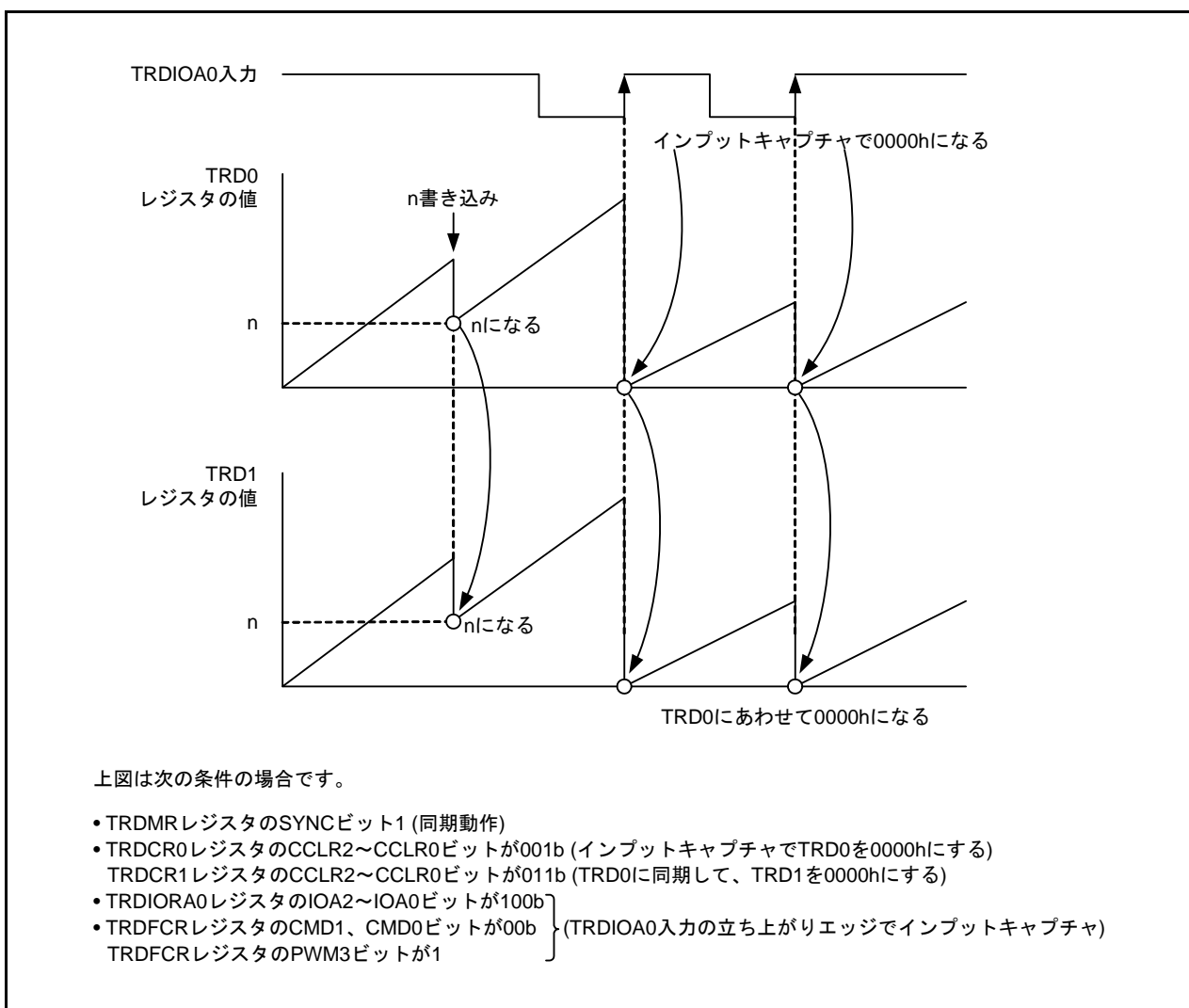


図 18.5 同期動作

18.3.1.4 パルス出力強制遮断

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRDIO $_{ji}$ 出力端子($i=0, 1, j=A, B, C, D$)を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを0(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのPTOビットが1(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子にLを入力すると、TRDOER1レジスタの全ビットが1(タイマRD出力禁止、TRDIO $_{ji}$ 出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子にLを入力してから、タイマRDの動作クロック(「表18.1 タイマRDの動作クロック」参照)の1~2サイクル後にTRDIO $_{ji}$ 出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス、L出力、またはH出力)をPORT2レジスタとPD2レジスタで設定。
- INTENレジスタのINT0ENビットを1($\overline{\text{INT0}}$ 入力許可)、INT0PLビットを0(片エッジ)。
- PD4レジスタのPD4_5ビットを0(入力モード)にする。
- $\overline{\text{INT0}}$ のデジタルフィルタをINTFレジスタのINT0F0、INT0F1ビットで選択する。
- TRDOER2レジスタのPTOビットを1(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INTENレジスタのINT0PLビットと、 $\overline{\text{INT0}}$ 端子入力の変化に従って、INT0ICレジスタのIRビットが1(割り込み要求あり)になります(「11.9 割り込み使用上の注意事項」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

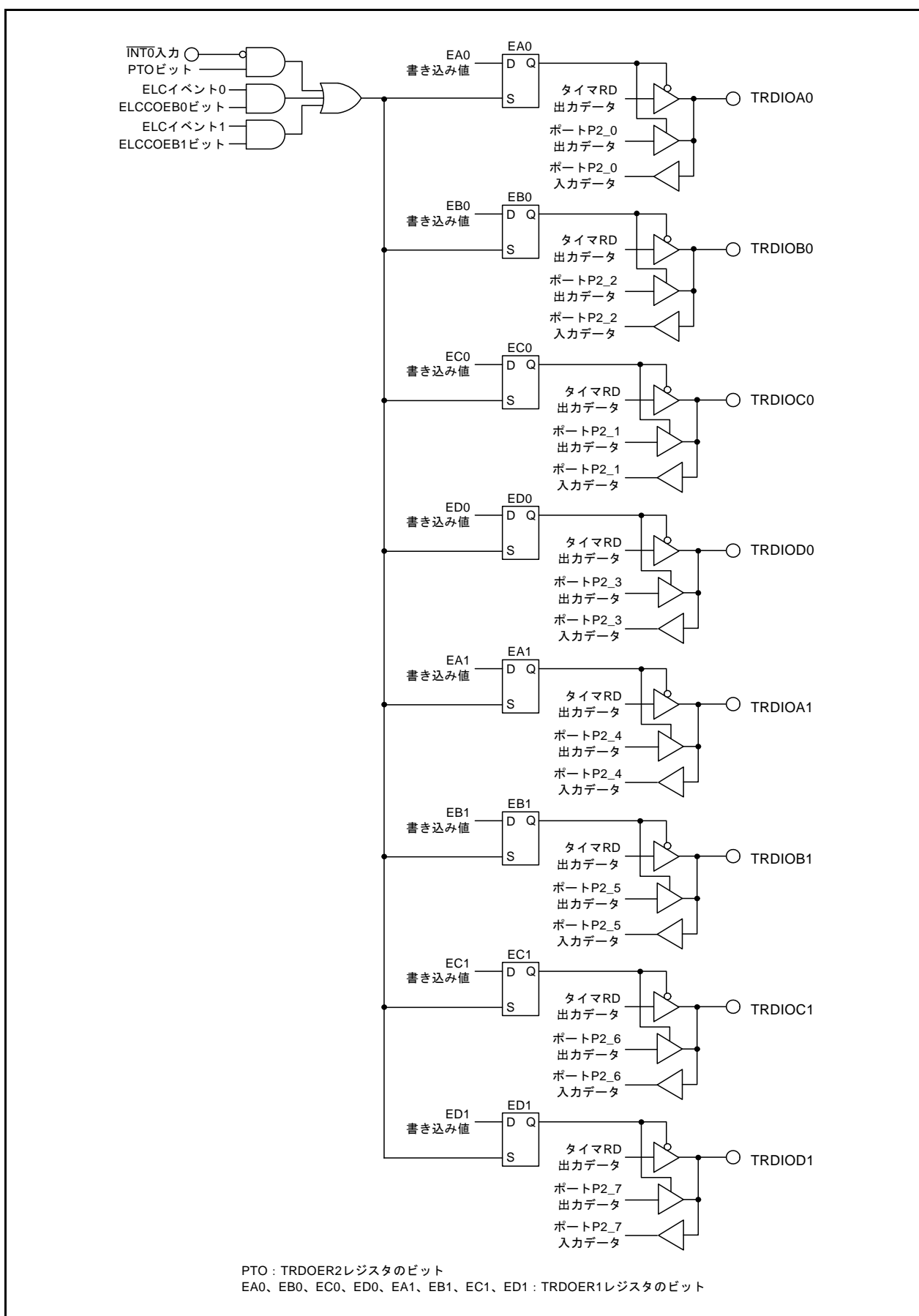


図 18.6 パルス出力強制遮断

18.3.1.5 ELCイベント入力

ELCイベント入力によって、タイマRDに2つの動作をさせることができます。

(1) インพุットキャプチャ動作D0/D1

ELCイベント入力によりインพุットキャプチャ動作します。その際、割り込みステータスフラグ(IMFD0/IMFD1)が1になります。

この機能を使用する場合、タイマモードのインพุットキャプチャ機能を選択し、TRDELCCRレジスタのELCICE0/ELCICE1ビットを1にしてください。その他モード(タイマモードのアウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)では、無効となります。

設定手順

- (1) ELCのイベント入力をタイマRDへ設定する。
- (2) タイマRDのTRDELCCRレジスタのELCICE0～ELCICE0ビットを1にする。

(2) パルス出力強制遮断動作

ELCイベント入力によりパルス出力強制遮断動作します。この機能は、パルスを出力するモード(タイマモードのアウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)でELCOBE0/ELCOBE1 = 1に設定することで使用可能です。タイマモードのインพุットキャプチャ機能では、無効となります。

設定手順

- (1) ELCのイベント入力をタイマRDへ設定する。
- (2) タイマRDのTRDELCCRレジスタのELCICE0～ELCICE0ビットを1にする。

18.3.1.6 A/Dトリガ発生

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、PWM3モード、相補PWMモードのとき、A/Dコンバータの変換開始トリガを発生することができます。

- アウトプットコンペア機能、PWMモード、リセット同期PWMモード、PWM3モード時
TRDiレジスタ(i = 0, 1)とTRDGRjiレジスタ(j = A, B, C, D)のコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。
TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。
- 相補PWMモード時
TRD0とTRDGRA0レジスタのコンペア一致もしくはTRD1のアンダフローを、A/Dコンバータの変換開始トリガとして使用できます。TRDFCRレジスタのADEG、ADTRGビット、およびTRDADCRレジスタで設定してください。また、ADMODレジスタのADCAP1、ADCAP0ビットを01b(タイマRDで開始)にしてください。

18.3.1.7 外部端子の設定

タイマRDを使用する場合、以下の設定をしてください。

- TRDIOA0端子を使用する場合：TRD_0SR0レジスタのTRDIOA0_OSEL1、TRDIOA0_OSEL0ビットを01b、10bに設定。
- TRDIOB0端子を使用する場合：TRD_0SR0レジスタのTRDIOB0_OSEL1、TRDIOB0_OSEL0ビットを01b、10b、11bに設定。
- TRDIOC0端子を使用する場合：TRD_0SR0レジスタのTRDIOC0_OSEL1、TRDIOC0_OSEL0ビットを01b、10b、11bに設定。
- TRDIOD0端子を使用する場合：TRD_0SR0レジスタのTRDIOD0_OSEL1、TRDIOD0_OSEL0ビットを01b、10bに設定。
- TRDIOA1端子を使用する場合：TRD_0SR1レジスタのTRDIOA1_OSEL1、TRDIOA1_OSEL0ビットを01b、10bに設定。
- TRDIOB1端子を使用する場合：TRD_0SR1レジスタのTRDIOB1_OSEL1、TRDIOB1_OSEL0ビットを01b、10bに設定。
- TRDIOC1端子を使用する場合：TRD_0SR1レジスタのTRDIOC1_OSEL1、TRDIOC1_OSEL0ビットを01b、10b、11bに設定。
- TRDIOD1端子を使用する場合：TRD_0SR1レジスタのTRDIOD1_OSEL1、TRDIOD1_OSEL0ビットを01b、10b、11bに設定。

18.3.2 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO_ji端子(i = 0、1、j = A、B、C、D)の外部信号をトリガにしてTRD_iレジスタ(カウンタ)の内容をTRDGR_jiレジスタに転送します(インพุットキャプチャ)。TRDIO_ji端子とTRDGR_jiレジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRDGRA0レジスタはfOCO128をインพุットキャプチャのトリガ入力として選択できます。

図18.7にインพุットキャプチャ機能のブロック図(i = 0、1)を、表18.12にインพุットキャプチャ機能の仕様を、図18.8にインพุットキャプチャ機能の動作例(i = 0、1)を示します。

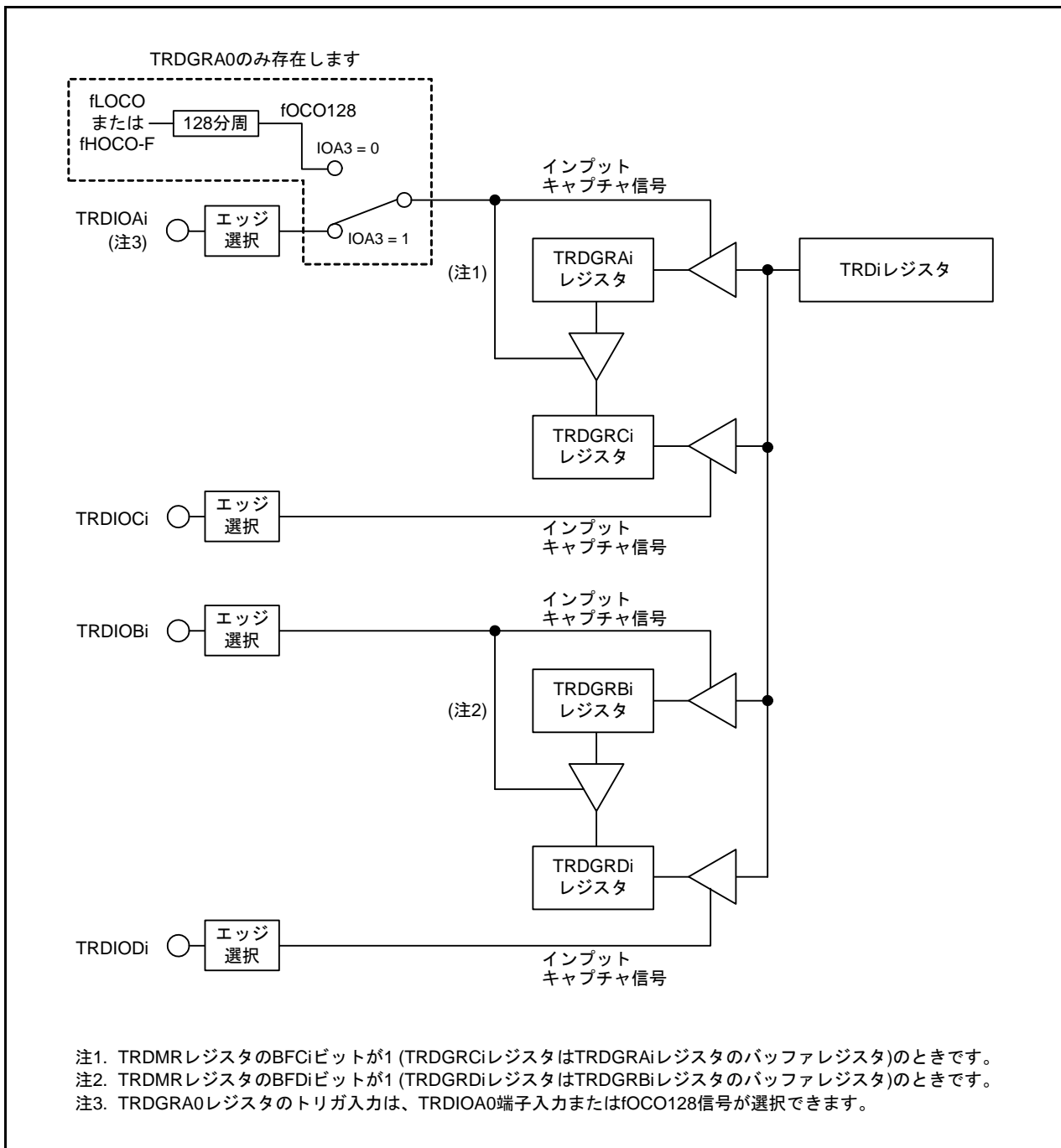


図18.7 インพุットキャプチャ機能のブロック図(i = 0、1)

表 18.12 インพุットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2~CCLR0ビットが000b(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが1に設定されているとき、TSTARTiビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インพุットキャプチャ (TRDIOji入力の有効エッジまたはfOCO128信号のエッジ) TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、インพุットキャプチャ入力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1~TRDIOD1端子機能	プログラマブル入出力ポートまたはインพุットキャプチャ入力(1端子ごとに選択)
INT0端子機能	使用しない(プログラマブル入出力ポートまたはINT0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> TRDMRレジスタのSYNCビットが0(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める TRDMRレジスタのSYNCビットが1(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> インพุットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 インพุットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がリエッジの両方 TRDiを0000hにするタイミング オーバフローまたはインพุットキャプチャ時 バッファ動作(「18.3.1.2 バッファ動作」参照) 同期動作(「18.3.1.3 同期動作」参照) デジタルフィルタ TRDIOji入力をサンプリングし、3回一致したらレベルが確定したとみなす インพุットキャプチャトリガ選択 TRDGRA0レジスタのインพุットキャプチャトリガ入力にfOCO128を選択できる イベントリンクコントローラ(ELC)からのイベント入力によるインพุットキャプチャ動作

i=0、1、j=A、B、C、D

18.3.2.1 動作例

TRDCRiレジスタ(i = 0, 1)のCCLR0～CCLR2ビットの設定で、インプットキャプチャ/コンペア一致により、タイマRDiのカウンタ値はリセットされます。図18.8は、CCLR2～CCLR0ビットを001bと設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウントをクリアする設定をしていて、タイマカウンタ値がFFFFhにおいてインプットキャプチャ動作をした場合、カウンタソースとインプットキャプチャ動作のタイミングによって割り込みフラグであるTRDSRiレジスタのIMFA～IMFDビットとOVFビットが同時に1となる場合があります。

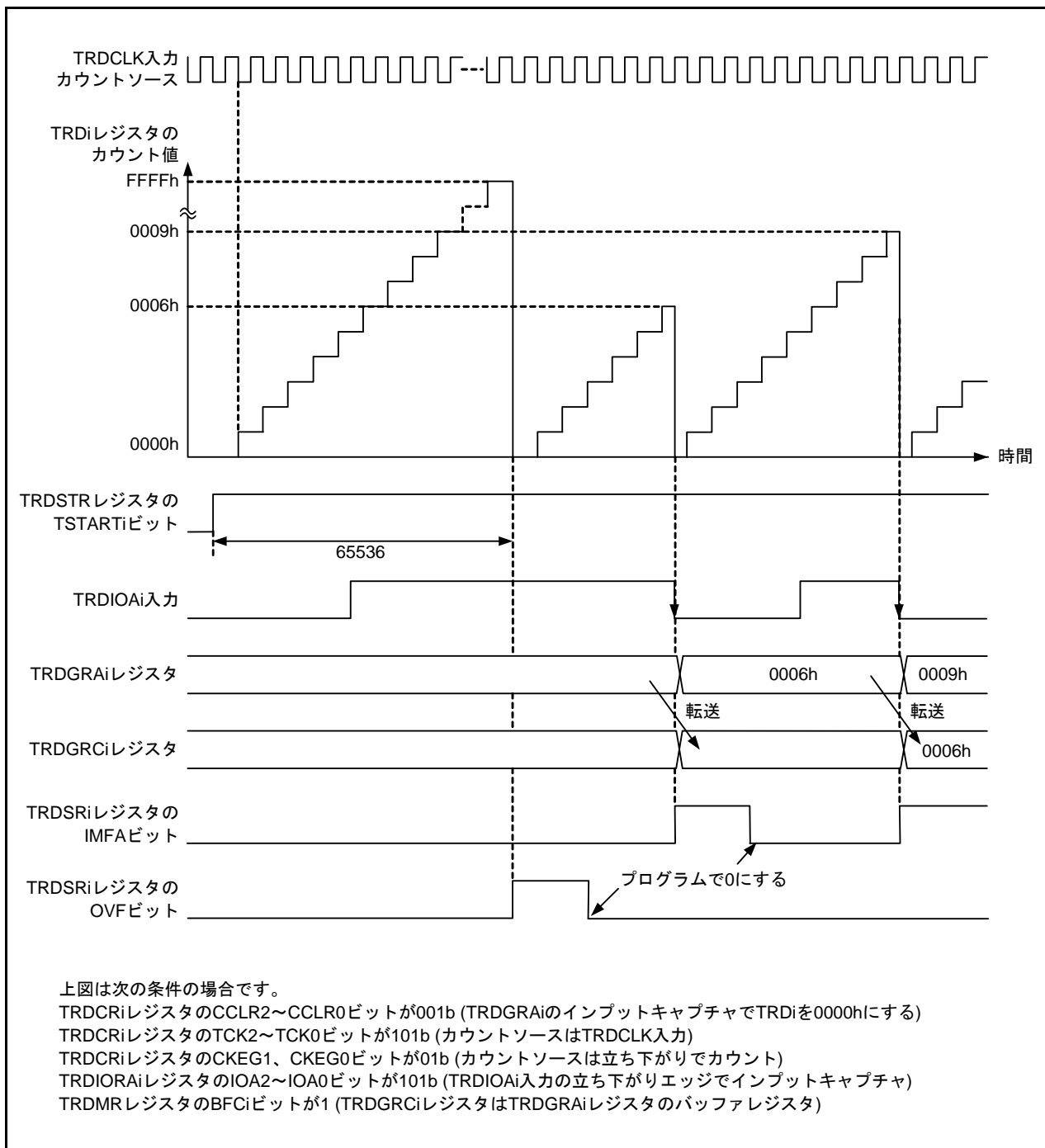


図18.8 インプットキャプチャ機能の動作例(i = 0, 1)

18.3.2.2 デジタルフィルタ

TRDIO_{ji}入力(i=0, 1, j=A, B, C, D)をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

図18.9にデジタルフィルタのブロック図(i=0, 1, j=A, B, C, D)を示します。

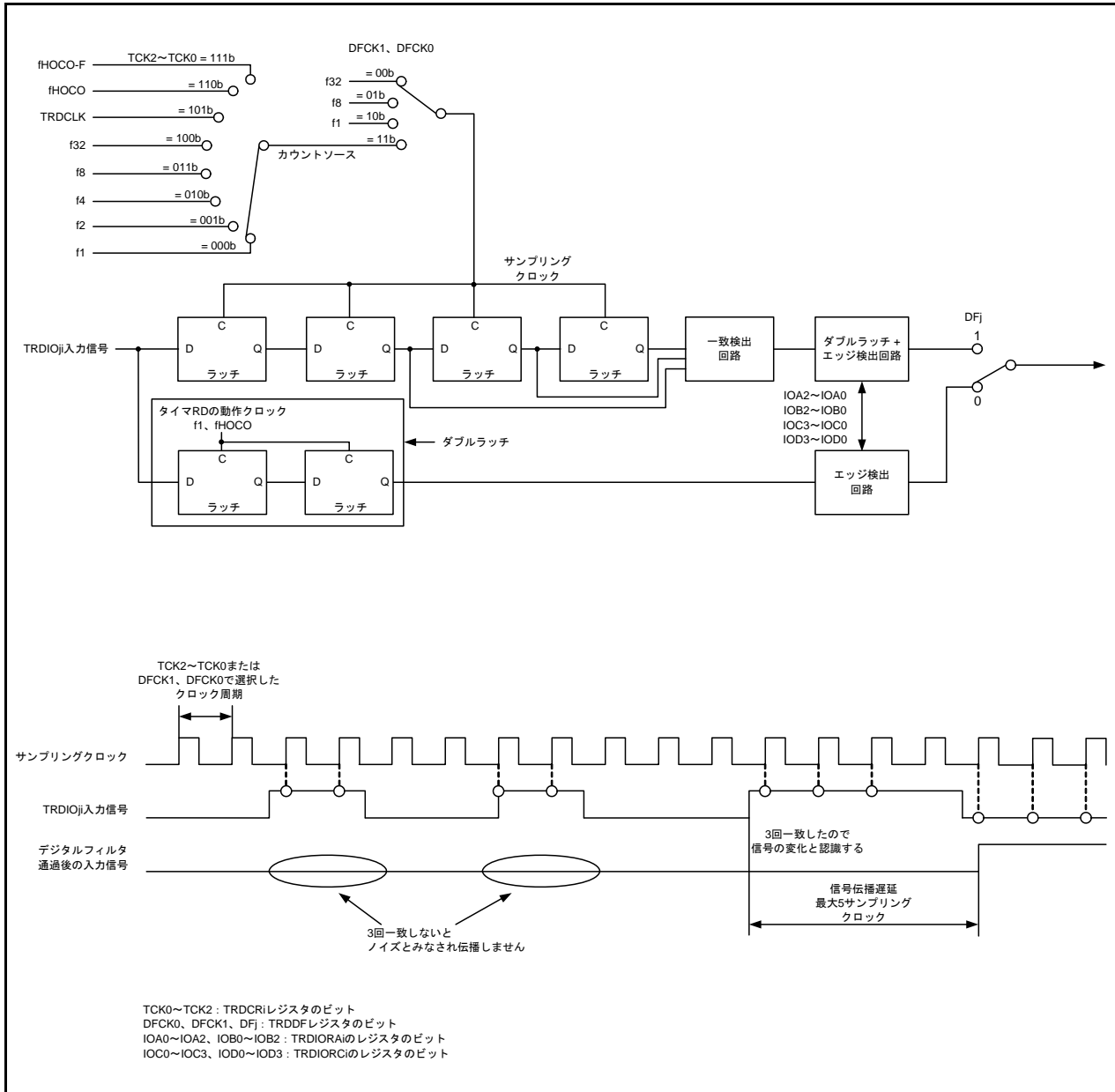


図18.9 デジタルフィルタのブロック図(i=0, 1, j=A, B, C, D)

18.3.3 アウトプットコンペア機能

TRDiレジスタ(カウンタ)($i=0, 1$)の内容と、TRDGRjレジスタ($j=A, B, C, D$)の内容の一致(コンペア一致)を検出するモードです。一致したときTRDIOj端子から任意のレベルを出力します。TRDIOj端子とTRDGRjレジスタの組み合わせで機能しますので、端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

図18.10にアウトプットコンペア機能のブロック図を、表18.13にアウトプットコンペア機能の仕様を、図18.11にアウトプットコンペア機能の動作例($i=0, 1$)を示します。

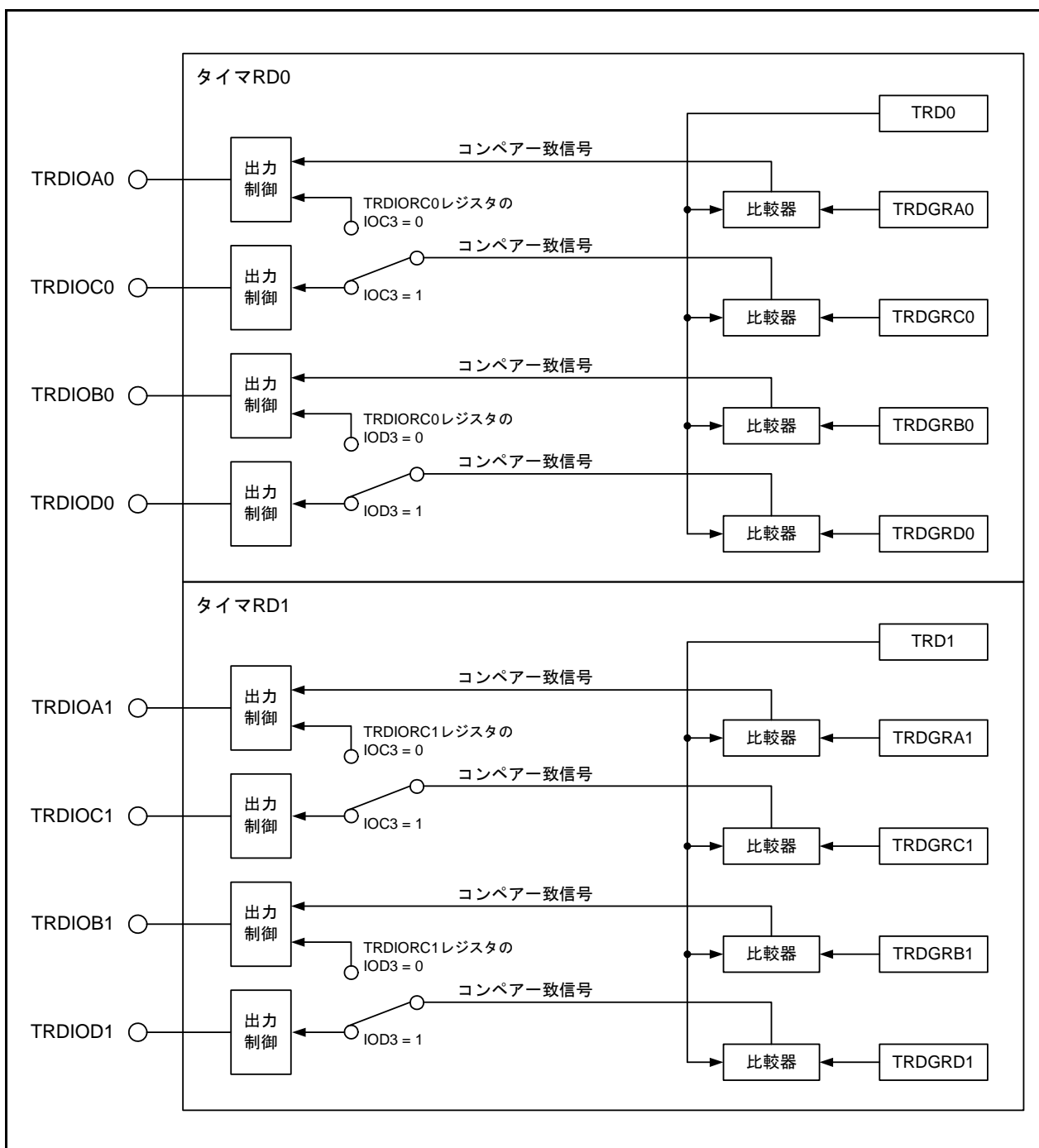


図18.10 アウトプットコンペア機能のブロック図

表 18.13 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRDCRiレジスタのCCLR2~CCLR0ビットが000b(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 • TRDCRiレジスタのCCLR1、CCLR0ビットが01b、10b(TRDGRjiのコンペア一致でTRDiを0000hにする)の場合 $1/fk \times (n + 1)$ n: TRDGRjiレジスタ設定値
波形出カタイミング	コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致)
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSELiビットが1に設定されているとき、TSTARTiビットへの0(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが0の場合、TRDGRAiコンペアー一致でカウント停止 アウトプットコンペア出力端子はコンペアー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、アウトプットコンペア出力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1~TRDIOD1端子機能	プログラマブル入出力ポートまたはアウトプットコンペア出力(1端子ごとに選択)
INT0端子機能	パルス出力強制遮断信号入力(プログラマブル入出力ポートまたはINT0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • TRDMRレジスタのSYNCビットが0(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める • TRDMRレジスタのSYNCビットが1(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> • アウトプットコンペア出力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • コンペアー一致時の出力レベル選択 L出力、H出力、または出力レベル反転 • 初期出力レベル選択 カウント開始からコンペアー一致までの期間のレベルを設定 • TRDiを0000hにするタイミング オーバフローまたはTRDGRAiレジスタのコンペアー一致 • バッファ動作(「18.3.1.2 バッファ動作」参照) • 同期動作(「18.3.1.3 同期動作」参照) • TRDGRCi、TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用できる • パルス出力強制遮断信号入力(「18.3.1.4 パルス出力強制遮断」参照) • タイマRDは出力しないことで内部タイマとして使用できる • A/Dトリガ発生

i = 0、1、j = A、B、C、D

18.3.3.1 動作例

TRDCR_iレジスタ(i = 0, 1)のCCLR0～CCLR2ビットの設定によって、インプットキャプチャ/コンペアー一致により、タイマRD_iのカウント値はリセットされます。このとき、コンペアー期待値がFFFFhの場合、オーバフロー動作と同様にFFFFhから0000hとなり、オーバフローフラグは1となります。

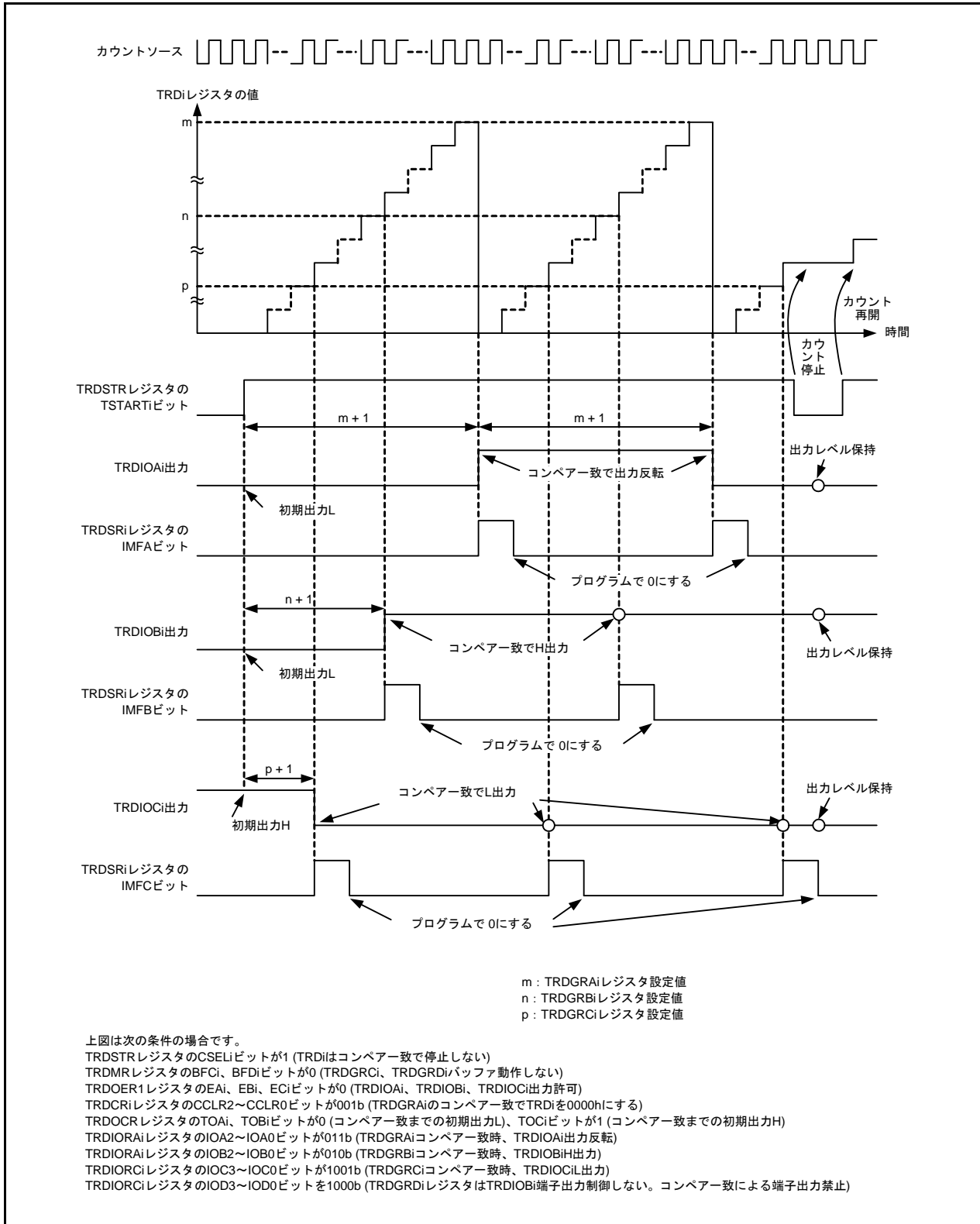


図 18.11 アウトプットコンペアー機能の動作例 (i = 0, 1)

18.3.3.2 TRDGRCi、TRDGRDiレジスタ(i = 0, 1)の出力端子変更

TRDGRCiレジスタをTRDIOAi端子の、TRDGRDiレジスタをTRDIOBi端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOAi出力は、TRDGRAiレジスタの値とTRDGRCiレジスタの値の2点で制御
- TRDIOBi出力は、TRDGRBiレジスタの値とTRDGRDiレジスタの値の2点で制御

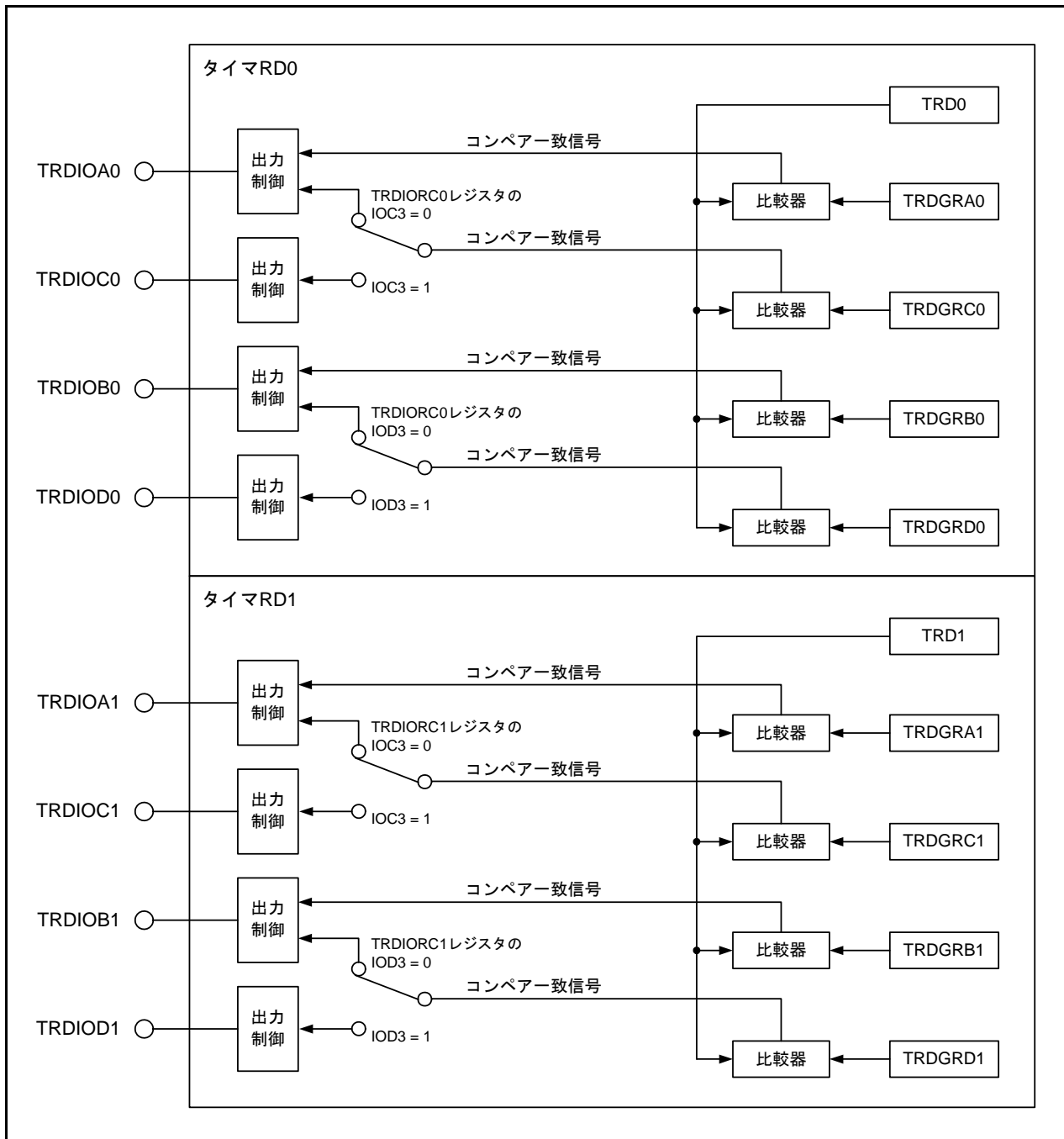


図 18.12 TRDGRCi、TRDGRDiの出力端子変更(i = 0, 1)

TRDGRCi、TRDGRDiレジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORCiレジスタのIOj3ビット(j = C, D)で0 (TRDGRjiレジスタ出力端子変更)を選択。
- TRDMRレジスタのBFjiビットを0 (ジェネラルレジスタ)にする。
- TRDGRAiレジスタとTRDGRCiレジスタは違う値を設定。また、TRDGRBiレジスタとTRDGRDiレジスタは違う値を設定。

図18.13にTRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用した場合の動作例 ($i=0, 1$)を示します。

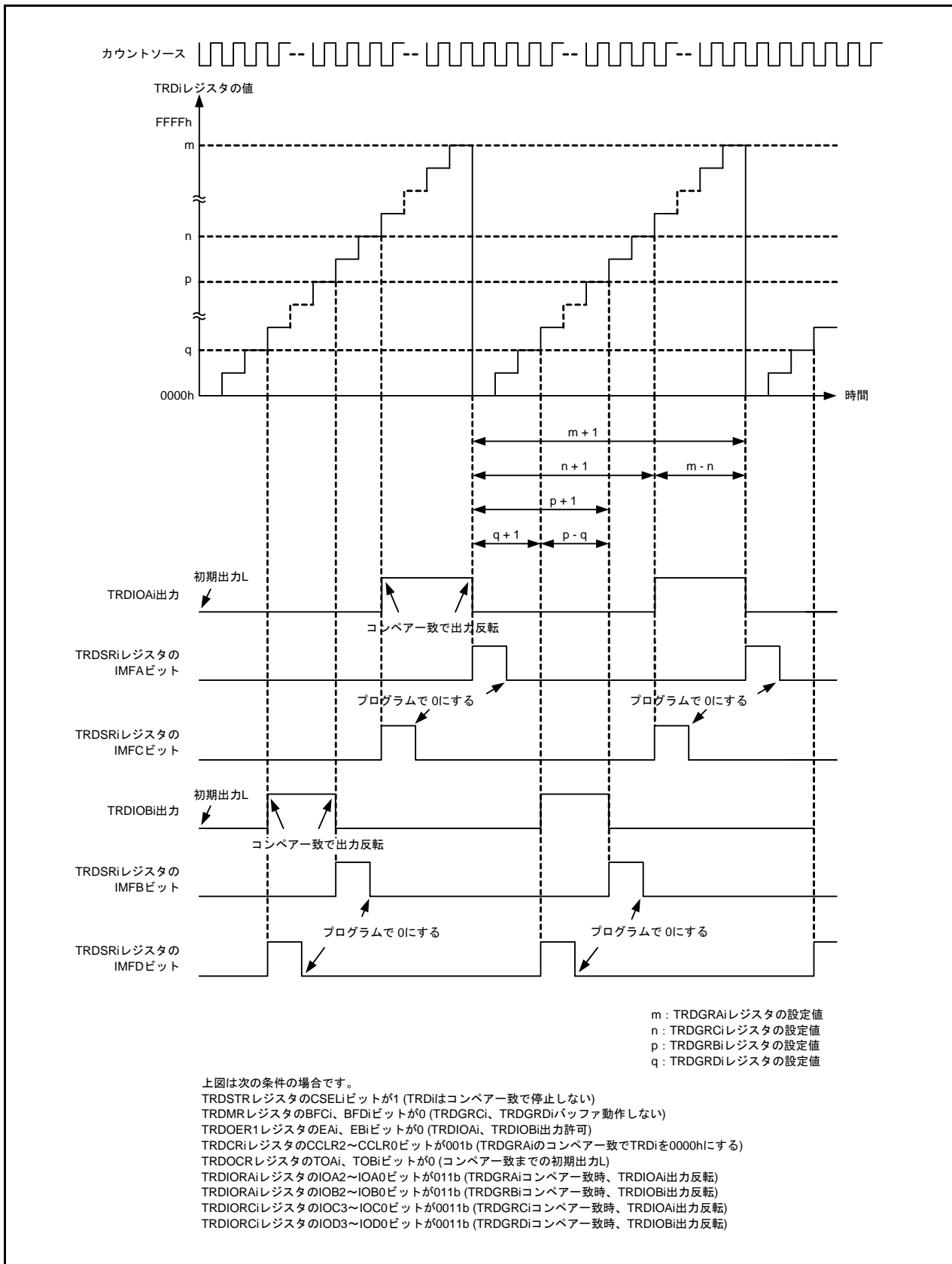


図18.13 TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用した場合の動作例 ($i=0, 1$)

18.3.4 PWMモード

PWM波形を出力するモードです。タイマRD i ($i = 0, 1$)で同周期のPWM波形を最大3本出力できます。また、タイマRD0とタイマRD1を同期させることによって同周期のPWM波形を最大6本出力できます。

TRDIO j i端子($j = B, C, D$)とTRDGR j iレジスタの組み合わせで機能しますので、端子1本ごとにPWMモードにするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWMモードに使用する場合もTRDGRA i レジスタを使用しますので、TRDGRA i レジスタは他のモードに使用できません)。

図18.14にPWMモードのブロック図($i = 0, 1$)を、表18.14にPWMモードの仕様を、図18.15、図18.16にPWMモードの動作例を示します。

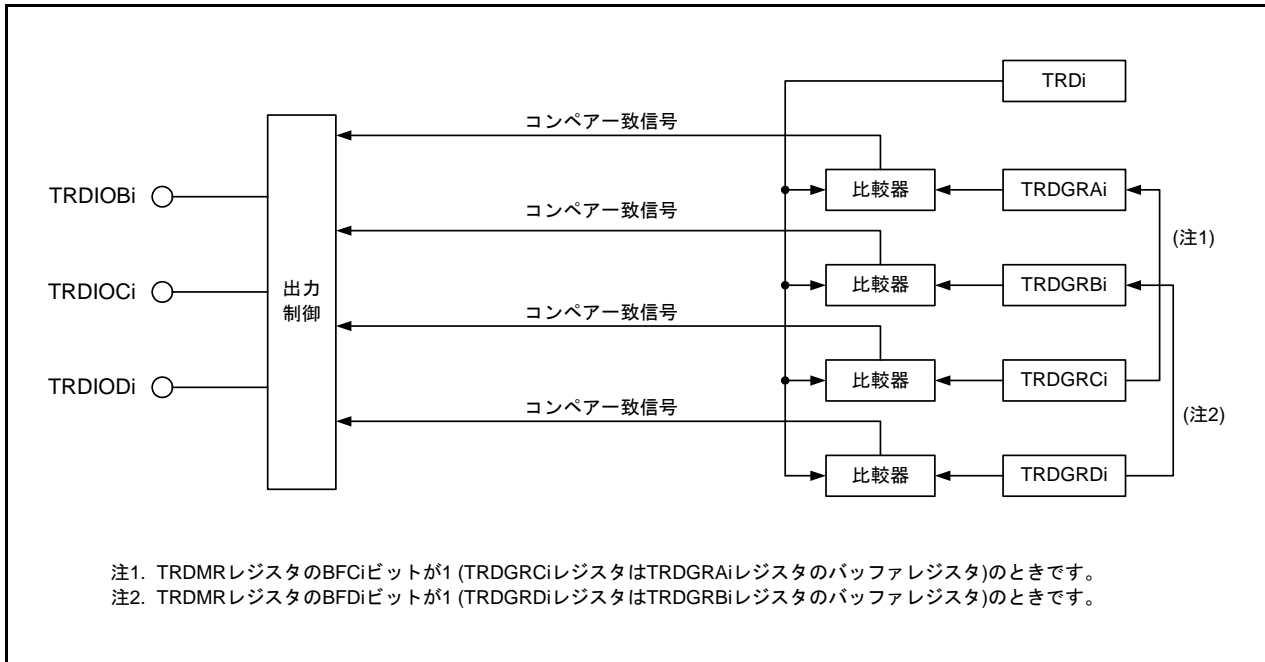
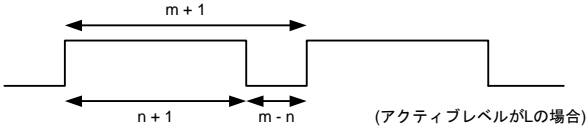


図18.14 PWMモードのブロック図($i = 0, 1$)

表 18.14 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM波形	PWM周期: $1/fk \times (m + 1)$ アクティブレベル幅: $1/fk \times (m - n)$ アクティブでないレベルの幅: $1/fk \times (n + 1)$ fk: カウントソースの周波数 m: TRDGRAiレジスタ設定値 n: TRDGRjiレジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSELiビットが1に設定されているとき、TSTARTiビットへの0(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSELiビットが0の場合、TRDGRAiコンペアー一致でカウント停止 PWM出力端子はコンペアー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRDiレジスタとTRDGRhiレジスタの内容が一致) TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポートまたはTRDCLK(外部クロック)入力
TRDIOA1端子機能	プログラマブル入出力ポート
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOB1、TRDIOC1、TRDIOD1端子機能	プログラマブル入出力ポートまたはPWM出力(1端子ごとに選択)
INT0端子機能	パルス出力強制遮断信号入力(プログラマブル入出力ポートまたはINT0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> PWM出力端子をタイマRDiで1~3本選択 TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 アクティブレベルを1端子ごとに選択 初期出力レベルを1端子ごとに選択 同期動作(「18.3.1.3 同期動作」参照) バッファ動作(「18.3.1.2 バッファ動作」参照) パルス出力強制遮断信号入力(「18.3.1.4 パルス出力強制遮断」参照) A/Dトリガ発生

i=0、1、j=B、C、D、h=A、B、C、D

18.3.4.1 動作例

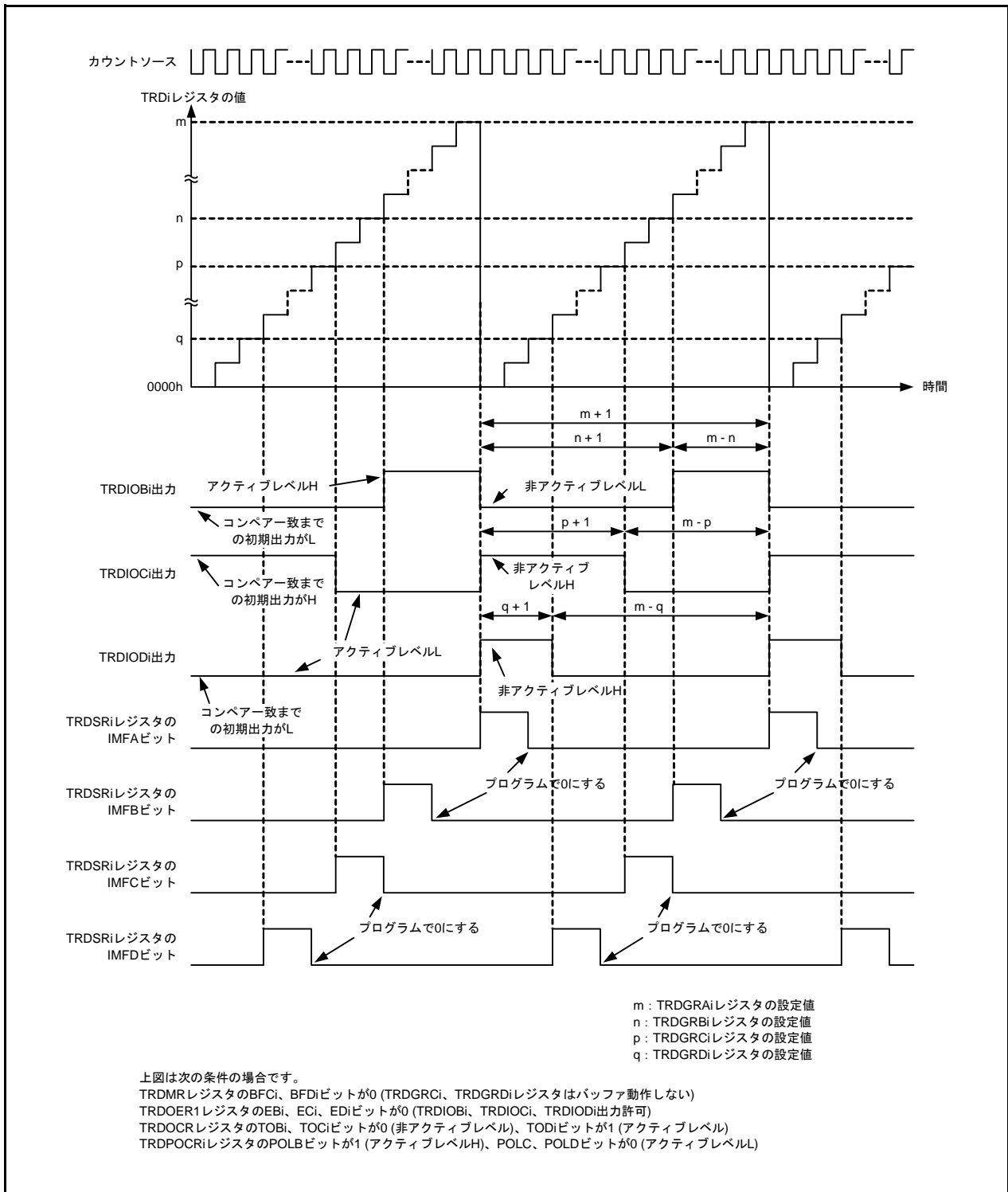


図 18.15 PWMモードの動作例 (i = 0, 1)

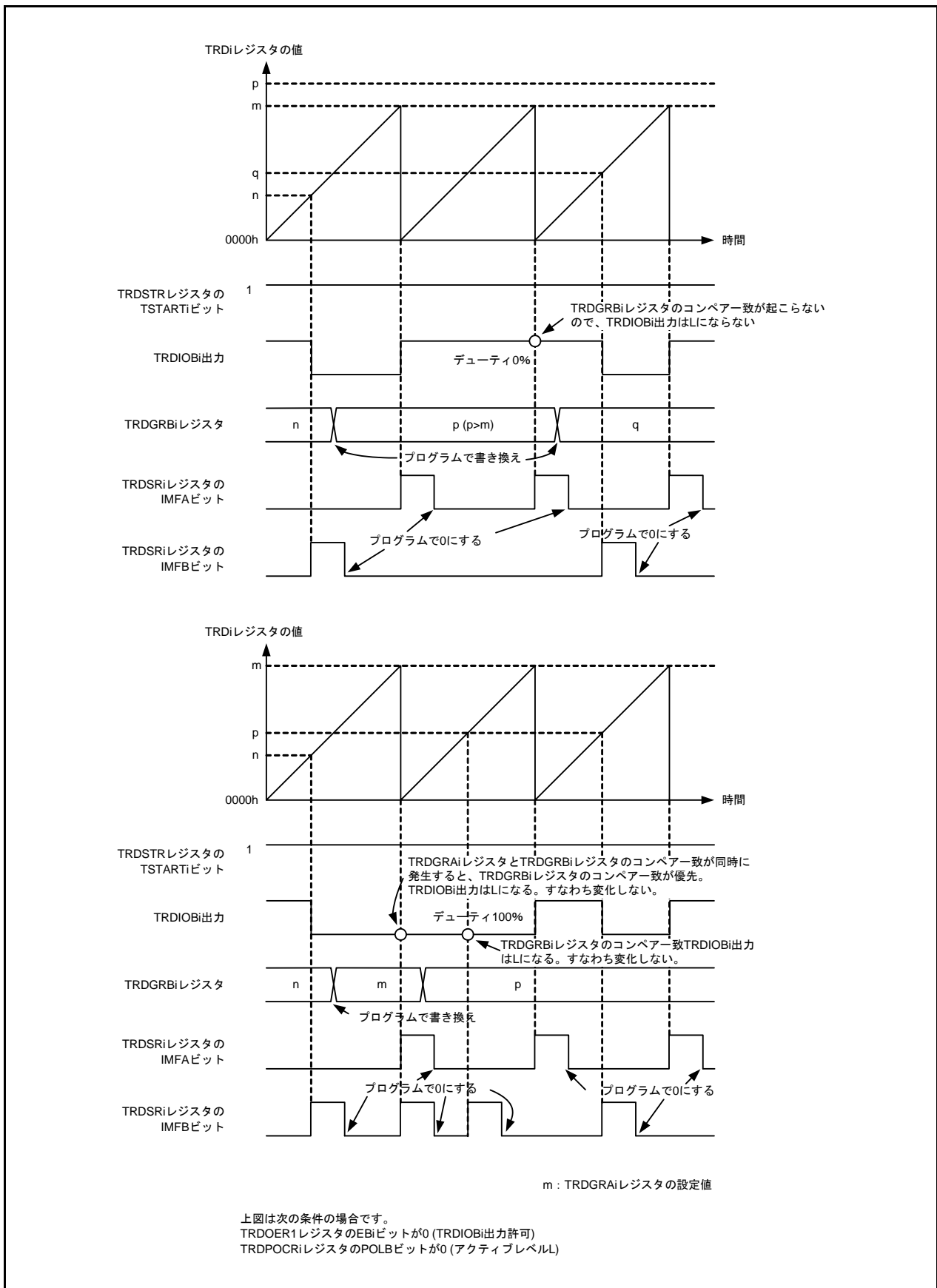


図 18.16 PWM モードの動作例 (デューティ 0%、デューティ 100%) (i = 0, 1)

18.3.5 リセット同期PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、鋸波変調、短絡防止時間なし)。

図18.17にリセット同期PWMモードのブロック図を、表18.15にリセット同期PWMモードの仕様を、図18.18にリセット同期PWMモードの動作例を示します。

デューティ0%、100%のPWM動作例は「図18.16 PWMモードの動作例(デューティ0%、デューティ100%)($i=0, 1$)」を参照してください。

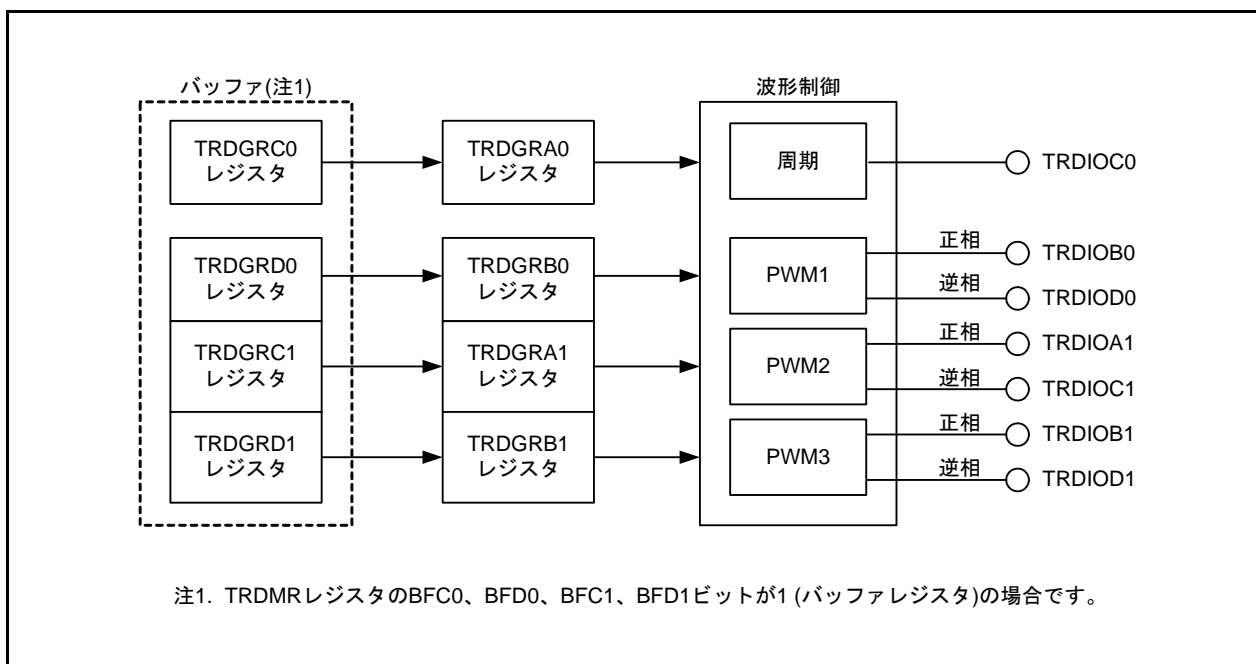


図18.17 リセット同期PWMモードのブロック図

表 18.15 リセット同期PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	<p>PWM周期: $1/fk \times (m + 1)$ 正相のアクティブレベル幅: $1/fk \times (m - n)$ 逆相のアクティブレベル幅: $1/fk \times (n + 1)$ fk: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSEL0ビットが1に設定されているとき、TSTART0ビットへの0(カウント停止)書き込み PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力 TRDSTRレジスタのCSEL0ビットが0の場合、TRDGRA0コンペアー一致でカウント停止 PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRD0レジスタとTRDGRj0、TRDGRA1、TRDGRB1レジスタの内容が一致) TRD0オーバフロー
TRDIOA0端子機能	プログラマブル入出力ポートまたはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INT0端子機能	パルス出力強制遮断信号入力(プログラマブル入出力ポートまたはINT0割り込み入力)
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 バッファ動作(「18.3.1.2 バッファ動作」参照) パルス出力強制遮断信号入力(「18.3.1.4 パルス出力強制遮断」参照) A/Dトリガ発生

j = A、B、C、D

18.3.5.1 動作例

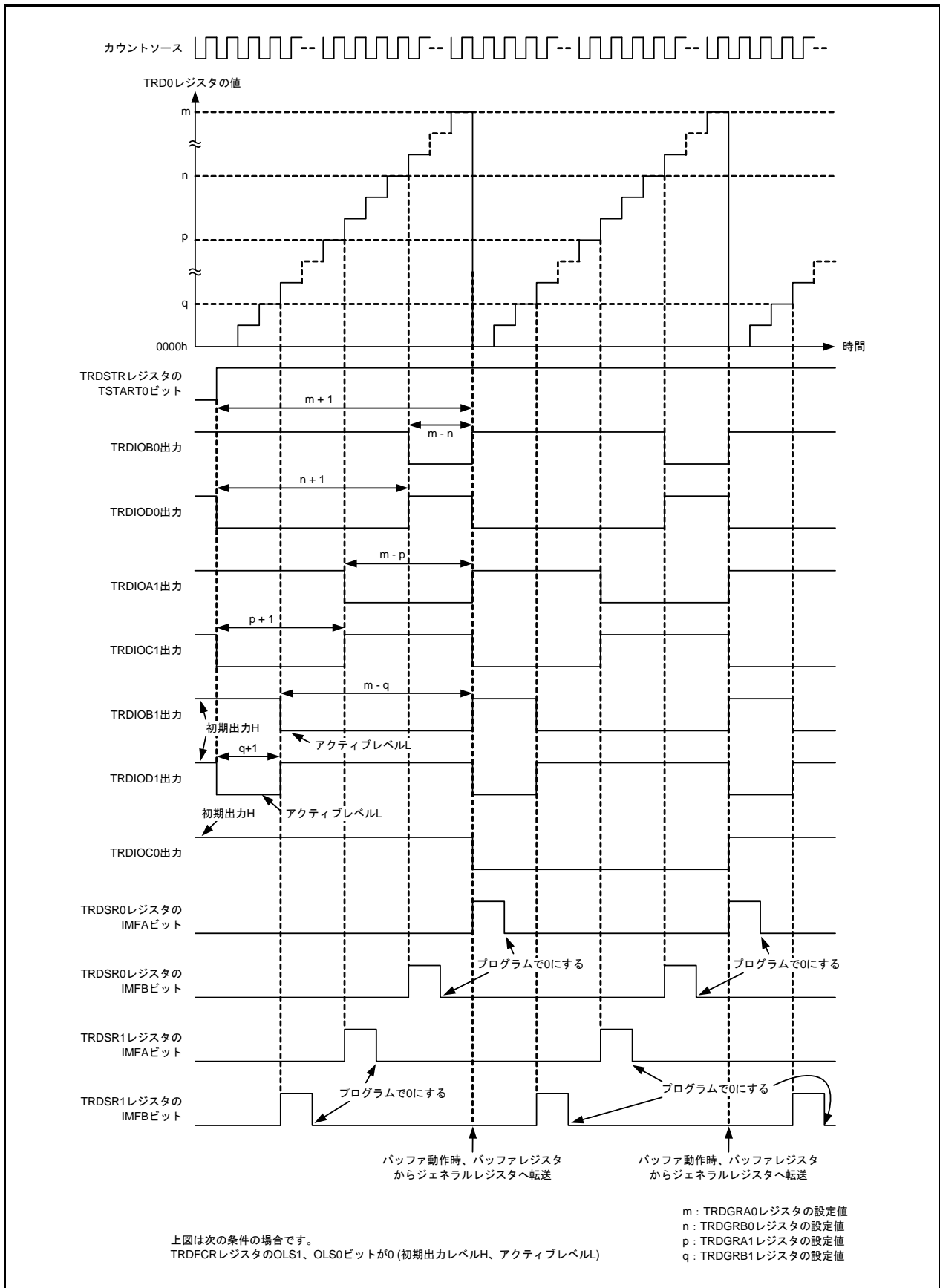


図18.18 リセット同期PWMモードの動作例

18.3.6 相補PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、三角波変調、短絡防止時間あり)。

図18.19に相補PWMモードのブロック図を、表18.16に相補PWMモードの仕様を、図18.20に相補PWMモードの出力モデル($i = 0, 1$)を、図18.21に相補PWMモードの動作例($i = 0, 1$)を示します。

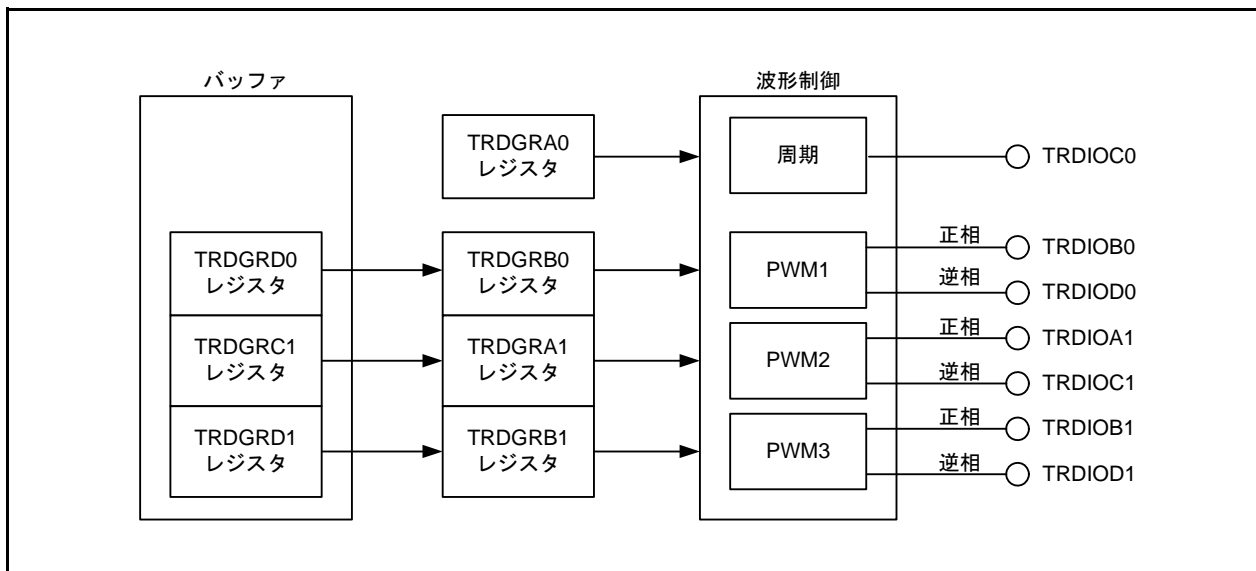


図18.19 相補PWMモードのブロック図

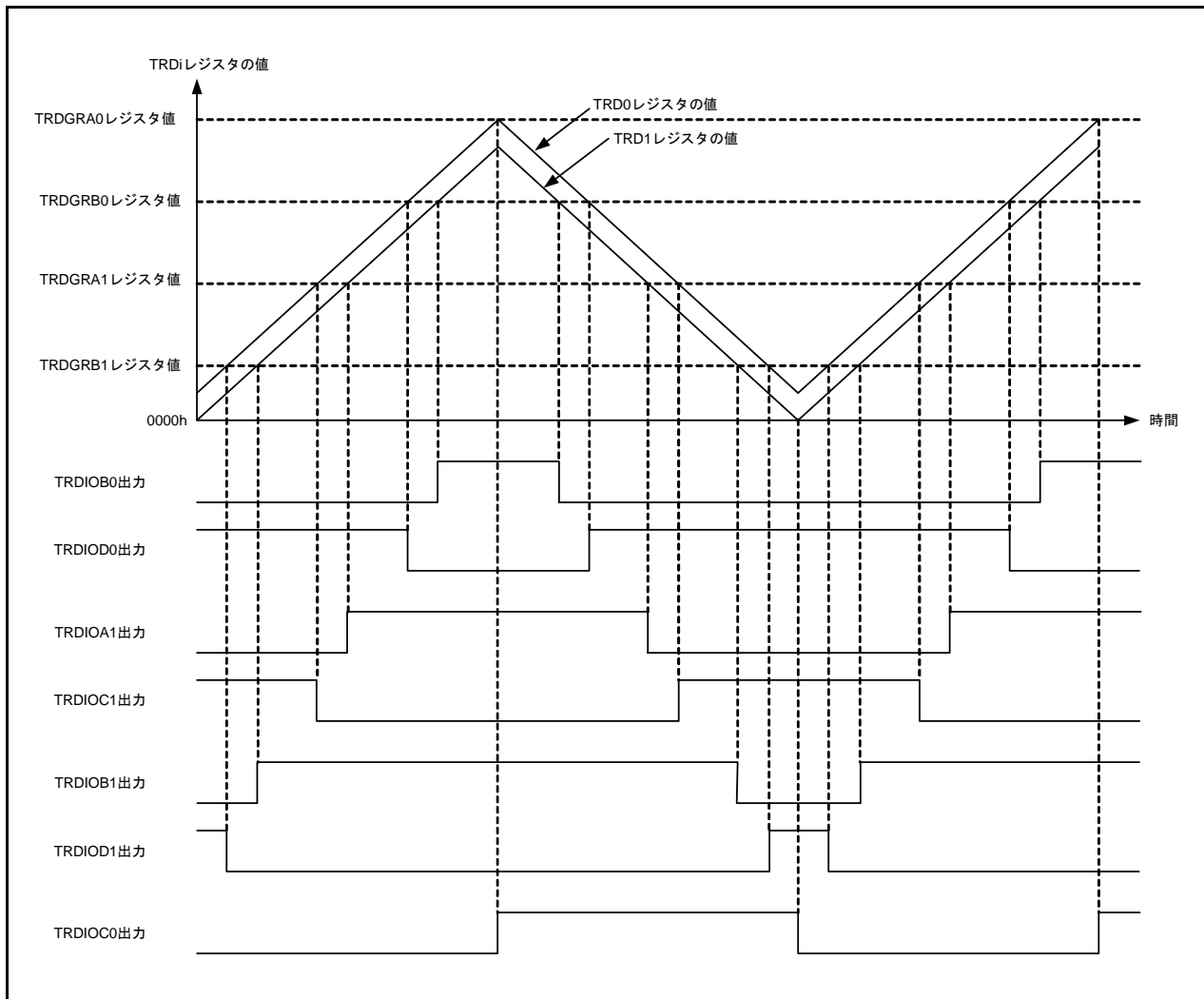
表 18.16 相補PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK0~TCK2ビットと、TRDCR1レジスタのTCK0~TCK2ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペアー一致すると、TRD0、TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが0000hからFFFFhになるとTRD0、TRD1ともアップカウントになる。
PWM波形	PWM周期: $1/f_k \times (m + 2 - p) \times 2$ (注1) 短絡防止時間: p 正相のアクティブレベル幅: $1/f_k \times (m - n - p + 1) \times 2$ 逆相のアクティブレベル幅: $1/f_k \times (n + 1 - p) \times 2$ f _k : カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p: TRD0レジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの1(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが1に設定されているときTSTART0ビットとTSTART1ビットへの0(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) TRD1アンダフロー
TRDIOA0端子機能	プログラマブル入出力ポートまたはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
INT0端子機能	パルス出力強制遮断信号入力(プログラマブル入出力ポートまたはINT0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> パルス出力強制遮断信号入力(「18.3.1.4 パルス出力強制遮断」参照) 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 バッファレジスタからの転送タイミング選択 A/Dトリガ発生

i = 0、1、j = A、B、C、D

注1. カウント開始後、PWM周期は固定です。

18.3.6.1 動作例

図 18.20 相補PWMモードの出力モデル($i = 0, 1$)

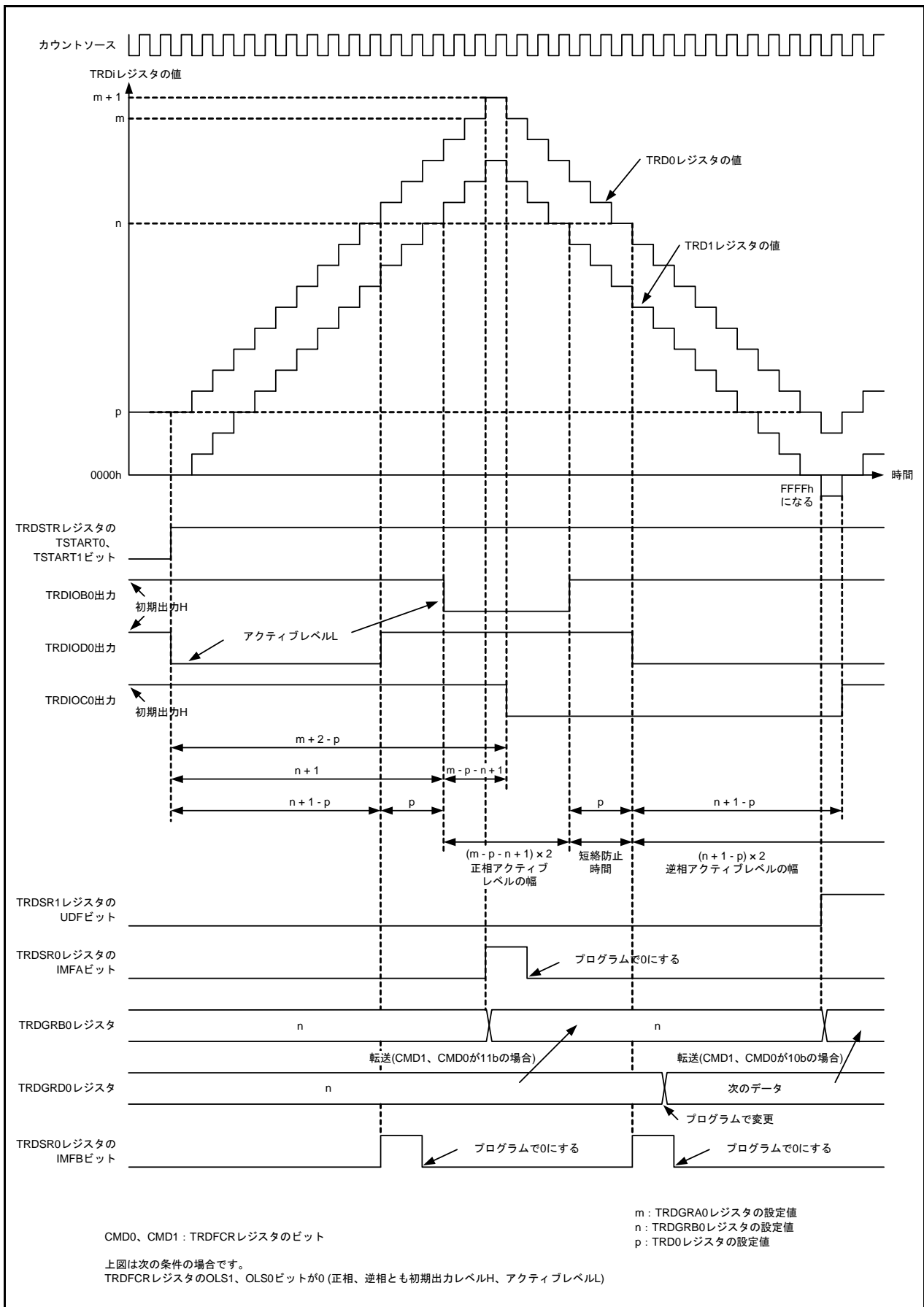


図18.21 相補PWMモードの動作例(i = 0, 1)

18.3.6.2 バッファレジスタからの転送タイミング

- TRDGRD0、TRDGRC1、TRDGRD1 レジスタから TRDGRB0、TRDGRA1、TRDGRB1 レジスタへの転送
TRDFCR レジスタの CMD1、CMD0 ビットが 10b の場合、TRD1 がアンダフローしたときに転送します。
- CMD1、CMD0 ビットが 11b の場合、TRD0 と TRDGRA0 レジスタがコンペアー一致したときに転送します。

18.3.7 PWM3モード

同周期のPWM波形を2本出力します。

図 18.22 に PWM3 モードのブロック図を、表 18.17 に PWM3 モードの仕様を、図 18.23 に PWM3 モードの動作例を示します。

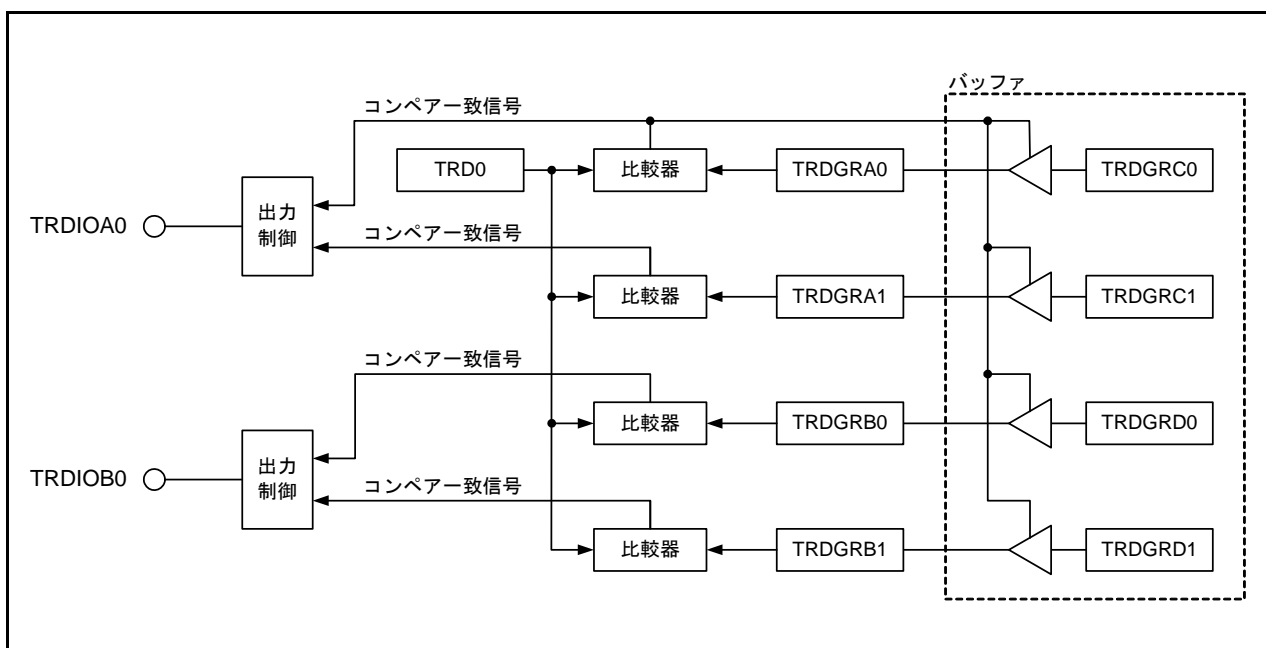


図 18.22 PWM3モードのブロック図

表 18.17 PWM3モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	<p>PWM周期 : $1/fk \times (m + 1)$ TRDIOA0出力のアクティブレベル幅 : $1/fk \times (m - n)$ TRDIOB0出力のアクティブレベル幅 : $1/fk \times (p - q)$</p> <p>fk : カウントソースの周波数 m : TRDGRA0レジスタ設定値 n : TRDGRA1レジスタ設定値 p : TRDGRB0レジスタ設定値 q : TRDGRB1レジスタ設定値</p>  <p>(アクティブレベルがHの場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSEL0ビットが1に設定されているとき、TSTART0ビットへの0(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSEL0ビットが0の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRD0レジスタとTRDGRjiレジスタの内容が一致) • TRD0オーバフロー
TRDIOA0、TRDIOB0端子機能	PWM出力
TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート
INT0端子機能	パルス出力強制遮断信号入力(プログラマブル入出力ポートまたはINT0割り込み入力)
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> • パルス出力強制遮断信号入力(「18.3.1.4 パルス出力強制遮断」参照) • アクティブレベルを端子ごとに選択 • バッファ動作(「18.3.1.2 バッファ動作」参照) • A/Dトリガ発生

i = 0、1、j = A、B、C、D

18.3.7.1 動作例

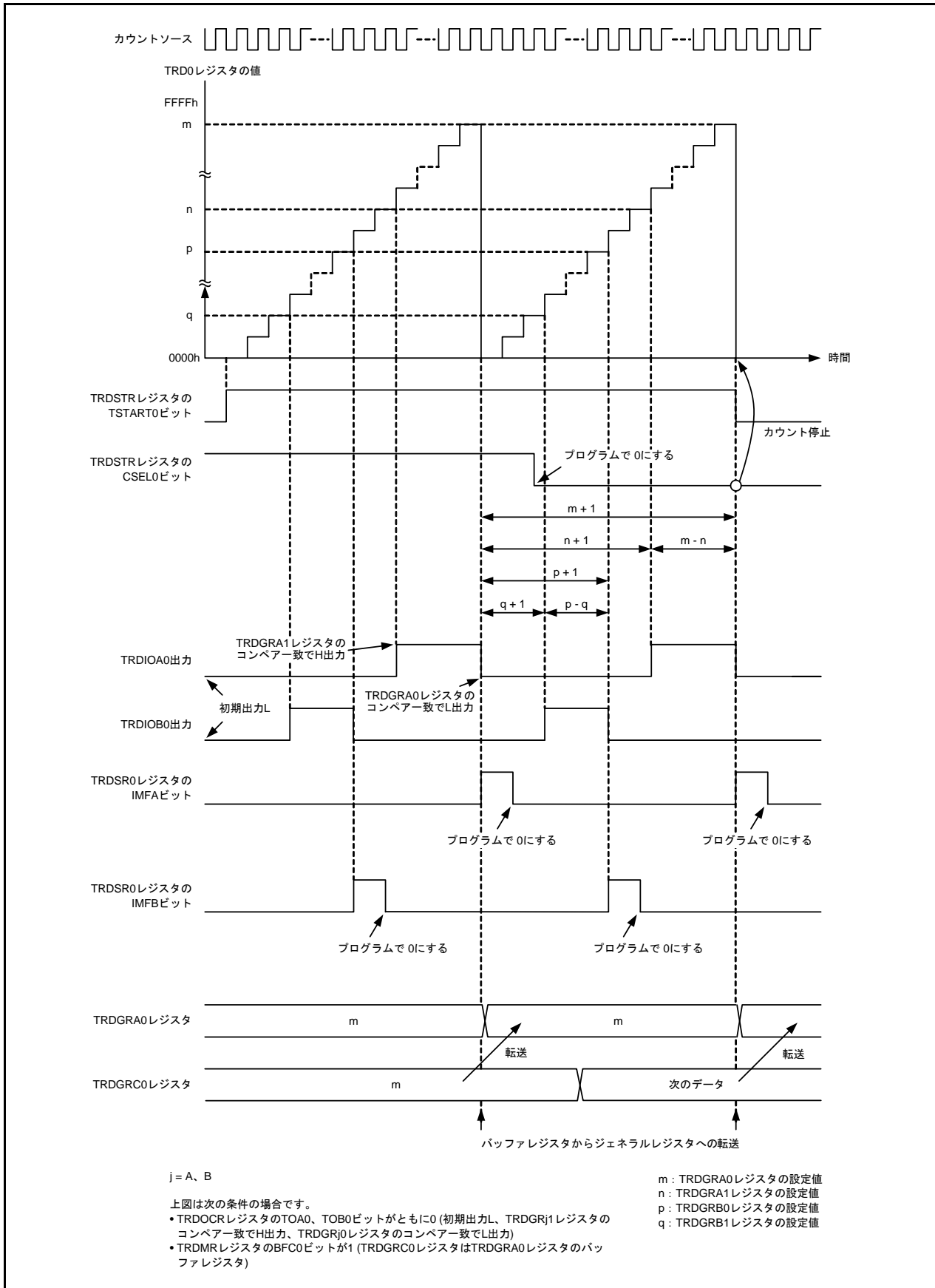


図 18.23 PWM3モードの動作例

18.3.8 タイマRD割り込み

タイマRDは、タイマRD0とタイマRD1ごとに6つの要因からタイマRD i ($i = 0, 1$)割り込み要求を発生します。タイマRD割り込みはタイマRD0とタイマRD1ごとに1つのTRDiCレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表 18.18 にタイマRD割り込み関連レジスタを、図 18.24 にタイマRD割り込みのブロック図 ($i = 0, 1$)を示します。

表 18.18 タイマRD割り込み関連レジスタ

	タイマRD ステータスレジスタ	タイマRD 割り込み許可レジスタ	タイマRD 割り込み制御レジスタ
タイマRD0	TRDSR0	TRDIER0	TRD0IC
タイマRD1	TRDSR1	TRDIER1	TRD1IC

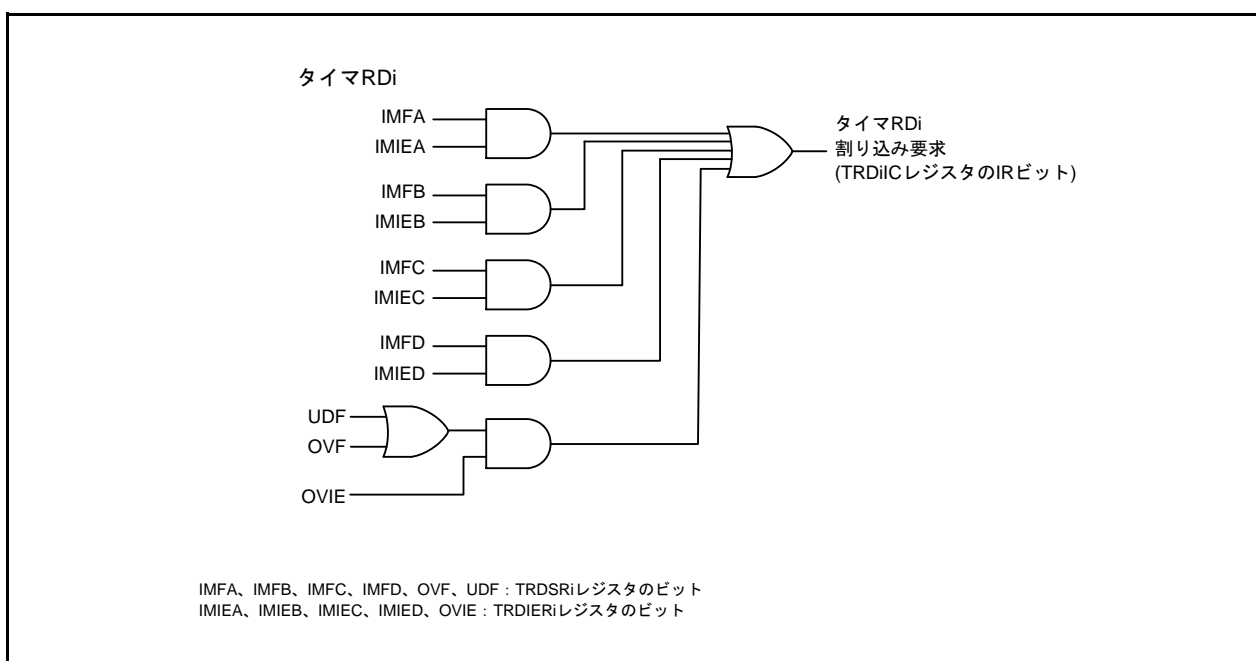


図 18.24 タイマRD割り込みのブロック図 ($i = 0, 1$)

タイマRD割り込みが、Iフラグ、TRDiICレジスタのIRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRD割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRDSRiレジスタのビットが1で、それに対応するTRDIERiレジスタのビットが1(割り込み許可)の場合、IRビットが1(割り込み要求あり)になります。
- TRDSRiレジスタのビットと、それに対応するTRDIERiレジスタのビットのどちらか、または両方が0になるとIRビットが0(割り込み要求なし)になります。すなわち、IRビットは、一旦1になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが1になった後、別の要求要因が成立した場合、IRビットは1のまま変化しません。
- TRDIERiレジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRDSRiレジスタで判定してください。
- TRDSRiレジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。0にする方法は「18.2.14 タイマRDステータスレジスタi (TRDSRi) (i = 0, 1)」を参照してください。

TRDSRiレジスタは「18.2.14 タイマRDステータスレジスタi (TRDSRi) (i = 0, 1)」を、TRDIERiレジスタは「18.2.15 タイマRD割り込み許可レジスタi (TRDIERi) (i = 0, 1)」を参照してください。

TRDiICレジスタは「11.4 割り込み制御」、割り込みベクタは「11.3.2 可変ベクタテーブル」を参照してください。

18.4 タイマRD使用上の注意事項

18.4.1 SFR リード/ライトアクセス

18.4.1.1 TRDELCCR レジスタ

- タイマ動作中は、TRDELCCR レジスタを書き換えないでください。

18.4.1.2 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- TRDSTR レジスタのCSELiビット(i = 0, 1)が0 (TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止)の場合、TSTARTi ビットに0 (カウント停止)を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
TRDGRAi レジスタとのコンペアー一致時のみ、TSTARTi ビットは0 (カウント停止)となります。
TRDSTR レジスタを書き換える際に、CSELi ビットが0の場合、カウント動作に影響なくCSELi ビットを1へ変更したい場合は、TSTARTi ビットに0を書いてください。
TSTARTi ビットに1を書き込むと、カウンタが停止中の場合カウント開始する恐れがあります。
また、プログラムでカウントを停止させる場合は、CSELi ビットを1にした後で、TSTARTi ビットに0を書いてください。同時に(1命令で)CSELi ビットに1、TSTARTi ビットに0を書いてもカウントは停止できません。
- TRDIOj端子(j = A、B、C、D)をタイマRD出力で使用している場合の、カウント停止時の出力レベルを表18.19に示します。

表18.19 カウント停止時のTRDIOj (j = A、B、C、D)端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELiビットが1のときに、TSTARTiビットに0を書きカウント停止	直前の出力レベルを保持(タイマRDの相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
CSELiビットが0のときに、TRDiレジスタとTRDGRAiレジスタのコンペアー一致でカウント停止	コンペアー一致による出力変化後、そのレベルを保持(タイマRDの相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)

i = 0, 1, j = A, B, C, D

18.4.1.3 TRDi レジスタ

- TRDi レジスタが0000hになるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値はレジスタへの書き込みが優先されます。
- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

```

プログラム例  MOV.W #XXXXh, TRD0; 書き込み
                JMP.B L1          ; JMP.B 命令
L1:             MOV.W TRD0, DATA; 読み出し
  
```

18.4.1.4 TRDSR_iレジスタ (i = 0, 1)

TRDSR_iレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例      MOV.B #XXh, TRDSR0; 書き込み
                   JMP.B L1      ; JMP.B命令
L1:                MOV.B TRDSR0, DATA; 読み出し
```

18.4.1.5 TRDCR_iレジスタ

TRDCR_iレジスタのTCK2～TCK0ビットを111b (fHOCO-F)にするとときは、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

18.4.1.6 TRDDF_iレジスタ

TRDDF_iレジスタのDFCK0、DFCK1ビット設定は、ハザード対策のためカウント動作前に設定を実施してください。

18.4.2 モードの切り替え

- 動作中にモードを切り替える際は、カウント停止状態(TSTART = 0)にした後、行ってください。
- モード切り替え後、動作開始前に割り込みレジスタのクリアを行ってください。
「11.9.4 割り込み要因の変更」を参照してください。

18.4.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
また、カウントソース切り替え後、CPUクロックの2サイクル以上待つから、本モジュールへのSFR書き込みを行ってください。

[変更手順]

- (1) TRDSTRレジスタのTSTART_iビットを0(カウント停止)にする
 - (2) TRDCR_iレジスタのTCK0～TCK2ビットを変更する
 - (3) CPUクロックの2サイクル以上待つ
 - (4) タイマRDへのSFR書き込みが可能
- 上記(2)の設定変更の代わりに、SYNCビットおよびPWM3ビットの設定変更を行う場合でも、同様の処理が必要になります。
FRA00ビットによる高速オンチップオシレータの停止のSW処理は必要ありません。
 - カウントソースをfHOCO-FからfHOCOに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの2サイクル以上待つからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRDSTRレジスタのTSTART_iビットを0(カウント停止)にする
 - (2) TRDCR_iレジスタのTCK0～TCK2ビットを変更する
 - (3) fHOCO-Fの2サイクル以上待つ
 - (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする
- カウントソースをfHOCO-FからfHOCO以外のクロックに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの1サイクル+fHOCOの1サイクル以上待つからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRDSTRレジスタのTSTART_iビット(i = 0, 1)を0(カウント停止)にする
- (2) TRDCR_iレジスタのTCK0～TCK2ビットを変更する
- (3) fHOCO-Fの1サイクル+fHOCOの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

- 注1. fHOCO、fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0(高速オンチップオシレータ停止)にしないでください。
- 注2. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

18.4.4 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表 18.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO_j端子(j = A、B、C、D)にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2~3サイクル後にTRDiレジスタの値をTRDGR_jレジスタに転送します(デジタルフィルタなしの場合)。

18.4.5 リセット同期PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。

[変更手順]

- (1) TRDSTRレジスタのTSTART0ビットを0(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1、CMD0ビットを00b(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1、CMD0ビットを01b(リセット同期PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する
- カウントスタートに関する注意事項
 - (1) タイマ値とコンペアレジスタ値を同一設定にした場合は、カウントスタート禁止です。
 - (2) カウント停止からの再開時は、カウントを停止した時のタイマ値とコンペアレジスタが異なることを確認して再開してください。値が同じ場合は、タイマ値を書き換えて再開してください。

18.4.6 相補PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- TRDFCRレジスタのCMD0、CMD1ビットを変更するときは、次の手順で変更してください。
[変更手順：相補PWMモードにする場合(再設定含む)または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合]
 - (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも0(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1、CMD0ビットを00b(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1、CMD0ビットを10bまたは11b(相補PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する
 [変更手順：相補PWMモードを止める場合]
 - (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも0(カウント停止)にする
 - (2) CMD1、CMD0ビットを00b(タイマモード、PWMモード、PWM3モード)にする
- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを0(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを1(バッファレジスタ)にできます。
PWM周期は変更できません。
- TRDGRA0レジスタに設定した値をmとすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1 \rightarrow m \rightarrow m+1 \rightarrow m \rightarrow m-1$ とカウントします。
 $m \rightarrow m+1$ のとき、TRDSRiレジスタのIMFAビットが1になります。また、TRDFCRレジスタのCMD1、CMD0ビットが11b(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1 \rightarrow m \rightarrow m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

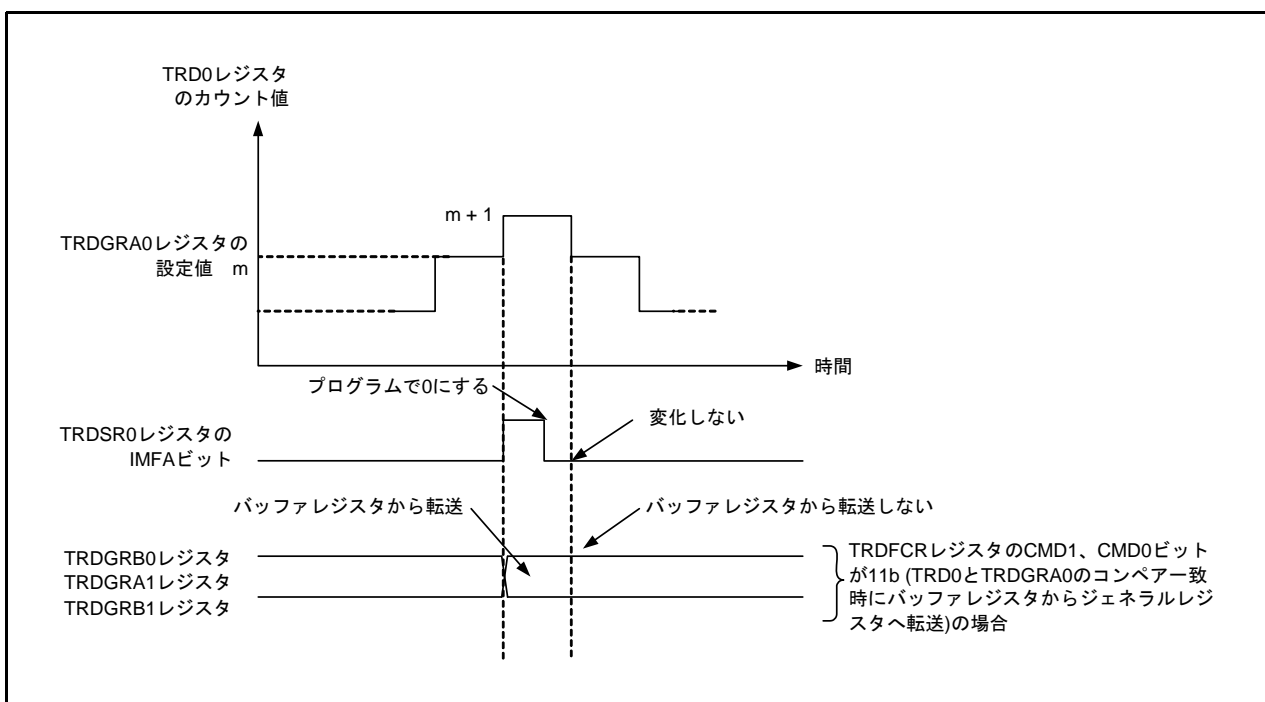


図 18.25 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1→0→FFFFh→0→1とカウントします。
1→0→FFFFhの動作によって、TRDSR_iレジスタのUDFビットが1になります。また、TRDFCRレジスタのCMD1、CMD0ビットが10b(相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
FFFFh→0→1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、TRDSR_iレジスタのOVFビットは変化しません。

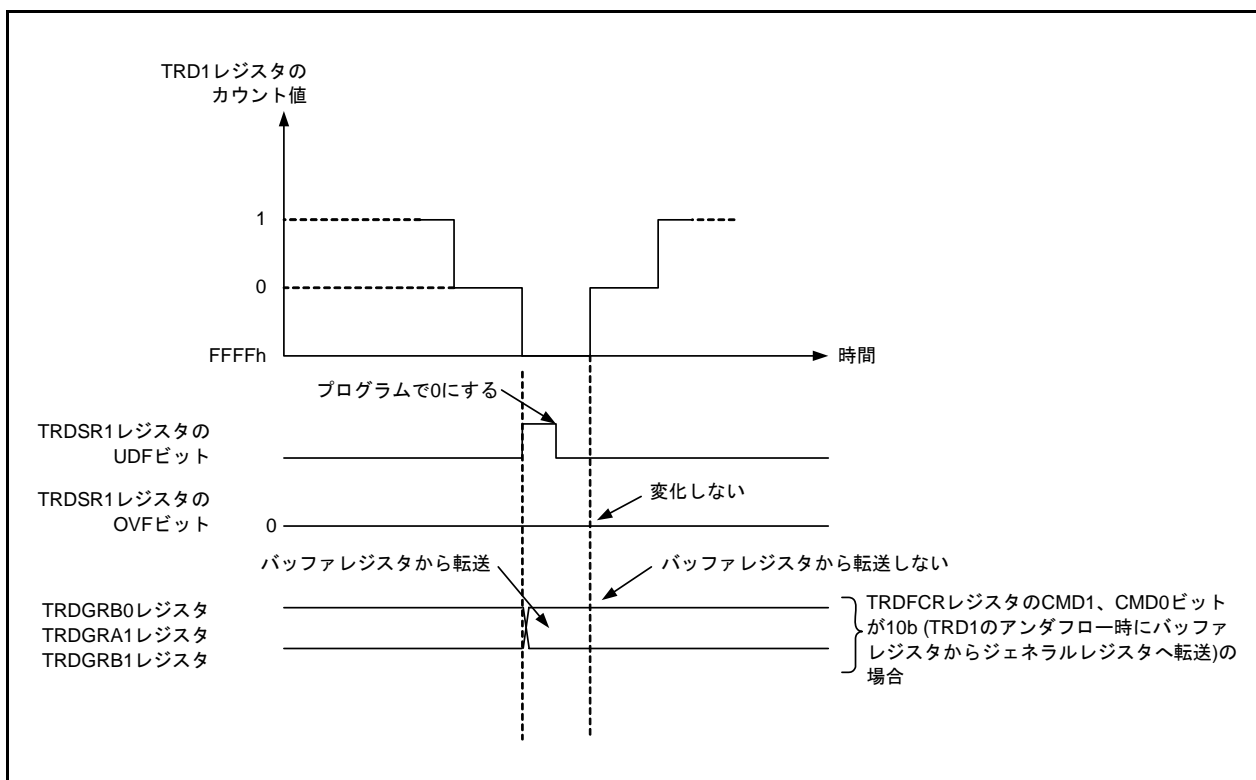


図 18.26 相補PWMモード TRD1がアンダフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタのCMD0、CMD1 ビットで選択してください。ただし、次の場合はCMD0、CMD1 ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 \geq TRDGRA0 レジスタの値の場合

TRD1 レジスタのアンダフローで転送します。

その後、0001h 以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後 1 回目に TRD1 レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD0、CMD1 ビットで選択したタイミングで転送します。

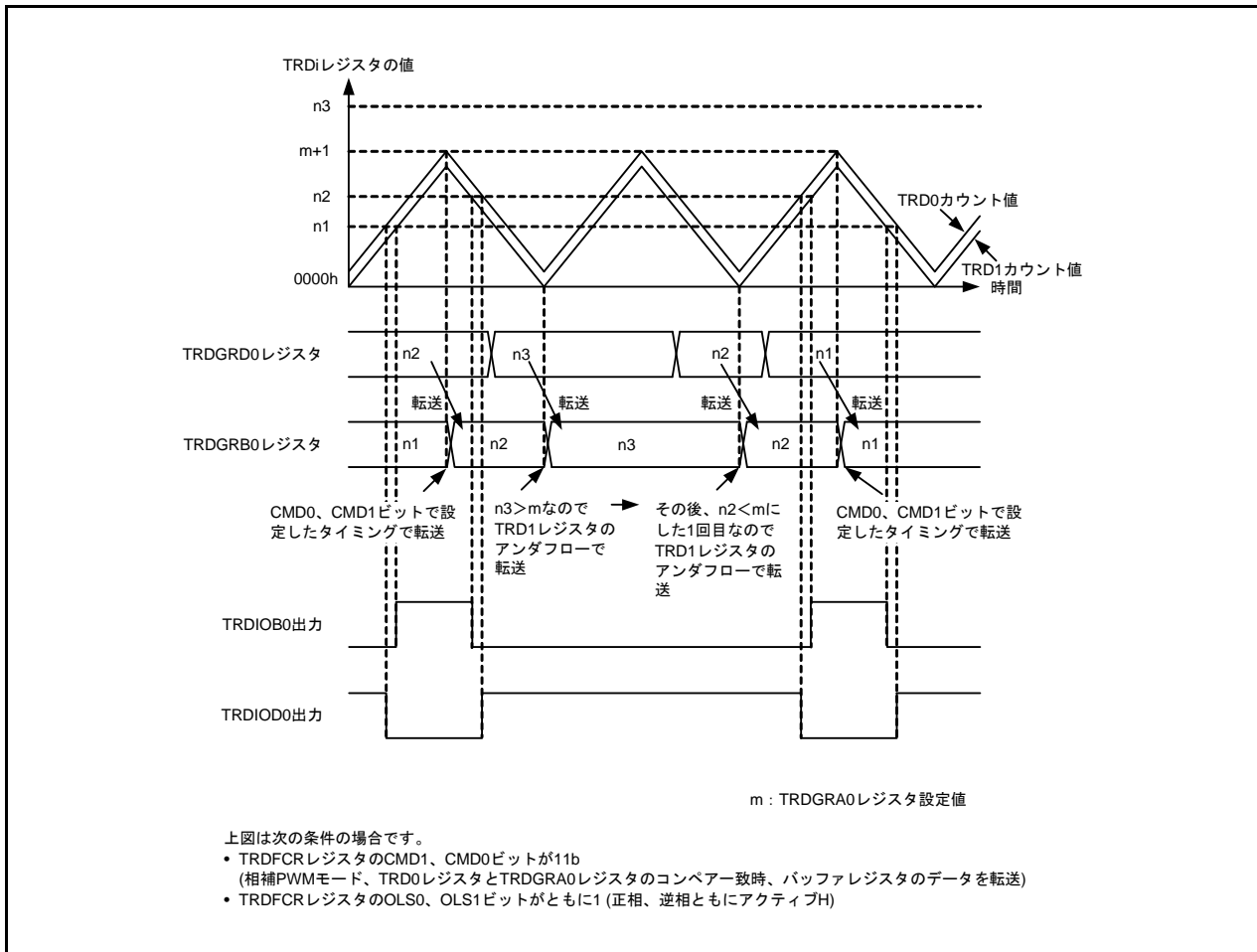


図 18.27 相補PWMモード時のバッファレジスタの値 \geq TRDGRA0 レジスタ値の場合の動作例 (i = 0、1)

バッファレジスタの値が0000hの場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、0001h以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD0、CMD1ビットで選択したタイミングで転送します。

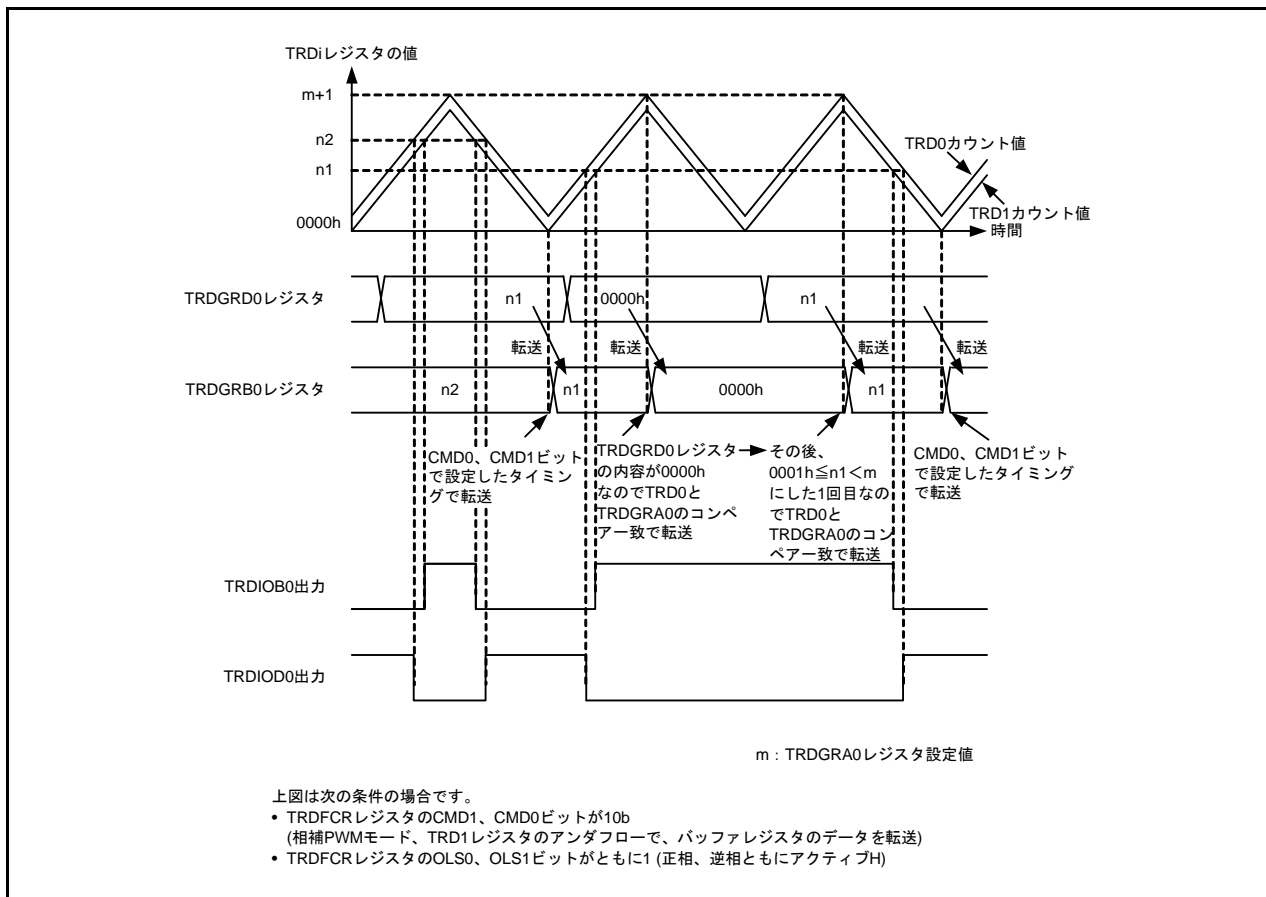


図 18.28 相補PWMモード時のバッファレジスタの値が0000hの場合の動作例 ($i = 0, 1$)

• カウントスタートに関する注意事項

- (1) タイマ値とコンペアレジスタ値を同一設定にした場合は、カウントスタート禁止です。
- (2) カウント停止からの再開時は、カウントを停止した時のタイマ値とコンペアレジスタが異なることを確認して再開してください。値が同じ場合は、タイマ値を書き換えて再開してください。

18.4.7 カウント停止時のインプットキャプチャ動作

インプットキャプチャ機能使用時、インプットキャプチャ信号 (TRDIORAi レジスタ ($i = 0, 1$) の IOj0、IOj1 ビット ($j = A, B$)、TRDIORCi レジスタの IOk0、IOk1 ビット ($k = C, D$) のいずれかで選択したエッジ) が TRDIOi 端子 ($n = A, B, C, D$) に入力されると、TRDSTR レジスタの TSTARTi ビットが 0 (カウント停止) のときも、TRDSRi レジスタの IMF_n ビットが 1 になります。

19. タイマRE2

19.1 概要

タイマRE2は8ビットカウンタを持つタイマです。

タイマRE2は次のモードを持ちます。

- コンペアー一致タイマモード
カウントソースをカウントし、コンペアー一致でカウンタを初期化するモード

表 19.1 にコンペアー一致タイマモードの仕様を、図 19.1 にコンペアー一致タイマモードのブロック図を、表 19.2 にタイマRE2の端子構成を示します。

表 19.1 コンペアー一致タイマモードの仕様

項目	内容
カウントソース	f8、f32、f128、f256、f512、f2048、f4096、f8192
カウント	カウント開始またはカウント停止を選択
リセット	TRECRレジスタのRTCRSTビットによるリセット
割り込み	<ul style="list-style-type: none"> • コンペアー一致割り込み • オーバフロー割り込み
TMRE2O端子機能	次のいずれかを選択 <ul style="list-style-type: none"> • プログラマブル入出力ポート • f4、f8、f16、f32のいずれかを出力 • コンペアー一致ごとのトグル出力 • モジュール単体でスタンバイ状態に設定可能

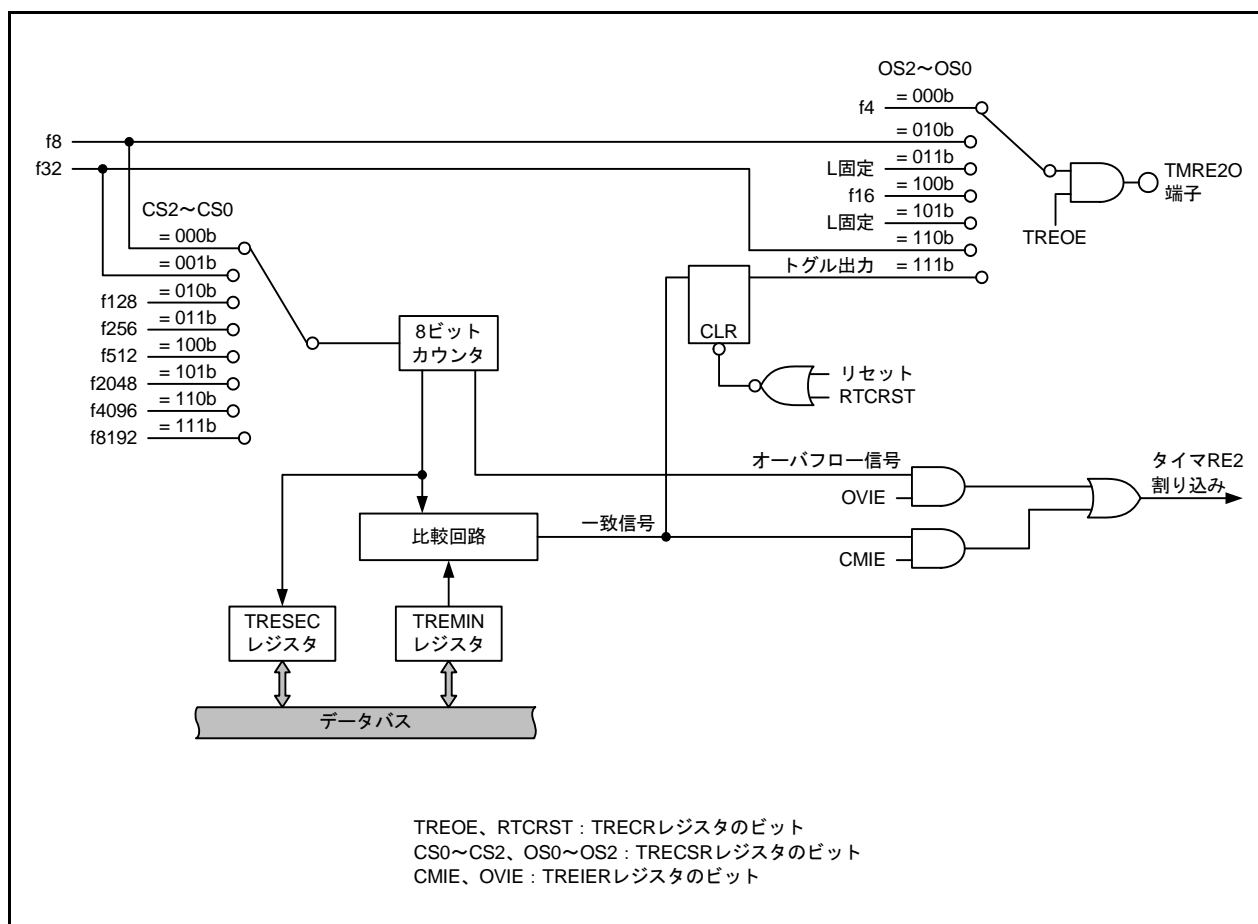


図 19.1 コンペアー一致タイマモードのブロック図

表 19.2 タイマRE2の端子構成

端子名	入出力	機能
TMRE2O	出力	タイマRE2クロック出力

19.2 レジスタの説明

表19.3にタイマRE2のレジスタ構成を示します。

表19.3 タイマRE2のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRE2カウンタデータレジスタ	TRESEC	00h	00170h	8
タイマRE2コンペアデータレジスタ	TREMIN	00h	00171h	8
タイマRE2制御レジスタ	TRECR	00000100b	00177h	8
タイマRE2カウントソース選択レジスタ	TRECSR	00001000b	00178h	8
タイマRE2割り込みフラグレジスタ	TREIFR	00h	0017Ah	8
タイマRE2割り込み許可レジスタ	TREIER	00h	0017Bh	8
タイマRE2プロテクトレジスタ	TREPRC	00h	0017Fh	8

19.2.1 タイマRE2カウンタデータレジスタ (TRESEC)

アドレス 00170h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7~b0	8ビットカウンタのデータが読めます。 タイマRE2のカウンタが停止しても、カウンタ値は保持されます。 TRECRレジスタのCCLRビットが0のときは、コンペア一致しても、そのままカウントを継続し、 CCLRビットが1のときは、TRESECレジスタは00hになります。	R

19.2.2 タイマRE2コンペアデータレジスタ (TREMINT)

アドレス	00171h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MN7	MN6	MN5	MN4	MN3	MN2	MN1	MN0
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MN0	コンペアデータビット0	8ビットのコンペアデータを格納します。 コンペア値を書いてください(注1)。	R/W
b1	MN1	コンペアデータビット1		R/W
b2	MN2	コンペアデータビット2		R/W
b3	MN3	コンペアデータビット3		R/W
b4	MN4	コンペアデータビット4		R/W
b5	MN5	コンペアデータビット5		R/W
b6	MN6	コンペアデータビット6		R/W
b7	MN7	コンペアデータビット7		R/W

注1. TREMINレジスタは、TREPRCレジスタのPROTECTビットが1(書き込み許可)のときに変更できます。

TREMINTレジスタは、TRESECレジスタと常に比較されており、両レジスタの値が一致すると、TREIFRレジスタのCMIFビットが1(割り込み要求あり)になります。TREIERレジスタのCMIEビットが1(コンペア一致割り込み許可)のとき割り込み要求を発生します。

TREMINTレジスタは、TRECRレジスタのRUNビットが0(カウント停止)のときに書き込んでください。

19.2.3 タイマRE2制御レジスタ (TRECR)

アドレス	00177h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RUN	—	—	RTCRST	CCLR	—	TREOE	—
リセット後の値	0	0	0	0	0	1	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	X(注1)	X(注1)	1	X(注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	TREOE	タイマRE2出力許可ビット	0 : TMRE2O出力禁止 1 : TMRE2O出力許可	R/W
b2	—	予約ビット	1にしてください	R
b3	CCLR	カウンタクリア許可ビット	0 : コンペア一致によるTRESECレジスタの初期化を禁止 1 : コンペア一致によるTRESECレジスタの初期化を許可	R/W
b4	RTCRST	タイマRE2リセットビット (注2、3)	0 : 通常動作 1 : 各レジスタが初期化され、カウンタ制御回路が初期化される	R/W
b5	—	予約ビット	0にしてください	R/W
b6	—			
b7	RUN	タイマRE2動作開始ビット (注3、4)	0 : カウント停止 1 : カウント開始	R/W

注1. XはRTCRSTビットでクリアされないビットであることを示しています。

注2. RTCRSTビットを1にした後は、0にしてください。初期化される値については、各レジスタのRTCRSTビットによるリセット後の値を参照してください。

注3. リセット解除後と、TRECRのRTCRSTビットによるタイマREリセット後はL出力。RUNビットを0(カウント停止)にすると出力レベルを保持。

注4. カウント停止中はカウント値を保持。

TREOEビット(タイマRE2出力許可ビット)

RUNビットが0(カウント停止)のときに変更してください。

CCLRビット(カウンタクリア許可ビット)

RUNビットが0(カウント停止)のときに変更してください。

TRESECレジスタとTREMINTレジスタがコンペア一致したとき、TRESECレジスタ(8ビットカウンタ)を初期化するかどうかを選択します。

19.2.4 タイマRE2カウントソース選択レジスタ (TREC SR)

アドレス 00178h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	OS2	OS1	OS0	CS3	CS2	CS1	CS0
リセット後の値	0	0	0	0	1	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	X(注1)	X(注1)	X(注1)	X(注1)	X(注1)	X(注1)	X(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CS0	カウントソース選択ビット (注2)	コンペアー一致タイマモードでは、次の値を設定してください。 b3 b2 b1 b0 0 0 0 0 : f8 0 0 0 1 : f32 0 0 1 0 : f128 0 0 1 1 : f256 0 1 0 0 : f512 0 1 0 1 : f2048 0 1 1 0 : f4096 0 1 1 1 : f8192 上記以外 : 設定しないでください	R/W
b1	CS1			R/W
b2	CS2			R/W
b3	CS3			R/W
b4	OS0	タイマRE2出力選択ビット	b6 b5 b4 0 0 0 : f4 0 0 1 : 設定しないでください 0 1 0 : f8 0 1 1 : L固定 1 0 0 : f16 1 0 1 : L固定 1 1 0 : f32 1 1 1 : コンペアー一致ごとのトグル出力	R/W
b5	OS1			R/W
b6	OS2			R/W
b7	—	予約ビット	0にしてください	R/W

注1. XはRTC RSTビットでクリアされないビットであることを示しています。

注2. リセット解除後は1000bとなりますが、動作時は、必ず書き換える必要があります。

CS0～CS3ビット(カウントソース選択ビット)

TREC RレジスタのRUNビットが0(カウント停止)のときに変更してください。

OS0～OS2ビット(タイマRE2出力選択ビット)

RUNビットが0(カウント停止)のときに変更してください。

TREC RレジスタのTREC OEビットが1(TMRE2O出力許可)の場合に有効です。

OS2～OS0ビットに111bを書くと、内部出力レベルはLになります。

19.2.5 タイマRE2割り込みフラグレジスタ (TREIFR)

アドレス 0017Ah

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	OVIF	CMIF
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMIF	コンペアー一致割り込みフラグ	0: 割り込み要求なし	R/W
b1	OVIF	オーバフロー割り込みフラグ	1: 割り込み要求あり	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			W
b4	—			W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—	予約ビット	0にしてください	R/W

CMIFビット(コンペアー一致割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。
- DTCからの割り込み自動クリアのとき

[1になる条件]

- TRESECレジスタの内容と TREMINレジスタの内容が一致。

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

OVIFビット(オーバフロー割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。
- DTCからの割り込み自動クリアのとき

[1になる条件]

- 8ビットカウンタがオーバフロー。

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

19.2.6 タイマRE2 割り込み許可レジスタ (TREIER)

アドレス 0017Bh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	OVIE	CMIE
リセット後の値	0	0	0	0	0	0	0	0
TRECR レジスタの RTCRST ビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMIE	コンペアー致割り込み許可ビット	0: コンペアー致割り込み禁止 1: コンペアー致割り込み許可	R/W
b1	OVIE	オーバフロー割り込み許可ビット	0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

TREIER レジスタは、TRECR レジスタの RUN ビットが 0 (カウント停止) のときに書き込んでください。

19.2.7 タイマRE2 プロテクトレジスタ (TREPRC)

アドレス 0017Fh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PROTECT	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRECR レジスタの RTCRST ビットに よるリセット後の値	X (注1)	X (注1)	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—	予約ビット	0にしてください	R/W
b7	PROTECT	プロテクトビット	TREMIN レジスタへの書き込み 0: 書き込み禁止 1: 書き込み許可	R/W

注1. XはRTCSTビットでクリアされないビットであることを示しています。

PROTECT ビット (プロテクトビット)

TREMIN レジスタは、PROTECT ビットが 1 (書き込み許可) のときに変更できます。

PROTECT ビットは、プログラムで 1 を書くと、その後 1 の状態が続きます。次の手順で変更してください。

- (1) PROTECT ビットに 1 を書く
- (2) TREMIN レジスタに値を書く
- (3) PROTECT ビットに 0 (書き込み禁止) を書く

19.3 コンペアー一致タイマモードの動作説明

19.3.1 動作例

19.3.2 関連レジスタの設定例

図19.2にコンペアー一致タイマモードでタイマRE2を使用する場合の初期設定手順を、図19.3にコンペアー一致タイマモードの動作例を示します。また、レジスタの再設定を行う場合も、図19.2に従ってください。

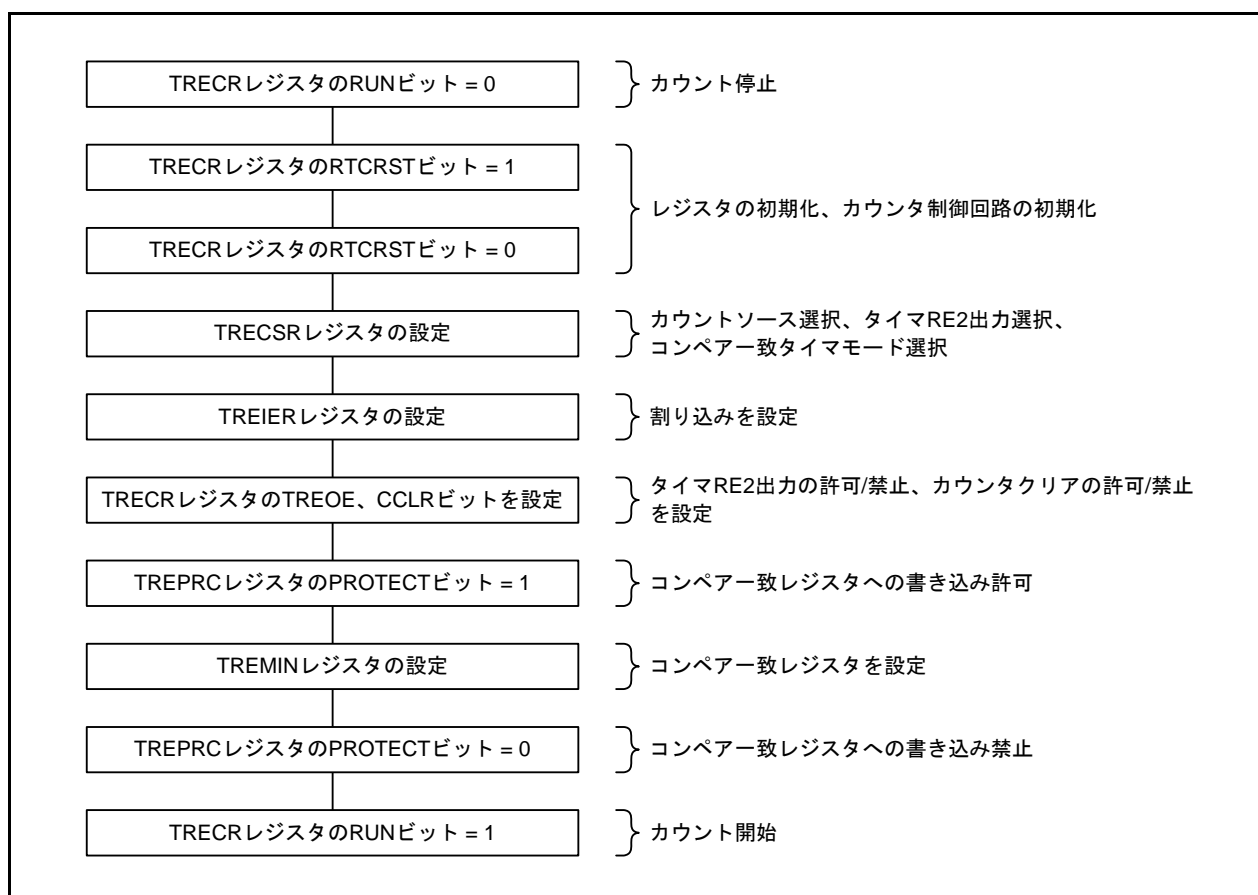


図19.2 コンペアー一致タイマモードでタイマRE2を使用する場合の初期設定手順

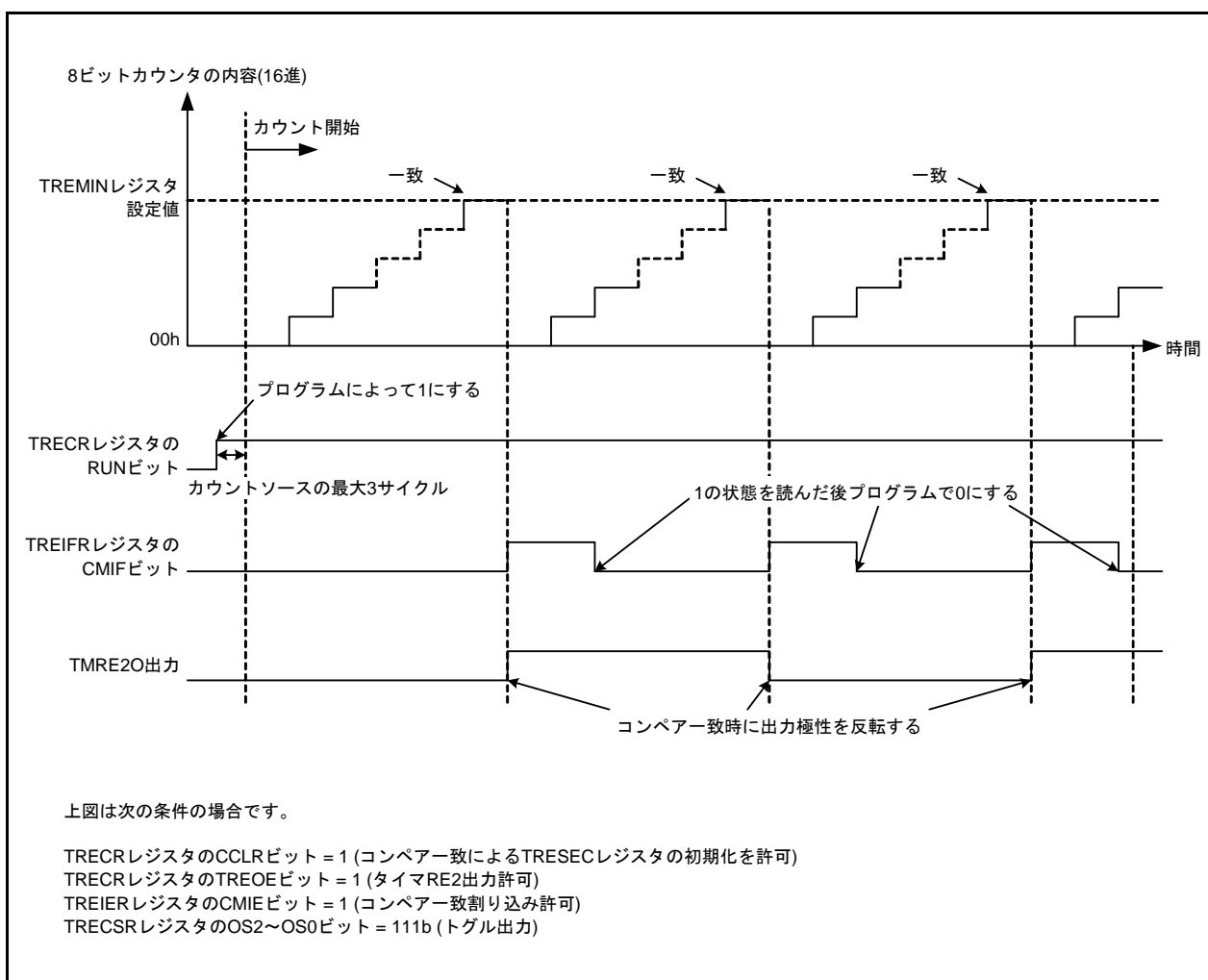


図 19.3 コンペアー一致タイマモードの動作例

19.4 割り込み要因

タイマRE2の割り込み要因を次に示します。

- コンペア一致割り込み
- オーバフロー割り込み

表19.4にタイマRE2の割り込み要因を示します。

割り込みを使用する場合、TREC RレジスタのRUNビットが0(カウント停止)の状態、必要な設定をした後、RUNビットを1(カウント開始)にしてください。

コンペア一致タイマがオーバフローしたとき、TREIFRレジスタのOVIFビットが1(割り込み要求あり)になります。TRIERレジスタのOVIEビットが1(オーバフロー割り込み許可)のとき、割り込み要求を発生します。

コンペア一致タイマがコンペア一致したとき、TREIFRレジスタのCMIFビットが1(割り込み要求あり)になります。TRIERレジスタのCMIEビットが1(コンペア一致割り込み許可)のとき、割り込み要求を発生します。

表19.4 タイマRE2の割り込み要因

要因	動作モード	要因名	割り込み要因	割り込み許可ビット
オーバフロー	コンペア一致タイマモード	オーバフロー割り込み	コンペア一致タイマがオーバフローしたとき	OVIE
コンペア一致	コンペア一致タイマモード	コンペア一致割り込み	コンペア一致タイマがコンペア一致したとき	CMIE

19.5 タイマRE2使用上の注意事項

- TRECRレジスタのRUNビットに0(カウント停止)を書き込むと、カウントソースの3サイクル後にカウントを停止します。
- モジュールスタンバイに移行する場合、TRECRレジスタのTREOEビットを0(TMRE2O出力禁止)に、RUNビットを0(カウント停止)にした後、カウントソースの3サイクル以上経過してから、MSTCR3レジスタのMSTTREビットを1(スタンバイ)にしてください。
- TRECRレジスタのTREOEビットが0(TMRE2O出力禁止)の状態、TRECSRレジスタのOS0～OS2ビットを切り替えてください。
- TREIFR、TREIERレジスタの切り替えは次のとおりにしてください。
 - TREIFRレジスタのCMIFビットが0(割り込み要求なし)の状態、TREIERレジスタのCMIEビットを切り替えてください。
 - TREIFRレジスタのOVIFビットが0(割り込み要求なし)の状態、TREIERレジスタのOVIEビットを切り替えてください。
- OVIFビットが0(割り込み要求なし)およびCMIFビットが0(割り込み要求なし)の状態、TRECRレジスタのRTCRSTビットを設定してください。

20. タイマRF

タイマRFは、16ビットタイマです。

20.1 概要

タイマRFの動作クロックはf1またはfHOCO-Fです。表20.1にタイマRFの動作クロックを示します。

表20.1 タイマRFの動作クロック

条件	タイマRFの動作クロック
カウントソースがf1、f8、f32 (TRFCR0レジスタのTCK1、TCK0ビットが00b、01b、10b)	f1
カウントソースがfHOCO-F (TRFCR0レジスタのTCK1、TCK0ビットが11b)	fHOCO-F

図20.1にタイマRFのブロック図を、表20.2にタイマRFの端子構成を、図20.2にCMP波形生成部ブロック図を、図20.3にCMP波形出力部ブロック図を示します。

タイマRFは2種類のモードを持ちます。

- インプットキャプチャモード 外部信号をトリガとしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペアモード カウンタとレジスタの値の一致を検出する機能（検出時に端子出力変更可能）

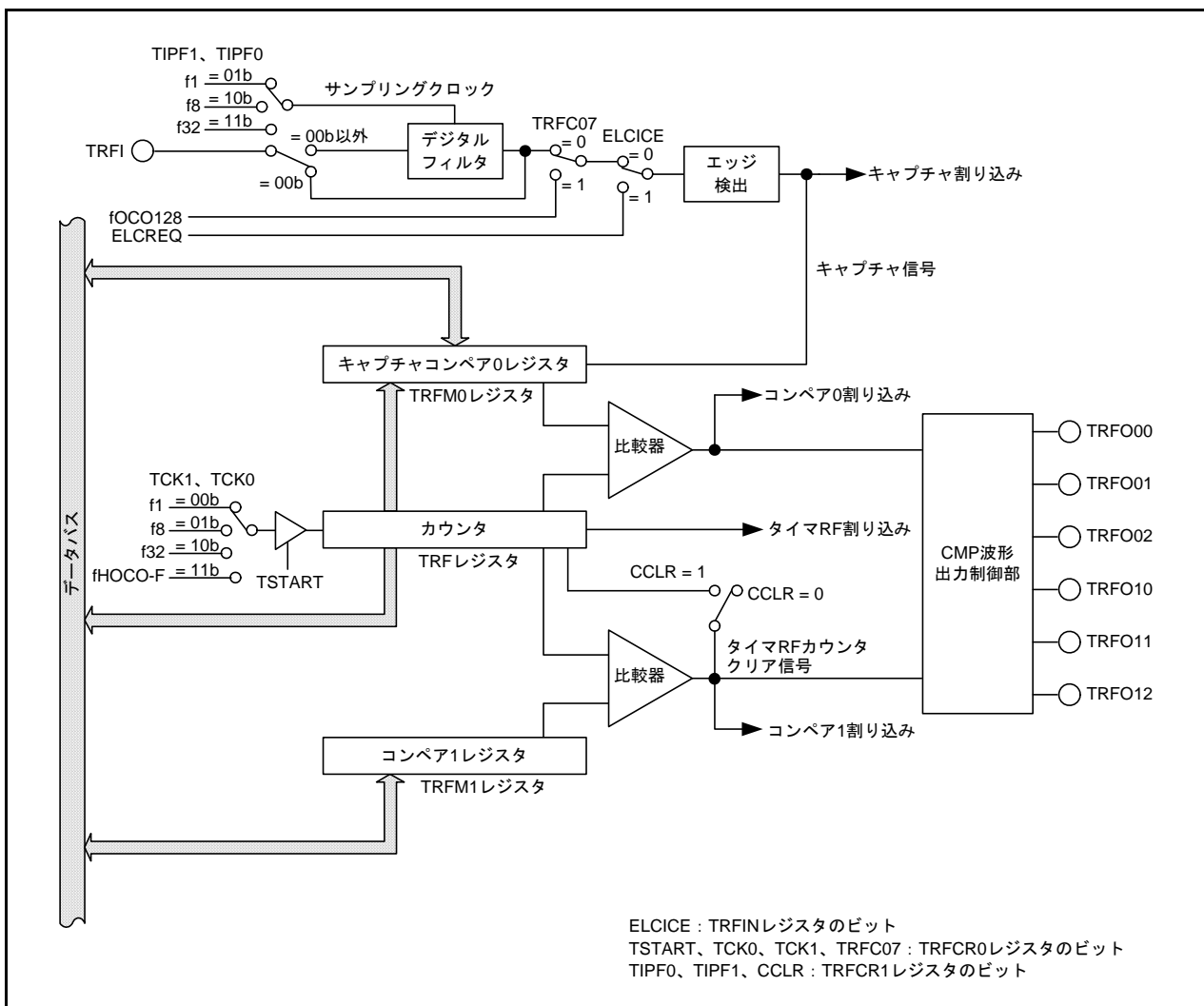


図20.1 タイマRFのブロック図

表20.2 タイマRFの端子構成

端子名	入出力	機能
TRFI	入力	測定パルス入力(インプットキャプチャモード)
TRFO00	出力	アウトプットコンペア出力 (アウトプットコンペアモード)
TRFO01	出力	
TRFO02	出力	
TRFO10	出力	
TRFO11	出力	
TRFO12	出力	

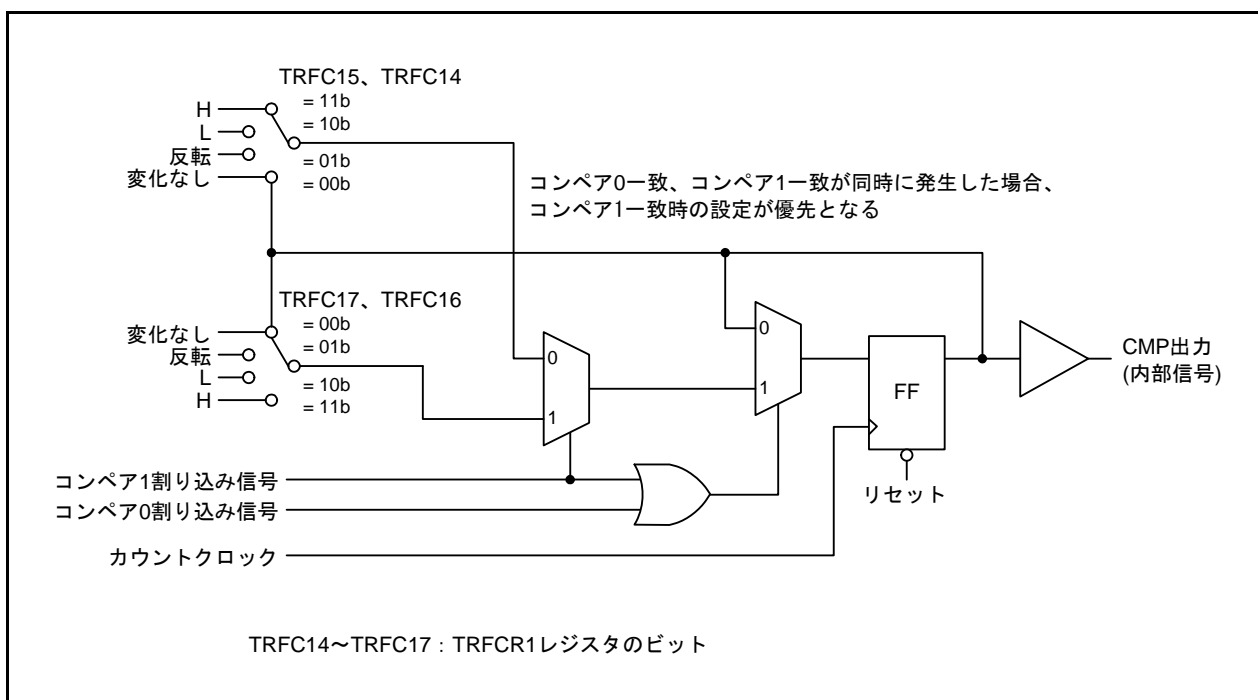


図20.2 CMP波形生成部ブロック図

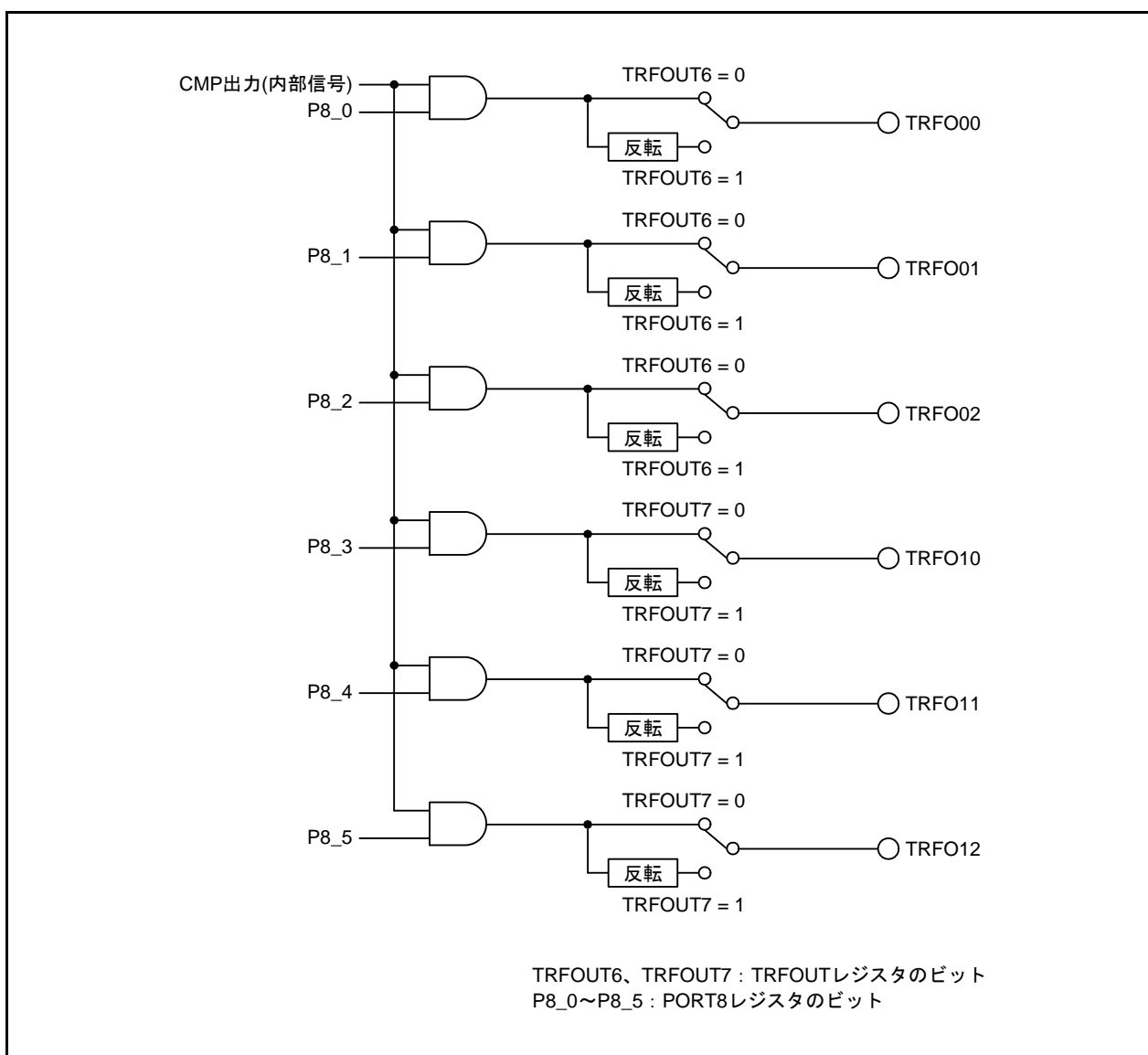


図20.3 CMP波形出力部ブロック図

20.2 レジスタの説明

表20.3にタイマRFのレジスタ構成を示します。

表20.3 タイマRFのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRFレジスタ	TRF	0000h	001B0h	16
タイマRF出力制御レジスタ	TRFOUT	00h	001B2h	8
タイマRF入力制御レジスタ	TRFIN	00h	001B3h	8
タイマRFステータスレジスタ	TRFSR	00h	001B4h	8
タイマRF割り込み許可レジスタ	TRFIER	00h	001B6h	8
タイマRF制御レジスタ0	TRFCR0	00h	001BAh	8
タイマRF制御レジスタ1	TRFCR1	00h	001BBh	8
タイマRFキャプチャコンペア0レジスタ	TRFM0	0000h	001BCh	16
タイマRFコンペア1レジスタ	TRFM1	FFFFh	001BEh	16

20.2.1 タイマRFレジスタ (TRF)

アドレス	001B0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15 ~ b8							
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15~b0	カウントソースをアップカウント。 TRFCR0レジスタのTSTARTビットが0(カウント停止)のときに読み出すと、0000hが読み出される。 TSTARTビットが1(カウント開始)のときに読み出すと、カウント値が読み出される。	R

TRFレジスタは、16ビット単位でアクセスしてください。

20.2.2 タイマRF出力制御レジスタ (TRFOUT)

アドレス	001B2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRFOUT7	TRFOUT6	TRFOUT5	TRFOUT4	TRFOUT3	TRFOUT2	TRFOUT1	TRFOUT0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRFOUT0	TRFO00出力許可ビット	0: 出力禁止 1: 出力許可	R/W
b1	TRFOUT1	TRFO01出力許可ビット		R/W
b2	TRFOUT2	TRFO02出力許可ビット		R/W
b3	TRFOUT3	TRFO10出力許可ビット		R/W
b4	TRFOUT4	TRFO11出力許可ビット		R/W
b5	TRFOUT5	TRFO12出力許可ビット		R/W
b6	TRFOUT6	TRFO00~TRFO02出力反転ビット	0: 出力を反転しない 1: 出力を反転する	R/W
b7	TRFOUT7	TRFO10~TRFO12出力反転ビット		R/W

TRFOUTレジスタは、TRFCR0レジスタのTSTARTビットが0(カウント停止)のとき、設定してください。TSTARTビットが1(カウント開始)のときにTRFOUTレジスタの変更を行った場合、不正なコンペア出力が発生することがあります。

TRFCR1レジスタのTMODビットが0(インプットキャプチャモード)のとき、TRFOUTレジスタを00hにしてください。

20.2.3 タイマRF入力制御レジスタ (TRFIN)

アドレス	001B3h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	ELCICE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELCICE	キャプチャ入力要因選択ビット (注1)	0: TRFI端子入力またはfOCO128 1: イベントリンクコントローラ(ELC)からのイベント入力(ELCREQ)	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. ELCICEビットの変更は、TRFCR0レジスタのTSTARTビットが0(カウント停止)のとき、行ってください。

20.2.4 タイマRFステータスレジスタ (TRFSR)

アドレス	001B4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OVF	ICF	CMP1F	CMP0F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMP0F	コンペア0一致フラグ	[0になる条件]	R/W
b1	CMP1F	コンペア1一致フラグ	• 読んだ後、0を書く(注1)	R/W
b2	ICF	インプットキャプチャフラグ	[1になる条件]	R/W
b3	OVF	オーバフローフラグ	「表20.4 各フラグが1になる条件」参照	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. 書き込み結果は次のようになります。

- 読んだ結果が1の場合、同じビットに0を書くと0になります。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 1を書いた場合、変化しません。

表20.4 各フラグが1になる条件

フラグ	条件	有効モード
CMP0F	TRFレジスタとTRFM0レジスタの値が一致したとき	アウトプットコンペアモード
CMP1F	TRFレジスタとTRFM1レジスタの値が一致したとき	アウトプットコンペアモード
ICF	TRFI端子の入カエッジを検出したとき	インプットキャプチャモード
OVF	TRFレジスタがオーバフローしたとき	全モード

20.2.5 タイマRF割り込み許可レジスタ (TRFIER)

アドレス	001B6h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OVIE	ICIE	CMP1IE	CMP0IE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMP0IE	コンペア0一致割り込み許可ビット	0: CMP0Fビットによる割り込みを禁止 1: CMP0Fビットによる割り込みを許可	R/W
b1	CMP1IE	コンペア1一致割り込み許可ビット	0: CMP1Fビットによる割り込みを禁止 1: CMP1Fビットによる割り込みを許可	R/W
b2	ICIE	インプットキャプチャ割り込み許可ビット	0: ICFビットによる割り込みを禁止 1: ICFビットによる割り込みを許可	R/W
b3	OVIE	オーバフロー割り込み許可ビット	0: OVFビットによる割り込みを禁止 1: OVFビットによる割り込みを許可	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

20.2.6 タイマRF制御レジスタ0 (TRFCR0)

アドレス	001BAh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRFC07	TRFC06	TRFC05	TRFC04	TRFC03	TCK1	TCK0	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRFカウント開始ビット (注1)	0 : カウント停止 1 : カウント開始	R/W
b1	TCK0	タイマRFカウントソース選択 ビット(注2、3)	b2 b1 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fHOCO-F	R/W
b2	TCK1			R/W
b3	TRFC03	キャプチャ極性選択ビット (注2、4)	b4 b3 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 両エッジ 1 1 : 設定しないでください	R/W
b4	TRFC04			R/W
b5	TRFC05	カウント停止時のCMP出力選択 ビット0(注5)	0 : TRFC06ビット無効 カウント停止前の出力レベルを保持 1 : TRFC06ビット有効	R/W
b6	TRFC06	カウント停止時のCMP出力選択 ビット1(注5)	0 : カウント停止時L出力 1 : カウント停止時H出力	R/W
b7	TRFC07	キャプチャ要因切り替えビット (注2)	0 : TRFI端子 1 : fOCO128	R/W

- 注1. タイマRFカウント動作後、TSTARTビットに0(カウント停止)を書くと、TRFレジスタが初期化(0000h)されます。
- 注2. TCK0、TCK1、TRFC03、TRFC04、およびTRFC07ビットの変更は、TSTARTビットが0(カウント停止)のとき、行ってください。
また、変更の際TSTARTビットは同時に1(カウント開始)にしないでください。
- 注3. カウントソース切り替え手順については「20.4.4 カウントソース切り替え」を参照してください。
- 注4. TRFC03、TRFC04ビットは、アウトプットコンペアモードでは設定が無効になります。
- 注5. インพุットキャプチャモード時、TRFC05ビットを0にしてください。

20.2.7 タイマRF制御レジスタ1 (TRFCR1)

アドレス 001BBh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRFC17	TRFC16	TRFC15	TRFC14	TMOD	CCLR	TIPF1	TIPF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TIPF0	TRFIフィルタ選択ビット(注1)	b1 b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b1	TIPF1			R/W
b2	CCLR	TRFレジスタカウント動作選択ビット(注2、3)	0 : フリーランニング動作 1 : コンペア1一致時にTRFレジスタを0000hにする	R/W
b3	TMOD	タイマRF動作モード選択ビット(注3)	0 : インพุットキャプチャモード(注2、4) 1 : アウトプットコンペアモード	R/W
b4	TRFC14	コンペア0出力選択ビット(注2、5、6)	コンペア0一致時のCMP出力 b5 b4 0 0 : 変化しない 0 1 : 反転 1 0 : L 1 1 : H	R/W
b5	TRFC15			R/W
b6	TRFC16	コンペア1出力選択ビット(注2、5、6)	コンペア1一致時のCMP出力 b7 b6 0 0 : 変化しない 0 1 : 反転 1 0 : L 1 1 : H	R/W
b7	TRFC17			R/W

注1. フィルタありの場合、TRFI端子から同じ値を3回連続してサンプリングした時点で入力が増幅されます。

注2. TMODビットが0(インพุットキャプチャモード)のとき、CCLR、TRFC14～TRFC17ビットは0にしてください。

注3. TIPF0、TIPF1、CCLR、TMODビットは、TRFCR0レジスタのTSTARTビットが0(カウント停止)のとき、変更してください。

注4. TMODビットが0(インพุットキャプチャモード)のとき、TRFIERレジスタのCMP1IEビットを0、TRFSRレジスタのCMP1Fビットを0(割り込み要求なし)にしてください。

注5. コンペア0とコンペア1が同時に一致した場合はコンペア1出力選択ビットの設定が優先されます。

注6. TRFC14～TRFC17ビットの設定はTRFOUTレジスタ設定前に実施してください。

20.2.8 タイマRFキャプチャコンペア0レジスタ (TRFM0)

アドレス 001BCh								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0 (注1)

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0 (注1)

ビット	モード	機能	設定範囲	R/W
b15～b0	インプット キャプチャモード	測定パルスの有効エッジ入力時、TRFレジスタの値 を格納	—	R
	アウトプット コンペアモード(注2)	TRFレジスタ(カウンタ)との比較値を格納	0000h～FFFFh	R/W

注1. TRFCR1レジスタのTMODビットを1(アウトプットコンペアモード)にすると、FFFFhになります。

注2. TRFM0レジスタに値を設定する場合は、TRFCR1レジスタのTMODビットを1(アウトプットコンペアモード)にしてください。TMODビットが0(インプットキャプチャモード)のとき、値を書けません。

TRFM0レジスタは、16ビット単位でアクセスしてください。

20.2.9 タイマRFコンペア1レジスタ (TRFM1)

アドレス 001BEh								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b15～b0	アウトプット コンペアモード(注1)	TRFレジスタ(カウンタ)との比較値を格納	0000h～FFFFh	R/W

注1. TRFM1レジスタに値を設定する場合は、TRFCR1レジスタのTMODビットを1(アウトプットコンペアモード)にしてください。TMODビットが0(インプットキャプチャモード)のとき、値を書けません。

TRFM1レジスタは、16ビット単位でアクセスしてください。

20.3 機能説明

20.3.1 複数モードに関わる共通事項

20.3.1.1 カウントソース

タイマRFのカウントソースは、タイマ動作の動作クロックとなります。
表20.5にカウントソースの選択を示します。

表20.5 カウントソースの選択

カウントソース	選択方法
f1、f8、f32	TCK1、TCK0ビットが00b : f1 TCK1、TCK0ビットが01b : f8 TCK1、TCK0ビットが10b : f32
fHOCO-F	TCK1、TCK0ビットが11b : fHOCO-F

TCK0、TCK01 : TRFCR0レジスタのビット

20.3.2 インプットキャプチャモード

インプットキャプチャモードは、TRFI端子へのエッジ入力をトリガとしてタイマの値をラッチし、外部信号の幅や周期を測定するモードです。また、TRFI入力はデジタルフィルタを持ちますので、ノイズ等による誤動作を防止できます。表20.6にインプットキャプチャモードの仕様を、図20.4にインプットキャプチャモードの動作例を示します。

表20.6 インプットキャプチャモードの仕様

項目	仕様
カウントソース	f1、f8、f32
カウント動作	<ul style="list-style-type: none"> • アップカウント • 測定パルスの有効エッジ入力で、TRFレジスタの値をTRFM0レジスタに転送
カウンタ周期	$1/fk \times 65536$ fk : カウントソースの周波数
カウント開始条件	TRFCR0レジスタのTSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRFCR0レジスタのTSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> • TRFI入力の有効エッジ[キャプチャ割り込み] • タイマRFのオーバフロー時[タイマRF割り込み]
TRFI端子機能	測定パルス入力
TRFO00～TRFO02、TRFO11、TRFO12端子機能	プログラマブル入出力ポート
カウンタ値初期化タイミング	次のとき、TRFレジスタの値は0000hになります。 <ul style="list-style-type: none"> • TRFCR0レジスタのTSTARTビットへの0(カウント停止)書き込み時
タイマの読み出し	<ul style="list-style-type: none"> • TRFレジスタを読み出すと、カウント値が読み出されます。 • TRFM0レジスタを読み出すと、測定パルス有効エッジ入力時のカウント値が読み出されます。
タイマの書き込み	TRF、TRFM0レジスタへの書き込みはできません。
選択機能	<ul style="list-style-type: none"> • インプットキャプチャ入力の選択 • TRFI極性選択 測定パルスの有効エッジを選択 (TRFCR0レジスタのTRFC03、TRFC04ビット) • デジタルフィルタ機能 TRFI入力をサンプリングし、3回一致したらレベルが確定したとみなします。 デジタルフィルタのサンプリングクロックを選択できます。 (TRFCR1レジスタのTIPF0、TIPF1ビット) • イベントリンクコントローラ(ELC)からのイベント入力によるインプットキャプチャ動作

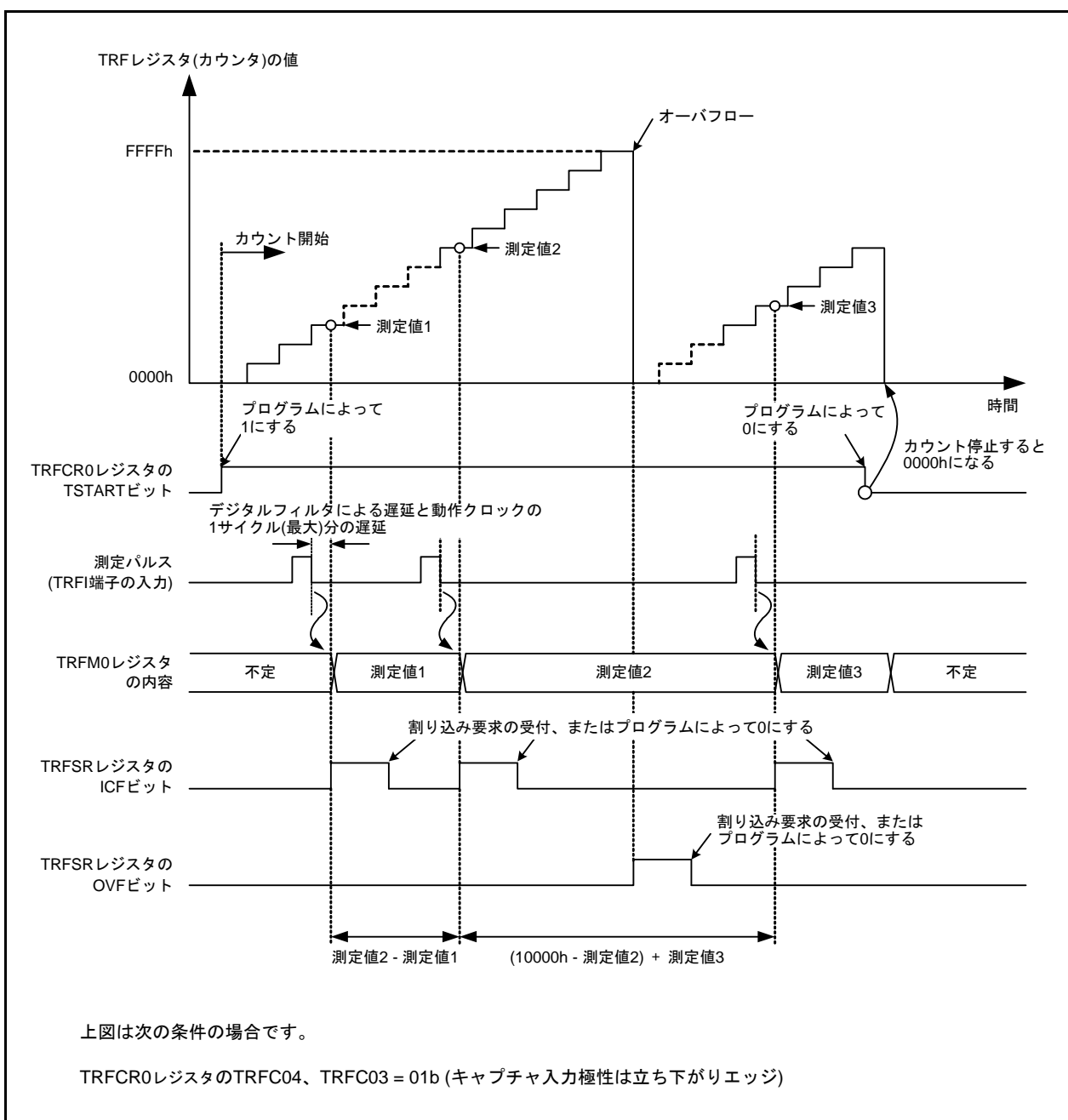


図20.4 インputキャプチャモードの動作例

20.3.2.1 デジタルフィルタ

TRFI入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRFCR1レジスタで選択してください。

図20.5にデジタルフィルタのブロック図を示します。

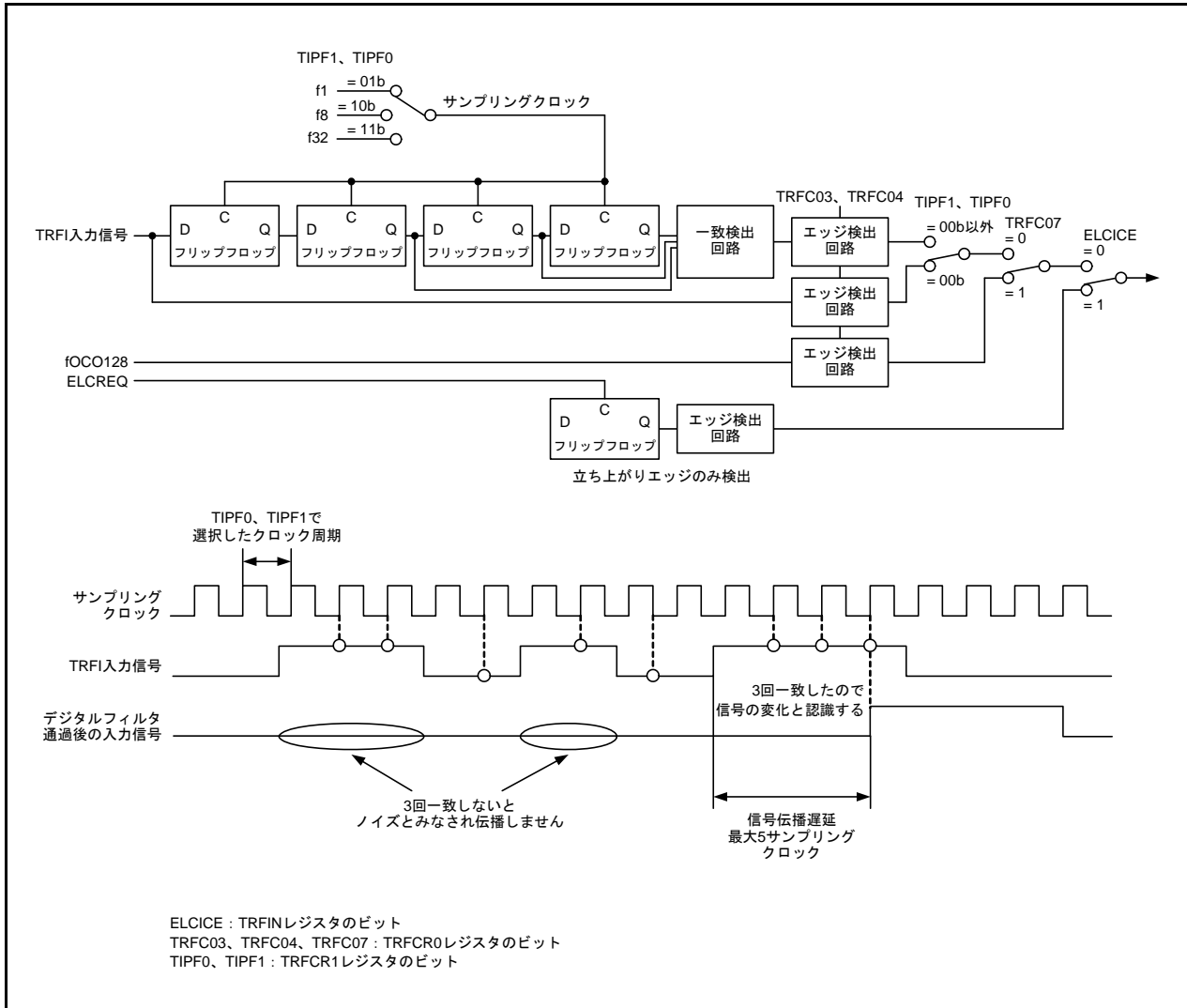


図20.5 デジタルフィルタのブロック図

20.3.2.2 インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TRFCR0レジスタの設定によりキャプチャ要因信号の選択および立ち上がりエッジ/立ち下がりエッジ/両エッジの選択ができます。

図20.6にインพุットキャプチャ入力信号タイミング(デジタルフィルタ未使用時)を示します。インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は動作クロックの1.5周期以上、両エッジの場合は2.5周期分以上必要です。

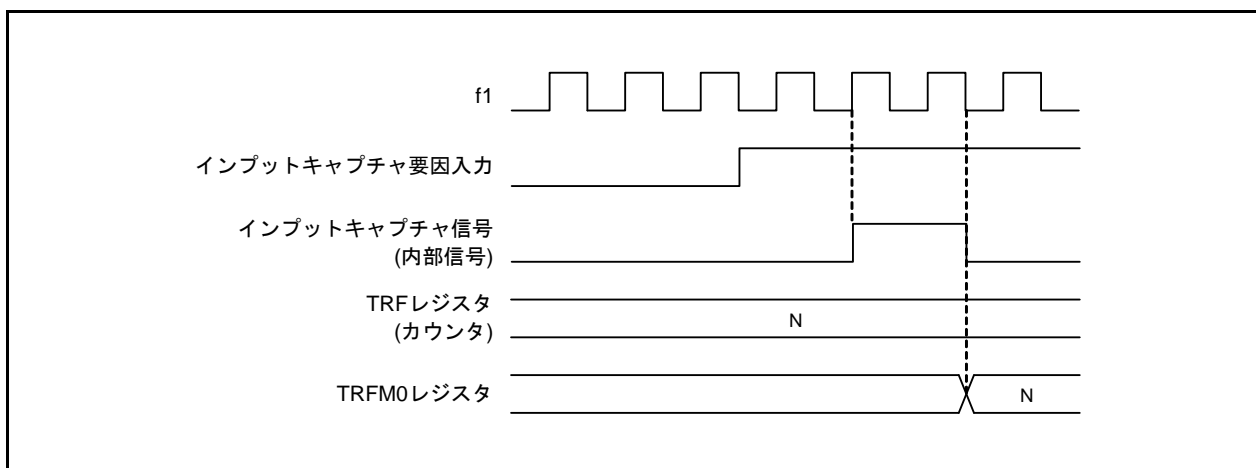


図20.6 インพุットキャプチャ入力信号タイミング(デジタルフィルタ未使用時)

20.3.2.3 外部端子の設定

インพุットキャプチャモードを使用する場合、タイマRFの関連レジスタを設定する前に、TIMSRレジスタのTRFISEL0ビットを1(P8_3に割り当てる)にしてください。

上記設定によりTRFI端子が外部端子に設定されます。また、動作中はTIMSRレジスタの設定値を変更しないでください。

20.3.3 アウトプットコンペアモード

アウトプットコンペアモードはTRFレジスタとTRFM0レジスタの値が一致したとき(コンペア0一致)、またはTRFレジスタとTRFM1レジスタの値が一致したとき(コンペア1一致)に、アウトプットコンペア出力端子から任意のレベルを出力するモードです。表20.7にアウトプットコンペアモードの仕様を、表20.8にアウトプットコンペアモードの出力(TRFO00端子の例)を、図20.7にアウトプットコンペアモードの動作例を、図20.8にアウトプットコンペアモードの動作例(カウント中のL、H固定出力)を示します。

表20.7 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f1、f8、f32
カウント動作	アップカウント
PWM波形	PWM周期： $1/fk \times (n + 1)$ Lレベル幅： $1/fk \times (m + 1)$ Hレベルの幅： $1/fk \times (n - m)$ fk：カウントソースの周波数 m：TRFM0レジスタ設定値 n：TRFM1レジスタ設定値 
カウント開始条件	TRFCR0レジスタのTSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRFCR0レジスタのTSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア0一致時[コンペア0割り込み] コンペア1一致時[コンペア1割り込み] タイマRFのオーバーフロー時[タイマRF割り込み]
TRFO00～TRFO12端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力
カウンタ値初期化タイミング	次のとき、TRFレジスタの値は0000hになります <ul style="list-style-type: none"> TRFCR0レジスタのTSTARTビットへの0(カウント停止)書き込み時 TRFCR1レジスタのCCLRビットが1(コンペア1一致時にTRFレジスタを0000hにする)のときのコンペア1一致
タイマの読み出し	<ul style="list-style-type: none"> TRFレジスタを読み出すと、カウント値が読み出されます TRFM0、TRFM1レジスタを読み出すと、コンペアレジスタの値が読み出されません
タイマの書き込み	TRFレジスタへの書き込みはできません
選択機能	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRFO00～TRFO02、TRFO10～TRFO12端子のいずれか1本または複数本(TRFOUTレジスタのTRFOUT0～TRFOUT5ビット) コンペア一致時の出力レベル H、L、反転、変化しないを選択(TRFCR1レジスタのTRFC14～TRFC17ビット) 出力レベル反転 出力レベルを反転する、反転しないを選択(TRFOUTレジスタのTRFOUT6、TRFOUT7ビット) カウント停止時の出力レベル H、L、変化しないを選択(TRFCR0レジスタのTRFC05、TRFC06ビット) TRFレジスタを0000hにするタイミング オーバーフロー、またはTRFM1レジスタのコンペア1一致(TRFCR1レジスタのCCLRビットで設定)

表20.8 アウトプットコンペアモードの出力(TRFO00端子の例)

TRFO00出力		ビットの設定値					
		TRFCR0レジスタ			TRFOUTレジスタ		PORT8レジスタ
		TRFC06	TRFC05	TSTART	TRFOUT6	TRFOUT0	P8_0
カウン ト 中	CMP出力(注1)	×	×	1	0	1	1
	CMP出力の反転出力 (注1)	×	×	1	1	1	1
	L出力	×	×	1	0	1	0
	H出力	×	×	1	1	1	0
カ ウ ン ト 停 止	カウント停止前の 出力レベルを保持	×	0	0	×	1	1
	L出力	0	1	0	×	1	1
	H出力	1	1	0	×	1	1

×：0または1

注1. CMP出力とは、TRFC1レジスタのTRFC14～TRFC17ビットで設定した出力レベル

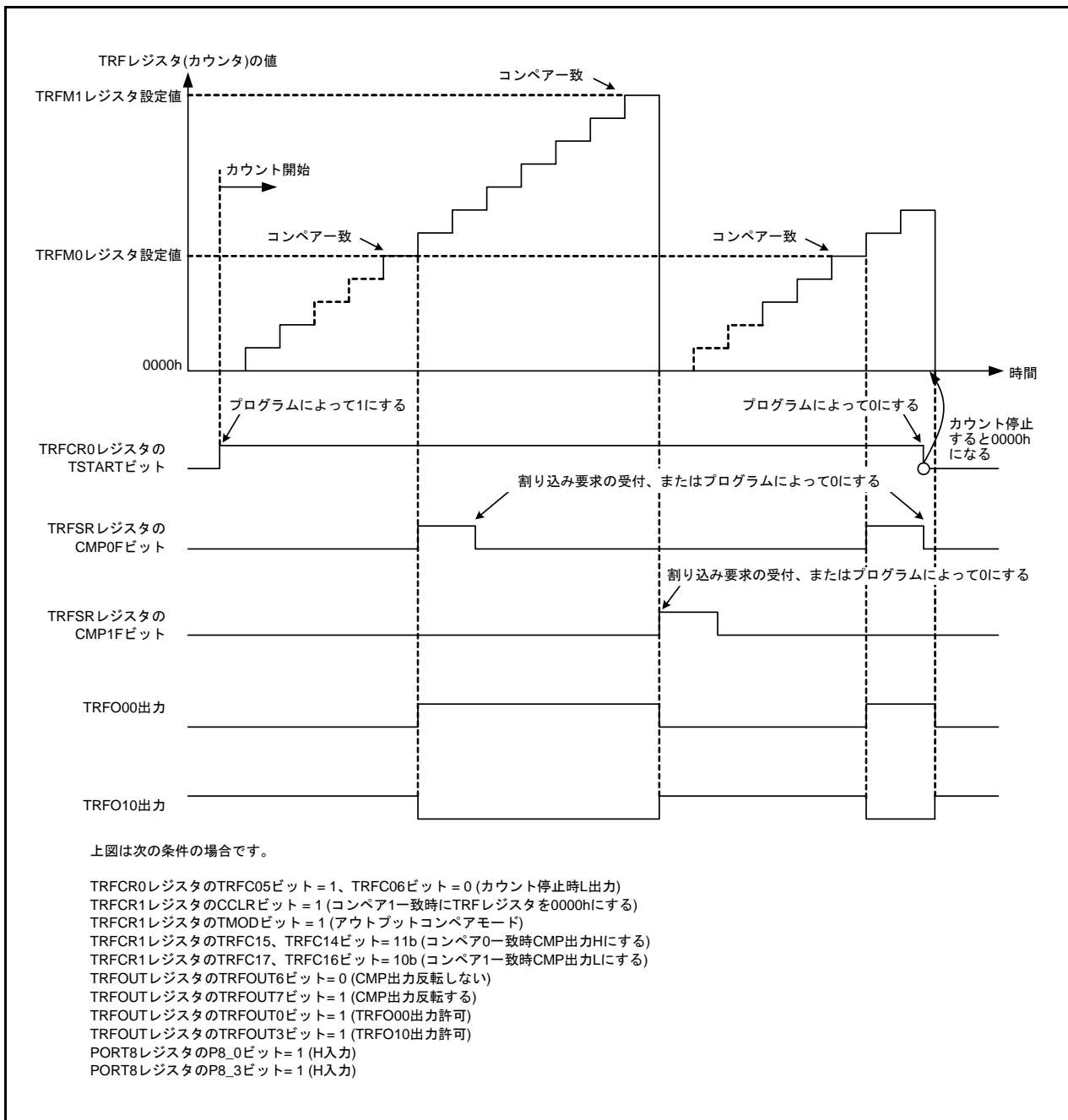


図20.7 アウトプットコンペアーモードの動作例

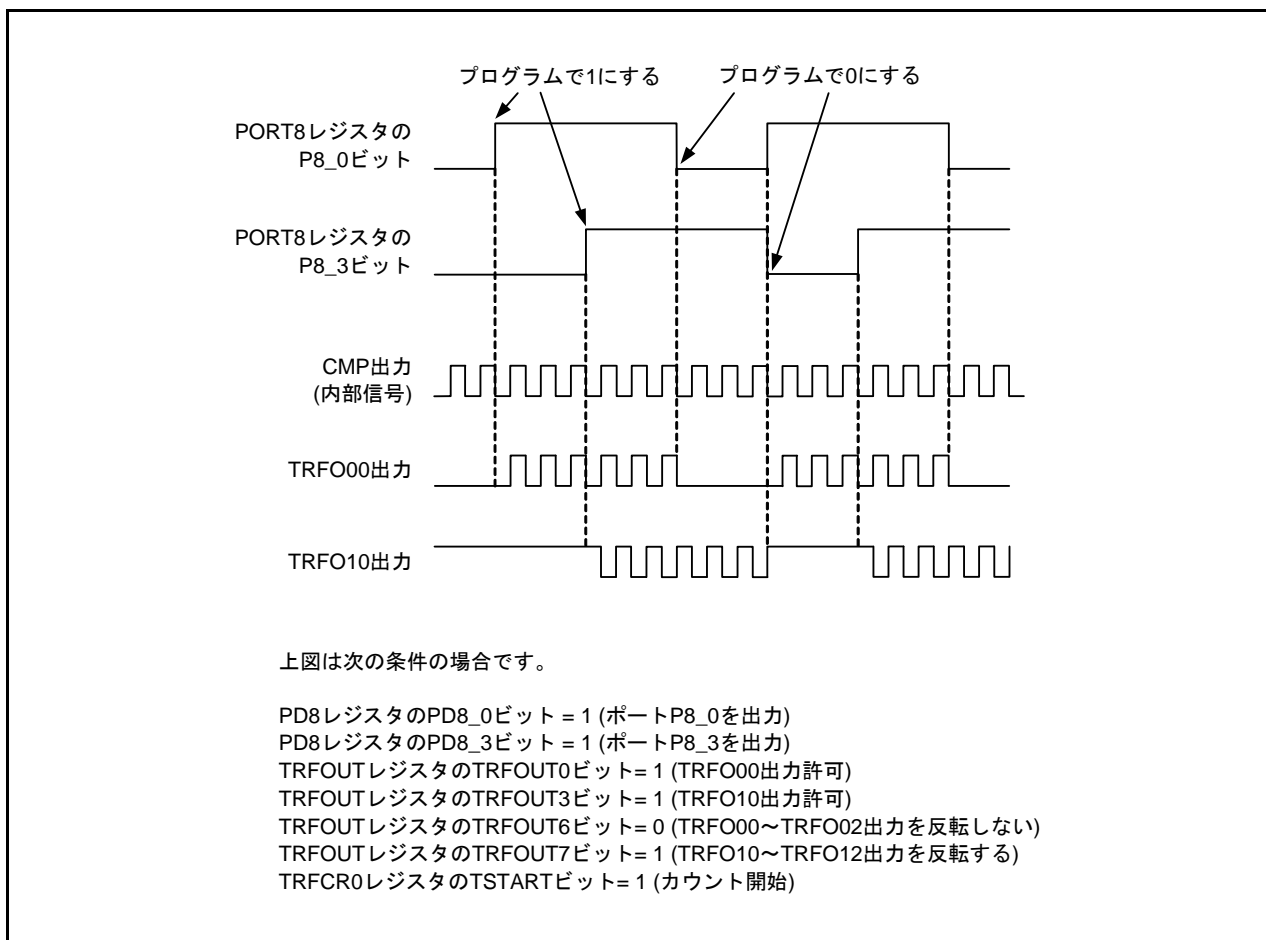


図20.8 アウトプットコンペアモードの動作例(カウント中のL、H固定出力)

アウトプットコンペアモードでは、カウント中TRFO00～TRFO02とTRFO10～TRFO12のどの端子からも、同じPWM波形を出力します。ただし、TRFO00～TRFO02の3本単位、TRFO10～TRFO12の3本単位で出力波形を反転することができます。また、1本ずつ任意の期間LまたはHに出力を固定できます。

カウントを停止する場合には、カウント停止前の出力レベルを保持するか、LまたはHに出力を固定するか選択できます。

TRFMiレジスタ(i=0, 1)を読み出すとコンペアiレジスタの値が読めます。TRFMiレジスタへ書くと、次のタイミングでコンペアiレジスタに値が格納されます。

- TRFCR0レジスタのTSTARTビットが0(カウント停止)かつカウントソースとしてfHOCO-Fを選択した場合、TRFMiレジスタの書き込み後のfHOCO-Fの1クロック後
- TSTARTビットが0(カウント停止)かつfHOCO-F以外を選択したとき、TRFMiレジスタへ書くと同時
- TSTARTビットが1(カウント開始)かつTRFCR1レジスタのCCLRビットが0(フリーランニング動作)の場合、TRFレジスタ(カウンタ)がオーバーフローしたとき
- TSTARTビットが1かつCCLRビットが1(コンペア1一致時にTRFレジスタを0000hにする)の場合、コンペア1レジスタとTRFレジスタ(カウンタ)が一致したとき

20.3.4 タイマRF割り込み

タイマRFは、4つの要因からタイマRF割り込み要求を発生します。タイマRF割り込みは、1つのTRFICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表20.9にタイマRF割り込み関連レジスタを、図20.9にタイマRF割り込みのブロック図を示します。

表20.9 タイマRF割り込み関連レジスタ

タイマRF ステータスレジスタ	タイマRF 割り込み許可レジスタ	タイマRF 割り込み制御レジスタ
TRFSR	TRFIER	TRFIC

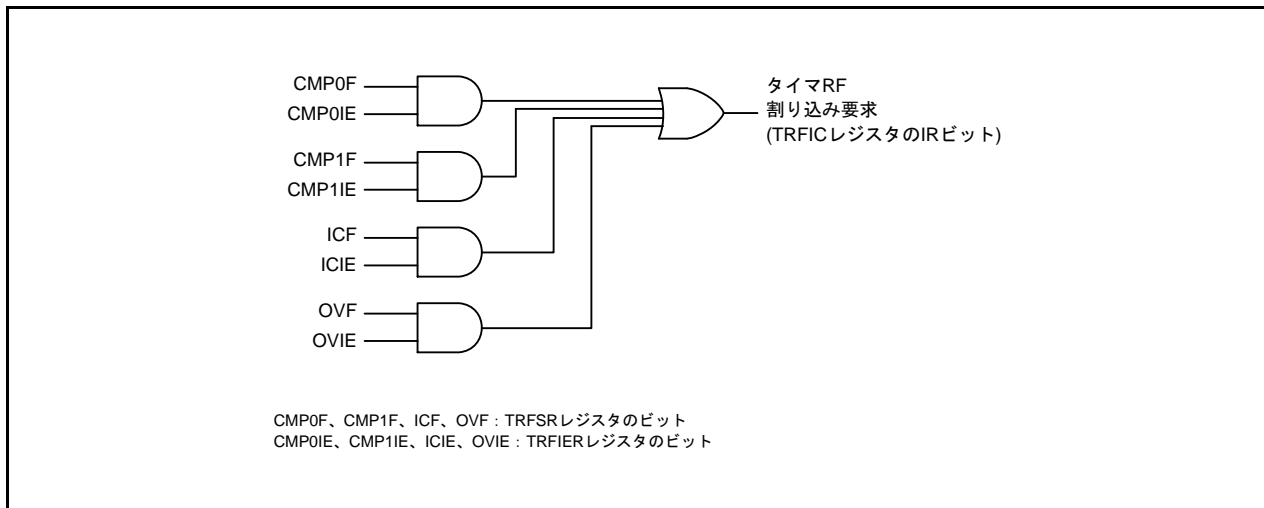


図20.9 タイマRF割り込みのブロック図

タイマRF割り込みが、FLGレジスタのIフラグ、TRFICレジスタのIRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRF割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRFSRレジスタのビットが1で、それに対応するTRFIERレジスタのビットが1(割り込み許可)の場合、IRビットが1(割り込み要求あり)になります。
- TRFSRレジスタのビットと、それに対応するTRFIERレジスタのビットのどちらか、または両方が0になるとIRビットが0(割り込み要求なし)になります。すなわち、IRビットは、一旦1になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが1になった後、別の要求要因が成立した場合、IRビットは1のまま変化しません。
- TRFIERレジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRFSRレジスタで判断してください。

TRFSRレジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。0にする方法は「20.2.4 タイマRFステータスレジスタ (TRFSR)」を参照してください。

TRFIERレジスタは「20.2.5 タイマRF割り込み許可レジスタ (TRFIER)」を参照してください。

TRFICレジスタは「11.4 割り込み制御」、割り込みベクタは「11.3.2 可変ベクタテーブル」を参照してください。

20.4 タイマRF使用上の注意事項

20.4.1 レジスタアクセス

- TRFレジスタ、TRFM0レジスタおよびTRFM1レジスタは、16ビット単位でアクセスしてください。

<タイマRFを読み出すプログラム例>

```
MOV.W    0090H,R0    ;タイマRFの読み出し
```

20.4.2 カウント停止時のインプットキャプチャ動作

- インプットキャプチャモードでは、インプットキャプチャ信号 (TRFCR0 レジスタの TRFC03、TRFC04ビットで選択したエッジ)がTRFI端子に入力されると、TRFCR0レジスタのTSTARTビットが0(カウント停止)のときも、TRFSRレジスタのICFビットが1になります。

20.4.3 モード切り替え

- 動作中にモードを切り替える際は、TSTARTビットを0(カウント停止)にした後、切り替えてください。
- モード切り替え後、動作開始前に割り込みレジスタのクリアを行ってください。
- 「11.9.4 割り込み要因の変更」を参照してください。

20.4.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

[変更手順]

- (1) TRFCR0レジスタのTSTARTビットを0(カウント停止)にする
- (2) TRFCR0レジスタのTCK0、TCK1ビットを変更する

- カウントソースをfHOCO-Fから他のクロックに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの2サイクル以上待つからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRFCR0レジスタのTSTARTビットを0(カウント停止)にする
- (2) TRFCR0レジスタのTCK0、TCK1ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

fHOCO-Fを選択した場合、以下の注意があります。

- 注1. fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0(高速オンチップオシレータ停止)にしないでください。
- 注2. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。
- 注3. fHOCO-Fをカウントソースに選択し、タイマ動作中にコンペアレジスタへ連続して書き込みを実施する場合には、fHOCO-Fの1周期分以上の間隔をあけてください。

20.4.5 コンペア出力の切り替え

- コンペア一致時の出力制御を切り替える際は、以下の手順で切り替えてください。

[カウント停止中の設定手順]

- (1) TRFCR1レジスタのTMODビットを1(アウトプットコンペアモード)にする
- (2) TRFCR1レジスタのTRFC14～TRFC17ビットを設定する
- (3) TRFOUTレジスタを設定する
- (4) TRFCR0レジスタのTSTARTビットを1(カウント開始)にする

[カウント動作中の設定手順]

TRFC14～TRFC17ビットをカウント動作中に変更する場合、変更のタイミングがコンペア一致のタイミングと重なると変更時点では意図しない波形が出力され、次の周期から正しい波形が出力されます。

以下の手順により、意図しない波形の出力を制御できます。

- (1) TRFSRレジスタのCMP0FおよびCMP1Fビットをポーリングしてコンペア一致状況を確認する
- (2) TRFM0およびTRFM1レジスタの設定値を確認する
- (3) (1)、(2)から次のコンペア一致に対し余裕があるタイミングでTRFC14～TRFC17ビットを変更する

20.4.6 PORT8レジスタ(PORTモジュール)の変更

- タイマRFのコンペア出力(TRFO00～TRFO02、TRFO10～TRFO12)の外部端子への出力制御はPORT8レジスタによって行われます。カウント動作中のPORT8レジスタの設定変更については以下の手順で実施してください。

[カウント動作中の設定手順]

PORT8レジスタをカウント動作中に変更する場合、変更のタイミングがコンペア一致のタイミングと重なると変更時点では意図しない波形が出力され、次の周期から正しい波形が出力されます。

以下の手順により、意図しない波形の出力を制御できます。

- (1) TRFSRレジスタのCMP0FおよびCMP1Fビットをポーリングしてコンペア一致状況を確認する
- (2) TRFM0およびTRFM1レジスタの設定値を確認する
- (3) (1)、(2)から次のコンペア一致に対し余裕があるタイミングでPORT8レジスタを変更する

21. タイマRG

タイマRGは、16ビットタイマで2本の入力端子と2本の入出力端子を持ちます。

21.1 概要

タイマRGの動作クロックは、f1またはfHOCOです。表21.1にタイマRGの動作クロックを示します。

表21.1 タイマRGの動作クロック

条件	タイマRGの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRGCLKA入力、TRGCLKB入力 (TRGCRレジスタのTCK2～TCK0ビットが000b～101b、111b)	f1
カウントソースがfHOCO (TCK2～TCK0ビットが110b)	fHOCO

図21.1にタイマRGのブロック図を、表21.2にタイマRGの端子構成を示します。

タイマRGは、次の3種類のモードを持ちます。

- タイマモード：
 - インพุットキャプチャ機能 立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がりの両エッジでカウント
 - アウトプットコンペア機能 L出力/H出力/トグル出力
- PWMモード： 任意デューティのPWM出力が可能
- 位相計数モード： 2相エンコーダのカウント数の自動計測が可能

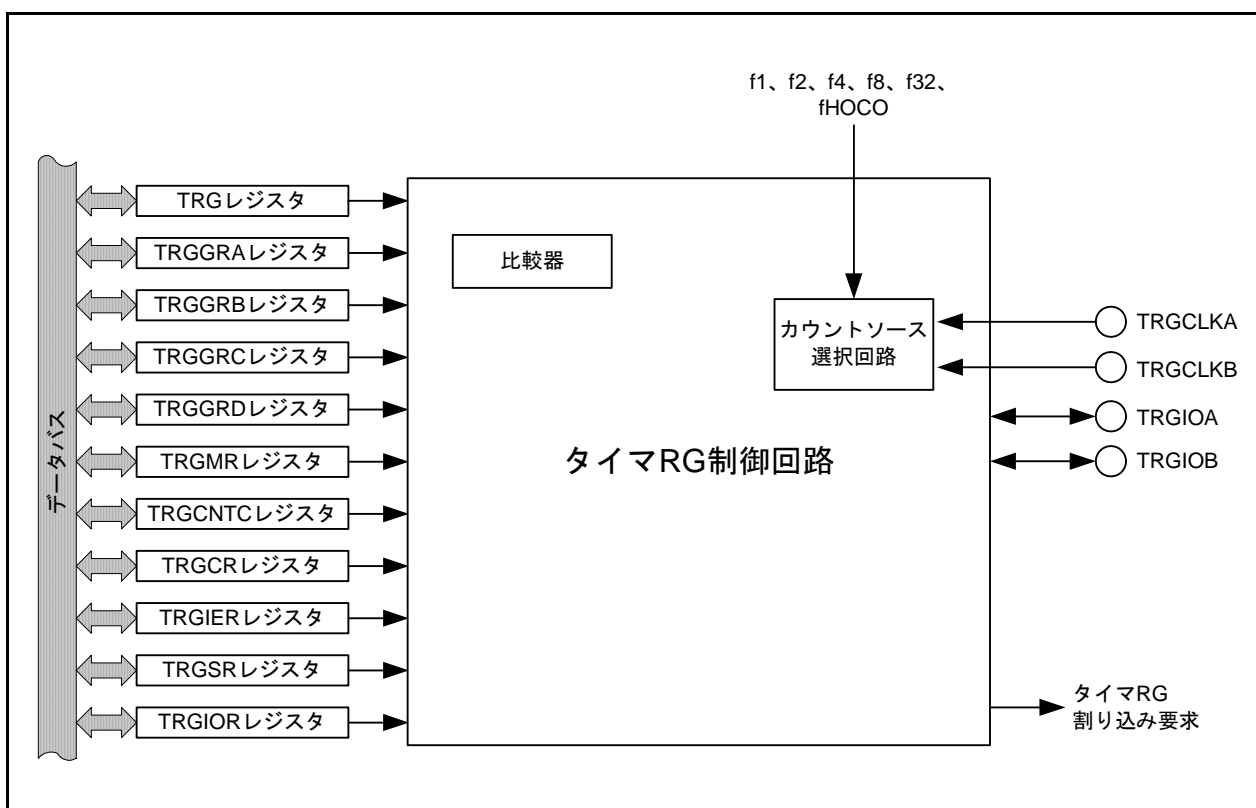


図21.1 タイマRGのブロック図

表21.2 タイマRGの端子構成

端子名	入出力	機能
TRGCLKA	入力	<ul style="list-style-type: none"> 位相計数モード時 A相入力 位相計数モード時以外 外部クロックA入力
TRGCLKB	入力	<ul style="list-style-type: none"> 位相計数モード時 B相入力 位相計数モード時以外 外部クロックB入力
TRGIOA	入出力	<ul style="list-style-type: none"> タイマモード(アウトプットコンペア機能)時 TRGGRAアウトプットコンペア出力 タイマモード(インプットキャプチャ機能)時 TRGGRAインプットキャプチャ入力 PWMモード時 PWM出力
TRGIOB	入出力	<ul style="list-style-type: none"> タイマモード(アウトプットコンペア機能)時 TRGGRBアウトプットコンペア出力 タイマモード(インプットキャプチャ機能)時 TRGGRBインプットキャプチャ入力

21.2 レジスタの説明

表21.3にタイマRGのレジスタ構成を示します。

表21.3 タイマRGのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRGモードレジスタ	TRGMR	00h	001F0h	8
タイマRGカウンタ制御レジスタ	TRGCNTC	00h	001F1h	8
タイマRG制御レジスタ	TRGCR	10000000b	001F2h	8
タイマRG割り込み許可レジスタ	TRGIER	11110000b	001F3h	8
タイマRGステータスレジスタ	TRGSR	11100000b	001F4h	8
タイマRG I/O制御レジスタ	TRGIOR	00h	001F5h	8
タイマRGカウンタ	TRG	0000h	001F6h	16
タイマRGジェネラルレジスタA	TRGGRA	FFFFh	001F8h	16
タイマRGジェネラルレジスタB	TRGGRB	FFFFh	001FAh	16
タイマRGジェネラルレジスタC	TRGGRC	FFFFh	001FCh	16
タイマRGジェネラルレジスタD	TRGGRD	FFFFh	001FEh	16

21.2.1 タイマRGモードレジスタ (TRGMR)

アドレス	001F0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	ELCICE	DFCK1	DFCK0	DFB	DFA	MDF	PWM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWM	PWMモード選択ビット	0 : タイマモード 1 : PWMモード	R/W
b1	MDF	位相計数モード選択ビット	0 : アップカウント 1 : 位相計数モード	R/W
b2	DFA	TRGIOA端子のデジタルフィルタ機能選択ビット	0 : デジタルフィルタ機能なし 1 : デジタルフィルタ機能あり	R/W
b3	DFB	TRGIOB端子のデジタルフィルタ機能選択ビット	0 : デジタルフィルタ機能なし 1 : デジタルフィルタ機能あり	R/W
b4	DFCK0	デジタルフィルタ機能で使用するクロック選択ビット (注1)	b5 b4 0 0 : f32 0 1 : f8 1 0 : f1 1 1 : TRGCRレジスタのTCK0~TCK2で選択したクロック	R/W
b5	DFCK1			R/W
b6	ELCICE	ELCインプットキャプチャ要求選択ビット (注1、2)	0 : 外部入力信号B/デジタルフィルタ通過信号Bを選択 1 : ELCからのイベント入力(インプットキャプチャ)を選択	R/W
b7	TSTART	TRGカウント開始ビット	0 : カウント停止、PWM出力信号 (TRGIOA端子) を初期化 (PWMモード時) 1 : カウント開始	R/W

注1. TSTARTビットが0 (カウンタ停止) のとき、このビットを設定してください。

注2. イベントリンクコントローラ (ELC) からのイベント入力 (インプットキャプチャ) を有効にしたい場合は、TRGIORレジスタのIOB2 = 1、IOB1、IOB0 = 00b (立ち上がりエッジ) に設定してください。

MDFビット (位相計数モード選択ビット)

MDFビットが0のとき、カウンタはTRGCRレジスタのTCK0~TCK2ビットで設定したカウントソースをカウントします。

MDFビットが1のとき、カウンタは「表21.14 TRGレジスタの加算/減算条件」に示すTRGCLKj端子 (j = A、B) からの入力信号の位相をカウントします。

DFA、DFBビット

デジタルフィルタ機能ありにした場合、デジタルフィルタのサンプリングクロックの5サイクル分以上経過した後で、正しいエッジ検出を行います。

21.2.2 タイマRGカウンタ制御レジスタ (TRGCNTC)

アドレス	001F1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CNTEN0	カウント許可ビット0	0: 無効 1: ダウンカウント TRGCLKA入力がHレベルで、TRGCLKB入力の立ち上がりエッジのとき	R/W
b1	CNTEN1	カウント許可ビット1	0: 無効 1: ダウンカウント TRGCLKB入力がLレベルで、TRGCLKA入力の立ち上がりエッジのとき	R/W
b2	CNTEN2	カウント許可ビット2	0: 無効 1: ダウンカウント TRGCLKA入力がLレベルで、TRGCLKB入力の立ち下がりエッジのとき	R/W
b3	CNTEN3	カウント許可ビット3	0: 無効 1: ダウンカウント TRGCLKB入力がHレベルで、TRGCLKA入力の立ち下がりエッジのとき	R/W
b4	CNTEN4	カウント許可ビット4	0: 無効 1: アップカウント TRGCLKB入力がLレベルで、TRGCLKA入力の立ち下がりエッジのとき	R/W
b5	CNTEN5	カウント許可ビット5	0: 無効 1: アップカウント TRGCLKA入力がHレベルで、TRGCLKB入力の立ち下がりエッジのとき	R/W
b6	CNTEN6	カウント許可ビット6	0: 無効 1: アップカウント TRGCLKB入力がHレベルで、TRGCLKA入力の立ち上がりエッジのとき	R/W
b7	CNTEN7	カウント許可ビット7	0: 無効 1: アップカウント TRGCLKA入力がLレベルで、TRGCLKB入力の立ち上がりエッジのとき	R/W

TRGCNTC レジスタは位相計数モードで使用します。位相計数モードのカウント条件を設定します。

21.2.3 タイマRG制御レジスタ (TRGCR)

アドレス	001F2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット (注1)	b2 b1 b0	R/W
b1	TCK1		0 0 0 : f1	R/W
b2	TCK2		0 0 1 : f2	R/W
			0 1 0 : f4	
		0 1 1 : f8		
		1 0 0 : f32		
		1 0 1 : TRGCLKA入力		
		1 1 0 : fHOCO		
		1 1 1 : TRGCLKB入力		
b3	CKEG0	外部クロック有効エッジ 選択ビット(注1、2)	b4 b3	R/W
b4	CKEG1		0 0 : 立ち上がりエッジでカウント	R/W
		0 1 : 立ち下がりエッジでカウント		
		1 0 : 立ち上がり/立ち下がりの両エッジでカウント		
		1 1 : 設定しないでください		
b5	CCLR0	TRGレジスタクリア要因選 択ビット	b6 b5	R/W
b6	CCLR1		0 0 : クリア禁止	R/W
			0 1 : TRGGRAのインプットキャプチャ/コンペアー致 でクリア	
		1 0 : TRGGRBのインプットキャプチャ/コンペアー致 でクリア		
		1 1 : 設定しないでください		
b7	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—

注1. 位相計数モードのとき、TCK0～TCK2ビット、およびCKEG0、CKEG1ビット設定は無効になり、位相計数モードの動作が優先されます。

注2. CKEG0、CKEG1ビットは、TCK0～TCK2ビットの設定が外部クロック (TRGCLKA、TRGCLKB) 時に有効です。外部クロック以外では無効です。

TRGCRレジスタに書く場合は、TRGMRレジスタのTSTARTビットが0(カウント停止)の状態で行ってください。

21.2.4 タイマRG割り込み許可レジスタ (TRGIER)

アドレス	001F3h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OVIE	UDIE	IMIEB	IMIEA
リセット後の値	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/ コンペアー一致割り込み許可 ビットA	0 : IMFAビットによる割り込みを禁止 1 : IMFAビットによる割り込みを有効	R/W
b1	IMIEB	インプットキャプチャ/ コンペアー一致割り込み許可 ビットB	0 : IMFBビットによる割り込みを禁止 1 : IMFBビットによる割り込みを有効	R/W
b2	UDIE	アンダフロー割り込み許可 ビット	0 : UDFビットによる割り込みを禁止 1 : UDFビットによる割り込みを有効	R/W
b3	OVIE	オーバフロー割り込み許可 ビット	0 : OVFビットによる割り込みを禁止 1 : OVFビットによる割り込みを有効	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	—			

IMFA、IMFB、UDF、OVF : TRGSRレジスタのビット

21.2.5 タイマRGステータスレジスタ (TRGSR)

アドレス	001F4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	DIRF	OVF	UDF	IMFB	IMFA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/ コンペアー一致フラグA	[0になる条件] 読んだ後、0を書く(注1)	R/W
b1	IMFB	インプットキャプチャ/ コンペアー一致フラグB	[1になる条件] 「表21.4 各フラグが1になる条件」参照	R/W
b2	UDF	アンダフローフラグ		R/W
b3	OVF	オーバフローフラグ (注2)		R/W
b4	DIRF	カウント方向フラグ	0 : TRG レジスタはダウンカウント 1 : TRG レジスタはアップカウント	R
b5	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b6	—			—
b7	—			—

注1. 書き込み結果は次のようになります。

- ・読んだ結果が1の場合、同じビットに0を書くと0になります。
- ・読んだ結果が0の場合、同じビットに0を書いても、変化しません(読んだ後で、0から1に変化した場合、0を書いても、1のままです)。
- ・1を書いた場合は変化しません。

注2. OVFビットは、タイマRGのカウンタ値がFFFFhから0000hになったとき、1になります。また、TRGCRレジスタのCCLR0、CCLR1ビットの設定によって、動作中のインプットキャプチャ/コンペアー一致により、タイマRGのカウンタ値がFFFFhから0000hになったときにも、1になります。

表21.4 各フラグが1になる条件

ビット シンボル	タイマモード(注1)		PWMモード(注1)
	インプットキャプチャ機能	アウトプットコンペア機能	
IMFA	TRGIOA端子の入力エッジ(注2)	TRGとTRGGRAの値が一致したとき	
IMFB	TRGIOB端子の入力エッジ(注2)	TRGとTRGGRBの値が一致したとき	
UDF	TRGがアンダフローしたとき		
OVF	TRGがオーバフローしたとき		

注1. 位相計数モードはタイマRG カウントレジスタのカウント方法であり、設定により上記のタイマモード、PWMモードを使用可能です。

注2. TRGIORレジスタのIOj0、IOj1ビット(j = A、B)で選択したエッジ。

21.2.6 タイマRG I/O制御レジスタ (TRGIOR)

アドレス	001F5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BUFB	IOB2	IOB1	IOB0	BUFA	IOA2	IOA1	IOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRGGRA制御ビット	アウトプットコンペア機能では、TRGレジスタとTRGGRAレジスタのコンペアー一致出力 b1 b0 0 0 : コンペアー一致による端子出力禁止 0 1 : L出力 1 0 : H出力 1 1 : トグル出力 インพุットキャプチャ機能では、TRGレジスタ内容をTRGGRAへインพุットキャプチャ b1 b0 0 0 : TRGIOAの立ち上がりエッジ 0 1 : TRGIOAの立ち下がりエッジ 1 0 : TRGIOAの両エッジ 1 1 : 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRGGRAモード選択ビット (注1、2)	0 : アウトプットコンペア機能 1 : インพุットキャプチャ機能	R/W
b3	BUFA	TRGGRCレジスタ機能選択ビット	0 : TRGGRAレジスタのバッファレジスタとして使用しない 1 : TRGGRAレジスタのバッファレジスタとして使用する	R/W
b4	IOB0	TRGGRB制御ビット	アウトプットコンペア機能では、TRGレジスタとTRGGRBレジスタのコンペアー一致出力 b5 b4 0 0 : コンペアー一致による端子出力禁止 0 1 : L出力 1 0 : H出力 1 1 : トグル出力 インพุットキャプチャ機能では、TRGレジスタ内容をTRGGRBへインพุットキャプチャ b5 b4 0 0 : TRGIOBの立ち上がりエッジ 0 1 : TRGIOBの立ち下がりエッジ 1 0 : TRGIOBの両エッジ 1 1 : 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRGGRBモード選択ビット (注1、2)	0 : アウトプットコンペア機能 1 : インพุットキャプチャ機能	R/W
b7	BUFB	TRGGRDレジスタ機能選択ビット	0 : TRGGRBレジスタのバッファレジスタとして使用しない 1 : TRGGRBレジスタのバッファレジスタとして使用する	R/W

注1. IOj2ビット(j = A、B)が1 (インพุットキャプチャ機能)のとき、TRGGRjレジスタはインพุットキャプチャレジスタとして機能します。

注2. IOj2ビット(j = A、B)が0 (アウトプットコンペア機能)のとき、TRGGRjレジスタはコンペアー一致レジスタとして機能します。リセット後IOj0、IOj1を設定し、最初のコンペアー一致が発生するまで、TRGIOj端子からは、

IOj1、IOj0 = 01bのときH出力
10bのときL出力
11bのときL出力

このTRGIORレジスタは、タイマモードにおいて入出力の端子制御をします。PWMモードでは無効になります。

21.2.7 タイマRGカウンタ (TRG)

アドレス	001F6h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRG7	TRG6	TRG5	TRG4	TRG3	TRG2	TRG1	TRG0
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TRG15	TRG14	TRG13	TRG12	TRG11	TRG10	TRG9	TRG8
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	位相計数モードの場合、カウント動作はアップカウント/ダウンカウント。それ以外の場合はアップカウント。	0000h～FFFFh	R/W

TRGレジスタは、CPUと内部16ビットバスで接続されており、常に16ビット単位でアクセスしてください。TRGレジスタは、タイマモードとPWMモードではアップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。また、位相計数モードではTRGCNTCレジスタで設定した外部クロックA、外部クロックBの状態によってアップカウント、またはダウンカウントします。TRGレジスタは対応するTRGGRA、TRGGRBレジスタとのコンペア一致、またはTRGGRA、TRGGRBレジスタへのインプットキャプチャにより0000hにクリアすることができます(カウンタクリア機能)。

TRGレジスタがオーバーフロー(FFFFh→0000h)すると、TRGSRレジスタのOVFビットが1になります。アンダフロー(0000h→FFFFh)すると、TRGSRレジスタのUDFビットが1になります。

21.2.8 タイマRGジェネラルレジスタA、B、C、D (TRGGRA、TRGGRB、TRGGRC、TRGGRD)

アドレス 001F8h (TRGGRA)、001FAh (TRGGRB)、001FCh (TRGGRC)、001FEh (TRGGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRGGRI7	TRGGRI6	TRGGRI5	TRGGRI4	TRGGRI3	TRGGRI2	TRGGRI1	TRGGRI0
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TRGGRI15	TRGGRI14	TRGGRI13	TRGGRI12	TRGGRI11	TRGGRI10	TRGGRI9	TRGGRI8
リセット後の値	1	1	1	1	1	1	1	1

i = A、B、C、D

ビット	機能	R/W
b15~b0	モードによって機能が異なる	R/W

表21.5にTRGGRA、TRGGRB、TRGGRC、TRGGRDレジスタ機能を示します。

表21.5 TRGGRA、TRGGRB、TRGGRC、TRGGRDレジスタ機能

モード	レジスタ	設定	機能
インプット キャプチャ	TRGGRA	TRGIOR (IOA2 = 1) TRGMR (PWM = 0)	インプットキャプチャレジスタ (TRGレジスタの値を格納)
	TRGGRB	TRGIOR (IOB2 = 1) TRGMR (PWM = 0)	インプットキャプチャレジスタ (TRGレジスタの値を格納)
アウトプット コンペア	TRGGRA	TRGIOR (IOA2 = 0) TRGMR (PWM = 0)	アウトプットコンペアレジスタ (TRGレジスタとのコンペア値を格納、コンペアー致で TRGIOAに設定値を出力)
	TRGGRB	TRGIOR (IOB2 = 0) TRGMR (PWM = 0)	アウトプットコンペアレジスタ (TRGレジスタとのコンペア値を格納、コンペアー致で TRGIOBに設定値を出力)
PWM	TRGGRA	TRGMR (PWM = 1)	アウトプットコンペアレジスタ (コンペアー致でTRGIOAにH出力)
	TRGGRB		アウトプットコンペアレジスタ (コンペアー致でTRGIOAにL出力)
共通	TRGGRC	TRGIOR (BUFA = 0)	使用しない
	TRGGRD	TRGIOR (BUFB = 0)	使用しない
	TRGGRC	TRGIOR (BUFA = 1)	TRGGRAのバッファレジスタ (TRGGRAとの転送あり) <ul style="list-style-type: none"> IOA2 = 1の場合 インプットキャプチャ信号により、TRGGRAから前回のインプットキャプチャ値を受け取る IOA2 = 0の場合 TRGとTRGGRAのコンペアー致により、次のコンペア期待値をTRGGRAへ転送する
	TRGGRD	TRGIOR (BUFB = 1)	TRGGRBのバッファレジスタ (TRGGRBとの転送あり) <ul style="list-style-type: none"> IOB2 = 1の場合 インプットキャプチャ信号により、TRGGRBから前回のインプットキャプチャ値を受け取る IOB2 = 0の場合 TRGとTRGGRBのコンペアー致により、次のコンペア期待値をTRGGRBへ転送する

TRGGRA、TRGGRBレジスタは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り替えは、TRGIORレジスタにより行います。

アウトプットコンペアレジスタとして使用しているときは、TRGGRA、TRGGRBレジスタの値とTRGレジスタの値は常に比較されています。両者の値が一致(コンペア一致)すると、TRGSRレジスタのIMFA/IMFBビットが1になります。TRGIORレジスタによりコンペア一致出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TRGレジスタの値を格納します。このときIMFA/IMFBビットが1になります。インプットキャプチャ信号の検出エッジ選択はTRGIORレジスタにより行います。

また、TRGGRCレジスタはTRGGRAレジスタのバッファレジスタとして、TRGGRDレジスタはTRGGRBレジスタのバッファレジスタとしてそれぞれ使用することもできます。この機能はTRGIORレジスタのBUFA、BUFBビットにより選択できます。

例えば、TRGGRAレジスタがアウトプットコンペアレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、コンペア一致Aが発生するたびにTRGGRCレジスタの値がTRGGRAレジスタに転送されます。

TRGGRAレジスタがインプットキャプチャレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRGレジスタの値がTRGGRAレジスタに、TRGGRAレジスタの値がTRGGRCレジスタに転送されます。

TRGGRA、TRGGRB、TRGGRC、TRGGRDレジスタはCPUと内部16ビットバスで接続されており、常に16ビット単位でアクセスしてください。TRGGRA、TRGGRBレジスタは、リセット時アウトプットコンペアレジスタ(端子出力禁止)に設定されます。

21.3 動作説明

21.3.1 複数モードに関わる共通事項

21.3.1.1 カウントソース

表21.6にカウントソースの選択を、図21.2にカウントソースのブロック図を示します。

位相計数モード選択時、TRGCRレジスタのTCK0～TCK2ビットおよびCKEG0、CKEG1ビットの設定は無効になります。

表21.6 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRGCRレジスタのTCK0～TCK2ビットでカウントソース選択
fHOCO	FRA0レジスタのFRA00ビットが1 (高速オンチップオシレータ発振) (注1) TCK2～TCK0ビットが110b (fHOCO)
TRGCLKA、TRGCLKB端子に入力された外部信号	TRGCRレジスタのTCK2～TCK0ビットが101b (TRGCLKA入力) または111b (TRGCLKB入力) TRGCRレジスタのCKEG0、CKEG1ビットで有効エッジを選択 対応する方向レジスタの方向ビットが0 (入力モード)

注1. fHOCOをカウントソースに選択している場合、FRA00ビットを0 (高速オンチップオシレータ停止) にしないでください。

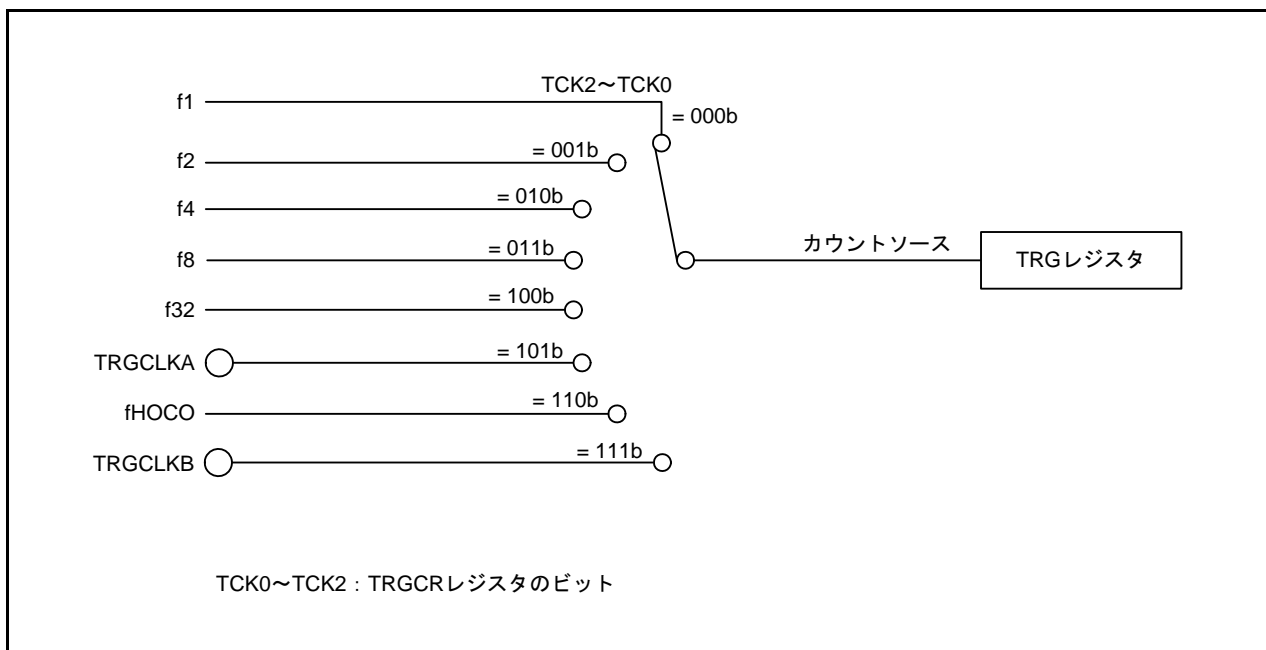


図21.2 カウントソースのブロック図

TRGCLK_j端子 (j = A、B)に入力する外部クロックのパルス幅は、タイマRGの動作クロック (「表21.1 タイマRGの動作クロック」参照)の3サイクル以上にしてください。

21.3.1.2 バッファ動作

TRGIORレジスタのBUFA、BUFBビットで、TRGGRC、TRGGRDレジスタをTRGGRA、TRGGRBレジスタのバッファレジスタにできます。

- TRGGRAレジスタのバッファレジスタ：TRGGRCレジスタ
- TRGGRBレジスタのバッファレジスタ：TRGGRDレジスタ

バッファ動作は、モードによって違います。表21.7に各モードのバッファ動作を、図21.3にインプットキャプチャ機能のバッファ動作を、図21.4にアウトプットコンペア機能のバッファ動作を示します。

表21.7 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRGGRA (TRGGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRGレジスタとTRGGRA (TRGGRB)レジスタのコンペア一致	バッファレジスタの内容をTRGGRA (TRGGRB)レジスタに転送
PWMモード		

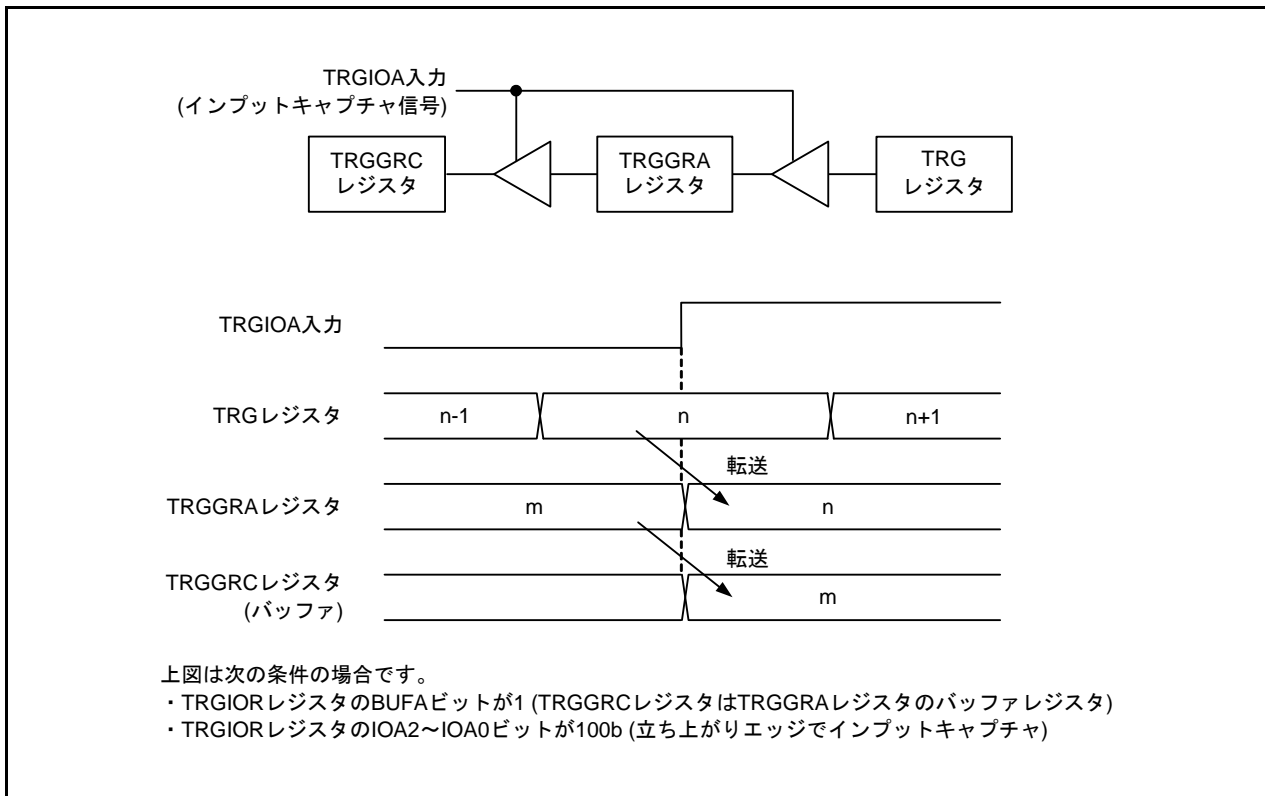


図21.3 インプットキャプチャ機能のバッファ動作

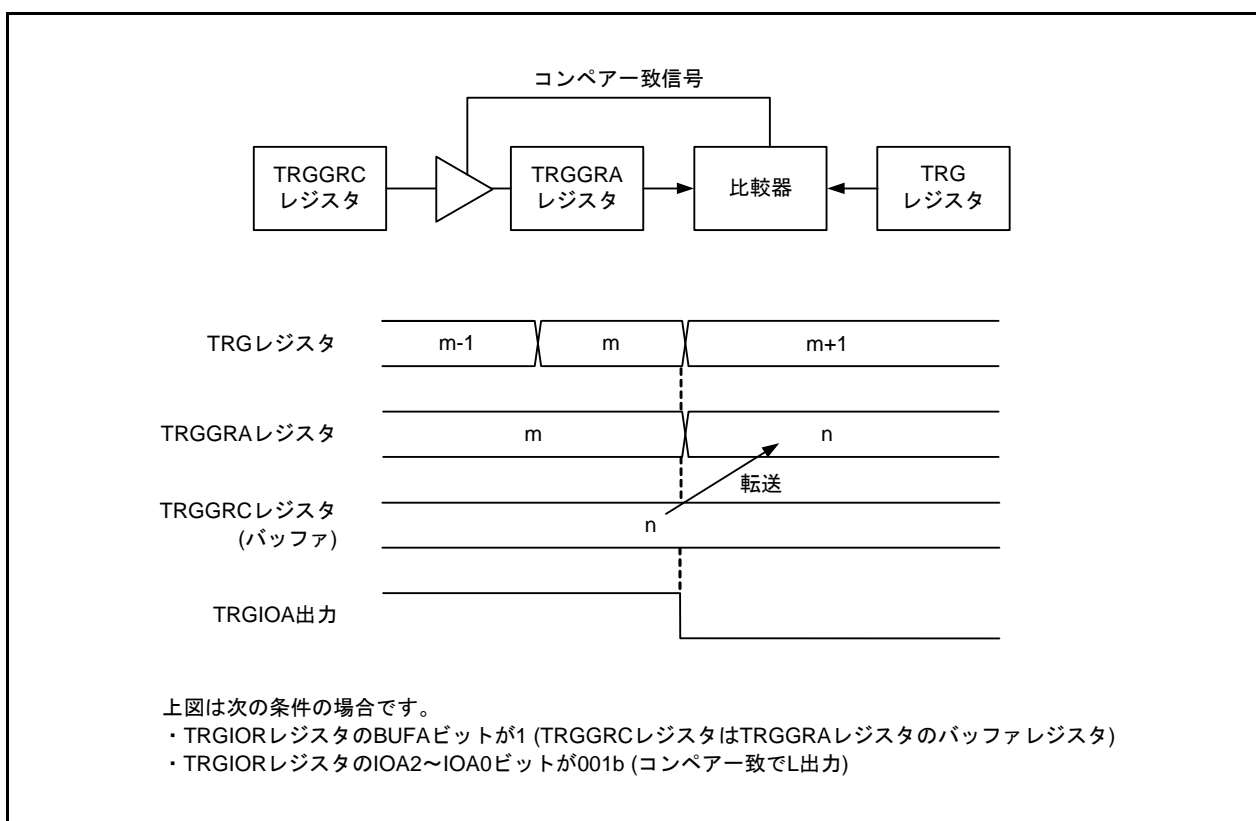


図21.4 アウトプットコンペアー機能のバッファ動作

21.3.1.3 デジタルフィルタ

TRGIOj入力(j = A, B)をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRGMRレジスタで選択してください。

図21.5にデジタルフィルタのブロック図を示します。

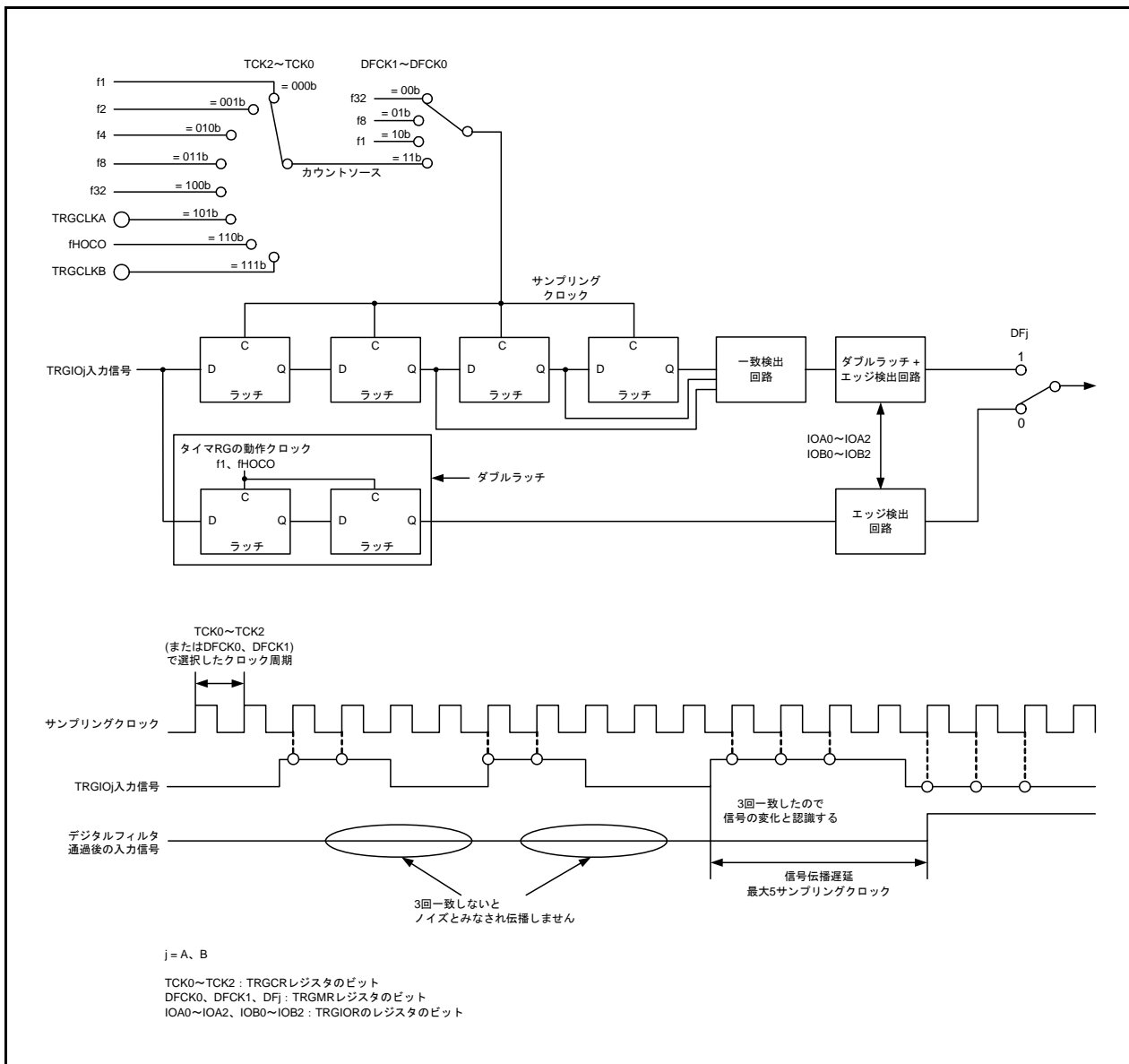


図21.5 デジタルフィルタのブロック図

21.3.1.4 外部端子の設定

タイマRGを使用する場合、以下の設定をしてください。

- TRGIOA端子を使用する場合: TIMSRレジスタのTRGIOASELビットを1 (P5_6に割り当てる) に設定。
- TRGIOB端子を使用する場合: TIMSRレジスタのTRGIOBSELビットを1 (P5_7に割り当てる) に設定。
- TRGCLKA端子を使用する場合: TIMSRレジスタのTRGCLKASELビットを1 (P3_0に割り当てる) に設定。
- TRGCLKB端子を使用する場合: TIMSRレジスタのTRGCLKBSELビットを1 (P3_2に割り当てる) に設定。

21.3.2 タイマモード(インプットキャプチャ機能)

インプットキャプチャ/アウトプットコンペア端子 (TRGIOA、TRGIOB) の入力エッジを検出して TRGレジスタの値を TRGGRA、TRGGRB レジスタに転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。表21.8にインプットキャプチャ機能の仕様を示します。

表21.8 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO TRGCLKA、TRGCLKB 端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRGCR レジスタの CCLR1、CCLR0 ビットが 00b (フリーランニング動作) の場合 $1/fk \times 65536$ fk : カウントソースの周波数
カウント開始条件	TRGMR レジスタの TSTART ビットへの 1 (カウント開始) 書き込み
カウント停止条件	TRGMR レジスタの TSTART ビットへの 0 (カウント停止) 書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ (TRGIOA、TRGIOB 端子入力の有効エッジ) TRG レジスタオーバフロー
TRGIOA、TRGIOB 端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力 (1 端子ごとに選択)
TRGCLKA、TRGCLKB 端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRG レジスタを読むと、カウント値が読める
タイマの書き込み	TRG レジスタに書き込める
選択機能	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択 TRGIOA、TRGIOB 端子のいずれか 1 本または両方 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRG レジスタを 0000h にするタイミング オーバフロー、またはインプットキャプチャ時 バッファ動作(「21.3.1.2 バッファ動作」参照) デジタルフィルタ(「21.3.1.3 デジタルフィルタ」参照) イベントリンクコントローラ(ELC)からのイベント入力信号(インプットキャプチャ)によるインプットキャプチャ動作

21.3.2.1 インพุットキャプチャ動作の設定手順例

図21.6にインพุットキャプチャ動作の設定手順例を示します。

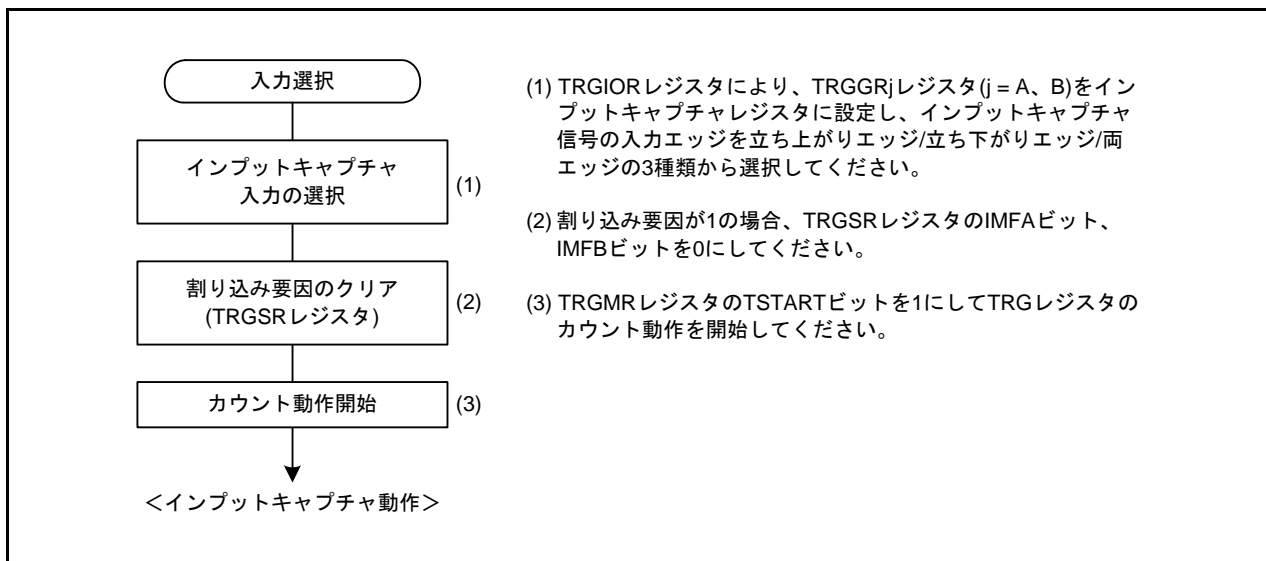


図21.6 インพุットキャプチャ動作の設定手順例

21.3.2.2 インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TRGJORレジスタの設定により立ち上がりエッジ/立ち下がりエッジ/両エッジの選択ができます。

図21.7にインพุットキャプチャ入力信号タイミングを示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は $1.5f_1$ 以上、両エッジの場合は $2.5f_1$ 以上必要です。

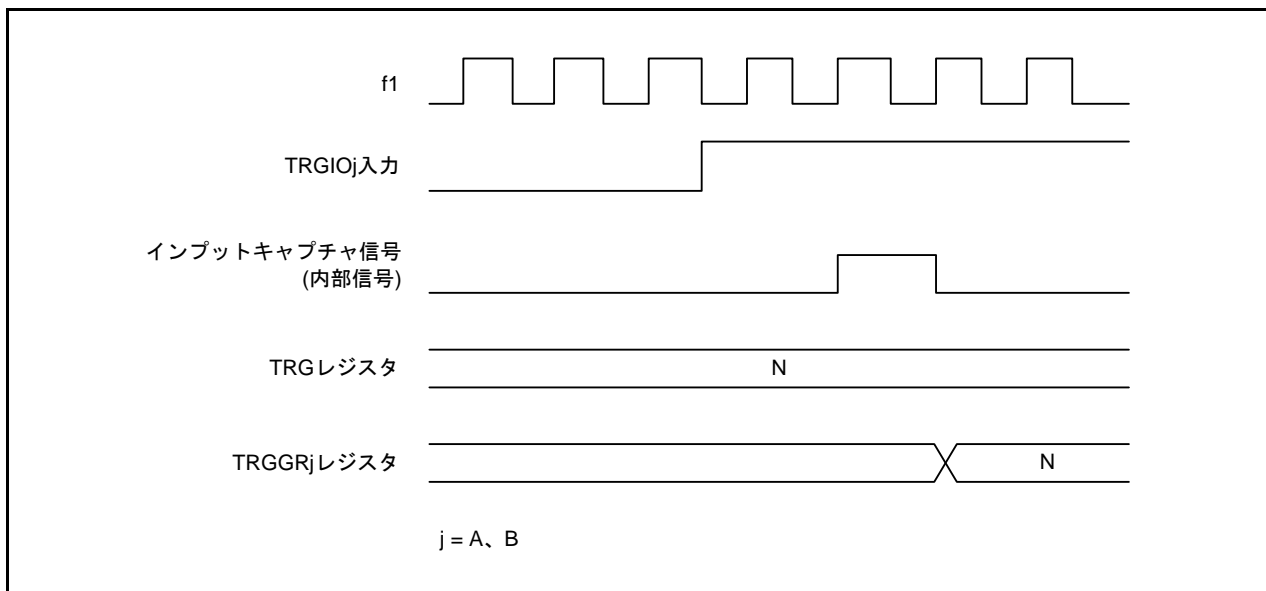


図21.7 インพุットキャプチャ入力信号タイミング

21.3.2.3 動作例

図21.8にインプットキャプチャ動作例を示します。

TRGIOA端子のインプットキャプチャ入力エッジは立ち上がり/立ち下りの両エッジ、またTRGIOB端子のインプットキャプチャ入力エッジは立ち下りエッジを選択し、TRGレジスタはTRGGRBレジスタのインプットキャプチャでカウンタクリアされるように設定した場合の例です。

- (1) TRGIORレジスタにより、TRGGRA、TRGGRBレジスタをインプットキャプチャレジスタに設定し、インプットキャプチャ信号の入力エッジを立ち上がりエッジ/立ち下りエッジ/両エッジの3種類から選択してください。
- (2) TRGMRレジスタのTSTARTビットを1にしてTRGレジスタのカウンタ動作を開始してください。

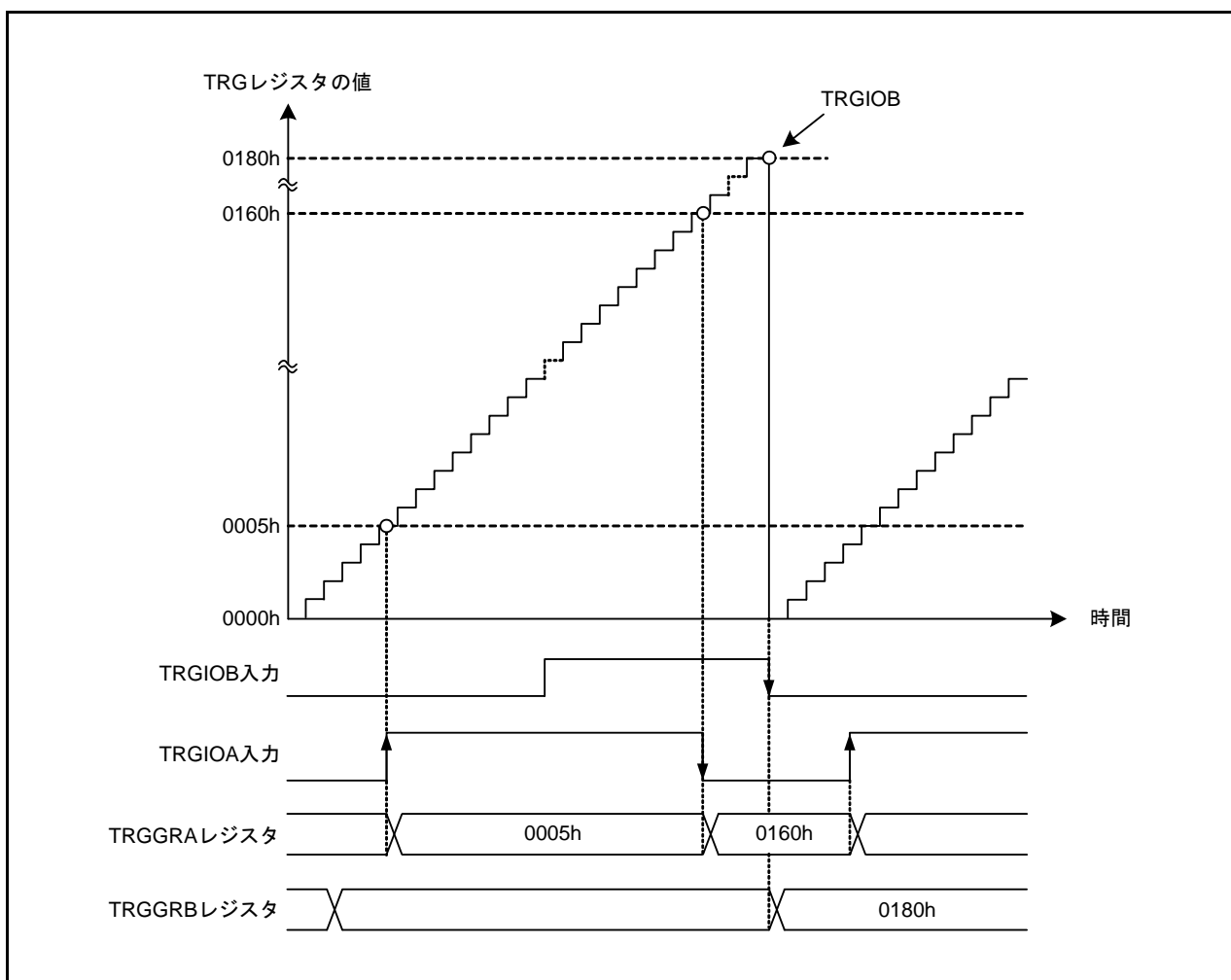


図21.8 インプットキャプチャ動作例

TRGCRレジスタのCCLR0、CCLR1ビットの設定によって、インプットキャプチャA、インプットキャプチャBによりカウンタクリア動作させることができます。図21.8では、CCLR1、CCLR0ビットを10bに設定した場合の動作例です。カウンタ動作中、インプットキャプチャ動作によってカウンタをクリアする設定をしている場合、タイマカウンタ値がFFFFhにおいてインプットキャプチャ動作すると、カウンタソースとインプットキャプチャ動作のタイミングによって、割り込みフラグであるIMFA、IMFBビットとOVFビットが同時に1となる場合があります。

21.3.3 タイマモード(アウトプットコンペア機能)

TRGレジスタの内容と、TRGGRA、TRGGRBレジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき、TRGIOA、TRGIOB端子から任意のレベルを出力します。

表21.9にアウトプットキャプチャ機能の仕様を示します。

表21.9 アウトプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRGCRレジスタのCCLR1、CCLR0ビットが00b(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 • TRGCRレジスタのCCLR1、CCLR0ビットが01b、10b(TRGGRjのコンペア一致でTRGを0000hにする)の場合 $1/fk \times (n+1)$ n: TRGGRjレジスタの設定値
波形出カタイミング	コンペア一致(TRGレジスタ内容とTRGGRjレジスタの内容が一致)
カウント開始条件	TRGMRレジスタのTSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致) • TRGレジスタオーバフロー
TRGIOA、TRGIOB端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
TRGCLKA、TRGCLKB端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> • アウトプットコンペア出力端子選択 TRGIOA、TRGIOB端子のいずれか1本または両方 • コンペア一致時の出力レベル選択 L出力、H出力、または出力レベル反転 • TRGレジスタを0000hにするタイミング オーバフロー、またはTRGGRjレジスタのコンペア一致 • バッファ動作(「21.3.1.2 バッファ動作」参照)

j = A、B

21.3.3.1 コンペアー一致による波形出力の設定手順例

図21.9にコンペアー一致による波形出力の設定手順を示します。

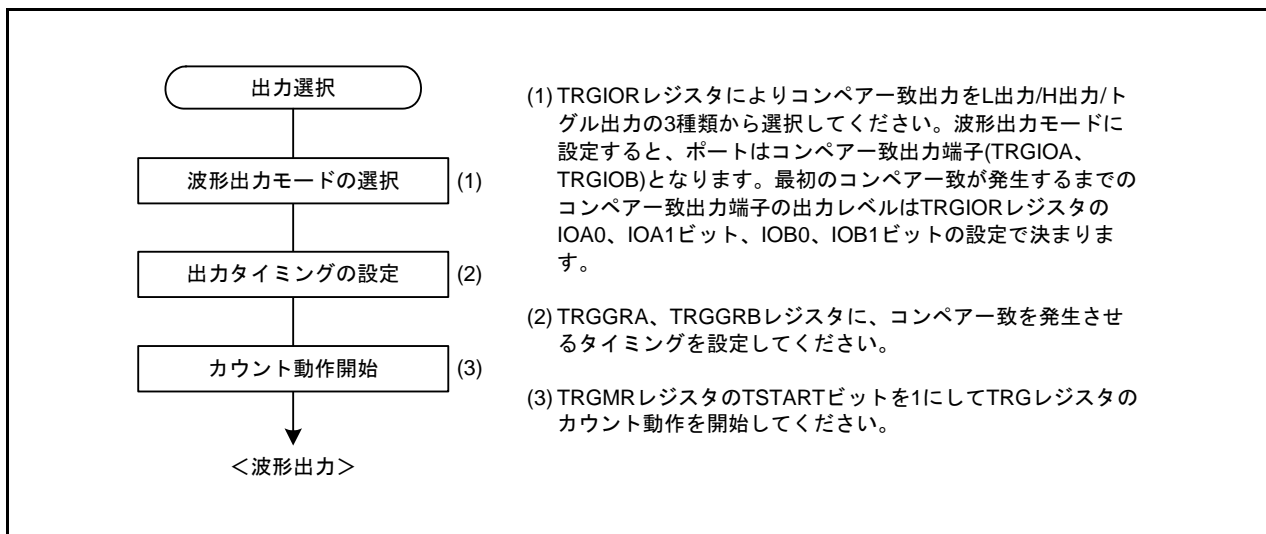


図21.9 コンペアー一致による波形出力の設定手順

21.3.3.2 アウトプットコンペアー出力タイミング

コンペアー一致信号は、TRGレジスタとTRGGRA、TRGGRBレジスタが一致した最後のステータス(TRGレジスタが一致したカウンタ値を更新するタイミング)で発生します。コンペアー一致信号が発生したとき、TRGIORレジスタで設定される出力値がアウトプットコンペアー出力端子(TRGIOA、TRGIOB)に出力されます。TRGレジスタとTRGGRA、TRGGRBレジスタが一致した後、TRGレジスタ入力クロックが発生するまでコンペアー一致信号は発生しません。

図21.10にアウトプットコンペアー出力タイミングを示します。

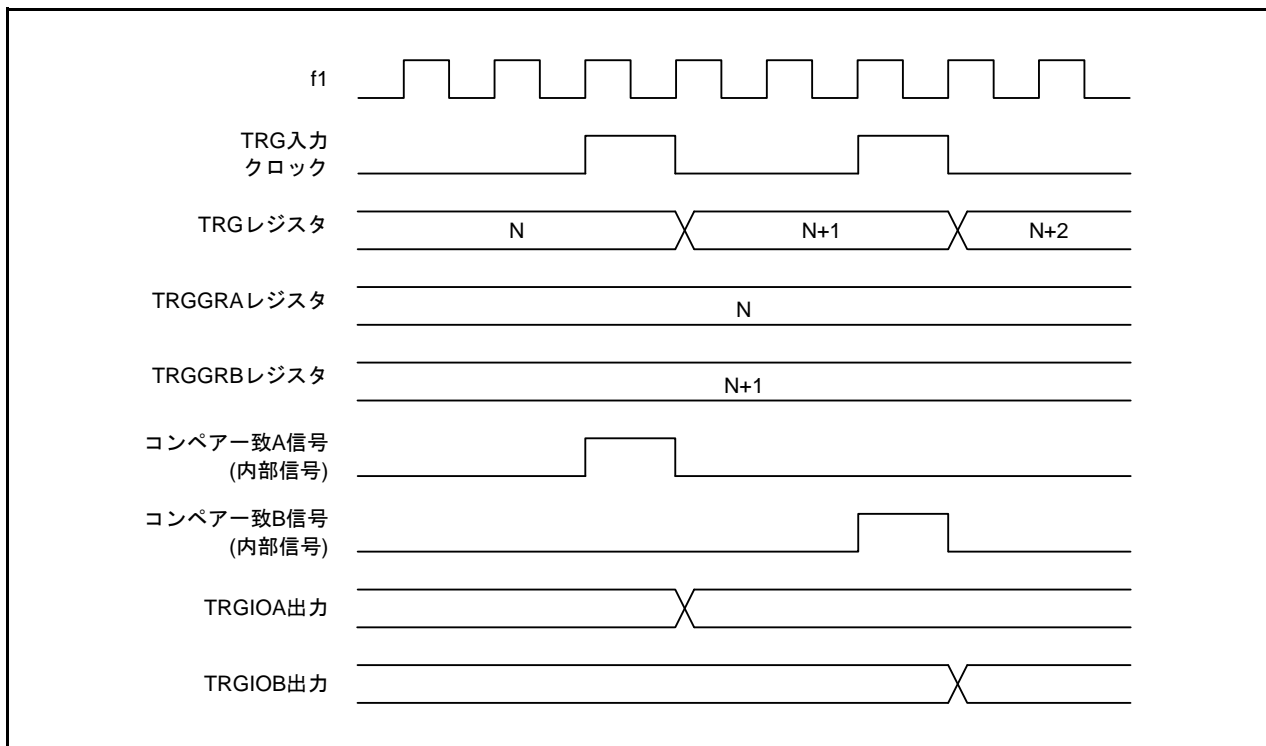


図21.10 アウトプットコンペアー出力タイミング

21.3.3.3 動作例

タイマモードのアウトプットコンペア機能を使用する場合、TIMSRレジスタのTRGIOASELビット、TRGIOBSELビットが1のとき、TRGIORレジスタでコンペア一致出力をL出力/H出力/トグル出力の3種類から選択して波形出力モードに設定すると、ポートはコンペア一致出力端子(TRGIOA、TRGIOB)となります。最初のコンペア一致が発生するまでのコンペア一致出力端子の出力レベルはTRGIORレジスタのIOA0、IOA1ビット、IOB0、IOB1ビットの設定で決まります。

図21.11にL出力、H出力の動作例を示します。

TRGレジスタをフリーランニングカウント動作、またコンペア一致AによりL出力、コンペア一致BによりH出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

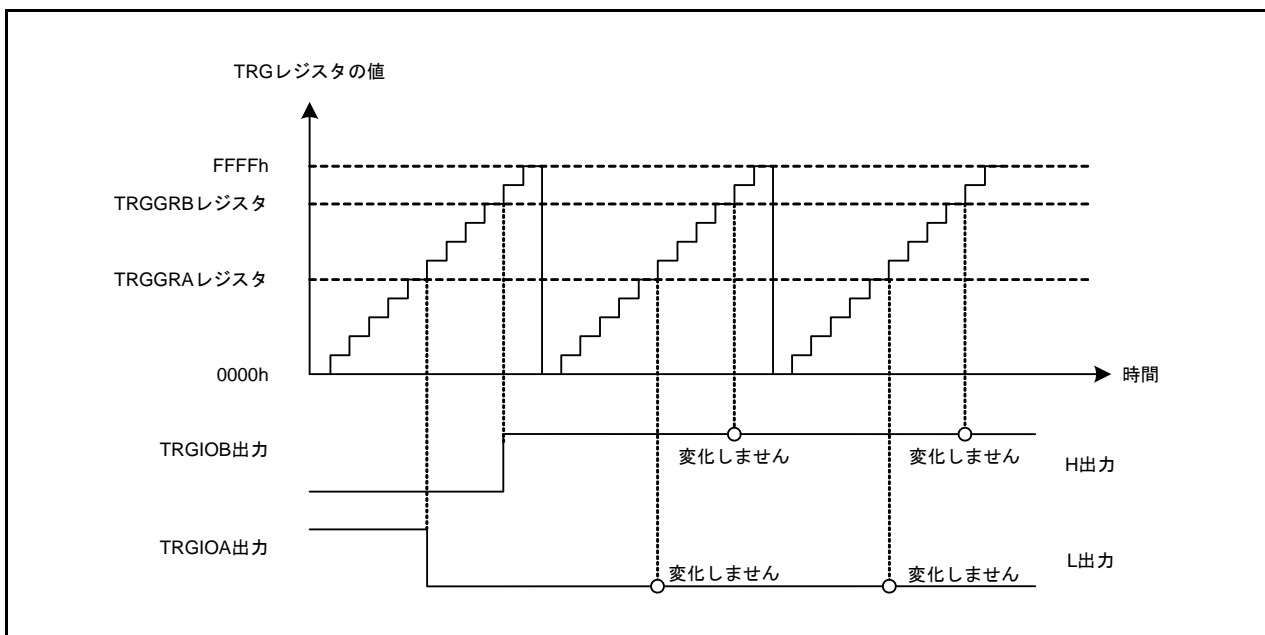


図21.11 L出力、H出力の動作例

図21.12にトグル出力の動作例を示します。TRGレジスタを周期カウント動作(コンペア一致Bでカウンタクリア)に、コンペア一致A、Bともトグル出力となるように設定した場合の例です。

- (1) TRGIORレジスタによりコンペア一致出力をL出力/H出力/トグル出力の3種類から選択してください。波形出力モードに設定すると、ポートはコンペア一致出力端子(TRGIOA、TRGIOB)となります。
- (2) TRGGRA、TRGGRBレジスタに、コンペア一致を発生させるタイミングを設定してください
- (3) TRGMRレジスタのTSTARTビットを1にしてTRGレジスタのカウント動作を開始してください。

動作中に、TSTARTビットを0にしても、コンペア一致出力端子(TRGIOA、TRGIOB)は初期化されません。初期値に戻すには、TRGIORレジスタに書き込み動作することにより出力が初期化されます。(ただし、TRGIORレジスタのIOA0、IOA1、IOB0、IOB1ビットによる出力設定をL出力、もしくはH出力に設定している場合にのみ初期化されます。) TRGCRレジスタのCCLR0、CCLR1ビットの設定によって、インプットキャプチャ/コンペア一致(TRGGRAレジスタ、TRGGRBレジスタとの一致)によりタイマRGのカウンタ値はリセットされます。このとき、コンペア期待値がFFFFhの場合、オーバフロー動作と同様にFFFFhから0000hとなり、OVFビットは1となります。この動作は、タイマRGのカウンタ値とコンペア期待値とのアウトプットコンペア機能を使用するモードも同様となります。

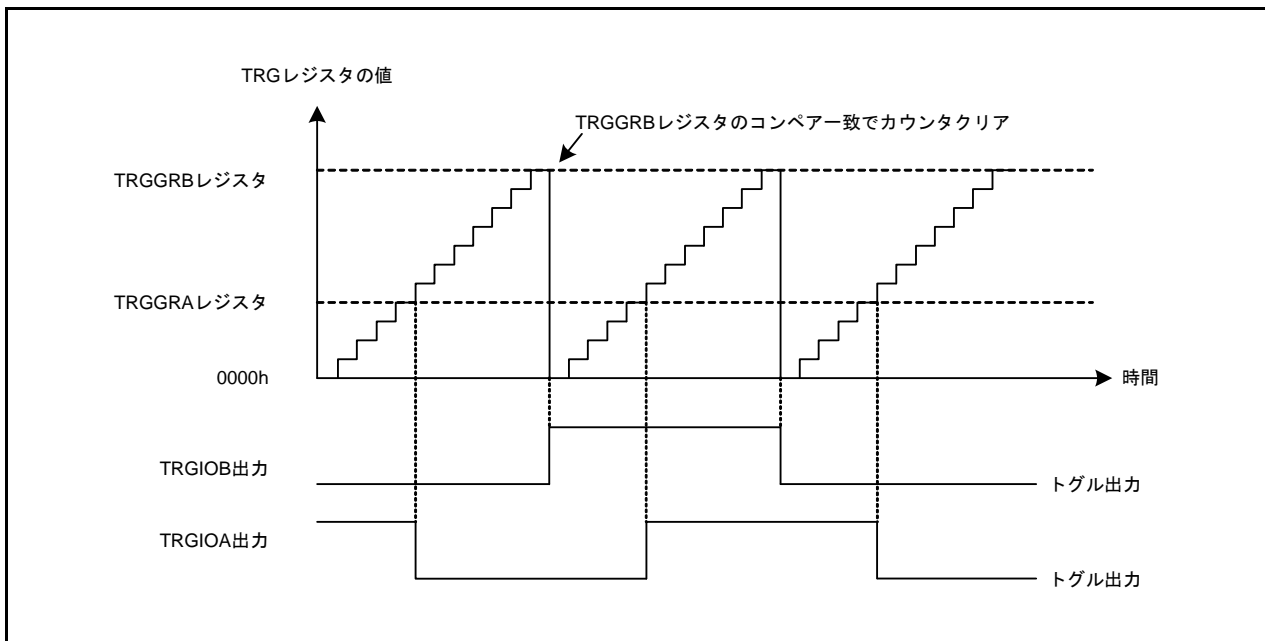


図 21.12 トグル出力の動作例

21.3.4 PWMモード

PWMモードはTRGGRAレジスタとTRGGRBレジスタをペアで使用し、TRGIOA出力端子よりPWM波形を出力します。このモードではTRGIORレジスタの出力設定は無効となります。TRGGRAレジスタにはPWM波形のH出力タイミングを設定し、TRGGRBレジスタにはPWM波形のL出力タイミングを設定します。

TRGGRAレジスタとTRGGRBレジスタのいずれかのコンペア一致をTRGレジスタのカウントクリア要因とすることにより、デューティ0～100%のPWM波形をTRGIOA端子より出力することができます。

表21.10にPWMモードの仕様を、表21.11にPWM出力端子とレジスタの組み合わせを示します。TRGGRAレジスタとTRGGRBレジスタの設定値が同一の場合、コンペア一致が発生しても出力値は変化しません。

表21.10 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
PWM波形	<ul style="list-style-type: none"> TRGGRAレジスタにPWM波形のH出力タイミングを設定 TRGGRBレジスタにPWM波形のL出力タイミングを設定
カウント開始条件	TRGMRレジスタのTSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致) TRGレジスタオーバフロー
TRGIOA端子機能	PWM出力
TRGIOB端子機能	プログラマブル入出力ポート
TRGCLKA、TRGCLKB端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> TRGレジスタを0000hにするタイミング オーバフロー、またはTRGGRjレジスタのコンペア一致 バッファ動作(「21.3.1.2 バッファ動作」参照)

j = A、B

表21.11 PWM出力端子とレジスタの組み合わせ

出力端子	H出力	L出力
TRGIOA	TRGGRA	TRGGRB
TRGIOB	I/Oポートとして機能	

21.3.4.1 PWMモードの設定手順例

図21.13にPWMモードの設定手順例を示します。

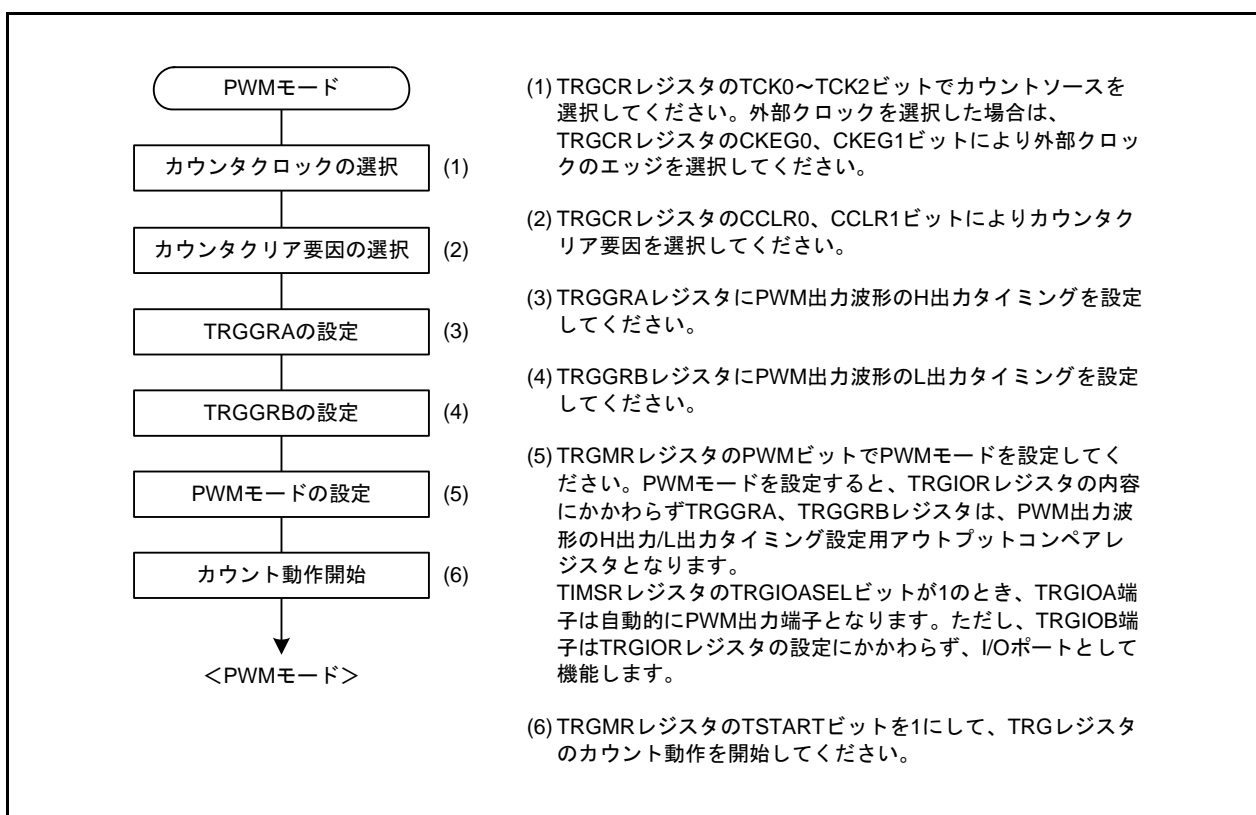


図21.13 PWMモードの設定手順例

21.3.4.2 動作例

図21.14にPWMモードの動作例(1)を示します。

PWMモードを使用する場合、TIMSRレジスタのTRGIOASELビットが1のとき、TRGMRレジスタのPWMビットを1(PWMモード)にすると、TRGIOA端子はPWM出力端子となります。ただし、TRGIOB端子はTRGIORレジスタの設定にかかわらず、I/Oポートとして機能します。最初のコンペア一致が発生するまでのPWM出力端子の出力レベルは、TRGCRレジスタのCCLR0、CCLR1ビットの設定で決まります。

TRGレジスタのカウンタクリア要因をTRGGRA、TRGGRBレジスタのコンペア一致とした場合の例です。TRGIOA端子の初期状態はカウンタクリア要因だけで決まります。この対応関係を表21.12に示します。

TRGCRレジスタのCCLR1、CCLR0ビットが00b(クリア禁止)の場合、TRGIOA端子の初期状態はHとなります。

この初期化はTRGMRレジスタのTSTARTビットが0(カウント停止)時に行われます。

表21.12 TRGIOA端子の初期状態とカウンタクリア要因の対応関係

カウンタクリア要因	TRGIOA端子の初期状態
TRGGRAレジスタのコンペア一致	H
TRGGRBレジスタのコンペア一致	L

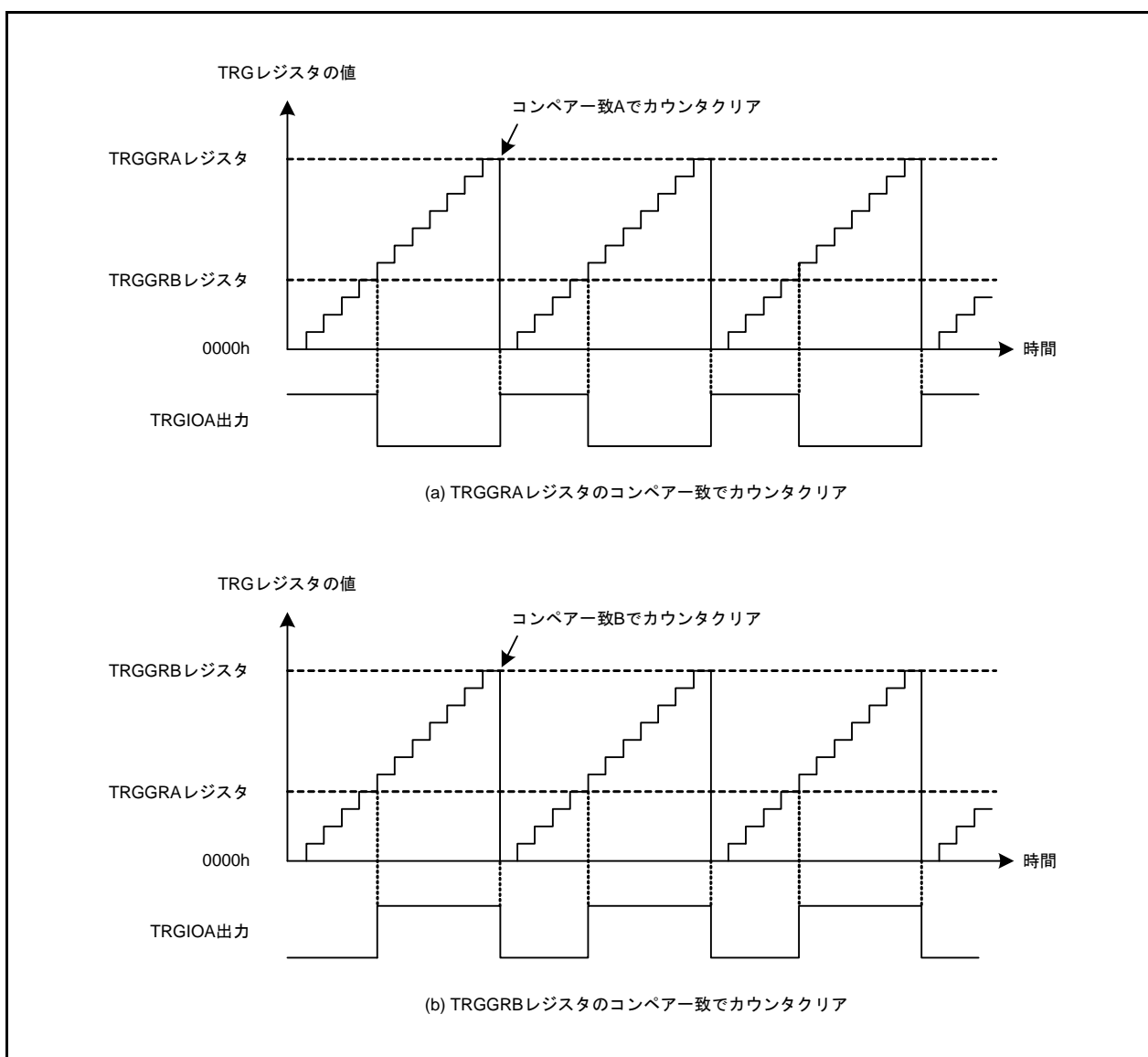


図21.14 PWMモードの動作例(1)

図21.15にPWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を示します。カウンタクリア要因をTRGGRBレジスタのコンペー一致に設定し、

- TRGGRAレジスタの設定値 > TRGGRBレジスタの設定値としたとき、PWM波形はデューティ0%となります。

また、カウンタクリア要因をTRGGRAレジスタのコンペー一致に設定し、

- TRGGRBレジスタの設定値 > TRGGRAレジスタの設定値としたとき、PWM波形はデューティ100%となります。

- TRGGRAレジスタの設定値 = TRGGRBレジスタの設定値としたとき、コンペー一致が発生しても出力値は変化しません。

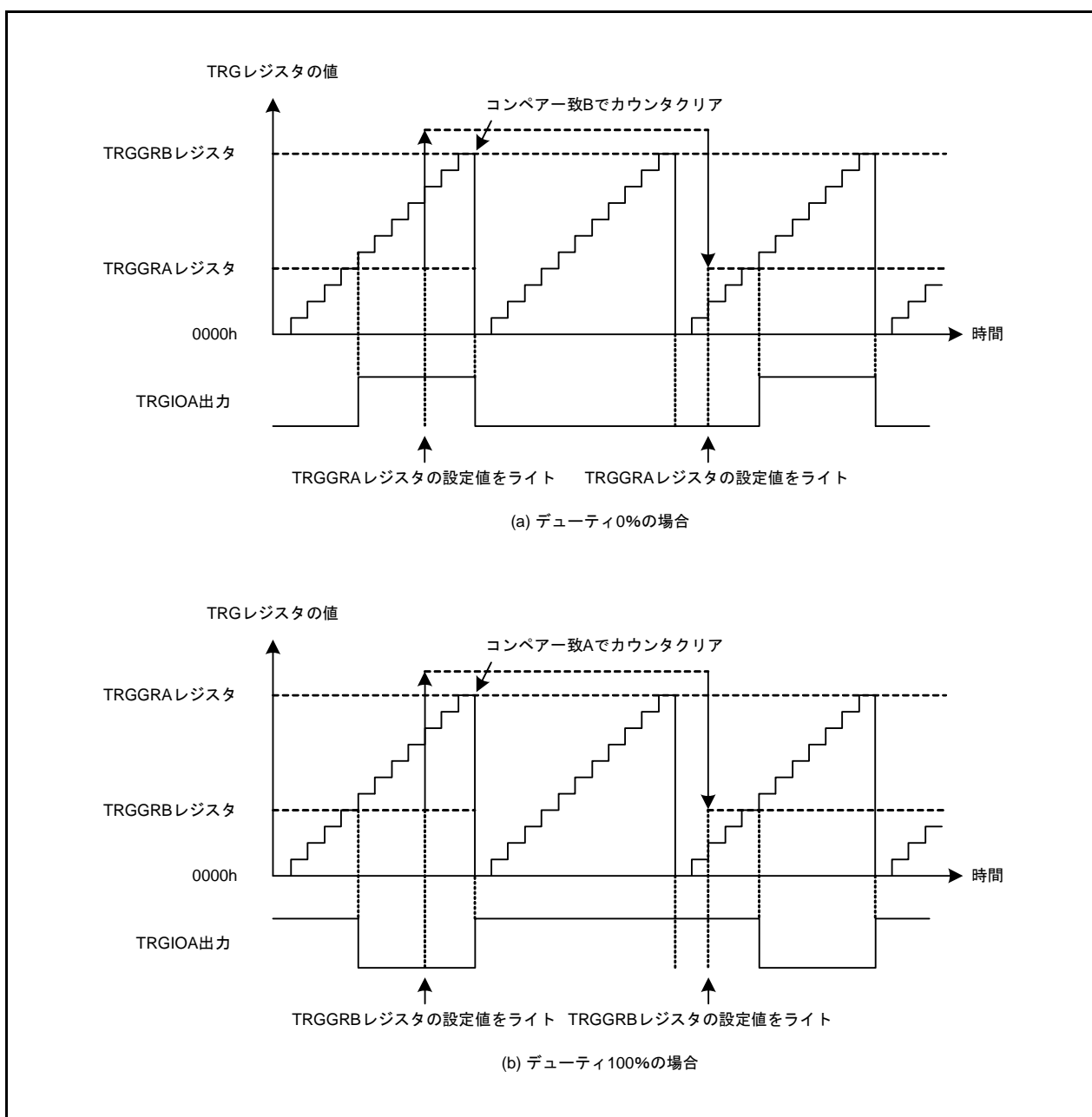


図21.15 PWMモードの動作例(2)

21.3.5 位相計数モード

位相計数モードは、2本のTRGCLKA、TRGCLKB端子からの外部入力信号の位相差を検出し、TRGレジスタをアップ/ダウンカウントします。

TIMSRレジスタのTRGCLKASELビットとTRGCLKBSELビットが1のとき位相計数モードに設定すると、TRGCRレジスタのTCK0～TCK2ビット、CKEG0、CKEG1ビットの設定にかかわらず、TRGCLKA、TRGCLKB端子は自動的に外部クロック入力端子として機能し、またTRGレジスタはTRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、加算/減算されます。ただし、TRGCRレジスタのCCLR0、CCLR1ビット、TRGIOR、TRGIER、TRGSR、TRGGRA、TRGGRBレジスタは有効ですので、インプットキャプチャ/アウトプットコンペア機能やPWM出力機能や割り込み要因を使用することができます。

TRGレジスタは、CNTEN0～CNTEN7ビットにより、TRGCLKA、TRGCLKB端子の立ち上がり/立ち下りの両エッジでカウントします。

表21.13に位相計数モードの仕様を、表21.14にTRGレジスタの加算/減算条件を示します。

表21.13 位相計数モードの仕様

項目	仕様
カウントソース	TRGCLKj端子に入力された外部信号
カウント動作	アップカウント/ダウンカウント
カウント開始条件	TRGMRレジスタのTSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ(TRGIOj入力の有効エッジ) コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致) TRGレジスタオーバフロー TRGレジスタアンダフロー
TRGIOA端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、アウトプットコンペア出力、またはPWM出力
TRGIOB端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、またはアウトプットコンペア出力
TRGCLKA、TRGCLKB端子機能	外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> カウンタの加算/減算条件選択 TRGCNTCレジスタのCNTEN0～CNTEN7ビットで選択 インプットキャプチャ/アウトプットコンペア機能、PWM機能を使用可

j = A, B

表21.14 TRGレジスタの加算/減算条件

TRGCLKB端子	↑	H	↓	L	H	↓	L	↑
TRGCLKA端子	L	↑	H	↓	↓	L	↑	H
TRGCNTC レジスタの CNTEN0～ CNTEN7ビット	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
カウント方向 (注1)	+1	+1	+1	+1	-1	-1	-1	-1

注1. TRGCNTCレジスタの各ビットが1(ダウンカウントまたはアップカウント)のときのカウント方向を示しています。0(無効)のとき、カウントしません。

21.3.5.1 位相計数モードの設定手順例

図21.16に位相計数モードの設定手順例を示します。

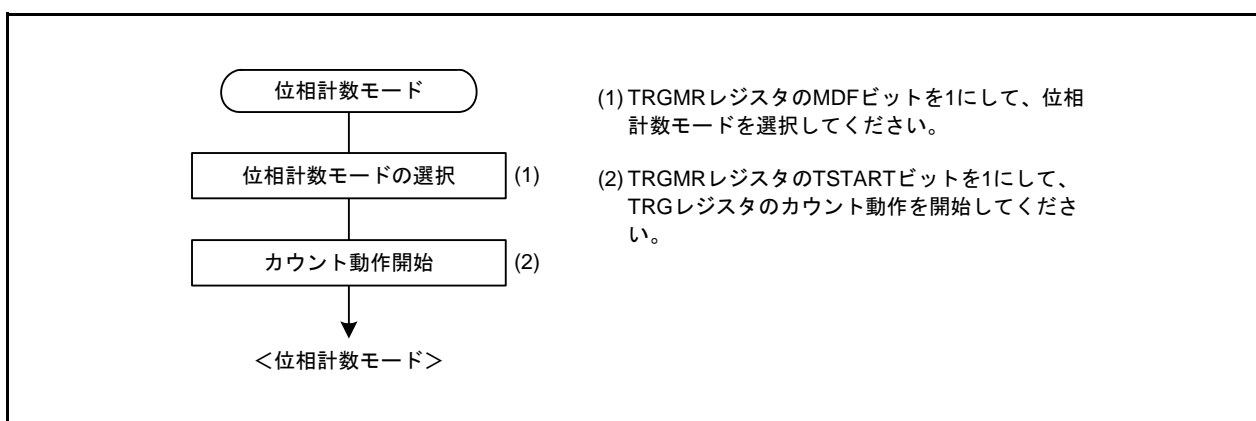


図21.16 位相計数モードの設定手順例

21.3.5.2 動作例

図21.17～図21.20に位相計数モードの動作例を示します。表21.14にTRGレジスタの加算/減算条件を示します。

位相計数モードでは、TRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、TRGCLKA、TRGCLKB端子の立ち上がり(↑)/立ち下がり(↓)の両エッジで加算/減算されます。

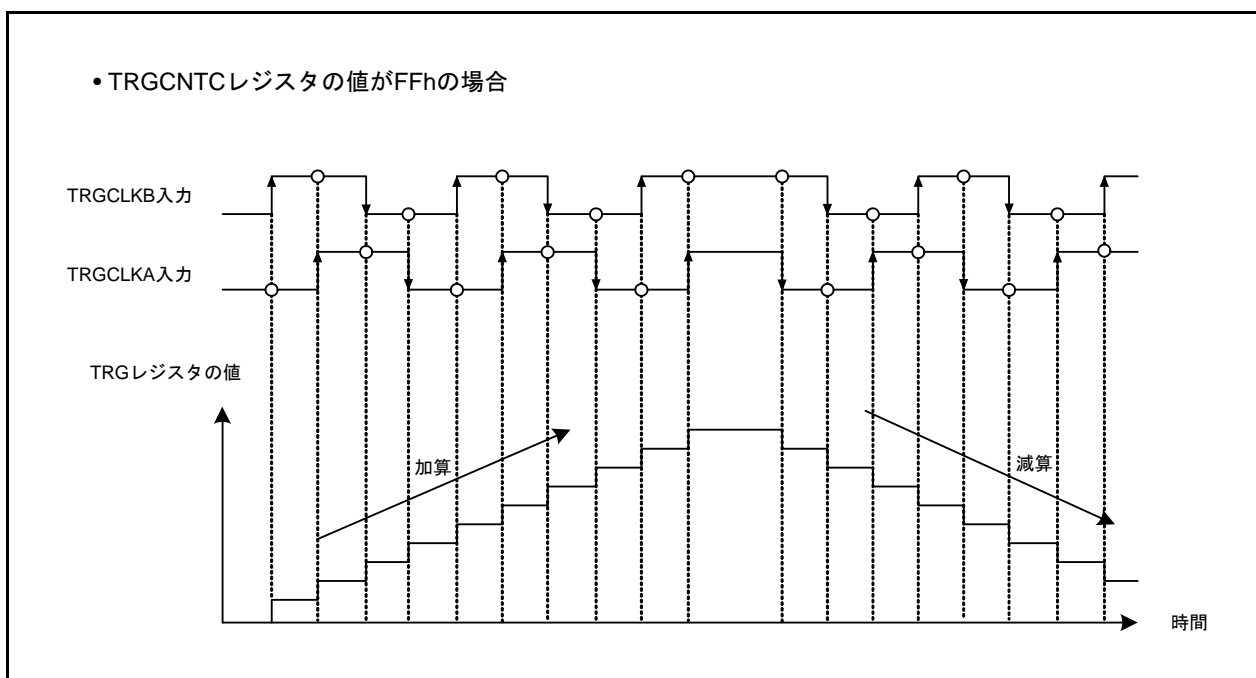


図21.17 位相計数モードの動作例1

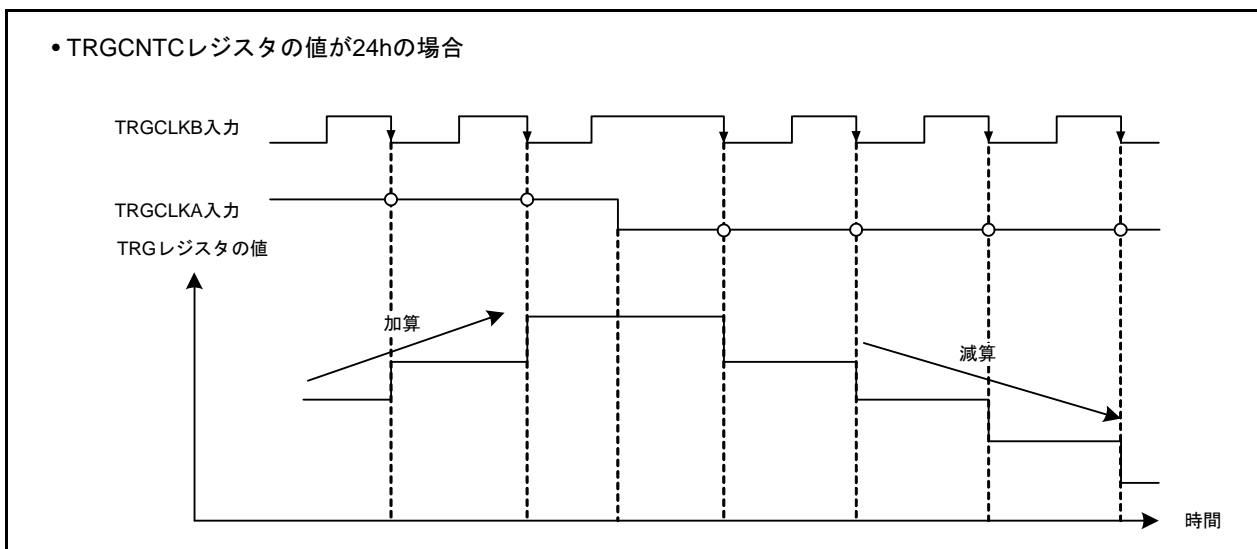


図21.18 位相計数モードの動作例2

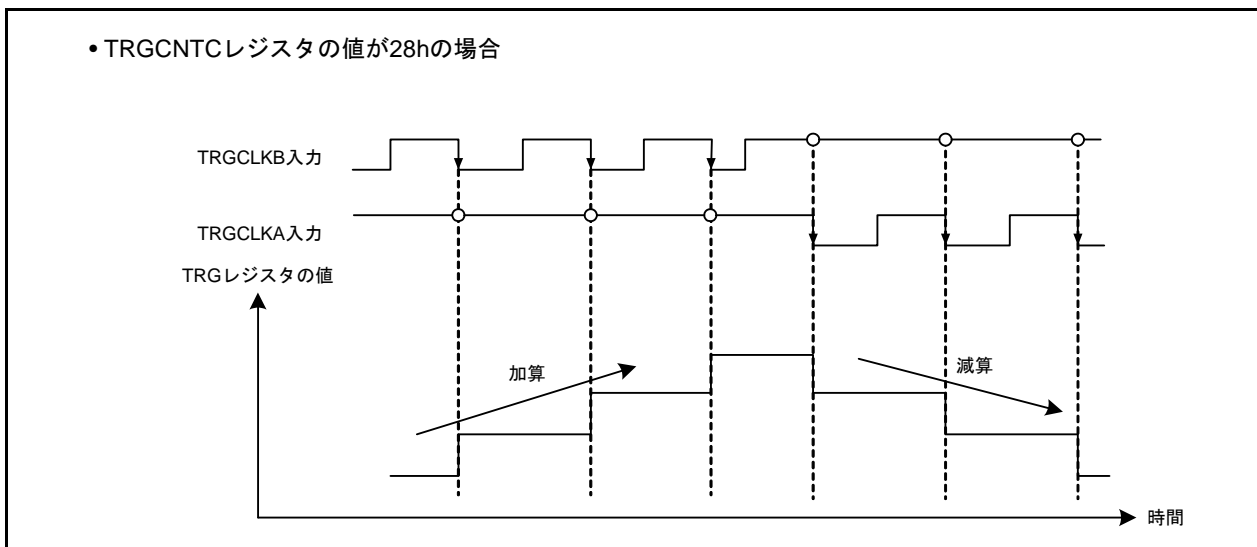


図21.19 位相計数モードの動作例3

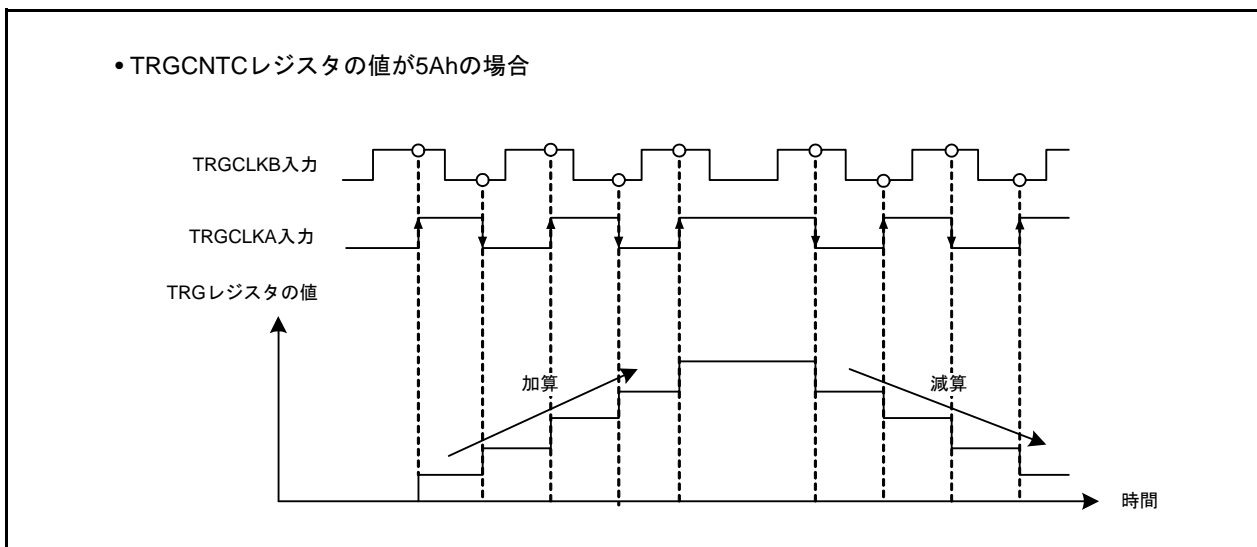


図21.20 位相計数モードの動作例4

21.3.6 タイマRG割り込み

タイマRGは、4つの要因からタイマRG割り込み要求を発生します。タイマRG割り込みは1つのTRGICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表21.15にタイマRG割り込み関連レジスタを、図21.21にタイマRG割り込みのブロック図を示します。

表21.15 タイマRG割り込み関連レジスタ

タイマRG ステータスレジスタ	タイマRG 割り込み許可レジスタ	タイマRG 割り込み制御レジスタ
TRGSR	TRGIER	TRGIC

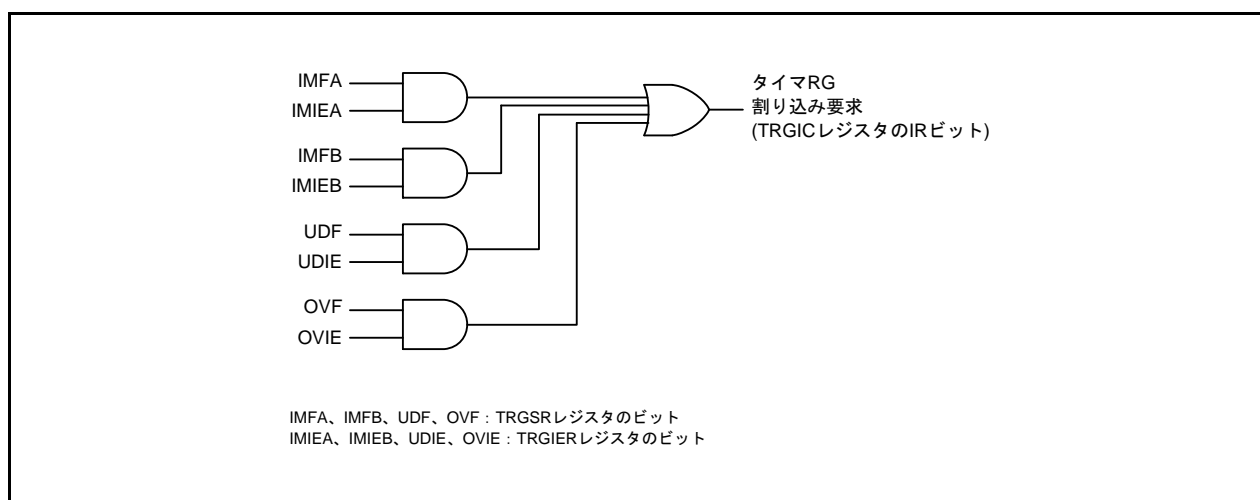


図21.21 タイマRG割り込みのブロック図

タイマRG割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRG割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRGSRレジスタのビットが1で、それに対応するTRGIERレジスタのビットが1(割り込み許可)の場合、IRビットが1(割り込み要求あり)になります。
- TRGSRレジスタのビットと、それに対応するTRGIERレジスタのビットのどちらか、または両方が0になるとIRビットが0(割り込み要求なし)になります。すなわち、IRビットは、一旦1になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが1になった後、別の要求要因が成立した場合、IRビットは1のまま変化しません。
- TRGIERレジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRGSRレジスタで判断してください。

TRGSRレジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。0にする方法は「21.2.5 タイマRGステータスレジスタ(TRGSR)」を参照してください。

TRGIERレジスタは「21.2.4 タイマRG割り込み許可レジスタ(TRGIER)」を参照してください。

TRGICレジスタは「11.4 割り込み制御」、割り込みベクタは「11.3.2 可変ベクタテーブル」を参照してください。

21.4 タイマRG使用上の注意事項

21.4.1 位相計数モード時の位相差、オーバーラップ、およびパルス幅

TRGCLKA、TRGCLKB 端子からの外部入力信号の位相差およびオーバーラップはそれぞれ $1.5f_1$ 以上、パルス幅は $2.5f_1$ 以上が必要です。図21.22に位相計数モード時の位相差、オーバーラップ、およびパルス幅を示します。

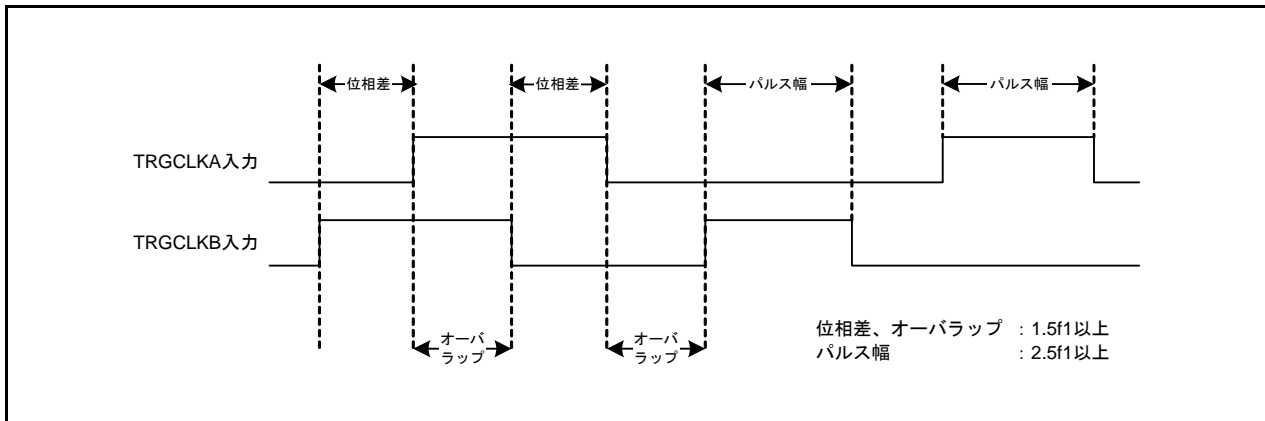


図21.22 位相計数モード時の位相差、オーバーラップ、およびパルス幅

21.4.2 モード切り替え

- 動作中にモードを切り替える際は、TRGMRレジスタのTSTARTビットを0(カウント停止)にした後、行ってください。
- モード切り替え後、動作開始前にTRFICレジスタのクリアを行ってください。
詳細は「11.9.4 割り込み要因の変更」を参照してください。

21.4.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。また、カウントソース切り替え後、CPUクロックの2サイクル以上待ってから、タイマRG関連レジスタへ書き込みを行ってください。

変更手順

- (1) TRGMRレジスタのTSTARTビットを0(カウント停止)にする
- (2) TRGCRレジスタのTCK0～TCK2ビットを変更する
- (3) CPUクロックの2サイクル以上待つ
- (4) タイマRG関連レジスタへ書き込みが可能

注1. fHOCOをカウントソースに選択している場合、FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にしないでください。

21.4.4 SFR リード/ライトアクセス

21.4.4.1 TRGMR レジスタ

デジタルフィルタクロック切り替えの際、以下の設定手順を行ってください。

- (1) TSTART ビットが0 (カウント停止)の状態において、TRGMR レジスタのDFA、DFB ビット (TRGIOA、TRGIOB 端子のデジタルフィルタ機能選択ビット)、TRGMR レジスタのDFCK0、DFCK1 ビット(デジタルフィルタ機能で使用するクロック選択ビット)を設定する。
- (2) TSTART ビットを1に設定する。

ただし、デジタルフィルタを設定しない場合、リセット直後、(1)と(2)の処理を1回で設定することが可能です。

インプットキャプチャの動作要因として、外部入力端子 (TRGIOA、TRGIOB) の他に、イベントリンクコントローラ (ELC) からのイベント入力によってインプットキャプチャを動作することができます。この機能を使用したい場合はTRGMR レジスタのELCICE ビットを1に設定し、インプットキャプチャ機能、インプットキャプチャの有効エッジは立ち上がりエッジ (IOB2 ~ IOB0 = 100b) に設定してください。このときモードがPWM モードやタイマモードのアウトプットコンペア機能時の場合 (PWM = 1、IOB2 = 0)、この機能は無効となります。

21.4.4.2 TRG レジスタ

TRG レジスタのSFR への書き込み動作とタイマRG動作条件によるカウンタリセット動作は、SFR への書き込み動作を優先動作としています。

21.4.5 カウント停止時のインプットキャプチャ動作

インプットキャプチャ機能使用時、インプットキャプチャ信号 (TRGIOR レジスタのIOi0、IOi1 ビット (i = A、B) のいずれかで選択したエッジ) がTRGIOi 端子 (i = A、B、C、D) に入力されると、TRGMR レジスタのTSTART ビットが0 (カウント停止) のときも、TRGSR レジスタのIMFi ビットが1になります。

22. シリアルインタフェース(UART0)

シリアルインタフェースは、UART0_0、UART0_1の2チャンネルで構成しています。
特に差異がない限り、本章ではUART0として説明します。

22.1 概要

UART0は、それぞれ専用の転送クロック発生用タイマを持ち、独立しています。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/O(UART)モードの2種類のモードを持ちます。

表22.1にUART0の仕様を、図22.1にUART0のブロック図を、図22.2に送受信部のブロック図を、表22.2にUART0の端子構成を示します。詳細は「表22.4 クロック同期形シリアルI/Oモードの仕様」、「表22.6 クロック非同期形シリアルI/Oモードの仕様」を参照してください。

表22.1 UART0の仕様

項目		内容
クロック同期形シリアルI/Oモード	転送データフォーマット	転送データ長8ビット
	転送クロック	<ul style="list-style-type: none"> U0MRレジスタのCKDIRビットが0(内部クロック) : $f_i/(2(n+1))$ $f_i = f_1, f_8, f_{32}$ n : U0BRGレジスタの設定値(00h~FFh) U0MRレジスタのCKDIRビットが1(外部クロック) : fEXT (CLK端子からの入力)
	エラー検出	オーバランエラー
クロック非同期形シリアルI/Oモード	転送データフォーマット	<ul style="list-style-type: none"> キャラクタビット(転送データ) : 7、8、9ビット選択 スタートビット : 1ビット パリティビット : 奇数、偶数、なし選択 ストップビット : 1、2ビット選択
	転送クロック	<ul style="list-style-type: none"> U0MRレジスタのCKDIRビットが0(内部クロック) : $f_j/(16(n+1))$ $f_j = f_1, f_8, f_{32}$ n : U0BRGレジスタの設定値(00h~FFh) U0MRレジスタのCKDIRビットが1(外部クロック) : $f_{EXT}/(16(n+1))$ fEXT (CLK端子からの入力) n : U0BRGレジスタの設定値(00h~FFh)
	エラー検出	オーバランエラー(注1)、フレーミングエラー、パリティエラー、エラーサムフラグ
割り込み要因		送信バッファ空または送信完了割り込み(兼用)、受信完了割り込み
選択機能		U0C0レジスタのDFEビットにてデジタルフィルタ機能有無を選択可能

注1. オーバランエラーが発生した場合、U0RICレジスタのIRビットは1(割り込み要求あり)に変化します。

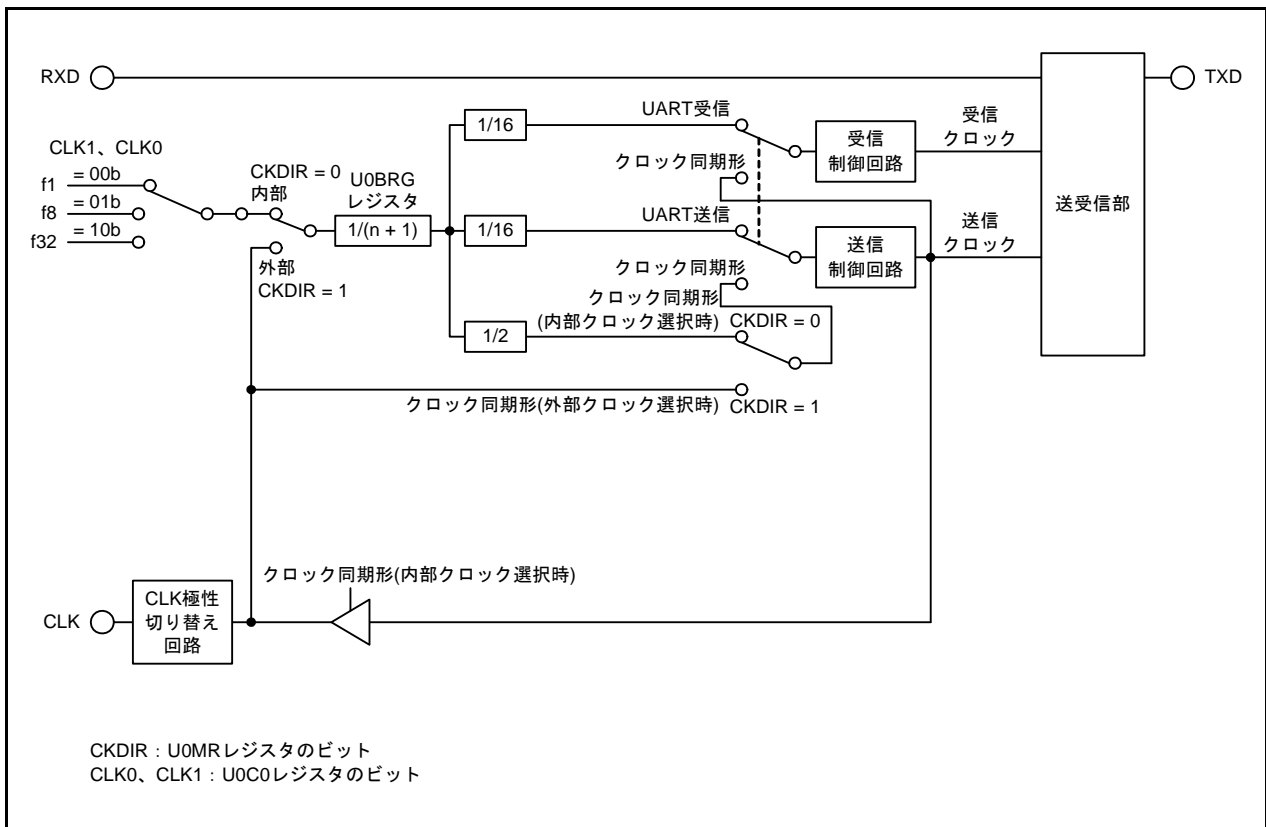


図22.1 UART0のブロック図

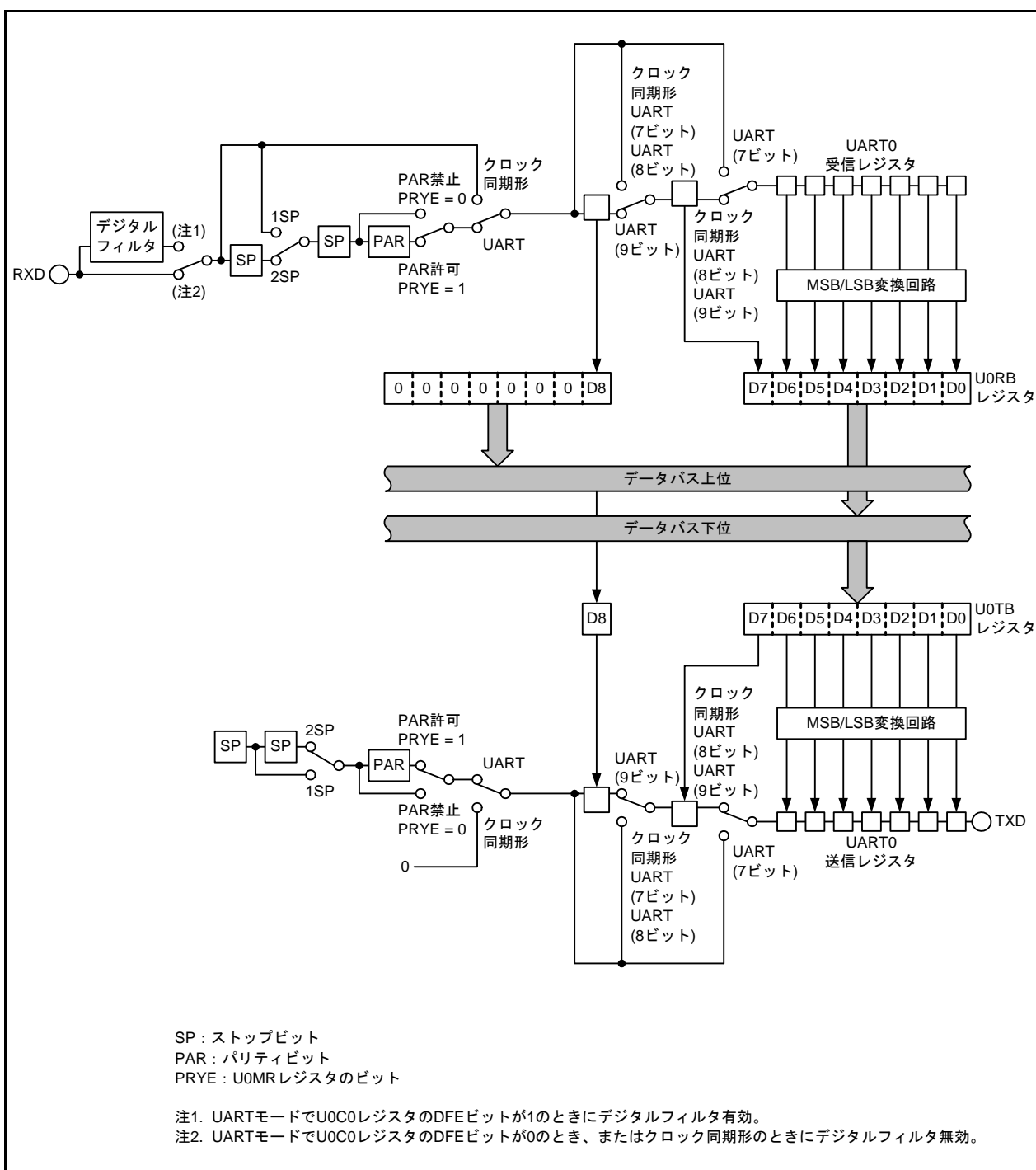


図22.2 送受信部のブロック図

表22.2 UART0の端子構成

端子名	入出力	機能
CLK	入出力	転送クロック入出力
RXD	入力	シリアルデータ入力
TXD	出力	シリアルデータ出力

22.2 レジスタの説明

表22.3にUART0のレジスタ構成を示します。

表22.3 UART0のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
UART0_0送受信モードレジスタ	U0MR_0	00h	00080h	8
UART0_0ビットレートレジスタ	U0BRG_0	XXh	00081h	8
UART0_0送信バッファレジスタ	U0TB_0	XXh	00082h	8(注1)
		XXh	00083h	8(注1)
UART0_0送受信制御レジスタ0	U0C0_0	00001000b	00084h	8
UART0_0送受信制御レジスタ1	U0C1_0	00000010b	00085h	8
UART0_0受信バッファレジスタ	U0RB_0	XXXXh	00086h	16(注1)
UART0_0割り込みフラグと許可レジスタ	U0IR_0	00h	00088h	8
UART0_1送受信モードレジスタ	U0MR_1	00h	00090h	8
UART0_1ビットレートレジスタ	U0BRG_1	XXh	00091h	8
UART0_1送信バッファレジスタ	U0TB_1	XXh	00092h	8(注1)
		XXh	00093h	8(注1)
UART0_1送受信制御レジスタ0	U0C0_1	00001000b	00094h	8
UART0_1送受信制御レジスタ1	U0C1_1	00000010b	00095h	8
UART0_1受信バッファレジスタ	U0RB_1	XXXXh	00096h	16(注1)
UART0_1割り込みフラグと許可レジスタ	U0IR_1	00h	00098h	8

X：不定

注1. アクセス方法の詳細は、レジスタの説明を参照してください。

22.2.1 UART0送受信モードレジスタ(U0MR)

アドレス 00080h (U0MR_0)、00090h (U0MR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット (注1、3)	b2 b1 b0 0 0 0 : シリアルインタフェース無効(動作停止)	R/W
b1	SMD1		0 0 1 : クロック同期形シリアルI/Oモード	R/W
b2	SMD2		1 0 0 : UARTモード転送データ長7ビット 1 0 1 : UARTモード転送データ長8ビット 1 1 0 : UARTモード転送データ長9ビット 上記以外：設定しないでください	R/W
b3	CKDIR	内部/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	R/W
b5	PRY	パリティ奇数/偶数選択ビット(注2)	0 : 奇数パリティ 1 : 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	R/W
b7	—	予約ビット	0にしてください	R/W

注1. U0MRレジスタのSMD2～SMD0ビットを000bにするときは、U0C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にしてください。

注2. PRYビットは、PRTYEビットが1(パリティ許可)のときに有効です。

注3. SMD2～SMD0ビットが001b(クロック同期形シリアルI/Oモード)のとき、U0RBレジスタのエラーフラグ(FER、PER、SUMビット)は無効です。読んだ場合、その値は不定です。

22.2.2 UART0ビットレートレジスタ(U0BRG)

アドレス 00081h (U0BRG_0)、00091h (U0BRG_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7~b0	設定値をnにすると、U0BRGはカウントソースをn+1分周します。	00h~FFh	W

U0BRGレジスタは、送受信停止中にMOV命令を使用して書いてください。

U0C0レジスタのCLK0、CLK1ビットを設定した後、U0BRGレジスタに書いてください。

U0BRGレジスタは、連続書き込みをしないでください。

22.2.3 UART0送信バッファレジスタ(U0TB)

アドレス 00082h (U0TB_0)、00092h (U0TB_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	—	送信データ (D8~D0)	W
b1	—		W
b2	—		W
b3	—		W
b4	—		W
b5	—		W
b6	—		W
b7	—		W
b8	—		W
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

転送データ長9ビットの場合、上位バイト(b15~b8)→下位バイト(b7~b0)の順で、8ビット単位で書いてください。

U0TBレジスタは、MOV命令を使用して書いてください。

22.2.4 UART0送受信制御レジスタ0 (U0C0)

アドレス 00084h (U0C0_0)、00094h (U0C0_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	DFE	TXEPT	—	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U0BRG カウントソース選択ビット (注1)	b1 b0 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : 設定しないでください	R/W
b1	CLK1			R/W
b2	—	予約ビット	0にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	R
b4	DFE	RXD デジタルフィルタ許可ビット	0 : デジタルフィルタ禁止 1 : デジタルフィルタ許可	R/W
b5	NCH	データ出力選択ビット(注2)	0 : TXD 端子はCMOS出力 1 : TXD 端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット(注3)	0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0 : LSB ファースト 1 : MSB ファースト	R/W

注1. U0BRG カウントソースを変更した場合、U0BRG レジスタを再設定してください。

注2. UART0 を使用しないときは、NCH ビットを0 (TXD 端子はCMOS出力) にしてください。

注3. CKPOL ビットは、クロック同期形シリアルI/Oモードのときに有効です。

DFE ビット(RXD デジタルフィルタ許可ビット)

RXD デジタルフィルタ許可時はU0BRG レジスタで分周したクロックにて3パルス以下のノイズを除去します。

詳細は「22.3.2.3 RXD デジタルフィルタ」を参照してください。

クロック非同期形シリアルI/Oモードのとき設定可能です。クロック同期形シリアルI/Oモード時は0(デジタルフィルタ禁止)にしてください。

22.2.5 UART0送受信制御レジスタ1(U0C1)

アドレス 00085h (U0C1_0)、00095h (U0C1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	U0RRM	U0IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: U0TBレジスタにデータあり 1: U0TBレジスタにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ(注1)	0: U0RBレジスタにデータなし 1: U0RBレジスタにデータあり	R
b4	U0IRS	UART0送信割り込み要因選択ビット	0: 送信バッファ空(TI = 1) 1: 送信完了(TXEPT = 1)	R/W
b5	U0RRM	UART0連続受信モード許可ビット(注2)	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	—	予約ビット	0にしてください	R/W
b7	—			

注1. RIビットは、U0RBレジスタを読み出したとき、0(U0RBレジスタにデータなし)になります。

注2. クロック同期形シリアルI/Oモード時のみ設定可能です。クロック非同期形シリアルI/Oモード時は0(連続受信モード禁止)にしてください。

22.2.6 UART0 受信バッファレジスタ (U0RB)

アドレス 00086h (U0RB_0)、00096h (U0RB_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	受信データ (D8～D0) (注2)		R
b1	—			R
b2	—			R
b3	—			R
b4	—			R
b5	—			R
b6	—			R
b7	—			R
b8	—			R
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b10	—			
b11	—			
b12	OER	オーバランエラーフラグ(注1、3)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、3)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、3)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、3)	0: エラーなし 1: エラー発生	R

注1. OER、FER、PER、SUMビットは、U0MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェース無効)にしたとき、またはU0C1レジスタのREビットを0(受信禁止)にしたとき、0(エラーなし)になります。SUMビットは、OER、FER、PERビットがすべて0(エラーなし)になると、0(エラーなし)になります。また、FER、PERビットは、U0RBレジスタを読み出したとき、0になります。

U0MRレジスタのSMD2～SMD0ビットを000bにするときは、U0C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にしてください。

注2. U0C1レジスタのRIビットが1(U0RBレジスタにデータあり)のとき、U0RBレジスタを読み出してください。

注3. U0MRレジスタのSMD2～SMD0ビットが001b(クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

U0RBレジスタは、16ビット単位で読み出してください。

22.2.7 UART0 割り込みフラグと許可レジスタ (U0IR)

アドレス 00088h (U0IR_0)、00098h (U0IR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	U0TIE	U0RIE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	U0RIE	UART0受信割り込み許可ビット	0: 受信割り込み禁止 1: 受信割り込み許可	R/W
b3	U0TIE	UART0送信割り込み許可ビット	0: 送信割り込み禁止 1: 送信割り込み許可	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—	予約ビット	0にしてください	R/W
b7	—			

22.3 動作説明

UART0は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/O (UART)モードの2種類のモードを持ちます。

22.3.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表22.4にクロック同期形シリアルI/Oモードの仕様を、表22.5にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表22.4 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長8ビット
転送クロック	<ul style="list-style-type: none"> U0MRレジスタのCKDIRビットが0(内部クロック) : $f_i/(2(n+1))$ $f_i = f_1, f_8, f_{32}$ $n = U0BRG$レジスタの設定値(00h~FFh) U0MRレジスタのCKDIRビットが1(外部クロック) : fEXT (CLK端子からの入力)
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> U0C1レジスタのTEビットが1(送信許可) U0C1レジスタのTIビットが0(U0TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> U0C1レジスタのREビットが1(受信許可) U0C1レジスタのTEビットが1(送信許可) U0C1レジスタのTIビットが0(U0TBレジスタにデータあり)
割り込み要求発生タイミング	<ul style="list-style-type: none"> 送信する場合(次の条件のいずれかを選択) <ul style="list-style-type: none"> U0C1レジスタのU0IRSビットが0(送信バッファ空) : U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) U0C1レジスタのU0IRSビットが1(送信完了) : UART0送信レジスタからデータ送信完了時 受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注2) U0RBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択 連続受信モード選択 U0RBレジスタを読み出す動作により、同時に受信許可状態になる

注1. 外部クロックを選択している場合、次の状態で条件を満たしてください。

- U0C0レジスタのCKPOLビットが0(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のとき、外部クロックがH
- CKPOLビットが1(転送クロックの立ち上がり)で送信データ出力、立ち下がりで受信データ入力)のとき、外部クロックがL

注2. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0~b8)は不定になります。また、U0RICレジスタのIRビットは1(割り込み要求あり)に変化します。

表22.5 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	b0~b7	送信データを設定してください。
U0RB	b0~b7	受信データが読めます。
	OER	オーバランエラーフラグ
U0BRG	b0~b7	ビットレートを設定してください。
U0MR	SMD2~SMD0	001b(クロック同期形シリアルI/Oモード)にしてください。
	CKDIR	内部クロックまたは外部クロックを選択してください。
U0C0	CLK0、CLK1	U0BRGカウントソース(f1、f8、f32)を選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXD端子の出力形式(CMOS出力またはNチャネルオープンドレイン出力)を選択してください。
	CKPOL	転送クロックの極性を選択してください。
	UFORM	LSBファーストまたはMSBファーストを選択してください。
U0C1	TE	送信を許可する場合、1にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください。
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を、送信バッファ空または送信完了から選択してください。
	U0RRM	連続受信モード禁止または許可を選択してください。

注1. この表に記載していないビットに書く場合、0を書いてください。

22.3.1.1 動作例

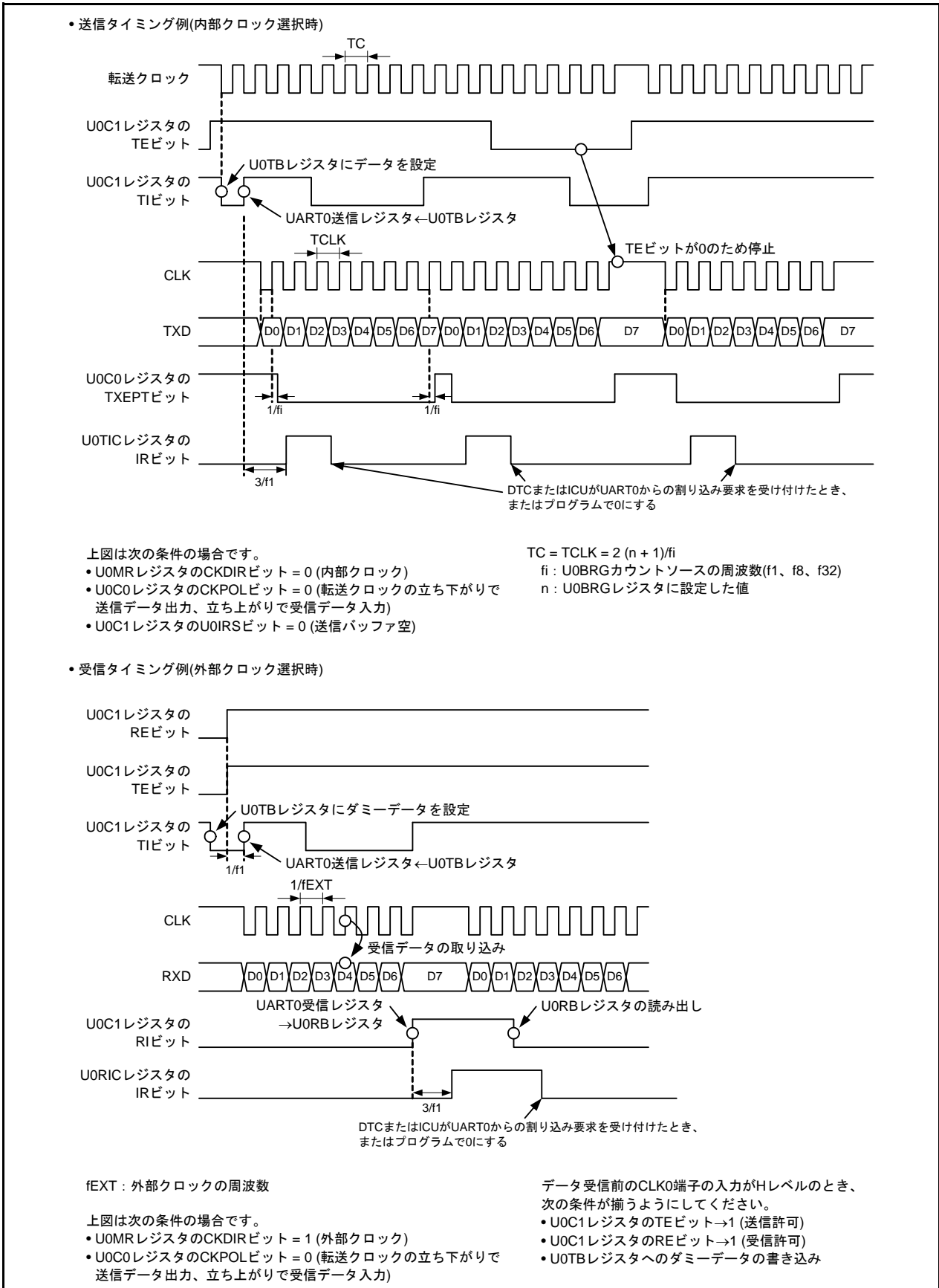


図22.3 クロック同期形シリアルI/Oモード時の送受信タイミング図

22.3.1.2 極性選択機能

図22.4に転送クロックの極性を示します。

U0C0レジスタのCKPOLビットによって転送クロックの極性を選択できます。

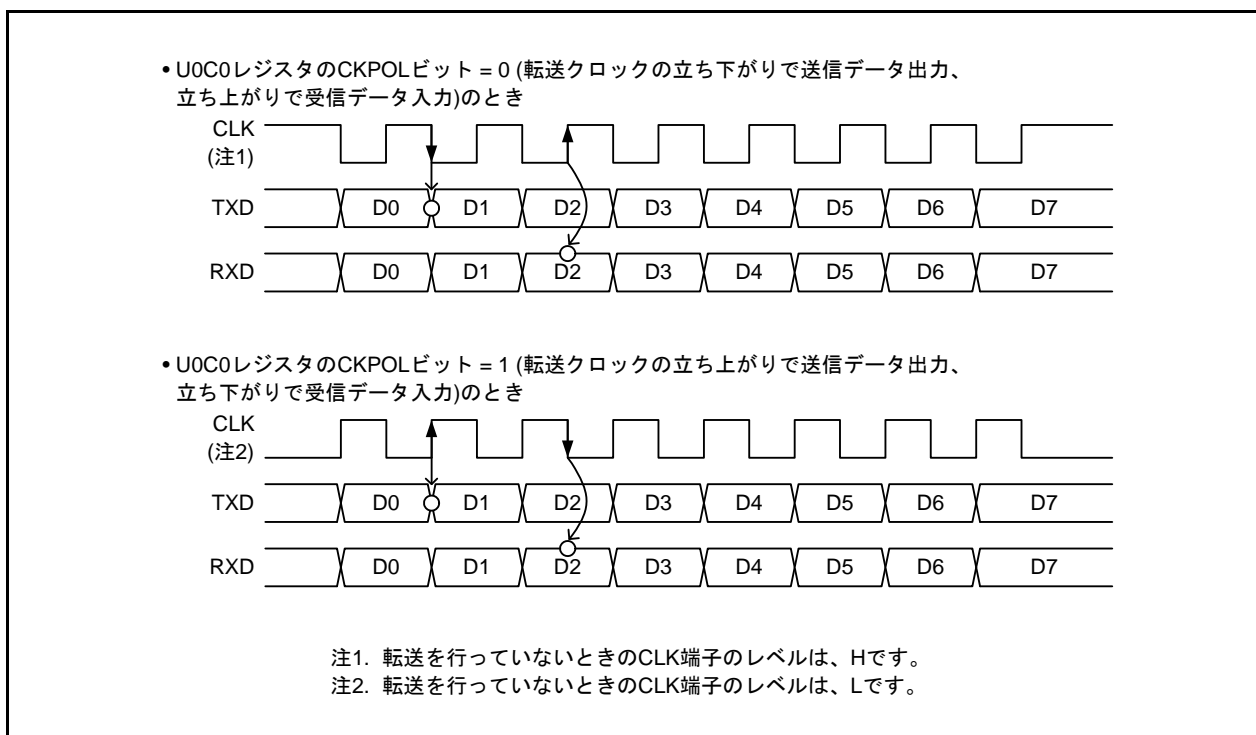


図22.4 転送クロックの極性

22.3.1.3 LSBファースト、MSBファースト選択

図22.5に転送フォーマットを示します。

U0C0レジスタのUFORMビットで転送フォーマットを選択できます。

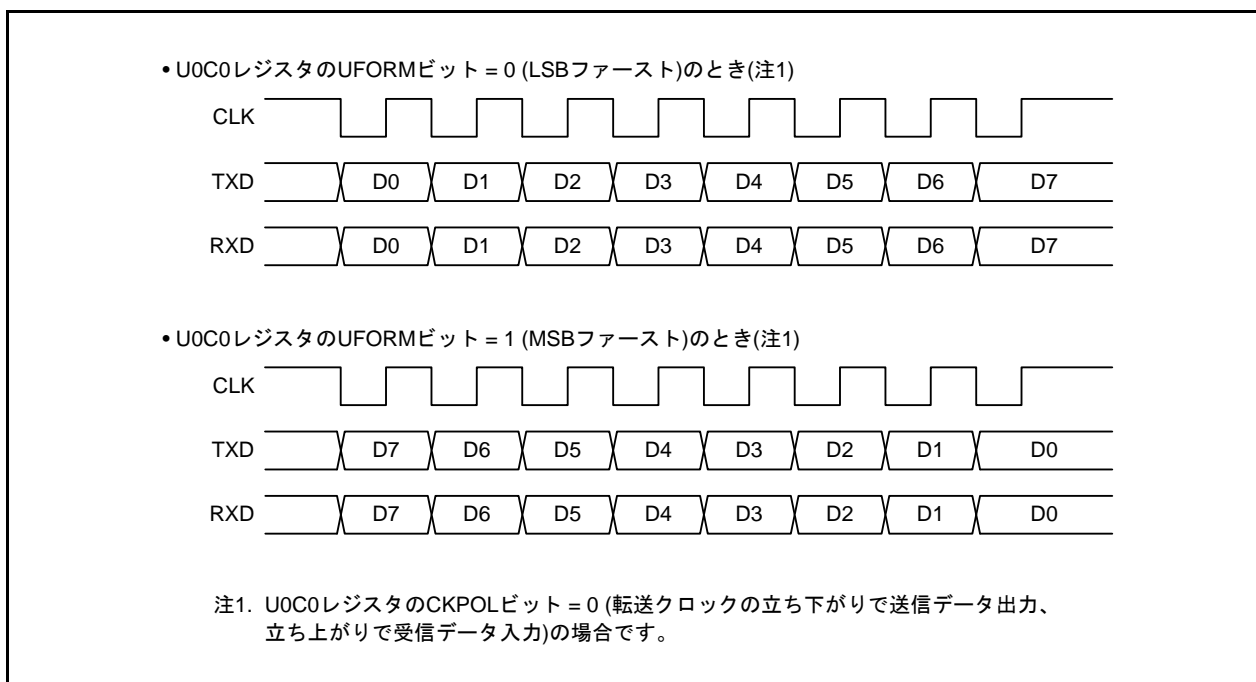


図22.5 転送フォーマット

22.3.1.4 連続受信モード

U0C1レジスタのUORRMビットを1(連続受信モード許可)にすることによって、連続受信モードになります。連続受信モードでは、UORBレジスタを読むことでU0C1レジスタのTIビットが0(U0TBレジスタにデータあり)になります。UORRMビットが1の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

22.3.1.5 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U0C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にする
- (2) U0MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェース無効)にする
- (3) U0MRレジスタのSMD2～SMD0ビットを001b(クロック同期形シリアルI/Oモード)にする
- (4) U0C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする

22.3.2 クロック非同期形シリアルI/O (UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表 22.6 にクロック非同期形シリアル I/O モードの仕様を、表 22.7 にクロック非同期形シリアル I/O モード時の使用レジスタと設定値を示します。

表 22.6 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> • キャラクタビット(転送データ) : 7、8、9ビット選択 • スタートビット : 1ビット • パリティビット : 奇数、偶数、なし選択 • ストップビット : 1、2ビット選択
転送クロック	<ul style="list-style-type: none"> • U0MR レジスタのCKDIR ビットが0 (内部クロック) : $f_j / (16(n + 1))$ $f_j = f_1, f_8, f_{32}$ $n = U0BRG$ レジスタの設定値(00h~FFh) • U0MR レジスタのCKDIR ビットが1 (外部クロック) : $f_{EXT} / (16(n + 1))$ f_{EXT} (CLK端子からの入力) $n = U0BRG$ レジスタの設定値(00h~FFh)
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> • U0C1 レジスタのTE ビットが1 (送信許可) • U0C1 レジスタのTI ビットが0 (U0TB レジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> • U0C1 レジスタのRE ビットが1 (受信許可) • スタートビットの検出
割り込み要求発生 タイミング	<ul style="list-style-type: none"> • 送信する場合(次の条件のいずれかを選択) <ul style="list-style-type: none"> - U0C1 レジスタのU0IRS ビットが0 (送信バッファ空) : U0TB レジスタから UART0 送信レジスタへデータ転送時(送信開始時) - U0C1 レジスタのU0IRS ビットが1 (送信完了) : UART0 送信レジスタからデータ送信完了時 • 受信する場合 UART0 受信レジスタから、U0RB レジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー (注1) U0RB レジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー (注2) 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー (注2) パリティ許可時に、キャラクタビットとパリティビット中の1の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合1になる

注1. オーバランエラーが発生した場合、U0RB レジスタの受信データ (b0~b8) は不定になります。

また、U0RIC レジスタのIR ビットは1 (割り込み要求あり) に変化します。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART0 受信レジスタから U0RB レジスタにデータが転送されるときに1になります。

表22.7 クロック非同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	b0~b8	送信データを設定してください。(注1)
U0RB	b0~b8	受信データが読めます。(注2)
	OER	オーバランエラーフラグ
	FER	フレーミングエラーフラグ
	PER	パリティエラーフラグ
	SUM	エラーサムフラグ
U0BRG	b0~b7	ビットレートを設定してください。
U0MR	SMD2~SMD0	転送データ長7ビットの場合、100bにしてください。 転送データ長8ビットの場合、101bにしてください。 転送データ長9ビットの場合、110bにしてください。
	CKDIR	内部クロックまたは外部クロックを選択してください。
	STPS	1ストップビットまたは2ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数、奇数を選択してください。
U0C0	CLK0、CLK1	U0BRGカウントソース(f1、f8、f32)を選択してください。
	TXEPT	送信レジスタ空フラグ
	DFE	デジタルフィルタ機能の有無を選択してください。
	NCH	TXD端子の出力形式(CMOS出力またはNチャネルオープンドレイン出力)を選択してください。
	CKPOL	0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)にしてください。
	UFORM	転送データ長8ビット時は、LSBファーストまたはMSBファーストを選択してください。 転送データ長7ビットまたは9ビット時は、0(LSBファースト)にしてください。
U0C1	TE	送信を許可する場合、1にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください。
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を、送信バッファ空または送信完了から選択してください。
	U0RRM	0(連続受信モード禁止)にしてください。

注1. 使用するビットは次のとおりです。

- 転送データ長7ビット：ビットb0~b6
- 転送データ長8ビット：ビットb0~b7
- 転送データ長9ビット：ビットb0~b8

注2. 転送データ長7ビットの場合のビットb7、b8、転送データ長8ビットの場合のビットb8の内容は、不定です。

22.3.2.1 動作例

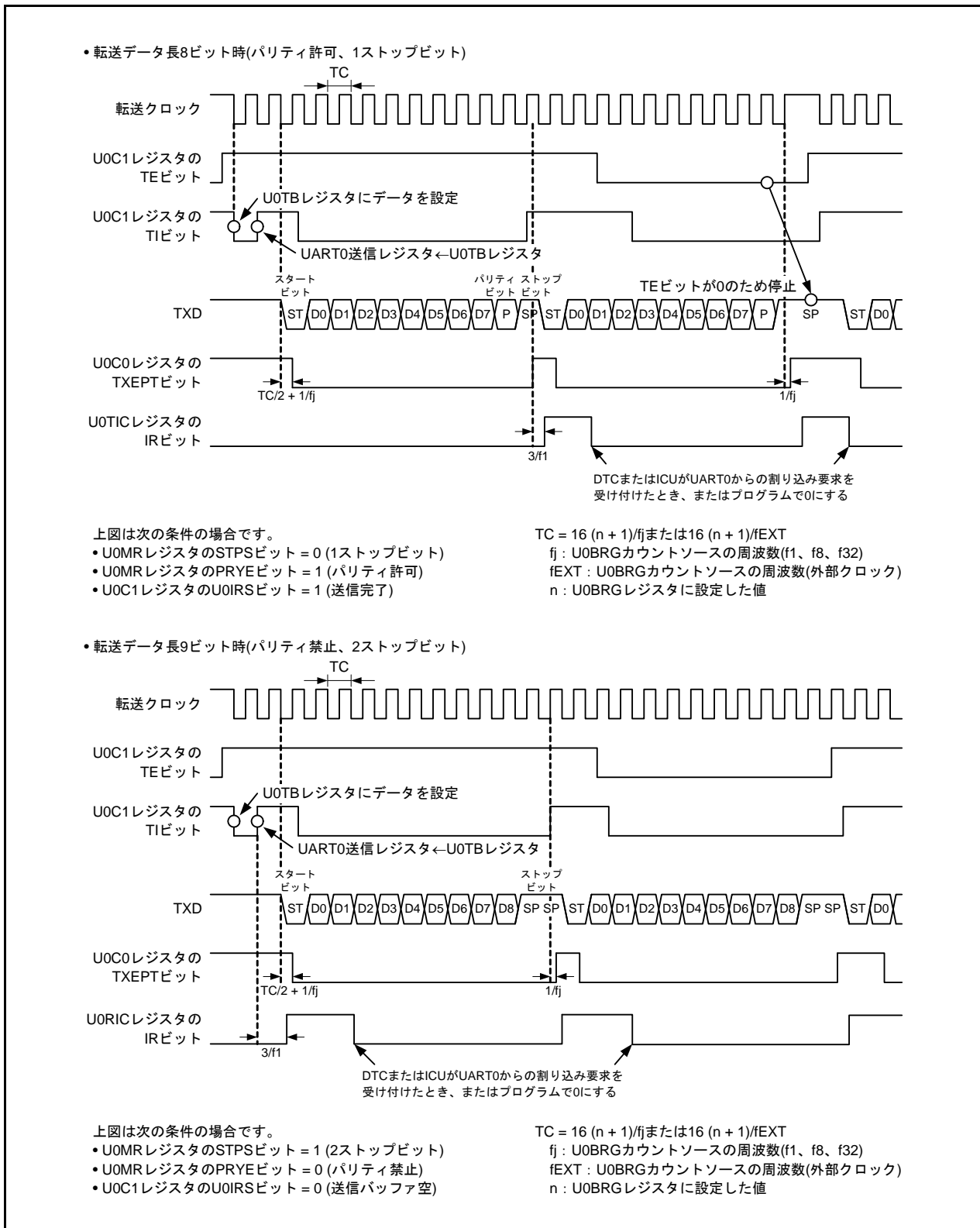


図 22.6 クロック非同期形シリアルI/Oモード時の送信タイミング図

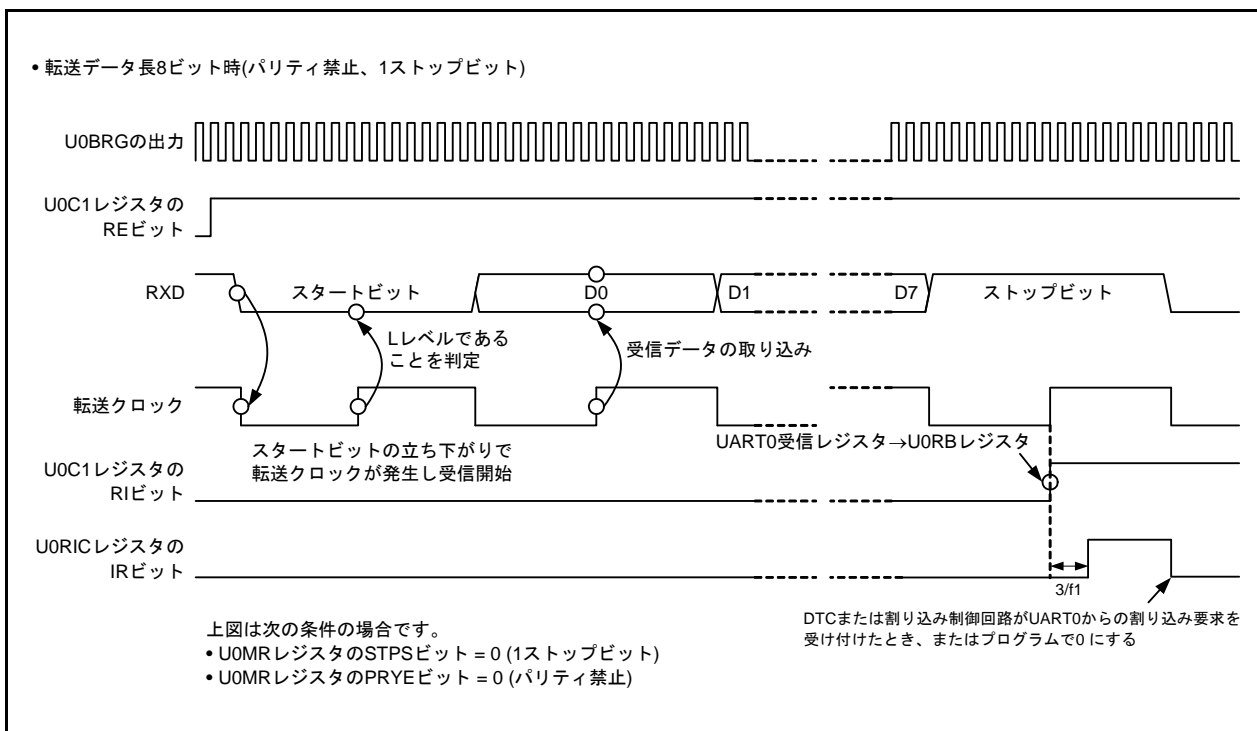


図22.7 クロック非同期形シリアルI/Oモード時の受信タイミング図

22.3.2.2 ビットレート

クロック非同期形シリアルI/Oモードでは、U0BRGレジスタで分周した周波数の16分周がビットレートになります。

U0BRGレジスタの設定値の算出式は、以下のようになります。

- 内部クロック選択時

$$\text{U0BRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f_j : U0BRGカウントソースの周波数(f₁、f₈、f₃₂)

- 外部クロック選択時

$$\text{U0BRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f_{EXT} : U0BRGカウントソースの周波数(外部クロック)

表22.8 クロック非同期形シリアルI/Oモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	U0BRG カウントソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz (注1)			システムクロック = 8 MHz		
		U0BRG レジスタの設定値	実時間 (bps)	設定誤差 (%)	U0BRG レジスタの設定値	実時間 (bps)	設定誤差 (%)	U0BRG レジスタの設定値	実時間 (bps)	設定誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	-1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	-1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	-3.55
115200	f1	10 (0Ah)	113636.36	-1.36	9 (09h)	115200.00	0.00	—	—	—

注1. システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22～FRA20ビットを000b(2分周モード)にした場合です。高速オンチップオシレータの精度は「32. 電気的特性」を参照してください。

22.3.2.3 RXD デジタルフィルタ

RXD デジタルフィルタ機能は、U0C0レジスタのDFEビットが1(デジタルフィルタ許可)のとき、RXD入力信号のノイズ除去を行い内部に取り込む機能です。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD入力がU0BRGレジスタで分周したクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、RXD入力が連続して3クロック以上の期間、同一のレベルを保持した場合は信号として認識しますが、3クロック未満の場合はノイズとして判断します。

図22.8にRXDデジタルフィルタのブロック図を示します。

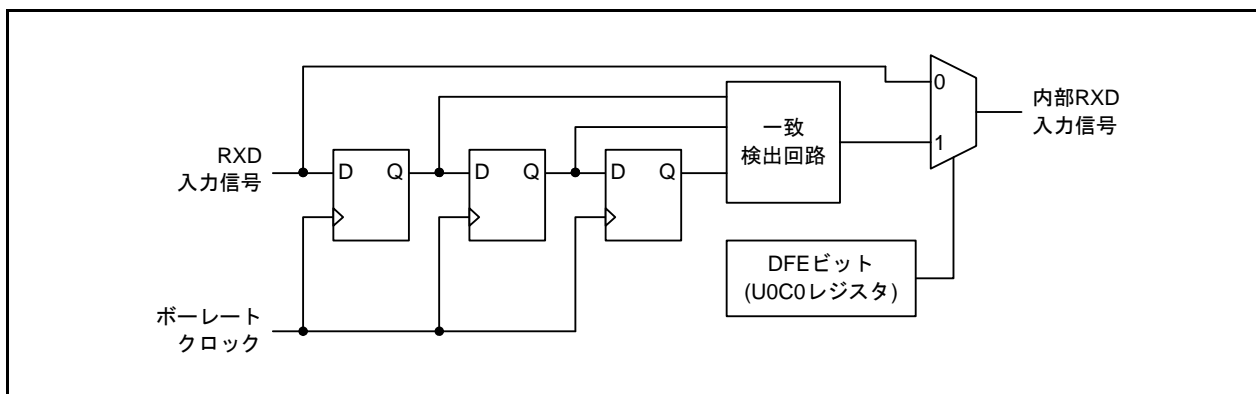


図22.8 RXD デジタルフィルタのブロック図

22.3.2.4 通信エラー発生時の対処方法

UARTモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U0C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にする
- (2) U0MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェース無効)にする
- (3) U0MRレジスタのSMD2～SMD0ビットを100b(UARTモード転送データ長7ビット)、101b(UARTモード転送データ長8ビット)、110b(UARTモード転送データ長9ビット)のいずれかにする
- (4) U0C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする

22.4 UART0の割り込み

表22.9に割り込み要求一覧を示します。

表22.9 割り込み要求一覧

割り込み要求	略称	割り込み発生条件
送信バッファ空	TEI	<ul style="list-style-type: none"> • U0C1レジスタのU0IRSビットが0 (送信バッファ空) • TIビットが1 (U0TBレジスタにデータなし) • U0TICレジスタのILVL3～ILVL0ビットを0000b以外に設定 • U0IRレジスタのU0TIEビットが1
送信完了	TXI	<ul style="list-style-type: none"> • U0C1レジスタのU0IRSビットが1 (送信完了) • TXEPTビットが1 (送信レジスタにデータなし) • U0TICレジスタのILVL3～ILVL0ビットを0000b以外に設定 • U0IRレジスタのU0TIEビットが1
受信完了	RXI	<ul style="list-style-type: none"> • U0C1レジスタのRIビットが1 (U0RBレジスタにデータあり) • U0RICレジスタのILVL3～ILVL0ビットを0000b以外に設定 • U0IRレジスタのU0RIEビットが1

U0TIE、U0RIE : U0IRレジスタのビット

注1. 割り込み発生条件を満たし、FLGレジスタのIフラグが1のとき、CPUは割り込み例外処理を実行します。

22.5 シリアルインタフェース(UART0)使用上の注意事項

22.5.1 動作モード共通

22.5.1.1 レジスタアクセス

次のレジスタは、シリアルインタフェース無効時のみ設定変更可能です。シリアルインタフェース有効状態では切り替えないでください。

- U0MR_0、U0MR_1レジスタ：CKDIRビット
- U0C0_0、U0C0_1レジスタ：CLK0、CLK1ビット
- U0IR_0、U0IR_1レジスタ：U0RIE、U0TIEビット

また次のレジスタは、送受信停止中のみ設定変更可能です。送受信中には切り替えないでください。

- U0MR_0、U0MR_1レジスタ：SMD0～SMD2、STPS、PRY、PRYEビット
- U0BRG_0、U0BRG_1レジスタ：b0～b7ビット
- U0C0_0、U0C0_1レジスタ：DFE、NCH、CKPOL、UFORMビット
- U0C1_0、U0C1_1レジスタ：U0IRS、U0RRMビット

U0RBレジスタを読み出すときは、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、16ビット単位で読み出してください。

U0RBレジスタ上位バイト(b15～b8)を読み出したとき、U0RBレジスタのFER、PERビットは0(フレーミングエラーなし、パリティエラーなし)になります。また、U0C1レジスタのRIビットも0(U0RBレジスタにデータなし)になります。

受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

- 受信バッファレジスタを読み出すプログラム例

```
MOV.W    0086H, R0        ; U0RBレジスタの読み出し
```

クロック非同期形シリアルI/Oモードで転送データビット長9ビットの場合、U0TBレジスタに書くときは、上位バイト(b15～b8)→下位バイト(b7～b0)の順で、8ビット単位で書いてください。

- 送信バッファレジスタに書き込むプログラム例

```
MOV.B    #XXH, 0083H     ; U0TBレジスタ上位バイト(b15～b8)への書き込み  
MOV.B    #XXH, 0082H     ; U0TBレジスタ下位バイト(b7～b0)への書き込み
```

- 通信中、MSTCR0レジスタのMSTUART_0、MSTUART_1ビットを1(スタンバイ)にしないでください。モジュールスタンバイにする場合、通信完了を判断してください。通信完了後、U0C1レジスタのTE、REビットを0(通信禁止)にしてからモジュールスタンバイにしてください。また、モジュールスタンバイ解除後、通信の初期設定はもう一回設定してください。

22.5.1.2 Nチャネルオープンドレイン制御ビット

UART0を使用しないときは、U0C0レジスタのNCHビットを0(TXD端子はCMOS出力)にしてください。

23. シリアルインタフェース(UART2)

23.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。

表23.1～表23.3にUART2の仕様を、図23.1にUART2のブロック図を示します。

UART2には、次のモードがあります。

- クロック同期形シリアルI/Oモード(SIOモード)
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード3(IEモード)
- マルチプロセッサ通信モード

表23.1 UART2の仕様(1)

モード	項目	仕様
クロック同期シリアルI/Oモード	使用端子	<ul style="list-style-type: none"> • TXD2: 送信データ(出力) • RXD2: 受信データ(入力) • CLK2: 転送クロック(マスタ時 出力、スレーブ時 入力) • CTS2: 送信要求信号(入力) • RTS2: 受信要求信号(出力)
	アナログノイズフィルタ	CLK2、RXD2入口に15nsのノイズフィルタ
	転送データフォーマット	転送データ長 8ビット
	転送クロック	<ul style="list-style-type: none"> • U2MRレジスタのCKDIRビットが0(内部クロック): $f_j/(2(n+1))$ $f_j = f_1, f_8, f_{32}$ $n = \text{U2BRGレジスタの設定値}(00h \sim FFh)$ • CKDIRビットが1(外部クロック): CLK2端子からの入力
	送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択
	送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり) • CTS機能を選択している場合、CTS2端子の入力がL
	受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • U2C1レジスタのREビットが1(受信許可) • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり) • CTS機能を選択している場合、CTS2端子の入力がL
	割り込み要求発生タイミング	<ul style="list-style-type: none"> • 送信する場合(次の条件のいずれかを選択) <ul style="list-style-type: none"> - U2C1レジスタのU2IRSビットが0(送信バッファ空): U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) - U2IRSビットが1(送信完了): UART2送信レジスタからデータ送信完了時 • 受信する場合 <ul style="list-style-type: none"> UART2受信レジスタから、U2RBレジスタへデータ転送時(受信完了時)
	エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注2) <ul style="list-style-type: none"> U2RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
	選択機能	<ul style="list-style-type: none"> • CLK極性選択 <ul style="list-style-type: none"> 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 • LSBファースト、MSBファースト選択 <ul style="list-style-type: none"> ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 <ul style="list-style-type: none"> U2RBレジスタを読むことで、同時に受信許可状態となる機能の使用を選択 • シリアルデータ論理切り替え <ul style="list-style-type: none"> 送受信データの論理値を反転する機能

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが0(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックがHの状態、CKPOLビットが1(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックがLの状態に条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタの受信データは更新されません(前回のデータが読み出せません)。また、U2RICレジスタのIRビットは1(割り込み要求あり)に変化します。

表23.2 UART2の仕様(2)

モード	項目	仕様
クロック非同期形 シリアルI/Oモード (UARTモード)	使用端子	<ul style="list-style-type: none"> • TXD2 : 送信データ(出力) • RXD2 : 受信データ(入力) • CTS2 : 送信要求信号(入力) • RTS2 : 受信要求信号(出力) • CLK2 : カウントソースクロック(入力、外部クロック選択時)
	アナログノイズ フィルタ	CLK2、RXD2入力に15nsのノイズフィルタ
	転送データ フォーマット	<ul style="list-style-type: none"> • キャラクタビット(転送データ) : 7、8、9ビットを選択 • スタートビット : 1ビット • パリティビット : 奇数、偶数、なしを選択 • ストップビット : 1、2ビットを選択
	転送クロック	<ul style="list-style-type: none"> • U2MRレジスタのCKDIRビットが0(内部クロック) : $f_j/(16(n+1))$ $f_j = f_1, f_8, f_{32}$ $n = U2BRG$レジスタの設定値(00h~FFh) • CKDIRビットが1(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}(CLK2端子からの入力) $n = U2BRG$レジスタの設定値(00h~FFh)
	送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択
	送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり) • CTS機能を選択している場合、CTS2端子の入力がL
	受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> • U2C1レジスタのREビットが1(受信許可) • スタートビットの検出
	割り込み要求発生 タイミング	<ul style="list-style-type: none"> • 送信する場合(次の条件のいずれかを選択) <ul style="list-style-type: none"> - U2C1レジスタのU2IRSビットが0(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) - U2IRSビットが1(送信完了) : UART2送信レジスタからデータ送信完了時 • 受信する場合 <ul style="list-style-type: none"> - UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー(注2) 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー(注2) パリティ許可時にパリティビットとキャラクタビット中の1の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合1になる 	

注1. オーバランエラーが発生した場合、U2RBレジスタの受信データは更新されません(前回のデータが読み出せません)。また、U2RICレジスタのIRビットは1(割り込み要求あり)に変化します。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに1になります。

表23.3 UART2の仕様(3)

モード	項目	仕様
クロック非同期形 シリアルI/Oモード (UARTモード)	選択機能	<ul style="list-style-type: none"> • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD入出力極性切り替え TXD2端子出力とRXD2端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 • RXD2デジタルフィルタ選択 RXD2入力信号はデジタルフィルタの有効、無効の選択
特殊モード3 (IEモード)	使用端子	<ul style="list-style-type: none"> • TXD2：送信データ(出力) • RXD2：受信データ(入力) • CLK2：UART2動作クロック(入力、外部クロック選択時)
	転送データ フォーマット	<ul style="list-style-type: none"> • キャラクタビット(転送データ)：9ビット • スタートビット：1ビット • パリティビット：なし • ストップビット：1ビット
	割り込み要求発生 タイミング	<ul style="list-style-type: none"> • 送信する場合 <ul style="list-style-type: none"> - U2C1レジスタのU2IRSビットが0(送信バッファ空) U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) - U2C1レジスタのU2IRSビットが1(送信完了) UART2送信レジスタからデータ送信完了時 • 受信する場合 UART2受信レジスタから、U2RBレジスタへデータ転送時 (受信完了時) • バス衝突発生タイミング <ul style="list-style-type: none"> - U2SMRレジスタのABSCSビットが0 転送クロックの立ち上がりでバス衝突検出時 - U2SMRレジスタのABSCSビットが1 タイマRB2のアンダフロー信号でバス衝突検出時
	選択機能	<ul style="list-style-type: none"> • TXD2、RXD2入出力極性切り替え TXD2端子出力とRXD2端子入力を反転する機能。入出力するデータのレベルがすべて反転する。
	上記以外についてはクロック非同期形シリアルI/Oモードと同一仕様	
マルチプロセッサ 通信モード	使用端子	<ul style="list-style-type: none"> • TXD2：送信データ(出力) • RXD2：受信データ(入力) • CLK2：UART動作クロック(入力、外部クロック選択時)
	転送データ フォーマット	<ul style="list-style-type: none"> • キャラクタビット(転送データ)：7、8ビットを選択 • マルチプロセッサビット：1ビット • スタートビット：1ビット • パリティビット：なし • ストップビット：1、2ビットを選択
	選択機能	<ul style="list-style-type: none"> • RXD2デジタルフィルタ選択 RXD2入力信号のデジタルフィルタ有効、無効を選択
	上記以外についてはクロック非同期形シリアルI/Oモードと同一仕様	

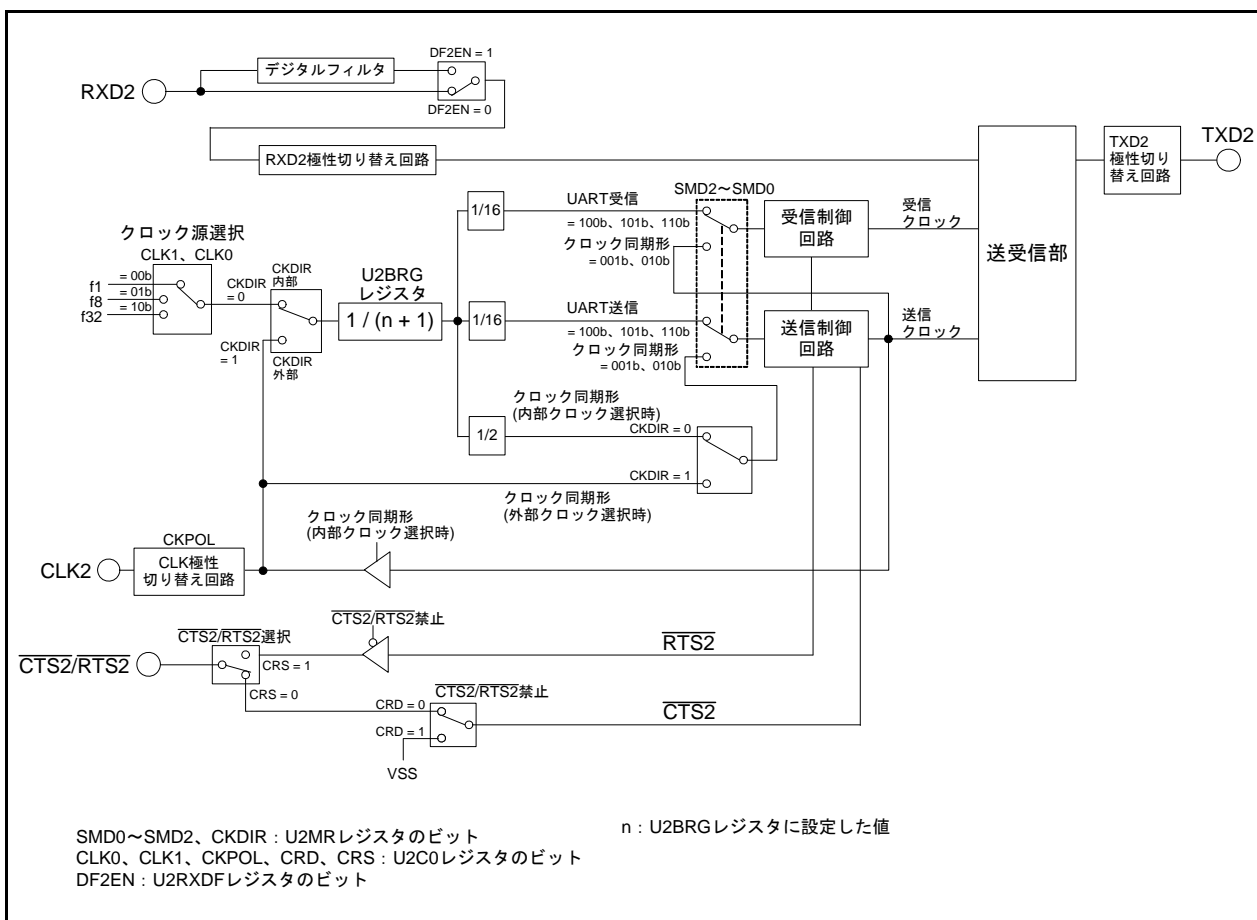


図 23.1 UART2のブロック図

表 23.4 UART2の端子構成

端子名	入出力	機能
TXD2	出力	シリアルデータ出力
RXD2	入力	シリアルデータ入力
CLK2	入出力	転送クロック入出力
CTS2	入力	送信制御用入力
RTS2	出力	受信制御用出力

23.2 レジスタの説明

表23.5にUART2のレジスタ構成を示します。

表23.5 UART2のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
UART2送受信モードレジスタ	U2MR	00h	000C0h	8
UART2ビットレートレジスタ	U2BRG	00h	000C1h	8
UART2送信バッファレジスタ	U2TB	00h	000C2h	8または16
		00h	000C3h	
UART2送受信制御レジスタ0	U2C0	00001000b	000C4h	8
UART2送受信制御レジスタ1	U2C1	00000010b	000C5h	8
UART2受信バッファレジスタ	U2RB	0000h	000C6h	16
UART2デジタルフィルタ機能選択レジスタ	U2RXDF	00h	000C8h	8
UART2特殊モードレジスタ5	U2SMR5	00h	000D0h	8
UART2特殊モードレジスタ3	U2SMR3	00h	000D5h	8
UART2特殊モードレジスタ	U2SMR	00h	000D7h	8

23.2.1 UART2送受信モードレジスタ(U2MR)

アドレス	000C0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOPOL	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット (注1、2、8)	b2 b1 b0 0 0 0 : シリアルインタフェース無効	R/W
b1	SMD1		0 0 1 : クロック同期形シリアルI/Oモード	R/W
b2	SMD2		0 1 0 : 設定しないでください	R/W
			1 0 0 : UARTモード転送データ長7ビット	
		1 0 1 : UARTモード転送データ長8ビット		
		1 1 0 : UARTモード転送データ長9ビット		
		上記以外 : 設定しないでください		
b3	CKDIR	内部/外部クロック選択ビット (注3)	0 : 内部クロック 1 : 外部クロック	R/W
b4	STPS	ストップビット長選択ビット (注4)	0 : 1ストップビット 1 : 2ストップビット	R/W
b5	PRY	パリティ奇数/偶数選択ビット (注5)	0 : 奇数パリティ 1 : 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット (注6)	0 : パリティ禁止 1 : パリティ許可	R/W
b7	IOPOL	TXD、RXD入出力極性切り替えビット (注7)	0 : 反転なし 1 : 反転あり	R/W

注1. IEモード時は110b(UARTモード転送データ長9ビット)に、マルチプロセッサ通信モード時は100b(UARTモード転送データ長7ビット)または101b(UARTモード転送データ長8ビット)としてください。

注2. SMD2～SMD0ビットを000bにすると、U2C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にしてください。

注3. SIOモードマスタ時は0(内部クロック)に、SIOモードスレーブ時は1(外部クロック)にしてください。

注4. UARTモード、マルチプロセッサ通信モード時のみ選択可能です。他モード時は0(1ストップビット)にしてください。

注5. UARTモード時のみ選択可能です。他モード時はPRYEビットが0(パリティビットなし)であるため、設定値は無効です。

注6. UARTモード時のみ選択可能です。他モード時は0(パリティビットなし)にしてください。

PRYEビットを1(パリティビットあり)にした場合、次の動作となります。

送信時 : 送信データに続いてパリティビットを付加します。

受信時 : パリティビットによりエラーチェックを行います。

注7. UARTモード、IEモード時のみ設定可能です。他モード時は0(反転なし)にしてください。IOPOLビットを1(反転あり)にした場合、送信データおよび受信データの極性を反転させます。

(スタートビット、ストップビット、パリティビットも含め反転します。)

注8. SMD2～SMD0ビットが001b(クロック同期形シリアルI/Oモード)のとき、U2RBレジスタのエラーフラグ(FER、PER、SUMビット)は無効です。読んだ場合、その値は不定です。

23.2.2 UART2ビットレートレジスタ(U2BRG)

アドレス	000C1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b7～b0	設定値をnにすると、U2BRGはカウントソースをn+1分周します。	00h～FFh	W

U2BRGレジスタは、送受信停止中にMOV命令を使用して書いてください。

U2C0レジスタのCLK0、CLK1ビットを設定した後、U2BRGレジスタに書いてください。

23.2.3 UART2送信バッファレジスタ (U2TB)

アドレス 000C2h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	MPTB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	—	送信データ (D7～D0)	W
b1	—		W
b2	—		W
b3	—		W
b4	—		W
b5	—		W
b6	—		W
b7	—		W
b8	MPTB (注1)	[マルチプロセッサ通信機能を使用しない場合] 送信データ (D8) [マルチプロセッサ通信機能を使用する場合] • IDを転送するときは、MPTBビットを1にしてください • データを転送するときは、MPTBビットを0にしてください	W
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

注1. UARTモード転送データ長9ビットまたはマルチプロセッサ機能を使用する場合で、8ビットアクセスを行う場合は、U2TBレジスタの上位バイト(b15～b8)書き込み後、下位バイト(b7～b0)を書き込んでください。

U2TBレジスタへは、MOV命令を使用して書いてください。

23.2.4 UART2送受信制御レジスタ0 (U2C0)

アドレス	000C4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	CRD	TXEPT	CRS	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U2BRG カウントソース選択ビット (注1)	b1 b0 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : 設定しないでください	R/W
b1	CLK1			R/W
b2	CRS	CTS/RTS 機能選択ビット (注2)	CRD = 0 のとき有効 0 : CTS 機能を選択 1 : RTS 機能を選択	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	R
b4	CRD	CTS/RTS 禁止ビット (注3)	0 : CTS/RTS 機能許可 1 : CTS/RTS 機能禁止	R/W
b5	NCH	データ出力選択ビット (注4)	0 : TXD2 端子はCMOS出力 1 : TXD2 端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット (注5)	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット (注6)	0 : LSB ファースト 1 : MSB ファースト	R/W

注1. CLK0、CLK1ビットを変更した場合は、U2BRGレジスタを再設定してください。

注2. SIO/UARTモード時のみ選択可能です。他のモードではCRDビットが1 (CTS/RTS機能禁止)のため設定値は無効です。

注3. SIO/UARTモード時のみ設定可能です。他のモード時は1 (CTS/RTS機能禁止)にしてください。

注4. UART2を使用しないときは、NCHビットを0 (TXD2端子はCMOS出力)にしてください。

注5. SIOモード時のみ設定可能です。他のモード時は0 (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)にしてください。

注6. SIO/UARTモードで転送データ長8ビット時のみ選択可能です。

SIO/UARTモード以外のモードでは0 (LSBファースト)にしてください。

23.2.5 UART2送受信制御レジスタ1 (U2C1)

アドレス	000C5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	U2LCH	U2RRM	U2IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: U2TBレジスタにデータあり 1: U2TBレジスタにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ (注1)	0: U2RBレジスタにデータなし 1: U2RBレジスタにデータあり	R
b4	U2IRS	UART2送信割り込み要因選択ビット	0: 送信バッファ空(TI = 1) 1: 送信完了(TXEPT = 1)	R/W
b5	U2RRM	UART2連続受信モード許可ビット (注2)	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	U2LCH	データ論理選択ビット (注3)	0: 反転なし 1: 反転あり	R/W
b7	—	予約ビット	0にしてください	R/W

注1. RIビットは、U2RBレジスタを読み出したとき、0 (U2RBレジスタにデータなし)になります。

注2. クロック同期形シリアルI/Oモード(SIOモード)のみ設定可能です。他のモード時は0 (連続受信モード禁止)にしてください。

注3. U2MRレジスタのSMD2～SMD0ビットが001b (クロック同期形シリアルI/Oモード)、100b (UARTモード転送データ長7ビット)または101b (UARTモード転送データ長8ビット)のとき有効です。SMD2～SMD0ビットが110b (UARTモード転送データ長9ビット)のときは0にしてください。

U2C1レジスタへは、MOV命令を使用して書いてください。

U2LCHビット(データ論理選択ビット)

送信データおよび受信データの極性を反転させるビットです(データのみ)。U2LCHビットが1(反転あり)の場合、送信時はU2TBレジスタへのデータ書き込み時に論理を反転して書き込みます。

受信時はU2RBレジスタからデータ読み出し時に論理を反転したデータが読めます。

23.2.6 UART2 受信バッファレジスタ (U2RB)

アドレス 000C6h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	—	—	—	MPRB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	受信データ (D7~D0) (注5)		R
b1	—			R
b2	—			R
b3	—			R
b4	—			R
b5	—			R
b6	—			R
b7	—			R
b8	MPRB	受信データ (D8)/ マルチプロセッサビット(注1、5)	[マルチプロセッサ通信機能を使用しない場合] 受信データ (D8) [マルチプロセッサ通信機能を使用する場合] • MPRB ビットが0のとき、受信したD0~D7は データフィールド • MPRB ビットが1のとき、受信したD0~D7は IDフィールド	R
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b10	—			—
b11	—	予約ビット	0にしてください	R/W
b12	OER	オーバランエラーフラグ (注2、3)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ (注2、4)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ (注2、4)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ (注2、3)	0: エラーなし 1: エラー発生	R

注1. マルチプロセッサ通信機能を使用する/しないによってビットの機能が異なります。

注2. U2MR レジスタのSMD2~SMD0ビットを000b (シリアルインタフェースは無効)にしたとき、またはU2C1 レジスタのREビットを0 (受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて0 (エラーなし)になります。SUMビットはPER、FER、OERビットがすべて0 (エラーなし)になると0 (エラーなし)になります。また、PER、FERビットは、U2RBレジスタを読んだとき、0になります。

U2MR レジスタのSMD2~SMD0ビットを000bにするときは、U2C1 レジスタのTEビットを0 (送信禁止)、REビットを0 (受信禁止)にしてください。

注3. すべてのモードで有効です。

注4. UART、IE、マルチプロセッサ通信モード時のみ有効です。他のモードでは無効です。

注5. U2C1 レジスタのRIフラグが1 (U2RBレジスタにデータあり)のとき、U2RBレジスタを読み出してください。

U2RBレジスタは、ワード(16ビット)アクセスしてください。

23.2.7 UART2 デジタルフィルタ機能選択レジスタ (U2RXDF)

アドレス	000C8h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	DF2EN	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	DF2EN	RXD2 デジタルフィルタ許可ビット	0 : RXD2 デジタルフィルタ禁止 1 : RXD2 デジタルフィルタ許可	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

DF2EN ビット (RXD2 デジタルフィルタ許可ビット)

RXD2 デジタルフィルタ許可時はU2BRGレジスタで分周したクロックにて3パルス以下のノイズを除去します。

詳細は「23.3.2.7 RXD2 デジタルフィルタ選択機能」を参照してください。

UARTモード、マルチプロセッサ通信モード時のみ設定可能です。他のモード時は0 (RXD2 デジタルフィルタ禁止) にしてください。

23.2.8 UART2 特殊モードレジスタ5 (U2SMR5)

アドレス	000D0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MPIE	—	—	—	MP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MP	マルチプロセッサ通信許可ビット (注1、2)	0: マルチプロセッサ通信禁止 1: マルチプロセッサ通信許可	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	MPIE	マルチプロセッサ通信制御ビット	MPビットが1(マルチプロセッサ通信許可)のとき有効です。 MPIEビットが1のとき、次の状態になります。 • マルチプロセッサビットが0の受信データは無視し、U2C1レジスタのRIビット、U2RBレジスタのOER、FERビットが1になることを禁止します。 • マルチプロセッサビットが1の受信データを受信すると、MPIEビットは0になり、マルチプロセッサ通信以外の受信動作になります。 MPIEビットが0のときは通常受信動作と変わりません。	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

注1. MPビットが1(マルチプロセッサ通信許可)のとき、U2MRレジスタのPRY、PRYEビットの設定は無効になります。

注2. UARTモードで転送データ長が7ビットまたは8ビットのときのみ有効です。他のモードでは0にしてください。

U2SMR5レジスタへは、MOV命令を使用して書いてください。

23.2.9 UART2 特殊モードレジスタ3 (U2SMR3)

アドレス	000D5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	NODC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b1	—	予約ビット	0にしてください	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b3	NODC	クロック出力選択ビット (注1、2)	0: CLK2端子はCMOS出力 1: CLK2端子はNチャネルオープンドレイン出力	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b5	—	予約ビット	0にしてください	R/W
b6	—			
b7	—			

注1. SIOモード時のみ設定可能です。他のモードでは0(CLK2端子はCMOS出力)にしてください。

注2. UART2を使用しないときは、NODCビットを0(CLK2端子はCMOS出力)にしてください。

23.2.10 UART2 特殊モードレジスタ (U2SMR)

アドレス 000D7h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	SSS	ACSE	ABSCS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			R/W
b2	—			R
b3	—			R/W
b4	ABSCS	バス衝突検出サンプリングクロック選択ビット(注1)	0: 転送クロックの立ち上がり 1: タイマRB2のアンダフロー信号	R/W
b5	ACSE	送信許可ビット自動クリア機能選択ビット(注1)	0: 自動クリア機能無 1: バス衝突発生時に自動クリア	R/W
b6	SSS	送信許可開始条件選択ビット(注1、2)	0: RXD2に同期しない 1: RXD2に同期する	R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

注1. IEモード時のみ設定可能です。他のモードでは0にしてください。

注2. SSSビットは転送が始まると0(RXD2に同期しない)になります。

U2SMRレジスタへは、MOV命令を使用して書いてください。

23.3 動作説明

23.3.1 クロック同期形シリアルI/Oモード(SIOモード)

クロック同期形シリアルI/Oモード(SIOモード)は、転送クロックを用いて送受信を行うモードです。表23.6にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表23.6 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U2TB	b0~b7	送信データを設定してください
U2RB	b0~b7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	b0~b7	ビットレートを設定してください
U2MR	SMD2~SMD0	001bにしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	0にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信を許可する場合、1にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、1にしてください
	U2LCH	データ論理反転を使用する場合、1にしてください
U2SMR3	NODC	クロック出力形式を選択してください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、0を書いてください。

図23.2にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

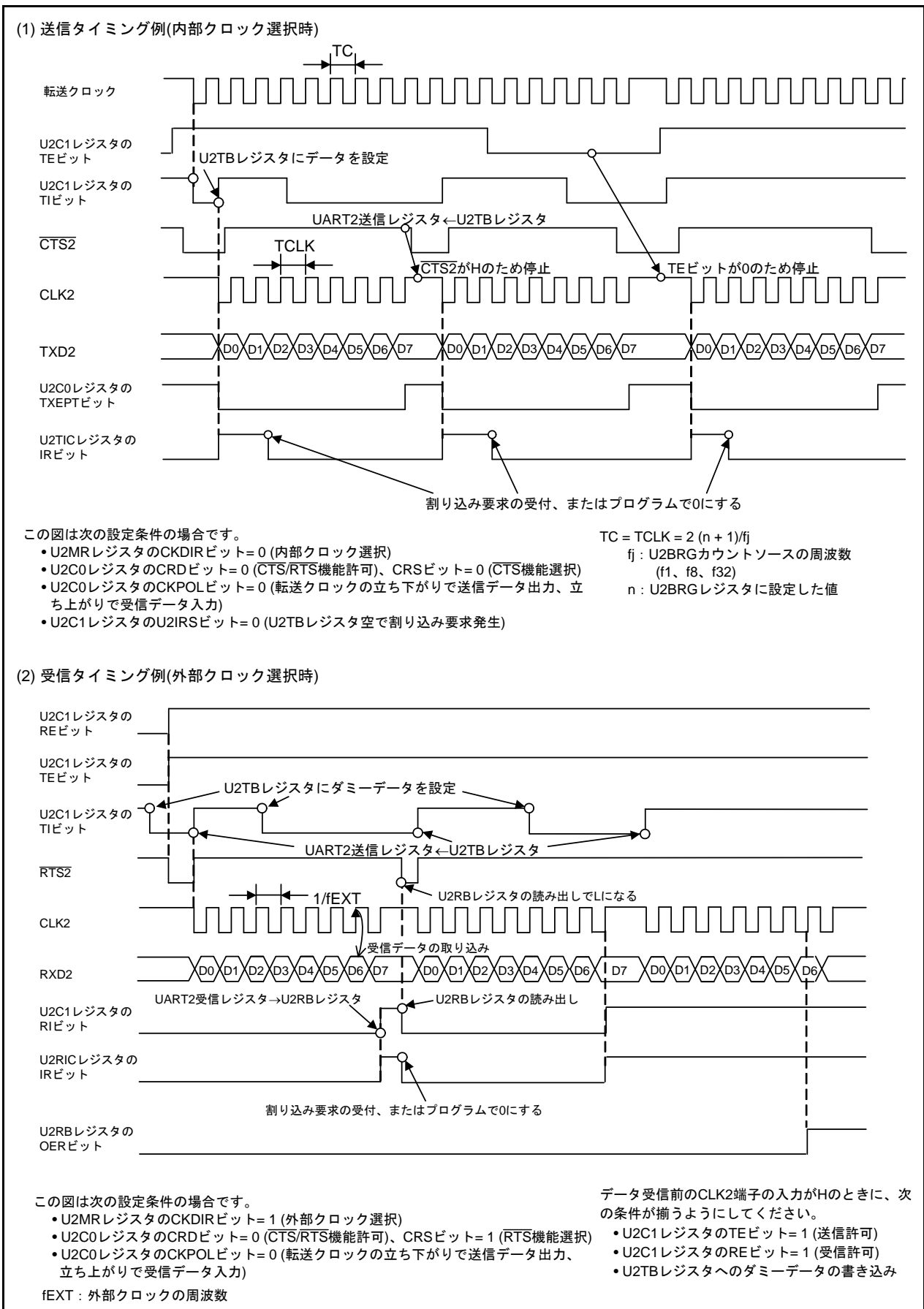


図23.2 クロック同期形シリアルI/Oモード時の送受信タイミング例

23.3.1.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを001b(クロック同期形シリアルI/Oモード)にする。
- (4) U2C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする。

23.3.1.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図23.3に転送クロックの極性を示します。

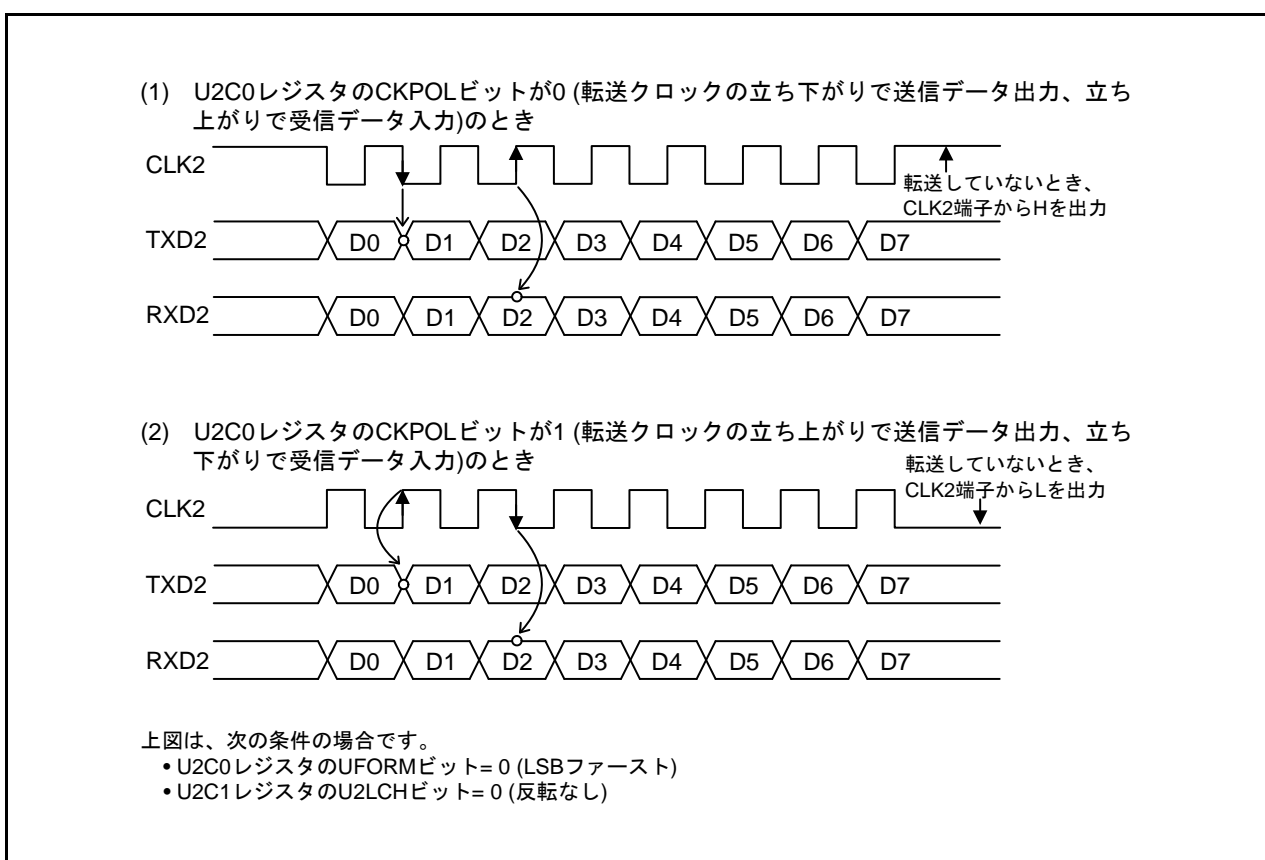


図23.3 転送クロックの極性

23.3.1.3 LSBファースト、MSBファースト選択

U2C0レジスタのUFORMビットで転送フォーマットを選択できます。図23.4に転送フォーマットを示します。

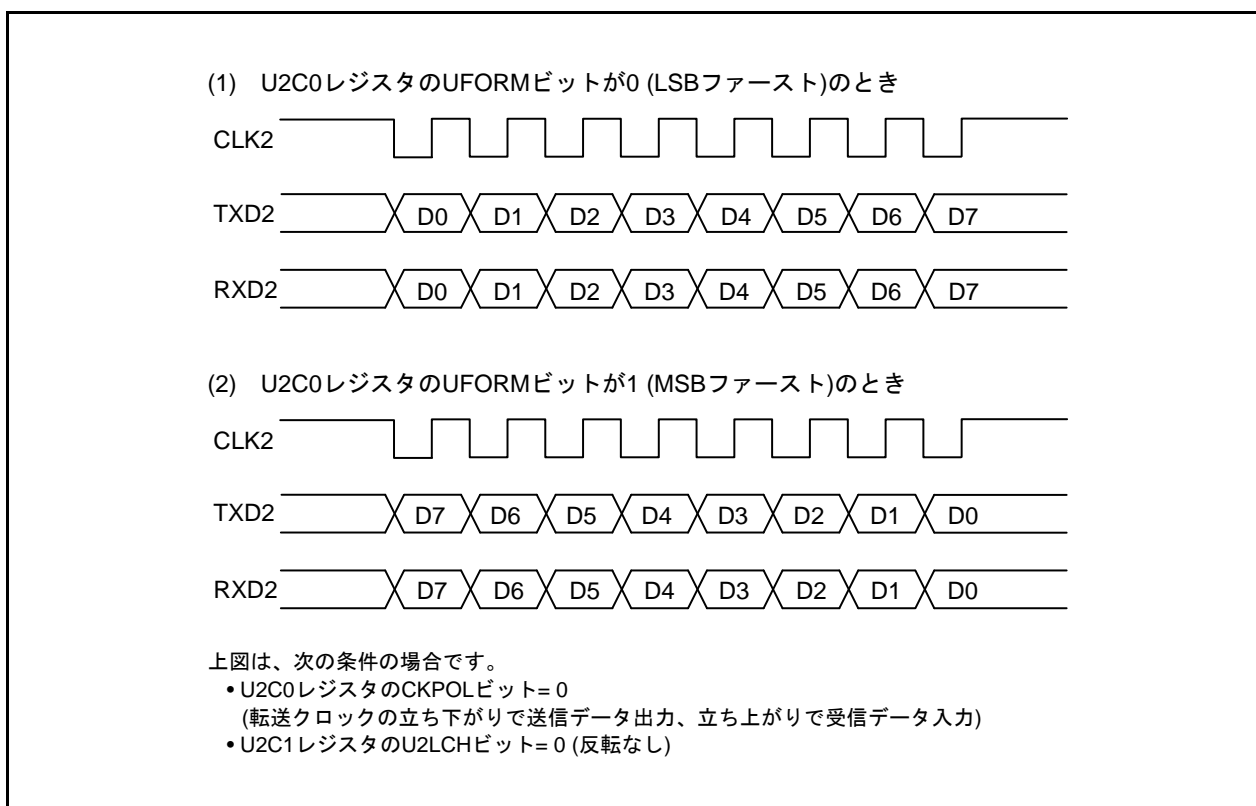


図23.4 転送フォーマット

23.3.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1レジスタのU2RRMビットを1(連続受信モード)にすると、U2RBレジスタを読むことでU2C1レジスタのTIビットが0(U2TBレジスタにデータあり)になります。U2RRMビットが1の場合、プログラムでU2TBレジスタにダミーデータを書かないでください。

マスタ動作時に連続受信モードで最後のデータを読み出す場合、読み出す前にU2C1レジスタのU2RRMビットを0(連続受信モード禁止)にしてください。

23.3.1.5 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットでシリアルデータ論理反転の有無を選択できます。

U2LCHビットが1(反転あり)の場合、U2TBレジスタに論理を反転した値を書き込み送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図23.5にシリアルデータ論理を示します。

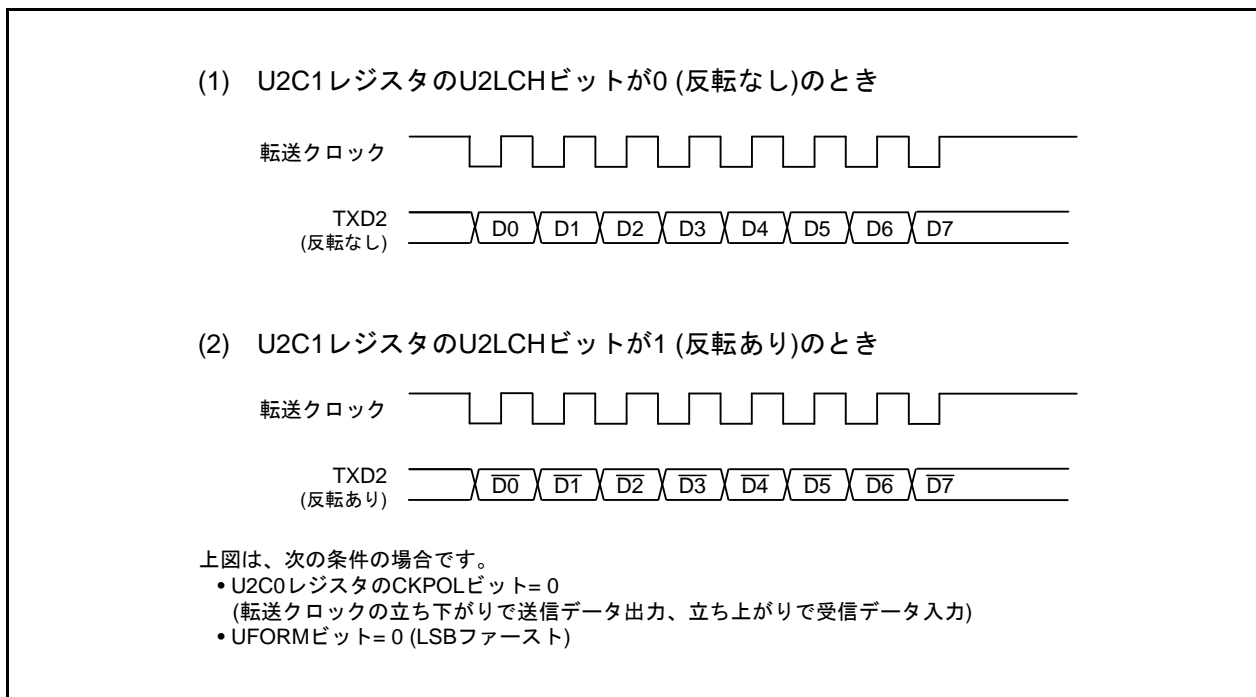


図23.5 シリアルデータ論理

23.3.1.6 CTS/RTS機能

CTS機能は、CTS2端子にLを入力すると、送受信を開始させる機能です。CTS2端子の入力レベルがLになると、送受信を開始します。送受信の最中に入力レベルをHにした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、RTS2端子の出力レベルがLになります。RXD2端子の最初の立ち下がりで出力レベルがHになります。

- U2C0レジスタのCRDビット=1(CTS/RTS機能禁止) : CTS2端子入力未使用、RTS2端子出力H
- CRDビット=0、CRSビット=0(CTS機能選択) : CTS2端子入力有効、RTS2端子出力H
- CRDビット=0、CRSビット=1(RTS機能選択) : CTS2端子入力未使用、RTS2端子出力有効

23.3.2 クロック非同期形シリアルI/O (UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表23.7にUARTモード時の使用レジスタと設定値を示します。

表23.7 UARTモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U2TB	b0～b8	送信データを設定してください(注2)
U2RB	b0～b8	受信データが読めます(注2、3)
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7	ビットレートを設定してください
U2MR	SMD2～SMD0	転送データが7ビットの場合、100bを設定してください 転送データが8ビットの場合、101bを設定してください 転送データが9ビットの場合、110bを設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD2、RXD2入出力極性を選択してください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます 転送データ長7ビットまたは9ビット時は0にしてください
U2C1	TE	送信を許可する場合、1にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2LCH	データ論理反転を使用する場合、1にしてください
U2RXDF	DF2EN	デジタルフィルタの無効、有効を選択してください

注1. この表に記載していないビットは、クロック非同期形シリアルI/Oモード時に書く場合、0を書いてください。

注2. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注3. 転送データ長7ビットの場合のビットb7、b8、転送データ長8ビットの場合のビットb8の内容は0です。

図23.6にUARTモード時の送信タイミング例を、図23.7にUARTモード時の受信タイミング例を示します。

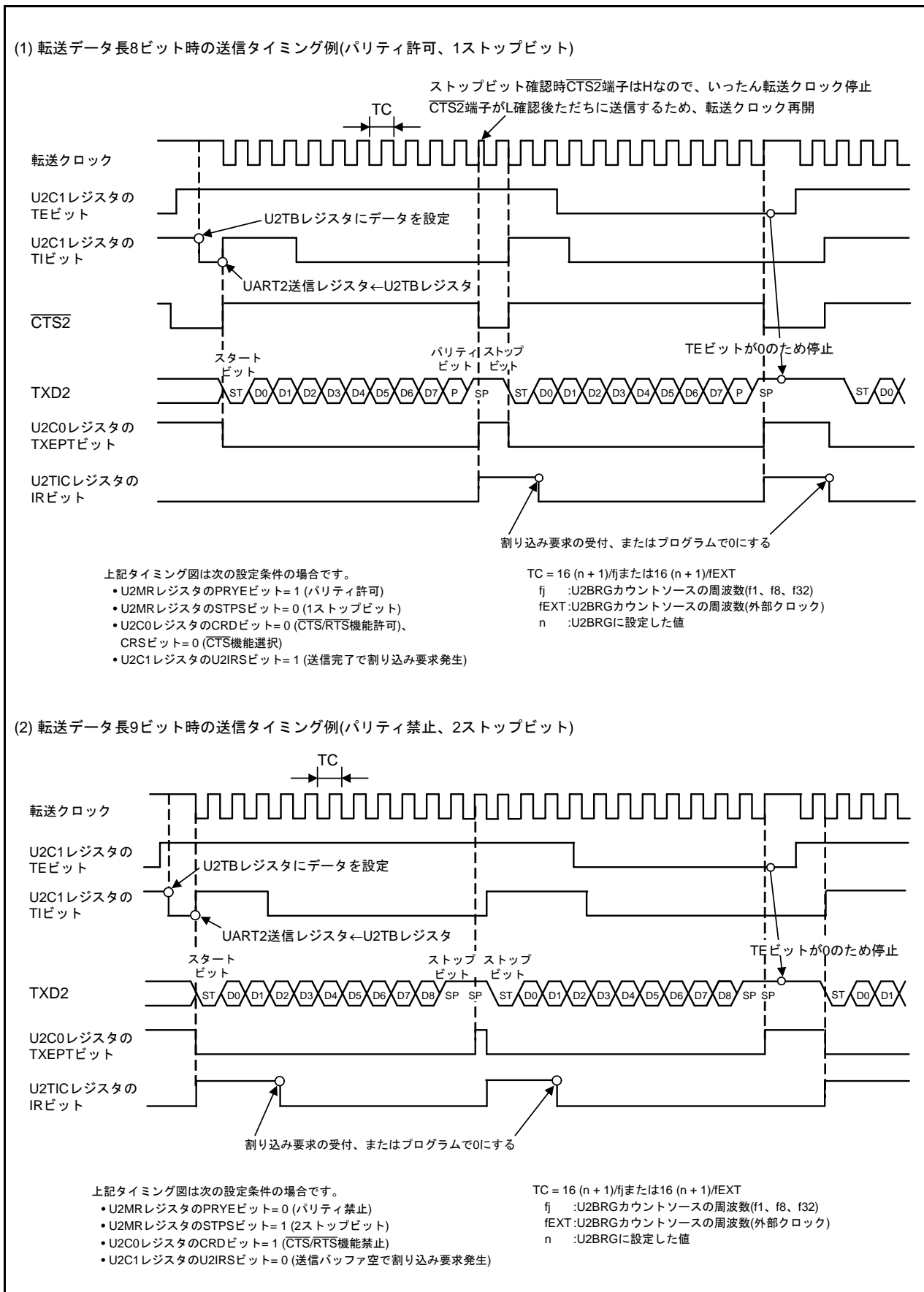


図 23.6 UARTモード時の送信タイミング例

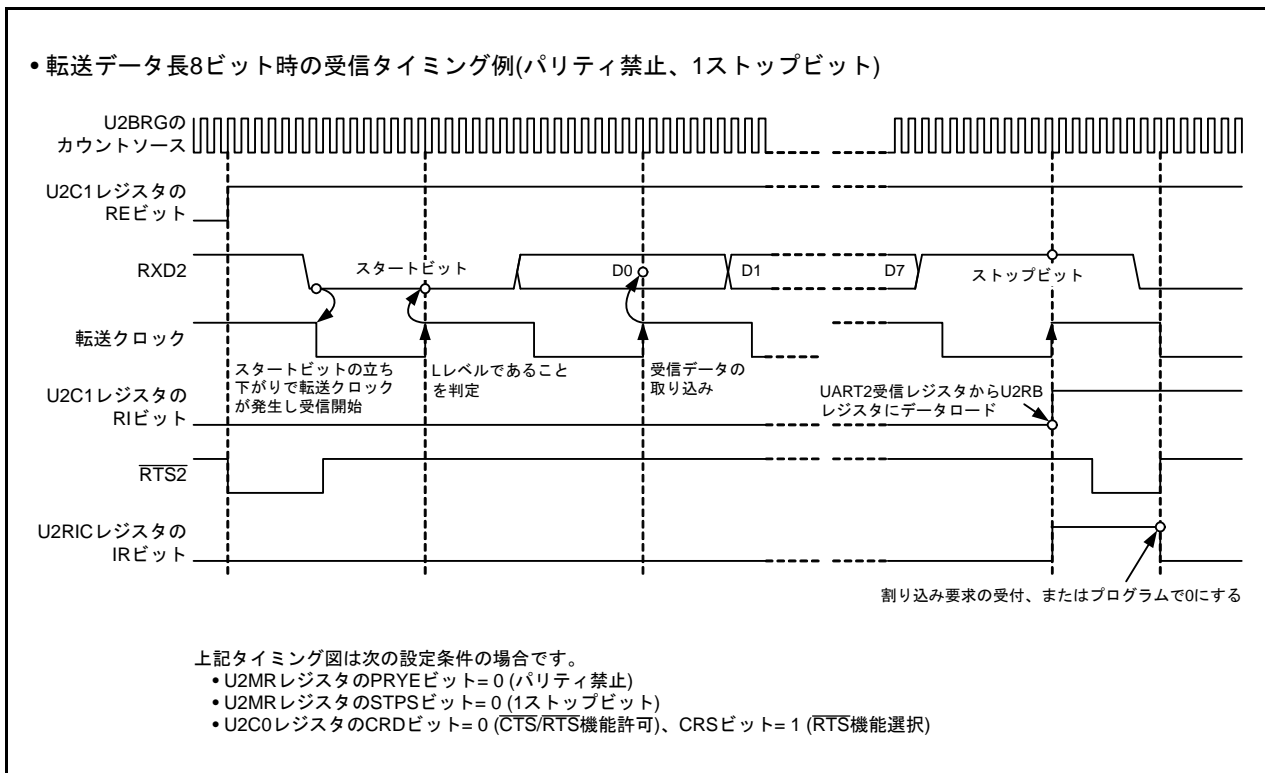


図23.7 UARTモード時の受信タイミング例

23.3.2.1 ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。図23.8にU2BRGレジスタの設定値の算出式を、表23.8にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

<p>• 内部クロック選択時</p> $\text{U2BRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$ <p style="text-align: center;">f_j : U2BRGレジスタのカウントソース周波数(f₁、f₈、f₃₂)</p>
<p>• 外部クロック選択時</p> $\text{U2BRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$ <p style="text-align: center;">f_{EXT} : U2BRGレジスタのカウントソース周波数(外部クロック)</p>

図23.8 U2BRGレジスタの設定値の算出式

表23.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	U2BRGの カウント ソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz			システムクロック = 8 MHz		
		U2BRGの 設定値	実時間 (bps)	設定 誤差	U2BRGの 設定値	実時間 (bps)	設定 誤差	U2BRGの 設定値	実時間 (bps)	設定 誤差
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	-1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	-1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	-3.55
115200	f1	10 (0Ah)	113636.36	-1.36	9 (09h)	115200.00	0.00	—	—	—

23.3.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを100b(UARTモード転送データ長7ビット)、101b(UARTモード転送データ長8ビット)、110b(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U2C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする。

23.3.2.3 LSBファースト、MSBファースト選択

図23.9に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図23.9に転送フォーマットを示します。

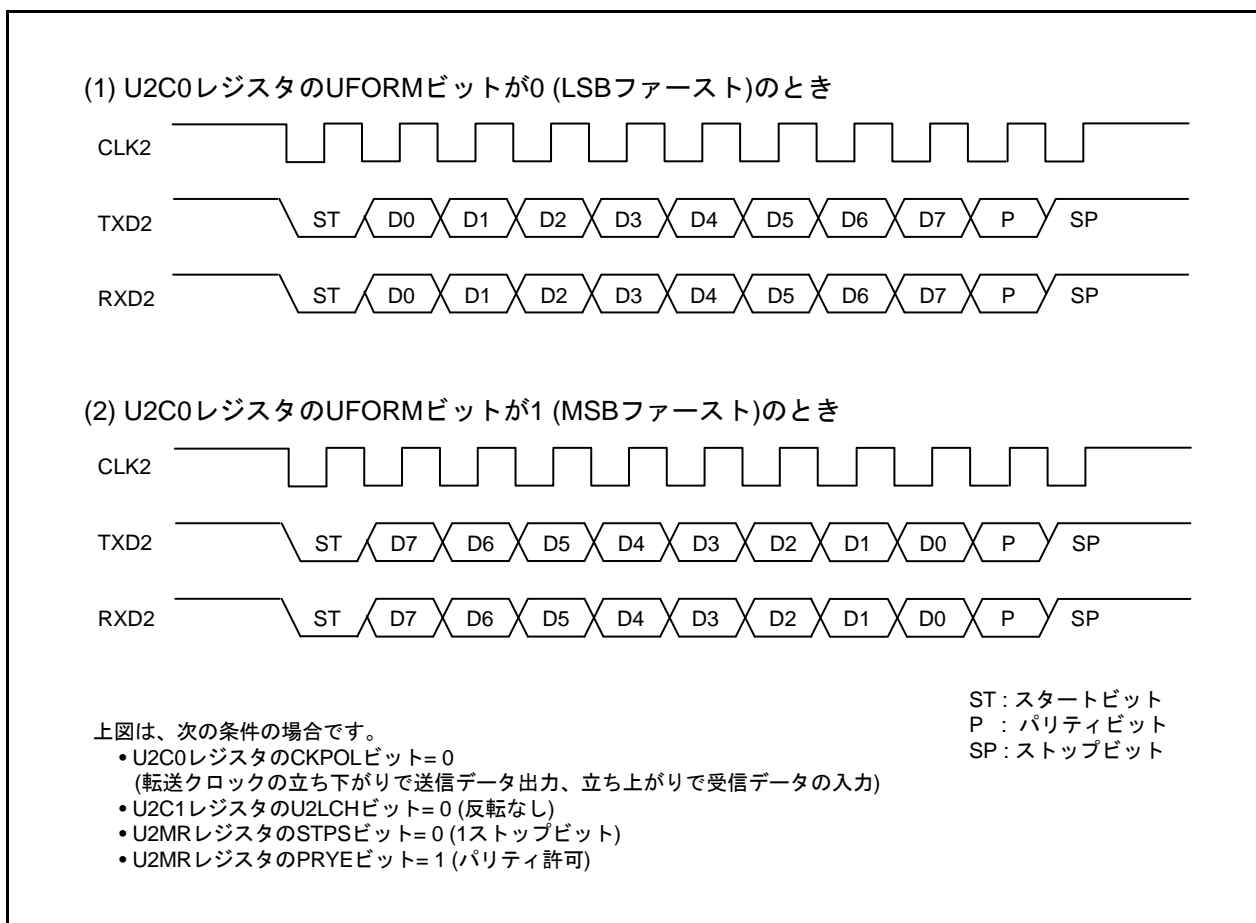


図23.9 転送フォーマット

23.3.2.4 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットでシリアルデータ論理反転の有無を選択できます。

U2LCHビットが1(反転あり)の場合、U2TBレジスタに論理を反転した値を書き込み送信します。U2RBレジスタを読み出すと、受信データの論理を反転した値が読み出せます。図23.10にシリアルデータ論理を示します。

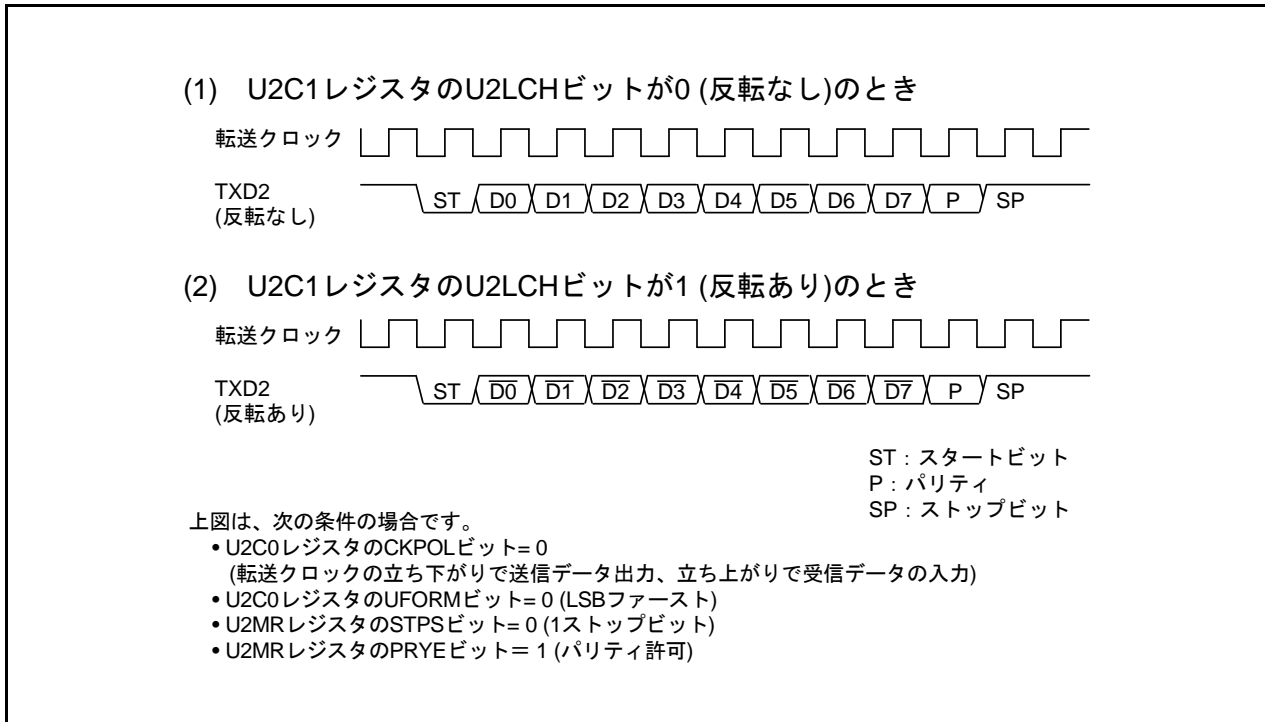


図23.10 シリアルデータ論理

23.3.2.5 TXD、RXD入出力極性切り替え機能

TXD2端子出力とRXD2端子入力 of 極性を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図23.11にTXD、RXD入出力極性切り替えを示します。

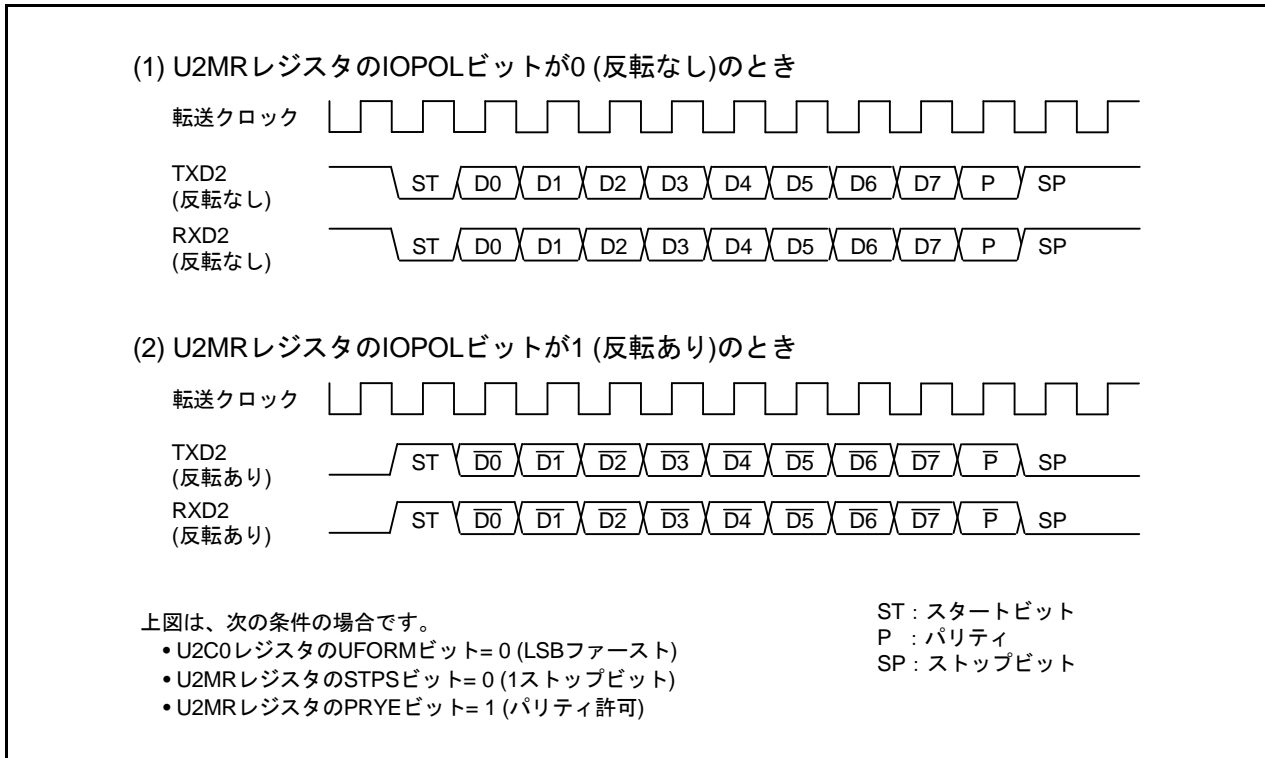


図23.11 TXD、RXD入出力極性切り替え

23.3.2.6 CTS/RTS機能

CTS機能は、CTS2端子にLを入力すると、送受信を開始させる機能です。CTS2端子の入力レベルがLになると、送受信を開始します。送受信の最中に入力レベルをHにした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、RTS2端子の出力レベルがLになります。RXD2端子の最初の立ち下がりで出力レベルがHになります。

- U2C0レジスタのCRDビット=1(CTS/RTS機能禁止): CTS2端子入力未使用、RTS2端子出力H
- CRDビット=0、CRSビット=0(CTS機能選択): CTS2端子入力有効、RTS2端子出力H
- CRDビット=0、CRSビット=1(RTS機能選択): CTS2端子入力未使用、RTS2端子出力有効

23.3.2.7 RXD2デジタルフィルタ選択機能

RXD2デジタルフィルタ機能は、U2RXDFレジスタのDF2ENビットが1(RXD2デジタルフィルタ許可)のとき、RXD2入力信号のノイズ除去を行い内部に取り込む機能です。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がU2BRGレジスタで分周したクロックでサンプリングされ、3つのラッチ出力が一致すると、信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図23.12にRXD2デジタルフィルタ回路のブロック図を示します。

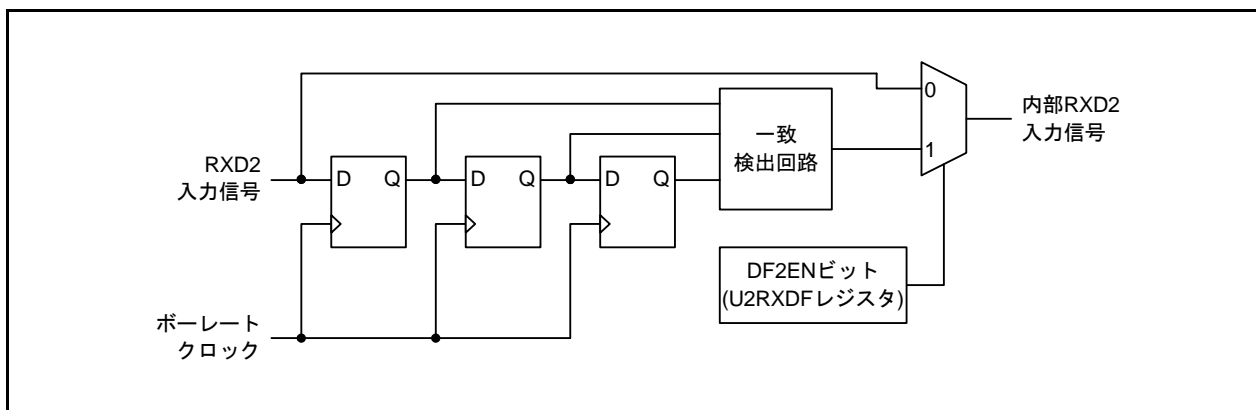


図23.12 RXD2デジタルフィルタ回路のブロック図

23.3.3 特殊モード3 (IEモード)

UARTモードの9ビットの波形でIEBusの1ビットに近似させるモードです。

表23.9にIEモード時の使用レジスタと設定を、図23.13にバス衝突検出機能関連ビットの機能を示します。

TXD2端子の出力レベルとRXD2端子の入力レベルが異なる場合、UART2バス衝突検出割り込み要求が発生します。

表23.9 IEモード時の使用レジスタと設定(注1)

レジスタ	ビット	機能
U2TB	b0～b8	送信データを設定してください 0波形出力時は00000000b、1波形出力時は11100000b
U2RB	b0～b8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7(注2)	ビットレートを設定してください
U2MR	SMD2～SMD0	110bにしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください。
	PRY	無効
	IOPOL	TXD2、RXD2入出力極性を選択してください
U2C0	CLK0、CLK1(注2)	U2BRGのカウントソースを選択してください
	CRS	無効
	TXEPT	送信レジスタ空フラグ
	CRD	1にしてください
	NCH	TXD2端子の出力形式を選択してください
U2C1	TE	送信を許可する場合1にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
U2SMR	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリア機能の有無を選択してください
	SSS	送信開始条件を選択してください

注1. この表に記載していないビットはIEモード時に書く場合、0を書いてください。

注2. 転送クロックを3.2us/bitとなるようにCLK0、CLK1ビット、U2BRGレジスタを設定してください。

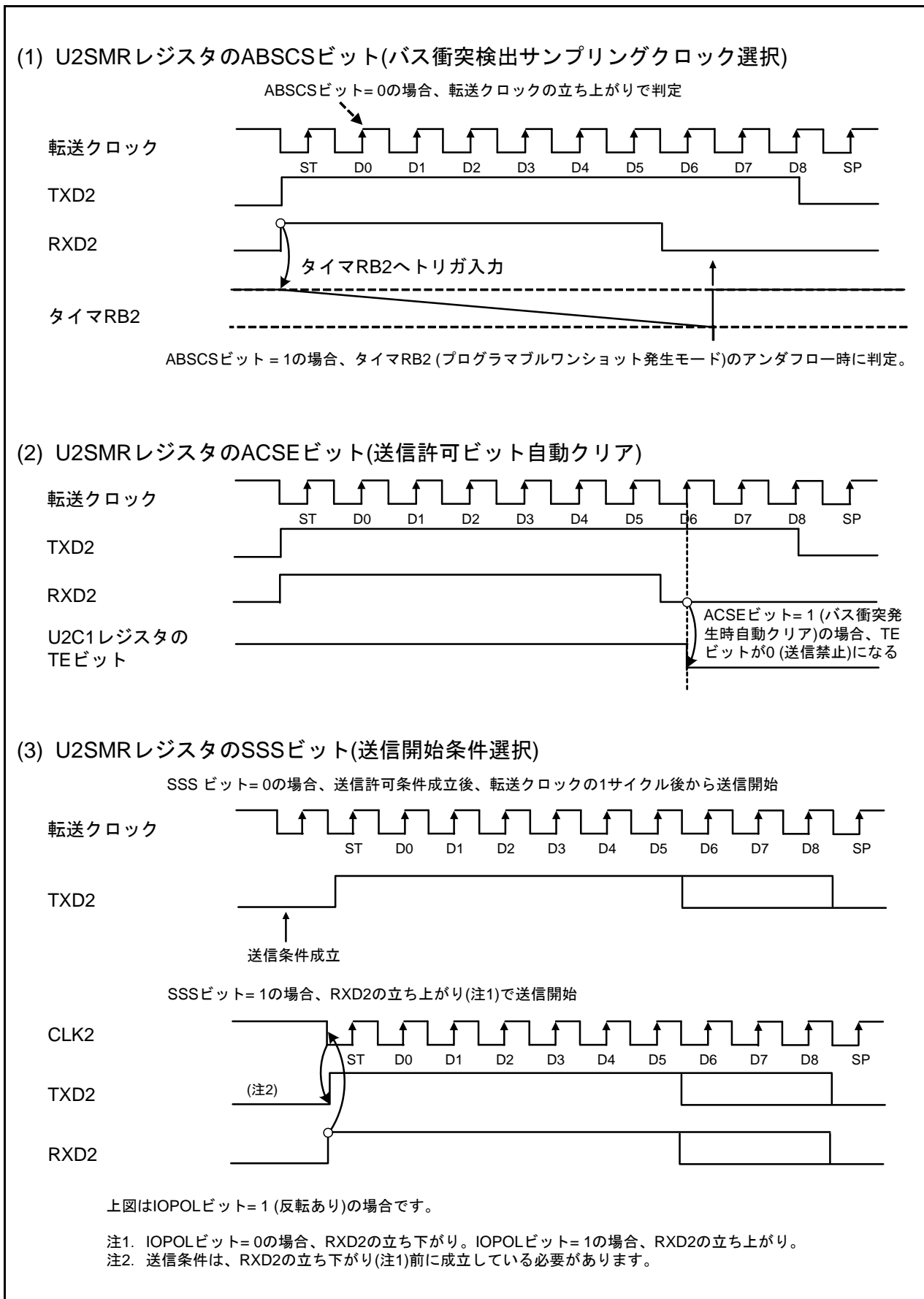


図23.13 バス衝突検出機能関連ビットの機能

23.3.4 マルチプロセッサ通信モード

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加したクロック非同期形シリアルI/Oモード(UARTモード)により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが1のときID送信サイクル、0のときデータ送信サイクルとなります。図23.14にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局Aへのデータ送信の例)を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが1の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが1の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが1にセットされるとともに、U2SMR5レジスタのMPIEビットが0になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常のクロック非同期形シリアルI/Oモード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常のクロック非同期形シリアルI/Oモード(UARTモード)と同一です。

表23.10にマルチプロセッサ通信機能時の使用レジスタと設定値(注1)を示します。

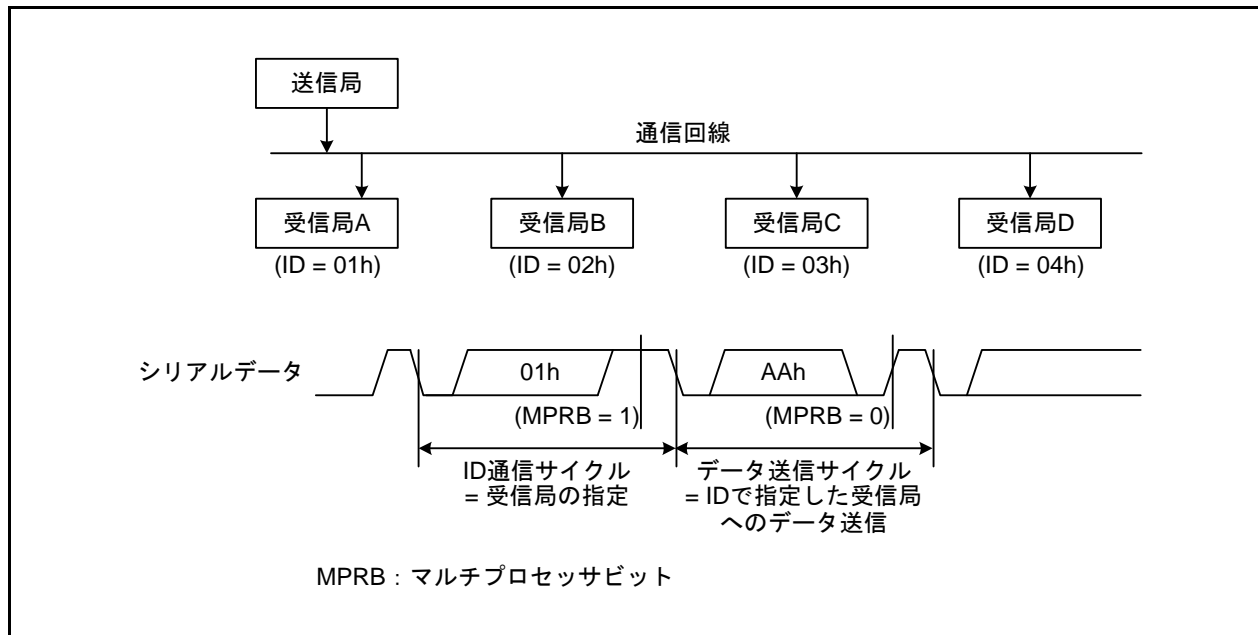


図23.14 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局Aへのデータ送信の例)

表 23.10 マルチプロセッサ通信機能時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U2TB (注2)	b0～b7	送信データを設定してください
	MPTB	送信マルチプロセッサビットを設定してください
U2RB (注3)	b0～b7	受信データが読めます
	MPRB	マルチプロセッサビット
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7	ビットレートを設定してください
U2MR	SMD2～SMD0	転送データが7ビットの場合、100bを設定してください 転送データが8ビットの場合、101bを設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティ検出機能無効
	IOPOL	0にしてください
	U2C0	CLK0、CLK1
CRS		CTSまたはRTS機能無効
TXEPT		送信レジスタ空フラグ
CRD		1にしてください
NCH		TXD2端子出力形式を選択してください
U2C1	TE	送信を許可する場合、1にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
U2SMR5	MP	1にしてください
	MPIE (注4)	マルチプロセッサ受信制御を行う場合は、1にしてください
U2RXDF	DF2EN	デジタルフィルタの有効、無効を選択してください

注1. この表に記載していないビットは、マルチプロセッサ通信モード時には0を書いてください。

注2. IDデータフレームを送信する場合、MPTBビットを1にしてください。データフレームを送信する場合、MPTBビットを0にしてください。

注3. MPRBビットが1の場合、受信したD7～D0はIDフィールドです。MPRBビットが0の場合、受信したD7～D0はデータフィールドです。

注4. MPIEビットを1にする場合は、必ず受信データなし(RIビット=0)の状態を実施してください。

23.3.4.1 マルチプロセッサ送信

図23.15にマルチプロセッサデータ送信のフローチャートを示します。ID送信サイクルでは、U2TBレジスタのMPTBビットを1にして送信してください。データ送信サイクルでは、U2TBレジスタのMPTBを0にして送信してください。その他の動作はクロック非同期形シリアルI/Oモード(UARTモード)の動作と同じです。

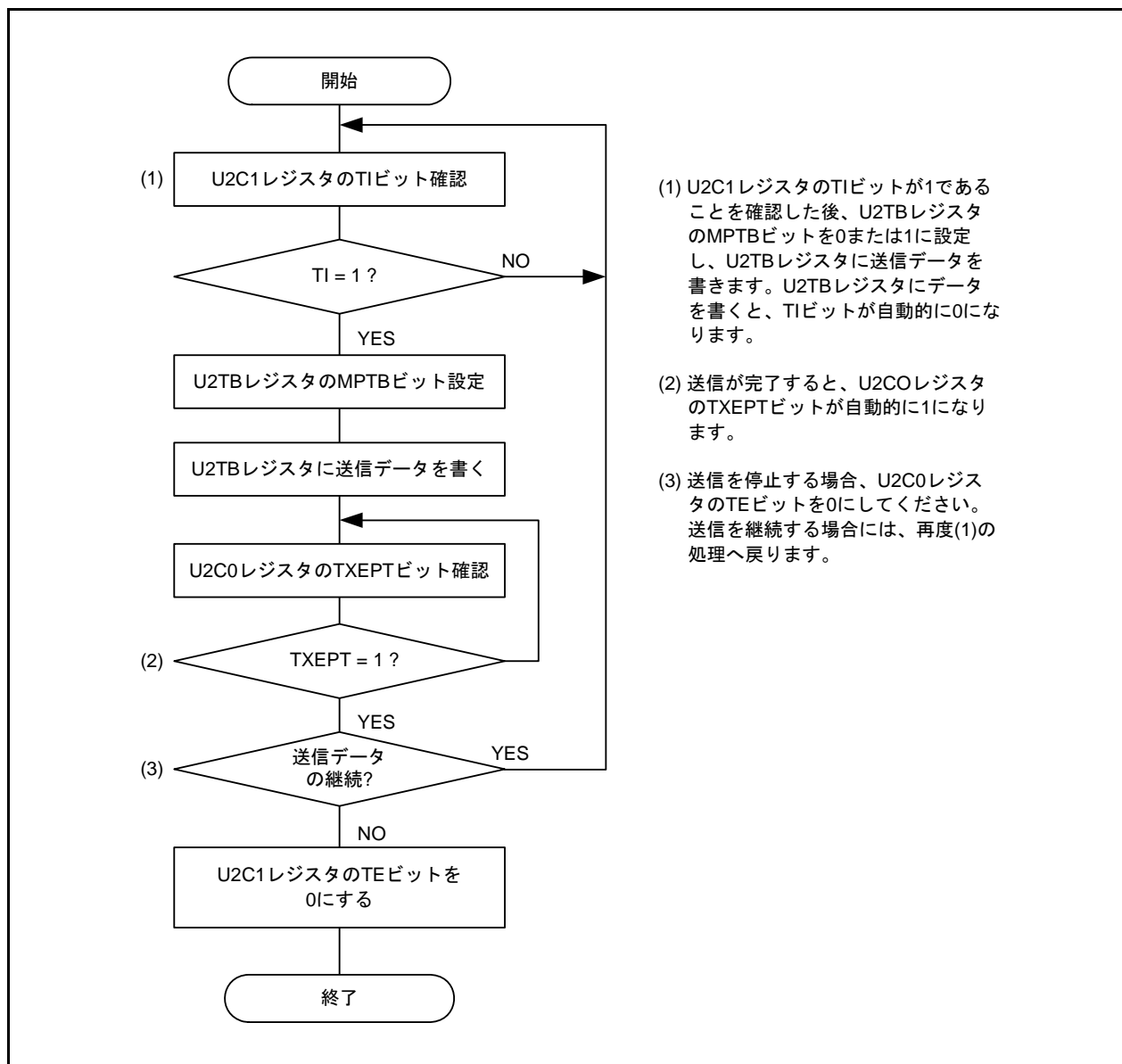


図23.15 マルチプロセッサデータ送信のフローチャート

23.3.4.2 マルチプロセッサ受信

図23.16にマルチプロセッサデータ受信のフローチャートを示します。U2SMR5レジスタのMPIEビットを1にすると、マルチプロセッサビットが1の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが1の通信データを、受信データとしてU2RBレジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作はクロック非同期形シリアルI/Oモード(UARTモード)の動作と同じです。図23.17にマルチプロセッサ通信の受信動作例(8ビットデータ、1ストップビットの例)を示します。

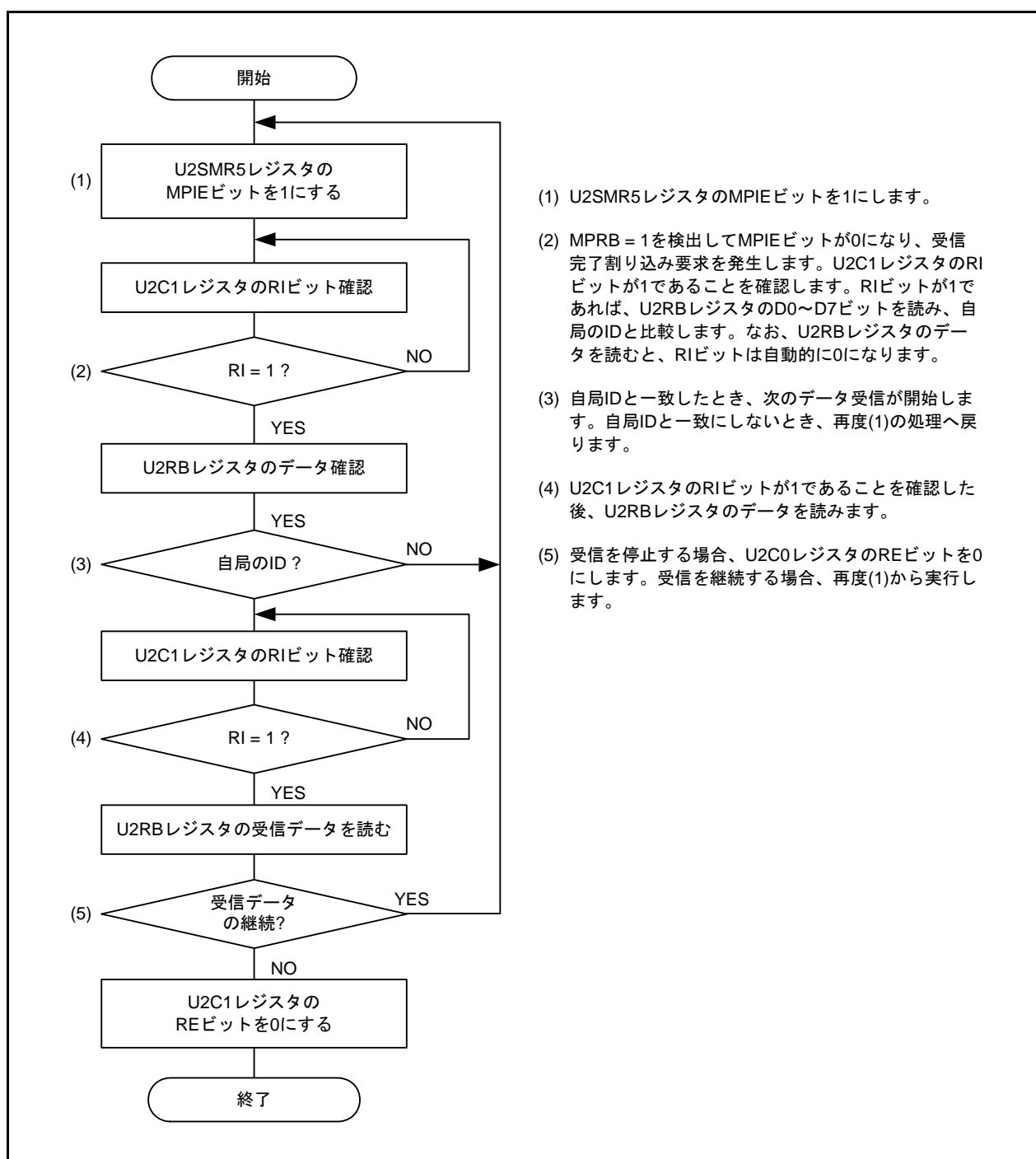


図23.16 マルチプロセッサデータ受信のフローチャート

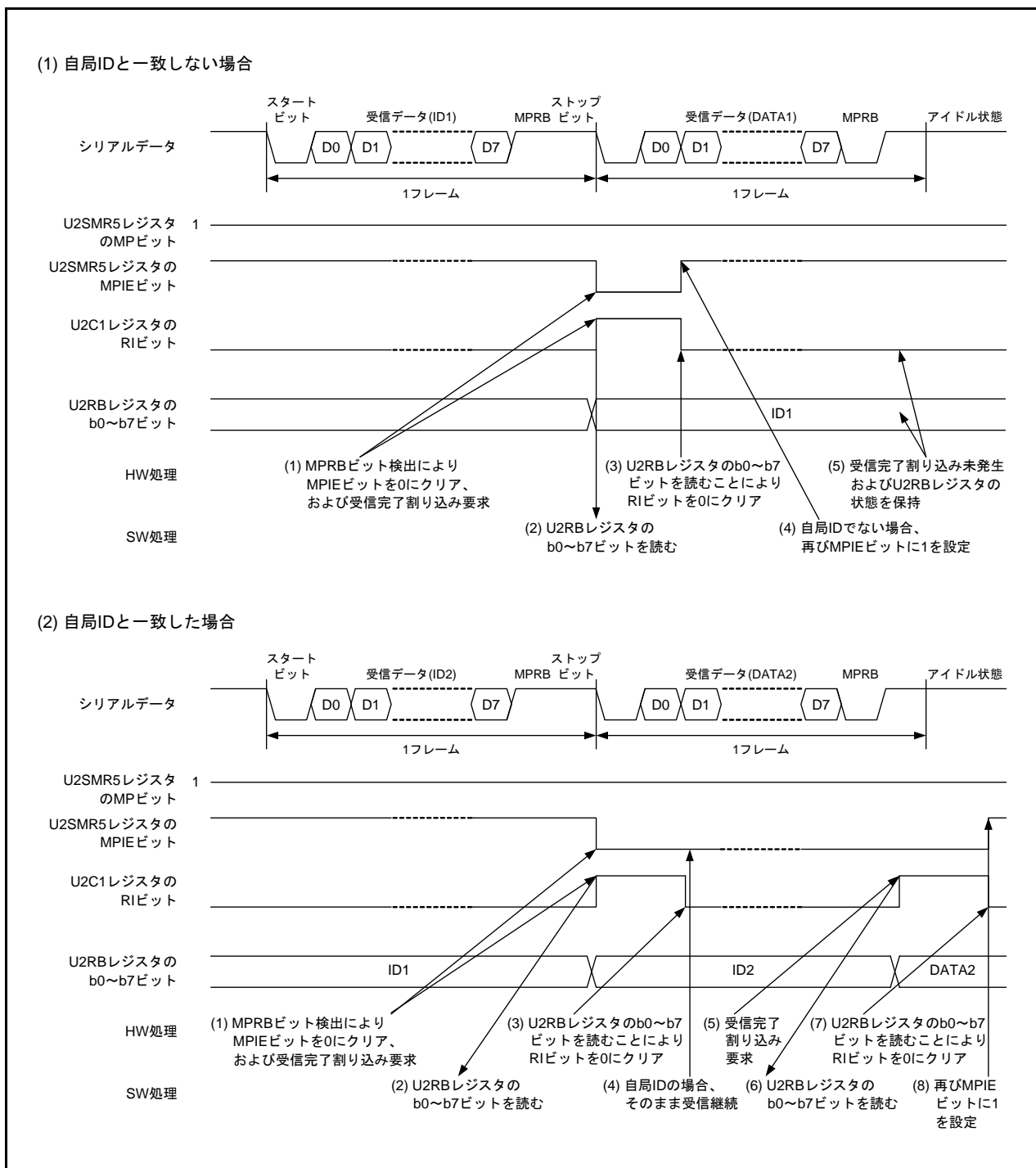


図23.17 マルチプロセッサ通信の受信動作例(8ビットデータ、1ストップビットの例)

23.3.4.3 RXD2 デジタルフィルタ選択機能

クロック非同期形シリアルI/Oモードと同機能です。「23.3.2.7 RXD2 デジタルフィルタ選択機能」を参照してください。

23.3.5 UART2 割り込み要因

表23.11に割り込み要因一覧を示します。

表23.11 割り込み要因一覧

UART2 割り込み要因	クロック同期形 シリアル I/Oモード	UARTモード	IEモード	マルチ プロセッサ 通信モード
バス衝突/ コンディション 割り込み	無効(注1)	無効(注1)	バス衝突検知割り込み	無効(注1)
NACK割り込み	無効	無効	無効	無効
受信/ ACK割り込み	受信割り込み	受信割り込み	受信割り込み	受信割り込み
送信割り込み	送信バッファ空または 送信完了割り込み	送信バッファ空または 送信完了割り込み	送信バッファ空または 送信完了割り込み	送信バッファ空または 送信完了割り込み

注1. クロック同期形シリアルI/Oモード、UARTモード、マルチプロセッサ通信モードでもバス衝突/コンディション割り込みが動作します。そのため、U2BCNICレジスタのILVL2～ILVL0ビットを000b(レベル0(割り込み禁止))にください。

23.4 シリアルインタフェース (UART2)使用上の注意事項

23.4.1 動作モード共通

23.4.1.1 レジスタアクセス

次のレジスタは、シリアルインタフェース無効時のみ設定変更可能です。シリアルインタフェース有効状態では切り替えないでください。

U2MR レジスタ： CKDIR ビット

U2C0 レジスタ： CLK0、CLK1 ビット

また次のレジスタは、送受信停止中のみ設定変更可能です。送受信中には切り替えないでください。

U2MR レジスタ： SMD0～SMD2、STPS、PRY、PRYE、IOPOL ビット

U2BRG レジスタ： b0～b7 ビット

U2C0 レジスタ： CRS、CRD、NCH、CKPOL、UFORM ビット

U2C1 レジスタ： U2IRS、U2RRM、U2LCH、U2ERE ビット

U2RXDF レジスタ： DF2EN ビット

U2SMR5 レジスタ： MP ビット

U2SMR3 レジスタ： NODC ビット

U2SMR レジスタ： ABSCS、ACSE、SSS ビット

23.4.1.2 Nチャネルオープンドレイン制御ビット

UART2を使用しないときは、下記ビットに0を設定してください。

U2C0 レジスタ： NCH ビット

U2SMR3 レジスタ： NODC ビット

23.4.2 クロック同期形シリアルI/Oモード

23.4.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルがLになり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルはHになります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は禁止です。

23.4.2.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックがHの状態、CKPOLビットが1(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックがLの状態、次の条件を満たしてください。

- U2C1レジスタのTEビットが1(送信許可)
- U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力がL

23.4.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを1(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを1にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックが発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが1(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが1(オーバランエラー発生)になります。この場合、U2RBレジスタは前回の受信データを保持していますので、オーバランエラーが発生したときは、エラー発生データを再送信するように送信と受信側のプログラムで対処してください。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが0のときは外部クロックがHの状態、CKPOLビットが1のときは外部クロックがLの状態、次の条件を満たしてください。

- U2C1レジスタのREビットが1(受信許可)
- U2C1レジスタのTEビットが1(送信許可)
- U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)

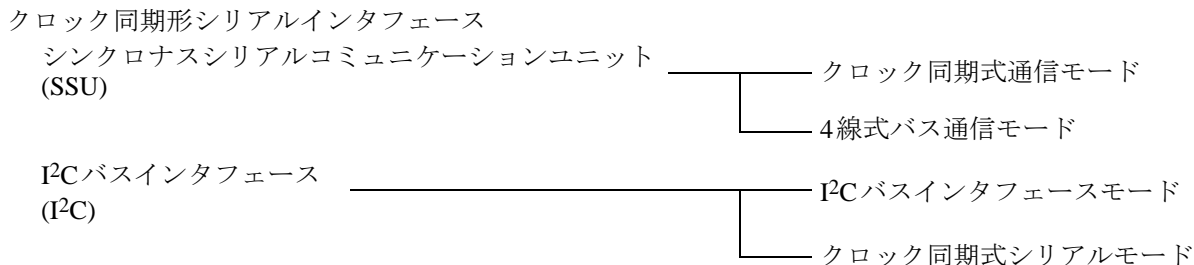
内部クロックを選択している場合は、U2C1レジスタのTEビットに1を設定後、ダミーデータをU2TBレジスタに設定する前にU2C1レジスタのREビットを1に設定してください。

マスタ動作時に連続受信モードで最後のデータを読み出す場合、読み出し前にU2C1レジスタのU2RRMビットを0にしてください。

24. クロック同期形シリアルインタフェース

24.1 概要

クロック同期形シリアルインタフェースは、次の構成です。



24.1.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表24.1にモード選択に関わるビットを示します。

表24.1 モード選択

IICCRレジスタの IICSELビット(注1)	SICR1レジスタの ICEビット(注1)	SIMR2レジスタの MSビット(注1)	機能名	モード
0	0	0	シンクロナスシリアル コミュニケーション ユニット(SSU)	クロック同期式通信 モード
		1		4線式バス通信モード
1	1	0	I ² Cバスインタフェース (I ² C)	I ² Cバスインタフェース モード
		1		クロック同期式シリア ルモード

注1. 表中の組み合わせ以外の設定はしないでください。表中の組み合わせ以外の設定をした場合の動作は不定です。

24.1.2 シンクロナスシリアルコミュニケーションユニット(SSU)

シンクロナスシリアルコミュニケーションユニット(SSU)は、クロック同期式のシリアルデータ通信が可能です。SSUはSSU_0、SSU_1の2チャンネルで構成しています。特に差異がない限り、本章ではSSUとして説明します。

表24.2にシンクロナスシリアルコミュニケーションユニットの仕様を、図24.1にシンクロナスシリアルコミュニケーションユニットのブロック図(i=4、8、16、32、64、128、256)を示します。

表24.2 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	転送データ長 8~16ビット
通信モード	<ul style="list-style-type: none"> • クロック同期式通信モード • 4線式バス通信モード(双方向通信モード含む) <ul style="list-style-type: none"> - マスタ/スレーブデバイスの選択 - シフト、送信、受信レジスタが独立しているため、シリアルデータの連続送信と連続受信が可能
入出力端子	SSCK (入出力) : クロック入出力端子 SSI (入出力) : データ入出力端子 SSO (入出力) : データ入出力端子 SCS (入出力) : チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> • SICR1レジスタのMSTビットが0(スレーブモード)のとき 外部クロック(SSCK端子から入力) • SICR1レジスタのMSTビットが1(マスタモード)のとき 内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力) • クロック極性と位相を選択できる
受信エラーの検出	<ul style="list-style-type: none"> • オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、SISRレジスタのORER_ALビットが1(オーバランエラー発生)になる
マルチマスタエラーの検出	<ul style="list-style-type: none"> • コンフリクトエラーを検出 SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが1(マスタモード)の状態、SCS端子入力がLであればSISRレジスタのCE_ADZビットが1(コンフリクトエラー発生)になる。 SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが0(スレーブモード)で転送途中でSCS端子入力がLからHに変化したとき、SISRレジスタのCE_ADZビットが1になる。
割り込み要因	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー(注1))
選択機能	<ul style="list-style-type: none"> • データ転送方向 MSBファーストまたはLSBファーストを選択 • SSCKクロック極性 クロック停止時のレベルをLかHかを選択 • SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択

注1. コンフリクトエラーは、4線式バス通信モードでのみ発生します。

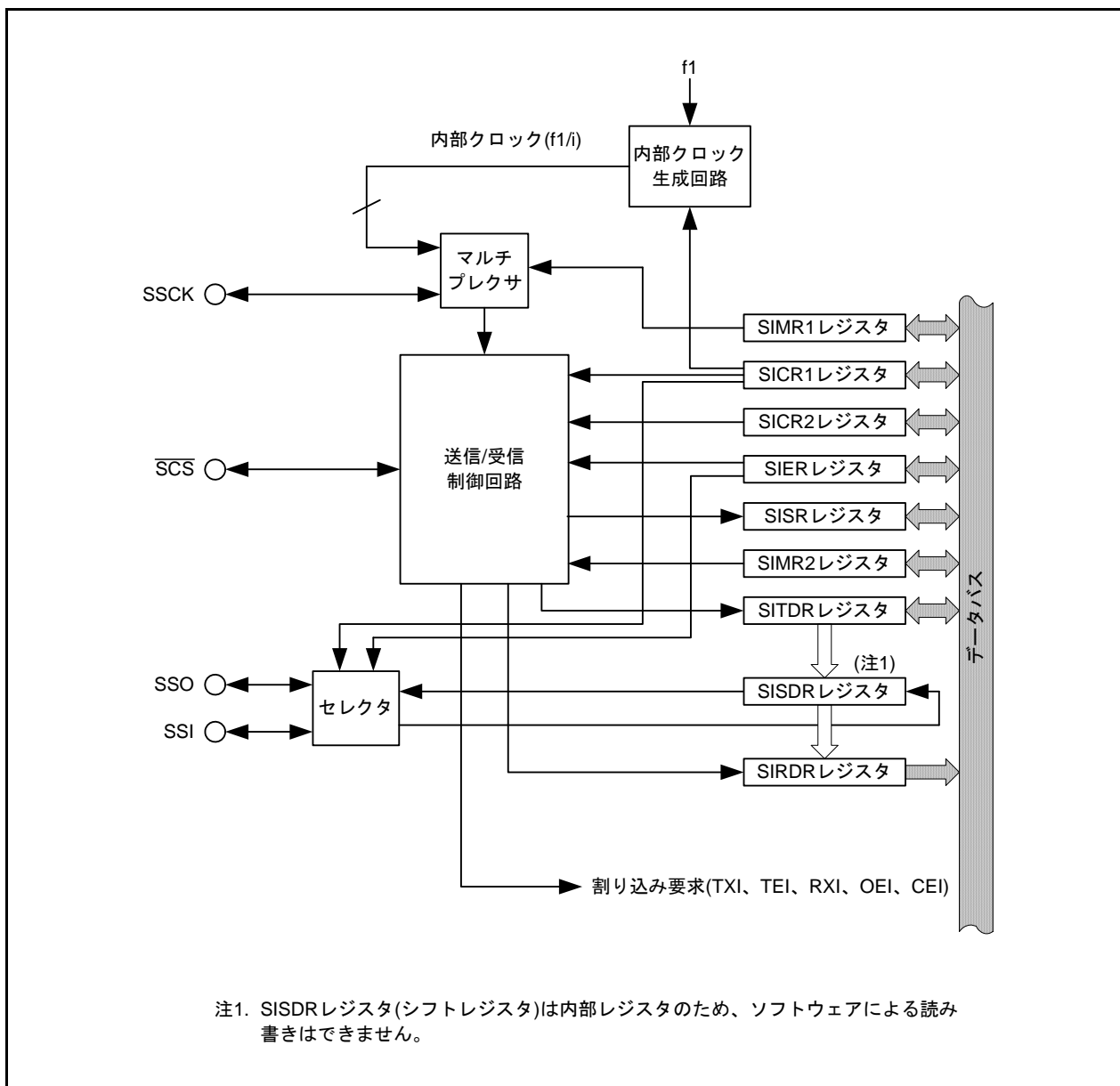


図24.1 シンクロナスシリアルコミュニケーションユニットのブロック図
(i = 4、8、16、32、64、128、256)

表24.3 シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	入出力	機能
SSI	入出力	データ入出力
SCS	入出力	チップセレクト入出力
SSCK	入出力	クロック入出力
SSO	入出力	データ入出力

24.1.3 I²Cバスインタフェース

I²Cバスインタフェースは、フィリップス社I²Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。I²Cバスインタフェースは、I²C_0、I²C_1の2チャンネルで構成しています。特に差異がない限り、本章ではI²Cとして説明します。

表24.4にI²Cバスインタフェースの仕様を、図24.2にI²Cバスインタフェースのブロック図を、図24.3にSCL、SDA端子の外部回路接続例を、表24.5にI²Cバスインタフェースの端子構成を示します。

表24.4 I²Cバスインタフェースの仕様

項目	仕様
通信モード	<ul style="list-style-type: none"> • I²Cバスインタフェースモード <ul style="list-style-type: none"> - マスタ/スレーブデバイスの選択 - 連続送信、連続受信が可能(シフト、送信データ、受信データレジスタがそれぞれ独立しているため) - マスタモードでは開始条件、停止条件の自動生成 - 送信時、アクノリッジビットを自動ロード - ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期をとる。転送準備ができていない場合、SCLをLにして待機させる。) - SCL、SDA端子の直接駆動(Nチャンネルオープンドレイン出力)が可能 • クロック同期式シリアルモード <ul style="list-style-type: none"> - 連続送信、連続受信が可能(シフト、送信データ、受信データレジスタがそれぞれ独立しているため)
入出力端子	SCL (入出力) : シリアルクロック入出力端子 SDA (入出力) : シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> • SICR1レジスタのMSTビットが0(スレーブモード)のとき 外部クロック(SCL端子から入力) • SICR1レジスタのMSTビットが1(マスタモード)のとき SICR1レジスタのCKS0~CKS3ビットおよびIICCRレジスタのIICTCTWIビット、IICTCHALFビットで選択する内部クロック(SCL端子から出力)
受信エラーの検出	<ul style="list-style-type: none"> • オーバランエラーを検出(クロック同期式シリアルモード) 受信時にオーバランエラーが発生したことを示す。SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、SISRレジスタのORER_ALビットが1(オーバランエラー発生)になる
割り込み要因	<ul style="list-style-type: none"> • I²Cバスインタフェースモード : 6種類 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出 • クロック同期式シリアルモード : 4種類 送信データエンプティ、送信終了、受信データフル、オーバランエラー
選択機能	<ul style="list-style-type: none"> • I²Cバスインタフェースモード 受信時、アクノリッジの出力レベルを選択 • クロック同期式シリアルモード データ転送方向にMSBファーストまたはLSBファーストを選択 • SDAのデジタル遅延 IICCRレジスタのSDADLY0、SDADLY1ビットでSDA端子のデジタル遅延値を選択

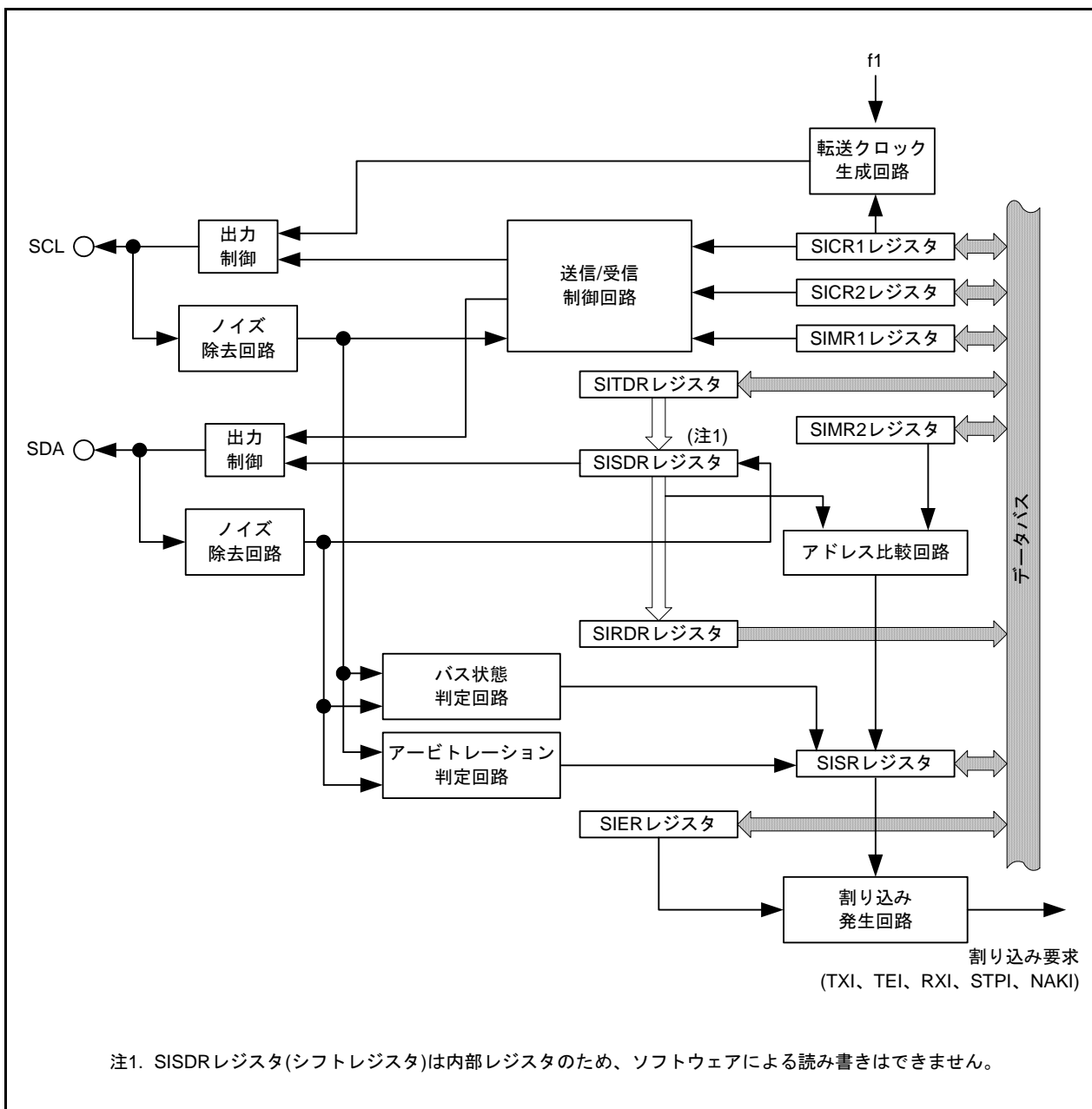


図24.2 I²Cバスインタフェースのブロック図

表24.5 I²Cバスインタフェースの端子構成

端子名	機能
SCL	クロック入出力
SDA	データ入出力

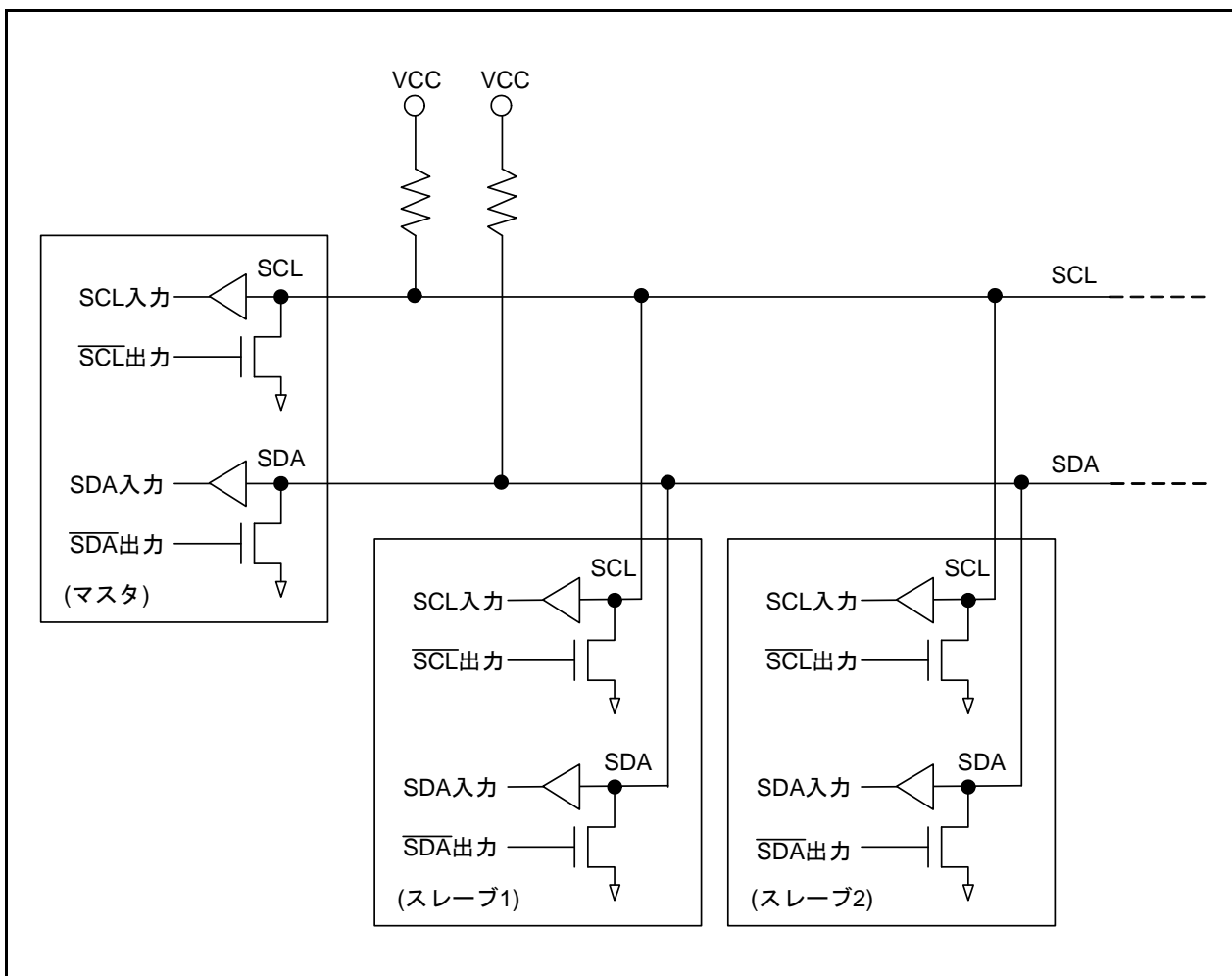


図 24.3 SCL、SDA 端子の外部回路接続例

24.2 レジスタの説明

クロック同期形シリアルインタフェースのレジスタは、SSU機能とI²Cバス機能を共有しています。
表24.6にクロック同期形シリアルインタフェースのレジスタ構成を示します。

表24.6 クロック同期形シリアルインタフェースのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
I ² C_0制御レジスタ	IICCR_0	00001110b	000E0h	8
SS_0ビットカウンタレジスタ	SSBR_0	11111000b	000E1h	8
SI_0送信データレジスタ	SITDR_0	FFh	000E2h	8または16 (注1)
		FFh	000E3h	
SI_0受信データレジスタ	SIRDR_0	FFh	000E4h	8または16 (注1)
		FFh	000E5h	
SI_0制御レジスタ1	SICR1_0	00h	000E6h	8
SI_0制御レジスタ2	SICR2_0	01111101b	000E7h	8
SI_0モードレジスタ1	SIMR1_0	00010000b	000E8h	8
SI_0割り込み許可レジスタ	SIER_0	00h	000E9h	8
SI_0ステータスレジスタ	SISR_0	00h	000EAh	8
SI_0モードレジスタ2	SIMR2_0	00h	000EBh	8
I ² C_1制御レジスタ	IICCR_1	00001110b	000F0h	8
SS_1ビットカウンタレジスタ	SSBR_1	11111000b	000F1h	8
SI_1送信データレジスタ	SITDR_1	FFh	000F2h	8または16 (注1)
		FFh	000F3h	
SI_1受信データレジスタ	SIRDR_1	FFh	000F4h	8または16 (注1)
		FFh	000F5h	
SI_1制御レジスタ1	SICR1_1	00h	000F6h	8
SI_1制御レジスタ2	SICR2_1	01111101b	000F7h	8
SI_1モードレジスタ1	SIMR1_1	00010000b	000F8h	8
SI_1割り込み許可レジスタ	SIER_1	00h	000F9h	8
SI_1ステータスレジスタ	SISR_1	00h	000FAh	8
SI_1モードレジスタ2	SIMR2_1	00h	000FBh	8

注1. I²Cバス機能の場合は8ビット単位で、SSU機能の場合は16ビット単位でアクセスしてください。

注2. スタンバイモード時、SICR2レジスタのSDAOビット、SCLOビット、SIMR1レジスタのBC0～BC3ビット、および内部レジスタの値が初期化されます。それ以外のSICR2レジスタとSIMR1レジスタのビットおよびレジスタは初期化されません。

注3. スタンバイモード後に書き込みアクセスする場合は、NOP命令を最低1つ入れてください。

注4. I²Cバス、SSU機能動作中はスタンバイ状態にしないでください。

注5. スタンバイ状態ではすべてのレジスタの書き込みができません。読み出すことは可能です。

24.2.1 I²C制御レジスタ (IICCR)

アドレス 000E0h (IICCR_0)、000F0h (IICCR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	—	—	—	IICSEL
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I ² Cバス切り替えビット (注1)	0 : SSU機能 1 : I ² Cバス機能	R/W
b1	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b2	—			
b3	—			
b4	IICTCTWI	I ² C転送レート2倍選択 ビット(注2、3)	0 : SICR1レジスタのCKS0~CKS3ビットの設定値通 りの転送レート 1 : SICR1レジスタのCKS0~CKS3ビットの設定値の 2倍の転送レート	R/W
b5	IICTCHALF	I ² C転送レート1/2倍選択 ビット(注2、3)	0 : SICR1レジスタのCKS0~CKS3ビットの設定値通 りの転送レート 1 : SICR1レジスタのCKS0~CKS3ビットの設定値の 1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択 ビット(注3、4、5)	b7 b6 0 0 : 3×f1サイクルのデジタル遅延 0 1 : 11×f1サイクルのデジタル遅延 1 0 : 19×f1サイクルのデジタル遅延 1 1 : 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I²Cバス機能とSSU機能の切り替え前には全レジスタの初期化を行ってください。注2. I²Cバス機能時はIICTCTWI、IICTCHALFビットの両方に1を設定しないでください。また、SSU機能時は両方とも0を設定してください。

注3. 初期設定段階で設定し、動作中に書き換えしないでください。

注4. 転送レートの半分以上のデジタル遅延を設定しないでください。

注5. I²Cバス機能時のみ有効です。SSU機能時は無効です。

24.2.2 SSビットカウンタレジスタ (SSBR)

アドレス 000E1h (SSBR_0)、000F1h (SSBR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット (注1、2)	b3 b2 b1 b0 0 0 0 0 : 16ビット	R/W
b1	BS1		1 0 0 0 : 8ビット	R/W
b2	BS2		1 0 0 1 : 9ビット	R/W
b3	BS3		1 0 1 0 : 10ビット	R/W
			1 0 1 1 : 11ビット	
			1 1 0 0 : 12ビット	
			1 1 0 1 : 13ビット	
			1 1 1 0 : 14ビット	
		1 1 1 1 : 15ビット		
		上記以外 : 設定しないでください		
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。	—	
b5	—			
b6	—			
b7	—			

注1. SSU機能の動作中は、BS0～BS3ビットに書かないでください。SIERレジスタのRE_STIEビットが0(データ受信禁止)、TE_NAKIEビットが0(データ送信禁止)のとき、BS0～BS3ビットに書いてください。

注2. 定められた値以外の設定は無効です。

SSBRレジスタの設定はSSU機能のとき有効です。I²Cバス機能ではSSBRレジスタの設定は無効です。

BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

24.2.3 SI送信データレジスタ (SITDR)

アドレス 000E2h (SITDR_0)、000F2h (SITDR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	送信データを保管。(注1) SISDRレジスタの空きが検出されると、このレジスタに保管されている送信データがSISDRレジスタへ転送されて、送信が開始する。 SISDRレジスタからデータを送信中に、SITDRレジスタに次の送信データを書いておくと、連続して送信できる。 SIMR1レジスタのMLSビットが1 (LSBファーストでデータ転送)の場合、SITDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。	R/W

注1. データ転送長9ビット以上 (b8～b15)はSSU機能でのみで使用します。SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SITDRレジスタを16ビット単位でアクセスしてください。

8ビットアクセスの場合、上位バイト (b15～b8)へアクセスしても送信動作は開始されません。下位バイト (b7～b0)へアクセスするとTDREがネゲートされ、送信動作が開始します。

24.2.4 SI受信データレジスタ (SIRDR)

アドレス 000E4h (SIRDR_0)、000F4h (SIRDR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	受信データを保管。(注1、2、3) SISDRレジスタが1バイトのデータを受信すると、SIRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSISDRレジスタとSIRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

注1. SISRレジスタのORER_ALビットが1 (オーバランエラー発生)になったとき、SIRDRレジスタはオーバランエラー発生前の受信データを保持します。オーバランエラー発生時の受信データ (SISDRレジスタのデータ)は、破棄されます。

注2. データ転送長9ビット以上 (b8～b15)はSSU機能でのみで使用します。SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SIRDRレジスタを16ビット単位でアクセスしてください。

SIRDRレジスタを8ビット単位でアクセスした場合もSISRレジスタのRDRFビットは0 (SIRDRレジスタにデータなし)になります。

注3. RDRFビットが1 (SIRDRレジスタにデータあり)のときにSIRDRレジスタを読んでください。

24.2.5 SI制御レジスタ1 (SICR1)

SICR1レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

24.2.5.1 SSU機能の場合

アドレス 000E6h (SICR1_0)、000F6h (SICR1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット (注1)	b3 b2 b1 b0 0 0 0 0 : f1/256	R/W
b1	CKS1		0 0 0 1 : f1/128	R/W
b2	CKS2		0 0 1 0 : f1/64	R/W
b3	CKS3		0 0 1 1 : f1/32	R/W
			0 1 0 0 : f1/16	
		0 1 0 1 : f1/8		
		0 1 1 0 : f1/4		
			上記以外 : 設定しないでください	
b4	TRS	予約ビット	0にしてください	R/W
b5	MST	マスタ/スレーブ選択ビット (注2、3)	0 : スレーブモード 1 : マスタモード	R/W
b6	RCVD	受信禁止ビット (注4)	0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	予約ビット	0にしてください	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては「24.3.1.1 転送クロック」を参照してください。

注2. MSTビットが1(マスタモード)のとき、SSCK端子は転送クロック出力端子になります。SISRレジスタのCE_ADZビットが1(コンフリクトエラー発生)になると、MSTビットは0(スレーブモード)になります。

注3. マルチマスタで使用する場合、MSTビットの設定にはMOV命令を使用してください。

注4. MSTビットが0(スレーブモード)のとき、RCVDビットに1を設定しないでください。

24.2.5.2 I²Cバス機能の場合

アドレス 000E6h (SICR1_0)、000F6h (SICR1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット (注1)	b3 b2 b1 b0 0 0 0 0 : f1/28	R/W
b1	CKS1		0 0 0 1 : f1/40	R/W
b2	CKS2		0 0 1 0 : f1/48	R/W
b3	CKS3		0 0 1 1 : f1/64	R/W
			0 1 0 0 : f1/80	
			0 1 0 1 : f1/100	
			0 1 1 0 : f1/112	
			0 1 1 1 : f1/128	
			1 0 0 0 : f1/56	
			1 0 0 1 : f1/80	
b4	TRS	送信/受信選択ビット (注2、3、4、5、6)	0 : 受信モード 1 : 送信モード	R/W
b5	MST	マスタ/スレーブ選択ビット (注4、5、7)	0 : スレーブモード 1 : マスタモード	R/W
b6	RCVD	受信禁止ビット (注8)	TRS = 0の状態ではSIRDRレジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	I ² Cバスインタフェース許可ビット (注9)	0 : SCL、SDAの出力禁止 (SCL、SDAへの入力可能) 1 : I ² Cバス機能の転送可能状態	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては「表24.9、表24.10 転送レート例」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この機能の詳細は「24.4.2.5.1 I²Cスレーブ送信動作時のデータセットアップ時間確保」を参照してください。

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSIMR2レジスタに設定したスレーブアドレスと一致し、8ビット目が1の場合、TRSビットが1(送信モード)になります。

注4. I²Cバスインタフェースモードのマスタモードでバス競合負けすると、MSTおよびTRSビットが0になり、スレーブ受信モードになります。

注5. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

注6. TRSビットが1のとき、RCVDビットに1を設定しないでください。

注7. クロック同期式シリアルモードのマスタ受信モードでオーバランエラーが発生した場合、MSTビットが0になり、スレーブ受信モードになります。

注8. MSTビットが0(スレーブモード)のとき、RCVDビットに1を設定しないでください。

注9. I²Cバス機能動作中にICEビットに0またはSICR2レジスタのSIRSTビットに1を書くと、SICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。「24.5 クロック同期形シリアルインタフェース使用上の注意事項」を参照してください。

24.2.6 SI制御レジスタ2 (SICR2)

SICR2レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

24.2.6.1 SSU機能の場合

アドレス 000E7h (SICR2_0)、000F7h (SICR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	SIRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b1	SIRST	制御部リセットビット	動作中に通信不具合等によりハングアップしたとき、1を書くときポートの設定、レジスタ(注1)の初期化をせずに制御部を初期化します。	R/W
b2	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b3	SCLO	予約ビット	1にしてください	R
b4	SDAOP	SDAOライトプロテクトビット(注2)	0を書くときSDAOビットによって出力レベルが変更できる。 1を書いても無効。読んだ場合、その値は1。	R/W
b5	SDAO	シリアルデータ出力値制御ビット(注3)	読んだ場合シリアルデータ出力をモニタします。 0: シリアルデータ出力がL 1: シリアルデータ出力がH 書いた場合(注2、4) 0: データ出力をLにする 1: データ出力をHにする	R/W
b6	SCP	予約ビット	1にしてください	R/W
b7	BBSY	予約ビット	0にしてください	R/W

注1. シフトレジスタ、SCLOビット、SDAOビット、SIMR1レジスタのBC0～BC3ビットを除くすべてのSFR。

注2. SDAOビットに書くときは、MOV命令を使用してSDAOPビットに0、SDAOビットに0を同時に書いてください。

注3. 4線式バス通信モード時は書き換えしないでください。

注4. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。

シリアルデータの送信前後にSDAOビットの内容を書き換えると、その時点から転送開始までのデータ出力に反映されず、データ転送中はSDAOビットに書かないでください。

24.2.6.2 I²Cバス機能の場合

アドレス 000E7h (SICR2_0)、000F7h (SICR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	SIRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b1	SIRST	制御部リセットビット	動作中に、通信不具合等によりハングアップしたとき、1を書くとポートの設定、レジスタ(注1)の初期化をせずに、制御部をリセットします。	R/W
b2	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b3	SCLO	SCLモニタフラグ	0: SCL端子はL 1: SCL端子はH	R
b4	SDAOP	SDAOライトプロテクトビット(注2)	SDAOビットを書き換えるとき、同時に0を書いてください。読んだ場合、その値は1。	R/W
b5	SDAO	シリアルデータ出力値制御ビット	読んだ場合シリアルデータ出力をモニタします 0: シリアルデータ出力がL 1: シリアルデータ出力がH 書いた場合(注2、3) 0: シリアルデータ出力をLにする 1: シリアルデータ出力をHにする	R/W
b6	SCP	開始/停止条件発行禁止ビット(注4)	BBSYビットに書くとき、同時に0を書いてください。読んだ場合、その値は1。1書き込みは無効になります。	R/W
b7	BBSY	バスビジービット(注4、5、6)	読んだ場合 0: バスが開放状態(SCL信号がHの状態ですDA信号がLからHに変化) 1: バスが占有状態(SCL信号がHの状態ですDA信号がHからLに変化) 書いた場合 0: 停止条件を発行 1: 開始条件を発行	R/W

- 注1. シフトレジスタ、SCLOビット、SDAOビット、SIMR1レジスタのBC0～BC3ビットを除く、すべてのSFR。
- 注2. SDAOビットを書き換える場合は、同時にSDAOPビットへMOV命令を使用して0を書いてください。
- 注3. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。シリアルデータの送信前後にSDAOビットの内容を書き換えると、その時点から送信開始までのデータ出力に反映されます。SDAOビットは転送動作中に書かないでください。
- 注4. I²Cバス機能のマスタモード時に有効です。BBSYビットに書く場合は、同時にSCPビットへMOV命令を使用して0を書いてください。開始条件の再発行時も、同様に実施してください。
- 注5. クロック同期シリアルモード時は無効です。
- 注6. I²Cバス機能動作中にSICR1レジスタのICEビットに0またはSICR2レジスタのSIRSTビットに1を書くと、SICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。「24.5 クロック同期形シリアルインタフェース使用上の注意事項」を参照してください。また、I²Cバスインタフェースモード時に制御部リセットを実施する場合は「24.4.8 I²Cバスインタフェースモード時の制御部リセット手順」に従ってください。これによりBBSYビットとSTOPビットの不定を対策可能です。SSUバスインタフェースモード(クロック同期式通信モード、4線式バス通信モード)およびクロック同期式シリアルモード時に制御部リセットを実施した場合は、制御部リセット後にTE_NAKIEおよびRE_STIEを再設定してください。

SDAOビットへの0書き込みより開始条件を発行したとしても転送可能状態には移行しません。BBSYビットへの1書き込みによる開始条件発行のみが有効となります。

SDAOビットへの1書き込みによる停止条件の発行は、SCLがLに固定されているため不可能です。BBSYビットへの0書き込みによる停止条件の発行を行ってください。

24.2.7 SIモードレジスタ1 (SIMR1)

SIMR1レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

24.2.7.1 SSU機能の場合

アドレス 000E8h (SIMR1_0)、000F8h (SIMR1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS_WAIT	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	BC0	ビットカウンタ (注1)	b3 b2 b1 b0 0 0 0 0 : 残り16ビット	R	
b1	BC1		0 0 0 1 : 残り15ビット	R	
b2	BC2		0 0 1 0 : 残り14ビット	R	
b3	BC3		0 0 1 1 : 残り13ビット	R	
			0 1 0 0 : 残り12ビット		
			0 1 0 1 : 残り11ビット		
			0 1 1 0 : 残り10ビット		
			0 1 1 1 : 残り9ビット		
			1 0 0 0 : 残り8ビット		
			1 0 0 1 : 残り7ビット		
			1 0 1 0 : 残り6ビット		
			1 0 1 1 : 残り5ビット		
b4	—		何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。	—	
b5	CPHS		転送クロック位相選択ビット (注2)	0 : 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1 : 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS_WAIT		クロック選択ビット (注2)	0 : クロック停止時、H 1 : クロック停止時、L	R/W
b7	MLS	MSBファースト/LSBファースト選択 ビット	0 : MSBファーストでデータ転送 1 : LSBファーストでデータ転送	R/W	

注1. SSU機能(IICCRレジスタのIICSELビットが0、SICR1レジスタのICEビットが0)のとき、書き込みは無効になります。

注2. CPHS、CPOS_WAITビットの設定については「24.3.1.2 転送クロックの極性、位相とデータの関係」を参照してください。

SIMR2レジスタのMSビットが0(クロック同期式通信モード)のとき、CPHSビットを0、CPOS_WAITビットを0にしてください。

BC0～BC3ビット(ビットカウンタ)

送受信中のシフトレジスタの状態が読み出せます。

24.2.7.2 I²Cバス機能の場合

アドレス 000E8h (SIMR1_0)、000F8h (SIMR1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS_WAIT	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ0~2	I ² Cバスインタフェースモード(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数) (注1) b2 b1 b0 0 0 0 : 9ビット(注2) 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット クロック同期式シリアルモード(読み出し時は残りの転送ビット数、書き込み時は常に000bを書いてください。) b2 b1 b0 0 0 0 : 8ビット 0 0 1 : 1ビット 0 1 0 : 2ビット 0 1 1 : 3ビット 1 0 0 : 4ビット 1 0 1 : 5ビット 1 1 0 : 6ビット 1 1 1 : 7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BC3	ビットカウンタ3	BC0~BC2ビットを書き換えるとき、同時に0を書いてください。(注1、3)読んだ場合、その値は1。	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	CPHS	予約ビット	0にしてください	R/W
b6	CPOS_WAIT	ウェイト挿入ビット(注4)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分Lを延長)	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送(注5) 1: LSBファーストでデータ転送	R/W

注1. BC0~BC2ビットに書く場合は、同時にBC3ビットに0をMOV命令を使用して書いてください。1を書いたときのBC0~BC2ビットの書き込み値は無効になります。

注2. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に000bになります。開始条件検出時、BC2~BC0ビットは自動的に000bになります。

注3. クロック同期式シリアルモード時は書き換えしないでください。

注4. I²Cバスインタフェースモードのマスターモード時に、設定値が有効です。I²Cバスインタフェースモードのスレーブモード時およびクロック同期シリアルモード時は無効です。

注5. I²Cバスインタフェースモード時は、0にしてください。

24.2.8 SI割り込み許可レジスタ (SIER)

SIERレジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

24.2.8.1 SSU機能の場合

アドレス 000E9h (SIER_0)、000F9h (SIER_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE_NAKIE	RE_STIE	ACKE	ACKBR	CEIE_ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE_ACKBT	コンフリクトエラー割り込み許可ビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	R/W
b1	ACKBR	予約ビット	読んだ場合、その値は0。	R
b2	ACKE	予約ビット	0にしてください	R/W
b3	RE_STIE	受信許可ビット (注1)	0: 受信禁止 1: 受信許可	R/W
b4	TE_NAKIE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバランエラー 割り込み要求禁止 1: 受信データフルおよびオーバランエラー 割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

注1. 4線式バス(多方向)通信モード時は、TE_NAKIEビットおよびRE_STIEビットをともに1にしないでください。
1を設定した場合、RE_STIEビットは0になります。

24.2.8.2 I²Cバス機能の場合

アドレス 000E9h (SIER_0)、000F9h (SIER_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE_NAKIE	RE_STIE	ACKE	ACKBR	CEIE_ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE_ACKBT	送信アクノリッジ選択ビット	0: 受信モード時、アクノリッジのタイミングで0を送出 1: 受信モード時、アクノリッジのタイミングで1を送出	R/W
b1	ACKBR	受信アクノリッジビット	0: 送信モード時、受信デバイスから受け取ったアクノリッジビットが0 1: 送信モード時、受信デバイスから受け取ったアクノリッジビットが1	R
b2	ACKE	アクノリッジビット判定選択ビット	0: 受信アクノリッジの内容を無視して連続的に転送 1: 受信アクノリッジが1の場合、転送中止	R/W
b3	RE_STIE	停止条件検出割り込み許可ビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注1)	R/W
b4	TE_NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求禁止 1: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求許可(注2)	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可(注3)	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

注1. SISRレジスタのSTOPビットが0のとき、RE_STIEビットを1(停止条件検出割り込み要求許可)にしてください。

注2. TE_NAKIEビットのオーバーランエラー割り込み要求許可は、クロック同期式シリアルモードでは有効です。

注3. RIEビットのオーバーランエラー割り込み要求許可は、I²Cバスインタフェースモードでは無効です。

24.2.9 SISステータスレジスタ (SISR)

SISRレジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

24.2.9.1 SSU機能の場合

アドレス 000EAh (SISR_0)、000FAh (SISR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	ORER_AL	AAS	CE_ADZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE_ADZ	コンフリクトエラーフラグ (注1、2)	0: コンフリクトエラーなし 1: コンフリクトエラー発生	R/W
b1	AAS	予約ビット	0にしてください	R/W
b2	ORER_AL	オーバランエラーフラグ (注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	R/W
b3	STOP	予約ビット	0にしてください	R/W
b4	NACKF			
b5	RDRF	受信データレジスタフルフラグ (注1、4)	0: SIRDRレジスタにデータなし 1: SIRDRレジスタにデータあり	R/W
b6	TEND	送信終了フラグ (注1、5)	0: 送信データの最後尾ビットの送信時、TDRE ビットが0 1: 送信データの最後尾ビットの送信時、TDRE ビットが1	R/W
b7	TDRE	送信データ空フラグ (注1、5、6)	0: SITDRレジスタからSISDRレジスタにデータ 転送されていない 1: SITDRレジスタからSISDRレジスタにデータ 転送された	R/W

注1. CE_ADZ、ORER_AL、RDRF、TEND、TDREビットへの1書き込みは無効です。これらのビットを0にするには、1を読んだ後、0を書いてください。

注2. SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが1(マスタモード)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力がLであればCE_ADZビットが1になります。「24.3.3.4 SCS端子制御とアービトレーション」を参照してください。

MSビットが1(4線式バス通信モード)、MSTビットが0(スレーブモード)で転送途中でSCS端子入力がLからHに変化したとき、CE_ADZビットが1になります。

注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが1(SIRDRレジスタにデータあり)の状態では、次のシリアルデータ受信を完了したとき、ORER_ALビットが1になります。

ORER_ALビットが1(オーバランエラー発生)になった後、RDRFビットが1の状態では受信はできません。またMSTビットが1(マスタモード)の状態では、送信もできません。

注4. RDRFビットはSIRDRレジスタからデータを読み出したとき、0になります。I²Cバスインタフェースモード以外のとき、またはDTCアクセス後のRDRFビットクリア以外のとき、0書き込みによるクリアは行わないでください。

注5. TEND、TDREビットはSITDRレジスタにデータを書いたとき、0になります。

注6. TDREビットはSSU機能の場合、SISRレジスタのTE_NAKIEビットを1(送信許可)にしたとき、1になります。

24.2.9.2 I²Cバス機能の場合

アドレス 000EAh (SISR_0)、000FAh (SISR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	ORER_AL	AAS	CE_ADZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE_ADZ	ゼネラルコールアドレス認識フラグ(注1、2)	ゼネラルコールアドレス検出したとき、1になります。	R/W
b1	AAS	スレーブアドレス認識フラグ(注1)	スレーブ受信モードで開始条件直後の第1フレームがSISR2レジスタのSVA0～SVA6と一致した場合、1になります(スレーブアドレス検出、ゼネラルコールアドレス検出)。	R/W
b2	ORER_AL	アービトレーションロストフラグ/オーバーランエラーフラグ(注1)	I ² Cバスインタフェースモードの場合、マスタモード時にバス競合負けしたことを示します。次のときに1になります。(注3) <ul style="list-style-type: none"> マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき マスタ送信/受信モード時、開始条件検出時にSDA端子がHのとき クロック同期式シリアルモードの場合、オーバーランエラーが発生したことを示します。次のときに1になります。 <ul style="list-style-type: none"> RDRFビットが1の状態、次のデータの最終ビットを受信したとき 	R/W
b3	STOP	停止条件検出フラグ(注1、7)	フレームの転送の完了後に停止条件を検出したとき、1になります。	R/W
b4	NACKF	ノーアクノリッジ検出フラグ(注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、1になります。	R/W
b5	RDRF	受信データレジスタフルフラグ(注1、5)	SISRレジスタからSIRDRレジスタに受信データが転送されたとき、1になります。	R/W
b6	TEND	送信終了フラグ(注1、6)	I ² Cバスインタフェースモードの場合、TDREビットが1の状態SCL信号の9クロック目が立ち上がったとき、1になります。 クロック同期モードの場合、送信フレームの最終ビットを送出したとき、1になります。	R/W
b7	TDRE	送信データ空フラグ(注1、6)	次のときに1になります。 <ul style="list-style-type: none"> SITDRレジスタからSISRレジスタにデータ転送されて、SITDRレジスタが空になったとき SICR1レジスタのTRSビットを1(送信モード)にしたとき 開始条件(再送含む)を発行したとき スレーブ受信モードからスレーブ送信モードに変わったとき 	R/W

注1. 各ビットへの1書き込みは無効です。1を読んだ後、0を書くと0になります。

注2. I²Cバスインタフェースモードのスレーブ受信モードのとき有効です。

注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I²CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ORER_ALビットを1にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはSISRレジスタのACKEビットが1(受信アクノリッジが1の場合、転送中止)のとき有効です。

注5. RDRFビットはSIRDRレジスタからデータを読み出したとき、0になります。I²Cバスインタフェースモード以外のとき、またはDTCアクセス後のRDRFビットクリア以外のとき、0書き込みを行わないでください。

注6. TEND、TDREビットはSITDRレジスタにデータを書いたとき、0になります。

注7. I²Cバス機能動作中にSICR1レジスタのICEビットに0またはSICR2レジスタのSIRSTビットに1を書くと、SICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。「24.5 クロック同期形シリアルインタフェース使用上の注意事項」を参照してください。また、I²Cバスインタフェースモード時に制御部リセットを実施する場合は「24.4.8 I²Cバスインタフェースモード時の制御部リセット手順」に従ってください。これによりBBSYビットとSTOPビットの不定を対策可能です。SSUバスインタフェースモード(クロック同期式通信モード、4線式バス通信モード)およびクロック同期式シリアルモード時に制御部リセットを実施した場合は、制御部リセット後にTE_NAKIEおよびRE_STIEを再設定してください。

24.2.10 SIモードレジスタ2 (SIMR2)

SIMR2レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

24.2.10.1 SSU機能の場合

アドレス 000EBh (SIMR2_0)、000FBh (SIMR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	MS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MS	モード選択ビット (注1)	0 : クロック同期式通信モード 1 : 4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択ビット(注2、3、4、5)	0 : CMOS出力 1 : Nチャンネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力選択ビット(注1、4)	0 : CMOS出力(注6) 1 : Nチャンネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選択ビット(注4、7)	0 : CMOS出力 1 : Nチャンネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット (注5、8)	b5 b4 0 0 : ポートとして機能 0 1 : SCS入力端子として機能 1 0 : SCS出力端子として機能(注9) 1 1 : SCS出力端子として機能(注9)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット (注7)	0 : ポートとして機能 1 : シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット (注1、10)	0 : 標準モード(データ入力とデータ出力を2端子使用して通信) 1 : 双方向モード(データ入力とデータ出力を1端子使用して通信)	R/W

- 注1. データ入出力端子の組合せは「24.3.1.3 データ入出力端子とSSシフトレジスタの関係」を参照してください。
- 注2. 4線式バス通信モードを使用する場合、SCS端子を常にNチャンネルオープンドレイン出力で使用してください。
- 注3. SCS端子をCMOS出力で使用した場合、SCS出力許可時にコンフリクトエラーをおこす可能性があります。エラーフラグをクリア後、再度マスタモードを設定して通信を継続してください。
- 注4. 本モジュール未使用時、CSOS、SOOS、SCKOSビットは0 (CMOS出力)に設定してください。
- 注5. CSOSビットとCSS0、CSS1ビットを同時に設定しないでください。SCS端子を選択する場合は、CSOSビットを設定した後、CSS1、CSS0ビットに01b、10b、または11bを設定してください。SCS端子を選択しない場合は、CSS1、CSS0ビットに00bを設定した後、CSOSビットを設定してください。
- 注6. SOOSビットが0のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを0 (入力モード)にしてください。
- 注7. SCKOSビットとSCKSビットを同時に設定しないでください。SSCK端子を選択する場合は、SCKOSビットを設定した後、SCKSビットに1 (シリアルクロック端子として機能)を設定してください。SSCK端子を選択しない場合は、SCKSビットに0 (ポートとして機能)を設定した後、SCKOSビットを設定してください。
- 注8. MSビットが0 (クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。
- 注9. 転送開始前は、SCS入力端子として機能します。
- 注10. MSビットが0 (クロック同期式通信モード)のとき、BIDEビットは無効です。

24.2.10.2 I²Cバス機能の場合

アドレス 000EBh (SIMR2_0)、000FBh (SIMR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	MS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MS	モード選択ビット	0 : I ² Cバスインタフェースモード 1 : クロック同期式シリアルモード	R/W
b1	SVA0	スレーブアドレス (注1)	I ² Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I ² Cバスインタフェースモードのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0～SVA6が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

注1. スレーブアドレスとして1111XXXbおよび0000XXXbは設定しないでください。

24.3 シンクロナスシリアルコミュニケーションユニット(SSU)の動作説明

24.3.1 クロック同期式通信モード、4線式バス通信モードにかかわる共通事項

24.3.1.1 転送クロック

転送クロックを7種類の内部クロック ($f1/256$ 、 $f1/128$ 、 $f1/64$ 、 $f1/32$ 、 $f1/16$ 、 $f1/8$ 、 $f1/4$)と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SIMR2レジスタのSCKSビットを1にして、SSCK端子をシリアルクロック端子として選択してください。

SICR1レジスタのMSTビットが1(マスタモード)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SICR1レジスタのCKS0～CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

MSTビットが0(スレーブモード)のときは外部クロックが選択され、SSCK端子は入力になります。

24.3.1.2 転送クロックの極性、位相とデータの関係

SIMR2レジスタのMSビットとSIMR1レジスタのCPHS、CPOS_WAITビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図24.4に転送クロックの極性、位相および転送データの関係を示します。

また、SIMR1レジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが1のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが0のときは、MSBから始まり最後にLSBの順で転送されます。

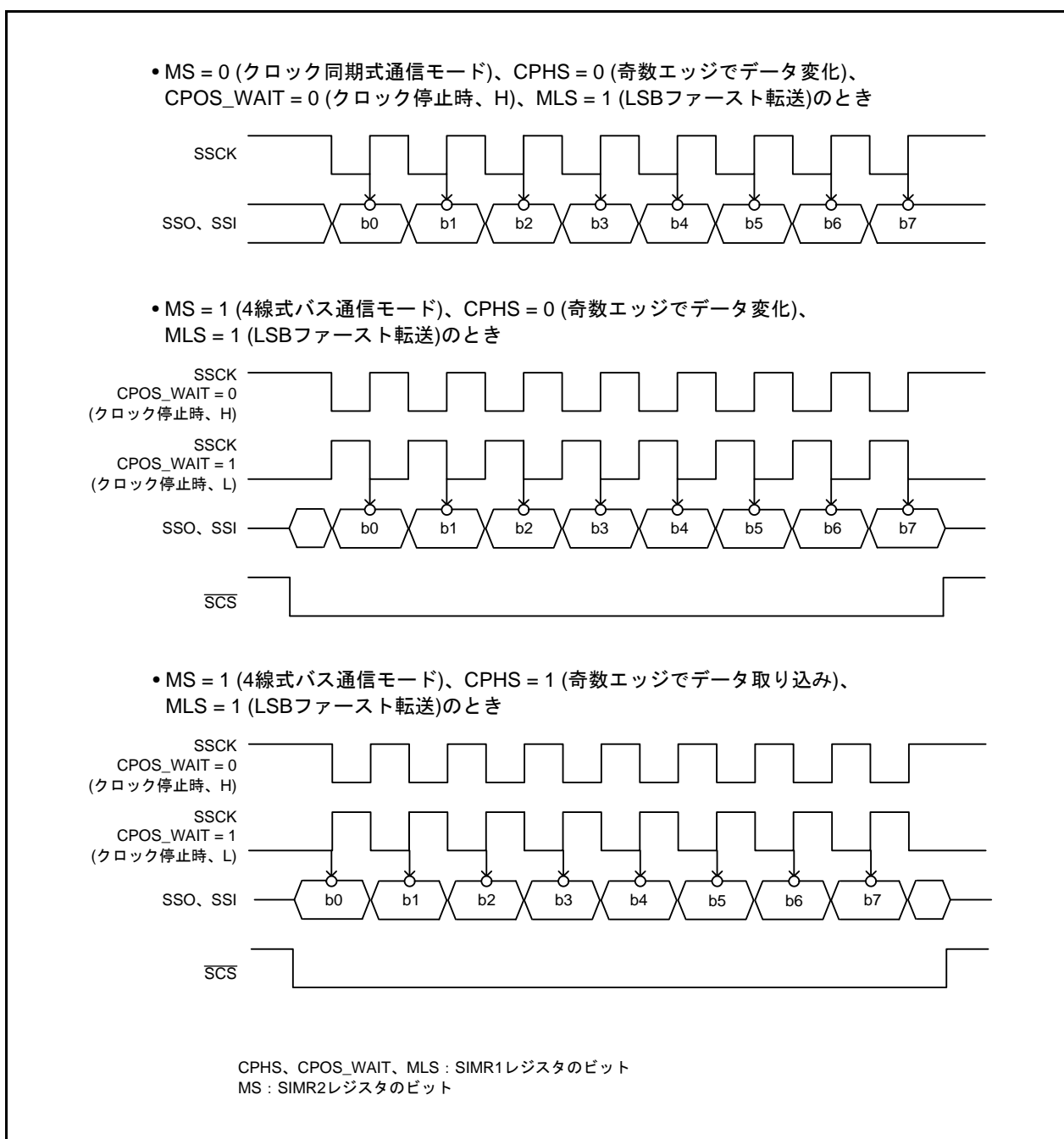


図24.4 転送クロックの極性、位相および転送データの関係

24.3.1.3 データ入出力端子とSSシフトレジスタの関係

SICR1レジスタのMSTビットとSIMR2レジスタのMSビットとの組み合わせにより、データ入出力端子とSISDRレジスタの接続関係が変わります。また、SIMR2レジスタのBIDEビットによっても接続関係が変わります。図24.5にデータ入出力端子とSISDRレジスタの接続関係を示します。

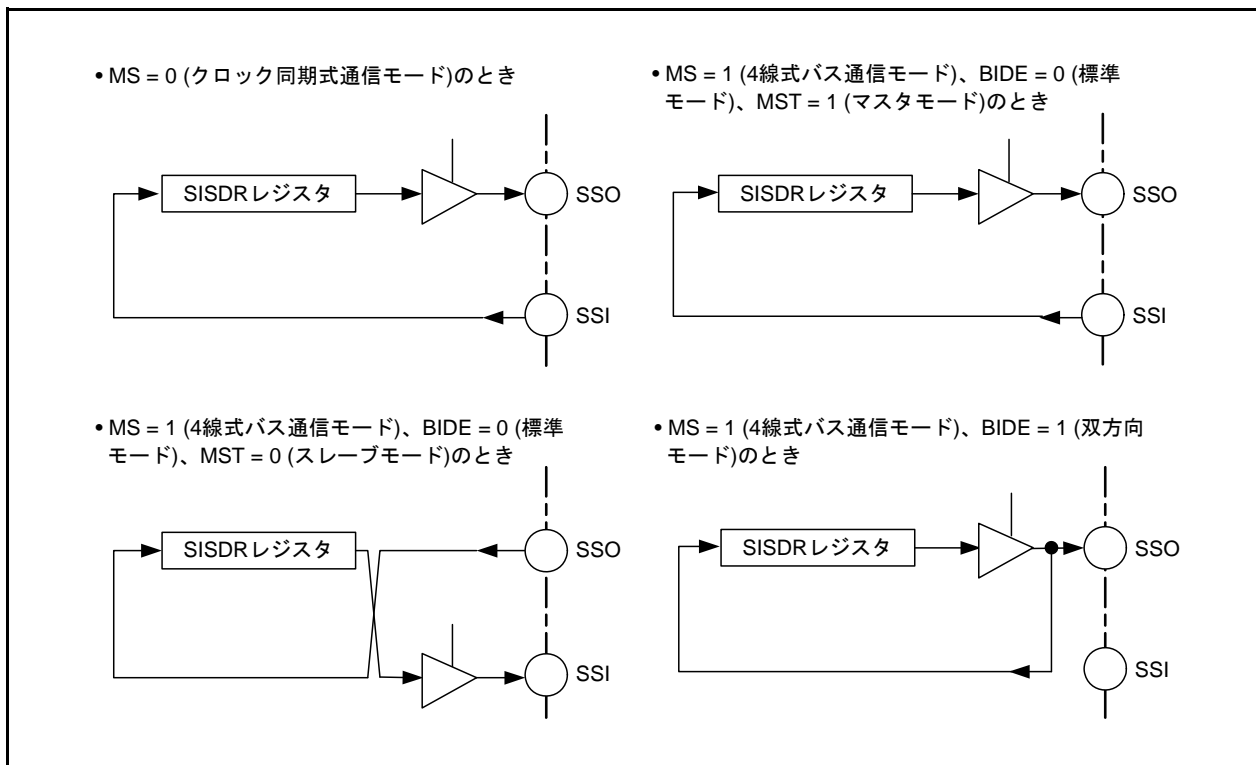


図24.5 データ入出力端子とSISDRレジスタの接続関係

24.3.1.4 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表24.7にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表24.7 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE = 1かつTDRE = 1
送信終了	TEI	TEIE = 1かつTEND = 1
受信データフル	RXI	RIE = 1かつRDRF = 1
オーバランエラー	OEI	RIE = 1かつORER_AL = 1
コンフリクトエラー	CEI	CEIE_ACKBT = 1かつCE_ADZ = 1 (注1)

CEIE_ACKBT、RIE、TEIE、TIE：SICR1レジスタのビット

CE_ADZ、ORER_AL、RDRF、TEND、TDRE：SISDRレジスタのビット

注1. クロック同期式通信モードでは発生しません。

表24.7の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を0にしてください。

ただし、SISRレジスタのTDREビットおよびTENDビットはSITDRレジスタに送信データを書くことで、SISRレジスタのRDRFビットはSIRDRレジスタを読むことで自動的に0になります。特にTDREビットはSITDRレジスタに送信データを書いたとき、同時に再度TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)になり、さらにSITDRレジスタに送信データを書き込み以外の方法(ソフトウェアによるレジスタアクセス)でTDREビットを0(SITDRレジスタからSISDRレジスタにデータ転送されていない)にすると、すでに転送済みのデータが、余分に1バイト送信する場合があります。

24.3.1.5 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSICR1レジスタのMSTビットと、SISRレジスタのRE_STIE、TE_NAKIEビットの設定により、入出力端子の機能が変わります。表24.8に通信モードと入出力端子の関係を示します。

表24.8 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態		
	MS	BIDE	MST	TE_NAKIE	RE_STIE	SSI	SSO	SSCK
クロック同期式通信モード	0	無効	0	0	1	入力	—	入力
				1	0	—	出力	入力
				1	1	入力	出力	入力
			1	0	1	入力	—	出力
				1	0	—	出力	出力
				1	1	入力	出力	出力
4線式バス通信モード	1	0	0	0	1	—	入力	入力
				1	0	出力	—	入力
				1	1	出力	入力	入力
			1	0	1	入力	—	出力
				1	0	—	出力	出力
				1	1	入力	出力	出力
4線式バス(双方向)通信モード(注1)	1	1	0	0	1	—	入力	入力
				1	0	—	出力	入力
			1	0	1	—	入力	出力
				1	0	—	出力	出力

— : プログラマブル入出力ポートとして使用

MS、BIDE : SIMR2レジスタのビット

MST : SICR1レジスタのビット

TE_NAKIE、RE_STIE : SISRレジスタのビット

注1. 4線式バス(双方向)通信モード時は、TE_NAKIEおよびRE_STIEビットをともに1にしないでください。

24.3.2 クロック同期式通信モード

24.3.2.1 クロック同期式通信モードの初期化

図24.6にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SIERレジスタのTE_NAKIEビットを0(送信禁止)、RE_STIEビットを0(受信禁止)にして初期化してください。

なお、通信モードの変更(SIMR2レジスタのモードセレクトMSビットでクロック同期式通信モードを選択)、通信フォーマットの変更などの場合には、TE_NAKIEビットを0、RE_STIEビットを0にしてから変更してください。

RE_STIEビットを0にしても、SISRレジスタのRDRF、ORER_ALビット、およびSIRDRレジスタの内容は保持されます。

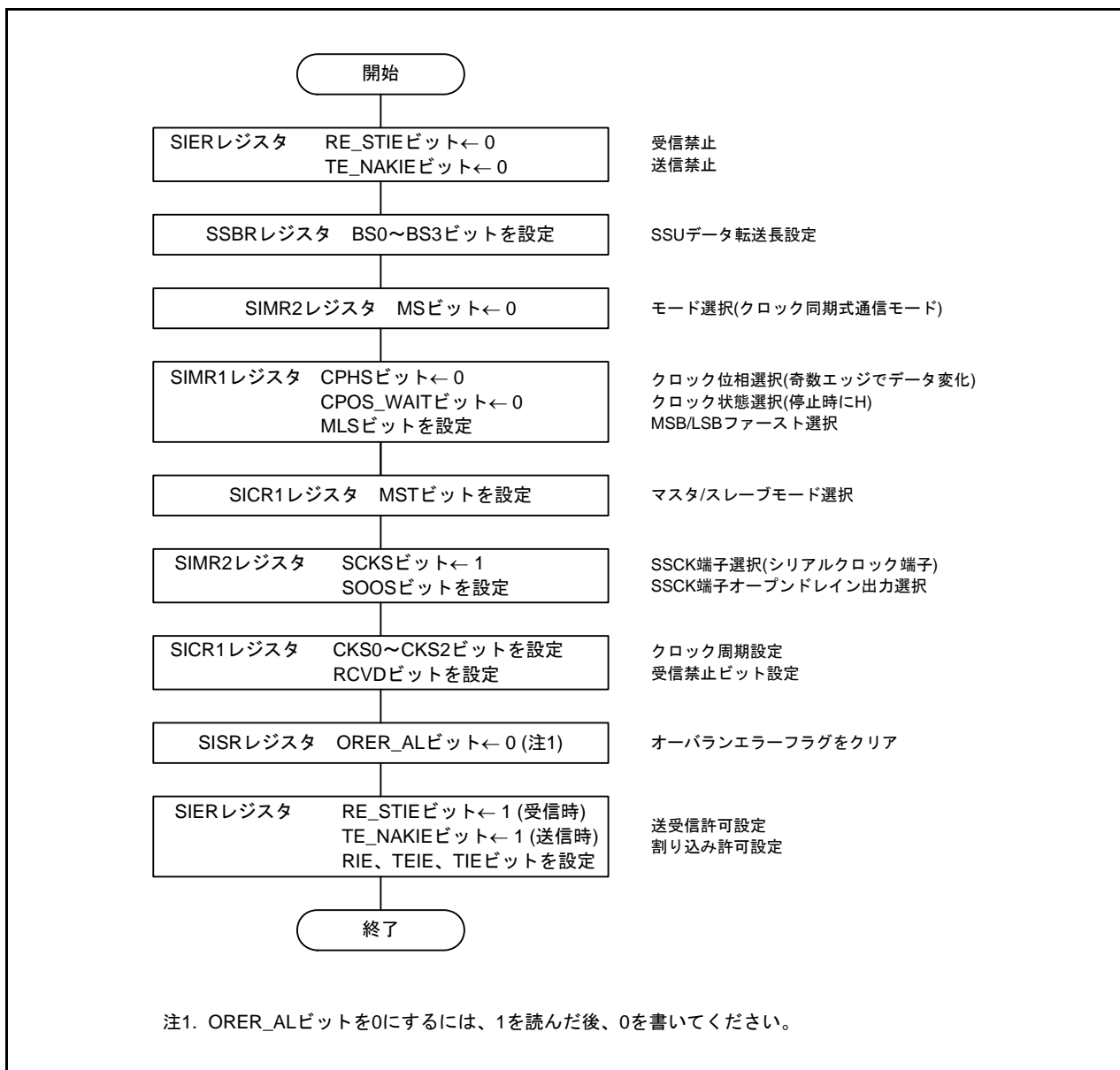


図24.6 クロック同期式通信モードの初期化

24.3.2.2 データ送信

図24.7にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

SIERレジスタのTE_NAKIEビットを1(送信許可)にした後、SITDRレジスタに送信データを書くと、自動的にSISRレジスタのTDREビットが0(SITDRレジスタからSISDRレジスタにデータ転送されていない)になり、SITDRレジスタからSISDRレジスタにデータが転送されます。その後、TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)になり、送信を開始します。このとき、SIERレジスタのTIEビットが1の場合、TXI割り込み要求を発生します。

TDREビットが0の状態では1フレームの転送が終わると、SITDRレジスタからSISDRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが1の状態では8ビット目が送られると、SISRレジスタのTENDビットが1(送信データの最後尾ビットの送信時、TDREビットが1)になり、その状態を保持します。このときSIERレジスタのTEIEビットが1(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子はHに固定されます。

なお、SISRレジスタのORER_ALビットが1(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER_ALビットが0であることを確認してください。

図24.8にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

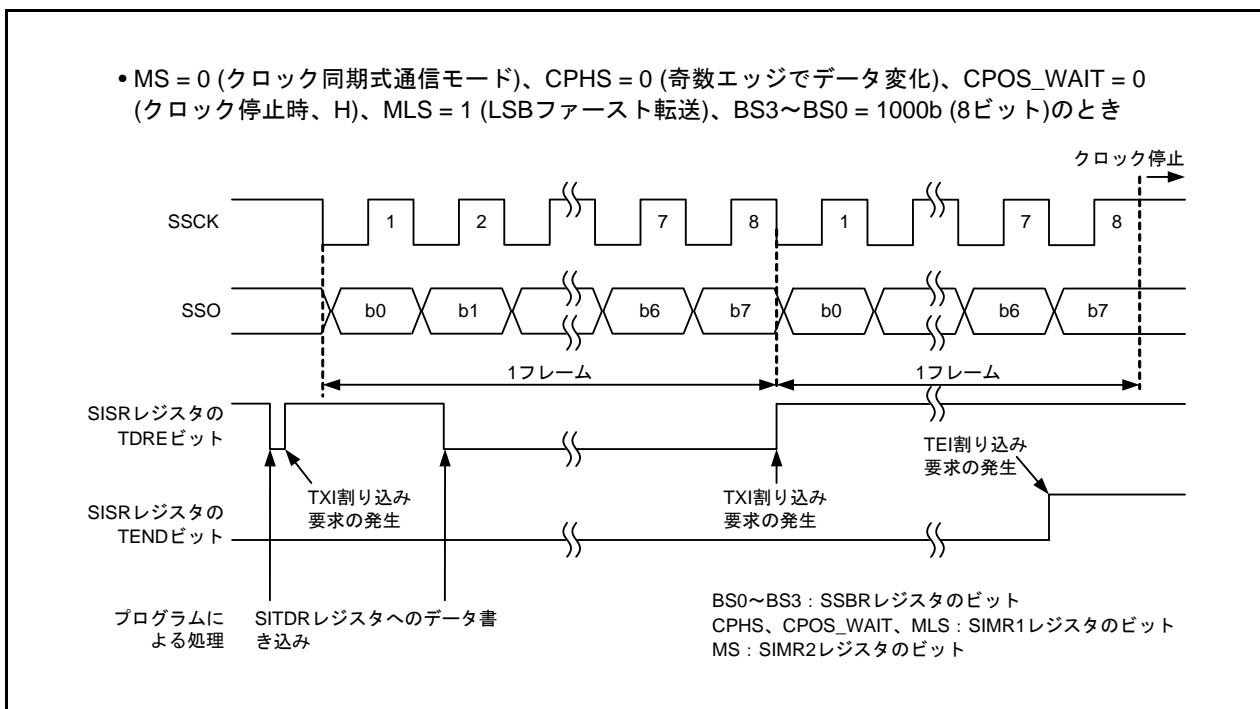


図24.7 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

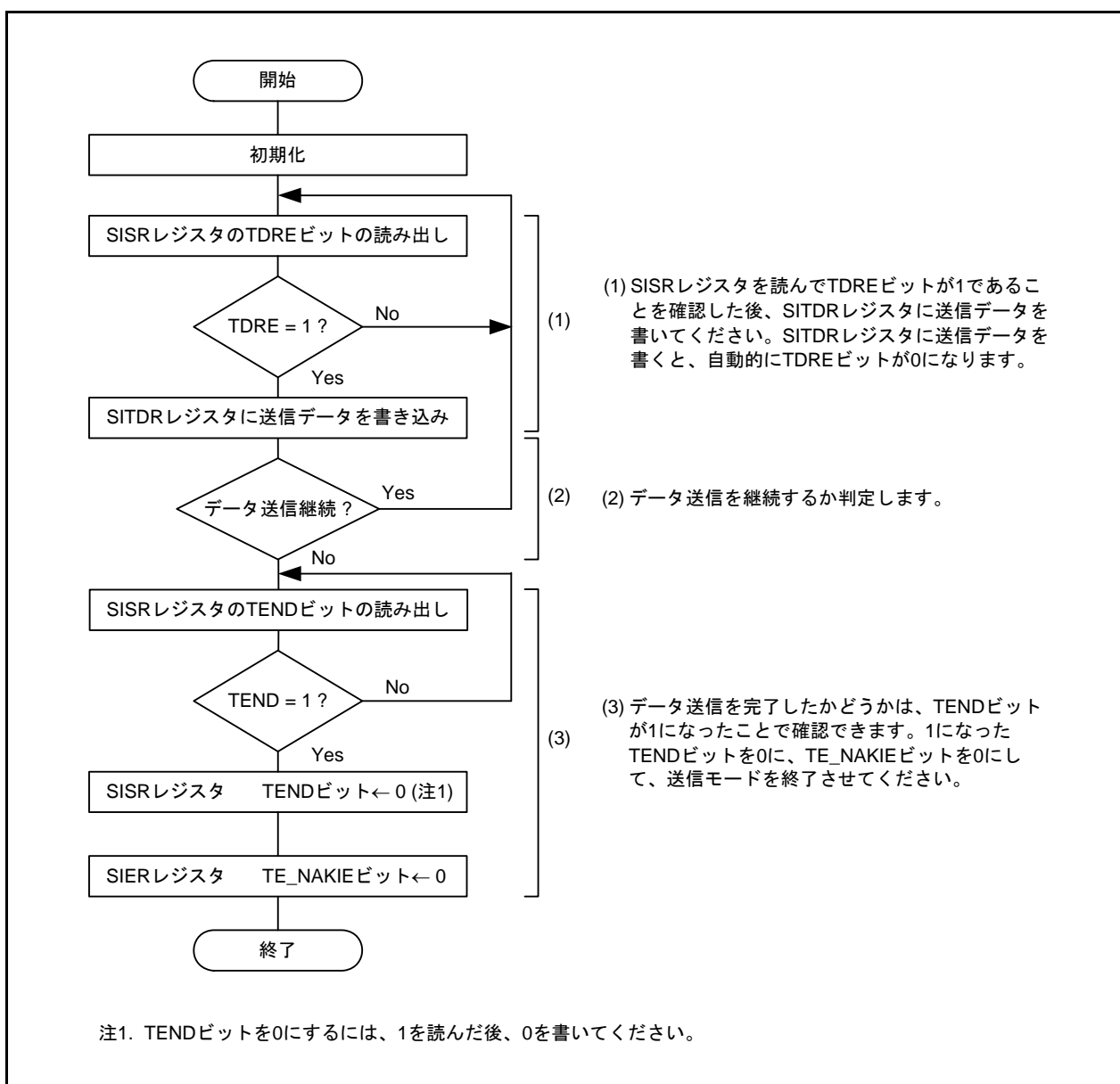


図24.8 データ送信のフローチャート例(クロック同期式通信モード)

24.3.2.3 データ受信

図24.9にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSIRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)になり、SIRDRレジスタに受信データが格納されます。このとき、SIERレジスタのRIEビットが1(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求を発生します。SIRDRレジスタを読むと、自動的にRDRFビットは0(SIRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、[最終フレーム-1]の受信データを読む前にSICR1レジスタのRCVDビットを1(1バイトのデータ受信後、受信動作が終了)にしてください。これにより、[最終フレーム]の受信クロックを出力した後、停止します。その後、SIERレジスタのRE_STIEビットを0(受信禁止)に、RCVDビットを0(1バイトのデータ受信後も受信動作を継続)にしてから、最後に受信したデータをSIRDRレジスタから読んでください。RE_STIEビットが1(受信許可)の状態ではSIRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが1の状態では8クロック目が立ち上がると、SISRレジスタのORER_ALビットが1(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER_ALビットが1の状態では受信できません。受信再開の前には、ORER_ALビットが0であることを確認してください。オーバランエラーが発生した場合、エラーが発生したフレームで受信していたデータは破棄されます。

図24.10にデータ受信のフローチャート例(MST=1)(クロック同期式通信モード)を示します。

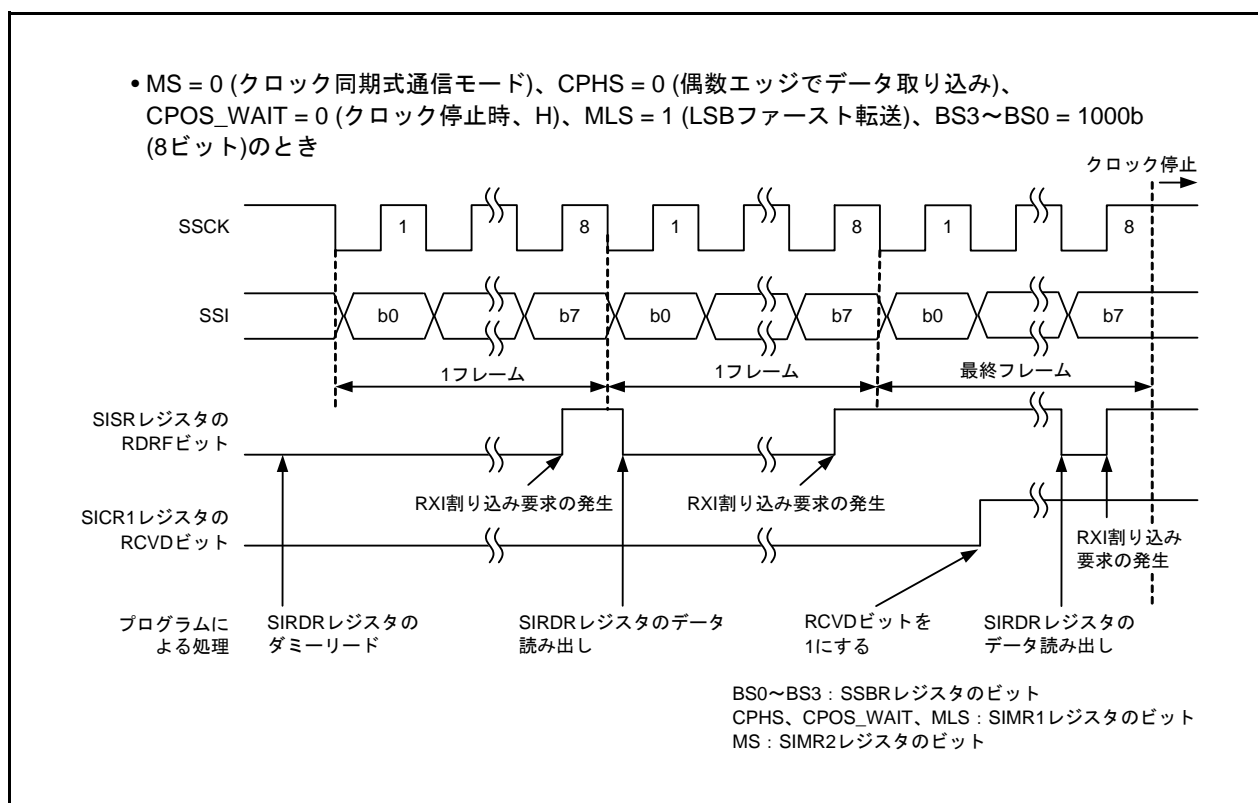
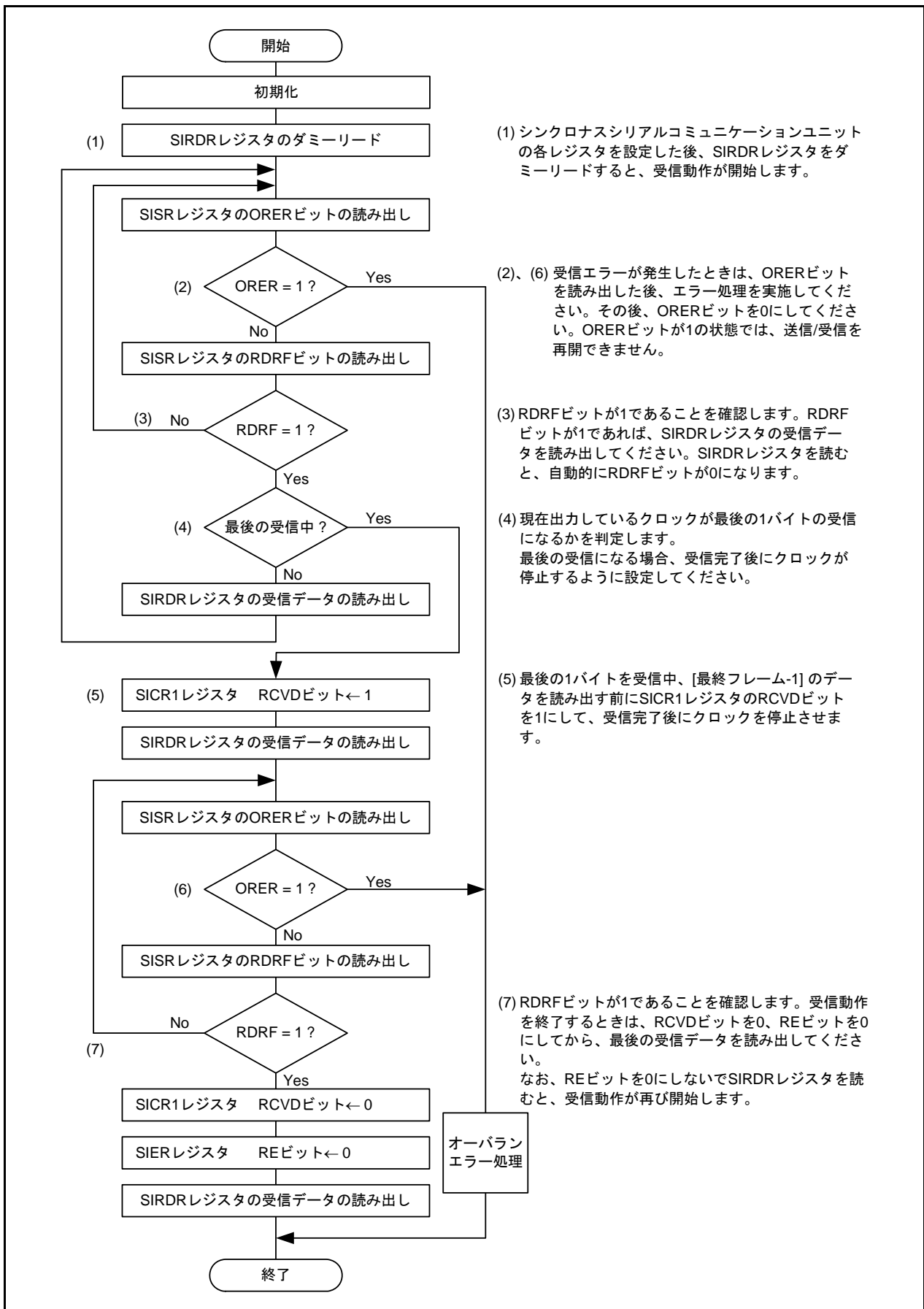


図24.9 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)



(1) シンクロナスシリアルコミュニケーションユニットの各レジスタを設定した後、SIRDRレジスタをダミーリードすると、受信動作が開始します。

(2)、(6) 受信エラーが発生したときは、ORERビットを読み出した後、エラー処理を実施してください。その後、ORERビットを0にしてください。ORERビットが1の状態では、送信/受信を再開できません。

(3) RDRFビットが1であることを確認します。RDRFビットが1であれば、SIRDRレジスタの受信データを読み出してください。SIRDRレジスタを読むと、自動的にRDRFビットが0になります。

(4) 現在出力しているクロックが最後の1バイトの受信になるかを判定します。最後の受信になる場合、受信完了後にクロックが停止するように設定してください。

(5) 最後の1バイトを受信中、[最終フレーム-1]のデータを読み出す前にSICR1レジスタのRCVDビットを1にして、受信完了後にクロックを停止させます。

(6) ORERビットが1の場合、オーバランエラー処理が行われます。RCVDビットを0、REビットを0にしてから、最後の受信データを読み出してください。なお、REビットを0にしないでSIRDRレジスタを読むと、受信動作が再び開始します。

図 24.10 データ受信のフローチャート例 (MST = 1) (クロック同期式通信モード)

24.3.2.4 データ送受信

図24.11にデータ送受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SITDRレジスタに送信データを書くと、送受信は開始されます。また、SISRレジスタのTDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)の状態で最終転送クロック(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)が立ち上がった場合、またはSISRレジスタのORER_ALビットが1(オーバランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE_NAKIE = 1)あるいは受信モード(RE_STIE = 1)から、送受信モード(TE_NAKIE = RE_STIE = 1)に切り替える場合は、一度SIERレジスタのTE_NAKIEビットを0、RE_STIEビットを0にしてから変更してください。また、SISRレジスタのTENDビットが0(送信データの最後尾ビットの送信時、TDREビットが0)、SISRレジスタのRDRFビットが0(SIRDRレジスタにデータなし)、SISRレジスタのORER_ALビットが0(オーバランエラーなし)であることを確認した後、TE_NAKIEおよびRE_STIEビットを1にしてください。

図24.12にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード(TE_NAKIE = RE_STIE = 1)から送受信モードを解除する場合、SIRDRレジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- RE_STIEビットを0にして、その後、TE_NAKIEビットを0にする
- TE_NAKIEビットとRE_STIEビットを同時に0にする

その後、受信モード(TE_NAKIE = 0、RE_STIE = 1)にする場合は、SIRSTビットに1を書いた後、0にしてSSU制御部およびSISDRレジスタを初期化してから、RE_STIEビットを1にしてください。

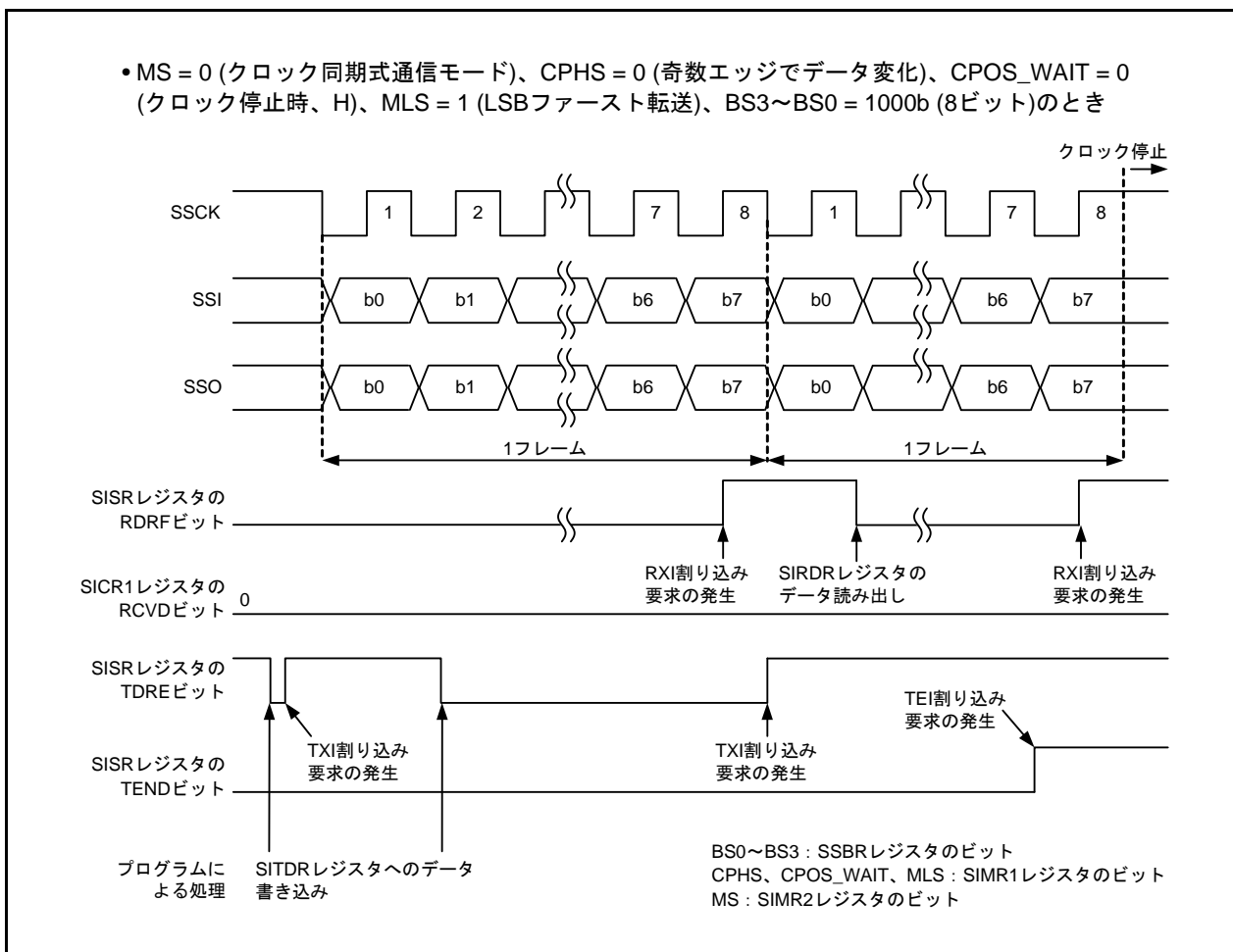


図24.11 データ送受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

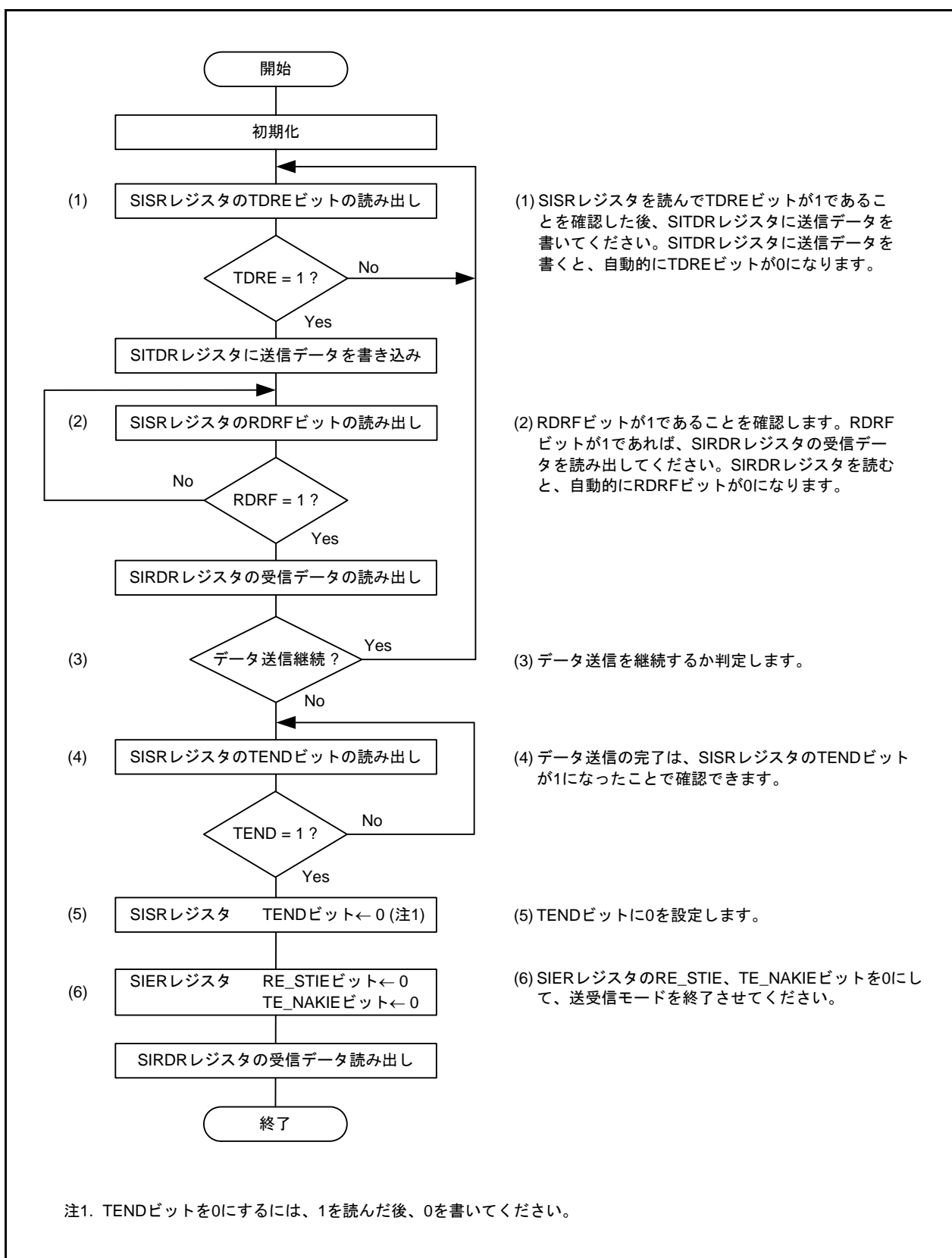


図24.12 データ送受信のフローチャート例(クロック同期式通信モード)

24.3.3 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、**SICR1** レジスタの **MST** ビットおよび **SIMR2** レジスタの **BIDE** ビットの設定により、変わります。詳細は「24.3.1.3 データ入出力端子と **SS** シフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータのことを **SIMR1** レジスタの **CPOS_WAIT** ビットおよび **CPHS** ビットにより、設定できます。詳細は「24.3.1.2 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合は **SIMR2** レジスタの **CSS1** ビットを1にして **SCS** 端子を出力制御するか、あるいは **I/O** ポートを出力制御することができます。スレーブデバイスの場合は **SIMR2** レジスタの **CSS1**、**CSS0** ビットを01bにして **SCS** 端子を入力として機能させます。

4線式バス通信モードでは、標準的に **SIMR1** レジスタの **MLS** ビットを0にして、**MSB** ファーストで通信を行います。

24.3.3.1 4線式バス通信モードの初期化

図 24.13 に 4 線式バス通信モードの初期化を示します。データの送信/受信前に、SIER レジスタの TE_NAKIE ビットを 0 (送信禁止)、RE_STIE ビットを 0 (受信禁止) にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TE_NAKIE ビットを 0、RE_STIE ビットを 0 にしてから変更してください。

RE_STIE ビットを 0 にしても、RDRF、ORER_AL ビット、および SIRDR レジスタの内容は保持されます。

スレーブ受信動作後、マスタモードへ切り替えたときには転送開始条件を書き込んでいないのに SCS がアサートされることがあります。

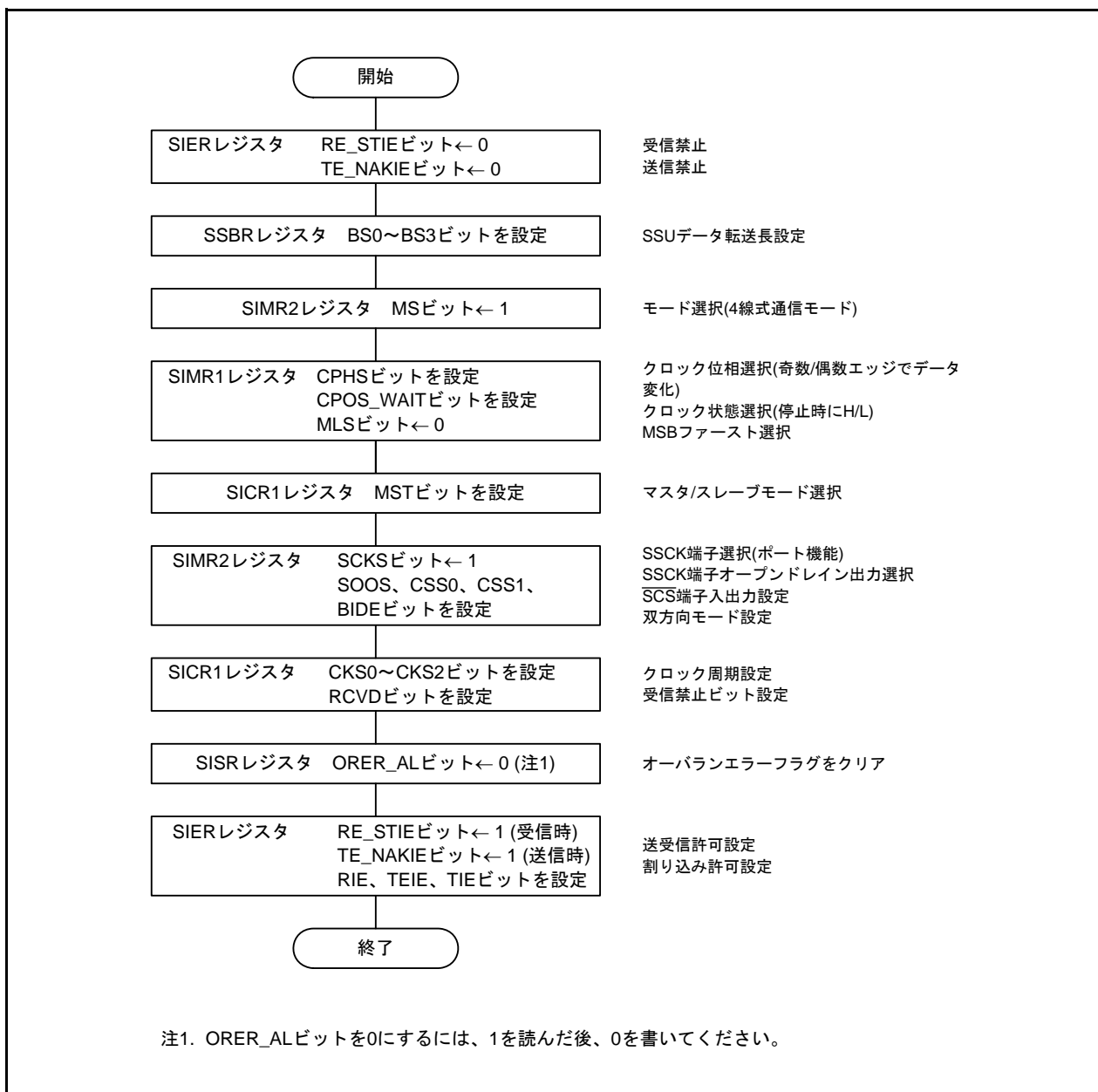


図 24.13 4線式バス通信モードの初期化

24.3.3.2 データ送信

図24.14にデータ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS端子がL入力状態で入力クロックに同期してデータを出力します。

SISRレジスタのTE_NAKIEビットを1(送信許可)にした後、SITDRレジスタに送信データを書くと、自動的にSISRレジスタのTDREビットが0(SITDRレジスタからSISDRレジスタにデータ転送されていない)になり、SITDRレジスタからSISDRレジスタにデータが転送されます。その後、TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)になり、送信を開始します。このとき、SIERレジスタのTIEビットが1の場合、TXI割り込み要求を発生します。

TDREビットが0の状態では1フレームの転送が終わると、SITDRレジスタからSISDRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが1の状態では8ビット目が送出されると、SISRレジスタのTENDビットが1(送信データの最後尾ビットの送信時、TDREビットが1)になり、その状態を保持します。このときSIERレジスタのTEIEビットが1(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子はHに固定され、SCS端子はHになります。SCS端子がLのまま連続的に送信する場合、8ビット目が送出される前に次の送信データをSITDRレジスタに書いてください。

なお、SISRレジスタのORER_ALビットが1(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER_ALビットが0であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時にSCS端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時にSCS端子がH入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図24.8 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

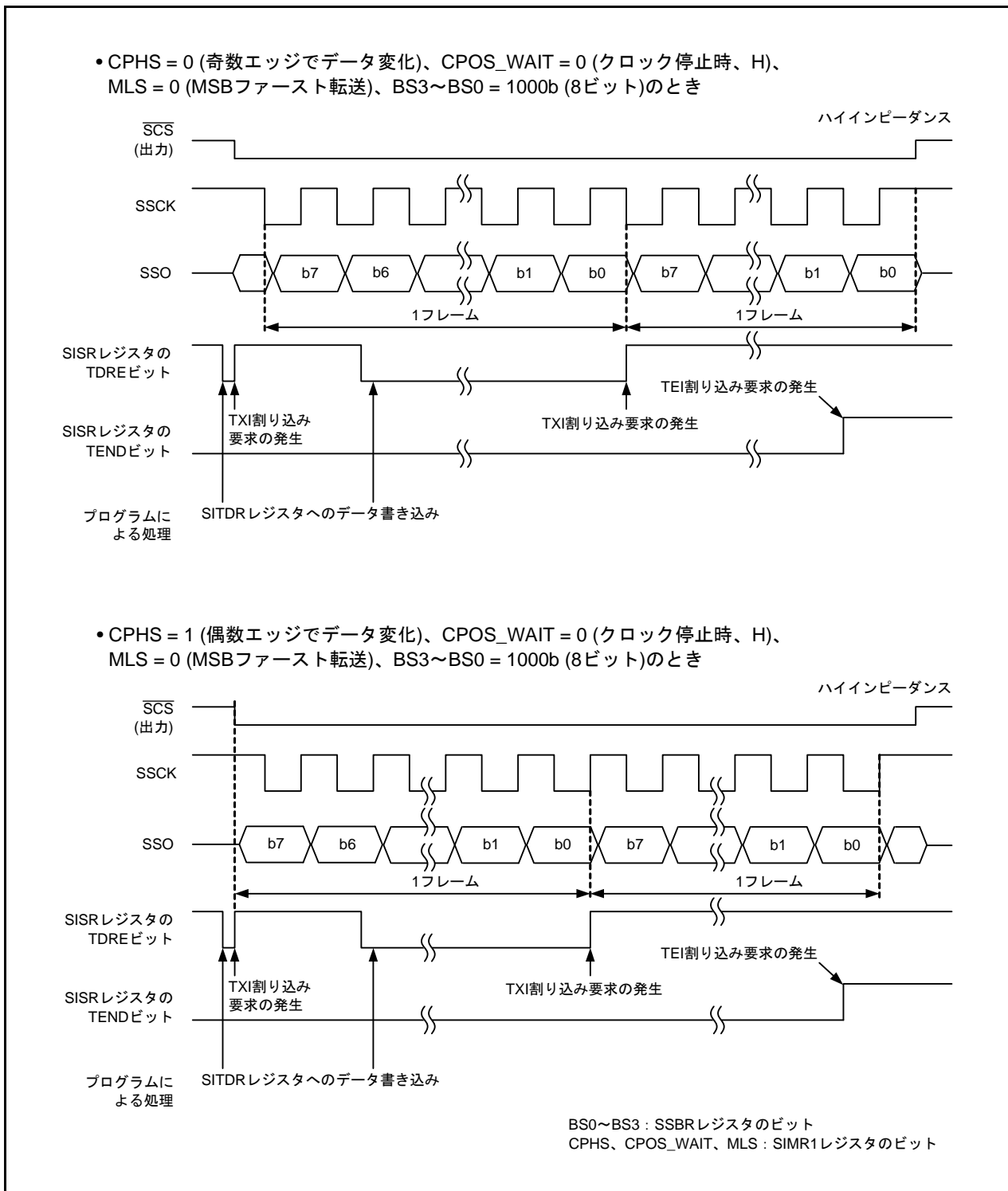


図24.14 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

24.3.3.3 データ受信

図24.15にデータ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS端子がL入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSIRD Rレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SISRレジスタのRDRFビットが1(SIRD Rレジスタにデータあり)になり、SIRD Rレジスタに受信データが格納されます。このとき、SIERレジスタのRIEビットが1(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SIRD Rレジスタを読むと、自動的にRDRFビットは0(SIRD Rレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、[最終フレーム-1]の受信データを読む前にSICR1レジスタのRCVDビットを1(1バイトのデータ受信後、受信動作が終了)にしてください。これにより、[最終フレーム]の受信クロックを出力し停止します。その後、SIERレジスタのRE_STIEビットを0(受信禁止)に、RCVDビットを0(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。SIERレジスタのRE_STIEビットが1(受信許可)状態でSIRD Rレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが1の状態では8クロック目が立ち上がると、SISRレジスタのORER_ALビットが1(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER_ALビットが1の状態では受信できません、受信再開の前には、ORER_ALビットが0であることを確認してください。

RDRFビット、ORER_ALビットが1になるタイミングは、SIMR1レジスタのCPHSビットの設定により異なります。このタイミングを図24.15に示します。CPHSビットを1(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが1になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図24.10 データ受信のフローチャート例(MST=1)(クロック同期式通信モード)」参照)。

オーバランエラー発生時の注意

オーバランエラー発生後、以下の手順に従ってオーバランエラー状態を解除してください。

- (1) 転送動作終了(モジュールセレクトのネゲートを確認)→スレーブモード時はコンフリクトエラーが発生)
- (2) 最後に受信した(オーバランエラー発生前の)受信データを読む
- (3) オーバランエラーフラグをクリア(スレーブモード時はコンフリクトエラーもクリア)

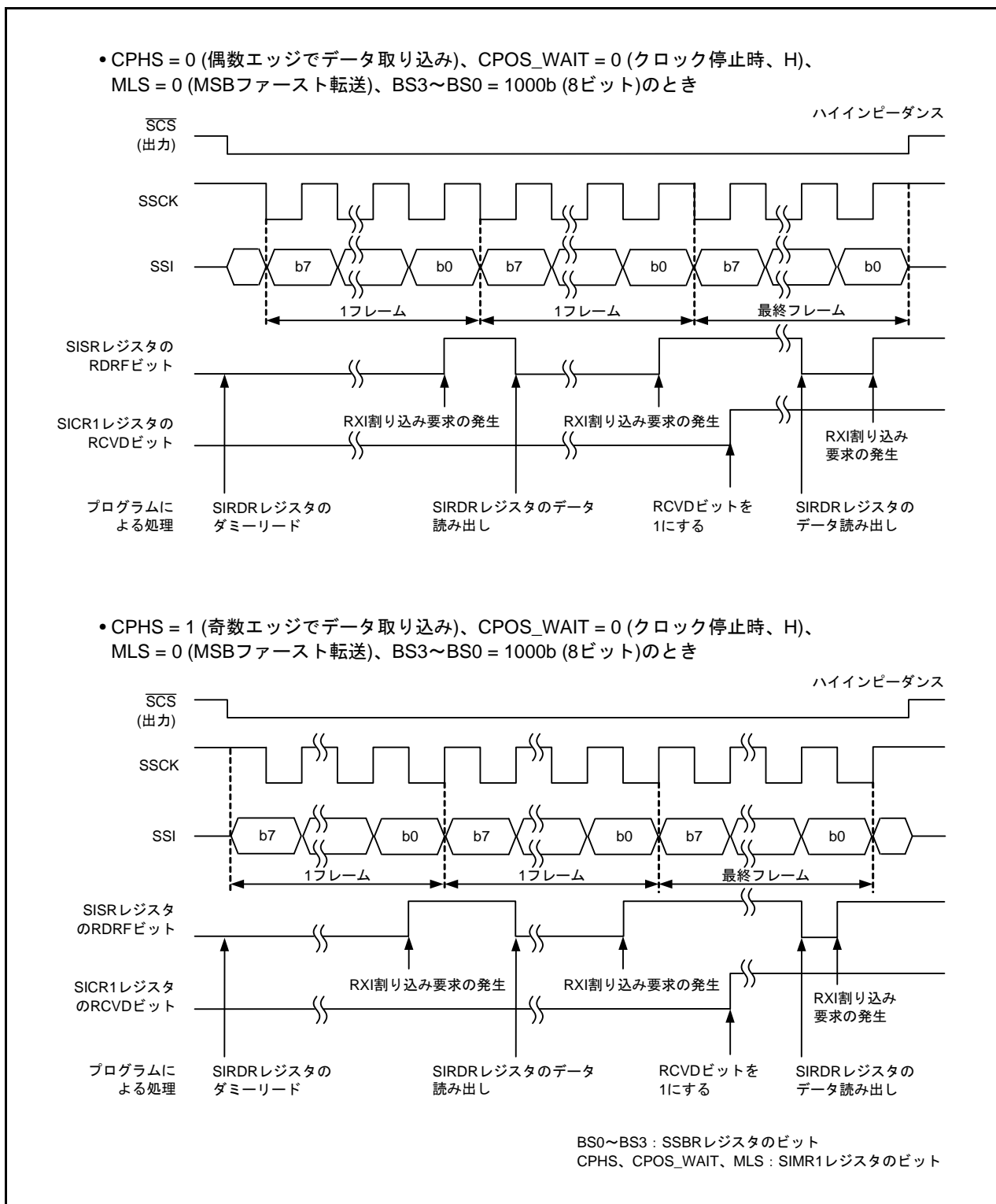


図24.15 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

24.3.3.4 SCS端子制御とアービトレーション

SIMR2レジスタのMSビットを1(4線式バス通信モード)、CSS1ビットを1(SCS出力端子として機能)にした場合には、SICR1レジスタのMSTビットを1(マスタモード)にしてからシリアル転送を開始する前に、SCS端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号がLになったことを検出すると、SISRレジスタのCE_ADZビットが1(コンフリクトエラー発生)になり、自動的にMSTビットが0(スレーブモード)になります。

図24.16にアービトレーションチェックタイミングを示します。

なお、SISRレジスタのCE_ADZビットが1の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CE_ADZビットを0(コンフリクトエラーなし)にしてください。

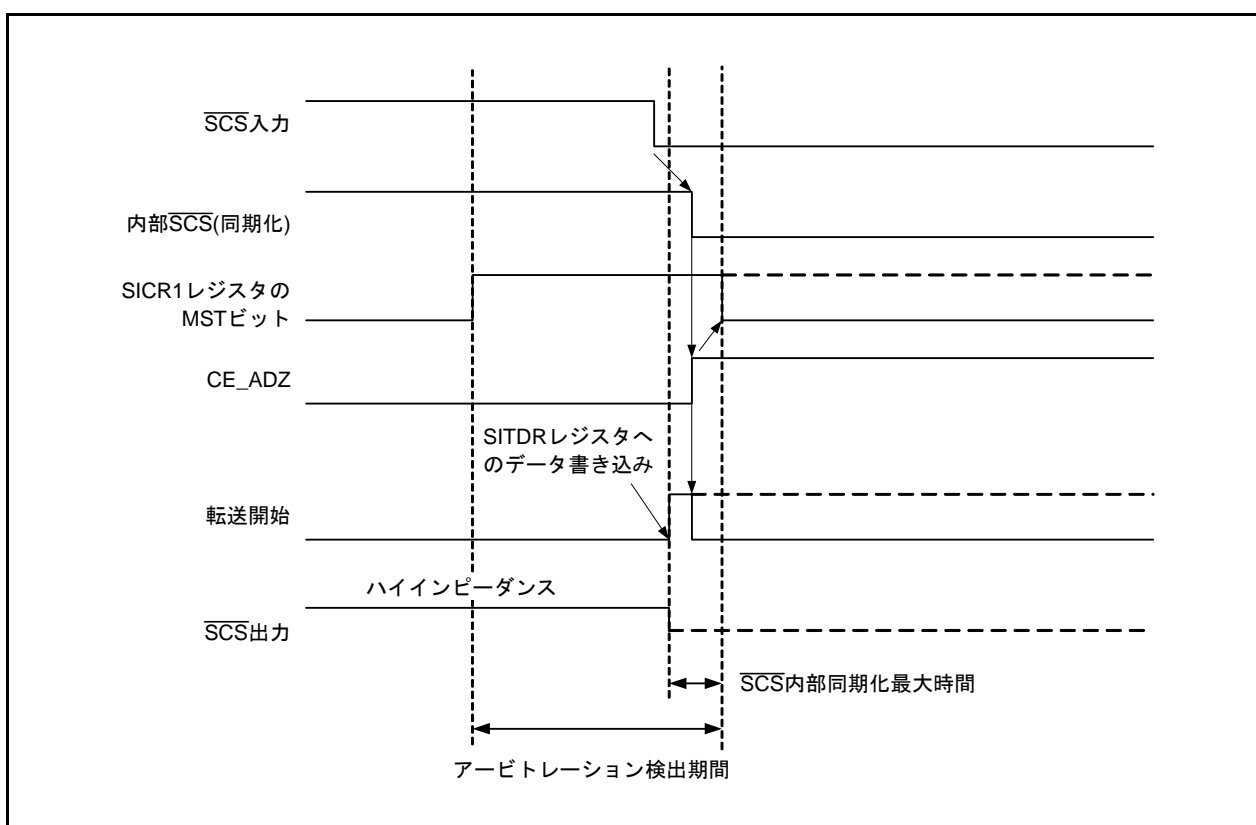


図24.16 アービトレーションチェックタイミング

24.4 I²Cバスインタフェースの動作説明

24.4.1 I²Cバスインタフェースモード、クロック同期式シリアルモードにかかわる共通事項

24.4.1.1 転送クロック

SICR1レジスタのMSTビットが0のとき、転送クロックはSCL端子から入力される外部クロックです。

MSTビットが1のとき、転送クロックはSICR1レジスタのCKS0～CKS3ビットおよびIICCRレジスタのIICTCTWIビット、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表24.9、表24.10に転送レート例を示します。

表24.9 転送レート例(1)

IICCRレジスタ		SICR1レジスタ				転送 クロック	転送レート				
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5 MHz	f1 = 8 MHz	f1 = 10 MHz	f1 = 16 MHz	f1 = 20 MHz
0	0	0	0	0	0	f1/28	179 kHz	286 kHz	357 kHz	571 kHz	714 kHz
					1	f1/40	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz
				1	0	f1/48	104 kHz	167 kHz	208 kHz	333 kHz	417 kHz
					1	f1/64	78.1 kHz	125 kHz	156 kHz	250 kHz	313 kHz
			1	0	0	f1/80	62.5 kHz	100 kHz	125 kHz	200 kHz	250 kHz
					1	f1/100	50.0 kHz	80.0 kHz	100 kHz	160 kHz	200 kHz
				1	0	f1/112	44.6 kHz	71.4 kHz	89.3 kHz	143 kHz	179 kHz
					1	f1/128	39.1 kHz	62.5 kHz	78.1 kHz	125 kHz	156 kHz
		1	0	0	0	f1/56	89.3 kHz	143 kHz	179 kHz	286 kHz	357 kHz
					1	f1/80	62.5 kHz	100 kHz	125 kHz	200 kHz	250 kHz
				1	0	f1/96	52.1 kHz	83.3 kHz	104 kHz	167 kHz	208 kHz
					1	f1/128	39.1 kHz	62.5 kHz	78.1 kHz	125 kHz	156 kHz
			1	0	0	f1/160	31.3 kHz	50.0 kHz	62.5 kHz	100 kHz	125 kHz
					1	f1/200	25.0 kHz	40.0 kHz	50.0 kHz	80.0 kHz	100 kHz
				1	0	f1/224	22.3 kHz	35.7 kHz	44.6 kHz	71.4 kHz	89.3 kHz
					1	f1/256	19.5 kHz	31.3 kHz	39.1 kHz	62.5 kHz	78.1 kHz

表 24.10 転送レート例(2)

IICCRレジスタ		SICR1レジスタ				転送 クロック	転送レート					
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5 MHz	f1 = 8 MHz	f1 = 10 MHz	f1 = 16 MHz	f1 = 20 MHz	
0	1	0	0	0	0	f1/28	358 kHz	572 kHz	714 kHz	1142 kHz	1428 kHz	
					1	f1/40	250 kHz	400 kHz	500 kHz	800 kHz	1000 kHz	
				1	0	f1/48	208 kHz	334 kHz	416 kHz	666 kHz	834 kHz	
			1		f1/64	156 kHz	250 kHz	312 kHz	500 kHz	626 kHz		
			1	0	0	0	f1/80	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz
						1	f1/100	100 kHz	160 kHz	200 kHz	320 kHz	400 kHz
		1			0	f1/112	89 kHz	143 kHz	179 kHz	286 kHz	358 kHz	
				1	f1/128	78 kHz	125 kHz	156 kHz	250 kHz	312 kHz		
		1		0	0	0	f1/56	179 kHz	286 kHz	358 kHz	572 kHz	714 kHz
						1	f1/80	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz
			1		0	f1/96	104 kHz	167 kHz	208 kHz	334 kHz	416 kHz	
				1	f1/128	78 kHz	125 kHz	156 kHz	250 kHz	312 kHz		
			1	1	0	0	f1/160	63 kHz	100 kHz	125 kHz	200 kHz	250 kHz
						1	f1/200	50 kHz	80 kHz	100 kHz	160 kHz	200 kHz
		1			0	f1/224	45 kHz	71 kHz	89 kHz	143 kHz	179 kHz	
				1	f1/256	39 kHz	63 kHz	78 kHz	125 kHz	156 kHz		
1	0	0		0	0	0	f1/28	90 kHz	143 kHz	179 kHz	286 kHz	357 kHz
						1	f1/40	63 kHz	100 kHz	125 kHz	200 kHz	250 kHz
			1		0	f1/48	52 kHz	84 kHz	104 kHz	167 kHz	209 kHz	
				1	f1/64	39 kHz	63 kHz	78 kHz	125 kHz	157 kHz		
			1	0	0	0	f1/80	31 kHz	50 kHz	63 kHz	100 kHz	125 kHz
						1	f1/100	25 kHz	40 kHz	50 kHz	80 kHz	100 kHz
		1			0	f1/112	22 kHz	36 kHz	45 kHz	72 kHz	90 kHz	
				1	f1/128	20 kHz	31 kHz	39 kHz	63 kHz	78 kHz		
		1		0	0	0	f1/56	45 kHz	72 kHz	90 kHz	143 kHz	179 kHz
						1	f1/80	31 kHz	50 kHz	63 kHz	100 kHz	125 kHz
			1		0	f1/96	26 kHz	42 kHz	52 kHz	84 kHz	104 kHz	
				1	f1/128	20 kHz	31 kHz	39 kHz	63 kHz	78 kHz		
			1	1	0	0	f1/160	16 kHz	25 kHz	31 kHz	50 kHz	63 kHz
						1	f1/200	13 kHz	20 kHz	25 kHz	40 kHz	50 kHz
		1			0	f1/224	11 kHz	18 kHz	22 kHz	36 kHz	45 kHz	
				1	f1/256	10 kHz	16 kHz	20 kHz	31 kHz	39 kHz		

24.4.1.2 SDA端子デジタル遅延選択

IICCRレジスタのSDADLY0、SDADLY1ビットで、SDA端子のデジタル遅延値を選択できます。
図24.17にSDA端子のデジタル遅延の動作例を示します。

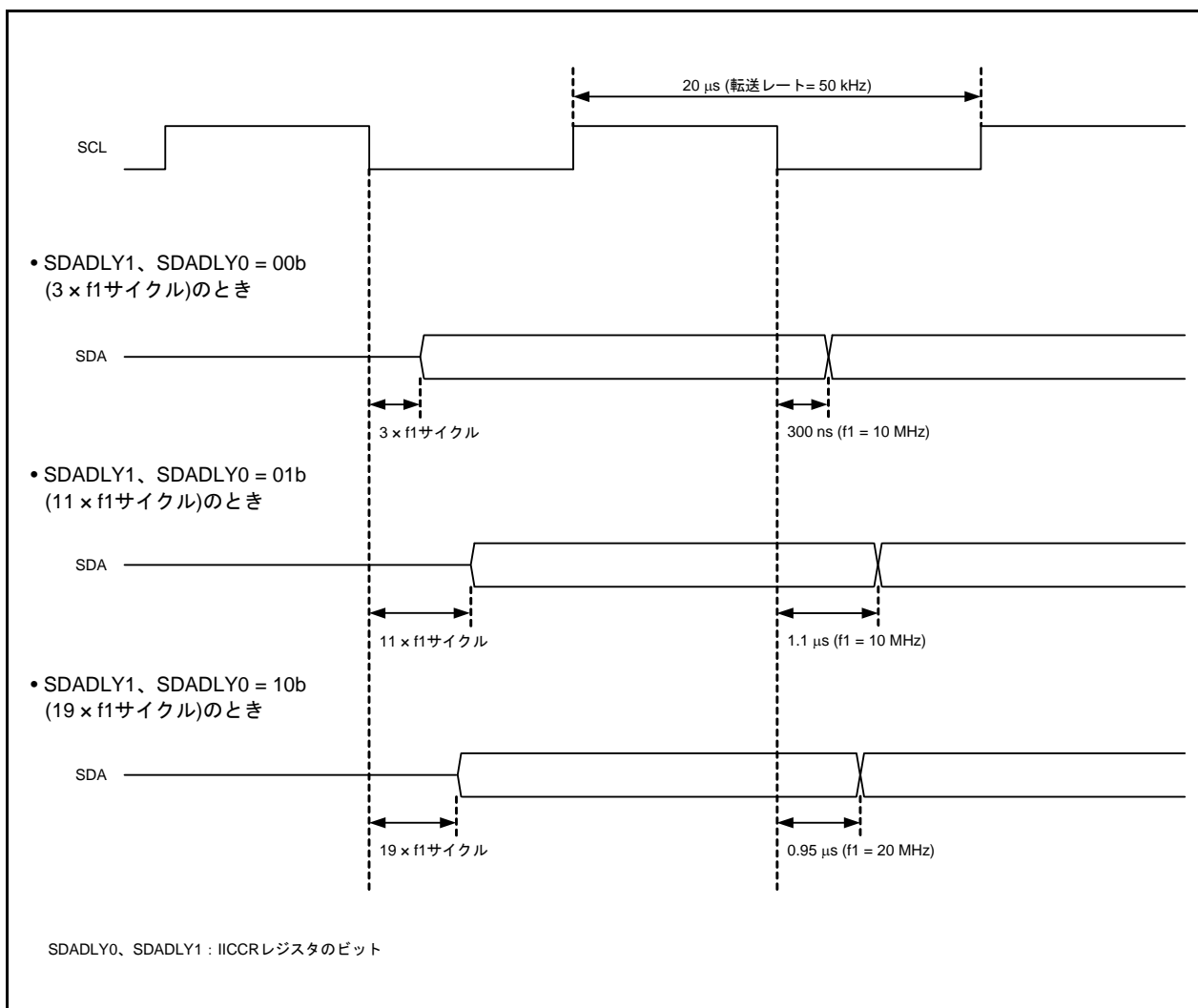


図24.17 SDA端子のデジタル遅延の動作例

24.4.1.3 割り込み要求

I²Cバスインタフェースの割り込み要求は、I²Cバスインタフェースモード時に6種類、クロック同期式シリアルモード時に4種類あります。表24.11にI²Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI²Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表24.11 I²Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I ² Cバス	クロック同期式シリアル
送信データエンプティ	TXI	TIE = 1かつTDRE = 1	有効	有効
送信終了	TEI	TEIE = 1かつTEND = 1	有効	有効
受信データフル	RXI	RIE = 1かつRDRF = 1	有効	有効
停止条件検出	STPI	RE_STIE = 1かつSTOP = 1	有効	無効
NACK検出	NAKI	TE_NAKIE = 1かつORER_AL = 1	有効	無効
アービトラクションロスト		(またはTE_NAKIE = 1かつNACKF = 1)	有効	無効
オーバランエラー			無効	有効

RE_STIE、TE_NAKIE、RIE、TEIE、TIE : SIERレジスタのビット

ORER_AL、STOP、NACKF、RDRF、TEND、TDRE : SISRレジスタのビット

表24.11の発生条件が満たされたとき、I²Cバスインタフェース割り込み要求が発生します。I²Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を0にしてください。

ただし、SISRレジスタのTDREビットおよびTENDビットはSITDRレジスタに送信データを書くことで、SISRレジスタのRDRFビットはSIRDRレジスタを読むことで、自動的に0になります。特にTDREビットはSITDRレジスタに送信データを書いたとき0になり、SITDRレジスタからSISDRレジスタにデータ転送されたときにTDREビットが1になり、さらにTDREビットを0にすると、余分に1バイト送信する場合があります。送信バッファにデータが保持されているため、トリガ(TDREビットが0)によってシフトレジスタにデータがシフトされるため、同じデータが再送されます。

また、SIERレジスタのRE_STIEビットを1(停止条件検出割り込み要求許可)にするのは、SISRレジスタのSTOPビットが0のときにしてください。

24.4.2 I²Cバスインタフェースモード

24.4.2.1 I²Cバスフォーマット

SIMR2レジスタのMSビットを0にすると、I²Cバスインタフェースモードで通信します。

図24.18にI²Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

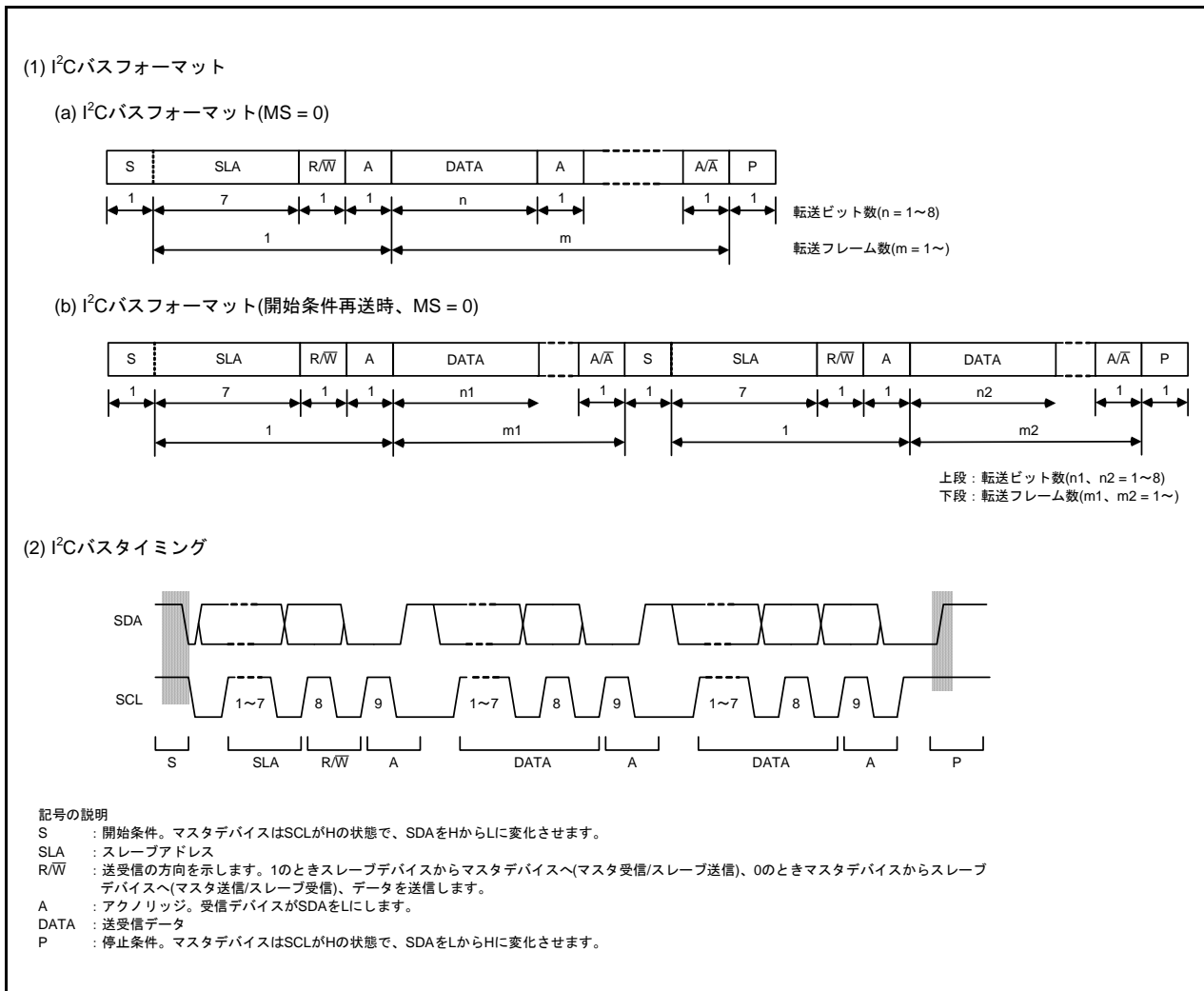


図24.18 I²Cバスフォーマットとバスタイミング

24.4.2.2 I²Cバススレーブアドレス指定

I²Cバスフォーマットにおいて、開始条件直後の最初の1バイトはスレーブアドレス指定となります。本モジュールがスレーブデバイスとして動作する場合、スレーブアドレスはSIMR2レジスタのSVA0～SVA6ビットでプログラム可能です。ただし、I²Cバスの規格で定められた「ゼネラルコールアドレス」と「スタートバイト」は例外となります。

- ゼネラルコールアドレス(0000_000_0)
すべてのデバイスがアドレス指定されるため、アクノリッジを返します。
- スタートバイト(0000_000_1)
すべてのデバイスはアクノリッジを返すことができません。

24.4.2.3 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図24.19、図24.20にマスタ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) **SISR** レジスタの**STOP**ビットを初期化するために**0**にしてください。その後、**SICR1** レジスタの**ICE**ビットを**1** (転送動作可能状態)にしてください。その後、**SIMR1** レジスタの**CPOS_WAIT**、**MLS**ビット、**SICR1** レジスタの**CKS0**～**CKS3**ビットなどを設定してください(初期設定)。
- (2) **SICR2** レジスタの**BBSY**ビットを読んで、バスが開放状態であることを確認後、**SICR1** レジスタの**TRS**、**MST**ビットをマスタ送信モードに設定してください。その後、**BBSY**ビット=**1**と**SCP**ビット=**0**を**MOV**命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) **SISR** レジスタの**TDRE**ビットが**1**であることを確認した後、**SITDR** レジスタに送信データ(1バイト目はスレーブアドレスと**R/W**を示すデータ)を書いてください。このとき**TDRE**ビットは自動的に**0**になり、**SITDR** レジスタから**SISDR** レジスタにデータが転送されて、再び**TDRE**ビットが**1**になります。
- (4) **TDRE**ビットが**1**の状態では1バイト送信が完了し、送信クロックの9クロック目の立ち上がりで**SISR** レジスタの**TEND**ビットが**1**になります。**SIER** レジスタの**ACKBR**ビットを読んで、スレーブデバイスが選択されたことを確認した後、2バイト目のデータを**SITDR** レジスタに書いてください。2バイト目以降の送信データは、**TRDE**ビットが**1**になるたびに、**SITDR** レジスタにデータを書いてください。**ACKBR**ビットが**1**のときはスレーブデバイスが認識されていないため、停止条件か反復開始条件を発行してください。停止条件の発行は、**BBSY**ビット=**0**と**SCP**ビット=**0**を**MOV**命令で書くことで行われます。反復開始条件の発行は、**BBSY**ビット=**1**と**SCP**ビット=**0**を**MOV**命令で書くことで行われます。反復開始条件発行完了後、**TEND**と**NACKF**をクリアしてください。なおデータの準備ができるまで、または停止条件か反復開始条件を発行するまでは**SCL**が**L**に固定されます。
- (5) 送信するバイト数を**SITDR** レジスタに書いたとき、その後は**TDRE**ビットが**1**の状態では**TEND**ビットが**1**になるまで待つてください。または、**SIER** レジスタの**ACKE**ビットが**1** (受信アクノリッジが**1**の場合、転送中止)の状態では、受信デバイスからの**NACK** (**SISR** レジスタの**NACKF** = **1**)を待つてください。その後、停止条件を発行して**TEND**ビット、あるいは**NACKF**ビットを**0**にしてください。
- (6) **SISR** レジスタの**STOP**ビットが**1**になったとき、スレーブ受信モードに戻してください。

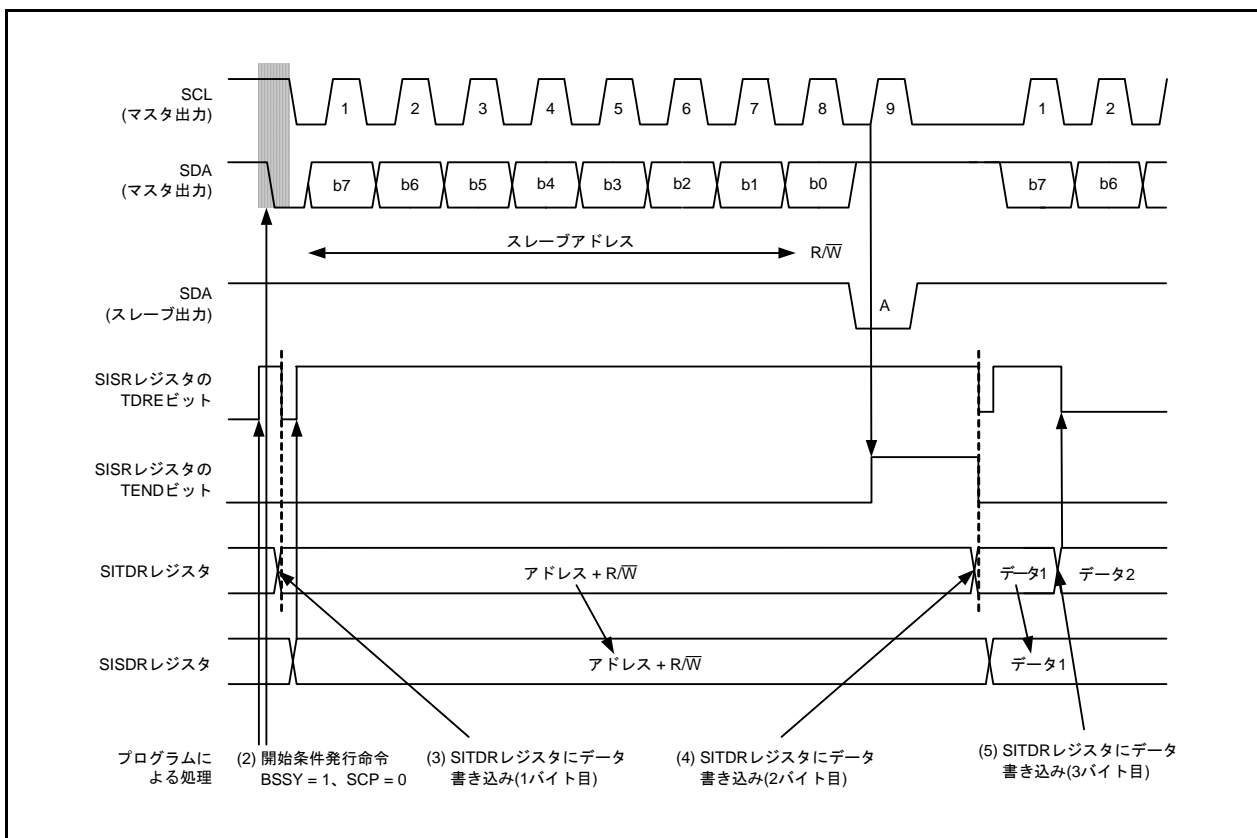


図 24.19 マスタ送信モードの動作タイミング (I²Cバスインタフェースモード) (1)

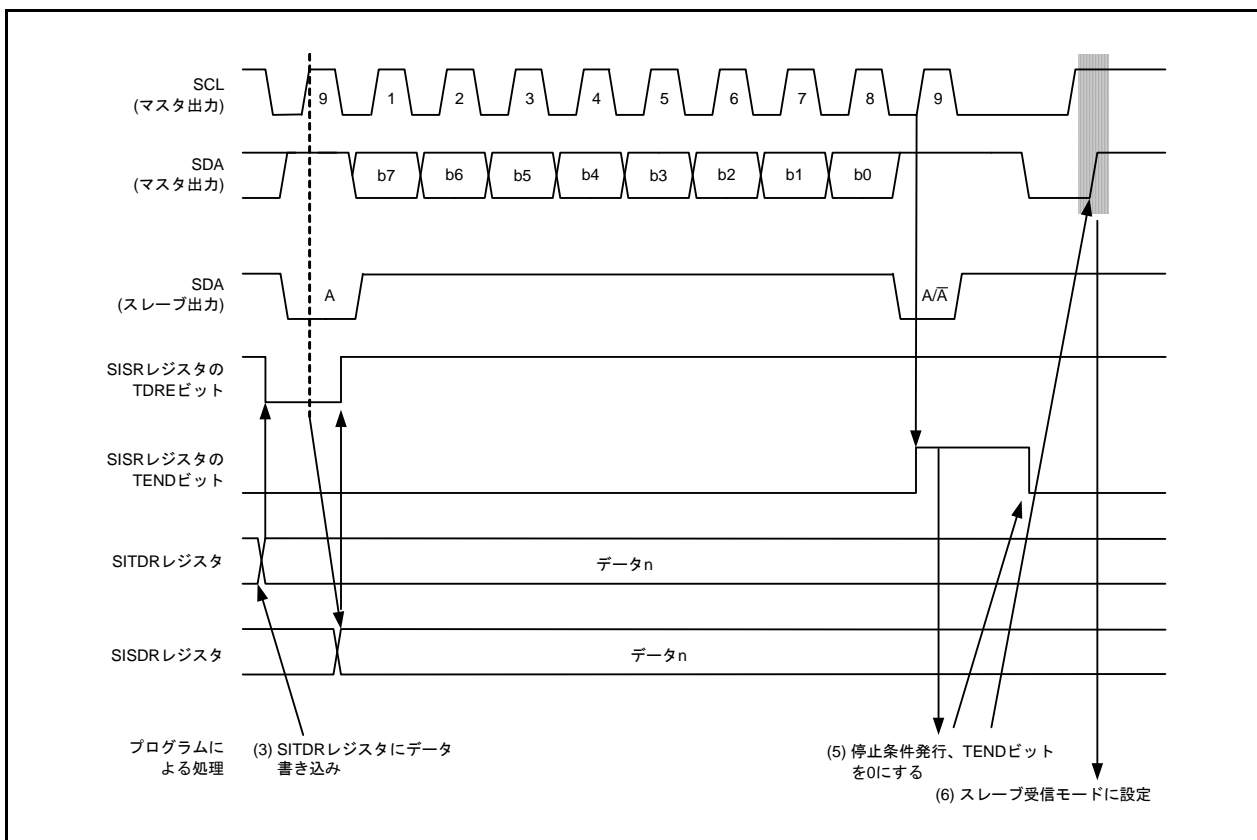


図 24.20 マスタ送信モードの動作タイミング (I²Cバスインタフェースモード) (2)

24.4.2.3.1 I²C マスタ送信モード時の反復開始条件発行フロー

NACKを受けた後、反復開始条件を発行する場合は以下の手順に従ってください。

- (1) NACKエラーを確認
- (2) 反復開始条件発行(SICR2レジスタのBBSYビット=1とSCPビット=1をMOV命令で書き込む)
- (3) SCLの立ち上がりを確認
- (4) SISRレジスタのTEND、NACKFビットをクリア

24.4.2.3.2 I²C マスタ送信動作時のスタート条件/ストップ条件を検知した場合の動作

I²Cマスタ送信動作時のスタート条件/ストップ条件を検知した場合の動作、ソフトウェアフローを示します。

- (1) アービトレーションロスト検知・スレーブ受信モード移行
- (2) SISRレジスタのTDRE、ORER_ALビットのクリア
- (3) SICR2レジスタのBBSYビットの確認
1の場合：スレーブアドレス受信へ移行
0の場合：ホスト/スレーブどちらでの動作も可能

24.4.2.4 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図24.21、図24.22にマスタ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) SISRレジスタのTENDビットを0にした後、SICR1レジスタのTRSビットを0にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、SISRレジスタのTDREビットを0にしてください。
- (2) SIRDRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、SISRレジスタのCEIE_ACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、SISRレジスタのRDRFビットが1になります。このとき、SIRDRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは0になります。
- (4) RDRFビットが1になるたびにSIRDRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが1になった状態で、SIRDRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、SIRDRレジスタを読むまでSCLがLに固定されます。このとき、停止条件か反復開始条件を発行することはできません。
- (5) 次の受信が最終フレームの場合、SIRDRレジスタを読む前にSICR1レジスタのRCVDビットを1(次の受信動作を禁止)に、CEIE_ACKBTビットを1にしてください。これにより次の受信後、スレーブデバイスにNACKを返し、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが1になったとき、停止条件を発行してください。
- (7) SISRレジスタのSTOPビットが1になったとき、SIRDRレジスタを読んでください。その後、RCVDビットを0(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

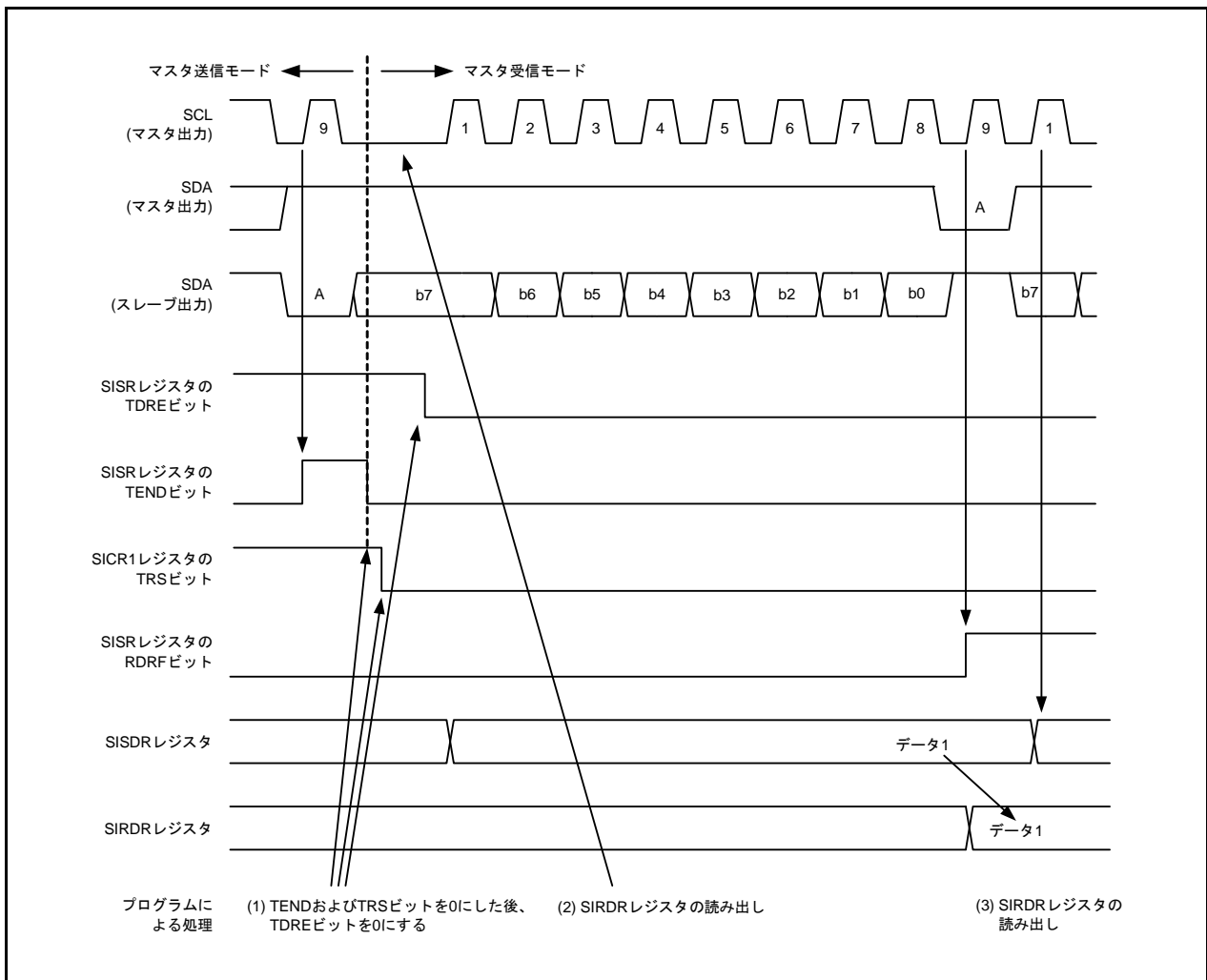
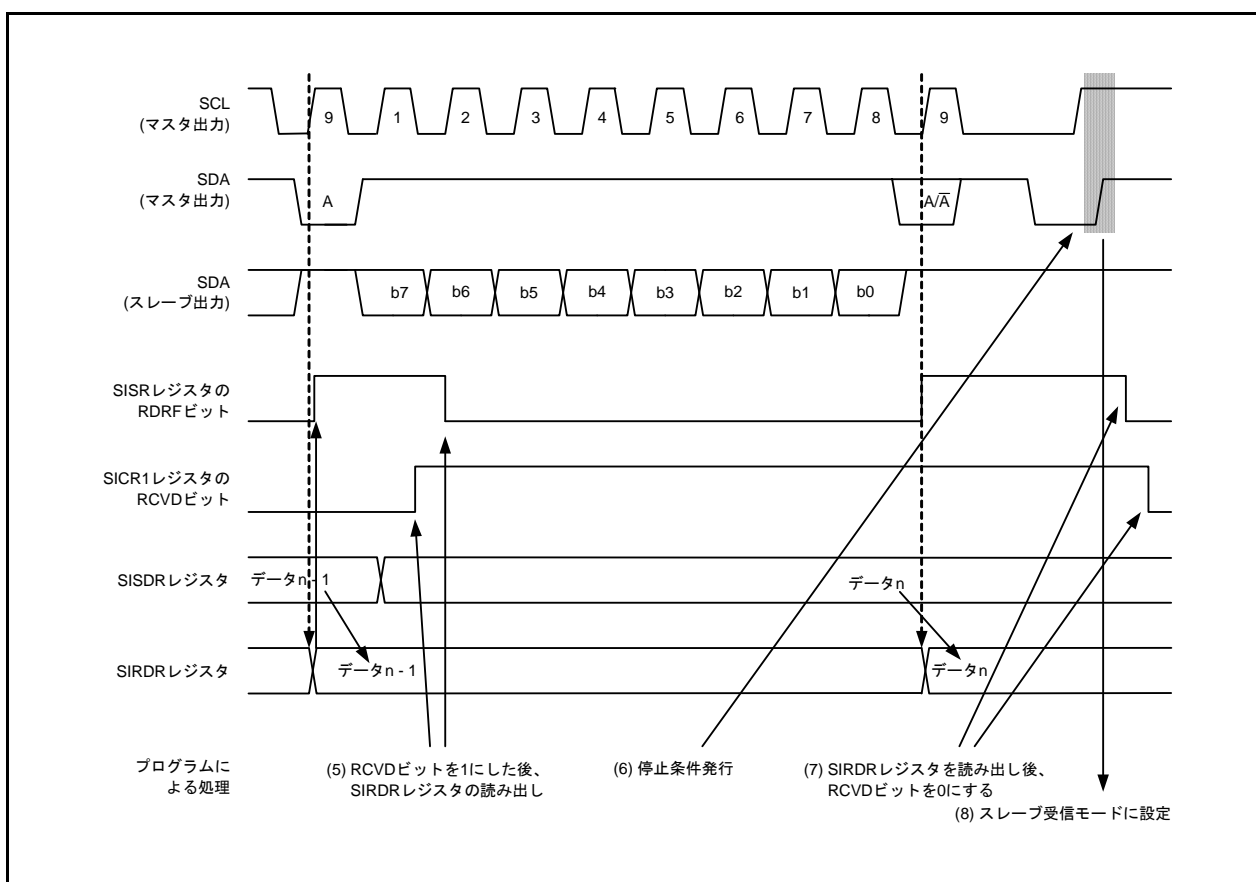


図24.21 マスタ受信モードの動作タイミング(I²Cバスインターフェースモード) (1)

図 24.22 マスタ受信モードの動作タイミング (I²C バスインタフェースモード) (2)

24.4.2.4.1 I²C マスタ受信モード時の反復開始条件発行フロー

NACKを送信後、反復開始条件を発行する場合は以下の手順に従ってください。

- (1) 24.4.2.4の(5)までは停止条件を発行する際のフローと同じです。
- (2) 受信クロックの9クロック目の立ち上がりでSISRレジスタのRDRFビットが1になった後、反復開始条件を発行(SICR2レジスタのBBSYビット=1とSCPビット=0をMOV命令で書き込む)してください。
- (3) マスタ送信モードに設定後(注1)、SIRDRレジスタを読んでください。その後、SICR1レジスタのRCVDビットを0(次の受信動作を継続)にしてください。
- (4) SITDRレジスタにスレーブアドレスとR/Wを示すデータを書き込んでください。

注1. 反復開始条件を発行(BBSYビット=1とSCPビット=0をMOV命令で書き込む)後、転送クロックで2.5サイクル以降にSCLとSDAがLowに固定されますが、その前にマスタ送信モードを設定してください。

24.4.2.4.2 I²C マスタ受信動作時のストップ条件を検知した場合の動作

I²C マスタ受信動作時のストップ条件を検知した場合の動作、ソフトウェアフローを示します。

- (1) ストップ条件検知、スレーブ受信モード移行
- (2) SICR2レジスタのBBSYビットが0であることの確認
- (3) SISRレジスタのSTOPビットのクリア
- (4) 制御部リセット

24.4.2.5 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図 24.23、図 24.24 にスレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) SICR1 レジスタのICE ビットを1(転送動作可能状態)にしてください。その後、SIMR1 レジスタのCPOS_WAIT、MLS ビット、SICR1 レジスタのCKS0～CKS3 ビットなどを設定してください(初期設定)。次にSICR1 レジスタのTRS、MST ビットを0にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、8クロック目の立ち下がりから9クロック目の立ち下がりの間スレーブデバイスはSIER レジスタのCEIE_ACKBT ビットで設定したレベルをSDAに出力します。8ビット目のデータ(R/W)が1の場合、9クロック目の立ち上がりでTRS ビットおよびSISR レジスタのTDRE ビットが1になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが1になるたびにSITDR レジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをSITDR レジスタに書いた後にTDRE ビットが1になったとき、TDRE ビットが1の状態でSISR レジスタのTEND ビットが1になるまで待ってください。TEND ビットが1になったら、TEND ビットを0にしてください。
- (4) 終了処理のためTRS ビットを0にし、SIRDR レジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDRE ビットを0にしてください。

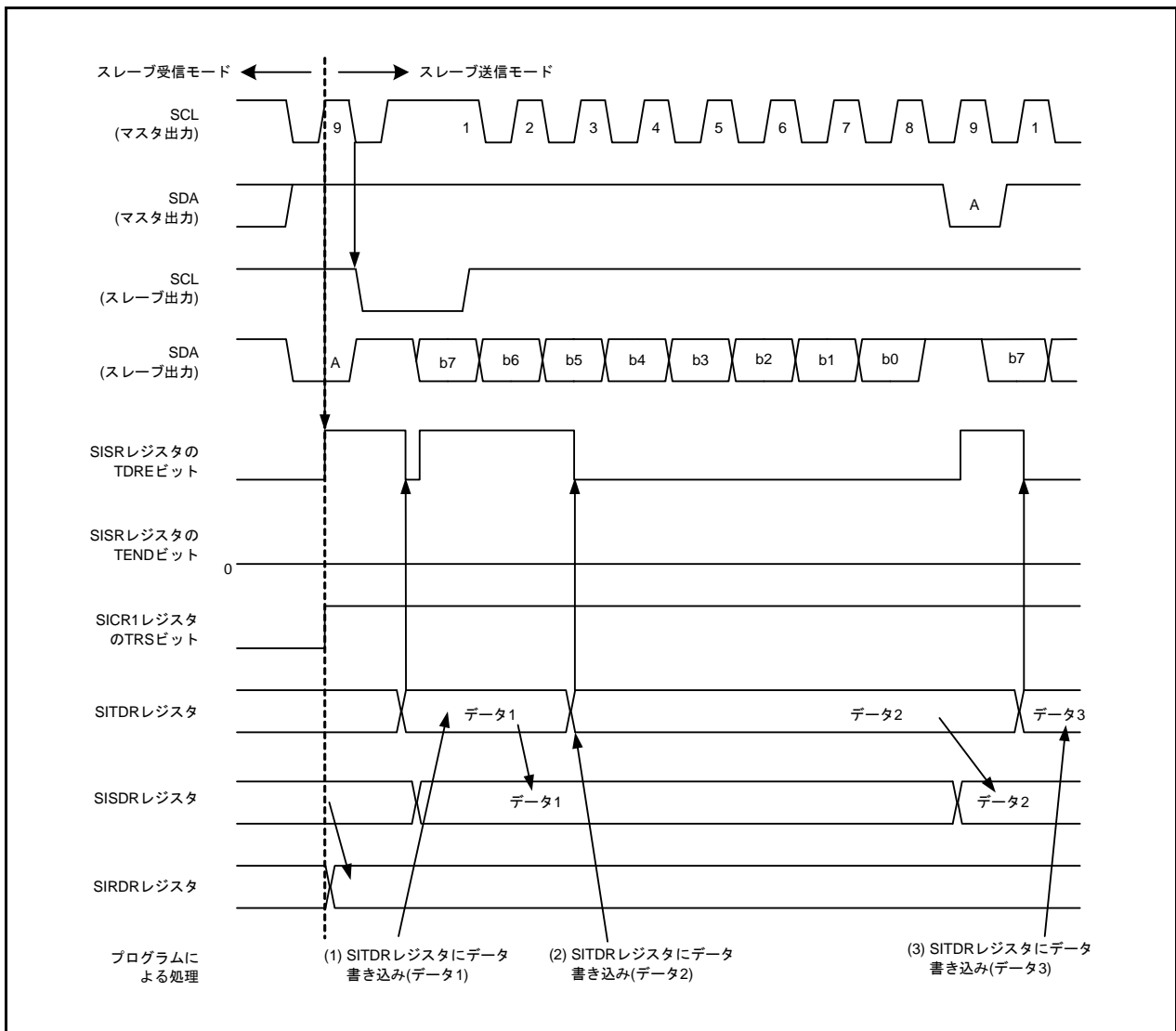


図 24.23 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード) (1)

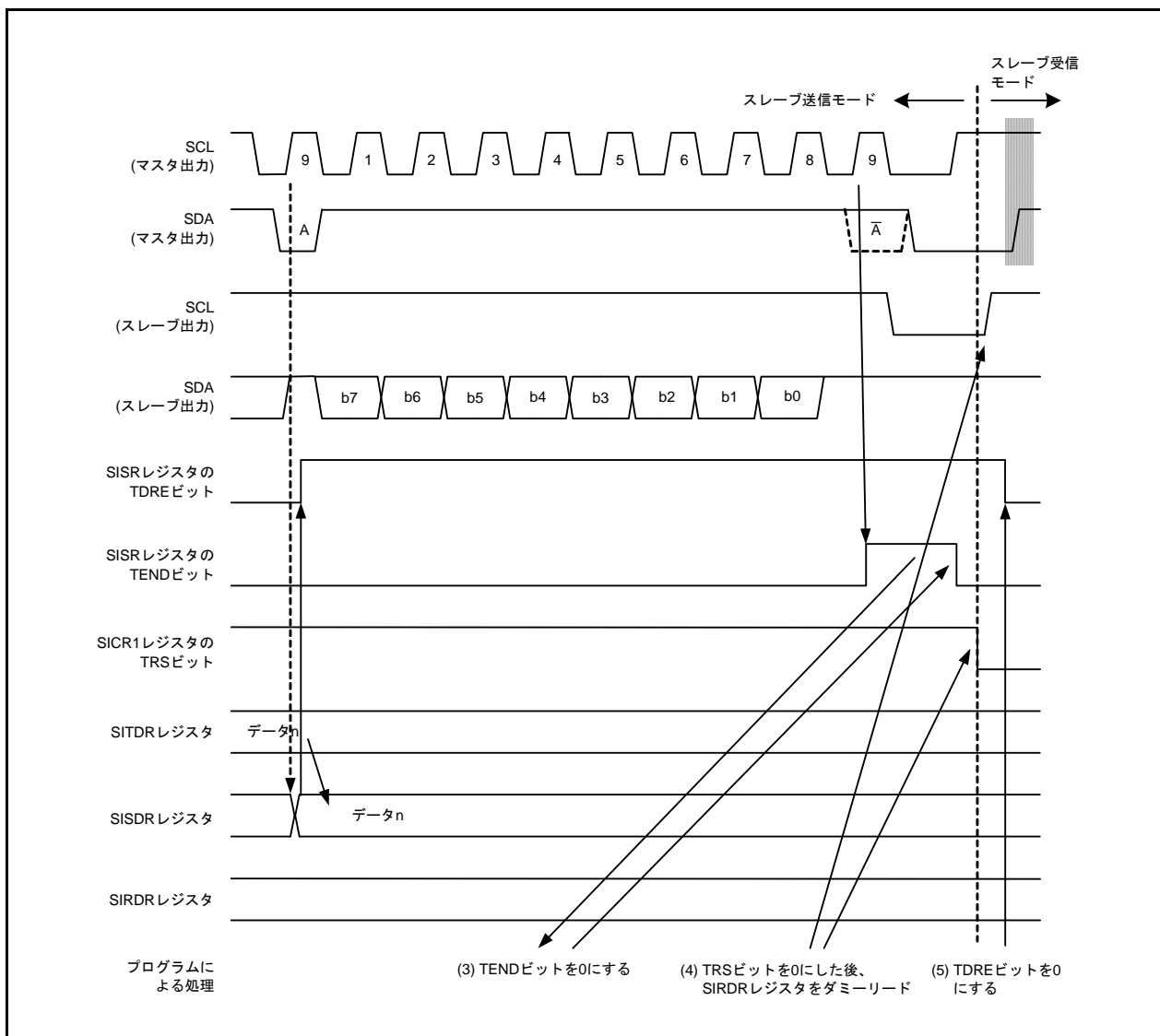


図24.24 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード) (2)

24.4.2.5.1 I²Cスレーブ送信動作時のデータセットアップ時間確保

データ転送途中、TDREビットが1およびTENDビットが1の状態が9クロック目が立ち下がった場合、送信データレジスタに送信データを書くまでSCLがLOWに固定されます。送信データ書き込み後、SDAへ送信データが出力されてから、CKS3ビットによるセットアップ時間を確保し、SCLを開放(立ち上がり)します(「図24.25 スレーブ送信動作時のデータセットアップ時間」参照)。

CKS3ビット 0 : 9、10T_{cy}

1 : 17 ~ 20T_{cy} (1T_{cy} = 1/f_l (s))

IICCRレジスタのIICTCHALFビットに1を設定した場合、セットアップ時間が倍に、IICCRレジスタのIICTCTWIビットに1を設定した場合、セットアップ時間が半分になります。

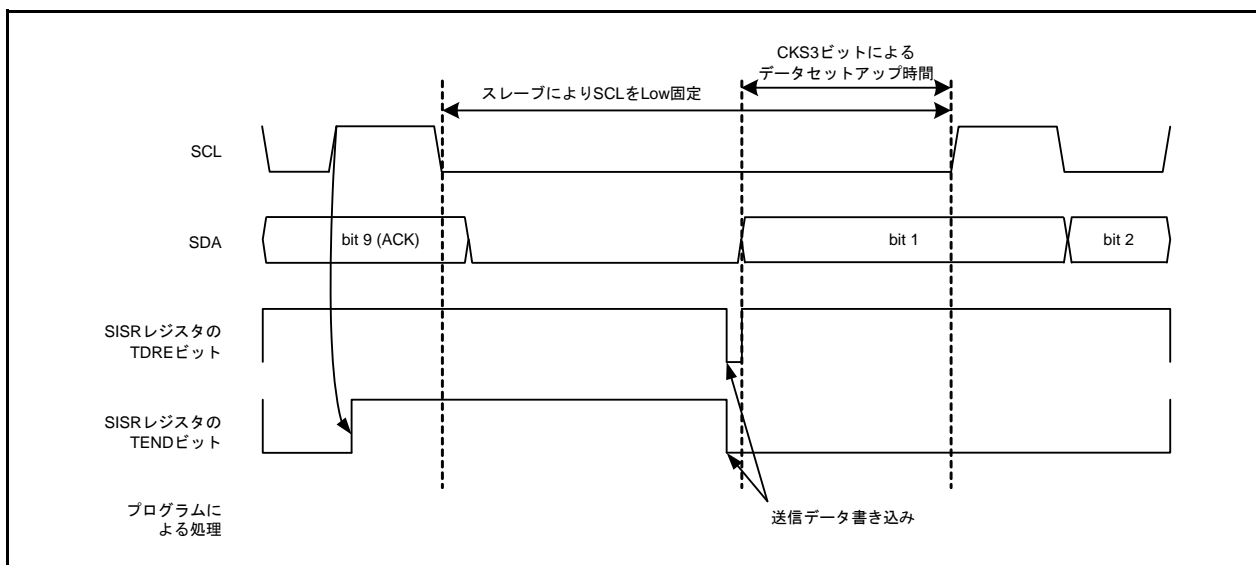


図24.25 スレーブ送信動作時のデータセットアップ時間

24.4.2.5.2 I²Cスレーブ送信動作時のストップ条件を検知した場合の動作(注1)

I²Cスレーブ送信動作時のストップ条件を検知した場合の動作、ソフトウェアフローを示します。

- (1) スレーブ受信モードを設定
- (2) TDREビットをソフトウェアクリア

注1. スレーブ送信動作中にスタート条件を検知した場合、その後続くアドレスの受信はできません。制御部をリセットし、再度スタート条件を入力してください。

24.4.2.6 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図24.26、図24.27にスレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) SICR1レジスタのICEビットを1(転送動作可能状態)にしてください。その後、SIMR1レジスタのCPOS_WAIT、MLSビット、SICR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にSICR1レジスタのTRS、MSTビットを0にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、8クロック目の立ち下がりから9クロック目の立ち下がりの間、スレーブデバイスはSIERレジスタのCEIE_ACKBTビットで設定したレベルをSDAに出力します。9クロック目の立ち上がりでSISRレジスタのRDRFビットが1になりますので、SIRDRレジスタをダミーリード(読み出したデータはスレーブアドレス+R/Wを示すので不要)してください。
- (3) RDRFビットが1になるたびに、SIRDRレジスタを読んでください。RDRFビットが1の状態では8クロック目が立ち下がると、SIRDRレジスタを読むまでSCLがLに固定されます。SIRDRレジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されます。
- (4) 最終バイトの読み出しも、同様にSIRDRレジスタを読むことで行います。

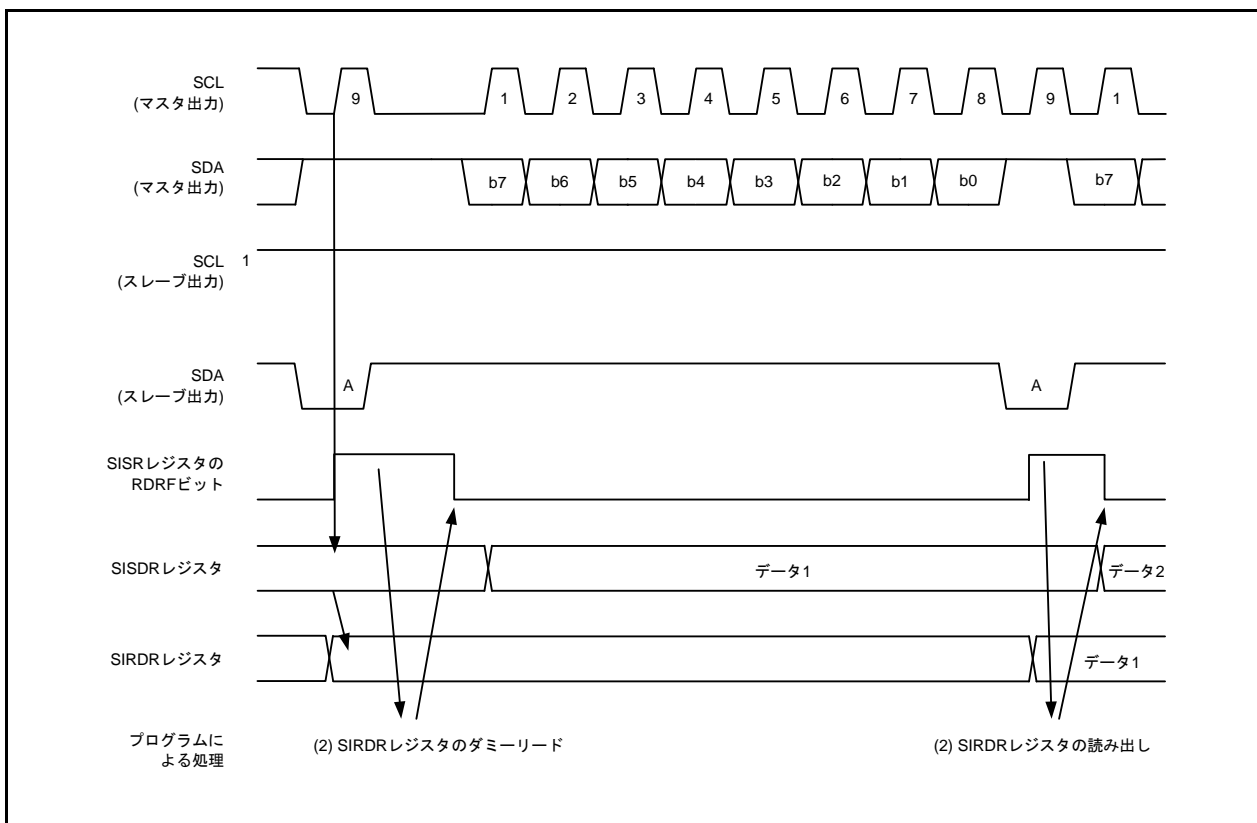


図 24.26 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード) (1)

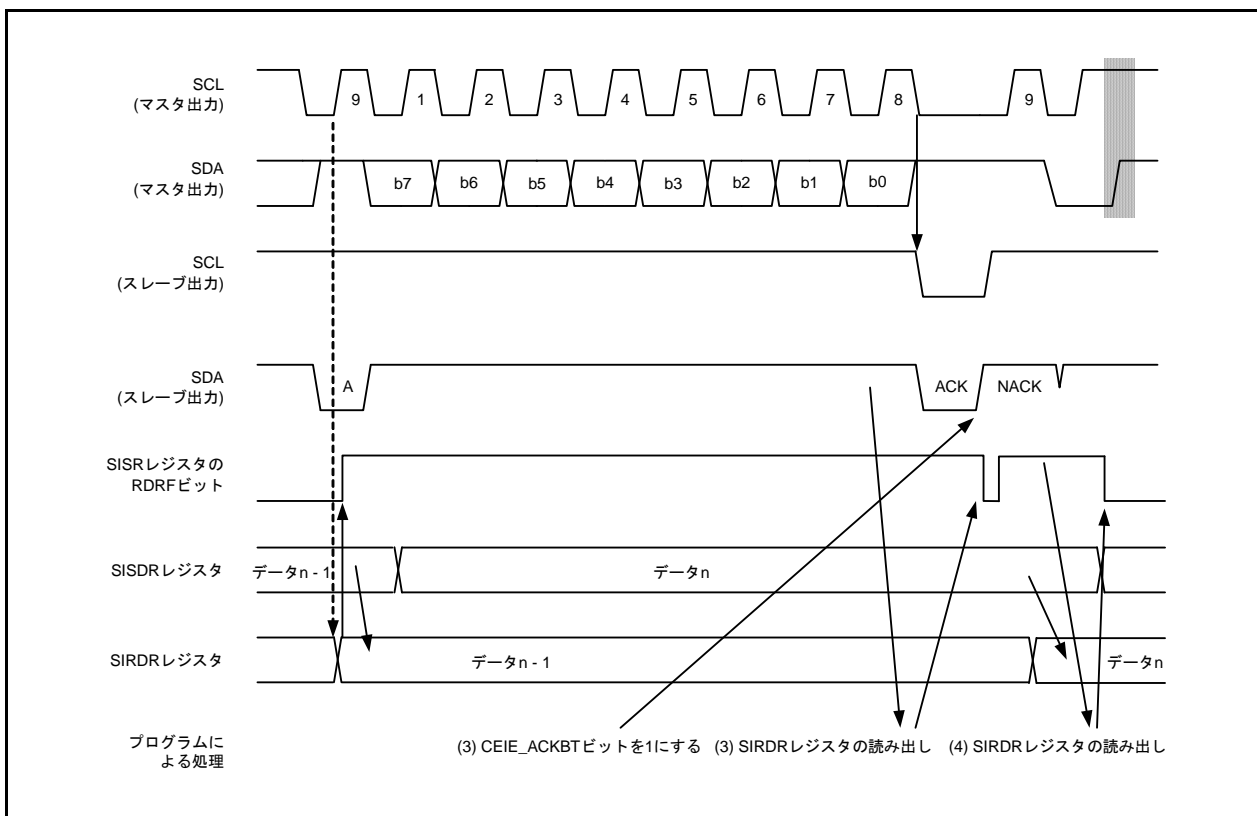


図 24.27 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード) (2)

24.4.3 クロック同期式シリアルモード

24.4.3.1 クロック同期式シリアルフォーマット

SIMR2レジスタのMSビットを1にすると、クロック同期式シリアルフォーマットで通信します。図24.28にクロック同期式シリアルモードの転送フォーマットを示します。

SICR1レジスタのMSTビットが1のときSCLから転送クロック出力となり、MSTビットが0のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち上がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はSIMR1レジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、SICR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

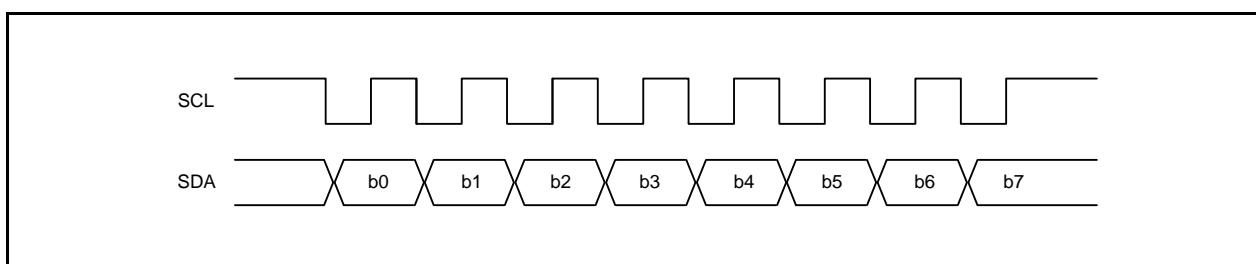


図24.28 クロック同期式シリアルモードの転送フォーマット

24.4.3.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データを SDA から出力します。転送クロックは SICR1 レジスタの MST ビットが 1 とき出力、MST ビットが 0 とき入力となります。

図 24.29 に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) SICR1 レジスタの ICE ビットを 1 (転送動作可能状態) にしてください。その後、SICR1 レジスタの CKS0～CKS3 ビット、MST ビットなどを設定してください(初期設定)。
- (2) SICR1 レジスタの TRS ビットを 1 にして送信モードにしてください。これにより、SISR レジスタの TDRE ビットが 1 になります。
- (3) TDRE ビットが 1 であることを確認した後、SITDR レジスタに送信データを書き込んでください。これにより SITDR レジスタから SISDR レジスタにデータが転送され、自動的に TDRE ビットが 1 になります。TDRE ビットが 1 になるたびに SITDR レジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDRE ビットが 1 の状態で TRS ビットを 0 にしてください。

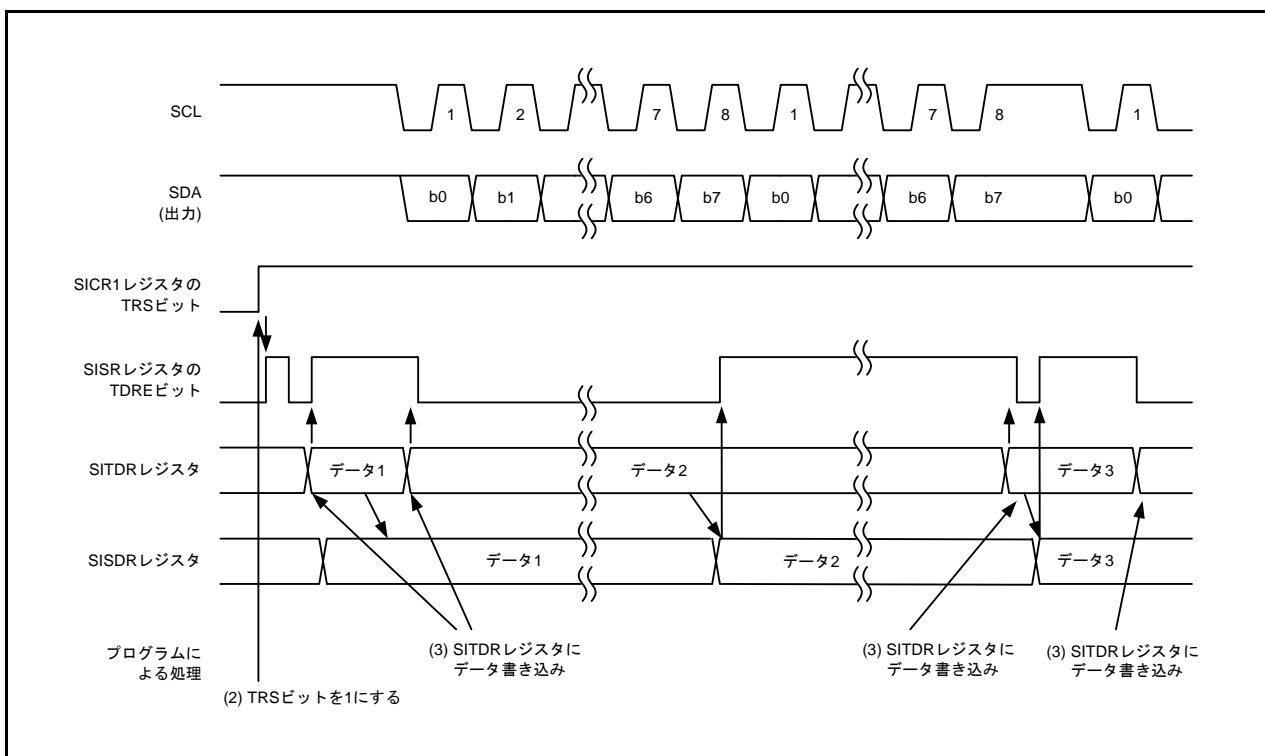


図 24.29 送信モードの動作タイミング(クロック同期式シリアルモード)

24.4.3.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはSICR1レジスタのMSTビットが1とき出力、MSTビットが0とき入力となります。

図24.30に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) SICR1レジスタのICEビットを1(転送動作可能状態)にしてください。その後、SICR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを1にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、SISDRレジスタからSIRDRレジスタにデータが転送され、SISRレジスタのRDRFビットが1になります。MSTビットが1のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが1になるたびにSIRDRレジスタを読むことで、連続的に受信可能です。RDRFビットが1の状態でも8クロック目が立上がるとオーバランを検出し、SISRレジスタのORER_ALビットが1になります。このときSIRDRレジスタには、前の受信データが保持されています。
- (4) MSTビットが1のとき、受信を停止するためには、SICR1レジスタのRCVDビットを1(次の受信動作を禁止)にしてから、SIRDRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLがHに固定されます。

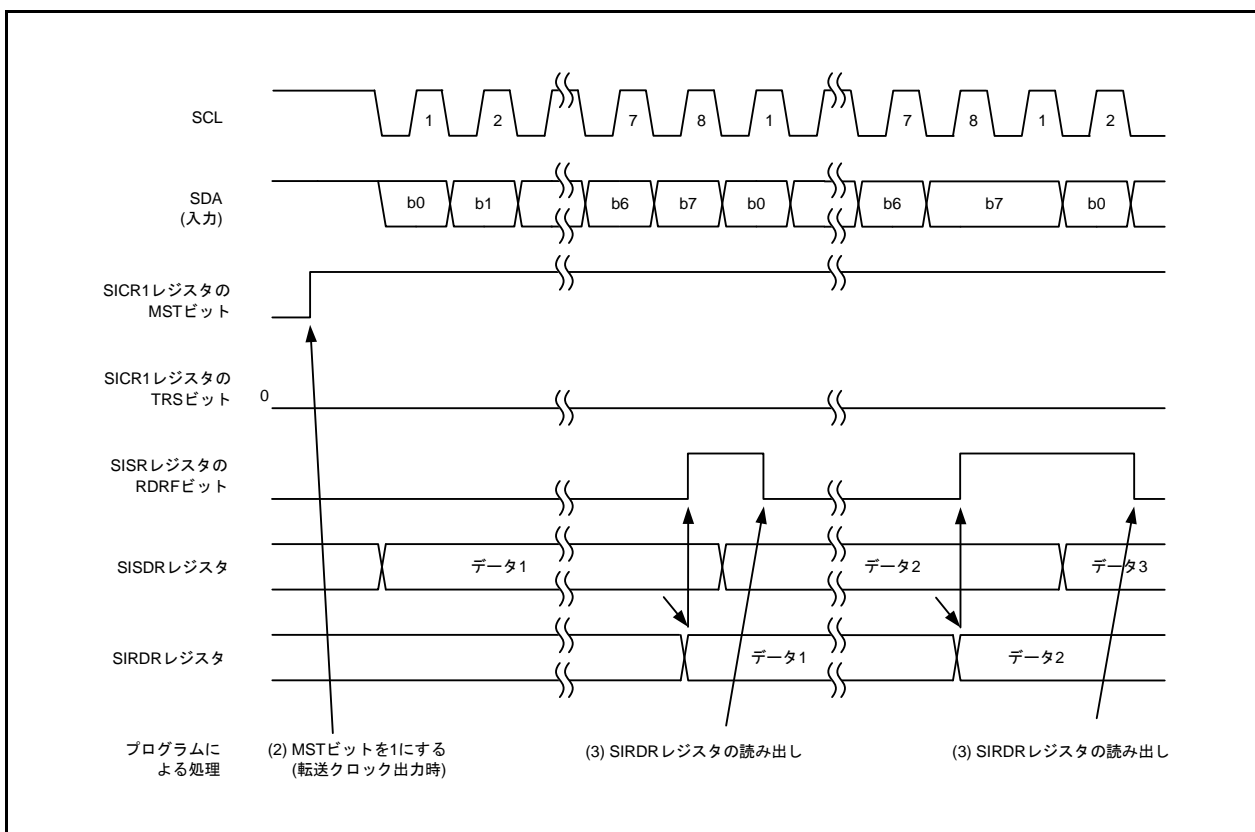


図24.30 受信モードの動作タイミング(クロック同期式シリアルモード)

24.4.4 レジスタ設定例

I²Cバスインタフェースを使用する場合のレジスタ設定例を図24.31～図24.34に示します。

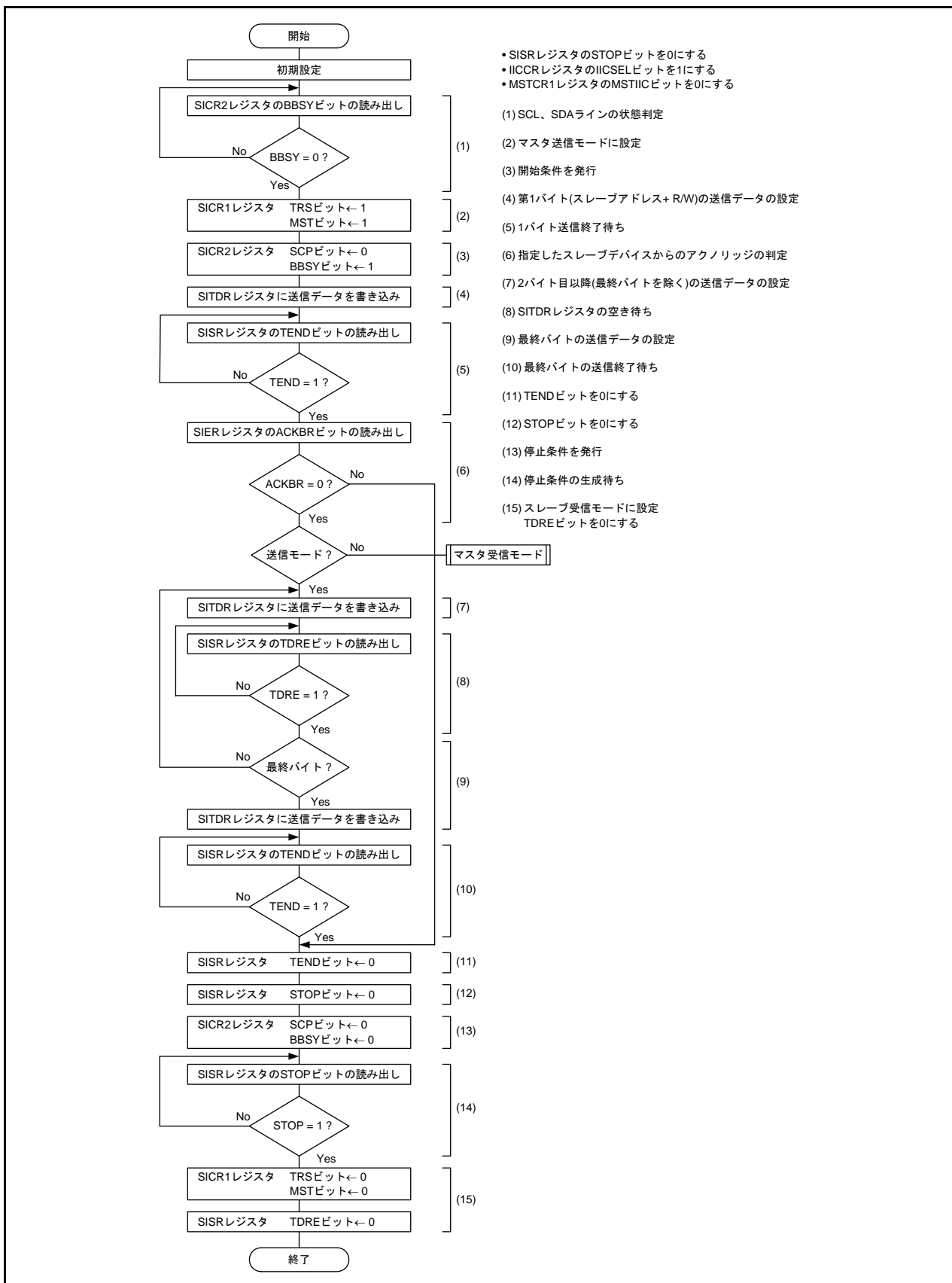


図24.31 マスタ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

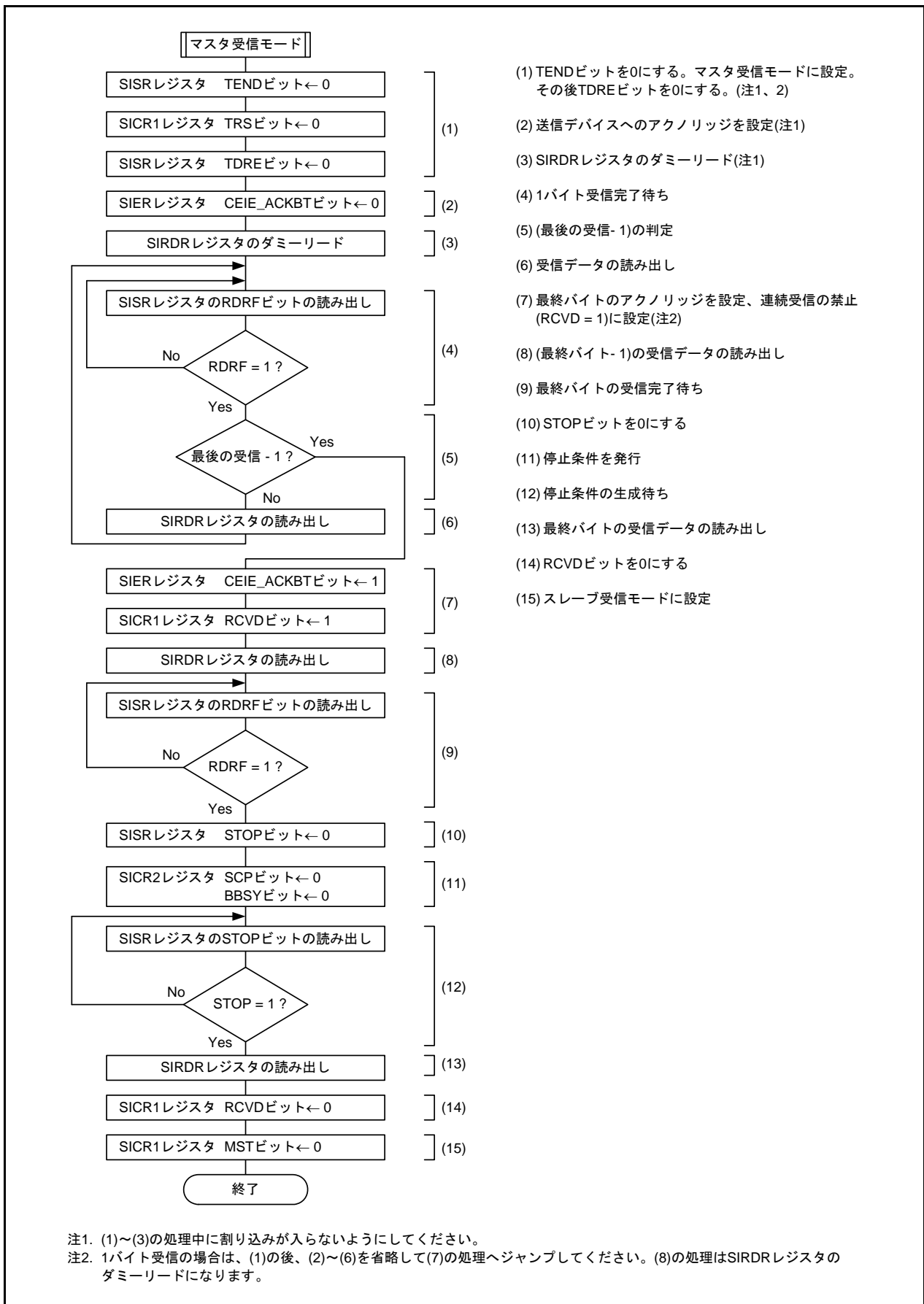


図 24.32 マスタ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

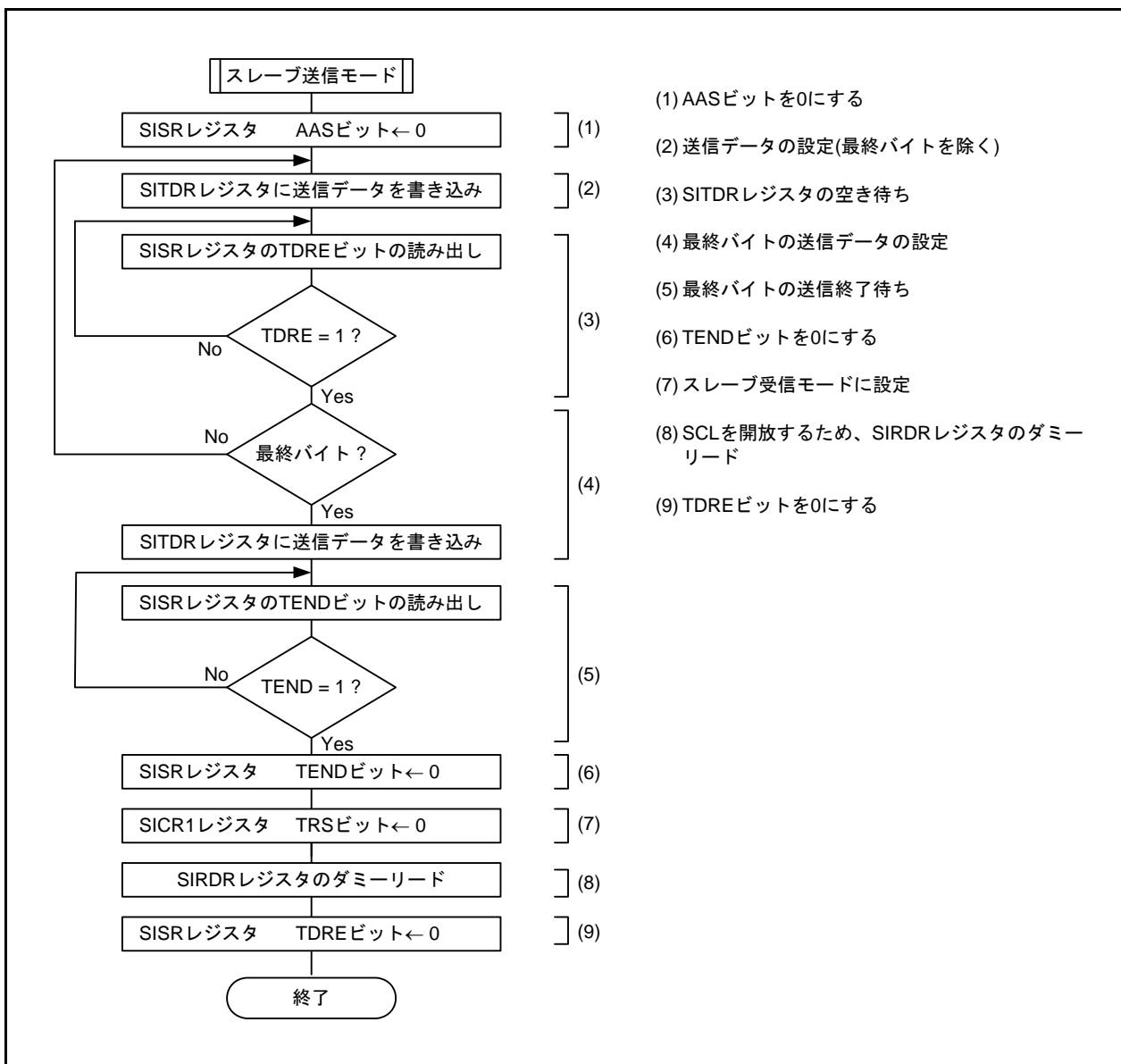


図24.33 スレーブ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

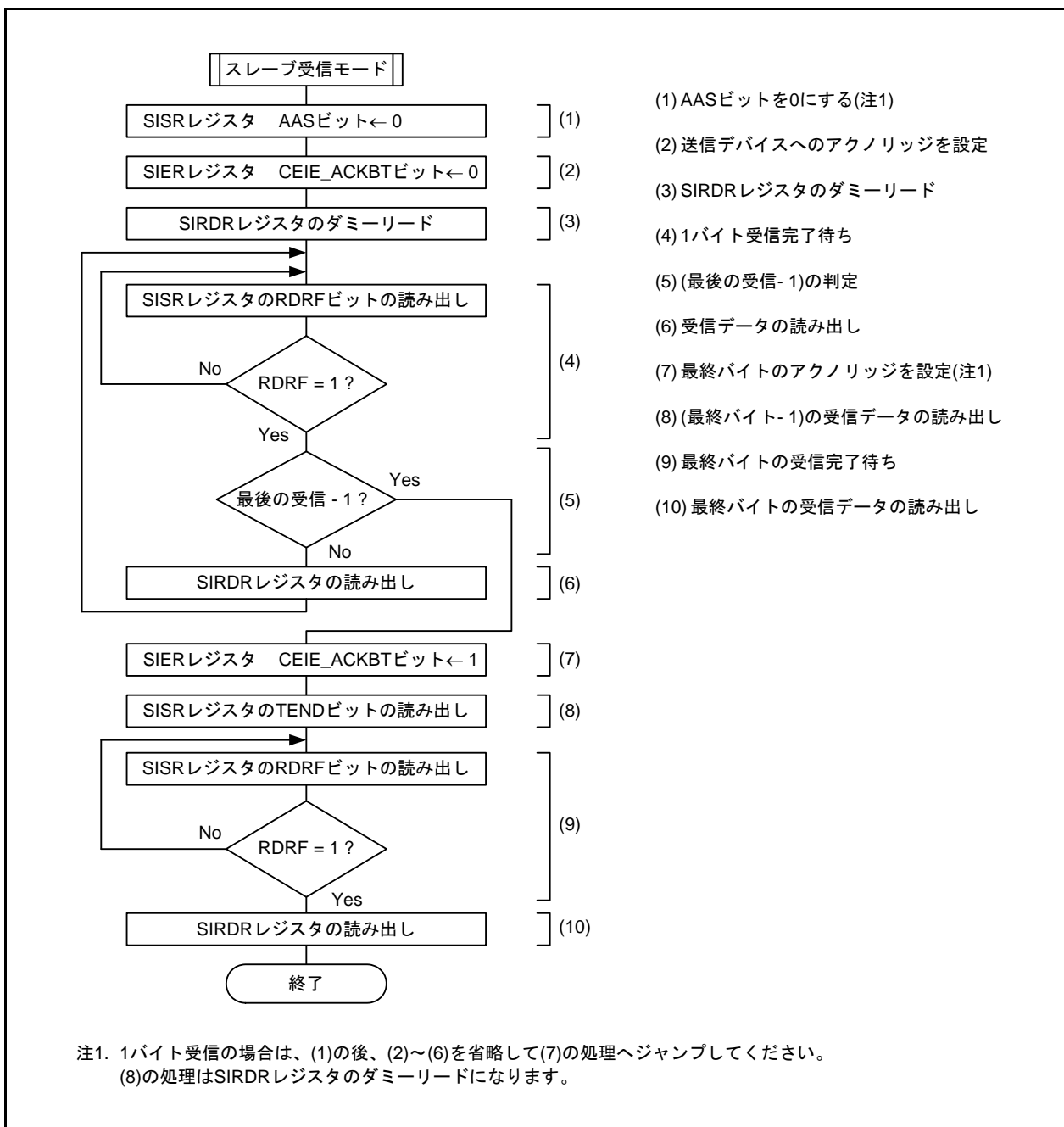


図24.34 スレープ受信モードのレジスタ設定例(I²Cバスインターフェースモード)

24.4.5 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図24.35にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号(またはSDA端子入力信号)がf1でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

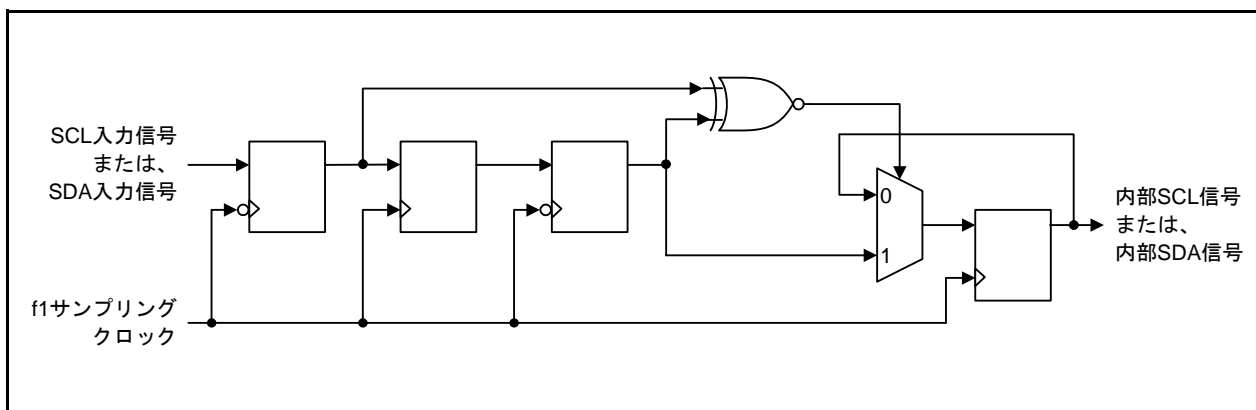


図24.35 ノイズ除去回路のブロック図

24.4.6 ビット同期回路

I²Cバスインターフェースをマスタモードに設定時、

- スレーブデバイスによりSCLがLに保持された場合
- SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合の2つの状態でH期間が短くなる可能性があります。

ビット同期回路では、SCL出力の立ち上がりから所定の時間(MT)後にSCL入力をモニタし、SCLがHレベルになっているかを確認します。もし、スレーブでSCLをLレベルに引っ張るか、SCLラインの負荷により立ち上がりがゆるやかになった場合は、SCLがHレベルになっていないと認識し、SCLを立ち下げるタイミングを遅らせます。

図24.36にビット同期回路のタイミングを、表24.12にSCLをL出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

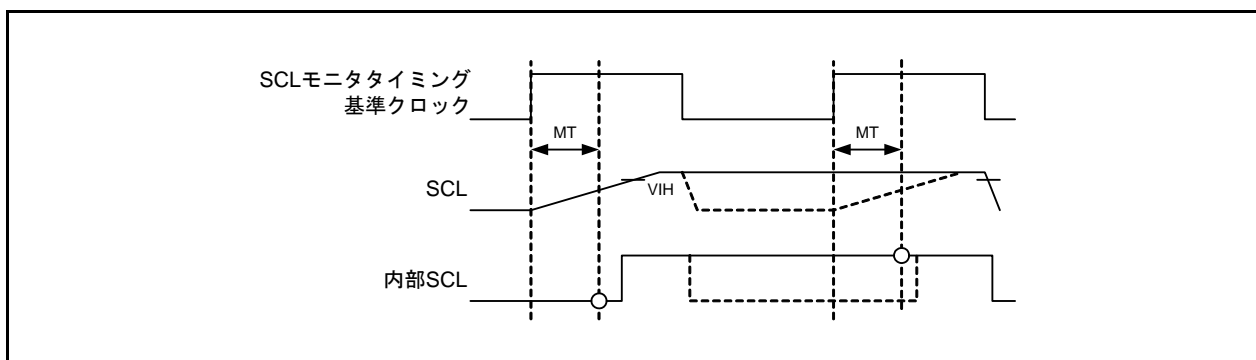


図24.36 ビット同期回路のタイミング

表24.12 SCLをL出力からハイインピーダンスにした後、SCLをモニタするまでの時間

SICR1レジスタ				SCLをモニタする時間(MT)
IICTCHALF	IICTCTW1	CKS3	CKS2	
0	0	0	0	7.5 Tcyc
			1	19.5 Tcyc
		1	0	17.5 Tcyc
			1	41.5 Tcyc
0	1	0	0	2.5 Tcyc
			1	8.5 Tcyc
		1	0	7.5 Tcyc
			1	19.5 Tcyc
1	0	0	0	17.5 Tcyc
			1	41.5 Tcyc
		1	0	37.5 Tcyc
			1	85.5 Tcyc

1Tcyc = 1/f1(s)

CKS3～CKS0 = 1000bの場合、SCLのHigh幅が600ns以下(I²C規格違反)であっても、ビット同期回路が機能しません(動作クロックが20 MHzのとき)。

24.4.7 DTCとの連携動作

■ SSU/I²Cバス機能共通

- マスタモードでDTCにより受信バッファレジスタをリードする場合は、DTCの転送回数レジスタには、転送回数-1を設定してください。
- 転送回数-1回の受信データをDTCで転送後、RXI割り込みが発生します。SICR1レジスタのRCVDビットを1(次の受信動作を禁止)にした後に、SISRレジスタのRDRFビットを0(SIRDRレジスタにデータなし)にしてください。
- RDRFビットのクリアが遅れ、最終バイトの転送が完了した場合、I²Cバス機能ではSCLがLowでハングアップします。SSU機能ではオーバランエラーとなります。
- SICR1レジスタのRCVDビットの設定は、最終バイトの受信動作中に設定してください。

■ SSU機能の場合

- 最終データの受信完了後にRXI割り込みが発生します。SISRレジスタのRE_STIEビットを0(受信禁止)に、RCVDビットを0(次の受信動作を継続)にした後で、ソフトウェアでSIRDRレジスタを読み出してください。

■ I²Cバス機能の場合

- 最終データの受信完了後にRXI割り込みが発生します。SICR2レジスタのSCLOビット(SCLモニタフラグ)が0になるのを確認してから、停止条件を発行してください。
- SISRレジスタのSTOPビットが1(フレームの転送の完了後に停止条件を検出)になったとき、SIRDRレジスタを読み出してください。その後、RCVDビットを0(次の受信動作を継続)にしてください。

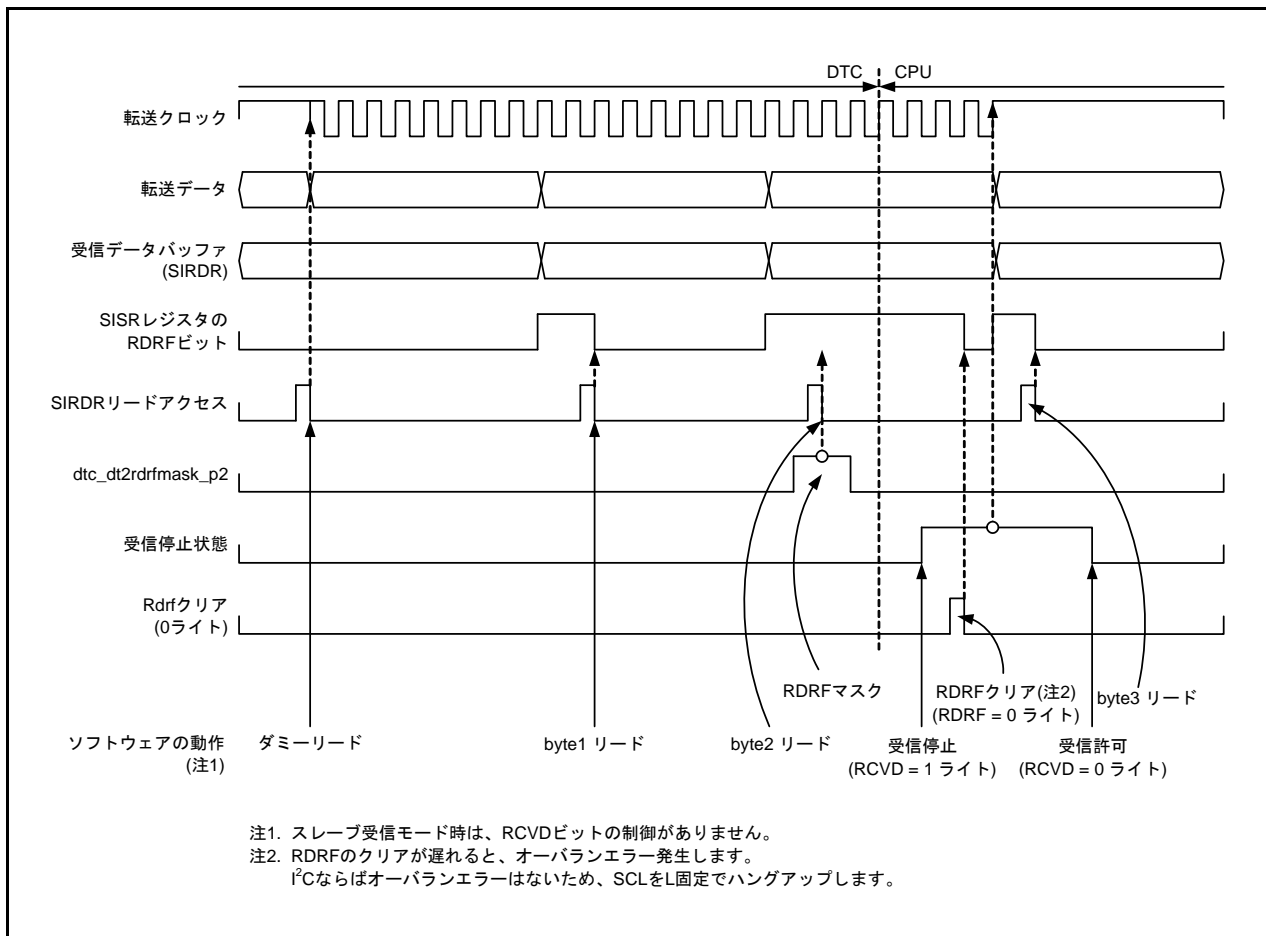


図24.37 マスタ受信モード時のDTC関連動作タイミング

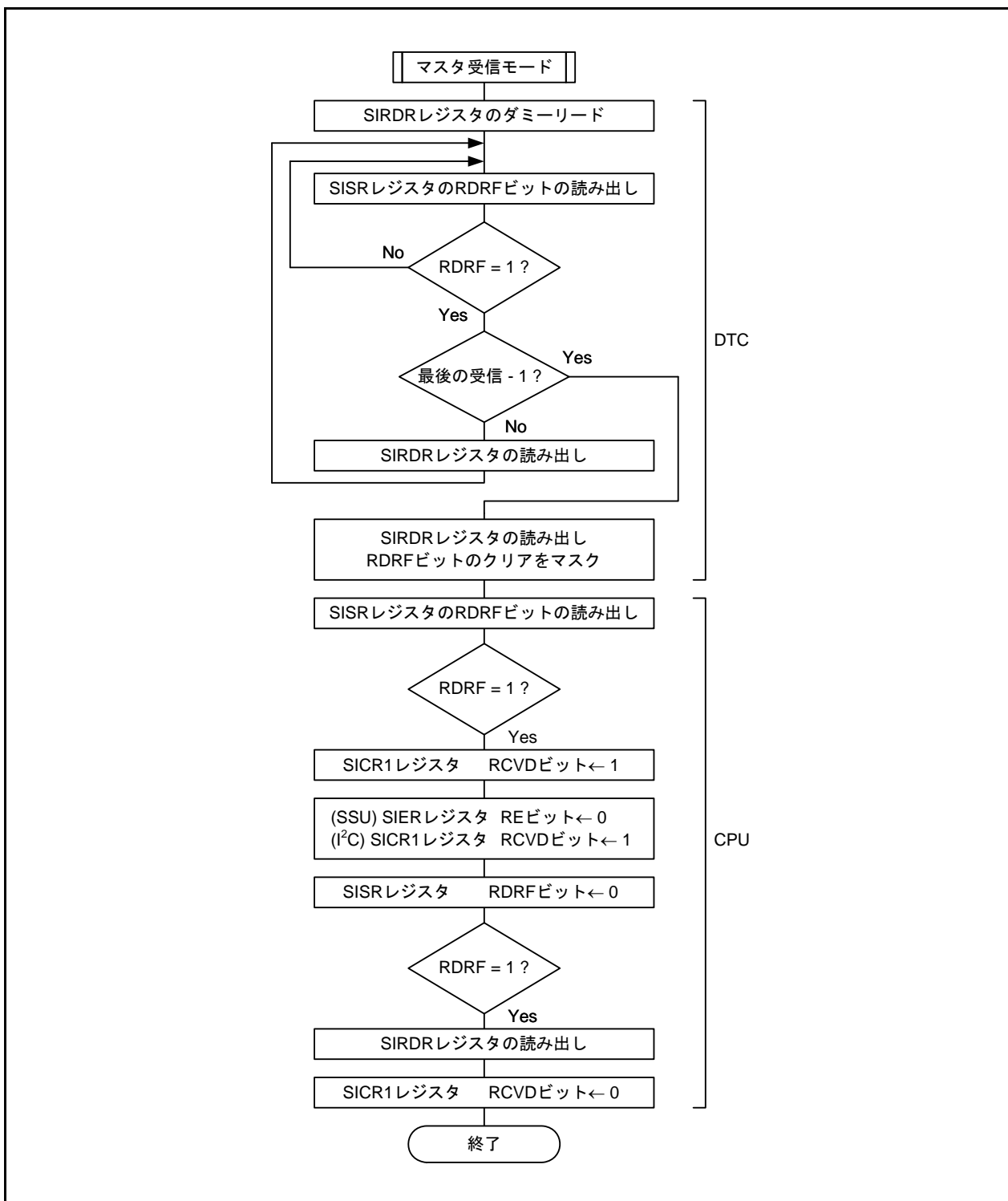


図24.38 マスタ受信モード時のDTC関連動作フロー

24.4.8 I²Cバスインタフェースモード時の制御部リセット手順

I²Cバスインタフェースは、SICR2レジスタのSIRSTビットに1を書き込むことで、I²Cの一部レジスタとコントロール部をリセットすることができます。以下に、SIRSTビットを用いたリセット手順を示します。

制御部リセットを行った場合(図中(2))、ICUの該当するSSUIC_i/IICIC_iレジスタ(i = 0~2)のIRビットが1(割り込み要求あり)になることがあります。IRビットをクリアする場合の注意事項については、「11.9.4 割り込み要因の変更」を参照してください。

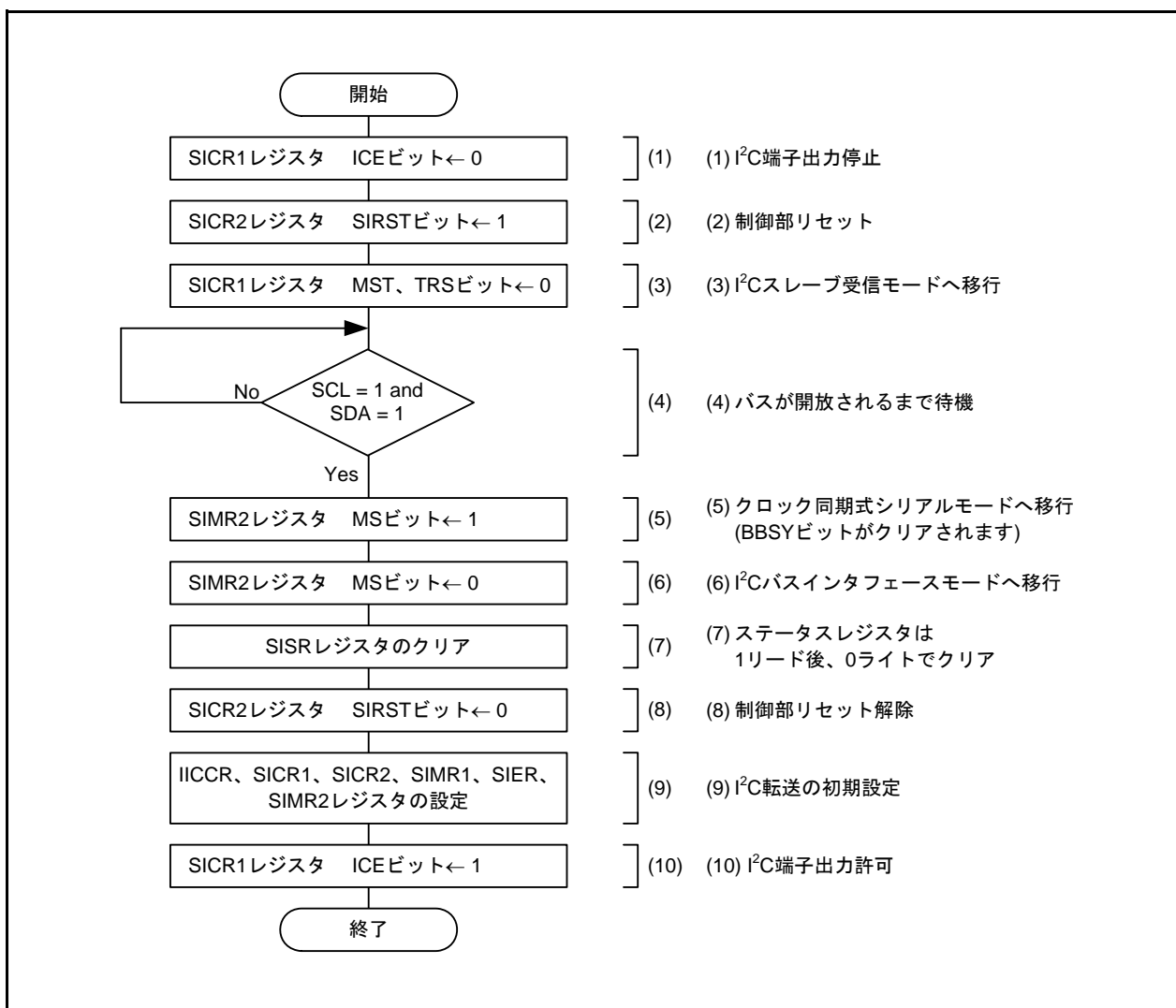


図24.39 I²Cバスインタフェースモード時の制御部リセット手順

24.5 クロック同期形シリアルインタフェース使用上の注意事項

24.5.1 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、IICCRレジスタのIICSELビットを0(SSU機能を選択)にしてください。

24.5.2 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、IICSELビットを1(I²Cバス機能を選択)にしてください。

- (1) I²Cの規格に違反する設定で使用しないでください。
- (2) 「Hs-MODE」による通信はできません。最高転送速度は「FAST-MODE」による[Max. 400 kHz]です。
- (3) SCLのLow期間は「FAST-MODE」で[Min. 1.3 μs]です。本モジュールにおけるH/L幅のデューティは50%/50%のため、400 kHz動作時にこの値を下回ってしまいます。よって最高転送速度はSCL周期が2.6 μs(最大転送周波数384.6 kHz)になります。
- (4) SCLの立ち上がりに対して、SDAの変化は[Min. 300 ns]の遅延を持たなければなりません。本モジュールにおけるSDAデジタル遅延は最低3×f1サイクルのため、基準クロックf1が11 MHz以上の場合には注意が必要です。IICCRレジスタのSDADLY1、SDADLY0ビットを01b以上を設定してください。
- (5) CBUSとの互換性はありません。
- (6) 10ビット・アドレス指定はできません。
- (7) スレーブ送信モードのデータ送信中にスタート条件を検出した場合、その後に続くアドレスを受信することはできずに動作が停止します。制御部リセットのフローに従い、モジュールを初期化してください。
- (8) スレーブアドレスとして1111XXXbと0000XXXbは設定しないでください。
- (9) STOP条件を検出した後、マスタで通信を開始する場合、必ずSTOPビットをクリアしてください。

24.5.3 SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット

I²Cバスインタフェース動作中に、ICEビットに0またはSIRSTビットに1を書くとSICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。

24.5.3.1 ビットが不定になる条件

- I²Cバスインタフェースのマスタモードにおいて、本モジュールがI²Cのバスを占有しているとき。
- I²Cバスインタフェースのスレーブモードにおいて、本モジュールがデータかアクノリッジを送信中のとき。

24.5.3.2 対策

- 開始条件(SCLがHのときのSDA立ち下がり)が入力されると、BBSYビットは1になります。
- 停止条件(SCLがHのときのSDA立ち上がり)が入力されると、BBSYビットは0になります。
- マスタ送信モードにおいて、SCL、SDAともにHの状態、BBSYビットに1、SCPビットに0を書き、開始条件(SCLがHのときのSDA立ち下がり)が出力されると、BBSYビットは1になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAがLの状態、かつ本モジュール以外にSCLをLにするデバイスがない状態で、BBSYビットに0、SICR2レジスタのSCPビットに0を書き、停止条件(SCLがHのときのSDA立ち上がり)が出力されると、BBSYビットは0になります。
- SARレジスタのMSビットに1を書くと、BBSYビットは0になります。

24.5.3.3 SICR2レジスタのSIRSTビットの補足説明

- SIRSTビットに1を書くと、SICR2レジスタのSDAOビットおよびSCLOビットは1になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、SIRSTビットに1を書くと、SISRレジスタのTDREビットは1になります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、SICR2レジスタのBBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にSIRSTビットに0を書いてください。
- SIRSTビットに1を書いても、BBSYビットは0になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLがHのときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが0になる場合があります。同様に、他のビットにも影響が発生する場合があります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、SICR1、SICR2、SISRレジスタの値が更新される場合があります。
- 上記補足内容を含んだSIRSTビットによる制御部リセット動作は、「24.4.8 I²Cバスインタフェースモード時の制御部リセット手順」を参照してください。

25. ハードウェアLIN

ハードウェアLINは、タイマRJおよびUART0と連携し、LIN通信を行うものです。
ハードウェアLINは、HW-LIN_0、HW-LIN_1の2チャンネルで構成しています。
特に差異がない限り、本章ではLINとして説明します。

25.1 概要

ハードウェアLINには、以下の特長があります。

図25.1にハードウェアLINのブロック図を示します。

各モードでのWake Up機能はINTx (x = 1、2)より検出します。

【マスタモード】

- Synch Break発生
- バス衝突検出

【スレーブモード】

- Synch Break検出
- Synch Field計測
- Synch BreakおよびSynch Field信号のUART入力制御機能
- バス衝突検出

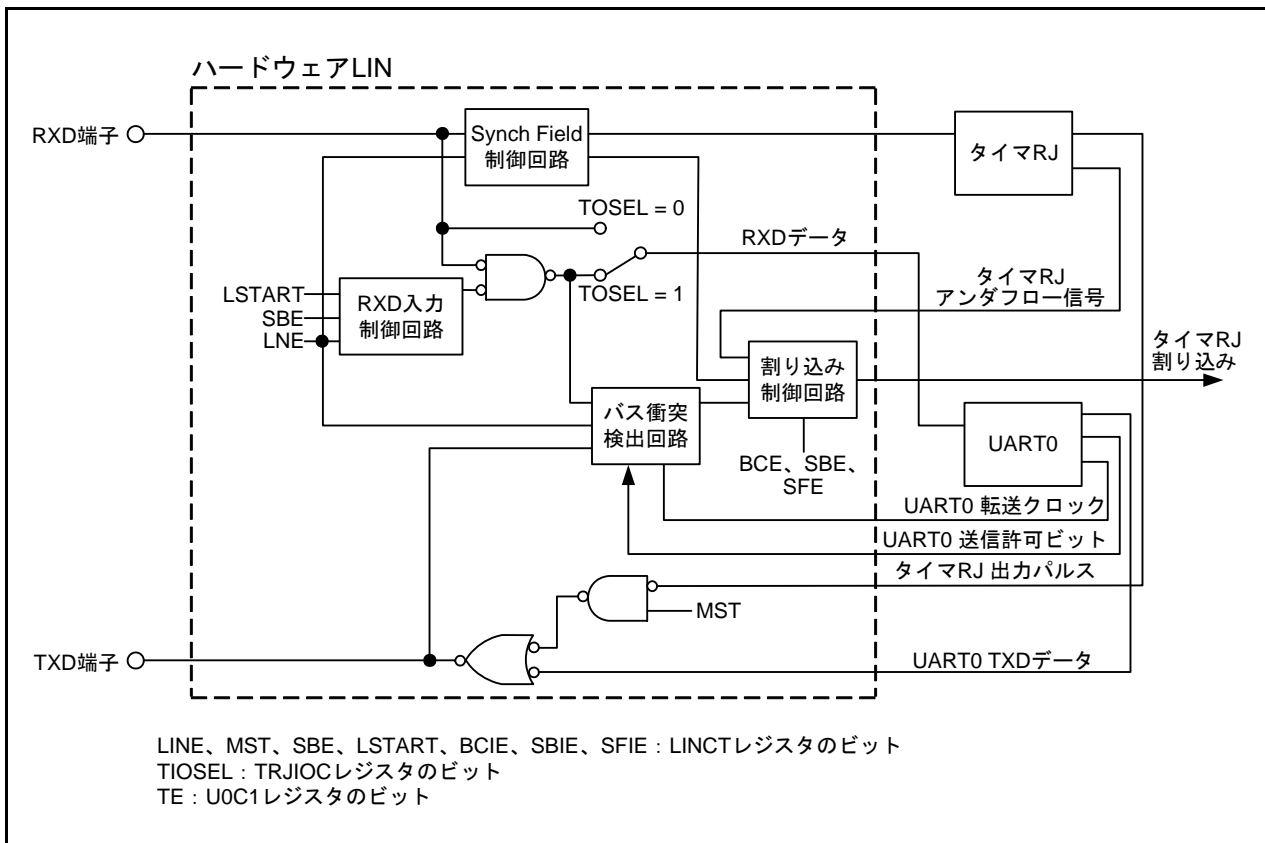


図25.1 ハードウェアLINのブロック図

25.2 入出力端子

表25.1にハードウェアLINの端子構成を示します。

表25.1 ハードウェアLINの端子構成

名称	端子名	入出力	機能
レシーブデータ入力	RXD	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD	出力	ハードウェアLINの送信データ出力端子

25.3 レジスタの説明

表25.2にハードウェアLINのレジスタ構成を示します。

表25.2 ハードウェアLINのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LIN_0特殊機能レジスタ	LINCR2_0	00h	0008Ch	8
LIN_0制御レジスタ	LINCT_0	00h	0008Eh	8
LIN_0ステータスレジスタ	LINST_0	00h	0008Fh	8
LIN_1特殊機能レジスタ	LINCR2_1	00h	0009Ch	8
LIN_1制御レジスタ	LINCT_1	00h	0009Eh	8
LIN_1ステータスレジスタ	LINST_1	00h	0009Fh	8

25.3.1 LIN特殊機能レジスタ (LINCR2)

アドレス 0008Ch (LINCR2_0)、0009Ch (LINCR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	BCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCE	Synch Break送信時、バス衝突検出有効ビット	0 : バス衝突検出禁止 1 : バス衝突検出有効	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

25.3.2 LIN制御レジスタ (LINCT)

アドレス 0008Eh (LINCT_0)、0009Eh (LINCT_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LINE	MST	SBE	LSTART	RXDSF	BCIE	SBIE	SFIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFIE	Synch Field計測完了割り込み許可ビット	0 : Synch Field計測完了割り込み禁止 1 : Synch Field計測完了割り込み許可	R/W
b1	SBIE	Synch Break検出割り込み許可ビット	0 : Synch Break検出割り込み禁止 1 : Synch Break検出割り込み許可	R/W
b2	BCIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b3	RXDSF	RXD入カステータスフラグ	0 : RXD入力許可状態 1 : RXD入力禁止状態	R
b4	LSTART	Synch Break検出開始ビット(注1)	1を書くときタイマRJ入力許可、RXD入力禁止になります。読んだ場合、その値は0。	R/W
b5	SBE	RXD入カマスク解除タイミングセレクトビット(スレーブモードのみ有効)	0 : Synch Break検出後に解除 1 : Synch Field計測完了後に解除	R/W
b6	MST	LIN動作モード設定ビット(注2)	0 : スレーブモード (Synch Break検出回路動作) 1 : マスタモード (タイマRJの出力をTXDとORする)	R/W
b7	LINE	LIN動作開始ビット	0 : LINは動作停止 1 : LINは動作開始(注3)	R/W

注1. LSTARTビット設定後、RXDSFビットが1(RXD入力禁止状態)になることを確認してからSynch Breakを入力開始してください。

注2. LIN動作モードを切り替える場合は、一度、LIN動作を停止(LINEビット=0)してください。

注3. LINEビットを1(LINは動作開始)にした直後は、タイマRJおよびUARTへの入力は禁止です(「図25.3、図25.4 ヘッダフィールド送信フローチャート例、図25.6～図25.8 ヘッダフィールド受信フローチャート例」参照)。

25.3.3 LINステータスレジスタ (LINST)

アドレス 0008Fh (LINST_0)、0009Fh (LINST_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	B2CLR	B1CLR	B0CLR	BCDCT	SBDCT	SFDCT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFDCT	Synch Field計測完了フラグ	1のときSynch Field計測完了	R
b1	SBDCT	Synch Break検出フラグ	1のときSynch Break検出、またはSynch Break発生完了	R
b2	BCDCT	バス衝突検出フラグ	1のときバス衝突検出	R
b3	B0CLR	SFDCTビットクリアビット	1を書くとSFDCTビットを0にします。読んだ場合、その値は0。	R/W
b4	B1CLR	SBDCTビットクリアビット	1を書くとSBDCTビットを0にします。読んだ場合、その値は0。	R/W
b5	B2CLR	BCDCTビットクリアビット	1を書くとBCDCTビットを0にします。読んだ場合、その値は0。	R/W
b6	—	予約ビット	書く場合、0を書いてください。読んだ場合、その値は0。	R/W
b7	—			

25.4 動作説明

25.4.1 マスタモード

図25.2にマスタモードでの、ヘッダフィールドの送信時の動作例を、図25.3、図25.4にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRJのTRJCRレジスタのTSTARTビットに1(カウント開始)を書き込むと、タイマRJのTRJレジスタに設定された期間、TXD端子からLレベルを出力します。
- (2) タイマRJがアンダフローすると、TXD端子の出力を反転し、LINSTレジスタのSBDCTビットが1(Synch Break検出、またはSynch Break発生完了)にセットされます。また、LINCTレジスタのSBIEビットを1(Synch Break検出割り込み許可)に設定している場合は、タイマRJ割り込みが発生します。
- (3) UART0により、55hを送信します。
- (4) UART0により、55hの送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

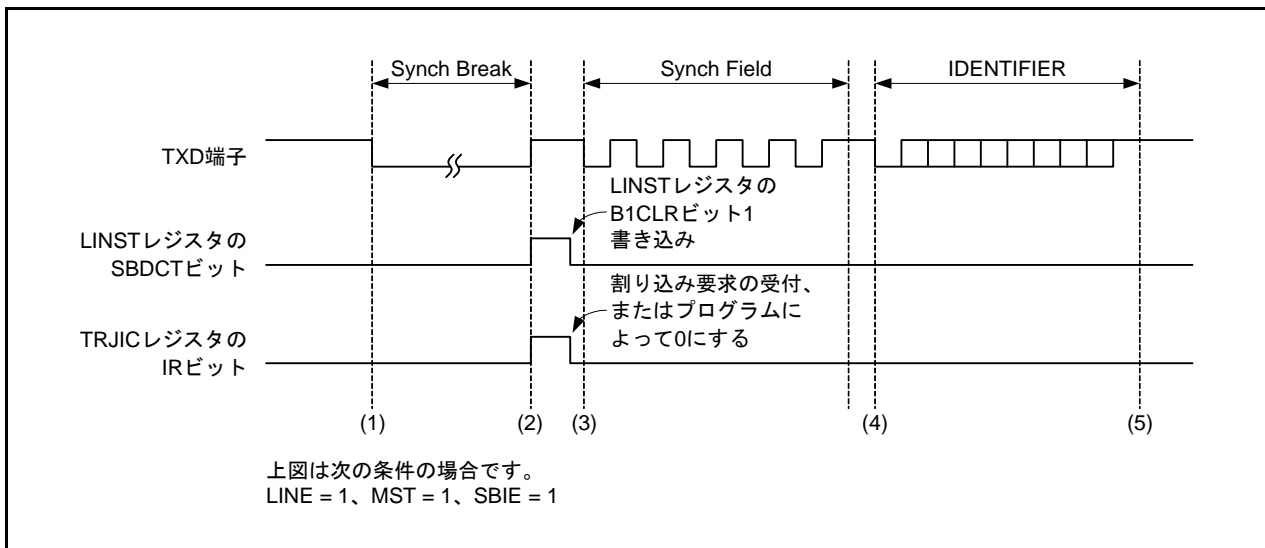


図25.2 ヘッダフィールドの送信時の動作例

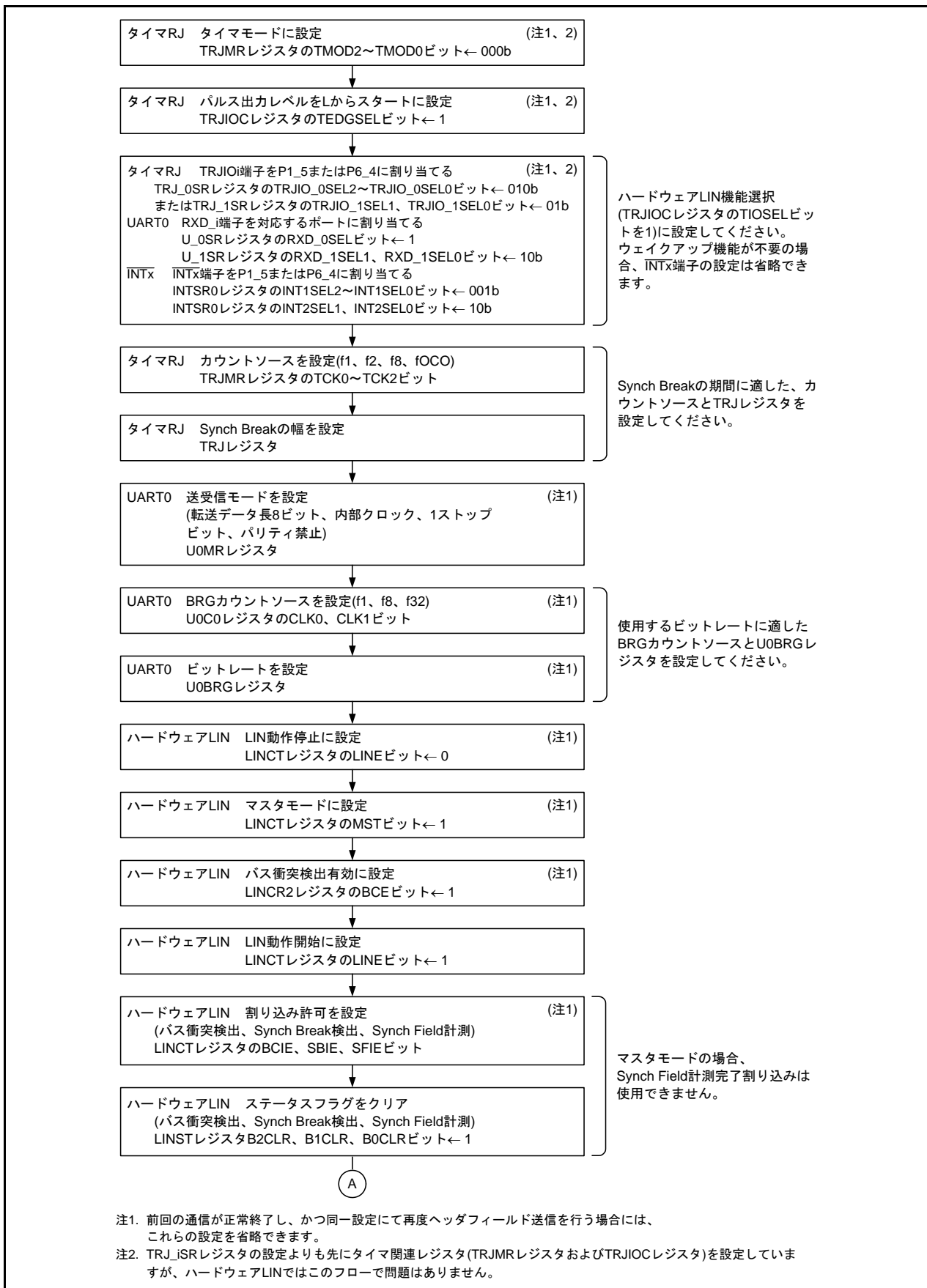


図 25.3 ヘッダフィールド送信フローチャート例(1) (i = 0、1、x = 1、2)

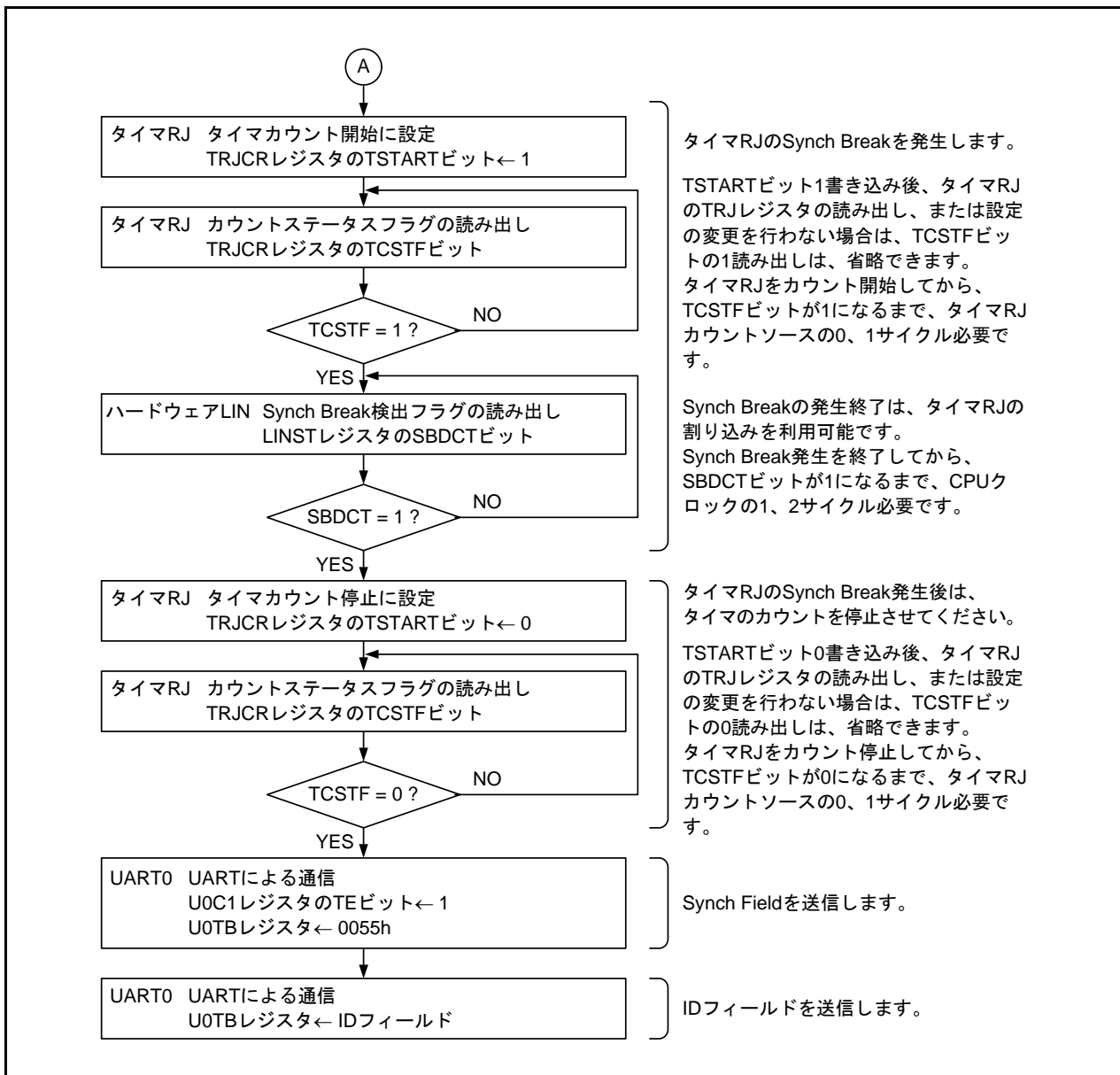


図 25.4 ヘッダフィールド送信フローチャート例(2)

25.4.2 スレーブモード

図 25.5 にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図 25.6～図 25.8 にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCTレジスタのLSTARTビットに1(タイマRJ入力許可、RXD入力禁止)を書き込むと、Synch Break検出が可能になります。
- (2) タイマRJに設定した期間以上のLレベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTビットが1(Synch Break検出、またはSynch Break発生完了)にセットされます。また、LINCTレジスタのSBIEビットを1(Synch Break検出割り込み許可)に設定している場合は、タイマRJ割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。このとき、タイマRJにより、スタートビットおよび0～6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXDに入力するか禁止にするかをLINCTのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTビットが1にセットされます。また、LINCTレジスタのSFIEビットを1に設定している場合は、タイマRJ割り込みが発生します。
- (5) Synch Field計測完了後、タイマRJのカウンタ値から転送速度を算出し、UART0に設定およびタイマRJのTRJレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

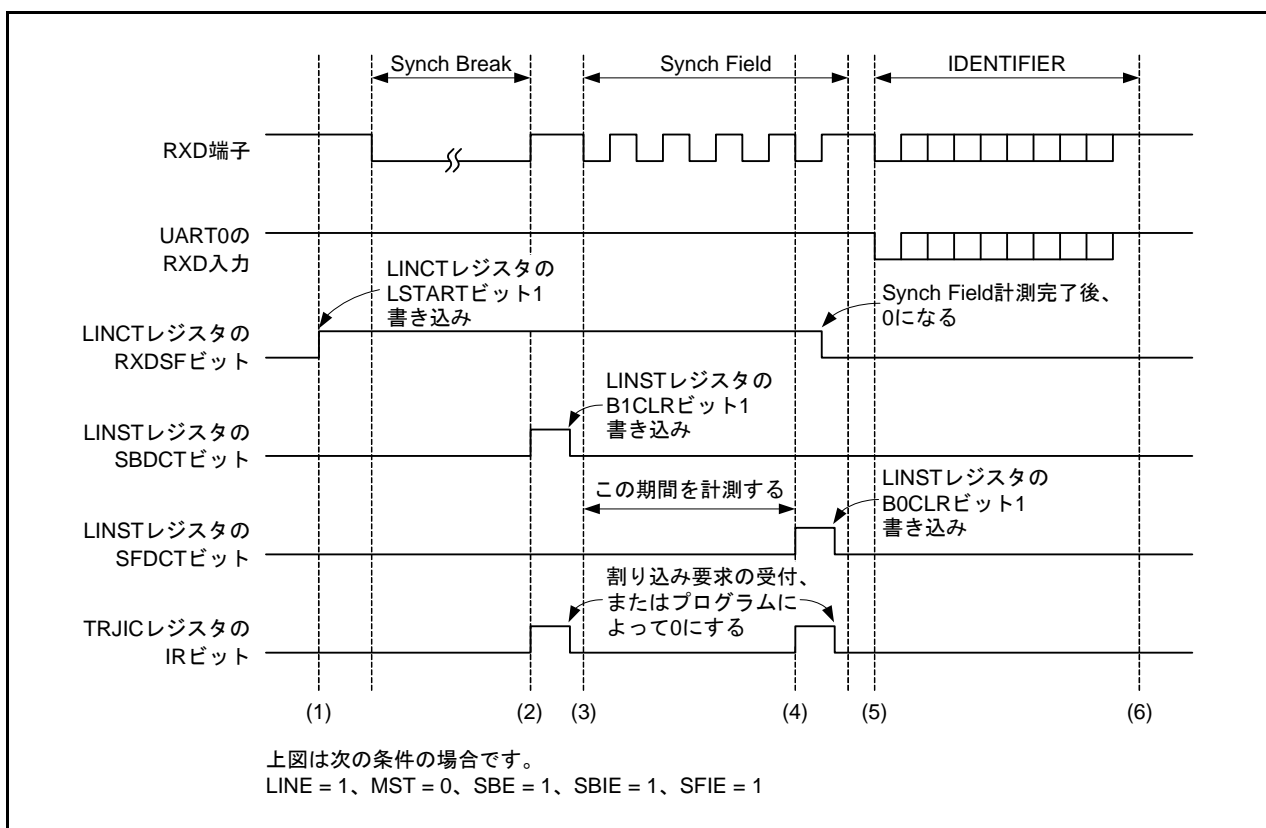


図 25.5 ヘッダフィールドの受信時の動作例

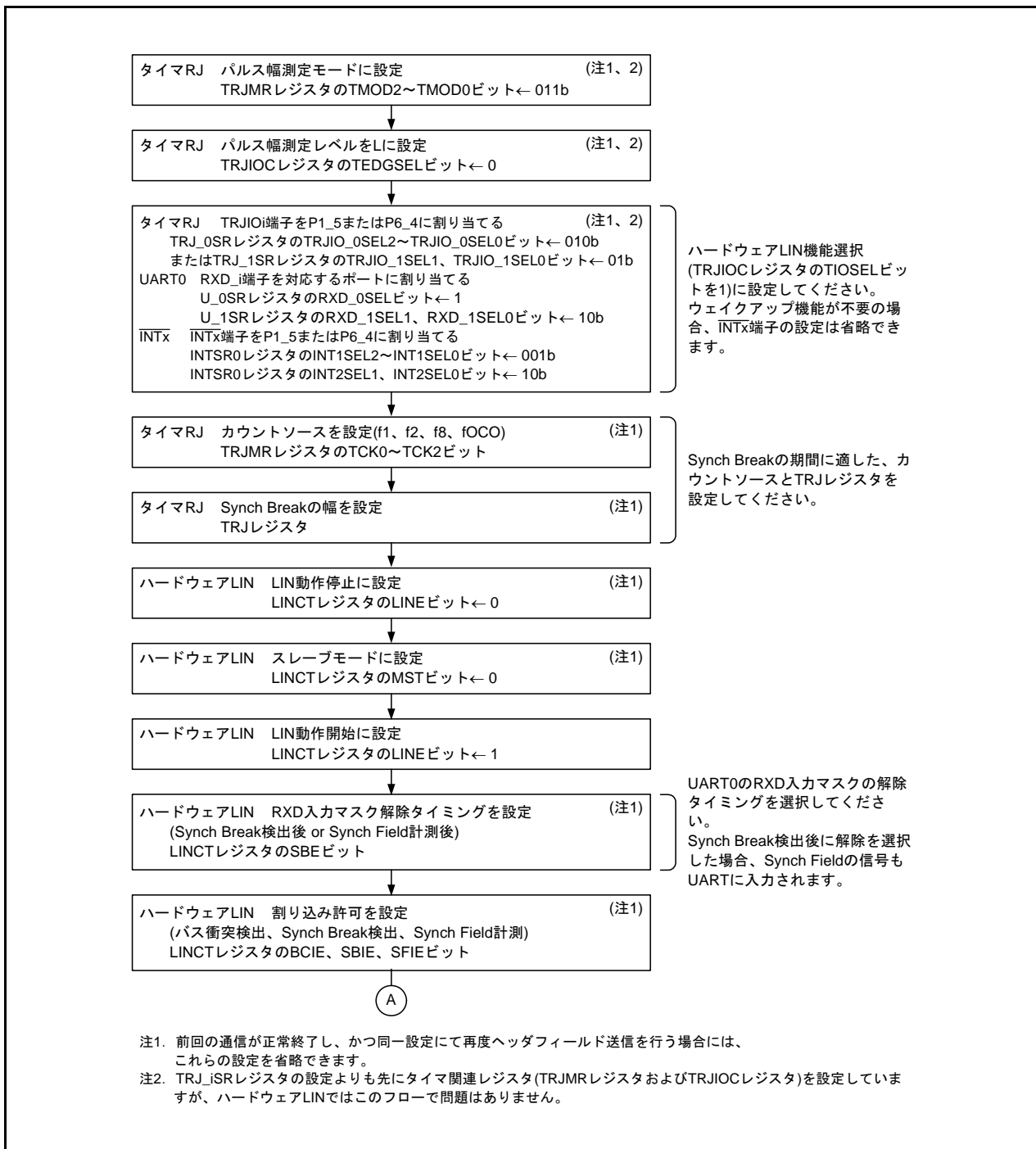


図 25.6 ヘッダフィールド受信フローチャート例 (1) (i = 0、1、x = 1、2)

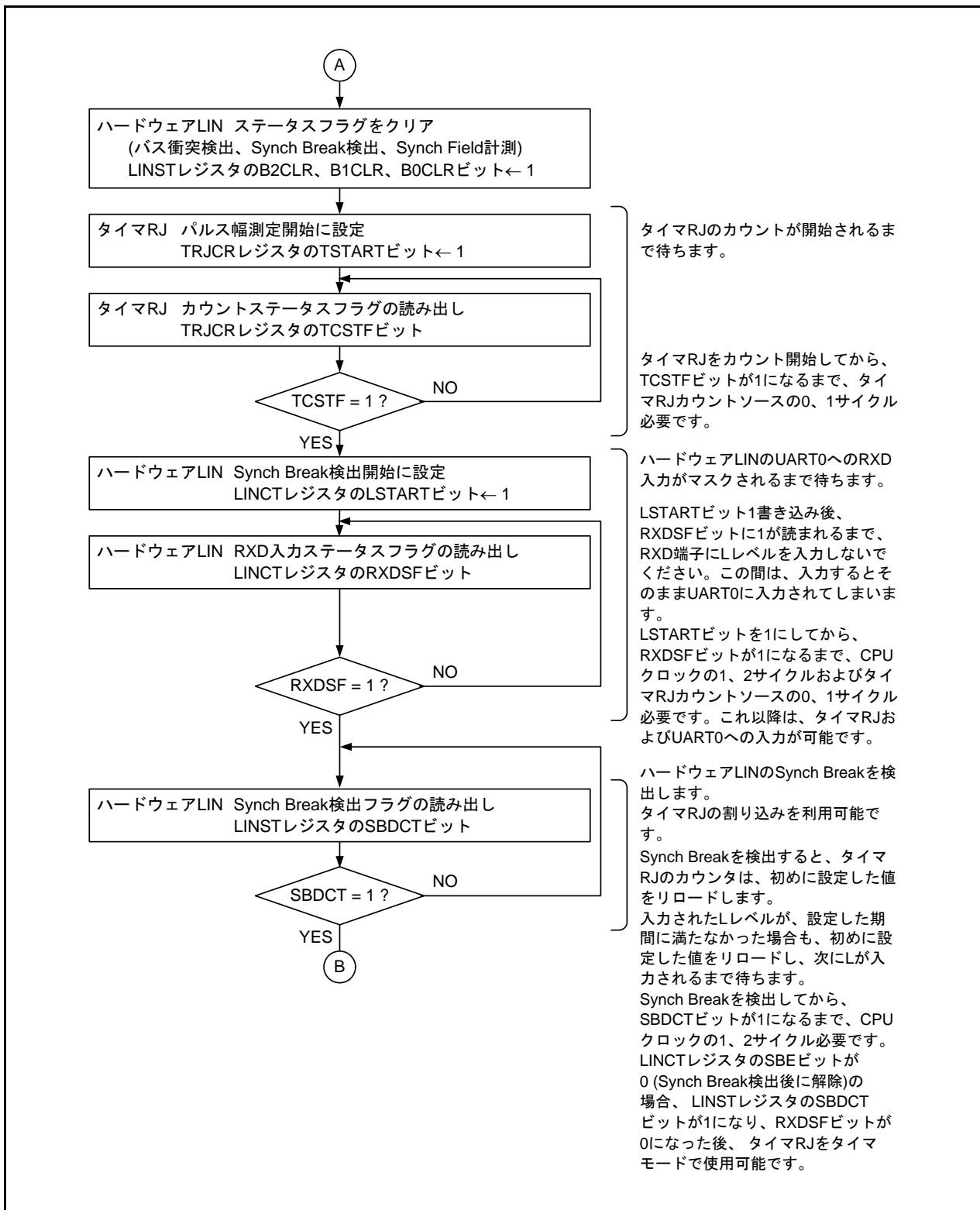


図 25.7 ヘッダフィールド受信フローチャート例(2)

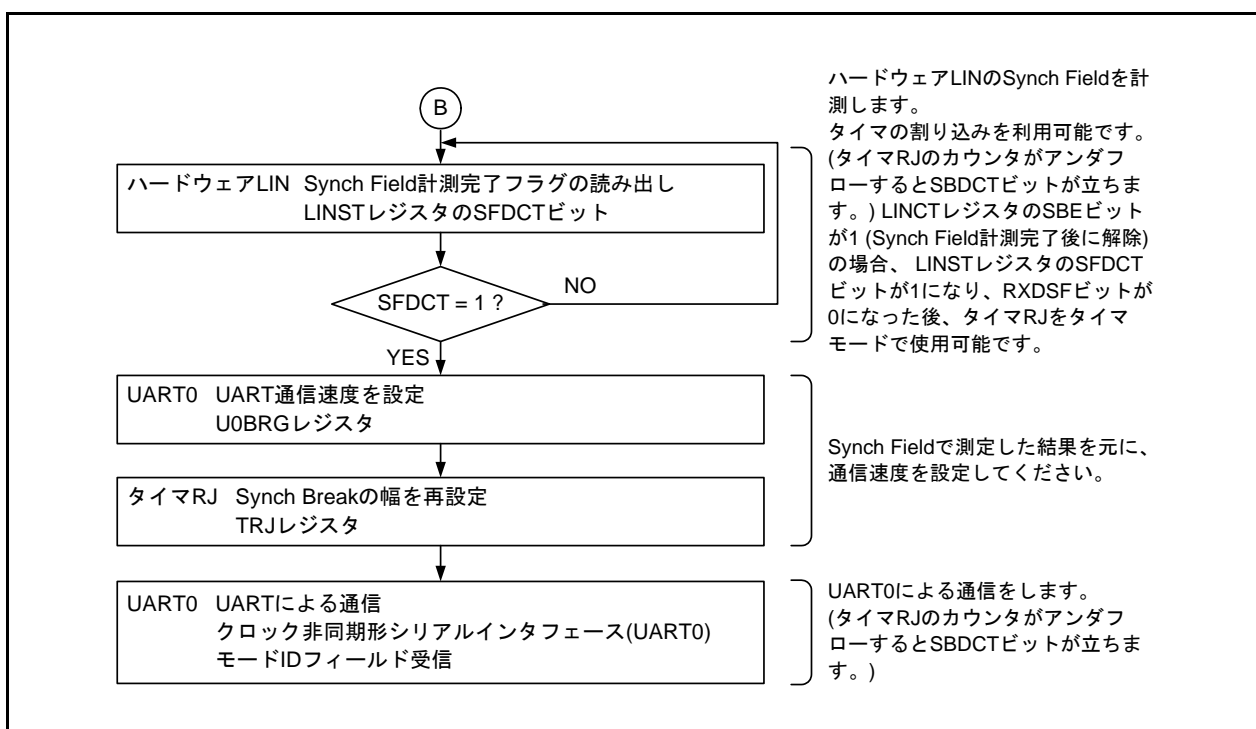


図 25.8 ヘッダフィールド受信フローチャート例(3)

25.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが1(送信許可))の場合、バス衝突検出機能を使用することができます。Synch Break送信中にバス衝突検出を行う場合は、LINC2レジスタのBCEビットを1(バス衝突検出有効)にしてください。

図25.9にバス衝突検出時の動作例を示します。

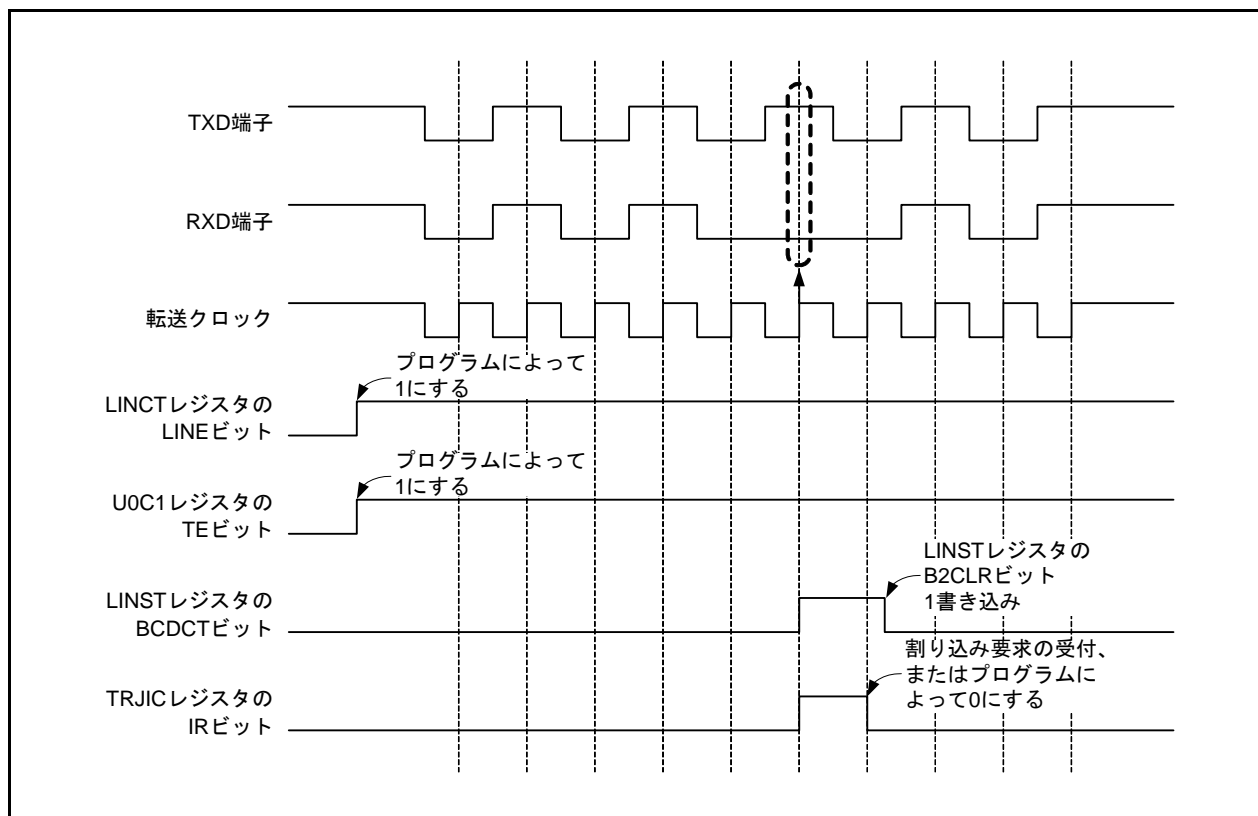


図25.9 バス衝突検出時の動作例

25.4.4 ハードウェアLIN終了処理

図25.10にハードウェアLIN通信終了のフローチャート例を示します。
ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：
ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

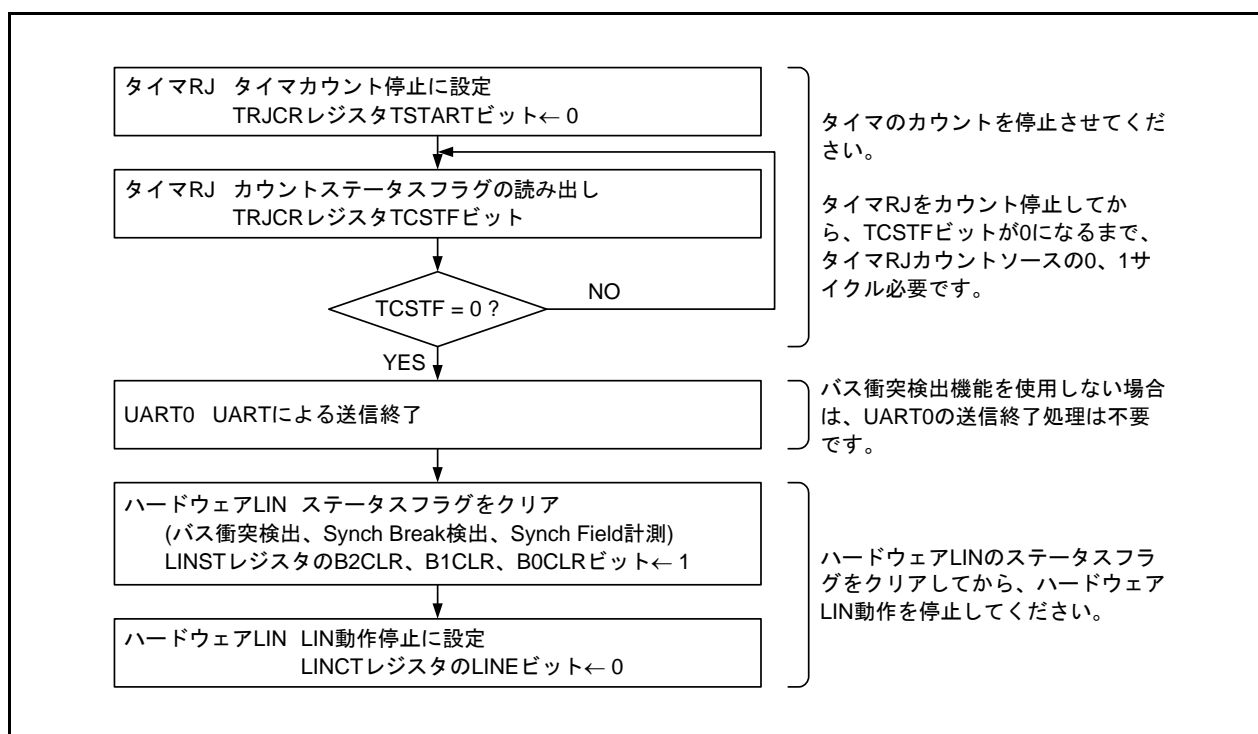


図25.10 ハードウェアLIN通信終了のフローチャート例

25.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRJの割り込みと兼用となっています。

表25.3にハードウェアLINの割り込み要求を示します。

表25.3 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRJによりRXD入力のLレベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長いLレベルが入力されたとき
Synch Break発生完了		タイマRJにより設定された期間、TXDへLレベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRJによりSynch Fieldの6ビット目の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD入力とTXD出力の値が異なったとき

25.6 ハードウェアLIN使用上の注意事項

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、**Synch Break** 検出割り込みを起点に他のタイマで時間計測を行ってください。

26. CANモジュール

ISO11898-1仕様に準拠したCAN (Controller Area Network)モジュールを1チャンネル(CAN_0)内蔵しています。

26.1 概要

CANモジュールは標準(11ビット)IDentifier (以下、IDと略す)と拡張(29ビット)IDの両フォーマットのメッセージを送受信できます。

表26.1、表26.2にCANモジュールの仕様を、図26.1にCANモジュールブロック図を示します。
なお、CANバストランシーバは外付けしてください。

表26.1 CANモジュールの仕様(1)

項目	仕様
プロトコル	ISO11898-1仕様準拠
ビットレート	最大1Mbps
メッセージボックス	16メールボックス 2種類のメールボックスモードを選択可能 <ul style="list-style-type: none"> • 通常メールボックスモード 16メールボックスを送信または受信用に設定可能 • FIFOメールボックスモード 8メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOを設定可能
受信	<ul style="list-style-type: none"> • データフレームとリモートフレームを受信可能 • 受信するIDフォーマット(標準IDのみ、拡張IDのみ、標準IDと拡張IDの両方)を選択可能 • ワンショット受信機能を選択可能 • オーバライトモード(メッセージ上書き)またはオーバランモード(メッセージ破棄)を選択可能 • 受信完了割り込みの許可/禁止をメールボックスごとに設定可能
アクセプタンスフィルタ	<ul style="list-style-type: none"> • 4つのアクセプタンスマスク(メールボックス4個ごとに個別のマスク) • メールボックスごとにマスクの有効/無効を設定可能
送信	<ul style="list-style-type: none"> • データフレームとリモートフレームを送信可能 • 送信するIDフォーマット(標準IDのみ、拡張IDのみ、標準IDと拡張IDの両方)を選択可能 • ワンショット送信機能を選択可能 • ID優先送信モードまたはメールボックス番号優先送信モードを選択可能 • 送信要求をアボート可能(フラグでアボート完了を確認可能) • 送信完了割り込みの許可/禁止をメールボックスごとに設定可能
バスオフ復帰モード遷移	バスオフ状態からの復帰モード遷移を選択可能 <ul style="list-style-type: none"> • ISO11898-1仕様準拠 • バスオフ開始でCAN Haltモードへ自動遷移 • バスオフ終了でCAN Haltモードへ自動遷移 • プログラムによるCAN Haltモードへの遷移 • プログラムによるエラーアクティブ状態への遷移
エラー状態の監視	<ul style="list-style-type: none"> • CANバスエラー(スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー)を監視可能 • エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) • エラーカウンタを読み出し可能
タイムスタンプ機能	<ul style="list-style-type: none"> • 16ビットカウンタによるタイムスタンプ機能 • 基準クロックは、1、2、4、8ビットタイムから選択可能

表26.2 CANモジュールの仕様(2)

項目	仕様
割り込み機能	6種類 • 受信完了 • 送信完了 • 受信FIFO • 送信FIFO • エラー • ウェイクアップ
CANスリープモード	CANクロックを停止することで消費電流を低減可能
ソフトウェアサポート ユニット	3つのソフトウェアサポートユニット • アクセプタンスフィルタサポート • メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) • チャンネル検索サポート
CANクロックソース	CAN用クロックかCPUクロックを選択可能
テストモード	ユーザ評価用に3つのテストモードを用意 • リッスンオンリモード • セルフテストモード0(外部ループバック) • セルフテストモード1(内部ループバック)

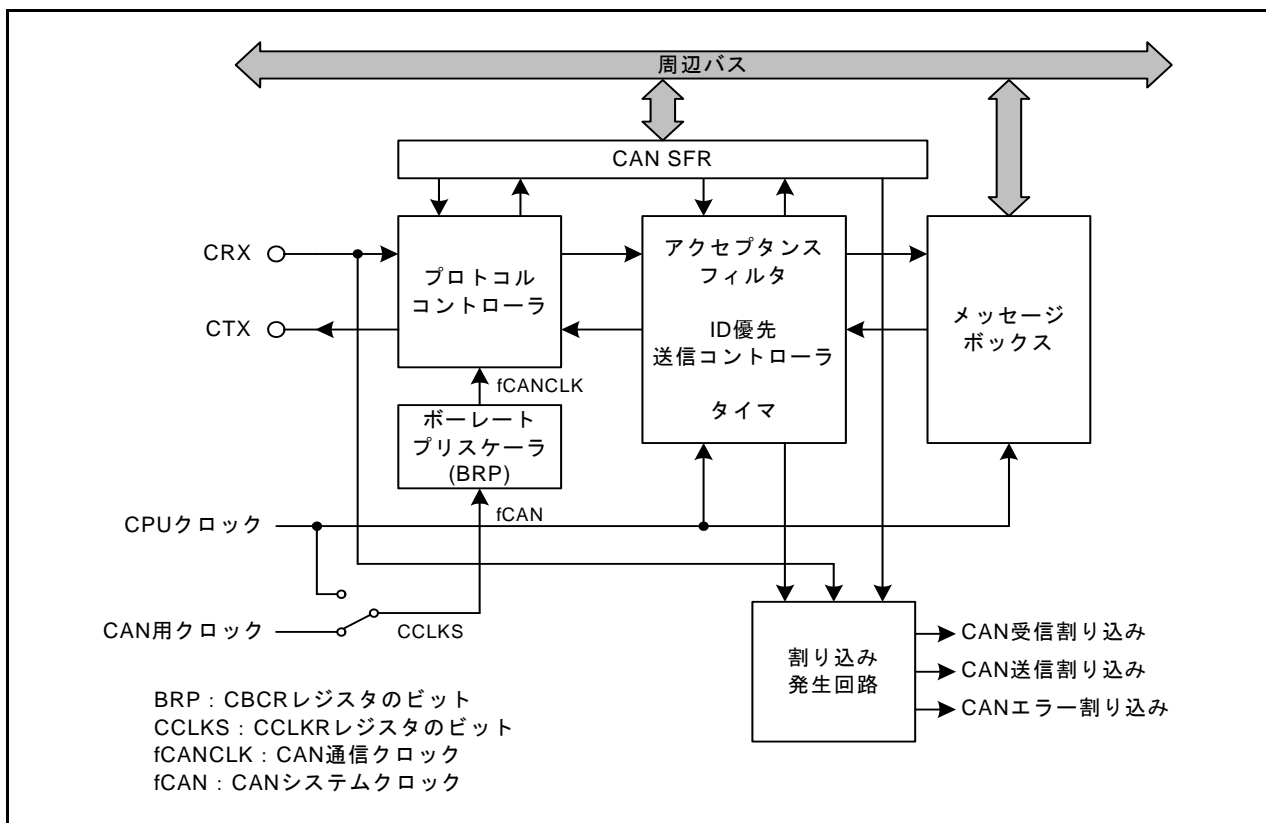


図 26.1 CANモジュールブロック図

- CRX/CTX : CANの入出力端子です。
- CAN用クロック : クロックの周波数は、CPUクロックの周波数と等しいか、遅いクロックになるようにしてください。
- プロトコルコントローラ : バスアービトラージョンや送受信時のビットタイミング、スタッフ処理、エラー処理などのCANプロトコル処理を行います。
- メッセージボックス : 送信または受信メールボックスとして使用可能な16個のメールボックスで構成されています。各メールボックスには固有のID、データ長コード、8バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ : 受信メッセージのフィルタ処理を行います。このフィルタ処理には、CMKR0～CMKR3レジスタを使用します。
- タイマ : タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。
- ウェイクアップ : CANバス上にメッセージが検出されると、CANウェイクアップ割り込み要求を発生します。
- 割り込み発生回路 : 次の3種類の割り込み要求を発生させることができます。各割り込みは、CANISRレジスタによって割り込み要因を判別することができます。
 - CAN受信割り込み
(CAN受信完了割り込みとCAN受信FIFO割り込みで共有)
 - CAN送信割り込み
(CAN送信完了割り込みとCAN送信FIFO割り込みで共有)
 - CANエラー割り込み
(CANエラー割り込みとCANウェイクアップ割り込みで共有)
- CAN SFR : CAN関連のレジスタです。詳細は「26.2 レジスタの説明」を参照してください。

26.2 レジスタの説明

表26.3、表26.4にCANモジュールのレジスタ構成を示します。

表26.3 CANモジュールのレジスタ構成(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CAN_0メールボックス0～ CAN_0メールボックス15	CMB0_0～ CMB15_0	(XXXXXXXXXXXXXXXXXXXX XXXXXXXXXXXXXXXXXXh) × 16	06E00h～ 06EF0h	8または16
CAN_0マスクレジスタ0	CMKR0_0	XXh	06F10h	8または16
		XXh	06F11h	
		XXh	06F12h	
		XXh	06F13h	
CAN_0マスクレジスタ1	CMKR1_0	XXh	06F14h	8または16
		XXh	06F15h	
		XXh	06F16h	
		XXh	06F17h	
CAN_0マスクレジスタ2	CMKR2_0	XXh	06F18h	8または16
		XXh	06F19h	
		XXh	06F1Ah	
		XXh	06F1Bh	
CAN_0マスクレジスタ3	CMKR3_0	XXh	06F1Ch	8または16
		XXh	06F1Dh	
		XXh	06F1Eh	
		XXh	06F1Fh	
CAN_0 FIFO受信ID比較レジスタ0	CFIDCR0_0	XXh	06F20h	8または16
		XXh	06F21h	
		XXh	06F22h	
		XXh	06F23h	
CAN_0 FIFO受信ID比較レジスタ1	CFIDCR1_0	XXh	06F24h	8または16
		XXh	06F25h	
		XXh	06F26h	
		XXh	06F27h	
CAN_0マスク無効レジスタ	CMKIVLR_0	XXh	06F2Ah	8または16
		XXh	06F2Bh	
CAN_0メールボックス割り込み許可レジスタ	CMIER_0	XXh	06F2Eh	8または16
		XXh	06F2Fh	
CAN_0メッセージ制御レジスタ0	CMCTL0_0	00h	06F30h	8
CAN_0メッセージ制御レジスタ1	CMCTL1_0	00h	06F31h	8
CAN_0メッセージ制御レジスタ2	CMCTL2_0	00h	06F32h	8
CAN_0メッセージ制御レジスタ3	CMCTL3_0	00h	06F33h	8
CAN_0メッセージ制御レジスタ4	CMCTL4_0	00h	06F34h	8
CAN_0メッセージ制御レジスタ5	CMCTL5_0	00h	06F35h	8
CAN_0メッセージ制御レジスタ6	CMCTL6_0	00h	06F36h	8
CAN_0メッセージ制御レジスタ7	CMCTL7_0	00h	06F37h	8
CAN_0メッセージ制御レジスタ8	CMCTL8_0	00h	06F38h	8
CAN_0メッセージ制御レジスタ9	CMCTL9_0	00h	06F39h	8
CAN_0メッセージ制御レジスタ10	CMCTL10_0	00h	06F3Ah	8
CAN_0メッセージ制御レジスタ11	CMCTL11_0	00h	06F3Bh	8
CAN_0メッセージ制御レジスタ12	CMCTL12_0	00h	06F3Ch	8
CAN_0メッセージ制御レジスタ13	CMCTL13_0	00h	06F3Dh	8
CAN_0メッセージ制御レジスタ14	CMCTL14_0	00h	06F3Eh	8
CAN_0メッセージ制御レジスタ15	CMCTL15_0	00h	06F3Fh	8
CAN_0制御レジスタ	CCTLR_0	00000101b	06F40h	8または16
		00h	06F41h	

表26.4 CANモジュールのレジスタ構成(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CAN_0ステータスレジスタ	CSTR_0	00000101b	06F42h	8または16
		00h	06F43h	
CAN_0ビットコンフィグレーションレジスタ	CBCR_0	00h	06F44h	8または16
		00h	06F45h	
		00h	06F46h	
CAN_0クロック選択レジスタ	CCLKR_0	00h	06F47h	8
CAN_0受信FIFO制御レジスタ	CRFCR_0	10000000b	06F48h	8
CAN_0受信FIFOポインタ制御レジスタ	CRFPCR_0	XXh	06F49h	8
CAN_0送信FIFO制御レジスタ	CTFCR_0	10000000b	06F4Ah	8
CAN_0送信FIFOポインタ制御レジスタ	CTFPCR_0	XXh	06F4Bh	8
CAN_0エラー割り込み許可レジスタ	CEIER_0	00h	06F4Ch	8
CAN_0エラー割り込み要因判定レジスタ	CEIFR_0	00h	06F4Dh	8
CAN_0受信エラーカウントレジスタ	CRECR_0	00h	06F4Eh	8
CAN_0送信エラーカウントレジスタ	CTECCR_0	00h	06F4Fh	8
CAN_0エラーコード格納レジスタ	CECSR_0	00h	06F50h	8
CAN_0チャンネルサーチサポートレジスタ	CCSSR_0	XXh	06F51h	8
CAN_0メールボックスサーチステータスレジスタ	CMSSR_0	10000000b	06F52h	8
CAN_0メールボックスサーチモードレジスタ	CMSMR_0	00h	06F53h	8
CAN_0タイムスタンプレジスタ	CTSR_0	0000h	06F54h	16
CAN_0アクセプタンスフィルタサポートレジスタ	CAFSR_0	XXh	06F56h	8または16
		XXh	06F57h	
CAN_0テスト制御レジスタ	CTCR_0	00h	06F58h	8
CAN_0割り込みステータスレジスタ	CANISR_0	00h	06F7Eh	8
CAN_0割り込み制御レジスタ	CANIE_0	00h	06F7Fh	8

26.2.1 CANメールボックス(CMB_j) (j = 0 ~ 15)

表26.5にCANメールボックスのメモリ配置を、表26.6にCANデータフレームの構成を示します。
CANメールボックスのリセット後の値は不定です。

アドレス 06E00h (CMB0_0)、06E10h (CMB1_0)、06E20h (CMB2_0)、06E30h (CMB3_0)、
06E40h (CMB4_0)、06E50h (CMB5_0)、06E60h (CMB6_0)、06E70h (CMB7_0)、
06E80h (CMB8_0)、06E90h (CMB9_0)、06EA0h (CMB10_0)、06EB0h (CMB11_0)、
06EC0h (CMB12_0)、06ED0h (CMB13_0)、06EE0h (CMB14_0)、06EF0h (CMB15_0)

表26.5 CANメールボックスのメモリ配置

アドレス	メッセージ内容
CAN_0	メモリ配置
06E00h + j × 16 + 0	EID7 ~ EID0
06E00h + j × 16 + 1	EID15 ~ EID8
06E00h + j × 16 + 2	SID5 ~ SID0、EID17、EID16
06E00h + j × 16 + 3	IDE、RTR、SID10 ~ SID6
06E00h + j × 16 + 4	—
06E00h + j × 16 + 5	データ長コード(DLC)
06E00h + j × 16 + 6	データバイト0
06E00h + j × 16 + 7	データバイト1
⋮	⋮
⋮	⋮
⋮	⋮
06E00h + j × 16 + 13	データバイト7
06E00h + j × 16 + 14	タイムスタンプ下位バイト
06E00h + j × 16 + 15	タイムスタンプ上位バイト

j: メールボックス番号(j = 0 ~ 15)

表26.6 CANデータフレームの構成

SID10 ~ SID6	SID5 ~ SID0	EID17 ~ EID16	EID15 ~ EID8	EID7 ~ EID0	DLC3 ~ DLC0	DATA0	DATA1	...	DATA7
-----------------	----------------	------------------	-----------------	----------------	----------------	-------	-------	-----	-------

アドレス 06E00h + j × 16 + 0 ~ 06E00h + j × 16 + 3 (CMB0_0 ~ CMB15_0) (j = 0 ~ 15)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	EID15	EID14	EID13	EID12	EID11	EID10	EID9	EID8
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	SID5	SID4	SID3	SID2	SID1	SID0	EID17	EID16
リセット後の値	X	X	X	X	X	X	X	X

ビット	b31	b30	b29	b28	b27	b26	b25	b24
シンボル	IDE	RTR	—	SID10	SID9	SID8	SID7	SID6
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b17 ~ b0	EID17 ~ EID0	拡張IDビット (注1)	0 : 対応するEIDビットは0 1 : 対応するEIDビットは1	R/W
b28 ~ b18	SID10 ~ SID0	標準IDビット	0 : 対応するSIDビットは0 1 : 対応するSIDビットは1	R/W
b29	—	予約ビット	0にしてください	R/W
b30	RTR	リモートフレーム要求ビット	0 : データフレーム 1 : リモートフレーム	R/W
b31	IDE	ID拡張ビット (注2)	0 : 標準ID 1 : 拡張ID	R/W

注1. メールボックスが標準IDのメッセージを受信した場合、メールボックスのEIDビットは不定になります。

注2. IDEビットは、CCTLRレジスタのIDFM1、IDFM0ビットが10b (ミックスIDモード) のとき有効です。IDFM1、IDFM0ビットが10b以外のときは、0を書いてください。

アドレス 06E00h + j × 16 + 4 ~ 06E00h + j × 16 + 5 (CMB0_0 ~ CMB15_0) (j = 0 ~ 15)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	DLC3	DLC2	DLC1	DLC0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b7 ~ b0	—	予約ビット	0にしてください	R/W
b11 ~ b8	DLC3 ~ DLC0	データ長コード (注1)	0h ~ Fh	R/W
b15 ~ b12	—	予約ビット	0にしてください	R/W

注1. メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATA_n ~ DATA₇の値は不定になります。

アドレス $06E00h + j \times 16 + 6 \sim 06E00h + j \times 16 + 13$ (CMB0_0 ~ CMB15_0) ($j = 0 \sim 15$)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DATA07	DATA06	DATA05	DATA04	DATA03	DATA02	DATA01	DATA00
リセット後の値	X	X	X	X	X	X	X	X

⋮

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DATA77	DATA76	DATA75	DATA74	DATA73	DATA72	DATA71	DATA70
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b7 ~ b0	DATAi7 ~ DATAi0 ($i = 0 \sim 7$)	データバイト0 ~ 7 (注1、2)	00h ~ FFh	R/W

注1. メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATA n ~ DATA7の値は不定になります。

注2. メールボックスがリモートフレームを受信した場合、メールボックスのDATA0 ~ DATA7は以前の値が保持されます。

アドレス $06E00h + j \times 16 + 14 \sim 06E00h + j \times 16 + 15$ (CMB0_0 ~ CMB15_0) ($j = 0 \sim 15$)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSL7	TSL6	TSL5	TSL4	TSL3	TSL2	TSL1	TSL0
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TSH7	TSH6	TSH5	TSH4	TSH3	TSH2	TSH1	TSH0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b7 ~ b0	TSL7 ~ TSL0	タイムスタンプ下位バイト	00h ~ FFh	R/W
b15 ~ b8	TSH7 ~ TSH0	タイムスタンプ上位バイト		R/W

CMB j レジスタ($j = 0 \sim 15$)は、関連するCMCTL j レジスタが00hでかつアポート処理中でないときに変更してください。

CMB j レジスタの詳細なアドレスについては「表26.5 CANメールボックスのメモリ配置」を参照してください。

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

EID0 ~ EID17ビット(拡張IDビット)

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを送受信する場合に使用します。

SID0 ~ SID10ビット(標準IDビット)

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを送受信する場合の両方で使用します。

RTRビット(リモートフレーム要求ビット)

データフレームまたはリモートフレームのフレームフォーマットを設定します。以下の動作を指定します。

- 受信メールボックスは、RTRビットで選択したフレームフォーマットのみ受信する
- 送信メールボックスは、RTRビットで選択したフレームフォーマットで送信を行う
- 受信FIFOメールボックスは、CFIDCR0、CFIDCR1レジスタのRTRビットで選択したデータフレーム、リモートフレーム、または両方のフレームを受信する
- 送信FIFOメールボックスは、関連する送信メッセージのRTRビットで選択したデータフレームまたはリモートフレームを送信する

IDEビット(ID拡張ビット)

標準IDまたは拡張IDのIDフォーマットを設定します。

CCTLRレジスタのIDFM1、IDFM0ビットが10b(ミックスIDモード)のとき有効です。

IDFM1、IDFM0ビットが10bのとき、IDEビットは以下の動作を指定します。

- 受信メールボックスは、IDEビットで選択したIDフォーマットのみ受信する
- 送信メールボックスは、IDEビットで選択したIDフォーマットで送信を行う
- 受信FIFOメールボックスは、CFIDCR0、CFIDCR1レジスタのIDEビットで選択した標準ID、拡張ID、または両方のIDメッセージを受信する
- 送信FIFOメールボックスは、関連する送信メッセージのIDEビットで選択した標準IDまたは拡張IDのメッセージを送信する

DLC0～DLC3ビット(データ長コード)

データフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

表26.7にDLCと対応するデータ長を示します。

表26.7 DLCと対応するデータ長

DLC3	DLC2	DLC1	DLC0	データ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	×	×	×	8バイト

×: 任意の値

DATA0～DATA7ビット(データバイト)

送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。

CANバス上のビットオーダは、MSBファーストでビット7から送信または受信されます。

TSL0～TSL7ビット(タイムスタンプ下位バイト)、

TSH0～TSH7ビット(タイムスタンプ上位バイト)

受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します。

26.2.2 CANマスクレジスタk (CMKRk) (k = 0~3)

アドレス 06F10h (CMKR0_0)、06F14h (CMKR1_0)、06F18h (CMKR2_0)、06F1Ch (CMKR3_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	EID15	EID14	EID13	EID12	EID11	EID10	EID9	EID8
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	SID5	SID4	SID3	SID2	SID1	SID0	EID17	EID16
リセット後の値	X	X	X	X	X	X	X	X

ビット	b31	b30	b29	b28	b27	b26	b25	b24
シンボル	—	—	—	SID10	SID9	SID8	SID7	SID6
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b17~b0	EID17~EID0	拡張IDビット	0: 対応するEIDビットは比較されない 1: 対応するEIDビットは比較される	R/W
b28~b18	SID10~SID0	標準IDビット	0: 対応するSIDビットは比較されない 1: 対応するSIDビットは比較される	R/W
b31~b29	—	予約ビット	0にしてください	R/W

CMKR0~CMKR3レジスタは、CANリセットモードまたはCAN Haltモード時に変更してください。

FIFO メールボックスモードでのマスク機能については「26.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

EID0~EID17ビット(拡張IDビット)

CAN拡張IDビットに対応するフィルタマスクビットです。拡張IDのメッセージを受信する場合に使用します。

0の場合、対応するEIDビットは、受信したIDとメールボックスのIDを比較しません。

1の場合、対応するEIDビットは、受信したIDとメールボックスのIDを比較します。

SID0~SID10ビット(標準IDビット)

CAN標準IDビットに対応するフィルタマスクビットです。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

0の場合、対応するSIDビットは、受信したIDとメールボックスのIDを比較しません。

1の場合、対応するSIDビットは、受信したIDとメールボックスのIDを比較します。

26.2.3 CAN FIFO受信ID比較レジスタ n (CFIDCRn) (n = 0, 1)

アドレス 06F20h (CFIDCR0_0)、06F24h (CFIDCR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	EID15	EID14	EID13	EID12	EID11	EID10	EID9	EID8
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	SID5	SID4	SID3	SID2	SID1	SID0	EID17	EID16
リセット後の値	X	X	X	X	X	X	X	X

ビット	b31	b30	b29	b28	b27	b26	b25	b24
シンボル	IDE	RTR	—	SID10	SID9	SID8	SID7	SID6
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b17～b0	EID17～EID0	拡張IDビット	0: 対応するEIDビットは0 1: 対応するEIDビットは1	R/W
b28～b18	SID10～SID0	標準IDビット	0: 対応するSIDビットは0 1: 対応するSIDビットは1	R/W
b29	—	予約ビット	0にしてください	R/W
b30	RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張ビット (注1)	0: 標準ID 1: 拡張ID	R/W

注1. IDEビットは、CCTLRレジスタのIDFM1、IDFM0ビットが10b (ミックスIDモード)のとき有効です。IDFM0ビットが00b (標準IDモード)または01b (拡張IDモード)のときは、0を書いてください。

CFIDCR0、CFIDCR1レジスタは、CANリセットモードまたはCAN Haltモード時に変更してください。

CFIDCR0、CFIDCR1レジスタは、CCTLRレジスタのMBMビットが1 (FIFOメールボックスモード)のとき有効です。CMB12～CMB15レジスタのEID0～EID17、SID0～SID10、RTR、IDEビットは無効です。

CFIDCR0、CFIDCR1レジスタの使用方法については「26.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

EID0～EID17ビット(拡張IDビット)

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを受信する場合に使用します。

SID0～SID10ビット(標準IDビット)

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

RTRビット(リモートフレーム要求ビット)

データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。
以下の動作を指定します。

- CFIDCR0、CFIDCR1レジスタの両方のRTRビットが0の場合、データフレームのみ受信できます。
- CFIDCR0、CFIDCR1レジスタの両方のRTRビットが1の場合、リモートフレームのみ受信できます。
- CFIDCR0、CFIDCR1レジスタのRTRビットが0と1のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

IDEビット(ID拡張ビット)

標準IDまたは拡張IDのIDフォーマットを設定します。

CCTLRレジスタのIDFM1、IDFM0ビットが10b(ミックスIDモード)のとき有効です。

IDFM1、IDFM0ビットが10bのとき、以下の動作を指定します。

- CFIDCR0、CFIDCR1レジスタの両方のIDEビットが0の場合、標準IDフレームのみ受信できます。
- CFIDCR0、CFIDCR1レジスタの両方のIDEビットが1の場合、拡張IDフレームのみ受信できます。
- CFIDCR0、CFIDCR1レジスタのIDEビットが0と1のそれぞれ異なる設定の場合、標準IDと拡張IDのフレームの両方を受信できます。

26.2.4 CANマスク無効レジスタ(CMKIVLR)

アドレス 06F2Ah (CMKIVLR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	モード	ビット名	機能	R/W
b15~b0	通常メールボックスモード	マスク無効ビット	0: マスク有効 1: マスク無効	R/W
b7~b0	FIFOメールボックスモード	マスク無効ビット	0: マスク有効 1: マスク無効	R/W
b15~b8		予約ビット	0にしてください	R/W

CMKIVLRレジスタは、CANリセットモードまたはCAN Haltモード時に変更してください。

CMKIVLRレジスタの各ビットは、同じ番号のメールボックスに対応します。1の場合、ビット番号に対応するメールボックスのアクセプタンスマスクは無効となります。この場合、メールボックスは受信メッセージのIDとCMBjレジスタ(j=0~15)のSID0~SID10、EID0~EID17ビットが一致する場合にのみ受信します。

26.2.5 CANメールボックス割り込み許可レジスタ (CMIER)

アドレス 06F2Eh (CMIER_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	モード	ビット名	機能	R/W
b15～b0	通常メールボックスモード	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W

b7～b0	FIFOメールボックスモード	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b8		送信FIFO割り込み許可ビット	1: 割り込み許可	R/W
b9		送信FIFO割り込み発生 タイミング制御ビット	送信FIFO割り込み要求は、 0: 毎回の送信完了後発生 1: 送信完了によって送信FIFOが空状態になったとき発生	R/W
b11～b10		予約ビット	0にしてください	R/W
b12		受信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b13		受信FIFO割り込み発生 タイミング制御ビット	受信FIFO割り込み要求は 0: 毎回の受信完了後発生 1: 受信完了によって受信FIFOがバッファ ワーニングになったとき発生(注1)	R/W
b15～b14		予約ビット	0にしてください	R/W

注1. 受信FIFOがフルからバッファワーニングとなった場合、割り込み要求は発生しません。

CMIERレジスタは、関連するCMCTLjレジスタ(j=0～15)が00hで、対応するメールボックスが送信アボートの処理をしていないときのみ変更してください。

関連するFIFOのCMIERレジスタのビットは、FIFOメールボックスモードの場合、CTFCRレジスタのTFEビットが0(送信FIFO禁止)でTFESTビットが1(送信FIFOに未送信メッセージなし)、CRFCRレジスタでRFEビットが0(受信FIFO禁止)でRFESTビットが1(受信FIFOに未読メッセージなし)のときにのみ変更してください。

メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード(ビット0～15)とFIFOメールボックスモード(ビット0～7)では、それぞれのビットは同じ番号のメールボックスに対応します。これらのビットは、対応するメールボックスの送信完了/受信完了割り込みを許可/禁止します。

FIFOメールボックスモードのビット8、9、12、13は送信/受信FIFO割り込みの許可/禁止と割り込み要求が発生するタイミングを指定します。

バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

26.2.6 CANメッセージ制御レジスタj (CMCTLj) (j = 0 ~ 15)

アドレス 06F30h (CMCTL0_0)、06F31h (CMCTL1_0)、06F32h (CMCTL2_0)、06F33h (CMCTL3_0)、
 06F34h (CMCTL4_0)、06F35h (CMCTL5_0)、06F36h (CMCTL6_0)、06F37h (CMCTL7_0)、
 06F38h (CMCTL8_0)、06F39h (CMCTL9_0)、06F3Ah (CMCTL10_0)、
 06F3Bh (CMCTL11_0)、06F3Ch (CMCTL12_0)、06F3Dh (CMCTL13_0)、
 06F3Eh (CMCTL14_0)、06F3Fh (CMCTL15_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST TRMABT	INVALIDDATA TRMACTIVE	NEWDATA SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEWDATA	受信完了フラグ (注1、2)	(受信メールボックス設定時有効) 0: データが受信されていない、またはNEWDATA ビットに0を書いた場合 1: 新しいメッセージをメールボックスに格納中、 または格納された	R/W
	SENTDATA	送信完了フラグ (注1、2)	(送信メールボックス設定時有効) 0: 送信が終了していない(ペンディングの場合) 1: 送信完了(成功)	R/W
b1	INVALIDDATA	受信中ステータスフラグ	(受信メールボックス設定時有効) 0: メッセージは有効 1: メッセージ更新中	R
	TRMACTIVE	送信中ステータスフラグ	(送信メールボックス設定時有効) 0: 送信待機中、または送信要求なし 1: 送信要求の取り込みから、送信完了、エラー発生 またはアービトレーションロスト発生まで	R
b2	MSGLOST	メッセージロストフラグ (注1、2)	(受信メールボックス設定時有効) 0: メッセージはオーバライトまたはオーバランさ れていない 1: メッセージはオーバライトまたはオーバランされ た	R/W
	TRMABT	送信アボート完了フラグ (注1、2)	(送信メールボックス設定時有効) 0: 送信が開始された、または送信アボートが送信 完了により失敗、または送信アボートが要求さ れていない 1: 送信アボート完了	R/W
b3	—	何も配置されていない。書く場合、0を書き てください。読んだ場合、その値は0。	—	—
b4	ONESHOT	ワンショット許可ビット (注3)	0: ワンショット受信およびワンショット送信禁止 1: ワンショット受信またはワンショット送信許可	R/W
b5	—	何も配置されていない。書く場合、0を書き てください。読んだ場合、その値は0。	—	—
b6	RECREQ	受信メールボックス設定ビット (注2、4、5)	0: 受信メールボックスに設定しない 1: 受信メールボックスに設定する	R/W
b7	TRMREQ	送信メールボックス設定ビット (注2、4)	0: 送信メールボックスに設定しない 1: 送信メールボックスに設定する	R/W

注1. 0のみ書けます(1を書いても変化しません)。

注2. NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで0を書く場合は、MOV命令を使用し、0にしたいビットを0、そうでないビットを1にしてください。

注3. ワンショット受信モードに移行するときは、RECREQビットを1にするのと同時に、ONESHOTビットに1を書き
てください。ワンショット受信モードを解除するときは、RECREQビットに0を書いた後、0になったことを
確認してからONESHOTビットに0を書き
てください。

ワンショット送信モードに移行するときは、TRMREQビットを1にするのと同時に、ONESHOTビットに1を
書き
てください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後に
ONESHOTビットに0を書き
てください。

注4. RECREQビットとTRMREQビットの両方を1にしないでください。

注5. RECREQビットを0にするときには、NEWDATA、MSGLOSTビットとRECREQビットは同時に0にしてくだ
さい。

CMCTLjレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

FIFOメールボックスモードでは、CMCTL8～CMCTL15レジスタは使用しないでください。

NEWDATAビット(受信完了フラグ)

メールボックスに新しいメッセージを格納中または格納が完了したときに、1になります。1になるタイミングは、INVALIDDATAビットと同時です。

プログラムで0を書くと0になります。

関連するINVALIDDATAビットが1の間は、NEWDATAビットはプログラムで0を書いても0になりません。

SENTDATAビット(送信完了フラグ)

対応するメールボックスからのデータ送信が完了すると1になります。

プログラムで0を書くと0になります。

0にする場合は、TRMREQビットを0にしてからSENTDATAビットを0にしてください。SENTDATAビットとTRMREQビットは同時に0になりません。

メールボックスから新しいメッセージを送信するには、SENTDATAビットを0にしてください。

INVALIDDATAビット(受信ステータスフラグ)

メッセージの受信完了後、受信したメッセージをメールボックスに更新中に1になります。

メッセージの格納完了時点で0になります。INVALIDDATAビットが1の間にメールボックスを読んだ場合、データは不定値になります。

TRMACTIVEビット(送信ステータスフラグ)

CANモジュールから対応するメールボックスのメッセージ送信を開始すると1になります。

CANモジュールがCANバスアービトレーションに負けるか、CANバスエラーが起こるか、あるいはデータ送信が完了すると、0になります。

MSGLOSTビット(メッセージロストフラグ)

NEWDATAビットが1の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり破棄された場合、1になります。EOFの6番目のビットの終わりで1になります。

プログラムで0を書くと0になります。

オーバーライトモードとオーバーランモードの両方において、EOFの6番目のビットに続くfCAN(CANシステムクロック)の5サイクルの間は、MSGLOSTビットはプログラムで0を書いても0になりません。

TRMABTビット(送信アボート完了フラグ)

次の場合、1になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
 - 送信アボート要求に続いて、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合
 - ワンショット送信モード(RECREQビットが0、TRMREQビットが1、ONESHOTビットが1)で、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合
- データ送信が完了すると1にはなりません。データ送信が完了した場合はSENTDATAビットが1になります。

プログラムで0を書くと0になります。

ONESHOT ビット (ワンショット許可ビット)

ONESHOT ビットは受信モードと送信モードの2つの使い方があります。

(1) ワンショット受信モード

受信モード (RECREQ ビットが1、TRMREQ ビットが0) のとき ONESHOT ビットを1にすると、メールボックスはメッセージを1回のみ受信します (メッセージを1回受信完了した後は、受信メールボックスとして動作しません)。NEWDATA および INVALIDDATA ビットの動作は、通常の受信モードと同じです。このモードでは、MSGLOST ビットは1にはなりません。ONESHOT ビットを0にする場合、RECREQ ビットへ0を書いた後、RECREQ ビットが0になることを確認してから行ってください。

(2) ワンショット送信モード

送信モード (RECREQ ビットが0、TRMREQ ビットが1) のとき ONESHOT ビットを1にすると、CAN モジュールはメッセージを1回のみ送信します (CAN バスエラーまたは CAN バスアービトレーション負けの場合でも、メッセージの再送信を行いません)。送信が完了した場合、SENTDATA ビットが1になります。CAN バスエラーまたは CAN バスアービトレーション負けによって送信が完了しない場合は、TRMABT ビットが1になります。ONESHOT ビットを0にする場合は、SENTDATA ビットが1または TRMABT ビットが1になった後に行ってください。

RECREQ ビット (受信メールボックス設定ビット)

表26.13に示す受信モードを選択します。

1にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

0にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで0を書いても0になりません。

[ハードウェアプロテクトの開始]

- アクセプタンスフィルタ処理の開始 (CRC フィールドの始まり)

[ハードウェアプロテクトの解除]

- メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後 (すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の7番目のビットの終わりまで)
 - その他のメールボックスは、アクセプタンスフィルタ処理後
 - 受信するメールボックスがない場合は、アクセプタンスフィルタ処理後
- RECREQ ビットを1にする場合は、TRMREQ ビットを1にしないでください。

メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアポートし、そして SENTDATA ビットと TRMABT ビットを0にしてください。

TRMREQ ビット (送信メールボックス設定ビット)

表26.13に示す送信モードを選択します。

1にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

0にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQ ビットを1から0に変更すると、TRMABT ビットまたは SENTDATA ビットが1になります。

TRMREQ ビットを1にする場合は、RECREQ ビットを1にしないでください。

メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアポートし、そして NEWDATA ビットと MSGLOST ビットを0にしてください。

26.2.7 CAN制御レジスタ (CCTLR)

アドレス 06F40h (CCTLR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CPE	—	RBOC	BOM1	BOM0	SLPM	CANM1	CANM0
リセット後の値	0	0	0	0	0	1	0	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TSPS1	TSPS0	TSRC	TPM	MLM	IDFM1	IDFM0	MBM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CANM0	CAN動作モード選択ビット (注1)	b1 b0 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN Haltモード 1 1 : 設定しないでください	R/W
b1	CANM1			R/W
b2	SLPM	CANスリープモードビット (注1、2)	0 : CANスリープモードではない 1 : CANスリープモード	R/W
b3	BOM0	バスオフ復帰モード選択ビット (注3)	b4 b3 0 0 : ノーマルモード(ISO11898-1仕様準拠) 0 1 : バスオフ開始で自動的にCAN Halt モードへ遷移 1 0 : バスオフ終了で自動的にCAN Halt モードへ遷移 1 1 : プログラムによる要求でCAN Halt モードへ遷移(バスオフ復帰期間中)	R/W
b4	BOM1			R/W
b5	RBOC	バスオフ強制復帰ビット (注4)	0 : 何もしない 1 : バスオフからの強制復帰(注5)	R/W
b6	—	予約ビット	0にしてください	R/W
b7	CPE	CANポート許可ビット (注3、7)	0 : 入出力ポートとして機能 1 : CAN入出力として機能	R/W
b8	MBM	CANメールボックスモード選択ビット (注3)	0 : 通常メールボックスモード 1 : FIFOメールボックスモード	R/W
b9	IDFM0	IDフォーマットモード選択ビット (注3)	b10 b9 0 0 : 標準IDモード 0 1 : 拡張IDモード 1 0 : ミックスIDモード 1 1 : 設定しないでください	R/W
b10	IDFM1			R/W
b11	MLM	メッセージロストモード選択ビット (注3)	0 : オーバライトモード 1 : オーバランモード	R/W
b12	TPM	送信優先順位モード選択ビット (注3)	0 : ID優先送信モード 1 : メールボックス番号優先送信モード	R/W
b13	TSRC	タイムスタンプカウンタリセットビット (注6)	0 : リセットしない 1 : リセットする(注5)	R/W
b14	TSPS0	タイムスタンププリスケアラ選択ビット (注3)	b15b14 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	R/W
b15	TSPS1			R/W

注1. CANM0、CANM1ビット、およびSLPMビットを変更した場合は、CSTRレジスタでモードが切り替わることを確認してください。

モードが切り替わるまで、CANM0、CANM1ビット、およびSLPMビットは変更しないでください。

CPUクロックおよびCAN用クロックの周波数は、CANオペレーションモード以外有的时候に変更してください。

注2. SLPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。

SLPMビットを書き換える場合は、SLPMビットのみ0または1にしてください。

注3. BOM0、BOM1、CPE、MBM、IDFM0、IDFM1、MLM、TPM、TSPS0、TSPS1ビットは、CANリセットモード時に変更してください。

注4. RBOCビットはバスオフ状態時に1にしてください。

注5. 1にした後自動的に0に戻ります。読んだ場合0が読めます。

注6. TSRCビットはCANオペレーションモード時に1にしてください。

注7. CANウェイクアップ割り込みを使用する場合は、CPEビットを1にしてください。

CANM0、CANM1ビット(CAN動作モード選択ビット)

CANモジュールのモード(CANオペレーションモード、CANリセットモード、CAN Haltモード)を選択するビットです。詳細は「26.3 動作モード」を参照してください。

CANスリープモードはSLPMビットで設定します。

11bには設定しないでください。

CCTLRレジスタのBOM0、BOM1ビットの設定によってCAN Haltモードへ遷移した場合は、CANM1、CANM0ビットは自動的に10bになります。

SLPMビット(CANスリープモードビット)

1にすると、CANスリープモードになります。

0にすると、CANスリープモードは解除されます。

詳細は「26.3 動作モード」を参照してください。

BOM0、BOM1ビット(バスオフ復帰モード選択ビット)

CANモジュールのバスオフ復帰モードの選択に使用します。

BOM1、BOM0ビットが00bの場合、バスオフからの復帰はISO11898-1仕様に準拠します。すなわち、CANモジュールは、11の連続するレセプティブビットを128回検出後、再びCAN通信(エラーアクティブ状態)に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

01bの場合、CANモジュールがバスオフ状態に達すると、CCTLRレジスタのCANM1、CANM0ビットが10b(CAN Haltモード)になってから、CAN Haltモードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CTECR、CRECRレジスタは00hになります。

10bの場合、CANモジュールがバスオフ状態に達するとCANM1、CANM0ビットが10bになり、バスオフ状態から復帰した(11の連続するレセプティブビットを128回検出)後に、CAN Haltモードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、CTECR、CRECRレジスタが00hになります。

11bの場合、CANモジュールがまだバスオフ状態のときにCANM1、CANM0ビットを10bにすると、CAN Haltモードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CTECR、CRECRレジスタは00hになります。しかし、CANM1、CANM0ビットを10bにする前に、11の連続するレセプティブビットを128回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CANモジュールがCAN Haltモードに遷移すると同時に(BOM1、BOM0ビットが01bのとき：バスオフ開始、またはBOM1、BOM0ビットが10bのとき：バスオフ終了)に、CPUがCANリセットモードへの遷移を要求した場合は、CPUの要求が優先されます。

RBOCビット(バスオフ強制復帰ビット)

バスオフ状態時1(バスオフからの強制復帰)にすると、バスオフ状態から強制的に復帰します。このビットは自動的に0になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。

1にすると、CRECR、CTECRレジスタが00hになり、CSTRレジスタのBOSTビットは0(CANモジュールはバスオフ状態ではない)になります。他のレジスタは変化しません。バスオフからの復帰によるバスオフ復帰割り込み要求は発生しません。

BOM1、BOM0ビットが00b(ノーマルモード)のときにのみ使用してください。

CPEビット(CANポート許可ビット)

CPEビットを1にするとCAN入出力端子(CRX、CTX)として機能します。CANモジュールを使用する場合は、このビットを1にしてください。

CPEビットを0にするとポート入出力端子として機能します。

MBMビット(CANメールボックスモード選択ビット)

0(通常メールボックスモード)の場合、メールボックス[0]~[15]は送信または受信メールボックスに設定されます。

1(FIFOメールボックスモード)の場合、メールボックス[0]~[7]は送信または受信メールボックスに設定され、メールボックス[8]~[11]は送信FIFOに、メールボックス[12]~[15]は受信FIFOに設定されます。

送信データはメールボックス[8]に書き込み(メールボックス[8]は送信FIFOのウィンドウメールボックスです)、受信データはメールボックス[12]から読み出します(メールボックス[12]は受信FIFOのウィンドウメールボックスです)。

表26.8にメールボックスの設定を示します。

表26.8 メールボックスの設定

メールボックス	MBMビット=0 (通常メールボックスモード)	MBMビット=1(注1) (FIFOメールボックスモード)
メールボックス[0]~[7]	通常メールボックス	通常メールボックス
メールボックス[8]~[11]		送信FIFO
メールボックス[12]~[15]		受信FIFO

注1. MBMビットが1のときは、次の点に注意してください。

- 送信FIFOはCTFCRレジスタで制御します。
メールボックス[8]~[11]のCMCTLjレジスタ(j=0~15)は無効です。
CMCTL8~CMCTL11レジスタは使用できません。
- 受信FIFOはCRFCRレジスタで制御します。
メールボックス[12]~[15]のCMCTLjレジスタは無効です。
CMCTL12~CMCTL15レジスタは使用できません。
- FIFO割り込みについてはCMIERレジスタを参照してください。
- CMKIVLRレジスタのメールボックス[8]~[15]に対応するビットは無効です。これらのビットには0を設定してください。
- 送信/受信FIFOはデータフレーム/リモートフレームのいずれにも使用可能です。

IDFM0、IDFM1ビット(IDフォーマットモード選択ビット)

IDフォーマットを指定します。

IDFM1、IDFM0ビットが00bの場合、すべてのメールボックス(FIFOメールボックスを含む)は、標準IDのみに対応します。

01bの場合、すべてのメールボックス(FIFOメールボックスを含む)は、拡張IDのみに対応します。

10bの場合、すべてのメールボックス(FIFOメールボックスを含む)は、標準IDと拡張IDの両方に対応します。標準IDと拡張IDの選択は、通常メールボックスモードの場合、対応するメールボックスのIDEビットで指定します。FIFOメールボックスモードの場合、メールボックス[0]~[7]は対応するメールボックスのIDEビット、受信FIFOはCFIDCR0、CFIDCR1レジスタのIDEビット、送信FIFOはメールボックス[8]のIDEビットで指定します。

11bは、設定しないでください。

MLMビット(メッセージロストモード選択ビット)

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。すべてのメールボックス(受信FIFOを含む)は、オーバーライトモードかオーバーランモードのどちらかになります。

0の場合、すべてのメールボックスはオーバーライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

1の場合、すべてのメールボックスはオーバーランモードになり、新しいメッセージは破棄されます。

TPMビット(送信優先順位モード選択ビット)

メッセージを送信する場合の優先順のモードを指定します。ID優先モードまたはメールアドレス優先モードを選択できます。

すべてのメールアドレスは、ID優先送信またはメールアドレス優先送信のどちらかになります。

0の場合、ID優先送信モードとなり送信優先順位はCANバスアービトレーションルール(ISO11898-1仕様)に準拠します。ID優先送信モードは、通常メールアドレスモードのときメールアドレス[0]～[15]、FIFOメールアドレスモードのときメールアドレス[0]～[7]と送信FIFOの送信に設定されたメールアドレスのIDを比較します。2つ以上のメールアドレスのIDが同じ場合、小さい番号のメールアドレスが優先されます。

次に送信FIFOから送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信FIFOのメッセージを送信中の場合、送信FIFO内の次の待機メッセージが送信アービトレーションの対象となります。

1の場合、メールアドレス優先送信モードとなり送信に設定された一番小さい番号のメールアドレスが優先されます。FIFOメールアドレスモードでは、送信FIFOは通常メールアドレス(メールアドレス[0]～[7])よりも優先順位が低くなります。

TSRCビット(タイムスタンプカウンタリセットビット)

タイムスタンプカウンタをリセットするために使用します。

1にするとCTSRレジスタが0000hになります。このビットは自動的に0になります。

TSPS0、TSPS1ビット(タイムスタンププリスケアラ選択ビット)

タイムスタンプ用のプリスケアラを選択します。

タイムスタンプの基準クロックは、1、2、4、または8ビットタイムのいずれかを選択できます。

26.2.8 CANステータスレジスタ (CSTR)

アドレス 06F42h (CSTR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST
リセット後の値	0	0	0	0	0	1	0	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSTST	CANリセットステータスフラグ	0 : CANリセットモードではない 1 : CANリセットモード	R
b1	HLTST	CAN Haltステータスフラグ	0 : CAN Haltモードではない 1 : CAN Haltモード	R
b2	SLPST	CANスリープステータスフラグ	0 : CANスリープモードではない 1 : CANスリープモード	R
b3	EPST	エラーパッシブステータスフラグ	0 : エラーパッシブ状態ではない 1 : エラーパッシブ状態	R
b4	BOST	バスオフステータスフラグ	0 : バスオフ状態ではない 1 : バスオフ状態	R
b5	TRMST	送信ステータスフラグ	0 : バスアイドルまたは受信 1 : 送信中またはバスオフ状態	R
b6	RECST	受信ステータスフラグ	0 : バスアイドルまたは送信 1 : 受信	R
b7	—	何も配置されていない。読んだ場合、その値は0。		—
b8	NDST	NEWDATAステータスフラグ	0 : NEWDATAビットが1のメールボックスなし 1 : NEWDATAビットが1のメールボックスあり	R
b9	SDST	SENTDATAステータスフラグ	0 : SENTDATAビットが1のメールボックスなし 1 : SENTDATAビットが1のメールボックスあり	R
b10	RFST	受信FIFOステータスフラグ	0 : 受信FIFOにメッセージなし(空) 1 : 受信FIFOにメッセージあり	R
b11	TFST	送信FIFOステータスフラグ	0 : 送信FIFOはフル 1 : 送信FIFOはフルではない	R
b12	NMLST	通常メールボックスメッセージ ロストステータスフラグ	0 : MSGLOSTビットが1のメールボックスなし 1 : MSGLOSTビットが1のメールボックスあり	R
b13	FMLST	FIFOメールボックスメッセージ ロストステータスフラグ	0 : RFMLFビットが0 1 : RFMLFビットが1	R
b14	TABST	送信アボートステータスフラグ	0 : TRMABTビットが1のメールボックスなし 1 : TRMABTビットが1のメールボックスあり	R
b15	EST	エラーステータスフラグ	0 : エラーなし 1 : エラー発生	R

RSTSTビット (CANリセットステータスフラグ)

CANリセットモードになると、1になります。

CANリセットモード以外になると、0になります。

CANリセットモードからCANスリープモードに遷移しても、1のままです。

HLTSTビット (CAN Haltステータスフラグ)

CAN Haltモードになると、1になります。

CAN Haltモード以外になると、0になります。

CAN HaltモードからCANスリープモードに遷移しても、1のままです。

SLPSTビット(CANスリープステータスフラグ)

CANスリープモードになると、1になります。
CANスリープモード以外になると、0になります。

EPSTビット(エラーパッシブステータスフラグ)

CTECRまたはCRECRレジスタの値が127を超えて、CANモジュールがエラーパッシブ状態($128 \leq \text{TEC} < 256$ または $128 \leq \text{REC} < 256$)になると、1になります。エラーパッシブ状態以外になると、0になります。

TECは送信エラーカウンタ(CTECRレジスタ)、RECは受信エラーカウンタ(CRECRレジスタ)の値です。

BOSTビット(バスオフステータスフラグ)

CTECRレジスタの値が255を超えて、CANモジュールがバスオフ状態($\text{TEC} \geq 256$)になると、1になります。バスオフ状態以外になると、0になります。

TRMSTビット(送信ステータスフラグ)

CANモジュールが送信ノードかバスオフ状態になると、1になります。受信ノードかバスアイドル状態になると、0になります。

RECSTビット(受信ステータスフラグ)

CANモジュールが受信ノードになると、1になります。送信ノードかバスアイドル状態になると、0になります。

NDSTビット(NEWDATAステータスフラグ)

CMCTL_jレジスタ(j=0~15)のNEWDATAビットが一つでも1になると、CMIERレジスタの値とは無関係に1になります。

NEWDATAビットがすべて0になると、0になります。

SDSTビット(SENTDATAステータスフラグ)

CMCTL_jレジスタのSENTDATAビットが一つでも1になると、CMIERレジスタの値とは無関係に1になります。

SENTDATAビットがすべて0になると、0になります。

RFSTビット(受信FIFOステータスフラグ)

受信FIFOが空状態以外になると、1になります。
受信FIFOが空状態になると、0になります。
通常メールボックスモードになると、0になります。

TFSTビット(送信FIFOステータスフラグ)

送信FIFOがフル以外になると、1になります。
送信FIFOがフル状態になると、0になります。
通常メールボックスモードになると、0になります。

NMLSTビット(通常メールボックスメッセージ ロストステータスフラグ)

CMCTL_jレジスタ(j=0~15)のMSGLOSTビットが一つでも1になると、CMIERレジスタの値とは無関係に1になります。

MSGLOSTビットがすべて0になると、0になります。

FMLSTビット(FIFOメールボックスメッセージ ロストステータスフラグ)

CRFCRレジスタのRFMLFビットが1になると、CMIERレジスタの値とは無関係に1になります。

RFMLFビットが0になると、0になります。

TABSTビット(送信アポートステータスフラグ)

CMCTL_jレジスタのTRMABTビットが一つでも1になると、CMIERレジスタの値とは無関係に1になります。

TRMABTビットがすべて0になると、0になります。

ESTビット(エラーステータスフラグ)

CEIFRレジスタで一つでもエラーが検出されると、CEIERレジスタの値とは無関係に1になります。

CEIFRレジスタで一つもエラーが検出されないと、0になります。

26.2.9 CANビットコンフィグレーションレジスタ (CBCR)

アドレス 06F44h (CBCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TSEG13	TSEG12	TSEG11	TSEG10	—	—	BRP9	BRP8
リセット後の値	0	0	0	0	0	0	0	0

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	—	—	SJW1	SJW0	—	TSEG22	TSEG21	TSEG20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9~b0	BRP9~BRP0	プリスケアラ分周比設定ビット (10ビット)	設定値をP(0~1023)とすると、ポーレートプリスケアラはfCANをP+1で分周します。	R/W
b10	—	予約ビット	0にしてください	R/W
b11	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b12	TSEG10	タイムセグメント1制御ビット	b15b14b13b12 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W
b13	TSEG11			R/W
b14	TSEG12			R/W
b15	TSEG13			R/W
b16	TSEG20			タイムセグメント2制御ビット
b17	TSEG21	R/W		
b18	TSEG22	R/W		
b19	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b20	SJW0	再同期ジャンプ幅制御ビット	b21b20 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	R/W
b21	SJW1			R/W
b23~b22	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

CBCRレジスタは、CANリセットモードからCAN Haltモード、もしくはCANリセットモードからCANオペレーションモードへ遷移する前に設定してください。一度設定するとCANリセットモード、もしくはCAN Haltモードで変更できません。

CBCRレジスタは、24ビットです。

ビットタイミングの設定については「26.4 CAN通信速度の設定」を参照してください。

BRP0～BRP9ビット(プリスケアラ分周比設定ビット)

CAN通信クロック(fCANCLK)の周波数設定に使用します。

fCANCLKの周期が1 Time Quantum (Tq)となります。

TSEG10～TSEG13ビット(タイムセグメント1制御ビット)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント1 (PHASE_SEG1) の合計長をTq値で指定します。

4～16Tqの値が設定可能です。

TSEG20～TSEG22ビット(タイムセグメント2制御ビット)

フェーズバッファセグメント2 (PHASE_SEG2)の長さをTq値で指定します。

2～8Tqの値が設定可能です。

TSEG10～TSEG13ビットに設定した値より小さな値を設定してください。

SJW0、SJW1ビット(再同期ジャンプ幅制御ビット)

再同期ジャンプ幅(Resynchronization Jump Width)をTq値で指定します。

1～4Tqの値が設定可能です。

TSEG20～TSEG22ビットの設定値以下の値を設定してください。

26.2.10 CANクロック選択レジスタ (CCLKR)

アドレス 06F47h (CCLKR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	CCLKS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロック源選択ビット (注1)	0: CPUクロック 1: CAN用クロック	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b3	—	予約ビット	0にしてください	R/W
b4	—	予約ビット	0にしてください。読んだ場合、その値は不定。	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b6	—	—	—	—
b7	—	予約ビット	0にしてください	R/W

注1. CANリセットモード時に変更してください。CCLKSビットを1にする場合、CPUクロックはCAN用クロックの周波数以上にしてください。

CCLKSビット(CANクロック源選択ビット)

0の場合、CANクロックソース(fCAN)にCPUクロックが使用されます。

1の場合、CANクロックソース(fCAN)にCAN用クロックが使用されます。

26.2.11 CAN受信FIFO制御レジスタ (CRFCR)

アドレス 06F48h (CRFCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RFEST	RFWST	RFFST	RFMLF	RFUST2	RFUST1	RFUST0	RFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信FIFO許可ビット (注1)	0: 受信FIFO禁止 1: 受信FIFO許可	R/W
b1	RFUST0	受信FIFO未読メッセージ数 ステータスフラグ	b3 b2 b1 0 0 0: 未読メッセージなし	R
b2	RFUST1		0 0 1: 未読メッセージ1件あり	R
b3	RFUST2		0 1 0: 未読メッセージ2件あり	R
			0 1 1: 未読メッセージ3件あり	
		1 0 0: 未読メッセージ4件あり		
		1 0 1: 予約ビット		
		1 1 0: 予約ビット		
		1 1 1: 予約ビット		
b4	RFMLF	受信FIFOメッセージロストフラグ (注2)	0: 受信FIFOメッセージロスト未発生 1: 受信FIFOメッセージロスト発生	R/W
b5	RFFST	受信FIFOフルステータスフラグ	0: 受信FIFOはフルではない 1: 受信FIFOはフル(未読メッセージ4件)	R
b6	RFWST	受信FIFOバッファワーニング ステータスフラグ	0: 受信FIFOはバッファワーニングではない 1: 受信FIFOはバッファワーニング (未読メッセージ3件)	R
b7	RFEST	受信FIFO空ステータスフラグ	0: 受信FIFOに未読メッセージあり 1: 受信FIFOに未読メッセージなし	R

注1. RFEビットを0にするときは、RFMLFビットも同時に0にしてください。

注2. 0のみ書けます(1を書いても変化しません)。

CRFCRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

RFEビット(受信FIFO許可ビット)

1にすると、受信FIFOが受信許可になります。

0にすると、受信FIFOは受信禁止になり、空状態(RFESTビットが1)になります。

通常メールボックスモード(CCTLRレジスタのMBMビットが0)では、1にしないでください。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで0を書いても0になりません。

[ハードウェアプロテクトの開始]

- アクセプタンスフィルタ処理の開始(CRCフィールドの始まり)

[ハードウェアプロテクトの解除]

- メッセージの受信に受信FIFOが指定された場合は、受信メッセージが受信FIFOに格納された後、またはCANバスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間はCRCフィールドの始まりからEOFの7番目のビットの終わりまで)
- メッセージの受信に受信FIFOが指定されない場合は、アクセプタンスフィルタ処理後

RFUST0～RFUST2ビット(受信FIFO未読メッセージ数 ステータスフラグ)

受信FIFO内の未読メッセージの数を示します。

RFEビットを0にすると、000bに初期化されます。

RFMLFビット(受信FIFOメッセージロストフラグ)

受信FIFOがフルのときに新しいメッセージを受信すると、1(受信FIFOメッセージロスト発生)になります。1になるタイミングは、EOFの6番目のビットの終わりです。

プログラムで0を書くと0になります。

オーバランモードとオーバライトモードのどちらも、受信FIFOがフルでメッセージの受信が決定している場合、ハードウェアのプロテクトによりEOFの6番目のビットに続くfCAN(CANシステムクロック)の5サイクルの間は、プログラムで0(受信FIFOメッセージロスト未発生)になりません。

RFFSTビット(受信FIFOフルステータスフラグ)

受信FIFO内の未読メッセージが4件になると、1(受信FIFOはフル)になります。受信FIFO内の未読メッセージが4件未満になると、0(受信FIFOはフルではない)になります。RFEビットを0にすると、0になります。

RFWSTビット(受信FIFOバッファワーニングステータスフラグ)

受信FIFO内の未読メッセージが3件になると、1(受信FIFOはバッファワーニング)になります。受信FIFO内の未読メッセージが3件未満もしくは4件になると0(受信FIFOはバッファワーニングではない)になります。RFEビットを0にすると、0になります。

RFESTビット(受信FIFO空ステータスフラグ)

受信FIFO内の未読メッセージがなくなると、1(受信FIFOにメッセージなし)になります。RFEビットを0にすると、1になります。受信FIFO内の未読メッセージ数が1件以上になると、0(受信FIFOに未読メッセージあり)になります。

図26.2に受信FIFOメールボックスの動作(CMIERレジスタのビット13、12が01bまたは11b)を示します。

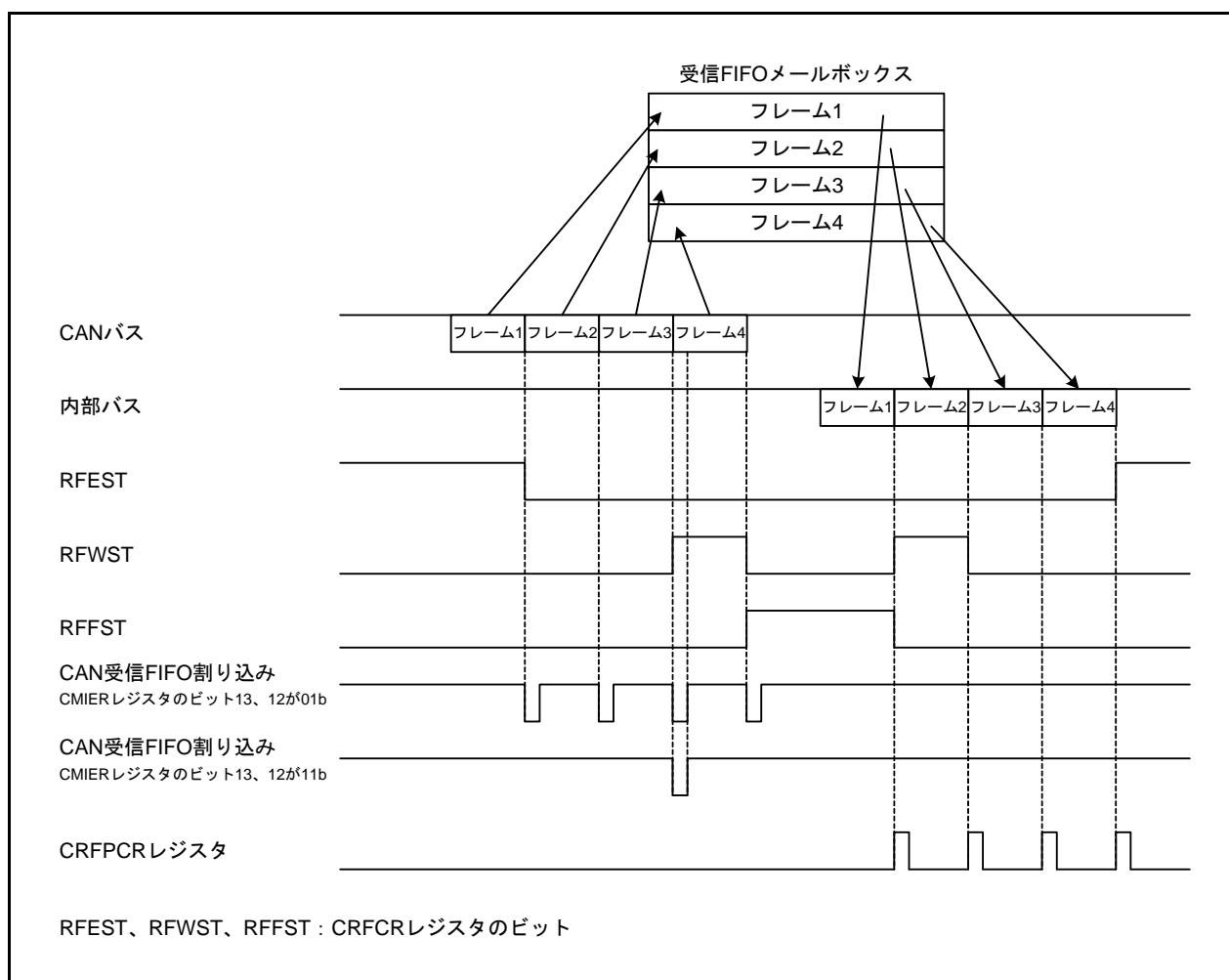


図26.2 受信FIFOメールボックスの動作(CMIERレジスタのビット13、12が01bまたは11b)

26.2.12 CAN受信FIFOポインタ制御レジスタ (CRFPCR)

アドレス 06F49h (CRFPCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7~b0	FFhを書き込むと、受信FIFOのCPU側ポインタが移動	FFh	W

受信FIFOが空状態でないとき、受信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムでFFhを書いてください。

CRFCRレジスタのRFEビットが0(受信FIFO禁止)のときは、書かないでください。

受信オーバーライトモードでCRFPCRレジスタのRFFSTビットが1(受信FIFOはフル)のときに新しいメッセージが受信されると、CAN側ポインタとCPU側ポインタの両方が移動します。この状態で、CRFCRレジスタのRFMLFビットが1のとき、プログラムでCRFPCRレジスタに書き込んでもCPU側ポインタは移動しません。

26.2.13 CAN送信FIFO制御レジスタ (CTFCR)

アドレス 06F4Ah (CTFCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TFEST	TFFST	—	—	TFUST2	TFUST1	TFUST0	TFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信FIFO許可ビット	0: 送信FIFO禁止 1: 送信FIFO許可	R/W
b1	TFUST0	送信FIFO未送信メッセージ数ステータスビット	b3 b2 b1 0 0 0 : 未送信メッセージなし 0 0 1 : 未送信メッセージ1件 0 1 0 : 未送信メッセージ2件 0 1 1 : 未送信メッセージ3件 1 0 0 : 未送信メッセージ4件 1 0 1 : 予約ビット 1 1 0 : 予約ビット 1 1 1 : 予約ビット	R
b2	TFUST1			R
b3	TFUST2			R
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	
b5	—	予約ビット	0にしてください。読んだ場合、その値は不定。	R
b6	TFFST	送信FIFOフルステータスビット	0: 送信FIFOはフルではない 1: 送信FIFOはフル(未送信4件)	R
b7	TFEST	送信FIFO空ステータスビット	0: 送信FIFOに未送信メッセージあり 1: 送信FIFOに未送信メッセージなし	R

CTFCRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

TFEビット(送信FIFO許可ビット)

1にすると、送信FIFOが送信許可になります。

0にすると、送信FIFOは空状態(TFESTビットが1)になり、次のように送信FIFOからの未送信メッセージが失われます。

- 送信FIFOからの次の送信予定がなく、また送信中でもないとき、空状態になります。
- 送信FIFOからの次の送信予定があるか、またはすでに送信中の場合、送信完了、CANバスエラー、アービトレーション負け、またはCAN Haltモードへの遷移に続いて空状態になります。

再度1にする前に、TFESTビットが1になっているか確認してください。

1にした後、送信データをCMB8レジスタに書いてください。

通常メールボックスモード(CCTLRレジスタのMBMビットが0)では、1にしないでください。

TFUST0～TFUST2ビット(送信FIFO未送信メッセージ数ステータスビット)

送信FIFO内の未送信メッセージの数を示します。

TFEビットを0にした後、送信アボート完了または送信完了すると、000b(未送信メッセージなし)になります。

TFFSTビット(送信FIFOフルステータスビット)

送信FIFO内の未送信メッセージが4件になると、1(送信FIFOはフル)になります。送信FIFO内の未送信メッセージが4件未満になると、0(送信FIFOはフルではない)になります。送信FIFOの送信アボートが完了すると、0になります。

TFESTビット(送信FIFO空ステータスビット)

送信FIFO内の未送信メッセージがなくなると、1(送信FIFOにメッセージなし)になります。送信FIFOからの送信アボートが完了すると、1になります。

送信FIFO内の未送信メッセージが1件以上になると、0(送信FIFOにメッセージあり)になります。

図26.3に送信FIFOメールボックスの動作(CMIERレジスタのビット9、8が01bまたは11b)を示します。

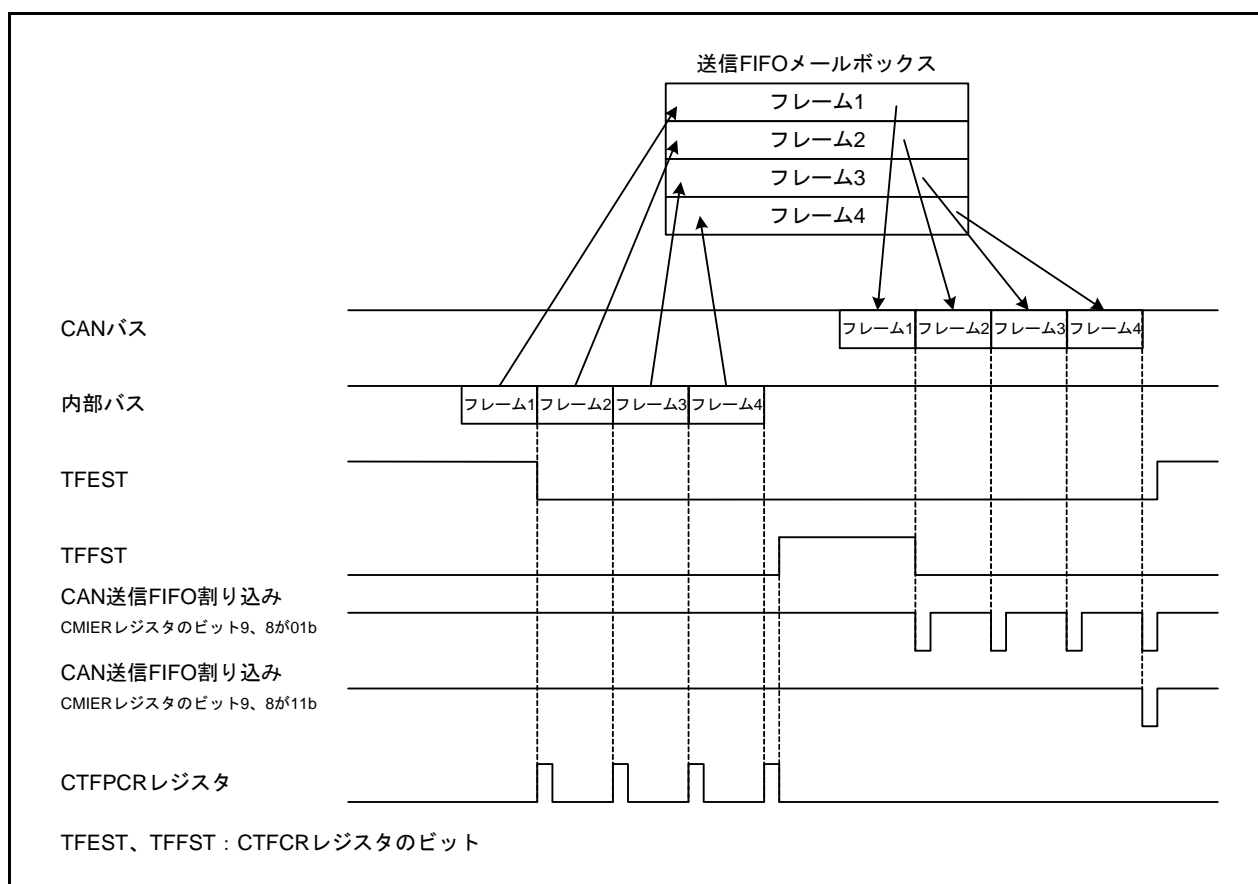


図26.3 送信FIFOメールボックスの動作(CMIERレジスタのビット9、8が01bまたは11b)

26.2.14 CAN送信FIFOポインタ制御レジスタ(CTFPCR)

アドレス 06F4Bh (CTFPCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7～b0	FFhを書き込むと、送信FIFOのCPU側ポインタが移動	FFh	W

送信FIFOがフルでないとき、送信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムでFFhを書いてください。

CTFPCRレジスタのTFEビットが0(送信FIFO禁止)のときは、書かないでください。

26.2.15 CANエラー割り込み許可レジスタ (CEIER)

アドレス 06F4Ch (CEIER_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可ビット	0: バスエラー割り込み禁止 1: バスエラー割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可ビット	0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可	R/W
b2	EPIE	エラーパッシブ割り込み許可ビット	0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可ビット	0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可ビット	0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可	R/W
b5	ORIE	受信オーバラン割り込み許可ビット	0: 受信オーバラン割り込み禁止 1: 受信オーバラン割り込み許可	R/W
b6	OLIE	オーバロードフレーム送信割り込み許可ビット	0: オーバロードフレーム送信割り込み禁止 1: オーバロードフレーム送信割り込み許可	R/W
b7	BLIE	バスロック割り込み許可ビット	0: バスロック割り込み禁止 1: バスロック割り込み許可	R/W

CEIERレジスタは、CANリセットモード時に変更してください。

CEIERレジスタは、CEIFRレジスタのエラー割り込み要因に対して個別にエラー割り込み許可/禁止を設定できます。

BEIEビット(バスエラー割り込み許可ビット)

0にすると、CEIFRレジスタのBEIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、BEIFビットが1になった場合、エラー割り込み要求が発生します。

EWIEビット(エラーワーニング割り込み許可ビット)

0にすると、CEIFRレジスタのEWIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、EWIFビットが1になった場合、エラー割り込み要求が発生します。

EPIEビット(エラーパッシブ割り込み許可ビット)

0にすると、CEIFRレジスタのEPIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、EPIFビットが1になった場合、エラー割り込み要求が発生します。

BOEIEビット(バスオフ開始割り込み許可ビット)

0にすると、CEIFRレジスタのBOEIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、BOEIFビットが1になった場合、エラー割り込み要求が発生します。

BORIEビット(バスオフ復帰割り込み許可ビット)

0にすると、CEIFRレジスタのBORIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、BORIFビットが1になった場合、エラー割り込み要求が発生します。

ORIEビット(受信オーバーラン割り込み許可ビット)

0にすると、CEIFRレジスタのORIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、ORIFビットが1になった場合、エラー割り込み要求が発生します。

OLIEビット(オーバロードフレーム送信割り込み許可ビット)

0にすると、CEIFRレジスタのOLIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、OLIFビットが1になった場合、エラー割り込み要求が発生します。

BLIEビット(バスロック割り込み許可ビット)

0にすると、CEIFRレジスタのBLIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、BLIFビットが1になった場合、エラー割り込み要求が発生します。

26.2.16 CANエラー割り込み要因判定レジスタ (CEIFR)

アドレス 06F4Dh (CEIFR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W
b5	ORIF	受信オーバラン検出フラグ	0: 受信オーバラン未検出 1: 受信オーバラン検出	R/W
b6	OLIF	オーバロードフレーム送信検出フラグ	0: オーバロードフレーム送信未検出 1: オーバロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	R/W

CEIFRレジスタは、各ビットに対応する現象が発生すると、CEIERレジスタの設定にかかわらず対応するビットが1になります。

各ビットにプログラムで0を書く場合は、MOV命令を使用し、0にしたいビットを0、そうでないビットを1にしてください。1を書いてもこれらのビットの値は変化しません。1になるタイミングとプログラムで0にするタイミングが同時の場合、そのビットは1になります。

BEIFビット(バスエラー検出フラグ)

バスエラーが検出されると、1になります。

EWIFビット(エラーワーニング検出フラグ)

REC(受信エラーカウンタ)またはTEC(送信エラーカウンタ)の値が95を超えると、1になります。

RECまたはTECが最初に95を超えたときのみ1になります。したがって、RECまたはTECが95を超えたままで、プログラムで0を書いた場合、一度RECとTECが95以下になり、再びRECまたはTECが95を超えるまでは1にはなりません。

EPIFビット(エラーパッシブ検出フラグ)

CANエラー状態がエラーパッシブ状態(RECまたはTECの値が127を超える)になると、1になります。

RECまたはTECが最初に127を超えたときのみ1になります。したがって、RECまたはTECが127を超えたままで、プログラムで0を書いた場合、一度RECとTECが127以下になり、再びRECまたはTECが127を超えるまでは1にはなりません。

BOEIF ビット(バスオフ開始検出フラグ)

CANエラーステートがバスオフ状態(TECの値が255を超える)になると、1になります。

CCTLRレジスタのBOM1、BOM0ビットが01b(バスオフ開始で自動的にCAN Haltモードへ遷移)で、CANモジュールがバスオフ状態になった場合も、1になります。

BORIF ビット(バスオフ復帰検出フラグ)

CANモジュールが次の条件でバスオフ状態から通常復帰(11の連続するレセシブビットを128回検出)した場合、1になります。

- (1) CCTLRレジスタのBOM1、BOM0ビットが00bのとき
- (2) BOM1、BOM0ビットが10bのとき
- (3) BOM1、BOM0ビットが11bのとき

なお、CANモジュールが次の条件でバスオフ状態から復帰した場合、1になりません。

- (1) CCTLRレジスタのCANM1、CANM0ビットを01b(CANリセットモード)にしたとき
- (2) CCTLRレジスタのRBOCビットを1(バスオフからの強制復帰)にしたとき
- (3) BOM1、BOM0ビットが01bのとき
- (4) BOM1、BOM0ビットが11bで、通常復帰が発生する前に、CANM1、CANM0ビットを10b(CAN Haltモード)にしたとき

表26.9にBOM0、BOM1ビットの設定によるBOEIF、BORIFビットの動作を示します。

表26.9 BOM0、BOM1ビットの設定によるBOEIF、BORIFビットの動作

CCTLRレジスタ BOM1、BOM0ビット	BOEIFビット	BORIFビット
00b	バスオフ状態への 遷移時1になる	バスオフ状態からの復帰時1になる
01b		1にはならない
10b		バスオフ状態からの復帰時1になる
11b		CANM1、CANM0ビットが10b(CAN Haltモード)になる前に、通常のバスオフ状態からの復帰が発生した場合1になる

ORIF ビット(受信オーバラン検出フラグ)

受信オーバランが発生すると、1になります。

オーバーライトモードでは1になりません。オーバーライトモードの場合、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、1にはなりません。

通常メールボックスモードの場合、オーバーランモードで、メールボックス[0]～[15]のいずれかでオーバーランが発生すると、1になります。

FIFOメールボックスモードの場合、オーバーランモードで、メールボックス[0]～[7]のいずれかまたは受信FIFOでオーバーランが発生すると、1になります。

OLIF ビット(オーバロードフレーム送信検出フラグ)

CANモジュールが受信または送信を行う場合にオーバロードフレームの送信条件が検出されると、1になります。

BLIFビット(バスロック検出フラグ)

CANモジュールがCANオペレーションモードの間、CANバス上に32の連続するドミナントビットを検出すると、1になります。

1になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- このビットを1から0にした後、レセシブビットを検出(バスロック解消)。
- このビットを1から0にした後、CANリセットモードに遷移し、再度CANオペレーションモードに遷移(内部リセット)。

26.2.17 CAN受信エラーカウントレジスタ (CRECR)

アドレス 06F4Eh (CRECR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定可能値	R/W
b7～b0	受信エラーカウン機能 受信中のCANモジュールのエラー状態によってカウンタ値を増減させます。	00h～FFh (注1)	R

注1. バスオフ状態時の値は不定になります。

CRECRレジスタは、受信エラーカウンタの値を示します。

受信エラーカウンタの増減条件についてはCAN仕様(ISO11898-1)を参照してください。

26.2.18 CAN送信エラーカウントレジスタ (CTECCR)

アドレス 06F4Fh (CTECCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定可能値	R/W
b7～b0	送信エラーカウン機能 送信中のCANモジュールのエラー状態によってカウンタ値を増減させます。	00h～FFh (注1)	R

注1. バスオフ状態時の値は不定になります。

CTECCRレジスタは、送信エラーカウンタの値を示します。

送信エラーカウンタの増減条件についてはCAN仕様(ISO11898-1)を参照してください。

26.2.19 CANエラーコード格納レジスタ (CECSR)

アドレス 06F50h (CECSR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ (注1、2)	0: スタッフエラー未検出 1: スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ (注1、2)	0: フォームエラー未検出 1: フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ (注1、2)	0: ACKエラー未検出 1: ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ (注1、2)	0: CRCエラー未検出 1: CRCエラー検出	R/W
b4	BE1F	ビットエラー(レセシブ)フラグ (注1、2)	0: ビットエラー未検出 1: ビットエラー(レセシブ)検出	R/W
b5	BE0F	ビットエラー(ドミナント)フラグ (注1、2)	0: ビットエラー未検出 1: ビットエラー(ドミナント)検出	R/W
b6	ADEF	ACKデリミタエラーフラグ (注1、2)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択ビット (注3、4)	0: 最初に検出されたエラーコードを出力 1: 蓄積したエラーコードを出力	R/W

注1. 1を書いてもこれらのビットの値は変化しません。

注2. SEF、FEF、AEF、CEF、BE1F、BE0F、およびADEFビットにプログラムで0を書く場合は、MOV命令を使用し、0にしたいビットを0、そうでないビットを1にしてください。

注3. EDPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。

注4. 同時に2つ以上のエラー条件が検出された場合は、関係するすべてのビットが1になります。

CECSRレジスタは、CANバス上のエラーの発生をモニタリングする場合に使用できます。

各エラーの発生条件を確認するにはCAN仕様(ISO11898-1)を参照してください。

EDPMビット以外の各ビットを0にする場合は、プログラムで0を書いてください。各ビットが1になるタイミングとプログラムで0を書くタイミングが同じ場合、そのビットは1になります。

SEFビット(スタッフエラーフラグ)

スタッフエラーを検出すると、1になります。

FEFビット(フォームエラーフラグ)

フォームエラーを検出すると、1になります。

AEFビット(ACKエラーフラグ)

ACKエラーを検出すると、1になります。

CEFビット(CRCエラーフラグ)

CRCエラーを検出すると、1になります。

BE1Fビット(ビットエラー(レセシブ)フラグ)

レセシブビットエラーを検出すると、1になります。

BE0Fビット(ビットエラー(ドミナント)フラグ)

ドミナントビットエラーを検出すると、1になります。

ADEFビット(ACKデリミタエラーフラグ)

送信中のACKデリミタでフォームエラーを検出すると、1になります。

EDPMビット(エラー表示モード選択ビット)

CECSRレジスタの出力モードを選択します。

0にすると、CECSRレジスタは最初のエラーコードを出力します。

1にすると、CECSRレジスタは蓄積したエラーコードを出力します。

26.2.20 CANチャンネルサーチサポートレジスタ(CCSSR)

アドレス 06F51h (CCSSR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7~b0	チャンネル検索の値が入力された場合、チャンネル番号をCMSSRレジスタに出力	チャンネル値	R/W

CCSSRレジスタは、CMSSRレジスタのMBSM1、MBSM0ビットが11b(チャンネル検索モード)のときのみ変更してください。

CCSSRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

1が設定されたCCSSRレジスタのビットは、8 to 3プライオリティエンコーダ(LSB側が優先)によってエンコードされ、CMSSRレジスタのMBNST0~MBNST3ビットに出力されます。

CMSSRレジスタは、読むたびに値が更新されます。

図26.4にCCSSR、CMSSRレジスタの書き込みと読み出しを示します。

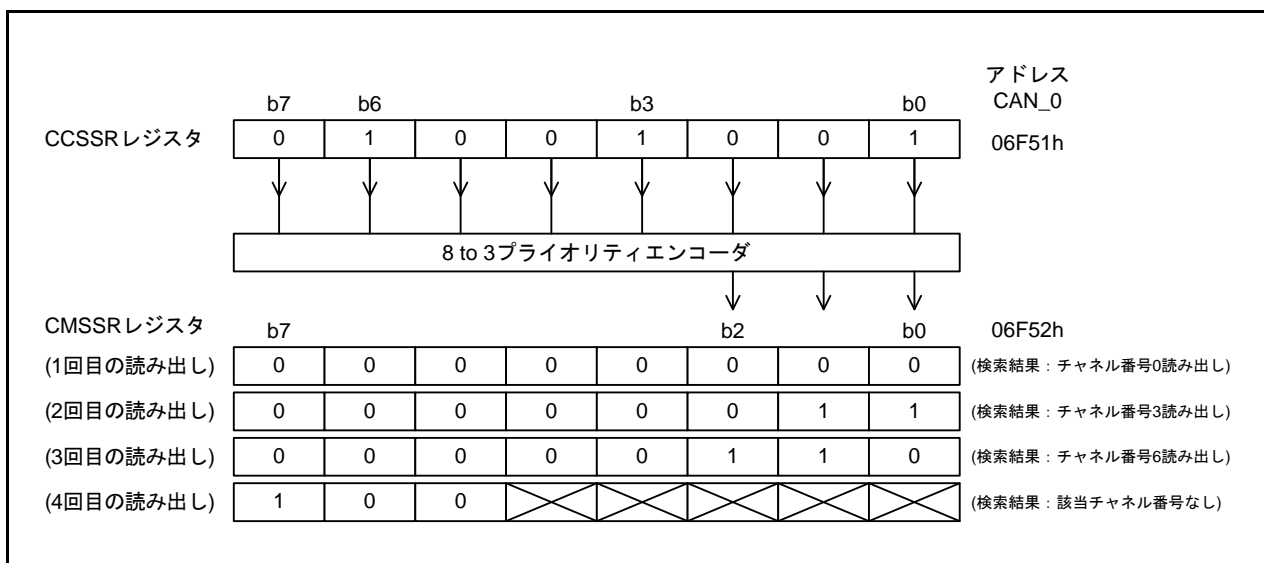


図26.4 CCSSR、CMSSRレジスタの書き込みと読み出し

CCSSRレジスタの値もCMSSRレジスタを読み出すたびに更新されます。読んだ場合、8 to 3プライオリティエンコーダ変換前の値が読めます。

26.2.21 CANメールボックスサーチステータスレジスタ (CMSSR)

アドレス 06F52h (CMSSR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SEST	—	—	—	MBNST3	MBNST2	MBNST1	MBNST0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBNST0	検索結果メールボックス 番号ステータスビット	各検索モードの検索結果を出力 出力番号：0～15	R
b1	MBNST1			R
b2	MBNST2			R
b3	MBNST3			R
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	SEST	検索結果ステータスビット	0：検索結果あり 1：検索結果なし	R

MBNST0～MBNST3ビット(検索結果メールボックス番号ステータスビット)

CMSSR レジスタの各モードで検索された、最小のメールボックス番号が出力されます。

受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- 出力されたメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが0になる
- より優先順位の高いメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが1になる

受信メールボックス検索モードおよびメッセージロスト検索モードのとき、受信FIFOが空状態ではなく、すべての通常メールボックス(メールボックス[0]～[7])に未読の受信メッセージもロストメッセージもない場合、受信FIFO(メールボックス[12])が出力されます。

送信メールボックス検索モードのとき、送信FIFO(メールボックス[8])は出力されません。

表26.10にFIFOメールボックスモードでのMBNST0～MBNST3ビットの動作を示します。

表26.10 FIFOメールボックスモードでのMBNST0～MBNST3ビットの動作

CMSSR レジスタ MBSM1、MBSM0ビット	メールボックス[8] (送信FIFO)	メールボックス[12] (受信FIFO)
00b	メールボックス[8] は出力されない	通常メールボックスの、どのNEWDATAビットも1にならず、また受信FIFOが空でない場合は、メールボックス[12]が出力される
01b		メールボックス[12]は出力されない
10b		通常メールボックスの、どのMSGLOSTビットも1にならず、受信FIFO内のRFMLFビットが1になると、メールボックス[12]が出力される
11b		メールボックス[12]は出力されない

チャンネル検索モードでは、チャンネル番号が出力されます。CMSSR レジスタがプログラムで読み出された後に、次のターゲットチャンネル番号が出力されます。

SESTビット(検索結果ステータスビット)

すべてのメールボックスの検索で該当するメールボックスがない場合、1(検索結果なし)になります。

例えば、送信メールボックス検索モードで、SENTDATAビットが1のメールボックスがひとつもない場合1になり、ひとつでもある場合0になります。

SESTビットが1の場合、MBNST0～MBNST3ビットの値は不定です。

26.2.22 CANメールボックスサーチモードレジスタ (CMSMR)

アドレス	06F53h (CMSMR_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	MBSM1	MBSM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBSM0	メールボックス検索モード	b1 b0 0 0 : 受信メールボックス検索モード 0 1 : 送信メールボックス検索モード 1 0 : メッセージロスト検索モード 1 1 : チャネル検索モード	R/W
b1	MBSM1	選択ビット		R/W
b7~b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

CMSMRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

MBSM0、MBSM1ビット(メールボックス検索モード 選択ビット)

メールボックス検索機能のための検索モードを選択します。

00bの場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、CMCTLjレジスタ(j=0~15)の通常メールボックスでのNEWDATAビットとCRFCRレジスタのRFESTビットです。

01bの場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、CMCTLjレジスタのSENTDATAビットです。

10bの場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、CMCTLjレジスタの通常メールボックスでのMSGLOSTビットとCRFCRレジスタのRFMLFビットです。

11bの場合、チャネル検索モードになります。このモードで検索対象となるレジスタはCCSSRレジスタです。「26.2.20 CANチャネルサーチサポートレジスタ(CCSSR)」を参照してください。

26.2.23 CANタイムスタンプレジスタ (CTSR)

アドレス 06F54h (CTSR_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定可能値	R/W
b15～b0	タイムスタンプ機能のためのフリーランカウンタ値	0000h～FFFFh	R

CTSRレジスタの読み出しは16ビット単位で実行してください。

CTSRレジスタを読むと、その時点のタイムスタンプカウンタ(16ビットフリーランカウンタ)の値が読み出せます。

タイムスタンプカウンタの基準クロックの値は1ビットタイムを逡倍したもので、CCTLRレジスタのTSPS0、TSPS1ビットで設定します。

タイムスタンプカウンタは、CANスリープモードおよびCAN Haltモードで停止し、CANリセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるときにタイムスタンプカウンタの値がCMBjレジスタ(j=0～15)のTSL0～TSL7、TSH0～TSH7ビットへ格納されます。

26.2.24 CANアクセプタンスフィルタサポートレジスタ (CAFSR)

アドレス 06F56h (CAFSR_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15～b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値を読み出せます。	標準ID/変換値	R/W

CAFSRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

アクセプタンスフィルタサポートユニット(ASU)は、あらかじめユーザにより作成された全標準IDが有効か無効かを1ビット単位で設定したデータテーブル(8ビット×256)の検索に使用できます。受信した標準IDが格納されたCMB_jレジスタ(j=0～15)のSIDビットを含む16ビット単位のデータをCAFSRレジスタへ書くと、デコードされたデータテーブル検索用の行(バイトオフセット)位置と列(ビット)位置が読み出せます。ASUは、標準(11ビット)IDのみに使用できます。

ASUは、次の場合に有効です。

- 受信するIDがアクセプタンスフィルタでマスクできない場合
例)受信するID : 078h、087h、111h
- 受信するIDが多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合
図26.5にCAFSRレジスタの書き込み、読み出し(j=0～15)を示します。

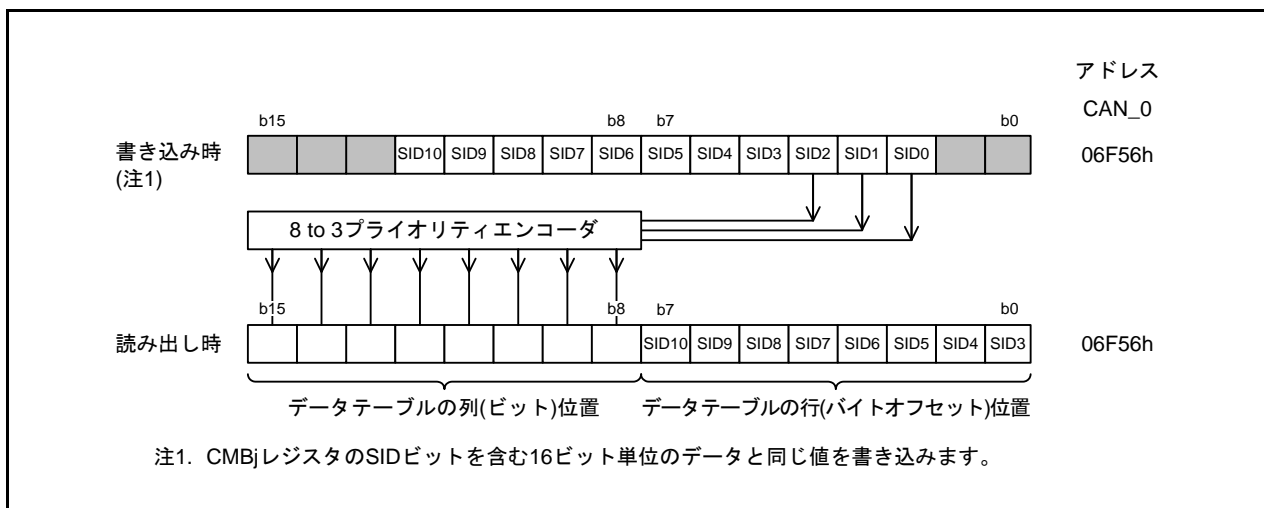


図26.5 CAFSRレジスタの書き込み、読み出し(j=0～15)

26.2.25 CANテスト制御レジスタ (CTCR)

アドレス	06F58h (CTCR_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TSTM1	TSTM0	TSTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTE	CANテストモード許可ビット	0 : CANテストモード禁止 1 : CANテストモード許可	R/W
b1	TSTM0	CANテストモード選択ビット	b2 b1 0 0 : CANテストモードでない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	R/W
b2	TSTM1			R/W
b7~b3	—	予約ビット	0にしてください	R/W

CTCRレジスタは、CAN Haltモード時にのみ変更してください。

TSTEビット(CANテストモード許可ビット)

0にすると、CANテストモードは禁止になります。

1にすると、CANテストモードは許可になります。

TSTM0、TSTM1ビット(CANテストモード選択ビット)

CANテストモードを選択するビットです。

各CANテストモードの詳細を、以下に説明します。

26.2.25.1 リッスンオンリモード

CAN仕様(ISO11898-1)では、オプションのバスモニターモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できますが、CANバス上にはレセシブビットのみが送信され、ACKビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールアドレスからも送信要求をしないでください。

図26.6にリッスンオンリモード選択時の接続を示します。

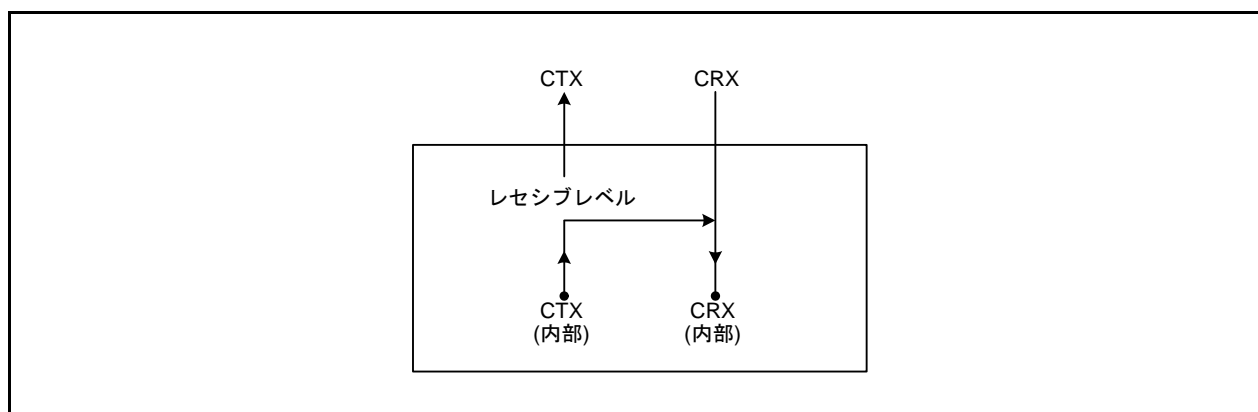


図26.6 リッスンオンリモード選択時の接続

26.2.25.2 セルフテストモード0 (外部ループバック)

セルフテストモード0はCANトランシーバテスト用です。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

CTX/CRX端子はCANトランシーバに接続してください。

図26.7にセルフテストモード0選択時の接続を示します。

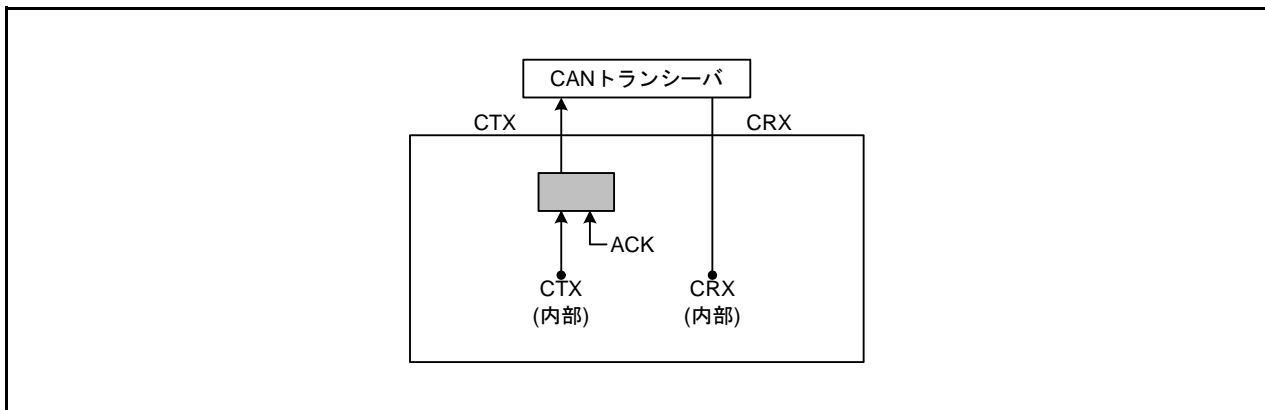


図26.7 セルフテストモード0選択時の接続

26.2.25.3 セルフテストモード1 (内部ループバック)

セルフテストモード1は、セルフテスト機能用です。

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

セルフテストモード1では内部CTX端子から内部CRX端子への内部フィードバックを行います。外部CRX端子の入力の値は、無視されます。外部CTX端子はレセプビットのみ出力します。CTX/CRX端子はCANバスや他のどの外部デバイスにも接続する必要がありません。

図26.8にセルフテストモード1選択時の接続を示します。

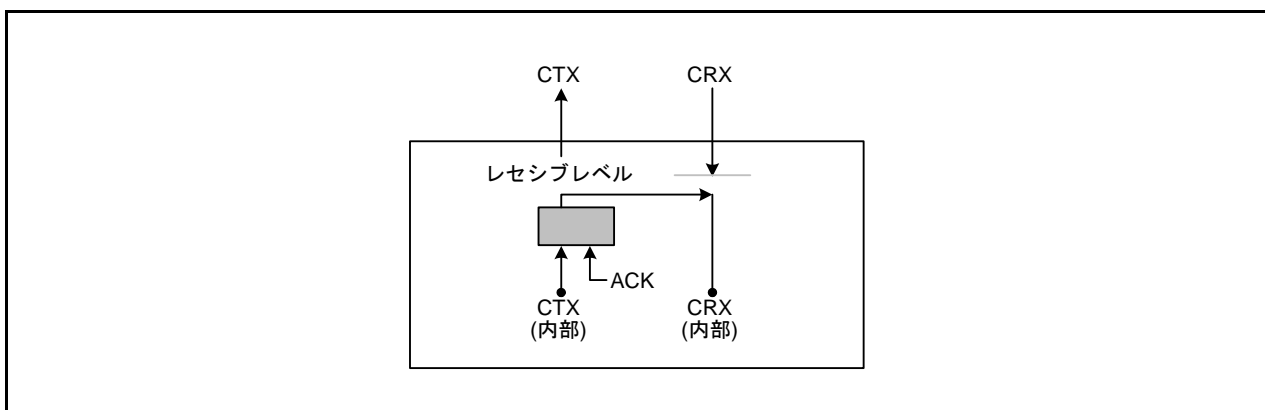


図26.8 セルフテストモード1選択時の接続

26.2.26 CAN割り込みステータスレジスタ (CANISR)

アドレス 06F7Eh (CANISR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WKUP	ERR	TFIFO	TE	RFIFO	RE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	RE	受信完了割り込みフラグ(注1)	0: 割り込み要求なし 1: 割り込み要求あり	R
b3	RFIFO	受信FIFO割り込みフラグ(注1、2)		R/W
b4	TE	送信完了割り込みフラグ(注1)		R
b5	TFIFO	送信FIFO割り込みフラグ(注1、2)		R/W
b6	ERR	バスエラー、ワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰、オーバラン、オーバロード、バスロック割り込みフラグ(注1、2)		R/W
b7	WKUP	ウェイクアップ割り込みフラグ(注2)		R/W

注1. CANリセットモードへ移行したとき、0になります。

注2. 1を読んだ後、0を書いた場合のみ0になります。

26.2.27 CAN割り込み制御レジスタ (CANIE)

アドレス 06F7Fh (CANIE_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WKUPIE	ERRIE	TFIFOIE	TEIE	RFIFOIE	REIE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	REIE	受信完了割り込み許可ビット	0: 割り込み要求禁止 1: 割り込み要求許可	R/W
b3	RFIFOIE	受信FIFO割り込み許可ビット		R/W
b4	TEIE	送信完了割り込み許可ビット		R/W
b5	TFIFOIE	送信FIFO割り込み許可ビット		R/W
b6	ERRIE	バスエラー、ワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰、オーバラン、オーバロード、バスロック割り込み許可ビット		R/W
b7	WKUPIE	ウェイクアップ割り込み許可ビット		R/W

次の3種類の割り込み要求を発生させることができます。各割り込み要求は、複数の要因が共用しています。

- CAN受信割り込み：CAN受信完了割り込みとCAN受信FIFO割り込みで共有
- CAN送信割り込み：CAN送信完了割り込みとCAN送信FIFO割り込みで共有
- CANエラー割り込み：CANエラー割り込みとCANウェイクアップ割り込みで共有

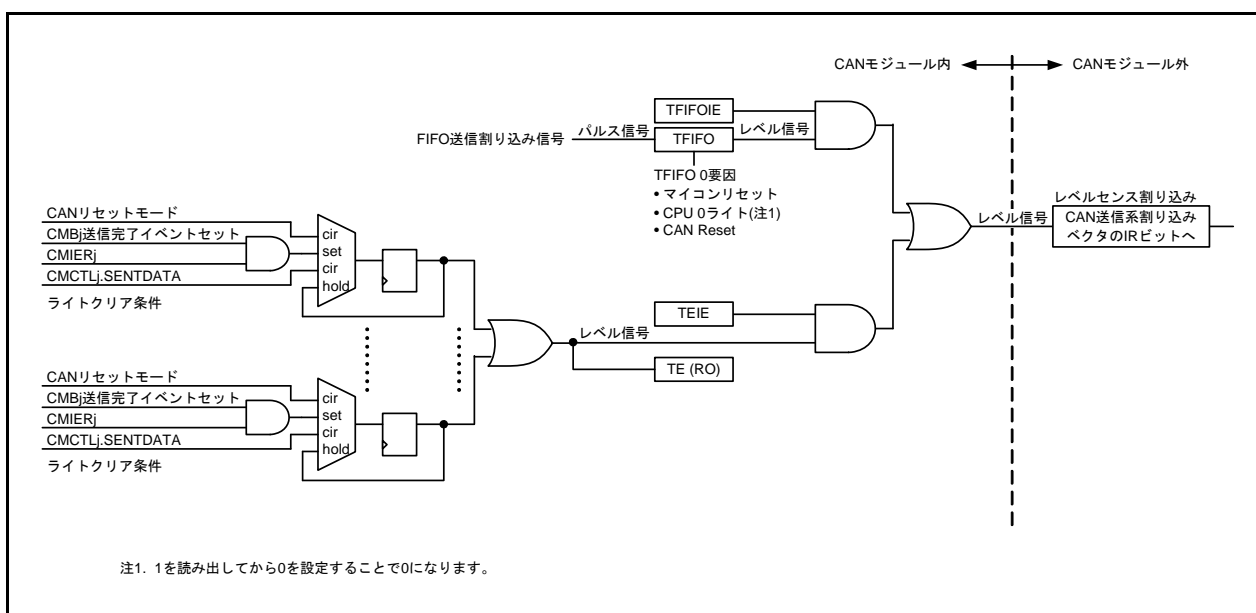


図 26.9 送信割り込み信号回路 ($j = 0 \sim 15$)

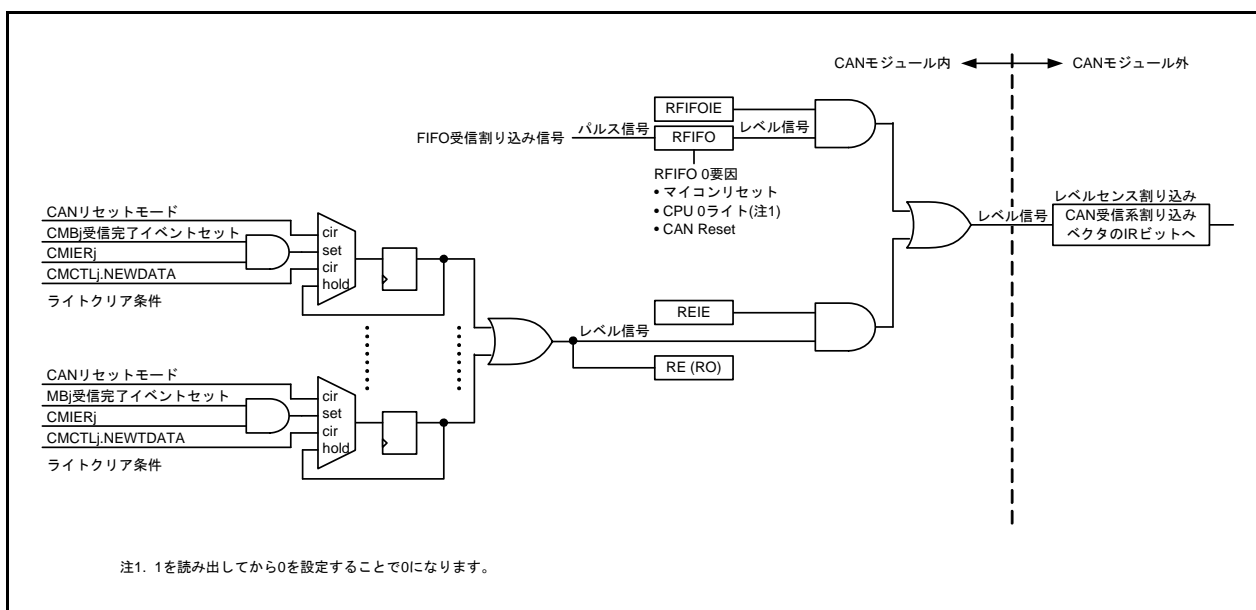


図 26.10 受信割り込み信号回路 ($j = 0 \sim 15$)

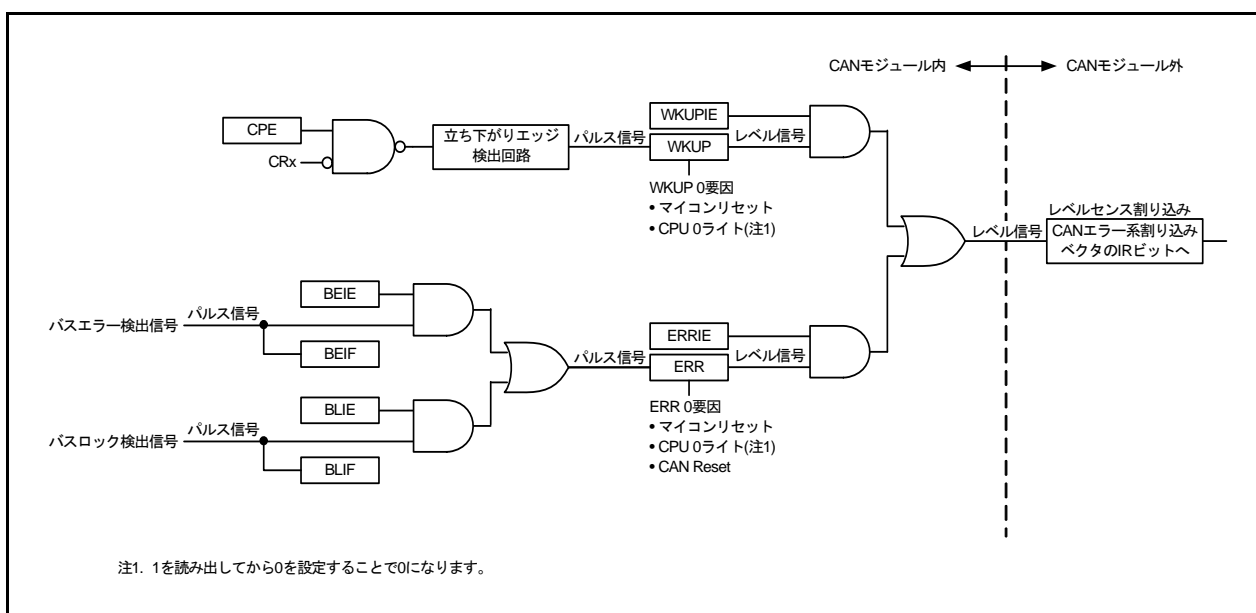


図26.11 エラー割り込み信号回路

26.3 動作モード

CANモジュールには、次の4つの動作モードがあります。

- CANリセットモード
- CAN Haltモード
- CANオペレーションモード
- CANスリープモード

図26.12にCAN動作モード間の遷移を示します。

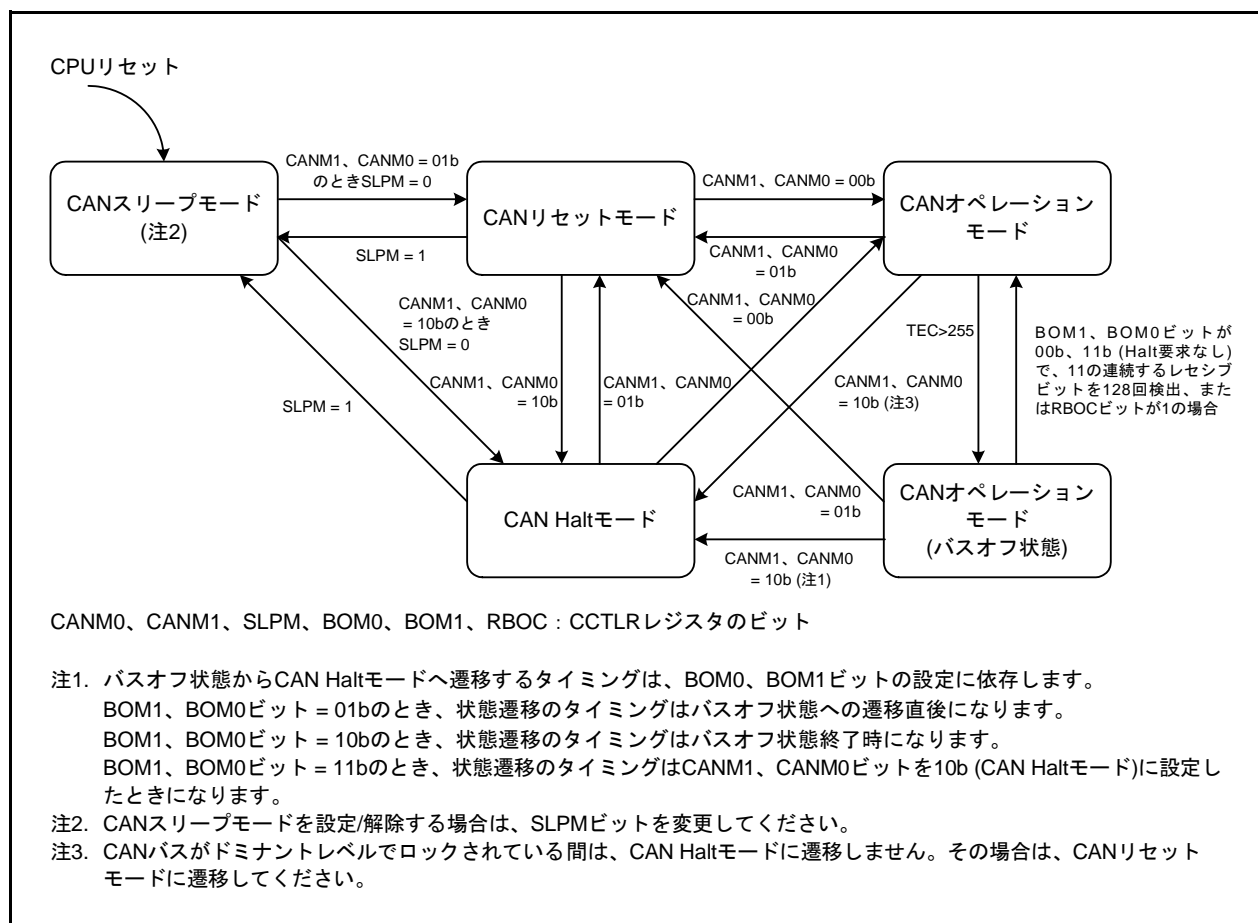


図26.12 CAN動作モード間の遷移

26.3.1 CANリセットモード

CANリセットモードは、CAN通信の設定を行うモードです。

CCTLRレジスタのCANM1、CANM0ビットを01bにすると、CANリセットモードになります。そのとき、CSTRレジスタのRSTSTビットが1になります。RSTSTビットが1になるまで、CANM0、CANM1ビットを変更しないでください。

CANリセットモードから他のモードへ遷移する前に、CBCRレジスタを設定してください。

以下のレジスタは、CANリセットモードに遷移した後、それぞれのリセット後の値に初期化され、CANリセットモード中は初期値を保持します。

- CMCTLjレジスタ (j = 0 ~ 15)
- CSTRレジスタ (SLPSTビットとTFSTビットを除く)
- CEIFRレジスタ
- CRECRレジスタ
- CTECRレジスタ
- CTSRレジスタ
- CMSSRレジスタ
- CMSMRレジスタ
- CRFCRレジスタ
- CTFCRレジスタ
- CTCRレジスタ
- CECSRレジスタ (EDPMビットを除く)
- CANISRレジスタ

以下のレジスタは、CANリセットモードに遷移した後も、以前の値を保持します。

- CCLKRレジスタ
- CCTLRレジスタ
- CSTRレジスタ (SLPSTビットとTFSTビット)
- CMIERレジスタ
- CEIERレジスタ
- CBCRレジスタ
- CCSSRレジスタ
- CECSRレジスタ (EDPMビットのみ)
- CMBjレジスタ
- CMKR0 ~ CMKR3レジスタ
- CFIDCR0、CFIDCR1レジスタ
- CMKIVLRレジスタ
- CAFSRレジスタ
- CRFPCRレジスタ
- CTFPCRレジスタ
- CANIEレジスタ

26.3.2 CAN Haltモード

CAN Haltモードは、メールボックスの設定とテストモードの設定を行うモードです。

CCTLRレジスタのCANM1、CANM0ビットを10bにすると、CAN Haltモードになります。そのとき、CSTRレジスタのHLTSTビットが1になります。HLTSTビットが1になるまで、CANM0、CANM1ビットを変更しないでください。

送信または受信時の状態遷移の条件は「表 26.11 CANリセットモードとCAN Haltモードでの動作」を参照してください。

CAN Haltモードへの遷移では、CSTRレジスタのRSTSTビット、HLTSTビットおよびSLPSTビット以外のビットと他のすべてのレジスタは変化しません。

CAN Haltモードでは、CCLKR、CCTLRレジスタ(CANM0、CANM1ビットとSLPMビットを除く)およびCEIERレジスタは変更しないでください。CANテストモードで、自動ポーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN HaltモードでCBCRレジスタを変更できます。

表 26.11 CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード	メッセージ受信の終了を待たずにCANリセットモードに遷移	メッセージ送信の終了を待ってCANリセットモードに遷移(注1、4)	バスオフ復帰を待たずにCANリセットモードに遷移
CAN Haltモード	メッセージ受信の終了を待ってCAN Haltモードに遷移(注2、3)	メッセージ送信の終了を待ってCAN Haltモードに遷移(注1、2、4)	<p>【BOM1、BOM0ビットが00bの場合】バスオフ復帰後のみ、プログラムのHalt要求を受け付ける</p> <p>【BOM1、BOM0ビットが01bの場合】バスオフ復帰を待たずに自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOM1、BOM0ビットが10bの場合】バスオフ復帰を待って自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOM1、BOM0ビットが11bの場合】バスオフ中にプログラムによるHalt要求があると、CAN Haltモードに遷移(バスオフ復帰を待たずに)</p>

BOM0、BOM1ビット：CCTLRレジスタのビット

注1. いくつかのメッセージが送信要求されている場合、最初の送信完了後にモードを遷移します。サスペンドトランスマッション中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを遷移します。

注2. CANバスがドミナントレベルでロックされた場合、CEIFRレジスタのBLIFビットをモニタすると、プログラムはバスロックを検出できます。CANバスがドミナントレベルでロックされている間は、CAN Haltモードに遷移しません。この場合は、CANリセットモードに遷移してください。

注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに遷移します(ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに遷移しません)。

注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、要求された動作モードに遷移します(ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに遷移しません)。

26.3.3 CANスリープモード

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのリセット後は、CANスリープモードから動作を開始します。

CCTLRレジスタのSLPMビットを1にすると、CANスリープモードになります。そのとき、CSTRレジスタのSLPSTビットが1になります。SLPSTビットが1になるまで、SLPMビットの値を変更しないでください。CANスリープモードへの遷移時は、他のレジスタは変化しません。

SLPMビットは、CANリセットモードとCAN Haltモードで変更してください。SLPMビットを除く他のレジスタは、CANスリープモード中は変更しないでください。読み出し動作は許可されます。

SLPMビットを0にすると、CANスリープモードから解除されます。CANスリープモードからの復帰時、他のレジスタは変化しません。

26.3.4 CANオペレーションモード(バスオフ状態以外)

CANオペレーションモードは、CAN通信をするモードです。

CCTLRレジスタのCANM1、CANM0ビットを00bにすると、CANオペレーションモードになります。そのとき、CSTRレジスタのRSTSTビットとHLTSTビットが0になります。RSTSTビットとHLTSTビットが0になるまで、CANM0、CANM1ビットの値を変更しないでください。

CANオペレーションモードに遷移した後、11の連続するレセシブビットを検出すると、CANモジュールは次の状態になります。

- CANモジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CANメッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CANバスのエラー監視処理が行われる

CANバスの状態によって、CANオペレーションモード中に、次の3つのいずれかのサブモードになっています。

- アイドルモード：送受信を行っていない状態です。
- 受信モード：他のノードが送信したCANメッセージを受信しています。
- 送信モード：CANメッセージを送信しています。セルフテストモード0 (CTCRレジスタのTSTM1、TSTM0ビットが10b) またはセルフテストモード1 (TSTM1、TSTM0ビットが11b) が選択されている場合、同時に自ノードが送信したメッセージを受信します。

図26.13にCANオペレーションモードのサブモードを示します。

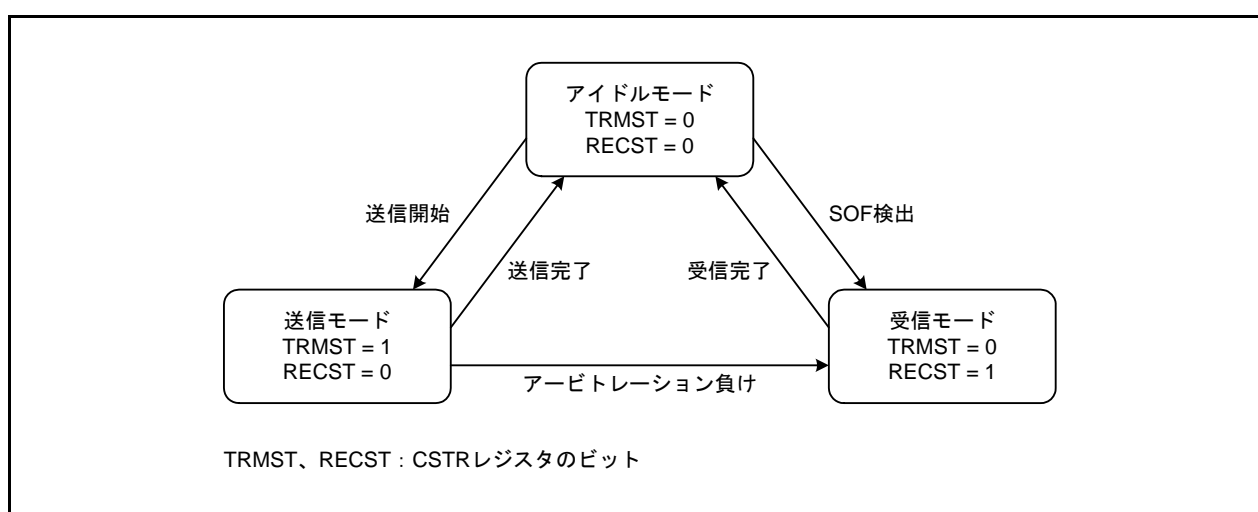


図26.13 CANオペレーションモードのサブモード

26.3.5 CANオペレーションモード(バスオフ状態)

CAN仕様の送信、受信エラーカウンタの増減ルールに従って、バスオフ状態に遷移します。バスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、CSTR、CEIFR、CRECR、CTECSRおよびCTSRレジスタを除く関連レジスタの値は変化しません。

- (1) CCTLRレジスタのBOM1、BOM0ビットが00bの場合(ノーマルモード)
バスオフ状態からの復帰完了後、エラーアクティブ状態に遷移し、CAN通信ができるようになります。このとき、CEIFRレジスタのBORIFビットが1(バスオフ復帰検出)になります。
- (2) CCTLRレジスタのRBOCビットを1にしたとき(バスオフからの強制復帰)
バスオフ状態になり、RBOCビットが1になると、エラーアクティブ状態に遷移し、11の連続するレセンプビットを検出した後、再びCAN通信ができるようになります。このとき、BORIFビットは1になりません。
- (3) BOM1、BOM0ビットが01bの場合(バスオフ開始で自動的にCAN Haltモードへ遷移)
バスオフ状態に達するとCAN Haltモードになります。このとき、BORIFビットは1になりません。
- (4) BOM1、BOM0ビットが10bの場合(バスオフ終了で自動的にCAN Haltモードへ遷移)
バスオフからの復帰が完了するとCAN Haltモードになります。このとき、BORIFビットは1になります。
- (5) BOM1、BOM0ビットが11bの場合(プログラムによりCAN Haltモードへ遷移)にバスオフ状態でCCTLRレジスタのCANM1、CANM0ビットを10bにしたとき(CAN Haltモード)
バスオフ状態時にCANM1、CANM0ビットが10b(CAN Haltモード)に設定されると、CAN Haltモードになります。このとき、BORIFビットは1になりません。
バスオフ中にCANM1、CANM0ビットが10bに設定されないときは、(1)と同じ動作になります。

26.4 CAN通信速度の設定

CAN通信速度の設定について、以下に説明します。

26.4.1 CANクロックの設定

本グループでは、CANクロック選択回路があります。CANクロックは、PCLKR1レジスタのPCLK10～PCLK12ビット、CCLKRレジスタのCCLKSビット、およびCBCRレジスタのBRP0～BRP9ビットで設定できます。

図26.14にCANクロック発生回路ブロック図を示します。

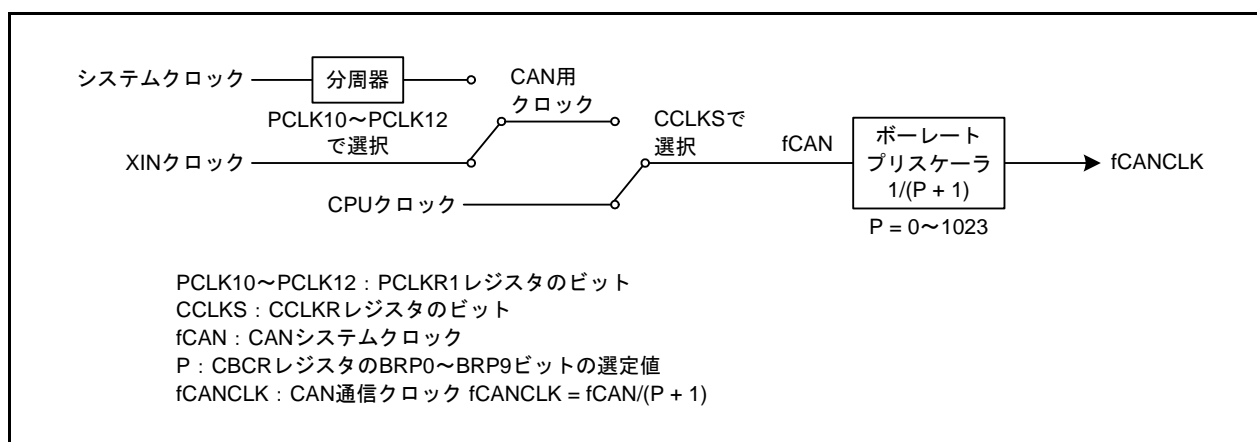


図26.14 CANクロック発生回路ブロック図

26.4.2 ビットタイミングの設定

ビットタイムは、送信または受信するメッセージの1ビットの時間であり、次の3つのセグメントで構成されます。

図26.15にビットタイミング図を示します。

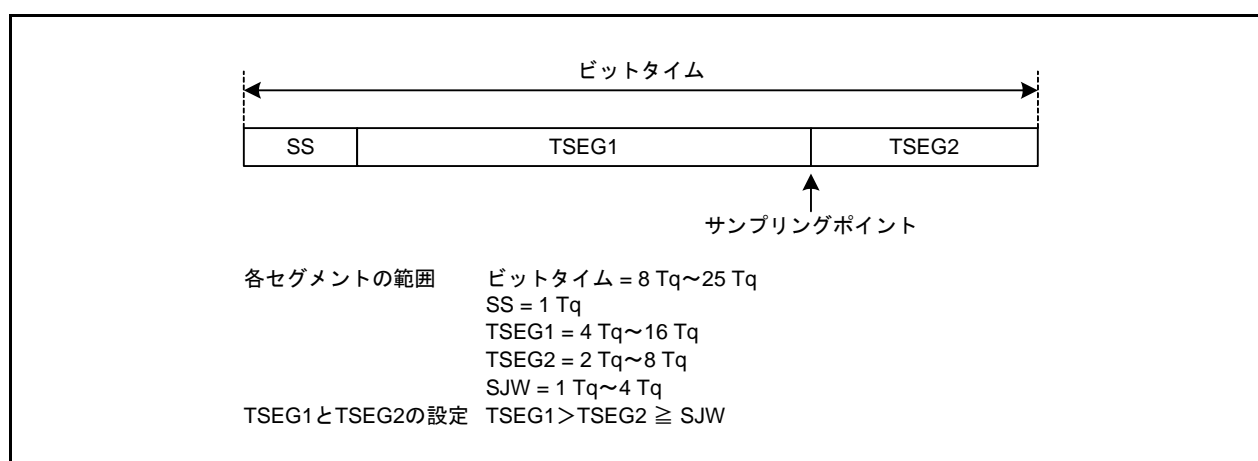


図26.15 ビットタイミング図

26.4.3 ビットレート

ビットレートは、fCAN (CANシステムクロック)、ボーレートプリスケアラ分周値、および1ビットタイムのTqの数に依存します。

$$\text{ビットレート [bps]} = \frac{f_{\text{CAN}}}{\text{ボーレートプリスケアラ分周値(注1)} \times 1 \text{ビットタイムのTqの数}} = \frac{f_{\text{CANCLK}}}{1 \text{ビットタイムのTqの数}}$$

注1. ボーレートプリスケアラ分周値 = P + 1 (P = 0 ~ 1023)

P : CBCRレジスタのBRP0 ~ BRP9ビットの設定値

表26.12にビットレートの例を示します。

表26.12 ビットレートの例

fCAN	32MHz		24MHz		20MHz		16MHz		8MHz	
ビットレート	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1
1Mbps	8Tq	4	8Tq	3	10Tq	2	8Tq	2	8Tq	1
	16Tq	2	—	—	20Tq	1	16Tq	1	—	—
500kbps	8Tq	8	8Tq	6	10Tq	4	8Tq	4	8Tq	2
	16Tq	4	16Tq	3	20Tq	2	16Tq	2	16Tq	1
250kbps	8Tq	16	8Tq	12	10Tq	8	8Tq	8	8Tq	4
	16Tq	8	16Tq	6	20Tq	4	16Tq	4	16Tq	2
83.3kbps	8Tq	48	8Tq	36	8Tq	30	8Tq	24	8Tq	12
	16Tq	24	16Tq	18	10Tq	24	16Tq	12	16Tq	6
	—	—	—	—	16Tq	15	—	—	—	—
	—	—	—	—	20Tq	12	—	—	—	—
33.3kbps	8Tq	120	8Tq	90	8Tq	75	8Tq	60	8Tq	30
	10Tq	96	10Tq	72	10Tq	60	10Tq	48	10Tq	24
	16Tq	60	16Tq	45	20Tq	30	16Tq	30	16Tq	15
	20Tq	48	20Tq	36	—	—	20Tq	24	20Tq	12

26.5 メールボックスとマスクレジスタの構成

同じ構成の16個のメールボックスがあります。

図26.16にCMB_jレジスタの構成(j = 0~15)を示します。

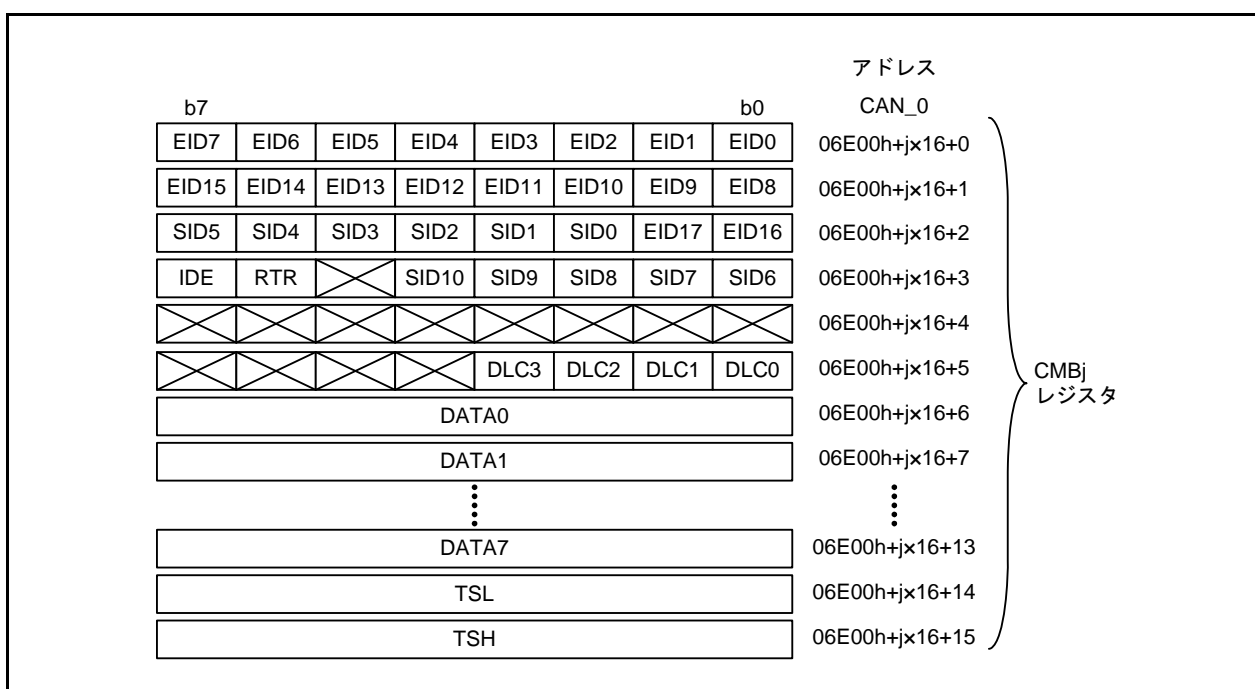


図26.16 CMB_jレジスタの構成(j = 0~15)

同じ構成の4個のマスクレジスタがあります。

図26.17にCMKR_kレジスタの構成(k = 0~3)を示します。

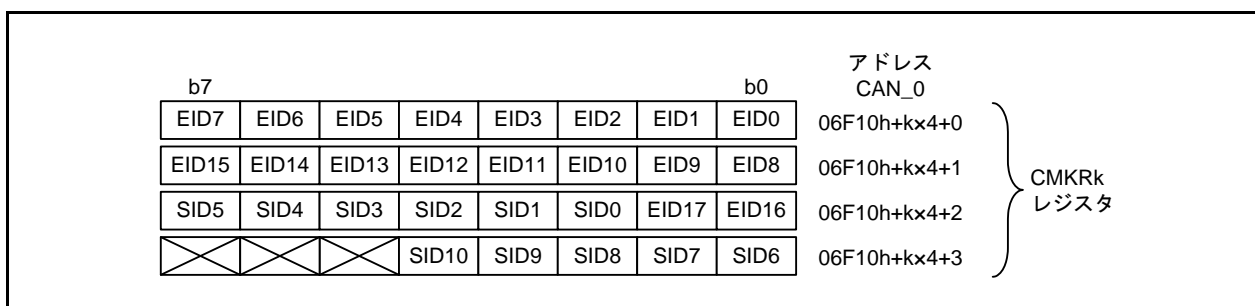


図26.17 CMKR_kレジスタの構成(k = 0~3)

同じ構成の2個のFIFO受信ID比較レジスタがあります。

図26.18にCFIDCR_nレジスタの構成(n = 0, 1)を示します。

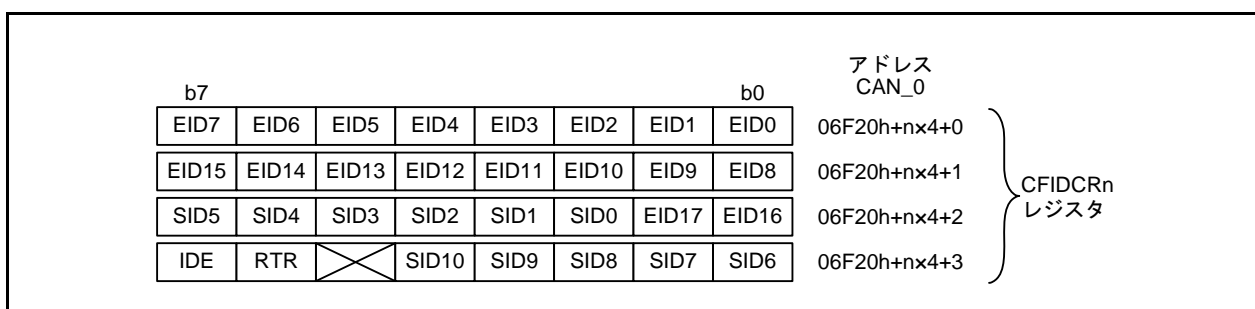


図26.18 CFIDCR_nレジスタの構成(n = 0, 1)

26.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタは、メールボックスに対して一定範囲の複数IDのメッセージ受信を許可します。

CMKR0～CMKR3レジスタは標準IDと29ビットの拡張IDのマスクができます。

- CMKR0レジスタは、メールボックス[0]～[3]に対応
- CMKR1レジスタは、メールボックス[4]～[7]に対応
- CMKR2レジスタは、通常メールボックスモードではメールボックス[8]～[11]に対応。FIFOメールボックスモードの受信FIFOでは[12]～[15]に対応。
- CMKR3レジスタは、通常メールボックスモードの場合はメールボックス[12]～[15]、FIFOメールボックスモードの場合は受信FIFOメールボックス[12]～[15]に対応

CMKIVLRレジスタは、各メールボックスに対して個別にアクセプタンスフィルタ機能を禁止します。

CMB_jレジスタ(j=0～15)のIDEビットは、CCTLRレジスタのIDFM1、IDFM0ビットが10b(ミックスIDモード)のとき、有効です。

CMB_jレジスタのRTRビットはデータフレームまたはリモートフレームを選択します。

FIFOメールボックスモードでは、通常メールボックス(メールボックス[0]～[7])は、CMKR0、CMKR1レジスタの中から対応する1つを使用してアクセプタンスフィルタ処理しますが、受信FIFOメールボックス(メールボックス[12]～[15])は、CMKR2、CMKR3レジスタの2つを使用してアクセプタンスフィルタ処理を行います。

また、受信FIFOはCFIDCR0、CFIDCR1レジスタの2つを使用して、IDの比較を行います。受信FIFOのCMB12～CMB15レジスタのEID、SID、RTR、IDEビットは無効になります。それぞれ2つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信FIFOでは2つの範囲のIDを受信することができます。

CMKIVLRレジスタは、受信FIFOに対しては無効です。

標準IDと拡張IDの両方がそれぞれCFIDCR0、CFIDCR1レジスタのIDEビットに設定された場合、両方のIDフォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれCFIDCR0、CFIDCR1レジスタのRTRビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2つの範囲のIDの組み合わせを必要としない場合は、FIFO IDとマスクレジスタの両方に同じマスク値と同じIDを設定してください。

図26.19にマスクレジスタとメールボックスの対応を、図26.20にアクセプタンスフィルタ機能(j=0～15、k=0～3)を示します。

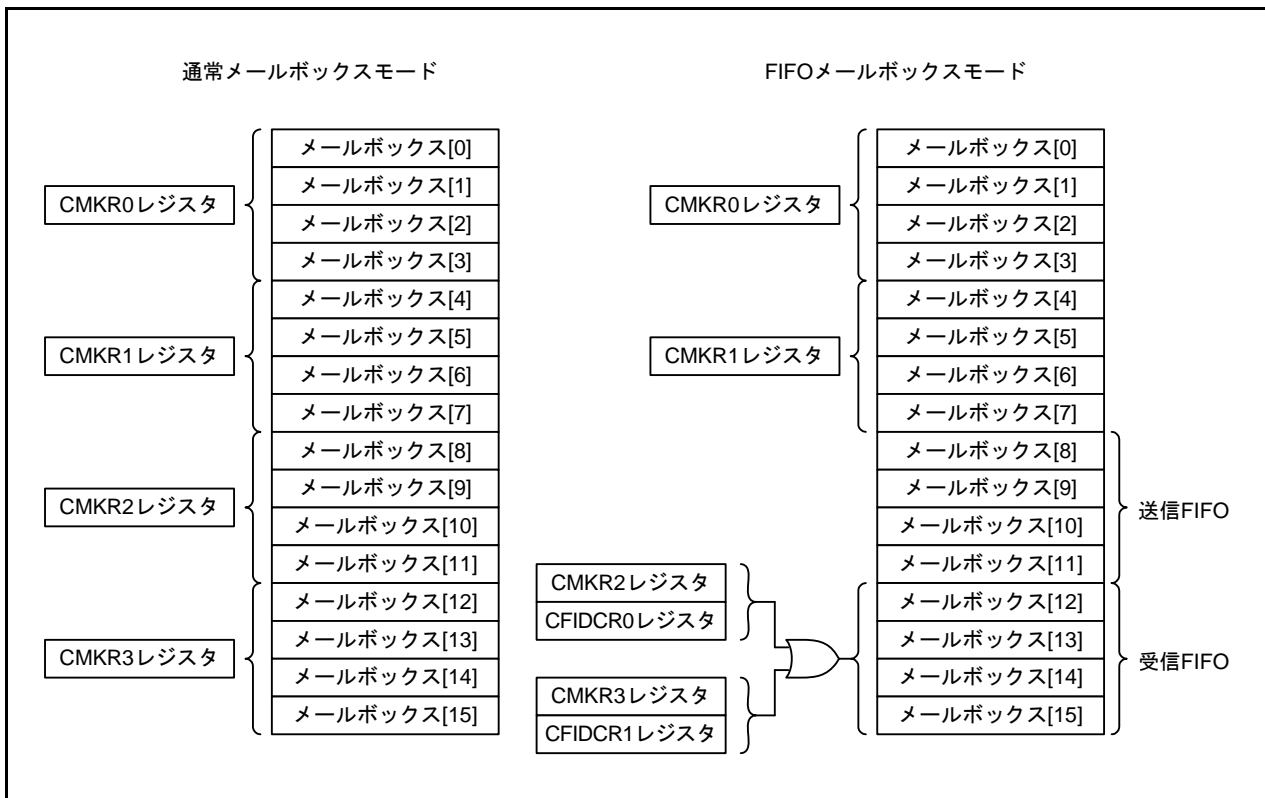


図 26.19 マスクレジスタとメールボックスの対応

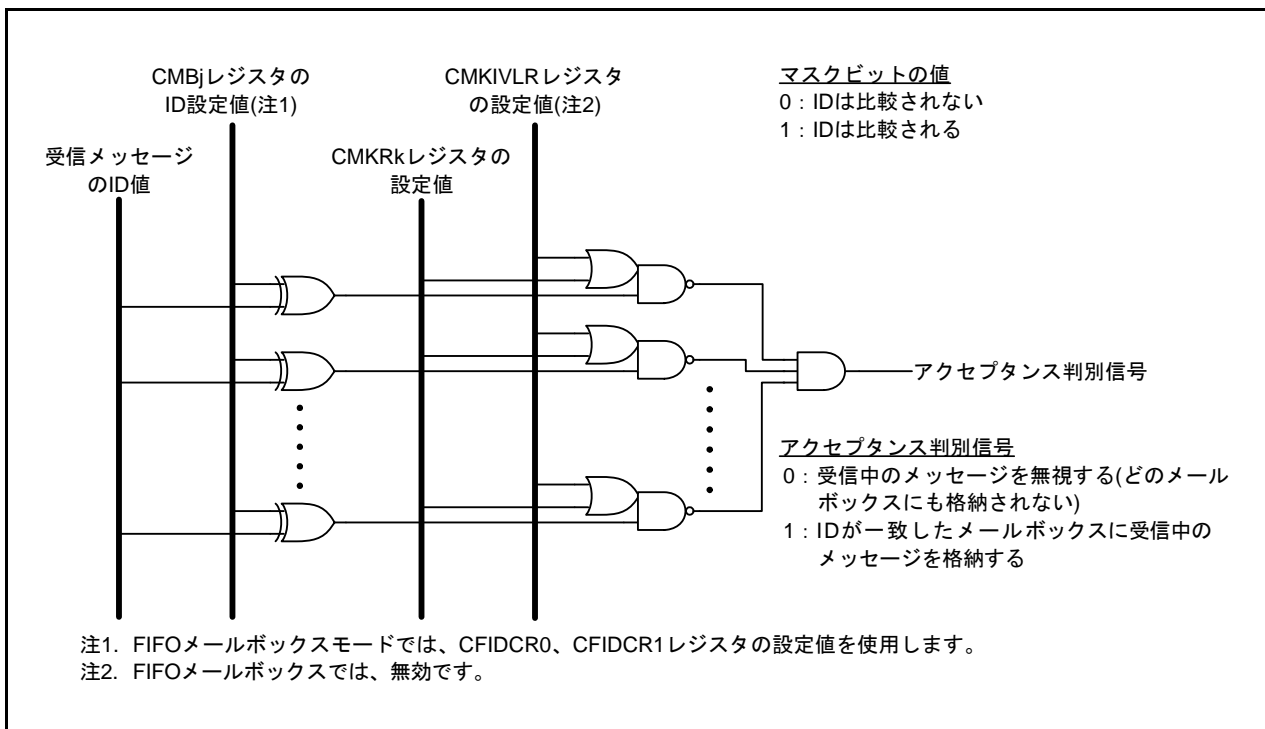


図 26.20 アクセプタンスフィルタ機能 (j = 0~15、k = 0~3)

26.7 受信、送信

表26.13にCAN受信モードとCAN送信モードの設定方法を示します。

表26.13 CAN受信モードとCAN送信モードの設定方法

TRMREQ	RECREQ	ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アポート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアポートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

TRMREQ、RECREQ、ONESHOT : CMCTLjレジスタのビット(j = 0 ~ 15)

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

- (1) メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、CMCTLjレジスタ(j = 0 ~ 15)を00hにしてください。
- (2) 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうが優先順位がより高くなります。
- (3) CANオペレーションモードで、受信メッセージに設定したメールボックスのID/マスクセットに一致するメッセージを送信した場合、CANモジュールは送信データを受信しません。しかしセルフテストモードでは、CANモジュールは送信データを受信します。この場合、CANモジュールはACKを返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

- (1) メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、CMCTLjレジスタを00hにして、さらに、アポート処理中でないことを確認してください。

26.7.1 受信

図26.21にデータフレーム受信時の動作例(オーバーライトモードの場合)($j=0\sim 15$)を示します。

この例は、CMCTL0レジスタの受信条件に一致する2つの連続したCANメッセージを受信する際、最初のメッセージを上書きする場合の動作です。

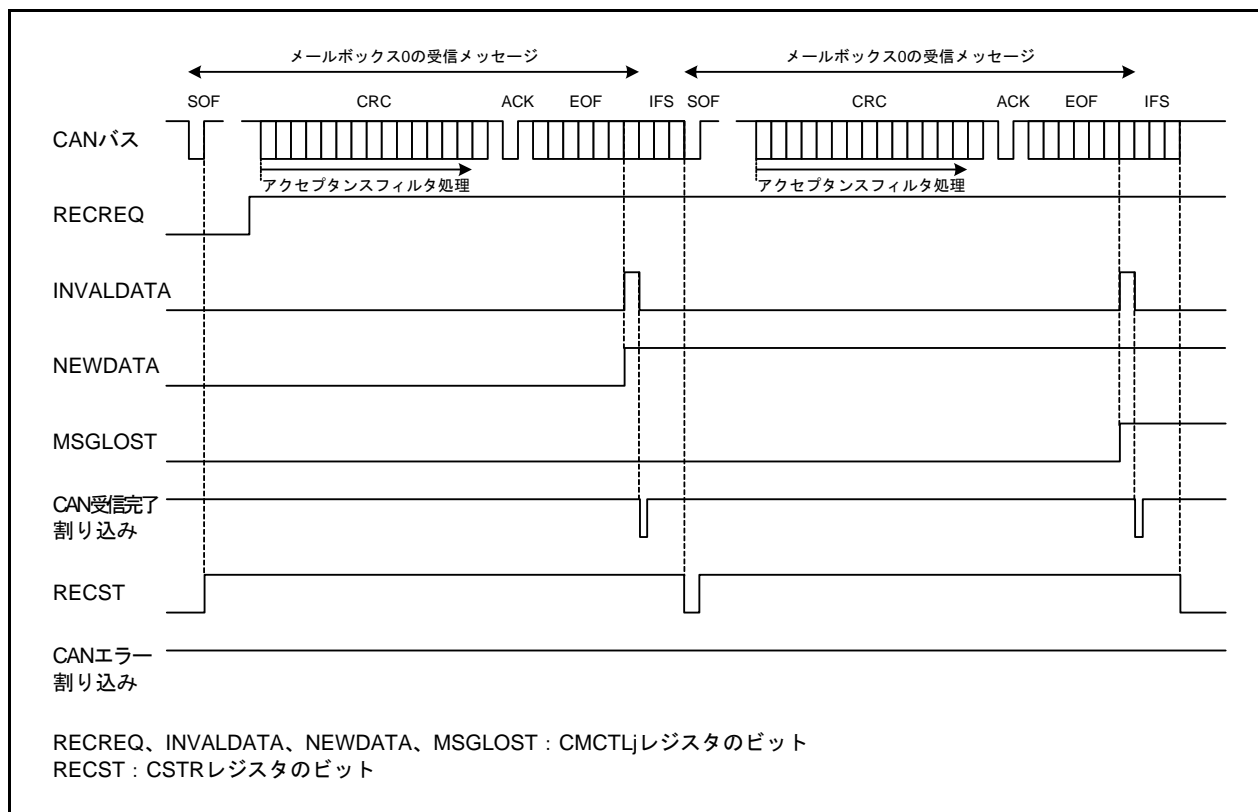


図26.21 データフレーム受信時の動作例(オーバーライトモードの場合)($j=0\sim 15$)

- (1) CANバス上でSOFを検知すると、CANモジュールに送信開始するメッセージがない場合、CSTRレジスタのRECSTビットが1(受信中)になります。
- (2) 受信メールボックスを選択するために、CRCフィールドの最初からアクセプタンスフィルタ処理が開始されます。
- (3) メッセージの受信を完了すると、受信メールボックスのCMCTLjレジスタ($j=0\sim 15$)のNEWDATAビットが1(新しいメッセージを更新中、またはメールボックスに格納された)になります。同時にCMCTLjレジスタのINVALIDDATAビットが1(メッセージを更新中)になり、そのメールボックスにメッセージ全体が転送された後、INVALIDDATAビットは0(メッセージは有効)に戻ります。
- (4) 受信メールボックスのCMIERレジスタの割り込み許可ビットが1(割り込み許可)の場合、CAN受信完了割り込み要求が発生します。INVALIDDATAビットが0になると、この割り込み(CAN受信完了割り込み)が発生します。
- (5) メールボックスからメッセージを読み出した後、NEWDATAビットをプログラムで0にする必要があります。
- (6) オーバライトモードでは、NEWDATAビットがまだ1に設定されているメールボックスに次のCANメッセージの受信が完了すると、CMCTLjレジスタのMSGLOSTビットが1(メッセージはオーバーライトされた)になります。新しく受信したメッセージはメールボックスに転送されます。CAN受信完了割り込み要求は、(4)と同様に変化します。

図26.22にデータフレーム受信時の動作例(オーバランモードの場合)($j=0\sim 15$)を示します。

この例は、CMCTL0レジスタの受信条件に一致する2つの連続したCANメッセージを受信する際、2つ目のメッセージを破棄する場合の動作です。

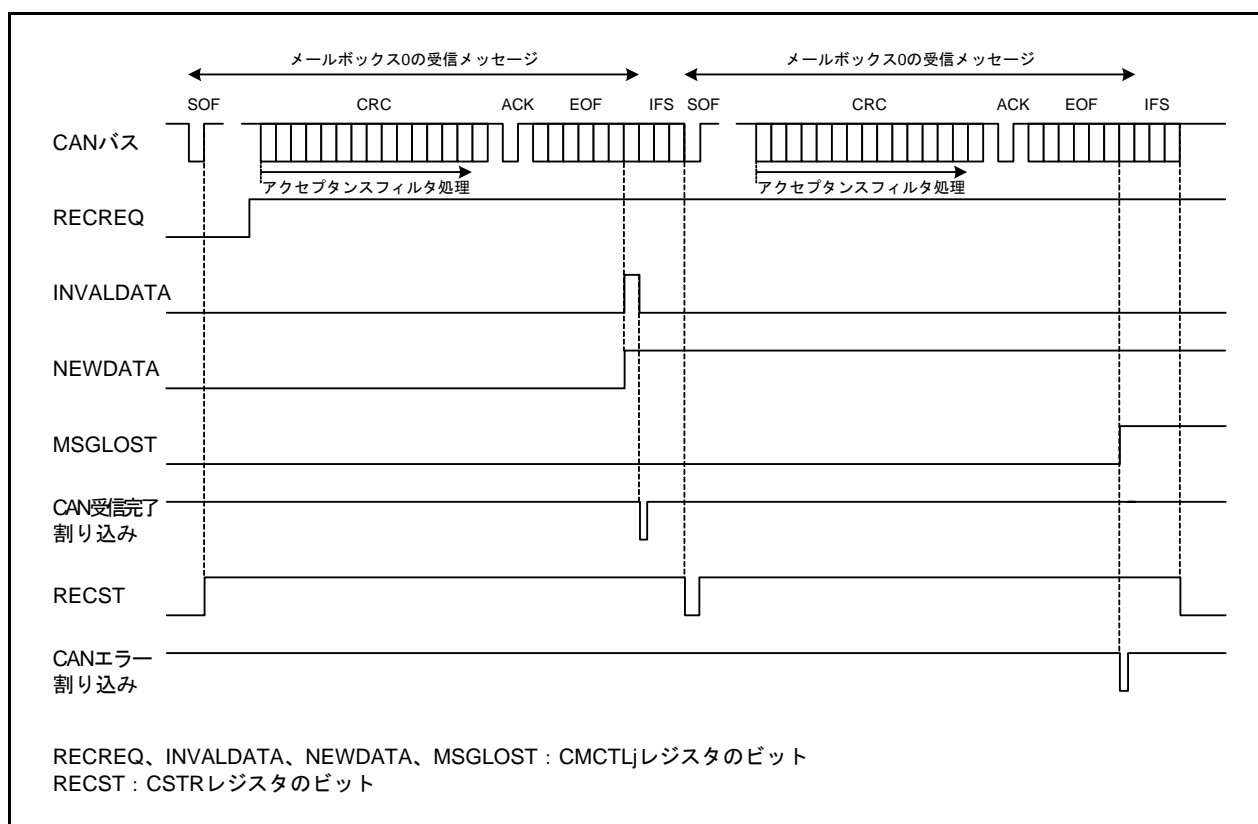


図26.22 データフレーム受信時の動作例(オーバランモードの場合)($j=0\sim 15$)

(1)～(5)はオーバライトモードと同じです。

(6) オーバランモードでは、NEWDATAビットが0に設定される前に、次のCANメッセージの受信が完了すると、CMCTLjレジスタ($j=0\sim 15$)のMSGLOSTビットが1(メッセージはオーバランされた)になります。新しく受信したメッセージは破棄され、CEIERレジスタの対応する割り込み許可ビットが1(割り込み許可)の場合、CANエラー割り込み要求が発生します。

26.7.2 送信

図26.23にデータフレーム送信時の動作例(j = 0~15)を示します。

この例は、CMCTL0、CMCTL1レジスタへ設定したメッセージを送信する場合の動作です。

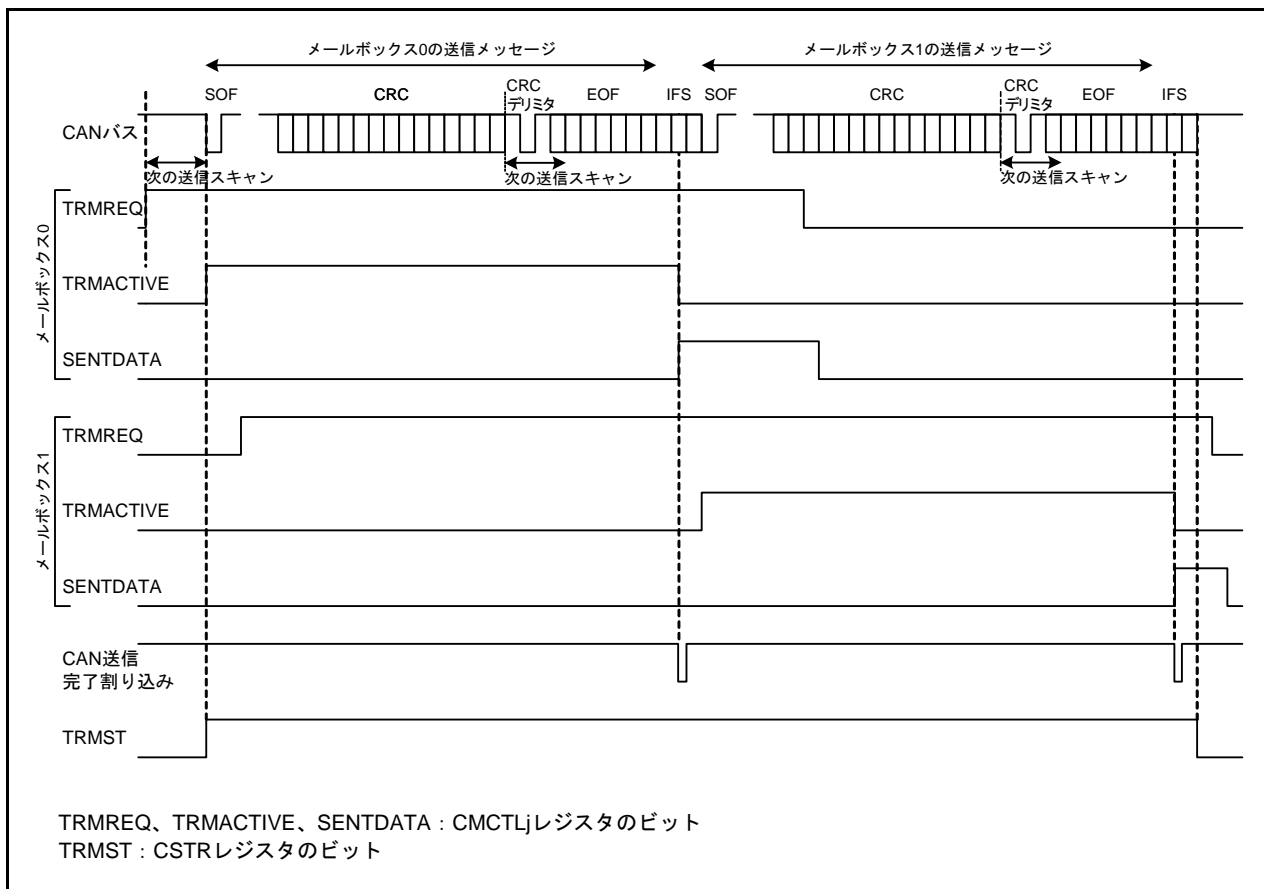


図26.23 データフレーム送信時の動作例(j = 0~15)

- (1) バスアイドル状態で、CMCTLjレジスタ(j = 0~15)のTRMREQビットを1(送信メールボックス)にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、CMCTLjレジスタのTRMACTIVEビットが1(送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、CSTRレジスタのTRMSTビットが1(送信中)になり、CANモジュールは送信を開始します(注1)。
- (2) 他のTRMREQビットが設定されている場合は、CRCデリミタから次の送信のための送信スキャン処理を開始します。
- (3) アービトレーション負けが発生せずに送信が完了すると、CMCTLjレジスタのSENTDATAビットが1(送信完了)に、TRMACTIVEビットが0(送信待機中、または送信要求なし)になります。そして、CMIERレジスタの割り込み許可ビットが1(割り込み許可)の場合は、CAN送信完了割り込み要求が発生します。
- (4) 同一のメールボックスから次の送信を要求する場合は、SENTDATAビットとTRMREQビットを0にして、SENTDATAビットとTRMREQビットが0になるのを確認した後、TRMREQビットを1にしてください。

注1. CANモジュールが送信開始した後でアービトレーション負けをした場合、TRMACTIVEビットは0になります。CRCデリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーション負けに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

26.8 CAN割り込み

次の6種類の割り込み要求を発生させることができます。各割り込みは、CAN割り込みステータスレジスタによって割り込み要因を判別することができます。

- CAN受信完了割り込み
- CAN送信完了割り込み
- CAN受信FIFO割り込み
- CAN送信FIFO割り込み
- CANエラー割り込み
- CAN ウェイクアップ割り込み

各割り込み要因は、以下の要因ごとにまとめられ周辺機能割り込み要因になります。

- (1) CAN受信完了割り込みとCAN受信FIFO割り込みは、周辺機能割り込みのCAN受信割り込みとなります。
- (2) CAN送信完了割り込みとCAN送信FIFO割り込みは、周辺機能割り込みのCAN送信割り込みとなります。
- (3) CANエラー割り込みとCANウェイクアップ割り込みは、周辺機能割り込みのCANエラー割り込みとなります。

割り込み発生後、先にCANISRレジスタのERRビットおよびWKUPビットにてCANエラー割り込みかCANウェイクアップ割り込みかを判別してください。

CANエラー割り込みには、8つの割り込み要因があります。これらの要因は、CEIFRレジスタをチェックすることで確認できます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバラン
- オーバロードフレーム送信
- バスロック

27. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力にはAN0～AN11、ANEX0～ANEX3端子で、P0_0～P0_7、P1_0～P1_3、P1_4～P1_7と端子を共用しています。

27.1 概要

表27.1にA/Dコンバータの性能を、図27.1にA/Dコンバータのブロック図を示します。

表27.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0 V～AVCC
動作クロック ϕ AD(注2)	fAD、fADの2分周、fADの4分周、fADの8分周 (fAD = f1またはfHOCO-F)
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC = Vref = 5 V、 ϕ AD = 20 MHzのとき <ul style="list-style-type: none"> • 分解能8ビットの場合 ±2 LSB • 分解能10ビットの場合 ±3 LSB AVCC = Vref = 3.0 V、 ϕ AD = 10 MHzのとき <ul style="list-style-type: none"> • 分解能8ビットの場合 ±2 LSB • 分解能10ビットの場合 ±5 LSB
動作モード	単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード
アナログ入力端子	16本(AN0～AN11、ANEX0～ANEX3)
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRD • タイマRC • イベントリンクコントローラ(ELC)からのイベント入力トリガ (「27.3.3 A/D変換開始条件」参照)
1端子あたりの変換速度(注3) (ϕ AD = fADのとき)	最短44 ϕ ADサイクル

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 動作クロック ϕ ADは「表32.5 A/Dコンバータの特性」を参照してください。

注3. 分解能8ビット、10ビットともに1端子あたりの変換速度は最短44 ϕ ADサイクルになります。

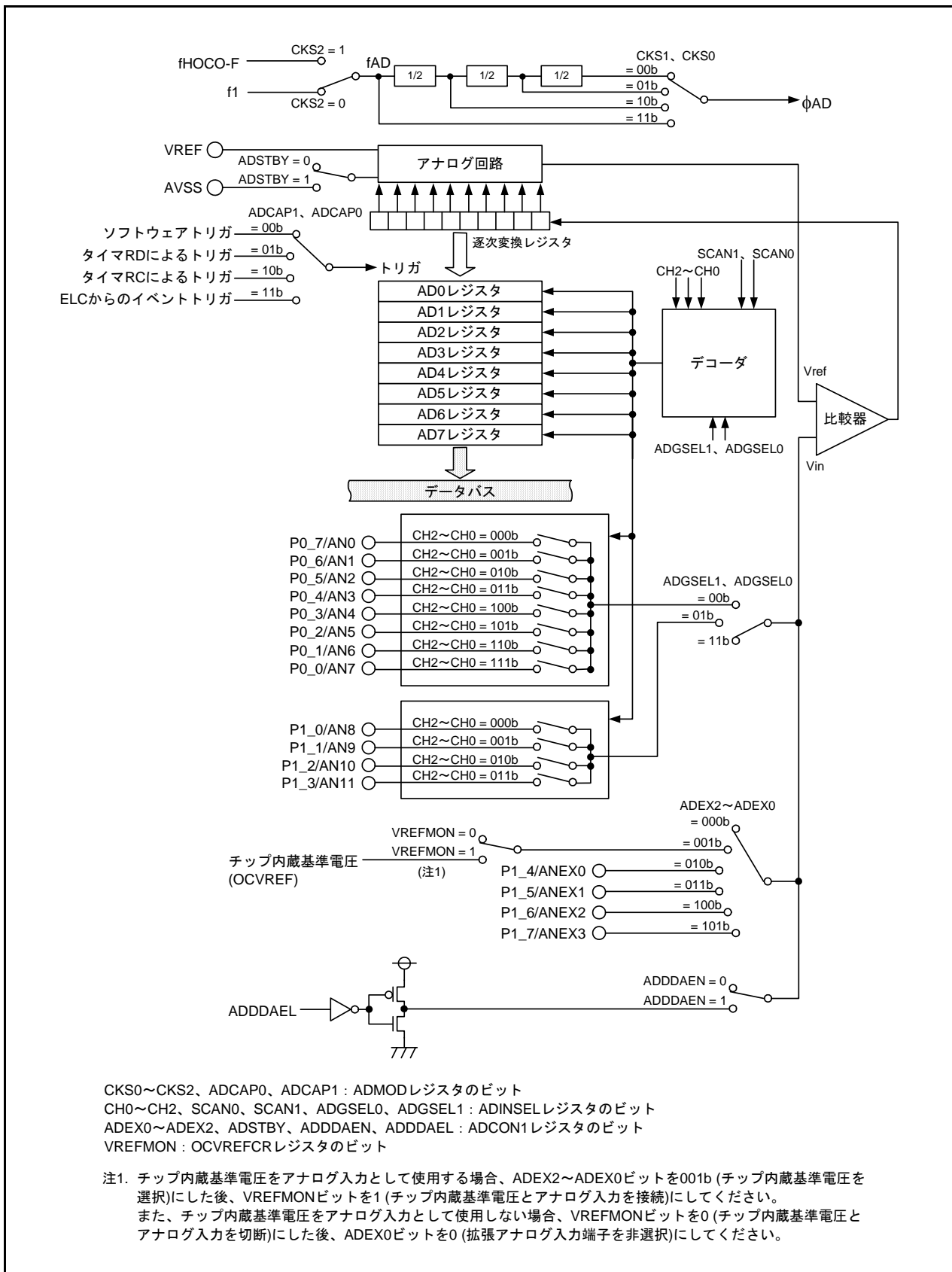


図 27.1 A/D コンバータのブロック図

表27.2 A/Dコンバータの端子構成

端子名	入出力	機能
AVCC	入力	アナログ部の電源入力
AVSS	入力	アナログ部のグラウンド入力
AN0	入力	ポートP0グループのアナログ入力
AN1	入力	
AN2	入力	
AN3	入力	
AN4	入力	
AN5	入力	
AN6	入力	
AN7	入力	
AN8	入力	ポートP1グループのアナログ入力
AN9	入力	
AN10	入力	
AN11	入力	
ANEX0	入力	
ANEX1	入力	
ANEX2	入力	
ANEX3	入力	

27.2 レジスタの説明

表27.3にA/Dコンバータのレジスタ構成を示します。

表27.3 A/Dコンバータのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h	00032h	8
A/Dレジスタ0	AD0	00h	00200h	8または16(注1)
		00h	00201h	
A/Dレジスタ1	AD1	00h	00202h	8または16(注1)
		00h	00203h	
A/Dレジスタ2	AD2	00h	00204h	8または16(注1)
		00h	00205h	
A/Dレジスタ3	AD3	00h	00206h	8または16(注1)
		00h	00207h	
A/Dレジスタ4	AD4	00h	00208h	8または16(注1)
		00h	00209h	
A/Dレジスタ5	AD5	00h	0020Ah	8または16(注1)
		00h	0020Bh	
A/Dレジスタ6	AD6	00h	0020Ch	8または16(注1)
		00h	0020Dh	
A/Dレジスタ7	AD7	00h	0020Eh	8または16(注1)
		00h	0020Fh	
A/Dモードレジスタ	ADM0D	00h	00214h	8
A/D入力選択レジスタ	ADINSEL	11000000b	00215h	8
A/D制御レジスタ0	ADCON0	00h	00216h	8
A/D制御レジスタ1	ADCON1	00h	00217h	8

注1. アクセス方法の詳細は、各レジスタの項の説明を参照してください。

27.2.1 チップ内蔵基準電圧制御レジスタ (OCVREFCR)

アドレス 00032h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	VREFMON
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VREFMON	チップ内蔵基準電圧—アナログ入力接続ビット(注1)	0: チップ内蔵基準電圧とアナログ入力を切断 1: チップ内蔵基準電圧とアナログ入力を接続	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1レジスタのADEX2～ADEX0ビットを001b(チップ内蔵基準電圧を選択)にした後に、VREFMONビットを1(チップ内蔵基準電圧とアナログ入力を接続)にしてください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、VREFMONビットを0(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを0(拡張アナログ入力端子を非選択)にしてください。

OCVREFCRレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後で書き換えてください。

A/D変換中にOCVREFCRレジスタの内容を書き換えた場合、変換結果は不定になります。

27.2.2 A/Dレジスタ*i* (AD*i*) (*i* = 0 ~ 7)

アドレス 00200h (AD0)、00202h (AD1)、00204h (AD2)、00206h (AD3)、00208h (AD4)、0020Ah (AD5)、0020Ch (AD6)、0020Eh (AD7)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	AD9	AD8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能		R/W
		10ビットモードの場合 (ADCON1レジスタのBITSビット=1)	8ビットモードの場合 (ADCON1レジスタのBITSビット=0)	
b0	AD0	A/D変換結果の下位8ビット	A/D変換結果	R
b1	AD1			R
b2	AD2			R
b3	AD3			R
b4	AD4			R
b5	AD5			R
b6	AD6			R
b7	AD7			R
b8	AD8	A/D変換結果の上位2ビット	読んだ場合、その値は0。	R
b9	AD9			R
b10	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b11	—			
b12	—			
b13	—			
b14	—			
b15	—			

A/D変換中にADCON1、ADMOD、ADINSEL、OCVREFCRレジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10ビットモードかつ繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、AD*i*レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

27.2.3 A/Dモードレジスタ (ADMOD)

アドレス	00214h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	分周選択ビット	b1 b0 0 0 : fADの8分周	R/W
b1	CKS1		0 1 : fADの4分周	R/W
			1 0 : fADの2分周 1 1 : fADの1分周(分周なし)	
b2	CKS2	クロック源選択ビット (注1)	0 : f1を選択 1 : fHOCO-Fを選択	R/W
b3	MD0	A/D動作モード選択ビット (注2)	b5 b4 b3 0 0 0 : 単発モード	R/W
b4	MD1		0 0 1 : 設定しないでください	R/W
b5	MD2		0 1 0 : 繰り返しモード0	R/W
			0 1 1 : 繰り返しモード1 1 0 0 : 単掃引モード 1 0 1 : 設定しないでください 1 1 0 : 繰り返し掃引モード 1 1 1 : 設定しないでください	
b6	ADCAP0	A/D変換トリガ選択ビット	b7 b6 0 0 : ソフトウェアトリガ(ADCON0レジスタのADSTビット)によるA/D変換開始	R/W
b7	ADCAP1		0 1 : タイマRDからの変換トリガによるA/D変換開始 1 0 : タイマRCからの変換トリガによるA/D変換開始 1 1 : ELCからのイベント入力トリガによるA/D変換開始	R/W

注1. クロック源を切り替えるときは、A/D変換停止後、切り替えてください。また、CKS2ビットを変更したときは、fHOCO-Fクロックの2サイクル以上経過した後に、A/D変換を開始してください。

注2. 単掃引モード、繰り返し掃引モードでA/D変換を実行するときは、ADINSELレジスタのCH2～CH0ビットを000bにしてください。

A/D変換中にADMODレジスタの内容を書き換えた場合、変換結果は不定になります。

CKS2ビット(クロック源選択ビット)

A/Dコンバータで使用するfADクロックを選択します。

27.2.4 A/D入力選択レジスタ (ADINSEL)

アドレス	00215h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	SCAN1	SCAN0	—	CH2	CH1	CH0
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	アナログ入力端子選択ビット (注1)	「表27.4 アナログ入力端子選択」参照	R/W
b1	CH1			R/W
b2	CH2			R/W
b3	—	予約ビット	書く場合、0を書いてください。読んだ場合、その値は0。	R/W
b4	SCAN0	A/D掃引端子数選択ビット	b5 b4 0 0 : 2端子 0 1 : 4端子 1 0 : 6端子 1 1 : 8端子	R/W
b5	SCAN1			R/W
b6	ADGSEL0	A/D入力グループ選択ビット	b7 b6 0 0 : ポートP0グループを選択 0 1 : ポートP1グループを選択 1 0 : 設定しないでください 1 1 : ポートグループを非選択	R/W
b7	ADGSEL1			R/W

注1. 単掃引モード、繰り返し掃引モードでA/D変換を実行するときは、ADINSELレジスタのCH2～CH0ビットを000bにしてください。

A/D変換中にADINSELレジスタの内容を書き換えた場合、変換結果は不定になります。

表27.4 アナログ入力端子選択

CH2～CH0ビット	ADGSEL1、ADGSEL0 ビット=00b	ADGSEL1、ADGSEL0 ビット=01b
000b	AN0	AN8
001b	AN1	AN9
010b	AN2	AN10
011b	AN3	AN11
100b	AN4	設定しないでください
101b	AN5	
110b	AN6	
111b	AN7	

27.2.5 A/D制御レジスタ0 (ADCON0)

アドレス	00216h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

ADSTビット(A/D変換開始フラグ)

【1になる条件】A/D変換開始時およびA/D変換中

【0になる条件】単発モードまたは単掃引モードかつソフトウェアトリガでA/D変換開始した場合のA/D変換終了時

ADSTビットは次のように動作します。

- 単発モードかつソフトウェアトリガでA/D変換開始した場合、A/D変換終了時にADSTビットは0になります。
- 単掃引モードかつソフトウェアトリガでA/D変換開始した場合、A/D変換終了時にADSTは0になります。
- プログラムで1を書いた場合、開始処理時間(「表27.5 各A/D変換項目のサイクル数」参照)後に1(A/D変換開始)になるため、1を書き込み後すぐに読み出すと、0(A/D変換停止)が読めることがあります(図27.2参照)。
- A/D変換中にADSTビットを0にして強制停止し、次にADSTビットに1を書く場合、終了処理時間確保のために ϕ_{AD} の2クロック以上の間隔をあけてください。

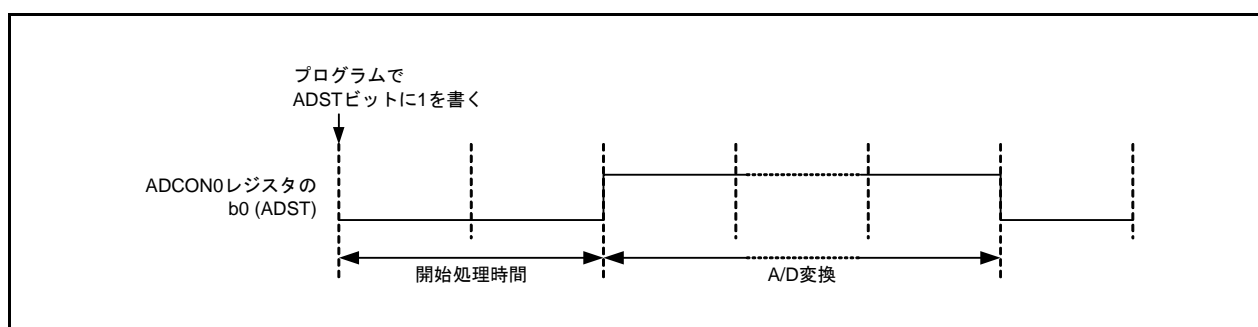


図27.2 ADSTビットの動作

27.2.6 A/D制御レジスタ1 (ADCON1)

アドレス	00217h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	—	ADEX2	ADEX1	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	拡張アナログ入力端子選択ビット (注1)	b2 b1 b0 0 0 0 : 拡張アナログ入力端子を非選択	R/W
b1	ADEX1		0 0 1 : チップ内蔵基準電圧を選択(注2、3、4)	R/W
b2	ADEX2		0 1 0 : ANEX0を選択(注2、3、4)	R/W
			0 1 1 : ANEX1を選択(注2、3、4)	
		1 0 0 : ANEX2を選択(注2、3、4)		
		1 0 1 : ANEX3を選択(注2、3、4)		
		上記以外 : 設定しないでください		
b3	—	予約ビット	0にしてください	R/W
b4	BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット (注5)	0 : A/D動作停止(スタンバイ)(注8) 1 : A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可 ビット(注4、6、7)	0 : 禁止 1 : 許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択 ビット(注6、7)	0 : 変換前ディスチャージ 1 : 変換前プリチャージ	R/W

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX2～ADEX0ビットを001b(チップ内蔵基準電圧を選択)にした後に、OCVREFCRレジスタのVREFMONビットを1(チップ内蔵基準電圧とアナログ入力を接続)にしてください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、VREFMONビットを0(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX2～ADEX0ビットを000b(拡張アナログ入力端子を非選択)にしてください。

注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。

注3. ADEX0～ADEX2ビットのいずれかを1にする場合、ADINSELレジスタのCH2～CH0ビットを000bにしてください。ADINSELレジスタのADGSEL0、ADGSEL1ビットは、ADEX0～ADEX2ビットのいずれかを1にすることで無効になります。

001b(チップ内蔵基準電圧を選択)を選択したときの動作については、「27.3.7 チップ内蔵基準電圧(OCVREF)」を参照してください。

注4. チップ内蔵基準電圧を使用する場合(ADEX2～ADEX0 = 001b)、ADDDAENビットを0(A/D断線検出アシスト機能を禁止)にしてください。

注5. ADSTBYビットを0(A/D動作停止)から1(A/D動作可能)にしたときは、 ϕ ADの1サイクル以上経過した後にA/D変換を開始してください。

注6. A/D断線検出アシスト機能を許可にするためには、ADDDAENビットを1(許可)にした後、ADDDAELビットで変換開始状態を選択してください。

断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。

注7. ADDDAEN、ADDDAELビットを書き換えたときは、 ϕ ADの1サイクル以上経過した後にA/D変換を開始してください。

注8. スタンバイにする前に、A/D機能を停止してください。ADSTBYビットが0(スタンバイ)のとき、A/D関連レジスタ(00C0h～00CFh、00D4h～00D7h番地)へのアクセスは無効になります。ただし、00D7h番地のADCON1レジスタについては、ADSTBYビットのみアクセス可能です。

A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定になります。

27.3 複数モードに関わる共通事項

27.3.1 入出力端子

アナログ入力はAN0～AN11、ANEX0～ANEX3で、P0_0～P0_7、P1_0～P1_3、P1_4～P1_7と端子を共用しています。

AN0～AN11、ANEX0～ANEX3端子を入力で使用する場合、端子に対応するポート方向ビットを0(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

27.3.2 A/D変換サイクル数

図27.3にA/D変換タイミング図を、図27.4にA/D変換サイクル数($\phi_{AD} = f_{AD}$ のとき)を示します。

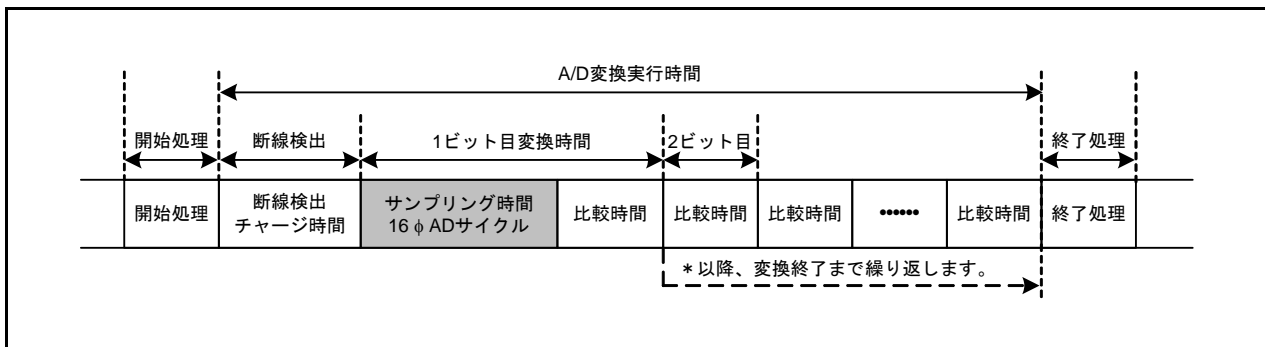


図27.3 A/D変換タイミング図

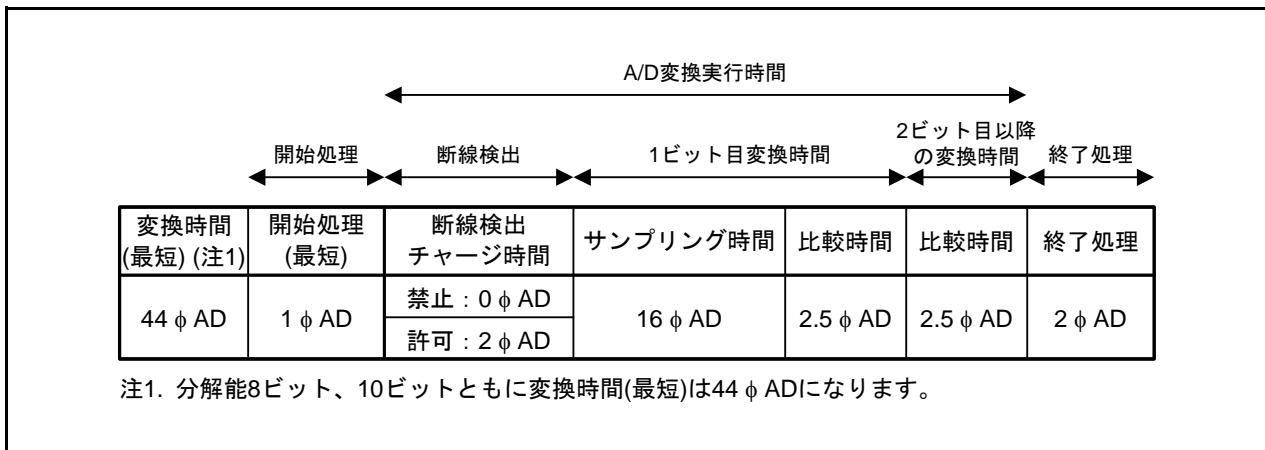


図27.4 A/D変換サイクル数($\phi_{AD} = f_{AD}$ のとき)

表27.5に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。

開始処理時間は ϕ_{AD} の選択によって変わります。

ADCON0レジスタのADSTビットに1(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと0(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にADSTビットが0になり、最後のA/D変換結果がADiレジスタ($i = 0 \sim 7$)に入ります。

- 単発モードの場合
開始処理時間 + A/D変換実行時間 + 終了処理時間
- 単掃引モードで2端子を選択した場合
開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表27.5 各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	$\phi_{AD} = f_{AD}$	f_{AD} の1~2サイクル
	$\phi_{AD} = f_{AD}$ の2分周	f_{AD} の2~3サイクル
	$\phi_{AD} = f_{AD}$ の4分周	f_{AD} の3~4サイクル
	$\phi_{AD} = f_{AD}$ の8分周	f_{AD} の5~6サイクル
A/D変換実行時間	断線検出禁止	ϕ_{AD} の40サイクル + f_{AD} の1~3サイクル
	断線検出許可	ϕ_{AD} の42サイクル + f_{AD} の1~3サイクル
実行間処理時間		ϕ_{AD} の1サイクル
終了処理時間		f_{AD} の2~3サイクル

27.3.3 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと、タイマRD、タイマRCからのトリガと、イベントリンクコントローラ(ELC)からのイベント入力トリガがあります。

図27.5にA/D変換開始制御部のブロック図(j=A、B、C、D、k=0、1)を示します。

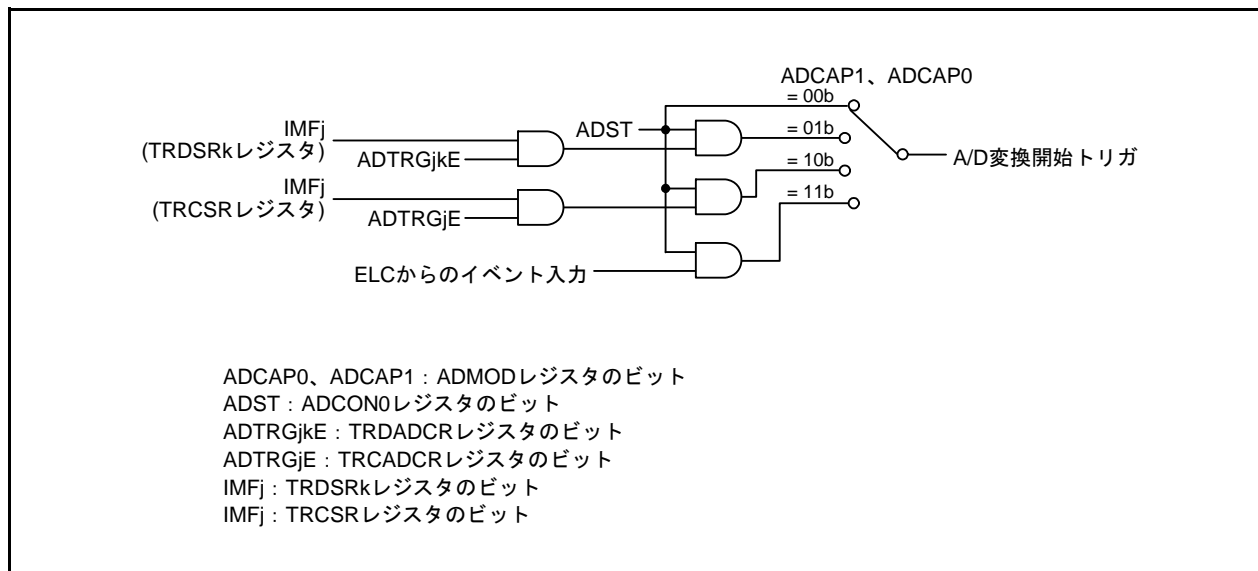


図27.5 A/D変換開始制御部のブロック図(j=A、B、C、D、k=0、1)

27.3.3.1 ソフトウェアトリガ

ADMODレジスタのADCAP1、ADCAP0ビットが00b(ソフトウェアトリガ)の場合です。ADCON0レジスタのADSTビットを1(A/D変換開始)にするとA/D変換を開始します。

27.3.3.2 タイマRDからのトリガ

ADMODレジスタのADCAP1、ADCAP0ビットが01b(タイマRD)の場合です。この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1、ADCAP0ビットが01b(タイマRD)
- タイマRDをアウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)で使用
- TRDADCRレジスタのADTRGjkEビット(j=A、B、C、D、k=0、1)が1(TRDGRjkレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが1(A/D変換開始)

上記の状態、TRDSRkレジスタのIMFjビットが0から1になると、A/D変換を開始します。

タイマRD、アウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)の詳細は、「18. タイマRD」、「18.3.3 アウトプットコンペア機能」、「18.3.4 PWMモード」、「18.3.5 リセット同期PWMモード」、「18.3.6 相補PWMモード」、「18.3.7 PWM3モード」を参照してください。

27.3.3.3 タイマRCからのトリガ

ADMODレジスタのADCAP1、ADCAP0ビットが10b(タイマRC)の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1、ADCAP0ビットが10b(タイマRC)
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用
- TRCADCRレジスタのADTRGjEビット(j = A、B、C、D)が1(TRCGRjレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが1(A/D変換開始)

上記の状態、TRCSRレジスタのIMFjビットが0から1になると、A/D変換を開始します。
タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は、「17. タイマRC」、「17.3.1 タイマモード」、「17.3.2 PWMモード」、「17.3.3 PWM2モード」を参照してください。

27.3.3.4 イベントリンクコントローラ(ELC)からのイベント入力トリガ

ADMODレジスタのADCAP1、ADCAP0ビットが11b(ELCからのイベント入力トリガ)の場合、ELCからのイベント入力を受けてA/D変換を開始できます。

例としてINT0をA/D変換開始トリガとしての使用方法を説明します。

- PMCSELレジスタを標準端子配置または通信機能優先端子配置に設定する。
- ADMODレジスタのADCAP1、ADCAP0ビットを11bにする。
- INTENレジスタのINT0ENビットを1(INT0入力許可)、INT0PLビットを0(片エッジ)、INTPOLレジスタのINT0POLビットを0(立ち下がリエッジを選択)にする。
- PD4レジスタのPD4_5ビットを0(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F0、INT0F1ビットで選択する。
- ELSELR0レジスタのELSEL3～ELSEL0ビットを0001b(リンク先周辺機能にA/Dコンバータを選択)
- ADCON0レジスタのADSTビットを1(A/D変換開始)にする。

上記の状態、 $\overline{\text{INT0}}$ 端子の入力をHからLにすると、A/D変換を開始します。

27.3.4 A/D変換結果

A/D変換した結果はADiレジスタ(i=0~7)に格納されます。使用するA/D動作モードによって、格納されるADiレジスタは異なります。ADiレジスタに値は書き込めません。

繰り返しモード0では割り込み要求は発生しません。1回目のA/D変換終了は、A/D変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード1、単掃引モード、繰り返し掃引モードでは、A/D変換終了などのタイミングで割り込み要求が発生します(ADICレジスタのIRビットが1になります)。

ただし、繰り返しモード1、繰り返し掃引モードでは、割り込み要求発生後もA/D変換を続けます。次のA/D変換が終了するとADiレジスタに値を上書きしますので、それまでにADiレジスタを読み出してください。

単発モード、単掃引モードで、ADM0DレジスタのADCAP1、ADCAP0ビットが00b(ソフトウェアトリガ)の場合は、ADCON0レジスタのADSTビットでもA/D変換終了、掃引終了を判定できます。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを0(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、ADSTビットへの0書き込みタイミングによっては、A/D変換割り込み要求が発生する場合があります。プログラムでADSTビットを0にした場合は、ADiレジスタの値およびA/D変換割り込みを使用しないでください。また、ADSTビットを0に設定する前に、A/D変換割り込みを禁止に設定してください。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを0(A/D変換停止)にして強制終了後、ADSTビットに1を書き込む場合は、終了処理時間確保のため ϕ ADクロックで2クロック以上の間隔をあけてください。

27.3.5 分解能(8ビット/10ビットモード)

A/Dコンバータの分解能に8ビットまたは10ビットを選択できます。ADCON1レジスタのBITSビットにより、8ビット/10ビットモードを選択できます。

27.3.6 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを0(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを1(A/D動作可能)にして、 ϕ ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを1(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に1を書かないでください。

また、A/D変換中にADSTBYビットを0(A/D動作停止(スタンバイ))にしないでください。

27.3.7 チップ内蔵基準電圧(OCVREF)

単発モード、繰り返しモード0、繰り返しモード1では、ANEX0~ANEX3端子またはチップ内蔵基準電圧(OCVREF)をアナログ入力として使用できます。

チップ内蔵基準電圧を使用することにより、VREFの変動を確認することができます。ADCON1レジスタのADEX0~ADEX2ビットとOCVREFCRレジスタのVREFMONビットで選択してください。

ADEX0~ADEX2ビットのいずれかに1を設定する場合、ADINSELレジスタのCH2~CH0ビットは000bを選択してください。

繰り返しモード1でのチップ内蔵基準電圧のA/D変換結果は、変換回数によりAD0~AD7レジスタのいずれかに格納されます。

27.3.8 A/D断線検出アシスト機能

A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアップキャパシタの電荷を所定の状態(AVCCまたはGND)に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

図27.6にAVCC側でのA/D断線検出例(変換前プリチャージを選択)($i = 0 \sim 11, j = 0 \sim 3$)を、図27.7にAVSS側でのA/D断線検出例(変換前ディスチャージを選択)($i = 0 \sim 11, j = 0 \sim 3$)を示します。

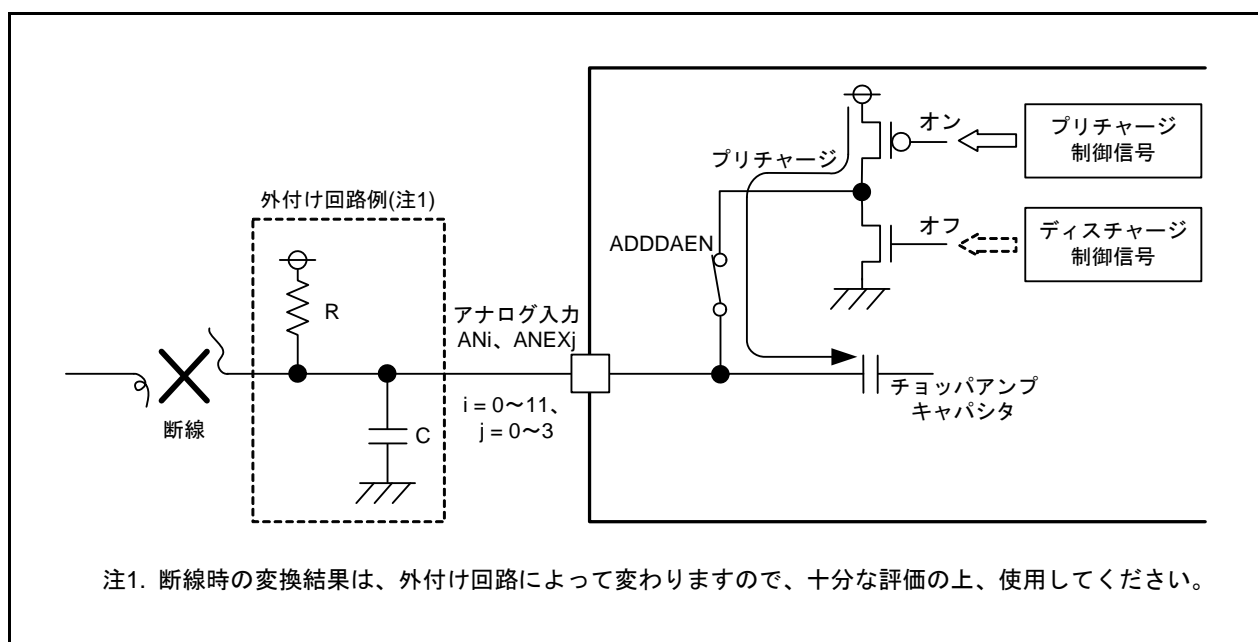


図27.6 AVCC側でのA/D断線検出例(変換前プリチャージを選択)($i = 0 \sim 11, j = 0 \sim 3$)

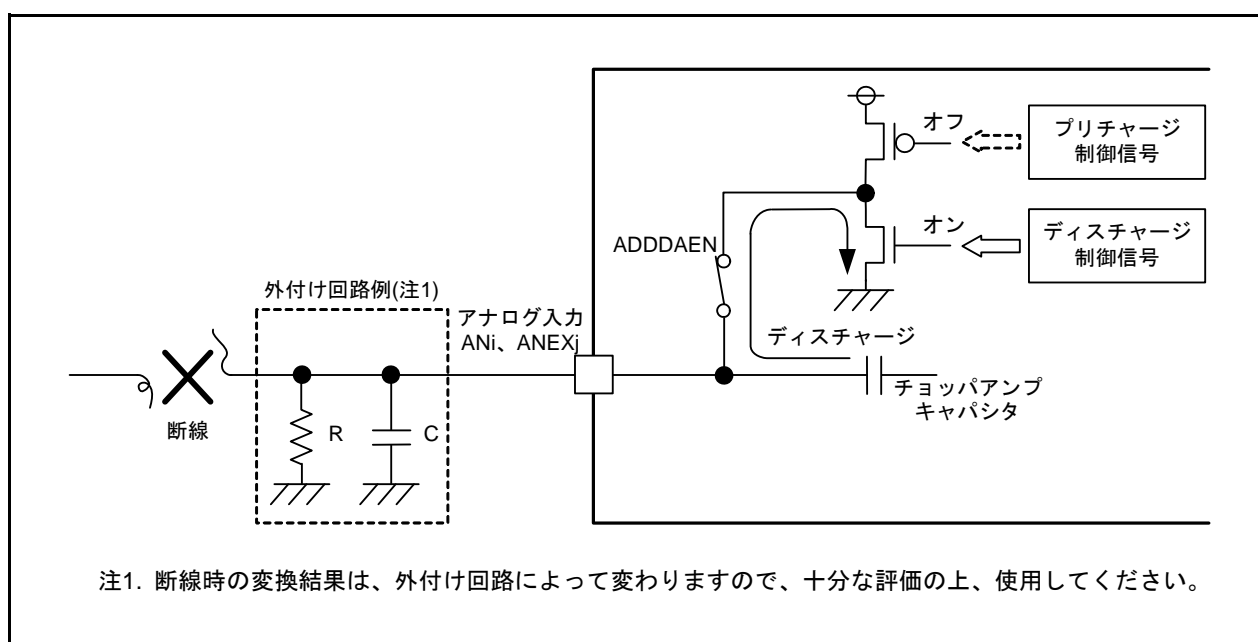


図27.7 AVSS側でのA/D断線検出例(変換前ディスチャージを選択)($i = 0 \sim 11, j = 0 \sim 3$)

27.4 単発モード

AN0～AN11、ANEX0～ANEX3、またはOCVREFから選択した1本の端子の入力電圧を、1回A/D変換するモードです。

表27.6に単発モードの仕様を示します。

表27.6 単発モードの仕様

項目	仕様
機能	ADINSELレジスタのCH0～CH2ビットとADGSEL0、ADGSEL1ビット、またはADCON1レジスタのADEX0～ADEX2ビットで選択した端子の入力電圧を1回A/D変換する(注1)
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRD • タイマRC • ELCからのイベント入力トリガ (「27.3.3 A/D変換開始条件」参照)
A/D変換停止条件	<ul style="list-style-type: none"> • A/D変換終了(ADM0DレジスタのADCAP1、ADCAP0ビットが00b(ソフトウェアトリガ)の場合、ADCON0レジスタのADSTビットが0になる) • ADSTビットを0にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN11、ANEX0～ANEX3、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、OCVREF、ANEX0～ANEX3 AD1レジスタ : AN1、AN9 AD2レジスタ : AN2、AN10 AD3レジスタ : AN3、AN11 AD4レジスタ : AN4 AD5レジスタ : AN5 AD6レジスタ : AN6 AD7レジスタ : AN7
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. ADEX0～ADEX2ビットのいずれかを1(チップ内蔵基準電圧を選択)にする場合、ADINSELレジスタのCH2～CH0ビットを000bにしてください。

27.5 繰り返しモード0

AN0～AN11、ANEX0～ANEX3、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表27.7に繰り返しモード0の仕様を示します。

表27.7 繰り返しモード0の仕様

項目	仕様
機能	ADINSELレジスタのCH0～CH2ビットとADGSEL0、ADGSEL1ビット、またはADCON1レジスタのADEX0～ADEX2ビットで選択した端子の入力電圧を繰り返しA/D変換する(注1)
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRD • タイマRC • ELCからのイベント入力トリガ (「27.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを0にする
割り込み要求発生タイミング	発生しない
アナログ入力端子	AN0～AN11、ANEX0～ANEX3、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、OCVREF、ANEX0～ANEX3 AD1レジスタ : AN1、AN9 AD2レジスタ : AN2、AN10 AD3レジスタ : AN3、AN11 AD4レジスタ : AN4 AD5レジスタ : AN5 AD6レジスタ : AN6 AD7レジスタ : AN7
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. ADEX0～ADEX2ビットのいずれかビットを1(チップ内蔵基準電圧を選択)にする場合、ADINSELレジスタのCH2～CH0ビットを000bにしてください。

27.6 繰り返しモード1

AN0～AN11、ANEX0～ANEX3、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表27.8に繰り返しモード1の仕様を、図27.8に繰り返しモード1時の動作例を示します。

表27.8 繰り返しモード1の仕様

項目	仕様
機能	ADINSELレジスタのCH0～CH2ビットとADGSEL0、ADGSEL1ビット、またはADCON1レジスタのADEX0～ADEX2ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRD • タイマRC • ELCからのイベント入力トリガ (「27.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを0にする
割り込み要求発生タイミング	AD7レジスタにA/D変換結果が格納されたとき
アナログ入力端子	AN0～AN11、ANEX0～ANEX3、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、… AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、… AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、… AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、… AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、… AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、… AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、… AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、…
A/D変換値の読み出し	AD0～AD7レジスタの読み出し

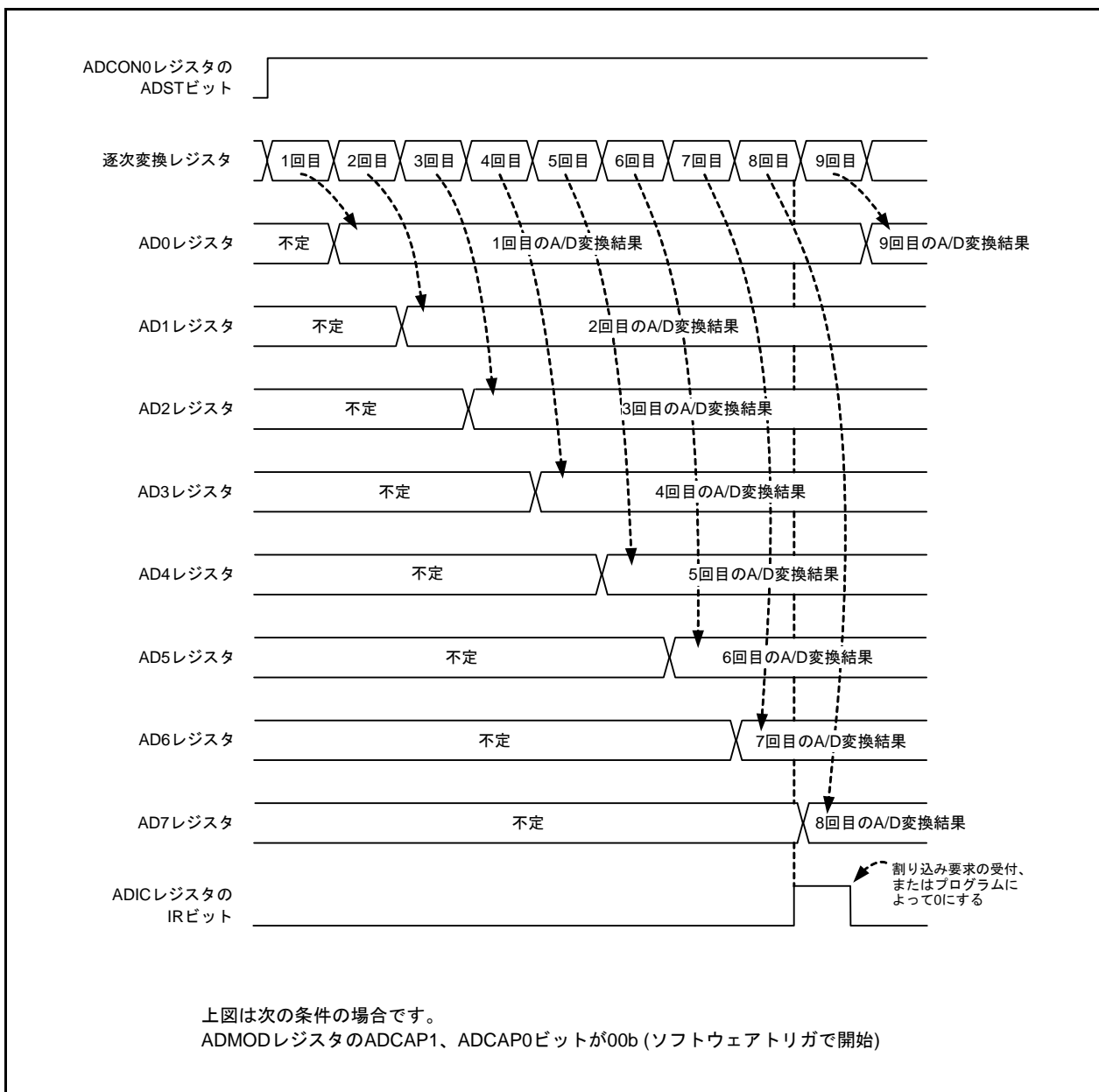


図27.8 繰り返しモード1時の動作例

27.7 単掃引モード

AN0～AN11から選択した2本、4本、6本または8本の端子の入力電圧を、1回ずつA/D変換するモードです。

表27.9に単掃引モードの仕様を、図27.9に単掃引モード時の動作例を示します。

表27.9 単掃引モードの仕様

項目	仕様	
機能	ADINSELレジスタのADGSEL0、ADGSEL1ビットとSCAN0、SCAN1ビットで選択した端子の入力電圧を1回ずつA/D変換する	
分解能	8ビットまたは10ビット	
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ タイマRD タイマRC ELCからのイベント入力トリガ (「27.3.3 A/D変換開始条件」参照)	
A/D変換停止条件	ソフトウェアトリガ	<ul style="list-style-type: none"> 2端子を選択している場合、選択した2端子のA/D変換終了 <ul style="list-style-type: none"> - (ADCON0レジスタのADSTビットが0になる) 4端子を選択している場合、選択した4端子のA/D変換終了 <ul style="list-style-type: none"> - (ADSTビットが0になる) 6端子を選択している場合、選択した6端子のA/D変換終了 <ul style="list-style-type: none"> - (ADSTビットが0になる) 8端子を選択している場合、選択した8端子のA/D変換終了 <ul style="list-style-type: none"> - (ADSTビットが0になる) ADSTビットを0にする
	タイマRD	ADSTビットを0にする
	タイマRC	
	外部トリガ	
割り込み要求発生タイミング	<ul style="list-style-type: none"> 2端子を選択している場合、選択した2端子のA/D変換終了時 4端子を選択している場合、選択した4端子のA/D変換終了時 6端子を選択している場合、選択した6端子のA/D変換終了時 8端子を選択している場合、選択した8端子のA/D変換終了時 	
アナログ入力端子(注1)	AN0、AN1 (2端子)、AN8、AN9 (2端子)、AN0～AN3 (4端子)、AN8～AN11 (4端子)AN0～AN5 (6端子)AN0～AN7 (8端子) (SCAN0、SCAN1ビットとADGSEL0、ADGSEL1ビットで選択)	
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7	
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し	

注1. 単掃引モードを実行するときは、ADINSELレジスタのCH2～CH0ビットに000bを設定してください。

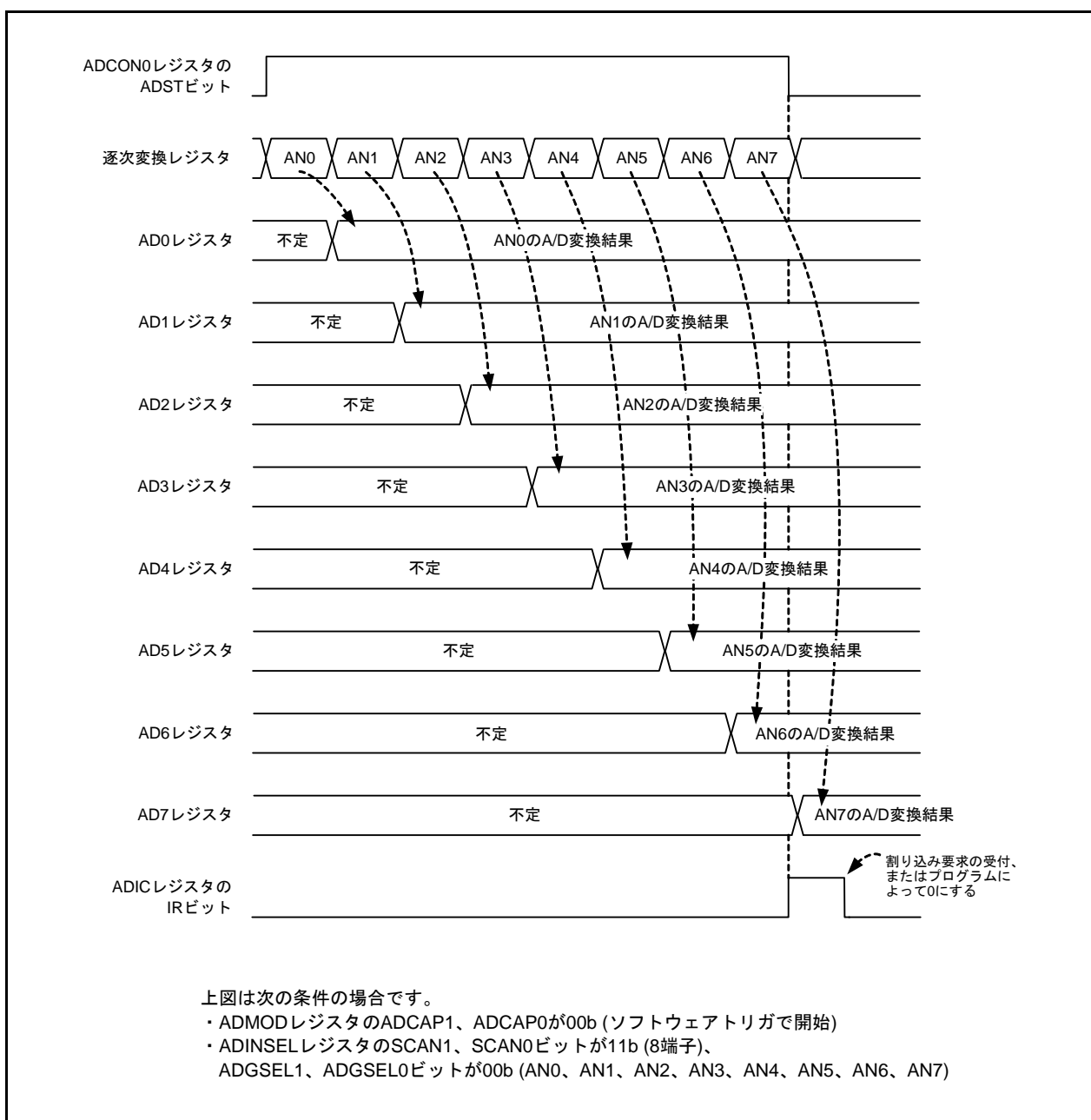


図27.9 単掃引モード時の動作例

27.8 繰り返し掃引モード

AN0～AN11から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返しA/D変換するモードです。

表27.10に繰り返し掃引モードの仕様を、図27.10に繰り返し掃引モード時の動作例を示します。

表27.10 繰り返し掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL0、ADGSEL1ビットとSCAN0、SCAN1ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> •ソフトウェアトリガ •タイマRD •タイマRC •ELCからのイベント入カトリガ (「27.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを0にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> •2端子を選択している場合、選択した2端子のA/D変換終了時 •4端子を選択している場合、選択した4端子のA/D変換終了時 •6端子を選択している場合、選択した6端子のA/D変換終了時 •8端子を選択している場合、選択した8端子のA/D変換終了時
アナログ入力端子(注1)	AN0、AN1 (2端子)、AN8、AN9 (2端子)、AN0～AN3 (4端子)、AN8～AN11 (4端子)、AN0～AN5 (6端子)、AN0～AN7 (8端子) (SCAN0、SCAN1ビットとADGSEL0、ADGSEL1ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. 繰り返し掃引モードを実行するときは、ADINSELレジスタのCH2～CH0ビットに000bを設定してください。

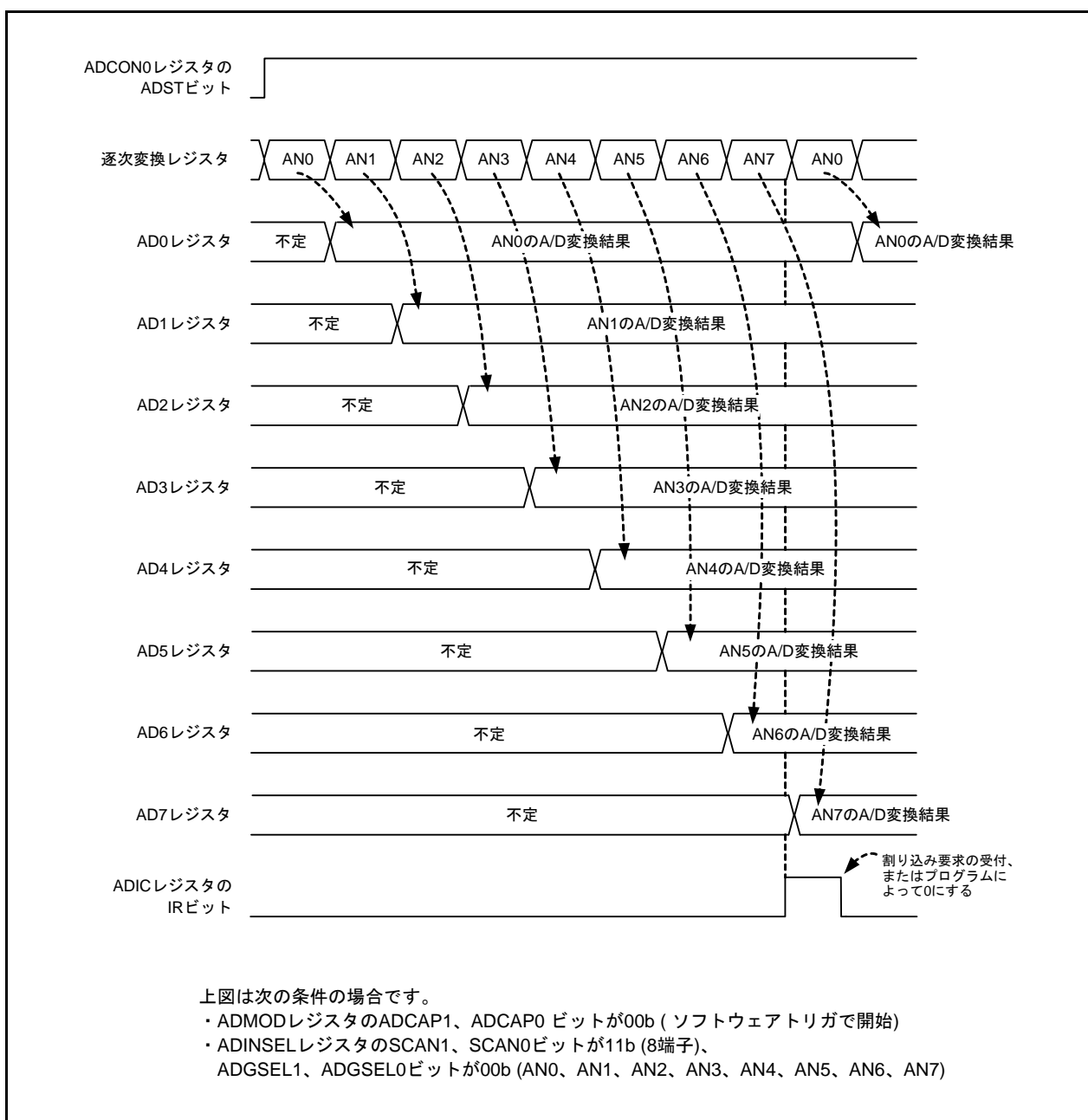


図27.10 繰り返し掃引モード時の動作例

27.9 A/D変換時のセンサの出カインピーダンス

A/D変換を正しく行うためには、図27.11の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出カインピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VC \text{ は一般に } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t = T \text{ のとき、 } VC = VIN - \frac{X}{Y} VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、 } R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図27.11にアナログ入力端子(AN0～AN11、ANEX0～ANEX3)と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなるときの、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

$\phi_{AD} = 20 \text{ MHz}$ のとき、 $T = 0.8 \mu\text{s}$ となります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

$T = 0.8 \mu\text{s}$ 、 $R = 10 \text{ k}\Omega$ 、 $C = 6.0 \text{ pF}$ 、 $X = 0.1$ 、 $Y = 1024$ だから、

$$R0 = -\frac{0.8 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 4.4 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出カインピーダンスR0は最大4.4 k Ω になります。

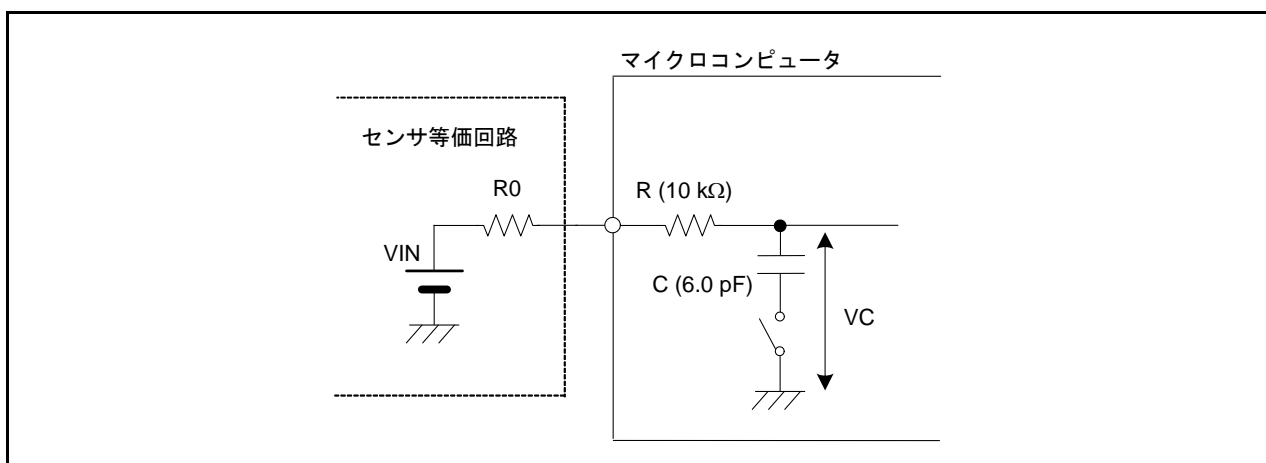


図27.11 アナログ入力端子(AN0～AN11、ANEX0～ANEX3)と外部センサの等価回路例

27.10 A/Dコンバータ使用上の注意事項

27.10.1 A/D変換中の注意事項

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対して、A/D変換中に書き込みをしないでください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換開始する前のCPUクロックには、A/Dコンバータの動作クロック ϕ AD以上の周波数を選択してください。 ϕ ADにfHOCO-Fを選択しないでください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(1(ウェイトモード時、周辺機能クロックを停止する)、0(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを1(フラッシュメモリ停止)、およびFMR27ビットを1(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- A/D変換中にプログラムでADCON0レジスタのADSTビットを0(A/D変換停止)にして強制終了後、ADSTビットに1を書き込む場合は、終了処理時間確保のため、 ϕ ADクロックで2クロック以上の間隔をあけてください。

27.10.2 クロック源の切り替え

- クロック源を切り替える際は、A/D変換停止後、切り替えてください。また、クロック源切り替え後、fHOCO-Fクロックの2サイクル以上待つから、A/D変換を開始してください。

【変更手順】

- (1) ADCON0レジスタのADSTビットを0(A/D変換停止)にする
- (2) ADMODレジスタのCKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) ADCON0レジスタのADSTビットを1(AD変換開始)にする

- クロック源をfHOCO-Fから他のクロックに変更し、fHOCO-Fを停止させる場合は、クロック源切り替え後、fHOCO-Fの2サイクル以上待つからfHOCO-Fを停止させてください。

【変更手順】

- (1) ADCON0レジスタのADSTビットを0(A/D変換停止)にする
- (2) ADMODレジスタのCKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

注1. fHOCO-Fをクロック源に選択しているとき、FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にしないでください。

注2. fHOCO-Fをクロック源に選択しているとき、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

27.10.3 端子処理

VREF端子とAVSS端子間に0.1 μ Fのコンデンサを接続してください。

28. コンパレータB

コンパレータBは基準入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

28.1 概要

基準入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。基準入力電圧としてIVREF_i (i = 1、3)端子への入力可以使用です。

表28.1にコンパレータBの仕様を、図28.1にコンパレータBのブロック図を、表28.2に入出力端子を示します。

表28.1 コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMP _i 端子への入力電圧
基準入力電圧	IVREF _i 端子への入力電圧
比較結果	INTCMPレジスタのINT _i COUTビットの読み出し
割り込み要求発生タイミング	比較結果が変化するとき
選択機能	デジタルフィルタ機能 - デジタルフィルタの有無、サンプリング周波数を選択できる

i = 1、3

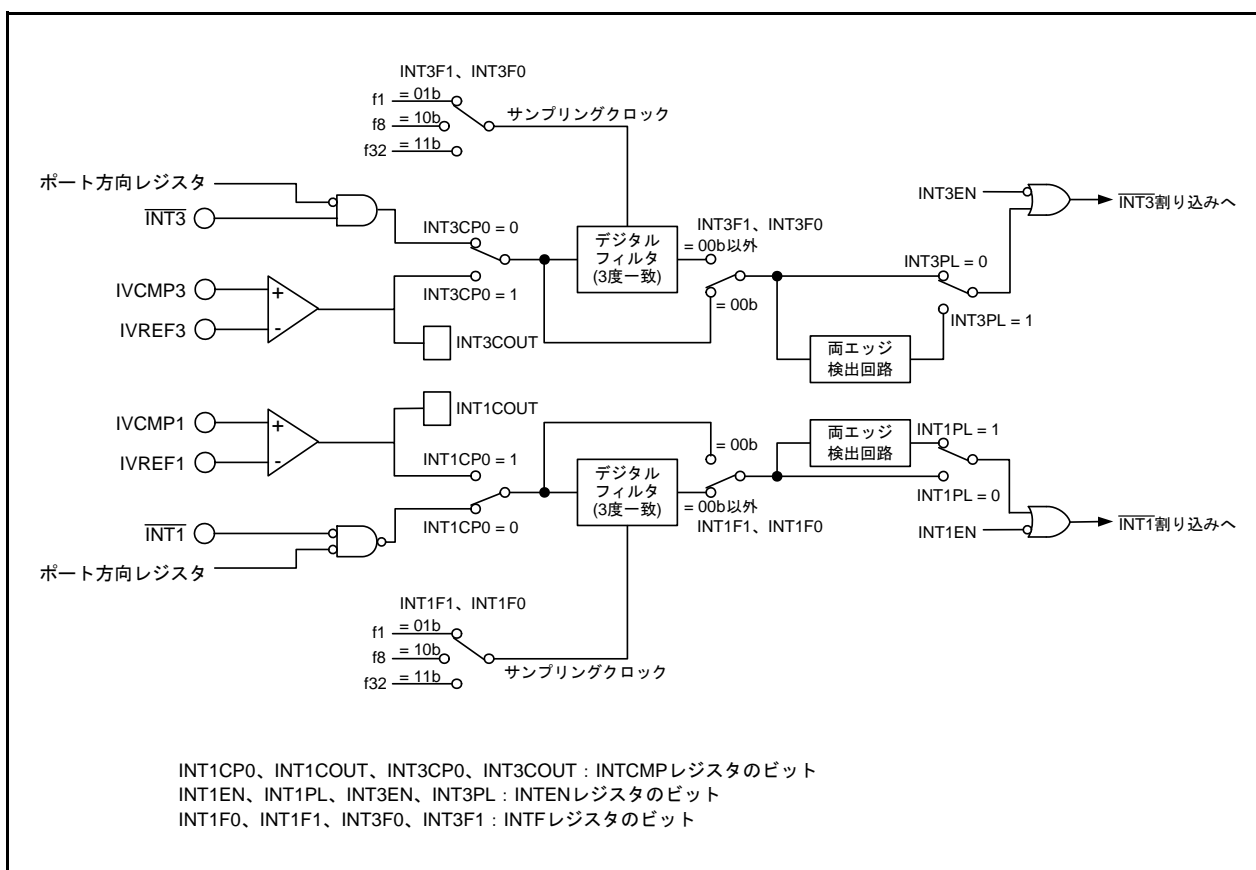


図28.1 コンパレータBのブロック図

表28.2 入出力端子

端子名	入出力	機能
IVCMP1	入力	コンパレータB1用アナログ端子
IVREF1	入力	コンパレータB1用基準電圧端子
IVCMP3	入力	コンパレータB3用アナログ端子
IVREF3	入力	コンパレータB3用基準電圧端子

28.2 レジスタの説明

表28.3にコンパレータBのレジスタ構成を示します。

表28.3 コンパレータBのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
コンパレータB制御レジスタ0	INTCMP	00h	00228h	8

28.2.1 コンパレータB制御レジスタ0 (INTCMP)

アドレス 00228h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3COUT	—	—	INT3CP0	INT1COUT	—	—	INT1CP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT1CP0	コンパレータB1動作許可ビット	0: コンパレータB1動作禁止 1: コンパレータB1動作許可	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b3	INT1COUT	コンパレータB1モニタフラグ	0: IVCMP1 < IVREF1またはコンパレータB1動作禁止 1: IVCMP1 > IVREF1	R
b4	INT3CP0	コンパレータB3動作許可ビット	0: コンパレータB3動作禁止 1: コンパレータB3動作許可	R/W
b5	—	予約ビット	0にしてください	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b7	INT3COUT	コンパレータB3モニタフラグ	0: IVCMP3 < IVREF3またはコンパレータB3動作禁止 1: IVCMP3 > IVREF3	R

28.3 動作説明

コンパレータB1とコンパレータB3はそれぞれ独立して動作できます。動作は同じです。

表28.4にコンパレータB関連レジスタの設定手順を示します。

表28.4 コンパレータB関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi端子の機能選択。「14.4 周辺機能への入出力」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。		
2	INTF	フィルタ有無、サンプリングクロック選択	
3	INTCMP	INTiCPO	1 (動作許可)
4	コンパレータ安定時間(最大100 μ s)待ち		
5	INTEN	INTiEN	割り込みを使用する場合：1 (割り込み許可)
		INTiPL	割り込みを使用する場合：入力極性選択
6	INTiIC	ILVL2～ILVL0	割り込みを使用する場合：割り込み優先レベル選択
		IR	割り込みを使用する場合：0 (割り込み要求なし：初期化)

i = 1, 3

図28.2にコンパレータBiの動作例(i = 1, 3)を示します。

基準入力よりアナログ入力の電圧が高い場合は、INTCMPレジスタのINTiCOUTビットが1になり、基準入力よりアナログ入力の電圧が低い場合は、INTiCOUTビットが0になります。

コンパレータBi割り込みを使用する場合は、INTENレジスタのINTiENビットを1(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みについては「28.4 コンパレータB1、コンパレータB3割り込み」を参照してください。

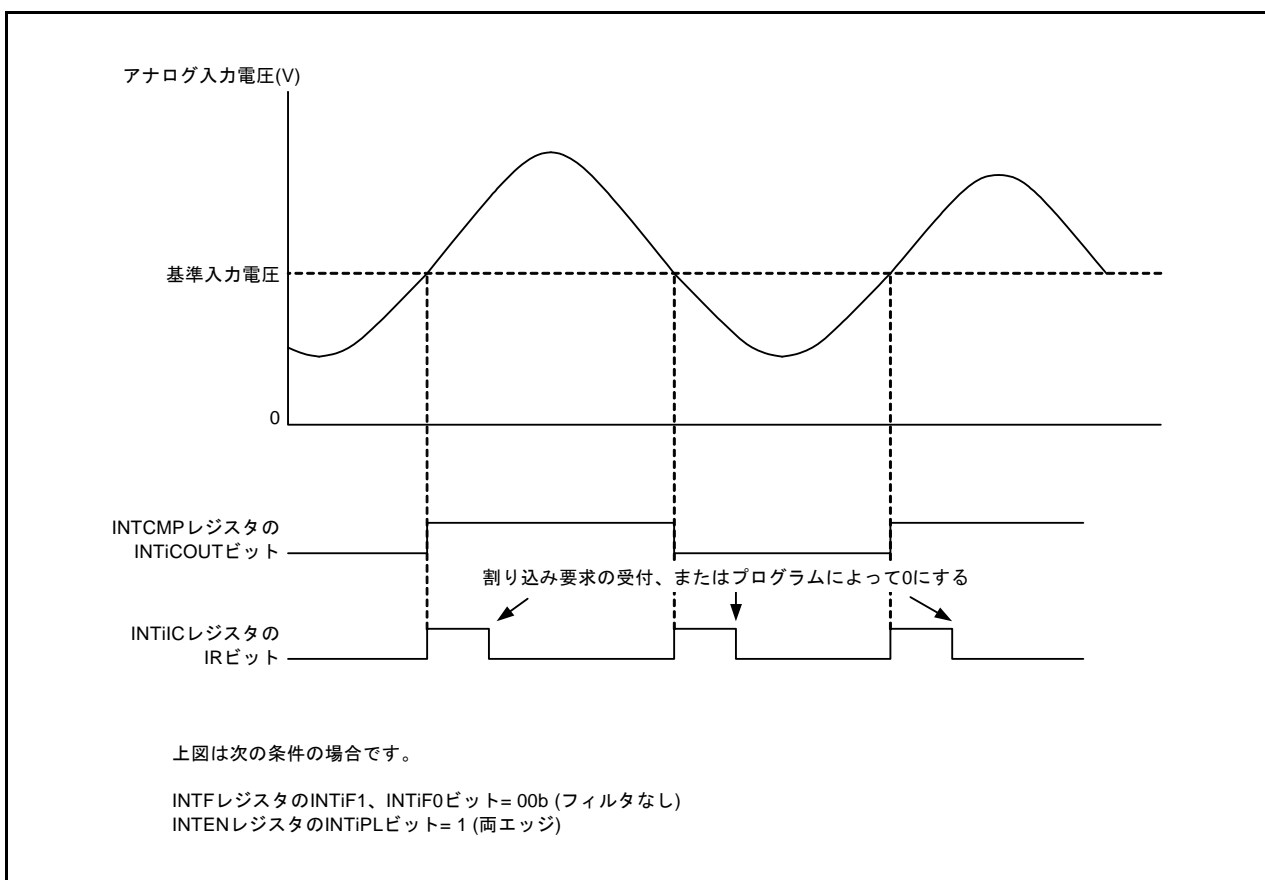


図28.2 コンパレータBiの動作例(i = 1, 3)

28.3.1 コンパレータBiデジタルフィルタ (i = 1, 3)

コンパレータBiは、 $\overline{\text{INTi}}$ 入力と同一のデジタルフィルタを使用できます。サンプリングクロックはINTFレジスタのINTiF0、INTiF1ビットで選択できます。サンプリングクロックごとにコンパレータBiの出力信号INTiCOUT信号をサンプリングし、レベルが3度一致した時点で、INTiCレジスタのIRビットが1(割り込み要求あり)になります。

図28.3にコンパレータBiデジタルフィルタの構成(i = 1, 3)を、図28.4にコンパレータBiデジタルフィルタ動作例(i = 1, 3)を示します。

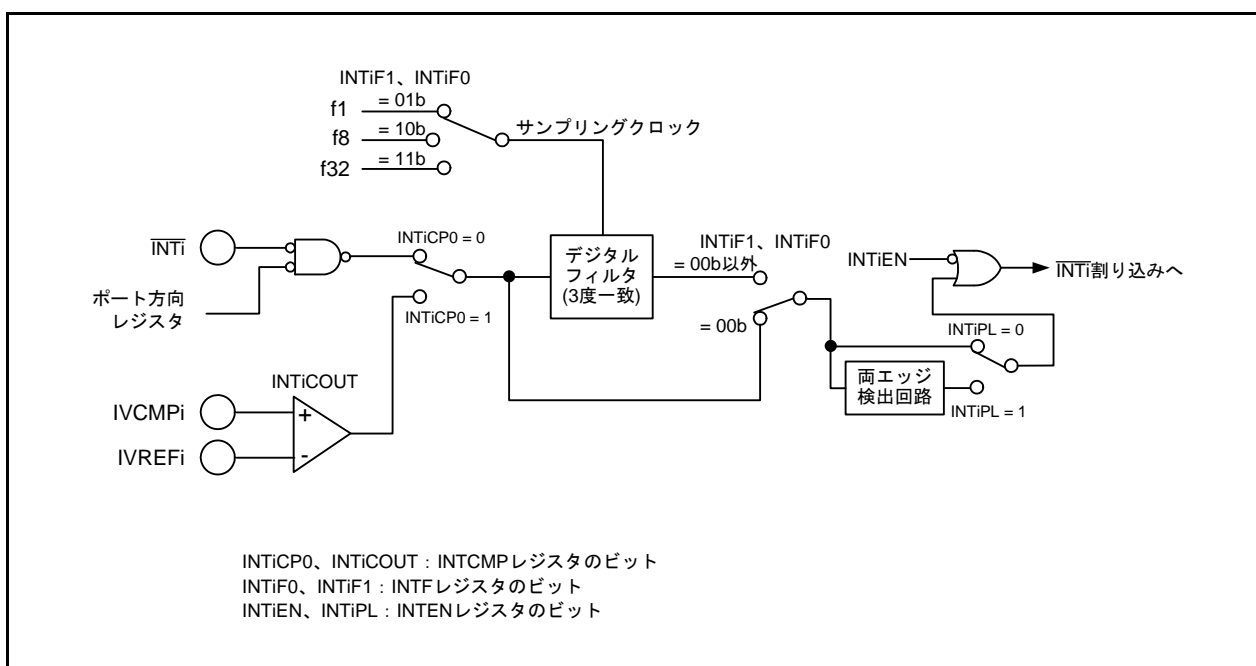


図28.3 コンパレータBiデジタルフィルタの構成 (i = 1, 3)

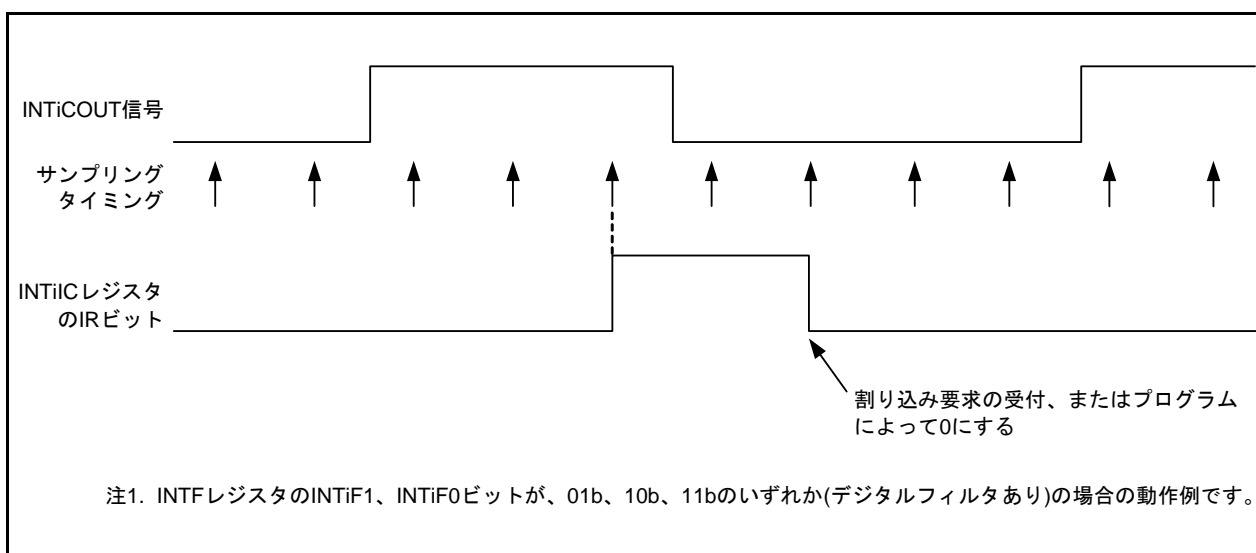


図28.4 コンパレータBiデジタルフィルタ動作例 (i = 1, 3)

28.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1およびコンパレータB3の2つの割り込み要求を発生します。コンパレータBi ($i = 1, 3$) 割り込みはINTi入力による割り込みと同一のINTiICレジスタ(IRビット、ILVL0～ILVL2ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータBi割り込みを使用するときはINTENレジスタのINTiENビットを1(許可)にしてください。さらに極性をINTENレジスタのINTiPLビットとINTPOLレジスタのINTiPOLビットで選択できます。また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

図28.5にコンパレータBi割り込み発生タイミング(立ち上がりエッジ選択時)を、図28.6にコンパレータBi割り込み発生タイミング(立ち下がりエッジ選択時)を示します。

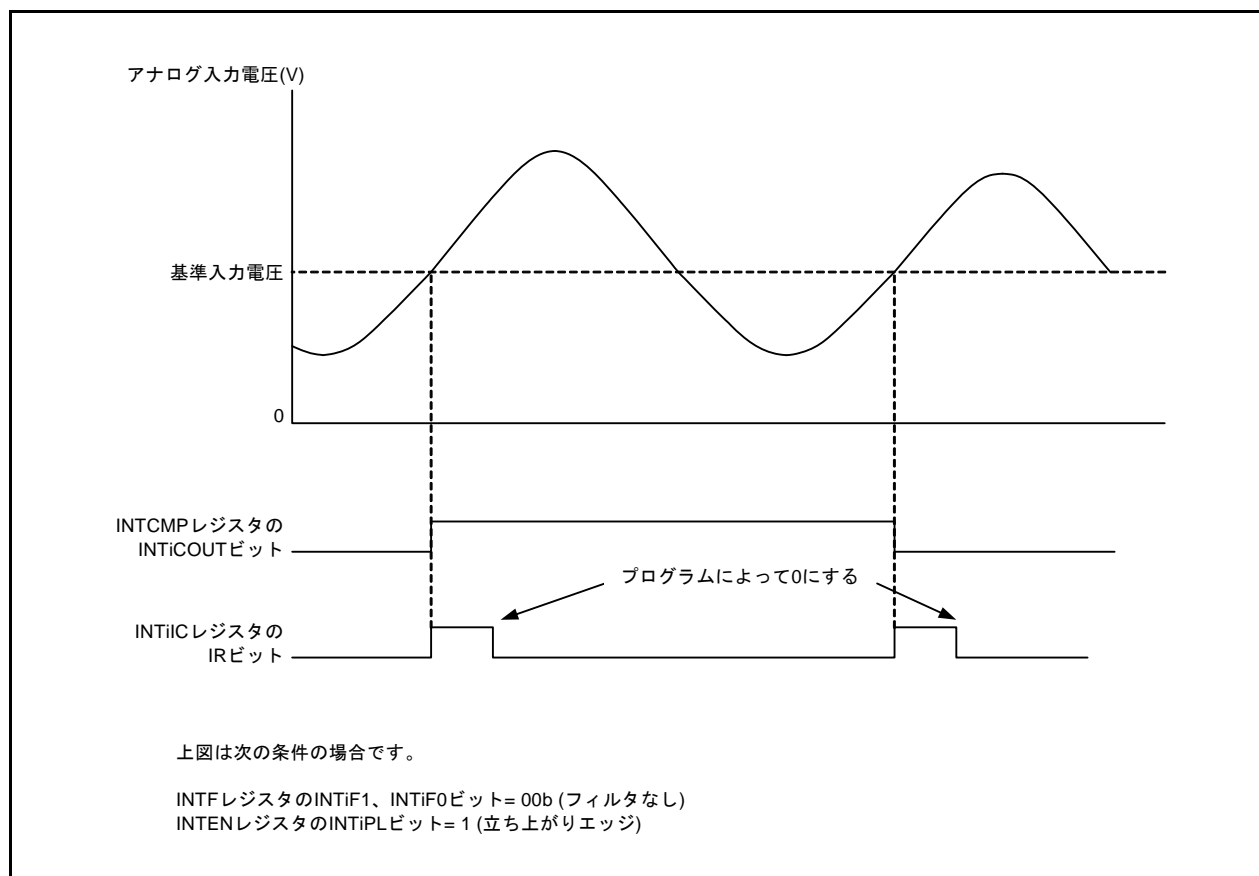


図28.5 コンパレータBi割り込み発生タイミング(立ち上がりエッジ選択時)

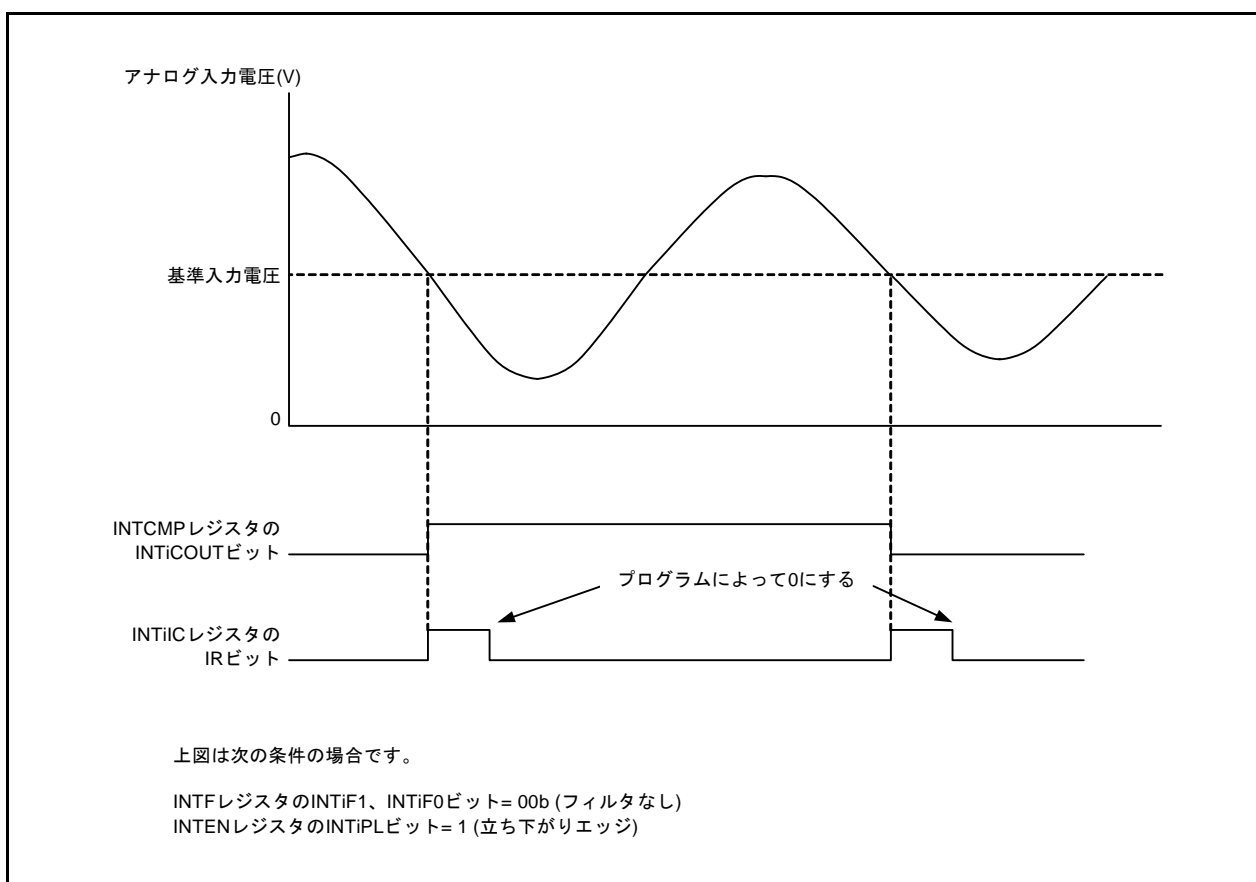


図28.6 コンパレータBi割り込み発生タイミング(立ち下がリエッジ選択時)

29. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

29.1 概要

表 29.1 にフラッシュメモリの性能概要を示します(表 29.1 に示す以外の項目は「表 1.1 ～表 1.12 R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループの仕様概要」参照)。

R8C/56Eグループ、R8C/56Gグループは、BGO(バックグラウンドオペレーション)機能付データフラッシュ(1KB×4ブロック)を内蔵しています。

表 29.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図 29.1 参照
プログラム方式		バイト単位/ワード単位(プログラムROM領域のみ)
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換えプロテクト制御方式	ブロック0～6 (プログラムROM)(注2)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B、C、D (データフラッシュ) (注4)	FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビットによるブロックA、B、C、Dに対する個別の書き換え制御
コマンド数		7コマンド
プログラム、イレーズ回数(注3)	ブロック0～6 (プログラムROM)(注2)	1,000回
	ブロックA、B、C、D (データフラッシュ) (注4)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズを実行する場合は、電源電圧VCC = 2.7V～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

注2. 製品によってブロック数およびブロックの分割が異なります。詳細は「図 29.1 R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループのフラッシュメモリのブロック図」を参照してください。

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n = 1,000、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注4. R8C/56Fグループ、R8C/56Hグループは、データフラッシュを内蔵していません。

表 29.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	—

29.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図 29.1 に R8C/56E グループ、R8C/56F グループ、R8C/56G グループ、R8C/56H グループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM：主にプログラムを格納するためのフラッシュメモリ

データフラッシュ：主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

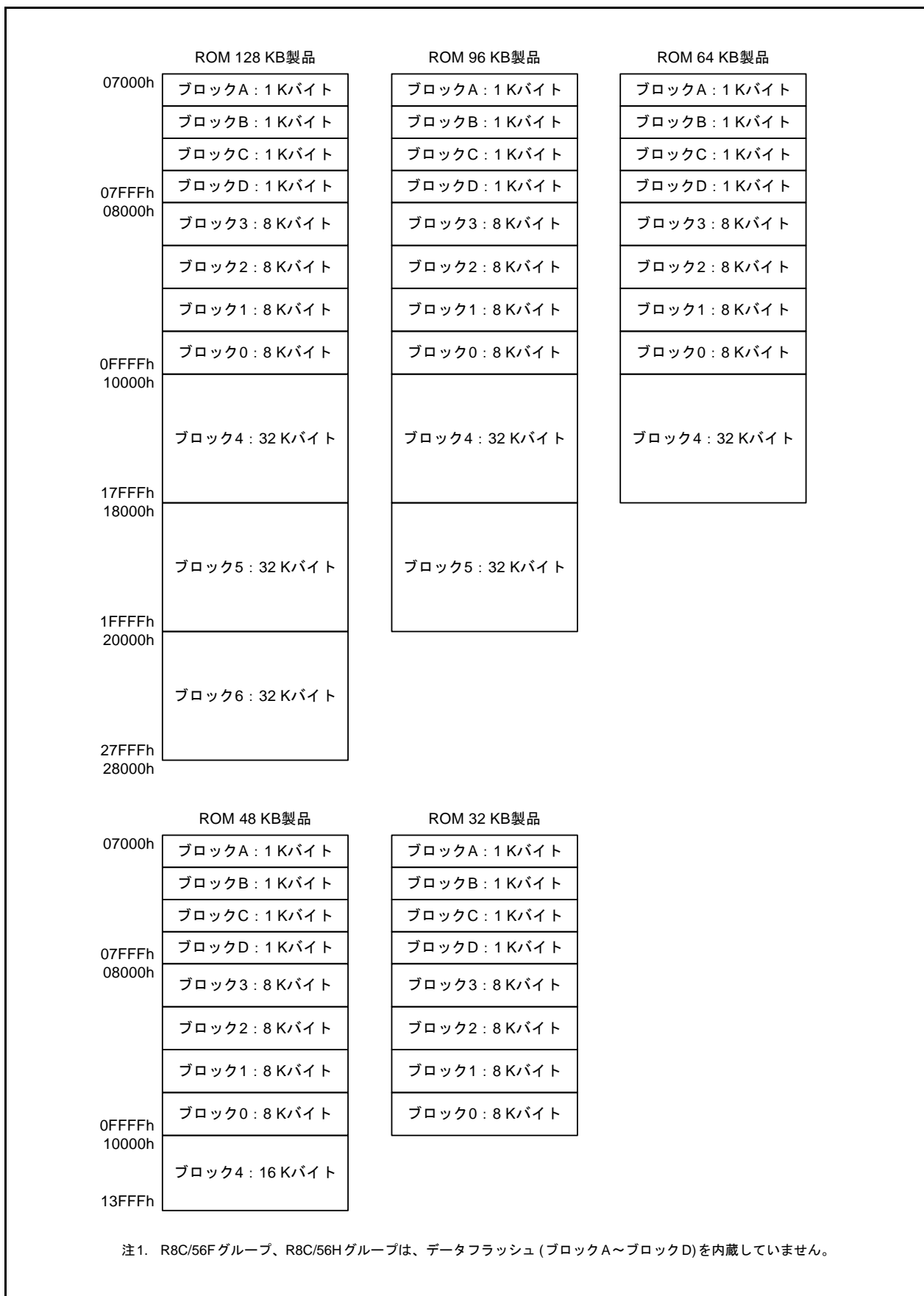


図 29.1 R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループのフラッシュメモリのブロック図

29.3 レジスタの説明

表29.3にフラッシュメモリのレジスタ構成を示します。

表29.3 フラッシュメモリのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュメモリステータスレジスタ	FST	1000X00b	00252h	8
フラッシュメモリ制御レジスタ0	FMR0	00h	00254h	8
フラッシュメモリ制御レジスタ1	FMR1	00h	00255h	8
フラッシュメモリ制御レジスタ2	FMR2	00h	00256h	8
オプション機能選択レジスタ	OFS	(注1)	0FFFFh	8

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

29.3.1 フラッシュメモリステータスレジスタ (FST)

アドレス 00252h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	—	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4、5)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4、5)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATA モニタフラグ	0: ロック状態 1: 非ロック状態	R
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b4	FST4	プログラムエラーフラグ(注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラーフラグ(注3)	0: イレーズエラーなし 1: イレーズエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0: ビジー 1: レディ	R

注1. プログラムでRDYSTIビットを1(フラッシュレディステータス割り込み要求あり)にできません。

RDYSTIビットに0(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。読んでから書くまでの間はフラッシュレディステータス要因によるDTC起動を禁止にしてください。

このビットを確認する場合には、FMR0レジスタのRDYSTIEビットを1(フラッシュレディステータス割り込み許可)にしてください。

注2. プログラムでBSYAEIビットを1(フラッシュアクセスエラー割り込み要求あり)にできません。

BSYAEIビットに0(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。

このビットを確認する場合には、FMR0レジスタのBSYAEIEビットを1(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIEビットを1(イレーズ/ライトエラー割り込み許可)にしてください。

注3. コマンドエラー時にも1(エラーあり)になります。

注4. このビットが1のとき、FMR0レジスタのFMR01ビットを0(CPU書き換えモード無効)にしないでください。

注5. このビットを0にするためには、1を読んだ後、0を書いてください。

RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが1(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを0(フラッシュレディステータス割り込み要求なし)にしてください。

[0になる条件]

割り込み処理のプログラムで0にしてください。

[1になる条件]

FMR0レジスタのRDYSTIEビットが1のときに、ビジーからレディに遷移すると、RDYSTIビットは1になります。

ビジーからレディに変化するの、次の状態のときです。

- フラッシュメモリのイレーズ/プログラム終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

BSYAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが1(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、BSYAEIビットが1(フラッシュアクセスエラー割り込み要求あり)になります。割り込み処理の中でBSYAEIビットを0(フラッシュアクセスエラー割り込み要求なし)にしてください。

また、FMR0レジスタのCMDERIEビットが1(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、またはプログラムエラーが発生した場合、BSYAEIビットが1(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、クリアステータスレジスタコマンドを実行し、BSYAEIビットを0(フラッシュアクセスエラー割り込み要求なし)にしてください。

[0になる条件]

- (1) 割り込み処理のプログラムで0にしてください。
- (2) クリアステータスレジスタコマンドを実行してください。

[1になる条件]

- (1) FMR0レジスタのBSYAEIEビットが1のときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。
または、プログラムROM領域をイレーズ/ライト中にデータフラッシュ領域をリードする。
(ただし、両者ともに読み出し値は不定。書き込みは無効。)
- (2) FMR0レジスタのCMDERIEビットが1(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、またはプログラムエラーが発生した場合。

LBDATA ビット (LBDATA モニタ フラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが1(レディ)になった後で、LBDATA ビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7ビットが0(ビジー)になります。FST7ビットが1(レディ)になった時点でLBDATAビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATAビットのデータは保持されます。

FST4 ビット (プログラム エラー フラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると1、それ以外のときは0となります。詳細は「29.5.8 フルスステータスチェック」を参照してください。

FST5 ビット (イレーズ エラー フラグ)

自動消去の状況を示す読み出し専用のビットです。イレーズエラーが発生すると1、それ以外のときは0となります。詳細は「29.5.8 フルスステータスチェック」を参照してください。

FST6 ビット (イレーズ サスペンド ステータス フラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると1になります。それ以外のときは0になります。

FST7 ビット (レディ / ビジーステータス フラグ)

FST7ビットが0(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

上記以外の場合は、FST7ビットは1(レディ)になります。

29.3.2 フラッシュメモリ制御レジスタ0 (FMR0)

アドレス	00254h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	FMR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR00	プログラム単位選択ビット (注1、5、6)	0: バイト単位 1: ワード単位	R/W
b1	FMR01	CPU書き換えモード選択ビット (注1、4)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット (注1)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット (注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセット ビット (注3)	CMDRSTビットを1にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。読み出した場合は、0が読み出されません。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可 ビット	0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み 許可ビット	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込み 許可ビット	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

注1. このビットを1にするときは、0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが1 (CPU書き換えモード有効) のとき、有効です。FMR01ビットが0 (CPU書き換えモード無効) のときにFMSTPビットを1 (フラッシュメモリ停止) にしないでください。また、FMSTPビットを1 (フラッシュメモリ停止) にする場合は、FSTレジスタのFST7ビットが1 (レディ) のとき、設定してください。

注3. CMDRSTビットはFMR01ビットが1 (CPU書き換えモード有効) かつFSTレジスタのFST7ビットが0 (ビジー) のとき、有効です。

注4. FMR01ビットを0 (CPU書き換えモード無効) にする場合は、FSTレジスタのRDYSTIビットが0 (フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが0 (フラッシュアクセスエラー割り込み要求なし) のとき、設定してください。

注5. プログラムROM領域に対してのみ有効です。

注6. FMR0レジスタのFMR00ビットを1 (ワード単位) に設定した場合、ソフトウェアコマンド (アドレス、データ) の設定にはワード命令を使用し、偶数番地へ書き込んでください。

FMR00ビット (プログラム単位選択ビット)

ワード単位 (FMR00ビットが1) の場合は、下記の動作になり、奇数番地はコマンド入力できません。

- ・ユーザROM領域の奇数番地へのコマンド入力不可
- ・ユーザROM領域の偶数番地へのコマンド入力可能

FMR01ビット (CPU書き換えモード選択ビット)

FMR01ビットを1 (CPU書き換えモード有効) にすると、ソフトウェアコマンドの受け付けが可能になります。

FMR02ビット(EW1モード選択ビット)

FMR02ビットを1(EW1モード)にすると、EW1モードになります。

FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを1にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを1にしてください。詳細は「10.6.10 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

また、FMSTPビットが1のとき(FMSTPビットを1から0へ変更直後のビジー中(FST7ビットが0の期間)も含む)は、同時に低消費電流リードモードにしないでください。

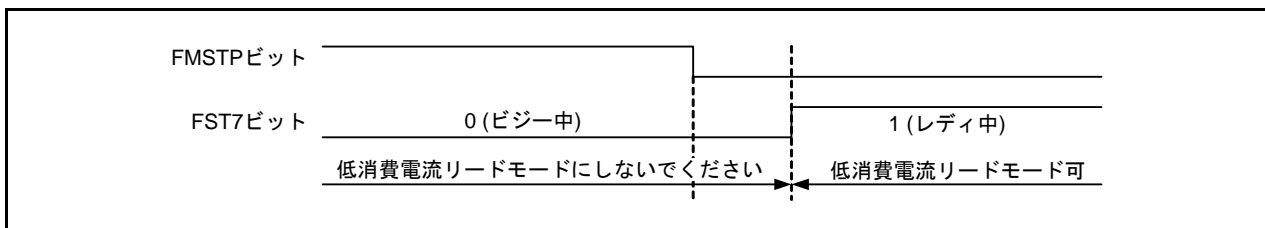


図29.2 低消費電流リードモードへの移行

CMDRSTビット(イレーズ/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレーズコマンドを強制停止させるためのビットです。データフラッシュ領域へのプログラム/イレーズ中のシーケンスリセットの場合は、プログラムROM領域を読み出すことは可能です。

FMR0レジスタのCMDRSTビットによりプログラム、ブロックイレーズコマンドを強制停止した場合、FSTレジスタのFST7ビットが1(レディ)に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレーズコマンドを再度実行し、ブロックイレーズが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレーズコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを1(ロックビット無効)にした後で、ブロックイレーズコマンドを再度実行してください。

また、イレーズサスペンド中にCMDRSTビットを1(イレーズ/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレーズをサスペンドしていたブロックに対しても、ブロックイレーズを再度実行してください。

CMDRSTビットを1(イレーズ/ライト停止)にしてから、 $t_d(\text{CMDRST-READY})$ 後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

CMDERIE ビット(イレーズ/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレーズエラー
- コマンドシーケンスエラー

CMDERIE ビットを1(イレーズ/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIE ビットを0(イレーズ/ライトエラー割り込み禁止)から1(イレーズ/ライトエラー割り込み許可)にする場合には、次のようにしてください。

- (1) クリアステータスレジスタコマンドを実行する。
- (2) CMDERIE ビットを1にする。

BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIE ビットを0(フラッシュアクセスエラー割り込み禁止)から1(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのBSYAEIビットを読む(ダミーリード)。
- (2) BSYAEIビットに0(フラッシュアクセスエラー割り込み要求なし)を書く。
- (3) BSYAEIEビットを1(フラッシュアクセスエラー割り込み許可)にする。

RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIE ビットを0(フラッシュレディステータス割り込み禁止)から1(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのRDYSTIビットを読む(ダミーリード)。
- (2) RDYSTIビットに0(フラッシュレディステータス割り込み要求なし)を書く。
- (3) RDYSTIEビットを1(フラッシュレディステータス割り込み許可)にする。

29.3.3 フラッシュメモリ制御レジスタ1 (FMR1)

アドレス	00255h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR17	FMR16	FMR15	FMR14	FMR13	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	FMR13	ロックビット無効選択ビット (注1)	0: ロックビット有効 1: ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット (注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット (注2、3)		R/W
b6	FMR16	データフラッシュブロックC書き換え禁止ビット (注2、3)		R/W
b7	FMR17	データフラッシュブロックD書き換え禁止ビット (注2、3)		R/W

注1. FMR13 ビットを1にするときは、0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. このビットを0にするときは、1を書いた後、続けて0を書いてください。また、1を書いた後、0を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注3. FMR0 レジスタのFMR01ビットを0 (CPU書き換えモード無効) にすると0になります。

FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを1(ロックビット無効)にすると、ロックビットを無効にできます。0にすると、ロックビットが有効になります。ロックビットについては「29.5.6 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを1にした状態でブロックイレーズコマンドを実行すると、0(ロック状態)であったロックビットデータは、消去終了後には1(非ロック状態)になります。

[0になる条件]

次の条件が成立した時点で0になります。

- プログラムコマンド終了時点
- ブロックイレーズコマンド終了時点
- コマンドシーケンスエラー発生時点
- イレーズサスペンド移行時点
- FMR0 レジスタのFMR01ビットが0 (CPU書き換えモード無効) になった場合
- FMR0 レジスタのFMSTPビットが1 (フラッシュメモリ停止) になった場合
- FMR0 レジスタのCMDRSTビットが1 (イレーズ/ライト停止) になった場合

[1になる条件]

プログラムで1にしてください。

FMR14ビット(データフラッシュブロックA書き換え禁止ビット)

FMR14ビットが0のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

FMR15ビット(データフラッシュブロックB書き換え禁止ビット)

FMR15ビットが0のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレージコマンドを受け付けます。

FMR16ビット(データフラッシュブロックC書き換え禁止ビット)

FMR16ビットが0のとき、データフラッシュのブロックCはプログラムコマンド、ブロックイレージコマンドを受け付けます。

FMR17ビット(データフラッシュブロックD書き換え禁止ビット)

FMR17ビットが0のとき、データフラッシュのブロックDはプログラムコマンド、ブロックイレージコマンドを受け付けます。

29.3.4 フラッシュメモリ制御レジスタ2 (FMR2)

アドレス	00256h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	—	—	FMR24	—	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット (注1)	0: イレーズサスペンド禁止 1: イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエスト ビット(注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエ スト許可ビット(注1)	0: 割り込み要求でイレーズサスペンドリクエスト禁止 1: 割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	—	予約ビット	0にしてください	R/W
b4	FMR24	高速リードモード禁止ビット (注1、4)	0: 高速リードモード許可 1: 高速リードモード禁止	R/W
b5	—	予約ビット	0にしてください	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	FMR27	低消費電流リードモード許可 ビット(注1、3、4)	0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可	R/W

注1. このビットを1にするときは、0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. FMR21ビットを0(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが1(CPU書き換えモード有効)のとき、設定してください。

注3. 低消費電流リードモードを使用する場合は、次の設定をした後、FMR27ビットを1にしてください。

・CPUクロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定

注4. ウェイトモードまたはストップモードから復帰した場合、CM3レジスタのCM37、CM36ビット(ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット)で10b(高速オンチップオシレータクロックを選択)、11b(XINクロックを選択)を選択した場合、またはCM3レジスタのCM35ビットで1(分周なし)の場合、リセット後の値になります。

FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを1(許可)にすると、イレーズサスペンド機能が許可されます。

FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを1にすると、イレーズサスペンドモードに移行します。FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に1(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを0(イレーズリスタート)にしてください。

[0になる条件]

プログラムで0にしてください。

[1になる条件]

・割り込み要求発生時に、FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)のとき。

・プログラムで1にしてください。

FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを1(割り込みでイレーズサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを1(イレーズサスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にイレーズサスペンドを使用するときに、1にしてください。

FMR24ビット(高速リードモード禁止ビット)

CPUクロック > 20 MHzで使用する場合は、FMR24ビットを0にしてください。

CPUクロック ≤ 20 MHzで使用する場合は、FMR24ビットを1にしてください。

FMR24ビットを1にする場合は、CPUクロックが20 MHz以下に設定した後で行ってください。

FMR27ビット(低消費電流リードモード許可ビット)

低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを1(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「10.6.11 低消費電流リードモード」を参照してください。

CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

FMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM3レジスタのCM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

なお、FMR27ビットが1(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを1(フラッシュメモリ停止)から0(フラッシュメモリ動作)にする場合は、FMR27ビットが0(低消費電流リードモード禁止)のときに行ってください。

29.3.5 オプション機能選択レジスタ (OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択(Vdet0_3) 0 1 : 2.85 V選択(Vdet0_2) 上記以外: 設定しないでください	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

29.4 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

29.4.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFFCh～0FFFEh番地)がFFFFFFhではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は「5.3 IDコード領域」を参照してください。

29.4.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「5.5 オプション機能選択領域」を参照してください。

ROMCRビットに1、ROMCPIビットに0を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

29.5 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、フラッシュメモリの読み出しまたはプログラムができます。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表29.4にEW0モードとEW1モードの違いを示します。

表29.4 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM (書き換え制御プログラムを転送して実行) ただし、データフラッシュ領域を書き換える場合は、プログラムROM領域上で実行可能。	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM (ただし、書き換え制御プログラムがあるブロックを除く)
ソフトウェアコマンドの制限	—	プログラム、ブロックイレーズコマンド (書き換え制御プログラムがあるブロックに対して実行禁止)
プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPU、DTCの状態	動作	<ul style="list-style-type: none"> データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCは動作 プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCはホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件	<ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを1にする FMR2レジスタのFMR20とFMR22ビットが1かつ許可されたマスクブル割り込み要求が発生 	<ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを1にする(データフラッシュ領域を書き換え中) FMR2レジスタのFMR20とFMR22ビットが1かつ許可されたマスクブル割り込み要求が発生
CPUクロック	32 MHz	32 MHz

29.5.1 EW0モード

FMR0レジスタのFMR01ビットを1(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが0なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20ビットを1(イレーズサスペンド許可)、FMR21ビットを1(イレーズサスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが1(レディ)になったことを確認し、FST6ビットが1(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください(FST6ビットが0になったとき、消去終了です)。

FMR2レジスタのFMR21ビットを0(イレーズリスタート)にすると、自動消去を再開します。また、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが0になったことを確認し、FST6ビットが0(イレーズサスペンド以外)になったことを確認してください。

29.5.2 EW1モード

FMR0レジスタのFMR01ビットを1(CPU書き換えモード有効)にした後、FMR02ビットを1(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを1(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを1(割り込み要求でイレーズサスペンドリクエスト許可)にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に1(イレーズサスペンドリクエスト)になり、td(SR-SUS)後に、自動消去が中断されます。割り込み処理終了後、FMR21ビットを0(イレーズリスタート)にして自動消去を再開させてください。

29.5.3 各モードの設定と解除方法

図29.3にEW0モードの設定と解除方法を、図29.4にEW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法を示します。

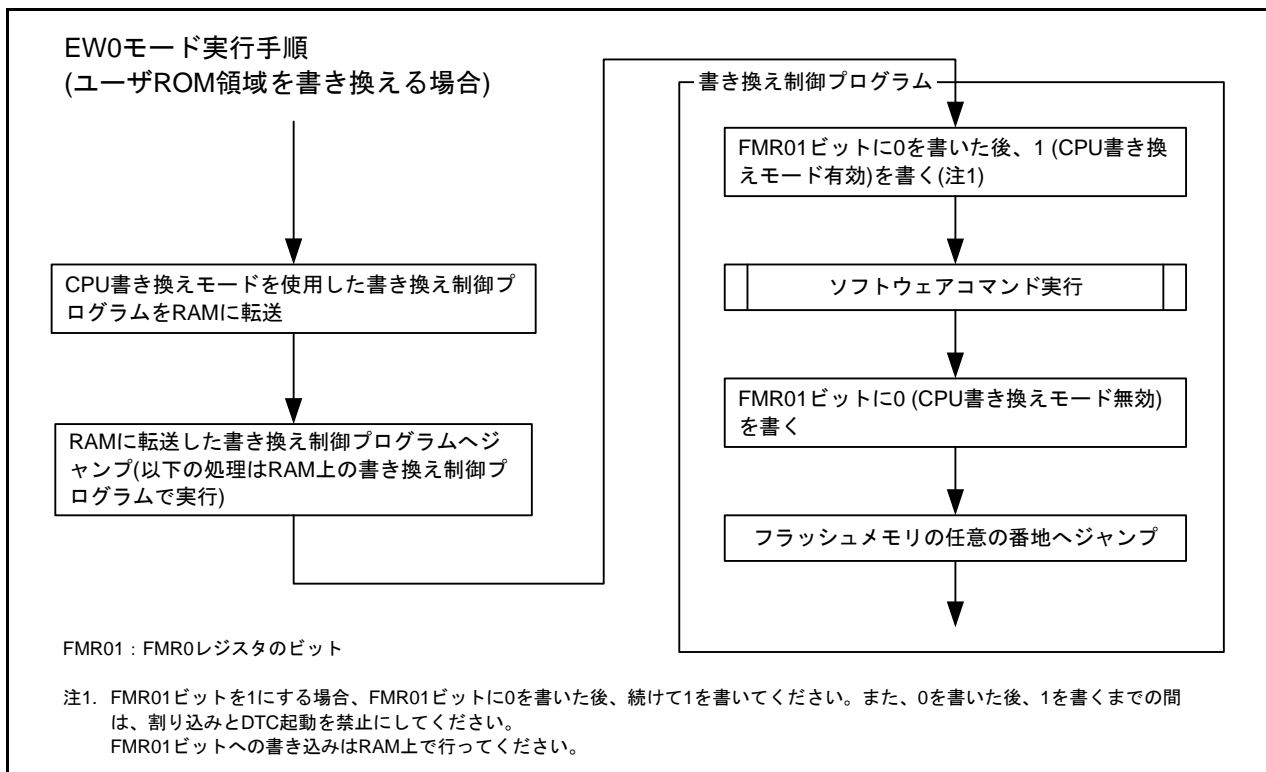


図29.3 EW0モードの設定と解除方法

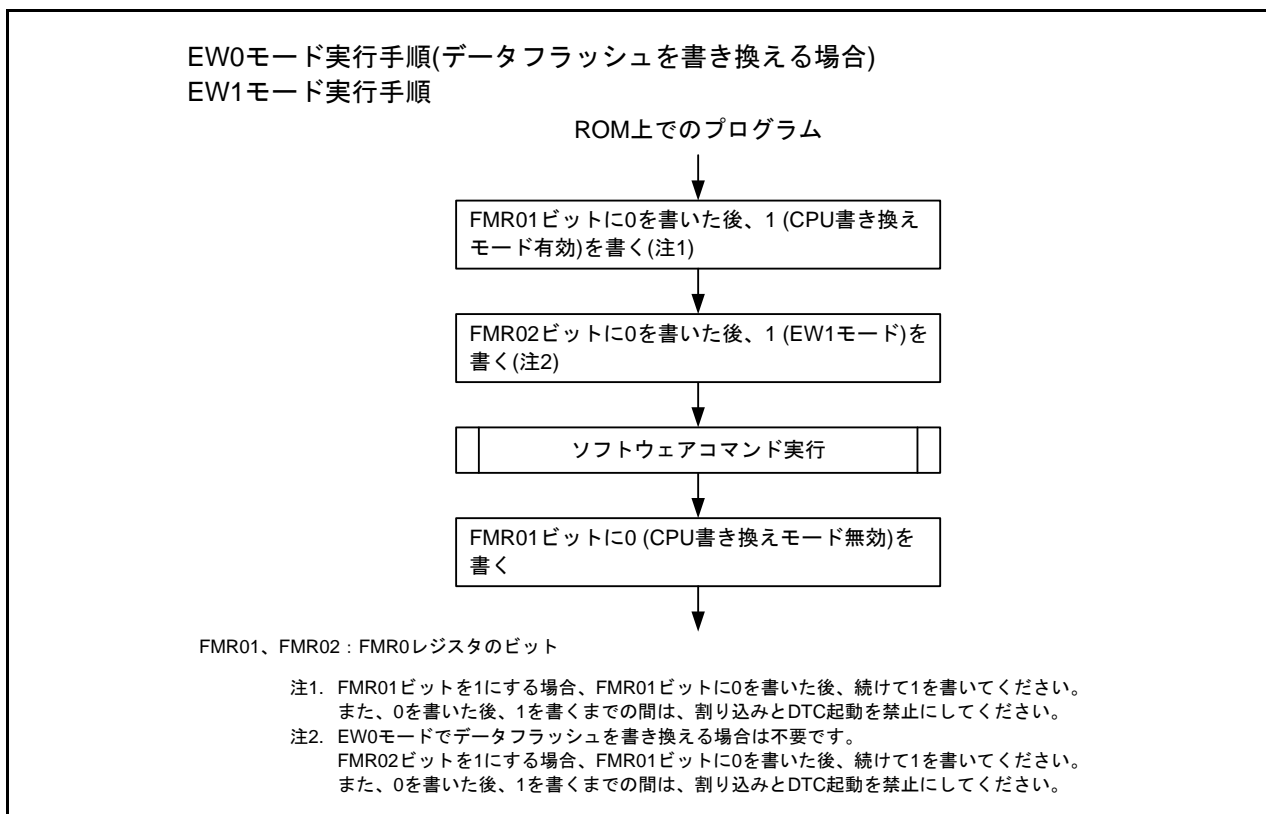


図29.4 EW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法

29.5.4 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます(「表 29.5 サスペンド中に実行できる動作」参照)。

- データフラッシュの任意のブロックの自動消去をサスペンドした場合、データフラッシュの別のブロックへの自動書き込み、および読み出しが実行できます。
- データフラッシュの自動消去をサスペンドした場合、プログラム ROM への自動書き込みおよび読み出しが実行できます。
- プログラム ROM の任意のブロックの自動消去をサスペンドした場合、プログラム ROM の別のブロックへの自動書き込み、および読み出しが実行できます。
- プログラム ROM の自動消去をサスペンドした場合、データフラッシュへの自動書き込みおよび読み出しが実行できます。
- サスペンドを確認する場合、FST レジスタの FST7 ビットが 1 (レディ) となったことを確認後、FST レジスタの FST6 ビットが 1 (イレーズサスペンド中) になったことで、サスペンドしたことを確認してください。(FST6 ビットが 0 (イレーズサスペンド以外) となったときは、消去終了です。)

図 29.5 にサスペンド動作に関するタイミングを示します。

表 29.5 サスペンド中に実行できる動作

		サスペンド中の動作											
		データフラッシュ (サスペンド移行前の イレーズ実行ブロック)			データフラッシュ (サスペンド移行前の イレーズ未実行ブロック)			プログラム ROM (サスペンド移行前の イレーズ実行ブロック)			プログラム ROM (サスペンド移行前の イレーズ未実行ブロック)		
		イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード
サスペンド 移行前の イレーズ 実行領域	データ フラッシュ	×	×	×	×	○	○	—	—	—	×	○	○ (注6)
	プログラム ROM	—	—	—	×	○	○	×	×	×	×	○	○

注1. ○はサスペンド機能を使用することで動作可能、×は動作禁止、—は組み合わせなし

注2. プログラム中はサスペンドできません。

注3. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FST レジスタの FST7 ビットが 1 (レディ) で実行できます。

注4. イレーズサスペンド移行直後は、リードアレイモードになります。

注5. データフラッシュ内蔵製品のみ適用されます。

注6. データフラッシュをプログラムあるいはブロックイレーズ動作中に、BGO 機能によりプログラム ROM 領域を読み出すことができます。

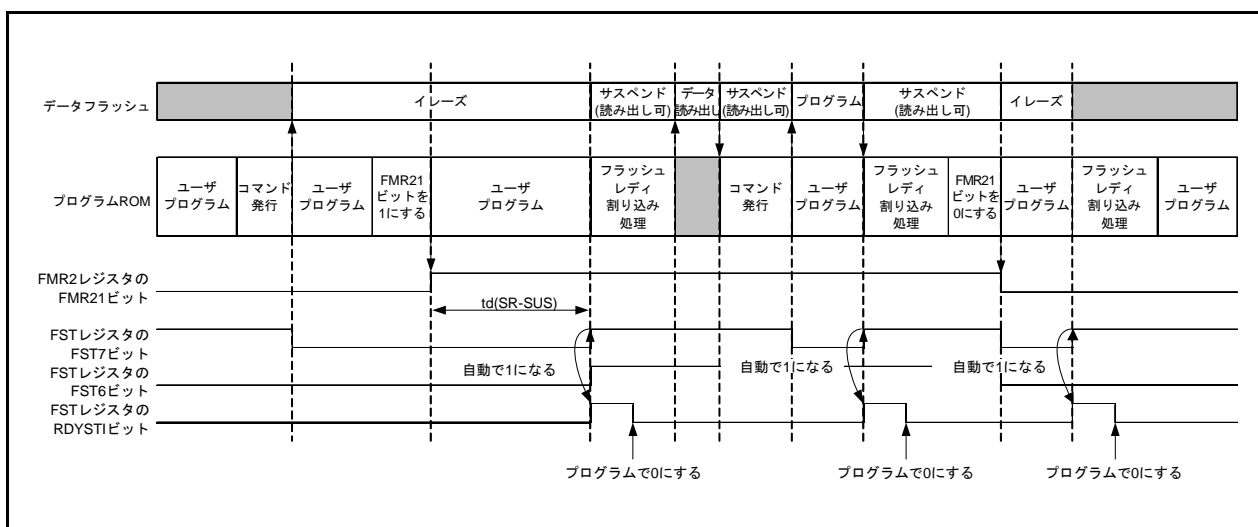


図 29.5 サスペンド動作に関するタイミング

29.5.5 BGO (バックグラウンドオペレーション)機能

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要がありません。アクセス時間は通常のリード動作と同じです。

なお、データフラッシュのプログラムあるいはブロックイレーズ動作中に、他のデータフラッシュのブロックの読み出しはできません。

図29.6にBGO機能を示します。

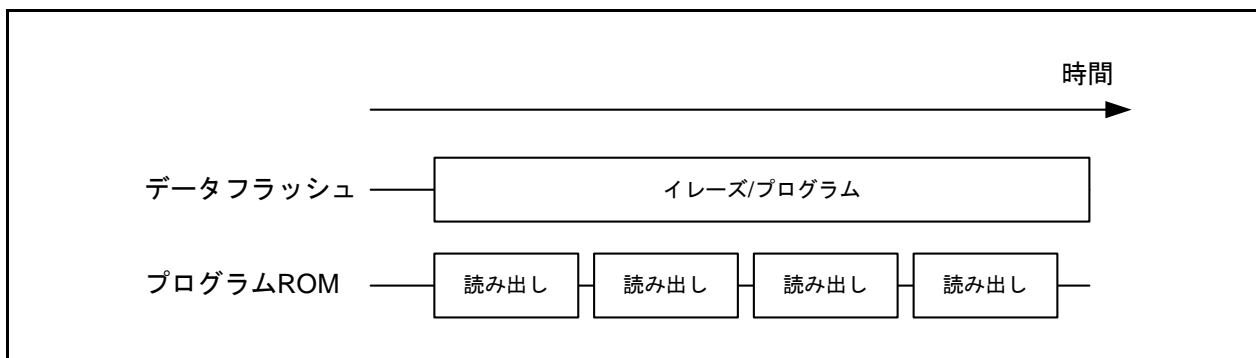


図29.6 BGO機能

29.5.6 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが0(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが0のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが1のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、0(ロック状態)に、ブロックを消去すると1(非ロック状態)になります。ロックビットデータだけをコマンドで1にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを1(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13ビットを0にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR13ビットが1の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは1になります。

各コマンドの詳細は「29.5.7 ソフトウェアコマンド」を参照してください。

FMR13ビットは自動消去終了後、0になります。FMR13ビットは以下のいずれかの条件が成立した場合に0になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを1にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FSTレジスタのFST7ビットが0(ビジー)から1(レディ)になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0レジスタのFMR01ビットが0(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが1(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが1(イレーズ/ライト停止)になった場合

図29.7にFMR13ビットの動作に関するタイミングを示します。

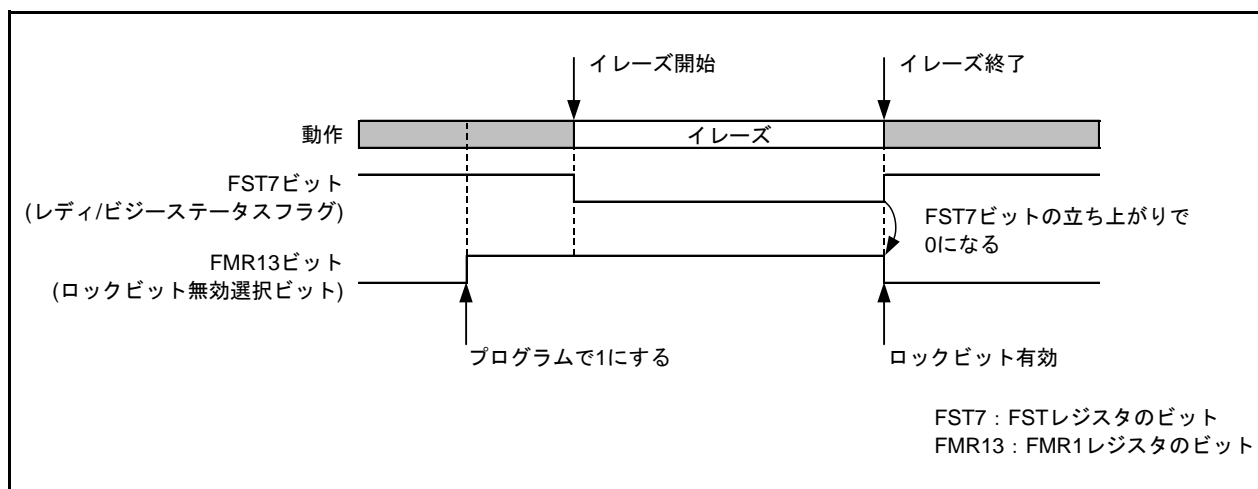


図29.7 FMR13ビットの動作に関するタイミング

29.5.7 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。ただしプログラム(ワード単位)のコマンド、データ書き込みは16ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表29.6 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	x	FFh	—	—	—
クリアステータスレジスタ	ライト	x	50h	—	—	—
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	x	71h	ライト	BT	D0h

WA : 書き込み番地

WD : 書き込みデータ

BA : ブロックの任意の番地

BT : ブロックの先頭番地

x : ユーザROM領域内の任意の番地

29.5.7.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルでFFhを書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはイレーズサスペンド移行後はリードアレイモードになります。

29.5.7.2 クリアステータスレジスタ

FSTレジスタのFST4、FST5ビットを0にするコマンドです。

第1バスサイクルで50hを書くと、FST4、FST5ビットが0になります。

29.5.7.3 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで40hを書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は0、終了後は1になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます(「29.5.8 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが1(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが1(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが1(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが1(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図29.8にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図29.9にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

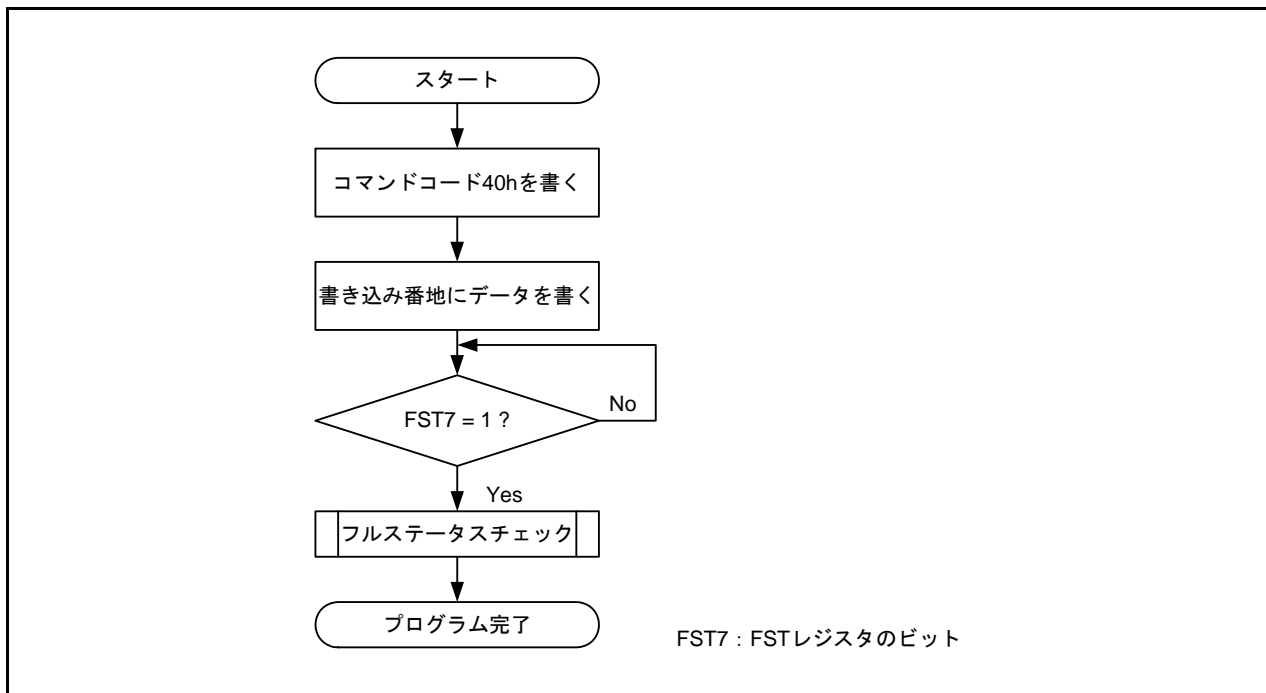


図29.8 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

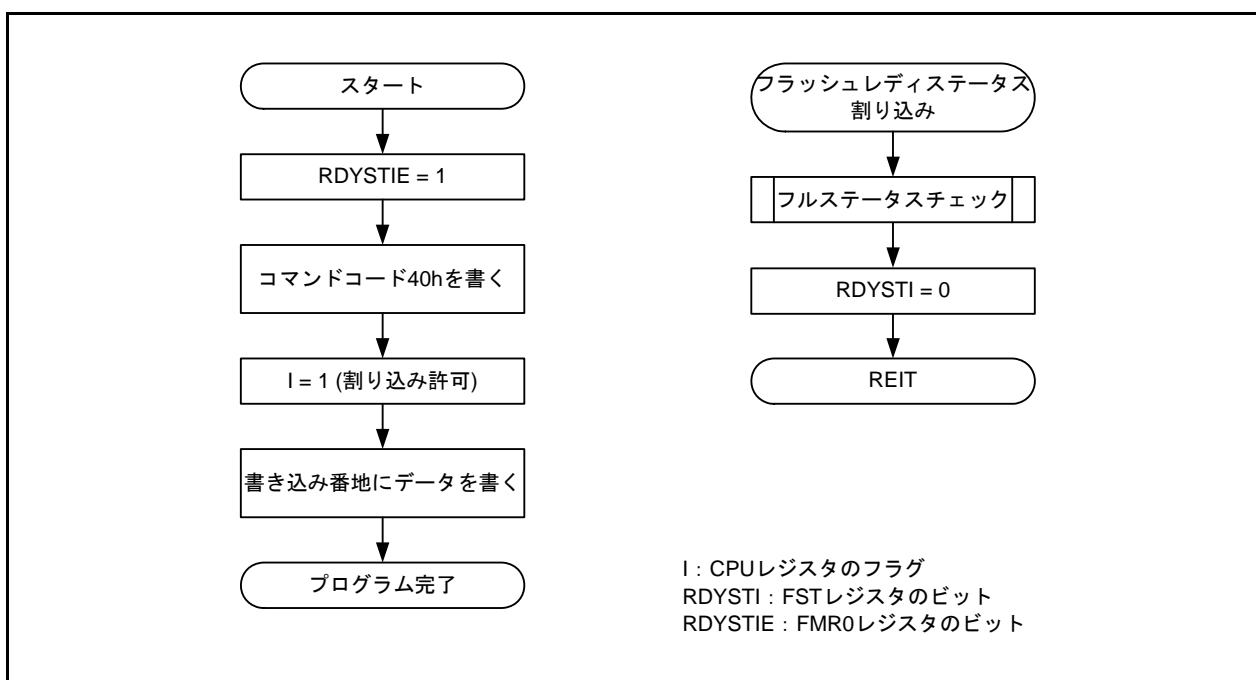


図29.9 プログラムフローチャート(フラッシュレディステータス割り込み許可)

29.5.7.4 ブロックイレーズ

第1バスサイクルで20h、第2バスサイクルでD0hをブロックの任意の番地を書く指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は、0、終了後は1になります。また、自動消去の終了後、ブロック内のデータはすべてFFhになります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます(「29.5.8 フルステータスチェック」参照)。

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが1(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが1(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが1(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが1(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図29.10にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図29.11にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図29.12にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を、図29.13にEW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが1かつFMR2レジスタのFMR20ビットが1(イレーズサスペンド許可)のときは、FMR21ビットを1(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

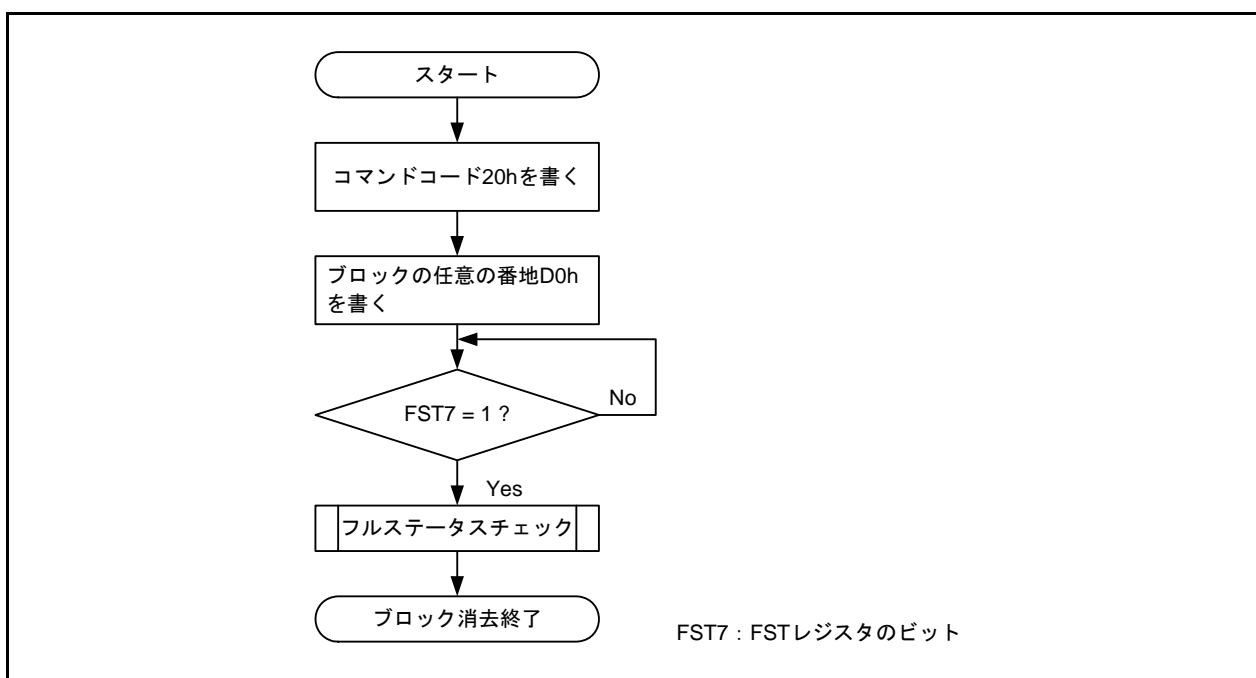


図29.10 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

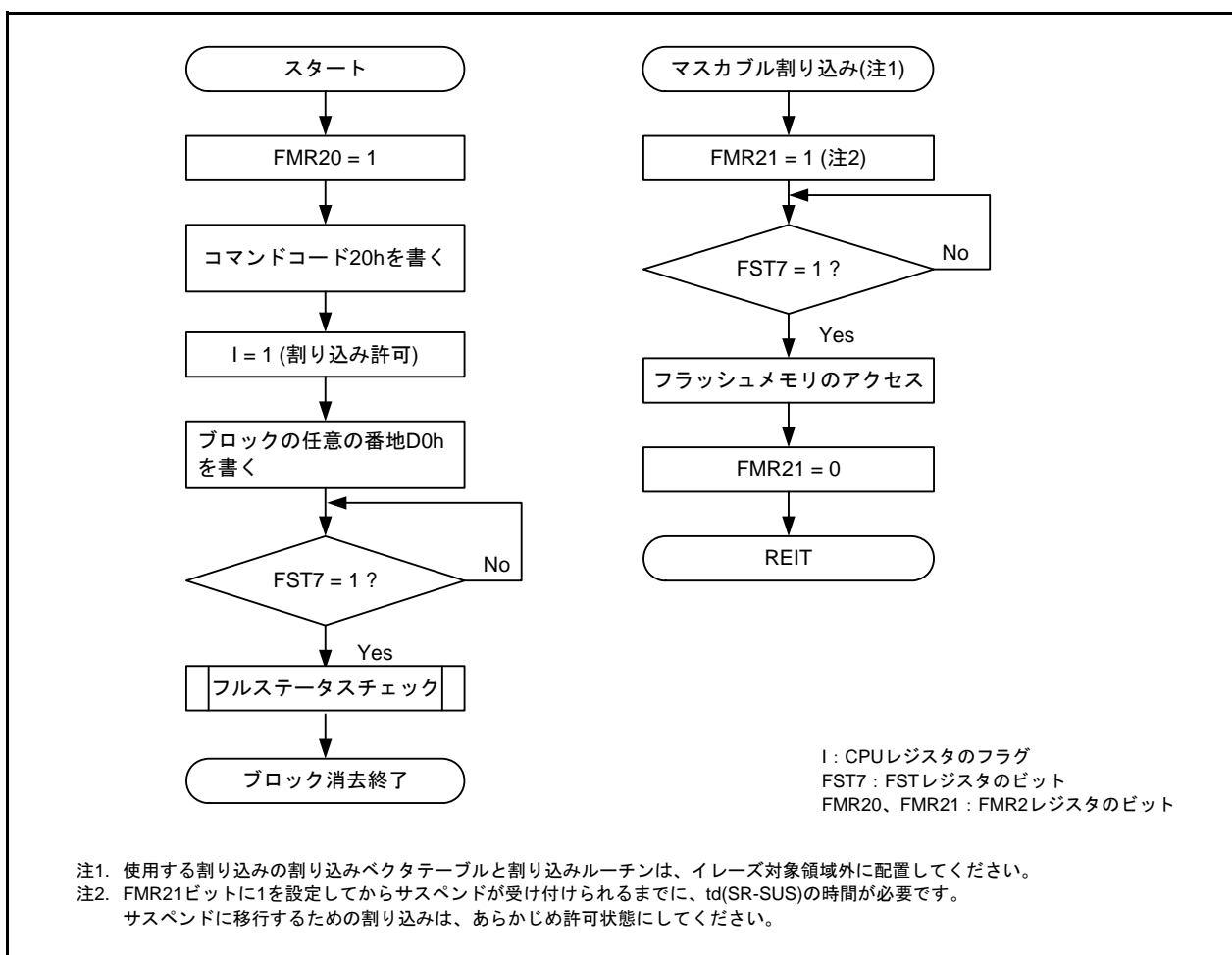


図29.11 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

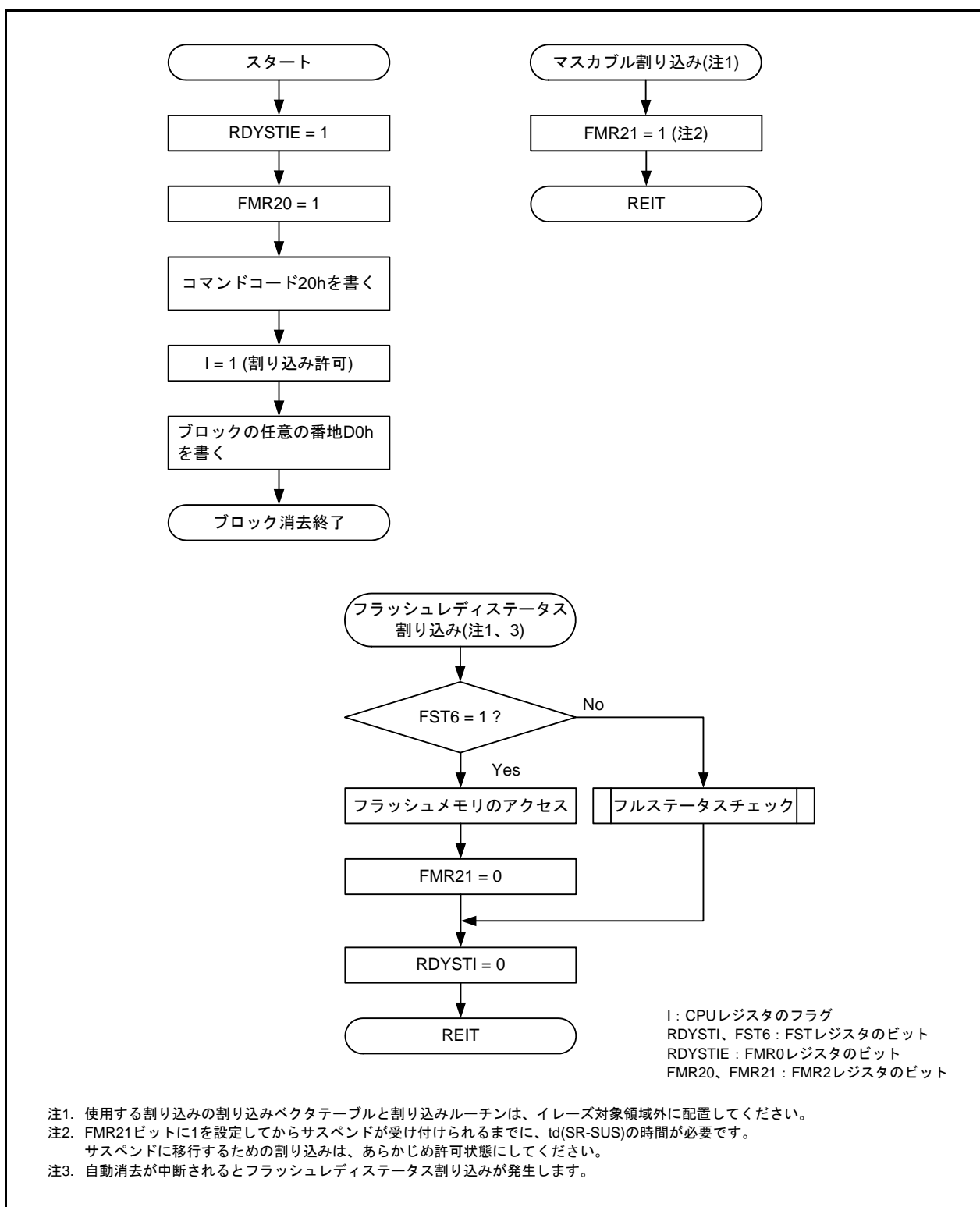


図29.12 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

FMR22 ビットを1 (割り込み要求でサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21 ビットを1 (サスペンドリクエスト)にします。EW1 モードでユーザROM領域を自動消去中にサスペンドを使用するときに、1にしてください。

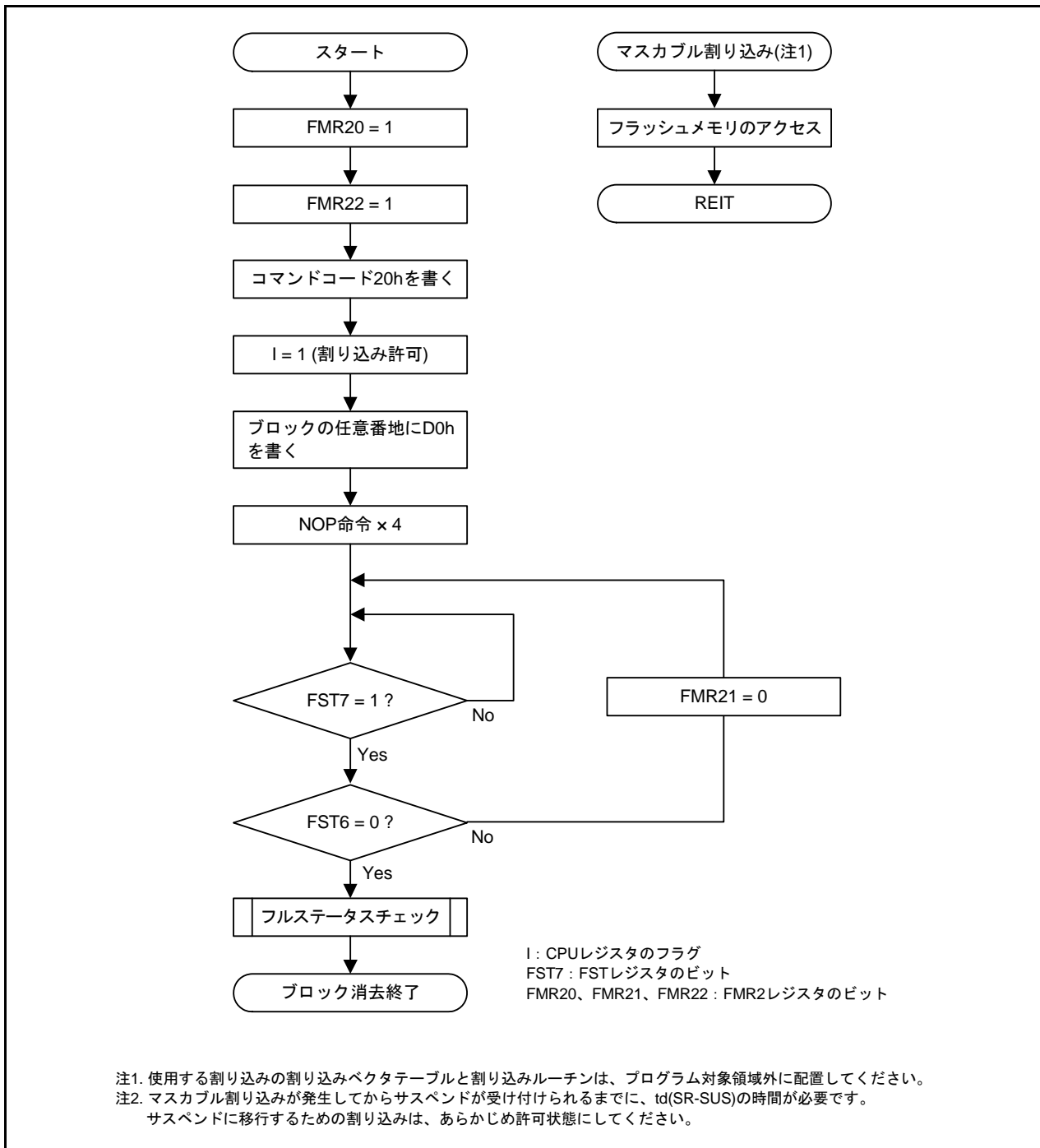


図 29.13 EW1モードのブロックイレースフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

29.5.7.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを0(ロック状態)にするコマンドです。

第1バスサイクルで77h、第2バスサイクルでD0hをブロックの先頭番地に書くと、指定されたブロックのロックビットに0が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図29.14にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを1(非ロック状態)にする方法については「29.5.6 データ保護機能」を参照してください。

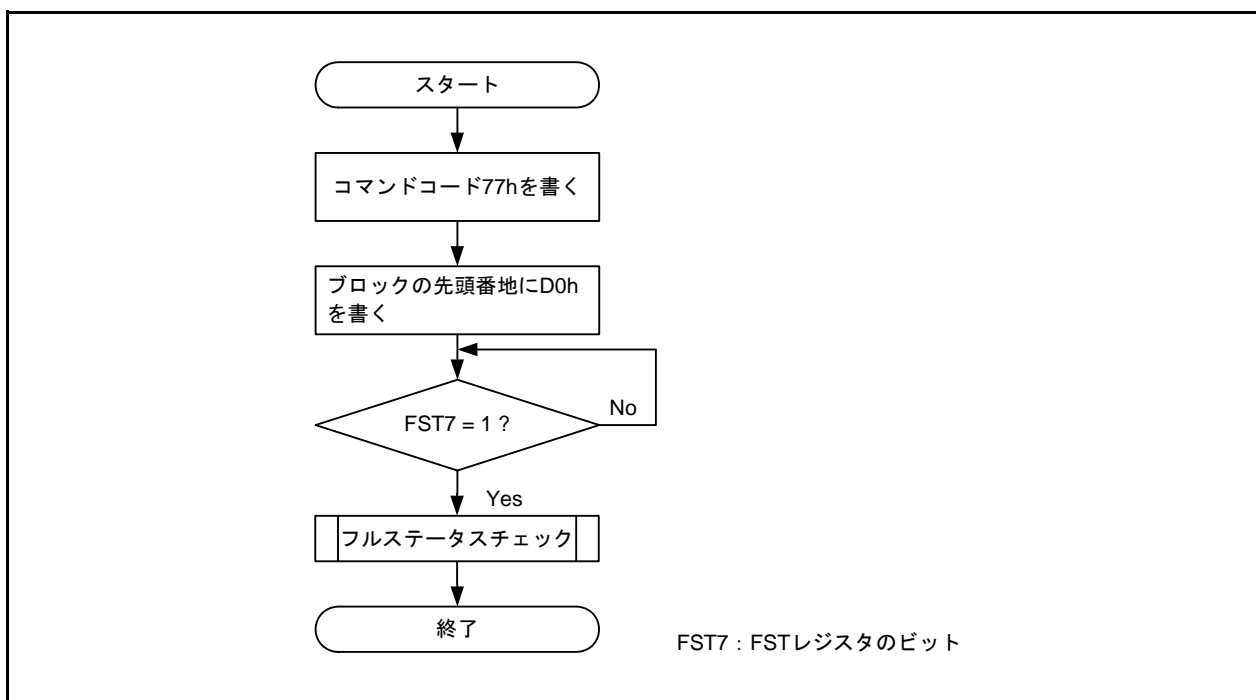


図29.14 ロックビットプログラムフローチャート

29.5.7.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで71h、第2バスサイクルでブロックの先頭番地にD0hを書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが1(レディ)になった後、LBDATAビットを読んでください。

図29.15にリードロックビットステータスフローチャートを示します。

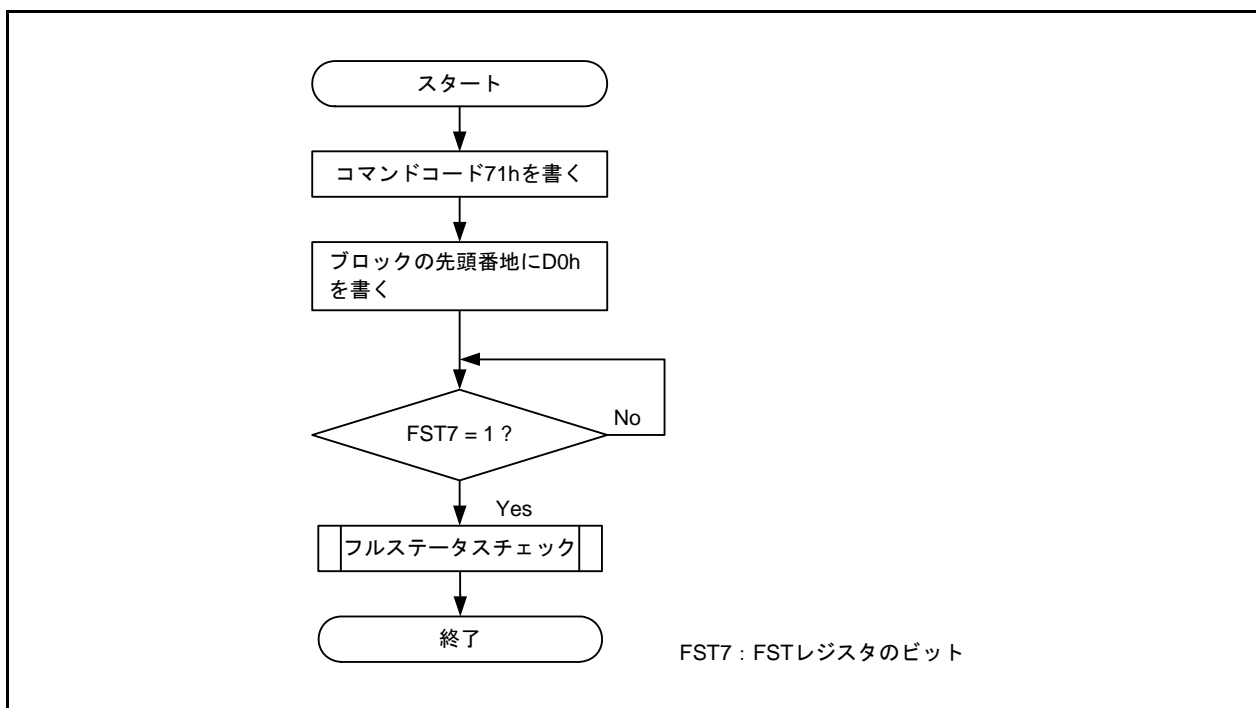


図29.15 リードロックビットステータスフローチャート

29.5.8 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4、FST5ビットが1になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表29.7にエラーとFSTレジスタの状態を、図29.16にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表29.7 エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> • コマンドを正しく書かなかったとき • ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(D0hまたはFFh)以外のデータを書いたとき(注1) • サスペンド中のイレーズコマンドを実行 • サスペンド中のブロックへのコマンドを実行
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー/ ロックビットプログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルでFFhを書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

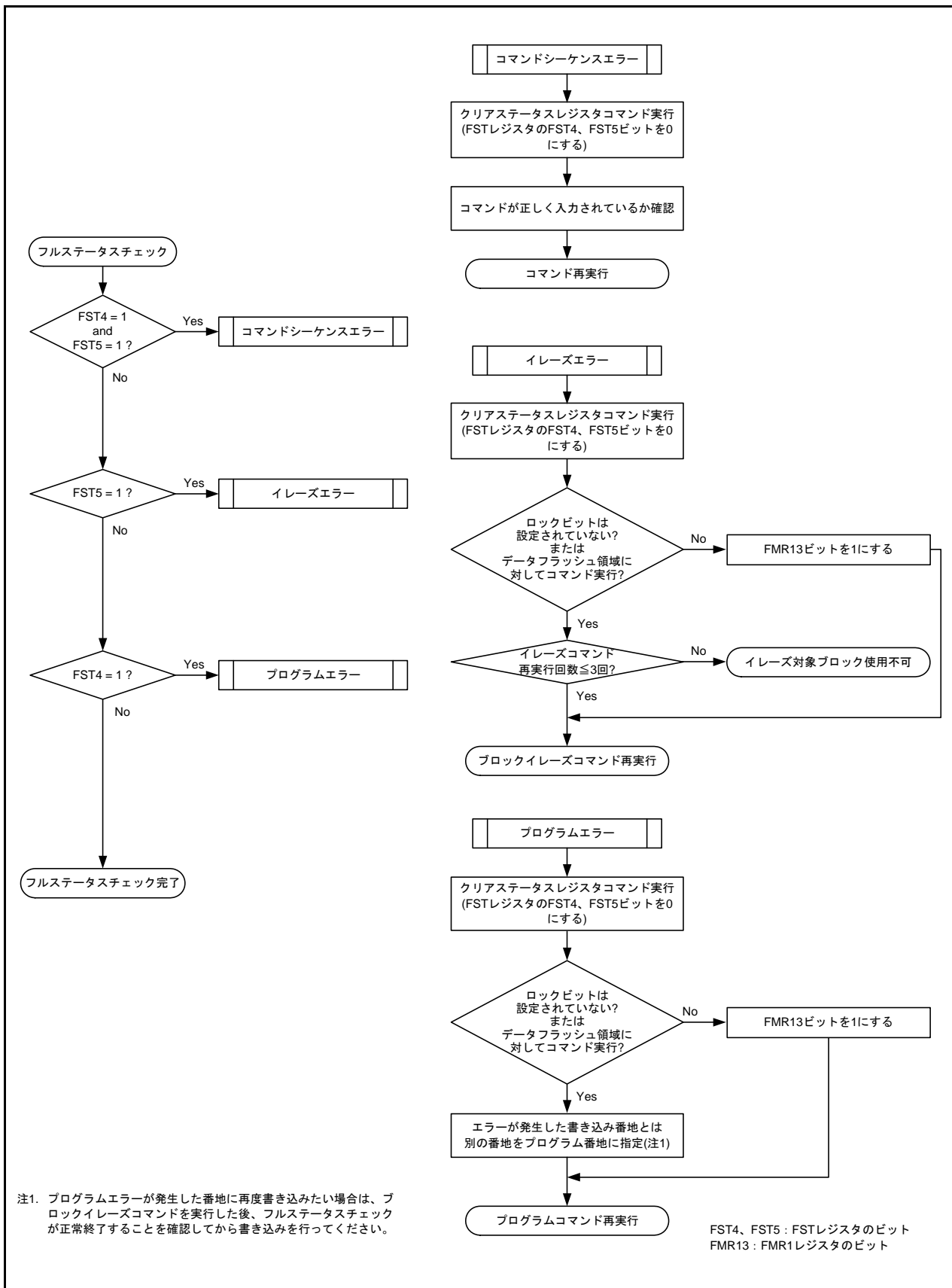


図 29.16 フルステータスチェックフローチャート、各エラー発生時の対処方法

29.6 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライターを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライターと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライターと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライターと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライターとの接続例は「付録2. シリアルライターとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

表29.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図29.17に標準シリアル入出力モード2を使用する場合の端子処理例を、表29.9に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図29.18に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表29.8に示した端子処理を行い、ライターを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子にHを入力して、ハードウェアリセットしてください。

29.6.1 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は「5.3 IDコード領域」を参照してください。

表29.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。入力ポートとして使用する場合、Hを入力、Lを入力、または開放してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
MODE	MODE	入出力	Lを入力してください。
P1_4	TXD出力	出力	シリアルデータの出力端子です。
P1_5	RXD入力	入力	シリアルデータの入力端子です。

注1. 上記以外のI/Oポートの設定は、Hを入力、Lを入力、または開放してください。

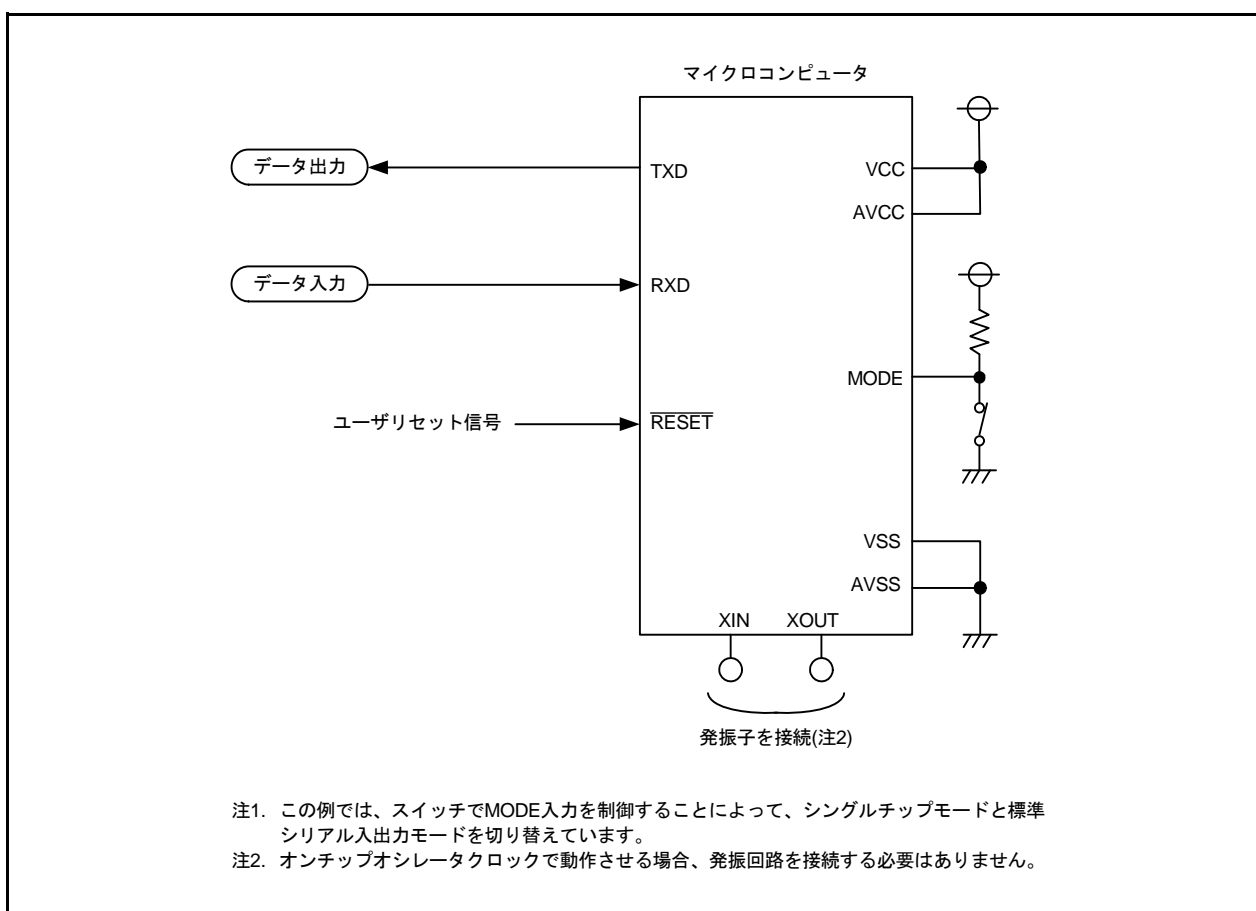


図29.17 標準シリアル入出力モード2を使用する場合の端子処理例

表 29.9 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	入力ポートとして使用する場合、Hを入力、Lを入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

注1. 上記以外のI/Oポートの設定は、Hを入力、Lを入力、または開放してください。

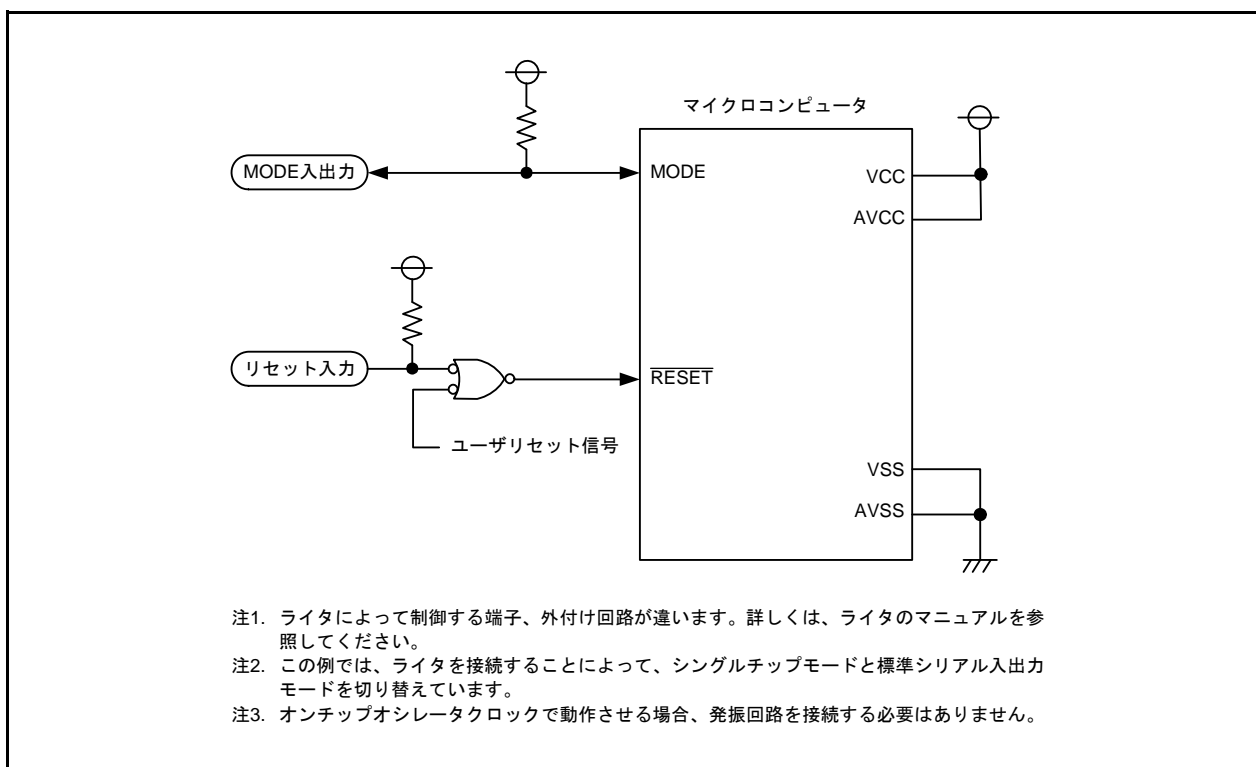


図 29.18 標準シリアル入出力モード3を使用する場合の端子処理例

29.7 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図29.1に示すユーザROM領域の書き換えができます。

29.7.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「29.4.2 ROMコードプロテクト機能」参照)。

29.8 フラッシュメモリ使用上の注意

29.8.1 CPU書き換えモード

29.8.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

29.8.1.2 割り込み

表29.10～表29.12にCPU書き換えモード時の割り込みを示します。

表29.10 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み	
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。	
		自動消去中 (サスペンド無効またはFMR22=0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。	
		自動消去中 (サスペンド無効)		
		自動書き込み中		
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1の場合は、自動でFMR21ビットが1になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを0にすることで、自動消去を再開することができます。	
		自動消去中 (サスペンド無効またはFMR22=0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを0にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。	
		自動消去中 (サスペンド無効またはFMR22=0)		自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

表29.11 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ウォッチドッグタイマ 発振停止検出 電圧監視2 電圧監視1 	<ul style="list-style-type: none"> 未定義命令 INTO命令 BRK命令 シングルステップ アドレス一致 アドレスブレイク(注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	<p>割り込み要求を受け付けると、割り込み処理を実行します。</p> <p>FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。</p>	<p>割り込み要求を受け付けると、割り込み処理を実行します。</p> <p>イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0にすることで、自動消去を再開することができます。</p>
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
プログラム ROM		自動消去中 (サスペンド有効)	<p>割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。</p> <p>自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。</p> <p>ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</p>	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表29.12 CPU書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ウォッチドッグタイマ 発振停止検出 電圧監視2 電圧監視1 	<ul style="list-style-type: none"> 未定義命令 INTO命令 BRK命令 シングルステップ アドレス一致 アドレスブレイク(注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0にするこ とで、自動消去を再開することができます。
		自動消去中 (サスペンド無効ま たはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
プログラム ROM		自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効ま たはFMR22 = 0)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

29.8.1.3 アクセス方法

次のビットを1にするときは、対象となるビットに0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR24、FMR27ビット

また、次のビットを0にするときは、対象となるビットに1を書いた後、続けて0を書いてください。また、1を書いた後、0を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

29.8.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

29.8.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

29.8.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが0(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが1(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

29.8.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V~5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

29.8.1.8 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを1(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

消費電力を低減する方法は、「10. パワーコントロール」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを0(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

30. CRC

30.1 概要

CRC (Cyclic Redundancy Check)演算回路は、データブロックの誤り検出に使用します。さらにCRC演算回路はSFRへの書き込み、SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。

表30.1 CRC演算回路の仕様

項目	仕様
生成多項式	CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)またはCRC-16 ($X^{16} + X^{15} + X^2 + 1$)
選択機能	<ul style="list-style-type: none"> MSB/LSB選択機能 SFRアクセス監視機能

図30.1にCRC演算回路のブロック図を示します。

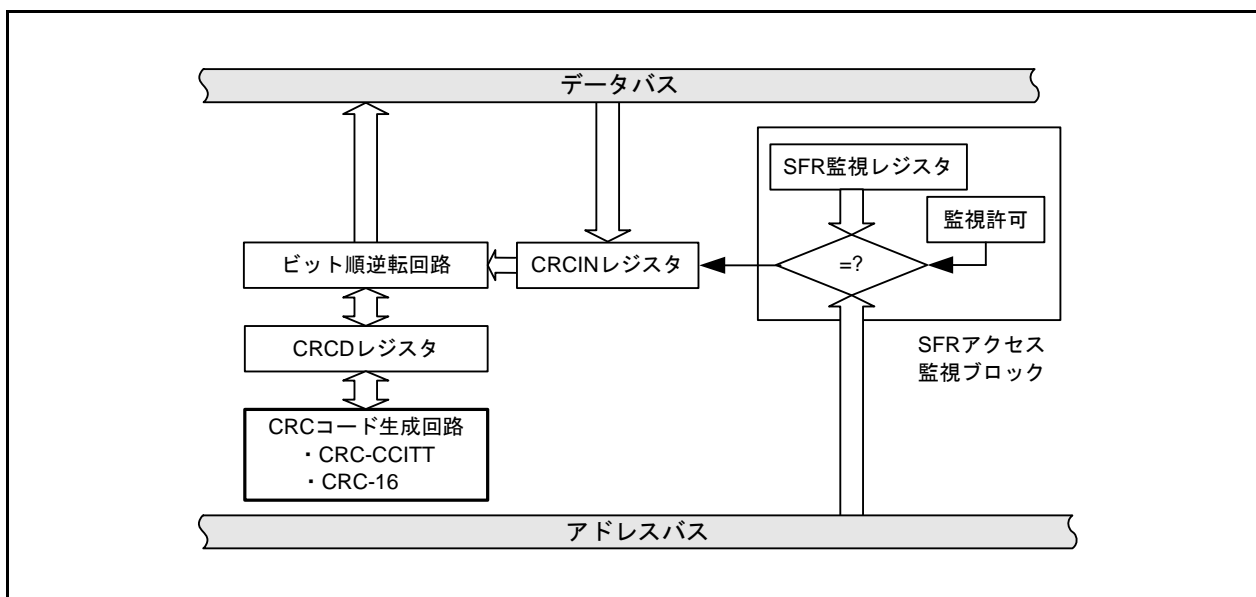


図30.1 CRC演算回路のブロック図

30.2 レジスタの説明

表30.2にCRC演算機能のレジスタ構成を示します。

表30.2 CRC演算機能のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SFR監視アドレスレジスタ	CRCSAR	0000h	00290h	16
CRC制御レジスタ	CRCMR	00h	00292h	8
CRCデータレジスタ	CRCD	0000h	00294h	16
CRCインプットレジスタ	CRCIN	00h	00296h	8

30.2.1 SFR監視アドレスレジスタ (CRCSAR)

アドレス 00290h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15～b0	監視対象のSFRアドレスを設定します。	R/W

CRCSARレジスタは、監視するSFRのアドレスを設定するレジスタです。
監視対象のSFRアドレスは00080h～002FFhと06800h～06FFFhの範囲です。

30.2.2 CRC制御レジスタ (CRCMR)

アドレス	00292h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CRCSW	CRCSR	—	—	—	—	CRCPS	CRCMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CRCMS	CRCモード選択ビット	0 : LSBファースト 1 : MSBファースト	R/W
b1	CRCPS	CRC多項式選択ビット	0 : $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT) 1 : $X^{16} + X^{15} + X^2 + 1$ (CRC-16)	R/W
b5~b2	—	書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	CRCSR	読み出し監視許可ビット	0 : 禁止	R/W
b7	CRCSW	書き込み監視許可ビット	1 : 許可	R/W

CRCMRレジスタは、SFR監視機能、CRCDレジスタ、CRCINレジスタへの書き込み、および読み出しを制御するレジスタです。

CPUからCRCINレジスタにデータを書き込む場合は、CRCSWビットとCRCSRビットの両方を0に設定します。

CRCMSビット (CRCモード選択ビット)

CRCMSビットに0を設定したときは、CRCDレジスタ、CRCINレジスタへはビット順を逆転して書き込みます。

また、CRCDレジスタからCRCコードを読み出すと、ビット順を逆転したCRCコードが読めるためプログラムでビット順を逆転します。

CRCMSビットを1に設定したときは、CRCDレジスタ、CRCINレジスタへはビット順を逆転しないでそのまま書き込みます。また、CRCDレジスタからCRCコードを読み出すと、ビット順を逆転していないCRCコードが読めます。

CRCPSビット (CRC多項式選択ビット)

CRCPSビットに0を設定したときは、CRT-CCITTモードで演算を行いCRCDレジスタに結果を格納します。

CRCPSビットに1を設定したときは、CRC-16モードで演算を行いCRCDレジスタに結果を格納します。

CRCSRビット (読み出し監視許可ビット)

CRCSRビットに1を設定すると、データバス上の読み出し動作を監視します。

CRCSRビットが1のとき、CRCSARレジスタに設定したアドレスからの読み出しが発生するとデータバス上のリードデータに対し自動でCRC演算を行い、CRCDレジスタに結果を格納します。

CRCSRビットに1を設定した場合、CRCSWビットには0を設定してください。

CRCSWビット (書き込み監視許可ビット)

CRCSWビットに1を設定すると、データバス上の書き込み動作を監視します。

CRCSWビットが1のとき、SRCSARレジスタに設定されたアドレスへの書き込みが発生するとデータバス上のライトデータに対し自動でCRC演算を行い、CRCDレジスタに結果を格納します。

CRCSWビットに1を設定した場合、CRCSRビットには0を設定してください。

30.2.3 CRCデータレジスタ (CRCD)

アドレス	00294h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル								
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15～b0	CRCの演算結果が格納されます。	R/W

CRCDレジスタは、CRCの演算結果が格納されます。

CRCMRレジスタのCRCPSビットが0 (CRC-CCITTモード) のとき、CRC-CCITTで演算した結果が読み出せます。

CRCPSビットが1 (CRC-16モード) のとき、CRC-16で演算した結果が読み出せます。

CRCMRレジスタのCRCMSビットが0のとき、初期値はビット順を逆転して書き込みます。その後、CRCINレジスタにデータを書くと、CRCDレジスタからビット順を逆転したCRCコードが読めます。

CRCMSビットが1のとき、初期値はビット順を逆転せずそのまま書き込みます。その後、CRCINレジスタにデータを書くと、CRCDレジスタからビット順を逆転していないCRCコードが読めます。

30.2.4 CRCインプットレジスタ (CRCIN)

アドレス	00296h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7～b0	CRC演算の対象データを設定します。	R/W

CRCINレジスタは、CRC演算の対象データを入力するレジスタです。

CPUからCRCINレジスタに書き込む場合は、CRCMRレジスタのCRCPSビットとCRCMSビットの両方を0に設定してください。

CRCMRレジスタのCRCMSビットが0の場合、CRCINレジスタへは、ビット順を逆転して書き込みます。

CRCMSビットが1の場合、CRCINレジスタへは、ビット順を逆転せず書き込みます。

30.3 動作説明

CRC演算回路は、8ビット単位の任意のデータ長のブロックに対し16ビットのCRCコードを生成します。CRCコードの生成にはCRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、またはCRC-16 ($X^{16} + X^{15} + X^2 + 1$)の生成多項式を使用します。

CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに設定するごとに、CRCDレジスタに格納されます。1バイトのデータに対するCRCコードはCPUクロックの2サイクルで生成されます。

30.4 SFRアクセス監視機能

CRC演算回路は、データバス上のSFRアクセスを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。この機能を使用するとSFRに書き込まれたデータ、または、SFRから読み出されたデータに対してCRC演算を実行するために、改めてCRCINレジスタにデータを設定する必要がありません。アクセスを監視する対象となるのは00080h～002FFh番地と06800h～06FFFh番地のSFRアドレス領域です。

SFRアクセスを監視するには、監視対象のSFRアドレスをCRCSARレジスタに設定し、対象SFRへの書き込みを監視する場合は、CRCSWビットに1を設定します。同様に、対象SFRからの読み出しを監視する場合は、CRCMRレジスタのCRCSRビットに1を設定します。

CRCSWビットに1を設定している場合、監視対象SFRへの書き込みが実行されると、CRC演算回路は対象SFRに書き込まれるデータをCRCINレジスタに格納し、CRC演算を実行します。同様に、CRCSRビットに1を設定している場合、監視対象SFRからデータが読み出されると、CRC演算回路は対象SFRから読み出したデータをCRCINレジスタに格納し、CRC演算を実行します。

CRC演算回路は、1回につき1バイトのCRC演算を実行します。したがって、監視対象SFRがワード単位でアクセスされた場合、CRCSARレジスタに設定されたSFRアドレスの1バイトのデータに対してCRCコードを生成します。

30.5 使用方法

80C4hのCRCコードを生成する場合のCRC演算例を示します。

•CRC-CCITT使用時、LSBファーストの場合

- (1) プログラムで80C4hのビット順をバイト単位で逆転させてください。
80h → 01h、C4h → 23h
- (2) CRCMRレジスタに00hを設定してください。
- (3) CRCDレジスタに初期値0000hを設定してください。
- (4) CRCINレジスタに80hのビット順逆転値01hを設定してください。
CRCDレジスタに80hのCRCコード9188hのビット順を逆転した1189hが格納されます。
- (5) CRCINレジスタにC4hのビット順逆転値23hを設定してください。
CRCDレジスタに80C4hのCRCコード8250hのビット順を逆転した0A41hが格納されます。

•CRC-16使用時、MSBファーストの場合

- (1) CRCMRレジスタに03hを設定してください。
- (2) CRCDレジスタに初期値0000hを設定してください。
- (3) CRCINレジスタに80hを設定してください。
CRCDレジスタに80hのCRCコード8303hが格納されます。
- (4) CRCINレジスタにC4hを設定してください。
CRCDレジスタに80C4hのCRCコード0292hが格納されます。

31. ペリフェラルマッピングコントローラ(PMC)

31.1 概要

ペリフェラルマッピングコントローラ(以下、PMCと称す)はI/Oポートの端子の配置をタイマ機能を優先とした配置、または通信機能を優先とした配置に変更ができます。

- 64ピン製品の標準端子配置から
- 64ピン製品のタイマ機能優先端子配置へ変更可能
- 64ピン製品の通信機能優先端子配置へ変更可能

端子の変更はPMCSELレジスタ(端子配置選択レジスタ)のPMCSEL0、PMCSEL1ビットで行ってください。

PMCSELレジスタの設定は、「31.3.1 端子配置選択レジスタ(PMCSEL)」を参照してください。また、タイマ機能優先端子配置、通信機能優先端子配置の詳細については、「表 31.1、表 31.2 の 64 ピン製品のピン番号別I/Oポートの端子配置一覧」を参照してください。

31.1.1 PMCSELレジスタで未選択となった端子について

PMCSELレジスタで未選択となった端子のポートPi_jビット、ポートPi₀方向ビットにアクセスしてもマイコンの動作に影響はありません。

また、PMCSELレジスタで端子が隠れてしまった周辺機能は端子から波形を入出力することができませんが、使用することは可能です。PMCSELレジスタで制限がかかる周辺機能とその入出力端子は次のとおりです。

(1) タイマRC₁

PMCSELレジスタをタイマ機能優先端子配置以外に選択したとき、TRCIOA₁～TRCIOD₁端子から波形を入出力することができませんが、タイマモードとして使用できます。また、ELCからのイベント入力をインプットキャプチャのトリガとして使用できます。

(2) SSU₁

PMCSELレジスタを通信機能優先端子配置以外に選択したとき、SSO₁、SCL₁、SSCK₁、SCS₁、SSI₁端子から波形を入出力することができませんが、擬似的なワンショットタイマ、またはDTCと組み合わせて一定周期の連続カウントをすることが可能です。

(3) INT0、INT4

PMCSELレジスタをタイマ機能優先端子配置に選択したとき、 $\overline{\text{INT0}}$ 、 $\overline{\text{INT4}}$ 端子から波形を入力することができません。そのため、INT0、INT4端子を使用できません。またこのとき、次の機能を無効に設定してください。

- タイマRB2のINT0端子ワンショットトリガを無効
 - タイマRCのタイマ出力禁止を無効
 - タイマRDのINT0端子からのパルス強制遮断信号入力を無効
- * ELCからのイベント信号でパルス強制遮断することは可能です。

31.2 周辺機能の割り当て

表31.1、表31.2に64ピン製品のピン番号別I/Oポートの端子配置一覧を示します。

表31.1 64ピン製品のピン番号別I/Oポートの端子配置一覧(1)

ピン番号	標準端子配置	タイマ機能優先端子配置	通信機能優先端子配置
1	P3_0/TRJO_0/TRGCLKA	P3_0/TRJO_0/TRGCLKA	P3_0/TRJO_0/TRGCLKA
2	P4_2/VREF	P4_2/VREF	P4_2/VREF
3	MODE	MODE	MODE
4	P4_3	P4_3	P4_3
5	P4_4	P4_4	P4_4
6	RESET	RESET	RESET
7	P4_7/XOUT	P4_7/XOUT	P4_7/XOUT
8	VSS/AVSS	VSS/AVSS	VSS/AVSS
9	P4_6/XIN	P4_6/XIN	P4_6/XIN
10	VCC/AVCC	VCC/AVCC	VCC/AVCC
11	P5_4/TRCIOD_0	P5_4/TRCIOD_0	P5_4/TRCIOD_0
12	P5_3/TRCIOC_0	P5_3/TRCIOC_0	P5_3/TRCIOC_0
13	P5_2/TRCIOB_0	P5_2/TRCIOB_0	P5_2/TRCIOB_0
14	P5_1/TRCIOA_0/TRCTRG_0	P5_1/TRCIOA_0/TRCTRG_0	P5_1/TRCIOA_0/TRCTRG_0
15	P5_0/TRCCLK_0	P5_0/TRCCLK_0	P5_0/TRCCLK_0
16	P3_7/SSO_0/TXD2/RXD2/TRJO_0/SDA_0/ INT3/TRCCLK_0/TRDIOD0_0	P3_7/SSO_0/TXD2/RXD2/TRJO_0/SDA_0/ INT3/TRCCLK_0/TRDIOD0_0	P3_7/SSO_0/TXD2/RXD2/TRJO_0/SDA_0/ INT3/TRCCLK_0/TRDIOD0_0
17	P3_5/SCL_0/SSCK_0/TRCIOD_0/CLK2/ TRDIOD1_0/TRDIOA0_0/TRDCLK_0	P3_5/SCL_0/SSCK_0/TRCIOD_0/CLK2/ TRDIOD1_0/TRDIOA0_0/TRDCLK_0	P3_5/SCL_0/SSCK_0/TRCIOD_0/CLK2/ TRDIOD1_0/TRDIOA0_0/TRDCLK_0
18	P3_4/SDA_0/SCS_0/TRCIOC_0/SSI_0/ RXD2/TXD2/IVREF3/TRDIOD1_0/ TRDIOB0_0	P3_4/SDA_0/SCS_0/TRCIOC_0/SSI_0/ RXD2/TXD2/IVREF3/TRDIOD1_0/ TRDIOB0_0	P3_4/SDA_0/SCS_0/TRCIOC_0/SSI_0/ RXD2/TXD2/IVREF3/TRDIOD1_0/ TRDIOB0_0
19	P3_3/SSI_0/INT3/TRCCLK_0/SCS_0/ CTS2/RTS2/IVCMP3/TRDIOD0_0	P3_3/SSI_0/INT3/TRCCLK_0/SCS_0/ CTS2/RTS2/IVCMP3/TRDIOD0_0	P3_3/SSI_0/INT3/TRCCLK_0/SCS_0/ CTS2/RTS2/IVCMP3/TRDIOD0_0
20	P2_7/TRDIOD1_0	P2_7/TRDIOD1_0	P9_7/SSO_1 (注1)
21	P2_6/TRDIOD1_0	P2_6/TRDIOD1_0	P9_6/SCL_1/SSCK_1/TRBO_1 (注1)
22	P2_5/TRDIOB1_0	P2_5/TRDIOB1_0	P9_5/SDA_1/SCS_1 (注1)
23	P2_4/TRDIOA1_0	P2_4/TRDIOA1_0	P9_4/SSI_1 (注1)
24	P2_3/TRDIOD0_0	P2_3/TRDIOD0_0	P2_3/TRDIOD0_0
25	P2_2/TRDIOD0_0/TRDIOB0_0/TRCIOD_0	P2_2/TRDIOD0_0/TRDIOB0_0/TRCIOD_0	P2_2/TRDIOD0_0/TRDIOB0_0/TRCIOD_0
26	P2_1/TRDIOB0_0/TRDIOD0_0/TRCIOC_0	P2_1/TRDIOB0_0/TRDIOD0_0/TRCIOC_0	P2_1/TRDIOB0_0/TRDIOD0_0/TRCIOC_0
27	P2_0/TRDIOA0_0/TRDCLK_0/INT1/TXD2/ RXD2/TRCIOB_0	P2_0/TRDIOA0_0/TRDCLK_0/INT1/TXD2/ RXD2/TRCIOB_0	P2_0/TRDIOA0_0/TRDCLK_0/INT1/TXD2/ RXD2/TRCIOB_0
28	P3_6/INT1/TXD2/RXD2	P3_6/INT1/TXD2/RXD2	P3_6/INT1/TXD2/RXD2
29	P3_1/TRBO_0/CTS2/RTS2	P3_1/TRBO_0/CTS2/RTS2	P3_1/TRBO_0/CTS2/RTS2
30	P8_6/CLK2	P8_6/CLK2	P8_6/CLK2
31	P8_5/TRFO12	P8_5/TRFO12	P8_5/TRFO12
32	P8_4/TRFO11	P8_4/TRFO11	P8_4/TRFO11
33	P8_3/TRFO10/TRFI	P8_3/TRFO10/TRFI	P8_3/TRFO10/TRFI
34	P8_2/TRFO02	P8_2/TRFO02	P8_2/TRFO02
35	P8_1/TRFO01	P8_1/TRFO01	P8_1/TRFO01
36	P8_0/TRFO00	P8_0/TRFO00	P8_0/TRFO00
37	P6_7/INT3/RXD2/TRCIOD_0	PC_4/TRCIOD_1 (注2)	P6_7/INT3/RXD2/TRCIOD_0
38	P6_6/INT2/TXD2/TRCIOC_0	PC_3/TRCIOC_1 (注2)	P6_6/INT2/TXD2/TRCIOC_0
39	P6_5/INT4/CLK2/CLK_1/TRCIOB_0	PC_2/TRCIOB_1 (注2)	P6_5/INT4/CLK2/CLK_1/TRCIOB_0
40	P4_5/INT0/RXD2	PC_1/TRCIOA_1/TRCTRG_1 (注2)	P4_5/INT0/RXD2

注1. PMCSELレジスタで通信機能優先端子配置を選択(PMCSEL1、PMCSEL0ビット=10b)した場合、端子機能が変わります。

注2. PMCSELレジスタでタイマ機能優先端子配置を選択(PMCSEL1、PMCSEL0ビット=01b)した場合、端子機能が変わります。

表31.2 64ピン製品のピン番号別I/Oポートの端子配置一覧(2)

ピン番号	標準端子配置	タイマ機能優先端子配置	通信機能優先端子配置
41	P1_7/INT1/TRJIO_0/IVCMP1/ANEX3	PC_0/TRCCLK_1 (注1)	P1_7/INT1/TRJIO_0/IVCMP1/ANEX3
42	P1_6/CLK_0/SSI_0/IVREF1/ANEX2	P1_6/CLK_0/SSI_0/IVREF1/ANEX2	P1_6/CLK_0/SSI_0/IVREF1/ANEX2
43	P1_5/RXD_0/TRJIO_0/INT1/ANEX1	P1_5/RXD_0/TRJIO_0/INT1/ANEX1	P1_5/RXD_0/TRJIO_0/INT1/ANEX1
44	P1_4/TXD_0/TRCCLK_0/ANEX0	P1_4/TXD_0/TRCCLK_0/ANEX0	P1_4/TXD_0/TRCCLK_0/ANEX0
45	P1_3/KI3/AN11/TRBO_0/TRCIO_0/ TRDIOD1_0	P1_3/KI3/AN11/TRBO_0/TRCIO_0/ TRDIOD1_0	P1_3/KI3/AN11/TRBO_0/TRCIO_0/ TRDIOD1_0
46	P1_2/KI2/AN10/TRCIOB_0/TRDIOC1_0	P1_2/KI2/AN10/TRCIOB_0/TRDIOC1_0	P1_2/KI2/AN10/TRCIOB_0/TRDIOC1_0
47	P1_1/KI1/AN9/TRCIOA_0/TRCTRG_0/ TRDIOB1_0	P1_1/KI1/AN9/TRCIOA_0/TRCTRG_0/ TRDIOB1_0	P1_1/KI1/AN9/TRCIOA_0/TRCTRG_0/ TRDIOB1_0
48	P1_0/KI0/AN8/TRCIOD_0/TRDIOA1_0	P1_0/KI0/AN8/TRCIOD_0/TRDIOA1_0	P1_0/KI0/AN8/TRCIOD_0/TRDIOA1_0
49	P0_7/AN0/TRCIO_0	P0_7/AN0/TRCIO_0	P0_7/AN0/TRCIO_0
50	P0_6/AN1/TRCIOD_0	P0_6/AN1/TRCIOD_0	P0_6/AN1/TRCIOD_0
51	P0_5/AN2/CLK2/TRCIOB_0	P0_5/AN2/CLK2/TRCIOB_0	P0_5/AN2/CLK2/TRCIOB_0
52	P0_4/AN3/TMRE20/TRCIOB_0	P0_4/AN3/TMRE20/TRCIOB_0	P0_4/AN3/TMRE20/TRCIOB_0
53	P0_3/AN4/CLK_1/TRCIOB_0	P0_3/AN4/CLK_1/TRCIOB_0	P0_3/AN4/CLK_1/TRCIOB_0
54	P0_2/AN5/RXD_1/TRCIOA_0/ TRCTRG_0/TRJIO_1/INT2	P0_2/AN5/RXD_1/TRCIOA_0/ TRCTRG_0/TRJIO_1/INT2	P0_2/AN5/RXD_1/TRCIOA_0/ TRCTRG_0/TRJIO_1/INT2
55	P0_1/AN6/TXD_1/TRCIOA_0/ TRCTRG_0/TRJO_1	P0_1/AN6/TXD_1/TRCIOA_0/ TRCTRG_0/TRJO_1	P0_1/AN6/TXD_1/TRCIOA_0/ TRCTRG_0/TRJO_1
56	P0_0/AN7/TXD2/TRCIOA_0/ TRCTRG_0	P0_0/AN7/TXD2/TRCIOA_0/ TRCTRG_0	P0_0/AN7/TXD2/TRCIOA_0/ TRCTRG_0
57	P6_4/RXD_1/INT2/TRJIO_1	P6_4/RXD_1/INT2/TRJIO_1	P6_4/RXD_1/INT2/TRJIO_1
58	P6_3/TXD_1/TRJO_1	P6_3/TXD_1/TRJO_1	P6_3/TXD_1/TRJO_1
59	P6_2/CRX_0/CLK_1	P6_2/CRX_0/CLK_1	P6_2/CRX_0/CLK_1
60	P6_1/CTX_0	P6_1/CTX_0	P6_1/CTX_0
61	P6_0/TMRE20	P6_0/TMRE20	P6_0/TMRE20
62	P5_7/TRBO_0/TRGIOB	P5_7/TRBO_0/TRGIOB	P5_7/TRBO_0/TRGIOB
63	P5_6/TRJO_0/TRGIOA	P5_6/TRJO_0/TRGIOA	P5_6/TRJO_0/TRGIOA
64	P3_2/INT2/TRJIO_0/INT1/TRGCLKB	P3_2/INT2/TRJIO_0/INT1/TRGCLKB	P3_2/INT2/TRJIO_0/INT1/TRGCLKB

注1. PMCSELレジスタでタイマ機能優先端子配置を選択(PMCSEL1、PMCSEL0ビット=01b)した場合、端子機能が変わります。

31.3 レジスタの説明

表31.3にPMCのレジスタ構成を示します。

表31.3 PMCのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
端子配置選択レジスタ	PMCSEL	00h	002BEh	8

31.3.1 端子配置選択レジスタ (PMCSEL)

アドレス 002BEh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	PMCSEL1	PMCSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PMCSEL0	端子配置選択ビット	b1 b0 0 0 : 64ピン製品の標準端子配置 0 1 : 64ピン製品のタイマ機能優先端子配置 1 0 : 64ピン製品の通信機能優先端子配置 上記以外 : 設定しないでください	R/W
b1	PMCSEL1			R/W
b2	—	予約ビット	0にしてください	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

PMCSELレジスタは、端子の配置を選択するレジスタのため、入出力制御をする前で設定してください。端子の配置をタイマ機能優先の配置または通信機能優先の配置に変更する場合は、PMCSELレジスタを設定してください。

PMCSELレジスタは一度書き込むと、以降の書き込みはできません。

31.4 ペリフェラルマッピングコントローラ(PMC)使用上の注意事項

31.4.1 端子配置選択レジスタ(PMCSEL)の設定

PMCSELレジスタは、端子の配置を選択するレジスタのため、入出力制御をする前で設定してください。

32. 電気的特性

32.1 絶対最大定格

表 32.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /A _{VCC}	電源電圧		-0.3 ~ 6.5	V
V _I	入力電圧(注1)		-0.3 ~ V _{CC} + 0.3	V
I _{IN}	入力電流(注1)	(注2、3、4)	-4 ~ 4	mA
V _O	出力電圧		-0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	-40 °C ≤ Topr ≤ 85 °C	300	mW
		85 °C < Topr ≤ 125 °C	125	mW
T _{opr}	動作周囲温度		-40 ~ 85 (Jバージョン)/ -40 ~ 125 (Kバージョン)	°C
T _{stg}	保存温度		-65 ~ 150	°C

注1. 入力電圧あるいは入力電流のどちらか一方を満たしてください。

注2. 対象ポート：P0 ~ P3、P4_3 ~ P4_5、P5_0 ~ P5_4、P5_6、P5_7、P6、P8_0 ~ P8_6

注3. 入力電流の合計は、12mA以内にしてください。

注4. V_{CC}への供給がない場合でも、入力電流によりマイコンの電源が供給され動作することがあります。また、V_{CC}が供給されている場合では、入力電流により電源電圧を上昇させることがあります。その場合の動作については保証できませんので、マイコンの電源電圧が規格内で安定するようにシステムの電源回路で対処してください。

32.2 推奨動作条件

表 32.2 推奨動作条件 (1)

(指定のない場合は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン)/
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目		測定条件	規格値			単位		
				最小	標準	最大			
V_{CC}/AV_{CC}	電源電圧			2.7	—	5.5	V		
V_{SS}/AV_{SS}	電源電圧			—	0	—	V		
V_{IH}	H入力電圧	CMOS入力以外			$0.8V_{CC}$	—	V_{CC}	V	
		CMOS入力	入力レベル 切り替え機能 (I/Oポート)	入力レベル選択： $0.35V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$0.5V_{CC}$	—	V_{CC}	V
					$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	$0.55V_{CC}$	—	V_{CC}	V
				入力レベル選択： $0.5V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$0.65V_{CC}$	—	V_{CC}	V
			$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	$0.7V_{CC}$	—	V_{CC}	V		
			入力レベル選択： $0.7V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$0.85V_{CC}$	—	V_{CC}	V	
		$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	$0.85V_{CC}$	—	V_{CC}	V			
	外部クロック入力(XOUT)			1.2	—	V_{CC}	V		
V_{IL}	L入力電圧	CMOS入力以外			0	—	$0.2V_{CC}$	V	
		CMOS入力	入力レベル 切り替え機能 (I/Oポート)	入力レベル選択： $0.35V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	$0.2V_{CC}$	V
					$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0	—	$0.2V_{CC}$	V
				入力レベル選択： $0.5V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	$0.4V_{CC}$	V
			$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0	—	$0.3V_{CC}$	V		
			入力レベル選択： $0.7V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	$0.55V_{CC}$	V	
		$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0	—	$0.45V_{CC}$	V			
	外部クロック入力(XOUT)			0	—	0.4	V		
$I_{OH}(\text{sum})$	H尖頭総出力電流	全端子の $I_{OH}(\text{peak})$ の総和		—	—	-80	mA		
$I_{OH}(\text{sum})$	H平均総出力電流	全端子の $I_{OH}(\text{avg})$ の総和		—	—	-40	mA		
$I_{OH}(\text{peak})$	H尖頭出力電流	駆動能力Low時		—	—	-10	mA		
		駆動能力High時		—	—	-40	mA		
$I_{OH}(\text{avg})$	H平均出力電流	駆動能力Low時		—	—	-5	mA		
		駆動能力High時		—	—	-20	mA		
$I_{OL}(\text{sum})$	L尖頭総出力電流	全端子の $I_{OL}(\text{peak})$ の総和		—	—	80	mA		
$I_{OL}(\text{sum})$	L平均総出力電流	全端子の $I_{OL}(\text{avg})$ の総和		—	—	40	mA		
$I_{OL}(\text{peak})$	L尖頭出力電流	駆動能力Low時		—	—	10	mA		
		駆動能力High時		—	—	40	mA		
$I_{OL}(\text{avg})$	L平均出力電流	駆動能力Low時		—	—	5	mA		
		駆動能力High時		—	—	20	mA		
$f(\text{XIN})$	XINクロック入力発振周波数		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	20	MHz		
$f(\text{PLL})$	PLLクロック発振周波数		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	10	—	32	MHz		
$f(\text{HOCO})$	タイマRC、タイマRDのカウントソース		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	32	—	40	MHz		
$f(\text{HOCO-F})$	fHOCO-F周波数		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	20	MHz		
—	システムクロック周波数		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	32	MHz		
$f(\text{BCLK})$	CPUクロック周波数		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	32	MHz		
$t_{SU}(\text{PLL})$	PLL周波数シンセサイザ安定待ち時間		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	1	ms		

注1. 平均出力電流は100 msの期間内での平均値です。

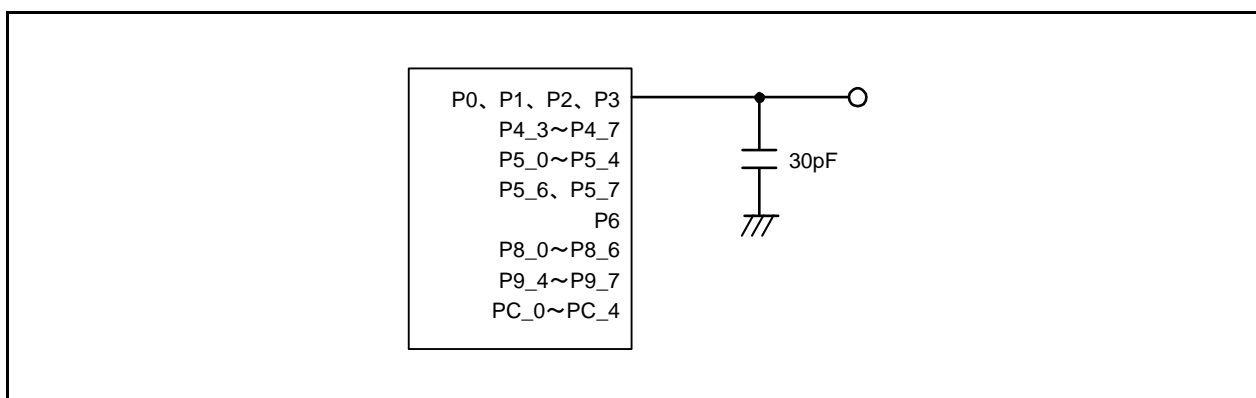


図32.1 ポートP0～P3、P4_3～P4_7、P5_0～P5_4、P5_6、P5_7、P6、P8_0～P8_6、P9_4～P9_7、PC_0～PC_4のタイミング測定回路

表32.3 推奨動作条件(2)

(指定のない場合は、 $V_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
IIC(H)	H入カインジェクション電流	P0、P1、P2、P3、 P4_3～P4_5、P5_0～P5_4、 P5_6、P5_7、P6、 P8_0～P8_6	$V_i > V_{CC}$	—	—	2	mA
IIC(L)	L入カインジェクション電流	P0、P1、P2、P3、 P4_3～P4_5、P5_0～P5_4、 P5_6、P5_7、P6、 P8_0～P8_6	$V_i < V_{SS}$	—	—	-2	mA
Σ [IIC]	総インジェクション電流			—	—	8	mA

表 32.4 推奨動作条件(3)

(指定のない場合は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $Topr = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{r(VCC)}$	許容電源リップル電圧(注1)		—	—	$0.1V_{CC}$	V
$dV_{r(VCC)}/dt$	電源リップル立ち下がり勾配(注1)		—	—	10	V/ms

注1. 電源リップルは $V_{r(VCC)}$ 、 $dV_{r(VCC)}/dt$ のいずれか一方または両方を満たしてください。

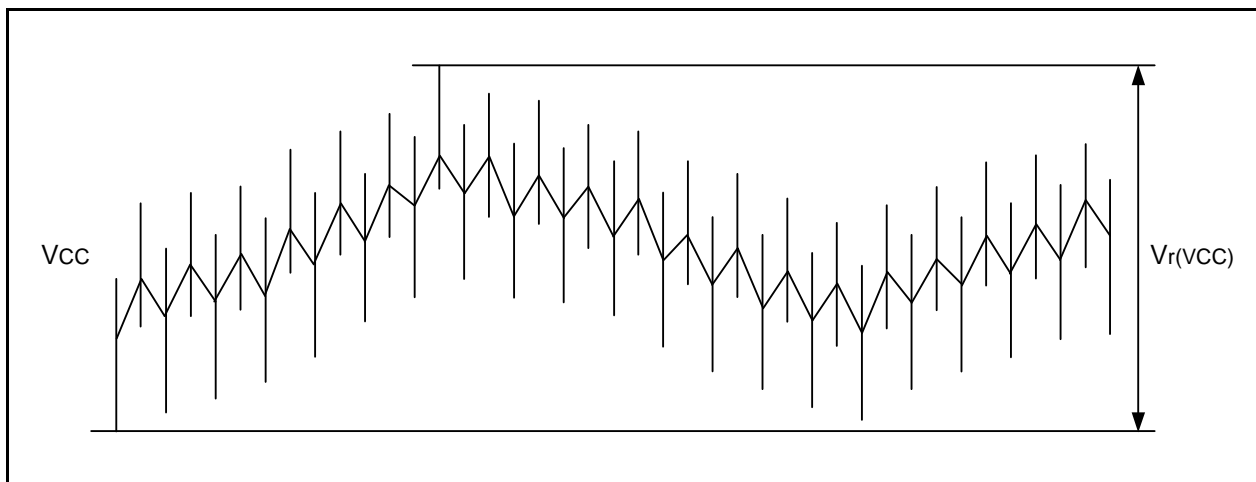


図 32.2 電源リップル波形

32.3 周辺機能の特性

表 32.5 A/Dコンバータの特性

(指定のない場合は、 $V_{CC}/AV_{CC} = V_{REF} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{OPR} = -40^\circ\text{C} \sim 85^\circ\text{C}$
(Jバージョン)/ $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
—	分解能	$V_{REF} = AV_{CC}$	—	—	10	Bit	
—	絶対精度	10ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ AN0～AN11入力 ANEX0～ANEX3入力	—	—	± 3	LSB
			$V_{REF} = AV_{CC} = 3.3\text{ V}$ AN0～AN11入力 ANEX0～ANEX3入力	—	—	± 5	LSB
			$V_{REF} = AV_{CC} = 3.0\text{ V}$ AN0～AN11入力 ANEX0～ANEX3入力	—	—	± 5	LSB
	8ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ AN0～AN11入力 ANEX0～ANEX3入力	—	—	± 2	LSB	
		$V_{REF} = AV_{CC} = 3.3\text{ V}$ AN0～AN11入力 ANEX0～ANEX3入力	—	—	± 2	LSB	
		$V_{REF} = AV_{CC} = 3.0\text{ V}$ AN0～AN11入力 ANEX0～ANEX3入力	—	—	± 2	LSB	
ϕAD	A/D変換クロック	$4.0\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	2	—	20	MHz	
		$3.2\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	2	—	16	MHz	
		$2.7\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	2	—	10	MHz	
—	許容信号源インピーダンス		—	3	—	k Ω	
I_{VREF}	Vref電流	$V_{CC} = 5\text{ V}$ 、 $XIN = f1 = fAD = 20\text{ MHz}$	—	45	—	μA	
t_{CONV}	変換時間	10ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ 、 $\phi AD = 20\text{ MHz}$	2.2	—	—	μs
		8ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ 、 $\phi AD = 20\text{ MHz}$	2.2	—	—	μs
t_{SAMP}	サンプリング時間	$\phi AD = 20\text{ MHz}$	0.8	—	—	μs	
V_{REF}	基準電圧		2.7	—	AV_{CC}	V	
V_{IA}	アナログ入力電圧(注2)		0	—	V_{REF}	V	
OCVREF	チップ内蔵基準電圧	$2\text{ MHz} \leq \phi AD \leq 4\text{ MHz}$	1.14	1.34	1.54	V	

注1. CPUおよびフラッシュメモリが停止すると、A/D変換結果が不定となります。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表 32.6 コンパレータBの特性

(指定のない場合は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{OPR} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン)/
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{REF}	IVREF1、IVREF3入力基準電圧		0	—	$V_{CC} - 1.4$	V
V_I	IVCMP1、IVCMP3入力電圧		-0.3	—	$V_{CC} + 0.3$	V
—	オフセット		—	5	100	mV
t_d	コンパレータ出力遅延時間(注1)	$V_I = V_{REF} \pm 100\text{ mV}$	—	0.1	—	μs
I_{CMP}	コンパレータ動作電流	$V_{CC} = 5.0\text{ V}$	—	17.5	—	μA

注1. デジタルフィルタ非選択時。

表32.7 フラッシュメモリ(プログラムROM)の特性
(指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -40°C ~ 85°C(Jバージョン)/
-40°C ~ 125°C(Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)	データフラッシュ あり品種	1,000(注2)	—	—	回
		データフラッシュ なし品種	100(注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 ≤ 100回)		—	—	—	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 ≤ 1,000回)		—	—	—	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 ≤ 100回)	Topr = 25°C、 Vcc = 5.0 V	—	100	200	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 ≤ 100回)		—	100	400	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 ≤ 1,000回)		—	100	650	μs
—	ブロックイレーズ時間		—	0.3	4	s
td(SR-SUS)	サスペンドへの遷移時間		—	—	5 + CPUクロック × 3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		2.7	—	5.5	V
—	書き込み、消去時の温度		-40	—	85 (Jver) 125 (Kver)	°C
—	データ保持時間	周囲温度 = 55°C (注6)	20	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100, 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~最小値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 周囲温度125°Cの環境下での3,000時間、周囲温度85°Cの環境下での7,000時間を含みます。

表32.8 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の特性
(指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -40°C ~ 85°C(Jバージョン)/
-40°C ~ 125°C(Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		10,000 (注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 ≤ 1,000回)		—	160	950	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)		—	300	950	μs
—	ブロックイレーズ時間 (プログラム/イレーズ回数 ≤ 1,000回)		—	0.2	1	s
—	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)		—	0.3	1	s
t _d (SR-SUS)	サスペンドへの遷移時間		—	—	3 + CPUクロック × 3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
t _d (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		2.7	—	5.5	V
—	書き込み、消去時の温度		-40	—	85 (Jver) 125 (Kver)	°C
—	データ保持時間	周囲温度 = 55°C (注6)	20	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~最小値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 周囲温度125°Cの環境下での3,000時間、周囲温度85°Cの環境下での7,000時間を含みます。

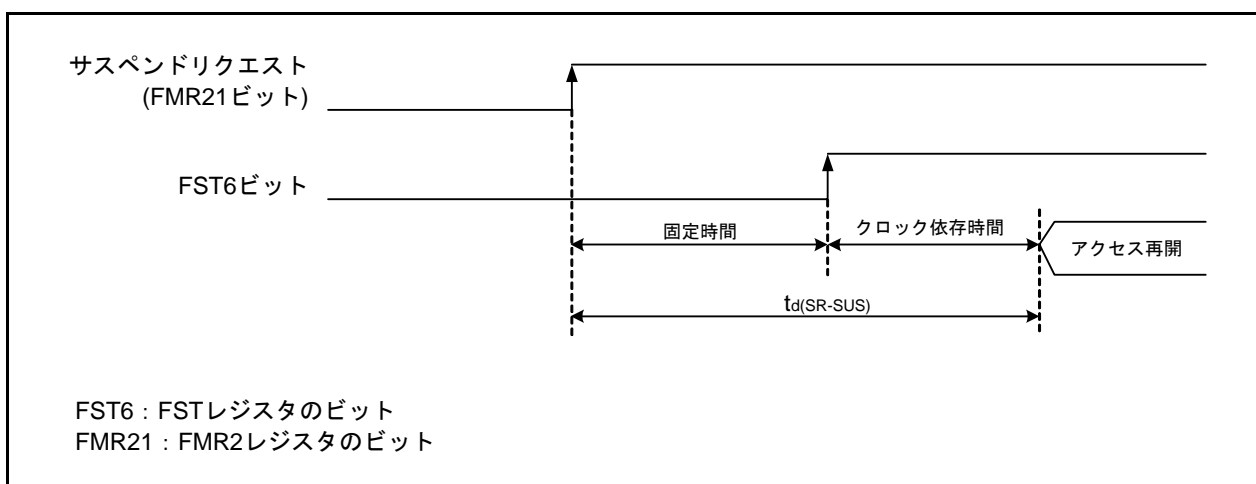


図32.3 サスペンドへの遷移時間

表32.9 電圧検出0回路の特性

(測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン)/
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_2 (注1)	Vcc立ち下がり時	2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注1)	Vcc立ち下がり時	3.55	3.80	4.05	V
—	電圧検出0回路反応時間 (注2)	$V_{CC} = 5\text{ V} \rightarrow (V_{det0} - 0.1)\text{ V}$	—	6	150	μs
—	電圧検出回路の自己消費電流	VCA25 = 1、 $V_{CC} = 5.0\text{ V}$	—	1.5	—	μA
$t_d(\text{E-A})$	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	μs

注1. 電圧検出レベルはOFSレジスタのVDSEL0、VDSEL1ビットで選択してください。

注2. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

注3. VCA2レジスタのVCA25ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 32.10 電圧検出1回路の特性

(測定条件は、 $V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン)/
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_7 (注1)	Vcc立ち下がり時	2.95	3.25	3.55	V
	電圧検出レベルVdet1_8 (注1)	Vcc立ち下がり時	3.10	3.40	3.70	V
	電圧検出レベルVdet1_9 (注1)	Vcc立ち下がり時	3.25	3.55	3.85	V
	電圧検出レベルVdet1_A (注1)	Vcc立ち下がり時	3.40	3.70	4.00	V
	電圧検出レベルVdet1_B (注1)	Vcc立ち下がり時	3.55	3.85	4.15	V
	電圧検出レベルVdet1_C (注1)	Vcc立ち下がり時	3.70	4.00	4.30	V
	電圧検出レベルVdet1_D (注1)	Vcc立ち下がり時	3.85	4.15	4.45	V
	電圧検出レベルVdet1_E (注1)	Vcc立ち下がり時	4.00	4.30	4.60	V
	電圧検出レベルVdet1_F (注1)	Vcc立ち下がり時	4.15	4.45	4.75	V
—	電圧検出1回路のVcc立ち上がり時のヒステリシス		—	0.10	—	V
—	電圧検出1回路反応時間 (注2)	$V_{cc} = 5\text{ V} \rightarrow (V_{det1} - 0.1)\text{ V}$	—	60	150	μs
—	電圧検出回路の自己消費電流	VCA26 = 1、 $V_{cc} = 5.0\text{ V}$	—	1.7	—	μA
td(E-A)	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	μs

注1. 電圧検出レベルはVD1LSレジスタのVD1S0～VD1S3ビットで選択してください。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 32.11 電圧検出2回路の特性

(測定条件は、 $V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン)/
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.00	4.30	V
—	電圧検出2回路のVcc立ち上がり時のヒステリシス		—	0.1	—	μs
—	電圧検出2回路反応時間 (注1)	$V_{cc} = 5\text{ V} \rightarrow (V_{det2_0} - 0.1)\text{ V}$	—	20	150	μs
—	電圧検出回路の自己消費電流	VCA27 = 1、 $V_{cc} = 5.0\text{ V}$	—	1.7	—	μA
td(E-A)	電圧検出回路動作開始までの待ち時間 (注2)		—	—	100	μs

注1. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注2. VCA2レジスタのVCA27ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表32.12 パワーオンリセット回路の特性(注1)

(測定条件は、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/ $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き		0	—	50,000	mV/msec

注1. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを0にして電圧監視0リセットを有効にしてください。

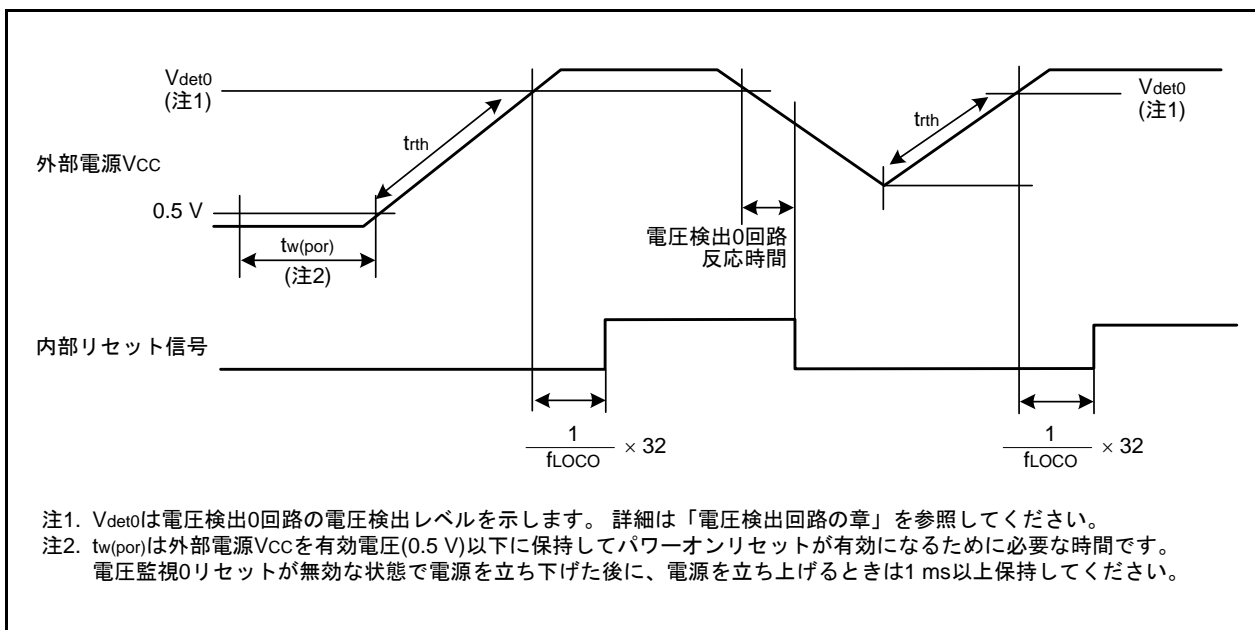


図32.4 パワーオンリセット回路の特性

表32.13 高速オンチップオシレータ発振回路の特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	リセット解除時の高速オンチップオシレータ発振周波数	$V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $-40^{\circ}\text{C} \leq T_{opr} \leq 85^{\circ}\text{C}$	—	40	—	MHz
—	FRA2レジスタのFRA25、FRA24ビットに01bを書き込んだときの高速オンチップオシレータ発振周波数(注1)	(Jバージョン) $-40^{\circ}\text{C} \leq T_{opr} \leq 125^{\circ}\text{C}$ (Kバージョン)	—	36.864	—	MHz
—	FRA2レジスタのFRA25、FRA24ビットに10bを書き込んだときの高速オンチップオシレータ発振周波数		—	32	—	MHz
—	高速オンチップオシレータ発振周波数の温度・電圧依存性(注2)		-1.5	—	1.5	%
—	発振安定時間	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25^{\circ}\text{C}$	—	250	—	μs
—	発振時の自己消費電流	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25^{\circ}\text{C}$	—	400	—	μA

注1. シリアルインタフェースをUARTモードで使用時、9600bps、38400bpsなどのビットレートの設定誤差を0%にすることができます。

注2. 高速オンチップオシレータ発振周波数に対する精度誤差を示します。

表32.14 低速オンチップオシレータ発振回路の特性
 (測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン)/
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fLOCO	低速オンチップオシレータ発振周波数	$2.7\text{ V} \leq V_{CC} < 4.2\text{ V}$	106.25	125	143.75	kHz
		$4.2\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	112.5	125	137.5	kHz
fLOCOWDT	ウォッチドッグタイマ用低速オンチップオシレータ発振周波数	$2.7\text{ V} \leq V_{CC} < 4.2\text{ V}$	106.25	125	143.75	kHz
		$4.2\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	112.5	125	137.5	kHz
—	発振安定時間	$V_{CC} = 5.0\text{ V}$ 、 $T_{opr} = 25^\circ\text{C}$	—	30	100	μs
—	発振時の自己消費電流	$V_{CC} = 5.0\text{ V}$ 、 $T_{opr} = 25^\circ\text{C}$	—	3	—	μA

表32.15 電源回路の特性
 (測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン)/
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注1)		—	—	2,000	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

32.4 DC特性

表32.16 DC特性(1) [4.2 V ≤ Vcc ≤ 5.5 V]

(指定のない場合は、Vcc = 4.2 V ~ 5.5 V、Topr = -40°C ~ 85°C(Jバージョン)/
-40°C ~ 125°C(Kバージョン)、f(XIN) = 20 MHz)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	H出力電圧	XOUT以外	駆動能力High	IOH = -20 mA	Vcc - 2.0	—	Vcc	V
			駆動能力Low	IOH = -5 mA	Vcc - 2.0	—	Vcc	V
				IOH = -200 μA	Vcc - 0.3	—	Vcc	V
		XOUT	IOH = -200 μA	1.0	—	Vcc	V	
VOL	L出力電圧	XOUT以外	駆動能力High	IOl = 20 mA	—	—	2.0	V
			駆動能力Low	IOl = 5 mA	—	—	2.0	V
				IOl = 200 μA	—	—	0.45	V
		XOUT	IOl = 200 μA	—	—	0.5	V	
VT+~VT-	ヒステリシス	INT0~INT4、KI0~KI3、 TRJIO_0、TRJIO_1、 TRCCLK_0、TRCCLK_1、 TRCTRG_0、TRCTRG_1、 TRCIOA_0、TRCIOB_0、 TRCIOA_1、TRCIOB_1、 TRCIOA_0、TRCIOB_0、 TRCIOA_1、TRCIOB_1、 TRDIOA0_0、TRDIOA1_0、 TRDIOB0_0、TRDIOB1_0、 TRDIOC0_0、TRDIOC1_0、 TRDIOD0_0、TRDIOD1_0、 TRDCLK_0、TRFI、 TRGIOA、TRGIOB、 TRGCLKA、TRGCLKB、 CLK_0、CLK_1、 RXD_0、RXD_1、CTS2、 RXD2、 SCL_0、SCL_1、 SDA_0、SDA_1、 SSI_0、SSI_1、 SCS_0、SCS_1、 SSCK_0、SSCK_1、 SSO_0、SSO_1	Vcc = 5.0 V	0.1	1.2	—	V	
		RESET	Vcc = 5.0 V	0.1	1.2	—	V	
IiH	H入力電流		Vi = 5.0 V、Vcc = 5.0 V		—	—	1.0	μA
IiL	L入力電流		Vi = 0 V、Vcc = 5.0 V		—	—	-1.0	μA
RPULLUP	プルアップ抵抗		Vi = 0 V、Vcc = 5.0 V		25	50	100	kΩ
RfXIN	帰還抵抗	XIN			—	0.3	—	MΩ
VRAM	RAM保持電圧		ストップモード時		2.0	—	—	V

表32.17 DC特性(2) [3.3 V ≤ Vcc ≤ 5.5 V]
(指定のない場合は、Topr = -40°C ~ 85°C (Jバージョン))

記号	項目	測定条件							規格値(注4)			単位	
		発振回路 XIN(注2)	オンチップオシレータ		通倍、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大		
Icc	電源 電流 (注1)	PLL動作モード	4 MHz	停止	125 kHz	8通倍	32 MHz	—	—	—	14.0	21	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16.4	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13.4	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA
			20 MHz	停止	125 kHz	8分周	2.5 MHz	—	—	—	3.6	—	mA
			16 MHz	停止	125 kHz	8分周	2 MHz	—	—	—	2.9	—	mA
			10 MHz	停止	125 kHz	8分周	1.25 MHz	—	—	—	2.0	—	mA
			高速オンチップ オシレータモード	停止	20 MHz(注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17.4
		停止		20 MHz(注3)	125 kHz	8分周	2.5 MHz	—	—	—	4.1	—	mA
		停止		4 MHz(注3)	125 kHz	16分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	100	200	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	120	μA
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	5	110	μA
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25°C 周辺クロック停止	—	2.5	5.0	μA
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 85°C 周辺クロック停止	—	30.0	—	μA

注1. Vcc = 3.3 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表32.18 DC特性(3) [3.3 V ≤ Vcc ≤ 5.5 V]
(指定のない場合は、Topr = -40°C ~ 125°C(Kバージョン))

記号	項目	測定条件							規格値(注4)			単位	
		発振回路 XIN(注2)	オンチップオシレータ		通倍、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大		
Icc	電源 電流 (注1)	PLL動作モード	4 MHz	停止	125 kHz	8通倍	32 MHz	—	—	—	14.0	21	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16.4	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13.4	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA
			20 MHz	停止	125 kHz	8分周	2.5 MHz	—	—	—	3.6	—	mA
			16 MHz	停止	125 kHz	8分周	2 MHz	—	—	—	2.9	—	mA
			10 MHz	停止	125 kHz	8分周	1.25 MHz	—	—	—	2.0	—	mA
			高速オンチップ オシレータモード	停止	20 MHz(注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17.4
		停止		20 MHz(注3)	125 kHz	8分周	2.5 MHz	—	—	—	4.1	—	mA
		停止		4 MHz(注3)	125 kHz	16分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	100	400	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	330	μA
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	5	320	μA
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25°C 周辺クロック停止	—	2.5	5.0	μA
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 125°C 周辺クロック停止	—	120	—	μA

注1. Vcc = 3.3 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表32.19 DC特性(4) [2.7 V ≤ Vcc < 4.2 V]

(測定条件は、2.7 V ≤ Vcc < 4.2 V、Topr = -40°C ~ 85°C(Jバージョン)/
-40°C ~ 125°C(Kバージョン)、f(XIN) = 10 MHz)

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	H出力電圧	XOUT以外	駆動能力High	IOH = -5 mA	Vcc - 0.5	—	Vcc	V
			駆動能力Low	IOH = -1 mA	Vcc - 0.5	—	Vcc	V
		XOUT		IOH = -200 μA	1.0	—	Vcc	V
VOL	L出力電圧	XOUT以外	駆動能力High	IOL = 5 mA	—	—	0.5	V
			駆動能力Low	IOL = 1 mA	—	—	0.5	V
		XOUT		IOL = 200 μA	—	—	0.5	V
VT+VT-	ヒステリシス	INT0 ~ INT4, KI0 ~ KI3, TRJIO_0, TRJIO_1, TRCCLK_0, TRCCLK_1, TRCTRG_0, TRCTRG_1, TRCIOA_0, TRCIOB_0, TRCIOA_1, TRCIOB_1, TRCIOA_0, TRCIOB_0, TRCIOA_1, TRCIOB_1, TRCIOA_0, TRCIOB_0, TRCIOA_1, TRCIOB_1, TRDIOA0_0, TRDIOA1_0, TRDIOB0_0, TRDIOB1_0, TRDIOC0_0, TRDIOC1_0, TRDIOD0_0, TRDIOD1_0, TRDCLK_0, TRFI, TRGIOA, TRGIOB, TRGCLKA, TRGCLKB, CLK_0, CLK_1, <u> </u> RXD_0, RXD_1, CTS2, RXD2, SCL_0, SCL_1, SDA_0, SDA_1, SSI_0, SSI_1, SCS_0, SCS_1, SSCK_0, SSCK_1, SSO_0, SSO_1	Vcc = 3.0 V	0.1	0.4	—	V	
		RESET	Vcc = 3.0 V	0.1	0.5	—	V	
IiH	H入力電流		Vi = 3.0 V、Vcc = 3.0 V	—	—	1.0	μA	
IiL	L入力電流		Vi = 0 V、Vcc = 3.0 V	—	—	-1.0	μA	
RPULLUP	プルアップ抵抗		Vi = 0 V、Vcc = 3.0 V	42	84	168	kΩ	
RiXIN	帰還抵抗	XIN		—	0.3	—	MΩ	
V _{RAM}	RAM保持電圧		ストップモード時	2.0	—	—	V	

表32.20 DC特性(5) [2.7 V ≤ V_{CC} < 3.3 V]
(指定のない場合は、Topr = -40°C ~ 85°C (Jバージョン))

記号	項目	測定条件							規格値(注4)			単位	
		発振回路 XIN(注2)	オンチップオシレータ		通倍、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大		
I _{CC}	電源 電流 (注1)	PLL動作モード	4 MHz	停止	125 kHz	8通倍	32 MHz	—	—	—	14.0	20.5	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA
			20 MHz	停止	125 kHz	8分周	2.5 MHz	—	—	—	3.6	—	mA
			16 MHz	停止	125 kHz	8分周	2 MHz	—	—	—	2.9	—	mA
			10 MHz	停止	125 kHz	8分周	1.25 MHz	—	—	—	2.0	—	mA
			高速オンチップ オシレータモード	停止	20 MHz(注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17
		停止		20 MHz(注3)	125 kHz	8分周	2.5 MHz	—	—	—	4.1	—	mA
		停止		4 MHz(注3)	125 kHz	16分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	100	200	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	120	μA
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	5	110	μA
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25°C 周辺クロック停止	—	2.5	5.0	μA
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 85°C 周辺クロック停止	—	30.0	—	μA

注1. V_{CC} = 2.7 V ~ 3.3 V、シングルチップモードで、出力端子は開放、その他の端子はV_{SS}。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表32.21 DC特性(6) [2.7 V ≤ Vcc < 3.3 V]
(指定のない場合は、Topr = -40°C ~ 125°C(Kバージョン))

記号	項目	測定条件							規格値(注4)			単位	
		発振回路 XIN(注2)	オンチップオシレータ		通倍、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大		
Icc	電源 電流 (注1)	PLL動作モード	4 MHz	停止	125 kHz	8通倍	32 MHz	—	—	—	14.0	20.5	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA
			20 MHz	停止	125 kHz	8分周	2.5 MHz	—	—	—	3.6	—	mA
			16 MHz	停止	125 kHz	8分周	2 MHz	—	—	—	2.9	—	mA
			10 MHz	停止	125 kHz	8分周	1.25 MHz	—	—	—	2.0	—	mA
			高速オンチップ オシレータモード	停止	20 MHz(注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17
		停止		20 MHz(注3)	125 kHz	8分周	2.5 MHz	—	—	—	4.1	—	mA
		停止		4 MHz(注3)	125 kHz	16分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	100	390	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	22	320	μA
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	6	310	μA
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25°C 周辺クロック停止	—	2.5	5.0	μA
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 125°C 周辺クロック停止	—	120	—	μA

注1. Vcc = 2.7 V ~ 3.3 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

32.5 AC特性

表32.22 チップセレクト付クロック同期形シリアルI/Oのタイミング条件(マスタ動作時)
(測定条件は、 $V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4.00	—	—	tCYC (注1)
tHI	SSCKクロックHパルス幅		0.40	—	0.60	tSUCYC
tLO	SSCKクロックLパルス幅		0.40	—	0.60	tSUCYC
tRISE	SSCKクロック立ち上がり時間	$2.7\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	—	—	0.50	tCYC (注1)
tFALL	SSCKクロック立ち下がり時間	$2.7\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	—	—	0.50	tCYC (注1)
tSU	SSI、SSOデータ入力セットアップ時間	$4.5\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	60	—	—	ns
		$2.7\text{ V} \leq V_{cc} < 4.5\text{ V}$	70	—	—	ns
tH	SSI、SSOデータ入力ホールド時間	$2.7\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	2.00	—	—	tCYC (注1)
tLEAD	SCS - SCK出力遅延時間		$0.5\text{ tSUCYC} - 1\text{ tCYC}$	—	—	ns
tLAG	SCK - SCS出力有効時間		$0.5\text{ tSUCYC} - 1\text{ tCYC}$	—	—	ns
tOD	SSOデータ出力遅延時間	$2.7\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	—	—	30.00	ns

注1. $1\text{ tCYC} = 1/f_1$ (s)、 $f_1 \leq 20\text{ MHz}$

表32.23 チップセレクト付クロック同期形シリアルI/Oのタイミング条件(スレーブ動作時)
(測定条件は、 $V_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40\text{ }^{\circ}\text{C} \sim 85\text{ }^{\circ}\text{C}$ (Jバージョン)/
 $-40\text{ }^{\circ}\text{C} \sim 125\text{ }^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4.00	—	—	tCYC (注1)
tHI	SSCKクロックHパルス幅		0.40	—	0.60	tsUCYC
tLO	SSCKクロックLパルス幅		0.40	—	0.60	tsUCYC
tRISE	SSCKクロック立ち上がり時間		—	—	1.00	μs
tFALL	SSCKクロック立ち下がり時間		—	—	1.00	μs
tSU	SSOデータ入力セットアップ時間		10.00	—	—	ns
tH	SSOデータ入力ホールド時間		2.00	—	—	tCYC (注1)
tLEAD	SCSセットアップ時間		$1t_{CYC} + 50$	—	—	ns
tLAG	SCSホールド時間		$1t_{CYC} + 50$	—	—	ns
tOD	SSI、SSOデータ出力遅延時間	$4.5\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	—	—	60	ns
		$2.7\text{ V} \leq V_{cc} < 4.5\text{ V}$	—	—	70	ns
tSA	SSIスレーブアクセス時間	$2.7\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	—	—	$1.5t_{CYC} + 100$	ns
tOR	SSIスレーブアウト開放時間	$2.7\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	—	—	$1.5t_{CYC} + 100$	ns

注1. $1t_{CYC} = 1/f_1$ (s)、 $f_1 \leq 20\text{ MHz}$

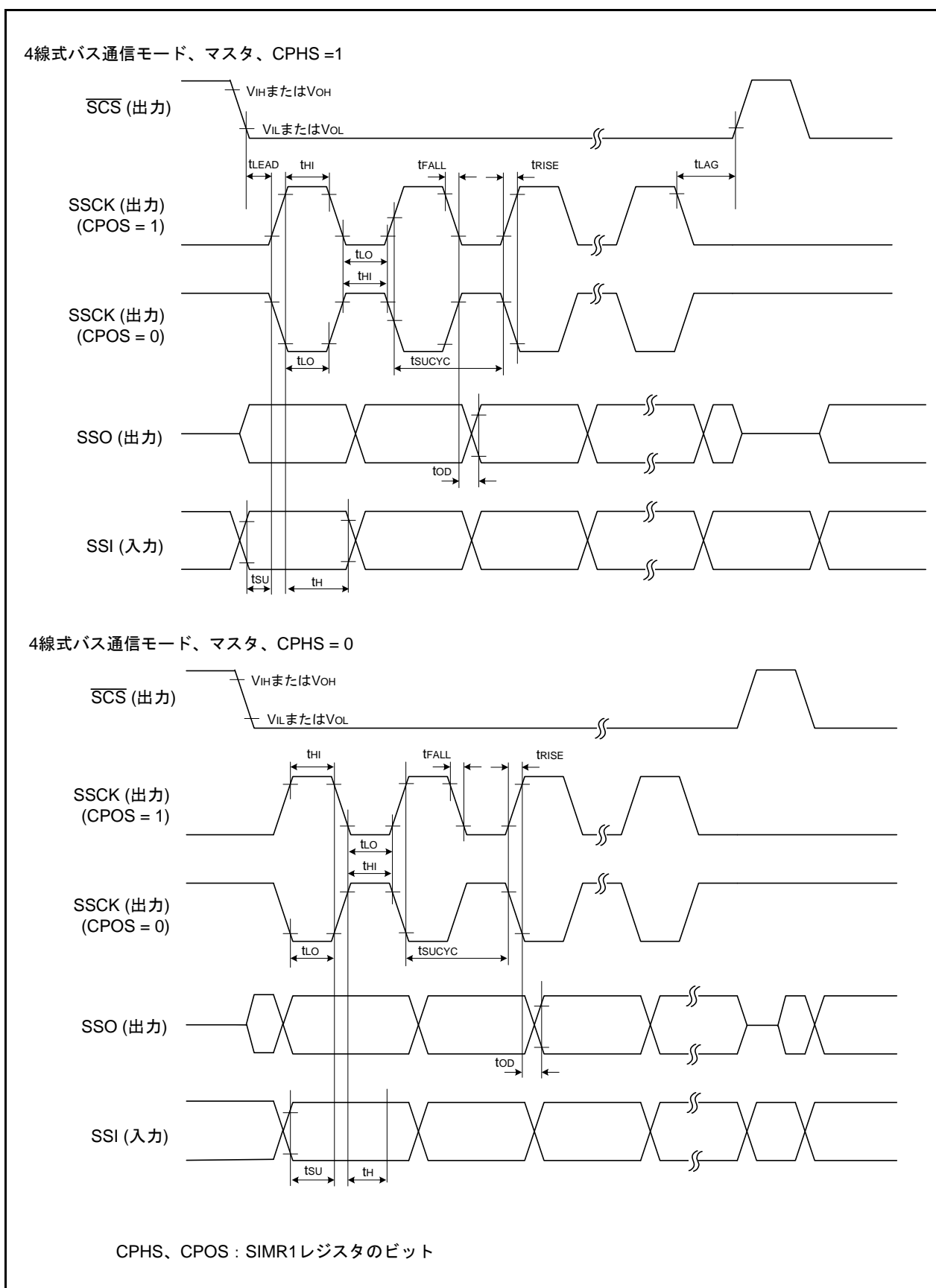


図 32.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出カタイミング(マスタ)

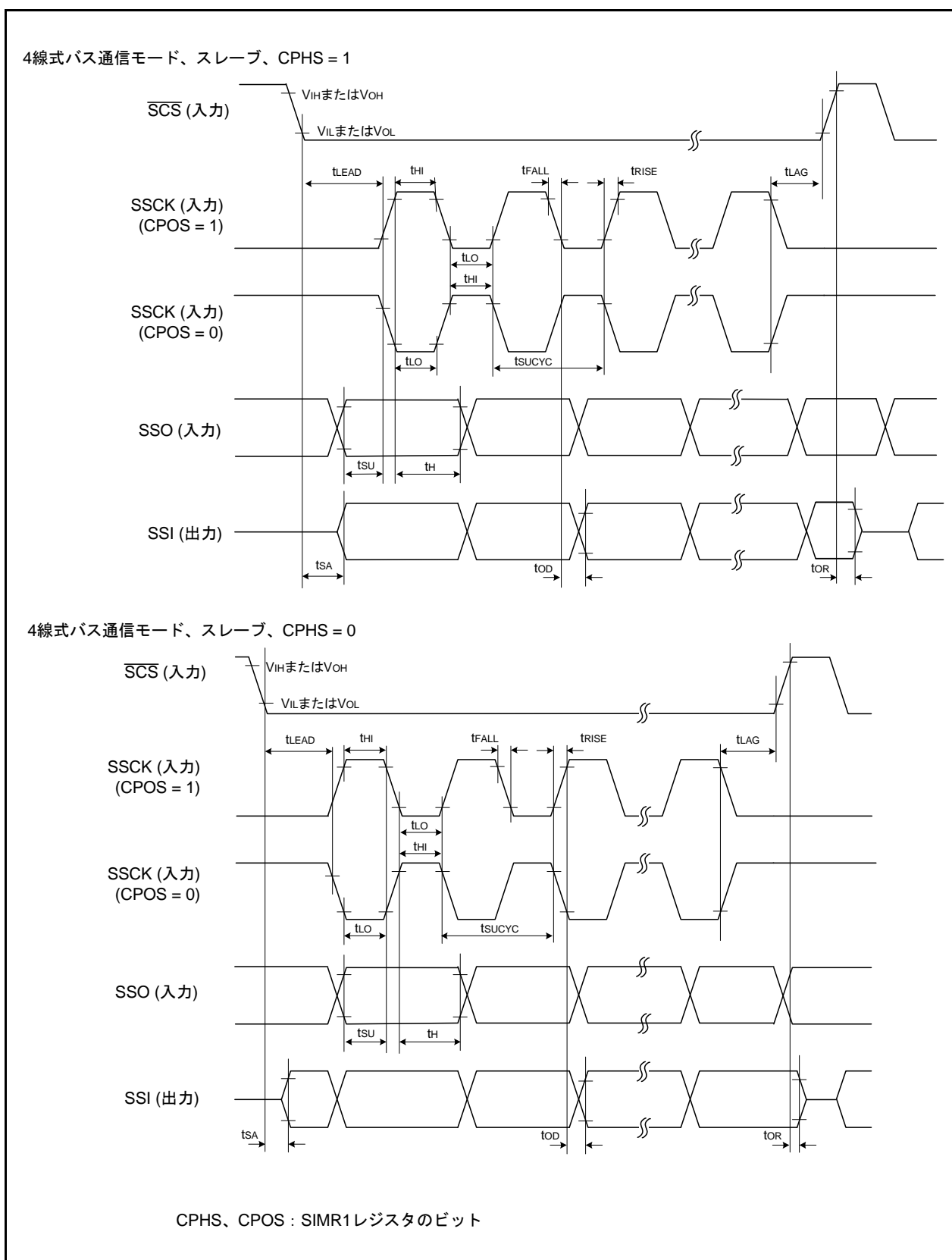


図32.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出カタイミング(スレーブ)

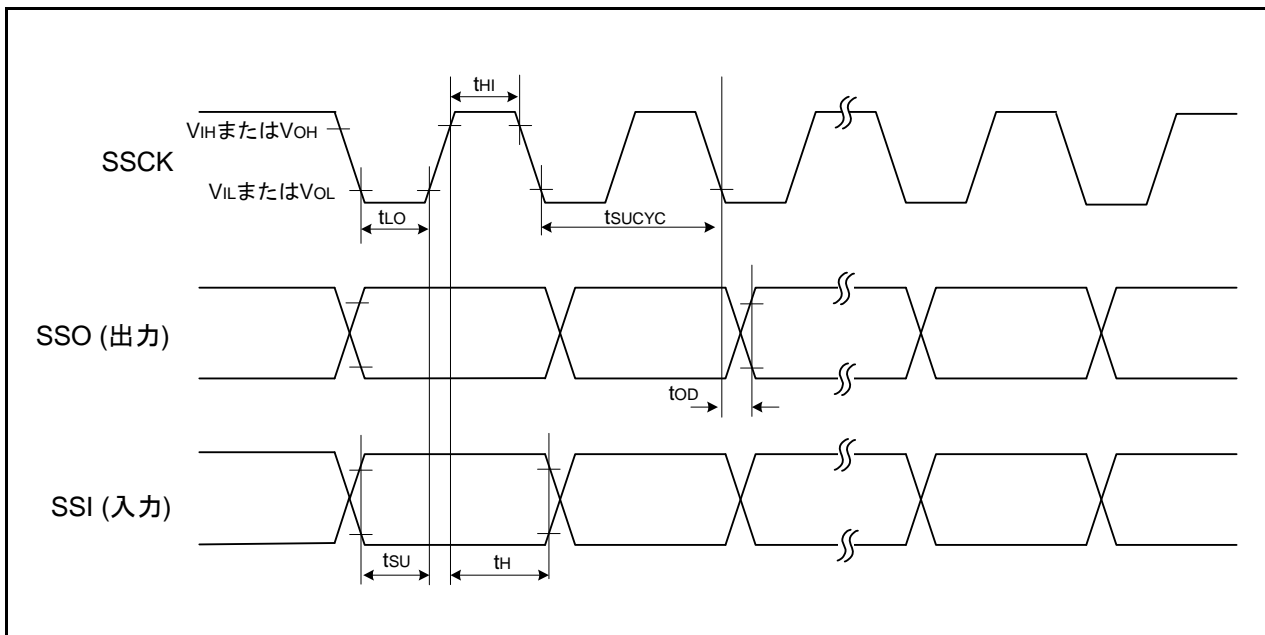


図32.7 シンクロナスシリアルコミュニケーションユニット (SSU) の入出力タイミング (クロック同期式通信モード)

表32.24 I²Cバスインタフェースのタイミング条件
 (測定条件は、V_{cc} = 2.7 V ~ 5.5 V、T_{opr} = -40°C ~ 85°C(Jバージョン)/
 -40°C ~ 125°C(Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600 (注1)	—	—	ns
tSCLH	SCL入力Hパルス幅		3tcyc + 300 (注1)	—	—	ns
tSCLL	SCL入力Lパルス幅		5tcyc + 500 (注1)	—	—	ns
tsf	SCL、SDA入力立ち下がり時間		—	—	300	ns
tSP	SCL、SDA入カスパイクパルス除去時間		—	—	1tcyc (注1)	ns
tBUF	SDA入力バスフリー時間		5tcyc (注1)	—	—	ns
tSTAH	開始条件入力ホールド時間		3tcyc (注1)	—	—	ns
tSTAS	反復開始条件入力セットアップ時間		3tcyc (注1)	—	—	ns
tSTOP	停止条件入力セットアップ時間		3tcyc (注1)	—	—	ns
tSDAS	データ入力セットアップ時間		1tcyc + 40 (注1)	—	—	ns
tSDAH	データ入力ホールド時間		10	—	—	ns

注1. 1tcyc = 1/f₁ (s)、f₁ ≤ 20MHz

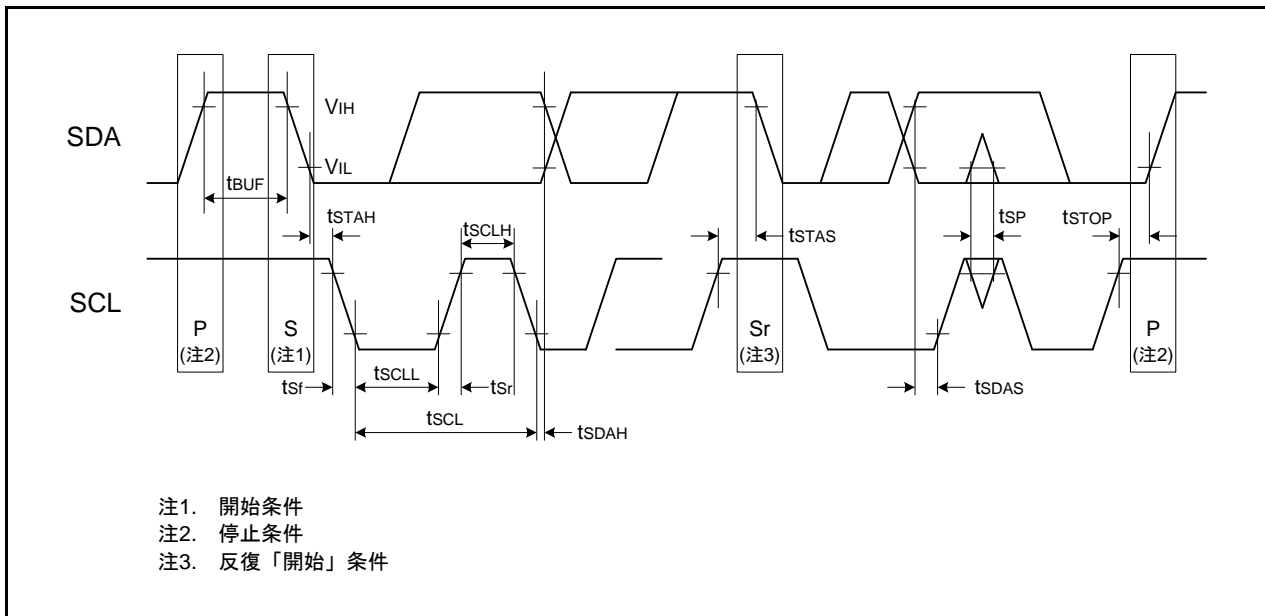


図32.8 I²Cバスインタフェースの入出力タイミング

表32.25 外部クロック入力(XOUT)のタイミング条件

記号	項目	規格値				単位
		Vcc = 3 V、Topr = 25°C		Vcc = 5 V、Topr = 25°C		
		最小	最大	最小	最大	
t _c (XOUT)	XOUT入力サイクル時間	50	—	50	—	ns
t _{WH} (XOUT)	XOUT入力Hパルス幅	24	—	24	—	ns
t _{WL} (XOUT)	XOUT入力Lパルス幅	24	—	24	—	ns

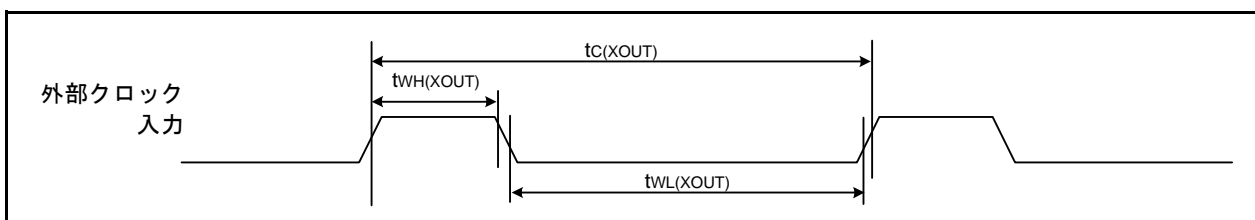


図32.9 外部クロック入力タイミング

表32.26 TRJIOのタイミング条件

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25°C		Vcc = 5 V、Topr = 25°C		
		最小	最大	最小	最大	
t _c (TRJIO)	TRJIO入力サイクル時間	300	—	100	—	ns
t _{WH} (TRJIO)	TRJIO入力Hパルス幅	120	—	40	—	ns
t _{WL} (TRJIO)	TRJIO入力Lパルス幅	120	—	40	—	ns

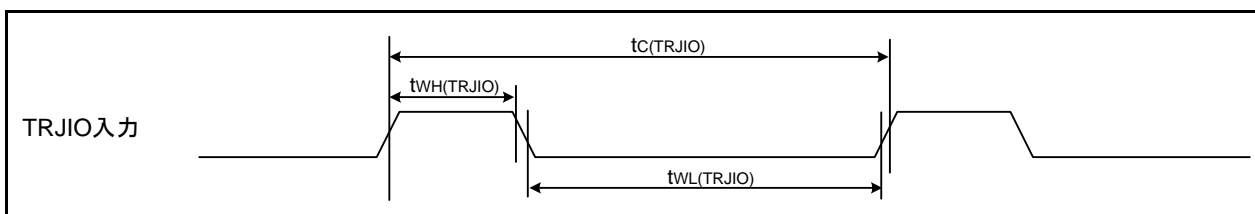


図32.10 TRJIOの入力タイミング

表32.27 シリアルインタフェースのタイミング条件
(転送クロックを内部クロック選択時(マスタ通信))

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25°C		Vcc = 5 V、Topr = 25°C		
		最小	最大	最小	最大	
t _d (C-Q)	TXDi出力遅延時間	—	30	—	10	ns
t _{su} (D-C)	RXDi入力セットアップ時間(注1)	120	—	90	—	ns
t _h (C-D)	RXDi入力ホールド時間	90	—	90	—	ns

i = 0、1

注1. 外部端子負荷条件CL = 30pF

表32.28 シリアルインタフェースのタイミング条件
(転送クロックを外部クロック選択時(スレーブ通信))

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25°C		Vcc = 5 V、Topr = 25°C		
		最小	最大	最小	最大	
t _c (CK)	CLKi入力サイクル時間	300	—	200	—	ns
t _w (CKH)	CLKi入力Hパルス幅	150	—	100	—	ns
t _w (CKL)	CLKi入力Lパルス幅	150	—	100	—	ns
t _d (C-Q)	TXDi出力遅延時間	—	120	—	90	ns
t _{su} (D-C)	RXDi入力セットアップ時間	30	—	10	—	ns
t _h (C-D)	RXDi入力ホールド時間	90	—	90	—	ns

i = 0、1

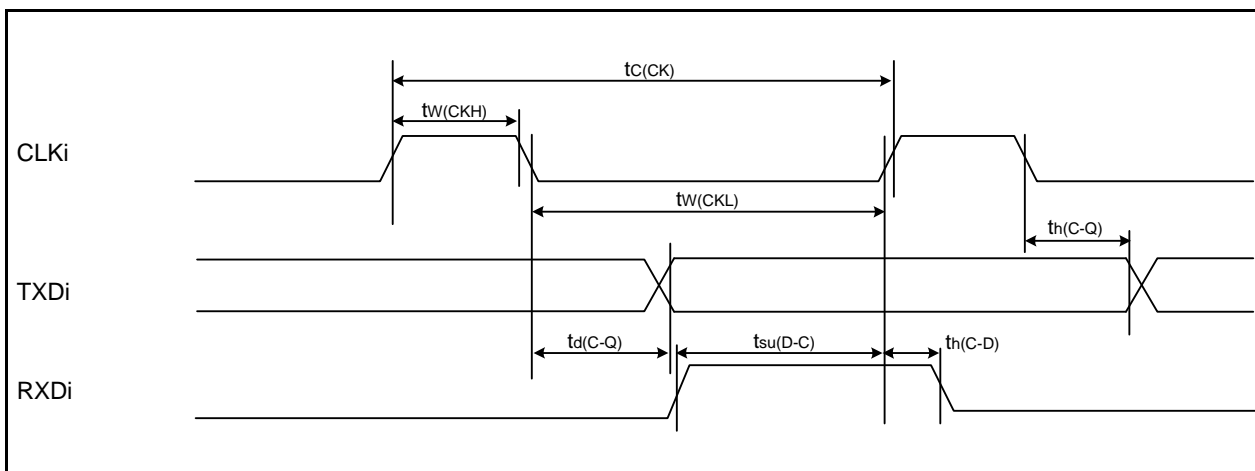


図32.11 シリアルインタフェースの入出力タイミング(i = 0、1)

表32.29 外部割り込みINTi入力(i = 0~4)、キー入力割り込みKlj(j = 0~3)のタイミング条件

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25°C		Vcc = 5 V、Topr = 25°C		
		最小	最大	最小	最大	
tW(INH)	INTi入力Hパルス幅、 Klj入力Hパルス幅	380 (注1)	—	250 (注1)	—	ns
tW(INL)	INTi入力Lパルス幅、 Klj入力Lパルス幅	380 (注2)	—	250 (注2)	—	ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

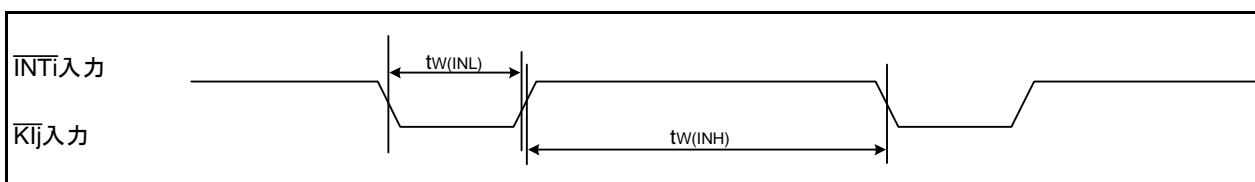


図32.12 外部割り込みINTiおよびキー入力割り込みKljの入力タイミング(i = 0~4、j = 0~3)

33. 使用上の注意事項集

33.1 システム制御使用上の注意事項

33.1.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFS2レジスタにFFhを設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

- OFSレジスタにFFhを設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

33.2 リセット使用上の注意事項

33.2.1 RSTFR レジスタ

RSTFR レジスタの読み出しを連続して2回以上読み出す場合は、読み出す直前に00hを書き込んでから、読み出してください。

<プログラム例>

```
MOV.B #00H, 0028H ; RSTFR レジスタに00hを書き込む(注1)
```

```
MOV.B 0028H, A0 ; RSTFR レジスタの読み出し値をA0に格納
```

注1. RSTFR レジスタのCWR ビットは0を書いても値は変化しません。

また本レジスタの他のビットは、全てリードオンリーなので本レジスタ内の他ビットの値に影響はありません。

33.3 クロック発生回路使用上の注意事項

33.3.1 発振停止検出機能

XINクロックの周波数が2 MHz未満の場合、発振停止検出機能は使用できませんので、OCDレジスタのOCD1、OCD0ビットを00bにしてください。(対象：OCD2、OCD3ビット)

33.3.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

33.4 パワーコントロール使用上の注意事項

33.4.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを0 (CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを1 (ストップモード)にしてください。命令キューはCM10ビットを1 (ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを1にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BSET    0, PRCR     ; プロテクト解除
FSET    I           ; 割り込み許可
BSET    0, CM1      ; ストップモード
JMP.B   LABEL_001

LABEL_001 :
NOP
NOP
NOP
NOP

```

33.4.2 ウェイトモード

CM3レジスタのCM30ビットを1にしてウェイトモードに移行する場合、FMR01ビットを0 (CPU書き換えモード無効)にした後、CM30ビットを1にしてください。

WAIT命令でウェイトモードに移行する場合、FMR01ビットを0 (CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはCM30ビットを1 (ウェイトモードに移行する)にする命令またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを1 (ウェイトモードに移行する)にする命令またはWAIT命令の後にはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
FSET    I           ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP

```

- CM30ビットを1にするプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BSET    0, PRCR     ; CM3レジスタへの書き込み許可
FCLR    I           ; 割り込み禁止
BSET    0, CM3      ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR     ; CM3レジスタへの書き込み禁止
FSET    I           ; 割り込み許可

```

33.5 割り込み使用上の注意事項

33.5.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みに対応する割り込み制御レジスタのIRビットが0になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが0になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

33.5.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは0000hです。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

33.5.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 入力に示すLレベル幅またはHレベル幅が必要です。

33.5.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが1(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを0(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを0(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図33.1に割り込み要因の変更手順例を示します。

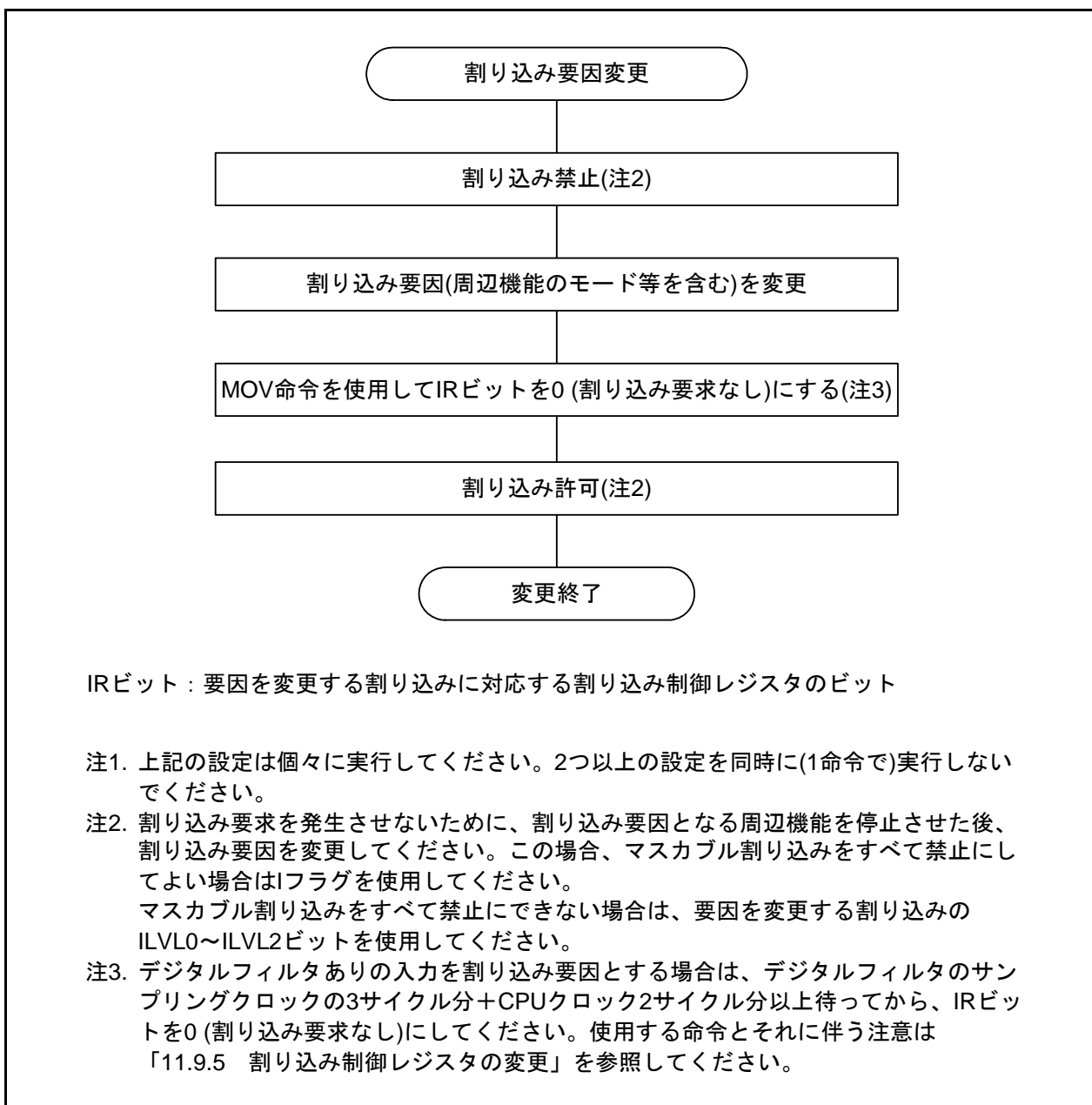


図33.1 割り込み要因の変更手順例

33.5.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
割り込み制御レジスタのIRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが1(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを0(割り込み要求なし)にする場合、使用する命令によってはIRビットが0にならないことがあります。IRビットはMOV命令を使用して0にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが1(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  MOV.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  MOV.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  MOV.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
  POPC    FLG            ; 割り込み許可
```

33.6 DTC使用上の注意事項

33.6.1 DTC起動要因

- ウェイトモード移行時はウェイトモードの実行サイクル前にDTC転送を完了させてください。
- ストップモード移行時はストップモードの実行サイクル前にDTC転送を完了させてください。

33.6.2 DTCENi レジスタ (i = 0 ~ 6)

- DTCENi0 ~ DTCENi7 ビットは、そのレジスタに対応する割り込み要求が発生しない箇所を変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが1のとき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENi レジスタをアクセスしないでください。

33.6.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを0にしないでください。
- DTC起動要因がSSU/I²C受信データフルのときは、DTC転送でSIRDRレジスタを読んでください。SIRDRレジスタを読むことで、SISRレジスタのRDRFビットが0 (SIRDRレジスタにデータなし) になります。
ただし、DTCのデータ転送の設定が
 - ノーマルモードかつDTCCTj レジスタ (j = 0 ~ 23) が1から0になる転送
 - リピートモードかつDTCCRj レジスタのRPTINTビットが1 (割り込み発生許可) かつDTCCTj レジスタが1から0になる転送のときには、SIRDRレジスタを読んでもSISRレジスタのRDRFビットは0 (SIRDRレジスタにデータなし) になりません。
- DTC起動要因がSSU/I²C送信データエンプティのときは、DTC転送でSITDRレジスタへ書いてください。SITDRレジスタへ書くことで、SISRレジスタのTDREビットが0 (SITDRレジスタからSISDRレジスタにデータ転送されていない) になります。

33.6.4 割り込み要求

- DTC起動要因がSSU/I²C送信データエンプティまたはフラッシュレディステータスのとき、以下の場合でもCPUに割り込み要求を発生しません。
 - DTCがノーマルモードでDTCCTj レジスタが0になるデータ転送を実行するとき
 - リピートモードでDTCCRj レジスタのRPTINTビットが1 かつDTCCTj レジスタが0になるデータ転送を実行するとき

33.6.5 DTCの起動

- DTC起動時、ベクタ読み出しの前に1サイクル動作がずれる場合があります。

33.7 タイマRJ使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマRJ関連レジスタ(注1)の値を設定した後、カウントを開始してください。

注1. タイマRJ関連レジスタ：TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (2) カウント停止中のレジスタアクセスについては、タイマのモードによって以下の制限があります。

• イベントカウンタモード

カウント停止中にTRJCRレジスタのTSTARTビットに1(カウント開始)を書いた後は、CPUクロックの2サイクルの間、TRJCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TRJCRレジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、CPUクロックの2サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントは停止します。TCSTFビットが0になるまで、TRJCRレジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TRJレジスタへの書き込みは、TRJIO端子が非アクティブレベル(TRJIOCレジスタのTEDGSELビットが0の場合はLowレベル、1の場合はHighレベル)になるまで無効となります。この場合TRJレジスタを変更する場合には以下の手順を行ってください。

- ① TSTARTビットに0を書き込み、カウント停止
- ② TCSTFビットが0になるまでウェイト
- ③ TRJIOCレジスタのTIPF1、TIPF0ビットに00b(フィルタなし)を設定(デジタルフィルタ未使用の場合は不要)
- ④ TEDGSELビットへ1→0書き込み
- ⑤ TEDGSELビットに元の値(④の手順実行前の値)を設定
(④の手順実行前の値が0であれば⑤の手順は不要)
- ⑥ TIPF1、TIPF0ビットに元の値(③の手順実行前の値)を設定
(デジタルフィルタ未使用の場合は不要)
- ⑦ TRJレジスタへアクセス

• イベントカウンタモード以外

カウント停止中にTSTARTビットに1(カウント開始)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TRJCRレジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントは停止します。TCSTFビットが0になるまで、TRJCRレジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。

注1. タイマRJ関連レジスタ：TRJIOC、TRJMR、TRJ、TRJISR

- (3) イベントカウンタモードのとき、TRJCRレジスタのTSTARTビットを1(カウント開始)に設定後、TCSTFビットが1になってから外部パルスを入力してください。

- (4) パルス幅測定モードおよびパルス周期測定モードで使用するTRJCRレジスタのTEDGF、TUNDFビットは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCRレジスタにビット操作命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF、TUNDFビットを誤って0にする場合があります。
- これを避けるためには、TEDGF、TUNDFビットをMOV命令で1にしてください。
- (5) タイマRJカウント停止状態でのタイマRJ関連レジスタ(注1)の書き込みと読み出しの間に、NOP命令を2つ入れてください。

注1. タイマRJ関連レジスタ : TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (6) TRJCRレジスタのTSTARTビットが1(カウント開始)かつTCSTFビットが1(カウント中)の場合、TRJレジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。
- (7) 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに0を書いてから、タイマRJのカウントを開始してください。
- (8) 消費電流を低減するために、TRJCRのTSTARTビットおよびTCSTFビットが0(カウント停止)のとき、モジュールスタンバイに切り替えてください。モジュールスタンバイの切り替えビットについては、「10.2.9 モジュールスタンバイコントロールレジスタ2(MSTCR2)」を参照してください。
- (9) パルス幅測定モードまたはパルス周期測定モードを使用する場合は、次の順序で設定してください。
- ①タイマRJ関連レジスタ(注1)を設定する。
 - ②TSTARTビットに1(カウント開始)を設定後、TCSTFビットが1(カウント中)になるのを待つ。
 - ③外部イベントを入力する。

注1. タイマRJ関連レジスタ : TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (10) パルス周期測定モードでは、最初の測定完了による処理は無効としてください(2回目以降から測定値有効です)。
- (11) TRJレジスタへの0000hの設定は禁止です。
- (12) パルス幅測定モード、イベントカウンタモードの場合、カウントソースはイベントリンクコントローラ(ELC)からのイベントを選択しないでください。
- (13) パルス出力モードのとき、TRJIOCレジスタのTOPCRビットはTRJMRレジスタの設定後に設定してください。
- (14) タイマRJの動作モード関連レジスタ(TRJIOC、TRJMR、TRJISR)の変更は、カウント停止時(TRJCRレジスタのTSTARTビットとTCSTFビットがともに0(カウント停止))のみ可能です。カウント動作中には変更しないでください。
- 対象 : タイマRJの全動作モード

33.8 タイマRB2使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- (2) 16ビットタイマで使用する時、8ビット単位でTRBPRES、TRBPR、TRBSCレジスタをアクセス(8ビットアクセス)する場合、必ずTRBPRES→TRBPR→TRBSCの順番でアクセスしてください。
- (3) プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モードでは、TRBOCRレジスタのTOSSPビットを1にしてワンショット停止したとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- (4) カウント停止中にTRBCRレジスタのTSTARTビットに1(カウント開始)を書いた後は、カウントソースの2、3サイクルの間、TRBCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。
 カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの2、3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB2関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBPR、TRBSC

- (5) TSTARTビットが0(カウント停止)のとき、TRBPRES、TRBPR、TRBSCレジスタの値を変更する場合は、CPUクロックの2サイクル以上待ってから、TSTARTビットを1(カウント開始)にしてください。
- (6) TSTARTビットが1(カウント開始)またはTCSTFビットが1(カウント中)のとき、TRBIOC、TRBMRレジスタ、TRBIRレジスタのTRBIEビットの値を変更しないでください。なお、TOCNTビットについては、16.5.3に記載の仕様でカウント中の変更は可能です。
- (7) カウント中(TCSTFビットが1)のとき、TRBCRレジスタのTSTOPビットに1を書くと、待ち時間なくタイマRB2が停止(TSTARTビットが0、TCSTFビットが0、TOSSTビットが0、TOSSTFビットが0)します。
- (8) TRBOCRレジスタのTOSSTビットに1(ワンショット開始)を書くと、タイマRBのカウントソースの3サイクル後にTOSSTFビットが変化します。TRBOCRレジスタのTOSSPビットに1(ワンショット停止)を書くと、タイマRBのカウントソースの2、3サイクル後にTOSSTFビットが変化します。TOSSTビットに1を書いた後からTOSSTFビットが1(ワンショット動作中(ウェイト期間を含む))になるまでの期間にTOSSPビットに1を書いた場合、内部の状態によってTOSSTFビットが0(ワンショット停止中)になる場合と、1になる場合があります。TOSSPビットに1を書いた後からTOSSTFビットが0になるまでの期間にTOSSTビットに1を書いた場合も同様に、TOSSTFビットは0になる場合と、1になる場合があります。
- (9) タイマRJのアンダフロー信号をタイマRB2のカウントソースにする場合、タイマRJはタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。
- (10) TCSTFビットが1(カウント中)であることを確認した後、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込んでください。TCSTFビットが0(カウント停止)のとき、TOSSTビットに1(ワンショットカウント開始)の書き込みは無効です。
- (11) タイマRB2のプログラマブル波形発生モードおよびプログラマブルウェイトワンショットモードでは、TRBSCレジスタに書いてからTRBPRレジスタに書いてください。TRBPRレジスタへ書き込み後のセカンダリ期間のアンダフローのとき、TRBPRレジスタの値がカウンタに反映されず、TRBPRレジスタに書き込み後からセカンダリ期間のアンダフローまで、TRBSC、TRBPRレジスタを複数回書くと、最後に書き込んだデータがカウンタに反映されます。ただし、TRBSCレジスタを単独で書かないでください。TRBSC、TRBPRレジスタの両方に書き込んでください。

- (12) カウント停止状態で TRBPRE レジスタ、または TRBPR レジスタの書き込みと読み出しを連続して行う場合は、書き込みと読み出しの間にNOP命令を入れてください。
- (13) カウント中(TSTARTビットが1またはTCSTFビットが1)にTRBPRE、TRBPR、TRBSCレジスタに書き込む場合は、以下の点に注意してください。
- TRBPREレジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBSC レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- (14) 消費電流を低減するために、TRBCR レジスタのTSTARTビットとTRBCRレジスタのTCSTFビットがともに0（カウント停止）状態でモジュールスタンバイに切り替えてください。モジュールスタンバイの切り替えビットについては、10.2.9 「モジュールスタンバイコントロールレジスタ2 (MSTCR2)」を参照してください。
- (15) TSTOPビットでカウントを強制停止させる場合は、次の設定をしてください。
- (1) TRB2IC_0レジスタの割り込み優先レベルを0（割り込み禁止）に設定
 - (2) TSTOPビットに1（カウント強制停止）を設定
 - (3) TRBIFビットを0（割り込み要求なし）に設定
- (16) プログラマブル波形発生モードで TRBPR レジスタを書き換えた場合、書き換え後の次のセカンダリ期間の次のタイミングで、TRBPRE、TRBPR、TRBSCレジスタに書かないでください。
- 8ビットプリスケアラ付き8ビットタイマ：
セカンダリ出力期間が終了する前のプリスケアラのアンダフロー2周期分
 - 16ビットタイマ：
セカンダリ出力期間が終了する前のカウントソースクロックの2周期分

33.9 タイマRC使用上の注意事項

33.9.1 TRCCNTレジスタ

TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にしている場合、次の注意事項が該当します。

- TRCMRレジスタのCTSビットが1(カウント開始)の状態、プログラムでTRCCNTレジスタに値を書き込む場合は、TRCCNTレジスタが0000hになるタイミングと重ならないように書いてください。
- TRCCNTレジスタが0000hになるタイミングと、TRCCNTレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCCNTレジスタが0000hになります。

TRCCNTレジスタに書いた後、TRCCNTレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

- プログラム例

```

MOV.W    #XXXXh, TRCCNT    ; 書き込み
JMP.B    L1                ; JMP.B命令
L1:      MOV.W    TRCCNT, DATA ; 読み出し

```

33.9.2 TRCCR1レジスタ

TRCCR1レジスタのCKS2～CKS0ビットを111b(fHOCO-F)にするときは、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

33.9.3 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

- プログラム例

```

MOV.B    #XXh, TRCSR      ; 書き込み
JMP.B    L1                ; JMP.B命令
L1:      MOV.B    TRCSR, DATA ; 読み出し

```

33.9.4 カウントソースの切り替え

- カウントソースを切り替える場合、カウントを停止した後に切り替えてください。また、カウントソースの切り替え後、CPUクロックの2サイクル以上待ってから、タイマRC関連レジスタ(00138h～0014Dh、00158h～0016Dh番地)への書き込みを行ってください。

[変更手順]

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0～CKS2ビットを変更する
- (3) CPUクロックの2サイクル以上待つ
- (4) タイマRC関連レジスタ(00138h～0014Dh、00158h～0016Dh番地)への書き込み

- カウントソースをfHOCO-FからfHOCOに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの2サイクル以上待ってからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0～CKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

- カウントソースをfHOCO-FからfHOCO以外のクロックに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの1サイクル+fHOCOの1サイクル以上待ってからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0～CKS2ビットを変更する
- (3) fHOCO-Fの1サイクル+fHOCOの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

- 注1. fHOCO、fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0(高速オンチップオシレータ停止)にしないでください。
- 注2. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

33.9.5 インพุットキャプチャ機能

インพุットキャプチャ信号のパルス幅については、次のように設定してください。

[デジタルフィルタなしの場合]

タイマRCの動作クロックの3サイクル分以上(「表17.1 タイマRCの仕様」参照)

[デジタルフィルタありの場合]

デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図17.19 デジタルフィルタ回路のブロック図」参照)

TRCIOj (j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後にTRCCNTレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

33.9.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSTPビットが1 (TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCCNTレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

33.9.7 モジュールスタンバイ

タイマRCのカウント停止中にMSTCR2レジスタのMSTTRC_0、MSTTRC_1ビットを書いてください。MSTCR2レジスタにタイマRCのモジュールスタンバイビットが存在します。

33.9.8 モードの切り替え

- 動作中にモードを切り替える場合、TRCMRレジスタのCTSビットを0(カウント停止)にした後に行ってください。
- モードの切り替え後、動作開始前にTRCSRレジスタの各フラグを0、TRCICレジスタのIRビットを0に設定してください。
詳細は「11.9.4 割り込み要因の変更」を参照してください。

33.9.9 カウント停止時のインพุットキャプチャ動作

インพุットキャプチャ機能使用時、インพุットキャプチャ信号(TRCIOR0レジスタのIOj0、IOj1ビット(j = A、B)、TRCIOR1レジスタのIOk0、IOk1ビット(k = C、D)のいずれかで選択したエッジ)がTRCIOi端子(i = A、B、C、D)に入力されると、TRCMRレジスタのCTSビットが0(カウント停止)のときも、TRCSRレジスタのIMFiビットが1になります。

33.10 タイマRD使用上の注意事項

33.10.1 SFR リード/ライトアクセス

33.10.1.1 TRDELCCR レジスタ

- タイマ動作中は、TRDELCCR レジスタを書き換えないでください。

33.10.1.2 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- TRDSTR レジスタのCSELiビット(i = 0, 1)が0 (TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止)の場合、TSTARTi ビットに0 (カウント停止)を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
TRDGRAi レジスタとのコンペアー一致時のみ、TSTARTi ビットは0 (カウント停止)となります。
TRDSTR レジスタを書き換える際に、CSELi ビットが0の場合、カウント動作に影響なくCSELi ビットを1へ変更したい場合は、TSTARTi ビットに0を書いてください。
TSTARTi ビットに1を書き込むと、カウンタが停止中の場合カウント開始する恐れがあります。
また、プログラムでカウントを停止させる場合は、CSELi ビットを1にした後で、TSTARTi ビットに0を書いてください。同時に(1命令で)CSELi ビットに1、TSTARTi ビットに0を書いてもカウントは停止できません。
- TRDIOj端子(j = A、B、C、D)をタイマRD出力で使用している場合の、カウント停止時の出力レベルを表33.1に示します。

表33.1 カウント停止時のTRDIOj (j = A、B、C、D)端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELiビットが1のときに、TSTARTiビットに0を書きカウント停止	直前の出力レベルを保持(タイマRDの相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
CSELiビットが0のときに、TRDiレジスタとTRDGRAiレジスタのコンペアー一致でカウント停止	コンペアー一致による出力変化後、そのレベルを保持(タイマRDの相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)

i = 0, 1, j = A, B, C, D

33.10.1.3 TRDi レジスタ

- TRDi レジスタが0000hになるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値はレジスタへの書き込みが優先されます。
- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

```

プログラム例  MOV.W #XXXXh, TRD0; 書き込み
                JMP.B  L1      ; JMP.B 命令
L1:            MOV.W TRD0, DATA; 読み出し
  
```

33.10.1.4 TRDSR_iレジスタ (i = 0, 1)

TRDSR_iレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例      MOV.B #XXh, TRDSR0; 書き込み
                   JMP.B L1      ; JMP.B命令
L1:                MOV.B TRDSR0, DATA; 読み出し
```

33.10.1.5 TRDCR_iレジスタ

TRDCR_iレジスタのTCK2～TCK0ビットを111b (fHOCO-F)にするとときは、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

33.10.1.6 TRDDF_iレジスタ

TRDDF_iレジスタのDFCK0、DFCK1ビット設定は、ハザード対策のためカウント動作前に設定を実施してください。

33.10.2 モードの切り替え

- 動作中にモードを切り替える際は、カウント停止状態(TSTART = 0)にした後、行ってください。
- モード切り替え後、動作開始前に割り込みレジスタのクリアを行ってください。
「11.9.4 割り込み要因の変更」を参照してください。

33.10.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
また、カウントソース切り替え後、CPUクロックの2サイクル以上待つから、本モジュールへのSFR書き込みを行ってください。

[変更手順]

- (1) TRDSTRレジスタのTSTART_iビットを0(カウント停止)にする
 - (2) TRDCR_iレジスタのTCK0～TCK2ビットを変更する
 - (3) CPUクロックの2サイクル以上待つ
 - (4) タイマRDへのSFR書き込みが可能
- 上記(2)の設定変更の代わりに、SYNCビットおよびPWM3ビットの設定変更を行う場合でも、同様の処理が必要になります。
FRA00ビットによる高速オンチップオシレータの停止のSW処理は必要ありません。
 - カウントソースをfHOCO-FからfHOCOに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの2サイクル以上待つからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRDSTRレジスタのTSTART_iビットを0(カウント停止)にする
 - (2) TRDCR_iレジスタのTCK0～TCK2ビットを変更する
 - (3) fHOCO-Fの2サイクル以上待つ
 - (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする
- カウントソースをfHOCO-FからfHOCO以外のクロックに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの1サイクル+fHOCOの1サイクル以上待つからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRDSTRレジスタのTSTART_iビット(i = 0, 1)を0(カウント停止)にする
- (2) TRDCR_iレジスタのTCK0～TCK2ビットを変更する
- (3) fHOCO-Fの1サイクル+fHOCOの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

- 注1. fHOCO、fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0(高速オンチップオシレータ停止)にしないでください。
- 注2. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

33.10.4 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表 18.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO_j端子(j = A、B、C、D)にインพุットキャプチャ信号が入力されてから、タイマRDの動作クロックの2~3サイクル後にTRDiレジスタの値をTRDGR_jレジスタに転送します(デジタルフィルタなしの場合)。

33.10.5 リセット同期PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。

[変更手順]

- (1) TRDSTRレジスタのTSTART0ビットを0(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1、CMD0ビットを00b(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1、CMD0ビットを01b(リセット同期PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する
- カウントスタートに関する注意事項
 - (1) タイマ値とコンペアレジスタ値を同一設定にした場合は、カウントスタート禁止です。
 - (2) カウント停止からの再開時は、カウントを停止した時のタイマ値とコンペアレジスタが異なることを確認して再開してください。値が同じ場合は、タイマ値を書き換えて再開してください。

33.10.6 相補PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- TRDFCRレジスタのCMD0、CMD1ビットを変更するときは、次の手順で変更してください。
[変更手順：相補PWMモードにする場合(再設定含む)または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合]
 - TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも0(カウント停止)にする
 - TRDFCRレジスタのCMD1、CMD0ビットを00b(タイマモード、PWMモード、PWM3モード)にする
 - CMD1、CMD0ビットを10bまたは11b(相補PWMモード)にする
 - その他のタイマRD関連レジスタを再設定する
 [変更手順：相補PWMモードを止める場合]
 - TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも0(カウント停止)にする
 - CMD1、CMD0ビットを00b(タイマモード、PWMモード、PWM3モード)にする
- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを0(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを1(バッファレジスタ)にできます。
PWM周期は変更できません。
- TRDGRA0レジスタに設定した値をmとすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m - 1 \rightarrow m \rightarrow m + 1 \rightarrow m \rightarrow m - 1$ とカウントします。
 $m \rightarrow m + 1$ のとき、TRDSRiレジスタのIMFAビットが1になります。また、TRDFCRレジスタのCMD1、CMD0ビットが11b(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m + 1 \rightarrow m \rightarrow m - 1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

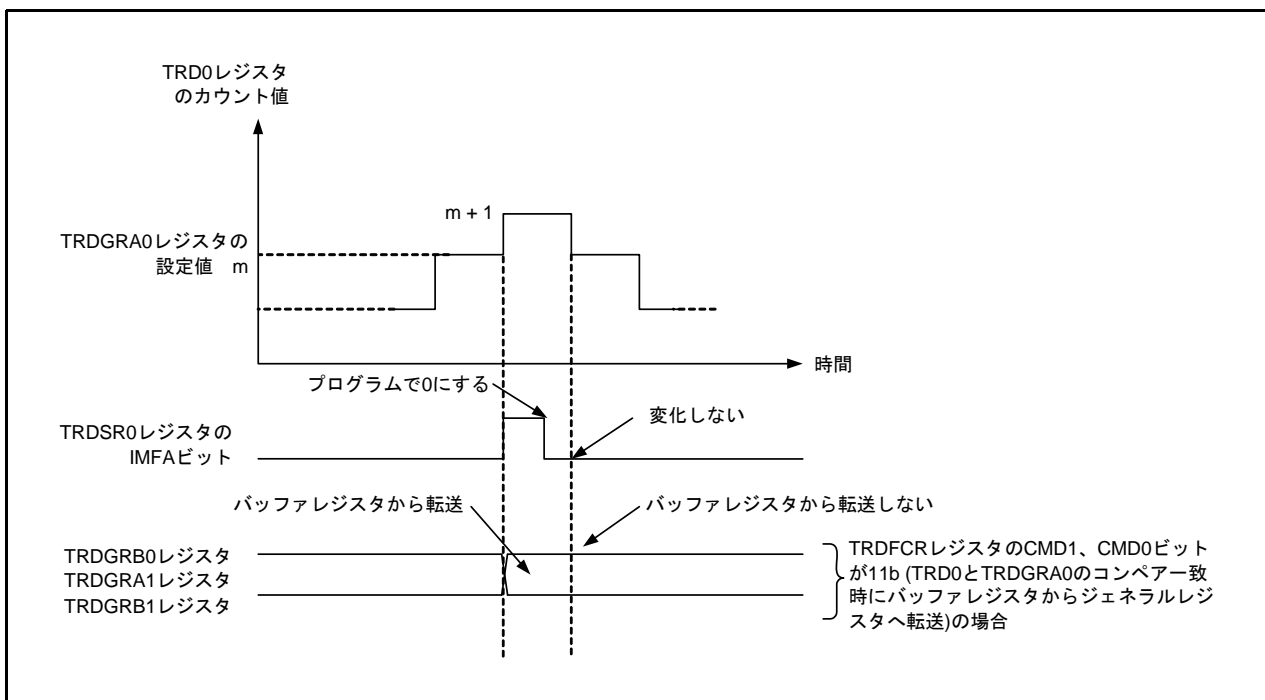


図33.2 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1→0→FFFFh→0→1とカウントします。
1→0→FFFFhの動作によって、TRDSR_iレジスタのUDFビットが1になります。また、TRDFCRレジスタのCMD1、CMD0ビットが10b(相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
FFFFh→0→1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、TRDSR_iレジスタのOVFビットは変化しません。

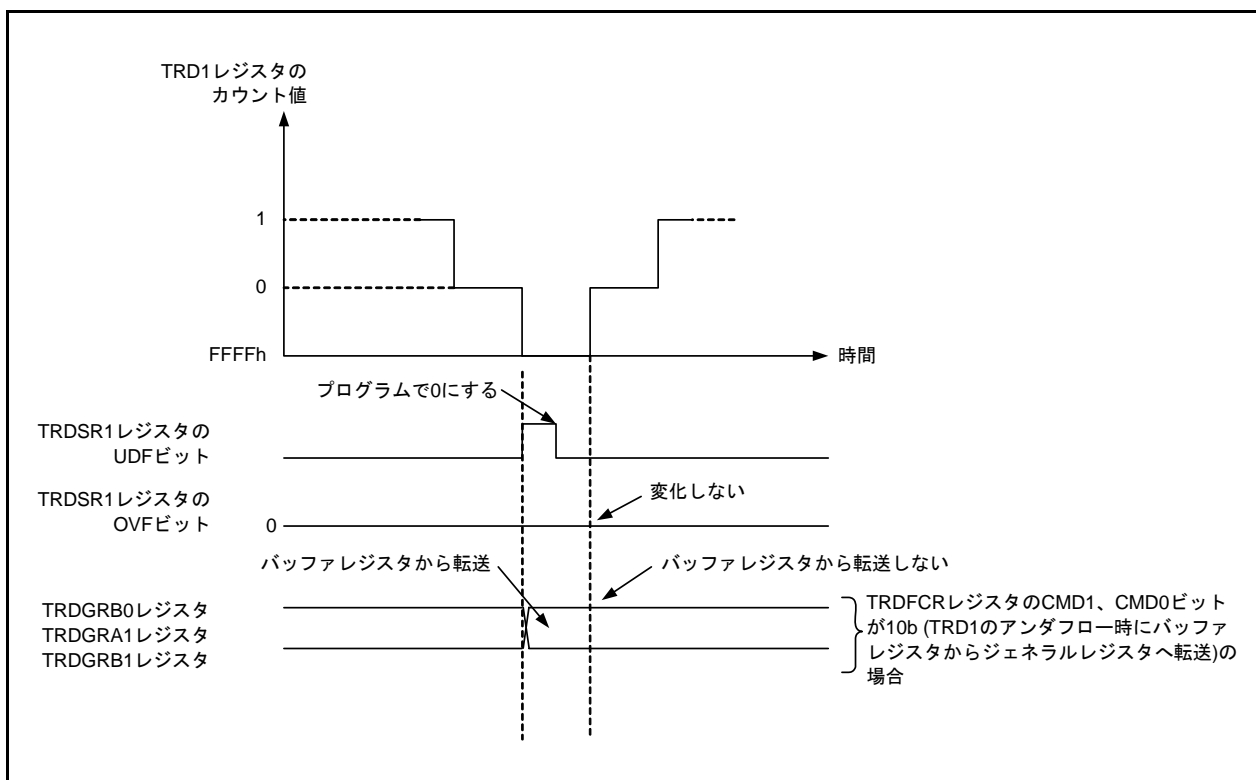


図33.3 相補PWMモード TRD1がアンダフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタのCMD0、CMD1ビットで選択してください。ただし、次の場合はCMD0、CMD1ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 \geq TRDGRA0レジスタの値の場合

TRD1レジスタのアンダフローで転送します。

その後、0001h以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD0、CMD1ビットで選択したタイミングで転送します。

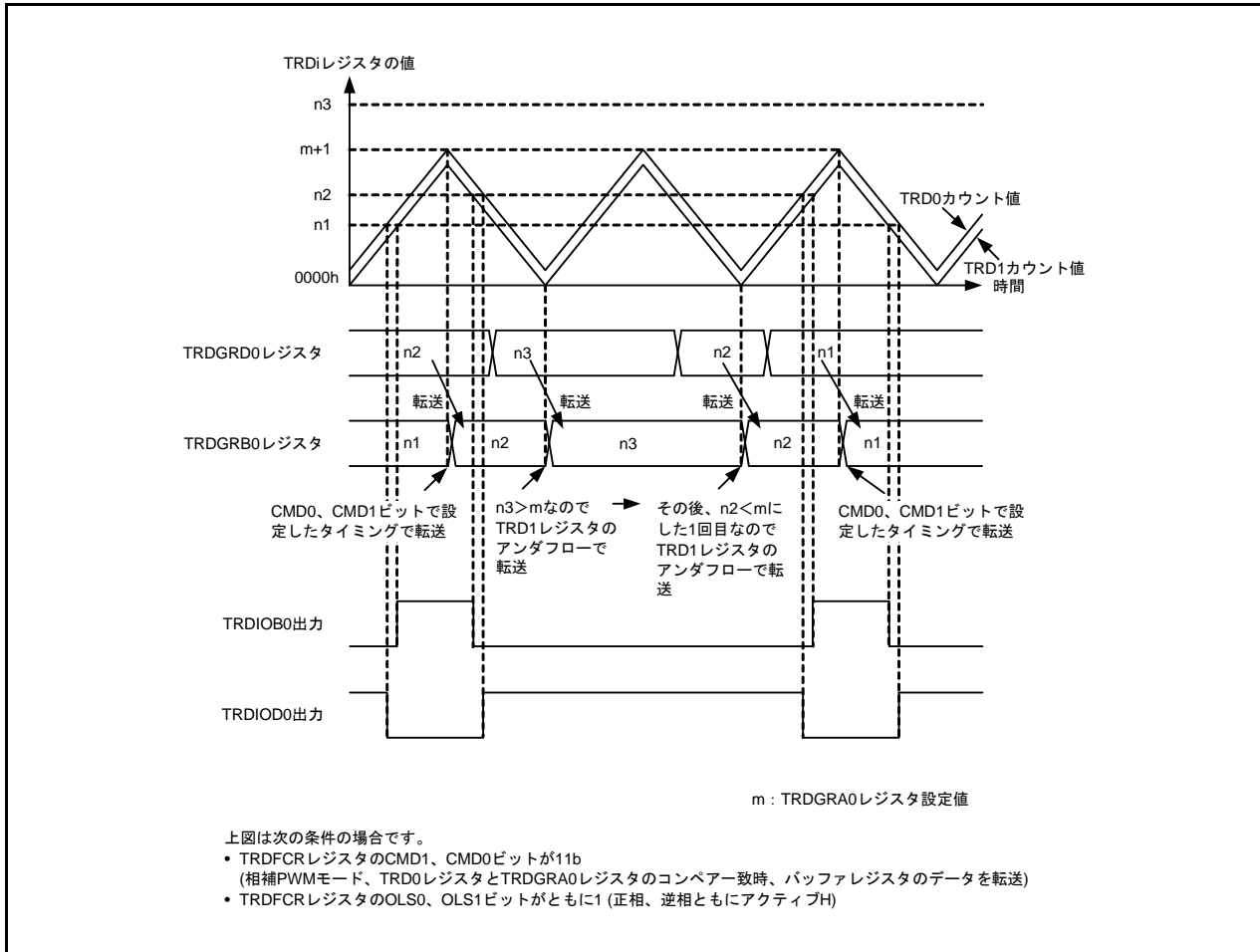


図 33.4 相補PWMモード時のバッファレジスタの値 \geq TRDGRA0レジスタ値の場合の動作例 (i = 0、1)

バッファレジスタの値が0000hの場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、0001h以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD0、CMD1ビットで選択したタイミングで転送します。

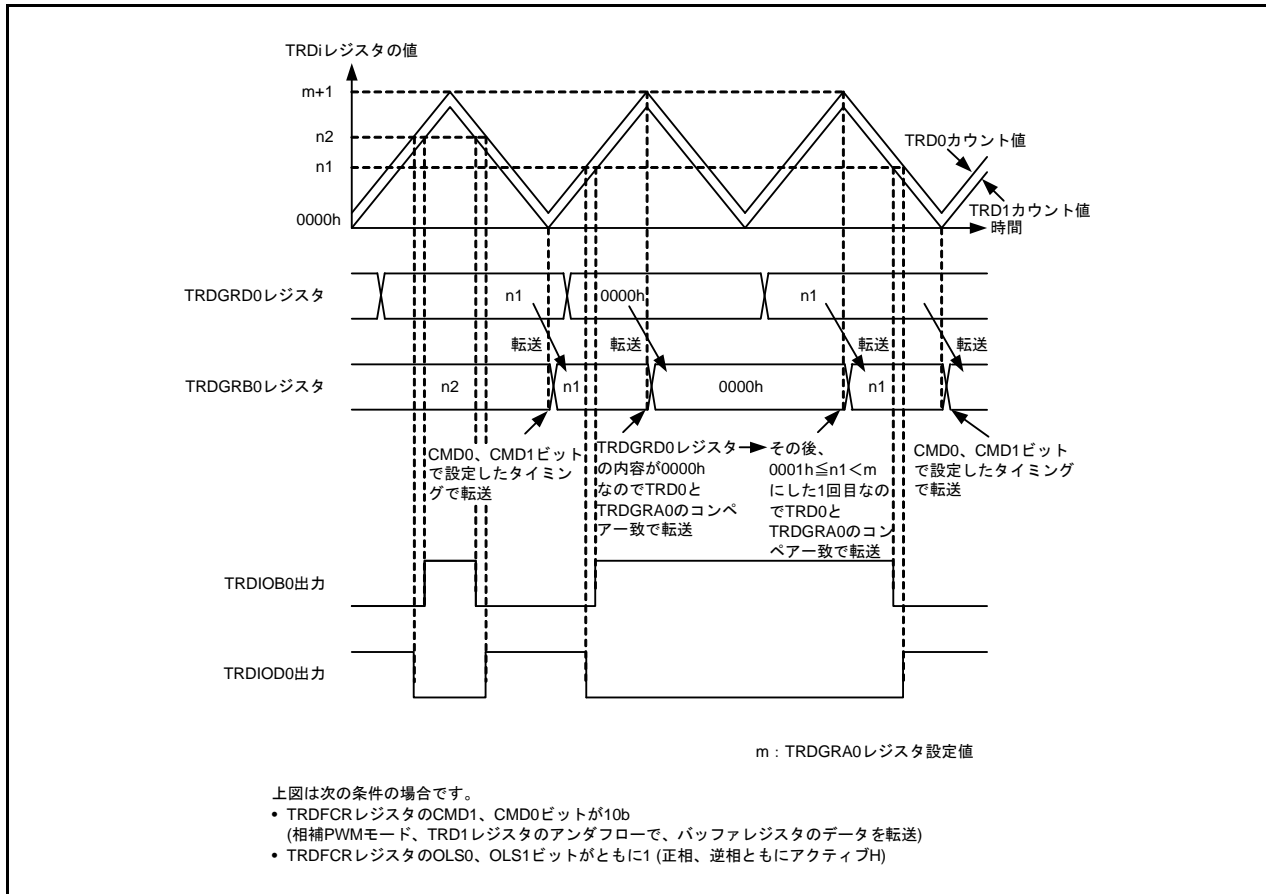


図33.5 相補PWMモード時のバッファレジスタの値が0000hの場合の動作例 ($i = 0, 1$)

• カウントスタートに関する注意事項

- (1) タイマ値とコンペアレジスタ値を同一設定にした場合は、カウントスタート禁止です。
- (2) カウント停止からの再開時は、カウントを停止した時のタイマ値とコンペアレジスタが異なることを確認して再開してください。値が同じ場合は、タイマ値を書き換えて再開してください。

33.10.7 カウント停止時のインプットキャプチャ動作

インプットキャプチャ機能使用時、インプットキャプチャ信号 (TRDIORAi レジスタ ($i = 0, 1$) の IOj0、IOj1 ビット ($j = A, B$)、TRDIORCi レジスタの IOk0、IOk1 ビット ($k = C, D$) のいずれかで選択したエッジ) が TRDIOi 端子 ($n = A, B, C, D$) に入力されると、TRDSTR レジスタの TSTARTi ビットが0 (カウント停止) のときも、TRDSRi レジスタの IMF_n ビットが1になります。

33.11 タイマRE2使用上の注意事項

- TRECRレジスタのRUNビットに0(カウント停止)を書き込むと、カウントソースの3サイクル後にカウントを停止します。
- モジュールスタンバイに移行する場合、TRECRレジスタのTREOEビットを0(TMRE2O出力禁止)に、RUNビットを0(カウント停止)にした後、カウントソースの3サイクル以上経過してから、MSTCR3レジスタのMSTTREビットを1(スタンバイ)にしてください。
- TRECRレジスタのTREOEビットが0(TMRE2O出力禁止)の状態、TRECSRレジスタのOS0～OS2ビットを切り替えてください。
- TREIFR、TREIERレジスタの切り替えは次のとおりにしてください。
 - TREIFRレジスタのCMIFビットが0(割り込み要求なし)の状態、TREIERレジスタのCMIEビットを切り替えてください。
 - TREIFRレジスタのOVIFビットが0(割り込み要求なし)の状態、TREIERレジスタのOVIEビットを切り替えてください。
- OVIFビットが0(割り込み要求なし)およびCMIFビットが0(割り込み要求なし)の状態、TRECRレジスタのRTCRSTビットを設定してください。

33.12 タイマRF使用上の注意事項

33.12.1 レジスタアクセス

- TRFレジスタ、TRFM0レジスタおよびTRFM1レジスタは、16ビット単位でアクセスしてください。

<タイマRFを読み出すプログラム例>

```
MOV.W    0090H,R0    ;タイマRFの読み出し
```

33.12.2 カウント停止時のインプットキャプチャ動作

- インプットキャプチャモードでは、インプットキャプチャ信号 (TRFCR0 レジスタの TRFC03、TRFC04ビットで選択したエッジ)がTRFI端子に入力されると、TRFCR0レジスタのTSTARTビットが0(カウント停止)のときも、TRFSRレジスタのICFビットが1になります。

33.12.3 モード切り替え

- 動作中にモードを切り替える際は、TSTARTビットを0(カウント停止)にした後、切り替えてください。
- モード切り替え後、動作開始前に割り込みレジスタのクリアを行ってください。
- 「11.9.4 割り込み要因の変更」を参照してください。

33.12.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

[変更手順]

- (1) TRFCR0レジスタのTSTARTビットを0(カウント停止)にする
- (2) TRFCR0レジスタのTCK0、TCK1ビットを変更する

- カウントソースをfHOCO-Fから他のクロックに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの2サイクル以上待つからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRFCR0レジスタのTSTARTビットを0(カウント停止)にする
- (2) TRFCR0レジスタのTCK0、TCK1ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

fHOCO-Fを選択した場合、以下の注意があります。

- 注1. fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0(高速オンチップオシレータ停止)にしないでください。
- 注2. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。
- 注3. fHOCO-Fをカウントソースに選択し、タイマ動作中にコンペアレジスタへ連続して書き込みを実施する場合には、fHOCO-Fの1周期分以上の間隔をあけてください。

33.12.5 コンペア出力の切り替え

- コンペア一致時の出力制御を切り替える際は、以下の手順で切り替えてください。

[カウント停止中の設定手順]

- (1) TRFCR1レジスタのTMODビットを1(アウトプットコンペアモード)にする
- (2) TRFCR1レジスタのTRFC14～TRFC17ビットを設定する
- (3) TRFOUTレジスタを設定する
- (4) TRFCR0レジスタのTSTARTビットを1(カウント開始)にする

[カウント動作中の設定手順]

TRFC14～TRFC17ビットをカウント動作中に変更する場合、変更のタイミングがコンペア一致のタイミングと重なると変更時点では意図しない波形が出力され、次の周期から正しい波形が出力されます。

以下の手順により、意図しない波形の出力を制御できます。

- (1) TRFSRレジスタのCMP0FおよびCMP1Fビットをポーリングしてコンペア一致状況を確認する
- (2) TRFM0およびTRFM1レジスタの設定値を確認する
- (3) (1)、(2)から次のコンペア一致に対し余裕があるタイミングでTRFC14～TRFC17ビットを変更する

33.12.6 PORT8レジスタ(PORTモジュール)の変更

- タイマRFのコンペア出力(TRFO00～TRFO02、TRFO10～TRFO12)の外部端子への出力制御はPORT8レジスタによって行われます。カウント動作中のPORT8レジスタの設定変更については以下の手順で実施してください。

[カウント動作中の設定手順]

PORT8レジスタをカウント動作中に変更する場合、変更のタイミングがコンペア一致のタイミングと重なると変更時点では意図しない波形が出力され、次の周期から正しい波形が出力されます。

以下の手順により、意図しない波形の出力を制御できます。

- (1) TRFSRレジスタのCMP0FおよびCMP1Fビットをポーリングしてコンペア一致状況を確認する
- (2) TRFM0およびTRFM1レジスタの設定値を確認する
- (3) (1)、(2)から次のコンペア一致に対し余裕があるタイミングでPORT8レジスタを変更する

33.13 タイマRG使用上の注意事項

33.13.1 位相計数モード時の位相差、オーバーラップ、およびパルス幅

TRGCLKA、TRGCLKB 端子からの外部入力信号の位相差およびオーバーラップはそれぞれ $1.5f_1$ 以上、パルス幅は $2.5f_1$ 以上が必要です。図 33.6 に位相計数モード時の位相差、オーバーラップ、およびパルス幅を示します。

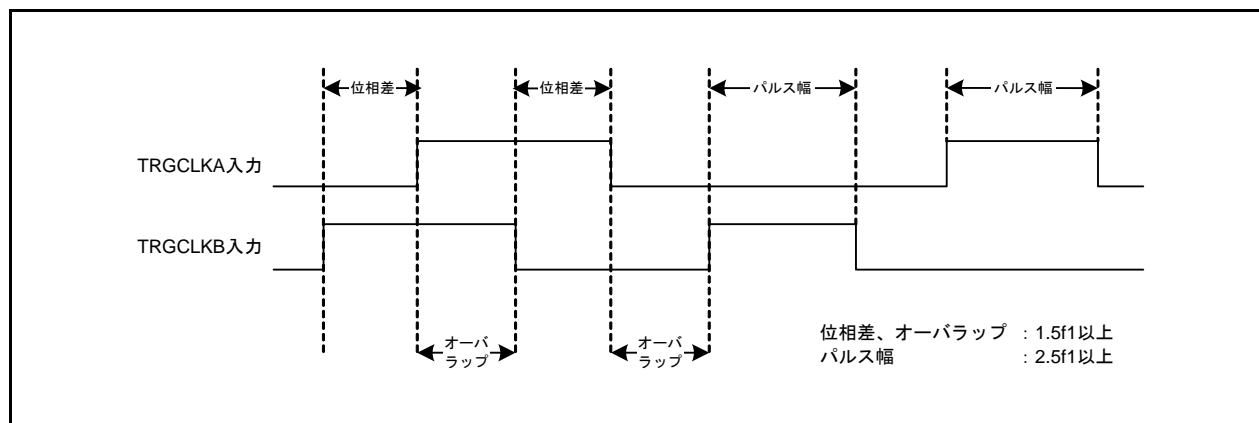


図 33.6 位相計数モード時の位相差、オーバーラップ、およびパルス幅

33.13.2 モード切り替え

- 動作中にモードを切り替える際は、TRGMR レジスタの TSTART ビットを 0 (カウント停止) にした後、行ってください。
- モード切り替え後、動作開始前に TRFIC レジスタのクリアを行ってください。
詳細は「11.9.4 割り込み要因の変更」を参照してください。

33.13.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。また、カウントソース切り替え後、CPU クロックの 2 サイクル以上待ってから、タイマ RG 関連レジスタへ書き込みを行ってください。

変更手順

- (1) TRGMR レジスタの TSTART ビットを 0 (カウント停止) にする
- (2) TRGCR レジスタの TCK0 ~ TCK2 ビットを変更する
- (3) CPU クロックの 2 サイクル以上待つ
- (4) タイマ RG 関連レジスタへ書き込みが可能

注 1. fHOCO をカウントソースに選択している場合、FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にしないでください。

33.13.4 SFR リード/ライトアクセス

33.13.4.1 TRGMR レジスタ

デジタルフィルタクロック切り替えの際、以下の設定手順を行ってください。

- (1) TSTART ビットが0 (カウント停止)の状態において、TRGMR レジスタのDFA、DFB ビット (TRGIOA、TRGIOB 端子のデジタルフィルタ機能選択ビット)、TRGMR レジスタのDFCK0、DFCK1 ビット(デジタルフィルタ機能で使用するクロック選択ビット)を設定する。
- (2) TSTART ビットを1に設定する。

ただし、デジタルフィルタを設定しない場合、リセット直後、(1)と(2)の処理を1回で設定することが可能です。

インプットキャプチャの動作要因として、外部入力端子 (TRGIOA、TRGIOB) の他に、イベントリンクコントローラ (ELC) からのイベント入力によってインプットキャプチャを動作することができます。この機能を使用したい場合はTRGMR レジスタのELCICE ビットを1に設定し、インプットキャプチャ機能、インプットキャプチャの有効エッジは立ち上がりエッジ (IOB2 ~ IOB0 = 100b) に設定してください。このときモードがPWM モードやタイマモードのアウトプットコンペア機能時の場合 (PWM = 1、IOB2 = 0)、この機能は無効となります。

33.13.4.2 TRG レジスタ

TRG レジスタのSFR への書き込み動作とタイマRG動作条件によるカウンタリセット動作は、SFR への書き込み動作を優先動作としています。

33.13.5 カウント停止時のインプットキャプチャ動作

インプットキャプチャ機能使用時、インプットキャプチャ信号 (TRGIOR レジスタのIOi0、IOi1 ビット (i = A、B) のいずれかで選択したエッジ) がTRGIOi 端子 (i = A、B、C、D) に入力されると、TRGMR レジスタのTSTART ビットが0 (カウント停止) のときも、TRGSR レジスタのIMFi ビットが1になります。

33.14 シリアルインタフェース(UART0)使用上の注意事項

33.14.1 動作モード共通

33.14.1.1 レジスタアクセス

次のレジスタは、シリアルインタフェース無効時のみ設定変更可能です。シリアルインタフェース有効状態では切り替えないでください。

- U0MR_0、U0MR_1レジスタ：CKDIRビット
- U0C0_0、U0C0_1レジスタ：CLK0、CLK1ビット
- U0IR_0、U0IR_1レジスタ：U0RIE、U0TIEビット

また次のレジスタは、送受信停止中のみ設定変更可能です。送受信中には切り替えないでください。

- U0MR_0、U0MR_1レジスタ：SMD0～SMD2、STPS、PRY、PRYEビット
- U0BRG_0、U0BRG_1レジスタ：b0～b7ビット
- U0C0_0、U0C0_1レジスタ：DFE、NCH、CKPOL、UFORMビット
- U0C1_0、U0C1_1レジスタ：U0IRS、U0RRMビット

U0RBレジスタを読み出すときは、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、16ビット単位で読み出してください。

U0RBレジスタ上位バイト(b15～b8)を読み出したとき、U0RBレジスタのFER、PERビットは0(フレーミングエラーなし、パリティエラーなし)になります。また、U0C1レジスタのRIビットも0(U0RBレジスタにデータなし)になります。

受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

- 受信バッファレジスタを読み出すプログラム例
MOV.W 0086H, R0 ; U0RBレジスタの読み出し

クロック非同期形シリアルI/Oモードで転送データビット長9ビットの場合、U0TBレジスタに書くときは、上位バイト(b15～b8)→下位バイト(b7～b0)の順で、8ビット単位で書いてください。

- 送信バッファレジスタに書き込むプログラム例
MOV.B #XXH, 0083H ; U0TBレジスタ上位バイト(b15～b8)への書き込み
MOV.B #XXH, 0082H ; U0TBレジスタ下位バイト(b7～b0)への書き込み

- 通信中、MSTCR0レジスタのMSTUART_0、MSTUART_1ビットを1(スタンバイ)にしないでください。モジュールスタンバイにする場合、通信完了を判断してください。通信完了後、U0C1レジスタのTE、REビットを0(通信禁止)にしてからモジュールスタンバイにしてください。また、モジュールスタンバイ解除後、通信の初期設定はもう一回設定してください。

33.14.1.2 Nチャネルオープンドレイン制御ビット

UART0を使用しないときは、U0C0レジスタのNCHビットを0(TXD端子はCMOS出力)にしてください。

33.15 シリアルインタフェース (UART2)使用上の注意事項

33.15.1 動作モード共通

33.15.1.1 レジスタアクセス

次のレジスタは、シリアルインタフェース無効時のみ設定変更可能です。シリアルインタフェース有効状態では切り替えないでください。

U2MR レジスタ： CKDIR ビット

U2C0 レジスタ： CLK0、CLK1 ビット

また次のレジスタは、送受信停止中のみ設定変更可能です。送受信中には切り替えないでください。

U2MR レジスタ： SMD0～SMD2、STPS、PRY、PRYE、IOPOL ビット

U2BRG レジスタ： b0～b7 ビット

U2C0 レジスタ： CRS、CRD、NCH、CKPOL、UFORM ビット

U2C1 レジスタ： U2IRS、U2RRM、U2LCH、U2ERE ビット

U2RXDF レジスタ： DF2EN ビット

U2SMR5 レジスタ： MP ビット

U2SMR3 レジスタ： NODC ビット

U2SMR レジスタ： ABSCS、ACSE、SSS ビット

33.15.1.2 Nチャンネルオープンドレイン制御ビット

UART2を使用しないときは、下記ビットに0を設定してください。

U2C0 レジスタ： NCH ビット

U2SMR3 レジスタ： NODC ビット

33.15.2 クロック同期形シリアルI/Oモード

33.15.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルがLになり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルはHになります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は禁止です。

33.15.2.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックがHの状態、CKPOLビットが1(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックがLの状態、次の条件を満たしてください。

- U2C1 レジスタのTEビットが1(送信許可)
- U2C1 レジスタのTIビットが0(U2TB レジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力がL

33.15.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを1(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを1にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックが発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが1(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが1(オーバランエラー発生)になります。この場合、U2RBレジスタは前回の受信データを保持していますので、オーバランエラーが発生したときは、エラー発生データを再送信するように送信と受信側のプログラムで対処してください。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが0のときは外部クロックがHの状態、CKPOLビットが1のときは外部クロックがLの状態、次の条件を満たしてください。

- U2C1レジスタのREビットが1(受信許可)
- U2C1レジスタのTEビットが1(送信許可)
- U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)

内部クロックを選択している場合は、U2C1レジスタのTEビットに1を設定後、ダミーデータをU2TBレジスタに設定する前にU2C1レジスタのREビットを1に設定してください。

マスタ動作時に連続受信モードで最後のデータを読み出す場合、読み出し前にU2C1レジスタのU2RRMビットを0にしてください。

33.16 クロック同期形シリアルインタフェース使用上の注意事項

33.16.1 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、IICCRレジスタのIICSELビットを0(SSU機能を選択)にしてください。

33.16.2 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、IICSELビットを1(I²Cバス機能を選択)にしてください。

- (1) I²Cの規格に違反する設定で使用しないでください。
- (2) 「Hs-MODE」による通信はできません。最高転送速度は「FAST-MODE」による[Max. 400 kHz]です。
- (3) SCLのLow期間は「FAST-MODE」で[Min. 1.3 μs]です。本モジュールにおけるH/L幅のデューティは50%/50%のため、400 kHz動作時にこの値を下回ってしまいます。よって最高転送速度はSCL周期が2.6 μs(最大転送周波数384.6 kHz)になります。
- (4) SCLの立ち上がりに対して、SDAの変化は[Min. 300 ns]の遅延を持たなければなりません。本モジュールにおけるSDAデジタル遅延は最低3×f1サイクルのため、基準クロックf1が11 MHz以上の場合には注意が必要です。IICCRレジスタのSDADLY1、SDADLY0ビットを01b以上を設定してください。
- (5) CBUSとの互換性はありません。
- (6) 10ビット・アドレス指定はできません。
- (7) スレーブ送信モードのデータ送信中にスタート条件を検出した場合、その後に続くアドレスを受信することはできずに動作が停止します。制御部リセットのフローに従い、モジュールを初期化してください。
- (8) スレーブアドレスとして1111XXXbと0000XXXbは設定しないでください。
- (9) STOP条件を検出した後、マスタで通信を開始する場合、必ずSTOPビットをクリアしてください。

33.16.3 SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット

I²Cバスインタフェース動作中に、ICEビットに0またはSIRSTビットに1を書くとSICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。

33.16.3.1 ビットが不定になる条件

- I²Cバスインタフェースのマスタモードにおいて、本モジュールがI²Cのバスを占有しているとき。
- I²Cバスインタフェースのスレーブモードにおいて、本モジュールがデータかアクノリッジを送信中のとき。

33.16.3.2 対策

- 開始条件(SCLがHのときのSDA立ち下がり)が入力されると、BBSYビットは1になります。
- 停止条件(SCLがHのときのSDA立ち上がり)が入力されると、BBSYビットは0になります。
- マスタ送信モードにおいて、SCL、SDAともにHの状態、BBSYビットに1、SCPビットに0を書き、開始条件(SCLがHのときのSDA立ち下がり)が出力されると、BBSYビットは1になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAがLの状態、かつ本モジュール以外にSCLをLにするデバイスがない状態で、BBSYビットに0、SICR2レジスタのSCPビットに0を書き、停止条件(SCLがHのときのSDA立ち上がり)が出力されると、BBSYビットは0になります。
- SARレジスタのMSビットに1を書くと、BBSYビットは0になります。

33.16.3.3 SICR2レジスタのSIRSTビットの補足説明

- SIRSTビットに1を書くと、SICR2レジスタのSDAOビットおよびSCLOビットは1になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、SIRSTビットに1を書くと、SISRレジスタのTDREビットは1になります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、SICR2レジスタのBBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にSIRSTビットに0を書いてください。
- SIRSTビットに1を書いても、BBSYビットは0になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLがHのときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが0になる場合があります。同様に、他のビットにも影響が発生する場合があります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、SICR1、SICR2、SISRレジスタの値が更新される場合があります。
- 上記補足内容を含んだSIRSTビットによる制御部リセット動作は、「24.4.8 I²Cバスインタフェースモード時の制御部リセット手順」を参照してください。

33.17 ハードウェアLIN使用上の注意事項

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、**Synch Break** 検出割り込みを起点に他のタイマで時間計測を行ってください。

33.18 A/Dコンバータ使用上の注意事項

33.18.1 A/D変換中の注意事項

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対して、A/D変換中に書き込みをしないでください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換開始する前のCPUクロックには、A/Dコンバータの動作クロック ϕ AD以上の周波数を選択してください。 ϕ ADにfHOCO-Fを選択しないでください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(1(ウェイトモード時、周辺機能クロックを停止する)、0(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを1(フラッシュメモリ停止)、およびFMR27ビットを1(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- A/D変換中にプログラムでADCON0レジスタのADSTビットを0(A/D変換停止)にして強制終了後、ADSTビットに1を書き込む場合は、終了処理時間確保のため、 ϕ ADクロックで2クロック以上の間隔をあけてください。

33.18.2 クロック源の切り替え

- クロック源を切り替える際は、A/D変換停止後、切り替えてください。また、クロック源切り替え後、fHOCO-Fクロックの2サイクル以上待つから、A/D変換を開始してください。

【変更手順】

- (1) ADCON0レジスタのADSTビットを0(A/D変換停止)にする
- (2) ADMODレジスタのCKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) ADCON0レジスタのADSTビットを1(AD変換開始)にする

- クロック源をfHOCO-Fから他のクロックに変更し、fHOCO-Fを停止させる場合は、クロック源切り替え後、fHOCO-Fの2サイクル以上待つからfHOCO-Fを停止させてください。

【変更手順】

- (1) ADCON0レジスタのADSTビットを0(A/D変換停止)にする
- (2) ADMODレジスタのCKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

注1. fHOCO-Fをクロック源に選択しているとき、FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にしないでください。

注2. fHOCO-Fをクロック源に選択しているとき、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

33.18.3 端子処理

VREF端子とAVSS端子間に0.1 μ Fのコンデンサを接続してください。

33.19 フラッシュメモリ使用上の注意

33.19.1 CPU書き換えモード

33.19.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

33.19.1.2 割り込み

表33.2～表33.4にCPU書き換えモード時の割り込みを示します。

表33.2 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1の場合は、自動でFMR21ビットが1になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを0にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを0にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22 : FMR2レジスタのビット

表33.3 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ウォッチドッグタイマ 発振停止検出 電圧監視2 電圧監視1 	<ul style="list-style-type: none"> 未定義命令 INTO命令 BRK命令 シングルステップ アドレス一致 アドレスブレイク(注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	<p>割り込み要求を受け付けると、割り込み処理を実行します。</p> <p>FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。</p>	<p>割り込み要求を受け付けると、割り込み処理を実行します。</p> <p>イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0にすることで、自動消去を再開することができます。</p>
		自動消去中 (サスペンド無効 またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
プログラム ROM		自動消去中 (サスペンド有効)	<p>割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。</p> <p>自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。</p> <p>ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</p>	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表33.4 CPU書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ウォッチドッグタイマ 発振停止検出 電圧監視2 電圧監視1 	<ul style="list-style-type: none"> 未定義命令 INTO命令 BRK命令 シングルステップ アドレス一致 アドレスブレイク(注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0にするこ とで、自動消去を再開することができます。
		自動消去中 (サスペンド無効 またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
プログラム ROM		自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効 またはFMR22 = 0)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

33.19.1.3 アクセス方法

次のビットを1にするときは、対象となるビットに0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR24、FMR27ビット

また、次のビットを0にするときは、対象となるビットに1を書いた後、続けて0を書いてください。また、1を書いた後、0を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

33.19.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

33.19.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

33.19.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが0(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが1(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

33.19.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V~5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

33.19.1.8 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを1(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

消費電力を低減する方法は、「10. パワーコントロール」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを0(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

33.20 ペリフェラルマッピングコントローラ (PMC) 使用上の注意事項

33.20.1 端子配置選択レジスタ (PMCSSEL) の設定

PMCSSELレジスタは、端子の配置を選択するレジスタのため、入出力制御をする前で設定してください。

34. オンチップデバッグの注意事項

オンチップデバッグを使用してR8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIEN_i、AIADR_{ij}レジスタ(i=0、1、j=L、H)、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。

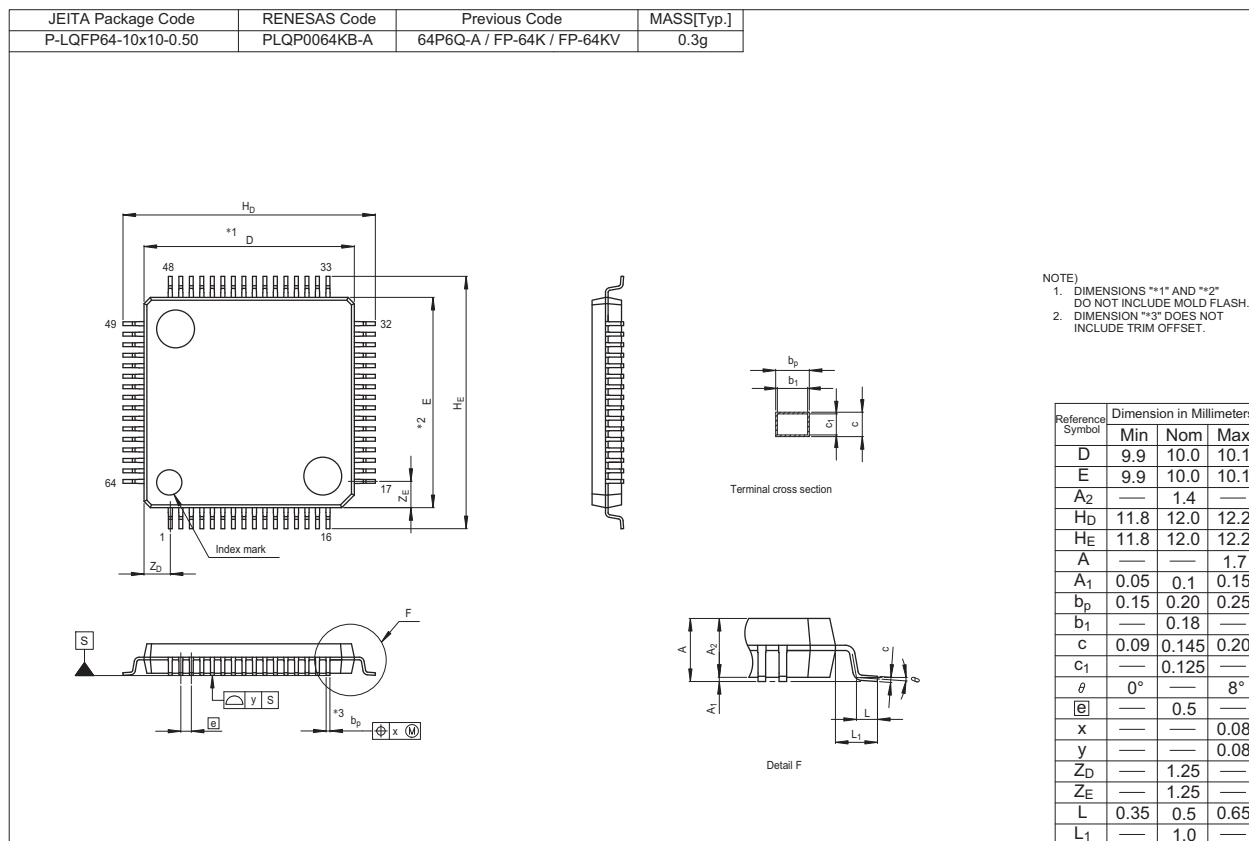
オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

35. エミュレータデバッグの注意事項

エミュレータデバッグの接続や使用方法には、固有の制限事項があります。エミュレータデバッグの詳細は各エミュレータデバッグのマニュアルを参照してください。

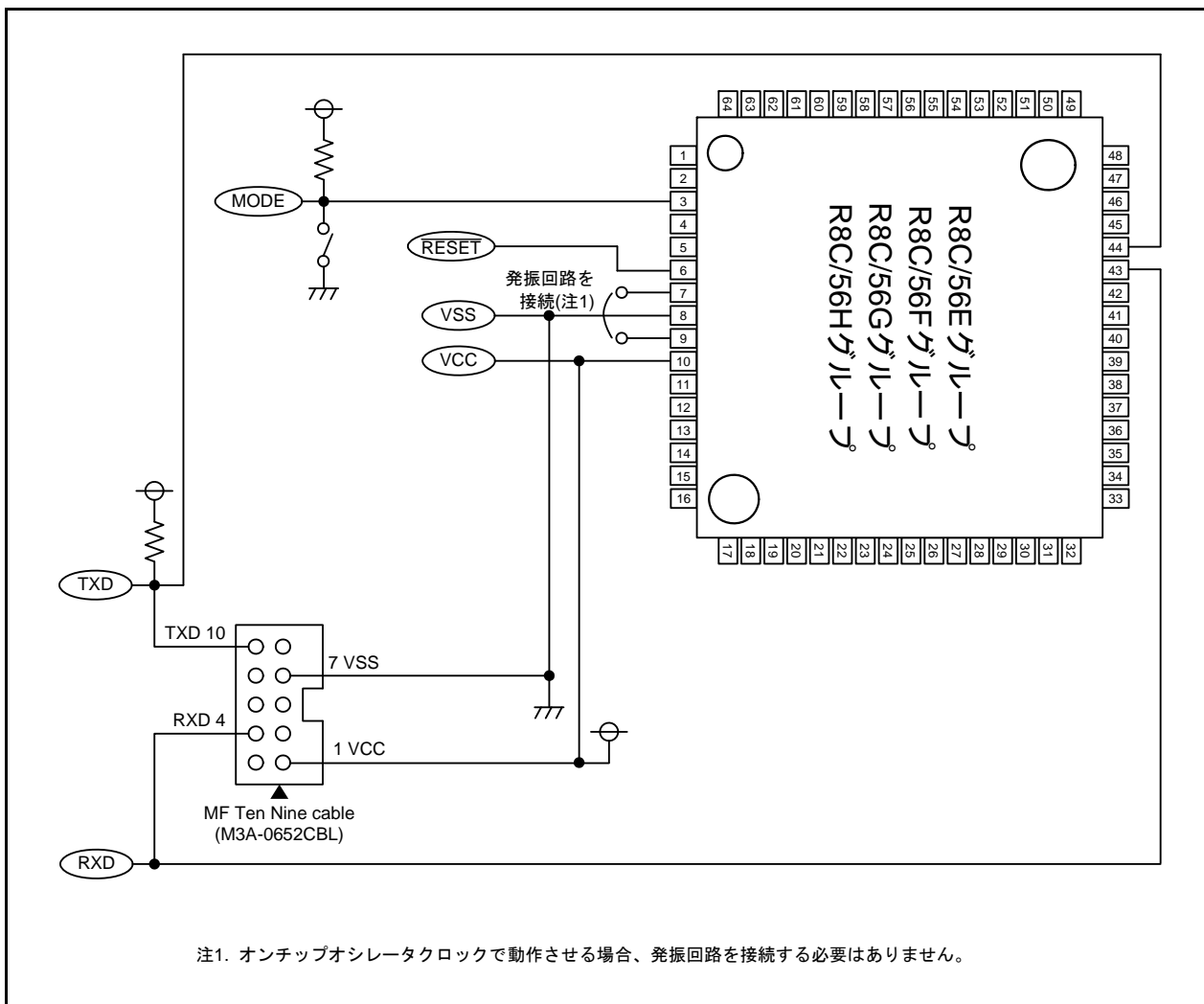
付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

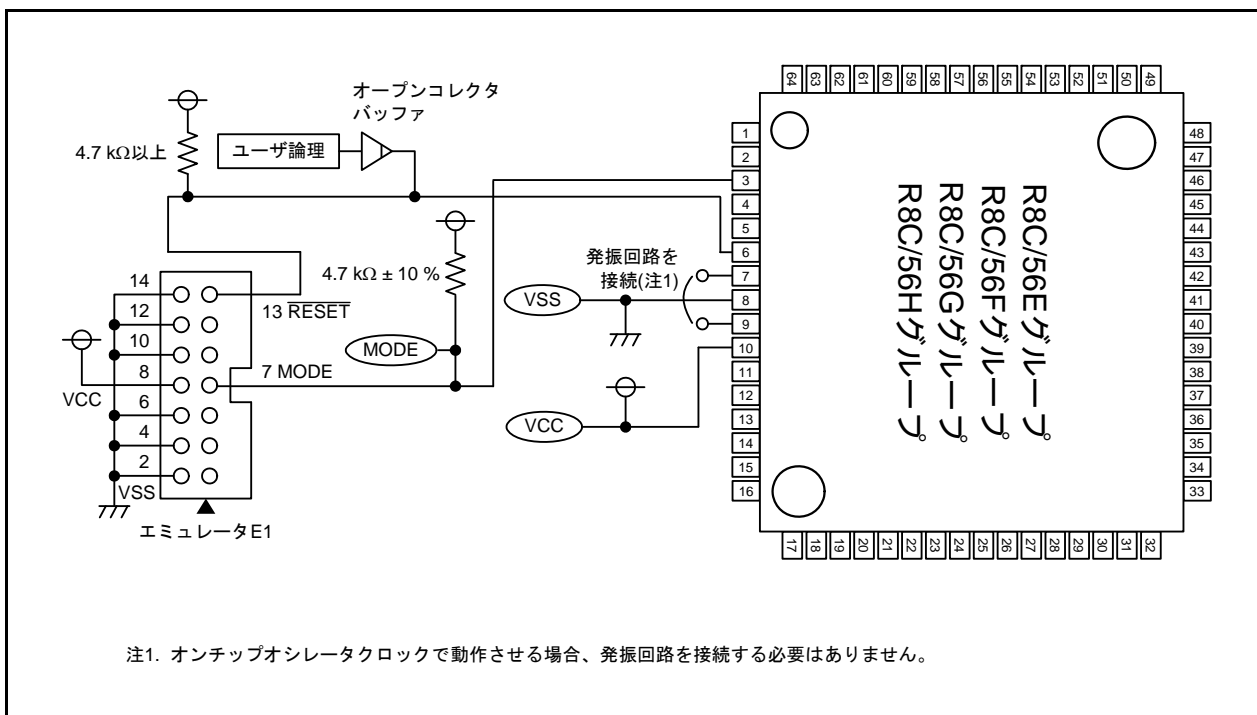


付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図2.1にMF Ten Nine ケーブル(M3A-0652CBL)との結線図を、付図2.2にエミュレータE1との接続例を示します。



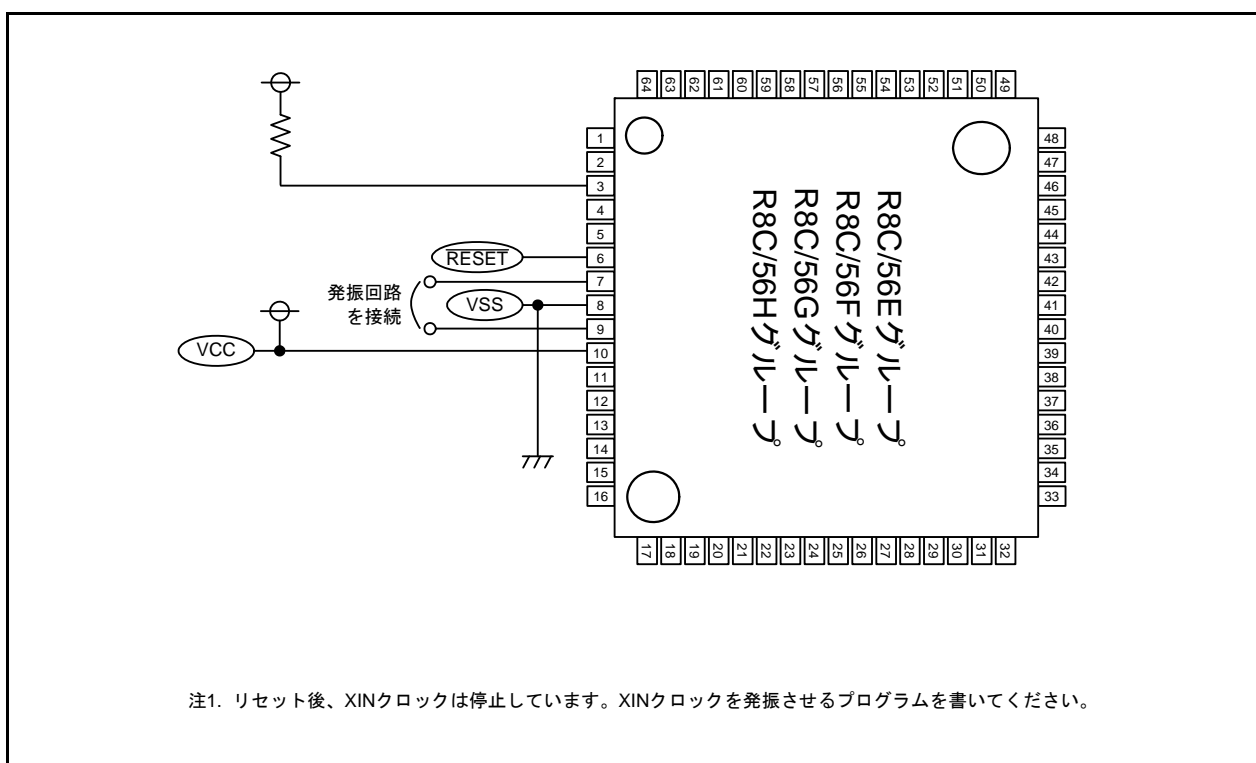
付図2.1 MF Ten Nine ケーブル(M3A-0652CBL)との結線図



付図2.2 エミュレータE1との接続例

付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

索引

【記号/数字】

4線式バス通信モード596

【A】

A/Dコンバータ 153, 711
 A/D断線検出アシスト機能 725
 A/D変換開始条件 722
 A/D変換開始トリガ 353
 A/D変換結果 724
 A/D変換サイクル数 720
 A/D変換時のセンサの出カインピーダンス 734
 A0、A1 29
 AC特性 810
 ADCON0 718
 ADCON1 719
 ADi (i = 0~7) 715
 ADIC 162
 ADINSEL 717
 ADMOD 716
 AIADRij (i = 0、1、j = L、H) 168
 AIENi (i = 0、1) 168

【B】

BGO (バックグラウンドオペレーション)機能 762
 Bフラグ 29

【C】

CAFSR 690
 CAN Halt モード 698
 CANERIC_0 162
 CANIE 693
 CANISR 693
 CANRXIC_0 162
 CANTXIC_0 162
 CANオペレーションモード(バスオフ状態) 700
 CANオペレーションモード(バスオフ状態以外) 699
 CANクロック 131
 CANクロックの設定 701
 CANスリープモード 699
 CAN通信速度の設定 701
 CANモジュール 648
 CANリセットモード 697
 CAN割り込み 710
 CBCR 673
 CCLKR 674
 CCSSR 686
 CCTLR 665
 CECSR 685
 CEIER 680
 CEIFR 682
 CFIDCRn (n = 0、1) 658
 CM0 115, 137
 CM1 116, 138
 CM3 118, 139
 CM4 119, 140
 CMBj (j = 0~15) 653
 CMCTLj (j = 0~15) 661
 CMIER 660
 CMKIVLR 659
 CMKRk (k = 0~3) 657

CMPA 87
 CMSMR 688
 CMSSR 687
 CPU 28
 CPU書き換えモード 758
 CPUクロック 130
 CPUクロックと周辺機能クロック 130
 CRC 783
 CRCD 786
 CRCIN 786
 CRCMR 785
 CRCSAR 784
 CRECR 684
 CRFCR 675
 CRFPCR 677
 CSPR 105
 CSTR 670
 CTCR 691
 CTECR 684
 CTFCR 678
 CTFPCR 679
 CTSR 689
 Cフラグ 29

【D】

DC特性 804
 DRR0 254
 DRR1 255
 DRR2 256
 DTBLsj (j = 0~23) 204
 DTC 197
 DTCCRj (j = 0~23) 204
 DTCCTj (j = 0~23) 204
 DTCENi (i = 0~6) 203
 DTCTL 202
 DTC起動要因受付と割り込み要因フラグ 219
 DTC実行サイクル数 218
 DTCとの連携動作 627
 DTDARj (j = 0~23) 205
 DTRLDj (j = 0~23) 205
 DTSARj (j = 0~23) 205
 Dフラグ 29

【E】

ELSELRn (n = 0~4、8~28、45~48) 192
 EW0モード 759
 EW1モード 759

【F】

f1、f2、f4、f8、f32 130
 FB 29
 fHOCO 130
 fHOCO-F 130
 FLG 29
 fLOCO 130
 fLOCOWDT 131
 FMR0 749
 FMR1 752
 FMR2 754
 FMRDYIC 162
 fOCO 130
 fOCO128 131

FRA0 120, 141
 FRA2 121
 FST 746

【 I 】

I/Oポート 221
 I/Oポート以外の端子 222
 I/Oポートの機能 222
 I²Cバスインタフェース 565
 I²Cバスインタフェースの動作説明 603
 I²Cバスインタフェースモード 607
 I²Cバスインタフェースモード時の制御部リセット手順 630
 IDコードチェック機能 757, 775
 IDコード領域 66
 IDコード領域使用上の注意(設定例) 68
 IICCR 569
 ILVL0~ILVL2ビット、IPL 173
 IMFA~IMFDビットおよびOVFビットが0になる
 タイミング 363
 INT0IC 162
 INT0入カトリガ選択 313
 INT1IC 162
 INT2IC 162
 INT3IC 162
 INT4IC 162
 INTB 29
 INTCMP 738
 INTEN 163
 INTEN1 164
 INTF 165
 INTF1 166
 INT_i入力フィルタ(i = 0~4) 181
 INT_i割り込み(i = 0~4) 180
 INTPOL 166
 INTSR0 169, 248
 INT割り込み 180
 IPL 30
 IRビット 173
 ISP 29
 Iフラグ 30, 173

【 K 】

KIEN 167
 KUPIC 162

【 L 】

LINCR2 635
 LINCT 635
 LINST 636

【 M 】

MSTCR0 142
 MSTCR1 142
 MSTCR2 143
 MSTCR3 143

【 O 】

OCD 117
 OCVREFCR 714
 OFS 65, 75, 93, 107, 756
 OFS2 64, 74, 106

Oフラグ 30

【 P 】

P1DRR 252
 P2DRR 252
 PC 29
 PCDRR 253
 PCLKR1 120
 PD_i (i = 0~6, 8, 9, C) 261
 PINSR 124, 249
 PLC0 122
 PLL動作モード 145
 PLLクロック 128
 PM0 61, 72
 PM1 62
 PMCSEL 791
 PMCSELレジスタで未選択となった端子について 788
 PORT_i (i = 0~6, 8, 9, C) 260
 PRCR 63
 PUR0 250
 PUR1 250
 PUR2 251
 PUR3 251
 PWM2モード 345
 PWM3モード 426
 PWMモード 341, 415, 493

【 R 】

R0, R1, R2, R3 29
 R8C/56Eグループのメモリマップ 31
 R8C/56Fグループのメモリマップ 32
 R8C/56Gグループのメモリマップ 33
 R8C/56Hグループのメモリマップ 34
 RESET端子のレベルがLの期間の端子の状態 82
 RISR 103
 ROMコードプロテクト機能 757, 778
 RSTFR 73

【 S 】

SB 29
 SFR 35
 SFRアクセス監視機能 787
 SICR1 572
 SICR2 574
 SIER 578
 SIMR1 576
 SIMR2 582
 SIRDR 571
 SISR 580
 SITDR 571
 SSBR 570
 SSUIC_0/IICIC_0 162
 SSUIC_1/IICIC_1 162
 SSUIC_0SR 247
 SVDC 141
 Sフラグ 29

【 T 】

TIMSR 242
 TOCNTビットの設定と端子状態 312
 TRB2IC_0 162

TRBCR	286	TRFIC	162
TRBIOC	288	TRFIER	455
TRBIR	293	TRFIN	454
TRBMR	289	TRFM0	458
TRBOCR	287	TRFM1	458
TRBPR	291	TRFOUT	454
TRBPPE	290	TRFSR	455
TRBPPE、TRBPR、TRBSCレジスタの構造と 更新タイミング	305	TRG	479
TRBSC	292	TRGCNTC	474
TRBSR	235	TRGCR	475
TRC_0SR0	237	TRGGRA、TRGGRB、TRGGRC、TRGGRD	480
TRC_0SR1	238	TRGIC	162
TRC_1SR	239	TRGIER	476
TRCADCR	332	TRGIOR	478
TRCCLKSR	236	TRGMR	473
TRCCNT	320	TRGSR	477
TRCCNTレジスタのカウントタイミング	359	TRJ	266
TRCCR1	324	TRJ_0SR	233
TRCCR2	329	TRJ_1SR	234
TRCDF	330	TRJCR	267
TRCELCCR	334	TRJIC_0	162
TRCGRA、TRCGRB、TRCGRC、TRCGRD	321	TRJIC_1	162
TRCIC_0	162	TRJIOC	269
TRCIC_1	162	TRJISR	272
TRCIER	325	TRJMR	271
TRCIOR0	327	TWRCビットによるプリスケアラとカウンタ動作	307
TRCIOR1	328		
TRCMR	322	【 U 】	
TRCOER	331	U0BRG	507
TRCOPR	333	U0C0	508
TRCSR	326	U0C1	509
TRD0IC_0	162	U0IR	511
TRD_0SR0	240	U0MR	506
TRD_0SR1	241	U0RB	510
TRD1IC_0	162	U0RIC_0	162
TRDADCR	372	U0RIC_1	162
TRDCRi (i = 0, 1)	380	U_0SR	243
TRDDFi (i = 0, 1)	379	U0TB	507
TRDELCCR	371	U0TIC_0	162
TRDFCR	375	U0TIC_1	162
TRDGRji (i = 0, 1, j = A, B, C, D)	391	U_1SR	244
TRDi (i = 0, 1)	390	U2BCNIC	162
TRDIERi (i = 0, 1)	389	U2BRG	531
TRDIORAi (i = 0, 1)	383	U2C0	533
TRDIORCi (i = 0, 1)	385	U2C1	534
TRDMR	374	U2MR	531
TRDOCR	377	U2RB	535
TRDOER1	376	U2RIC	162
TRDOER2	377	U2RXDF	536
TRDPMR	374	U2SMR	538
TRDPOCRi (i = 0, 1)	389	U2SMR3	537
TRDSRi (i = 0, 1)	387	U2SMR5	537
TRDSTR	373	U2SR0	245
TRE2IC	162	U2SR1	246
TRECR	442	U2TB	532
TRECSR	443	U2TIC	162
TREIER	445	UART0の割り込み	523
TREIFR	444	UART2割り込み要因	559
TREMIN	441	USP	29
TREPRC	445	Uフラグ	30
TRESEC	440		
TRF	453	【 V 】	
TRFCR0	456	VCA2	88, 123
TRFCR1	457	VCAC	88

VCC入力電圧のモニタ	94	【え】	
VCMP1IC	162	エミュレータデバグの注意事項	859
VCMP2IC	162		
VD1LS	89	【お】	
Vdet0のモニタ	94	オーバフローフラグ	30
Vdet1のモニタ	94	オプション機能選択領域	69
Vdet2のモニタ	94	オンチップオシレータクロック	127
VLT0	257	オンチップデバグの注意事項	858
VLT1	258		
VLT2	258	【か】	
VLT3	259	外形寸法図	860
VW0C	90	概要	1
VW1C	91	カウントソース保護モード無効時	109
VW2C	92	カウントソース保護モード有効時	110
		各モードの設定と解除方法	760
【W】		各モードの入出力設定	279
WDTC	104	可変ベクタテーブル	171
WDTR	103	関連レジスタの設定例	446
WDS	104		
		【き】	
【X】		キー入力割り込み	182
XINクロック	125	起動要因	206
		機能説明	459
【Z】		キャリフラグ	29
Zフラグ	29	強制イレーズ機能	67
		【く】	
【あ】		繰り返し掃引モード	732
アウトプットコンペア機能	410	繰り返しモード0	727
アウトプットコンペア出カタイミング	360	繰り返しモード1	728
アウトプットコンペアモード	463	クロック	152
アクセプタンスフィルタ機能とマスク機能	704	クロック同期形シリアルI/Oモード	512
アドレス一致割り込み	183	クロック同期形シリアルI/Oモード(SIOモード)	539
アドレス空間	31	クロック同期形シリアルインタフェース	562
アドレスレジスタ	29	クロック同期形シリアルインタフェースおよびシリアルインタ フェース	153
		クロック同期式シリアルモード	619
【い】		クロック同期式通信モード	588
位相計数モード	497	クロック発生回路	111
イベントカウンタモード	276	クロック非同同期形シリアルI/O (UART)モード	517, 544
イベントリンクコントローラ(ELC)	190		
イベントリンクコントローラ(ELC)との連携による 動作	279, 312	【こ】	
インプットキャプチャ機能	406	コールドスタート/ウォームスタート判定機能	81
インプットキャプチャ時のIMFA~IMFDビット タイミング	362	高速オンチップオシレータクロック	127
インプットキャプチャ入カタイミング	360	高速オンチップオシレータモード	145
インプットキャプチャ入カデジタルフィルタ	352	高速クロックモード	145
インプットキャプチャモード	459	固定ベクタテーブル	170
		コントロールデータの配置とDTCベクタテーブル	208
【う】		コンパレータB	736
ウェイトモード	146	コンパレータB1、コンパレータB3割り込み	741
ウェイトモード、ストップモード	152	コンパレータBiデジタルフィルタ(i=1, 3)	740
ウェイトモードからの復帰	147	コンペアー一致時のIMFA~IMFDビットタイミング	362
ウェイトモード時の端子の状態	146	コンペアー一致タイマモードの動作説明	446
ウェイトモードへの移行	146	コンペアー一致によるA/D変換開始トリガのタイミング	363
ウォッチドッグタイマ	100	コンペアー一致によるカウンタクリアのタイミング	361
ウォッチドッグタイマリセット	81		
		【さ】	
		サインフラグ	29

サスペンド動作761

【し】

ジェネラルレジスタと出力端子変更354
 システムクロック130
 システム制御61
 周辺機能クロック130
 周辺機能クロック停止機能146
 周辺機能クロックの停止152
 周辺機能入出力とPDiビット(i=0~6、8、9、C)231
 周辺機能の特性797
 周辺機能の割り当て789
 周辺機能への入出力231
 受信707
 受信、送信706
 出力波形操作356
 仕様概要2
 使用上の注意事項集819
 消費電流低減機能724
 消費電力の低減152
 使用方法787
 シリアルインタフェース(UART0)503
 シリアルインタフェース(UART2)525
 シリアルライタとオンチップデバッグエミュレータとの
 接続例861
 シンクロナスシリアルコミュニケーションユニット(SSU)563
 シンクロナスシリアルコミュニケーションユニット(SSU)の
 動作説明584

【す】

推奨動作条件794
 スタックポインタ指定フラグ30
 スタティックベースレジスタ29
 ストップモード150
 ストップモードからの復帰151
 ストップモード時の端子の状態150
 ストップモードへの移行150
 スレーブモード640

【せ】

製品一覧14
 絶対最大定格793
 ゼロフラグ29
 選択機能305, 352

【そ】

送信709
 相補PWMモード422
 ソフトウェアコマンド764
 ソフトウェアリセット81
 ソフトウェア割り込み159

【た】

タイマ152
 タイマRB2282
 タイマRC316

タイマRC割り込み、タイマRD割り込み、タイマRE2割り込
 み、タイマRF割り込み、タイマRG割り込み、シンクロナスシ
 リアルコミュニケーションユニット/I²Cバスインタフェース割
 り込み、CAN送信割り込み、CAN受信割り込み、CANエラー
 割り込み、フラッシュメモリ割り込み(複数の割り込み要求要
 因を持つ割り込み)184
 タイマRD368
 タイマRD割り込み429
 タイマRE2438
 タイマRF450
 タイマRF割り込み467
 タイマRG470
 タイマRG割り込み500
 タイマRJ264
 タイマモード274, 294, 337
 タイマモード(アウトプットコンペア機能)489
 タイマモード(インプットキャプチャ機能)486
 端子機能の説明26
 端子選択レジスタで制御されない入出力端子262
 単掃引モード730
 単発モード726

【ち】

チェイン転送216
 チップ内蔵基準電圧(OCVREF)724
 中央演算処理装置(CPU)28

【て】

データ保護機能763
 データレジスタ29
 低消費電流リードモード156
 低速オンチップオシレータクロック127
 低速オンチップオシレータモード145
 デバッグフラグ29
 電圧監視0リセット80, 95
 電圧監視1割り込み96
 電圧監視2割り込み98
 電圧検出回路84, 152
 電気的特性793

【と】

動作タイミング217, 359
 動作モード696
 特殊モード3(IEモード)552
 特殊割り込み159
 特長1

【な】

内部電源の消費電力低減(低消費電力モード)153

【に】

入出力端子265, 284, 634, 720

【の】

ノーマルモード214
 ノイズ除去回路626

【は】		メモリ配置	744
ハードウェアLIN	633	【も】	
ハードウェアLIN終了処理	645	モード選択	562
ハードウェアリセット	77	【ゆ】	
バスアクセス	59	ユーザスタックポインタ	29
バス衝突検出機能	644	【よ】	
発振停止検出機能	132	用途	1
発振停止検出機能の使用方法	132	予約ビット	30
発振評価回路例	863	【り】	
バッファ動作のタイミング	361	リセット	71
パラレル入出力モード	778	リセット後のCPUレジスタの状態	82
パルス周期測定モード	278	リセットシーケンス	76
パルス出力モード	275	リセット時の状態	82
パルス幅測定モード	277	リセット同期PWMモード	419
パワーオンリセット	79	リセット要因判別機能	81
パワーコントロール	136	リピートモード	215
【ひ】		リロードレジスタとカウンタの書き換え動作	273
ビットタイミングの設定	701	【れ】	
ビット同期回路	626	レジスタ設定例	622
ビットレート	702	レジスタ退避	176
標準シリアル入出力モード	775	レジスタバンク指定フラグ	29
標準シリアル入出力モード禁止機能	68	【わ】	
標準動作モード	144	割り込み	158
ピン配置図	19	割り込み応答時間	175
【ふ】		割り込み許可フラグ	30
フラグレジスタ	29	割り込みシーケンス	174
フラッシュメモリ	743	割り込みスタックポインタ	29
フラッシュメモリ書き換え禁止機能	757	割り込み制御	173
フラッシュメモリの停止	155	割り込みテーブルレジスタ	29
フルステータスチェック	773	割り込みと割り込みベクタ	170
フレームベースレジスタ	29	割り込みの分類	158
プログラマブルウェイトワンショット発生モード	302	割り込み優先順位	178
プログラマブル波形発生モード	296	割り込み優先レベル判定回路	179
プログラマブルワンショット発生モード	299	割り込み要因	216, 448
プログラムカウンタ	29	割り込み要求	313, 646
プロセッサ割り込み優先レベル	30	割り込み要求受付時のIPLの変化	175
ブロック図	18	割り込みルーチンからの復帰	178
プロテクト	69		
分解能(8ビット/10ビットモード)	724		
【へ】			
ペリフェラルマッピングコントローラ(PMC)	788		
【ほ】			
ポート	152		
【ま】			
マスタモード	637		
マルチプロセッサ通信モード	554		
【み】			
未使用端子の処理	263		
【め】			
メールボックスとマスクレジスタの構成	703		

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2011.02.22	—	初版発行
0.20	2011.06.17	全ページ	R8C/56F、R8C/56G、R8C/56Hグループ 追加 レジスタシンボル名変更 「Pi」 → 「PORTi」 用語変更 「SRAM」 → 「RAM」、「フラッシュメモリレディ」 → 「フラッシュメモリ」 レジスタ名変更 「タイマRB2_0割り込み要求とステータスレジスタ」 → 「タイマRB2_0割り込み要求レジスタ」
		18	図1.5 注1 追加
		19	図1.6 注1～3 追加
		21	表1.18 注1 追加
		27	表1.24 注1 追加
		48	表3.14 変更
		61	5.2.2 注1 追加
		63、73、103	5.2.4、6.2.3、8.2.6 変更
		94	表7.3 変更
		96	表7.4 変更
		98～107	8. ウォッチドッグタイマ 用語変更 「低速オンチップオシレータクロック」 → 「ウォッチドッグタイマ用低速オンチップオシレータクロック」
		99	図8.1 変更
		101	8.2.1 注1 変更
		108	表9.1 注2 変更
		109	図9.1 変更
		111	表9.3 削除
		112、134	9.2.1、10.2.1 変更
		114	9.2.3 注5 追加
		116、137	9.2.4、10.2.3 CM30ビット(ウェイト制御ビット) 説明変更、 9.2.5、10.2.4 変更
		117、138	9.2.7、10.2.5 変更
		118	9.2.8 説明文 変更
		119	9.2.9 変更
		121、247	9.2.11、14.5.17 変更
		123	図9.3 変更
		125	図9.4 変更
		126	図9.5 用語説明、注記 変更、表9.6 変更
		128	9.6.10 タイトル変更
		130	表9.8 変更
		133	図10.1 変更
		141	10.3 説明文変更、表10.2 変更、注1 削除
		142	10.3.1、10.3.2、10.3.3 説明文変更、10.3.4 追加

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2011.06.17	143	10.4、10.4.2 説明文変更
		144～146	10.4.4 説明文変更、表10.3 変更
		148	10.5.3 説明文変更
		149	10.6.3 「PLLの停止：PLC0レジスタのPLC07ビット」 追加、 10.6.6 説明文変更
		150	10.6.8、10.6.9 説明文変更
		159	11.2.1 変更
		169	表11.5 「SSUIC_1」→「シンクロナスシリアルコミュニケーションユニット/I ² C バスインタフェース」
		171	11.4.4 注1 変更
		176	図11.8 変更
		179	図11.11 変更
		181、182	11.8 「シンクロナスシリアルコミュニケーションユニット」→「シンクロナスシ リアルコミュニケーションユニット/I ² C バスインタフェース」
		191	12.3 説明文変更
		192	表12.4 追加
		200	13.2.3 変更
		209	図13.7 図タイトル変更
		212、213	13.3.6、13.3.8 説明文変更
		216	13.4.5 追加
		217	14.1 説明文変更、表14.1 注7、8 追加
		223	図14.5 変更
		227	14.4.2 説明文変更
		228	表14.4 注1、2 追加
		229	表14.5 注1 追加
		233	14.5.3 変更
		247	14.5.17 変更
		248	14.5.18 変更
		249	14.5.20 変更
		250	14.5.21、14.5.22 変更
		254	14.5.27 変更、 DRR13ビット(P5_4、P5_6、P5_7の駆動能力) 「4端子」→「3端子」
		255、257、 258	14.5.28、14.5.30、14.5.32 変更
		261	14.5.35 (3) CANの入出力端子 追加
		265	15.3.1 タイトル変更
		268	15.3.3 変更、表15.4 変更
		271	15.3.5 説明文追加
272	図15.2 変更		
274	15.4.3 説明文変更、図15.4 変更		
277	図15.7 変更		

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2011.06.17	278	15.4.7 説明文変更
		279、280	15.5 (2)、(3)、(5)、(9)、(10) 変更、(15) 追加
		282	図16.1 変更
		283	16.2 説明文変更
		285	16.3.1 注2 変更、TSTARTビット(タイマRB2カウント開始ビット) 説明追加
		286	16.3.2 変更
		293	16.4.1 注1 変更、図16.2 変更
		294	図16.3 追加
		295	16.4.2 説明文変更
		296、297	図16.4、図16.5 変更
		298	16.4.3 説明文変更
		299、300	図16.6、図16.7 変更
		301	16.4.4 説明文 変更
		302、303	図16.8、図16.9 変更
		311	表16.8 「不定値」 → 「ハイインピーダンス」
		315、317	表17.1、表17.3 変更
		319	17.2.1 説明文変更
		321	17.2.3 注3 追加
		322	17.2.4 ビット説明変更
		324	表17.5 変更
		325、326	17.2.7、17.2.8 注2 追加
		328、330	17.2.10、17.2.12 説明文変更
		331	17.2.13 説明文追加
		332	17.2.14 変更
		338	17.3.2 説明文変更
		340	図17.10 変更
		342	表17.12 注1 削除
		362	17.6.8、17.6.9 説明文変更、17.6.10 追加
		377、378	18.2.11.3、18.2.11.5 「TRDi」 → 「TRD0」
		428、432	18.4.5、18.4.6 •カウントスタートに関する注意事項 追加
		432	18.4.8 追加
		438、439	19.2.4、19.2.5 変更
440	19.2.7 「TRESEC」 → 「TREMIn」		
444	19.5 ビット名変更 「RTCF/OVIFビット」 → 「OVIFビット」、「ALIF/CMIFビット」 → 「CMIFビット」		
497	21.4.5 追加		
503	22.2.4 DFEビット(RXDデジタルフィルタ許可ビット) 説明追加		
504	22.2.5 注1、2 変更		
505	22.2.6 注1 変更		
506	22.2.7 変更		

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2011.06.17	507	表22.4 注2 変更
		509	図22.3 変更
		512	表22.6 注1 変更、注2 追加
		514、515	図22.6、図22.7 変更
		518	表22.9 変更
		526	23.2.2 説明文変更
		529	23.2.5 変更
		530	23.2.6 説明文変更
		531	23.2.7 注1 削除、DF2ENビット(RXD2デジタルフィルタ許可ビット) 説明追加
		532	23.2.8 変更
		553	表23.11 注1 変更
		587、615	図24.10、図24.29 変更
		644	表26.2 変更
		645	図26.1 「CCKLS」→「CCLKS」
		665	26.2.8 ビット名変更 「送信ステータスフラグ(transmitter)」→「送信ステータスフラグ」、 「受信ステータスフラグ(receiver)」→「受信ステータスフラグ」
		669	26.2.10 変更
		670	26.2.11 注1 変更
		673	26.2.13 変更
		680	26.2.19 注2 変更
		681、685	26.2.20、図26.5 「8/3 エンコーダ」→「8 to 3プライオリティエンコーダ」
688	26.2.26 注1 変更		
692	26.3.1 •CCLKRレジスタ 追加		
693、694	26.3.2、26.3.3 説明文変更		
696	26.4.1 説明文変更、図26.14 変更		
697	表26.12 変更		
699	26.6 説明文変更		
773～776、 840～842	29.8、32.18 フラッシュメモリ使用上の注意 追加		
789、790	表31.9、表31.10 変更		
791	表31.13 注1 削除		
799	表31.22 変更		
1.00	2011.12.28	全ページ	「暫定版」、「開発中」 削除、 レジスタ名変更 「タイマRD_0 ELCレジスタ」→「タイマRD_0 ELC連動制御レジスタ」、 「TRDELCCレジスタ」→「TRDELCCRレジスタ」、 レジスタシンボル名変更 「TRDELCC_0」→「TRDELCCR_0」 2、5、 8、11 表1.1、表1.4、表1.7、表1.10 「最小命令実行時間」 変更

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.12.28	3、6、9、12	表1.2、表1.5、表1.8、表1.11 「リード電圧」 変更
		4、7、10、13	表1.3、表1.6、表1.9、表1.12 「消費電流」、「動作周波数/電源電圧」 変更
		19	図1.6 「P9_5/SDA_1/SCS_0」 → 「P9_5/SDA_1/SCS_1」
		26	表1.23 「電源入力」 変更
		35	表3.1 「電圧監視0回路制御レジスタのリセット後の値」 変更
		39、284	表3.5、表16.3 シンボル「TRBPRSC_0」 追加
		45	表3.11 「タイマRJ_0端子選択レジスタのリセット後の値」 変更
		58	表3.24 変更、注2 追加
		62	5.2.2 注1 変更
		63	5.2.3 PRC0ビット説明文 変更
		69	表5.4 「PLCF」 削除
		83	7.1 説明文 変更
		84	図7.1 変更
		86	表7.2 変更
		88	7.2.4 変更
		89	7.2.5 リセット後の値 変更
		91	7.2.7 b3のビット名 「(注4)」 → 「(注5)」
		100	図8.1 変更
		103	8.2.4 変更
		111	図9.1 変更
		114、136	9.2.1、10.2.1 注5 変更
		115、137	9.2.2、10.2.2 注1 変更
		118、139	9.2.5、10.2.4 注1 追加
		119	9.2.6 注1 追加
		119、140	9.2.7、10.2.5 注1 変更
		121	9.2.9 注2 変更
		127	図9.4 変更
		130	9.6.8～9.6.10 変更
		134、815	9.8.2、33.2.2 変更
		135	図10.1 変更
		169	表11.3 変更
		185	11.8 説明文 変更
		187、818	図11.13、図33.1 変更
		189	12.1 説明文 変更
		196	表13.1 「転送単位」 変更
		217	13.3.9 説明文、表13.13 変更
		218	13.3.10.1、13.3.10.2 変更
		219、820	13.4.2、33.5.2 変更

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.12.28	220	14. 「注意」 追加、表14.1 注8 変更
		230	14.4.2 削除 → 31章へ移動
		231、232	14.4.3、表14.4、表14.5 削除 → 31章へ移動
		233	表14.6 「端子配置選択レジスタ」 削除 → 31章へ移動
		266	15.3.2 注3 変更
		268	15.3.3 注2、注3 追加、表15.4 変更
		269	表15.5、表15.6 変更
		270	15.3.4 注1、注2、注4 変更
		275	図15.6 追加
		278	表15.7、表15.8 注1 追加
		279、821	15.5、33.6 (1) 変更
		282	図16.1 変更
		284	表16.3 注1 変更
		285	16.3.1 b1、b0、TSTARTビット説明文 変更
		289	16.3.5 説明文 変更
		292	表16.5 変更
		293、299、300	図16.2、図16.6、図16.7 変更 「TRBPR、TRBSC、TRBPRESレジスタ」 → 「TRBPR、TRBPRESレジスタ」
		294	図16.3 変更 「TRBPR、TRBSC、TRBPRESレジスタ」 → 「TRBSC、TRBPRESレジスタ」、 「TRBPRESレジスタ = 02h、TRBPRレジスタ = 01h」 → 「TRBPRSCレジスタ = 0102h」
		295	16.4.2 説明文、注1 変更
		297、300、303	図16.5、図16.7、図16.9 変更 「TRBPRESレジスタ = 01h、TRBPRレジスタ = 01h」 → 「TRBPRSCレジスタ = 0101h」
		298	16.4.3 変更
		301	16.4.4 変更
		302、303	図16.8、図16.9 追加 「TRBSCレジスタ = 03h」
		305	表16.6、表16.7 変更
		306	16.5.2 変更
		309、310	図16.13、図16.14 変更 「TRBPRESレジスタに01h、TRBPRレジスタに25h」 → 「TRBPRSCレジスタに2501h」
		311	16.5.3 説明文、表16.8、16.5.4 変更
		312	16.6 変更
		313、823	16.8、33.7 (2)、(3) 変更
		315	表17.1 その他 変更
		317	図17.1 変更
		323	17.2.5 変更
		325、326	17.2.7、17.2.8 説明文 変更
329	17.2.11 変更		
331	17.2.13 変更		
333	17.3 説明文 変更		

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.12.28	334、335	17.3.1 説明文変更
		337	図17.8 変更
		338	17.3.2 説明文 変更
		342、344	17.3.3 説明文 変更
		343	図17.13 変更
		350	図17.20 変更
		353	17.4.4 説明文 変更
		362、826	17.6.8、33.8.8 変更
		364	図18.1 変更
		366	18.2.1 変更
		368	18.2.3 注1、注3 変更
		374	18.2.10.1 注1 変更
		385	18.2.17.2 設定範囲 「0001h~FFFFh」 → 「0000h~FFFFh」
		398	図18.6 変更
		399	「18.3.1.5 ELCイベント入力」 追加
		400	「18.3.1.7 外部端子の設定」 追加
		427、828	18.4.3、33.9.3 変更
		432、833	旧18.4.7、旧33.9.7 削除
		433	19.1、図19.1 変更
		437	19.2.3 注1、注3、注4 追加
		438	19.2.4 注1、注2 追加
		440	19.2.7 注1 追加
		451	20.2.6 注5 変更
		457	「20.3.2.3 外部端子の設定」 追加
		458	表20.7 選択機能 変更
		461	図20.8 変更
		474	21.2.7 説明文 変更
		480	「21.3.1.4 外部端子の設定」 変更
		482	図21.6 変更
		483	21.3.2.3 説明文 変更
		486	21.3.3.3 説明文、図21.11 変更
		488、489	21.3.4、21.3.4.2 説明文 変更
		497	21.4.4.1、21.4.4.2 変更
		498	表22.1 変更、注1 追加
		501	22.2.1 注1 追加
		502	22.2.3 説明文 変更
503	22.2.4 DFEビット説明文 変更		
505	22.2.6 注2 追加		
507	表22.4 注2 変更		
509	図22.3 変更		

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.12.28	512	表22.6 注1 変更
		513	表22.7 変更
		514、515	図22.6、図22.7 変更
		517	22.3.2.3 説明文、図22.8 変更
		519、839	22.5.1.1、33.13.1.1 変更、22.5.1.2、33.13.1.2 追加
		521	表23.1 注2 変更
		522	表23.2 注1 変更
		530	23.2.6 注5 追加
		531	23.2.7 DF2ENビット説明文 変更
		546	23.3.2.7 説明文 変更
		569	24.2.6.1 変更
		689、690	図26.9～図26.11 注1 変更
		692	26.3.1 変更
		696	26.4.1 説明文 変更
		706	表27.1、注2 変更
		710	27.2.2 b15機能 変更
		713	27.2.5 ADSTビット説明文 変更
		714	27.2.6 注3 変更
		715	図27.3、図27.4 変更
		716	表27.5 変更
		718	27.3.3.4 変更、旧27.3.3.5 削除
		720	図27.6 変更
		729	27.9、図27.11 変更
		730、845	27.10.1、33.17.1 変更
		731	図28.1 変更
		736、737	28.4 説明文 変更、図28.5、図28.6 追加
		738	表29.1 変更、注4 追加
		740	図29.1 注1 追加
		744	29.3.2 b0 変更、注5 追加
		745	29.3.2 CMDRSTビット説明文 変更
		750	29.3.4 FMR27ビット説明文 変更
		753	表29.4 変更
		759	29.5.7 説明文 変更
777、849	29.8.1.9、33.18.1.9 変更		
780	30.2.2 変更		
783～786	「31. パリフェラルマッピングコントローラ(PMC)」追加 旧14.4.2 → 31.1へ移動、31.1.1 追加 旧14.4.3、表14.4、表14.5 → 31.2、表31.1、表31.2へ移動 旧14.5.18 → 31.3.1へ移動		
787、850	31.4、33.19 「パリフェラルマッピングコントローラ(PMC)使用上の注意事項」追加		

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.12.28	788、789、 791、792 793 794 795、796 797 799 800 801 802 803 804 805、806、 810 812 813 854	表32.1、表32.2、表32.4、表32.5 変更 表32.7 変更、注6 削除 表32.8 注6 削除 表32.9、表32.10 変更 表32.13 変更 表32.16 変更 表32.17 変更、注4 追加 表32.18 追加 表32.19 変更 表32.20 変更、注4 追加 表32.21 追加 表32.22～表32.24 変更 表32.27 変更、注1 追加 表32.29 変更 付図2.1 変更、タイトル 変更
2.00	2012.08.31	2、5、8、 11 62 63 69 83、819 111 112 117 122 135、820 156 189、824 195 210 220、825 235 264 265 266 267 269 270	表1.1、表1.4、表1.7、表1.10 変更 5.2.2 注1 変更 5.2.3 PRC1ビット説明文 変更 表5.4 「PRC1」 変更 「6.5 リセット使用上の注意事項」、 「33.2 リセット使用上の注意事項」 追加 表9.1 「リセット後の状態」 変更 図9.1 変更 9.2.3 注3、注4 変更 9.2.9 注1 変更 9.8.1、33.3.1 説明文 変更 10.6.11 説明文、図10.7 注2 変更 11.9.5、33.5.5 例1～例3 「AND.B」 → 「MOV.B」 12.3 説明文 変更 表13.8 変更 13.4.1、33.6.1 変更 14.5.3 注1 追加 15. 説明文、表15.1 変更 図15.1、表15.2 変更、注1 追加 15.3.1 説明文 変更 15.3.2 注3 変更 15.3.3 注1 変更 15.3.3 TOPCRビット説明文 変更

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.08.31	271	15.3.4 注1 削除、注3、説明文 変更
		273	15.4.1 説明文、図15.2 変更
		275	15.4.3 説明文、図15.4 変更
		276	15.4.4 説明文、図15.6 変更
		278	15.4.6 説明文 変更
		280、281、 826、827	15.5、33.7 (2)~(14) 変更
		283	図16.1 注3 変更
		285	表16.3 注1 変更
		286	16.3.1 注1 変更、TSTARTビット説明文 変更、注1 追記
		287	16.3.2 説明文 追記、TOSSTFビット説明文 変更
		288	表16.4 「タイマーモード」 変更
		290	16.3.5 説明文 変更
		291	16.3.6 「機能」 変更、注1 追記、説明文 変更
		292	16.3.7 「機能」 変更
		294	16.4.1 注1 変更、図16.2 変更
		295	図16.3 変更
		296	16.4.2 説明文、注1 変更
		297、298	図16.4、図16.5 変更
		299	16.4.3 説明文、注1 変更
		300、301	図16.6、図16.7 変更
		302	16.4.4 説明文 変更
		303、304	図16.8、図16.9 変更
		307	16.5.2 説明文 変更
		308~311	図16.11~図16.14 変更
		312	表16.8、16.5.3 説明文 変更
		313	16.6 説明文 変更
		314、315、 828、829	16.8、33.8 (2)、(3)、(6)~(8)、(12)~(16) 変更
		316	表17.1 「動作クロック」 追加
		318	図17.1 変更
		320	17.2.1 「機能」、説明文 変更
		321、322	17.2.2 変更、表17.5~表17.8 追加
		322	17.2.3 注1 変更、注2 削除、CTSビット説明文 変更
		323	17.2.3 説明文 追記
324	17.2.4 b0~b3、b7、注1、注2 変更、注4、注5 追加、 TOA、TOB、TOC、TODビット説明文 変更		
326	17.2.6 注1 追加、表17.9 注1 変更、注2 削除		
327、328	17.2.7、17.2.8 b0、b1、b4、b5、注1 変更		
329	17.2.9 b0~b2、b5 変更、注1~注3 追加、CSTPビット説明文 変更		

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.08.31	330	17.2.10 b0～b4、b6、b7 変更、注1、注2 追加、ビット説明文 削除
		331	17.2.11 b0～b3 変更、注1 追加
		333	17.2.13 b4、b5、注1 変更、注2～注5 削除、 RESTATS、OPEビット説明文 追加
		334	17.2.14 ELCP2TEビット説明文 変更
		335	表17.10 変更
		337	「17.3.1.1 フリーランニング動作」 タイトル 追加、説明文 変更、 「17.3.1.2 周期カウント動作」 タイトル 追加、説明文 変更
		338	「17.3.1.3 アウトプットコンペア機能」 タイトル 追加
		339	「17.3.1.4 インプットキャプチャ機能」 タイトル 追加
		340	17.3.1.4 説明文 変更
		341	17.3.2 説明文 変更
		343	図17.10、タイトル 変更
		345	17.3.3 説明文、表17.16 変更
		347、348	17.3.3 説明文、図17.14、図17.15 変更
		349～351	17.3.3 説明文、図17.16～図17.18 変更
		352	17.4.1 説明文、図17.19 変更
		353	図17.20 変更
		354	17.4.3 説明文 変更
		356	17.4.4 説明文 変更
		359	図17.27 変更
		361	図17.31 変更
		363	17.5.8 タイトル、説明文、図17.34、タイトル 変更
		364	「17.6 タイマRC割り込み」 追加
		365～367、 830～832	17.7.4～17.7.6、33.9.4～33.9.6 説明文 変更
		369	図18.1 注1、注2 変更
		383	18.2.12.1 注3 削除
		384	18.2.12.2 注2 削除
		404	18.3.1.5 説明文 変更
		440	19.2.1 タイトル 変更
		441	19.2.2 タイトル 変更、注1 追加
		442	19.2.3 タイトル、CCLRビット説明文 変更
443～445	19.2.4～19.2.7 タイトル 変更		
447	図19.3 タイトル 変更		
448	19.4 説明文 変更		
449、840	19.5、33.11 説明文 変更		
503	22.1 説明文 変更		
506	22.2.1 注3 追加		
507	22.2.3 b0～b8 変更		

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.08.31	510	22.2.6 注1 変更、注3 追加
		523	22.4 説明文 変更
		531	23.2.1 注1 変更、注8 追加
		534	23.2.5 注3 変更
		535	23.2.6 b0、b7、注4、注5 変更
		549	図23.10 変更
		555	表23.10 注1 変更
		563	表24.2 注1 追加
		575	24.2.6.2 注6 変更
		579	24.2.8.2 b5 変更
		581	24.2.9.2 注7 追加
		618	図24.26 変更
		626	図24.36 「SCL」 → 「VIH」
		632	24.5.3.3 説明文 変更
		724	27.3.4 説明文 変更
		747	29.3.1 RDYSTIビット説明文 変更
		748	29.3.1 FST5、FST7ビット説明文 変更
		749	29.3.2 注6、FMR00ビット説明文 追加
		751	29.3.2 CMDERIEビット説明文 変更
		754	29.3.4 注3 変更
		760	図29.4 注2 変更
		761	表29.5 注3 変更
		764	表29.6、29.5.7.1 説明文 変更
		771	「29.5.7.7 ブロックブランクチェック」 削除
		772	表29.7 変更
		781、855	29.8.1.3、33.19.1.3 説明文 変更、「29.8.1.8 ブロックブランクチェック」、 「33.19.1.8 ブロックブランクチェック」 削除、 29.8.1.8、33.19.1.8 説明文 変更
		790	31.3.1 説明文 変更
		803、806	表32.16、表32.19 「VRAM」 変更
		804、805	表32.17、表32.18 変更
		807、808	表32.20、表32.21 変更
809、810、814	表32.22、表32.23、表32.24 注1 変更		
2.10	2014.09.26	78	図6.3、図6.4 「1.8 V」 → 「2.7 V」
		88	7.2.2 注1、注2 削除
		91	7.2.6 注6 削除
		92	7.2.7 注6 削除
		96	表7.3 変更
		97	図7.6 「1.8 V」 → 「2.7 V」
		98	表7.4 変更

改訂記録

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、R8C/56Hグループ
ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2014.09.26	99	図7.7 「1.8 V」 → 「2.7 V」
		134	図9.7 変更
		138	10.2.2 注1 変更
		150	10.5.2 説明文 変更
		171	表11.4 「00007Bh」 → 「0000Bh」
		186、188、 824	11.8 説明文、図11.13、図33.1 「バスクロック」 → 「CPUクロック」
		223～ 226、229	図14.1～図14.4、図14.7 「端子選択レジスタ」 → 「端子機能選択」
		235	14.5.3 変更
		280、827	15.5、33.7 説明文 変更
		281、828	(9) 「パルス周期」 → 「パルス幅」
		321	17.2.2 変更
		367、833	旧17.7.7、旧33.9.7 削除
		481	21.2.8 説明文 変更
		556	23.3.4.1、図23.15 「MPBT」 → 「MPTB」
		684	26.2.16 BLIFビット説明文 変更
		696	図26.12 変更
		698	表26.11 変更
		712	図27.1 「100b、101b、110b、111b」 → 「000b、001b、010b、011b」
		719	27.2.6 注8 追加
		730	表27.9 変更
739、740	図28.2、図28.4 「プログラムによって0にする」 → 「割り込み要求の受付、またはプログラムによって0にする」		
746～ 748、774	29.3.1、図29.16 「ブランクチェックエラー」 削除		
767	29.5.7.4 説明文 変更		
768、769	図29.10、図29.11、図29.12 タイトル 変更		
770	29.5.7.4 説明文 図29.13 追加		
792、857	31.4.1、33.20.1 説明文 変更		

R8C/56Eグループ、R8C/56Fグループ、R8C/56Gグループ、
R8C/56Hグループ ユーザーズマニュアル ハードウェア編

発行年月日 2011年2月22日 Rev.0.10
2014年9月26日 Rev.2.10

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>

R8C/56E グループ、 R8C/56F グループ、
R8C/56G グループ、 R8C/56H グループ