

R8C/35D グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ
R8Cファミリ / R8C/3xシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/35Dグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/35Dグループデータシート	RJJ03B0282
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/35Dグループユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	R8C/Tinyシリーズソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

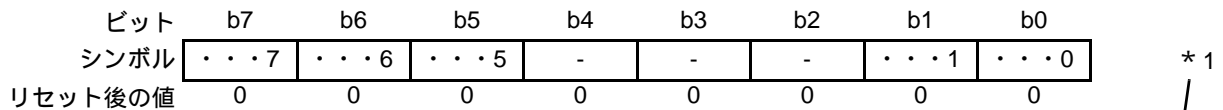
- | |
|---|
| <p>(1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03ビット
P3_5 端子、VCC 端子</p> <p>(2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数：11b
16進数：EFA0h
10進数：1234</p> |
|---|

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

X.X.X レジスタ(シンボル)

アドレス . . . h番地



ビット	シンボル	ビット名	機能	R/W
b0	. . . 0	. . . ビット	b1 b0 00 : . . . 01 : . . . 10 : 設定しないでください 11 : . . .	R/W R/W
b1	. . . 1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b3	-	予約ビット	“0”にしてください。	W
b4	-			
b5	. . . 5	. . . ビット	動作モードによって機能が異なる	R/W
b6	. . . 6			R/W
b7	. . . 7	. . . ビット	0 : . . . 1 : . . .	R

* 1

R/W : 読むとビットの状態が読めます。書くと有効データになります。

R : 読むとビットの状態が読めます。書いた値は無効になります。

W : 書くと有効データになります。ビットの状態は読めません。

- : 何も配置されていないビットです。

* 2

• 予約ビット

予約ビットです。指定された値にしてください。

* 3

• 何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

• 設定しないでください

設定した場合の動作は保証されません。

• 動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

番地別ページ早見表	B - 1
1. 概要.....	1
1.1 特長.....	1
1.1.1 用途.....	1
1.1.2 仕様概要	2
1.2 製品一覧.....	4
1.3 ブロック図.....	5
1.4 ピン配置図.....	6
1.5 端子機能の説明.....	9
2. 中央演算処理装置 (CPU)	10
2.1 データレジスタ (R0、R1、R2、R3).....	11
2.2 アドレスレジスタ (A0、A1).....	11
2.3 フレームベースレジスタ (FB)	11
2.4 割り込みテーブルレジスタ (INTB).....	11
2.5 プログラムカウンタ (PC)	11
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	11
2.7 スタティックベースレジスタ (SB)	11
2.8 フラグレジスタ (FLG).....	11
2.8.1 キャリフラグ (C フラグ)	11
2.8.2 デバッグフラグ (D フラグ)	11
2.8.3 ゼロフラグ (Z フラグ)	11
2.8.4 サインフラグ (S フラグ).....	11
2.8.5 レジスタバンク指定フラグ (B フラグ)	11
2.8.6 オーバフローフラグ (O フラグ).....	12
2.8.7 割り込み許可フラグ (I フラグ)	12
2.8.8 スタックポインタ指定フラグ (U フラグ).....	12
2.8.9 プロセッサ割り込み優先レベル (IPL).....	12
2.8.10 予約ビット	12
3. メモリ	13
3.1 R8C/35D グループ.....	13
4. SFR.....	14
5. リセット	23
5.1 レジスタの説明.....	25
5.1.1 プロセッサモードレジスタ 0 (PM0).....	25
5.1.2 リセット要因判別レジスタ (RSTFR).....	25
5.1.3 オプション機能選択レジスタ (OFS)	26
5.1.4 オプション機能選択レジスタ 2 (OFS2)	27
5.2 ハードウェアリセット.....	28
5.2.1 電源が安定している場合	28
5.2.2 電源投入時	28
5.3 パワーオンリセット機能.....	30
5.4 電圧監視 0 リセット	31
5.5 ウォッチドッグタイマリセット.....	32
5.6 ソフトウェアリセット.....	32

5.7	コールドスタート/ウォームスタート判定機能.....	33
5.8	リセット要因判別機能.....	33
6.	電圧検出回路.....	34
6.1	概要.....	34
6.2	レジスタの説明.....	38
6.2.1	電圧監視回路制御レジスタ (CMPA).....	38
6.2.2	電圧監視回路エッジ選択レジスタ (VCAC).....	39
6.2.3	電圧検出レジスタ 1 (VCA1).....	39
6.2.4	電圧検出レジスタ 2 (VCA2).....	40
6.2.5	電圧検出 1 レベル選択レジスタ (VD1LS).....	41
6.2.6	電圧監視 0 回路制御レジスタ (VW0C).....	42
6.2.7	電圧監視 1 回路制御レジスタ (VW1C).....	43
6.2.8	電圧監視 2 回路制御レジスタ (VW2C).....	44
6.2.9	オプション機能選択レジスタ (OFS).....	45
6.3	VCC 入力電圧のモニタ.....	46
6.3.1	Vdet0 のモニタ.....	46
6.3.2	Vdet1 のモニタ.....	46
6.3.3	Vdet2 のモニタ.....	46
6.4	電圧監視 0 リセット.....	47
6.5	電圧監視 1 割り込み.....	48
6.6	電圧監視 2 割り込み.....	50
7.	I/O ポート.....	52
7.1	I/O ポートの機能.....	52
7.2	周辺機能への影響.....	53
7.3	I/O ポート以外の端子.....	53
7.4	レジスタの説明.....	70
7.4.1	ポート Pi 方向レジスタ (PDi)(i=0 ~ 6).....	70
7.4.2	ポート Pi レジスタ (Pi)(i=0 ~ 6).....	71
7.4.3	タイマ RA 端子選択レジスタ (TRASR).....	72
7.4.4	タイマ RB/RC 端子選択レジスタ (TRBRCSR).....	73
7.4.5	タイマ RC 端子選択レジスタ 0 (TRCPSR0).....	74
7.4.6	タイマ RC 端子選択レジスタ 1 (TRCPSR1).....	75
7.4.7	タイマ端子選択レジスタ (TIMSR).....	76
7.4.8	UART0 端子選択レジスタ (U0SR).....	77
7.4.9	UART2 端子選択レジスタ 0 (U2SR0).....	78
7.4.10	UART2 端子選択レジスタ 1 (U2SR1).....	79
7.4.11	INT 割り込み入力端子選択レジスタ (INTSR).....	80
7.4.12	入出力機能端子選択レジスタ (PINSR).....	81
7.4.13	プルアップ制御レジスタ 0 (PUR0).....	82
7.4.14	プルアップ制御レジスタ 1 (PUR1).....	82
7.4.15	ポート P1 駆動能力制御レジスタ (P1DRR).....	83
7.4.16	ポート P2 駆動能力制御レジスタ (P2DRR).....	83
7.4.17	駆動能力制御レジスタ 0 (DRR0).....	84
7.4.18	駆動能力制御レジスタ 1 (DRR1).....	85
7.4.19	入力しきい値制御レジスタ 0 (VLT0).....	86
7.4.20	入力しきい値制御レジスタ 1 (VLT1).....	87
7.5	ポートの設定.....	88

7.6	未使用端子の処理	105
8.	バス制御	106
9.	クロック発生回路	108
9.1	概要	108
9.2	レジスタの説明	111
9.2.1	システムクロック制御レジスタ 0 (CM0).....	111
9.2.2	システムクロック制御レジスタ 1 (CM1).....	112
9.2.3	システムクロック制御レジスタ 3 (CM3).....	113
9.2.4	発振停止検出レジスタ (OCD)	114
9.2.5	高速オンチップオシレータ制御レジスタ 7 (FRA7).....	114
9.2.6	高速オンチップオシレータ制御レジスタ 0 (FRA0).....	115
9.2.7	高速オンチップオシレータ制御レジスタ 1 (FRA1).....	115
9.2.8	高速オンチップオシレータ制御レジスタ 2 (FRA2).....	116
9.2.9	時計用プリスケラリセットフラグ (CPSRF).....	116
9.2.10	高速オンチップオシレータ制御レジスタ 4 (FRA4).....	117
9.2.11	高速オンチップオシレータ制御レジスタ 5 (FRA5).....	117
9.2.12	高速オンチップオシレータ制御レジスタ 6 (FRA6).....	118
9.2.13	高速オンチップオシレータ制御レジスタ 3 (FRA3).....	118
9.2.14	電圧検出レジスタ 2 (VCA2)	119
9.2.15	入出力機能端子選択レジスタ (PINSR)	120
9.3	XIN クロック	122
9.4	オンチップオシレータクロック	123
9.4.1	低速オンチップオシレータクロック	123
9.4.2	高速オンチップオシレータクロック	123
9.5	XCIN クロック	124
9.6	CPU クロックと周辺機能クロック	125
9.6.1	システムクロック	125
9.6.2	CPU クロック	125
9.6.3	周辺機能クロック (f1、f2、f4、f8、f32).....	125
9.6.4	fOCO.....	125
9.6.5	fOCO40M.....	125
9.6.6	fOCO-F.....	125
9.6.7	fOCO-S.....	126
9.6.8	fOCO128.....	126
9.6.9	fC、fC4、fC32	126
9.6.10	fOCO-WDT	126
9.7	パワーコントロール	127
9.7.1	標準動作モード	127
9.7.2	ウェイトモード	129
9.7.3	ストップモード	133
9.8	発振停止検出機能	136
9.8.1	発振停止検出機能の使用方法	137
9.9	クロック発生回路使用上の注意	140
9.9.1	ストップモード	140
9.9.2	ウェイトモード	141
9.9.3	発振停止検出機能	141
9.9.4	発振回路定数	141

10.	プロテクト	142
10.1	レジスタの説明	142
10.1.1	プロテクトレジスタ (PRCR)	142
11.	割り込み	143
11.1	概要	143
11.1.1	割り込みの分類	143
11.1.2	ソフトウェア割り込み	144
11.1.3	特殊割り込み	145
11.1.4	周辺機能割り込み	145
11.1.5	割り込みと割り込みベクタ	146
11.2	レジスタの説明	148
11.2.1	割り込み制御レジスタ (TREIC、S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、TRAIC、TRBIC、U2BCNIC、 VCMP1IC、VCMP2IC)	148
11.2.2	割り込み制御レジスタ (FMRDYIC、TRCIC)	149
11.2.3	INT _i 割り込み制御レジスタ (INT _i IC)(i=0 ~ 4)	150
11.3	割り込み制御	151
11.3.1	I フラグ	151
11.3.2	IR ビット	151
11.3.3	ILVL2 ~ ILVL0 ビット、IPL	151
11.3.4	割り込みシーケンス	152
11.3.5	割り込み応答時間	153
11.3.6	割り込み要求受付時の IPL の変化	153
11.3.7	レジスタ退避	154
11.3.8	割り込みルーチンからの復帰	156
11.3.9	割り込み優先順位	156
11.3.10	割り込み優先レベル判定回路	157
11.4	INT 割り込み	158
11.4.1	INT _i 割り込み (i=0 ~ 4)	158
11.4.2	INT 割り込み入力端子選択レジスタ (INTSR)	159
11.4.3	外部入力許可レジスタ 0 (INTEN)	160
11.4.4	外部入力許可レジスタ 1 (INTEN1)	160
11.4.5	INT 入力フィルタ選択レジスタ 0 (INTF)	161
11.4.6	INT 入力フィルタ選択レジスタ 1 (INTF1)	161
11.4.7	INT _i 入力フィルタ (i=0 ~ 4)	162
11.5	キー入力割り込み	163
11.5.1	キー入力許可レジスタ 0 (KIEN)	164
11.6	アドレス一致割り込み	165
11.6.1	アドレス一致割り込み許可レジスタ (AIER)	166
11.6.2	アドレス一致割り込みレジスタ i (RMAD _i)(i=0 ~ 1)	166
11.7	タイマ RC、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み)	167
11.8	割り込み使用上の注意	169
11.8.1	00000h 番地の読み出し	169
11.8.2	SP の設定	169
11.8.3	外部割り込み、キー入力割り込み	169
11.8.4	割り込み要因の変更	170
11.8.5	割り込み制御レジスタの変更	171

12.	ID コード領域	172
12.1	概要	172
12.2	機能	173
12.3	強制イレーズ機能	174
12.4	標準シリアル入出力モード禁止機能	174
12.5	ID コード領域使用上の注意	175
12.5.1	ID コード領域の設定例	175
13.	オプション機能選択領域	176
13.1	概要	176
13.2	レジスタの説明	177
13.2.1	オプション機能選択レジスタ (OFS)	177
13.2.2	オプション機能選択レジスタ 2 (OFS2)	178
13.3	オプション機能選択領域使用上の注意	179
13.3.1	オプション機能選択領域の設定例	179
14.	ウォッチドッグタイマ	180
14.1	概要	180
14.2	レジスタの説明	182
14.2.1	プロセッサモードレジスタ 1 (PM1)	182
14.2.2	ウォッチドッグタイマリセットレジスタ (WDTR)	182
14.2.3	ウォッチドッグタイマスタートレジスタ (WDTS)	182
14.2.4	ウォッチドッグタイマ制御レジスタ (WDTC)	183
14.2.5	カウントソース保護モードレジスタ (CSPR)	183
14.2.6	オプション機能選択レジスタ (OFS)	184
14.2.7	オプション機能選択レジスタ 2 (OFS2)	185
14.3	動作説明	186
14.3.1	複数モードに関わる共通事項	186
14.3.2	カウントソース保護モード無効時	187
14.3.3	カウントソース保護モード有効時	188
15.	タイマ総論	189
16.	タイマ RA	191
16.1	概要	191
16.2	レジスタの説明	192
16.2.1	タイマ RA 制御レジスタ (TRACR)	192
16.2.2	タイマ RA I/O 制御レジスタ (TRAIOC)	192
16.2.3	タイマ RA モードレジスタ (TRAMR)	193
16.2.4	タイマ RA プリスケーラレジスタ (TRAPRE)	193
16.2.5	タイマ RA レジスタ (TRA)	194
16.2.6	タイマ RA 端子選択レジスタ (TRASR)	194
16.3	タイマモード	195
16.3.1	タイマ RA I/O 制御レジスタ (TRAIOC)[タイマモード時]	195
16.3.2	カウント中のタイマ書き込み制御	196
16.4	パルス出力モード	197
16.4.1	タイマ RA I/O 制御レジスタ (TRAIOC)[パルス出力モード時]	198
16.5	イベントカウンタモード	199
16.5.1	タイマ RA I/O 制御レジスタ (TRAIOC)[イベントカウンタモード時]	200

16.6	パルス幅測定モード	201
16.6.1	タイマ RA I/O 制御レジスタ (TRAIOC)[パルス幅測定モード時]	202
16.6.2	動作例	203
16.7	パルス周期測定モード	204
16.7.1	タイマ RA I/O 制御レジスタ (TRAIOC)[パルス周期測定モード時]	205
16.7.2	動作例	206
16.8	タイマ RA 使用上の注意	207
17.	タイマ RB	208
17.1	概要	208
17.2	レジスタの説明	209
17.2.1	タイマ RB 制御レジスタ (TRBCR)	209
17.2.2	タイマ RB ワンショット制御レジスタ (TRBOCR)	209
17.2.3	タイマ RB I/O 制御レジスタ (TRBIOC)	210
17.2.4	タイマ RB モードレジスタ (TRBMR)	210
17.2.5	タイマ RB プリスケアラレジスタ (TRBPRES)	211
17.2.6	タイマ RB セカンダリレジスタ (TRBSC)	211
17.2.7	タイマ RB プライマリレジスタ (TRBPR)	212
17.2.8	タイマ RB/RC 端子選択レジスタ (TRBRCSR)	212
17.3	タイマモード	213
17.3.1	タイマ RB I/O 制御レジスタ (TRBIOC)[タイマモード時]	213
17.3.2	カウント中のタイマ書き込み制御	214
17.4	プログラマブル波形発生モード	216
17.4.1	タイマ RB I/O 制御レジスタ (TRBIOC)[プログラマブル波形発生モード時]	217
17.4.2	動作例	218
17.5	プログラマブルワンショット発生モード	219
17.5.1	タイマ RB I/O 制御レジスタ (TRBIOC)[プログラマブルワンショット発生モード時]	220
17.5.2	動作例	221
17.5.3	ワンショットトリガ選択	222
17.6	プログラマブルウェイトワンショット発生モード	223
17.6.1	タイマ RB I/O 制御レジスタ (TRBIOC) [プログラマブルウェイトワンショット発生モード時]	224
17.6.2	動作例	225
17.7	タイマ RB 使用上の注意	226
17.7.1	タイマモード	226
17.7.2	プログラマブル波形発生モード	226
17.7.3	プログラマブルワンショット発生モード	227
17.7.4	プログラマブルウェイトワンショット発生モード	227
18.	タイマ RC	228
18.1	概要	228
18.2	レジスタの説明	230
18.2.1	モジュールスタンバイ制御レジスタ (MSTCR)	231
18.2.2	タイマ RC モードレジスタ (TRCMR)	232
18.2.3	タイマ RC 制御レジスタ 1 (TRCCR1)	233
18.2.4	タイマ RC 割り込み許可レジスタ (TRCIER)	233
18.2.5	タイマ RC ステータスレジスタ (TRCSR)	234
18.2.6	タイマ RC I/O 制御レジスタ 0 (TRCIOR0)	235
18.2.7	タイマ RC I/O 制御レジスタ 1 (TRCIOR1)	235

18.2.8	タイマ RC カウンタ (TRC).....	236
18.2.9	タイマ RC ジェネラルレジスタ A、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)	236
18.2.10	タイマ RC 制御レジスタ 2 (TRCCR2)	237
18.2.11	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF).....	238
18.2.12	タイマ RC アウトプットマスタ許可レジスタ (TRCOER).....	239
18.2.13	タイマ RC トリガ制御レジスタ (TRCADCR).....	239
18.2.14	タイマ RB/RC 端子選択レジスタ (TRBRCR).....	240
18.2.15	タイマ RC 端子選択レジスタ 0 (TRCPSR0).....	241
18.2.16	タイマ RC 端子選択レジスタ 1 (TRCPSR1).....	242
18.3	複数モードに関わる共通事項	243
18.3.1	カウントソース	243
18.3.2	バッファ動作	244
18.3.3	デジタルフィルタ	246
18.3.4	パルス出力強制遮断	247
18.4	タイマモード (インプットキャプチャ機能)	249
18.4.1	タイマ RC I/O 制御レジスタ 0 (TRCIOR0)[タイマモード (インプットキャプチャ機能) 時]	251
18.4.2	タイマ RC I/O 制御レジスタ 1 (TRCIOR1)[タイマモード (インプットキャプチャ機能) 時]	252
18.4.3	動作例	253
18.5	タイマモード (アウトプットコンペア機能)	254
18.5.1	タイマ RC 制御レジスタ 1 (TRCCR1)[タイマモード (アウトプットコンペア機能) 時]....	256
18.5.2	タイマ RC I/O 制御レジスタ 0 (TRCIOR0)[タイマモード (アウトプットコンペア機能) 時]	257
18.5.3	タイマ RC I/O 制御レジスタ 1 (TRCIOR1)[タイマモード (アウトプットコンペア機能) 時]	258
18.5.4	タイマ RC 制御レジスタ 2 (TRCCR2)[タイマモード (アウトプットコンペア機能) 時]....	259
18.5.5	動作例	260
18.5.6	TRCGRC、TRCGRD レジスタの出力端子変更	261
18.6	PWM モード	263
18.6.1	タイマ RC 制御レジスタ 1 (TRCCR1)[PWM モード時]	265
18.6.2	タイマ RC 制御レジスタ 2 (TRCCR2)[PWM モード時]	266
18.6.3	動作例	267
18.7	PWM2 モード	269
18.7.1	タイマ RC 制御レジスタ 1 (TRCCR1)[PWM2 モード時]	271
18.7.2	タイマ RC 制御レジスタ 2 (TRCCR2)[PWM2 モード時]	272
18.7.3	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2 モード時]	273
18.7.4	動作例	274
18.8	タイマ RC 割り込み.....	277
18.9	タイマ RC 使用上の注意.....	278
18.9.1	TRC レジスタ.....	278
18.9.2	TRCSR レジスタ.....	278
18.9.3	TRCCR1 レジスタ	278
18.9.4	カウントソース切り替え	278
18.9.5	インプットキャプチャ機能	279
18.9.6	PWM2 モード時の TRCMR レジスタ	279
18.9.7	カウントソース fOCO40M	279

19.	タイマ RE	280
19.1	概要	280
19.2	リアルタイムクロックモード	281
19.2.1	タイマ RE 秒データレジスタ (TRESEC)[リアルタイムクロックモード時]	283
19.2.2	タイマ RE 分データレジスタ (TREMINT)[リアルタイムクロックモード時]	283
19.2.3	タイマ RE 時データレジスタ (TREHR)[リアルタイムクロックモード時]	284
19.2.4	タイマ RE 曜日データレジスタ (TREWK)[リアルタイムクロックモード時]	284
19.2.5	タイマ RE 制御レジスタ 1 (TRECRI)[リアルタイムクロックモード時]	285
19.2.6	タイマ RE 制御レジスタ 2 (TRECRI2)[リアルタイムクロックモード時]	286
19.2.7	タイマ RE カウントソース選択レジスタ (TRECSCR)[リアルタイムクロックモード時]	287
19.2.8	タイマ端子選択レジスタ (TIMSR)	287
19.2.9	動作例	288
19.3	アウトプットコンペアモード	289
19.3.1	タイマ RE カウンタデータレジスタ (TRESEC)[アウトプットコンペアモード時]	290
19.3.2	タイマ RE コンペアデータレジスタ (TREMINT)[アウトプットコンペアモード時]	290
19.3.3	タイマ RE 制御レジスタ 1 (TRECRI)[アウトプットコンペアモード時]	291
19.3.4	タイマ RE 制御レジスタ 2 (TRECRI2)[アウトプットコンペアモード時]	291
19.3.5	タイマ RE カウントソース選択レジスタ (TRECSCR)[アウトプットコンペアモード時]	292
19.3.6	タイマ端子選択レジスタ (TIMSR)	292
19.3.7	動作例	293
19.4	タイマ RE 使用上の注意	294
19.4.1	カウント開始、停止	294
19.4.2	レジスタ設定	294
19.4.3	リアルタイムクロックモードの時刻読み出し手順	296
20.	シリアルインタフェース (UART0)	297
20.1	概要	297
20.2	レジスタの説明	299
20.2.1	UART0 送受信モードレジスタ (U0MR)	299
20.2.2	UART0 ビットレートレジスタ (U0BRG)	299
20.2.3	UART0 送信バッファレジスタ (U0TB)	300
20.2.4	UART0 送受信制御レジスタ 0 (U0C0)	301
20.2.5	UART0 送受信制御レジスタ 1 (U0C1)	301
20.2.6	UART0 受信バッファレジスタ (U0RB)	302
20.2.7	UART0 端子選択レジスタ (U0SR)	303
20.3	クロック同期形シリアル I/O モード	304
20.3.1	通信エラー発生時の対処方法	308
20.3.2	極性選択機能	309
20.3.3	LSB ファースト、MSB ファースト選択	309
20.3.4	連続受信モード	310
20.4	クロック非同期形シリアル I/O (UART) モード	311
20.4.1	ビットレート	316
20.4.2	通信エラー発生時の対処方法	317
20.5	シリアルインタフェース (UART0) 使用上の注意	318
21.	シリアルインタフェース (UART2)	319
21.1	概要	319
21.2	レジスタの説明	321
21.2.1	UART2 送受信モードレジスタ (U2MR)	321

21.2.2	UART2 ビットレートレジスタ (U2BRG).....	321
21.2.3	UART2 送信バッファレジスタ (U2TB).....	322
21.2.4	UART2 送受信制御レジスタ 0 (U2C0)	323
21.2.5	UART2 送受信制御レジスタ 1 (U2C1)	324
21.2.6	UART2 受信バッファレジスタ (U2RB).....	325
21.2.7	UART2 デジタルフィルタ機能選択レジスタ (URXDF)	326
21.2.8	UART2 特殊モードレジスタ 5 (U2SMR5).....	326
21.2.9	UART2 特殊モードレジスタ 4 (U2SMR4).....	327
21.2.10	UART2 特殊モードレジスタ 3 (U2SMR3).....	328
21.2.11	UART2 特殊モードレジスタ 2 (U2SMR2).....	328
21.2.12	UART2 特殊モードレジスタ (U2SMR).....	329
21.2.13	UART2 端子選択レジスタ 0 (U2SR0).....	330
21.2.14	UART2 端子選択レジスタ 1 (U2SR1)	331
21.3	クロック同期形シリアル I/O モード.....	332
21.3.1	通信エラー発生時の対処方法	336
21.3.2	CLK 極性選択	336
21.3.3	LSB ファースト、MSB ファースト選択.....	337
21.3.4	連続受信モード	337
21.3.5	シリアルデータ論理切り替え	338
21.3.6	CTS/RTS 機能.....	338
21.4	クロック非同期形シリアル I/O(UART) モード.....	339
21.4.1	ビットレート	343
21.4.2	通信エラー発生時の対処方法	344
21.4.3	LSB ファースト、MSB ファースト選択.....	344
21.4.4	シリアルデータ論理切り替え	345
21.4.5	TXD、RXD 入出力極性切り替え機能.....	345
21.4.6	CTS/RTS 機能.....	346
21.4.7	RXD2 デジタルフィルタ選択機能.....	346
21.5	特殊モード 1(I ² C モード).....	347
21.5.1	スタートコンディション、ストップコンディションの検出	353
21.5.2	スタートコンディション、ストップコンディションの出力	354
21.5.3	転送クロック	355
21.5.4	SDA 出力	355
21.5.5	SDA 入力	356
21.5.6	ACK、NACK.....	356
21.5.7	送受信初期化	356
21.6	マルチプロセッサ通信機能.....	357
21.6.1	マルチプロセッサ送信	360
21.6.2	マルチプロセッサ受信	361
21.6.3	RXD2 デジタルフィルタ選択機能.....	363
21.7	シリアルインタフェース (UART2) 使用上の注意	364
21.7.1	クロック同期形シリアル I/O モード.....	364
21.7.2	特殊モード 1(I ² C モード).....	364
22.	A/D コンバータ	365
22.1	概要.....	365
22.2	レジスタの説明.....	367
22.2.1	チップ内蔵基準電圧制御レジスタ (OCVREFCR).....	367
22.2.2	A/D レジスタ i (ADi)(i = 0 ~ 7).....	368

22.2.3	A/D モードレジスタ (ADM0D).....	369
22.2.4	A/D 入力選択レジスタ (ADINSEL).....	370
22.2.5	A/D 制御レジスタ 0 (ADCON0).....	371
22.2.6	A/D 制御レジスタ 1 (ADCON1).....	372
22.3	複数モードに関わる共通事項.....	373
22.3.1	入出力端子.....	373
22.3.2	A/D 変換サイクル数.....	373
22.3.3	A/D 変換開始条件.....	375
22.3.4	A/D 変換結果.....	377
22.3.5	消費電流低減機能.....	377
22.3.6	チップ内蔵基準電圧 (OCVREF).....	377
22.3.7	A/D 断線検出アシスト機能.....	377
22.4	単発モード.....	379
22.5	繰り返しモード 0.....	380
22.6	繰り返しモード 1.....	381
22.7	単掃引モード.....	383
22.8	繰り返し掃引モード.....	385
22.9	A/D 変換時のセンサーの出力インピーダンス.....	387
22.10	A/D コンバータ使用上の注意.....	388
23.	コンパレータ B.....	389
23.1	概要.....	389
23.2	レジスタの説明.....	391
23.2.1	コンパレータ B 制御レジスタ 0 (INTCMP).....	391
23.2.2	外部入力許可レジスタ 0 (INTEN).....	392
23.2.3	INT 入力フィルタ選択レジスタ 0 (INTF).....	393
23.3	動作説明.....	394
23.3.1	コンパレータ Bi デジタルフィルタ (i = 1、3).....	395
23.4	コンパレータ B1、コンパレータ B3 割り込み.....	396
24.	フラッシュメモリ.....	397
24.1	概要.....	397
24.2	メモリ配置.....	398
24.3	フラッシュメモリ書き換え禁止機能.....	399
24.3.1	ID コードチェック機能.....	399
24.3.2	ROM コードプロテクト機能.....	400
24.3.3	オプション機能選択レジスタ (OFS).....	400
24.4	CPU 書き換えモード.....	401
24.4.1	フラッシュメモリステータスレジスタ (FST).....	402
24.4.2	フラッシュメモリ制御レジスタ 0 (FMR0).....	405
24.4.3	フラッシュメモリ制御レジスタ 1 (FMR1).....	408
24.4.4	フラッシュメモリ制御レジスタ 2 (FMR2).....	409
24.4.5	EW0 モード.....	411
24.4.6	EW1 モード.....	411
24.4.7	サスペンド動作.....	412
24.4.8	各モードの設定と解除方法.....	413
24.4.9	データ保護機能.....	414
24.4.10	ソフトウェアコマンド.....	415
24.4.11	フルステータスチェック.....	425

24.5	標準シリアル入出力モード	427
24.5.1	ID コードチェック機能	427
24.6	パラレル入出力モード	430
24.6.1	ROM コードプロテクト機能	430
24.7	フラッシュメモリ使用上の注意	431
24.7.1	CPU 書き換えモード	431
25.	消費電力の低減	434
25.1	概要	434
25.2	消費電力を小さくするためのポイントと処理方法	434
25.2.1	電圧検出回路	434
25.2.2	ポート	434
25.2.3	クロック	434
25.2.4	ウェイトモード、ストップモード	434
25.2.5	周辺機能クロックの停止	434
25.2.6	タイマ	434
25.2.7	A/D コンバータ	435
25.2.8	内部電源の消費電力低減	435
25.2.9	フラッシュメモリの停止	436
25.2.10	低消費電流リードモード	437
26.	電気的特性	439
27.	使用上の注意事項	459
27.1	クロック発生回路使用上の注意	459
27.1.1	ストップモード	459
27.1.2	ウェイトモード	460
27.1.3	発振停止検出機能	460
27.1.4	発振回路定数	460
27.2	割り込み使用上の注意	461
27.2.1	00000h 番地の読み出し	461
27.2.2	SP の設定	461
27.2.3	外部割り込み、キー入力割り込み	461
27.2.4	割り込み要因の変更	462
27.2.5	割り込み制御レジスタの変更	463
27.3	ID コード領域使用上の注意	464
27.3.1	ID コード領域の設定例	464
27.4	オプション機能選択領域使用上の注意	464
27.4.1	オプション機能選択領域の設定例	464
27.5	タイマ RA 使用上の注意	465
27.6	タイマ RB 使用上の注意	466
27.6.1	タイマモード	466
27.6.2	プログラマブル波形発生モード	466
27.6.3	プログラマブルワンショット発生モード	467
27.6.4	プログラマブルウェイトワンショット発生モード	467
27.7	タイマ RC 使用上の注意	468
27.7.1	TRC レジスタ	468
27.7.2	TRCSR レジスタ	468
27.7.3	TRCCR1 レジスタ	468

27.7.4	カウントソース切り替え	468
27.7.5	インプットキャプチャ機能	469
27.7.6	PWM2 モード時の TRCMR レジスタ	469
27.7.7	カウントソース fOCO40M	469
27.8	タイマ RE 使用上の注意	470
27.8.1	カウント開始、停止	470
27.8.2	レジスタ設定	470
27.8.3	リアルタイムクロックモードの時刻読み出し手順	472
27.9	シリアルインタフェース (UART0) 使用上の注意	473
27.10	シリアルインタフェース (UART2) 使用上の注意	474
27.10.1	クロック同期形シリアル I/O モード	474
27.10.2	特殊モード 1(I ² C モード)	474
27.11	A/D コンバータ使用上の注意	475
27.12	フラッシュメモリ使用上の注意	476
27.12.1	CPU 書き換えモード	476
27.13	ノイズに関する注意	479
27.13.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入	479
27.13.2	ポート制御レジスタのノイズ誤動作対策	479
27.14	電源電圧の変動に関する注意	479
28.	オンチップデバッグの注意事項	480
29.	エミュレータデバッグの注意事項	481
付録 1.	外形寸法図	482
付録 2.	シリアルライタとオンチップデバッグエミュレータとの接続例	483
付録 3.	発振評価回路例	485
索引	486

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	25
0005h	プロセッサモードレジスタ1	PM1	182
0006h	システムクロック制御レジスタ0	CM0	111
0007h	システムクロック制御レジスタ1	CM1	112
0008h	モジュールスタンバイ制御レジスタ	MSTCR	231
0009h	システムクロック制御レジスタ3	CM3	113
000Ah	プロテクトレジスタ	PRCR	142
000Bh	リセット要因判別レジスタ	RSTFR	25
000Ch	発振停止検出レジスタ	OCD	114
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	182
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	182
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	183
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	114
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	183
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	115
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	115
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	116
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	367
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	116
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	117
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	117
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	118
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	118
0030h	電圧監視回路制御レジスタ	CMPA	38
0031h	電圧監視回路エッジ選択レジスタ	VCAC	39
0032h			
0033h	電圧検出レジスタ1	VCA1	39
0034h	電圧検出レジスタ2	VCA2	40、119
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	41
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	42
0039h	電圧監視1回路制御レジスタ	VW1C	43
003Ah	電圧監視2回路制御レジスタ	VW2C	44
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	149
0042h			
0043h			
0044h			
0045h			
0046h	INT4割り込み制御レジスタ	INT4IC	150
0047h	タイマRC割り込み制御レジスタ	TRCIC	149
0048h			
0049h			
004Ah	タイマRE割り込み制御レジスタ	TREIC	148
004Bh	UART2送信割り込み制御レジスタ	S2TIC	148
004Ch	UART2受信割り込み制御レジスタ	S2RIC	148
004Dh	キー入力割り込み制御レジスタ	KUPIC	148
004Eh	A/D変換割り込み制御レジスタ	ADIC	148
004Fh			
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	148
0052h	UART0受信割り込み制御レジスタ	S0RIC	148
0053h			
0054h			
0055h	INT2割り込み制御レジスタ	INT2IC	150
0056h	タイマRA割り込み制御レジスタ	TRAIC	148
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	148
0059h	INT1割り込み制御レジスタ	INT1IC	150
005Ah	INT3割り込み制御レジスタ	INT3IC	150
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	150
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	148
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	148
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	148
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載ページ
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	299
00A1h	UART0ビットレートレジスタ	U0BRG	299
00A2h	UART0送信バッファレジスタ	U0TB	300
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	301
00A5h	UART0送受信制御レジスタ1	U0C1	301
00A6h	UART0受信バッファレジスタ	U0RB	302
00A7h			
00A8h	UART2送受信モードレジスタ	U2MR	321
00A9h	UART2ビットレートレジスタ	U2BRG	321
00AAh	UART2送信バッファレジスタ	U2TB	322
00ABh			
00ACh	UART2送受信制御レジスタ0	U2C0	323
00ADh	UART2送受信制御レジスタ1	U2C1	324
00AEh	UART2受信バッファレジスタ	U2RB	325
00AFh			
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	326
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	326
00BCh	UART2特殊モードレジスタ4	U2SMR4	327
00BDh	UART2特殊モードレジスタ3	U2SMR3	328
00BEh	UART2特殊モードレジスタ2	U2SMR2	328
00BFh	UART2特殊モードレジスタ	U2SMR	329

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
00C0h	A/Dレジスタ0	AD0	368
00C1h			
00C2h	A/Dレジスタ1	AD1	368
00C3h			
00C4h	A/Dレジスタ2	AD2	368
00C5h			
00C6h	A/Dレジスタ3	AD3	368
00C7h			
00C8h	A/Dレジスタ4	AD4	368
00C9h			
00CAh	A/Dレジスタ5	AD5	368
00CBh			
00CCh	A/Dレジスタ6	AD6	368
00CDh			
00CEh	A/Dレジスタ7	AD7	368
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/Dモードレジスタ	ADMOD	369
00D5h	A/D入力選択レジスタ	ADINSEL	370
00D6h	A/D制御レジスタ0	ADCON0	371
00D7h	A/D制御レジスタ1	ADCON1	372
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	71
00E1h	ポートP1レジスタ	P1	71
00E2h	ポートP0方向レジスタ	PD0	70
00E3h	ポートP1方向レジスタ	PD1	70
00E4h	ポートP2レジスタ	P2	71
00E5h	ポートP3レジスタ	P3	71
00E6h	ポートP2方向レジスタ	PD2	70
00E7h	ポートP3方向レジスタ	PD3	70
00E8h	ポートP4レジスタ	P4	71
00E9h	ポートP5レジスタ	P5	71
00EAh	ポートP4方向レジスタ	PD4	70
00EBh	ポートP5方向レジスタ	PD5	70
00ECh	ポートP6レジスタ	P6	71
00EDh			
00EEh	ポートP6方向レジスタ	PD6	70
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

番地	レジスタ	シンボル	掲載 ページ
0100h	タイマRA制御レジスタ	TRACR	192
0101h	タイマRA I/O制御レジスタ	TRAIOC	192、195、198、 200、202、205
0102h	タイマRAモードレジスタ	TRAMR	193
0103h	タイマRAプリスケアラレジスタ	TRAPRE	193
0104h	タイマRAレジスタ	TRA	194
0105h			
0106h			
0107h			
0108h	タイマRB制御レジスタ	TRBCR	209
0109h	タイマRBワンショット制御レジスタ	TRBOCR	209
010Ah	タイマRB I/O制御レジスタ	TRBIOC	210、213、217、 220、224
010Bh	タイマRBモードレジスタ	TRBMR	210
010Ch	タイマRBプリスケアラレジスタ	TRBPRES	211
010Dh	タイマRBセカンダリレジスタ	TRBSC	211
010Eh	タイマRBプライマリレジスタ	TRBPR	212
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタ データレジスタ	TRESEC	283、290
0119h	タイマRE分データレジスタ/コンペア データレジスタ	TREMIN	283、290
011Ah	タイマRE時データレジスタ	TREHR	284
011Bh	タイマRE曜日データレジスタ	TREWK	284
011Ch	タイマRE制御レジスタ1	TRECR1	285、291
011Dh	タイマRE制御レジスタ2	TRECR2	286、291
011Eh	タイマREカウントソース選択レジスタ	TRECSR	287、292
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	232
0121h	タイマRC制御レジスタ1	TRCCR1	233、256、265、 271
0122h	タイマRC割り込み許可レジスタ	TRCIER	233
0123h	タイマRCステータスレジスタ	TRCSR	234
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	235、251、257
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	235、252、258
0126h	タイマRCカウンタ	TRC	236
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	236
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	236
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	236
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	236
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0130h	タイマRC制御レジスタ2	TRCCR2	237、259、266、 272
0131h	タイマRCデジタルフィルタ機能選択レ ジスタ	TRCDF	238、273
0132h	タイマRCアウトプットマスタ許可レ ジスタ	TRCOER	239
0133h	タイマRCトリガ制御レジスタ	TRCADCR	239
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			

番地	レジスタ	シンボル	掲載ページ
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h	タイマRA端子選択レジスタ	TRASR	72、194
0181h	タイマRB/RC端子選択レジスタ	TRBRCSR	73、212、240
0182h	タイマRC端子選択レジスタ0	TRCPSR0	74、241
0183h	タイマRC端子選択レジスタ1	TRCPSR1	75、242
0184h			
0185h			
0186h	タイマ端子選択レジスタ	TIMSR	76、287、292
0187h			
0188h	UART0端子選択レジスタ	U0SR	77、303
0189h			
018Ah	UART2端子選択レジスタ0	U2SR0	78、330
018Bh	UART2端子選択レジスタ1	U2SR1	79、331
018Ch			
018Dh			
018Eh	INT割り込み入力端子選択レジスタ	INTSR	80、159
018Fh	入出力機能端子選択レジスタ	PINSR	81、120
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	402
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	405
01B5h	フラッシュメモリ制御レジスタ1	FMR1	408
01B6h	フラッシュメモリ制御レジスタ2	FMR2	409
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h	アドレス一致割り込みレジスタ0	RMAD0	166
01C1h			
01C2h			
01C3h	アドレス一致割り込み許可レジスタ	AIER	166
01C4h	アドレス一致割り込みレジスタ1	RMAD1	166
01C5h			
01C6h			
01C7h			
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			

番地	レジスタ	シンボル	掲載 ページ
01E0h	ブルアップ制御レジスタ0	PUR0	82
01E1h	ブルアップ制御レジスタ1	PUR1	82
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	ポートP1駆動能力制御レジスタ	P1DRR	83
01F1h	ポートP2駆動能力制御レジスタ	P2DRR	83
01F2h	駆動能力制御レジスタ0	DRR0	84
01F3h	駆動能力制御レジスタ1	DRR1	85
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	86
01F6h	入力しきい値制御レジスタ1	VLT1	87
01F7h			
01F8h	コンパレータB制御レジスタ0	INTCMP	391
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	160、392
01FBh	外部入力許可レジスタ1	INTEN1	160
01FCh	INT入力フィルタ選択レジスタ0	INTF	161、393
01FDh	INT入力フィルタ選択レジスタ1	INTF1	161
01FEh	キー入力許可レジスタ0	KIEN	164
01FFh			
:			
FFDBh	オプション機能選択レジスタ2	OFS2	27、178、185
:			
FFFFh	オプション機能選択レジスタ	OFS	26、45、177、 184、400

注1. 空欄は予約領域です。アクセスしないでください。

1. 概要

1.1 特長

R8C/35Dグループは、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

1.1.2 仕様概要

表1.1 ~ 表1.2にR8C/35Dグループの仕様概要を示します。

表1.1 R8C/35Dグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPU コア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：50ns (f(XIN)=20MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=1.8~5.5V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM	「表1.3 R8C/35Dグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力:47、プルアップ抵抗選択可能 大電流駆動ポート：47
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路 XCINクロック発振回路(32kHz) 高速オンチップオシレータ(周波数調整機能付) 低速オンチップオシレータ 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
		リアルタイムクロック(タイマRE)あり
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
タイマ	タイマRA	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRE	8ビット×1 リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード
シリアルインタフェース	UART0	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用
	UART2	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用、I ² Cモード(I ² Cバス)、マルチプロセッサ通信機能
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路

表1.2 R8C/35Dグループの仕様概要(2)

分類	機能	説明
フラッシュメモリ		<ul style="list-style-type: none"> ・プログラム、イレーズ電圧：VCC=2.7 ~ 5.5V ・プログラム、イレーズ回数：1,000回(プログラムROM) ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		f(XIN)=20MHz(VCC=2.7~5.5V) f(XIN)=5MHz(VCC=1.8~5.5V)
消費電流		標準 6.5mA (VCC=5V、f(XIN)=20MHz) 標準 3.5mA (VCC=3V、f(XIN)=10MHz) 標準 3.5 μ A (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準 2.0 μ A (VCC=3V、ストップモード)
動作周囲温度		-20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン)(注1)
パッケージ		52ピンLQFP パッケージコード：PLQP0052JA-A(旧コード：52P6A-A)

注1. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

1.2 製品一覧

表 1.3 に R8C/35D グループの製品一覧表を、図 1.1 に R8C/35D グループの型名とメモリサイズ・パッケージを示します。

表 1.3 R8C/35Dグループの製品一覧表

2010年3月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
R5F21354DNFP	16Kバイト	1Kバイト	PLQP0052JA-A	Nバージョン
R5F21355DNFP	24Kバイト	1Kバイト	PLQP0052JA-A	
R5F21356DNFP	32Kバイト	1Kバイト	PLQP0052JA-A	
R5F21354DDFP (開)	16Kバイト	1Kバイト	PLQP0052JA-A	Dバージョン
R5F21355DDFP (開)	24Kバイト	1Kバイト	PLQP0052JA-A	
R5F21356DDFP (開)	32Kバイト	1Kバイト	PLQP0052JA-A	

(開) : 開発中

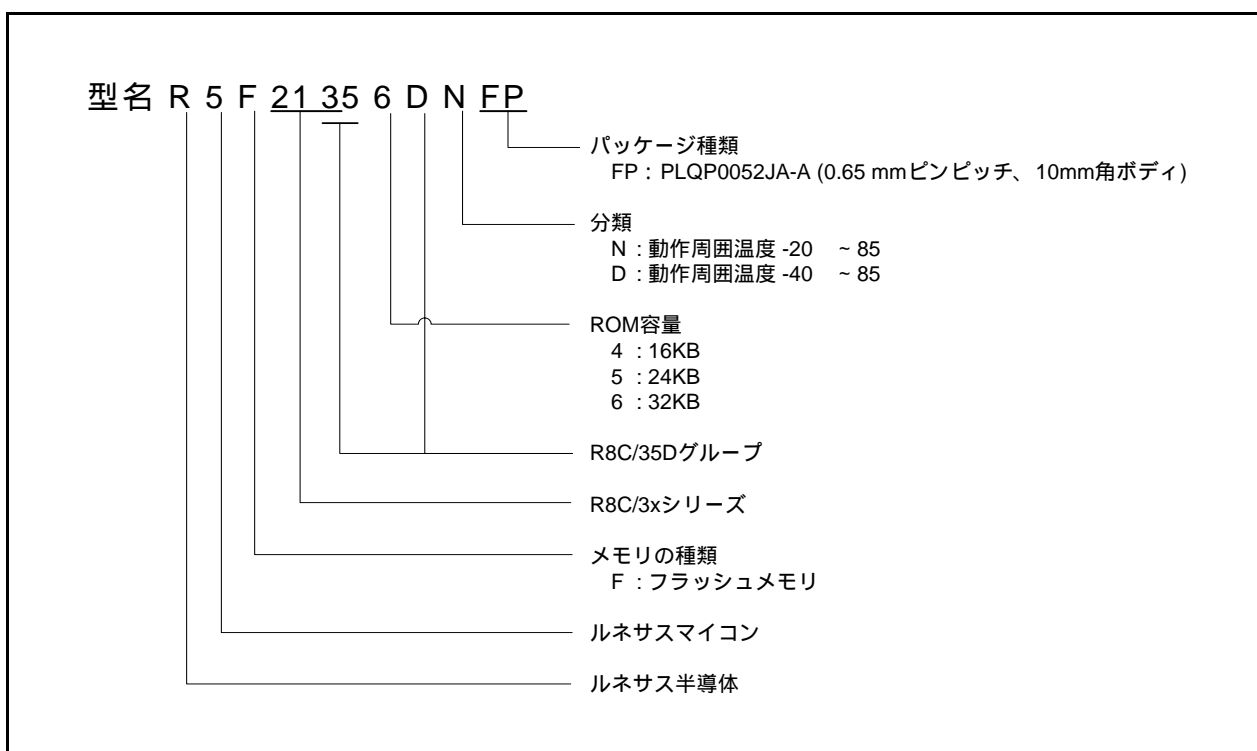


図 1.1 R8C/35Dグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にブロック図を示します。

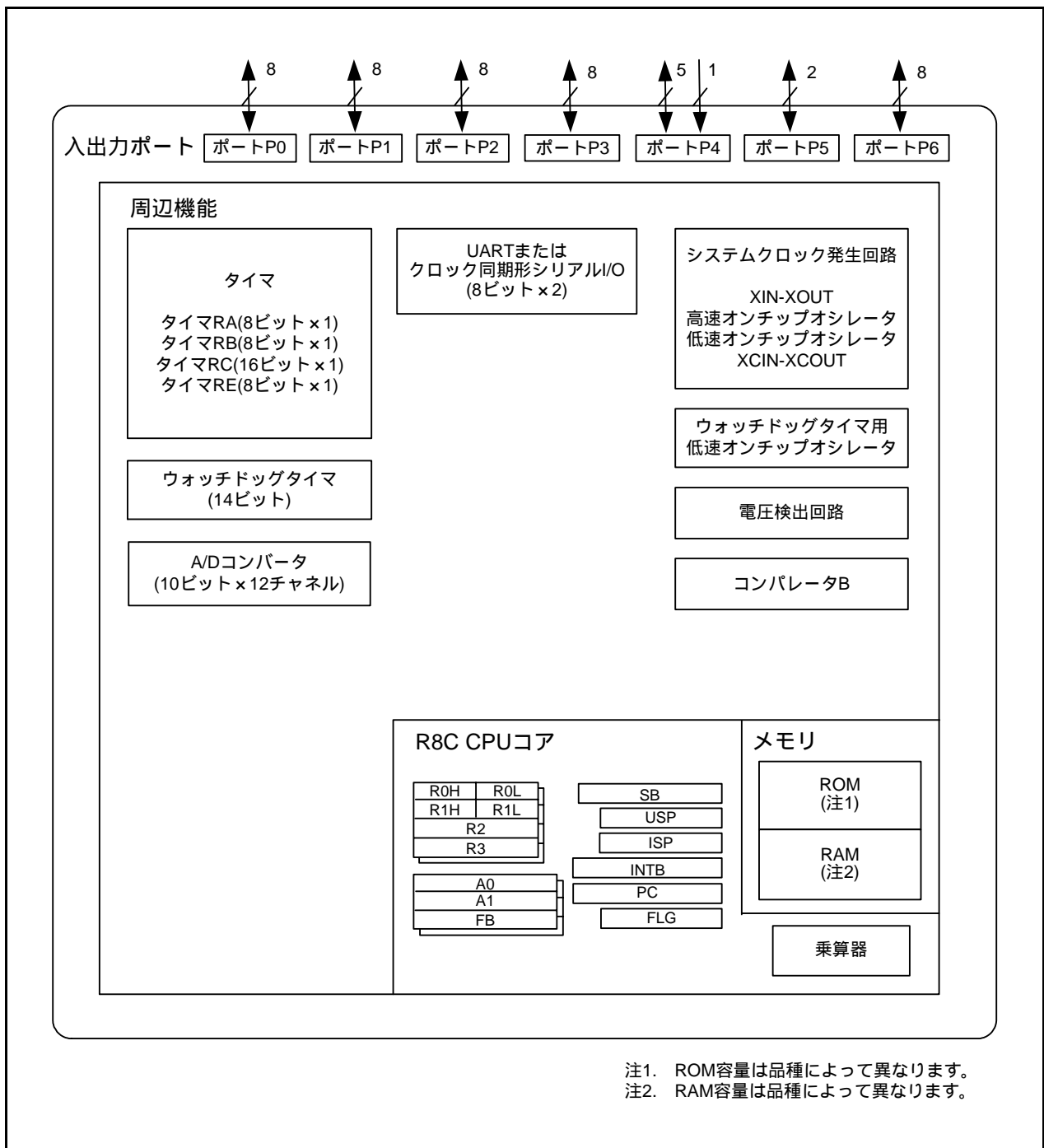


図1.2 ブロック図

1.4 ピン配置図

図1.3にピン配置図(上面図)を、表1.4～表1.5にピン番号別端子名一覧を示します。

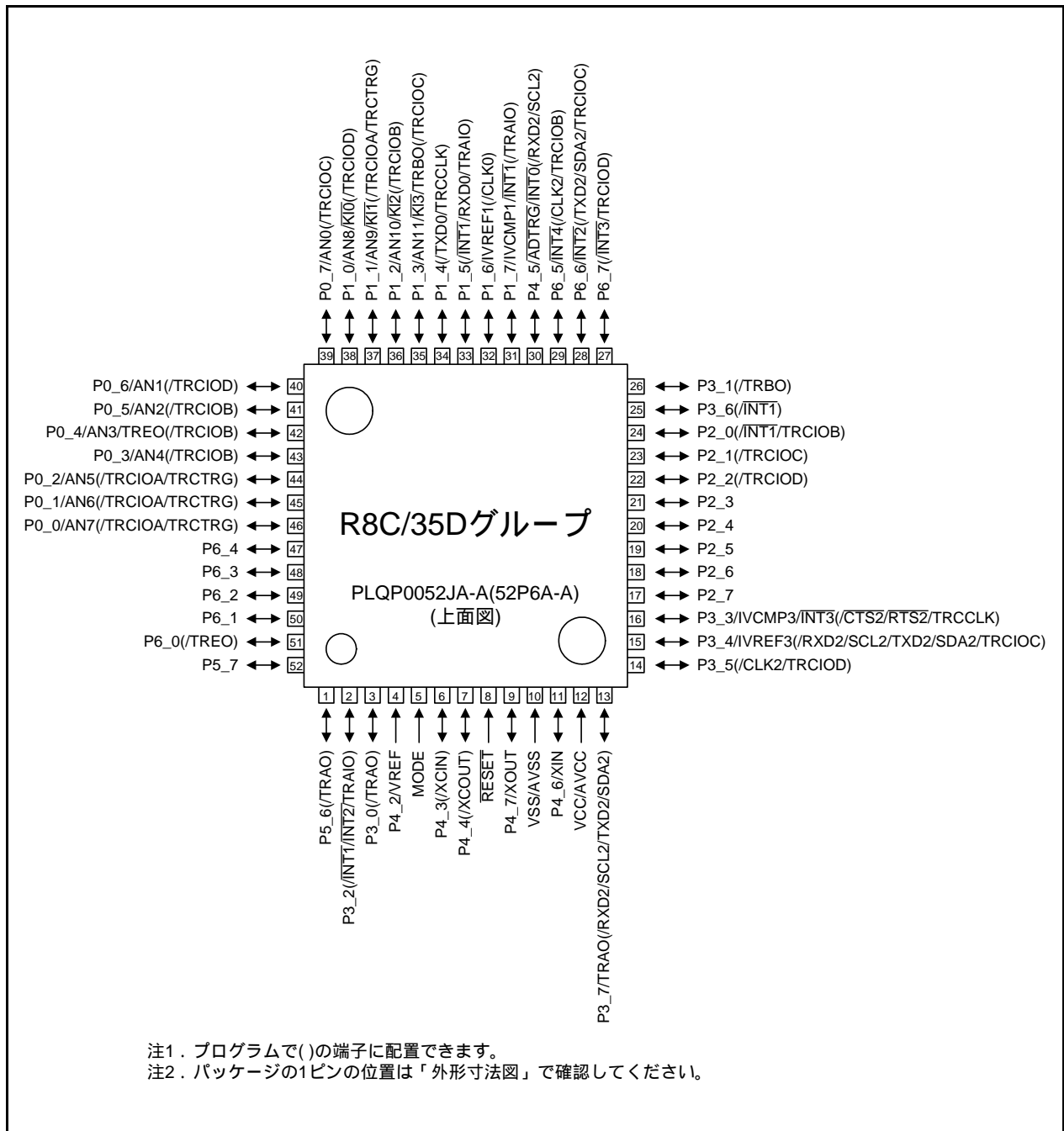


図1.3 ピン配置図(上面図)

表1.4 ピン番号別端子名一覧(1)

ピン番号	制御端子	ポート	周辺機能の入出力端子			
			割り込み	タイマ	シリアルインタフェース	A/Dコンバータ、コンパレータB
1		P5_6		(TRA0)		
2		P3_2	(INT1/INT2)	(TRAIO)		
3		P3_0		(TRA0)		
4		P4_2				VREF
5	MODE					
6	(XCIN)	P4_3				
7	(XCOUT)	P4_4				
8	RESET					
9	XOUT	P4_7				
10	VSS/AVSS					
11	XIN	P4_6				
12	VCC/AVCC					
13		P3_7		TRA0	(RXD2/SCL2/ TXD2/SDA2)	
14		P3_5		(TRCIOD)	(CLK2)	
15		P3_4		(TRCIOC)	(RXD2/SCL2/ TXD2/SDA2)	IVREF3
16		P3_3	INT3	(TRCCLK)	(CTS2/RTS2)	IVCMP3
17		P2_7				
18		P2_6				
19		P2_5				
20		P2_4				
21		P2_3				
22		P2_2		(TRCIOD)		
23		P2_1		(TRCIOC)		
24		P2_0	(INT1)	(TRCIOB)		
25		P3_6	(INT1)			
26		P3_1		(TRBO)		
27		P6_7	(INT3)	(TRCIOD)		
28		P6_6	INT2	(TRCIOC)	(TXD2/SDA2)	
29		P6_5	INT4	(TRCIOB)	(CLK2)	
30		P4_5	INT0		(RXD2/SCL2)	ADTRG
31		P1_7	INT1	(TRAIO)		IVCMP1
32		P1_6			(CLK0)	IVREF1
33		P1_5	(INT1)	(TRAIO)	(RXD0)	
34		P1_4		(TRCCLK)	(TXD0)	
35		P1_3	KI3	TRBO/(TRCIOC)		AN11
36		P1_2	KI2	(TRCIOB)		AN10
37		P1_1	KI1	(TRCIOA/TRCTRG)		AN9
38		P1_0	KI0	(TRCIOD)		AN8
39		P0_7		(TRCIOC)		AN0
40		P0_6		(TRCIOD)		AN1

注1. プログラムで()の端子に配置できます。

表1.5 ピン番号別端子名一覧(2)

ピン 番号	制御端子	ポート	周辺機能の入出力端子			
			割り込み	タイマ	シリアルインタ フェース	A/Dコンバータ、 コンパレータB
41		P0_5		(TRCIOB)		AN2
42		P0_4		TREO (/TRCIOB)		AN3
43		P0_3		(TRCIOB)		AN4
44		P0_2		(TRCIOA/TRCTRG)		AN5
45		P0_1		(TRCIOA/TRCTRG)		AN6
46		P0_0		(TRCIOA/TRCTRG)		AN7
47		P6_4				
48		P6_3				
49		P6_2				
50		P6_1				
51		P6_0		(TREO)		
52		P5_7				

注1. プログラムで()の端子に配置できます。

1.5 端子機能の説明

表1.6に端子機能の説明を示します。

表1.6 端子機能の説明

分類	端子名	入出力	機能
電源入力	VCC VSS	-	VCCには、1.8V ~ 5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	-	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XOUTからクロックを入力し、XINは開放にしてください。
XINクロック出力	XOUT	入出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
XCINクロック出力	XCOUT	出力	
INT割り込み入力	INT0 ~ INT4	入力	INT割り込みの入力です。 INT0はタイマRB、RCの入力です。
キー入力割り込み入力	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRAO	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロック入力です。
	TRCTRG	入力	外部トリガ入力です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRE	TREO	出力	分周クロック出力です。
シリアルインタフェース	CLK0、CLK2	入出力	転送クロック入出力です。
	RXD0、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD2	出力	シリアルデータ出力です。
	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	SCL2	入出力	I ² Cモードのクロック入出力です。
SDA2	入出力	I ² Cモードのデータ入出力です。	
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN11	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力端子です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力端子です。
入出力ポート	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0 ~ P3_7、 P4_3 ~ P4_7、 P5_6、P5_7、 P6_0 ~ P6_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 すべてのポートは、LED駆動ポートとして使用できます。
入力ポート	P4_2	入力	入力専用ポートです。

注1. 発振特性は発振子メーカーにお問い合わせください。

2. 中央演算処理装置 (CPU)

図 2.1 に CPU のレジスタを示します。CPU には 13 個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FB はレジスタバンクを構成しています。レジスタバンクは 2 セットあります。

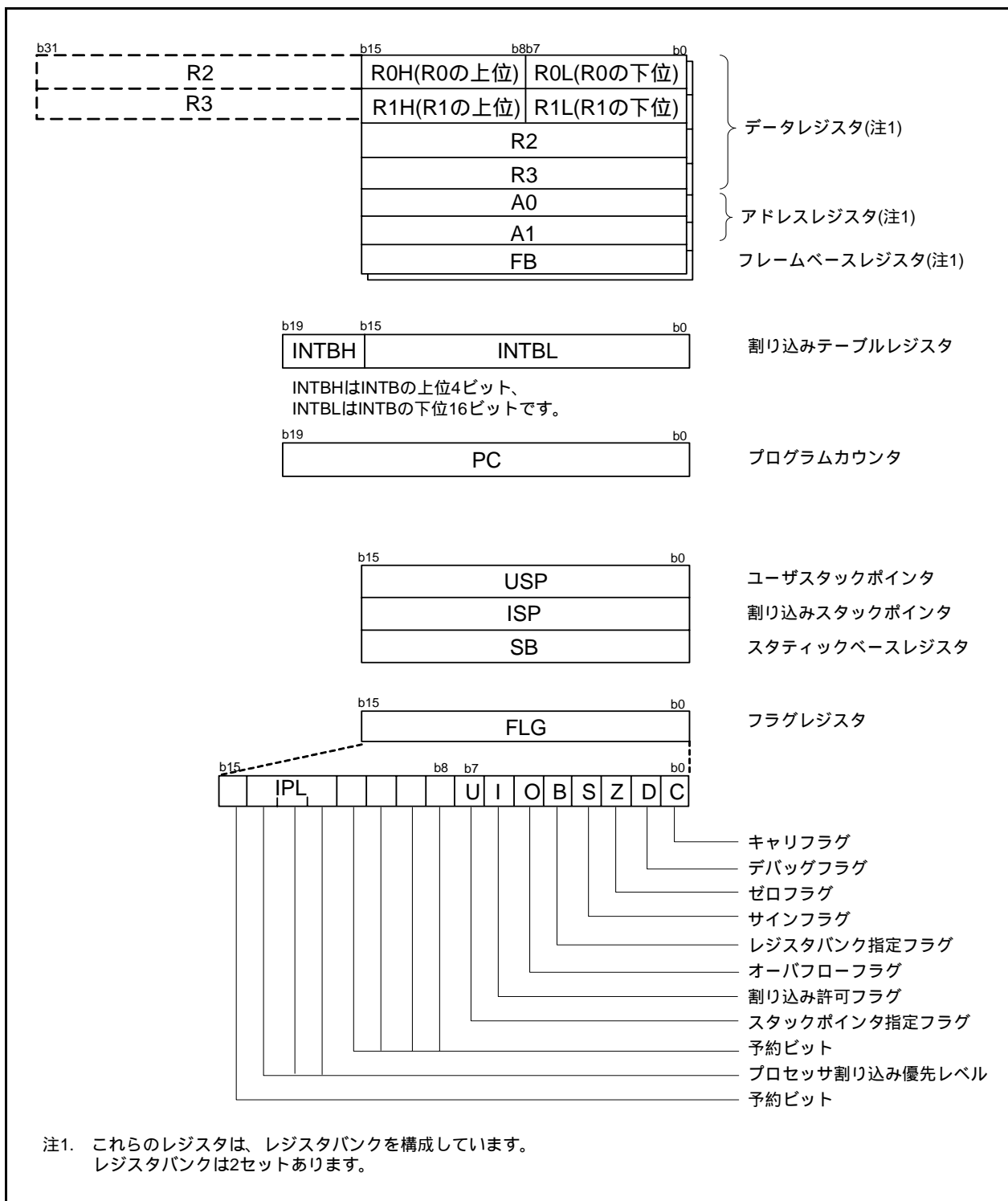


図 2.1 CPU のレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位 (R0H) と下位 (R0L) を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ (R2R0) として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ (A1A0) として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP) は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/35Dグループ

図3.1にR8C/35Dグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば32Kバイトの内部ROMは、08000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

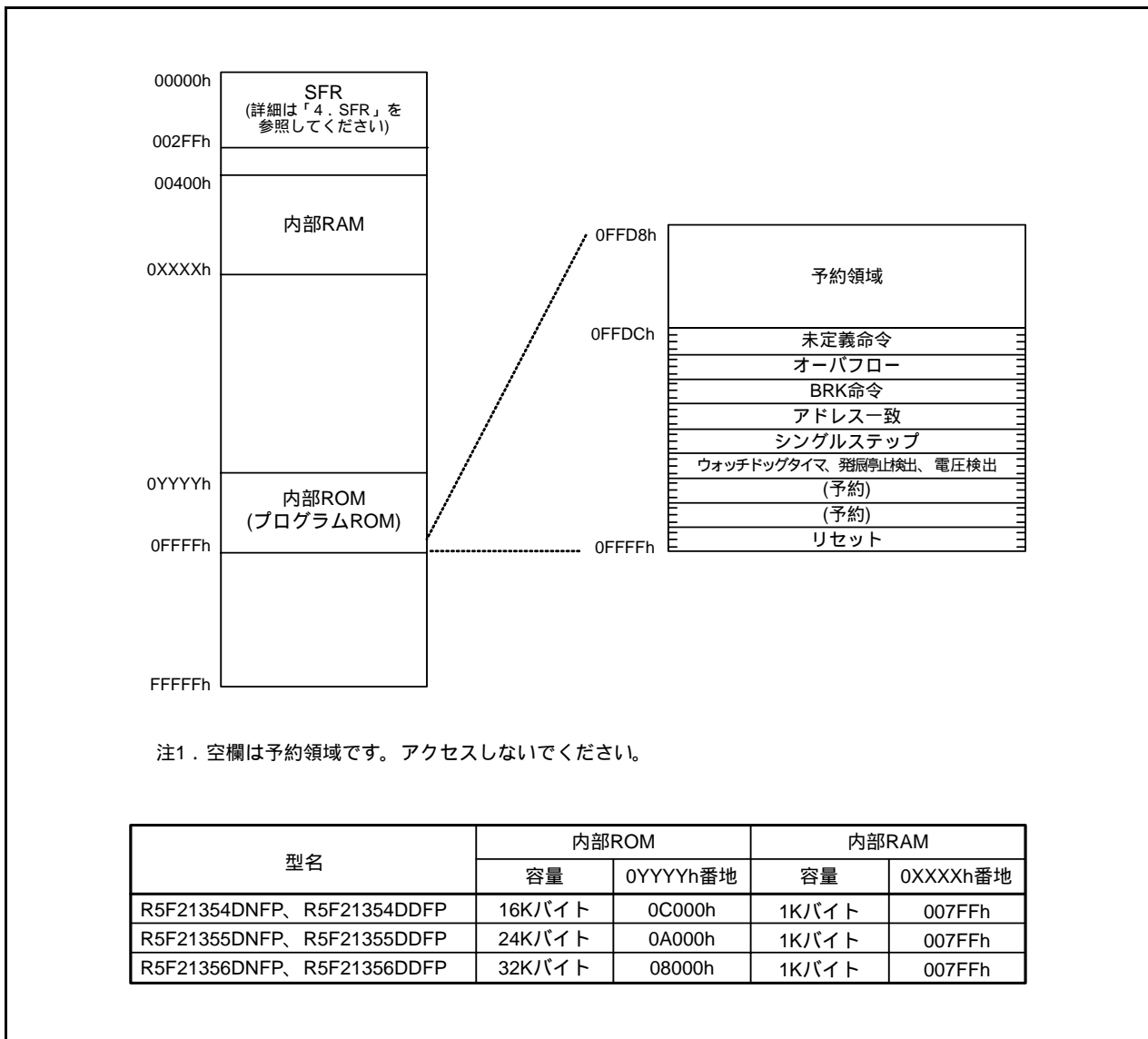


図3.1 R8C/35Dグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.8にSFR一覧表を、表4.9にIDコード領域、オプション機能選択領域を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	00101000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	モジュールスタンバイ制御レジスタ	MSTCR	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	0XXXXXXb (注2)
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	出荷時の値
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注3)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	00h
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	出荷時の値
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	出荷時の値
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	出荷時の値
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	出荷時の値
0030h	電圧監視回路制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h	電圧検出レジスタ1	VCA1	00001000b
0034h	電圧検出レジスタ2	VCA2	00h (注4) 00100000b (注5)
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	1100X010b (注4) 1100X011b (注5)
0039h	電圧監視1回路制御レジスタ	VW1C	10001010b

注1. 空欄は予約領域です。アクセスしないでください。

注2. RSTFRレジスタのCWRビットは電源投入後と、電圧監視0リセット後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注3. OFSレジスタのCSPROINIビットが“0”の場合。

注4. OFSレジスタのLVDASビットが“1”の場合。

注5. OFSレジスタのLVDASビットが“0”の場合。

X：不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
003Ah	電圧監視2回路制御レジスタ	VW2C	10000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h			
0043h			
0044h			
0045h			
0046h	INT4割り込み制御レジスタ	INT4IC	XX00X000b
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h			
0049h			
004Ah	タイマRE割り込み制御レジスタ	TREIC	XXXXX000b
004Bh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh			
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h			
0054h			
0055h	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	XXXXX000b
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART2送受信モードレジスタ	U2MR	00h
00A9h	UART2ビットレートレジスタ	U2BRG	XXh
00AAh	UART2送信バッファレジスタ	U2TB	XXh
00ABh			XXh
00ACh	UART2送受信制御レジスタ0	U2C0	00001000b
00ADh	UART2送受信制御レジスタ1	U2C1	00000010b
00AEh	UART2受信バッファレジスタ	U2RB	XXh
00AFh			XXh
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	00h
00BCh	UART2特殊モードレジスタ4	U2SMR4	00h
00BDh	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
00BEh	UART2特殊モードレジスタ2	U2SMR2	X0000000b
00BFh	UART2特殊モードレジスタ	U2SMR	X0000000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/Dレジスタ0	AD0	XXh
00C1h			000000XXb
00C2h	A/Dレジスタ1	AD1	XXh
00C3h			000000XXb
00C4h	A/Dレジスタ2	AD2	XXh
00C5h			000000XXb
00C6h	A/Dレジスタ3	AD3	XXh
00C7h			000000XXb
00C8h	A/Dレジスタ4	AD4	XXh
00C9h			000000XXb
00CAh	A/Dレジスタ5	AD5	XXh
00CBh			000000XXb
00CCh	A/Dレジスタ6	AD6	XXh
00CDh			000000XXb
00CEh	A/Dレジスタ7	AD7	XXh
00CFh			000000XXb
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/Dモードレジスタ	ADMOD	00h
00D5h	A/D入力選択レジスタ	ADINSEL	11000000b
00D6h	A/D制御レジスタ0	ADCON0	00h
00D7h	A/D制御レジスタ1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	XXh
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h	ポートP2レジスタ	P2	XXh
00E5h	ポートP3レジスタ	P3	XXh
00E6h	ポートP2方向レジスタ	PD2	00h
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	XXh
00E9h	ポートP5レジスタ	P5	XXh
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh	ポートP5方向レジスタ	PD5	00h
00ECh	ポートP6レジスタ	P6	XXh
00EDh			
00EEh	ポートP6方向レジスタ	PD6	00h
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケアラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h			
0106h			
0107h			
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタデータレジスタ	TRESEC	00h
0119h	タイマRE分データレジスタ/コンペアデータレジスタ	TREMIN	00h
011Ah	タイマRE時データレジスタ	TREHR	00h
011Bh	タイマRE曜日データレジスタ	TREWK	00h
011Ch	タイマRE制御レジスタ1	TRECR1	00h
011Dh	タイマRE制御レジスタ2	TRECR2	00h
011Eh	タイマREカウントソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
0126h	タイマRCカウンタ	TRC	00h
0127h			00h
0128h	タイマRCジェネラルレジスタA	TRCGRA	FFh
0129h			FFh
012Ah	タイマRCジェネラルレジスタB	TRCGRB	FFh
012Bh			FFh
012Ch	タイマRCジェネラルレジスタC	TRCGRC	FFh
012Dh			FFh
012Eh	タイマRCジェネラルレジスタD	TRCGRD	FFh
012Fh			FFh
0130h	タイマRC制御レジスタ2	TRCCR2	00011000b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h	タイマRCトリガ制御レジスタ	TRCADCR	00h
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			

注1. 空欄は予約領域です。アクセスしないでください。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h	タイマRA端子選択レジスタ	TRASR	00h
0181h	タイマRB/RC端子選択レジスタ	TRBRCSR	00h
0182h	タイマRC端子選択レジスタ0	TRCPSR0	00h
0183h	タイマRC端子選択レジスタ1	TRCPSR1	00h
0184h			
0185h			
0186h	タイマ端子選択レジスタ	TIMSR	00h
0187h			
0188h	UART0端子選択レジスタ	U0SR	00h
0189h			
018Ah	UART2端子選択レジスタ0	U2SR0	00h
018Bh	UART2端子選択レジスタ1	U2SR1	00h
018Ch			
018Dh			
018Eh	INT割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ1	FMR1	00h
01B6h	フラッシュメモリ制御レジスタ2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
01C0h	アドレス一致割り込みレジスタ0	RMAD0	XXh
01C1h			XXh
01C2h			0000XXXXb
01C3h	アドレス一致割り込み許可レジスタ	AIER	00h
01C4h	アドレス一致割り込みレジスタ1	RMAD1	XXh
01C5h			XXh
01C6h			0000XXXXb
01C7h			
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ブルアップ制御レジスタ0	PUR0	00h
01E1h	ブルアップ制御レジスタ1	PUR1	00h
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	ポートP1駆動能力制御レジスタ	P1DRR	00h
01F1h	ポートP2駆動能力制御レジスタ	P2DRR	00h
01F2h	駆動能力制御レジスタ0	DRR0	00h
01F3h	駆動能力制御レジスタ1	DRR1	00h
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	00h
01F6h	入力しきい値制御レジスタ1	VLT1	00h
01F7h			
01F8h	コンパレータB制御レジスタ0	INTCMP	00h
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	00h
01FBh	外部入力許可レジスタ1	INTEN1	00h
01FCh	INT入力フィルタ選択レジスタ0	INTF	00h
01FDh	INT入力フィルタ選択レジスタ1	INTF1	00h
01FEh	キー入力許可レジスタ0	KIEN	00h
01FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.9 IDコード領域、オプション機能選択領域

番地	領域名	シンボル	リセット後の値
FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
FFDFh	ID1		(注2)
FFE3h	ID2		(注2)
FFEBh	ID3		(注2)
FFEFh	ID4		(注2)
FFF3h	ID5		(注2)
FFF7h	ID6		(注2)
FFFBh	ID7		(注2)
FFFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。

ブランク出荷品の出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。

ブランク出荷品の出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表5.1にリセットの名称と要因を、図5.1にリセット回路のブロック図を示します。

表5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET 端子の入力電圧が “ L ”
パワーオンリセット	VCCの上昇
電圧監視0リセット	VCCの下降 (監視電圧 : Vdet0)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに “ 1 ” を書く

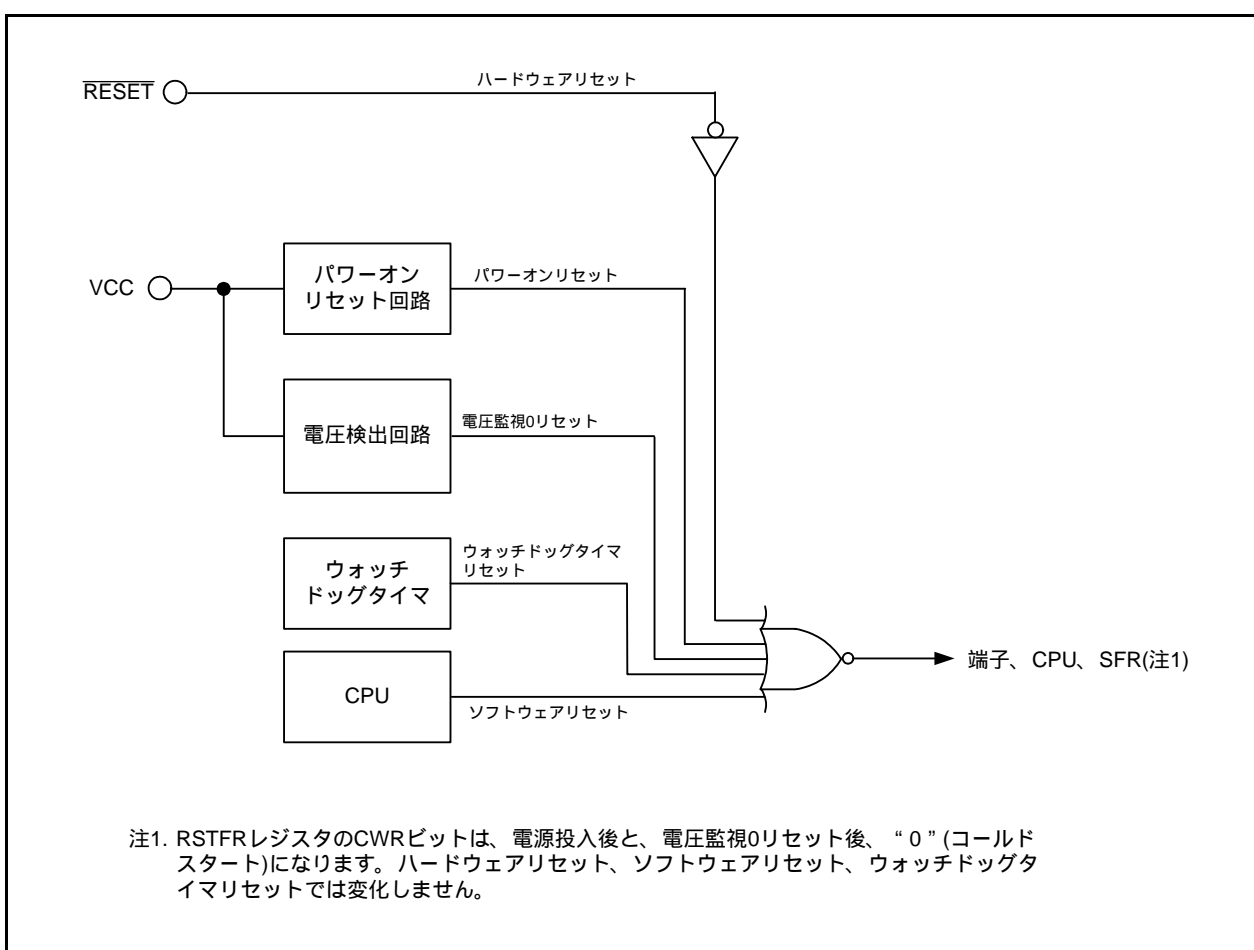


図5.1 リセット回路のブロック図

表5.2にRESET端子のレベルが“L”の期間の端子の状態を、図5.2にリセット後のCPUレジスタの状態を、図5.3にリセットシーケンスを示します。

表5.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0 ~ P3、P6	入力ポート
P4_2 ~ P4_7	入力ポート
P5_6 ~ P5_7	入力ポート

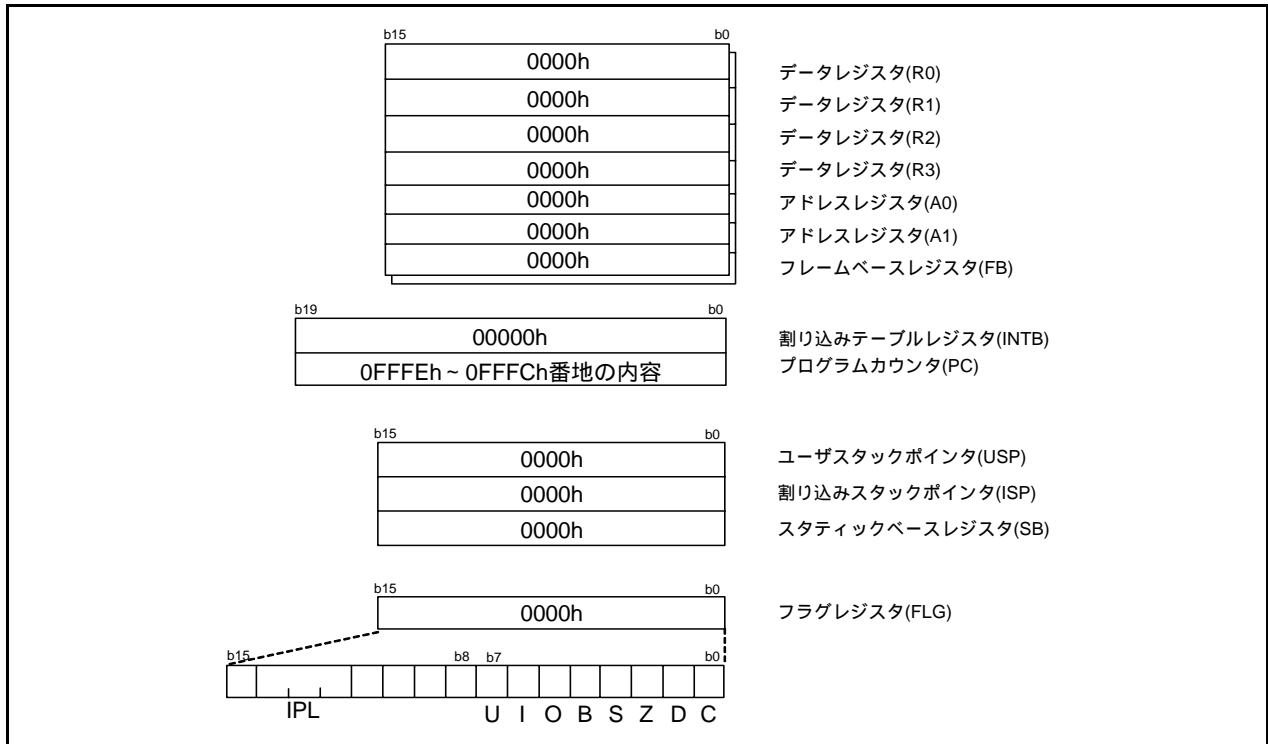


図5.2 リセット後のCPUレジスタの状態

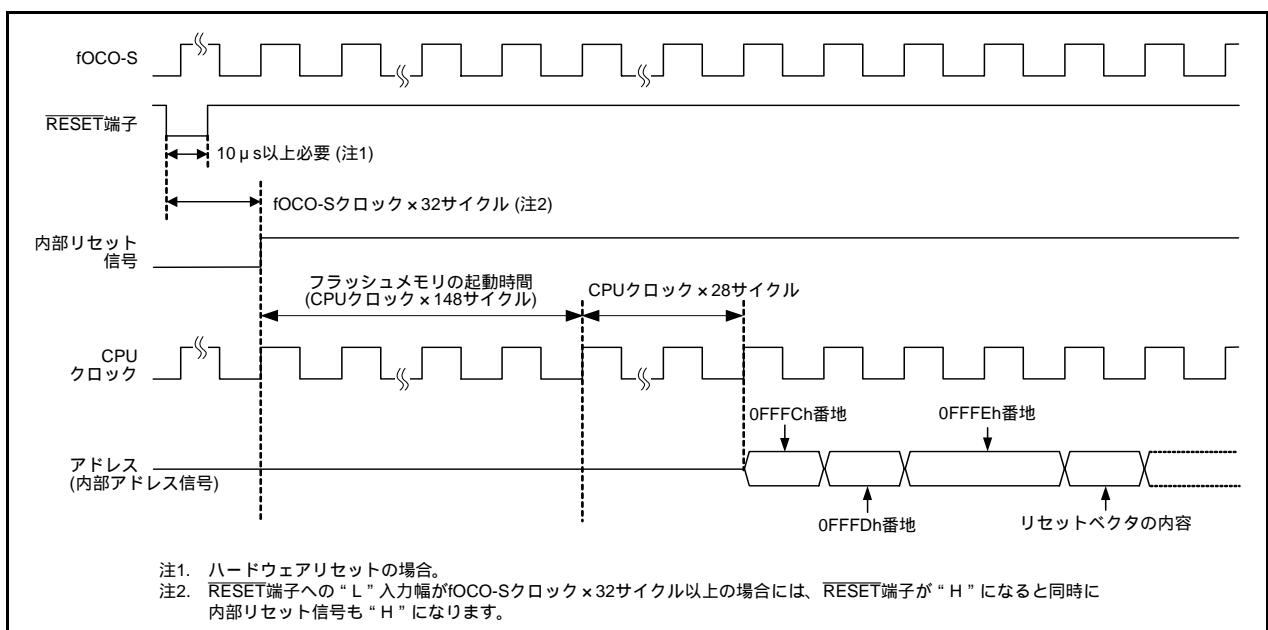


図5.3 リセットシーケンス

5.1 レジスタの説明

5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス	0004h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PM03	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-			
b3	PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

PM0レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

5.1.2 リセット要因判別レジスタ(RSTFR)

アドレス	000Bh番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	-	-	WDR	SWR	HWR	CWR	
リセット後の値	0	X	X	X	X	X	X	X	(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート/ウォームスタート判定フラグ(注2、3)	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0: 未検出 1: 検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0: 未検出 1: 検出	R
b4	-	予約ビット	読んだ場合、その値は不定。	R
b5	-			
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

注1. CWR ビットは電源投入後と、電圧監視0リセット後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWRビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。

注3. VW0CレジスタのVW0C0ビットが“0”(電圧監視0リセット禁止)のとき、CWRビットは不定です。

5.1.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0 : ROMコードプロテクト解除 1 : ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00 : 3.80Vを選択 (Vdet0_3) 01 : 2.85Vを選択 (Vdet0_2) 10 : 2.35Vを選択 (Vdet0_1) 11 : 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
- 注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

5.1.4 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

5.2 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表5.2 RESET端子のレベルが“L”の期間の端子の状態」, 「図5.2 リセット後のCPUレジスタの状態」, および「表4.1~表4.8 SFR一覧」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図5.4にハードウェアリセット回路例と動作を、図5.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.2.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) $10\mu\text{s}$ 待つ
- (3) RESET端子に“H”を入力する

5.2.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(P-R)$ 待つ(「26. 電気的特性」参照)
- (4) $10\mu\text{s}$ 待つ
- (5) RESET端子に“H”を入力する

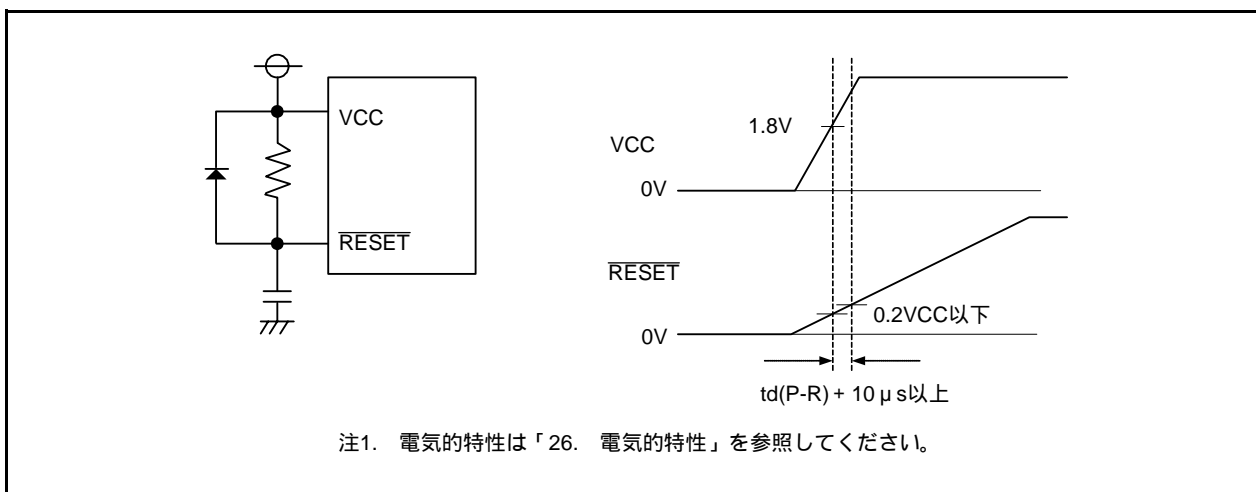


図5.4 ハードウェアリセット回路例と動作

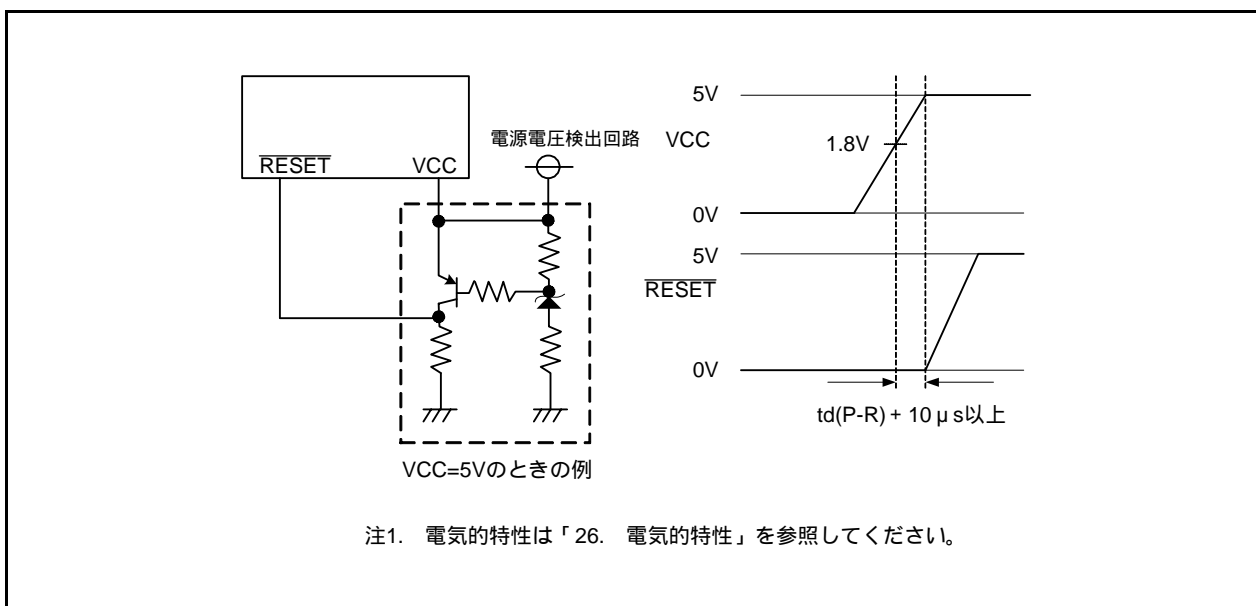


図5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.3 パワーオンリセット機能

抵抗を介してRESET端子をVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に0.8VCC以上になるようにご注意ください。

VCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6にパワーオンリセット回路例と動作を示します。

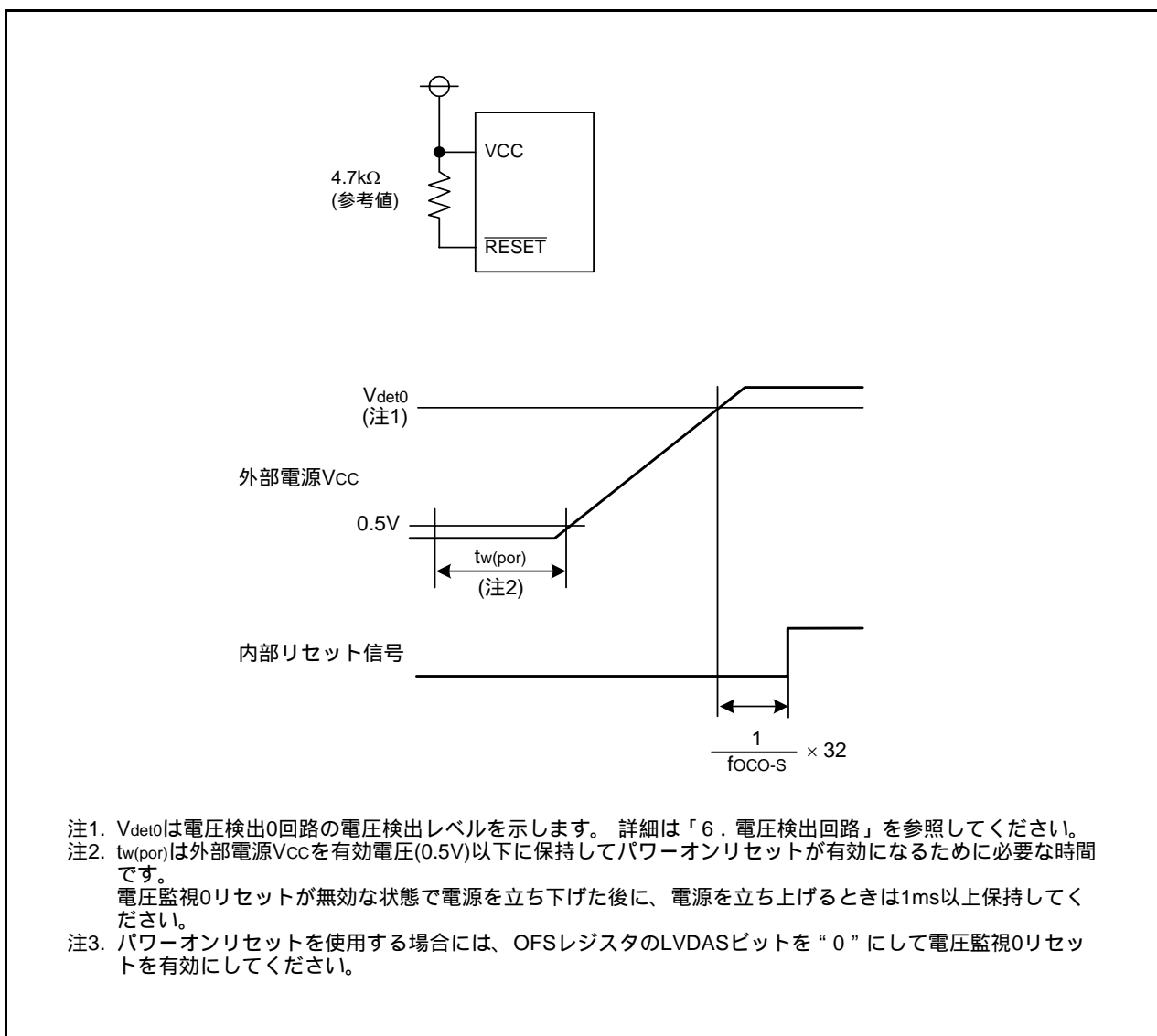


図5.6 パワーオンリセット回路例と動作

5.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0～VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウンタを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

VDSEL0～VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書き込んでください。OFSレジスタの詳細は「5.1.3 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6. 電圧検出回路」を参照してください。

図5.7に電圧監視0リセット回路例と動作を示します。

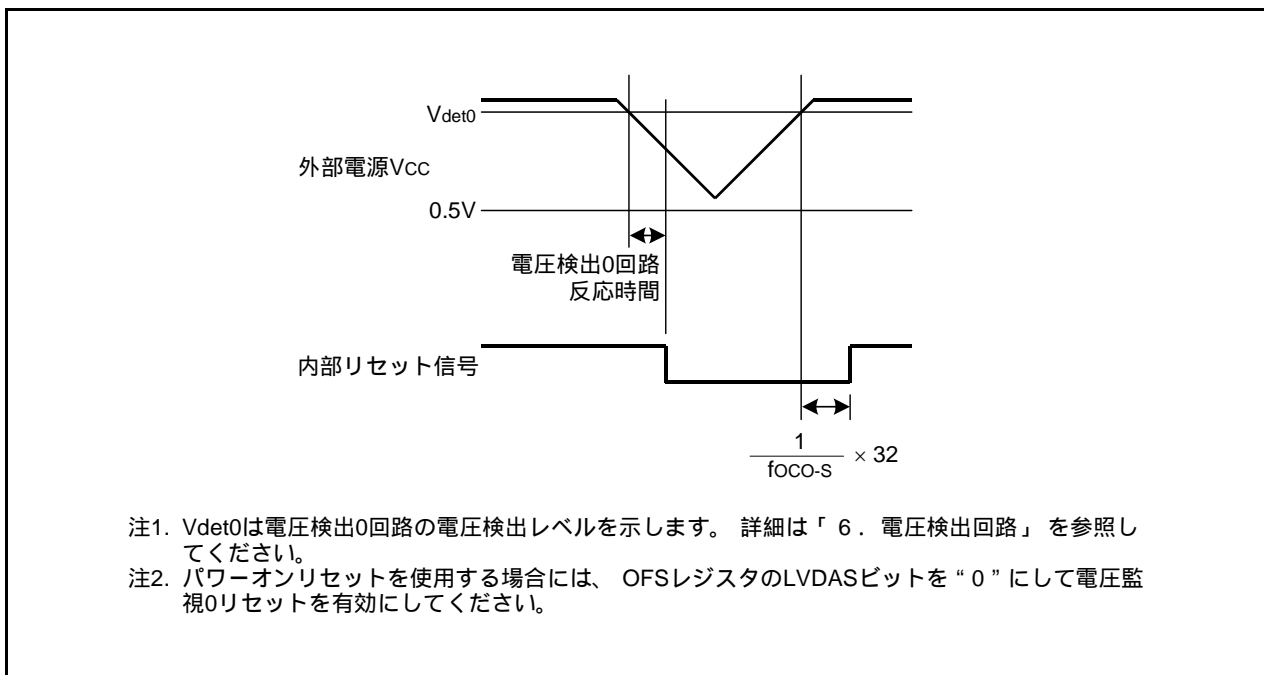


図5.7 電圧監視0リセット回路例と動作

5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0～WDTUFS1ビット、WDTRCS0～WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「14. ウォッチドッグタイマ」を参照してください。

5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。

5.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時“0”(コールドスタート)です。また、電圧監視0リセットでも“0”になります。CWRビットはプログラムで“1”を書くと“1”になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図5.8にコールドスタート/ウォームスタート判定機能の動作例を示します。

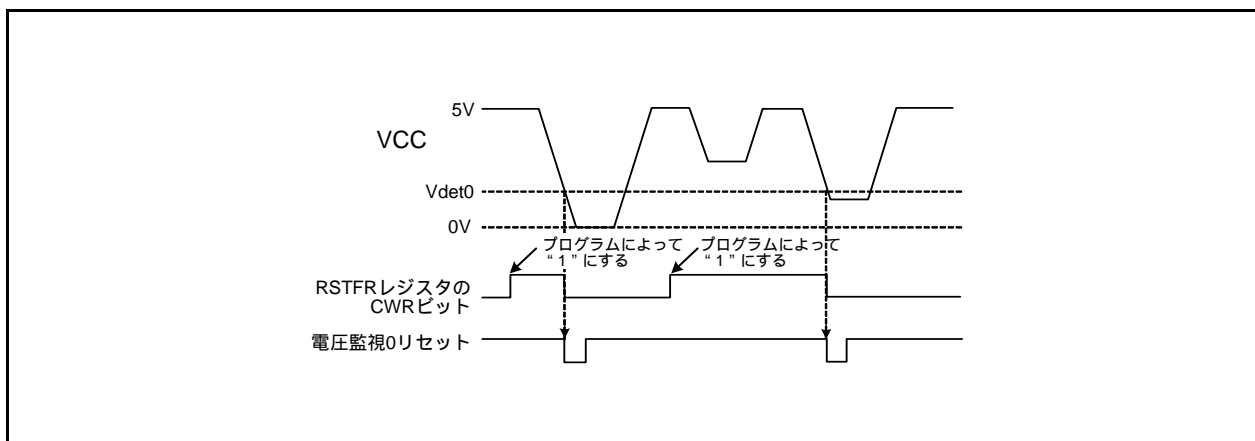


図5.8 コールドスタート/ウォームスタート判定機能の動作例

5.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセットが発生すると、HWRビットが“1”(検出)になります。ソフトウェアリセットが発生すると、SWRビットが“1”(検出)になります。ウォッチドッグタイマリセットが発生すると、WDRビットが“1”(検出)になります。

6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できません。

6.1 概要

電圧検出0はOFSレジスタで、検出電圧を4レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を16レベルから選択できます。

また、電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

表6.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	検出電圧	OFSレジスタで4レベルから選択可能	VD1LSレジスタで16レベルから選択可能	固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低いかなし	VCA1レジスタのVCA13ビット Vdet2より高いか低いかなし
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット； VCC > Vdet0でCPU動作再開	なし	なし
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求	ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCC、VCC > Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間		(fOCO-Sのn分周) × 2 n: 1、2、4、8	(fOCO-Sのn分周) × 2 n: 1、2、4、8

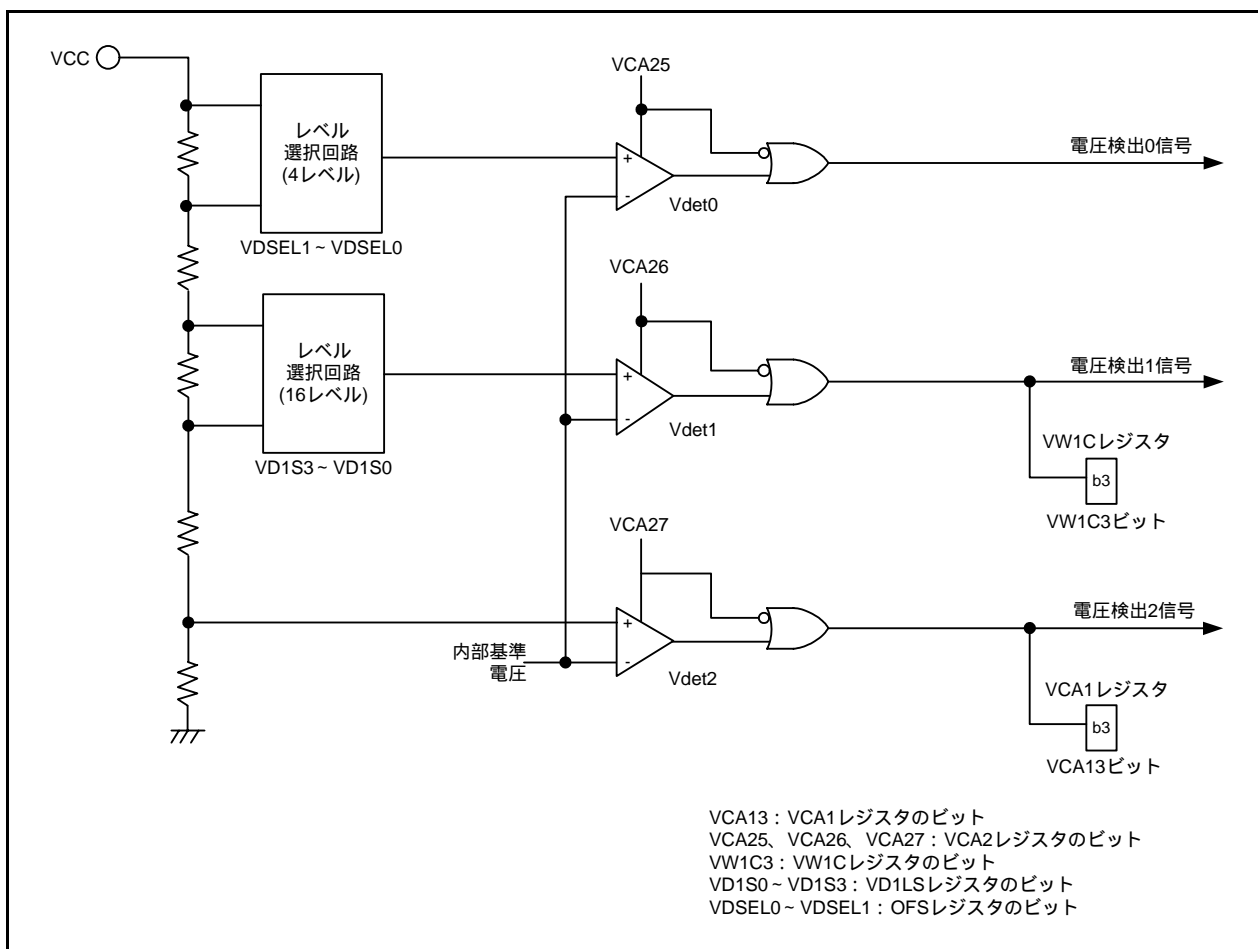


図6.1 電圧検出回路ブロック図

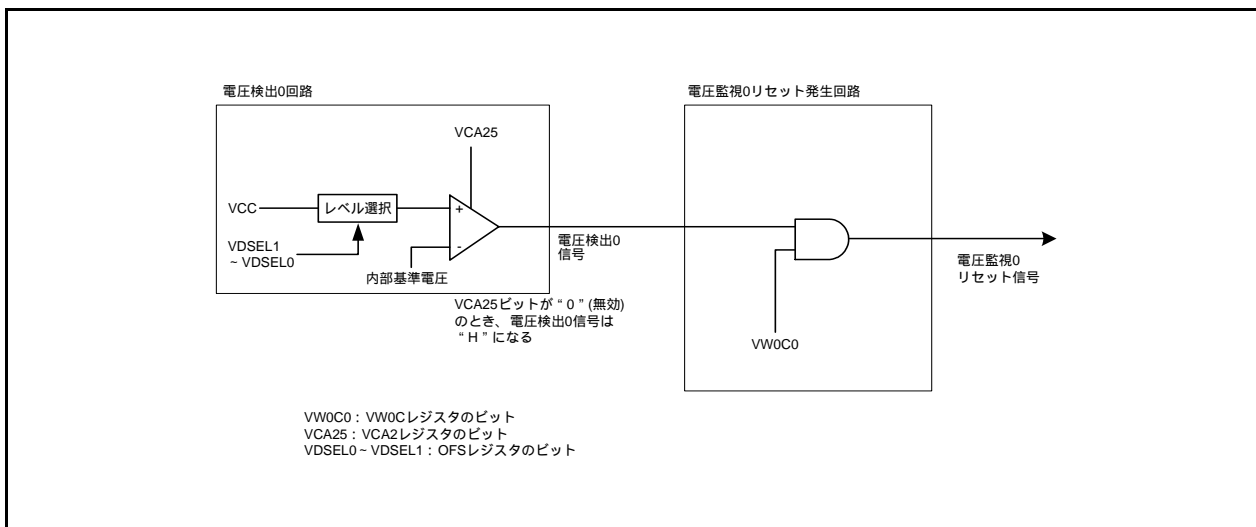


図6.2 電圧監視0リセット発生回路のブロック図

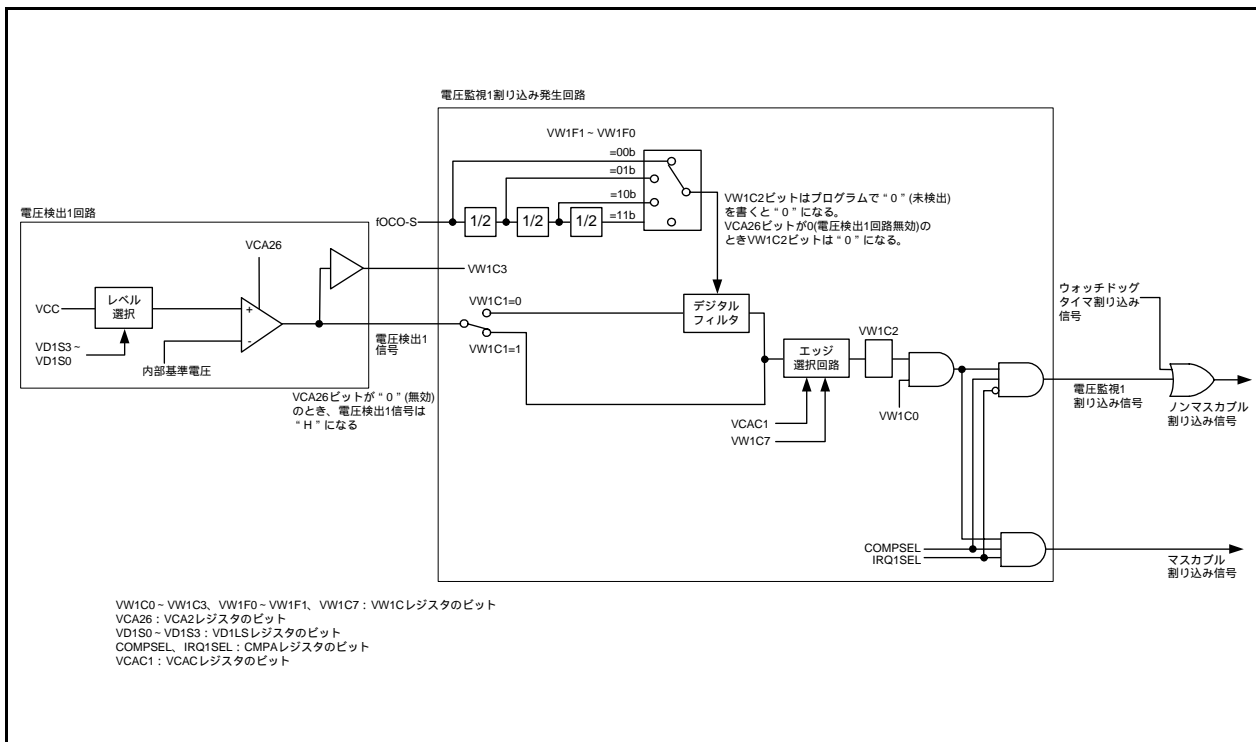


図6.3 電圧監視1割り込み発生回路のブロック図

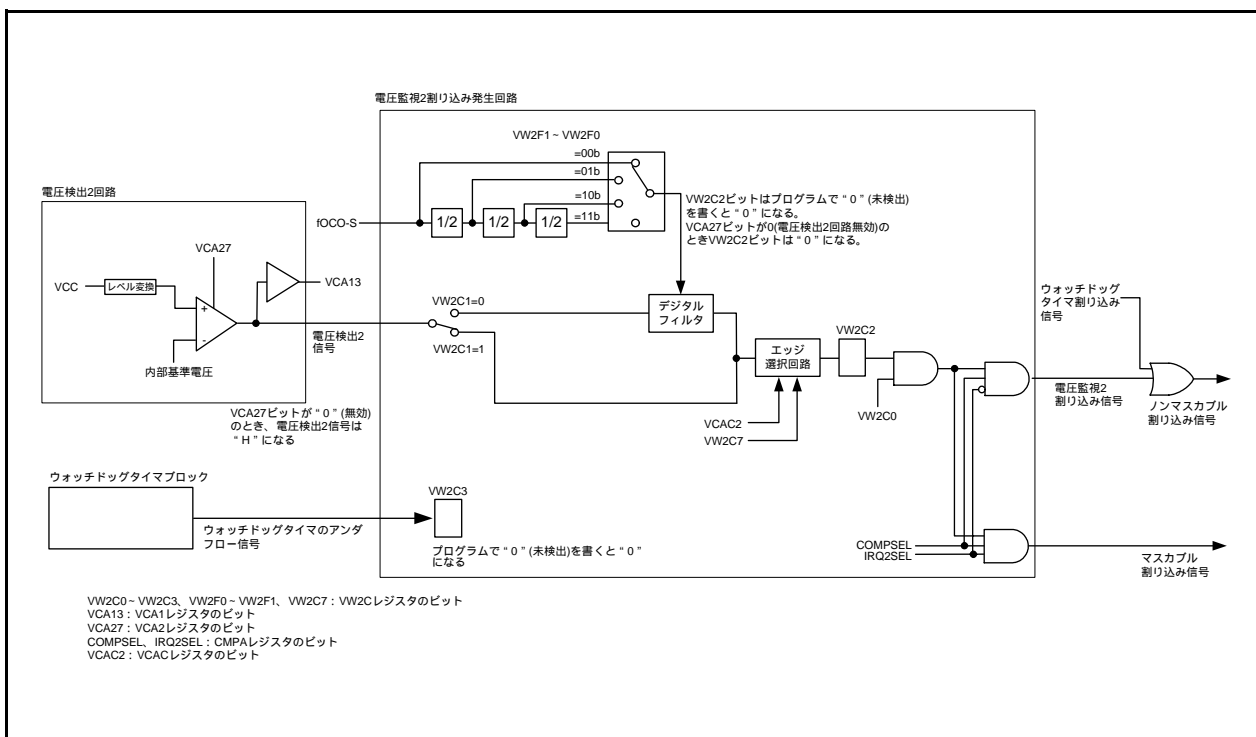


図6.4 電圧監視2割り込み発生回路のブロック図

6.2 レジスタの説明

6.2.1 電圧監視回路制御レジスタ(CMPA)

アドレス 0030h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMPSEL	—	IRQ2SEL	IRQ1SEL	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	IRQ1SEL	電圧監視1割り込み種類選択ビット (注1)	0: ノンマスクابل割り込み 1: マスクابل割り込み	R/W
b5	IRQ2SEL	電圧監視2割り込み種類選択ビット (注2)	0: ノンマスクابل割り込み 1: マスクابل割り込み	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	COMPSEL	電圧監視割り込み種類選択有効ビット (注1、2)	0: IRQ1SEL、IRQ2SELビット無効 1: IRQ1SEL、IRQ2SELビット有効	R/W

注1. VW1CレジスタのVW1C0ビットが“1”(許可)のとき、IRQ1SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

注2. VW2CレジスタのVW2C0ビットが“1”(許可)のとき、IRQ2SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

6.2.2 電圧監視回路エッジ選択レジスタ(VCAC)

アドレス 0031h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	VCAC2	VCAC1	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	VCAC1	電圧監視1回路エッジ選択ビット (注1)	0:片エッジ 1:両エッジ	R/W
b2	VCAC2	電圧監視2回路エッジ選択ビット (注2)	0:片エッジ 1:両エッジ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

注2. VCAC2ビットが“0”(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

6.2.3 電圧検出レジスタ1(VCA1)

アドレス 0033h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	VCA13	-	-	-
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0”にしてください	R/W
b1	-			
b2	-			
b3	VCA13	電圧検出2信号モニタフラグ(注1)	0: VCC < Vdet2 1: VCC > Vdet2、または電圧検出2回路無効	R
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。

VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC > Vdet2)になります。

6.2.4 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図9.3 VCA20ビットによる内部電源低消費電力操作手順」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.5 電圧検出1レベル選択レジスタ(VD1LS)

アドレス 0036h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0 0 0 0 0 : 2.20V (Vdet1_0)	R/W
b1	VD1S1		0 0 0 1 : 2.35V (Vdet1_1)	R/W
b2	VD1S2		0 0 1 0 : 2.50V (Vdet1_2)	R/W
b3	VD1S3		0 0 1 1 : 2.65V (Vdet1_3)	R/W
			0 1 0 0 : 2.80V (Vdet1_4)	
			0 1 0 1 : 2.95V (Vdet1_5)	
			0 1 1 0 : 3.10V (Vdet1_6)	
			0 1 1 1 : 3.25V (Vdet1_7)	
			1 0 0 0 : 3.40V (Vdet1_8)	
			1 0 0 1 : 3.55V (Vdet1_9)	
		1 0 1 0 : 3.70V (Vdet1_A)		
		1 0 1 1 : 3.85V (Vdet1_B)		
		1 1 0 0 : 4.00V (Vdet1_C)		
		1 1 0 1 : 4.15V (Vdet1_D)		
		1 1 1 0 : 4.30V (Vdet1_E)		
		1 1 1 1 : 4.45V (Vdet1_F)		
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-			

VD1LSレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.6 電圧監視0回路制御レジスタ(VW0C)

アドレス 0038h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	VW0C0
リセット後の値	1	1	0	0	X	0	1	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	1	1	0	0	X	0	1	1
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	-	予約ビット	読んだ場合、その値は不定。	R
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-	予約ビット	“1” にしてください	R/W
b7	-			

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効になります。
VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.7 電圧監視1回路制御レジスタ(VW1C)

アドレス 0039h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	-	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2、6)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet1 通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注3)	0: VCC < Vdet1 1: VCC > Vdet1 または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット (注6)	b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周	R/W
b5	VW1F1			R/W
b6	-	予約ビット	"0" にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット(注5)	0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき	R/W

- 注1. VW1C0ビットはVCA2レジスタのVCA26ビットが"1"(電圧検出1回路有効)のとき有効になります。VCA26ビットが"0"(電圧検出1回路無効)のとき、VW1C0ビットを"0"(禁止)にしてください。VW1C0ビットを"1"(許可)にするときは、「表6.2 電圧監視1割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW1C1ビットが"0")、CM1レジスタのCM14ビットを"0"(低速オンチップオシレータ発振)にしてください。
なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを"1"(デジタルフィルタ無効)にしてください。
- 注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが"1"(電圧検出1回路有効)のとき有効になります。
- 注4. プログラムで"0"にしてください。プログラムで"0"を書くとき"0"になります("1"を書いても変化しません)。
- 注5. VW1C7ビットはVCACレジスタのVCAC1ビットが"0"(片エッジ)のとき有効になります。VCAC1ビットを"0"にした後、VW1C7ビットを設定してください。
- 注6. VW1C0ビットが"1"(許可)のとき、VW1C1ビットとVW1F1~VW1F0ビットを同時に(1命令で)設定しないでください。

VW1CレジスタはPRCRレジスタのPRC3ビットを"1"(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが"1"になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを"0"にしてください。

6.2.8 電圧監視2回路制御レジスタ(VW2C)

アドレス 003Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	-	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	電圧監視2割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2、6)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet2通過検出	R/W
b3	VW2C3	WDT検出フラグ(注4)	0: 未検出 1: 検出	R/W
b4	VW2F0	サンプリングクロック選択ビット (注6)	b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周	R/W
b5	VW2F1			R/W
b6	-	予約ビット	"0" にしてください	R/W
b7	VW2C7	電圧監視2割り込み発生条件選択ビット(注5)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	R/W

- 注1. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表6.3 電圧監視2割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW2C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。
- 注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。
- 注6. VW2C0ビットが“1”(許可)のとき、VW2C1ビットとVW2F1～VW2F0ビットを同時に(1命令で)設定しないでください。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

6.2.9 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0 : ROMコードプロテクト解除 1 : ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00 : 3.80Vを選択 (Vdet0_3) 01 : 2.85Vを選択 (Vdet0_2) 10 : 2.35Vを選択 (Vdet0_1) 11 : 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

6.3 VCC入力電圧のモニタ

6.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

6.3.2 Vdet1のモニタ

次の設定をした後、td(E-A) (「26. 電気的特性」参照) 経過後、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S3 ~ VD1S0ビット(電圧検出1検出電圧)を設定する
- (2) VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする

6.3.3 Vdet2のモニタ

次の設定をした後、td(E-A) (「26. 電気的特性」参照) 経過後、VCA1レジスタのVCA13ビットで電圧監視2の比較結果をモニタできます。

- VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする

6.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図6.5に電圧監視0リセット動作例を示します。

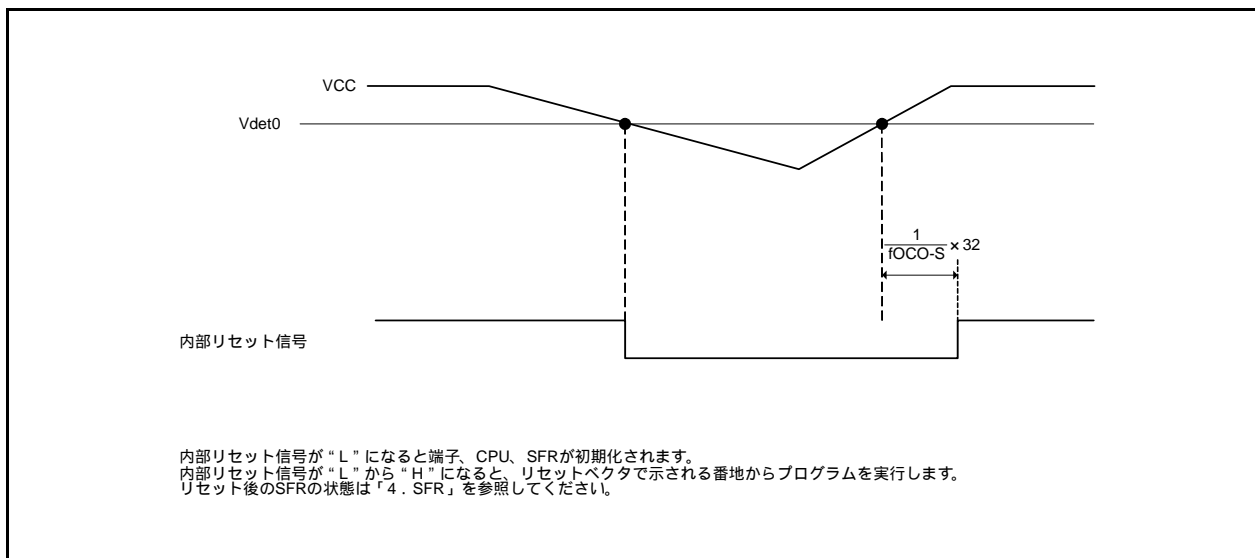


図6.5 電圧監視0リセット動作例

6.5 電圧監視1割り込み

表6.2に電圧監視1割り込み関連ビットの設定手順を、図6.6に電圧監視1割り込み動作例を示します。
 なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.2 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S3～VD1S0ビットで電圧検出1検出電圧を選択する	
2	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする	
3	td(E-A)待つ	
4	CMPAレジスタのCOMPSELビットを“1”にする	
5(注1)	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
6	VW1CレジスタのVW1F1～VW1F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする
7(注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする	
8	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
9	VW1CレジスタのVW1C2ビットを“0”にする	
10	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	
11	デジタルフィルタのサンプリングクロック×2サイクル待つ	(待ち時間なし)
12(注3)	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み許可)にする	

注1. VW1C0ビットが“0”のとき、手順4と5は同時に(1命令で)実行可能です。

注2. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行可能です。

注3. 電圧監視1割り込み禁止の状態でも、電圧検出1回路が有効であれば、電圧低下を検出し、VW1C2ビットは“1”になります。

電圧監視1割り込み関連ビットの設定手順において、電圧検出1回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW1C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

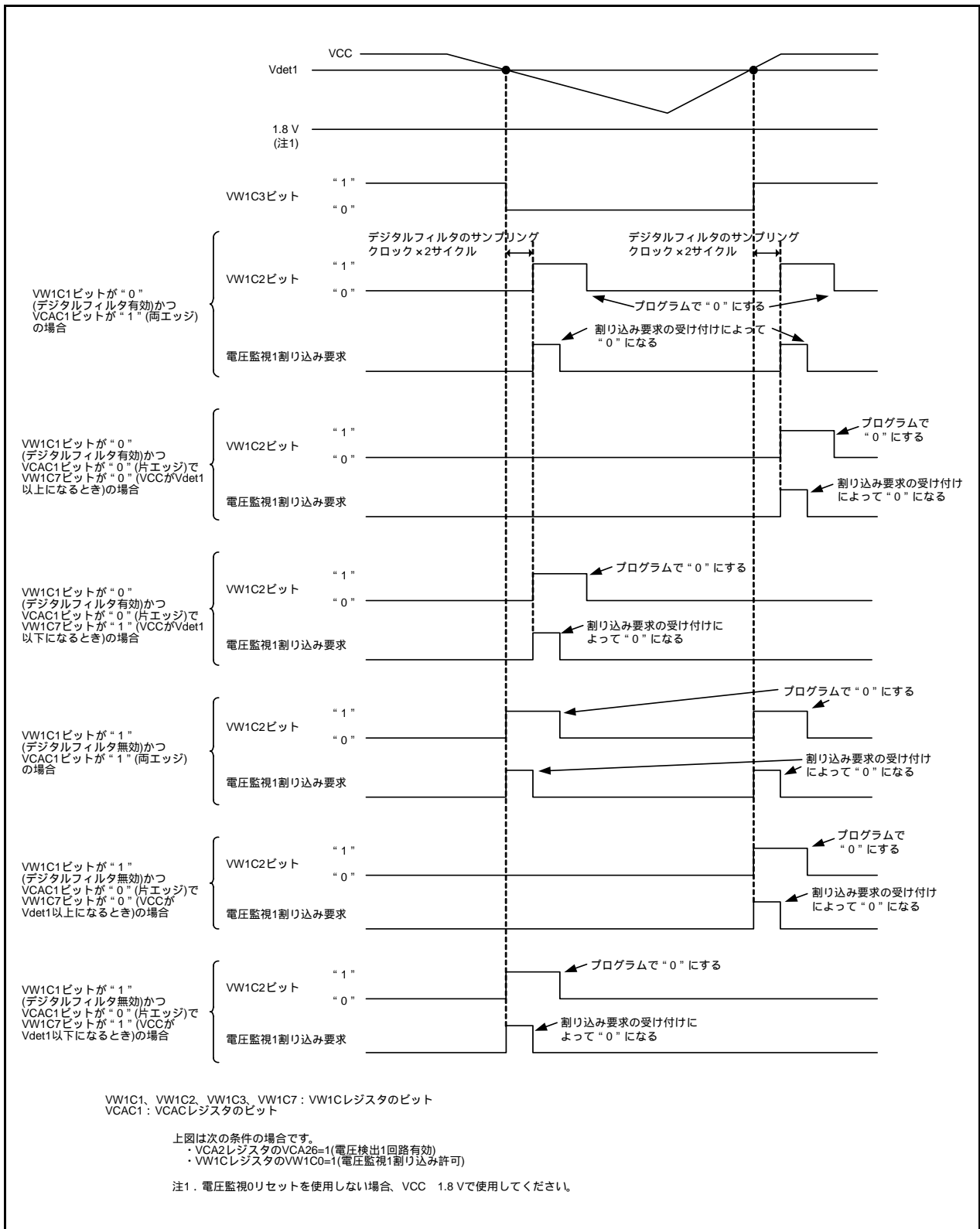


図6.6 電圧監視1割り込み動作例

6.6 電圧監視2割り込み

表6.3に電圧監視2割り込み関連ビットの設定手順を、図6.7に電圧監視2割り込み動作例を示します。
 なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.3 電圧監視2割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする	
2	td(E-A)待つ	
3	CMPAレジスタのCOMPSELビットを“1”にする	
4(注1)	CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する	
5	VW2CレジスタのVW2F1～VW2F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする
6(注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする	
7	VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み要求のタイミングを選択する	
8	VW2CレジスタのVW2C2ビットを“0”にする	
9	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	
10	デジタルフィルタのサンプリングクロック×2サイクル待つ	(待ち時間なし)
11(注3)	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み許可)にする	

注1. VW2C0ビットが“0”のとき、手順3と4は同時に(1命令で)実行可能です。

注2. VW2C0ビットが“0”のとき、手順5と6は同時に(1命令で)実行可能です。

注3. 電圧監視2割り込み禁止の状態でも、電圧検出2回路が有効であれば、電圧低下を検出し、VW2C2ビットは“1”になります。

電圧監視2割り込み関連ビットの設定手順において、電圧検出2回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW2C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

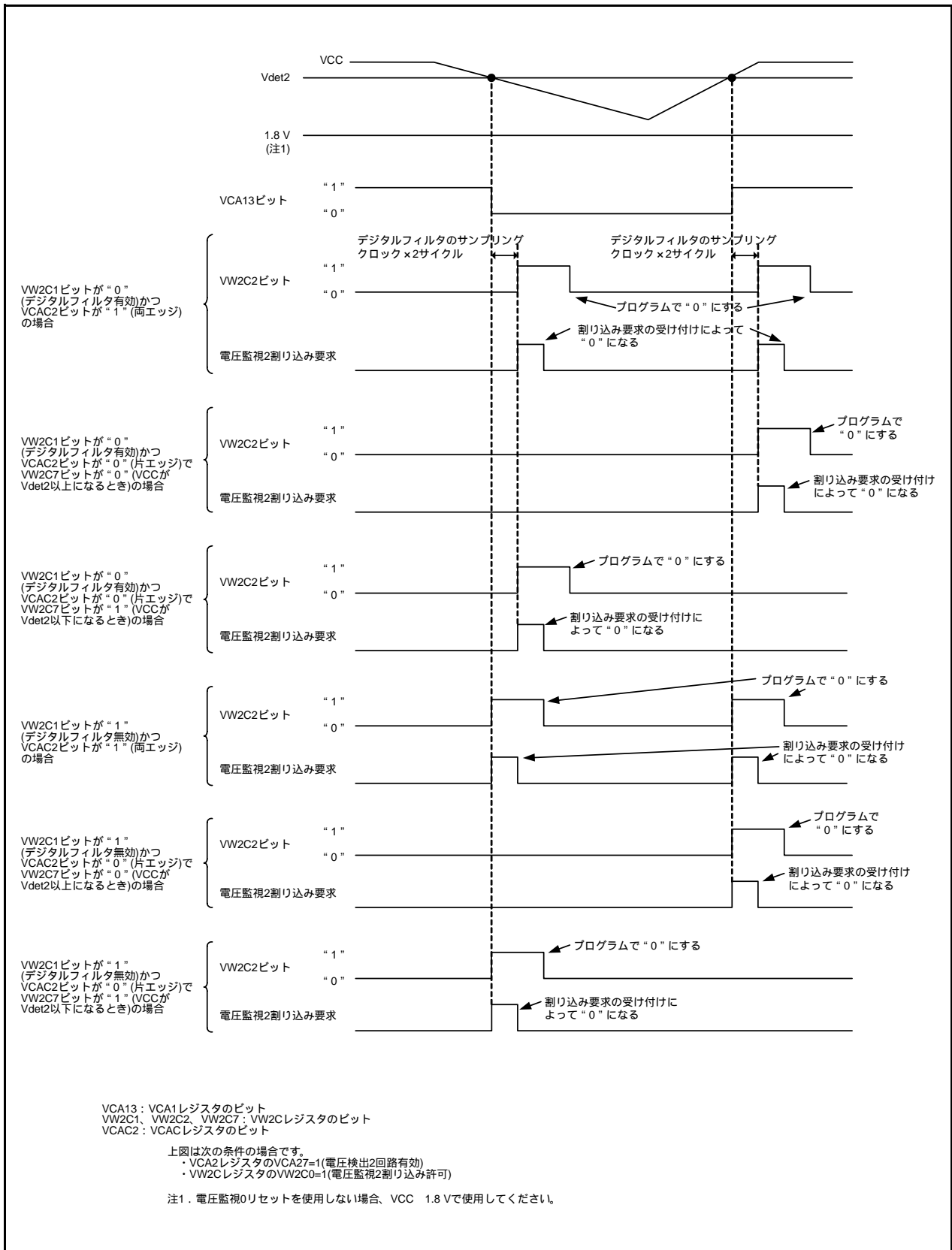


図 6.7 電圧監視2割り込み動作例

7. I/Oポート

I/Oポートは、P0～P3、P4_3～P4_7、P5_6、P5_7、P6の47本あります(P4_3、P4_4はXCINクロック発振回路を使用しない場合、P4_6、P4_7はXINクロック発生回路を使用しない場合、I/Oポートとして使用できません)。

また、A/Dコンバータを使用しない場合、P4_2を入力専用ポートとして使用できます。

表7.1にI/Oポートの概要を示します。

表7.1 I/Oポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力切り替え	入力レベル切り替え
P0、P3、P6	入出力	CMOS3 ステート	1ビット単位で 設定	4ビット単位で 設定(注1)	4ビット単位で 設定(注3)	8ビット単位で 設定(注4)
P1、P2	入出力	CMOS3 ステート	1ビット単位で 設定	4ビット単位で 設定(注1)	1ビット単位で 設定(注2)	8ビット単位で 設定(注4)
P4_3(注5)	入出力	CMOS3 ステート	1ビット単位で 設定	1ビット単位で 設定(注1)	1ビット単位で 設定(注3)	6ビット単位で 設定(注4)
P4_4(注5)、P4_5、 P4_6(注6)、P4_7(注6)	入出力	CMOS3 ステート	1ビット単位で 設定	4ビット単位で 設定(注1)	4ビット単位で 設定(注3)	
P4_2(注7)	入力	(出力機能なし)	なし	なし	なし	
P5_6、P5_7	入出力	CMOS3 ステート	1ビット単位で 設定	2ビット単位で 設定(注1)	2ビット単位で 設定(注3)	2ビット単位で 設定(注4)

注1. 入力モード時、PUR0レジスタおよびPUR1レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. P1DRRレジスタおよびP2DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. DRR0レジスタおよびDRR1レジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注4. VLT0レジスタおよびVLT1レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

注5. XCINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注6. XINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注7. A/Dコンバータを使用しない場合、入力専用ポートとして使用できます。

7.1 I/Oポートの機能

ポートP0～P3、P4_3～P4_7、P5_6、P5_7、P6の入出力はPDi(i=0～6)レジスタのPDi_j(j=0～7)ビットで制御します。Piレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図7.1～図7.16にI/Oポートの構成を、表7.2にI/Oポートの機能を示します。

表7.2 I/Oポートの機能

Piレジスタをアクセス 時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

i=0～6、j=0～7

注1. PD4_0～PD4_2ビット、PD5_0～PD5_2ビット、PD5_5ビットには何も配置されていません。また、PD5_3ビット、PD5_4ビットは予約ビットです。

7.2 周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表1.4 ピン番号別端子名一覧(1)」および「表1.5 ピン番号別端子名一覧(2)」参照)。

表7.3に周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0~6、j=0~7)を示します。周辺機能の設定方法は、各機能説明を参照してください。

表7.3 周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0~6、j=0~7)

周辺機能の入出力	端子を共用しているポートのPDi _j ビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

7.3 I/Oポート以外の端子

図7.17に端子の構成を示します。

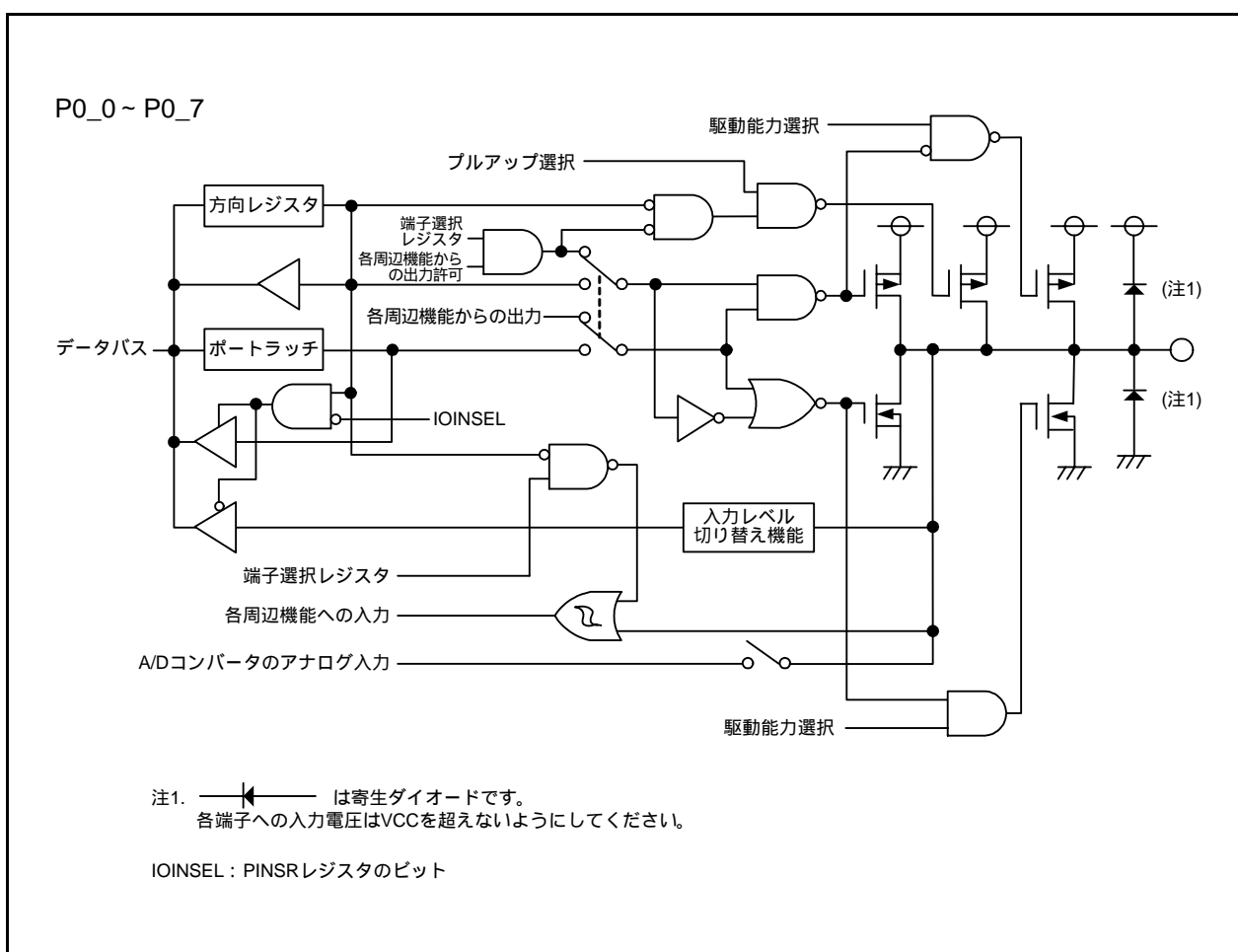


図7.1 I/Oポートの構成(1)

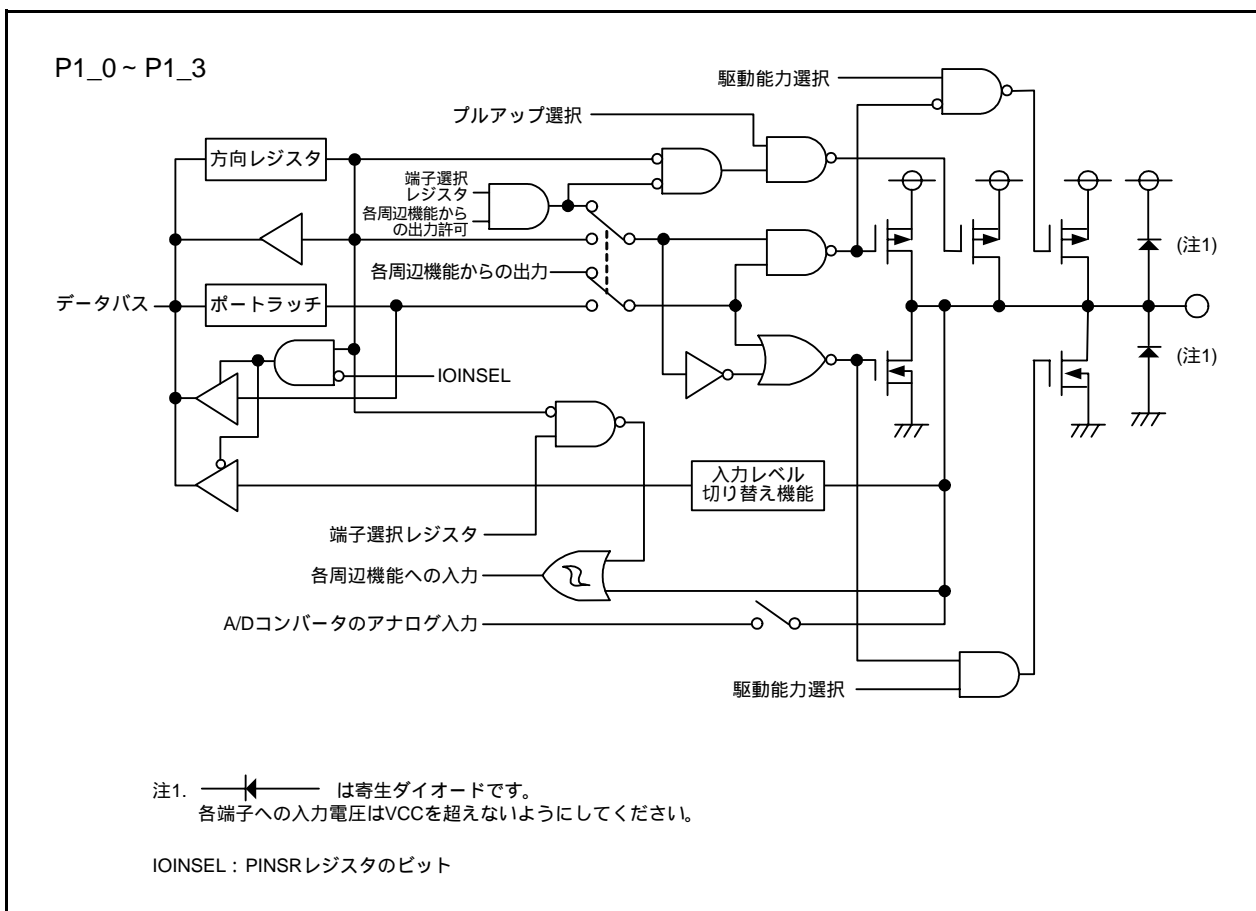


図7.2 I/Oポートの構成(2)

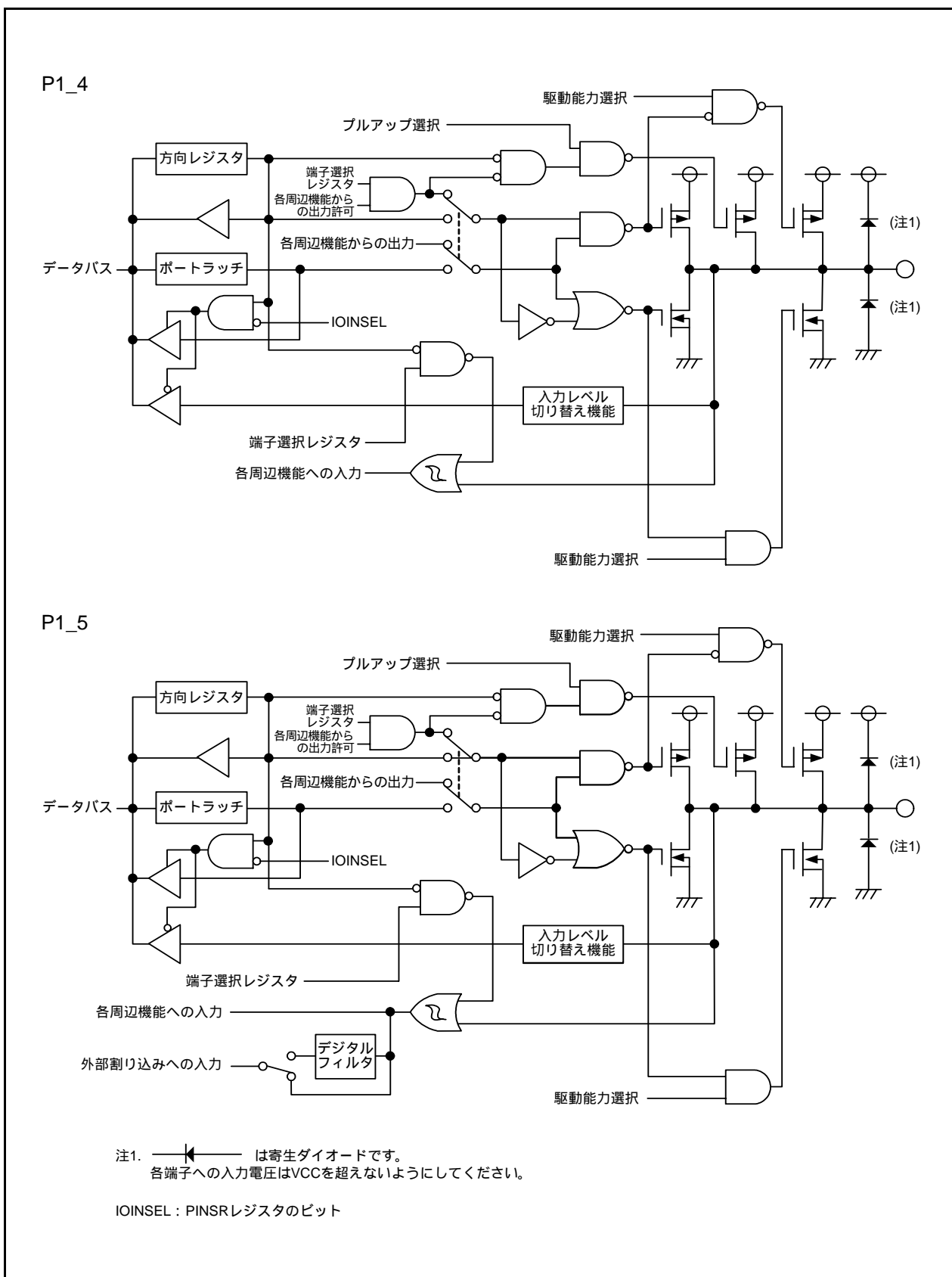


図7.3 I/Oポートの構成(3)

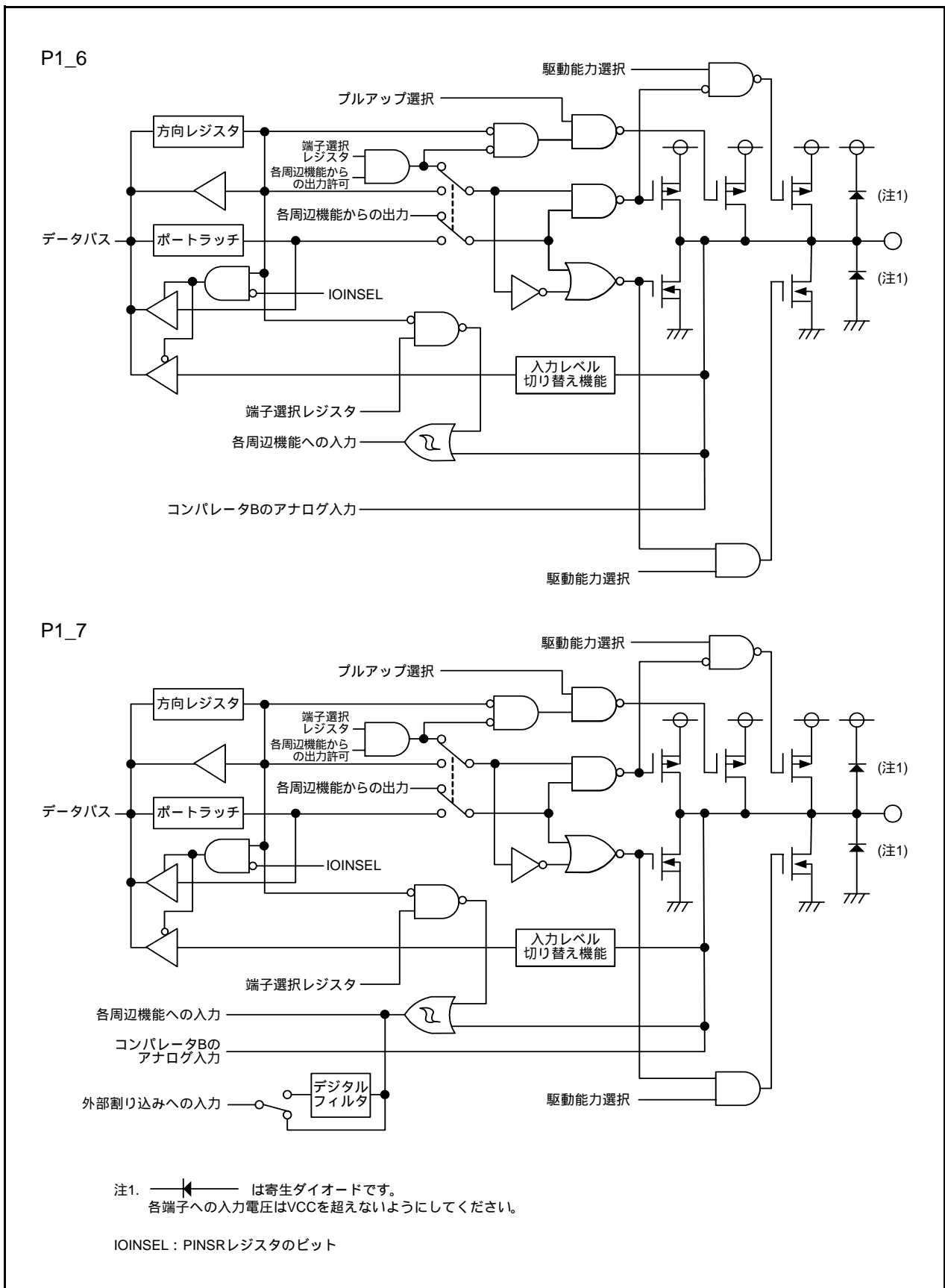


図7.4 I/Oポートの構成(4)

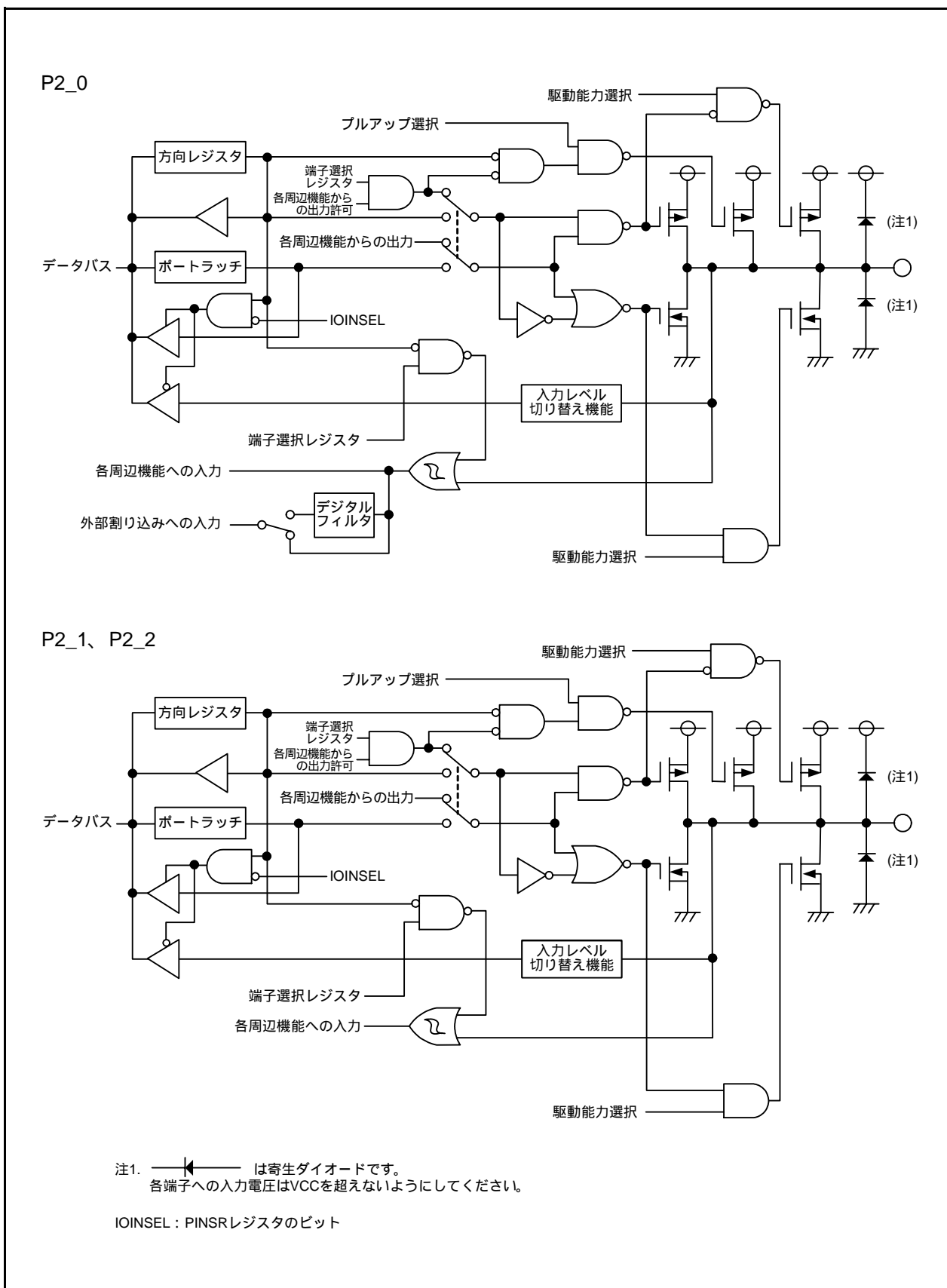


図7.5 I/Oポートの構成(5)

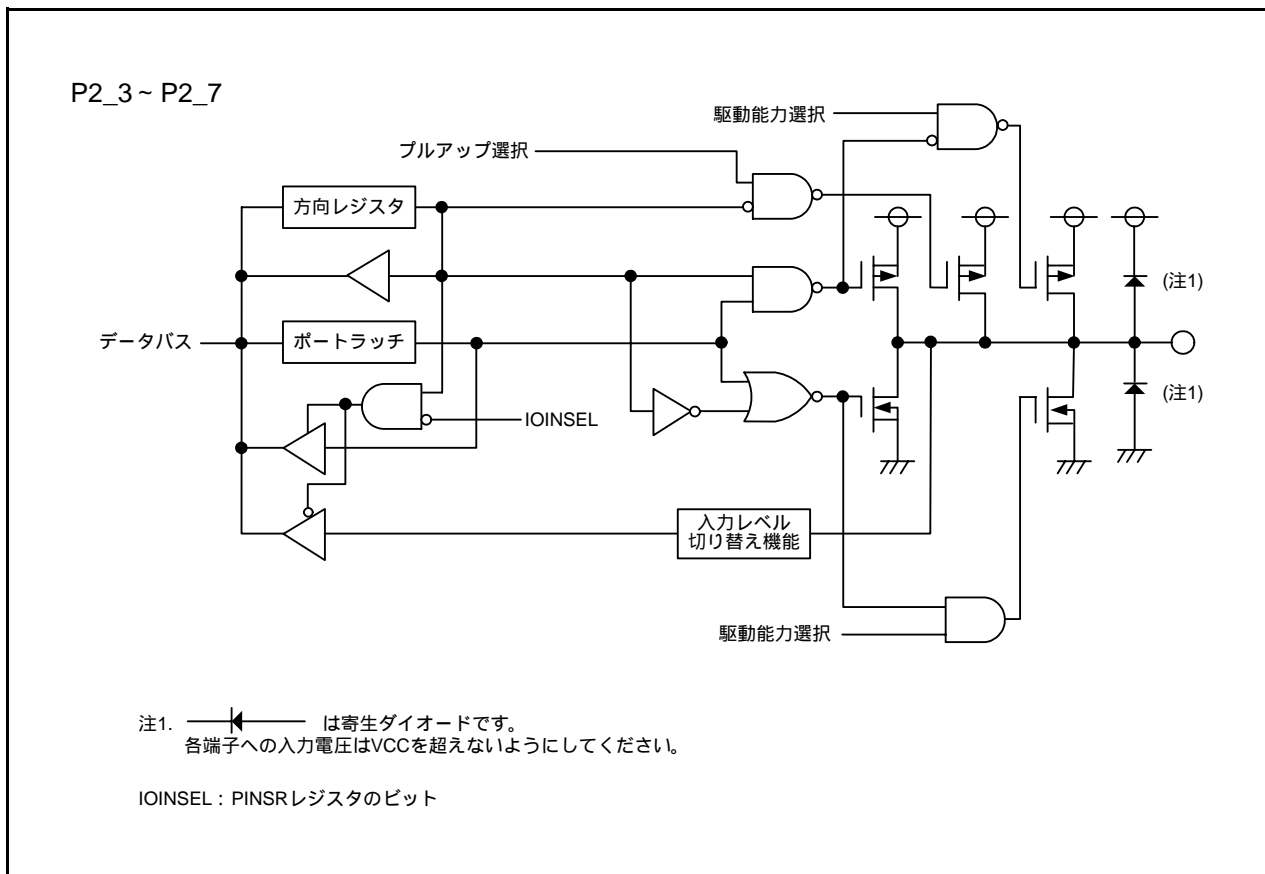


図7.6 I/Oポートの構成(6)

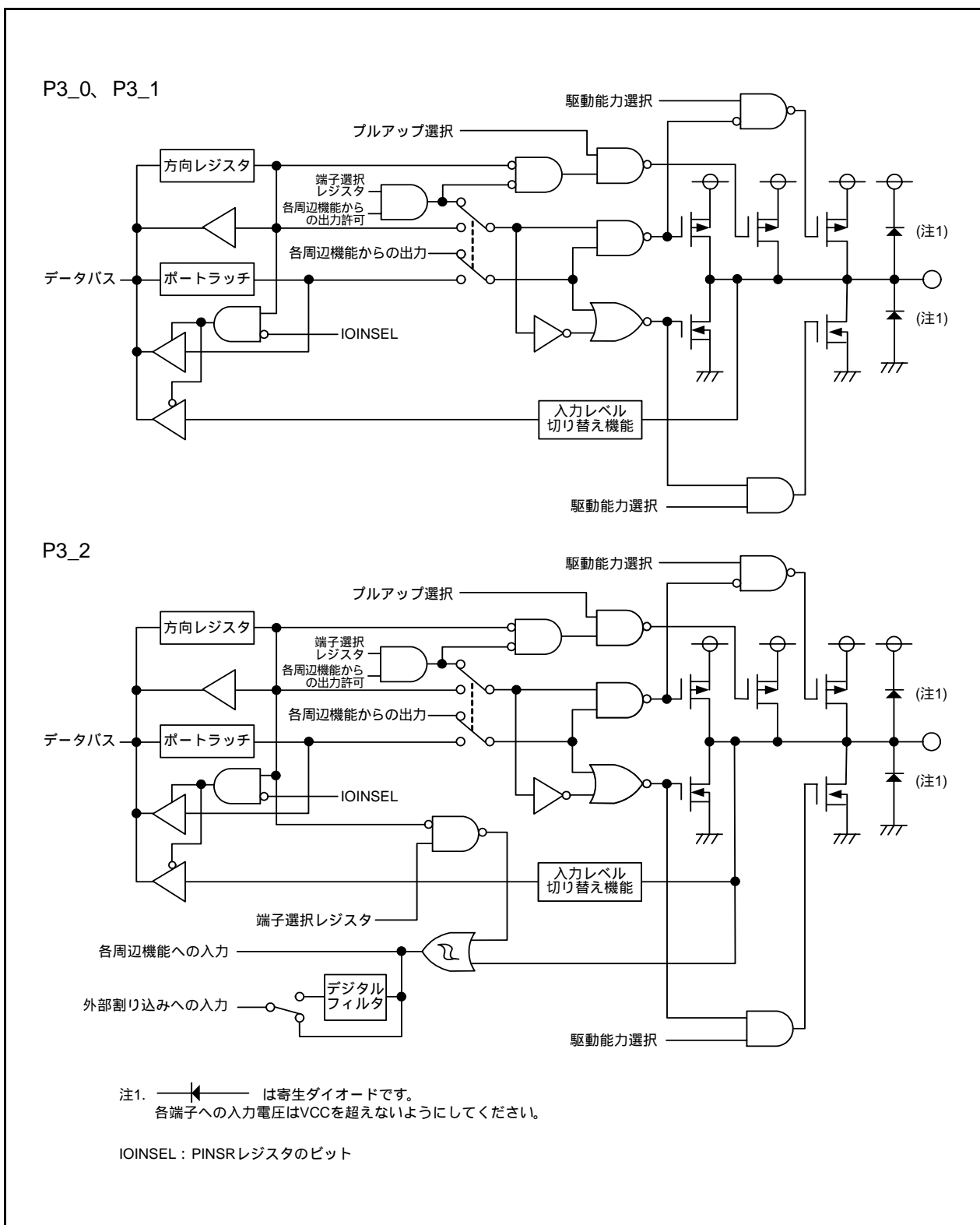


図7.7 I/Oポートの構成(7)

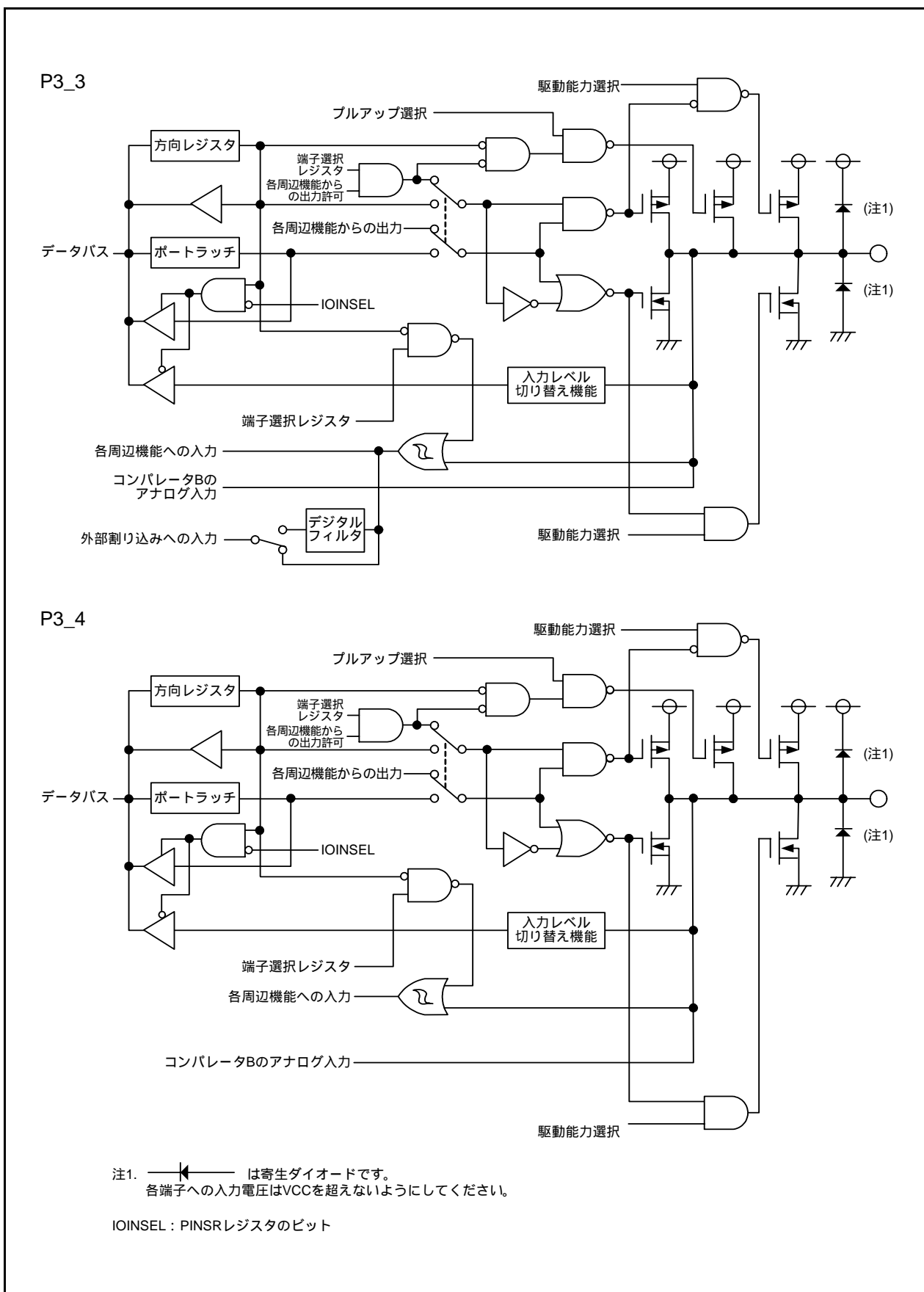


図7.8 I/Oポートの構成(8)

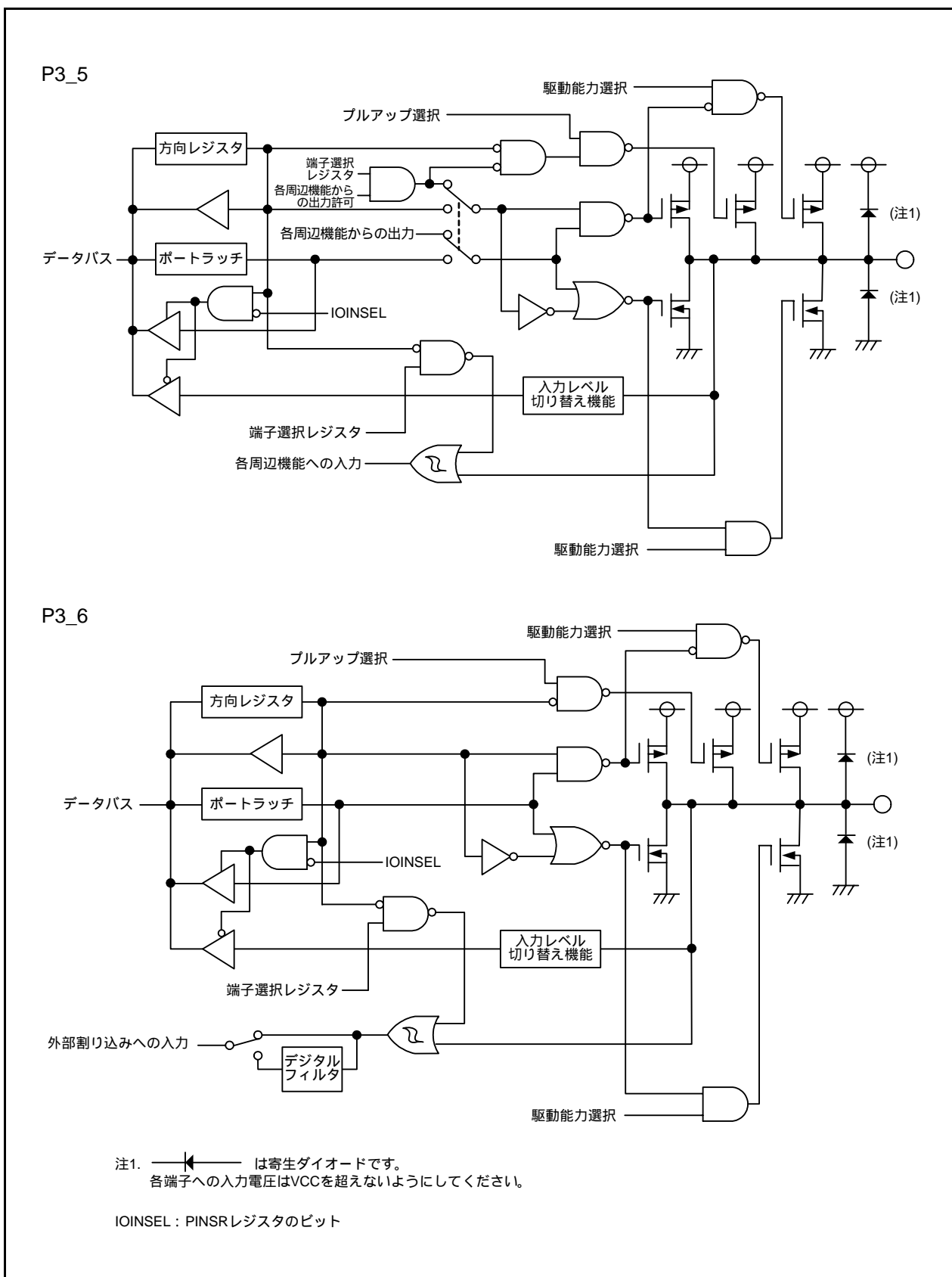


図7.9 I/Oポートの構成(9)

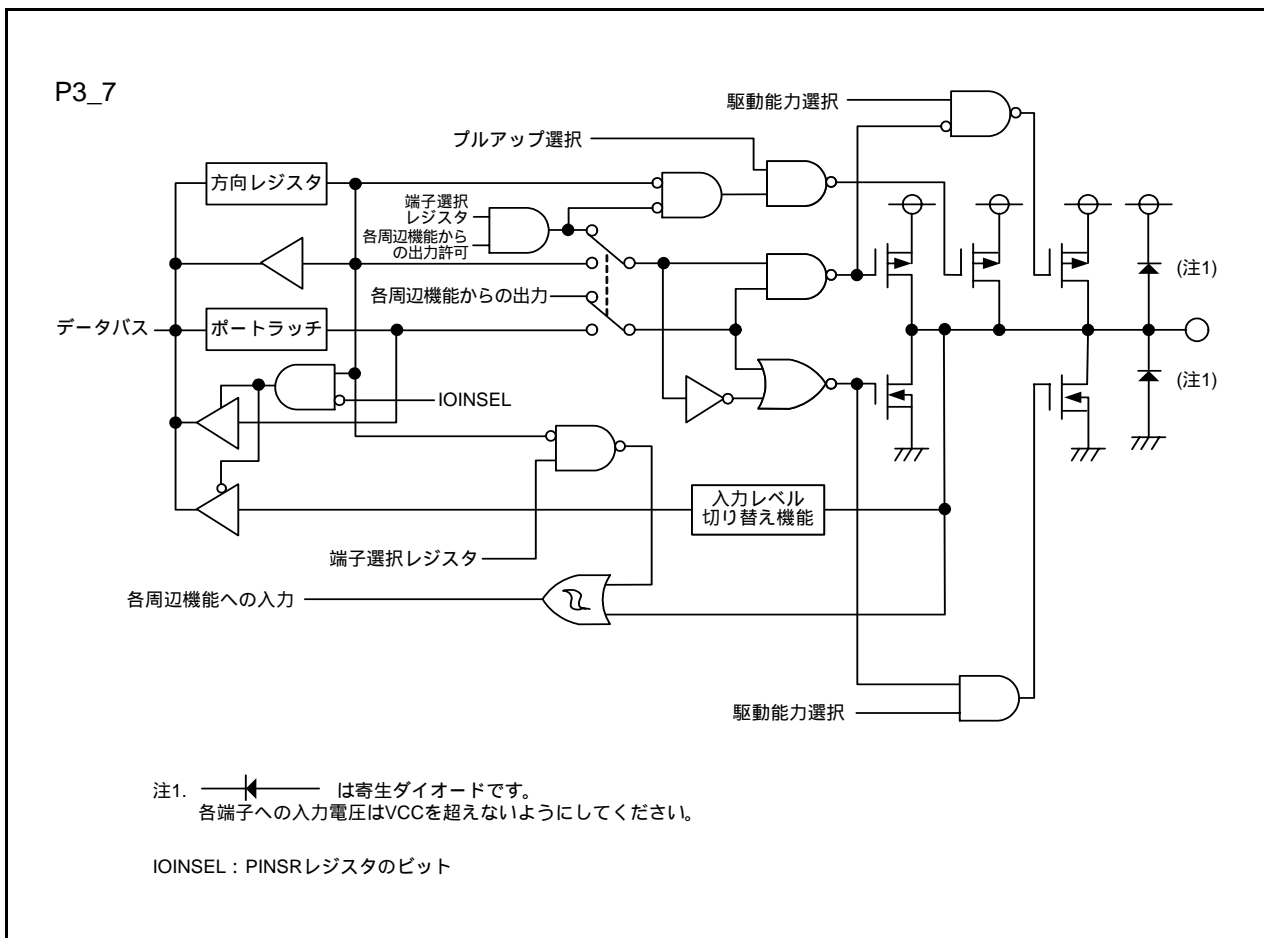


図7.10 I/Oポートの構成(10)

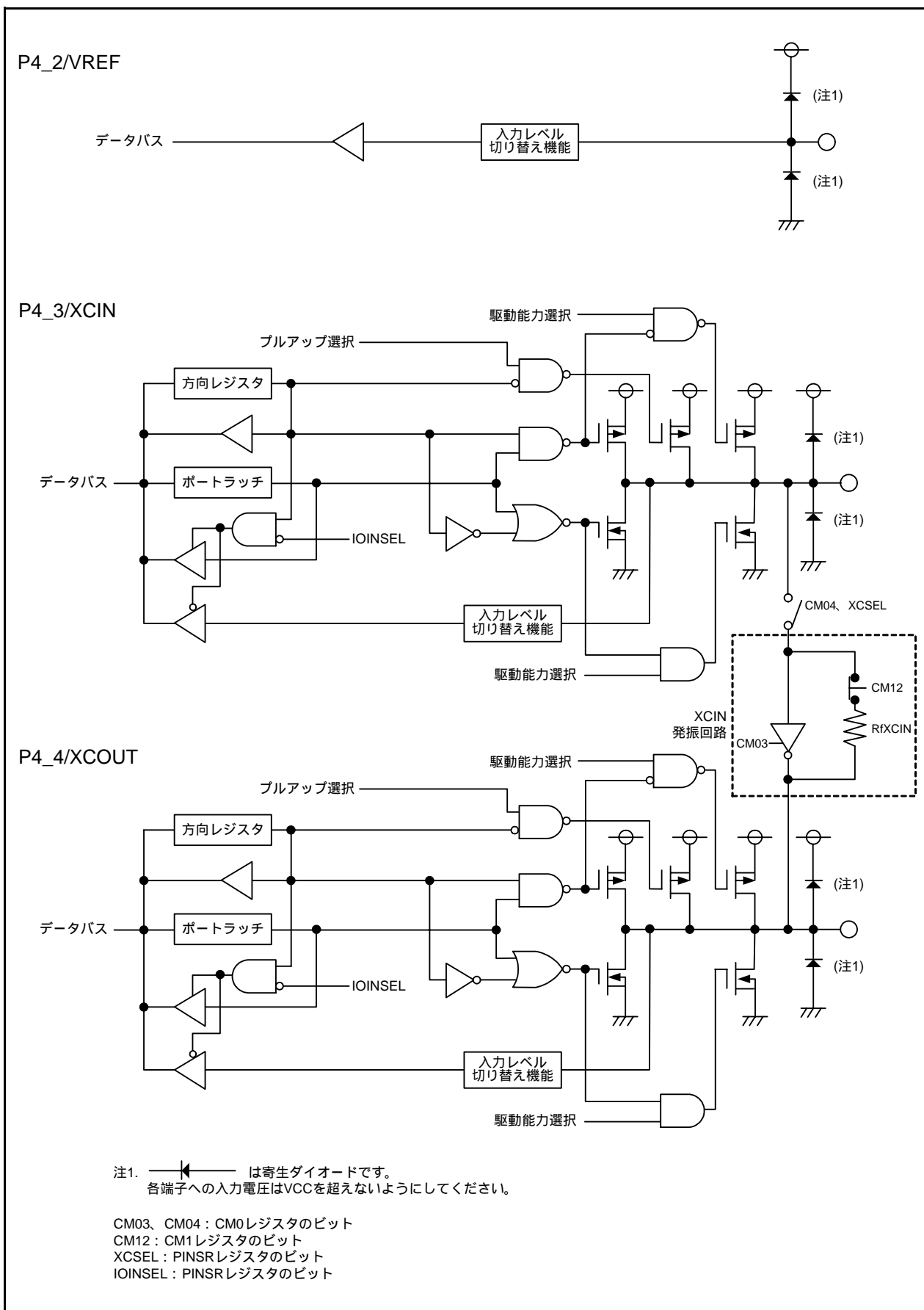


図7.11 I/Oポートの構成(11)

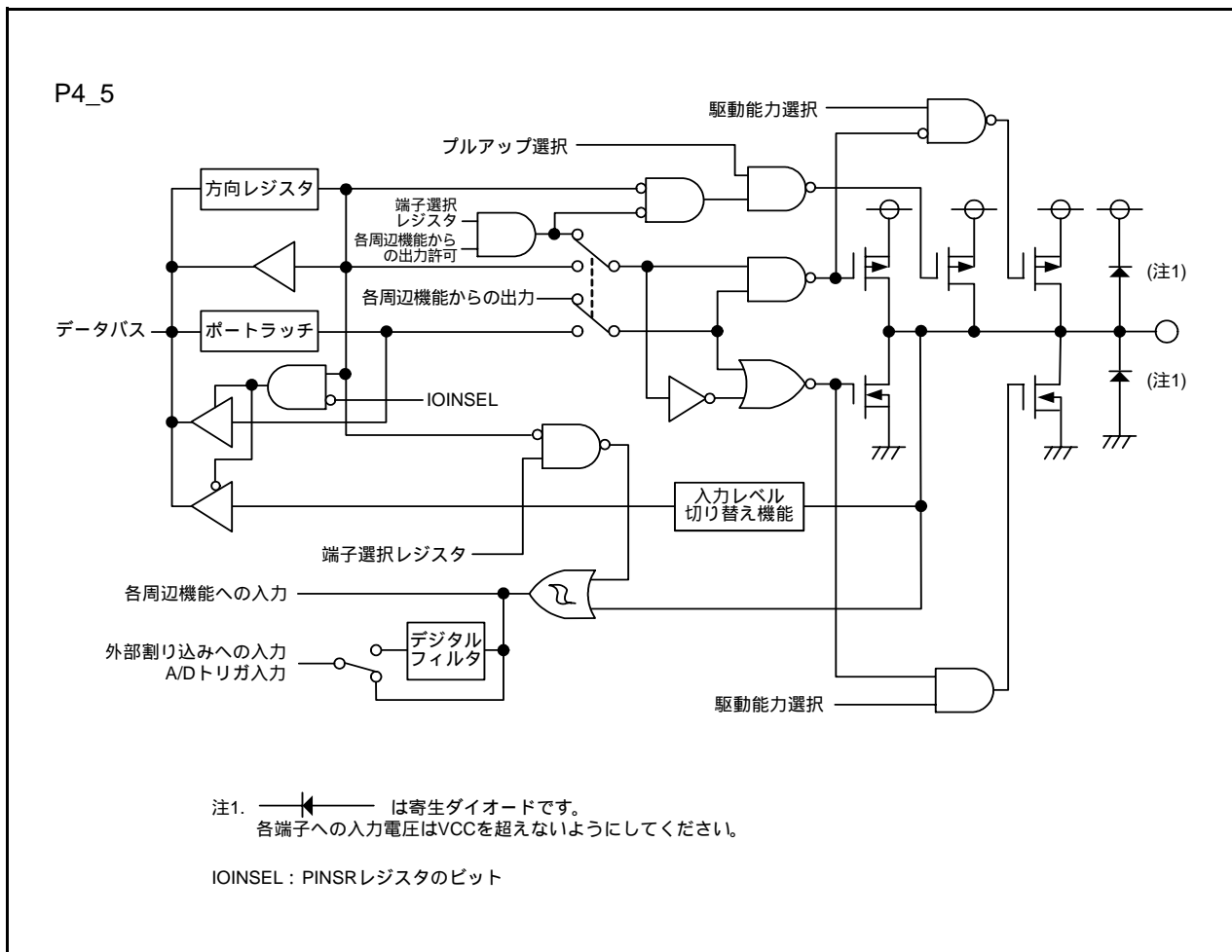


図7.12 I/Oポートの構成(12)

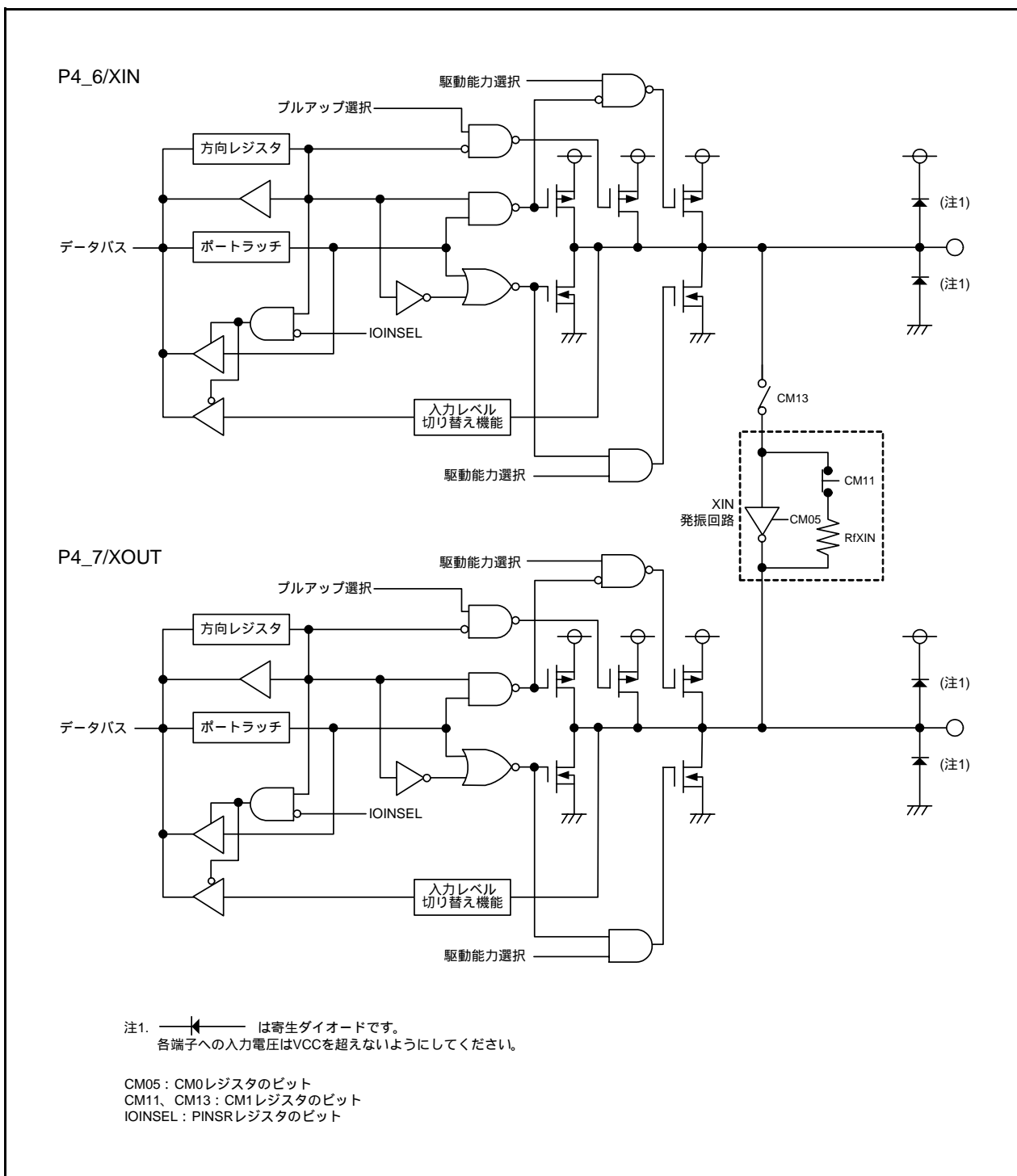


図7.13 I/Oポートの構成(13)

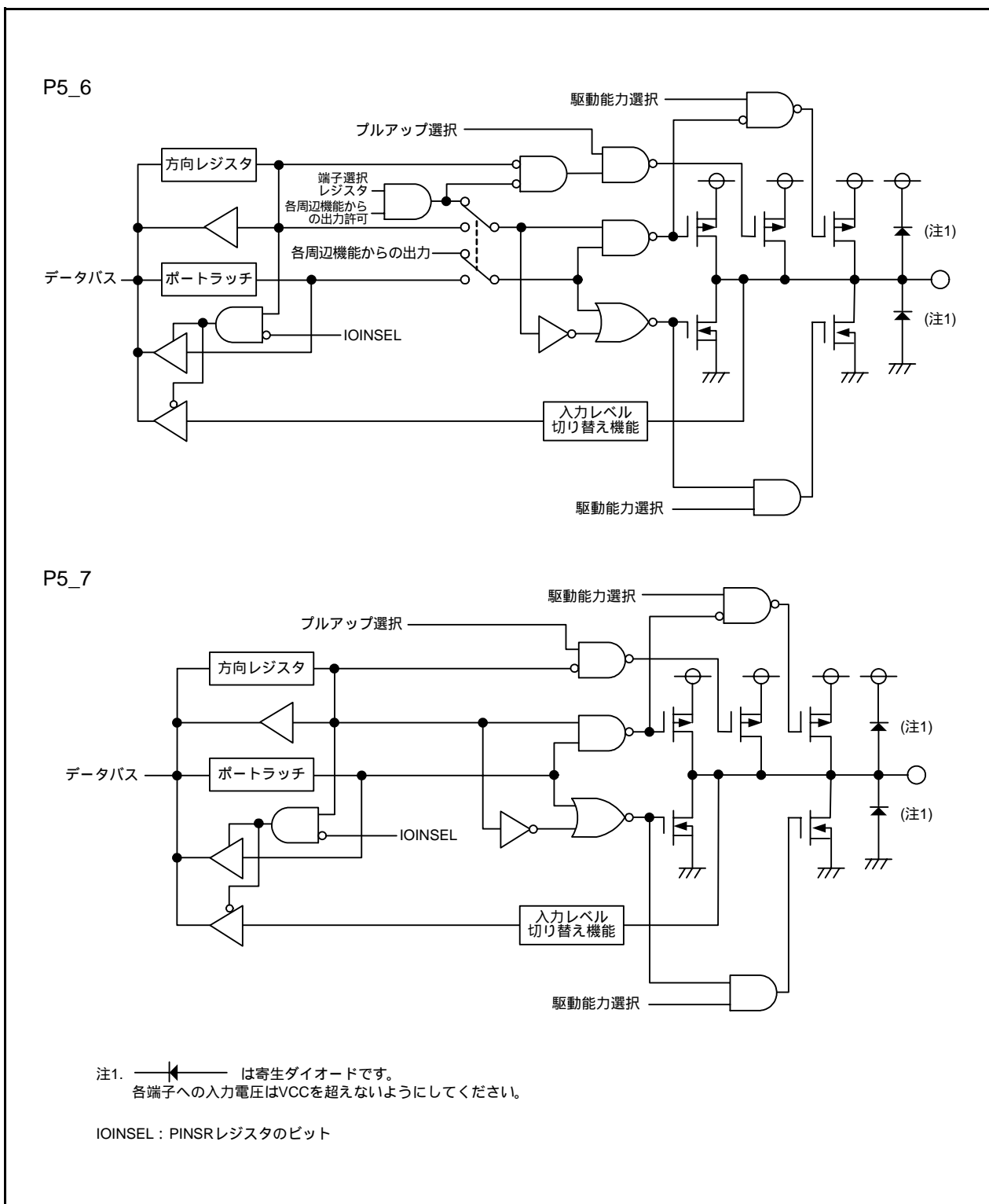


図7.14 I/Oポートの構成(14)

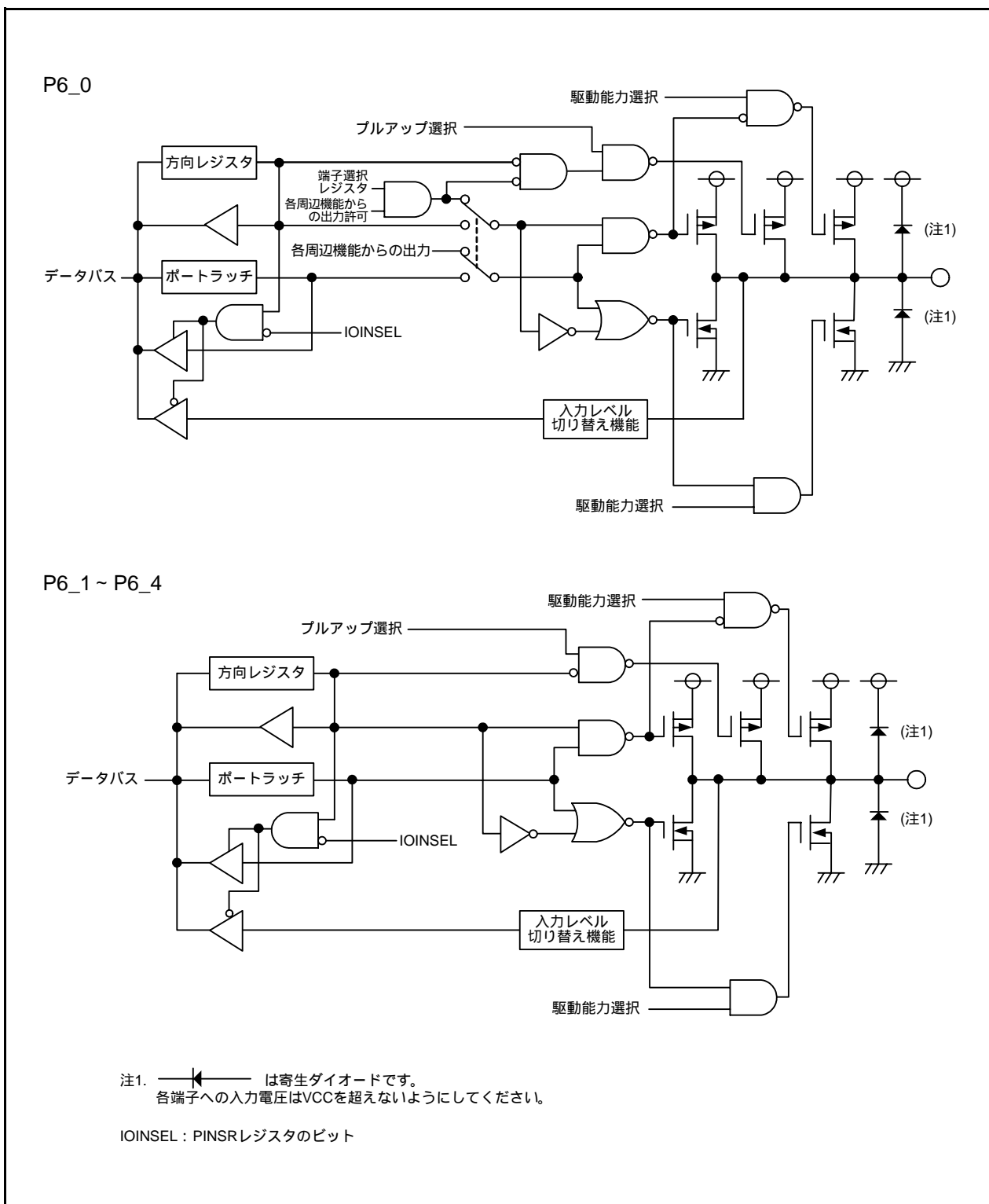


図7.15 I/Oポートの構成(14)

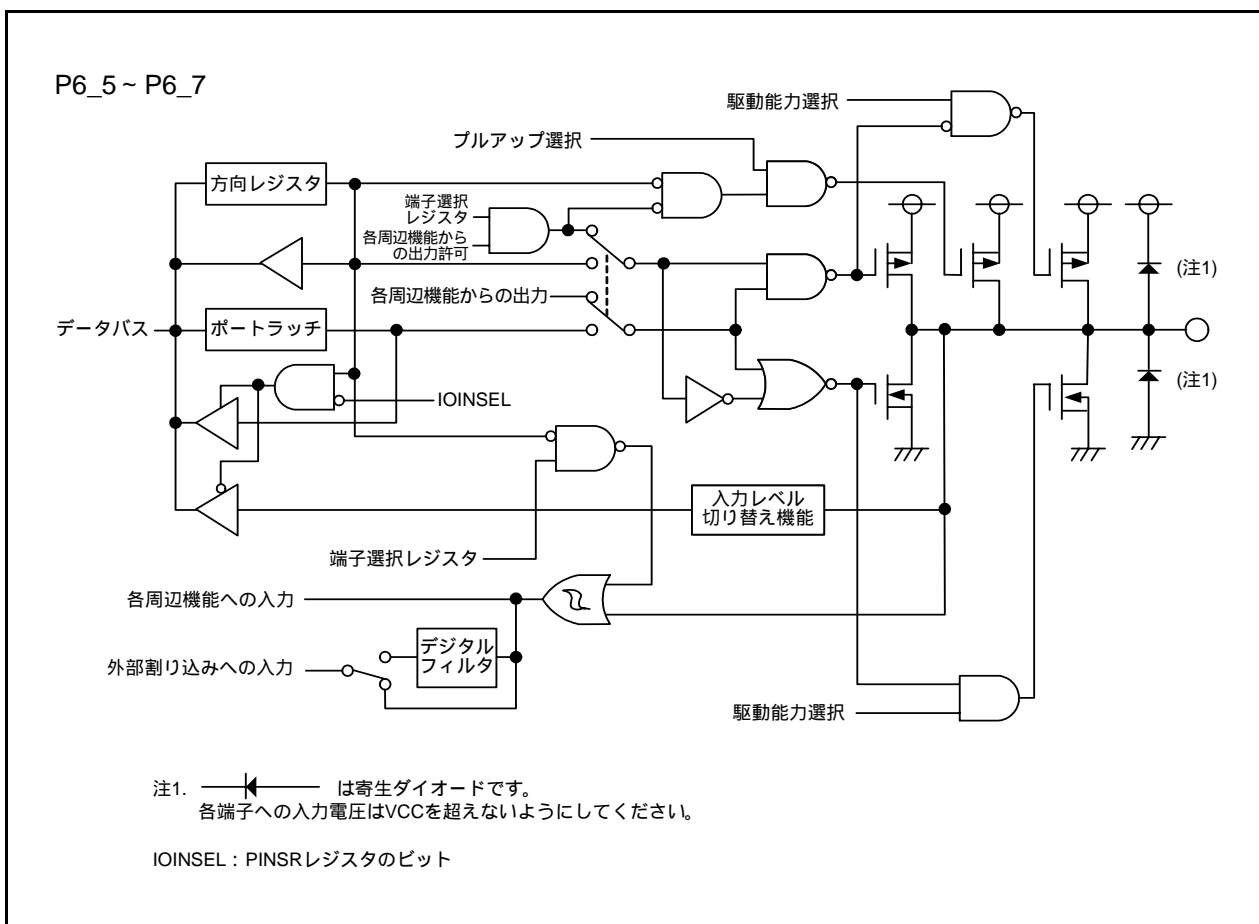


図7.16 I/Oポートの構成(16)

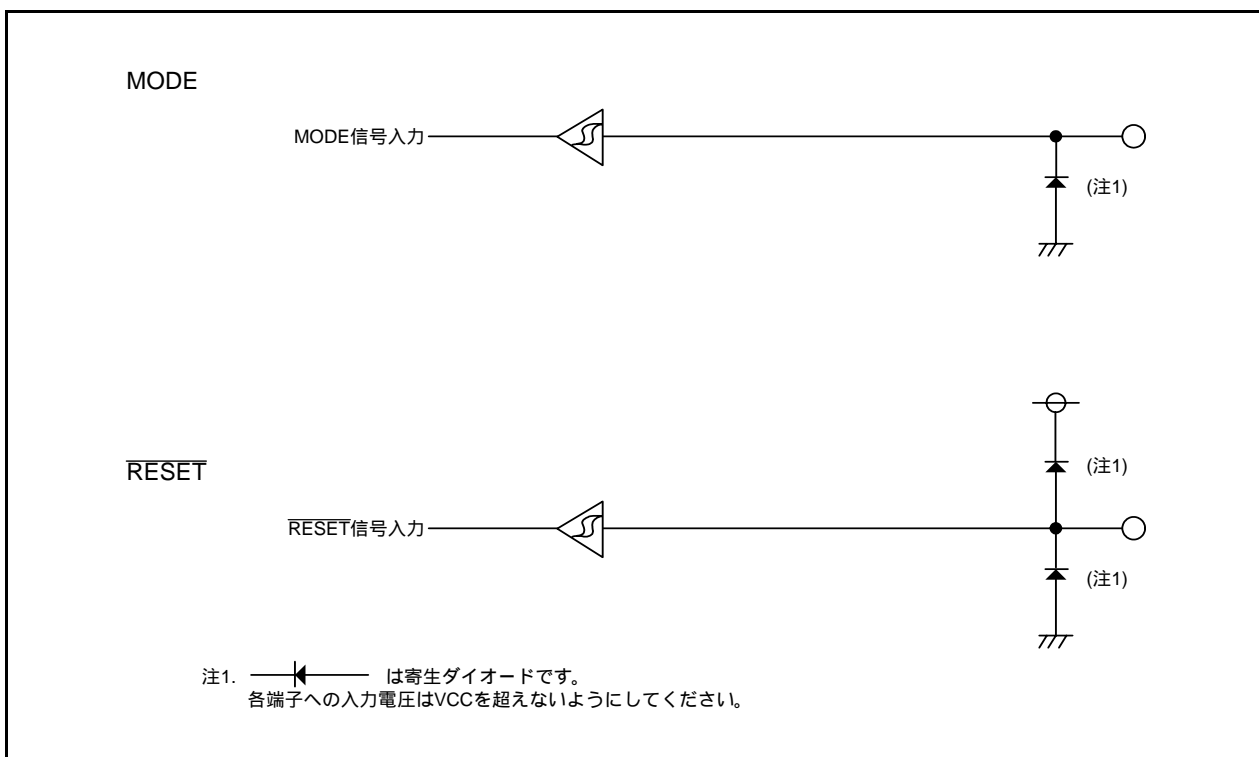


図7.17 端子の構成

7.4 レジスタの説明

7.4.1 ポートPi方向レジスタ(PDi)(i=0 ~ 6)

アドレス 00E2h番地(PD0(注1))、00E3h番地(PD1)、00E6h番地(PD2)、00E7h番地(PD3)、
00EAh番地(PD4(注2))、00EBh番地(PD5(注3))、00EEh番地(PD6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0:入力モード(入力ポートとして機能) 1:出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

注1. PD0レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

注2. PD4レジスタのPD4_0 ~ PD4_2ビットは何も配置されていません。

PD4_0 ~ PD4_2ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

注3. PD5レジスタのPD5_0 ~ PD5_2ビット、PD5_5ビットは何も配置されていません。PD5_0 ~ PD5_2ビット、PD5_5ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。また、PD5_3ビット、PD5_4ビットは予約ビットです。PD5_3ビット、PD5_4ビットに書く場合、“0”を書いてください。読んだ場合、その値は不定です。

PDiレジスタはI/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PDiレジスタの各ビットは、ポート1本ずつに対応しています。

7.4.2 ポートPiレジスタ (Pi)(i=0 ~ 6)

アドレス 00E0h番地 (P0)、00E1h番地 (P1)、00E4h番地 (P2)、00E5h番地 (P3)、00E8h番地 (P4(注1))、00E9h番地 (P5(注2))、00ECh番地 (P6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0:“L”レベル 1:“H”レベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

注1. P4レジスタのP4_0 ~ P4_1ビットは何も配置されていません。P4_0 ~ P4_1ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

注2. P5レジスタのP5_0 ~ P5_2ビット、P5_5ビットは何も配置されていません。P5_0 ~ P5_2ビット、P5_5ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。また、P5_3ビット、P5_4ビットは予約ビットです。P5_3ビット、P5_4ビットに書く場合、“0”を書いてください。読んだ場合、その値は不定です。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。ポータラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

Pi_jビット (i=0 ~ 6、j=0 ~ 7)(ポートPi_jビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

7.4.3 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	TRAOSEL1	TRAOSEL0	-	TRAIOSSEL1	TRAIOSSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSSEL0	TRAI0端子選択ビット	b1 b0 00 : TRAI0端子は使用しない 01 : P1_7に割り当てる 10 : P1_5に割り当てる 11 : P3_2に割り当てる	R/W
b1	TRAIOSSEL1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	TRAOSEL0	TRAO端子選択ビット	b4 b3 00 : P3_7に割り当てる 01 : P3_0に割り当てる 10 : P5_6に割り当てる 11 : 設定しないでください	R/W
b4	TRAOSEL1			R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

7.4.4 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TRCCLKSEL1	TRCCLKSEL0	-	-	-	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO端子選択ビット	0 : P1_3に割り当てる 1 : P3_1に割り当てる	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	b5 b4 00 : TRCCLK端子は使用しない 01 : P1_4に割り当てる 10 : P3_3に割り当てる 11 : 設定しないでください	R/W
b5	TRCCLKSEL1			R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0ビットを、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

7.4.5 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIOBSEL2	TRCIOBSEL1	TRCIOBSEL0	-	TRCIOASEL2	TRCIOASEL1	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	b2 b1 b0 0 0 0 : TRCIOA/TRCTRG端子は使用しない 0 0 1 : P1_1に割り当てる 0 1 0 : P0_0に割り当てる 0 1 1 : P0_1に割り当てる 1 0 0 : P0_2に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOASEL1			R/W
b2	TRCIOASEL2			R/W
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b6 b5 b4 0 0 0 : TRCIOB端子は使用しない 0 0 1 : P1_2に割り当てる 0 1 0 : P0_3に割り当てる 0 1 1 : P0_4に割り当てる 1 0 0 : P0_5に割り当てる 1 0 1 : P2_0に割り当てる 1 1 0 : P6_5に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIOBSEL1			R/W
b6	TRCIOBSEL2			R/W
b7	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。

TRCPSR0レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

7.4.6 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIODSEL2	TRCIODSEL1	TRCIODSEL0	-	TRCIOSEL2	TRCIOSEL1	TRCIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOSEL0	TRCIO端子選択ビット	b2 b1 b0 000: TRCIO端子は使用しない 001: P1_3に割り当てる 010: P3_4に割り当てる 011: P0_7に割り当てる 100: P2_1に割り当てる 101: P6_6に割り当てる 上記以外: 設定しないでください	R/W
b1	TRCIOSEL1			R/W
b2	TRCIOSEL2			R/W
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	TRCIODSEL0	TRCIOD端子選択ビット	b6 b5 b4 000: TRCIOD端子は使用しない 001: P1_0に割り当てる 010: P3_5に割り当てる 011: P0_6に割り当てる 100: P2_2に割り当てる 101: P6_7に割り当てる 上記以外: 設定しないでください	R/W
b5	TRCIODSEL1			R/W
b6	TRCIODSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

7.4.7 タイマ端子選択レジスタ(TIMSR)

アドレス 0186h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	TREOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TREOSEL0	TREO端子選択ビット	0 : P0_4に割り当てる 1 : P6_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

7.4.8 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK0SELO	-	RXD0SELO	-	TXD0SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SELO	TXD0端子選択ビット	0: TXD0端子は使用しない 1: P1_4に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	RXD0SELO	RXD0端子選択ビット	0: RXD0端子は使用しない 1: P1_5に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	CLK0SELO	CLK0端子選択ビット	0: CLK0端子は使用しない 1: P1_6に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

7.4.9 UART2 端子選択レジスタ0 (U2SR0)

アドレス 018Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RXD2SEL1	RXD2SEL0	-	TXD2SEL2	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2 端子選択ビット	b2 b1 b0 0 0 0 : TXD2/SDA2 端子は使用しない 0 0 1 : P3_7 に割り当てる 0 1 0 : P3_4 に割り当てる 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : P6_6 に割り当てる 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b1	TXD2SEL1			R/W
b2	TXD2SEL2			R/W
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	RXD2SEL0	RXD2/SCL2 端子選択ビット	b5 b4 0 0 : RXD2/SCL2 端子は使用しない 0 1 : P3_4 に割り当てる 1 0 : P3_7 に割り当てる 1 1 : P4_5 に割り当てる	R/W
b5	RXD2SEL1			R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

7.4.10 UART2 端子選択レジスタ1 (U2SR1)

アドレス 018Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CTS2SEL0	-	-	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2 端子選択ビット	b1 b0 00 : CLK2 端子は使用しない 01 : P3_5に割り当てる 10 : 設定しないでください 11 : P6_5に割り当てる	R/W
b1	CLK2SEL1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	CTS2SEL0	CTS2/RTS2 端子選択ビット	0 : CTS2/RTS2 端子は使用しない 1 : P3_3に割り当てる	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U2SR1 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2の動作中はU2SR1 レジスタの設定値を変更しないでください。

7.4.11 INT割り込み入力端子選択レジスタ (INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3SEL1	INT3SELO	-	INT2SELO	INT1SEL2	INT1SEL1	INT1SELO	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b1	INT1SELO	INT1端子選択ビット	b3 b2 b1 0 0 0 : P1_7に割り当てる 0 0 1 : P1_5に割り当てる 0 1 0 : P2_0に割り当てる 0 1 1 : P3_6に割り当てる 1 0 0 : P3_2に割り当てる 上記以外 : 設定しないでください	R/W
b2	INT1SEL1			R/W
b3	INT1SEL2			R/W
b4	INT2SELO	INT2端子選択ビット	0 : P6_6に割り当てる 1 : P3_2に割り当てる	R/W
b5	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b6	INT3SELO	INT3端子選択ビット	b7 b6 0 0 : P3_3に割り当てる 0 1 : 設定しないでください 1 0 : P6_7に割り当てる 1 1 : 設定しないでください	R/W
b7	INT3SEL1			R/W

INTSRレジスタは、 $\overline{\text{INT}}_i$ ($i=1 \sim 3$)の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSRレジスタの設定値を変更しないでください。

7.4.12 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IOINSEL	-	-	XCSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	XCSEL	XCIN/XCOUT 端子接続 ビット	0 : XCINをP4_3、XCOUTをP4_4に接続しない 1 : XCINをP4_3、XCOUTをP4_4に接続する	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	IOINSEL	I/Oポート入力機能選択 ビット	0 : I/Oポートの入力機能はPDi (i=0 ~ 6)レジスタに依存 PDiレジスタのPDi_j (j=0 ~ 7)ビットが“0” (入力 モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1” (出力モード)の とき、ポートラッチを読む。 1 : I/Oポートの入力機能はPDiレジスタに関係なく、 端子の入力レベルを読む	R/W
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-			

XCSELビット (XCIN/XCOUT 端子接続ビット)

XCSELビットはXCIN、XCOUTをP4_3、P4_4に接続するためのビットです。“1”にするとXCINをP4_3、XCOUTをP4_4に接続します。XCIN、XCOUTの設定方法は、「9. クロック発生回路」を参照してください。

IOINSELビット (I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0 ~ 6)レジスタのPDi_j (j=0 ~ 7)ビットが“1” (出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表7.4にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットでP4_2を除くすべてのI/Oポートの入力機能を変更できます。

表7.4 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	“0” (入力モード)		“1” (出力モード)	
	“0”	“1”	“0”	“1”
IOINSELビット	“0”	“1”	“0”	“1”
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

7.4.13 プルアップ制御レジスタ0 (PUR0)

アドレス 01E0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU00	P0_0 ~ P0_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PU01	P0_4 ~ P0_7のプルアップ		R/W
b2	PU02	P1_0 ~ P1_3のプルアップ		R/W
b3	PU03	P1_4 ~ P1_7のプルアップ		R/W
b4	PU04	P2_0 ~ P2_3のプルアップ		R/W
b5	PU05	P2_4 ~ P2_7のプルアップ		R/W
b6	PU06	P3_0 ~ P3_3のプルアップ		R/W
b7	PU07	P3_4 ~ P3_7のプルアップ		R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR0レジスタの設定値が有効になります。

7.4.14 プルアップ制御レジスタ1 (PUR1)

アドレス 01E1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	PU15	PU14	PU13	-	PU11	PU10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU10	P4_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PU11	P4_4 ~ P4_7のプルアップ		R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	PU13	P5_6、P5_7のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b4	PU14	P6_0 ~ P6_3のプルアップ		R/W
b5	PU15	P6_4 ~ P6_7のプルアップ		R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b7	-			-

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR1レジスタの設定値が有効になります。

7.4.15 ポートP1駆動能力制御レジスタ(P1DRR)

アドレス 01F0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P1DRR7	P1DRR6	P1DRR5	P1DRR4	P1DRR3	P1DRR2	P1DRR1	P1DRR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P1DRR0	P1_0の駆動能力	0 : Low 1 : High(注1)	R/W
b1	P1DRR1	P1_1の駆動能力		R/W
b2	P1DRR2	P1_2の駆動能力		R/W
b3	P1DRR3	P1_3の駆動能力		R/W
b4	P1DRR4	P1_4の駆動能力		R/W
b5	P1DRR5	P1_5の駆動能力		R/W
b6	P1DRR6	P1_6の駆動能力		R/W
b7	P1DRR7	P1_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P1DRRレジスタはP1の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P1DRRiビット(i=0～7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P1DRRレジスタの設定値が有効になります。

7.4.16 ポートP2駆動能力制御レジスタ(P2DRR)

アドレス 01F1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P2DRR7	P2DRR6	P2DRR5	P2DRR4	P2DRR3	P2DRR2	P2DRR1	P2DRR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P2DRR0	P2_0の駆動能力	0 : Low 1 : High(注1)	R/W
b1	P2DRR1	P2_1の駆動能力		R/W
b2	P2DRR2	P2_2の駆動能力		R/W
b3	P2DRR3	P2_3の駆動能力		R/W
b4	P2DRR4	P2_4の駆動能力		R/W
b5	P2DRR5	P2_5の駆動能力		R/W
b6	P2DRR6	P2_6の駆動能力		R/W
b7	P2DRR7	P2_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P2DRRレジスタはP2の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P2DRRiビット(i=0～7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P2DRRレジスタの設定値が有効になります。

7.4.17 駆動能力制御レジスタ0 (DRR0)

アドレス 01F2h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DRR07	DRR06	-	-	-	-	DRR01	DRR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR00	P0_0 ~ P0_3の駆動能力	0 : Low 1 : High(注1)	R/W
b1	DRR01	P0_4 ~ P0_7の駆動能力		R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	DRR06	P3_0 ~ P3_3の駆動能力	0 : Low 1 : High(注1)	R/W
b7	DRR07	P3_4 ~ P3_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR0レジスタの設定値が有効になります。

DRR00ビット(P0_0 ~ P0_3の駆動能力)

DRR00ビットは、P0_0 ~ P0_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR00ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR01ビット(P0_4 ~ P0_7の駆動能力)

DRR01ビットは、P0_4 ~ P0_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR01ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR06ビット(P3_0 ~ P3_3の駆動能力)

DRR06ビットは、P3_0 ~ P3_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR06ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR07ビット(P3_4 ~ P3_7の駆動能力)

DRR07ビットは、P3_4 ~ P3_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR07ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

7.4.18 駆動能力制御レジスタ1 (DRR1)

アドレス 01F3h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	DRR15	DRR14	DRR13	-	DRR11	DRR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR10	P4_3の駆動能力	0 : Low	R/W
b1	DRR11	P4_4 ~ P4_7の駆動能力	1 : High(注1)	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	DRR13	P5_6、P5_7の駆動能力	0 : Low	R/W
b4	DRR14	P6_0 ~ P6_3の駆動能力	1 : High(注1)	R/W
b5	DRR15	P6_4 ~ P6_7の駆動能力		R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR1レジスタの設定値が有効になります。

DRR10ビット(P4_3の駆動能力)

DRR10ビットは、P4_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR10ビットによって、1端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR11ビット(P4_4 ~ P4_7の駆動能力)

DRR11ビットは、P4_4 ~ P4_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR11ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR13ビット(P5_6、P5_7の駆動能力)

DRR13ビットは、P5_6、P5_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR13ビットによって、2端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR14ビット(P6_0 ~ P6_3の駆動能力)

DRR14ビットは、P6_0 ~ P6_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR14ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR15ビット(P6_4 ~ P6_7の駆動能力)

DRR15ビットの、P6_4 ~ P6_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR15ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

7.4.19 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	VLT05	VLT04	VLT03	VLT02	VLT01	VLT00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT00	P0の入カレベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT01			R/W
b2	VLT02	P1の入カレベル選択ビット	b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b3	VLT03			R/W
b4	VLT04	P2の入カレベル選択ビット	b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b5	VLT05			R/W
b6	VLT06	P3の入カレベル選択ビット	b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b7	VLT07			R/W

VLT0レジスタはポートP0～P3の入カしきい値の電圧レベルを選択するレジスタです。VLT00～VLT07ビットによって、8端子ごとに入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.4.20 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	VLT15	VLT14	VLT13	VLT12	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4_2 ~ P4_7の入力レベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT11			R/W
b2	VLT12	P5_6、P5_7の入力レベル選択ビット	b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b3	VLT13			R/W
b4	VLT14	P6の入力レベル選択ビット	b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b5	VLT15			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			-

VLT1レジスタはポートP4_2 ~ P4_7、P5_6、P5_7、P6の入力しきい値の電圧レベルを選択するレジスタです。VLT10 ~ VLT15ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.5 ポートの設定

表7.5～表7.57にポートの設定を示します。

表7.5 ポートP0_0/AN7/TRCIOA/TRCTR

レジスタ	PD0	ADINSEL					TRCPSR0			タイマRC設定	機能
ビット	PD0_0	CH			ADGSEL		TRCIOASEL			-	
		2	1	0	1	0	2	1	0		
設定値	0	X	X	X	X	X	010b以外			X	入力ポート(注1)
	1	X	X	X	X	X	010b以外			X	出力ポート(注2)
	0	1	1	1	0	0	010b以外			X	A/Dコンバータ入力(AN7) (注1)
	0	X	X	X	X	X	0	1	0	「表7.54 TRCIOA端子設定」参照	TRCIOA入力(注1)
	X	X	X	X	X	X	0	1	0	「表7.54 TRCIOA端子設定」参照	TRCIOA出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.6 ポートP0_1/AN6/TRCIOA/TRCTR

レジスタ	PD0	ADINSEL					TRCPSR0			タイマRC設定	機能
ビット	PD0_1	CH			ADGSEL		TRCIOASEL			-	
		2	1	0	1	0	2	1	0		
設定値	0	X	X	X	X	X	011b以外			X	入力ポート(注1)
	1	X	X	X	X	X	011b以外			X	出力ポート(注2)
	0	1	1	0	0	0	011b以外			X	A/Dコンバータ入力(AN6) (注1)
	0	X	X	X	X	X	0	1	1	「表7.54 TRCIOA端子設定」参照	TRCIOA入力(注1)
	X	X	X	X	X	X	0	1	1	「表7.54 TRCIOA端子設定」参照	TRCIOA出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.7 ポートP0_2/AN5/TRCIOA/TRCTR

レジスタ	PD0	ADINSEL					TRCPSR0			タイマRC設定	機能
ビット	PD0_2	CH			ADGSEL		TRCIOASEL			-	
		2	1	0	1	0	2	1	0		
設定値	0	X	X	X	X	X	100b以外			X	入力ポート(注1)
	1	X	X	X	X	X	100b以外			X	出力ポート(注2)
	0	1	0	1	0	0	100b以外			X	A/Dコンバータ入力(AN5) (注1)
	0	X	X	X	X	X	1	0	0	「表7.54 TRCIOA端子設定」参照	TRCIOA入力(注1)
	X	X	X	X	X	X	1	0	0	「表7.54 TRCIOA端子設定」参照	TRCIOA出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.8 ポートP0_3/AN4/TRCIOB

レジスタ	PD0	ADINSEL					TRCPSR0			タイマRC設定	機能
ビット	PD0_3	CH			ADGSEL		TRCIOBSEL			-	
		2	1	0	1	0	2	1	0		
設定値	0	X	X	X	X	X	010b以外			X	入力ポート(注1)
	1	X	X	X	X	X	010b以外			X	出力ポート(注2)
	0	1	0	0	0	0	010b以外			X	A/Dコンバータ入力(AN4) (注1)
	0	X	X	X	X	X	0	1	0	「表7.55 TRCIOB端子設定」参照	TRCIOB入力(注1)
	X	X	X	X	X	X	0	1	0	「表7.55 TRCIOB端子設定」参照	TRCIOB出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.9 ポートP0_4/AN3/TREO/TRCIOB

レジスタ	PD0	ADINSEL					TIMSR	TRECR1	TRCPSR0			タイマRC設定	機能
ビット	PD0_4	CH			ADGSEL		TREOSELO	TOENA	TRCIOBSEL			-	
		2	1	0	1	0			2	1	0		
設定値	0	X	X	X	X	X	01b以外		011b以外			X	入力ポート(注1)
	1	X	X	X	X	X	01b以外		011b以外			X	出力ポート(注2)
	0	0	1	1	0	0	01b以外		011b以外			X	A/Dコンバータ入力(AN3) (注1)
	X	X	X	X	X	X	0	1	011b以外			X	TREO出力(注2)
	0	X	X	X	X	X	X	X	0	1	1	「表7.55 TRCIOB 端子設定」参照	TRCIOB入力(注1)
	X	X	X	X	X	X	X	X	0	1	1	「表7.55 TRCIOB 端子設定」参照	TRCIOB出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.10 ポートP0_5/AN2/TRCIOB

レジスタ	PD0	ADINSEL					TRCPSR0			タイマRC設定	機能
ビット	PD0_5	CH			ADGSEL		TRCIOBSEL			-	
		2	1	0	1	0	2	1	0		
設定値	0	X	X	X	X	X	100b以外			X	入力ポート(注1)
	1	X	X	X	X	X	100b以外			X	出力ポート(注2)
	0	0	1	0	0	0	100b以外			X	A/Dコンバータ入力(AN2) (注1)
	0	X	X	X	X	X	1	0	0	「表7.55 TRCIOB端子設定」参照	TRCIOB入力(注1)
	X	X	X	X	X	X	1	0	0	「表7.55 TRCIOB端子設定」参照	TRCIOB出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.11 ポートP0_6/AN1/TRCIOD

レジスタ	PD0	ADINSEL					TRCPSR1			タイマRC設定	機能
		CH			ADGSEL		TRCIODSEL				
		2	1	0	1	0	2	1	0		
設定値	0	X	X	X	X	X	011b以外			X	入力ポート(注1)
	1	X	X	X	X	X	011b以外			X	出力ポート(注2)
	0	0	0	1	0	0	011b以外			X	A/Dコンバータ入力(AN1) (注1)
	0	X	X	X	X	X	0	1	1	「表7.57 TRCIOD端子設定」参照	TRCIOD入力(注1)
	X	X	X	X	X	X	0	1	1	「表7.57 TRCIOD端子設定」参照	TRCIOD出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.12 ポートP0_7/AN0/TRCIOC

レジスタ	PD0	ADINSEL					TRCPSR1			タイマRC設定	機能
		CH			ADGSEL		TRCIOCSEL				
		2	1	0	1	0	2	1	0		
設定値	0	X	X	X	X	X	011b以外			X	入力ポート(注1)
	1	X	X	X	X	X	011b以外			X	出力ポート(注2)
	0	0	0	0	0	0	011b以外			X	A/Dコンバータ入力(AN0) (注1)
	0	X	X	X	X	X	0	1	1	「表7.56 TRCIOC端子設定」参照	TRCIOC入力(注1)
	X	X	X	X	X	X	0	1	1	「表7.56 TRCIOC端子設定」参照	TRCIOC出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.13 ポートP1_0/KI0/AN8/TRCIOD

レジスタ	PD1	KIEN	ADINSEL					TRCPSR1			タイマRC設定	機能
			CH			ADGSEL		TRCIODSEL				
			2	1	0	1	0	2	1	0		
設定値	0	X	X	X	X	X	X	001b以外			X	入力ポート(注1)
	1	X	X	X	X	X	X	001b以外			X	出力ポート(注2)
	0	1	X	X	X	X	X	001b以外			X	KI0入力(注1)
	0	0	0	0	0	0	1	001b以外			X	A/Dコンバータ入力 (AN8)(注1)
	0	X	X	X	X	X	X	0	0	1	「表7.57 TRCIOD端子設定」 参照	TRCIOD入力(注1)
	X	X	X	X	X	X	X	0	0	1	「表7.57 TRCIOD端子設定」 参照	TRCIOD出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR0ビットを“1”にすると、出力の駆動能力Highとなります。

表7.14 ポートP1_1/KI1/AN9/TRCIOA/TRCTRГ

レジスタ	PD1	KIEN	ADINSEL					TRCPSR0			タイマRC設定	機能
			CH			ADGSEL		TRCIOASEL				
ビット	PD1_1	KI1EN	2	1	0	1	0	2	1	0	-	
設定値	0	X	X	X	X	X	X	001b以外			X	入力ポート(注1)
	1	X	X	X	X	X	X	001b以外			X	出力ポート(注2)
	0	1	X	X	X	X	X	001b以外			X	KI1入力(注1)
	0	0	0	0	1	0	1	001b以外			X	A/Dコンバータ入力(AN9)(注1)
	0	X	X	X	X	X	X	0	0	1	「表7.54 TRCIOA 端子設定」参照	TRCIOA入力(注1)
	X	X	X	X	X	X	X	0	0	1	「表7.54 TRCIOA 端子設定」参照	TRCIOA出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU02ビットを"1"にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR1ビットを"1"にすると、出力の駆動能力Highとなります。

表7.15 ポートP1_2/KI2/AN10/TRCIOB

レジスタ	PD1	KIEN	ADINSEL					TRCPSR0			タイマRC設定	機能
			CH			ADGSEL		TRCIOBSEL				
ビット	PD1_2	KI2EN	2	1	0	1	0	2	1	0	-	
設定値	0	X	X	X	X	X	X	001b以外			X	入力ポート(注1)
	1	X	X	X	X	X	X	001b以外			X	出力ポート(注2)
	0	1	X	X	X	X	X	001b以外			X	KI2入力(注1)
	0	0	0	1	0	0	1	001b以外			X	A/Dコンバータ入力(AN10)(注1)
	0	X	X	X	X	X	X	0	0	1	「表7.55 TRCIOB 端子設定」参照	TRCIOB入力(注1)
	X	X	X	X	X	X	X	0	0	1	「表7.55 TRCIOB 端子設定」参照	TRCIOB出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU02ビットを"1"にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR2ビットを"1"にすると、出力の駆動能力Highとなります。

表7.16 ポートP1_3/KI3/AN11/TRBO/TRCIOC

レジスタ	PD1	KIEN	ADINSEL				TRBRCSSR	TRCPSR1			タイマRB設定	タイマRC設定	機能		
	ビット	PD1_3	KI3EN	CH			ADGSEL	TRBOSEL0	TRCIOSEL			-		-	
				2	1	0	1	0	2	1	0				
設定値	0	X	X	X	X	X	X	X	1	001b以外			X	X	入力ポート(注1)
									X				TRBO 使用条件以外		
	1	X	X	X	X	X	X	X	1	001b以外			X	X	出力ポート(注2)
									X				TRBO 使用条件以外		
	0	1	X	X	X	X	X	X	1	001b以外			X	X	KI3入力(注1)
									X				TRBO 使用条件以外		
	0	0	0	1	1	0	1	1	1	001b以外			X	X	A/Dコンバータ入力(AN11) (注1)
								X				TRBO 使用条件以外			
X	X	X	X	X	X	X	X	0	X	X	X	X		TRBO出力(注2)	
0	X	X	X	X	X	X	X	1	0	0	1	X		「表7.56 TRCIOC 端子設定」参照	TRCIOC入力(注1)
								X				TRBO 使用条件以外			
X	X	X	X	X	X	X	X	1	0	0	1	X		「表7.56 TRCIOC 端子設定」参照	TRCIOC出力(注2)
								X				TRBO 使用条件以外			

X: "0" または "1"

注1. PUR0レジスタのPU02ビットを"1"にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR3ビットを"1"にすると、出力の駆動能力Highとなります。

表7.17 ポートP1_4/TXD0/TRCCLK

レジスタ	PD1	U0SR	U0MR			TRBRCSSR	TRCCR1				機能			
	ビット	PD1_4	TXD0SEL0	SMD			TRCCLKSEL	TCK						
				2	1	0	1	0	2	1	0			
設定値	0	0	X	X	X	X	X	X	X	X	X	入力ポート(注1)		
	1	0	X	X	X	X	X	X	X	X	X	出力ポート(注2)		
	X	1	1	0	0	1	X	X	X	X	X	X	TXD0出力(注2、3)	
					0	0								
					1	0								
0	0	X	X	X	X	0	1	1	0	1	TRCCLK入力(注1)			

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR4ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U0C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.18 ポートP1_5/RXD0/TRAI0/INT1

レジスタ	PD1	U0SR	TRASR	TRAI0C	TRAMR	INTSR	INTEN	INTCMP	機能					
ビット	PD1_5	RXD0SEL0	TRAI0SEL		TOPCR	TMOD			INT1SEL			INT1EN	INT1CP0	
			1	0		2	1	0	2	1	0			
設定値	0	X	10b以外		X	X	X	X	X	X	X	X	X	入力ポート(注1)
	1	X	10b以外		X	X	X	X	X	X	X	X	X	出力ポート(注2)
	0	1	10b以外		X	X	X	X	X	X	X	X	X	RXD0入力(注1)
	0	X	1	0	0	000b、001b以外			X	X	X	X	X	TRAI0入力(注1)
	0	X	10b以外		X	X	X	X	0	0	1	1	0	INT1入力(注1)
	0	X	1	0	0	000b、001b以外			0	0	1	1	0	TRAI0/INT1入力(注1)
	X	X	1	0	0	0	0	1	X	X	X	X	X	TRAI0パルス出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR5ビットを“1”にすると、出力の駆動能力Highとなります。

表7.19 ポートP1_6/CLK0/IVREF1

レジスタ	PD1	U0SR	U0MR				INTCMP	機能				
ビット	PD1_6	CLK0SEL0	SMD			CKDIR	INT1CP0					
			2	1	0							
設定値	0	0	X	X	X	X	X	X	X	X	X	入力ポート(注1)
	1	0	X	X	X	X	X	X	X	X	X	出力ポート(注2)
	0	1	X	X	X	1	X	X	X	X	X	CLK0(外部クロック)入力(注1)
	X	1	0	0	1	0	X	X	X	X	X	CLK0(内部クロック)出力(注2)
	0	0	X	X	X	X	1	X	X	X	X	X

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR6ビットを“1”にすると、出力の駆動能力Highとなります。

表7.20 ポートP1_7/INT1/TRAI0/IVCMP1

レジスタ	PD1	TRASR	TRAI0C	TRAMR	INTSR	INTEN	INTCMP	機能						
ビット	PD1_7	TRAI0SEL		TOPCR	TMOD			INT1SEL			INT1EN	INT1CP0		
		1	0		2	1	0	2	1	0				
設定値	0	01b以外		X	X	X	X	X	X	X	X	X	X	入力ポート(注1)
	1	01b以外		X	X	X	X	X	X	X	X	X	X	出力ポート(注2)
	0	0	1	0	000b、001b以外			X	X	X	X	X	X	TRAI0入力(注1)
	0	01b以外		X	X	X	X	0	0	0	1	0	0	INT1入力(注1)
	0	0	1	0	000b、001b以外			0	0	0	1	0	0	TRAI0/INT1入力(注1)
	X	0	1	0	0	0	1	X	X	X	X	X	X	TRAI0パルス出力(注2)
	0	01b以外		X	X	X	X	X	X	X	1	1	1	1

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR7ビットを“1”にすると、出力の駆動能力Highとなります。

表7.21 ポートP2_0/INT1/TRCIOB

レジスタ	PD2	INTSR			INTEN	INTCMP	TRCPSR0			タイマRC設定	機能
ビット	PD2_0	INT1SEL			INT1EN	INT1CP0	TRCIOBSEL			-	
		2	1	0			2	1	0		
設定値	0	X	X	X	X	X	101b以外			X	入力ポート(注1)
	1	X	X	X	X	X	101b以外			X	出力ポート(注2)
	0	0	1	0	1	0	101b以外			X	$\overline{\text{INT1}}$ 入力(注1)
	0	X	X	X	X	X	1	0	1	「表7.55 TRCIOB端子設定」参照	TRCIOB入力(注1)
	X	X	X	X	X	X	1	0	1	「表7.55 TRCIOB端子設定」参照	TRCIOB出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR0ビットを“1”にすると、出力の駆動能力Highとなります。

表7.22 ポートP2_1/TRCIOC

レジスタ	PD2	TRCPSR1			タイマRC設定	機能
ビット	PD2_1	TRCIOCSEL			-	
		2	1	0		
設定値	0	100b以外			X	入力ポート(注1)
	1	100b以外			X	出力ポート(注2)
	0	1	0	0	「表7.56 TRCIOC端子設定」参照	TRCIOC入力(注1)
	X	1	0	0	「表7.56 TRCIOC端子設定」参照	TRCIOC出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR1ビットを“1”にすると、出力の駆動能力Highとなります。

表7.23 ポートP2_2/TRCIOD

レジスタ	PD2	TRCPSR1			タイマRC設定	機能
ビット	PD2_2	TRCIODSEL			-	
		2	1	0		
設定値	0	100b以外			X	入力ポート(注1)
	1	100b以外			X	出力ポート(注2)
	0	1	0	0	「表7.57 TRCIOD端子設定」参照	TRCIOD入力(注1)
	X	1	0	0	「表7.57 TRCIOD端子設定」参照	TRCIOD出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR2ビットを“1”にすると、出力の駆動能力Highとなります。

表7.24 ポートP2_3

レジスタ	PD2	機能
ビット	PD2_3	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X:“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR3ビットを“1”にすると、出力の駆動能力Highとなります。

表7.25 ポートP2_4

レジスタ	PD2	機能
ビット	PD2_4	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X: "0" または "1"

注1. PUR0レジスタのPU05ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR4ビットを"1"にすると、出力の駆動能力Highとなります。

表7.26 ポートP2_5

レジスタ	PD2	機能
ビット	PD2_5	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X: "0" または "1"

注1. PUR0レジスタのPU05ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR5ビットを"1"にすると、出力の駆動能力Highとなります。

表7.27 ポートP2_6

レジスタ	PD2	機能
ビット	PD2_6	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X: "0" または "1"

注1. PUR0レジスタのPU05ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR6ビットを"1"にすると、出力の駆動能力Highとなります。

表7.28 ポートP2_7

レジスタ	PD2	機能
ビット	PD2_7	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X: "0" または "1"

注1. PUR0レジスタのPU05ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR7ビットを"1"にすると、出力の駆動能力Highとなります。

表7.29 ポートP3_0/TRAO

レジスタ	PD3	TRASR		TRAI0C	機能
	ビット	PD3_0	TRA0SEL		
1			0		
設定値	0	01b以外		X	入力ポート(注1)
	1	01b以外		X	出力ポート(注2)
	X	0	1	1	TRAO出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

表7.30 ポートP3_1/TRBO

レジスタ	PD3	TRBRCSR	タイマRB設定	機能
ビット	PD3_1	TRBOSEL0	-	
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	X	1	「表7.53 TRBO端子設定」参照	

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

表7.31 ポートP3_2/INT2/TRAIO/INT1

レジスタ	PD3	TRASR		TRAIOC	TRAMR			INTSR			INTEN		INTCMP	機能	
		TRAIOSEL		TOPCR	TMOD			INT1SEL			INT2SEL0	INT1EN	INT2EN		INT1CP0
		1	0		2	1	0	2	1	0					
設定値	0	11b以外		X	X	X	X	X	X	X	X	X	X	入力ポート(注1)	
	1	11b以外		X	X	X	X	X	X	X	X	X	X	出力ポート(注2)	
	0	11b以外		X	X	X	X	X	X	1	X	1	X	INT2入力(注1)	
	0	1	1	0	000b、001b 以外			X	X	X	X	X	X	TRAIO入力(注1)	
	0	11b以外		X	X	X	X	1	0	0	X	1	X	0	INT1入力(注1)
	0	1	1	0	000b、001b 以外			1	0	0	X	1	X	0	TRAIO/INT1入力 (注1)
	X	1	1	0	0	0	1	X	X	X	X	X	X	X	TRAIOパルス出力 (注2)

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

表7.32 ポートP3_3/INT3/TRCCLK/CTS2/RTS2/IVCMP3

レジスタ	PD3	INTSR		INTEN	TRBRCSR		TRCCR1			U2SR1	U2MR			U2CO		INTCMP	機能	
		INT3SEL		INT3EN	TRCCLKSEL		TCK			CTS2SEL0	SMD			CRS	CRD	INT3CP0		
		1	0		1	0	2	1	0		2	1	0					
設定値	0	X	X	X	X	X	X	X	X	0	X	X	X	X	X	X	入力ポート(注1)	
	1	X	X	X	X	X	X	X	X	0	X	X	X	X	X	X	出力ポート(注2)	
	0	0	0	1	X	X	X	X	X	0	X	X	X	X	X	0	INT3入力(注1)	
	0	X	X	X	1	0	1	0	1	0	X	X	X	X	X	X	X	TRCCLK入力 (注1)
	0	X	X	X	X	X	X	X	X	1	000b以外			0	0	X	CTS2入力(注1)	
	X	X	X	X	X	X	X	X	X	1	000b以外			1	0	X	RTS2出力(注2)	
	0	X	X	1	10b以外		X	X	X	0	X	X	X	X	X	1	コンパレータB3 入力(IVCMP3)	

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

表7.33 ポートP3_4/TRCIOCR/RXD2/SCL2/TXD2/SDA2/IVREF3

レジスタ	PD3	TRCPSR1			U2SR0			U2MR			U2SMR	INTCMP	タイマRC設定	機能			
ビット	PD3_4	TRCIOCSSEL			RXD2SEL		TXD2SEL			SMD			IICM		INT3CP0	-	
		2	1	0	1	0	2	1	0	2	1	0					
設定値	0	010b以外			01b以外		010b以外			X	X	X	X	X	X	X	入力ポート(注1)
	1	010b以外			01b以外		010b以外			X	X	X	X	X	X	X	出力ポート(注2)
	0	0	1	0	01b以外		010b以外			X	X	X	X	X	X	「表7.56 TRCIOCR端子設定」参照	TRCIOCR入力(注1)
	X	0	1	0	01b以外		010b以外			X	X	X	X	X	X	「表7.56 TRCIOCR端子設定」参照	TRCIOCR出力(注2)
	0	010b以外			0	1	010b以外			X	X	X	X	X	X	X	RXD2入力(注1)
	0	X	X	X	0	1	010b以外			0	1	0	1	X	X	X	SCL2入出力(注2、3)
	X	X	X	X	X	X	0	1	0	0	0	1	0	X	X	X	TXD2出力(注2、3)
	0	X	X	X	X	X	0	1	0	0	1	0	1	X	X	X	SDA2入出力(注2、3)
	0	010b以外			01b以外		010b以外			X	X	X	X	1	X	X	コンパレータB3リファレンス電圧入力(IVREF3)

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U2C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.34 ポートP3_5/TRCIOD/CLK2

レジスタ	PD3	TRCPSR1			U2SR1		U2MR			タイマRC設定	機能		
ビット	PD3_5	TRCIODSEL			CLK2SEL		SMD			CKDIR		-	
		2	1	0	1	0	2	1	0				
設定値	0	010b以外			01b以外		X	X	X	X	X	X	入力ポート(注1)
	1	010b以外			01b以外		X	X	X	X	X	X	出力ポート(注2)
	0	0	1	0	01b以外		X	X	X	X	X	「表7.57 TRCIOD端子設定」参照	TRCIOD入力(注1)
	X	0	1	0	01b以外		X	X	X	X	X	「表7.57 TRCIOD端子設定」参照	TRCIOD出力(注2)
	0	X	X	X	0	1	X	X	X	1	X	X	CLK2入力(注2)
	X	X	X	X	0	1	0	0	1	0	X	X	CLK2出力(注2、3)

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U2SMR3レジスタのNODCビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.35 ポートP3_6/INT1

レジスタ	PD3	INTSR			INTEN	INTCMP	機能
ビット	PD3_6	INT1SEL			INT1EN	INT1CP0	
		2	1	0			
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート(注2)
	0	0	1	1	1	0	INT1入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを“1”にすると、出力の駆動能力Highとなります。

表7.36 ポートP3_7/TXD2/SDA2/RXD2/SCL2/TRAO

レジスタ	PD3	U2SR0					U2MR			U2SMR	TRASR		TRAI0C	機能
ビット	PD3_7	RXD2SEL		TXD2SEL			SMD			IICM	TRAOSEL		TOENA	
		1	0	2	1	0	2	1	0		1	0		
設定値	0	10b以外		001b以外			X	X	X	X	001b以外			入力ポート(注1)
	1	10b以外		001b以外			X	X	X	X	001b以外			出力ポート(注2)
	0	1	0	001b以外			X	X	X	X	001b以外			RXD2入力(注1)
	0	1	0	001b以外			0	1	0	1	X	X	X	SCL2入出力(注2、3)
	X	X	X	0	0	1	0	1	1	X	X	X	X	TXD2出力(注2、3)
							0		0					
							1		0					
0	X	X	0	0	1	0	1	0	1	X	X	X	SDA2入出力(注2、3)	
X	10b以外		001b以外			X	X	X	X	0	0	1	TRAO出力(注2)	

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR07ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U2C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.37 ポートP4_2/VREF

レジスタ	ADCON1	機能
ビット	ADSTBY	
設定値	0	入力ポート
	1	入力ポート/VREF入力

表7.38 ポートP4_3/XCIN

レジスタ	PD4	PINSR	CM0		CM1		回路仕様		機能
ビット	PD4_3	XCSEL	CM03	CM04	CM10	CM12	発振 バッファ	帰還 抵抗	
設定値	0	0	X	X	X	X	OFF	OFF	入力ポート(注1)
		1		0					
	1	0	X	X	X	X	OFF	OFF	出力ポート(注2)
		1		0					
	0	1	0	1	0	0	ON	ON	XCIN-XCOUT発振(内蔵帰還抵抗有効)(注3)
						1	ON	OFF	XCIN-XCOUT発振(内蔵帰還抵抗無効)(注3)
						0	OFF	ON	XCIN-XCOUT発振停止(内蔵帰還抵抗有効)
X	X	X	X	1	X	OFF	OFF	XCIN-XCOUT発振停止(内蔵帰還抵抗無効)	
								XCIN-XCOUT発振停止(STOPモード)	

X:“0”または“1”

注1. PUR1レジスタのPU10ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR10ビットを“1”にすると、出力の駆動能力Highとなります。

注3. XCINクロックを使用する場合、PUR1レジスタのPU10ビットを“0”(ブルアップなし)にしてください。

表7.39 ポートP4_4/XCOUT

レジスタ	PD4	PINSR	CM0		CM1		回路仕様		機能		
			ビット	PD4_4	XCSEL	CM03	CM04	CM10		CM12	発振 バッファ
設定値	0	0	X	X	X	X	X	OFF	OFF	入力ポート(注1)	
				0	0						
	1	0	1	X	X	X	X	X	OFF	OFF	出力ポート(注2)
					0	0					
	0	1	1	0	1	0	0	0	ON	ON	XCIN-XCOUT発振(内蔵帰還抵抗有効)(注3、4)
								1	ON	OFF	XCIN-XCOUT発振(内蔵帰還抵抗無効)(注3、4)
				0	OFF			ON	XCIN-XCOUT発振停止(内蔵帰還抵抗有効)		
				1	OFF			OFF	XCIN-XCOUT発振停止(内蔵帰還抵抗無効)		
	X	X	X	X	X	1	X	OFF	OFF	XCIN-XCOUT発振停止(STOPモード)	

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

注3. XCIN-XCOUT発振バッファは、内部降圧電源で動作していますので、XCOUT出力レベルを直接CMOSレベルの信号として使用できません。

注4. XCINクロックを使用する場合、PUR1レジスタのPU11ビットを"0"(プルアップなし)にしてください。

表7.40 ポートP4_5/INT0/RXD2/SCL2/ADTRG

レジスタ	PD4	INTEN	U2SR0		U2MR			U2SMR	ADMOD		機能			
			ビット	PD4_5	INT0EN	RXD2SEL		SMD				IICM	ADCAP	
						1	0	2	1	0			1	0
設定値	0	X	11b以外		X	X	X	X	X	X	入力ポート(注1)			
	1	X	11b以外		X	X	X	X	X	X	出力ポート(注2)			
	0	1	11b以外		X	X	X	X	X	X	INT0入力(注1)			
	0	X	1	1	X	X	X	X	X	X	RXD2入力(注1)			
	0	X	1	1	0	1	0	1	X	X	SCL2入出力(注2、3)			
	0	1	11b以外		X	X	X	X	1	1	ADTRG入力(注1)			

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U2C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.41 ポートP4_6/XIN

レジスタ	PD4	PINSR	CM0			CM1				回路仕様		機能				
			ビット	PD4_6	XCSEL	CM03	CM04	CM05	CM10	CM11	CM12		CM13	発振 バッファ	帰還 抵抗	
設定値	0	0	X	0	X	X	0	X	X	0	OFF	OFF	入力ポート(注1)			
				X	X											
	1	0	1	X	0	X	X	0	X	X	0	OFF	OFF	出力ポート(注2)		
					X	X										
	X	X	X	X	0	X	0	0	X	1	1	ON	ON	XIN-XOUT発振 (内蔵帰還抵抗有効)		
														1	ON	OFF
					0									OFF	ON	XIN-XOUT発振停止 (内蔵帰還抵抗有効)
					1									OFF	OFF	XIN-XOUT発振停止 (内蔵帰還抵抗無効)
	X	X	X	X	X	1	X	X	X	OFF	OFF	OFF	OFF	発振停止(STOPモード)		

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

表7.42 ポートP4_7/XOUT

レジスタ	PD4	PINSR	CM0			CM1				回路仕様		機能	
			ビット	PD4_7	XCSEL	CM03	CM04	CM05	CM10	CM11	CM12		CM13
設定値	0	0	X	0	X	0	X	X	0	OFF	OFF	入力ポート(注1)	
		1		X									
	1	0	X	0	X	0	X	X	0	OFF	OFF	出力ポート(注2)	
		1		X									
	X	X	X	X	X	0	0	X	1	1	ON	ON	XIN-XOUT発振 (内蔵帰還抵抗有効)
											ON	OFF	XIN-XOUT発振 (内蔵帰還抵抗無効)
											OFF	ON	XIN-XOUT発振停止 (内蔵帰還抵抗有効)
											OFF	OFF	XIN-XOUT発振停止 (内蔵帰還抵抗無効)
											OFF	OFF	発振停止(STOPモード)
											X	OFF	OFF

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

注3. XCIN-XCOUT発振バッファは、内部降圧電源で動作していますので、XCOUT出力レベルを直接CMOSレベルの信号として使用できません。

表7.43 ポートP5_6/TRAO

レジスタ	PD5	TRASR		TRAI0C	機能
		ビット	PD5_6	TRAOSEL1	
設定値	0	10b以外		X	入力ポート(注1)
	1	10b以外		X	出力ポート(注2)
	X	1	0	1	TRAO出力(注1)

X: "0" または "1"

注1. PUR1レジスタのPU13ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR13ビットを"1"にすると、出力の駆動能力Highとなります。

表7.44 ポートP5_7

レジスタ	PD5	機能
ビット	PD5_7	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X: "0" または "1"

注1. PUR1レジスタのPU13ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR13ビットを"1"にすると、出力の駆動能力Highとなります。

表7.45 ポートP6_0/TREO

レジスタ	PD6	TIMSR	TRECR1	機能
		ビット	PD6_0	
設定値	0	11b以外		入力ポート(注1)
	1	11b以外		出力ポート(注2)
	X	1	1	TREO出力(注2)

X: "0" または "1"

注1. PUR1レジスタのPU14ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR14ビットを"1"にすると、出力の駆動能力Highとなります。

表7.46 ポートP6_1

レジスタ	PD6	機能
ビット	PD6_1	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR14ビットを“1”にすると、出力の駆動能力Highとなります。

表7.47 ポートP6_2

レジスタ	PD6	機能
ビット	PD6_2	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X:“0”または“1”

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR14ビットを“1”にすると、出力の駆動能力Highとなります。

表7.48 ポートP6_3

レジスタ	PD6	機能
ビット	PD6_3	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X:“0”または“1”

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR14ビットを“1”にすると、出力の駆動能力Highとなります。

表7.49 ポートP6_4

レジスタ	PD6	機能
ビット	PD6_4	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X:“0”または“1”

注1. PUR1レジスタのPU15ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR15ビットを“1”にすると、出力の駆動能力Highとなります。

表7.50 ポートP6_5/INT4/CLK2/TRCIOB

レジスタ	PD6	INTEN1	U2SR1		U2MR			TRCPSR0			タイマRC設定	機能	
ビット	PD6_5	INT4EN	CLK2SEL		SMD			CKDIR	TRCIOBSEL				
			1	0	2	1	0		2	1	0		
設定値	0	X	11b以外		X	X	X	X	110b以外			X	入力ポート(注1)
	1	X	11b以外		X	X	X	X	110b以外			X	出力ポート(注2)
	0	1	11b以外		X	X	X	X	110b以外			X	INT4入力(注1)
	0	X	1	1	X	X	X	1	X	X	X	X	CLK2(外部クロック)入力(注1)
	X	X	1	1	0	0	1	0	X	X	X	X	CLK2(内部クロック)出力(注2、3)
	0	X	11b以外		X	X	X	X	1	1	0	「表7.55 TRCIOB端子設定」参照	TRCIOB入力(注1)
	X	X	11b以外		X	X	X	X	1	1	0	「表7.55 TRCIOB端子設定」参照	TRCIOB出力(注2)

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U2SMR3レジスタのNODCビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.51 ポートP6_6/INT2/TXD2/SDA2/TRCIOC

レジスタ	PD6	INTSR	INTEN	U2SR0			U2MR			U2SMR			TRCPSR1			タイマRC設定	機能
ビット	PD6_6	INT2SEL0	INT2EN	TXD2SEL			SMD			IICM	TRCIOCSEL						
				2	1	0	2	1	0		2	1	0				
設定値	0	X	X	101b以外			X	X	X	X	101b以外			X	入力ポート(注1)		
	1	X	X	101b以外			X	X	X	X	101b以外			X	出力ポート(注2)		
	0	0	1	101b以外			X	X	X	X	101b以外			X	INT2入力(注1)		
	X	X	X	1	0	1	0	1	X	X	X	X	X	X	X	X	TXD2出力(注2、3)
							0	0									
							1	1									
	0	X	X	X	1	0	1	0	1	0	1	X	X	X	X	X	SDA2入出力(注2、3)
0	X	X	X	101b以外			X	X	X	X	1	0	1	「表7.56 TRCIOC端子設定」参照	TRCIOC入力(注1)		
X	X	X	X	101b以外			X	X	X	X	1	0	1	「表7.56 TRCIOC端子設定」参照	TRCIOC出力(注2)		

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U2C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.52 ポートP6_7/INT3/TRCIOD

レジスタ	PD6	INTSR		INTEN	INTCMP	TRCPSR1			タイマRC設定	機能
ビット	PD6_7	INT3SEL		INT3EN	INT3CP0	TRCIODSEL			-	
		1	0			2	1	0		
設定値	0	X	X	X	X	101b以外			X	入力ポート(注1)
	1	X	X	X	X	101b以外			X	出力ポート(注2)
	0	1	0	1	0	101b以外			X	INT3入力(注1)
	0	X	X	X	X	1	0	1	「表7.57 TRCIOD 端子設定」参照	TRCIOD入力(注1)
	X	X	X	X	X	1	0	1	「表7.57 TRCIOD 端子設定」参照	TRCIOD出力(注2)

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

表7.53 TRBO端子設定

レジスタ	TRBIOC	TRBMR		機能
ビット	TOCNT	TMOD1	TMOD0	
設定値	0	0	1	プログラマブル波形発生モード(パルス出力)
	1	0	1	プログラマブル波形発生モード(プログラマブル出力)
	0	1	0	プログラマブルワンショット発生モード
	0	1	1	プログラマブルウェイトワンショット発生モード

表7.54 TRCIOA端子設定

レジスタ	TRCOER	TRCMR	TRCIOR0			TRCCR2		機能
ビット	EA	PWM2	IOA2	IOA1	IOA0	TCEG1	TCEG0	
設定値	0	1	0	0	1	X	X	タイマ波形出力(アウトプットコンペア機能)
				1	X			
	1	1	1	X	X	X	X	タイマモード(インプットキャプチャ機能)
				0	X			
1	0	X	X	X	0	1	PWM2モード TRCTRГ入力	
					1	X		

X: "0" または "1"

表7.55 TRCIOB端子設定

レジスタ	TRCOER	TRCMR		TRCIOR0			機能
ビット	EB	PWM2	PWMB	IOB2	IOB1	IOB0	
設定値	0	0	X	X	X	X	PWM2モード波形出力
	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	1	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
0					X		

X: "0" または "1"

表7.56 TRCIOCR端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
1							

X:“0”または“1”

表7.57 TRCIOD端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
1							

X:“0”または“1”

7.6 未使用端子の処理

表7.58に未使用端子の処理例を示します。

表7.58 未使用端子の処理例

端子名	処理内容
ポートP0、P1、P2、P3、 P4_3～P4_7、P5_6、P5_7、 P6	<ul style="list-style-type: none"> •入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) •出力モードに設定し、端子を開放(注1、2)
ポートP4_2/VREF	VCCに接続
RESET(注3)	抵抗を介してVCCに接続(プルアップ)(注2)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

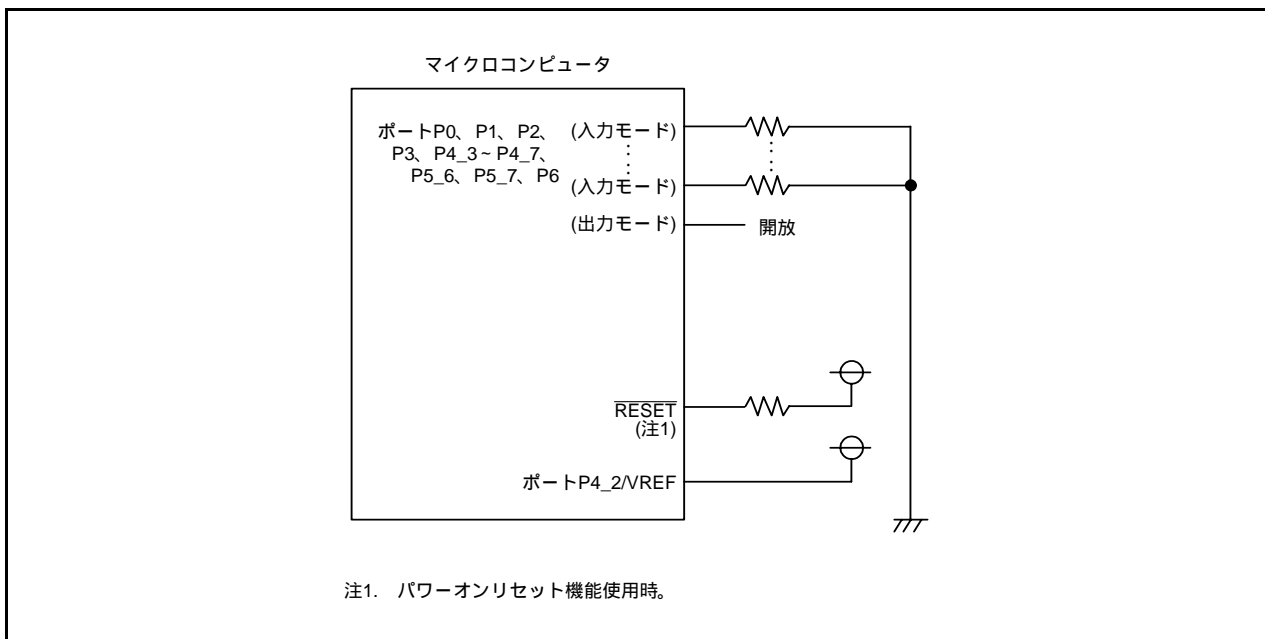


図7.18 未使用端子の処理例

8. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。


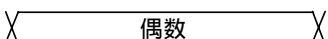
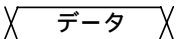

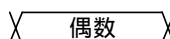


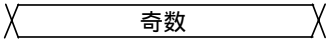
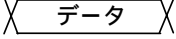

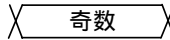


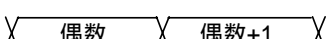


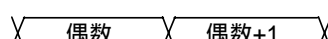


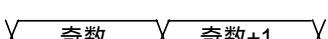


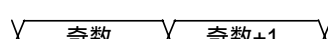

表8.1にR8C/35Dグループのアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表8.2にアクセス単位とバスの動作を示します。

表8.1 R8C/35Dグループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表8.2 アクセス単位とバスの動作

領域	SFR	ROM(プログラムROM)、RAM
偶数番地 バイトアクセス	CPU クロック  アドレス  偶数 データ  データ	CPU クロック  アドレス  偶数 データ  データ
奇数番地 バイトアクセス	CPU クロック  アドレス  奇数 データ  データ	CPU クロック  アドレス  奇数 データ  データ
偶数番地 ワードアクセス	CPU クロック  アドレス  偶数 偶数+1 データ  データ データ	CPU クロック  アドレス  偶数 偶数+1 データ  データ データ
奇数番地 ワードアクセス	CPU クロック  アドレス  奇数 奇数+1 データ  データ データ	CPU クロック  アドレス  奇数 奇数+1 データ  データ データ

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

UART2：U2MR、U2BRG、U2TB、U2C0、U2C1、U2RB、U2SMR5、U2SMR4、U2SMR3、U2SMR2、U2SMR
レジスタ

A/Dコンバータ：AD0、AD1、AD2、AD3、AD4、AD5、AD6、AD7、ADMOD、ADINSEL、ADCON0、
ADCON1レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表8.2 アクセス単位とバスの動作」の
「領域：SFR、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

9. クロック発生回路

クロック発生回路として、5つの回路が内蔵されています。

- XINクロック発振回路
- XCINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

9.1 概要

表 9.1 にクロック発生回路の概略仕様を、図 9.1 にクロック発生回路を、図 9.2 に周辺機能のクロックを、図 9.3 にVCA20ビットによる内部電源低消費操作手順を示します。

表 9.1 クロック発生回路の概略仕様

項目	XINクロック 発振回路	XCINクロック 発振回路	オンチップオシレータ		ウォッチドッグ タイマ用低速オン チップオシレータ
			高速オンチップ オシレータ	低速オンチップ オシレータ	
用途	•CPUのクロック源 •周辺機能のクロック源	•CPUのクロック源 •周辺機能のクロック源	•CPUのクロック源 •周辺機能のクロック源 •XINクロック発振停止時のCPU、周辺機能のクロック源	•CPUのクロック源 •周辺機能のクロック源 •XINクロック発振停止時のCPU、周辺機能のクロック源	•ウォッチドッグタイマのクロック源
クロック周波数	0 ~ 20MHz	32.768kHz	約40MHz(注4)	約125kHz	約125kHz
接続できる発振子	•セラミック共振子 •水晶発振子	•水晶発振子			
発振子の接続端子	XIN、XOUT(注1)	XCIN、XCOUT (注2)	(注1)	(注1)	
発振の開始と停止	あり	あり	あり	あり	あり
リセット後の状態	停止	停止	停止	発振	停止(注5) 発振(注6)
その他	外部で生成されたクロックを入力可能(注3)	•外部で生成されたクロックを入力可能 •帰還抵抗Rfを内蔵(接続/非接続選択可能)			

注1. XINクロック発振回路を使用せず、XCINクロック発振回路または、オンチップオシレータクロックをCPUクロックに使用するにはP4_6、P4_7として使うことができます。

注2. XCINクロック発振回路を使用せず、XINクロック発振回路または、オンチップオシレータクロックをCPUクロックに使用するにはP4_3、P4_4として使うことができます。

注3. 外部クロック入力時には、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)に、CM13ビットを“1”(XIN-XOUT端子)にしてください。

注4. CPUクロック源として使用するには、分周器により最大：約20MHzとなります。

注5. OFSレジスタのCSPROINIビットが“1”(リセット後、カウントソース保護モード無効)の場合です。

注6. OFSレジスタのCSPROINIビットが“0”(リセット後、カウントソース保護モード有効)の場合です。

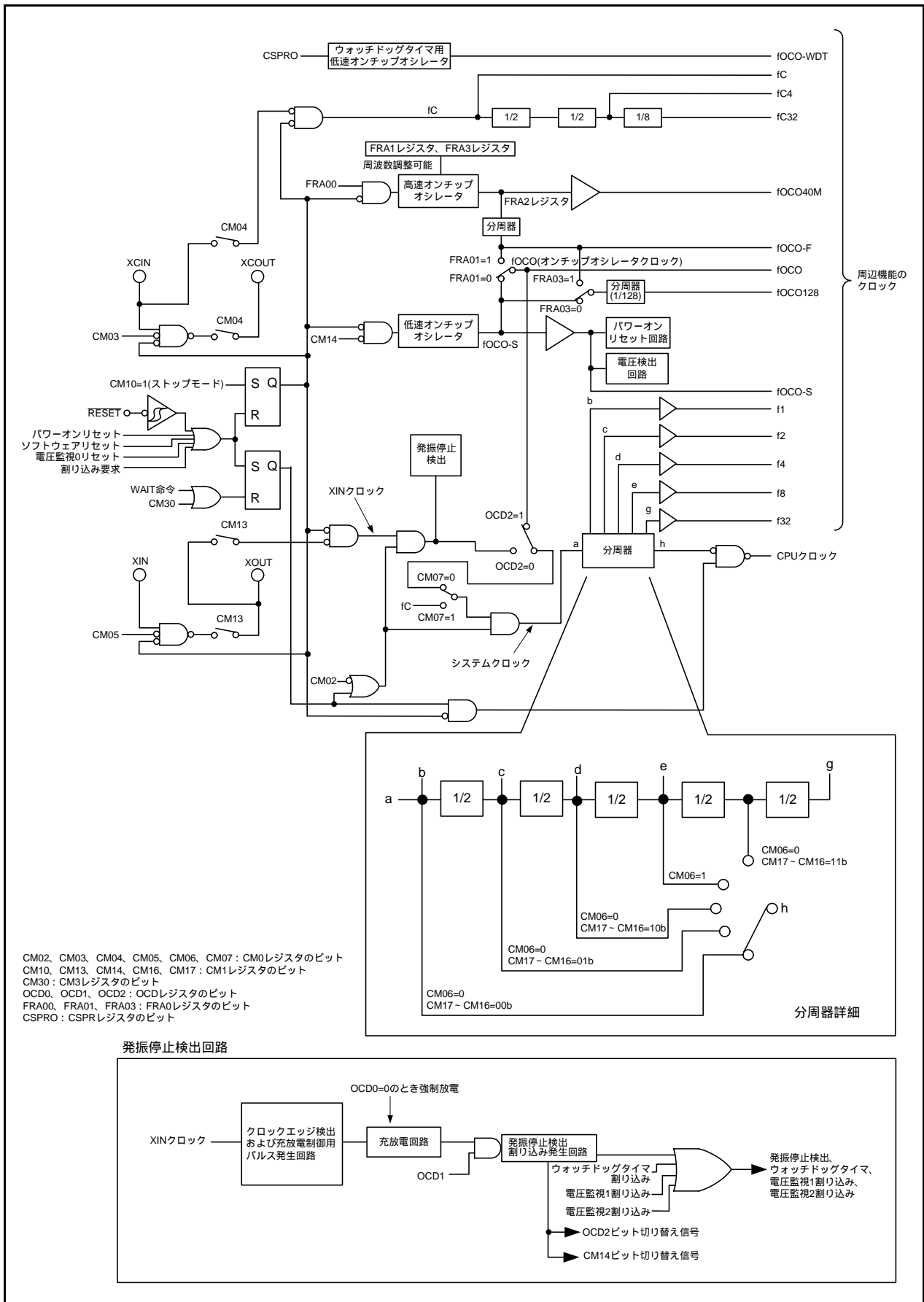


図9.1 クロック発生回路

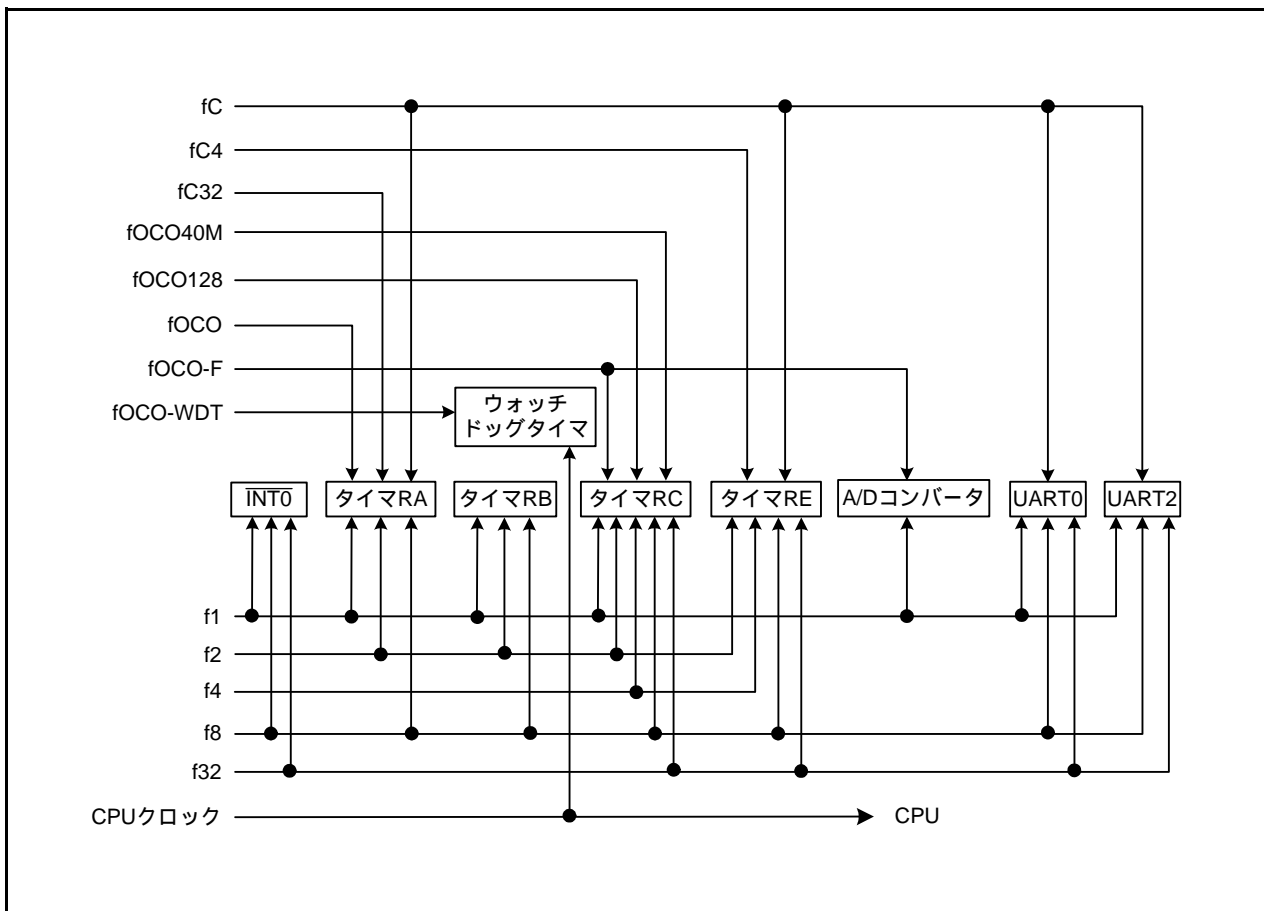


図9.2 周辺機能のクロック

9.2 レジスタの説明

9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0006h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	-	-
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			R/W
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	CM03	XCINクロック停止ビット	0: 発振 1: 停止	R/W
b4	CM04	ポート、XCIN-XCOUT切り替えビット(注5)	0: 入出力ポートP4_3、P4_4 1: XCIN、XCOUT端子(注6)	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、3)	0: 発振 1: 停止(注2)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	XIN、XCINクロック選択ビット(注7)	0: XINクロック 1: XCINクロック	R/W

注1. CM05ビットは高速オンチップオシレータモード、低速オンチップオシレータモードにするとXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1) OCDレジスタのOCD1～OCD0ビットを“00b”にする。

(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。

注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。

注3. CM05ビットが“1”(XINクロック停止)かつCM1レジスタのCM13ビットが“0”(P4_6、P4_7)の場合のみ、P4_6、P4_7は入出力ポートとして使用できます。

注4. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

注5. CM04ビットはプログラムで“1”にできますが、“0”にできません。

注6. XCINクロックを使用する場合、CM04ビットを“1”、PINSRレジスタのXCSELビットを“1”にしてください。また、ポートP4_3、P4_4は入力ポートで、プルアップなしにしてください。

注7. CM04ビットを“1”(XCIN-XCOUT端子)にし、XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.2 システムクロック制御レジスタ1 (CM1)

アドレス 0007h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	-	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2、6)	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット(注5)	0: 入出力ポートP4_6、P4_7 1: XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3、4)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	-	予約ビット	"1" にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1(注1)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

注1. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16～CM17ビットは有効となります。

注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。

注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

注5. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。

注6. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”(ストップモード)にしないでください。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	-	-	-	-	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-	予約ビット	“0”にしてください	R/W
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 01: 設定しないでください 10: 高速オンチップオシレータクロックを選択(注3) 11: XINクロックを選択(注4)	R/W
b7	CM37			R/W

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
- 注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- 注3. CM37、CM36ビットが“10b”(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
 - FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
 - FRA0レジスタのFRA01ビット=1(高速オンチップオシレータ選択)
- 注4. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
 - CM1レジスタのCM13ビット=1(XIN-XOUT端子)
 - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

9.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0: 発振停止検出機能無効(注1) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注1) 1: 許可	R/W
b2	OCD2	システムクロック選択ビット(注3)	0: XINクロック選択(注6) 1: オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0: XINクロック発振 1: XINクロック停止	R
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-			

- 注1. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
- 注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。
- 注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「図9.10 低速オンチップオシレータからXINクロックへの切り替え手順」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

9.2.5 高速オンチップオシレータ制御レジスタ7(FRA7)

アドレス 0015h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	出荷時の値							

ビット	機能	R/W
b7～b0	32MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA6レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。	R

9.2.6 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス 0023h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	FRA03	-	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0: 高速オンチップオシレータ停止 1: 高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット (注1)	0: 低速オンチップオシレータ選択(注2) 1: 高速オンチップオシレータ選択(注3)	R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0: fOCO-Sの128分周を選択 1: fOCO-Fの128分周を選択	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00=1(高速オンチップオシレータ発振)
- CM1レジスタのCM14=0(低速オンチップオシレータ発振)
- FRA2レジスタのFRA22～FRA20ビットが
VCC=2.7V～5.5Vの場合は全分周モード設定可能 “000b”～“111b”
VCC=1.8V～5.5Vの場合は8分周以上の分周比 “110b”～“111b”(8分周モード以上)

注2. FRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

注3. FRA01ビットに“1”(高速オンチップオシレータ選択)を設定し、低速オンチップオシレータを停止する場合は、低速オンチップオシレータの1サイクル以上を待ってから、CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

9.2.7 高速オンチップオシレータ制御レジスタ1 (FRA1)

アドレス 0024h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	出荷時の値							

ビット	機能	R/W
b7～b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz: FRA1=リセット後の値、FRA3=リセット後の値 36.864MHz: FRA4レジスタの値をFRA1レジスタに転送し、かつ、 FRA5レジスタの値をFRA3レジスタに転送。 32MHz: FRA6レジスタの値をFRA1レジスタに転送し、かつ、 FRA7レジスタの値をFRA3レジスタに転送。	R/W

FRA1レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA1レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

9.2.8 高速オンチップオシレータ制御レジスタ2 (FRA2)

アドレス 0025h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	FRA22	FRA21	FRA20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA20	高速オンチップオシレータ周波数切り替えビット	分周比選択 高速オンチップオシレータクロック分周比を選択します。 b2 b1 b0 000: 2分周モード 001: 3分周モード 010: 4分周モード 011: 5分周モード 100: 6分周モード 101: 7分周モード 110: 8分周モード 111: 9分周モード	R/W
b1	FRA21			R/W
b2	FRA22			R/W
b3	-	予約ビット	"0" にしてください	R/W
b4	-			
b5	-			
b6	-			
b7	-			

FRA2レジスタは、PRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後、書き換えてください。

9.2.9 時計用プリスケアラリセットフラグ(CPSRF)

アドレス 0028h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CPSR	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	"0" にしてください	R/W
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-	時計用プリスケアラリセットフラグ	このビットを"1"にすると時計用プリスケアラが初期化される(読んだ場合、その値は"0")	R/W
b7	CPSR			

9.2.10 高速オンチップオシレータ制御レジスタ4 (FRA4)

アドレス 0029h 番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル

-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	36.864MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA5レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。	R

9.2.11 高速オンチップオシレータ制御レジスタ5 (FRA5)

アドレス 002Ah 番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル

-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	36.864MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA4レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。	R

9.2.12 高速オンチップオシレータ制御レジスタ6 (FRA6)

アドレス 002Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	出荷時の値							

ビット	機能	R/W
b7 ~ b0	32MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA7レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。	R

9.2.13 高速オンチップオシレータ制御レジスタ3 (FRA3)

アドレス 002Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	出荷時の値							

ビット	機能	R/W
b7 ~ b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz： FRA1=リセット後の値、FRA3=リセット後の値 36.864MHz： FRA4レジスタの値をFRA1レジスタに転送し、かつ、 FRA5レジスタの値をFRA3レジスタに転送。 32MHz： FRA6レジスタの値をFRA1レジスタに転送し、かつ、 FRA7レジスタの値をFRA3レジスタに転送。	R/W

FRA3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA3レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

9.2.14 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図9.3 VCA20ビットによる内部電源低消費電力操作手順」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.15 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IOINSEL	-	-	XCSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	XCSEL	XCIN/XCOUT 端子接続 ビット	0 : XCINをP4_3、XCOUTをP4_4に接続しない 1 : XCINをP4_3、XCOUTをP4_4に接続する	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	IOINSEL	I/Oポート入力機能選択 ビット	0 : I/Oポートの入力機能はPDi (i=0 ~ 6)レジスタに依存 PDiレジスタのPDi_j (j=0 ~ 7)ビットが“0” (入力 モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1” (出力モード)の とき、ポートラッチを読む。 1 : I/Oポートの入力機能はPDiレジスタに関係なく、 端子の入力レベルを読む	R/W
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-			

XCSELビット (XCIN/XCOUT 端子接続ビット)

XCSELビットはXCIN、XCOUTをP4_3、P4_4に接続するためのビットです。“1”にするとXCINをP4_3、XCOUTをP4_4に接続します。XCIN、XCOUTの設定方法は、「9. クロック発生回路」を参照してください。

IOINSELビット (I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0 ~ 6)レジスタのPDi_j (j=0 ~ 7)ビットが“1” (出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表9.2にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットでP4_2を除くすべてのI/Oポートの入力機能を変更できます。

表9.2 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	“0” (入力モード)		“1” (出力モード)	
	“0”	“1”	“0”	“1”
IOINSELビット	“0”	“1”	“0”	“1”
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

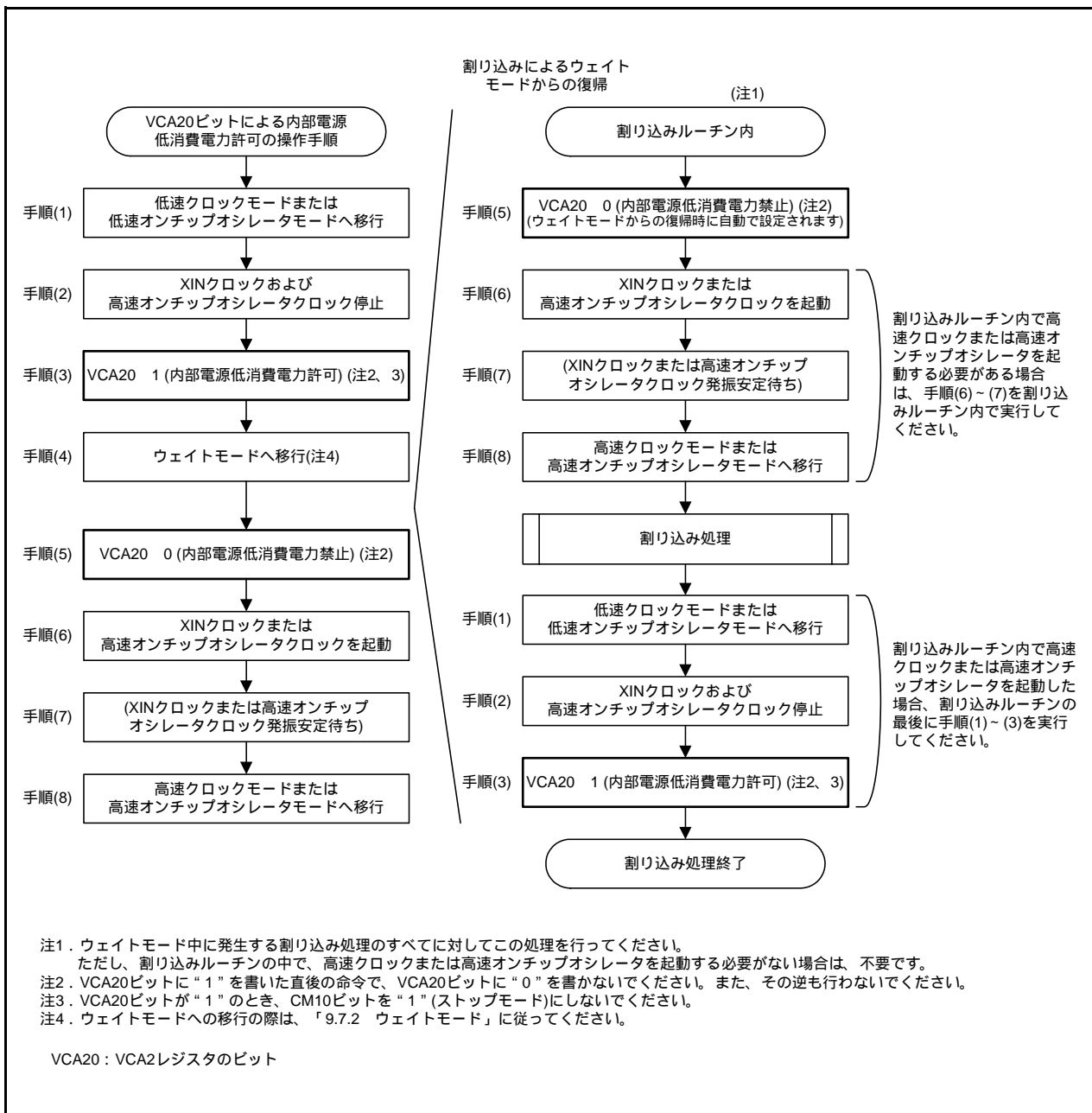


図9.3 VCA20ビットによる内部電源低消費操作手順

クロック発生回路で生成するクロックを説明します。

9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXOUT端子へ入力することもできます。

図9.4にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXOUT端子に入力している場合、CM05ビットを“1”にしてもXINクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

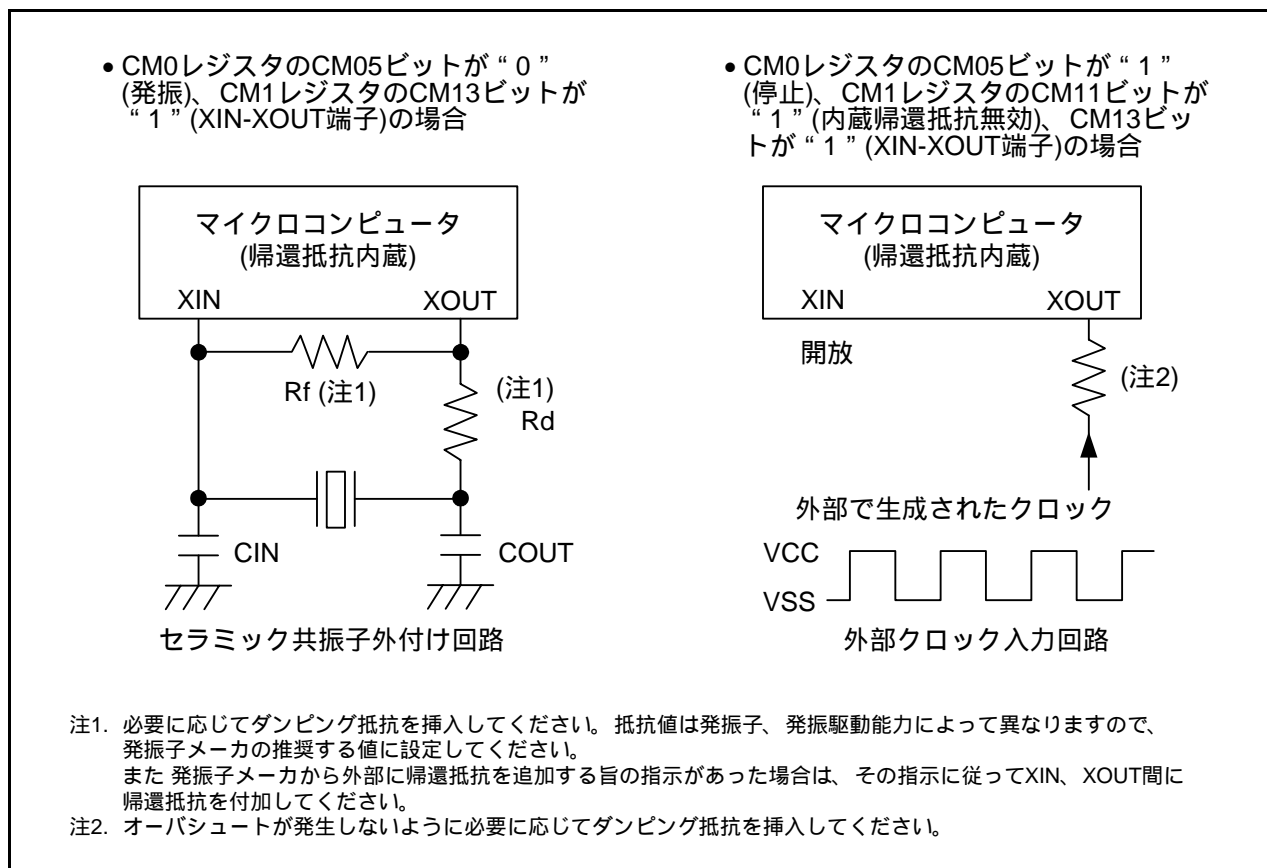


図9.4 XINクロックの接続回路例

9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-S、fOCO128のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-F、fOCO40M、fOCO128のクロック源になります。

CPUクロック、周辺クロック、fOCO、fOCO-Fのクロック源として使用する場合には、FRA2レジスタのFRA20～FRA22ビットにより、以下のように設定してください。

- VCC=2.7V～5.5Vの場合、全分周モード設定可能 “000b”～“111b”
- VCC=1.8V～5.5Vの場合、8分周以上の分周比 “110b”～“111b”(8分周モード以上)

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを“1”(オンチップオシレータ発振)にすると発振を開始します。

また、FRA4～FRA7レジスタには周波数調整用データが格納されています。

高速オンチップオシレータクロックの周波数を36.864MHzにするには、FRA4レジスタの調整値をFRA1レジスタへ、FRA5レジスタの調整値をFRA3レジスタに転送して使用してください。これにより、シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます(「表20.8、表21.8 UARTモード時のビットレート設定例(内部クロック選択時)」を参照)。

高速オンチップオシレータクロックの周波数を32MHzにするには、FRA6レジスタの調整値をFRA1レジスタへ、FRA7レジスタの調整値をFRA3レジスタに転送して使用してください。

9.5 XCINクロック

XCINクロック発振回路が供給するクロックです。CPUクロック、周辺機能クロックのクロック源になります。XCINクロック発振回路はXCIN-XCOUT端子間に発振子を接続することで発振回路が構成されます。XCINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XCINクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。

図9.5にXCINクロックの接続回路例を示します。

リセット中およびリセット後、XCINクロックは停止しています。

PINSRレジスタのXCSELビットを“1”(XCINをP4_3、XCOUTをP4_4に接続する)にし、CM0レジスタのCM04ビットを“1”(XCIN-XCOUT端子)にした後、CM0レジスタのCM03ビットを“0”(XCINクロック発振)にするとXCINクロックは発振を開始します。XCINクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(XCINクロック)にするとXCINクロックがCPUのクロック源になります。外部で生成されたクロックをXCIN端子へ入力する場合も、CM0レジスタのCM04ビットを“1”(XCIN-XCOUT端子)にしてください。このとき、XCOUT端子は開放してください。

このマイクロコンピュータは、帰還抵抗を内蔵していますが、CM1レジスタのCM12ビットにより、内蔵抵抗を無効/有効の切り替えも可能です。

ストップモード時は、XCINクロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

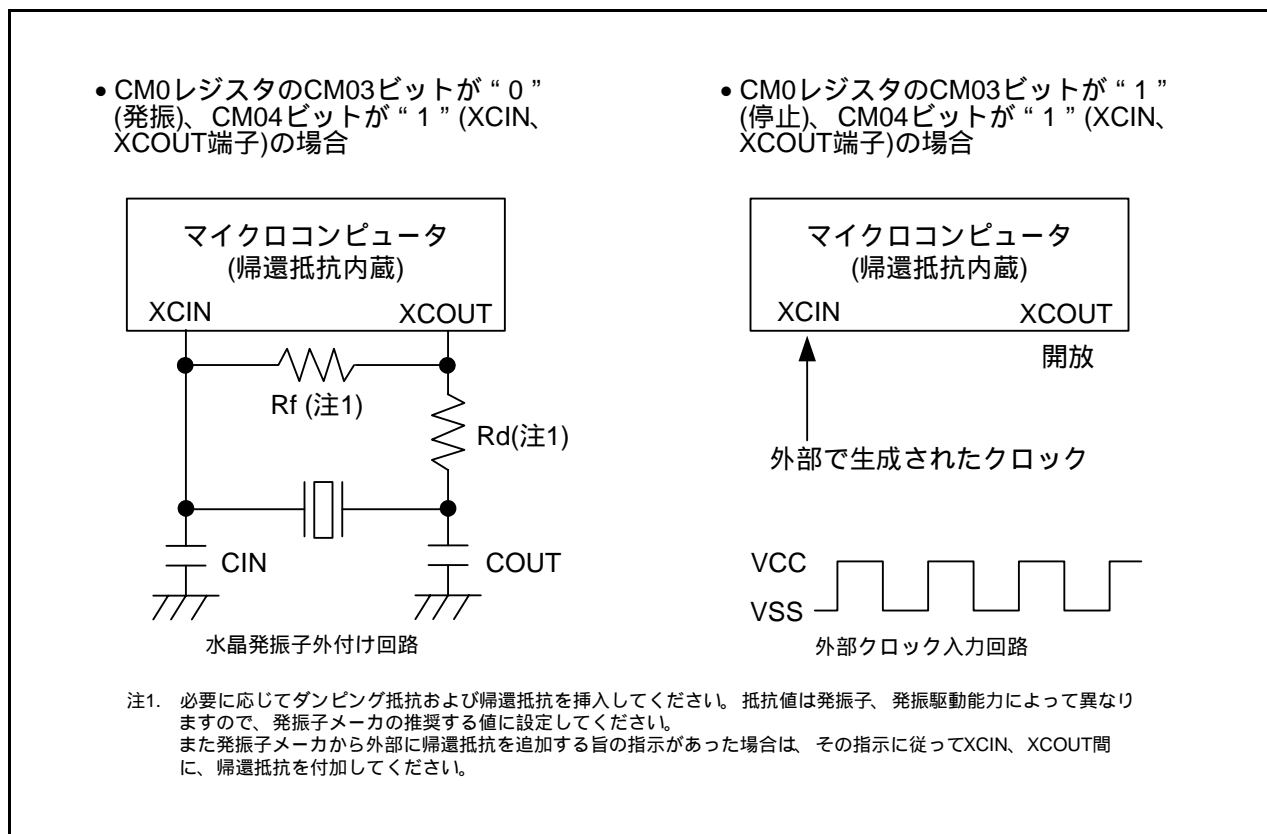


図9.5 XCINクロックの接続回路例

9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります。(「図9.1 クロック発生回路」参照。)

9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、XCINクロックまたはオンチップオシレータクロックが選択できます。

9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

なお、XCINクロックは、XCINクロックの発振が安定しているときに使用してください。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

9.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i ($i=1、2、4、8、32$)はシステムクロックを i 分周したクロックです。 f_i はタイマRA、タイマRB、タイマRC、タイマRE、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にウェイトモードに移行した場合、 f_i は停止します。

9.6.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRAで使用します。fOCOはウェイトモード時、停止しません。

9.6.5 fOCO40M

タイマRCのカウントソースになります。

fOCO40Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO40Mはウェイトモード時、停止しません。

このクロックは、電源電圧VCC = 2.7 ~ 5.5Vの範囲で使用することができます。

9.6.6 fOCO-F

タイマRC、A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックを i 分周($i=2、3、4、5、6、7、8、9$; FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-Fはウェイトモード時、停止しません。

9.6.7 fOCO-S

電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-Sはウェイトモード時、停止しません。

9.6.8 fOCO128

fOCO-SまたはfOCO-Fを128分周したクロックです。FRA03ビットを“0”にするとfOCO-Sの128分周が選択され、“1”にするとfOCO-Fの128分周が選択されます。

タイマRCのTRCGRAレジスタで使用するキャプチャ信号になります。

9.6.9 fC、fC4、fC32

fC、fC4、fC32はタイマRA、タイマRE、シリアルインタフェースで使用します。

なお、fC、fC4、fC32は、XCINクロックの発振が安定しているときに使用してください。

9.6.10 fOCO-WDT

ウォッチドッグタイマの動作クロックです。

fOCO-WDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると供給されます。

fOCO-WDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

9.7 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

9.7.1 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってから、クロックを切り替えてください。

表9.3 クロック関連ビットの設定とモード

モード		OCDレジスタ	CM1レジスタ			CM0レジスタ					FRA0レジスタ	
		OCD2	CM17、 CM16	CM14	CM13	CM07	CM06	CM05	CM04	CM03	FRA01	FRA00
高速クロック モード	分周なし	0	00b		1	0	0	0				
	2分周	0	01b		1	0	0	0				
	4分周	0	10b		1	0	0	0				
	8分周	0			1	0	1	0				
	16分周	0	11b		1	0	0	0				
低速クロック モード	分周なし		00b			1	0		1	0		
	2分周		01b			1	0		1	0		
	4分周		10b			1	0		1	0		
	8分周					1	1		1	0		
	16分周		11b			1	0		1	0		
高速オンチップ オシレータ モード	分周なし	1	00b			0	0				1	1
	2分周	1	01b			0	0				1	1
	4分周	1	10b			0	0				1	1
	8分周	1				0	1				1	1
	16分周	1	11b			0	0				1	1
低速オンチップ オシレータ モード	分周なし	1	00b	0		0	0				0	
	2分周	1	01b	0		0	0				0	
	4分周	1	10b	0		0	0				0	
	8分周	1		0		0	1				0	
	16分周	1	11b	0		0	0				0	

:“0”でも“1”でも影響ない

9.7.1.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRCで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

9.7.1.2 低速クロックモード

XCINクロックの1分周(分周なし)、2分周、4分周、8分周または16分周がCPUクロックとなります。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周のいずれかで、低消費電流リードモードを使用できます。ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRCで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「25. 消費電力の低減」を参照してください。

9.7.1.3 高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。FRA00ビットが“1”のとき、fOCO40MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

9.7.1.4 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。FRA00ビットが“1”のとき、fOCO40MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「25. 消費電力の低減」を参照してください。

9.7.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、XCINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

9.7.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

9.7.2.2 ウェイトモードへの移行

WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

ウェイトモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

9.7.2.3 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

9.7.2.4 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表9.4にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表9.4 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	(使用しないでください)	(使用しないでください)
タイマRA割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCO、fC、fC32を選択することで使用可
タイマRB割り込み	すべてのモードで使用可	タイマRAのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRAのアンダフローを選択することで使用可
タイマRC割り込み	すべてのモードで使用可	(使用しないでください)
タイマRE割り込み	すべてのモードで使用可	リアルタイムクロックモードで使用可
INT割り込み	使用可	使用可(INT0～INT4はフィルタなしの場合に、使用可)
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	(使用しないでください)

図9.6にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

- (1) Iフラグを“0”(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.6のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

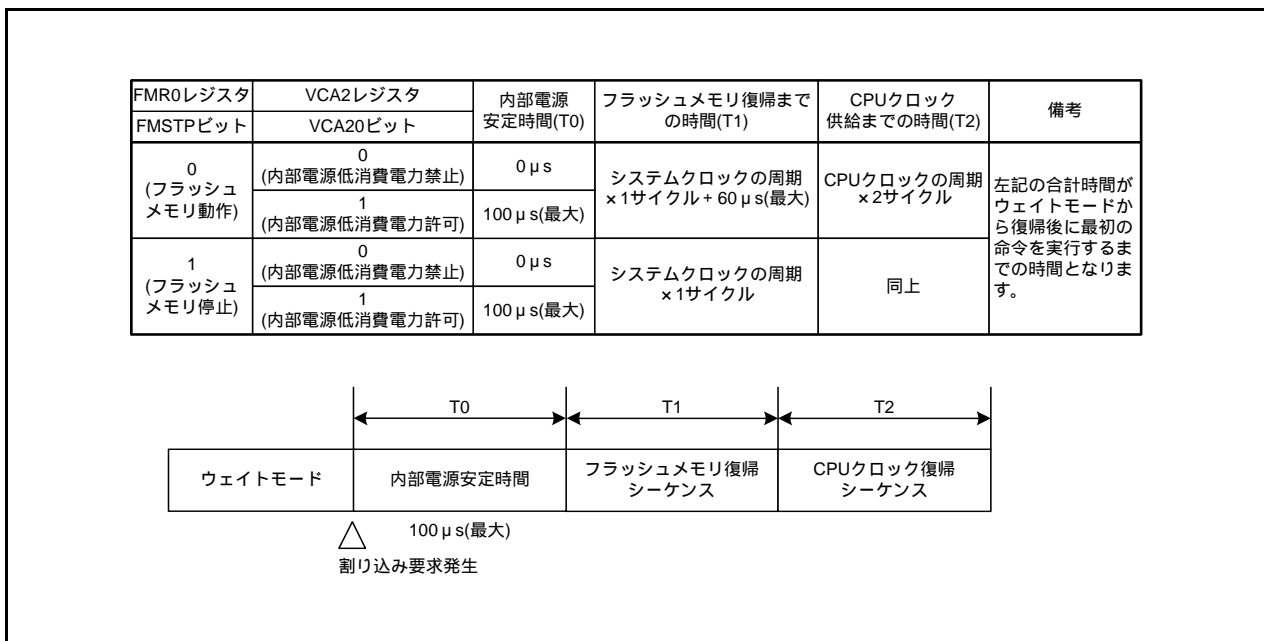


図9.6 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

図9.7にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.7のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

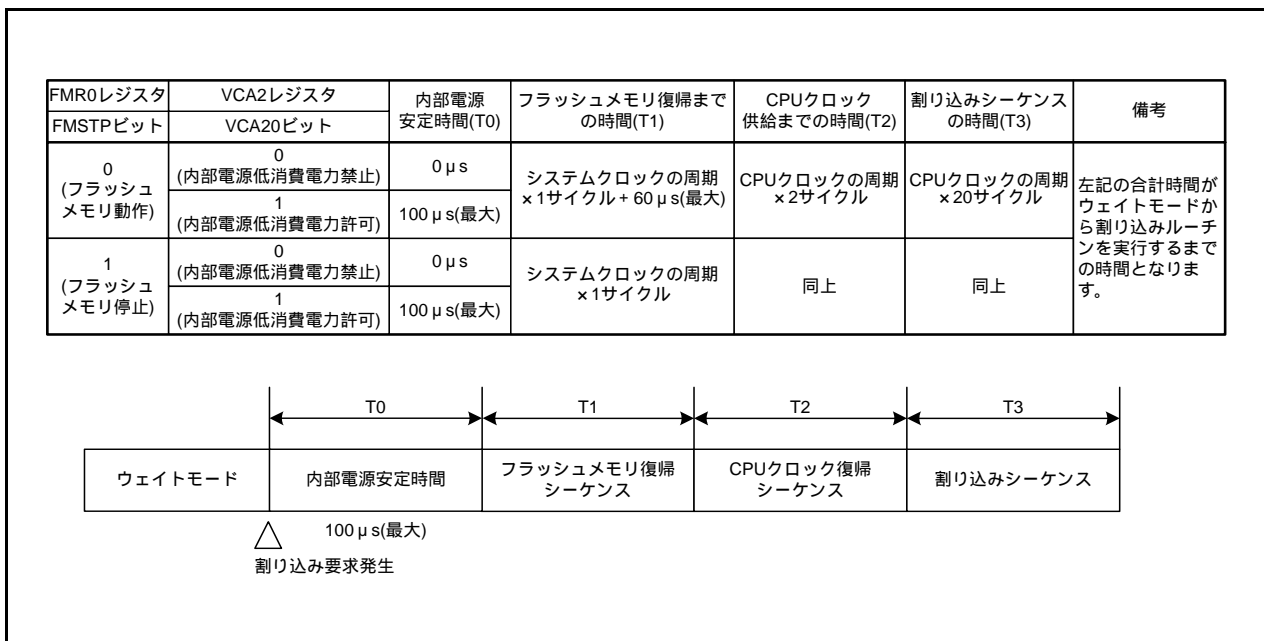


図9.7 WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

9.7.3 ストップモード

ストップモードでは、fOCO-WDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表9.5にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表9.5 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
INT0 ~ INT4割り込み	フィルタなしの場合に使用可
タイマRA割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

9.7.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1 ~ OCD0ビットを“00b”、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

ストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態では、ストップモードへ移行しないでください。

9.7.3.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。CM13ビットが“0”(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。

9.7.3.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図9.8にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

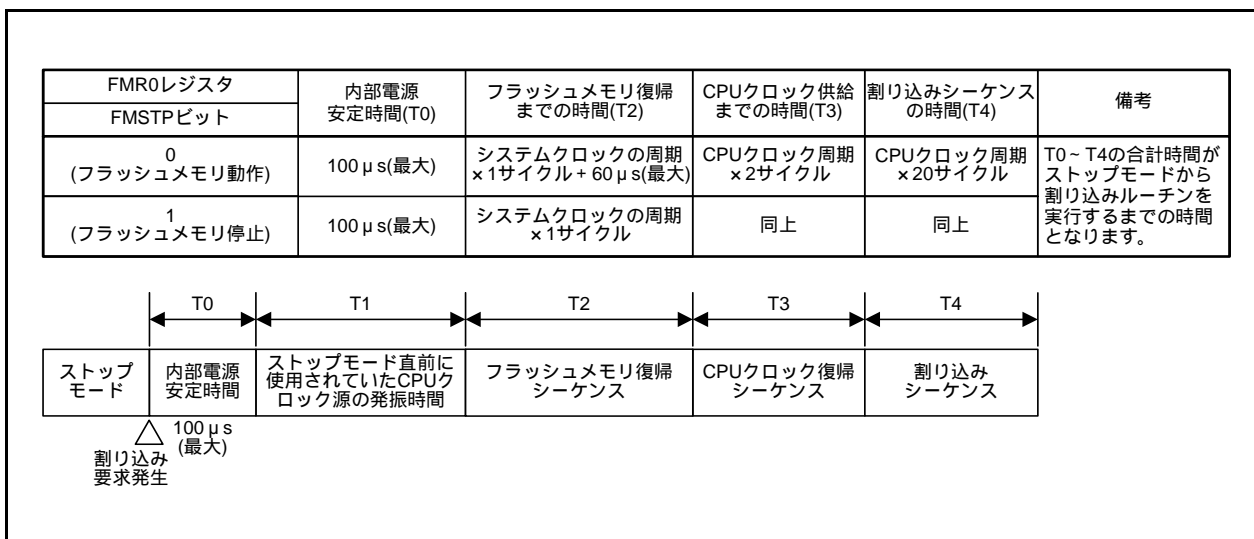


図9.8 ストップモードから割り込みルーチンを実行するまでの時間

図9.9にパワーコントロールモード状態遷移を示します。

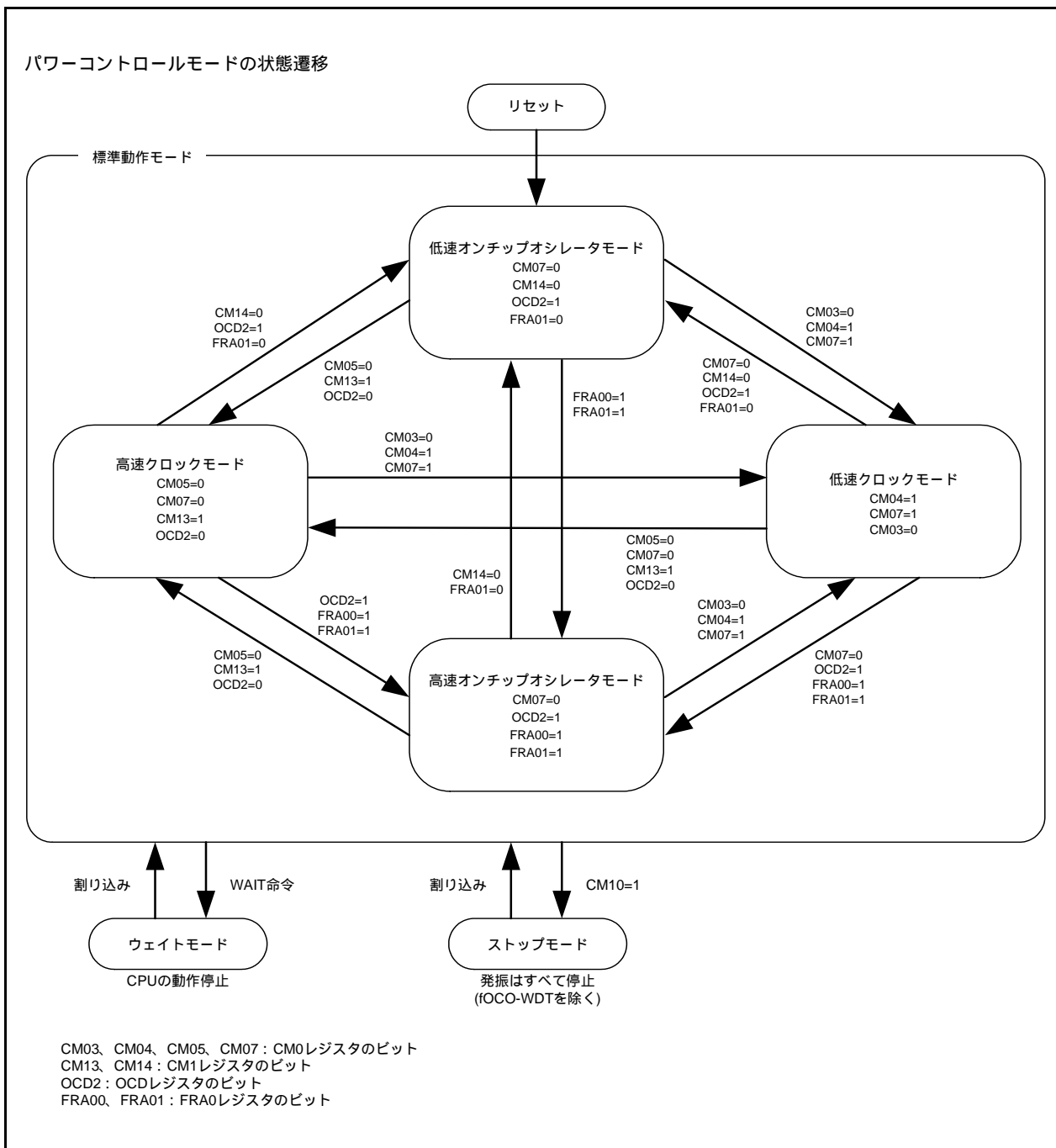


図9.9 パワーコントロールモード状態遷移

9.8 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表9.6に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット = 1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット = 1(XINクロック停止)
- CM1レジスタのCM14ビット = 0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.6 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

9.8.1 発振停止検出機能の使用法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。
表9.7に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.11に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。
- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。
図9.10に低速オンチップオシレータからXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00ビットを“1”(高速オンチップオシレータ発振)にし、FRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。

表9.7 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a)OCDレジスタのOCD3=1 (b)OCDレジスタのOCD1 ~ OCD0=11bかつOCD2=1
ウォッチドッグタイマ	VW2CレジスタのVW2C3=1
電圧監視1	VW1CレジスタのVW1C2=1
電圧監視2	VW2CレジスタのVW2C2=1

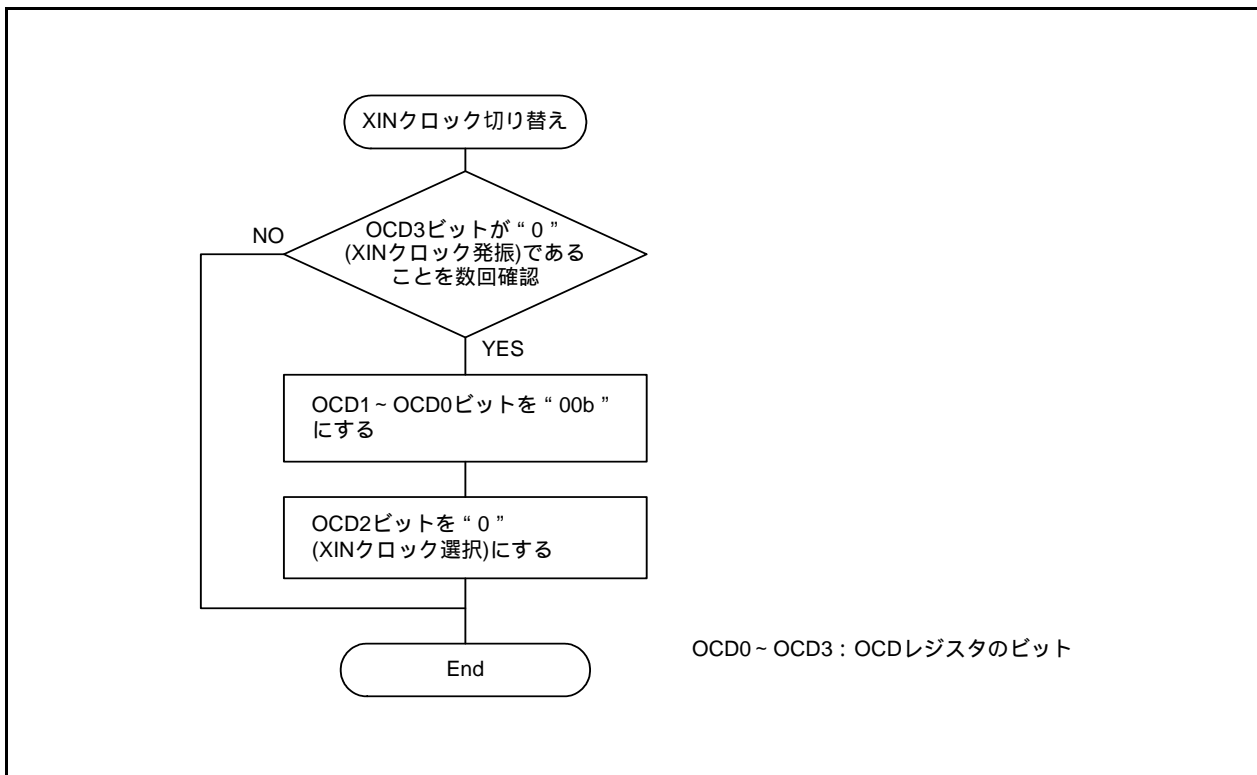


図9.10 低速オンチップオシレータからXINクロックへの切り替え手順

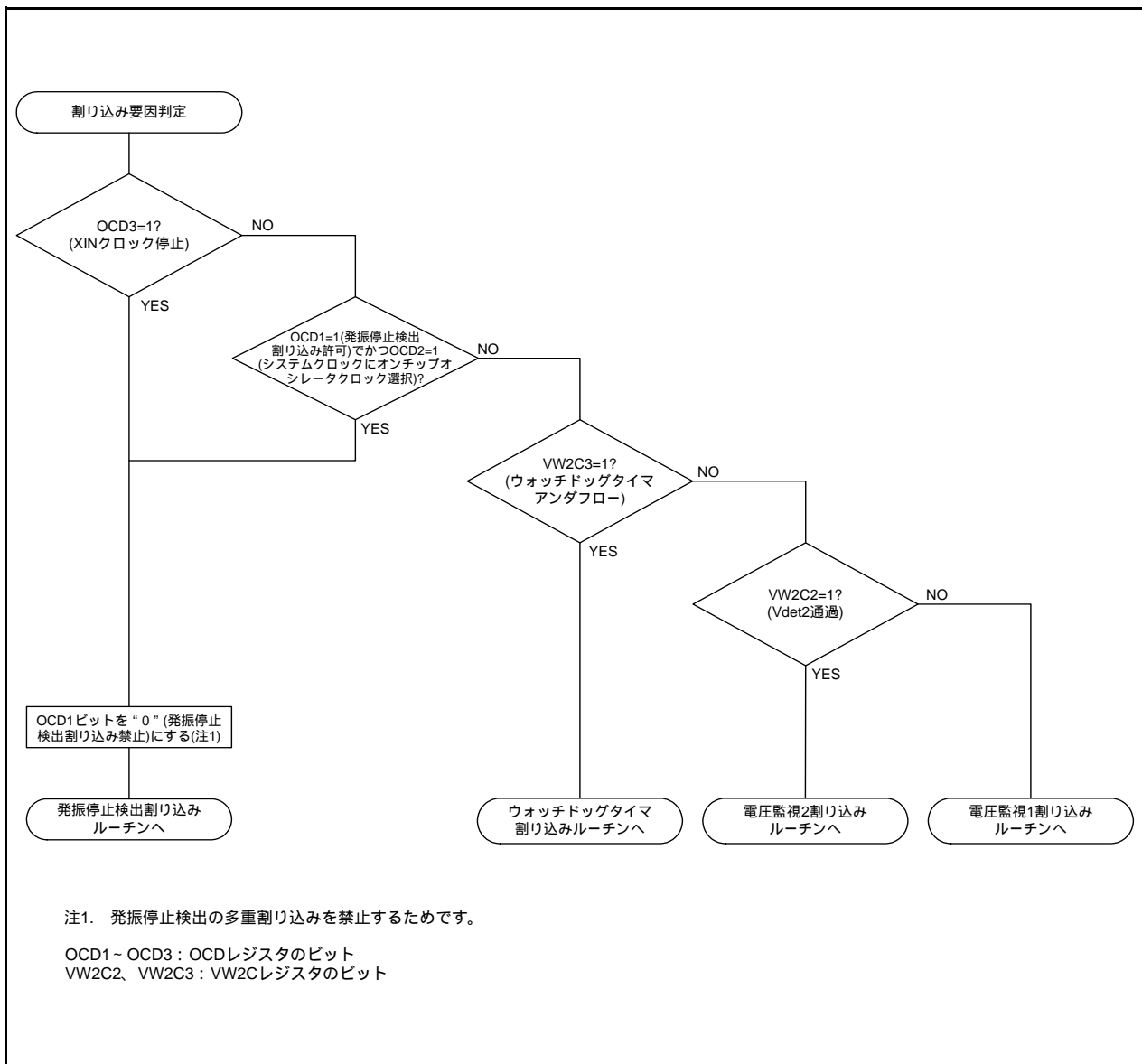


図9.11 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

9.9 クロック発生回路使用上の注意

9.9.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM1レジスタへの書き込み許可
FSET    I          ; 割り込み許可
BSET    0, CM1     ; ストップモード
JMP.B   LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

9.9.2 ウェイトモード

CM30ビットを“1”にしてウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM30ビットを“1”にしてください。

WAIT命令でウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
FSET    I          ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP
```

• CM30ビットを“1”を実行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM3レジスタへの書き込み許可
FCLR    I          ; 割り込み禁止
BSET    0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR    ; CM3レジスタへの書き込み禁止
FSET    I          ; 割り込み許可
```

9.9.3 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

9.9.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。電源電圧VCC=2.7V未満でご使用になる場合は、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)にし、外部に帰還抵抗を接続することを推奨します。

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCR レジスタが保護するレジスタは次です。

- PRC0 ビットで保護されるレジスタ：CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3 レジスタ
- PRC1 ビットで保護されるレジスタ：PM0、PM1 レジスタ
- PRC2 ビットで保護されるレジスタ：PD0 レジスタ
- PRC3 ビットで保護されるレジスタ：OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C レジスタ

10.1 レジスタの説明

10.1.1 プロテクトレジスタ (PRCR)

アドレス	000Ah 番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b1	PRC1	プロテクトビット1	PM0、PM1 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b2	PRC2	プロテクトビット2	PD0 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b3	PRC3	プロテクトビット3	OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。	-	-

注1. PRC2 ビットを "1" (書き込み許可) にした後、SFR 領域に書き込むと "0" になります。PRC2 ビットで保護されるレジスタは、PRC2 ビットを "1" にした次の命令で変更してください。なお、PRC2 ビットを "1" にする命令と次の命令の間に、割り込みが実行されないようにしてください。

注2. PRC0、PRC1、PRC3 ビットを "1" (書き込み許可) にした後、SFR 領域に書き込んでも "0" になりませんので、プログラムで "0" にしてください。

11. 割り込み

11.1 概要

11.1.1 割り込みの分類

図11.1に割り込みの分類を示します。

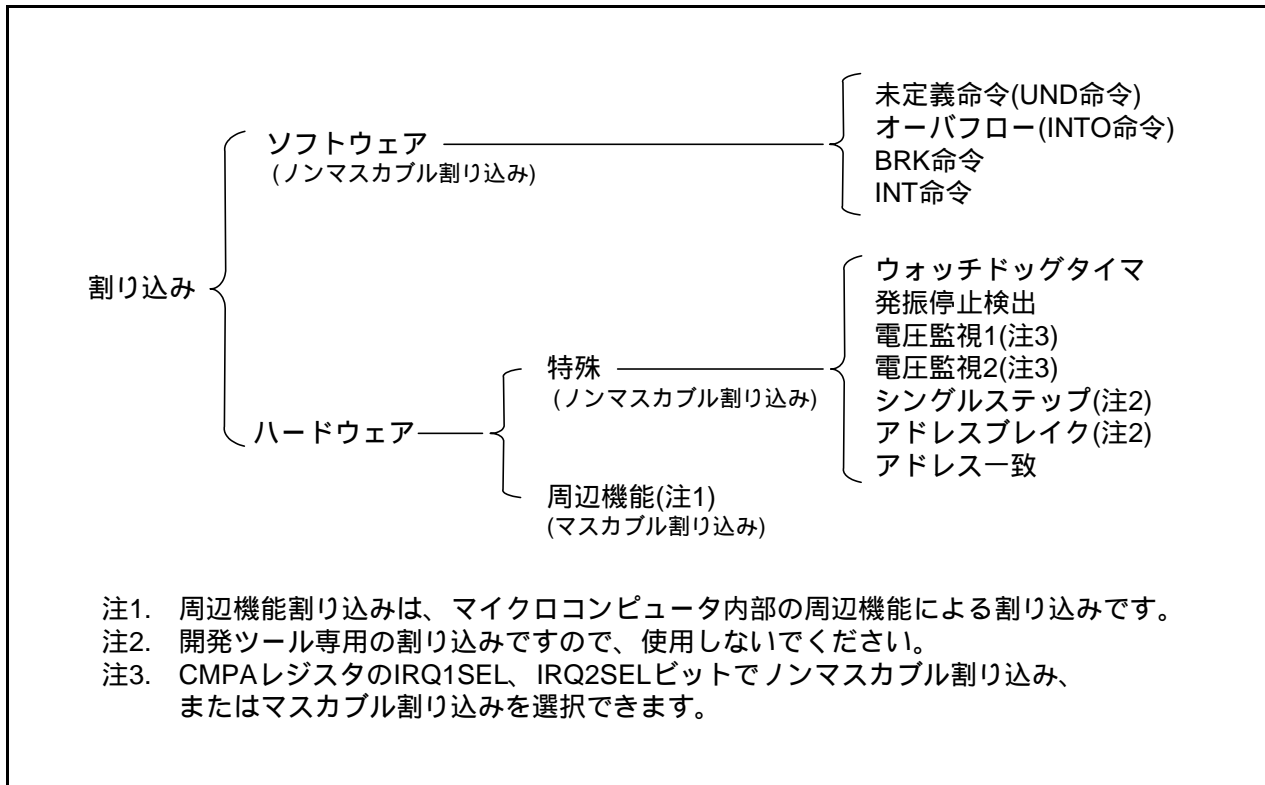


図11.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

11.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

11.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

11.1.3 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「14. ウォッチドッグタイマ」を参照してください。

11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

11.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ1SELビットでノンマスクابل割り込み、またはマスクابل割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

11.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ2SELビットでノンマスクابل割り込み、またはマスクابل割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

11.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

11.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.6 アドレス一致割り込み」を参照してください。

11.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクابل割り込みです。周辺機能割り込みの割り込み要因は「表 11.2 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

11.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

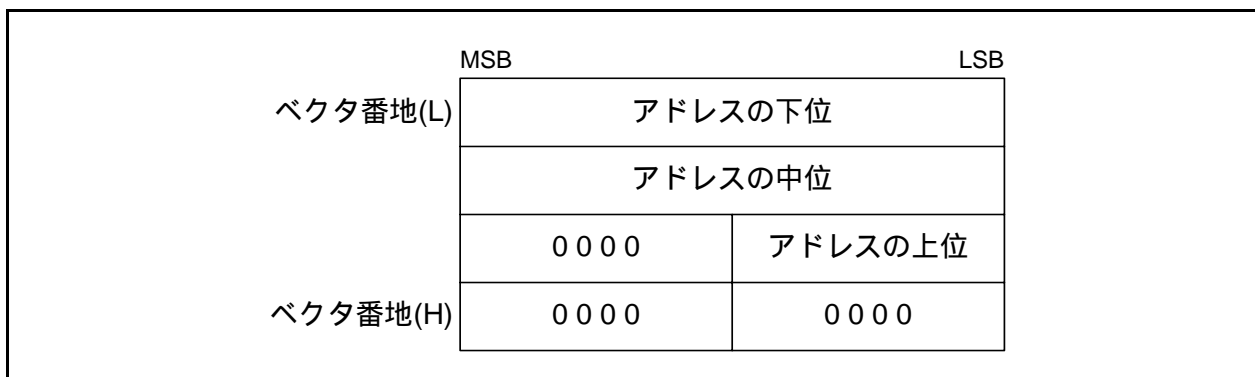


図11.2 割り込みベクタ

11.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「24.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	0FFDCh ~ 0FFDFh	UND命令で割り込み	R8C/Tinyシリーズ ソフトウェアマニュアル
オーバフロー	0FFE0h ~ 0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h ~ 0FFE7h	0FFE6h番地の内容が FFhの場合は可変ベク タテーブル内のベクタ が示す番地から実行	
アドレス一致	0FFE8h ~ 0FFEBh		11.6 アドレス一致割り込み
シングルステップ(注1)	0FFECCh ~ 0FFEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1、電圧監視2	0FFF0h ~ 0FFF3h		14. ウォッチドッグタイマ、 9. クロック発生回路、 6. 電圧検出回路
アドレスブレイク(注1)	0FFF4h ~ 0FFF7h		
(予約)	0FFF8h ~ 0FFFBh		
リセット	0FFFCh ~ 0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

11.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。
表11.2に可変ベクタテーブルを示します。

表11.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ	参照先
BRK命令(注2)	+0 ~ +3(0000h ~ 0003h)	0		R8C/Tinyシリーズ ソフトウェアマニュアル
フラッシュメモリレディ	+4 ~ +7(0004h ~ 0007h)	1	FMRDYIC	24. フラッシュメモリ
(予約)		2 ~ 5		
INT4	+24 ~ +27(0018h ~ 001BFh)	6	INT4IC	11.4 INT割り込み
タイマRC	+28 ~ +31(001Ch ~ 001Fh)	7	TRCIC	18. タイマRC
(予約)		8		
(予約)		9		
タイマRE	+40 ~ +43(0028h ~ 002Bh)	10	TREIC	19. タイマRE
UART2送信/NACK2	+44 ~ +47(002Ch ~ 002Fh)	11	S2TIC	21. シリアルインタフェース (UART2)
UART2受信/ACK2	+48 ~ +51(0030h ~ 0033h)	12	S2RIC	
キー入力	+52 ~ +55(0034h ~ 0037h)	13	KUPIC	11.5 キー入力割り込み
A/D変換	+56 ~ +59(0038h ~ 003Bh)	14	ADIC	22. A/Dコンバータ
(予約)		15		
(予約)		16		
UART0送信	+68 ~ +71(0044h ~ 0047h)	17	S0TIC	20. シリアルインタフェース (UART0)
UART0受信	+72 ~ +75(0048h ~ 004Bh)	18	S0RIC	
(予約)		19		
(予約)		20		
INT2	+84 ~ +87(0054h ~ 0057h)	21	INT2IC	11.4 INT割り込み
タイマRA	+88 ~ +91(0058h ~ 005Bh)	22	TRAIC	16. タイマRA
(予約)		23		
タイマRB	+96 ~ +99(0060h ~ 0063h)	24	TRBIC	17. タイマRB
INT1	+100 ~ +103(0064h ~ 0067h)	25	INT1IC	11.4 INT割り込み
INT3	+104 ~ +107(0068h ~ 006Bh)	26	INT3IC	
(予約)		27		
(予約)		28		
INT0	+116 ~ +119(0074h ~ 0077h)	29	INT0IC	11.4 INT割り込み
UART2バス衝突検出	+120 ~ +123(0078h ~ 007Bh)	30	U2BCNIC	21. シリアルインタフェース (UART2)
(予約)		31		
ソフトウェア(注2)	+128 ~ +131(0080h ~ 0083h) ~ +164 ~ +167(00A4h ~ 00A7h)	32 ~ 41		R8C/Tinyシリーズ ソフトウェアマニュアル
(予約)		42 ~ 49		
電圧監視1	+200 ~ +203(00C8h ~ 00CBh)	50	VCMP1IC	6. 電圧検出回路
電圧監視2	+204 ~ +207(00CCh ~ 00CFh)	51	VCMP2IC	
(予約)		52 ~ 55		
ソフトウェア(注2)	+224 ~ +227(00E0h ~ 00E3h) ~ +252 ~ +255(00FCh ~ 00FFh)	56 ~ 63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

11.2 レジスタの説明

11.2.1 割り込み制御レジスタ

(TREIC、S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、TRAIC、TRBIC、U2BCNIC、VCMP1IC、VCMP2IC)

アドレス 004Ah番地(TREIC)、004Bh番地(S2TIC)、004Ch番地(S2RIC)、004Dh番地(KUPIC)、004Eh番地(ADIC)、0051h番地(S0TIC)、0052h番地(S0RIC)、0056h番地(TRAIC)、0058h番地(TRBIC)、005Eh番地(U2BCNIC)、0072h番地(VCMP1IC)、0073h番地(VCMP2IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-			
b6	-			
b7	-			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.2.2 割り込み制御レジスタ (FMRDYIC、TRCIC)

アドレス 0041h 番地 (FMRDYIC)、0047h 番地 (TRCIC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-			
b6	-			
b7	-			

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.2.3 INTi割り込み制御レジスタ (INTiIC)(i=0 ~ 4)

アドレス 0046h番地 (INT4IC)、0055h番地 (INT2IC)、0059h番地 (INT1IC)、005Ah番地 (INT3IC)、005Dh番地 (INT0IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	POL	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	POL	極性切り替えビット (注3)	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択 (注2)	R/W
b5	-	予約ビット	"0" にしてください	R/W
b6	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は不定。		-
b7	-			

注1. IRビットは"0"のみ書けます("1"を書かないでください)。

注2. INTENレジスタのINTiPLビットが"1"(両エッジ)の場合、POLビットを"0"(立ち下がりエッジを選択)にしてください。

注3. POLビットを変更すると、IRビットが"1"(割り込み要求あり)になることがあります。

「11.8.4 割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.3 割り込み制御

マスクブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

11.3.1 Iフラグ

Iフラグは、マスクブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクブル割り込みは許可され、“0”(禁止)にするとすべてのマスクブル割り込みは禁止されます。

11.3.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRC、フラッシュメモリ割り込みでは、IRビットの動作が違います。「11.7 タイマRC、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

11.3.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表11.3に割り込み優先レベルの設定を、表11.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表11.3 割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表11.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクブル割り込みを禁止

11.3.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。割り込みシーケンスでは、次のように動作します。

図11.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

注2. タイマRC割り込みのIRビットの動作は「11.7 タイマRC、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

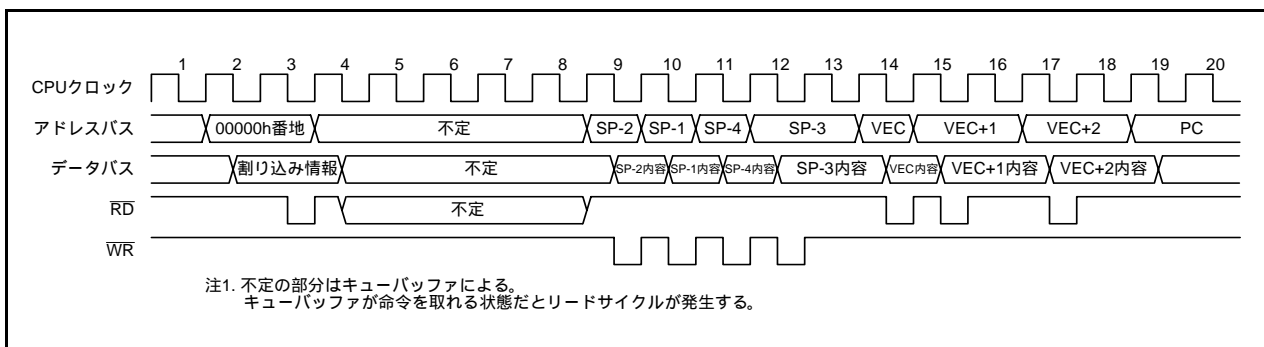


図11.3 割り込みシーケンスの実行時間

11.3.5 割り込み応答時間

図 11.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間 (図 11.4 の (a)) と割り込みシーケンスを実行する時間 (20 サイクル (b)) で構成されます。

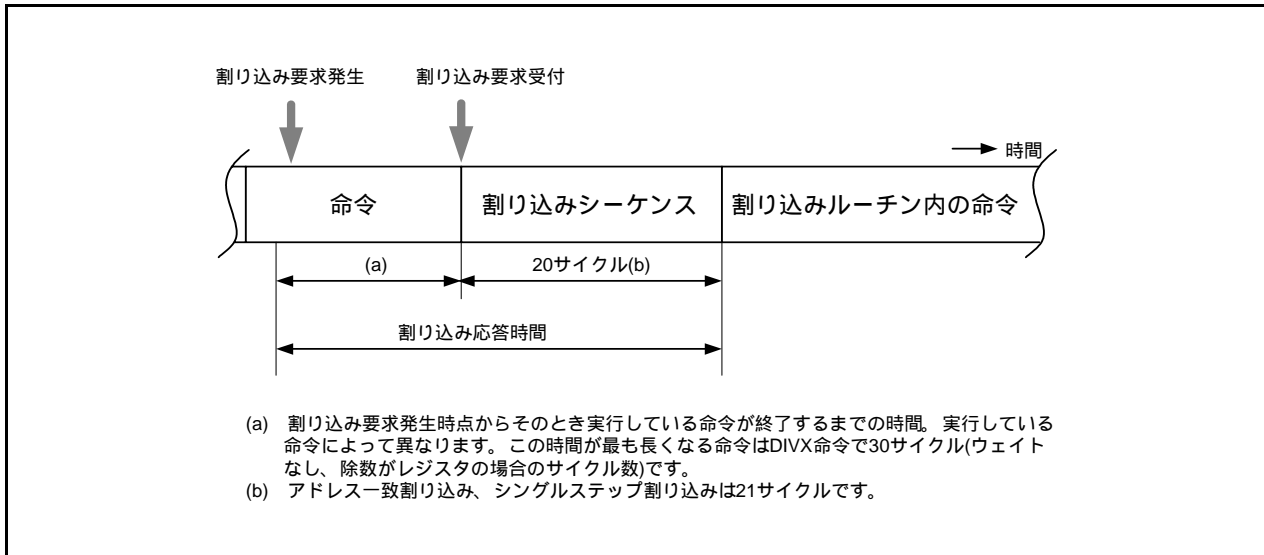


図 11.4 割り込み応答時間

11.3.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 11.5 に示す値がIPLに設定されます。

表 11.5 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 11.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

11.3.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図11.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

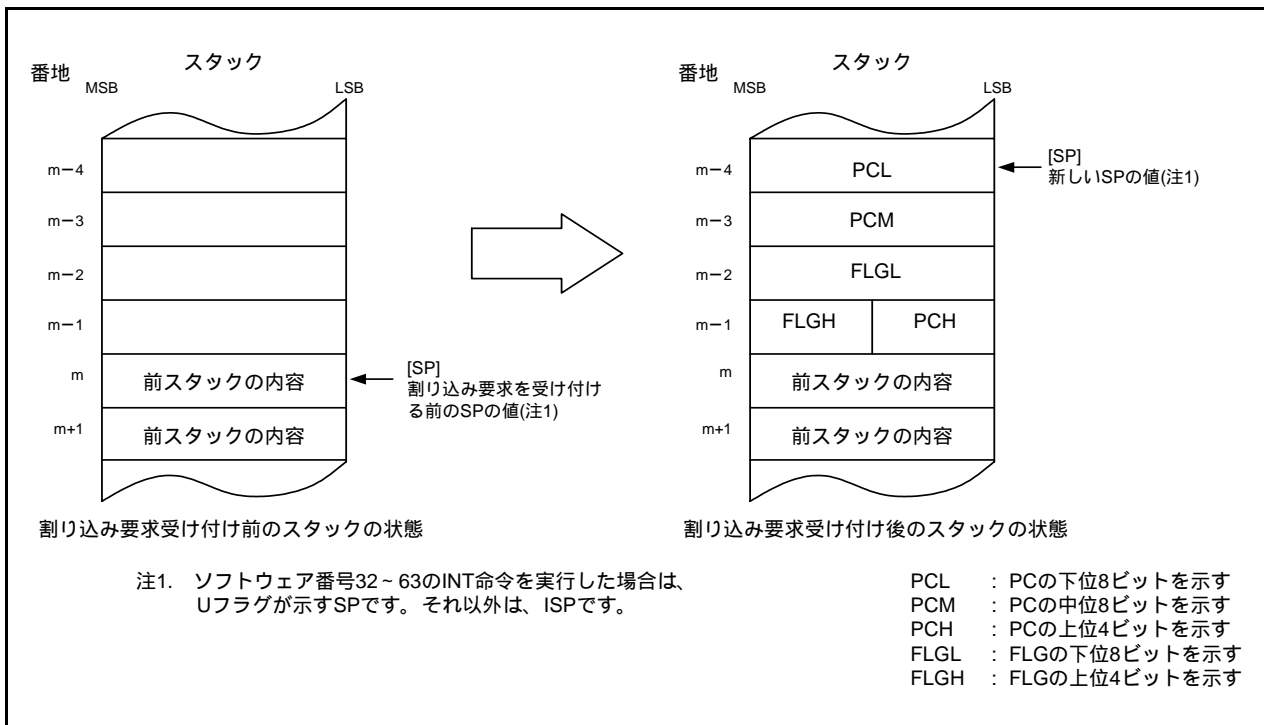


図11.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
 図11.6にレジスタ退避動作を示します。

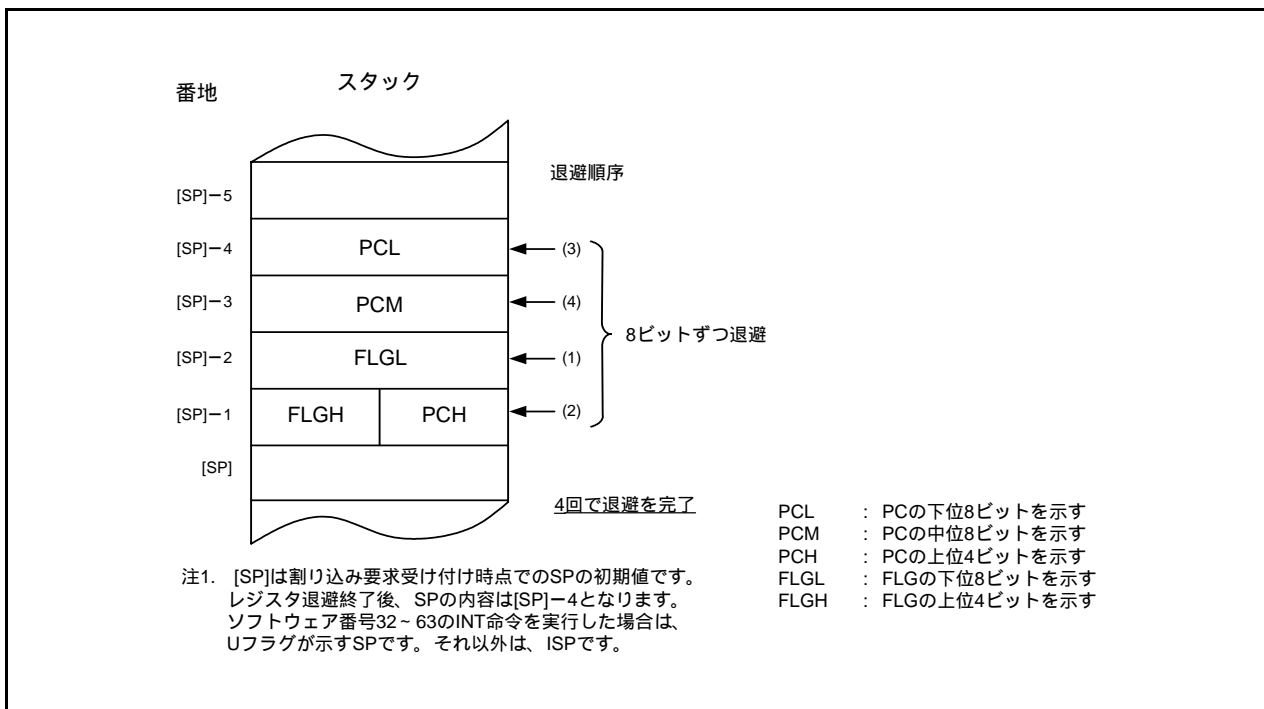


図11.6 レジスタ退避動作

11.3.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

11.3.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図11.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

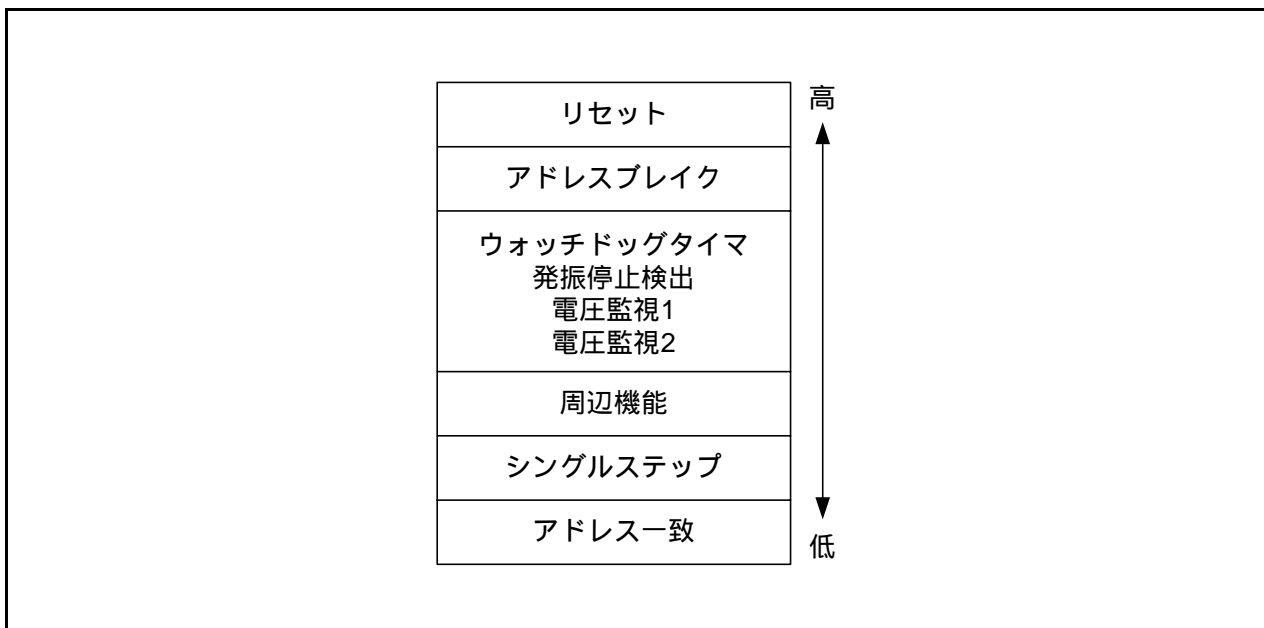


図11.7 ハードウェア割り込みの割り込み優先順位

11.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
 図11.8に割り込み優先レベルの判定回路を示します。

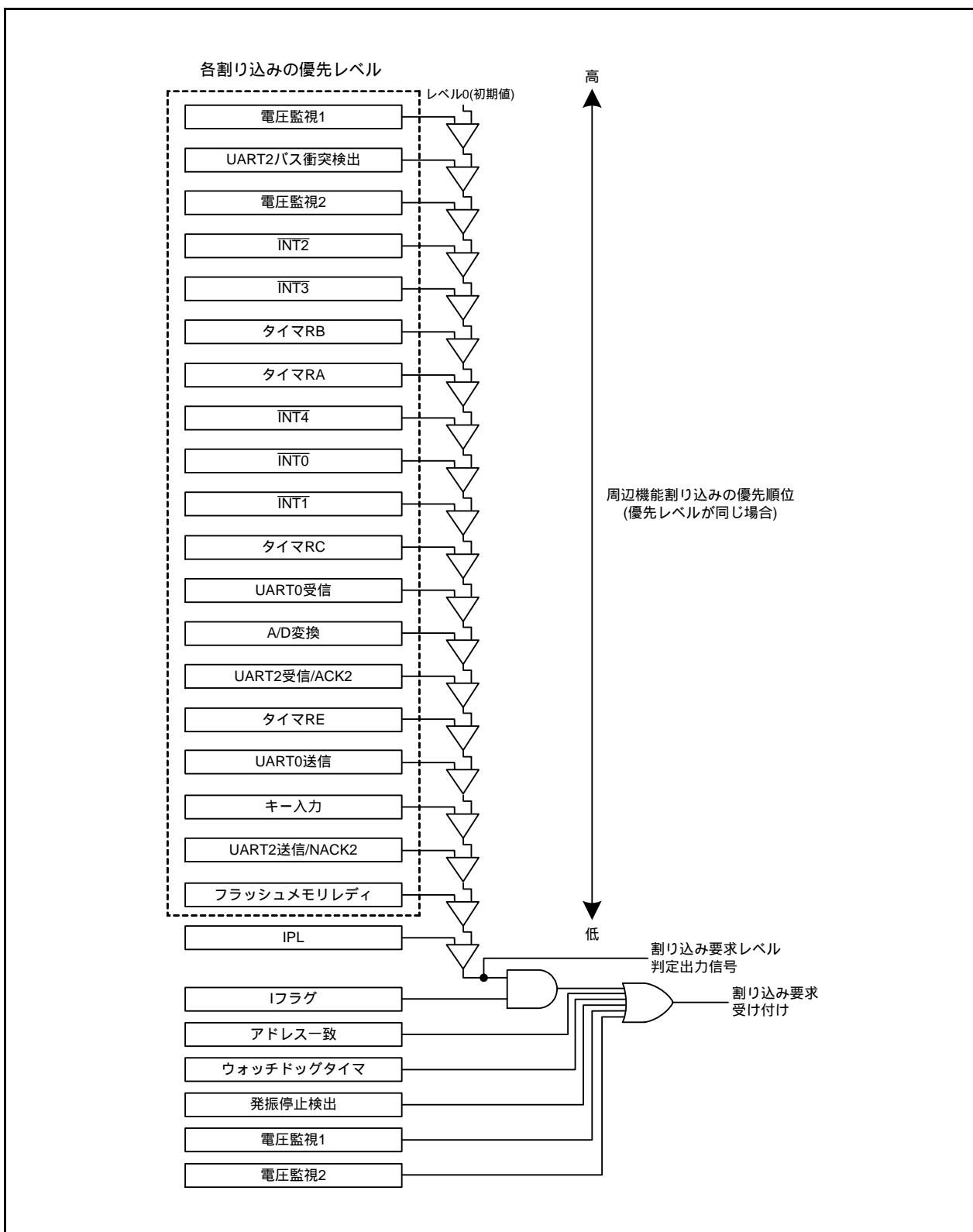


図11.8 割り込み優先レベルの判定回路

11.4 $\overline{\text{INT}}$ 割り込み

11.4.1 $\overline{\text{INT}}_i$ 割り込み (i=0 ~ 4)

$\overline{\text{INT}}_i$ 割り込みは $\overline{\text{INT}}_i$ 入力による割り込みです。 $\overline{\text{INT}}_i$ 割り込みを使用するときは $\overline{\text{INTEN}}$ レジスタの $\overline{\text{INT}}_i\text{EN}$ ビット “1” (許可) にしてください。極性を $\overline{\text{INTEN}}$ レジスタの $\overline{\text{INT}}_i\text{PL}$ ビットと $\overline{\text{INT}}_i\text{IC}$ レジスタの POL ビットで選択できます。 $\overline{\text{INT}}_1 \sim \overline{\text{INT}}_3$ 入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

$\overline{\text{INT}}_0$ 端子はタイマRCのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。 $\overline{\text{INT}}_2$ 端子はタイマRAのイベント入力有効と兼用です。

表11.6に $\overline{\text{INT}}$ 割り込みの端子構成を示します。

表11.6 $\overline{\text{INT}}$ 割り込みの端子構成

端子名	割り当てる端子	入出力	機能
$\overline{\text{INT}}_0$	P4_5	入力	$\overline{\text{INT}}_0$ 割り込み入力、タイマRBの外部トリガ入力、タイマRCのパルス出力強制遮断入力
$\overline{\text{INT}}_1$	P1_5、P1_7、P2_0、P3_2またはP3_6	入力	$\overline{\text{INT}}_1$ 割り込み入力
$\overline{\text{INT}}_2$	P3_2またはP6_6	入力	$\overline{\text{INT}}_2$ 割り込み入力、タイマRAのイベント入力有効
$\overline{\text{INT}}_3$	P3_3またはP6_7	入力	$\overline{\text{INT}}_3$ 割り込み入力
$\overline{\text{INT}}_4$	P6_5	入力	$\overline{\text{INT}}_4$ 割り込み入力

11.4.2 INT割り込み入力端子選択レジスタ(INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3SEL1	INT3SELO	-	INT2SELO	INT1SEL2	INT1SEL1	INT1SELO	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b1	INT1SELO	INT1端子選択ビット	b3 b2 b1 0 0 0 : P1_7に割り当てる 0 0 1 : P1_5に割り当てる 0 1 0 : P2_0に割り当てる 0 1 1 : P3_6に割り当てる 1 0 0 : P3_2に割り当てる 上記以外 : 設定しないでください	R/W
b2	INT1SEL1			R/W
b3	INT1SEL2			R/W
b4	INT2SELO	INT2端子選択ビット	0 : P6_6に割り当てる 1 : P3_2に割り当てる	R/W
b5	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b6	INT3SELO	INT3端子選択ビット	b7 b6 0 0 : P3_3に割り当てる 0 1 : 設定しないでください 1 0 : P6_7に割り当てる 1 1 : 設定しないでください	R/W
b7	INT3SEL1			R/W

INTSRレジスタは、 $\overline{\text{INT}}_i$ ($i=1 \sim 3$)の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSRレジスタの設定値を変更しないでください。

11.4.3 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	$\overline{\text{INT2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	$\overline{\text{INT2}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	$\overline{\text{INT3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPL ビット (i=0 ~ 3) を “1” (両エッジ) にする場合、INTiIC レジスタの POL ビットを “0” (立ち下がりエッジを選択) にしてください。

注2. INTEN レジスタを変更すると、INTiIC レジスタの IR ビットが “1” (割り込み要求あり) になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

11.4.4 外部入力許可レジスタ1 (INTEN1)

アドレス 01FBh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	INT4PL	INT4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4EN	$\overline{\text{INT4}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT4PL	$\overline{\text{INT4}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. INT4PL ビットを “1” (両エッジ) にする場合、INT4IC レジスタの POL ビットを “0” (立ち下がりエッジを選択) にしてください。

注2. INT4PL ビットを変更すると、INT4IC レジスタの IR ビットが “1” (割り込み要求あり) になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

11.4.5 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

11.4.6 INT入力フィルタ選択レジスタ1 (INTF1)

アドレス 01FDh番地

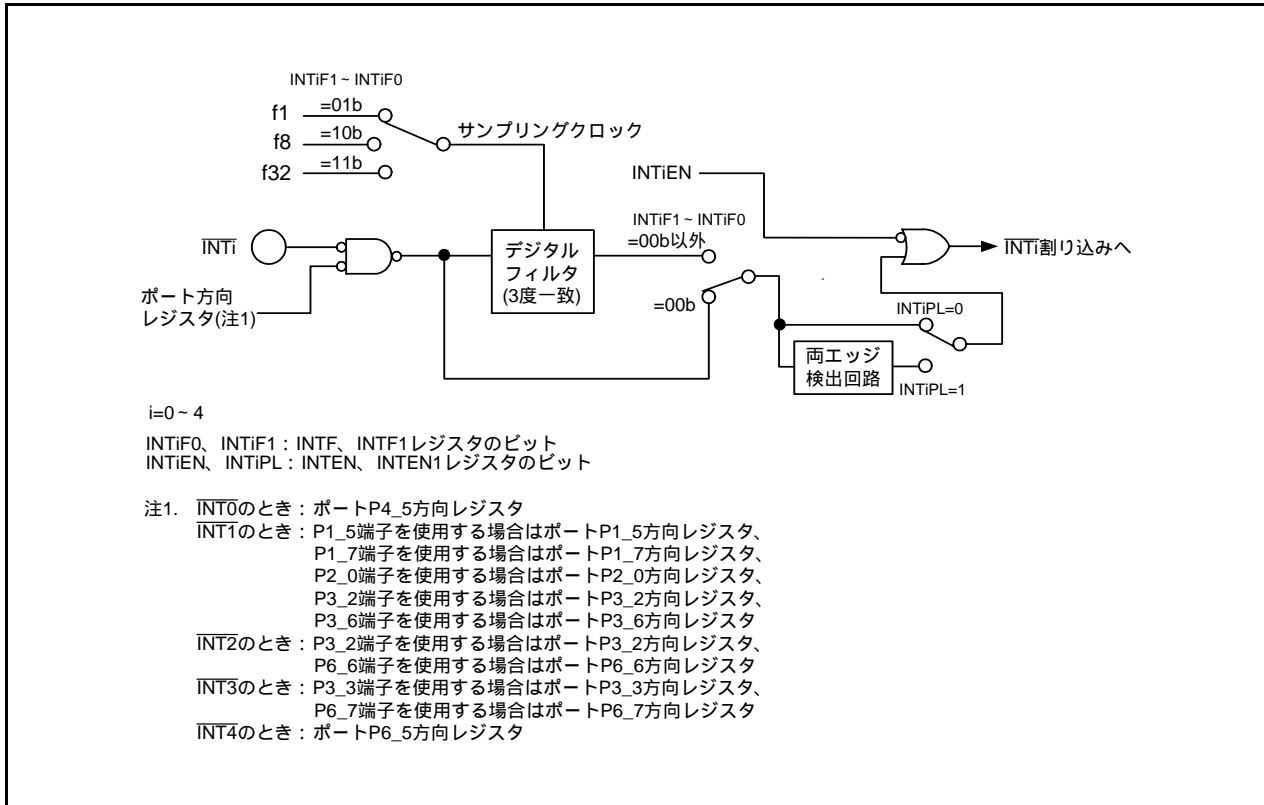
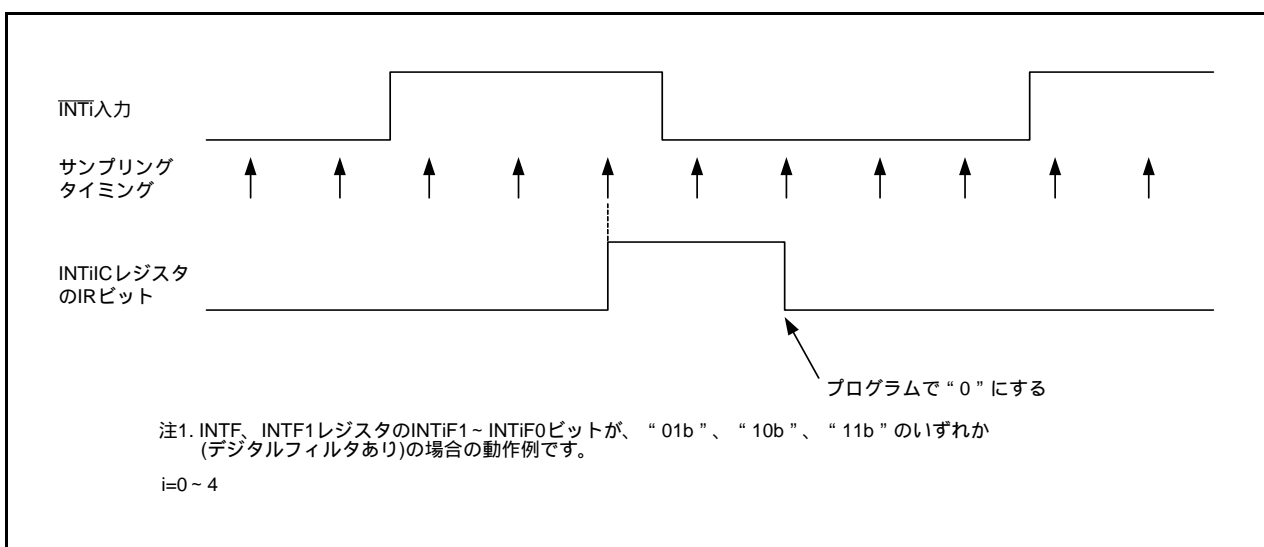
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	INT4F1	INT4F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4F0	INT4入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT4F1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

11.4.7 $\overline{\text{INTi}}$ 入力フィルタ (i=0 ~ 4)

$\overline{\text{INTi}}$ 入力は、デジタルフィルタを持ちます。サンプリングクロックは $\overline{\text{INTF}}$ 、 $\overline{\text{INTF1}}$ レジスタの $\overline{\text{INTiF0}}$ ~ $\overline{\text{INTiF1}}$ ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3度一致した時点で、 $\overline{\text{INTiC}}$ レジスタの $\overline{\text{IR}}$ ビットが“1”(割り込み要求あり)になります。

図 11.9 に $\overline{\text{INTi}}$ 入力フィルタの構成を、図 11.10 に $\overline{\text{INTi}}$ 入力フィルタ動作例を示します。

図 11.9 $\overline{\text{INTi}}$ 入フィルタの構成図 11.10 $\overline{\text{INTi}}$ 入力フィルタ動作例

11.5 キー入力割り込み

$\overline{KI0} \sim \overline{KI3}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタの $KIiEN$ ビット($i = 0 \sim 3$)で、端子を KIi 入力として使用するかどうかを選択できます。また、KIENレジスタの $KIiPL$ ビットで入力極性を選択できます。

なお、 $KIiPL$ ビットを“0”(立ち下がりエッジ)にしている KIi 端子に“L”を入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。同様に、 $KIiPL$ ビットを“1”(立ち上がりエッジ)にしている KIi 端子に“H”を入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図を示します。表11.7にキー入力割り込みの端子構成を示します。

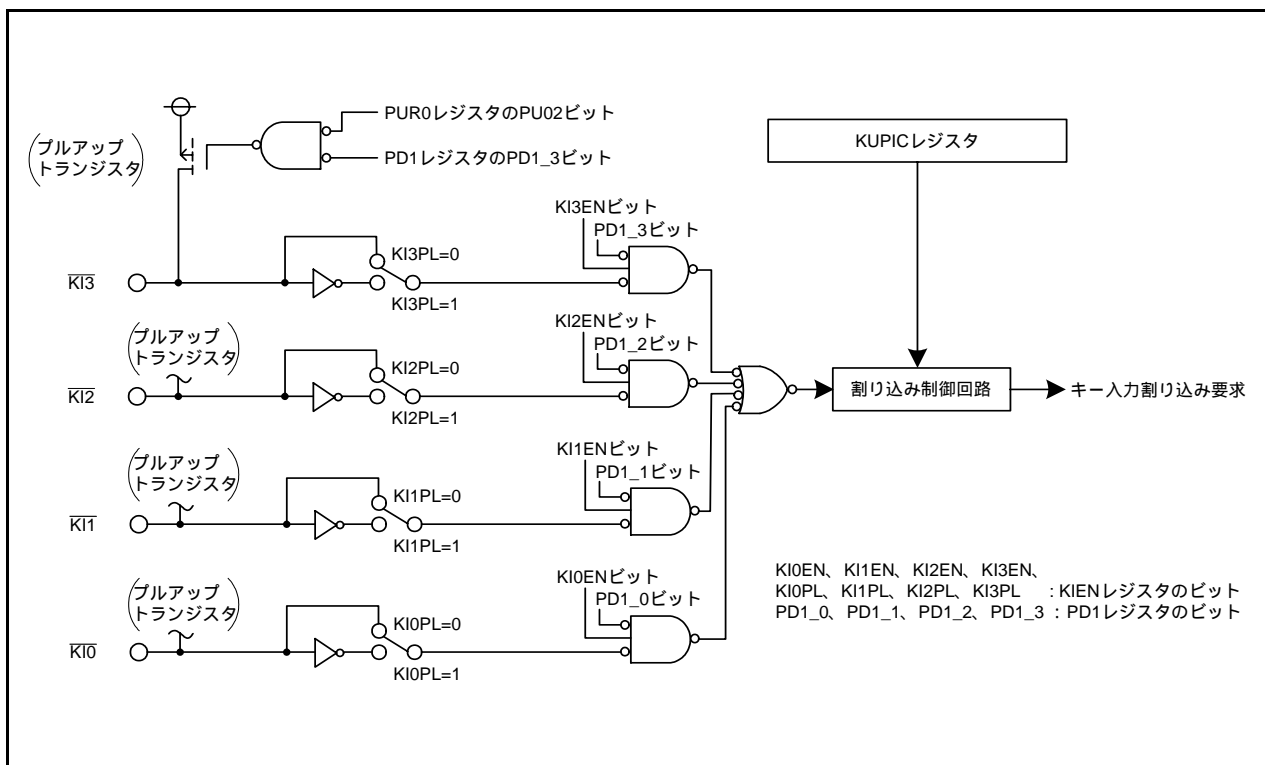


図11.11 キー入力割り込みのブロック図

表11.7 キー入力割り込みの端子構成

端子名	入出力	機能
$\overline{KI0}$	入力	$\overline{KI0}$ 割り込み入力
$\overline{KI1}$	入力	$\overline{KI1}$ 割り込み入力
$\overline{KI2}$	入力	$\overline{KI2}$ 割り込み入力
$\overline{KI3}$	入力	$\overline{KI3}$ 割り込み入力

11.5.1 キー入力許可レジスタ0 (KIEN)

アドレス 01FEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	KI0入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI0PL	KI0入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI1EN	KI1入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI1PL	KI1入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI2EN	KI2入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI2PL	KI2入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI3EN	KI3入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI3PL	KI3入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

11.6 アドレス一致割り込み

RMAD_i(*i*=0 ~ 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER、RMAD₀、RMAD₁レジスタ、固定ベクタテーブル)を設定しないでください。

RMAD_i(*i*=0 ~ 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIERレジスタのAIER₀、AIER₁ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.3.7 レジスタ退避」参照)は、RMAD_iレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表11.8にアドレス一致割り込み要求受け付け時に退避されるPCの値を、表11.9にアドレス一致割り込み要因と関連レジスタの対応を示します。

表11.8 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMAD _i レジスタ (<i>i</i> =0 ~ 1) で示される番地の命令	退避されるPCの値 (注1)
<ul style="list-style-type: none"> • オペコードが2バイトの命令 (注2) • オペコードが1バイトの命令 (注2) ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0 または A1)	RMAD _i レジスタで示される番地 +2
上記以外	RMAD _i レジスタで示される番地 +1

注1. 退避されるPCの値 : 「11.3.7 レジスタ退避」参照。

注2. オペコード : 「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表11.9 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み 0	AIER ₀	RMAD ₀
アドレス一致割り込み 1	AIER ₁	RMAD ₁

11.6.1 アドレス一致割り込み許可レジスタ(AIER)

アドレス 01C3h番地(AIER)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	-	-	-	-	AIER1	AIER0	AIERレジスタ
リセット後の値	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	AIER0	アドレス一致割り込み0許可ビット	0: 禁止 1: 許可	R/W
b1	AIER1	アドレス一致割り込み1許可ビット	0: 禁止 1: 許可	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

11.6.2 アドレス一致割り込みレジスタi (RMADi)(i=0 ~ 1)

アドレス 01C2h ~ 01C0h番地(RMAD0)、01C6h ~ 01C4h番地(RMAD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19 ~ b0	-	アドレス一致割り込み用アドレス設定レジスタ	00000h ~ FFFFFh	R/W
b20	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b21	-			
b22	-			
b23	-			

11.7 タイマRC、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、フラッシュメモリ割り込みは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表11.10にタイマRC、フラッシュメモリ割り込み関連レジスタを示します。

表11.10 タイマRC、フラッシュメモリ割り込み関連レジスタ

周辺機能名	割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC	TRCSR	TRCIER	TRCIC
フラッシュメモリ	RDYSTI	RDYSTIE	FMRDYIC
	BSYAEI	BSYAEIE	
		CMDERIE	

タイマRC、フラッシュメモリの割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”（割り込み許可）の場合、割り込み制御レジスタのIRビットが“1”（割り込み要求あり）になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”（割り込み要求なし）になります。
すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。
このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章（「18. タイマRC」、「24. フラッシュメモリ」）を参照してください。

割り込み制御レジスタは「11.3 割り込み制御」を参照してください。

11.8 割り込み使用上の注意

11.8.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

11.8.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

11.8.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力($i = 0 \sim 4$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表26.18 ($V_{cc} = 5V$)、表26.24 ($V_{cc} = 3V$)、表26.30 ($V_{cc} = 2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力($i = 0 \sim 4$)、キー入力割り込み $\overline{\text{KIi}}$ ($i = 0 \sim 3$)」を参照。)

11.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 11.12 に割り込み要因の変更手順例を示します。

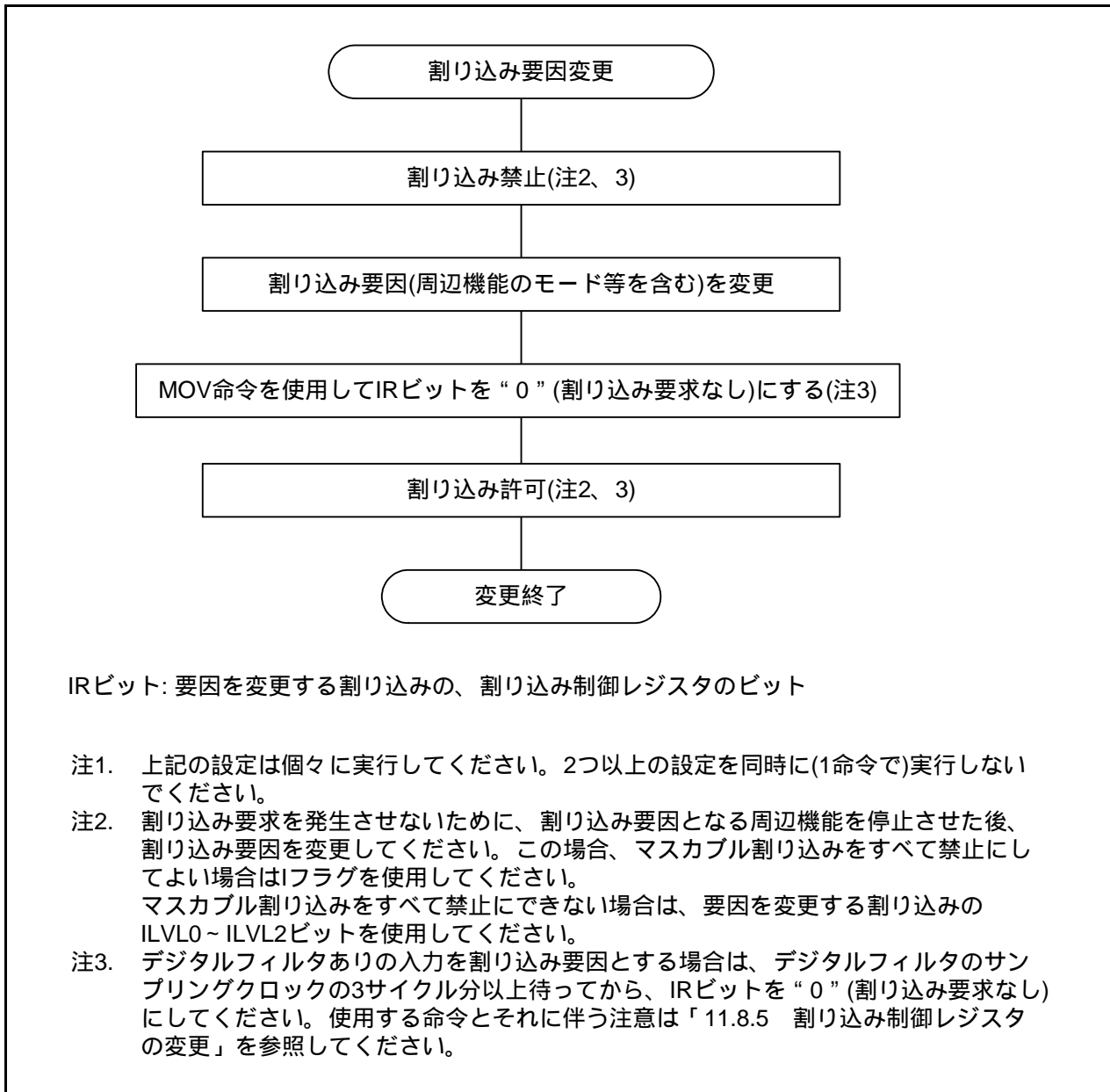


図 11.12 割り込み要因の変更手順例

11.8.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

12. IDコード領域

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

12.1 概要

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFE7h、0FFE8h、0FFE9h、0FFF3h、0FFF7h、0FFF8h番地です。図12.1にIDコード領域を示します。

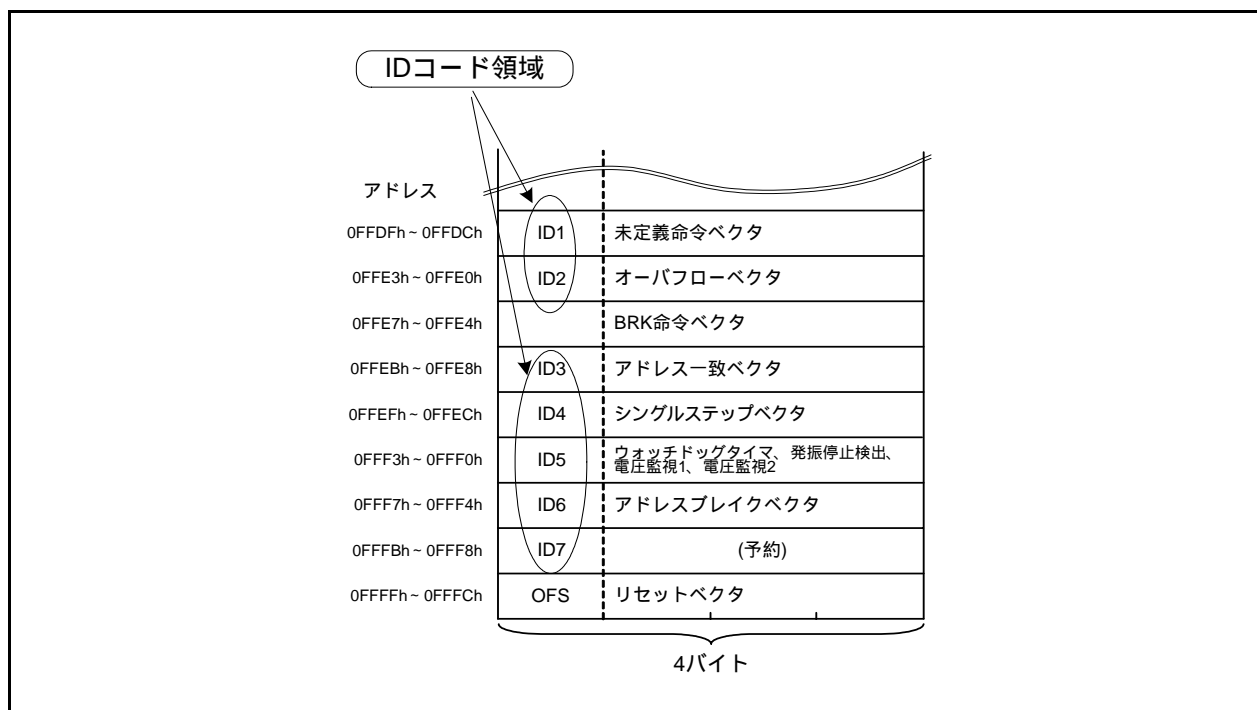


図12.1 IDコード領域

12.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、IDコード領域に格納されているIDコードと、シリアルライタやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライタやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表12.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表12.1 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE	Protect
0FFDFh	ID1	41h (“A”大文字)	50h (“P”大文字)
0FFE3h	ID2	4Ch (“L”大文字)	72h (“r”小文字)
0FFEBh	ID3	65h (“e”小文字)	6Fh (“o”小文字)
0FFEfH	ID4	52h (“R”大文字)	74h (“t”小文字)
0FFF3h	ID5	41h (“A”大文字)	65h (“e”小文字)
0FFF7h	ID6	53h (“S”大文字)	63h (“c”小文字)
0FFFBh	ID7	45h (“E”大文字)	74h (“t”小文字)

注1. IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合は予約語です。

12.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライタやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表12.1 IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表12.2に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライタやオンチップデバッグエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けられないので、ユーザROM領域を操作できません。

表12.2 強制イレーズ機能の条件と動作

条件			動作
シリアルライタやオンチップデバッグエミュレータから送られてくるIDコード	IDコード格納番地のIDコード	OFSレジスタのROMCP1、ROMCRビット	
ALeRASE	ALeRASE	-	ユーザROM領域をすべて消去 (強制イレーズ機能)
	ALeRASE以外 (注1)	“01b”以外 (ROMコードプロテクト解除)	
ALeRASE以外	ALeRASE	“01b” (ROMコードプロテクト有効)	IDコードの判定 (IDコードチェック機能)
		-	IDコードの判定 (IDコードチェック機能。IDコード不一致になる)
	ALeRASE以外 (注1)	-	IDコードの判定 (IDコードチェック機能)

注1. “Protect”の場合は「12.4 標準シリアル入出力モード禁止機能」参照。

12.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表12.1 IDコードの予約語」参照)の場合、シリアルライタやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライタやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライタやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライタやオンチップデバッグエミュレータでもパラレルライタでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

12.5 IDコード領域使用上の注意

12.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
```

```
.lword dummy | (55000000h) ; UND
```

```
.lword dummy | (55000000h) ; INTO
```

```
.lword dummy ; BREAK
```

```
.lword dummy | (55000000h) ; ADDRESS MATCH
```

```
.lword dummy | (55000000h) ; SET SINGLE STEP
```

```
.lword dummy | (55000000h) ; WDT
```

```
.lword dummy | (55000000h) ; ADDRESS BREAK
```

```
.lword dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

13. オプション機能選択領域

13.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地および0FFDBh番地がオプション機能選択領域です。図13.1にオプション機能選択領域を示します。

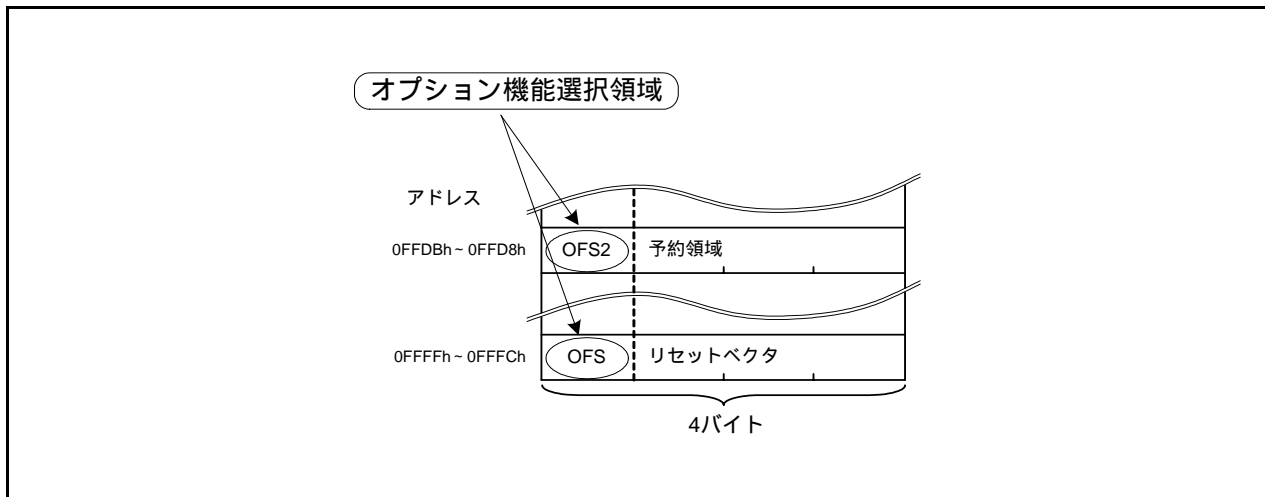


図13.1 オプション機能選択領域

13.2 レジスタの説明

OFSレジスタおよびOFS2レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

13.2.1 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0:リセット後、ウォッチドッグタイマは自動的に起動 1:リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	"1"にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0:ROMコードプロテクト解除 1:ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0:ROMコードプロテクト有効 1:ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00:3.80Vを選択 (Vdet0_3) 01:2.85Vを選択 (Vdet0_2) 10:2.35Vを選択 (Vdet0_1) 11:1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0:リセット後、電圧監視0リセット有効 1:リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0:リセット後、カウントソース保護モード有効 1:リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

13.2.2 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

13.3 オプション機能選択領域使用上の注意

13.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

14. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

14.1 概要

ウォッチドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表14.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.5 ウォッチドッグタイマリセット」を参照してください。

図14.1にウォッチドッグタイマのブロック図を示します。

表14.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 •リセット後、自動的にカウントを開始 •WDTSレジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1) •アンダフロー	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、または はウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> •プリスケアラの分周比 WDTCレジスタのWDTC7ビットもしくはCM0レジスタのCM07ビットで選択 •カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 •リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 •ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで選択 •ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択 	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

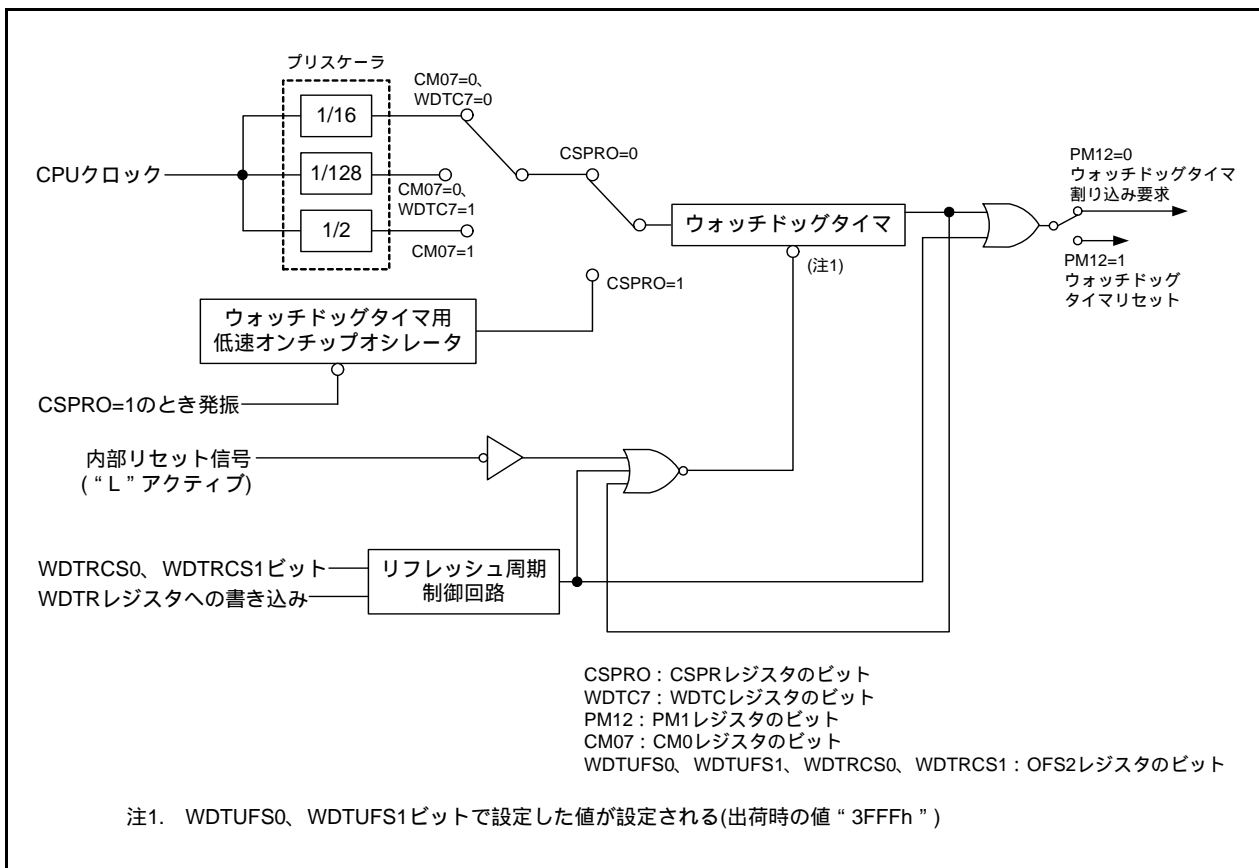


図 14.1 ウォッチドッグタイマのブロック図

14.2 レジスタの説明

14.2.1 プロセッサモードレジスタ1 (PM1)

アドレス	0005h 番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	PM12	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	PM12	WDT 割り込み/リセット切り替えビット	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット (注1)	R/W
b3	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

注1. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

14.2.2 ウォッチドッグタイマリセットレジスタ(WDTR)

アドレス	000Dh 番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	“00h” を書いて、続いて“FFh” を書くと、ウォッチドッグタイマは初期化される。ウォッチドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウンタ動作中に書いてください。

14.2.3 ウォッチドッグタイマスタートレジスタ(WDTS)

アドレス	000Eh 番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。	W

14.2.4 ウォッチドッグタイマ制御レジスタ(WDTC)

アドレス 000Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	-	-	-	-	-	-	-
出荷時の値	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	ウォッチドッグタイマの次のビットが読める。		R
b1	-	OFS2レジスタのWDTUFS1 ~ WDTUFS0ビットが		R
b2	-	“00b” (03FFh)のとき：b5 ~ b0		R
b3	-	“01b” (0FFFh)のとき：b7 ~ b2		R
b4	-	“10b” (1FFFh)のとき：b8 ~ b3		R
b5	-	“11b” (3FFFh)のとき：b9 ~ b4		R
b6	-	予約ビット	読んだ場合、その値は“0”	R
b7	WDTC7	プリスケアラ選択ビット	0：16分周 1：128分周	R/W

14.2.5 カウントソース保護モードレジスタ(CSPR)

アドレス 001Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0
	上記はOFSレジスタのCSPROINIビットが“1”の場合							
リセット後の値	1	0	0	0	0	0	0	0
	上記はOFSレジスタのCSPROINIビットが“0”の場合							

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0”にしてください	R/W
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	CSPRO	カウントソース保護モード選択ビット(注1)	0：カウントソース保護モード無効 1：カウントソース保護モード有効	R/W

注1. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。

14.2.6 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

14.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

14.3 動作説明

14.3.1 複数モードに関わる共通事項

14.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択できます。図14.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

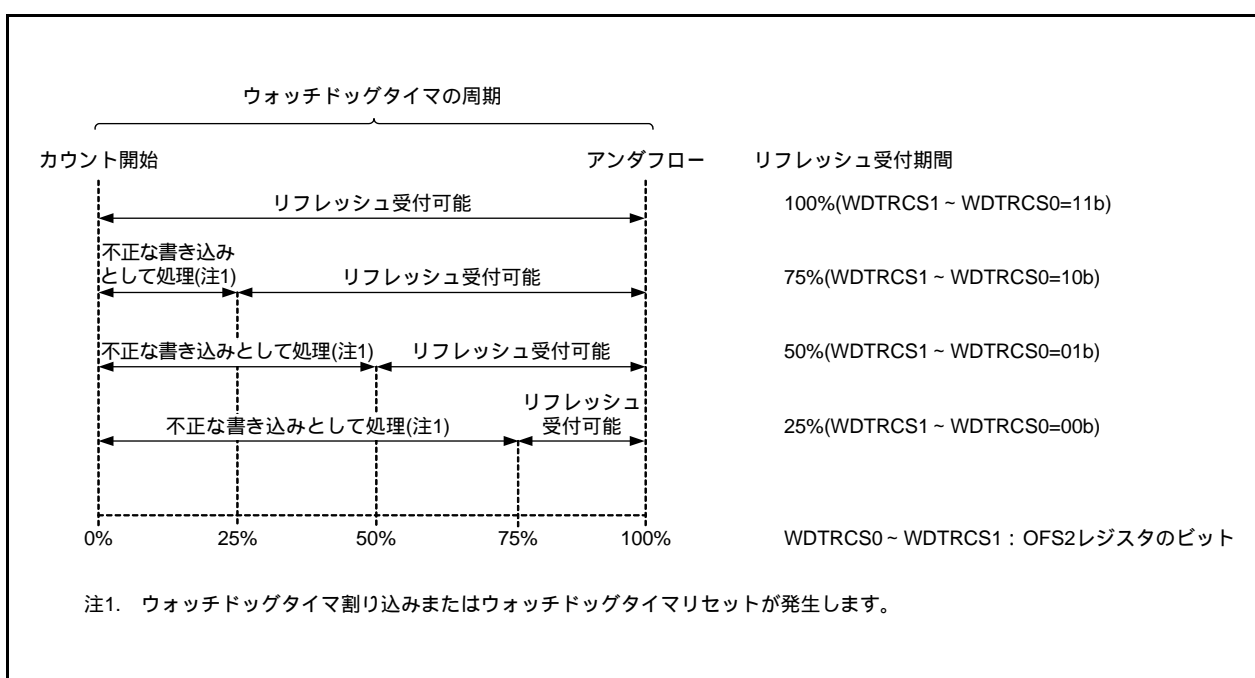


図14.2 ウォッチドッグタイマのリフレッシュ受付期間

14.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表14.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表14.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1) CPUクロック n : 16または128 (WDTCレジスタのWDTC7ビットで選択)もしくは低速クロック選択時 (CM0レジスタのCM07ビット=1)は2 m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例 : CPUクロックが20MHzで、プリスケアラが16分周し、WDTUFS1 ~ WDTUFS0ビット が“11b”(“3FFFh”)の場合、周期は約13.1ms
ウォッチドッグタイマ 初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く(注3) アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

14.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表14.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表14.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(m) ウォッチドッグタイマ用低速オンチップオシレータクロック m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例 : ウォッチドッグタイマ用低速オンチップオシレータクロックが125kHzで、 WDTUFS1 ~ WDTUFS0ビットが“00b”(“03FFh”)の場合、周期は約8.2ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く(注3) アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDT5レジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモード、ストップモードでも停止しない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される <ul style="list-style-type: none"> -ウォッチドッグタイマ用低速オンチップオシレータが発振 -PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

15. タイマ総論

タイマは、8ビットプリスケアラ付き8ビットタイマを2本と、16ビットタイマを3本と、4ビットカウンタ、8ビットカウンタを持つタイマを1本内蔵しています。8ビットプリスケアラ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマRCの1本です。4ビットカウンタ、8ビットカウンタは、アウトプットコンペアを持ったタイマREです。すべてのタイマは、それぞれ独立して動作します。

表15.1に各タイマの機能比較を示します。

表15.1 各タイマの機能比較

項目	タイマRA	タイマRB	タイマRC	タイマRE	
構成	8ビットプリスケアラ付 8ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付 8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、 アウトプットコンペア付)	4ビットカウンタ 8ビットカウンタ	
カウント	ダウンカウント	ダウンカウント	アップカウント	アップカウント	
カウントソース	<ul style="list-style-type: none"> •f1 •f2 •f8 •fOCO •fC32 •fC 	<ul style="list-style-type: none"> •f1 •f2 •f8 •タイマRAアンダフロー 	<ul style="list-style-type: none"> •f1 •f2 •f4 •f8 •f32 •fOCO40M •fOCO-F •TRCCLK 	<ul style="list-style-type: none"> •f4 •f8 •f32 •fC4 	
機能	内部のカウント ソースのカウント	タイマモード	タイマモード (アウトプットコンペア機能)	-	
	外部のカウント ソースのカウント	イベントカウンタモード	タイマモード (アウトプットコンペア機能)	-	
	外部パルス幅/周 期測定	パルス幅測定モード パルス周期測定モード	-	タイマモード (インプットキャプチャ機能；4本)	-
	PWM出力	パルス出力モード (注1) イベントカウンタモード (注1)	プログラマブル波形発生 モード	タイマモード (アウトプットコンペア機能；4本)(注1) PWMモード(3本) PWM2モード(1本)	アウトプットコンペア モード(注1)
	ワンショット波形 出力	-	プログラマブルワン ショット発生モード プログラマブルウェイト ワンショット発生モード	PWMモード(3本)	-
	三相波形出力	-	-	-	-
	時計	タイマモード (fC32カウントのみ)	-	-	リアルタイムクロック モード
入力端子	TRAIO INT2	INT0	INT0、TRCCLK、 TRCTRG、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD	-	
出力端子	TRAO TRAIO	TRBO	TRCIOA、TRCIOB、 TRCIOC、TRCIOD	TREO	
関連する割り込み	タイマRA割り込み INT2割り込み	タイマRB割り込み INT0割り込み	コンペアー一致/インプ ットキャプチャA～D割り 込み オーバフロー割り込み INT0割り込み	タイマRE割り込み	
タイマ停止	あり	あり	あり	あり	

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

16. タイマRA

タイマRAは、8ビットプリスケアラ付き8ビットタイマです。

16.1 概要

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表16.2～表16.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図16.1にタイマRAのブロック図を、表16.1にタイマRAの端子構成を示します。タイマRAは、次の5種類のモードを持ちます。

- タイマモード 内部カウントソースをカウントするモード
- パルス出力モード 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- イベントカウンタモード 外部パルスをカウントするモード
- パルス幅測定モード 外部パルスのパルス幅を測定するモード
- パルス周期測定モード 外部パルスのパルス周期を測定するモード

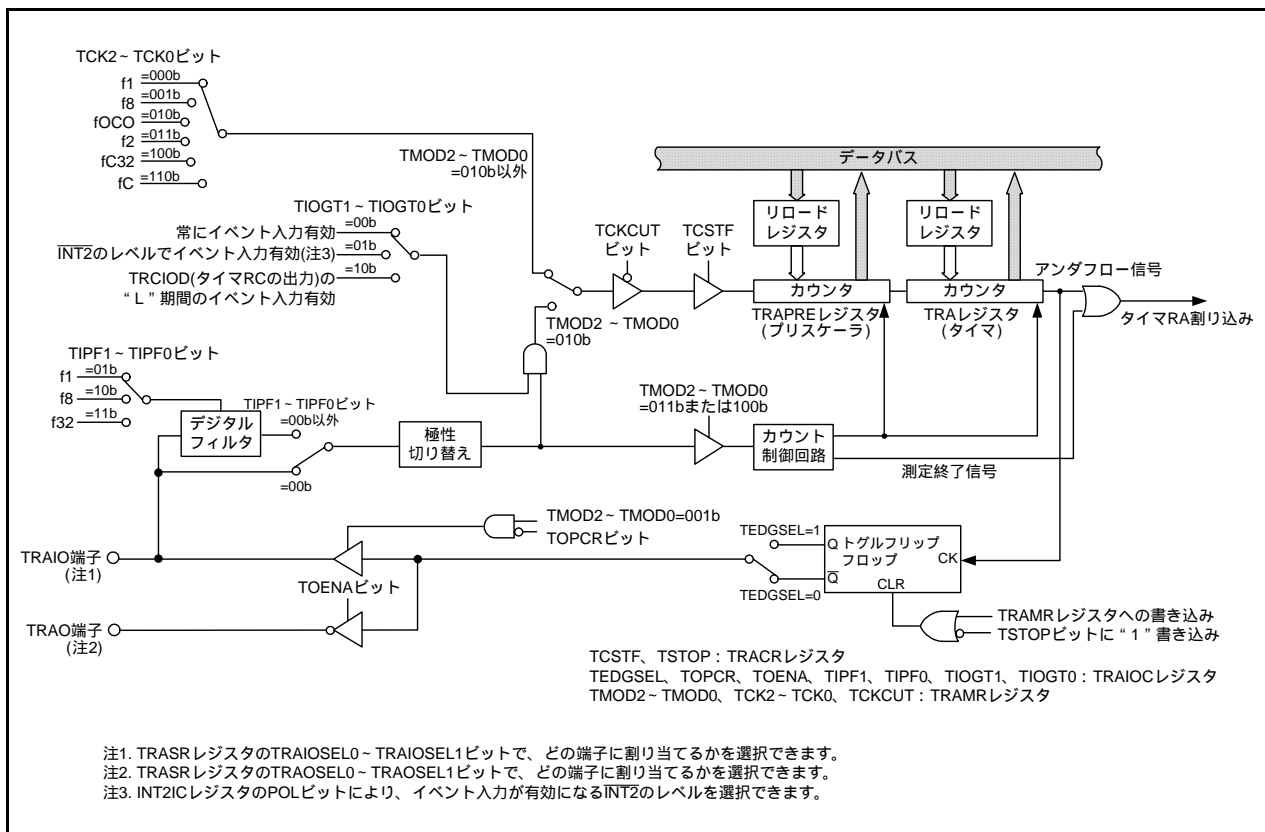


図16.1 タイマRAのブロック図

表16.1 タイマRAの端子構成

端子名	割り当てる端子	入出力	機能
TRAI0	P1_5、P1_7またはP3_2	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRA0	P3_0、P3_7またはP5_6	出力	

16.2 レジスタの説明

16.2.1 タイマRA制御レジスタ(TRACR)

アドレス 0100h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TUNDF	TEDGF	-	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRAカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRAカウントステータスフラグ(注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRAカウント強制停止ビット(注2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TEDGF	有効エッジ判定フラグ(注3、4)	0: 有効エッジなし 1: 有効エッジあり(測定期間終了)	R/W
b5	TUNDF	タイマRAアンダフローフラグ(注3、4)	0: アンダフローなし 1: アンダフローあり	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b7	-			

注1. TSTART、TCSTFビットの使用上の注意事項については、「16.8 タイマRA使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

16.2.2 タイマRA I/O制御レジスタ(TRAIOC)

アドレス 0101h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAI0極性切り替えビット	動作モードによって機能が異なる	R/W
b1	TOPCR	TRAI0出力制御ビット		R/W
b2	TOENA	TRAI0出力許可ビット		R/W
b3	-	予約ビット	“0”にしてください	R/W
b4	TIPF0	TRAI0入力フィルタ選択ビット	動作モードによって機能が異なる	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAI0イベント入力制御ビット		R/W
b7	TIOGT1			R/W

16.2.3 タイマRAモードレジスタ(TRAMR)

アドレス 0102h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	-	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRA動作モード選択ビット	b2 b1 b0 000: タイマモード 001: パルス出力モード 010: イベントカウンタモード 011: パルス幅測定モード 100: パルス周期測定モード 101: 設定しないでください 110: 設定しないでください 111: 設定しないでください	R/W
b1	TMOD1			R/W
b2	TMOD2			R/W
				-
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TCK0	タイマRAカウントソース選択ビット	b6 b5 b4 000: f1 001: f8 010: fOCO 011: f2 100: fC32 101: 設定しないでください 110: fC 111: 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
				-
b7	TCKCUT	タイマRAカウントソース遮断ビット	0: カウントソース供給 1: カウントソース遮断	R/W

TRACRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに、TRAMRレジスタを変更してください。

16.2.4 タイマRAプリスケアラレジスタ(TRAPRE)

アドレス 0103h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソースをカウント	00h ~ FFh	R/W
	パルス出力モード		00h ~ FFh	R/W
	イベントカウンタモード	外部カウントソースをカウント	00h ~ FFh	R/W
	パルス幅測定モード	外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント)	00h ~ FFh	R/W
	パルス周期測定モード	外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント)	00h ~ FFh	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。

16.2.5 タイマRAレジスタ(TRA)

アドレス 0104h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	全モード	TRAPREレジスタのアンダフローをカウント	00h ~ FFh	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。

16.2.6 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	TRAOSEL1	TRAOSEL0	-	TRAIOSSEL1	TRAIOSSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSSEL0	TRAI0端子選択ビット	b1 b0 00 : TRAI0端子は使用しない 01 : P1_7に割り当てる 10 : P1_5に割り当てる 11 : P3_2に割り当てる	R/W
b1	TRAIOSSEL1			R/W
b2	-	予約ビット	“0”にしてください	R/W
b3	TRAOSEL0	TRAO端子選択ビット	b4 b3 00 : P3_7に割り当てる 01 : P3_0に割り当てる 10 : P5_6に割り当てる 11 : 設定しないでください	R/W
b4	TRAOSEL1			R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

16.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表16.2)。

表16.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時 [タイマRA割り込み]
TRAI0端子機能	プログラマブル入出力ポート
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「16.3.2 カウント中のタイマ書き込み制御」参照)

16.3.1 タイマRA I/O制御レジスタ(TRAI0C)[タイマモード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAI0極性切り替えビット	タイマモードでは“0”にしてください	R/W
b1	TOPCR	TRAI0出力制御ビット		R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	-	予約ビット	“0”にしてください	R/W
b4	TIPF0	TRAI0入力フィルタ選択ビット	タイマモードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAI0イベント入力制御ビット		R/W
b7	TIOGT1			R/W

16.3.2 カウント中のタイマ書き込み制御

タイマRAはプリスケータと、タイマ(プリスケータのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケータやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケータのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケータのアンダフローに同期して値を転送します。このため、カウント中にプリスケータやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図16.2にタイマRAカウント中にカウント値を書き換えた場合の動作例を示します。

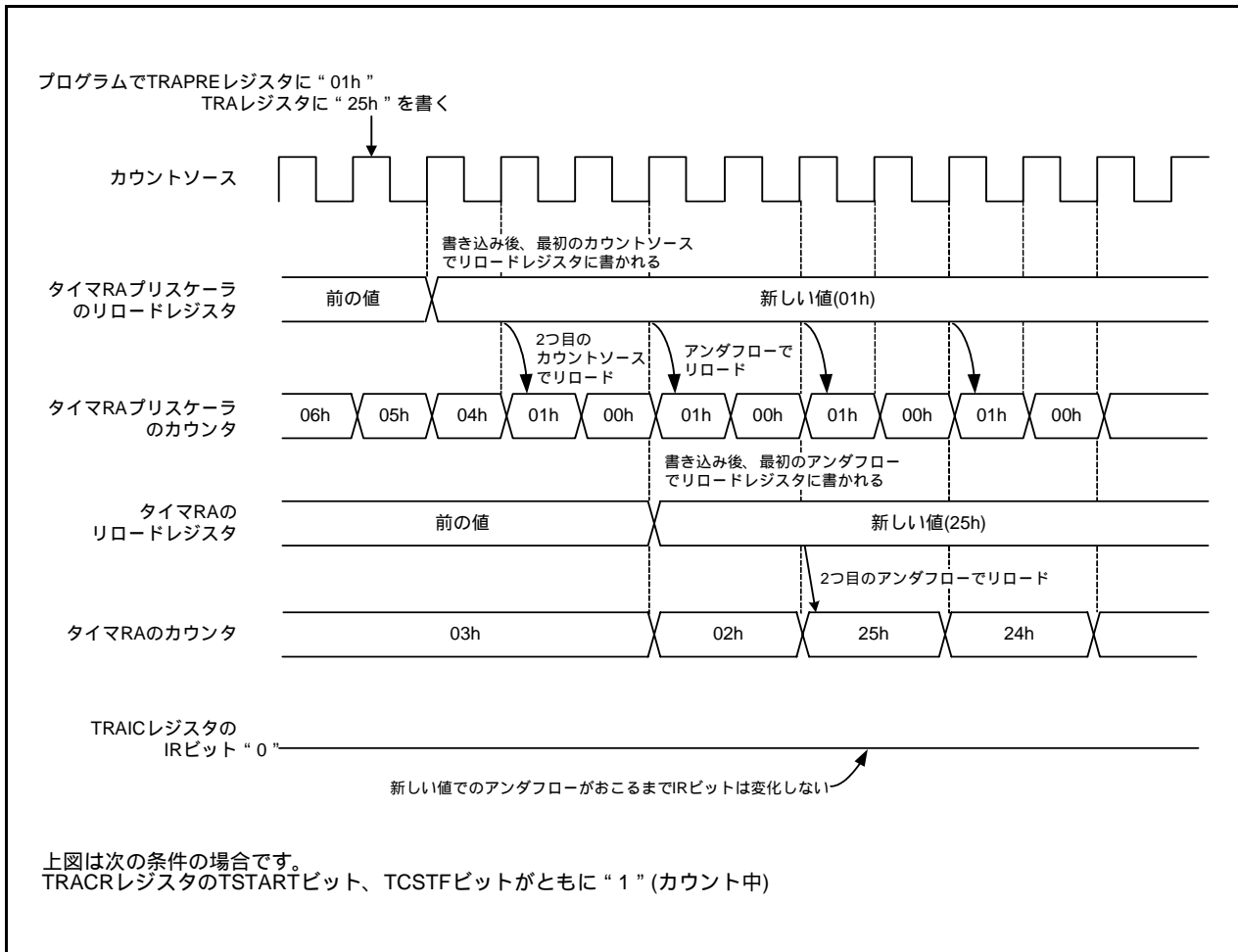


図16.2 タイマRAカウント中にカウント値を書き換えた場合の動作例

16.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表16.3)。

表16.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時 [タイマRA割り込み]
TRAIO信号端子機能	パルス出力、またはプログラマブル出力ポート
TRAO端子機能	プログラマブル入出力ポート、またはTRAIO出力の反転出力
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「16.3.2 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> ・TRAIO出力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでパルス出力開始時のレベルを選択(注1) ・TRAO出力機能 TRAIO出力の極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択) ・パルス出力停止機能 TRAIOCレジスタのTOPCRビットでTRAIO端子からのパルス出力を停止 ・TRAIO端子選択機能 TRASRレジスタのTRAIOSSEL0 ~ TRAIOSSEL1ビットでP1_5、P1_7またはP3_2を選択 ・TRAO端子選択機能 TRASRレジスタのTRAOSEL0 ~ TRAOSEL1ビットでP3_0、P3_7、P5_6を選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

16.4.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス出力モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0：“H”からTRAIO出力開始 1：“L”からTRAIO出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	0：TRAIO出力 1：TRAIO出力禁止	R/W
b2	TOENA	TRAIO出力許可ビット	0：TRAIO出力禁止 1：TRAIO出力 (TRAIO出力の反転をポートから出力)	R/W
b3	-	予約ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	パルス出力モードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

16.5 イベントカウンタモード

TRAIO端子から入力する外部信号をカウントするモードです(表16.4)。

表16.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	TRAIO端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時 [タイマRA割り込み]
TRAIO信号端子機能	カウントソース入力
TRAO端子機能	プログラブル入出力ポートまたはパルス出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「16.3.2 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> ・TRAIO入力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでカウントソースの有効エッジを選択 ・カウントソース入力端子選択機能 TRASRレジスタのTRAIOSSEL0 ~ TRAIOSSEL1ビットでP1_5、P1_7またはP3_2を選択 ・パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択)(注1) ・TRAO端子選択機能 TRASRレジスタのTRAOSSEL0 ~ TRAOSSEL1ビットでP3_0、P3_7、P5_6を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRAIOCレジスタのTIPF0 ~ TIPF1ビットで選択 ・イベント入力制御機能 TRAIO端子へのイベント入力の有効期間をTRAIOCレジスタのTIOGT0 ~ TIOGT1ビットで選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

16.5.1 タイマRA I/O制御レジスタ (TRAIOC)[イベントカウンタモード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAI0極性切り替えビット	0 : TRAI0入力の立ち上がりエッジでカウント また、“L” から TRAO出力開始 1 : TRAI0入力の立ち下がりエッジでカウント また、“H” から TRAO出力開始	R/W
b1	TOPCR	TRAI0出力制御ビット	イベントカウンタモードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット	0 : TRAO出力禁止 1 : TRAO出力	R/W
b3	-	予約ビット	“0”にしてください	R/W
b4	TIPF0	TRAI0入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAI0イベント入力制御ビット	b7 b6 00 : 常にイベント入力有効 01 : INT2のレベルでイベント入力有効(注2) 10 : TRCIOD(タイマRCの出力)の“L”期間のイ ベント入力有効 11 : 設定しないでください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増加します。

注2. INT2のイベント入力有効を使用する場合は、次の設定をしてください。

- INTENレジスタのINT2ENビットを“1”(INT2入力許可)、INT2PLビットを“0”(片エッジ)にする。
- INT2の極性をINT2ICレジスタのPOLビットで選択する。
POLビットを“0”(立ち下がりエッジを選択)にすると、INT2の“H”期間のイベント入力が有効になります。
POLビットを“1”(立ち上がりエッジを選択)にすると、INT2の“L”期間のイベント入力が有効になります。
- INT2端子に割り当てたポートのPDi (i=3, 6)レジスタのPDi_j (j=2, 6)ビットを“0”(入力モード)にする。
- INT2のデジタルフィルタをINTFレジスタのINT2F1 ~ INT2F0ビットで選択する。

なお、INT2ICレジスタのPOLビットとINTENレジスタのINT2PLビットの選択と、INT2端子入力の変更にしたがって、INT2ICレジスタのIRビットが“1”(割り込み要求あり)になります。(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

16.6 パルス幅測定モード

TRAIO端子から入力する外部信号のパルス幅を測定するモードです(表16.5)。

図16.3にパルス幅測定モード時の動作例を示します。

表16.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・タイマRAのアンダフロー時 [タイマRA割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
TRAIO信号端子機能	測定パルス入力
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「16.3.2 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> ・測定レベル設定 TRAIOCレジスタのTEDGSELビットで“H”レベル期間、または“L”レベル期間を選択 ・測定パルス入力端子選択機能 TRASRレジスタのTRAIOSSEL0～TRAIOSSEL1ビットでP1_5、P1_7またはP3_2を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

16.6.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス幅測定モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : TRAI0入力の“L”レベル幅を測定 1 : TRAI0入力の“H”レベル幅を測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	-	予約ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

16.6.2 動作例

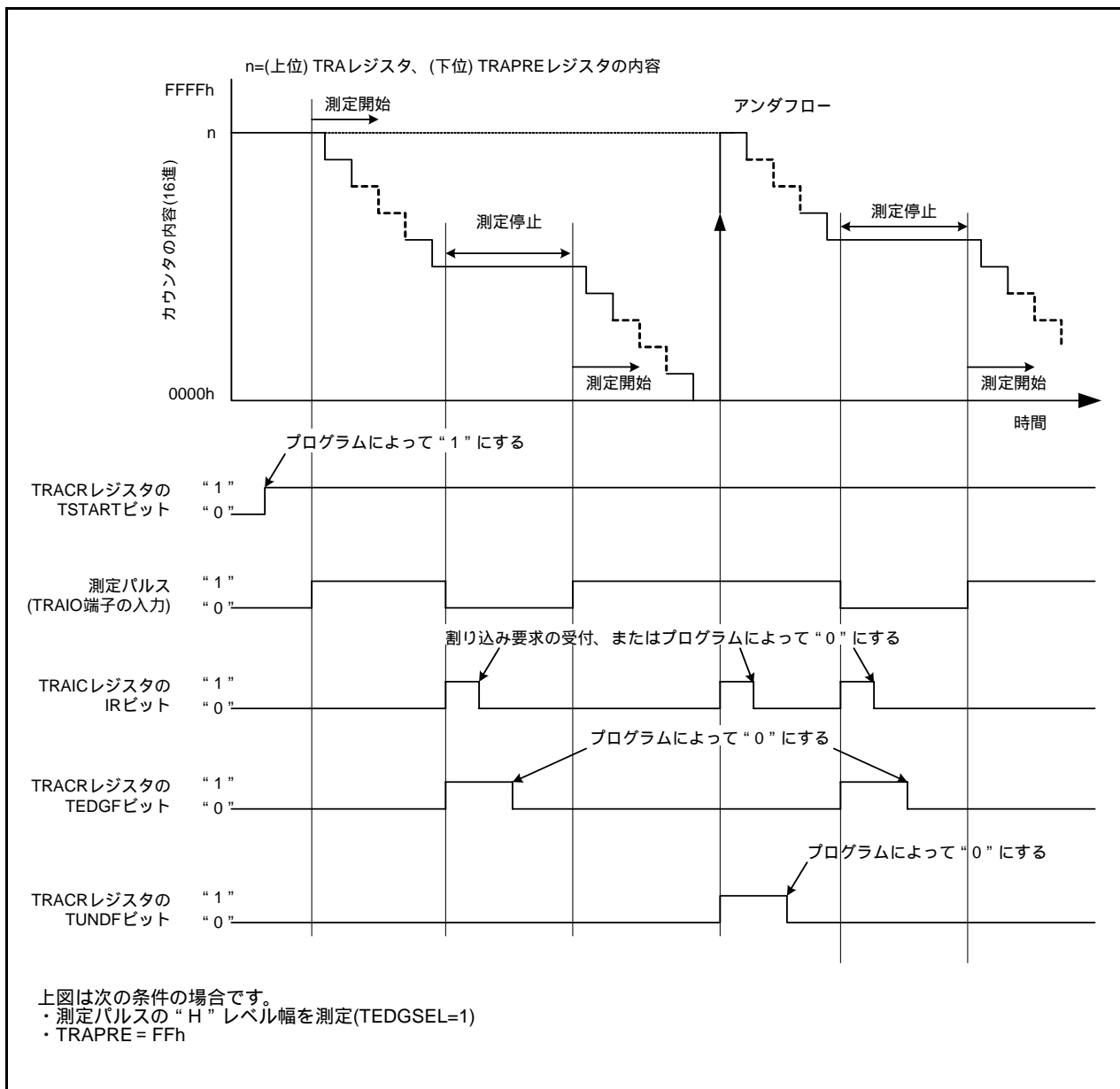


図 16.3 パルス幅測定モード時の動作例

16.7 パルス周期測定モード

TRAIO端子から入力する外部信号のパルス周期を測定するモードです(表16.6)。

図16.4にパルス周期測定モード時の動作例を示します。

表16.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの有効エッジ入力後、1回目のタイマRAプリスケアラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケアラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・タイマRAのアンダフロー時、またはリロード時 [タイマRA割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
TRAIO端子機能	測定パルス入力(注1)
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「16.3.2 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> ・測定期間選択 TRAIOCレジスタのTEDGSELビットで入力パルスの測定期間を選択 ・測定パルス入力端子選択機能 TRASRレジスタのTRAIOSEL0～TRAIOSEL1ビットでP1_5、P1_7またはP3_2を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

注1. タイマRAプリスケアラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケアラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

16.7.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス周期測定モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAI0極性切り替えビット	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定	R/W
b1	TOPCR	TRAI0出力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b2	TOENA	TRAI0出力許可ビット		R/W
b3	-	予約ビット	“0”にしてください	R/W
b4	TIPF0	TRAI0入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAI0イベント入力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増大します。

16.7.2 動作例

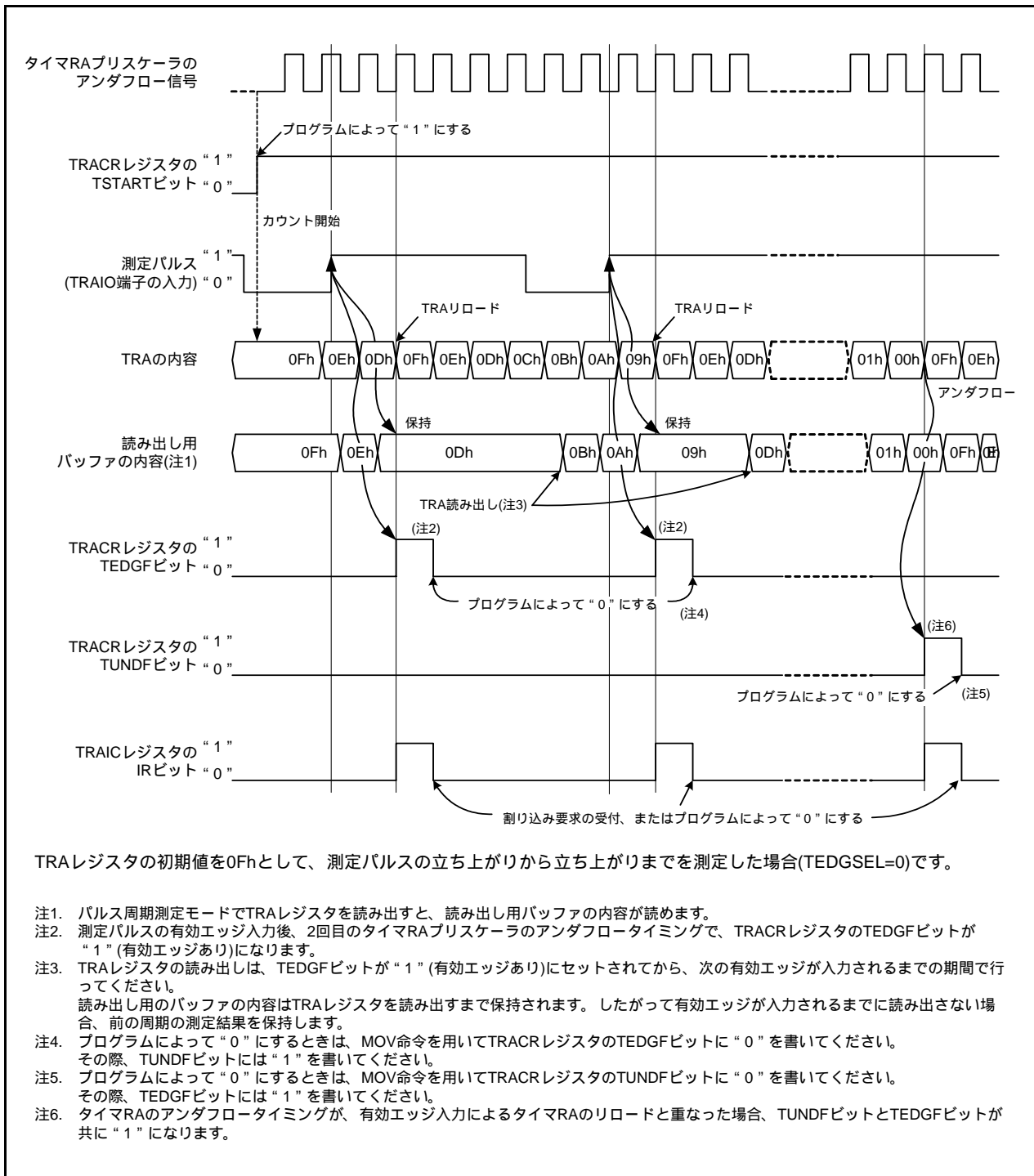


図16.4 パルス周期測定モード時の動作例

16.8 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。
TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けて下さい。

17. タイマRB

タイマRBは、8ビットプリスケアラ付き8ビットタイマです。

17.1 概要

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表17.2～表17.5の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図17.1にタイマRBのブロック図を、表17.1にタイマRBの端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード 内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード 任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード ディレイドワンショットパルスを出力するモード

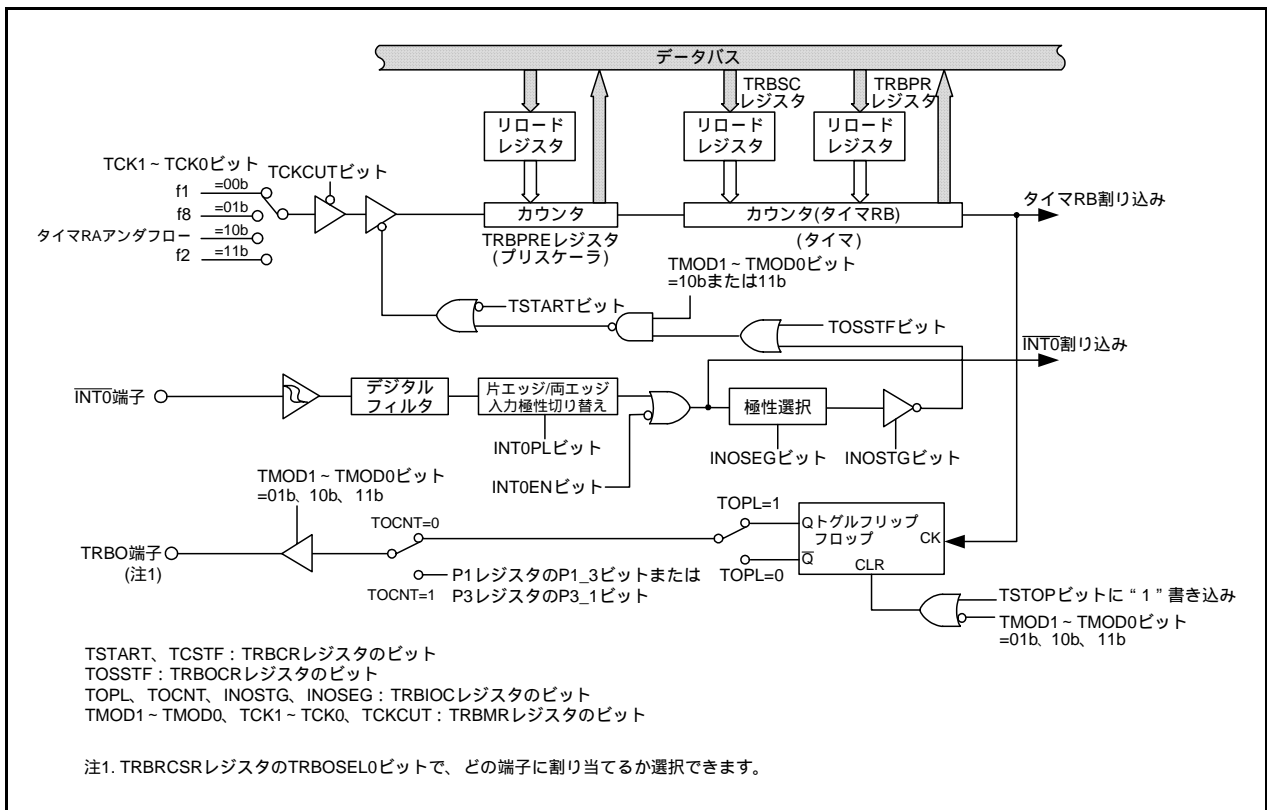


図17.1 タイマRBのブロック図

表17.1 タイマRBの端子構成

端子名	割り当てる端子	入出力	機能
TRBO	P1_3またはP3_1	出力	パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード)

17.2 レジスタの説明

17.2.1 タイマRB制御レジスタ(TRBCR)

アドレス 0108h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRBカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRBカウントステータスフラグ(注1)	0: カウント停止 1: カウント中(注3)	R
b2	TSTOP	タイマRBカウント強制停止ビット(注1、2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「17.7 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

17.2.2 タイマRBワンショット制御レジスタ(TRBOCR)

アドレス 0109h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRBワンショット開始ビット	“1”を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。	R/W
b1	TOSSP	タイマRBワンショット停止ビット	“1”を書くとワンショットパルス(ウェイト含む)のカウントを停止します。読んだ場合、その値は“0”。	R/W
b2	TOSSTF	タイマRBワンショットステータスフラグ(注1)	0: ワンショット停止中 1: ワンショット動作中(ウェイト期間含む)	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

TRBOCRレジスタは、TRBMRレジスタのTMOD1～TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

17.2.3 タイマRB I/O制御レジスタ (TRBIOC)

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	動作モードによって機能が異なる	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

17.2.4 タイマRBモードレジスタ (TRBMR)

アドレス 010Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	-	TCK1	TCK0	TWRC	-	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB動作モード選択ビット (注1)	b1 b0 00: タイマモード 01: プログラマブル波形発生モード 10: プログラマブルワンショット発生モード 11: プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	TWRC	タイマRB書き込み制御ビット (注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRBカウントソース選択ビット (注1)	b5 b4 00: f1 01: f8 10: タイマRAのアンダフロー (注3) 11: f2	R/W
b5	TCK1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	TCKCUT	タイマRBカウントソース遮断 ビット(注1)	0: カウントソース供給 1: カウントソース遮断	R/W

注1. TMOD1 ~ TMOD0ビット、TCK1 ~ TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

注3. タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

17.2.5 タイマRBプリスケアラレジスタ(TRBPRES)

アドレス 010Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソース、またはタイマRAアンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード		00h ~ FFh	R/W
	プログラマブルワンショット発生モード		00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード		00h ~ FFh	R/W

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRESレジスタは“FFh”になります。

17.2.6 タイマRBセカンダリレジスタ(TRBSC)

アドレス 010Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	無効	00h ~ FFh	-
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフローをカウント(注1)	00h ~ FFh	W (注2)
	プログラマブルワンショット発生モード	無効	00h ~ FFh	-
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	W (注2)

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSCレジスタは“FFh”になります。

TRBSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBSCレジスタに値を書く
- (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

17.2.7 タイマRBプライマリレジスタ(TRBPR)

アドレス 010Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	タイマRBプリスケアラのアンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフローをカウント(注1)	00h ~ FFh	R/W
	プログラマブルワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ウェイト期間をカウント)	00h ~ FFh	R/W

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRレジスタは“FFh”になります。

17.2.8 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TRCCLKSEL1	TRCCLKSEL0	-	-	-	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO端子選択ビット	0 : P1_3に割り当てる 1 : P3_1に割り当てる	R/W
b1	-	予約ビット	“0”にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	b5 b4 00 : TRCCLK端子は使用しない 01 : P1_4に割り当てる 10 : P3_3に割り当てる 11 : 設定しないでください	R/W
b5	TRCCLKSEL1			R/W
b6	-	予約ビット	“0”にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0ビットを、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

17.3 タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表17.2)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

表17.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続(タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード)
分周比	$1/(n+1)(m+1)$ n : TRBPRESレジスタの設定値、m : TRBPRレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRBのアンダフロー時[タイマRB割り込み]
TRBO端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる。(「17.3.2 カウント中のタイマ書き込み制御」参照)

17.3.1 タイマRB I/O制御レジスタ(TRBIOC)[タイマモード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	タイマモードでは“0”にしてください	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

17.3.2 カウント中のタイマ書き込み制御

タイマRBはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)をもち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれます。図17.2にタイマRBカウント中にカウント値を書き換えた場合の動作例を示します。

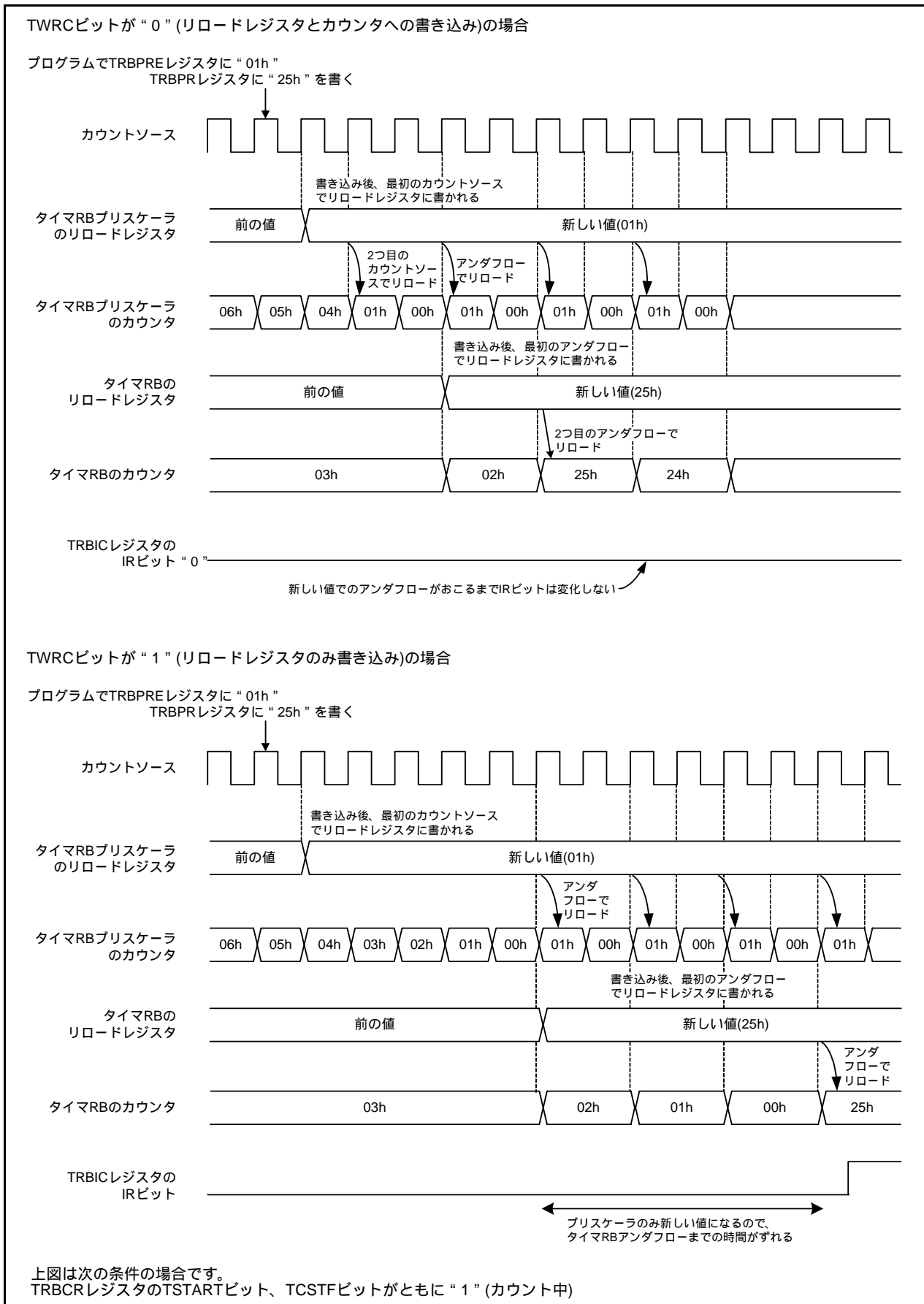


図 17.2 タイマRBカウント中にカウント値を書き換えた場合の動作例

17.4 プログラマブル波形発生モード

TRBPR レジスタと TRBSC レジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO 端子から出力する信号を反転するモードです(表 17.3)。カウント開始時は、TRBPR レジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCR レジスタは使用しません。

図 17.3 にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表 17.3 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間 : $(n+1)(m+1)/f_i$ セカンダリ期間 : $(n+1)(p+1)/f_i$ 周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : カウントソースの周波数 n : TRBPRES レジスタの設定値、 m : TRBPR レジスタの設定値 p : TRBSC レジスタの設定値
カウント開始条件	TRBCR レジスタの TSTART ビットへの "1" (カウント開始) 書き込み
カウント停止条件	<ul style="list-style-type: none"> ・ TRBCR レジスタの TSTART ビットへの "0" (カウント停止) 書き込み ・ TRBCR レジスタの TSTOP ビットへの "1" (カウント強制停止) 書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの 1/2 サイクル後 (TRBO 出力の変化と同時)[タイマRB 割り込み]
TRBO 端子機能	プログラマブル出力ポート、またはパルス出力
INT0 端子機能	プログラマブル入出力ポート、または INT0 割り込み入力
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	<ul style="list-style-type: none"> ・ カウント停止中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・ カウント中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)
選択機能	<ul style="list-style-type: none"> ・ アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルを TOPL ビットで選択 ・ TRBO 端子出力切り替え機能 TRBIOC レジスタの TOCNT ビットでタイマRBパルス出力または P3_1(P1_3) ラッチ出力を選択(注3)

注1. セカンダリ期間をカウント中でも、TRBPR レジスタを読み出してください。

注2. 波形の出力は、TRBPR レジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNT ビットに書いた値は、次のタイミングで有効になります。

- ・ カウント開始時
 - ・ タイマRB 割り込み要求発生時
- したがって、TOCNT ビットを変更後、次のプライマリ期間の出力から反映されます。

17.4.1 タイマRB I/O制御レジスタ (TRBIOC)[プログラマブル波形発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: プライマリ期間“H”出力、セカンダリ期間“L”出力 タイマ停止時“L”出力 1: プライマリ期間“L”出力、セカンダリ期間“H”出力 タイマ停止時“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	0: タイマRB波形出力 1: P3_1(P1_3)ポートラッチの値を出力	R/W
b2	INOSTG	ワンショットトリガ制御ビット	プログラマブル波形発生モードでは“0”にしてください	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

17.4.2 動作例

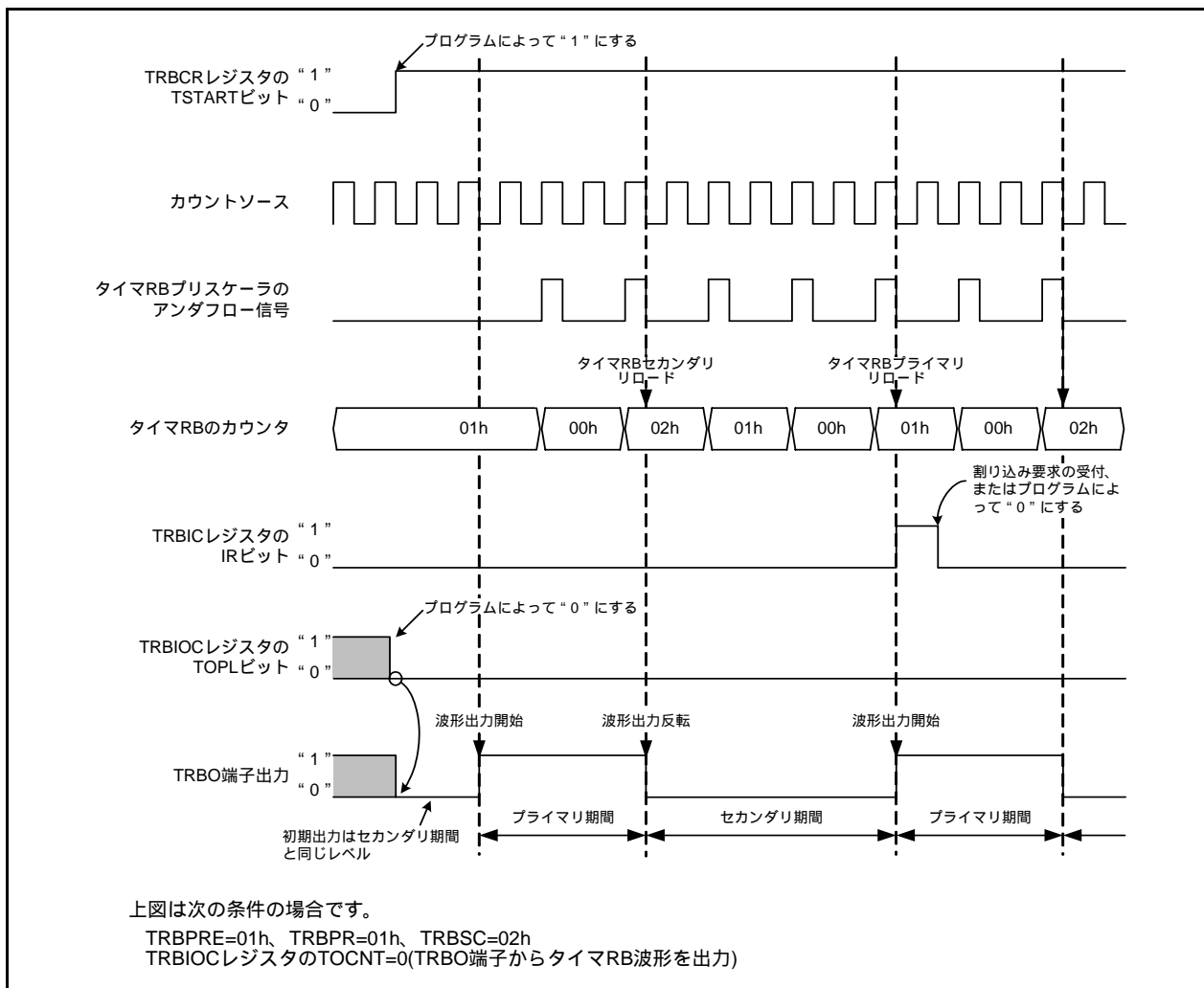


図 17.3 プログラマブル波形発生モード時のタイマRBの動作例

17.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルスをTRBO端子から出力するモードです(表17.4)。トリガが発生するとその時点から任意の時間(TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。図17.4にプログラマブルワンショット発生モード時の動作例を示します。

表17.4 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・TRBPRレジスタの設定値をダウンカウント ・アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRESレジスタの設定値、 m : TRBPRレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> ・TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生 ・TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み ・INT0端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> ・タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時に) [タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> ・TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力 ・TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ・ワンショットトリガ選択機能 「17.5.3 ワンショットトリガ選択」参照

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

17.5.1 タイマRB I/O制御レジスタ (TRBIOC)[プログラマブルワンショット発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス“H”出力、タイマ停止時“L”出力 1: ワンショットパルス“L”出力、タイマ停止時“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルワンショット発生モードでは“0”にしてください	R/W
b2	INOSTG	ワンショットトリガ制御ビット(注1)	0: INTO端子ワンショットトリガ無効 1: INTO端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. 「17.5.3 ワンショットトリガ選択」を参照してください。

17.5.2 動作例

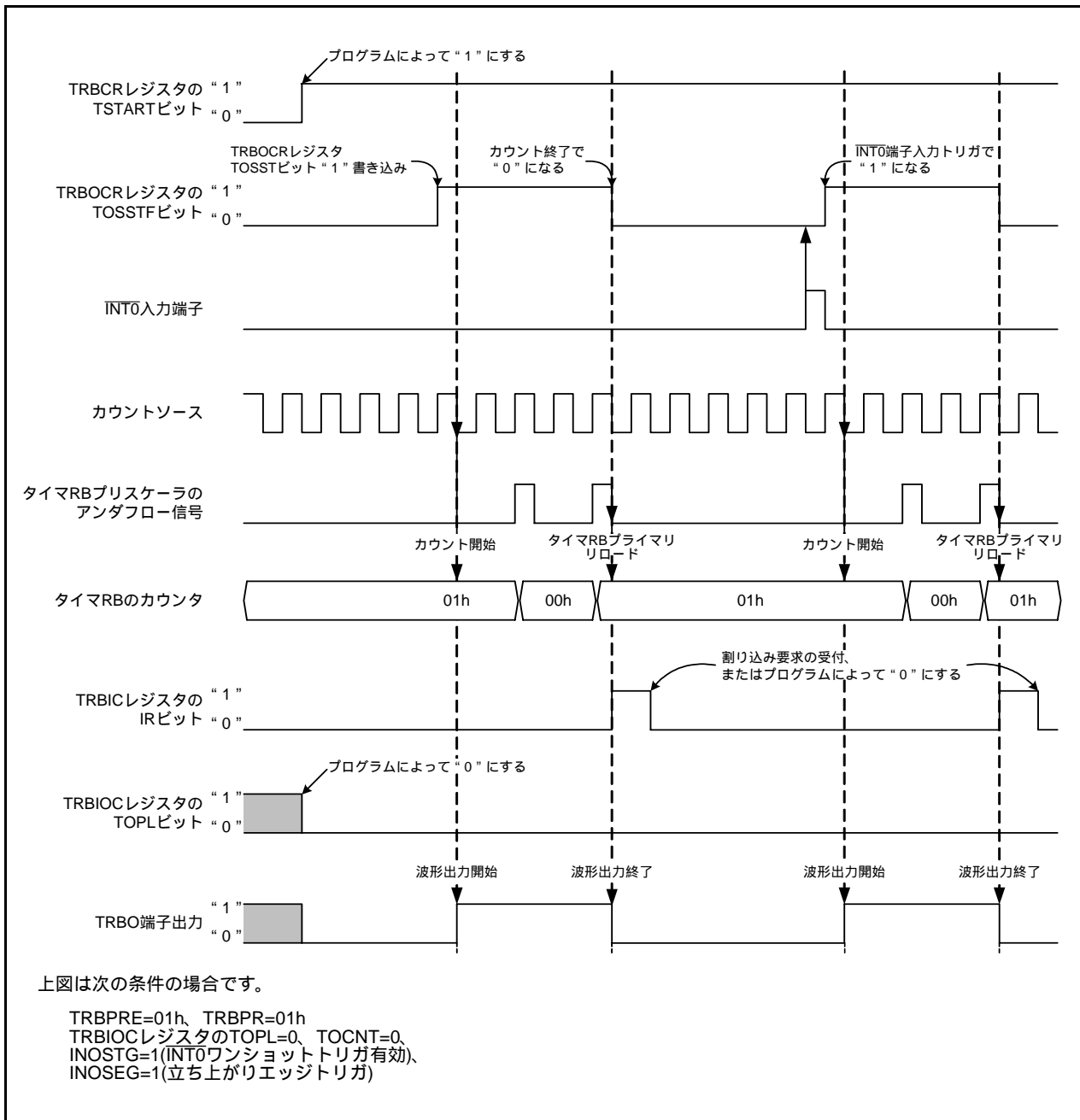


図17.4 プログラマブルワンショット発生モード時の動作例

17.5.3 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCRレジスタのTOSSTビットに“1”を書く
- INT0端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってからTRBOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

INT0端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4レジスタのPD4_5ビットを“0”(入力ポート)にする
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択
- INTENレジスタのINT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する
- INTENレジスタのINT0ENを“1”(許可)にする
- 上記の設定後、TRBIOCレジスタのINOSTGビットを“1”(INT0端子ワンショットトリガ有効)にする

なお、INT0端子からのトリガ入力で割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「11. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0ICレジスタのPOLビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOCレジスタのINOSEGビットはINT0割り込みとは無関係です)。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT0ICレジスタのIRビットは変化します。

17.6 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)から、一定時間後にワンショットパルスをTRBO端子から出力するモードです(表17.5)。トリガが発生すると、その時点から任意の時間(TRBPRレジスタの設定値)後、一度だけ任意の時間(TRBSCレジスタの設定値)パルス出力を行います。

図17.5にプログラマブルウェイトワンショット発生モードの動作例を示します。

表17.5 プログラマブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・タイマRBプライマリの設定値をダウンカウント ・タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続 ・タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPREレジスタの設定値、 m : TRBPRレジスタの設定値
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ f_i : カウントソースの周波数 n : TRBPREレジスタの設定値、 p : TRBSCレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> ・TRBCRレジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生 ・TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み ・INT0端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> ・タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> ・TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力 ・TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ・ワンショットトリガ選択機能 「17.5.3 ワンショットトリガ選択」参照

注1. TRBSCレジスタおよびTRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

17.6.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラマブルウェイトワンショット発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス“H”出力、タイマ停止時とウェイト中は“L”出力 1: ワンショットパルス“L”出力、タイマ停止時とウェイト中は“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルウェイトワンショット発生モードでは“0”にしてください。	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: $\overline{\text{INT0}}$ 端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	-	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. 「17.5.3 ワンショットトリガ選択」を参照してください。

17.6.2 動作例

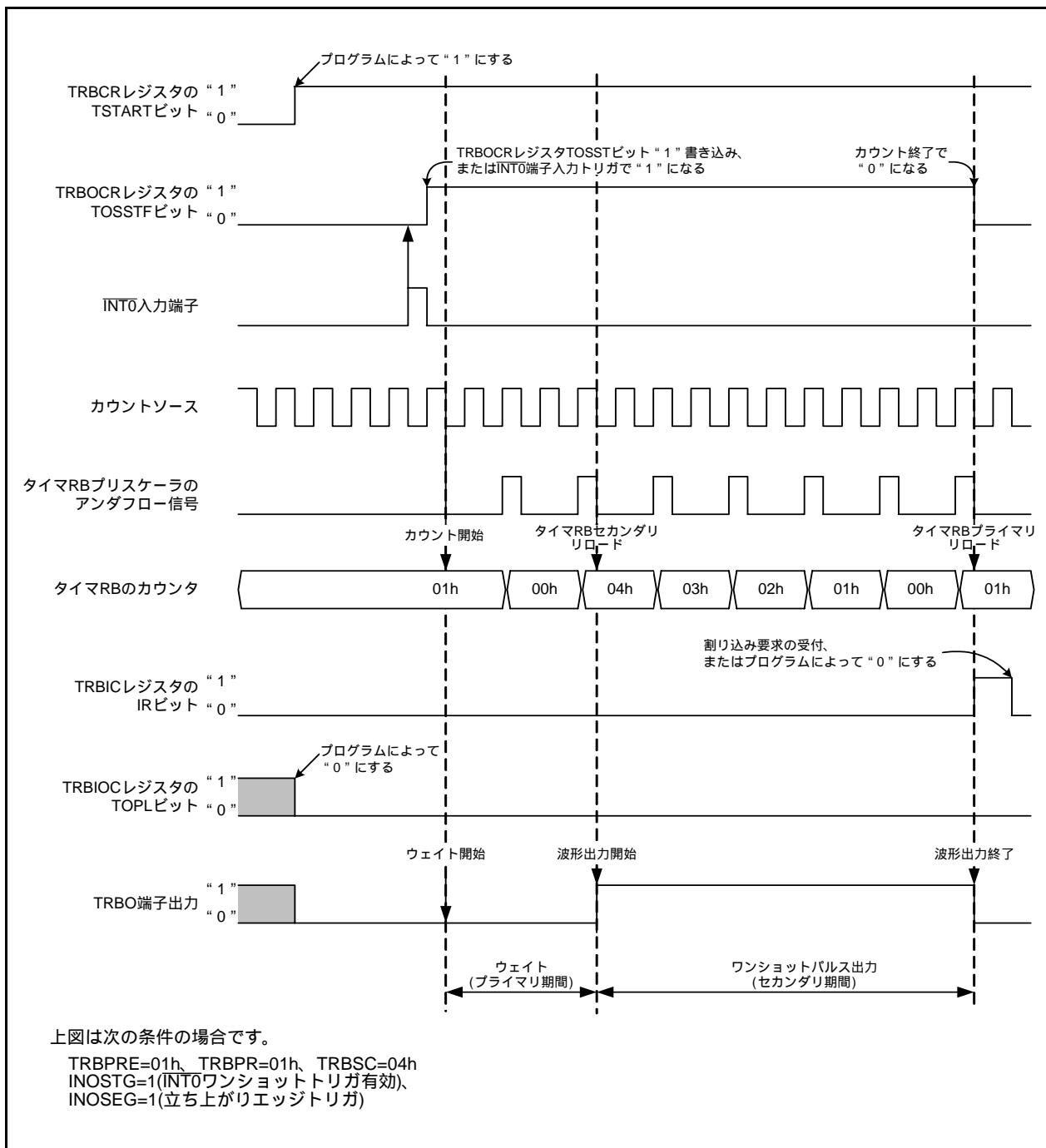


図 17.5 プログラマブルウェイトワンショット発生モードの動作例

17.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いた後からTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いた後からTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

17.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

17.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

17.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

17.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

18. タイマRC

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

18.1 概要

タイマRCの動作クロックはf1、fOCO40MまたはfOCO-Fです。表18.1にタイマRCの動作クロックを示します。

表18.1 タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRCCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M
カウントソースがfOCO-F (TRCCR1レジスタのTCK2～TCK0ビットが“111b”)	fOCO-F

表18.2にタイマRCの端子構成を、図18.1にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード

- インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能 (検出時に端子出力変更可能)

次の2つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- PWM2モード トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

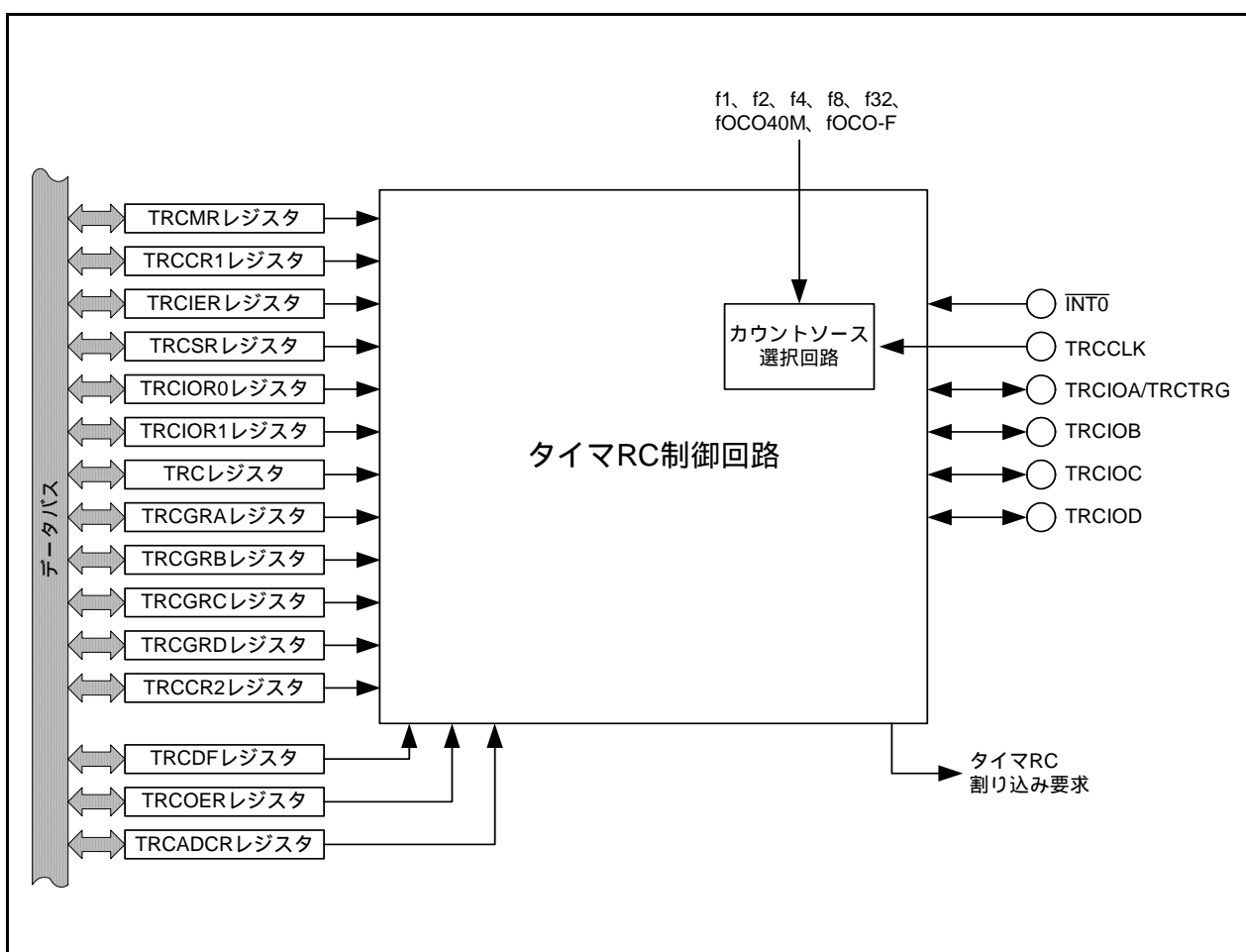


図18.1 タイマRCのブロック図

表18.2 タイマRCの端子構成

端子名	割り当てる端子	入出力	機能
TRCIOA	P0_0、P0_1、P0_2またはP1_1	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRCIOB	P0_3、P0_4、P0_5、P1_2、 P2_0またはP6_5		
TRCIOC	P0_7、P1_3、P2_1、P3_4 またはP6_6		
TRCIOD	P0_6、P1_0、P2_2、P3_5 またはP6_7		
TRCLK	P1_4またはP3_3	入力	外部クロック入力
TRCTR	P0_0、P0_1、P0_2またはP1_1	入力	PWM2モードの外部トリガ入力

18.2 レジスタの説明

表18.3にタイマRC関連レジスタ一覧を示します。

表18.3 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先
		タイマ		PWM	PWM2	
		インプット キャプチャ 機能	アウトプット コンペア 機能			
0008h	MSTCR	有効	有効	有効	有効	18.2.1 モジュールスタンバイ制御レジスタ(MSTCR)
0120h	TRCMR	有効	有効	有効	有効	18.2.2 タイマRCモードレジスタ(TRCMR)
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 18.2.3 タイマRC制御レジスタ1 (TRCCR1) 18.5.1 タイマRC制御レジスタ1 (TRCCR1)[タイマ モード(アウトプットコンペア機能)時] 18.6.1 タイマRC制御レジスタ1 (TRCCR1)[PWM モード時] 18.7.1 タイマRC制御レジスタ1 (TRCCR1)[PWM2 モード時]
0122h	TRCIER	有効	有効	有効	有効	18.2.4 タイマRC割り込み許可レジスタ(TRCIER)
0123h	TRCSR	有効	有効	有効	有効	18.2.5 タイマRCステータスレジスタ(TRCSR)
0124h	TRCIOR0	有効	有効	-	-	タイマRC I/O制御レジスタ0、タイマRC I/O制御レジスタ1 18.2.6 タイマRC I/O制御レジスタ0 (TRCIOR0) 18.2.7 タイマRC I/O制御レジスタ1 (TRCIOR1) 18.4.1 タイマRC I/O制御レジスタ0 (TRCIOR0)[タ イマモード(インプットキャプチャ機能)時] 18.4.2 タイマRC I/O制御レジスタ1 (TRCIOR1)[タ イマモード(インプットキャプチャ機能)時] 18.5.2 タイマRC I/O制御レジスタ0 (TRCIOR0)[タ イマモード(アウトプットコンペア機能)時] 18.5.3 タイマRC I/O制御レジスタ1 (TRCIOR1)[タ イマモード(アウトプットコンペア機能)時]
0125h	TRCIOR1					
0126h 0127h	TRC	有効	有効	有効	有効	18.2.8 タイマRCカウンタ(TRC)
0128h 0129h 012Ah 012Bh 012Ch 012Dh 012Eh 012Fh	TRCGRA TRCGRB TRCGRC TRCGRD	有効	有効	有効	有効	18.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、 TRCGRD)
0130h	TRCCR2	-	有効	有効	有効	18.2.10 タイマRC制御レジスタ2 (TRCCR2)
0131h	TRCDF	有効	-	-	有効	18.2.11 タイマRCデジタルフィルタ機能選択レジス タ(TRCDF)
0132h	TRCOER	-	有効	有効	有効	18.2.12 タイマRCアウトプットマスタ許可レジスタ (TRCOER)
0133h	TRCADCR	-	有効	有効	有効	18.2.13 タイマRCトリガ制御レジスタ(TRCADCR)
0181h	TRBRCSR	有効	有効	有効	有効	18.2.14 タイマRB/RC端子選択レジスタ(TRBRCSR)
0182h	TRCPSR0	有効	有効	有効	有効	18.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)
0183h	TRCPSR1	有効	有効	有効	有効	18.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

- : 無効

18.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	MSTTRC	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	-	予約ビット	“0” にしてください	R/W
b4	-	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b5	MSTTRC			
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

注1. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

18.2.2 タイマRCモードレジスタ(TRCMR)

アドレス 0120h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	-	BFD	BFC	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b1	PWMC	TRCIOC PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b2	PWMD	TRCIOD PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b3	PWM2	PWM2モード選択ビット	0: PWM2モード 1: タイマモードまたはPWMモード	R/W
b4	BFC	TRCGRCレジスタ機能選択ビット (注2)	0: ジェネラルレジスタ 1: TRCGRAレジスタのバッファレジスタ	R/W
b5	BFD	TRCGRDレジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRCGRBレジスタのバッファレジスタ	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	TSTART	TRCカウント開始ビット	0: カウント停止 1: カウント開始	R/W

注1. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

TRCMRレジスタのPWM2モード時の注意事項は「18.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

18.2.3 タイマRC制御レジスタ1 (TRCCR1)

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注2)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : インพุットキャプチャまたはTRCGRAのコンペア一致でTRCカウンタをクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

18.2.4 タイマRC割り込み許可レジスタ(TRCIER)

アドレス 0122h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	-	-	-	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インพุットキャプチャ/コンペア一致 割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インพุットキャプチャ/コンペア一致 割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インพุットキャプチャ/コンペア一致 割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インพุットキャプチャ/コンペア一致 割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	OVIE	オーバフロー割り込み許可ビット	0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可	R/W

18.2.5 タイマRCステータスレジスタ(TRCSR)

アドレス 0123h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	-	-	-	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表18.4 各フラグが“1”になる要因」を参照	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB		R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC		R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。		-
b5	-	読んだ場合、その値は“1”。		-
b6	-			-
b7	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表18.4 各フラグが“1”になる要因」を参照	R/W

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

表18.4 各フラグが“1”になる要因

ビット シンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプット コンペア機能		
IMFA	TRCIOA端子の入力エッジ(注1)	TRCとTRCGRAの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ(注1)	TRCとTRCGRBの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ(注1)	TRCとTRCGRCの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)	TRCとTRCGRDの値が一致したとき(注2)		
OVF	TRCがオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOj1 ~ IOj0ビット(j=A、B、C、D)で選択したエッジ。

注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

18.2.6 タイマRC I/O制御レジスタ0 (TRCIOR0)

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2			R/W
b3	IOA3	TRCGRAモード選択ビット(注1)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b4	IOB0	TRCGRB制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

TRCIOR0レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

18.2.7 タイマRC I/O制御レジスタ1 (TRCIOR1)

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOC1			R/W
b2	IOC2			R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

TRCIOR1レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

18.2.8 タイマRCカウンタ(TRC)

アドレス 0127h ~ 0126h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRCSRレジスタのOVFビットが“1”になる	0000h ~ FFFFh	R/W

TRCレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h ~ 0128h 番地 (TRCGRA)、012Bh ~ 012Ah 番地 (TRCGRB)、
012Dh ~ 012Ch 番地 (TRCGRC)、012Fh ~ 012Eh 番地 (TRCGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	モードによって機能が異なる	R/W

TRCGRA ~ TRCGRDレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.10 タイマRC制御レジスタ2 (TRCCR2)

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウンタ継続 1 : TRCGRAレジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

18.2.11 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 0131h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA 端子デジタルフィルタ機能 選択ビット(注1)	0 : 機能なし 1 : 機能あり	R/W
b1	DFB	TRCIOB 端子デジタルフィルタ機能 選択ビット(注1)		R/W
b2	DFC	TRCIOC 端子デジタルフィルタ機能 選択ビット(注1)		R/W
b3	DFD	TRCIOD 端子デジタルフィルタ機能 選択ビット(注1)		R/W
b4	DFTRG	TRCTRG 端子デジタルフィルタ機能 選択ビット(注2)		R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット(注1、2)	b7 b6 00 : f32 01 : f8 10 : f1 11 : カウントソース(TRCCR1レジスタのTCK2 ~ TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

18.2.12 タイマRCアウトプットマスタ許可レジスタ(TRCOER)

アドレス 0132h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOA端子はプログラマブル入出力ポート)	R/W
b1	EB	TRCIOB出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOB端子はプログラマブル入出力ポート)	R/W
b2	EC	TRCIOC出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOC端子はプログラマブル入出力ポート)	R/W
b3	ED	TRCIOD出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOD端子はプログラマブル入出力ポート)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる)	R/W

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

18.2.13 タイマRCトリガ制御レジスタ(TRCADCR)

アドレス 0133h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	A/DトリガA許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRAレジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGBE	A/DトリガB許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRBレジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGCE	A/DトリガC許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRCレジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGDE	A/DトリガD許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRDレジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

18.2.14 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TRCCLKSEL1	TRCCLKSEL0	-	-	-	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO端子選択ビット	0 : P1_3に割り当てる 1 : P3_1に割り当てる	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	b5 b4 00 : TRCCLK端子は使用しない 01 : P1_4に割り当てる 10 : P3_3に割り当てる 11 : 設定しないでください	R/W
b5	TRCCLKSEL1			R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0ビットを、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

18.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIOBSEL2	TRCIOBSEL1	TRCIOBSEL0	-	TRCIOASEL2	TRCIOASEL1	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	b2 b1 b0 000: TRCIOA/TRCTRG端子は使用しない 001: P1_1に割り当てる 010: P0_0に割り当てる 011: P0_1に割り当てる 100: P0_2に割り当てる 上記以外: 設定しないでください	R/W
b1	TRCIOASEL1			R/W
b2	TRCIOASEL2			R/W
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b6 b5 b4 000: TRCIOB端子は使用しない 001: P1_2に割り当てる 010: P0_3に割り当てる 011: P0_4に割り当てる 100: P0_5に割り当てる 101: P2_0に割り当てる 110: P6_5に割り当てる 上記以外: 設定しないでください	R/W
b5	TRCIOBSEL1			R/W
b6	TRCIOBSEL2			R/W
b7	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。

TRCPSR0レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

18.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIODSEL2	TRCIODSEL1	TRCIODSEL0	-	TRCIOSEL2	TRCIOSEL1	TRCIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOSEL0	TRCIO端子選択ビット	b2 b1 b0 0 0 0 : TRCIO端子は使用しない 0 0 1 : P1_3に割り当てる 0 1 0 : P3_4に割り当てる 0 1 1 : P0_7に割り当てる 1 0 0 : P2_1に割り当てる 1 0 1 : P6_6に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOSEL1			R/W
b2	TRCIOSEL2			R/W
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	TRCIODSEL0	TRCIOD端子選択ビット	b6 b5 b4 0 0 0 : TRCIOD端子は使用しない 0 0 1 : P1_0に割り当てる 0 1 0 : P3_5に割り当てる 0 1 1 : P0_6に割り当てる 1 0 0 : P2_2に割り当てる 1 0 1 : P6_7に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIODSEL1			R/W
b6	TRCIODSEL2			R/W
b7	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

18.3 複数モードに関わる共通事項

18.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表18.5にカウントソースの選択を、図18.2にカウントソースのブロック図を示します。

表18.5 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
fOCO40M fOCO-F	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRCCR1レジスタのTCK2～TCK0ビットが“110b”(fOCO40M) TRCCR1レジスタのTCK2～TCK0ビットが“111b”(fOCO-F)
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロックの立ち上がりエッジ) 対応する方向レジスタの方向ビットが“0”(入力モード)

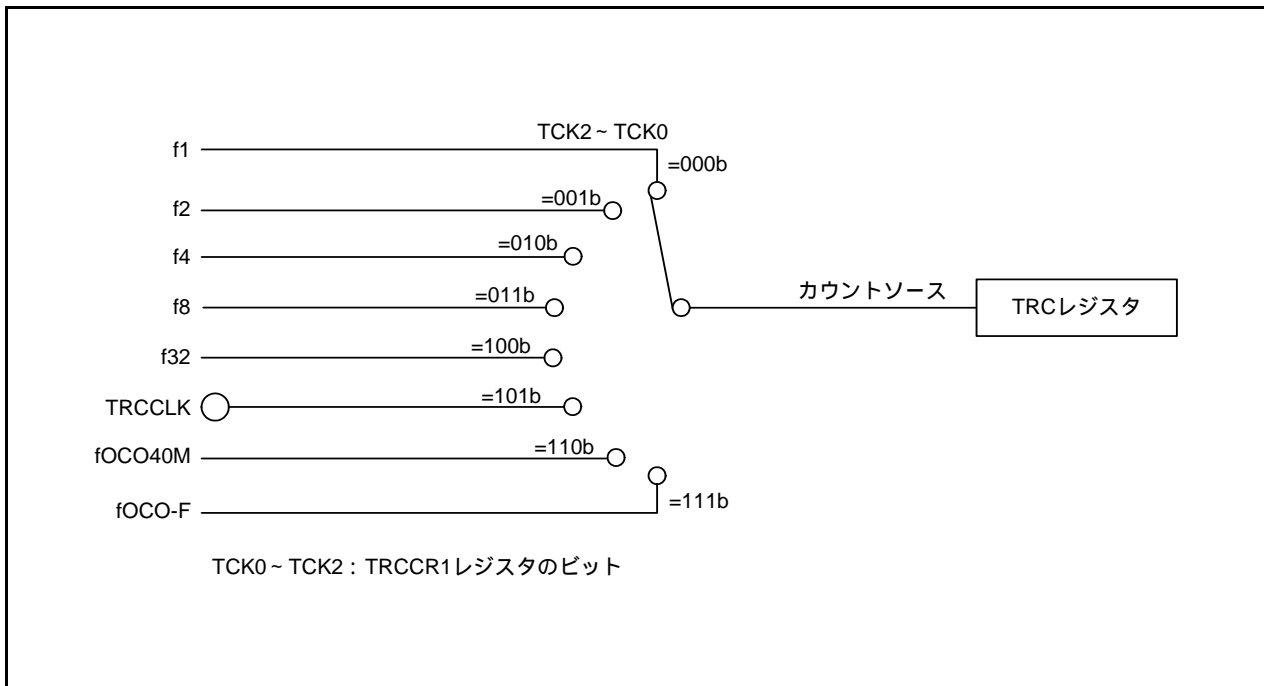


図18.2 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表18.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40MまたはfOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40M)または“111b”(fOCO-F)にしてください。

18.3.2 バッファ動作

TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。表 18.6 に各モードのバッファ動作を、図 18.3 にインプットキャプチャ機能のバッファ動作を、図 18.4 にアウトプットコンペア機能のバッファ動作を示します。

表18.6 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致	バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送
PWMモード		
PWM2モード	<ul style="list-style-type: none"> •TRCレジスタとTRCGRAレジスタのコンペア一致 •TRCTRG端子トリガ入力 	バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送

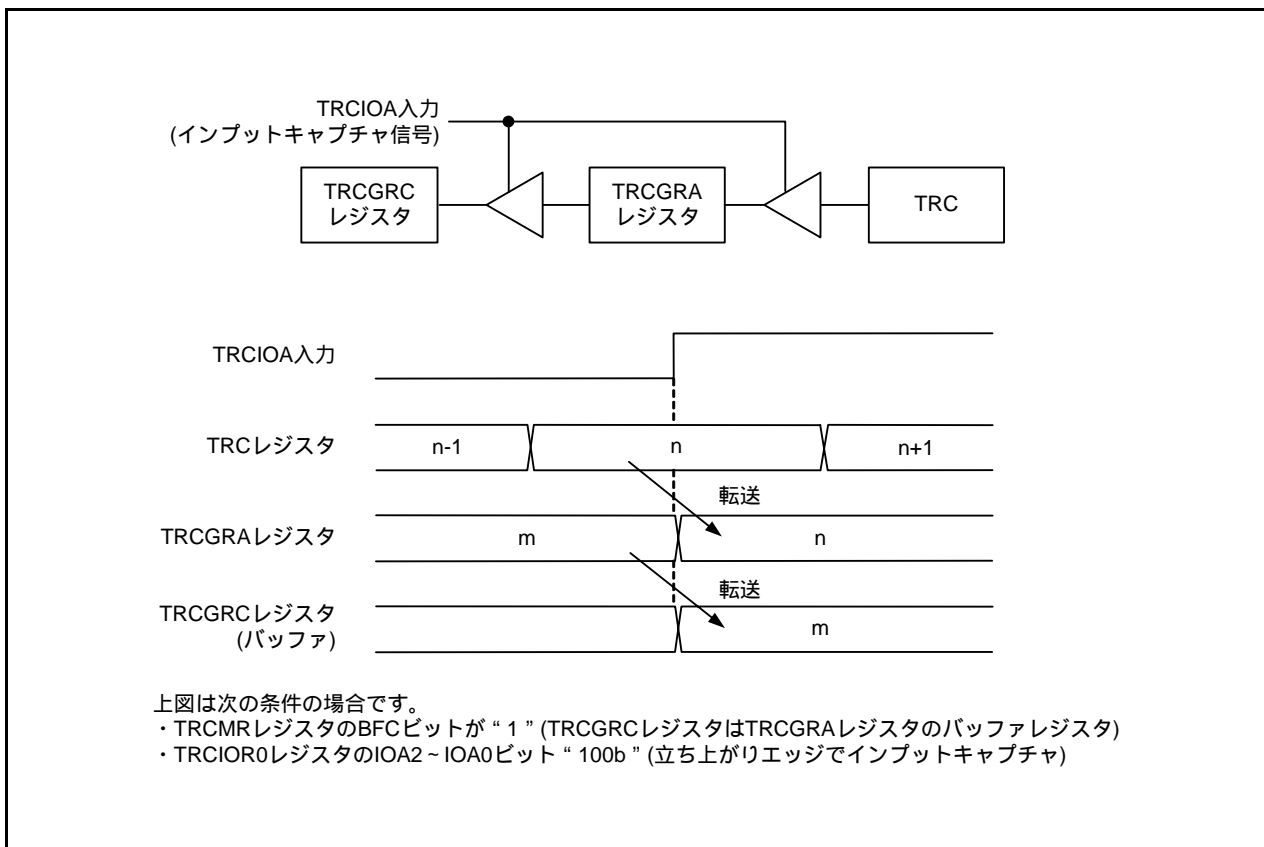


図 18.3 インプットキャプチャ機能のバッファ動作

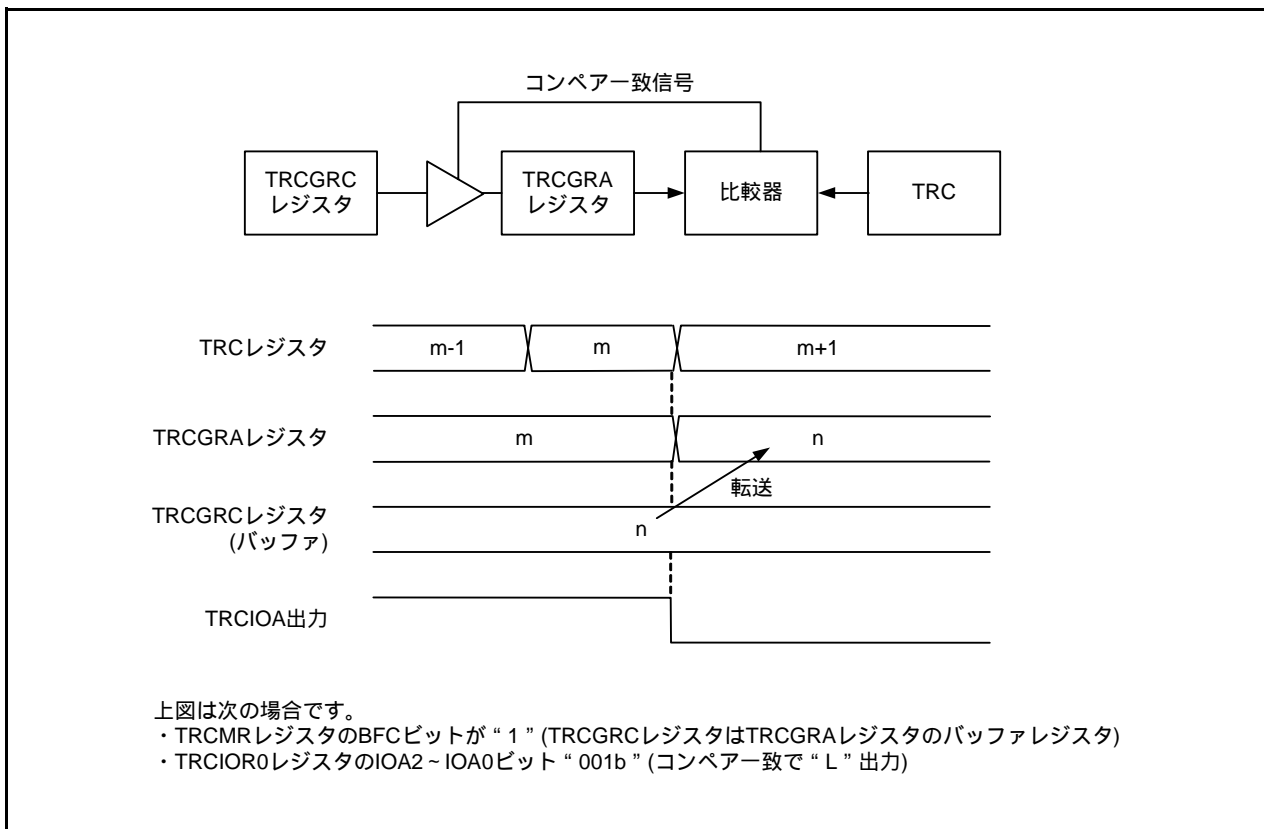


図18.4 アウトプットコンペアー機能のバッファ動作

タイマモードでは次のようにしてください。

- ・TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
- ・TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

アウトプットコンペアー機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペアー致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

インプットキャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが“1”になります。

18.3.3 デジタルフィルタ

TRCTRГ 入力またはTRCIOj(j = A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図18.5にデジタルフィルタのブロック図を示します。

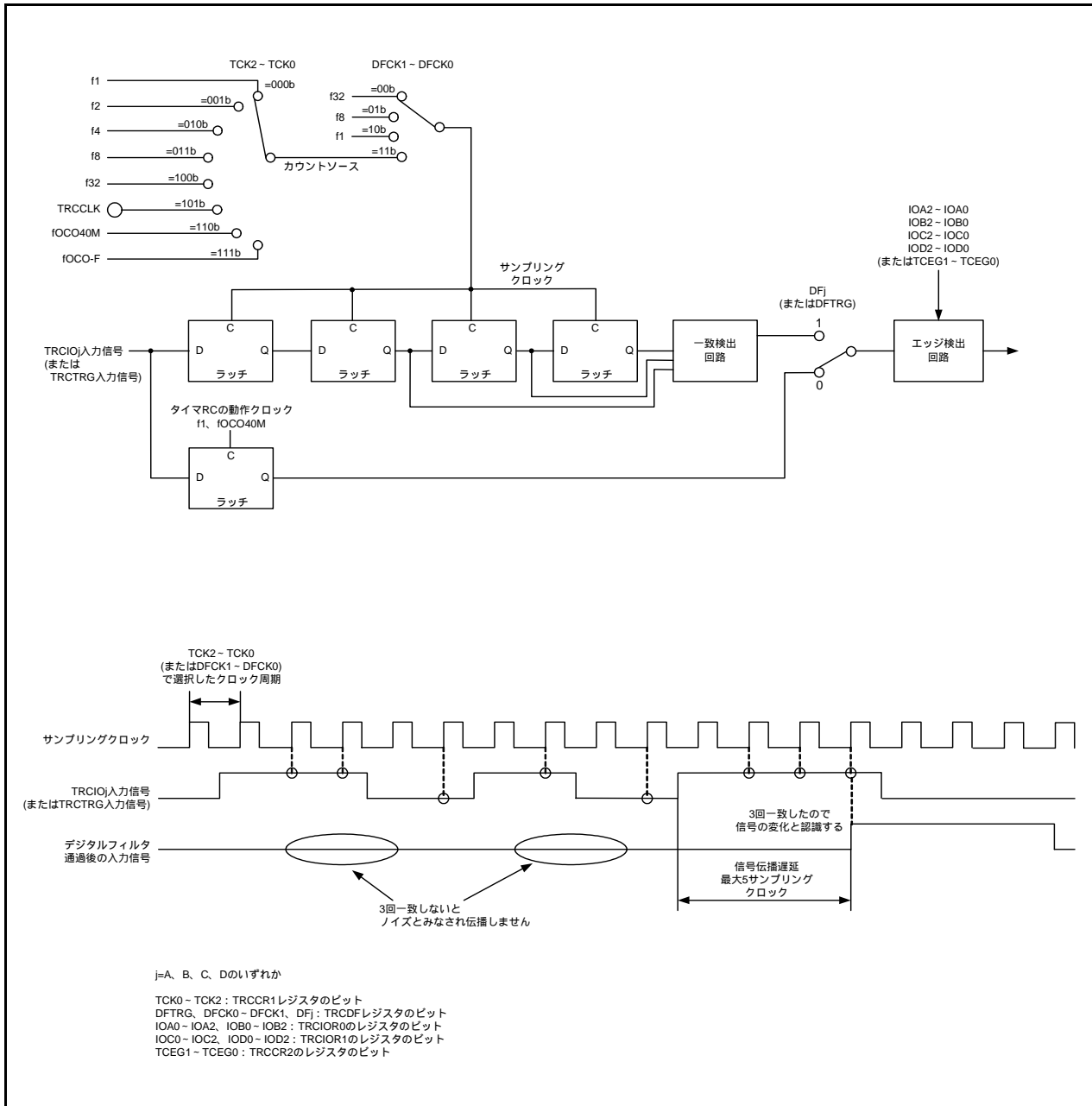


図18.5 デジタルフィルタのブロック図

18.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj(j = A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRCの動作クロック(「表18.1 タイマRCの動作クロック」参照)の1~2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. I/Oポート」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1~INT0F0ビットで選択する。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

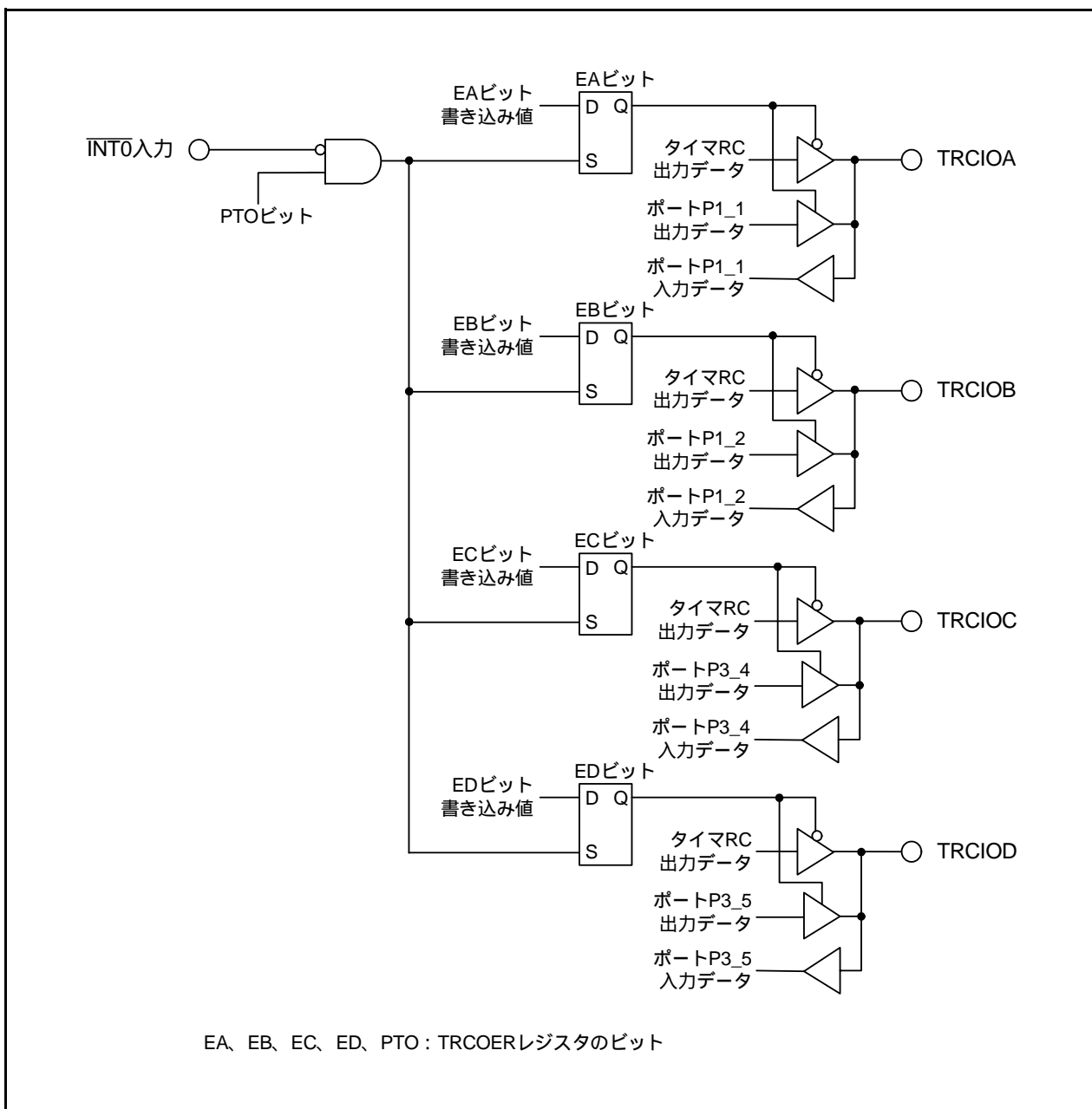


図 18.6 パルス出力強制遮断

18.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIO_j(j = A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGR_jレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRCGRAレジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

表18.7にインプットキャプチャ機能の仕様を、図18.7にインプットキャプチャ機能のブロック図を、表18.8にインプットキャプチャ機能時のTRCGR_jレジスタの機能を、図18.8にインプットキャプチャ機能の動作例を示します。

表18.7 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)の場合 $1/fk \times (n+1)$ n: TRCGRAレジスタ設定値
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ(TRCIO_j入力の有効エッジ、またはfOCO128信号のエッジ) TRCレジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
INT0端子機能	プログラブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 バッファ動作(「18.3.2 バッファ動作」参照) デジタルフィルタ(「18.3.3 デジタルフィルタ」参照) TRCレジスタを“0000h”にするタイミング オーバフローまたはインプットキャプチャ インプットキャプチャトリガ選択 TRCGRAレジスタのインプットキャプチャトリガ入力にfOCO128を選択できる

j = A、B、C、Dのいずれか

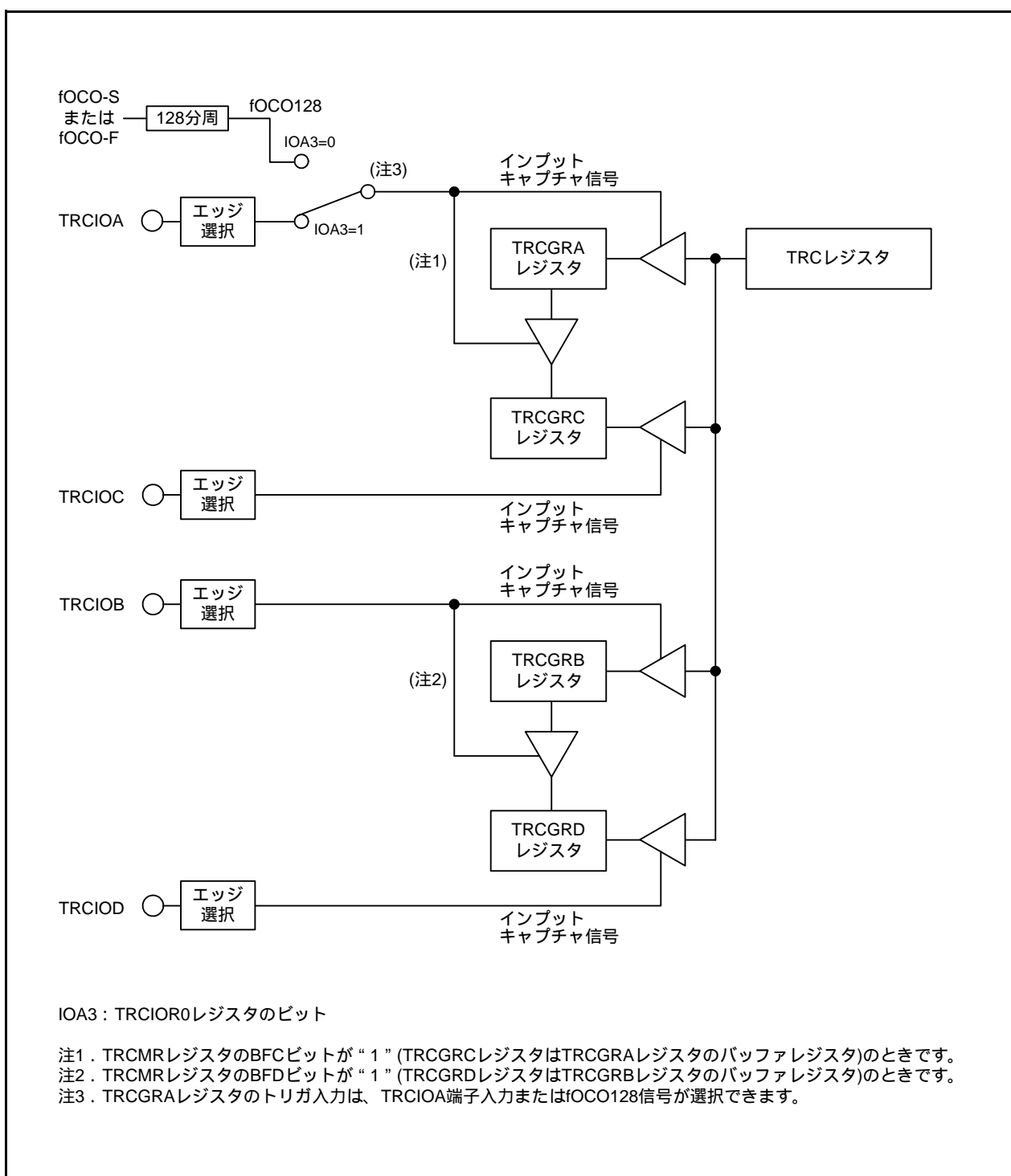


図18.7 インพุットキャプチャ機能のブロック図

18.4.1 タイマRC I/O制御レジスタ0 (TRCIOR0)[タイマモード(インプットキャプチャ機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	^{b1 b0} 00: 立ち上がりエッジでTRCGRAへインプットキャプチャ 01: 立ち下がりエッジでTRCGRAへインプットキャプチャ 10: 両エッジでTRCGRAへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切り替えビット(注3)	0: fOCO128信号 1: TRCIOA端子入力	R/W
b4	IOB0	TRCGRB制御ビット	^{b5 b4} 00: 立ち上がりエッジでTRCGRBへインプットキャプチャ 01: 立ち下がりエッジでTRCGRBへインプットキャプチャ 10: 両エッジでTRCGRBへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

18.4.2 タイマRC I/O制御レジスタ1 (TRCIOR1)[タイマモード(インプットキャプチャ機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRCへインプットキャプチャ 01: 立ち下がりエッジでTRCGRCへインプットキャプチャ 10: 両エッジでTRCGRCへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	“1”にしてください	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRDへインプットキャプチャ 01: 立ち下がりエッジでTRCGRDへインプットキャプチャ 10: 両エッジでTRCGRDへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	“1”にしてください	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

表18.8 インプットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRCGRA	-	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「18.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j = A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

18.4.3 動作例

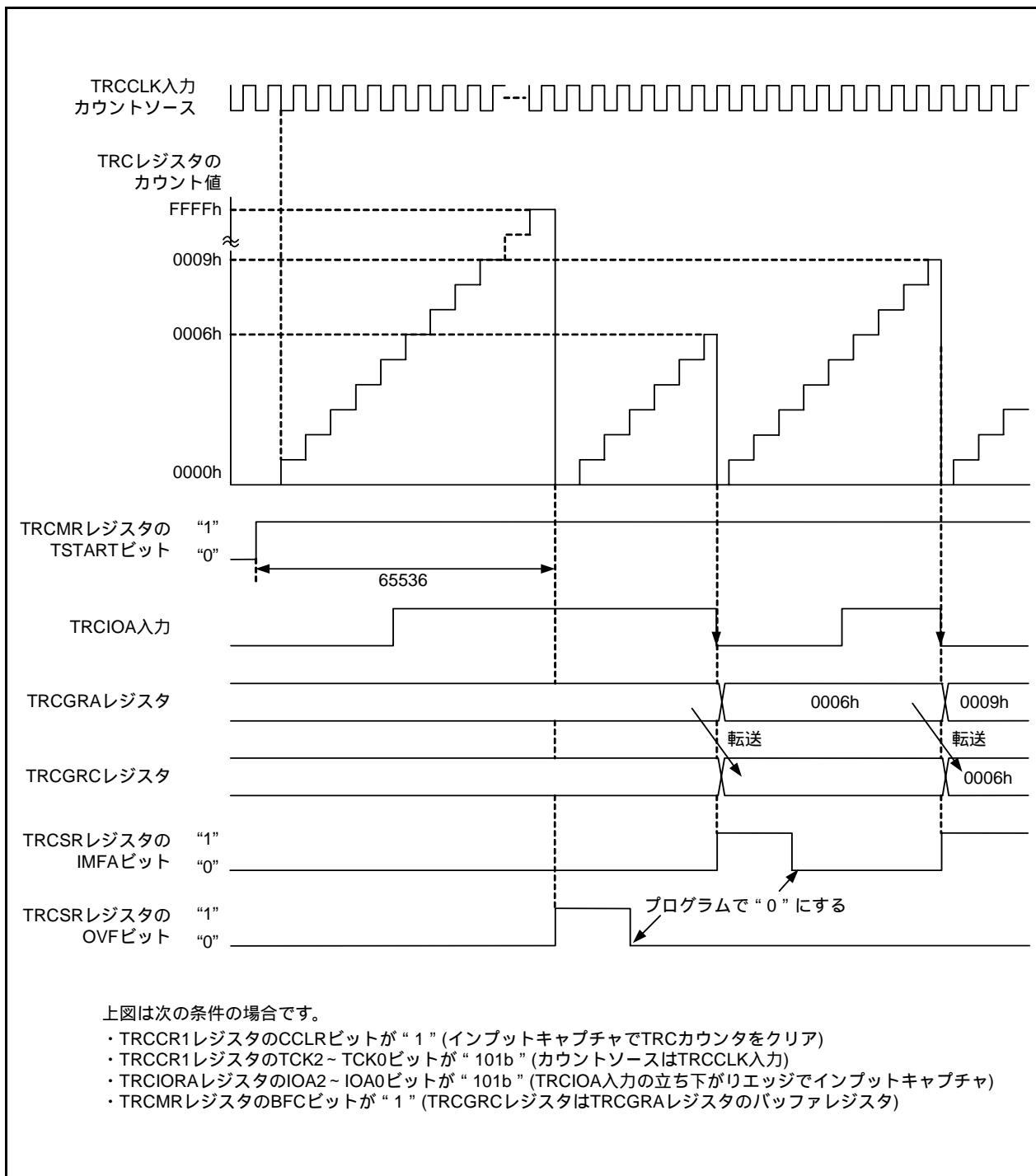


図18.8 インプットキャプチャ機能の動作例

18.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj(j = A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRCIOj端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表 18.9 にアウトプットコンペア機能の仕様を、図 18.9 にアウトプットコンペア機能のブロック図を、表 18.10 にアウトプットコンペア機能時のTRCGRjレジスタの機能を、図 18.10 にアウトプットコンペア機能の動作例を示します。

表 18.9 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> TRCCR1 レジスタの CCLR ビットが“0”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 TRCCR1 レジスタの CCLR ビットが“1”(TRCGRA のコンペア一致で TRC レジスタを“0000h”にする)の場合 $1/fk \times (n+1)$ n: TRCGRA レジスタ設定値
波形出力タイミング	コンペアー一致
カウント開始条件	TRCMR レジスタの TSTART ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRCCR2 レジスタの CSEL ビットが“0”(TRCGRA レジスタとのコンペアー一致後もカウント継続)の場合 TRCMR レジスタの TSTART ビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRC レジスタは停止前の値を保持 TRCCR2 レジスタの CSEL ビットが“1”(TRCGRA レジスタとのコンペアー一致でカウント停止)の場合 TRCGRA レジスタとのコンペアー一致でカウント停止、アウトプットコンペア出力端子はコンペアー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致 (TRC レジスタと TRCGRj レジスタの内容が一致) TRC レジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
INT0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0 割り込み入力
タイマの読み出し	TRC レジスタを読むと、カウント値が読める
タイマの書き込み	TRC レジスタに書き込める
選択機能	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか 1 本または複数本 コンペアー一致時の出力レベル選択 “L”出力、“H”出力、またはトグル出力 初期出力レベル選択 カウント開始からコンペアー一致までの期間のレベルを設定 TRC レジスタを“0000h”にするタイミング オーバフロー、または TRCGRA レジスタのコンペアー一致 バッファ動作(「18.3.2 バッファ動作」参照) パルス出力強制遮断信号入力(「18.3.4 パルス出力強制遮断」参照) タイマ RC は出力しないことで内部タイマとして使用できる TRCGRC、TRCGRD の出力端子変更 TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用できる A/D トリガ発生

j = A、B、C、Dのいずれか

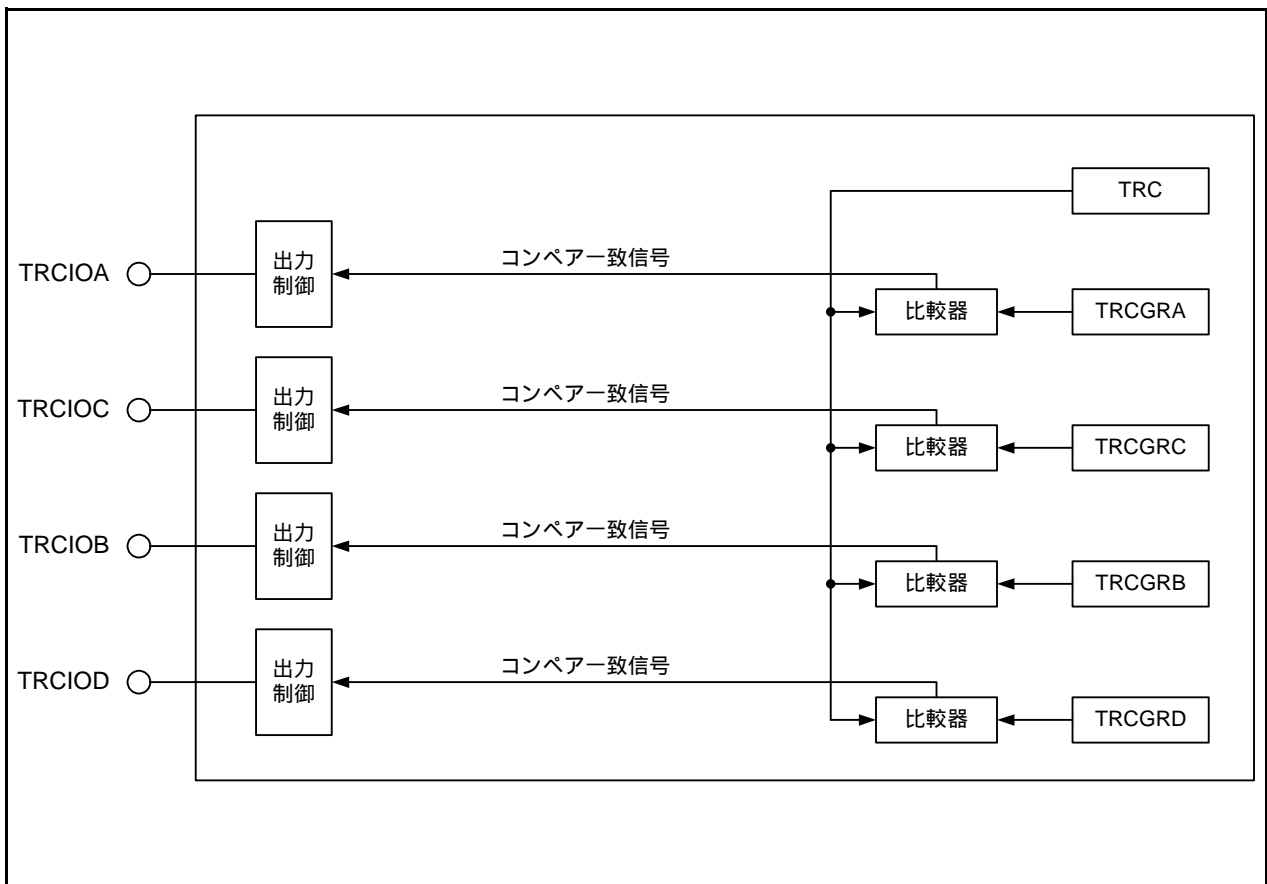


図18.9 アウトプットコンペア機能のブロック図

18.5.1 タイマRC制御レジスタ1 (TRCCR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1、2)	0:初期出力“L”	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	1:初期出力“H”	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1	R/W
b5	TCK1		0 0 1 : f2	R/W
b6	TCK2		0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注3)	R/W
b7	CCLR	TRCカウンタクリア選択ビット	0:クリア禁止(フリーランニング動作) 1:TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

表18.10 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプット コンペア出力端子
TRCGRA	-	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のコンペア値を書いてください。(「18.3.2 バッファ動作」参照)	TRCIOA
TRCGRD	BFD=1		TRCIOB

j = A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

18.5.2 タイマRC I/O制御レジスタ0 (TRCIOR0)[タイマモード(アウトプットコンペア機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	b1 b0 00: コンペア一致による端子出力禁止 (TRCIOA端子はプログラマブル入出力ポート) 01: TRCGRAのコンペア一致で“L”出力 10: TRCGRAのコンペア一致で“H”出力 11: TRCGRAのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOA3	TRCGRA入力キャプチャ入力切り替えビット	“1”にしてください	R/W
b4	IOB0	TRCGRB制御ビット	b5 b4 00: コンペア一致による端子出力禁止 (TRCIOB端子はプログラマブル入出力ポート) 01: TRCGRBのコンペア一致で“L”出力 10: TRCGRBのコンペア一致で“H”出力 11: TRCGRBのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

18.5.3 タイマRC I/O制御レジスタ1 (TRCIOR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 00 : コンペア一致による端子出力禁止 01 : TRCGRCのコンペア一致で“L”出力 10 : TRCGRCのコンペア一致で“H”出力 11 : TRCGRCのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0 : TRCIOA出力レジスタ 1 : ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 00 : コンペア一致による端子出力禁止 01 : TRCGRDのコンペア一致で“L”出力 10 : TRCGRDのコンペア一致で“H”出力 11 : TRCGRDのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0 : TRCIOB出力レジスタ 1 : ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

18.5.4 タイマRC制御レジスタ2 (TRCCR2)[タイマモード(アウトプットコンペア機能)時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウンタ継続 1 : TRCGRAレジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

18.5.5 動作例

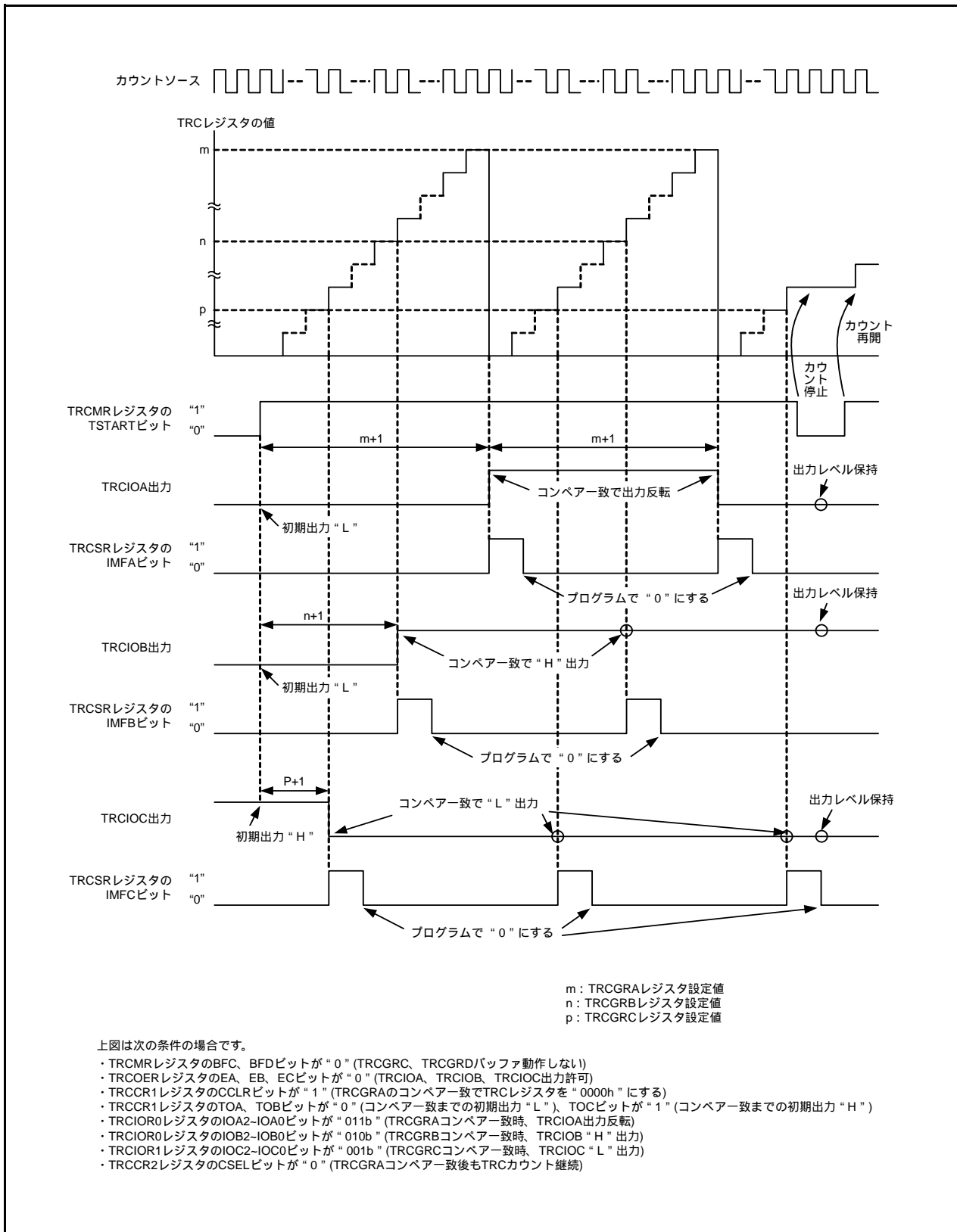


図18.10 アウトプットコンペア機能の動作例

18.5.6 TRCGRC、TRCGRDレジスタの出力端子変更

TRCGRCレジスタをTRCIOA端子の、TRCGRDレジスタをTRCIOB端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRCIOA出力は、TRCGRAレジスタの値とTRCGRCレジスタの値の2点で制御
- TRCIOB出力は、TRCGRBレジスタの値とTRCGRDレジスタの値の2点で制御

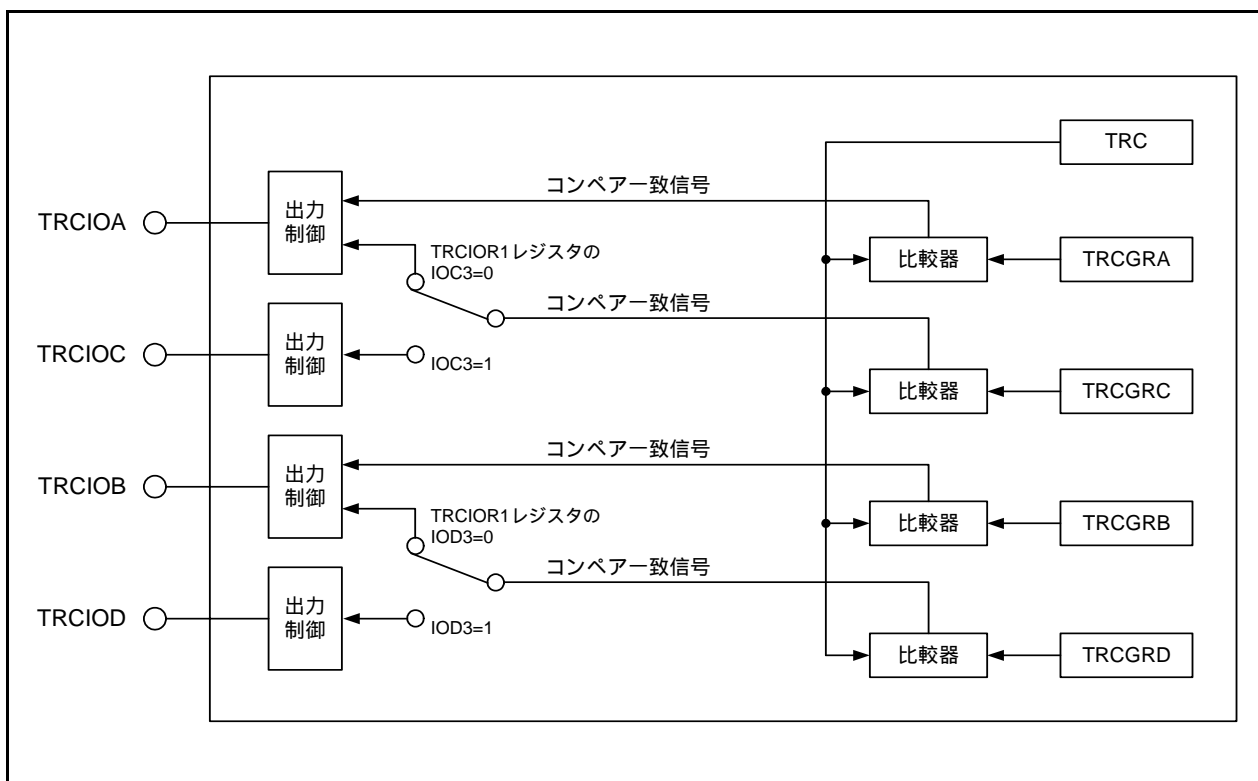


図18.11 TRCGRC、TRCGRDの出力端子変更

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1レジスタのIOC3ビットを“0”(TRCIOA出力レジスタ)、IOD3ビットを“0”(TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBFC、BFDビットを“0”(ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定。

図18.12にTRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例を示します。

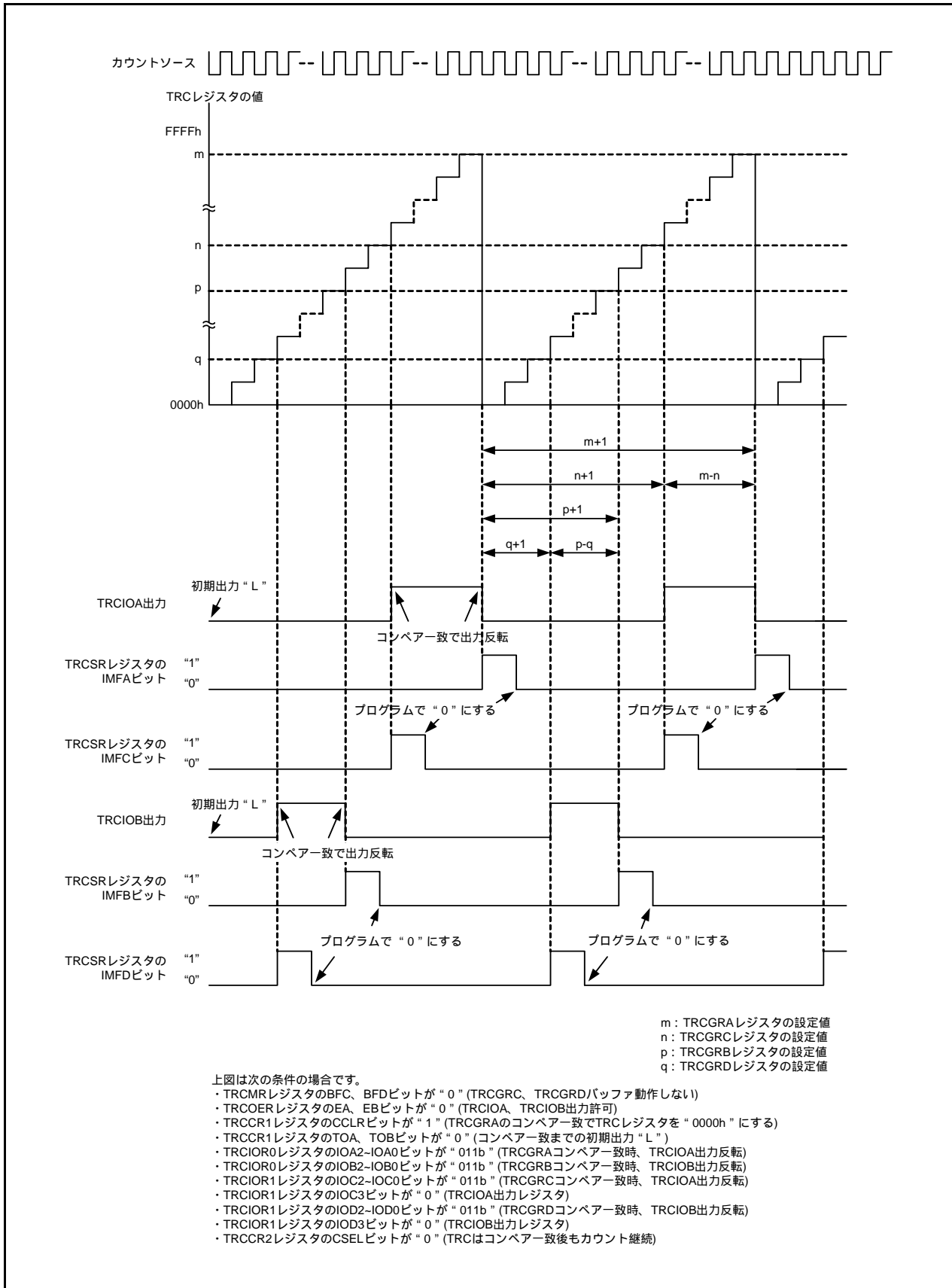


図18.12 TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例

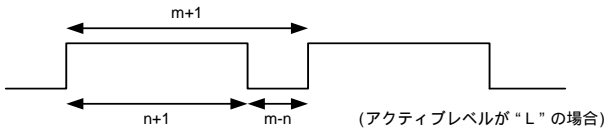
18.6 PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表18.11にPWMモードの仕様を、図18.13にPWMモードのブロック図を、表18.12にPWMモード時のTRCGRhレジスタの機能を、図18.14～図18.15にPWMモードの動作例を示します。

表18.11 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期: $1/fk \times (m+1)$ アクティブレベル幅: $1/fk \times (m-n)$ アクティブでないレベルの幅: $1/fk \times (n+1)$ fk: カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRjレジスタ設定値 
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペアー一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持 TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペアー一致でカウント停止)の場合 TRCGRAレジスタとのコンペアー一致でカウント停止、PWM出力端子はコンペアー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致 (TRCレジスタとTRCGRhレジスタの内容が一致) TRCレジスタオーバフロー
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> PWM出力端子を1~3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本。 アクティブレベルを1端子ごとに選択 初期出力レベルを1端子ごとに選択 バッファ動作(「18.3.2 バッファ動作」参照) パルス出力強制遮断信号入力(「18.3.4 パルス出力強制遮断」参照) A/Dトリガ発生

j = B、C、Dのいずれか

h = A、B、C、Dのいずれか

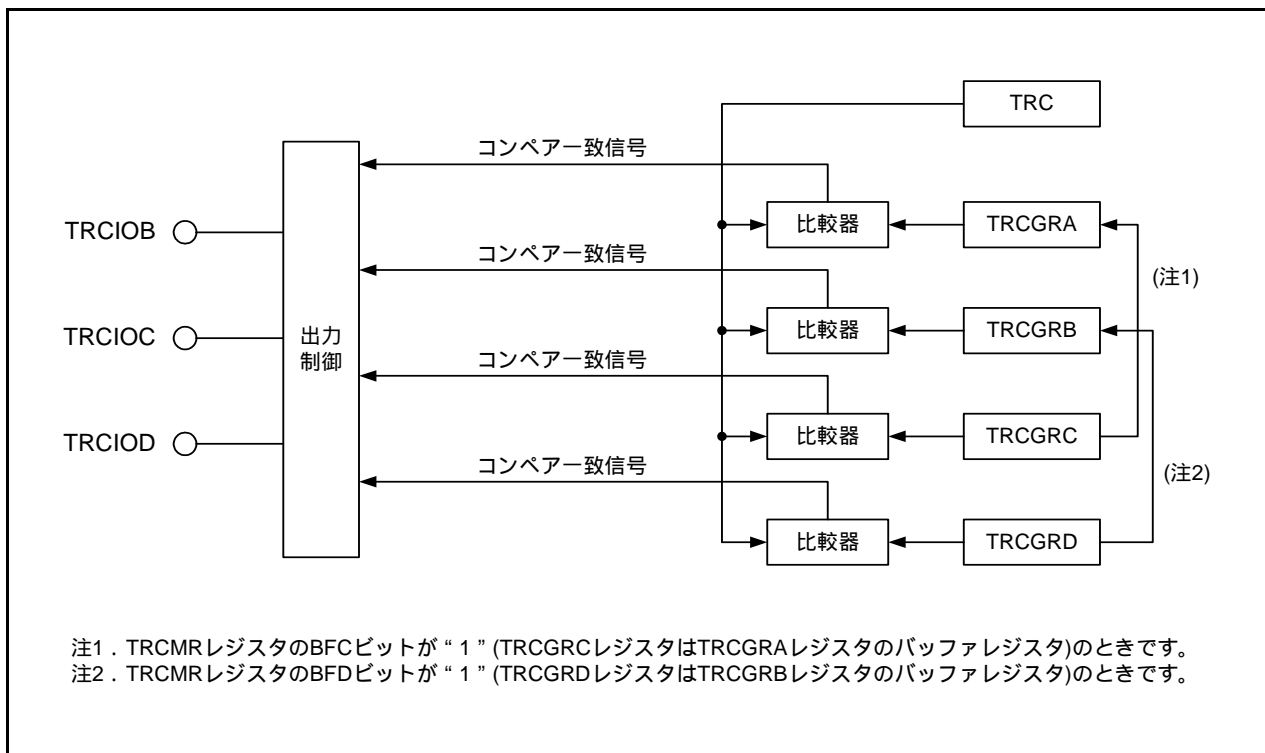


図 18.13 PWMモードのブロック図

18.6.1 タイマRC制御レジスタ1 (TRCCR1)[PWMモード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWMモードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0 : 初期出力はアクティブでないレベル 1 : 初期出力はアクティブレベル	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

18.6.2 タイマRC制御レジスタ2 (TRCCR2)[PWMモード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0: TRCIOBの出力レベルは“L”アクティブ 1: TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0: TRCIOCの出力レベルは“L”アクティブ 1: TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0: TRCIODの出力レベルは“L”アクティブ 1: TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0: TRCGRAレジスタとのコンペアー一致後もカウント継続 1: TRCGRAレジスタとのコンペアー一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00: TRCTRGからのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペアー機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

表18.12 PWMモード時のTRCGRhレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA	-	ジェネラルレジスタ。PWM周期を設定してください。	-
TRCGRB	-	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のPWM周期を設定してください(「18.3.2 バッファ動作」参照)。	-
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「18.3.2 バッファ動作」参照)。	TRCIOB

h = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペアー一致しても端子の出力レベルは変化しません。

18.6.3 動作例

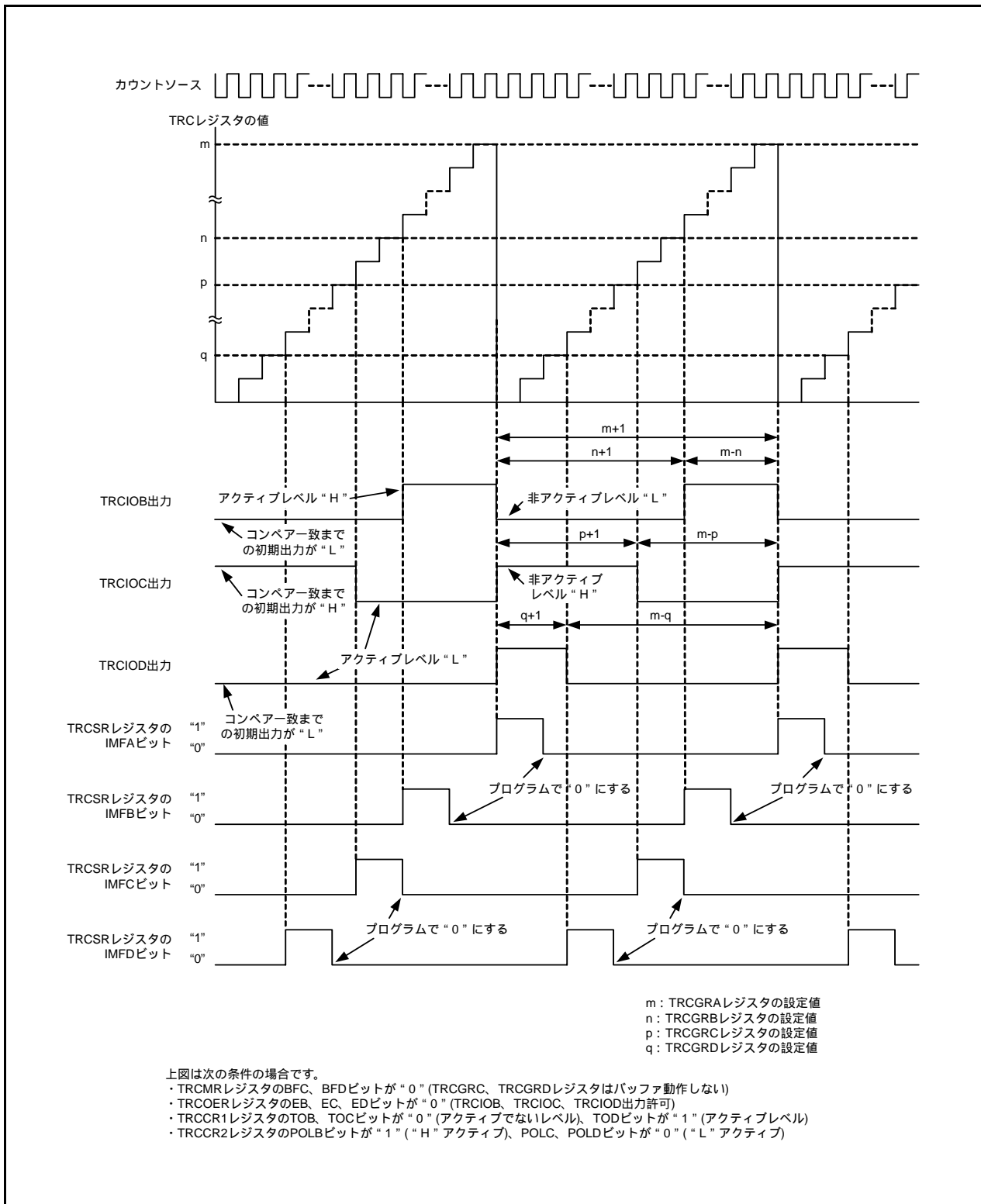


図 18.14 PWMモードの動作例

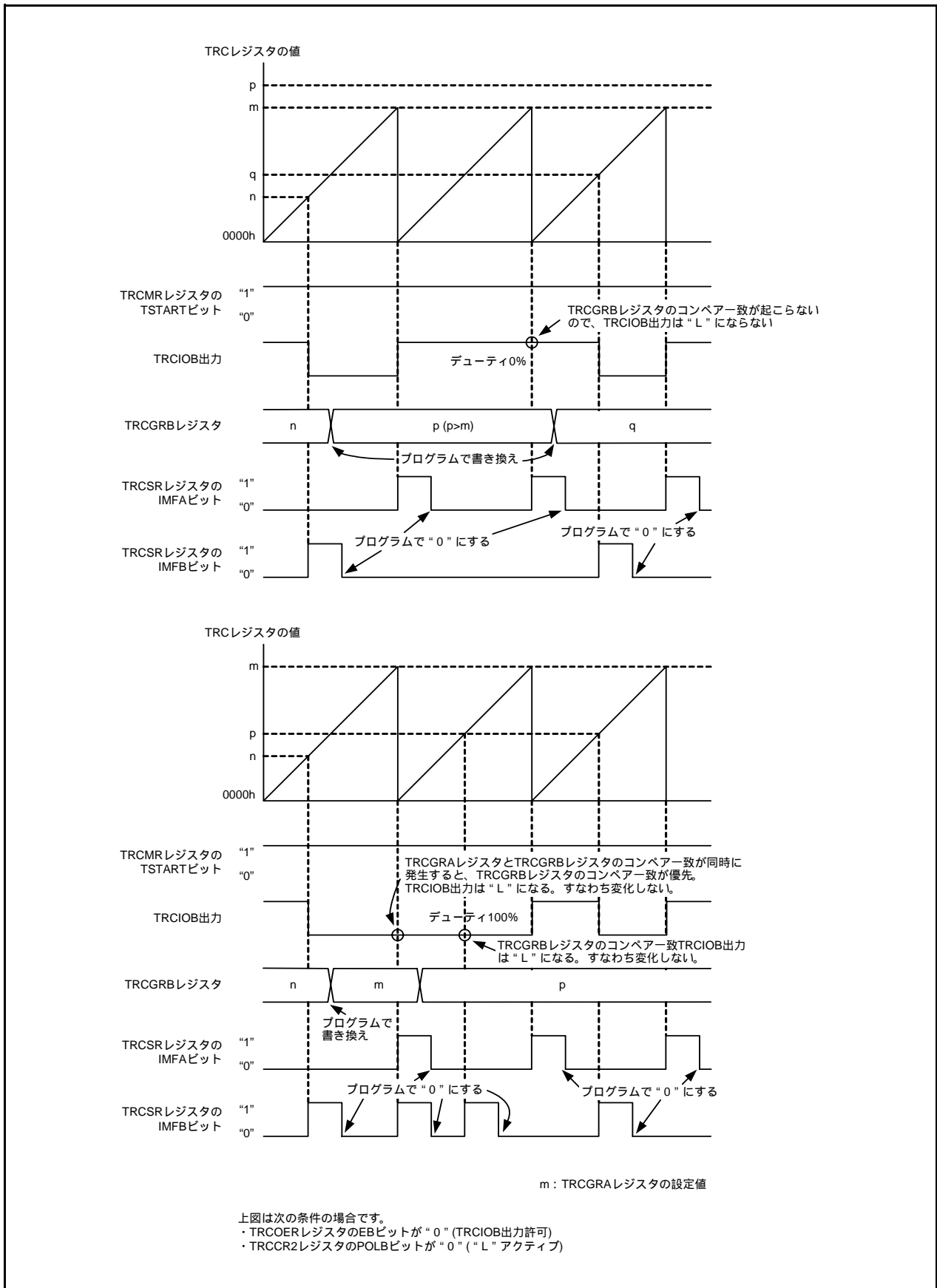


図18.15 PWMモードの動作例(デューティ0%、デューティ100%)

18.7 PWM2モード

PWM波形を1本出力します。トリガから任意のウェイト時間をおいて、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせて使用しますので、他のモードと組み合わせて使用できません。

図18.16にPWM2モードのブロック図を、表18.13にPWM2モードの仕様を、表18.14にPWM2モード時のTRCGRjレジスタの機能を、図18.17～図18.19にPWM2モードの動作例を示します。

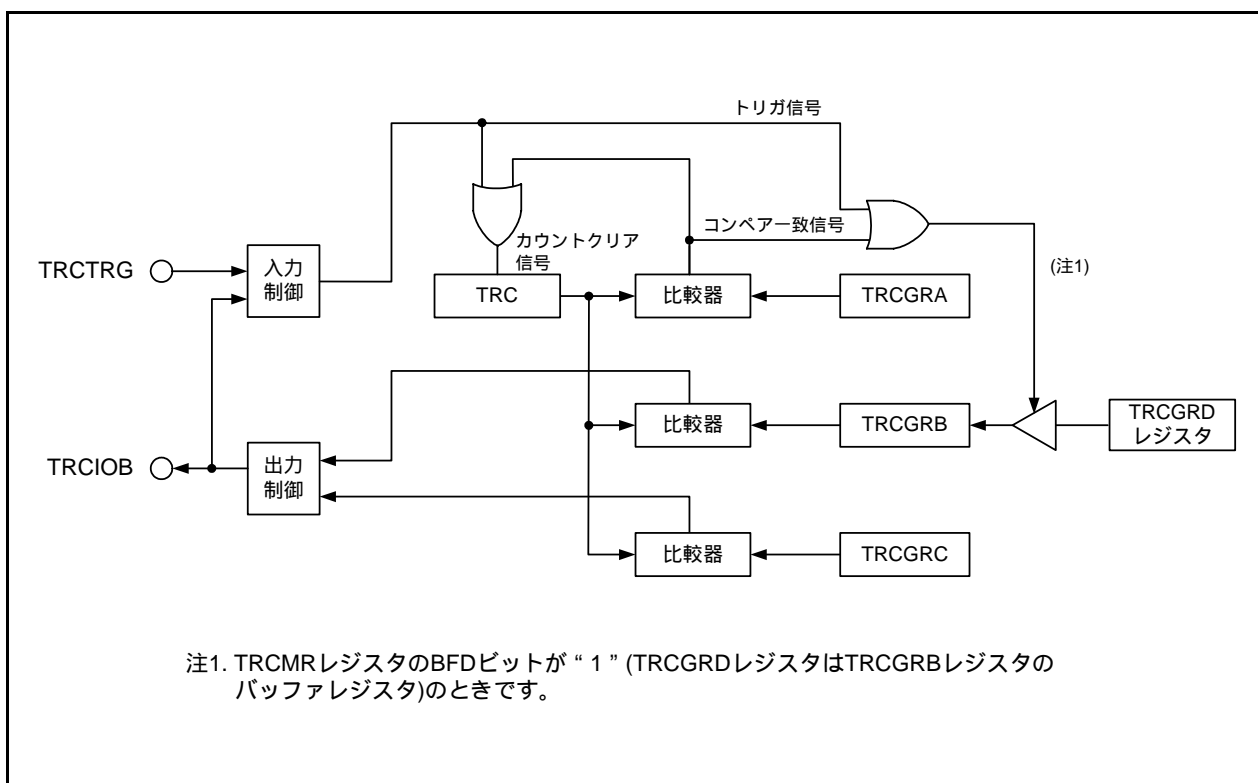


図18.16 PWM2モードのブロック図

表18.13 PWM2モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	TRCレジスタはアップカウント
PWM波形	<p>PWM周期: $1/fk \times (m+1)$ (TRCTRГ入力がない場合) アクティブレベル幅: $1/fk \times (n-p)$ カウント開始またはトリガからのウェイト時間: $1/fk \times (p+1)$ fk: カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRBレジスタ設定値 p: TRCGRCレジスタ設定値</p> <p>(TRCTRГ: 立ち上がりエッジ、アクティブレベルが“H”の場合)</p>
カウント開始条件	<ul style="list-style-type: none"> TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“00b”(TRCTRГトリガ入力禁止)またはTRCCR2レジスタのCSELビットが“0”(カウント継続)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRГトリガ入力許可)かつTRCMRレジスタのTSTARTビットが“1”(カウント開始)の場合 TRCTRГ端子にトリガ入力
カウント停止条件	<ul style="list-style-type: none"> TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み (TRCCR2レジスタのCSELビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。 TRCCR2レジスタのCSELビットが“1”の場合、TRCGRAコンペア一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。
割り込み発生タイミング	<ul style="list-style-type: none"> コンペア一致 (TRCレジスタとTRCGRjレジスタの内容が一致) TRCレジスタオーバフロー
TRCIOA/TRCTRГ端子機能	プログラマブル入出力ポート、またはTRCTRГ入力
TRCIOB端子機能	PWM出力
TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> 外部トリガと有効エッジ選択 TRCTRГ端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。 バッファ動作(「18.3.2 バッファ動作」参照) パルス出力強制遮断信号入力(「18.3.4 パルス出力強制遮断」参照) デジタルフィルタ(「18.3.3 デジタルフィルタ」参照) A/Dトリガ発生

j = A、B、Cのいずれか

18.7.1 タイマRC制御レジスタ1 (TRCCR1)[PWM2モード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0: アクティブレベル“H” (初期出力“L” TRCGRCのコンペア一致で“H”出力 TRCGRBのコンペア一致で“L”出力) 1: アクティブレベル“L” (初期出力“H” TRCGRCのコンペア一致で“L”出力 TRCGRBのコンペア一致で“H”出力)	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

18.7.2 タイマRC制御レジスタ2 (TRCCR2)[PWM2モード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウンタ継続 1 : TRCGRAレジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「18.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

18.7.3 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2モード時]

アドレス 0131h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能 選択ビット(注1)	0:機能なし 1:機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能 選択ビット(注1)		R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能 選択ビット(注1)		R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能 選択ビット(注1)		R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能 選択ビット(注2)		R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット(注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース(TRCCR1レジスタのTCK2 ~ TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

表18.14 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	-	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB (注1)	-	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC (注1)	BFC=0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	
TRCGRD	BFD=0	(PWM2モードでは使用しません)	-
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください。(「18.3.2 バッファ動作」参照)	TRCIOB端子

j = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

18.7.4 動作例

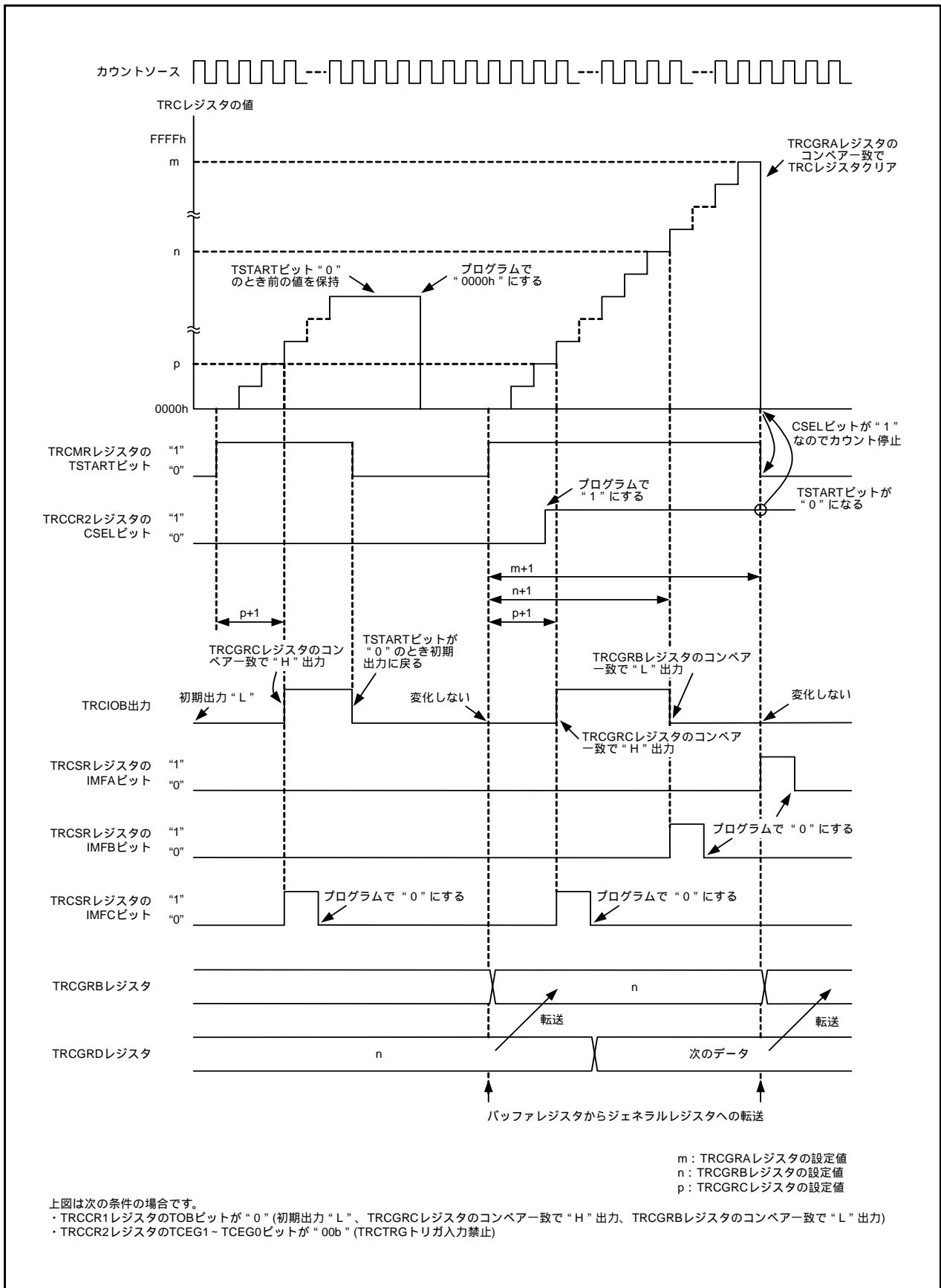


図18.17 PWM2モードの動作例 (TRCTRGTリガ入力禁止の場合)

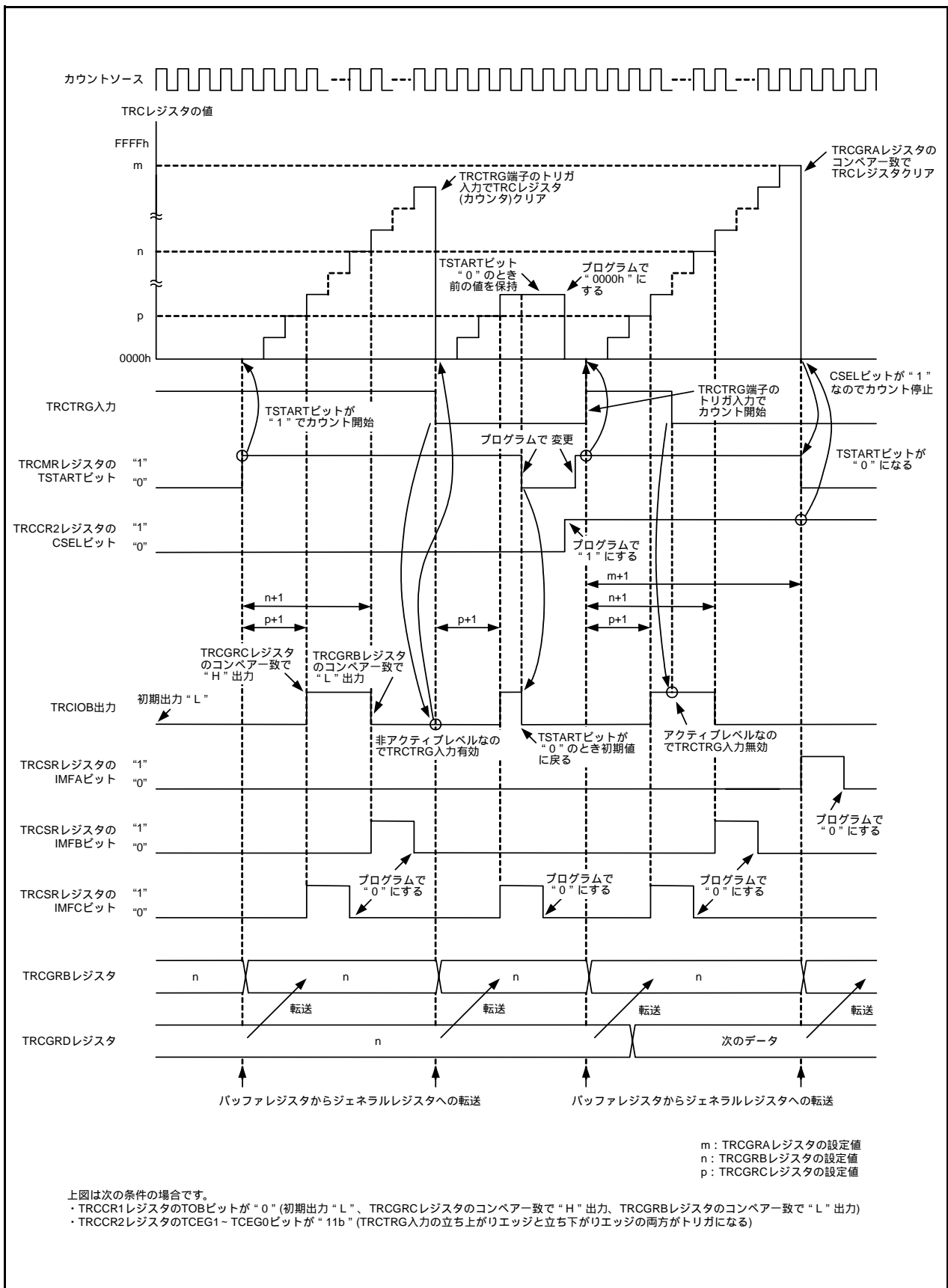


図 18.18 PWM2モードの動作例 (TRCTR トリガ入力許可の場合)

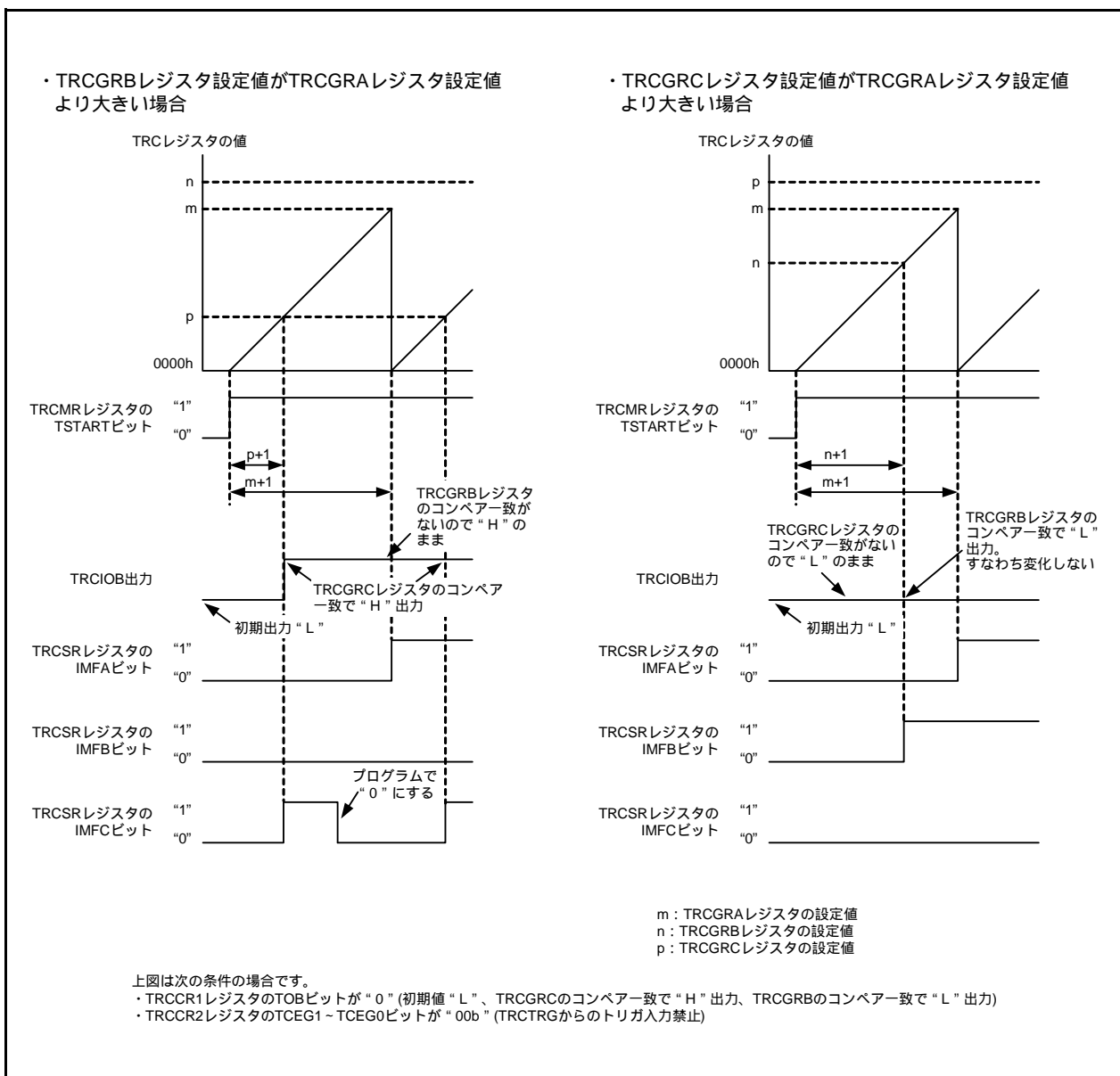


図 18.19 PWM2モードの動作例 (デューティ 0%、デューティ 100%)

18.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表18.15にタイマRC割り込み関連レジスタを、図18.20にタイマRC割り込みのブロック図を示します。

表18.15 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

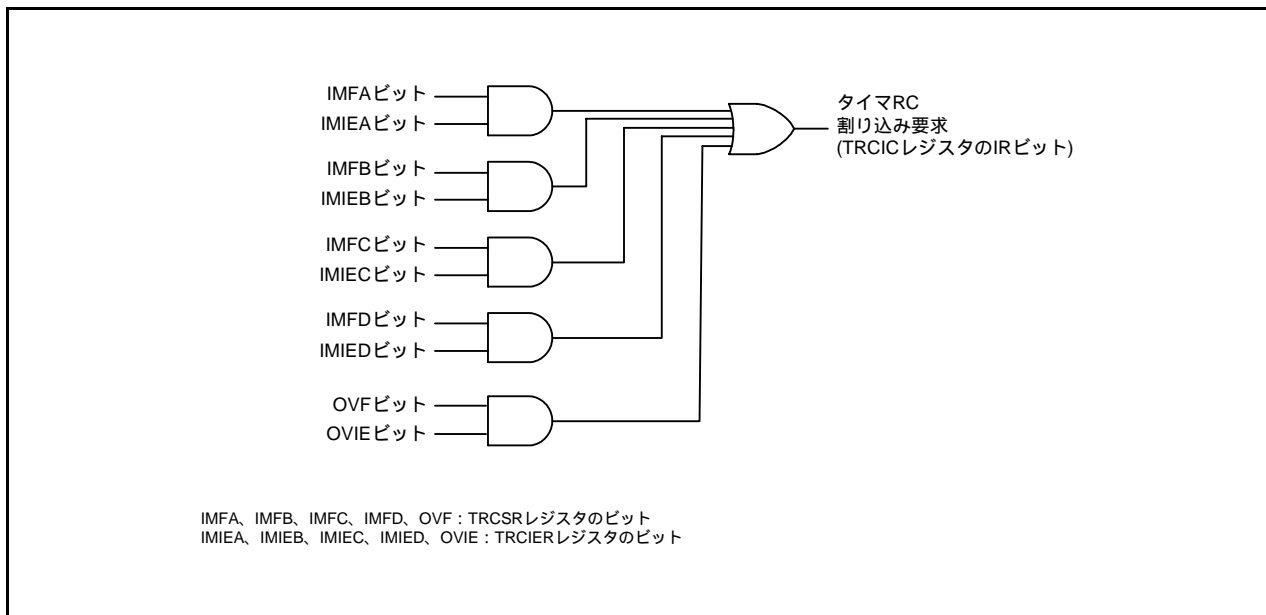


図18.20 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「18.2.5 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「18.2.4 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCICレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

18.9 タイマRC使用上の注意

18.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペアー致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.W  #XXXXh, TRC          ; 書き込み
                   JMP.B   L1              ; JMP.B命令
                   L1:    MOV.W  TRC, DATA      ; 読み出し

```

18.9.2 TRCSRレジスタ

- TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRCSR        ; 書き込み
                   JMP.B   L1              ; JMP.B命令
                   L1:    MOV.B  TRCSR, DATA    ; 読み出し

```

18.9.3 TRCCR1レジスタ

- TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

18.9.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) fOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル+fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) fOCO-Fの1サイクル+fOCO40Mの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

18.9.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。
[デジタルフィルタなしの場合]
タイマRCの動作クロックの3サイクル分以上(「表18.1 タイマRCの動作クロック」参照)
[デジタルフィルタありの場合]
デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図18.5 デジタルフィルタのブロック図」参照)
- TRCIOj(j = A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

18.9.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペアー一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペアー一致が発生するタイミングで、TRCMRレジスタに書かないでください。

18.9.7 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

19. タイマRE

タイマREは、(4ビットプリスケアラ付き)8ビットカウンタを持つタイマです。

19.1 概要

タイマREは次の2つのモードを持ちます。

- リアルタイムクロックモード fC4から1sを作り、秒、分、時、曜日をカウントするモード
- アウトプットコンペアモード カウントソースをカウントし、コンペア一致を検出するモード

タイマREのカウントソースは、タイマ動作の動作クロックになります。

表19.1にタイマREの端子構成を示します。

表19.1 タイマREの端子構成

端子名	割り当てる端子	入出力	機能
TREO	P0_4またはP6_0	出力	モードによって機能が異なります。 詳細は各モードを参照してください。

19.2 リアルタイムクロックモード

fC4から2分周器、4ビットカウンタ、8ビットカウンタを使って1sを作り、それを元に秒、分、時、曜日をカウントするモードです。図19.1にリアルタイムクロックモードのブロック図を、表19.2にリアルタイムクロックモードの仕様を、表19.3に割り込み要因を、図19.2に時間表現の定義を、図19.3にリアルタイムクロックモードの動作例を示します。

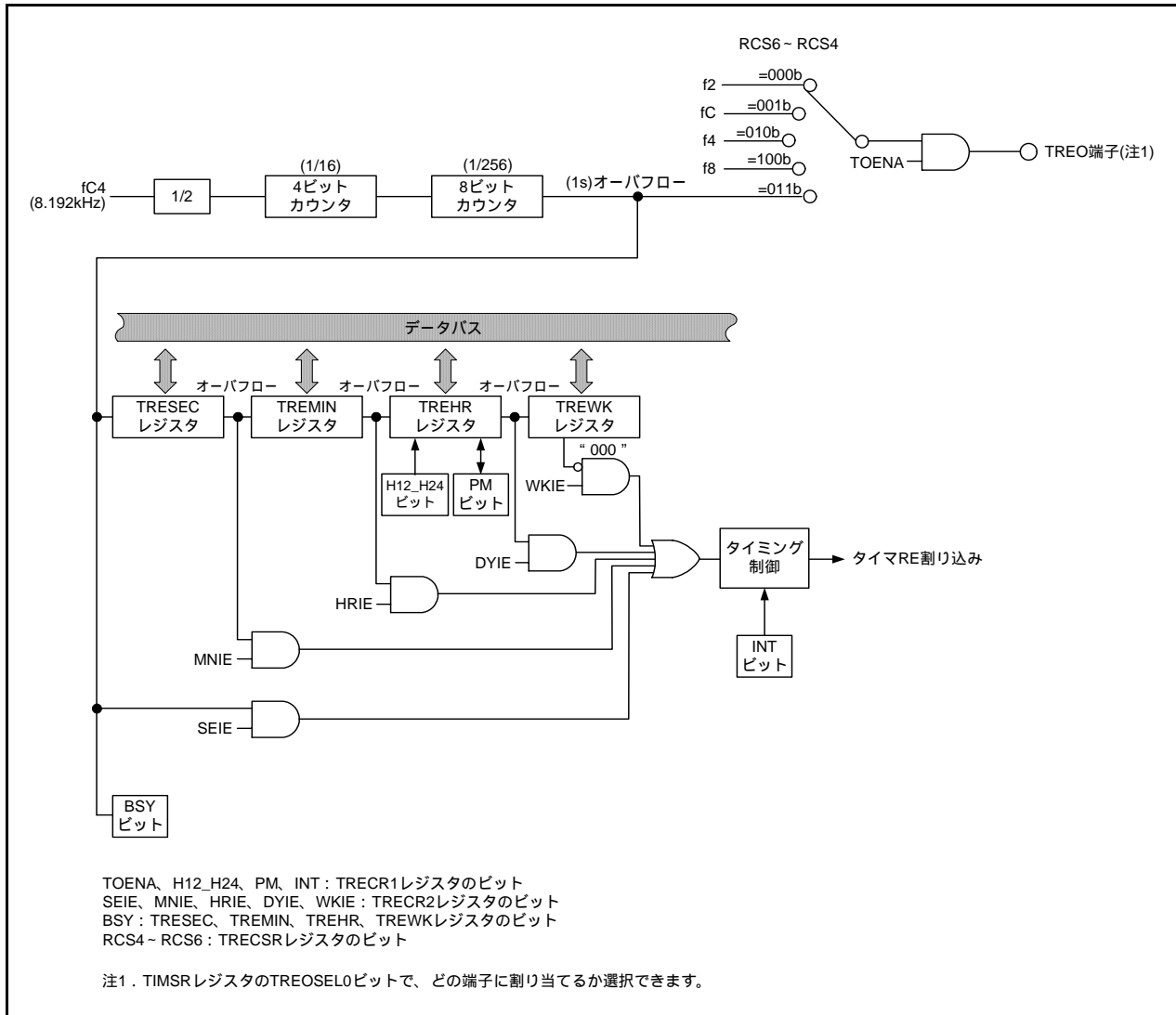


図19.1 リアルタイムクロックモードのブロック図

表19.2 リアルタイムクロックモードの仕様

項目	仕様
カウントソース	fC4
カウント動作	アップカウント
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	次のうち、いずれか1つを選択 <ul style="list-style-type: none"> • 秒データの更新 • 分データの更新 • 時データの更新 • 曜日データの更新 • 曜日データが“000b”(日曜日)になったとき
TREO端子機能	プログラマブル入出力ポート、またはf2、fC、f4、f8、1Hzのいずれかを出力
タイマの読み出し	TRESEC、TREMINT、TREHR、TREWKレジスタを読むと、カウント値が読める。TRESEC、TREMINT、TREHRレジスタの値はBCDコード。
タイマの書き込み	TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のときTRESEC、TREMINT、TREHR、TREWKレジスタに書き込める。TRESEC、TREMINT、TREHRレジスタへ書き込む値はBCDコード。
選択機能	<ul style="list-style-type: none"> • 12時間モード/24時間モード切り替え機能 • TREO端子選択機能 TIMSRレジスタのTRESSEL0ビットでP0_4またはP6_0を選択

19.2.1 タイマRE秒データレジスタ(TRESEC)[リアルタイムクロックモード時]

アドレス 0118h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	SC00	秒一位カウントビット	1秒ごとに0から9をカウント。桁上がりが発生すると、秒十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	SC01				R/W
b2	SC02				R/W
b3	SC03				R/W
b4	SC10	秒十位カウントビット	0から5をカウントして、60秒をカウント	0 ~ 5 (BCDコード)	R/W
b5	SC11				R/W
b6	SC12				R/W
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります		R

19.2.2 タイマRE分データレジスタ(TREMIN)[リアルタイムクロックモード時]

アドレス 0119h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MN00	分一位カウントビット	1分ごとに0から9をカウント。桁上がりが発生すると、分十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	MN01				R/W
b2	MN02				R/W
b3	MN03				R/W
b4	MN10	分十位カウントビット	0から5をカウントして、60分をカウント	0 ~ 5 (BCDコード)	R/W
b5	MN11				R/W
b6	MN12				R/W
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります		R

19.2.3 タイマRE時データレジスタ(TREHR)[リアルタイムクロックモード時]

アドレス 011Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	-	HR11	HR10	HR03	HR02	HR01	HR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	HR00	時一位カウントビット	1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	HR01				R/W
b2	HR02				R/W
b3	HR03				R/W
b4	HR10	時十位カウントビット	H12_H24ビットが“0”(12時間モード)のとき、0から1をカウント。 H12_H24ビットが“1”(24時間モード)のとき、0から2をカウント。	0 ~ 2 (BCDコード)	R/W
b5	HR11				R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			-
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります		R

19.2.4 タイマRE曜日データレジスタ(TREWK)[リアルタイムクロックモード時]

アドレス 011Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	-	-	-	-	WK2	WK1	WK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WK0	曜日カウントビット	b2 b1 b0 000:日 001:月 010:火 011:水 100:木 101:金 110:土 111:設定しないでください	R/W
b1	WK1			R/W
b2	WK2			R/W
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	-	-		
b5	-	-		
b6	-	-		
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります	R

19.2.5 タイマRE制御レジスタ1 (TRECRC1)[リアルタイムクロックモード時]

アドレス 011Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	R
b2	TOENA	TREO端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	R/W
b3	INT	割り込み要求タイミングビット	リアルタイムクロックモードでは“1”にしてください	R/W
b4	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMIN、TREHR、TREWK、TRECRC2レジスタが“00h” • TRECRC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h”	R/W
b5	PM	午前/午後ビット	H12_H24ビットが“0”(12時間モード)のとき(注1) 0: 午前 1: 午後 H12_H24ビットが“1”(24時間モード)のとき、不定	R/W
b6	H12_H24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	R/W
b7	TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	R/W

注1. タイマREがカウント中、自動的に変化します。

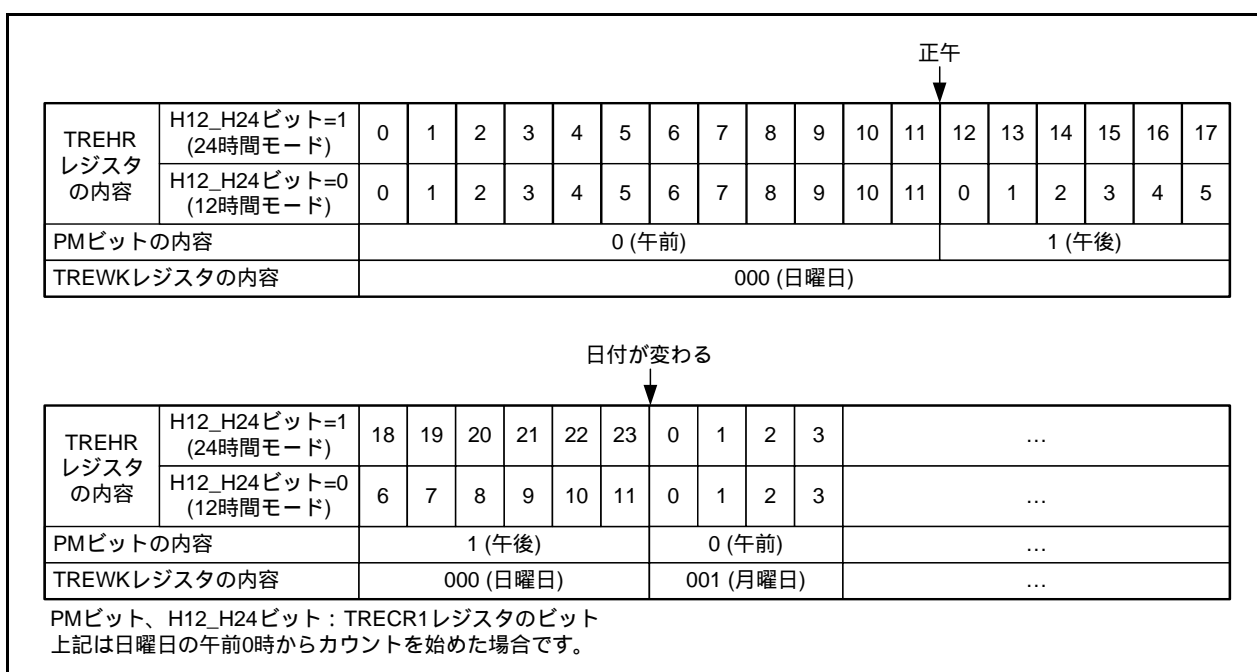


図19.2 時間表現の定義

19.2.6 タイマRE制御レジスタ2 (TRECRC2)[リアルタイムクロックモード時]

アドレス 011Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEIE	秒周期割り込み許可ビット(注1)	0:秒周期割り込み禁止 1:秒周期割り込み許可	R/W
b1	MNIE	分周期割り込み許可ビット(注1)	0:分周期割り込み禁止 1:分周期割り込み許可	R/W
b2	HRIE	時周期割り込み許可ビット(注1)	0:時周期割り込み禁止 1:時周期割り込み許可	R/W
b3	DYIE	日周期割り込み許可ビット(注1)	0:日周期割り込み禁止 1:日周期割り込み許可	R/W
b4	WKIE	週周期割り込み許可ビット(注1)	0:週周期割り込み禁止 1:週周期割り込み許可	R/W
b5	COMIE	コンペア一致割り込み許可ビット	リアルタイムクロックモードでは“0”にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			-

注1. 複数の許可ビットを“1”(割り込み許可)にしないでください。

表19.3 割り込み要因

要因名	割り込み要因	割り込み許可ビット
週周期割り込み	TREWKレジスタの値が“000b”(日曜日)になる(1週間周期)	WKIE
日周期割り込み	TREWKレジスタが更新(1日周期)される	DYIE
時周期割り込み	TREHRレジスタが更新(1時間周期)される	HRIE
分周期割り込み	TREMINレジスタが更新(1分周期)される	MNIE
秒周期割り込み	TRESECレジスタが更新(1秒周期)される	SEIE

19.2.7 タイマREカウントソース選択レジスタ(TRECSR)[リアルタイムクロックモード時]

アドレス 011Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RCS6	RCS5	RCS4	RCS3	RCS2	RCS1	RCS0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCS0	カウントソース選択ビット	リアルタイムクロックモードでは“00b”にしてください	R/W
b1	RCS1			R/W
b2	RCS2	4ビットカウンタ選択ビット	リアルタイムクロックモードでは“0”にしてください	R/W
b3	RCS3	リアルタイムクロックモード選択ビット	リアルタイムクロックモードでは“1”にしてください	R/W
b4	RCS4	クロック出力選択ビット(注1)	b6 b5 b4 0 0 0 : f2 0 0 1 : fC 0 1 0 : f4 0 1 1 : 1Hz 1 0 0 : f8 上記以外：設定しないでください	R/W
b5	RCS5			R/W
b6	RCS6			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. RCS4～RCS6ビットは、TRECR1レジスタのTOENAビットが*0(クロック出力禁止)のとき、書いてください。

19.2.8 タイマ端子選択レジスタ(TIMSR)

アドレス 0186h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	TREOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TREOSEL0	TREO端子選択ビット	0 : P0_4に割り当てる 1 : P6_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

19.2.9 動作例

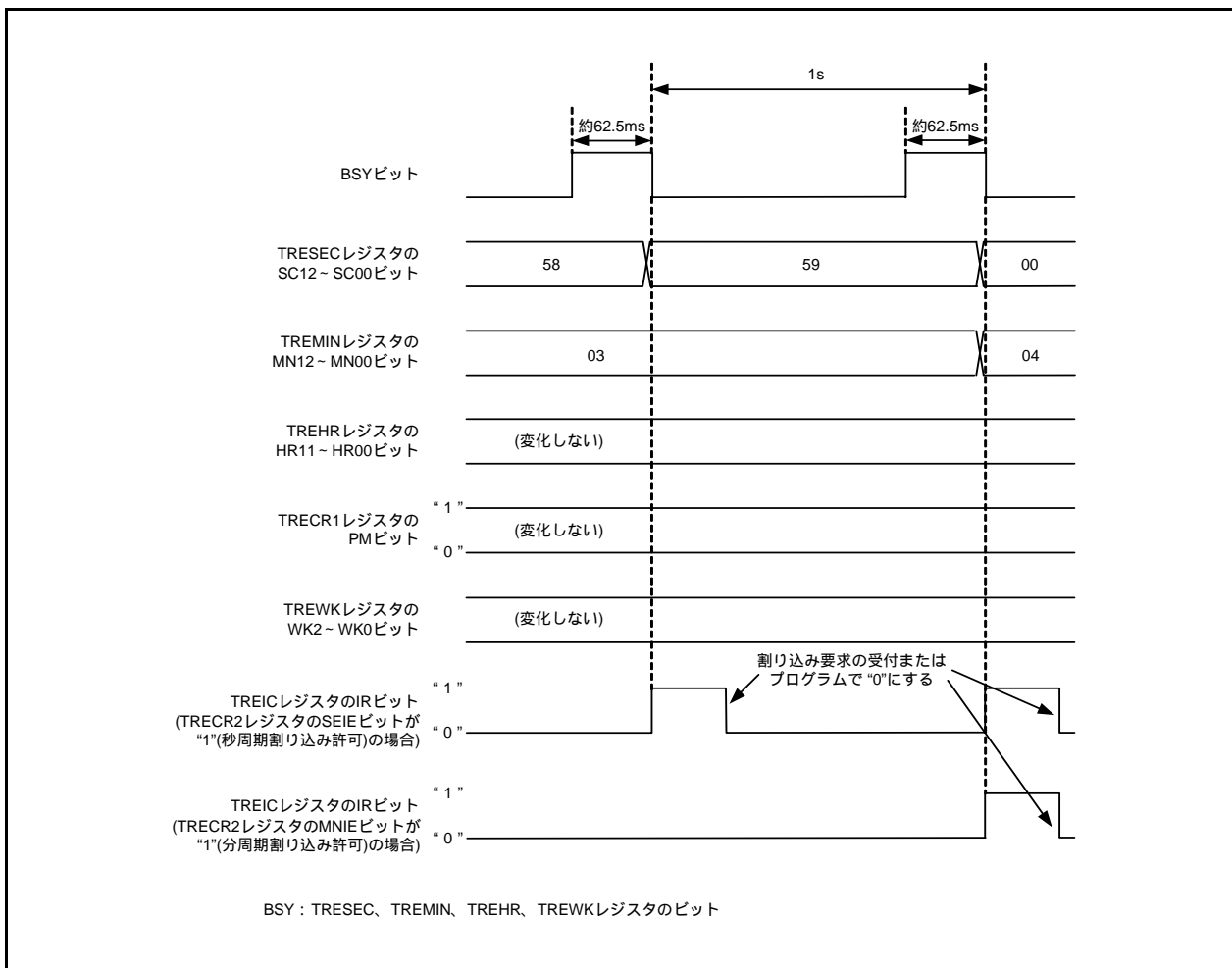


図19.3 リアルタイムクロックモードの動作例

19.3 アウトプットコンペアモード

カウントソースを2分周したものを、4ビットカウンタ、8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図19.4にアウトプットコンペアモードのブロック図を、表19.4にアウトプットコンペアモードの仕様を、図19.5にアウトプットコンペアモードの動作例を示します。

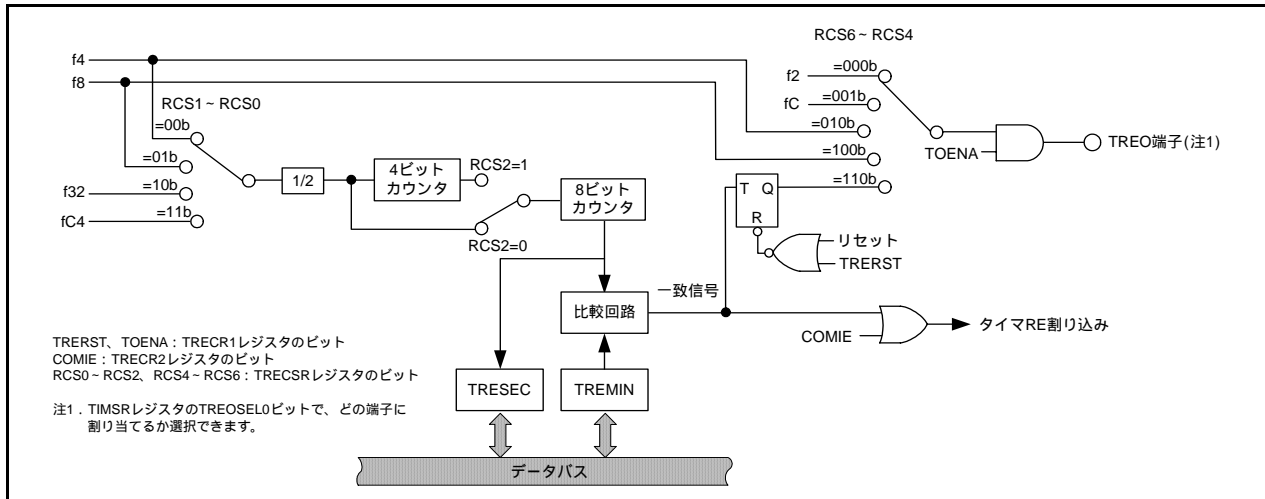


図19.4 アウトプットコンペアモードのブロック図

表19.4 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f4、f8、f32、fC4
カウント動作	<ul style="list-style-type: none"> アップカウント 8ビットカウンタは、値がTREMINTレジスタの内容と一致すると、値が“00h”に戻り、カウントを継続。カウント停止中はカウント値を保持。
カウント周期	<ul style="list-style-type: none"> RCS2=0(4ビットカウンタ使用しない)の場合 $1/f_i \times 2 \times (n + 1)$ RCS2=1(4ビットカウンタ使用する)の場合 $1/f_i \times 32 \times (n + 1)$ f _i : カウントソースの周波数 n: TREMINレジスタの設定値
カウント開始条件	TREC1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TREC1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	8ビットカウンタの内容とTREMINTレジスタの内容が一致したとき
TREO端子機能	次のいずれかを選択 <ul style="list-style-type: none"> プログラマブル入出力ポート f2、fC、f4、f8のいずれかを出力 コンペア出力
タイマの読み出し	TRESECレジスタを読むと、8ビットカウンタの値が読める。 TREMINTレジスタを読むと、コンペア値が読める。
タイマの書き込み	TRESECレジスタへの書き込みはできない。 TREC1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のとき、TREMINTレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> 4ビットカウンタ使用選択 コンペア出力機能 8ビットカウンタ値とTREMINTレジスタの内容が一致するごとにTREO出力極性を反転。リセット解除後と、TREC1のTRERSTビットによるタイマREリセット後は“L”出力。TSTARTビットを“0”(カウント停止)にすると出力レベルを保持。 TREO端子選択機能 TIMSRレジスタのTRESSEL0ビットでP0_4またはP6_0を選択

19.3.1 タイマREカウンタデータレジスタ(TRESEC)[アウトプットコンペアモード時]

アドレス 0118h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7 ~ b0	8ビットのカウンタデータが読めます。 タイマREのカウンタが停止しても、カウンタ値は保持されます。 コンペア一致で、TRESECレジスタは“00h”になります。	R

19.3.2 タイマREコンペアデータレジスタ(TREMIN)[アウトプットコンペアモード時]

アドレス 0119h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7 ~ b0	8ビットのコンペアデータを格納	R/W

19.3.3 タイマRE制御レジスタ1 (TRECRC1)[アウトプットコンペアモード時]

アドレス 011Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	TCSTF	タイマREカウントステータスフラグ	0：カウント停止中 1：カウント中	R
b2	TOENA	TREO端子出力許可ビット	0：クロック出力禁止 1：クロック出力許可	R/W
b3	INT	割り込み要求タイミングビット	アウトプットコンペアモードでは“0”にしてください	R/W
b4	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMINT、TREHR、TREWK、TRECRC2レジスタが“00h” • TRECRC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h”	R/W
b5	PM	午前/午後ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b6	H12_H24	動作モード選択ビット		R/W
b7	TSTART	タイマREカウント開始ビット	0：カウント停止 1：カウント開始	R/W

19.3.4 タイマRE制御レジスタ2 (TRECRC2)[アウトプットコンペアモード時]

アドレス 011Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEIE	秒周期割り込み許可ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b1	MNIE	分周期割り込み許可ビット		R/W
b2	HRIE	時周期割り込み許可ビット		R/W
b3	DYIE	日周期割り込み許可ビット		R/W
b4	WKIE	週周期割り込み許可ビット		R/W
b5	COMIE	コンペア一致割り込み許可ビット	0：コンペア一致割り込み禁止 1：コンペア一致割り込み許可	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			-

19.3.5 タイマREカウントソース選択レジスタ(TRECSR)[アウトプットコンペアモード時]

アドレス 011Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RCS6	RCS5	RCS4	RCS3	RCS2	RCS1	RCS0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCS0	カウントソース選択ビット(注1)	b1 b0 00 : f4 01 : f8 10 : f32 11 : fC4	R/W
b1	RCS1			R/W
b2	RCS2	4ビットカウンタ選択ビット(注1)	0 : 使用しない 1 : 使用する	R/W
b3	RCS3	リアルタイムクロックモード選択ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b4	RCS4	クロック出力選択ビット(注2)	b6 b5 b4 000 : f2 001 : fC 010 : f4 100 : f8 110 : コンペア出力 上記以外 : 設定しないでください	R/W
b5	RCS5			R/W
b6	RCS6			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. RCS0 ~ RCS2ビットは、TRECR1レジスタのTCSTFビットが“0”(カウント停止中)のとき、書いてください。

注2. RCS4 ~ RCS6ビットは、TRECR1レジスタのTOENAビットが“0”(クロック出力禁止)のとき、書いてください。

19.3.6 タイマ端子選択レジスタ(TIMSR)

アドレス 0186h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	TREOSELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TREOSELO	TREO端子選択ビット	0 : P0_4に割り当てる 1 : P6_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

19.3.7 動作例

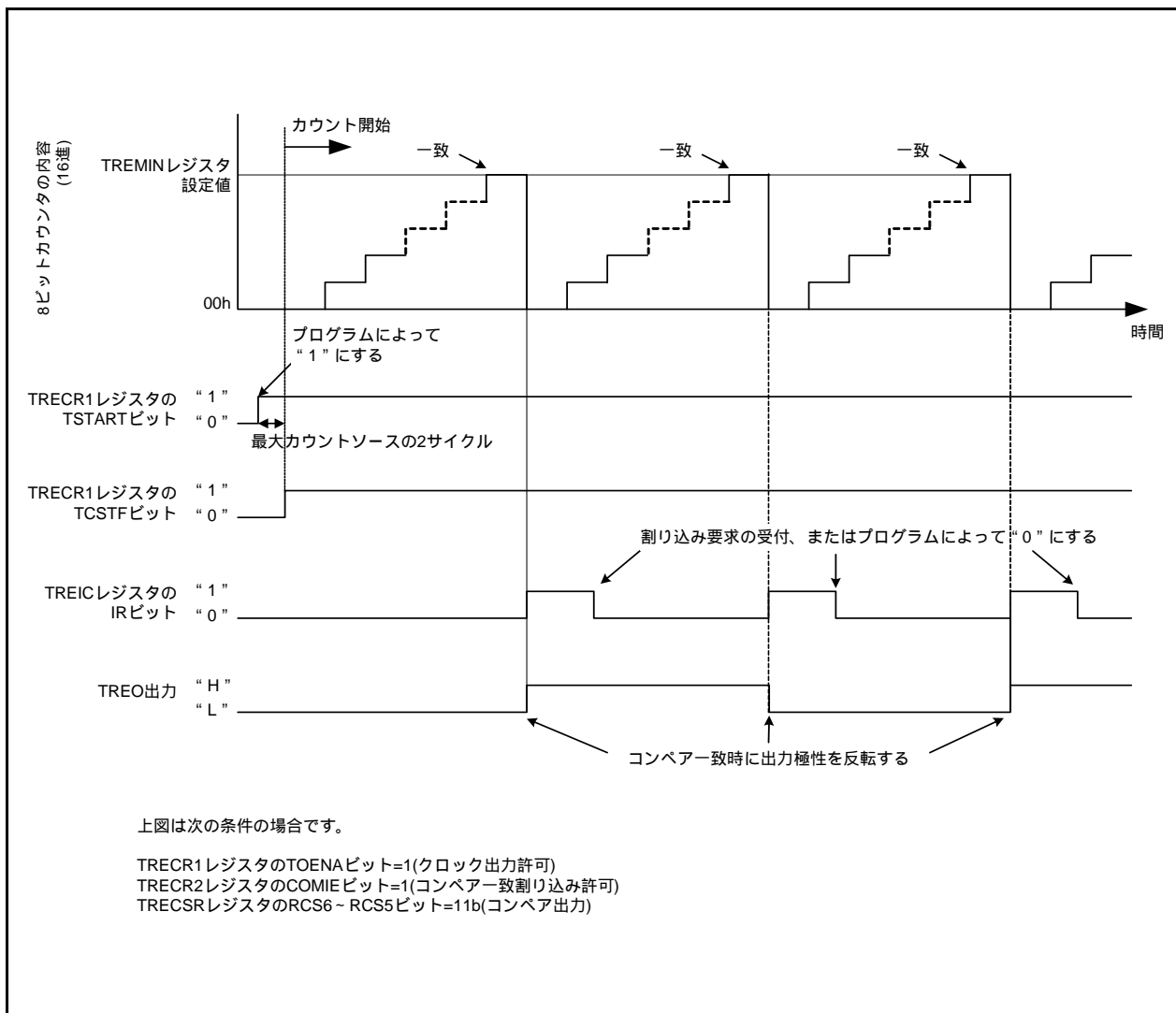


図 19.5 アウトプットコンペアーモードの動作例

19.4 タイマRE使用上の注意

19.4.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ: TRESEC、TREMINT、TREHR、TREWK、TRECRI、TRECRI2、TRECSCR

19.4.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRI2レジスタ
- TRECRIレジスタのH12_H24ビット、PMビット、INTビット
- TRECSCRレジスタのRCS0～RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRI2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図19.6にリアルタイムクロックモード時の設定例を示します。

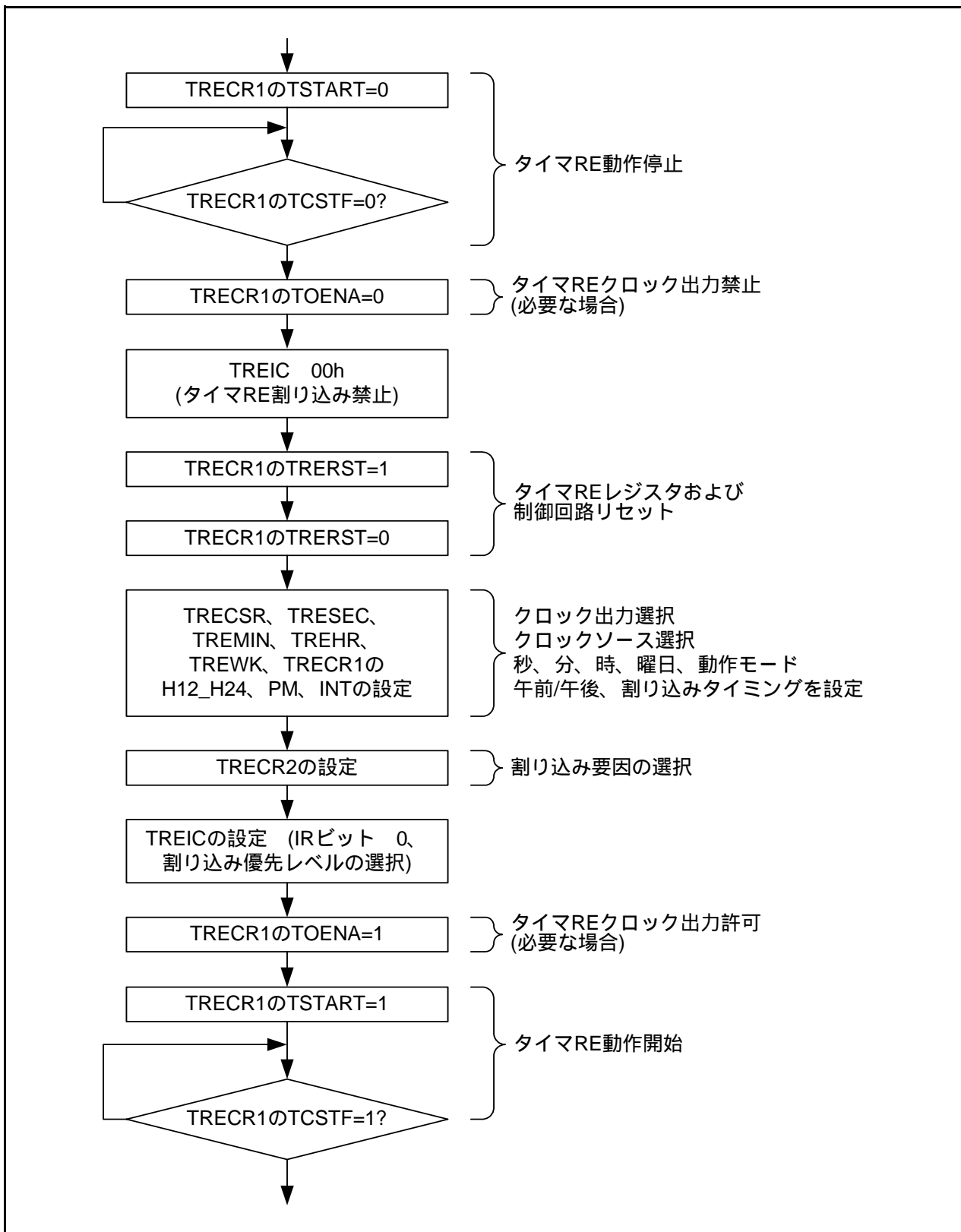


図 19.6 リアルタイムクロックモード時の設定例

19.4.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

20. シリアルインタフェース(UART0)

シリアルインタフェースはUART0、UART2の2チャンネルで構成しています。本章はUART0について説明します。

20.1 概要

UART0はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図20.1にUART0のブロック図を、図20.2に送受信部のブロック図を、表20.1にUART0の端子構成を示します。

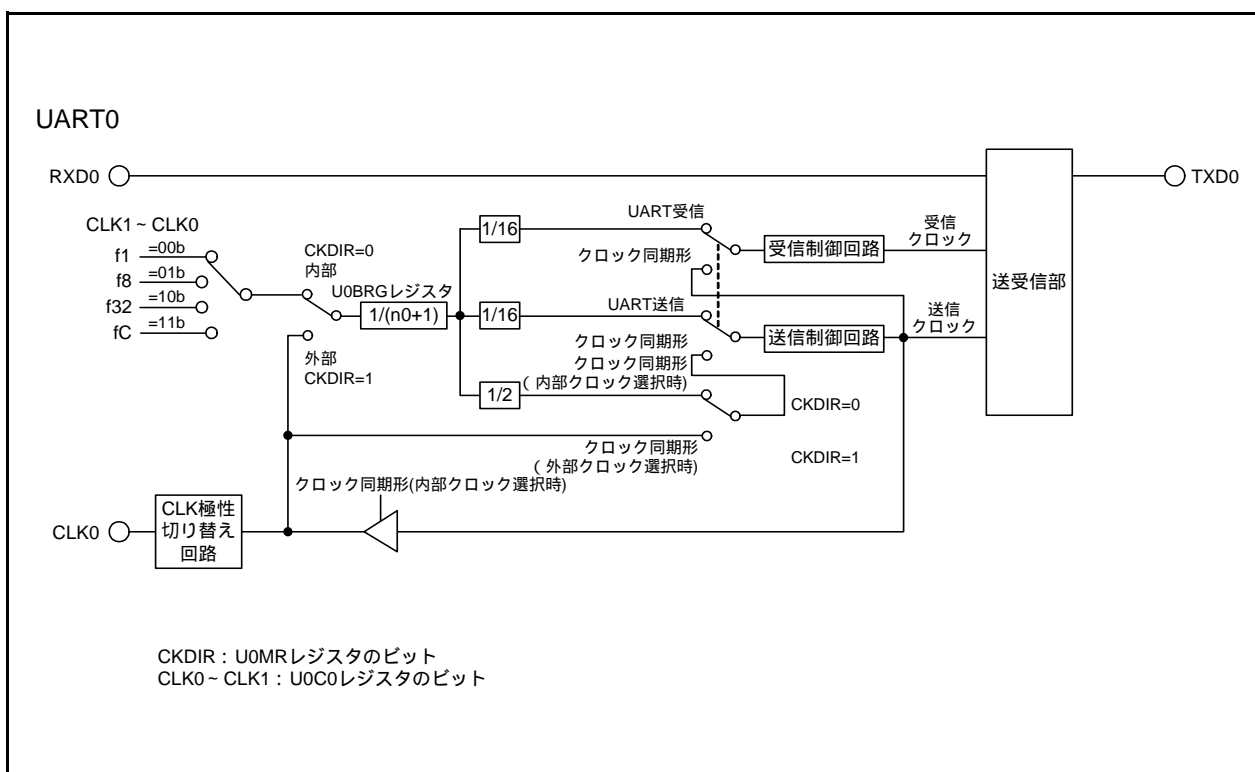


図20.1 UART0のブロック図

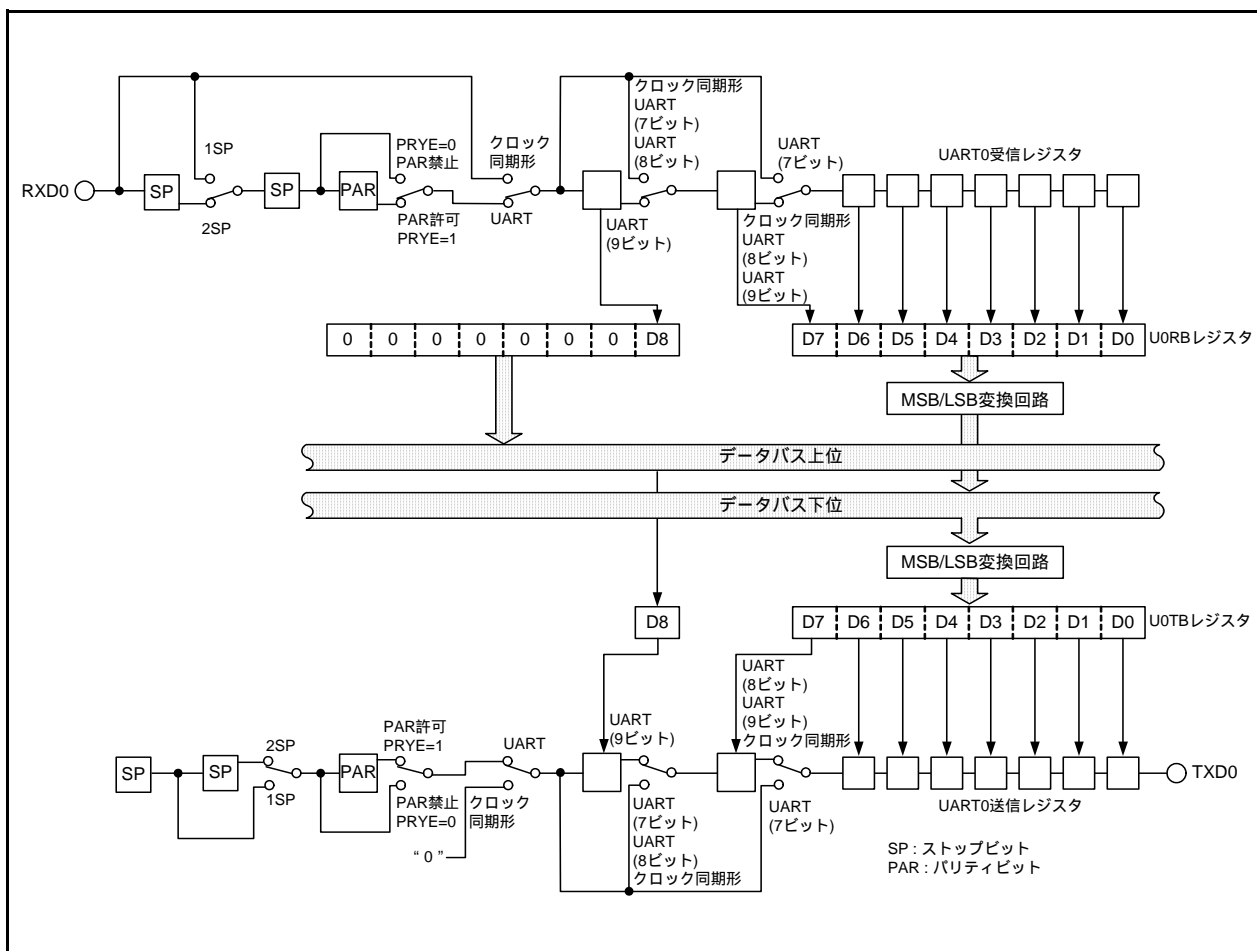


図20.2 送受信部のブロック図

表20.1 UART0の端子構成

端子名	割り当てる端子	入出力	機能
TXD0	P1_4	出力	シリアルデータ出力
RXD0	P1_5	入力	シリアルデータ入力
CLK0	P1_6	入出力	転送クロック入出力

20.2 レジスタの説明

20.2.1 UART0送受信モードレジスタ(U0MR)

アドレス 00A0h番地(U0MR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	-	予約ビット	"0" にしてください	R/W

20.2.2 UART0ビットレートレジスタ(U0BRG)

アドレス 00A1h番地(U0BRG)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7 ~ b0	設定値をnとすると、U0BRGはカウントソースをn+1分周する	00h ~ FFh	W

U0BRGレジスタは、送受信停止中に書いてください。

U0BRGレジスタは、MOV命令を使用して書いてください。

U0C0レジスタのCLK0 ~ CLK1ビットを設定した後、U0BRGレジスタに書いてください。

20.2.3 UART0送信バッファレジスタ(U0TB)

アドレス 00A3h ~ 00A2h番地(U0TB)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	-	送信データ	W
b1	-		
b2	-		
b3	-		
b4	-		
b5	-		
b6	-		
b7	-		
b8	-		
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-
b10	-		
b11	-		
b12	-		
b13	-		
b14	-		
b15	-		

転送データ長が9ビットの場合、U0TBレジスタの上位バイト 下位バイトの順で書いてください。
U0TBレジスタはMOV命令を使用して書いてください。

20.2.4 UART0送受信制御レジスタ0 (U0C0)

アドレス 00A4h番地(U0C0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	-	TXEPT	-	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	BRGカウントソース選択ビット (注1)	b1 b0 00 : f1を選択 01 : f8選択 10 : f32を選択 11 : fCを選択	R/W
b1	CLK1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	R
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	NCH	データ出力選択ビット	0 : TXD0端子はCMOS出力 1 : TXD0端子はNチャンネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	R/W

注1. BRGカウントソースを変更した場合は、U0BRGレジスタを再設定してください。

20.2.5 UART0送受信制御レジスタ1 (U0C1)

アドレス 00A5h番地(U0C1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	U0RRM	U0IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	R/W
b1	TI	送信バッファ空フラグ	0 : U0TBにデータあり 1 : U0TBにデータなし	R
b2	RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	R/W
b3	RI	受信完了フラグ(注1)	0 : U0RBにデータなし 1 : U0RBにデータあり	R
b4	U0IRS	UART0送信割り込み要因選択ビット	0 : 送信バッファ空(TI=1) 1 : 送信完了(TXEPT=1)	R/W
b5	U0RRM	UART0連続受信モード許可ビット (注2)	0 : 連続受信モード禁止 1 : 連続受信モード許可	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

注1. RIビットはU0RBレジスタの上位バイトを読み出したとき、“0”になります。

注2. UARTモード時、U0RRMビットは“0”(連続受信モード禁止)にしてください。

20.2.6 UART0受信バッファレジスタ(U0RB)

アドレス 00A7h ~ 00A6h番地(U0RB)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-		受信データ(D7 ~ D0)	R
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			
b8	-		受信データ(D8)	R
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b10	-			
b11	-			
b12	OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0: エラーなし 1: エラー発生	R

注1. SUM、PER、FER、OERビットは、U0MRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU0C1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはU0RBレジスタの上位バイトを読み出したとき、“0”になります。

U0MRレジスタのSMD2 ~ SMD0ビットを“000b”にするときは、U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. U0MRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

U0RBレジスタは必ず16ビット単位で読み出してください。

20.2.7 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK0SELO	-	RXD0SELO	-	TXD0SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SELO	TXD0端子選択ビット	0 : TXD0端子は使用しない 1 : P1_4に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	RXD0SELO	RXD0端子選択ビット	0 : RXD0端子は使用しない 1 : P1_5に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	CLK0SELO	CLK0端子選択ビット	0 : CLK0端子は使用しない 1 : P1_6に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

20.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表20.2にクロック同期形シリアルI/Oモードの仕様を、表20.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)を示します。

表20.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	•転送データ長 8ビット
転送クロック	•U0MRレジスタのCKDIRビットが“0”(内部クロック) : $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}, f_C$ $n=U0BRG$ レジスタの設定値 00h ~ FFh •CKDIRビットが“1”(外部クロック) : CLK0端子からの入力
送信開始条件	•送信開始には、以下の条件が必要です(注1)。 U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
受信開始条件	•受信開始には、以下の条件が必要です(注1)。 U0C1レジスタのREビットが“1”(受信許可) U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
割り込み要求発生タイミング	•送信する場合、次の条件のいずれかを選択できます。 -U0IRSビットが“0”(送信バッファ空) : U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) -U0IRSビットが“1”(送信完了) : UART0送信レジスタからデータ送信完了時 •受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	•オーバランエラー(注2) U0RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	•CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 •LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択 •連続受信モード選択 U0RBレジスタを読み出す動作により、同時に受信許可状態になる

注1. 外部クロックを選択している場合、U0C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態)で条件を満たしてください。

注2. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0 ~ b8)は不定になります。またS0RICレジスタのIRビットは変化しません。

表20.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U0TB	b0 ~ b7	送信データを設定してください
U0RB	b0 ~ b7	受信データが読めます
	OER	オーバランエラーフラグ
U0BRG	b0 ~ b7	ビットレートを設定してください
U0MR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
U0C0	CLK1 ~ CLK0	U0BRGレジスタのカウンタソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U0C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表20.4にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表20.4 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット=1 (受信だけを行うときはTXD0SEL0ビット=0と設定することで、P1_4をポートとして使用可)
RXD0(P1_5)	シリアルデータ入力	U0SRレジスタのRXD0SEL0ビット=1 PD1レジスタのPD1_5ビット=0 (送信だけを行うときはRXD0SEL0ビット=0と設定することで、P1_5をポートとして使用可)
CLK0(P1_6)	転送クロック出力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0

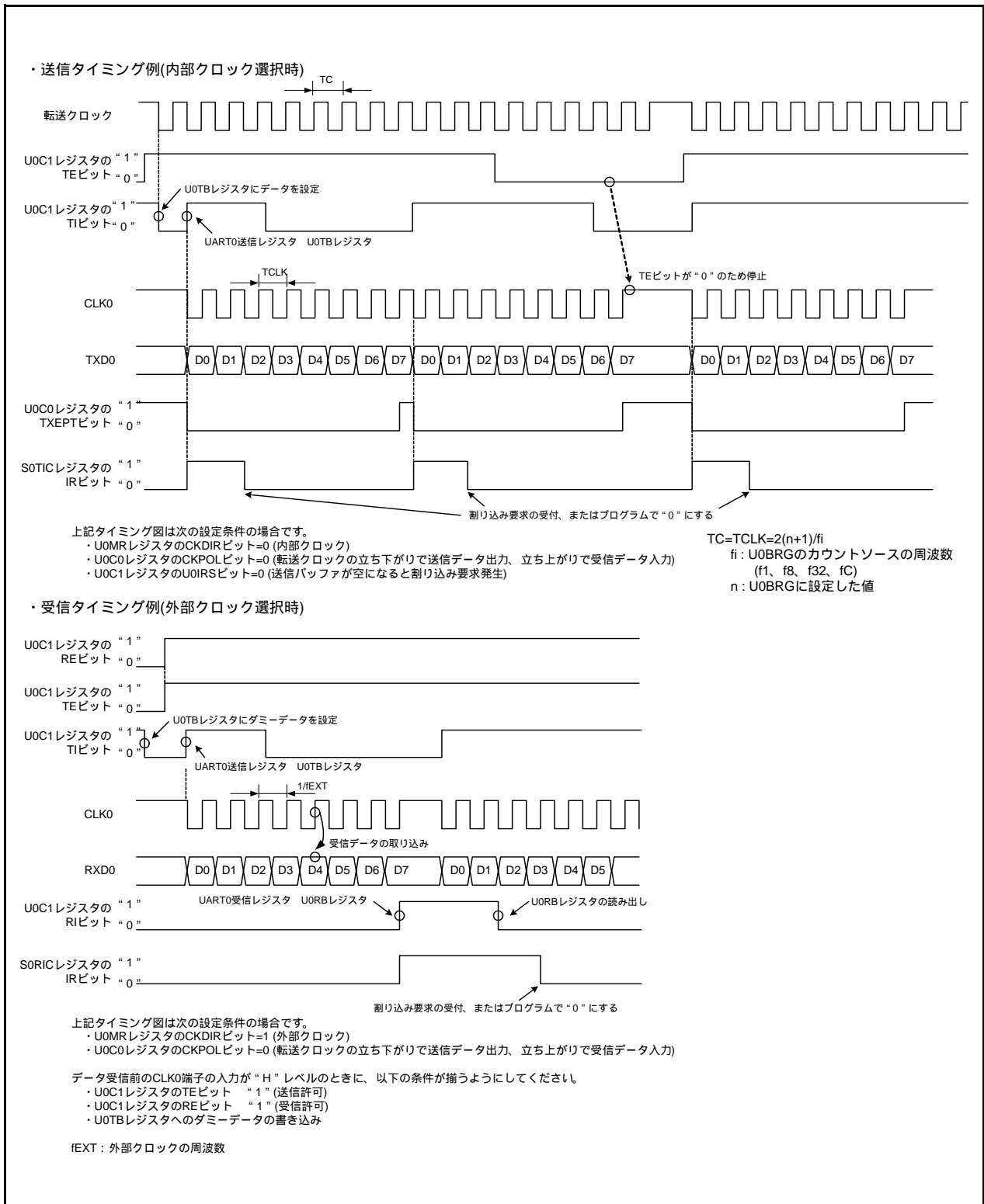


図 20.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

20.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U0MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U0MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U0C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

20.3.2 極性選択機能

図20.4に転送クロックの極性を示します。U0C0レジスタのCKPOLビットによって転送クロックの極性を選択できます。

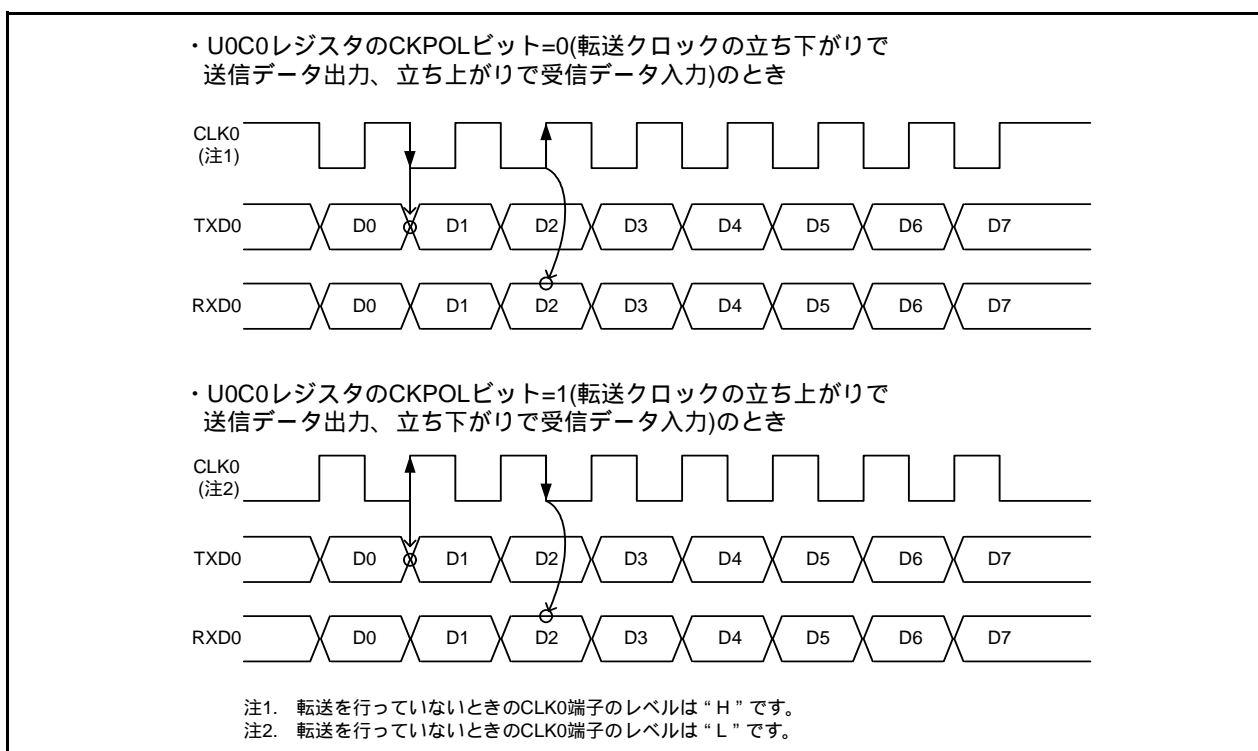


図20.4 転送クロックの極性

20.3.3 LSBファースト、MSBファースト選択

図20.5に転送フォーマットを示します。U0C0レジスタのUFORMビットで転送フォーマットを選択できます。

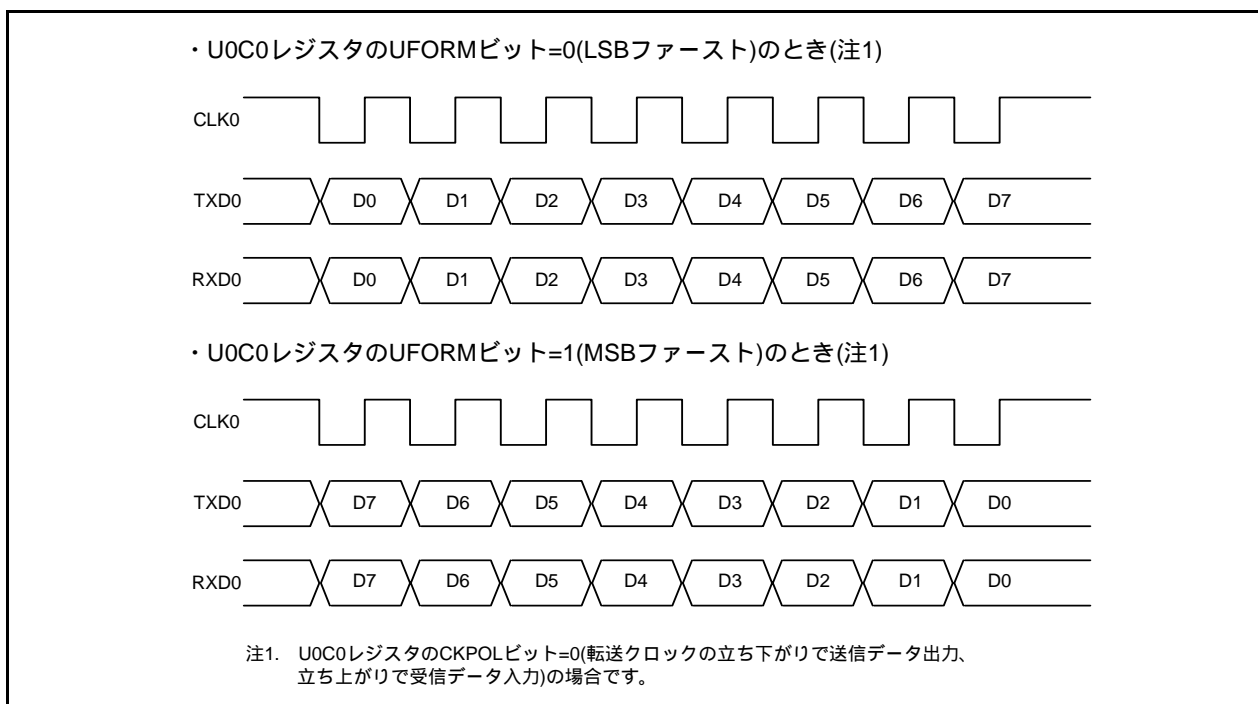


図20.5 転送フォーマット

20.3.4 連続受信モード

U0C1レジスタのU0RRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが“0”(U0TBにデータあり)になります。U0RRMビットが“1”の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

20.4 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表20.5にクロック非同期形シリアルI/Oモードの仕様を、表20.6にUARTモード時の使用レジスタと設定値を示します。

表20.5 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> •キャラクタビット(転送データ) 7ビット、8ビット、9ビット選択可 •スタートビット 1ビット •パリティビット 奇数、偶数、無し選択可 •ストップビット 1ビット、2ビット選択可
転送クロック	<ul style="list-style-type: none"> •U0MRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}, f_C$ $n=U0BRG$レジスタの設定値 00h ~ FFh •CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLK0端子からの入力 $n=U0BRG$レジスタの設定値 00h ~ FFh
送信開始条件	<ul style="list-style-type: none"> •送信開始には、以下の条件が必要です。 U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
受信開始条件	<ul style="list-style-type: none"> •受信開始には、以下の条件が必要です。 U0C1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	<ul style="list-style-type: none"> •送信する場合、次の条件のいずれかを選択できます。 -U0IRSビットが“0”(送信バッファ空) : U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) -U0IRSビットが“1”(送信完了) : UART0送信レジスタからデータ送信完了時 •受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> •オーバランエラー(注1) U0RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生(注2) •パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生(注2) •エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0 ~ b8)は不定になります。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART0受信レジスタからU0RBレジスタにデータが転送されるときに“1”になります。

表20.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	b0 ~ b8	送信データを設定してください(注1)
U0RB	b0 ~ b8	受信データが読めます(注2)
	OER、FER、PER、SUM	エラーフラグ
U0BRG	b0 ~ b7	ビットレートを設定してください
U0MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
U0C0	CLK1 ~ CLK0	U0BRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できません。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U0C1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を選択してください。
	U0RRM	“0”にしてください。

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表20.7にUARTモード時の入出力端子の機能を示します。なお、UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表20.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット=1 (受信だけを行うときはTXD0SEL0ビット=0と設定することで、P1_4をポートとして使用可)
RXD0(P1_5)	シリアルデータ入力	U0SRレジスタのRXD0SEL0ビット=1 PD1レジスタのPD1_5ビット=0 (送信だけを行うときはRXD0SEL0ビット=0と設定することで、P1_5をポートとして使用可)
CLK0(P1_6)	プログラマブル入出力ポート	U0SRレジスタのCLK0SEL0ビット=0(CLK0端子は使用しない)
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0

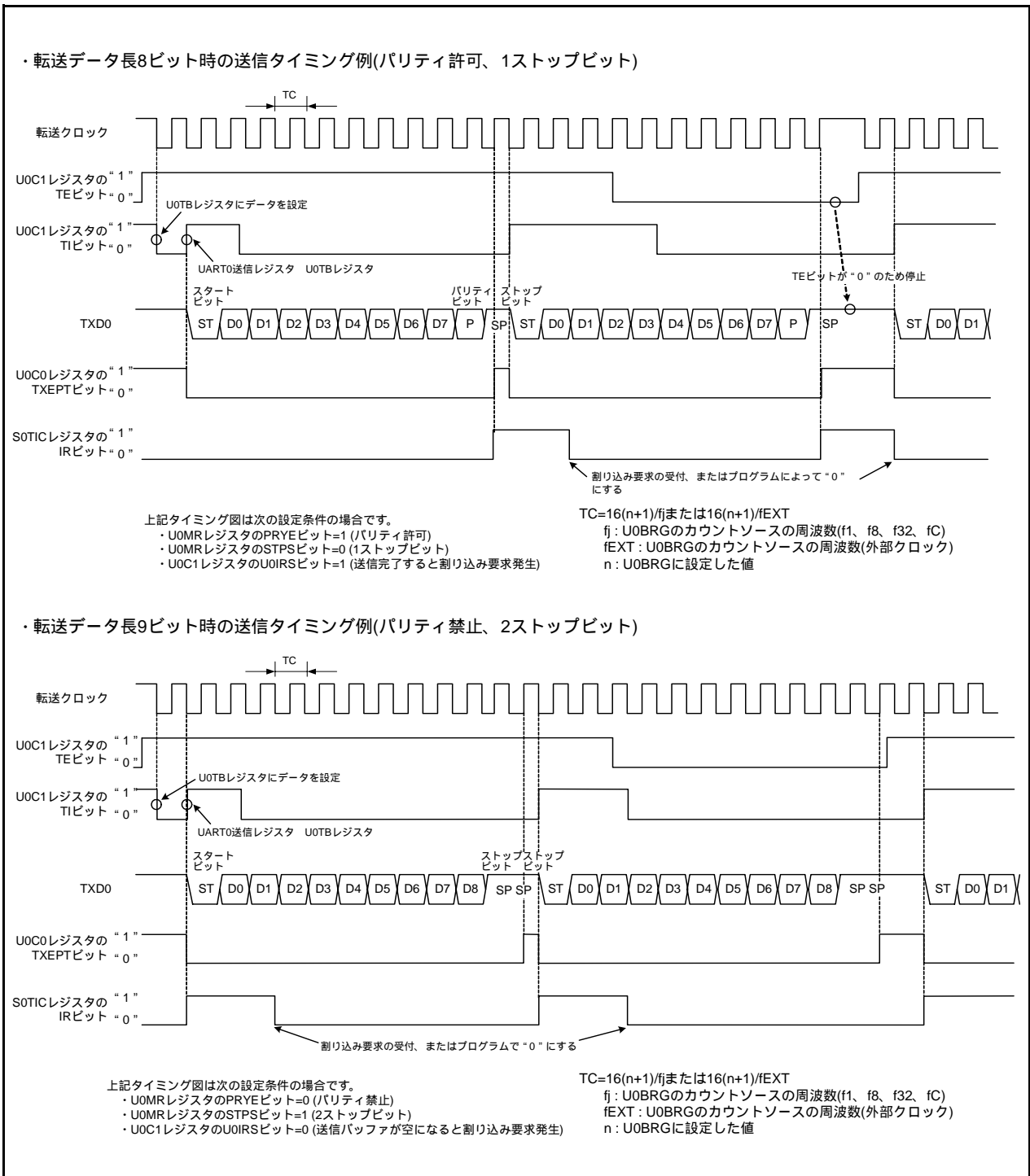


図20.6 UARTモード時の送信タイミング

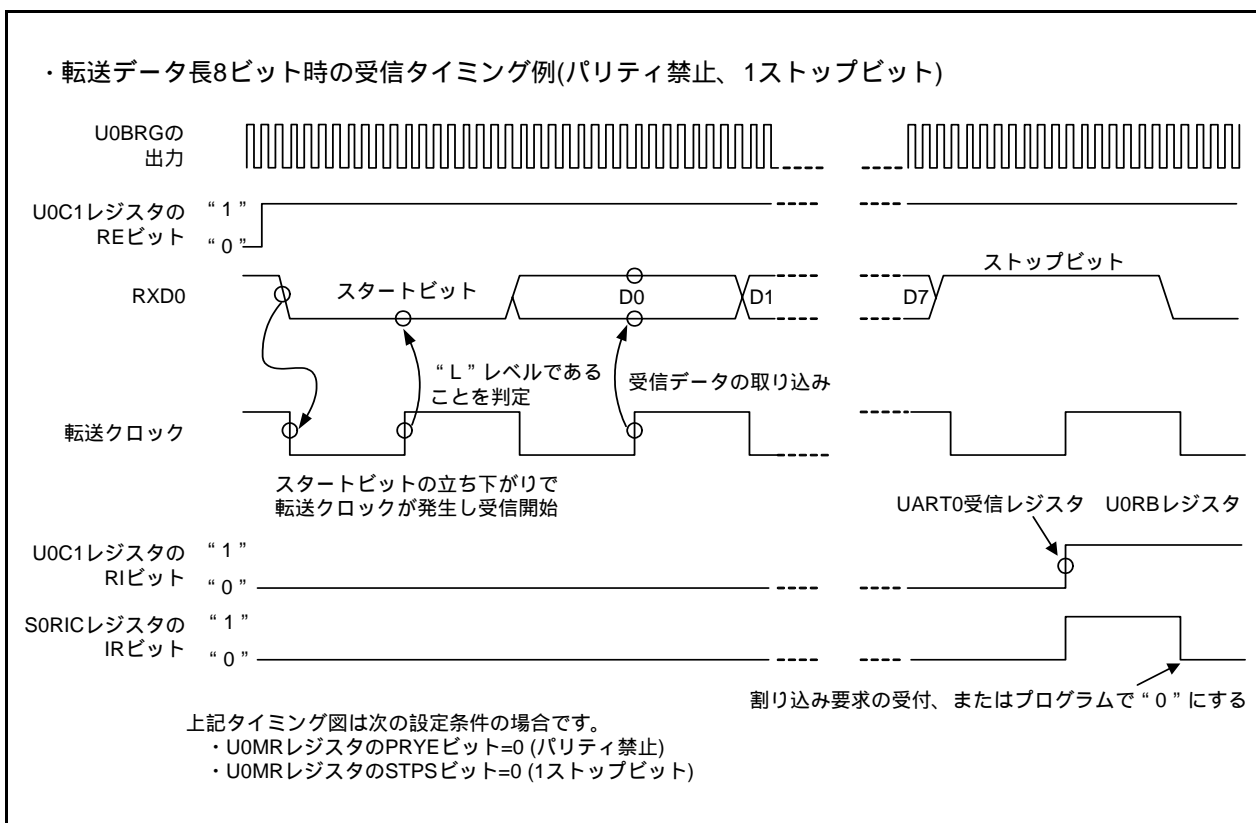


図 20.7 UARTモード時の受信タイミング例

20.4.1 ビットレート

UARTモードではU0BRGレジスタで分周した周波数の16分周がビットレートになります。

< UARTモード >		
・ 内部クロック選択時		
$\text{U0BRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$		
f _j : U0BRGレジスタのカウンタソースの周波数(f ₁ 、f ₈ 、f ₃₂ 、f _C)		
・ 外部クロック選択時		
$\text{U0BRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$		
f _{EXT} : U0BRGレジスタのカウンタソースの周波数(外部クロック)		

図20.8 U0BRGレジスタの設定値の算出式

表20.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	U0BRG のカウン トソース	システムクロック = 20MHz			システムクロック = 18.432MHz (注1)			システムクロック = 8MHz		
		U0BRG の設定値	実時間 (bps)	設定 誤差 (%)	U0BRG の設定値	実時間 (bps)	設定 誤差 (%)	U0BRG の設定値	実時間 (bps)	設定 誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	- 1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	- 1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	- 3.55
115200	f1	10 (0Ah)	113636.36	- 1.36	9 (09h)	115200.00	0.00			

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。

システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22～FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「26. 電気的特性」を参照してください。

20.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U0MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U0MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U0C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

20.5 シリアルインタフェース(UART0)使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、U0RBレジスタを読み出すときは、必ず16ビット単位で読み出してください。
U0RBレジスタのPER、FERビットとU0C1レジスタのRIビットは、U0RBレジスタの上位バイトを読み出したとき、“0”になります。
受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

<受信バッファレジスタを読み出すプログラム例>

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

<送信バッファレジスタに書き込むプログラム例>

```
MOV.B    #XXH, 00A3H  ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H  ; U0TBレジスタの下位バイトへの書き込み
```

21. シリアルインタフェース(UART2)

シリアルインタフェースはUART0、UART2の2チャンネルで構成しています。本章はUART2について説明します。

21.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。

図21.1にUART2のブロック図を、図21.2にUART2送受信部のブロック図を示します。表21.1にUART2の端子構成を示します。

UART2には、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1(I²Cモード)
- マルチプロセッサ通信機能

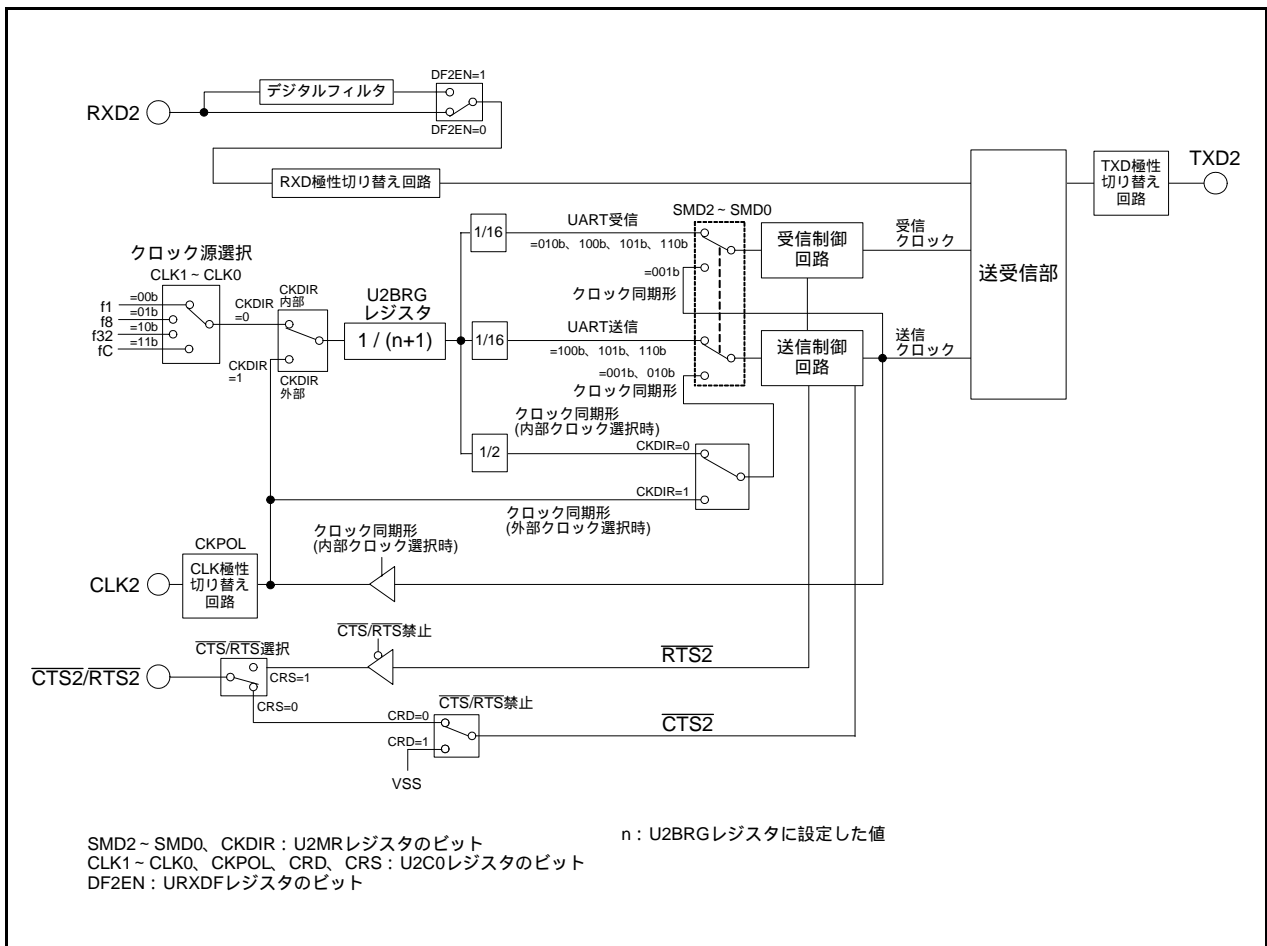


図21.1 UART2のブロック図

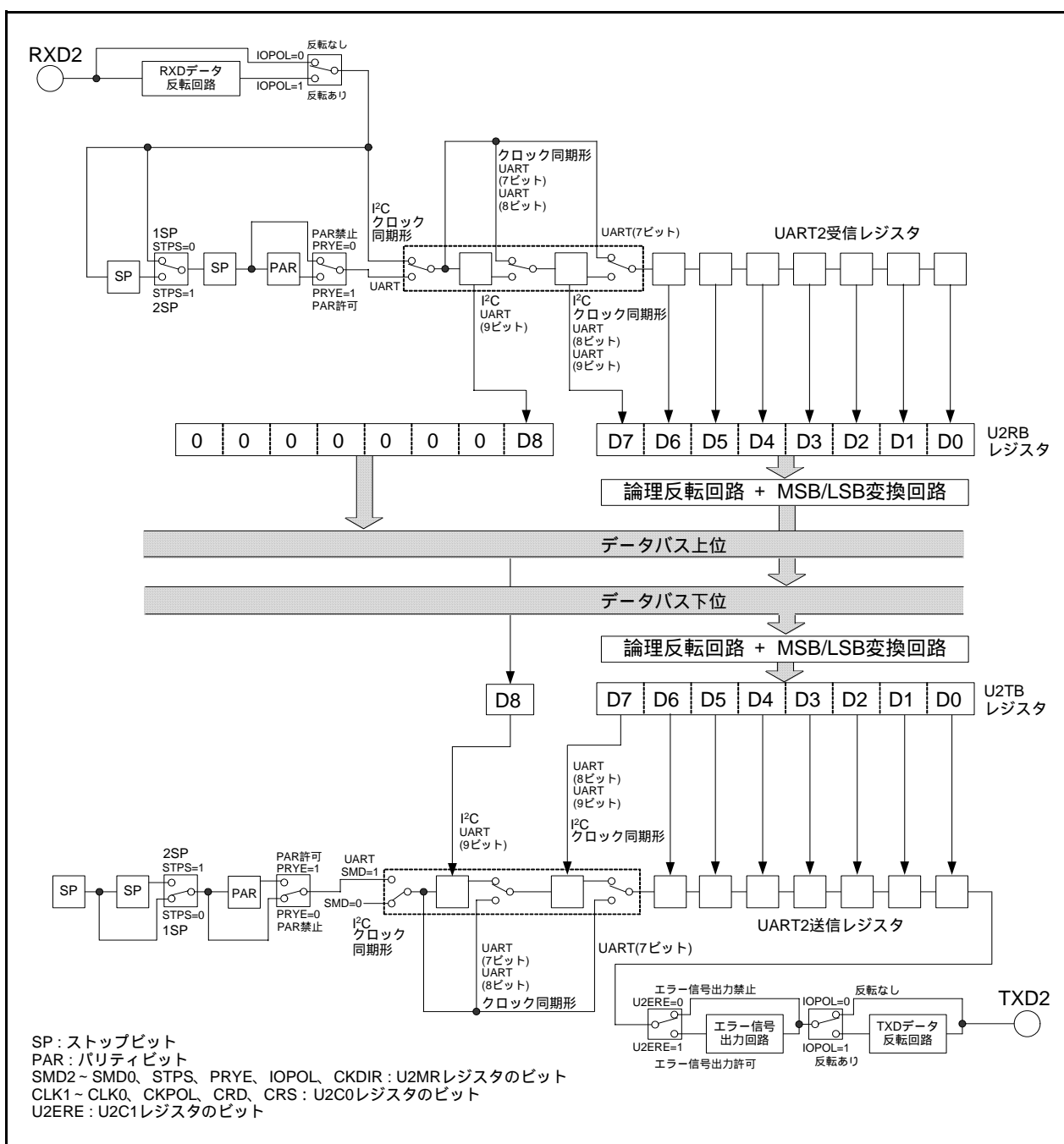


図21.2 UART2送受信部のブロック図

表21.1 UART2の端子構成

端子名	割り当てる端子	入出力	機能
TXD2	P3_4、P3_7またはP6_6	出力	シリアルデータ出力
RXD2	P3_4、P3_7またはP4_5	入力	シリアルデータ入力
CLK2	P3_5またはP6_5	入出力	転送クロック入出力
CTS2	P3_3	入力	送信制御用入力
RTS2	P3_3	出力	受信制御用出力
SCL2	P3_4、P3_7またはP4_5	入出力	I²Cモードのクロック入出力
SDA2	P3_4、P3_7またはP6_6	入出力	I²Cモードのデータ入出力

21.2 レジスタの説明

21.2.1 UART2送受信モードレジスタ(U2MR)

アドレス 00A8h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOPOL	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 010: I ² Cモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	IOPOL	TXD、RXD入出力極性切り替えビット	0: 反転なし 1: 反転あり	R/W

21.2.2 UART2ビットレートレジスタ(U2BRG)

アドレス 00A9h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7 ~ b0	設定値をnとすると、U2BRGはカウントソースをn+1分周する	00h ~ FFh	W

U2BRGレジスタは、送受信停止中に書いてください。

U2BRGレジスタは、MOV命令を使用して書いてください。

U2C0レジスタのCLK1 ~ CLK0ビットを設定した後にU2BRGレジスタに書いてください。

21.2.3 UART2送信バッファレジスタ(U2TB)

アドレス 00ABh ~ 00AAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	MPTB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	-	送信データ(D7 ~ D0)	W
b1	-		
b2	-		
b3	-		
b4	-		
b5	-		
b6	-		
b7	-		
b8	MPTB	送信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 送信データD8 [マルチプロセッサ通信機能を使用する場合] •IDを転送するときは、MPTBビットを“1”にしてください •データを転送するときは、MPTBビットを“0”にしてください	W
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b10	-		
b11	-		
b12	-		
b13	-		
b14	-		
b15	-		

注1. MPTBビットを設定した後、b0 ~ b7を設定してください。

21.2.4 UART2送受信制御レジスタ0 (U2C0)

アドレス 00ACh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	CRD	TXEPT	CRS	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U2BRGカウンタソース選択ビット (注1)	b1 b0 00 : f1を選択 01 : f8選択 10 : f32を選択 11 : fCを選択	R/W
b1	CLK1			R/W
b2	CRS	CTS/RTS機能選択ビット	CRD=0のとき有効 0 : CTS機能を選択 1 : RTS機能を選択	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	R
b4	CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止	R/W
b5	NCH	データ出力選択ビット	0 : TXD2/SDA2、SCL2端子はCMOS出力 1 : TXD2/SDA2、SCL2端子はNチャンネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット(注2)	0 : LSBファースト 1 : MSBファースト	R/W

注1. CLK1 ~ CLK0ビットを変更した場合は、U2BRGレジスタを再設定してください。

注2. UFORMビットはU2MRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモード転送データ長8ビット)のとき有効です。

SMD2 ~ SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

21.2.5 UART2送受信制御レジスタ1 (U2C1)

アドレス 00ADh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	U2ERE	U2LCH	U2RRM	U2IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: U2TBレジスタにデータあり 1: U2TBレジスタにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ	0: U2RBレジスタにデータなし 1: U2RBレジスタにデータあり	R
b4	U2IRS	UART2送信割り込み要因選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)	R/W
b5	U2RRM	UART2連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	U2LCH	データ論理選択ビット(注1)	0: 反転なし 1: 反転あり	R/W
b7	U2ERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	R/W

注1. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2～SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

21.2.6 UART2受信バッファレジスタ(U2RB)

アドレス 00AFh ~ 00AEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	-	-	-	MPRB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-	-	受信データ(D7 ~ D0)	R
b1	-	-		
b2	-	-		
b3	-	-		
b4	-	-		
b5	-	-		
b6	-	-		
b7	-	-		
b8	MPRB	-	受信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 受信データ(D8) [マルチプロセッサ通信機能を使用する場合] • MPRBビットが“0”のとき、受信したD0 ~ D7 はデータフィールド • MPRBビットが“1”のとき、受信したD0 ~ D7 はIDフィールド	R
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b10	-			
b11	-	予約ビット	“0”にしてください	R/W
b12	OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ (注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0: エラーなし 1: エラー発生	R

注1. U2MRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU2C1レジスタのREビットを0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、U2RBレジスタの下位バイトを読んだとき、“0”になります。U2MRレジスタのSMD2 ~ SMD0ビットを“000b”にするときは、U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. U2MRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

21.2.7 UART2デジタルフィルタ機能選択レジスタ(URXDF)

アドレス 00B0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	DF2EN	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	DF2EN	RXD2デジタルフィルタ許可ビット (注1)	0：RXD2デジタルフィルタ禁止 1：RXD2デジタルフィルタ許可	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. RXD2デジタルフィルタはクロック非同期形シリアルI/O(UART)モードでのみ、使用できます。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“010b”(I²Cモード)のときは、DF2ENビットを“0”(RXD2デジタルフィルタ禁止)にしてください。

21.2.8 UART2特殊モードレジスタ5(U2SMR5)

アドレス 00BBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	MPIE	-	-	-	MP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MP	マルチプロセッサ通信許可ビット	0：マルチプロセッサ通信禁止 1：マルチプロセッサ通信許可(注1)	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	MPIE	マルチプロセッサ通信制御ビット	MPビットが“1”(マルチプロセッサ通信許可)のとき有効です。 MPIEビットが“1”のとき、次の状態になります。 •マルチプロセッサビットが“0”の受信データは無視し、U2C1レジスタのRIビット、U2RBレジスタのOER、FERビットが“1”になることを禁止します。 •マルチプロセッサビットが“1”の受信データを受信すると、MPIEビットは“0”になり、マルチプロセッサ通信以外の受信動作になります。	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-	予約ビット	“0”にしてください	R/W

注1. MPビットが“1”(マルチプロセッサ通信許可)のとき、U2MRレジスタのPRY、PRYEビットの設定は無効になります。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)では、MPビットを“0”(マルチプロセッサ通信禁止)にしてください。

21.2.9 UART2特殊モードレジスタ4 (U2SMR4)

アドレス 00BCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SWC9	SCLHI	ACKC	ACKD	STSPSEL	STPREQ	RSTAREQ	STAREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STAREQ	スタートコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b1	RSTAREQ	リスタートコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b2	STPREQ	ストップコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b3	STSPSEL	SCL、SDA出力選択ビット	0: スタートコンディション、ストップコン ディション出力しない 1: スタートコンディション、ストップコン ディション出力する	R/W
b4	ACKD	ACKデータビット	0: ACK 1: NACK	R/W
b5	ACKC	ACKデータ出力許可ビット	0: シリアルインタフェースデータ出力 1: ACKデータ出力	R/W
b6	SCLHI	SCL出力停止許可ビット	0: 禁止 1: 許可	R/W
b7	SWC9	SCLウェイトビット3	0: SCL "L" ホールド禁止 1: SCL "L" ホールド許可	R/W

注1. 各コンディションが生成されたとき、“0”になります。

21.2.10 UART2特殊モードレジスタ3 (U2SMR3)

アドレス 00BDh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DL2	DL1	DL0	-	NODC	-	CKPH	-
リセット後の値	0	0	0	X	0	X	0	X

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b1	CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b3	NODC	クロック出力選択ビット	0: CLK2はCMOS出力 1: CLK2はNチャンネルオープンドレイン出力	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	DL0	SDA2デジタル遅延値設定ビット (注1、2)	b7 b6 b5 000: 遅延なし 001: U2BRG カウントソースの1~2サイクル 010: U2BRG カウントソースの2~3サイクル 011: U2BRG カウントソースの3~4サイクル 100: U2BRG カウントソースの4~5サイクル 101: U2BRG カウントソースの5~6サイクル 110: U2BRG カウントソースの6~7サイクル 111: U2BRG カウントソースの7~8サイクル	R/W
b6	DL1			R/W
b7	DL2			R/W

注1. DL2 ~ DL0 ビットはI²Cモードで、SDA2出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000b” (遅延なし) にしてください。

注2. 遅延量はSCL2端子、SDA2端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

21.2.11 UART2特殊モードレジスタ2 (U2SMR2)

アドレス 00BEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	SDHI	SWC2	STAC	-	SWC	CSC	IICM2
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM2	I ² Cモード選択ビット2	「表21.12 I ² Cモード時の各機能」参照	R/W
b1	CSC	クロック同期化ビット	0: 禁止 1: 許可	R/W
b2	SWC	SCLウェイト出力ビット	0: 禁止 1: 許可	R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	STAC	UART2初期化ビット	0: 禁止 1: 許可	R/W
b5	SWC2	SCLウェイト出力ビット2	0: 転送クロック 1: “L” 出力	R/W
b6	SDHI	SDA出力禁止ビット	0: 許可 1: 禁止(ハイインピーダンス)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-

21.2.12 UART2特殊モードレジスタ(U2SMR)

アドレス 00BFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	BBS	-	IICM
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM	I ² Cモード選択ビット	0: I ² Cモード以外 1: I ² Cモード	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	BBS	パスビジーフラグ(注1)	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	R/W
b3	-	予約ビット	"0" にしてください	R/W
b4	-			
b5	-			
b6	-			
b7	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は不定。	-	-

注1. BBSビットはプログラムで"0"を書くと"0"になります("1"を書いても変化しません)。

21.2.13 UART2 端子選択レジスタ0 (U2SR0)

アドレス 018Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RXD2SEL1	RXD2SEL0	-	TXD2SEL2	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2 端子選択ビット	b2 b1 b0 0 0 0 : TXD2/SDA2 端子は使用しない 0 0 1 : P3_7 に割り当てる 0 1 0 : P3_4 に割り当てる 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : P6_6 に割り当てる 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b1	TXD2SEL1			R/W
b2	TXD2SEL2			R/W
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	RXD2SEL0	RXD2/SCL2 端子選択ビット	b5 b4 0 0 : RXD2/SCL2 端子は使用しない 0 1 : P3_4 に割り当てる 1 0 : P3_7 に割り当てる 1 1 : P4_5 に割り当てる	R/W
b5	RXD2SEL1			R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

21.2.14 UART2 端子選択レジスタ1 (U2SR1)

アドレス 018Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CTS2SEL0	-	-	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2 端子選択ビット	b1 b0 00 : CLK2 端子は使用しない 01 : P3_5に割り当てる 10 : 設定しないでください 11 : P6_5に割り当てる	R/W
b1	CLK2SEL1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	CTS2SEL0	CTS2/RTS2 端子選択ビット	0 : CTS2/RTS2 端子は使用しない 1 : P3_3に割り当てる	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U2SR1 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2の動作中はU2SR1 レジスタの設定値を変更しないでください。

21.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表21.2にクロック同期形シリアルI/Oモードの仕様を、表21.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表21.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> •U2MRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(2(n+1))$ $f_j=f_1, f_8, f_{32}, f_C$ $n=U2BRG$レジスタの設定値 00h ~ FFh •CKDIRビットが“1”(外部クロック) : CLK2端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり) •CTS機能を選択している場合、CTS2端子の入力が“L”
受信開始条件	受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> •U2C1レジスタのREビットが“1”(受信許可) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> •U2C1レジスタのU2IRSビットが“0”(送信パuffa空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) •U2IRSビットが“1”(送信完了) : UART2送信レジスタからデータ送信完了時 受信する場合 •UART2受信レジスタから、U2RBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> •CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 •LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 •連続受信モード選択 U2RBレジスタを読むことで、同時に受信許可状態になる •シリアルデータ論理切り替え 送受信データの論理値を反転する機能

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。またS2RICレジスタのIRビットは“1”(割りこみ要求あり)に変化しません。

表21.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0 ~ b7	送信データを設定してください
U2RB(注1)	b0 ~ b7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください
U2MR(注1)	SMD2 ~ SMD0	"001b" にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	"0" にしてください
U2C0	CLK1 ~ CLK0	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信を許可する場合、"1" にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、"1" にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、"1" にしてください
	U2LCH	データ論理反転を使用する場合、"1" にしてください
	U2ERE	"0" にしてください
U2SMR	b0 ~ b7	"0" にしてください
U2SMR2	b0 ~ b7	"0" にしてください
U2SMR3	b0 ~ b2	"0" にしてください
	NODC	クロック出力形式を選択してください
	b4 ~ b7	"0" にしてください
U2SMR4	b0 ~ b7	"0" にしてください
URXDF	DF2EN	"0" にしてください
U2SMR5	MP	"0" にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、"0" を書いてください。

表21.4にクロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)を示します。

なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図21.3にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

表21.4 クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXD2(P3_4、P3_7 またはP6_6)	シリアルデータ出力	<ul style="list-style-type: none"> •TXD2(P3_4)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=010b(P3_4) •TXD2(P3_7)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=001b(P3_7) •TXD2(P6_6)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=101b(P6_6) •受信だけを行うときはTXD2SEL2 ~ TXD2SEL0ビット=000bと設定することで、P3_4、P3_7、P6_6をポートとして使用可
RXD2(P3_4、P3_7 またはP4_5)	シリアルデータ入力	<ul style="list-style-type: none"> •RXD2(P3_4)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=01b(P3_4) PD3レジスタのPD3_4ビット=0 •RXD2(P3_7)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=10b(P3_7) PD3レジスタのPD3_7ビット=0 •RXD2(P4_5)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=11b(P4_5) PD4レジスタのPD4_5ビット=0 •送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P3_4、P3_7、P4_5をポートとして使用可
CLK2(P3_5または P6_5)	転送クロック出力	<ul style="list-style-type: none"> •CLK2(P3_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b(P3_5) U2MRレジスタのCKDIRビット=0 •CLK2(P6_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b(P6_5) U2MRレジスタのCKDIRビット=0
	転送クロック入力	<ul style="list-style-type: none"> •CLK2(P3_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b(P3_5) U2MRレジスタのCKDIRビット=1 PD3レジスタのPD3_5ビット=0 •CLK2(P6_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b(P6_5) U2MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0
CTS2/RTS2(P3_3)	CTS入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD3レジスタのPD3_3ビット=0
	RTS出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

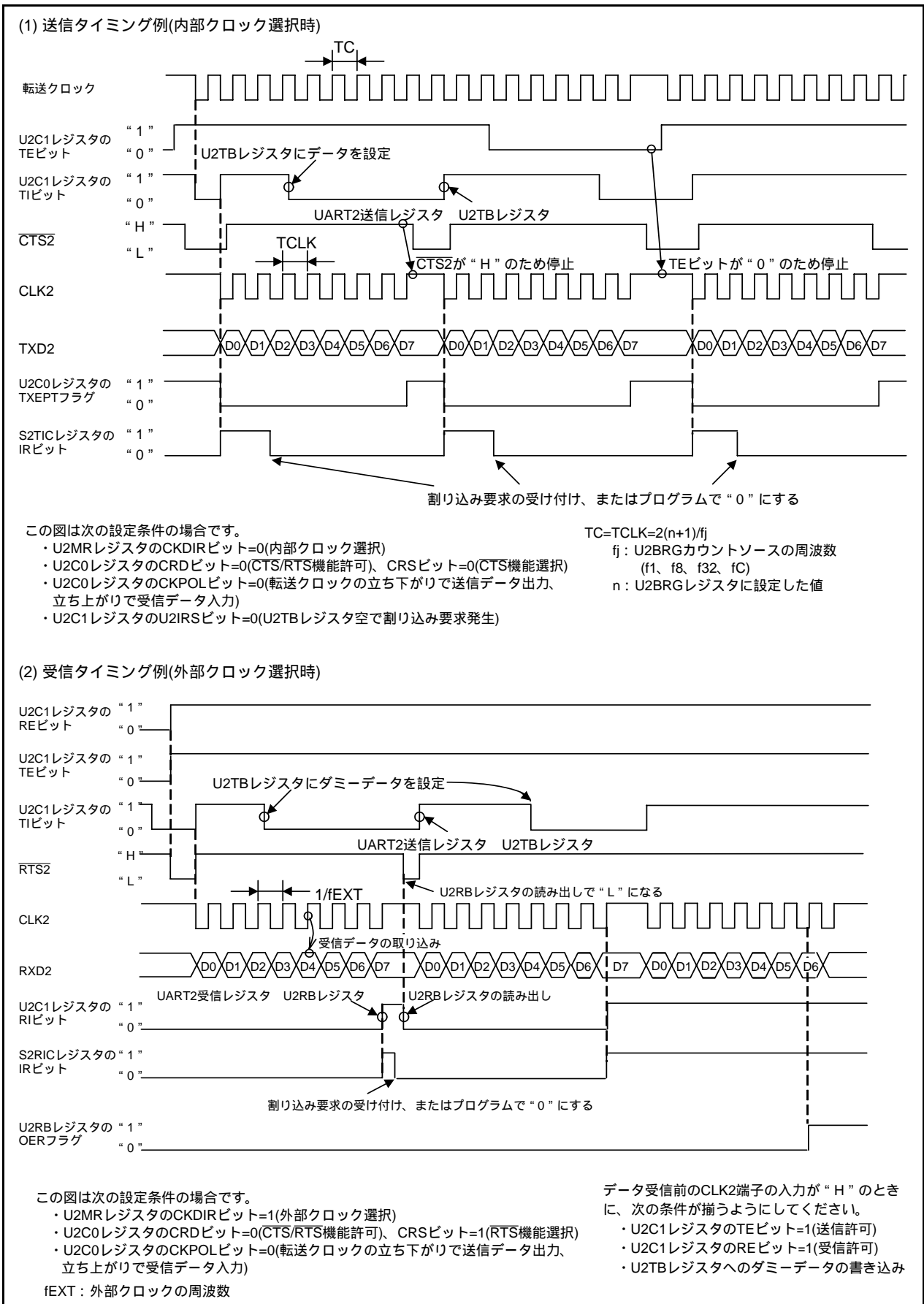


図21.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

21.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

21.3.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図21.4に転送クロックの極性を示します。

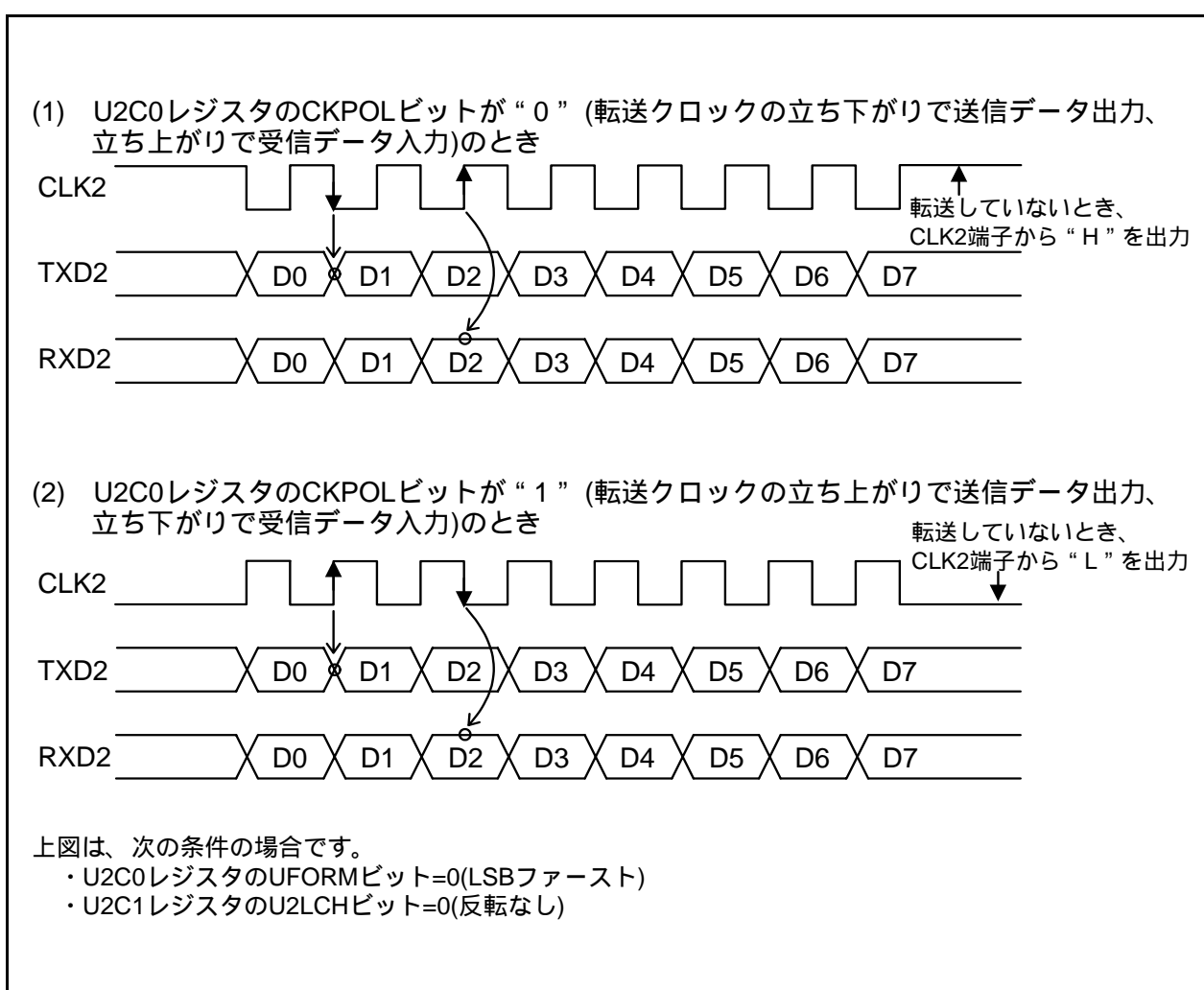


図21.4 転送クロックの極性

21.3.3 LSBファースト、MSBファースト選択

U2C0レジスタのUFORMビットで転送フォーマットを選択できます。図21.5に転送フォーマットを示します。

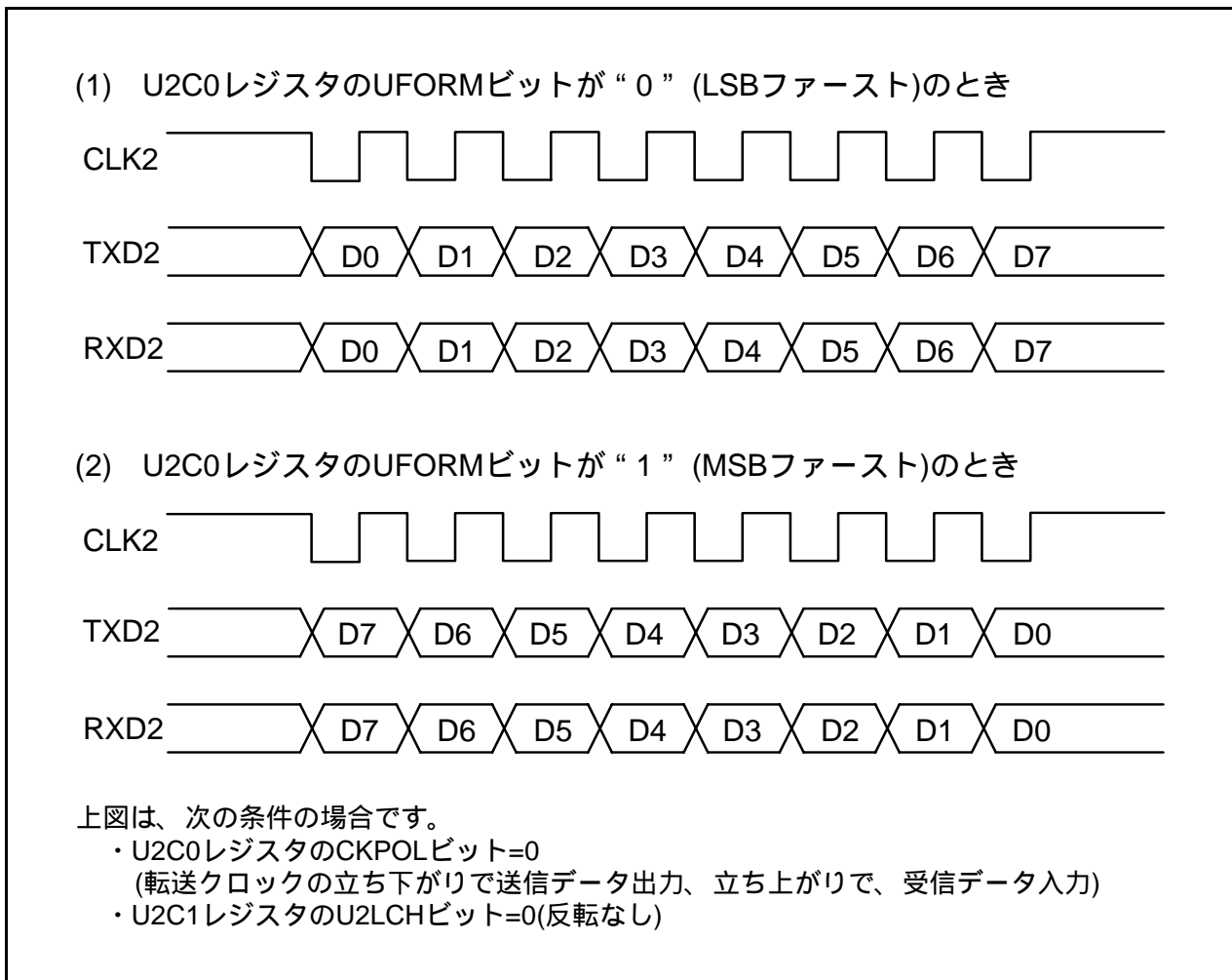


図21.5 転送フォーマット

21.3.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1レジスタのU2RRMビットを“1”(連続受信モード)にすると、U2RBレジスタを読むことでU2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になります。U2RRMビットが“1”の場合、プログラムでU2TBレジスタにダミーデータを書かないでください。

21.3.5 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットが“1”(反転あり)の場合、U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図21.6にシリアルデータ論理を示します。

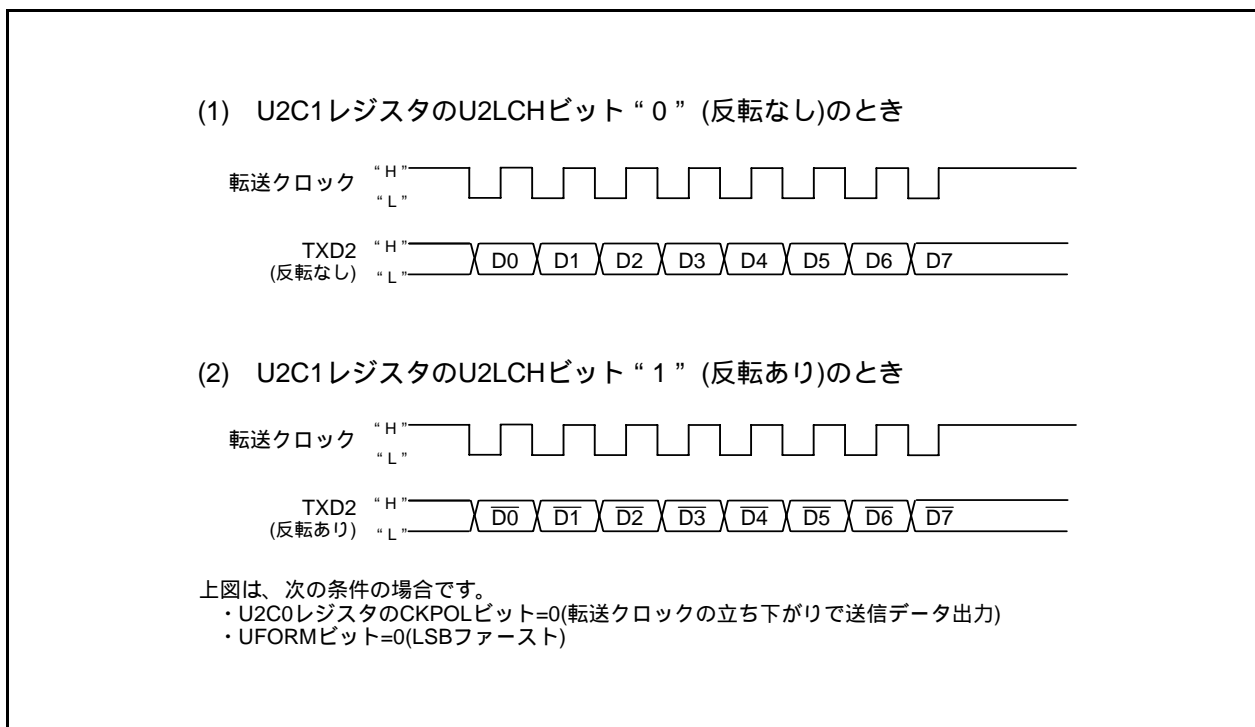


図21.6 シリアルデータ論理

21.3.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- U2C0レジスタのCRDビット=1(CTS/RTS機能禁止) $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0(CTS機能選択) $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はCTS機能
- CRDビット=0、CRSビット=1(RTS機能選択) $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はRTS機能

21.4 クロック非同期形シリアルI/O(UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表21.5にUARTモードの仕様を、表21.6にUARTモード時の使用レジスタと設定値を示します。

表21.5 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> •キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可 •スタートビット 1ビット •パリティビット 奇数、偶数、なしを選択可 •ストップビット 1ビット、2ビットを選択可
転送クロック	<ul style="list-style-type: none"> •U2MRレジスタのCKDIRビットが“0”(内部クロック): $f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}, f_C$ $n=U2BRG$レジスタの設定値 00h ~ FFh •CKDIRビットが“1”(外部クロック): $f_{EXT}/(16(n+1))$ f_{EXT}はCLK2端子からの入力 $n=U2BRG$レジスタの設定値 00h ~ FFh
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり) •CTS機能を選択している場合、CTS2端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> •U2C1レジスタのREビットが“1”(受信許可) •スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> •U2C1レジスタのU2IRSビットが“0”(送信バッファ空): U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) •U2IRSビットが“1”(送信完了): UART2送信レジスタからデータ送信完了時 受信する場合 <ul style="list-style-type: none"> •UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> •オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー(注2) 設定した個数のストップビットが検出されなかったときに発生 •パリティエラー(注2) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 •エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	<ul style="list-style-type: none"> •LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 •シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 •TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 •RXD2デジタルフィルタ選択 RXD2入力信号はデジタルフィルタの有効、無効の選択可

注1. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。

表21.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB	b0 ~ b8	送信データを設定してください(注1)
U2RB	b0 ~ b8	受信データが読めず(注1、2)
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください
U2MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD/RXD入出力極性を選択してください
	U2C0	CLK0、CLK1
U2C0	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U2C1	TE	送信を許可する場合、“1”にしてください
	TI	送信パツファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	“0”にしてください
	U2LCH	データ論理反転を使用する場合、“1”にしてください
	U2ERE	“0”にしてください
U2SMR	b0 ~ b7	“0”にしてください
U2SMR2	b0 ~ b7	“0”にしてください
U2SMR3	b0 ~ b7	“0”にしてください
U2SMR4	b0 ~ b7	“0”にしてください
URXDF	DF2EN	デジタルフィルタの無効、有効を選択してください
U2SMR5	MP	“0”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表21.7にUARTモード時の入出力端子の機能を示します。なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時は、ハイインピーダンス状態)。

図21.7にUARTモード時の送信タイミング例を、図21.8にUARTモード時の受信タイミング例を示します。

表21.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD2(P3_4、P3_7 またはP6_6)	シリアルデータ出力	<ul style="list-style-type: none"> •TXD2(P3_4)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=010b(P3_4) •TXD2(P3_7)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=001b(P3_7) •TXD2(P6_6)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=101b(P6_6) •受信だけを行うときはTXD2SEL2 ~ TXD2SEL0ビット=000bと設定することで、P3_4、P3_7、P6_6をポートとして使用可
RXD2(P3_4、P3_7 またはP4_5)	シリアルデータ入力	<ul style="list-style-type: none"> •RXD2(P3_4)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=01b(P3_4) PD3レジスタのPD3_4ビット=0 •RXD2(P3_7)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=10b(P3_7) PD3レジスタのPD3_7ビット=0 •RXD2(P4_5)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=11b(P4_5) PD4レジスタのPD4_5ビット=0 •送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P3_4、P3_7、P4_5をポートとして使用可
CLK2(P3_5または P6_5)	入出力ポート	U2SR1レジスタのCLK2SEL1 ~ CLK2SEL0ビット=00b
	転送クロック入力	<ul style="list-style-type: none"> •CLK2(P3_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b(P3_5) U2MRレジスタのCKDIRビット=1 PD3レジスタのPD3_5ビット=0 •CLK2(P6_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b(P6_5) U2MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0
CTS2/RTS2(P3_3)	CTS入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD3レジスタのPD3_3ビット=0
	RTS出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

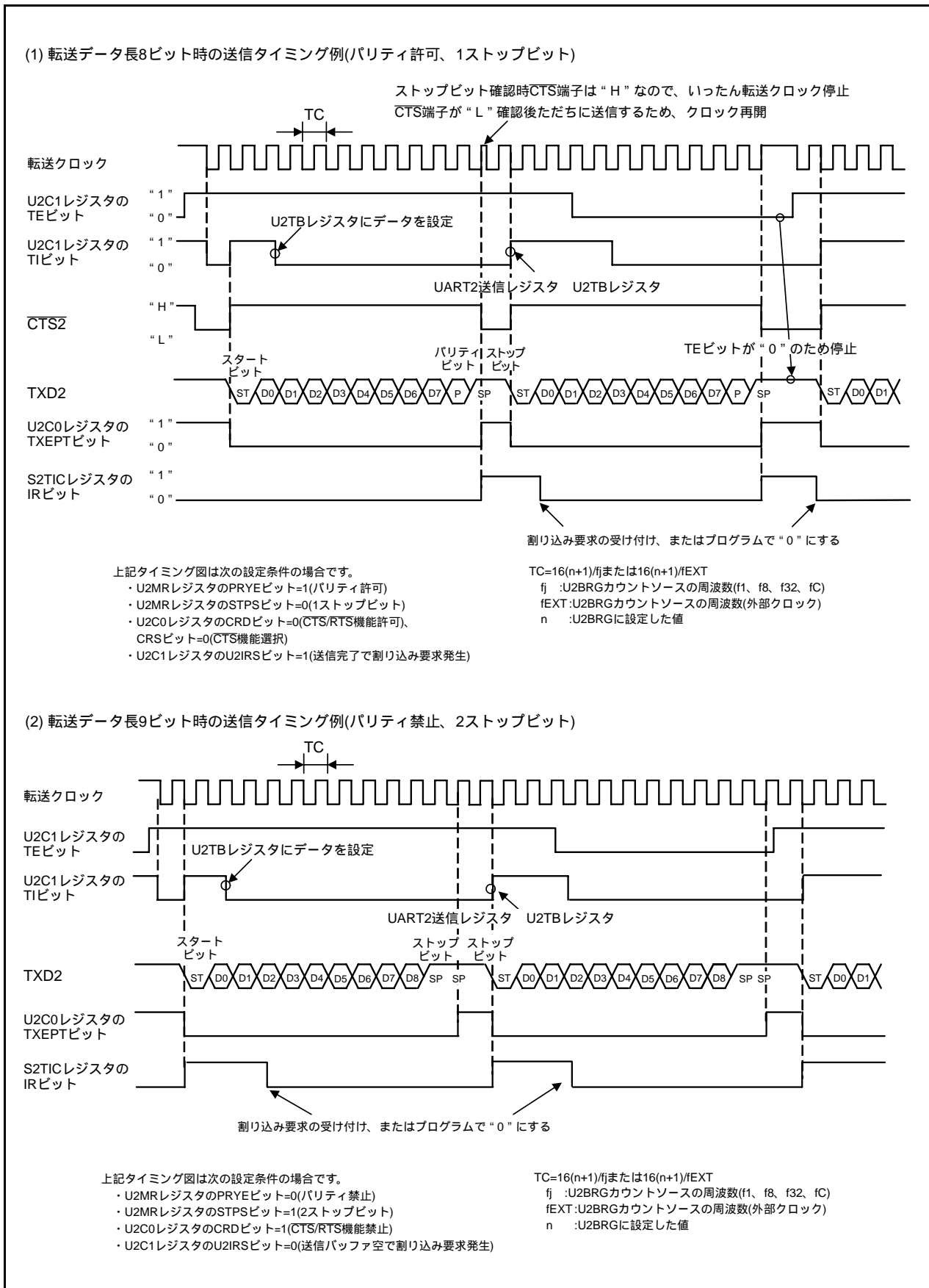


図21.7 UARTモード時の送信タイミング例

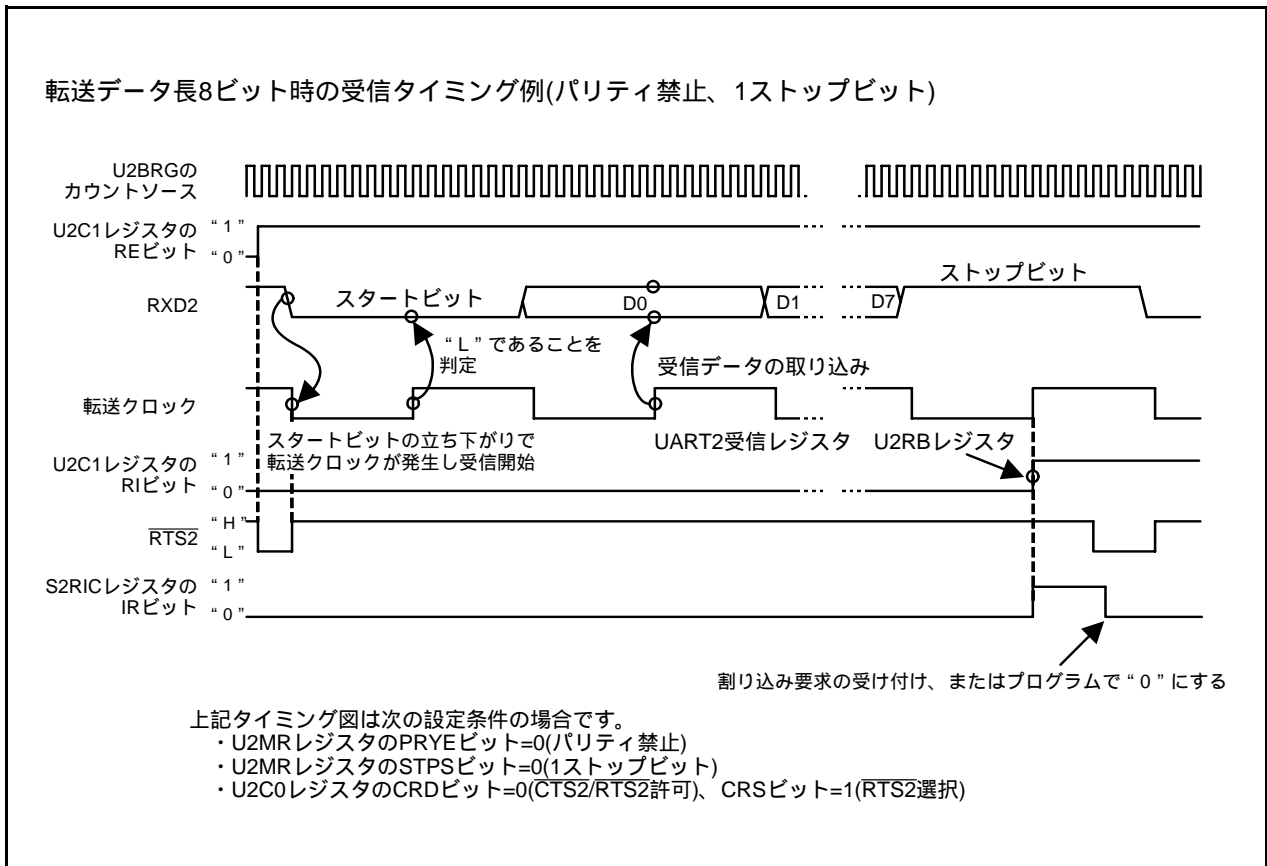


図21.8 UARTモード時の受信タイミング例

21.4.1 ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。表21.8にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

表21.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	U2BRGのカウンタソース	システムクロック = 20MHz			システムクロック = 18.432MHz (注1)			システムクロック = 8MHz		
		U2BRGの設定値	実時間 (bps)	設定誤差 (%)	U2BRGの設定値	実時間 (bps)	設定誤差 (%)	U2BRGの設定値	実時間 (bps)	設定誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	- 1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	- 1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	- 3.55
115200	f1	10 (0Ah)	113636.36	- 1.36	9 (09h)	115200.00	0.00			

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。
システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22 ~ FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「26. 電気的特性」を参照してください。

21.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

21.4.3 LSBファースト、MSBファースト選択

図21.9に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図21.9に転送フォーマットを示します。

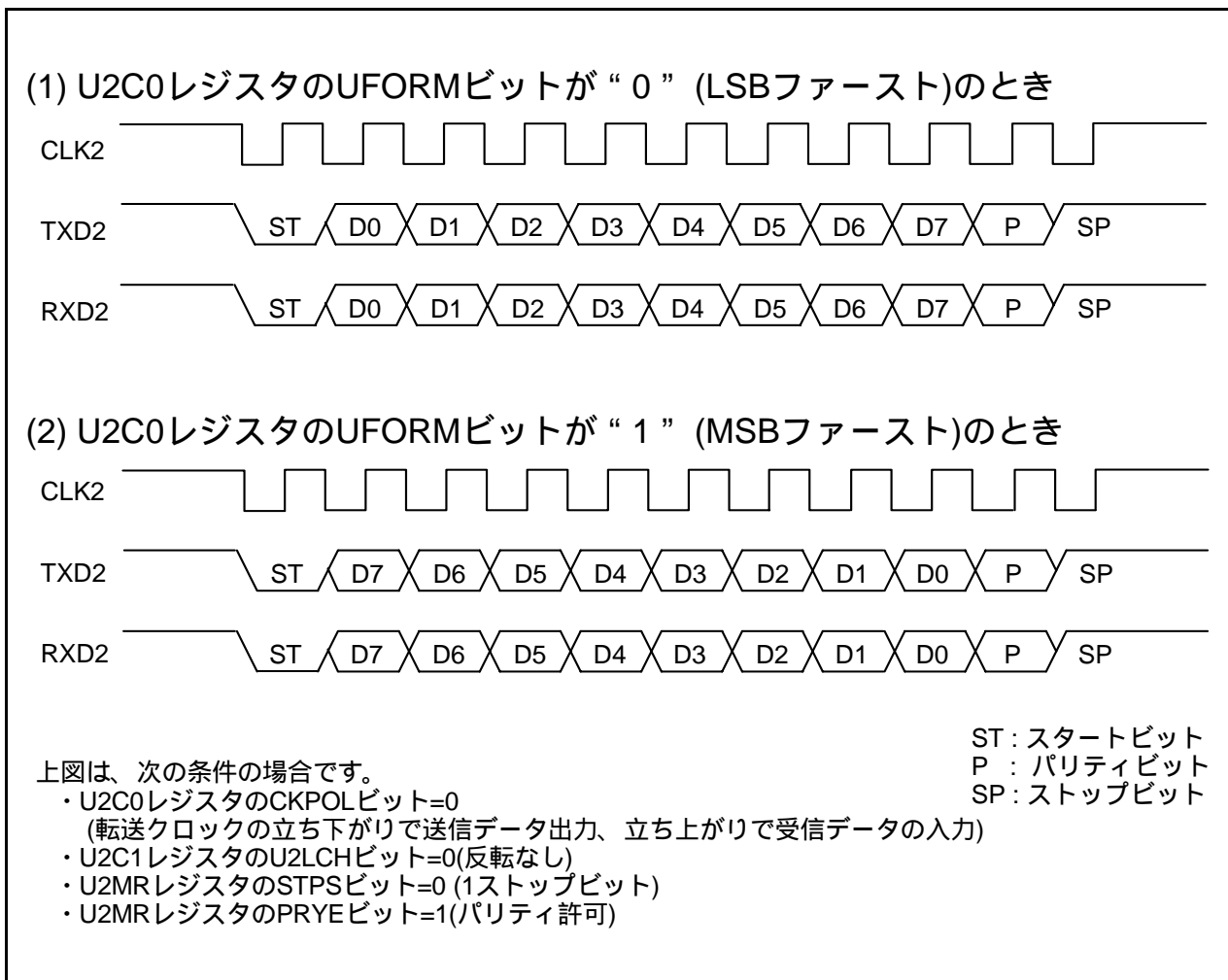


図21.9 転送フォーマット

21.4.4 シリアルデータ論理切り替え

U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図21.10にシリアルデータ論理を示します。

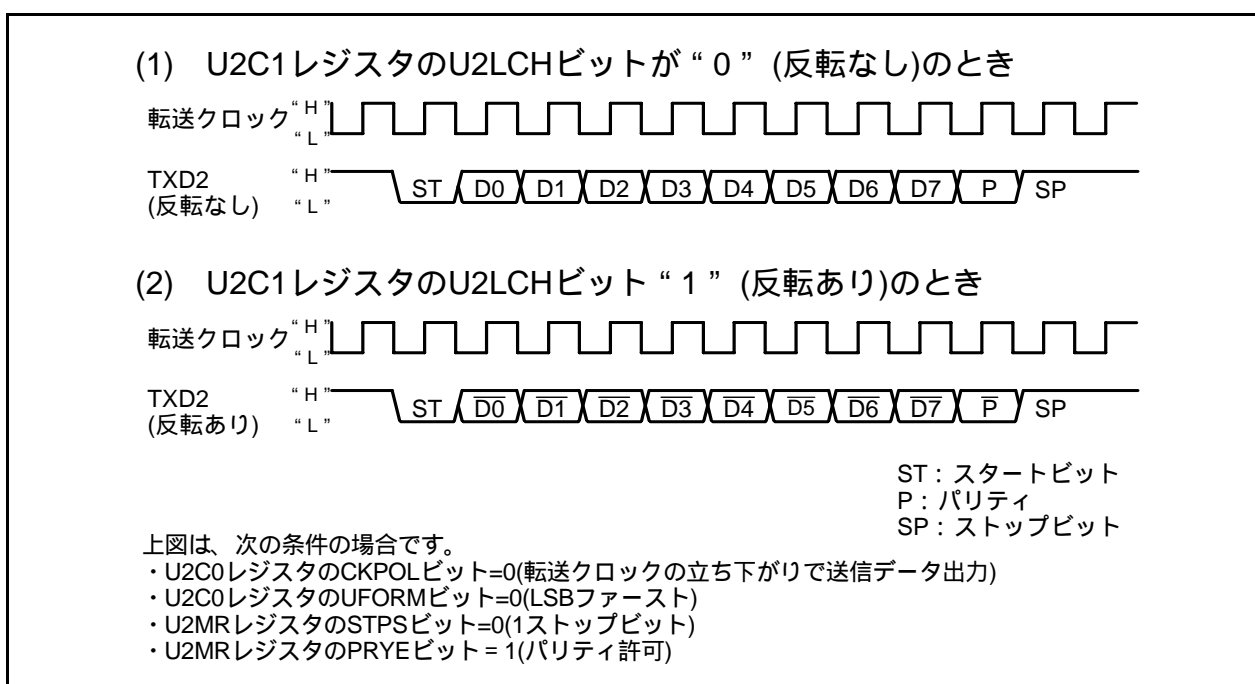


図21.10 シリアルデータ論理

21.4.5 TXD、RXD入出力極性切り替え機能

TXD2端子出力とRXD2端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図21.11にTXD、RXD入出力極性切り替えを示します。

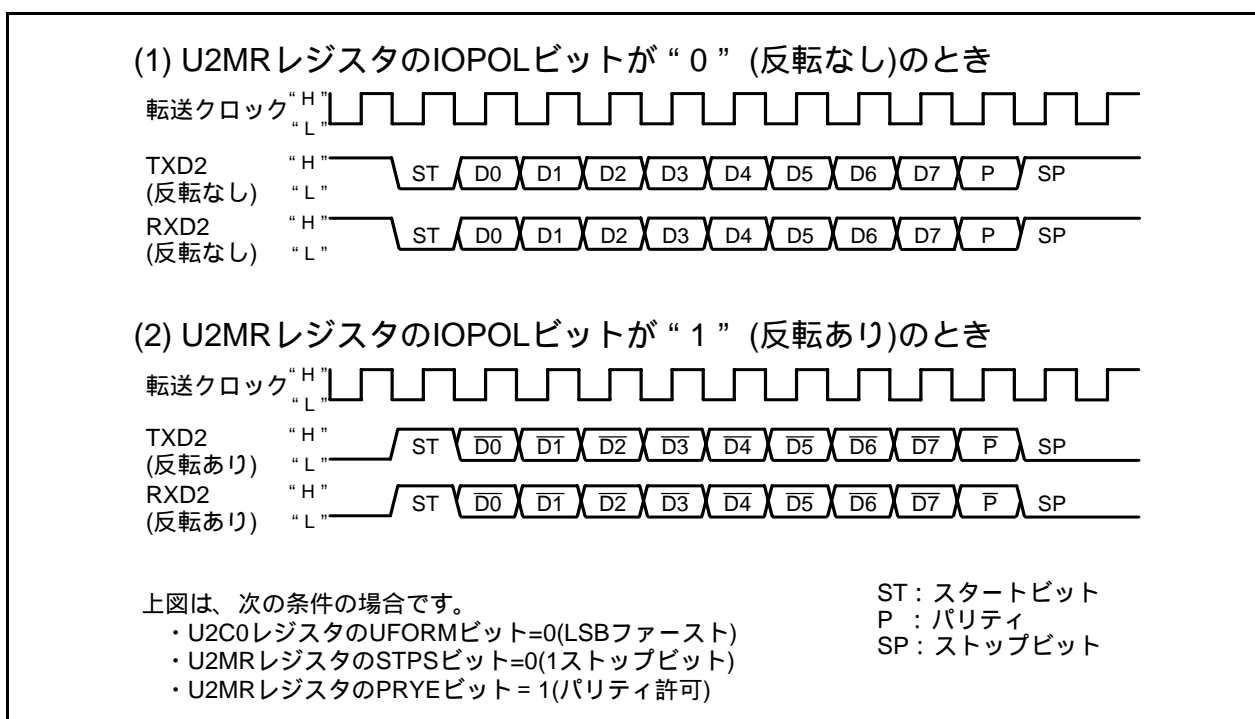


図21.11 TXD、RXD入出力極性切り替え

21.4.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- U2C0レジスタのCRDビット=1($\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 機能禁止) $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0($\overline{\text{CTS2}}$ 機能選択) $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はCTS機能
- CRDビット=0、CRSビット=1(RTS機能選択) $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はRTS機能

21.4.7 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

図21.12にRXD2デジタルフィルタ回路のブロック図を示します。

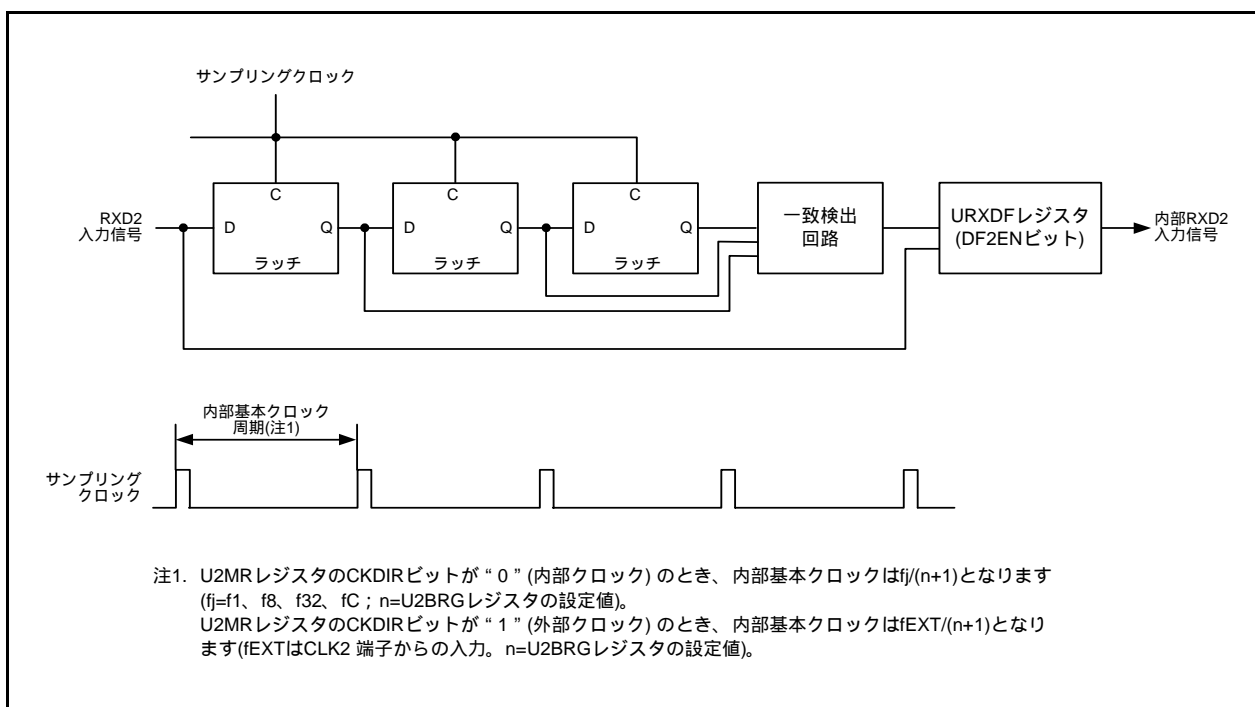


図21.12 RXD2デジタルフィルタ回路のブロック図

21.5 特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表21.9にI²Cモードの仕様を、表21.10～表21.11にI²Cモード時の使用レジスタと設定値を、表21.12にI²Cモード時の各機能を、図21.13にI²Cモードのブロック図を、図21.14にU2RBレジスタへの転送、割り込みのタイミングを示します。

表21.12に示すように、SMD2～SMD0ビットを“010b”に、IICMビットを“1”にするとI²Cモードになります。SDA2送信出力には遅延回路が付加されますので、SCL2が“L”になり安定した後、SDA2出力が変化します。

表21.9 I²Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> •マスタ時 U2MRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(2(n+1))$ f_j=f₁, f₈, f₃₂, f_C n=U2BRGレジスタの設定値 00h～FFh •スレーブ時 CKDIRビットが“1”(外部クロック) : SCL2端子からの入力
送信開始条件	送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> •U2C1レジスタのREビットが“1”(受信許可) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> •SDA2デジタル遅延 デジタル遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を選択可 •クロック位相設定 クロック遅れあり、なしを選択可

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

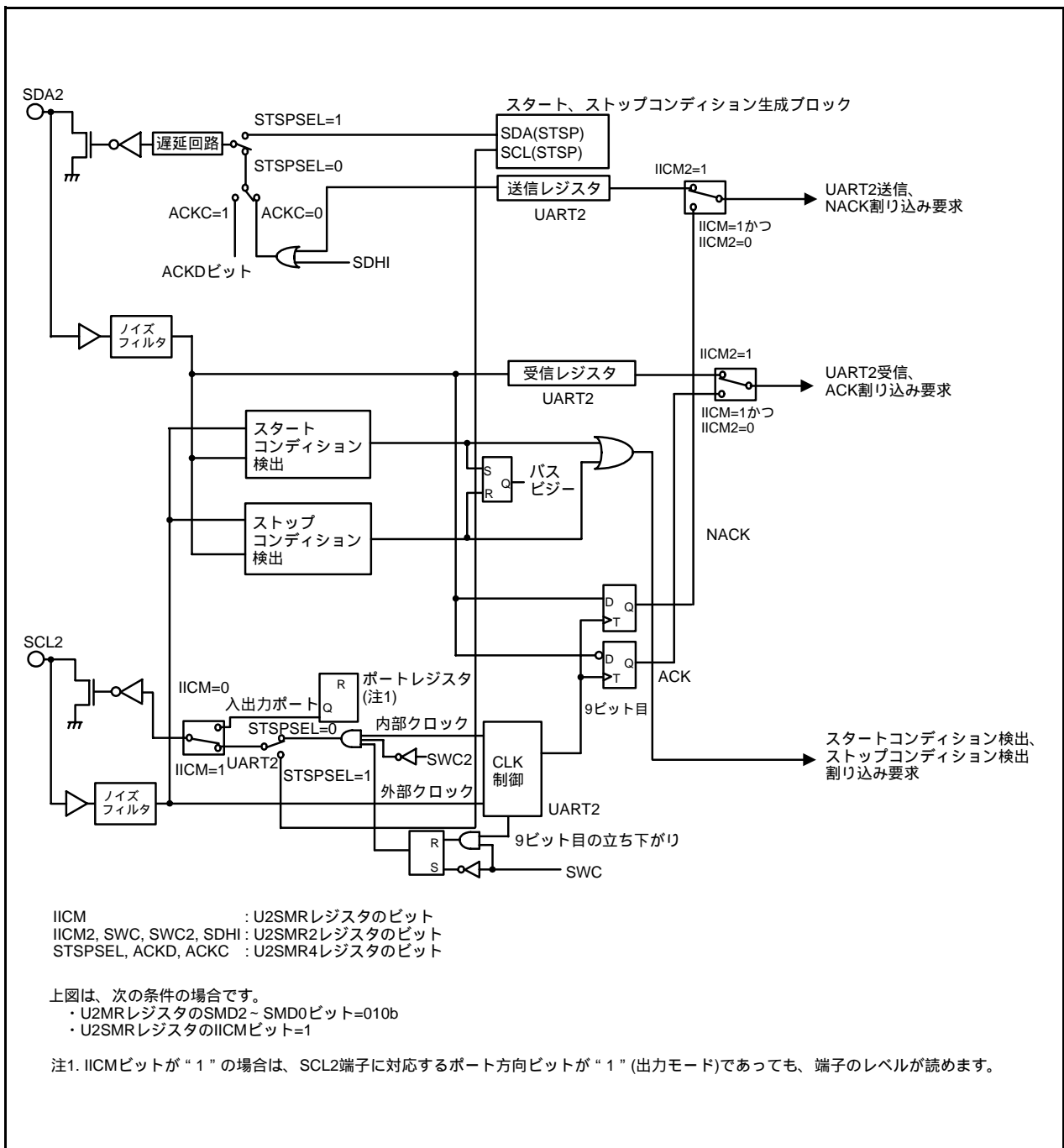


図21.13 I²Cモードのブロック図

表21.10 I²Cモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2TB(注1)	b0 ~ b7	送信データを設定してください	送信データを設定してください
U2RB(注1)	b0 ~ b7	受信データが読めます	受信データが読めます
	b8	ACK、NACKが入ります	ACK、NACKが入ります
	OER	オーバーランエラーフラグ	オーバーランエラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください	無効
U2MR(注1)	SMD2 ~ SMD0	“010b” にしてください	“010b” にしてください
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	“0” にしてください
U2C0	CLK1 ~ CLK0	U2BRGのカウントソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1” にしてください	“1” にしてください
	NCH	“1” にしてください	“1” にしてください
	CKPOL	“0” にしてください	“0” にしてください
	UFORM	“1” にしてください	“1” にしてください
U2C1	TE	送信を許可する場合、“1” にしてください	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS	“1” にしてください	“1” にしてください
	U2RRM、 U2LCH、U2ERE	“0” にしてください	“0” にしてください
U2SMR	IICM	“1” にしてください	“1” にしてください
	BBS	バスビジーフラグ	バスビジーフラグ
	b3 ~ b7	“0” にしてください	“0” にしてください
U2SMR2	IICM2	「表21.12 I ² Cモード時の各機能」参照	「表21.12 I ² Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がり でSCL2出力を“L”出力固定にする場合、 “1” にしてください	クロックの9ビット目の立ち下がり でSCL2出力を“L”出力固定にする場合、 “1” にしてください
	STAC	“0” にしてください	スタートコンディション検出でUART2 を初期化する場合、“1” にしてください
	SWC2	SCL2の出力を強制的に“L”にする場 合、“1” にしてください	SCL2の出力を強制的に“L”にする場 合、“1” にしてください
	SDHI	SDA2出力を禁止にする場合、“1” にし てください	SDA2出力を禁止にする場合、“1” にし てください
	b7	“0” にしてください	“0” にしてください

注1. この表に記載していないビットは、I²Cモード時に書く場合、“0”を書いてください。

表21.11 I²Cモード時の使用レジスタと設定値(2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2SMR3	b0、b2、b4 NODC	“0” にしてください	“0” にしてください
	CKPH	「表21.12 I ² Cモード時の各機能」参照	「表21.12 I ² Cモード時の各機能」参照
	DL2 ~ DL0	SDA2のデジタル遅延値を設定してください	SDA2のデジタル遅延値を設定してください
U2SMR4	STAREQ	スタートコンディションを生成する場合、“1” にしてください	“0” にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1” にしてください	“0” にしてください
	STPREQ	ストップコンディションを生成する場合、“1” にしてください	“0” にしてください
	STSPSEL	各コンディション出力時に“1” にしてください	“0” にしてください
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1” にしてください	ACKデータを出力する場合、“1” にしてください
	SCLHI	ストップコンディション検出時にSCL2出力を停止する場合、“1” にしてください	“0” にしてください
	SWC9	“0” にしてください	クロックの9ビット目の次の立ち下がり でSCL2を“L”ホールドにする場合、 “1” にしてください
URXDF	DF2EN	“0” にしてください	“0” にしてください
U2SMR5	MP	“0” にしてください	“0” にしてください

表21.12 I²Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2 ~ SMD0=001b、IICM=0)	I ² Cモード (SMD2 ~ SMD0=010b、IICM=1)			
		IICM2=0(NACK/ACK割り込み)		IICM2=1(UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
UART2バス衝突検出 割り込みの要因 (注1、5)	-	スタートコンディション検出、ストップコンディション検出 (「表21.13 STSPSELビットの機能」参照)			
UART2送信/NACK2 割り込みの要因 (注1、6)	UART2送信 送信開始、または送信 完了(U2IRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCL2の立ち上がり		UART2送信 9ビット目のSCL2 の立ち上がり	UART2送信 9ビット目の次の SCL2の立ち下がり
UART2受信/ACK2割 り込みの要因 (注1、6)	UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCL2の立ち上がり		UART2受信 9ビット目のSCL2の立ち下がり	
UART受信シフト レジスタからU2RB レジスタへのデータ 転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCL2の立ち上がり		9ビット目のSCL2 の立ち下がり	9ビット目のSCL2の 立ち下がり時、立ち 上がり
UART2送信出力遅延	遅延なし	遅延あり			
TXD2/SDA2端子の機能	TXD2出力	SDA2入出力			
RXD2/SCL2端子の機能	RXD2入力	SCL2入出力			
CLK2端子の機能	CLK2入力または出力 ポート選択	- (I ² Cモードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RXD2、SCL2端子 レベルの読み込み	対応するポート方向ビッ トが“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TXD2、SDA2出力の 初期値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレジスタに設定した値(注2)			
SCL2の初期値、終了値	-	H	L	H	L
受信データ格納	1~8ビット目をU2RB レジスタのビットb0~ b7に格納	1~8ビット目をU2RBレジスタの ビットb7~b0に格納		1~7ビット目をU2RBレジスタのビット b6~b0に、8ビット目をU2RBレジスタ のビットb8に格納 1~8ビット目をU2RB レジスタのビットb7~ b0に格納(注3)	
受信データ読み出し	U2RBレジスタの状態をそのまま読み出す	U2RBレジスタのピッ トb6~b0はビットb7 ~b1として、ビット b8はビットb0として 読み出す(注4)			

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「11.8 割り込み使用上の注意」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

U2MRレジスタのSMD2~SMD0ビット、U2SMRレジスタのIICMビット、U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

注2. SDA2出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインタフェースが無効)の状態を設定してください。

注3. U2RBレジスタへのデータ転送2回目(9ビット目SCL2立ち上がり時)

注4. U2RBレジスタへのデータ転送1回目(9ビット目SCL2立ち下がり時)

注5. 「図21.16 STSPSELビットの機能」参照。

注6. 「図21.14 U2RBレジスタへの転送、割り込みのタイミング」参照。

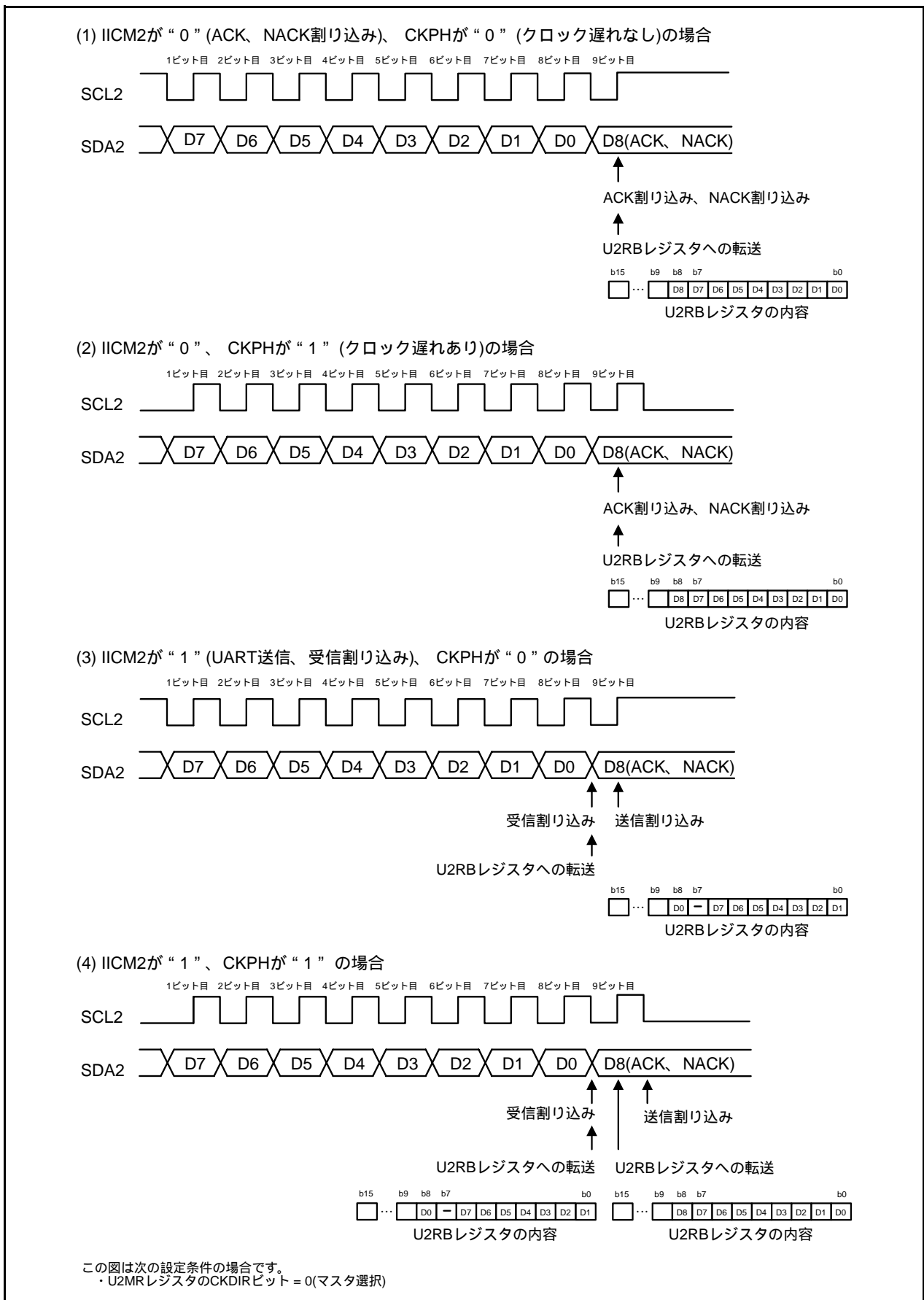


図21.14 U2RBレジスタへの転送、割り込みのタイミング

21.5.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL2端子が“H”の状態でもSDA2端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子が“H”の状態でもSDA2端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。

図21.15にスタートコンディション、ストップコンディションの検出を示します。

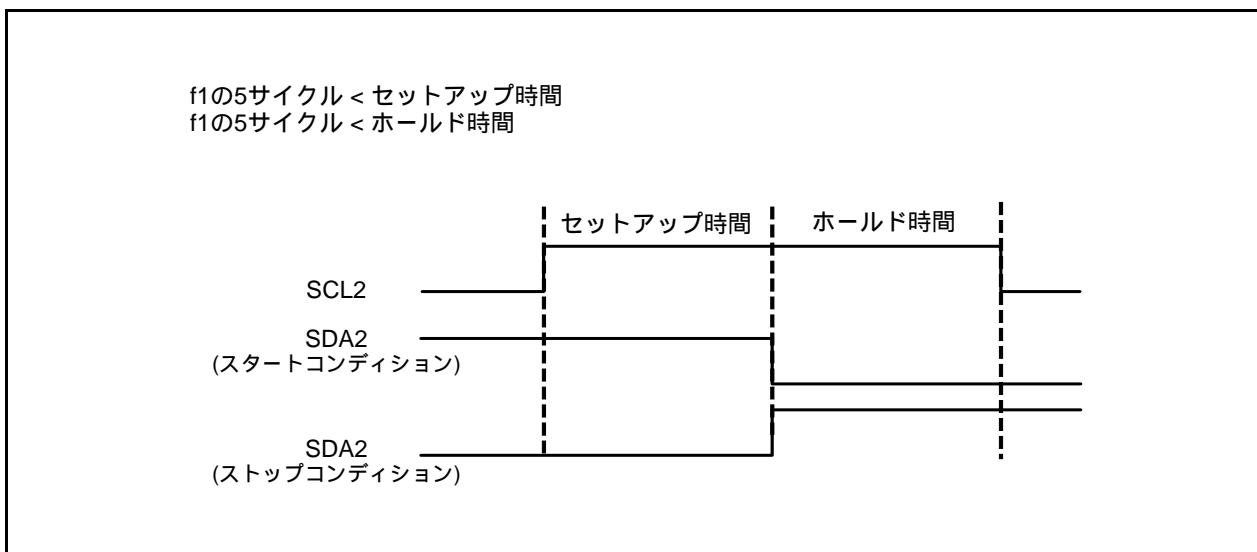


図21.15 スタートコンディション、ストップコンディションの検出

21.5.2 スタートコンディション、ストップコンディションの出力

U2SMR4レジスタのSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

U2SMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次の通りです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
- (2) U2SMR4レジスタのSTSPSELビットを“1”(出力)にする

表21.13にSTSPSELビットの機能を、図21.16にSTSPSELビットの機能を示します。

表21.13 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCL2、SDA2端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

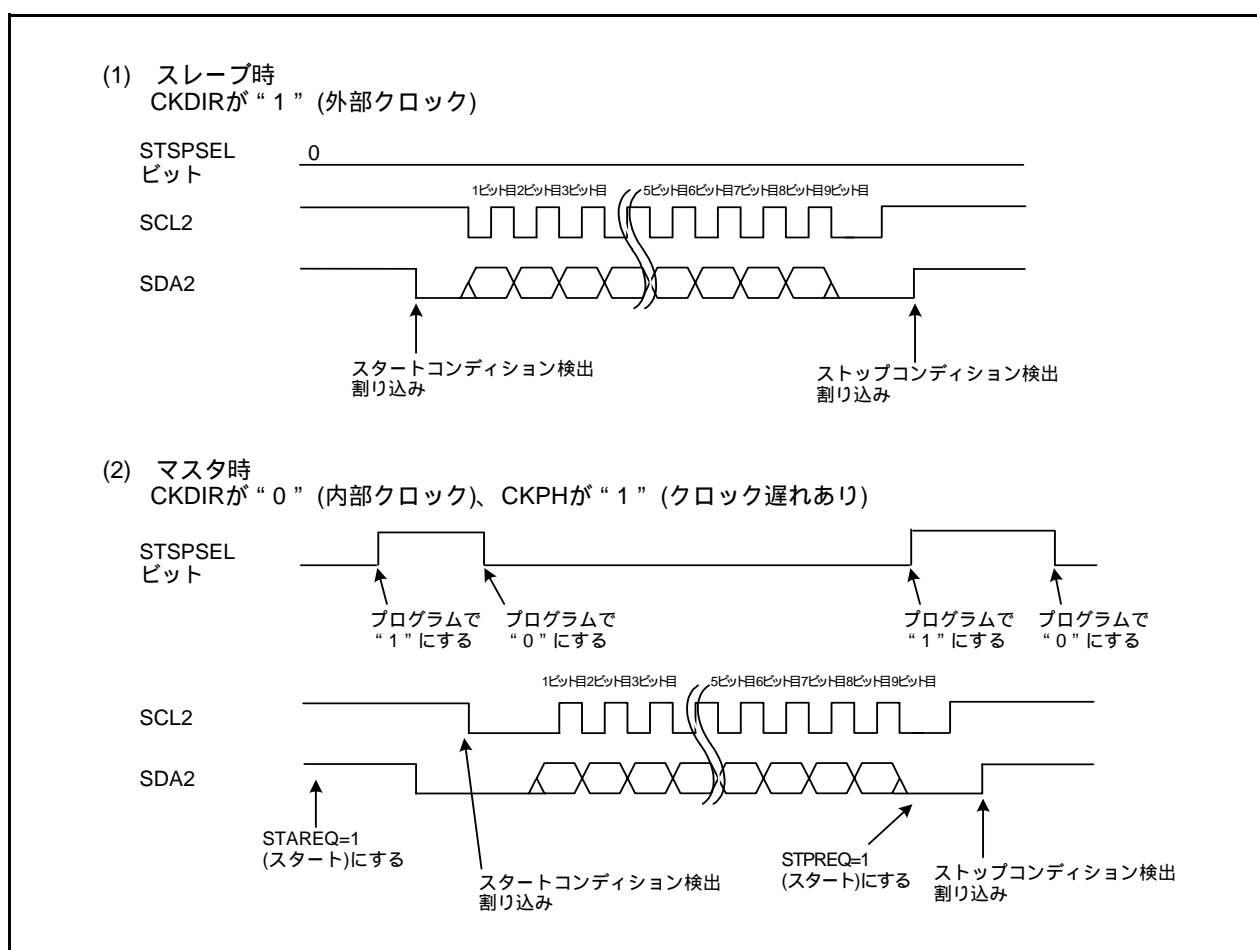


図21.16 STSPSELビットの機能

21.5.3 転送クロック

「図21.14 U2RBレジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

U2SMR2レジスタのCSCビットは内部で生成したクロック(内部SCL2)と、SCL2端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCL2が“H”の場合、SCL2端子に立ち下がりエッジがあれば内部SCL2を“L”とし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL2端子が“L”のとき、内部SCL2が“L”から“H”に変化するとカウントを停止し、SCL2端子が“H”になるとカウントを再開します。したがって、UART2の転送クロックは、内部SCL2とSCL2端子の信号の論理積になります。なお、転送クロックは内部SCL2の1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

U2SMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCL2端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

U2SMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCL2出力を停止します(ハイインピーダンス状態)。

U2SMR2レジスタのSWC2ビットを“1”(“L”出力)にすると、送受信中でもSCL2端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCL2端子からの“L”出力は解除され、転送クロックが入出力されます。

U2SMR3レジスタのCKPHビットが“1”のとき、U2SMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCL2端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

21.5.4 SDA出力

U2TBレジスタのビットb7～b0(D7～D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDA2送信出力の初期値は、IICM=1(I²Cモード)で、U2MRレジスタのSMD2～SMD0ビットが“000b”(シリアルインタフェースは無効)の状態を設定してください。

U2SMR3レジスタのDL2～DL0ビットによりSDA2の出力を遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を設定できます。

U2SMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDA2端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の転送クロックの立ち上がりのタイミングで書かないでください。

21.5.5 SDA入力

IICM2ビットが“0”のとき、受信したデータの1～8ビット目(D7～D0)をU2RBレジスタのビットb7～b0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1～7ビット目(D7～D1)をU2RBレジスタのビットb6～b0に、8ビット目(D0)をU2RBレジスタのビットb8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

21.5.6 ACK、NACK

U2SMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でU2SMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“L”ならば発生します。

21.5.7 送受信初期化

STACビットを“1”(UART2初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がり時でSCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

21.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図21.17にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを“1”にセットすると、マルチプロセッサビットが“1”のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが“1”にセットされるとともに、U2SMR5レジスタのMPIEビットが“0”になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モード(UARTモード)と同一です。

図21.18にマルチプロセッサ通信機能のブロック図を、表21.14にマルチプロセッサ通信機能時の使用レジスタと設定値を示します。

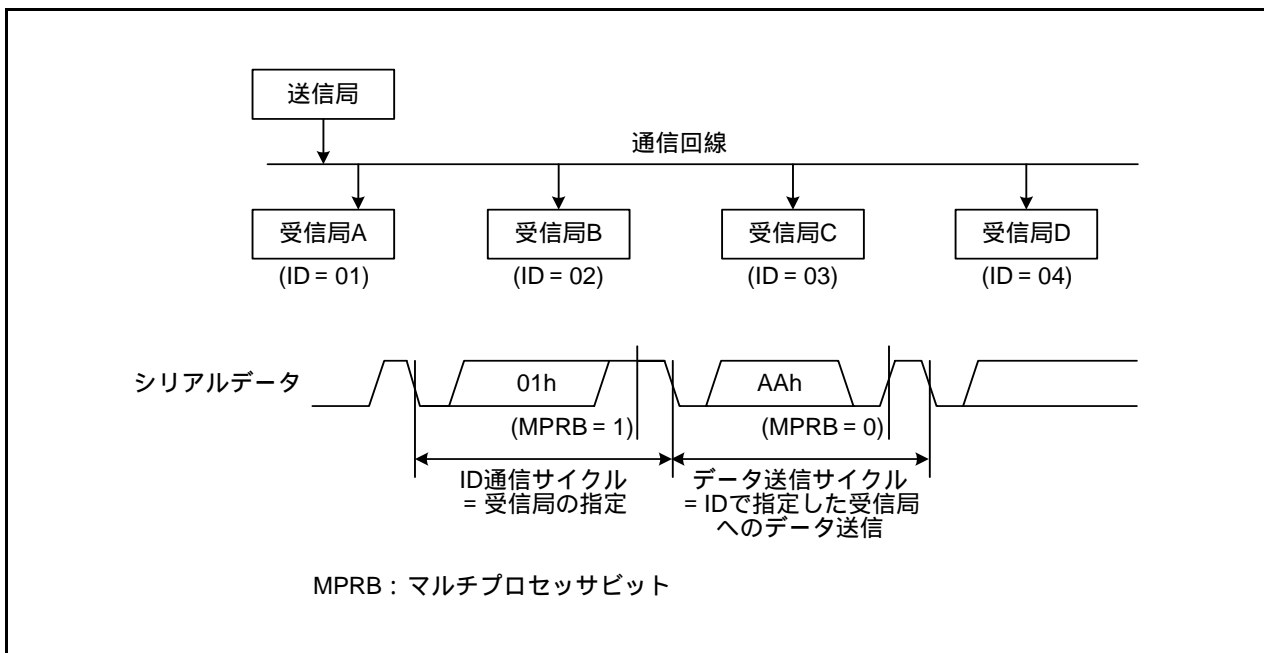


図21.17 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)

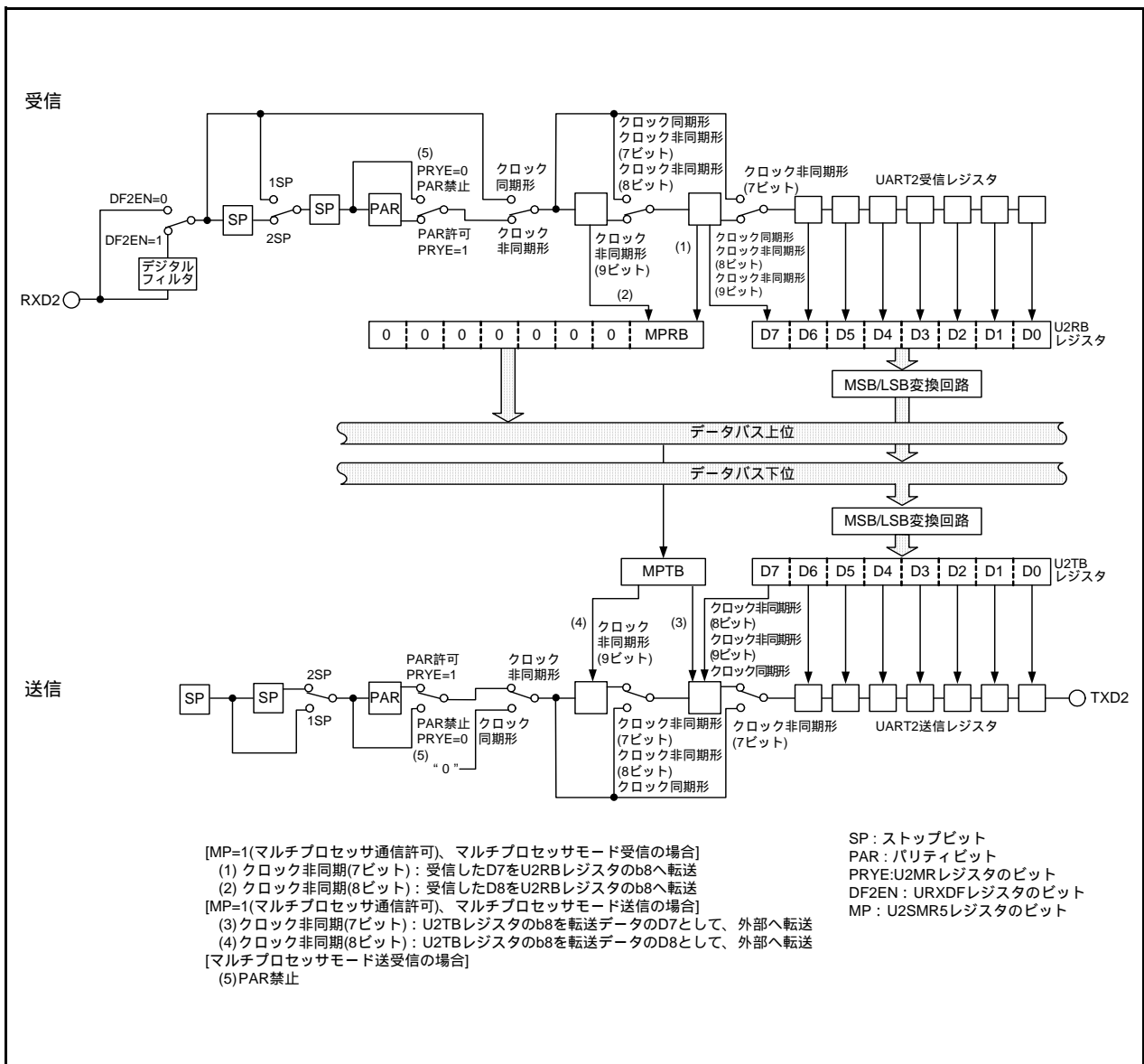


図21.18 マルチプロセッサ通信機能のブロック図

表21.14 マルチプロセッサ通信機能時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0 ~ b7	送信データを設定してください
	MPTB	“0” または “1” を設定してください
U2RB(注2)	b0 ~ b7	受信データが読めます
	MPRB	マルチプロセッサビット
	OER、FER、SUM	エラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください
U2MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b” を設定してください
		転送データが8ビットの場合、“101b” を設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティ検出機能無効
	IOPOL	“0” にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能無効
	TXEPT	送信レジスタ空フラグ
	CRD	“0” にしてください
	NCH	TXD2端子出力形式を選択してください
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
U2C1	TE	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1” にしてください
	RI	受信完了フラグ
	U2IRS	UART2の送信割り込み要因を選択してください
	U2LCH	“0” にしてください
	U2ERE	“0” にしてください
U2SMR	b0 ~ b7	“0” にしてください
U2SMR2	b0 ~ b7	“0” にしてください
U2SMR3	b0 ~ b7	“0” にしてください
U2SMR4	b0 ~ b7	“0” にしてください
U2SMR5	MP	“1” にしてください
	MPIE	“1” にしてください
URXDF	DF2EN	デジタルフィルタの有効、無効を選択してください

注1. IDデータフレームを送信したとき、MPTBビットを“1” にしてください。データフレームを送信したとき、MPTBビットを“0” にしてください。

注2. MPRBビットが“1” の場合、受信したD7 ~ D0はIDフィールドです。MPRBビットが“0” の場合、受信したD7 ~ D0はデータフィールドです。

21.6.1 マルチプロセッサ送信

図 21.19 にマルチプロセッサデータ送信のフローチャートの例を示します。ID 送信サイクルでは、U2TB レジスタのMPBT ビットを “1” にして送信してください。データ送信サイクルでは、U2TB レジスタのMPBT を “0” にして送信してください。その他の動作は調歩同期モード (UART モード) の動作と同じです。

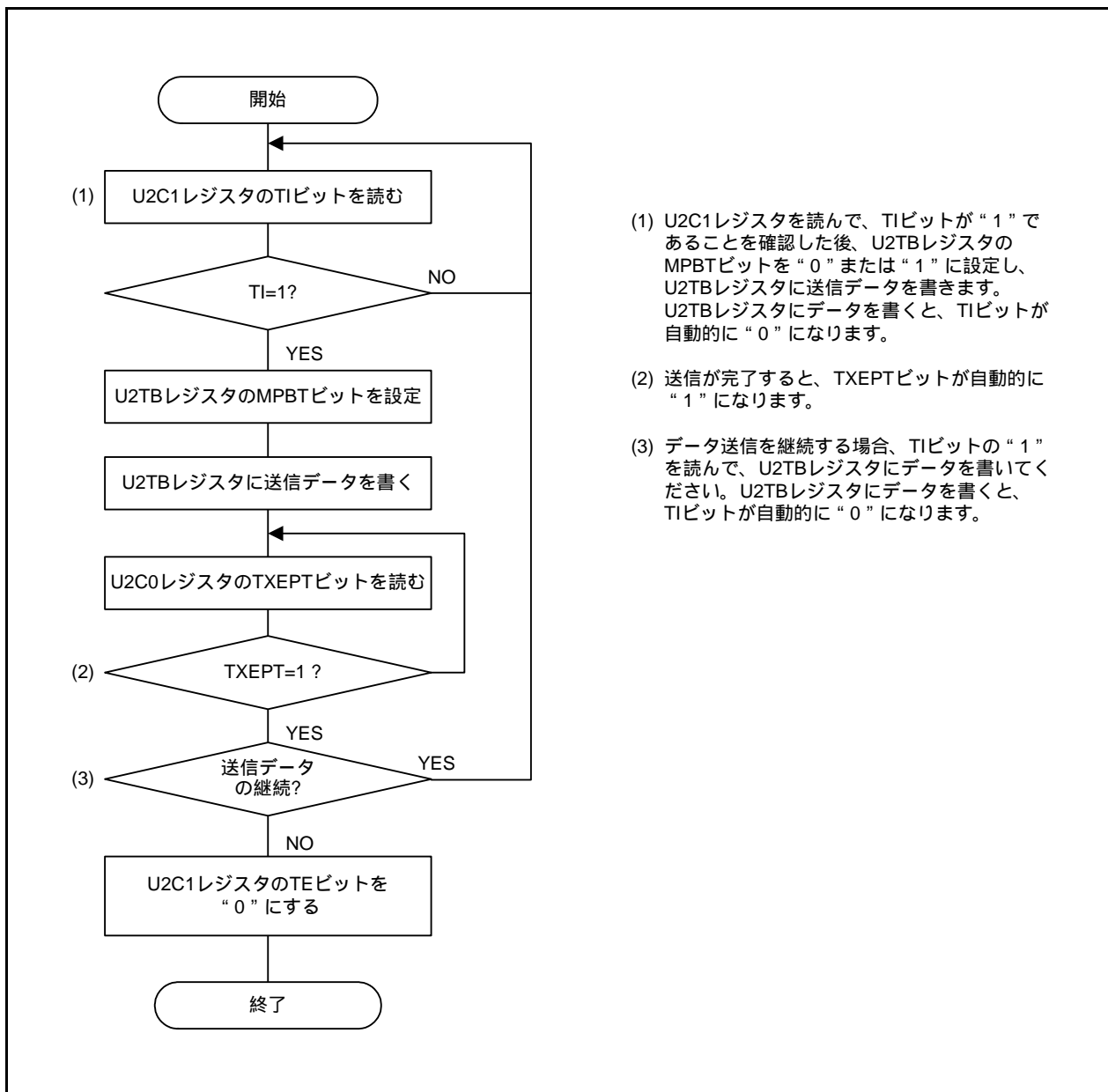


図21.19 マルチプロセッサデータ送信のフローチャートの例

21.6.2 マルチプロセッサ受信

図 21.20 にマルチプロセッサデータ受信のフローチャートの例を示します。U2SMR5 レジスタの MPIE ビットを “1” にすると、マルチプロセッサビットが “1” の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが “1” の通信データを、受信データとして U2RB レジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作は調歩同期モード(UARTモード)の動作と同じです。図 21.21 にマルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)を示します。

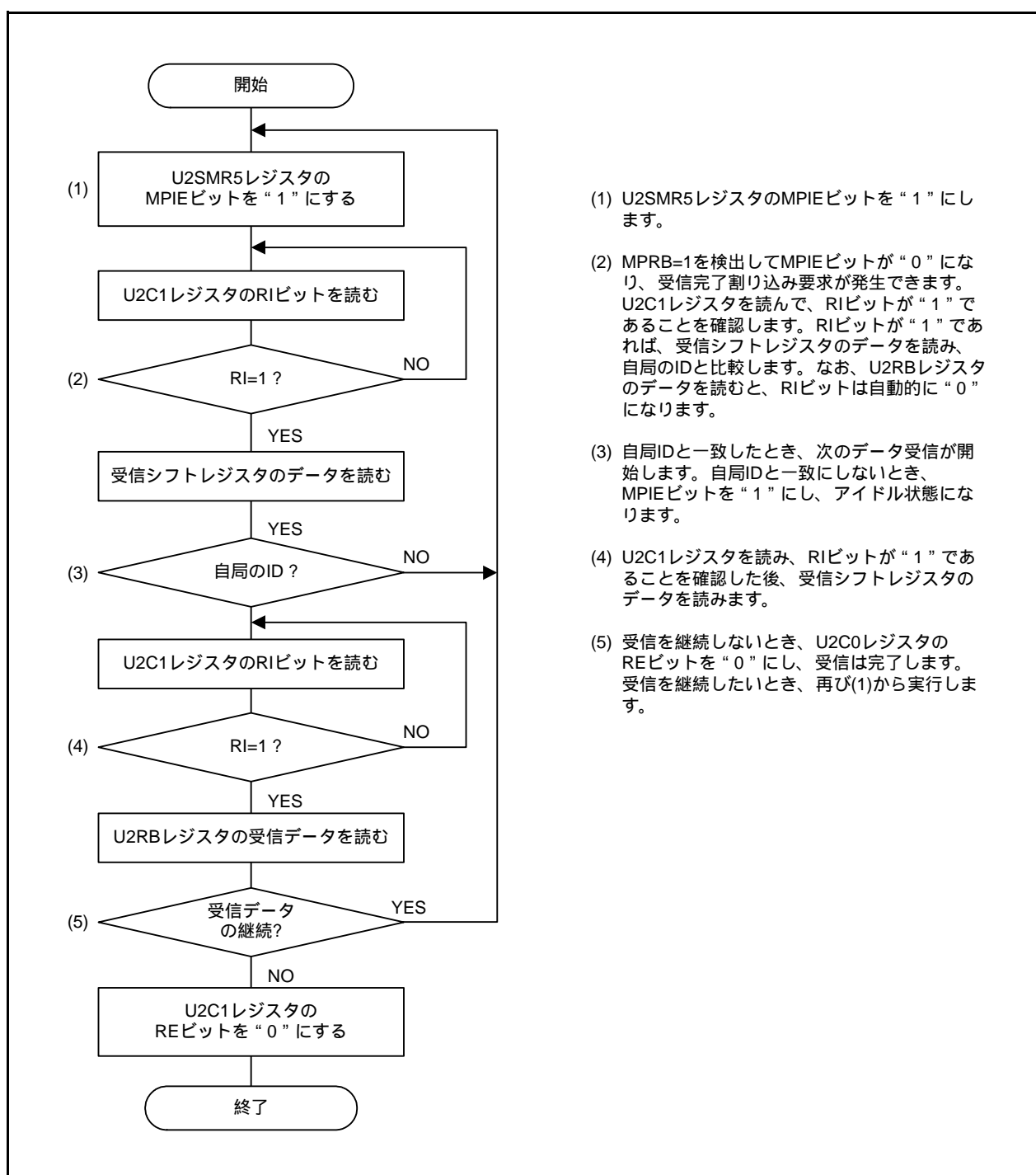


図21.20 マルチプロセッサデータ受信のフローチャートの例

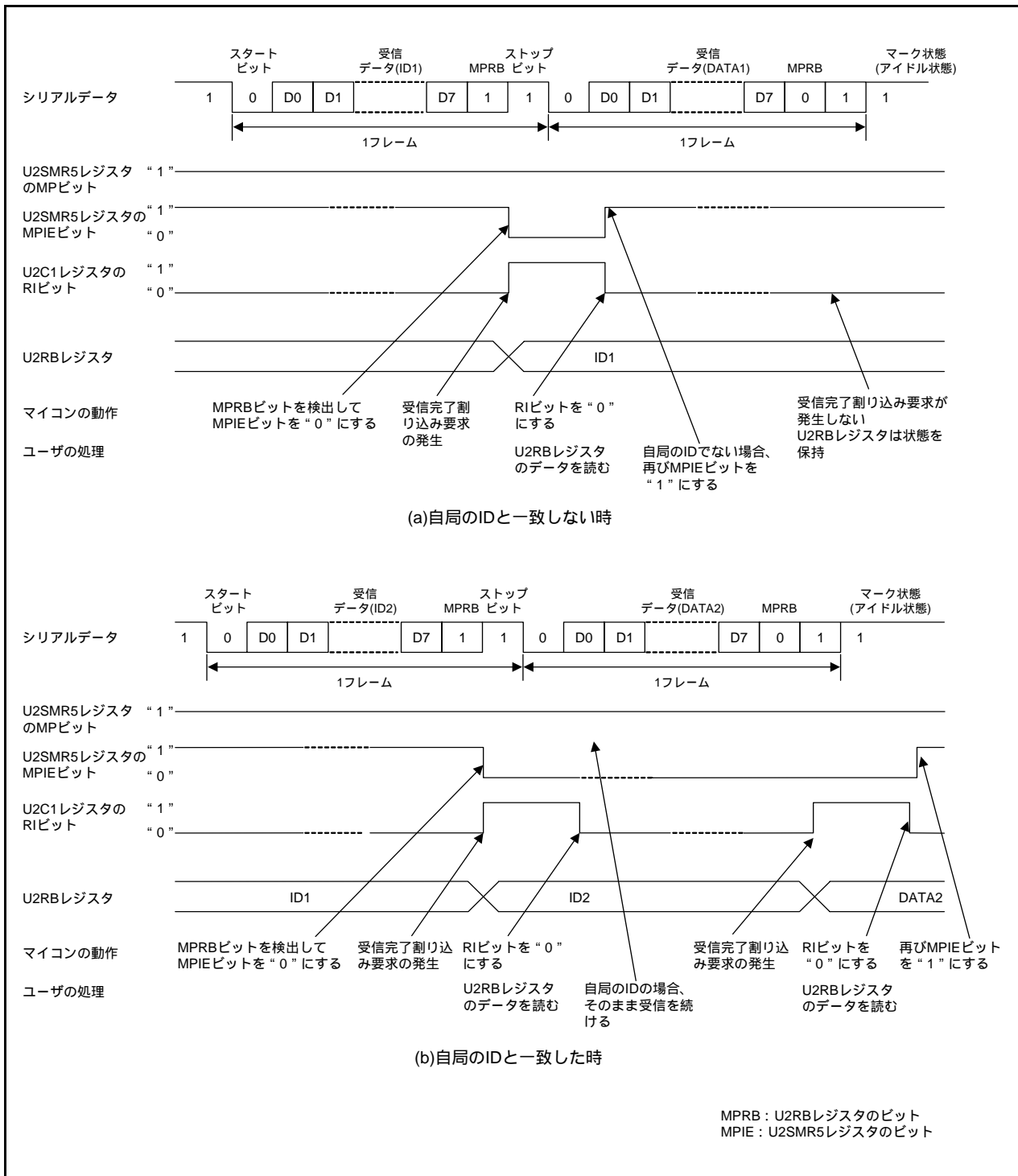


図21.21 マルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)

21.6.3 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

図21.22にRXD2デジタルフィルタ回路のブロック図を示します。

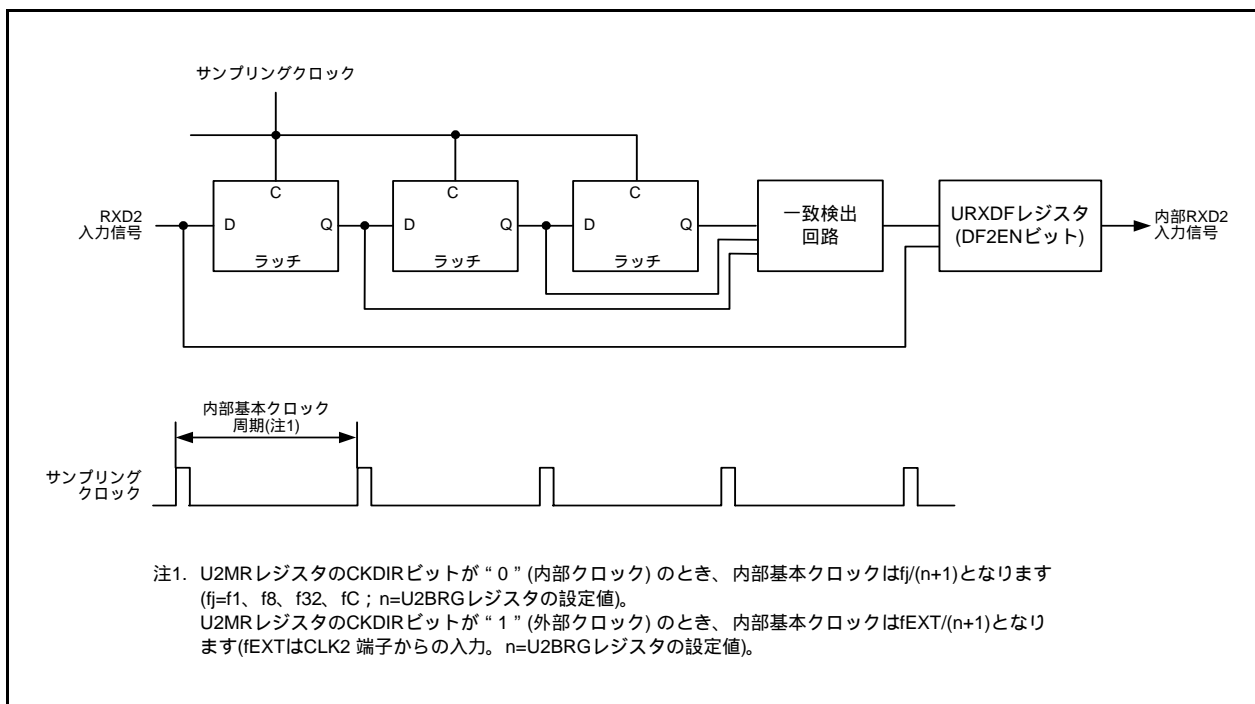


図21.22 RXD2デジタルフィルタ回路のブロック図

21.7 シリアルインタフェース(UART2)使用上の注意

21.7.1 クロック同期形シリアルI/Oモード

21.7.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると RTS2 端子の出力レベルは“H”になります。このため、 RTS2 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は RTS 機能は無効です。

21.7.1.2 送信

外部クロックを選択している場合、 U2C0 レジスタの CKPOL ビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、 CKPOL ビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1 レジスタの TE ビットが“1”(送信許可)
- U2C1 レジスタの TI ビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

21.7.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時 TXD2 端子からはダミーデータが外部に出力されます。

内部クロック選択時は U2C1 レジスタの TE ビットを“1”(送信許可)にし、ダミーデータを U2TB レジスタに設定するとシフトクロックが発生します。外部クロック選択時は TE ビットを“1”にし、ダミーデータを U2TB レジスタに設定し、外部クロックが CLK2 端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、 U2C1 レジスタの RE ビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、 U2RB レジスタの OER ビットが“1”(オーバーランエラー発生)になります。この場合、 U2RB レジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときは S2RIC レジスタの IR ビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとに U2TB レジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、 CKPOL ビットが“0”のときは外部クロックが“H”の状態、 CKPOL ビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1 レジスタの RE ビットが“1”(受信許可)
- U2C1 レジスタの TE ビットが“1”(送信許可)
- U2C1 レジスタの TI ビットが“0”(U2TBレジスタにデータあり)

21.7.2 特殊モード1(I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、 U2SMR4 レジスタの STSPSEL ビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ 、 RSTAREQ 、 STPREQ)を“0”から“1”にしてください。

22. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P0_0 ~ P0_7、P1_0 ~ P1_3と端子を共用しています。

22.1 概要

表22.1にA/Dコンバータの性能を、図22.1にA/Dコンバータのブロック図を示します。

表22.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ AVCC
動作クロック AD(注2)	fAD、fADの2分周、fADの4分周、fADの8分周 (fAD=f1またはfOCO-F)
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC=Vref=5V、AD=20MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 3LSB AVCC=Vref=3.3V、AD=16MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB AVCC=Vref=3.0V、AD=10MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB AVCC=Vref=2.2V、AD=5MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB
動作モード	単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード
アナログ入力端子	12本(AN0 ~ AN11)
A/D変換開始条件	<ul style="list-style-type: none"> ・ソフトウェアトリガ ・タイマRC ・外部トリガ (「22.3.3 A/D変換開始条件」参照)
1端子あたりの変換速度(注3) (AD=fADのとき)	最短43 ADサイクル

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 動作クロック ADは「表26.3 A/Dコンバータ特性」を参照してください。

注3. 分解能8ビット、10ビット共に1端子あたりの変換速度は最短43 ADサイクルになります。

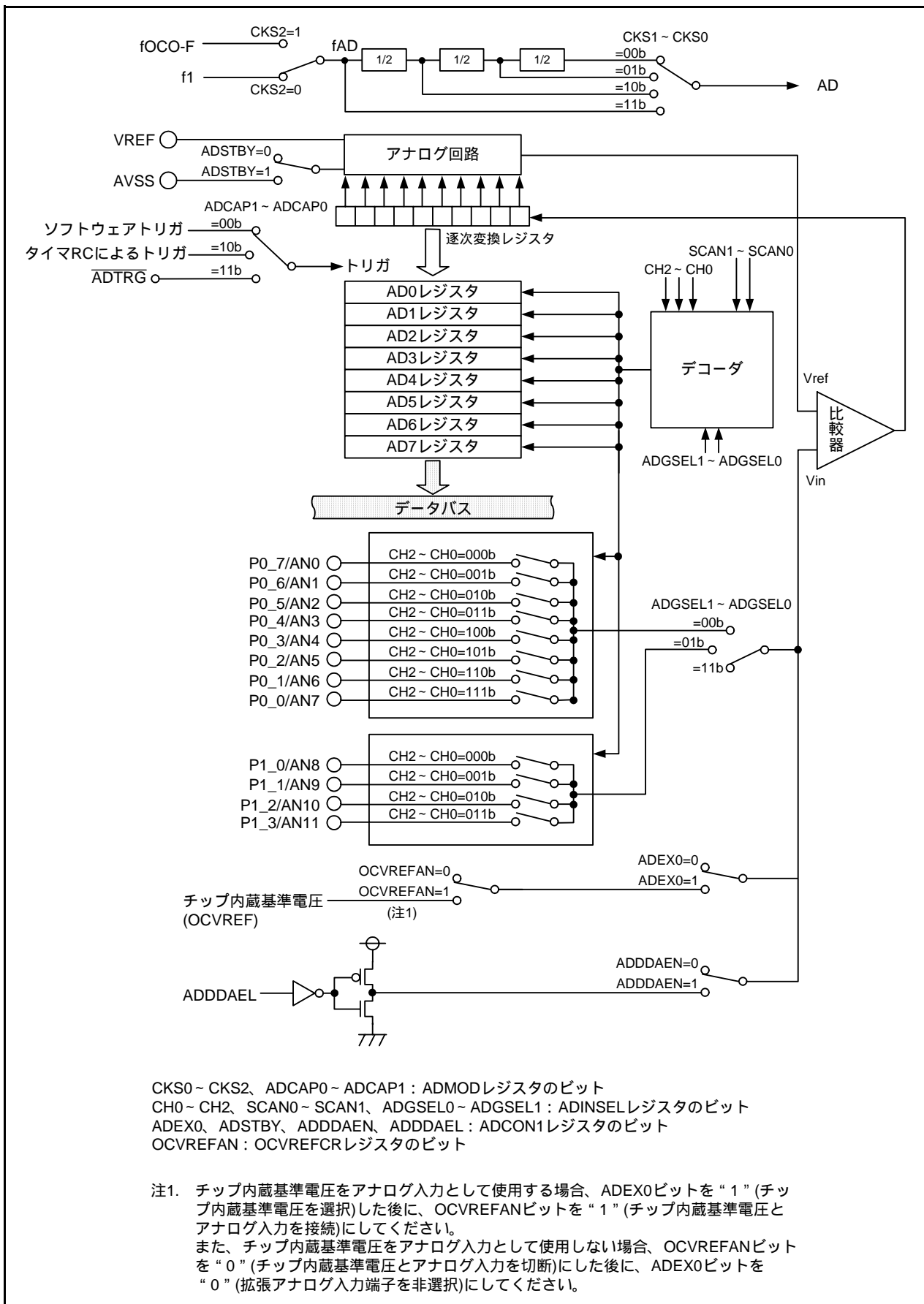


図22.1 A/Dコンバータのブロック図

22.2 レジスタの説明

22.2.1 チップ内蔵基準電圧制御レジスタ (OCVREFCR)

アドレス 0026h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	OCVREFAN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCVREFAN	チップ内蔵基準電圧 - アナログ 入力接続ビット(注1)	0 : チップ内蔵基準電圧とアナログ入力を切断 1 : チップ内蔵基準電圧とアナログ入力を接続	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1 レジスタの ADEX0 ビットを "1" (チップ内蔵基準電圧を選択) にした後に、OCVREFAN ビットを "1" (チップ内蔵基準電圧とアナログ入力を接続) にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを "0" (チップ内蔵基準電圧とアナログ入力を切断) にした後に、ADEX0 ビットを "0" (拡張アナログ入力端子を非選択) にしてください。

OCVREFCR レジスタは、PRCR レジスタの PRC3 ビットを "1" (書き込み許可) にした後に書き換えてください。

A/D変換中にOCVREFCRレジスタの内容を書き換えた場合、変換結果は不定になります。

22.2.2 A/Dレジスタ*i* (AD*i*)(*i* = 0 ~ 7)

アドレス 00C1h ~ 00C0h番地 (AD0)、00C3h ~ 00C2h番地 (AD1)、00C5h ~ 00C4h番地 (AD2)、
00C7h ~ 00C6h番地 (AD3)、00C9h ~ 00C8h番地 (AD4)、00CBh ~ 00CAh番地 (AD5)、
00CDh ~ 00CCh番地 (AD6)、00CFh ~ 00CEh番地 (AD7)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	X	X

ビット	機能		R/W
	10ビットモードの場合 (ADCON1レジスタのBITSビット="1")	8ビットモードの場合 (ADCON1レジスタのBITSビット="0")	
b0	A/D変換結果の下位8ビット	A/D変換結果	R
b1			
b2			
b3			
b4			
b5			
b6			
b7			
b8	A/D変換結果の上位2ビット	読んだ場合、その値は"0"。	R
b9			
b10	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		-
b11			
b12			
b13			
b14			
b15	予約ビット	読んだ場合、その値は不定。	R

A/D変換中にADCON1、ADMOD、ADINSEL、OCVREFCRレジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10ビットモードかつ繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、AD*i*レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

22.2.3 A/Dモードレジスタ(ADM0D)

アドレス 00D4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	分周選択ビット	b1 b0 00 : fADの8分周 01 : fADの4分周 10 : fADの2分周 11 : fADの1分周(分周なし)	R/W
b1	CKS1			R/W
b2	CKS2	クロック源選択ビット(注1)	0 : f1を選択 1 : fOCO-Fを選択	R/W
b3	MD0	A/D動作モード選択ビット	b5 b4 b3 000 : 単発モード 001 : 設定しないでください 010 : 繰り返しモード0 011 : 繰り返しモード1 100 : 単掃引モード 101 : 設定しないでください 110 : 繰り返し掃引モード 111 : 設定しないでください	R/W
b4	MD1			R/W
b5	MD2			R/W
b6	ADCAP0	A/D変換トリガ選択ビット	b7 b6 00 : ソフトウェアトリガ(ADCON0レジスタのADSTビット)によるA/D変換開始 01 : 設定しないでください 10 : タイマRCからの変換トリガによるA/D変換開始 11 : 外部トリガ(ADTRG)によるA/D変換開始	R/W
b7	ADCAP1			R/W

注1. CKS2ビットを変更したときは、ADの3サイクル以上経過した後にA/D変換を開始してください。

A/D変換中にADM0Dレジスタの内容を書き換えた場合、変換結果は不定になります。

22.2.4 A/D入力選択レジスタ(ADINSEL)

アドレス 00D5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	SCAN1	SCAN0	-	CH2	CH1	CH0
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	アナログ入力端子選択ビット	「表22.2 アナログ入力端子選択」参照	R/W
b1	CH1			R/W
b2	CH2			R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	SCAN0	A/D掃引端子数選択ビット	b5 b4 00: 2端子 01: 4端子 10: 6端子 11: 8端子	R/W
b5	SCAN1			R/W
b6	ADGSEL0	A/D入力グループ選択ビット	b7 b6 00: ポートP0グループを選択 01: ポートP1グループを選択 10: 設定しないでください 11: ポートグループを非選択	R/W
b7	ADGSEL1			R/W

A/D変換中にADINSELレジスタの内容を書き換えた場合、変換結果は不定になります。

表22.2 アナログ入力端子選択

CH2 ~ CH0ビット	ADGSEL1 ~ ADGSEL0ビット=00b	ADGSEL1 ~ ADGSEL0ビット=01b
000b	AN0	AN8
001b	AN1	AN9
010b	AN2	AN10
011b	AN3	AN11
100b	AN4	設定しないでください
101b	AN5	
110b	AN6	
111b	AN7	

22.2.5 A/D制御レジスタ0 (ADCON0)

アドレス 00D6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

ADSTビット(A/D変換開始フラグ)

【“1”になる条件】A/D変換開始時およびA/D変換中

【“0”になる条件】A/D変換停止時

22.2.6 A/D制御レジスタ1 (ADCON1)

アドレス 00D7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	-	-	-	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	拡張アナログ入力端子選択ビット (注1)	0: 拡張アナログ入力端子を非選択 1: チップ内蔵基準電圧を選択(注2、5、6)	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット(注3)	0: A/D動作停止(スタンバイ) 1: A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可ビット (注4、6)	0: 禁止 1: 許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択ビット (注4)	0: 変換前ディスチャージ 1: 変換前プリチャージ	R/W

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0ビットを“1”(チップ内蔵基準電圧を選択)にした後に、OCVREFCRレジスタのOCVREFANビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFANビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを“0”(拡張アナログ入力端子を非選択)にしてください。

注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。

注3. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、ADの1サイクル以上経過した後にA/D変換を開始してください。

注4. A/D断線検出アシスト機能を許可にするためには、ADDDAENビットを“1”(許可)にした後、ADDDAELビットで変換開始状態を選択してください。

断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。

注5. チップ内蔵基準電圧を使用する場合(ADEX0 = 1)、ADINSELレジスタのCH2 ~ CH0ビットを“000b”にしてください。

注6. チップ内蔵基準電圧を使用する場合(ADEX0 = 1)、ADDDAENビットを“0”(A/D断線検出アシスト機能を禁止)にしてください。

A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定になります。

22.3 複数モードに関わる共通事項

22.3.1 入出力端子

アナログ入力はAN0 ~ AN11で、P0_0 ~ P0_7、P1_0 ~ P1_3と端子を共用しています。

AN_i (i=0 ~ 11)端子を入力で使用する場合、端子に対応するポート方向ビットを“0”(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

22.3.2 A/D変換サイクル数

図22.2にA/D変換タイミング図を、図22.3にA/D変換サイクル数(AD = fADのとき)を示します。

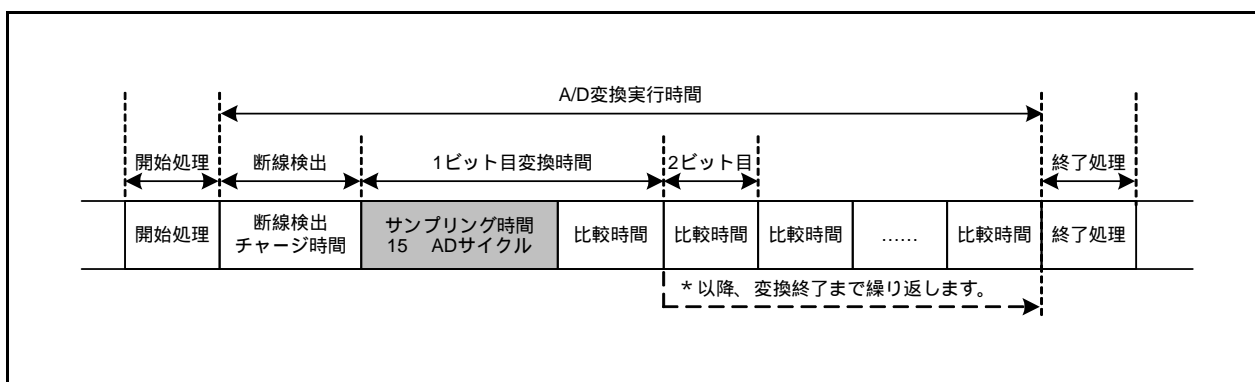


図22.2 A/D変換タイミング図

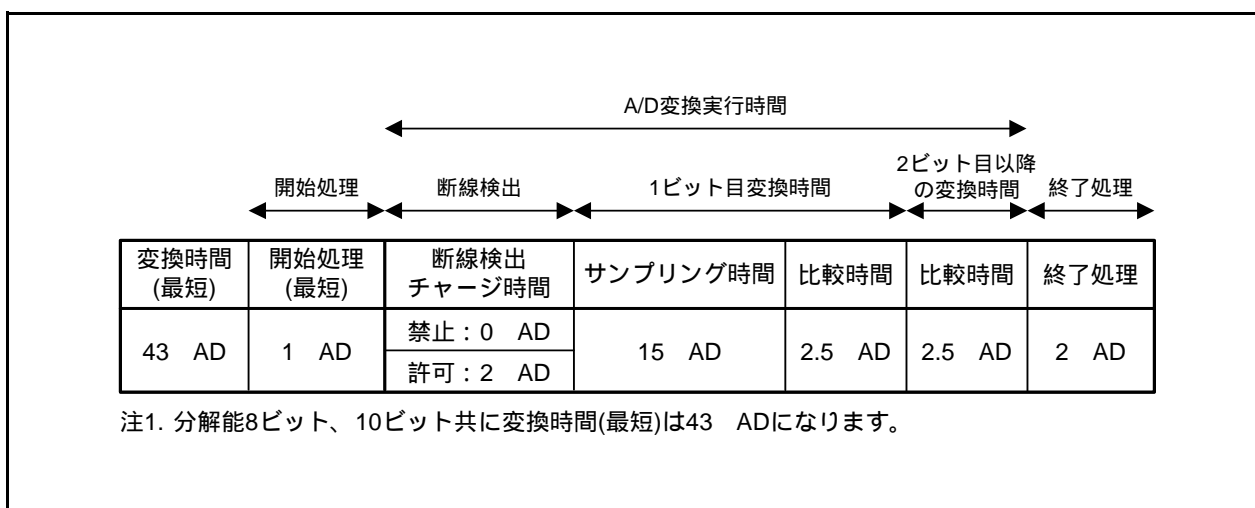


図22.3 A/D変換サイクル数(AD = fADのとき)

表22.3に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。

開始処理時間は ADの選択によって変わります。

ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にADSTビットが“0”になり、最後のA/D変換結果がADiレジスタに入ります。

- 単発モードの場合
開始処理時間 + A/D変換実行時間 + 終了処理時間
- 単掃引モードで2端子を選択した場合
開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表22.3 各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	AD=fAD	fADの1～2サイクル
	AD=fADの2分周	fADの2～3サイクル
	AD=fADの4分周	fADの3～4サイクル
	AD=fADの8分周	fADの5～6サイクル
A/D変換実行時間	断線検出禁止	ADの40サイクル
	断線検出許可	ADの42サイクル
実行間処理時間		ADの1サイクル
終了処理時間		fADの2～3サイクル

22.3.3 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと、タイマRCからのトリガと、外部トリガがあります。図22.4にA/D変換開始制御部のブロック図を示します。

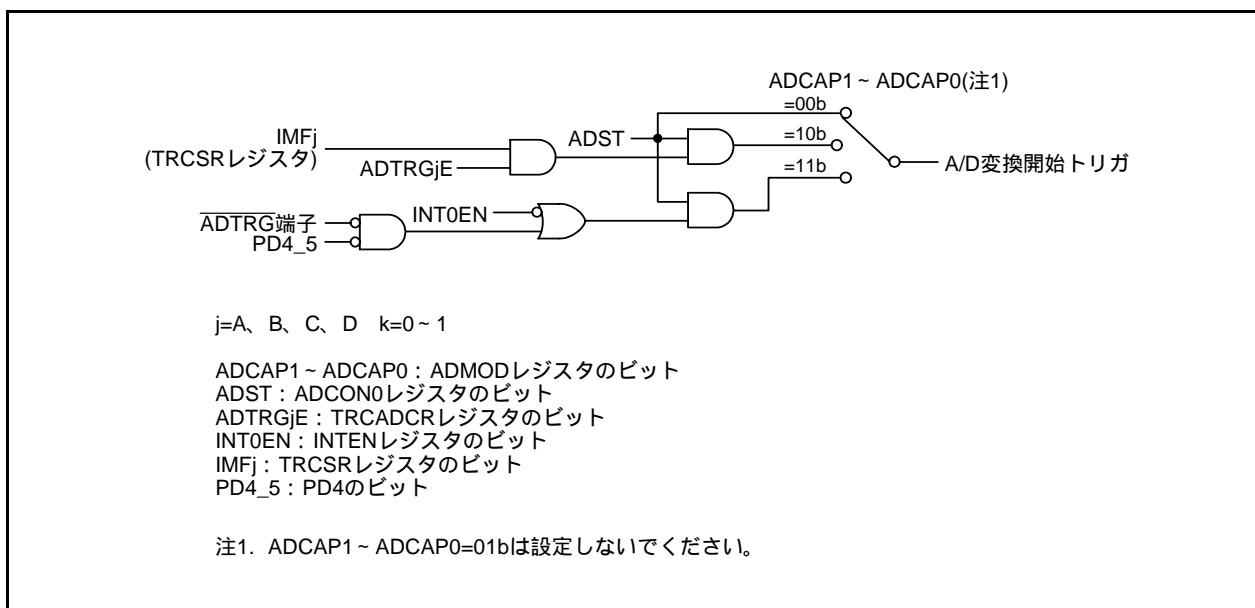


図22.4 A/D変換開始制御部のブロック図

22.3.3.1 ソフトウェアトリガ

ADMODレジスタのADCAP1~ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合です。ADCON0レジスタのADSTビットを“1”(A/D変換開始)にするとA/D変換を開始します。

22.3.3.2 タイマRCからのトリガ

ADMODレジスタのADCAP1~ADCAP0ビットが“10b”(タイマRC)の場合です。この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1~ADCAP0ビットが“10b”(タイマRC)
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用
- TRCADCRレジスタのADTRGjEビット(j=A、B、C、D)が“1”(TRCGRjレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態、TRCSRレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は「18. タイマRC」、「18.5 タイマモード(アウトプットコンペア機能)」、「18.6 PWMモード」、「18.7 PWM2モード」を参照してください。

22.3.3.3 外部トリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“11b”(外部トリガ($\overline{\text{ADTRG}}$))の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットを“11b”(外部トリガ($\overline{\text{ADTRG}}$))にする。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1 ~ INT0F0ビットで選択する。
- ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、 $\overline{\text{ADTRG}}$ 端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

上記の状態、 $\overline{\text{ADTRG}}$ 端子の入力を“H”から“L”にするとA/D変換を開始します。

22.3.4 A/D変換結果

A/D変換した結果はADiレジスタ(i = 0 ~ 7)に格納されます。使用するA/D動作モードによって、格納されるADiレジスタは違います。ADiレジスタはリセット後不定です。値は書き込みません。

繰り返しモード0では割り込み要求は発生しません。1回目のA/D変換終了は、A/D変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード1、単掃引モード、繰り返し掃引モードでは、A/D変換終了などのタイミングで割り込み要求が発生します(ADICレジスタのIRビットが“1”になります)。

ただし、繰り返しモード1、繰り返し掃引モードでは、割り込み要求発生後もA/D変換を続けます。次のA/D変換が終了するとADiレジスタに値を上書きしますので、それまでにADiレジスタを読み出してください。

単発モード、単掃引モードで、ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合は、ADCON0レジスタのADSTビットでもA/D変換終了、掃引終了を判定できます。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。

プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

22.3.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

22.3.6 チップ内蔵基準電圧(OCVREF)

単発モード、繰り返しモード0、繰り返しモード1では、チップ内蔵基準電圧(OCVREF)をアナログ入力として使用できます。

チップ内蔵基準電圧を使用することにより、VREFの変動を確認することができます。ADCON1レジスタのADEX0ビットとOCVREFCRレジスタのOCVREFANビットで選択してください。

単発モード、繰り返しモード0でのチップ内蔵基準電圧のA/D変換結果は、AD0レジスタに格納されます。

22.3.7 A/D断線検出アシスト機能

A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアンプキャパシタの電荷を所定の状態(AVCCまたはGND)に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

図22.5にAVCC側でのA/D断線検出例(変換前プリチャージを選択)を示し、図22.6にAVSS側でのA/D断線検出例(変換前ディスチャージを選択)を示します。

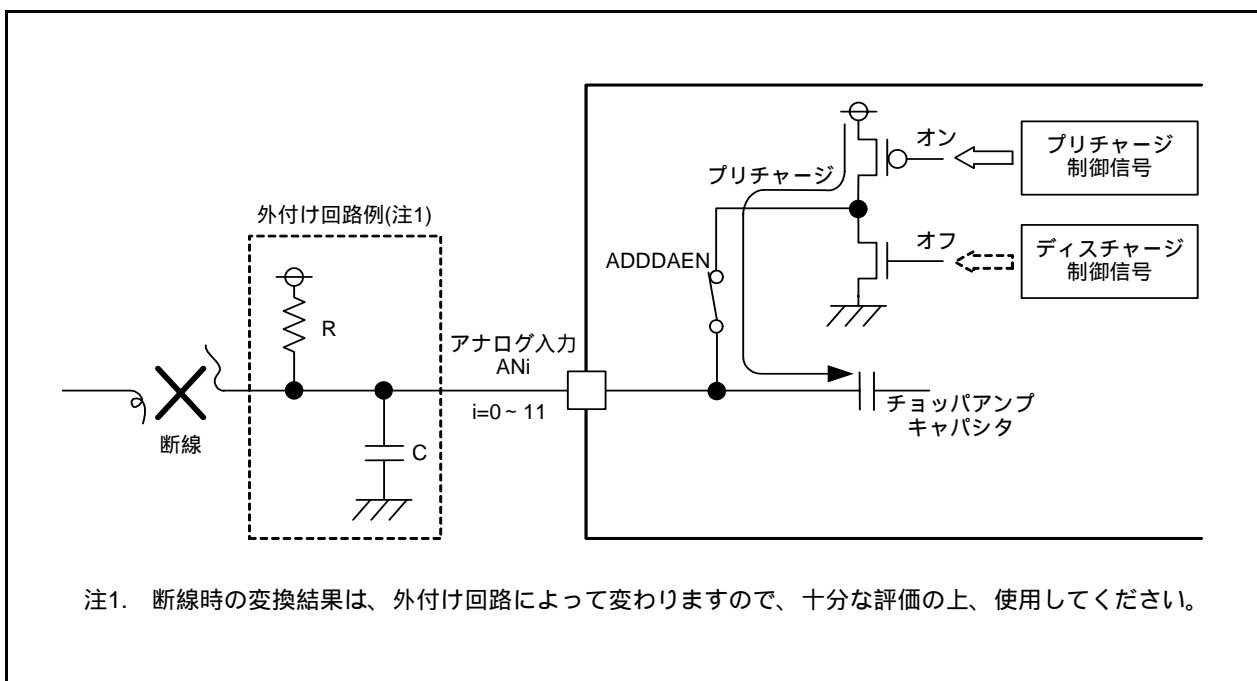


図22.5 AVCC側でのA/D断線検出例(変換前プリチャージを選択)

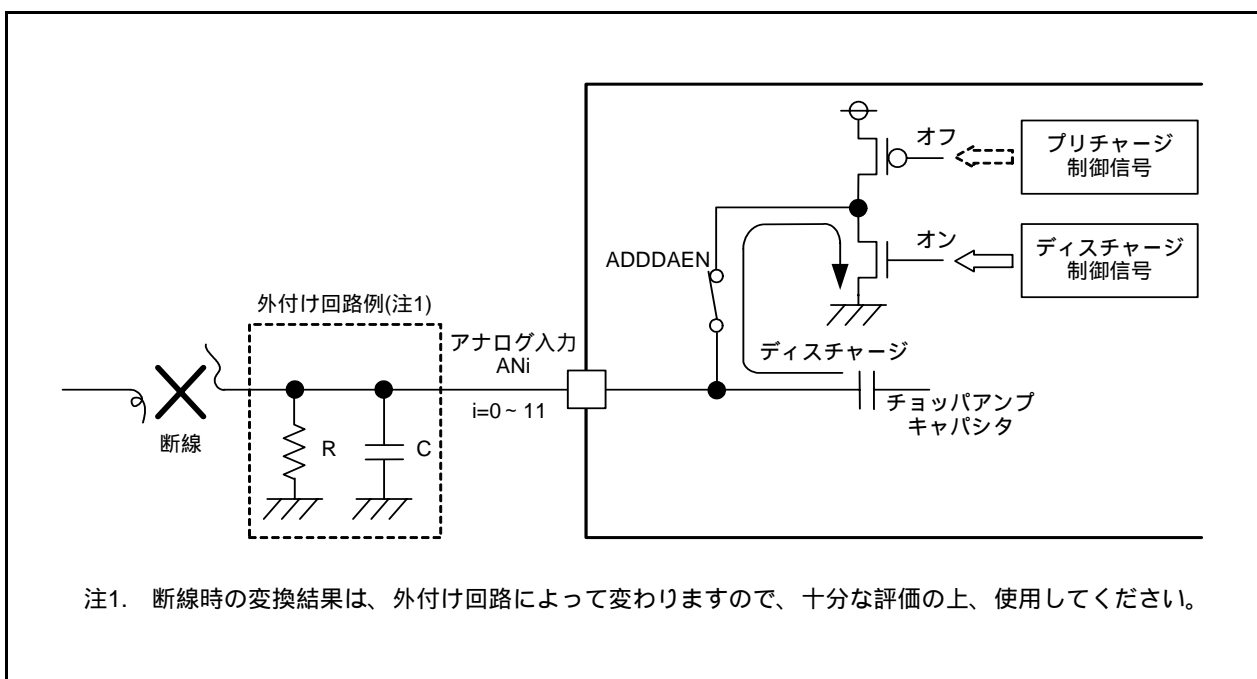


図22.6 AVSS側でのA/D断線検出例(変換前ディスチャージを選択)

22.4 単発モード

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、1回A/D変換するモードです。表22.4に単発モードの仕様を示します。

表22.4 単発モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回A/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ タイマRC 外部トリガ (「22.3.3 A/D変換開始条件」参照)
A/D変換停止条件	<ul style="list-style-type: none"> A/D変換終了(ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合、ADCON0レジスタのADSTビットが“0”になる) ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0 ~ AN11、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、OCVREF AD1レジスタ : AN1、AN9 AD2レジスタ : AN2、AN10 AD3レジスタ : AN3、AN11 AD4レジスタ : AN4 AD5レジスタ : AN5 AD6レジスタ : AN6 AD7レジスタ : AN7
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

22.5 繰り返しモード0

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表22.5に繰り返しモード0の仕様を示します。

表22.5 繰り返しモード0の仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0で選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRC • 外部トリガ (「22.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
アナログ入力端子	AN0 ~ AN11、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、OCVREF AD1レジスタ : AN1、AN9 AD2レジスタ : AN2、AN10 AD3レジスタ : AN3、AN11 AD4レジスタ : AN4 AD5レジスタ : AN5 AD6レジスタ : AN6 AD7レジスタ : AN7
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

22.6 繰り返しモード1

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表22.6に繰り返しモード1の仕様を、図22.7に繰り返しモード1時の動作例を示します。

表22.6 繰り返しモード1の仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRC • 外部トリガ (「22.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	AD7レジスタにA/D変換結果が格納されたとき
アナログ入力端子	AN0 ~ AN11、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、 AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、 AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、 AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、 AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、 AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、 AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、 AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、
A/D変換値の読み出し	AD0レジスタ ~ AD7レジスタの読み出し

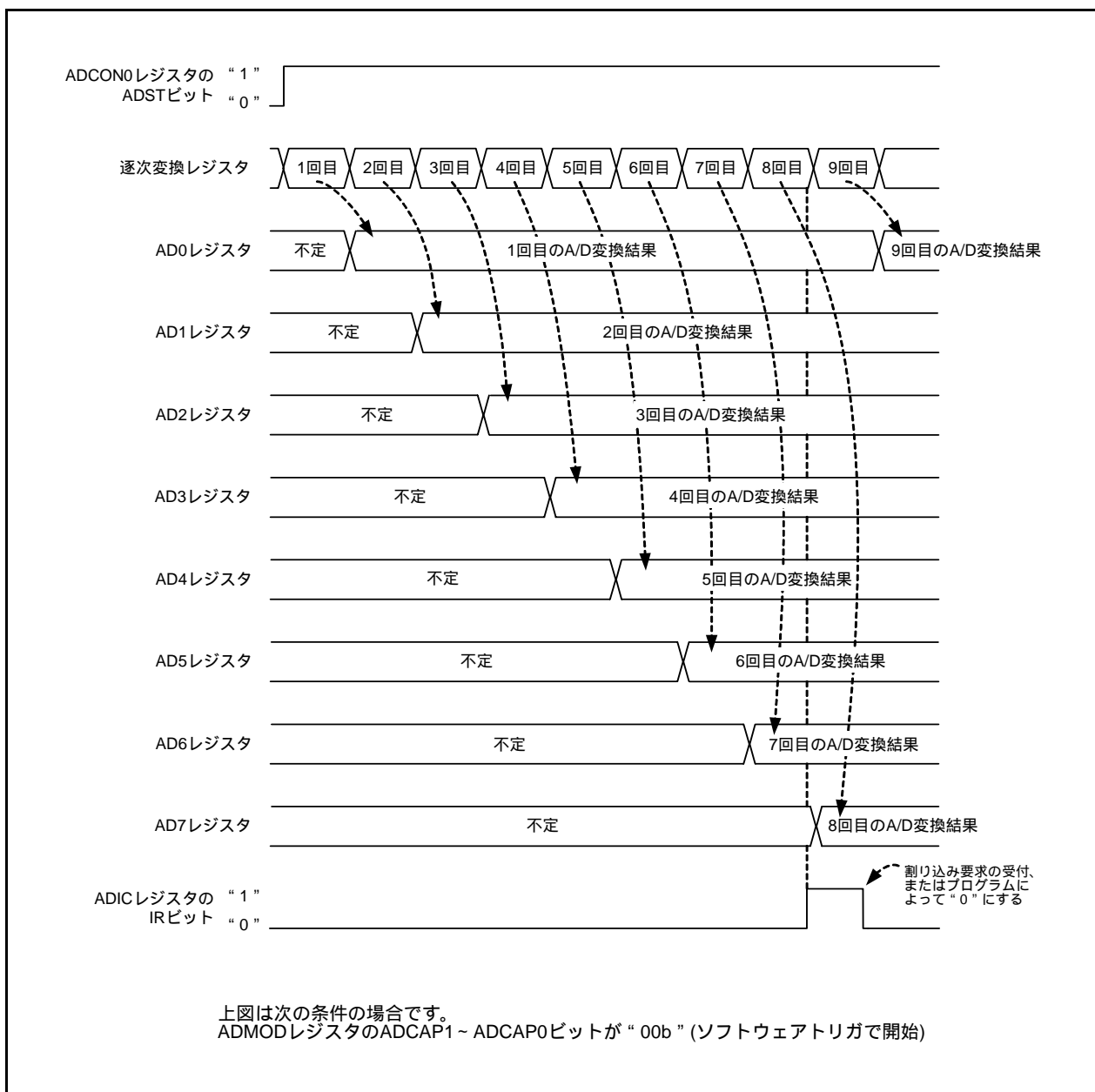


図22.7 繰り返しモード1時の動作例

22.7 単掃引モード

AN0 ~ AN11から選択した2本、4本、6本または8本の端子の入力電圧を、1回ずつA/D変換するモードです。

表22.7に単掃引モードの仕様を、図22.8に単掃引モード時の動作例を示します。

表22.7 単掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL1 ~ ADGSEL0ビットとSCAN1 ~ SCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ タイマRC 外部トリガ (「22.3.3 A/D変換開始条件」参照)
A/D変換停止条件	<ul style="list-style-type: none"> 2端子を選択している場合、選択した2端子のA/D変換終了(ADCON0レジスタのADSTビットが“0”になる) 4端子を選択している場合、選択した4端子のA/D変換終了(ADSTビットが“0”になる) 6端子を選択している場合、選択した6端子のA/D変換終了(ADSTビットが“0”になる) 8端子を選択している場合、選択した8端子のA/D変換終了(ADSTビットが“0”になる) ADSTビットを“0”にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> 2端子を選択している場合、選択した2端子のA/D変換終了時 4端子を選択している場合、選択した4端子のA/D変換終了時 6端子を選択している場合、選択した6端子のA/D変換終了時 8端子を選択している場合、選択した8端子のA/D変換終了時
アナログ入力端子	AN0 ~ AN1(2端子)、AN8 ~ AN9(2端子)、 AN0 ~ AN3(4端子)、AN8 ~ AN11(4端子)、 AN0 ~ AN5(6端子)、 AN0 ~ AN7(8端子) (SCAN1 ~ SCAN0ビットとADGSEL1 ~ ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

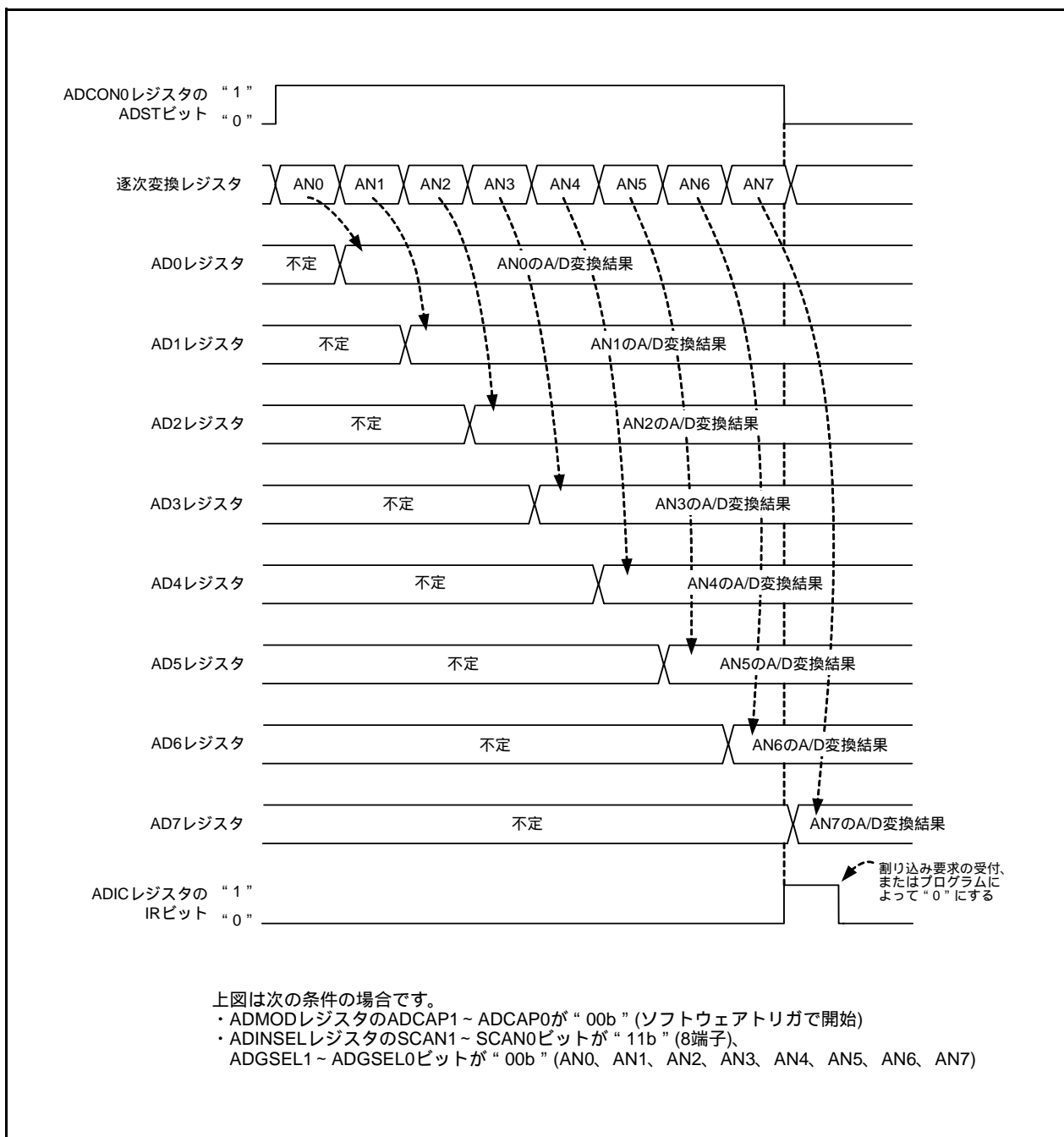


図22.8 単掃引モード時の動作例

22.8 繰り返し掃引モード

AN0 ~ AN11から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返しA/D変換するモードです。

表22.8に繰り返し掃引モードの仕様を、図22.9に繰り返し掃引モード時の動作例を示します。

表22.8 繰り返し掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL1 ~ ADGSEL0ビットとSCAN1 ~ SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> •ソフトウェアトリガ •タイマRC •外部トリガ (「22.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> •2端子を選択している場合、選択した2端子のA/D変換終了時 •4端子を選択している場合、選択した4端子のA/D変換終了時 •6端子を選択している場合、選択した6端子のA/D変換終了時 •8端子を選択している場合、選択した8端子のA/D変換終了時
アナログ入力端子	AN0 ~ AN1(2端子)、AN8 ~ AN9(2端子)、 AN0 ~ AN3(4端子)、AN8 ~ AN11(4端子)、 AN0 ~ AN5(6端子)、 AN0 ~ AN7(8端子) (SCAN1 ~ SCAN0ビットとADGSEL1 ~ ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

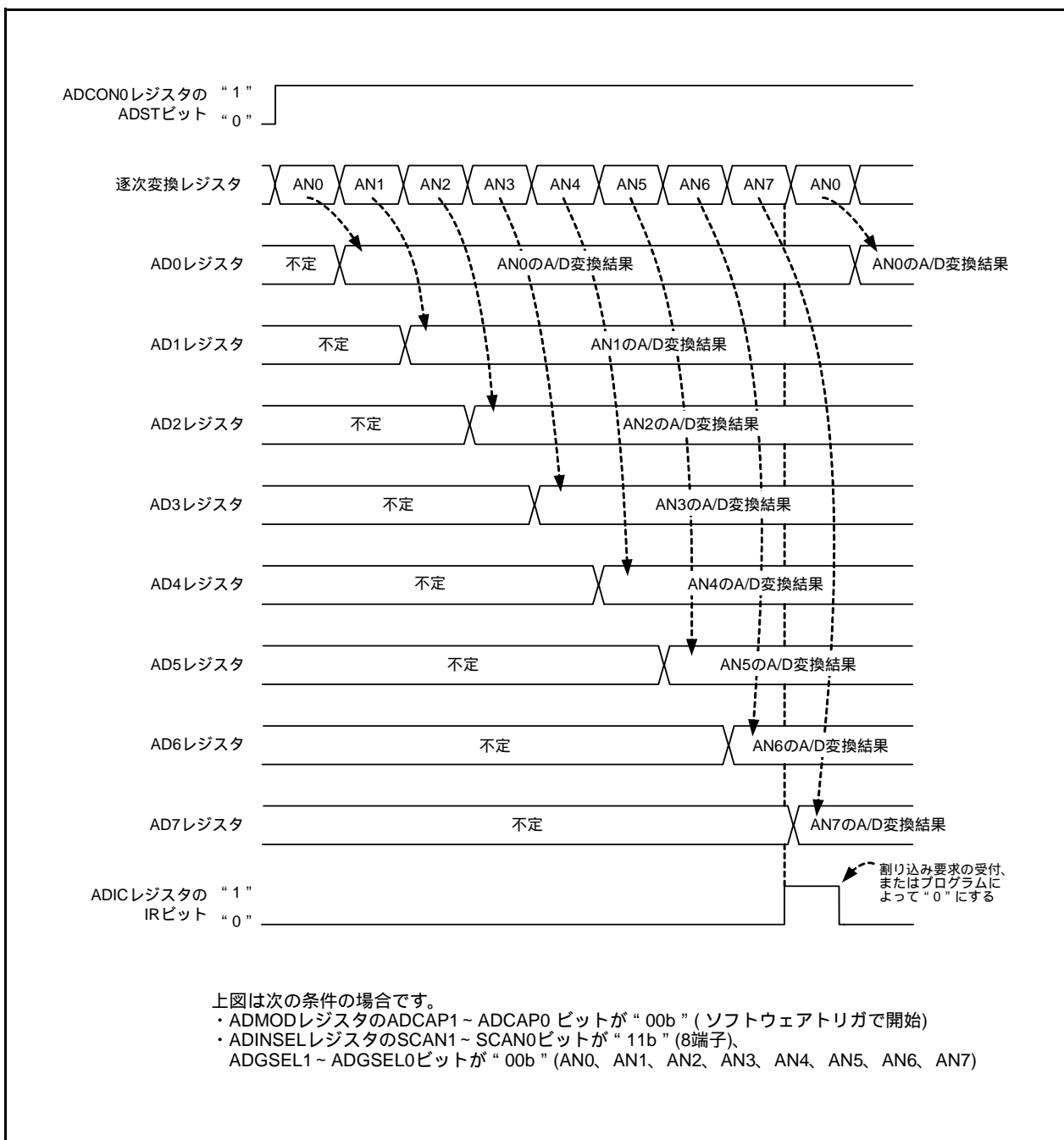


図 22.9 繰り返し掃引モード時の動作例

22.9 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図22.10の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般にVC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=Tのとき、VC = VIN - \frac{X}{Y}VIN = VIN \left(1 - \frac{X}{Y} \right) より、$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$よって、R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図22.10にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなる時、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

AD=20MHzのとき、T=0.75μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます

T=0.75μs、R=10k、C=6.0pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.75 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 3.5 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大3.5k になります。

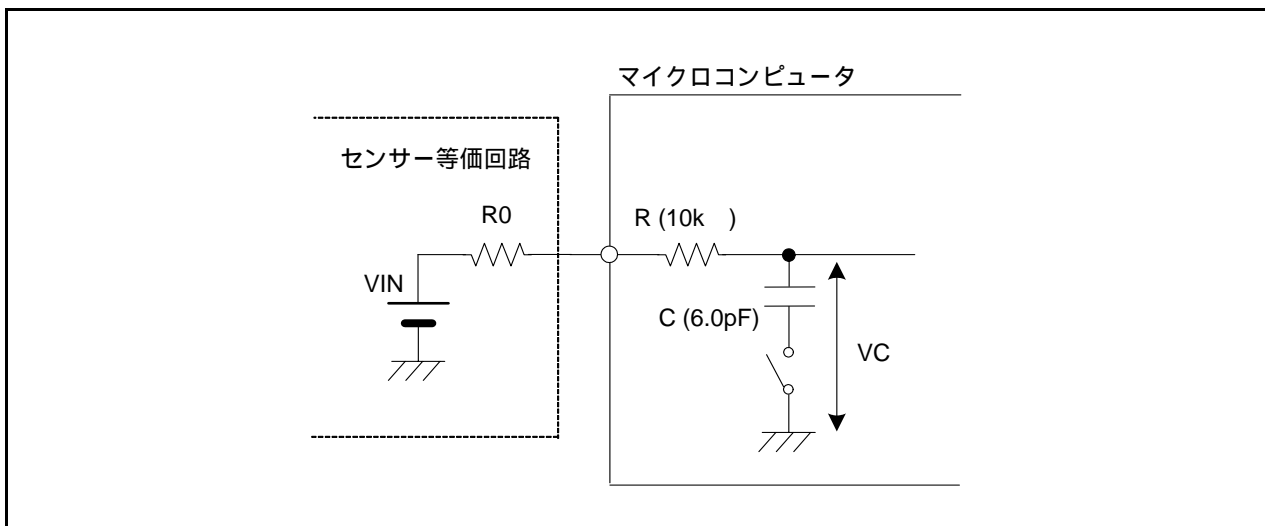


図22.10 アナログ入力端子と外部センサーの等価回路例

22.10 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。
ADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))に関わらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。
プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

23. コンパレータB

コンパレータBはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

23.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧としてIVREF_i(*i*=1、3)端子への入力可以使用です。

表23.1にコンパレータBの仕様を、図23.1にコンパレータBのブロック図を、表23.2に入出力端子を示します。

表23.1 コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMP _i 端子への入力電圧
リファレンス入力電圧	IVREF _i 端子への入力電圧
比較結果	INTCMPレジスタのINTICOUTビットの読み出し
割り込み要求発生タイミング	比較結果が変化したとき
選択機能	デジタルフィルタ機能 デジタルフィルタの有無、サンプリング周波数を選択できる

i=1、3

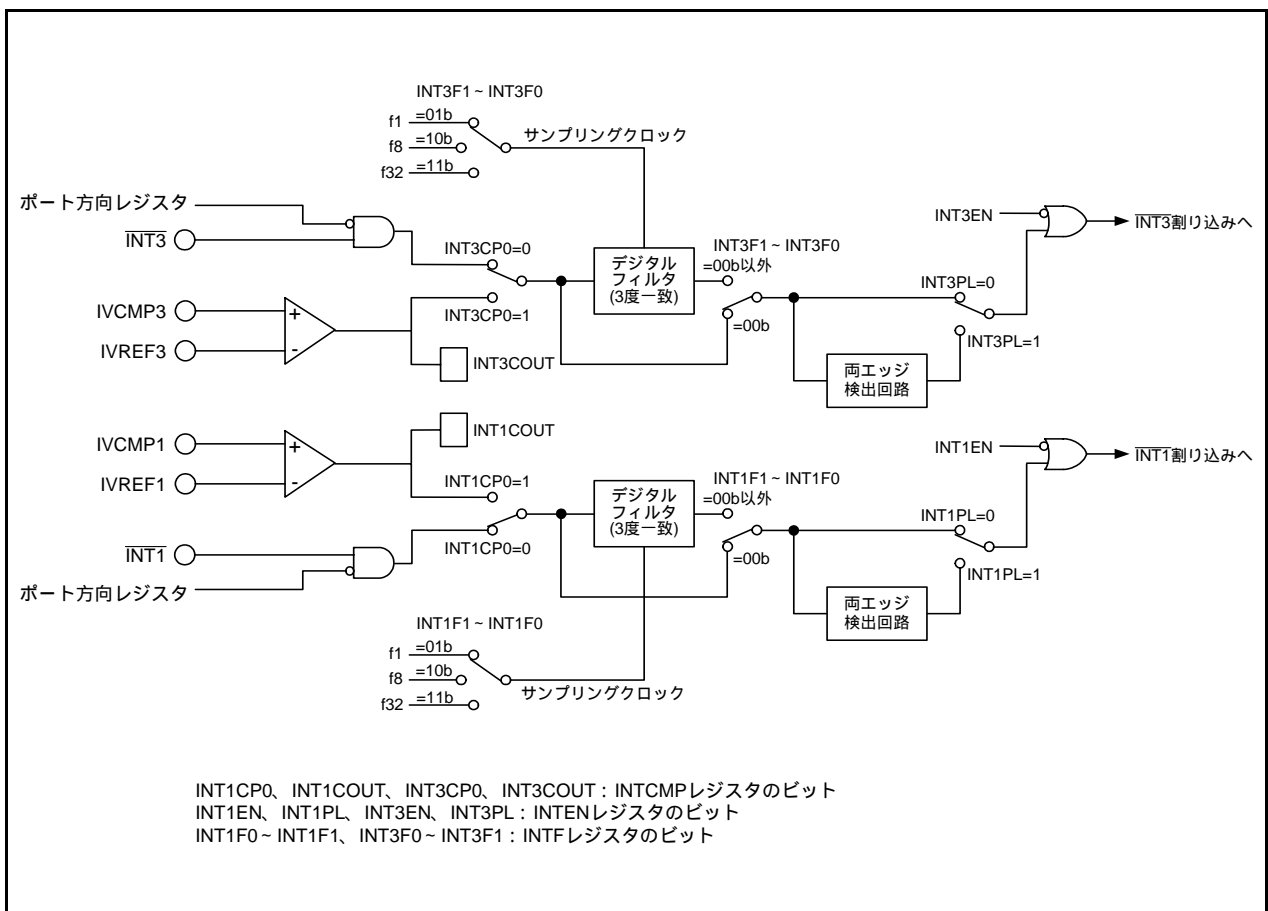


図23.1 コンパレータBのブロック図

表23.2 入出力端子

端子名	入出力	機能
IVCMP1	入力	コンパレータB1用アナログ端子
IVREF1	入力	コンパレータB1用リファレンス電圧端子
IVCMP3	入力	コンパレータB3用アナログ端子
IVREF3	入力	コンパレータB3用リファレンス電圧端子

23.2 レジスタの説明

23.2.1 コンパレータB制御レジスタ0 (INTCMP)

アドレス 01F8h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3COUT	-	-	INT3CP0	INT1COUT	-	-	INT1CP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT1CP0	コンパレータB1動作許可ビット	0: コンパレータB1動作禁止 1: コンパレータB1動作許可	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	INT1COUT	コンパレータB1モニタフラグ	0: IVCMP1 < IVREF1またはコンパレータB1 動作禁止 1: IVCMP1 > IVREF1	R
b4	INT3CP0	コンパレータB3動作許可ビット	0: コンパレータB3動作禁止 1: コンパレータB3動作許可	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-			
b7	INT3COUT	コンパレータB3モニタフラグ	0: IVCMP3 < IVREF3またはコンパレータB3 動作禁止 1: IVCMP3 > IVREF3	R

23.2.2 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	$\overline{\text{INT2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	$\overline{\text{INT2}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	$\overline{\text{INT3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPLビット(i=0~3)を“1”(両エッジ)にする場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

23.2.3 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

23.3 動作説明

コンパレータB1とコンパレータB3はそれぞれ独立して動作できます。動作は同じです。表23.3にコンパレータB関連レジスタの設定手順を示します。

表23.3 コンパレータB関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi端子の機能選択。「7.5 ポートの設定」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。		
2	INTF	フィルタ有無、サンプリングクロック選択	
3	INTCMP	INTiCPO	1 (動作許可)
4	コンパレータ安定時間(最大100 μ s)待ち		
5	INTEN	INTiEN	割り込みを使用する場合：1 (割り込み許可)
		INTiPL	割り込みを使用する場合：入力極性選択
6	INTiIC	ILVL2 ~ ILVL0	割り込みを使用する場合：割り込み優先レベル選択
		IR	割り込みを使用する場合：0 (割り込み要求なし：初期化)

i=1、3

図23.2にコンパレータBi(i = 1、3)の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、INTCMPレジスタのINTiCOUTビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、INTiCOUTビットが“0”になります。

コンパレータBi割り込みを使用する場合は、INTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みについては「23.4 コンパレータB1、コンパレータB3割り込み」を参照してください。

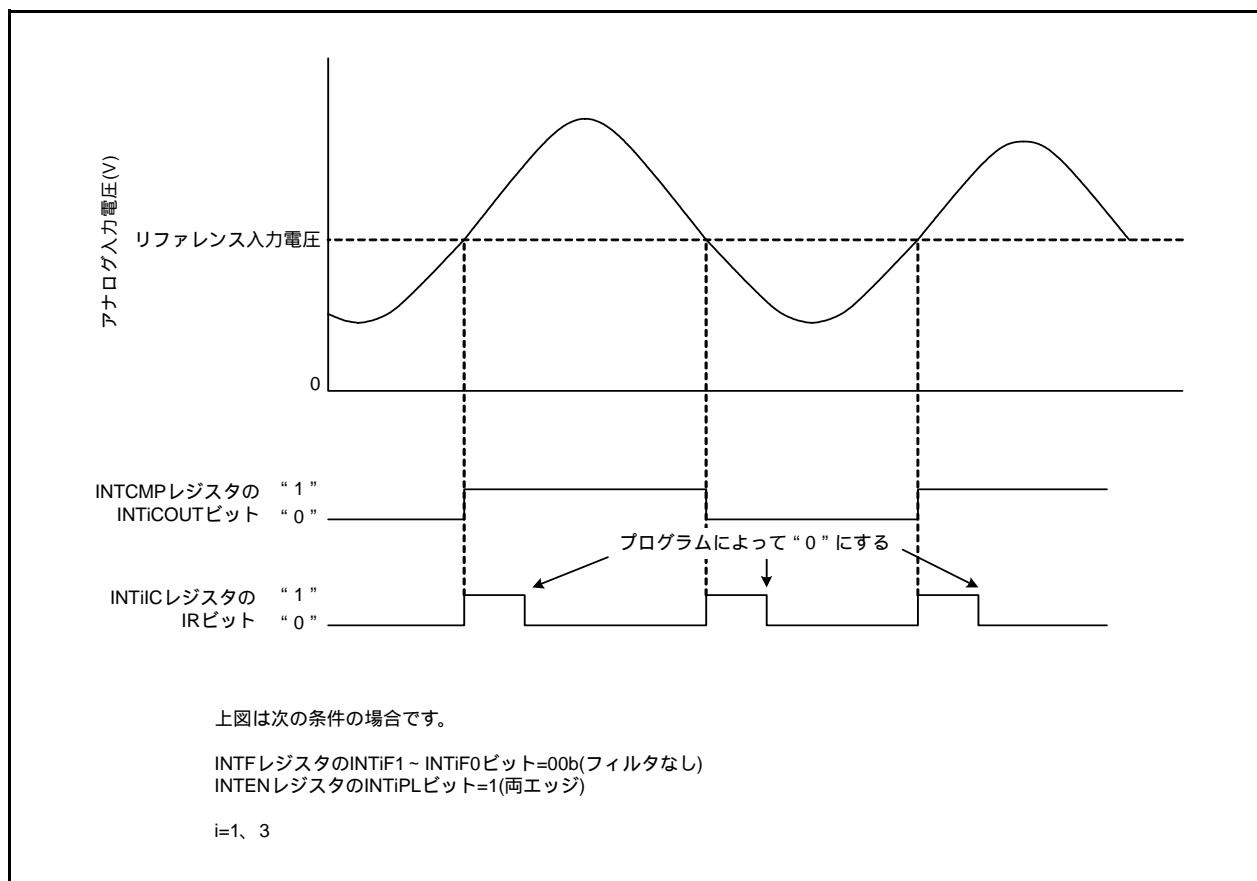


図23.2 コンパレータBi(i = 1、3)の動作例

23.3.1 コンパレータBiデジタルフィルタ (i = 1, 3)

コンパレータBiは、 $\overline{\text{INTi}}$ 入力と同一のデジタルフィルタを使用できます。サンプリングクロックはINTFレジスタのINTIF1 ~ INTIF0ビットで選択できます。サンプリングクロックごとにコンパレータBiの出力信号INTiCOUT信号をサンプリングし、レベルが3度一致した時点で、INTiCレジスタのIRビットが“1” (割り込み要求あり)になります。

図23.3にコンパレータBiデジタルフィルタの構成を、図23.4にコンパレータBiデジタルフィルタ動作例を示します。

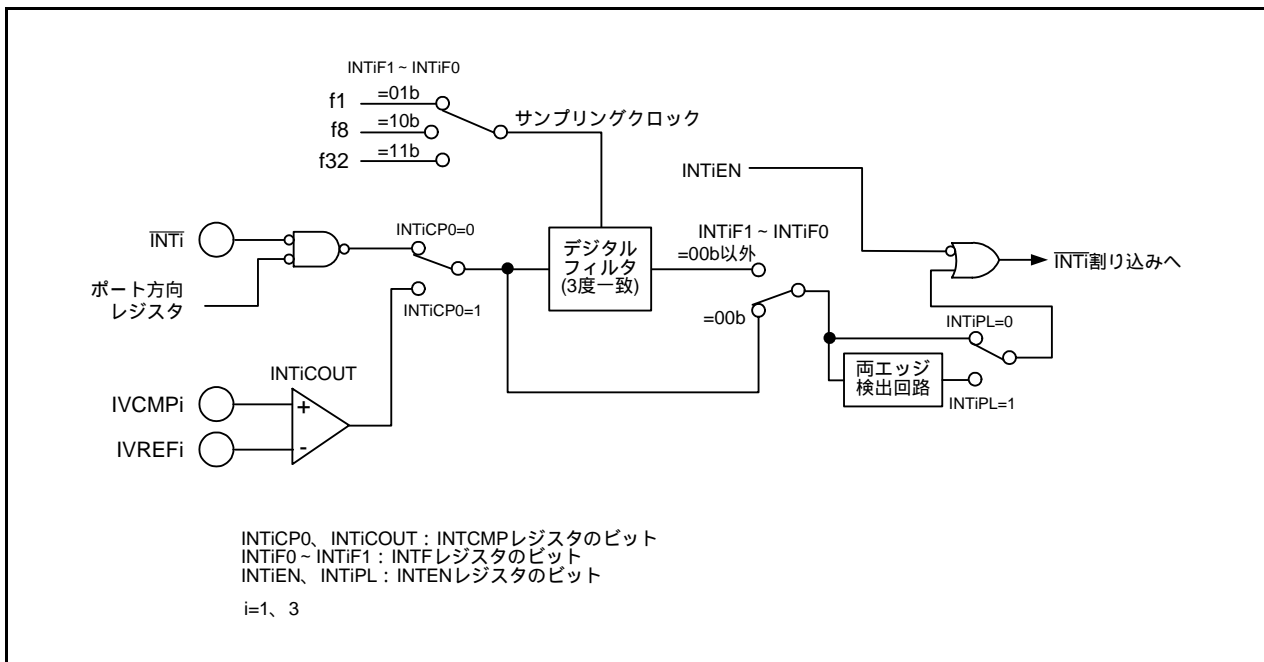


図23.3 コンパレータBiデジタルフィルタの構成

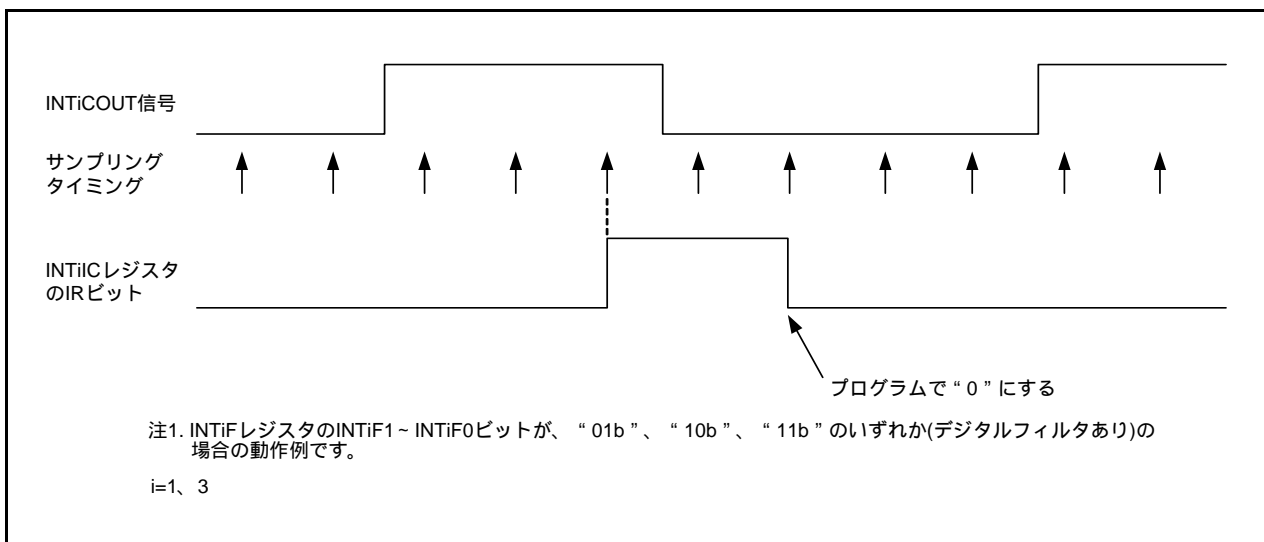


図23.4 コンパレータBiデジタルフィルタ動作例

23.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1、およびコンパレータB3の2つの割り込み要求を発生します。コンパレータ B_i ($i=1, 3$)割り込みは INT_i ($i=1, 3$)入力による割り込みと同一の $INTiC$ レジスタ(IRビット、 $ILVL0 \sim ILVL2$ ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータ B_i 割り込みを使用するときは $INTEN$ レジスタの $INTiEN$ ビットを“1”(割り込み許可)にしてください。さらに極性を $INTEN$ レジスタの $INTiPL$ ビットと $INTiC$ レジスタの POL ビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

24. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

24.1 概要

表24.1にフラッシュメモリの性能概要を示します(表24.1に示す以外の項目は「表1.1および表1.2 R8C/35Dグループの仕様概要」を参照してください)。表24.2にフラッシュメモリ書き換えモードの概要を示します。

表24.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図24.1を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	ブロック0~3 (プログラムROM)(注3)	ロックビットによるブロック単位の書き換えプロテクト制御
コマンド数		7コマンド
プログラム、イレーズ回数(注2)	ブロック0~3 (プログラムROM)(注3)	1,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V~5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注3. 製品によってブロック数およびブロックの分割が異なります。詳細は「図24.1 R8C/35Dグループのフラッシュメモリのブロック図」を参照してください。

表24.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	

24.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図24.1にR8C/35Dグループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMがあります。

プログラムROM： 主にプログラムを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

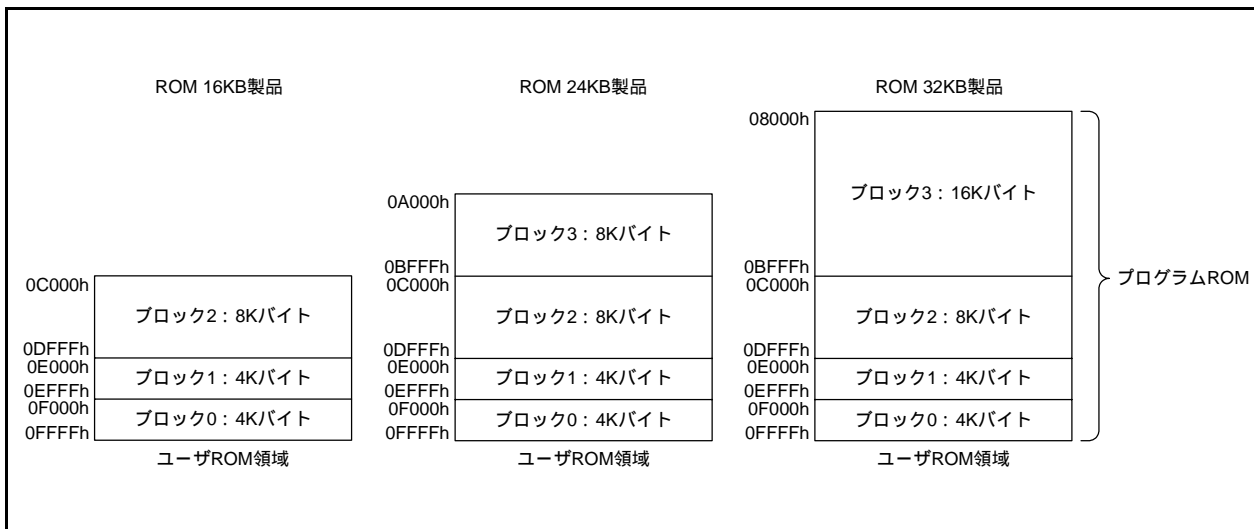


図24.1 R8C/35Dグループのフラッシュメモリのブロック図

24.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

24.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

24.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「13. オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

24.3.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0:リセット後、ウォッチドッグタイマは自動的に起動 1:リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1”にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0:ROMコードプロテクト解除 1:ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0:ROMコードプロテクト有効 1:ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00:3.80Vを選択 (Vdet0_3) 01:2.85Vを選択 (Vdet0_2) 10:2.35Vを選択 (Vdet0_1) 11:1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0:リセット後、電圧監視0リセット有効 1:リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0:リセット後、カウントソース保護モード有効 1:リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

24.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、フラッシュメモリの読み出しまたはプログラムができます。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表24.3にEW0モードとEW1モードの違いを示します。

表24.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM(書き換え制御プログラムを転送して実行)	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限		プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止
プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPUの状態	動作	プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUはホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件	<ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスク割り込み要求が発生 	FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスク割り込み要求が発生
CPUクロック	最大20MHz	最大20MHz

24.4.1 フラッシュメモリステータスレジスタ(FST)

アドレス 01B2h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	-	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATA モニターフラグ	0: ロック状態 1: 非ロック状態	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	FST4	プログラムエラーフラグ(注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーフラグ(注3)	0: イレーズエラー/ブランクチェックエラーなし 1: イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0: ビジー 1: レディ	R

注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。

注2. プログラムでBSYAEIビットは“1”(フラッシュアクセスエラー割り込み要求あり)にできません。

注3. コマンドエラー時にも“1”(エラーあり)になります。

注4. このビットが“1”のとき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[“0”になる条件]

割り込み処理のプログラムで“0”にしてください。

[“1”になる条件]

FMR0レジスタのRDYSTIEビットが“1”のときに、ビジーからレディーに遷移すると、RDYSTIビットは“1”になります。

ビジーからレディーに変化するの、次の状態のときです。

- フラッシュメモリのイレーズ/プログラム終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- ブランクブランクチェック終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

BSYAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが“1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、またはFMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、イレーズエラーまたはプログラムエラーが発生した場合に、BSYAEIビットが“1”(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを“0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

[“0”になる条件]

- (1) 割り込み処理のプログラムで“0”にしてください。
- (2) クリアステータスレジスタコマンドを実行してください。

[“1”になる条件]

- (1) FMR0レジスタのBSYAEIEビットが“1”のときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。
(ただし、読み出し値は不定。書き込みは無効。)
- (2) FMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

LBDATAビット(LBDATAモニターフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが“1”(レディ)になった後、LBDATAビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7ビットが“0”(ビジー)になります。FST7ビットが“1”(レディ)になった時点でLBDATAビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATAビットのデータは保持されます。

FST4ビット(プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「24.4.11 フルステータスチェック」を参照してください。

FST5ビット(イレーズエラー/ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「24.4.11 フルステータスチェック」を参照してください。

FST6ビット(イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外のときは“0”になります。

FST7ビット(レディ/ビジーステータスフラグ)

FST7ビットが“0”(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

それ以外の場合は、FST7ビットが“1”(レディ)になります。

24.4.2 フラッシュメモリ制御レジスタ0 (FMR0)

アドレス 01B4h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	FMR01	CPU書き換えモード選択ビット (注1、4)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット(注1)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット(注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセット ビット(注3)	CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。 読み出した場合は、“0”が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可 ビット	0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み 許可ビット	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込 み許可ビット	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。
- 注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。
- 注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。
- 注4. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを“1”にしてください。詳細は「25.2.9 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

また、FMSTPビットが“1”のとき(FMSTPビットを“1”から“0”へ変更直後のビジー中(FST7ビットが“0”の期間)も含む)は、同時に低消費電流リードモードにしないでください。

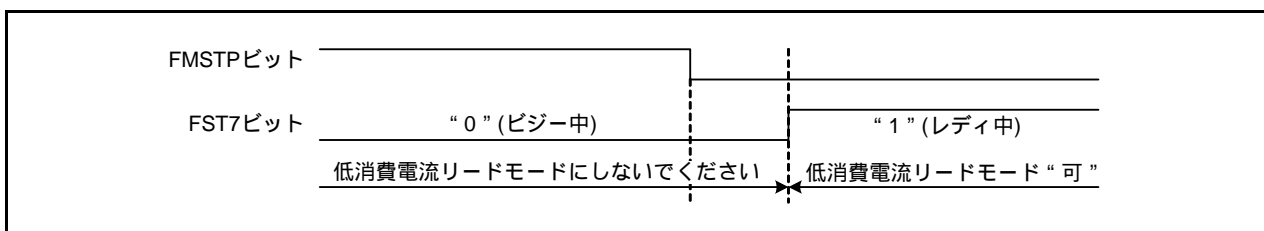


図24.2 低消費電流リードモードへの移行

CMDRSTビット(イレース/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレースコマンドを強制停止させるためのビットです。フラッシュメモリのシーケンスの初期化中も、ユーザROM領域を読み出すことは可能です。

FMR0レジスタのCMDRSTビットによりプログラム、ブロックイレースコマンドを強制停止した場合、FSTレジスタのFST7ビットが“1”(レディ)に復帰後、クリアステータスコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレースコマンドを再度実行し、ブロックイレースが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレースコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを“1”(ロックビット無効)にした後で、ブロックイレースコマンドを再度実行してください。

また、イレースサスペンド中にCMDRSTビットを“1”(イレース/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレースをサスペンドしていたブロックに対しても、ブロックイレースを再度実行してください。

CMDRSTビットを“1”(イレース/ライト停止)にしてから、td(CMDRST-READY)後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

CMDERIEビット(イレース/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレースエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー

CMDERIEビットを“1”(イレース/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

24.4.3 フラッシュメモリ制御レジスタ1 (FMR1)

アドレス 01B5h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FMR13	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	—			
b2	—			
b3	FMR13	ロックビット無効選択ビット(注1)	0: ロックビット有効 1: ロックビット無効	R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. FMR13 ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。

FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「24.4.9 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

[“0”になる条件]

次の条件が成立した時点で“0”になります。

- プログラムコマンド終了時点
- イレーズコマンド終了時点
- コマンドエラー発生時点
- イレーズサスペンド移行時点
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

[“1”になる条件]

プログラムで“1”にしてください。

24.4.4 フラッシュメモリ制御レジスタ2 (FMR2)

アドレス 01B6h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	-	-	-	-	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット (注1)	0: イレーズサスペンド禁止 1: イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエスト ビット(注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエ スト許可ビット(注1)	0: 割り込み要求でイレーズサスペンドリクエスト禁止 1: 割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	FMR27	低消費電流リードモード許可ビッ ト(注1、3)	0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可	R/W

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。
- 注2. FMR21ビットを“0”(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。
- 注3. 次のいずれかの設定をした後、FMR27ビットを“1”にしてください。
- ・CPUクロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定
 - ・CPUクロックをXCINクロックの1分周(分周なし)、2分周、4分周または8分周に設定
- ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを“1”にすると、イレーズサスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(イレーズリスタート)にしてください。

[“0”になる条件]

プログラムで“0”にしてください。

[“1”になる条件]

- ・割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
- ・プログラムで“1”にしてください。

FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込みでイレーズサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(イレーズサスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にイレーズサスペンドを使用するときに、“1”にしてください。

FMR27ビット(低消費電流リードモード許可ビット)

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「25.2.10 低消費電流リードモード」を参照してください。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27ビットが“1”(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを“1”(フラッシュメモリ停止)から“0”(フラッシュメモリ動作)にする場合は、FMR27ビットが“0”(低消費電流リードモード禁止)のときに行ってください。

24.4.5 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20ビットを“1”(イレーズサスペンド許可)、FMR21ビットを“1”(イレーズサスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが“1”(レディ)になったことを確認し、FST6ビットが“1”(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください(FST6ビットが“0”になったとき、消去終了です)。

FMR2レジスタのFMR21ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。また、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが“0”になったことを確認し、FST6ビットが“0”(イレーズサスペンド以外)になったことを確認してください。

24.4.6 EW1モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR02ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを“1”(割り込み要求でイレーズサスペンドリクエスト許可)にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、td(SR-SUS)後に、自動消去が中断されます。割り込み処理終了後、FMR21ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

24.4.7 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます。(「表24.4 サスペンド中に実行できる動作」参照)

- プログラムROMの任意のブロックの自動消去をサスペンドした場合、プログラムROMの別のブロックへの自動書き込み、および読み出しが実行できます。
- サスペンドを確認する場合、FST7ビットが“1”(レディ)となったことを確認後、FST6ビットが“1”(イレースサスペンド中)になったことで、サスペンドしたことを確認してください。(FST6ビットが“0”(イレースサスペンド以外)となったときは、消去終了です。)

図24.3にサスペンド動作に関するタイミングを示します。

表24.4 サスペンド中に実行できる動作

		サスペンド中の動作					
		プログラムROM (サスペンド移行前のイレース実行ブロック)			プログラムROM (サスペンド移行前のイレース未実行ブロック)		
		イレース	プログラム	リード	イレース	プログラム	リード
サスペンド移行前のイレース実行領域	プログラムROM	x	x	x	x		

注1. はサスペンド機能を使用することで動作可能、×は動作禁止

注2. プログラム中はサスペンドできません。

注3. イレースはブロックイレースを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが“1”(レディ)で実行できます。

サスペンド中、ブロックブランクチェックは動作禁止です。

注4. イレースサスペンド移行直後は、リードアレイモードになります。

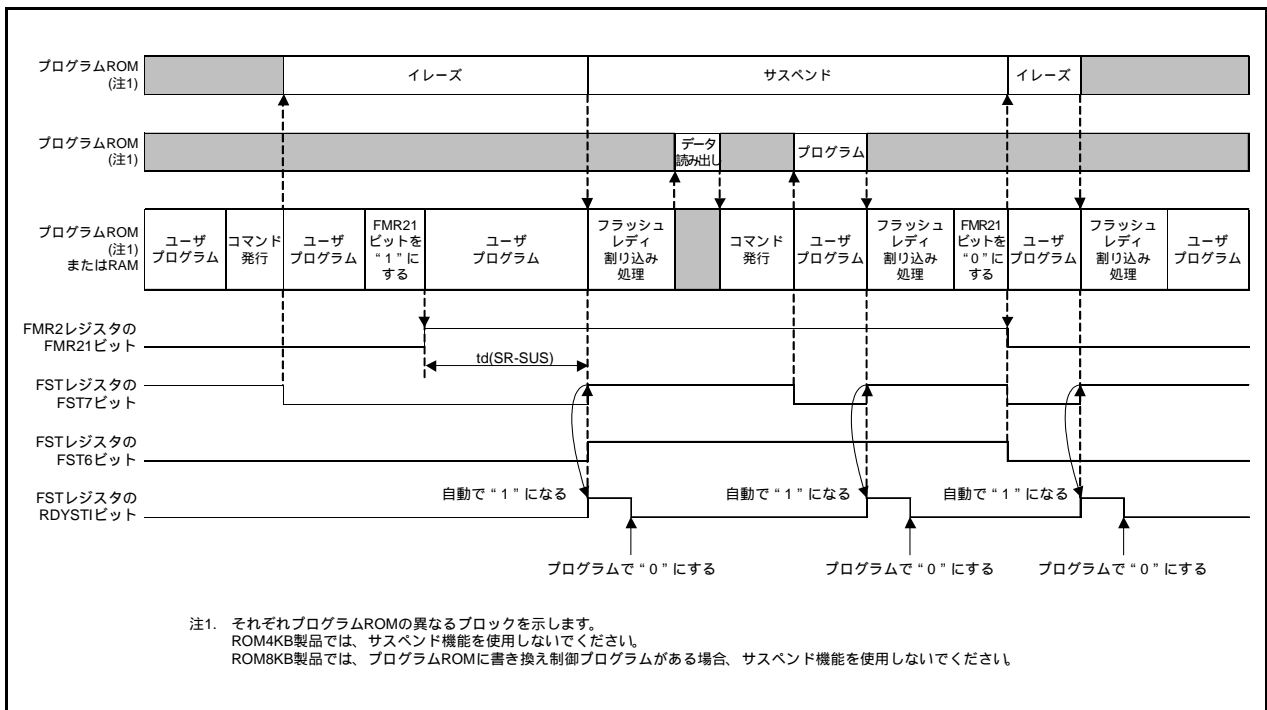


図24.3 サスペンド動作に関するタイミング

24.4.8 各モードの設定と解除方法

図24.4にEW0モードの設定と解除方法を、図24.5にEW1モードの設定と解除方法を示します。

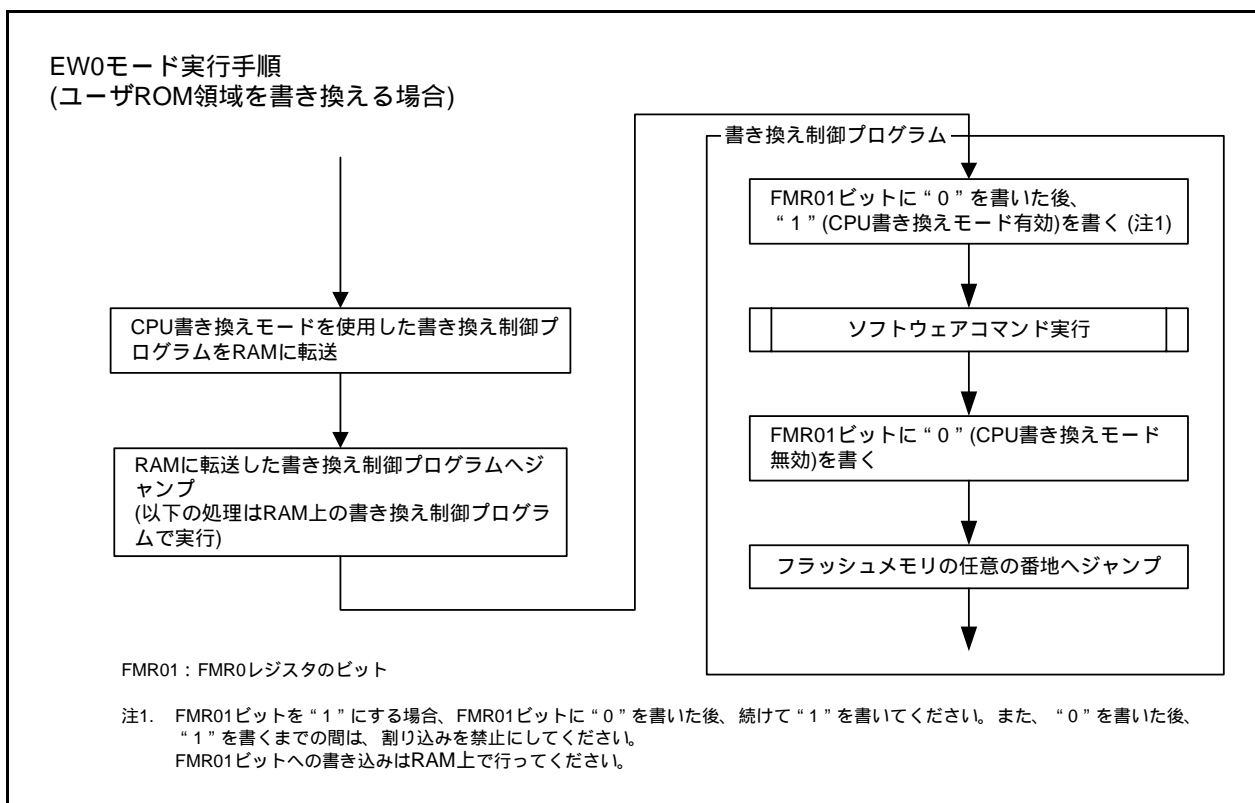


図24.4 EW0モードの設定と解除方法

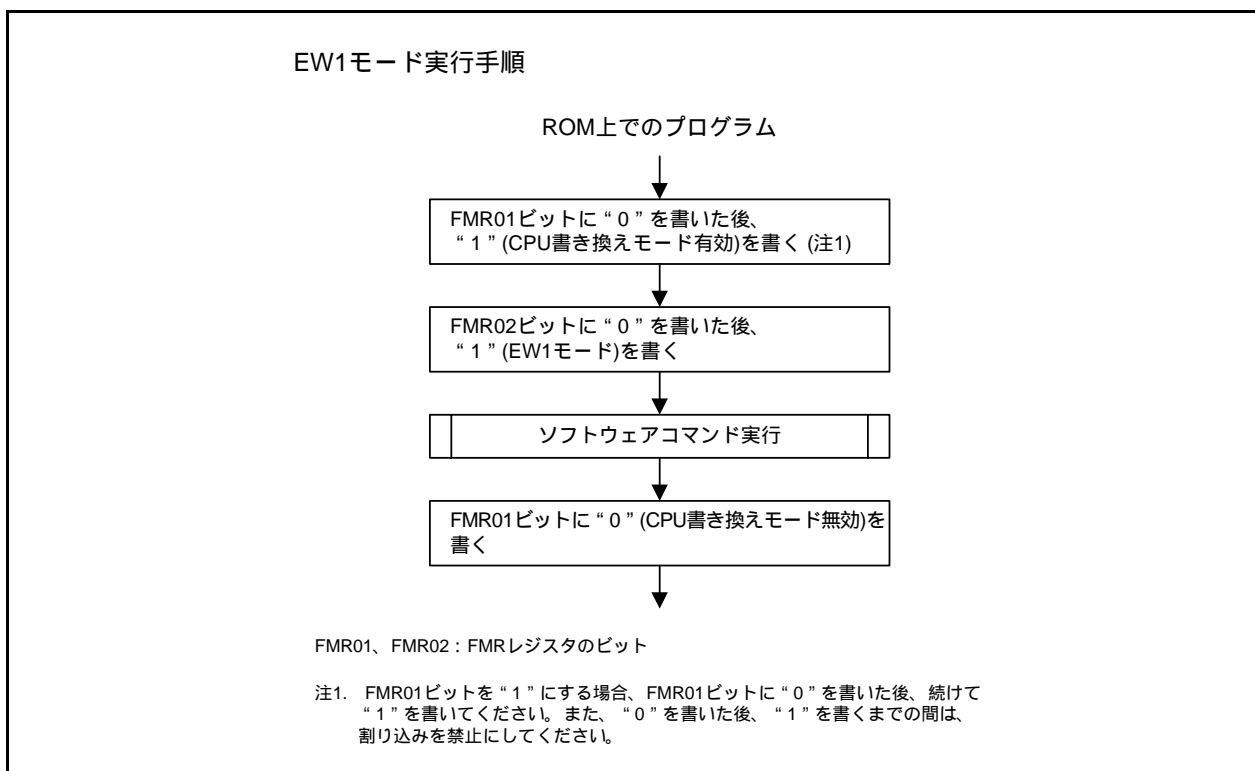


図24.5 EW1モードの設定と解除方法

24.4.9 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが“0”(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータだけをコマンドで“1”にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR13ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは“1”になります。

各コマンドの詳細は、「24.4.10 ソフトウェアコマンド」を参照してください。

FMR13ビットは自動消去終了後、“0”になります。FMR13ビットは以下のいずれかの条件が成立した場合に“0”になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを“1”にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行して下さい。

- FSTレジスタのFST7ビットが“0”(ビジー)から“1”(レディ)になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした場合
- FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にした場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

図24.6にFMR13ビットの動作に関するタイミングを示します。

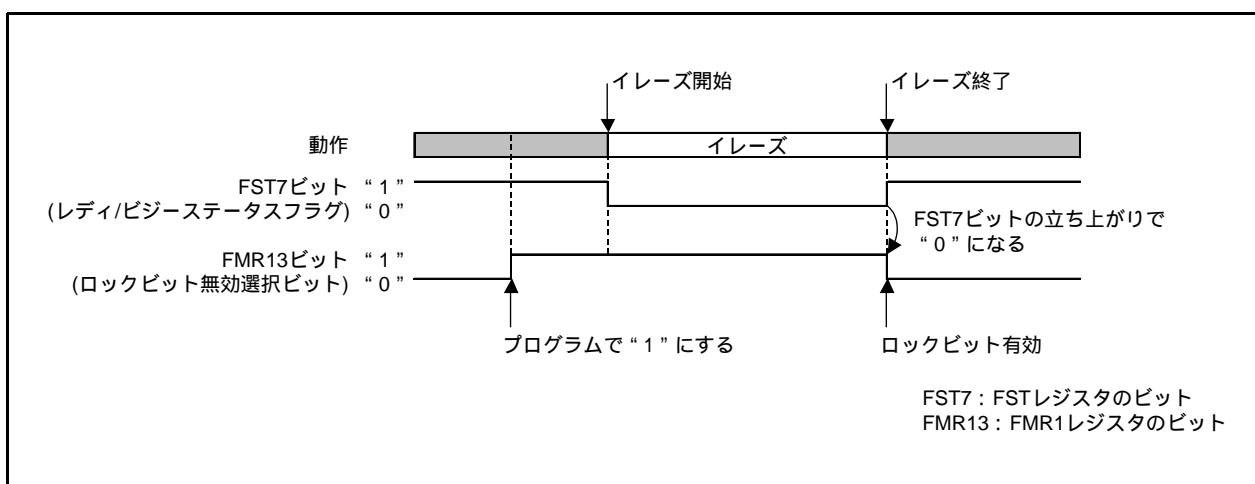


図24.6 FMR13ビットの動作に関するタイミング

24.4.10 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表24.5 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	x	FFh			
クリアステータスレジスタ	ライト	x	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	x	71h	ライト	BT	D0h
ブロックブランクチェック	ライト	x	25h	ライト	BA	D0h

WA：書き込み番地

WD：書き込みデータ

BA：ブロックの任意の番地

BT：ブロックの先頭番地

x：ユーザROM領域内の任意の番地

24.4.10.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ後、イレーズサスペンド移行後はリードアレイモードになります。

24.4.10.2 クリアステータスレジスタ

FSTレジスタのFST4～FST5ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FSTレジスタのFST4～FST5ビットが“0”になります。

24.4.10.3 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます。

(「24.4.11 フルステータスチェック」参照)

既にプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

図24.7にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図24.8にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

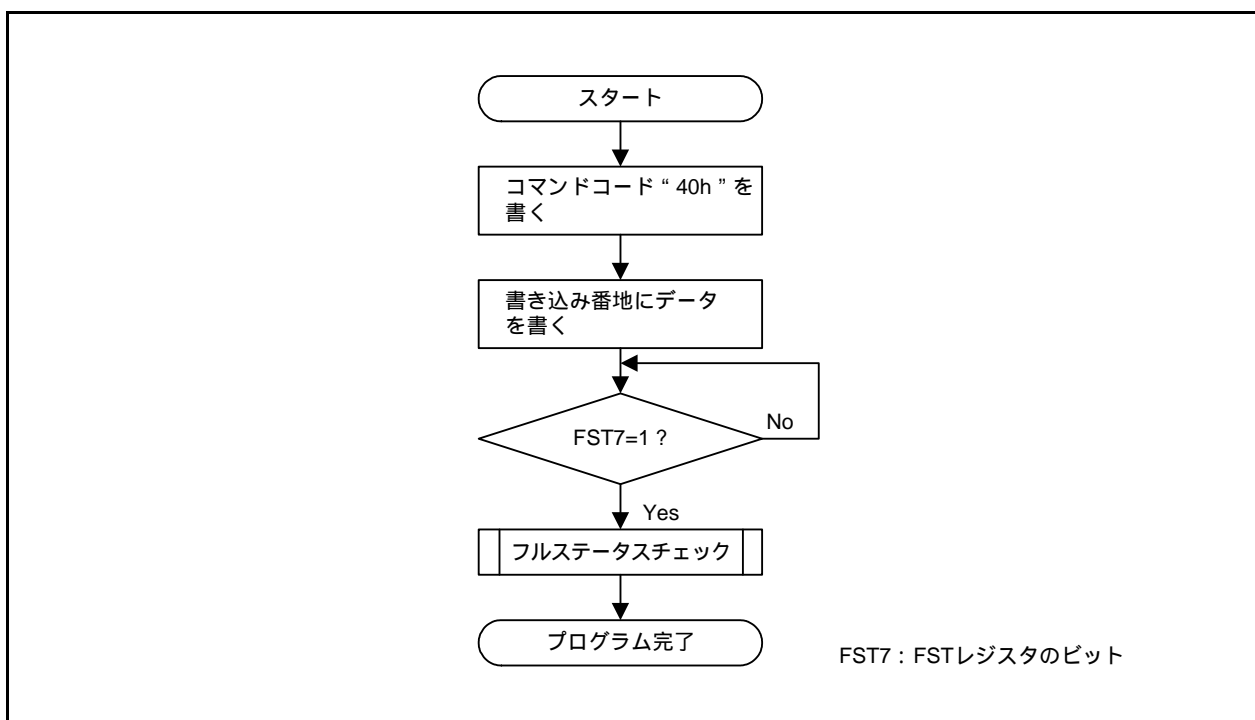


図24.7 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

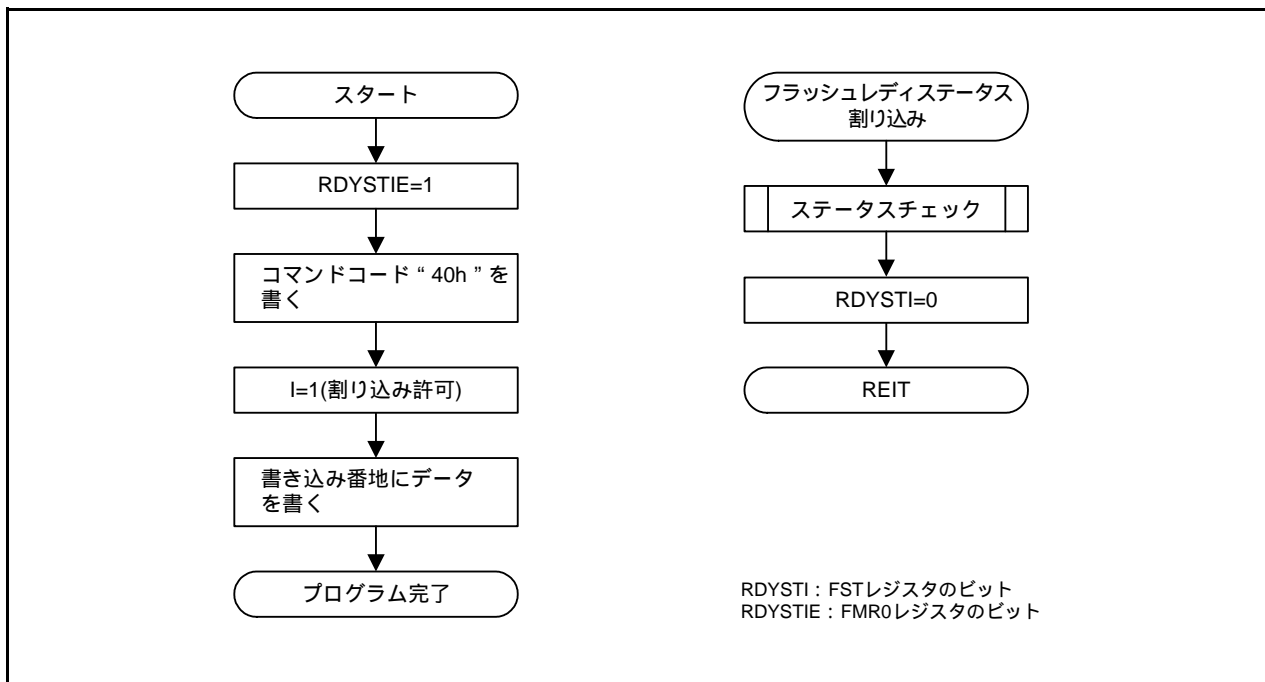


図24.8 プログラムフローチャート(フラッシュレディステータス割り込み許可)

24.4.10.4 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地にはくと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は、“0”、終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます。(「24.4.11 フルステータスチェック」参照)

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

図24.9にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図24.10にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図24.11にブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(イレーズサスペンド許可)のときは、FMR21ビットを“1”(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

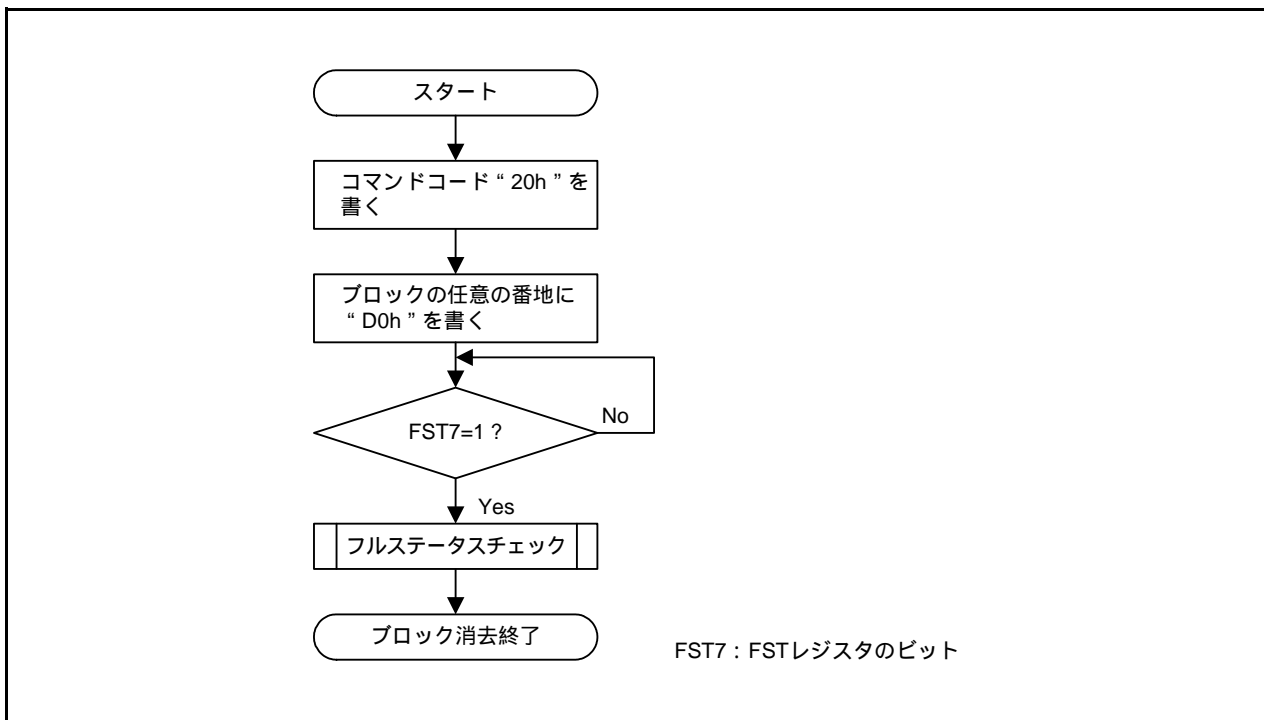


図24.9 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

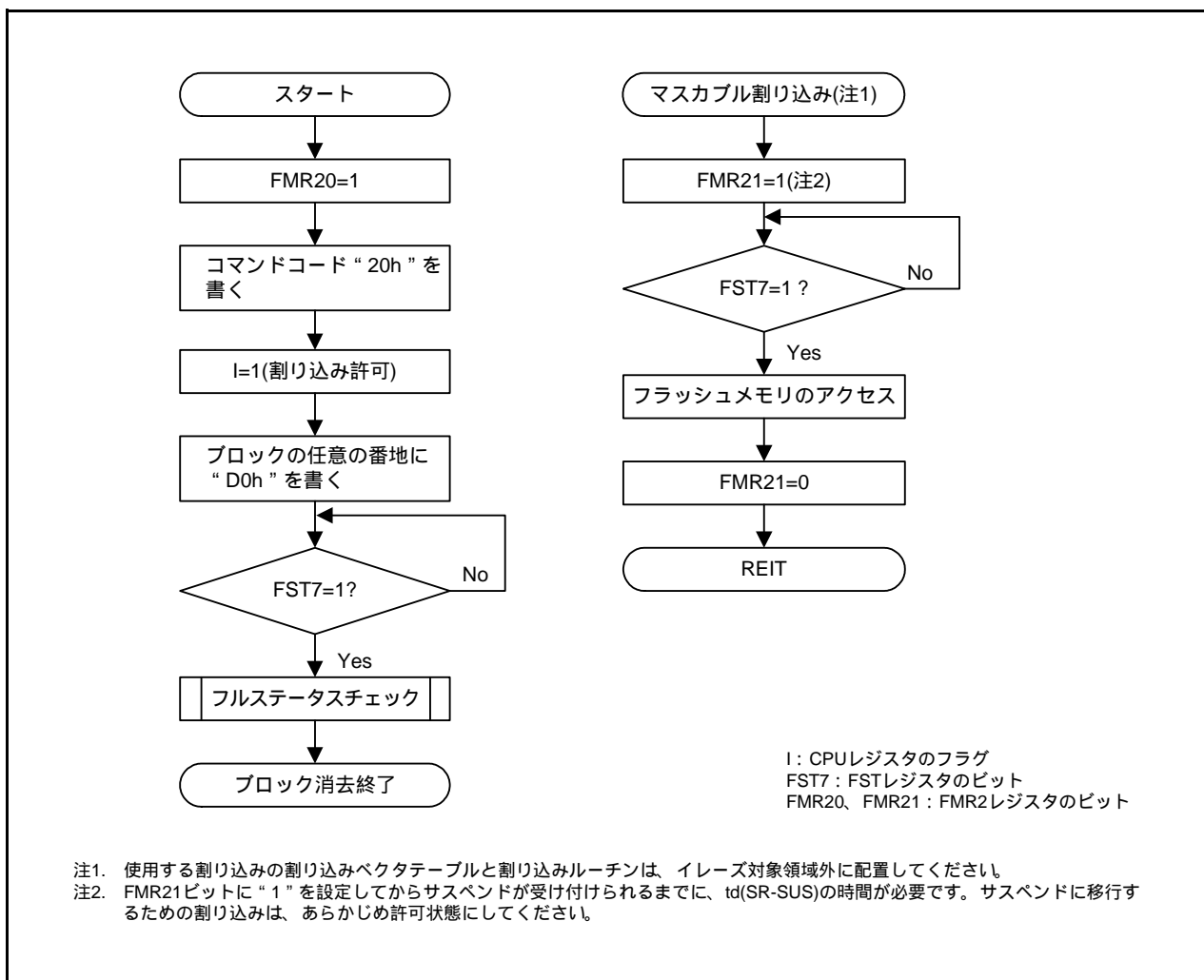


図24.10 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

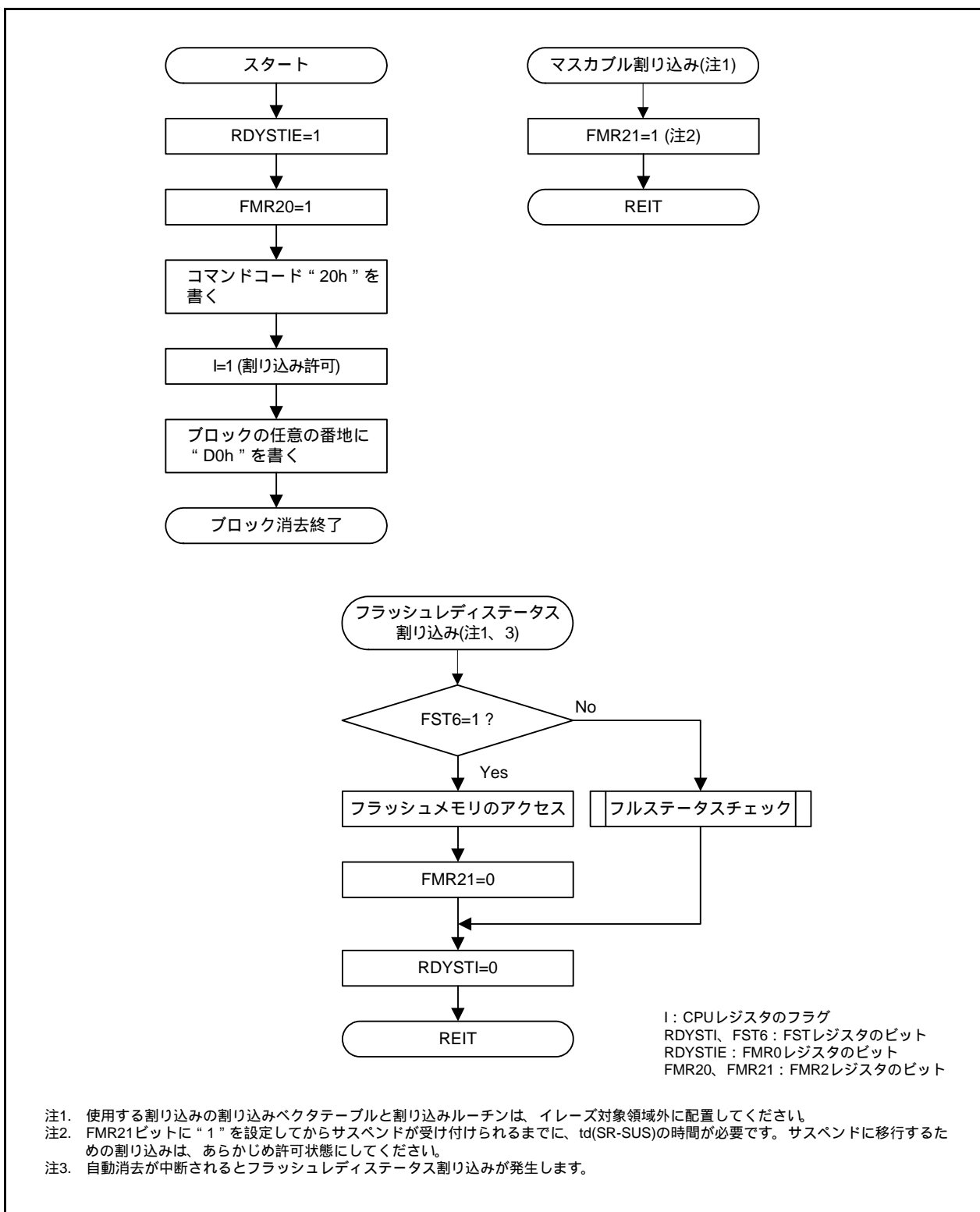


図24.11 ブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

24.4.10.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“77h”、第2バスサイクルで“D0h”をブロックの先頭番地に書くと、指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図24.12にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については「24.4.9 データ保護機能」を参照してください。

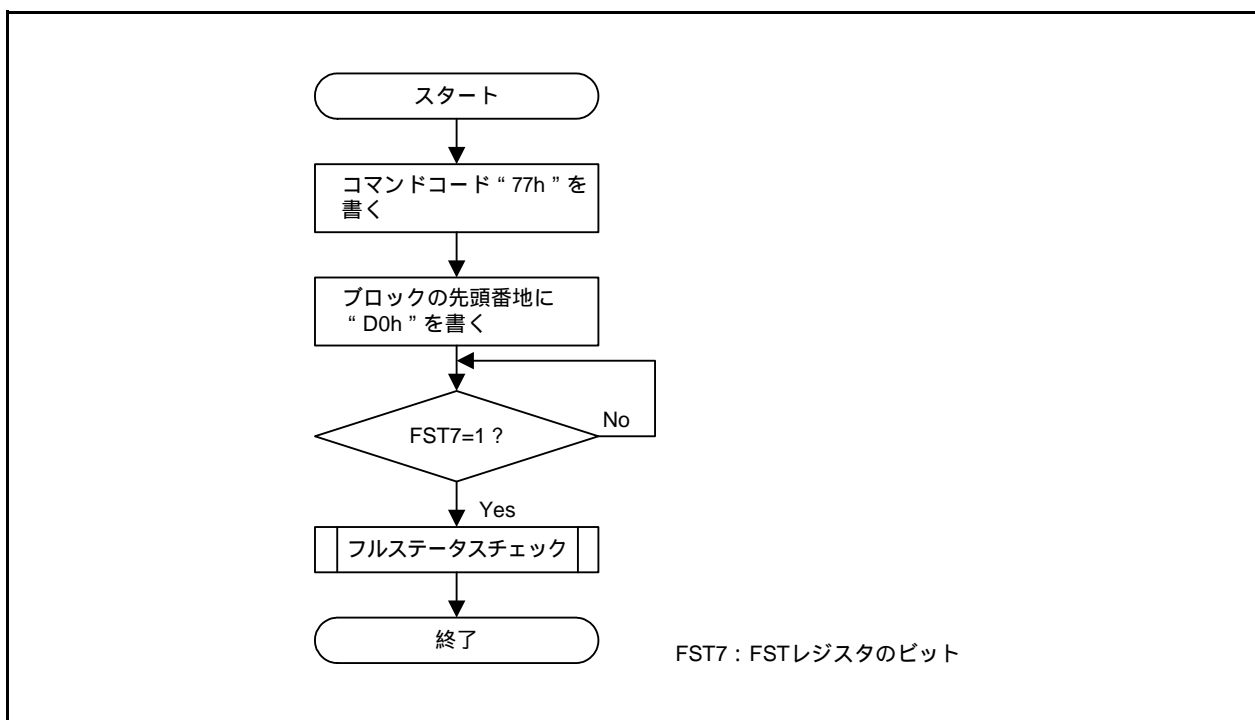


図24.12 ロックビットプログラムフローチャート

24.4.10.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが“1”（レディ）になった後、LBDATAビットを読んでください。

図24.13にリードロックビットステータスフローチャートを示します。

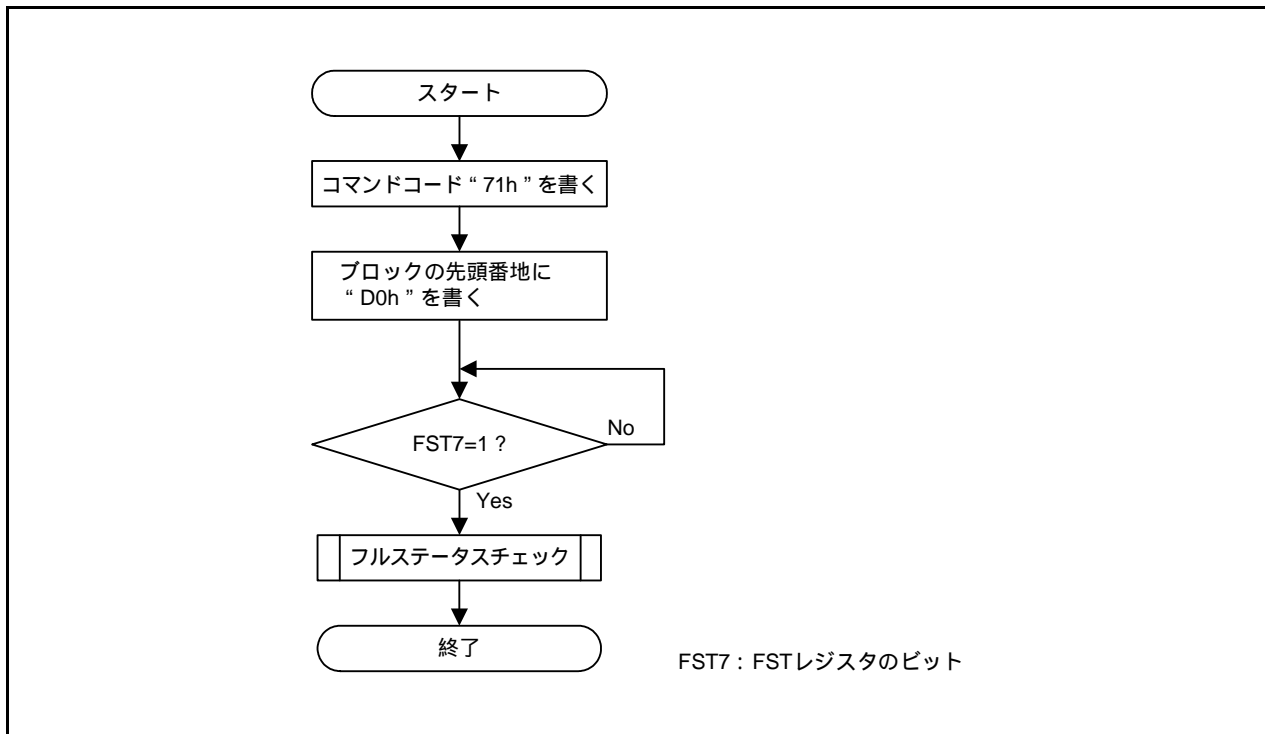


図24.13 リードロックビットステータスフローチャート

24.4.10.7 ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ“FFh”であることを確認するコマンドです。

第1バスサイクルで“25h”、第2バスサイクルでブロックの任意の番地に“D0h”を書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は“0”、終了後は“1”になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます(「24.4.11 フルステータスチェック」参照)。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FST6ビットが“1”(イレーズサスペンド中)のときは、ブロックブランクチェックコマンドを実行しないでください。

図24.14にブロックブランクチェックフローチャートを示します。

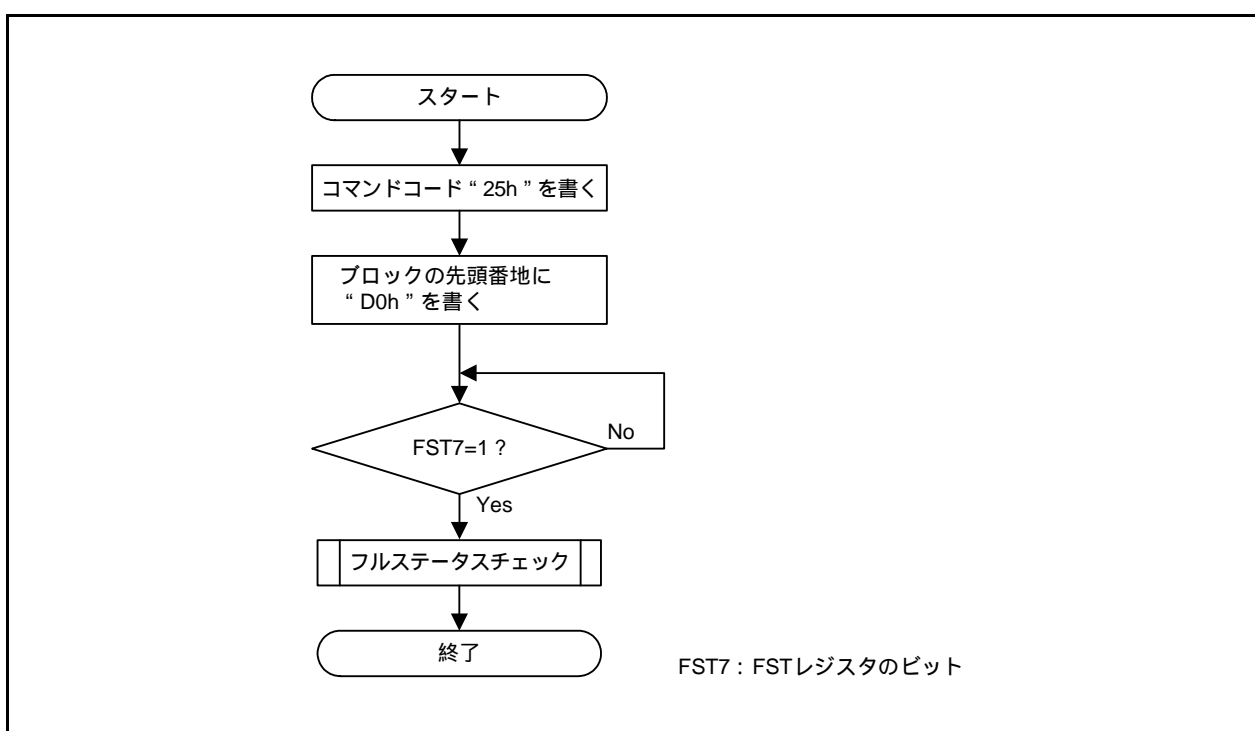


図24.14 ブロックブランクチェックフローチャート

なお、本コマンドはライターメーカー向けを想定したものであり、一般ユーザ向けのコマンドではありません。

24.4.11 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4～FST5ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック（フルステータスチェック）することにより、実行結果を確認できます。

表24.6にエラーとFSTレジスタの状態を、図24.15にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表24.6 エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1) ・サスペンド中のイレーズコマンドを実行 ・サスペンド中のブロックへのコマンドを実行
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータ“FFh”以外のデータを読み出したとき
0	1	プログラムエラー/ ロックビットプログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

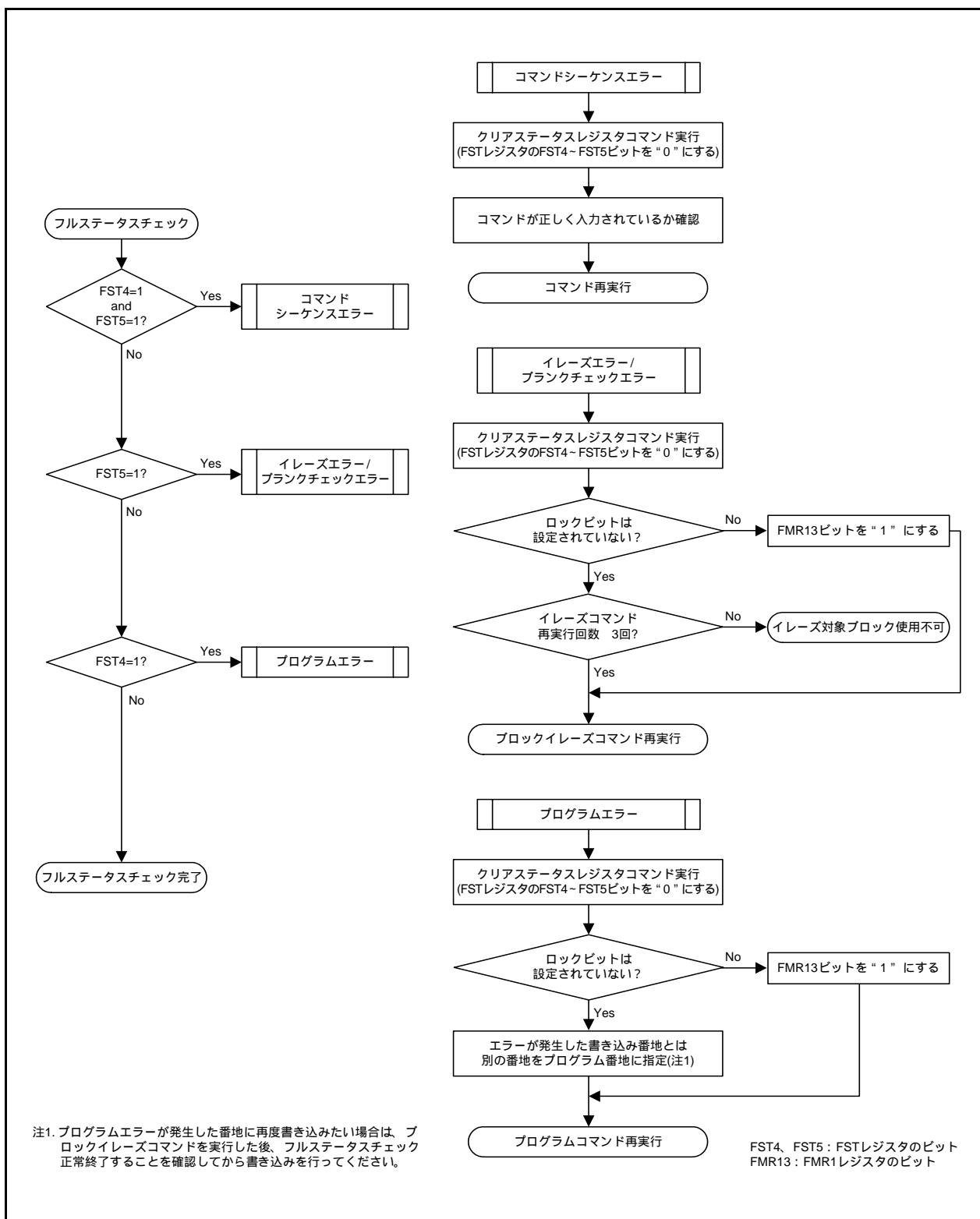


図24.15 フルステータスチェックフローチャート、各エラー発生時の対処方法

24.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。

表 24.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図 24.16に標準シリアル入出力モード2を使用する場合の端子処理例を、表 24.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図 24.17に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表 24.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

24.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

表 24.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P4_3/XCIN	P4_3入力/クロック入力	入力	XCIN端子とXCOUT端子の間には水晶発振子を接続してください。
P4_4/XCOUT	P4_4入力/クロック出力	入出力	
P0_0 ~ P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0 ~ P1_3、 P1_6、P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P2_0 ~ P2_7	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P3_0 ~ P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_2/VREF、P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P5_6、P5_7	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	“L”を入力してください。
P1_4	TXD出力	出力	シリアルデータの出力端子です。
P1_5	RXD入力	入力	シリアルデータの入力端子です。

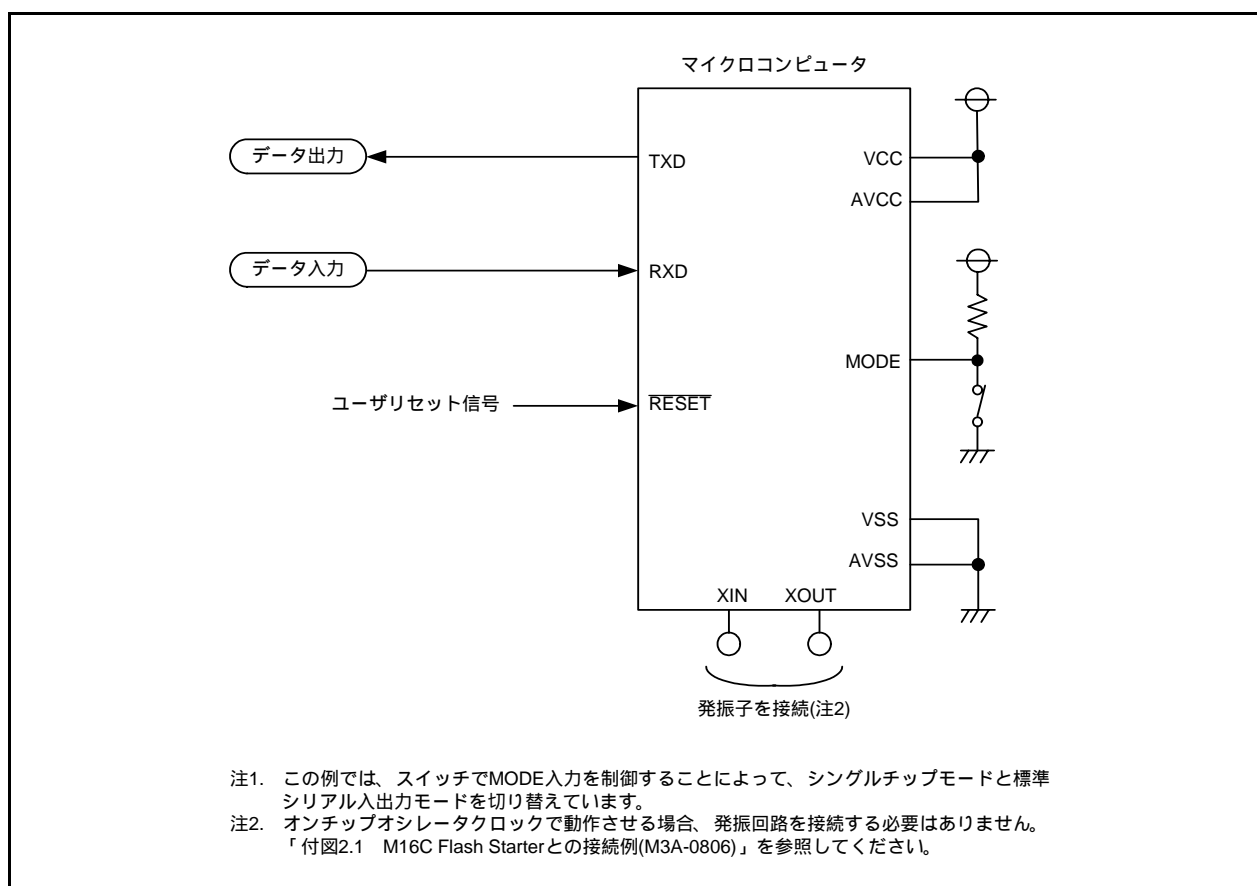


図 24.16 標準シリアル入出力モード2を使用する場合の端子処理例

表 24.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC 端子にはプログラム、イレーズの保証電圧を、VSS には 0V を入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック 入力	入力	外付けの発振子を接続する場合、XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。
P4_7/XOUT	P4_7入力/クロック 出力	入出力	入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_3/XCIN	P4_3入力/クロック 入力	入力	外付けの発振子を接続する場合、XCIN 端子と XCOU 端子の間には水晶発振子を接続してください。
P4_4/XCOU	P4_4入力/クロック 出力	入出力	入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P0_0 ~ P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0 ~ P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P2_0 ~ P2_7	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P3_0 ~ P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_2/VREF、 P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P5_6、P5_7	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

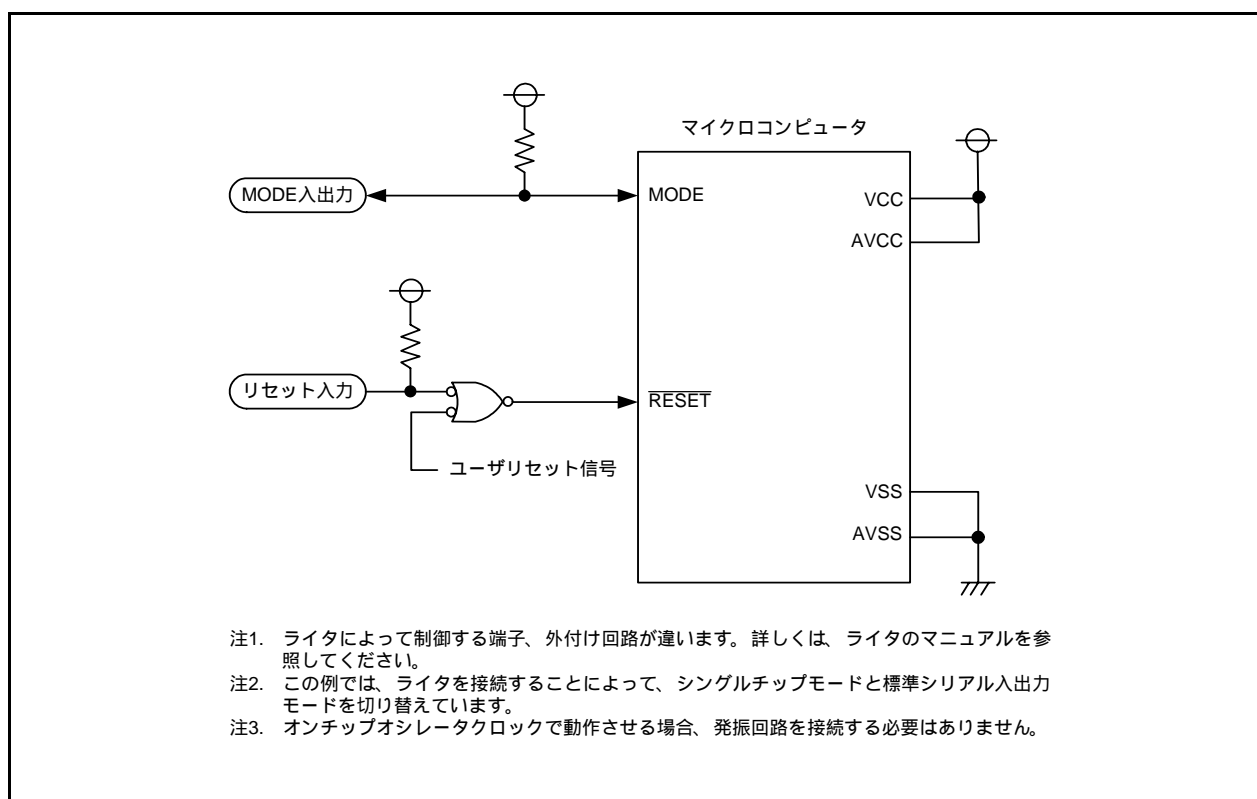


図 24.17 標準シリアル入出力モード3を使用する場合の端子処理例

24.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図24.1に示すユーザROM領域の書き換えができます。

24.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「24.3.2 ROMコードプロテクト機能」参照)。

24.7 フラッシュメモリ使用上の注意

24.7.1 CPU書き換えモード

24.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

24.7.1.2 割り込み

表24.9、表24.10にCPU書き換えモード時の割り込みを示します。

表24.9 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	プログラムROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	プログラムROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22 : FMR2レジスタのビット

表24.10 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW0	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		
EW1	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効またはFMR22=“0”)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

24.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みを禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

24.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

24.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

24.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

24.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

24.7.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

24.7.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。

消費電力を低減する方法は、「25. 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

25. 消費電力の低減

25.1 概要

この章では消費電力を小さくするためのポイント、処理方法について説明します。

25.2 消費電力を小さくするためのポイントと処理方法

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

25.2.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

25.2.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

25.2.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビット

高速オンチップオシレータの発振停止：FRA0レジスタのFRA00ビット

25.2.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「9.7 パワーコントロール」を参照してください。

25.2.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロック f1、f2、f4、f8、f32 が不要の場合、CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時の f1、f2、f4、f8、f32 を停止させてください。

25.2.6 タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCRレジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

25.2.7 A/Dコンバータ

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

25.2.8 内部電源の消費電力低減

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。図25.1にVCA20ビットによる内部電源低消費操作手順を示します。VCA20ビットにより内部電源低消費電力を許可する場合は、「図25.1 VCA20ビットによる内部電源低消費操作手順」に従ってください。

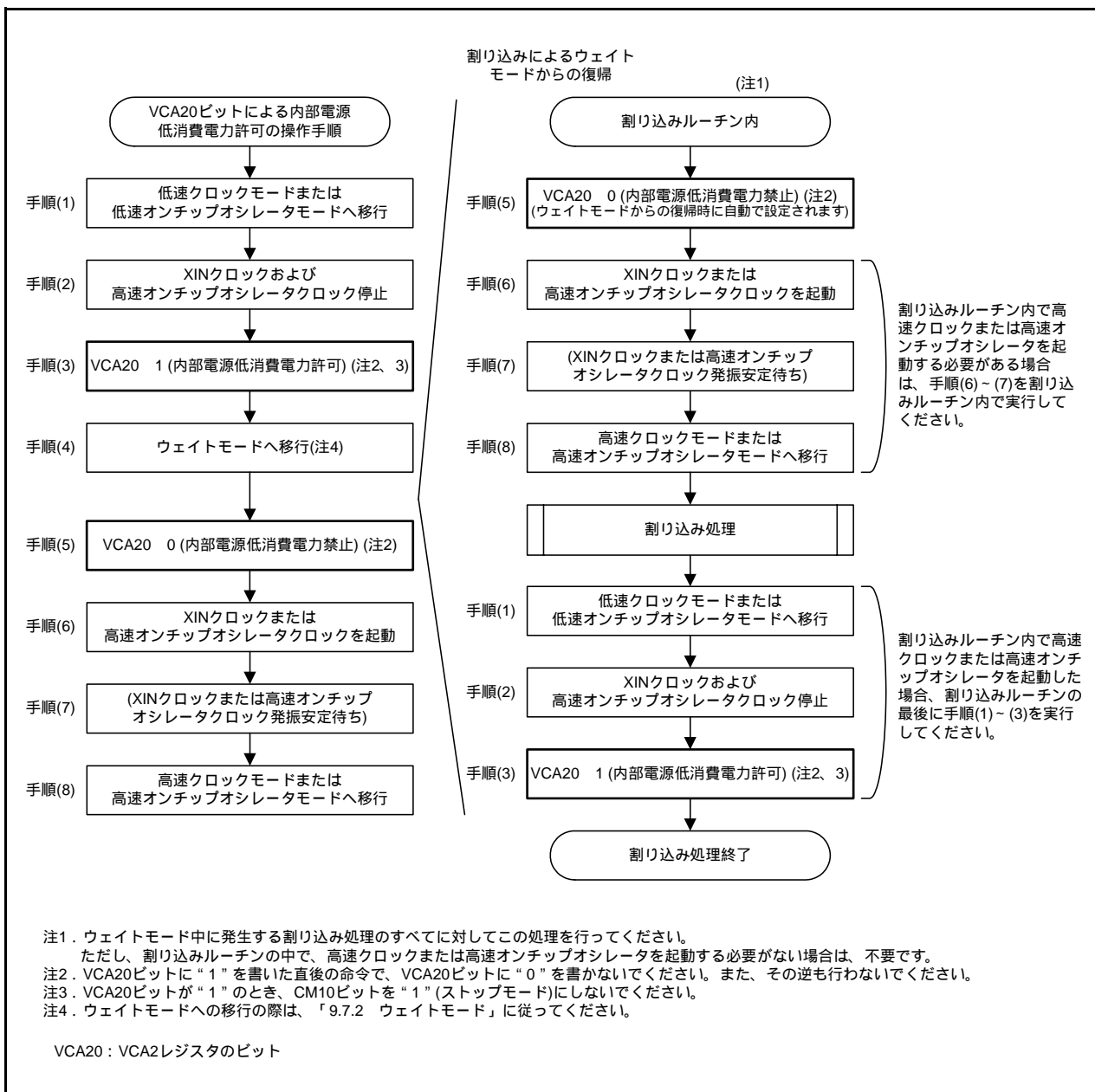


図25.1 VCA20ビットによる内部電源低消費操作手順

25.2.9 フラッシュメモリの停止

低速オンチップオシレータモード、低速クロックモードの場合、FMR0 レジスタの FMSTP ビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTP ビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTP ビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0 レジスタを設定する必要がありません。

図 25.2 に FMSTP ビットによる低消費電力操作手順例を示します。

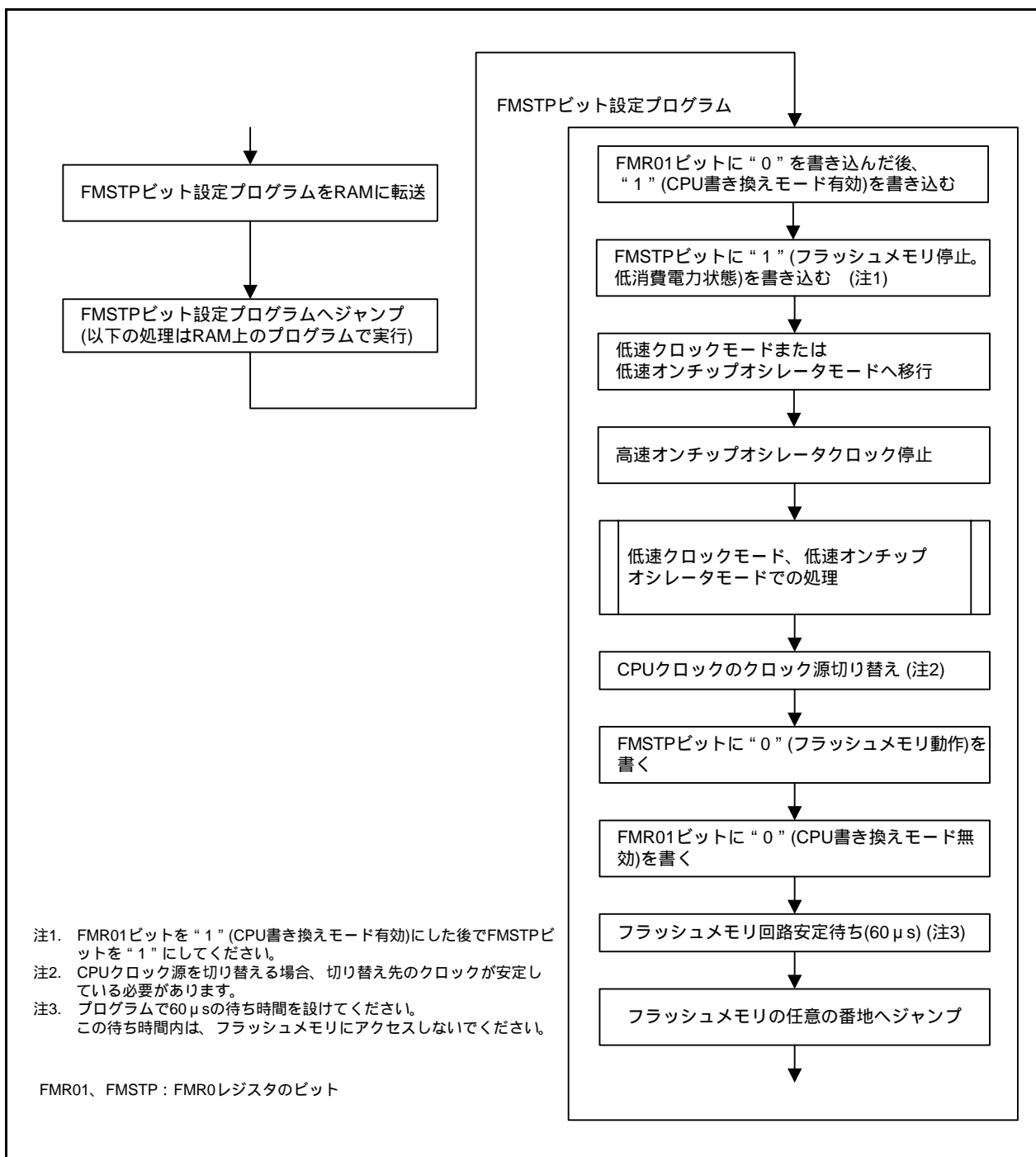


図 25.2 FMSTP ビットによる低消費電力操作手順例

25.2.10 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2 レジスタのFMR27 ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPU クロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27 ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

図25.3に低消費電流リードモードの操作手順例を示します。

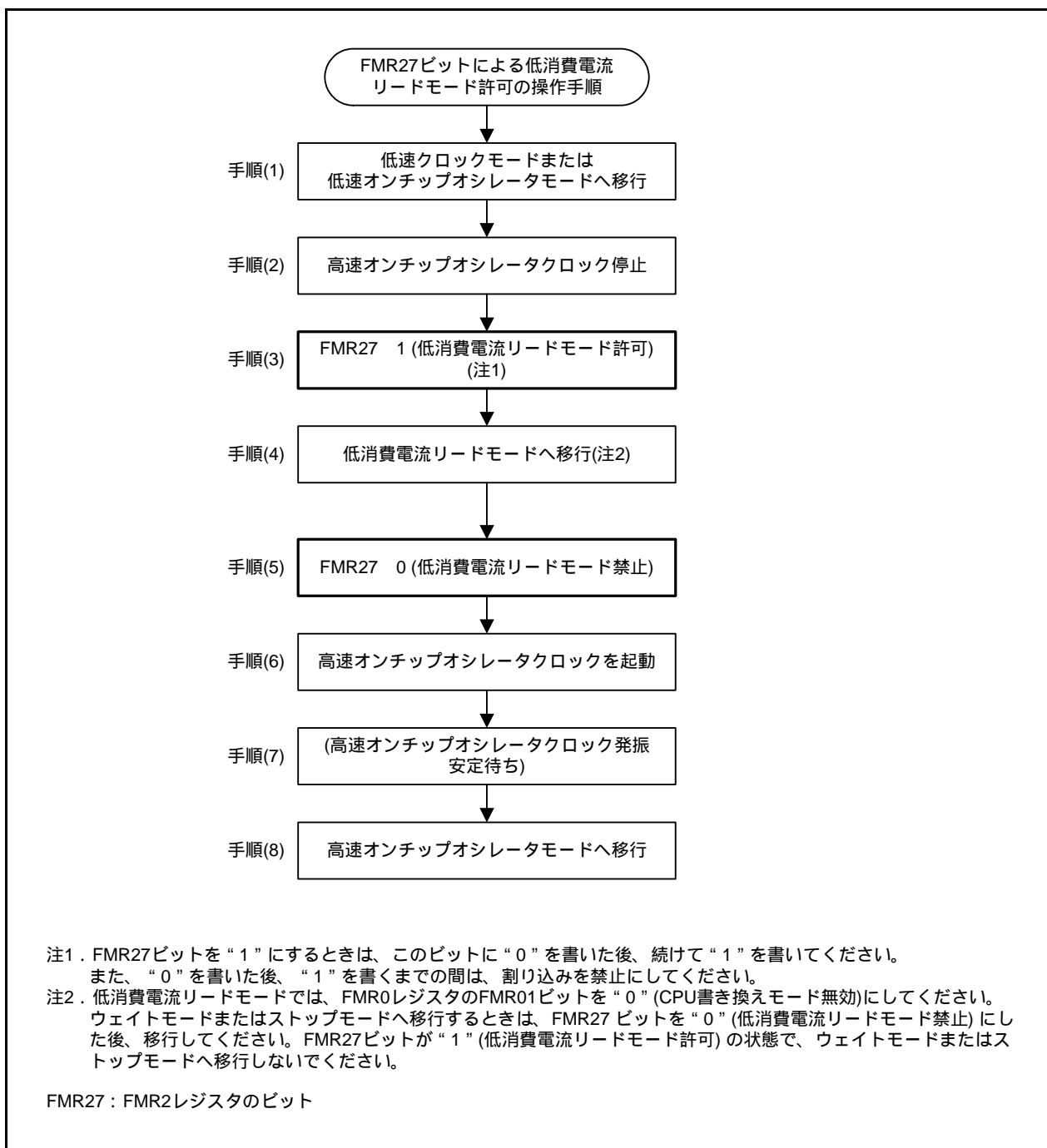


図25.3 低消費電流リードモードの操作手順例

26. 電気的特性

表26.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /AV _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	- 40 Topr 85	500	mW
T _{opr}	動作周囲温度		- 20 ~ 85(Nバージョン)/ - 40 ~ 85(Dバージョン)	
T _{stg}	保存温度		- 65 ~ 150	

表26.2 推奨動作条件

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
V _{CC} /AV _{CC}	電源電圧			1.8		5.5	V	
V _{SS} /AV _{SS}	電源電圧				0		V	
V _{IH}	“H”入力電圧	CMOS入力以外			0.8V _{CC}	V _{CC}	V	
		CMOS入力	入力レベル切り替え機能(I/Oポート)	入力レベル選択: 0.35V _{CC}	4.0V V _{CC} 5.5V	0.5V _{CC}	V _{CC}	V
					2.7V V _{CC} < 4.0V	0.55V _{CC}	V _{CC}	V
					1.8V V _{CC} < 2.7V	0.65V _{CC}	V _{CC}	V
				入力レベル選択: 0.5V _{CC}	4.0V V _{CC} 5.5V	0.65V _{CC}	V _{CC}	V
					2.7V V _{CC} < 4.0V	0.7V _{CC}	V _{CC}	V
					1.8V V _{CC} < 2.7V	0.8V _{CC}	V _{CC}	V
				入力レベル選択: 0.7V _{CC}	4.0V V _{CC} 5.5V	0.85V _{CC}	V _{CC}	V
					2.7V V _{CC} < 4.0V	0.85V _{CC}	V _{CC}	V
					1.8V V _{CC} < 2.7V	0.85V _{CC}	V _{CC}	V
外部クロック入力(XOUT)			1.2	—	V _{CC}	V		
V _{IL}	“L”入力電圧	CMOS入力以外			0	0.2V _{CC}	V	
		CMOS入力	入力レベル切り替え機能(I/Oポート)	入力レベル選択: 0.35V _{CC}	4.0V V _{CC} 5.5V	0	0.2V _{CC}	V
					2.7V V _{CC} < 4.0V	0	0.2V _{CC}	V
					1.8V V _{CC} < 2.7V	0	0.2V _{CC}	V
				入力レベル選択: 0.5V _{CC}	4.0V V _{CC} 5.5V	0	0.4V _{CC}	V
					2.7V V _{CC} < 4.0V	0	0.3V _{CC}	V
					1.8V V _{CC} < 2.7V	0	0.2V _{CC}	V
				入力レベル選択: 0.7V _{CC}	4.0V V _{CC} 5.5V	0	0.55V _{CC}	V
					2.7V V _{CC} < 4.0V	0	0.45V _{CC}	V
					1.8V V _{CC} < 2.7V	0	0.35V _{CC}	V
外部クロック入力(XOUT)			0	—	0.4	V		
I _{OH(sum)}	“H”尖頭総出力電流	全端子のI _{OH(peak)} の総和			- 160	mA		
I _{OH(sum)}	“H”平均総出力電流	全端子のI _{OH(avg)} の総和			- 80	mA		
I _{OH(peak)}	“H”尖頭出力電流	駆動能力Low時			- 10	mA		
		駆動能力High時			- 40	mA		
I _{OH(avg)}	“H”平均出力電流	駆動能力Low時			- 5	mA		
		駆動能力High時			- 20	mA		
I _{OL(sum)}	“L”尖頭総出力電流	全端子のI _{OL(peak)} の総和			160	mA		
I _{OL(sum)}	“L”平均総出力電流	全端子のI _{OL(avg)} の総和			80	mA		
I _{OL(peak)}	“L”尖頭出力電流	駆動能力Low時			10	mA		
		駆動能力High時			40	mA		
I _{OL(avg)}	“L”平均出力電流	駆動能力Low時			5	mA		
		駆動能力High時			20	mA		
f _(XIN)	XINクロック入力発振周波数	2.7V V _{CC} 5.5V			20	MHz		
		1.8V V _{CC} < 2.7V			5	MHz		
f _(XCIN)	XCINクロック入力発振周波数	1.8V V _{CC} 5.5V		32.768	50	kHz		
f _(OCO40M)	タイマRCのカウントソース(注3)	2.7V V _{CC} 5.5V	32		40	MHz		
f _(OCO-F)	f _(OCO-F) 周波数	2.7V V _{CC} 5.5V			20	MHz		
		1.8V V _{CC} < 2.7V			5	MHz		
	システムクロック周波数	2.7V V _{CC} 5.5V			20	MHz		
		1.8V V _{CC} < 2.7V			5	MHz		
f _(BCLK)	CPUクロック周波数	2.7V V _{CC} 5.5V			20	MHz		
		1.8V V _{CC} < 2.7V			5	MHz		

注1. 指定のない場合は、V_{CC} = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. f_(OCO40M)はV_{CC} = 2.7V ~ 5.5Vの範囲で、タイマRCのカウントソースとして使用することができます。

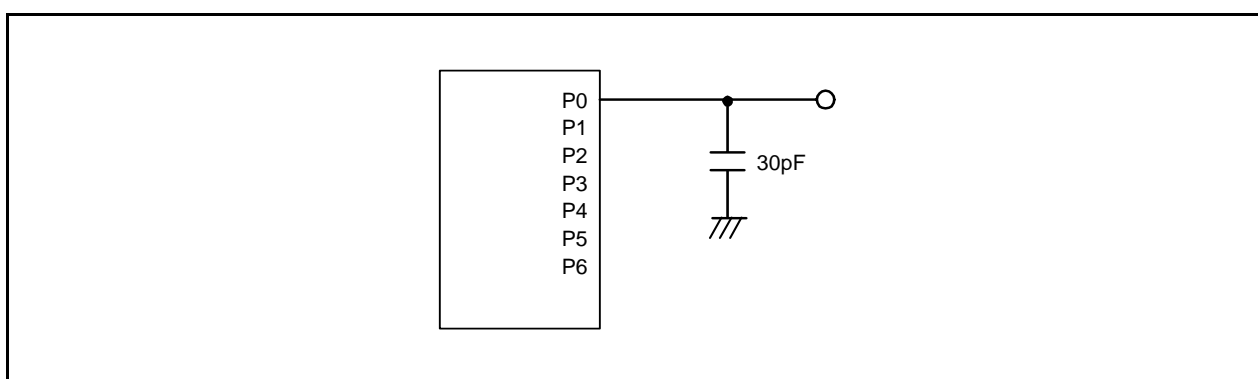


図26.1 ポートP0～P6のタイミング測定回路

表26.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
	分解能	Vref = AVcc			10	Bit	
	絶対精度	10ビットモード	Vref = AVcc = 5.0V	AN0 ~ AN7入力 AN8 ~ AN11入力		± 3	LSB
			Vref = AVcc = 3.3V	AN0 ~ AN7入力 AN8 ~ AN11入力		± 5	LSB
			Vref = AVcc = 3.0V	AN0 ~ AN7入力 AN8 ~ AN11入力		± 5	LSB
			Vref = AVcc = 2.2V	AN0 ~ AN7入力 AN8 ~ AN11入力		± 5	LSB
	8ビットモード	Vref = AVcc = 5.0V	AN0 ~ AN7入力 AN8 ~ AN11入力			± 2	LSB
		Vref = AVcc = 3.3V	AN0 ~ AN7入力 AN8 ~ AN11入力			± 2	LSB
		Vref = AVcc = 3.0V	AN0 ~ AN7入力 AN8 ~ AN11入力			± 2	LSB
		Vref = AVcc = 2.2V	AN0 ~ AN7入力 AN8 ~ AN11入力			± 2	LSB
AD	A/D変換クロック	4.0V Vref = AVcc 5.5V (注2)		2		20	MHz
		3.2V Vref = AVcc 5.5V (注2)		2		16	MHz
		2.7V Vref = AVcc 5.5V (注2)		2		10	MHz
		2.2V Vref = AVcc 5.5V (注2)		2		5	MHz
	許容信号源インピーダンス				3	k	
tCONV	変換時間	10ビットモード	Vref = AVcc = 5.0V、 AD = 20MHz	2.15			μs
		8ビットモード	Vref = AVcc = 5.0V、 AD = 20MHz	2.15			μs
tsAMP	サンプリング時間	AD = 20MHz		0.75			μs
Ivref	Vref電流	Vcc = 5.0V、 XIN = f1 = AD = 20MHz			45		μA
Vref	基準電圧			2.2		AVcc	V
VIA	アナログ入力電圧(注3)			0		Vref	V
OCVREF	チップ内蔵基準電圧	2MHz AD 4MHz		1.19	1.34	1.49	V

注1. 指定のない場合は、Vcc/AVcc = Vref = 2.2V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. ウェイトモード時、ストップモード時、フラッシュメモリの停止時、および低消費電流リードモード時では、A/D変換結果が不定になります。(これらの状態のときのA/D変換処理、およびA/D変換中のこれらの状態への遷移はしないでください。)

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表26.4 コンパレータBの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vref	IVREF1、IVREF3入力基準電圧		0		Vcc - 1.4	V
Vi	IVCMP1、IVCMP3入力電圧		- 0.3		Vcc + 0.3	V
	オフセット			5	100	mV
td	コンパレータ出力遅延時間(注2)	Vi = Vref ± 100mV		0.1		μs
ICMP	コンパレータ動作電流	Vcc = 5.0V		17.5		μA

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. デジタルフィルタ無効時。

表26.5 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		1,000(注3)			回
	バイトプログラム時間			80	500	μ s
	ブロックイレーズ時間			0.3		s
$t_d(\text{SR-SUS})$	サスペンドへの遷移時間				5+CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μ s
	サスペンドからイレーズの再開までの時間				30+CPUクロック × 1サイクル	μ s
$t_d(\text{CMDRST-READY})$	コマンド強制停止実行から読み出し可能になるまでの時間				30+CPUクロック × 1サイクル	μ s
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、 $V_{cc} = 2.7V \sim 5.5V$ 、 $T_{opr} = 0 \sim 60$ です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数が n 回($n = 1,000$)の場合、ブロックごとにそれぞれ n 回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保证する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特约店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

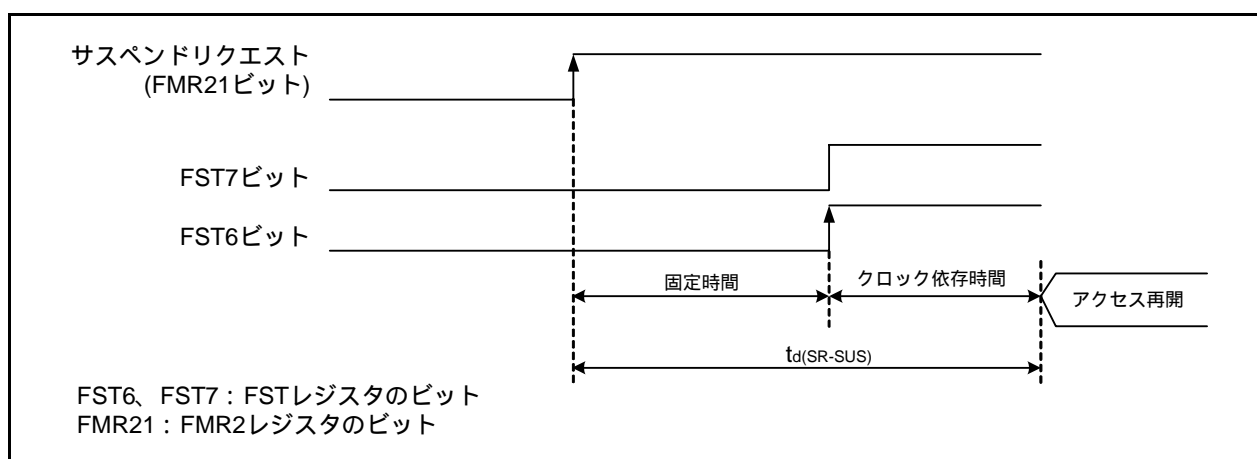


図26.2 サスペンドへの遷移時間

表26.6 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注2)		1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注2)		2.15	2.35	2.50	V
	電圧検出レベルVdet0_2 (注2)		2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注2)		3.55	3.80	4.05	V
	電圧検出0回路反応時間(注4)	Vcc = 5V (Vdet0_0 - 0.1)V に下げたとき		6	150	μs
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V		1.5		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン) / -40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注3. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表26.7 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_0 (注2)	Vcc立ち下がり時	2.00	2.20	2.40	V
	電圧検出レベルVdet1_1 (注2)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet1_2 (注2)	Vcc立ち下がり時	2.30	2.50	2.70	V
	電圧検出レベルVdet1_3 (注2)	Vcc立ち下がり時	2.45	2.65	2.85	V
	電圧検出レベルVdet1_4 (注2)	Vcc立ち下がり時	2.60	2.80	3.00	V
	電圧検出レベルVdet1_5 (注2)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出レベルVdet1_6 (注2)	Vcc立ち下がり時	2.85	3.10	3.40	V
	電圧検出レベルVdet1_7 (注2)	Vcc立ち下がり時	3.00	3.25	3.55	V
	電圧検出レベルVdet1_8 (注2)	Vcc立ち下がり時	3.15	3.40	3.70	V
	電圧検出レベルVdet1_9 (注2)	Vcc立ち下がり時	3.30	3.55	3.85	V
	電圧検出レベルVdet1_A (注2)	Vcc立ち下がり時	3.45	3.70	4.00	V
	電圧検出レベルVdet1_B (注2)	Vcc立ち下がり時	3.60	3.85	4.15	V
	電圧検出レベルVdet1_C (注2)	Vcc立ち下がり時	3.75	4.00	4.30	V
	電圧検出レベルVdet1_D (注2)	Vcc立ち下がり時	3.90	4.15	4.45	V
	電圧検出レベルVdet1_E (注2)	Vcc立ち下がり時	4.05	4.30	4.60	V
	電圧検出レベルVdet1_F (注2)	Vcc立ち下がり時	4.20	4.45	4.75	V
	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_0 ~ Vdet1_5選択時		0.07		V
		Vdet1_6 ~ Vdet1_F選択時		0.10		V
	電圧検出1回路反応時間(注3)	Vcc = 5V (Vdet1_0 - 0.1)V に下げたとき		60	150	μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注4)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン) / -40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表26.8 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.00	4.30	V
	電圧検出2回路のVcc立ち上がり時のヒステリシス幅			0.10		V
	電圧検出2回路反応時間(注2)	Vcc = 5V (Vdet2_0 - 0.1)Vに下げたとき		20	150	μs
	電圧検出回路の自己消費電流	VCA27 = 1, Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V, Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表26.9 パワーオンリセット回路(注2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き(注1)		0		50000	mV/msec

注1. 指定のない場合測定条件は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

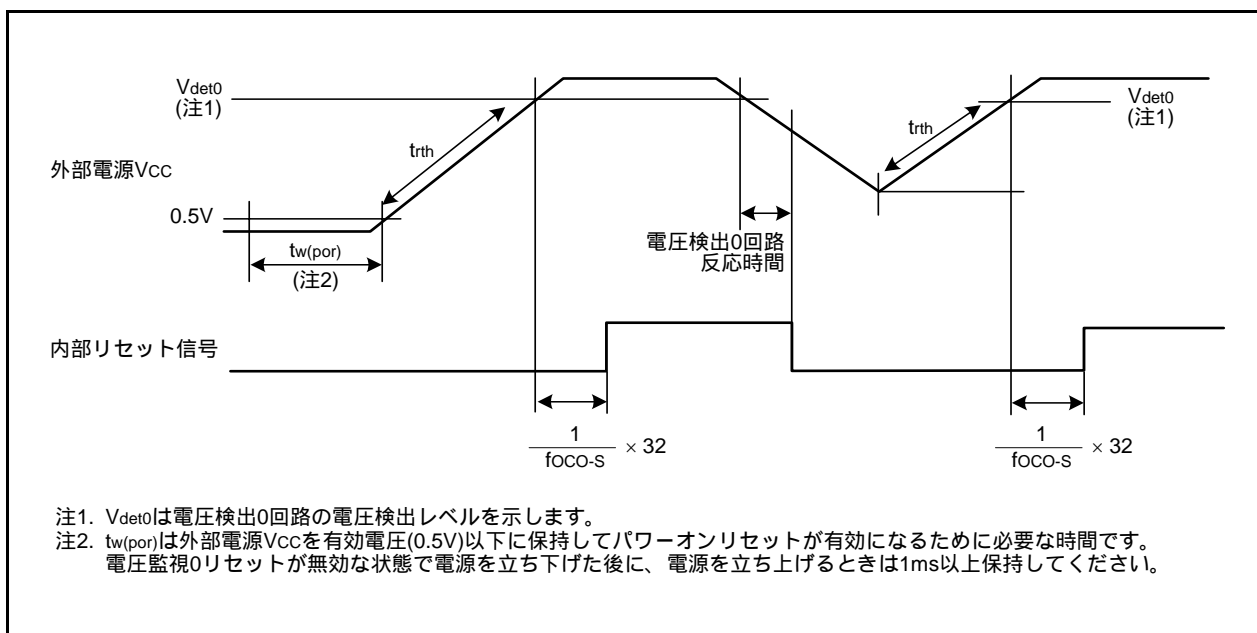


図26.3 パワーオンリセット回路の電気的特性

注1. Vdet0は電圧検出0回路の電圧検出レベルを示します。

注2. tw(por)は外部電源Vccを有効電圧(0.5V)以下に保持してパワーオンリセットが有効になるために必要な時間です。電圧監視0リセットが無効な状態で電源を立ち下げた後に、電源を立ち上げる時は1ms以上保持してください。

表26.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	Vcc = 1.8V ~ 5.5V - 20 Topr 85	38.4	40	41.6	MHz
		Vcc = 1.8V ~ 5.5V - 40 Topr 85	38.0	40	42.0	MHz
	FRA4レジスタの補正値をFRA1レジスタに、かつFRA5レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注2)	Vcc = 1.8V ~ 5.5V - 20 Topr 85	35.389	36.864	38.338	MHz
		Vcc = 1.8V ~ 5.5V - 40 Topr 85	35.020	36.864	38.707	MHz
	FRA6レジスタの補正値をFRA1レジスタに、かつFRA7レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数	Vcc = 1.8V ~ 5.5V - 20 Topr 85	30.72	32	33.28	MHz
		Vcc = 1.8V ~ 5.5V - 40 Topr 85	30.40	32	33.60	MHz
	発振安定時間	Vcc = 5.0V, Topr = 25		0.5	3	ms
	発振時の自己消費電流	Vcc = 5.0V, Topr = 25		400		μA

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることが出来ます。

表26.11 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		60	125	250	kHz
	発振安定時間	Vcc = 5.0V, Topr = 25		30	100	μs
	発振時の自己消費電流	Vcc = 5.0V, Topr = 25		2		μA

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

表26.12 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)				2000	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表26.13 電気的特性(1) [4.2V Vcc 5.5V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	駆動能力High Vcc = 5 V	IoH = - 20mA	Vcc - 2.0		Vcc	V
			駆動能力Low Vcc = 5 V	IoH = - 5mA	Vcc - 2.0		Vcc	V
		XOUT	Vcc = 5 V	IoH = - 200μA	1.0		Vcc	V
VOL	“L”出力電圧	XOUT以外	駆動能力High Vcc = 5 V	IoL = 20mA			2.0	V
			駆動能力Low Vcc = 5 V	IoL = 5mA			2.0	V
		XOUT	Vcc = 5 V	IoL = 200μA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAI0、TRBO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRCTRG、TRCCLK、 ADTRG、 RXD0、RXD2、 CLK0、CLK2			0.1	1.2		V
		RESET			0.1	1.2		V
IiH	“H”入力電流		Vi = 5V、Vcc = 5.0 V				5.0	μA
IiL	“L”入力電流		Vi = 0V、Vcc = 5.0 V				- 5.0	μA
RPULLUP	プルアップ抵抗		Vi = 0V、Vcc = 5.0 V		25	50	100	k
RiXIN	帰還抵抗	XIN				0.3		M
RiXCIN	帰還抵抗	XCIN				8		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、4.2V Vcc 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 20MHzです。

表26.14 電気的特性(2) [3.3V Vcc 5.5V]
(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6.5	15	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		5.3	12.5	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.6		mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2.2		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周 MSTTRC = "1"		1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR27 = "1"、VCA20 = "0"		90	400	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし FMR27 = "1"、VCA20 = "0"		85	400	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = "1"、VCA20 = "0"		47		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0"、VCA20 = "1"		15	100	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"、VCA20 = "1"		4	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0"、VCA20 = "1"		3.5		μA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		2.0	5.0	μA
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		5.0		μA

タイミング必要条件 (指定のない場合は、 $V_{cc} = 5V$ 、 $V_{ss} = 0V$ 、 $T_{opr} = 25$)

表26.15 外部クロック入力(XOUT、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XOUT)}$	XOUT入力サイクル時間	50		ns
$t_{WH(XOUT)}$	XOUT入力“H”パルス幅	24		ns
$t_{WL(XOUT)}$	XOUT入力“L”パルス幅	24		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

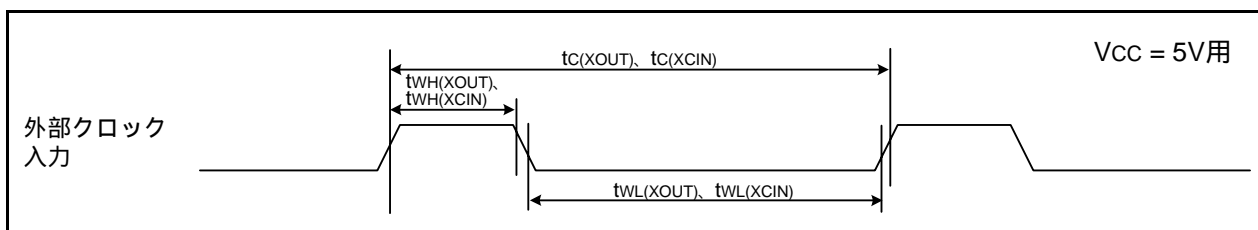


図26.4 $V_{cc} = 5V$ 時の外部クロック入力タイミング

表26.16 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	100		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	40		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	40		ns

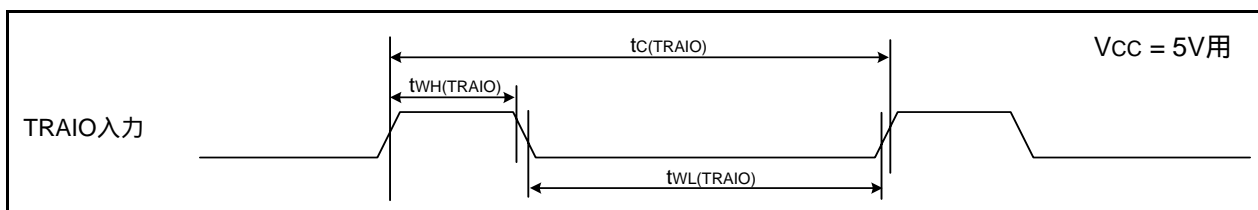


図26.5 $V_{cc} = 5V$ 時のTRAIO入力タイミング

表26.17 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		50	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	50		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0, 2

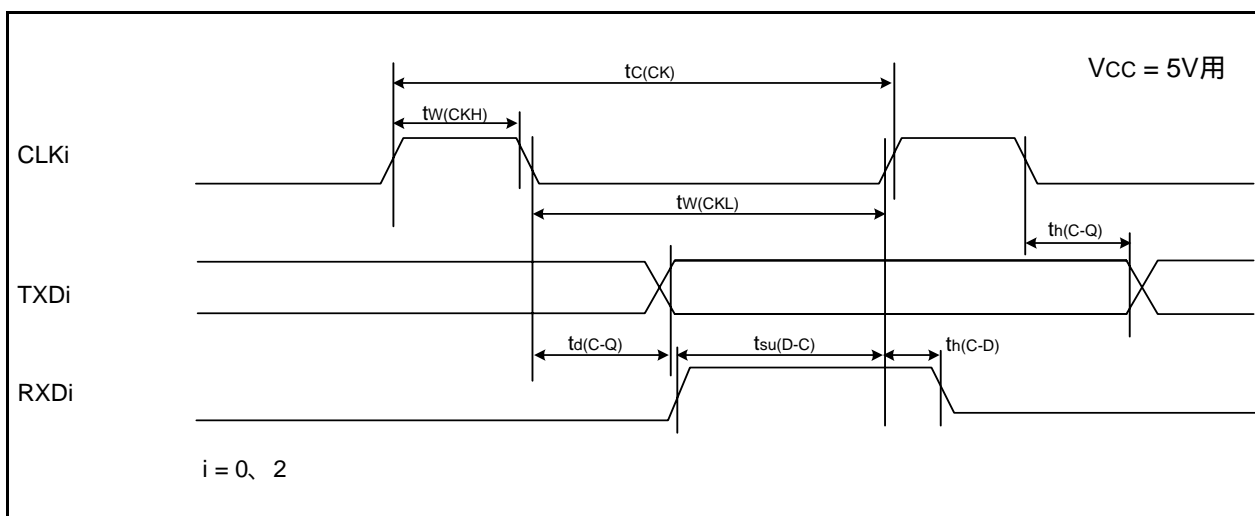


図26.6 Vcc = 5V時のシリアルインタフェースのタイミング

表26.18 外部割り込み \overline{INTi} 入力 (i = 0 ~ 4)、キー入力割り込み \overline{Kli} (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅、 \overline{Kli} 入力“H”パルス幅	250(注1)		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅、 \overline{Kli} 入力“L”パルス幅	250(注2)		ns

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

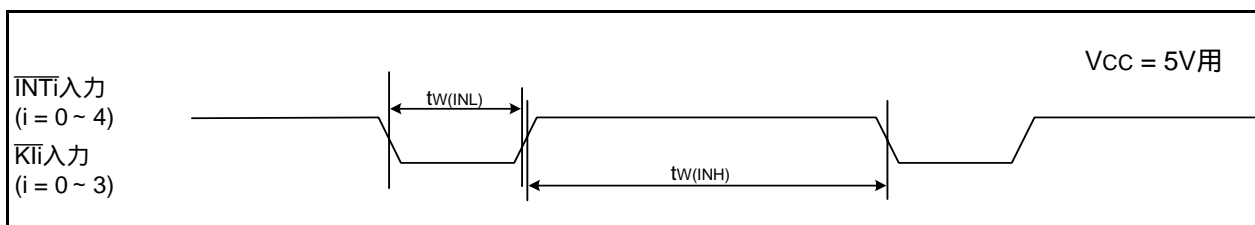
図26.7 Vcc = 5V時の外部割り込み \overline{INTi} およびキー入力割り込み \overline{Kli} 入力タイミング

表26.19 電気的特性(3) [2.7V $V_{cc} < 4.2V$]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	駆動能力High	IOH = - 5mA	Vcc - 0.5		Vcc	V
			駆動能力Low	IOH = - 1mA	Vcc - 0.5		Vcc	V
		XOUT		IOH = - 200 μ A	1.0		Vcc	V
VOL	“L”出力電圧	XOUT以外	駆動能力High	IOL = 5mA			0.5	V
			駆動能力Low	IOL = 1mA			0.5	V
		XOUT		IOL = 200 μ A			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 K10、K11、K12、K13、 TRAIO、TRBO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRCTRG、TRCCLK、 ADTRG、 RXD0、RXD2、 CLK0、CLK2	Vcc = 3.0V		0.1	0.4		V
		RESET	Vcc = 3.0 V		0.1	0.5		V
I _{IH}	“H”入力電流		Vi = 3 V、Vcc = 3.0 V				4.0	μ A
I _{IL}	“L”入力電流		Vi = 0 V、Vcc = 3.0 V				- 4.0	μ A
R _{PULLUP}	プルアップ抵抗		Vi = 0 V、Vcc = 3.0 V		42	84	168	k
R _{I_{XIN}}	帰還抵抗	XIN				0.3		M
R _{I_{XCIN}}	帰還抵抗	XCIN				8		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、2.7V $V_{cc} < 4.2V$ 、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 10MHzです。

表26.20 電気的特性(4) [2.7V Vcc < 3.3V]
(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5	10	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5	7.5	
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		
			XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		4.0		mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		
			XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周 MSTTRC = "1"		1		mA
			低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR27 = "1"、VCA20 = "0"		90	
		低速クロックモード		XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし FMR27 = "1"、VCA20 = "0"		80	400
			ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		40	
		XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"			15	90	μA
		XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"			4	80	
		XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"			3.5		μA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		2.0	5.0	
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		5.0		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$)

表26.21 外部クロック入力(XOUT、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XOUT)}$	XOUT入力サイクル時間	50		ns
$t_{WH(XOUT)}$	XOUT入力“H”パルス幅	24		ns
$t_{WL(XOUT)}$	XOUT入力“L”パルス幅	24		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

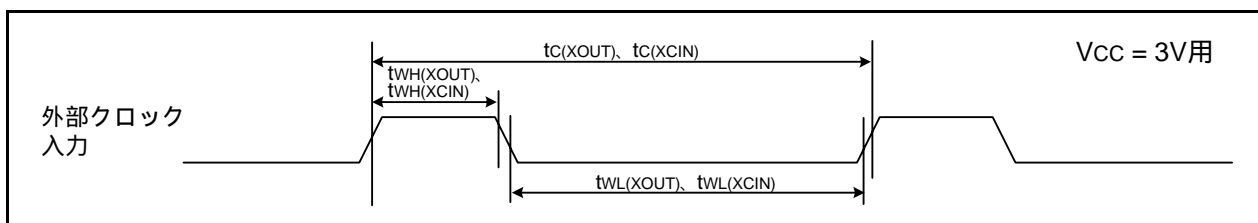


図26.8 $V_{CC} = 3V$ 時の外部クロック入力タイミング

表26.22 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	300		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	120		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	120		ns

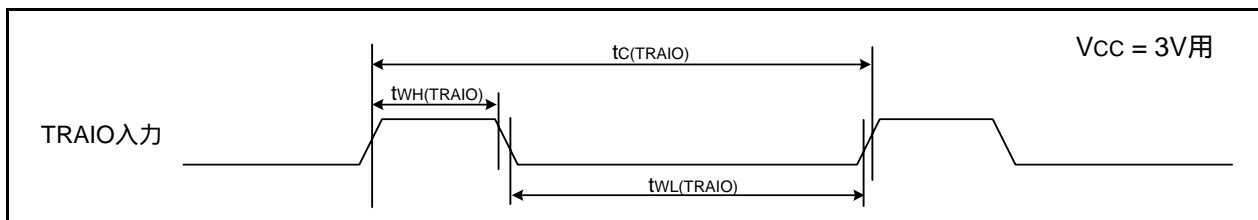


図26.9 $V_{CC} = 3V$ 時のTRAIO入力タイミング

表26.23 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0, 2

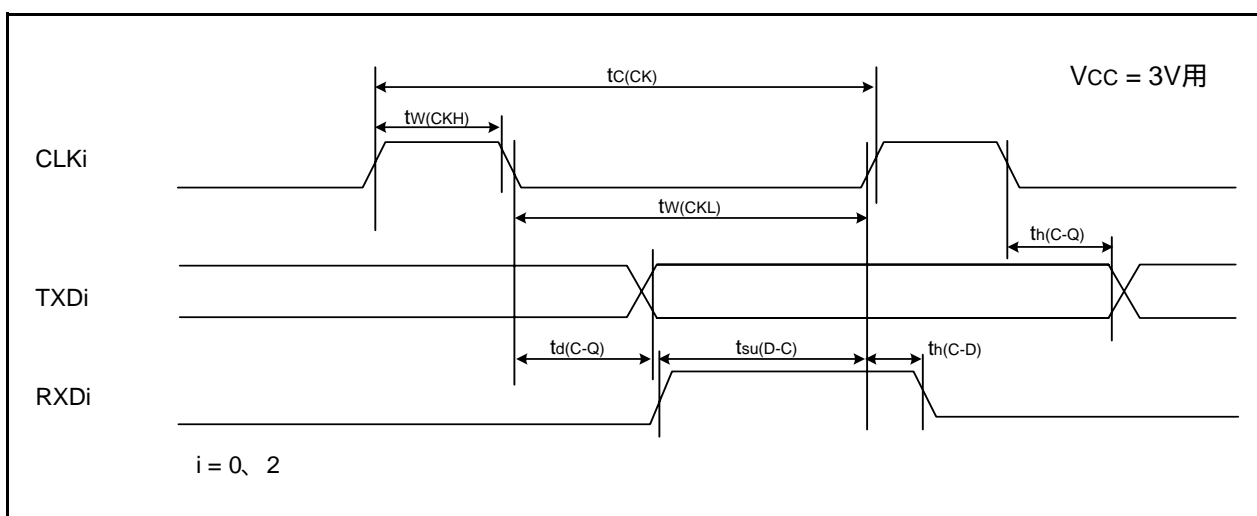


図26.10 Vcc = 3V時のシリアルインタフェースのタイミング

表26.24 外部割り込み \overline{INTi} 入力 (i = 0 ~ 4)、キー入力割り込み \overline{Kli} (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅、 \overline{Kli} 入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅、 \overline{Kli} 入力“L”パルス幅	380(注2)		ns

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

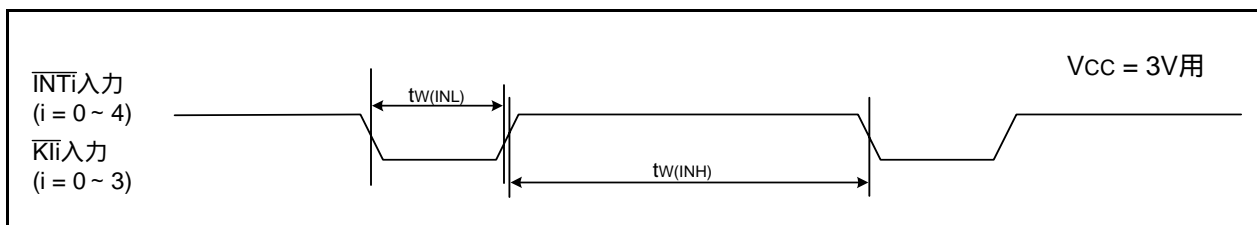
図26.11 Vcc = 3V時の外部割り込み \overline{INTi} およびキー入力割り込み \overline{Kli} 入力タイミング

表26.25 電気的特性(5) [1.8V $V_{CC} < 2.7V$]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	駆動能力High	$I_{OH} = -2mA$	$V_{CC} - 0.5$		V_{CC}	V
			駆動能力Low	$I_{OH} = -1mA$	$V_{CC} - 0.5$		V_{CC}	V
		XOUT		$I_{OH} = -200\mu A$	1.0		V_{CC}	V
VOL	“L”出力電圧	XOUT以外	駆動能力High	$I_{OL} = 2mA$			0.5	V
			駆動能力Low	$I_{OL} = 1mA$			0.5	V
		XOUT		$I_{OL} = 200\mu A$			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 K10、K11、K12、K13、 TRAIO、TRBO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRCTRG、TRCCLK、 ADTRG、 RXD0、RXD2、 CLK0、CLK2			0.05	0.20		V
		RESET			0.05	0.20		V
I _{IH}	“H”入力電流		$V_I = 2.2V$ 、 $V_{CC} = 2.2V$				4.0	μA
I _{IL}	“L”入力電流		$V_I = 0V$ 、 $V_{CC} = 2.2V$				-4.0	μA
R _{PULLUP}	プルアップ抵抗		$V_I = 0V$ 、 $V_{CC} = 2.2V$		70	140	300	k
R _{I_{XIN}}	帰還抵抗	XIN				0.3		M
R _{I_{XCIN}}	帰還抵抗	XCIN				8		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、1.8V $V_{CC} < 2.7V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)、 $f(XIN) = 5MHz$ です。

表26.26 電気的特性(6) [1.8V $V_{cc} < 2.7V$]
 (指定のない場合は、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{cc}	電源電流 ($V_{cc} = 1.8V \sim 2.7V$) シングルチップモードで、出力端子は開放、その他の端子はV _{ss}	高速クロックモード	XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		2.2		mA
			XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		0.8		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		2.5	10	mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.7		mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周 MSTTRC = "1"		1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR27 = "1"、VCA20 = "0"		90	300	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし FMR27 = "1"、VCA20 = "0"		80	350	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = "1"、VCA20 = "0"		40		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		15	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		4	80	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		3.5		μA
		ストップモード	XINクロック停止、 $T_{opr} = 25$ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		2.0	5	μA
			XINクロック停止、 $T_{opr} = 85$ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		5.0		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 2.2V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$)

表26.27 外部クロック入力(XOUT、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XOUT)}$	XOUT入力サイクル時間	200		ns
$t_{WH(XOUT)}$	XOUT入力“H”パルス幅	90		ns
$t_{WL(XOUT)}$	XOUT入力“L”パルス幅	90		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

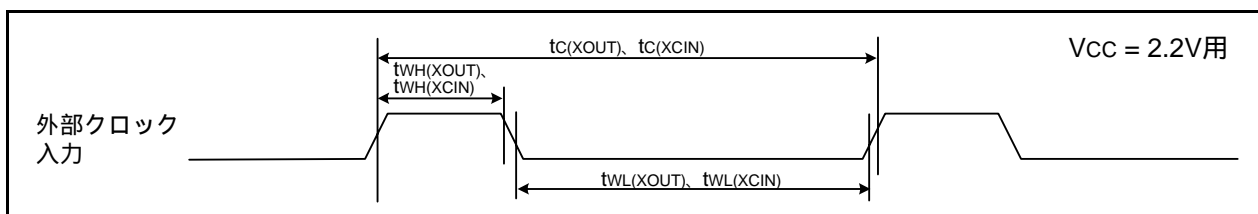


図26.12 $V_{CC} = 2.2V$ 時の外部クロック入力タイミング

表26.28 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	500		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	200		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	200		ns

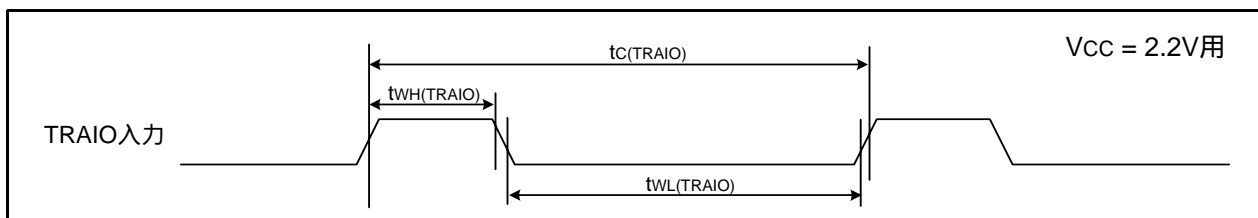


図26.13 $V_{CC} = 2.2V$ 時のTRAIO入力タイミング

表26.29 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	400		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	400		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		200	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	150		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0, 2

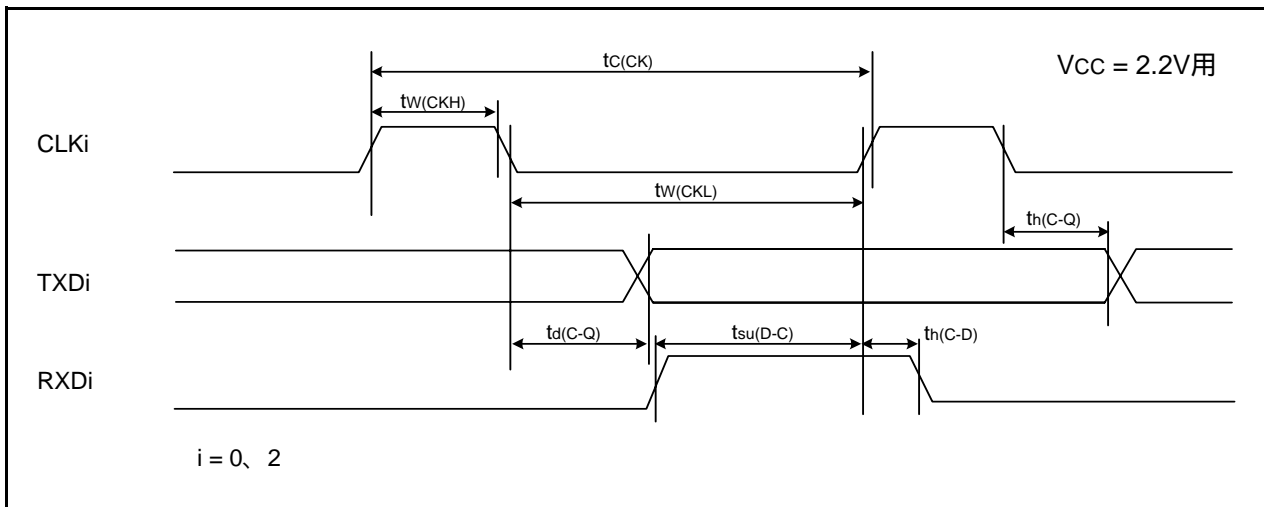


図26.14 Vcc = 2.2V時のシリアルインタフェースのタイミング

表26.30 外部割り込みINTi入力 (i = 0 ~ 4)、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	1000(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	1000(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

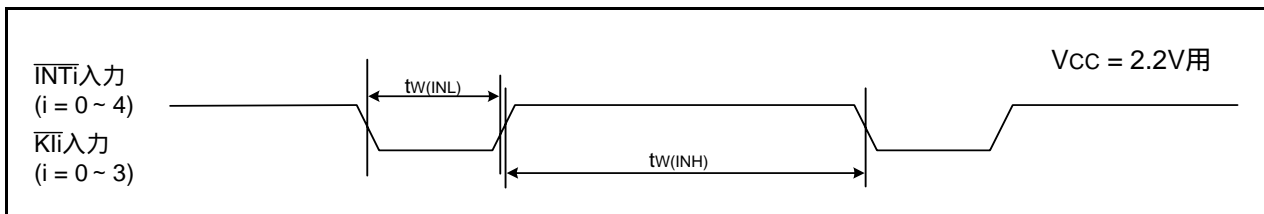


図26.15 Vcc = 2.2V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

27. 使用上の注意事項

27.1 クロック発生回路使用上の注意

27.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM1レジスタへの書き込み許可
FSET    I         ; 割り込み許可
BSET    0, CM1     ; ストップモード
JMP.B   LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

27.1.2 ウェイトモード

CM30ビットを“1”にしてウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)にした後、CM30ビットを“1”にしてください。

WAIT命令でウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはCM30ビットを“1” (ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1” (ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
FSET    I          ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP
```

• CM30ビットを“1”を実行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM3レジスタへの書き込み許可
FCLR    I          ; 割り込み禁止
BSET    0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR    ; CM3レジスタへの書き込み禁止
FSET    I          ; 割り込み許可
```

27.1.3 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

27.1.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

電源電圧VCC=2.7V未満でご使用になる場合は、CM1レジスタのCM11ビットを“1” (内蔵帰還抵抗無効)にし、外部に帰還抵抗を接続することを推奨します。

27.2 割り込み使用上の注意

27.2.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

27.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

27.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力($i = 0 \sim 4$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表26.18 ($V_{cc} = 5V$)、表26.24 ($V_{cc} = 3V$)、表26.30 ($V_{cc} = 2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力($i = 0 \sim 4$)、キー入力割り込み $\overline{\text{KIi}}$ ($i = 0 \sim 3$)」を参照。)

27.2.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図27.1に割り込み要因の変更手順例を示します。

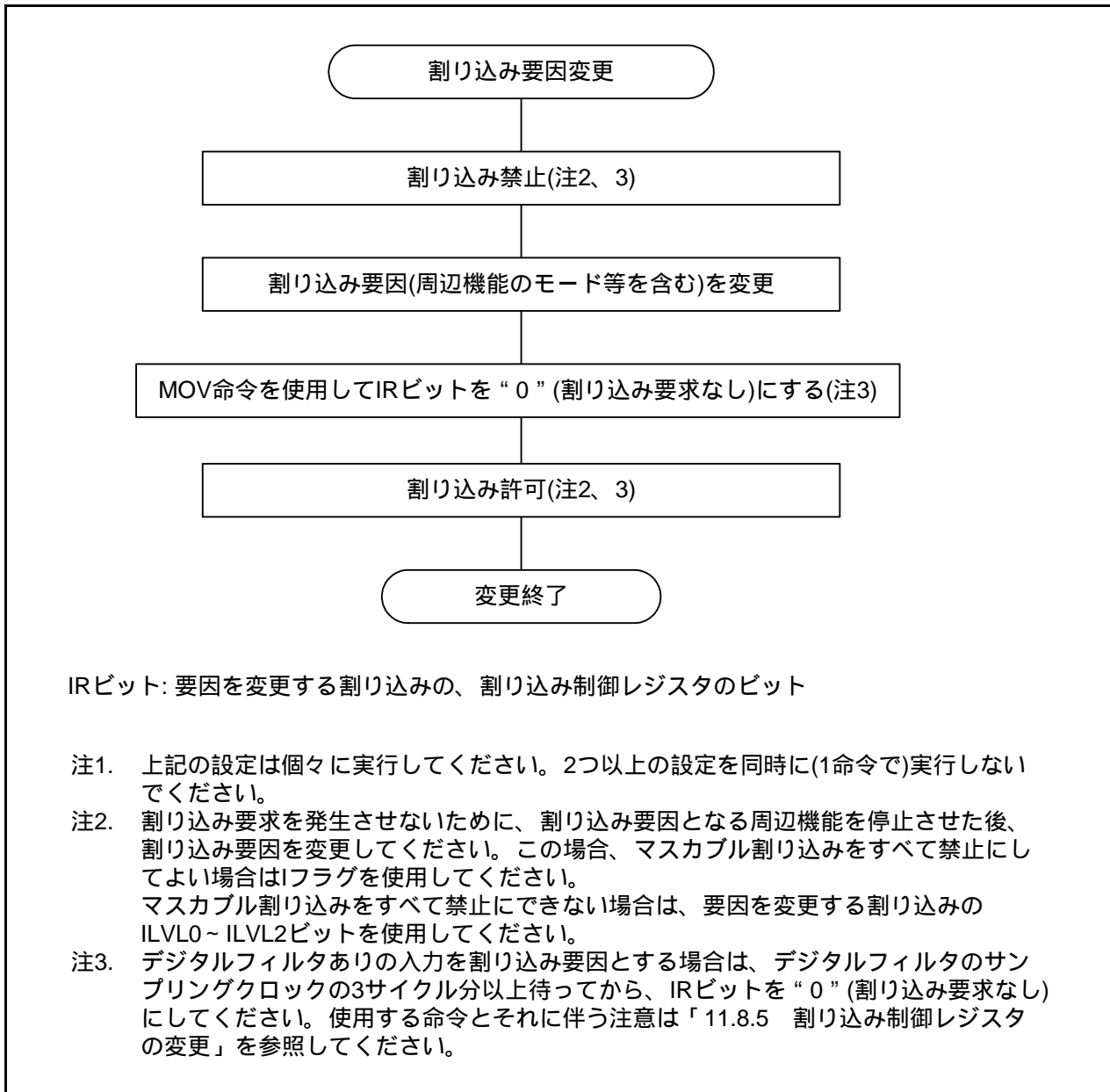


図27.1 割り込み要因の変更手順例

27.2.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG             ; 割り込み許可
```

27.3 IDコード領域使用上の注意

27.3.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)      ; UND
.lword dummy | (55000000h)      ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h)      ; ADDRESS MATCH
.lword dummy | (55000000h)      ; SET SINGLE STEP
.lword dummy | (55000000h)      ; WDT
.lword dummy | (55000000h)      ; ADDRESS BREAK
.lword dummy | (55000000h)      ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

27.4 オプション機能選択領域使用上の注意

27.4.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h)      ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

27.5 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0~1サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。
TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0~1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けて下さい。

27.6 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いた後からTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いた後からTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

27.6.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

27.6.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

27.6.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

27.6.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

27.7 タイマRC使用上の注意

27.7.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペアー致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。
プログラム例

MOV.W	#XXXXh, TRC	;	書き込み
JMP.B	L1	;	JMP.B命令
L1: MOV.W	TRC, DATA	;	読み出し

27.7.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

MOV.B	#XXh, TRCSR	;	書き込み
JMP.B	L1	;	JMP.B命令
L1: MOV.B	TRCSR, DATA	;	読み出し

27.7.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

27.7.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順
 - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
 - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。
変更手順
 - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
 - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
 - (3) f1の2サイクル以上待つ
 - (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) fOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル+fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) fOCO-Fの1サイクル+fOCO40Mの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

27.7.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。
[デジタルフィルタなしの場合]
タイマRCの動作クロックの3サイクル分以上(「表18.1 タイマRCの動作クロック」参照)
[デジタルフィルタありの場合]
デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図18.5 デジタルフィルタのブロック図」参照)
- TRCIOj(j = A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

27.7.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペアー一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペアー一致が発生するタイミングで、TRCMRレジスタに書かないでください。

27.7.7 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

27.8 タイマRE使用上の注意

27.8.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ: TRESEC、TREMINT、TREHR、TREWK、TRECRI、TRECRI2、TRECRI3

27.8.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRI2レジスタ
- TRECRIレジスタのH12_H24ビット、PMビット、INTビット
- TRECRI3レジスタのRCS0 ~ RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRI2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図27.2にリアルタイムクロックモード時の設定例を示します。

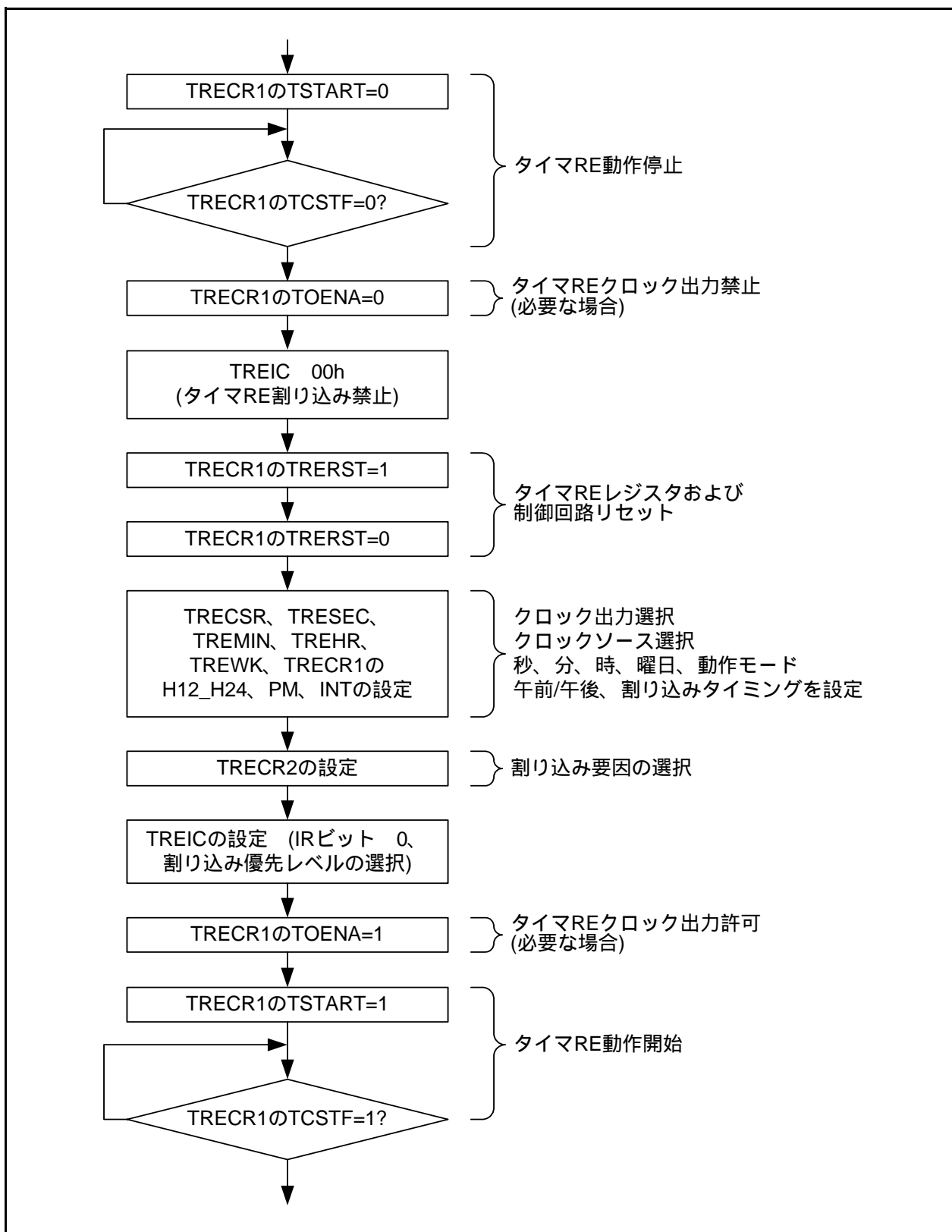


図27.2 リアルタイムクロックモード時の設定例

27.8.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

27.9 シリアルインタフェース(UART0)使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、U0RBレジスタを読み出すときは、必ず16ビット単位で読み出してください。
U0RBレジスタのPER、FERビットとU0C1レジスタのRIビットは、U0RBレジスタの上位バイトを読み出したとき、“0”になります。
受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

<受信バッファレジスタを読み出すプログラム例>

```
MOV.W 00A6H, R0 ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

<送信バッファレジスタに書き込むプログラム例>

```
MOV.B #XXH, 00A3H ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B #XXH, 00A2H ; U0TBレジスタの下位バイトへの書き込み
```

27.10 シリアルインタフェース(UART2)使用上の注意

27.10.1 クロック同期形シリアルI/Oモード

27.10.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

27.10.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態)で次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

27.10.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態)で次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

27.10.2 特殊モード1(I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

27.11 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。
ADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))に関わらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。
プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

27.12 フラッシュメモリ使用上の注意

27.12.1 CPU書き換えモード

27.12.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

27.12.1.2 割り込み

表27.1、表27.2にCPU書き換えモード時の割り込みを示します。

表27.1 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	プログラムROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	プログラムROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされません。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22 : FMR2レジスタのビット

表27.2 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 	<ul style="list-style-type: none"> ・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW0	プログラム ROM	自動消去中 (サスペンド有効)	<p>割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。</p> <p>自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</p>	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		
EW1	プログラム ROM	自動消去中 (サスペンド有効)	<p>割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。</p> <p>自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</p>	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効またはFMR22="0")		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

27.12.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みを禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みを禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

27.12.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

27.12.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

27.12.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

27.12.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

27.12.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

27.12.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。

消費電力を低減する方法は、「25. 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

27.13 ノイズに関する注意

27.13.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

27.13.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC 内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

27.14 電源電圧の変動に関する注意

リセット解除後、VCC 端子に入力する電源電圧は、図 27.3 に示す許容電源リップル電圧 $V_r(vcc)$ および電源リップル立ち下がり勾配 $dV_r(vcc)/dt$ のどちらか一方または両方を満たしてください。

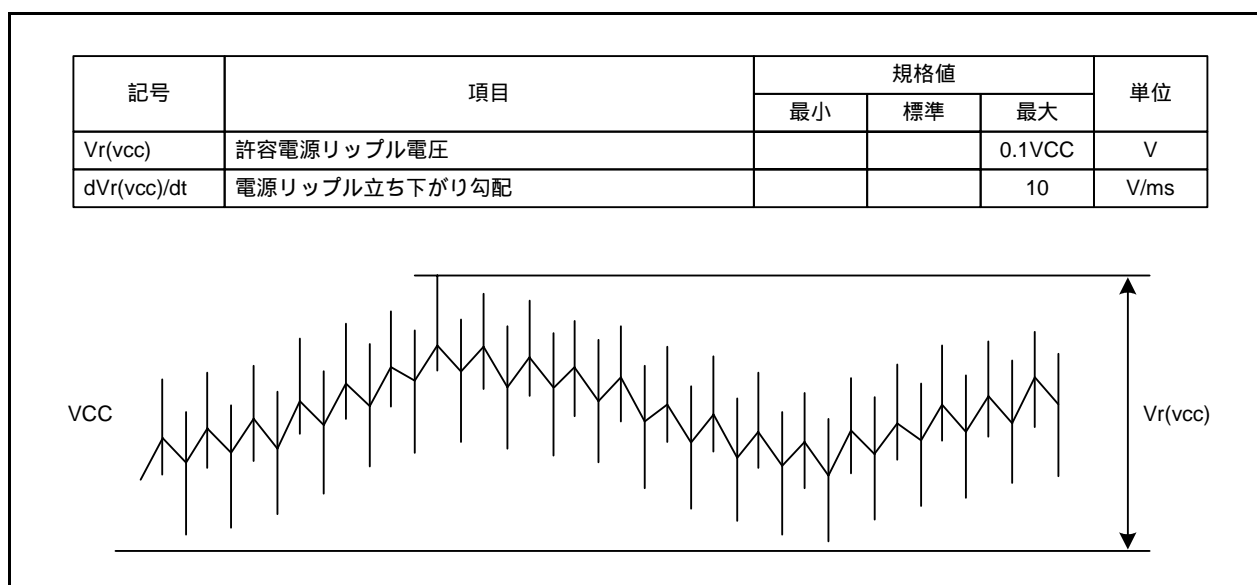


図 27.3 電源リップルの定義

28. オンチップデバッグの注意事項

オンチップデバッグを使用して本マイコンのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC=1.8 ~ 5.5Vの条件でデバッグ可能です。フラッシュメモリの書き換えが発生する場合の電源電圧は、2.7V以上にしてください。

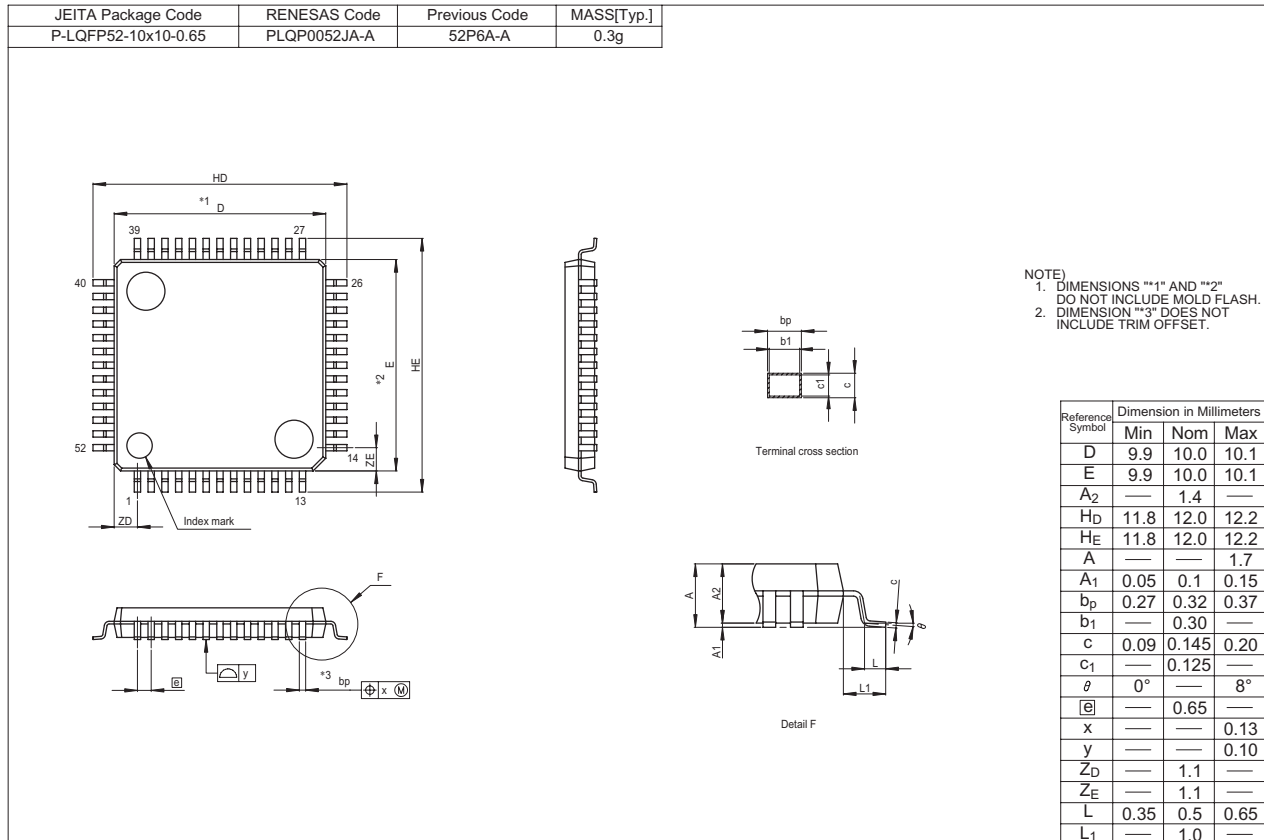
オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

29. エミュレータデバッグの注意事項

エミュレータデバッグの接続や使用方法には、固有の制限事項があります。エミュレータデバッグの詳細は各エミュレータデバッグのマニュアルを参照してください。

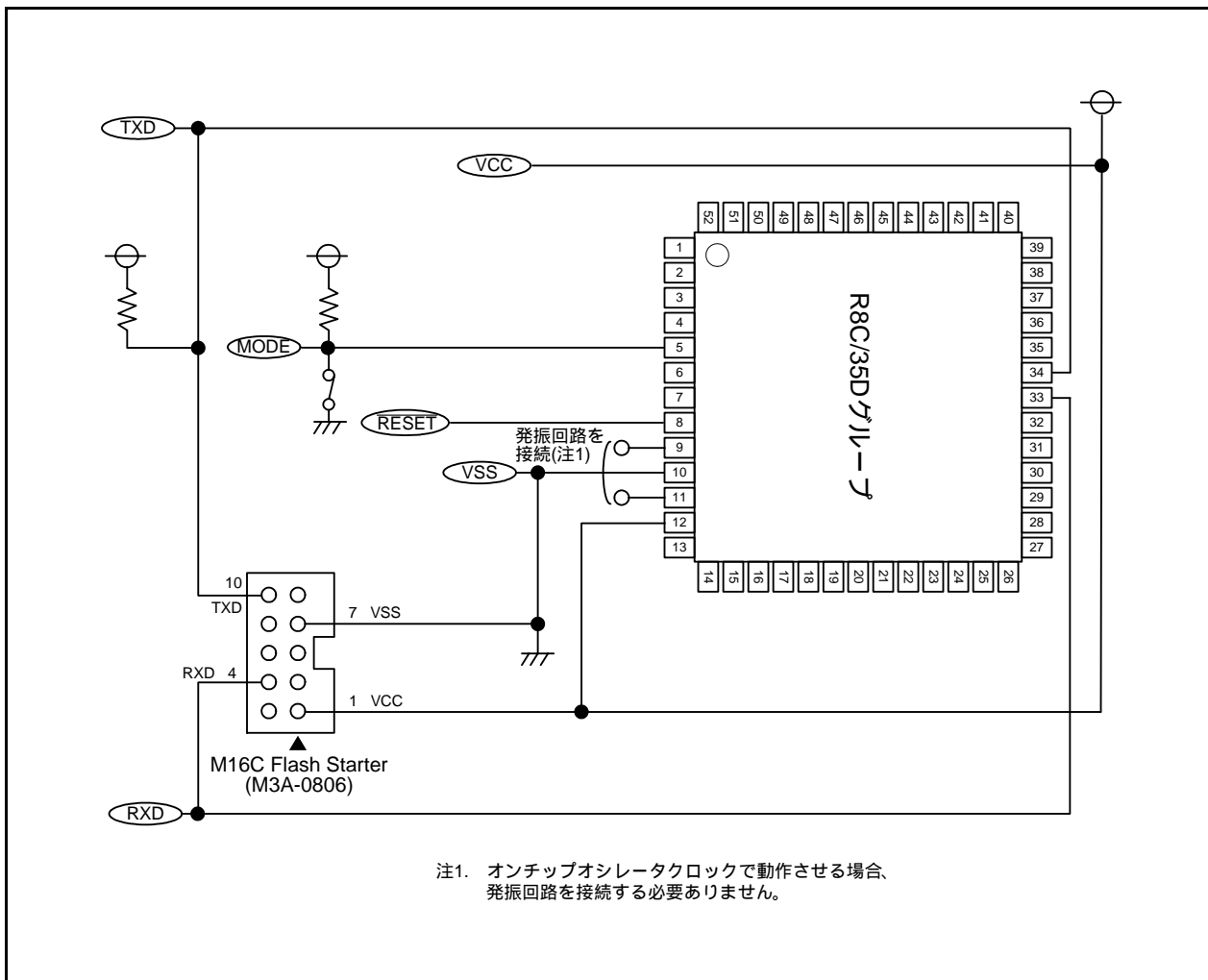
付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

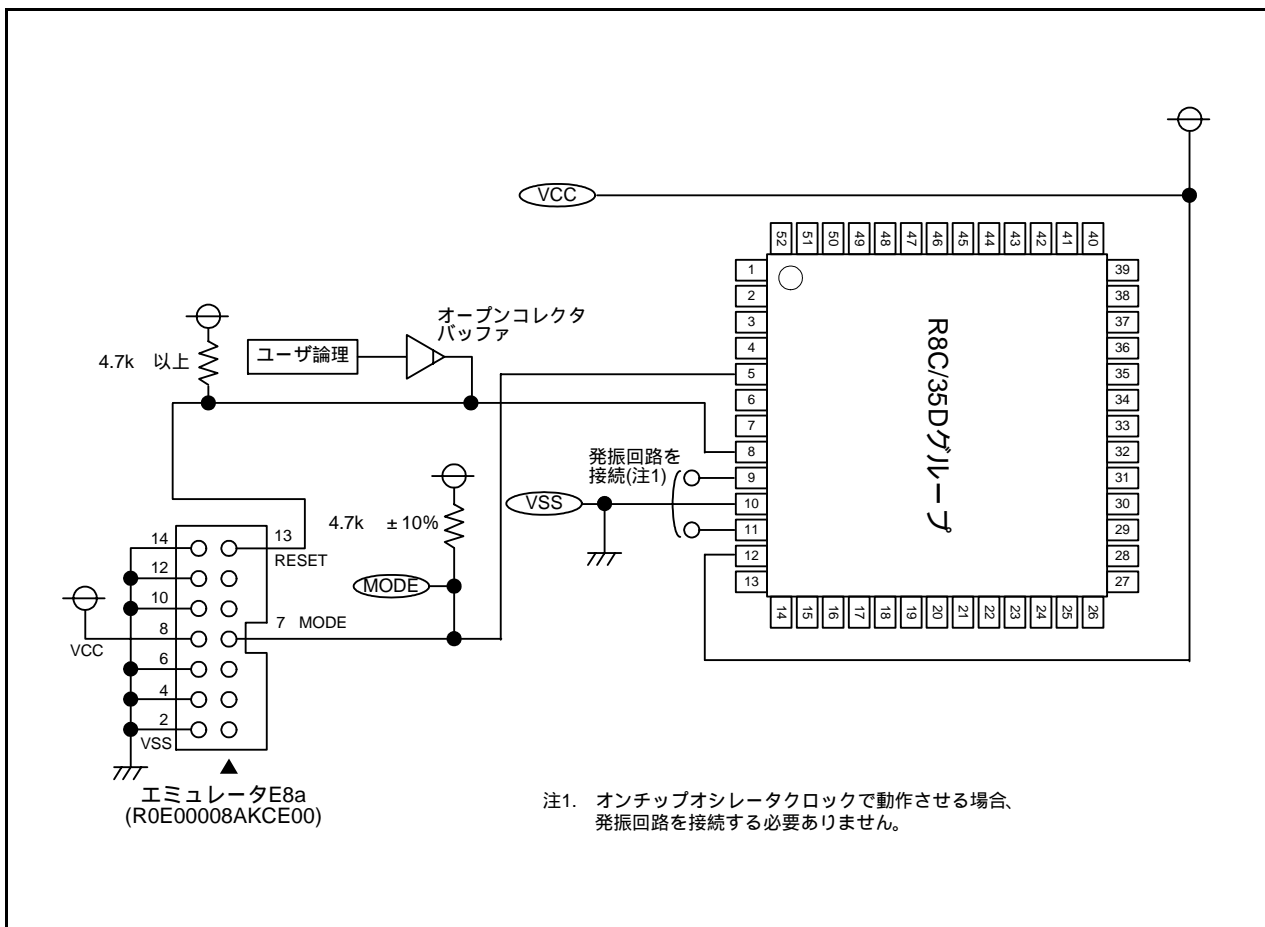


付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図 2.1 に M16C Flash Starter との接続例 (M3A-0806) を、付図 2.2 にエミュレータ E8a(R0E00008AKCE00) との接続例を示します。



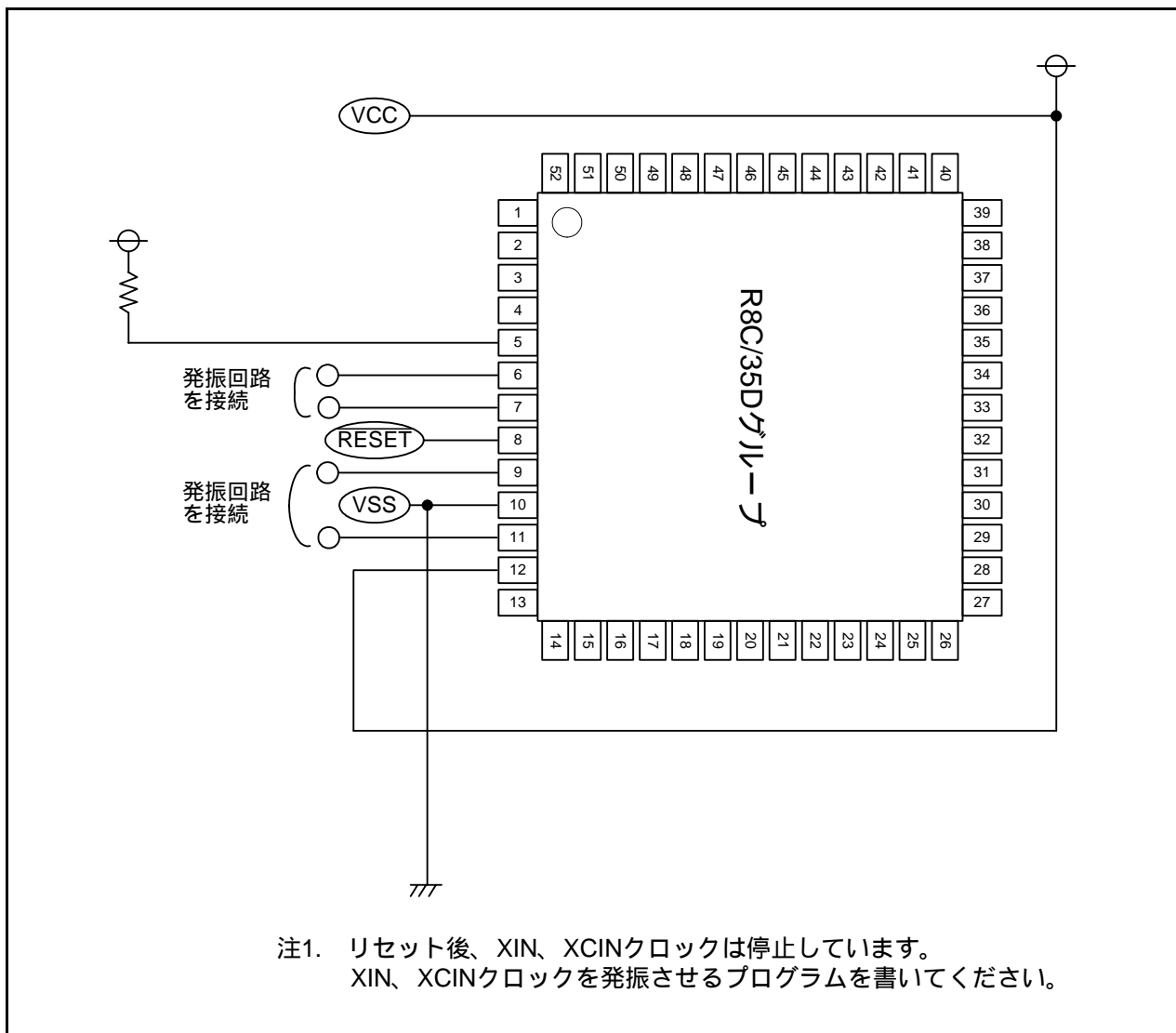
付図 2.1 M16C Flash Starter との接続例 (M3A-0806)



付図 2.2 エミュレータE8a(R0E00008AKCE00)との接続例

付録3. 発振評価回路例

付図 3.1 に発振評価回路例を示します。



付図 3.1 発振評価回路例

索引

【 A 】

A/Dコンバータ	365, 435
A/D断線検出アシスト機能	377
A/D変換開始条件	375
A/D変換結果	377
A/D変換サイクル数	373
A/D変換時のセンサーの出力インピーダンス	387
A0、A1	11
ACK、NACK	356
ADCON0	371
ADCON1	372
AD _i (i = 0 ~ 7)	368
ADIC	148
ADINSEL	370
ADMOD	369
AIER	166

【 B 】

Bフラグ	11
------	----

【 C 】

CLK極性選択	336
CM0	111
CM1	112
CM3	113
CMPA	38
CPSRF	116
CPU	10
CPU書き換えモード	401
CPUクロック	125
CPUクロックと周辺機能クロック	125
CSPR	183
CTS/RTS機能	338, 346
Cフラグ	11

【 D 】

DRR0	84
DRR1	85
Dフラグ	11

【 E 】

EW0モード	411
EW1モード	411

【 F 】

f1、f2、f4、f8、f32	125
FB	11
fC、fC4、fC32	126
FLG	11
FMR0	405
FMR1	408
FMR2	409
FMRDYIC	149
fOCO	125
fOCO128	126
fOCO40M	125
fOCO-F	125
fOCO-S	126
fOCO-WDT	126
FRA0	115

FRA1	115
FRA2	116
FRA3	118
FRA4	117
FRA5	117
FRA6	118
FRA7	114
FST	402

【 I 】

I/Oポート	52
I/Oポート以外の端子	53
I/Oポートの機能	52
IDコードチェック機能	399, 427
IDコード領域	172
ILVL2 ~ ILVL0ビット、IPL	151
INTB	11
INTCMP	391
INTEN	160, 392
INTEN1	160
INTF	161, 393
INTF1	161
INTiIC(i=0 ~ 4)	150
INTi入力フィルタ(i=0 ~ 4)	162
INTi割り込み(i=0 ~ 4)	158
INTSR	80, 159
INT割り込み	158
IPL	12
IRビット	151
ISP	11
Iフラグ	12, 151

【 K 】

KIEN	164
KUPIC	148

【 L 】

LSBファースト、MSBファースト選択	309, 337, 344
---------------------	---------------

【 M 】

MSTCR	231
-------	-----

【 O 】

OCD	114
OCVREFCR	367
OFS	26, 45, 177, 184, 400
OFS2	27, 178, 185
Oフラグ	12

【 P 】

P1DRR	83
P2DRR	83
PC	11
PD _i (i=0 ~ 6)	70
Pi (i=0 ~ 6)	71
PINSR	81, 120
PM0	25
PM1	182
PRCR	142
PUR0	82

PUR1	82
PWM2モード	269
PWMモード	263

【 R 】

R0、R1、R2、R3	11
RMADi(i=0 ~ 1)	166
ROMコードプロテクト機能	400, 430
RSTFR	25
RXD2デジタルフィルタ選択機能	346, 363

【 S 】

S0RIC	148
S0TIC	148
S2RIC	148
S2TIC	148
SB	11
SDA出力	355
SDA入力	356
SFR	14
Sフラグ	11

【 T 】

TIMSR	76, 287, 292
TRA	194
TRACR	192
TRAIC	148
TRAIOC	192, 195, 198, 200, 202, 205
TRAMR	193
TRAPRE	193
TRASR	72, 194
TRBCR	209
TRBIC	148
TRBIOC	210, 213, 217, 220, 224
TRBMR	210
TRBOCR	209
TRBPR	212
TRBPPE	211
TRBRCSR	73, 212, 240
TRBSC	211
TRC	236
TRCADCR	239
TRCCR1	233, 256, 265, 271
TRCCR2	237, 259, 266, 272
TRCDF	238, 273
TRCGRA	236
TRCGRB	236
TRCGRC	236
TRCGRC、TRCGRDレジスタの出力端子変更	261
TRCGRD	236
TRCIC	149
TRCIER	233
TRCIOR0	235, 251, 257
TRCIOR1	235, 252, 258
TRCMR	232
TRCOER	239
TRCPSR0	74, 241
TRCPSR1	75, 242
TRCSR	234
TRECR1	285, 291
TRECR2	286, 291
TRECSR	287, 292
TREHR	284

TREIC	148
TREMIN	283, 290
TRESEC	283, 290
TREWK	284
TXD、RXD入出力極性切り替え機能	345

【 U 】

U0BRG	299
U0C0	301
U0C1	301
U0MR	299
U0RB	302
U0SR	77, 303
U0TB	300
U2BCNIC	148
U2BRG	321
U2C0	323
U2C1	324
U2MR	321
U2RB	325
U2SMR	329
U2SMR2	328
U2SMR3	328
U2SMR4	327
U2SMR5	326
U2SR0	78, 330
U2SR1	79, 331
U2TB	322
UART	311, 339
URXDF	326
USP	11
Uフラグ	12

【 V 】

VCA1	39
VCA2	40, 119
VCAC	39
VCC入力電圧のモニタ	46
VCMP1IC	148
VCMP2IC	148
VD1LS	41
Vdet0のモニタ	46
Vdet1のモニタ	46
Vdet2のモニタ	46
VLT0	86
VLT1	87
VW0C	42
VW1C	43
VW2C	44

【 W 】

WDTC	183
WDTR	182
WDTS	182

【 X 】

XCINクロック	124
XINクロック	122

【 Z 】

Zフラグ	11
------------	----

【あ】

アウトプットコンペア機能	254
アウトプットコンペアモード	289
アドレス一致割り込み	165
アドレスレジスタ	11

【い】

イベントカウンタモード	199
インプットキャプチャ機能	249

【う】

ウェイトモード	129
ウェイトモード、ストップモード	434
ウォッチドッグタイマ	180
ウォッチドッグタイマリセット	32

【え】

エミュレータデバッグの注意事項	481
-----------------	-----

【お】

オーバフローフラグ	12
オプション機能選択領域	176
オンチップオシレータクロック	123
オンチップデバッグの注意事項	480

【か】

外形寸法図	482
概要	1
カウントソース	243
カウントソース保護モード無効時	187
カウントソース保護モード有効時	188
カウント中のタイマ書き込み制御	196, 214
各モードの設定と解除方法	413

【き】

キー入力割り込み	163
機能	173
キャリフラグ	11
強制イレーズ機能	174
極性選択機能	309

【く】

繰り返し掃引モード	385
繰り返しモード0	380
繰り返しモード1	381
クロック	434
クロック同期形シリアルI/Oモード	304, 332
クロック発生回路	108
クロック非同期形シリアルI/O(UART)モード	311, 339

【こ】

高速オンチップオシレータクロック	123
コールドスタート/ウォームスタート判定機能	33
コンパレータB	389
コンパレータB1、コンパレータB3割り込み	396
コンパレータBiデジタルフィルタ(i = 1, 3)	395

【さ】

サインフラグ	11
サスペンド動作	412

【し】

システムクロック	125
周辺機能クロック	125
周辺機能クロックの停止	434
周辺機能への影響	53
周辺機能割り込み	145
仕様概要	2
使用上の注意事項	459
消費電流低減機能	377
消費電力の低減	434
消費電力を小さくするためのポイントと処理方法	434
シリアルインタフェース(UART0)	297
シリアルインタフェース(UART2)	319
シリアルデータ論理切り替え	338, 345
シリアルライタとオンチップデバッグエミュレータとの接続例	483

【す】

スタートコンディション、ストップコンディションの検出	353
スタートコンディション、ストップコンディションの出力	354
スタックポインタ指定フラグ	12
スタティックベースレジスタ	11
ストップモード	133

【せ】

製品一覧	4
ゼロフラグ	11

【そ】

送受信初期化	356
ソフトウェアコマンド	415
ソフトウェアリセット	32
ソフトウェア割り込み	144

【た】

タイマ	434
タイマRA	191
タイマRB	208
タイマRC	228
タイマRC割り込み	277
タイマRC、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)	167
タイマRE	280
タイマ総論	189
タイマモード	195, 213, 249, 254
端子機能の説明	9
単掃引モード	383
単発モード	379

【ち】

チップ内蔵基準電圧(OCVREF)	377
中央演算処理装置(CPU)	10

【つ】			
通信エラー発生時の対処方法	308, 317, 336, 344		
【て】			
低消費電流リードモード	437		
低速オンチップオシレータクロック	123		
データ保護機能	414		
データレジスタ	11		
デジタルフィルタ	246		
デバッグフラグ	11		
電圧監視0リセット	31, 47		
電圧監視1割り込み	48		
電圧監視2割り込み	50		
電圧検出回路	34, 434		
電気的特性	439		
電源が安定している場合	28		
電源投入時	28		
転送クロック	355		
【と】			
特殊モード1(I ² Cモード)	347		
特殊割り込み	145		
特長	1		
【な】			
内部電源の消費電力低減	435		
【に】			
入出力端子	373		
【は】			
ハードウェアリセット	28		
バス制御	106		
発振停止検出機能	136		
発振停止検出機能の使用法	137		
発振評価回路例	485		
バッファ動作	244		
パラレル入出力モード	430		
パルス周期測定モード	204		
パルス出力強制遮断	247		
パルス出力モード	197		
パルス幅測定モード	201		
パワーオンリセット機能	30		
パワーコントロール	127		
【ひ】			
ビットレート	316, 343		
標準シリアル入出力モード	427		
標準シリアル入出力モード禁止機能	174		
標準動作モード	127		
ピン配置図	6		
【ふ】			
フラグレジスタ	11		
フラッシュメモリ	397		
フラッシュメモリ書き換え禁止機能	399		
フラッシュメモリの停止	436		
フルステータスチェック	425		
フレームベースレジスタ	11		
プログラマブルウェイトワンショット発生モード	223		
プログラマブル波形発生モード	216		
プログラマブルワンショット発生モード	219		
プログラムカウンタ	11		
プロセッサ割り込み優先レベル	12		
ブロック図	5		
プロテクト	142		
【ほ】			
ポート	434		
ポートの設定	88		
【ま】			
マルチプロセッサ受信	361		
マルチプロセッサ送信	360		
マルチプロセッサ通信機能	357		
【み】			
未使用端子の処理	105		
【め】			
メモリ	13		
メモリ配置	398		
【ゆ】			
ユーザスタックポインタ	11		
【よ】			
用途	1		
予約ビット	12		
【り】			
リアルタイムクロックモード	281		
リセット	23		
リセット要因判別機能	33		
【れ】			
レジスタ退避	154		
レジスタバンク指定フラグ	11		
連続受信モード	310, 337		
【わ】			
割り込み	143		
割り込み応答時間	153		
割り込み許可フラグ	12		
割り込みシーケンス	152		
割り込みスタックポインタ	11		
割り込み制御	151		
割り込みテーブルレジスタ	11		
割り込みと割り込みベクタ	146		
割り込みの分類	143		
割り込み優先順位	156		
割り込み優先レベル判定回路	157		
割り込み要求受付時のIPLの変化	153		

割り込みルーチンからの復帰	156
ワンショットトリガ選択	222

改訂記録

R8C/35Dグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2009.04.22	—	初版発行
1.00	2010.03.26	—	TN-R8C-A004B/J 反映
		—	TN-R8C-A007A/J 反映
		—	TN-R8C-A008A/J 反映
		—	このマニュアルの使い方 変更
		全ページ	「暫定仕様書」、「開発中」 削除
		B-1	0030h、0072h、0073h 変更
		2	表1.1 「コンパレータA」 削除
		4	表1.3 変更
		5	図1.2 「コンパレータA」 削除
		6	図1.3 「LVCMP1 ₁ 」、「LVCMP2 ₁ 」、「LVREF ₁ 」、「LVCOUT1 ₁ 」、「LVCOUT2 ₁ 」削除
		7	表1.4 「コンパレータA ₁ 」、「電圧検出回路 ₁ 」、「LVCMP1 ₁ 」、「LVCMP2 ₁ 」、「LVREF ₁ 」、「LVCOUT1 ₁ 」、「LVCOUT2 ₁ 」削除
		8	表1.5 「コンパレータA ₁ 」、「電圧検出回路」 削除
		9	表1.6 「コンパレータA ₁ 」、「電圧検出回路」、注2 削除
			表1.7 「入出力ポート ₁ 」、「入力ポート」表1.6へ移動
		14	表4.1 0030h 変更
		15	表4.2 0072h、0073h 変更
		28	5.2 「図5.2 リセット後の...および「表4.1～表4.8 SFR一覧」 追記
		34	6.1 変更、表6.1 変更
		35	図6.1 変更 旧表6.2 削除
		36	図6.3 変更
		37	図6.4 変更
		38	6.2.1 変更
		40、119	6.2.1、9.2.14 変更
		42	6.2.6 リセット後の値 変更
		43	6.2.7 注2 変更、注6 追記
		44	6.2.8 注2 変更、注6 追記
		46	6.3.2、6.3.3 変更
		48	表6.2 変更、注1～注3 変更
		50	表6.3 変更、注1～注3 変更
		51	図6.7 変更
		55	図7.2 変更
		59	図7.6 変更
		62	図7.9 変更
		64	図7.11 変更
		66	図7.13 変更
		67	図7.14 変更
		68	図7.15 変更
		90	表7.13 「コンパレータA1入力 ₁ 」、「VCA2」 削除
		91	表7.14 「VCA2 ₁ 」、「コンパレータA2入力」 削除、 表7.15 「VCA2 ₁ 」、「コンパレータA1リファレンス電圧入力 ₁ 」、「コンパレータA2リファレンス電圧入力 ₁ 」 削除

改訂記録

R8C/35Dグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.03.26	92	表7.16 「CMPA」、「コンパレータA1出力」削除
		93	表7.19 「CMPA」、「コンパレータA2出力」削除
		103	表7.53 変更、注1 削除
		112	9.2.2 注6 追記
		115	9.2.6 注3 追記
		122	図9.4 変更
		124	図9.5 注1 変更
		125	9.6.5 「3.0」 「2.7」
		128	9.7.1.2 「このモードにおいて、... “1” にしてください。」 変更
			9.7.1.4 「このモードにおいて、... “1” にしてください。」 変更
		129	9.7.2.2 「ウェイトモードへ...移行しないでください。」 追記
		130	表9.4 変更
		133	表9.5 「コンパレータA1割り込み」、「コンパレータA2割り込み」削除
			9.7.3.1 「ストップモードへ...移行しないでください。」 追記
		140、459	9.9.1、27.1.1 変更
		141、460	9.9.2、27.1.2 変更
		142	10.1.1 注1 変更、注2 追記
		143	図11.1 「コンパレータA1」、「コンパレータA2」 削除
		145	11.1.3.3、11.1.3.4 変更
		146	表11.1 変更
		147	表11.2 変更
		153	表11.5 「コンパレータA1」、「コンパレータA2」 削除
		156	図11.7 「コンパレータA1」、「コンパレータA2」 削除
		157	図11.8 「コンパレータA1」、「コンパレータA2」 削除
		160、392	11.4.3、23.2.2 注2 変更
		169、461	11.8.3、27.2.3 変更
		170、462	図11.12、図27.1 注3 変更
		183	14.2.5 リセット後の値 変更、注1 削除、注2 変更
		191	図16.1 変更
		199	表16.4 「選択機能」 変更
		200	16.5.1 b6 ~ b7 変更
		208	図17.1 変更
		210	17.2.4 注3 追記
		222	17.5.3 変更
		226、466	17.7、27.6 「タイマRAのアンダフロー信号...設定してください。」 追記
		250	図18.7 変更
		273	表18.14 変更
279、469	18.9.5、27.7.5 変更		
280	19. 「4ビットカウンタと」 「(4ビットプリスケアラ付き)」		
292	19.3.5 注1 変更		
302	20.2.6 注1 変更、注2 追記		
308	20.3.1 変更		
311	表20.5 注1 変更、注2 追記		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.03.26	317	20.4.2 変更
		319	21.1 変更、図21.1 変更
		325	21.2.6 b9 ~ b10、注1 変更
		336	21.3.1 変更
		341	表21.7 「PD3レジスタのPD3_4ビット=0」 追記
		342	図21.7 変更
		344	21.4.2 変更
		349	表21.10 「U2IRS」 変更
		359	表21.14 「RI」 変更
		364、474	旧21.7.2、旧27.10.2 削除
		365	表22.1 注2 変更
		372	22.2.6 注5、注6 追記
		377	22.3.6 変更
		388、475	22.10、27.11 変更
		389	「旧23. コンパレータA」章 削除
		397	表24.1 「8コマンド」 「7コマンド」
		400	24.3.2 変更
		401	24.4 変更、表24.1 「CPUクロック」 変更
		402	24.4.1 RDYSTIビット 変更
		403	BSYAEIビット 変更
		404	FST7ビット 変更
		405	24.4.2 注1 変更
		406	FMSTPビット 変更、図24.2 追記、CMDRSTビット、CMDERIEビット 変更
		408	24.4.3 b0 ~ b2、注1 変更、FMR13ビット 変更
		409	24.4.4 注1 変更、注3 追記
		410	FMR27ビット 変更
		411	24.4.5 変更
		412	24.4.7 「・サスペンドを確認する場合...、消去終了です。）」 追記
		413	図24.4、図24.5 注1 変更
		414	24.4.9 変更
		415	24.4.10 変更
		416	図24.7 変更
		417	図24.8 変更
		419	図24.9 変更
		420	図24.10 変更
		421	図24.11 変更
		422	図24.12 変更
		423	図24.13 変更
		424	24.4.10.7 変更、図24.14 変更
		425	表24.6 変更
431、476	表24.9、表27.1 変更		
432、477	表24.10、表27.2 変更		

改訂記録

R8C/35Dグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.03.26	433、478	24.7.1.3、24.7.1.6 変更、24.7.1.9 追記 27.12.1.3、27.12.1.6 変更、27.12.1.9 追記
		434	25.2.1 変更
		437	25.2.10 変更
		438	図25.3 注1～注2 変更
		440	表26.2 「V _{IH} 」 「V _{IL} 」 変更
		442	表26.3 「DNL」 削除、注2 変更、「OCVREF」 追記 旧表26.4 「コンパレータAの電気的特性」 削除
		443	表26.5 変更、図26.2 変更
		444	表26.6、表26.7 変更
		445	表26.8 変更、注2 削除、表26.9 変更、注2 削除
		446	表26.10 変更、注2 削除
		447	表26.13 「V _{OH} 」 「V _{OL} 」 「I _{IH} 」 「I _{IL} 」 「RPULLUP」 変更
		449	表26.15 変更、図26.4 変更
		451	表26.19 「V _{OH} 」 「V _{OL} 」 「I _{IH} 」 「I _{IL} 」 「RPULLUP」 変更
		453	表26.21 変更、図26.8 変更
		455	表26.25 「V _{OH} 」 「V _{OL} 」 「I _{IH} 」 「I _{IL} 」 「RPULLUP」 変更
		457	表26.27 変更、図26.12 変更
		479	27.14、図27.3 追記
		481	29. エミュレータデバッガの注意事項 追記

R8C/35Dグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2009年4月22日 Rev.0.10
2010年3月26日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

R8C/35Dグループ