

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

R8C/28 群、 R8C/29 群

瑞萨 16 位单片机
R8C 族 / R8C/2x 系列

Notes regarding these materials

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>)等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的,特别是对于品质和可靠性要求极高的机器和系统等(将本公司指定用于汽车方面的产品用于汽车时除外)。如果要用于上述的目的,请务必事先向本公司的营业窗口咨询。另外,对于用于上述目的而造成的损失等,本公司概不负责。
8. 除上述第7项内容外,不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失,本公司概不负责。
 - 1) 生命维持装置。
 - 2) 植埋于人体使用的装置。
 - 3) 用于治疗(切除患部、给药等)的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时,对于最大额定值、工作电源电压的范围、放热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时,对于由此而造成的故障和出现的事故,本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性,但一般来说,半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失,希望客户能自行负责进行冗余设计、采取延烧对策及进行防止错误运行等的安全设计(包括硬件和软件两方面的设计)以及老化处理等,这是作为机器和系统的出厂保证。特别是单片机的软件,由于单独进行验证很困难,所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下,有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时,请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时,本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时,不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容,或者有其他关心的问题,请向本公司的营业窗口咨询。

产品使用时的注意事项

本文对适用于单片机所有产品的“使用时的注意事项”进行说明。有关个别的使用时的注意事项请参照正文。此外，如果在记载上有与本手册的正文有差异之处，请以正文为准。

1. 未使用的引脚的处理

【注意】将未使用的引脚按照正文的“未使用引脚的处理”进行处理。

CMOS产品的输入引脚的阻抗一般为高阻抗。如果在开路的状态下运行未使用的引脚，由于感应现象，外加LSI周围的噪声，在LSI内部产生穿透电流，有可能被误认为是输入信号而引起误动作。未使用的引脚，请按照正文的“未使用引脚的处理”中的指示进行处理。

2. 通电时的处理

【注意】通电时产品处于不定状态。

通电时，LSI内部电路处于不确定状态，寄存器的设定和各引脚的状态不定。通过外部复位引脚对产品进行复位时，从通电到复位有效之前的期间，不能保证引脚的状态。

同样，使用内部上电复位功能对产品进行复位时，从通电到达到复位产生的一定电压的期间，不能保证引脚的状态。

3. 禁止存取保留地址（保留区）

【注意】禁止存取保留地址（保留区）

在地址区域中，有被分配将来用作功能扩展的保留地址（保留区）。因为无法保证存取这些地址时的运行，所以不能对保留地址（保留区）进行存取。

4. 关于时钟

【注意】复位时，请在时钟稳定后解除复位。

在程序运行中切换时钟时，请在要切换成的时钟稳定之后进行。复位时，在通过使用外部振荡器（或者外部振荡电路）的时钟开始运行的系统中，必须在时钟充分稳定后解除复位。另外，在程序运行中，切换成使用外部振荡器（或者外部振荡电路）的时钟时，在要切换成的时钟充分稳定后再进行切换。

5. 关于产品间的差异

【注意】在变更不同型号的产品时，请对每一个产品型号进行系统评价测试。

即使是同一个群的单片机，如果产品型号不同，由于内部ROM、版本模式等不同，在电特性范围内有时特性值、动作容限、噪声耐量、噪声辐射量等不同。因此，在变更不认同型号的产品时，请对每一个型号的产品进行系统评价测试。

本手册的使用方法

1 目的和对象

本手册是一本帮助用户理解本单片机的硬件功能和电特性的手册。它以使用本手册来设计应用系统的用户为对象。在使用本手册时，需要具备电路、逻辑电路以及单片机的基础知识。

本手册由产品概要、CPU、系统控制功能、外围功能、电特性、使用时的注意事项几大部分组成。

必须在充分确认注意事项后使用本单片机。注意事项记录在各章的正文中、各章的最后和注意事项章节中。

修订记录归纳了对旧版本记载内容的更正或追加的主要位置。并不是修订内容的全部记载。详情请确认本手册的正文。

R8C/28、R8C/29 群准备了以下的文献。请使用最新的文献。最新版本刊登在瑞萨科技的主页上。

文献的种类	记载内容	资料名	资料号
数据表	硬件的概要和电特性	R8C/28、R8C/29 Group Datasheet	REJ03B0169
硬件手册	硬件的说明（引脚配置、存储器映像、外围功能的说明、电特性、时序）和工作说明 ※外围功能的使用方法必须参照应用注意事项。	R8C/28、R8C/29 群 硬件手册	本硬件手册
软件手册	CPU 指令设定的说明	R8C/TINY 系列 软件手册	RCJ09B0006
应用注意事项	外围功能的使用方法、应用例子 参考程序 应用汇编语言、C 语言编成方法	刊登在瑞萨科技的主页上	
RENESAS TECHNICAL UPDATE	相关产品说明、文献等的快速公告		

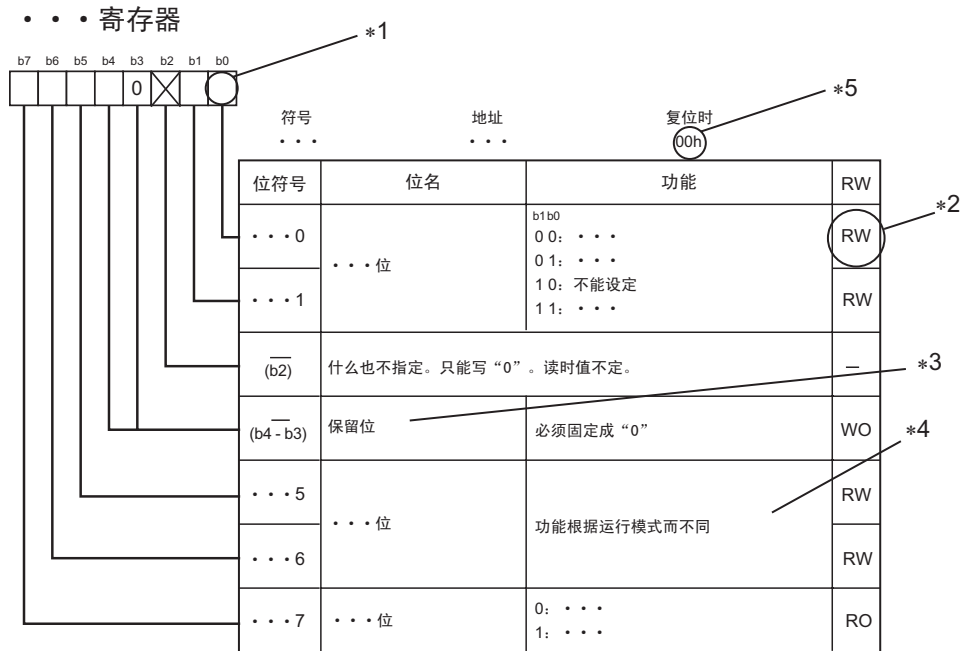
2 数字、符号的表示

本手册使用的寄存器名或位名、数字或符号的表示范例如下所示。

1. 寄存器名、位名、引脚名
在正文中用符号表示。符号后面带有寄存器、位、引脚字样加以区别。
(例) PM0 寄存器的 PM03 位
P3_5 引脚、VCC 引脚
2. 数字的表示
2 进制数的后面带有“b”。不过，只有 1 位时数字后面什么也没有。16 进制数后面带有“h”。
十进制数后面什么也没有。
(例) 2 进制数: 11b
16 进制数: EEA0h
10 进制数: 1234

3 寄存器图表的阅读方法

说明在寄存器图表中使用的符号和用语



*1

空白：按用途，置“0”或“1”。

0：置“0”。

1：置“1”。

×：什么也不指定。

*2

RW：可读，可写。

RO：可读，写数据无效。

WO：可写，不能读取位的状态。

—：什么也不指定。

*3

- 保留位
保留位，必须写指定值。

*4

- 什么也不指定
对该位，什么也不指定。根据将来外围功能的发展，可能出现新的功能。写数据时只能写“0”。
- 不能设定
不保证设定后的运行。
- 功能根据运行模式而不同
位功能根据外围功能的模式发生变化，请参照各模式的寄存器图表。

*5

2 进制或者 16 进制的记数法按各手册而定。

4 省略语及简称的说明

省略 / 简称	全称	备注
ACIA	Asynchronous Communication Interface Adapter	异步通信接口适配器
bps	bits per second	位 / 秒; 每秒传送位数
CRC	Cyclic Redundancy Check	循环冗余校验
DMA	Direct Memory Access	直接存储器存取
DMAC	Direct Memory Access Controller	DMA 控制器
GSM	Global System for Mobile Communications	全球数字移动电话系统
Hi-Z	High Impedance	高阻抗
IEBus	Inter Equipment bus	NEC 电子公司提倡的通信方式
I/O	Input/Output	输入 / 输出
IrDA	Infrared Data Association	红外线数据协会
LSB	Least Significant Bit	最低有效位
MSB	Most Significant Bit	最高有效位
NC	Non-Connect	未连接引脚
PLL	Phase Locked Loop	锁相环路
PWM	Pulse Width Modulation	脉冲宽度调制
SFR	Special Function Registers	特殊功能寄存器
SIM	Subscriber Identity Module	ISO/IEC7816 规定的 IC 卡
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发器
VCO	Voltage Controlled Oscillator	电压控制振荡器

所有商标及注册商标分别归属于其所有者。

目 录

地址 - 页速查表.....	速查表 1
1. 概要	1
1.1 应用	1
1.2 性能概要	2
1.3 框图	4
1.4 产品一览	5
1.5 引脚连接图	7
1.6 引脚功能说明	8
2. 使用时的注意事项	10
2.1 时钟产生电路使用时的注意事项	10
2.1.1 停止模式	10
2.1.2 等待模式	10
2.1.3 振荡停止检测功能	10
2.1.4 振荡电路常数	10
2.2 中断使用时的注意事项	11
2.2.1 地址 00000h 的读取	11
2.2.2 SP 的设定	11
2.2.3 外部中断和键输入中断	11
2.2.4 中断源的更改	11
2.2.5 中断控制寄存器的更改	12
2.3 定时器	13
2.3.1 定时器 RA 使用时的注意事项	13
2.3.2 定时器 RB 使用时的注意事项	14
2.3.3 定时器 RC 使用时的注意事项	16
2.3.4 定时器 RE 使用时的注意事项	18
2.4 串行接口使用时的注意事项	20
2.5 时钟同步串行接口使用时的注意事项	21
2.5.1 带片选的时钟同步串行 I/O 使用时的注意事项	21
2.5.2 I ² C 总线接口使用时的注意事项	21
2.6 硬件 LIN 使用时的注意事项	22
2.7 A/D 转换器使用时的注意事项	22
2.8 闪存使用时的注意事项	22
2.8.1 CPU 改写模式	22
2.9 有关噪声的注意事项	24
2.9.1 在 VCC 引脚和 VSS 引脚之间插入旁路电容, 作为噪声和门锁对策	24
2.9.2 端口控制寄存器的噪声误动作对策	24
3. 中央处理器 (CPU)	25
3.1 数据寄存器 (R0、R1、R2、R3)	26
3.2 地址寄存器 (A0、A1)	26
3.3 帧基址寄存器 (FB)	26
3.4 中断表寄存器 (INTB)	26
3.5 程序计数器 (PC)	26
3.6 用户堆栈指针 (USP) 和中断堆栈指针 (ISP)	26
3.7 静态基址寄存器 (SB)	26
3.8 标志寄存器 (FLG)	26
3.8.1 进位标志 (C 标志)	26

3.8.2	调试标志 (D 标志)	26
3.8.3	零标志 (Z 标志)	26
3.8.4	符号标志 (S 标志)	26
3.8.5	寄存器组指定标志 (B 标志)	26
3.8.6	上溢标志 (O 标志)	27
3.8.7	中断允许标志 (I 标志)	27
3.8.8	堆栈指针指定标志 (U 标志)	27
3.8.9	处理器中断优先级 (IPL)	27
3.8.10	保留位	27
4.	存储器	28
4.1	R8C/28 群	28
4.2	R8C/29 群	29
5.	SFR	30
6.	复位	37
6.1	硬件复位	40
6.1.1	电源稳定的情况	40
6.1.2	接通电源的情况	40
6.2	上电复位功能	42
6.3	电压监视 0 复位 (N、D 版)	44
6.4	电压监视 1 复位 (N、D 版)	44
6.5	电压监视 1 复位 (J、K 版)	45
6.6	电压监视 2 复位	45
6.7	看门狗定时器复位	45
6.8	软件复位	45
7.	电压检测电路	46
7.1	VCC 输入电压的监视	55
7.1.1	Vdet0 的监视	55
7.1.2	Vdet1 的监视	55
7.1.3	Vdet2 的监视	55
7.2	电压监视 0 复位 (只限于 N、D 版)	56
7.3	电压监视 1 中断和电压监视 1 复位 (N、D 版)	57
7.4	电压监视 1 复位 (J、K 版)	59
7.5	电压监视 2 中断和电压监视 2 复位	60
8.	可编程输入 / 输出端口	62
8.1	可编程输入 / 输出端口的功能	62
8.2	对外围功能的影响	63
8.3	可编程输入 / 输出端口以外的引脚	63
8.4	端口的设定	73
8.5	未使用引脚的处理	83
9.	处理器模式	84
9.1	处理器模式的种类	84
10.	总线控制	85
11.	时钟产生电路	86
11.1	XIN 时钟	94
11.2	内部振荡器时钟	95

11.2.1	低速内部振荡器时钟	95
11.2.2	高速内部振荡器时钟	95
11.3	XCIN 时钟（只限于 N、D 版）	96
11.4	CPU 时钟和外围功能时钟	96
11.4.1	系统时钟	96
11.4.2	CPU 时钟	97
11.4.3	外围功能时钟（f1、f2、f4、f8、f32）	97
11.4.4	fOCO	97
11.4.5	fOCO40M	97
11.4.6	fOCO-F	97
11.4.7	fOCO-S	97
11.4.8	fC4、fC32	97
11.4.9	fOCO128	97
11.5	功率控制	98
11.5.1	标准运行模式	98
11.5.2	等待模式	99
11.5.3	停止模式	103
11.6	振荡停止检测功能	106
11.6.1	振荡停止检测功能的使用方法	106
11.7	时钟产生电路使用时的注意事项	110
11.7.1	停止模式	110
11.7.2	等待模式	110
11.7.3	振荡停止检测功能	110
11.7.4	振荡电路常数	110
12.	保护	111
13.	中断	112
13.1	中断概要	112
13.1.1	中断分类	112
13.1.2	软件中断	112
13.1.3	特殊中断	113
13.1.4	外围功能中断	113
13.1.5	中断和中断向量	113
13.1.6	中断控制	116
13.2	INT 中断	124
13.2.1	INT _i 中断（i=0、1、3）	124
13.2.2	INT _i 输入滤波器（i=0、1、3）	126
13.3	键输入中断	127
13.4	地址匹配中断	128
13.5	定时器 RC 中断、带片选的时钟同步串行 I/O 中断、I ² C 总线接口中断 （有多个中断请求源的中断）	129
13.6	中断使用时的注意事项	131
13.6.1	地址 00000h 的读取	131
13.6.2	SP 的设定	131
13.6.3	外部中断和键输入中断	131
13.6.4	中断源的更改	131
13.6.5	中断控制寄存器的更改	132
14.	看门狗定时器	133
14.1	计数源保护模式无效时	136
14.2	计数源保护模式有效时	137

15. 定时器	138
15.1 定时器 RA	140
15.1.1 定时器模式	143
15.1.2 脉冲输出模式	145
15.1.3 事件计数器模式	147
15.1.4 脉宽测定模式	149
15.1.5 脉冲周期测定模式	152
15.1.6 定时器 RA 使用时的注意事项	155
15.2 定时器 RB	156
15.2.1 定时器模式	160
15.2.2 可编程波形产生模式	162
15.2.3 可编程单触发产生模式	164
15.2.4 可编程等待单触发产生模式	168
15.2.5 定时器 RB 使用时的注意事项	171
15.3 定时器 RC	174
15.3.1 概要	174
15.3.2 定时器 RC 的相关寄存器	175
15.3.3 有关多个模式的共通事项	181
15.3.4 定时器模式（输入捕捉功能）	187
15.3.5 定时器模式（输出比较功能）	191
15.3.6 PWM 模式	196
15.3.7 PWM2 模式	201
15.3.8 定时器 RC 中断	207
15.3.9 定时器 RC 使用时的注意事项	208
15.4 定时器 RE	209
15.4.1 实时时钟模式（只限于 N、D 版）	209
15.4.2 输出比较模式	215
15.4.3 定时器 RE 使用时的注意事项	218
16. 串行接口	221
16.1 时钟同步串行 I/O 模式	228
16.1.1 极性选择功能	231
16.1.2 LSB first 或者 MSB first 的选择	231
16.1.3 连续接收模式	232
16.2 时钟异步串行 I/O（UART）模式	232
16.2.1 位速率	236
16.3 串行接口使用时的注意事项	237
17. 时钟同步串行接口	238
17.1 模式的选择	238
17.2 带片选的时钟同步串行 I/O（SSU）	239
17.2.1 传送时钟	245
17.2.2 SS 移位寄存器（SSTRSR）	247
17.2.3 中断请求	248
17.2.4 各通信模式和引脚功能	249
17.2.5 时钟同步通信模式	249
17.2.6 4 线式总线通信模式	256
17.2.7 SCS 引脚控制和仲裁	262
17.2.8 带片选的时钟同步串行 I/O 使用时的注意事项	262
17.3 I ² C 总线接口	263
17.3.1 传送时钟	273
17.3.2 中断请求	274

17.3.3	I ² C 总线接口模式	275
17.3.4	时钟同步串行模式	283
17.3.5	噪声消除电路	286
17.3.6	位同步电路	286
17.3.7	寄存器的设定例	287
17.3.8	I ² C 总线接口使用时的注意事项	291
18.	硬件 LIN	292
18.1	特点	292
18.2	输入 / 输出引脚	293
18.3	寄存器构成	293
18.4	运行说明	294
18.4.1	主模式	294
18.4.2	从属模式	297
18.4.3	总线冲突检测功能	300
18.4.4	硬件 LIN 的结束处理	301
18.5	中断请求	301
18.6	硬件 LIN 使用时的注意事项	301
19.	A/D 转换器	302
19.1	单次模式	306
19.2	重复模式	307
19.3	采样 & 保持	309
19.4	A/D 转换周期数	309
19.5	模拟输入内部等效电路	310
19.6	A/D 转换时的传感器的输出阻抗	311
19.7	A/D 转换器使用时的注意事项	312
20.	闪存	313
20.1	概要	313
20.2	存储器的分配	314
20.3	闪存改写的禁止功能	316
20.3.1	ID 码的检查功能	316
20.3.2	ROM 码的保护功能	317
20.4	CPU 改写模式	318
20.4.1	EW0 模式	319
20.4.2	EW1 模式	319
20.4.3	软件命令	325
20.4.4	状态寄存器	330
20.4.5	全状态检查	331
20.5	标准串行输入 / 输出模式	332
20.5.1	ID 码的检查功能	333
20.6	并行输入 / 输出模式	335
20.6.1	ROM 码的保护功能	335
20.7	闪存使用时的注意事项	336
20.7.1	CPU 改写模式	336
21.	电特性	338
21.1	N、D 版	338
21.2	J、K 版	363
22.	On-chip 调试器的注意事项	383

附录	384
附录 1.封装尺寸图	384
附录 2.串行编程器和 on-chip 调试仿真器的连接例	385
附录 3.振荡评价电路例	386
索引	387

地址 - 页速查表

地址	寄存器	符号	记载页
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器 0	PM0	84
0005h	处理器模式寄存器 1	PM1	84
0006h	系统时钟控制寄存器 0	CM0	88
0007h	系统时钟控制寄存器 1	CM1	89
0008h			
0009h			
000Ah	保护寄存器	PRCR	111
000Bh			
000Ch	振荡停止检测寄存器	OCD	89
000Dh	看门狗定时器复位寄存器	WDTR	135
000Eh	看门狗定时器开始寄存器	WDTS	135
000Fh	看门狗定时器控制寄存器	WDC	135
0010h	地址匹配中断寄存器 0	RMAD0	129
0011h			
0012h			
0013h	地址匹配中断允许寄存器	AIER	129
0014h	地址匹配中断寄存器 1	RMAD1	129
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	计数源保护模式寄存器	CSPR	135
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速内部振荡器控制寄存器 0	FRA0	90
0024h	高速内部振荡器控制寄存器 1	FRA1	90
0025h	高速内部振荡器控制寄存器 2	FRA2	91
0026h			
0027h			
0028h	时钟预分频器复位标志	CPSRF	91
0029h	高速内部振荡器控制寄存器 4	FRA4	91
002Ah			
002Bh	高速内部振荡器控制寄存器 6	FRA6	91
002Ch	高速内部振荡器控制寄存器 7	FRA7	91
002Dh			
002Eh			
002Fh			
0030h			
0031h	电压检测寄存器 1	VCA1	51
0032h	电压检测寄存器 2	VCA2	51、52、92
0033h			
0034h			
0035h			
0036h	电压监视 1 电路控制寄存器	VW1C	53、54
0037h	电压监视 2 电路控制寄存器	VW2C	55
0038h	电压监视 0 电路控制寄存器	VW0C	52
0039h			

地址	寄存器	符号	记载页
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h	定时器 RC 中断控制寄存器	TRCIC	117
0048h			
0049h			
004Ah	定时器 RE 中断控制寄存器	TREIC	116
004Bh			
004Ch			
004Dh	键输入中断控制寄存器	KUPIC	116
004Eh	A/D 转换中断控制寄存器	ADIC	116
004Fh	SSU 中断控制寄存器 / IIC 中断控制寄存器	SSUIC / IICIC	117
0050h			
0051h	UART0 发送中断控制寄存器	S0TIC	116
0052h	UART0 接收中断控制寄存器	S0RIC	116
0053h	UART1 发送中断控制寄存器	S1TIC	116
0054h	UART1 接收中断控制寄存器	S1RIC	116
0055h			
0056h	定时器 RA 中断控制寄存器	TRAIC	116
0057h			
0058h	定时器 RB 中断控制寄存器	TRBIC	116
0059h	INT1 中断控制寄存器	INT1IC	117
005Ah	INT3 中断控制寄存器	INT3IC	117
005Bh			
005Ch			
005Dh	INT0 中断控制寄存器	INT0IC	117
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			

注 1. 空白部分为保留区，不能存取。

地址 - 页速查表

地址	寄存器	符号	记载页
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0 发送 / 接收模式寄存器	U0MR	224
00A1h	UART0 位速率寄存器	U0BRG	223
00A2h	UART0 发送缓冲寄存器	U0TB	223
00A3h			
00A4h	UART0 发送 / 接收控制寄存器 0	U0C0	225
00A5h	UART0 发送 / 接收控制寄存器 1	U0C1	226
00A6h	UART0 接收缓冲寄存器	U0RB	223
00A7h			
00A8h	UART1 发送 / 接收模式寄存器	U1MR	224
00A9h	UART1 位速率寄存器	U1BRG	223

地址	寄存器	符号	记载页
00AAh	UART1 发送缓冲寄存器	U1TB	223
00ABh			
00ACh	UART1 发送 / 接收控制寄存器 0	U1C0	225
00ADh	UART1 发送 / 接收控制寄存器 1	U1C1	226
00AEh	UART1 接收缓冲寄存器	U1RB	223
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS 控制寄存器 H/IIC 总线控制寄存器 1	SSCRH/ICCR1	240、266
00B9h	SS 控制寄存器 L/IIC 总线控制寄存器 2	SSCRL/ICCR2	241、267
00BAh	SS 模式寄存器 /IIC 总线模式寄存器	SMMR/ICMR	241、268
00BBh	SS 允许寄存器 /IIC 中断允许寄存器	SSER/ICIER	242、269
00BCh	SS 状态寄存器 /IIC 总线状态寄存器	SSSR/ICSR	243、270
00BDh	SS 模式寄存器 2/从属地址寄存器	SMMR2/SAR	244、271
00BEh	SS 发送数据寄存器 /IIC 总线发送数据寄存器	SSTDR/ICDRT	244、271
00BFh	SS 接收数据寄存器 /IIC 总线接收数据寄存器	SSRDR/ICDRR	244、271
00C0h	A/D 寄存器	AD	305
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 控制寄存器 2	ADCON2	305
00D5h			
00D6h	A/D 控制寄存器 0	ADCON0	304
00D7h	A/D 控制寄存器 1	ADCON1	305
00D8h			
00D9h			

注 1. 空白部分为保留区，不能存取。

地址 - 页速查表

地址	寄存器	符号	记载页
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	端口 P1 寄存器	P1	69
00E2h			
00E3h	端口 P1 方向寄存器	PD1	68
00E4h			
00E5h	端口 P3 寄存器	P3	69
00E6h			
00E7h	端口 P3 方向寄存器	PD3	68
00E8h	端口 P4 寄存器	P4	69
00E9h			
00EAh	端口 P4 方向寄存器	PD4	68
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h	引脚选择寄存器 1	PINSR1	70、227
00F6h	引脚选择寄存器 2	PINSR2	70
00F7h	引脚选择寄存器 3	PINSR3	70
00F8h	端口模式寄存器	PMR	71、227、245、272
00F9h	外部输入允许寄存器	INTEN	124
00FAh	INT 输入滤波器选择寄存器	INTF	125
00FBh	键输入允许寄存器	KIEN	127
00FCh	上拉控制寄存器 0	PUR0	72
00FDh	上拉控制寄存器 1	PUR1	72
00FEh	端口 P1 驱动能力控制寄存器	P1DRR	72
00FFh			
0100h	定时器 RA 控制寄存器	TRACR	141
0101h	定时器 RA I/O 控制寄存器	TRAIOC	141、143、146、148、150、153
0102h	定时器 RA 模式寄存器	TRAMR	142
0103h	定时器 RA 预分频器	TRAPRE	142
0104h	定时器 RA 寄存器	TRA	142
0105h			
0106h	LIN 控制寄存器	LINCR	293
0107h	LIN 状态寄存器	LINST	294
0108h	定时器 RB 控制寄存器	TRBCR	157
0109h	定时器 RB 单触发控制寄存器	TRBOCR	157

注 1. 空白部分为保留区，不能存取。

地址	寄存器	符号	记载页
010Ah	定时器 RB I/O 控制寄存器	TRBIOC	158、160、163、165、169
010Bh	定时器 RB 模式寄存器	TRBMR	158
010Ch	定时器 RB 预分频器	TRBPRES	159
010Dh	定时器 RB 从寄存器	TRBSC	159
010Eh	定时器 RB 主寄存器	TRBPR	159
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	定时器 RE 秒数据寄存器 / 计数器数据寄存器	TRESEC	210、216
0119h	定时器 RE 分数数据寄存器 / 比较数据寄存器	TREMIN	211、216
011Ah	定时器 RE 时数据寄存器	TREHR	211
011Bh	定时器 RE 星期数据寄存器	TREWK	212
011Ch	定时器 RE 控制寄存器 1	TRECR1	212、216
011Dh	定时器 RE 控制寄存器 2	TRECR2	213、217
011Eh	定时器 RE 计数源选择寄存器	TRECSR	214、217
011Fh			
0120h	定时器 RC 模式寄存器	TRCMR	176
0121h	定时器 RC 控制寄存器 1	TRCCR1	176、193、197、203
0122h	定时器 RC 中断允许寄存器	TRCIER	177
0123h	定时器 RC 状态寄存器	TRCSR	177
0124h	定时器 RC I/O 控制寄存器 0	TRCIOR0	180、189、192
0125h	定时器 RC I/O 控制寄存器 1	TRCIOR1	180、189、193
0126h	定时器 RC 计数器	TRC	178
0127h			
0128h	定时器 RC 通用寄存器 A	TRCGRA	178
0129h			
012Ah	定时器 RC 通用寄存器 B	TRCGRB	178
012Bh			
012Ch	定时器 RC 通用寄存器 C	TRCGRC	178
012Dh			
012Eh	定时器 RC 通用寄存器 D	TRCGRD	178
012Fh			
0130h	定时器 RC 控制寄存器 2	TRCCR2	178
0131h	定时器 RC 数字滤波器功能选择寄存器	TRCDF	179
0132h	定时器 RC 输出主允许寄存器	TRCOER	179
0133h			
0134h			
0135h			

地址 - 页速查表

地址	寄存器	符号	记载页
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			

注 1. 空白部分为保留区，不能存取。

地址	寄存器	符号	记载页
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			

地址 - 页速查表

地址	寄存器	符号	记载页
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	闪存控制寄存器 4	FMR4	322
01B4h			
01B5h	闪存控制寄存器 1	FMR1	322
01B6h			
01B7h	闪存控制寄存器 0	FMR0	321
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01B Eh			

FFFFh	选项功能选择寄存器	OFS	40、134、317
-------	-----------	-----	------------

注 1. 空白部分为保留区，不能存取。

R8C/28 群、R8C/29 群

瑞萨 16 位单片机

1. 概要

本单片机是采用高性能硅栅 CMOS 工艺以及装载 R8C CPU 内核的单片机，封装于 20 引脚塑模 LSSOP。该单片机既有高功能指令又有高效率指令，并且具有 1M 字节的地址空间和高速执行指令的能力。

另外，R8C/29 群内置数据闪存（1KB×2 块）。

R8C/28 群和 R8C/29 群的不同点只在有无数据闪存。外围功能相同。

1.1 应用

家电、办公设备、音响、一般民用设备、汽车及其它。

1.2 性能概要

R8C/28 群的性能概要如表 1.1、R8C/29 群的性能概要如表 1.2 所示。

表 1.1 R8C/28 群的性能概要

项目	性能	
CPU	基本指令数	89 条指令
	最短指令执行时间	50ns(f(XIN)=20MHz、VCC=3.0 ~ 5.5V) (K 版除外) 62.5ns(f(XIN)=16MHz、VCC=3.0 ~ 5.5V) (K 版) 100ns(f(XIN)=10MHz、VCC=2.7 ~ 5.5V) 200ns(f(XIN)=5MHz、VCC=2.2 ~ 5.5V) (N、D 版)
	运行模式	单芯片
	地址空间	1M 字节
	存储器容量	请参照表 1.3
外围功能	端口	输入 / 输出: 13 个、输入: 3 个
	LED 驱动端口	输入 / 输出: 8 个 (N、D 版)
	定时器	定时器 RA: 8 位 × 1 个通道 定时器 RB: 8 位 × 1 个通道 (各定时器: 带 8 位预分频器) 定时器 RC: 16 位 × 1 个通道 (输入捕捉电路、输出比较电路) 定时器 RE: 带实时时钟以及比较匹配功能 (J、K 版只有比较匹配功能)
	串行接口	1 个通道 (UART0) 时钟同步串行 I/O、时钟异步串行 I/O 1 个通道 (UART1) 时钟异步串行 I/O
	时钟同步串行接口	1 个通道 I ² C 总线接口 (注 1)、带片选的时钟同步串行 I/O
	LIN 模块	硬件 LIN: 1 个通道 (使用定时器 RA、UART0)
	A/D 转换器	10 位 A/D 转换器: 1 个电路、4 个通道
	看门狗定时器	15 位 × 1 个通道 (带预分频器) 可选择复位启动功能
	中断	内部: 15 个中断源 (N、D 版) 内部: 14 个中断源 (J、K 版) 外部: 4 个中断源 软件: 4 个中断源、中断优先级: 7 级
	时钟产生电路	3 个电路 • XIN 时钟振荡电路 (内置反馈电阻) • 内部振荡器 (高速、低速) 高速内部振荡器带频率调整功能 • XCIN 时钟振荡电路 (32kHz) (N、D 版) • 有实时时钟 (定时器 RE) (N、D 版)
	振荡停止检测功能	XIN 时钟振荡停止检测功能
	电压检测电路	内置
	上电复位电路	内置
	电特性	电源电压
消耗电流 (N、D 版)		典型 10mA(VCC=5V、f(XIN)=20MHz) 典型 6mA(VCC=3V、f(XIN)=10MHz) 典型 2.0μA(VCC=3V、等待模式 (f(XCIN)=32kHz)) 典型 0.7μA(VCC=3V、停止模式)
闪存	编程和擦除电压	VCC=2.7 ~ 5.5V
	编程和擦除次数	100 次
工作环境温度	-20°C ~ 85°C (N 版) -40°C ~ 85°C (D、J 版) (注 2)、-40°C ~ 125°C (K 版) (注 2)	
封装	20 引脚塑模 LSSOP	

注 1. I²C bus 为荷兰 PHILIPS 公司的注册商标。

注 2. 使用 D、K 版功能时, 请指定该内容。

表 1.2 R8C/29 群的性能概要

项目	性能	
CPU	基本指令数	89 条指令
	最短指令执行时间	50ns(f(XIN)=20MHz、VCC=3.0 ~ 5.5V) (K 版除外) 62.5ns(f(XIN)=16MHz、VCC=3.0 ~ 5.5V) (K 版) 100ns(f(XIN)=10MHz、VCC=2.7 ~ 5.5V) 200ns(f(XIN)=5MHz、VCC=2.2 ~ 5.5V) (N、D 版)
	运行模式	单芯片
	地址空间	1M 字节
	存储器容量	请参照表 1.4
	外围功能	端口
LED 驱动端口		输入 / 输出: 8 个 (N、D 版)
定时器		定时器 RA: 8 位 × 1 个通道、 定时器 RB: 8 位 × 1 个通道 (各定时器: 带 8 位预分频器) 定时器 RC: 16 位 × 1 个通道 (输入捕捉电路、输出比较电路) 定时器 RE: 带实时时钟以及比较匹配功能 (J、K 版只有比较匹配功能)
串行接口		1 个通道 (UART0) 时钟同步串行 I/O、时钟异步串行 I/O 1 个通道 (UART1) 时钟异步串行 I/O
时钟同步串行接口		1 个通道 I ² C 总线接口 (注 1)、带片选时钟同步串行 I/O
LIN 模块		硬件 LIN: 1 个通道 (使用定时器 RA、UART0)
A/D 转换器		10 位 A/D 转换器: 1 个电路、4 个通道
看门狗定时器		15 位 × 1 个通道 (带预分频器) 可选择复位启动功能
中断		内部: 15 个中断源 (N、D 版) 内部: 14 个中断源 (J、K 版) 外部: 4 个中断源 软件: 4 个中断源、中断优先级: 7 级
时钟产生电路		3 个电路 • XIN 时钟振荡电路 (内置反馈电阻) • 内部振荡器 (高速、低速) 高速内部振荡器带频率调整功能 • XCIN 时钟振荡电路 (32kHz) (N、D 版) • 有实时时钟 (定时器 RE) (N、D 版)
振荡停止检测功能		XIN 时钟振荡停止检测功能
电压检测电路		内置
上电复位电路		内置
电特性		电源电压
	消耗电流 (N、D 版)	典型 10mA(VCC=5V、f(XIN)=20MHz) 典型 6mA(VCC=3V、f(XIN)=10MHz) 典型 2.0μA(VCC=3V、等待模式 (f(XCIN)=32kHz)) 典型 0.7μA(VCC=3V、停止模式)
闪存	编程和擦除电压	VCC=2.7 ~ 5.5V
	编程和擦除次数	10,000 次 (数据闪存) 1,000 次 (可编程 ROM)
工作环境温度		-20°C ~ 85°C (N 版) -40°C ~ 85°C (D、J 版) (注 2)、-40°C ~ 125°C (K 版) (注 2)
	封装	20 引脚塑模 LSSOP

注 1. I²C bus 为荷兰 PHILIPS 公司的注册商标。

注 2. 使用 D、K 版功能时, 请指定该内容。

1.3 框图

框图如图 1.1 所示。

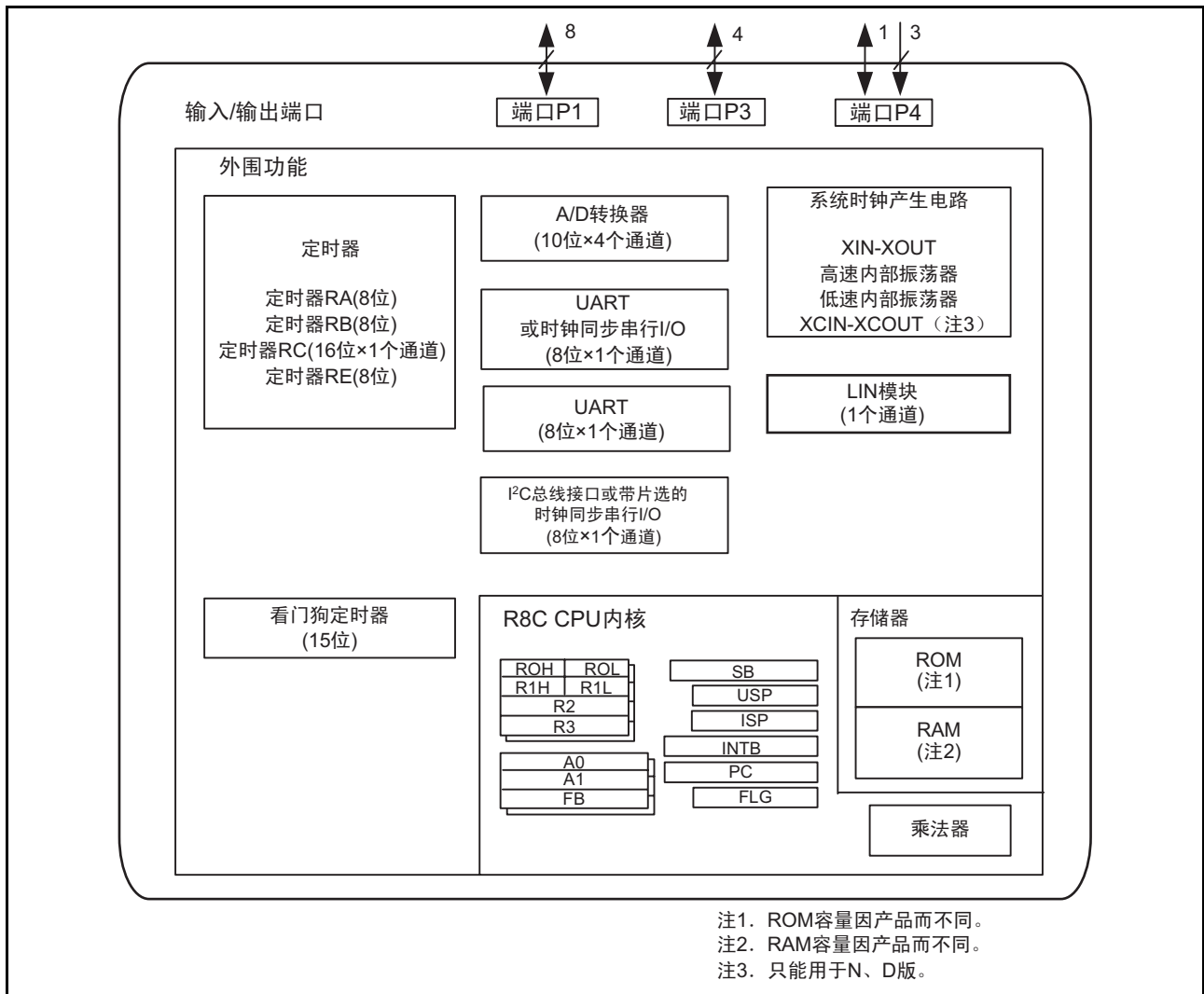


图 1.1 框图

1.4 产品一览

R8C/28 群产品一览表如表 1.3、R8C/29 群产品一览表如表 1.4 所示。

表 1.3 R8C/28 群产品一览表

2008 年 9 月

型号	ROM 容量	RAM 容量	封装	备注	
R5F21282SNSP	8K 字节	512 字节	PLSP0020JB-A	N 版	
R5F21284SNSP	16K 字节	1K 字节	PLSP0020JB-A		
R5F21282SDSP	8K 字节	512 字节	PLSP0020JB-A	D 版	
R5F21284SDSP	16K 字节	1K 字节	PLSP0020JB-A		
R5F21284JSP	16K 字节	1K 字节	PLSP0020JB-A	J 版	
R5F21286JSP	32K 字节	1.5K 字节	PLSP0020JB-A		
R5F21284KSP	16K 字节	1K 字节	PLSP0020JB-A	K 版	
R5F21286KSP	32K 字节	1.5K 字节	PLSP0020JB-A		
R5F21282SNXXXSP	8K 字节	512 字节	PLSP0020JB-A	N 版	编程后出货产品 (注 1)
R5F21284SNXXXSP	16K 字节	1K 字节	PLSP0020JB-A		
R5F21282SDXXXSP	8K 字节	512 字节	PLSP0020JB-A	D 版	
R5F21284SDXXXSP	16K 字节	1K 字节	PLSP0020JB-A		
R5F21284JXXXSP	16K 字节	1K 字节	PLSP0020JB-A	J 版	
R5F21286JXXXSP	32K 字节	1.5K 字节	PLSP0020JB-A		
R5F21284KXXXSP	16K 字节	1K 字节	PLSP0020JB-A	K 版	
R5F21286KXXXSP	32K 字节	1.5K 字节	PLSP0020JB-A		

注 1. 对用户 ROM 编程后再出货。

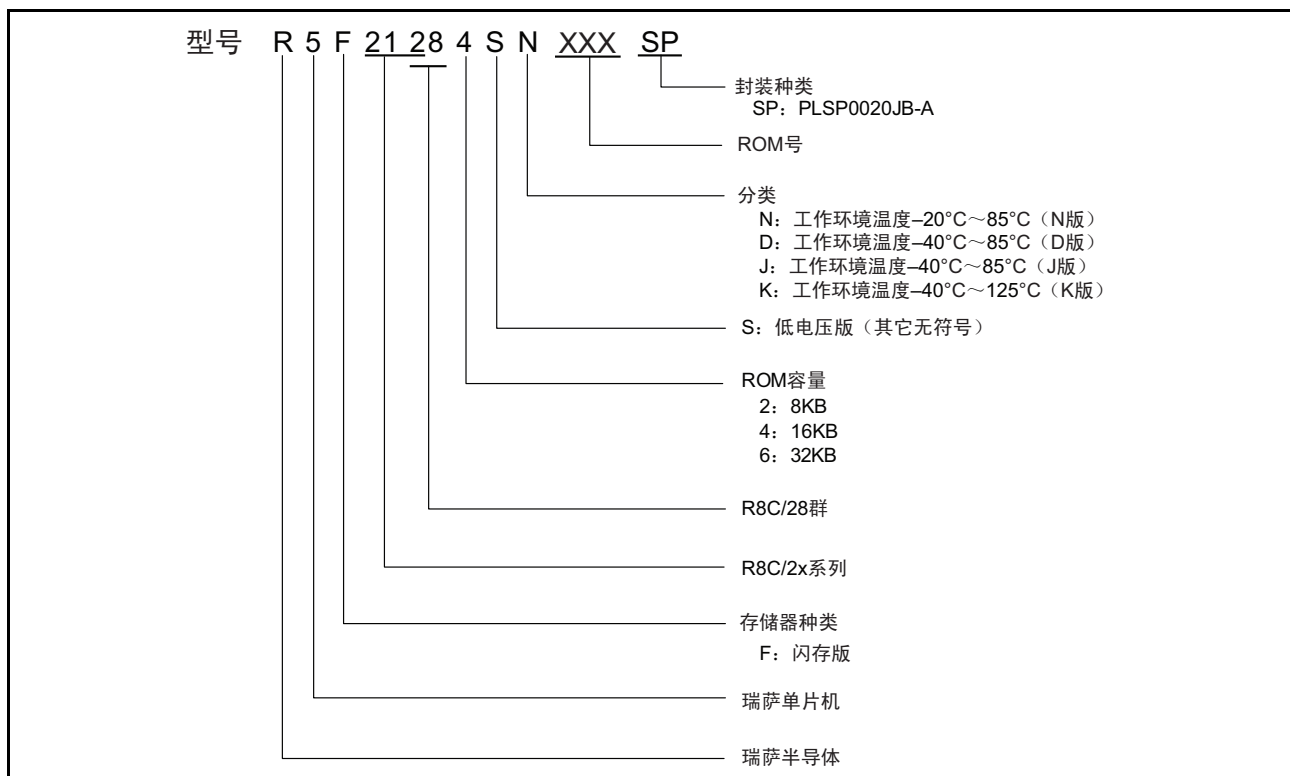


图 1.2 型号、存储器容量以及封装

表 1.4 R8C/29 群产品一览表

2008 年 9 月

型号	ROM 容量		RAM 容量	封装	备注	
	可编程 ROM	数据闪存				
R5F21292SNSP	8K 字节	1K 字节 ×2	512 字节	PLSP0020JB-A	N 版	
R5F21294SNSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A		
R5F21292SDSP	8K 字节	1K 字节 ×2	512 字节	PLSP0020JB-A	D 版	
R5F21294SDSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A		
R5F21294JSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A	J 版	
R5F21296JSP	32K 字节	1K 字节 ×2	1.5K 字节	PLSP0020JB-A		
R5F21294KSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A	K 版	
R5F21296KSP	32K 字节	1K 字节 ×2	1.5K 字节	PLSP0020JB-A		
R5F21292SNXXXSP	8K 字节	1K 字节 ×2	512 字节	PLSP0020JB-A	编程后出货 产品（注 1）	
R5F21294SNXXXSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A		
R5F21292SDXXXSP	8K 字节	1K 字节 ×2	512 字节	PLSP0020JB-A		
R5F21294SDXXXSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A		
R5F21294JXXXSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A		
R5F21296JXXXSP	32K 字节	1K 字节 ×2	1.5K 字节	PLSP0020JB-A		
R5F21294KXXXSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A		
R5F21296KXXXSP	32K 字节	1K 字节 ×2	1.5K 字节	PLSP0020JB-A		

注 1. 对用户 ROM 编程后再出货。

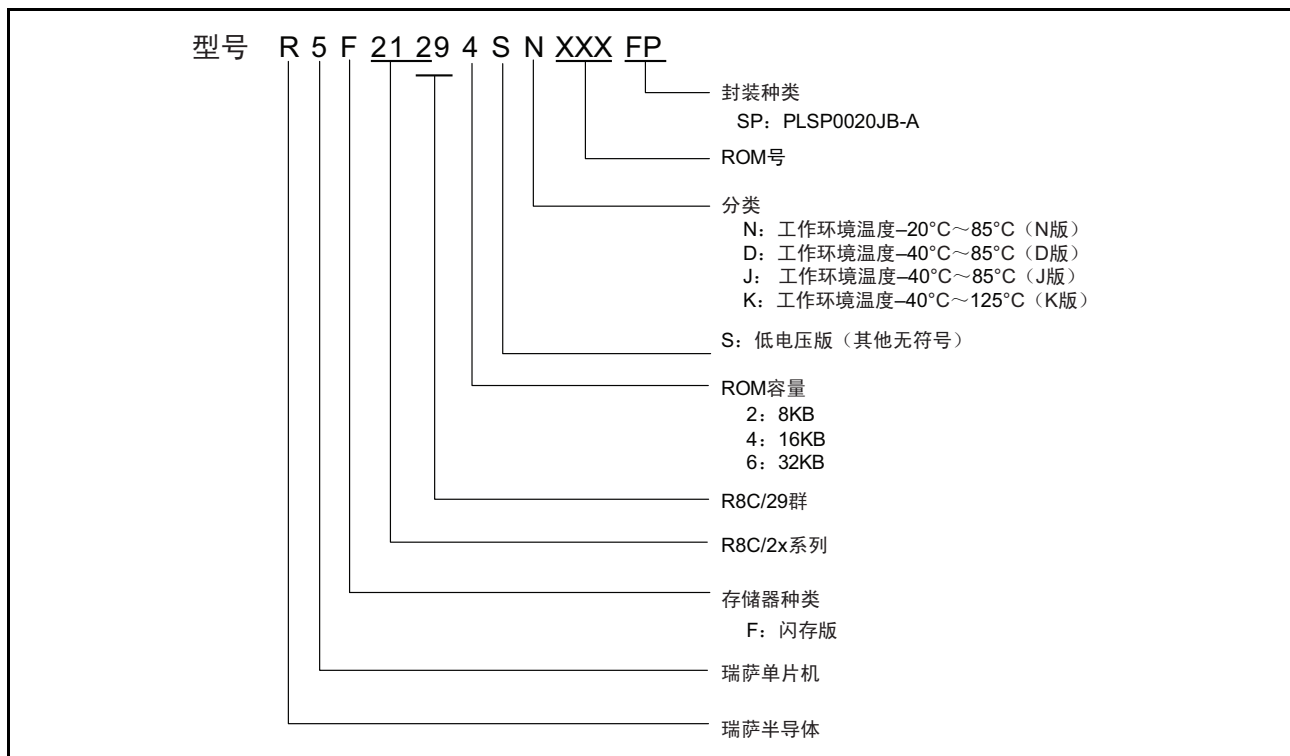


图 1.3 型号、存储器容量以及封装

1.5 引脚连接图

引脚连接图（俯视图）如图 1.4。

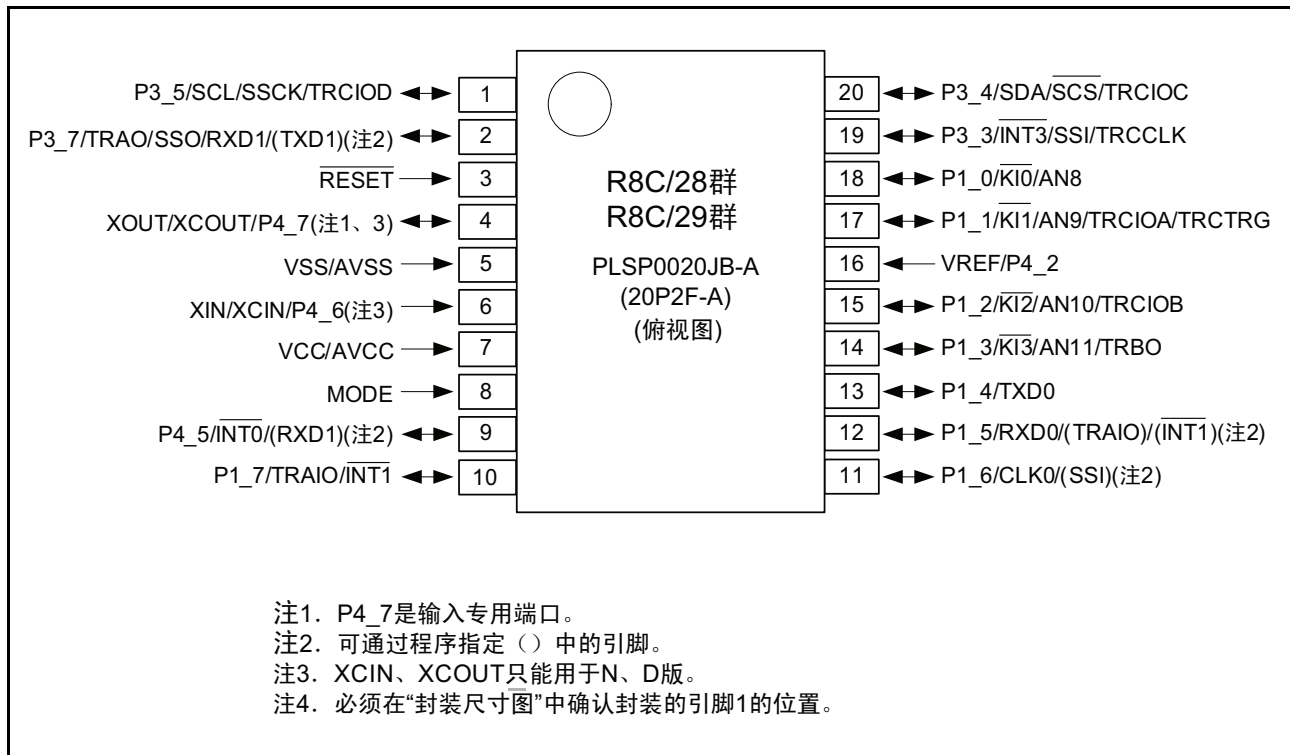


图 1.4 引脚连接图（俯视图）

1.6 引脚功能说明

引脚功能说明如表 1.5 所示。

表 1.5 引脚功能说明

分类	引脚名	输入 / 输出	功能
电源输入	VCC、VSS	输入	必须给 VCC 输入 2.2V ~ 5.5V (J、K 版为 2.7V ~ 5.5V)，给 VSS 输入 0V。
模拟电源输入	AVCC、AVSS	输入	A/D 转换器的电源输入。必须在 AVCC 和 AVSS 之间连接电容器。
复位输入	$\overline{\text{RESET}}$	输入	复位引脚。如果给该引脚输入“L”电平，单片机就变为复位状态。
MODE	MODE	输入	必须通过电阻连接到 VCC。
XIN 时钟输入	XIN	输入	XIN 时钟振荡电路的输入 / 输出。必须在 XIN 和 XOUT 之间连接陶瓷谐振器或者晶体谐振器。在输入外部生成的时钟时，必须从 XIN 输入时钟，而将 XOUT 置为开路。
XIN 时钟输出	XOUT	输出	
XCIN 时钟输入 (N、D 版)	XCIN	输入	XCIN 时钟振荡电路的输入 / 输出。必须在 XCIN 和 XCOUT 之间连接晶体谐振器。在输入外部生成的时钟时，必须从 XCIN 输入时钟，而将 XCOUT 置为开路。
XCIN 时钟输出 (N、D 版)	XCOUT	输出	
$\overline{\text{INT}}$ 中断输入	$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$	输入	$\overline{\text{INT}}$ 中断的输入引脚。
键输入中断输入	$\overline{\text{KI0}} \sim \overline{\text{KI3}}$	输入	键输入中断的输入引脚。
定时器 RA	TRAO	输出	定时器 RA 的输出引脚。
	TRAI0	输入 / 输出	定时器 RA 的输入 / 输出引脚。
定时器 RB	TRBO	输出	定时器 RB 的输出引脚。
定时器 RC	TRCCLK	输入	外部时钟的输入引脚。
	TRCTRG	输入	外部触发输入引脚。
	TRCIOA、TRCIOB TRCIOC、TRCIOD	输入 / 输出	输出比较的输出 / 输入捕捉的输入 / PWM/PWM2 输出复用引脚。
串行接口	CLK0	输入 / 输出	时钟输入 / 输出引脚。
	RXD0、RXD1	输入	接收数据输入引脚。
	TXD0、TXD1	输出	发送数据输出引脚。
I ² C 总线接口	SCL	输入 / 输出	时钟输入 / 输出引脚。
	SDA	输入 / 输出	数据输入 / 输出引脚。
带片选的时钟同步串行 I/O	SSI	输入 / 输出	数据输入 / 输出引脚。
	$\overline{\text{SCS}}$	输入 / 输出	片选输入 / 输出引脚。
	SSCK	输入 / 输出	时钟输入 / 输出引脚。
	SSO	输入 / 输出	数据输入 / 输出引脚。
基准电压输入	VREF	输入	A/D 转换器的基准电压输入引脚。
A/D 转换器	AN8 ~ AN11	输入	A/D 转换器的模拟输入引脚。
输入 / 输出端口	P1_0 ~ P1_7、 P3_3 ~ P3_5、P3_7、 P4_5	输入 / 输出	CMOS 的输入 / 输出端口。具有用于选择输入 / 输出的方向寄存器，每个引脚能设定成输入端口或者输出端口。输入端口能通过程序选择有无上拉电阻。端口 P1_0 ~ P1_7 能作为 LED 驱动端口使用 (N、D 版)。
输入端口	P4_2、P4_6、P4_7	输入	输入专用端口。

表 1.6 引脚序号 - 引脚名一览表

引脚序号	控制引脚	端口	外围功能的输入 / 输出引脚					
			中断	定时器	串行接口	带片选的时钟 同步串行 I/O	I ² C 总线接口	A/D 转换器
1		P3_5		TRCIOD		SSCK	SCL	
2		P3_7		TRAO	RXD1/(TXD1) (注 1)	SSO		
3	$\overline{\text{RESET}}$							
4	XOUT/ XCOUT (注 2)	P4_7						
5	VSS/AVSS							
6	XIN/XCIN (注 2)	P4_6						
7	VCC/AVCC							
8	MODE							
9		P4_5	$\overline{\text{INT0}}$		(RXD1) (注 1)			
10		P1_7	$\overline{\text{INT1}}$	TRAIO				
11		P1_6			CLK0	(SSI) (注 1)		
12		P1_5	($\overline{\text{INT1}}$) (注 1)	(TRAIO) (注 1)	RXD0			
13		P1_4			TXD0			
14		P1_3	$\overline{\text{KI3}}$	TRBO				AN11
15		P1_2	$\overline{\text{KI2}}$	TRCIOB				AN10
16	VRFF	P4_2						
17		P1_1	$\overline{\text{KI1}}$	TRCIOA/ TRCTRG				AN9
18		P1_0	$\overline{\text{KI0}}$					AN8
19		P3_3	$\overline{\text{INT3}}$	TRCCLK		SSI		
20		P3_4		TRCIOC		$\overline{\text{SCS}}$	SDA	

注 1. 可通过程序指定 () 中的引脚。

注 2. XCIN、XCOUT 只能用于 N、D 版。

2. 使用时的注意事项

2.1 时钟产生电路使用时的注意事项

2.1.1 停止模式

转移到停止模式时，必须在将 FMR0 寄存器的 FMR01 位清 “0”（CPU 改写模式无效）后，将 CM1 寄存器的 CM10 位置 “1”（停止模式）。指令队列从将 CM10 位置 “1”（停止模式）的指令开始，预读 4 个字节，然后程序停止。

必须在将 CM10 位置 “1” 的指令后立即插入 JMP.B 指令，然后至少插入 4 条 NOP 指令。

- 转移到停止模式的程序例

```

BCLR      1,FMR0      ; CPU 改写模式无效
BSET      0,PRCR      ; 解除保护
FSET      I           ; 允许中断
BSET      0,CM1       ; 停止模式
JMP.B     LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

2.1.2 等待模式

转移到等待模式时，必须在将 FMR0 寄存器的 FMR01 位清 “0”（CPU 改写模式无效）后执行 WAIT 指令。指令队列从 WAIT 指令开始，预读 4 个字节，然后程序停止。必须在 WAIT 指令之后，至少插入 4 条 NOP 指令。

- 执行 WAIT 指令的程序例

```

BCLR      1,FMR0      ; CPU 改写模式无效
FSET      I           ; 允许中断
WAIT      ; 等待模式
NOP
NOP
NOP
NOP

```

2.1.3 振荡停止检测功能

在 XIN 时钟频率低于 2MHz 时不能使用振荡停止检测功能，所以必须将 OCD1 ~ OCD0 位置 “00b”。

2.1.4 振荡电路常数

有关用户系统的最佳振荡电路常数，请在向谐振器厂家询问后决定

2.2 中断使用时的注意事项

2.2.1 地址 00000h 的读取

不能通过程序读地址 00000h。在接受到可屏蔽中断的中断请求时，CPU 在中断响应顺序中从地址 00000h 读取中断信息（中断序号和中断请求级）。此时，被接受的中断的 IR 位变为“0”。

如果通过程序读地址 00000h，就在被允许的中断中优先权最高的中断 IR 位变为“0”。因此，中断可能被取消或者产生预料的中断。

2.2.2 SP 的设定

必须在接受中断前给 SP 设定值。在复位后，SP 为“0000h”。因此，如果在给 SP 设定值前接受中断，程序就会失控。

2.2.3 外部中断和键输入中断

输入到 $\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 引脚、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 引脚的信号，与 CPU 的运行时钟无关，需要电特性的外部中断 INT_i 输入（i=0、1、3）所示的“L”电平宽度或者“H”电平宽度（详细内容请参照“表 21.21（V_{CC}=5V）、表 21.27（V_{CC}=3V）、表 21.33（V_{CC}=2.2V）、表 21.52（V_{CC}=5V）、表 21.58（V_{CC}=3V）的外部中断 $\overline{\text{INTi}}$ 输入（i=0、1、3）”。）。

2.2.4 中断源的更改

如果更改中断源，中断控制寄存器的 IR 位就可能变为“1”（有中断请求）。使用中断时，必须在更改中断源后，将 IR 位清“0”（无中断请求）。

另外，在此所说的更改中断源，包括更改被分配到各软件中断序号的中断源、极性和时序等全部要素。因此，在外围功能的模式更改等关系到中断源、极性和时序的情况下，必须在更改后将 IR 位清“0”（无中断请求）。外围功能的中断请参照各外围功能。

中断源更改步骤的例如图 2.1 所示。

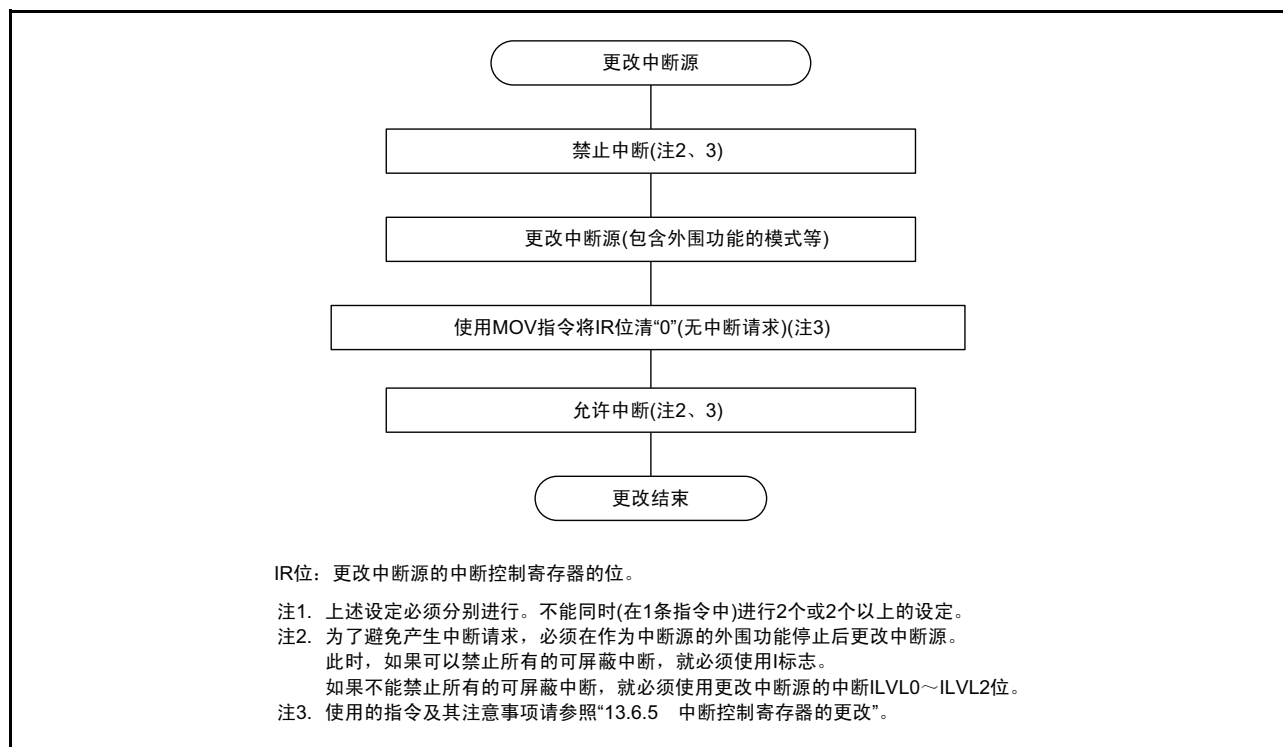


图 2.1 中断源更改步骤的例

2.2.5 中断控制寄存器的更改

(a) 必须在对应该寄存器的不产生中断请求的位置更改中断控制寄存器。在有可能产生中断请求时，必须在禁止中断后更改中断控制寄存器。

(b) 在禁止中断后更改中断控制寄存器的情况下，必须注意使用的指令。

更改 IR 位以外的位

在执行指令期间，当产生对应该寄存器的中断请求时，IR 位可能不变为“1”（有中断请求），中断被忽视。当在此情况出现问题时，必须使用以下指令更改寄存器：

对象指令…AND、OR、BCLR、BSET

更改 IR 位

在将 IR 位清“0”（无中断请求）时，根据使用的指令，IR 位可能不变为“0”。必须用 MOV 指令将 IR 位清“0”。

(c) 在使用 I 标志禁止中断时，必须按照以下的参考程序例设定 I 标志（参考程序例的中断控制寄存器的更改请参照 (b)）。

由于受内部总线和指令队列缓冲器的影响，在更改中断控制寄存器前 I 标志变为“1”（允许中断），例 1～例 3 是防止这种情况的方法。

例 1: 通过 NOP 指令，等待改变中断控制寄存器的例

INT_SWITCH1:

```
FCLR    I                ; 禁止中断
AND.B   #00H, 0056H     ; 将 TRAIC 寄存器置“00h”
NOP
NOP
FSET    I                ; 允许中断
```

例 2: 通过虚读，使 FSET 指令等待的例

INT_SWITCH2:

```
FCLR    I                ; 禁止中断
AND.B   #00H, 0056H     ; 将 TRAIC 寄存器置“00h”
MOV.W   MEM, R0         ; 虚读
FSET    I                ; 允许中断
```

例 3: 通过 POPC 指令，改变 I 标志的例

INT_SWITCH3:

```
PUSHC   FLG
FCLR    I                ; 禁止中断
AND.B   #00H, 0056H     ; 将 TRAIC 寄存器置“00h”
POPC    FLG             ; 允许中断
```


2.3 定时器

2.3.1 定时器 RA 使用时的注意事项

- 在复位后，定时器停止计数。必须在给定时器和预分频器设定值后开始计数。
- 即使以 16 位为单位读取预分频器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 如果通过程序给脉冲宽度测定模式和脉冲周期测定模式使用的 TRACR 寄存器的 TEDGF 位和 TUNDF 位写“0”，这些位就变为“0”；写“1”时，这些位不变。在对 TRACR 寄存器使用读 / 修改 / 写指令的情况下，即使 TEDGF 位和 TUNDF 位为“1”，在指令执行中这些位也有可能被清“0”。此时，必须用 MOV 指令给不想被清“0”的 TEDGF 位和 TUNDF 位写“1”。
- 在从其它模式变为脉冲宽度测定模式和脉冲周期测定模式模式时，TEDGF 位和 TUNDF 位不定。必须在给 TEDGF 位和 TUNDF 位写“0”后，开始定时器 RA 的计数。
- 在计数开始后最初产生的定时器 RA 预分频器的下溢信号，TEDGF 位可能变为“1”。
- 当使用脉冲周期测定模式时，必须在计数刚开始后间隔 2 个或 2 个以上的定时器 RA 预分频器周期的时间，将 TEDGF 位清“0”后使用。
- 在计数停止中，如果给 TSTART 位写“1”，就在 0 ~ 1 个计数源周期之间 TCSTF 位变为“0”。在 TCSTF 位变为“1”之前，不能存取 TCSTF 位以外的与定时器 RA 相关的寄存器（注）。从 TCSTF 位变为“1”后的最初的计数源的有效沿开始计数。
在计数中，如果将 TSTART 位清“0”，就在 0 ~ 1 个计数源周期之间 TCSTF 位变为“1”。在 TCSTF 位变为“0”时停止计数。
在 TCSTF 位变为“0”之前，不能存取 TCSTF 位以外的与定时器 RA 相关的寄存器（注）。

【注】 与定时器 RA 相关的寄存器：TRACR、TRAI0C、TRAMR、TRAPRE、TRA。

- 在计数中（TCSTF 位为“1”），连续写 TRAPRE 寄存器时，必须给各写间隔空出 3 个计数源的时钟周期。
- 在计数中（TCSTF 位为“1”），连续写 TRA 寄存器时，必须给各写间隔至少空出预分频器 3 个下溢周期。

2.3.2 定时器 RB 使用时的注意事项

- 在复位后，定时器停止计数。必须在给定时器和预分频器设定值后开始计数。
- 即使以 16 位为单位读取预分频器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 在可编程单触发产生模式和可编程等待单触发产生模式时，如果在 TRBCR 寄存器的 TSTART 位清“0”后停止计数，或者在给 TRBOCR 寄存器的 TOSSP 位写“1”后停止单触发，定时器就重新装入重加载寄存器的值后停止。定时器的计数值必须在定时器停止前读取。
- 在计数停止中，如果给 TSTART 位写“1”，就在 1～2 个计数源周期之间 TCSTF 位变为“0”。在 TCSTF 位为“1”之前，不能存取 TCSTF 位以外的与定时器 RB 相关的寄存器（注）。在计数中，如果将 TSTART 位清“0”，就在 1～2 个计数源周期之间 TCSTF 位变为“1”。在 TCSTF 位变为“0”时停止计数。在 TCSTF 位变为“0”之前，不能存取 TCSTF 位以外的与定时器 RB 相关的寄存器（注）。

【注】与定时器 RB 相关的寄存器：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- 如果在计数中给 TRBCR 寄存器的 TSTOP 位写“1”，定时器 RB 就立即停止。
- 如果给 TRBOCR 寄存器的 TOSST 位或 TOSSP 位写“1”，就在 1～2 个计数源周期后 TOSSTF 位发生变化。如果在给 TOSST 位写“1”后且在 TOSSTF 位变为“1”前的期间内给 TOSSP 位写“1”，就根据内部状态 TOSSTF 位可能变为“0”或变为“1”。同样地，如果在给 TOSSP 位写“1”后且在 TOSSTF 位变为“0”前的期间内给 TOSST 位写“1”，TOSSTF 位就可能变为“0”或变为“1”。

2.3.2.1 定时器模式

在定时器模式中，必须采取以下对策。

在计数中（TCSTF 位为“1”）写 TRBPRES 寄存器和 TRBPR 寄存器时，必须注意以下几点。

- 当连续写 TRBPRES 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的计数源时钟周期。
- 当连续写 TRBPR 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的预分频器下溢周期。

2.3.2.2 可编程波形产生模式

在可编程波形产生模式中，必须采取以下 3 个对策。

- (1) 在计数中（TCSTF 位为“1”）写 TRBPRES 寄存器和 TRBPR 寄存器时，必须注意以下几点。
 - 当连续写 TRBPRES 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的计数源时钟周期。
 - 当连续写 TRBPR 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的预分频器下溢周期。
- (2) 在计数中（TCSTF 位为“1”）更改 TRBSC 寄存器和 TRBPR 寄存器时，必须通过定时器 RB 中断等，对 TRBO 输出周期取得同步。在同一个输出周期内只能进行一次同步。另外，在图 2.2 和图 2.3 的区间 A 中，必须确认没有 TRBPR 寄存器的写。

对策方法的具体例如以下所示：

- 对策例 (a)

如图 2.2 所示，通过定时器 RB 中断程序，对 TRBSC 寄存器和 TRBPR 寄存器进行写操作。必须在区间 A 之前结束写操作。

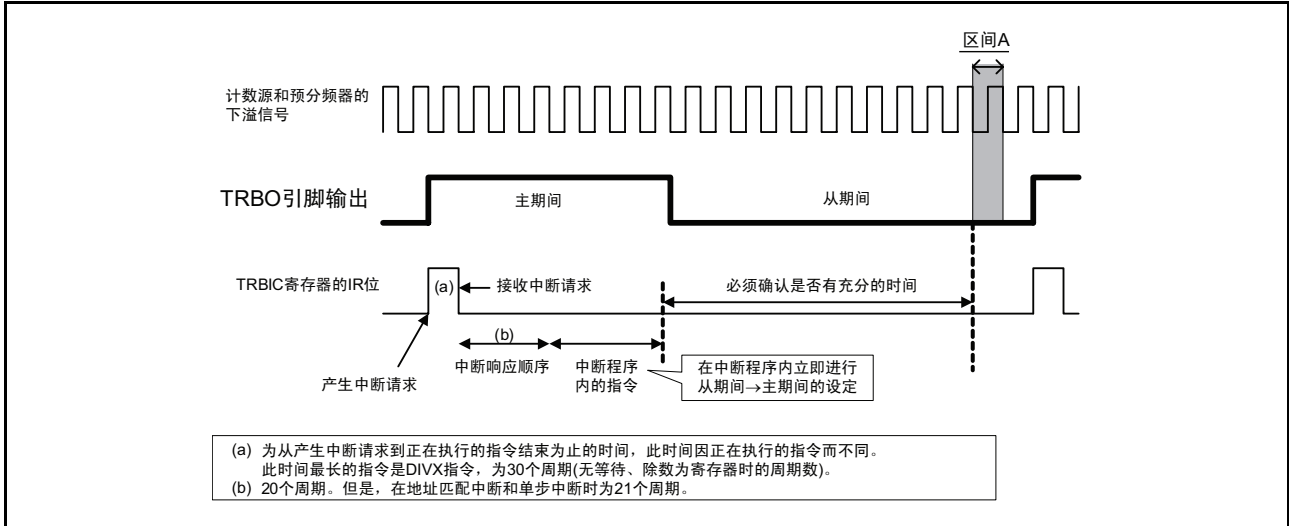


图 2.2 使用对策 (a) 的定时器 RB 中断的例子

- 对策例 (b)

如图 2.3 所示，从 TRBO 引脚的输出电平检测主期间的开始，在主期间开始后立即写 TRBSC 寄存器和 TRBPR 寄存器，必须在区间 A 之前结束写操作。另外，如果在将 TRBO 引脚对应的端口方向寄存器的位清“0”（输入模式）后读端口寄存器的位的值，读取值就为 TRBO 引脚的输出值。

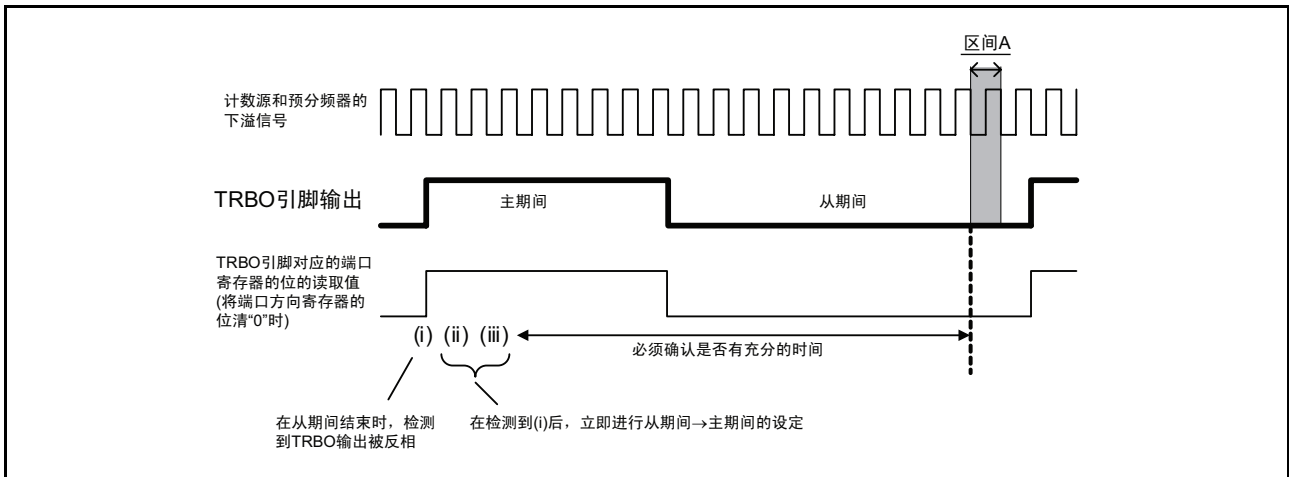


图 2.3 读对策 (b) 的 TRBO 引脚输出值的例子

- (3) 在主期间停止定时器计数时，必须使用 TRBCR 寄存器的 TSTOP 位。此时，TRBPRES 寄存器和 TRBPR 寄存器被初始化，变为复位后的值。

2.3.2.3 可编程单触发产生模式

在可编程单触发产生模式中，必须采取以下 2 个对策。

- (1) 在计数中（TCSTF 位为“1”）写 TRBPRE 寄存器和 TRBPR 寄存器时，必须注意以下几点。
 - 对 TRBPRE 寄存器进行连续写操作时，必须给各个写间隔空出计数源时钟的 3 个或 3 个以上的周期。
 - 对 TRBPR 寄存器进行连续写操作时，必须给各个写间隔空出预分频器下溢的 3 个或 3 个以上的周期。
- (2) TRBPRE 寄存器和 TRBPR 寄存器不能同时置“00h”。

2.3.2.4 可编程等待单触发产生模式

在可编程等待单触发产生模式中，必须采取以下 3 个对策。

- (1) 在计数中（TCSTF 位为“1”），对 TRBPRE 寄存器和 TRBPR 寄存器进行写操作时，必须注意以下几点。
 - 当连续写 TRBPRE 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的计数源时钟周期。
 - 当连续写 TRBPR 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的预分频器下溢周期。
- (2) TRBPRE 寄存器和 TRBPR 寄存器不能同时为“00h”。
- (3) 必须按照以下所示的步骤设定 TRBSC 寄存器和 TRBPR 寄存器。
 - (a) 在计数开始条件为“INT0 引脚单触发”时
必须按照 TRBSC 寄存器 → TRBPR 寄存器的顺序进行设定。此时，必须在写 TRBPR 寄存器后经过 0.5 个或 0.5 个以上的计数源周期给 INT0 引脚输入有效触发。
 - (b) 在计数开始条件为“给 TOSST 位写“1””时
必须按照 TRBSC 寄存器 → TRBPR 寄存器 → TOSST 位的顺序进行设定。此时，必须在写 TRBPR 寄存器后经过 0.5 个或 0.5 个以上的计数源周期写 TOSST 位。

2.3.3 定时器 RC 使用时的注意事项

2.3.3.1 TRC 寄存器

- 将 TRCCR1 寄存器的 CCLR 位置“1”（在和 TRCGRA 寄存器比较匹配时清除 TRC 寄存器）时的注意事项如下：
在 TRCMR 寄存器的 TSTART 位为“1”（开始计数）的状态下，通过程序给 TRC 寄存器写值时，不能与 TRC 寄存器清“0000h”的时序重叠。
如果将 TRC 寄存器清“0000h”的时序与写 TRC 寄存器的时序重叠，就不写值而 TRC 寄存器变为“0000h”。
- 写 TRC 寄存器后，如果继续读 TRC 寄存器，就有可能读取写之前的值。此时，必须在写和读之间执行 JMP.B 指令。

```

程序例      MOV.W      #XXXXh, TRC      ; 写
              JMP.B      L1          ; JMP.B 指令
L1:          MOV.W      TRC, DATA   ; 读
  
```

2.3.3.2 TRCSR 寄存器

写 TRCSR 寄存器后，如果继续读 TRCSR 寄存器，就有可能读取写之前的值。此时，必须在写和读之间执行 JMP.B 指令。

```

程序例      MOV.B      #XXh, TRCSR      ; 写
             JMP.B      L1              ; JMP.B 指令
             L1: MOV.B      TRCSR,DATA   ; 读

```

2.3.3.3 切换计数源

- 必须在停止计数后切换计数源。

更改步骤

- (1) 将 TRCMR 寄存器的 TSTART 位清“0”（停止计数）
- (2) 更改 TRCCR1 寄存器的 TCK2 ~ TCK0 位

- 在将计数源从 fOCO40M 变为其他时钟并停止 fOCO40M 时，必须在设定切换时钟后等待 2 个或 2 个以上的 f1 周期，然后停止 fOCO40M。

更改步骤

- (1) 将 TRCMR 寄存器的 TSTART 位清“0”（停止计数）
- (2) 更改 TRCCR1 寄存器的 TCK2 ~ TCK0 位
- (3) 等待 2 个或 2 个以上的 f1 周期
- (4) 将 FRA0 寄存器的 FRA00 位清“0”（高速内部振荡器停止）

2.3.3.4 输入捕捉功能

- 必须将输入捕捉信号的脉宽设定为 3 个或 3 个以上的定时器 RC 的运行时钟周期（请参照“表 15.11 定时器 RC 的运行时钟”）。
- 在给 TRCIOj（j=A、B、C、D 中的任何一个）引脚输入了输入捕捉信号后，需要等待 1 ~ 2 个定时器 RC 的运行时钟周期，然后将 TRC 寄存器的值传送到 TRCGRj 寄存器（无数字滤波器时）。

2.3.3.5 PWM2 模式时的 TRCMR 寄存器

- 当 TRCCR2 寄存器的 CSEL 位为“1”（在和 TRCGRA 寄存器比较匹配时停止计数）时，就不能在 TRC 寄存器与 TRCGRA 寄存器产生比较匹配时写 TRCMR 寄存器。

2.3.4 定时器 RE 使用时的注意事项

2.3.4.1 开始计数、停止计数

在定时器 RE 中有指示开始或停止计数的 TSTART 位和表示开始或停止计数的 TCSTF 位。TSTART 位和 TCSTF 位都在寄存器 TREC1 中。

如果将 TSTART 位置“1”（开始计数），定时器 RE 就开始计数，并且 TCSTF 位变为“1”（开始计数）。从将 TSTART 位置“1”到 TCSTF 位变为“1”，最多需要 2 个计数源周期。在此期间，不能存取 TCSTF 位以外的与定时器 RE 相关的寄存器（注）。

同样，如果将 TSTART 位清“0”（停止计数），定时器 RE 就停止计数，并且 TCSTF 位变为“0”（停止计数）。从将 TSTART 位清“0”到 TCSTF 位变为“0”，最多需要 2 个计数源周期。在此期间，不能存取 TCSTF 位以外的与定时器 RE 相关的寄存器。

【注】 与定时器 RE 相关的寄存器：TRESEC、TREMINT、TREHR、TREWK、TREC1、TREC2、TREC3

2.3.4.2 寄存器设定

以下的寄存器或位的写操作必须在定时器 RE 停止计数时进行。

- TRESEC、TREMINT、TREHR、TREWK、TREC2 寄存器
- TREC1 寄存器的 H12_H24 位、PM 位、INT 位
- TREC3 寄存器的 RCS0 ~ RCS3 位

定时器 RE 停止计数是指 TREC1 寄存器的 TSTART 位和 TCSTF 位都为“0”（定时器 RE 停止计数）的状态。

另外，必须在设定上述寄存器和位的最后设定 TREC2 寄存器（在定时器 RE 开始计数之前）。

实时时钟模式时的设定例如图 2.4 所示。

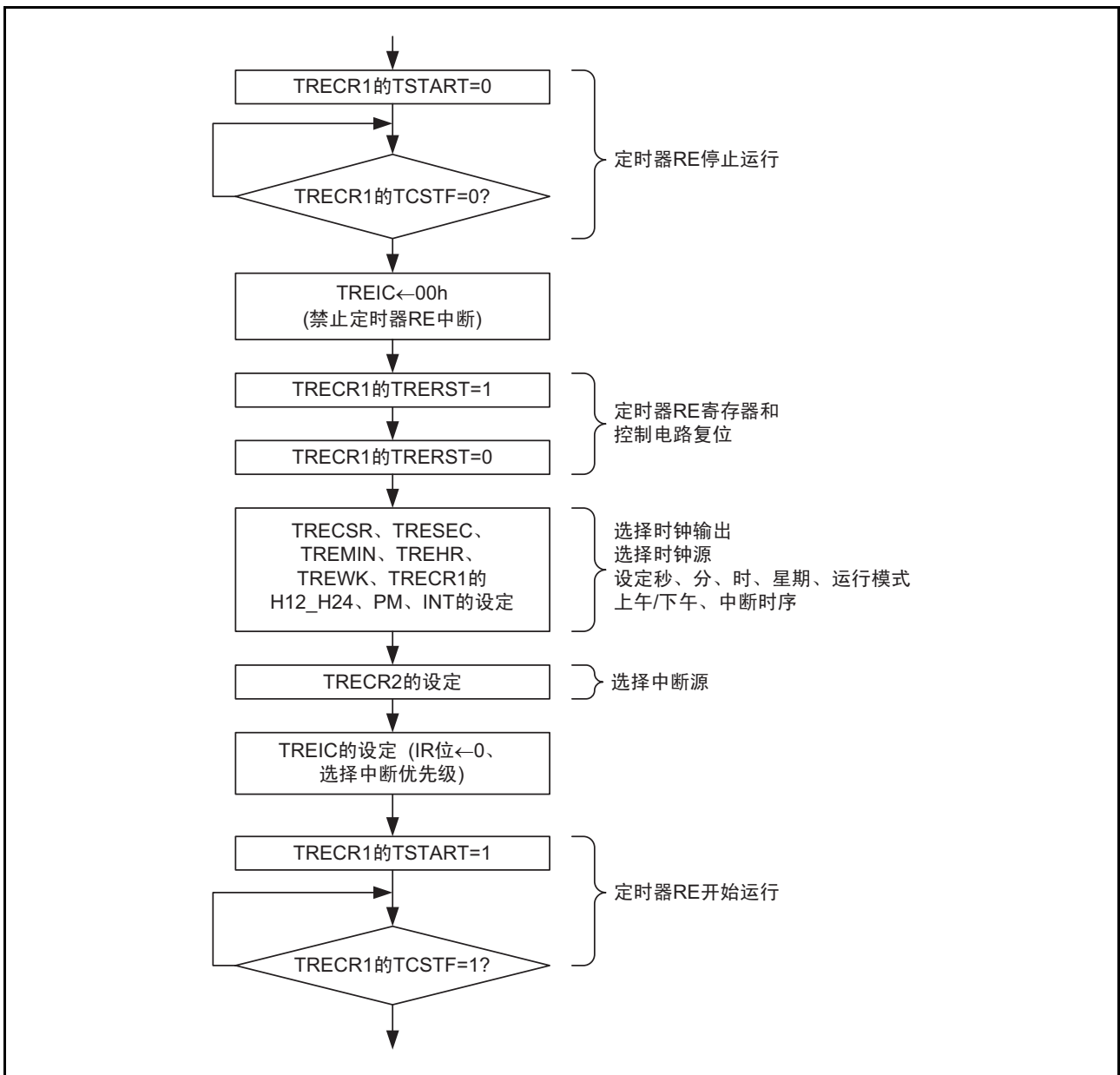


图 2.4 实时时钟模式时的设定例

2.3.4.3 实时时钟模式时间的读取步骤

在实时时钟模式中，必须在时间数据更新时并且 BSY 位为“0”（数据非更新状态）时读取 TRESEC、TREMINT、TREHR、TREWK 寄存器和 TRECRI 寄存器的 PM 位。

另外，在读多个寄存器时，如果在读某个寄存器后读其他寄存器前数据被更新，就会读取错误的信息。为了避免这种情况的读取步骤的例如下所示：

- 使用中断的方法
在定时器 RE 的中断程序中，从 TRESEC、TREMINT、TREHR、TREWK 寄存器和 TRECRI 寄存器的 PM 位中读取需要的信息。
- 用程序监视的方法 1
用程序监视 TREIC 寄存器的 IR 位，当该位为“1”（产生定时器 RE 中断请求）时，从 TRESEC、TREMINT、TREHR、TREWK 寄存器和 TRECRI 寄存器的 PM 位中读取需要的信息。
- 用程序监视的方法 2
 - (1) 监视 BSY 位。
 - (2) 在 BSY 位变为“1”后，监视它变为“0”（BSY 为“1”的时间约为 62.5ms）。
 - (3) 在 BSY 位变为“0”后，从 TRESEC、TREMINT、TREHR、TREWK 寄存器和 TRECRI 寄存器的 PM 位中读取需要的信息。
- 两次读取结果相同时的采用方法
 - (1) 从 TRESEC、TREMINT、TREHR、TREWK 寄存器和 TRECRI 寄存器的 PM 位中读取需要的信息。
 - (2) 读取与 (1) 相同的寄存器，比较信息。
 - (3) 如果相同就作为正确值采用。否则反复读取，直到读取值与前一次的值相同为止。
 另外，在读多个寄存器时，尽量连续读取。

2.4 串行接口使用时的注意事项

- 与时钟同步串行 I/O 模式和时钟异步串行 I/O 模式无关，在读 UiRB (i=0 ~ 1) 寄存器时，必须以 16 位为单位进行。
在读 UiRB 寄存器的高位字节时，UiRB 寄存器的 PER、FER 位和 UiC1 寄存器的 RI 位变为“0”。
如果产生接收错误，必须在读 UiRB 寄存器后，通过读取的值确认错误信息。

<读取接收缓冲寄存器的程序例>

```
MOV.W    00A6H, R0    ; 读 U0RB 寄存器
```

- 在传送数据位长为 9 位的时钟异步串行 I/O 模式中写 UiTB 寄存器时，必须以 8 位为单位按高位字节 → 低位字节的顺序进行。

<给发送缓冲寄存器写数据的程序例>

```
MOV.B    #XXH, 00A3H  ; 写 U0TB 寄存器的高位字节
MOV.B    #XXH, 00A2H  ; 写 U0TB 寄存器的低位字节
```


2.5 时钟同步串行接口使用时的注意事项

2.5.1 带片选的时钟同步串行 I/O 使用时的注意事项

在使用带片选的时钟同步串行 I/O 时，必须将 PMR 寄存器的 IICSEL 位清“0”（选择带片选的时钟同步串行 I/O 功能）。

2.5.2 I²C 总线接口使用时的注意事项

在使用 I²C 总线接口时，必须将 PMR 寄存器的 IICSEL 位置“1”（选择 I²C 总线接口功能）。

2.5.2.1 多主控

在 I²C 总线接口用于多主控时，必须实施以下的对策。

- 传送率的对策
必须将传送率设定为大于等于其他主控中最大传送率的 1/1.8。例如，当其他主控中最大传送率是 400kbps 时，本单片机的 I²C 总线的传送率必须至少设定为 223kbps（= 400/1.8）。
- 设定 ICCR1 寄存器的 MST 位、TRS 位时的对策
 - (a) 必须使用 MOV 指令设定 MST 位、TRS 位。
 - (b) 如果仲裁失败，必须确认 MST 位、TRS 位的内容。如果 MST 位不为“0”且 TRS 位也不为“0”（从属接收模式），就必须将 MST 位和 TRS 位重新清“0”。

2.5.2.2 主接收模式

在 I²C 总线接口的主接收模式时，必须实施以下任何一个对策。

- (1) 在主接收模式中，如果 ICSR 寄存器的 RDRF 位为“1”，就必须在第 8 个时钟上升前读 ICDRR 寄存器。
- (2) 在主接收模式中，必须将 ICCR1 寄存器的 RCVD 位置“1”（禁止下一个接收操作），按字节进行通信。

2.6 硬件 LIN 使用时的注意事项

有关标题段和应答段的超时处理，必须以 Synch Break 检测中断为起点，使用其它定时器进行时间测量。

2.7 A/D 转换器使用时的注意事项

- 对 ADCON0 寄存器的各位（位 6 除外）、ADCON1 寄存器的各位以及 ADCON2 寄存器的 SMP 位的写操作，必须在 A/D 转换停止时（产生触发前）进行。
尤其在将 VCUT 位从“0”（未连接 VREF）变为“1”（连接 VREF）时，必须至少经过 1 μ s 后开始 A/D 转换。
- 在改变 A/D 运行模式后，必须重新选择模拟输入引脚。
- 在单次模式使用时
必须在确认 A/D 转换结束后，读 AD 寄存器（能通过 ADIC 寄存器的 IR 位或者 ADCON0 寄存器的 ADST 位判断 A/D 转换的结束）。
- 在重复模式使用时
必须将 A/D 转换中的 CPU 时钟选择为大于等于 A/D 转换器运行时钟 ϕ AD 的频率。
不能对 ϕ AD 选择 fOCO-F。
- 在 A/D 转换运行期间，当通过程序将 ADCON0 寄存器的 ADST 位清“0”（停止 A/D 转换）来强制结束时，A/D 转换器的转换结果就不定。在通过程序将 ADST 位清“0”后，不能使用 AD 寄存器的值。
- 必须在 P4_2/VREF 引脚和 AVSS 引脚之间连接 0.1 μ F 的电容。
- 不能在 A/D 转换中转移到停止模式。
- 在 A/D 转换中，不能在 CM0 寄存器的 CM02 位为“1”（等待模式时，停止外围功能时钟）的状态下转移到等待模式。

2.8 闪存使用时的注意事项

2.8.1 CPU 改写模式

2.8.1.1 运行速度

在进入 CPU 改写模式（EW0 模式）前，必须通过 CM0 寄存器的 CM06 位、CM1 寄存器的 CM16 ~ CM17 位将 CPU 时钟设定为最大为 5MHz。

EW1 模式不需要此注意事项。

2.8.1.2 使用禁止指令

在 EW0 模式中，因为以下的指令参照闪存内的数据，所以不能使用。

UND 指令、INTO 指令、BRK 指令

2.8.1.3 中断

EW0 模式时的中断如表 2.1、EW1 模式时的中断如表 2.2 所示。

表 2.1 EW0 模式时的中断

模式	状态	在接受可屏蔽的中断请求时	在接受看门狗定时器、振荡停止检测、电压监视 1 中断和电压监视 2 中断的中断请求时
EW0	自动擦除中	能通过将向量分配到 RAM 使用。	如果接受中断请求，就立即强制停止自动擦除或者自动编程，进行闪存复位。在一定时间后重新启动闪存，然后开始中断处理。 因为强制停止，可能无法从自动擦除中的块或者自动编程中的地址读取正常值，所以必须在重新启动闪存后再次执行自动擦除，并确认正常结束。 看门狗定时器即使在命令执行中也不停止，所以有可能发生中断请求。必须定期初始化看门狗定时器。
	自动编程中		

注 1. 因为地址匹配的中断向量被分配在 ROM 中，所以不能在命令执行时使用。

注 2. 因为给块 0 分配了固定向量，所以不能在自动擦除块 0 时使用非屏蔽中断。

表 2.2 EW1 模式时的中断

模式	状态	在接受可屏蔽的中断请求时	在接受看门狗定时器、振荡停止检测、电压监视 1 中断和电压监视 2 中断的中断请求时
EW1	自动擦除中 (擦除挂起功能有效)	在经过 td(SR-SUS) 时间后，停止自动擦除，执行中断处理。在结束中断处理后，能通过将 FMR4 寄存器的 FMR41 位清“0”（重新启动擦除），重新开始自动擦除。	如果接受中断请求，就立即强制停止自动擦除或者自动编程，进行闪存复位。在一定时间后重新启动闪存，然后开始中断处理。 因为强制停止，可能无法从自动擦除中的块或者自动编程中的地址读取正常值，所以必须在重新启动闪存后再次执行自动擦除，并确认正常结束。 看门狗定时器即使在命令执行中也不停止，所以有可能产生中断请求。必须使用擦除挂起功能定期初始化看门狗定时器。
	自动擦除中 (擦除挂起功能无效)	优先自动擦除，让中断请求等待。在自动擦除结束后，执行中断处理。	
	自动编程中 (编程挂起功能有效)	在经过 td(SR-SUS) 时间后，停止自动编程，执行中断处理。在中断处理结束后，能通过将 FMR4 寄存器的 FMR42 位清“0”（重新启动编程），重新开始自动编程。	
	自动编程中 (编程挂起功能无效)	优先自动编程，让中断请求等待。在自动编程结束后，执行中断处理。	

注 1. 因为地址匹配中断的向量被分配在 ROM 中，所以不能在命令执行时使用。

注 2. 因为给块 0 分配了固定向量，所以不能在自动擦除块 0 时使用非屏蔽中断。

2.8.1.4 存取方法

在将 FMR01 位、FMR02 位、FMR11 位置“1”时，必须在给对象位写“0”后连续写“1”。另外，在写“0”后到写“1”之间，不发生中断。

2.8.1.5 用户 ROM 区的改写

在使用 EW0 模式对保存改写控制程序的块进行改写中，如果电源电压下降，改写控制程序就不能被正常改写，此后可能无法改写闪存。此块必须使用标准串行输入 / 输出模式进行改写。

2.8.1.6 编程

不能对已编程的地址进行追加写。

2.8.1.7 转移到停止模式、等待模式

不能在擦除挂起中转移到停止、等待模式。

2.8.1.8 闪存的编程电压、擦除电压

必须在电源电压 $VCC=2.7 \sim 5.5V$ 的条件下进行编程、擦除，不能在电源电压低于 2.7V 时进行编程和擦除。

2.9 有关噪声的注意事项

2.9.1 在 VCC 引脚和 VSS 引脚之间插入旁路电容，作为噪声和闩锁对策

必须在 VCC 引脚和 VSS 引脚之间以最短距离使用较粗的配线连接旁路电容（0.1 μ F 左右）。

2.9.2 端口控制寄存器的噪声误动作对策

在严格的噪声等试验中，如果受到外来噪声（主要是电源方面的噪声），即使是 IC 内部的噪声对策电路也可能无法完全应对。此时，和端口有关的寄存器值可能发生变化。

此时的程序对策，建议定期重新设定端口寄存器、端口方向寄存器和上拉控制寄存器。但是，如果在中断处理中进行转换端口输出等控制时，由于在与重新设定处理之间可能会发生竞争，所以必须在充分探讨控制处理的基础上，进行重新设定处理。

3. 中央处理器 (CPU)

CPU 的寄存器如图 3.1 所示。CPU 有 13 个寄存器，其中 R0、R1、R2、R3、A0、A1、FB 构成寄存器组。有 2 组寄存器组。

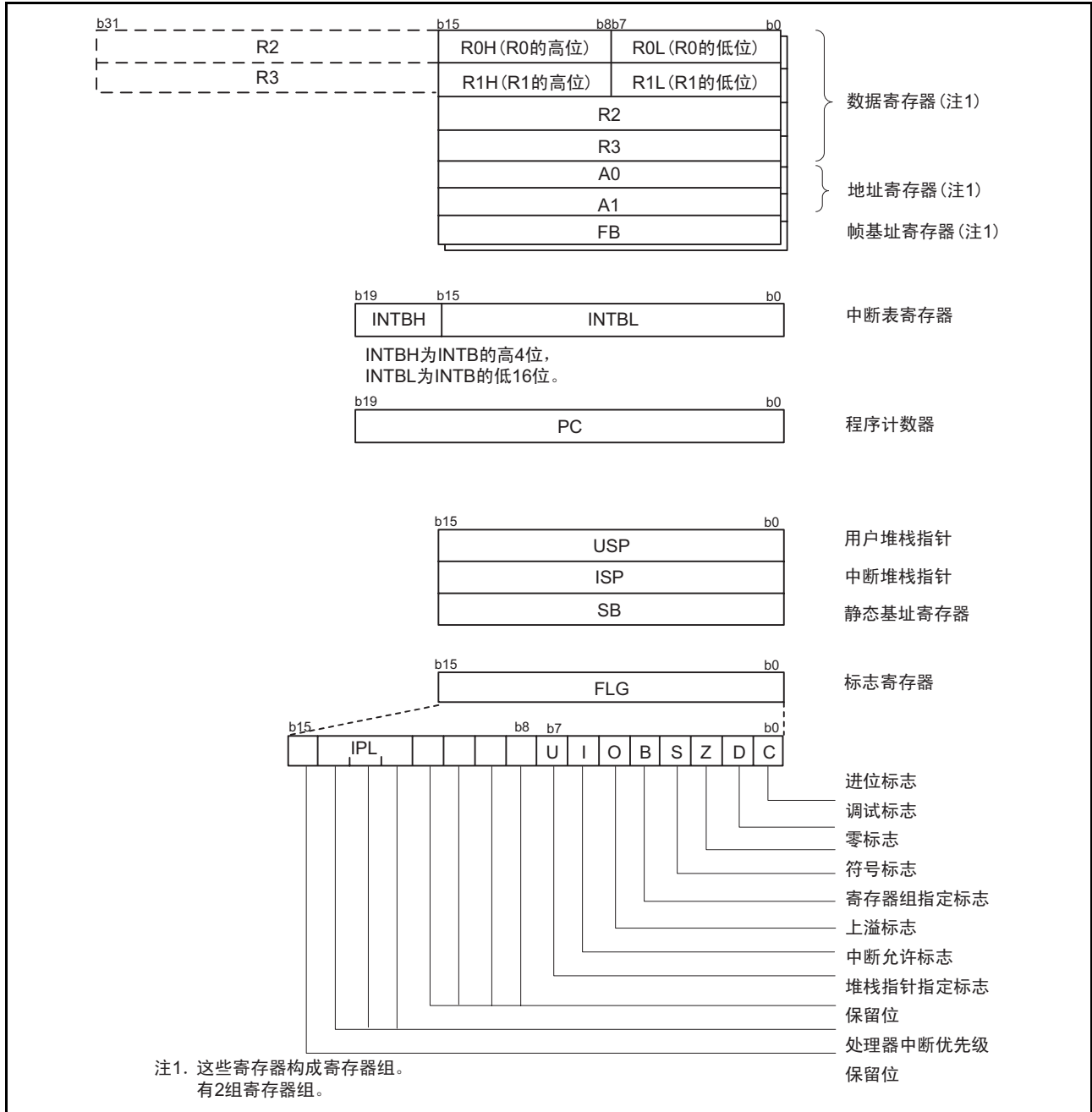


图 3.1 CPU 的寄存器

3.1 数据寄存器 (R0、R1、R2、R3)

R0 由 16 位构成，主要用于传送、算术和逻辑运算。R1 ~ R3 和 R0 相同。

能将 R0 的高位 (R0H) 和低位 (R0L) 分别作为 8 位数据寄存器使用，R1H、R1L 和 R0H、R0L 相同。
能将 R2 和 R0 组合作为 32 位数据寄存器 (R2R0) 使用，R3R1 和 R2R0 相同。

3.2 地址寄存器 (A0、A1)

A0 由 16 位构成，用于地址寄存器间接寻址和地址寄存器相对寻址。另外，还用于传送、算术和逻辑运算。
A1 和 A0 相同。

能将 A1 和 A0 组合作为 32 位地址寄存器 (A1A0) 使用。

3.3 帧基址寄存器 (FB)

FB 由 16 位构成，用于 FB 相对寻址。

3.4 中断表寄存器 (INTB)

INTB 由 20 位构成，表示可变中断向量表的起始地址。

3.5 程序计数器 (PC)

PC 由 20 位构成，表示下次执行的指令的地址。

3.6 用户堆栈指针 (USP) 和中断堆栈指针 (ISP)

堆栈指针 (SP) 有 USP 和 ISP 两种，都由 16 位构成。

能通过 FLG 的 U 标志，进行 USP 和 ISP 的切换。

3.7 静态基址寄存器 (SB)

SB 由 16 位构成，用于 SB 相对寻址。

3.8 标志寄存器 (FLG)

FLG 由 11 位构成，表示 CPU 状态。

3.8.1 进位标志 (C 标志)

保存由算术逻辑运算器产生的进位、借位和移出位等。

3.8.2 调试标志 (D 标志)

D 标志是调试专用标志，必须清“0”。

3.8.3 零标志 (Z 标志)

在运算结果为 0 时为“1”，否则为“0”。

3.8.4 符号标志 (S 标志)

在运算结果为负时为“1”，否则为“0”。

3.8.5 寄存器组指定标志 (B 标志)

在 B 标志为“0”时，指定寄存器组 0；在 B 标志为“1”时，指定寄存器组 1。

3.8.6 上溢标志 (O 标志)

在运算结果上溢时为“1”，否则为“0”。

3.8.7 中断允许标志 (I 标志)

它是允许屏蔽中断的标志。

在 I 标志为“0”时，禁止屏蔽中断；在 I 标志为“1”时，允许屏蔽中断。

如果接受中断请求，I 标志就变为“0”。

3.8.8 堆栈指针指定标志 (U 标志)

在 U 标志为“0”时，指定 ISP；在 U 标志为“1”时，指定 USP。

在接受硬件中断请求或者执行软件中断号 0 ~ 31 的 INT 指令时，U 标志变为“0”。

3.8.9 处理器中断优先级 (IPL)

IPL 由 3 位构成，指定 0 ~ 7 级的 8 等级处理器中断优先级。

如果请求的中断优先级高于 IPL，就允许该中断请求。

3.8.10 保留位

只能写“0”，读时值不定。

4. 存储器

4.1 R8C/28 群

R8C/28群的存储器分配图如图4.1所示。地址空间为从地址00000h到地址FFFFFFh的1M字节。内部ROM分配在从地址0FFFFh向低位地址方向延伸的区域。例如，16K字节的内部ROM分配在地址0C000h到地址0FFFFh之间。

固定中断向量表分配在地址0FFDCh到地址0FFFFh之间，在这里，保存中断程序的起始地址。

内部RAM分配在从地址00400h向高位地址方向延伸的区域。例如，1K字节的内部RAM分配在地址00400h到地址007FFh之间。内部RAM除了保存数据以外，还作为子程序调用和中断时的堆栈使用。

SFR分配在地址00000h到地址002FFh之间。在这里，分配了外围功能的控制寄存器。由于在SFR中未被分配的区域全部为保留区，因此用户不能使用。

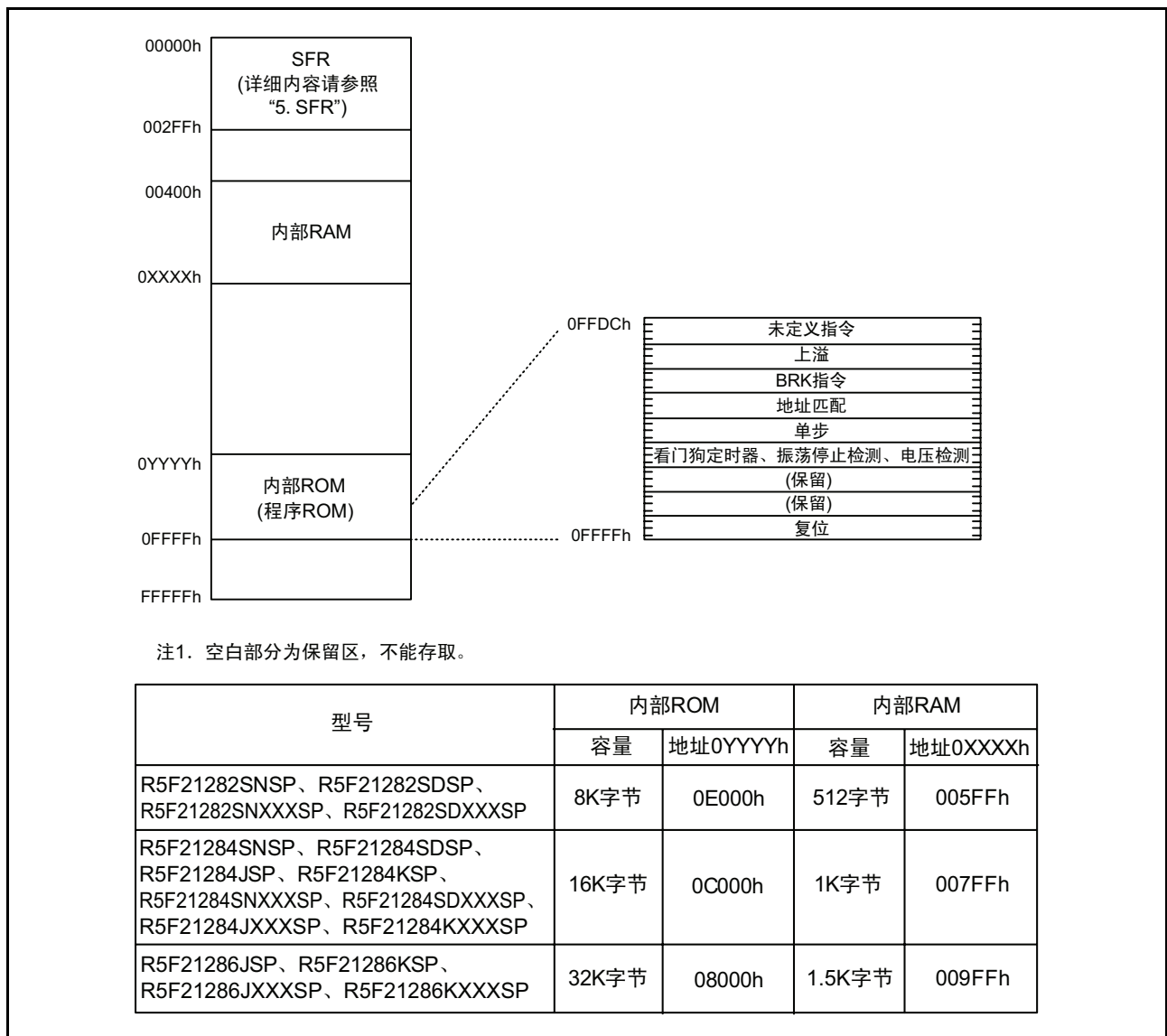


图 4.1 R8C/28 群的存储器分配图

4.2 R8C/29 群

R8C/29群的存储器分配图如图4.2所示。地址空间为从地址00000h到地址FFFFFFh的1M字节。内部ROM(程序ROM)分配在从地址0FFFFh向低位地址方向延伸的区域。例如，16K字节的内部ROM分配在地址0C000h到地址0FFFFh之间。

固定中断向量表分配在地址0FFDCh到地址0FFFFh之间，在这里，保存中断程序的起始地址。

内部ROM(数据闪存)分配在从地址02400h到地址02BFFh之间。

内部RAM分配在从地址00400h向高位地址方向延伸的区域。例如，1K字节的内部RAM分配在地址00400h到地址007FFh之间。内部RAM除了保存数据以外，还作为子程序调用和中断时的堆栈使用。

SFR分配在地址00000h到地址002FFh之间。在这里，分配了外围功能的控制寄存器。由于在SFR中未被分配的区域全部为保留区，因此用户不能使用。

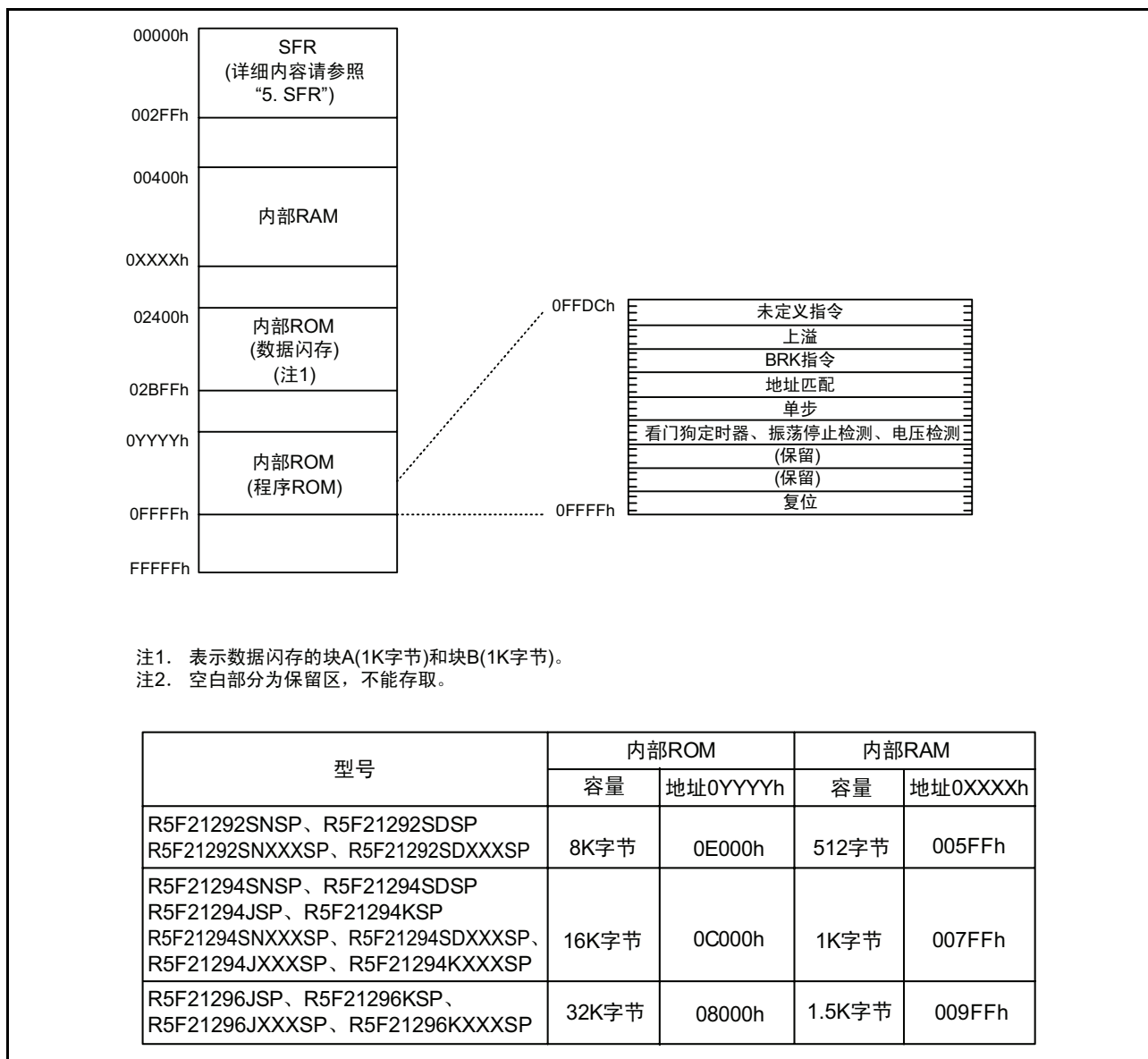


图 4.2 R8C/29 群的存储器分配图

5. SFR

SFR（Special Function Register）是外围功能控制寄存器。SFR 一览表如表 5.1～表 5.7 所示。

表 5.1 SFR 一览表（1）（注 1）

地址	寄存器	符号	复位后的值
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器 0	PM0	00h
0005h	处理器模式寄存器 1	PM1	00h
0006h	系统时钟控制寄存器 0	CM0	01101000b
0007h	系统时钟控制寄存器 1	CM1	00100000b
0008h			
0009h			
000Ah	保护寄存器	PRCR	00h
000Bh			
000Ch	振荡停止检测寄存器	OCD	00000100b
000Dh	看门狗定时器复位寄存器	WDTR	XXh
000Eh	看门狗定时器开始寄存器	WDTS	XXh
000Fh	看门狗定时器控制寄存器	WDC	00X11111b
0010h	地址匹配中断寄存器 0	RMAD0	00h
0011h			00h
0012h			00h
0013h	地址匹配中断允许寄存器	AIER	00h
0014h	地址匹配中断寄存器 1	RMAD1	00h
0015h			00h
0016h			00h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	计数源保护模式寄存器	CSPR	00h 10000000b（注 2）
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速内部振荡器控制寄存器 0	FRA0	00h
0024h	高速内部振荡器控制寄存器 1	FRA1	出厂值
0025h	高速内部振荡器控制寄存器 2	FRA2	00h
0026h			
0027h			
0028h	时钟预分频器复位标志	CPSRF	00h
0029h	高速内部振荡器控制寄存器 4（注 3）	FRA4	出厂值
002Ah			
002Bh	高速内部振荡器控制寄存器 6（注 3）	FRA6	出厂值
002Ch	高速内部振荡器控制寄存器 7（注 3）	FRA7	出厂值
002Dh			
002Eh			
002Fh			

注 1. 空白部分为保留区，不能存取。

注 2. 在 OFS 寄存器的 CSPROINI 位为“0”时。

注 3. 在 J、K 版时为保留区。不能存取。

X: 不定。

表 5.2 SFR 一览表 (2) (注 1)

地址	寄存器	符号	复位后的值
0030h			
0031h	电压检测寄存器 1 (注 2)	VCA1	00001000b
0032h	电压检测寄存器 2 (注 2)	VCA2	• N、D 版 00h (注 3) 00100000b (注 4) • J、K 版 00h (注 7) 01000000b (注 8)
0033h			
0034h			
0035h			
0036h	电压监视 1 电路控制寄存器 (注 5)	VW1C	• N、D 版 00001000b • J、K 版 0000X000b (注 7) 0100X001b (注 8)
0037h	电压监视 2 电路控制寄存器 (注 5)	VW2C	00h
0038h	电压监视 0 电路控制寄存器 (注 6)	VW0C	0000X000b (注 3) 0100X001b (注 4)
0039h			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h	定时器 RC 中断控制寄存器	TRCIC	XXXXX000b
0048h			
0049h			
004Ah	定时器 RE 中断控制寄存器	TREIC	XXXXX000b
004Bh			
004Ch			
004Dh	键输入中断控制寄存器	KUPIC	XXXXX000b
004Eh	A/D 转换中断控制寄存器	ADIC	XXXXX000b
004Fh	SSU 中断控制寄存器 / IIC 中断控制寄存器 (注 9)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0 发送中断控制寄存器	S0TIC	XXXXX000b
0052h	UART0 接收中断控制寄存器	S0RIC	XXXXX000b
0053h	UART1 发送中断控制寄存器	S1TIC	XXXXX000b
0054h	UART1 接收中断控制寄存器	S1RIC	XXXXX000b
0055h			
0056h	定时器 RA 中断控制寄存器	TRAIC	XXXXX000b
0057h			
0058h	定时器 RB 中断控制寄存器	TRBIC	XXXXX000b
0059h	INT1 中断控制寄存器	INT1IC	XX00X000b
005Ah	INT3 中断控制寄存器	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0 中断控制寄存器	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
006Fh			
0070h			
007Fh			

- 注 1. 空白部分为保留区，不能存取。
- 注 2. (N、D 版) 在软件复位、看门狗定时器复位、电压监视 1 复位、电压监视 2 复位中不变。
(J、K 版) 在软件复位、看门狗定时器复位、电压监视 2 复位中不变。
- 注 3. 在 OFS 寄存器的 LVD00N 位为“1”且硬件复位时。
- 注 4. 在上电复位、电压监视 0 复位或 OFS 寄存器的 LVD00N 位为“0”且硬件复位时。
- 注 5. (N、D 版) 在软件复位、看门狗定时器复位、电压监视 1 复位、电压监视 2 复位中 b2、b3 不变。
(J、K 版) 在软件复位、看门狗定时器复位、电压监视 2 复位中 b2、b3 不变。
- 注 6. (N、D 版) 在软件复位、看门狗定时器复位、电压监视 1 复位、电压监视 2 复位中不变。
(J、K 版) 为保留位，不能存取。
- 注 7. 在 OFS 寄存器的 LVD10N 位为“1”且硬件复位时。
- 注 8. 在上电复位、电压监视 1 复位或 OFS 寄存器的 LVD10N 位为“0”且硬件复位时。
- 注 9. 能通过 PMR 寄存器的 IICSEL 位来选择。
- X: 不定。

表 5.3 SFR 一览表 (3) (注 1)

地址	寄存器	符号	复位后的值
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0 发送 / 接收模式寄存器	U0MR	00h
00A1h	UART0 位速率寄存器	U0BRG	XXh
00A2h	UART0 发送缓冲寄存器	U0TB	XXh
00A3h			XXh
00A4h	UART0 发送 / 接收控制寄存器 0	U0C0	00001000b
00A5h	UART0 发送 / 接收控制寄存器 1	U0C1	00000010b
00A6h	UART0 接收缓冲寄存器	U0RB	XXh
00A7h			XXh
00A8h	UART1 发送 / 接收模式寄存器	U1MR	00h
00A9h	UART1 位速率寄存器	U1BRG	XXh
00AAh	UART1 发送缓冲寄存器	U1TB	XXh
00ABh			XXh
00ACh	UART1 发送 / 接收控制寄存器 0	U1C0	00001000b
00ADh	UART1 发送 / 接收控制寄存器 1	U1C1	00000010b
00AEh	UART1 接收缓冲寄存器	U1RB	XXh
00AFh			XXh
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS 控制寄存器 H/IIC 总线控制寄存器 1 (注 2)	SSCRH/ICCR1	00h
00B9h	SS 控制寄存器 L/IIC 总线控制寄存器 2 (注 2)	SSCRL/ICCR2	01111101b
00BAh	SS 模式寄存器 /IIC 总线模式寄存器 (注 2)	SSMR/ICMR	00011000b
00BBh	SS 允许寄存器 /IIC 中断允许寄存器 (注 2)	SSER/ICIER	00h
00BCh	SS 状态寄存器 /IIC 总线状态寄存器 (注 2)	SSSR/ICSR	00h/0000X000b
00BDh	SS 模式寄存器 2/ 从属地址寄存器 (注 2)	SSMR2/SAR	00h
00BEh	SS 发送数据寄存器 /IIC 总线发送数据寄存器 (注 2)	SSTD/ICDRT	FFh
00BFh	SS 接收数据寄存器 /IIC 总线接收数据寄存器 (注 2)	SSRD/ICDRR	FFh

注 1. 空白部分为保留区，不能存取。

注 2. 能通过 PMR 寄存器的 IICSEL 位来选择。

X: 不定。

表 5.4 SFR 一览表 (4) (注 1)

地址	寄存器	符号	复位后的值
00C0h	A/D 寄存器	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 控制寄存器 2	ADCON2	00h
00D5h			
00D6h	A/D 控制寄存器 0	ADCON0	00h
00D7h	A/D 控制寄存器 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	端口 P1 寄存器	P1	00h
00E2h			
00E3h	端口 P1 方向寄存器	PD1	00h
00E4h			
00E5h	端口 P3 寄存器	P3	00h
00E6h			
00E7h	端口 P3 方向寄存器	PD3	00h
00E8h	端口 P4 寄存器	P4	00h
00E9h			
00EAh	端口 P4 方向寄存器	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h	引脚选择寄存器 1	PINSR1	00h
00F6h	引脚选择寄存器 2	PINSR2	00h
00F7h	引脚选择寄存器 3	PINSR3	00h
00F8h	端口模式寄存器	PMR	00h
00F9h	外部输入允许寄存器	INTEN	00h
00FAh	INT 输入滤波器选择寄存器	INTF	00h
00FBh	键输入允许寄存器	KIEN	00h
00FCh	上拉控制寄存器 0	PUR0	00h
00FDh	上拉控制寄存器 1	PUR1	00h
00FEh	端口 P1 驱动能力控制寄存器 (注 2)	P1DRR	00h
00FFh			

注 1. 空白部分为保留区，不能存取。

注 2. 在 J、K 版时为保留区，不能存取。

X: 不定。

表 5.5 SFR 一览表 (5) (注 1)

地址	寄存器	符号	复位后的值
0100h	定时器 RA 控制寄存器	TRACR	00h
0101h	定时器 RA I/O 控制寄存器	TRAIOC	00h
0102h	定时器 RA 模式寄存器	TRAMR	00h
0103h	定时器 RA 预分频器寄存器	TRAPRE	FFh
0104h	定时器 RA 寄存器	TRA	FFh
0105h			
0106h	LIN 控制寄存器	LINCR	00h
0107h	LIN 状态寄存器	LINST	00h
0108h	定时器 RB 控制寄存器	TRBCR	00h
0109h	定时器 RB 单触发控制寄存器	TRBOCR	00h
010Ah	定时器 RB I/O 控制寄存器	TRBIOC	00h
010Bh	定时器 RB 模式寄存器	TRBMR	00h
010Ch	定时器 RB 预分频器寄存器	TRBPRE	FFh
010Dh	定时器 RB 从寄存器	TRBSC	FFh
010Eh	定时器 RB 主寄存器	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	定时器 RE 秒数据寄存器 / 计数器数据寄存器	TRESEC	00h
0119h	定时器 RE 分数数据寄存器 / 比较数据寄存器	TREMIN	00h
011Ah	定时器 RE 时数据寄存器 (注 2)	TREHR	00h
011Bh	定时器 RE 星期数据寄存器 (注 2)	TREWK	00h
011Ch	定时器 RE 控制寄存器 1	TRECR1	00h
011Dh	定时器 RE 控制寄存器 2	TRECR2	00h
011Eh	定时器 RE 计数源选择寄存器	TRECSR	00001000b
011Fh			
0120h	定时器 RC 模式寄存器	TRCMR	01001000b
0121h	定时器 RC 控制寄存器 1	TRCCR1	00h
0122h	定时器 RC 中断允许寄存器	TRCIEP	01110000b
0123h	定时器 RC 状态寄存器	TRCSR	01110000b
0124h	定时器 RC I/O 控制寄存器 0	TRCIOR0	10001000b
0125h	定时器 RC I/O 控制寄存器 1	TRCIOR1	10001000b
0126h	定时器 RC 计数器	TRC	00h
0127h			00h
0128h	定时器 RC 通用寄存器 A	TRCGRA	FFh
0129h			FFh
012Ah	定时器 RC 通用寄存器 B	TRCGRB	FFh
012Bh			FFh
012Ch	定时器 RC 通用寄存器 C	TRCGRC	FFh
012Dh			FFh
012Eh	定时器 RC 通用寄存器 D	TRCGRD	FFh
012Fh			FFh
0130h	定时器 RC 控制寄存器 2	TRCCR2	00011111b
0131h	定时器 RC 数字滤波器功能选择寄存器	TRCDF	00h
0132h	定时器 RC 输出主允许寄存器	TRCOER	01111111b
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			

注 1. 空白部分为保留区，不能存取。

注 2. 在 J、K 版时为保留区。不能存取

表 5.6 SFR 一览表 (6) (注 1)

地址	寄存器	符号	复位后的值
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注 1. 空白部分为保留区，不能存取。

表 5.7 SFR 一览表 (7) (注 1)

地址	寄存器	符号	复位后的值
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	闪存控制寄存器 4	FMR4	01000000b
01B4h			
01B5h	闪存控制寄存器 1	FMR1	1000000Xb
01B6h			
01B7h	闪存控制寄存器 0	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
FFFFh	选项功能选择寄存器	OFS	(注 2)

注 1. 空白部分为保留区，不能存取。

注 2. 不能通过程序更改 OFS 寄存器，必须使用闪存编程器。

X: 不定。

6. 复位

复位有硬件复位、上电复位、电压监视 0 复位（只限于 N、D 版）、电压监视 1 复位、电压监视 2 复位、看门狗定时器复位和软件复位。

复位名称和复位源如表 6.1 所示。复位电路的框图（N、D 版）如图 6.1、复位电路的框图（J、K 版）如图 6.2 所示。

表 6.1 复位名称和复位源

复位名称	复位源
硬件复位	$\overline{\text{RESET}}$ 引脚的输入电压为“L”电平
上电复位	VCC 的上升
电压监视 0 复位（注 1）	VCC 的下降（监视电压：Vdet0）
电压监视 1 复位	VCC 的下降（监视电压：Vdet1）
电压监视 2 复位	VCC 的下降（监视电压：Vdet2）
看门狗定时器复位	看门狗定时器的下溢
软件复位	给 PM0 寄存器的 PM03 位写“1”

注 1. 只限于 N、D 版。

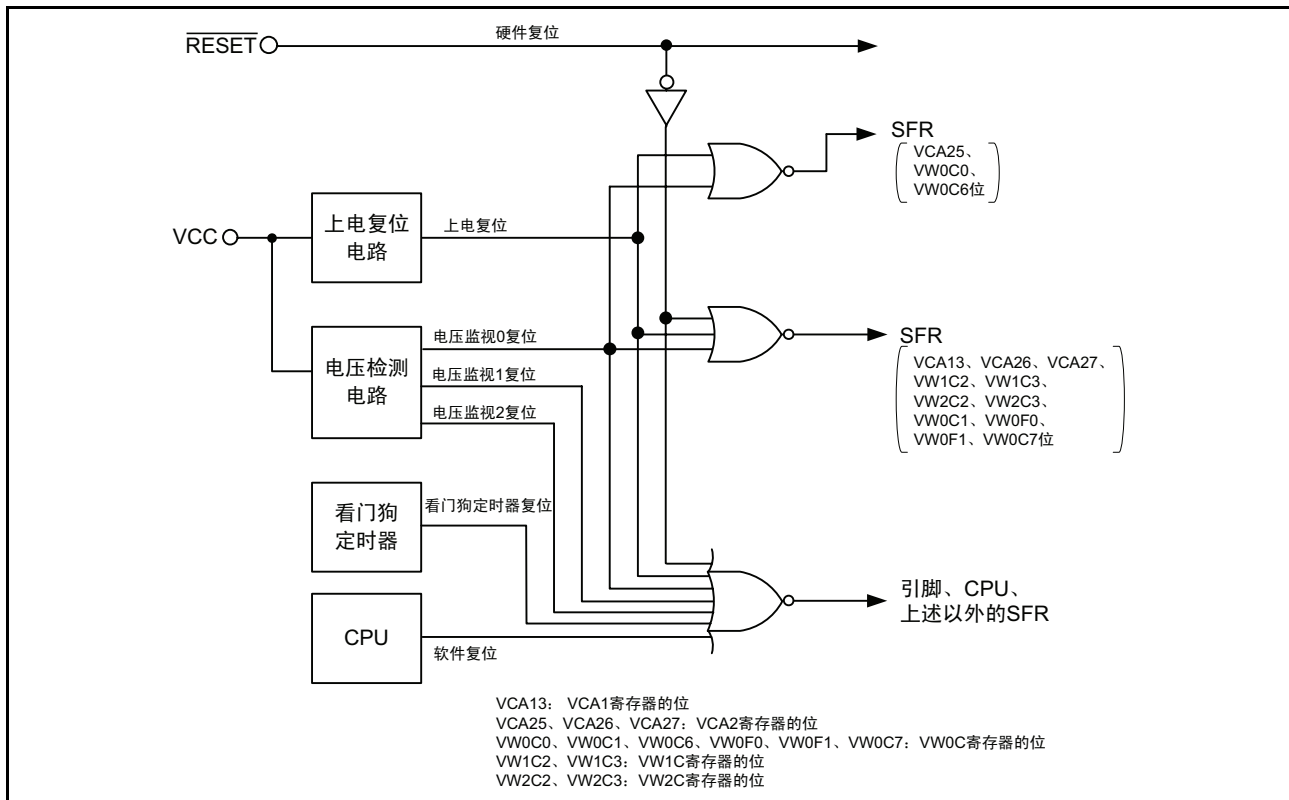


图 6.1 复位电路的框图（N、D 版）

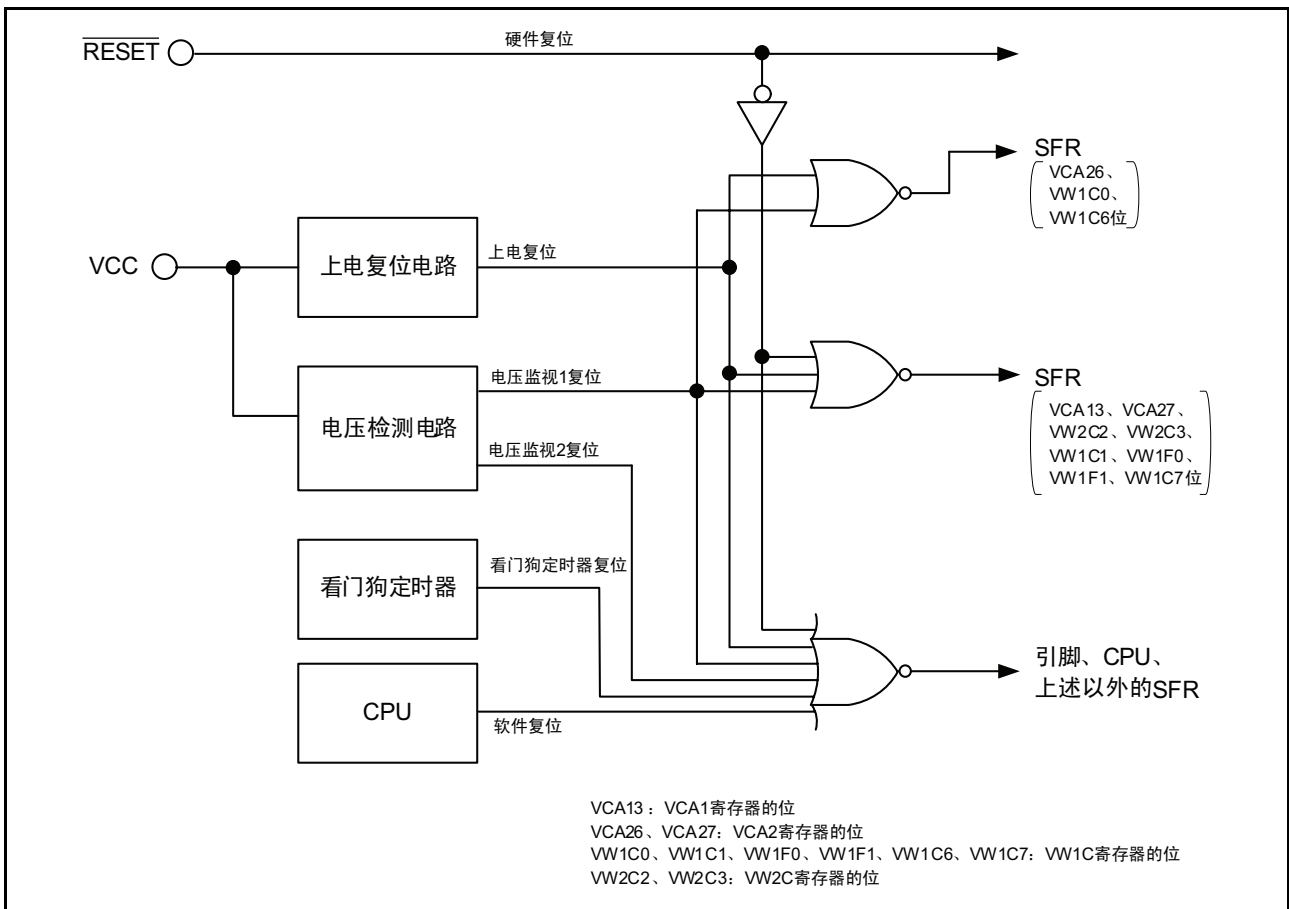


图 6.2 复位电路的框图 (J、K 版)

RESET 引脚的电平为“L”电平期间的引脚状态如表 6.2 所示、复位后的 CPU 寄存器状态如图 6.3 所示、复位顺序如图 6.4 所示、OFS 寄存器如图 6.5 所示。

表 6.2 RESET 引脚的电平为“L”电平期间的引脚状态

引脚名	引脚状态
P1	输入端口
P3_3 ~ P3_5、P3_7	输入端口
P4_2、P4_5 ~ P4_7	输入端口

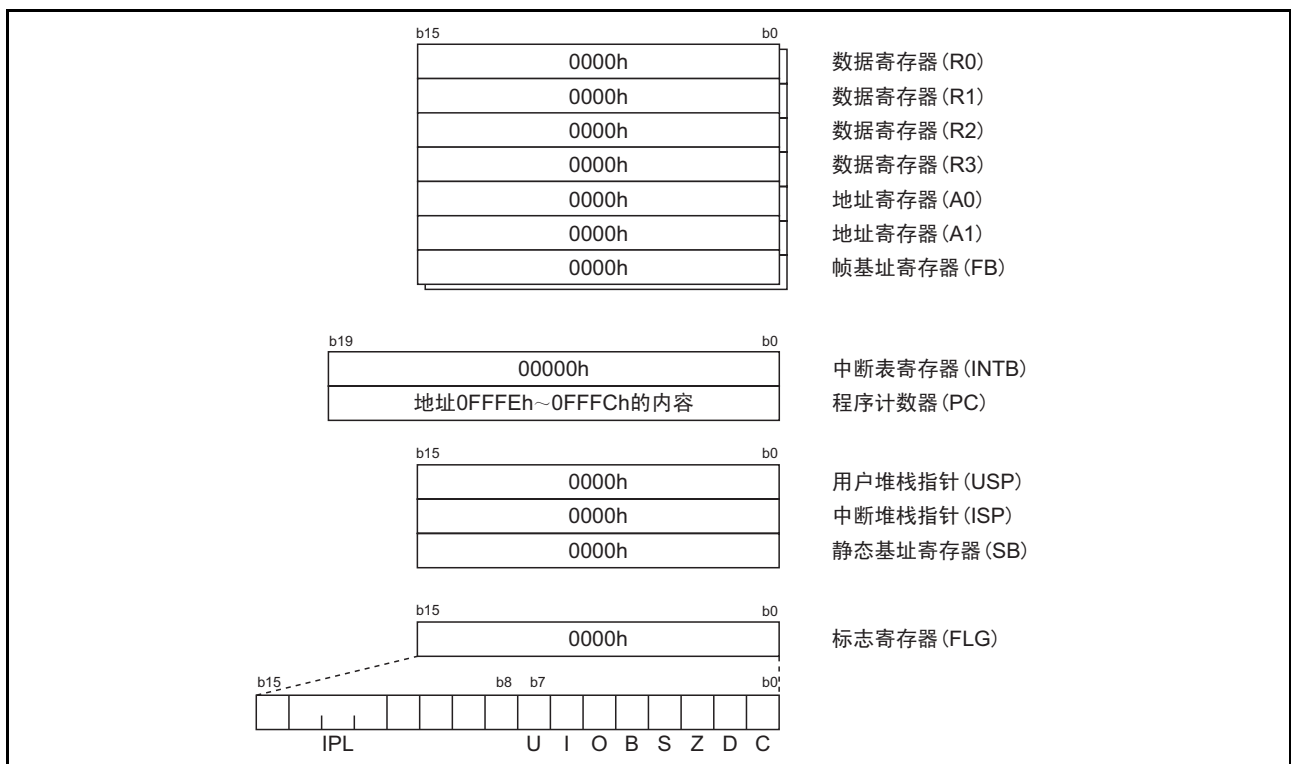


图 6.3 复位后的 CPU 寄存器状态

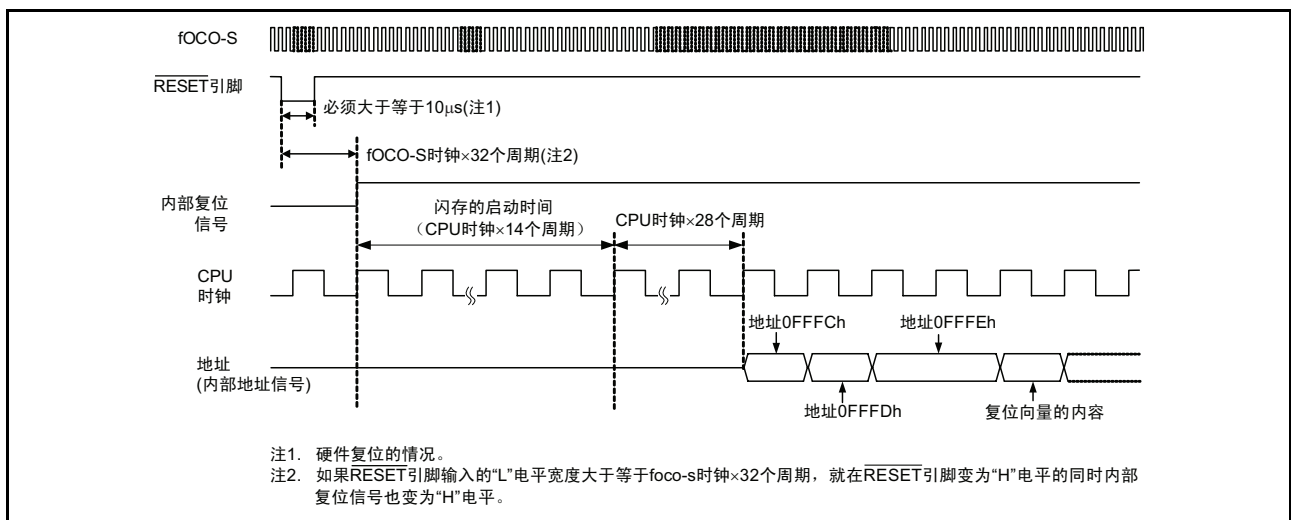


图 6.4 复位顺序

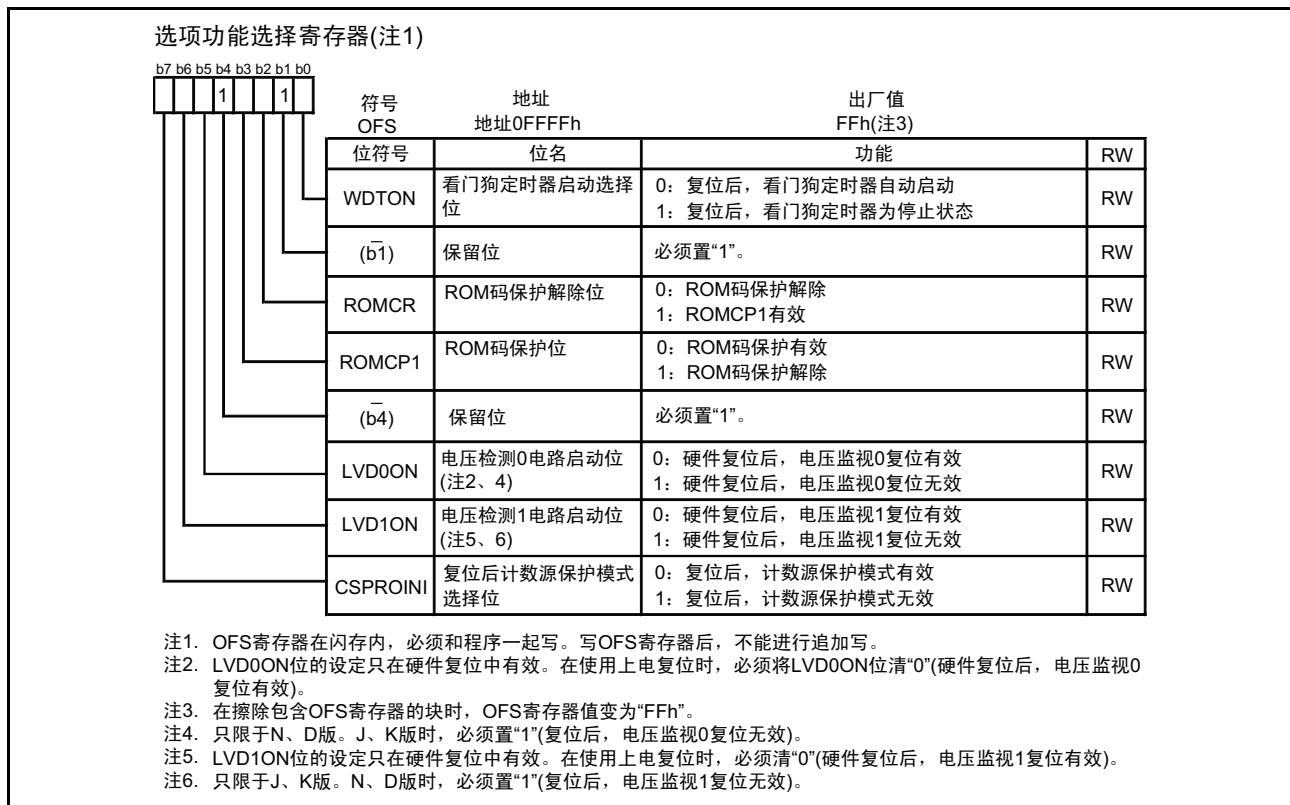


图 6.5 OFS 寄存器

6.1 硬件复位

硬件复位是由 $\overline{\text{RESET}}$ 引脚引起的复位。当电源电压满足推荐运行条件时, 如果将“L”电平输入到 $\overline{\text{RESET}}$ 引脚, 引脚、CPU 和 SFR 就被初始化 (请参照“表 6.2 $\overline{\text{RESET}}$ 引脚的电平为“L”电平期间的引脚状态”)。

如果将 $\overline{\text{RESET}}$ 引脚的输入电平从“L”电平变为“H”电平, 就从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

复位后的 SFR 状态请参照“5. SFR”。

不初始化内部 RAM。另外, 如果在写内部 RAM 中 $\overline{\text{RESET}}$ 引脚变为“L”电平, 内部 RAM 就不定。

硬件复位的电路例和运行如图 6.6 所示、硬件复位的电路例 (外接电源电压检测电路的使用例) 和运行如图 6.7 所示。

6.1.1 电源稳定的情况

- (1) 将“L”电平输入到 $\overline{\text{RESET}}$ 引脚
- (2) 至少等待 10 μ s
- (3) 将“H”电平输入到 $\overline{\text{RESET}}$ 引脚

6.1.2 接通电源的情况

- (1) 将“L”电平输入到 $\overline{\text{RESET}}$ 引脚
- (2) 使电源电压上升到满足推荐运行条件的电平为止
- (3) 等待 td(P-R) 直到内部电源稳定为止 (请参照“21. 电特性”)
- (4) 至少等待 10 μ s
- (5) 将“H”电平输入到 $\overline{\text{RESET}}$ 引脚

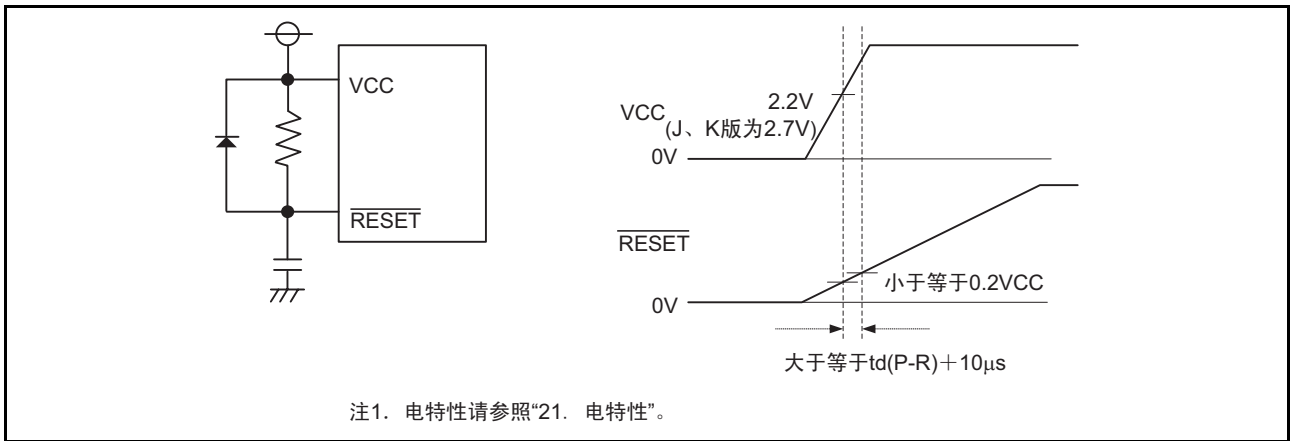


图 6.6 硬件复位的电路例和运行

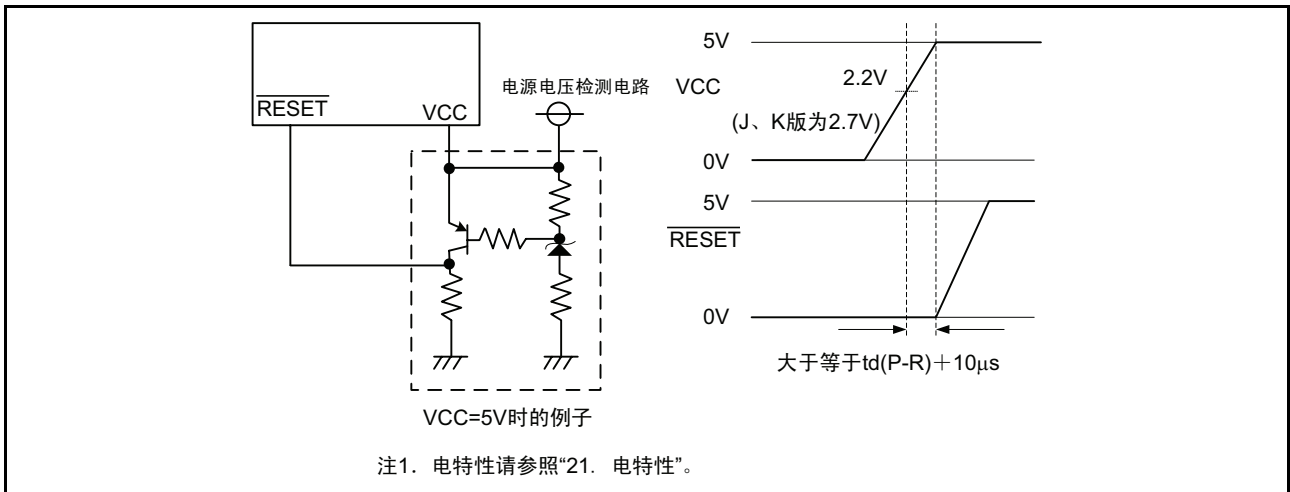


图 6.7 硬件复位的电路例（外接电源电压检测电路的使用例）和运行

6.2 上电复位功能

通过电阻将 $\overline{\text{RESET}}$ 引脚连接到 VCC，当 VCC 以大于等于 t_{rth} 的上升斜率上升时，上电复位功能有效，并且引脚、CPU 和 SFR 被初始化。必须注意：即使在 $\overline{\text{RESET}}$ 引脚连接电容时， $\overline{\text{RESET}}$ 引脚的电压也不低于 $0.8V_{\text{CC}}$ 。

当输入到 VCC 引脚的电压达到 V_{det0} 以上（J、K 版为 V_{det1} ）时，就开始低速内部振荡器时钟的计数。当进行了 32 次低速内部振荡器时钟的计数时，内部复位信号就变为“H”电平，进入复位顺序（请参照“图 6.4 复位顺序”）。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

上电复位后的 SFR 状态请参照“5. SFR”。

上电复位后，电压监视 0 复位有效。

上电复位的电路例和运行如图 6.8、图 6.9 所示。

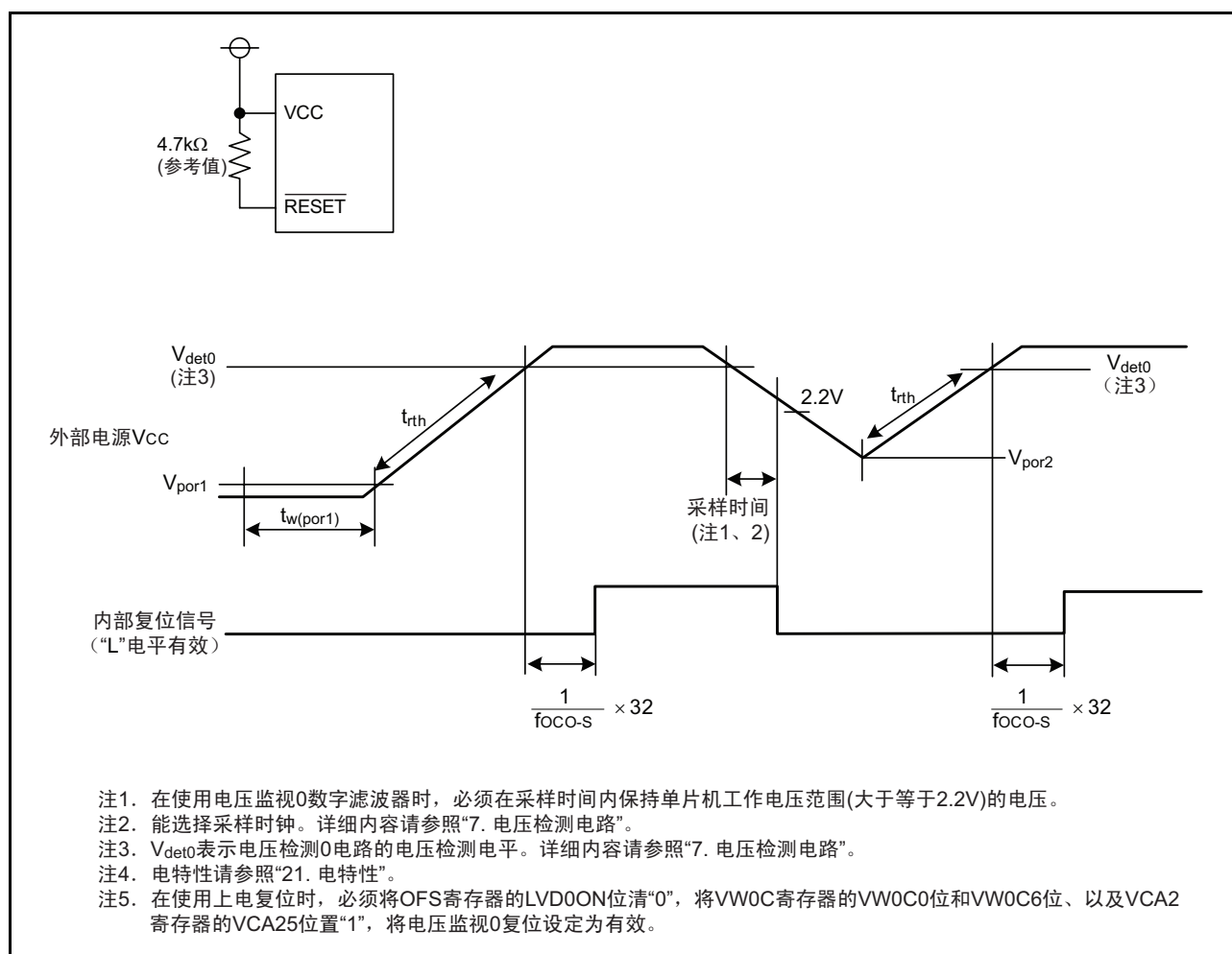


图 6.8 上电复位的电路例和运行（N、D 版）

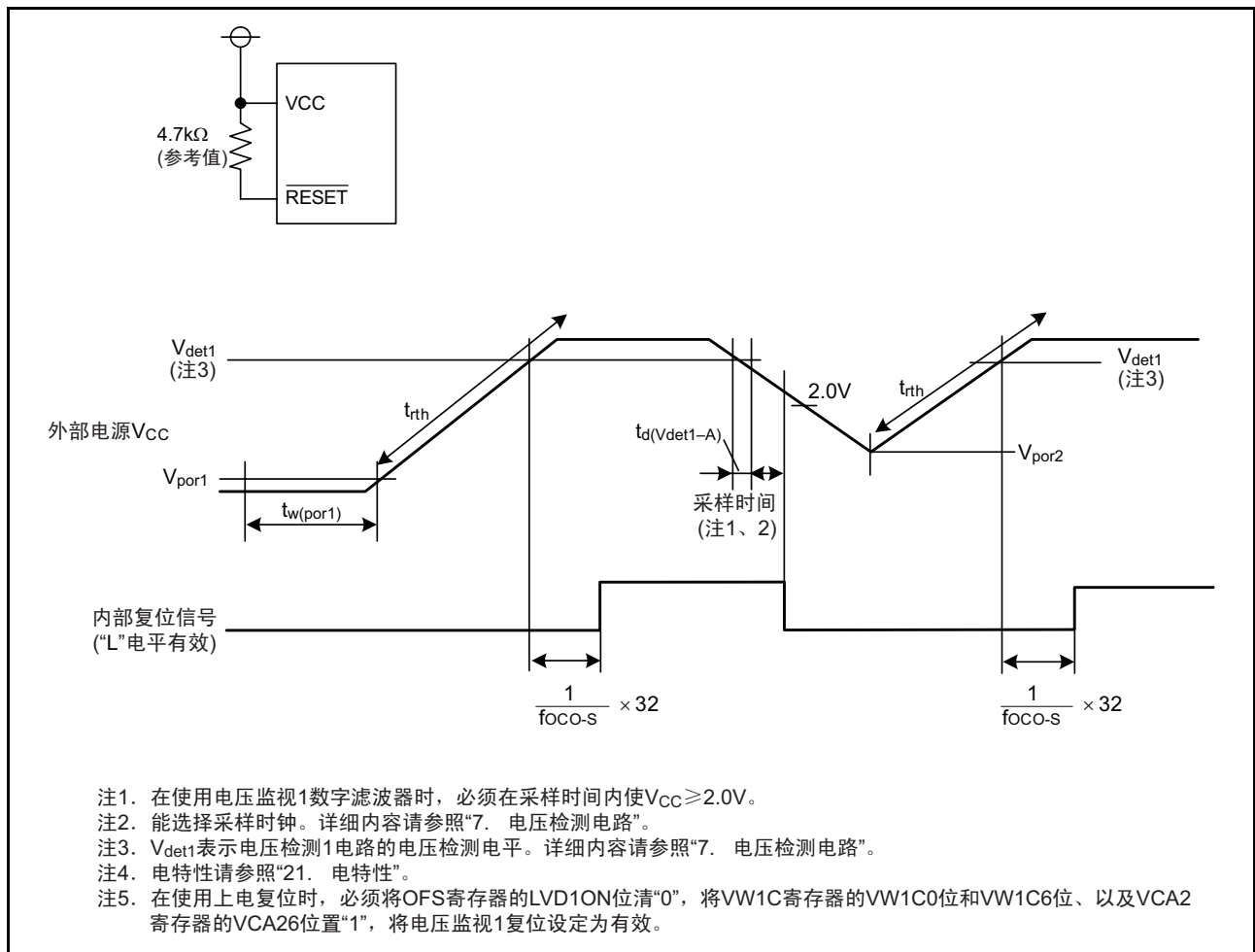


图 6.9 上电复位的电路例和运行（J、K 版）

6.3 电压监视 0 复位 (N、D 版)

电压监视 0 复位是由内置在单片机内的电压检测 0 电路引起的复位。电压检测 0 电路监视 VCC 引脚的输入电压，监视电压为 Vdet0。

当输入到 VCC 引脚的电压下降到 Vdet0 以下时，引脚、CPU 和 SFR 就被初始化。

其次，当输入到 VCC 引脚的电压达到 Vdet0 以上时，就开始低速内部振荡器时钟的计数。当进行了 32 次低速内部振荡器时钟的计数时，内部复位信号就变为“H”电平，进入复位顺序（请参照“图 6.4 复位顺序”）。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

可以通过 OFS 寄存器的 LVD00N 位，选择硬件复位后的电压监视 0 复位是否有效。LVD00N 位的设定只在硬件复位中有效。

使用上电复位时，必须将 OFS 寄存器的 LVD00N 位清“0”，将 VW0C 寄存器的 VW0C0 位和 VW0C6 位、以及 VCA2 寄存器的 VCA25 位置“1”，将电压监视 0 复位设定为有效。

LVD00N 位不能通过程序来改变。在设定 LVD00N 位时，必须用闪存编程器给 0FFFF 地址的 b5 写“0”（硬件复位后，监视电压 0 复位有效）或“1”（硬件复位后，监视电压 0 复位无效）。OFS 寄存器的详细内容请参照（图 6.5 OFS 寄存器）。

电压监视 0 复位后的 SFR 的状态请参照“5. SFR”

不初始化内部 RAM。另外，如果在写内部 RAM 中 VCC 引脚的输入电压下降到 Vdet0 以下，内部 RAM 就不定。

电压监视 0 复位的详细内容请参照“7. 电压检测电路”。

6.4 电压监视 1 复位 (N、D 版)

电压监视 1 复位是由内置在单片机内的电压检测 1 电路引起的复位。电压检测 1 电路监视 VCC 引脚的输入电压，监视电压为 Vdet1。

当输入到 VCC 引脚的电压下降到 Vdet1 以下时，引脚、CPU 和 SFR 就被初始化，从复位向量指示的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

电压监视 1 复位不初始化部分 SFR。详细内容请参照“5. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 中 VCC 引脚的输入电压下降到 Vdet1 以下，内部 RAM 就不定。

电压监视 1 复位的详细内容请参照“7. 电压检测电路”。

6.5 电压监视 1 复位 (J、K 版)

电压监视 1 复位是由内置在单片机内的电压检测 1 电路引起的复位。电压检测 1 电路监视输入到 VCC 引脚的电压，监视电压为 Vdet1。

当输入到 VCC 引脚的电压降到 Vdet1 以下时，引脚、CPU 和 SFR 就被初始化。

其次，当输入到 VCC 引脚的电压达到 Vdet1 以上时，就开始低速内部振荡器时钟的计数。当进行 32 次低速内部振荡器时钟的计数时，内部复位信号就变为“H”电平，进入复位顺序（请参照“图 6.4 复位顺序”）。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

可以通过 OFS 寄存器的 LVD1ON 位，选择硬件复位后的电压监视 1 复位是否有效。LVD1ON 位的设定只在硬件复位中有效。

在使用上电复位时，必须将 OFS 寄存器的 LVD1ON 位清“0”，将 VW1C 寄存器的 VW1C0 位和 VW1C6 位以及 VCA2 寄存器的 VCA26 位置“1”，将电压监视 1 复位设定为有效。

LVD1ON 位不能通过程序来改变。在设定 LVD1ON 位时，必须用闪存编程器给地址 0FFFF 的 b6 写“0”（硬件复位后，电压监视 1 复位有效）或“1”（硬件复位后，电压监视 1 复位无效）。OFS 寄存器的详细内容请参照“图 6.5 OFS 寄存器”。

电压监视 1 复位后的 SFR 的状态请参照“5. SFR”

不初始化内部 RAM。另外，如果在写内部 RAM 中输入到 VCC 引脚的电压降到 Vdet1 以下，内部 RAM 就不定。

电压监视 1 复位的详细内容请参照“7. 电压检测电路”。

6.6 电压监视 2 复位

电压监视 2 复位是由内置在单片机内的电压检测 2 电路引起的复位。电压检测 2 电路监视 VCC 引脚的输入电压，监视电压为 Vdet2。

当输入到 VCC 引脚的电压下降到 Vdet2 以下时，引脚、CPU 和 SFR 就被初始化，从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

电压监视 2 复位不初始化部分 SFR，详细内容请参照“5. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 中 VCC 引脚的输入电压下降到 Vdet2 以上，内部 RAM 就不定。

电压监视 2 复位的详细内容请参照“7. 电压检测电路”。

6.7 看门狗定时器复位

在 PM1 寄存器的 PM12 位置“1”（在看门狗定时器下溢时复位）时，如果看门狗定时器下溢，单片机就初始化引脚、CPU 和 SFR。然后，从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

看门狗定时器复位不初始化部分 SFR，详细内容请参照“5. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 中看门狗定时器下溢，内部 RAM 就不定。

看门狗定时器的详细内容请参照“14. 看门狗定时器”。

6.8 软件复位

如果将 PM0 寄存器的 PM03 位置“1”（单片机复位），单片机就初始化引脚、CPU 和 SFR。然后，从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

软件复位不初始化部分 SFR，详细内容请参照“5. SFR”。

不初始化内部 RAM。

7. 电压检测电路

电压检测电路是监视 VCC 引脚的输入电压的电路。能通过程序监视 VCC 输入电压。另外，能使用电压监视 0 复位（只限于 N、D 版）、电压监视 1 中断（只限于 N、D 版）、电压监视 1 复位、电压监视 2 中断以及电压监视 2 复位。

电压检测电路的规格如表 7.1、表 7.2 所示，框图如图 7.1 ~ 图 7.6 所示，另外，相关寄存器如图 7.7 ~ 图 7.12 所示。

表 7.1 电压检测电路的规格（N、D 版）

项目		电压检测 0	电压检测 1	电压检测 2
VCC 监视	监视电压	Vdet0	Vdet1	Vdet2
	检测对象	上升或者下降过程中是否通过 Vdet0	上升或者下降过程中是否通过 Vdet1	上升或者下降过程中是否通过 Vdet2
	监视	无	VW1C 寄存器的 VW1C3 位 比 Vdet1 高或低	VCA1 寄存器的 VCA13 位 比 Vdet2 高或低
电压检测时的处理	复位	电压监视 0 复位 当 Vdet0 > VCC 时复位， 当 VCC > Vdet0 时 CPU 重新开始运行	电压监视 1 复位 当 Vdet1 > VCC 时复位，在经 过一定时间后 CPU 重新开始运 行	电压监视 2 复位 当 Vdet2 > VCC 时复位，在经 过一定时间后 CPU 重新开始运 行
	中断	无	电压监视 1 中断 数字滤波器有效时： 在 Vdet1 > VCC 或者 VCC > Vdet1 时，都产生中断请求 数字滤波器无效时： 只在 Vdet1 > VCC 时或者只在 VCC > Vdet1 时，产生中断请求	电压监视 2 中断 数字滤波器有效时： 在 Vdet2 > VCC 或者 VCC > Vdet2 时，都产生中断请求 数字滤波器无效时： 只在 Vdet2 > VCC 时或者只在 VCC > Vdet2 时，产生中断请求
数字滤波器	有效 / 无效的转换	有	有	有
	采样时间	(fOCO-S 的 n 分频) × 4 n: 1、2、4、8	(fOCO-S 的 n 分频) × 4 n: 1、2、4、8	(fOCO-S 的 n 分频) × 4 n: 1、2、4、8

表 7.2 电压检测电路的规格 (J、K 版)

项目		电压检测 1	电压检测 2
VCC 监视	监视电压	Vdet1	Vdet2
	检测对象	上升或者下降过程中是否通过 Vdet1	上升或者下降过程中是否通过 Vdet2
	监视	无	VCA1 寄存器的 VCA13 位 比 Vdet2 高或低
电压检测时的处理	复位	电压监视 1 复位 当 Vdet1 > VCC 时复位, 当 VCC > Vdet1 时 CPU 重新开始运行	电压监视 2 复位 当 Vdet2 > VCC 时复位, 在经过一定 时间后 CPU 重新开始运行
	中断	无	电压监视 2 中断 数字滤波器有效时: 在 Vdet2 > VCC 或者 VCC > Vdet2 时, 都产生中断请求 数字滤波器无效时: 只在 Vdet2 > VCC 时或者只在 VCC > Vdet2 时, 产生中断请求
数字滤波器	有效 / 无效的转换	有	有
	采样时间	(fOCO-S 的 n 分频) × 4 n: 1、2、4、8	(fOCO-S 的 n 分频) × 4 n: 1、2、4、8

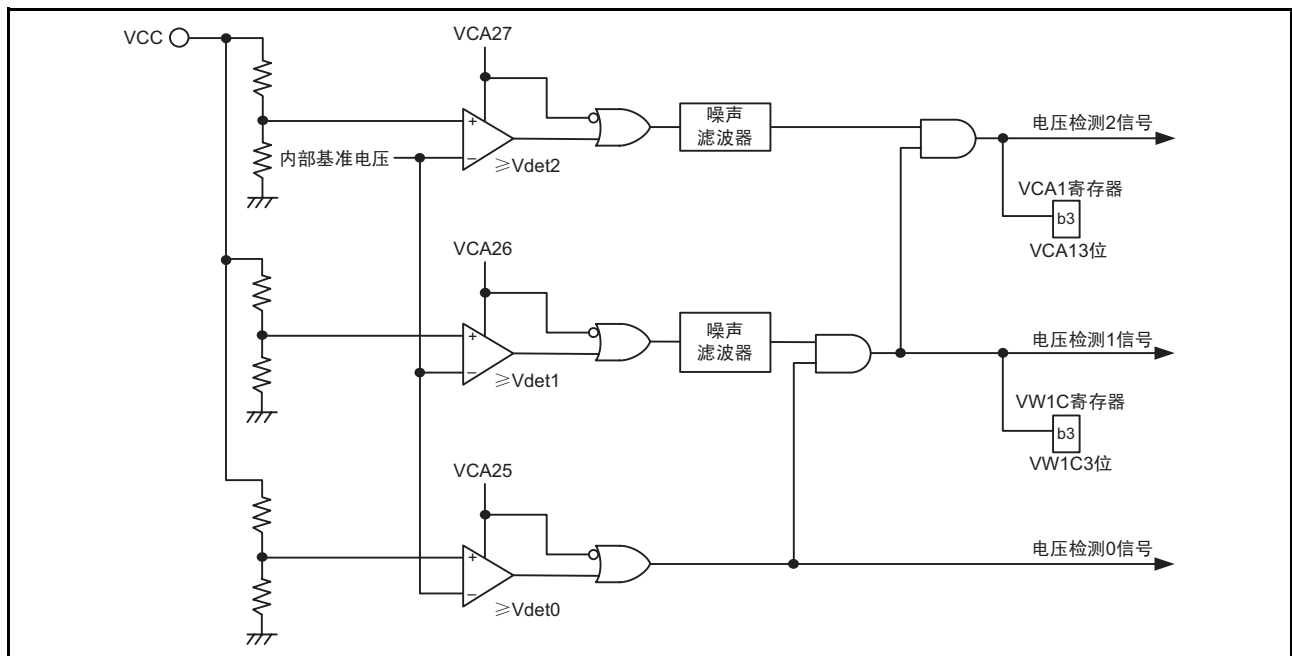


图 7.1 电压检测电路的框图 (N、D 版)

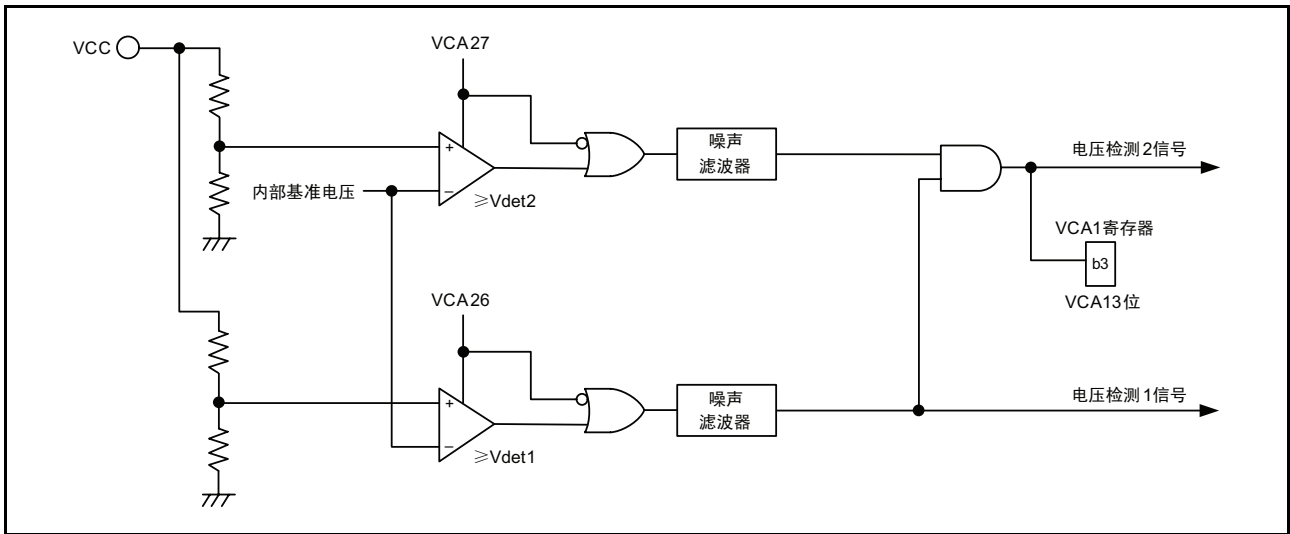


图 7.2 电压检测电路的框图 (J、K 版)

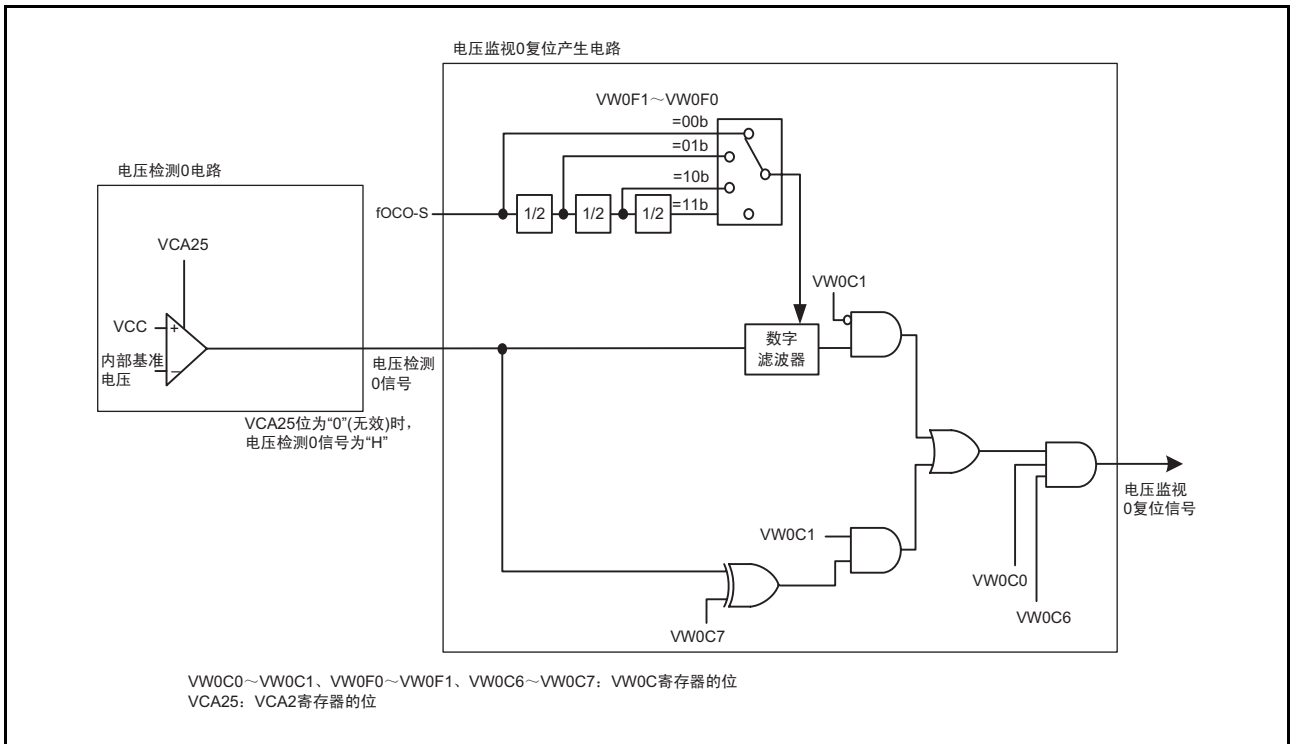


图 7.3 电压监视 0 复位产生电路的框图 (只限于 N、D 版)

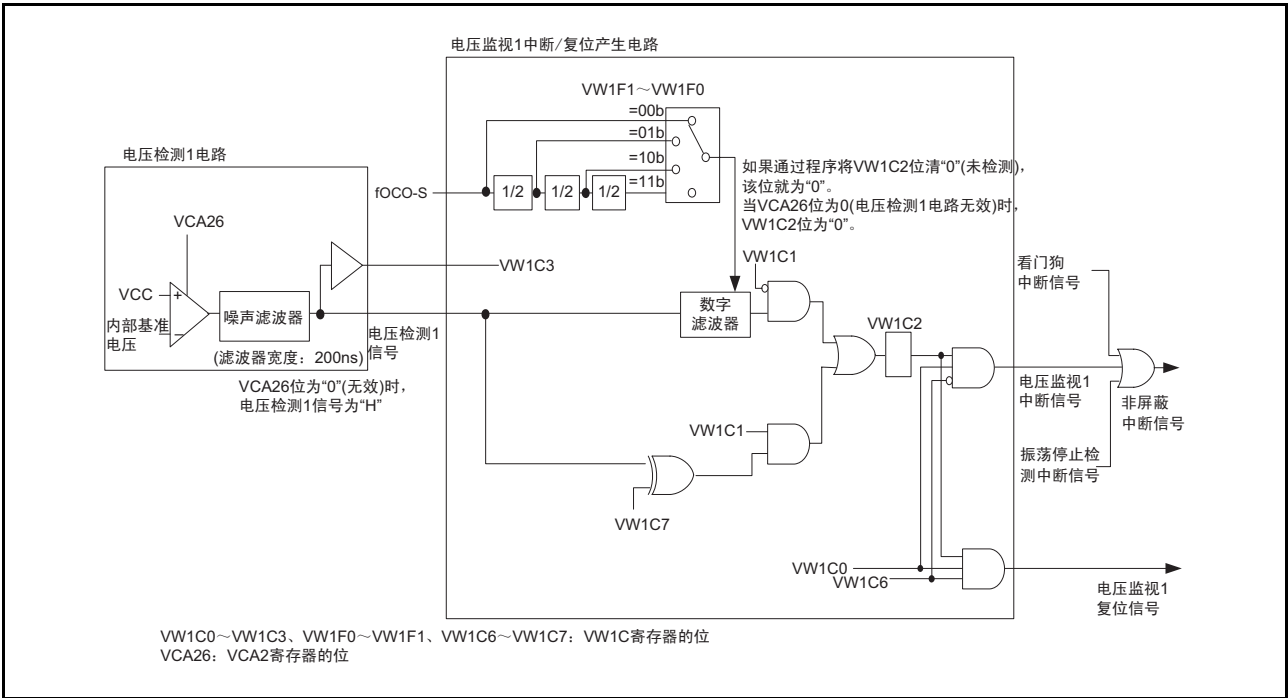


图 7.4 电压监视 1 中断 / 复位产生电路的框图 (N、D 版)

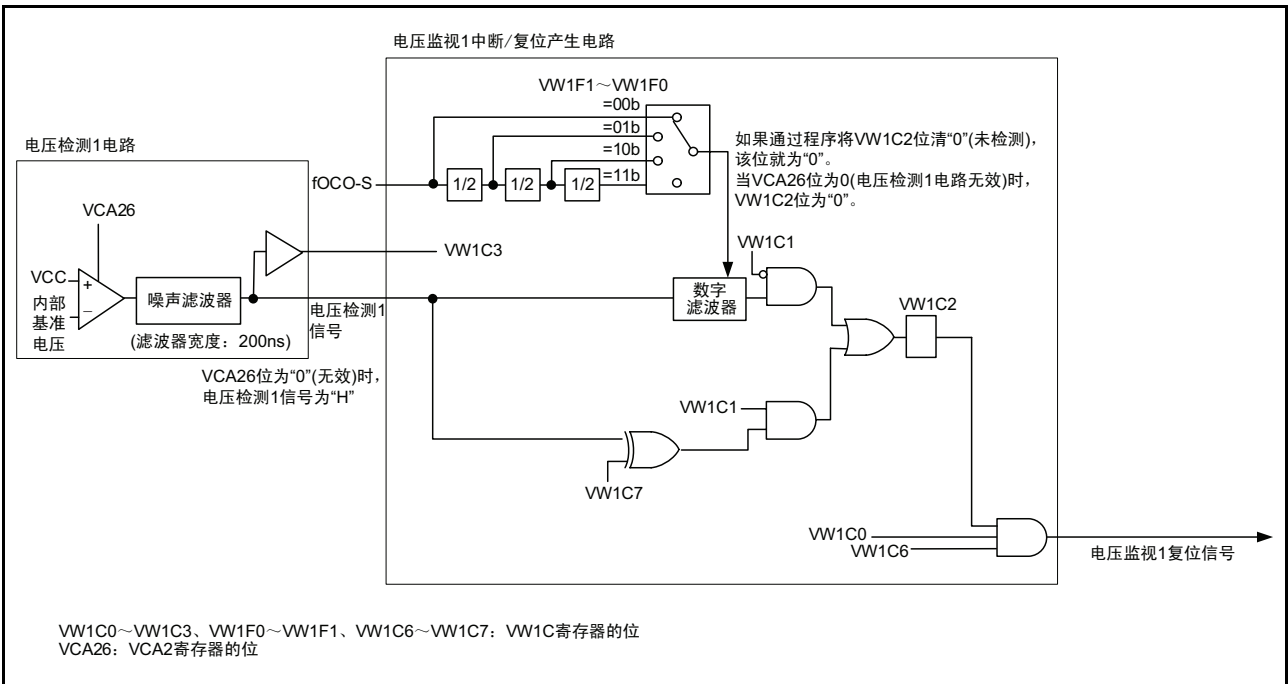


图 7.5 电压监视 1 中断 / 复位产生电路的框图 (J、K 版)

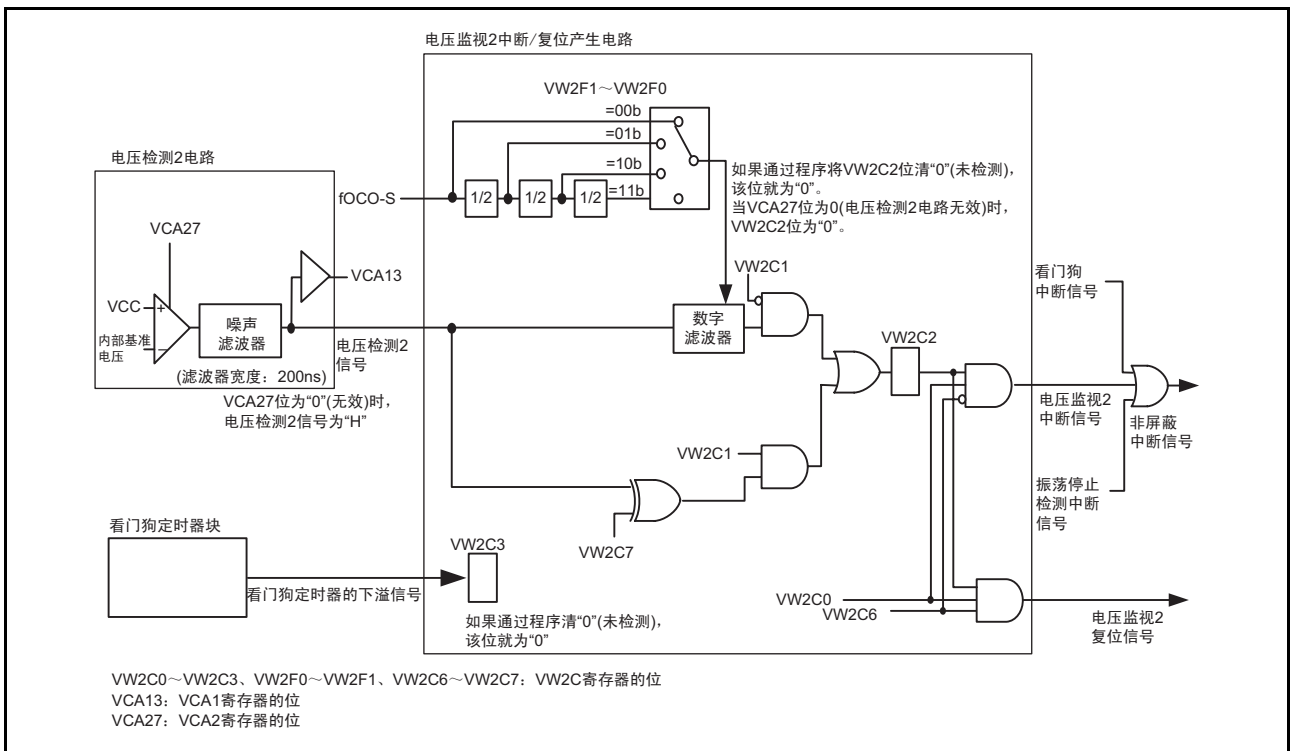


图 7.6 电压监视 2 中断 / 复位产生电路的框图

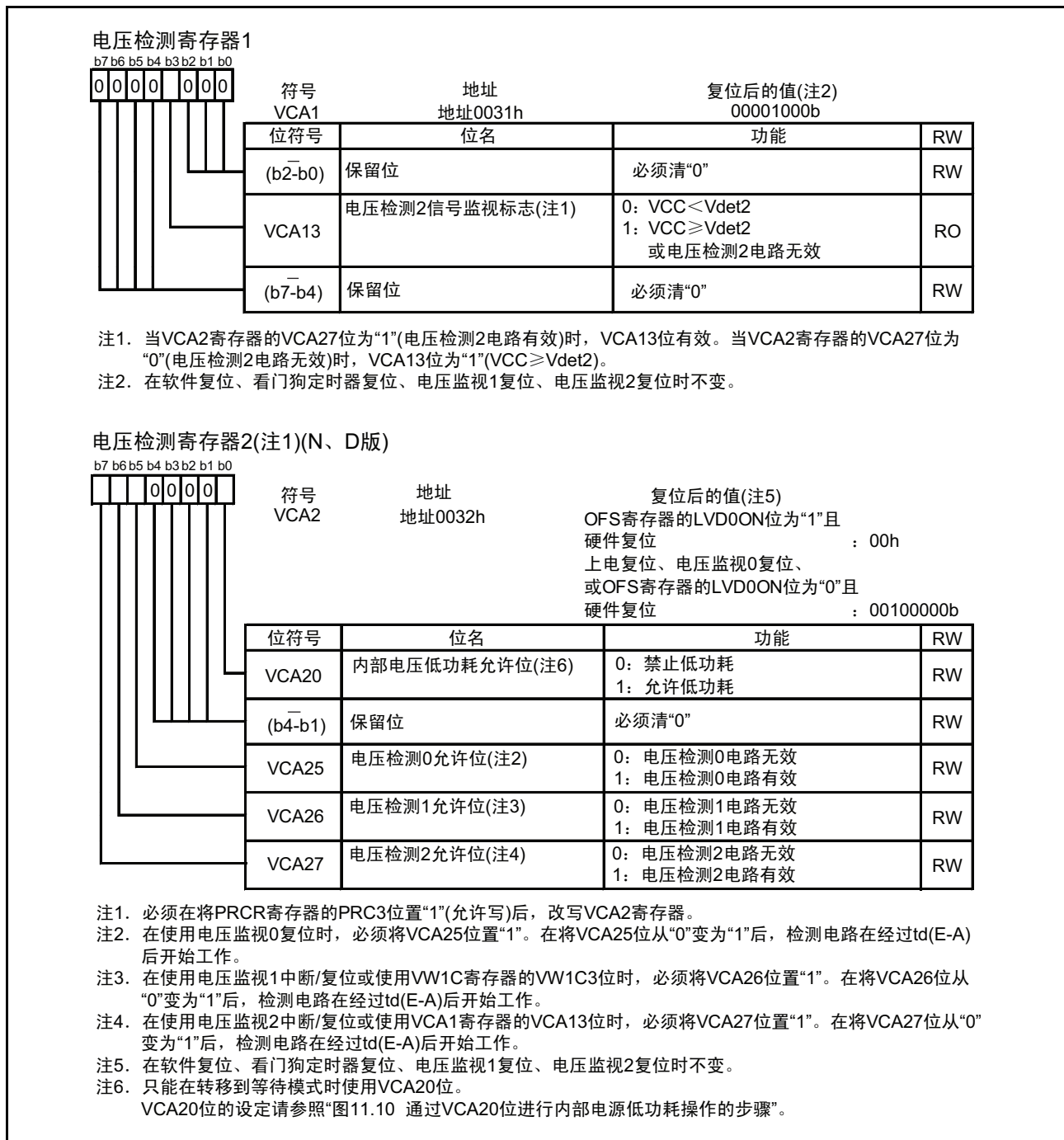


图 7.7 VCA1、VCA2 (N、D 版) 寄存器

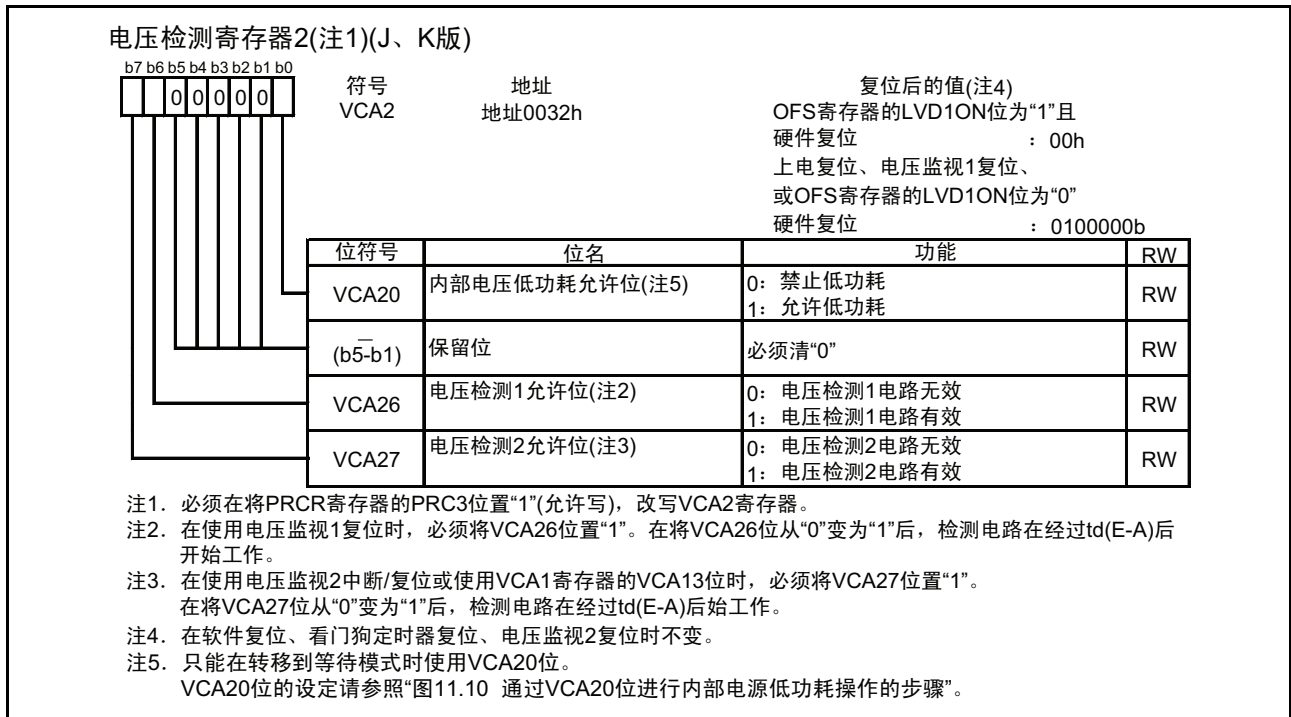


图 7.8 VCA2 寄存器 (J、K 版)

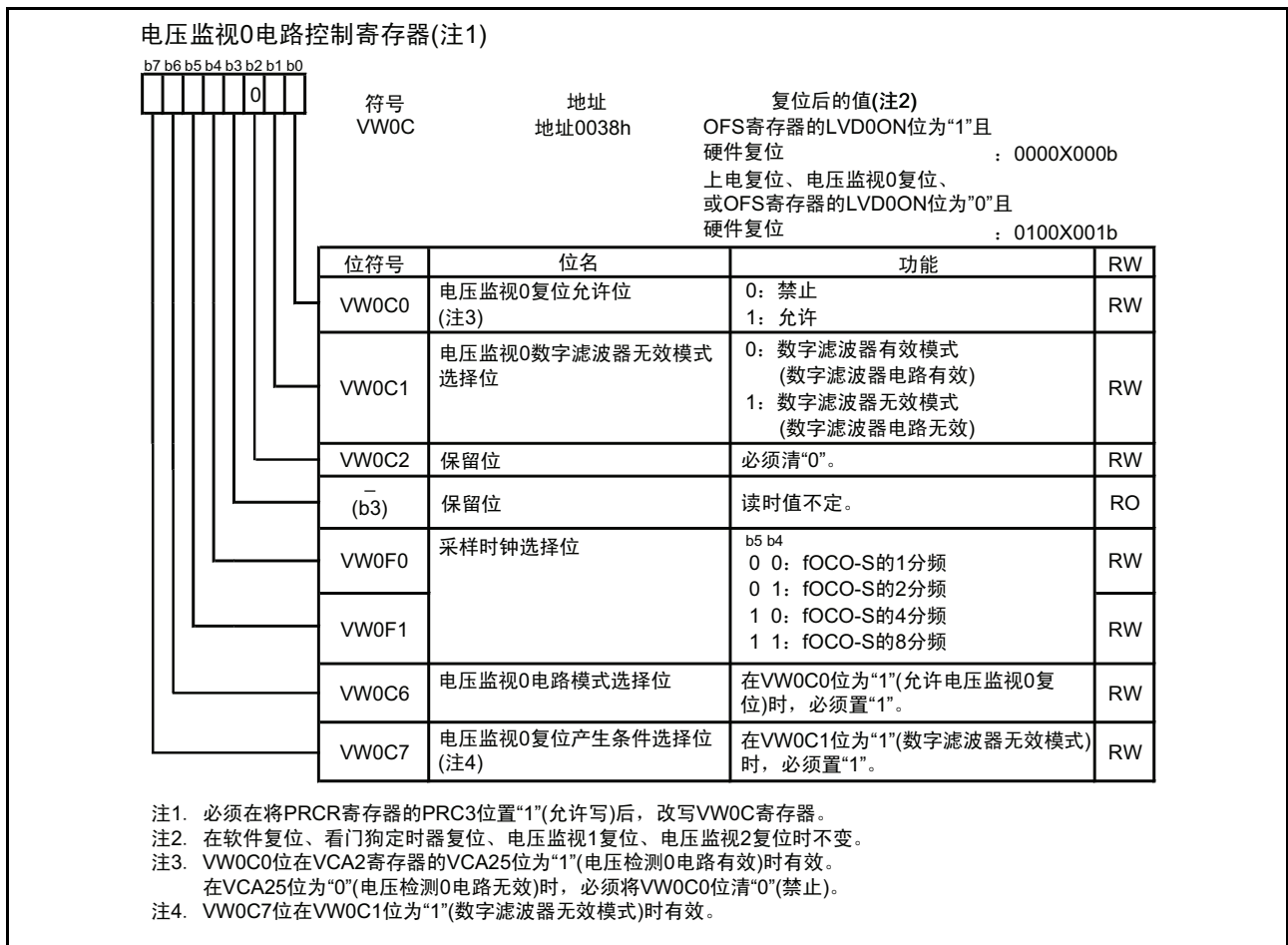


图 7.9 VW0C 寄存器 (只限于 N、D 版)

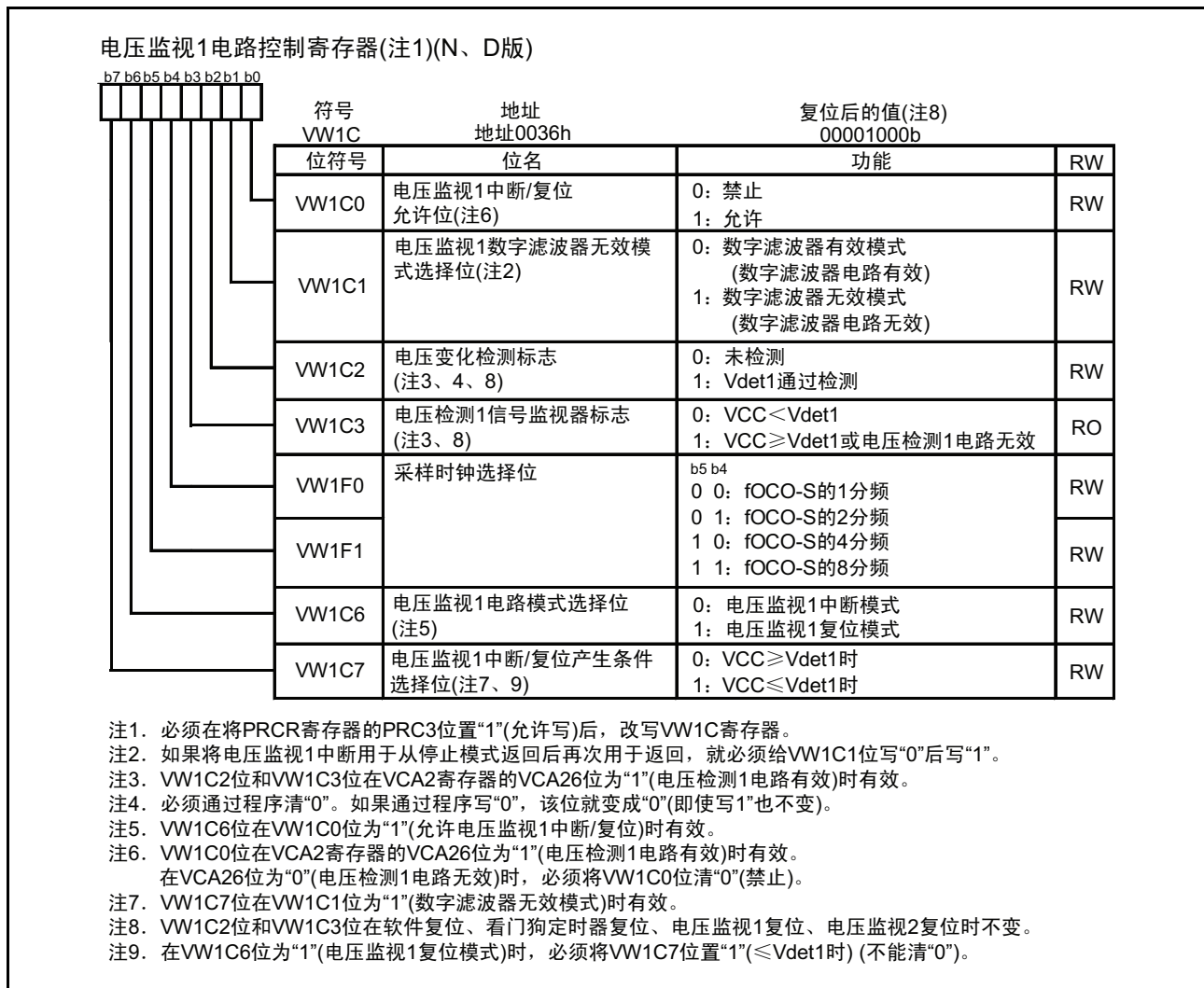


图 7.10 VW1C 寄存器 (N、D 版)

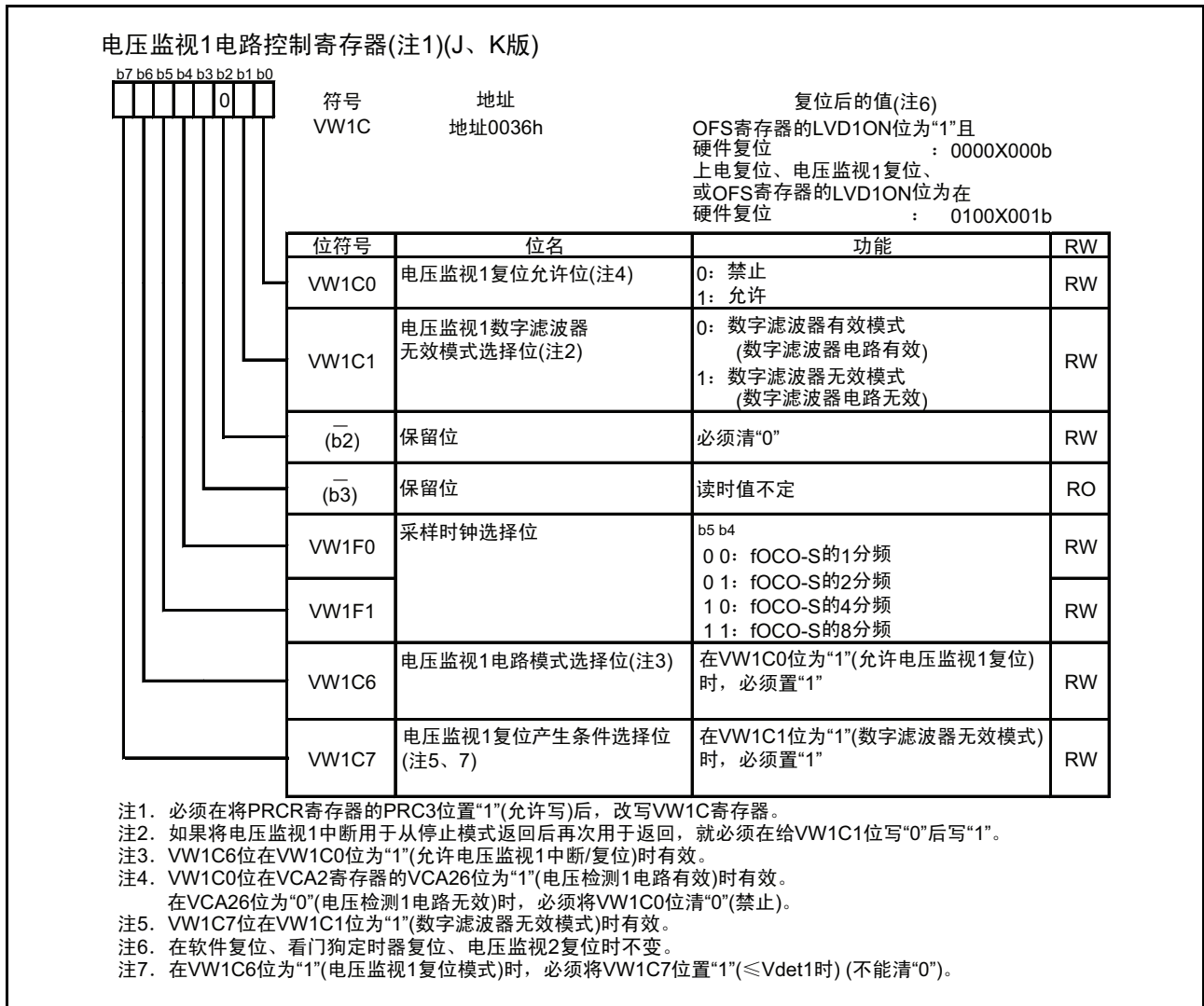


图 7.11 VW1C 寄存器 (J、K 版)

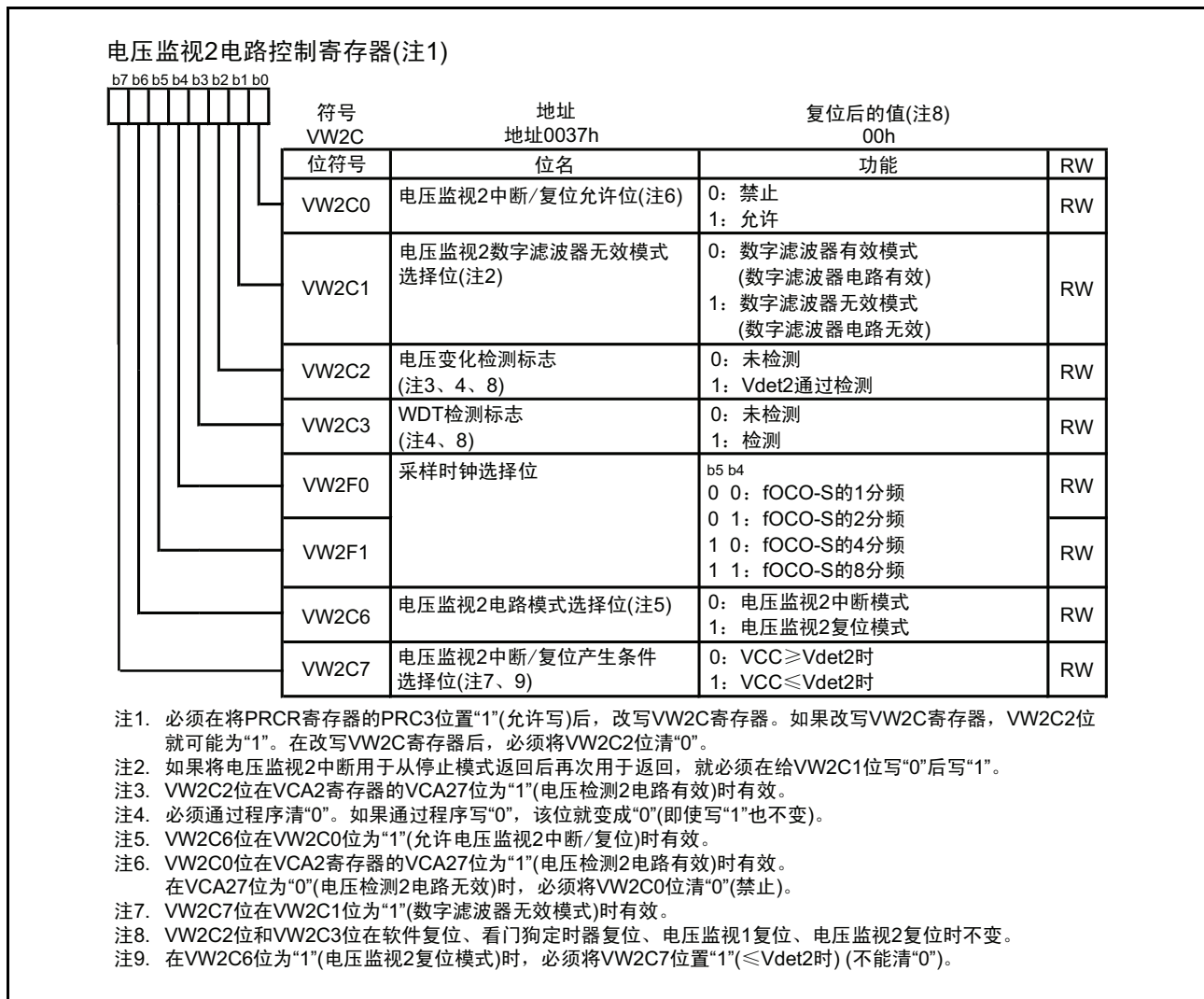


图 7.12 VW2C 寄存器

7.1 VCC 输入电压的监视

7.1.1 Vdet0 的监视

不能监视 Vdet0。

7.1.2 Vdet1 的监视

必须将 VCA2 寄存器的 VCA26 位置 “1” (电压检测 1 电路有效)。经过 td(E-A) (请参照 “21. 电特性”) 后, 能通过 VW1C 寄存器的 VW1C3 位监视 Vdet1。

7.1.3 Vdet2 的监视

必须将 VCA2 寄存器的 VCA27 位置 “1” (电压检测 2 电路有效)。经过 td(E-A) (请参照 “21. 电特性”) 后, 能通过 VCA1 寄存器的 VCA13 位监视 Vdet2。

7.2 电压监视 0 复位（只限于 N、D 版）

电压监视 0 复位相关位的设定步骤如表 7.3 所示，电压监视 0 复位的运行例如图 7.13 所示。

另外，在将电压监视 0 复位用于从停止模式的返回时，必须将 VW0C 寄存器的 VW0C1 位置“1”（数字滤波器无效）。

表 7.3 电压监视 0 复位相关位的设定步骤

步骤	使用数字滤波器的情况	不使用数字滤波器的情况
1	将 VCA2 寄存器的 VCA25 位置“1”（电压检测 0 电路有效）。	
2	等待 $t_d(E-A)$ 。	
3	通过 VW0C 寄存器的 VW0F0 ~ VW0F1 位选择数字滤波器的采样时钟。	将 VW0C 寄存器的 VW0C7 位置“1”。
4（注 1）	将 VW0C 寄存器的 VW0C1 位清“0”（数字滤波器有效）。	将 VW0C 寄存器的 VW0C1 位置“1”（数字滤波器无效）。
5（注 1）	将 VW0C 寄存器的 VW0C6 位置“1”（电压监视 0 复位模式）。	
6	将 VW0C 寄存器的 VW0C2 位清“0”。	
7	将 CM1 寄存器的 CM14 位清“0”（低速内部振荡器振荡）。	—
8	等待“数字滤波器的采样时钟 $\times 4$ 个周期”。	—（无等待时间）
9	将 VW0C 寄存器的 VW0C0 位置“1”（允许电压监视 0 复位）。	

注 1. 当 VW0C0 位为“0”时，可以同时执行（用 1 条指令）步骤 3、4、5。

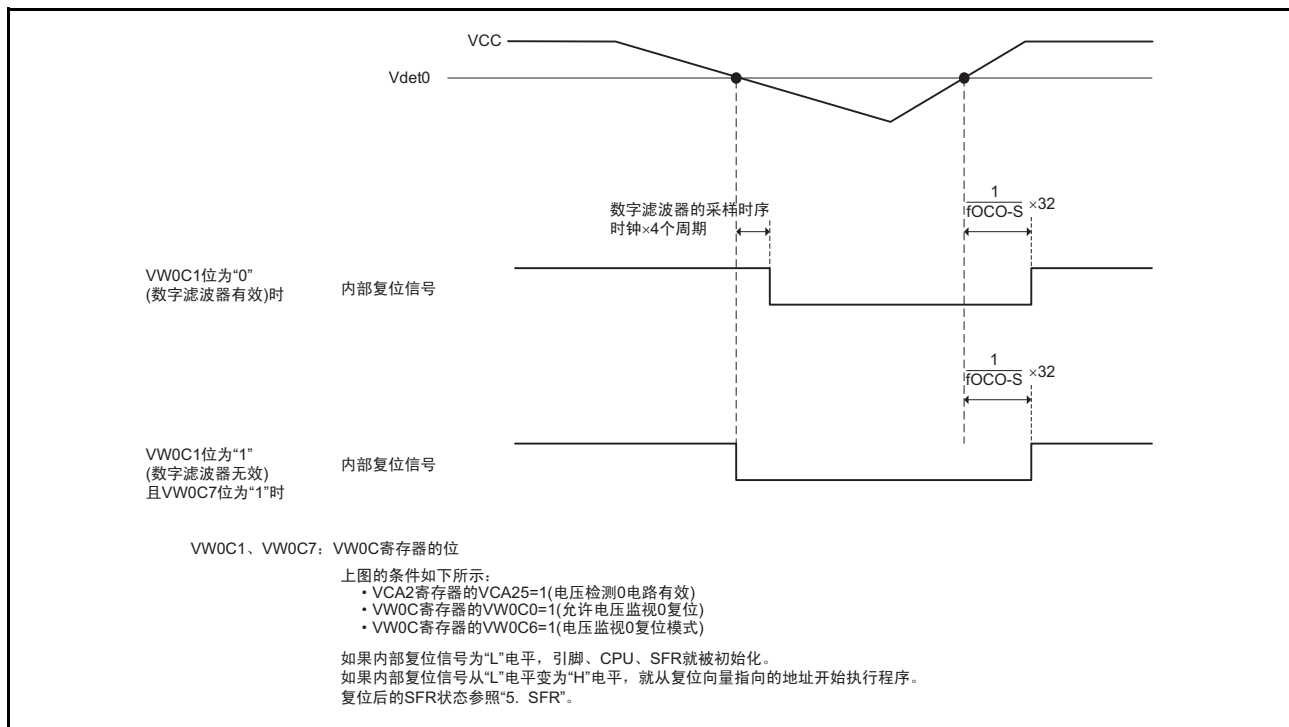


图 7.13 电压监视 0 复位的运行例

7.3 电压监视 1 中断和电压监视 1 复位（N、D 版）

电压监视 1 中断和电压监视 1 复位相关位的设定步骤如表 7.4 所示，电压监视 1 中断和电压监视 1 复位的运行例（N、D 版）如图 7.14 所示。

另外，在将电压监视 1 中断或者电压监视 1 复位用于从停止模式的返回时，必须将 VW1C 寄存器的 VW1C1 位置“1”（数字滤波器无效）。

表 7.4 电压监视 1 中断和电压监视 1 复位相关位的设定步骤

步骤	使用数字滤波器的情况		不使用数字滤波器的情况	
	电压监视 1 中断	电压监视 1 复位	电压监视 1 中断	电压监视 1 复位
1	将 VCA2 寄存器的 VCA26 位置“1”（电压检测 1 电路有效）。			
2	等待 td(E-A)。			
3	通过 VW1C 寄存器的 VW1F0 ~ VW1F1 位选择数字滤波器的采样时钟。		通过 VW1C 寄存器的 VW1C7 位选择中断、复位请求的时序（注 1）。	
4（注 2）	将 VW1C 寄存器的 VW1C1 位清“0”（数字滤波器有效）。		将 VW1C 寄存器的 VW1C1 位置“1”（数字滤波器无效）。	
5（注 2）	将 VW1C 寄存器的 VW1C6 位清“0”（电压监视 1 中断模式）。	将 VW1C 寄存器的 VW1C6 位置“1”（电压监视 1 复位模式）。	将 VW1C 寄存器的 VW1C6 位清“0”（电压监视 1 中断模式）。	将 VW1C 寄存器的 VW1C6 位置“1”（电压监视 1 复位模式）。
6	将 VW1C 寄存器的 VW1C2 位清“0”（未检测到“通过 Vdet1”）。			
7	将 CM1 寄存器的 CM14 位清“0”（低速内部振荡器振荡）。		—	
8	等待“数字滤波器的采样时钟 ×4 个周期”。		—（无等待时间）	
9	将 VW1C 寄存器的 VW1C0 位置“1”（允许电压监视 1 中断 / 复位）。			

注 1. 在电压监视 1 复位时，必须将 VW1C7 位置“1”（在 $\leq Vdet1$ 时）。

注 2. 当 VW1C0 位为“0”时，可以同时（用 1 条指令）执行步骤 3、4、5。

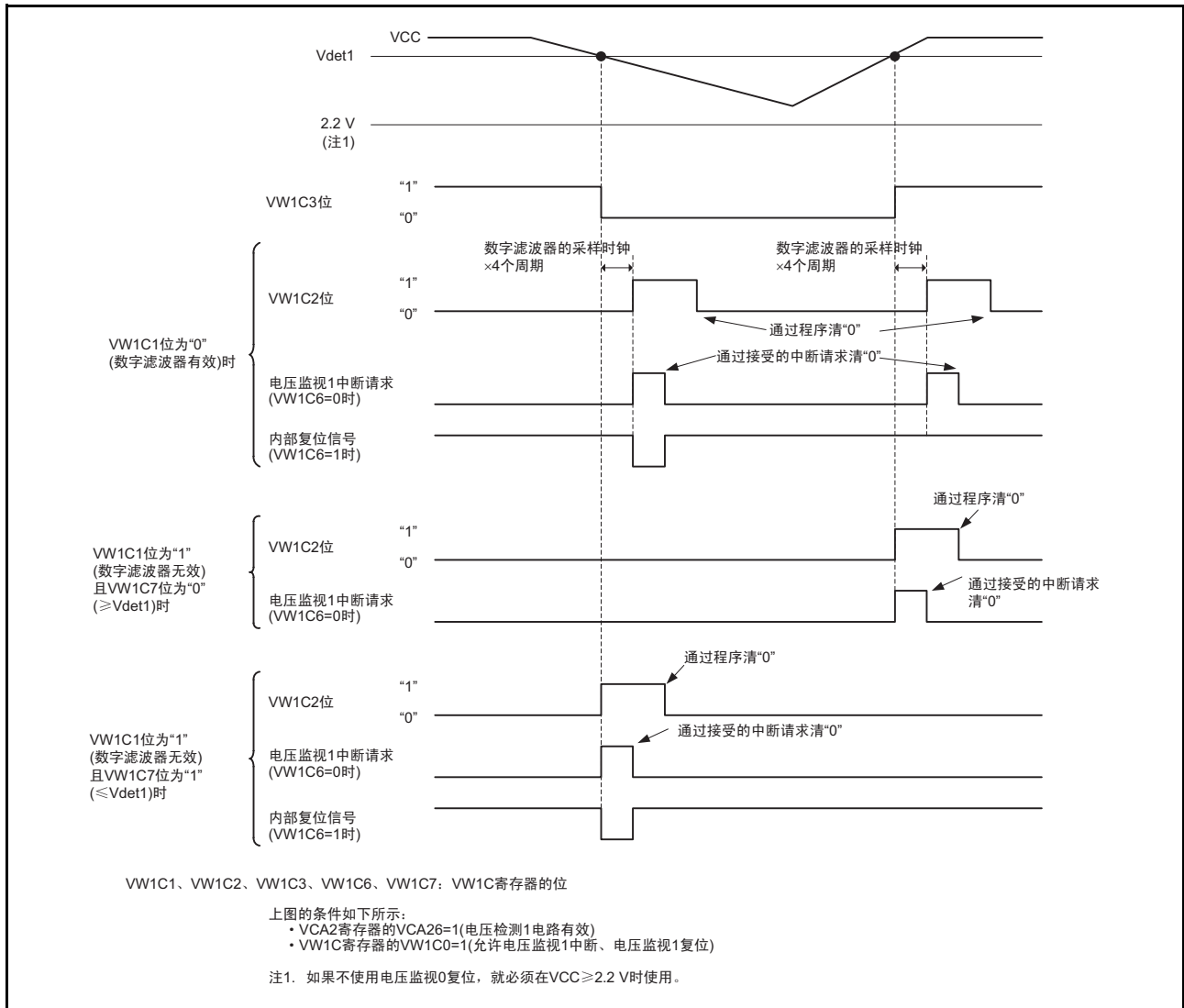


图 7.14 电压监视 1 中断和电压监视 1 复位的运行例 (N、D 版)

7.4 电压监视 1 复位 (J、K 版)

电压监视 1 复位相关位的设定步骤如表 7.5 所示, 电压监视 1 复位的运行例 (J、K 版) 如图 7.15 所示。

另外, 在将电压监视 1 复位用于从停止模式的返回时, 必须将 VW1C 寄存器的 VW1C1 位置 “1” (数字滤波器无效)。

表 7.5 电压监视 1 复位相关位的设定步骤

步骤	使用数字滤波器的情况	不使用数字滤波器的情况
1	将 VCA2 寄存器的 VCA26 位置 “1” (电压检测 1 电路有效)。	
2	等待 $t_d(E-A)$ 。	
3	通过 VW1C 寄存器的 VW1F0 ~ VW1F1 位选择数字滤波器的采样时钟。	将 VW1C 寄存器的 VW1C7 位置 “1”。
4 (注 1)	将 VW1C 寄存器的 VW1C1 位清 “0” (数字滤波器有效)。	将 VW1C 寄存器的 VW1C1 位置 “1” (数字滤波器无效)。
5 (注 1)	将 VW1C 寄存器的 VW1C6 位置 “1” (电压监视 1 复位模式)	
6	将 VW1C 寄存器的 VW1C2 位清 “0”。	
7	将 CM1 寄存器的 CM14 位清 “0” (低速内部振荡器振荡)。	—
8	等待 “数字滤波器的采样时钟 $\times 4$ 个周期”。	— (无等待时间)
9	将 VW1C 寄存器的 VW1C0 位置 “1” (允许电压监视 1 复位)。	

注 1. 当 VW1C0 位为 “0” 时, 可以同时 (用 1 条指令) 执行步骤 3、4、5。

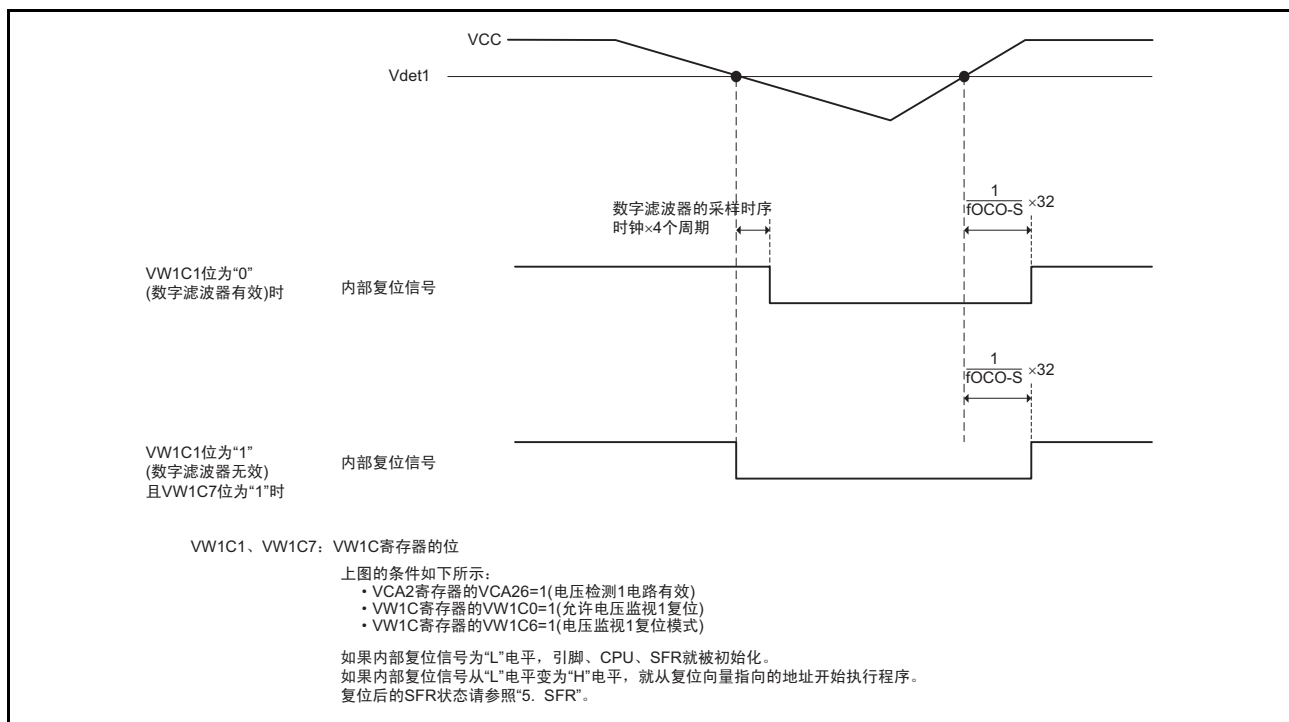


图 7.15 电压监视 1 复位的运行例 (J、K 版)

7.5 电压监视 2 中断和电压监视 2 复位

电压监视 2 中断和电压监视 2 复位相关位的设定步骤如表 7.6 所示，电压监视 2 中断和电压监视 2 复位的运行例如图 7.16 所示。

另外，在将电压监视 2 中断或者电压监视 2 复位用于从停止模式的返回时，必须将 VW2C 寄存器的 VW2C1 位置“1”（数字滤波器无效）。

表 7.6 电压监视 2 中断和电压监视 2 复位相关位的设定步骤

步骤	使用数字滤波器的情况		不使用数字滤波器的情况	
	电压监视 2 中断	电压监视 2 复位	电压监视 2 中断	电压监视 2 复位
1	将 VCA2 寄存器的 VCA27 位置“1”（电压检测 2 电路有效）。			
2	等待 td(E-A)。			
3	通过 VW2C 寄存器的 VW2F0 ~ VW2F1 位选择数字滤波器的采样时钟。		通过 VW2C 寄存器的 VW2C7 位选择中断和复位请求的时序（注 1）。	
4（注 2）	将 VW2C 寄存器的 VW2C1 位清“0”（数字滤波器有效）。	将 VW2C 寄存器的 VW2C1 位置“1”（数字滤波器无效）。		
5（注 2）	将 VW2C 寄存器的 VW2C6 位清“0”（电压监视 2 中断模式）。	将 VW2C 寄存器的 VW2C6 位置“1”（电压监视 2 复位模式）。	将 VW2C 寄存器的 VW2C6 位清“0”（电压监视 2 中断模式）。	将 VW2C 寄存器的 VW2C6 位置“1”（电压监视 2 复位模式）。
6	将 VW2C 寄存器的 VW2C2 位清“0”（未检测到“通过 Vdet2”）。			
7	将 CM1 寄存器的 CM14 位清“0”（低速内部振荡器振荡）。		—	
8	等待“数字滤波器的采样时钟 ×4 个周期”。		—（无等待时间）	
9	将 VW2C 寄存器的 VW2C0 位置“1”（允许电压监视 2 中断 / 复位）。			

注 1. 在电压监视 2 复位时，必须将 VW2C7 位置“1”（在 $\leq V_{det2}$ 时）。

注 2. 当 VW2C0 位为“0”时，可以同时（用 1 条指令）执行步骤 3、4、5。

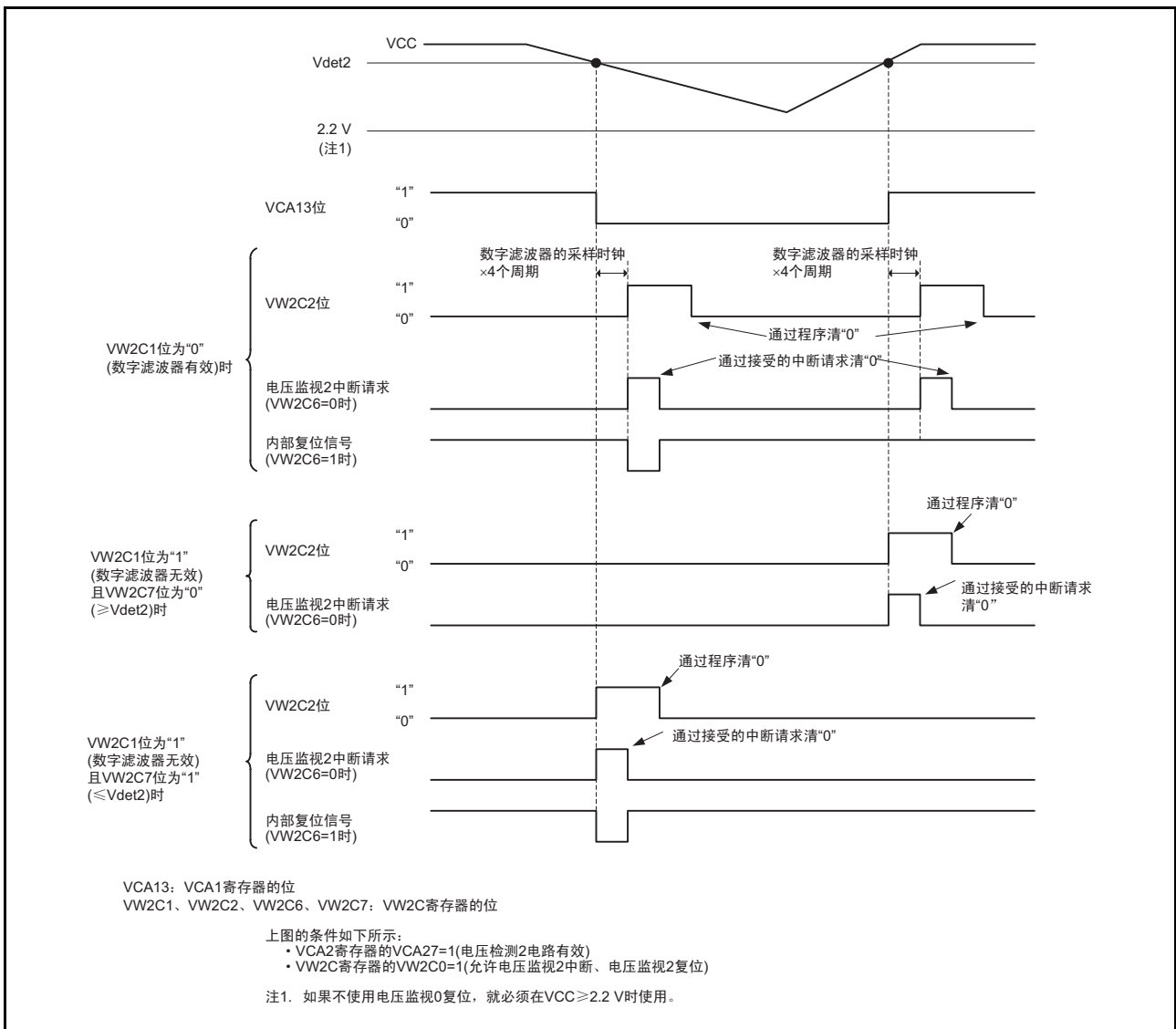


图 7.16 电压监视 2 中断、电压监视 2 复位的运行例

8. 可编程输入 / 输出端口

可编程输入 / 输出端口（以下称为输入 / 输出端口）有 P1、P3_3 ~ P3_5、P3_7、P4_5 等 13 个端口。另外，在不使用 XIN 时钟振荡电路和 XCIN 时钟振荡电路（注）的情况下，能将 P4_6、P4_7 用作输入专用端口，或者在不使用 A/D 转换器的情况下，能将 P4_2 用作输入专用端口。

可编程输入 / 输出端口的概要如表 8.1 所示。

【注】 在 J、K 版时，不能使用 XCIN 时钟振荡电路。

表 8.1 可编程输入 / 输出端口的概要

端口名	输入 / 输出	输出格式	输入 / 输出的设定	内部上拉电阻
P1	输入 / 输出	CMOS 三态	以 1 位为单位进行设定	以 4 位为单位进行设定 (注 1)
P3_3、P3_4、P3_5、 P3_7	输入 / 输出	CMOS 三态	以 1 位为单位进行设定	以 1 位、3 位为单位进行设定 (注 1)
P4_5	输入 / 输出	CMOS 三态	以 1 位为单位进行设定	以 1 位为单位进行设定 (注 1)
P4_2 (注 2) P4_6、P4_7 (注 3)	输入	(无输出功能)	无	无

注 1. 能在输入模式中选择是否通过 PUR0 寄存器和 PUR1 寄存器连接内部上拉电阻。

注 2. 在不使用 A/D 转换器的情况下，能用作输入专用端口。

注 3. 在不使用 XIN 时钟振荡电路以及 XCIN 时钟振荡电路（只限于 N、D 版）的情况下，能用作输入专用端口。

8.1 可编程输入 / 输出端口的功能

端口 P1、P3_3 ~ P3_5、P3_7、P4_5 的输入 / 输出由 PDi (i=1、3、4) 寄存器的 PDi_j (j=0 ~ 7) 位控制。Pi 寄存器由保持输出数据的端口锁存器和读引脚状态的电路构成。

可编程输入 / 输出端口的结构如图 8.1 ~ 图 8.4 所示。可编程输入 / 输出端口的功能如表 8.2 所示，PDi 寄存器如图 8.6 所示、Pi 寄存器如图 8.7 所示、PINSR1、PINSR2、PINSR3 寄存器如图 8.8 所示、PMR 寄存器如图 8.9 所示、PUR0、PUR1 寄存器如图 8.10 所示、PIDRR 寄存器如图 8.11 所示。

表 8.2 可编程输入 / 输出端口的功能

存取 Pi 寄存器时的运行	PDi 寄存器的 PDi_j 位的值 (注 1)	
	“0” (输入模式)	“1” (输出模式)
读	读引脚的输入电平	读端口锁存器
写	写端口锁存器	写端口锁存器。从引脚输出已写到端口锁存器的值。

i=1、3、4、j=0 ~ 7

注 1. 对于 PD3_0 ~ PD3_2 位、PD3_6 位、PD4_0 ~ PD4_4 位、PD4_6 位、PD4_7 位，什么也不指定。

8.2 对外围功能的影响

可编程输入 / 输出端口有时用作外围功能的输入 / 输出（请参照“表 1.6 引脚序号 - 引脚名一览表”）。用作外围功能的输入 / 输出时的 PDi_j 位的设定（i= 1、3、4、j=0 ~ 7）如表 8.3 所示。外围功能的设定方法请参照各功能说明。

表 8.3 用作外围功能的输入 / 输出时的 PDi_j 位的设定（i= 1、3、4、j=0 ~ 7）

外围功能 / 输出的输入	共用引脚的端口 PDi _j 位的设定
输入	必须清“0”（输入模式）
输出	清“0”或者置“1”（与端口的设定无关，为输出）

8.3 可编程输入 / 输出端口以外的引脚

引脚的结构如图 8.5 所示。

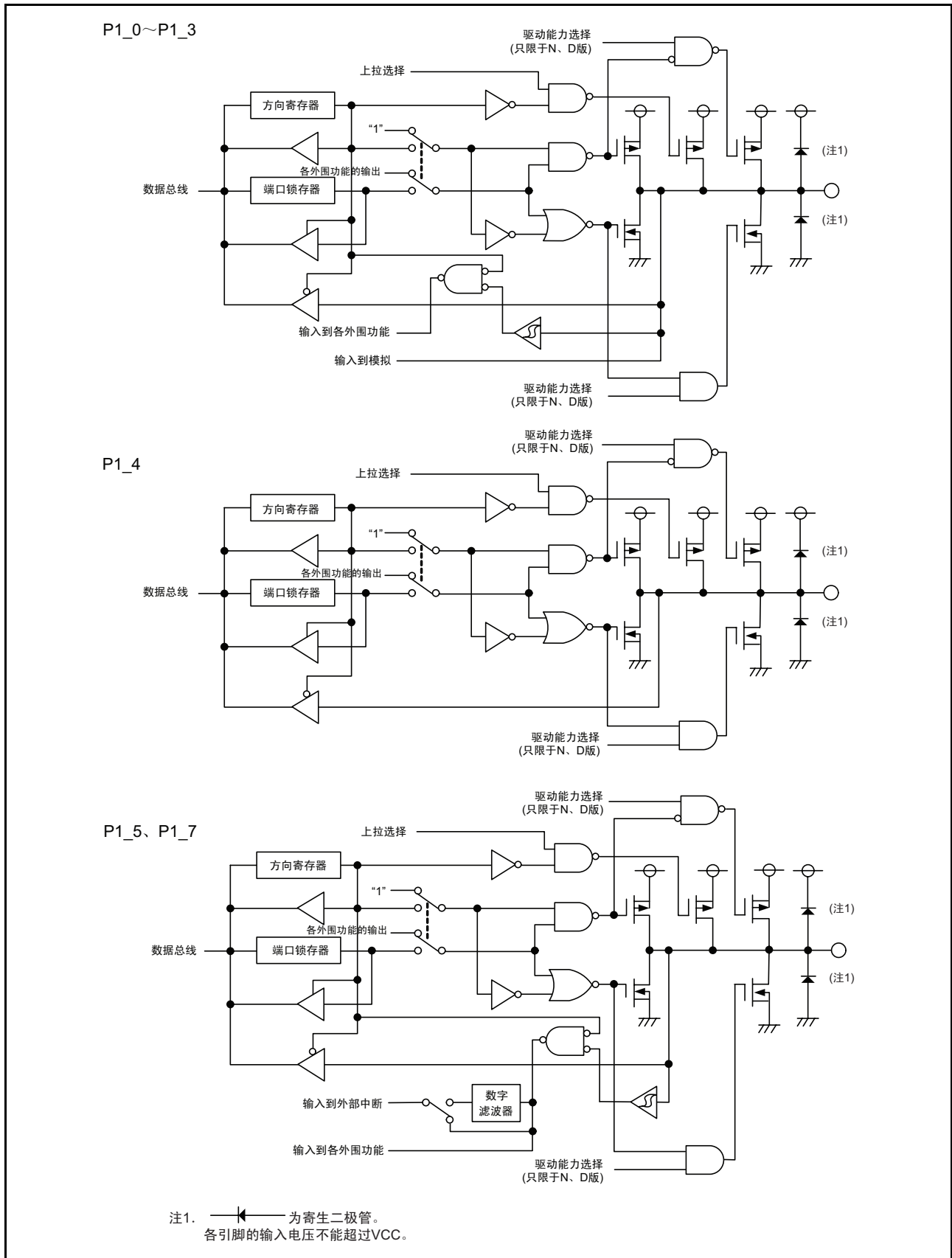


图 8.1 可编程输入 / 输出端口的结构 (1)

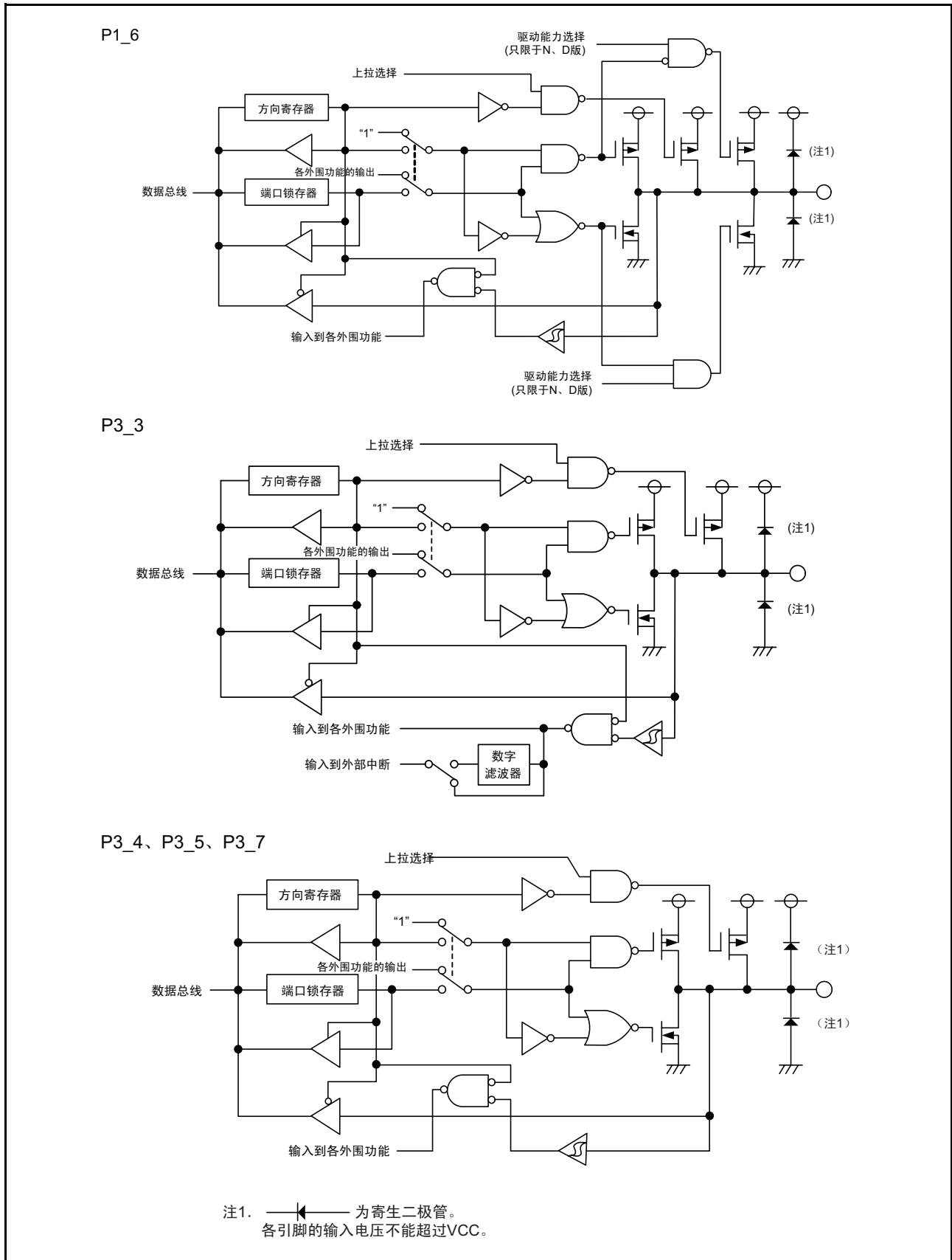


图 8.2 可编程输入 / 输出端口的结构 (2)

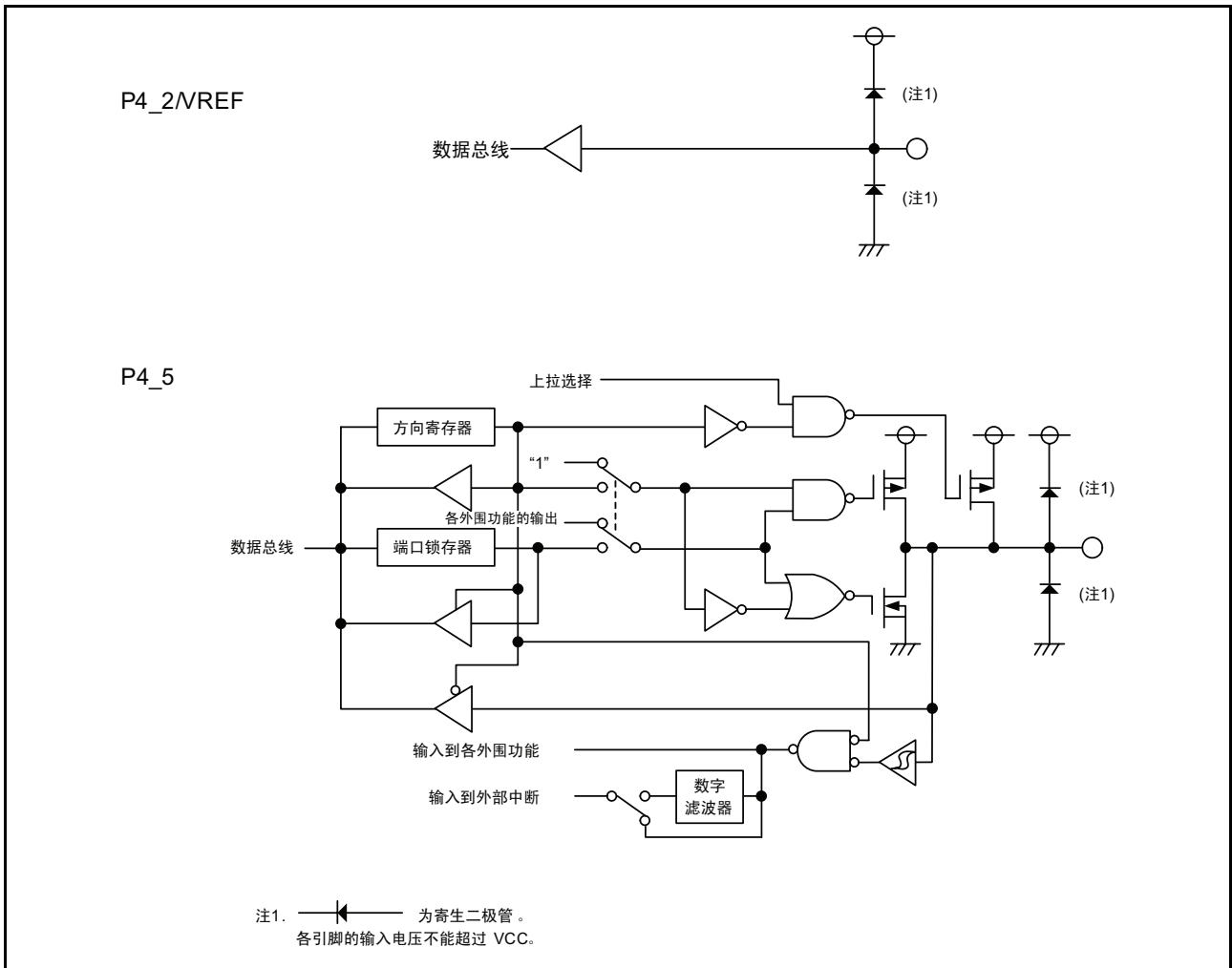


图 8.3 可编程输入 / 输出端口的结构 (3)

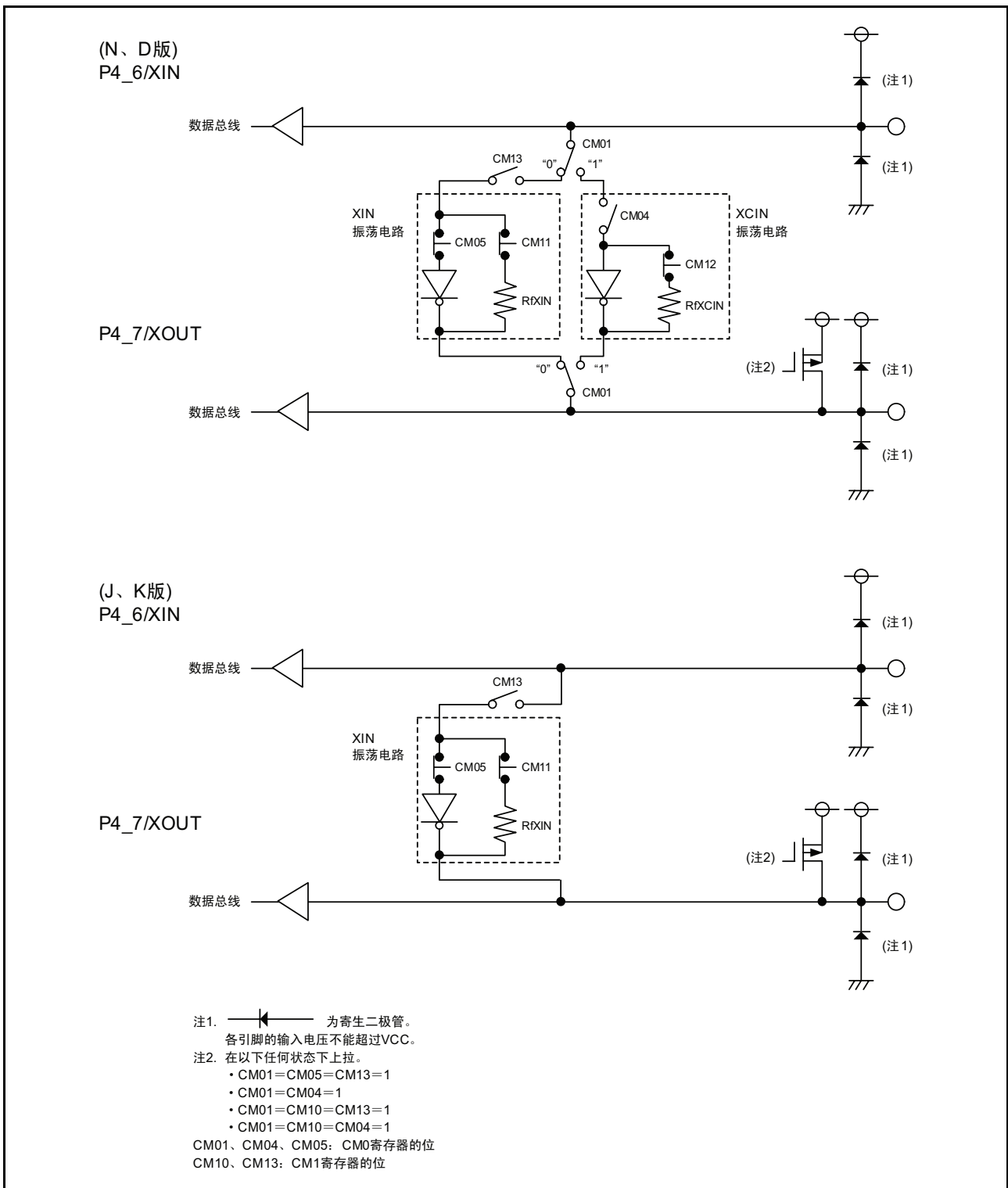


图 8.4 可编程输入 / 输出端口的结构 (4)

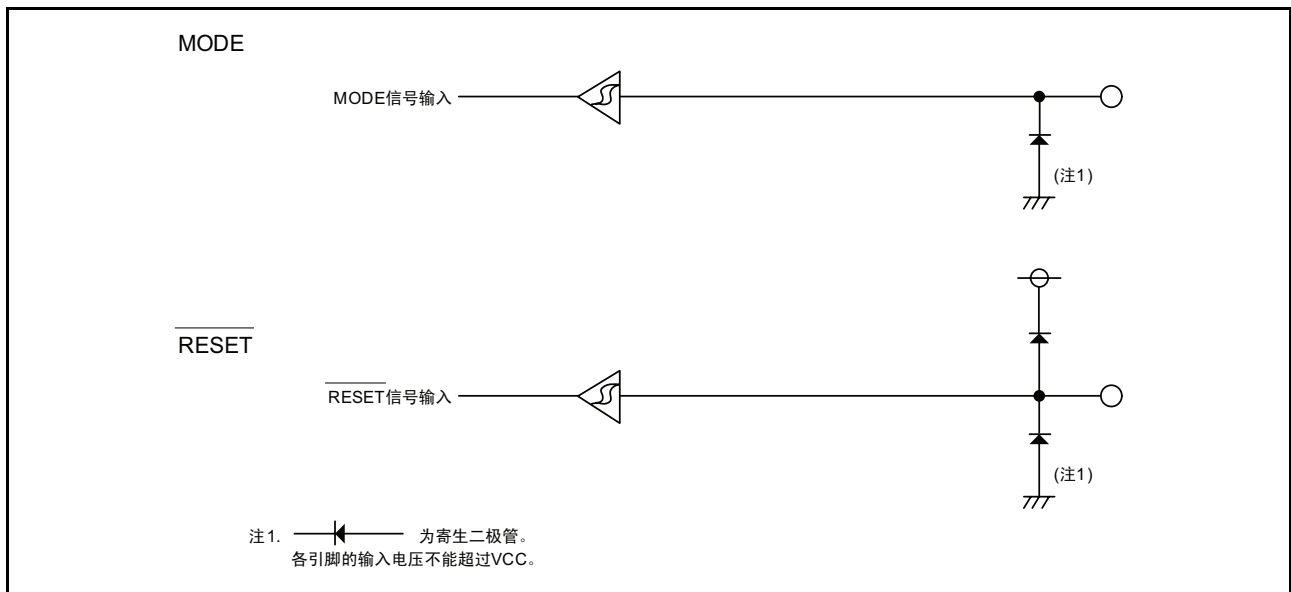


图 8.5 引脚的结构

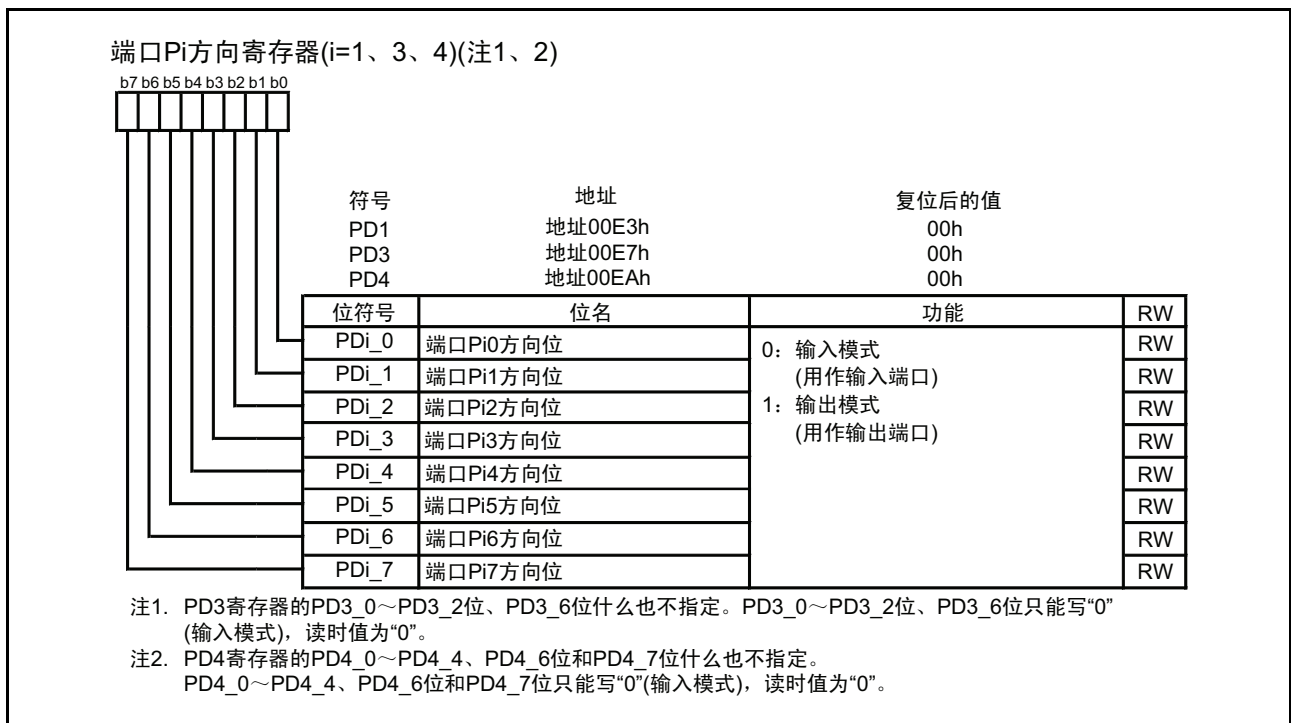


图 8.6 PDi 寄存器

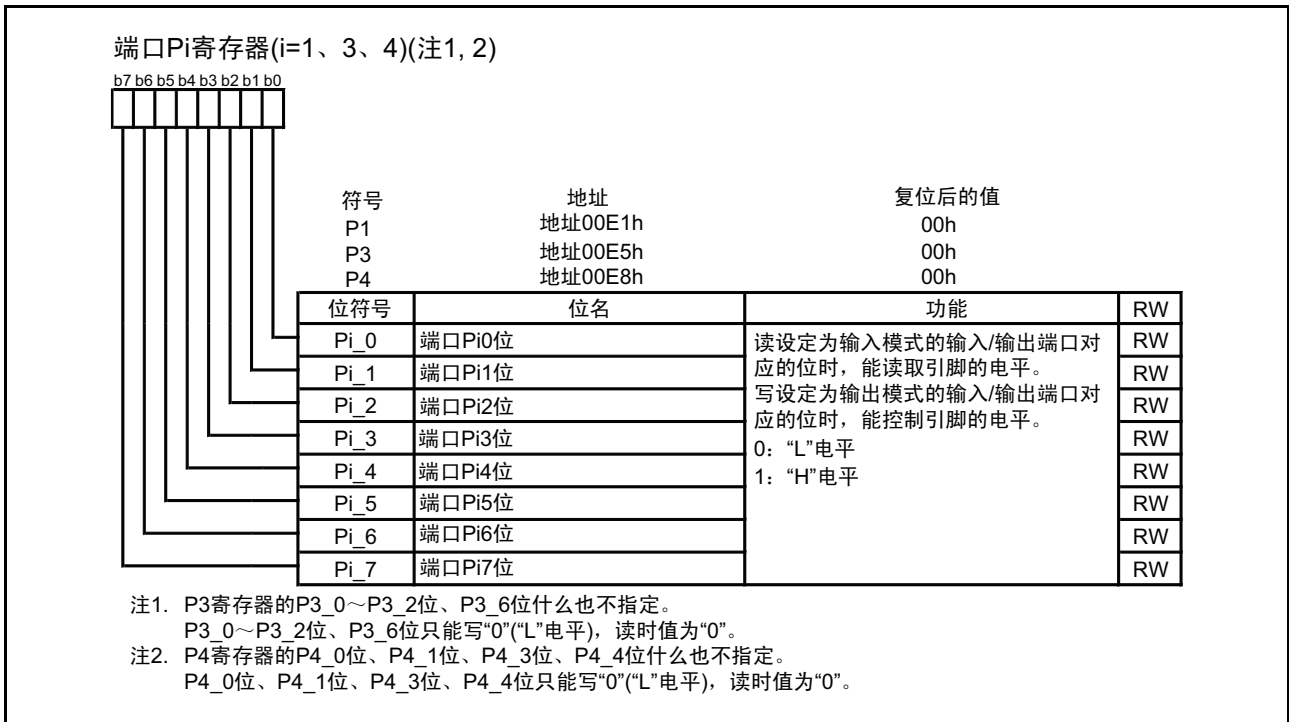


图 8.7 Pi 寄存器

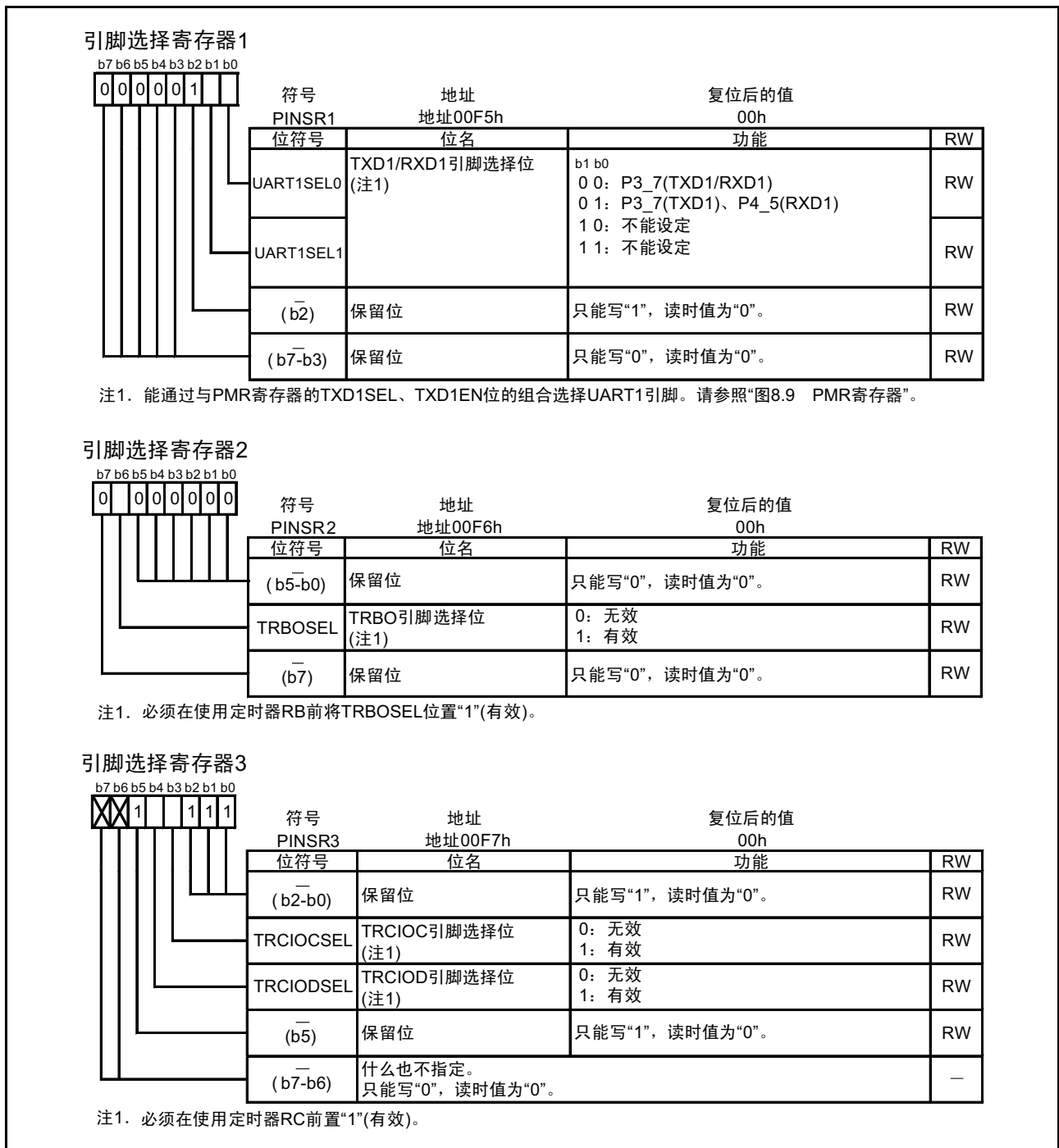


图 8.8 PINSR1、PINSR2、PINSR3 寄存器

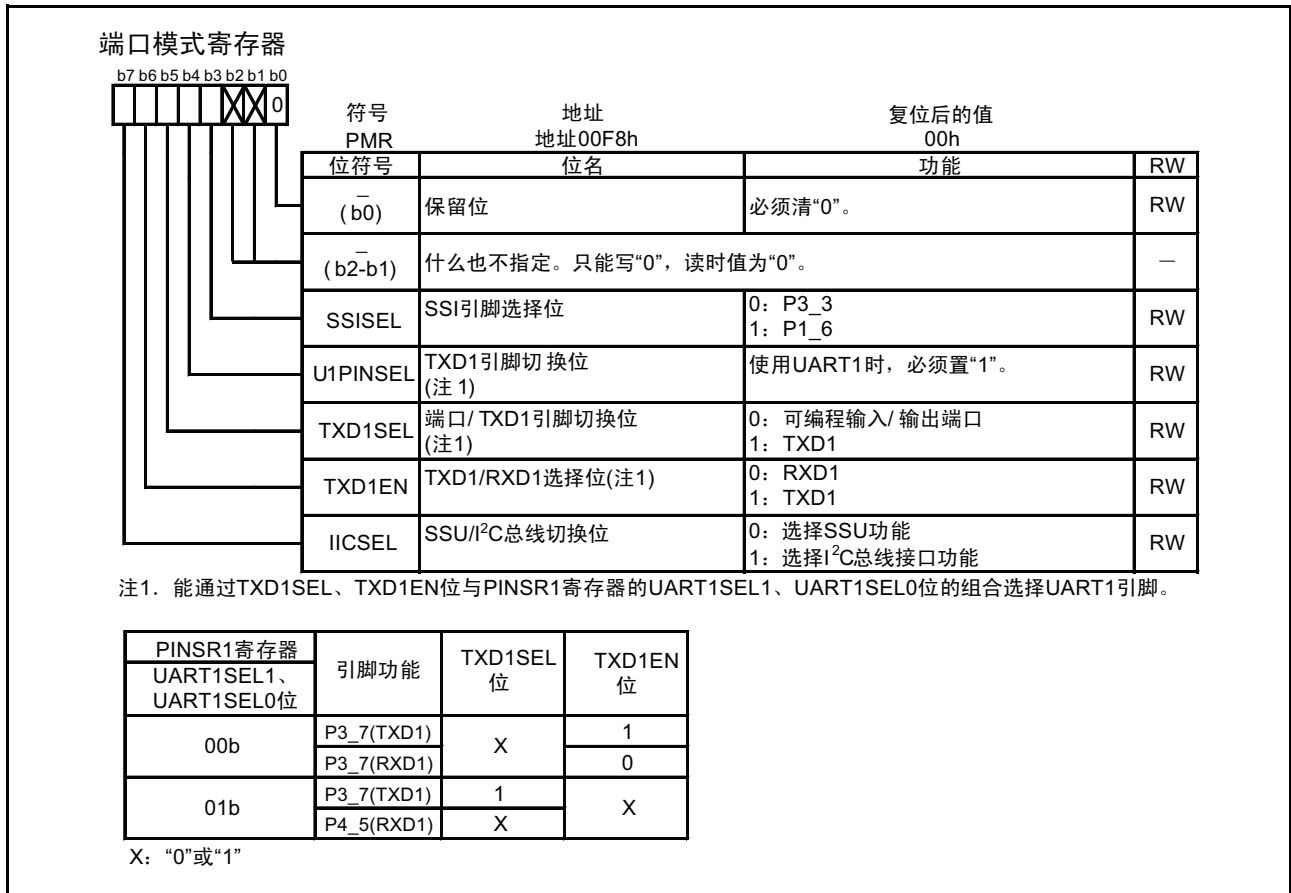


图 8.9 PMR 寄存器

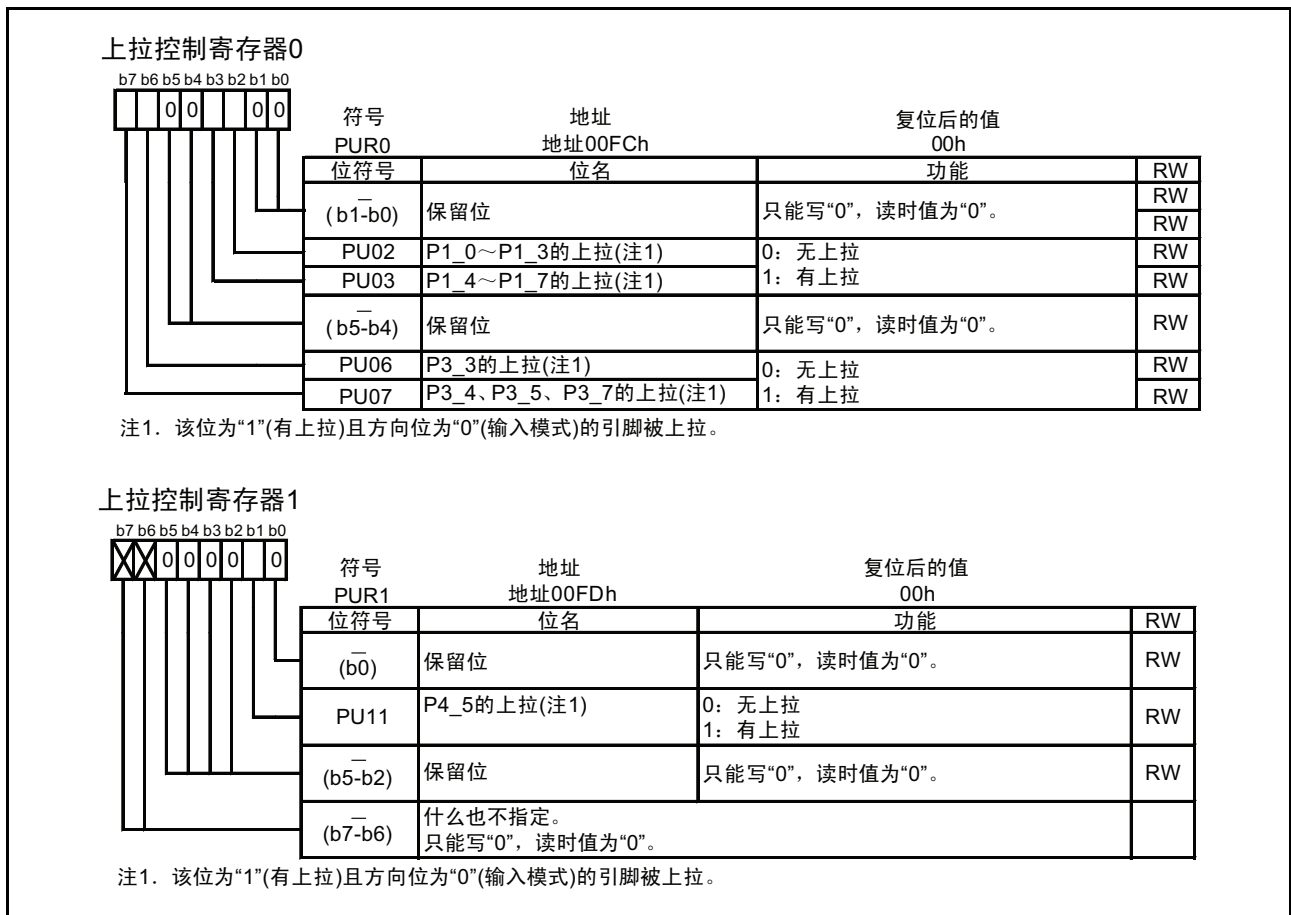


图 8.10 PUR0、PUR1 寄存器

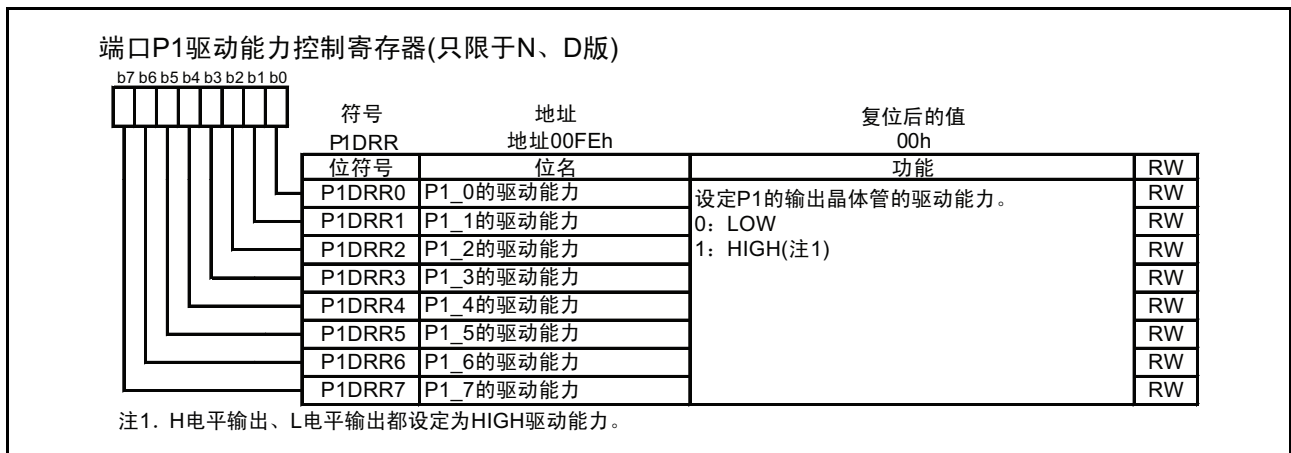


图 8.11 P1DRR 寄存器

8.4 端口的设定

端口的设定如表 8.4 ~ 表 8.25 所示。

表 8.4 端口 P1_0/ $\overline{\text{KI0}}$ /AN8

寄存器	PD1	KIEN	ADCON0				功能
位	PD1_0	KI0EN	CH2	CH1	CH0	ADGSEL0	
设定值	0	0	X	X	X	X	输入端口 (注 1)
	1	0	X	X	X	X	输出端口
	0	1	X	X	X	X	$\overline{\text{KI0}}$ 输入 (注 1)
	0	0	1	0	0	1	A/D 转换器输入 (AN8)

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU02 位置 “1”，该端口就被上拉。

表 8.5 端口 P1_1/ $\overline{\text{KI1}}$ /AN9/TRCIOA/TRCTR $\overline{\text{G}}$

寄存器	PD1	KIEN	定时器 RC 设定	ADCON0				功能
位	PD1_1	KI1EN	—	CH2	CH1	CH0	ADGSEL0	
设定值	0	0	TRCIOA 使用条件以外	X	X	X	X	输入端口 (注 1)
	1	0	TRCIOA 使用条件以外	X	X	X	X	输出端口
	0	0	TRCIOA 使用条件以外	1	0	1	1	A/D 转换器输入 (AN9)
	0	1	TRCIOA 使用条件以外	X	X	X	X	$\overline{\text{KI1}}$ 输入 (注 1)
	X	0	请参照“表 8.6 TRCIOA 引脚设定”	X	X	X	X	TRCIOA 输出
	0	0	请参照“表 8.6 TRCIOA 引脚设定”	X	X	X	X	TRCIOA 输入 (注 1)

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU02 位置 “1”，该端口就被上拉。

表 8.6 TRCIOA 引脚设定

寄存器	TRCOER	TRCMR	TRCIOR0			TRCCR2		功能
位	EA	PWM2	IOA2	IOA1	IOA0	TCEG1	TCEG0	
设定值	0	1	0	0	1	X	X	定时器波形输出 (输出比较功能)
			0	1	X	X	X	
	1	1	1	X	X	X	X	定时器模式 (输入捕捉功能)
						X	X	
	1	0	X	X	X	0	1	PWM2 模式、TRCTR $\overline{\text{G}}$ 输入
					1	X		
上述以外							TRCIOA 使用条件以外	

X: “0” 或者 “1”

表 8.7 端口 P1_2/ $\overline{\text{KI2}}$ /AN10/TRCIOB

寄存器	PD1	KIEN	定时器 RC 设定	ADCON0				功能
位	PD1_2	KI2EN	—	CH2	CH1	CH0	ADGSEL0	
设定值	0	0	TRCIOB 使用条件以外	X	X	X	X	输入端口 (注 1)
	1	0	TRCIOB 使用条件以外	X	X	X	X	输出端口
	0	0	TRCIOB 使用条件以外	1	1	0	1	A/D 转换器输入 (AN10)
	0	1	TRCIOB 使用条件以外	X	X	X	X	$\overline{\text{KI2}}$ 输入 (注 1)
	X	0	请参照“表 8.8 TRCIOB 引脚设定”	X	X	X	X	TRCIOB 输出
	0	0	请参照“表 8.8 TRCIOB 引脚设定”	X	X	X	X	TRCIOB 输入 (注 1)

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU02 位置 “1”，该端口就被上拉。

表 8.8 TRCIOB 引脚设定

寄存器	TRCOER	TRCMR		TRCIOR0			功能
位	EB	PWM2	PWMB	IOB2	IOB1	IOB0	
设定值	0	0	X	X	X	X	PWM2 模式波形输出
	0	1	1	X	X	X	PWM 模式波形输出
	0	1	0	0	0	1	定时器波形输出 (输出比较功能)
				0	1	X	
	0	1	0	1	X	X	定时器模式 (输入捕捉功能)
	1						
上述以外							TRCIOB 使用条件以外

X: “0” 或者 “1”

表 8.9 端口 P1_3/ $\overline{\text{KI3}}$ /AN11/TRBO

寄存器	PD1	KIEN	定时器 RB 设定	ADCON0				功能
位	PD1_3	KI3EN	—	CH2	CH1	CH0	ADGSEL0	
设定值	0	0	TRBO 使用条件以外	X	X	X	X	输入端口 (注 1)
	1	0	TRBO 使用条件以外	X	X	X	X	输出端口
	0	0	TRBO 使用条件以外	1	1	1	1	A/D 转换器输入 (AN11)
	0	1	TRBO 使用条件以外	X	X	X	X	$\overline{\text{KI3}}$ 输入 (注 1)
	X	0	请参照“表 8.10 TRBO 引脚设定”	X	X	X	X	TRBO 输出

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU02 位置 “1”，该端口就被上拉。

表 8.10 TRBO 引脚设定

寄存器	PINSR2	TRBIOC	TRBMR		功能
位	TRBOSEL	TOCNT (注 1)	TMOD1	TMOD0	
设定值	1	0	0	1	可编程波形产生模式
	1	0	1	0	可编程单触发产生模式
	1	0	1	1	可编程等待单触发产生模式
	1	1	0	1	P1_3 输出端口
	上述以外				TRBO 使用条件以外

注 1. 在非可编程波形产生模式中，必须将 TRBIOC 寄存器的 TOCNT 位清“0”。

表 8.11 端口 P1_4/TXD0

寄存器	PD1	U0MR			功能	
位	PD1_4	SMD2	SMD1	SMD0		
设定值	0	0	0	0	输入端口 (注 1)	
	1	0	0	0	输出端口	
	X	0	0	0	1	TXD0 输出 (注 2)
		1	0	0	0	
		1	0	0	1	
1	1	1	0			

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU03 位置“1”，该端口就被上拉。

注 2. 如果将 U0C0 寄存器的 NCH 位置“1”，该端口就为 N 沟道漏极开路输出。

表 8.12 端口 P1_5/RXD0/ (TRAIO) / ($\overline{\text{INT1}}$)

寄存器	PD1	TRAIOC		TRAMR			INTEN	功能
位	PD1_5	TIOSEL	TOPCR (注 3)	TMOD2	TMOD1	TMOD0	INT1EN	
设定值	0	0	X	X	X	X	X	输入端口 (注 1)
		1	1	0	0	1	0	
		1	0	0	0	0	0	
	1	0	X	X	X	X	X	输出端口
		1	0	0	0	0	X	
	0	0	X	X	X	X	X	RXD0 输入 (注 1)
		1	0	001b 以外			0	
		1	0	000b、001b 以外			0	TRAIO 输入 (注 1)
		1	0	0	0	0	1	$\overline{\text{INT1}}$ (注 2)
		1	1	0	0	1	1	
		1	0	000b、001b 以外			1	TRAIO 输入 $\overline{\text{INT1}}$ (注 1、2)
	X	1	0	0	0	1	X	TRAIO 脉冲输出

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU03 位置 “1”，该端口就被上拉。

注 2. 必须将 PMR 寄存器的 bit0 (保留位) 清 “0”。

注 3. 在非脉冲输出模式中，必须将 TRAI0C 寄存器的 TOPCR 位清 “0”。

表 8.13 端口 P1_6/CLK0/ (SSI)

寄存器	PD1	U0MR				PMR	带片选的时钟同步串行 I/O (请参照“表 17.4 通信模式和输入 / 输出引脚的关系”)		功能 (注 3)	
位	PD1_6	CKDIR	SMD2	SMD1	SMD0	IICSEL	SSI 输出控制	SSI 输入控制		
设定值	0	X	X	X	X	X	0	0	输入端口 (注 1)	
	1	X	001b 以外			X	0	0	输出端口	
	X	0	0	0	1	X	0	0	CLK0 输出	
	0	1	X	X	X	X	0	0	CLK0 输入 (注 1)	
	X	X	X	X	X	X	0	1	0	SSI 输出 (注 2)
	X	X	X	X	X	X	0	0	1	SSI 输入 (注 1、2)

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU03 位置 “1”，该端口就被上拉。

注 2. 必须将 PMR 寄存器的 SSISEL 位置 “1” (P1_6)。

注 3. 如果将 SSMR2 寄存器的 SOOS 位置 “1” (N 沟道漏极开路输出) 且将 BIDE 位清 “0” (标准模式)，该端口就为 N 沟道漏极开路输出。

表 8.14 端口 P1_7/TRAI0/ $\overline{\text{INT1}}$

寄存器	PD1	TRAI0C		TRAMR			INTEN	功能
位	PD1_7	TIOSEL	TOPCR (注3)	TMOD2	TMOD1	TMOD0	INT1EN	
设定值	0	1	X	X	X	X	X	输入端口 (注1)
		0	1	0	0	1	0	
		0	0	0	0	0	0	
	1	1	X	X	X	X	X	输出端口
		0	0	0	0	0	X	
	0	0	0	000b、001b 以外			0	TRAIO 输入 (注1)
		0	0	0	0	0	1	$\overline{\text{INT1}}$ (注2)
		0	1	0	0	1	1	
		0	0	000b、001b 以外			1	TRAIO 输入/ $\overline{\text{INT1}}$ (注1、2)
	X	0	0	0	0	1	X	TRAIO 脉冲输出

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU03 位置 “1”，该端口就被上拉。

注 2. 必须将 PMR 寄存器的 bit0 (保留位) 清 “0”。

注 3. 在非脉冲输出模式中，必须将 TRAI0C 寄存器的 TOPCR 位清 “0”。

表 8.15 端口 P3_3/ $\overline{\text{INT3}}$ /SSI/TRCCLK

寄存器	PD3	PMR	带片选的时钟同步串行 I/O (请参照“表 17.4 通信模式和 输入 / 输出引脚的关系”)		TRCCR1			INTEN	功能 (注3)	
位	PD3_3	IICSEL	SSI 输出控制	SSI 输入控制	TCK2	TCK1	TCK0	INT3EN		
设定值	0	X	0	0	101b 以外			0	输入端口 (注1)	
	1	X	0	0	101b 以外			0	输出端口	
	0	X	0	0	101b 以外			1	$\overline{\text{INT3}}$ 输入 (注1)	
	0	X	0	0	1	0	1	0	TRCCLK 输入 (注1)	
	X	0	1	0	101b 以外			0	SSI 输出 (注2)	
	X	0	0	0	1	101b 以外			0	SSI 输入 (注2)

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU06 位置 “1”，该端口就被上拉。

注 2. 必须将 PMR 寄存器的 SSISEL 位清 “0” (P3_3)。

注 3. 如果将 SSMR2 寄存器的 SOOS 位置 “1” (N 沟道漏极开路输出) 且将 BIDE 位清 “0” (标准模式)，该端口就为 N 沟道漏极开路输出。

表 8.16 端口 P3_4/SDA/ $\overline{\text{SCS}}$ /TRCIOC

寄存器	PD3	PMR	ICCR1	SSMR2		定时器 RC 设定	功能 (注 2)
位	PD3_4	IICSEL	ICE	CSS1	CSS0	—	
设定值	0	0	X	0	0	TRCIOC 使用条件以外	输入端口 (注 1)
		1	0	0	0	TRCIOC 使用条件以外	
	1	0	X	0	0	TRCIOC 使用条件以外	输出端口
		1	0	0	0	TRCIOC 使用条件以外	
	X	X	0	0	0	请参照“表 8.17 TRCIOC 引脚设定”	TRCIOC 输出
	0	X	0	0	0	请参照“表 8.17 TRCIOC 引脚设定”	TRCIOC 输入 (注 1)
	X	0	X	1	0	TRCIOC 使用条件以外	$\overline{\text{SCS}}$ 输出
	X	0	X	1	1	TRCIOC 使用条件以外	$\overline{\text{SCS}}$ 输入 (注 1)
X	1	1	X	X	TRCIOC 使用条件以外	SDA 输入 / 输出	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU07 位置 “1”，该端口就被上拉。

注 2. 如果将 SSMR2 寄存器的 CSOS 位置 “1” (N 沟道漏极开路输出)，该端口就为 N 沟道漏极开路输出。

表 8.17 TRCIOC 引脚设定

寄存器	PINSR3	TRCOER	TRCMR		TRCIOR1			功能
位	TRCIOCSEL	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
设定值	1	0	1	1	X	X	X	PWM 模式波形输出
	1	0	1	0	0	0	1	定时器波形输出 (输出比较功能)
	1				0	1	X	
	1	0	1	0	1	X	X	定时器模式 (输入捕捉功能)
	1	1						
	上述以外							TRCIOC 使用条件以外

X: “0” 或者 “1”

表 8.18 端口 P3_5/SCL/SSCK/TRCIOD

寄存器	PD3	PMR	ICCR1	带片选的时钟同步串行 I/O (请参照“表 17.4 通信模式和输入 / 输出引脚的关系”)		定时器 RC 设定	功能 (注 2)
位	PD3_5	IICSEL	ICE	SSCK 输出控制	SSCK 输入控制	—	
设定值	0	0	X	0	0	TRCIOD 使用条件以外	输入端口 (注 1)
		1	0	0	0	TRCIOD 使用条件以外	
	1	0	X	0	0	TRCIOD 使用条件以外	输出端口
		1	0	0	0	TRCIOD 使用条件以外	
	X	X	0	0	0	请参照“表 8.19 TRCIOD 引脚设定”	TRCIOD 输出
	0	X	0	0	0	请参照“表 8.19 TRCIOD 引脚设定”	TRCIOD 输入 (注 1)
	X	0	X	1	0	TRCIOD 使用条件以外	SSCK 输出 (注 2)
	X	0	X	0	1	TRCIOD 使用条件以外	SSCK 输入 (注 1)
X	1	1	X	X	TRCIOD 使用条件以外	SCL 输入 / 输出	

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU07 位置 “1”，该端口就被上拉。

注 2. 如果将 SSMR2 寄存器的 SCKOS 位置 “1” (N 沟道漏极开路输出)，该端口就为 N 沟道漏极开路输出。

表 8.19 TRCIOD 引脚设定

寄存器	PINSR3	TRCOER	TRCMR		TRCIOR1			功能
位	TRCIODSEL	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
设定值	1	0	1	1	X	X	X	PWM 模式波形输出
	1	0	1	0	0	0	1	定时器波形输出 (输出比较功能)
	1				0	1	X	
	1	0	1	0	1	X	X	定时器模式 (输入捕捉功能)
	1	1						
	上述以外							TRCIOD 使用条件以外

X: “0” 或者 “1”

表 8.20 端口 P3_7/TRAO/SSO/RXD1/ (TXD1)

寄存器	PD3	PMR	带片选的时钟同步串行 I/O (请参照“表 17.4 通信模式 和输入 / 输出引脚的关系”)		TRAMR	UART1 设定	功能 (注 3)
位	PD3_7	IICSEL	SSO 输出控制	SSO 输入控制	TOENA	—	
设定值	0	X	0	0	0	TXD1、RXD1 使用条件以外	输入端口 (注 1)
	1	X	0	0	0	TXD1、RXD1 使用条件以外	输出端口
	X	X	0	0	X	请参照“8.21 P3_7 UART1 设定条件”	TXD1 输出 (注 4)
	0	X	0	0	0	请参照“8.21 P3_7 UART1 设定条件”	RXD1 输入 (注 1)
	X	X	0	0	1	TXD1、RXD1 使用条件以外	TRAO 输出
	X	0	1	0	X	TXD1、RXD1 使用条件以外	SSO 输出 (注 2)
	X	0	0	1	X	TXD1、RXD1 使用条件以外	SSO 输入 (注 2)

X: “0” 或者 “1”

注 1. 如果将 PUR0 寄存器的 PU07 位置 “1”，该端口就被上拉。

注 2. 必须将 PMR 寄存器的 SSISEL 位清 “0” (P3_3)。

注 3. 如果将 SSMR2 寄存器的 SOOS 位置 “1” (N 沟道漏极开路输出)，该端口就为 N 沟道漏极开路输出。

注 4. 如果将 U1C0 寄存器的 NCH 位置 “1”，该端口就为 N 沟道漏极开路输出。

表 8.21 P3_7 UART1 设定条件 (注 1)

寄存器	PINSR1		PMR		U1MR			功能
位	UART1SEL1	UART1SEL0	TXD1SEL	TXD1EN	SMD2	SMD1	SMD0	
设定值	0	0	X	1	0	0	1	TXD1 输出
					1	0	0	
					1	0	1	
					1	1	0	
		1	1	X	0	0	1	
					1	0	0	
					1	0	1	
					1	1	0	
		0	X	0	X	X	X	
上述以外							TXD1、RXD1 使用条件以外	

X: “0” 或者 “1”

注 1. 必须将 PMR 寄存器的 bit4 (保留位) 置 “1”。

表 8.22 端口 P4_2/VREF

寄存器	ADCON1	功能
位	VCUT	
设定值	0	输入端口
	1	输入端口 /VREF 输入

表 8.23 端口 P4_5/ $\overline{\text{INT0}}$ / (RXD1)

寄存器	PD4	INTEN	PINSR1		功能
位	PD4_5	INT0EN	UART1SEL1	UART1SEL0	
设定值	0	0	01b 以外		输入端口 (注 1)
	1	0	01b 以外		输出端口
	0	1	01b 以外		$\overline{\text{INT0}}$ 输入 (注 1)
	0	0	0	1	RXD1 (注 1、2)

注 1. 如果将 PUR1 寄存器的 PU11 位置 “1”，该端口就被上拉。

注 2. 必须将 PMR 寄存器的 U1PINSEL 位置 “1”。

表 8.24 端口 P4_6/XIN/XCIN

寄存器	CM0			CM1				电路规格		功能	
	CM01	CM04	CM05	CM13	CM12	CM11	CM10	振荡缓冲器	反馈电阻		
设定值	X	0	1	0	X	X	0	OFF	—	输入端口	
	0	X	0	1	X	0	0	0	ON	ON	XIN 时钟振荡 (内部反馈电阻有效)
						1			ON	OFF	XIN 时钟振荡 (内部反馈电阻无效)
						0			OFF	ON	外部时钟输入
			0			OFF			ON	XIN 时钟振荡停止 (内部反馈电阻有效)	
			1			OFF			OFF	XIN 时钟振荡停止 (内部反馈电阻无效)	
			1			1			OFF	OFF	XIN 时钟振荡停止 (STOP 模式)
	1	0	1	X	X	0	X	0	ON	ON	XCIN 时钟振荡 (内部反馈电阻有效) (注 1)
						1			ON	OFF	XCIN 时钟振荡 (内部反馈电阻无效) (注 1)
						0			OFF	ON	外部 XCIN 时钟的输入 (注 1)
			0			OFF			ON	XCIN 时钟振荡停止 (内部反馈电阻有效) (注 1)	
			1			OFF			OFF	XCIN 时钟振荡停止 (内部反馈电阻无效) (注 1)	
			1			1			OFF	OFF	XCIN 时钟振荡停止 (STOP 模式) (注 1)

X: “0” 或者 “1”

注 1. 只限于 N、D 版。

表 8.25 端口 P4_7/XOUT/XCOUT

寄存器	CM0			CM1				电路规格		功能	
	位	CM01	CM04	CM05	CM13	CM12	CM11	CM10	振荡缓冲器		反馈电阻
设定值	X	0	1	0	X	X	0	0	OFF	—	输入端口
	0	X	1	1	X	0	0	0	ON	ON	XIN 时钟振荡（内部反馈电阻有效）
						1			ON	OFF	XIN 时钟振荡（内部反馈电阻无效）
						0			OFF	ON	外部时钟输入
						0			OFF	ON	XIN 时钟振荡停止（内部反馈电阻有效）
						1			OFF	OFF	XIN 时钟振荡停止（内部反馈电阻无效）
						1			1	OFF	OFF
	1	0	X	X	0	X	0	0	ON	ON	XCIN 时钟振荡（内部反馈电阻有效）（注 1、2）
					1				ON	OFF	XCIN 时钟振荡（内部反馈电阻无效）（注 1、2）
					0				OFF	ON	外部 XCIN 时钟输入（注 2）
					0				OFF	ON	XCIN 时钟振荡停止（内部反馈电阻有效）（注 2）
					1				OFF	OFF	XCIN 时钟振荡停止（内部反馈电阻无效）（注 2）
					1				1	OFF	OFF

X: “0” 或者 “1”

注 1. 因为 XCIN-XCOUT 振荡缓冲器通过内部降压电源运行，所以不能将 XCOUT 输出电平直接用于 CMOS 电平的信号。

注 2. 只限于 N、D 版。

8.5 未使用引脚的处理

未使用引脚的处理例如表 8.26 所示。

表 8.26 未使用引脚的处理例

引脚名	处理内容
端口 P1、P3_3 ~ P3_5、 P3_7、P4_5	<ul style="list-style-type: none"> • 设定为输入模式，每个引脚通过电阻连接到 VSS（下拉）或者 VCC（上拉）（注 2） • 设定为输出模式，引脚置为开路（注 1、2）
端口 P4_6、P4_7	通过电阻连接到 VCC（上拉）（注 2）
端口 P4_2/VREF	连接到 VCC
RESET（注 3）	通过电阻连接到 VCC（上拉）（注 2）

注 1. 当设定为输出模式时并且使引脚开路时，就在通过程序将端口转换为输出模式前端口为输入状态。因此，引脚的电压电平不定，在端口为输入模式期间，电源电流有可能增加。

另外，考虑到噪声或者由于噪声引起的失控等使方向寄存器的内容产生变化的情况，建议通过程序定期地重新设定方向寄存器的内容，以提高程序的可靠性。

注 2. 必须尽量用短的布线（2cm 以内）处理单片机的未使用引脚。

注 3. 在使用上电复位功能时。

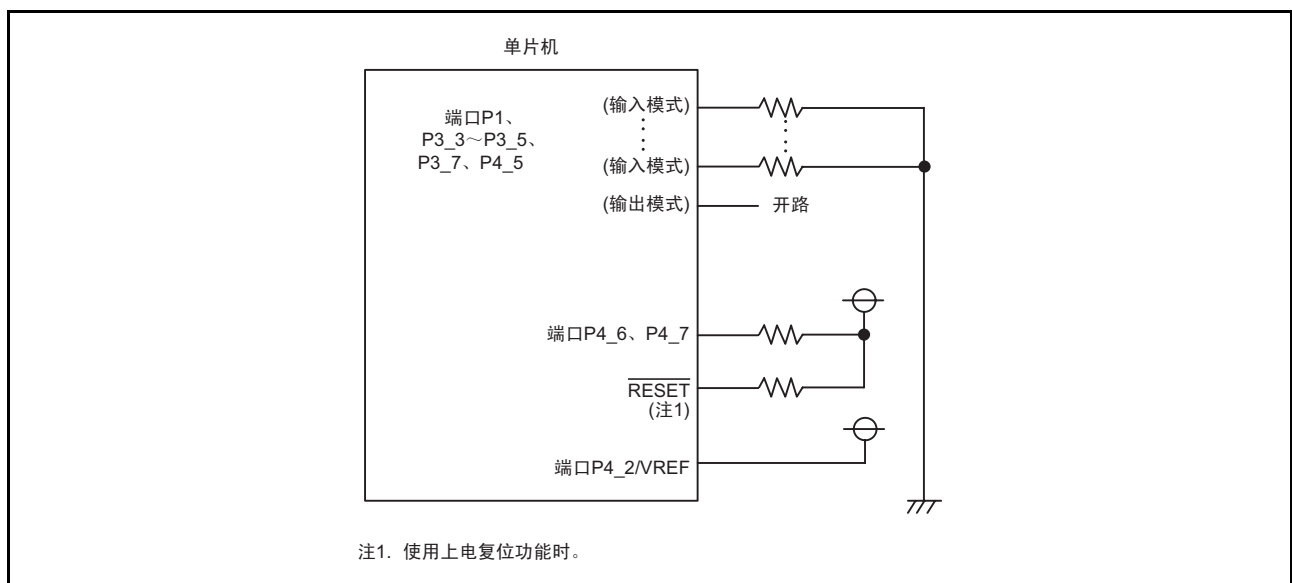


图 8.12 未使用引脚的处理例

9. 处理器模式

9.1 处理器模式的种类

处理器模式为单芯片模式。

处理器模式的特点如表 9.1 所示，PM0 寄存器如图 9.1、PM1 寄存器如图 9.2 所示。

表 9.1 处理器模式的特点

处理器模式	存取空间	分配为输入 / 输出端口的引脚
单芯片模式	SFR、内部 RAM、内部 ROM	全部引脚为输入 / 输出端口或者外围功能输入 / 输出引脚

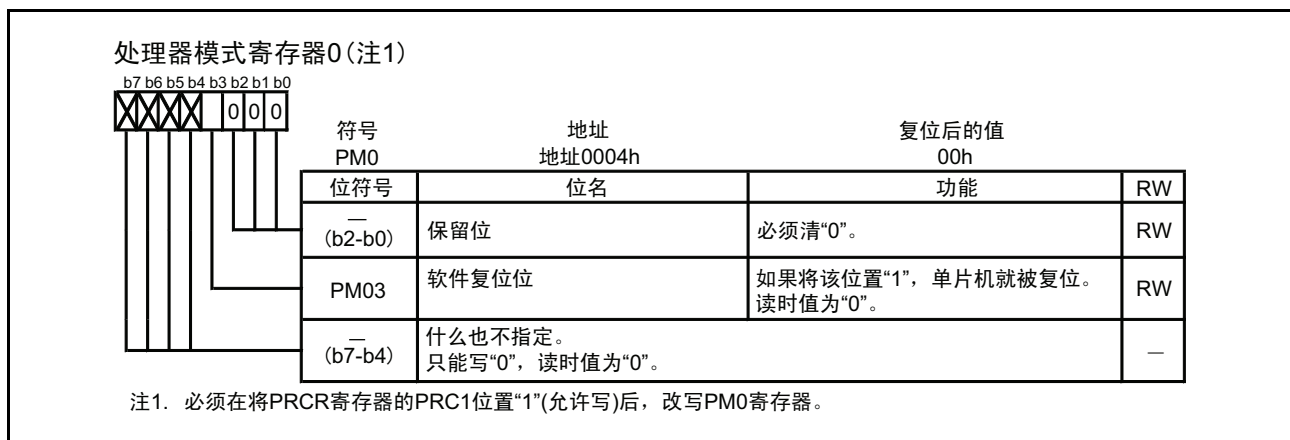


图 9.1 PM0 寄存器

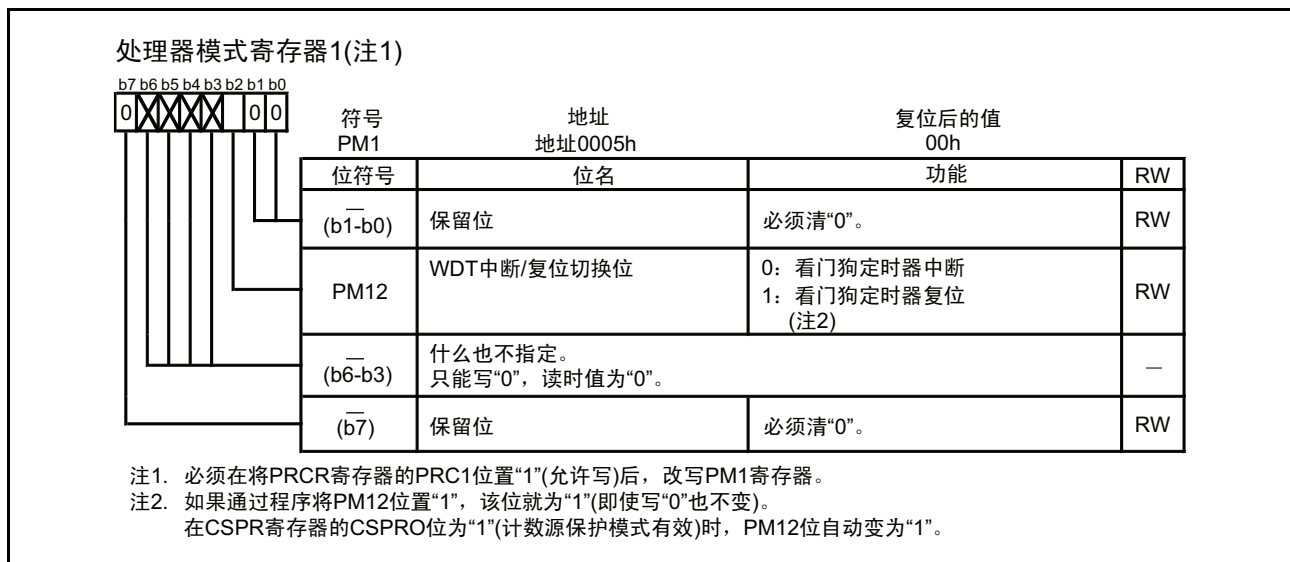


图 9.2 PM1 寄存器

10. 总线控制

ROM、RAM 与 SFR 存取时的总线周期不同。

R8C/28 群的存取区的总线周期如表 10.1 所示，R8C/29 群的存取区的总线周期如表 10.2 所示。

ROM、RAM 和 SFR 通过 8 位总线和 CPU 连接。因此，在以字（16 位）为单位进行存取时，以 8 位为单位进行 2 次存取。存取单位和总线的运行如表 10.3 所示。









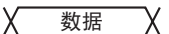















表 10.1 R8C/28 群的存取区的总线周期

存取区	总线周期
SFR	CPU 时钟的 2 个周期
ROM/RAM	CPU 时钟的 1 个周期

表 10.2 R8C/29 群的存取区的总线周期

存取区	总线周期
SFR/ 数据闪存	CPU 时钟的 2 个周期
程序 ROM/RAM	CPU 时钟的 1 个周期

表 10.3 存取单位和总线的运行

区域	SFR、数据闪存	ROM（可编程 ROM）、RAM
偶数地址 字节存取	CPU 时钟  地址  偶数 数据  数据	CPU 时钟  地址  偶数 数据  数据
奇数地址 字节存取	CPU 时钟  地址  奇数 数据  数据	CPU 时钟  地址  奇数 数据  数据
偶数地址 字存取	CPU 时钟  地址  偶数 偶数+1 数据  数据 数据	CPU 时钟  地址  偶数 偶数+1 数据  数据 数据
奇数地址 字存取	CPU 时钟  地址  奇数 奇数+1 数据  数据 数据	CPU 时钟  地址  奇数 奇数+1 数据  数据 数据

但是，只有以下的 SFR 通过 16 位总线和 CPU 连接。

定时器 RC：寄存器 TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRD

因此，当以字（16 位）为单位进行存取时，存取 16 位数据。总线的运行与“表 10.3 存取单位和总线的运行”的“区域：SFR、数据闪存、偶数地址字节存取”相同，一次存取 16 位数据。

11. 时钟产生电路

时钟产生电路内置 4 个电路。但是，由于 XIN/XCIN 引脚和 XOUT/XCOUT 引脚各自复用，所以必须选择是使用 XIN 时钟振荡电路还是使用 XCIN 时钟振荡电路（在 J、K 版时不能使用 XCIN 时钟振荡电路。）。

- XIN 时钟振荡电路
- XCIN 时钟振荡电路（只限于 N、D 版）
- 低速内部振荡器
- 高速内部振荡器

时钟产生电路的概要规格如表 11.1 所示，时钟产生电路如图 11.1 所示，与时钟相关的寄存器如图 11.2 ~ 图 11.9 所示，通过 VCA20 位进行内部电源低功耗操作的步骤如图 11.10 所示。

表 11.1 时钟产生电路的概要规格

项目	XIN 时钟振荡电路	XCIN 时钟振荡电路 (只限于 N、D 版)	内部振荡器	
			高速内部振荡器	低速内部振荡器
用途	<ul style="list-style-type: none"> • CPU 的时钟源 • 外围功能的时钟源 	<ul style="list-style-type: none"> • CPU 的时钟源 • 外围功能的时钟源 	<ul style="list-style-type: none"> • CPU 的时钟源 • 外围功能的时钟源 • XIN 时钟振荡停止时的 CPU 和外围功能的时钟源 	<ul style="list-style-type: none"> • CPU 的时钟源 • 外围功能的时钟源 • XIN 时钟振荡停止时的 CPU 和外围功能的时钟源
时钟频率	0 ~ 20MHz	32.768kHz	约 40MHz (注 5)	约 125kHz
能连接的谐振器	<ul style="list-style-type: none"> • 陶瓷谐振器 • 晶体谐振器 	<ul style="list-style-type: none"> • 晶体谐振器 	—	—
谐振器的连接引脚	XIN、XOUT (注 1)	XCIN、XCOUT (注 1)	— (注 1)	— (注 1)
振荡开始和停止	有	有	有	有
复位后的状态	停止	停止	停止	振荡
其它	<ul style="list-style-type: none"> • 可输入外部产生的时钟 (注 2、3) • 内置反馈电阻 RfXIN。(可以选择连接 / 不连接) 	<ul style="list-style-type: none"> • 可输入外部产生的时钟 (注 4) • 内置反馈电阻 RfXCIN。(可以选择连接 / 不连接) 	—	—

注 1. 在不使用 XIN 时钟振荡电路和 XCIN 时钟振荡电路而将内部振荡器时钟用于 CPU 时钟时，该引脚能作为 P4_6 和 P4_7 使用。

注 2. 在输入外部时钟时，必须将 CM0 寄存器的 CM01 位清“0”（XIN 时钟），将 CM05 位置“1”（XIN 时钟停止），以及将 CM1 寄存器的 CM13 位置“1”（XIN-XOUT 引脚）。

注 3. 外部时钟使用 32.768kHz 时，必须将 CM0 寄存器的 CM01 位置“1”（XCIN 时钟）。在其他情况下，必须将 CM0 寄存器的 CM01 位清“0”（XIN 时钟）。

注 4. 在输入外部时钟时，必须将 CM0 寄存器的 CM01 位置“1”（XCIN 时钟），将 CM04 位置“1”（XCIN 时钟振荡）。

注 5. 作为 CPU 时钟源使用时，分频器最大频率：约 20MHz。

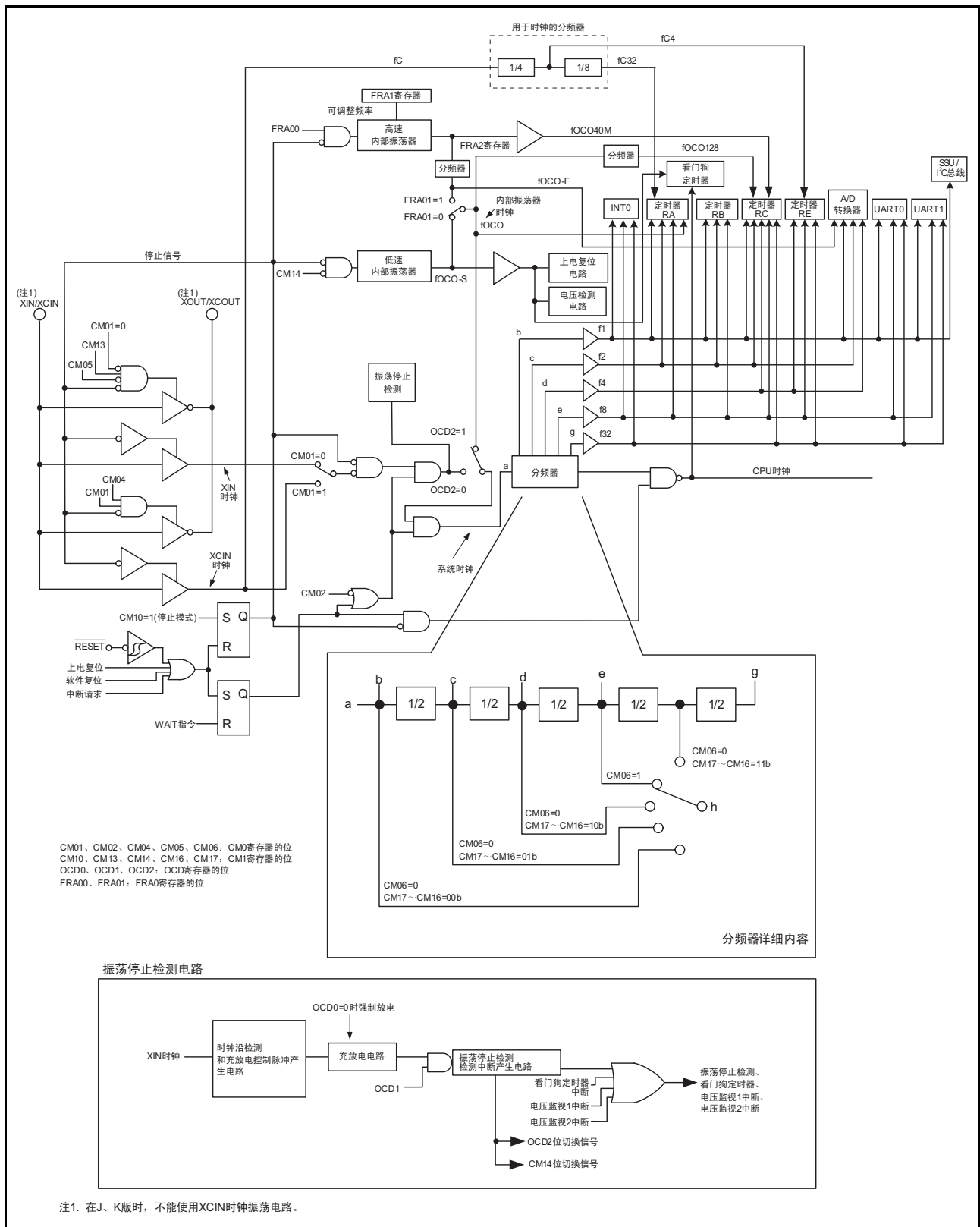


图 11.1 时钟产生电路



图 11.2 CM0 寄存器

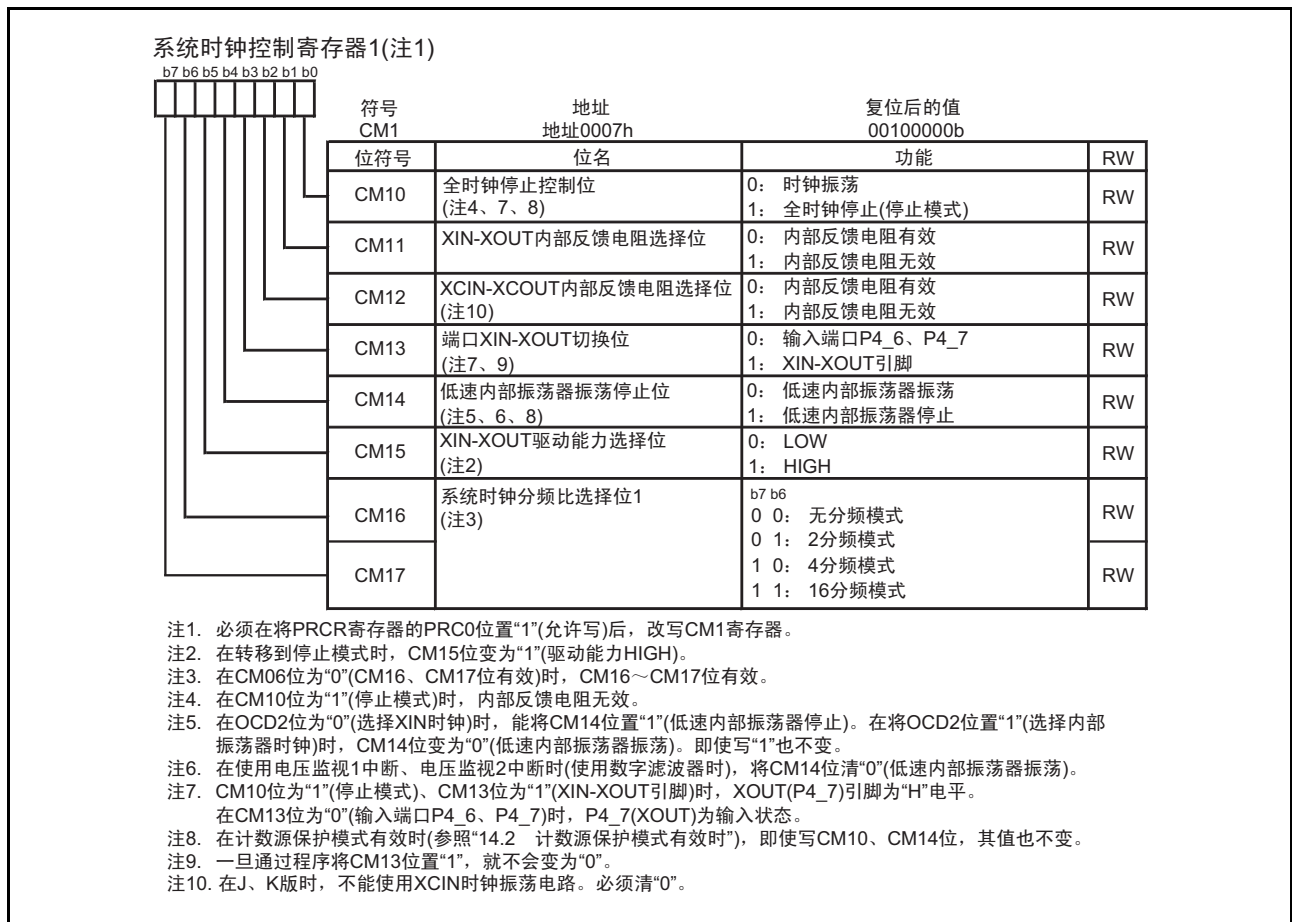


图 11.3 CM1 寄存器

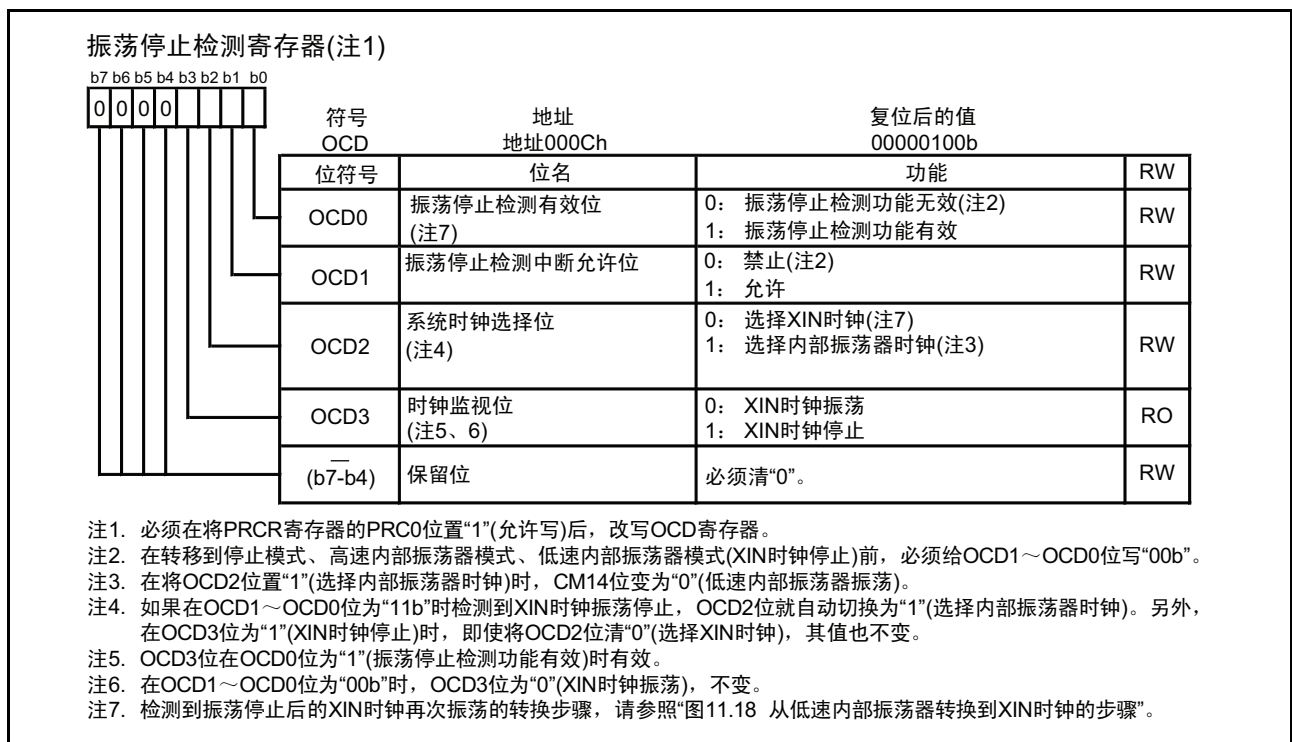


图 11.4 OCD 寄存器

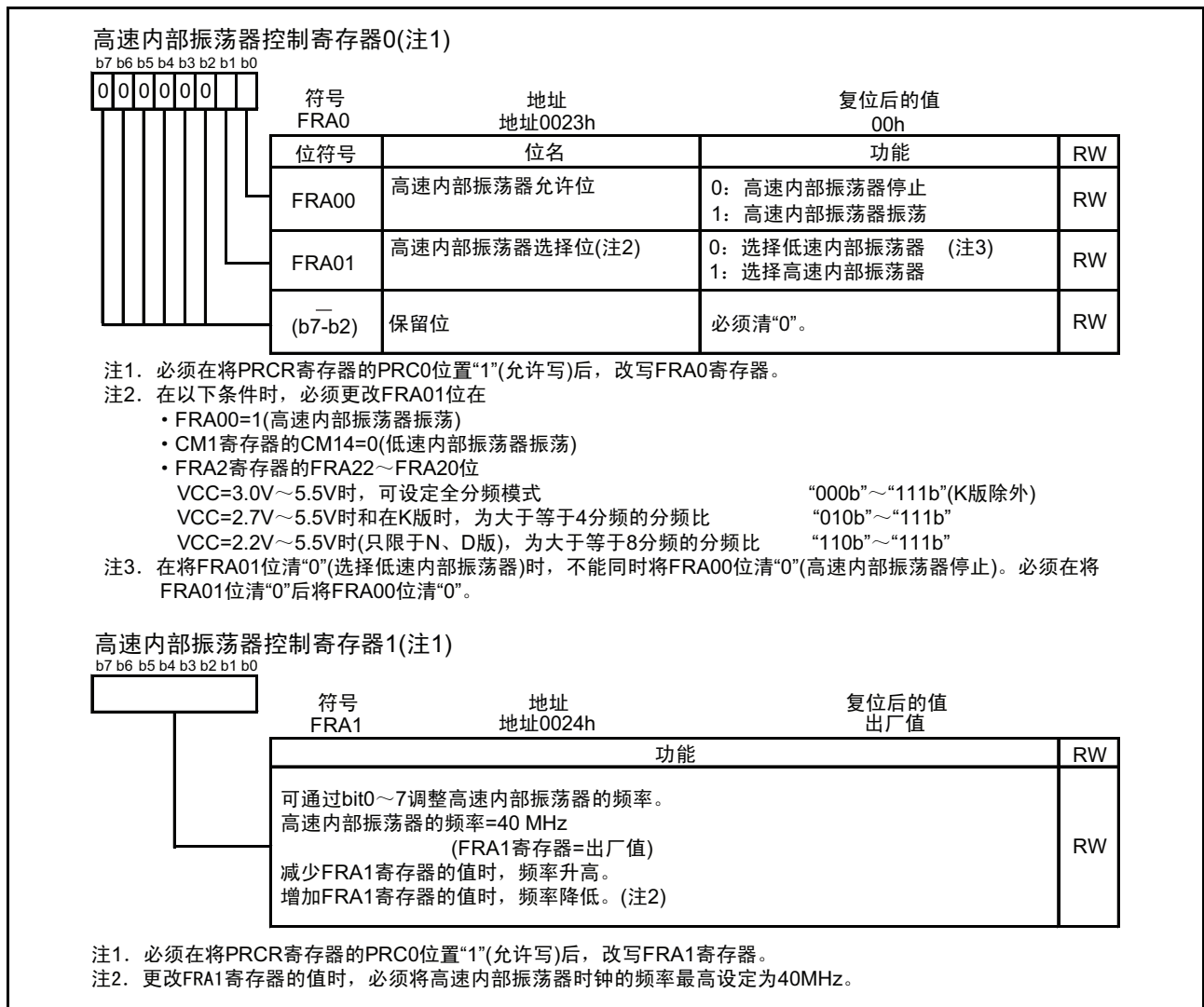


图 11.5 FRA0、FRA1 寄存器

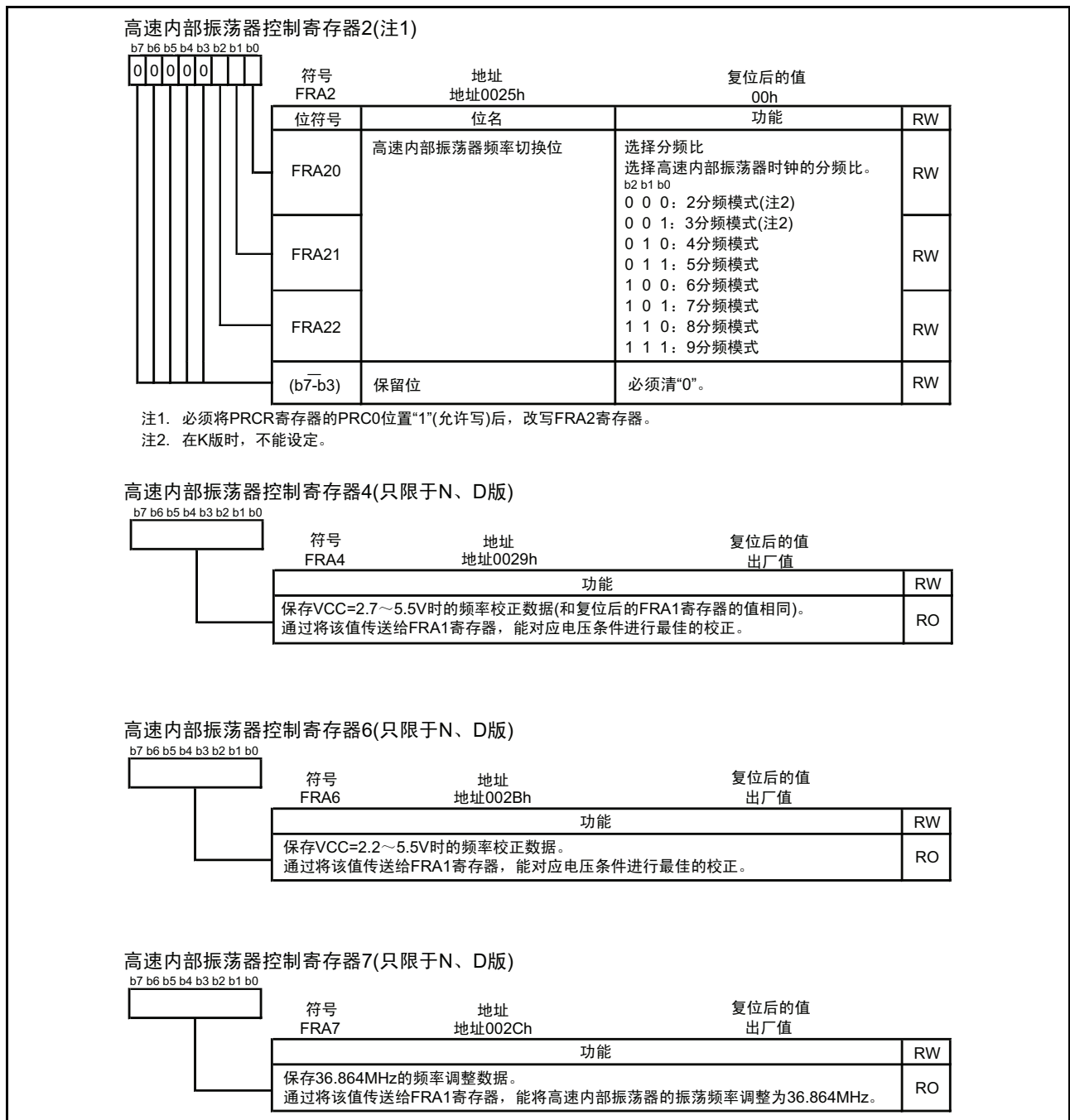


图 11.6 FRA2、FRA4、FRA6、FRA7 寄存器



图 11.7 CPSRF 寄存器

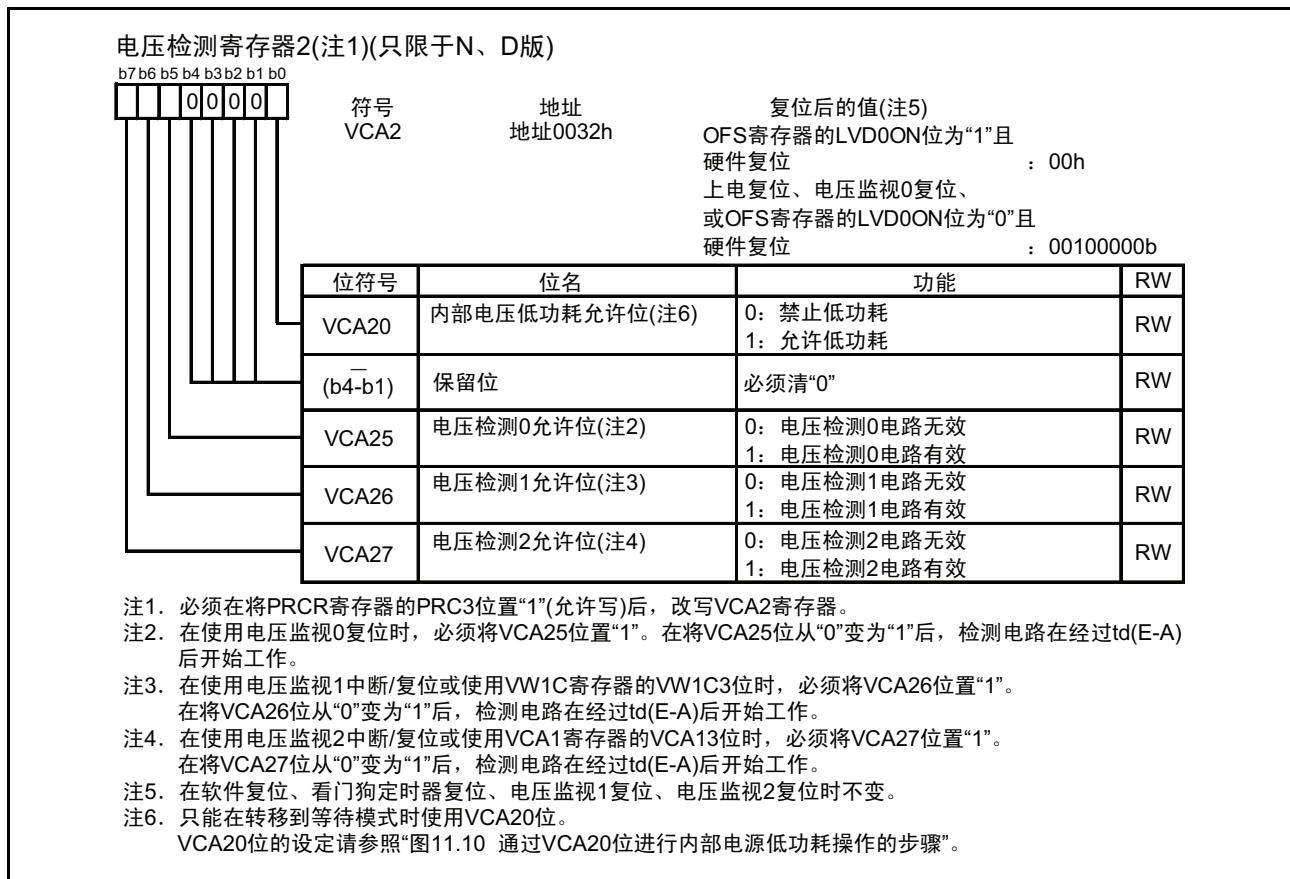


图 11.8 VCA2 寄存器 (N、D 版)

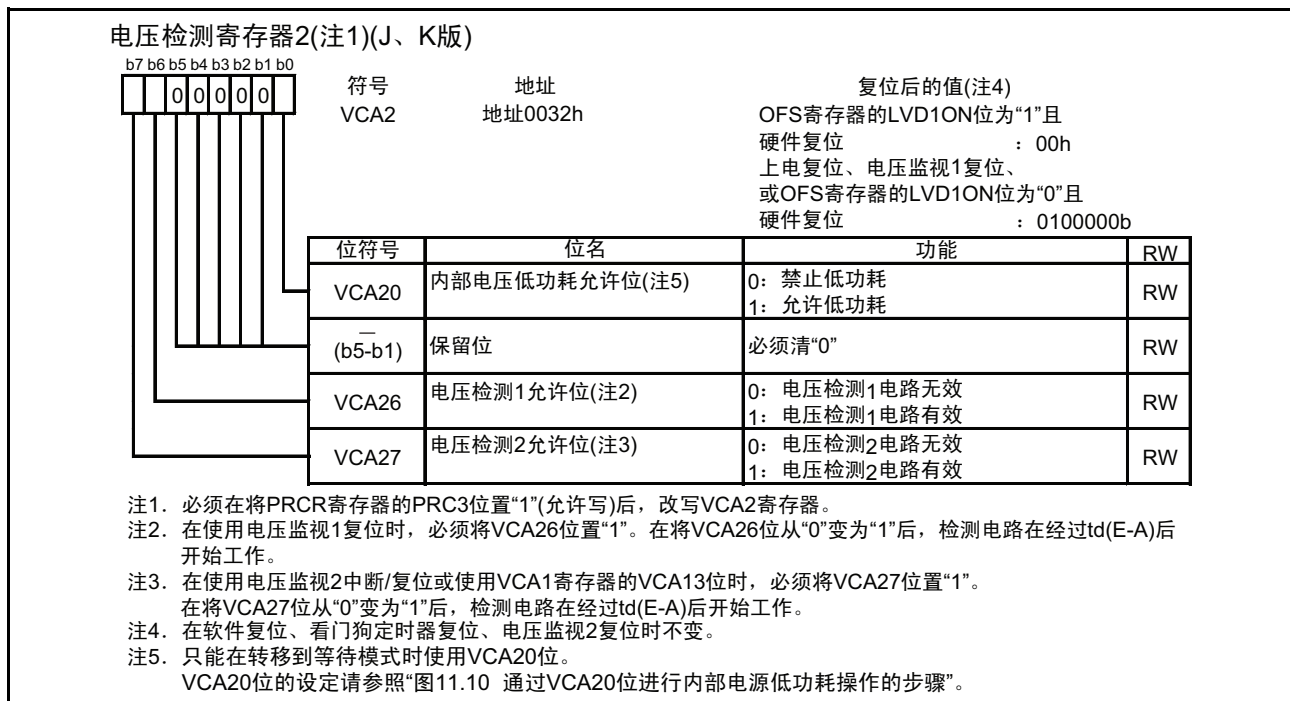


图 11.9 VCA2 寄存器 (J、K 版)

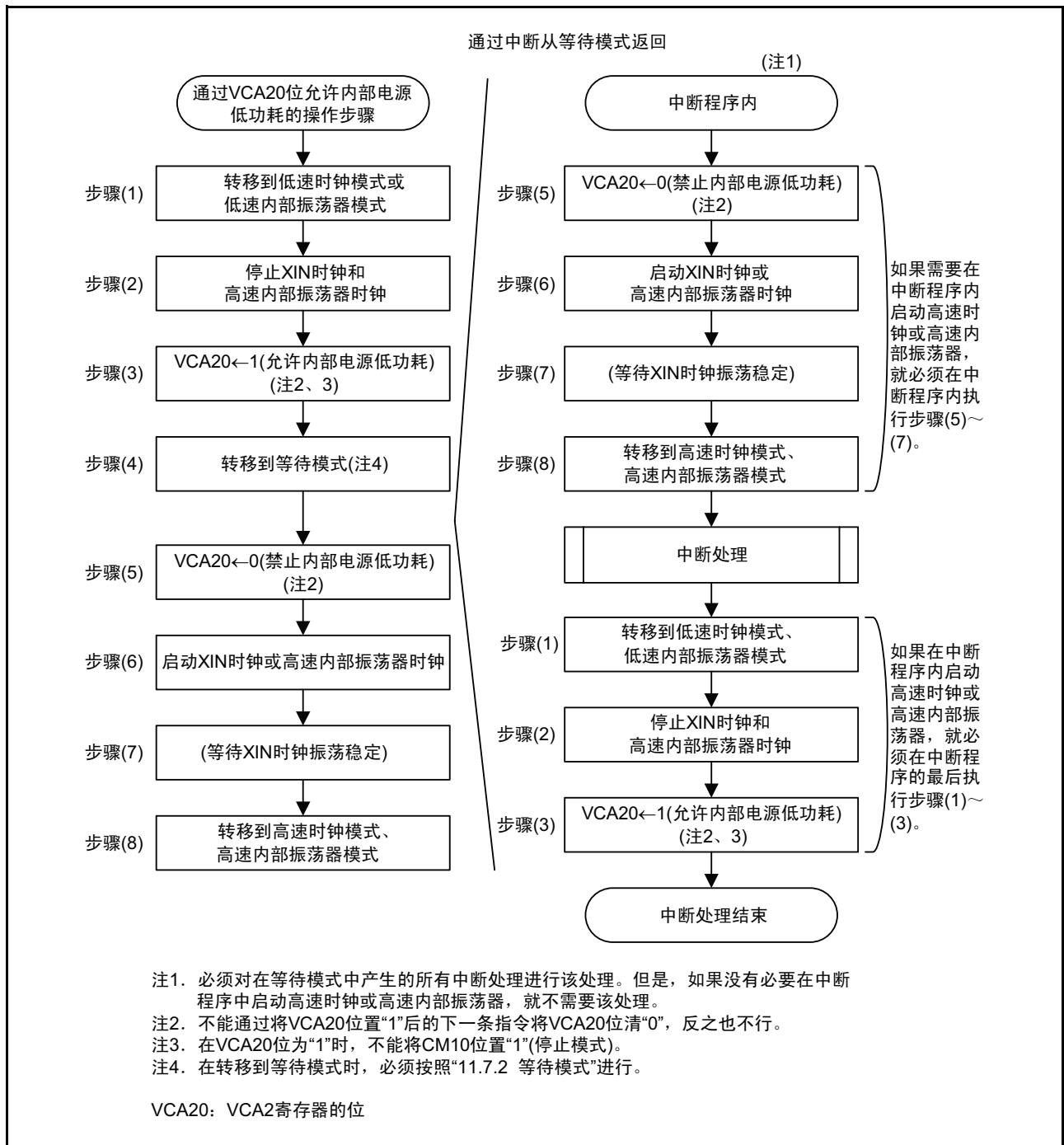


图 11.10 通过 VCA20 位进行内部电源低功耗操作的步骤

以下说明由时钟产生电路生成的时钟。

11.1 XIN 时钟

XIN 时钟是 XIN 时钟振荡电路提供的时钟，为 CPU 时钟和外围功能时钟的时钟源。XIN 时钟振荡电路通过在 XIN-XOUT 引脚之间连接振荡器构成振荡电路。XIN 时钟振荡电路内置反馈电阻，为了在停止模式时降低功耗，将反馈电阻从振荡电路分离。对于 XIN 时钟振荡电路，也能将外部生成的时钟输入到 XIN 引脚。

XIN 时钟的连接电路例如图 11.11 所示。

在复位中和在复位后，XIN 时钟停止。

如果在将 CM0 寄存器的 CM01 位清“0”（XIN 时钟）并且将 CM1 寄存器的 CM13 位置“1”（XIN-XOUT 引脚）后，将 CM0 寄存器的 CM05 位清“0”（XIN 时钟振荡），XIN 时钟就开始振荡。如果在 XIN 时钟振荡稳定后，将 OCD 寄存器的 OCD2 位清“0”（选择 XIN 时钟），XIN 时钟就成为 CPU 的时钟源。

在将 OCD2 位置“1”（选择内部振荡器时钟）后使用时，如果将 CM0 寄存器的 CM05 位置“1”（XIN 时钟停止），就能降低功耗。另外，在将外部生成的时钟输入到 XIN 引脚时，即使将 CM05 位置“1”，XIN 时钟也不停止，因此，必要时需从外部停止时钟。

该单片机内置了反馈电阻，可通过 CM1 寄存器的 CM11 位切换内置电阻的有效或无效。

在停止模式时，包括 XIN 时钟在内的全部时钟都停止。详细内容请参照“11.5 功率控制”。

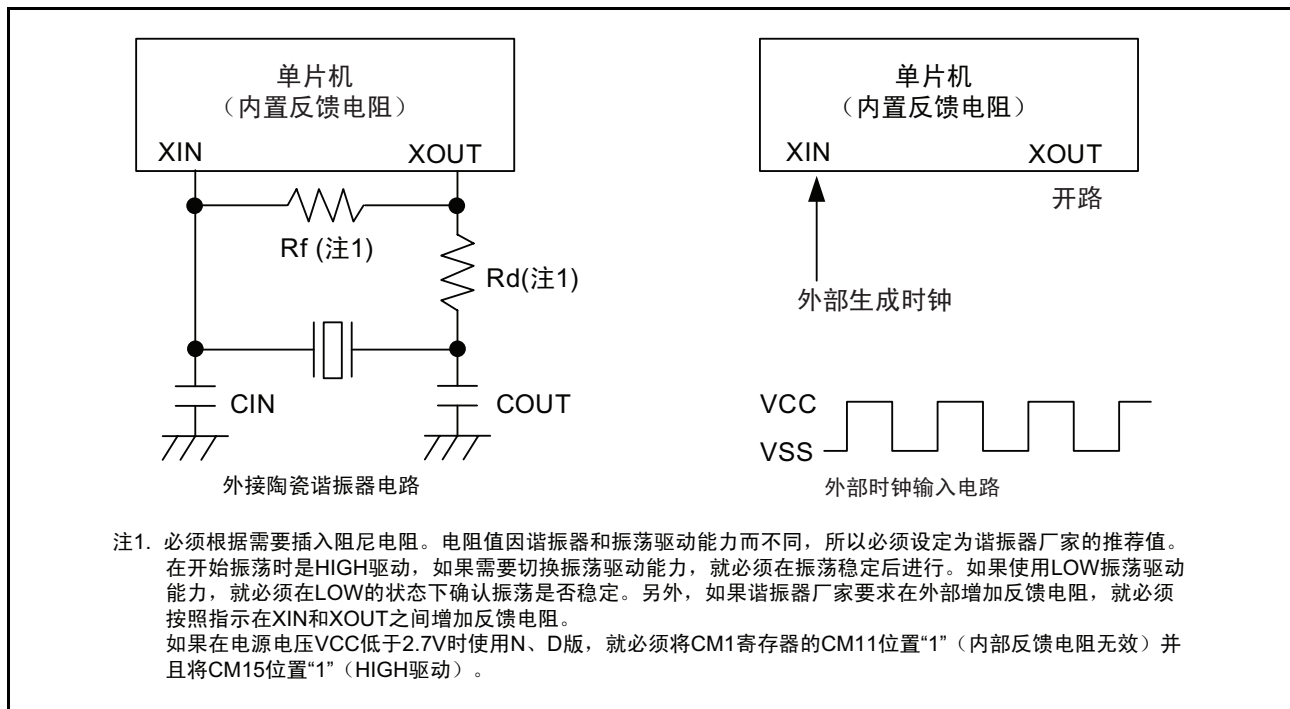


图 11.11 XIN 时钟的连接电路例

11.2 内部振荡器时钟

这是内部振荡器提供的时钟，内部振荡器有高速内部振荡器和低速内部振荡器。由 FRA0 寄存器的 FRA01 位选择的内部振荡器的时钟为内部振荡器时钟。

11.2.1 低速内部振荡器时钟

由低速内部振荡器生成的时钟成为 CPU 时钟、外围功能时钟、fOCO、fOCO-S 的时钟源。

在复位后，由低速内部振荡器生成的内部振荡器时钟的 8 分频成为 CPU 时钟。

另外，如果 OCD 寄存器的 OCD1 ~ OCD0 位为“11b”，就在 XIN 时钟停止时低速内部振荡器自动开始运行，供给时钟。

由于低速内部振荡器的频率根据电源电压和工作环境温度变化很大，因此在设计应用产品时必须对频率变化留有充分的容限。

11.2.2 高速内部振荡器时钟

由高速内部振荡器生成的时钟成为 CPU 时钟、外围功能时钟、fOCO、fOCO-F、fOCO40M 的时钟源。

在作为 CPU 时钟、外围时钟、fOCO、fOCO-F 的时钟源使用时，必须通过 FRA2 寄存器的 FRA20 ~ FRA22 位，进行以下设定。

- VCC=3.0V ~ 5.5V 时，可设定全部分频模式 “000b” ~ “111b” (K 版除外)
- VCC=2.7V ~ 5.5V 时在 K 版时，大于等于 4 分频的分频比 “010b” ~ “111b”
- VCC=2.2V ~ 5.5V 时 (只限于 N、D 版)，大于等于 8 分频的分频比 “110b” ~ “111b”

由高速内部振荡器生成的内部振荡器时钟在复位后停止。如果将 FRA0 寄存器的 FRA00 位置“1” (高速内部振荡器振荡)，就开始振荡，并且能使用 FRA1 寄存器和 FRA2 寄存器调整频率。

FRA4 寄存器保存对应 VCC=2.7V ~ 5.5V 电源电压范围的频率校正数据 (与复位后的 FRA1 的值相同)，FRA6 寄存器保存对应以下 VCC=2.2V ~ 5.5V 电源电压范围的频率校正数据 (只限于 N、D 版)。使用对应电压范围的校正值时，必须将 FRA4、FRA6 寄存器的各校正值传送到 FRA1 寄存器。

FRA7 寄存器保存 36.864MHz 的频率调整数据 (只限于 N、D 版)。要将高速内部振荡器的时钟频率调整为 36.864MHz 时，必须将 FRA7 寄存器的调整值传送到 FRA1 寄存器。从而，在将串行接口用于 UART 模式时，能使 9600bps 和 38400bps 等位速率的设定误差为 0% (参照“表 16.7 UART 模式时的位速率设定例 (选择内部时钟时)”)。

FRA1 寄存器各个位的频率调整量有偏差，所以必须改变各个位来进行调整。调整 FRA1 寄存器时，必须将高速内部振荡器时钟的频率设定为小于等于 40MHz。

11.3 XCIN 时钟（只限于 N、D 版）

XCIN 时钟是 XCIN 时钟振荡电路提供的时钟。为 CPU 时钟和外围功能时钟的时钟源。XCIN 时钟振荡电路通过在 XCIN-XCOUT 引脚之间连接振荡器构成振荡电路。XCIN 时钟振荡电路内置反馈电阻，为了在停止模式时降低功耗，将反馈电阻从振荡电路分离。对于 XCIN 时钟振荡电路，也能将外部生成的时钟输入到 XCIN 引脚。

XCIN 时钟的连接电路例如图 11.12 所示。

在复位中和在复位后，XCIN 时钟停止。

如果在将 CM0 寄存器的 CM01 位置“1”（XCIN 时钟）并且将 CM04 位置“1”（XCIN-XCOUT 引脚）后，XCIN 时钟就开始振荡。如果在 XCIN 时钟振荡稳定后，将 OCD 寄存器的 OCD2 位清“0”（选择 XIN 时钟），XCIN 时钟就成为 CPU 的时钟源。

该单片机内置了反馈电阻，可以由 CM1 寄存器的 CM12 位切换内置电阻的有效/无效。

在停止模式时，包括 XCIN 时钟在内的全部时钟都停止。详细内容请参照“11.5 功率控制”。

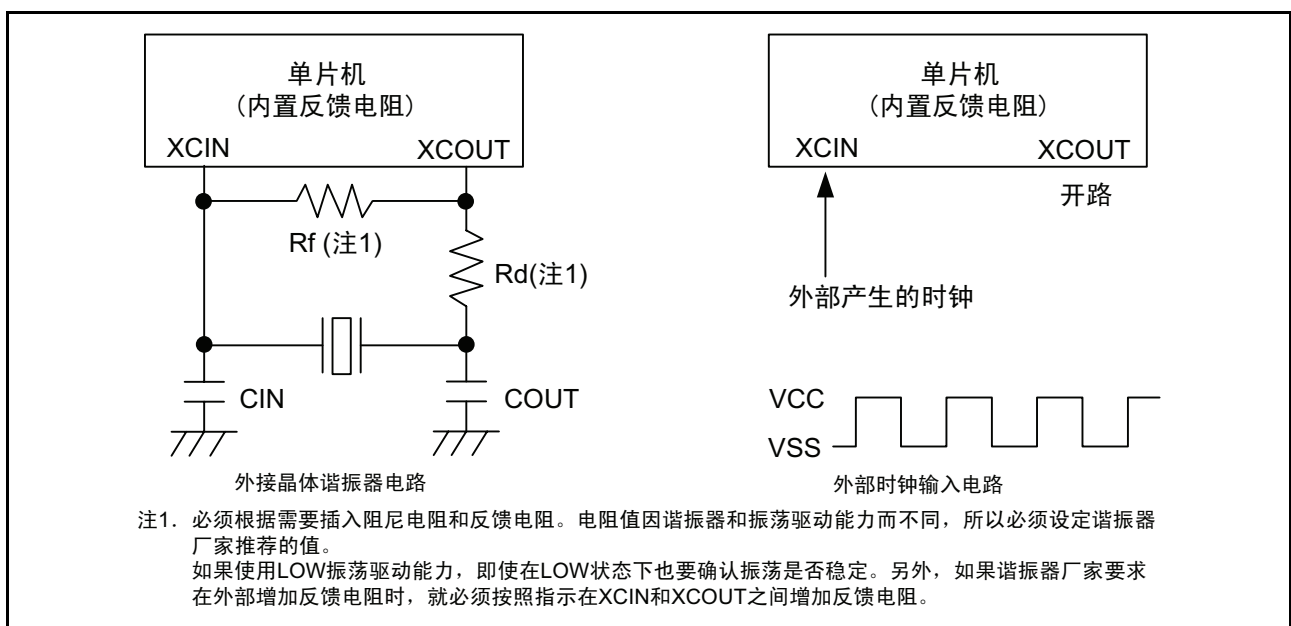


图 11.12 XCIN 时钟的连接电路例

11.4 CPU 时钟和外围功能时钟

有使 CPU 运行的 CPU 时钟和使外围功能运行的时钟（请参照“图 11.1 时钟产生电路”）。

11.4.1 系统时钟

系统时钟是 CPU 时钟和外围功能时钟的时钟源，能选择 XIN 时钟、XCIN 时钟或者内部振荡器时钟（在 J、K 版时不能选择 XCIN 时钟）。

11.4.2 CPU 时钟

CPU 时钟是 CPU 和看门狗定时器的运行时钟。

对系统时钟进行 1 分频（无分频）或者 2、4、8、16 分频后的时钟成为 CPU 时钟。能通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM16 ~ CM17 位选择分频。

另外，必须在 XCIN 时钟振荡稳定时使用 XCIN 时钟。

在复位后，低速内部振荡器时钟的 8 分频成为 CPU 时钟。

转移到停止模式时，CM06 位变为“1”（8 分频模式）。

（在 J、K 版时，不能选择 XCIN 时钟）

11.4.3 外围功能时钟（f1、f2、f4、f8、f32）

这是外围功能的运行时钟。

f_i(i=1、2、4、8、32) 是对系统时钟进行 i 分频后的时钟，用于定时器 RA、定时器 RB、定时器 RC、定时器 RE、串行接口和 A/D 转换器。

如果在将 CM0 寄存器的 CM02 位置“1”（在等待模式时，停止外围功能时钟）后执行 WAIT 指令，f_i 就停止。

11.4.4 fOCO

fOCO 是外围功能的运行时钟。

fOCO 是和内部振荡器时钟相同频率的时钟，用于定时器 RA。在执行 WAIT 指令时，fOCO 不停止。

11.4.5 fOCO40M

fOCO40M 是定时器 RC 的计数源。

fOCO40M 是由高速内部振荡器生成的时钟。如果将 FRA00 位置“1”，就供给 fOCO40M。

在执行 WAIT 指令时，fOCO40M 不停止。

该时钟能够在电源电压 VCC=3.0 ~ 5.5V 的范围内使用。

11.4.6 fOCO-F

fOCO-F 是 A/D 转换器的计数源。

fOCO-F 是由高速内部振荡器生成的时钟。如果将 FRA00 位置“1”，就供给 fOCO-F。

在执行 WAIT 指令时，fOCO-F 不停止。

11.4.7 fOCO-S

fOCO-S 是看门狗定时器和电压检测电路的运行时钟。

fOCO-S 是由低速内部振荡器产生的时钟。如果将 CM14 位清“0”（低速内部振荡器振荡），就供给 fOCO-S。

在执行 WAIT 指令时或者在看门狗定时器的计数源保护模式时，fOCO-S 不停止。

11.4.8 fC4、fC32

fC4、fC32 用于定时器 RA、定时器 RE。

并且，fC4、fC32 必须在 XCIN 时钟振荡稳定时使用。

（在 J、K 版时，不能使用 fC4、fC32。）

11.4.9 fOCO128

fOCO128 是将 fOCO 进行 128 分频的时钟。

为定时器 RC 的 TRCGRA 寄存器使用的捕捉信号。

11.5 功率控制

功率控制有 3 种模式。为了方便起见，在此将除了等待模式和停止模式以外的状态称为标准运行模式。

11.5.1 标准运行模式

标准运行模式又分为 4 种模式。

在标准运行模式中，由于供给 CPU 时钟和外围功能时钟，因此 CPU 和外围功能都运行。通过控制 CPU 时钟的频率进行功率控制。CPU 时钟的频率越高处理能力就越强，频率越低功耗就越小。另外，如果使不需要的振荡电路停止，功耗就更小。

在转换 CPU 时钟的时钟源时，转换后的时钟需要稳定振荡。在转换后的时钟为 XIN 时钟或 XCIN 时钟时，必须在通过程序取得振荡稳定的等待时间后转换。

表 11.2 时钟相关位的设定和模式

模式		OCD 寄存器	CM1 寄存器			CM0 寄存器				FRA0 寄存器	
		OCD2	CM17、 CM16	CM14	CM13	CM06	CM05	CM04	CM01	FRA01	FRA00
高速时钟模式	无分频	0	00b	—	1	0	0	—	0	—	—
	2 分频	0	01b	—	1	0	0	—	0	—	—
	4 分频	0	10b	—	1	0	0	—	0	—	—
	8 分频	0	—	—	1	1	0	—	0	—	—
	16 分频	0	11b	—	1	0	0	—	0	—	—
低速时钟模式 (注 1)	无分频	0	00b	—	—	0	—	1	1	—	—
	2 分频	0	01b	—	—	0	—	1	1	—	—
	4 分频	0	10b	—	—	0	—	1	1	—	—
	8 分频	0	—	—	—	1	—	1	1	—	—
	16 分频	0	11b	—	—	0	—	1	1	—	—
高速内部振荡器模式	无分频	1	00b	—	—	0	—	—	—	1	1
	2 分频	1	01b	—	—	0	—	—	—	1	1
	4 分频	1	10b	—	—	0	—	—	—	1	1
	8 分频	1	—	—	—	1	—	—	—	1	1
	16 分频	1	11b	—	—	0	—	—	—	1	1
低速内部振荡器模式	无分频	1	00b	0	—	0	—	—	—	0	—
	2 分频	1	01b	0	—	0	—	—	—	0	—
	4 分频	1	10b	0	—	0	—	—	—	0	—
	8 分频	1	—	0	—	1	—	—	—	0	—
	16 分频	1	11b	0	—	0	—	—	—	0	—

注 1. 只限于 N、D 版。

—: 不受“0”和“1”的影响。

11.5.1.1 高速时钟模式

XIN 时钟的 1 分频（无分频）、2 分频、4 分频、8 分频或 16 分频为 CPU 时钟。在转移到高速内部振荡器模式、低速内部振荡器模式时，必须将 CM06 位置“1”（8 分频模式）。在 CM14 位为“0”（低速内部振荡器振荡）或者 FRA0 寄存器的 FRA00 位为“1”（高速内部振荡器振荡）时，fOCO 能用于定时器 RA。另外，FRA00 位为“1”时，fOCO40M 能用于定时器 RC。

在 CM14 位为“0”（低速内部振荡器振荡）时，fOCO-S 能用于看门狗定时器和电压检测电路。

11.5.1.2 低速时钟模式（只限于 N、D 版）

XCIN 时钟的 1 分频（无分频）、2 分频、4 分频、8 分频或 16 分频为 CPU 时钟。在转移到高速内部振荡器模式、低速内部振荡器模式时，必须将 CM06 位置“1”（8 分频模式）。在 CM14 位为“0”（低速内部振荡器振荡）或者 FRA0 寄存器的 FRA00 位为“1”（高速内部振荡器振荡）时，fOCO 能用于定时器 RA。另外，FRA00 位为“1”时，fOCO40M 能用于定时器 RC。

在 CM14 位为“0”（低速内部振荡器振荡）时，fOCO-S 能用于看门狗定时器和电压检测电路。

在该模式中，通过停止 XIN 时钟和高速内部振荡器，并且将 FMR4 寄存器的 FMR47 位置“1”（允许闪存低功耗读模式），能够进行低功耗运行。

另外，从该模式进入等待模式时，通过将 VCA2 寄存器的 VCA20 位置“1”（允许内部电源低功耗），能够使待模式中的电流功耗降得更低。

在通过 VCA20 位允许内部电源低功耗时，请参照“图 11.14 通过 VCA20 位进行内部电源低功耗操作的步骤”。

11.5.1.3 高速内部振荡器模式

FRA0 寄存器的 FRA00 位为“1”（高速内部振荡器振荡）并且 FRA0 寄存器的 FRA01 位为“1”时，高速内部振荡器成为内部振荡器时钟。此时，内部振荡器时钟的 1 分频（无分频）、2 分频、4 分频、8 分频或 16 分频为 CPU 时钟。在转移到高速时钟模式时，必须将 CM06 位置“1”（8 分频模式）。FRA00 位为“1”时，fOCO40M 能用于定时器 RC。

另外，CM14 位为“0”（低速内部振荡器振荡）时，fOCO-S 能用于看门狗定时器和电压检测电路。

11.5.1.4 低速内部振荡器模式

当 CM1 寄存器的 CM14 位为“0”（低速内部振荡器振荡）并且 FRA0 寄存器的 FRA01 位为“0”时，低速内部振荡器成为内部振荡器时钟。此时，内部振荡器时钟的 1 分频（无分频）、2 分频、4 分频、8 分频或 16 分频为 CPU 时钟。另外，内部振荡器时钟成为外围功能时钟的时钟源。在转移到高速时钟模式时，必须将 CM06 位置“1”（8 分频模式）。在 FRA00 位为“1”时，fOCO4M 能用于定时器 RC。

在 CM14 位为“0”（低速内部振荡器振荡）时，fOCO-S 能用于看门狗定时器和电压检测电路。

在该模式中，通过停止 XIN 时钟和高速内部振荡器，并且将 FMR4 寄存器的 FMR47 位置“1”（允许闪存低功耗读模式），能够进行低功耗运行。

另外，从该模式进入等待模式时，将 VCA2 寄存器的 VCA20 位置“1”（允许内部电源低功耗），能够使等待模式中的电流消耗降得更低。

在通过 VCA20 位允许内部电源低功耗时，请参照“图 11.14 通过 VCA20 位进行内部电源低功耗操作的步骤”。

11.5.2 等待模式

在等待模式时，CPU 时钟停止，所以用 CPU 时钟运行的 CPU 和计数源保护模式无效时的看门狗定时器停止运行。XIN 时钟、XCIN 时钟和内部振荡器时钟不停止，使用这些时钟的外围功能处于运行状态。

11.5.2.1 外围功能时钟停止功能

在 CM02 位为“1”（在等待模式时，停止外围功能时钟）的情况下，由于在等待模式时 f1、f2、f4、f8、f32 停止，因此能降低功耗。

11.5.2.2 等待模式的转移

如果执行 WAIT 指令，就变为等待模式。

OCD 寄存器的 OCD2 位为“1”（选择内部振荡器为系统时钟）时，必须在将 OCD 寄存器的 OCD1 位清“0”（禁止振荡停止检测中断）后，执行 WAIT 指令。

在 OCD1 位为“1”（允许振荡停止检测中断）的状态时，如果转移到等待模式，由于 CPU 时钟不停止，所以消耗电流不会减少。

11.5.2.3 等待模式时的引脚状态

输入 / 输出端口保持进入等待模式前的状态。

11.5.2.4 从等待模式的返回

通过复位或者外围功能中断，从等待模式返回。

外围功能中断受 CM02 位的影响。在 CM02 位为“0”（在等待模式时，不停止外围功能时钟）时，所有外围功能中断都能用于从等待模式的返回。在 CM02 位为“1”（在等待模式时，停止外围功能时钟）时，由于使用外围功能时钟的外围功能停止，因此通过外部信号或者内部振荡器时钟运行的外围功能的中断能用于从等待模式的返回。

能用于从等待模式返回的中断和使用条件如表 11.3 所示。

表 11.3 能用于从等待模式返回的中断和使用条件

中断	在 CM02=0 时	在 CM02=1 时
串行接口中断	能用于内部时钟和外部时钟	能用于外部时钟
带片选的时钟同步串行 I/O 中断 / I ² C 总线接口中断	能用于全部模式	—（不能使用）
键输入中断	能使用	能使用
A/D 转换中断	能用于单次模式	—（不能使用）
定时器 RA 中断	能用于全部模式	在没有滤波器时，能用于事件计数器模式 可选择 fOCO、fC32（注 1）为计数源来使用
定时器 RB 中断	能用于全部模式	—（不能使用）
定时器 RE 中断	能用于全部模式	能用于实时时钟模式（注 1）
$\overline{\text{INT}}$ 中断	能使用	能使用（ $\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 能在没有滤波器的情况下使用）
电压监视 1 中断	能使用	能使用
电压监视 2 中断	能使用	能使用
振荡停止检测中断	能使用	—（不能使用）

注 1. 只限于 N、D 版。

从等待模式到执行中断程序的时间如图 11.13 所示。

如果在从等待模式返回时使用外围功能中断，就必须在执行 WAIT 指令前进行以下设定。

- (1) 给用于从等待模式返回的外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位设定中断优先级。
将不用于从等待模式返回的外围功能中断的 ILVL2 ~ ILVL0 位全部置“000b”（禁止中断）。
- (2) 将 I 标志置“1”。
- (3) 启动用于从等待模式返回的外围功能。

在通过外围中断返回时，从产生中断请求到执行中断程序的时间（周期数）取决于 FMRO 寄存器的 FMSTP 位的设定，如图 11.13 所示。

通过外围功能中断从等待模式返回时的 CPU 时钟与执行 WAIT 指令时的 CPU 时钟相同。

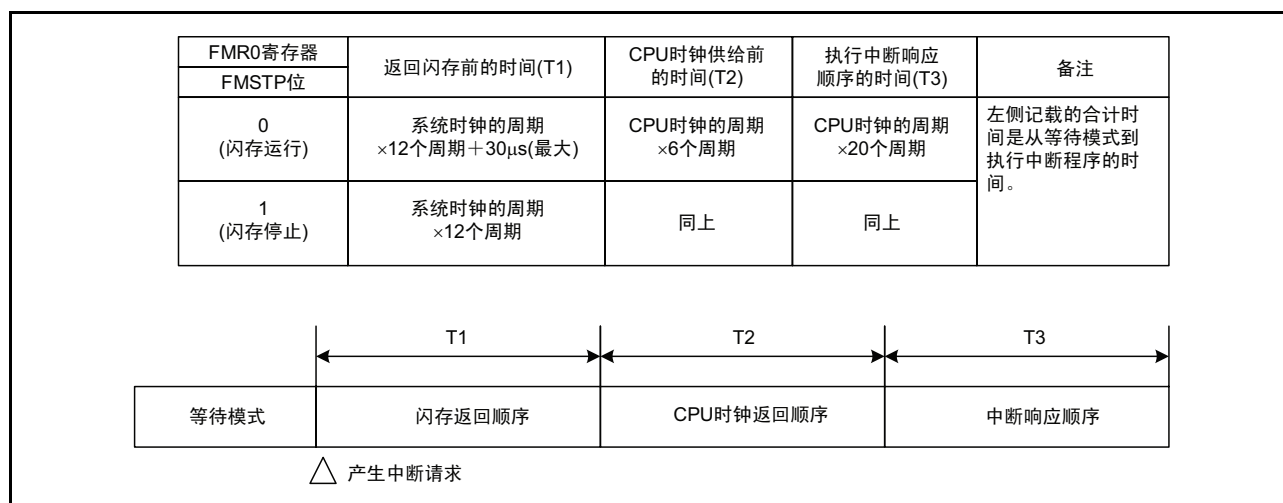


图 11.13 从等待模式到执行中断程序的时间

11.5.2.5 内部电源功耗的降低

在低速时钟模式（只限于 N、D 版）或低速内部振荡器模式时，能够减少内部电源的功耗。通过 VCA20 位进行内部电源低功耗操作的步骤如图 11.14 所示。

通过 VCA20 位允许内部电源低功耗时，请参照“图 11.14 通过 VCA20 位进行内部电源低功耗操作的步骤”。

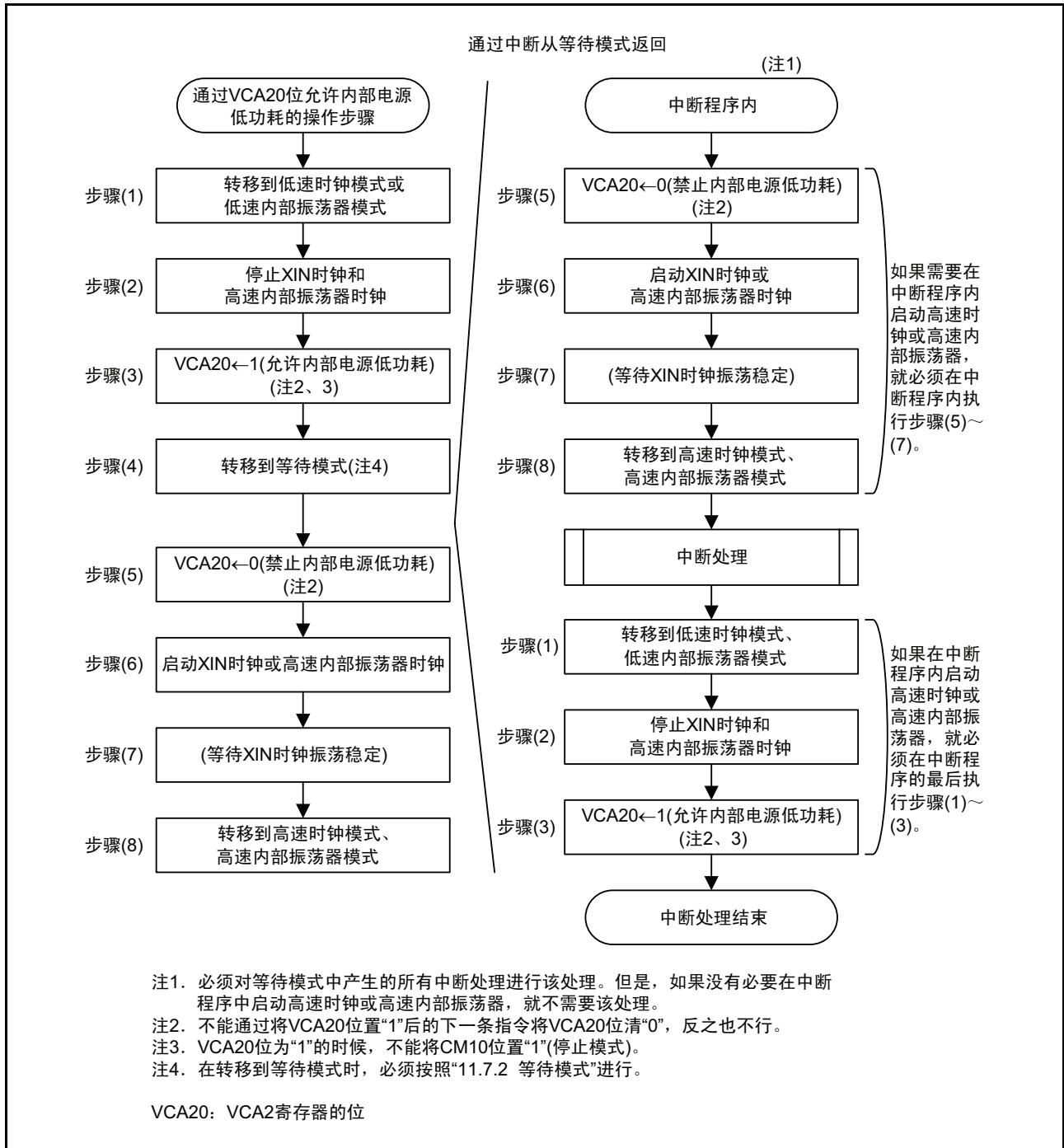


图 11.14 通过 VCA20 位进行内部电源低功耗操作的步骤

11.5.3 停止模式

在停止模式，停止所有振荡。因此，CPU 时钟和外围功能时钟也停止，通过这些时钟运行的 CPU 和外围功能都停止运行。停止模式是功耗最小的模式。另外，在外加给 VCC 引脚的电压大于等于 VRAM 时，保持内部 RAM 的内容。

另外，通过外部信号运行的外围功能运行。能用于从停止模式返回的中断和使用条件如表 11.4 所示。

表 11.4 能用于从停止模式返回的中断和使用条件

中断	使用条件
键输入中断	—
$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 中断	能在没有滤波器的情况下使用
定时器 RA 中断	在没有滤波器时并且在事件计数器模式中对外部脉冲进行计数的情况下使用
串行接口中断	在选择外部时钟时
电压监视 1 中断（注 1）	能在数字滤波器无效模式（VW1C 寄存器的 VW1C1 位为“1”）的情况下使用
电压监视 2 中断	能在数字滤波器无效模式（VW2C 寄存器的 VW2C1 位为“1”）的情况下使用

注 1. 只限于 N、D 版。

11.5.3.1 停止模式的转移

如果将 CM1 寄存器的 CM10 位置“1”（停止所有时钟），就变为停止模式。同时 CM0 寄存器的 CM03 位变为“1”（XCIN 时钟振荡电路的驱动能力为 HIGH）、CM06 位变为“1”（8 分频模式），并且 CM1 寄存器的 CM15 位变为“1”（XIN 时钟振荡电路的驱动能力 HIGH）。

在使用停止模式时，必须在将 OCD1 ~ OCD0 位置“00b”后设定为停止模式。

11.5.3.2 停止模式时的引脚状态

保持进入停止模式前的状态。

但是，在 CM0 寄存器的 CM01 位为“0”（XIN 时钟）、CM1 寄存器的 CM13 位为“1”（XIN-XOUT 引脚）时，XOUT（P4_7）引脚为“H”电平。在 CM13 位为“0”（输入端口 P4_6 和 P4_7）时，P4_7（XOUT）为输入状态。

在 CM0 寄存器的 CM01 位为“1”（XCIN 时钟）、CM0 寄存器的 CM04 位为“1”（XCIN 时钟振荡）时，XCOUT（P4_7）引脚为“H”电平。在 CM04 位为“0”（XCIN 时钟停止）时，P4_7（XCOUT）为输入状态。

11.5.3.3 从停止模式的返回

通过复位或者外围功能中断，从停止模式返回。

从停止模式到执行中断程序的时间如图 11.15 所示。

在通过外围功能中断返回时，必须在进行如下设定后将 CM10 位置“1”：

- (1) 给用于从停止模式返回的外围功能中断的 ILVL2 ~ ILVL0 位设定中断优先级。
将不用于从停止模式返回的外围功能中断的 ILVL2 ~ ILVL0 位全部置“000b”（禁止中断）。
- (2) 将 I 标志置“1”。
- (3) 启动用于从停止模式返回的外围功能。

在通过外围功能中断返回的情况下，如果在产生中断请求后开始供给 CPU 时钟，就执行中断响应顺序。

如果停止模式前使用的时钟是系统时钟，通过外围功能中断从停止模式返回后的 CPU 时钟就变为该时钟的 8 分频时钟。

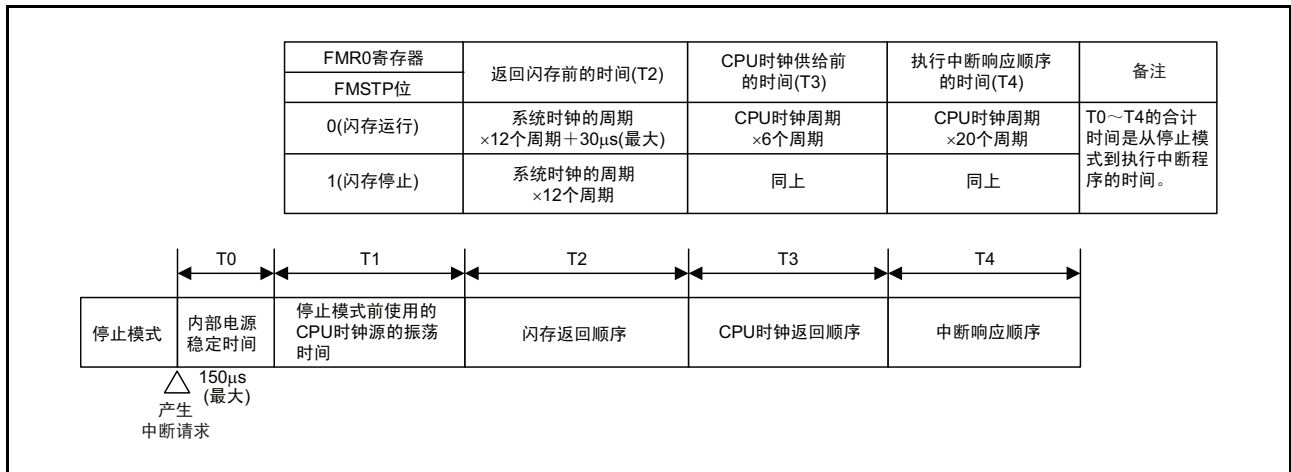


图 11.15 从停止模式到执行中断程序的时间

功率控制模式的状态转移 (CM0 寄存器的 CM01 位为 “0” 时) 如图 11.16、功率控制模式的状态转移 (CM0 寄存器的 CM01 位为 “1” 时) 如图 11.17 所示。

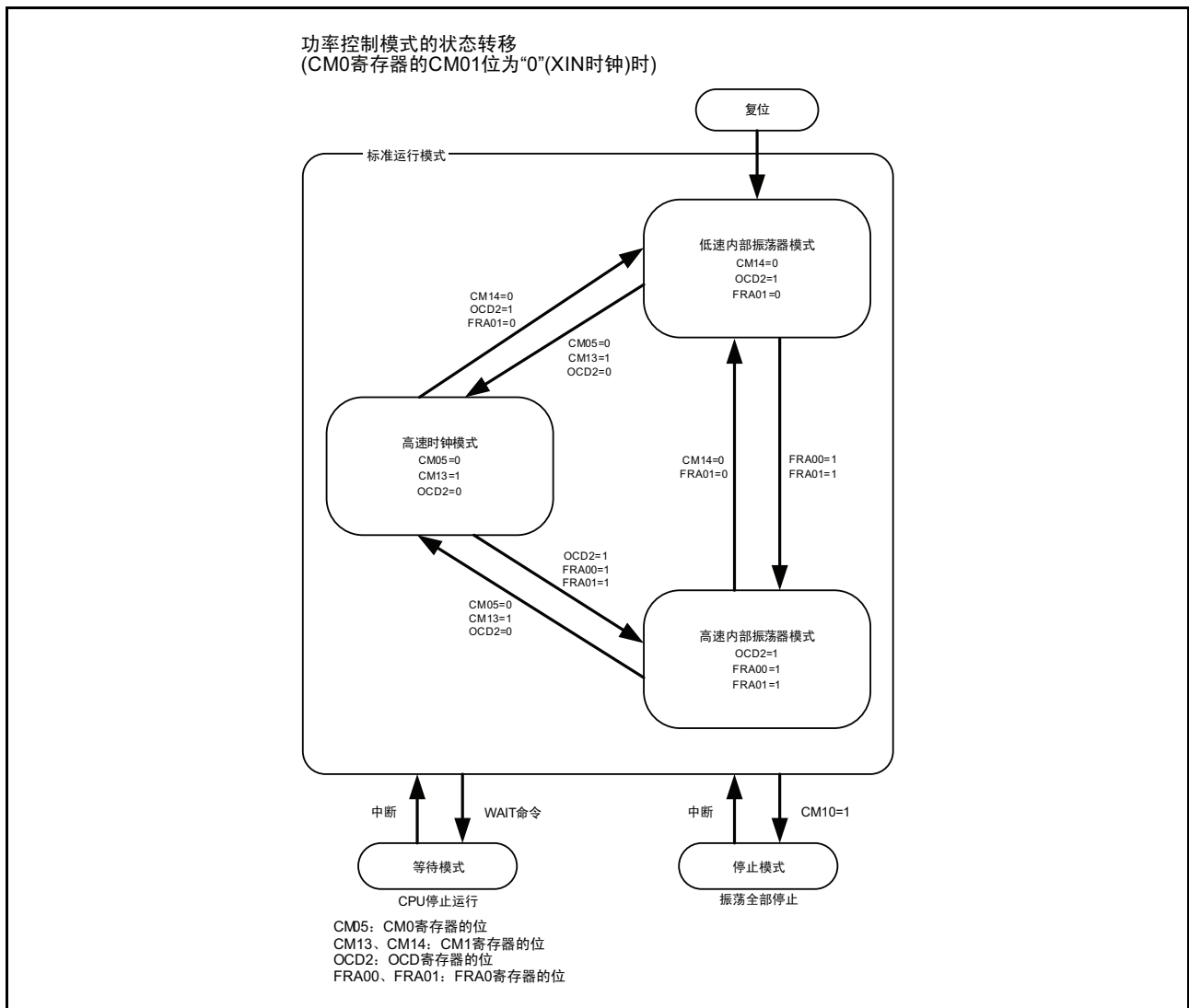


图 11.16 功率控制模式的状态转移 (CM0 寄存器的 CM01 位为 “0” 时)

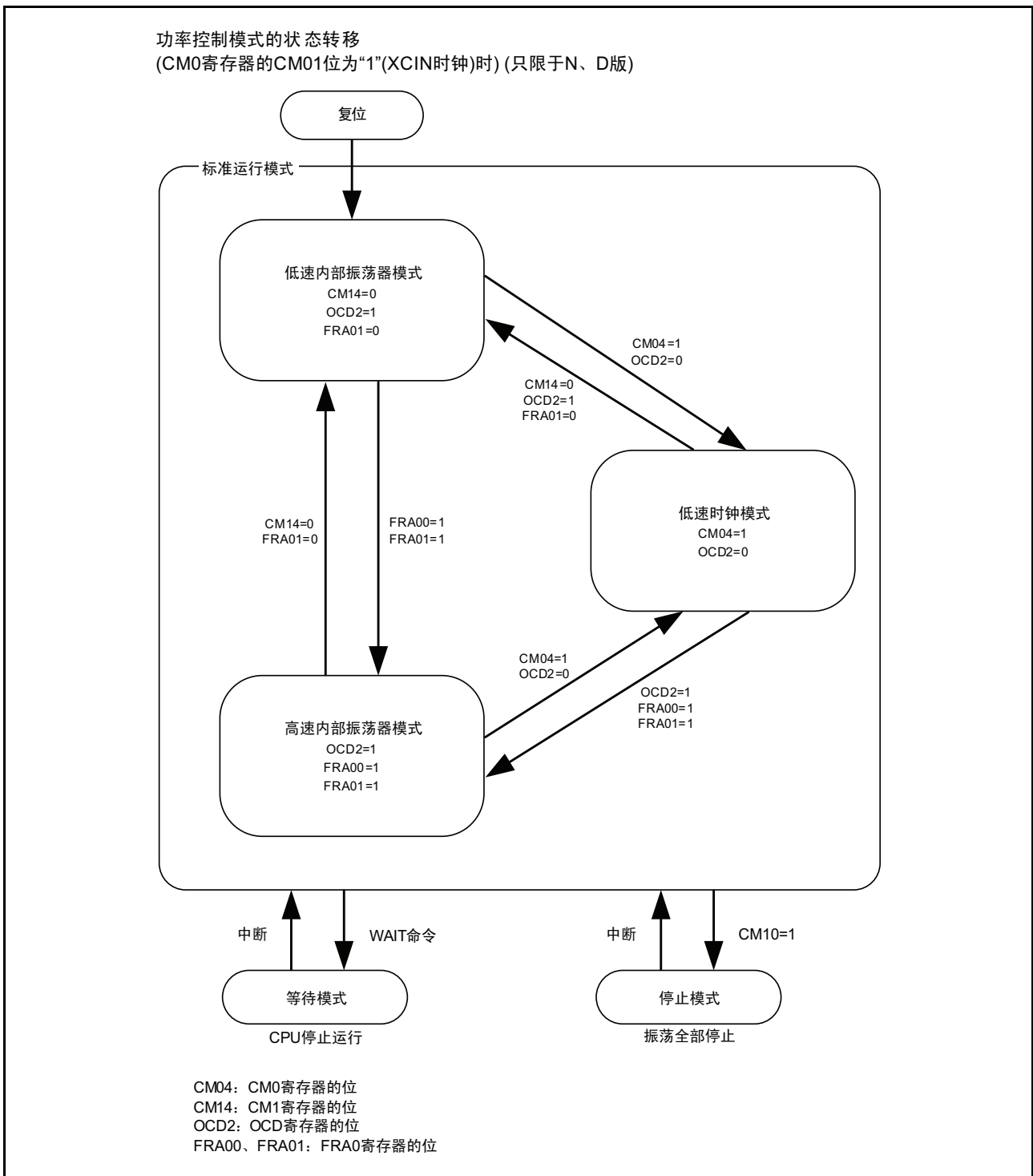


图 11.17 功率控制模式的状态转移 (CM0 寄存器的 CM01 位为 “1” 时)

11.6 振荡停止检测功能

振荡停止检测功能是检测 XIN 时钟振荡电路停止的功能。

通过 OCD 寄存器的 OCD0 位，能选择振荡停止检测功能是否有效。

振荡停止检测功能的规格如表 11.5 所示。

在 XIN 时钟为 CPU 时钟源并且 OCD1 ~ OCD0 位为 “11b” 的情况下，如果 XIN 时钟停止，就进入以下状态：

- OCD 寄存器的 OCD2 位 =1（选择内部振荡器时钟）
- OCD 寄存器的 OCD3 位 =1（XIN 时钟停止）
- CM1 寄存器的 CM14 位 =0（低速内部振荡器振荡）
- 产生振荡停止检测中断请求

表 11.5 振荡停止检测功能的规格

项目	规格
能检测振荡停止的时钟和频率范围	$f(\text{XIN}) \geq 2\text{MHz}$
振荡停止检测功能的有效条件	将 OCD1 ~ OCD0 位置 “11b”
振荡停止检测时的运行	产生振荡停止检测中断

11.6.1 振荡停止检测功能的使用方法

- 振荡停止检测中断和看门狗定时器中断、电压监视 1 中断、电压监视 2 中断共享向量。在同时使用振荡停止检测中断和看门狗定时器中断的情况下，必须判断中断源。

振荡停止检测中断、看门狗定时器中断、电压监视 1 中断和电压监视 2 中断的中断源判断如表 11.6 所示。振荡停止检测中断、看门狗定时器中断、电压监视 1 中断和电压监视 2 中断的中断源判断方法的例（N、D 版）如图 11.19、振荡停止检测中断、看门狗定时器中断和电压监视 2 中断的中断源判断方法的例（J、K 版）如图 11.20 所示。

- 在振荡停止后 XIN 时钟重新开始振荡时，必须通过程序将 XIN 时钟恢复到 CPU 时钟或者外围功能的时钟源。

从低速内部振荡器转换到 XIN 时钟的步骤如图 11.18 所示。

- 如果在使用振荡停止检测功能期间转移到等待模式，必须将 CM02 位清 “0”（在等待模式时，不停止外围功能时钟）。
- 振荡停止检测功能是针对因外部因素引起 XIN 时钟停止而设置的功能，因此在通过程序使 XIN 时钟停止或者振荡时（设定为停止模式或者更改 CM05 位），必须将 OCD1 ~ OCD0 位置 “00b”。
- 由于在 XIN 时钟的频率低于 2MHz 时不能使用该功能，因此必须将 OCD1 ~ OCD0 位置 “00b”。
- 如果 CPU 时钟和外围功能的时钟源在检测到振荡停止后使用低速内部振荡器时钟，就必须在 FRA0 寄存器的 FRA01 位清 “0”（选择低速内部振荡器）后，将 OCD1 ~ OCD0 位置 “11b”。
- 如果 CPU 时钟和外围功能的时钟源在检测到振荡停止后使用高速内部振荡器时钟，就必须在将 FRA00 位置 “1”（高速内部振荡器振荡）并且将 FRA01 位置 “1”（选择高速内部振荡器）后，将 OCD1 ~ OCD0 位置 “11b”。

表 11.6 振荡停止检测中断、看门狗定时器中断、电压监视 1 中断和电压监视 2 中断的中断源判断

产生的中断源	表示中断源的位
振荡停止检测（在（a）或者（b）时）	（a）OCD 寄存器的 OCD3=1
	（b）OCD 寄存器的 OCD1 ~ OCD0=11b 并且 OCD2=1
看门狗定时器	VW2C 寄存器的 VW2C3=1
电压监视 1（注 1）	VW1C 寄存器的 VW1C2=1
电压监视 2	VW2C 寄存器的 VW2C2=1

注 1. 只限于 N、D 版。

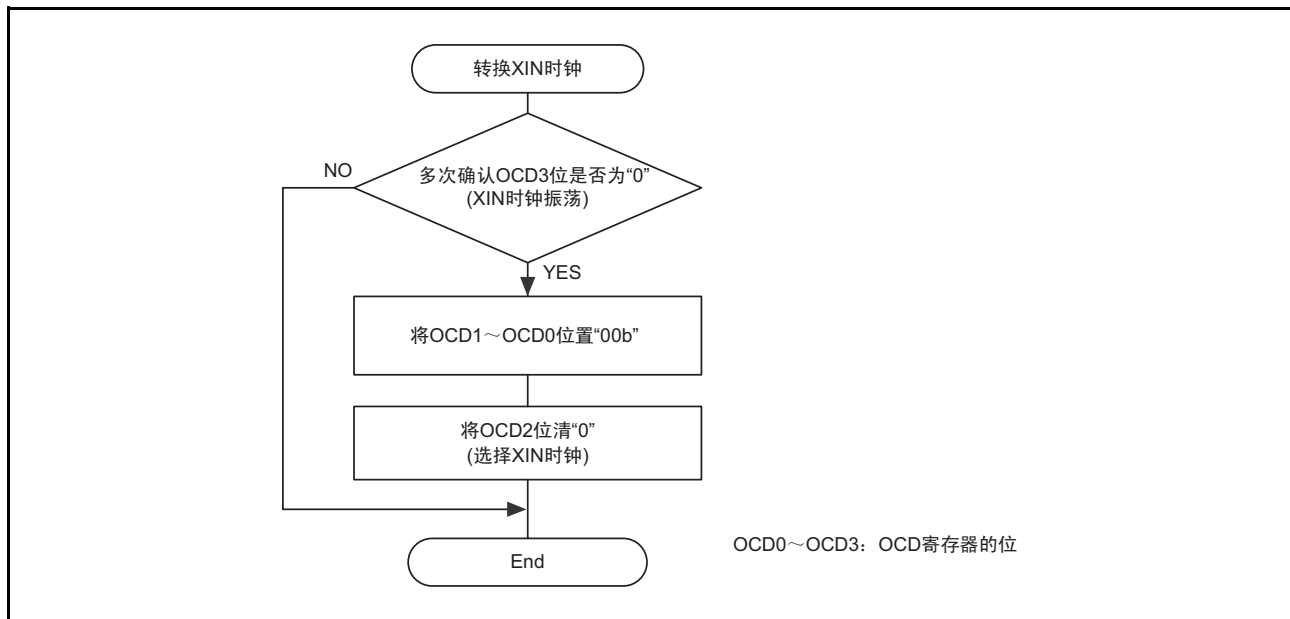


图 11.18 从低速内部振荡器转换到 XIN 时钟的步骤

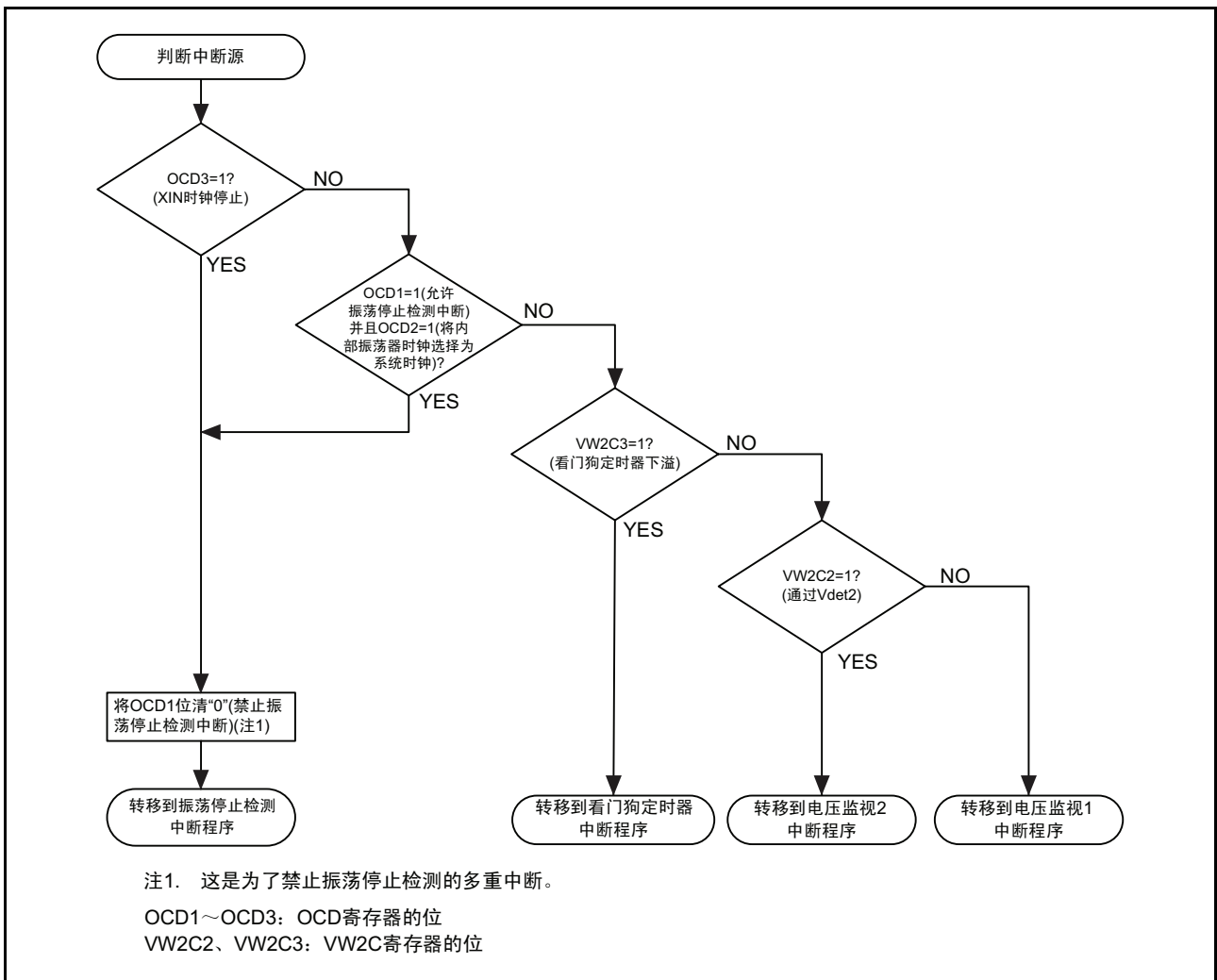


图 11.19 振荡停止检测中断、看门狗定时器中断、电压监视 1 中断和电压监视 2 中断的中断源判断方法的例 (N、D 版)

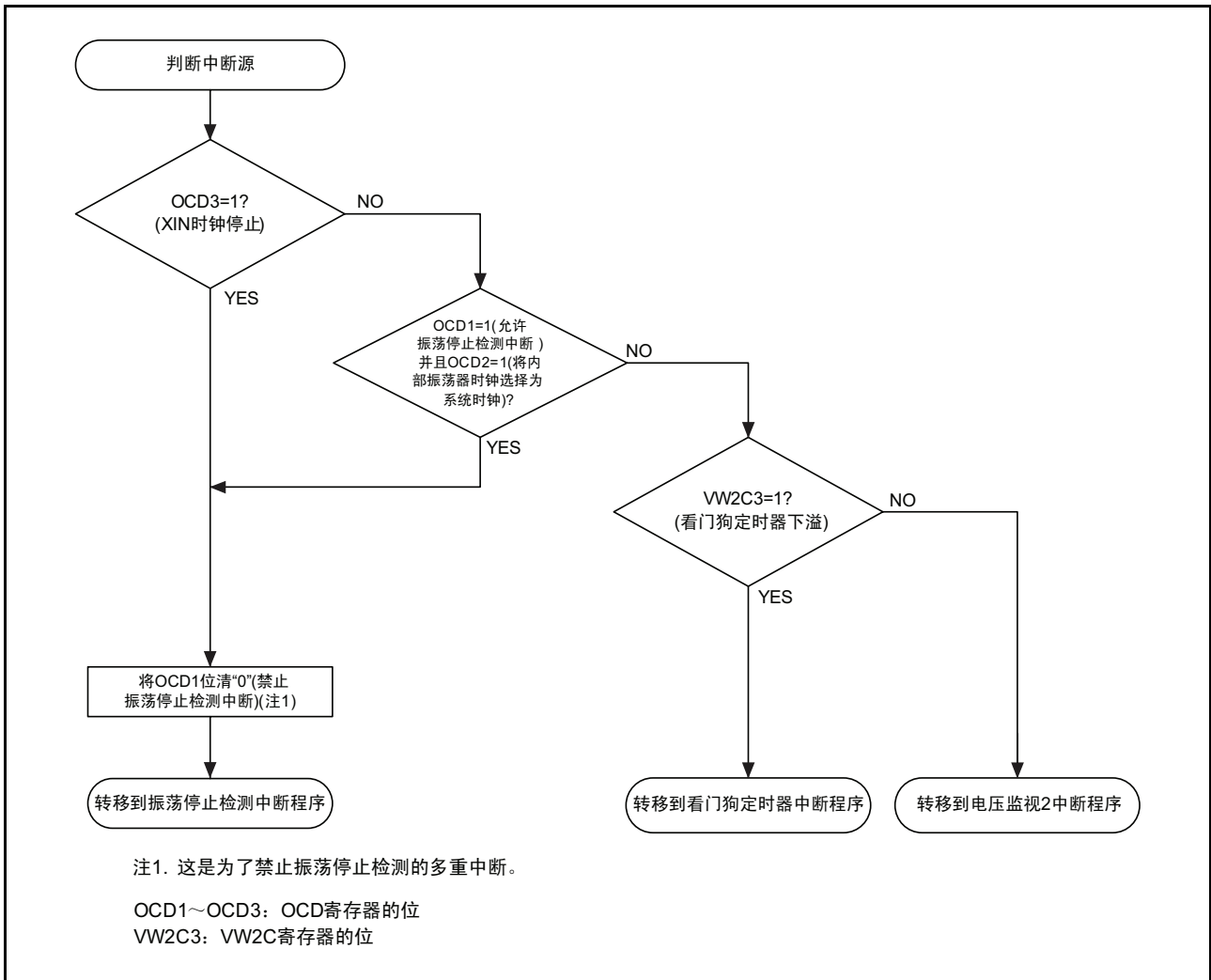


图 11.20 振荡停止检测中断、看门狗定时器中断和电压监视 2 中断的中断源判断方法的例 (J、K 版)

11.7 时钟产生电路使用时的注意事项

11.7.1 停止模式

转移到停止模式时，必须在将 FMR0 寄存器的 FMR01 位清“0”（CPU 改写模式无效）后，将 CM1 寄存器的 CM10 位置“1”（停止模式）。指令队列从将 CM10 位置“1”（停止模式）的指令开始，预读 4 个字节，然后程序停止。

必须在将 CM10 位置“1”的指令后立即插入 JMP.B 指令，然后至少插入 4 条 NOP 指令。

- 转移到停止模式的程序例

```

BCLR          1,FMR0          ; CPU 改写模式无效
BSET          0,PRCR         ; 解除保护
FSET          I              ; 允许中断
BSET          0,CM1          ; 停止模式
JMP.B        LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

11.7.2 等待模式

转移到等待模式时，必须在将 FMR0 寄存器的 FMR01 位清“0”（CPU 改写模式无效）后执行 WAIT 指令。指令队列从 WAIT 指令开始，预读 4 个字节，然后程序停止。必须在 WAIT 指令之后，至少插入 4 条 NOP 指令。

- 执行 WAIT 指令的程序例

```

BCLR          1,FMR0          ; CPU 改写模式无效
FSET          I              ; 允许中断
WAIT          ; 等待模式
NOP
NOP
NOP
NOP

```

11.7.3 振荡停止检测功能

在 XIN 时钟频率低于 2MHz 时不能使用振荡停止检测功能，所以必须将 OCD1 ~ OCD0 位置“00b”。

11.7.4 振荡电路常数

有关用户系统的最佳振荡电路常数，请在向谐振器厂家询问后决定。

12. 保护

它是为了在程序失控时保护重要的寄存器不被轻易改写的功能。

PRCR 寄存器如图 12.1 所示。PRCR 寄存器保护的寄存器如下：

- 由 PRC0 位保护的寄存器：CM0、CM1、OCD、FRA0、FRA1 和 FRA2 寄存器
- 由 PRC1 位保护的寄存器：PM0 和 PM1 寄存器
- 由 PRC3 位保护的寄存器：VCA2、VW0C、VW1C 和 VW2C 寄存器



图 12.1 PRCR 寄存器

13. 中断

13.1 中断概要

13.1.1 中断分类

中断分类如图 13.1 所示。

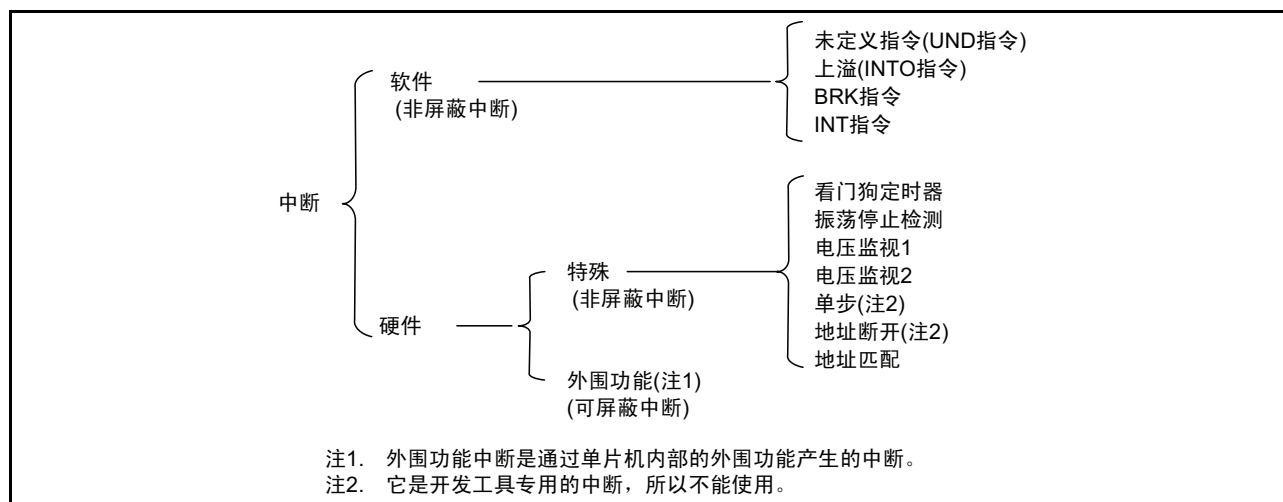


图 13.1 中断分类

可屏蔽中断：**能**通过中断允许标志（I 标志）控制中断的允许 / 禁止，并且**能**通过中断优先级更改中断优先级

非屏蔽中断：**不能**通过中断允许标志（I 标志）控制中断的允许 / 禁止，也**不能**通过中断优先级更改中断优先级

13.1.2 软件中断

通过执行指令产生软件中断。软件中断是非屏蔽中断。

13.1.2.1 未定义指令中断

如果执行 UND 指令，就产生未定义指令中断。

13.1.2.2 上溢中断

在 O 标志为“1”（运算结果上溢）时，如果执行 INTO 指令，就产生上溢中断。根据运算 O 标志变化的指令如下：

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

13.1.2.3 BRK 中断

如果执行 BRK 指令，就产生 BRK 中断。

13.1.2.4 INT 指令中断

如果执行 INT 指令，就产生 INT 指令中断。能用 INT 指令指定的软件中断序号是 0 ~ 63。由于软件中断序号 3 ~ 31 分配给外围功能中断，因此能通过执行 INT 指令，执行和外围功能中断相同的中断程序。

软件中断序号 0 ~ 31 在执行指令时将 U 标志压栈，然后在将 U 标志清“0”（选择 ISP）后，执行中断响应顺序。在从中断程序返回时，恢复被压栈的 U 标志。软件中断序号 32 ~ 63 在执行指令时 U 标志不变，使用中断产生时选择的 SP。

13.1.3 特殊中断

特殊中断是非屏蔽中断。

13.1.3.1 看门狗定时器中断

它是由看门狗定时器产生的中断。看门狗定时器的详细内容请参照“14. 看门狗定时器”。

13.1.3.2 振荡停止检测中断

它是由振荡停止检测功能产生的中断。振荡停止检测功能的详细内容请参照“11. 时钟产生电路”。

13.1.3.3 电压监视 1 中断（只限于 N、D 版）

它是由电压检测电路产生的中断。电压检测电路的详细内容请参照“7. 电压检测电路”。

13.1.3.4 电压监视 2 中断

它是由电压检测电路产生的中断。电压检测电路的详细内容请参照“7. 电压检测电路”。

13.1.3.5 单步中断、地址断开中断

它是开发工具专用的中断，所以不能使用。

13.1.3.6 地址匹配中断

当 AIER 寄存器的 AIER0 位和 AIER1 位中的任意一位为“1”（允许地址匹配中断）时，就在执行由对应的 RMAD0 ~ RMAD1 寄存器指向的地址的指令前，产生地址匹配中断。

地址匹配中断的详细内容请参照“13.4 地址匹配中断”。

13.1.4 外围功能中断

外围功能中断是由单片机内部的外围功能产生的中断，是可屏蔽中断。外围功能中断的中断源请参照“表 13.2 可变向量表”中分配的中断和向量地址。另外，外围功能的详细内容请参照各外围功能的说明。

13.1.5 中断和中断向量

1 个向量为 4 个字节。必须在各中断向量中设定中断程序的起始地址。如果接受中断请求，就转移到设定在中断向量中的地址。

中断向量如图 13.2 所示。

		MSB	LSB
向量地址(L)	地址的低位		
	地址的中位		
向量地址(H)	0 0 0 0	地址的高位	
	0 0 0 0	0 0 0 0	

图 13.2 中断向量

13.1.5.1 固定向量表

固定向量表分配在地址 0FFDCh ~ 地址 0FFFFh 中。

固定向量表如表 13.1 所示。固定向量的向量地址 (H) 用于检验 ID 码功能。详细内容请参照“20.3 闪存改写的禁止功能”。

表 13.1 固定向量表

中断源	向量地址 地址 (L) ~ 地址 (H)	备注	参照
未定义指令	0FFDCh ~ 0FFDFh	通过 UND 指令中断	R8C/Tiny 系列软件手册
上溢	0FFE0h ~ 0FFE3h	通过 INTO 指令中断	
BRK 指令	0FFE4h ~ 0FFE7h	在地址 0FFE7h 的内容为 FFh 时, 从可变向量表内的向量所指向的地址开始执行	
地址匹配	0FFE8h ~ 0FFE7h		13.4 地址匹配中断
单步 (注 1)	0FFEC h ~ 0FFEFh		
看门狗定时器、 振荡停止检测、 电压监视 1 (注 2)、 电压监视 2	0FFF0h ~ 0FFF3h		14. 看门狗定时器、 11. 时钟产生电路、 7. 电压检测电路
地址断开 (注 1)	0FFF4h ~ 0FFF7h		
(保留)	0FFF8h ~ 0FFFBh		
复位	0FFFCh ~ 0FFFFh		6. 复位

注 1. 因为是开发工具专用的中断, 所以不能使用。

注 2. 只限于 N、D 版。

13.1.5.2 可变向量表

从设定在 INTB 寄存器中的起始地址开始的 256 字节为可变向量表的区域。
可变向量表如表 13.2 所示。

表 13.2 可变向量表

中断源	向量地址 (注 1) 地址 (L) ~ 地址 (H)	软件中断序号	中断控制寄存器	参照
BRK 指令 (注 3)	+0 ~ +3 (0000h ~ 0003h)	0	—	R8C/Tiny 系列软件手册
— (保留)		1 ~ 2	—	—
— (保留)		3 ~ 6	—	—
定时器 RC	+28 ~ +31 (001Ch ~ 001Fh)	7	TRCIC	15.3 定时器 RC
— (保留)		8 ~ 9	—	—
定时器 RE	+40 ~ +43 (0028h ~ 002Bh)	10	TREIC	15.4 定时器 RE
— (保留)		11 ~ 12	—	—
键输入	+52 ~ +55 (0034h ~ 0037h)	13	KUPIC	13.3 键输入中断
A/D 转换	+56 ~ +59 (0038h ~ 003Bh)	14	ADIC	19. A/D 转换器
带片选的时钟同步串行 I/O/I ² C 总线接口 (注 2)	+60 ~ +63 (003Ch ~ 003Fh)	15	SSUIC/IICIC	17.2 带片选的时钟同步串行 I/O (SSU) 17.3 I ² C 总线接口
— (保留)		16	—	—
UART0 发送	+68 ~ +71 (0044h ~ 0047h)	17	S0TIC	16. 串行接口
UART0 接收	+72 ~ +75 (0048h ~ 004Bh)	18	S0RIC	
UART1 发送	+76 ~ +79 (004Ch ~ 004Fh)	19	S1TIC	
UART1 接收	+80 ~ +83 (0050h ~ 0053h)	20	S1RIC	
— (保留)		21	—	
定时器 RA	+88 ~ +91 (0058h ~ 005Bh)	22	TRAIC	15.1 定时器 RA
— (保留)		23	—	—
定时器 RB	+96 ~ +99 (0060h ~ 0063h)	24	TRBIC	15.2 定时器 RB
INT1	+100 ~ +103 (0064h ~ 0067h)	25	INT1IC	13.2 INT 中断
INT3	+104 ~ +107 (0068h ~ 006Bh)	26	INT3IC	
— (保留)		27	—	
— (保留)		28	—	—
INT0	+116 ~ +119 (0074h ~ 0077h)	29	INT0IC	13.2 INT 中断
— (保留)		30	—	—
— (保留)		31	—	—
软件 (注 3)	+128 ~ +131 (0080h ~ 0083h) ~ +252 ~ +255 (00FCh ~ 00FFh)	32 ~ 63	—	R8C/Tiny 系列软件手册

注 1. 是从 INTB 寄存器指向的地址开始的相对地址。

注 2. 能通过 PMR 寄存器的 IICSEL 位来选择。

注 3. 不能通过 I 标志来禁止。

13.1.6 中断控制

以下说明可屏蔽中断的允许和禁止以及接受的优先权设定。在此说明的内容不适用非屏蔽中断。

通过 FLG 寄存器的 I 标志、IPL 以及各中断控制寄存器的 ILVL2 ~ ILVL0 位，允许或者禁止可屏蔽中断。另外，各中断控制寄存器的 IR 位表示有无中断请求。

中断控制寄存器如图 13.3 所示，TRCIC、SSUIC/IICIC 寄存器如图 13.4 所示，INT0IC ~ INT3IC 寄存器如图 13.5 所示。

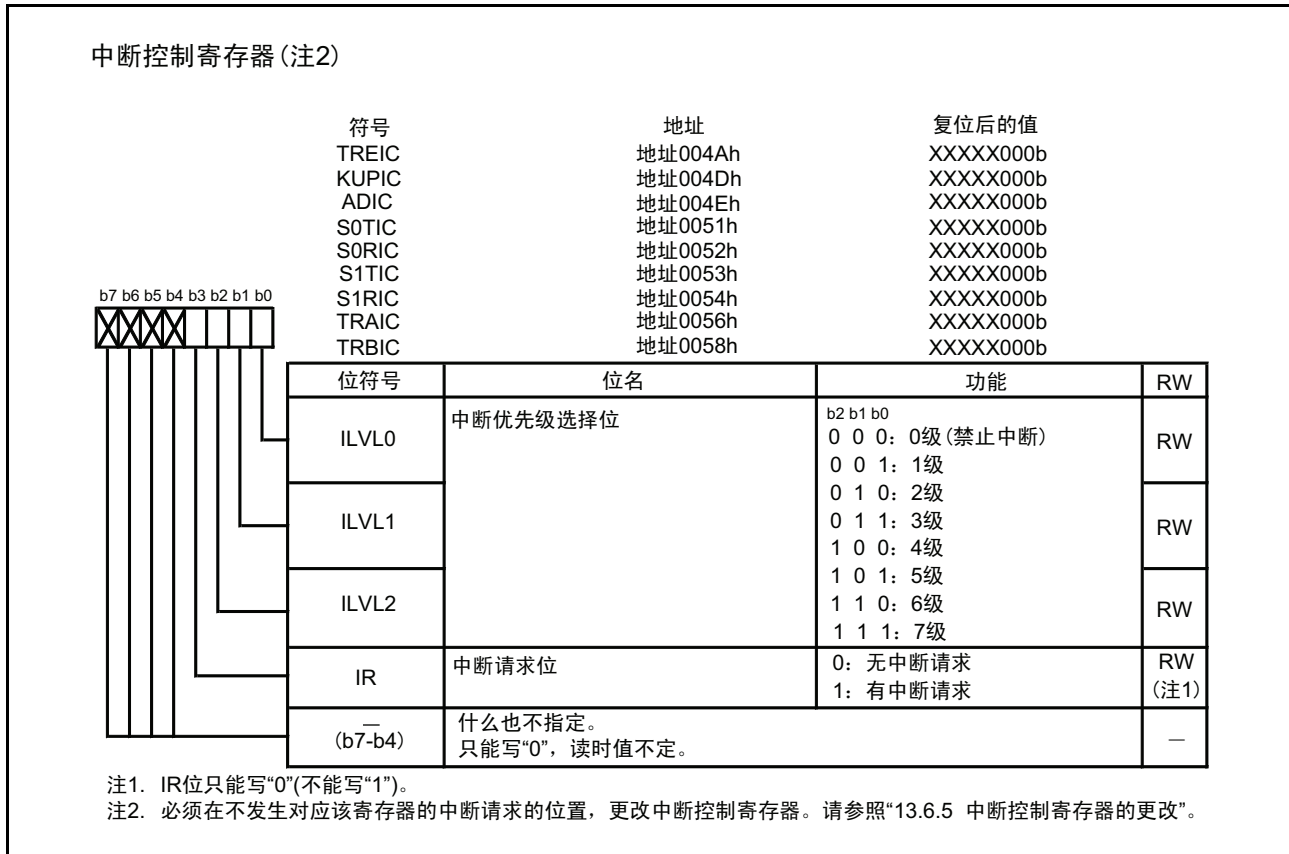


图 13.3 中断控制寄存器

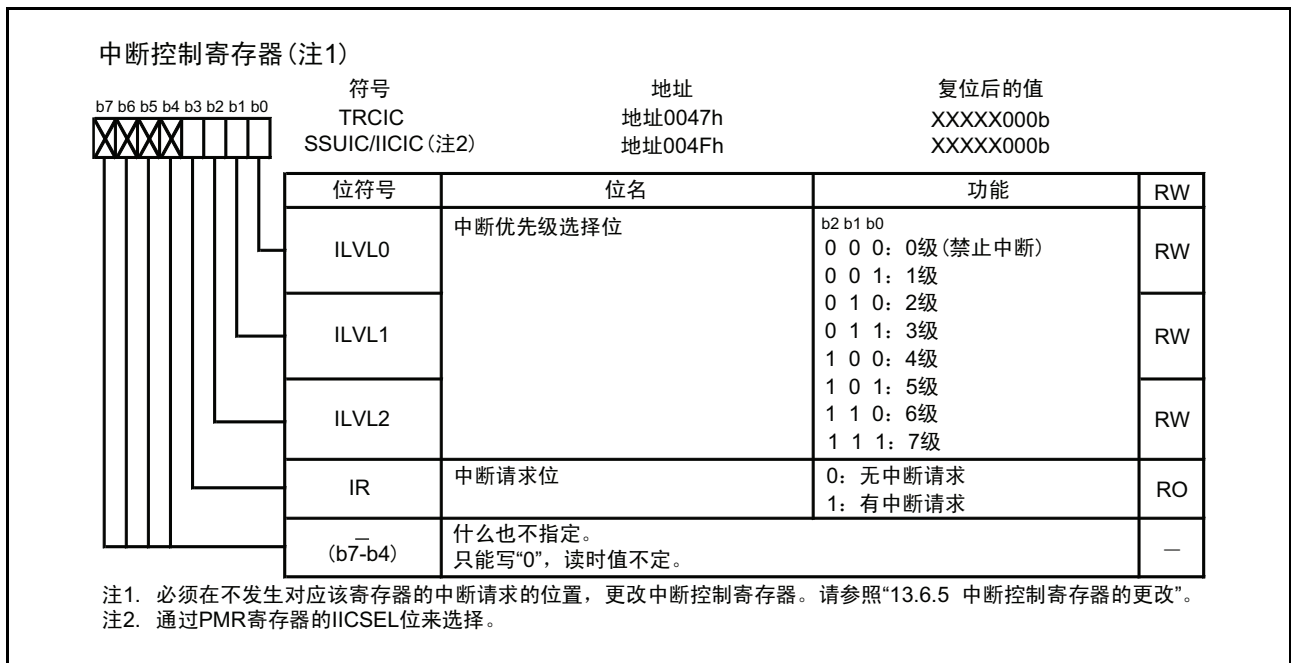


图 13.4 TRCIC、SSUIC/IICIC 寄存器

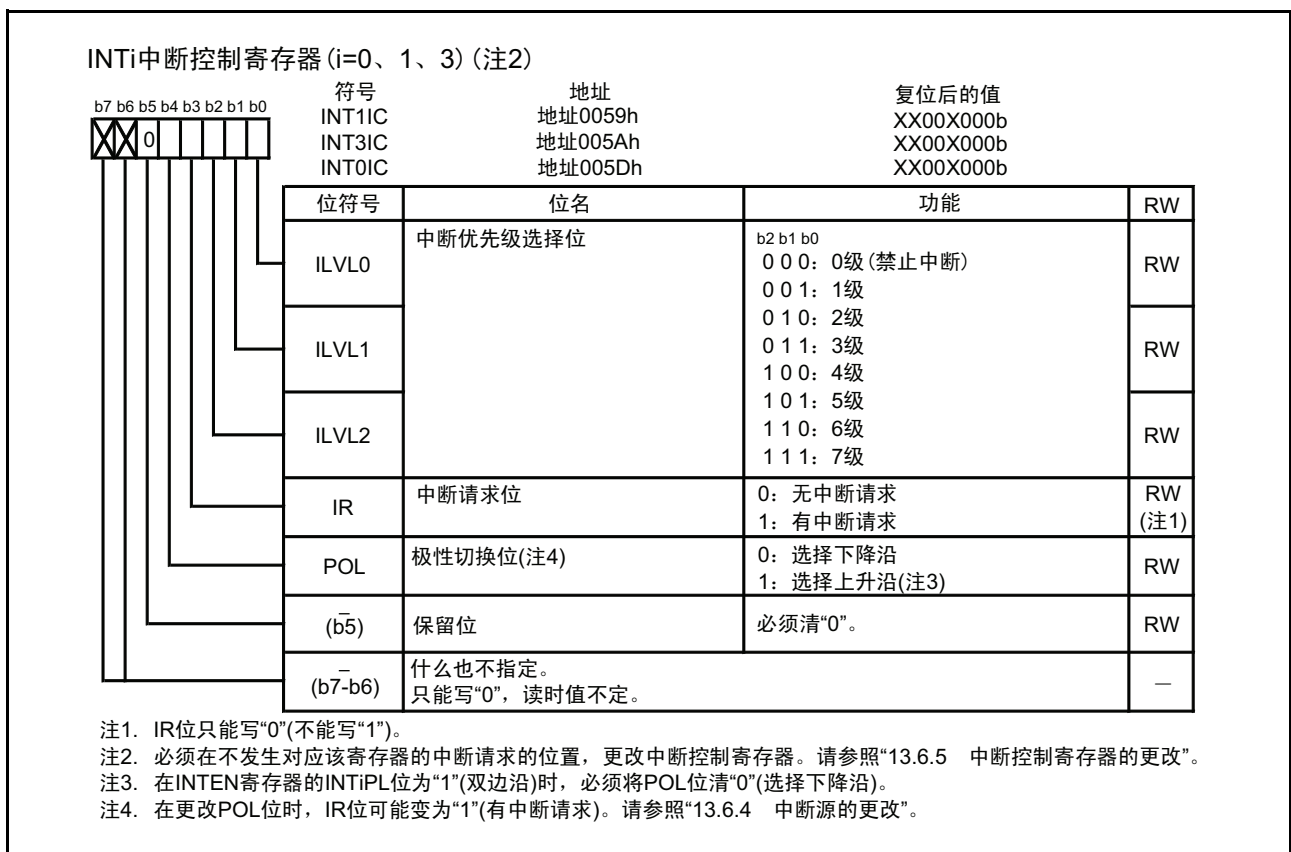


图 13.5 INTOIC ~ INT3IC 寄存器

13.1.6.1 I 标志

I 标志允许或者禁止可屏蔽中断。如果将 I 标志置“1”（允许），就允许可屏蔽中断；如果清“0”（禁止），就禁止所有可屏蔽中断。

13.1.6.2 IR 位

如果产生中断请求，IR 位就变为“1”（有中断请求）。在接受中断请求并转移到对应的中断向量后，IR 位变为“0”（无中断请求）。

IR 位能通过程序清“0”，不能写“1”。

但是，定时器 RC 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断的 IR 位的变化不同。请参照“13.5 定时器 RC 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断（有多个中断请求源的中断）”。

13.1.6.3 ILVL2 ~ ILVL0 位和 IPL

中断优先级能通过 ILVL2 ~ ILVL0 位进行设定。

中断优先级的设定如表 13.3 所示，通过 IPL 允许的中断优先级如表 13.4 所示。

接受中断请求的条件如下所示：

- I 标志 = 1
- IR 位 = 1
- 中断优先级 > IPL

I 标志、IR 位、ILVL2 ~ ILVL0 位以及 IPL 各自独立互不影响。

表 13.3 中断优先级的设定

ILVL2 ~ ILVL0	中断优先级	优先权
000b	0 级（禁止中断）	—
001b	1 级	低 ↓ 高
010b	2 级	
011b	3 级	
100b	4 级	
101b	5 级	
110b	6 级	
111b	7 级	

表 13.4 通过 IPL 允许的中断优先级

IPL	允许的中断优先级
000b	允许 1 级及 1 级以上
001b	允许 2 级及 2 级以上
010b	允许 3 级及 3 级以上
011b	允许 4 级及 4 级以上
100b	允许 5 级及 5 级以上
101b	允许 6 级及 6 级以上
110b	允许 7 级及 7 级以上
111b	禁止所有可屏蔽中断

13.1.6.4 中断响应顺序

以下说明关于在接受中断请求后到执行中断程序为止的中断响应顺序：

如果在指令执行中产生中断请求，就在该指令执行结束后判断优先权，并且从下一个周期转移到中断响应顺序。但是，对于 SMOVB、SMOVF、SSTR 以及 RMPA 各指令，如果在指令执行中产生中断请求，就暂时中断指令的运行，转移到中断响应顺序。

中断响应顺序运行如下。

中断响应顺序的执行时间如图 13.6 所示。

- (1) 通过读地址 00000h，CPU 获得中断信息（中断序号、中断请求级）。此后，该中断的 IR 位变为“0”（无中断请求）。（注 2）
- (2) 将中断响应顺序前的 FLG 寄存器保存到 CPU 内部的暂存器（注 1）。
- (3) FLG 寄存器中的 I 标志、D 标志、U 标志变为：
 - I 标志为“0”（禁止中断）
 - D 标志为“0”（禁止单步中断）
 - U 标志为“0”（指定 ISP）
 但是，在执行软件中断序号 32 ~ 63 的 INT 指令时，U 标志不变。
- (4) 将 CPU 内部的暂存器（注 1）压栈。
- (5) 将 PC 压栈。
- (6) 给 IPL 设定接受中断的中断优先级。
- (7) 中断向量所设定的中断程序的起始地址存入 PC。

在中断响应顺序结束后，从中断程序的起始地址执行指令。

注 1. 用户不能使用。

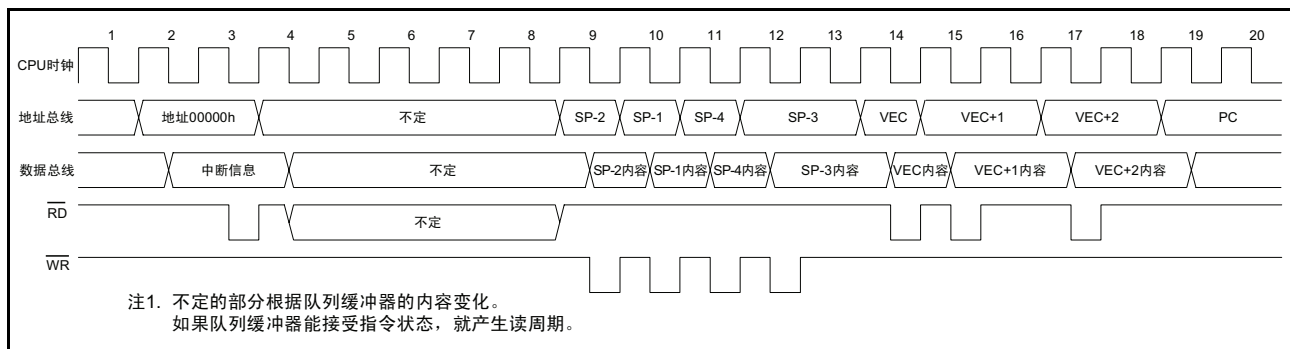


图 13.6 中断响应顺序的执行时间

注 2. 有关定时器 RC、带片选串行 I/O 中断、I²C 总线接口中断的 IR 位的变化，请参照“13.5 定时器 RC 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断（有多个中断请求源的中断）”。

13.1.6.5 中断响应时间

中断响应时间如图 13.7 所示。中断响应时间是指从产生中断请求到执行中断程序内的最初指令为止的时间。该时间由从中断请求产生时开始到中断请求产生时正在执行的指令结束为止的时间（图 13.7 的 (a)）和执行中断响应顺序的时间（20 个周期 (b)）构成。

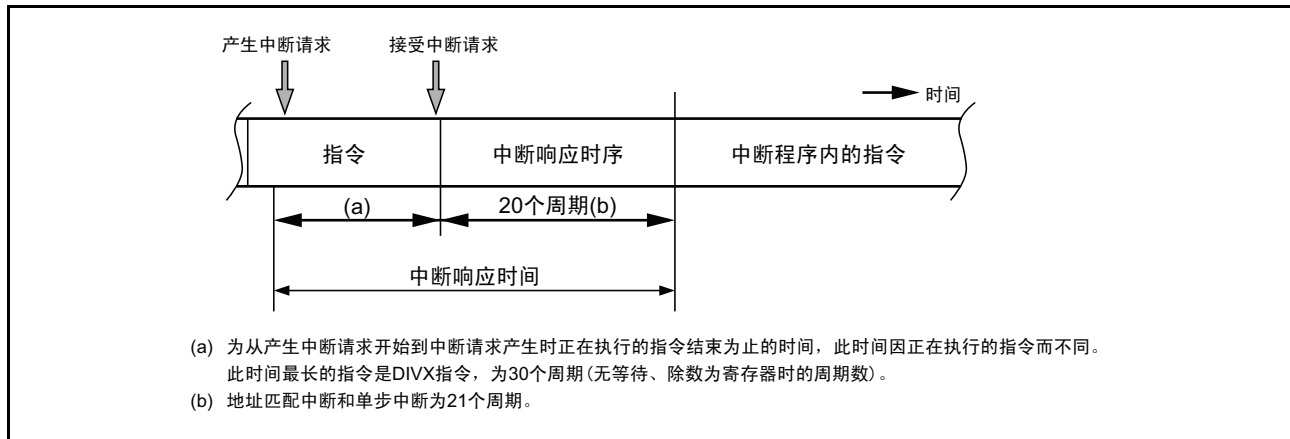


图 13.7 中断响应时间

13.1.6.6 接受中断请求时的 IPL 变化

如果接受可屏蔽中断的中断请求，就给 IPL 设定接受中断的中断优先级。
 如果接受软件中断或者特殊中断请求，就给 IPL 设定如表 13.5 所示的值。
 接受软件中断和特殊中断时的 IPL 值如表 13.5 所示。

表 13.5 接受软件中断和特殊中断时的 IPL 值

没有中断优先级的中断源	被设定的 IPL 值
看门狗定时器、振荡停止检测、电压监视 1（注 1）、电压监视 2、地址断开	7
软件、地址匹配、单步	不变

注 1. 只限于 N、D 版。

13.1.6.7 寄存器的保存

在中断响应顺序中，将 FLG 寄存器和 PC 压栈。

首先将 PC 的高 4 位、FLG 寄存器的高 4 位（IPL）和低 8 位压栈（全部为 16 位），然后将 PC 的低 16 位压栈。接受中断请求前后的堆栈状态如图 13.8 所示。

其它必要的寄存器必须通过程序在中断程序的最初进行保存。如果使用 PUSHM 指令，就能用 1 条指令保存现正在使用的寄存器组的多个寄存器（注）。

【注】 能从 R0、R1、R2、R3、A0、A1、SB、FB 寄存器进行选择。

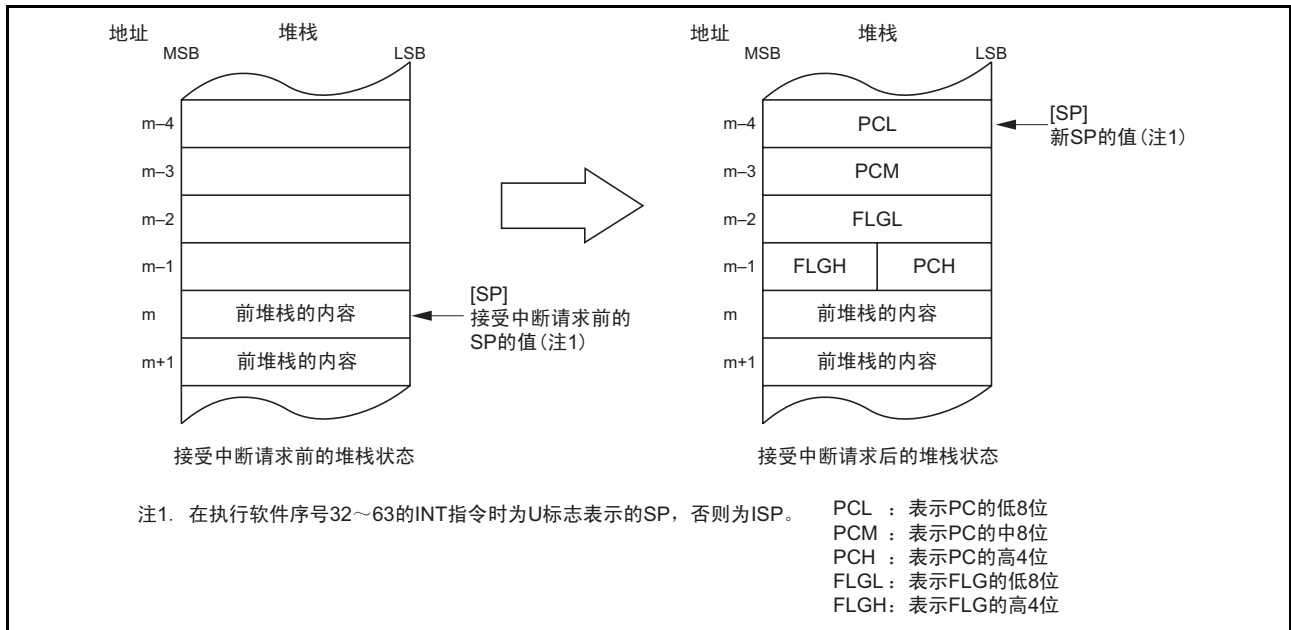


图 13.8 接受中断请求前后的堆栈状态

在中断响应顺序进行的寄存器保存运行按 8 位分 4 次进行。

寄存器保存运行如图 13.9 所示。

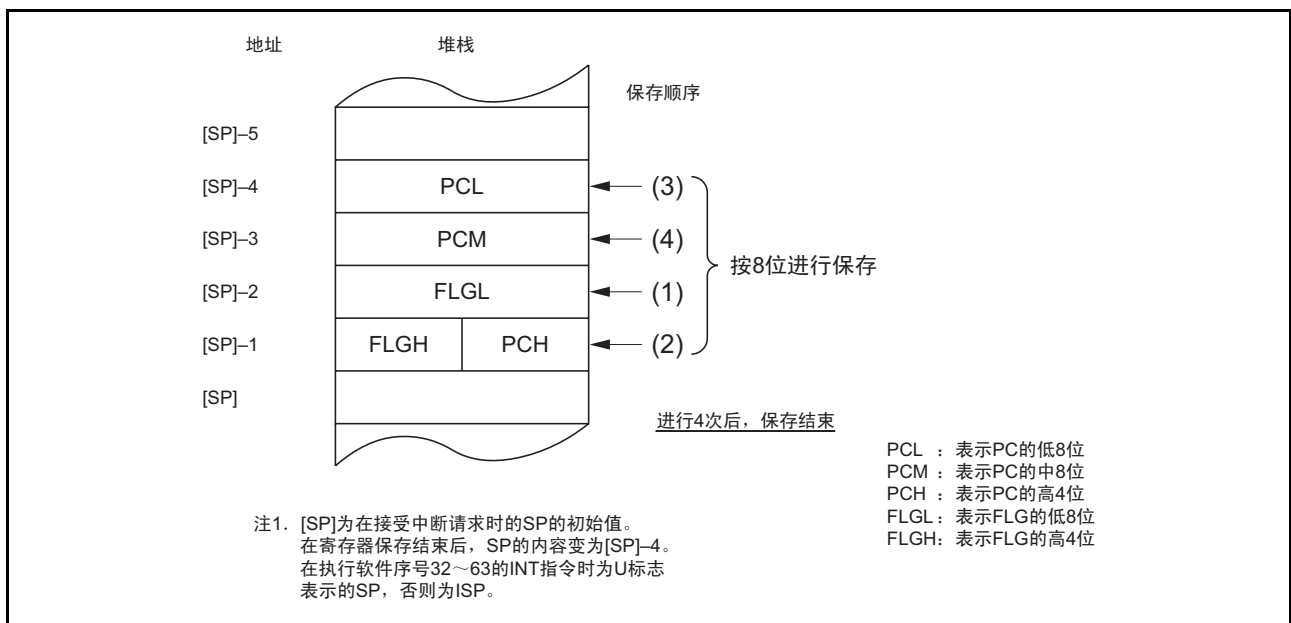


图 13.9 寄存器保存运行

13.1.6.8 从中断程序返回

如果在中断程序的最后执行 REIT 指令，就恢复被压栈的中断响应顺序前的 FLG 寄存器和 PC。然后，返回到接受中断请求前的执行程序。

在中断程序内，必须在 REIT 指令执行前用 POPM 指令等恢复通过程序保存的寄存器。

13.1.6.9 中断优先权

如果在 1 条指令执行中产生 2 个或 2 个以上的中断请求，就接受优先权高的中断。

能通过 ILVL2 ~ ILVL0 位任意选择可屏蔽中断（外围功能）的优先级。但是，在中断优先级为相同设定值的情况下，接受由硬件设定的优先权高的中断。

看门狗定时器中断等特殊中断的优先权由硬件设定。硬件中断的中断优先权如图 13.10 所示。

软件中断不受中断优先权的影响。如果执行指令，就执行中断程序。

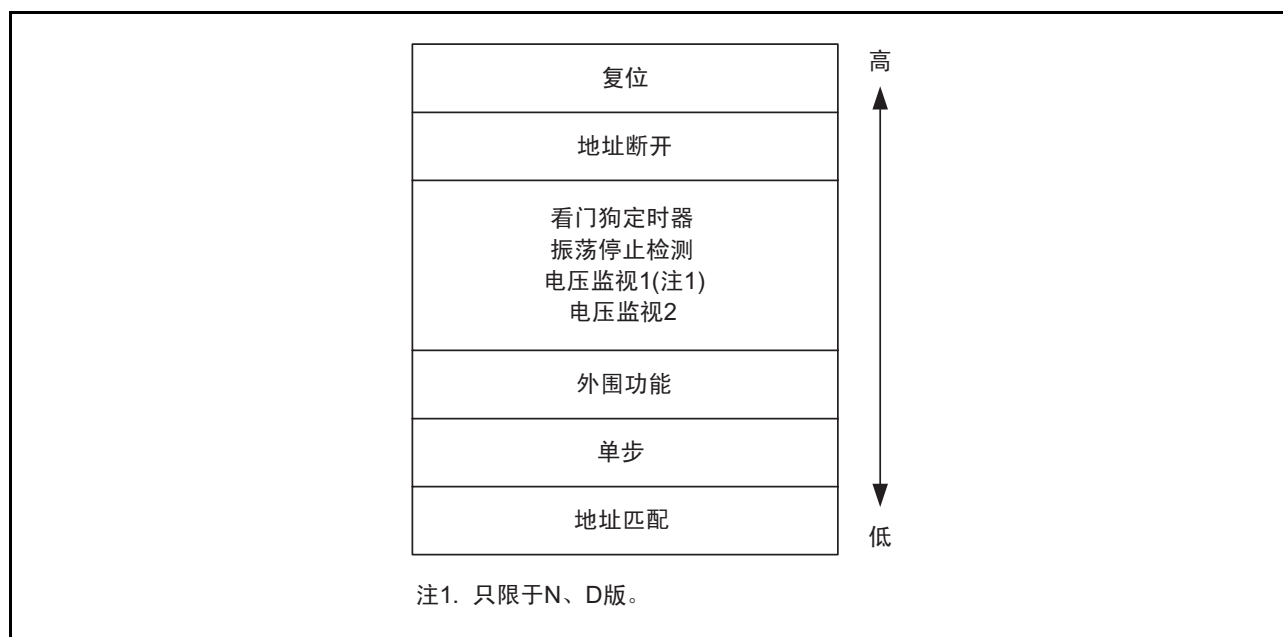


图 13.10 硬件中断的中断优先权

13.1.6.10 中断优先级判断电路

中断优先级判断电路是用于选择最高优先权中断的电路。
 中断优先级判断电路如图 13.11 所示。

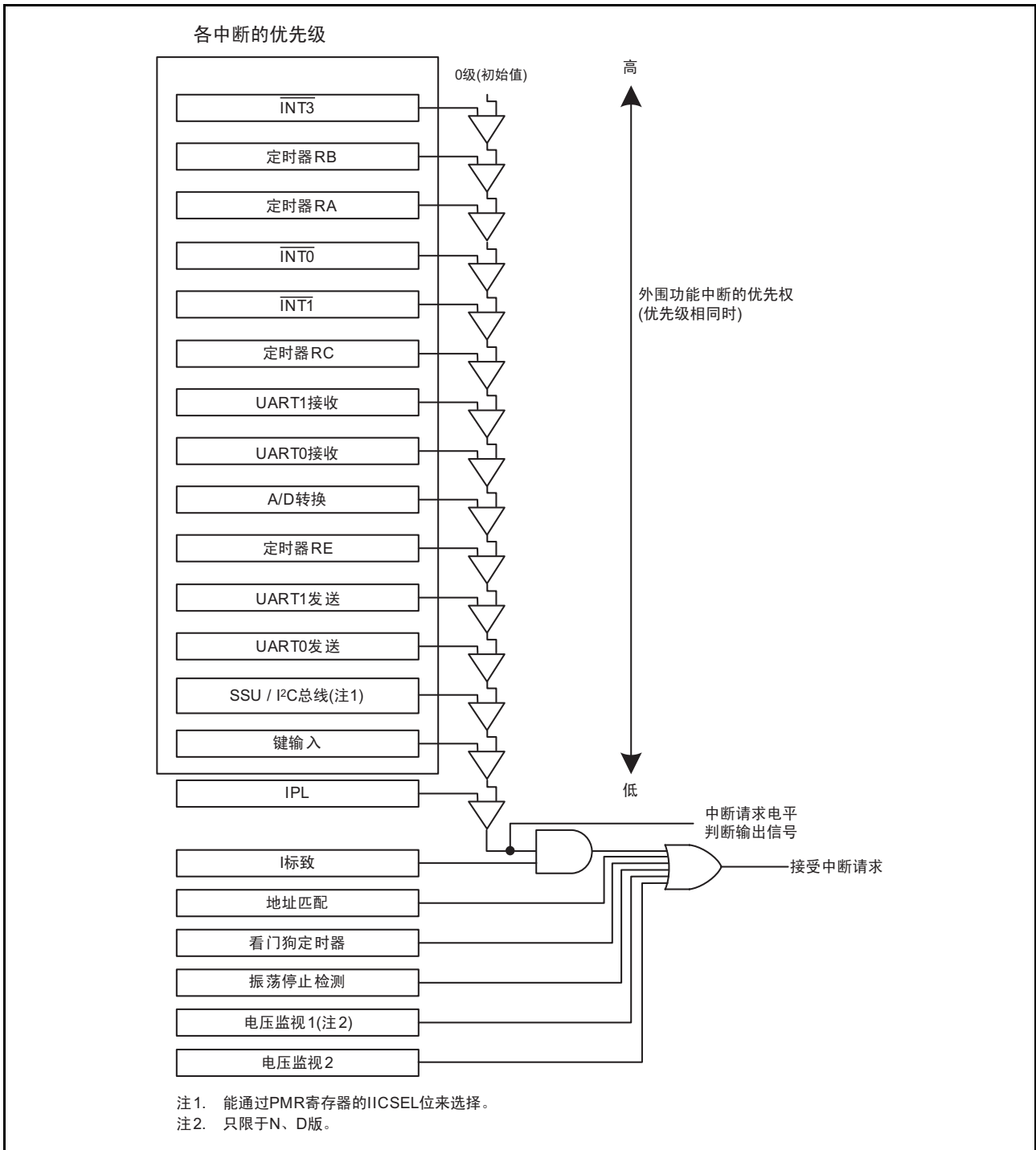


图 13.11 中断优先级判断电路

13.2 $\overline{\text{INT}}$ 中断

13.2.1 $\overline{\text{INT}}_i$ 中断 (i=0、1、3)

$\overline{\text{INT}}_i$ 中断是由 $\overline{\text{INT}}_i$ 输入产生的中断。在使用 $\overline{\text{INT}}_i$ 中断时，必须将 INTEN 寄存器的 INTiEN 位置“1”（允许）。能通过 INTEN 寄存器的 INTiPL 位和 INTiIC 寄存器的 POL 位选择极性。

另外，也能通过具有 3 种采样时钟的数字滤波器进行输入。

$\overline{\text{INT}}$ 中断的引脚结构如表 13.6 所示，INTEN 寄存器如图 13.12 所示、INTF 寄存器如图 13.13 所示。

表 13.6 $\overline{\text{INT}}$ 中断的引脚结构

引脚名	输入 / 输出	功能
$\overline{\text{INT}}_0$ (P4_5)	输入	$\overline{\text{INT}}_0$ 中断输入、定时器 RB 外部触发输入、定时器 RC 脉冲输出的强制截止输入
$\overline{\text{INT}}_1$ (P1_5 或者 P1_7 (注 1))	输入	$\overline{\text{INT}}_1$ 中断输入
$\overline{\text{INT}}_3$ (P3_3)	输入	$\overline{\text{INT}}_3$ 中断输入

注 1. 能通过 PMR 寄存器的 INT1SEL 位和 TRAI0C 寄存器的 TIOSEL 位选择 $\overline{\text{INT}}_1$ 引脚。详细内容请参照“8. 可编程输入 / 输出端口”。

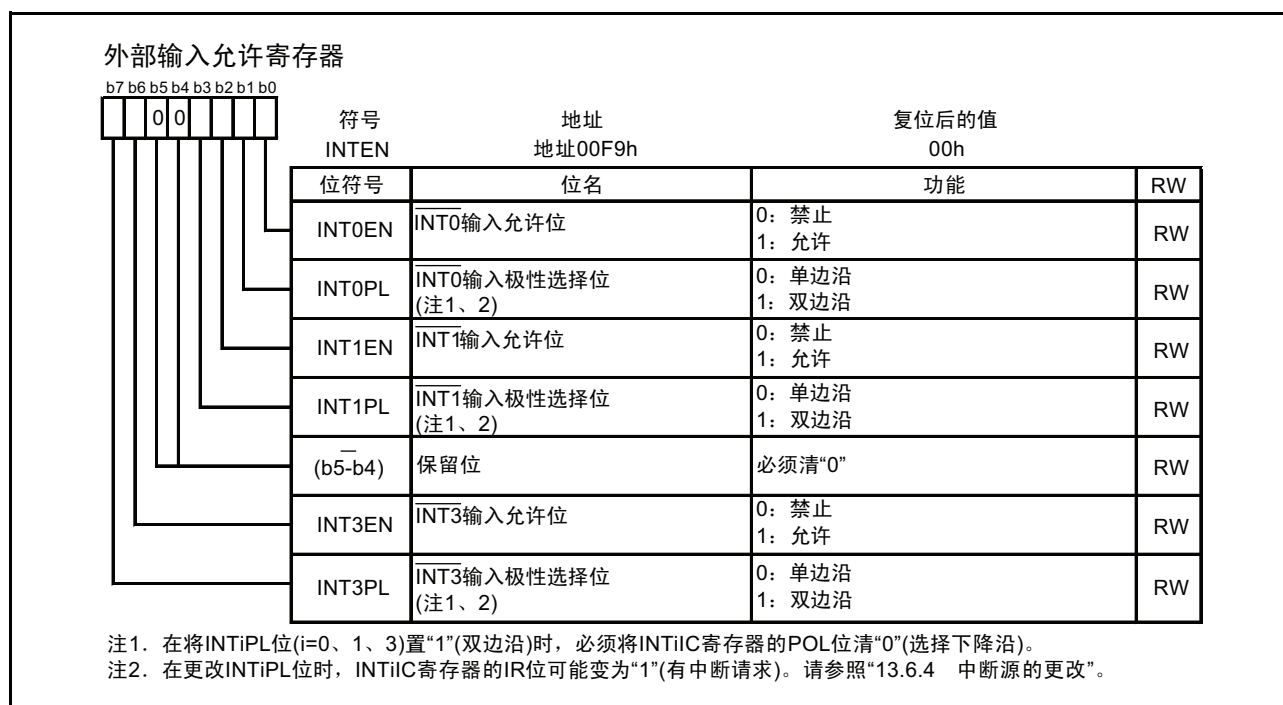


图 13.12 INTEN 寄存器

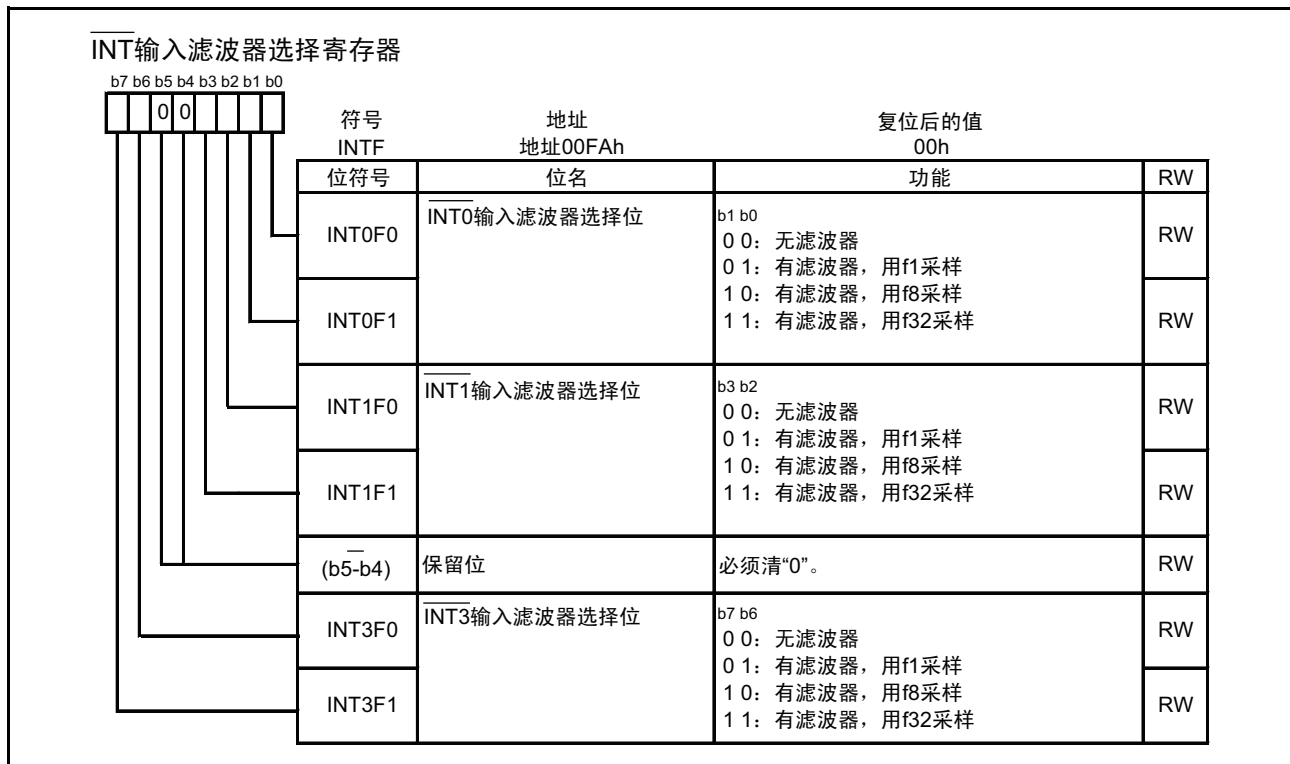


图 13.13 INTF 寄存器

13.2.2 INTi 输入滤波器 (i=0、1、3)

INTi 输入具有数字滤波器。能通过 INTF 寄存器的 INTiF0 ~ INTiF1 位选择采样时钟。在每个采样时钟采样 INTi 的电平，在电平 3 次相同时，INTiC 寄存器的 IR 位变为“1”（有中断请求）。

INTi 输入滤波器的结构如图 13.14 所示，INTi 输入滤波器运行例如图 13.15 所示。

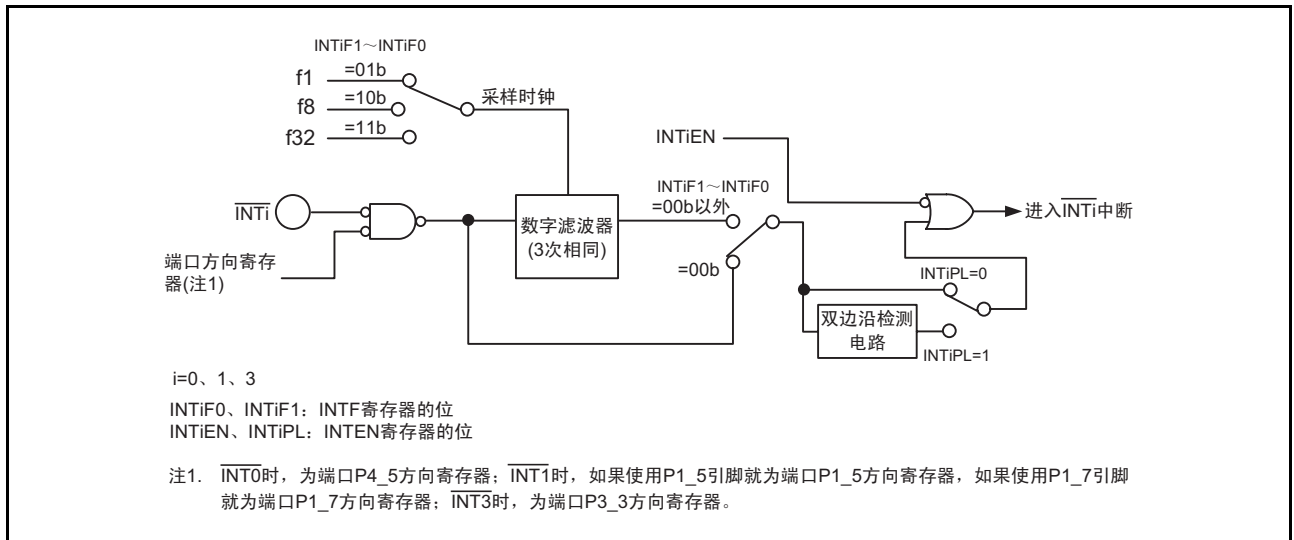


图 13.14 INTi 输入滤波器的结构

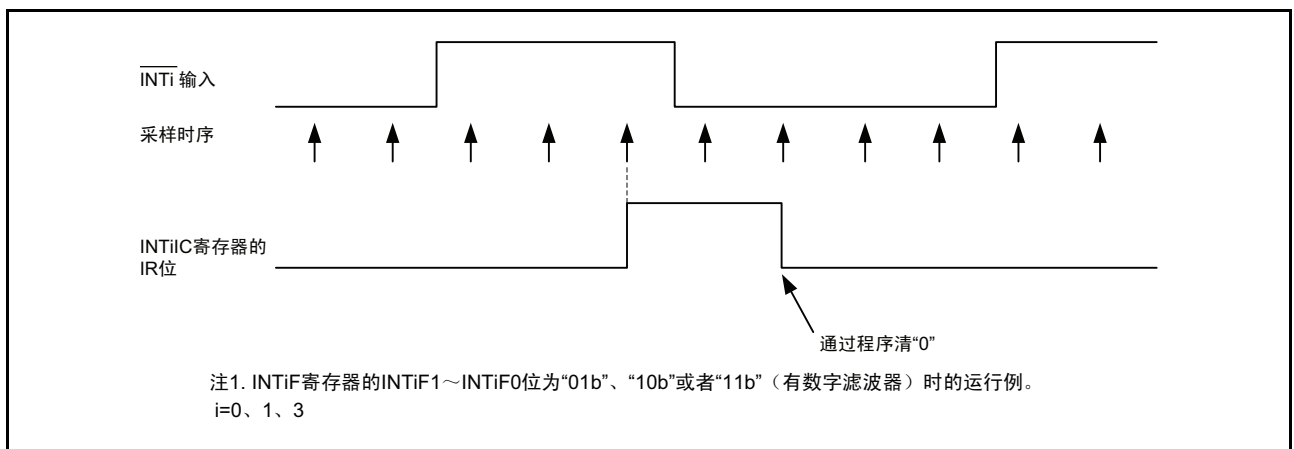


图 13.15 INTi 输入滤波器运行例

13.3 键输入中断

在 $\overline{KI0} \sim \overline{KI3}$ 引脚中的任何一个输入沿都会产生键输入中断请求。键输入中断也能作为解除等待模式或者停止模式的键唤醒功能使用。

能通过 **KIEN** 寄存器的 $KIiEN$ 位 ($i=0 \sim 3$)，选择是否将引脚作为 \overline{KIi} 输入使用。另外，能通过 **KIEN** 寄存器的 $KIiPL$ 位选择输入极性。

另外，如果给将 $KIiPL$ 位清“0”（下降沿）的 \overline{KIi} 引脚输入“L”电平，其他的 $\overline{KI0} \sim \overline{KI3}$ 引脚输入就不被检测为中断。同样，如果给将 $KIiPL$ 位置“1”（上升沿）的 \overline{KIi} 引脚输入“H”电平，其他的 $\overline{KI0} \sim \overline{KI3}$ 引脚输入就不被检测为中断。

键输入中断的框图如图 13.16 所示。

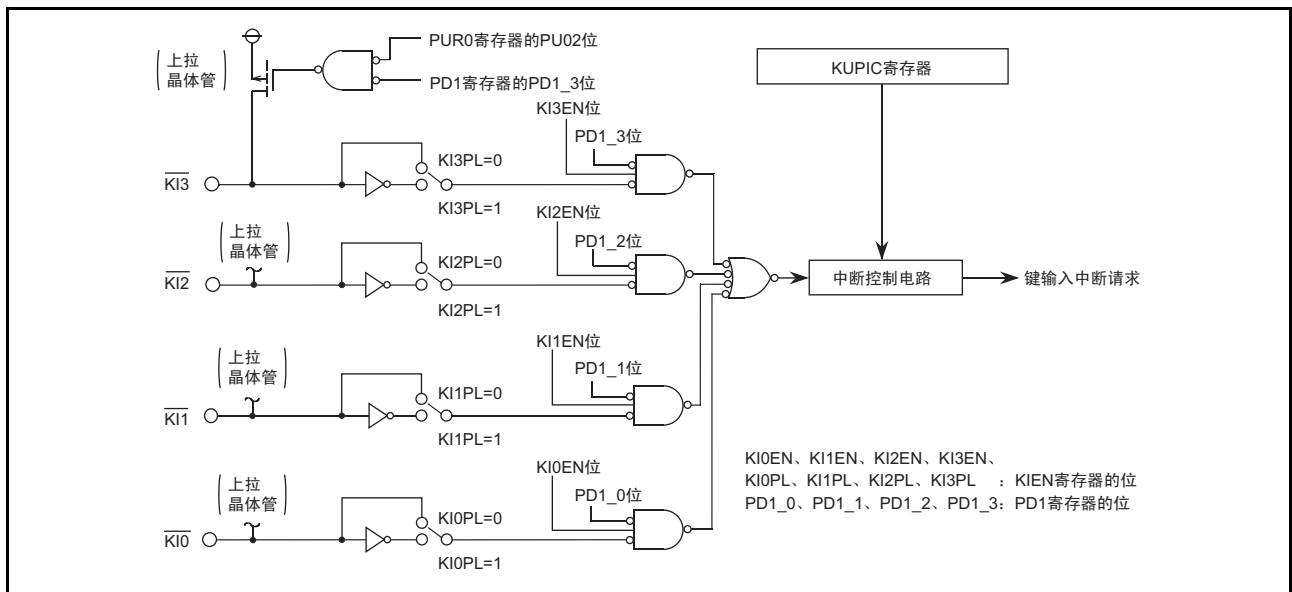


图 13.16 键输入中断的框图



图 13.17 KIEN 寄存器

13.4 地址匹配中断

在执行由 RMADi (i=0 ~ 1) 寄存器指向的地址的指令前, 会产生地址匹配中断请求。用于调试器的暂停功能。另外, 在使用在 on-chip 调试器时, 用户系统不能设定地址匹配中断 (AIER、RMAD0、RMAD1 寄存器和固定向量表)。

必须给 RMADi (i=0 ~ 1) 设定指令的起始地址。能通过 AIER0 寄存器的 AIER0 位和 AIER1 位, 选择禁止或者允许中断。地址匹配中断不受 I 标志和 IPL 的影响。

在接受了地址匹配中断请求时, 被压栈的 PC 值 (请参照“13.1.6.7 寄存器的保存”) 因 RMADi 寄存器指向的地址的指令而不同 (正确的返回地址没有保存在堆栈)。因此, 在从地址匹配中断返回的情况下, 必须通过以下的任何一种方法进行:

- 改写堆栈内容, 用 REIT 指令返回
- 在使用 POP 等指令将堆栈恢复到接受中断请求前的状态后, 用转移指令返回

在接受地址匹配中断请求时被压栈的 PC 值如表 13.7 所示, AIER 和 RMAD0 ~ RMAD1 寄存器如图 13.18 所示。

表 13.7 在接受地址匹配中断请求时被压栈的 PC 值

由 RMADi 寄存器 (i=0 ~ 1) 指向的地址的指令	被压栈的 PC 值 (注 1)
<ul style="list-style-type: none"> • 操作码为 2 字节的指令 (注 2) • 操作码为 1 字节的指令 (注 2) ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (但是 dest=A0 或者 A1)	由 RMADi 寄存器指向的地址 +2
上述除外	由 RMADi 寄存器指向的地址 +1

注 1. 被压栈的 PC 值, 请参照“13.1.6.7 寄存器的保存”。

注 2. 操作码: 请参照《R8C/Tiny 系列软件手册 (RCJ09B0006)》。

在该手册的“第 4 章 指令码/周期数”内有表示指令码的图, 图中的粗框是操作码。

表 13.8 地址匹配中断源和相关寄存器的对应

地址匹配中断源	地址匹配中断允许位	地址匹配中断寄存器
地址匹配中断 0	AIER0	RMAD0
地址匹配中断 1	AIER1	RMAD1

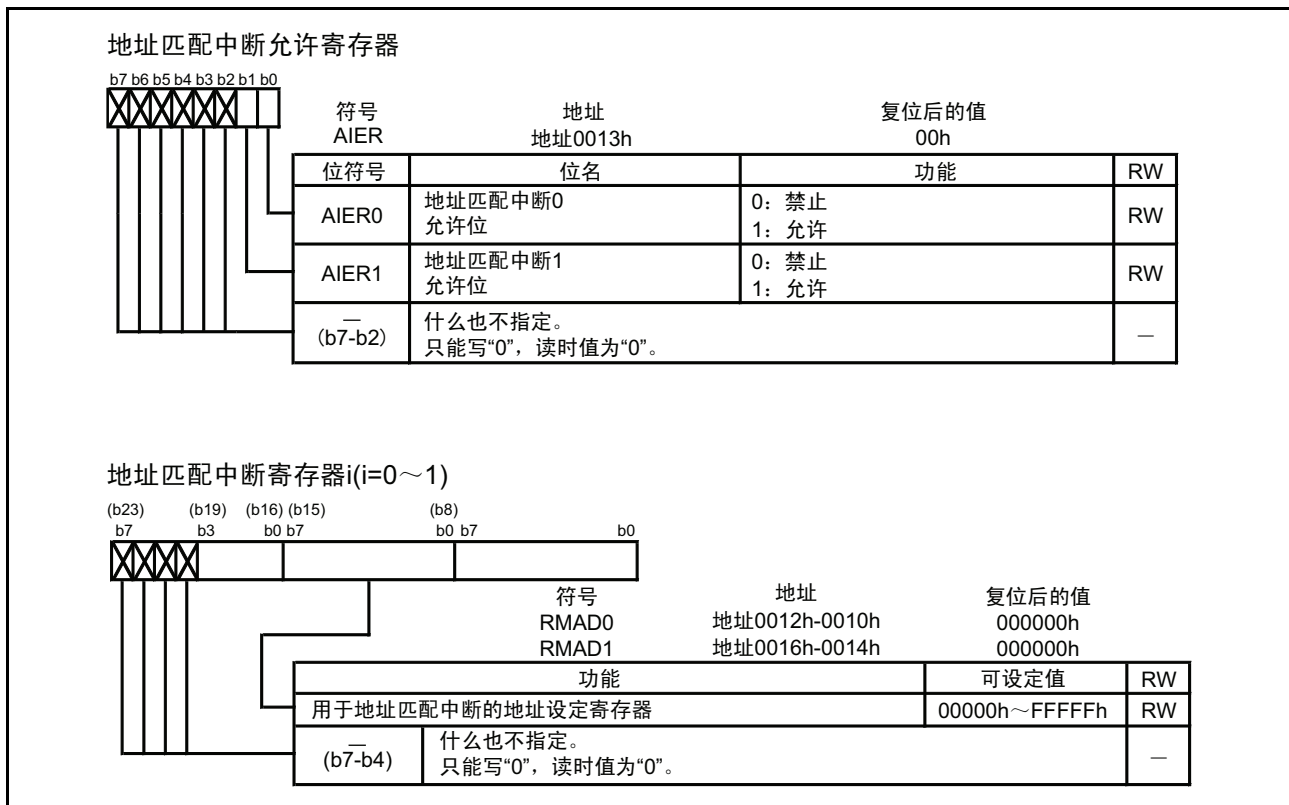


图 13.18 AIER 和 RMAD0 ~ RMAD1 寄存器

13.5 定时器 RC 中断、带片选的时钟同步串行 I/O 中断、I²C 总线接口中断 (有多个中断请求源的中断)

定时器 RC、带片选的时钟同步串行 I/O、I²C 总线接口各自有多个中断请求源，它们的逻辑与为中断请求，反映在中断控制寄存器的 IR 位。因此，这些外围功能各自有独立的中断请求源的状态寄存器（以下称为状态寄存器）和中断请求源的允许寄存器（以下称为允许寄存器），控制中断请求的产生（中断控制寄存器的 IR 位的变化）。定时器 RC、带片选的时钟同步串行 I/O、I²C 总线接口中断的相关寄存器如表 13.9 所示，定时器 RC 中断的框图如图 13.19 所示。

表 13.9 定时器 RC、带片选的时钟同步串行 I/O、I²C 总线接口中断的相关寄存器

外围功能名	中断请求源的状态寄存器	中断请求源的允许寄存器	中断控制寄存器
定时器 RC	TRCSR	TRCIER	TRCIC
带片选的时钟同步串行 I/O	SSSR	SSER	SSUIC
I ² C 总线接口	ICSR	ICIER	IICIC

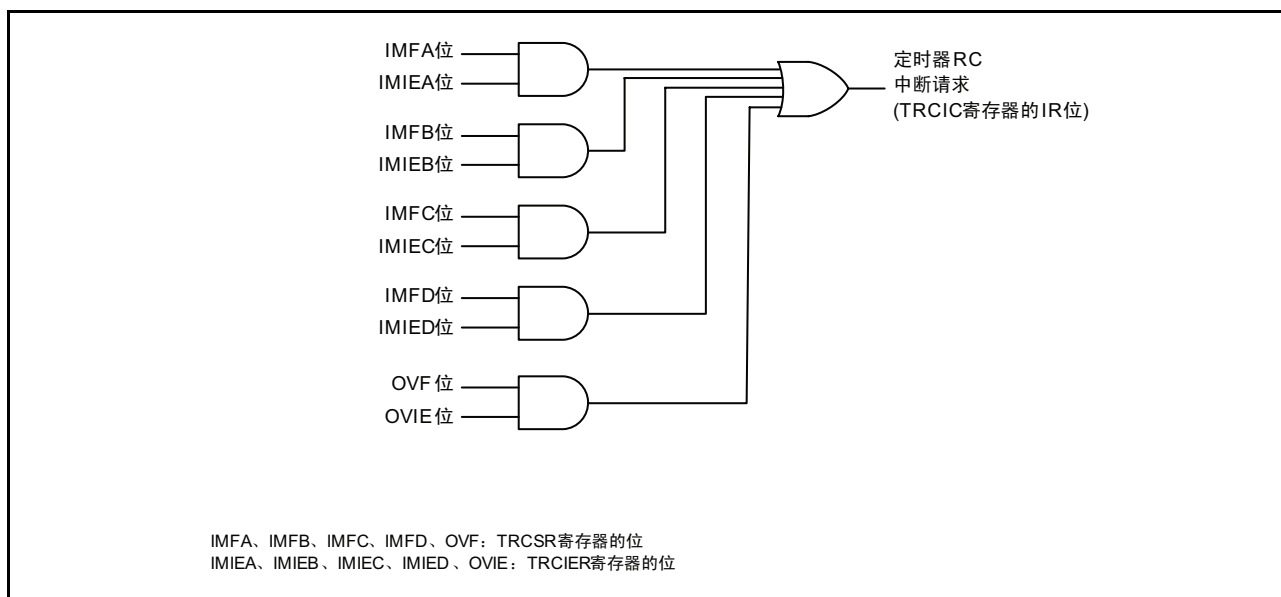


图 13.19 定时器 RC 中断的框图

定时器 RC、带片选的时钟同步串行 I/O、I²C 总线接口的中断与其他可屏蔽中断相同，通过 I 标志、IR 位、ILVL0 ~ ILVL2 位与 IPL 的关系进行中断控制。但是，由于从多个中断请求源产生一个中断请求，所以和其他可屏蔽中断有如下的不同。

- 当状态寄存器的位为“1”并且其对应的允许寄存器的位为“1”（允许中断）时，中断控制寄存器的 IR 位就变为“1”（有中断请求）。
- 如果状态寄存器的位及其对应的允许寄存器的位中的任何一个为“0”或者两者都为“0”，IR 位就变为“0”（无中断请求）。
即，IR 位一旦为“1”，即使中断未被接受，也不会保持中断请求。
另外，即使给 IR 位写“0”，IR 位也不变为“0”。
- 即使中断被接受，状态寄存器的各个位也不会自动变成“0”。
因此，在中断被接受时 IR 位不会自动变成“0”。
必须在中断程序中将状态寄存器的各个位清“0”。将状态寄存器的各个位清“0”的方法请参照状态寄存器的图。
- 如果将允许寄存器多个位置“1”，就在 IR 位变为“1”后其他中断请求源有效时，IR 位不变而保持“1”。
- 如果将允许寄存器多个位置“1”，就由状态寄存器判断是哪一个中断请求源的中断。

关于状态寄存器和允许寄存器请参照外围功能的章节（“15.3 定时器 RC”、“17.2 带片选的时钟同步串行 I/O（SSU）”、“17.3 I²C 总线接口”）。

关于中断控制寄存器请参照“13.1.6 中断控制”。

13.6 中断使用时的注意事项

13.6.1 地址 00000h 的读取

不能通过程序读地址 00000h。在接受到可屏蔽中断的中断请求时，CPU 在中断响应顺序中从地址 00000h 读取中断信息（中断序号和中断请求级）。此时，被接受的中断的 IR 位变为“0”。

如果通过程序读地址 00000h，就在被允许的中断中优先级最高的中断 IR 位变为“0”。因此，中断可能被取消或者产生预料的中断。

13.6.2 SP 的设定

必须在接受中断前给 SP 设定值。在复位后，SP 为“0000h”。因此，如果在给 SP 设定值前接受中断，程序就会失控。

13.6.3 外部中断和键输入中断

输入到 $\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 引脚、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 引脚的信号，与 CPU 的运行时钟无关，需要电特性的外部中断 INT_i 输入（i=0、1、3）所示的“L”电平宽度或者“H”电平宽度（详细内容请参照“表 21.21（V_{CC}=5V）、表 21.27（V_{CC}=3V）、表 21.33（V_{CC}=2.2V）、表 21.52（V_{CC}=5V）、表 21.58（V_{CC}=3V）的外部中断 $\overline{\text{INTi}}$ 输入（i=0、1、3）”。）。

13.6.4 中断源的更改

如果更改中断源，中断控制寄存器的 IR 位就可能变为“1”（有中断请求）。使用中断时，必须在更改中断源后，将 IR 位清“0”（无中断请求）。

另外，在此所说的更改中断源，包括更改被分配到各软件中断序号的中断源、极性和时序等全部要素。因此，在外围功能的模式变更等关系到中断源、极性和时序的情况下，必须在更改后将 IR 位清“0”（无中断请求）。外围功能的中断请参照各外围功能。

中断源变更的步骤例如图 13.20 所示。

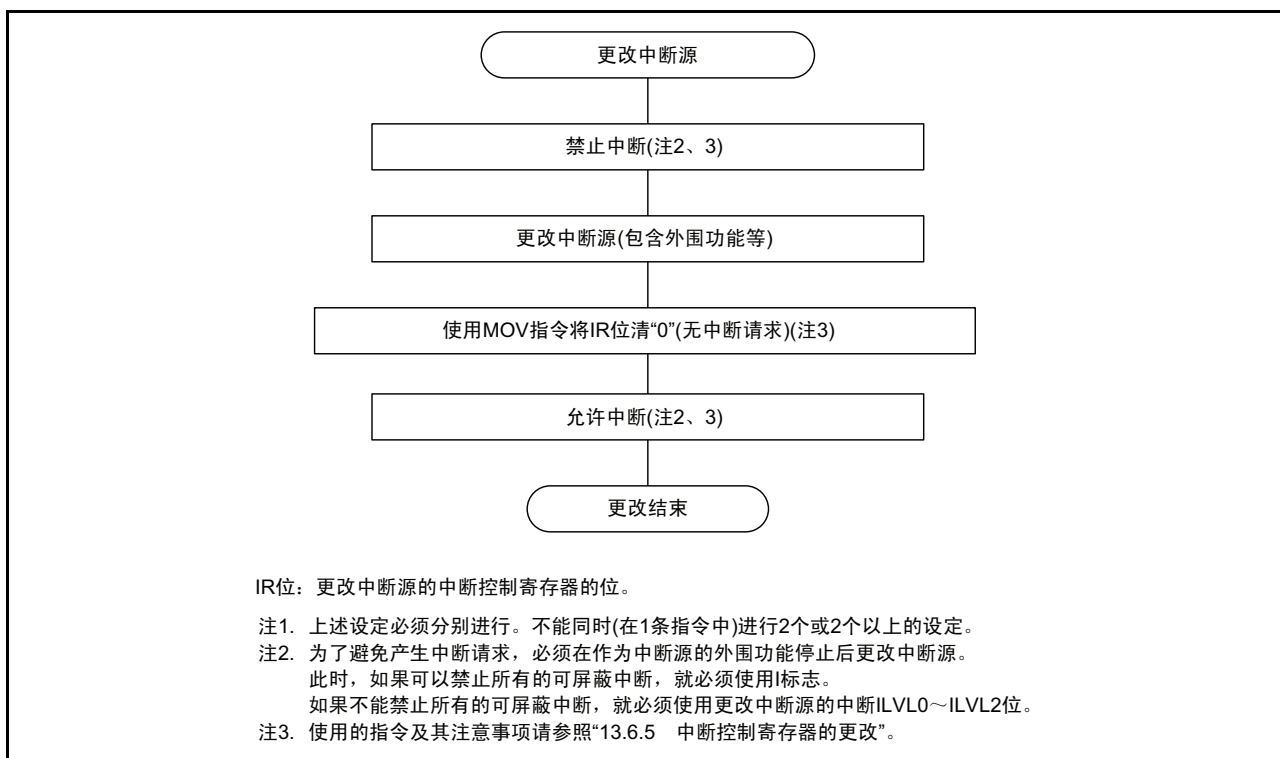


图 13.20 中断源变更的步骤例

13.6.5 中断控制寄存器的更改

(a) 必须在不会产生对应该寄存器的中断请求的位置更改中断控制寄存器。在有可能产生中断请求时，必须在禁止中断后更改中断控制寄存器。

(b) 在禁止中断后更改中断控制寄存器的情况下，必须注意使用的指令。

更改 IR 位以外的位

在执行指令期间，当产生对应该寄存器的中断请求时，IR 位可能不变为“1”（有中断请求），中断被忽视。当在此情况出现问题时，必须使用以下指令更改寄存器：

对象指令…AND、OR、BCLR、BSET

更改 IR 位

在将 IR 位清“0”（无中断请求）时，根据使用的指令，IR 位可能不变为“0”。必须用 MOV 指令将 IR 位清“0”。

(c) 在使用 I 标志禁止中断时，必须按照以下的参考程序例设定 I 标志（参考程序例的中断控制寄存器的更改请参照 (b)）。

由于受内部总线和指令队列缓冲器的影响，在更改中断控制寄存器前 I 标志变为“1”（允许中断），例 1～例 3 是防止这种情况的方法。

例 1: 通过 NOP 指令，等待改变中断控制寄存器的例

INT_SWITCH1:

```
FCLR    I                ; 禁止中断
AND.B   #00H, 0056H     ; 将 TRAIC 寄存器置“00h”
NOP
NOP
FSET    I                ; 允许中断
```

例 2: 通过虚读，使 FSET 指令等待的例

INT_SWITCH2:

```
FCLR    I                ; 禁止中断
AND.B   #00H, 0056H     ; 将 TRAIC 寄存器置“00h”
MOV.W   MEM, R0         ; 虚读
FSET    I                ; 允许中断
```

例 3: 通过 POPC 指令，改变 I 标志的例

INT_SWITCH3:

```
PUSHC   FLG
FCLR    I                ; 禁止中断
AND.B   #00H, 0056H     ; 将 TRAIC 寄存器置“00h”
POPC    FLG              ; 允许中断
```


14. 看门狗定时器

看门狗定时器是检测程序失控的功能。因此，为了提高系统的可靠性，建议使用看门狗定时器。

看门狗定时器具有 15 位计数器，可选择计数源保护模式是否有效。

计数源保护模式的有效 / 无效如表 14.1 所示。

看门狗定时器复位的详细内容，请参照“6.7 看门狗定时器复位”。

看门狗定时器的框图如图 14.1 所示，OFS 寄存器如图 14.2、WDC、WDTR、WDTS、CSPR 寄存器如图 14.3 所示。

表 14.1 计数源保护模式的有效 / 无效

项目	计数源保护模式无效	计数源保护模式有效
计数源	CPU 时钟	低速内部振荡器时钟
计数运行	递减计数	
计数开始条件	可选择以下的任意一项 <ul style="list-style-type: none"> 复位后自动开始计数 通过写 WDTS 寄存器，开始计数 	
计数停止条件	停止模式、等待模式	无
看门狗定时器的初始条件	<ul style="list-style-type: none"> 复位 将“00h”、“FFh”连续写到 WDTR 寄存器 下溢 	
下溢时的运行	看门狗定时器中断或者看门狗定时器复位	看门狗定时器复位

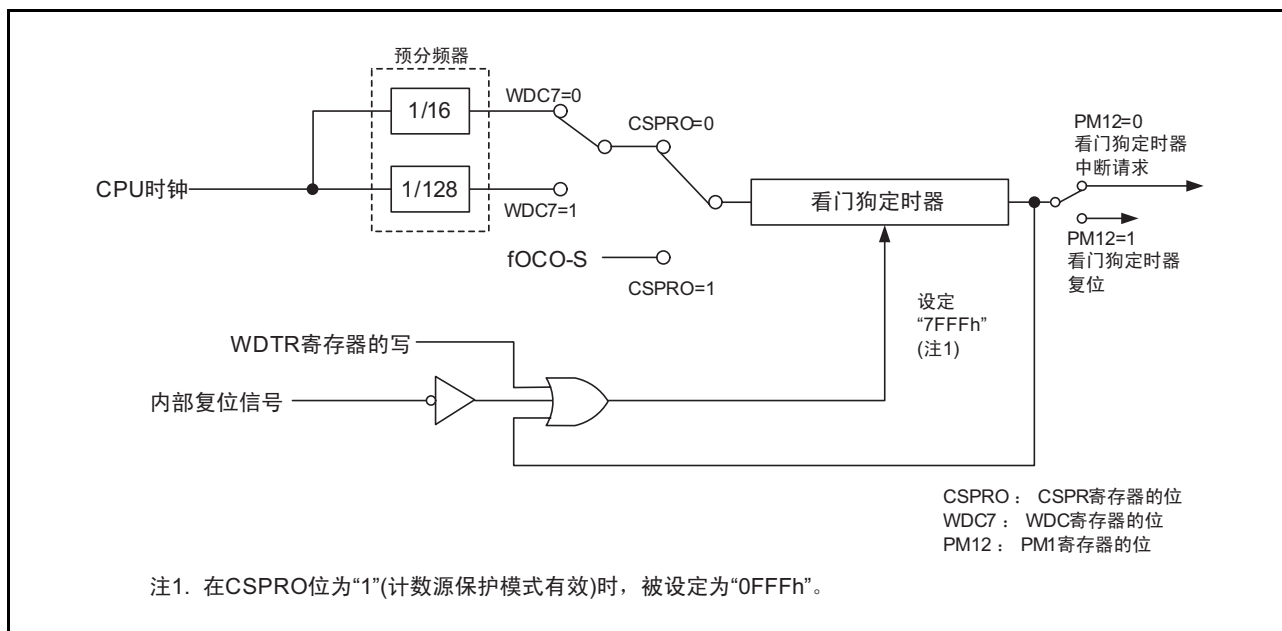


图 14.1 看门狗定时器的框图

选项功能选择寄存器(注1)

符号 OFS	地址 地址0FFFFh	出厂值 FFh(注3)	
位符号	位名	功能	RW
WDTON	看门狗定时器启动选择位	0: 复位后, 看门狗定时器自动启动 1: 复位后, 看门狗定时器为停止状态	RW
(b1)	保留位	必须置“1”。	RW
ROMCR	ROM码保护解除位	0: ROM码保护解除 1: ROMCP1有效	RW
ROMCP1	ROM码保护位	0: ROM码保护有效 1: ROM码保护解除	RW
(b4)	保留位	必须置“1”。	RW
LVD0ON	电压检测0电路启动位 (注2、4)	0: 硬件复位后, 电压监视0复位有效 1: 硬件复位后, 电压监视0复位无效	RW
LVD1ON	电压检测1电路启动位 (注5、6)	0: 硬件复位后, 电压监视1复位有效 1: 硬件复位后, 电压监视1复位无效	RW
CSPROINI	复位后计数源保护模式选择位	0: 复位后, 计数源保护模式有效 1: 复位后, 计数源保护模式无效	RW

注1. OFS寄存器在闪存内, 必须和程序一起写。写OFS寄存器后, 不能进行追加写。
 注2. LVD0ON位的设定只在硬件复位中有效。在使用上电复位时, 必须将LVD0ON位清“0”(硬件复位后, 电压监视0复位有效)。
 注3. 在擦除包含OFS寄存器的块时, OFS寄存器值变为“FFh”。
 注4. 只限于N、D版。J、K版时, 必须置“1”(复位后, 电压监视0复位无效)。
 注5. LVD1ON位的设定只在硬件复位中有效。在使用上电复位时, 必须清“0”(硬件复位后, 电压监视1复位有效)。
 注6. 只限于J、K版。N、D版时, 必须置“1”(复位后, 电压监视1复位无效)。

图 14.2 OFS 寄存器

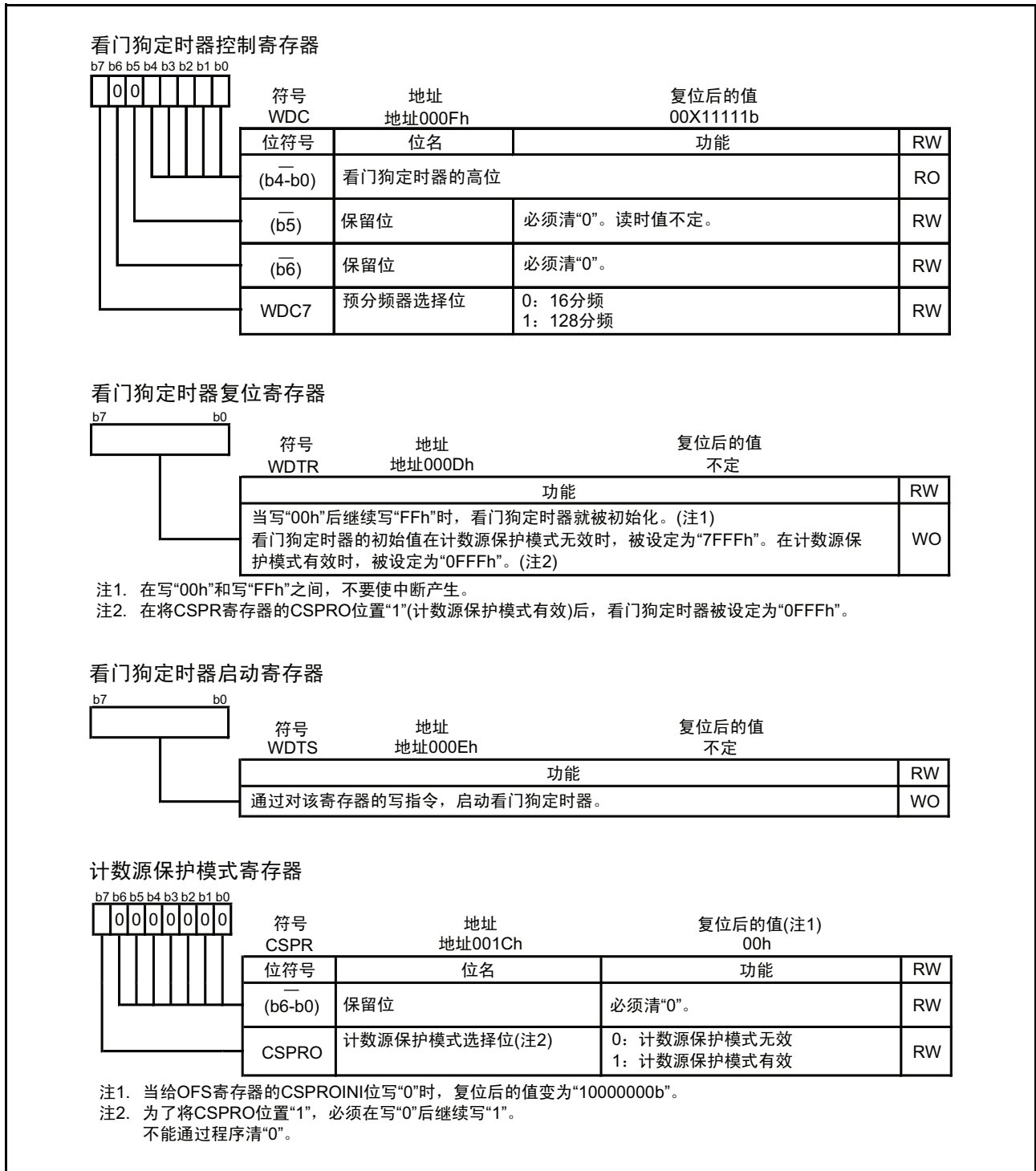


图 14.3 WDC、WDTR、WDTS、CSPR 寄存器

14.1 计数源保护模式无效时

当计数源保护模式无效时，看门狗定时器的计数源为 CPU 时钟。
看门狗定时器的规格（计数源保护模式无效时）如表 14.2 所示。

表 14.2 看门狗定时器的规格（计数源保护模式无效时）

项目	规格
计数源	CPU 时钟
计数运行	递减计数
周期	$\frac{\text{预分频器的 } (n) \times \text{看门狗定时器的计数值 } (32768)}{\text{CPU 时钟}}$ （注 1） n: 16 或者 128（由 WDC 寄存器的 WDC7 位选择） 例：当 CPU 时钟为 16MHz 并且预分频器为 16 分频时，周期约为 32.8ms
计数开始条件	通过 OFS 寄存器（地址 0FFFFh）的 WDTON 位（注 2）选择复位后的看门狗定时器的运行 <ul style="list-style-type: none"> 当 WDTON 位为“1”（复位后，看门狗定时器处于停止状态）时 复位后，看门狗定时器和预分频器停止，通过写 WDTS 寄存器开始计数 当 WDTON 位为“0”（复位后，看门狗定时器自动启动）时 复位后，看门狗定时器和预分频器自动开始计数
看门狗定时器的初始化条件	<ul style="list-style-type: none"> 复位 将“00h”、“FFh”连续写到 WDTR 寄存器 下溢
计数停止条件	停止模式、等待模式（解除后，从被保持的值开始继续计数）
下溢时的运行	<ul style="list-style-type: none"> 当 PM1 寄存器的 PM12 位为“0”时 看门狗定时器中断 当 PM1 寄存器的 PM12 位为“1”时 看门狗定时器复位（请参照“6.7 看门狗定时器复位”）

注 1. 在将“00h”和“FFh”连续写到 WDTR 寄存器时，看门狗定时器被初始化。预分频器在复位后被初始化。因此，看门狗定时器的周期将产生由预分频器引起的误差。

注 2. 不能通过程序更改 WDTON 位。在设定 WDTON 位时，必须通过闪存编程器给地址 0FFFFh 的 b0 写“0”。

14.2 计数源保护模式有效时

当计数源保护模式有效时，看门狗定时器的计数源为低速内部振荡器时钟。在程序失控时，即使 CPU 时钟停止，也能给看门狗定时器提供时钟。

看门狗定时器的规格（计数源保护模式有效时）如表 14.3 所示。

表 14.3 看门狗定时器的规格（计数源保护模式有效时）

项目	规格
计数源	低速内部振荡器时钟
计数运行	递减计数
周期	看门狗定时器的计数值（4096） 低速内部振荡器时钟 例：当低速内部振荡器时钟为 125kHz 时，周期约为 32.8ms
计数开始条件	通过 OFS 寄存器（地址 0FFFFh）的 WDTON 位（注 1）选择复位后的看门狗定时器的运行 <ul style="list-style-type: none"> 当 WDTON 位为“1”（复位后，看门狗定时器处于停止状态）时 复位后，看门狗定时器和预分频器停止，通过写 WDTS 寄存器开始计数 当 WDTON 位为“0”（复位后，看门狗定时器自动启动）时 复位后，看门狗定时器和预分频器自动开始计数
看门狗定时器的初始化条件	<ul style="list-style-type: none"> 复位 将“00h”、“FFh”连续写到 WDTR 寄存器 下溢
计数停止条件	无（在开始计数后，即使在等待模式中也不停止。不变为停止模式。）
下溢时的运行	看门狗定时器复位（请参照“6.7 看门狗定时器复位”）
寄存器、位	<ul style="list-style-type: none"> 当将 CSPR 寄存器的 CSPRO 位置“1”（计数源保护模式有效）时（注 2），自动进行如下设定： <ul style="list-style-type: none"> 将看门狗定时器设定为 0FFFh 将 CM1 寄存器的 CM14 位清“0”（低速内部振荡器振荡） 将 PM1 寄存器的 PM12 位置“1”（在看门狗定时器下溢时，看门狗定时器复位） 在计数源保护模式时进入以下状态： <ul style="list-style-type: none"> 禁止写 CM1 寄存器的 CM10 位（即使写“1”也不变，不转移到停止模式） 禁止写 CM1 寄存器的 CM14 位（即使写“1”也不变，低速内部振荡器不停止）

注 1. 不能通过程序更改 WDTON 位。在设定 WDTON 位时，必须通过闪存编程器给地址 0FFFFh 的 b0 写“0”。

注 2. 即使给 OFS 寄存器的 CSPROINI 位写“0”，CSPRO 位也为“1”。不能通过程序更改 CSPROINI 位。在设定 CSPROINI 位时，必须通过闪存编程器给地址 0FFFFh 的 b7 写“0”。

15. 定时器

定时器内置 2 个带 8 位预分频器的 8 位定时器、1 个 16 位定时器、1 个带 4 位计数器和 8 位计数器的定时器。带 8 位预分频器的 8 位定时器有定时器 RA 和定时器 RB，这些定时器含有保存计数器初始值的重加载寄存器。16 位定时器是带输入捕捉和输出比较功能的定时器 RC。4 位计数器、8 位计数器是带输出比较的定时器 RE。所有定时器各自独立运行。

各定时器的功能比较如表 15.1 所示。

表 15.1 各定时器的功能比较

项目	定时器 RA	定时器 RB	定时器 RC	定时器 RE	
结构	带 8 位预分频器的 8 位定时器 (带重加载寄存器)	带 8 位预分频器的 8 位定时器 (带重加载寄存器)	16 位定时器 (带输入捕捉和输出比较)	4 位计数器 8 位计数器	
计数	递减计数	递减计数	递增计数	递增计数	
计数源 (注 1)	<ul style="list-style-type: none"> • f1 • f2 • f8 • fOCO • fC32 	<ul style="list-style-type: none"> • f1 • f2 • f8 • 定时器 RA 下溢 	<ul style="list-style-type: none"> • f1 • f2 • f4 • f8 • f32 • fOCO40M • TRCCLK 	<ul style="list-style-type: none"> • f4 • f8 • f32 • fC4 	
功能	定时器模式	有	有 (输入捕捉功能、输出比较功能)	无	
	脉冲输出模式	有	无	无	
	事件计数模式	有	无	无	
	脉宽测定模式	有	无	无	
	脉冲周期测定模式	有	无	无	
	可编程波形产生模式	无	有	无	
	可编程单触发产生模式	无	有	无	
	可编程等待单触发产生模式	无	有	无	
	输入捕捉	无	无	有	无
	输出比较	无	无	有	有
	PWM 模式	无	无	有	无
	PWM2 模式	无	无	有	无
实时时钟模式	无	无	无	有 (注 2)	
输入引脚	TRAIO	INT0	INT0、TRCCLK、TRCTRG、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、	—	
输出引脚	TRA0 TRAIO	TRBO	TRCIOA、TRCIOB、 TRCIOC、TRCIOD、	—	
相关中断	定时器 RA 中断 INT1 中断	定时器 RB 中断 INT0 中断	比较匹配 / 输入捕捉 A ~ D 中断 上溢中断 INT0 中断	定时器 RE 中断	
定时器停止	有	有	有	有	

注 1. 在 J、K 版时，不能选择 fC4 和 fC32。

注 2. 只限于 N、D 版。

15.1 定时器 RA

定时器 RA 是带 8 位预分频器的 8 位定时器。预分频器和定时器分别由重加载寄存器和计数器构成，重加载寄存器和计数器分配了相同地址。如果对 TRAPRE 寄存器和 TRA 寄存器进行存取，就能存取重加载寄存器和计数器（请参照表 15.2 ~ 表 15.6 的各模式规格）。

定时器 RA 的计数源是计数、重加载等定时器运行的运行时钟。

定时器 RA 的框图如图 15.1 所示，和定时器 RA 有关的寄存器如图 15.2 ~ 图 15.3 所示。定时器 RA 有以下 5 种模式：

- 定时器模式 对内部计数源进行计数
- 脉冲输出模式 对内部计数源进行计数，在定时器下溢时输出极性相反的脉冲
- 事件计数器模式 对外部脉冲进行计数
- 脉宽测定模式 测定外部脉冲的脉宽
- 脉冲周期测定模式 测定外部脉冲的脉冲周期

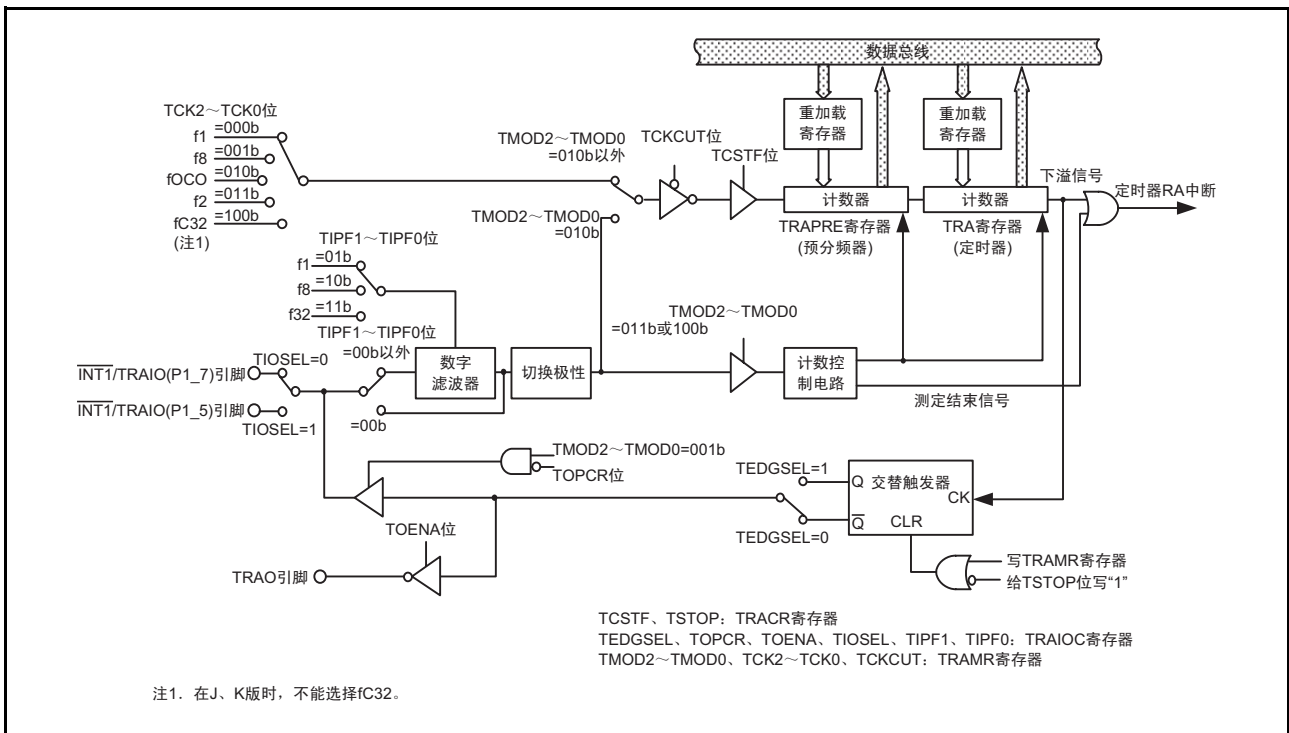


图 15.1 定时器 RA 的框图

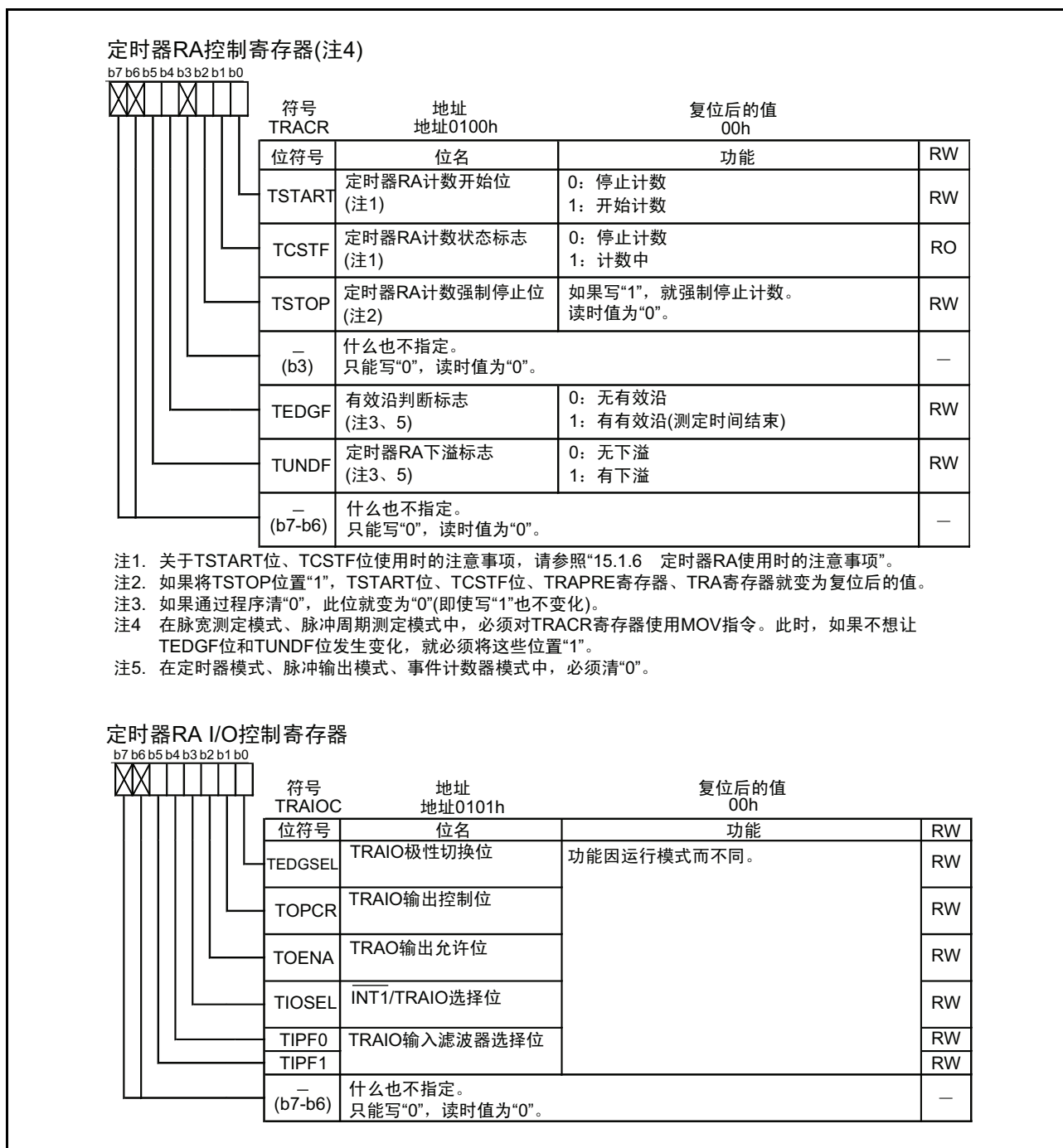


图 15.2 TRACR、TRAI0C 寄存器

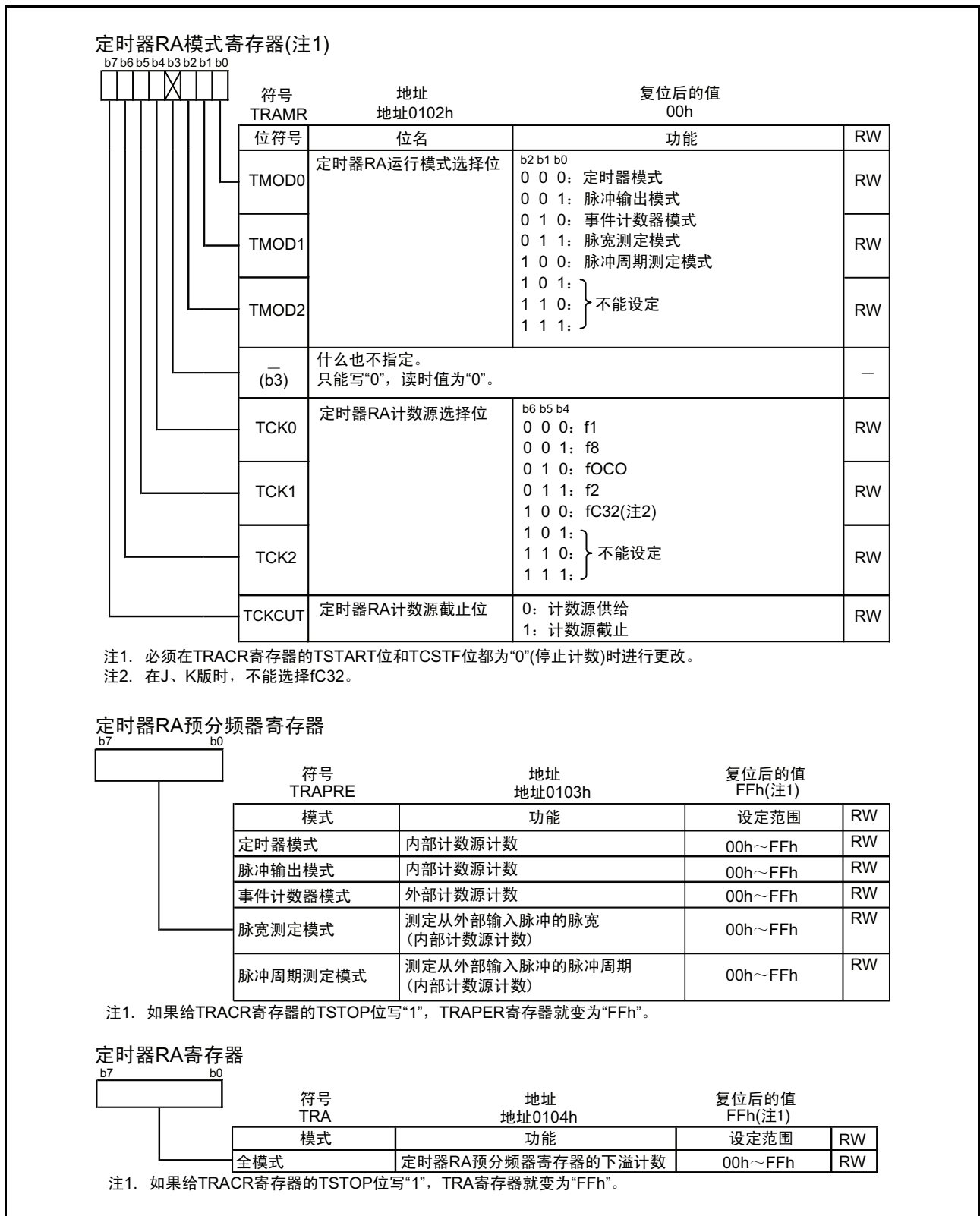


图 15.3 TRAMR、TRAPRE、TRA 寄存器

15.1.1 定时器模式

它是对内部生成的计数源进行计数的模式（表 15.2）。

定时器模式时的 TRAI0C 寄存器如图 15.4 所示。

表 15.2 定时器模式的规格

项目	规格
计数源	f1、f2、f8、fOCO、fC32（注1）
计数运行	<ul style="list-style-type: none"> 递减计数 下溢时重新装入重加载寄存器的内容，然后继续计数
分频比	$1/(n+1)(m+1)$ n: TRAPRE 寄存器的设定值、m: TRA 寄存器的设定值
计数开始条件	给 TRACR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	<ul style="list-style-type: none"> 将 TRACR 寄存器的 TSTART 位清“0”（停止计数） 给 TRACR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在定时器 RA 下溢时 [定时器 RA 中断]
$\overline{\text{INT1}}$ /TRAIO 信号引脚功能	可编程输入 / 输出端口或者 $\overline{\text{INT1}}$ 中断输入
TRA0 引脚功能	可编程输入 / 输出端口
读定时器	如果读 TRA 寄存器和 TRAPRE 寄存器，就读取各自的计数值
写定时器	<ul style="list-style-type: none"> 如果在计数停止时给 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写到各自的重加载寄存器和计数器 如果在计数中给 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写到各自的重加载寄存器和计数器（请参照“15.1.1.1 计数中的定时器写控制”）

注 1. 在 J、K 版时，不能选择 fC32。

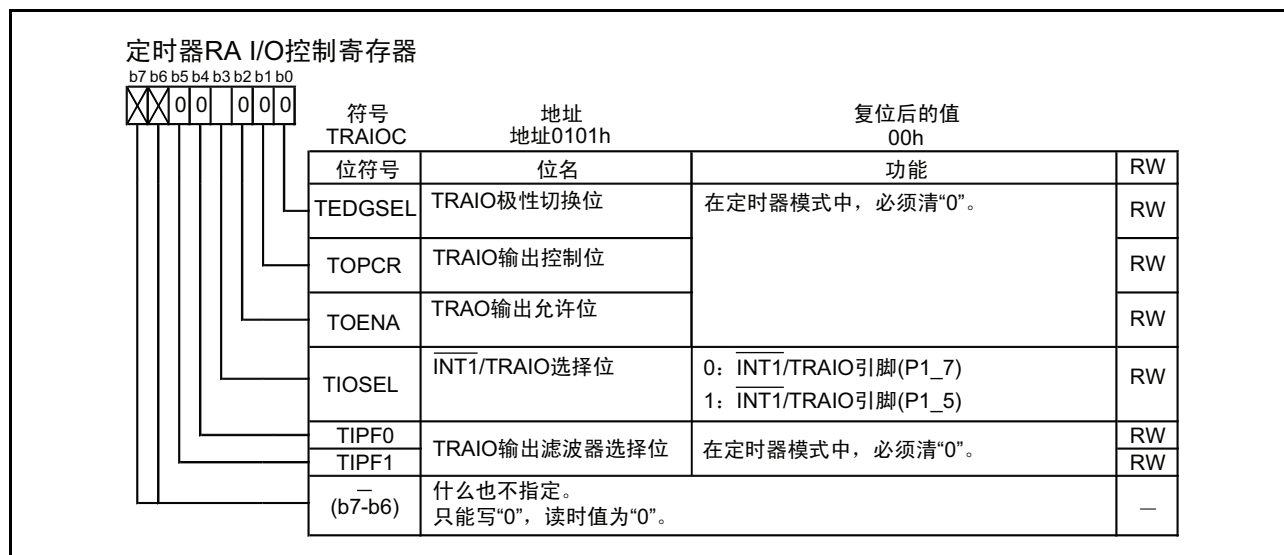


图 15.4 定时器模式时的 TRAI0C 寄存器

15.1.1.1 计数中的定时器写控制

定时器 RA 有预分频器和定时器（对预分频器的下溢进行计数的狭义的定时器），各自具有重加载寄存器和计数器。当写预分频器或定时器时，值就会被写到重加载寄存器和计数器。

但是，在数据从预分频器的重加载寄存器传送到计数器传送到计数器时，与计数源同步进行。另外，在数据从定时器的重加载寄存器传送到计数器时，与预分频器的下溢同步进行。因此，如果在计数中写预分频器或定时器，就不会在执行写指令后立即更新计数器的值。定时器 RA 计数中改写计数值的运行例如图 15.5 所示。

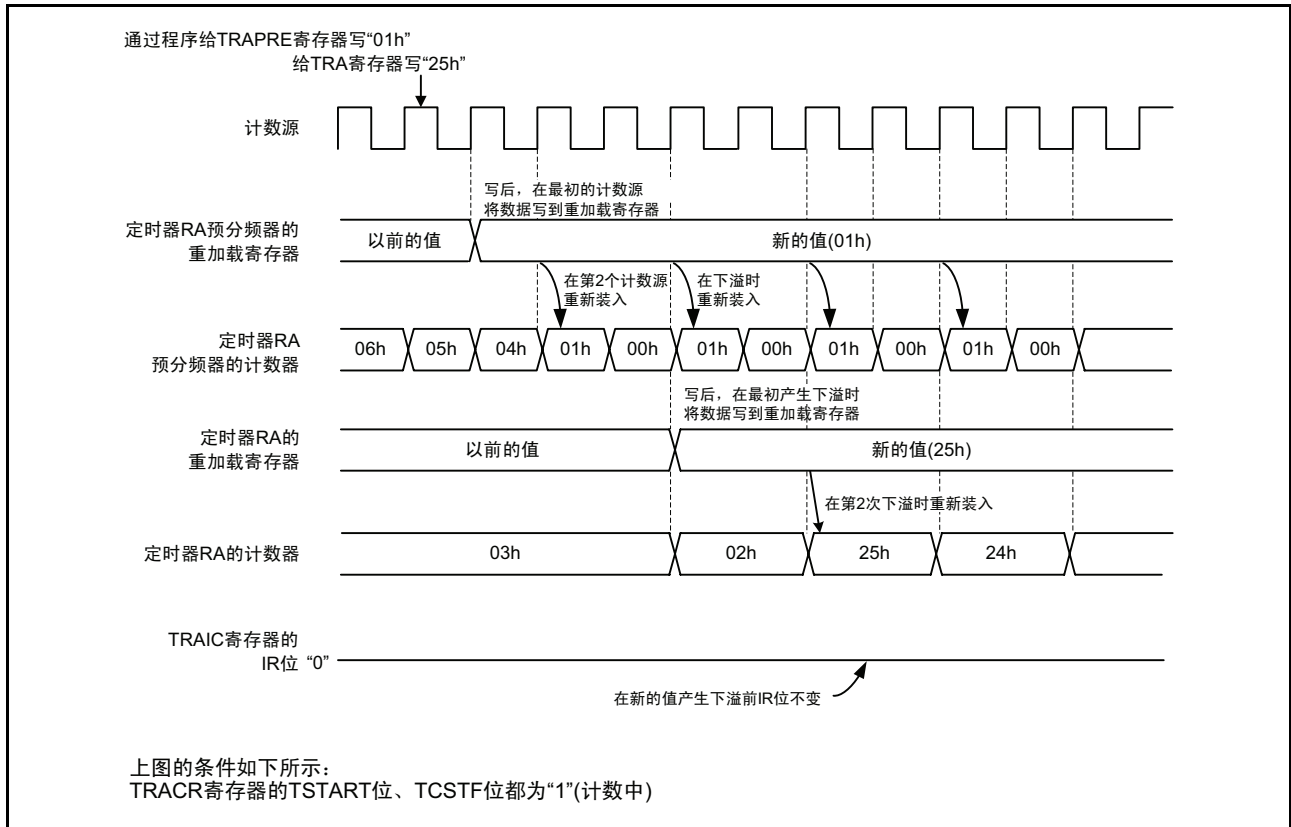


图 15.5 定时器 RA 计数中改写计数值的运行例

15.1.2 脉冲输出模式

它对内部生成的计数源进行计数。每当定时器下溢时，从 TRAI0 引脚输出极性相反的脉冲（表 15.3）。脉冲输出模式时的 TRAI0C 寄存器如图 15.6 所示。

表 15.3 脉冲输出模式的规格

项目	规格
计数源	f1、f2、f8、fOCO、fC32（注 2）
计数运行	<ul style="list-style-type: none"> • 递减计数 • 下溢时重新装入重加载寄存器的内容，然后继续计数
分频比	$1/(n+1)(m+1)$ n: TRAPRE 寄存器的设定值、m: TRA 寄存器的设定值
计数开始条件	给 TRACR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	<ul style="list-style-type: none"> • 将 TRACR 寄存器的 TSTART 位清“0”（停止计数） • 给 TRACR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在定时器 RA 下溢时 [定时器 RA 中断]
$\overline{\text{INT1}}$ /TRAIO 信号引脚功能	脉冲输出、或可编程输出端口、 $\overline{\text{INT1}}$ 中断输入（注 1）
TRA0 引脚功能	可编程输入 / 输出端口或者 TRAI0 输出的反相输出（注 1）
读定时器	如果读 TRAPRE 寄存器和 TRA 寄存器，就读取各自的计数值
写定时器	<ul style="list-style-type: none"> • 如果在计数停止时给 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写到各自的重加载寄存器和计数器 • 如果在计数中给 TRAPRE 寄存器和 TRA 寄存器写数据，数据会被写到各自的重加载寄存器和计数器。详细内容请参照“15.1.1.1 计数中的定时器写控制”
选择功能	<ul style="list-style-type: none"> • TRAI0 输出极性转换功能 通过 TEDGSEL 位选择脉冲输出开始时的电平（注 1） • TRA0 输出功能 从 TRA0 引脚输出 TRAI0 的极性相反的脉冲（通过 TOENA 位选择） • 脉冲输出停止功能 通过 TOPCR 位停止从 TRAI0 引脚输出脉冲 • $\overline{\text{INT1}}$/TRAIO 引脚选择功能 通过 TIOSEL 位选择 P1_7 或 P1_5

注 1. 通过写 TRAMR 寄存器，输出脉冲变为输出开始时的电平。

注 2. 在 J、K 版时，不能选择 fC32。

定时器RA I/O控制寄存器			
符号	地址	复位后的值	
地址0101h			
位符号	位名	功能	RW
TEDGSEL	TRAIO极性切换位	0: 从“H”电平开始TRAIO输出 1: 从“L”电平开始TRAIO输出	RW
TOPCR	TRAIO输出控制位	0: TRAO输出 1: 端口P1_7或端口P1_5	RW
TOENA	TRAO输出允许位	0: 端口P3_7 1: TRAO输出 (从P3_7反相输出TRAIO)	RW
TIOSEL	$\overline{\text{INT1}}$ /TRAIO选择位	0: $\overline{\text{INT1}}$ /TRAIO引脚(P1_7) 1: $\overline{\text{INT1}}$ /TRAIO引脚(P1_5)	RW
TIPF0	TRAIO输入滤波器选择位	在脉冲输出模式中，必须清“0”。	RW
TIPF1			RW
— (b7-b6)	什么也不指定。 只能写“0”，读时值为“0”。		—

图 15.6 脉冲输出模式时的 TRAIOC 寄存器

15.1.3 事件计数器模式

它是对 $\overline{\text{INT1}}$ /TRAIO 引脚输入的外部信号进行计数的模式（表 15.4）。

事件计数器模式时的 TRAIOC 寄存器如图 15.7 所示。

表 15.4 事件计数器模式的规格

项目	规格
计数源	TRAIO 引脚输入的外部信号（能通过程序选择有效沿）
计数运行	<ul style="list-style-type: none"> • 递减计数 • 下溢时重新装入重加载寄存器的内容，然后继续计数
分频比	$1/(n+1)(m+1)$ n: TRAPRE 寄存器的设定值、m: TRA 寄存器的设定值
计数开始条件	给 TRACR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	<ul style="list-style-type: none"> • 将 TRACR 寄存器的 TSTART 位清“0”（停止计数） • 给 TRACR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在定时器 RA 下溢时 [定时器 RA 中断]
$\overline{\text{INT1}}$ /TRAIO 信号引脚功能	计数源输入（ $\overline{\text{INT1}}$ 中断输入）
TRAIO 引脚功能	可编程输入 / 输出端口，或者脉冲输出（注 1）
读定时器	如果读 TRA 寄存器和 TRAPRE 寄存器，就读取各自的计数值
写定时器	<ul style="list-style-type: none"> • 如果在计数停止时给 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写到各自的重加载寄存器和计数器 • 如果在计数中给 TRAPRE 寄存器和 TRA 寄存器写数据，数据会被写到各自的重加载寄存器和计数器。详细内容请参照“15.1.1.1 计数中的定时器写控制”
选择功能	<ul style="list-style-type: none"> • $\overline{\text{INT1}}$ 输入极性转换功能 通过 TEDGSEL 位选择计数源的有效沿 • 计数源输入引脚选择功能 通过 TIOSEL 位选择 P1_7 或 P1_5 • 脉冲输出功能 每当定时器下溢时，从 TRAO 引脚输出极性相反的脉冲（由 TOENA 位选择） （注 1） • 数字滤波器功能 通过 TIPF0 ~ TIPF1 位选择有无数字滤波器和采样频率

注 1. 通过写 TRAMR 寄存器，输出脉冲变为输出开始时的电平。

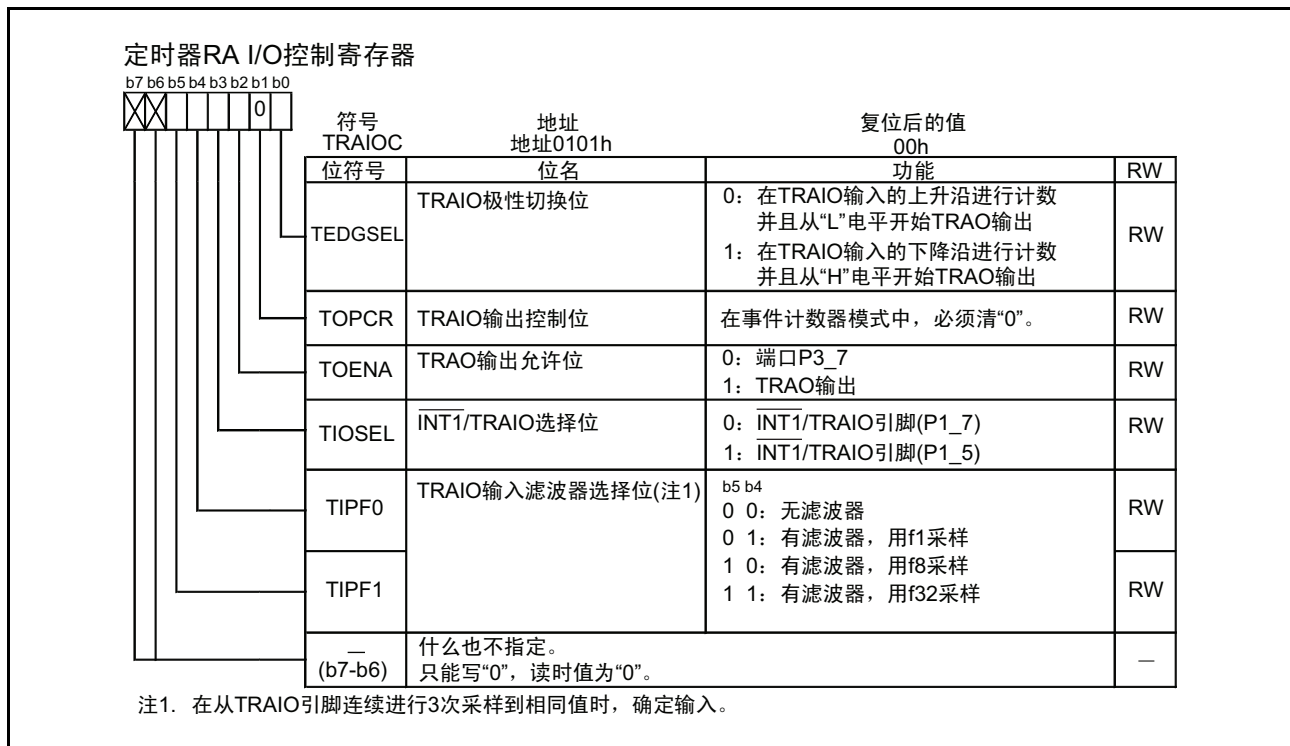


图 15.7 事件计数器模式时的 TRAI0C 寄存器

15.1.4 脉宽测定模式

它是测定 $\overline{\text{INT1}}$ /TRAIO 引脚输入的外部信号脉宽的模式（表 15.5）。

脉宽测定模式时的 TRAI0C 寄存器如图 15.8、脉宽测定模式时的运行例如图 15.9 所示。

表 15.5 脉宽测定模式的规格

项目	规格
计数源	f1、f2、f8、fOCO、fC32（注 1）
计数运行	<ul style="list-style-type: none"> • 递减计数 • 只有在测定脉冲为“H”电平或者“L”电平的期间继续计数 • 下溢时重新装入重加载寄存器的内容，然后继续计数
计数开始条件	给 TRACR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	<ul style="list-style-type: none"> • 将 TRACR 寄存器的 TSTART 位清“0”（停止计数） • 给 TRACR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	<ul style="list-style-type: none"> • 在定时器 RA 下溢时 [定时器 RA 中断] • 在 TRAI0 输入的上升沿或者下降沿（测定期间结束）[定时器 RA 中断]
$\overline{\text{INT1}}$ /TRAIO 信号引脚功能	测定脉冲输入（ $\overline{\text{INT1}}$ 中断输入）
TRA0 引脚功能	可编程输入 / 输出端口
读定时器	如果读 TRA 寄存器和 TRAPRE 寄存器，就读取各自的计数值
写定时器	<ul style="list-style-type: none"> • 如果在计数停止时给 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写到各自的重加载寄存器和计数器 • 如果在计数中给 TRAPRE 寄存器和 TRA 寄存器写数据，数据会被写到各自的重加载寄存器和计数器。详细内容请参照“15.1.1.1 计数中的定时器写控制”
选择功能	<ul style="list-style-type: none"> • 选择测定电平 通过 TEDGSEL 位选择“H”电平期间或者“L”电平期间 • 测定脉冲输入引脚选择功能 通过 TIOSEL 位选择 P1_7 或者 P1_5 • 数字滤波器功能 通过 TIPF0 ~ TIPF1 位选择数字滤波器的有无和采样频率

注 1. 在 J、K 版时，不能选择 fC32。

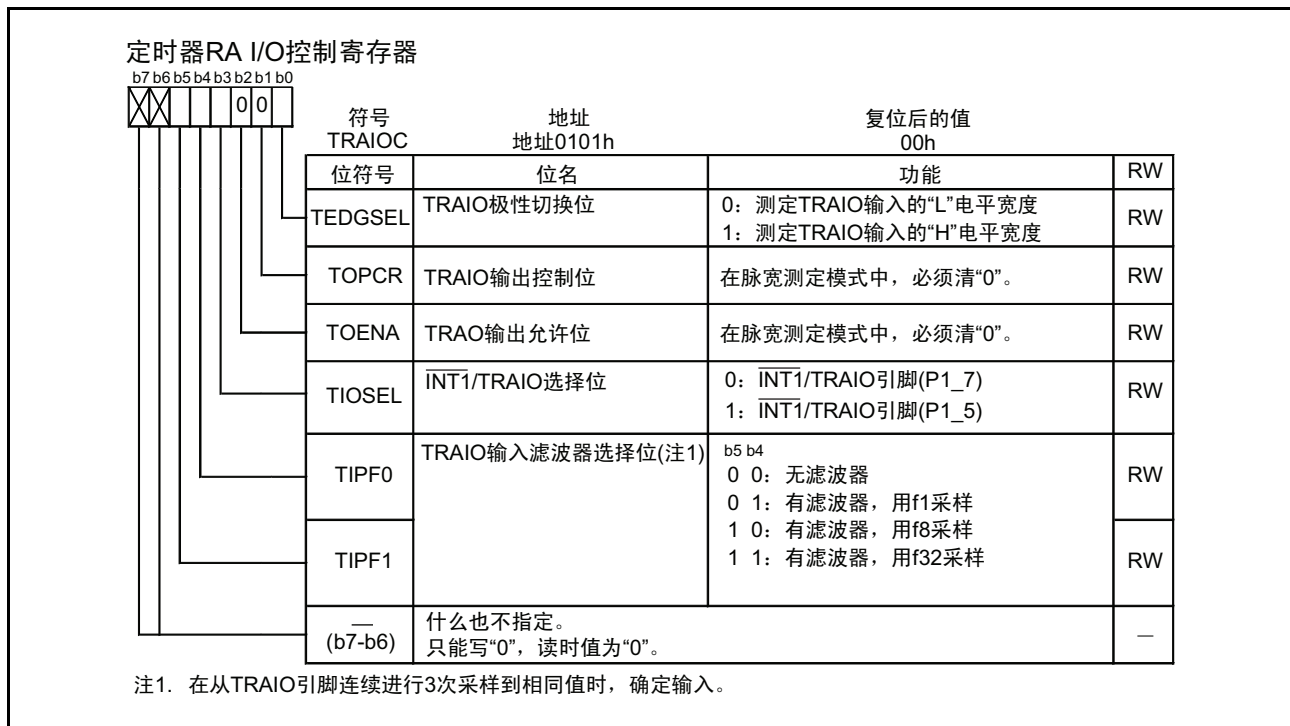


图 15.8 脉宽测定模式时的 TRAIOC 寄存器

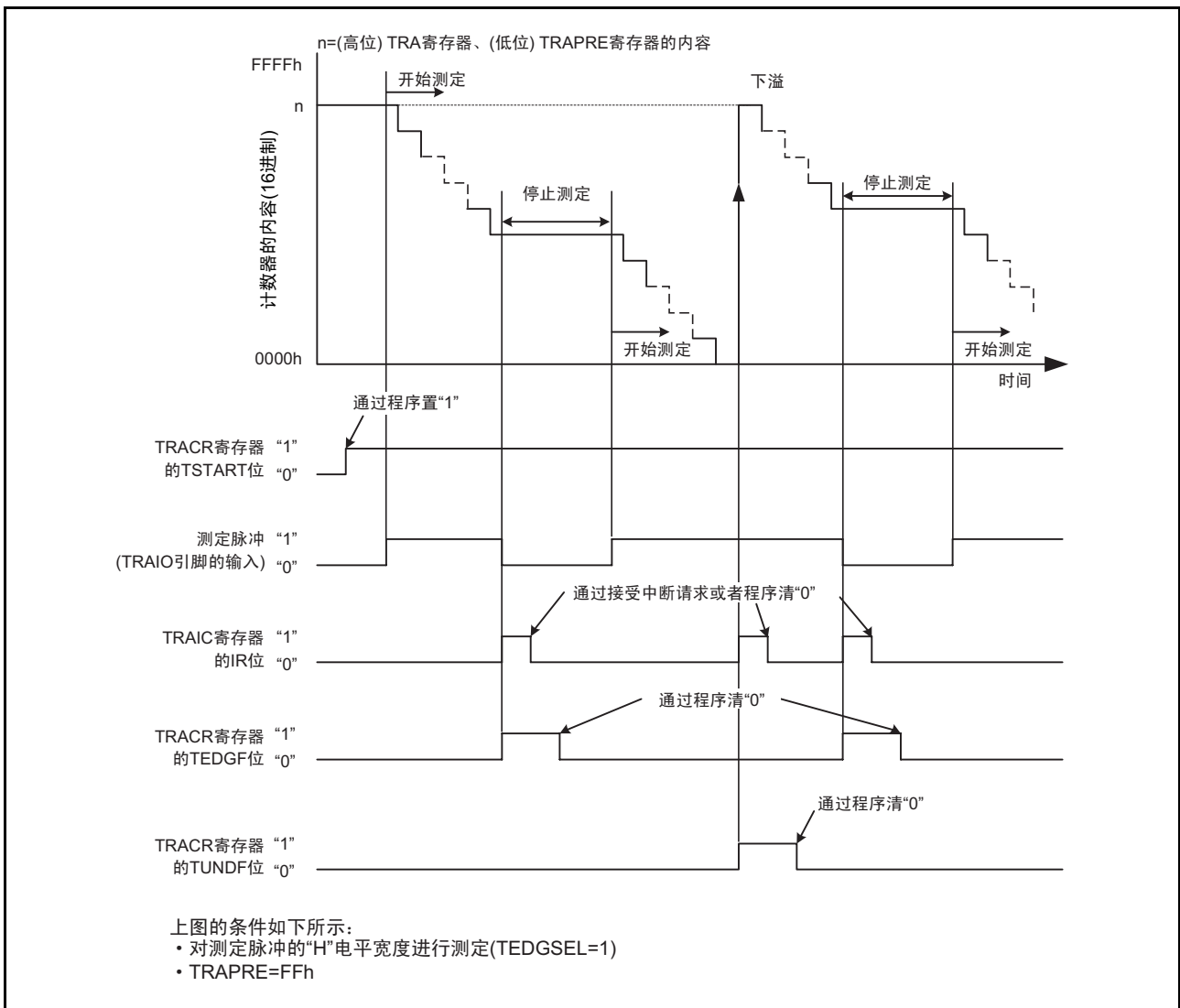


图 15.9 脉宽测定模式时的运行例

15.1.5 脉冲周期测定模式

它是测定 $\overline{\text{INT1}}$ /TRAIO 引脚输入的外部信号脉冲周期的模式（表 15.6）。

脉冲周期测定模式时的 TRAI0C 寄存器如图 15.10 所示、脉冲周期测定模式时的运行例如图 15.11 所示。

表 15.6 脉冲周期测定模式的规格

项目	规格
计数源	f1、f2、f8、fOCO、fC32（注 2）
计数运行	<ul style="list-style-type: none"> • 递减计数 • 输入测定脉冲的有效沿后，在定时器 RA 预分频器第 1 次下溢时保持读缓冲器的内容；在定时器 RA 预分频器第 2 次下溢时，定时器 RA 重新装入重加载寄存器的内容，然后继续计数
计数开始条件	给 TRACR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	<ul style="list-style-type: none"> • 将 TRACR 寄存器的 TSTART 位清“0”（停止计数） • 给 TRACR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	<ul style="list-style-type: none"> • 在定时器 RA 下溢时或者重新装入时 [定时器 RA 中断] • 在 TRAI0 输入的上升沿或者下降沿（测定期间结束）[定时器 RA 中断]
$\overline{\text{INT1}}$ /TRAIO 引脚功能	测定脉冲输入（注 1）（ $\overline{\text{INT1}}$ 中断输入）
TRA0 引脚功能	可编程输入 / 输出端口
读定时器	如果读 TRA 寄存器、TRAPRE 寄存器，就读取各自计数器值。
写定时器	<ul style="list-style-type: none"> • 如果在计数停止时给 TRAPRE 寄存器和 TRA 寄存器写数据，数据就被写到各自的重加载寄存器和计数器 • 如果在计数中给 TRAPRE 寄存器和 TRA 寄存器写数据，数据会被写到各自的重加载寄存器和计数器。详细内容请参照“15.1.1.1 计数中的定时器写控制”
选择功能	<ul style="list-style-type: none"> • 选择测定时间 通过 TEDGSEL 位选择输入脉冲的测定期间 • 测定脉冲输入引脚选择功能 通过 TIOSEL 选择 P1_7 或者 P1_5 • 数字滤波器功能 通过 TIPF0 ~ TIPF1 选择数字滤波器的有无和采样频率

注 1. 必须输入大于定时器 RA 预分频器周期 2 倍的脉冲。另外，对于“H”电平宽度和“L”电平宽度，必须分别输入大于定时器 RA 预分频器周期的脉冲，如果输入短于定时器 RA 预分频器周期的脉冲，其输入可能被忽略。

注 2. 在 J、K 版时，不能选择 fC32。

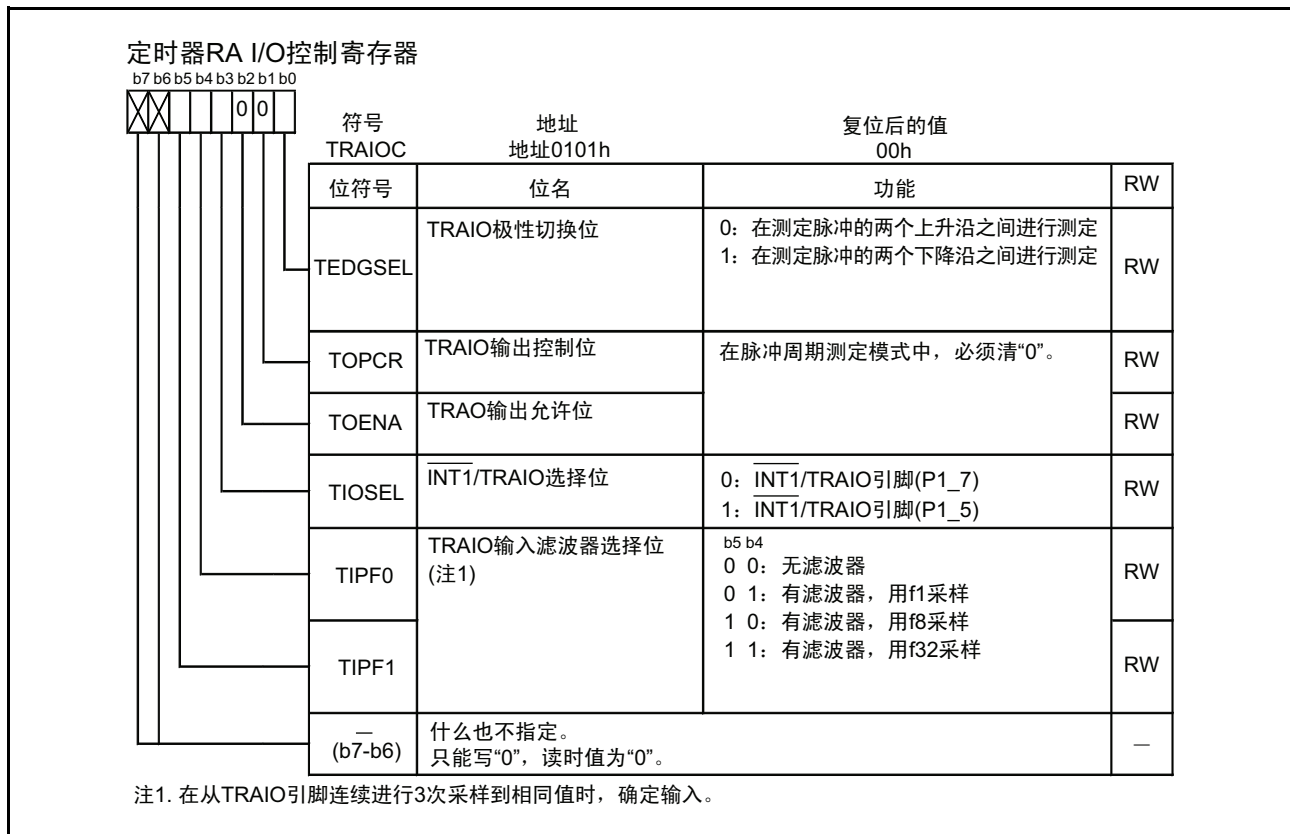


图 15.10 脉冲周期测定模式时的 TRAIOC 寄存器

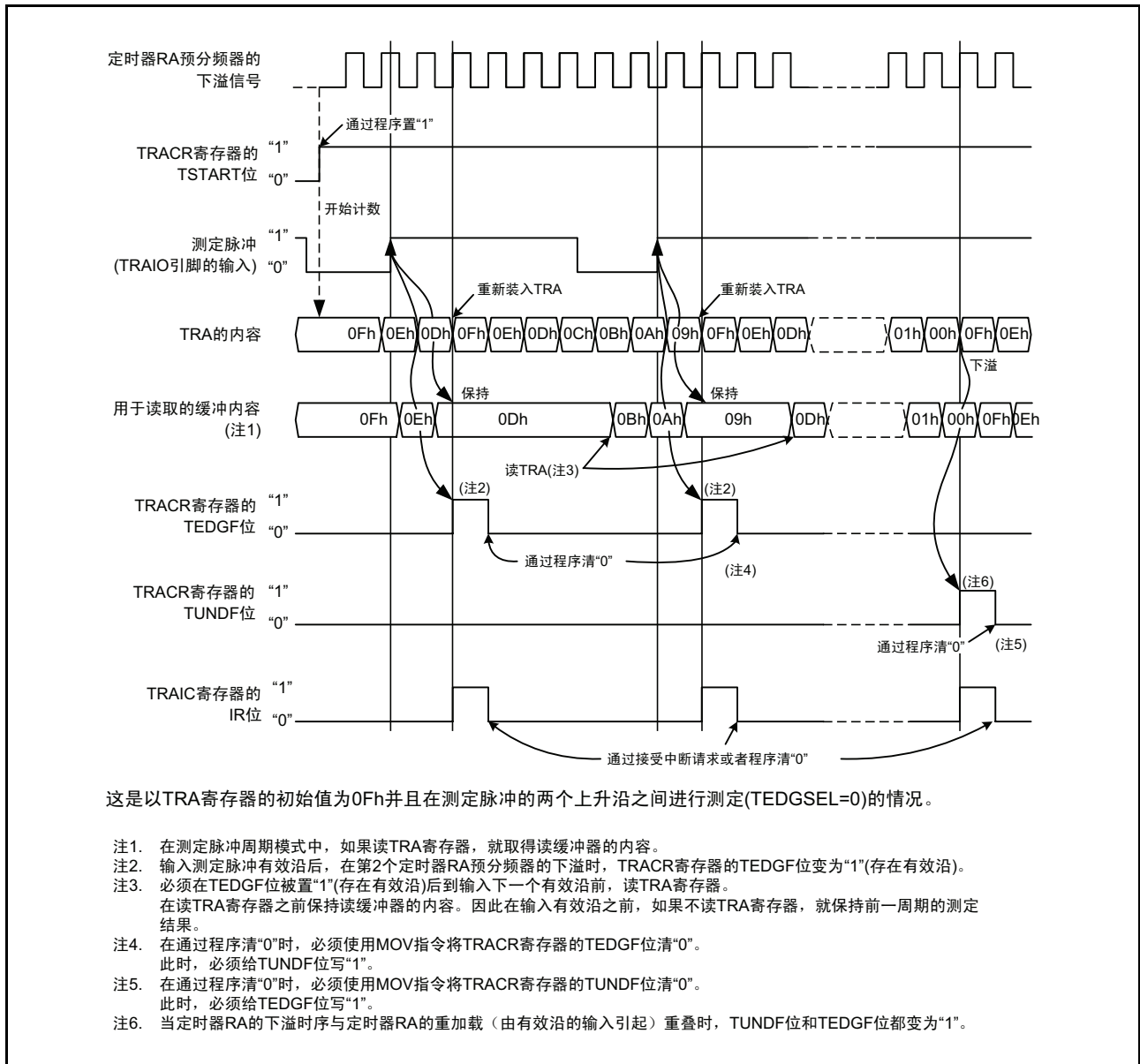


图 15.11 脉冲周期测定模式时的运行例

15.1.6 定时器 RA 使用时的注意事项

- 在复位后，定时器停止计数。必须在给定时器和预分频器设定值后开始计数。
- 即使以 16 位为单位读取预分频器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 如果通过程序给脉冲宽度测定模式和脉冲周期测定模式下使用的 TRACR 寄存器的 TEDGF 位和 TUNDF 位写“0”，这些位就变为“0”；写“1”时，这些位不变。在对 TRACR 寄存器使用读/修改/写指令的情况下，即使 TEDGF 位和 TUNDF 位为“1”，在指令执行中这些位也有可能被清“0”。此时，必须用 MOV 指令给不想被清“0”的 TEDGF 位和 TUNDF 位写“1”。
- 在从其它模式变为脉冲宽度测定模式和脉冲周期测定模式模式时，TEDGF 位和 TUNDF 位不定。必须在给 TEDGF 位和 TUNDF 位写“0”后，开始定时器 RA 的计数。
- 在计数开始后最初产生的定时器 RA 预分频器的下溢信号下，TEDGF 位可能变为“1”。
- 当使用脉冲周期测定模式时，必须在计数刚开始后间隔 2 个或 2 个以上的定时器 RA 预分频器周期的时间，将 TEDGF 位清“0”，然后使用。
- 在计数停止中，如果给 TSTART 位写“1”，就在 0～1 个计数源周期之间 TCSTF 位变为“0”。在 TCSTF 位变为“1”之前，不能存取 TCSTF 位以外的与定时器 RA 相关的寄存器（注）。从 TCSTF 位变为“1”后的最初的计数源的有效沿开始计数。
在计数中，如果将 TSTART 位清“0”，就在 0～1 个计数源周期之间 TCSTF 位变为“1”。在 TCSTF 位变为“0”时停止计数。
在 TCSTF 位变为“0”之前，不能存取 TCSTF 位以外的与定时器 RA 相关的寄存器（注）。

【注】 与定时器 RA 相关的寄存器：TRACR、TRAIOC、TRAMR、TRAPRE、TRA。

- 在计数中（TCSTF 位为“1”），连续写 TRAPRE 寄存器时，必须给各写间隔空出 3 个计数源的时钟周期。
- 在计数中（TCSTF 位为“1”），连续写 TRA 寄存器时，必须给各写间隔至少空出预分频器 3 个下溢周期。

15.2 定时器 RB

定时器 RB 是带 8 位预分频器的 8 位定时器。预分频器和定时器分别由重加载寄存器和计数器构成（有关重加载寄存器和计数器的存取，请参照表 15.7 ~ 表 15.10 的各模式的规格）。作为重加载寄存器，定时器 RB 具有定时器 RB 主寄存器和定时器 RB 从寄存器。

定时器 RB 的计数源是计数、重加载等定时器运行的运行时钟。

定时器 RB 的框图如图 15.12 所示，TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC 以及 TRBPR 寄存器如图 15.13 ~ 图 15.15 所示。

定时器 RB 有以下 4 种模式：

- | | |
|----------------|-------------------------------|
| • 定时器模式 | 对内部计数源（外围功能时钟或定时器 RA 的下溢）进行计数 |
| • 可编程波形产生模式 | 连续输出任意的脉宽 |
| • 可编程单触发产生模式 | 输出单触发脉冲 |
| • 可编程等待单触发产生模式 | 输出延迟单触发脉冲 |

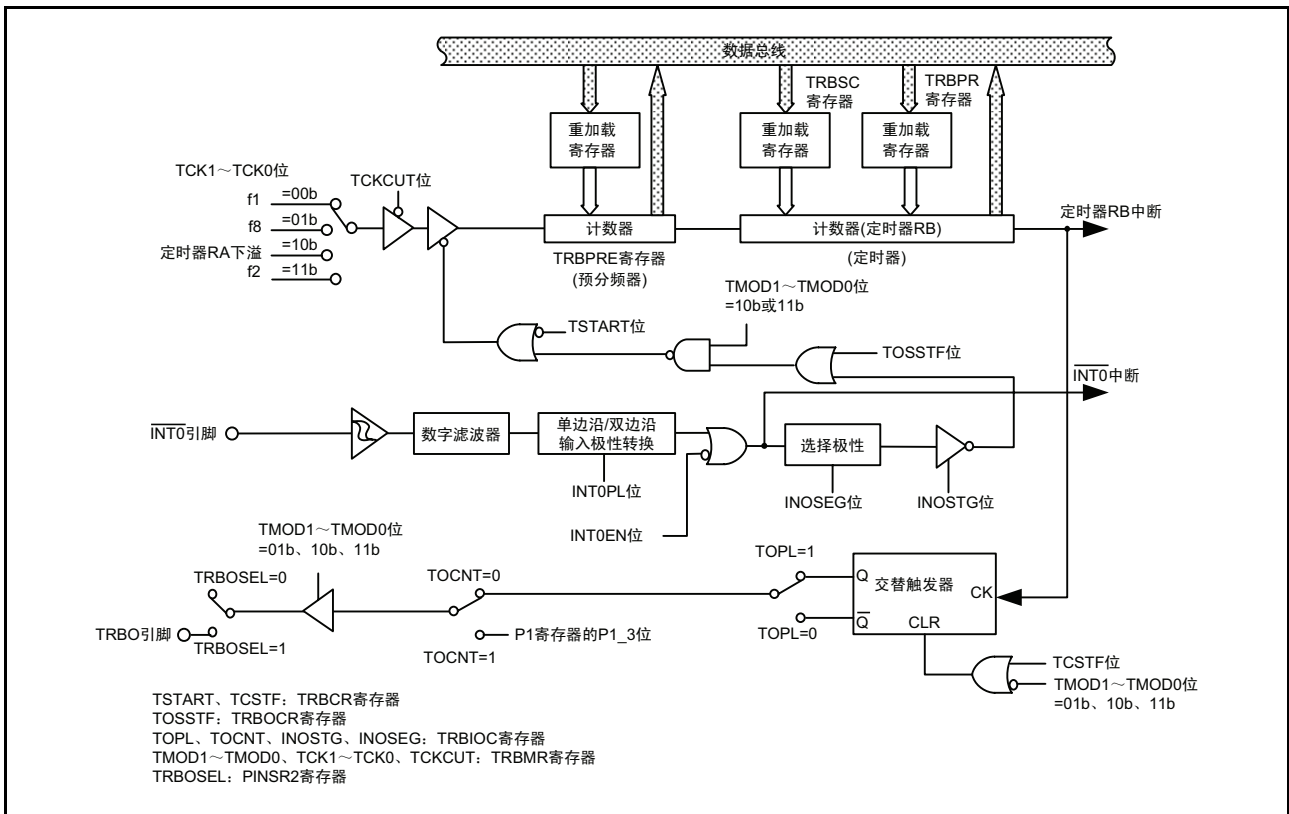


图 15.12 定时器 RB 的框图

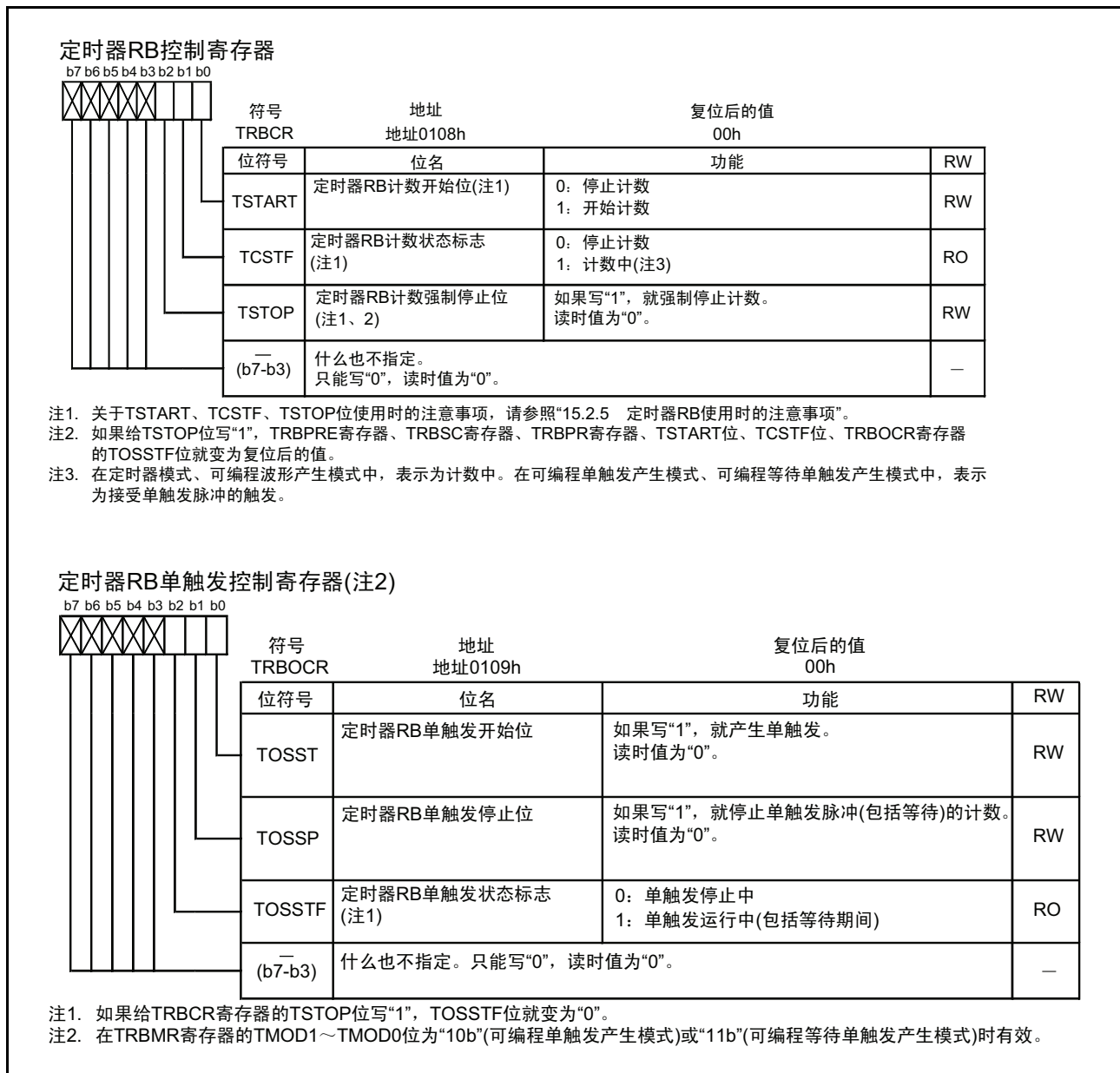


图 15.13 TRBCR、TRBOCR 寄存器

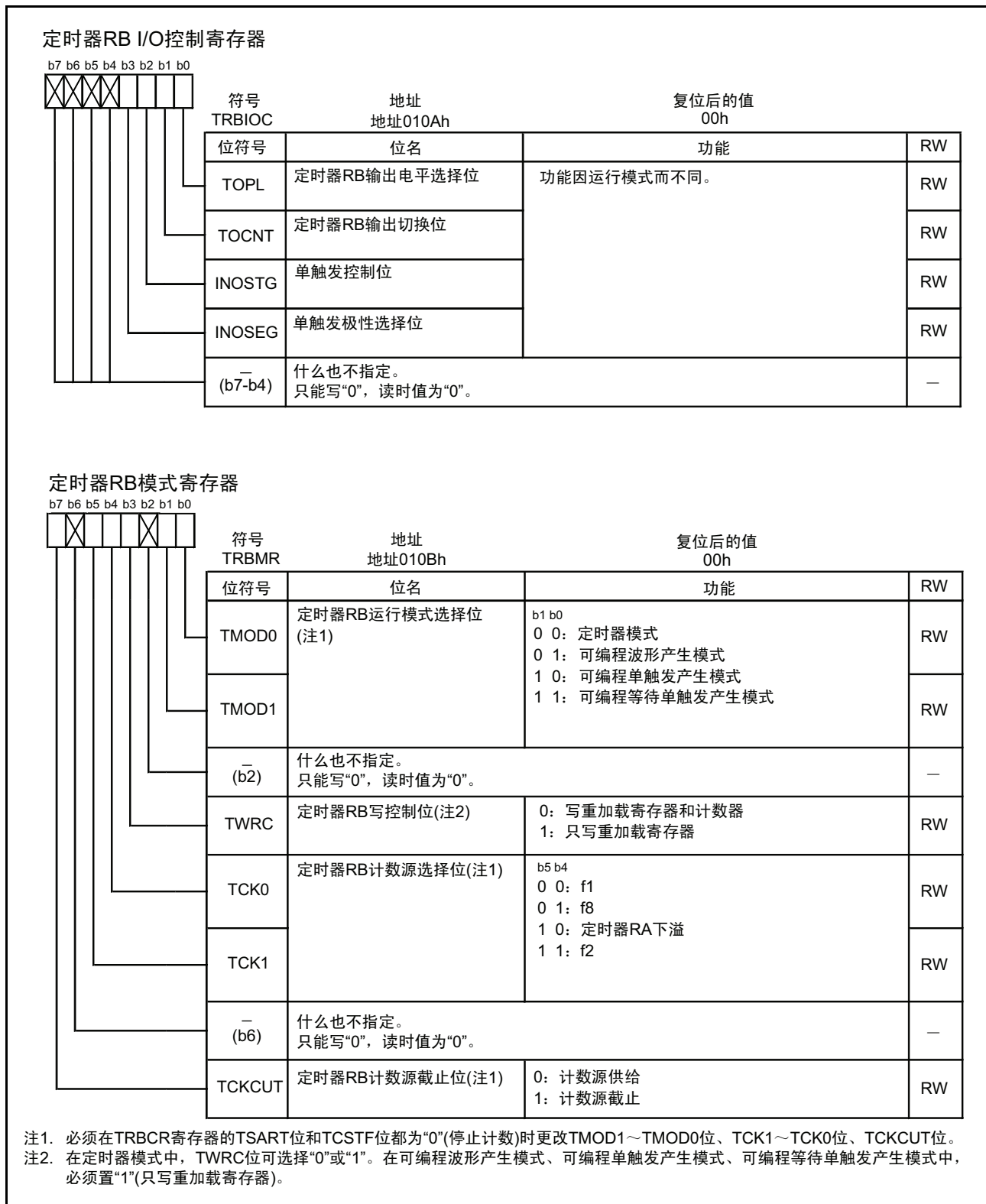


图 15.14 TRBIOC、TRBMR 寄存器



图 15.15 TRBPRES、TRBSC、TRBPR 寄存器

15.2.1 定时器模式

它是对内部生成的计数源或者定时器 RA 的下溢进行计数的模式（表 15.7）。在定时器模式时，不使用 TRBOCR 和 TRBSC 寄存器。

定时器模式时的 TRBIOC 寄存器如图 15.16 所示。

表 15.7 定时器模式的规格

项目	规格
计数源	f1、f2、f8、定时器 RA 的下溢
计数运行	<ul style="list-style-type: none"> 递减计数 下溢时重新装入重加载寄存器的内容，然后继续计数 (在定时器 RB 下溢时，重新装入定时器 RB 主重加载寄存器的内容)
分频比	$1/(n+1)(m+1)$ n: TRBPRES 寄存器的设定值、m: TRBPR 寄存器的设定值
计数开始条件	给 TRBCR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	<ul style="list-style-type: none"> 将 TRBCR 寄存器的 TSTART 位清“0”（停止计数） 给 TRBCR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在定时器 RB 下溢时 [定时器 RB 中断]
TRBO 引脚功能	可编程输入 / 输出端口
INT0 引脚功能	可编程输入 / 输出端口或者 INT0 中断输入
读定时器	如果读 TRBPR 寄存器和 TRBPRES 寄存器，就读取各自的计数值
写定时器	<ul style="list-style-type: none"> 如果在计数停止时给 TRBPRES 寄存器和 TRBPR 寄存器写数据，数据就被写到各自的重加载寄存器和计数器 在计数中给 TRBPRES 寄存器和 TRBPR 寄存器写数据时，如果 TRBMR 寄存器的 TWRC 位为“0”，数据就被写到各自的重加载寄存器和计数器。如果 TWRC 位为“1”，数据就只会被写到各自的重加载寄存器。请参照“15.2.1.1 计数中的定时器写控制”。

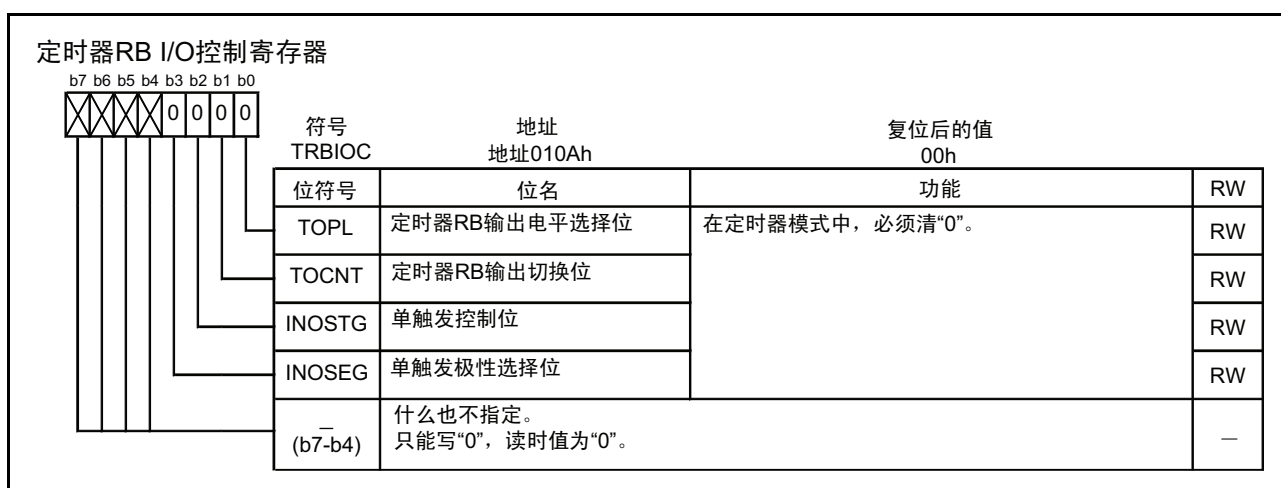


图 15.16 定时器模式时的 TRBIOC 寄存器

15.2.1.1 计数中的定时器写控制

定时器 RB 有预分频器和定时器（对预分频器的下溢进行计数的狭义的定时器），各自具有重加载寄存器和计数器。在定时器模式中，写计数中的预分频器或定时器时，能通过 TRBMR 寄存器的 TWRC 位，选择是写到重加载寄存器和定时器还是只写到重加载寄存器。

但是，在数据从预分频器的重加载寄存器传送到计数器值，与计数源同步进行。另外，在数据从定时器的重加载寄存器传送到计数器时，与预分频器的下溢同步进行。因此，即使通过 TWRC 位选择写到重加载寄存器和计数器，也不会执行写指令后立即更新计数器的值。在选择只写到重加载寄存器时，如果改变预分频器的值，写时的周期就会错位。定时器 RB 计数中改写计数值的运行例如图 15.17 所示。

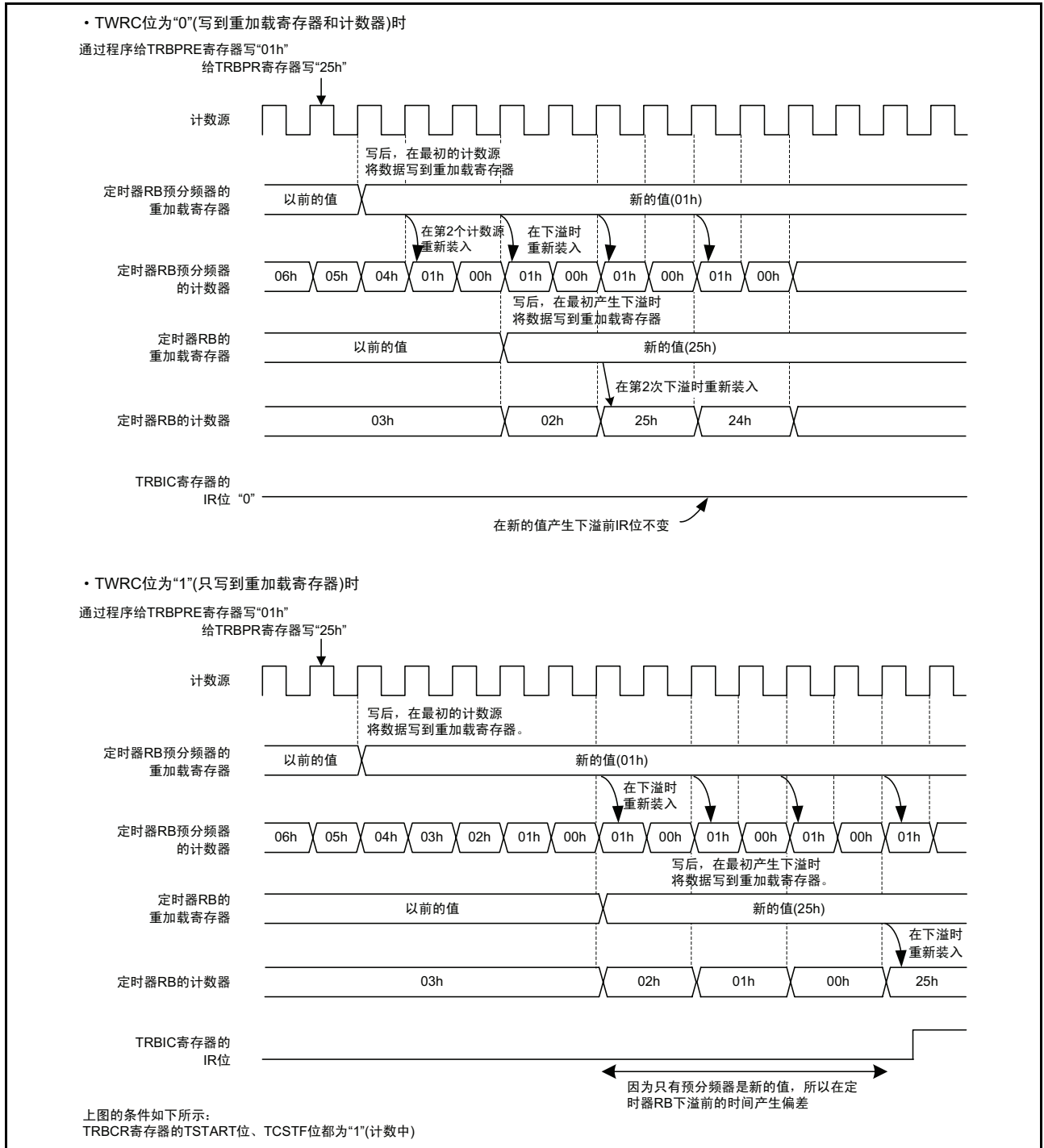


图 15.17 定时器 RB 计数中改写计数值时的运行例

15.2.2 可编程波形产生模式

它是对 TRBPR 寄存器和 TRBSC 寄存器的值进行交替计数。每当计数器下溢时，将从 TRBO 引脚输出的信号进行反相（表 15.8）。在计数开始时，从设定在 TRBPR 寄存器的值开始计数。可编程波形产生模式时，不使用 TRBOCR 寄存器。

可编程波形产生模式时的 TRBIOC 寄存器如图 15.18 所示，可编程波形产生模式时的定时器 RB 的运行例如图 15.19 所示。

表 15.8 可编程波形产生模式的规格

项目	规格
计数源	f1、f2、f8、定时器 RA 下溢
计数运行	<ul style="list-style-type: none"> • 递减计数 • 下溢时交替重新装入主重加载寄存器和次重加载寄存器的内容，然后继续计数
输出波形的宽度和周期	主期间: $(n+1)(m+1)/f_i$ 从期间: $(n+1)(p+1)/f_i$ 周期: $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : 计数源频率 n : TRBPRES 寄存器的设定值、 m : TRBPR 寄存器的设定值 p : TRBSC 寄存器的设定值
计数开始条件	给 TRBCR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	<ul style="list-style-type: none"> • 将 TRBCR 寄存器的 TSTART 位清“0”（停止计数） • 给 TRBCR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在从期间的定时器 RB 的下溢开始经过 1/2 的计数源周期后（和 TRBO 输出变化同时）[定时器 RB 中断]
TRBO 引脚功能	可编程输出端口或脉冲输出（注 4）
$\overline{\text{INT0}}$ 引脚功能	可编程输入 / 输出端口或者 $\overline{\text{INT0}}$ 中断输入
读定时器	如果读 TRBPR 寄存器和 TRBPRES 寄存器，就读取各自的计数值（注 1）
写定时器	<ul style="list-style-type: none"> • 如果在计数停止中给 TRBPRES 寄存器、TRBSC 寄存器和 TRBPR 寄存器写数据，数据就被写到各自的重加载寄存器和计数器 • 如果在计数中给 TRBPRES 寄存器、TRBSC 寄存器和 TRBPR 寄存器写数据，数据就被写到各自的重加载寄存器（注 2）
选择功能	<ul style="list-style-type: none"> • 输出电平选择功能 通过 TOPL 位选择主期间和从期间的输出电平 • TRBO 引脚输出转换功能 通过 TRBIOC 寄存器的 TOCNT 位，选择定时器 RB 脉冲输出或 P1_3 锁存器输出（注 3）

注 1. 即使在对从期间计数中，也必须读 TRBPR 寄存器。

注 2. 波形的输出在写 TRBPR 寄存器后，从下一个主期间反映其设定值。

注 3. TOCNT 位的写入值在以下时序有效：

- 在开始计数时
- 在产生定时器 RB 中断请求时

所以在更改 TOCNT 位后，从下一个主期间的输出反映其写入值。

注 4. 在使用定时器 RB 前，必须将 PINSR2 寄存器的 TRBOSEL 位置“1”（有效）。详细内容请参照“8. 可编程输入 / 输出端口”。



图 15.18 可编程波形产生模式时的 TRBIOC 寄存器

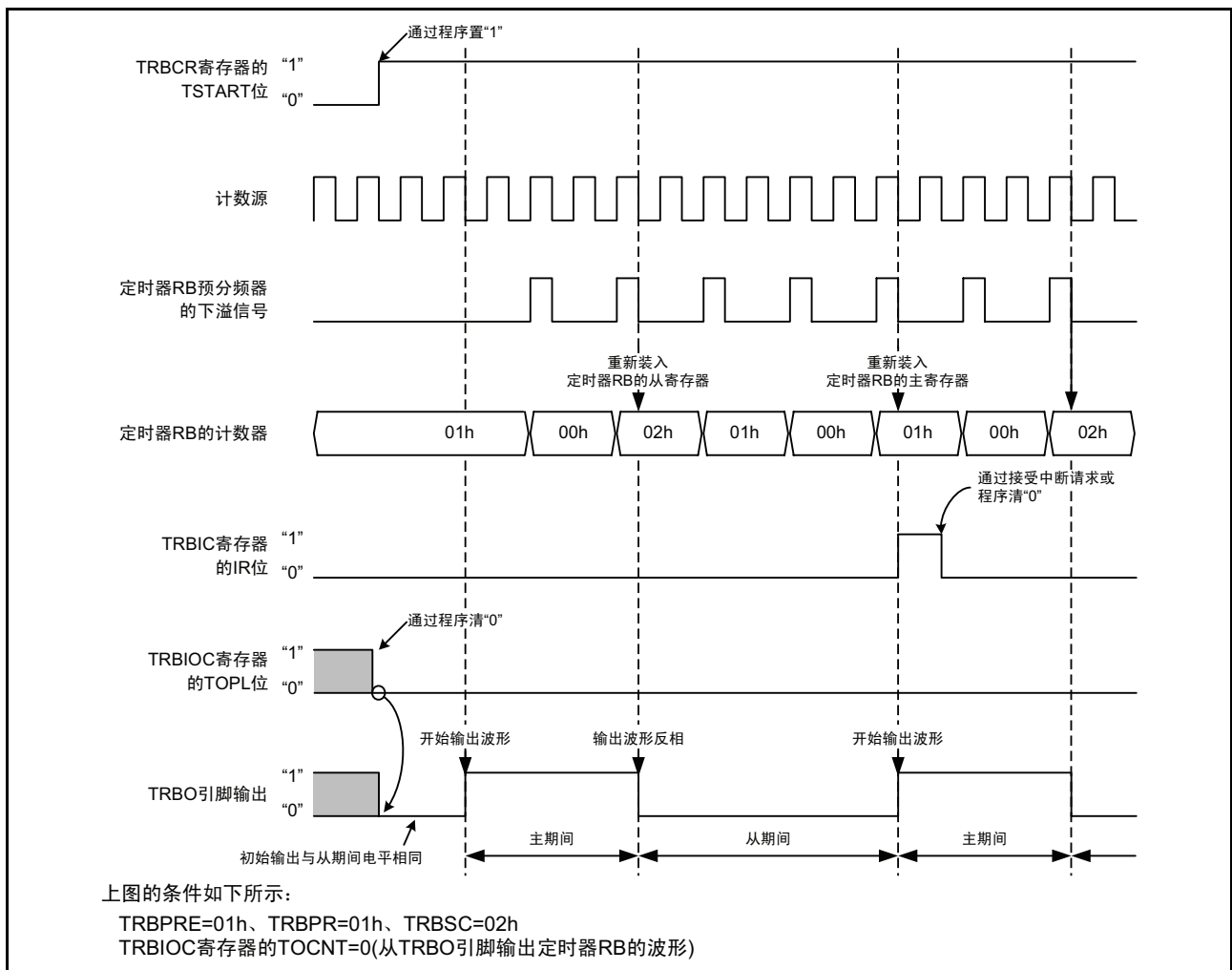


图 15.19 可编程波形产生模式时的定时器 RB 的运行例

15.2.3 可编程单触发产生模式

它是通过程序或者外部触发（ $\overline{\text{INT0}}$ 引脚的输入）从 TRBO 引脚输出单触发脉冲的模式（表 15.9）。如果产生触发，就从此时起在任意时间（TRBPR 寄存器的设定值）内定时器运行 1 次。在可编程单触发产生模式时，不使用 TRBSC 寄存器。

可编程单触发产生模式时的 TRBIOC 寄存器如图 15.20 所示，可编程单触发产生模式时的运行例如图 15.21 所示。

表 15.9 可编程单触发产生模式的规格

项目	规格
计数源	f1、f2、f8、定时器 RA 下溢
计数运行	<ul style="list-style-type: none"> 对 TRBPR 寄存器的设定值进行递减计数 下溢时重新装入主重加载寄存器的内容，然后结束计数，TOSSTF 位变为“0”（停止单触发） 计数停止时重新装入重加载寄存器的内容，然后停止
单触发脉冲输出时间	$(n+1)(m+1)/f_i$ f_i : 计数源频率、n: TRBPRES 寄存器的设定值、m: TRBPR 寄存器的设定值（注 2）
计数开始条件	<ul style="list-style-type: none"> 给 TRBCR 寄存器的 TSTART 位写“1”（开始计数），且产生下一个触发。 给 TRBOCR 寄存器的 TOSST 位写“1”（开始单触发） 给 $\overline{\text{INT0}}$ 引脚输入触发
计数停止条件	<ul style="list-style-type: none"> 定时器 RB 为主计数器时的计数器值下溢并且重新装入后 给 TRBOCR 寄存器的 TOSSP 位写“1”（停止单触发） 将 TRBCR 寄存器的 TSTART 位清“0”（停止计数） 给 TRBCR 寄存器的 TSTOP 位写“1”（强制停止计数）
中断请求产生时序	在从下溢开始经过 1/2 的计数源周期后 (和结束从 TRBO 引脚的波形输出同时) [定时器 RB 中断]
TRBO 引脚功能	脉冲输出（注 3）
$\overline{\text{INT0}}$ 引脚功能	<ul style="list-style-type: none"> 在 TRBIOC 寄存器的 INOSTG 位为“0”（$\overline{\text{INT0}}$ 单触发无效）时，为可编程输入 / 输出端口或者 $\overline{\text{INT0}}$ 中断输入 在 TRBIOC 寄存器的 INOSTG 位为“1”（$\overline{\text{INT0}}$ 单触发有效）时，为外部触发输入（$\overline{\text{INT0}}$ 中断输入）
读定时器	如果读 TRBPR 寄存器和 TRBPRES 寄存器，就读取各自的计数值
写定时器	<ul style="list-style-type: none"> 如果在计数停止时给 TRBPR 寄存器和 TRBPRES 寄存器写数据，数据就被写到各自的重加载寄存器和计数器 如果在计数中给 TRBPRES 寄存器和 TRBPR 寄存器写数据，数据就只被写到各自的重加载寄存器（注 1）
选择功能	<ul style="list-style-type: none"> 输出电平选择功能 通过 TOPL 位选择单触发脉冲波形的输出电平 单触发选择功能 请参照“15.2.3.1 单触发选择”

注 1. 在从下一个单触发脉冲反映 TRBPR 寄存器的写入值。

注 2. TRBPRES 寄存器和 TRBPR 寄存器不能同时为“00h”。

注 3. 在使用定时器 RB 前，必须将 PINSR2 寄存器的 TRBOSEL 位置“1”（有效）。详细内容请参照“8. 可编程输入 / 输出端口”。



图 15.20 可编程单触发产生模式时的 TRBIOC 寄存器

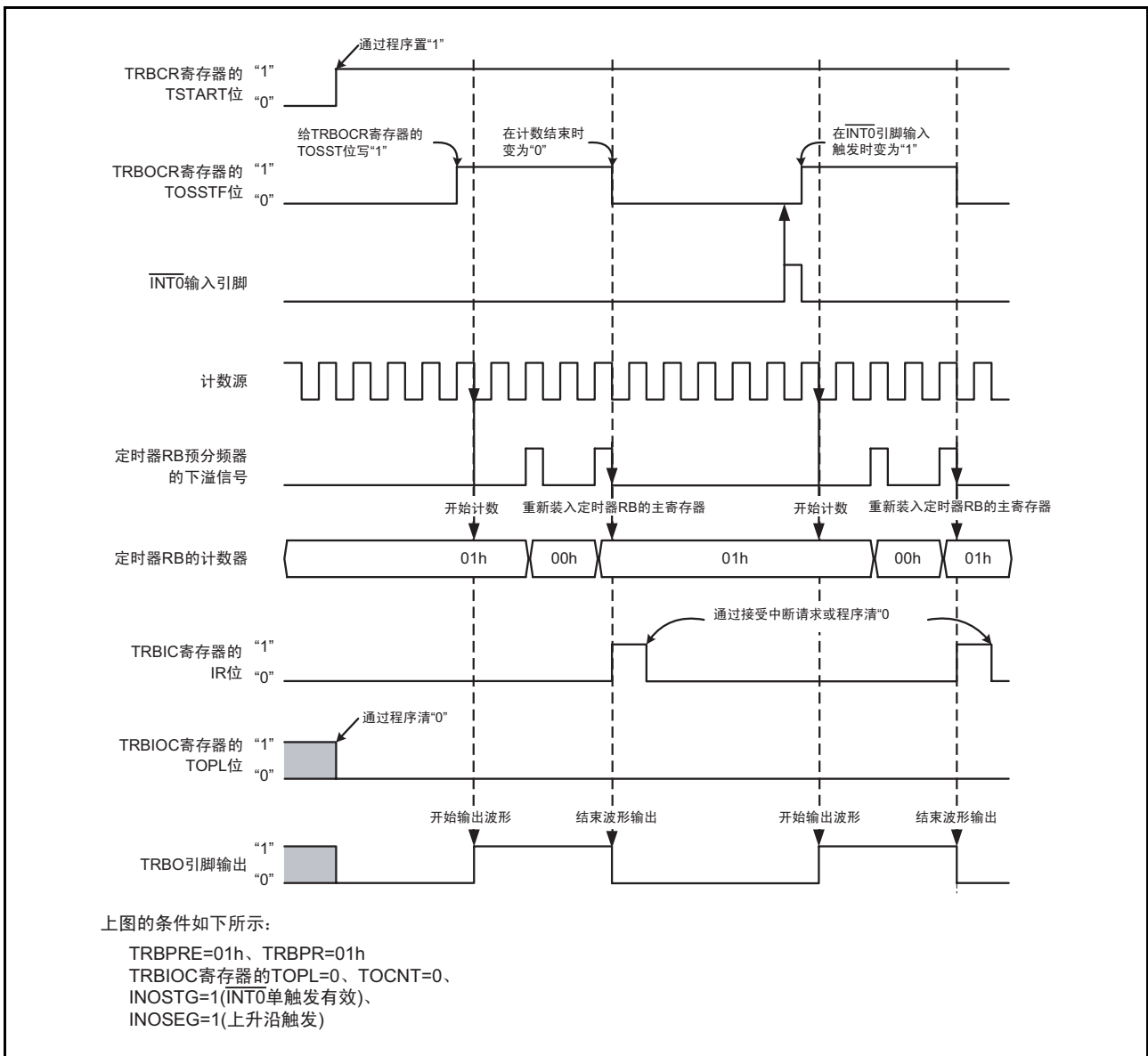


图 15.21 可编程单触发产生模式时的运行例

15.2.3.1 单触发选择

在可编程单触发产生模式和可编程等待单触发产生模式中，如果在 TRBCR 寄存器的 TCSTF 位为 “1”（开始计数）时产生单触发，就开始运行。

单触发的发生源如下：

- 通过程序给 TRBOCR 寄存器的 TOSST 位写 “1”
- 从 $\overline{\text{INT0}}$ 引脚输入触发

在产生单触发后，经 1 ~ 2 个周期后 TRBOCR 寄存器的 TOSSTF 位变为 “1”（单触发运行中），然后开始计数。在可编程单触发产生模式中开始输出单触发波形（在可编程等待单触发产生模式中，开始等待期间的计数）。即使在 TOSSTF 位为 “1” 的期间产生单触发也不再触发。

使用从 $\overline{\text{INT0}}$ 引脚输入的触发时，必须在进行以下设定后输入触发。

- 将 PD4 寄存器的 PD4_5 位清 “0”（输入端口）
- 通过 INTF 寄存器的 INT0F1 ~ INT0F0 位选择 $\overline{\text{INT0}}$ 的数字滤波器
- 通过 INTEN 寄存器的 INT0PL 位选择双边沿或单边沿。在选择单边沿模式时，通过 TRBIOC 寄存器的 INOSEG 位选择上升沿或下降沿。
- 将 INTEN 寄存器的 INTOEN 清 “0”（允许）
- 在上述设定后，将 TRBIOC 寄存器的 INOSTG 位置 “1”（ $\overline{\text{INT}}$ 引脚单触发有效）

另外，通过 $\overline{\text{INT0}}$ 引脚的触发输入产生中断请求时，必须注意以下几点。

- 需要使用中断的处理，请参照 “13. 中断”。
- 在选择单边沿时，必须通过 INTOIC 寄存器的 POL 位选择下降沿或上升沿（TRBIOC 寄存器的 INOSEG 位与 $\overline{\text{INT0}}$ 中断无关）。
- 在 TOSSTF 位为 “1” 期间，即使产生单触发也不会影响定时器 RB 的运行，但 INTOIC 寄存器的 IR 位将发生变化。

15.2.4 可编程等待单触发产生模式

它通过程序或者从外部触发 ($\overline{\text{INT0}}$ 引脚的输入), 在经过一定时间后从 TRBO 引脚输出单触发脉冲 (表 15.10)。如果产生触发, 就从产生时起经过任意时间 (TRBPR 寄存器的设定值) 后, 输出 1 个任意时间 (TRBSC 寄存器的设定值) 的脉冲。

可编程等待单触发产生模式时的 TRBIOC 寄存器如图 15.22 所示, 可编程等待单触发产生模式时的运行例如图 15.23 所示。

表 15.10 可编程等待单触发产生模式的规格

项目	规格
计数源	f1、f2、f8、定时器 RA 下溢
计数运行	<ul style="list-style-type: none"> 对定时器 RB 主寄存器的设定值进行递减计数 在定时器 RB 主寄存器的计数下溢时, 重新装入定时器 RB 从寄存器的内容, 然后继续计数 在定时器 RB 从寄存器的计数下溢时, 重新装入定时器 RB 主寄存器的内容, 然后结束计数, TOSSTF 位变为“0”(停止单触发) 计数停止时重新装入重加载寄存器的内容, 然后停止
等待时间	$(n+1)(m+1)/f_i$ f_i : 计数源频率、n: TRBPRES 寄存器的设定值、m: TRBPR 寄存器的设定值 (注 2)
单触发脉冲输出时间	$(n+1)(p+1)/f_i$ f_i : 计数源频率、n: TRBPRES 寄存器的设定值、p: TRBSC 寄存器的设定值
计数开始条件	<ul style="list-style-type: none"> TRBCR 寄存器的 TSTART 位为“1”(开始计数)且产生下一个触发 给 TRBOCR 寄存器的 TOSST 位写“1”(开始单触发) $\overline{\text{INT0}}$ 引脚的触发输入
计数停止条件	<ul style="list-style-type: none"> 在定时器 RB 次计数时的计数值下溢且重新装入后 给 TRBOCR 寄存器的 TOSSP 位写“1”(停止单触发) 将 TRBCR 寄存器的 TSTART 位清“0”(停止计数) 给 TRBCR 寄存器的 TSTOP 位写“1”(强制停止计数)
中断请求产生时序	在从期间的定时器 RB 下溢经过 1/2 的计数源周期后 (和结束从 TRBO 引脚的波形输出同时) [定时器 RB 中断]
TRBO 引脚功能	脉冲输出 (注 3)
$\overline{\text{INT0}}$ 引脚功能	<ul style="list-style-type: none"> 在 TRBIOC 寄存器的 INOSTG 位为“0”($\overline{\text{INT0}}$ 单触发无效)时, 为可编程输入 / 输出端口或者 $\overline{\text{INT0}}$ 中断输入 在 TRBIOC 寄存器的 INOSTG 位为“1”($\overline{\text{INT0}}$ 单触发有效)时, 为外部触发输入 ($\overline{\text{INT0}}$ 中断输入)
读定时器	如果读 TRBPR 寄存器和 TRBPRES 寄存器, 就读取各自的计数值
写定时器	<ul style="list-style-type: none"> 如果在计数停止时给 TRBPRES 寄存器、TRBSC 寄存器和 TRBPR 写数据, 数据就被写到各自的重加载寄存器和计数器 如果在计数中给 TRBPRES 寄存器、TRBSC 寄存器和 TRBPR 寄存器写数据, 数据就只被写到各自的重加载寄存器 (注 1)
选择功能	<ul style="list-style-type: none"> 选择输出电平功能 通过 TOPL 位选择单触发脉冲波形的输出电平 选择单触发功能 请参照“15.2.3.1 单触发选择”。

注 1. 从下一个单触发脉冲反映 TRBSC 寄存器和 TRBPR 寄存器的写入值。

注 2. TRBPRES 寄存器和 TRBPR 寄存器不能同时为“00h”。

注 3. 在使用定时器 RB 前, 必须将 PINSR2 寄存器的 TRBOSEL 位置“1”(有效)。详细内容请参照“8. 可编程输入 / 输出端口”。

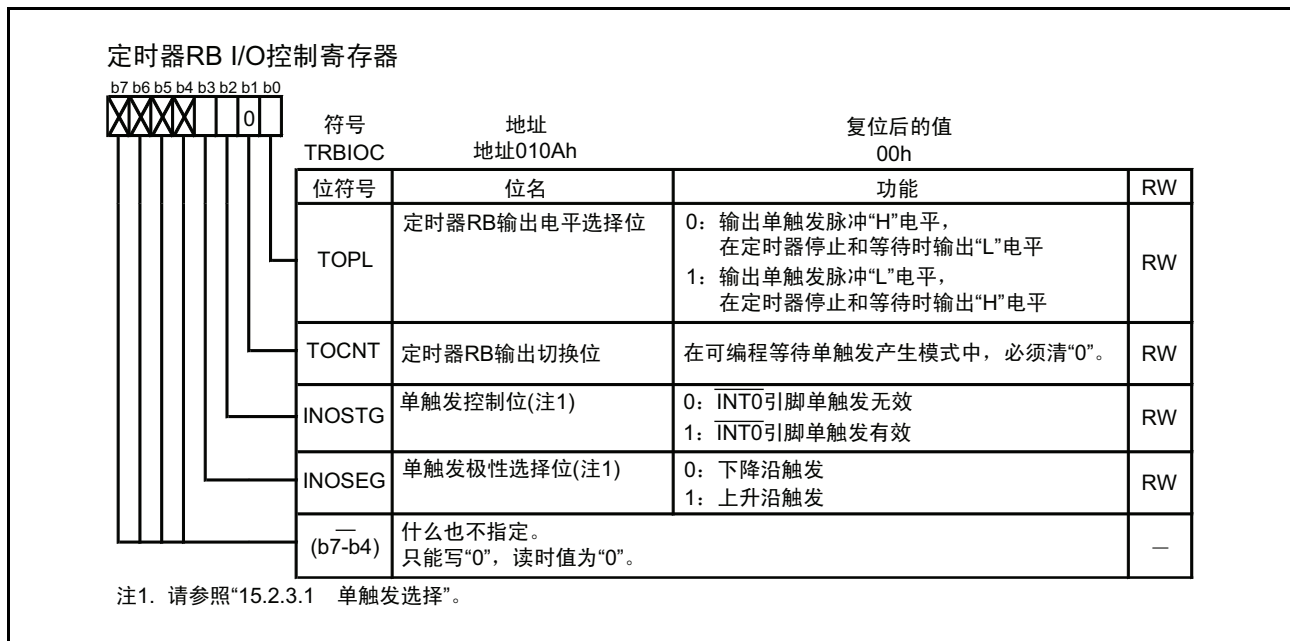


图 15.22 可编程等待单触发产生模式时的 TRBIOC 寄存器

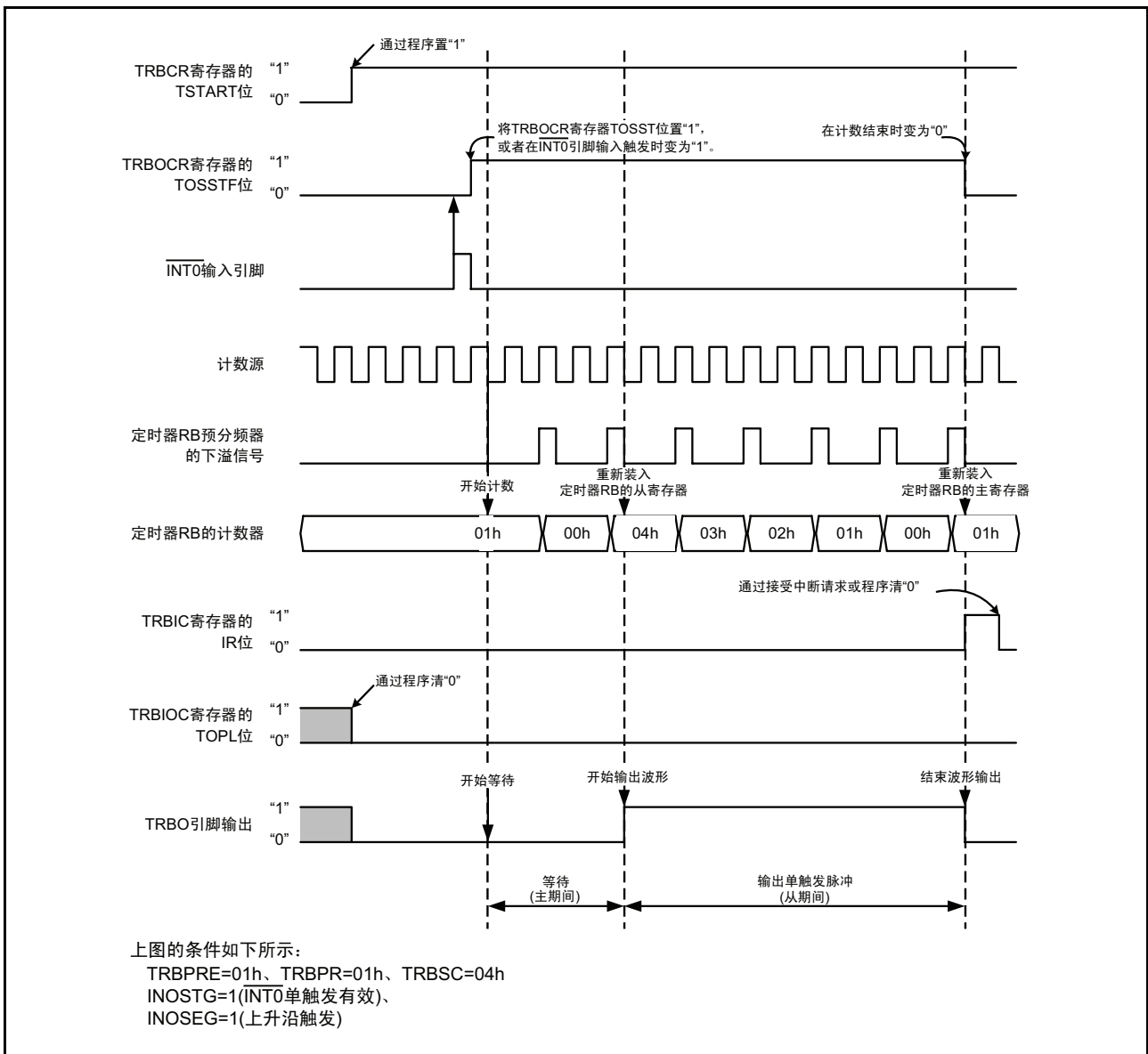


图 15.23 可编程等待单触发产生模式时的运行例

15.2.5 定时器 RB 使用时的注意事项

- 在复位后，定时器停止计数。必须在给定时器和预分频器设定值后开始计数。
- 即使以 16 位为单位读取预分频器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 在可编程单触发产生模式和可编程等待单触发产生模式时，如果在将 TRBCR 寄存器的 TSTART 位清“0”后停止计数，或者在给 TRBOCR 寄存器的 TOSSP 位写“1”后停止单触发，定时器就重新装入重加载寄存器的值后停止。定时器的计数值必须在定时器停止前读取。
- 在计数停止中，如果给 TSTART 位写“1”，就在 1～2 个计数源周期之间 TCSTF 位变为“0”。在 TCSTF 位为“1”之前，不能存取 TCSTF 位以外的与定时器 RB 相关的寄存器（注）。在计数中，如果将 TSTART 位清“0”，就在 1～2 个计数源周期之间 TCSTF 位变为“1”。在 TCSTF 位变为“0”时停止计数。在 TCSTF 位变为“0”之前，不能存取 TCSTF 位以外的与定时器 RB 相关的寄存器（注）。

【注】 与定时器 RB 相关的寄存器：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- 如果在计数中给 TRBCR 寄存器的 TSTOP 位写“1”，定时器 RB 就立即停止。
- 如果给 TRBOCR 寄存器的 TOSST 位或 TOSSP 位写“1”，就在 1～2 个计数源周期后 TOSSTF 位发生变化。如果在给 TOSST 位写“1”后且在 TOSSTF 位变为“1”前的期间内给 TOSSP 位写“1”，就根据内部状态 TOSSTF 位可能变为“0”或变为“1”。同样地，如果在给 TOSSP 位写“1”后且在 TOSSTF 位变为“0”前的期间内给 TOSST 位写“1”，TOSSTF 位就可能变为“0”或变为“1”。

15.2.5.1 定时器模式

在定时器模式中，必须采取以下对策。

在计数中（TCSTF 位为“1”）写 TRBPRES 寄存器和 TRBPR 寄存器时，必须注意以下几点。

- 当连续写 TRBPRES 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的计数源时钟周期。
- 当连续写 TRBPR 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的预分频器下溢周期。

15.2.5.2 可编程波形产生模式

在可编程波形产生模式中，必须采取以下 3 个对策。

- (1) 在计数中（TCSTF 位为“1”）写 TRBPRES 寄存器和 TRBPR 寄存器时，必须注意以下几点。
 - 当连续写 TRBPRES 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的计数源时钟周期。
 - 当连续写 TRBPR 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的预分频器下溢周期。
- (2) 在计数中（TCSTF 位为“1”）更改 TRBSC 寄存器和 TRBPR 寄存器时，必须通过定时器 RB 中断等，对 TRBO 输出周期取得同步。在同一个输出周期内只能进行一次同步。另外，在图 15.24 以及图 15.25 的区间 A 中，必须确认没有写 TRBPR 寄存器。

对策方法的具体例如以下所示：

- 对策例 (a)

如图 15.24 所示，通过定时器 RB 中断程序，对 TRBSC 寄存器和 TRBPR 寄存器进行写操作。必须在区间 A 之前结束写操作。

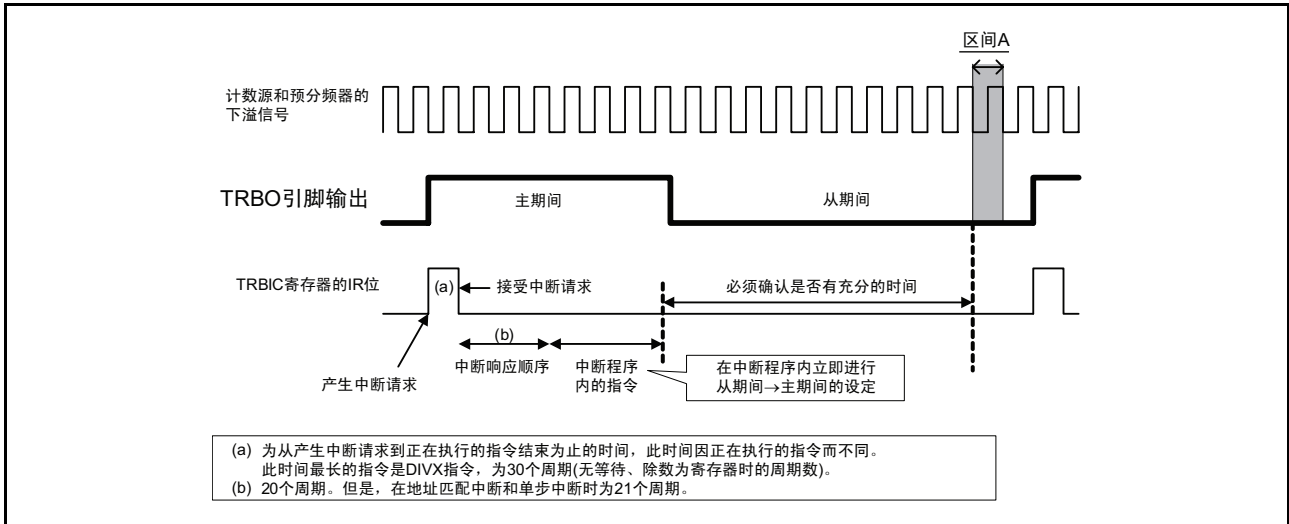


图 15.24 使用对策 (a) 的定时器 RB 中断的例子

- 对策例 (b)

如图 15.25 所示，从 TRBO 引脚的输出电平检测主期间的开始，在主期间开始后立即写 TRBSC 寄存器和 TRBPR 寄存器，必须在区间 A 之前结束写操作。另外，如果在将 TRBO 引脚对应的端口方向寄存器的位清“0”（输入模式）后读端口寄存器的位的值，读取值就为 TRBO 引脚的输出值。

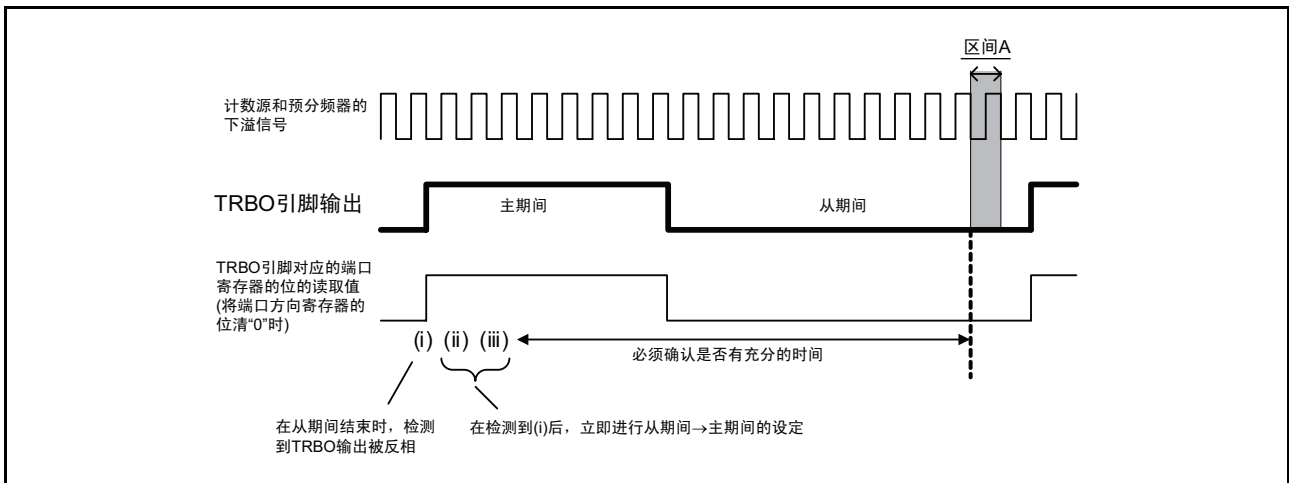


图 15.25 读对策 (b) 的 TRBO 引脚输出值的例子

(3) 在主期间停止定时器计数时，必须使用 TRBCR 寄存器的 TSTOP 位。此时，TRBPRE 寄存器和 TRBPR 寄存器被初始化，变为复位后的值。

15.2.5.3 可编程单触发产生模式

在可编程单触发产生模式中，必须采取以下 2 个对策。

- (1) 在计数中（TCSTF 位为“1”）写 TRBPRES 寄存器和 TRBPR 寄存器时，必须注意以下几点。
 - 对 TRBPRES 寄存器进行连续写操作时，必须给各个写间隔空出计数源时钟的 3 个或 3 个以上的周期。
 - 对 TRBPR 寄存器进行连续写操作时，必须给各个写间隔空出预分频器下溢的 3 个或 3 个以上的周期。
- (2) TRBPRES 寄存器和 TRBPR 寄存器不能同时置“00h”。

15.2.5.4 可编程等待单触发产生模式

在可编程等待单触发产生模式中，必须采取以下 3 个对策。

- (1) 在计数中（TCSTF 位为“1”），对 TRBPRES 寄存器和 TRBPR 寄存器进行写操作时，必须注意以下几点。
 - 当连续写 TRBPRES 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的计数源时钟周期。
 - 当连续写 TRBPR 寄存器时，必须给各个写间隔空出 3 个或 3 个以上的预分频器下溢周期。
- (2) TRBPRES 寄存器和 TRBPR 寄存器不能同时置“00h”。
- (3) 必须按照以下所示的步骤设定 TRBSC 寄存器和 TRBPR 寄存器。
 - (a) 在计数开始条件为“INT0 引脚单触发”时
必须按照 TRBSC 寄存器 → TRBPR 寄存器的顺序进行设定。此时，必须在写 TRBPR 寄存器后经过 0.5 个或 0.5 个以上的计数源周期，然后给 INT0 引脚输入有效触发。
 - (b) 在计数开始条件为“给 TOSST 位写“1””时
必须按照 TRBSC 寄存器 → TRBPR 寄存器 → TOSST 位的顺序进行设定。此时，必须在写 TRBPR 寄存器后经过 0.5 个或 0.5 个以上的计数源周期，然后写 TOSST 位。

15.3 定时器 RC

15.3.1 概要

定时器 RC 是 16 位定时器，有 4 个输入 / 输出引脚。

定时器 RC 的运行时钟为 f1 或 fOCO40M。定时器 RC 的运行时钟如表 15.11 所示。

表 15.11 定时器 RC 的运行时钟

条件	定时器 RC 的运行时钟
计数源为 f1、f2、f4、f8、f32、TRCCLK 输入 (TRCCR1 寄存器的 TCK2 ~ TCK0 位为 “000b” ~ “101b”)	f1
计数源为 fOCO40M (TRCCR1 寄存器的 TCK2 ~ TCK0 位为 “110b”)	fOCO40M

定时器 RC 的输入 / 输出引脚如表 15.12 所示，定时器 RC 的框图如图 15.26 所示。

定时器 RC 有 3 种模式。

- 定时器模式
 - 输入捕捉功能 以外部信号为触发信号，将计数器的值取到寄存器内
 - 输出比较功能 检测计数器与寄存器的值是否相同（检测时可改变引脚输出）

以下 2 种模式使用输出比较功能。

- PWM 模式 连续输出任意脉宽
- PWM2 模式 触发后经过间隔等待时间，输出单触发波形或 PWM 波形模式

每个引脚都可选择输入捕捉功能、输出比较功能、PWM 模式。

PWM2 模式通过计数器和寄存器的组合进行波形输出。引脚的功能由模式决定。

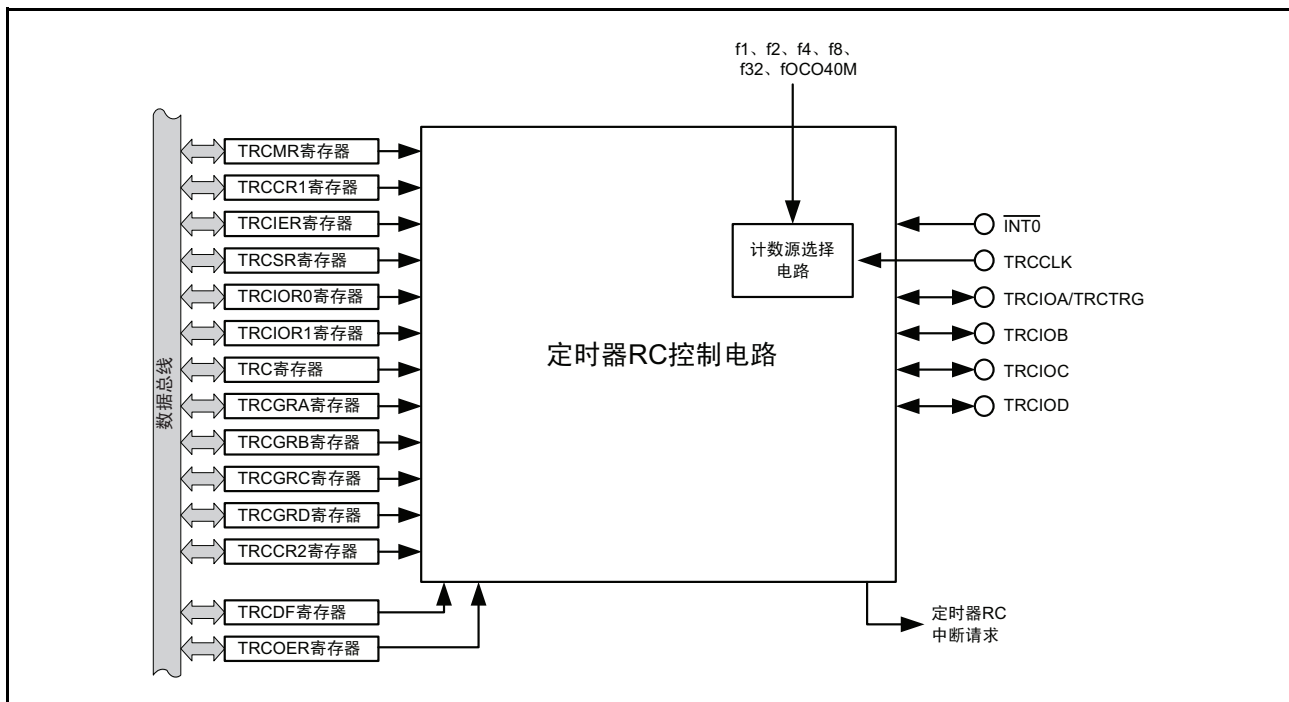


图 15.26 定时器 RC 的框图

表 15.12 定时器 RC 的输入 / 输出引脚

引脚名	输入 / 输出	功能
TRCIOA (P1_1) TRCIOB (P1_2) TRCIOC (P3_4) (注 1) TRCIOD (P3_5) (注 1)	输入 / 输出	功能因模式而不同。详细内容请参照各模式。
TRCLK (P3_3)	输入	外部时钟输入
TRCTRG (P1_1)	输入	PWM2 模式的外部触发输入

注 1. 在使用定时器 RC 前, 必须将 PINSR3 寄存器的 TRCIOSEL 位、TRCIODSEL 位置“1”(有效)。详细内容请参照“8. 可编程输入 / 输出端口”。

15.3.2 定时器 RC 的相关寄存器

定时器 RC 的相关寄存器一览表如表 15.13 所示。定时器 RC 的相关寄存器如图 15.27 ~ 图 15.36 所示。

表 15.13 定时器 RC 的相关寄存器一览表

地址	符号	模式				参照
		定时器		PWM	PWM2	
		输入捕捉功能	输出比较功能			
0120h	TRCMR	有效	有效	有效	有效	定时器 RC 模式寄存器 图 15.27 TRCMR 寄存器
0121h	TRCCR1	有效	有效	有效	有效	定时器 RC 控制寄存器 1 图 15.28 TRCCR1 寄存器 图 15.49 输出比较功能时的 TRCCR1 寄存器 图 15.52 PWM 模式时的 TRCCR1 寄存器 图 15.56 PWM2 模式时的 TRCCR1 寄存器
0122h	TRCIER	有效	有效	有效	有效	定时器 RC 中断允许寄存器 图 15.29 TRCIER 寄存器
0123h	TRCSR	有效	有效	有效	有效	定时器 RC 状态寄存器 图 15.30 TRCSR 寄存器
0124h	TRCIOR0	有效	有效	—	—	定时器 RC I/O 控制寄存器 0、定时器 RC I/O 控制寄存器 1 图 15.36 TRCIOR0、TRCIOR1 寄存器 图 15.43 输入捕捉功能时的 TRCIOR0 寄存器 图 15.44 输入捕捉功能时的 TRCIOR1 寄存器 图 15.47 输出比较功能时的 TRCIOR0 寄存器 图 15.48 输出比较功能时的 TRCIOR1 寄存器
0125h	TRCIOR1					
0126h 0127h	TRC	有效	有效	有效	有效	定时器 RC 计数器 图 15.31 TRC 寄存器
0128h 0129h	TRCGRA	有效	有效	有效	有效	定时器 RC 通用寄存器 A、B、C、D 图 15.32 TRCGRA、TRCGRB、TRCGRC、TRCGRD 寄存器
012Ah 012Bh	TRCGRB					
012Ch 012Dh	TRCGRC					
012Eh 012Fh	TRCGRD					
0130h	TRCCR2	—	—	—	有效	定时器 RC 控制寄存器 2 图 15.33 TRCCR2 寄存器
0131h	TRCDF	有效	—	—	有效	定时器 RC 数字滤波功能选择寄存器 图 15.34 TRCDF 寄存器
0132h	TRCOER	—	有效	有效	有效	定时器 RC 输出主允许寄存器 图 15.35 TRCOER 寄存器

—: 无效

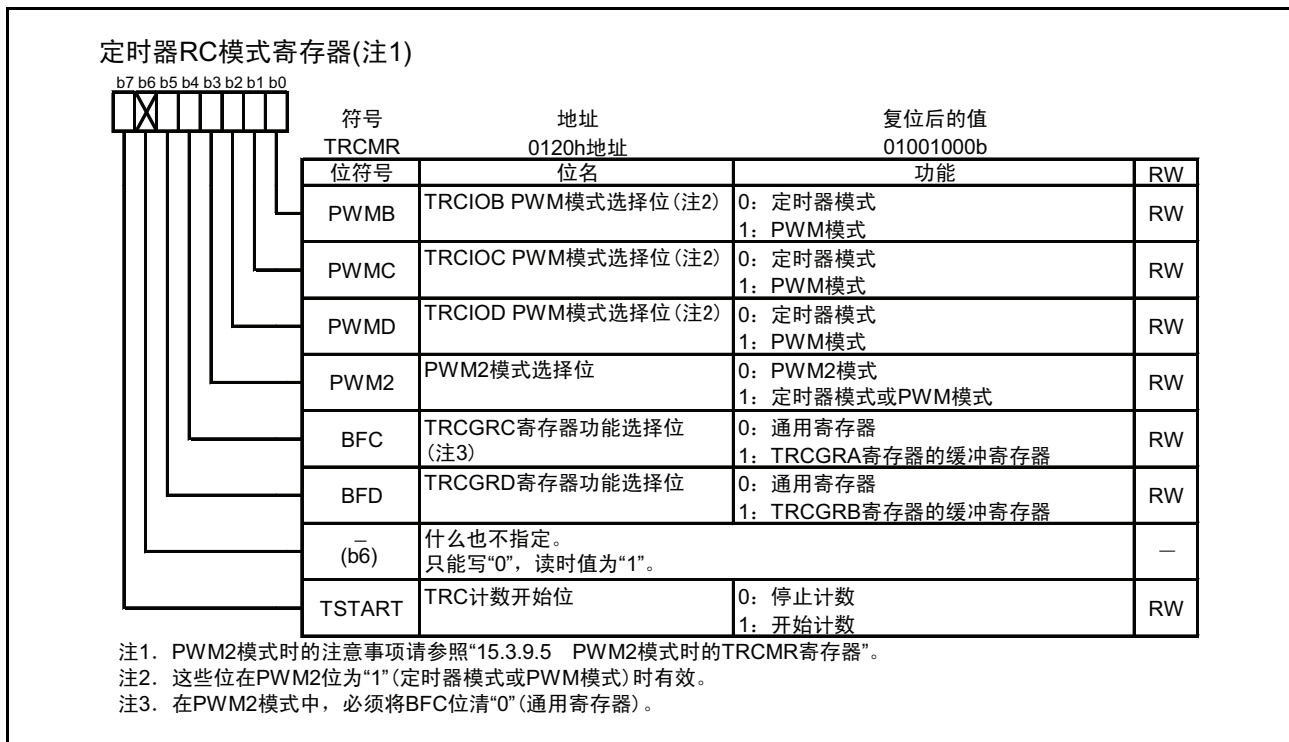


图 15.27 TRCMR 寄存器

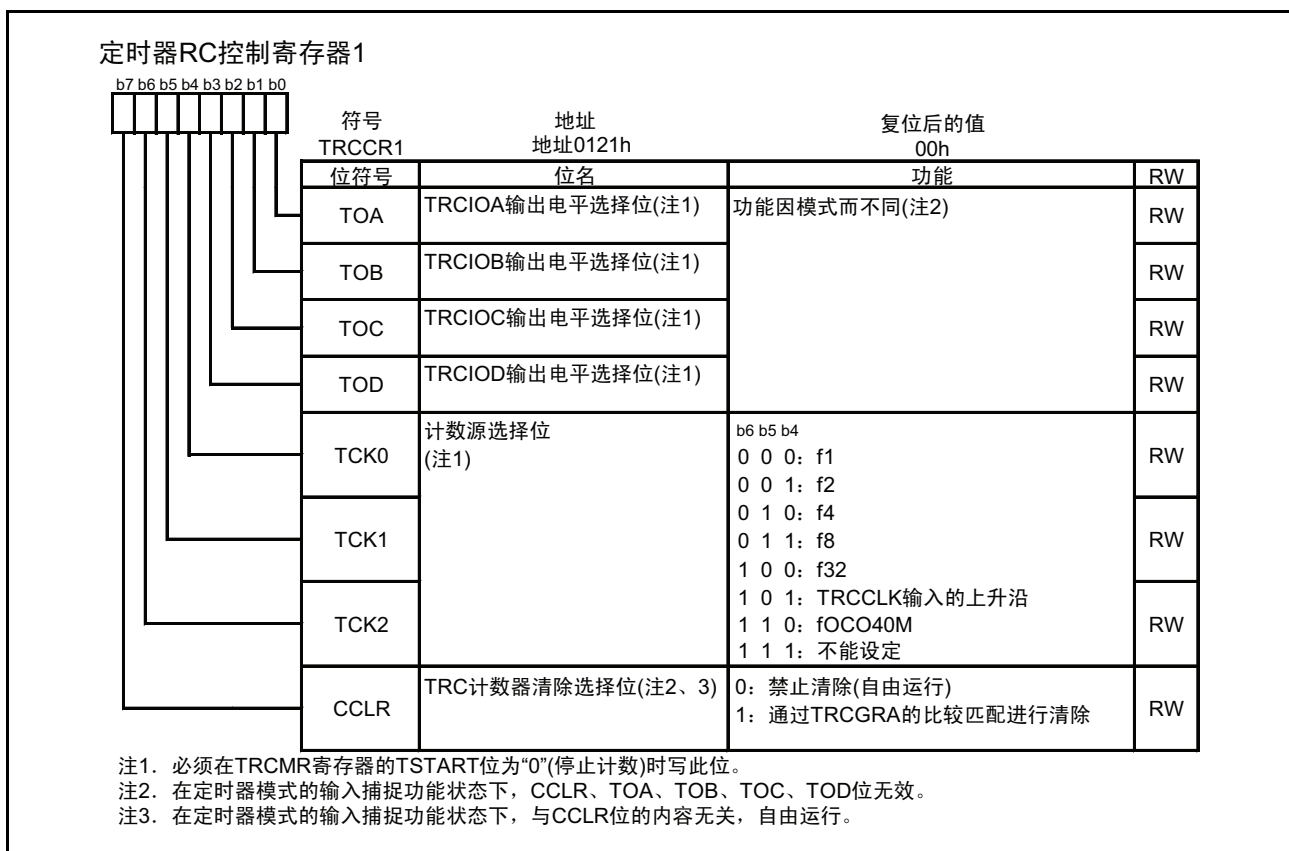


图 15.28 TRCCR1 寄存器

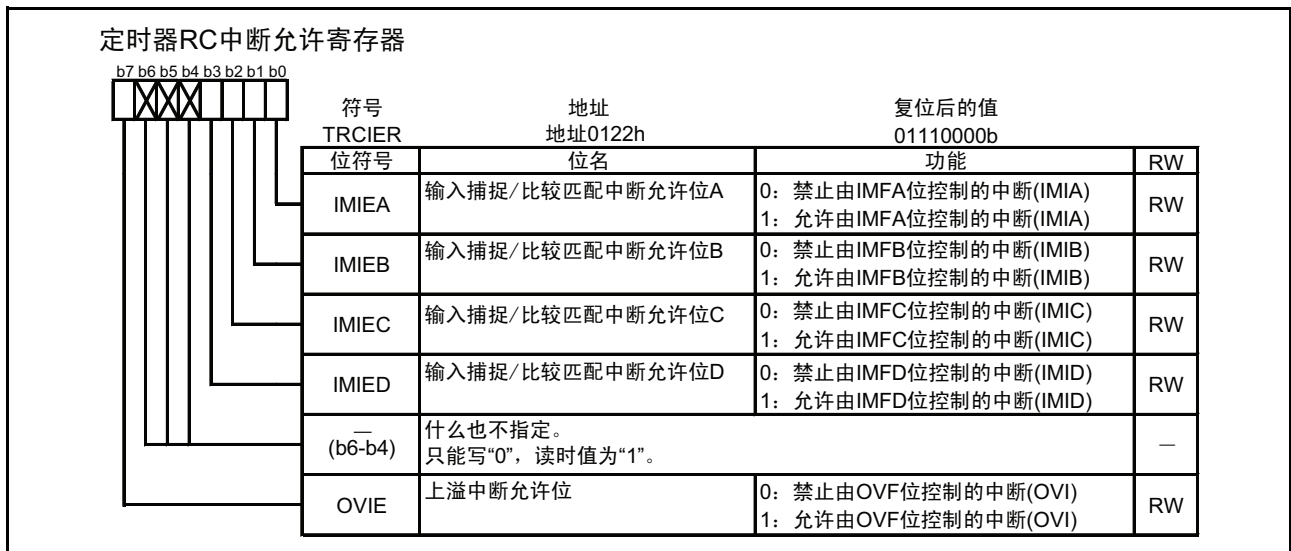


图 15.29 TRCIER 寄存器

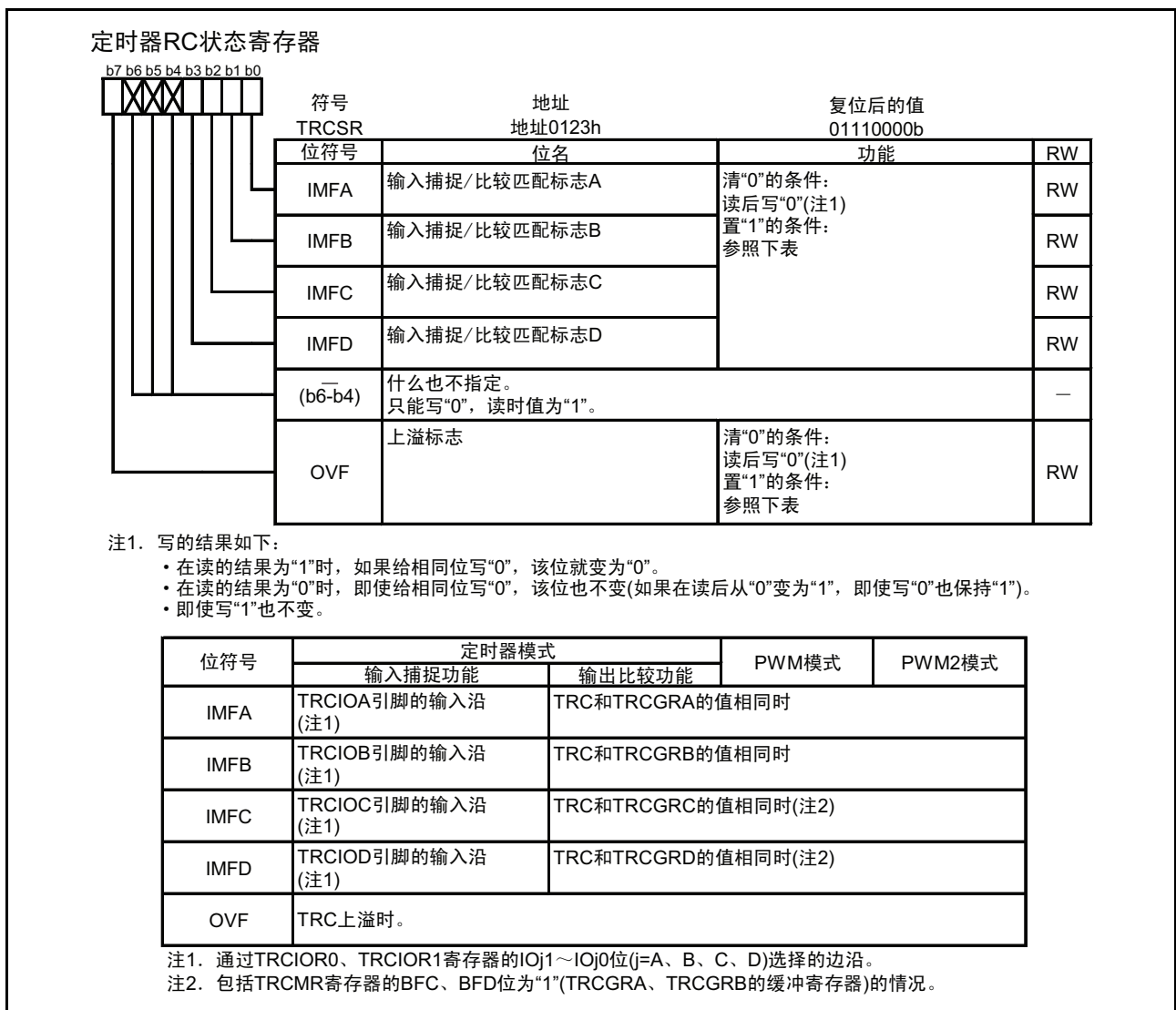


图 15.30 TRCSR 寄存器

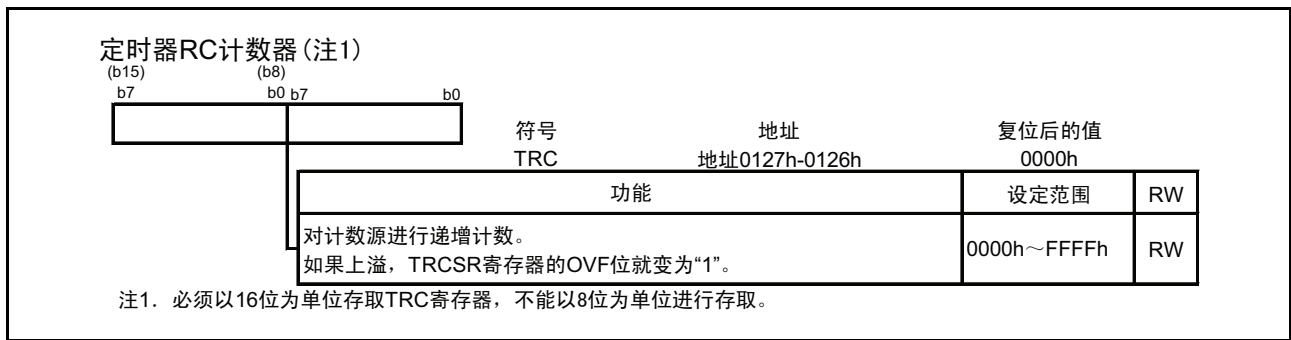


图 15.31 TRC 寄存器

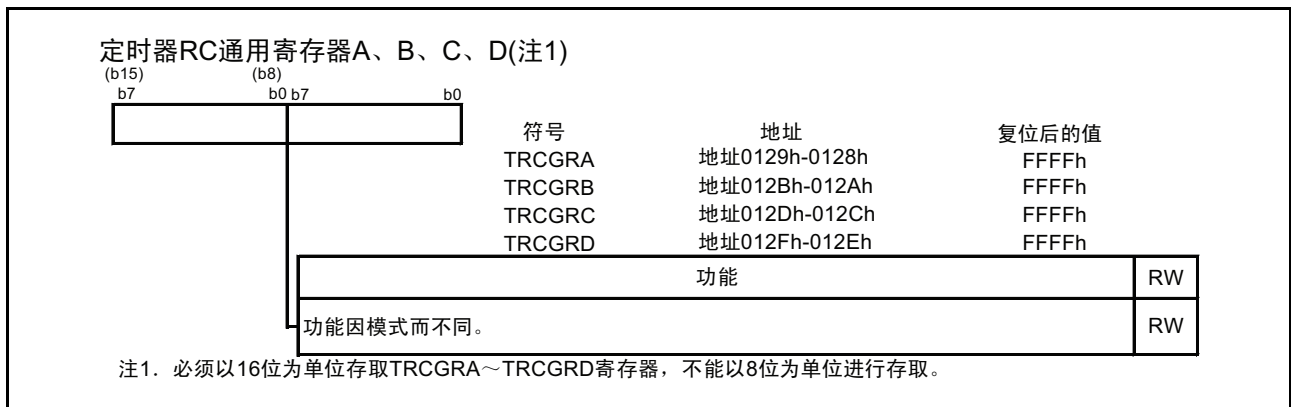


图 15.32 TRCGRA、TRCGRB、TRCGRC、TRCGRD 寄存器

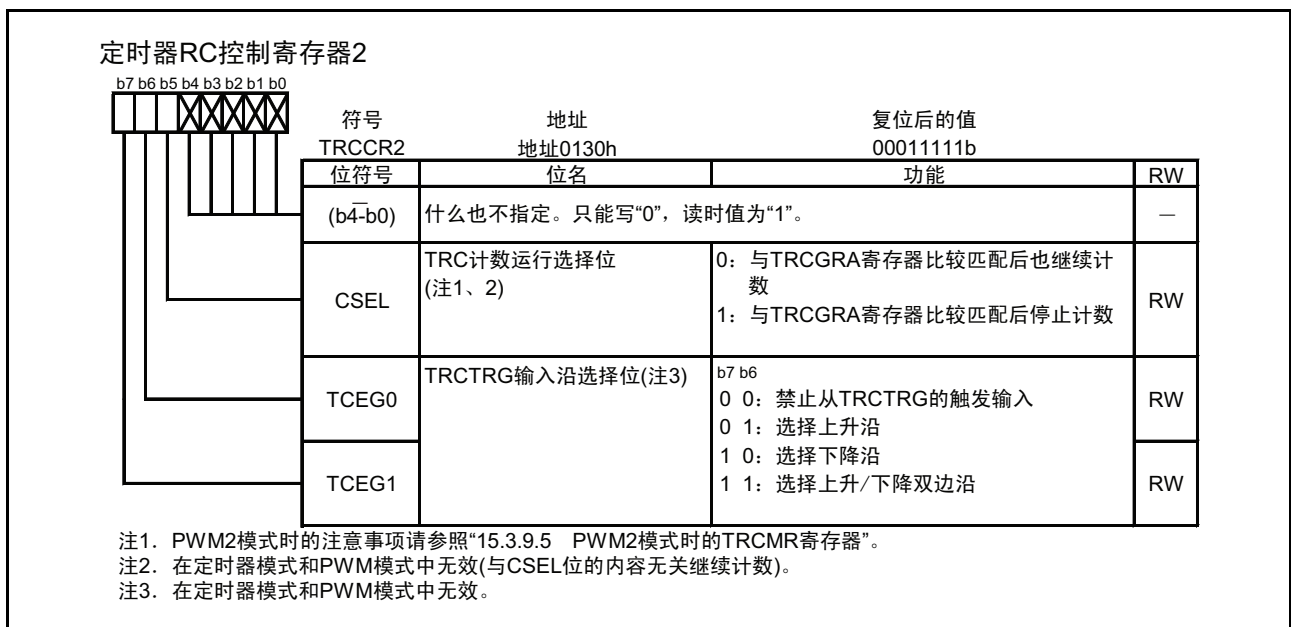


图 15.33 TRCCR2 寄存器

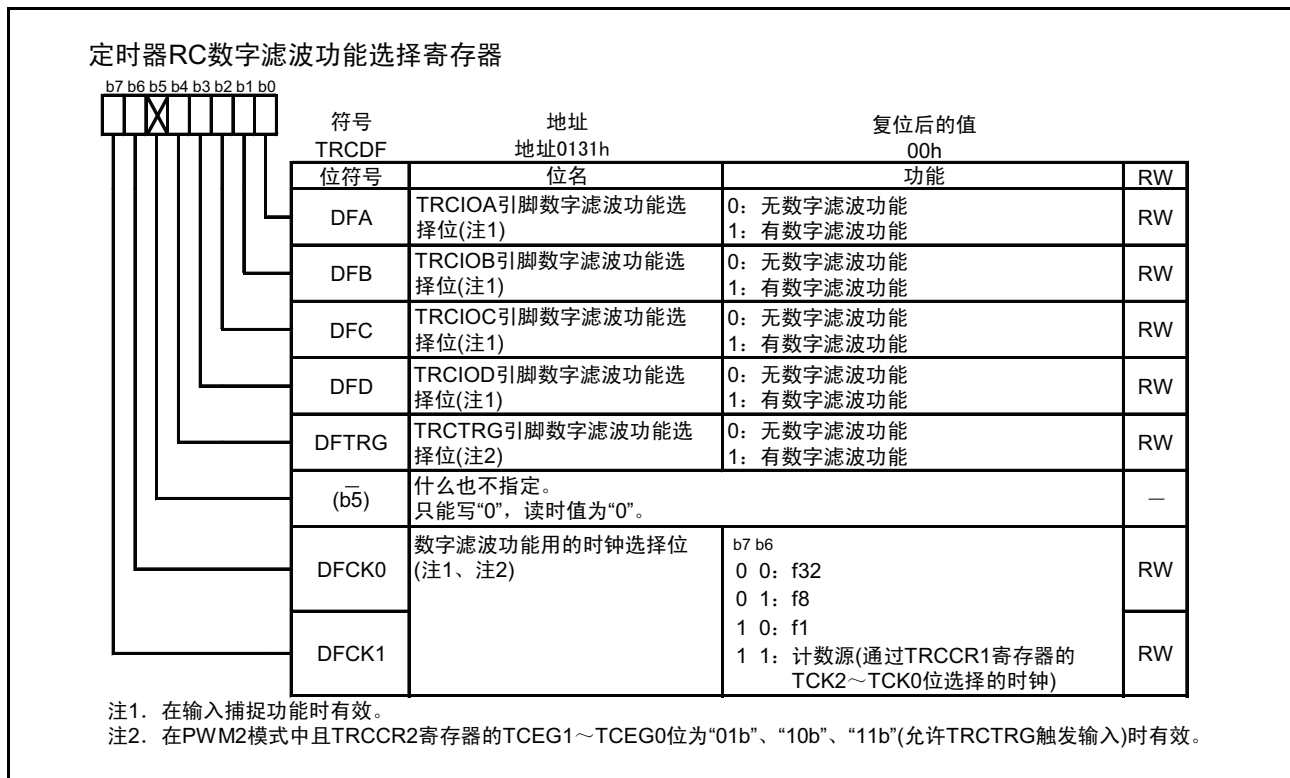


图 15.34 TRCDF 寄存器

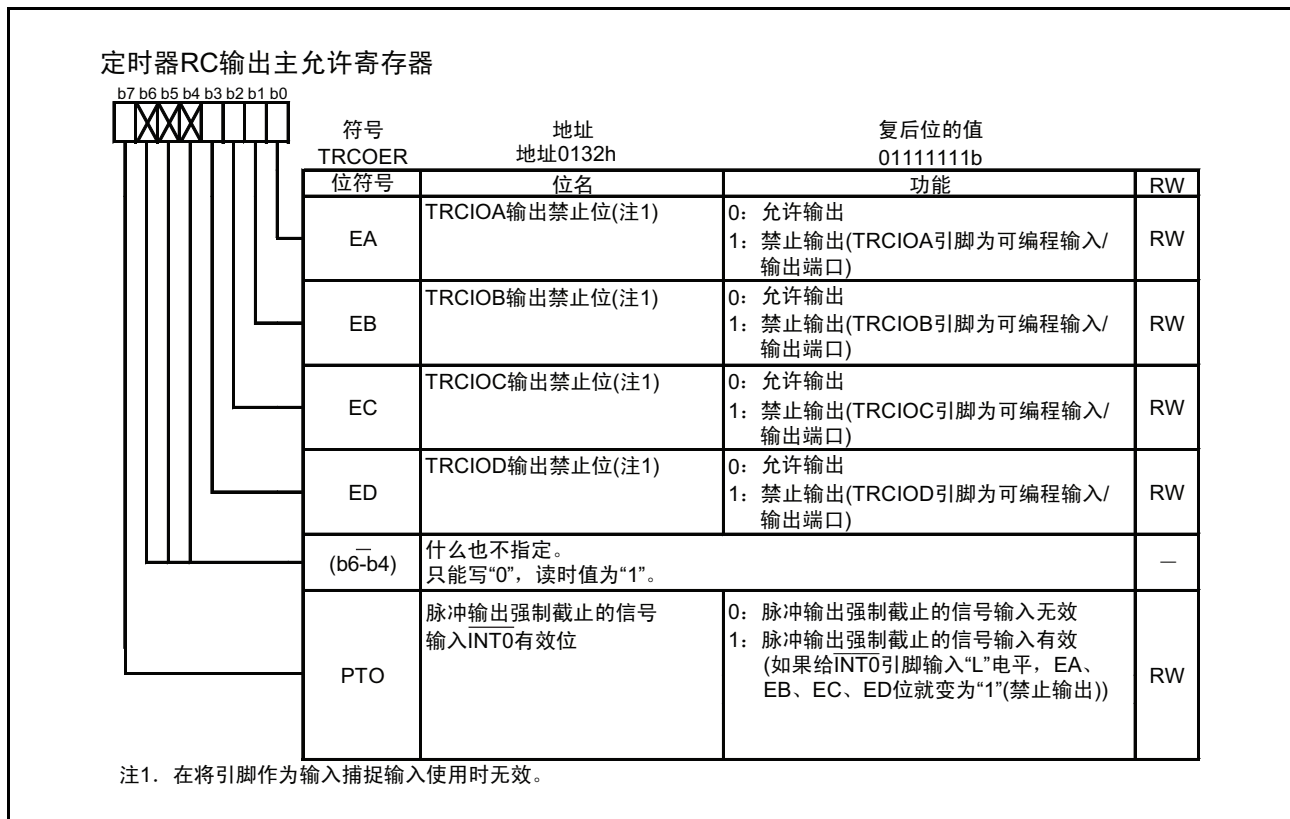


图 15.35 TRCOER 寄存器

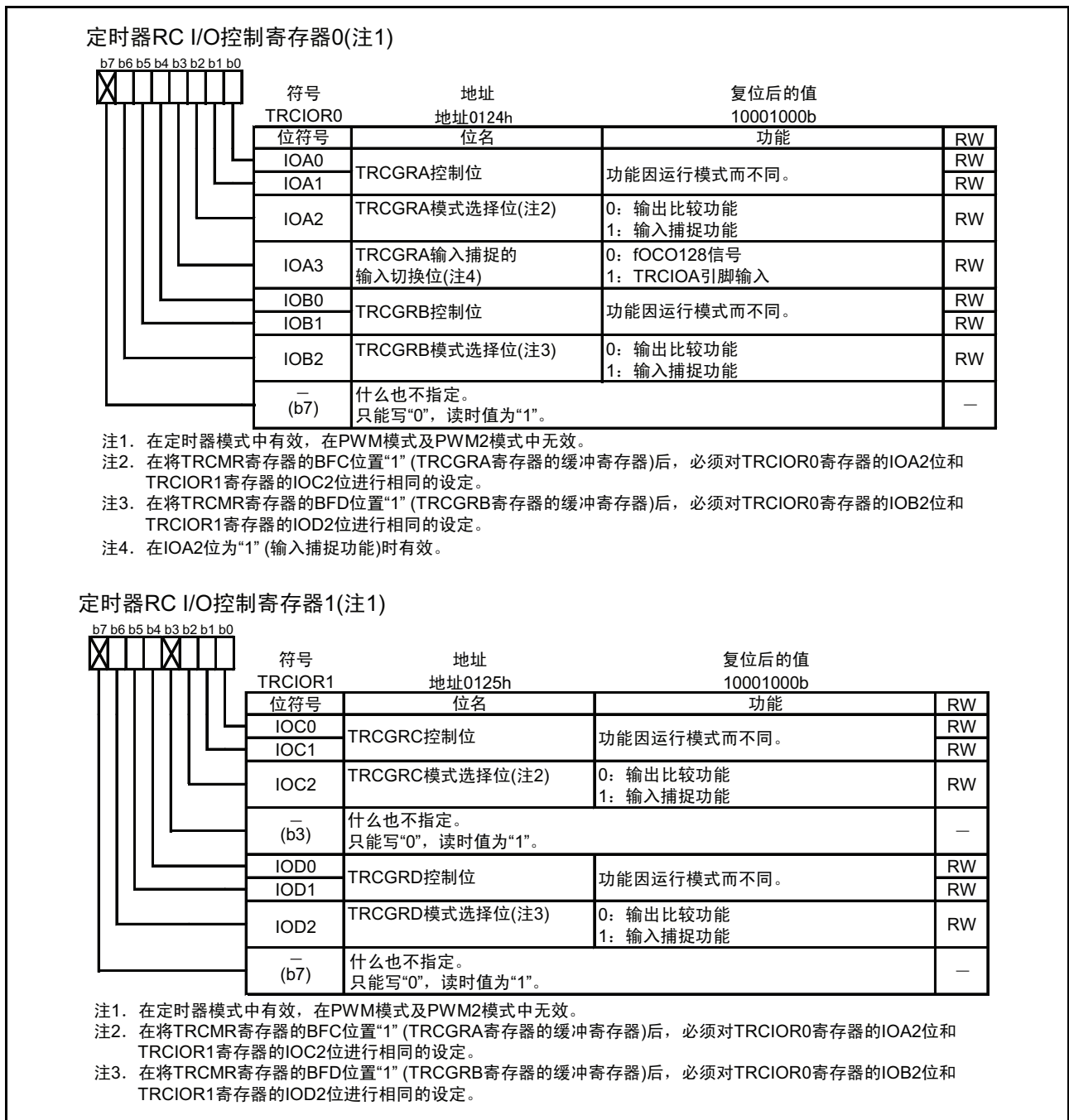


图 15.36 TRCIOR0、TRCIOR1 寄存器

15.3.3 有关多个模式的共通事项

15.3.3.1 计数源

计数源的选择方法是所有模式共通的。

计数源的选择如表 15.14 所示，计数源的框图如图 15.37 所示。

表 15.14 计数源的选择

计数源	选择方法
f1、f2、f4、f8、f32	通过 TRCCR1 寄存器的 TCK2 ~ TCK0 位选择计数源
fOCO40M	FRA0 寄存器的 FRA00 位为“1”（高速内部振荡器振荡） TRCCR1 寄存器的 TCK2 ~ TCK0 位为“110b”（fOCO40M）
输入到 TRCCLK 引脚的外部信号	TRCCR1 寄存器的 TCK2 ~ TCK0 位为“101b”（计数源为外部时钟的上升沿） PD3 寄存器的 PD3_3 位为“0”（输入模式）

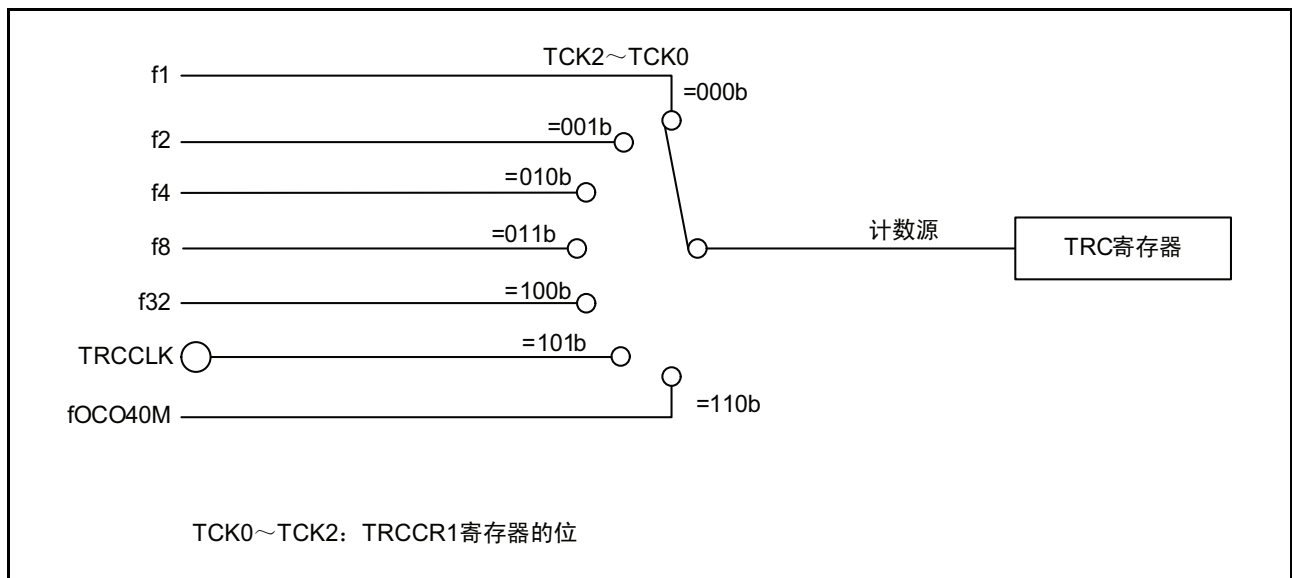


图 15.37 计数源的框图

必须将输入到 TRCCLK 引脚的外部时钟的脉宽设定为 3 个或 3 个以上的定时器 RC 的运行时钟周期（请参照“表 15.11 定时器 RC 的运行时钟”）。

在选择 fOCO40M 为计数源时，必须在将 FRA0 寄存器的 FRA00 位置“1”（高速内部振荡器振荡）后，将 TRCCR1 寄存器的 TCK2 ~ TCK0 位置“110b”（fOCO40M）。

15.3.3.2 缓冲器运行

能通过 TRCMR 寄存器的 BFC、BFD 位，将 TRCGRC、TRCGRD 寄存器设定为 TRCGRA、TRCGRB 寄存器的缓冲寄存器。

- TRCGRA 的缓冲寄存器：TRCGRC 寄存器
- TRCGRB 的缓冲寄存器：TRCGRD 寄存器

缓冲器运行因模式而不同。各模式的缓冲器运行如表 15.15 所示，输入捕捉功能的缓冲器运行如图 15.38 所示，输出比较功能的缓冲器运行如图 15.39 所示。

表 15.15 各模式的缓冲器运行

功能、模式	传送时序	传送的寄存器
输入捕捉功能	输入捕捉信号输入	将 TRCGRA (TRCGRB) 寄存器的内容传送到缓冲寄存器
输出比较功能	TRC 寄存器和 TRCGRA (TRCGRB) 寄存器的比较匹配	将缓冲寄存器的内容传送到 TRCGRA (TRCGRB) 寄存器
PWM 模式		
PWM2 模式	<ul style="list-style-type: none"> • TRC 寄存器和 TRCGRA 寄存器的比较匹配 • TRCTRG 引脚触发输入 	将缓冲寄存器 (TRCGRD) 的内容传送到 TRCGRB 寄存器

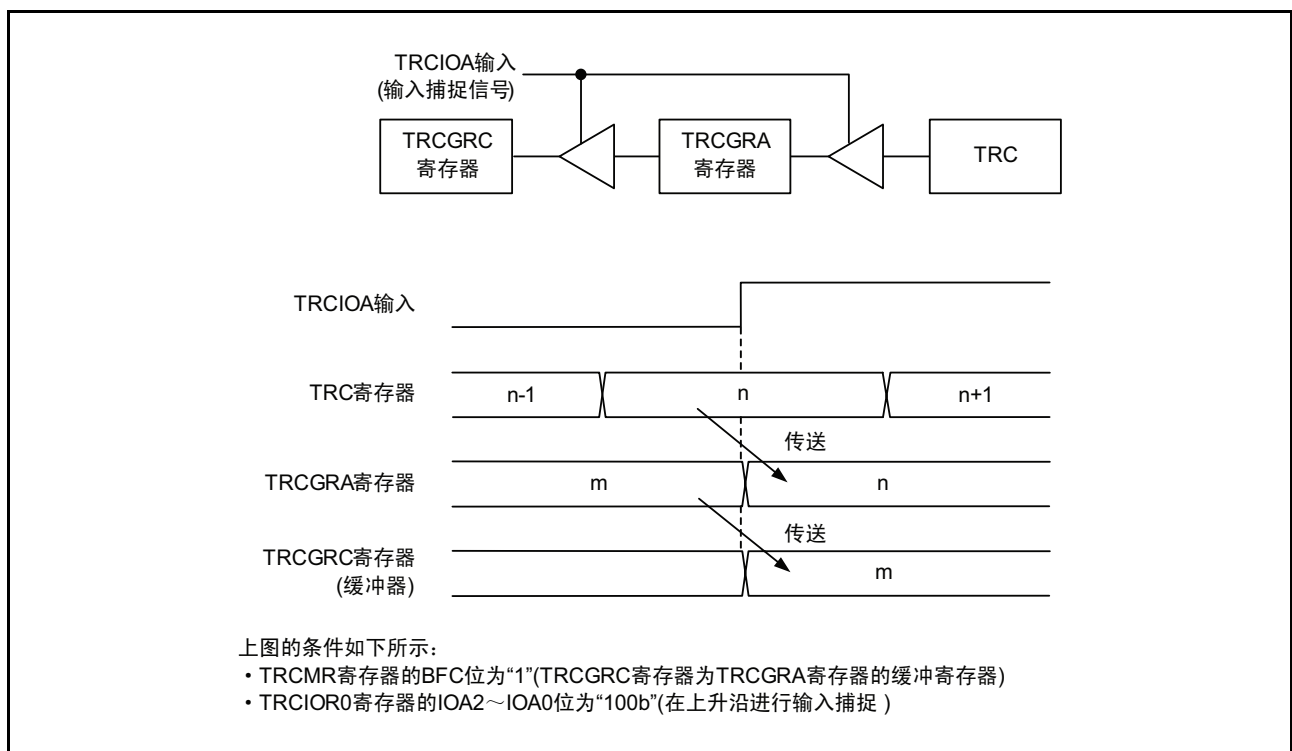


图 15.38 输入捕捉功能的缓冲器运行

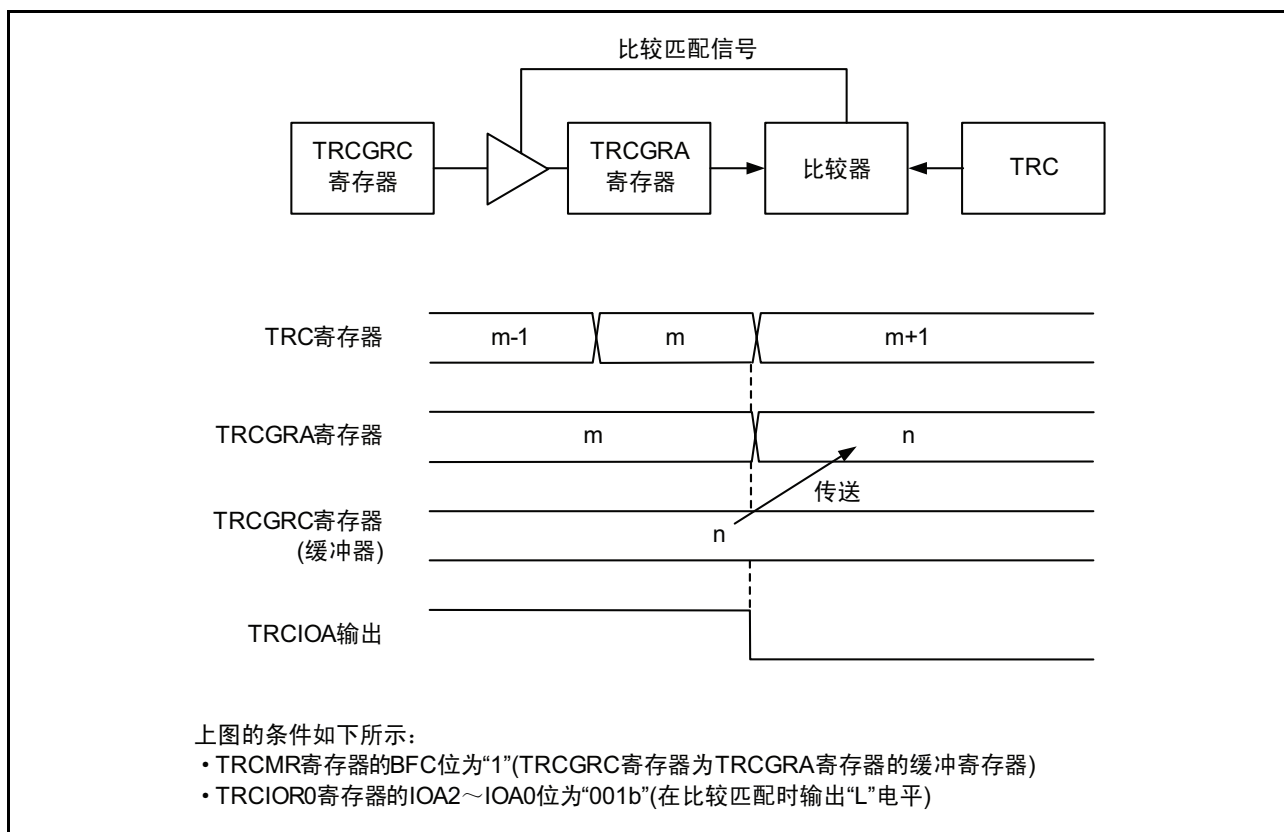


图 15.39 输出比较功能的缓冲器运行

在定时器模式中，必须进行以下设定。

- 将 TRCGRC 寄存器用作 TRCGRA 寄存器的缓冲寄存器时必须对 TRCIOR1 寄存器的 IOC2 位和 TRCIOR0 寄存器的 IOA2 位进行相同的设定。
- 将 TRCGRD 寄存器用作 TRCGRB 寄存器的缓冲寄存器时必须对 TRCIOR1 寄存器的 IOD2 位和 TRCIOR0 寄存器的 IOB2 位进行相同的设定。

在输出比较功能、PWM 模式、PWM2 模式中，即使将 TRCGRC、TRCGRD 寄存器用作缓冲寄存器，在和 TRC 寄存器比较匹配时，TRCSR 寄存器的 IMFC、IMFD 位也变为“1”。

在输入捕捉功能中，即使将 TRCGRC、TRCGRD 寄存器用作缓冲寄存器，在 TRCIOA、TRCIOD 引脚的输入沿，TRCSR 寄存器的 IMFC、IMFD 位也变为“1”。

15.3.3.3 数字滤波器

它对 TRCTR_j 输入或 TRCIO_j (j=A、B、C、D 中的任何一个) 输入进行采样, 如果信号 3 次相同就认为电平已确定。必须通过 TRCDF 寄存器选择数字滤波功能和采样时钟。

数字滤波器的框图如图 15.40 所示。

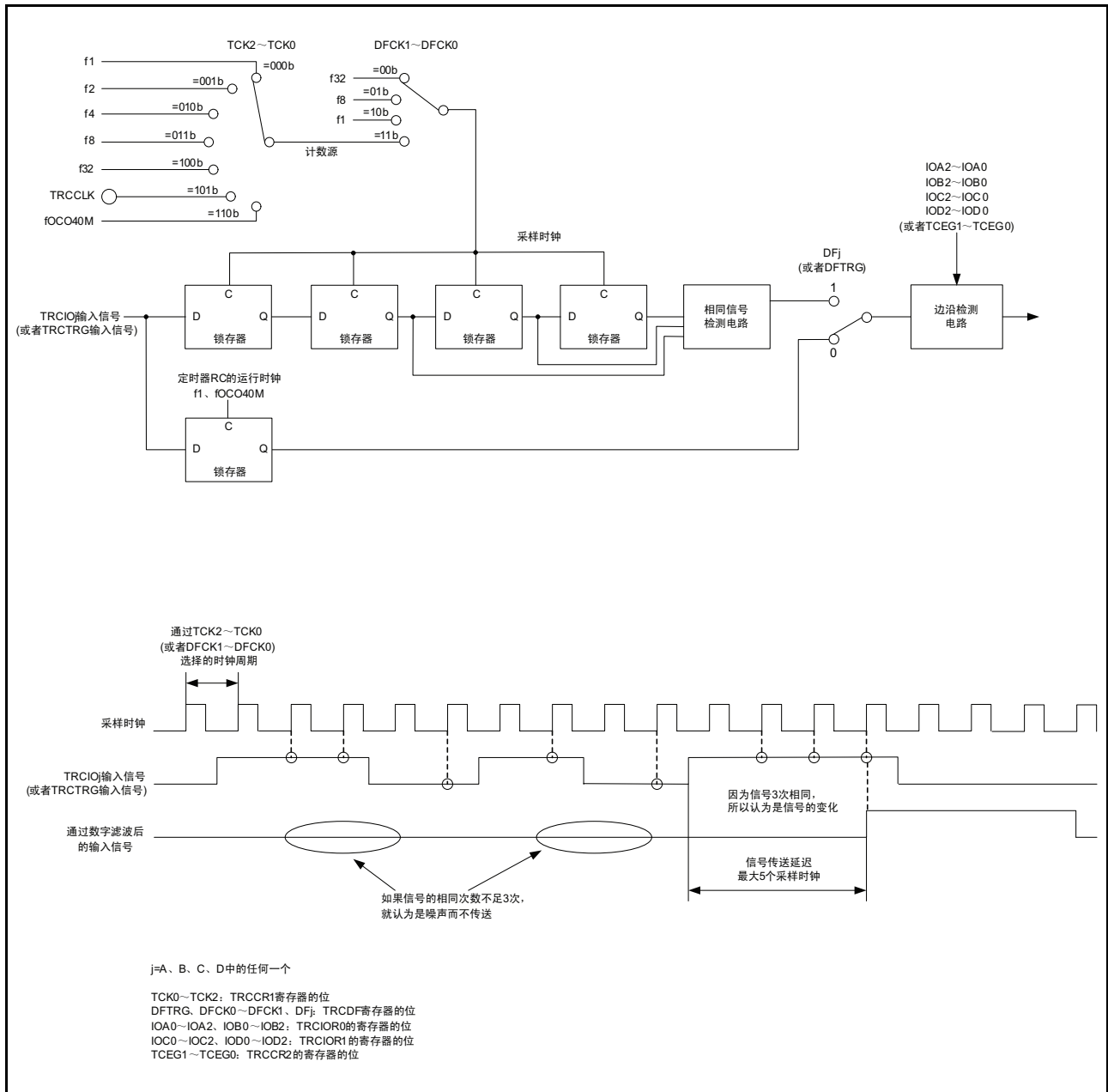


图 15.40 数字滤波器的框图

15.3.3.4 脉冲输出的强制截止

在定时器模式的输出比较功能、PWM 模式、PWM2 模式时，能通过 $\overline{\text{INT0}}$ 引脚的输入，将 TRCIOj (j=A、B、C、D 中的任何一个) 输出引脚强制设定为可编程输入 / 输出端口，可截止脉冲输出。

如果将 TRCOER 寄存器的 E_j 位清 “0” (允许定时器 RC 输出)，上述功能 / 模式中用于输出的引脚就能作为定时器 RC 的输出引脚使用。在 TRCOER 寄存器的 PTO 位为 “1” (脉冲输出强制截止的信号输入 $\overline{\text{INT0}}$ 有效) 时，如果给 $\overline{\text{INT0}}$ 引脚输入 “L” 电平，TRCOER 寄存器的 EA、EB、EC、ED 位就全部变为 “1” (禁止定时器 RC 输出，TRCIOj 输出引脚为可编程输入 / 输出端口)。在给 $\overline{\text{INT0}}$ 引脚输入 “L” 电平后经过 1 ~ 2 个定时器 RC 的运行时钟周期 (请参照 “表 15.11 定时器 RC 的运行时钟”)，TRCIOj 输出引脚变为可编程输入 / 输出端口。

使用此功能时，必须进行以下设定。

- 设定强制截止脉冲输出时的引脚状态 (高阻抗输入、“L” 电平输出 或 “H” 电平输出) (请参照 “8. 可编程输入 / 输出端口”)。
- 将 INTEN 寄存器的 INT0EN 位置 “1” (允许 $\overline{\text{INT0}}$ 输入)，并且将 INT0PL 位清 “0” (单边沿)。
- 将 PD4 寄存器的 PD4_5 位清 “0” (输入模式)。
- 通过 INTF 寄存器的 INT0F1 ~ INT0F0 位选择 $\overline{\text{INT0}}$ 的数字滤波器。
- 将 TRCOER 寄存器的 PTO 位置 “1” (脉冲输出强制截止的信号输入 $\overline{\text{INT0}}$ 有效)。

另外，根据 INT0IC 寄存器的 POL 位的选择和 $\overline{\text{INT0}}$ 引脚输入的变化，INT0IC 寄存器的 IR 位为 “1” (有中断请求) (请参照 “13.6 中断使用时的注意事项”)。

中断的详细内容请参照 “13. 中断”。

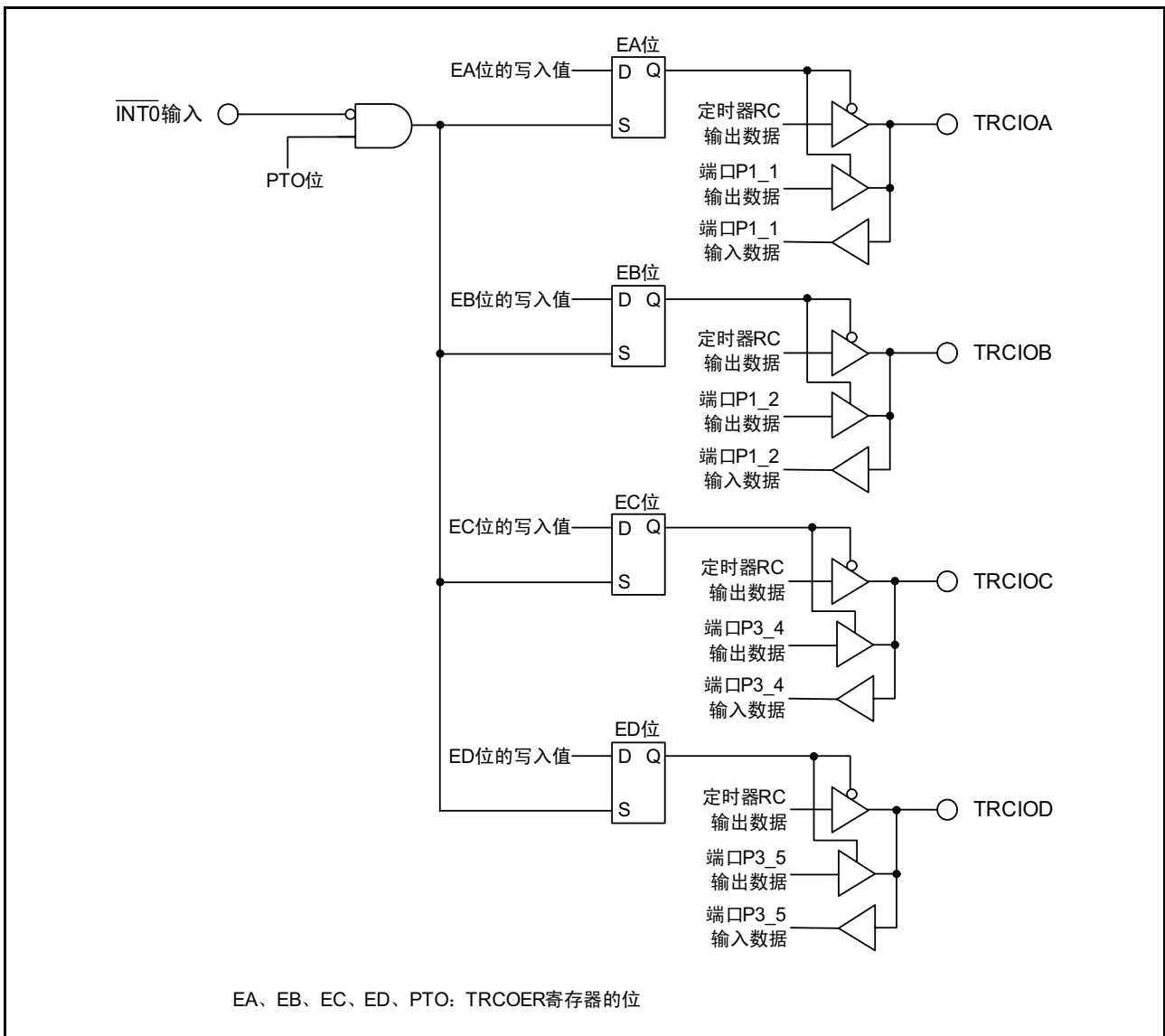


图 15.41 脉冲输出强制截止

15.3.4 定时器模式（输入捕捉功能）

输入捕捉功能是测定外部信号的宽度、周期的功能。以 TRCIO_j（j=A、B、C、D 中的任何一个）引脚的外部信号为触发信号，将 TRC 寄存器（计数器）的内容传送到 TRCGR_j 寄存器（输入捕捉）。可将各个引脚设定为输入捕捉功能或是其他模式、功能。

另外，TRCGRA 寄存器可将 fOCO128 选为输入捕捉的触发输入。

输入捕捉功能的规格如表 15.16 所示，输入捕捉功能的框图如图 15.42 所示，输入捕捉功能的相关寄存器如图 15.43 和图 15.44 所示，输入捕捉功能时的 TRCGR_j 寄存器的功能如表 15.17 所示，输入捕捉功能的运行例如图 15.45 所示。

表 15.16 输入捕捉功能的规格

项目	规格
计数源	f1、f2、f4、f8、f32、fOCO40M 输入到 TRCCLK 引脚的外部信号（上升沿）
计数运行	递增计数
计数周期	1/fk×65536 fk: 计数源的频率
计数开始条件	给 TRCMR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	将 TRCMR 寄存器的 TSTART 位清“0”（停止计数） TRC 寄存器保持停止前的值
中断请求产生时序	<ul style="list-style-type: none"> 输入捕捉（TRCIO_j 输入的有效沿）或者 fOCO128 信号的边沿 TRC 寄存器上溢
TRCIOA、TRCIOB、TRCIOC、TRCIOD 引脚功能	可编程输入 / 输出端口或输入捕捉的输入 （可对各个引脚进行选择）
INT0 引脚功能	可编程输入 / 输出端口或 INT0 中断输入
读定时器	如果读取 TRC 寄存器，就能读取计数值
写定时器	可写 TRC 寄存器。
选择功能	<ul style="list-style-type: none"> 输入捕捉的输入引脚的选择 选择 TRCIOA、TRCIOB、TRCIOC、TRCIOD 引脚中的任何一个或多个引脚 输入捕捉的输入有效沿的选择 选择上升沿、下降沿或双边沿 缓冲器运行（请参照“15.3.3.2 缓冲器运行”） 数字滤波器（请参照“15.3.3.3 数字滤波器”） 输入捕捉的触发选择 能选择 fOCO128 作为 TRCGRA 寄存器的输入捕捉的触发输入

j=A、B、C、D 中的任何一个

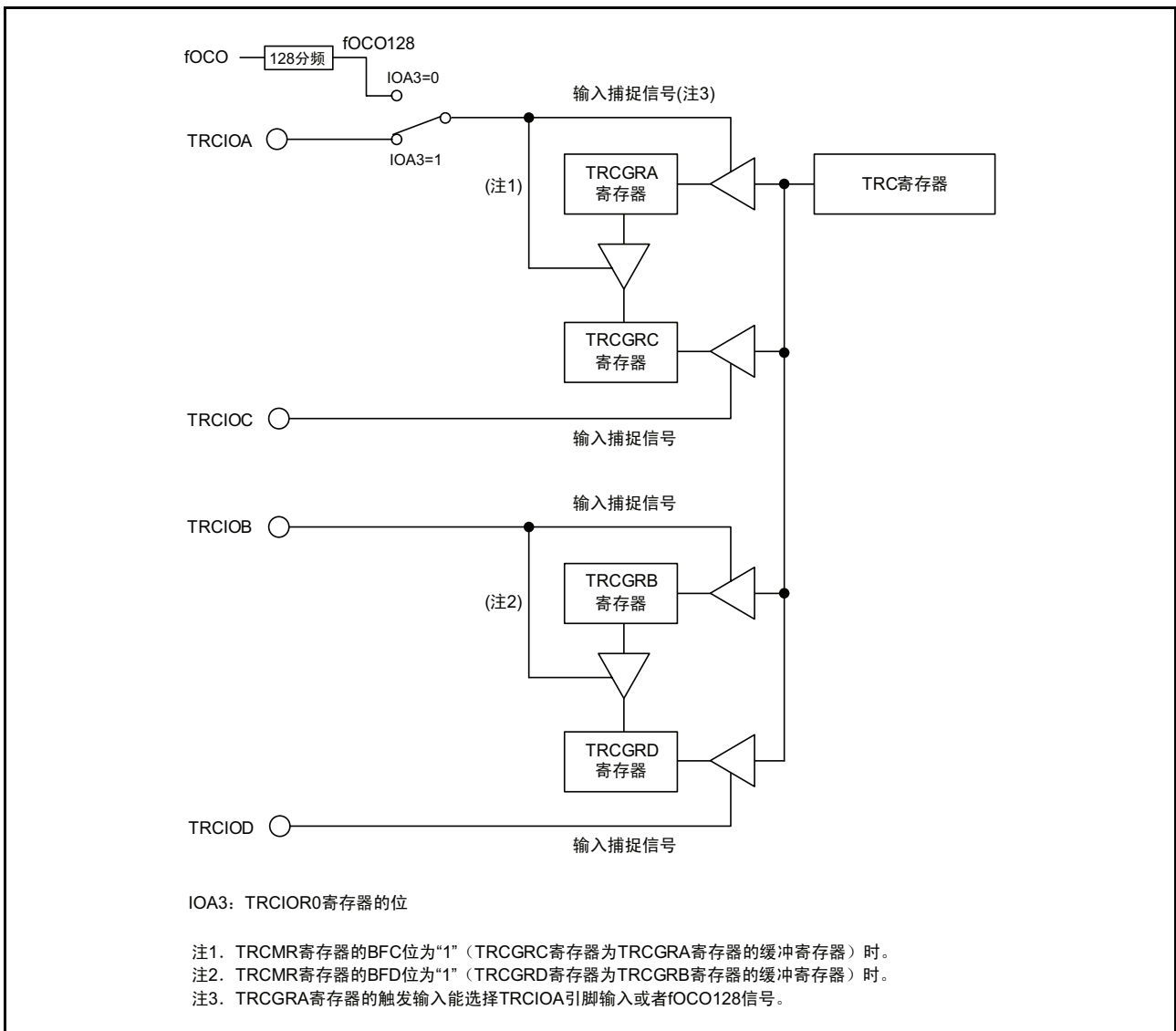


图 15.42 输入捕捉功能的框图

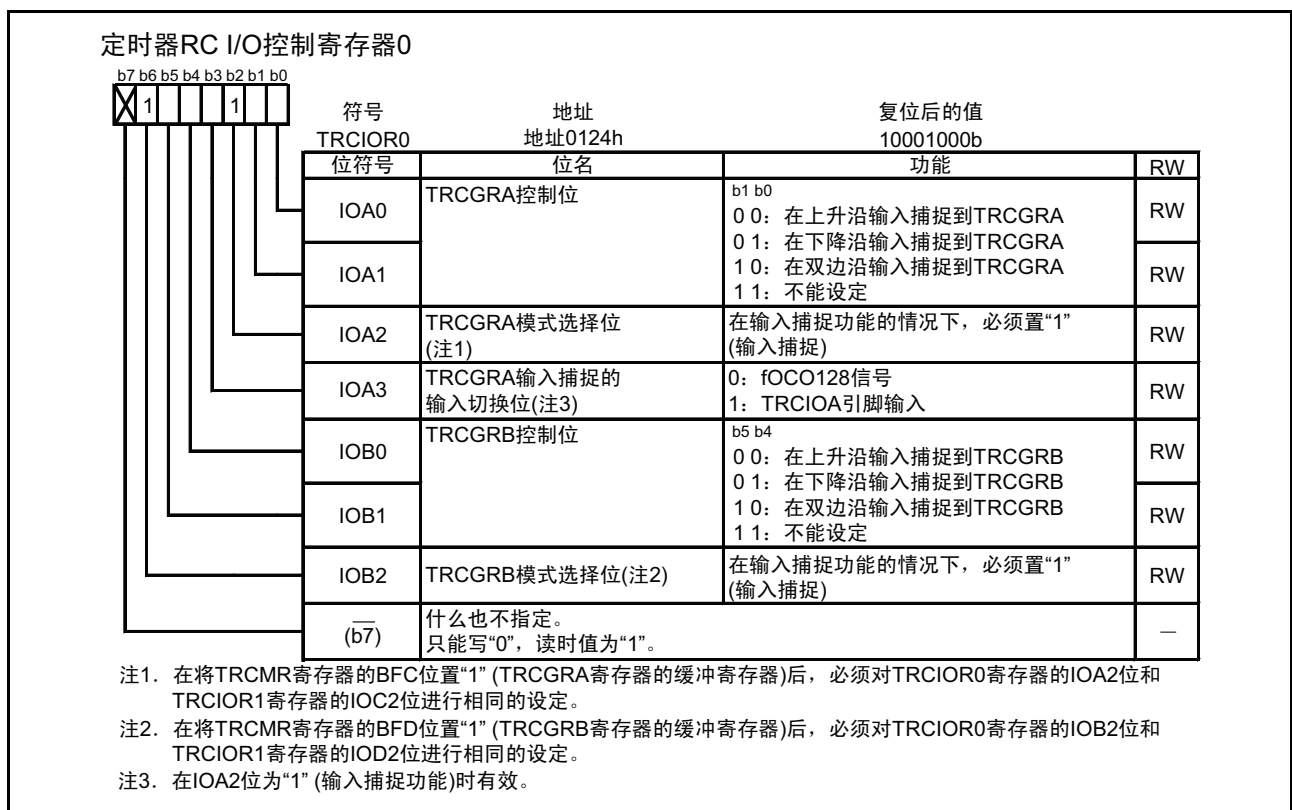


图 15.43 输入捕捉功能时的 TRCIOR0 寄存器

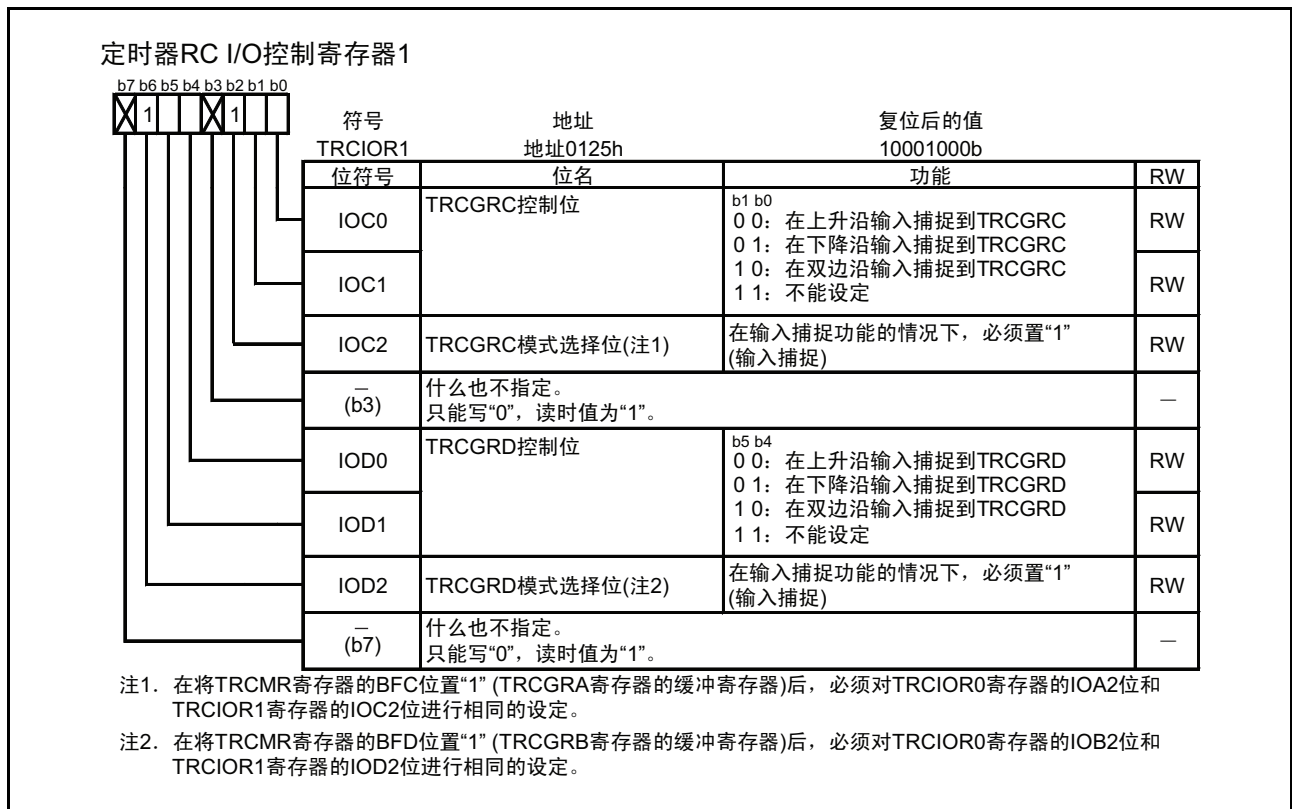


图 15.44 输入捕捉功能时的 TRCIOR1 寄存器

表 15.17 输入捕捉功能时的 TRCGRj 寄存器的功能

寄存器	设定	寄存器的功能	输入捕捉的输入引脚
TRCGRA	—	通用寄存器。可读取输入捕捉时的 TRC 寄存器的值。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	通用寄存器。可读取输入捕捉时的 TRC 寄存器的值。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	缓冲寄存器。保持从通用寄存器传送来的值 (请参照“15.3.3.2 缓冲器运行”)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j=A、B、C、D 中的任何一个

BFC、BFD: TRCMR 寄存器的位

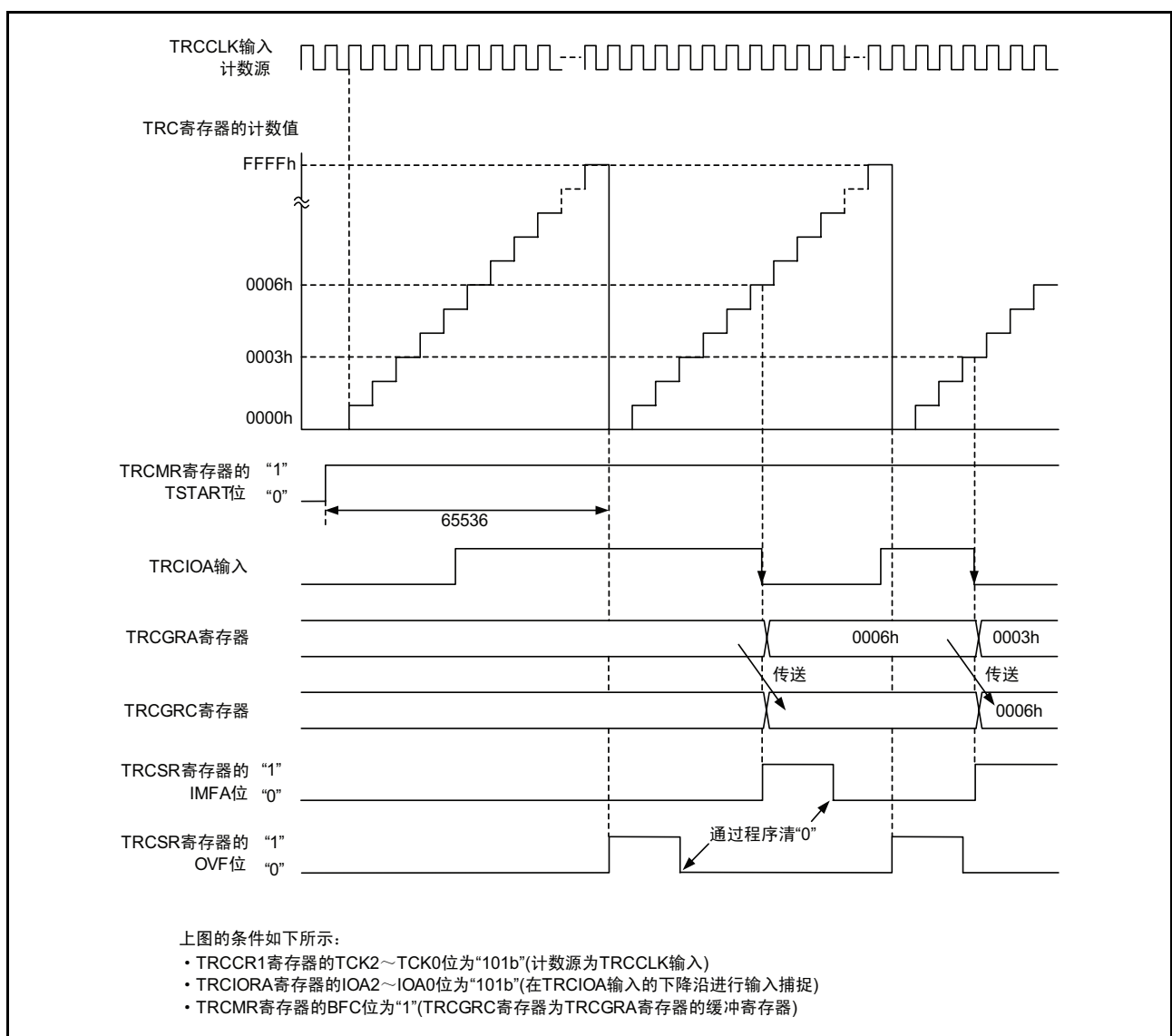


图 15.45 输入捕捉功能的运行例

15.3.5 定时器模式（输出比较功能）

该模式是检测 TRC 寄存器（计数器）的内容和 TRCGRj（j=A、B、C、D 中的任何一个）寄存器的内容是否相同（比较匹配）的模式。相同时，从 TRCIOj 引脚输出任意的电平。可将各个引脚选择设定为输出比较功能或是其他模式和功能。

输出比较功能的规格如表 15.18 所示，输出比较功能的框图如图 15.46 所示，输出比较功能的相关寄存器如图 15.47 ~ 图 15.49 所示，输出比较功能时的 TRCGRj 寄存器的功能如表 15.19 所示，输出比较功能的运行例如图 15.50 所示。

表 15.18 输出比较功能的规格

项目	规格
计数源	f1、f2、f4、f8、f32、fOCO40M 输入到 TRCCLK 引脚的外部信号（上升沿）
计数运行	递增计数
计数周期	<ul style="list-style-type: none"> TRCCR1 寄存器的 CCLR 位为“0”（自由运行）时 $1/fk \times 65536$ fk: 计数源的频率 TRCCR1 寄存器的 CCLR 位为“1”（在 TRCGRA 的比较匹配时，将 TRC 寄存器置“0000h”）时 $1/fk \times (n+1)$ n: TRCGRA 寄存器的设定值
波形输出时序	比较匹配
计数开始条件	给 TRCMR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	将 TRCMR 寄存器的 TSTART 位清“0”（停止计数） 输出比较的输出引脚保持计数停止前的输出电平，TRC 寄存器保持停止前的值
中断请求产生时序	<ul style="list-style-type: none"> 比较匹配（TRC 寄存器和 TRCGRj 寄存器的内容相同） TRC 寄存器上溢
TRCIOA、TRCIOB、TRCIOC、TRCIOD 引脚功能	可编程输入 / 输出端口或输出比较的输出 （可对各个引脚进行选择）
INT0 引脚功能	可编程输入 / 输出端口、脉冲输出强制截止信号输入或 INT0 中断输入
读定时器	如果读 TRC 寄存器，就能读计数值
写定时器	可写 TRC 寄存器
选择功能	<ul style="list-style-type: none"> 输出比较的输出引脚的选择 选择 TRCIOA、TRCIOB、TRCIOC、TRCIOD 引脚中的任何一个或多个引脚 比较匹配时的输出电平的选择 选择输出“L”电平、输出“H”电平、或交替输出 初始输出电平的选择 设定从计数开始到比较匹配期间的电平 将 TRC 寄存器置“0000h”的时序 上溢或 TRCGRA 寄存器的比较匹配 缓冲器运行（请参照“15.3.3.2 缓冲器运行”） 脉冲输出强制截止的信号输入（请参照“15.3.3.4 脉冲输出的强制截止”） 可将定时器 RC 作为内部定时器使用而不进行输出

j=A、B、C、D 中的任何一个

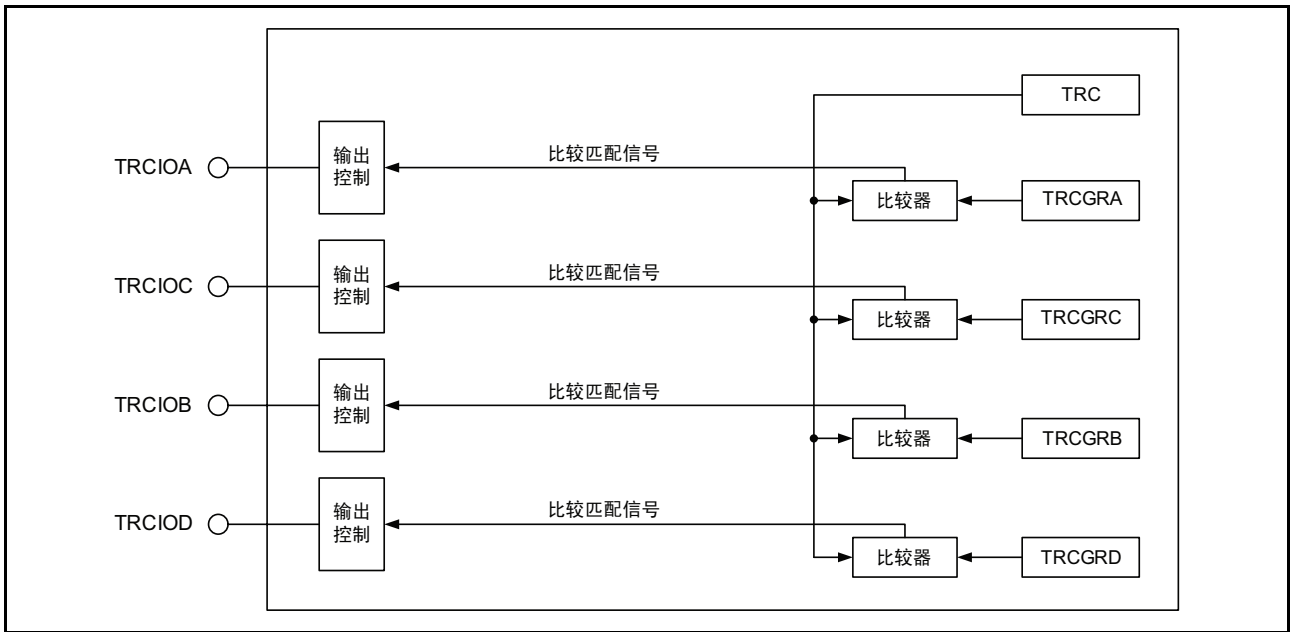


图 15.46 输出比较功能的框图

定时器RC I/O控制寄存器0

b7 b6 b5 b4 b3 b2 b1 b0

符号 地址 复位后的值
TRCIOR0 地址0124h 10001000b

位符号	位名	功能	RW
IOA0	TRCGRA控制位	b1 b0 0 0: 禁止比较匹配时的引脚输出 (TRCIOA引脚为可编程输入/输出端口) 0 1: 在TRCGRA比较匹配时输出“L”电平 1 0: 在TRCGRA比较匹配时输出“H”电平 1 1: 在TRCGRA比较匹配时交替输出	RW
IOA1			RW
IOA2	TRCGRA模式选择位 (注1)	必须在输出比较功能中清“0”(输出比较)	RW
IOA3	TRCGRA输入捕捉的 输入切换位	必须置“1”	RW
IOB0	TRCGRB控制位	b5 b4 0 0: 禁止比较匹配时的引脚输出 (TRCIOB引脚为可编程输入/输出端口) 0 1: 在TRCGRB比较匹配时输出“L”电平 1 0: 在TRCGRB比较匹配时输出“H”电平 1 1: 在TRCGRB比较匹配时交替输出	RW
IOB1			RW
IOB2	TRCGRB模式选择位 (注2)	必须在输出比较功能中清“0”(输出比较)	RW
(b7)	什么也不指定。 只能写“0”，读时值为“1”。		—

注1. 在将TRCMR寄存器的BFC位置“1”(TRCGRA寄存器的缓冲寄存器)后, 必须对TRCIOR0寄存器的IOA2位和TRCIOR1寄存器的IOC2位进行相同的设定。

注2. 在将TRCMR寄存器的BFD位置“1”(TRCGRB寄存器的缓冲寄存器)后, 必须对TRCIOR0寄存器的IOB2位和TRCIOR1寄存器的IOD2位进行相同的设定。

图 15.47 输出比较功能时的 TRCIOR0 寄存器

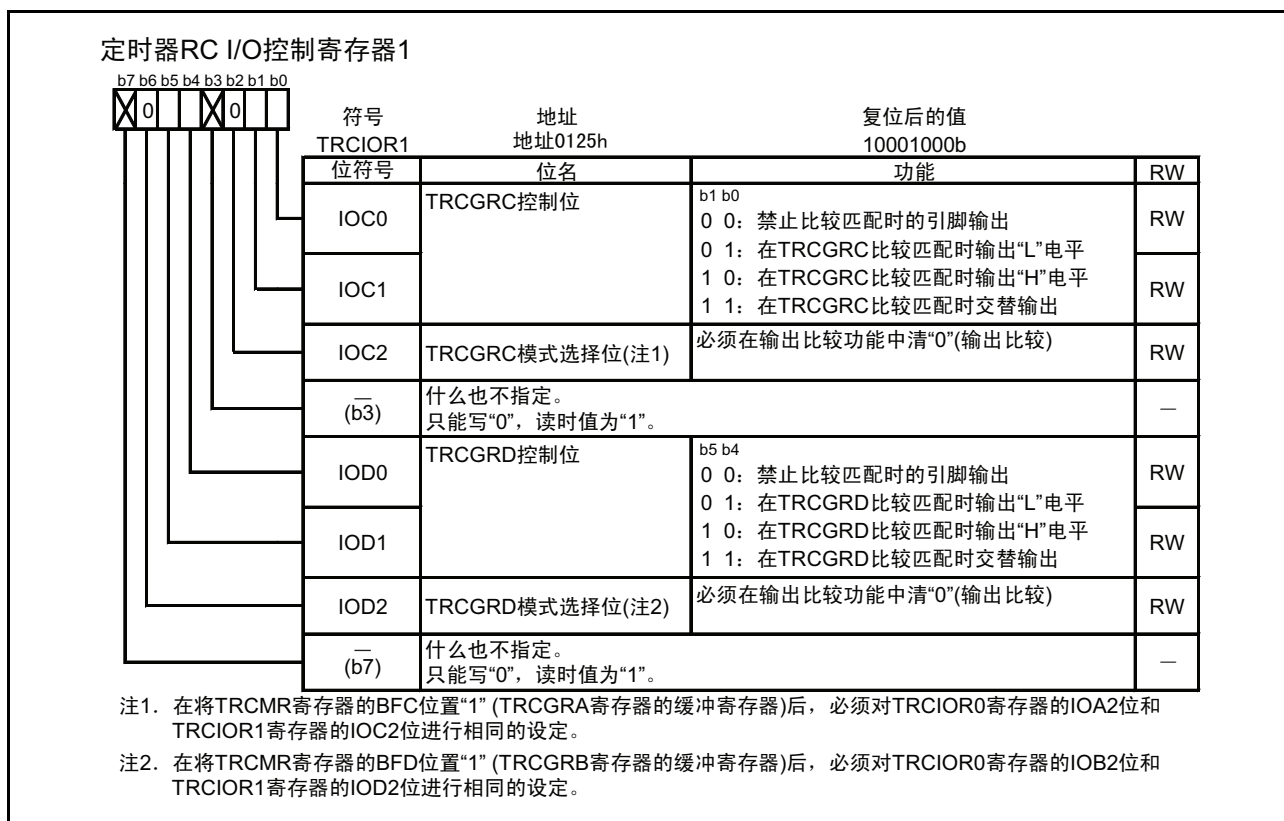


图 15.48 输出比较功能时的 TRCIOR1 寄存器

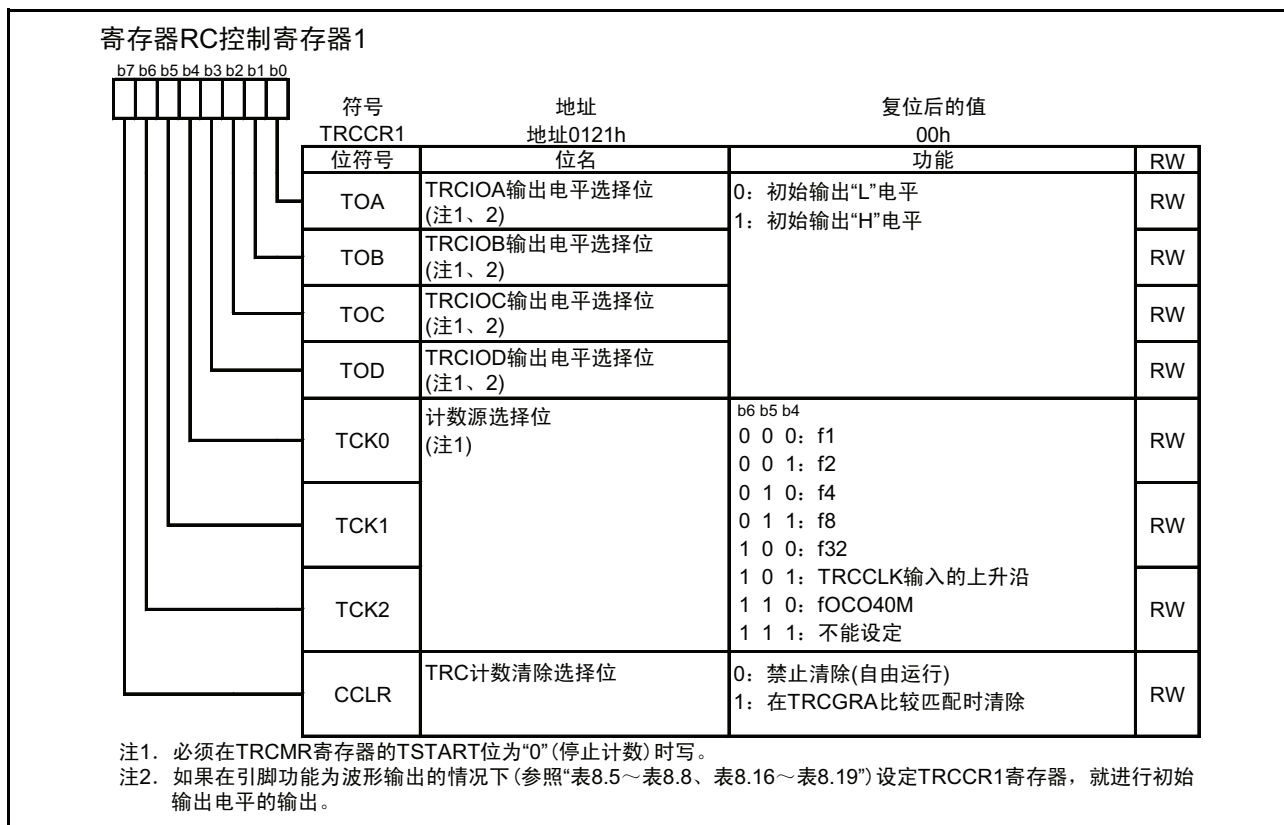


图 15.49 输出比较功能时的 TRCCR1 寄存器

表 15.19 输出比较功能时的 TRCGRj 寄存器功能

寄存器	设定	寄存器的功能	输出比较的输出引脚
TRCGRA	—	通用寄存器。必须写比较值。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	通用寄存器。必须写比较值。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	缓冲寄存器。必须写下一个比较值。 (请参照“15.3.3.2 缓冲器运行”)	TRCIOA
TRCGRD	BFD=1		TRCIOB

j=A、B、C、D 中的任何一个

BFC、BFD: TRCMR 寄存器的位

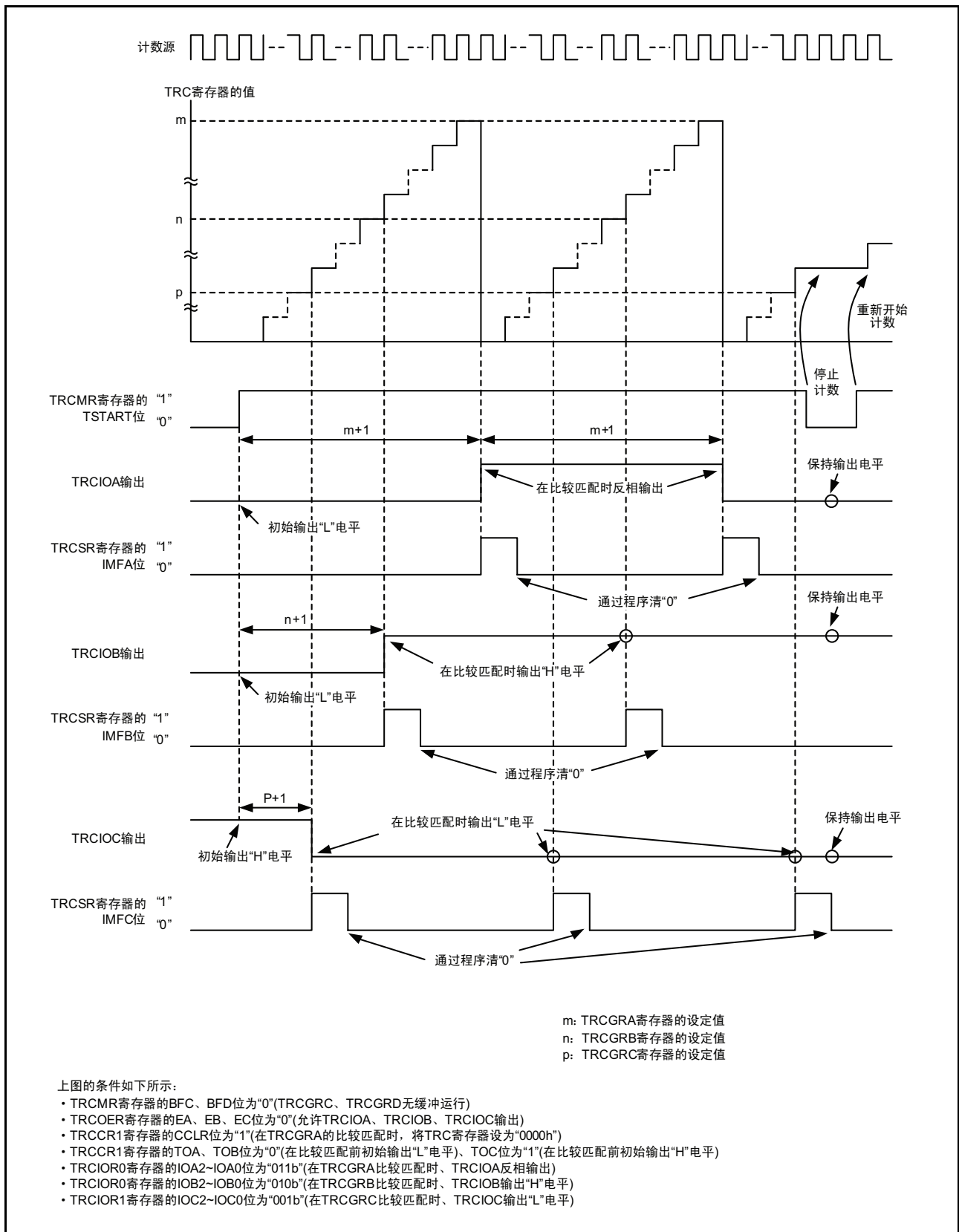


图 15.50 输出比较功能的运行例

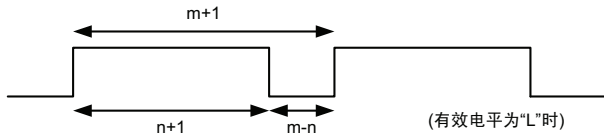
15.3.6 PWM 模式

PWM 模式是输出 PWM 波形的模式。最大可输出 3 个同周期的 PWM 波形。

可将各个引脚选择设定为 PWM 模式或定时器模式（但是，在任何引脚用于 PWM 模式时，因为都要使用 TRCGRA 寄存器，所以 TRCGRA 寄存器不能用于定时器模式。）。

PWM 模式的规格如表 15.20 所示，PWM 模式的框图如图 15.51 所示，PWM 模式的相关寄存器如图 15.52 所示，PWM 模式时的 TRCGRj 寄存器的功能如表 15.21 所示，PWM 模式的运行例如图 15.53 和图 15.54 所示。

表 15.20 PWM 模式的规格

项目	规格
计数源	f1、f2、f4、f8、f32、fOCO40M 输入到 TRCCLK 引脚的外部信号（上升沿）
计数运行	递增计数
PWM 波形	PWM 周期: $1/fk \times (m+1)$ 有效电平宽度: $1/fk \times (m-n)$ 非有效电平宽度: $1/fk \times (n+1)$ fk: 计数源的频率 m: TRCGRA 寄存器的设定值 n: TRCGRj 寄存器的设定值 
计数开始条件	给 TRCMR 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	将 TRCMR 寄存器的 TSTART 位清“0”（停止计数） PWM 输出引脚保持计数停止前的输出电平，TRC 寄存器保持停止前的值
中断请求产生时序	<ul style="list-style-type: none"> 比较匹配（TRC 寄存器和 TRCGRh 寄存器的内容相同） TRC 寄存器上溢
TRCIOA 引脚功能	可编程输入 / 输出端口
TRCIOB、TRCIOC、TRCIOD 引脚功能	可编程输入 / 输出端口或 PWM 输出（可对各个引脚进行选择）
INT0 引脚功能	可编程输入 / 输出端口、脉冲输出强制截止信号输入或 INT0 中断输入
读定时器	如果读取 TRC 寄存器，就能读计数值
写定时器	可写 TRC 寄存器
选择功能	<ul style="list-style-type: none"> 每个通道选择 1~3 个 PWM 输出引脚 选择 TRCIOB、TRCIOC、TRCIOD 引脚中的一个或多个引脚。 每个引脚都可选择有效电平 缓冲器运行（请参照“15.3.3.2 缓冲器运行”） 脉冲输出强制截止的信号输入（请参照“15.3.3.4 脉冲输出的强制截止”）

j=B、C、D 中的任何一个

h=A、B、C、D 中的任何一个

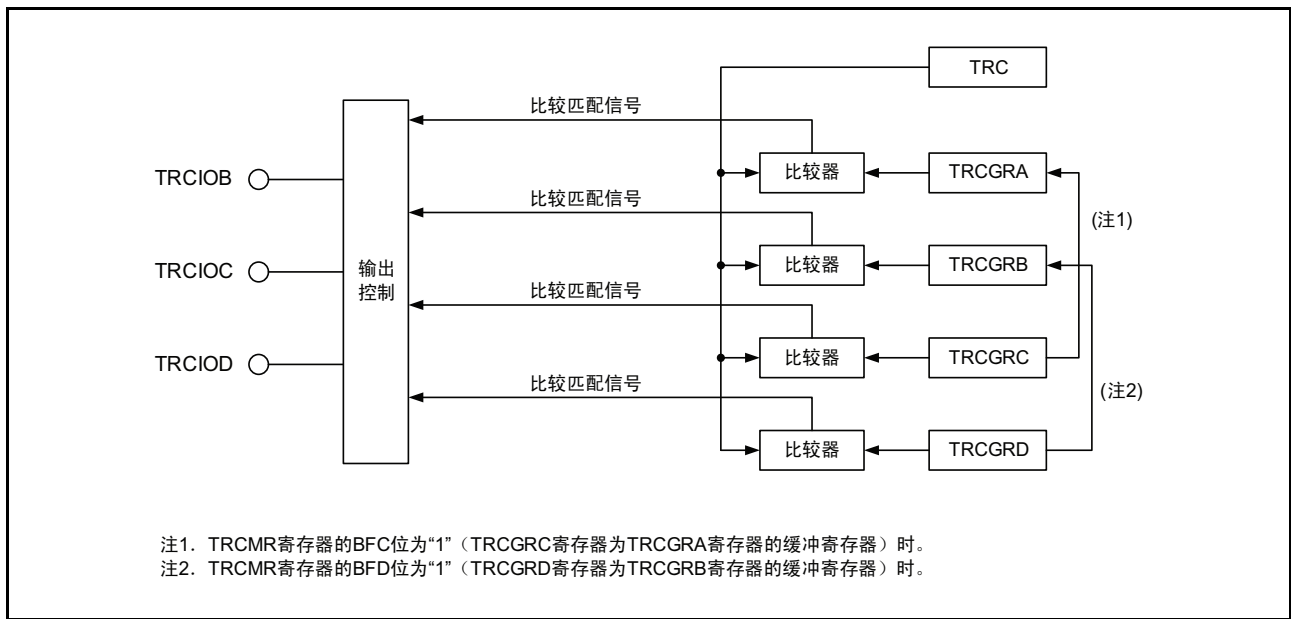


图 15.51 PWM 模式的框图

定时器RC控制寄存器1

符号	地址	复位后的值	
TRCCR1	地址0121h	00h	
位符号	位名	功能	RW
TOA	TRCIOA输出电平选择位(注1)	在PWM模式中无效	RW
TOB	TRCIOB输出电平选择位(注1、2)	0: 有效电平为“H”电平时 (初始输出“L”电平 在TRCGRj比较匹配时输出“H”电平 在TRCGRA比较匹配时输出“L”电平) 1: 有效电平为“L”电平时 (初始输出“H”电平 在TRCGRj比较匹配时输出“L”电平 在TRCGRA比较匹配时输出“H”电平)	RW
TOC	TRCIOC输出电平选择位(注1、2)		RW
TOD	TRCIOD输出电平选择位(注1、2)		RW
TCK0	计数源选择位(注1)		b6 b5 b4
TCK1		0 0 0: f1 0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32	RW
TCK2		1 0 1: TRCLK输入的上升沿 1 1 0: fOCO40M 1 1 1: 不能设定	RW
CCLR	TRC计数器清除选择位	0: 禁止清除(自由运行) 1: 在TRCGRA比较匹配时清除	RW

j=B、C、D中的任何一个
 注1. 必须在TRCMR寄存器的TSTART位为“0”(停止计数)时写。
 注2. 如果在引脚功能为波形输出(参照“表8.7、表8.8、表8.16~表8.19”)的情况下设定TRCCR1寄存器, 就进行初始输出电平的输出。

图 15.52 PWM 模式时的 TRCCR1 寄存器

表 15.21 PWM 模式时的 TRCGRj 寄存器的功能

寄存器	设定	寄存器的功能	PWM 输出引脚
TRCGRA	—	通用寄存器。必须设定 PWM 周期。	—
TRCGRB	—	通用寄存器。必须设定 PWM 输出的变化点。	TRCIOB
TRCGRC	BFC=0	通用寄存器。必须设定 PWM 输出的变化点。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	缓冲寄存器。必须设定下一个 PWM 周期 (请参照“15.3.3.2 缓冲器运行”)。	—
TRCGRD	BFD=1	缓冲寄存器。必须设定下一个 PWM 输出的变化点 (请参照“15.3.3.2 缓冲器运行”)。	TRCIOB

j=A、B、C、D 中的任何一个

BFC、BFD: TRCMR 寄存器的位

注 1. 即使 TRCGRA 寄存器的值 (PWM 周期) 和 TRCGRB、TRCGRC、TRCGRD 寄存器的值相同时发生比较匹配, 引脚的输出电平也不变。

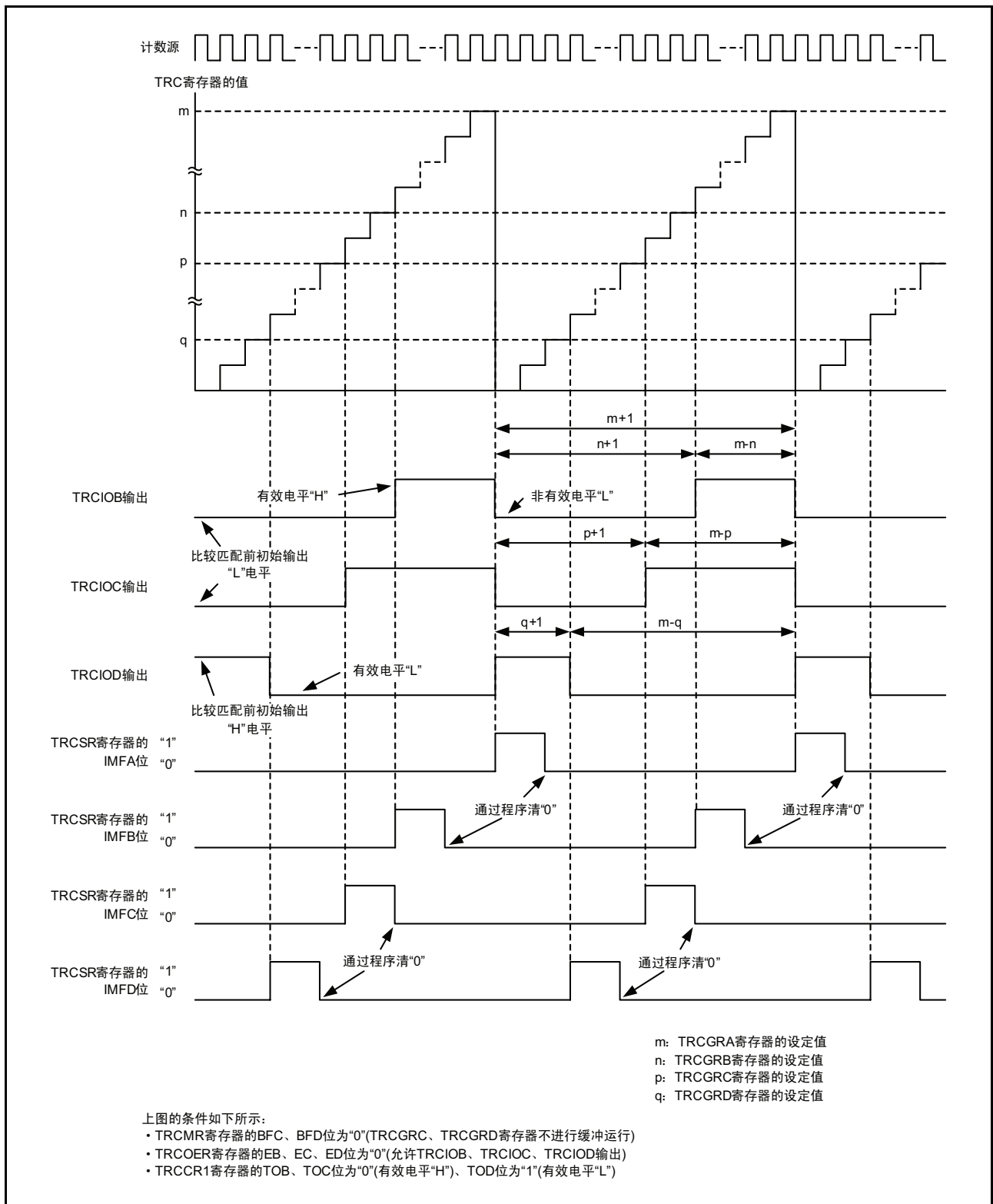


图 15.53 PWM 模式时的运行例

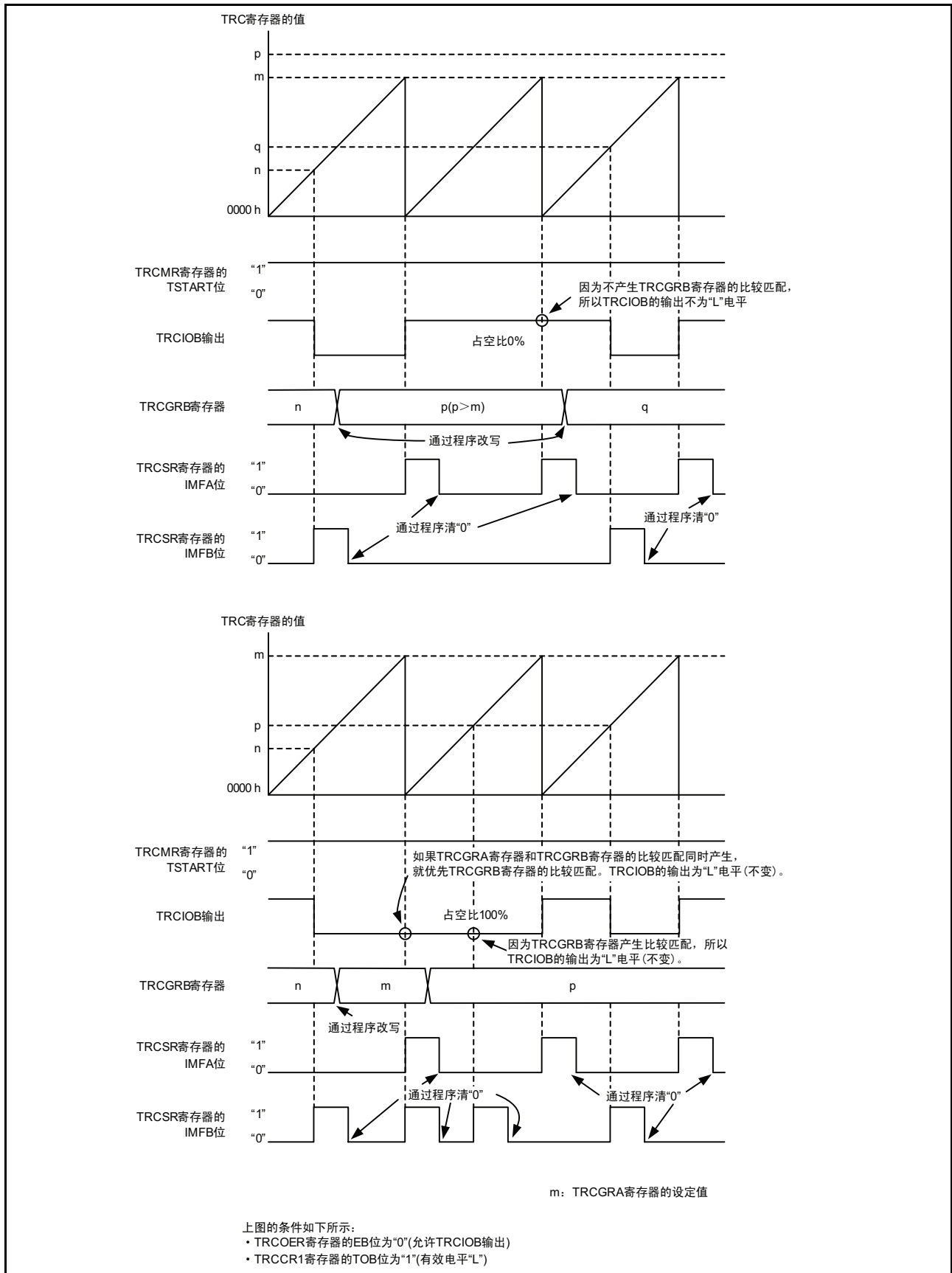


图 15.54 PWM 模式时的运行例 (占空比 0%、占空比 100%)

15.3.7 PWM2 模式

PWM2 模式输出 1 个 PWM 波形。触发后经过任意的等待时间，引脚的输出变为有效电平，然后再经过任意时间后，恢复为非有效电平。在恢复为非有效电平的同时还可以停止计数器的计数，所以也可以输出可编程等待单触发波形。

在 PWM2 模式中，组合使用定时器 RC 的多个通用寄存器，所以不能和其它模式一起使用。

PWM2 模式的框图如图 15.55 所示，PWM2 模式的规格如表 15.22 所示，PWM2 模式的相关寄存器如图 15.56 所示，PWM2 模式时的 TRCGRj 寄存器的功能如表 15.23 所示，PWM2 模式的运行例如图 15.57 ~ 图 15.59 所示。

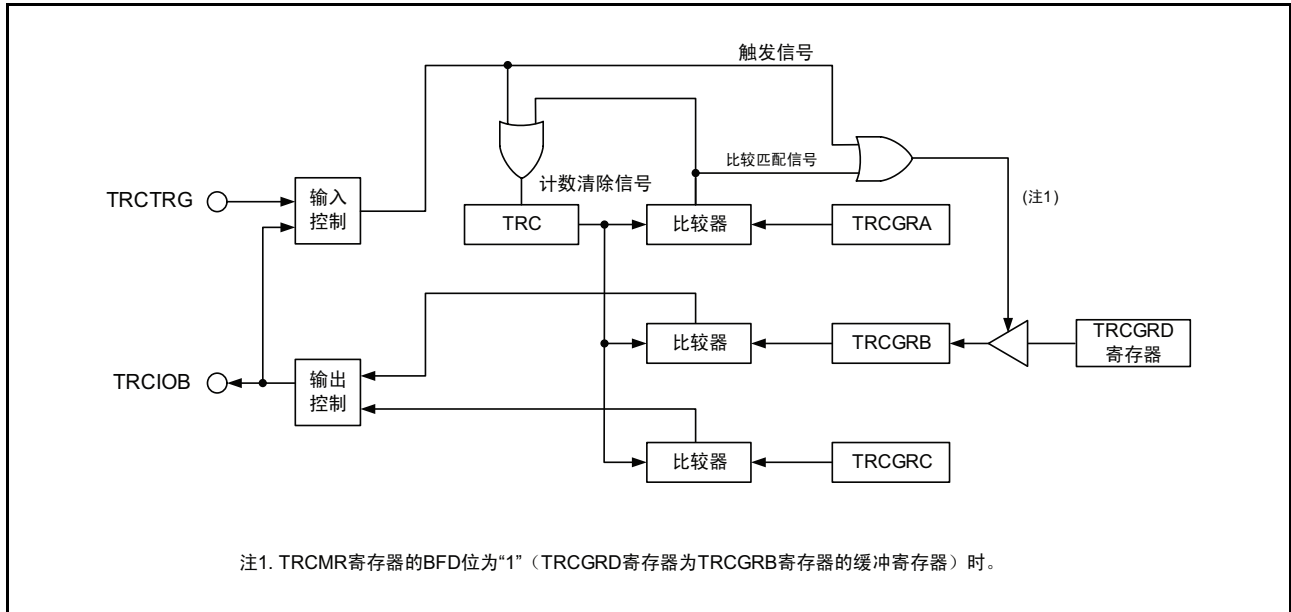


图 15.55 PWM2 模式的框图

表 15.22 PWM2 模式的规格

项目	规格
计数源	f1、f2、f4、f8、f32、fOCO40M 输入到 TRCCLK 引脚的外部信号（上升沿）
计数运行	TRC 寄存器进行递增计数
PWM 波形	<p>PWM 周期: $1/fk \times (m+1)$（没有 TRCTRГ 输入时） 有效电平宽度: $1/fk \times (n-p)$ 从计数开始或从触发开始的等待时间: $1/fk \times (p+1)$</p> <p>fk: 计数源的频率 m: TRCGRA 寄存器的设定值 n: TRCGRB 寄存器的设定值 p: TRCGRC 寄存器的设定值</p> <p>(TRCTRГ: 上升沿、有效电平为“H”时)</p>
计数开始条件	<ul style="list-style-type: none"> 当 TRCCR2 寄存器的 TCEG1 ~ TCEG0 位为 “00b”（禁止 TRCTRГ 触发输入）或者 TRCCR2 寄存器的 CSEL 位为 “0”（继续计数）时给 TRCMR 寄存器的 TSTART 位写 “1”（开始计数） 当 TRCCR2 寄存器的 TCEG1 ~ TCEG0 位为 “01b”、“10b”、“11b”（允许 TRCTRГ 触发输入）且 TRCMR 寄存器的 TSTART 位为 “1”（开始计数）时给 TRCTRГ 引脚输入触发信号
计数停止条件	<ul style="list-style-type: none"> 将 TRCMR 寄存器的 TSTART 位清 “0”（停止计数）（包括 TRCCR2 寄存器的 CSEL 位为 “0” 及为 “1” 的情况） TRCIOB 引脚根据 TRCCR1 寄存器的 TOB 位的内容输出初始电平。TRC 寄存器保持停止前的值。 TRCCR2 寄存器的 CSEL 位为 “1” 且在 TRCGRA 比较匹配时停止计数 TRCIOB 引脚输出初始电平。在 TRCCR1 寄存器的 CCLR 位为 “0” 时，TRC 寄存器保持停止前的值；在 TRCCR1 寄存器的 CCLR 位为 “1” 时，TRC 寄存器为 “0000h”。
中断产生时序	<ul style="list-style-type: none"> 比较匹配（TRC 寄存器和 TRCGRj 寄存器的内容相同） TRC 寄存器上溢
TRCIOA/TRCTRГ 引脚功能	可编程输入 / 输出端口或 TRCTRГ 输入
TRCIOB 引脚功能	PWM 输出
TRCIOC、TRCIOD 引脚功能	可编程输入 / 输出端口
INT0 引脚功能	可编程输入 / 输出端口、脉冲输出强制截止的信号输入或 INT0 中断输入
读定时器	如果读 TRC 寄存器，就能读计数值
写定时器	可写 TRC 寄存器
选择功能	<ul style="list-style-type: none"> 外部触发和有效沿的选择 可将 TRCTRГ 引脚输入沿作为 PWM 输出的触发。选择上升沿、下降沿或双边沿。 缓冲器运行（请参照 “15.3.3.2 缓冲器运行”） 脉冲输出强制截止信号输入（请参照 “15.3.3.4 脉冲输出的强制截止”） 数字滤波器（请参照 “15.3.3.3 数字滤波器”）

j=A、B、C 中的任何一个

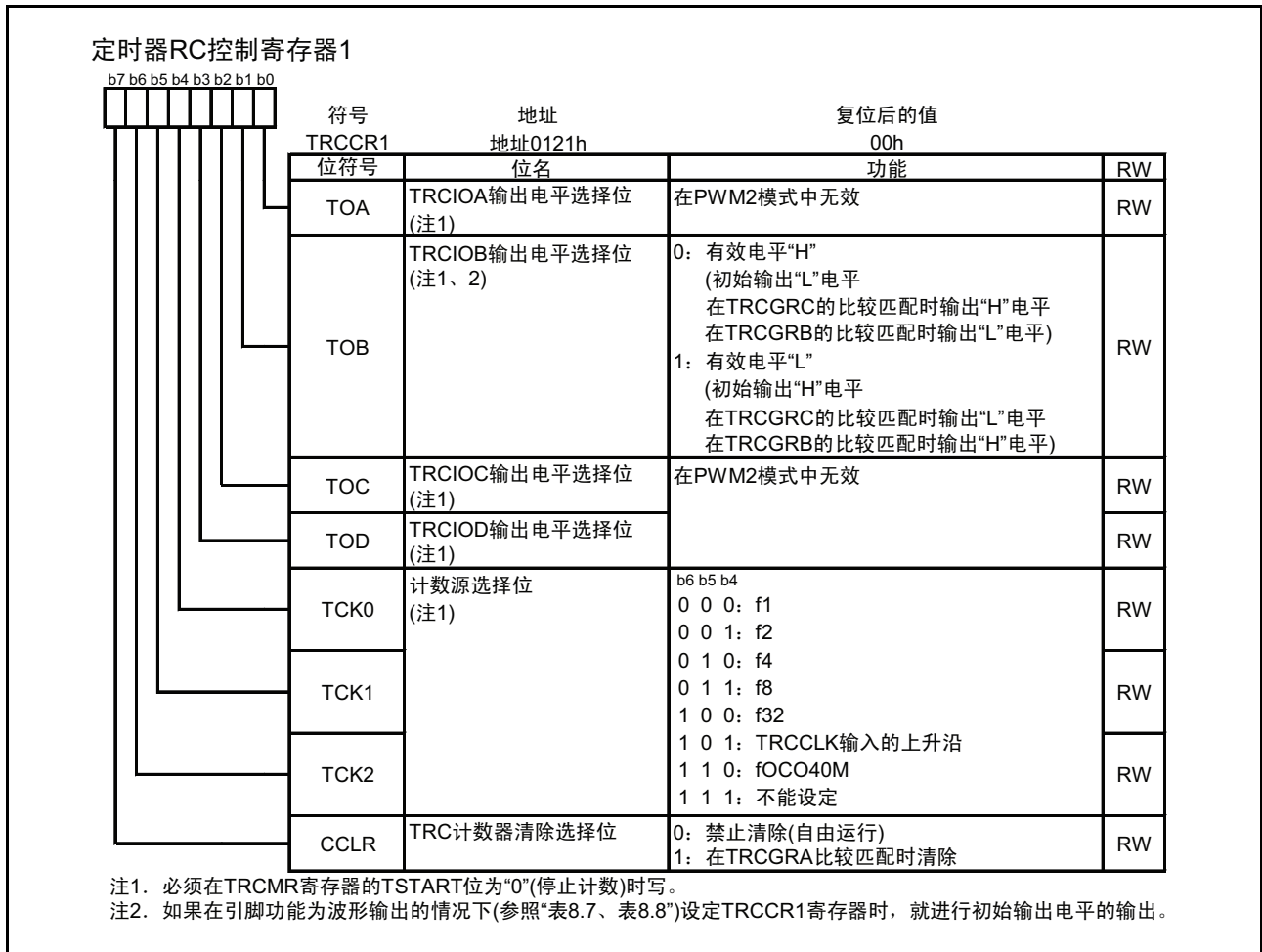


图 15.56 PWM2 模式时的 TRCCR1 寄存器

表 15.23 PWM2 模式时的 TRCGRj 寄存器的功能

寄存器	设定	寄存器的功能	PWM2 输出引脚
TRCGRA	—	通用寄存器。必须设定 PWM 周期。	TRCIOB 引脚
TRCGRB	—	通用寄存器。必须设定 PWM 输出的变化点。	
TRCGRC	BFC=0	通用寄存器。必须设定 PWM 输出的变化点 (从触发开始的等待时间)。	
TRCGRD	BFD=0	(在 PWM2 模式中不使用)	—
TRCGRD	BFD=1	缓冲寄存器。必须设定下一个 PWM 输出的变化点。 (请参照 “15.3.3.2 缓冲器运行”)	TRCIOB 引脚

j=A、B、C、D 中的任何一个

BFC、BFD: TRCMR 寄存器的位

注 1. 不能对 TRCGRB 寄存器和 TRCGRC 寄存器设定相同的值。

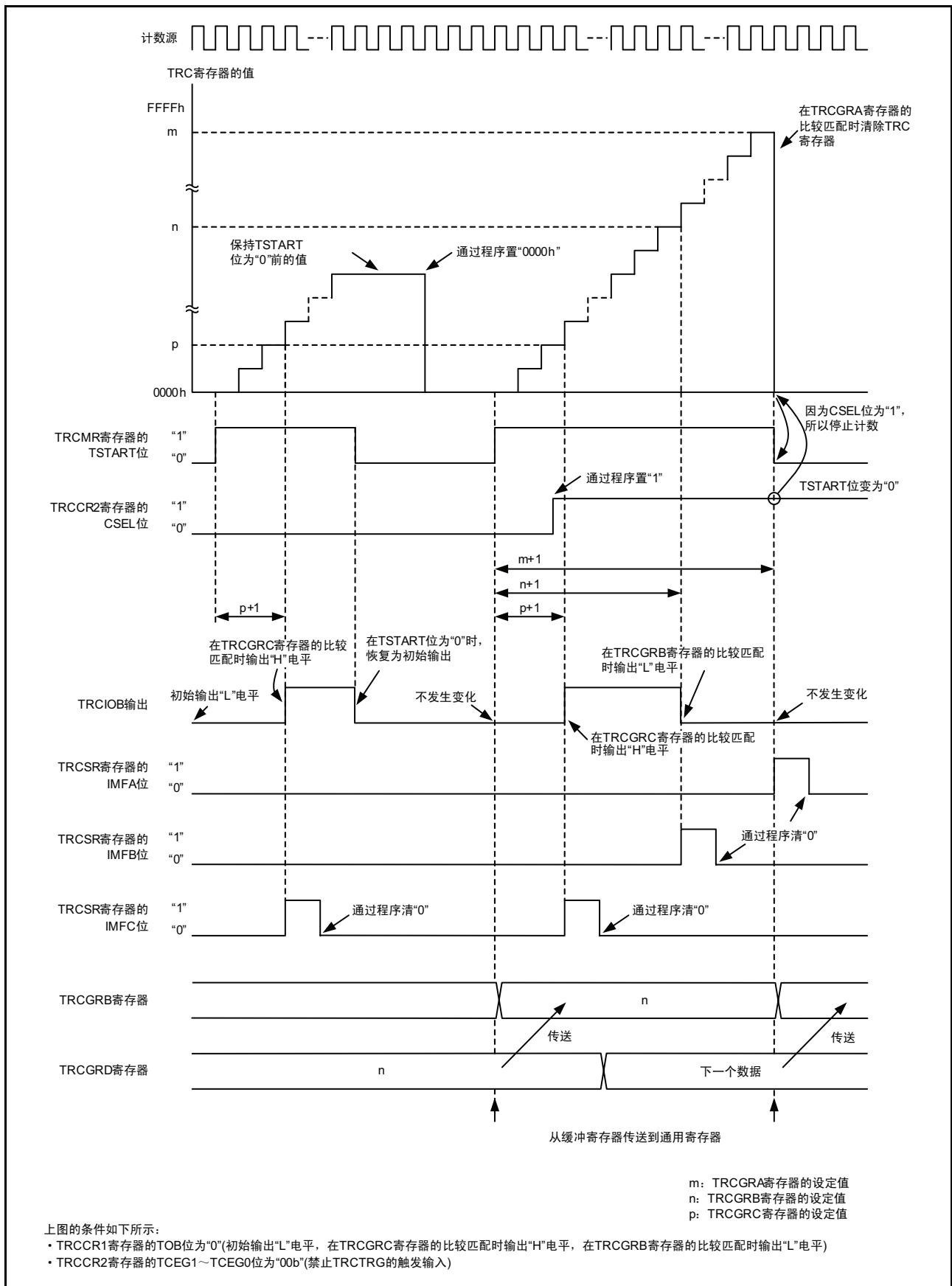


图 15.57 PWM2 模式的运行例（禁止 TRCTRГ 触发输入时）

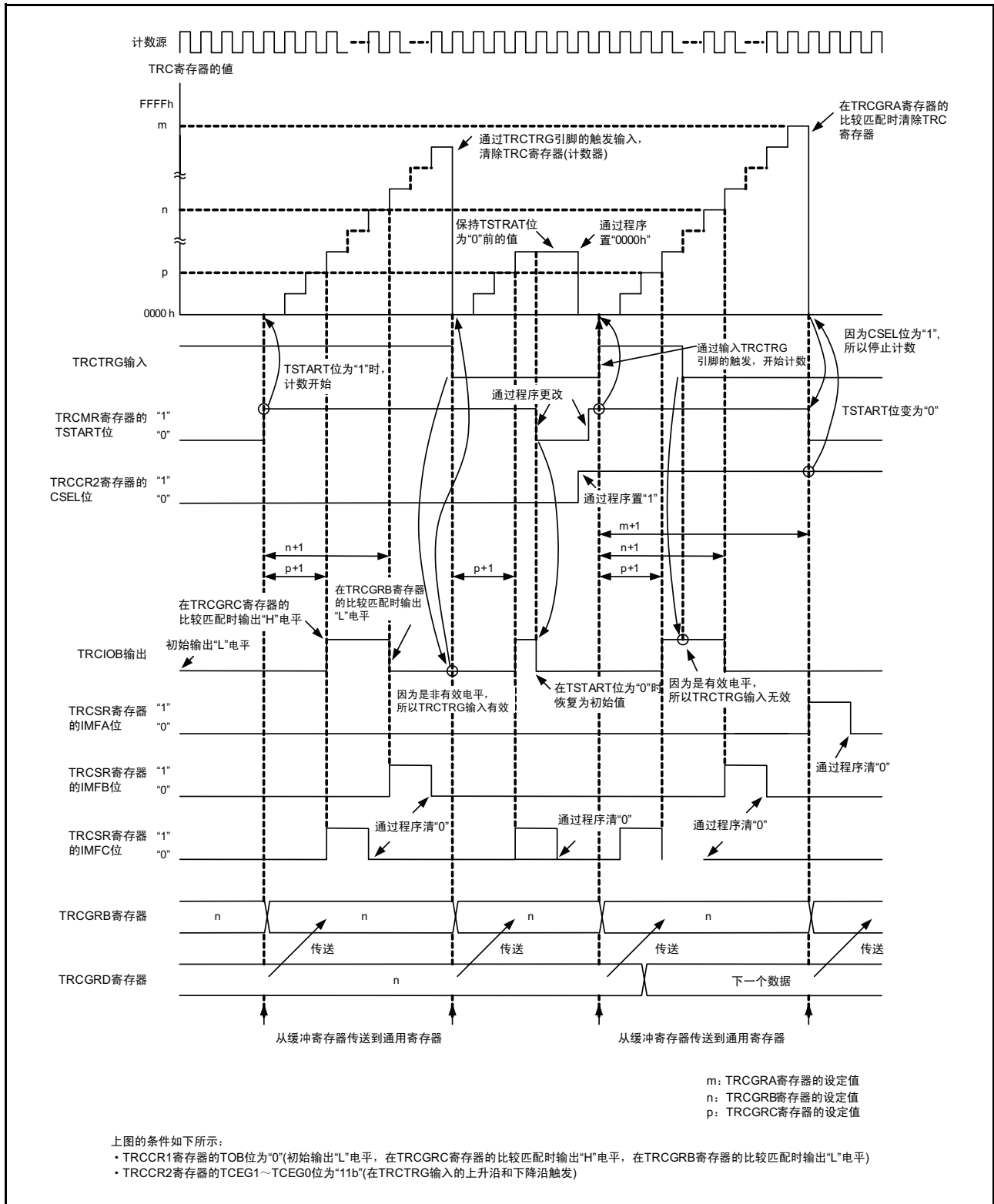


图 15.58 PWM2 模式的运行例（允许 TRCTRG 触发输入时）

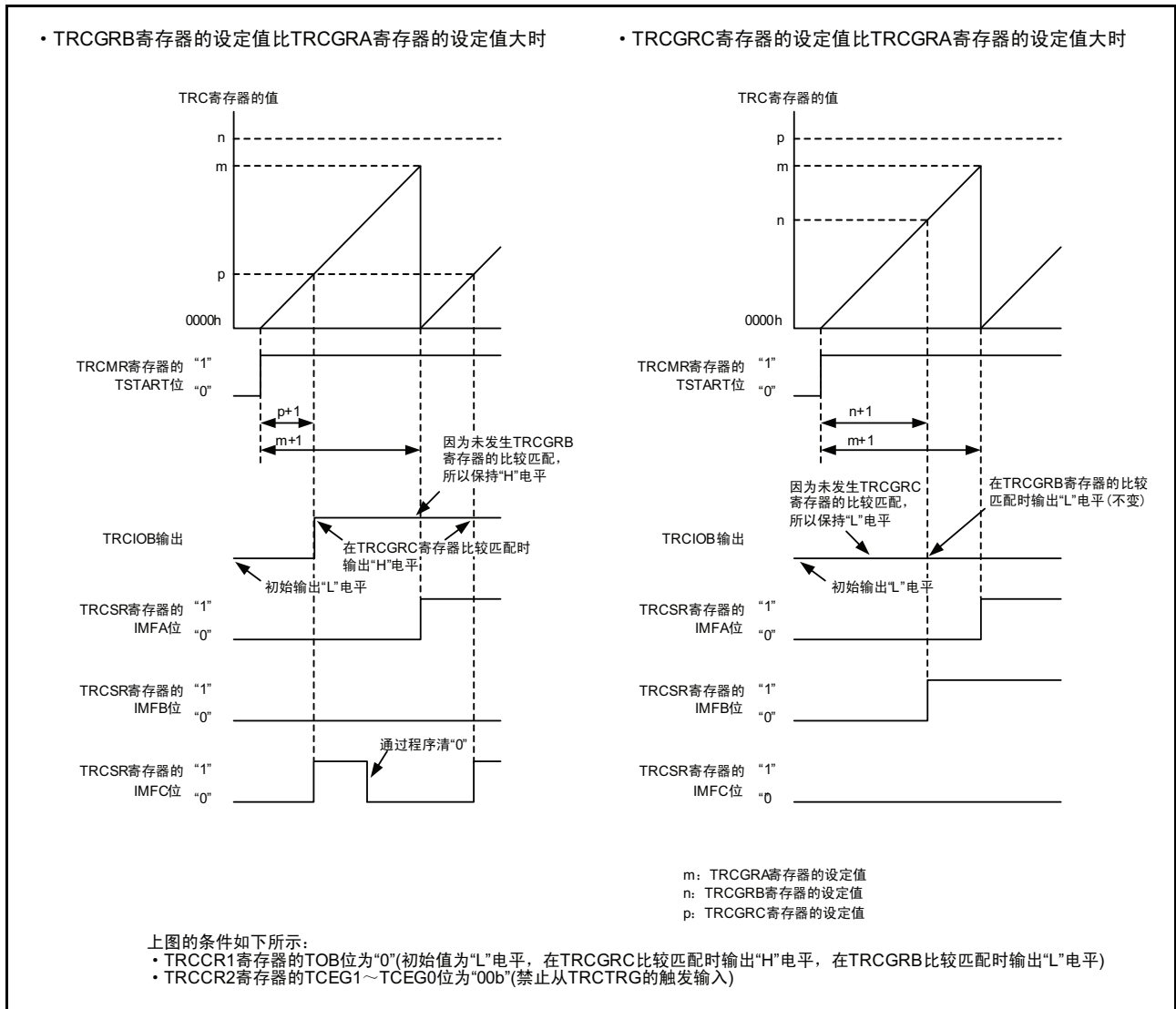


图 15.59 PWM2 模式的运行例 (占空比 0%、占空比 100%)

15.3.8 定时器 RC 中断

定时器 RC 从 5 个中断源产生定时器 RC 中断请求。定时器 RC 中断有 1 个 TRCIC 寄存器（IR 位、ILVL0 ~ ILVL2 位）和 1 个向量。

定时器 RC 中断的相关寄存器如表 15.24 所示，定时器 RC 中断的框图如图 15.60 所示。

表 15.24 定时器 RC 中断的相关寄存器

定时器 RC 状态寄存器	定时器 RC 中断允许寄存器	定时器 RC 中断控制寄存器
TRCSR	TRCIER	TRCIC

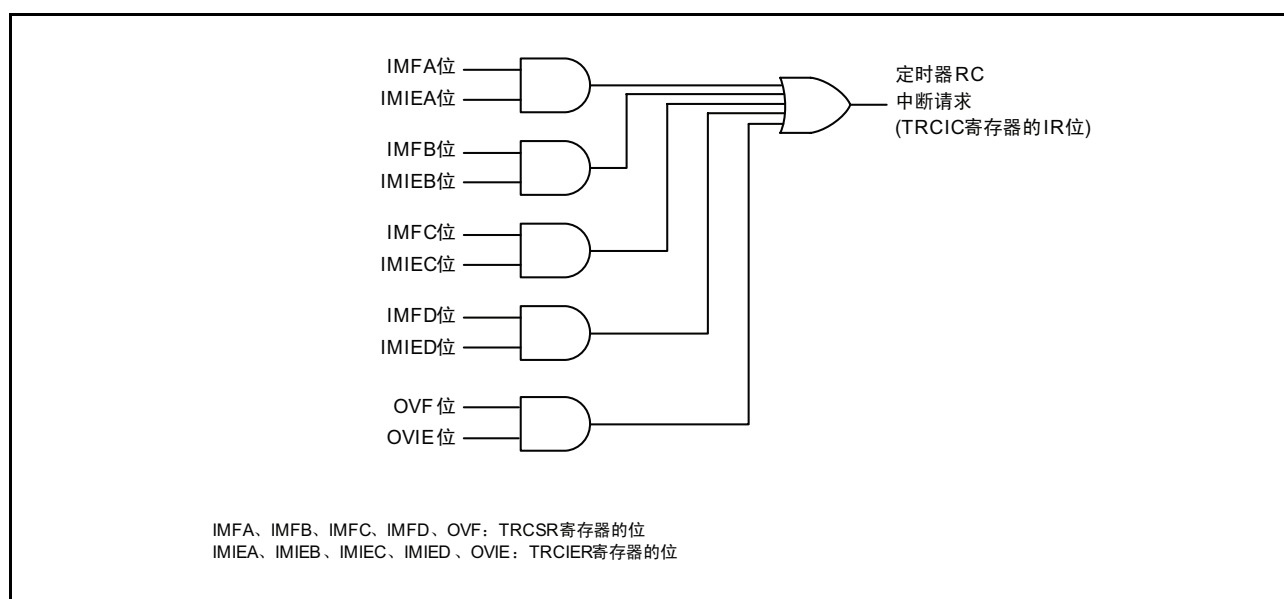


图 15.60 定时器 RC 中断的框图

定时器 RC 中断与其他可屏蔽中断相同，根据 I 标志、IR 位、ILVL0 ~ ILVL2 位和 IPL 之间的关系进行中断控制。但是，由于从多个中断请求源中产生一个中断源（定时器 RC 中断），所以和它的可屏蔽中断存在以下区别。

- 当 TRCSR 寄存器的位为“1”并且与其对应的 TRCIER 寄存器的位为“1”（允许中断）时，TRCIC 寄存器的 IR 位就变为“1”（有中断请求）。
- 如果 TRCSR 寄存器的位及其对应的 TRCIER 寄存器的位的其中一个为“0”或两个都为“0”，IR 位就变为“0”（无中断请求）。即，IR 位一旦变为“1”，即使不接受中断也不保持中断请求。
- 在 IR 位变为“1”后，即使发生其他的中断请求源，IR 位也不变而保持“1”。
- 如果 TRCIER 寄存器的多个位被置“1”，就必须通过 TRCSR 寄存器判断是哪个请求源产生的中断。
- 因为即使接受中断，TRCSR 寄存器的各个位也不会自动变为“0”，所以必须在中断程序内将其清“0”。清“0”的方法请参照“图 15.30 TRCSR 寄存器”。

TRCIER 寄存器请参照“图 15.29 TRCIER 寄存器”。

TRCIC 寄存器请参照“13.1.6 中断控制”，中断向量请参照“13.1.5.2 可变向量表”。

15.3.9 定时器 RC 使用时的注意事项

15.3.9.1 TRC 寄存器

- 将 TRCCR1 寄存器的 CCLR 位置“1”（在和 TRCGRA 寄存器比较匹配时清除 TRC 寄存器）时的注意事项如下：
在 TRCMR 寄存器的 TSTART 位为“1”（开始计数）的状态下，通过程序给 TRC 寄存器写值时，不能与 TRC 寄存器清“0000h”的时序重叠。
如果将 TRC 寄存器清“0000h”的时序与写 TRC 寄存器的时序重叠，就不写值而 TRC 寄存器变为“0000h”。
- 写 TRC 寄存器后，如果继续读 TRC 寄存器，就有可能读取写之前的值。此时，必须在写和读之间执行 JMP.B 指令。

```

程序例      MOV.W      #XXXXh, TRC          ; 写
              JMP.B      L1                  ; JMP.B 指令
              L1: MOV.W      TRC, DATA      ; 读
  
```

15.3.9.2 TRCSR 寄存器

写 TRCSR 寄存器后，如果继续读 TRCSR 寄存器，就有可能读取写之前的值。此时，必须在写和读之间执行 JMP.B 指令。

```

程序例      MOV.B      #XXh, TRCSR        ; 写
              JMP.B      L1                  ; JMP.B 指令
              L1: MOV.B      TRCSR, DATA   ; 读
  
```

15.3.9.3 切换计数源

- 必须在停止计数后切换计数源。
更改步骤
 - 将 TRCMR 寄存器的 TSTART 位清“0”（停止计数）
 - 更改 TRCCR1 寄存器的 TCK2 ~ TCK0 位
- 在将计数源从 fOCO40M 变为其他时钟并停止 fOCO40M 时，必须在设定切换时钟后等待 2 个或 2 个以上的 f1 周期，然后停止 fOCO40M。
更改步骤
 - 将 TRCMR 寄存器的 TSTART 位清“0”（停止计数）
 - 更改 TRCCR1 寄存器的 TCK2 ~ TCK0 位
 - 等待 2 个或 2 个以上的 f1 周期
 - 将 FRA0 寄存器的 FRA00 位清“0”（高速内部振荡器停止）

15.3.9.4 输入捕捉功能

- 必须将输入捕捉信号的脉宽设定为 3 个或 3 个以上的定时器 RC 的运行时钟周期（请参照“表 15.11 定时器 RC 的运行时钟”）。
- 在给 TRCIOj（j=A、B、C、D 中的任何一个）引脚输入了输入捕捉信号后，需要等待 1 ~ 2 个定时器 RC 的运行时钟周期，然后将 TRC 寄存器的值传送到 TRCGRj 寄存器（无数字滤波器时）。

15.3.9.5 PWM2 模式时的 TRCMR 寄存器

- 当 TRCCR2 寄存器的 CSEL 位为“1”（在和 TRCGRA 寄存器比较匹配时停止计数）时，就不能在 TRC 寄存器与 TRCGRA 寄存器产生比较匹配时写 TRCMR 寄存器。

15.4 定时器 RE

定时器 RE 是有 4 位计数器和 8 位计数器的定时器。

定时器 RE 有以下 2 种模式。

- 实时时钟模式 从 fC4 产生 1s，对秒、分、时、星期进行计数
- 输出比较模式 对计数源进行计数，检测比较匹配
(在 J、K 版时，只能使用输出比较模式)

定时器 RE 的计数源是定时器运行的运行时钟。

15.4.1 实时时钟模式（只限于 N、D 版）

该模式是使用 2 分频器、4 位计数器、8 位计数器从 fC4 产生 1s，并且以它为基础对秒、分、时、星期进行计数的模式。实时时钟模式的框图如图 15.61 所示，实时时钟模式的规格如表 15.25 所示，实时时钟模式的相关寄存器如图 15.62 ~ 图 15.66、图 15.68 和图 15.69 所示，中断源如表 15.26 所示，时间的表现定义如图 15.67 所示，实时时钟模式的运行例如图 15.70 所示。

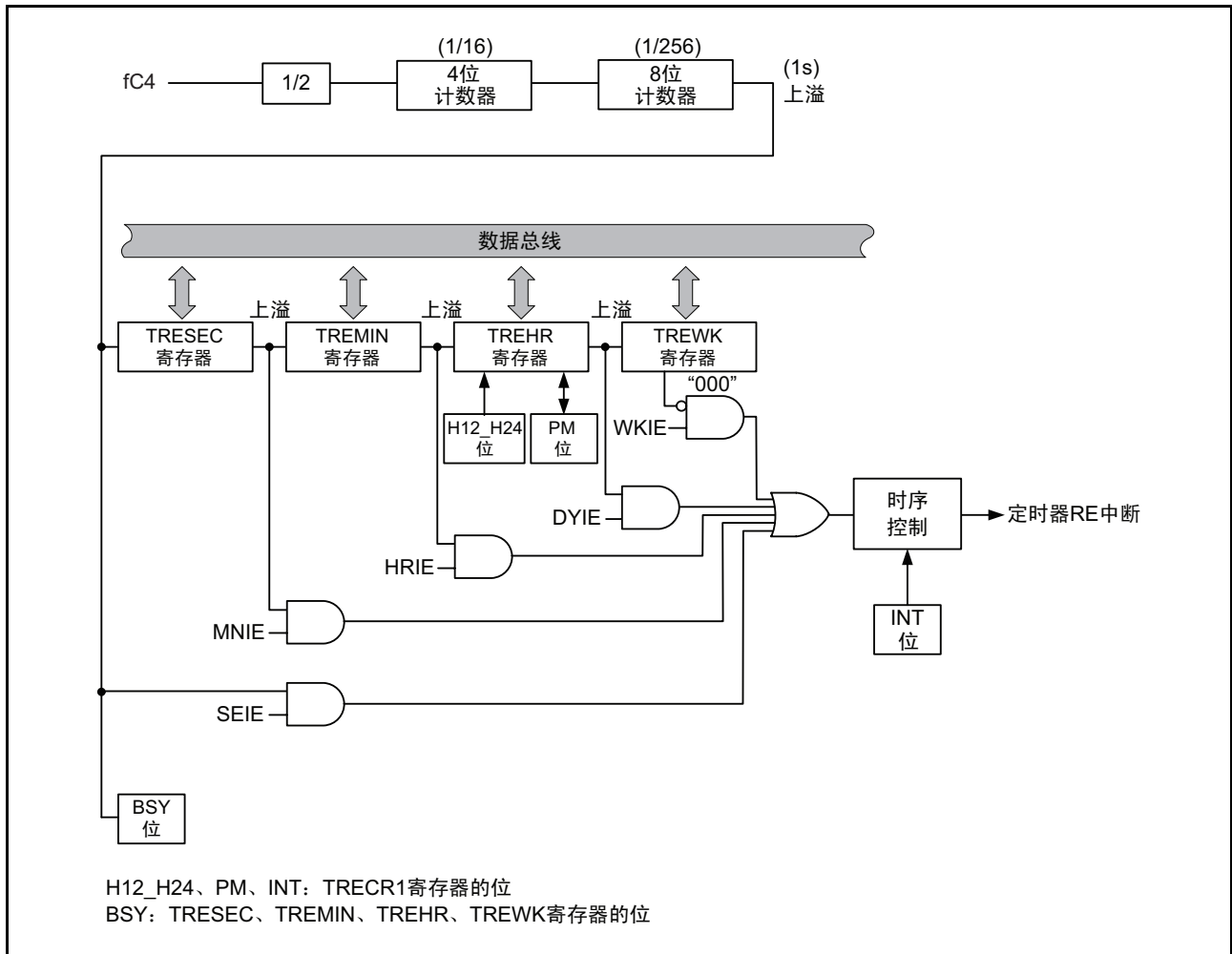


图 15.61 实时时钟模式的框图

表 15.25 实时时钟模式的规格

项目	规格
计数源	fC4
计数运行	递增计数
计数开始条件	给 TREC1 寄存器的 TSTART 位写“1”（开始计数）
计数停止条件	给 TREC1 寄存器的 TSTART 位写“0”（停止计数）
中断请求产生时序	选择以下的任何一个 <ul style="list-style-type: none"> 更新秒数据 更新分数据 更新时数据 更新星期数据 星期数据变成“000b”（星期日）时
读定时器	如果读 TRESEC、TREMINT、TREHR、TREWK 寄存器，就能读取计数值。 TRESEC、TREMINT、TREHR 寄存器的值是 BCD 码。
写定时器	在 TREC1 寄存器的 TSTART 位和 TCSTF 位都是“0”（定时器停止）时，能写 TRESEC、TREMINT、TREHR、TREWK 寄存器。TRESEC、TREMINT、TREHR 寄存器的写入值为 BCD 码。
选择功能	<ul style="list-style-type: none"> 12 小时模式 /24 小时模式的切换功能

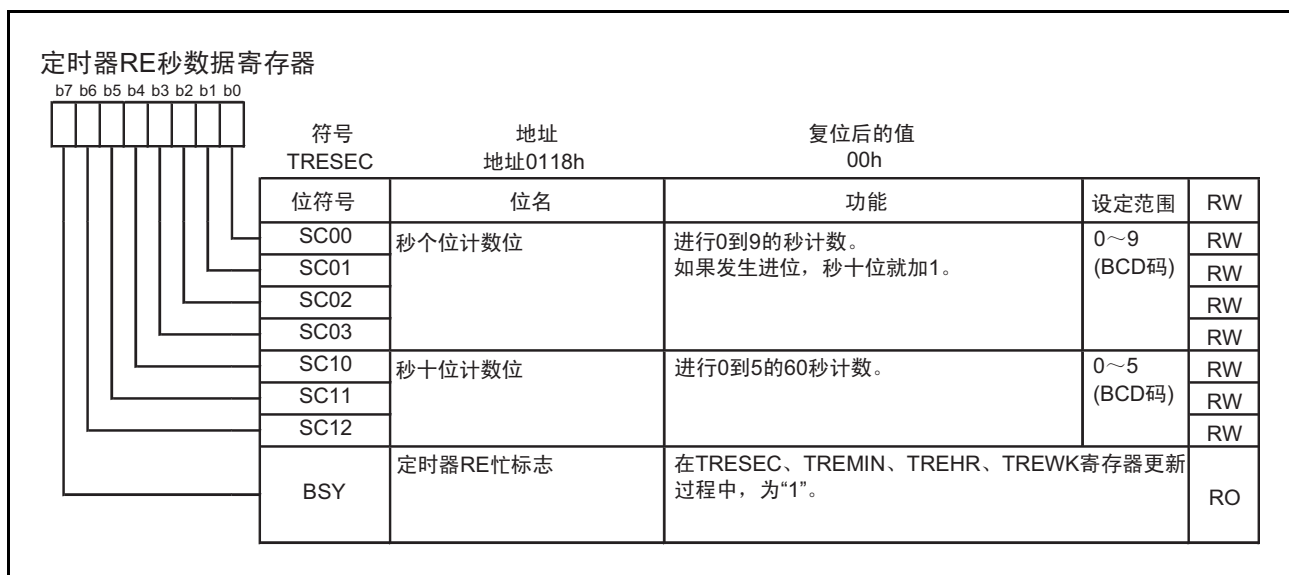


图 15.62 实时时钟模式时的 TRESEC 寄存器

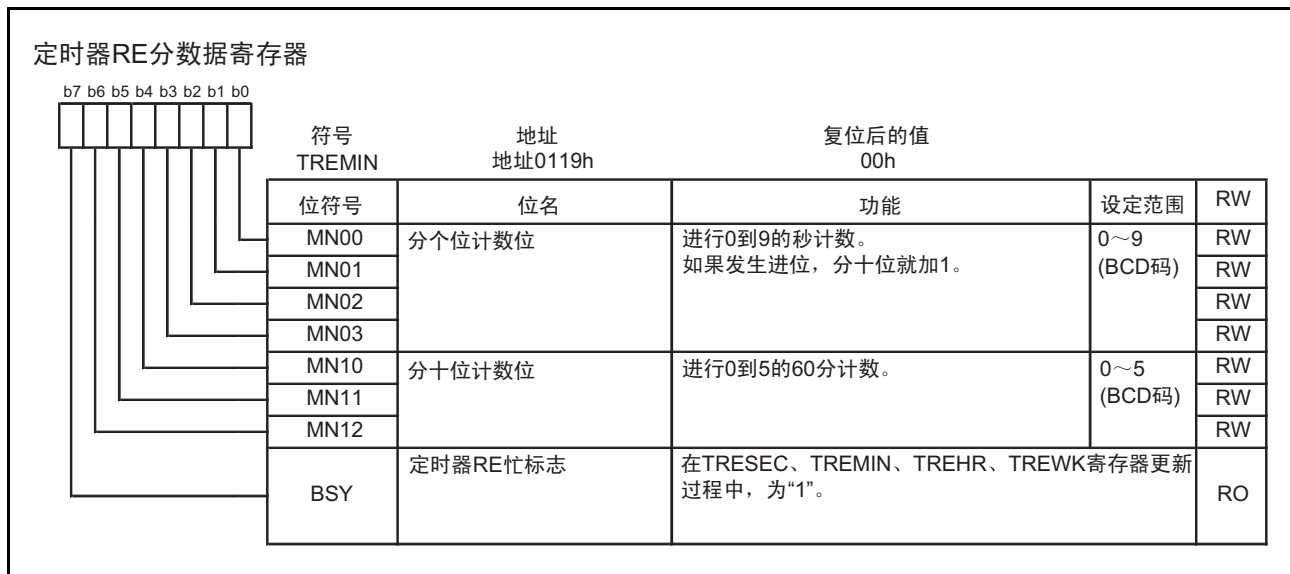


图 15.63 实时时钟模式时的 TREMIN 寄存器

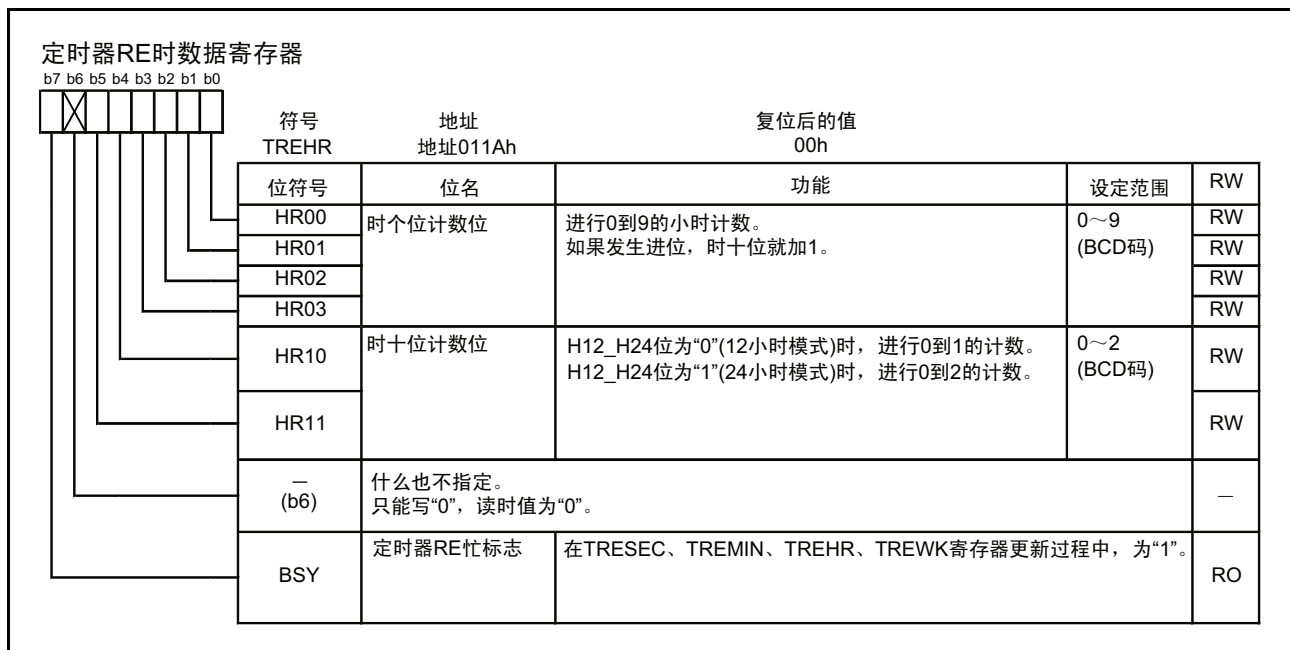


图 15.64 实时时钟模式时的 TREHR 寄存器

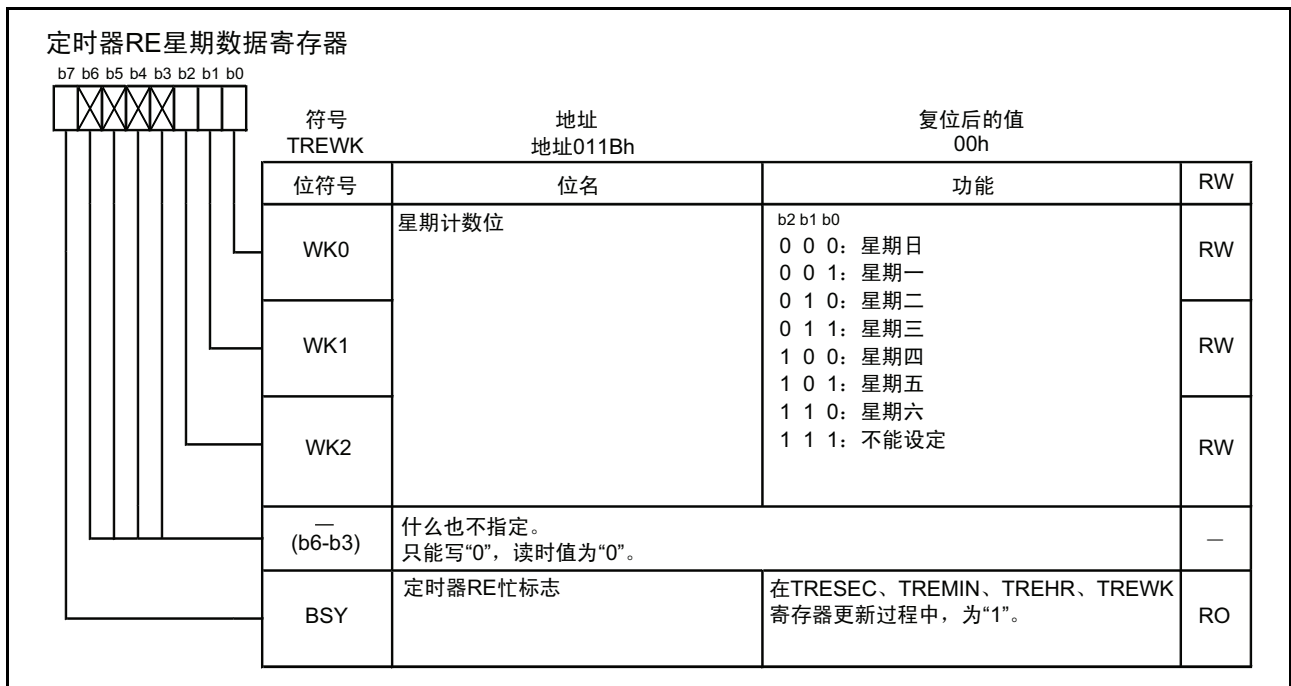


图 15.65 实时时钟模式时的 TREWK 寄存器

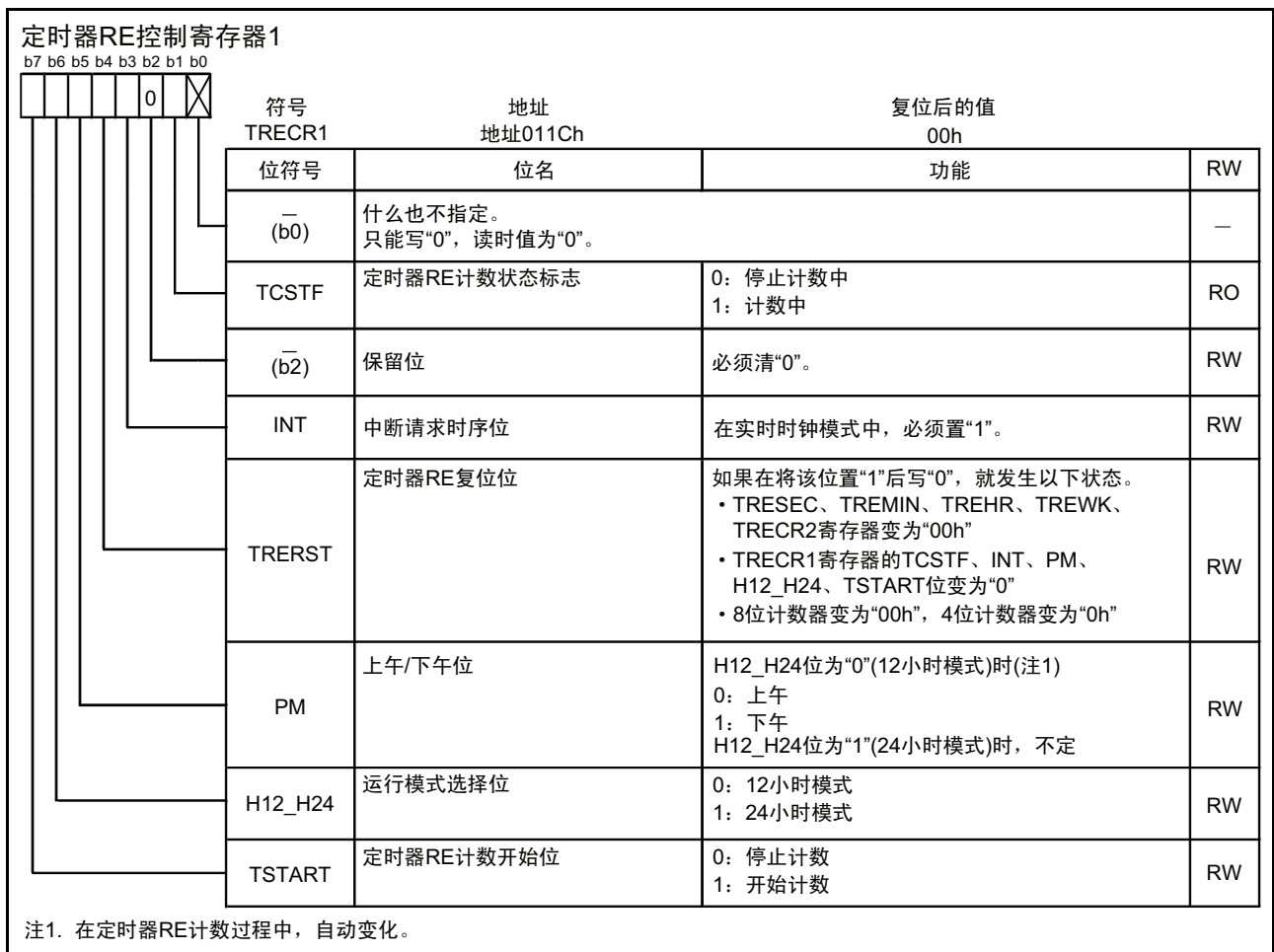


图 15.66 实时时钟模式时的 TRECR1 寄存器

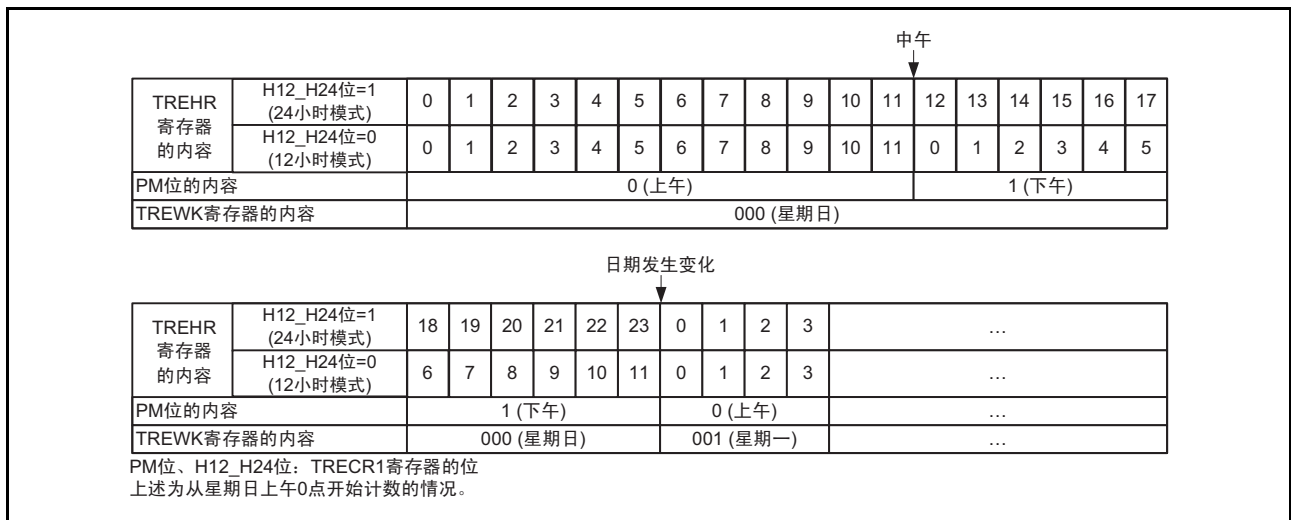


图 15.67 时间的表现定义

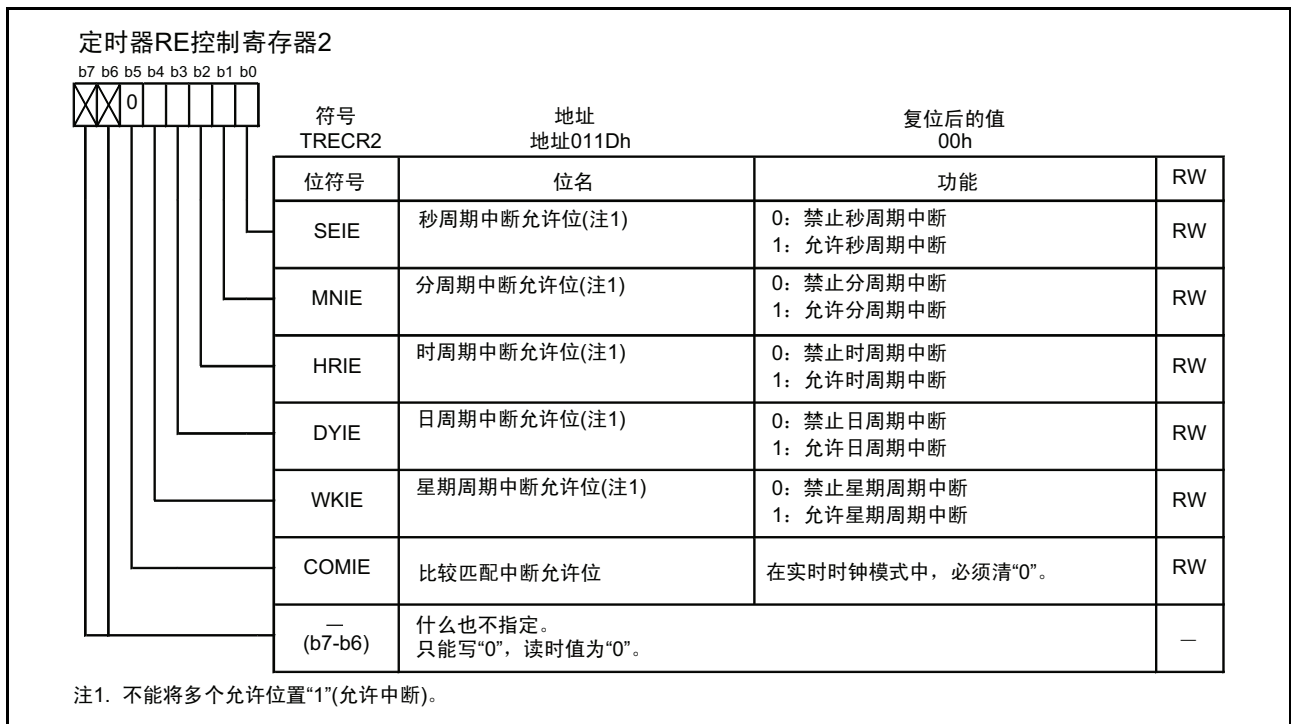


图 15.68 实时时钟模式时的 TRECR2 寄存器

表 15.26 中断源

中断源名	中断源	中断允许位
星期周期中断	TREWK 寄存器的值为 “000b” (星期日) (1 星期周期)	WKIE
日周期中断	更新 TREWK 寄存器 (1 日周期)	DYIE
时周期中断	更新 TREHR 寄存器 (1 小时周期)	HRIE
分周期中断	更新 TREMIN 寄存器 (1 分周期)	MNIE
秒周期中断	更新 TRESEC 寄存器 (1 秒周期)	SEIE

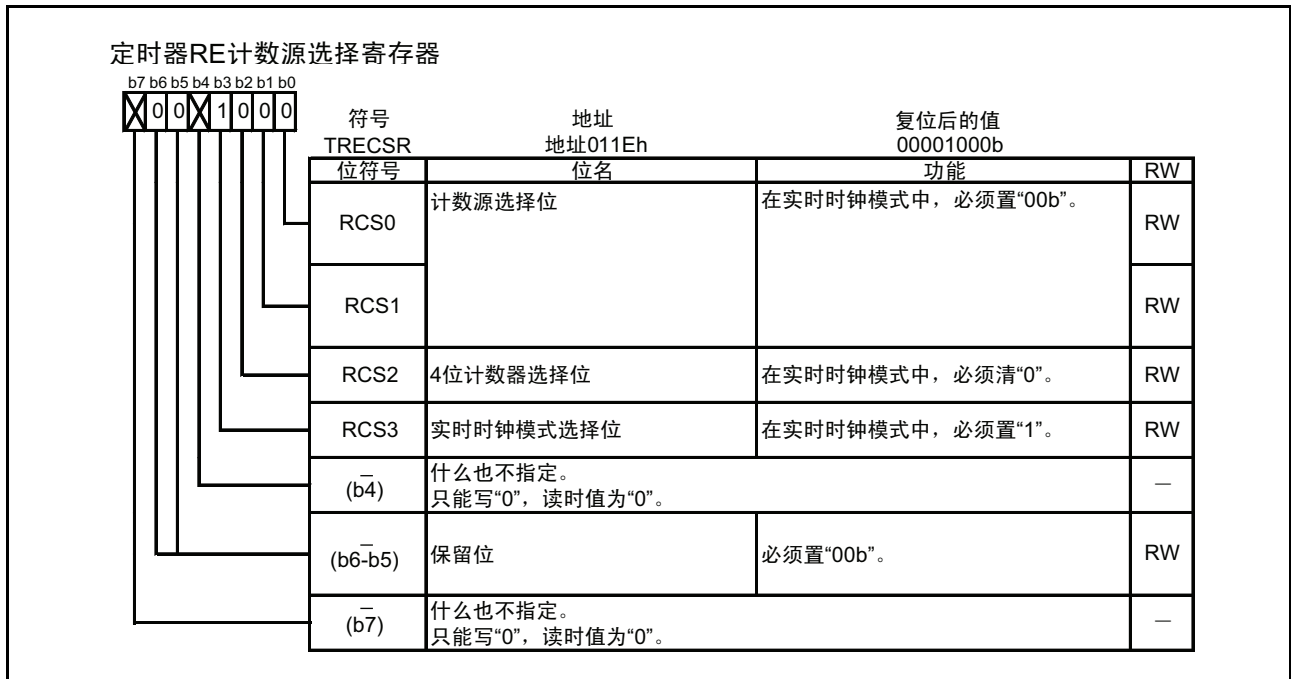


图 15.69 实时时钟模式的 TRECSR 寄存器

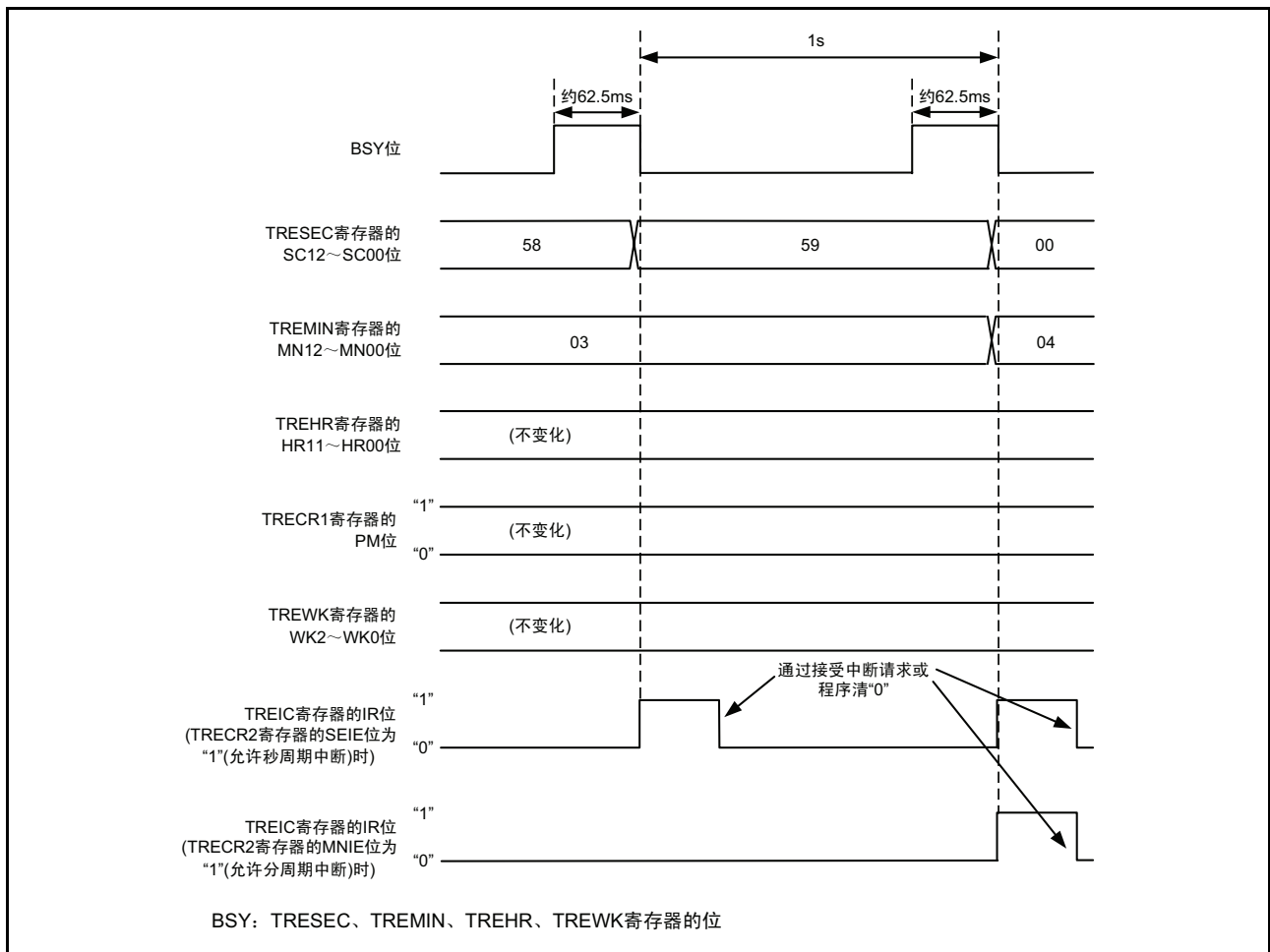


图 15.70 实时时钟模式的运行例

15.4.2 输出比较模式

该模式使用 4 位计数器和 8 位计数器对计数源 2 分频后的时钟进行计数，并检测 8 位计数器是否与比较值相同。输出比较模式的框图如图 15.71 所示，输出比较模式的规格如表 15.27 所示，输出比较模式的相关寄存器如图 15.72 ~ 图 15.76 所示，输出比较模式的运行例如图 15.77 所示。

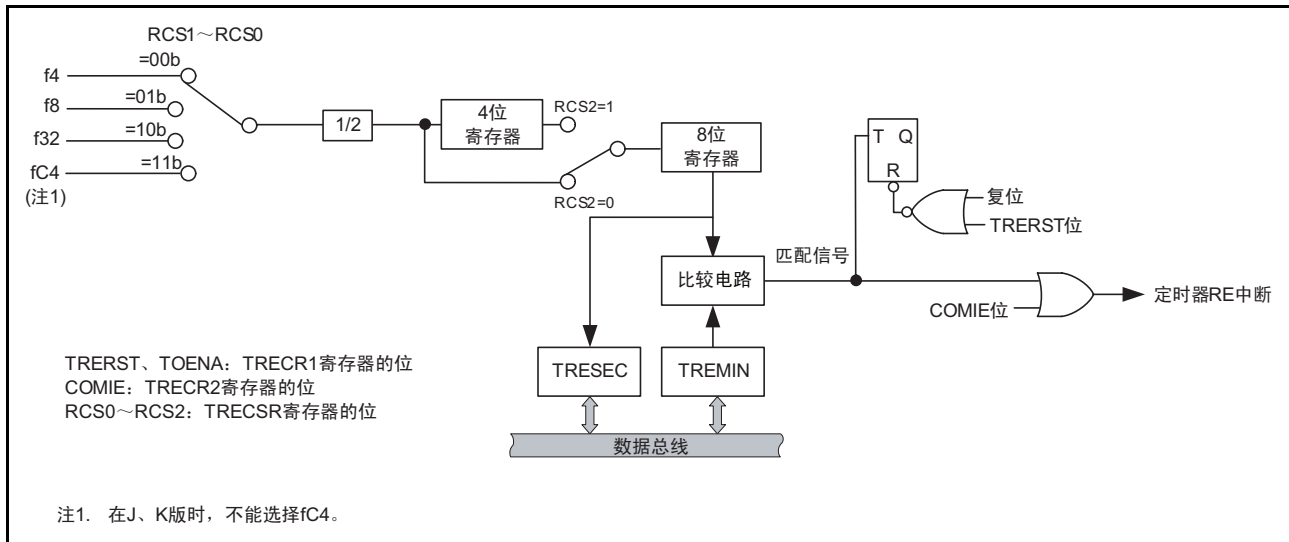


图 15.71 输出比较模式的框图

表 15.27 输出比较模式的规格

项目	规格
计数源	f4、f8、f32、fC4（注1）
计数运行	<ul style="list-style-type: none"> • 递增计数 • 如果 8 位计数器的值与 TREMIN 寄存器的内容相同时，其值就恢复为“00h”，并且继续计数。计数停止时保持计数值。
计数周期	<ul style="list-style-type: none"> • RCS2=0（不使用 4 位计数器）时 $1/f_i \times 2 \times (n+1)$ • RCS2=1（使用 4 位计数器）时 $1/f_i \times 32 \times (n+1)$ f _i : 计数源的频率 n: TREMIN 寄存器的设定值
计数开始条件	将 TRECR1 寄存器的 TSTART 位置“1”（开始计数）
计数停止条件	将 TRECR1 寄存器的 TSTART 位清“0”（停止计数）
中断请求产生时序	8 位计数器的内容和 TREMIN 寄存器的内容相同时
读定时器	如果读 TRESEC 寄存器，就能读取 8 位计数器的值。 如果读 TREMIN 寄存器，就能读取比较值。
写定时器	不能写 TRESEC 寄存器 在 TRECR1 寄存器的 TSTART 位和 TCSTF 位都为“0”（定时器停止）时，能写 TREMIN 寄存器
功能选择	<ul style="list-style-type: none"> • 选择使用 4 位计数器

注1. 在 J、K 版时，不能选择 fC4。

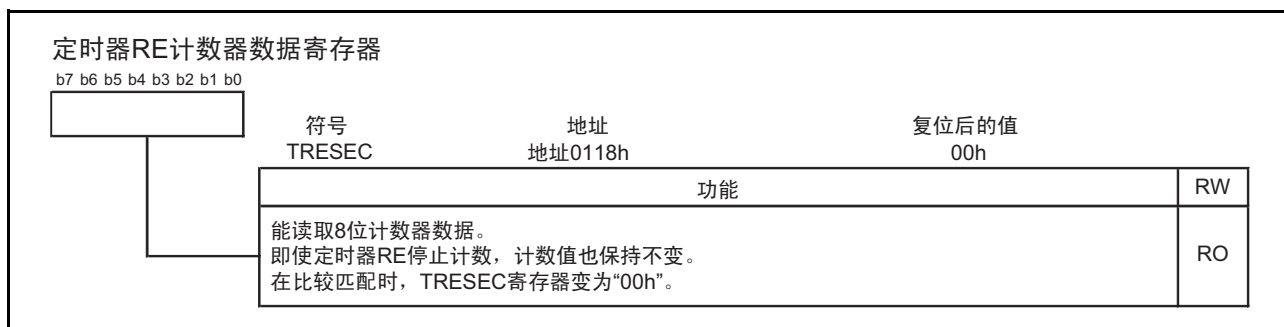


图 15.72 输出比较模式时的 TRESEC 寄存器



图 15.73 输出比较模式时的 TREMIN 寄存器

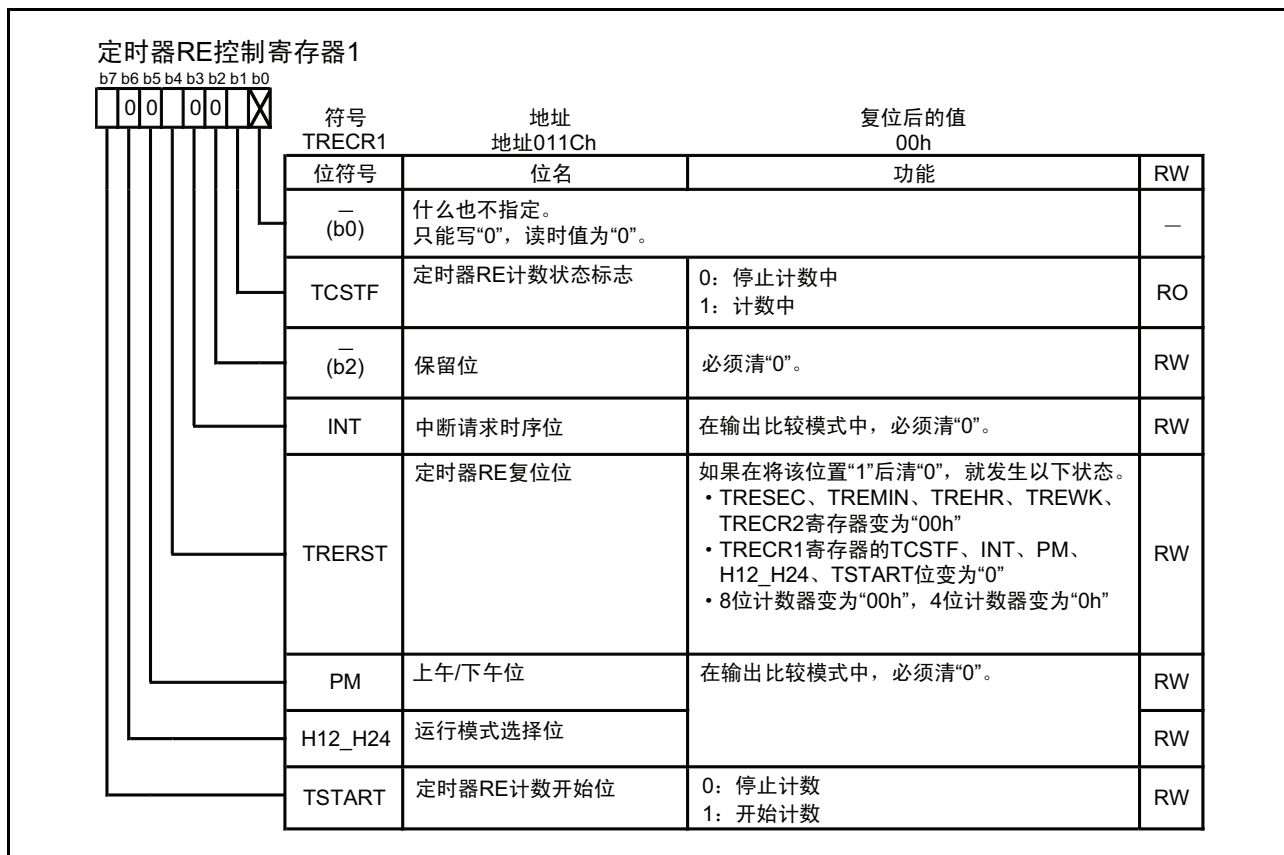


图 15.74 输出比较模式时的 TRECR1 寄存器

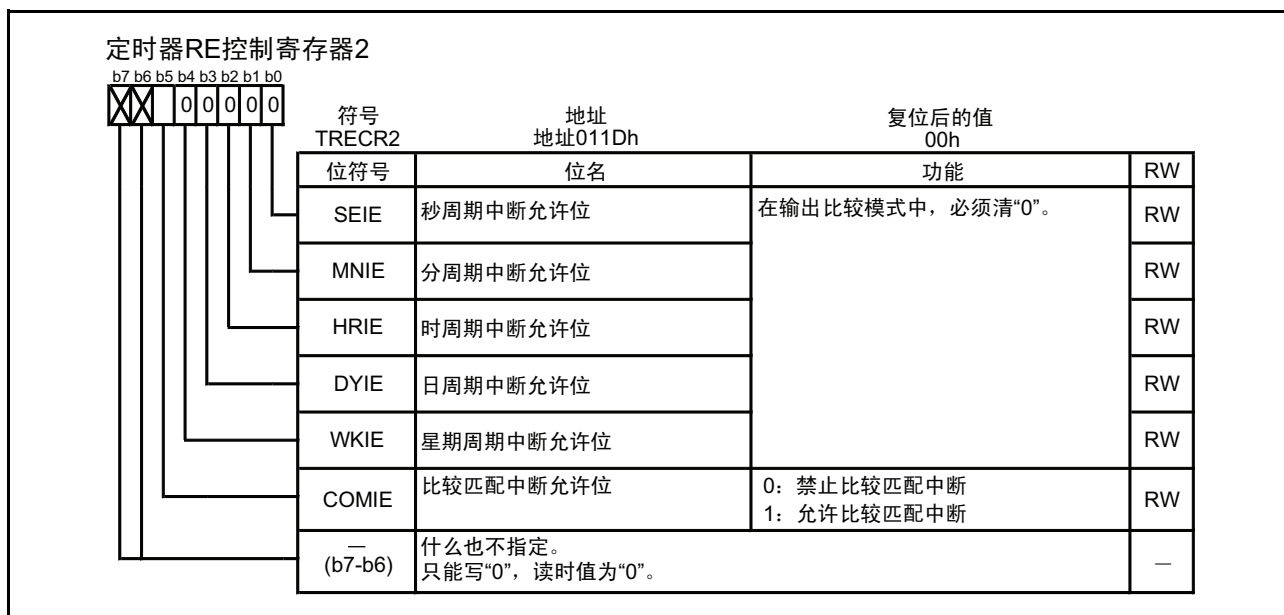


图 15.75 输出比较模式时的 TRECR2 寄存器

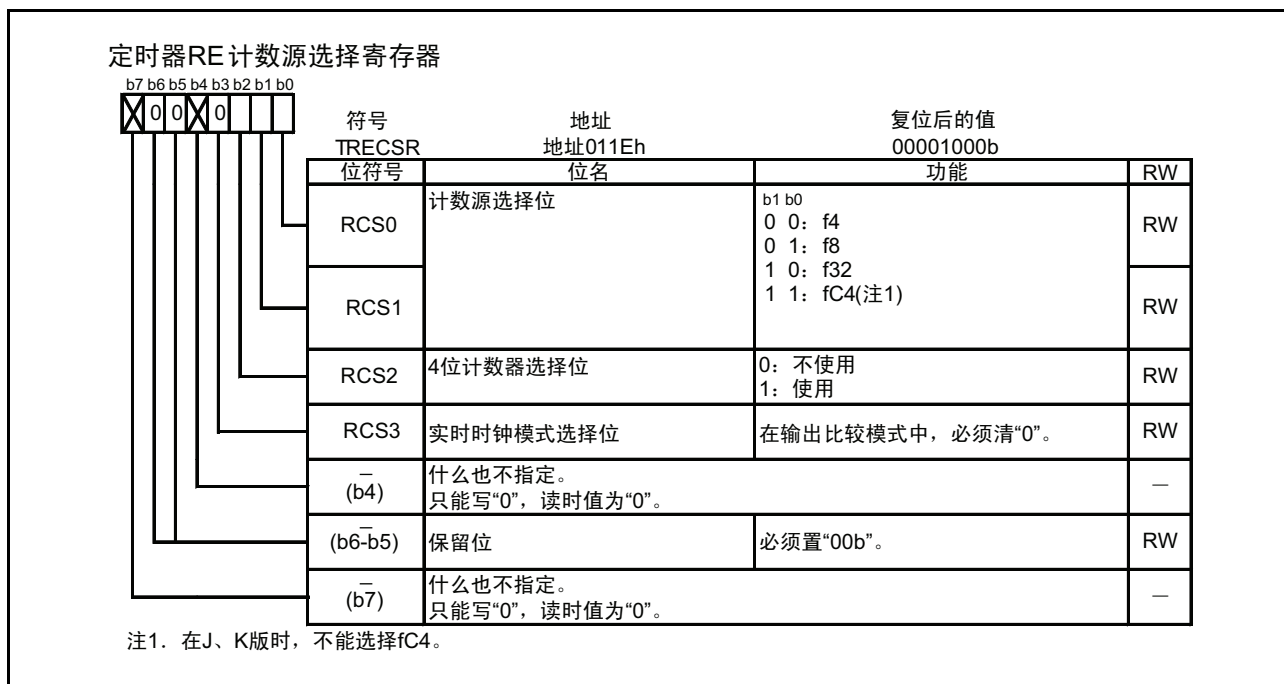


图 15.76 输出比较模式时的 TRECSR 寄存器

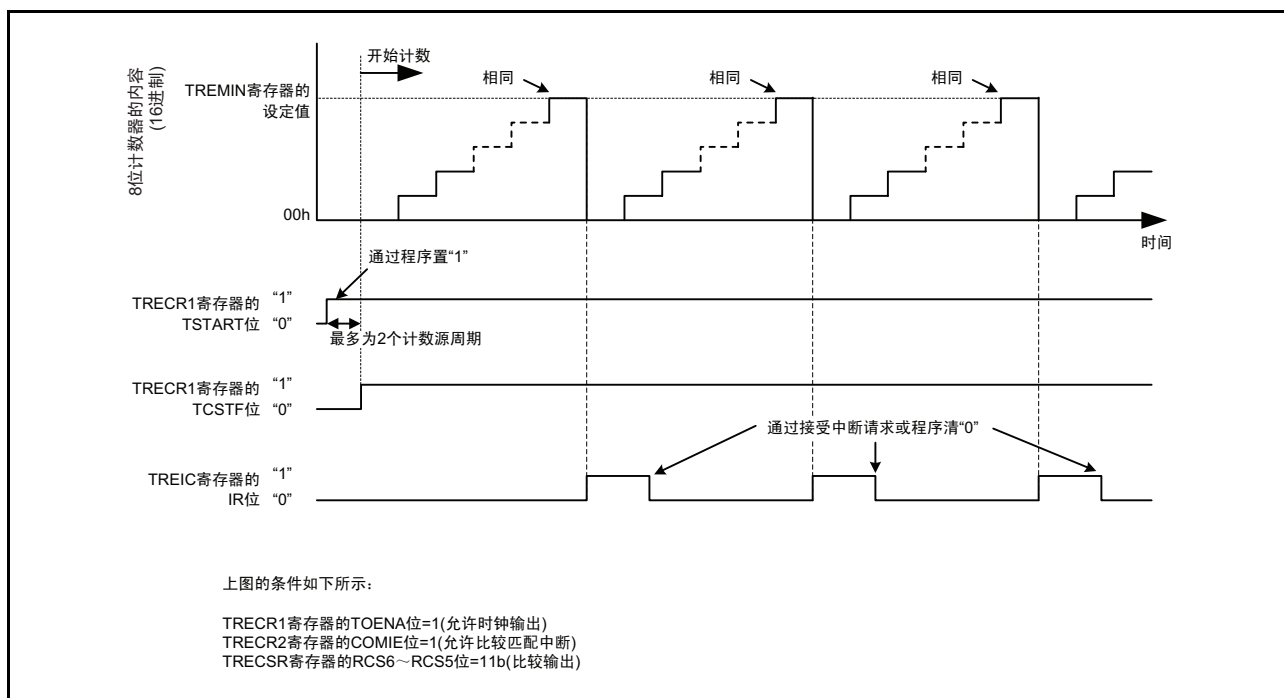


图 15.77 输出比较模式的运行例

15.4.3 定时器 RE 使用时的注意事项

15.4.3.1 开始计数、停止计数

在定时器 RE 中有指示开始或停止计数的 TSTART 位和表示开始或停止计数的 TCSTF 位。TSTART 位和 TCSTF 位都在寄存器 TRECR1 中。

如果将 TSTART 位置“1”（开始计数），定时器 RE 就开始计数，并且 TCSTF 位变为“1”（开始计数）。从将 TSTART 位置“1”到 TCSTF 位变为“1”，最多需要 2 个计数源周期。在此期间，不能存取 TCSTF 位以外的与定时器 RE 相关的寄存器（注）。

同样，如果将 TSTART 位清“0”（停止计数），定时器 RE 就停止计数，并且 TCSTF 位变为“0”（停止计数）。从将 TSTART 位清“0”到 TCSTF 位变为“0”，最多需要 2 个计数源周期。在此期间，不能存取 TCSTF 位以外的与定时器 RE 相关的寄存器。

【注】 与定时器 RE 相关的寄存器：TRESEC、TREMIn、TREHR、TREWk、TRECRL1、TRECRL2、TRECRLS

15.4.3.2 寄存器的设定

以下的寄存器或位的写操作必须在定时器 RE 停止计数时进行。

- TRESEC、TREMIn、TREHR、TREWk、TRECRL2 寄存器
- TRECRL1 寄存器的 H12_H24 位、PM 位、INT 位
- TRECRLS 寄存器的 RCS0 ~ RCS3 位

定时器 RE 停止计数是指 TRECRL1 寄存器的 TSTART 位和 TCSTF 位都为“0”（定时器 RE 停止计数）的状态。

另外，必须在设定上述寄存器和位的最后（在定时器 RE 开始计数之前）设定 TRECRL2 寄存器。实时时钟模式时的设定例如图 15.78 所示。

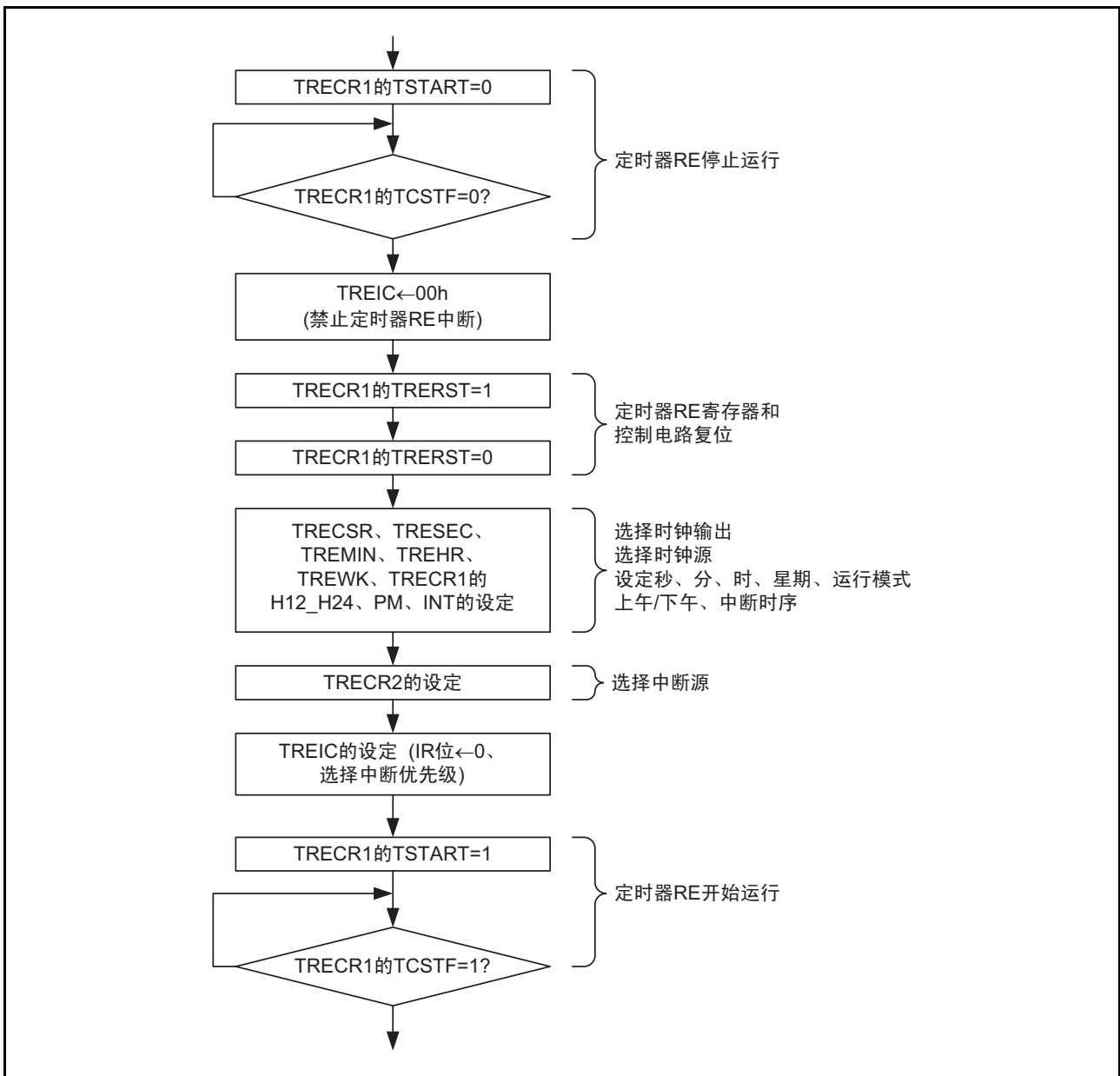


图 15.78 实时时钟模式时的设定例

15.4.3.3 实时时钟模式的时间读取步骤

在实时时钟模式中，必须在时间数据更新时并且 BSY 位为“0”（数据非更新状态）时读取 TRESEC、TREMINT、TREHR、TREWK 寄存器和 TRECRI 寄存器的 PM 位。

另外，在读多个寄存器时，如果在读某个寄存器后读其他寄存器前数据被更新，就会读取错误的数。为了避免这种情况的读取步骤的例如下所示：

- 使用中断的方法
在定时器 RE 的中断程序中，从 TRESEC、TREMINT、TREHR、TREWK 寄存器和 TRECRI 寄存器的 PM 位中读取需要的内容。
 - 用程序监视的方法 1
用程序监视 TREIC 寄存器的 IR 位，当该位为“1”（产生定时器 RE 中断请求）时，从 TRESEC、TREMINT、TREHR、TREWK 寄存器和 TRECRI 寄存器的 PM 位中需要的内容。
 - 用程序监视的方法 2
 - (1) 监视 BSY 位。
 - (2) 在 BSY 位变为“1”后，监视它变为“0”（BYS 为“1”的时间约为 62.5ms）。
 - (3) 在 BSY 位变为“0”后，从 TRESEC、TREMINT、TREHR、TREWK 寄存器和 TRECRI 寄存器的 PM 位中需要的内容。
 - 两次读取结果相同时的采用方法
 - (1) 从 TRESEC、TREMINT、TREHR、TREWK 寄存器和 TRECRI 寄存器的 PM 位中读取需要的内容。
 - (2) 读取与 (1) 相同的寄存器，比较内容。
 - (3) 如果相同就作为正确值采用。否则反复读取，直到读取值与前一次的值相同为止。
- 另外，在读多个寄存器时，尽量连续读取。

16. 串行接口

串行接口由 UART0 和 UART1 二个通道构成。UART0 和 UART1 分别具有产生传送时钟的专用定时器，并独立运行。

UART_i (i=0 ~ 1) 的框图如图 16.1 所示，发送和接收部的框图如图 16.2 所示。

UART0 有时钟同步串行 I/O 模式和时钟异步串行 I/O 模式（UART 模式）共 2 种模式。

UART1 只有时钟异步串行 I/O 模式（UART 模式）。

有关 UART_i 的相关寄存器如图 16.3 ~ 图 16.7 所示。

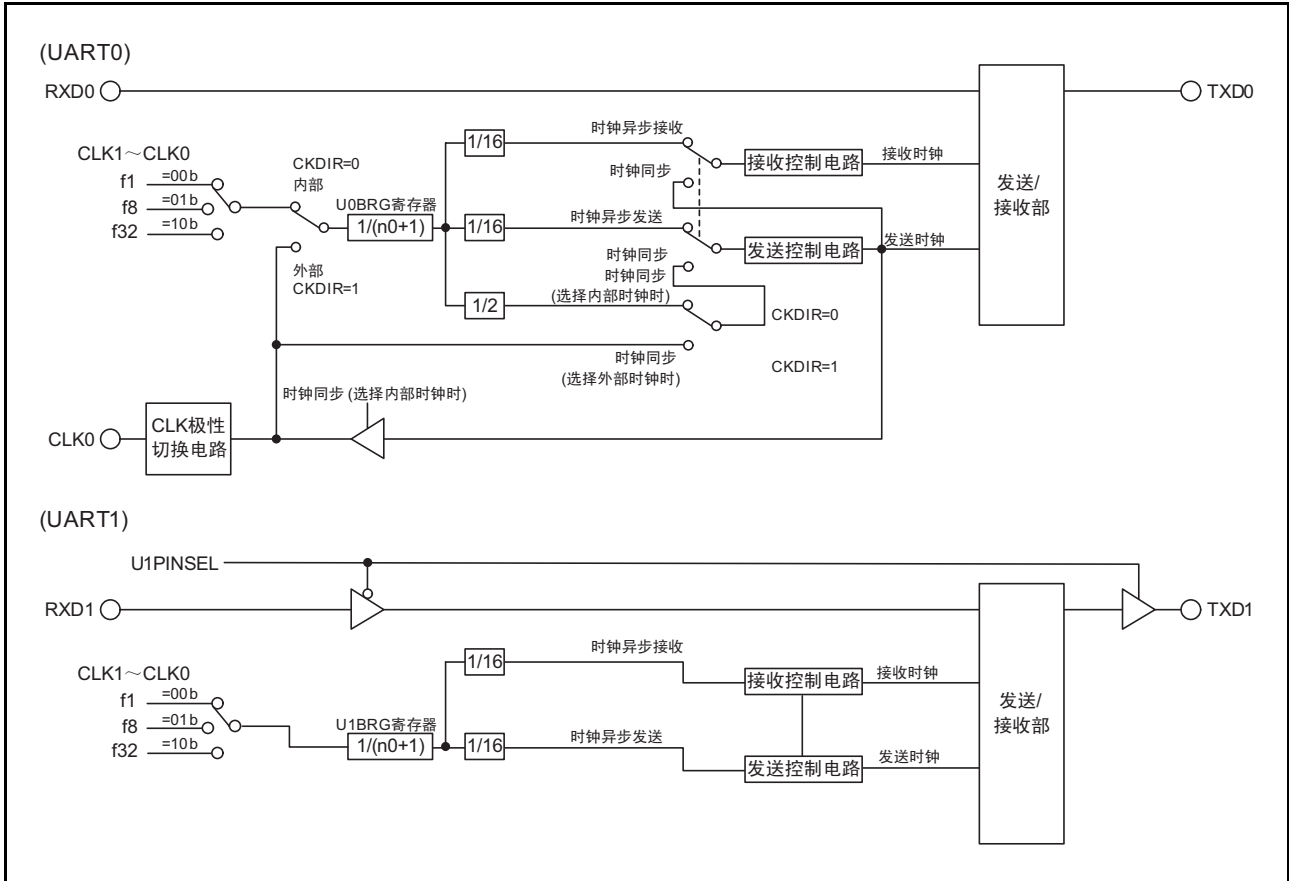


图 16.1 UART_i (i=0 ~ 1) 的框图

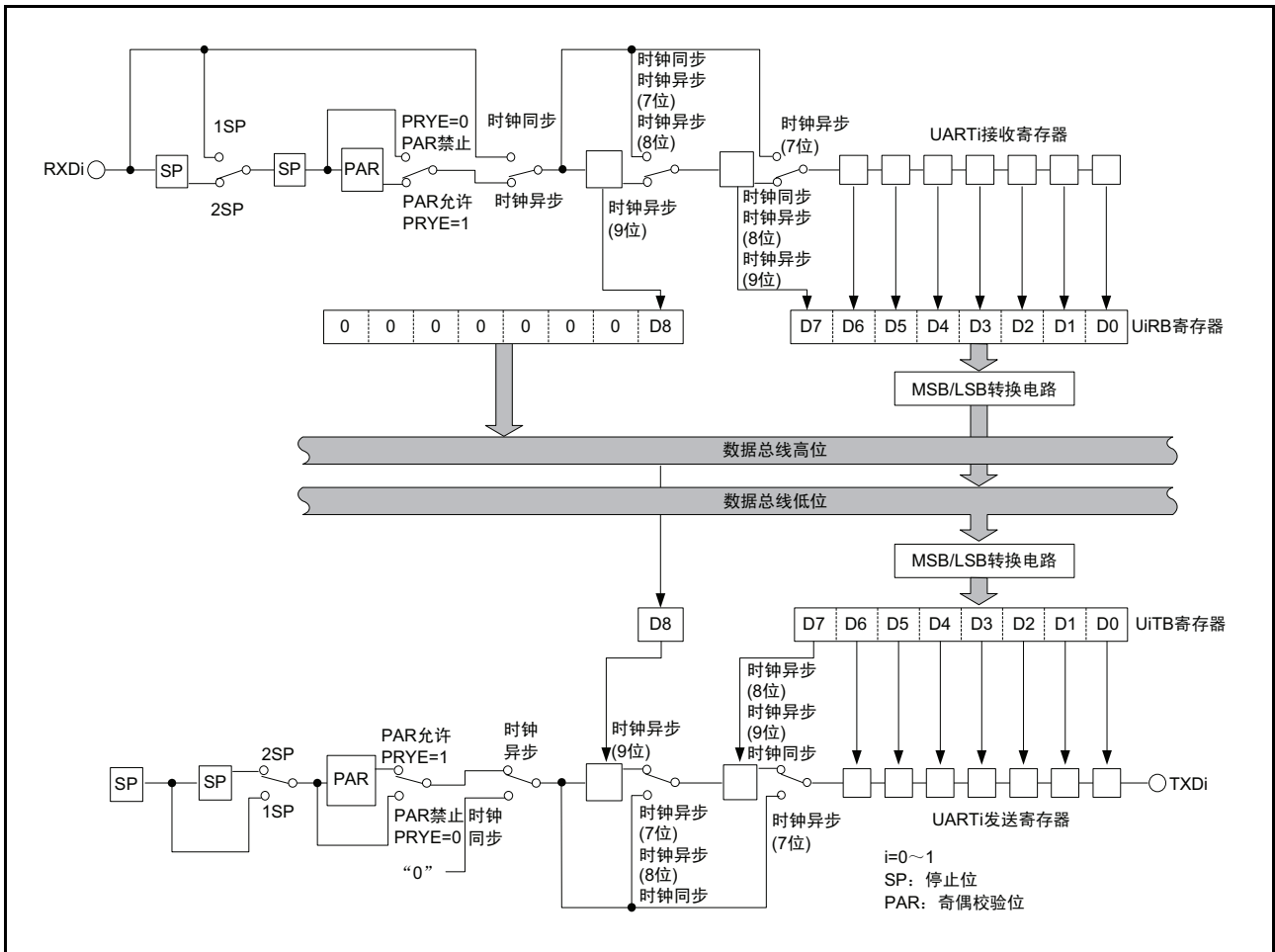


图 16.2 发送和接收部的框图

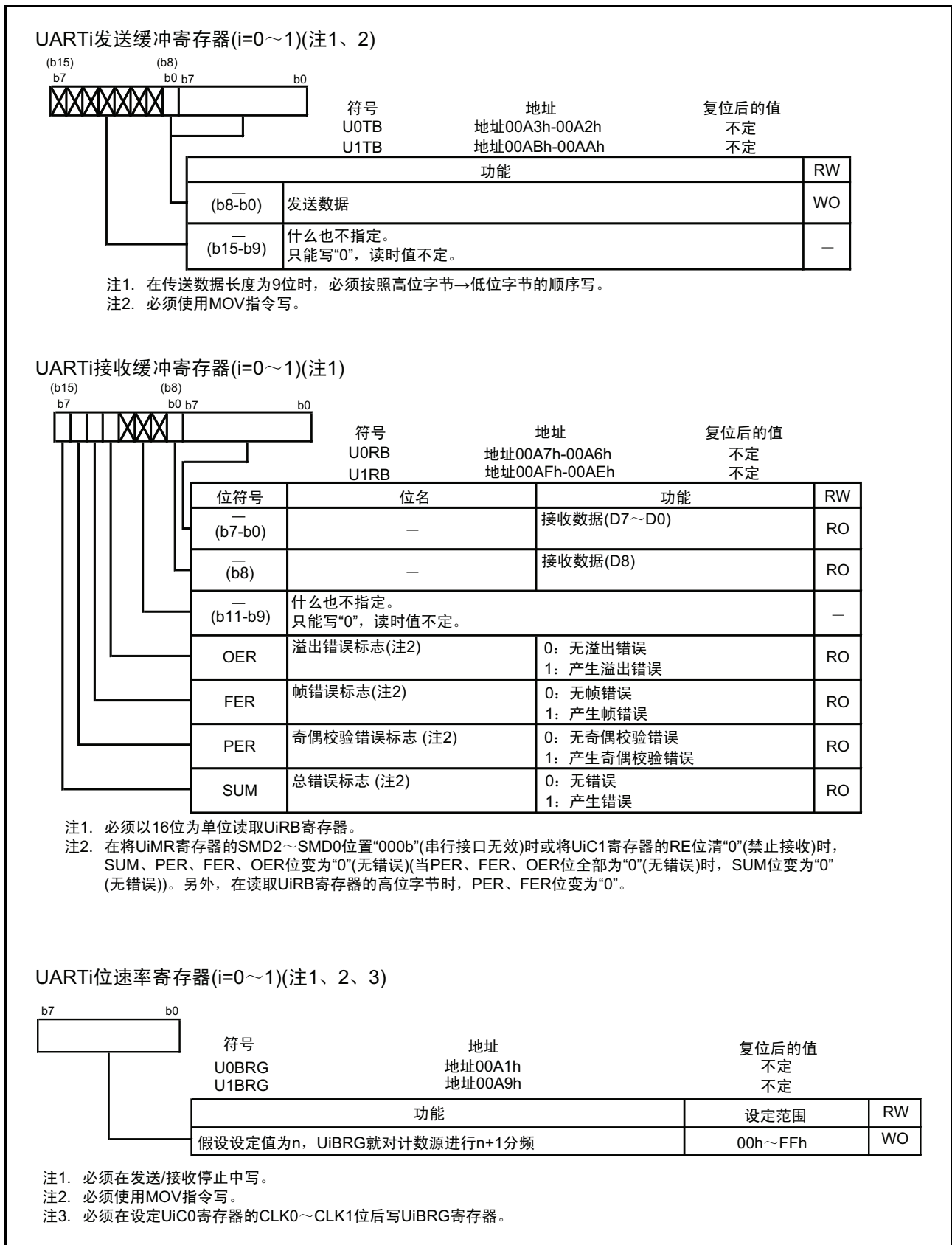


图 16.3 U0TB ~ U1TB、U0RB ~ U1RB 以及 U0BRG ~ U1BRG 寄存器

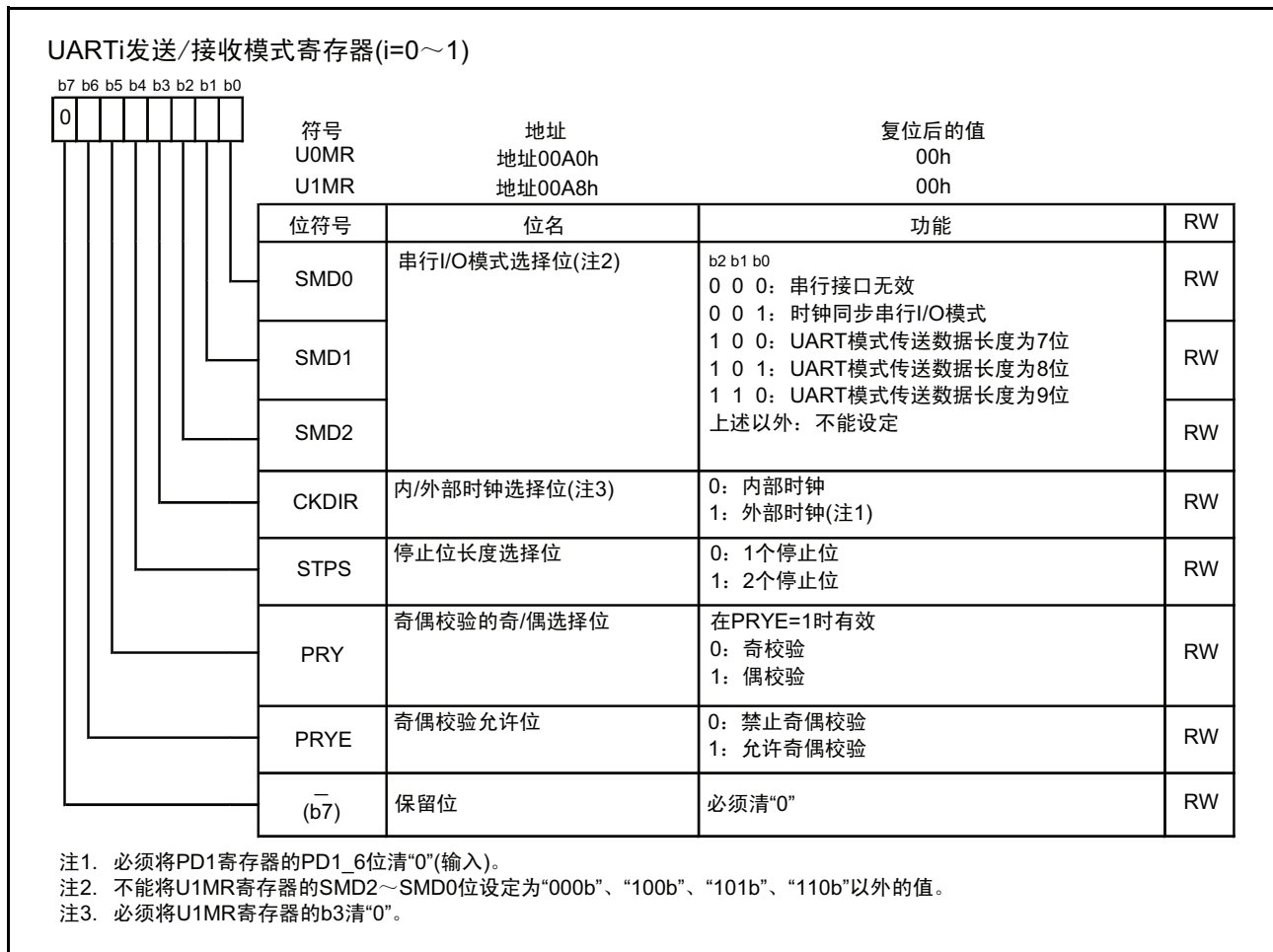


图 16.4 U0MR ~ U1MR 寄存器

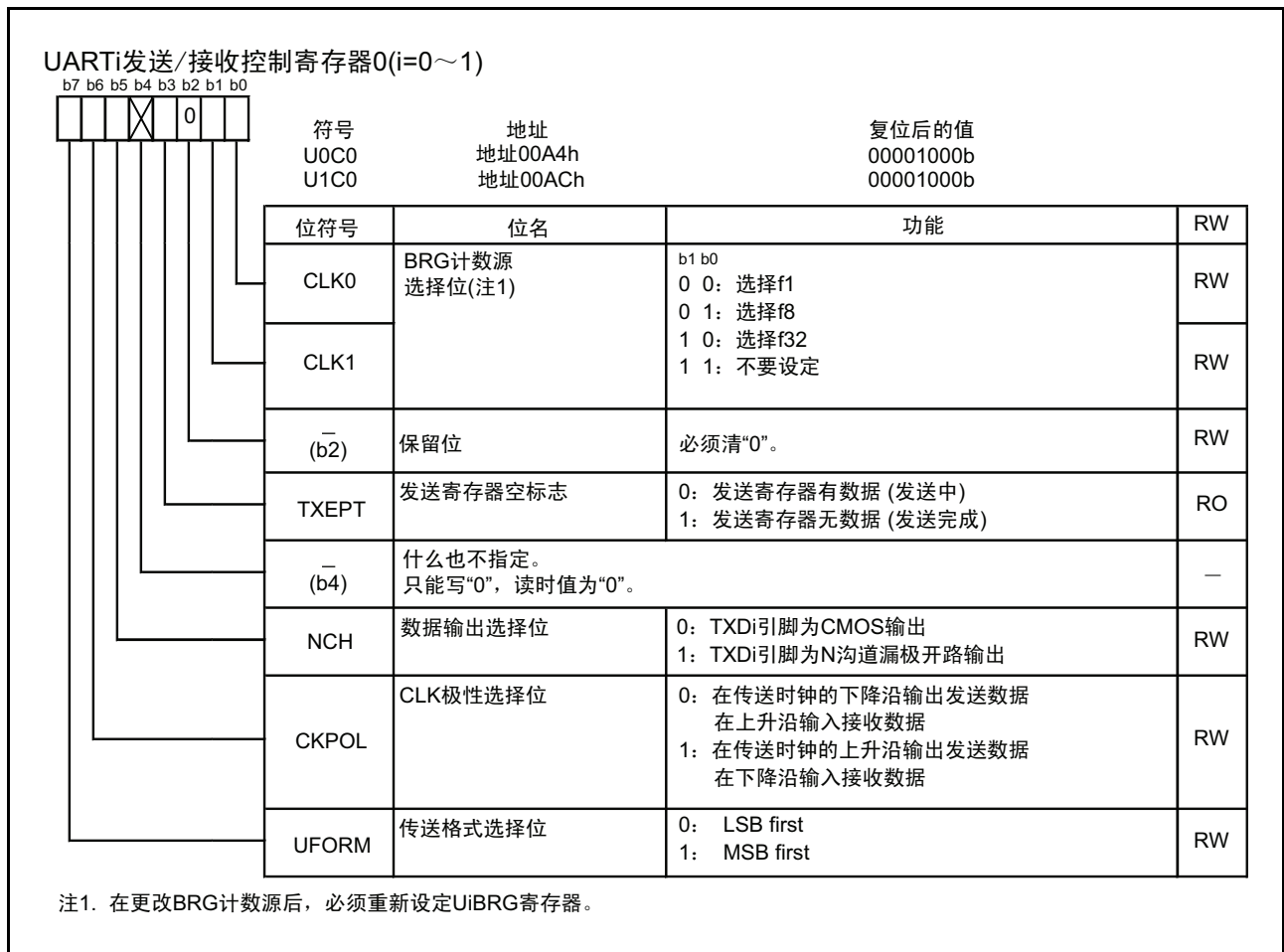


图 16.5 U0C0 ~ U1C0 寄存器

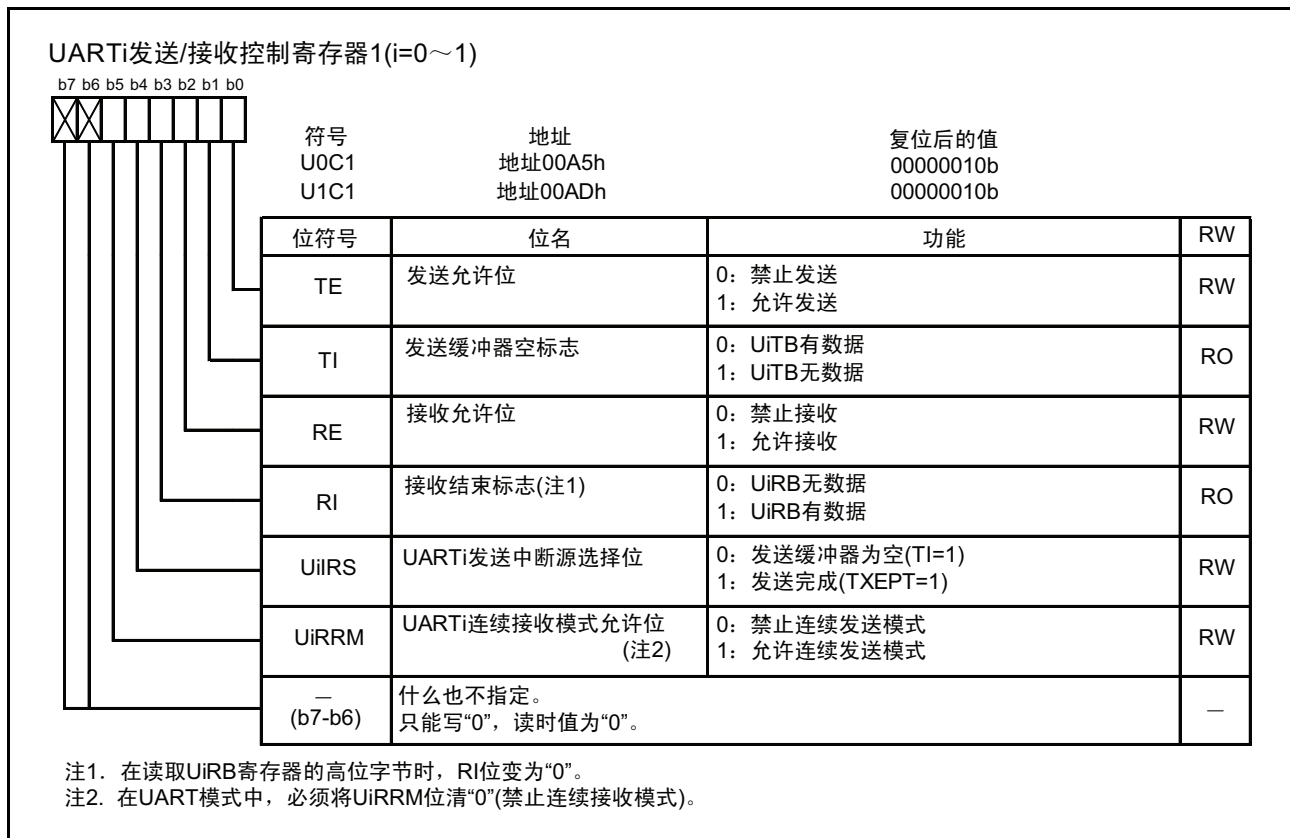


图 16.6 U0C1 ~ U1C1 寄存器

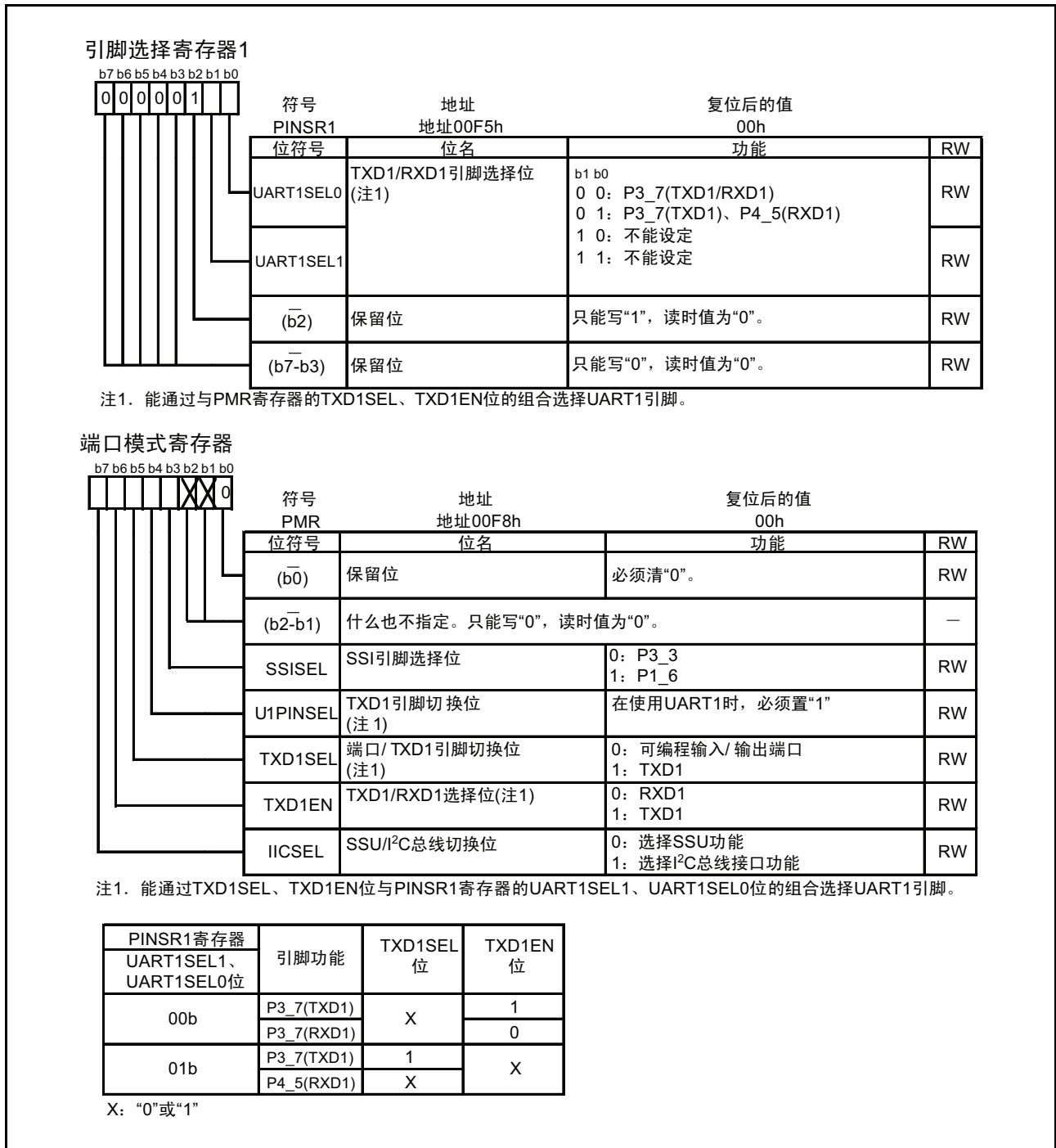


图 16.7 PINSR1、PMR 寄存器

16.1 时钟同步串行 I/O 模式

时钟同步串行 I/O 模式是用传送时钟进行发送和接收的模式。时钟同步串行 I/O 模式的规格如表 16.1 所示，时钟同步串行 I/O 模式时使用的寄存器和设定值如表 16.2 所示。

表 16.1 时钟同步串行 I/O 模式的规格

项目	规格
传送数据格式	<ul style="list-style-type: none"> • 传送数据长 8 位
传送时钟	<ul style="list-style-type: none"> • U0MR 寄存器的 CKDIR 位为 “0”（内部时钟）：$f_i/2(n+1)$ $f_i=f_1、f_8、f_{32}$ $n=U0BRG$ 寄存器的设定值 00h ~ FFh • CKDIR 位为 “1”（外部时钟）：从 CLK0 引脚输入
发送开始条件	<ul style="list-style-type: none"> • 发送开始需要以下条件（注 1）： U0C1 寄存器的 TE 位为 “1”（允许发送） U0C1 寄存器的 TI 位为 “0”（U0TB 寄存器有数据）
接收开始条件	<ul style="list-style-type: none"> • 接收开始需要以下条件（注 1）： U0C1 寄存器的 RE 位为 “1”（允许接收） U0C1 寄存器的 TE 位为 “1”（允许发送） U0C1 寄存器的 TI 位为 “0”（U0TB 寄存器有数据）
中断请求产生时序	<ul style="list-style-type: none"> • 在发送时，能选择以下的任何一个条件： <ul style="list-style-type: none"> - U0IRS 位为 “0”（发送缓冲器空）： 数据从 U0TB 寄存器传送到 UART0 发送寄存器时（在发送开始时） - U0IRS 位为 “1”（发送结束）：结束从 UART0 发送寄存器发送数据时 • 在接收时 数据从 UART0 接收寄存器传送到 U0RB 寄存器时（在接收结束时）
错误检测	<ul style="list-style-type: none"> • 溢出错误（注 2） 在读 U0RB 寄存器前开始接收下一个数据，在接收下一个数据的第 7 个位时产生
选择功能	<ul style="list-style-type: none"> • 选择 CLK 极性 传送数据的输出和输入时序能选择传送时钟的上升沿或者下降沿 • LSB first 或者 MSB first 的选择 选择是从 bit0 还是从 bit7 开始发送和接收 • 选择连续接收模式 在读 U0RB 寄存器的同时，进入允许接收的状态

注 1. 在选择外部时钟的情况下，当 U0C0 寄存器的 CKPOL 位为 “0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据）时，必须在外部时钟为 “H” 电平状态下满足条件；当 CKPOL 位为 “1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据）时，必须在外部时钟为 “L” 电平状态下满足条件。

注 2. 当产生溢出错误时，U0RB 寄存器的接收数据（b0 ~ b8）不定。另外，SiRIC 寄存器的 IR 位不变。

表 16.2 时钟同步串行 I/O 模式时使用的寄存器和设定值（注 1）

寄存器	位	功能
U0TB	0 ~ 7	设定发送数据
U0RB	0 ~ 7	能读取接收数据
	OER	溢出错误标志
U0BRG	0 ~ 7	设定位速率
U0MR	SMD2 ~ SMD0	必须置“001b”
	CKDIR	选择内部时钟或者外部时钟
U0C0	CLK1 ~ CLK0	选择 UiBRG 寄存器的计数源
	TXEPT	发送寄存器空标志
	NCH	选择 TXD0 引脚的输出形式
	CKPOL	选择传送时钟的极性
	UFORM	选择是 LSB first 还是 MSB first
U0C1	TE	在允许发送和接收时，必须置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置“1”
	RI	接收结束标志
	U0IRS	选择 UART0 发送中断源
	U0RRM	在使用连续接收模式时，必须置“1”

注 1. 对表中没有记载的位，在时钟同步串行 I/O 模式时只能写“0”。

时钟同步串行 I/O 模式时的输入 / 输出引脚功能如表 16.3 所示。

在选择 UART0 的运行模式后到传送开始前，TXD0 引脚输出“H”电平（在 NCH 位为“1”（N 沟道漏极开路输出）时，为高阻抗状态）。

表 16.3 时钟同步串行 I/O 模式时的输入 / 输出引脚功能

引脚名	功能	选择方法
TXD0 (P1_4)	输出串行数据	(在只进行接收时，进行虚设数据的输出)
RXD0 (P1_5)	输入串行数据	PD1 寄存器的 PD1_5 位 =0 (在只进行发送时，能将 P1_5 作为输入端口使用)
CLK0 (P1_6)	输出传送时钟	U0MR 寄存器的 CKDIR 位 =0
	输入传送时钟	U0MR 寄存器的 CKDIR 位 =1 PD1 寄存器的 PD1_6 位 =0

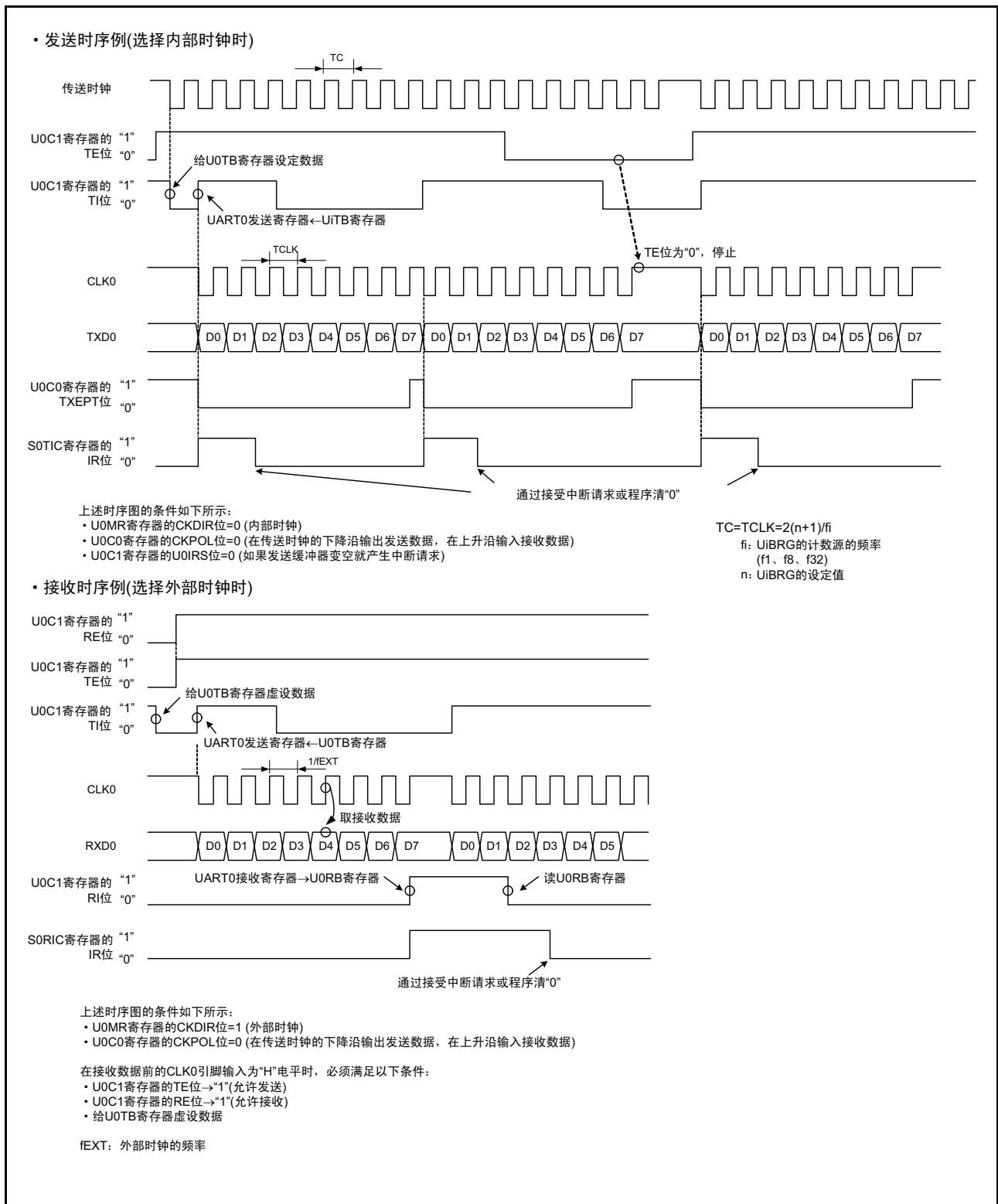


图 16.8 时钟同步串行 I/O 模式时的发送和接收时序例

16.1.1 极性选择功能

传送时钟的极性如图 16.9 所示。能通过 U0C0 寄存器的 CKPOL 位选择传送时钟的极性。

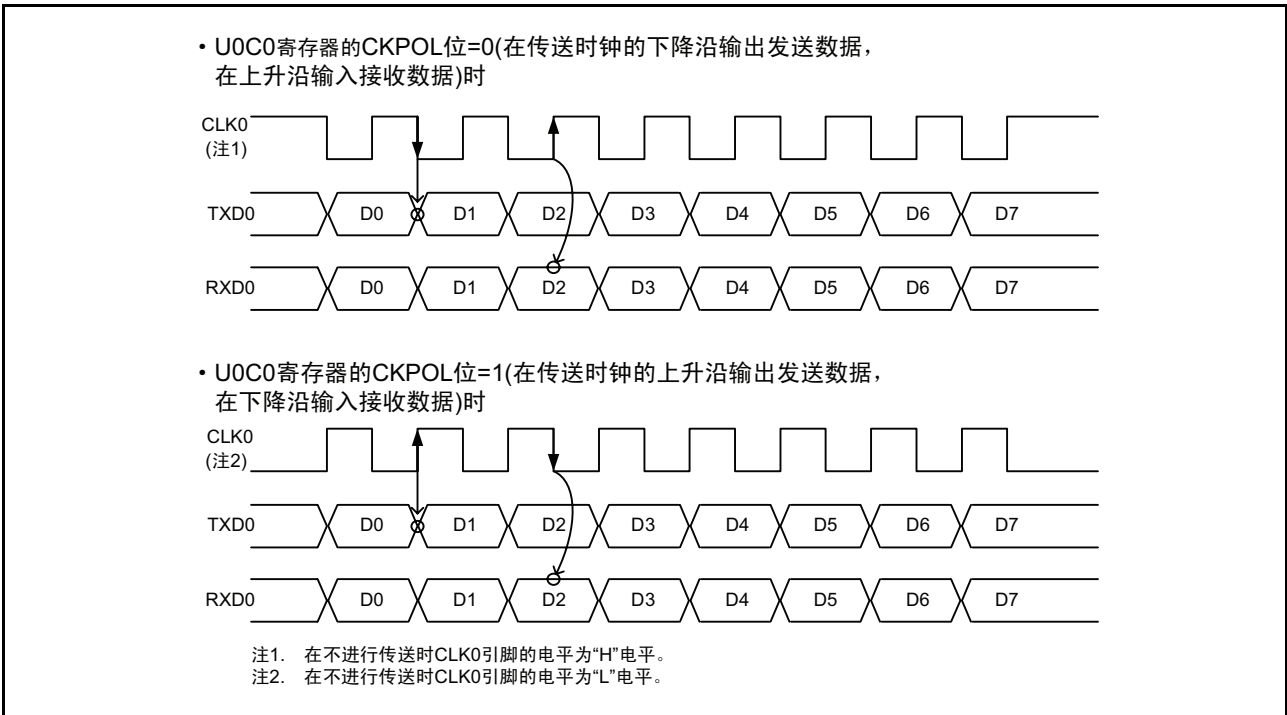


图 16.9 传送时钟的极性

16.1.2 LSB first 或者 MSB first 的选择

传送格式如图 16.10 所示。能通过 UiC0 寄存器 (i=0 ~ 1) 的 UFORM 位选择传送格式。

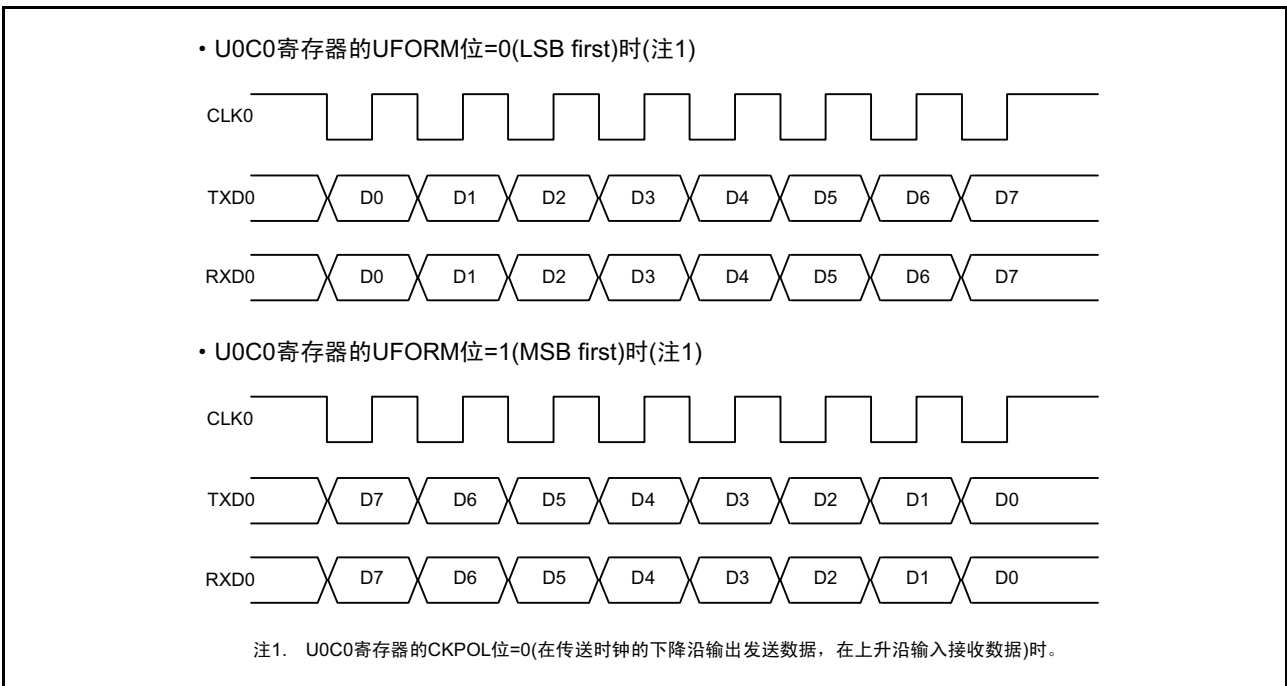


图 16.10 传送格式

16.1.3 连续接收模式

通过将 U0C1 寄存器的 U0RRM 位置“1”（允许连续接收模式），进行连续接收模式。在连续接收模式中，通过读 U0RB 寄存器，U0C1 寄存器的 TI 位变为“0”（U0TB 有数据）。在 U0RRM 位为“1”时，不能通过程序给 U0TB 寄存器写虚设数据。

16.2 时钟异步串行 I/O（UART）模式

时钟异步串行 I/O 模式是在设定任意位速率和传送数据格式后进行发送和接收的模式。

时钟异步串行 I/O 模式的规格如表 16.4 所示，UART 模式时使用的寄存器和设定值如表 16.5 所示。

表 16.4 时钟异步串行 I/O 模式的规格

项目	规格
传送数据格式	<ul style="list-style-type: none"> • 字符位（传送数据） 能选择 7 位、8 位、9 位 • 起始位 1 位 • 奇偶校验位 能选择奇数、偶数或者无校验 • 停止位 能选择 1 位、2 位
传送时钟	<ul style="list-style-type: none"> • UiMR 寄存器的 CKDIR 位为“0”（内部时钟）：$f_j/(16(n+1))$ $f_j=f_1、f_8、f_{32}$ $n=UiBRG$ 寄存器的设定值 00h ~ FFh • CKDIR 位为“1”（外部时钟）：$f_{EXT}/(16(n+1))$ f_{EXT} 为 CLK0 引脚的输入 $n=UiBRG$ 寄存器的设定值 00h ~ FFh
发送开始条件	<ul style="list-style-type: none"> • 发送开始需要以下条件： UiC1 寄存器的 TE 位为“1”（允许发送） UiC1 寄存器的 TI 位为“0”（UiTB 寄存器有数据）
接收开始条件	<ul style="list-style-type: none"> • 接收开始需要以下条件： UiC1 寄存器的 RE 位为“1”（允许接收） 检测到起始位
中断请求产生时序	<ul style="list-style-type: none"> • 在发送时，能选择以下的任何一个条件： <ul style="list-style-type: none"> - UiIRS 位为“0”（发送缓冲器空）： 数据从 UiTB 寄存器传送到 UARTi 发送寄存器时（在发送开始时） - UiIRS 位为“1”（发送结束）： 结束从 UARTi 发送寄存器的数据发送时 • 在接收时 数据从 UARTi 接收寄存器传送到 UiRB 寄存器时（在接收结束时）
错误检测	<ul style="list-style-type: none"> • 溢出错误（注 1） 在读 UiRB 寄存器前开始接收下一个数据，在接收下一个数据的最后停止位的前一位时产生 • 帧错误 在未检测到设定的停止位个数时产生 • 奇偶校验错误 当允许奇偶校验时，在奇偶校验位和字符位中的“1”的个数不等于设定的个数时产生 • 总错误标志 在产生溢出错误、帧错误或者奇偶校验错误时为“1”

$i=0 \sim 1$

注 1. 当产生溢出错误时，UiRB 寄存器的接收数据（b0 ~ b8）不定。另外，SiRIC 寄存器的 IR 位不变。

表 16.5 UART 模式时使用的寄存器和设定值

寄存器	位	功能
UiTB	0 ~ 8	设定发送数据（注 1）
UiRB	0 ~ 8	能读取接收数据（注 1、2）
	OER、FER、PER、SUM	错误标志
UiBRG	0 ~ 7	设定位速率
UiMR	SMD2 ~ SMD0	在传送数据为 7 位时，设定“100b”。 在传送数据为 8 位时，设定“101b”。 在传送数据为 9 位时，设定“110b”。
	CKDIR	选择内部时钟或者外部时钟。
	STPS	选择停止位。
	PRY、PRYE	选择有无奇偶校验、偶数或者奇数。
UiC0	CLK1 ~ CLK0	选择 UiBRG 寄存器的计数源。
	TXEPT	发送寄存器空标志
	NCH	选择 TXDi 引脚的输出格式。
	CKPOL	必须清“0”。
	UFORM	在传送数据长为 8 位时，能选择是 LSB first 还是 MSB first。 在传送数据长为 7 位或者 9 位时，必须清“0”。
UiC1	TE	在允许发送时，必须置“1”。
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置“1”。
	RI	接收结束标志
	UiIRS	选择 UARTi 发送中断源。
	UiRRM	必须清“0”。

i=0 ~ 1

注 1. 使用的位为：当传送数据长为 7 位时，bit0 ~ 6；当传送数据长为 8 位时，bit0 ~ 7；传送数据长为 9 位时，bit0 ~ 8

注 2. 当传送数据长为 7 位时，bit7 ~ 8；当传送数据长为 8 位时，bit8 的内容不定。

UART 模式时的输入/输出引脚功能如表 16.6 所示。另外，在选择 UARTi (i=0 ~ 1) 的运行模式后到传送开始前，TXDi 引脚输出“H”电平（在 NCH 位为“1”（N 沟道漏极开路输出）时，为高阻抗状态）。

表 16.6 UART 模式时的输入 / 输出引脚功能

引脚名	功能	选择方法
TXD0 (P1_4)	输出串行数据	(在只进行接收时, 不能作为端口使用)
RXD0 (P1_5)	输入串行数据	PD1 寄存器的 PD1_5 位 =0 (在只进行发送时, 能将 P1_5 作为输入端口使用)
CLK0 (P1_6)	可编程输入 / 输出端口	U0MR 寄存器的 CKDIR 位 =0
	输入传送时钟	U0MR 寄存器的 CKDIR 位 =1 PD1 寄存器的 PD1_6 位 =0
TXD1 (P3_7)	输出串行数据	PINSR1、PMR 寄存器的设定 (请参照 “图 16.7 PINSR1、PMR 寄存器”) (在只进行接收时, 不能作为端口使用)
RXD1 (P3_7、P4_5 的任何一个)	输入串行数据	PINSR1、PMR 寄存器的设定 (请参照 “图 16.7 PINSR1、PMR 寄存器”) 各端口方向寄存器的对应位 =0 (在只进行发送时, 能作为输入端口使用)

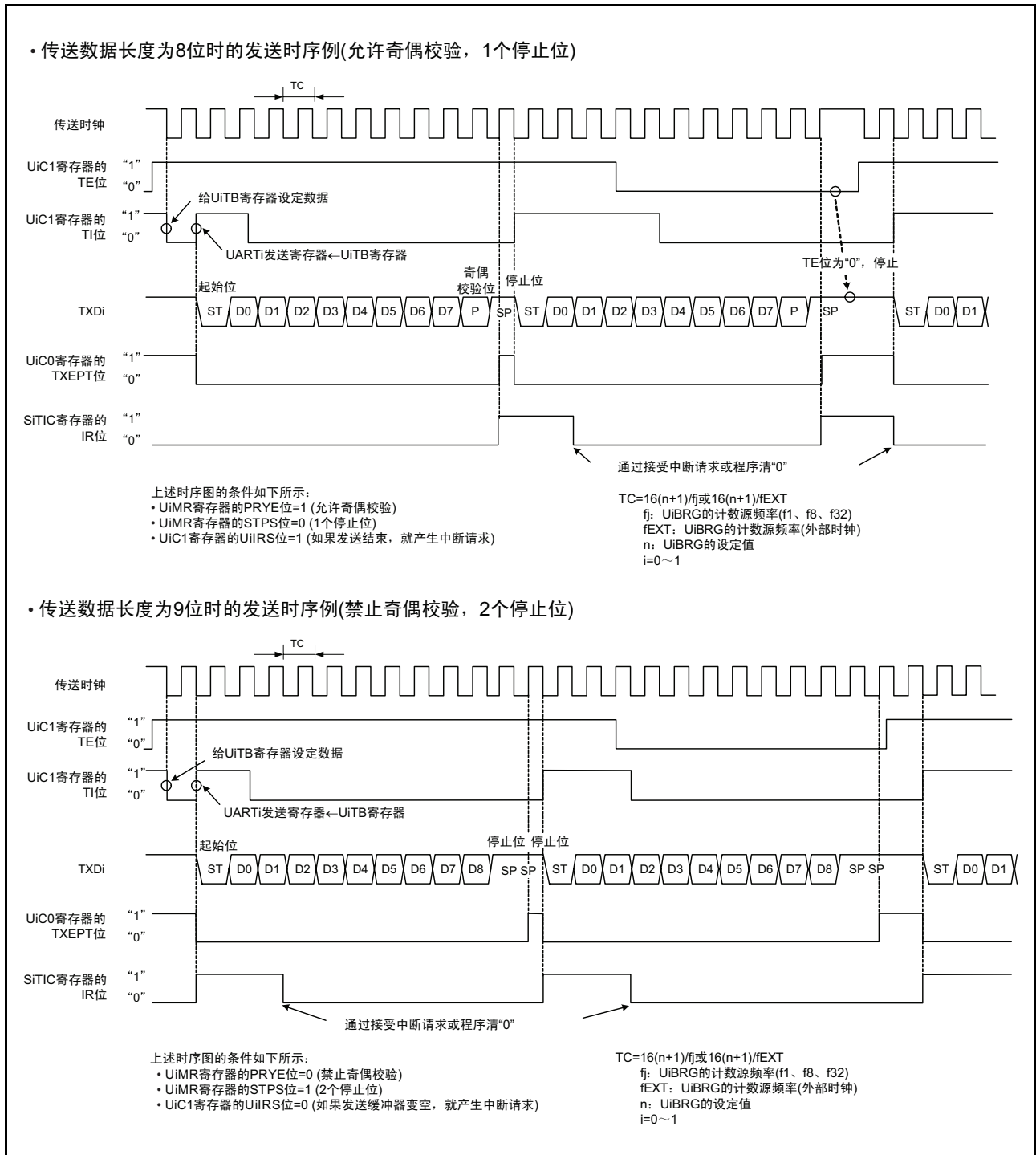


图 16.11 UART 模式时的发送时序

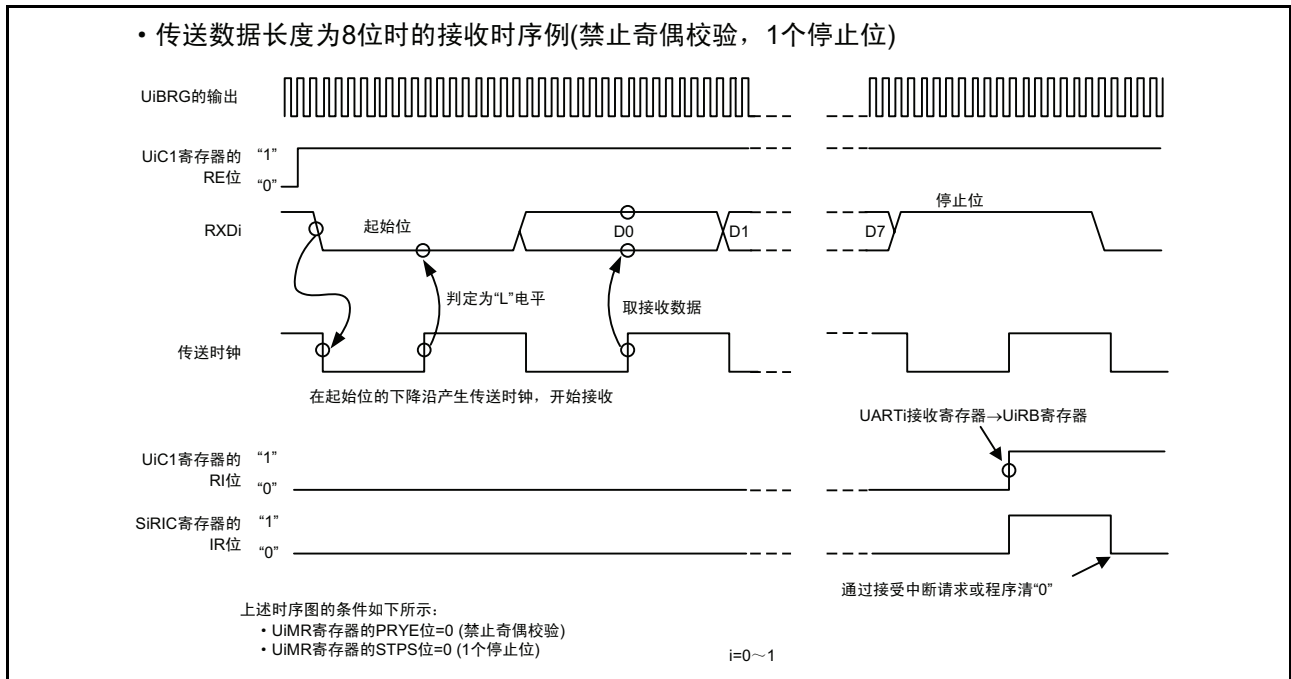


图 16.12 UART 模式时的接收时序例

16.2.1 位速率

在 UART 模式中，由 UiBRG 寄存器 (i=0 ~ 1) 分频的频率的 16 分频为位速率。

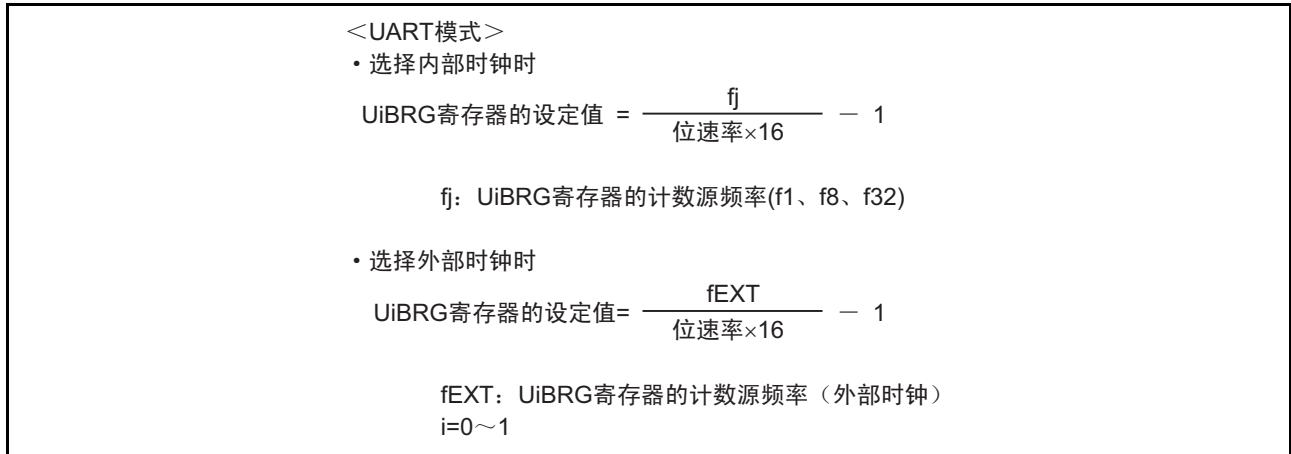


图 16.13 UiBRG 寄存器 (i=0 ~ 1) 的设定值的计算式

表 16.7 UART 模式时的位速率设定例（选择内部时钟时）

位速率 (bps)	UiBRG 计数源	系统时钟 =20MHz			系统时钟 =18.432MHz (注 1)			系统时钟 =8MHz		
		UiBRG 的 设定值	实际时间 (bps)	设定 误差 (%)	UiBRG 的 设定值	实际时间 (bps)	设定 误差 (%)	UiBRG 的 设定值	实际时间 (bps)	设定 误差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	-1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	-1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	-3.55
115200	f1	10 (0Ah)	113636.36	-1.36	9 (09h)	115200.00	0.00	—	—	—

i=0 ~ 1

注 1. 对于高速内部振荡器，必须将 FRA7 寄存器的调整值写到 FRA1 寄存器（只限于 N、D 版）。

这是选择高速内部振荡器为系统时钟并且将 FRA2 寄存器的 FRA22 ~ FRA20 位置“000b”（2 分频模式）的情况。有关高速内部振荡器的精度，请参照“21. 电特性”。

16.3 串行接口使用时的注意事项

- 与时钟同步串行 I/O 模式和时钟异步串行 I/O 模式无关，在读 UiRB (i=0 ~ 1) 寄存器时，必须以 16 位为单位进行。

在读 UiRB 寄存器的高位字节时，UiRB 寄存器的 PER、FER 位和 UiC1 寄存器的 RI 位变为“0”。

如果产生接收错误，必须在读 UiRB 寄存器后，通过读取的值确认错误内容。

<读取接收缓冲寄存器的程序例>

```
MOV.W    00A6H, R0    ; 读 UORB 寄存器
```

- 在传送数据位长为 9 位的时钟异步串行 I/O 模式中写 UiTB 寄存器时，必须以 8 位为单位按高位字节 → 低位字节的顺序进行。

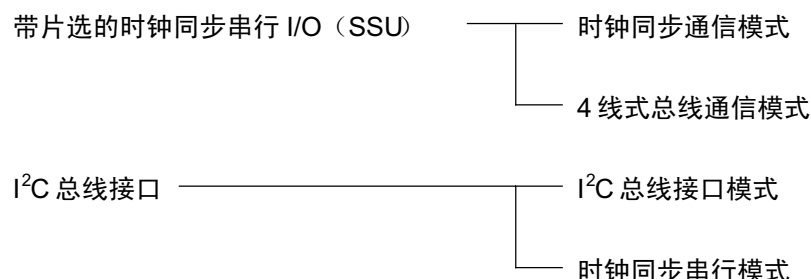
<给发送缓冲寄存器写数据的程序例>

```
MOV.B    #XXH, 00A3H    ; 写 U0TB 寄存器的高位字节
MOV.B    #XXH, 00A2H    ; 写 U0TB 寄存器的低位字节
```

17. 时钟同步串行接口

时钟同步串行接口的结构如下：

时钟同步串行接口



时钟同步串行接口使用地址 00B8h ~ 00BFh 的寄存器，即使是相同的地址，寄存器及位的名称、符号和功能也因模式而不同，详细内容请参照各功能的寄存器图。

另外，时钟同步通信模式和时钟同步串行模式的不同是选择传送时钟、时钟输出格式和数据输出格式等的不同。

17.1 模式的选择

时钟同步串行接口有 4 种模式。

有关模式的选择位如表 17.1 所示，各模式的详细内容请参照“17.2 带片选的时钟同步串行 I/O (SSU)”以后的内容。

表 17.1 模式的选择

PMR 寄存器的 IICSEL 位	地址 00B8h 的 bit7 (ICCR1 寄存器的 ICE 位)	地址 00BDh 的 bit0 (SSMR2 寄存器的 SSUMS 位、SAR 寄存器的 FS 位)	功能名	模式
0	0	0	带片选的时钟同步串行 I/O	时钟同步通信模式
0	0	1		4 线式总线通信模式
1	1	0	I²C 总线接口	I²C 总线接口模式
1	1	1		时钟同步串行模式

17.2 带片选的时钟同步串行 I/O (SSU)

带片选的时钟同步串行 I/O 能进行时钟同步的串行数据通信，其规格和框图如表 17.2 和图 17.1 所示。
带片选的时钟同步串行 I/O 的相关寄存器如图 17.2 ~ 图 17.9 所示。

表 17.2 带片选的时钟同步串行 I/O 的规格

项 目	规 格
传送数据格式	<ul style="list-style-type: none"> 传送数据长度 8 位 发送部和接收部为缓冲结构，所以能进行串行数据的连续发送和连续接收
运行模式	<ul style="list-style-type: none"> 时钟同步通信模式 4 线式总线通信模式（包含双向通信模式）
主控制器件 / 从属器件	能选择
输入 / 输出引脚	SSCK（输入 / 输出）：时钟输入 / 输出引脚 SSI（输入 / 输出）：数据输入 / 输出引脚 SSO（输入 / 输出）：数据输入 / 输出引脚 SCS（输入 / 输出）：片选输入 / 输出引脚
传送时钟	<ul style="list-style-type: none"> 当 SSCRH 寄存器的 MSS 位是“0”（作为从属器件运行）时，为外部时钟（从 SSCK 引脚输入） 当 SSCRH 寄存器的 MSS 位是“1”（作为主控制器件运行）时，为内部时钟（能从 f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4 中选择，从 SSCK 引脚输出） 能选择时钟极性和相位
接收错误的检测	<ul style="list-style-type: none"> 检测溢出错误 表示在接收时产生溢出错误并异常结束。在 SSSR 寄存器的 RDRF 位为“1”（SSRDR 寄存器中有数据）的状态下结束下一个串行数据的接收时，ORER 位变为“1”
多主控错误的检测	<ul style="list-style-type: none"> 检测冲突错误 在 SSMR2 寄存器的 SSUMS 位为“1”（4 线式总线通信模式）并且 SSCRH 寄存器的 MSS 位为“1”（作为主控制器件运行）的状态下开始串行通信时，如果 SCS 引脚的输入电平为“L”，SSSR 寄存器的 CE 位就变为“1”。 在 SSMR2 寄存器的 SSUMS 位为“1”（4 线式总线通信模式）并且 SSCRH 寄存器的 MSS 位为“0”（作为从属器件运行）的状态下，如果在传送中途 SCS 引脚的输入电平从“L”变为“H”，SSSR 寄存器的 CE 位就变为“1”。
中断请求	5 种（发送结束、发送数据空、接收数据满、溢出错误和冲突错误）（注 1）
选择功能	<ul style="list-style-type: none"> 数据传送方向 选择 MSB first 或者 LSB first SSCK 时钟极性 选择时钟停止时的电平为“L”电平或者“H”电平 SSCK 时钟相位 选择数据变化和取数据的边沿 SSI 引脚选择功能 能通过 PMR 寄存器的 SSISEL 位将 SSI 引脚选择为 P3_3 或 P1_6。

注 1. 在中断向量表中只有 1 个带片选的时钟同步串行 I/O 的中断向量。

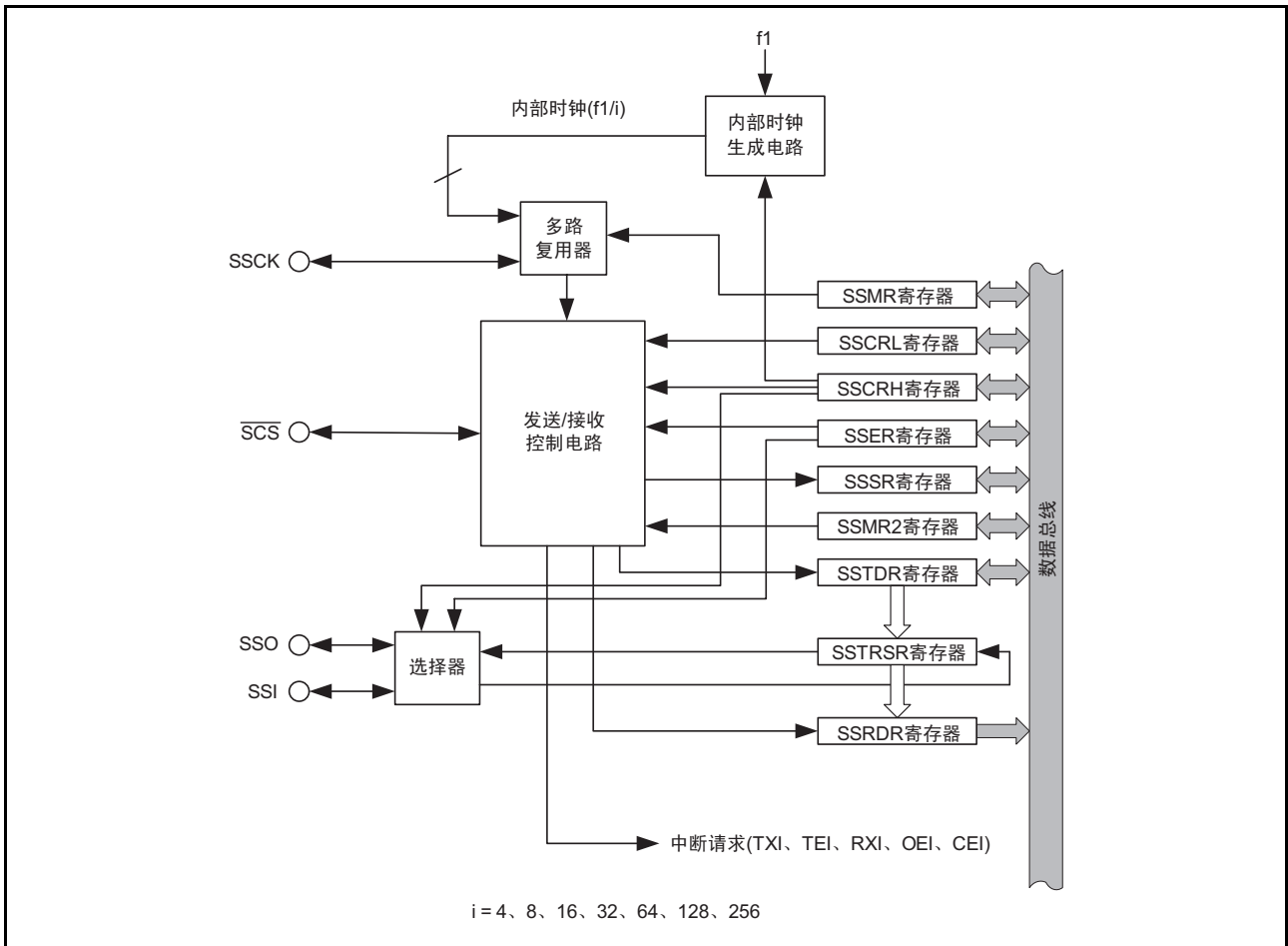


图 17.1 带片选的时钟同步串行 I/O 的框图

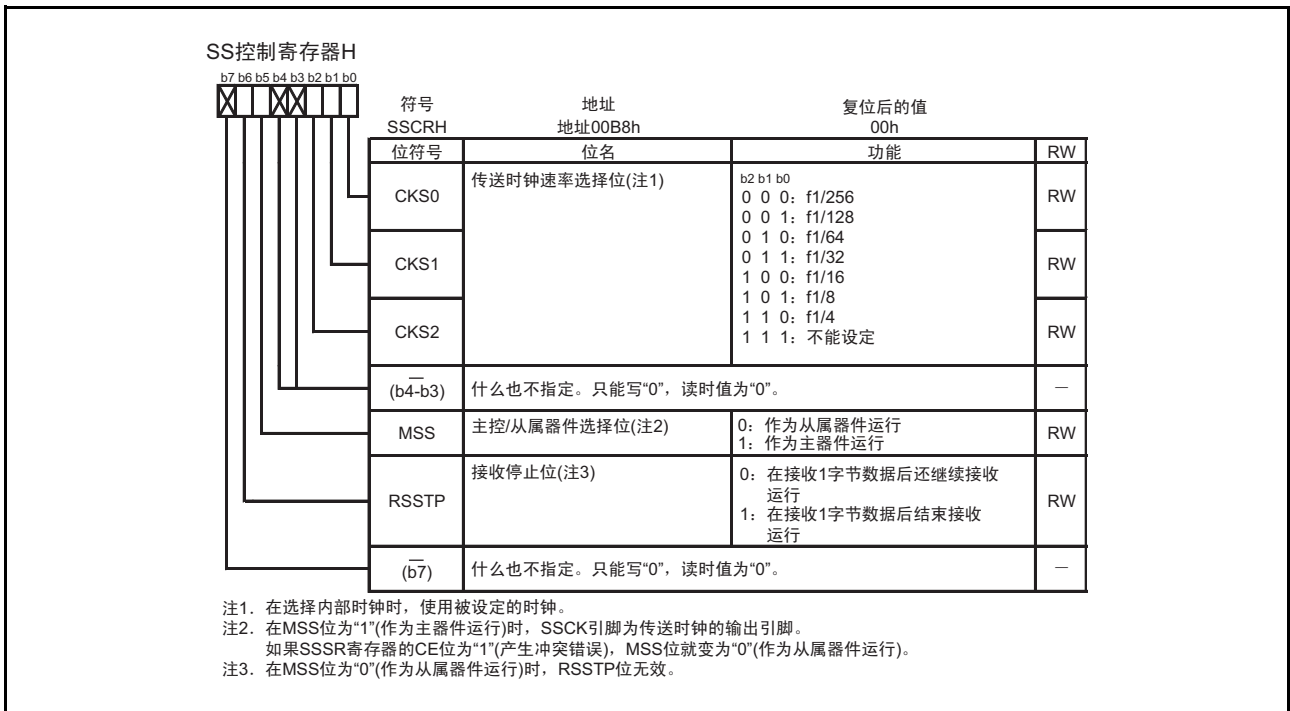


图 17.2 SSCRH 寄存器

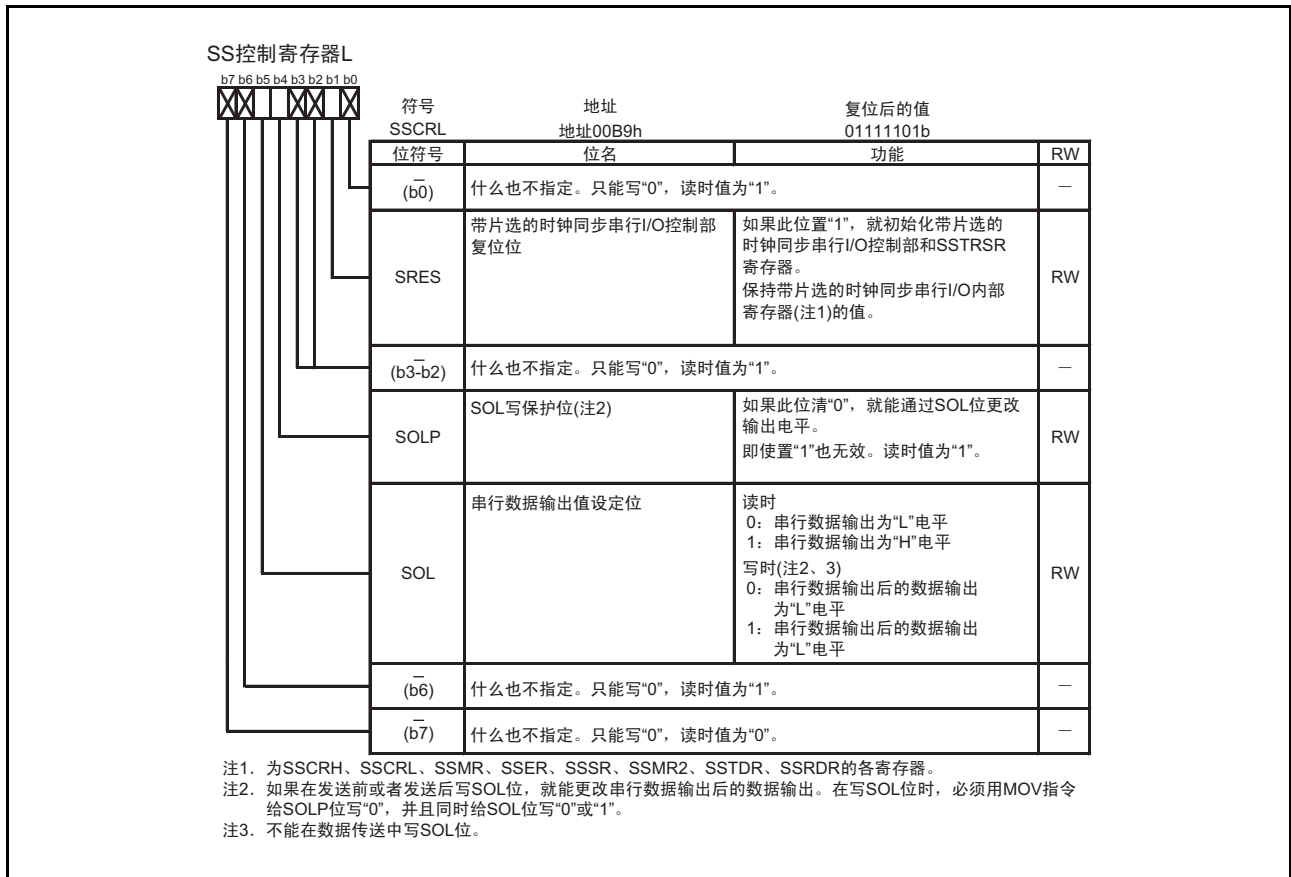


图 17.3 SSCRL 寄存器

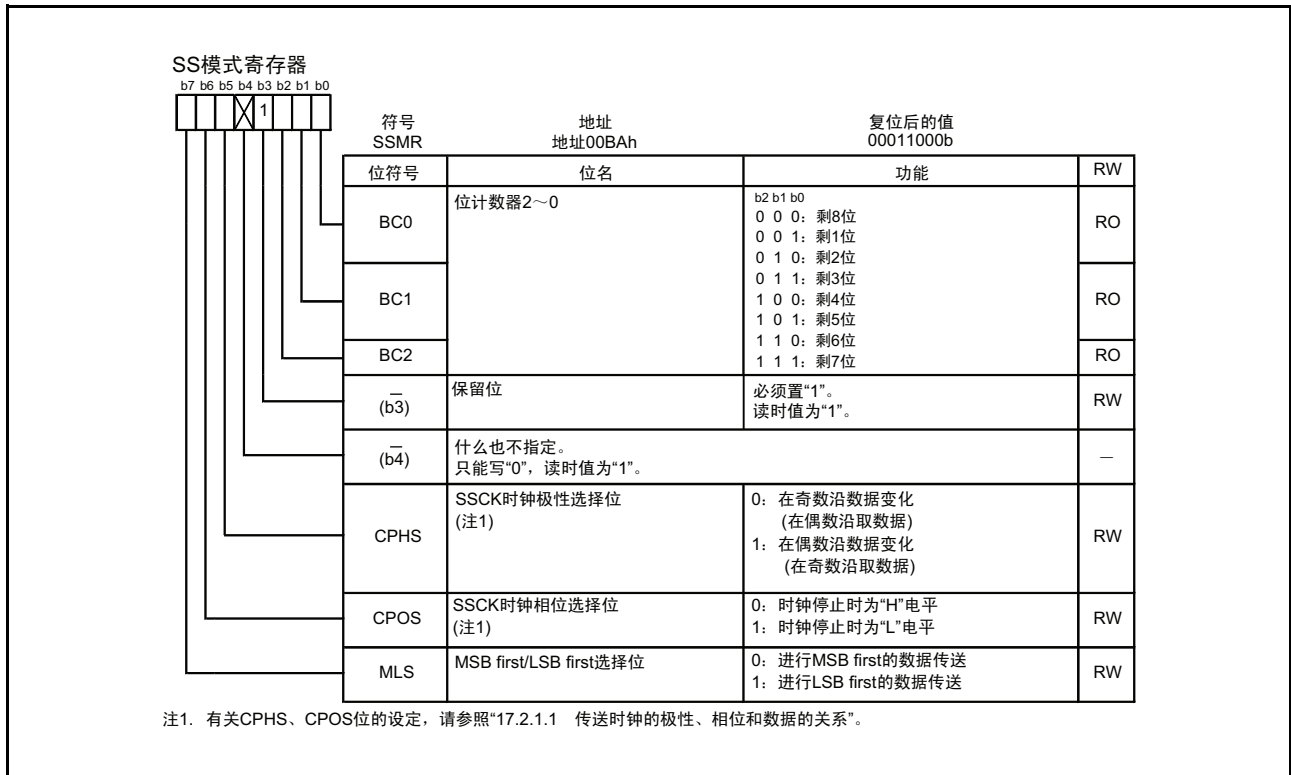


图 17.4 SSMR 寄存器

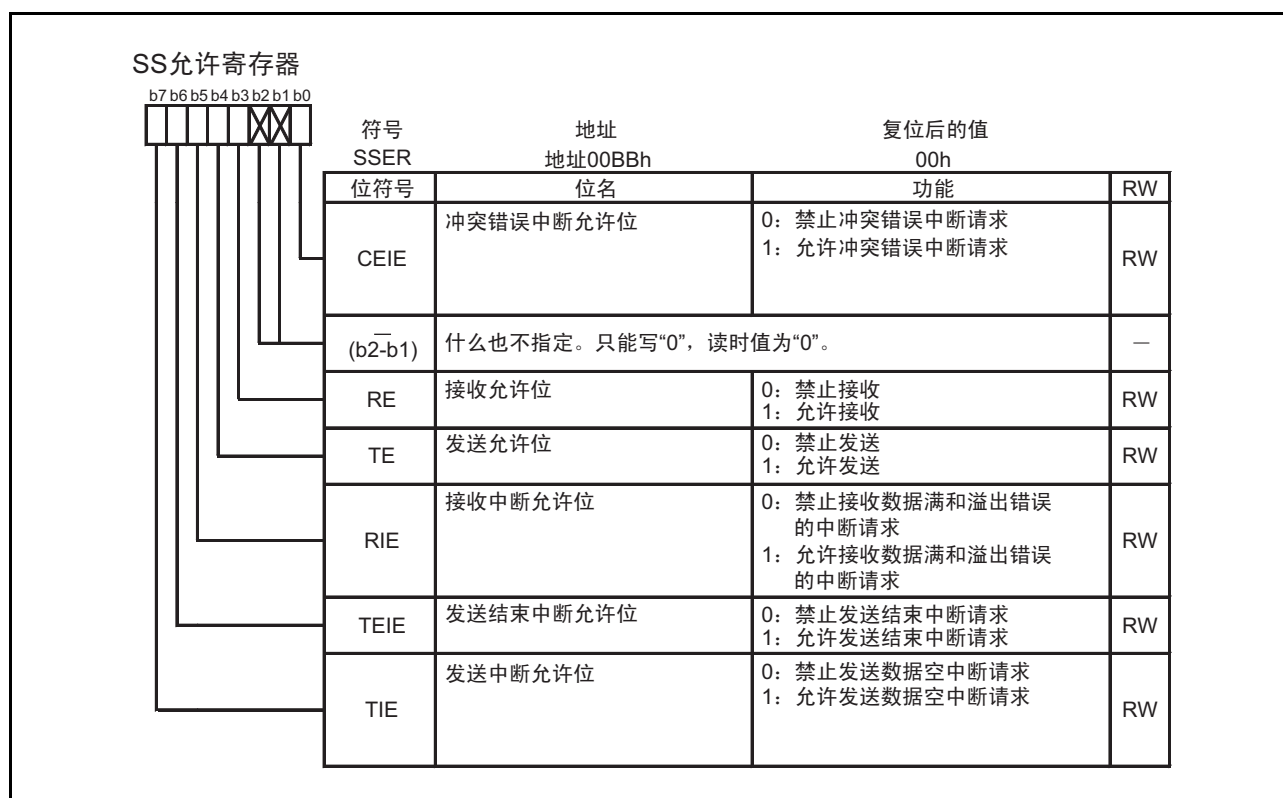


图 17.5 SSER 寄存器

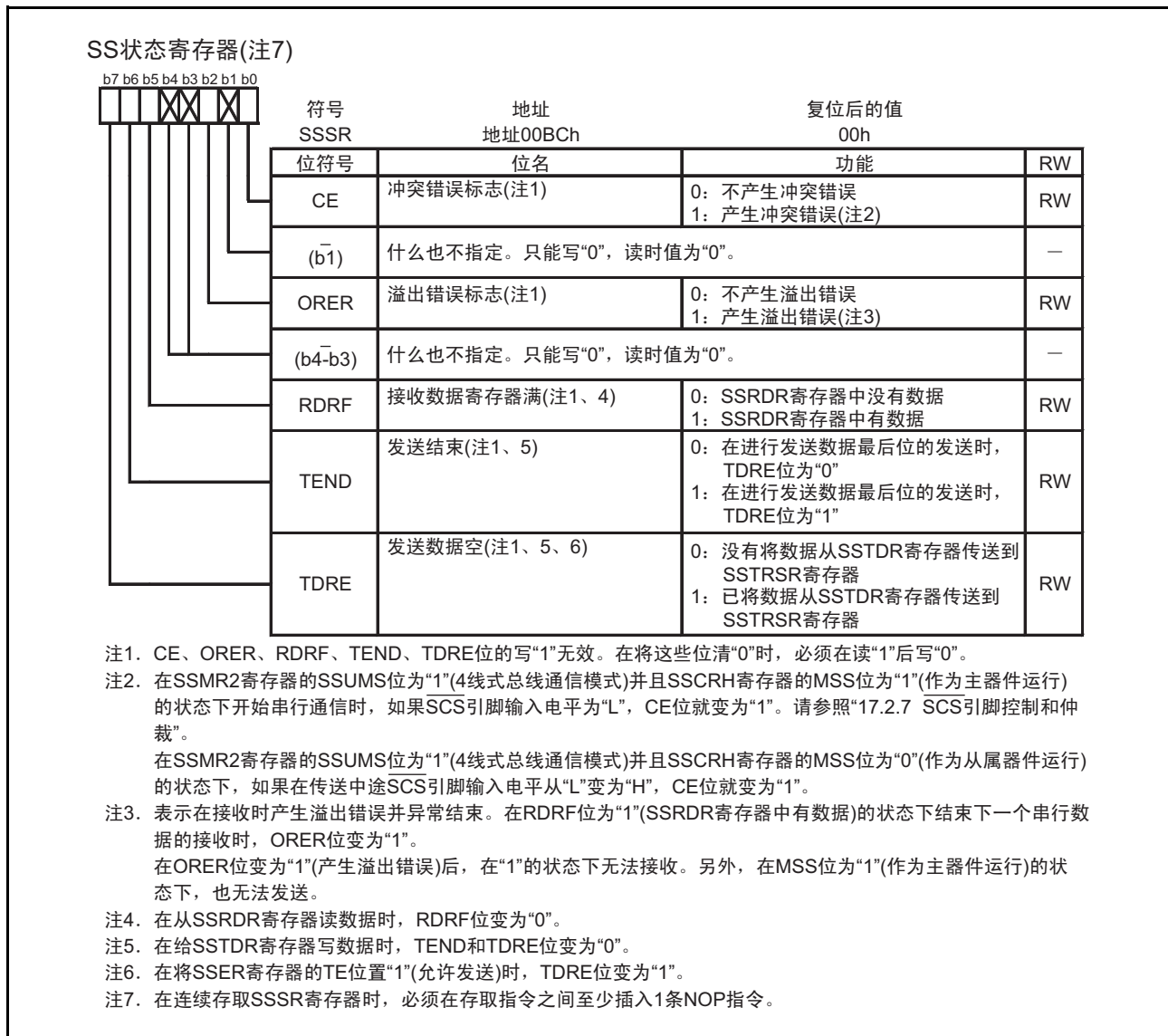


图 17.6 SSSR 寄存器

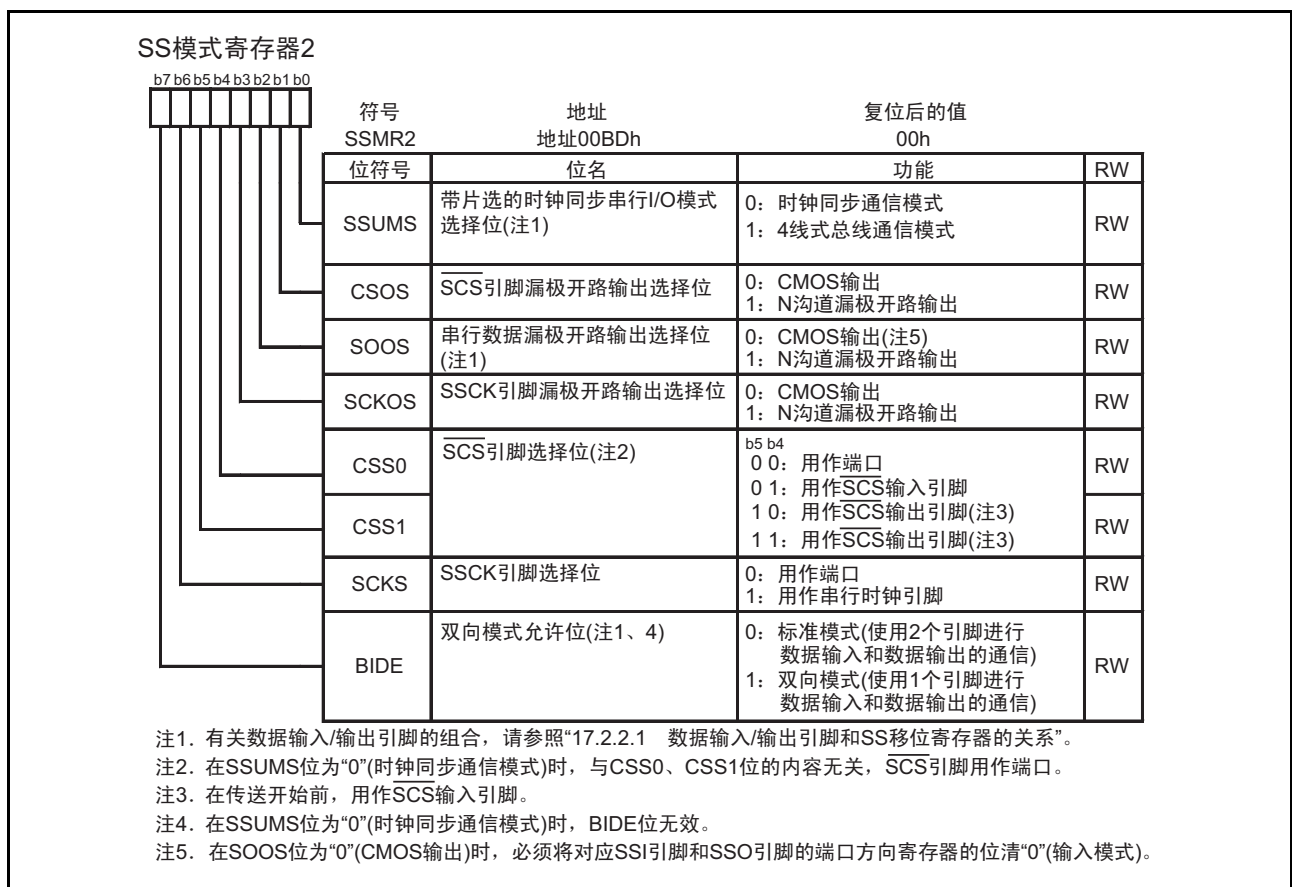


图 17.7 SSMR2 寄存器

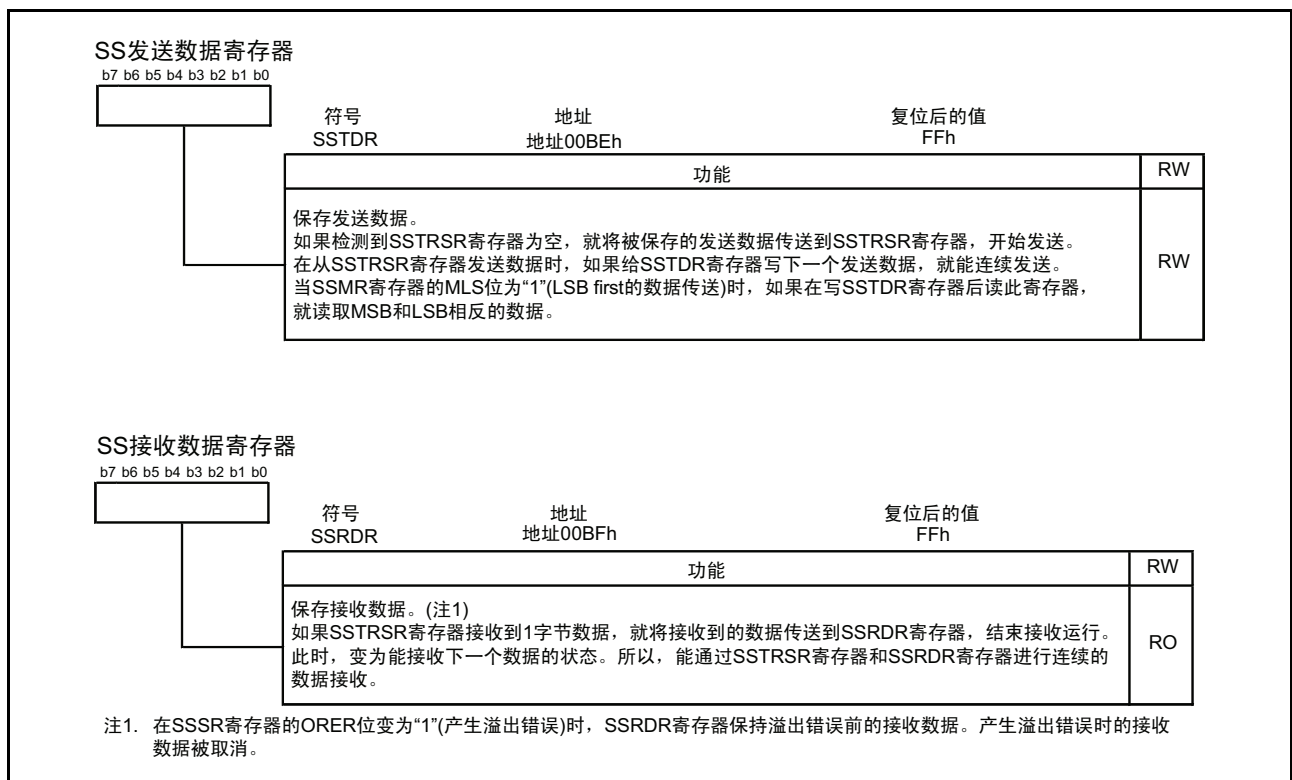


图 17.8 SSTDR、SSRDR 寄存器

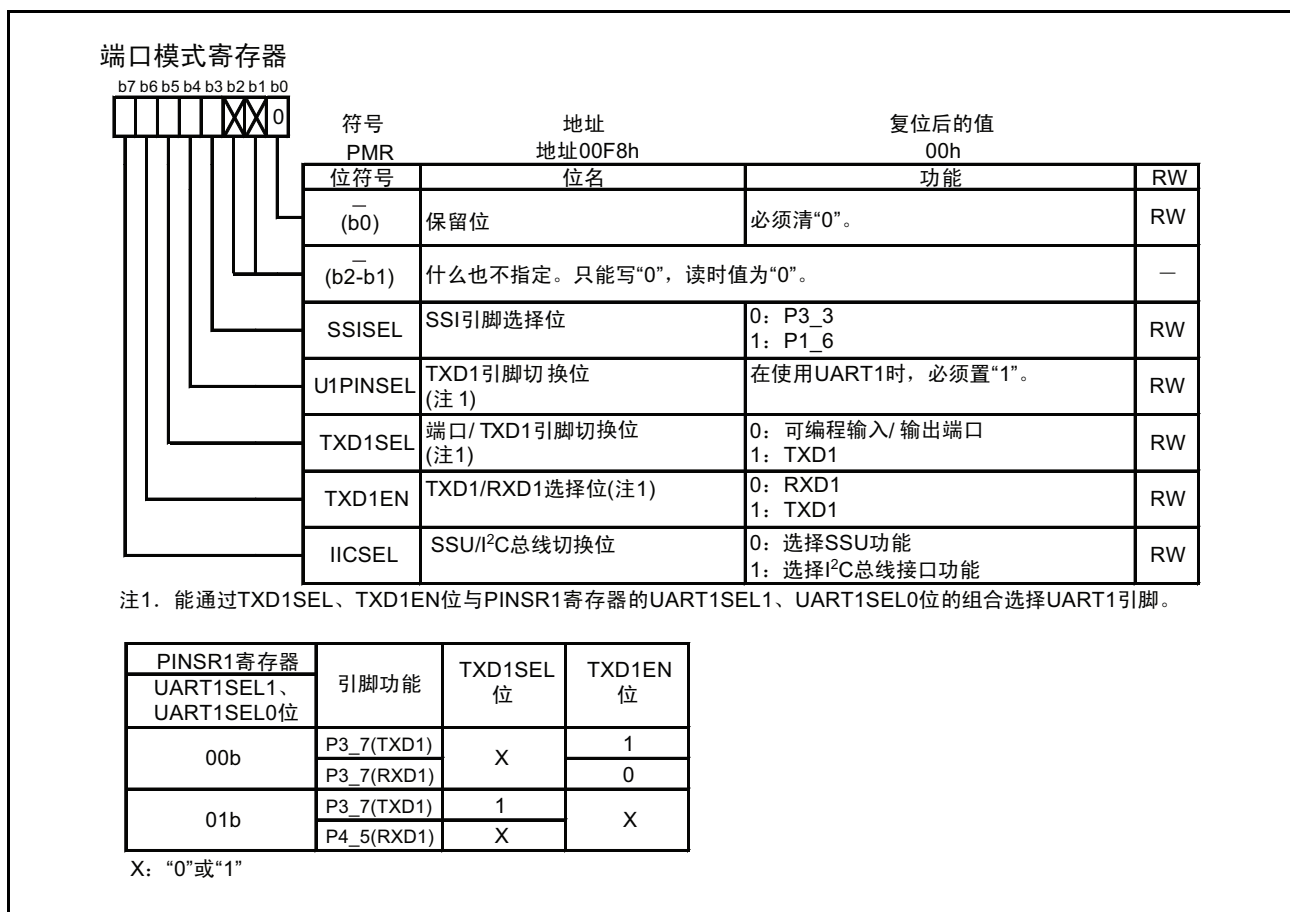


图 17.9 PMR 寄存器

17.2.1 传送时钟

能从 7 种内部时钟 (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4) 和外部时钟中选择传送时钟。

在使用带片选的时钟同步串行 I/O 时，必须先将 SSMR2 寄存器的 SCKS 位置 “1”，然后选择 SSCK 引脚为串行时钟引脚。

当 SSCRH 寄存器的 MSS 位是 “1” (作为主控器件运行) 时，选择内部时钟，SSCK 引脚为输出状态。如果开始传送，就从 SSCK 引脚输出由 SSCRH 寄存器的 CKS0 ~ CKS2 选择的传送速率的时钟。

当 SSCRH 寄存器的 MSS 位是 “0” (作为从属器件运行) 时，选择外部时钟，SSCK 引脚为输入状态。

17.2.1.1 传送时钟的极性、相位和数据的关系

根据 SSMR2 寄存器的 SSUMS 位和 SSMR 寄存器的 CPHS、CPOS 位的组合，传送时钟的极性、相位和传送数据的关系不同。传送时钟的极性、相位和传送数据的关系如图 17.10 所示。

另外，能通过设定 SSMR 寄存器的 MLS 位，选择是以 MSB first 还是以 LSB first。当 MLS 位是 “1” 时，按照从 LSB 到 MSB 的顺序传送；当 MLS 位是 “0” 时，按照从 MSB 到 LSB 的顺序传送。

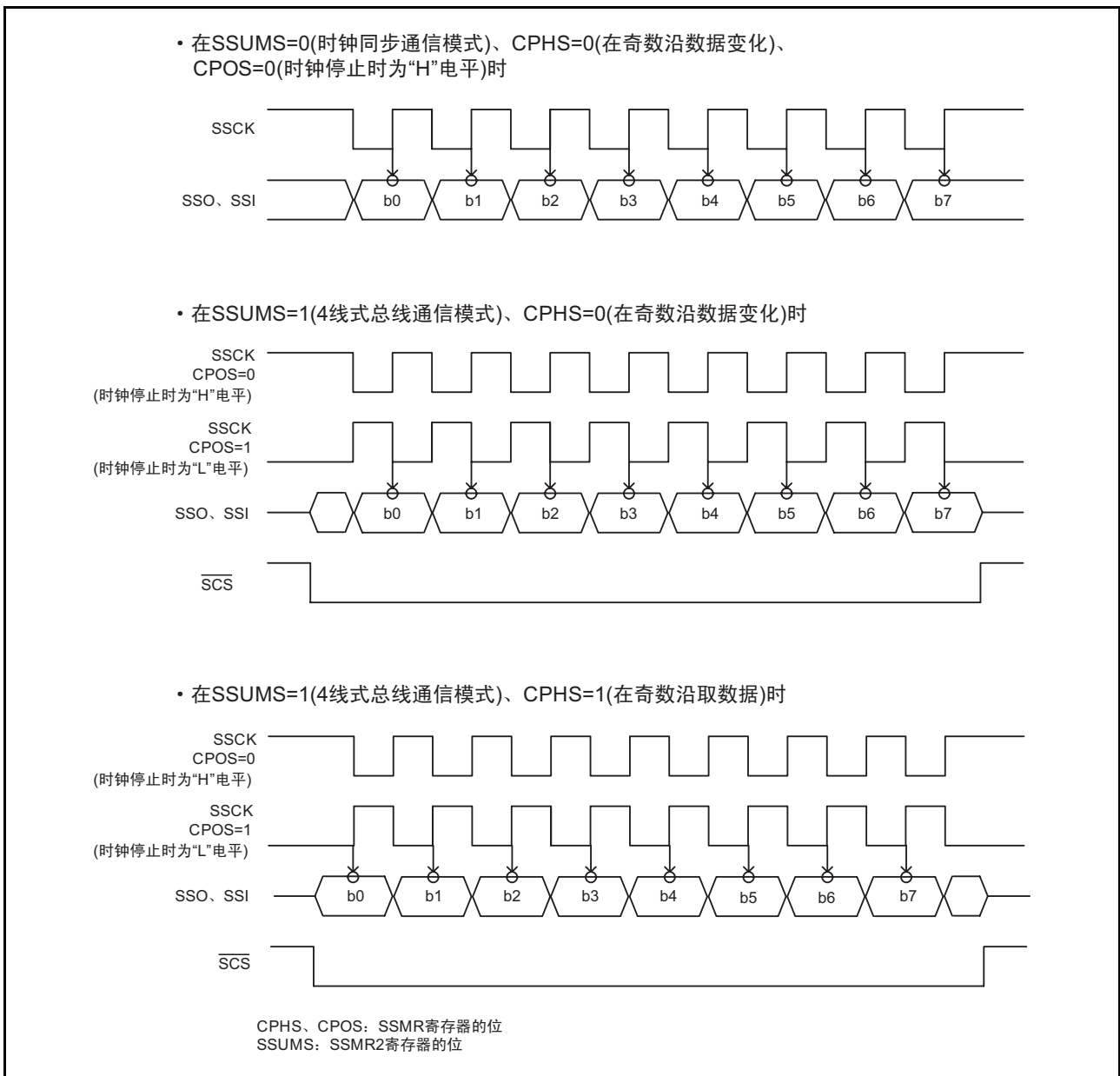


图 17.10 传送时钟的极性、相位和传送数据的关系

17.2.2 SS 移位寄存器 (SSTRSR)

SSTRSR 寄存器是发送和接收串行数据的移位寄存器。

在将发送数据从 SSTDR 寄存器传送到 SSTRSR 寄存器时，如果 SSMR 寄存器的 MLS 位是“0” (MSB first)，就将 SSTDR 寄存器的 bit0 传送到 SSTRSR 寄存器的 bit0；如果 MLS 位是“1” (LSB first)，就将 SSTDR 寄存器的 bit7 传送到 SSTRSR 寄存器的 bit0。

17.2.2.1 数据输入 / 输出引脚和 SS 移位寄存器的关系

根据 SSCRH 寄存器的 MSS 位和 SSMR2 寄存器的 SSUMS 位的组合，数据输入 / 输出引脚和 SSTRSR 寄存器的连接关系不同。另外，根据 SSMR2 寄存器的 BIDE 位连接关系也不同。数据输入 / 输出引脚和 SSTRSR 寄存器的连接关系如图 17.11 所示。

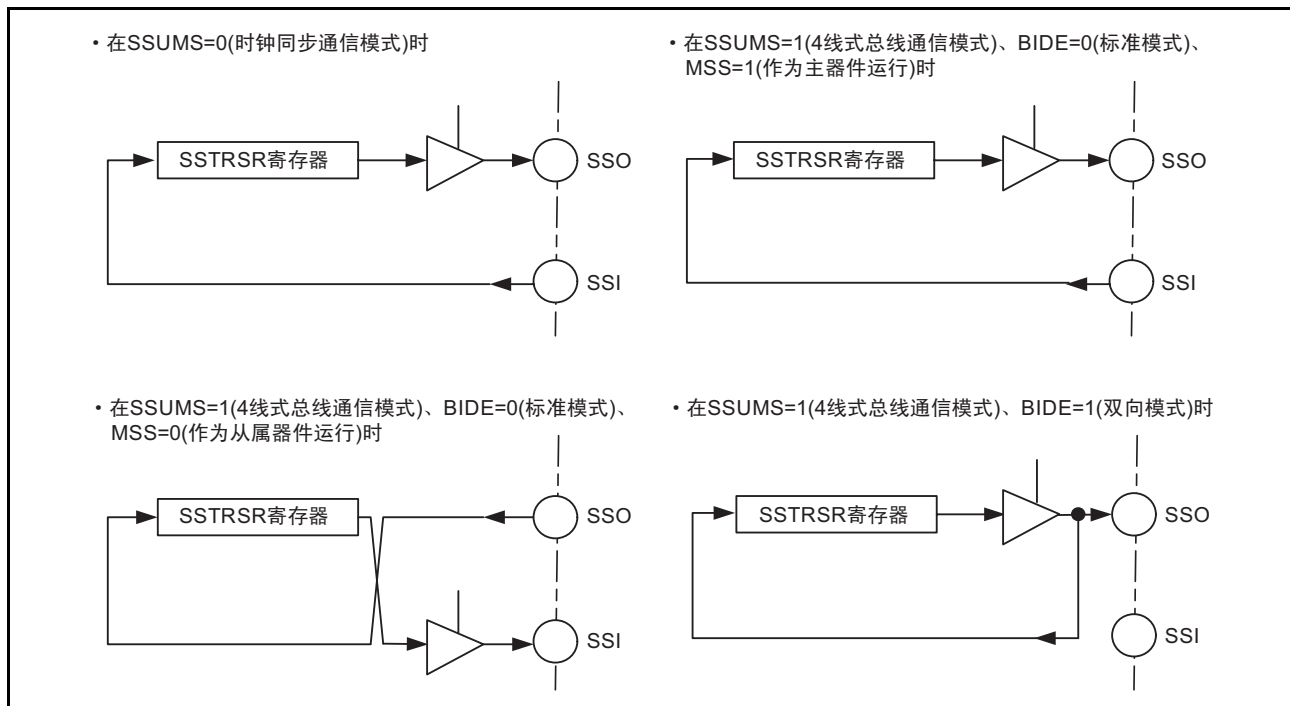


图 17.11 数据输入 / 输出引脚和 SSTRSR 寄存器的连接关系

17.2.3 中断请求

带片选的时钟同步串行 I/O 的中断请求有发送数据空、发送结束、接收数据满、溢出错误和冲突错误 5 种中断请求。由于这些中断请求被分配在带片选的时钟同步串行 I/O 的中断向量表中，所以需要根据标志判断中断源。带片选的时钟同步串行 I/O 的中断请求如表 17.3 所示。

表 17.3 带片选的时钟同步串行 I/O 的中断请求

中断请求	略称	产生条件
发送数据空	TXI	TIE=1 并且 TDRE=1
发送结束	TEI	TEIE=1 并且 TEND=1
接收数据满	RXI	RIE=1 并且 RDRF=1
溢出错误	OEI	RIE=1 并且 ORER=1
冲突错误	CEI	CEIE=1 并且 CE=1

CEIE、RIE、TEIE、TIE: SSER 寄存器的位

ORER、RDRF、TEND、TDRE: SSSR 寄存器的位

在满足表 17.3 的产生条件时，产生带片选的时钟同步串行 I/O 的中断请求。必须通过带片选的时钟同步串行 I/O 的中断程序将各自的中断源清“0”。

但是，通过将发送数据写到 SSTDR 寄存器，TDRE 位和 TEND 位自动清“0”；通过读 SSRDR 寄存器，RDRF 位自动清“0”。尤其是在将发送数据写到 SSTDR 寄存器的同时，TDRE 位再次变为“1”（已将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器）。此时，如果将 TDRE 位清“0”（没有将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），就可能多发送 1 个字节。

17.2.4 各通信模式和引脚功能

带片选的时钟同步串行 I/O 在各通信模式中，根据 SSCRH 寄存器的 MSS 位和 SSER 寄存器的 RE、TE 位的设定，输入 / 输出引脚的功能不同。通信模式和输入 / 输出引脚的关系如表 17.4 所示。

表 17.4 通信模式和输入 / 输出引脚的关系

通信模式	位的设定					引脚的状态		
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK
时钟同步通信模式	0	无效	0	0	1	输入	— (注 1)	输入
				1	0	— (注 1)	输出	输入
				1	1	输入	输出	输入
			1	0	1	输入	— (注 1)	输出
				1	0	— (注 1)	输出	输出
				1	1	输入	输出	输出
4 线式总线通信模式	1	0	0	0	1	— (注 1)	输入	输入
				1	0	输出	— (注 1)	输入
				1	1	输出	输入	输入
			1	0	1	输入	— (注 1)	输出
				1	0	— (注 1)	输出	输出
				1	1	输入	输出	输出
4 线式总线 (双向) 通信模式 (注 2)	1	1	0	0	1	— (注 1)	输入	输入
				1	0	— (注 1)	输出	输入
			1	0	1	— (注 1)	输入	输出
				1	0	— (注 1)	输出	输出

注 1. 能用作可编程输入 / 输出端口。

注 2. 在 4 线式总线 (双向) 通信模式中，不能同时将 TE 和 RE 位置 “1”。

SSUMS、BIDE: SSMR2 寄存器的位

MSS: SSCRH 寄存器的位

TE、RE: SSER 寄存器的位

17.2.5 时钟同步通信模式

17.2.5.1 时钟同步通信模式的初始化

时钟同步通信模式的初始化如图 17.12 所示。必须在发送 / 接收数据前将 SSER 寄存器的 TE 位清 “0” (禁止发送)、RE 位清 “0” (禁止接收)，然后进行初始化。

另外，在更改通信模式和通信格式等时，必须在将 TE 位清 “0”、RE 位清 “0” 后进行。

即使将 RE 位清 “0”，也保持 RDRF、ORER 的各标志和 SSRDR 寄存器的内容。

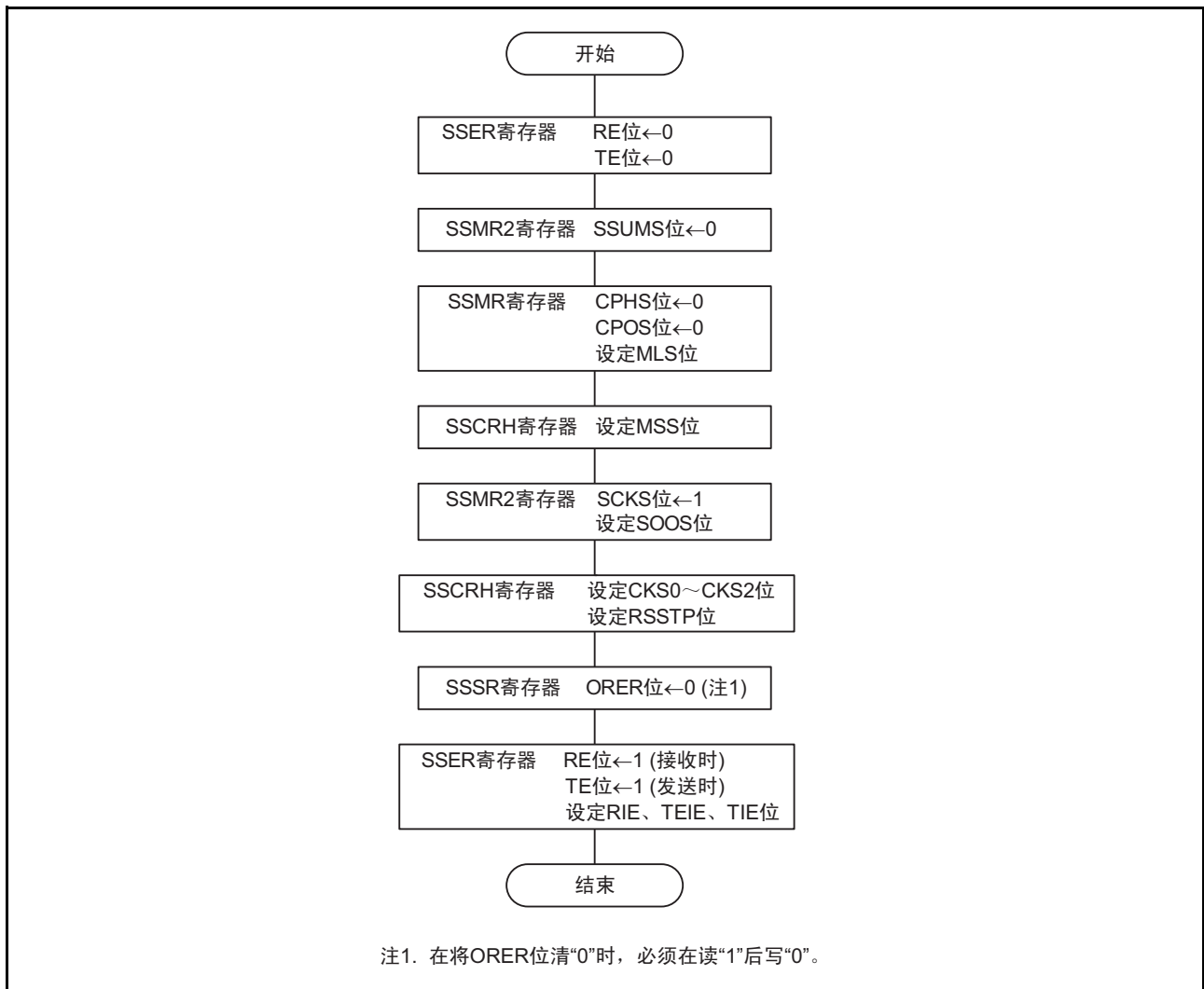


图 17.12 时钟同步通信模式的初始化

17.2.5.2 数据的发送

发送数据时的运行例（时钟同步通信模式）如图 17.13 所示，发送数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主控器件时，输出同步时钟和数据；在设定为从属器件时，与输入时钟同步输出数据。

如果在 TE 位置“1”（允许发送）后将发送数据写到 SSTDR 寄存器，TDRE 位就自动清“0”（没有将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），并将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器。然后，TDRE 位变为“1”（已将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），开始发送。此时，如果 SSER 寄存器的 TIE 位为“1”，就产生 TXI 中断请求。

如果在 TDRE 位为“0”的状态下结束 1 帧的传送，就将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器，开始发送下一个帧。如果在 TDRE 位为“1”的状态下发送第 8 个位，SSSR 寄存器的 TEND 位就变为“1”（在进行发送数据最后位的发送时，TDRE 位为“1”），并保持该状态。此时，如果 SSER 寄存器的 TEIE 位为“1”（允许发送结束的中断请求），就产生 TEI 中断请求。在发送结束后，SSCK 引脚被固定为“H”电平。

另外，在 SSSR 寄存器的 ORER 位为“1”（产生溢出错误）的状态下无法发送。必须在发送前确认 ORER 位是否为“0”。

发送数据的流程的例子（时钟同步通信模式）如图 17.14 所示。

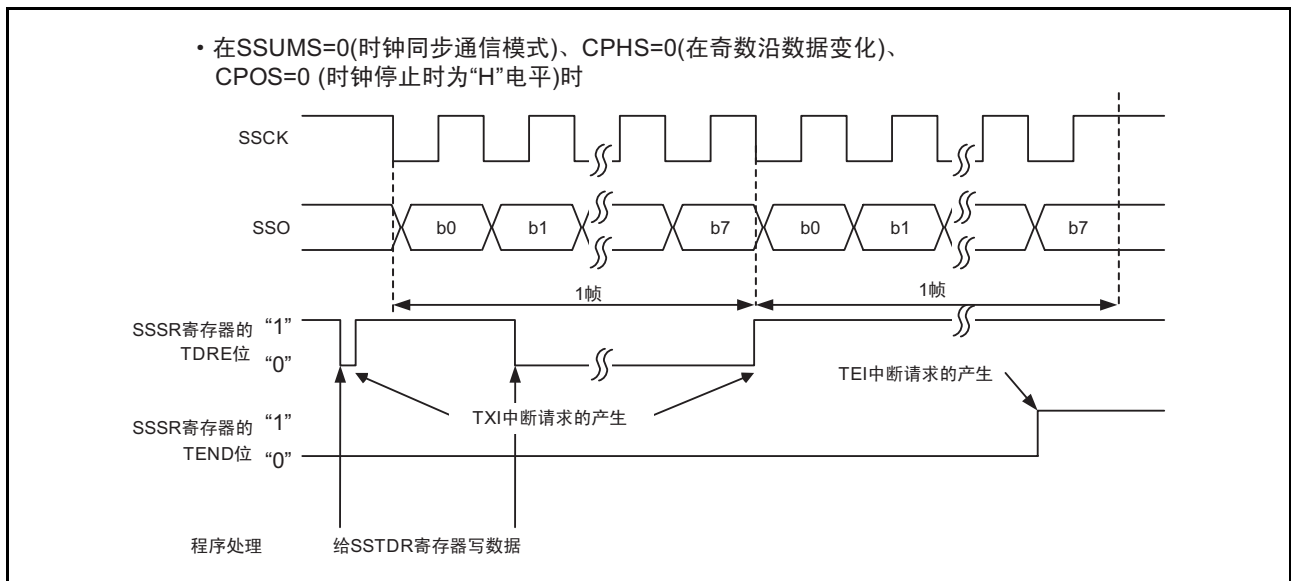


图 17.13 发送数据时的运行例（时钟同步通信模式）

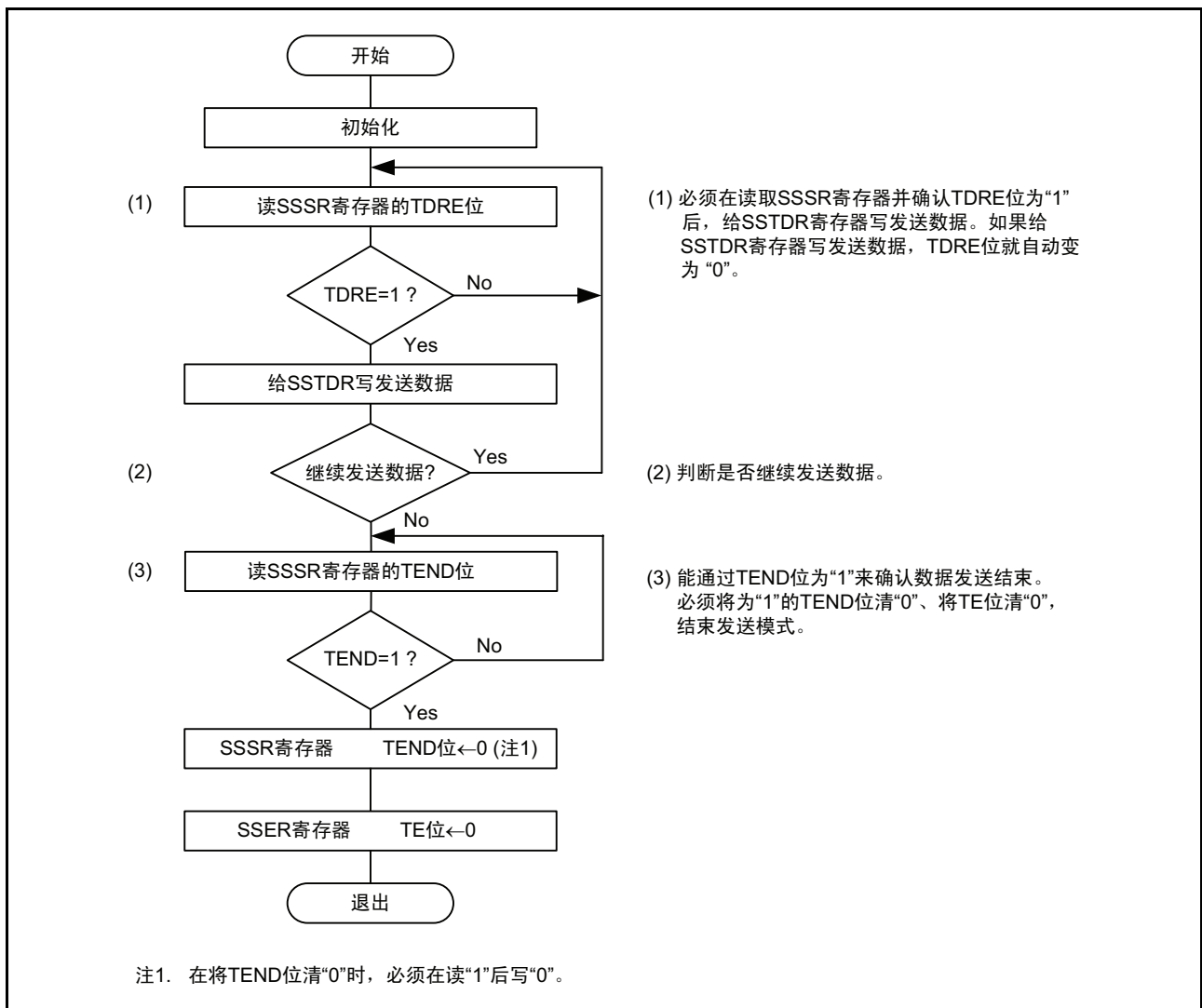


图 17.14 发送数据的流程的例子（时钟同步通信模式）

17.2.5.3 数据的接收

接收数据时的运行例（时钟同步通信模式）如图 17.15 所示，接收数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主控器件时，输出同步时钟，并输入数据；在设定为从属器件时，与输入时钟同步输入数据。

在设定为主控器件时，最初通过虚读 SSRDR 寄存器输出接收时钟，开始接收。

在接收 8 位数据后，SSSR 寄存器的 RDRF 位变为“1”（SSRDR 寄存器中有数据），并将接收数据保存到 SSRDR 寄存器。此时，如果 SSER 寄存器的 RIE 位为“1”（允许 RXI 和 OEI 中断请求），就产生 RXI 中断请求。如果读 SSRDR 寄存器，RDRF 位就自动清“0”（SSRDR 寄存器中没有数据）。

在设定为主控器件并结束接收时，必须在将 SSCRH 寄存器的 RSSTP 位置“1”（在接收 1 字节数据后结束接收运行）后读接收数据。从而在输出 8 位的时钟后停止接收运行。然后，必须将 SSER 寄存器的 RE 位清“0”（禁止接收）、RSSTP 位清“0”（在接收 1 字节数据后还继续接收运行），读最后的接收数据。如果在 RE 位为“1”（允许接收）的状态下读 SSRDR 寄存器，就重新输出接收时钟。

如果在 RDRF 位为“1”的状态下第 8 个时钟上升，SSSR 寄存器的 ORER 位就变为“1”（产生溢出错误），产生溢出错误（OEI）并停止接收运行。另外，在 ORER 位为“1”的状态下无法接收。必须在重新开始接收前确认 ORER 位是否为“0”。

接收数据的流程的例子（MSS=1）（时钟同步通信模式）如图 17.16 所示。

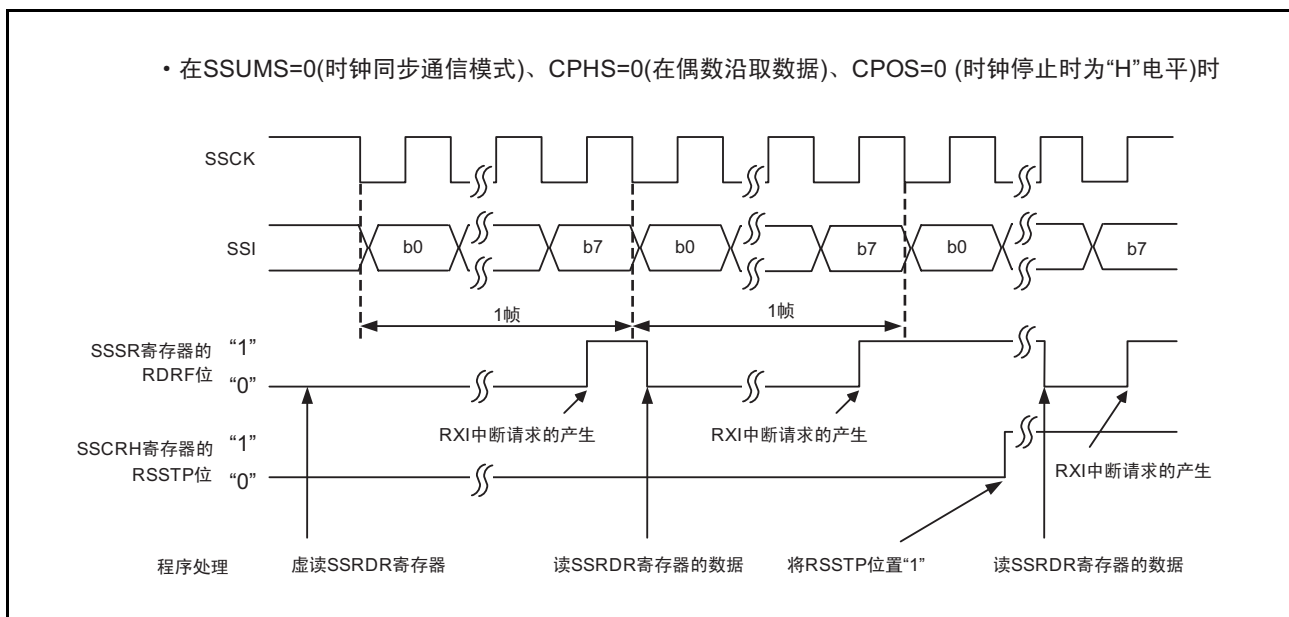


图 17.15 接收数据时的运行例（时钟同步通信模式）

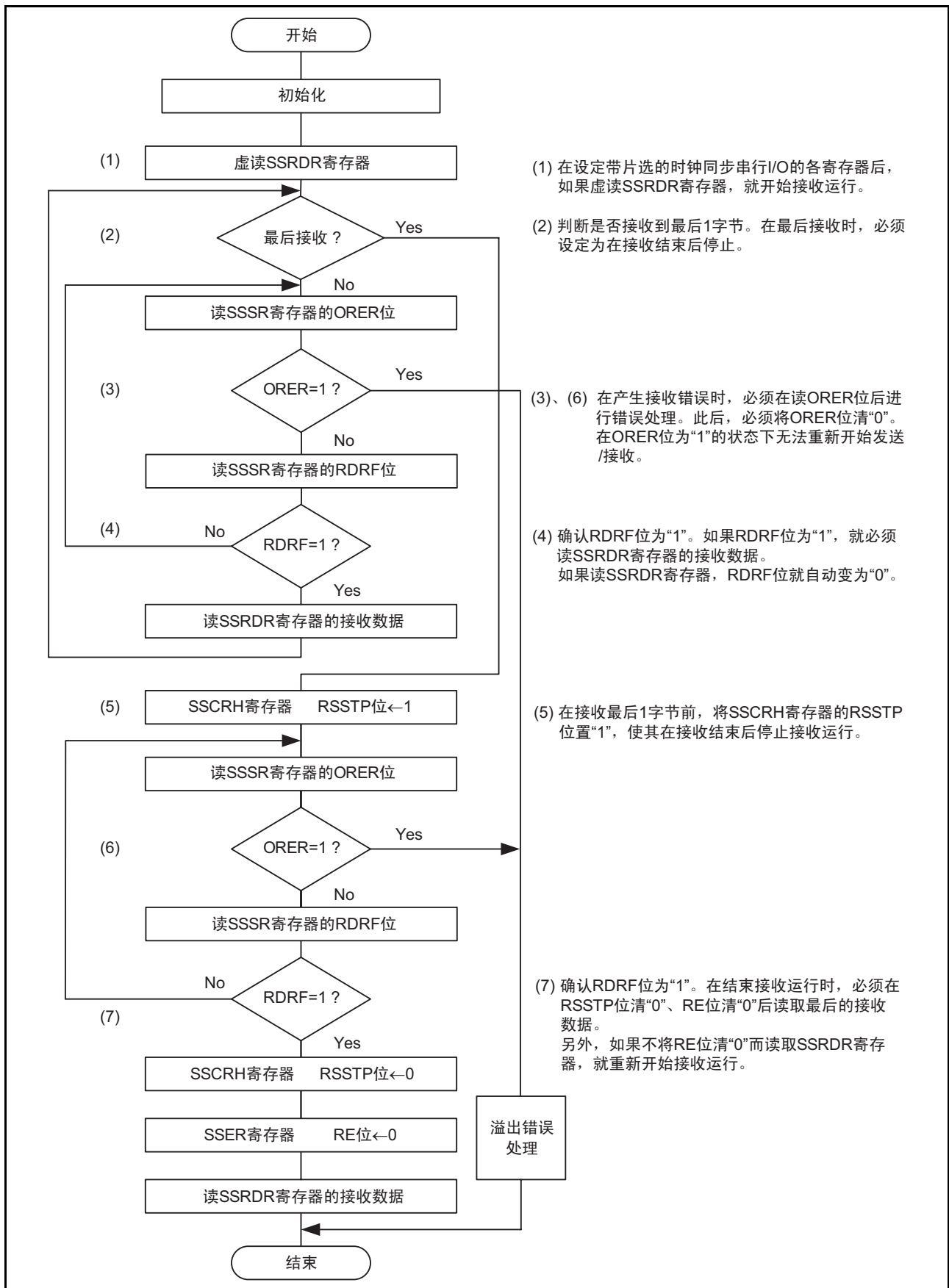


图 17.16 接收数据的流程的例子 (MSS=1) (时钟同步通信模式)

17.2.5.4 数据的发送和接收

数据的发送和接收为上述的发送数据和接收数据的复合运行。

如果将发送数据写到 SSTD_R 寄存器，就开始发送和接收。另外，如果在 TDRE 位为“1”（已将数据从 SSTD_R 寄存器传送到 SSTR_{SR} 寄存器）的状态下第 8 个时钟上升或者 ORER 位为“1”（产生溢出错误），就停止发送和接收。

在从发送模式（TE=1）或者接收模式（RE=1）转换到发送和接收模式（TE=RE=1）时，必须先将 TE 位清“0”、RE 位清“0”后进行更改。另外，必须在确认 TEND 位是“0”（在进行发送数据最后位的发送时，TDRE 位为“0”）、RDRF 位是“0”（SSRD_R 寄存器中没有数据）以及 ORER 位是“0”（无溢出错误）后，将 TE 和 RE 位置“1”。

发送和接收数据的流程的例子（时钟同步通信模式）如图 17.17 所示。

在从发送和接收模式（TE=RE=1）解除发送和接收模式时，如果在读 SSRD_R 寄存器后解除发送和接收模式，就可能输出时钟。为了避免这种情况，必须进行以下的任何一种设定：

- 先将 RE 位置“0”，然后将 TE 位置“0”。
- 将 TE 位和 RE 位同时置“0”。

此后，如果要设定为接收模式（TE=0、RE=1），就必须在给 SRES 位写“1”后继续写“0”，并且对时钟同步串行接口控制部和 SSTR_{SR} 寄存器进行初始化，然后将 RE 位置“1”。

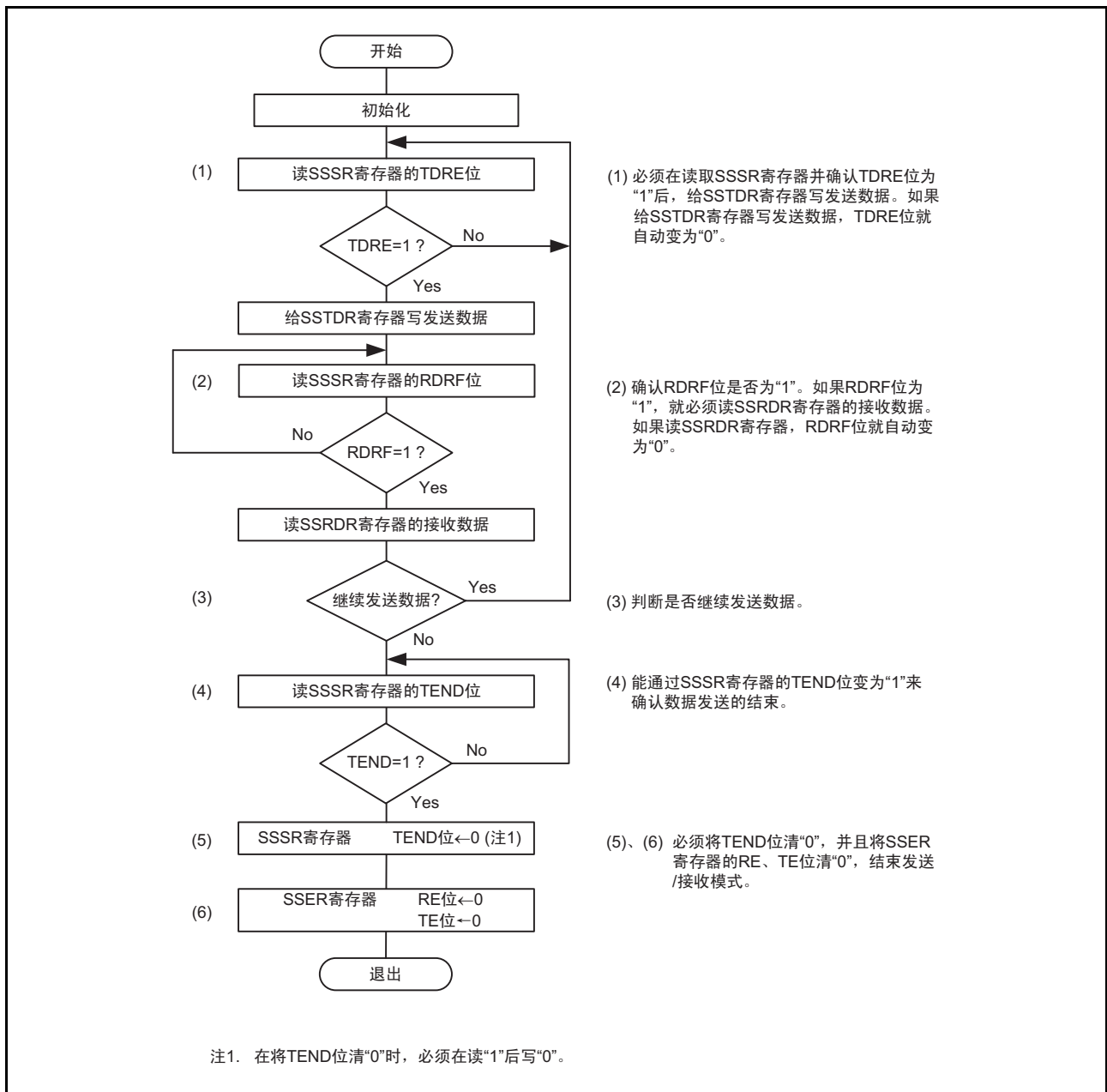


图 17.17 发送和接收数据的流程的例子（时钟同步通信模式）

17.2.6 4 线式总线通信模式

4 线式总线通信模式是使用时钟线、数据输入线、数据输出线和片选线共 4 条总线进行通信的模式。此模式也包含用 1 个引脚进行数据输入和数据输出的双向模式。

数据输入线和数据输出线因 SSCRH 寄存器的 MSS 位和 SSMR2 寄存器的 BIDE 位的设定而不同，详细内容请参照“17.2.2.1 数据输入 / 输出引脚和 SS 移位寄存器的关系”。另外，在此模式中，能通过 SSMR 寄存器的 CPOS 位和 CPHS 位设定时钟的极性、相位和数据的关系，详细内容请参照“17.2.1.1 传送时钟的极性、相位和数据的关系”。

片选线在主控器件时进行输出控制，在从属器件时进行输入控制。在主控器件的情况下，能将 SSMR2 寄存器的 CSS1 位置“1”，进行 $\overline{\text{SCS}}$ 引脚或者通用端口的输出控制。在从属器件的情况下，能将 SSMR2 寄存器的 CSS1、CSS0 位置“01b”，使 $\overline{\text{SCS}}$ 引脚作为输入引脚使用。

在 4 线式总线通信模式中，通常将 SSMR 寄存器的 MLS 位清“0”，进行 MSB first 的通信。

17.2.6.1 4 线式总线通信模式的初始化

4 线式总线通信模式的初始化如图 17.18 所示。必须在发送 / 接收数据前将 SSER 寄存器的 TE 位清“0”（禁止发送）、RE 位清“0”（禁止接收），然后进行初始化。

另外，在更改通信模式和通信格式等时，必须在将 TE 位清“0”、RE 位清“0”后进行。

即使将 RE 位清“0”，也保持 RDRF、ORER 的各标志和 SSRDR 寄存器的内容。

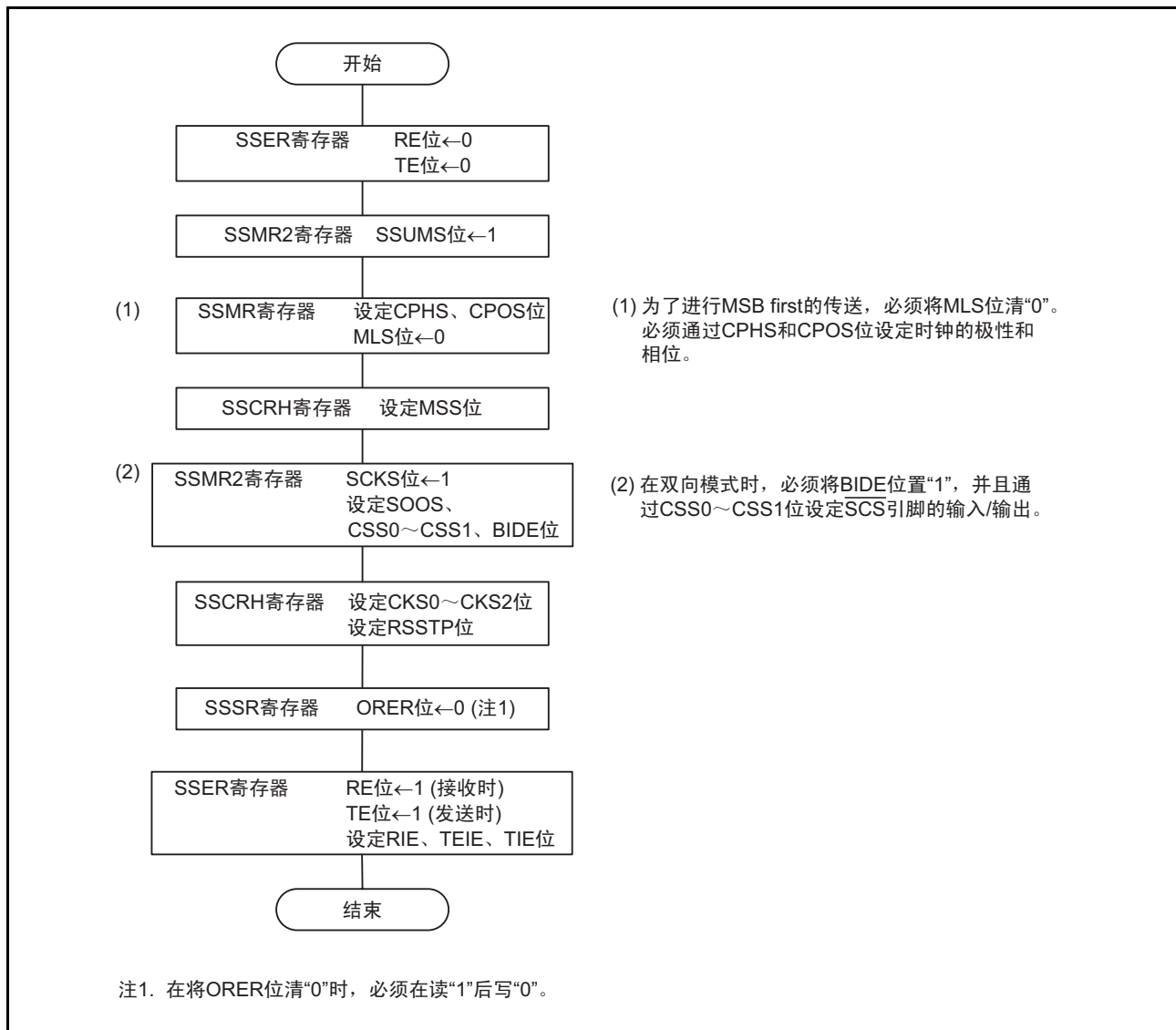


图 17.18 4 线式总线通信模式的初始化

17.2.6.2 数据的发送

发送数据时的运行例（4线式总线通信模式）如图 17.19 所示，发送数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主控器件时，输出同步时钟和数据；在设定为从属器件时，在 $\overline{\text{SCS}}$ 引脚为“L”电平输入的状态下，与输入时钟同步输出数据。

如果在 TE 位置“1”（允许发送）后将发送数据写到 SSTDR 寄存器，TDRE 位就自动清“0”（没有将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），并将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器。然后，TDRE 位变为“1”（已将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），开始发送。此时，如果 SSER 寄存器的 TIE 位为“1”，就产生 TXI 中断请求。

如果在 TDRE 位为“0”的状态下结束 1 帧的传送，就将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器，开始发送下一个帧。如果在 TDRE 位为“1”的状态下发送第 8 个位，SSSR 寄存器的 TEND 位就变为“1”（在进行发送数据最后位的发送时，TDRE 位为“1”），并保持该状态。此时，如果 SSER 寄存器的 TEIE 位为“1”（允许发送结束的中断请求），就产生 TEI 中断请求。在发送结束后，SSCK 引脚被固定为“H”电平， $\overline{\text{SCS}}$ 引脚为“H”电平。在 $\overline{\text{SCS}}$ 引脚为“L”电平的条件下进行连续发送时，必须在发送第 8 个位前将下一个发送数据写到 SSTDR 寄存器。

另外，在 SSSR 寄存器的 ORER 位为“1”（产生溢出错误）的状态下无法发送。必须在发送前确认 ORER 位是否为“0”。

和时钟同步通信模式的不同是：主控器件时，在 $\overline{\text{SCS}}$ 引脚为高阻抗的状态下，SSO 引脚处于高阻抗状态；从属器件时，在 $\overline{\text{SCS}}$ 引脚为“H”电平输入状态下，SSI 引脚处于高阻抗状态。

流程例和时钟同步通信模式相同（请参照“图 17.14 发送数据的流程的例子（时钟同步通信模式）”）。

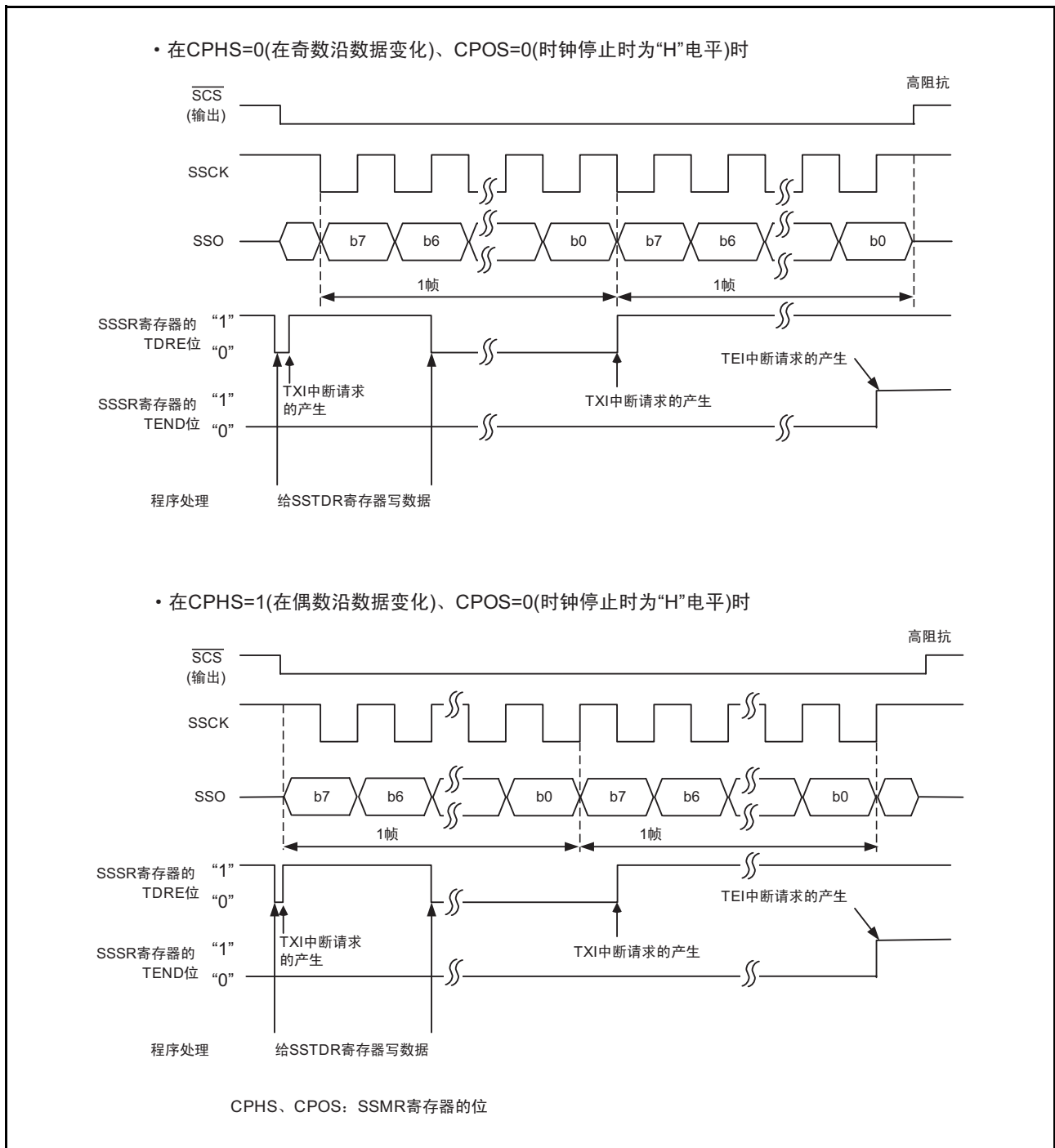


图 17.19 发送数据时的运行例（4 线式总线通信模式）

17.2.6.3 数据的接收

接收数据时的运行例（4线式总线通信模式）如图 17.20 所示，接收数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主控器件时，输出同步时钟，并输入数据；在设定为从属器件时，在 $\overline{\text{SCS}}$ 引脚为“L”电平输入的状态下，与输入时钟同步输入数据。

在设定为主控器件时，最初通过虚读 SSRDR 寄存器输出接收时钟，开始接收。

在接收 8 位数据后，SSSR 寄存器的 RDRF 位变为“1”（SSRDR 寄存器中有数据），并将接收数据保存到 SSRDR 寄存器。此时，如果 SSER 寄存器的 RIE 位为“1”（允许 RXI 和 OEI 中断请求），就产生 RXI 中断请求。如果读 SSRDR 寄存器，RDRF 位就自动清“0”（SSRDR 寄存器中没有数据）。

在设定为主控器件并结束接收时，必须在 SSCRH 寄存器的 RSSTP 位置“1”（在接收 1 字节数据后结束接收运行）后读接收数据。从而在输出 8 位的时钟后停止接收运行。然后，必须将 SSER 寄存器的 RE 位清“0”（禁止接收）、RSSTP 位清“0”（在接收 1 字节数据后还继续接收运行），读最后的接收数据。如果在 RE 位为“1”（允许接收）的状态下读 SSRDR 寄存器，就重新输出接收时钟。

如果在 RDRF 位为“1”的状态下第 8 个时钟上升，SSSR 寄存器的 ORER 位就变为“1”（产生溢出错误），产生溢出错误（OEI）并停止接收运行。另外，在 ORER 位为“1”的状态下无法接收。必须在重新开始接收前确认 ORER 位是否为“0”。

RDRF 位和 ORER 位为“1”的时序因 SSMR 寄存器的 CPHS 位的设定而不同，此时序如图 17.20 所示。如果将 CPHS 位置“1”（在奇数沿取数据），RDRF 位和 ORER 位就在帧的中途变为“1”，所以在结束接收时必须注意。

流程例和时钟同步通信模式相同（请参照“图 17.16 接收数据的流程的例子（MSS=1）（时钟同步通信模式）”）。

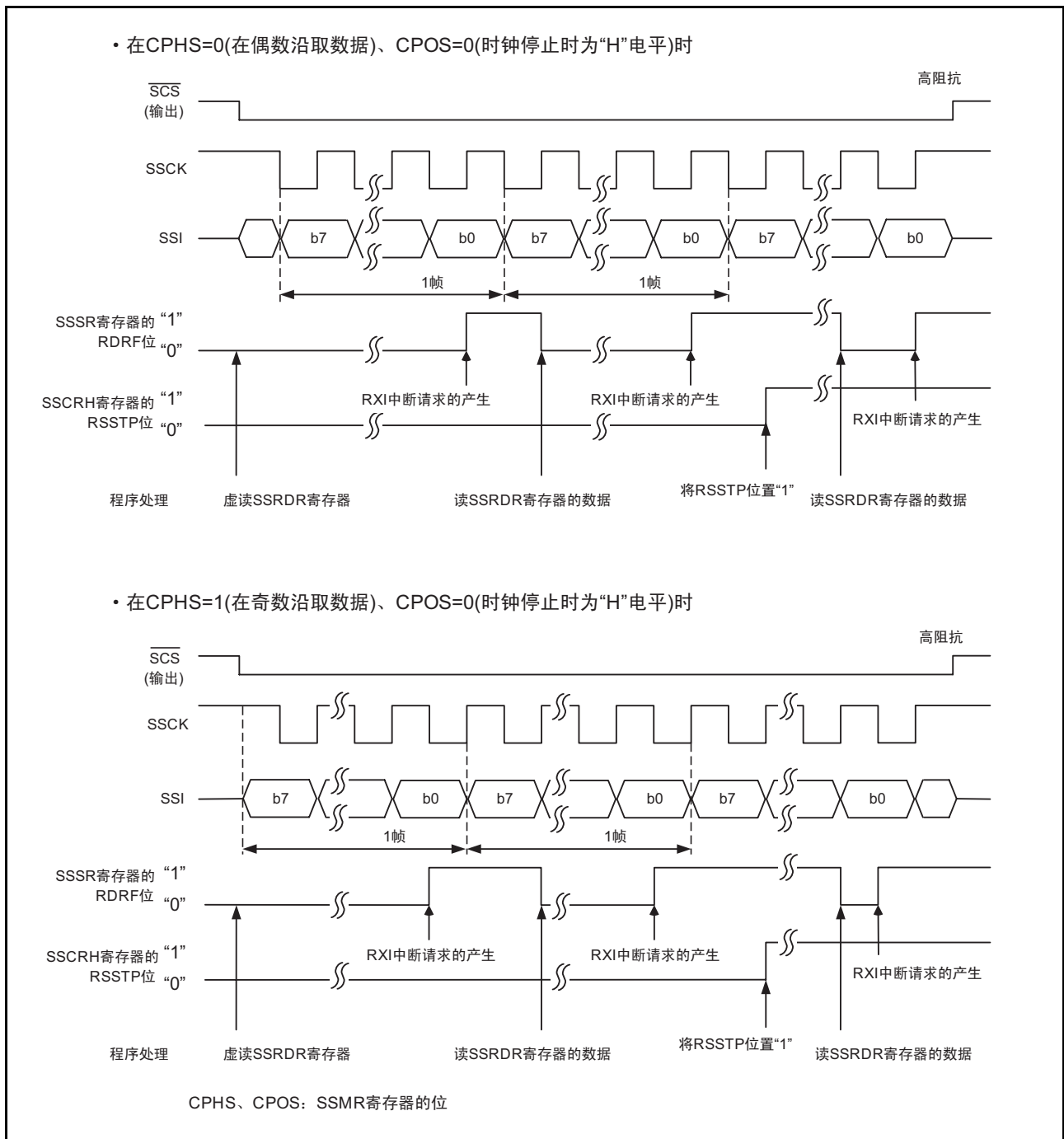


图 17.20 接收数据时的运行例（4 线式总线通信模式）

17.2.7 $\overline{\text{SCS}}$ 引脚控制和仲裁

如果将 SSMR2 寄存器的 SSUMS 位置 “1”（4 线式总线通信模式）、CSS1 位置 “1”（用作 $\overline{\text{SCS}}$ 输出引脚），就在 SSCRH 寄存器的 MSS 位置 “1”（作为主控器件运行）后并且在开始串行传送前，检查 $\overline{\text{SCS}}$ 引脚的仲裁。如果检测到此期间的同步内部 $\overline{\text{SCS}}$ 信号为 “L” 电平，SSSR 寄存器的 CE 位就变为 “1”（发生冲突错误），MSS 位自动清 “0”（作为从属器件运行）。

仲裁检查时序如图 17.21 所示。

另外，在 CE 位为 “1” 的状态下无法进行以后的发送运行。因此，必须在开始发送前将 CE 位清 “0”（无冲突错误）。

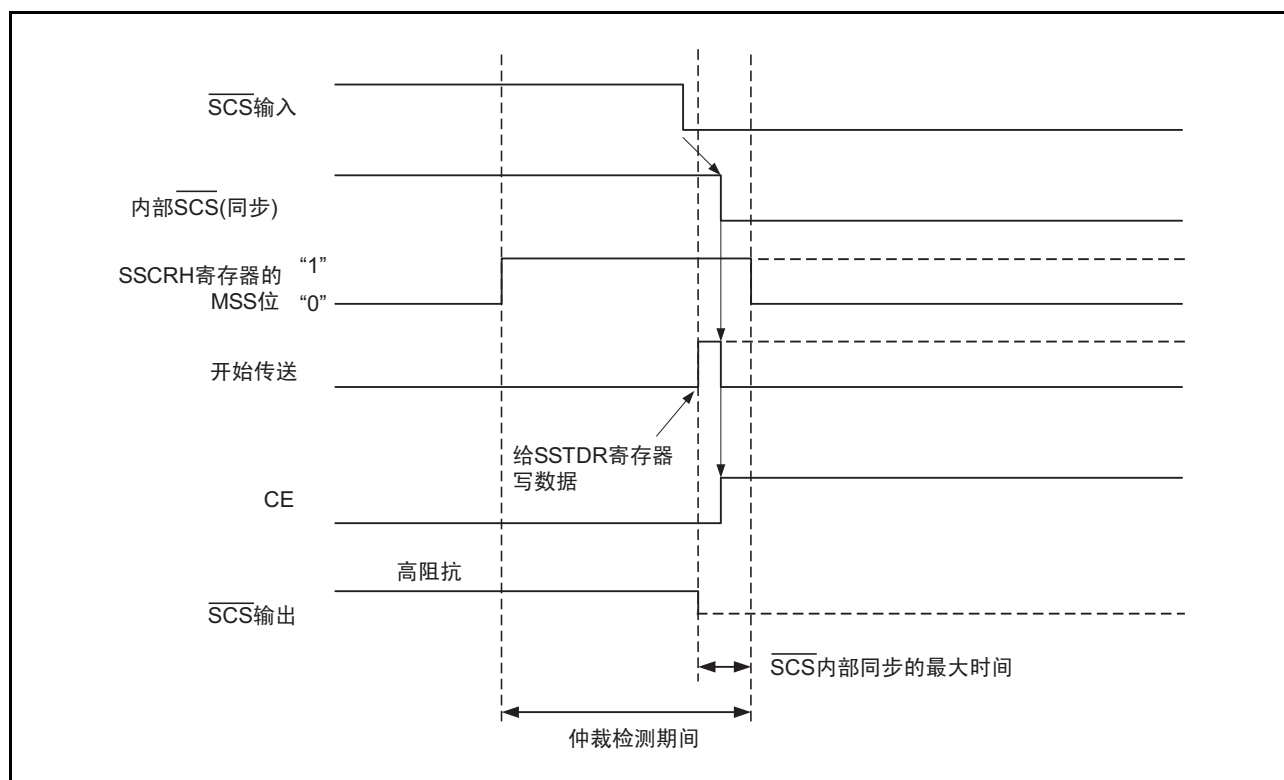


图 17.21 仲裁检查时序

17.2.8 带片选的时钟同步串行 I/O 使用时的注意事项

在使用带片选的时钟同步串行 I/O 时，必须将 PMR 寄存器的 IICSEL 位清 “0”（选择带片选的时钟同步串行 I/O 功能）。

17.3 I²C 总线接口

I²C 总线接口是基于 PHILIPS 公司 I²C 总线的数据传送格式进行串行通信的电路。

I²C 总线接口的规格和框图如表 17.5 和图 17.22 所示，SCL 和 SDA 引脚的外部电路的连接例如图 17.23 所示。

I²C 总线接口的相关寄存器如图 17.24 ~ 图 17.30 所示。

※ I²C bus 是荷兰 PHILIPS 公司的注册商标。

表 17.5 I²C 总线接口的规格

项 目	规 格
通信格式	<ul style="list-style-type: none"> • I²C 总线格式 <ul style="list-style-type: none"> - 能选择主控器件 / 从属器件 - 能连续发送和连续接收（移位寄存器、发送数据寄存器和接收数据寄存器各自独立） - 在主模式中自动生成开始条件和停止条件 - 在发送时，自动装入应答位 - 内置位同步和等待功能（在主模式中按位监视 SCL 状态，自动取得同步。在发送还没有准备好时，将 SCL 置“L”电平进行等待） - 能直接驱动 SCL、SDA 引脚（N 沟道漏极开路输出） • 时钟同步串行格式 <ul style="list-style-type: none"> - 能连续发送和连续接收（移位寄存器、发送数据寄存器和接收数据寄存器各自独立）
输入 / 输出引脚	SCL（输入 / 输出）：串行时钟输入 / 输出引脚 SDA（输入 / 输出）：串行数据输入 / 输出引脚
传送时钟	<ul style="list-style-type: none"> • 当 ICCR1 寄存器的 MST 位是“0”时 为外部时钟（从 SCL 引脚输入） • 当 ICCR1 寄存器的 MST 位是“1”时 为由 ICCR1 寄存器的 CKS0 ~ CKS3 位选择的内部时钟（从 SCL 引脚输出）
接收错误的检测	<ul style="list-style-type: none"> • 检测溢出错误（时钟同步串行格式） 表示在接收时产生溢出错误。在 ICSR 寄存器的 RDRF 位为“1”（ICDRR 寄存器中有数据）的状态下接收到下一个数据的最后位时，AL 位变为“1”
中断源	<ul style="list-style-type: none"> • I²C 总线格式 6 种（注 1） 发送数据空（包含从属地址匹配时）、发送结束、接收数据满（包含从属地址匹配时）、仲裁失败、NACK 检测和停止条件检测 • 时钟同步串行格式 4 种（注 1） 发送数据空、发送结束、接收数据满和溢出错误
选择功能	<ul style="list-style-type: none"> • I²C 总线格式 <ul style="list-style-type: none"> - 在接收时，能选择应答的输出电平 • 时钟同步串行格式 <ul style="list-style-type: none"> - 数据传送方向能选择 MSB first 或者 LSB first

注 1. 在中断向量表中只有 1 个 I²C 总线接口的中断向量。

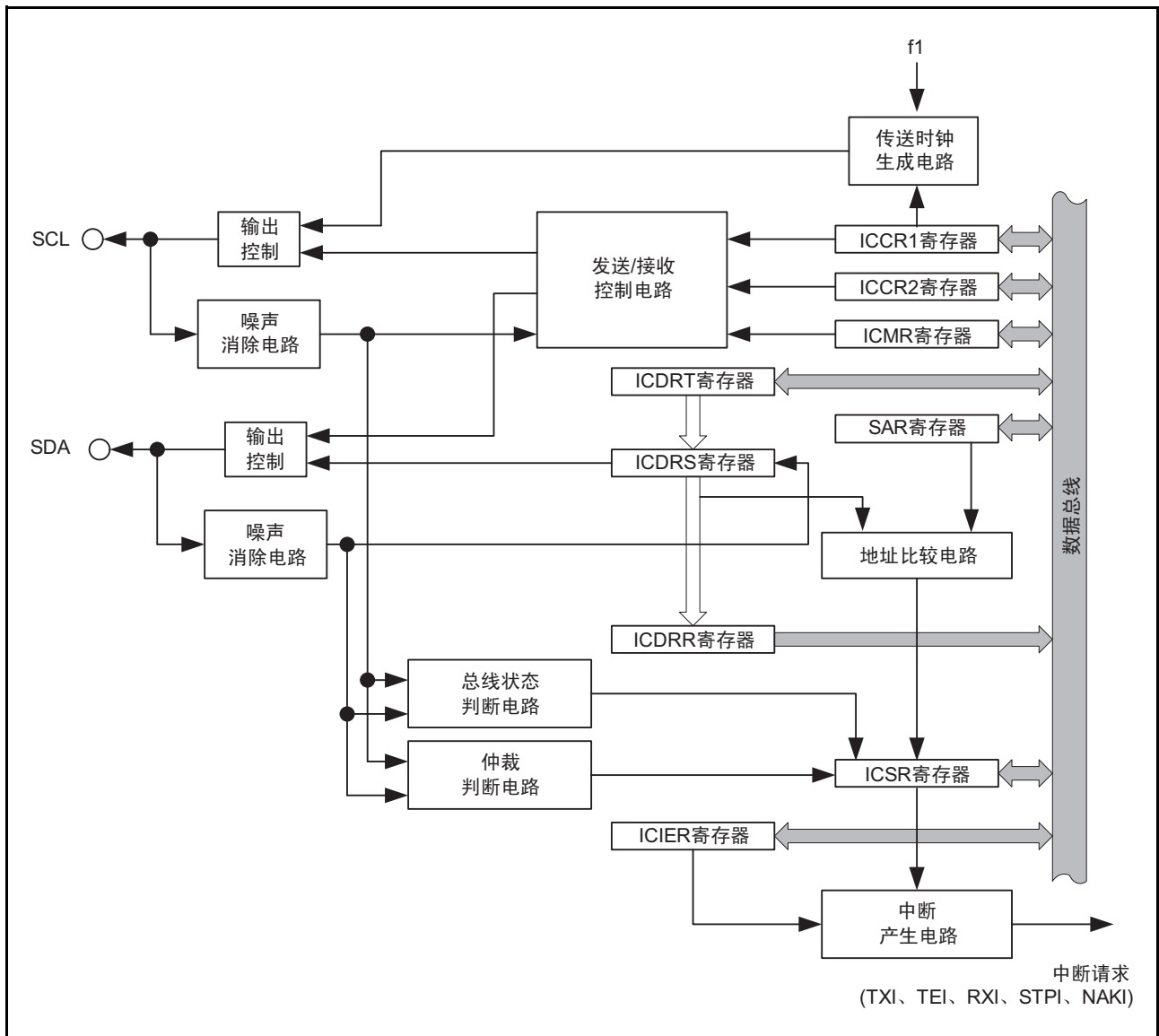


图 17.22 I²C 总线接口的框图

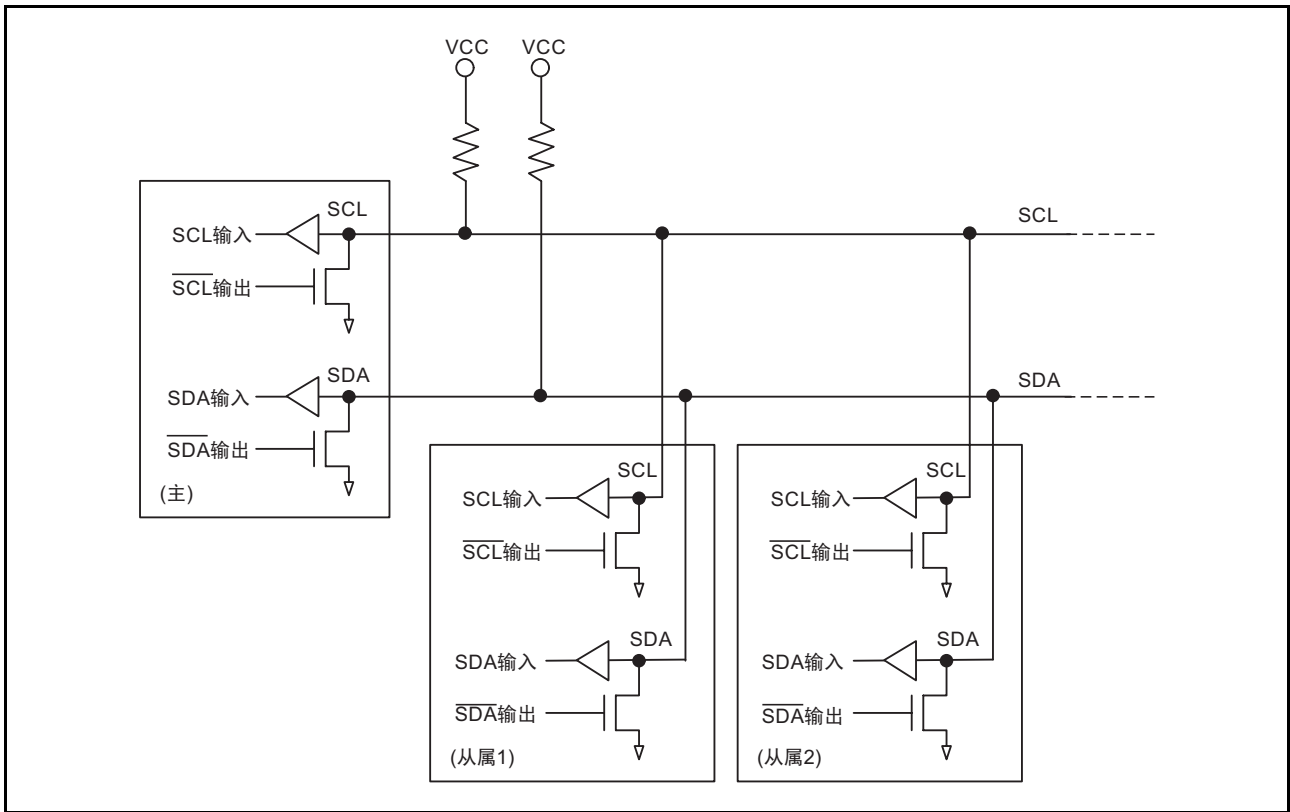


图 17.23 SCL、SDA 引脚的外部电路的连接例

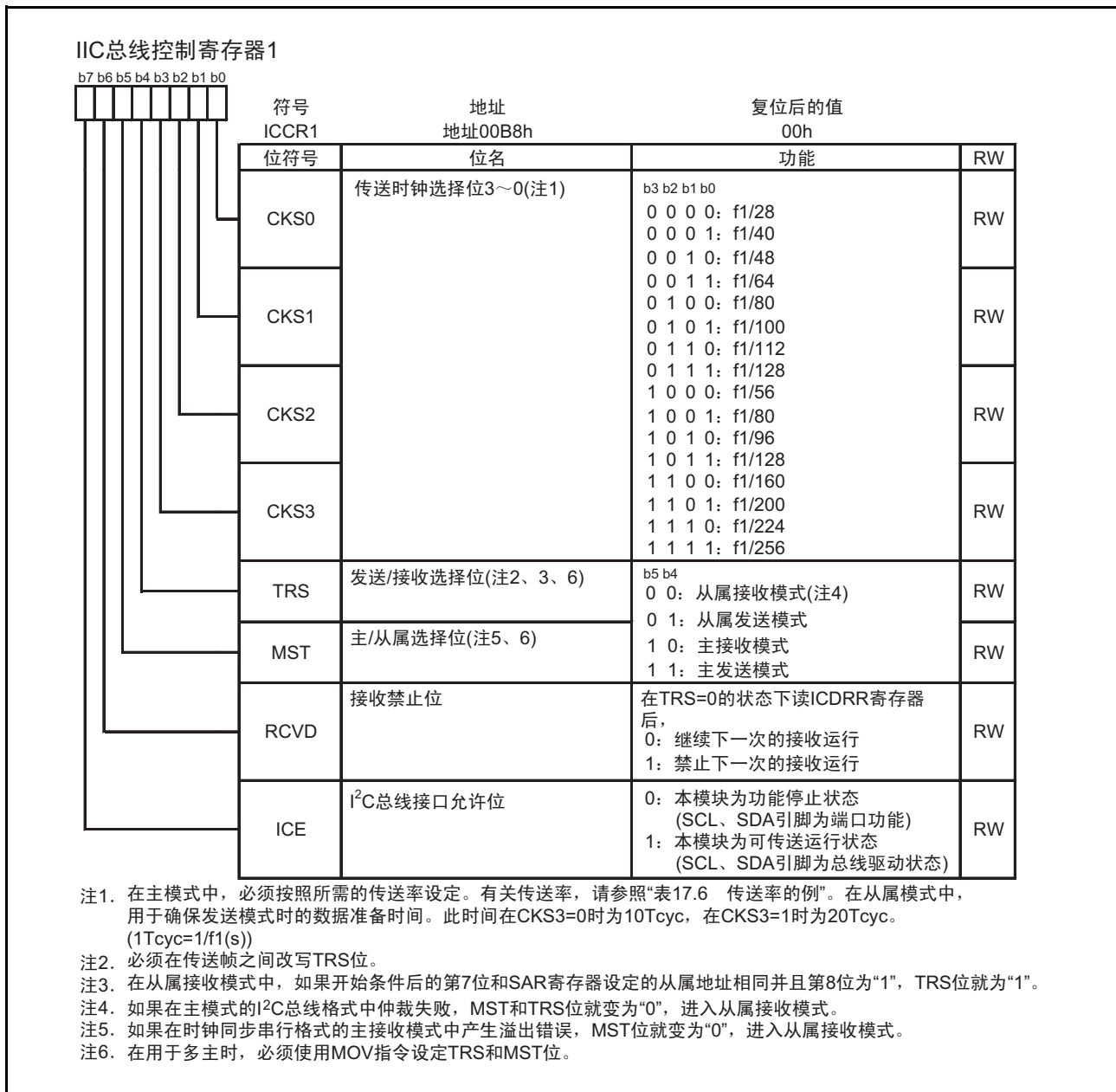


图 17.24 ICCR1 寄存器

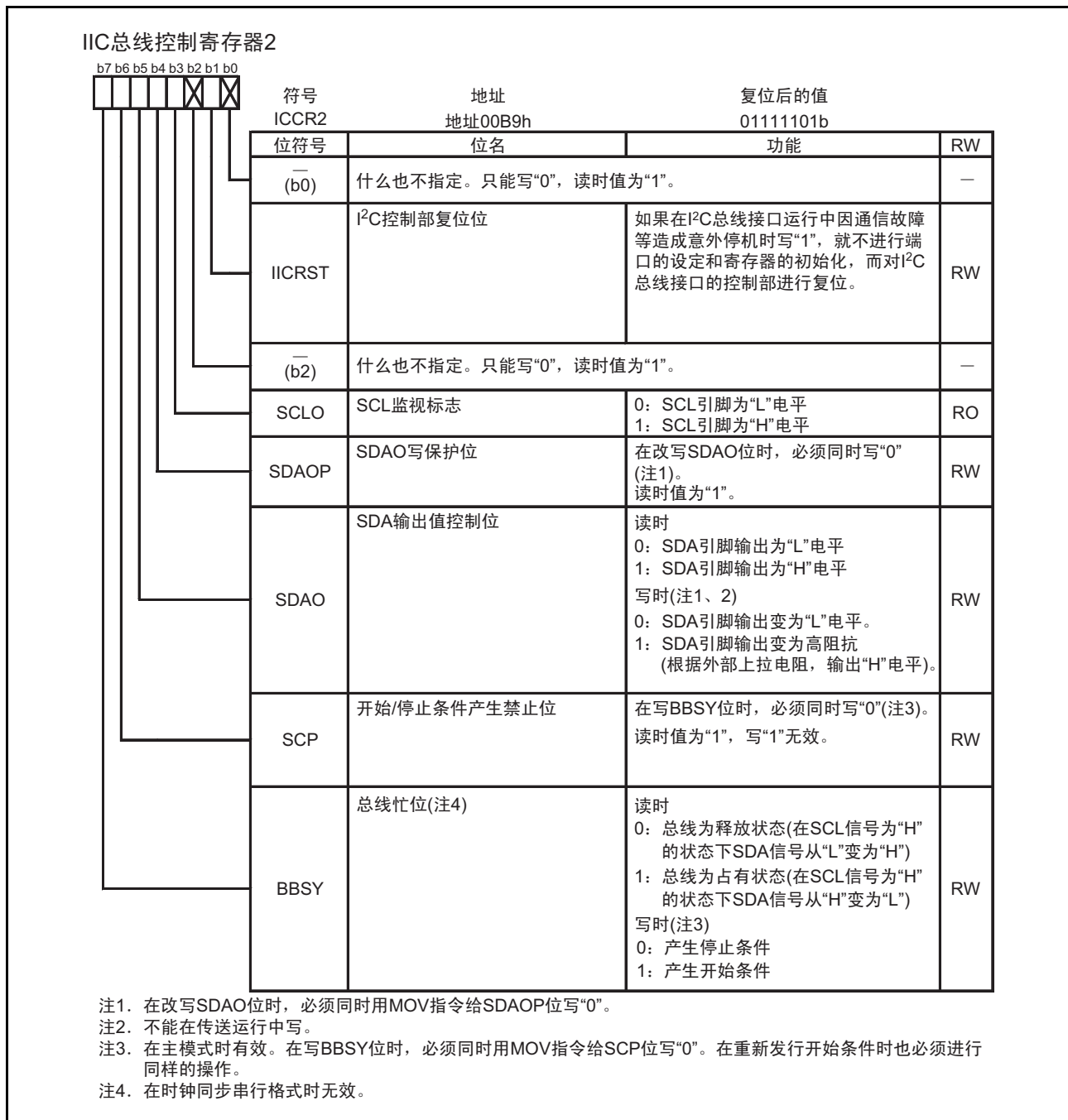


图 17.25 ICCR2 寄存器

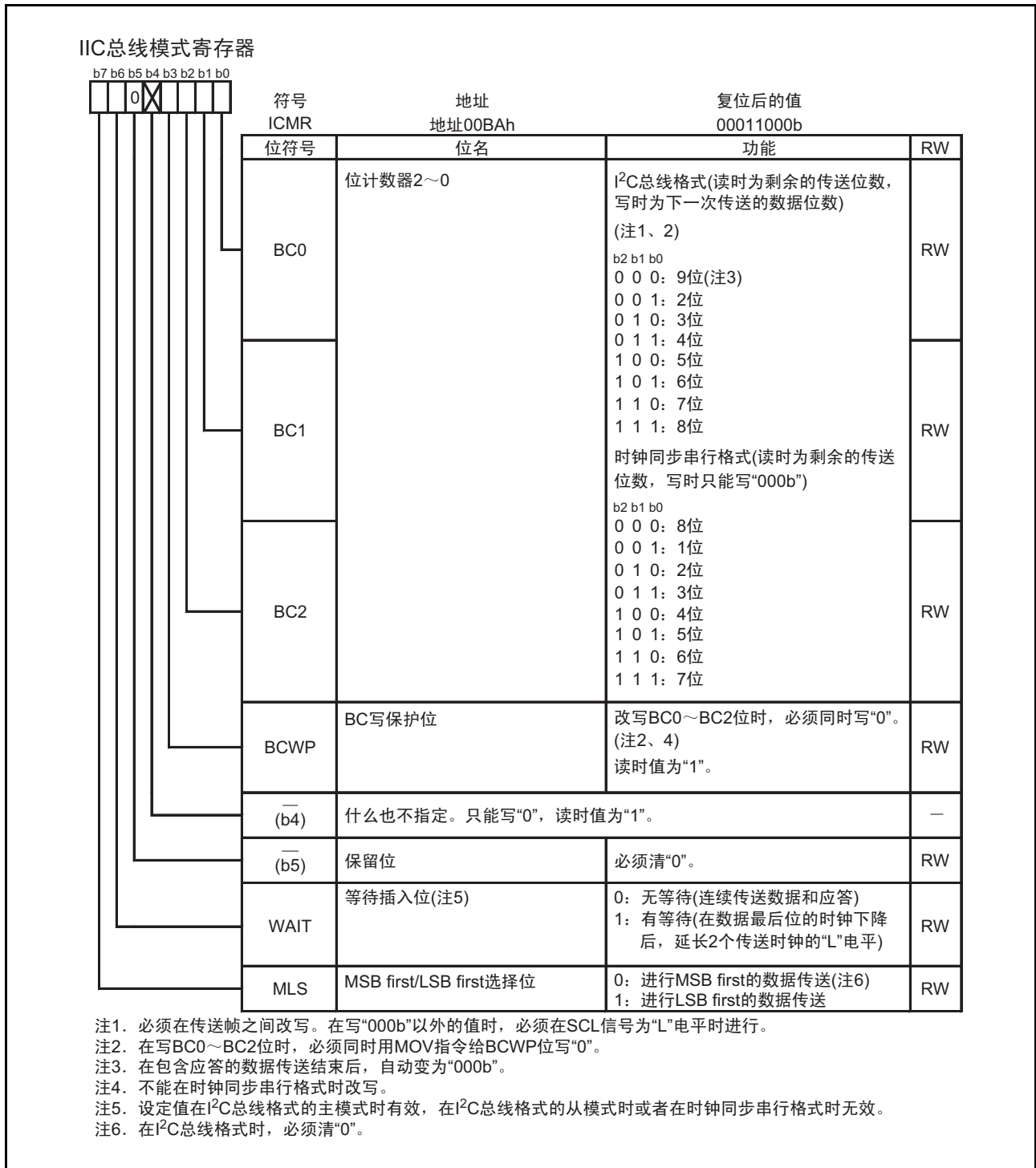


图 17.26 ICMR 寄存器

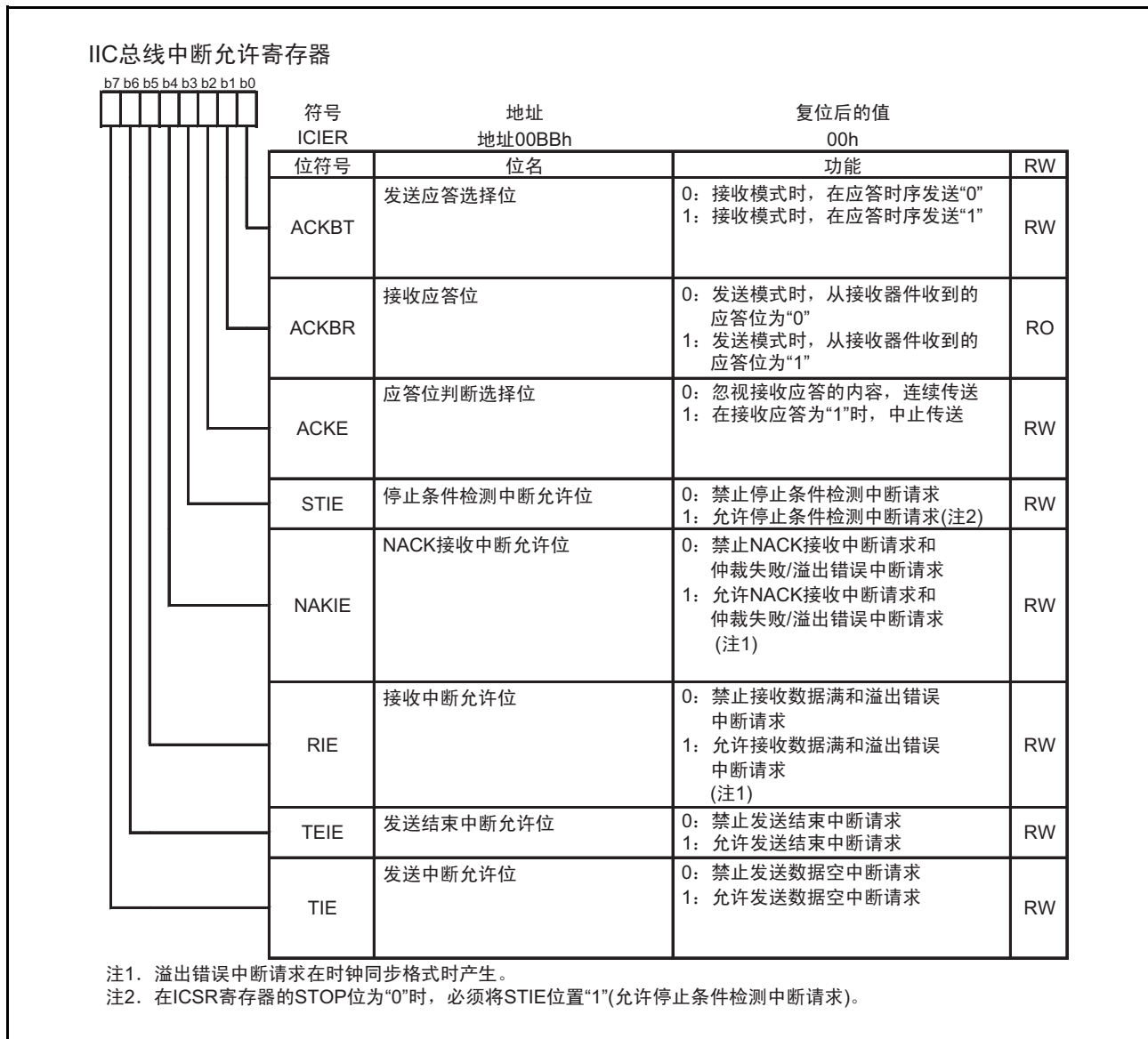


图 17.27 ICIER 寄存器

IIC总线状态寄存器(注7)

符号	地址	复位后的值	
ICSR	地址00BCh	0000X000b	
位符号	位名	功能	RW
ADZ	一般调用地址识别标志(注1、2)	在检测到一般调用地址时, 为“1”。	RW
AAS	从属地址识别标志(注1)	在从属接收模式中, 如果开始条件后的第1帧和SAR寄存器的SVA0~SVA6相同, 就变为“1”(检测到从属地址, 检测到一般调用地址)。	RW
AL	仲裁失败标志/溢出错误标志(注1)	在I ² C总线格式时, 表示主模式总线竞争失败。在以下的情况下变为“1”。(注3) <ul style="list-style-type: none"> 主发送模式时, 在SCL信号的上升沿内部SDA信号和SDA引脚的电平不相同 主发送/接收模式时, 在检测到开始条件时SDA引脚为“H”电平 在时钟同步格式时, 表示产生溢出错误。在以下的情况下变为“1”。 <ul style="list-style-type: none"> 在RDRF位为“1”的状态下接收到下一个数据的最后位 	RW
STOP	停止条件检测标志(注1)	在帧的传送结束后检测到停止条件时, 为“1”。	RW
NACKF	无应答检测标志(注1、4)	发送时, 从接收器件没有应答时为“1”。	RW
RDRF	接收数据寄存器满(注1、5)	将接收数据从ICDRS寄存器传送到ICDRR寄存器时, 为“1”。	RW
TEND	发送结束(注1、6)	I ² C总线格式时, 在TDRE位为“1”的状态下SCL信号的第9个时钟上升时为“1”。时钟同步格式时, 在将发送帧的最后位输出时为“1”。	RW
TDRE	发送数据空(注1、6)	在以下的情况下变为“1”。 <ul style="list-style-type: none"> 将数据从ICDRT寄存器传送到ICDRS寄存器并且ICDRT寄存器为空时 在将ICCR1寄存器的TRS位置“1”(发送模式)时 在产生了开始条件(含重新发送)时 在从属接收模式变为从属发送模式时 	RW

注1. 如果在读“1”后写“0”, 各位就变为“0”。

注2. 在I²C总线格式的从属接收模式时有效。

注3. 在多主几乎同时占有总线时, I²C总线接口监视SDA, 如果和自身发出的数据不同, 就将AL标志置“1”, 表示总线被其他主占有。

注4. NACKF位在ICIER寄存器的ACKE位为“1”(在接收应答为“1”时, 中止传送)时有效。

注5. 在从ICDRR寄存器读取数据时, RDRF位变为“0”。

注6. 在给ICDRT寄存器写数据时, TEND、TDRE位变为“0”。

注7. 在连续存取ICSR寄存器时, 必须在存取指令之间至少插入1条NOP指令。

图 17.28 ICSR 寄存器

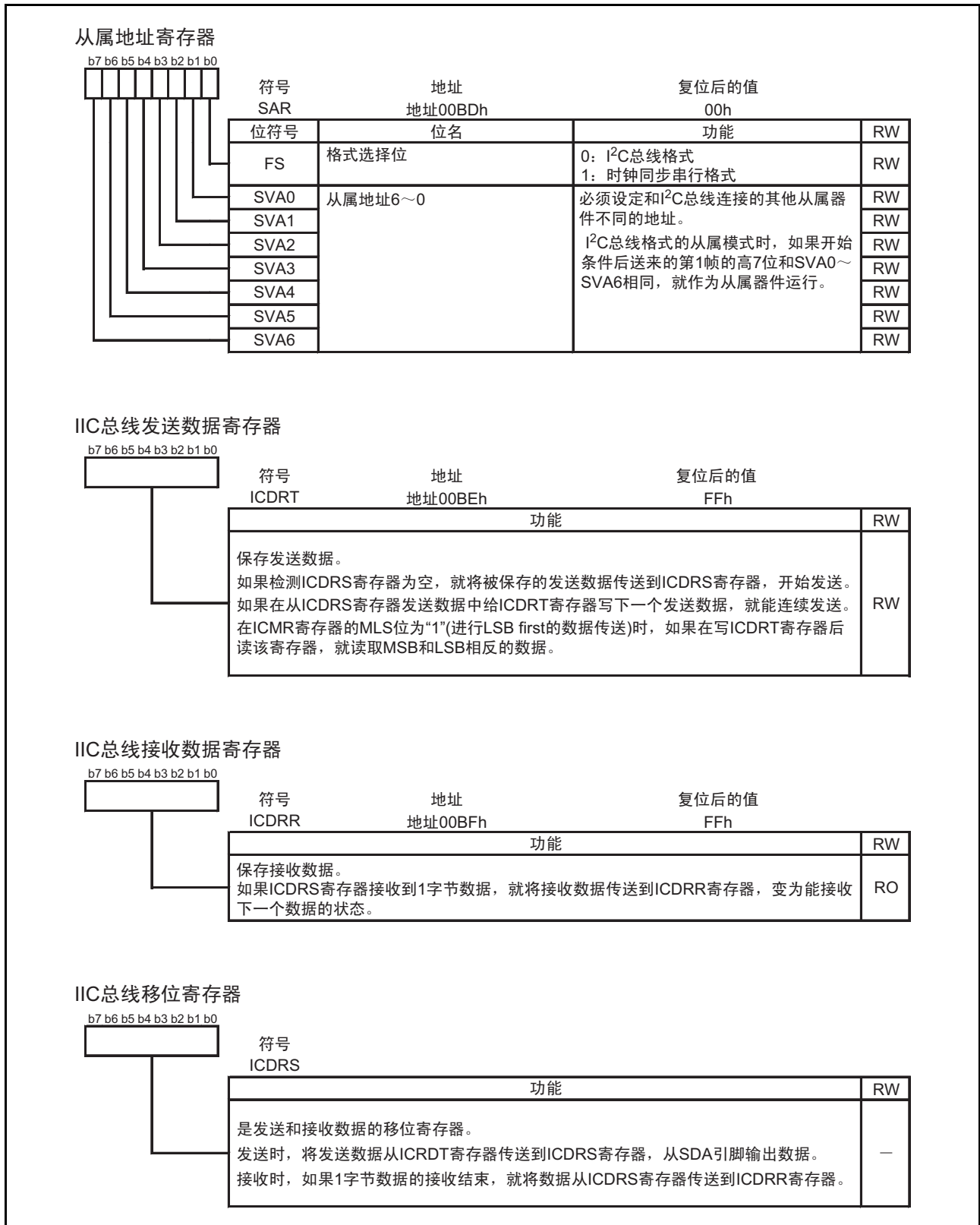


图 17.29 SAR、ICDRT、ICDRR、ICDRS 寄存器

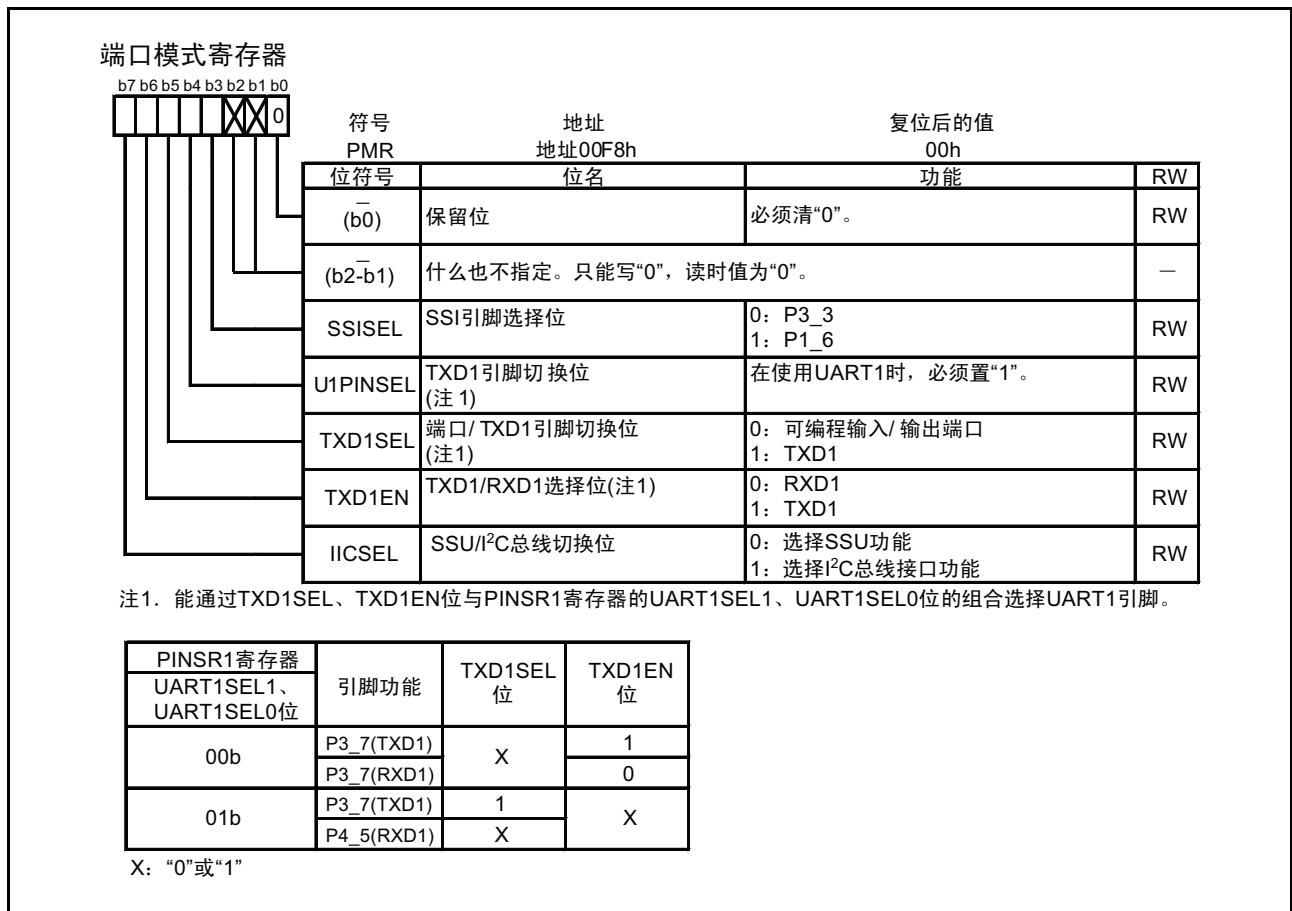


图 17.30 PMR 寄存器

17.3.1 传送时钟

当 ICCR1 寄存器的 MST 位是“0”时，传送时钟为 SCL 引脚输入的外部时钟。

当 ICCR1 寄存器的 MST 位是“1”时，传送时钟是由 ICCR1 寄存器的 CKS0 ~ CKS3 位选择的内部时钟，从 SCL 引脚输出。传送率的例如表 17.6 所示。

表 17.6 传送率的例

ICCR1 寄存器				传送时钟	传送率				
CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz
0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz
			1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz
		1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz
			1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

17.3.2 中断请求

I²C 总线接口的中断请求在 I²C 总线格式时有 6 种，在时钟同步串行格式时有 4 种。I²C 总线接口的中断请求如表 17.7 所示。

由于这些中断请求被分配在 I²C 总线接口的中断向量表中，所以需要根据各位判断中断源。

表 17.7 I²C 总线接口的中断请求

中断请求		产生条件	格式	
			I ² C 总线	时钟同步串行
发送数据空	TXI	TIE=1 并且 TDRE=1	有效	有效
发送结束	TEI	TEIE=1 并且 TEND=1	有效	有效
接收数据满	RXI	RIE=1 并且 RDRF=1	有效	有效
停止条件检测	STPI	STIE=1 并且 STOP=1	有效	无效
NACK 检测	NAKI	NAKIE=1 并且 AL=1 (或者, NAKIE=1 并且 NACKF=1)	有效	无效
仲裁失败 / 溢出错误			有效	有效

STIE、NAKIE、RIE、TEIE、TIE: ICIER 寄存器的位

AL、STOP、NACKF、RDRF、TEND、TDRE: ICSR 寄存器的位

在满足表 17.7 的产生条件时，产生 I²C 总线接口中断请求。必须通过 I²C 总线接口中断程序将各自的中断产生条件清“0”。

但是，通过将发送数据写到 ICDRT 寄存器，TDRE 位和 TEND 位自动清“0”；通过读 ICDRR 寄存器，RDRF 位自动清“0”。尤其是在将发送数据写到 ICDRT 寄存器时，TDRE 位变为“0”，在将数据从 ICDRT 寄存器传送到 ICDRS 寄存器时，TDRE 位变为“1”。此时，如果将 TDRE 位清“0”，就可能多发送 1 个字节。

另外，要将 STIE 位置“1”（允许停止条件检测的中断请求）时，必须在 STOP 位为“0”时进行。

17.3.3 I²C 总线接口模式

17.3.3.1 I²C 总线格式

如果将 SAR 寄存器的 FS 位清 “0”，就以 I²C 总线格式进行通信。

I²C 总线格式和总线时序如图 17.31 所示，接着开始条件后的第 1 帧总是由 8 位构成。

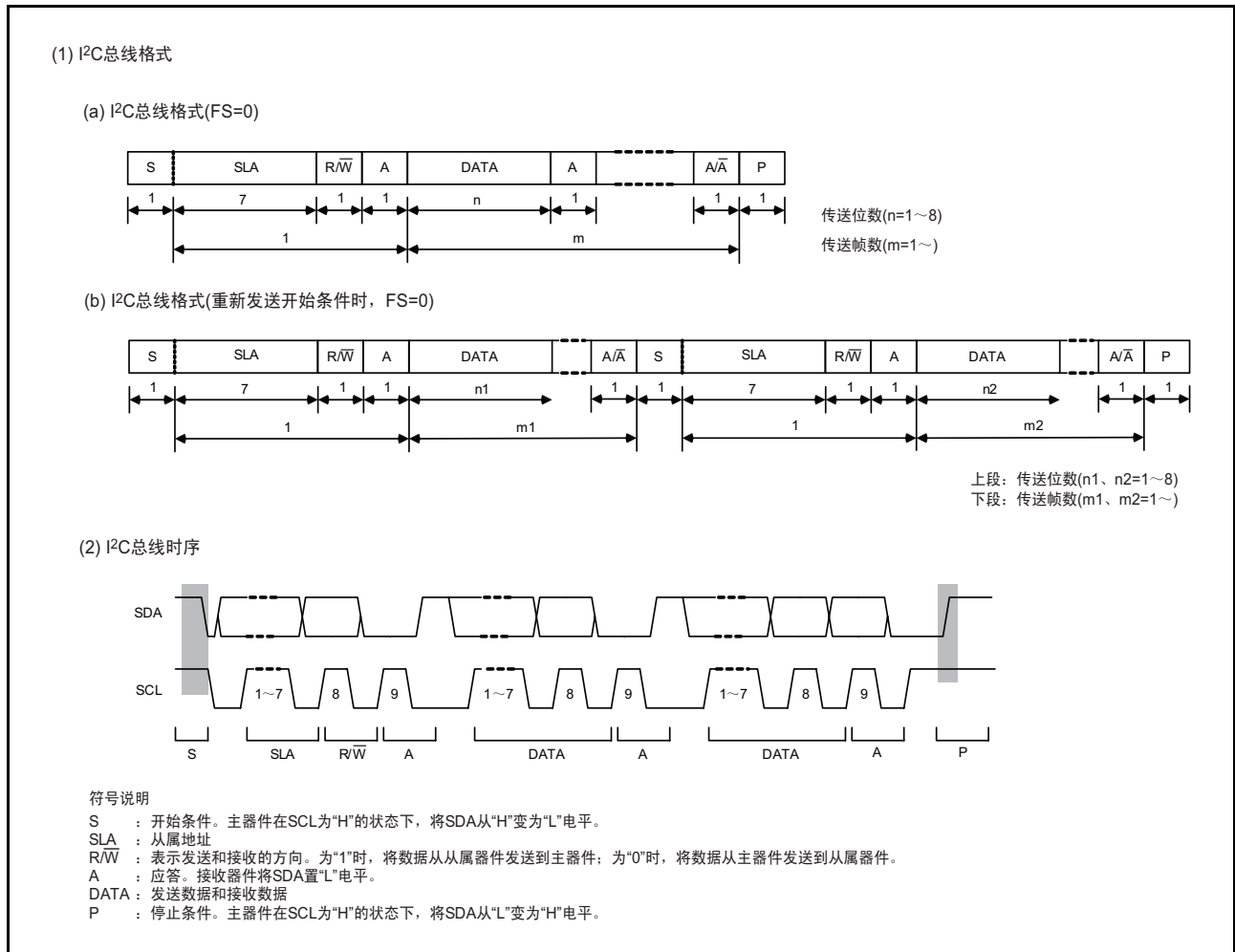


图 17.31 I²C 总线格式和总线时序

17.3.3.2 主发送的运行

在主发送模式中，主控制器输出发送时钟和发送数据，从属器件返回应答。主发送模式的运行时序（I²C 总线接口模式）如图 17.32、图 17.33 所示。

主发送模式的发送步骤和运行如下所示：

- (1) 为了初始化，必须将 ICSR 寄存器的 STOP 位清“0”，然后将 ICCR1 寄存器的 ICE 位置“1”（可发送运行状态），最后设定 ICMR 寄存器的 WAIT 和 MLS 位、ICCR1 寄存器的 CKS0 ~ CKS3 位等（初始设定）。
- (2) 必须读 ICCR2 寄存器的 BBSY 位，在确认总线是释放状态后，将 ICCR1 寄存器的 TRS、MST 位设定为主发送模式，然后用 MOV 指令写 BBSY=1 和 SCP=0（产生开始条件）。从而生成开始条件。
- (3) 必须在确认 ICSR 寄存器的 TDRE 位是“1”后，将发送数据（第 1 个字节是表示从属地址和 R/ \bar{W} 的数据）写到 ICDRT 寄存器。此时，TDRE 位自动清“0”，在将数据从 ICDRT 寄存器传送到 ICDRS 寄存器后，TDRE 位再次变为“1”。
- (4) 在 TDRE 位为“1”的状态下结束 1 字节的发送，ICSR 寄存器的 TEND 位在发送时钟的第 9 个时钟的上升沿变为“1”。必须读 ICIEP 寄存器的 ACKBR 位，在确认从属器件已被选择后，将第 2 字节的数据写到 ICDRT 寄存器。当 ACKBR 位是“1”时，由于从属器件未被识别，所以必须产生停止条件。通过 MOV 指令写 BBSY=0 和 SCP=0 来产生停止条件。另外，在准备完数据或者停止条件产生前，SCL 被固定为“L”电平。
- (5) 必须在每次 TDRE 位变为“1”时将第 2 个字节以后的发送数据写到 ICDRT 寄存器。
- (6) 在将发送的字节数写到 ICDRT 寄存器后，必须在 TDRE 位为“1”的状态下等待 TEND 位变为“1”，或者在 ICIEP 寄存器的 ACKE 位为“1”（在接收应答为“1”时，中止传送）的状态下等待接收器件的 NACK（ICSR 寄存器的 NACKF=1），然后产生停止条件，将 TEND 位或者 NACKF 位清“0”。
- (7) 必须在 ICSR 寄存器的 STOP 位为“1”时返回到从属接收模式。

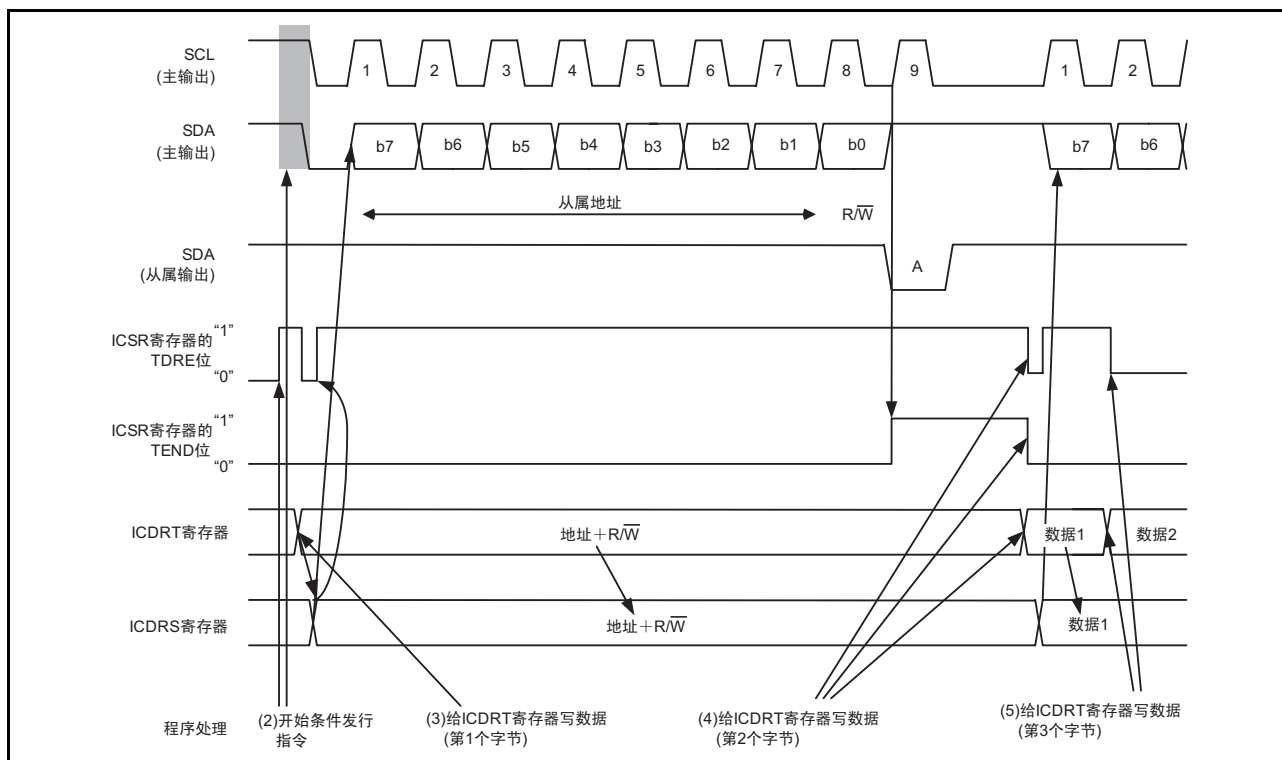
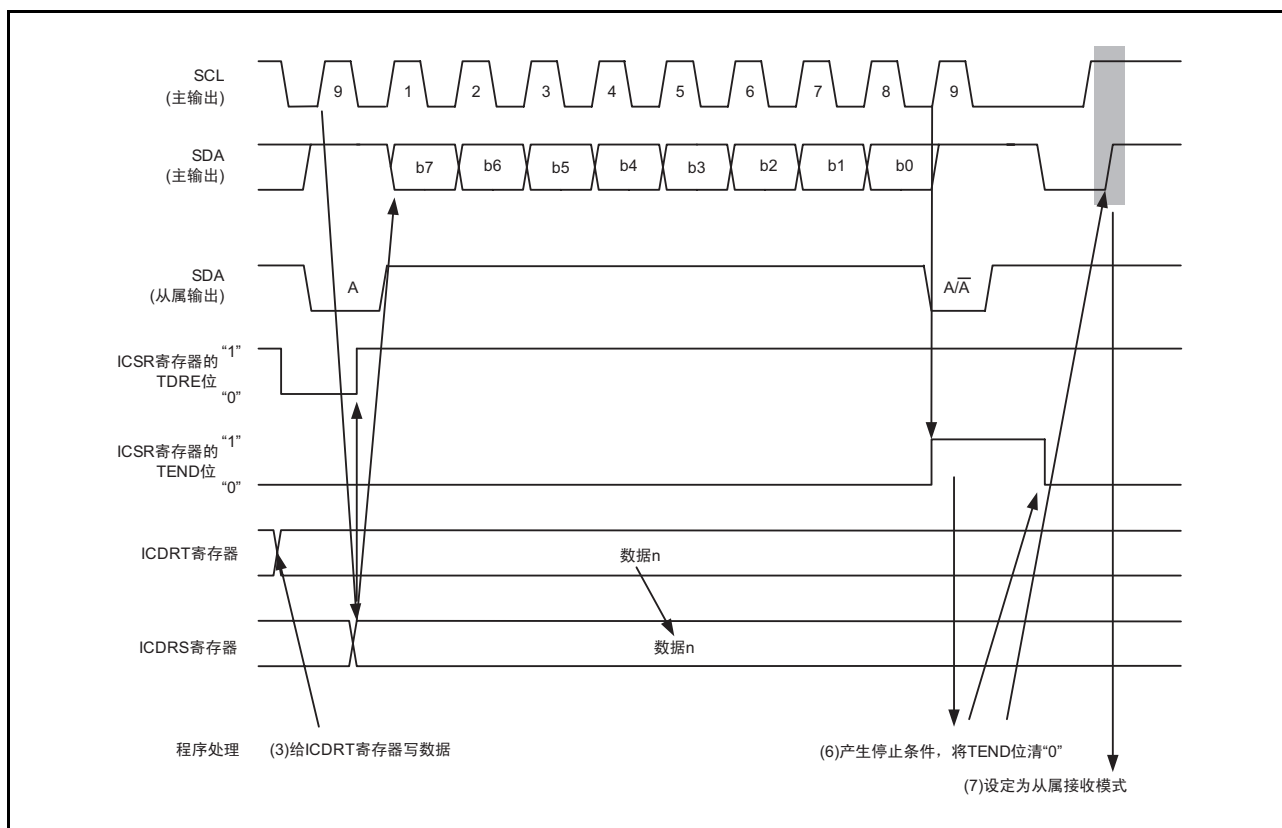


图 17.32 主发送模式的运行时序（I²C 总线接口模式）（1）

图 17.33 主发送模式的运行时序（I²C 总线接口模式）（2）

17.3.3.3 主接收运行

在主接收模式中，主控制器输出接收时钟，在接收从属器件的数据后返回应答。主接收模式的运行时序（I²C 总线接口模式）如图 17.34、图 17.35 所示。

主接收模式的接收步骤和运行如下所示：

- (1) 必须在 ICSR 寄存器的 TEND 位清“0”后将 ICCR1 寄存器的 TRS 位清“0”，从主控制器发送模式转换为主控制器接收模式，然后将 ICSR 寄存器的 TDRE 位清“0”。
- (2) 如果虚读 ICDRR 寄存器，就开始接收，与内部时钟同步输出接收时钟并接收数据。主控制器在接收时钟的第 9 个时钟，将由 ICIEP 寄存器的 ACKBT 位设定的电平输出到 SDA。
- (3) 结束 1 帧数据的接收，在接收时钟的第 9 个时钟的上升沿 ICSR 寄存器的 RDRF 位变为“1”。此时，如果读 ICDRR 寄存器，就能读取接收数据，同时 RDRF 位变为“0”。
- (4) 如果在每次 RDRF 位变为“1”时读 ICDRR 寄存器，就能连续接收。另外，如果因其它处理 RDRF 位变为“1”并且在读 ICDRR 寄存器前第 8 个时钟下降，就在读 ICDRR 寄存器前 SCL 被固定为“L”电平。
- (5) 在下一个接收为最后帧的情况下，必须在读 ICDRR 寄存器前将 ICCR1 寄存器的 RCVD 位置“1”（禁止下一次的接收运行）。因此，在下次接收后处于可产生停止条件的状态。
- (6) 如果在接收时钟的第 9 个时钟的上升沿 RDRF 位变为“1”，就必须产生停止条件。
- (7) 如果 ICSR 寄存器的 STOP 位变为“1”，就必须读 ICDRR 寄存器，然后将 RCVD 位清“0”（继续下一次的接收运行）。
- (8) 必须返回到从属接收模式。

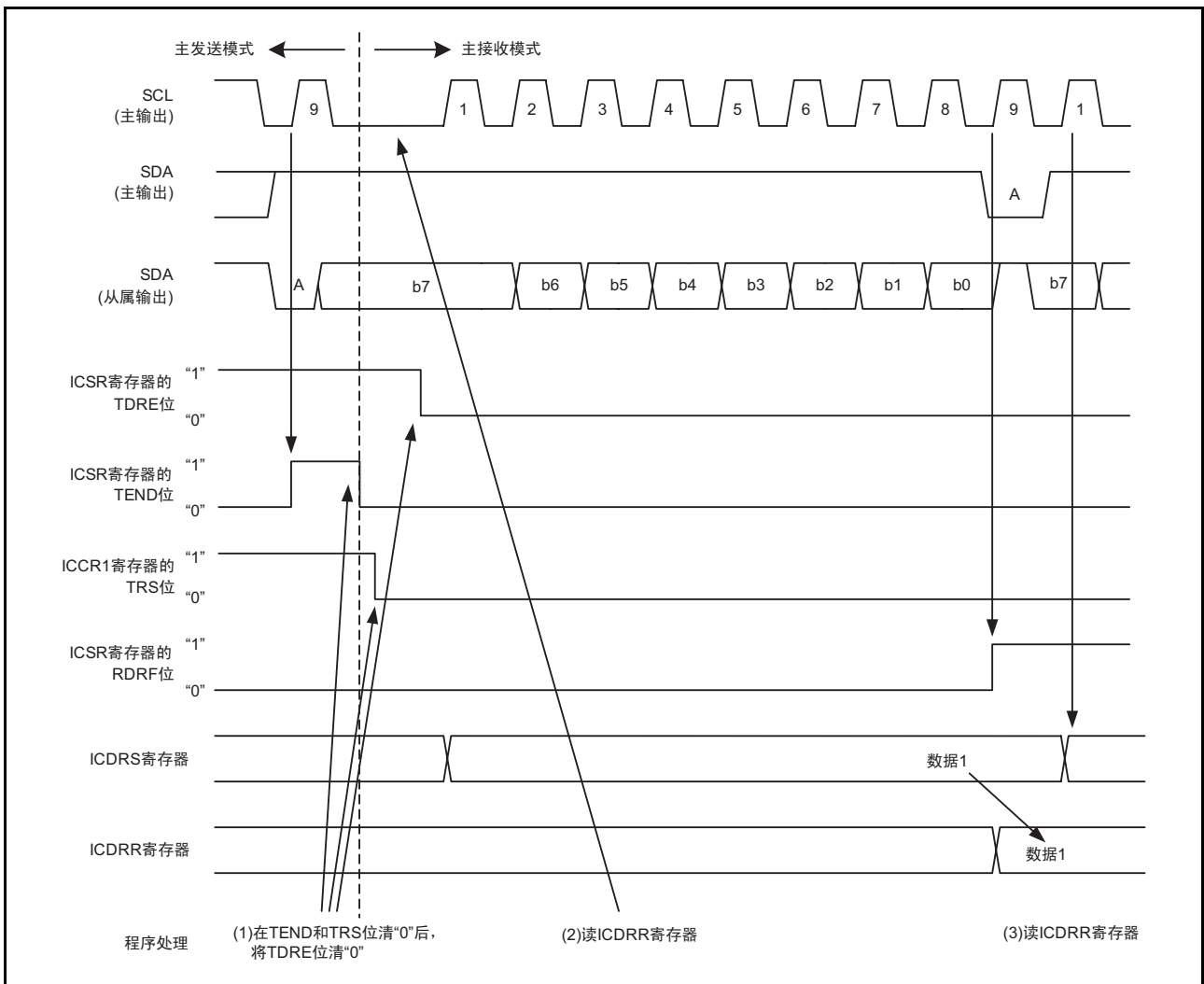


图 17.34 主接收模式的运行时序 (I²C 总线接口模式) (1)

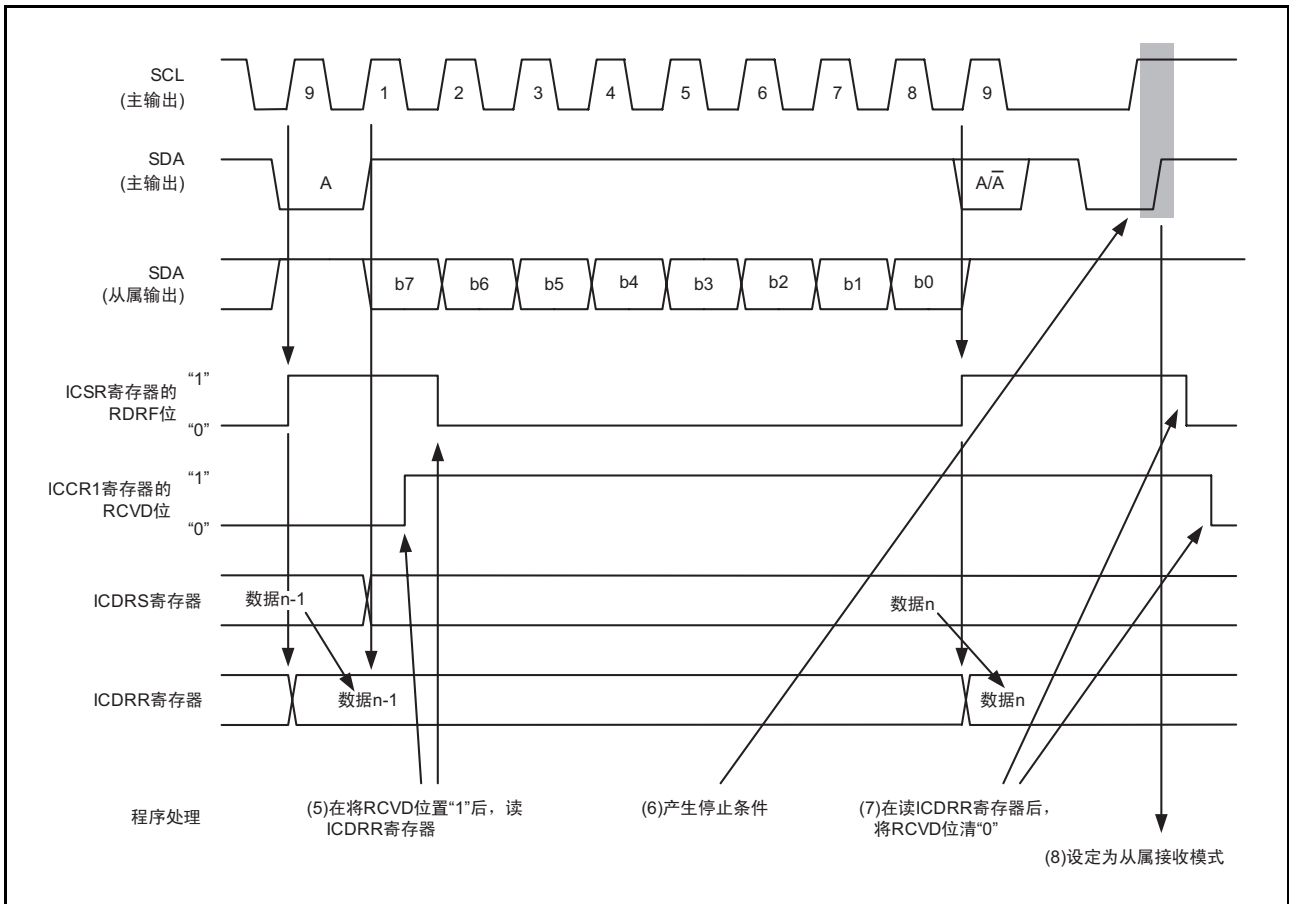


图 17.35 主接收模式的运行时序 (I2C 总线接口模式) (2)

17.3.3.4 从属发送的运行

在从属发送模式中，从属器件输出发送数据，主控制器在输出接收时钟后返回应答。从属发送模式的运行时序（I²C 总线接口模式）如图 17.36、图 17.37 所示。

从属发送模式的发送步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置“1”（可传送运行状态），然后设定 ICMR 寄存器的 WAIT 和 MLS 位、ICCR1 寄存器的 CKS0 ~ CKS3 位等（初始设定）。其次，必须将 ICCR1 寄存器的 TRS 和 MST 位清“0”，在从属接收模式中等待相同的从属地址。
- (2) 如果检测到开始条件后的第 1 帧中有相同的从属地址，从属器件就在第 9 个时钟的上升沿将由 ICIER 寄存器的 ACKBT 位设定的电平输出到 SDA。此时，如果第 8 位的数据 (R/\bar{W}) 是“1”，TRS 位和 ICSR 寄存器的 TDRE 位就变为“1”，自动转换为从属发送模式。如果在每次 TDRE 位变为“1”时将发送数据写到 ICDRT 寄存器，就能进行连续发送。
- (3) 如果在将最后的发送数据写到 ICDRT 寄存器后 TDRE 位变为“1”，就必须在 TDRE 位为“1”的状态下等待 ICSR 寄存器的 TEND 位变为“1”。如果 TEND 位变为“1”，就必须将 TEND 位清“0”。
- (4) 为了结束处理，必须将 TRS 位清“0”，并虚读 ICDRR 寄存器以释放 SCL。
- (5) 必须将 TDRE 位清“0”。

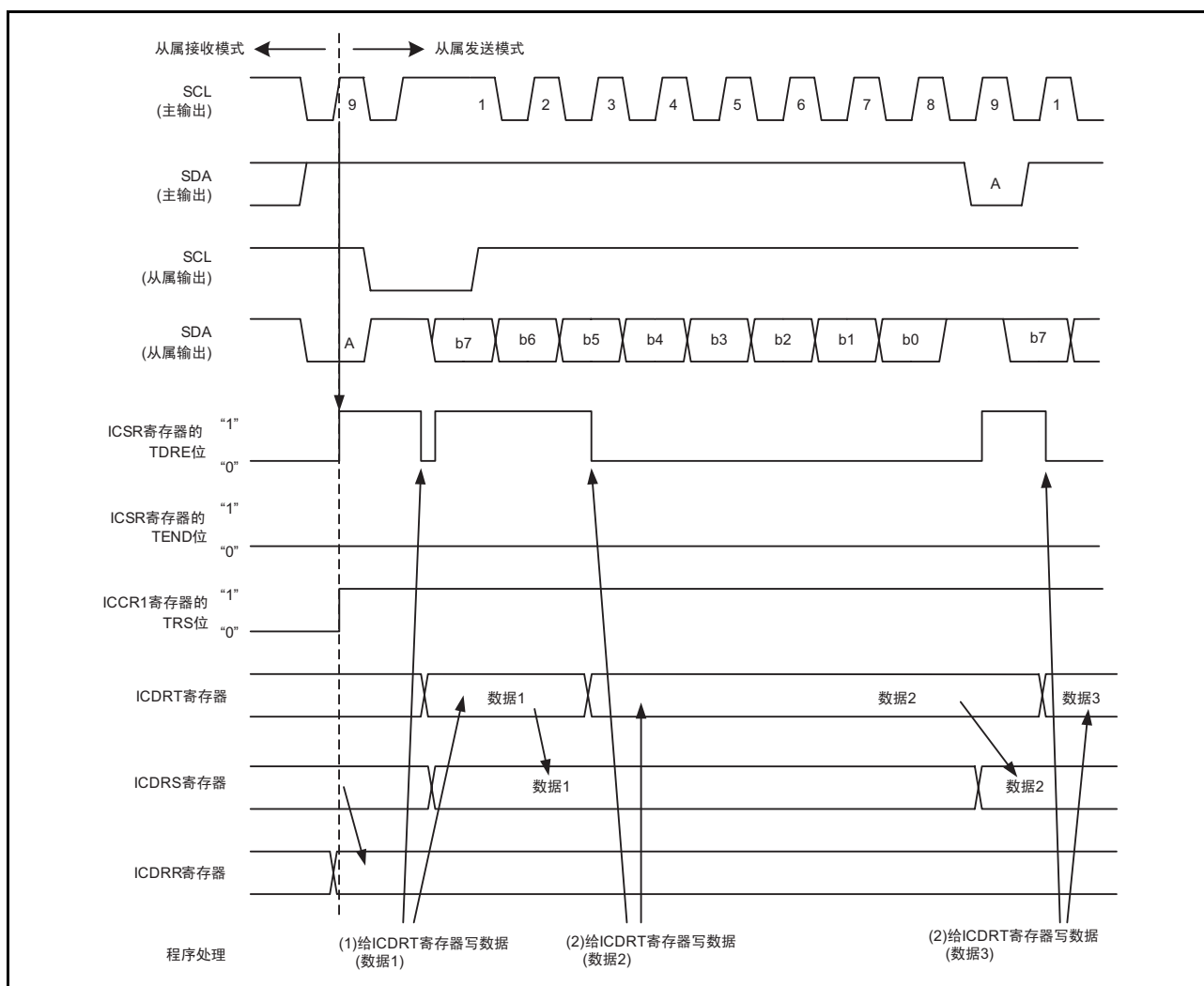


图 17.36 从属发送模式的运行时序（I²C 总线接口模式）（1）

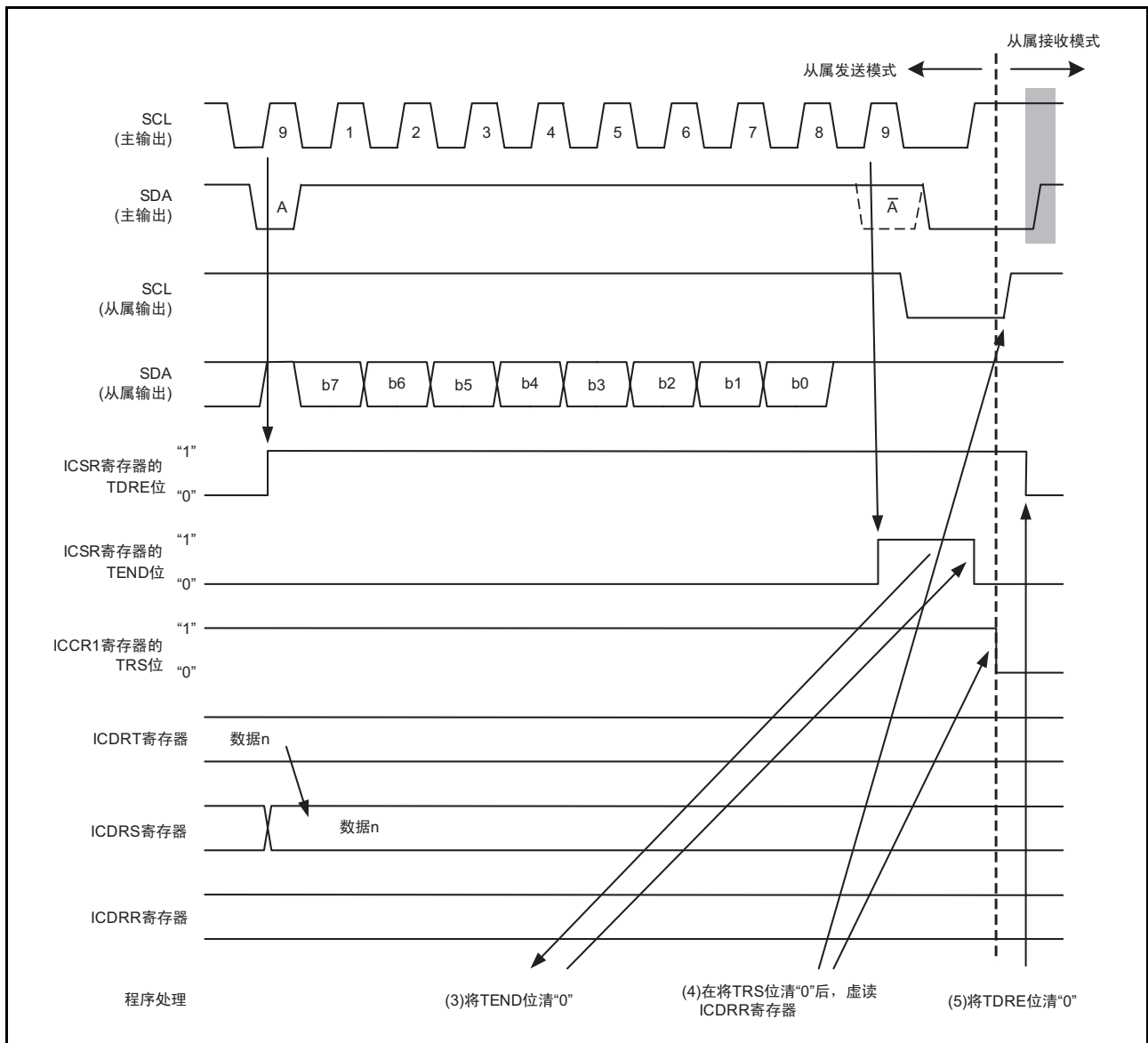


图 17.37 从属发送模式的运行时序 (I²C 总线接口模式) (2)

17.3.3.5 从属接收运行

在从属接收模式中，主控器件输出发送时钟和发送数据，从属器件返回应答。从属接收模式的运行时序（I²C 总线接口模式）如图 17.38、图 17.39 所示。

从属接收模式的接收步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置“1”（可传送运行状态），然后设定 ICMR 寄存器的 WAIT 和 MLS 位、ICCR1 寄存器的 CKS0 ~ CKS3 位等（初始设定）。其次，必须将 ICCR1 寄存器的 TRS 和 MST 位清“0”，在从属接收模式中等待相同的从属地址。
- (2) 如果在检测到开始条件后的第 1 帧中有相同的从属地址，从属器件就在第 9 个时钟的上升沿将由 ICIER 寄存器的 ACKBT 位设定的电平输出到 SDA。此时，ICSR 寄存器的 RDRF 位变为“1”，所以必须虚读 ICDRR 寄存器（因为读取的数据表示从属地址 + R/\bar{W} ，所以不需要）。
- (3) 必须在每次 RDRF 位变为“1”时读 ICDRR 寄存器。如果在 RDRF 位为“1”的状态下第 8 个时钟下降，就在读 ICDRR 寄存器前 SCL 被固定为“L”电平。读 ICDRR 寄存器前所更改的应答设定（返回给主控器件）将反映在下一个传送帧。
- (4) 同样，通过读 ICDRR 寄存器进行最后字节的读取。

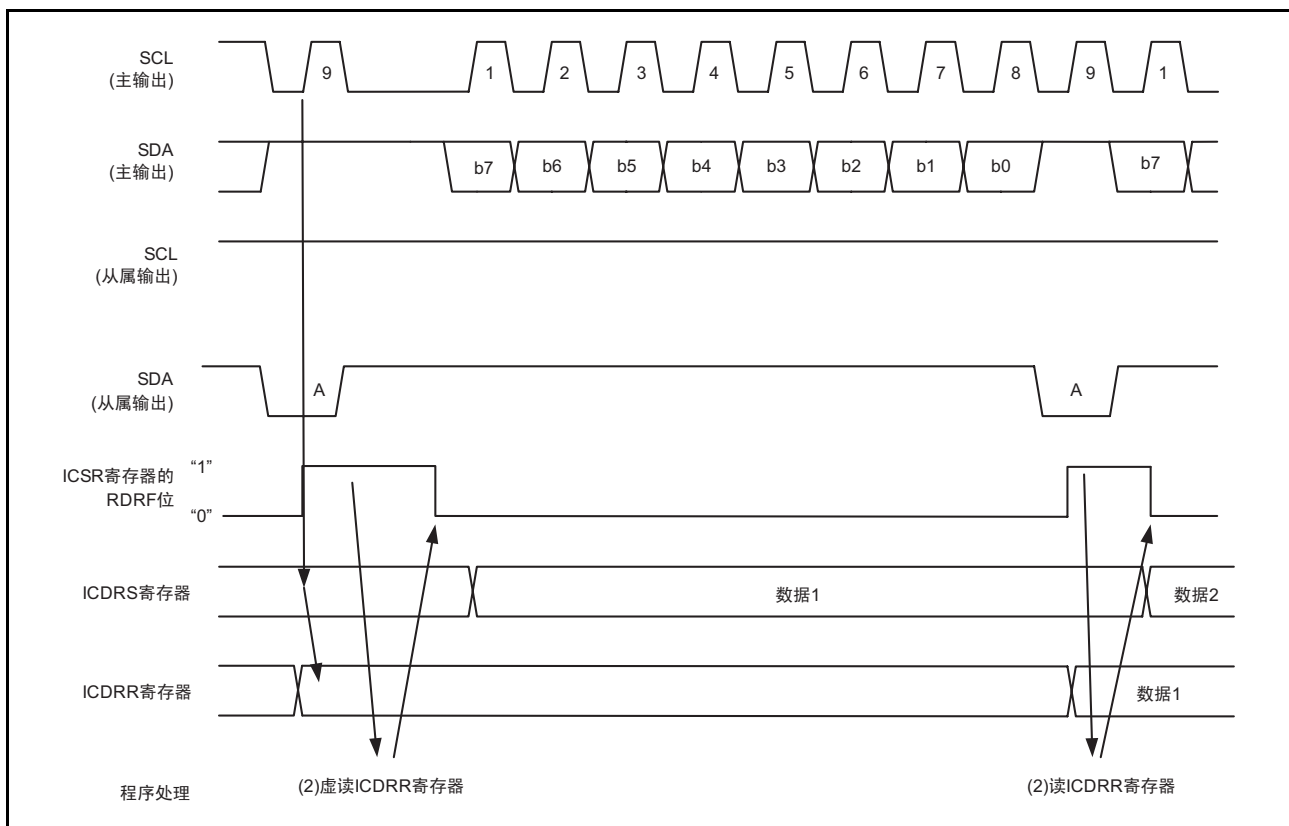


图 17.38 从属接收模式的运行时序（I²C 总线接口模式）（1）

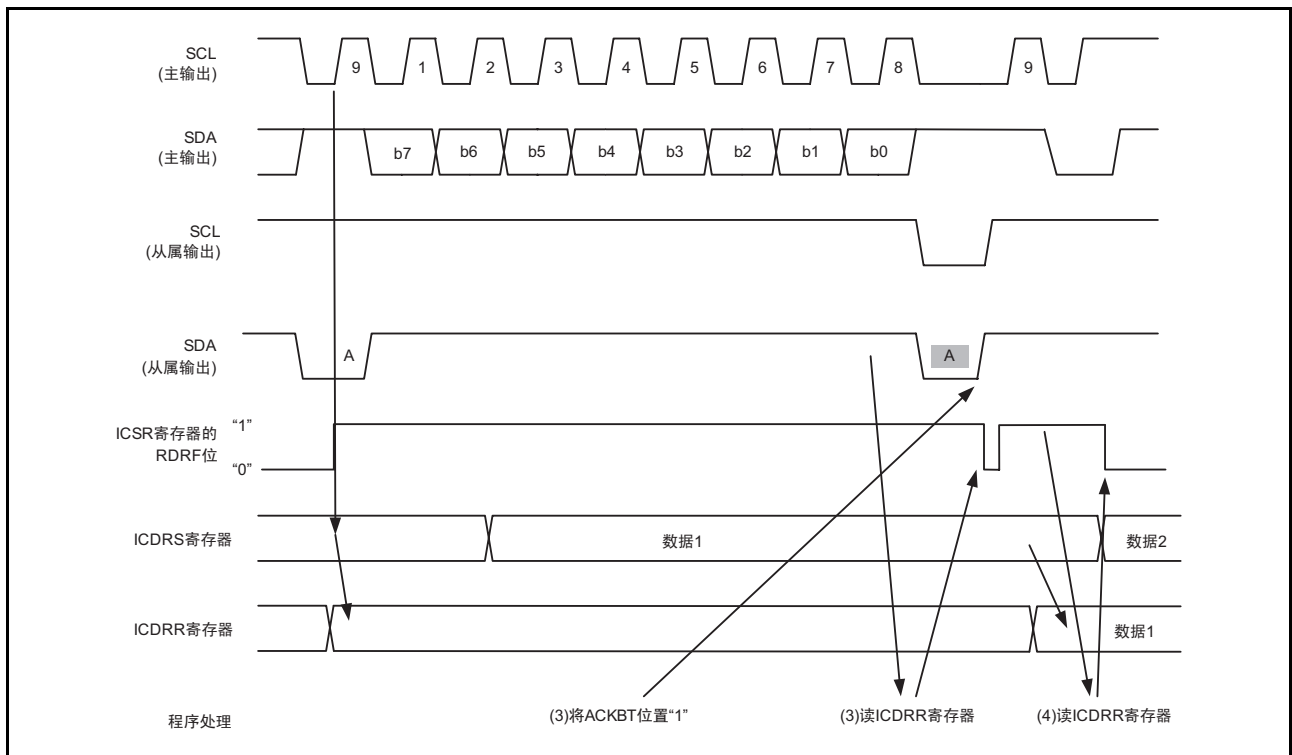


图 17.39 从属接收模式的运行时序（I²C 总线接口模式）（2）

17.3.4 时钟同步串行模式

17.3.4.1 时钟同步串行格式

如果将 SAR 寄存器的 FS 位置“1”，就以时钟同步串行格式进行通信。
时钟同步串行格式的传送格式如图 17.40 所示。

当 ICCR1 寄存器的 MST 位是“1”时，从 SCL 输出传送时钟；当 MST 位是“0”时，输入外部时钟。

在 SCL 时钟的下降沿和下一个下降沿之间输出传送数据，在 SCL 时钟的上升沿确定数据。能通过 ICMR 寄存器的 MLS 位选择 MSB first 或者 LSB first 的数据传送顺序，并且能通过 ICCR2 寄存器的 SDAO 位，在传送待机中更改 SDA 的输出电平。

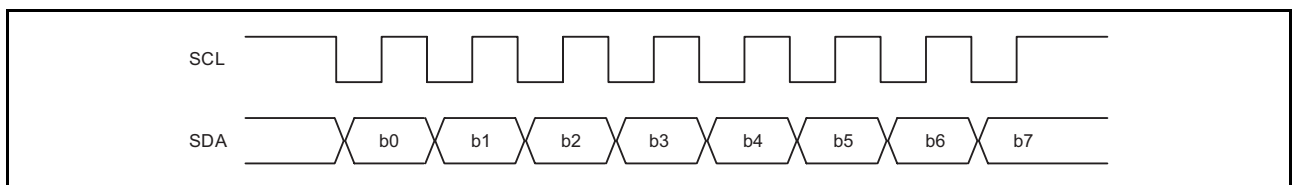


图 17.40 时钟同步串行格式的传送格式

17.3.4.2 发送运行

在发送模式中，与传送时钟的下降沿同步从 SDA 输出发送数据。在 ICCR1 寄存器的 MST 位是“1”时，输出传送时钟；在 MST 位是“0”时，输入传送时钟。

发送模式的运行时序（时钟同步串行模式）如图 17.41 所示。

发送模式的步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置“1”（可传送运行状态），然后设定 ICCR1 寄存器的 CKS0 ~ CKS3 位和 MST 位等（初始设定）。
- (2) 必须将 ICCR1 寄存器的 TRS 位置“1”，设定为发送模式，ICSR 寄存器的 TDRE 位变为“1”。
- (3) 必须在确认 TDRE 位是“1”后将发送数据写到 ICDRT 寄存器，使数据从 ICDRT 寄存器传送到 ICDRS 寄存器，并且 TDRE 位自动变为“0”。如果在每次 TDRE 位变为“1”时将数据写到 ICDRT 寄存器，就能进行连续发送。另外，从发送模式转换为接收模式时，必须在 TDRE 位为“1”的状态下将 TRS 位清“0”。

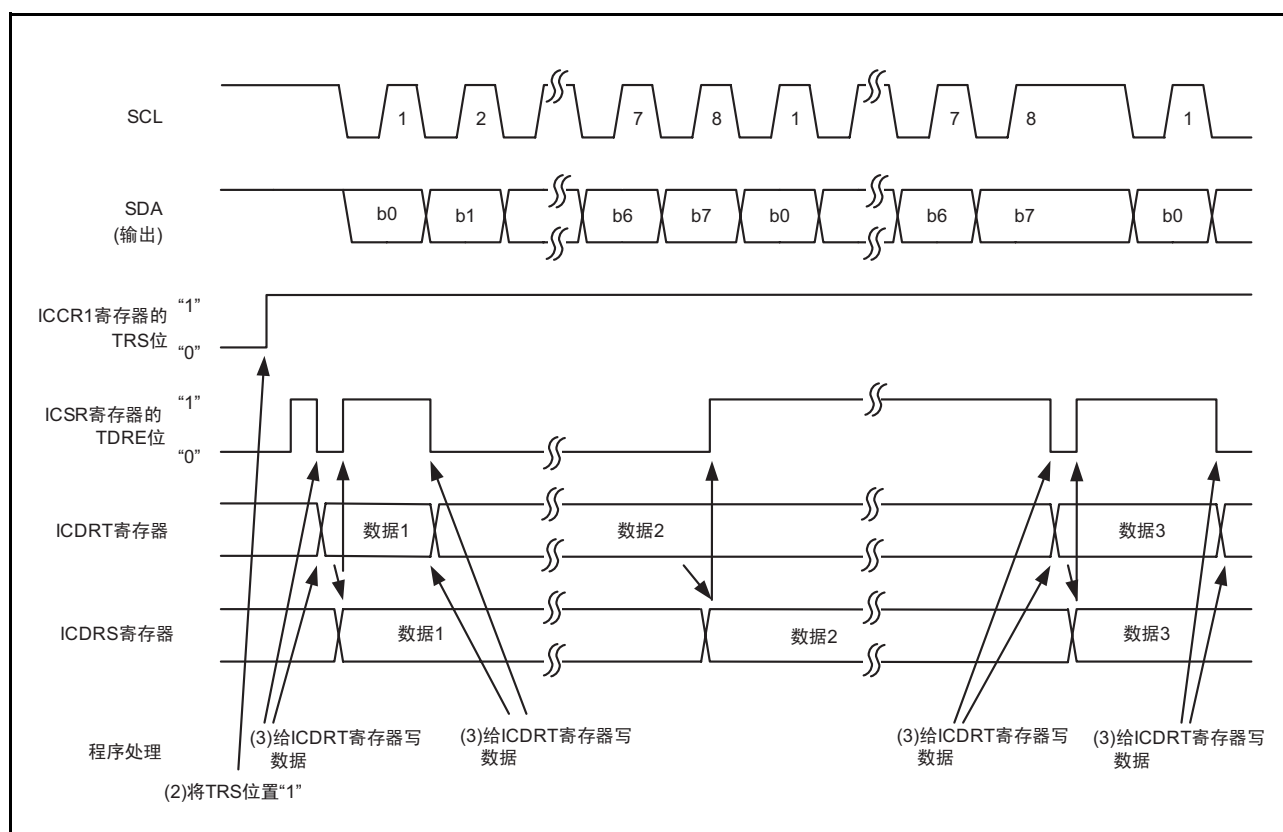


图 17.41 发送模式的运行时序（时钟同步串行模式）

17.3.4.3 接收运行

在接收模式中，在传送时钟的上升沿锁存数据。在 ICCR1 寄存器的 MST 位是“1”时，输出传送时钟；在 MST 位是“0”时，输入传送时钟。

接收模式的运行时序（时钟同步串行模式）如图 17.42 所示。

接收模式的步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置“1”（可传送运行状态），然后设定 ICCR1 寄存器的 CKS0 ~ CKS3 位和 MST 位等（初始设定）。
- (2) 在输出传送时钟时，必须将 MST 位置“1”，输出接收时钟。
- (3) 当接收结束时，将数据从 ICDRS 寄存器传送到 ICDRR 寄存器，ICSR 寄存器的 RDRF 位变为“1”。在 MST 位为“1”时，因为处于可接收下一个字节数据的状态，所以连续输出时钟。如果在每次 RDRF 位变为“1”时读 ICDRR 寄存器，就能进行连续接收。如果在 RDRF 位为“1”的状态下第 8 个时钟上升，就检测到溢出，ICSR 寄存器的 AL 位变为“1”。此时，ICDRR 寄存器保持前一个接收数据。
- (4) 在 MST 位为“1”时，为了停止接收，必须在 ICCR1 寄存器的 RCVD 位置“1”（禁止下一次接收运行）后读 ICDRR 寄存器。从而在下一个字节数据的接收结束后，SCL 被固定为“H”电平。

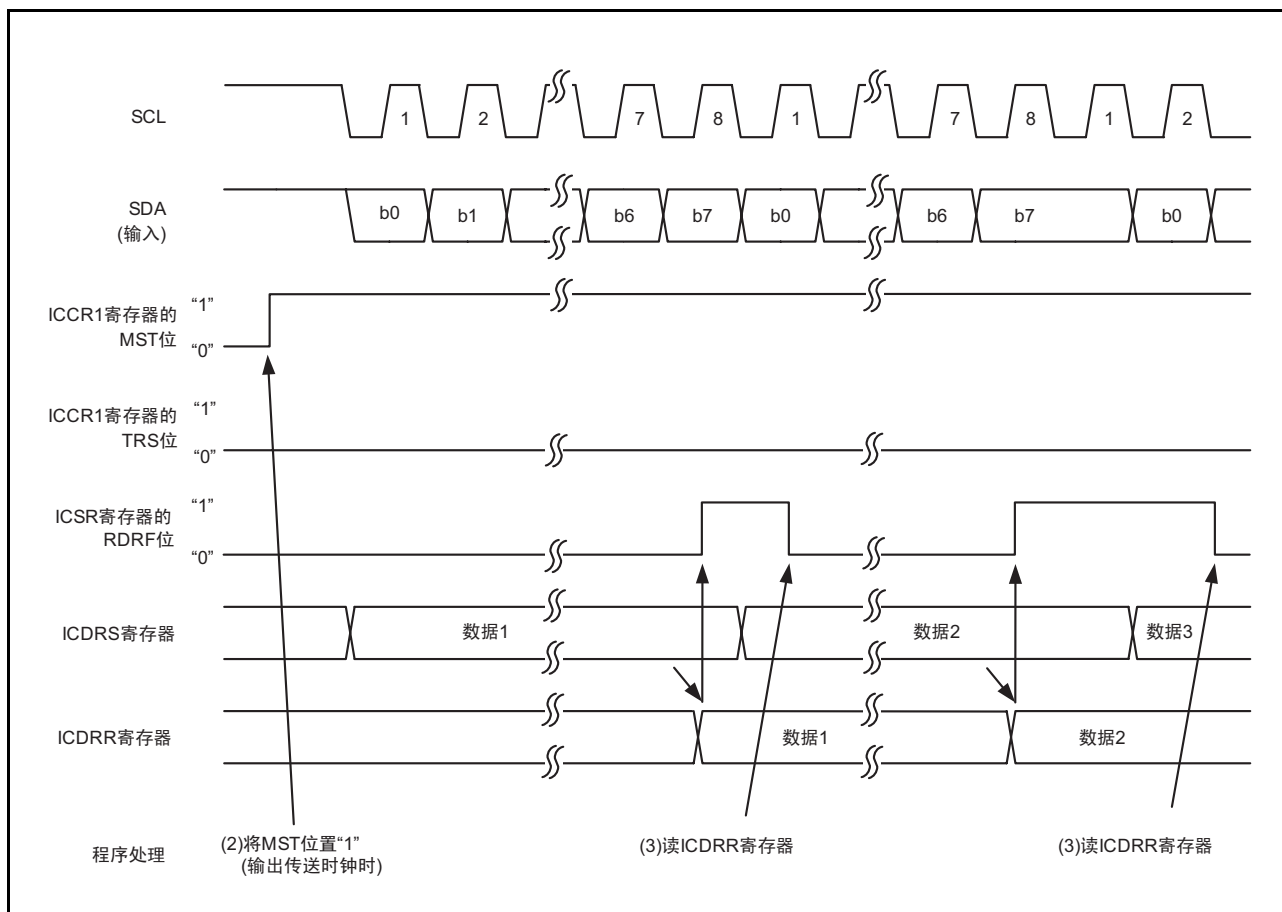


图 17.42 接收模式的运行时序（时钟同步串行模式）

17.3.5 噪声消除电路

SCL 引脚和 SDA 引脚的状态经过噪声消除电路输入到内部，噪声消除电路的框图如图 17.43 所示。

噪声消除电路由 2 段串联的锁存电路和相同电平检测电路构成。通过 f_1 对 SCL 引脚输入信号（或者 SDA 引脚输入信号）进行采样，当 2 个锁存器输出的信号电平相同时，将该信号传送给后段。否则，保持以前的值。

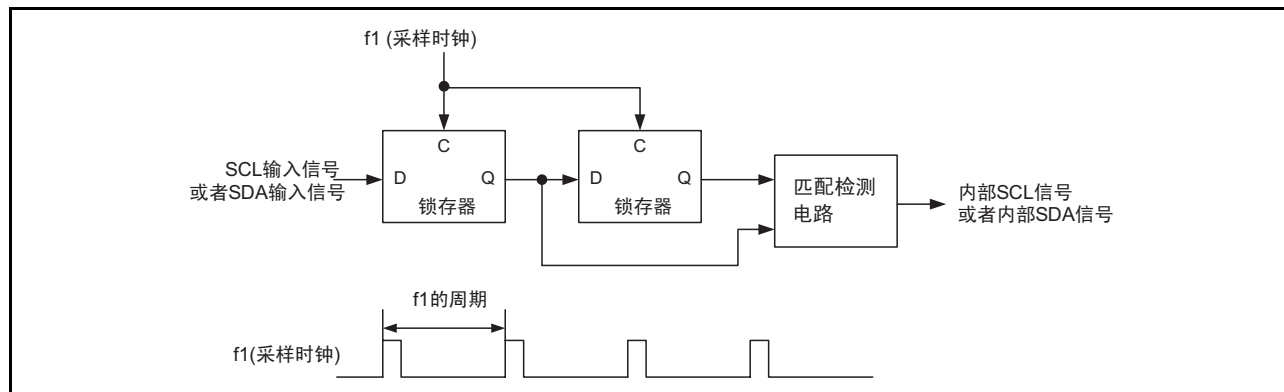


图 17.43 噪声消除电路的框图

17.3.6 位同步电路

在将 I²C 总线接口设定为主模式时，在以下 2 种状态下可能缩短“H”电平期间，所以需要监视 SCL，边按位取得同步边进行通信。

- 当 SCL 被从属器件保持为“L”电平时
- 因 SCL 线的负载（负载电容和上拉电阻）而使 SCL 的上升变得缓慢时

位同步电路的时序如图 17.44 所示，SCL 从“L”电平输出变为高阻抗到监视 SCL 为止的时间如表 17.8 所示。

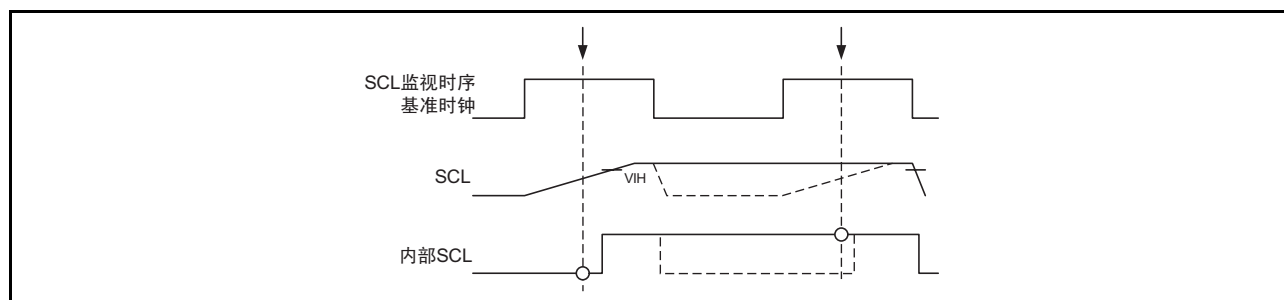


图 17.44 位同步电路的时序

表 17.8 SCL 从“L”电平输出变为高阻抗到监视 SCL 为止的时间

ICCR1 寄存器		监视 SCL 的时间
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

1Tcyc=1/f1 (s)

17.3.7 寄存器的设定例

使用 I²C 总线接口时的寄存器的设定例如图 17.45 ~ 图 17.48 所示。

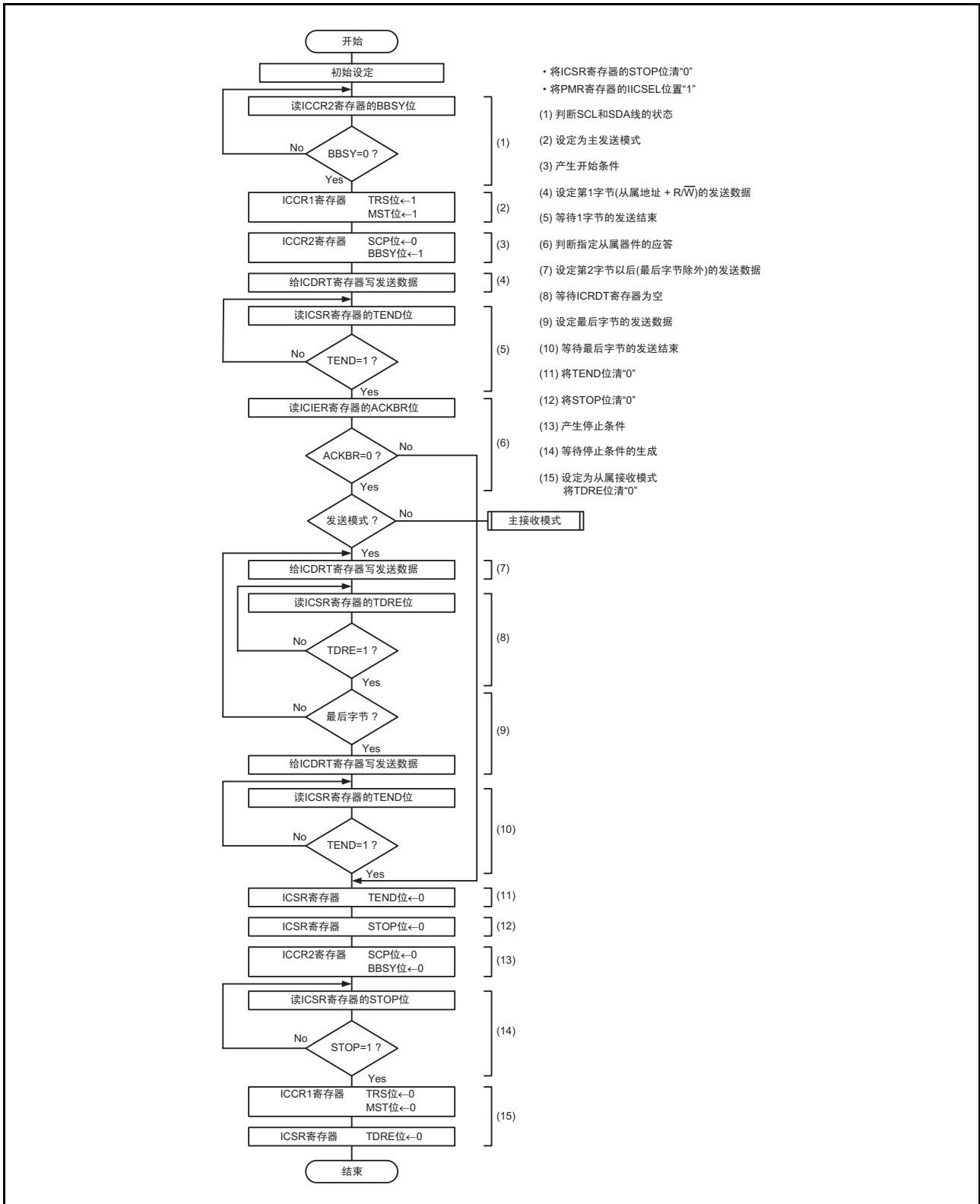


图 17.45 主发送模式的寄存器的设定例 (I²C 总线接口模式)

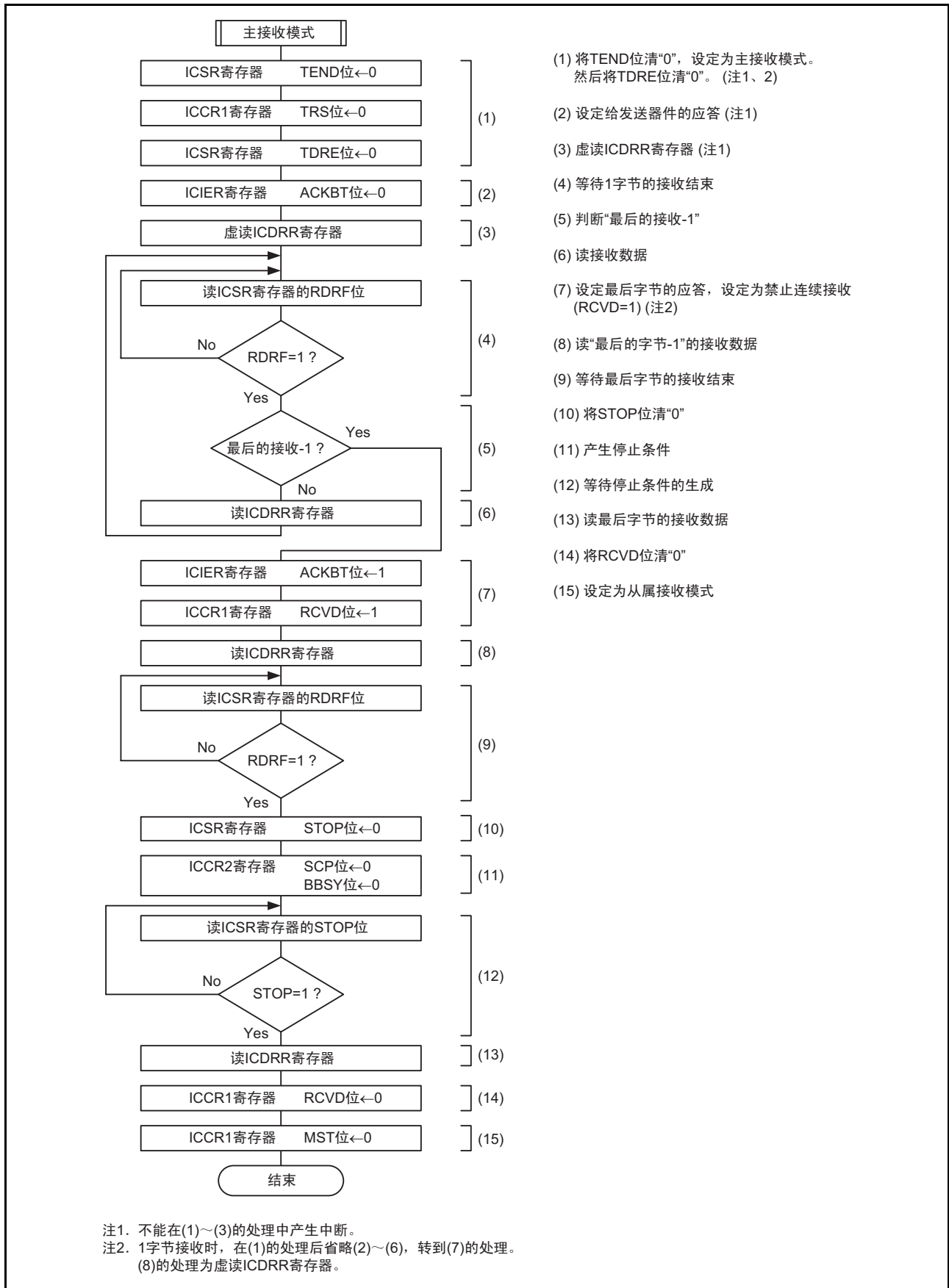


图 17.46 主接收模式的寄存器的设定例 (I²C 总线接口模式)

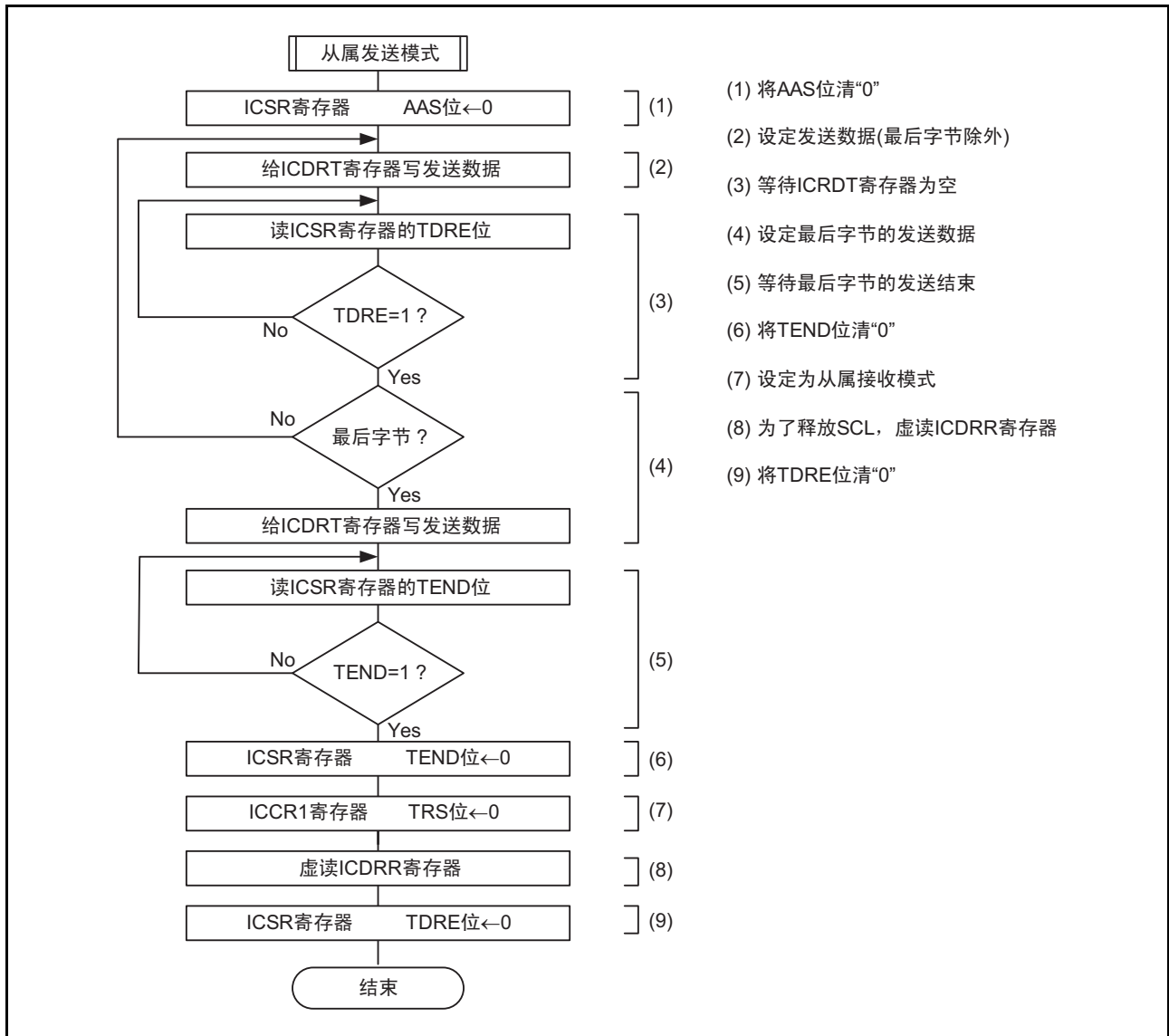


图 17.47 从属发送模式的寄存器的设定例 (I²C 总线接口模式)

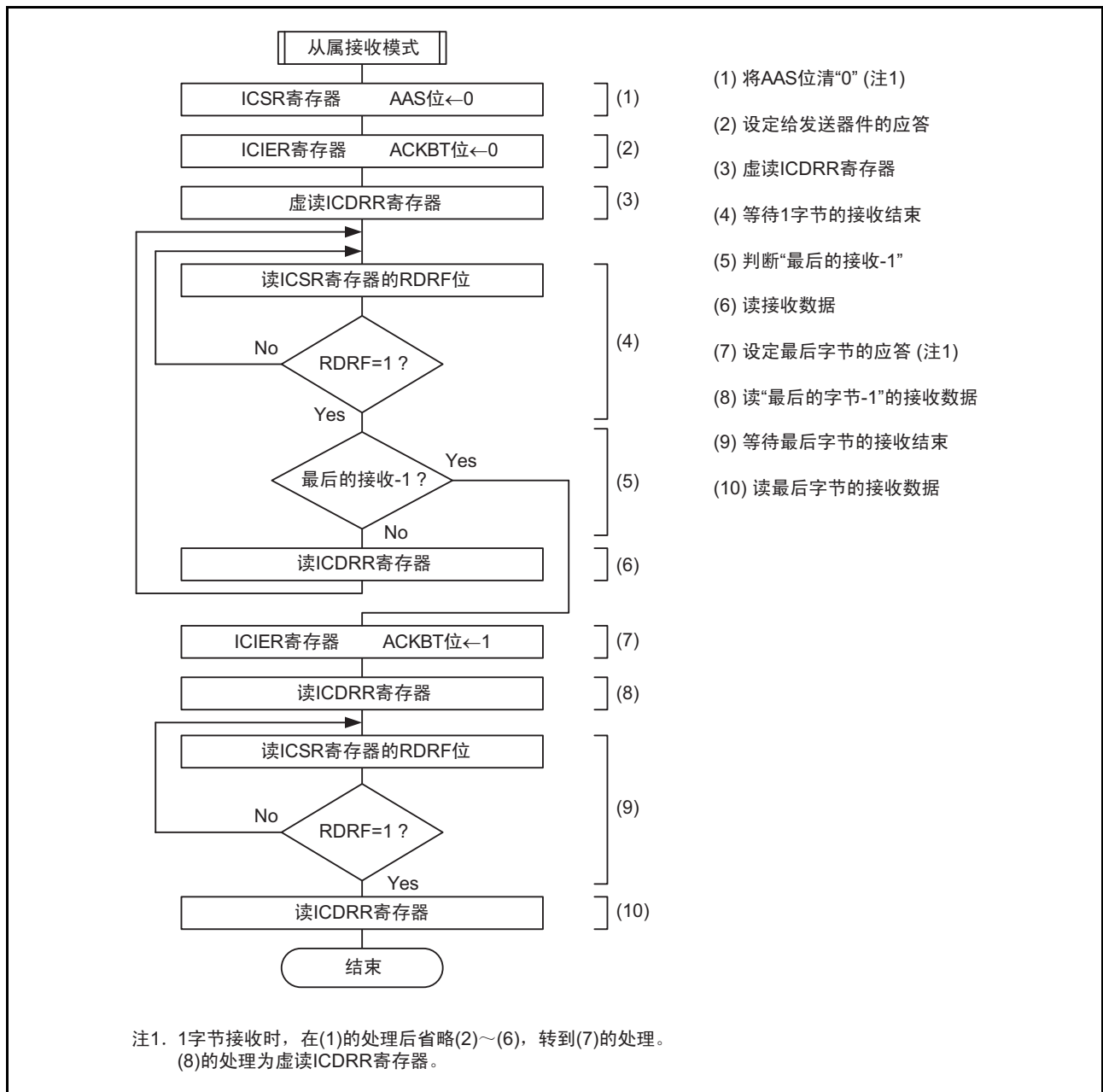


图 17.48 从属接收模式的寄存器的设定例 (I²C 总线接口模式)

17.3.8 I²C 总线接口使用时的注意事项

在使用 I²C 总线接口时，必须将 PMR 寄存器的 IICSEL 位置“1”（选择 I²C 总线接口功能）。

17.3.8.1 多主控

在 I²C 总线接口用于多主控时，必须实施以下的对策。

- 传送率的对策
必须将传送率设定为大于等于其他主控中最大传送率的 1/1.8。例如，当其他主控中最大传送率是 400kbps 时，本单片机的 I²C 总线的传送率必须大于等于 223kbps (= 400/1.8)。
- 设定 ICCR1 寄存器的 MST 位、TRS 位时的对策
 - (a) 必须使用 MOV 指令设定 MST 位、TRS 位。
 - (b) 如果仲裁失败，必须确认 MST 位、TRS 位的内容。如果 MST 位不为“0”且 TRS 位也不为“0”（从属接收模式），就必须将 MST 位和 TRS 位重新清“0”。

17.3.8.2 主接收模式

在 I²C 总线接口的主接收模式时，必须实施以下任何一个对策。

- (1) 在主接收模式中，如果 ICSR 寄存器的 RDRF 位为“1”，就必须在第 8 个时钟上升前读 ICDRR 寄存器。
- (2) 在主接收模式中，必须将 ICCR1 寄存器的 RCVD 位置“1”（禁止下一个接收运行），按字节进行通信。

18. 硬件 LIN

硬件 LIN 与定时器 RA 和 UART0 联合进行 LIN 通信。

18.1 特点

硬件 LIN 有以下特点。

硬件 LIN 的框图如图 18.1 所示。

【主模式】

- 产生 Synch Break
- 检测总线冲突

【从属模式】

- 检测 Synch Break
- 测量 Synch Field
- Synch Break 和 Synch Field 信号的 UART0 输入控制功能
- 检测总线冲突

【注】 通过 INT1 检测 Wake Up 功能

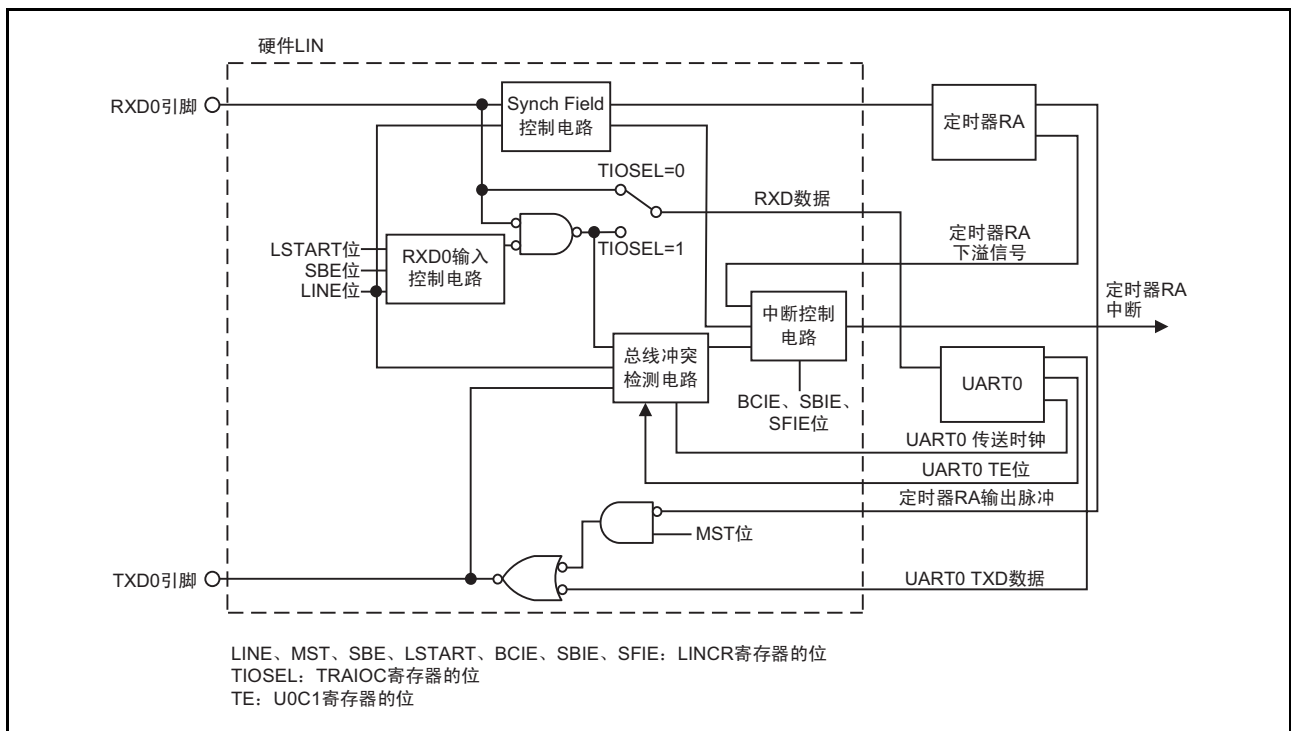


图 18.1 硬件 LIN 的框图

18.2 输入 / 输出引脚

硬件 LIN 的引脚结构如表 18.1 所示

表 18.1 引脚结构

名称	简称	输入 / 输出	功能
接收数据的输入	RXD0	输入	硬件 LIN 的接收数据的输入引脚
发送数据的输出	TXD0	输出	硬件 LIN 的发送数据的输出引脚

18.3 寄存器构成

硬件 LIN 有以下寄存器。

寄存器的详细内容如图 18.2 和图 18.3 所示。

- LIN 控制寄存器 (LINCRC)
- LIN 状态寄存器 (LINST)

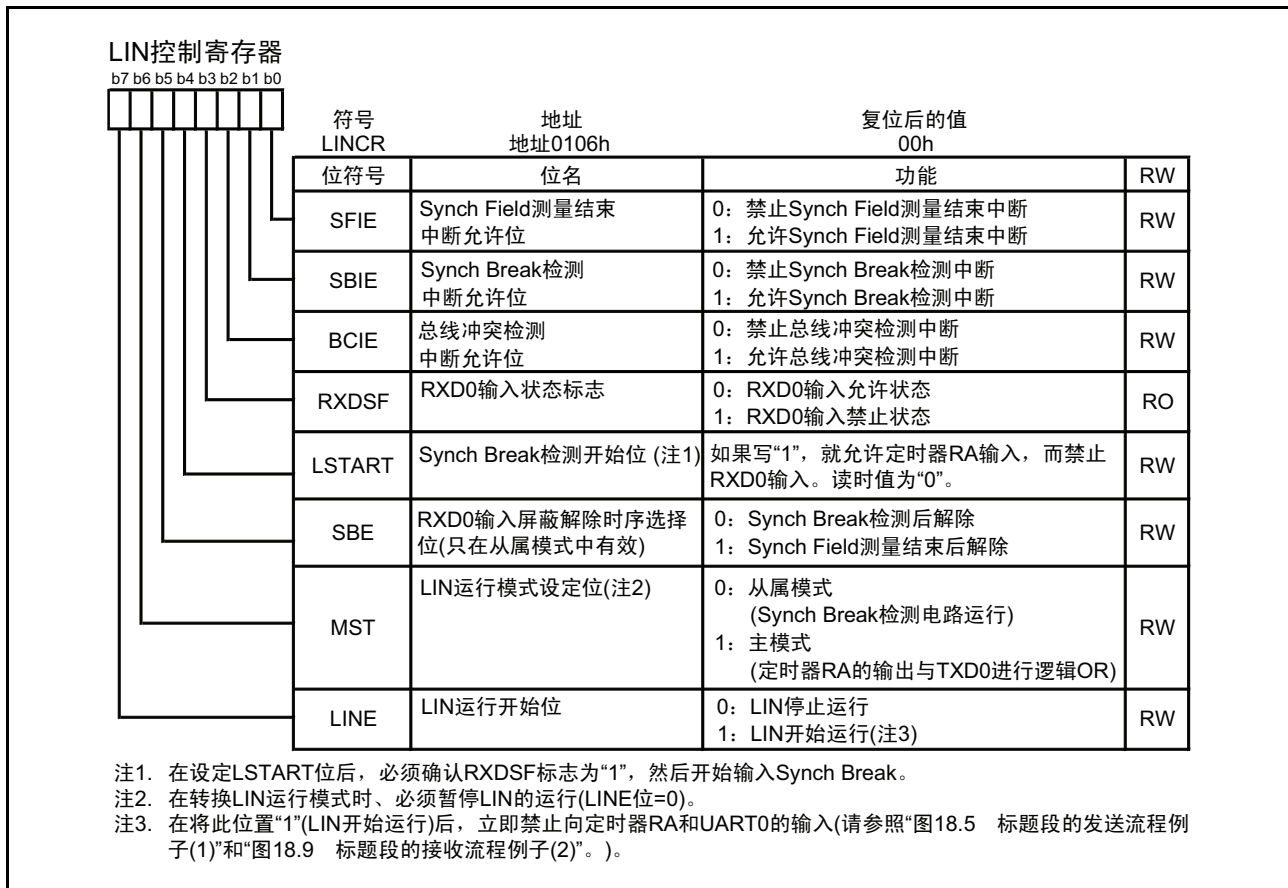


图 18.2 LINCRC 寄存器

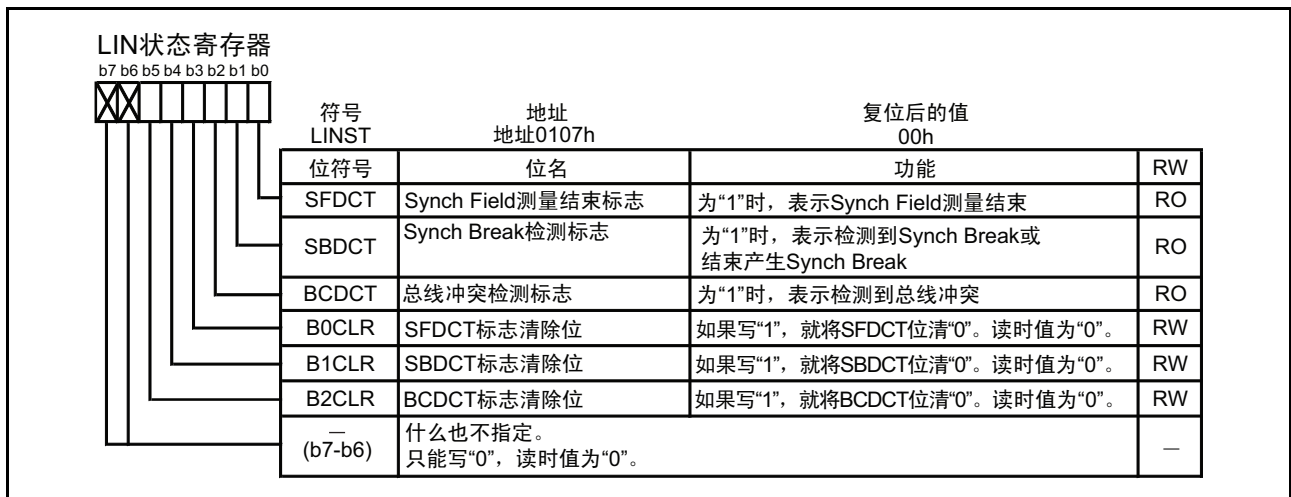


图 18.3 LINST 寄存器

18.4 运行说明

18.4.1 主模式

在主模式中，标题段的发送运行例如图 18.4 所示，标题段的发送流程例如图 18.5 和图 18.6 所示。硬件 LIN 发送标题段时的运行如下：

- (1) 如果将定时器 RA 的 TRACR 寄存器的 TSTART 位置“1”，就在定时器 RA 的 TRAPRE、TRA 寄存器设定的时间内，从 TXD0 引脚输出“L”电平。
- (2) 当定时器 RA 下溢时，TXD0 引脚就反相输出，并且将 LINST 寄存器的 SBDCT 标志置“1”。此时，如果 LINCR 寄存器的 SBIE 位已被置“1”，就产生定时器 RA 中断。
- (3) 通过 UART0 发送 55h。
- (4) 在 55h 发送结束后，通过 UART0 发送 ID 段。
- (5) 在 ID 段发送结束后，进行应答段的通信。

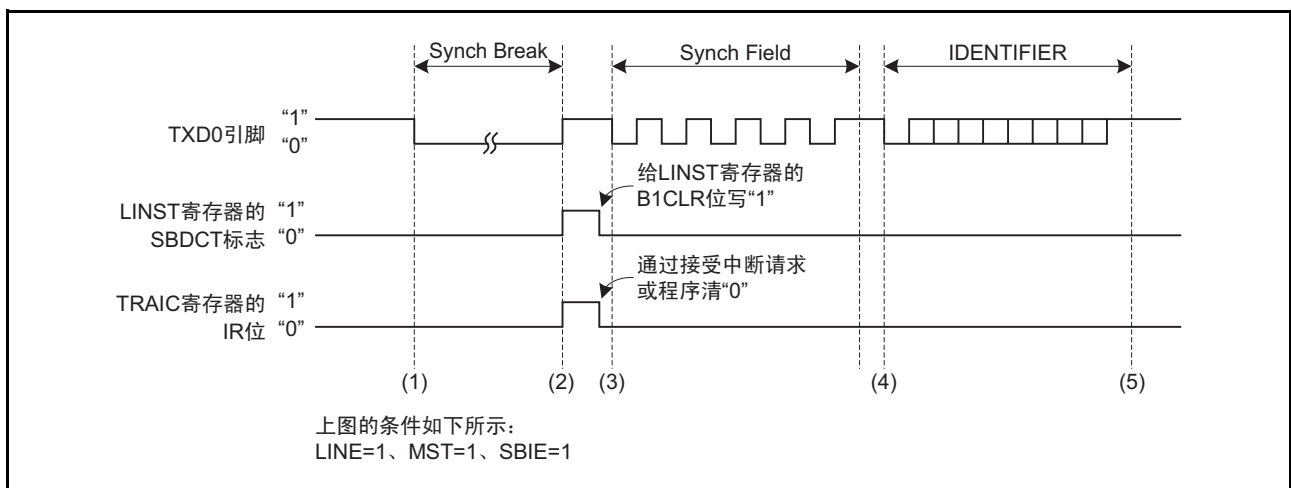


图 18.4 发送标题段时的运行例

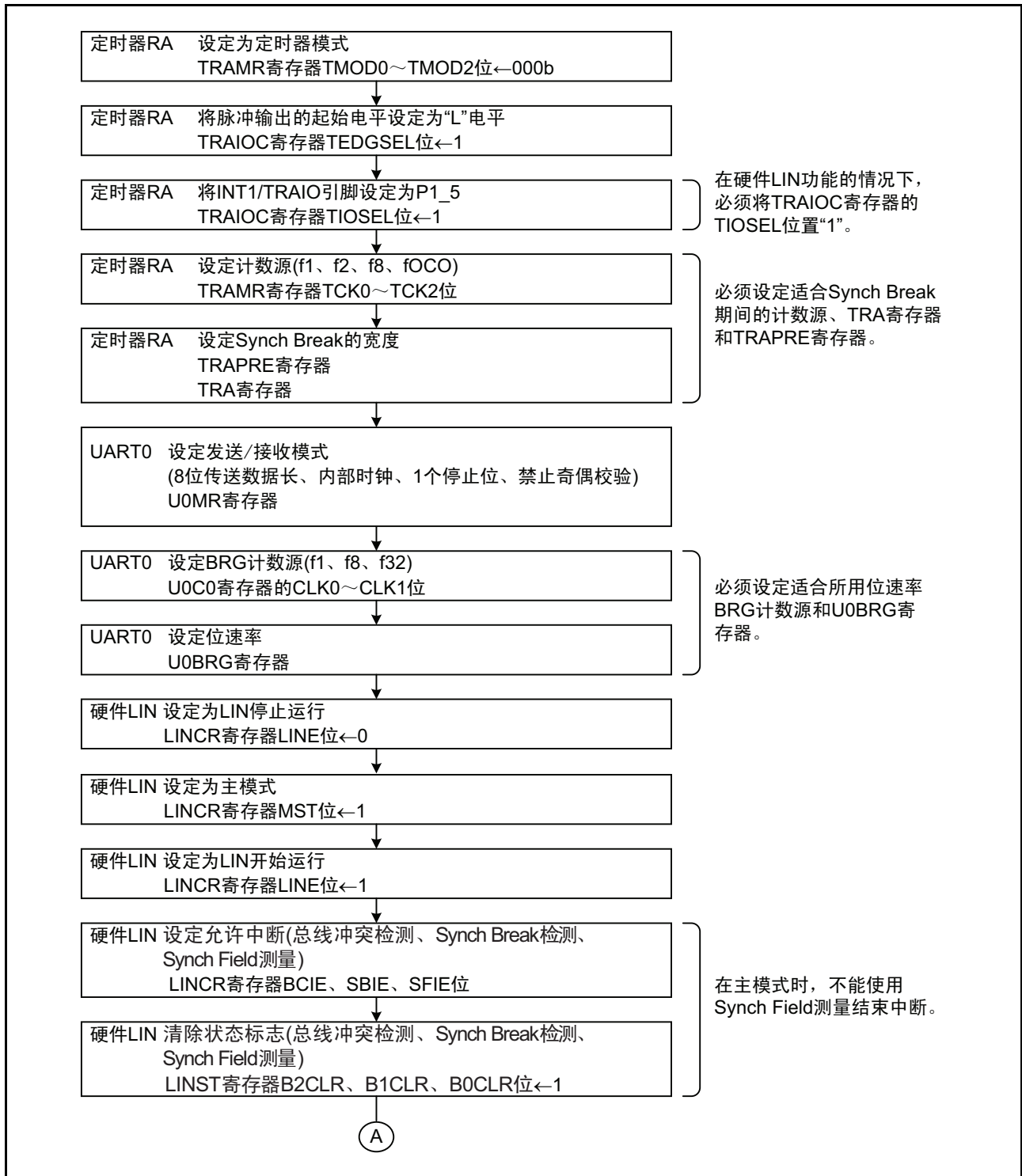


图 18.5 标题段的发送流程的例子 (1)

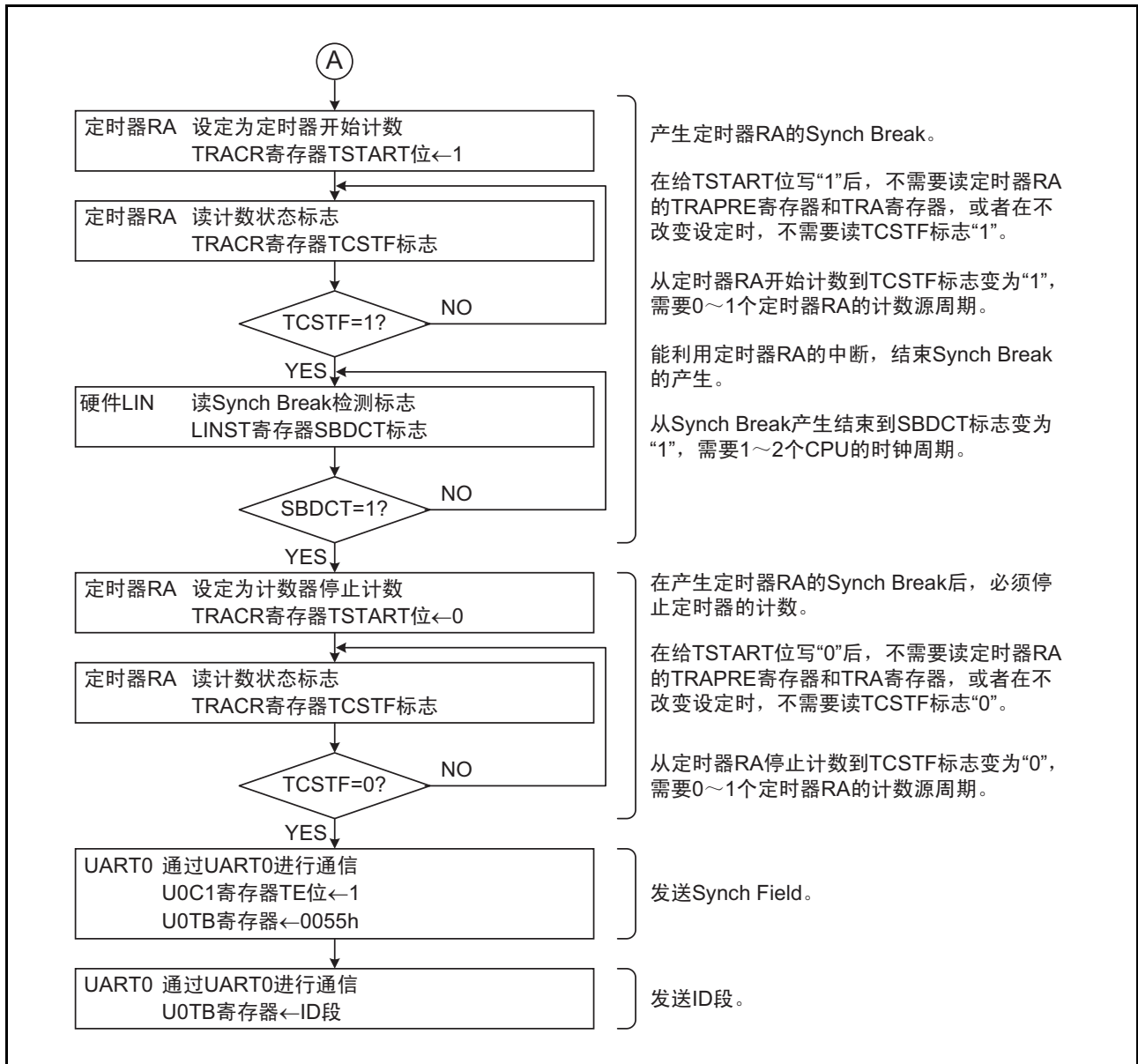


图 18.6 标题段的发送流程的例子 (2)

18.4.2 从属模式

在从属模式中，标题段的接收运行例如图 18.7 所示，标题段的接收流程例如图 18.8 ~ 图 18.10 所示。硬件 LIN 接收标题段时的运行如下：

- (1) 如果将硬件 LIN 的 LINCR 寄存器的 LSTART 位置“1”，就能检测 Synch Break。
- (2) 如果“L”电平的输入时间超过定时器 RA 的设定期间，就作为 Synch Break 被检测，将 LINST 寄存器的 SBDCT 标志位置“1”。此时，如果 LINCR 寄存器的 SBIE 位已被置“1”，就产生定时器 RA 中断，然后测量 Synch Field。
- (3) 接收 Synch Field（55h）。此时，通过定时器 RA 检测起始位和 0 ~ 6 位之间的期间。能通过 LINCR 寄存器的 SBE 位选择是否允许将 Synch Field 信号输入到 UART0 的 RXD0。
- (4) 当 Synch Field 测量结束，就将 LINST 寄存器的 SFDCT 标志置“1”。此时，如果 LINCR 寄存器的 SFIE 位已被置“1”，就产生定时器 RA 中断。
- (5) 在 Synch Field 测量结束后，根据定时器 RA 的计数值计算出传送速度，设定到 UART0，并且重新设定定时器 RA 的 TRAPRE 寄存器和 TRA 寄存器。然后，通过 UART0 接收 ID 段。
- (6) 在 ID 段接收结束后，进行应答段的通信。

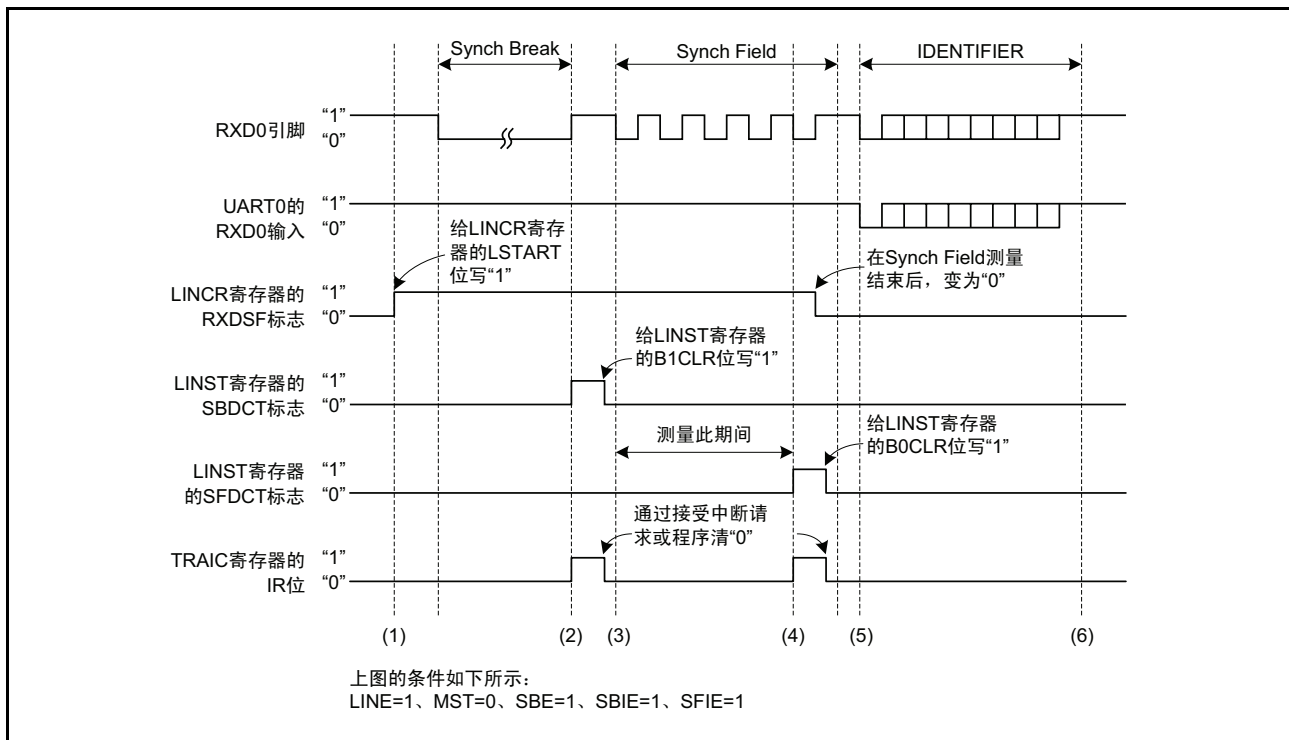


图 18.7 标题段的接收运行例

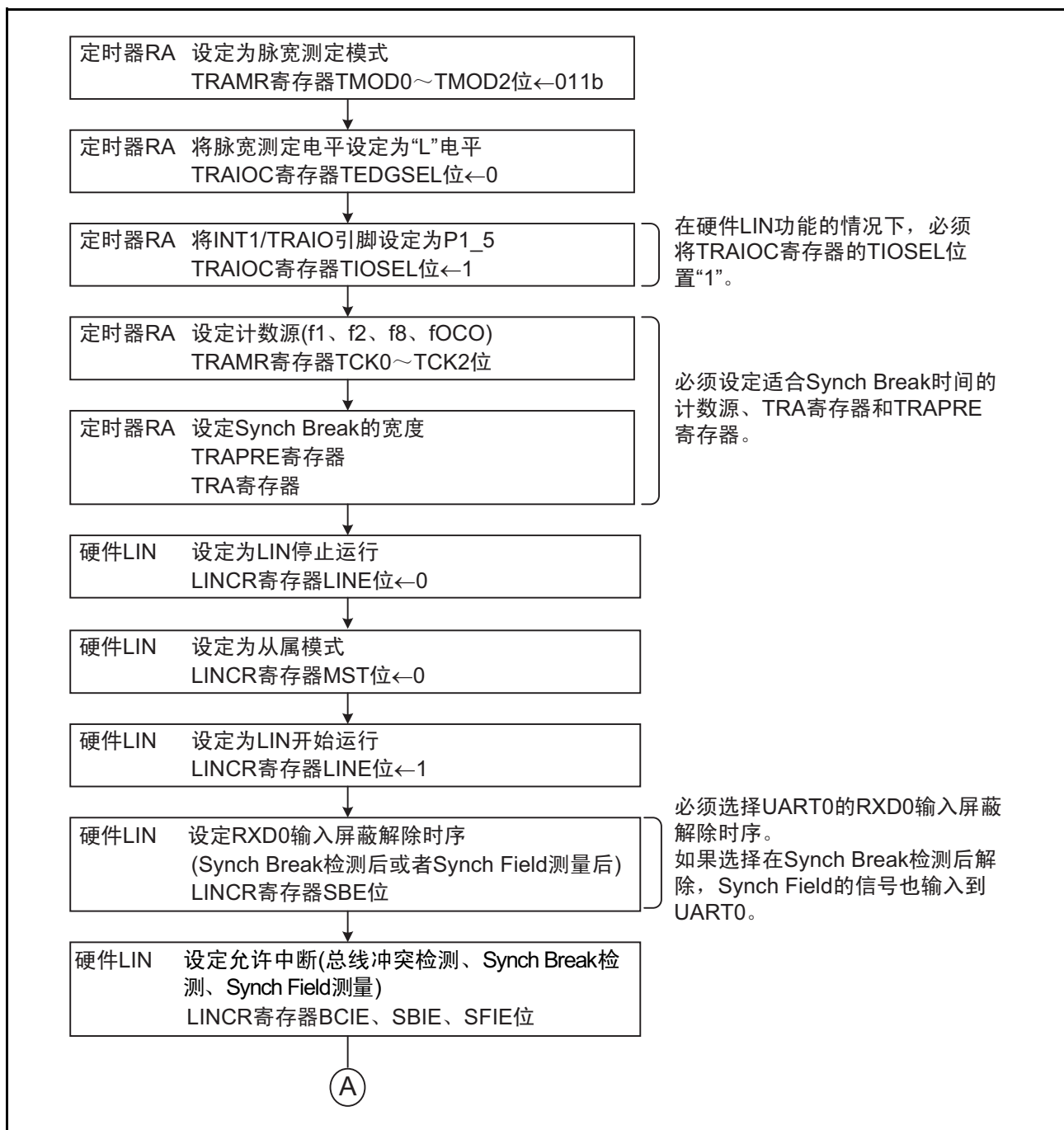


图 18.8 标题段的接收流程的例子 (1)

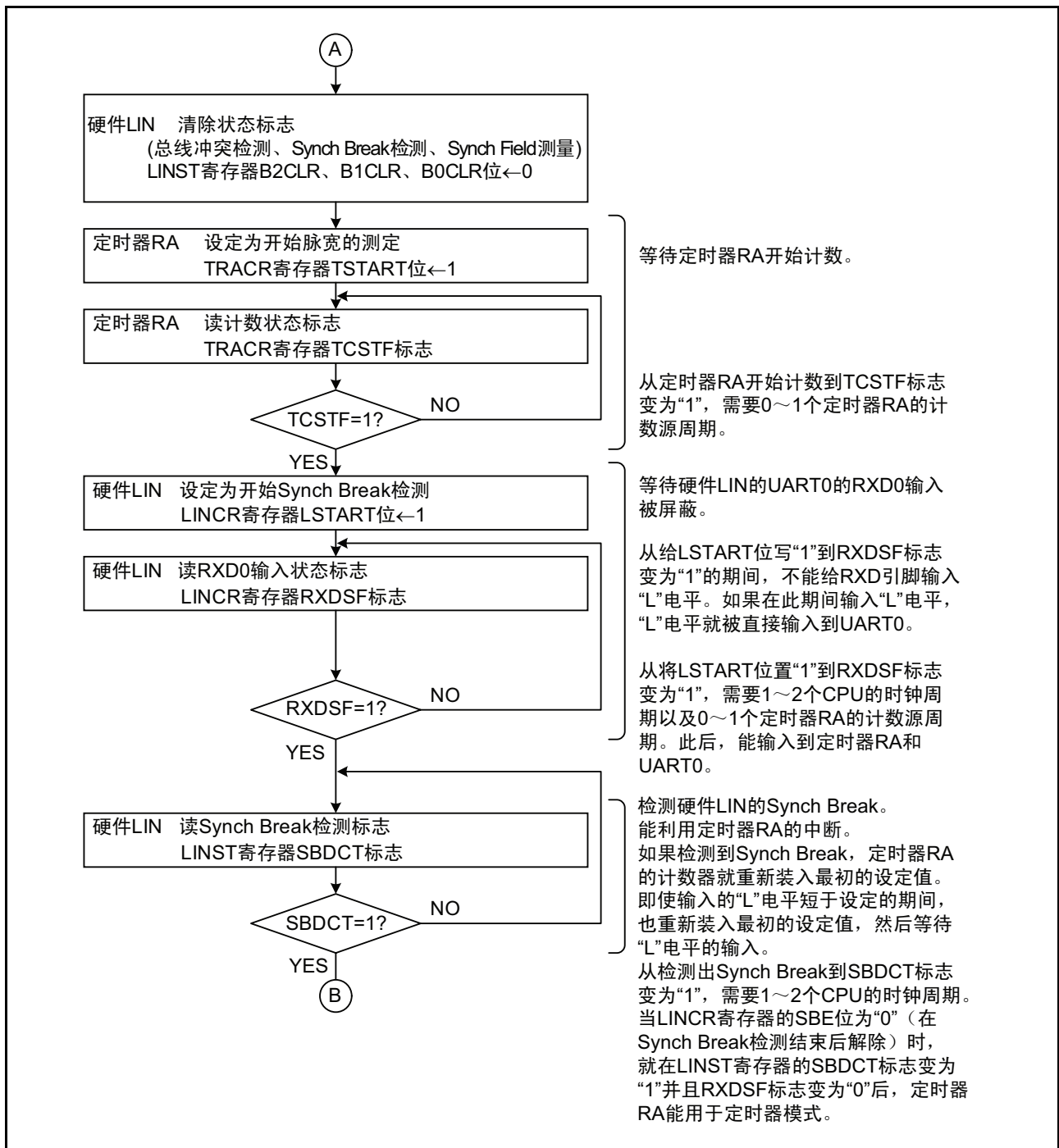


图 18.9 标题段的接收流程的例子 (2)

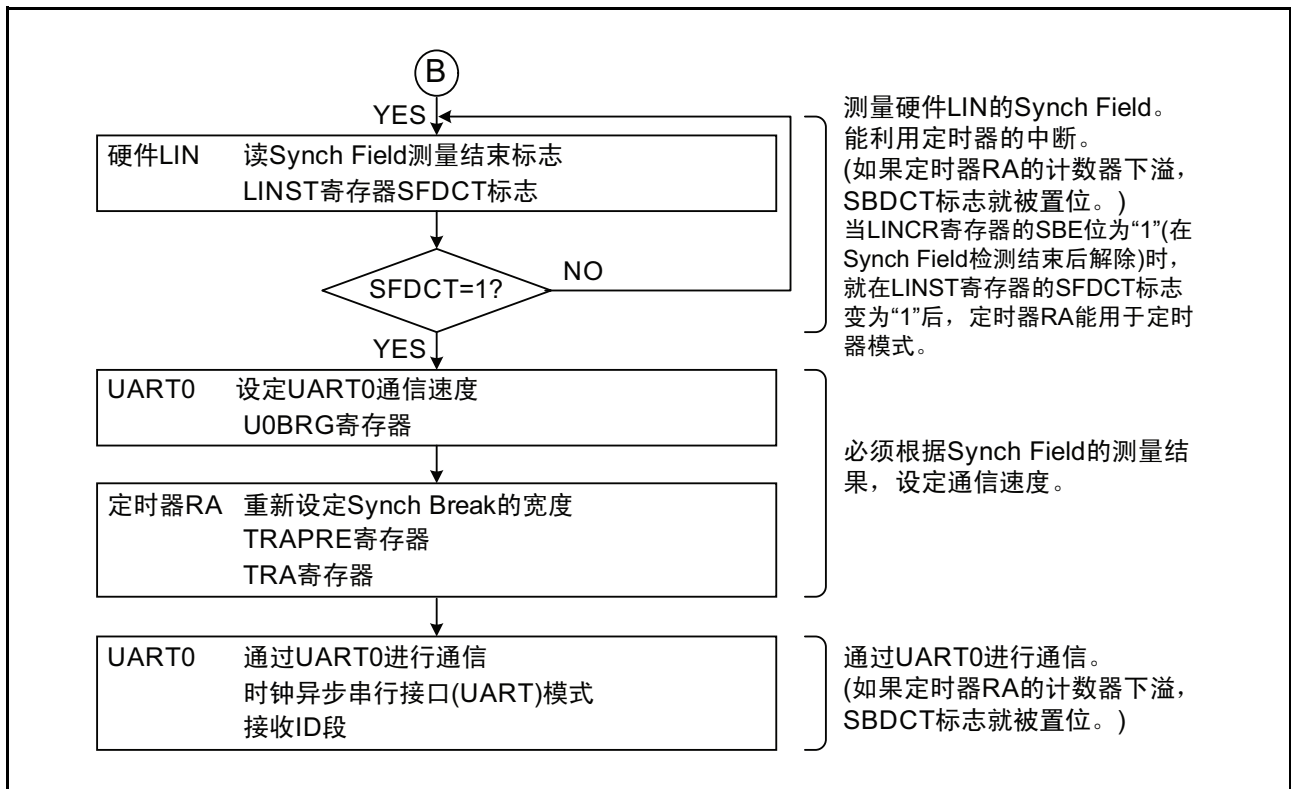


图 18.10 标题段的接收流程的例子 (3)

18.4.3 总线冲突检测功能

在允许 UART0 发送 (U0C1 寄存器的 TE 位为 “1”) 时, 能使用总线冲突检测功能。检测总线冲突时的运行例如图 18.11 所示。

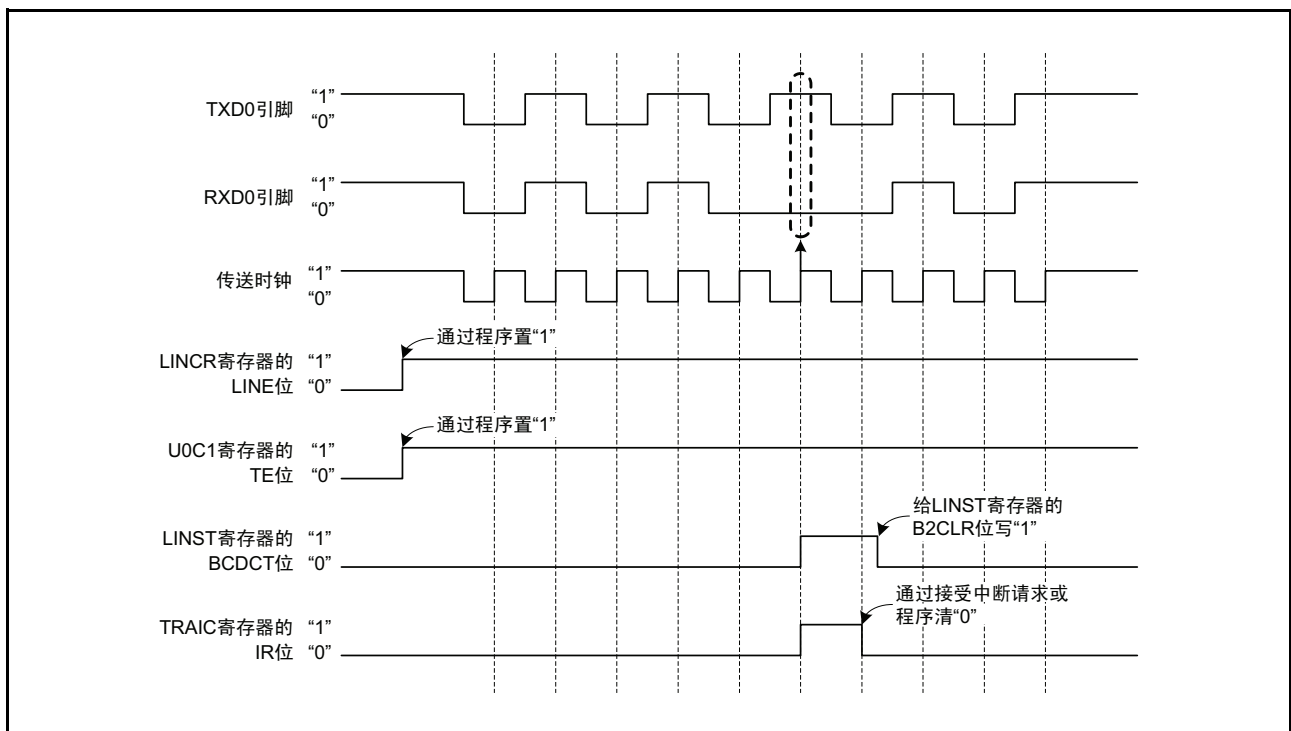


图 18.11 检测总线冲突时的运行例

18.4.4 硬件 LIN 的结束处理

硬件 LIN 通信结束的流程图例子如图 18.12 所示。

必须按照以下时序进行硬件 LIN 的结束处理。

- 使用总线冲突检测功能时：
在校验和发送结束后，进行硬件 LIN 的结束处理
- 不使用总线冲突检测功能时：
在标题段发送和接收结束后，进行硬件 LIN 的结束处理

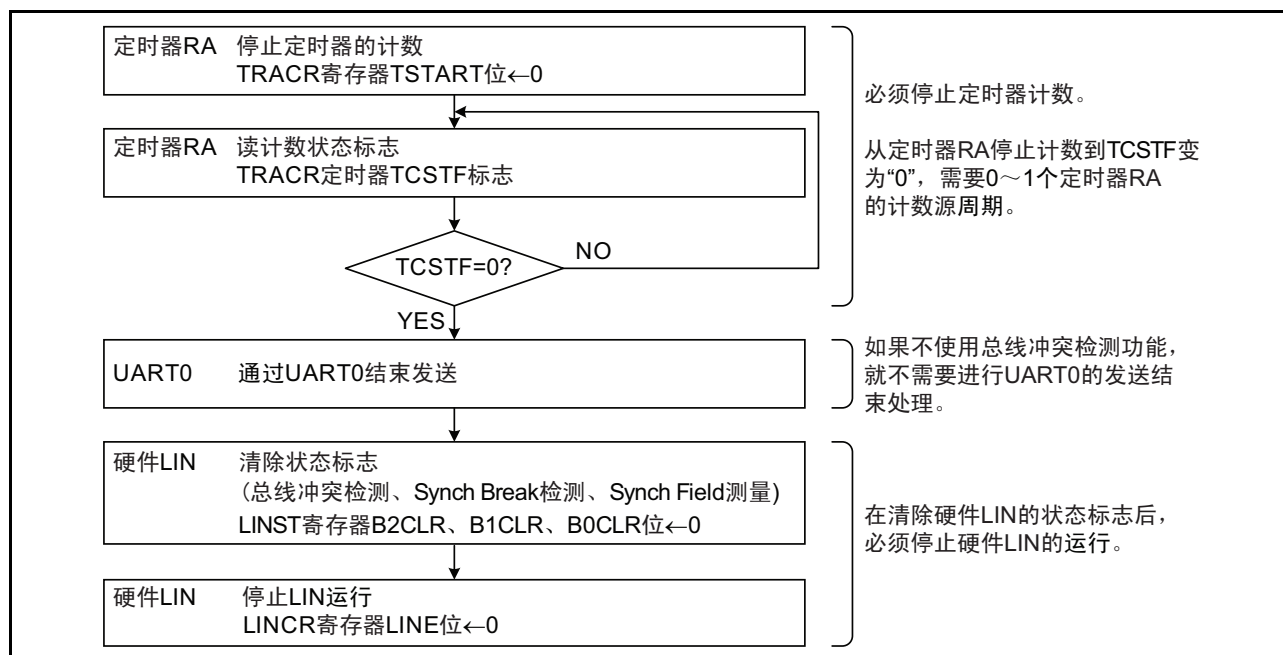


图 18.12 硬件 LIN 通信结束的流程图例子

18.5 中断请求

硬件 LIN 产生的中断请求有检测 Synch Break、Synch Break 产生结束、Synch Field 测量结束和检测总线冲突共 4 种中断请求。这些中断和定时器 RA 的中断共用。

硬件 LIN 的中断请求如表 18.2。

表 18.2 硬件 LIN 的中断请求

中断请求	状态标志	中断源
检测 Synch Break	SBDCT	在通过定时器 RA 测量 RXD0 的“L”电平输入时间中产生下溢时，或者在通信中“L”电平的输入期间长于 Synch Break 期间时
Synch Break 产生结束		在定时器 RA 设定的期间内结束 TXD0 的“L”电平输出时
Synch Field 测量结束	SFDCT	在通过定时器 RA 测量到 Synch Field 的第 6 个位数据时
检测总线冲突	BCDCT	在允许 UART0 发送的情况下，在数据锁存时序 RXD0 的输入值和 TXD0 的输出值不同时

18.6 硬件 LIN 使用时的注意事项

有关标题段和应答段的超时处理，必须以 Synch Break 检测中断为起点，使用其它定时器进行时间测量。

19. A/D 转换器

A/D转换器采用10位逐次逼近的A/D转换方式，由电容耦合放大器构成。模拟输入引脚和P1_0~P1_3引脚共用。在使用这些输入引脚时，必须将对应的端口方向位清“0”（输入模式）。另外，在不使用A/D转换器时，如果将ADCON1寄存器的VCUT位清“0”（不连接Vref），从VREF引脚到梯形电阻就没有电流通过，能降低功耗。

A/D转换的结果被保存到AD寄存器。

A/D转换器的性能如表19.1所示，A/D转换器的框图如图19.1所示，与A/D转换器有关的寄存器如图19.2和图19.3所示。

表 19.1 A/D 转换器的性能

项目	性能
A/D 转换方式	逐次逼近方式（电容耦合放大器）
模拟输入电压（注1）	0V ~ AVCC
运行时钟 ϕ_{AD} （注2）	在 $4.2V \leq AVCC \leq 5.5V$ 时，f1、f2、f4、fOCO-F 在 $2.2V \leq AVCC < 4.2V$ 时，f2、f4、fOCO-F（N、D版） 在 $2.7V \leq AVCC < 4.2V$ 时，f2、f4、fOCO-F（J、K版）
分辨率	能选择8位或者10位
绝对精度	在 $AVCC=Vref=5V$ 、 $\phi_{AD}=10MHz$ 时 • 在分辨率为8位时， $\pm 2LSB$ • 在分辨率为10位时， $\pm 3LSB$ 在 $AVCC=Vref=3.3V$ 、 $\phi_{AD}=10MHz$ 时 • 在分辨率为8位时， $\pm 2LSB$ • 在分辨率为10位时， $\pm 5LSB$ 在 $AVCC=Vref=2.2V$ 、 $\phi_{AD}=5MHz$ 时 • 在分辨率为8位时， $\pm 2LSB$ • 在分辨率为10位时， $\pm 5LSB$
运行模式	单次模式、重复模式（注3）
模拟输入引脚	4个（AN8 ~ AN11）
A/D 转换开始条件	• 软件触发 将ADCON0寄存器的ADST位置“1”（开始A/D转换）
每个引脚的转换速度	• 无采样 & 保持功能 在分辨率为8位时，为49个 ϕ_{AD} 周期；在分辨率为10位时，为59个 ϕ_{AD} 周期 • 有采样 & 保持功能 在分辨率为8位时，为28个 ϕ_{AD} 周期；在分辨率为10位时，为33个 ϕ_{AD} 周期

注1. 与有无采样 & 保持功能无关。

模拟输入电压超过基准电压时，A/D转换结果在10位模式时为3FFh，在8位模式时为FFh。

注2. 在 $2.7V \leq AVCC \leq 5.5V$ 时，必须将 ϕ_{AD} 频率设定为小于等于10MHz。

在 $2.2V \leq AVCC < 2.7V$ 时，必须将 ϕ_{AD} 频率设定为小于等于5MHz。

在无采样 & 保持功能时，必须将 ϕ_{AD} 的频率设定为大于等于250kHz。

在有采样 & 保持功能时，必须将 ϕ_{AD} 的频率设定为大于等于1MHz。

注3. 重复模式只能在8位模式时使用。

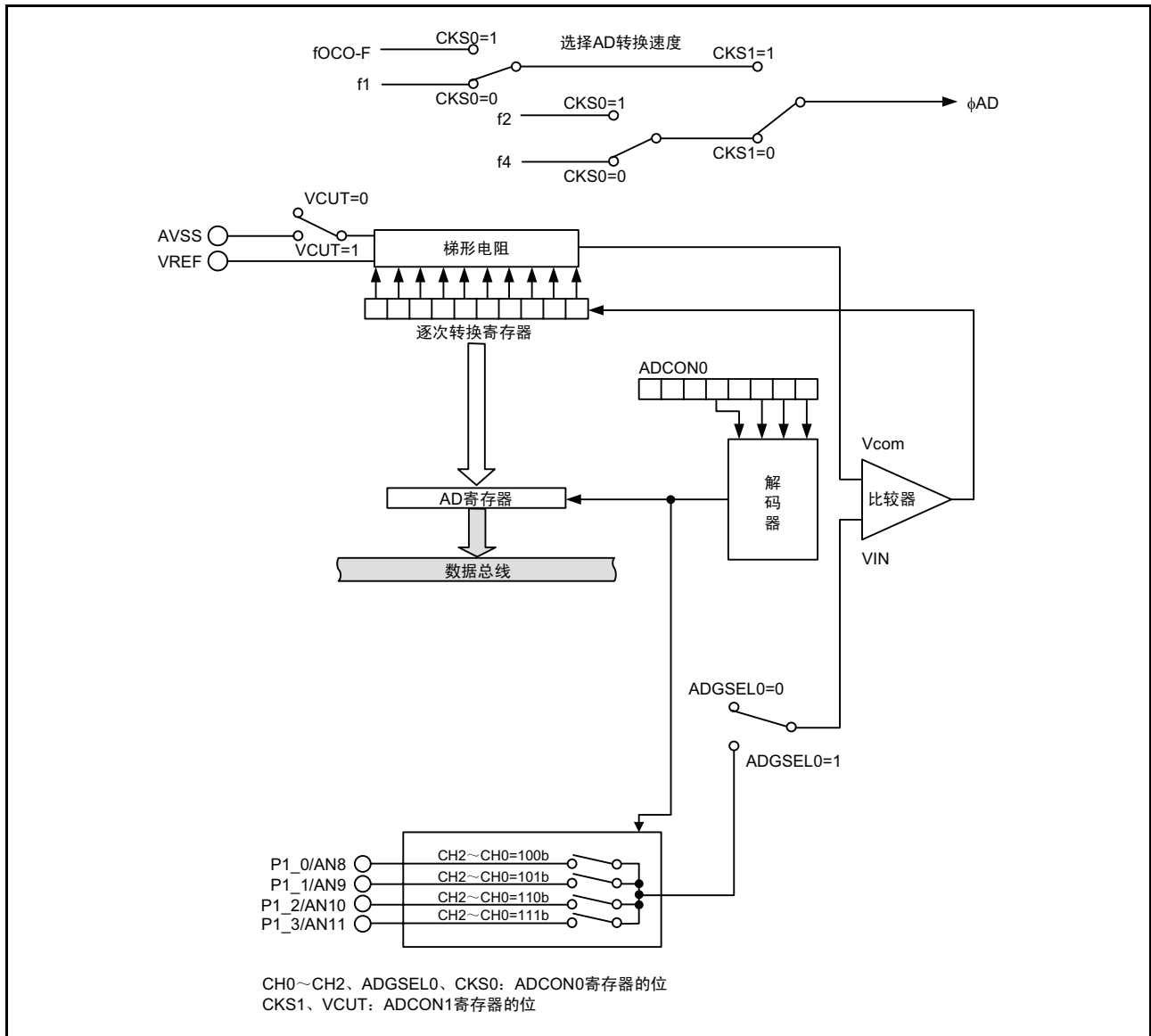


图 19.1 A/D 转换器的框图

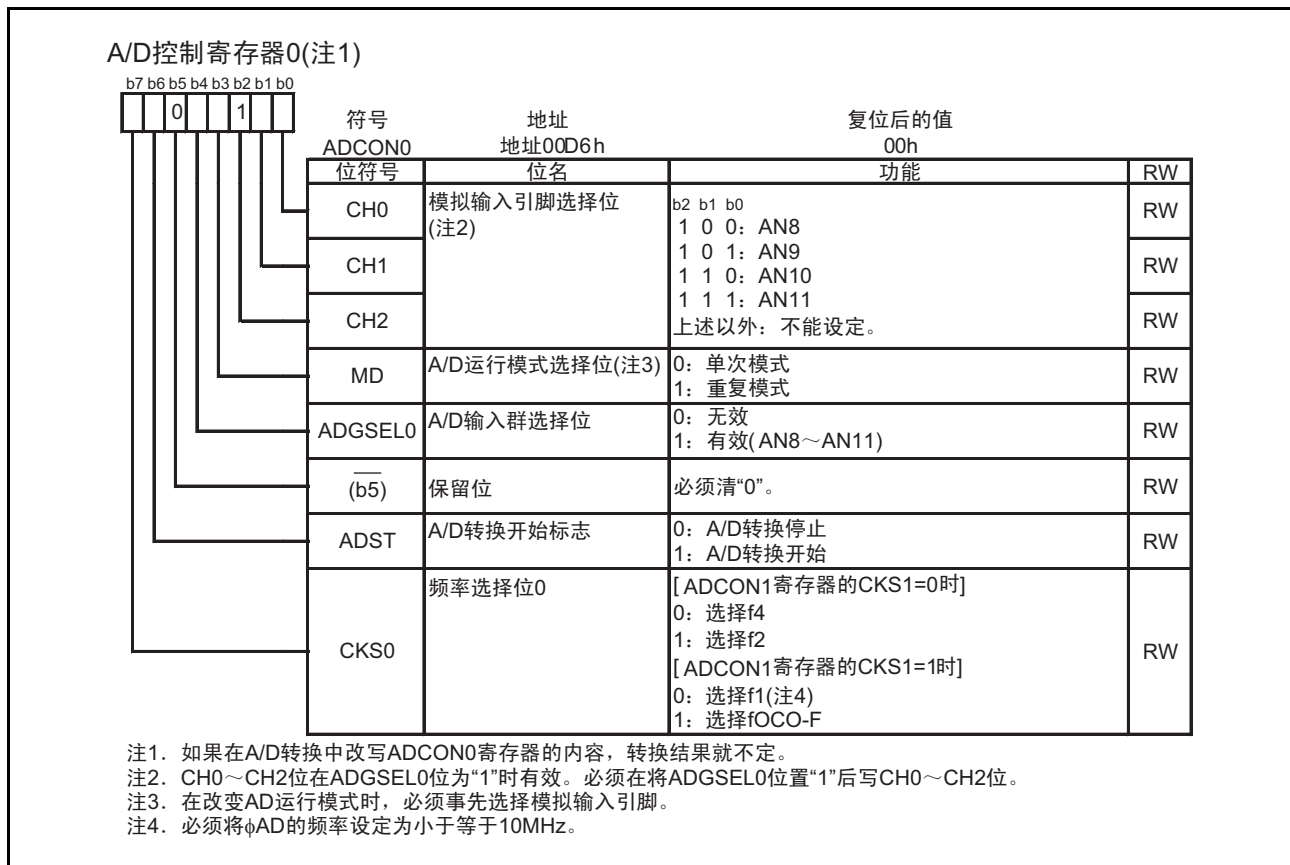


图 19.2 ADCON0 寄存器

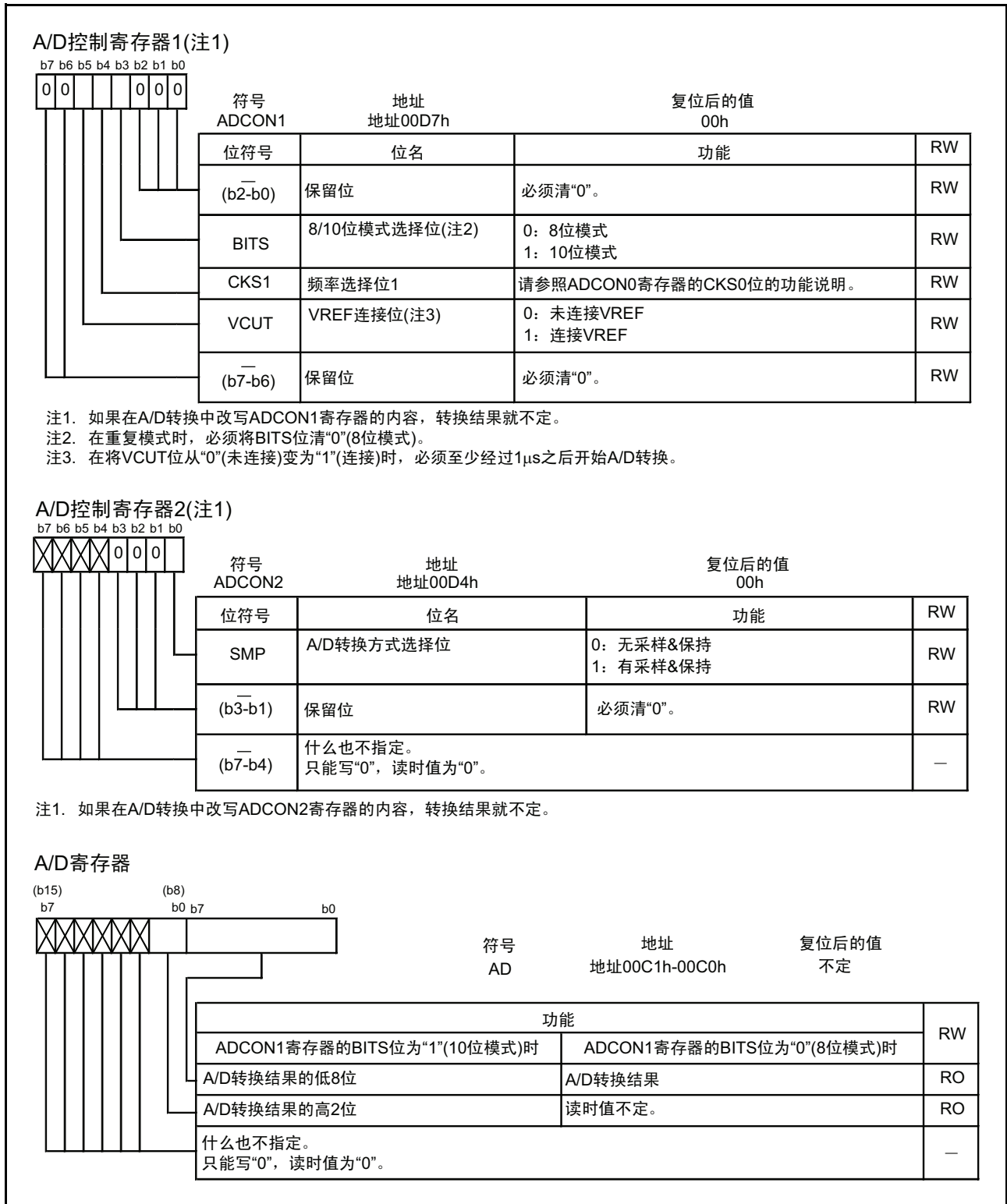


图 19.3 ADCON1、ADCON2 和 AD 寄存器

19.1 单次模式

单次模式是对选择的 1 个引脚的输入电压进行 1 次 A/D 转换的模式。

单次模式的规格如表 19.2 所示，单次模式时的 ADCON0 寄存器如图 19.4 所示，单次模式时的 ADCON1 寄存器如图 19.5 所示。

表 19.2 单次模式的规格

项目	规格
功能	对 CH2 ~ CH0 位选择的引脚的输入电压进行 1 次 A/D 转换
开始条件	将 ADST 位置 “1” (开始 A/D 转换)
停止条件	<ul style="list-style-type: none"> A/D 转换结束 (ADST 位为 “0”) 将 ADST 位清 “0”
中断请求产生时序	在 A/D 转换结束时
输入引脚	从 AN8 ~ AN11 中选择 1 个引脚
读 A/D 转换值	读 AD 寄存器

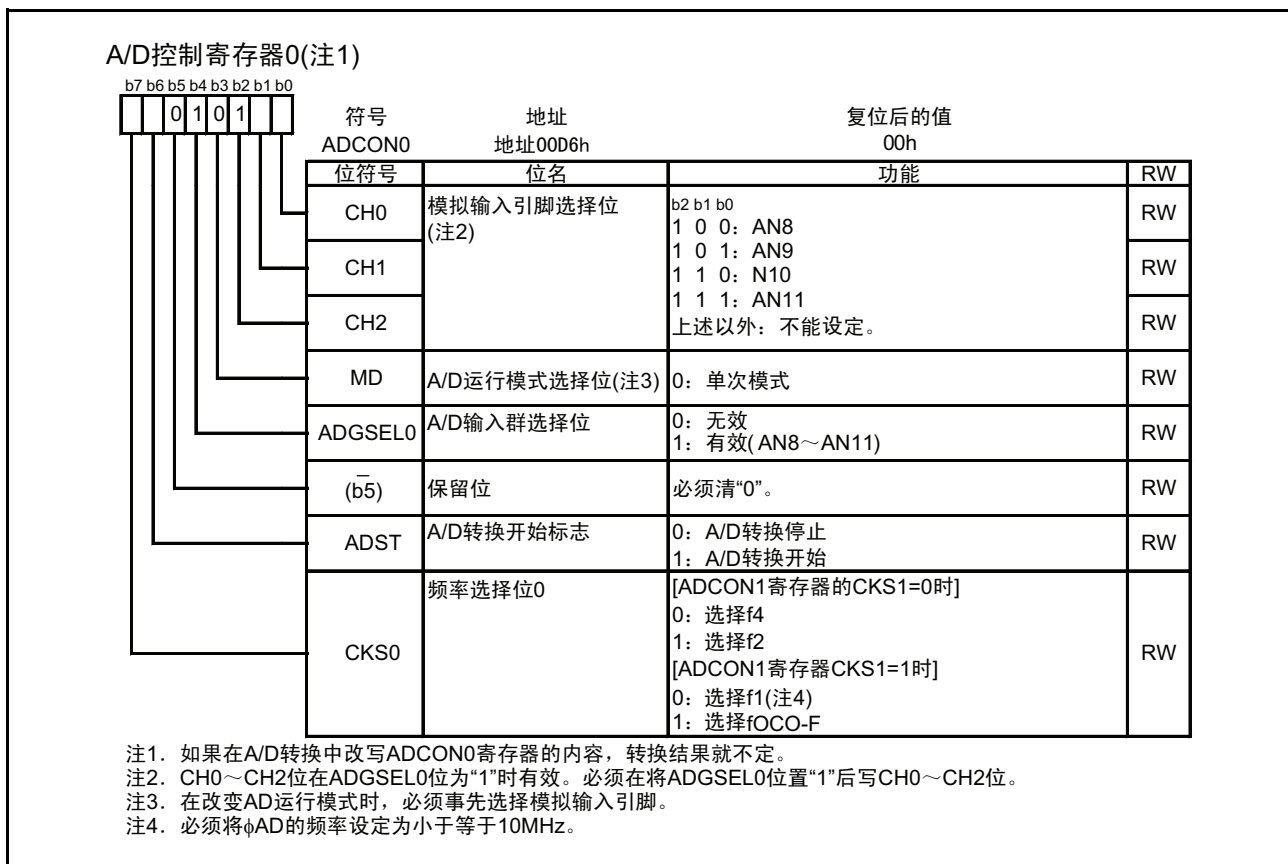


图 19.4 单次模式时的 ADCON0 寄存器



图 19.5 单次模式时的 ADCON1 寄存器

19.2 重复模式

重复模式是对选择的 1 个引脚的输入电压重复进行 A/D 转换的模式。

重复模式的规格如表 19.3 所示, 重复模式时的 ADCON0 寄存器如图 19.6 所示, 重复模式时的 ADCON1 寄存器如图 19.7 所示。

表 19.3 重复模式的规格

项目	规格
功能	对 CH2 ~ CH0 位选择的引脚的输入电压重复进行 A/D 转换
开始条件	将 ADST 位置 “1” (开始 A/D 转换)
停止条件	将 ADST 位清 “0”
中断请求产生时序	不产生
输入引脚	从 AN8 ~ AN11 中选择 1 个引脚
读 A/D 转换值	读 AD 寄存器

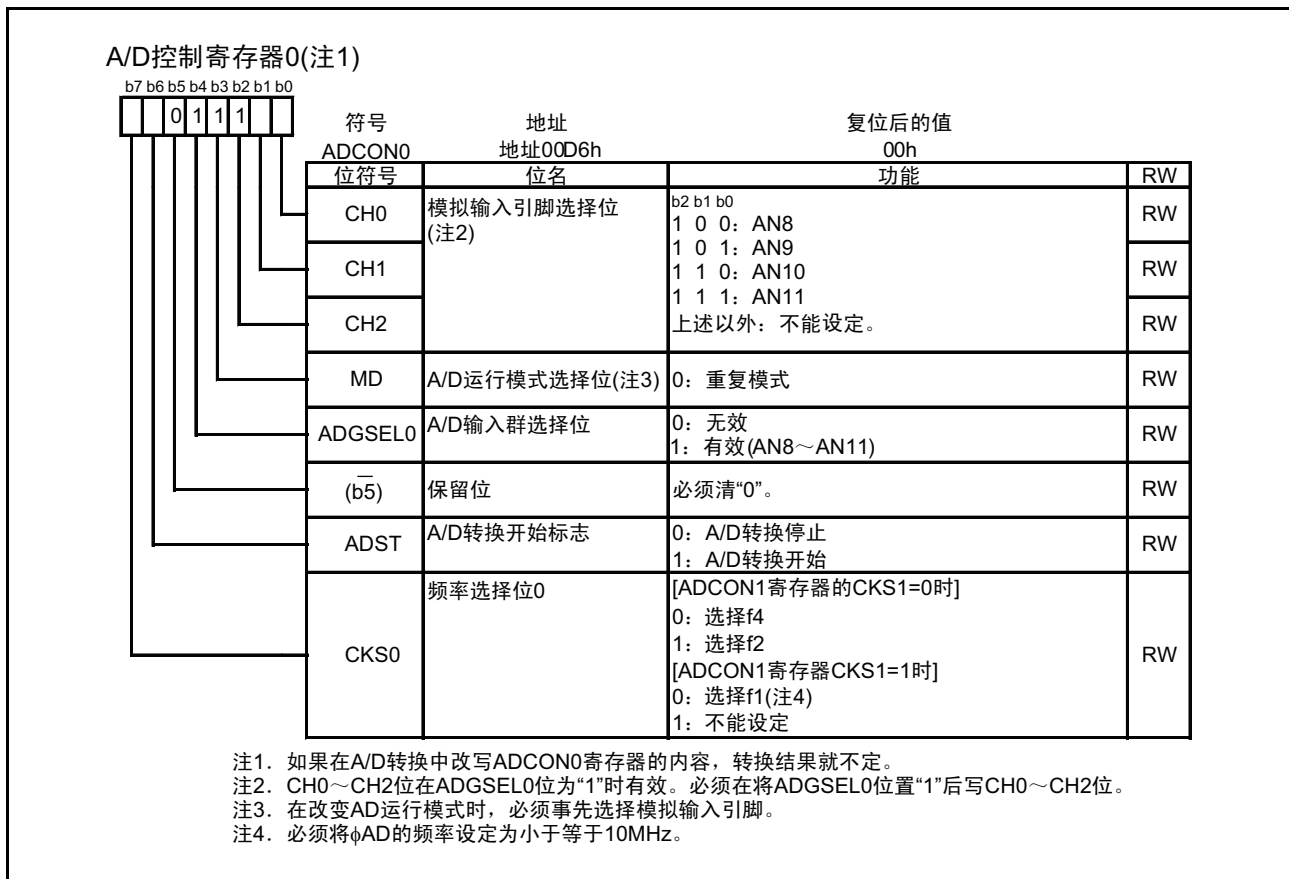


图 19.6 重复模式时的 ADCON0 寄存器

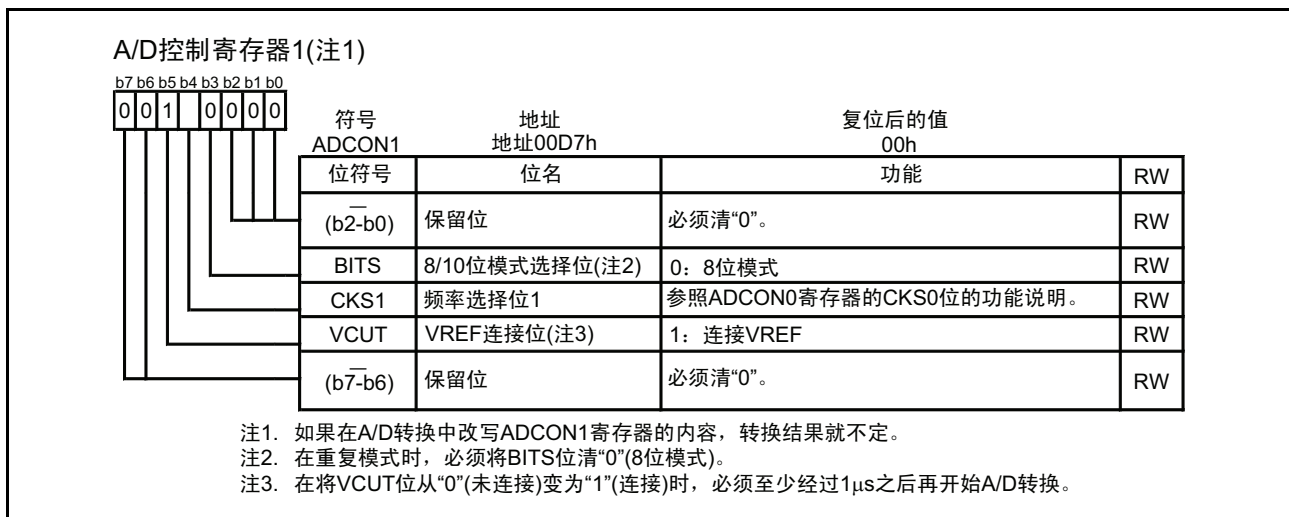


图 19.7 重复模式时的 ADCON1 寄存器

19.3 采样 & 保持

如果将 ADCON2 寄存器的 SMP 位置“1”（有采样 & 保持功能），就能提高每 1 个引脚的转换速度。采样 & 保持功能对所有运行模式都有效。必须在选择有无采样 & 保持功能后启动 A/D 转换。

A/D 转换时序图如图 19.8 所示。

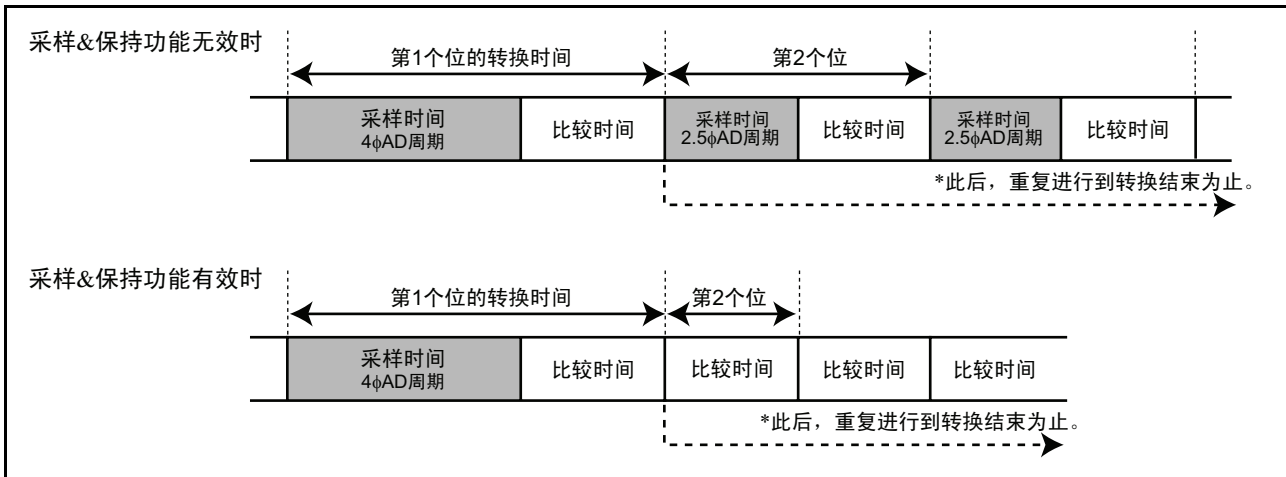


图 19.8 A/D 转换时序图

19.4 A/D 转换周期数

A/D 转换周期数如图 19.9 所示。

A/D转换模式		第1个位的转换时间 第2个位以后的转换时间 结束处理						
		转换时间	采样时间	比较时间	采样时间	比较时间	结束处理	
无采样&保持功能	8位	49 φAD	4 φAD	2.0 φAD	2.5 φAD	2.5 φAD	8.0 φAD	
无采样&保持功能	10位	59 φAD	4 φAD	2.0 φAD	2.5 φAD	2.5 φAD	8.0 φAD	
有采样&保持功能	8位	28 φAD	4 φAD	2.5 φAD	0.0 φAD	2.5 φAD	4.0 φAD	
有采样&保持功能	10位	33 φAD	4 φAD	2.5 φAD	0.0 φAD	2.5 φAD	4.0 φAD	

图 19.9 A/D 转换周期数

19.5 模拟输入内部等效电路

模拟输入内部等效电路如图 19.10 所示。

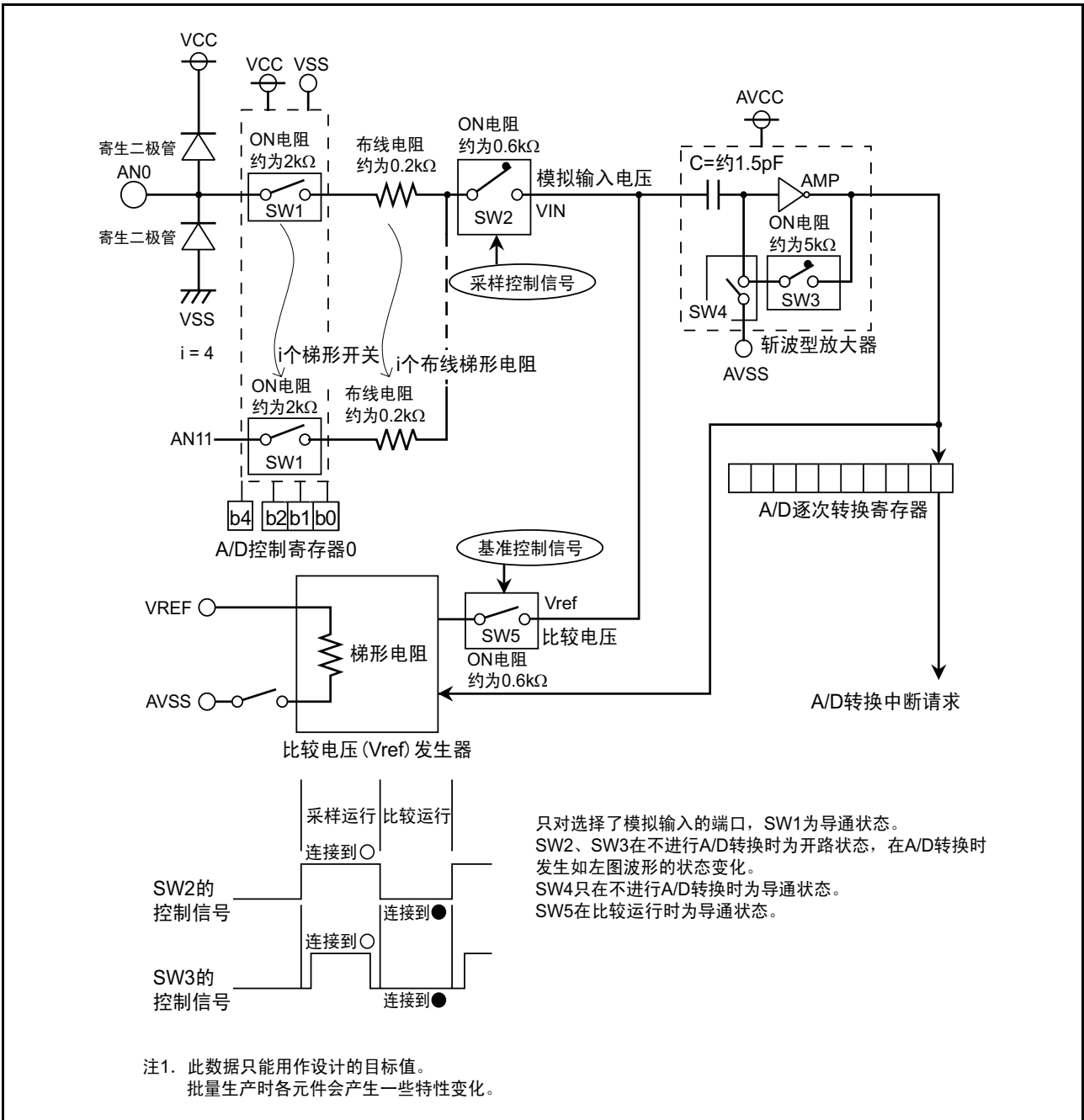


图 19.10 模拟输入内部等效电路

19.6 A/D 转换时的传感器的输出阻抗

为了正确地进行 A/D 转换，需要在规定时间内完成对图 19.11 的内部电容 C 的充电。假设该规定的时间（采样时间）设为 T，传感器等效电路的输出阻抗设为 R₀，单片机内部阻抗设为 R，A/D 转换的精度（误差）设为 X，分辨率设为 Y（Y 在 10 位模式时为 1024，在 8 位模式时为 256）。

$$VC \text{ 一般为 } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R_0+R)}t} \right\}$$

$$t = T \text{ 时, 由于 } VC = VIN - \frac{X}{Y} VIN = VIN \left(1 - \frac{X}{Y} \right),$$

$$\text{因而, } e^{-\frac{1}{C(R_0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R_0+R)}T = \ln \frac{X}{Y}$$

$$\text{所以, } R_0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

模拟输入引脚和外部传感器的等效电路例如图 19.11 所示。在 VIN 和 VC 的差为 0.1LSB 时，求出时间 T 内电容 C 引脚间电压 VC 从 0 变为 VIN-(0.1/1024)VIN 时的阻抗 R₀。(0.1/1024) 表示在 10 位模式的 A/D 转换时，将电容充电不充分而造成的 A/D 精度的下降控制在 0.1LSB 内。但是，实际误差为 0.1LSB 加上绝对精度的值。

当 f(XIN)=10MHz 时，在无采样 & 保持功能的 A/D 转换模式中，T=0.25μs。可通过以下计算式求得在该 T 时间内能对电容 C 充分充电的输出阻抗 R₀。

因为 T=0.25μs、R=2.8kΩ、C=6.0pF、X=0.1、Y=1024，

$$\text{所以, } R_0 = -\frac{0.25 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 2.8 \times 10^3 \approx 1.7 \times 10^3$$

因此，A/D 转换精度（误差）不超过 0.1LSB 时的传感器电路的输出阻抗 R₀ 最大为 1.7kΩ。

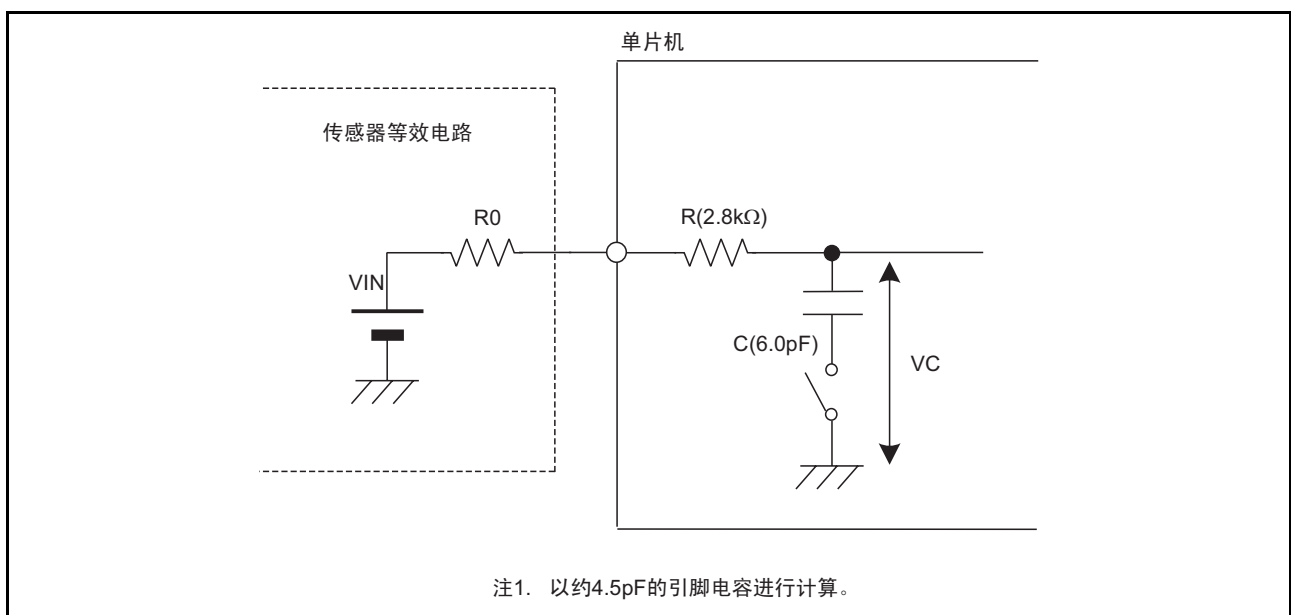


图 19.11 模拟输入引脚和外部传感器的等效电路例

19.7 A/D 转换器使用时的注意事项

- 对 ADCON0 寄存器的各位（位 6 除外）、ADCON1 寄存器的各位以及 ADCON2 寄存器的 SMP 位的写操作，必须在 A/D 转换停止时（产生触发前）进行。
尤其在将 VCUT 位从“0”（未连接 VREF）变为“1”（连接 VREF）时，必须至少经过 1 μ s 后开始 A/D 转换。
- 在改变 A/D 运行模式后，必须重新选择模拟输入引脚。
- 在单次模式中使用时必须确认 A/D 转换结束后，读 AD 寄存器（能通过 ADIC 寄存器的 IR 位或者 ADCON0 寄存器的 ADST 位判断 A/D 转换的结束）。
- 在重复模式中使用时必须将 A/D 转换中的 CPU 时钟选择为大于等于 A/D 转换器运行时钟 ϕ AD 的频率。
不能对 ϕ AD 选择 fOCO-F。
- 在 A/D 转换运行期间，当通过程序将 ADCON0 寄存器的 ADST 位清“0”（停止 A/D 转换）来强制结束时，A/D 转换器的转换结果就不定。在通过程序将 ADST 位清“0”后，不能使用 AD 寄存器的值。
- 必须在 P4_2/VREF 引脚和 AVSS 引脚之间连接 0.1 μ F 的电容。
- 不能在 A/D 转换中转移到停止模式。
- 在 A/D 转换中，不能在 CM0 寄存器的 CM02 位为“1”（等待模式时，停止外围功能时钟）的状态下转移到等待模式。

20. 闪存

20.1 概要

能在 CPU 改写模式、标准串行输入 / 输出模式和并行输入 / 输出模式 3 种改写模式中对闪存进行操作。
闪存的性能概要如表 20.1 所示（表 20.1 以外的项目，请参照“表 1.1 和表 1.2 性能概要”）。

表 20.1 闪存的性能概要

项目		性能
闪存的运行模式		3 种模式（CPU 改写、标准串行输入 / 输出和并行输入 / 输出模式）
擦除块分配		请参照图 20.1、图 20.2。
编程方式		字节单位
擦除方式		块擦除
编程、擦除的控制方式（注 3）		由软件命令控制编程、擦除
改写的控制方式		由 FMR0 寄存器的 FMR02 位控制块 0 和块 1 的改写 由 FMR1 寄存器的 FMR15 和 FMR16 位分别控制块 0 和块 1 的改写
命令数		5 条命令
编程 / 擦除次数 （注 1）	块 0（程序 ROM）	R8C/28 群：100 次；R8C/29 群：1,000 次
	块 A、B（数据闪存）（注 2）	10,000 次
ID 码检查功能		对应标准串行输入 / 输出模式
ROM 码保护		对应并行输入 / 输出模式

注 1. 编程 / 擦除次数的定义

编程 / 擦除次数是各块的擦除次数。

在编程 / 擦除次数为 n 次（n=100、10,000 次）的情况下，能逐块分别擦除 n 次。例如，对于 1K 字节的块 A，如果分 1,024 次将 1 字节写到各自不同的地址后擦除该块，编程 / 擦除次数就增加 1 次。在至少改写了 100 次的情况下，为了减少实际的改写次数，编程必须进行到没有空区为止，然后进行擦除，并且为了平衡各块的编程、擦除次数，必须避免只改写特定块。

另外，建议按块保存擦除次数等信息，设定限制次数。

注 2. 只有 R8C/29 群内置有。

注 3. 如果进行编程、擦除，就必须在电源电压 VCC=2.7 ~ 5.5V 的条件下进行。不能在电源电压低于 2.7V 时进行编程、擦除。

表 20.2 闪存改写模式的概要

闪存改写模式	CPU 改写模式	标准串行输入 / 输出模式	并行输入 / 输出模式
功能概要	通过 CPU 执行软件命令改写用户 ROM 区 EW0 模式：可改写 RAM EW1 模式：可改写闪存	使用专用串行编程器改写用户 ROM 区	使用专用串行编程器改写用户 ROM 区
能改写的区域	用户 ROM 区	用户 ROM 区	用户 ROM 区
运行模式	单芯片模式	引导模式	并行输入 / 输出模式
ROM 编程器	—	串行编程器	并行编程器

20.2 存储器的分配

闪存分为用户 ROM 区和引导 ROM 区（保留区）。

R8C/28 群的闪存框图如图 20.1、R8C/29 群的闪存框图如图 20.2 所示。

R8C/29 群的用户 ROM 区除了有保存单片机运行程序的区域（程序 ROM）以外，还有 1K 字节的块 A 和 1K 字节的块 B（数据闪存）。

用户 ROM 区被分为多个块。在 CPU 改写模式、标准串行输入 / 输出模式或者并行输入 / 输出模式中能改写用户 ROM 区。

通过 CPU 改写模式改写块 0 和块 1 时，在将 FMR0 寄存器的 FMR02 位置“1”（允许改写）的情况下，如果将 FMR1 寄存器的 FMR15 位清“0”（允许改写），就允许改写块 0；如果将 FMR1 寄存器的 FMR16 位清“0”（允许改写），就允许改写块 1。

在出货时，引导 ROM 区存有标准串行输入 / 输出模式的改写控制程序。尽管引导 ROM 区被分配在与用户 ROM 区重叠的地址，但是存在其他的存储器。

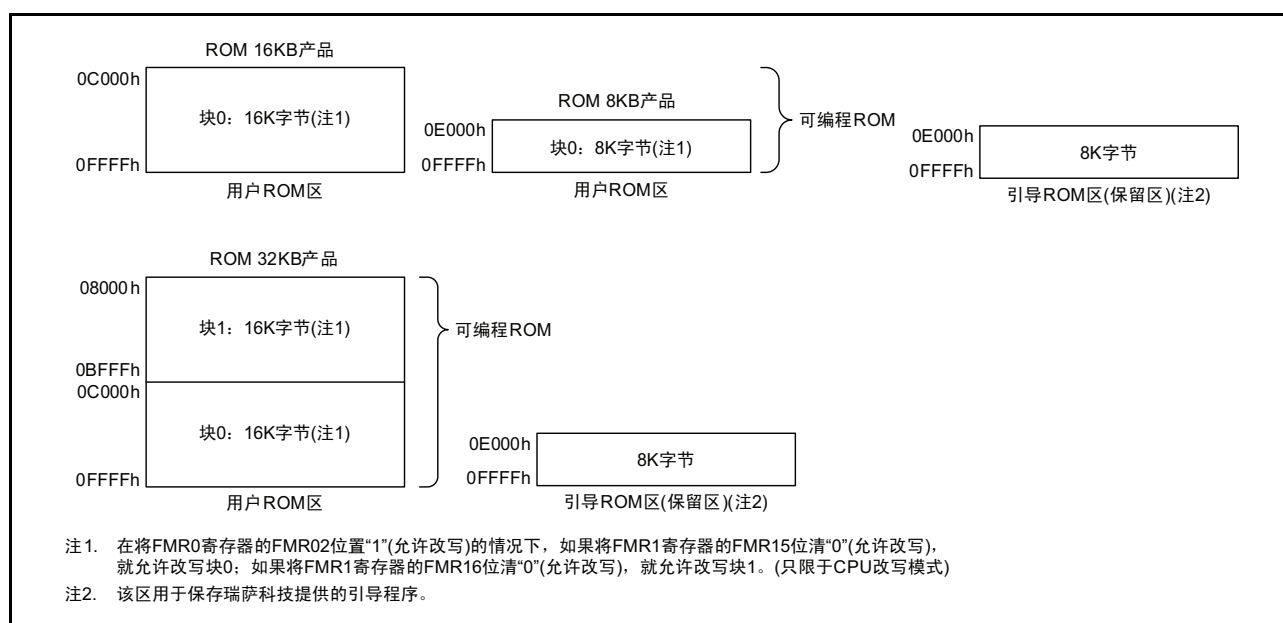


图 20.1 R8C/28 群的闪存框图

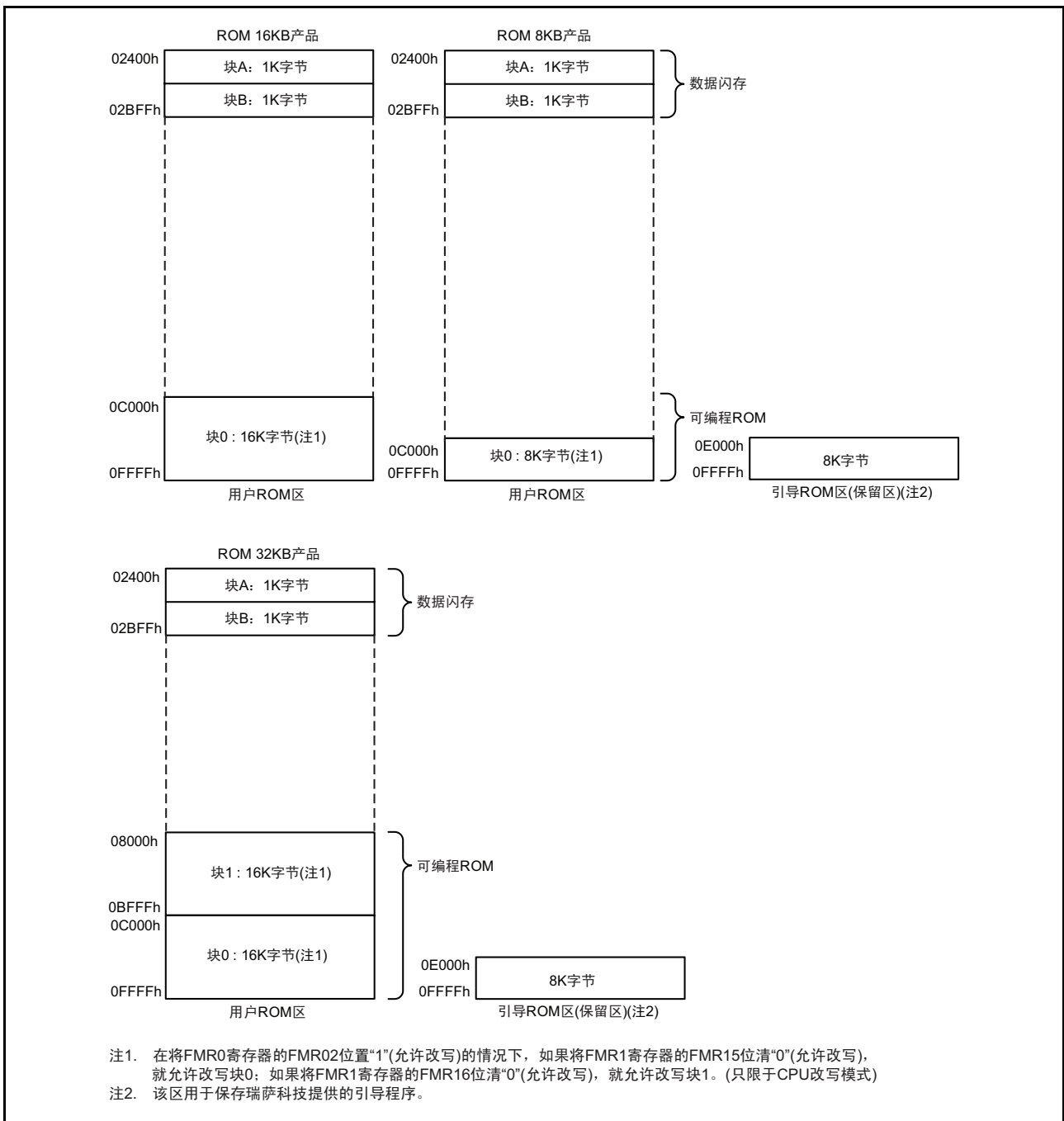


图 20.2 R8C/29 群的闪存框图

20.3 闪存改写的禁止功能

为了防止轻易地读或者改写闪存，标准串行输入 / 输出模式有 ID 码的检查功能，并行输入 / 输出模式有 ROM 码的保护功能。

20.3.1 ID 码的检查功能

用于标准串行输入 / 输出模式。在闪存不为空白的情况下，判断编程器送来的 ID 码和写在闪存中的 7 字节的 ID 码是否相同。如果不相同，就不接受编程器送来的命令。ID 码是各 8 位的数据，该区域从第 1 个字节开始为地址 00FFDFh、00FFE3h、00FFE7h、00FFE8h、00FFE9h、00FFF3h、00FFF7h、00FFFBh。必须将预先给这些地址设定 ID 码的程序写到闪存。

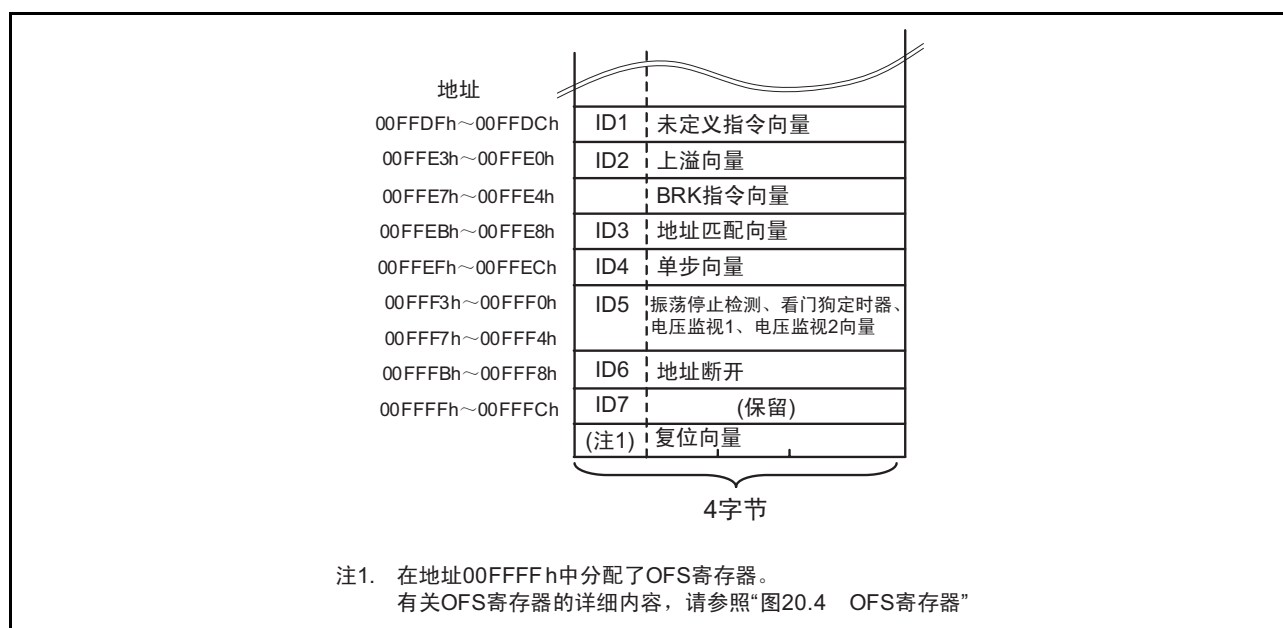


图 20.3 ID 码的保存地址

20.3.2 ROM 码的保护功能

ROM 码保护在使用并行输入 / 输出模式时，通过 OFS 寄存器禁止读和更改内部闪存内容。

OFS 寄存器如图 20.4 所示。

如果给 ROMCR 位写“1”并给 ROMCP1 位写“0”，ROM 码保护就有效，禁止读和更改内部闪存的内容。

一旦将 ROM 码保护设定为有效，就无法在并行输入 / 输出模式中改写内部闪存的内容。在解除 ROM 码保护时，必须使用 CPU 改写模式或者标准串行输入 / 输出模式，擦除包括 OFS 寄存器的块。

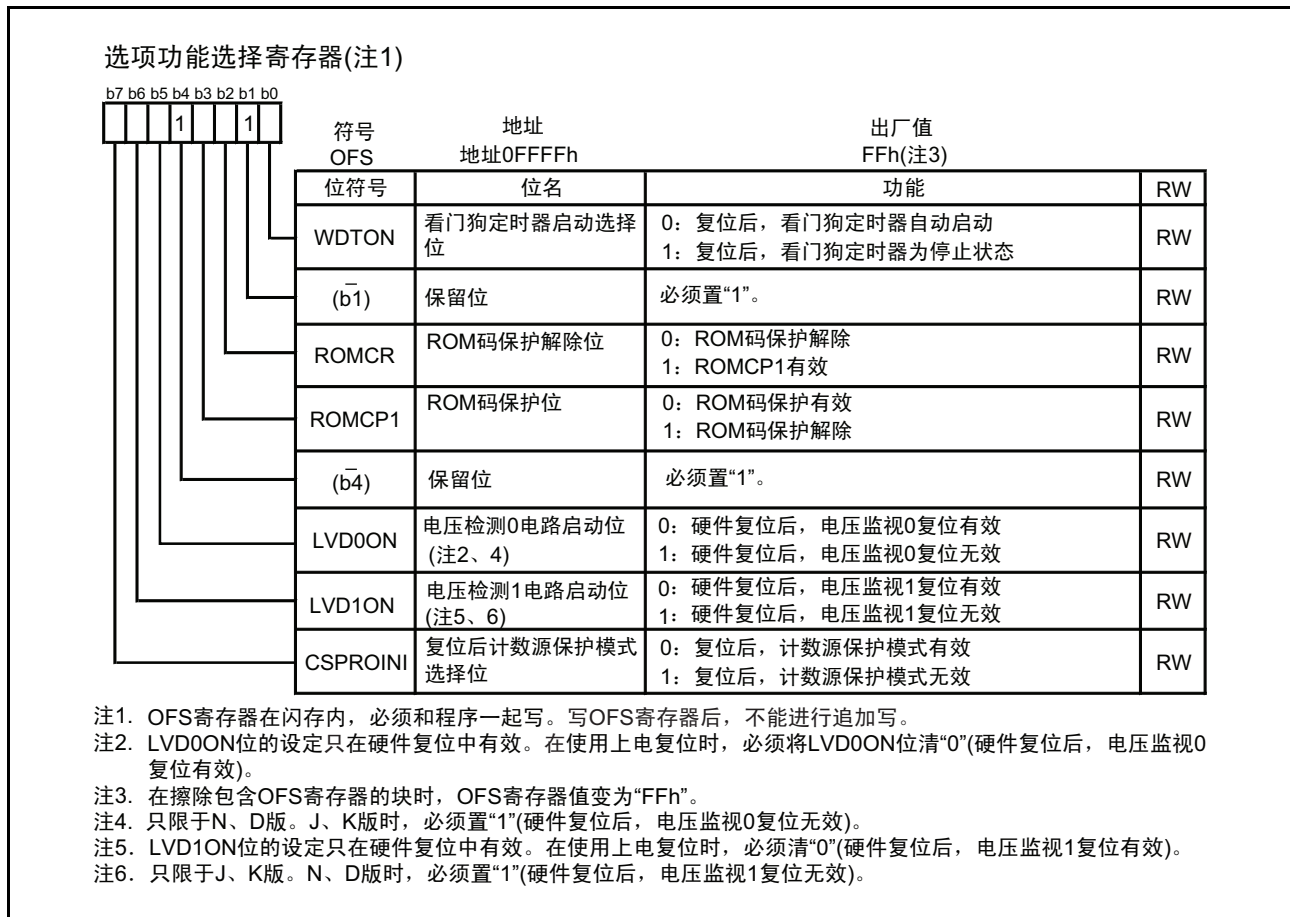


图 20.4 OFS 寄存器

20.4 CPU 改写模式

在 CPU 改写模式中，能通过 CPU 执行软件命令改写用户 ROM 区。因此，能在不使用 ROM 编程器等而将单片机安装在电路板的状态下改写用户 ROM 区。只能对用户 ROM 区的各块区域执行编程、块擦除的命令。

在 CPU 改写模式的擦除运行中发生中断请求时，具有暂时中断擦除运行而进行中断处理的擦除挂起功能。在擦除挂起中，能通过程序读用户 ROM 区。

在 CPU 改写模式的自动编程中发生中断请求时，具有暂时中断自动编程而进行中断处理的编程挂起功能。在编程挂起中，能通过程序读用户 ROM 区。

CPU 改写模式有擦除编程 0 模式（EW0 模式）和擦除编程 1 模式（EW1 模式）。

EW0 模式和 EW1 模式的不同点如表 20.3 所示。

表 20.3 EW0 模式和 EW1 模式的不同点

项目	EW0 模式	EW1 模式
运行模式	单芯片模式	单芯片模式
能配置改写控制程序的区域	用户 ROM 区	用户 ROM 区
能执行改写控制程序的区域	需要在传送到闪存以外的区域（RAM 等）后执行	用户 ROM 区或 RAM 区
能改写的区域	用户 ROM 区	用户 ROM 区 但是，存有改写控制程序的块除外（注 1）
软件命令的限制	无	<ul style="list-style-type: none"> 对于存有编程、块擦除命令的改写控制程序的块，禁止执行 禁止执行读状态寄存器命令
编程、擦除后的模式	读状态寄存器模式	读阵列（Read Array）模式
读状态寄存器后的模式	读状态寄存器模式	不能执行命令。
自动编程、自动擦除时的 CPU 状态	运行	保持状态（输入 / 输出端口保持命令执行前的状态）
闪存的状态检测	<ul style="list-style-type: none"> 通过程序读 FMR0 寄存器的 FMR00、FMR06、FMR07 位 执行读状态寄存器命令，读取状态寄存器的 SR7、SR5、SR4 	通过程序读 FMR0 寄存器的 FMR00、FMR06、FMR07 位
擦除挂起的转移条件	通过程序将 FMR4 寄存器的 FMR40 和 FMR41 位置“1”	FMR4 寄存器的 FMR40 位为“1”并且产生被允许的可屏蔽中断的中断请求
编程挂起的转移条件	通过程序将 FMR4 寄存器的 FMR40 和 FMR42 位置“1”	FMR4 寄存器的 FMR40 位为“1”并且产生被允许的可屏蔽中断的中断请求
CPU 时钟	最大为 5MHz	无限制（使用的时钟频率）

注 1. 在 FMR0 寄存器的 FMR02 位置“1”（允许改写）的情况下，如果将 FMR1 寄存器的 FMR15 位清“0”（允许改写），就允许改写块 0；如果将 FMR1 寄存器的 FMR16 位清“0”（允许改写），就允许改写块 1。

20.4.1 EW0 模式

当将 FMR0 寄存器的 FMR01 位置“1”（CPU 改写模式有效）时，就进入 CPU 改写模式，能接受软件命令。此时，因为 FMR1 寄存器的 FMR11 位是“0”，所以进入 EW0 模式。

通过软件命令控制编程、擦除运行。能通过 FMR0 寄存器或者状态寄存器确认编程、擦除结束时的状态等。

在自动擦除中转移到擦除挂起时，必须将 FMR40 位置“1”（允许挂起）、FMR41 位置“1”（请求擦除挂起），然后等待 td(SR-SUS)，在确认 FMR46 位为“1”（允许读）后才能对用户 ROM 区进行存取。如果将 FMR41 位清“0”（重新启动擦除），就重新开始自动擦除。

在自动编程中转移到编程挂起时，必须将 FMR40 位置“1”（允许挂起）、FMR42 位置“1”（请求编程挂起），然后等待 td(SR-SUS)，在确认 FMR46 位为“1”（允许读）后才能对用户 ROM 区进行存取。如果将 FMR42 位清“0”（重新启动编程），就重新开始自动编程。

20.4.2 EW1 模式

在将 FMR01 位置“1”（CPU 改写模式有效）后，如果将 FMR11 位置“1”（EW1 模式），就进入 EW1 模式。

能通过 FMR0 寄存器确认编程、擦除结束时的状态等。不能在 EW1 模式中执行读状态寄存器的命令。

在自动擦除中将擦除挂起功能设定为有效时，必须在将 FMR40 位置“1”（允许挂起）后执行块擦除命令，并预先将转移到擦除挂起的中断设定为中断允许状态。如果在执行块擦除命令后经过 td(SR-SUS)，就能接受中断请求。

如果产生中断请求，FMR41 位就自动变为“1”（请求擦除挂起），中断自动擦除。在结束中断处理后，如果自动擦除还没有结束（FMR00 位为“0”），就必须将 FMR41 位清“0”（重新启动擦除），重新开始自动擦除。

在自动编程中将编程挂起功能设定为有效时，必须在将 FMR40 位置“1”（允许挂起）后执行编程命令，并预先将转移到编程挂起的中断设定为中断允许状态。如果在执行编程命令后经过 td(SR-SUS)，就能接受中断请求。

如果产生中断请求，FMR42 位就自动变为“1”（请求编程挂起），中断自动编程。在结束中断处理后，如果自动编程还没有结束（FMR00 位为“0”），就必须将 FMR42 位清“0”（重新启动编程），重新开始自动编程。

FMR0 寄存器如图 20.5、FMR1 寄存器如图 20.6、FMR4 寄存器如图 20.7 所示。

20.4.2.1 FMR00 位

FMR00 位是表示闪存运行状况的位。在编程、擦除运行中（包括挂起时间）为“0”，否则为“1”。

20.4.2.2 FMR01 位

如果在将 FMR01 位置“1”（CPU 改写模式），就能接受命令。

20.4.2.3 FMR02 位

在 FMR02 位为“0”（禁止改写）时，块 0 和块 1 不接受编程命令、块擦除命令。

在 FMR02 位为“1”（允许改写）时，块 0 和块 1 分别由 FMR15 和 FMR16 位控制改写。

20.4.2.4 FMSTP 位

FMSTP 位是对闪存的控制电路进行初始化并降低闪存功耗的位。如果将 FMSTP 位置“1”，就不能存取闪存。因此，必须通过传送到 RAM 中的程序写 FMSTP 位。

在以下的情况下，必须将 FMSTP 位置“1”：

- 在 EW0 模式的擦除和编程中闪存的存取发生异常（FMR00 位无法恢复到“1”（就绪））时
- 在高速内部振荡器模式、低速内部振荡器模式（XIN 时钟停止）、低速时钟模式（XIN 时钟停止）中设定为低功耗时

在高速内部振荡器模式、低速内部振荡器模式（XIN 时钟停止）、低速时钟模式（XIN 时钟停止）中设定为低功耗的处理如图 20.11 所示，必须按照此流程图进行操作。另外，在 CPU 改写模式无效的情况下转移到停止模式或者等待模式时，会自动切断闪存的电源，在返回时自动连接，因此不需要设定 FMR0 寄存器。

20.4.2.5 FMR06 位

FMR06 位是表示自动编程状态的只读位。如果产生编程错误，FMR06 位就为“1”，否则为“0”。详细内容请参照“20.4.5 全状态检查”。

20.4.2.6 FMR07 位

FMR07 位是表示自动擦除状态的只读位。如果产生擦除错误，FMR07 位就为“1”，否则为“0”。详细内容请参照“20.4.5 全状态检查”。

20.4.2.7 FMR11 位

如果将 FMR11 位置“1”（EW1 模式），就进入 EW1 模式。

20.4.2.8 FMR15 位

在 FMR02 位是“1”（允许改写）并且 FMR15 位是“0”（允许改写）时，块 0 接受编程命令、块擦除命令。

20.4.2.9 FMR16 位

在 FMR02 位是“1”（允许改写）并且 FMR16 位是“0”（允许改写）时，块 1 接受编程命令、块擦除命令。

20.4.2.10 FMR40 位

如果将 FMR40 位置“1”（允许），就允许挂起功能。

20.4.2.11 FMR41 位

如果在 EW0 模式中通过程序将 FMR41 位置“1”，就转移到擦除挂起模式。如果在 EW1 模式中产生被允许的中断的中断请求，FMR41 位就自动变为“1”（请求擦除挂起），转移到擦除挂起模式。

在重新开始自动擦除运行时，必须将 FMR41 位清“0”（重新启动擦除）。

20.4.2.12 FMR42 位

如果在 EW0 模式中通过程序将 FMR42 位置“1”，就转移到编程挂起模式。如果在 EW1 模式中产生被允许的中断的中断请求，FMR42 位就自动变为“1”（请求编程挂起），转移到编程挂起模式。

在重新开始自动编程时，必须将 FMR42 位清“0”（重新启动编程）。

20.4.2.13 FMR43 位

如果开始自动擦除，FMR43 位就变为“1”（执行擦除中）。即使在擦除挂起中 FMR43 位也一直为“1”（执行擦除中）。

如果结束自动擦除，FMR43 位就变为“0”（未执行擦除）。

20.4.2.14 FMR44 位

如果开始自动编程，FMR44 位就变为“1”（执行编程中）。即使在编程挂起中 FMR44 位也一直为“1”（执行编程中）。

如果结束自动编程，FMR44 位就变为“0”（未执行编程）。

20.4.2.15 FMR46 位

在执行自动编程和自动擦除中 FMR46 位为“0”（禁止读）。在挂起模式中 FMR46 位为“1”（允许读）。在 FMR46 位为“0”期间，禁止存取闪存。

20.4.2.16 FMR47 位

在低速时钟模式（XIN 时钟停止）、低速内部振荡器模式（XIN 时钟停止）时，如果将 FMR47 位置“1”（允许），就能降低读闪存时的消耗电流。

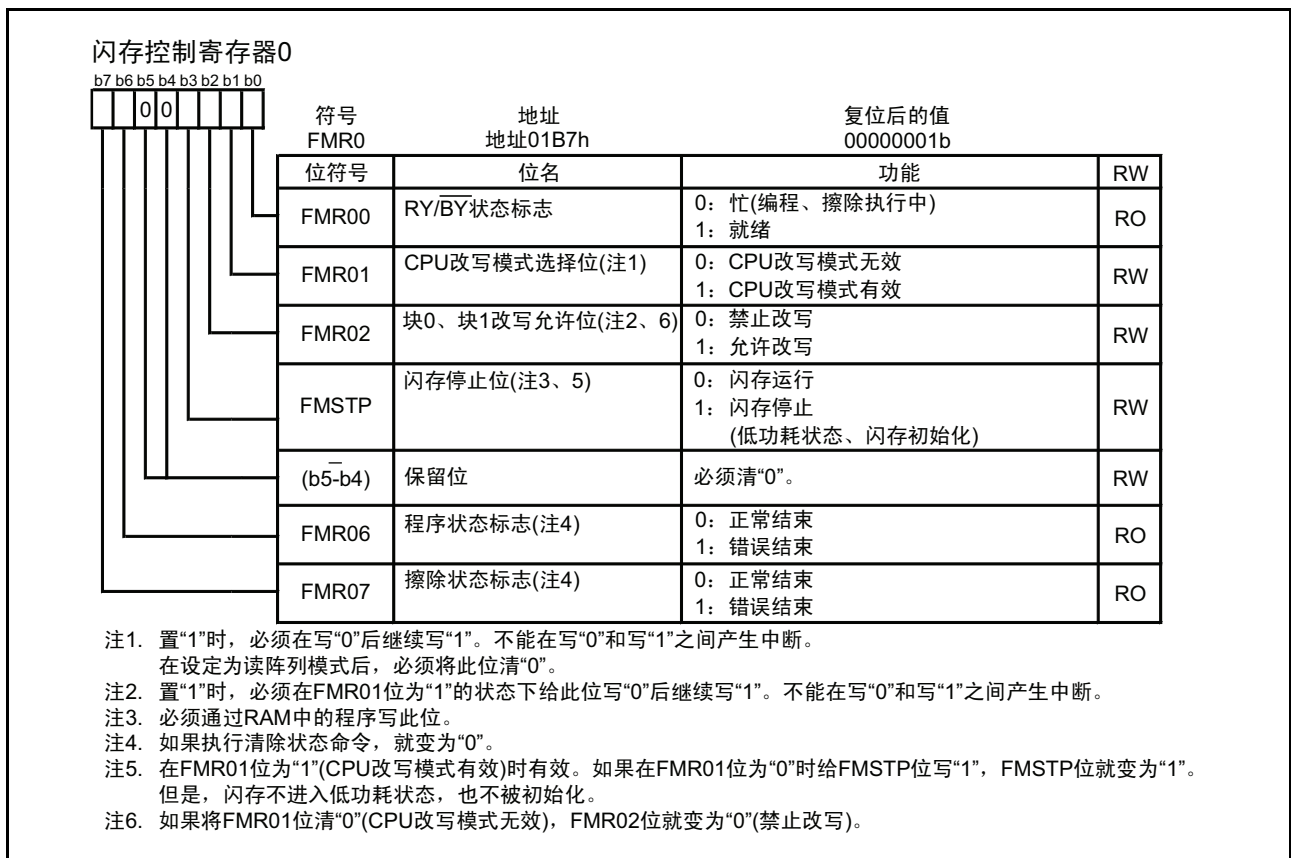


图 20.5 FMR0 寄存器



图 20.6 FMR1 寄存器

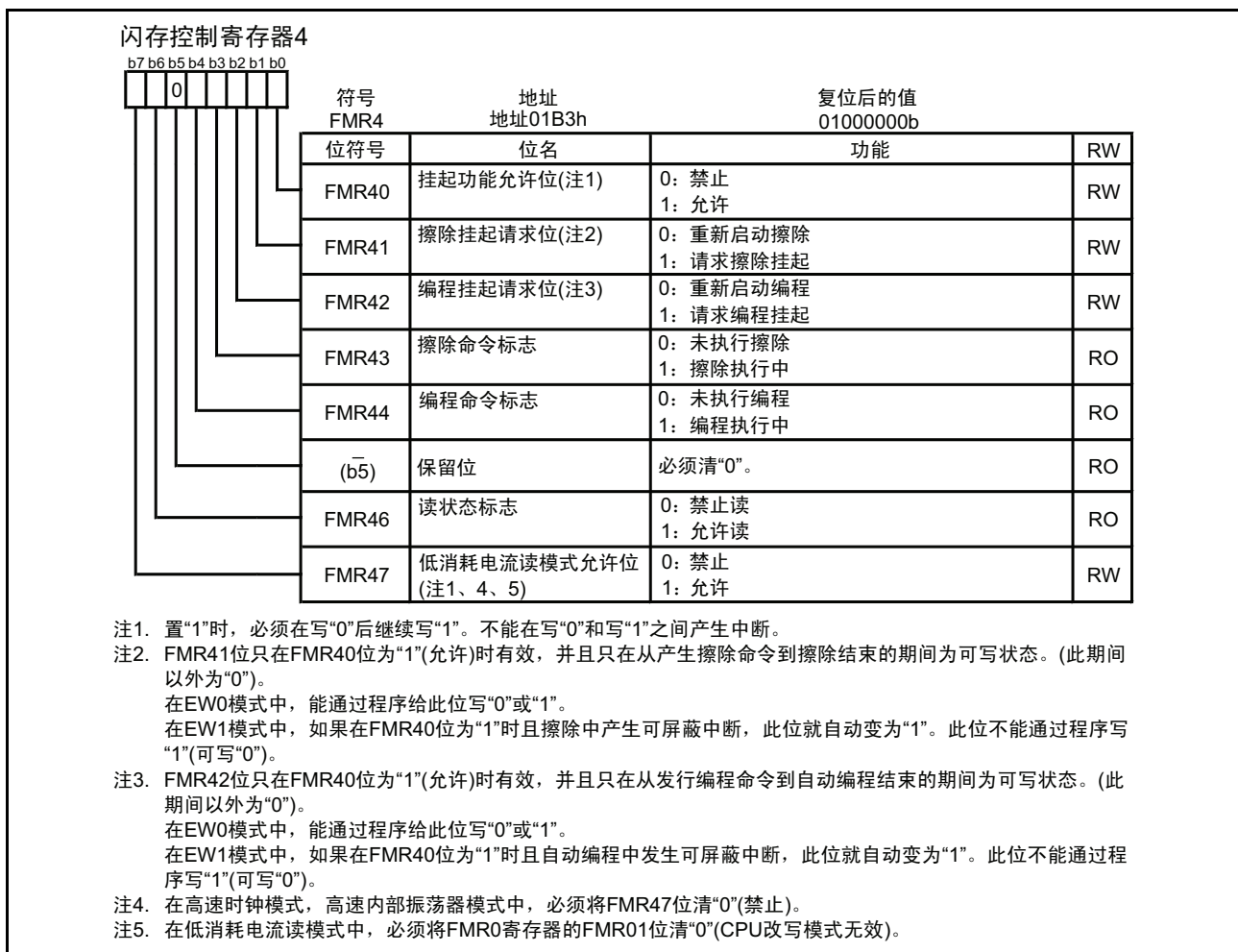


图 20.7 FMR4 寄存器

有关挂起运行的时序如图 20.8 所示。

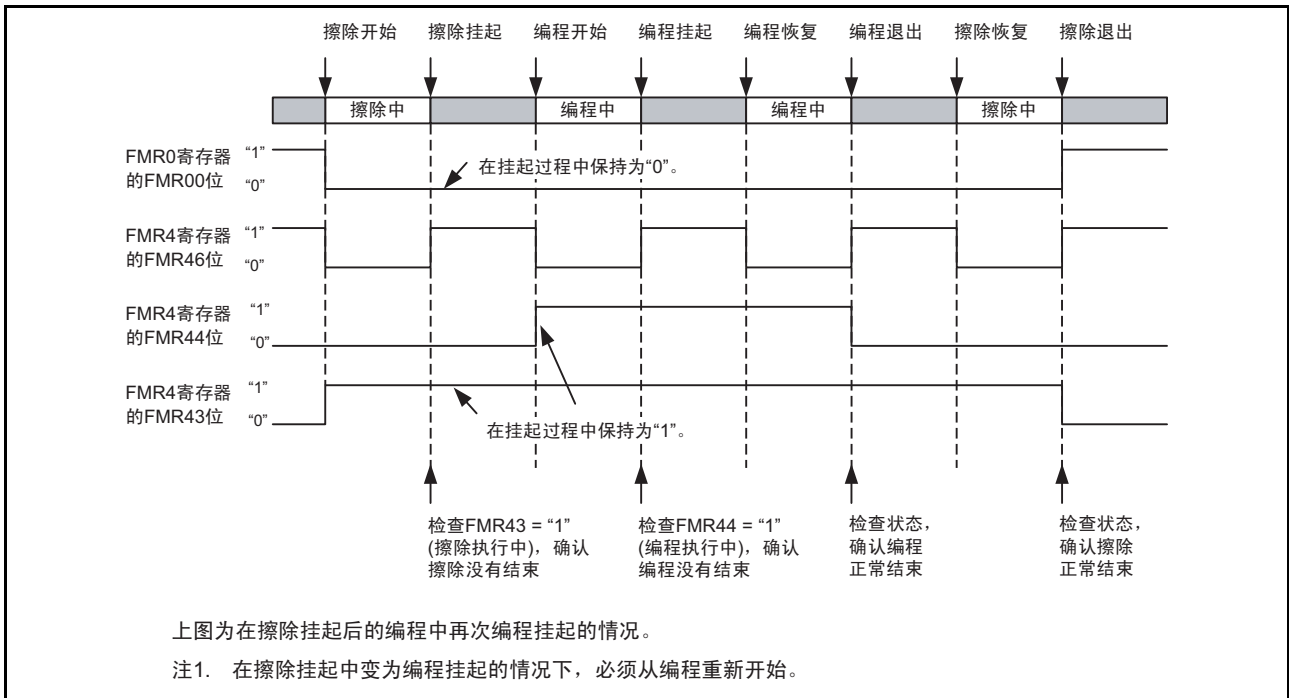


图 20.8 有关挂起运行的时序

EW0 模式的设定和解除方法如图 20.9、EW1 模式的设定和解除方法如图 20.10 所示。

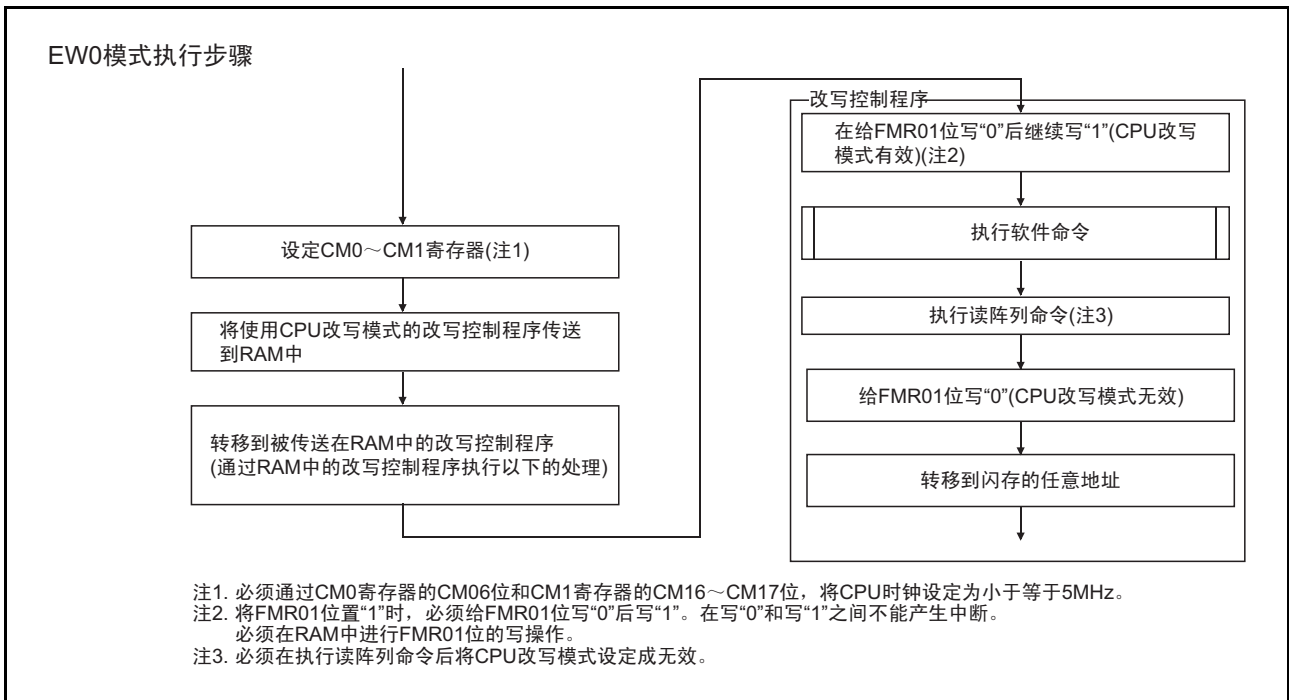


图 20.9 EW0 模式的设定和解除方法

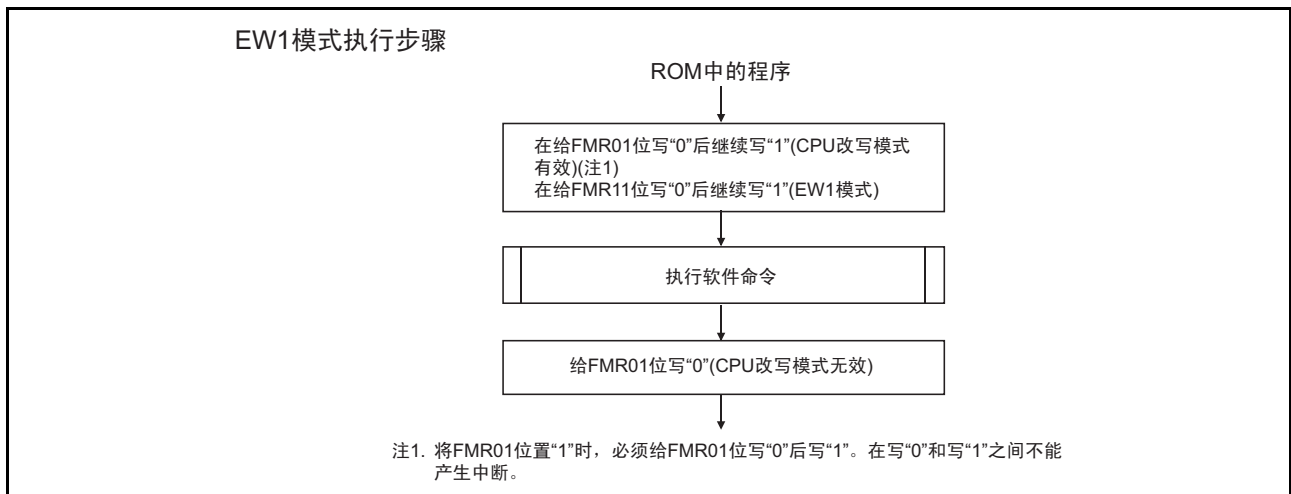


图 20.10 EW1 模式的设定和解除方法

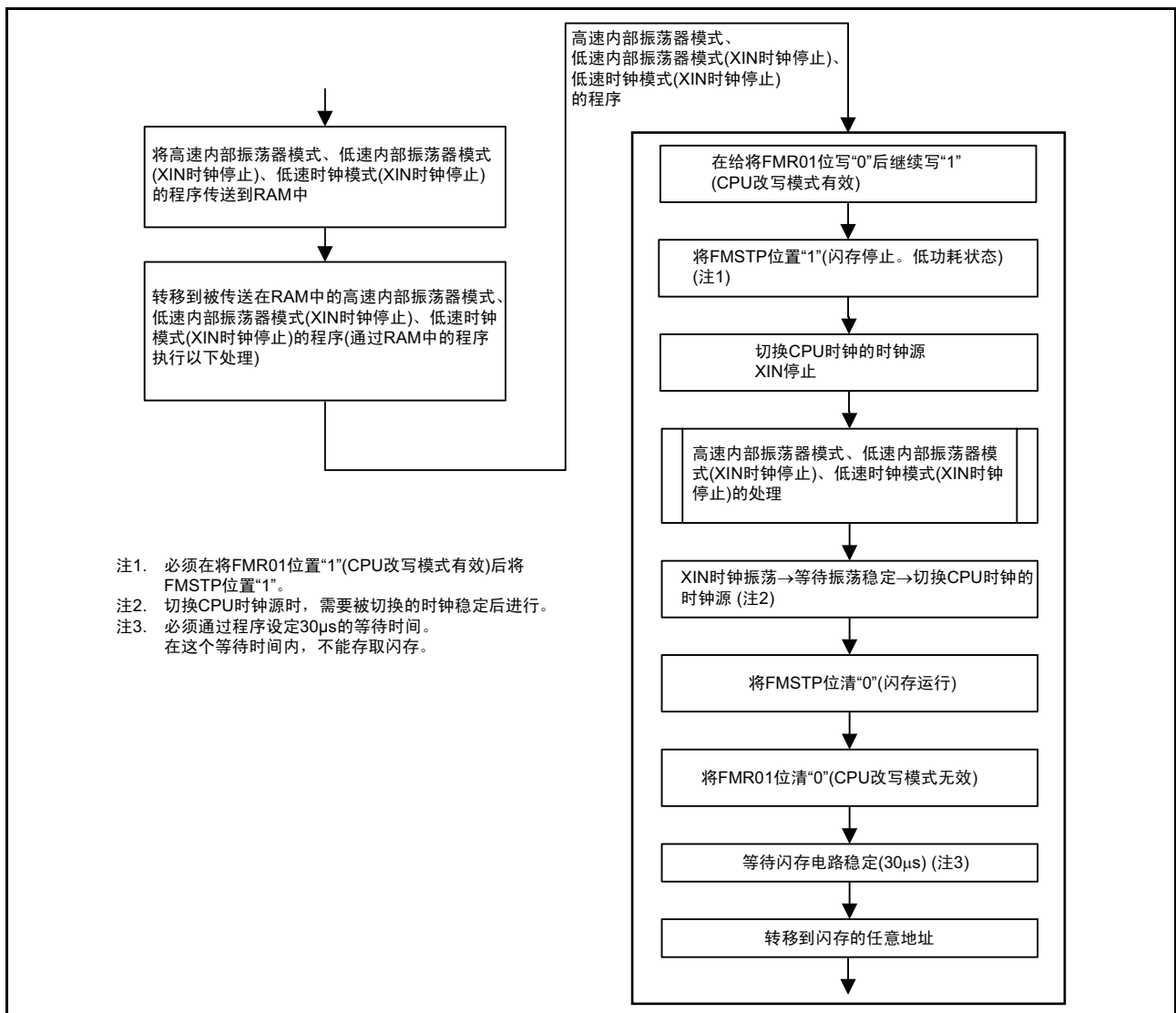


图 20.11 在高速内部振荡器模式、低速内部振荡器模式（XIN 时钟停止）、低速时钟模式（XIN 时钟停止）中设定为低功耗的处理

20.4.3 软件命令

以下说明有关软件命令，必须以 8 位为单位进行命令和数据的读写。

表 20.4 软件命令一览表

软件命令	第 1 总线周期			第 2 总线周期		
	模式	地址	数据 (D7 ~ D0)	模式	地址	数据 (D7 ~ D0)
读阵列	写	X	FFh			
读状态寄存器	写	X	70h	读	X	SRD
清除状态寄存器	写	X	50h			
编程	写	WA	40h	写	WA	WD
块擦除	写	X	20h	写	BA	D0h

SRD: 状态寄存器数据 (D7 ~ D0)。

WA: 写地址 (第 1 总线周期的地址必须和第 2 总线周期的地址相同)。

WD: 写数据 (8 位)。

BA: 块的任意地址。

X: 用户 ROM 区内的任意地址

20.4.3.1 读阵列

这是读闪存的命令。

如果在第 1 总线周期写“FFh”，就进入读阵列模式。如果在下一个总线周期以后输入读地址，就能以 8 位为单位读指定地址的内容。

因为读阵列模式保持到写其它命令为止，所以能连续读多个地址的内容。

另外，在复位解除后进入读阵列模式。

20.4.3.2 读状态寄存器

这是读状态寄存器的命令。

如果在第 1 总线周期写“70h”，就能在第 2 总线周期读状态寄存器 (请参照“20.4.4 状态寄存器”)。另外，只能读用户 ROM 区内的地址。

不能在 EW1 模式中执行此命令。

读状态寄存器模式持续到下一次写读阵列命令为止。

20.4.3.3 清除状态寄存器

这是将状态寄存器清“0”的命令。

如果在第 1 总线周期写“50h”，FMR0 寄存器的 FMR06 ~ FMR07 位和状态寄存器的 SR4 ~ SR5 就变为“0”。

20.4.3.4 编程

它是以 1 字节为单位将数据写到闪存的命令。

如果在第 1 总线周期给编程地址写“40h”，并且在第 2 总线周期写数据，就开始自动编程（数据的编程和验证）。第 1 总线周期的地址值必须和第 2 总线周期指定的写地址相同。

能通过 FMR0 寄存器的 FMR00 位确认自动编程的结束。当禁止挂起功能时，FMR00 位在自动编程期间为“0”，结束后为“1”。

当允许挂起功能时，FMR44 位在自动编程期间为“1”，结束后为“0”。

在自动编程结束之后，能通过 FMR0 寄存器的 FMR06 位获知自动编程的结果（请参照“20.4.5 全状态检查”）。

不能对已编程的地址进行追加写。

另外，当 FMR0 寄存器的 FMR02 位为“0”（禁止改写）时，或者当 FMR02 位为“1”（允许改写）并且 FMR1 寄存器的 FMR15 位为“1”（禁止改写）时，不接受对块 0 的编程命令；而当 FMR16 位为“1”（禁止改写）时，不接受对块 1 的编程命令。

编程的流程图（禁止挂起功能时）如图 20.12 所示，编程的流程图（允许挂起功能时）如图 20.13 所示。

在 EW1 模式中，不能对已配置改写控制程序的地址执行此命令。

在 EW0 模式中，自动编程开始的同时进入读状态寄存器模式，能读取状态寄存器。状态寄存器的 bit7（SR7）在自动编程开始的同时变为“0”，在结束时恢复为“1”。此时的读状态寄存器模式持续到下次读写阵列命令为止。另外，在自动编程结束后，能通过读取状态寄存器获知自动编程的结果。

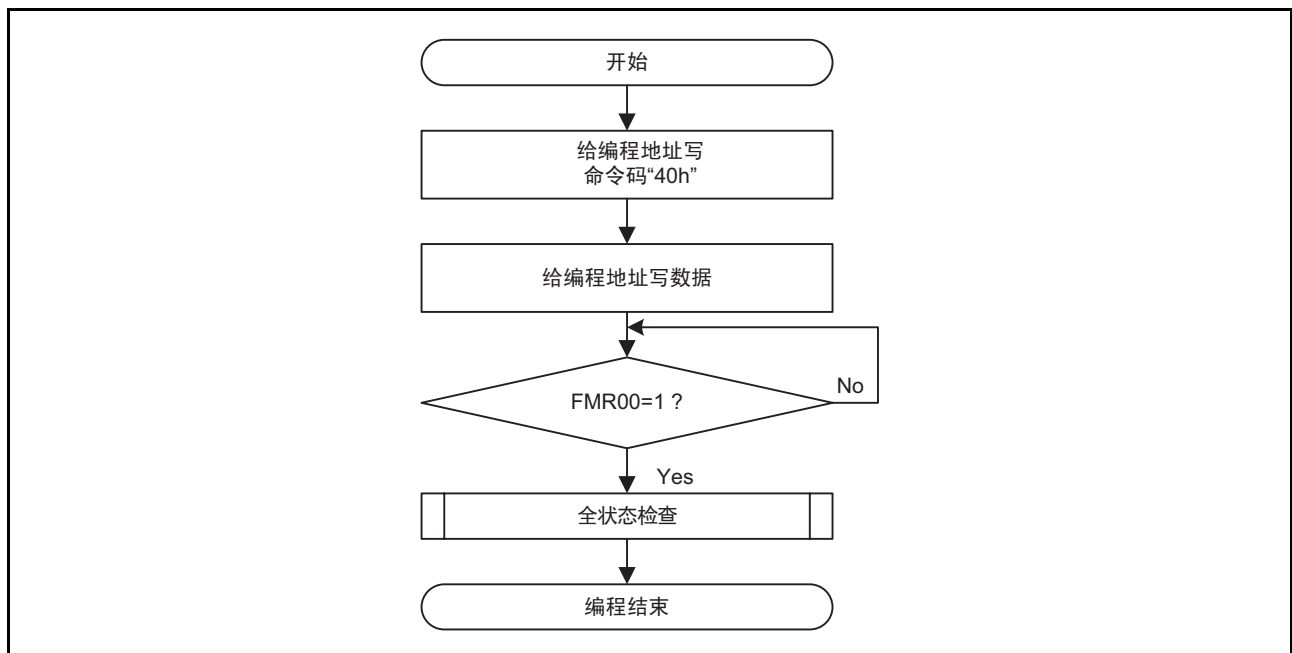


图 20.12 编程的流程图（禁止挂起功能时）

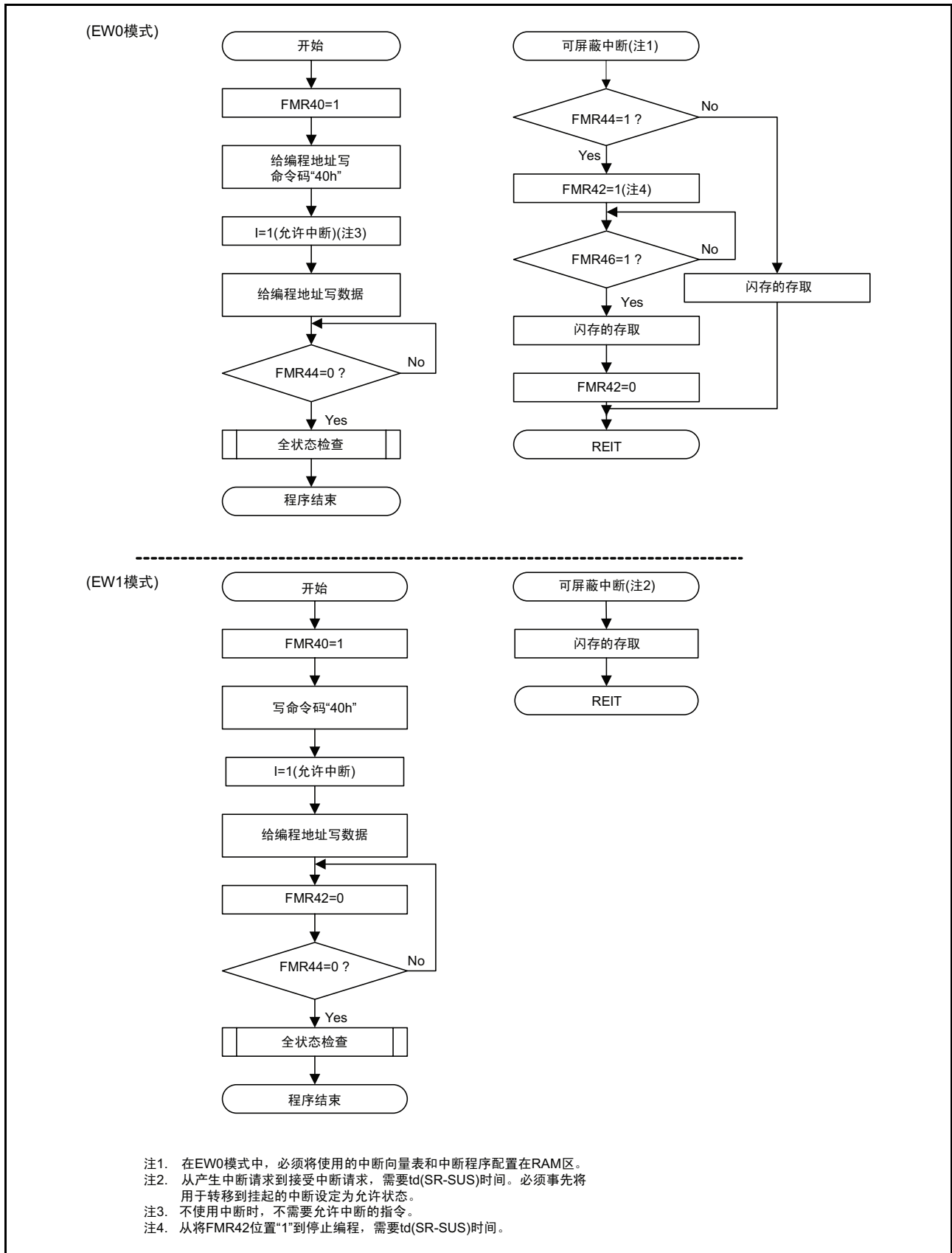


图 20.13 编程的流程图（允许挂起功能时）

20.4.3.5 块擦除

如果在第 1 总线周期写 “20h”，并且在第 2 总线周期给块的任意地址写 “D0h”，就对指定的块开始自动擦除（擦除和擦除验证）。

能通过 FMR0 寄存器的 FMR00 位确认自动擦除的结束。

FMR00 位在自动擦除期间为 “0”，结束后为 “1”。

在自动擦除结束后，能通过 FMR0 寄存器的 FMR07 位得知自动擦除的结果（请参照 “20.4.5 全状态检查”）。

另外，当 FMR0 寄存器的 FMR02 位为 “0”（禁止改写）时，或者当 FMR02 位为 “1”（允许改写）并且 FMR1 寄存器的 FMR15 位为 “1”（禁止改写）时，不接受对块 0 的块擦除命令；而当 FMR16 位为 “1”（禁止改写）时，不接受对块 1 的块擦除命令。

在编程挂起过程中，不能使用块擦除命令。

块擦除的流程图（禁止擦除挂起功能时）如图 20.14，块擦除的流程图（允许擦除挂起功能时）如图 20.15 所示。

在 EW1 模式中，不能对已配置改写控制程序的块执行此命令。

在 EW0 模式中，自动擦除开始的同时进入读状态寄存器模式，能读取状态寄存器。状态寄存器的 bit7（SR7）在自动擦除开始的同时变为 “0”，在结束时恢复为 “1”。此时的读状态寄存器模式持续到下次写读阵列命令为止。

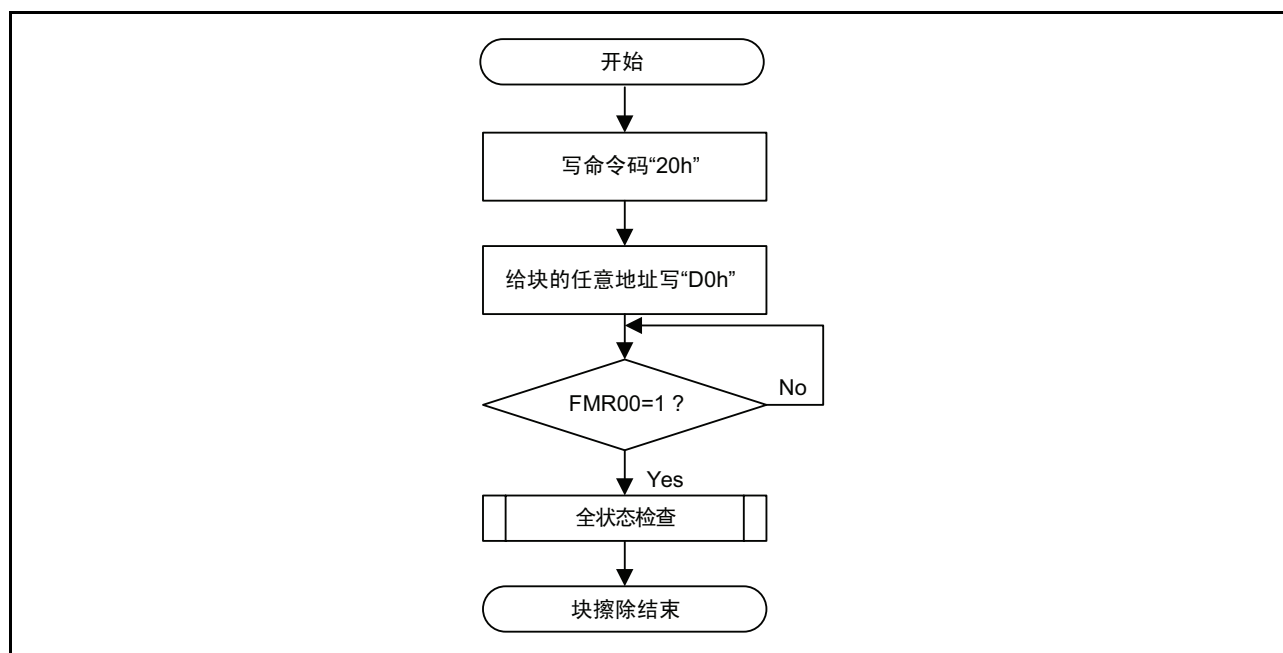


图 20.14 块擦除的流程图（禁止擦除挂起功能时）

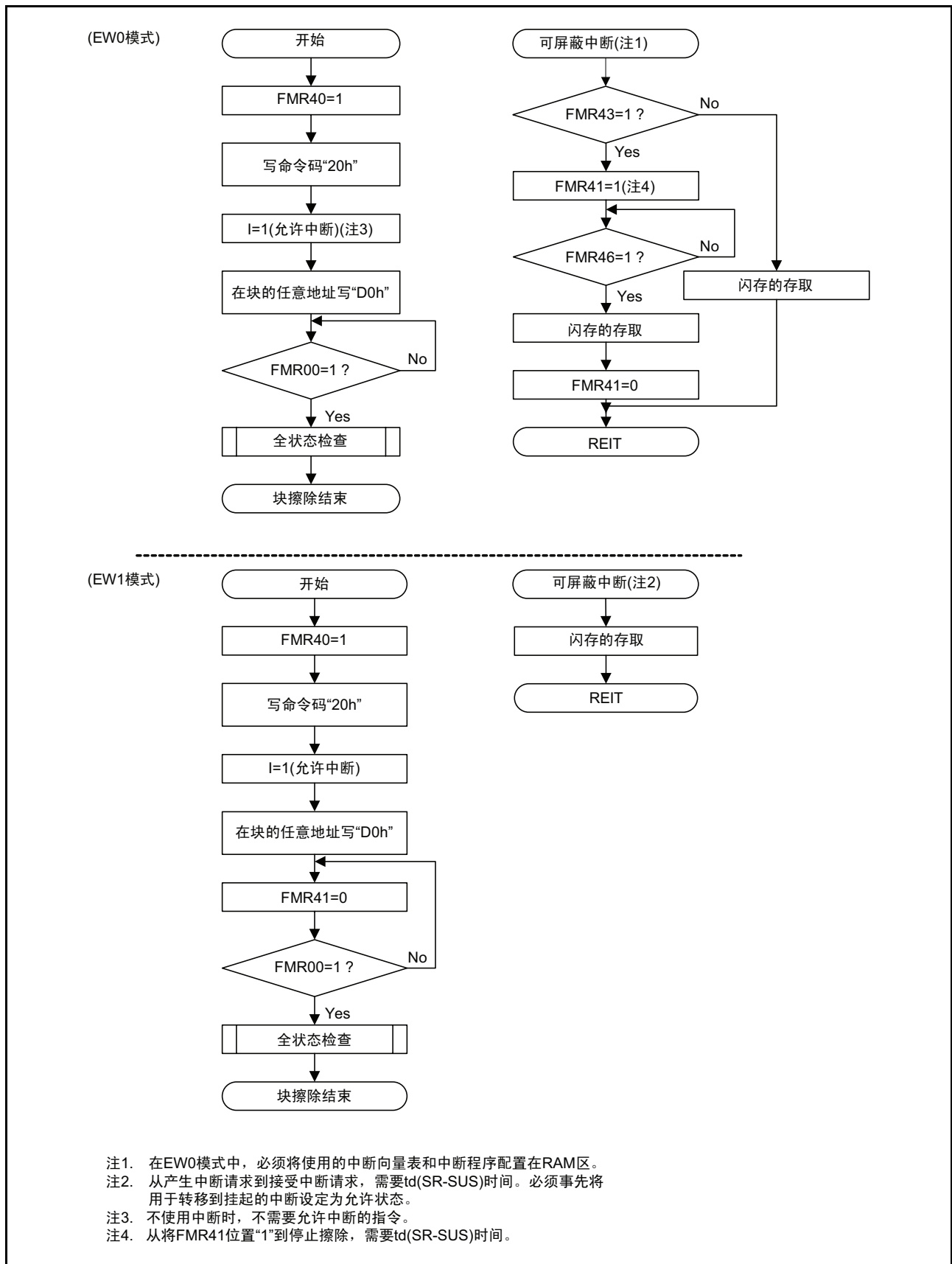


图 20.15 块擦除的流程图（允许擦除挂起功能时）

20.4.4 状态寄存器

状态寄存器是表示闪存的运行状态、擦除和编程的正常 / 错误结束等状态的寄存器，能通过 FMR0 寄存器的 FMR00、FMR06 ~ FMR07 位读状态寄存器的状态。

状态寄存器如表 20.5 所示。

另外，能在 EW0 模式中的以下情况下读取状态寄存器：

- 在写读状态寄存器命令后，读用户 ROM 区内的任意地址时
- 在执行编程命令或者块擦除命令后到执行读阵列命令的期间，读用户 ROM 区内的任意地址时

20.4.4.1 定序器状态（SR7、FMR00 位）

定序器状态表示闪存的运行状况。在自动编程和自动擦除中为“0”（忙），在这些运行结束的同时变为“1”（就绪）。

20.4.4.2 擦除状态（SR5、FMR07 位）

请参照“20.4.5 全状态检查”。

20.4.4.3 编程状态（SR4、FMR06 位）

请参照“20.4.5 全状态检查”。

表 20.5 状态寄存器

状态寄存器的位	FMR0 寄存器的位	状态名	内容		复位后的值
			“0”	“1”	
SR0 (D0)	—	保留	—	—	—
SR1 (D1)	—	保留	—	—	—
SR2 (D2)	—	保留	—	—	—
SR3 (D3)	—	保留	—	—	—
SR4 (D4)	FMR06	编程状态	正常结束	错误结束	0
SR5 (D5)	FMR07	擦除状态	正常结束	错误结束	0
SR6 (D6)	—	保留	—	—	—
SR7 (D7)	FMR00	定序器状态	忙	就绪	1

D0 ~ D7：表示在执行读状态命令后被读取的数据总线。

在执行清除状态命令时，FMR07 位（SR5）~ FMR06 位（SR4）变为“0”。

在 FMR07 位（SR5）或者 FMR06 位（SR4）为“1”时，不接受编程和块擦除命令。

20.4.5 全状态检查

如果产生错误，FMR0 寄存器的 FMR06 ~ FMR07 位就变为“1”，表示产生的各错误。因此，能通过检查这些状态（全状态检查）确认执行结果。

错误和 FMR0 寄存器的状态如表 20.6、全状态检查的流程图和产生各种错误时的处理方法如图 20.16 所示。

表 20.6 错误和 FMR0 寄存器的状态

FMR0 寄存器 (状态寄存器) 的状态		错误	产生错误的条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	命令顺序错误	<ul style="list-style-type: none"> 没有正确写命令 在块擦除命令的第 2 总线周期写了无效数据 (“D0h” 或者 “FFh” 以外的值) (注 1) 在使用 FMR0 寄存器的 FMR02 位、FMR1 寄存器的 FMR15 位或者 FMR16 位设定为改写禁止的状态下，执行了编程命令或者块擦除命令时 在输入擦除命令时，输入了没配置闪存的地址并欲擦除的情况下 在输入擦除命令时，对禁止改写的块执行了擦除命令 在输入编程命令时，输入了没配置闪存的地址并欲编程的情况下 在输入编程命令时，对禁止改写的块执行了编程命令
1	0	擦除错误	<ul style="list-style-type: none"> 执行块擦除命令，不能正确地自动擦除时
0	1	编程错误	<ul style="list-style-type: none"> 执行编程命令，不能正确地自动编程时

注 1. 如果在这些命令的第 2 总线周期写 “FFh”，就进入读阵列模式。此时，在第 1 总线周期写的命令码无效。

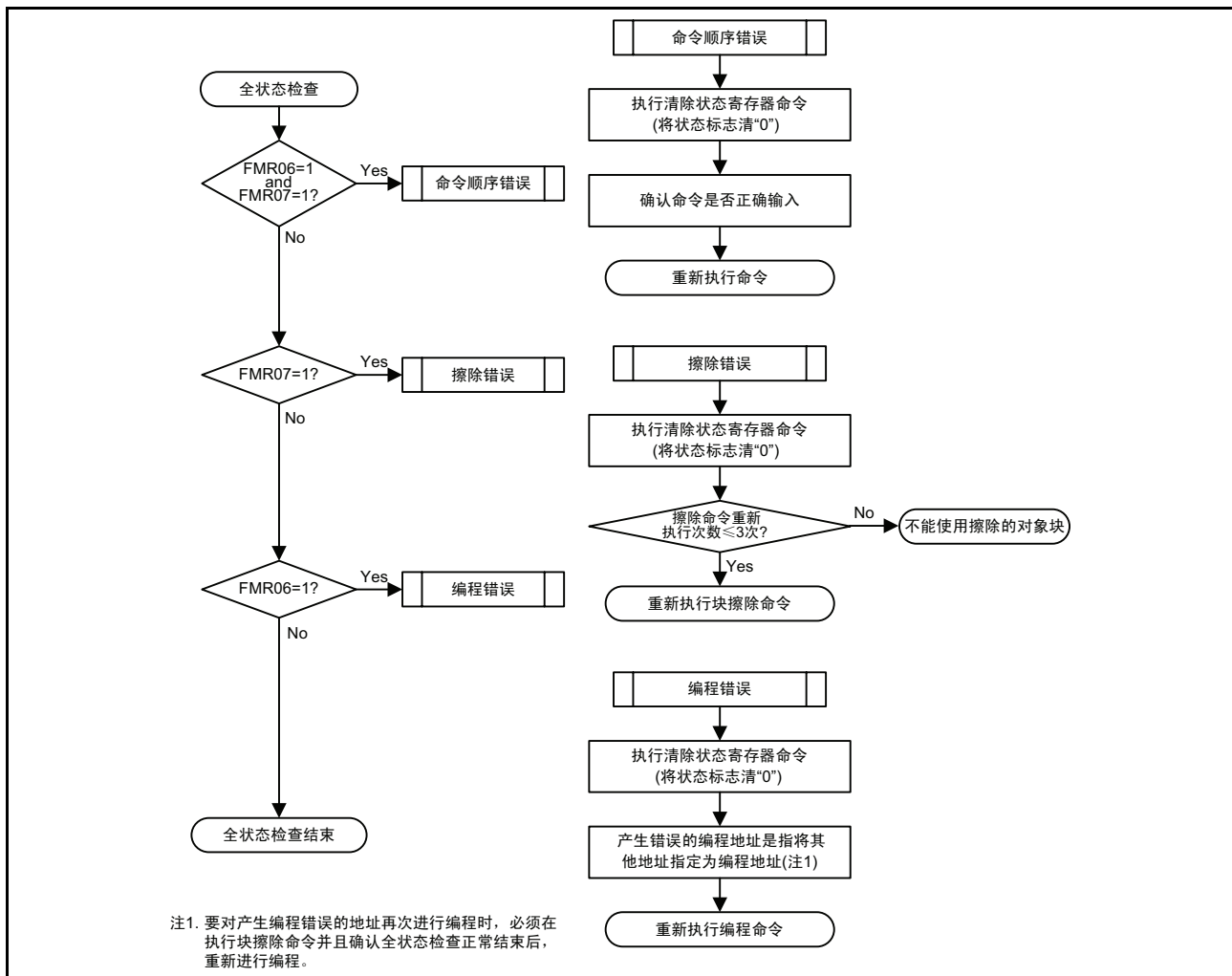


图 20.16 全状态检查流程图和产生各种错误时的处理方法

20.5 标准串行输入 / 输出模式

在标准串行输入 / 输出模式中，能使用与本单片机对应的串行编程器，在将单片机安装于电路板的状态下改写用户 ROM 区。

标准串行输入 / 输出模式有 3 种模式。

- 标准串行输入 / 输出模式 1..... 使用时钟同步串行 I/O 与串行编程器连接
- 标准串行输入 / 输出模式 2..... 使用时钟异步串行 I/O 与串行编程器连接
- 标准串行输入 / 输出模式 3..... 使用特殊的时钟异步串行 I/O 与串行编程器连接

本单片机能使用标准串行输入 / 输出模式 2 和标准串行输入 / 输出模式 3。

有关和串行编程器的连接例，请参照“附录 2. 串行编程器和 on-chip 调试仿真器的连接例”。有关串行编程器请向各厂家询问；有关串行编程器的操作方法请参照串行编程器的用户手册。

引脚的功能说明（闪存标准串行输入 / 输出模式 2）如表 20.7 所示、引脚的功能说明（闪存标准串行输入 / 输出模式 3）如表 20.8 所示、标准串行输入 / 输出模式 3 中的引脚连接图如图 20.17 所示。

另外，在进行如表 20.8 所示的引脚处理并使用编程器改写闪存后，如果要在单芯片模式中执行闪存中的程序，就必须将“H”电平输入到 MODE 引脚，进行硬件复位。

20.5.1 ID 码的检查功能

判断串行编程器送来的 ID 码和写在闪存中的 ID 码是否相同（请参照“20.3 闪存改写的禁止功能”）。

表 20.7 引脚的功能说明（闪存标准串行输入 / 输出模式 2）

引脚名	名称	输入 / 输出	功能
VCC、VSS	电源输入		必须将编程、擦除的保证电压输入到 Vcc 引脚，0V 输入到 Vss 引脚。
$\overline{\text{RESET}}$	复位输入	输入	是复位输入引脚。
P4_6/XIN/XCIN	P4_6 输入 / 时钟输入	输入	必须在 XIN/XCIN 引脚和 XOUT/XCOUT 引脚之间连接陶瓷谐振器或者晶体谐振器。
P4_7/XOUT/XCOUT	P4_7 输入 / 时钟输出	输入 / 输出	
P1_0 ~ P1_7	输入端口 P1	输入	必须输入“H”电平、“L”电平或置为开路。
P3_3 ~ P3_5	输入端口 P3	输入	必须输入“H”电平、“L”电平或置为开路。
P4_2/VREF	输入端口 P4	输入	必须输入“H”电平、“L”电平或置为开路。
MODE	MODE	输入 / 输出	必须输入“L”电平。
P3_7	TXD 输出	输出	串行数据的输出引脚。
P4_5	RXD 输入	输入	串行数据的输入引脚。

表 20.8 引脚的功能说明（闪存标准串行输入 / 输出模式 3）

引脚名	名称	输入 / 输出	功能
VCC、VSS	电源输入		必须将编程、擦除的保证电压输入到 Vcc 引脚，0V 输入到 Vss 引脚。
$\overline{\text{RESET}}$	复位输入	输入	是复位输入引脚。
P4_6/XIN/XCIN	P4_6 输入 / 时钟输入	输入	在外接谐振器时，必须在 XIN/XCIN 引脚和 XOUT/XCOUT 引脚之间连接陶瓷谐振器或者晶体谐振器。 作为输入端口使用时，必须输入“H”电平、输入“L”电平或置为开路。
P4_7/XOUT/XCOUT	P4_7 输入 / 时钟输出	输入 / 输出	
P1_0 ~ P1_7	输入端口 P1	输入	必须输入“H”电平、“L”电平或置为开路。
P3_3 ~ P3_5、P3_7	输入端口 P3	输入	必须输入“H”电平、“L”电平或置为开路。
P4_2/VREF、P4_5	输入端口 P4	输入	必须输入“H”电平、“L”电平或置为开路。
MODE	MODE	输入 / 输出	串行数据输入 / 输出引脚。必须连接闪存编程器。

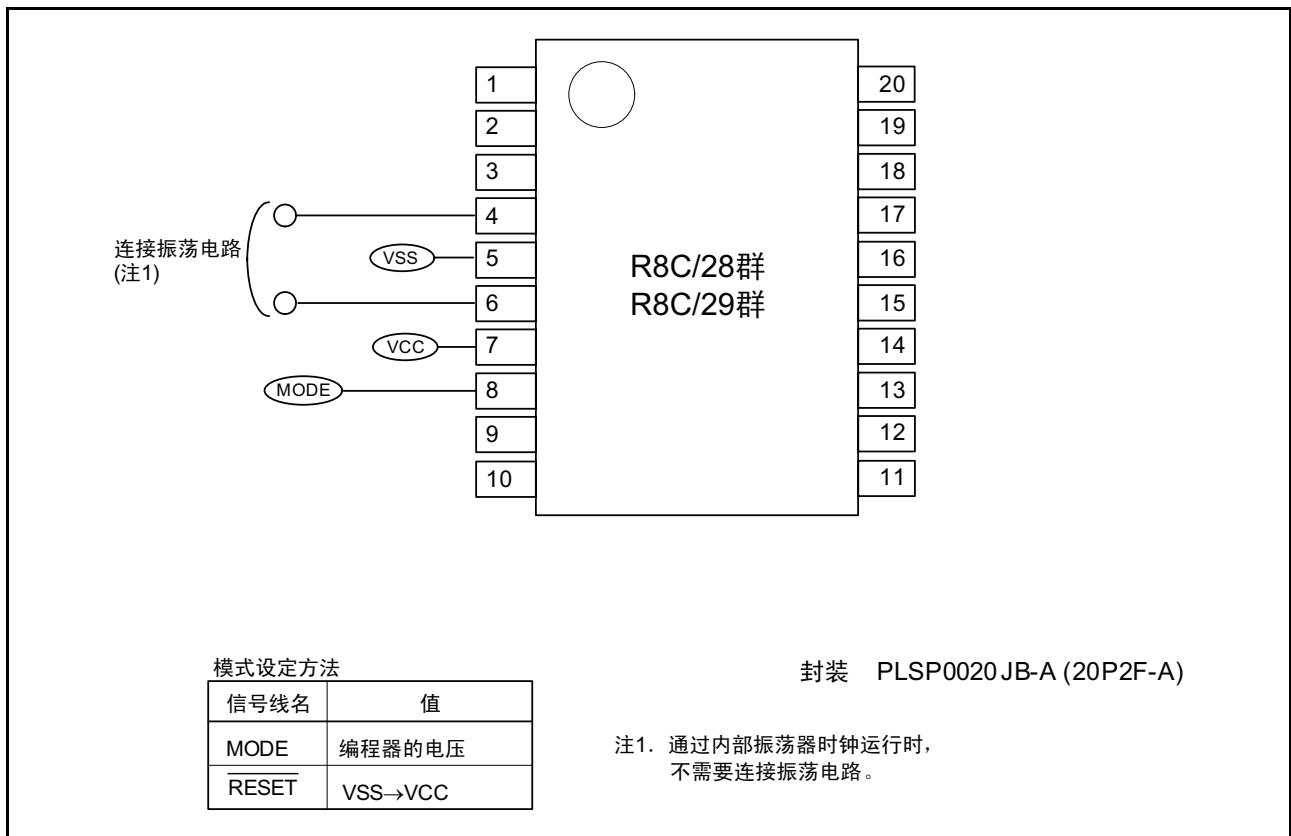


图 20.17 标准串行输入 / 输出模式 3 时的引脚连接图

20.5.1.1 标准串行输入 / 输出模式时的引脚处理例

使用标准串行输入 / 输出模式 2 时的引脚处理例如图 20.18 所示，使用标准串行输入 / 输出模式 3 时的引脚处理例如图 20.19 所示。控制的引脚因编程器而不同，详细内容请参照编程器的手册。

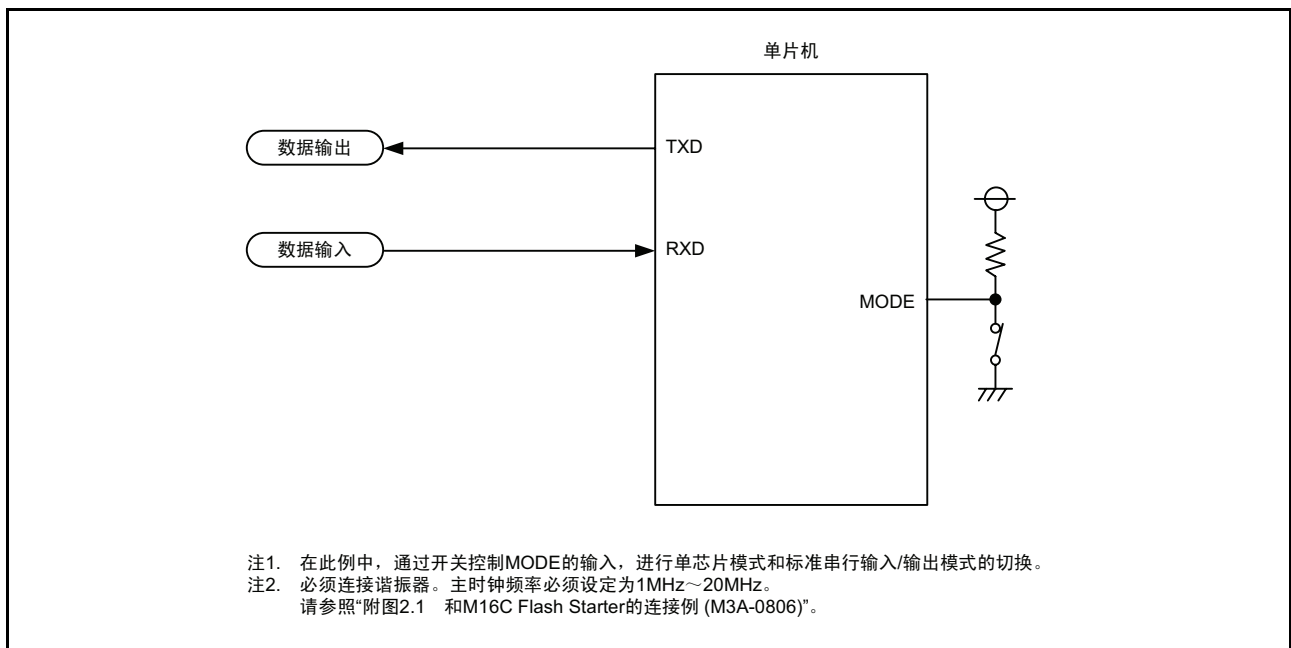


图 20.18 使用标准串行输入 / 输出模式 2 时的引脚处理例

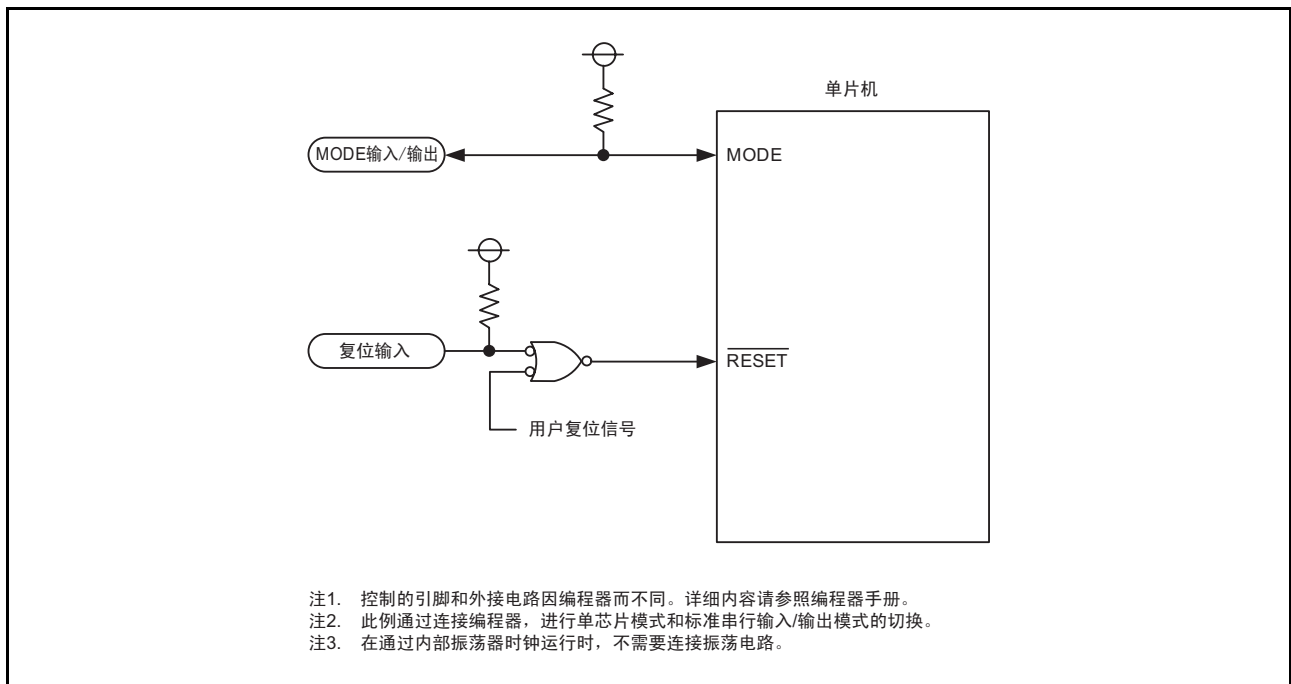


图 20.19 使用标准串行输入 / 输出模式 3 时的引脚处理例

20.6 并行输入 / 输出模式

并行输入 / 输出模式是对操作内部闪存（读、编程和擦除等）所需的软件命令、地址和数据进行并行输入 / 输出的模式。

必须使用与本单片机对应的并行编程器。有关并行编程器，请向各厂家询问；有关并行编程器的操作方法，请参照并行编程器的用户手册。

能在并行输入 / 输出模式中改写如图 20.1 和图 20.2 所示的用户 ROM 区。

20.6.1 ROM 码的保护功能

ROM 码保护功能是禁止读和改写闪存的功能（请参照“20.3 闪存改写的禁止功能”）。

20.7 闪存使用时的注意事项

20.7.1 CPU 改写模式

20.7.1.1 运行速度

在进入 CPU 改写模式（EW0 模式）前，必须通过 CM0 寄存器的 CM06 位、CM1 寄存器的 CM16 ~ CM17 位将 CPU 时钟设定为最大为 5MHz。

EW1 模式不需要此注意事项。

20.7.1.2 使用禁止指令

在 EW0 模式中，因为以下的指令参照闪存内的数据，所以不能使用。

UND 指令、INTO 指令、BRK 指令

20.7.1.3 中断

EW0 模式时的中断如表 20.9、EW1 模式时的中断如表 20.10 所示。

表 20.9 EW0 模式时的中断

模式	状态	在接受可屏蔽的中断请求时	在接受看门狗定时器、振荡停止检测、电压监视 1 中断和电压监视 2 中断的中断请求时
EW0	自动擦除中	能通过将向量分配到 RAM 使用。	如果接受中断请求，就立即强制停止自动擦除或者自动编程，进行闪存复位。在一定时间后重新启动闪存，然后开始中断处理。因为强制停止，可能无法从自动擦除中的块或者自动编程中的地址读取正常值，所以必须在重新启动闪存后再次执行自动擦除，并确认正常结束。 看门狗定时器即使在命令执行中也不停止，所以有可能产生中断请求。必须定期初始化看门狗定时器。
	自动编程中		

注 1. 因为地址匹配的中断向量被分配在 ROM 中，所以不能在命令执行中使用。

注 2. 因为给块 0 分配了固定向量，所以不能在自动擦除块 0 中使用非屏蔽中断。

表 20.10 EW1 模式的中断

模式	状态	在接受可屏蔽的中断请求时	在接受看门狗定时器、振荡停止检测、电压监视 1 和电压监视 2 的中断请求时
EW1	自动擦除中 (擦除挂起功能有效)	在经过 td(SR-SUS) 时间后, 停止自动擦除, 执行中断处理。在结束中断处理后, 能通过将 FMR4 寄存器的 FMR41 位清 “0” (重新启动擦除), 重新开始自动擦除。	如果接受中断请求, 就立即强制停止自动擦除或者自动编程, 进行闪存复位。在一定时间后重新启动闪存, 然后开始中断处理。 因为强制停止, 可能无法从自动擦除中的块或者自动编程中的地址读取正常值, 所以必须在重新启动闪存后再次执行自动擦除, 并确认正常结束。看门狗定时器即使在命令执行中也不停止, 所以有可能产生中断请求。必须使用擦除挂起功能定期初始化看门狗定时器。
	自动擦除中 (擦除挂起功能无效)	优先自动擦除, 让中断请求等待。在自动擦除结束后, 执行中断处理。	
	自动编程中 (编程挂起功能有效)	在经过 td(SR-SUS) 时间后, 停止自动编程, 执行中断处理。在中断处理结束后, 能通过将 FMR4 寄存器的 FMR42 位清 “0” (重新启动编程), 重新开始自动编程。	
	自动编程中 (编程挂起功能无效)	优先自动编程, 让中断请求等待。在自动编程结束后, 执行中断处理。	

注 1. 因为地址匹配中断的向量被分配在 ROM 中, 所以不能在命令执行中使用。

注 2. 因为给块 0 分配了固定向量, 所以不能在自动擦除块 0 中使用非屏蔽中断。

20.7.1.4 存取方法

在将 FMR01 位、FMR02 位、FMR11 位置 “1” 时, 必须在给对象位写 “0” 后连续写 “1”。另外, 在写 “0” 后和写 “1” 之间, 不能产生中断。

20.7.1.5 用户 ROM 区的改写

在使用 EW0 模式对保存改写控制程序的块进行改写中, 如果电源电压下降, 改写控制程序就不能被正常改写, 此后可能无法改写闪存。此块必须使用标准串行输入 / 输出模式进行改写。

20.7.1.6 编程

不能对已编程的地址进行追加写。

20.7.1.7 转移到停止模式、等待模式

不能在擦除挂起中转移到停止、等待模式。

20.7.1.8 闪存的编程电压、擦除电压

必须在电源电压 VCC=2.7 ~ 5.5V 的条件下进行编程、擦除, 不能在电源电压低于 2.7V 时进行编程和擦除。

21. 电特性

21.1 N、D 版

表 21.1 绝对最大额定值

符号	项目	测定条件	额定值	单位
V_{CC}/AV_{CC}	电源电压		-0.3 ~ 6.5	V
V_I	输入电压		-0.3 ~ $V_{CC}+0.3$	V
V_O	输出电压		-0.3 ~ $V_{CC}+0.3$	V
P_d	功耗	$T_{opr}=25^{\circ}\text{C}$	500	mW
T_{opr}	工作环境温度		-20 ~ 85 (N 版) / -40 ~ 85 (D 版)	$^{\circ}\text{C}$
T_{stg}	保存温度		-65 ~ 150	$^{\circ}\text{C}$

表 21.2 推荐运行条件

符号	项目		测定条件	规格值			单位
				最小	典型	最大	
V_{CC}/AV_{CC}	电源电压			2.2	—	5.5	V
V_{SS}/AV_{SS}	电源电压			—	0	—	V
V_{IH}	“H”电平输入电压			$0.8V_{CC}$	—	V_{CC}	V
V_{IL}	“L”电平输入电压			0	—	$0.2V_{CC}$	V
$I_{OH(sum)}$	“H”电平输出总峰值电流	全部引脚的 $I_{OH(peak)}$ 的总和		—	—	-160	mA
$I_{OH(sum)}$	“H”电平输出总平均电流	全部引脚的 $I_{OH(avg)}$ 的总和		—	—	-80	mA
$I_{OH(peak)}$	“H”电平输出峰值电流	P1_0 ~ P1_7 以外		—	—	-10	mA
		P1_0 ~ P1_7		—	—	-40	mA
$I_{OH(avg)}$	“H”电平输出平均电流	P1_0 ~ P1_7 以外		—	—	-5	mA
		P1_0 ~ P1_7		—	—	-20	mA
$I_{OL(sum)}$	“L”电平输出总峰值电流	全部引脚的 $I_{OL(peak)}$ 的总和		—	—	160	mA
$I_{OL(sum)}$	“L”电平输出总平均电流	全部引脚的 $I_{OL(avg)}$ 的总和		—	—	80	mA
$I_{OL(peak)}$	“L”电平输出峰值电流	P1_0 ~ P1_7 以外		—	—	10	mA
		P1_0 ~ P1_7		—	—	40	mA
$I_{OL(avg)}$	“L”电平输出平均电流	P1_0 ~ P1_7 以外		—	—	5	mA
		P1_0 ~ P1_7		—	—	20	mA
$f_{(XIN)}$	XIN 时钟输入振荡频率		$3.0V \leq V_{CC} \leq 5.5V$	0	—	20	MHz
			$2.7V \leq V_{CC} < 3.0V$	0	—	10	MHz
			$2.2V \leq V_{CC} < 2.7V$	0	—	5	MHz
$f_{(XCIN)}$	XCIN 时钟输入振荡频率		$2.2V \leq V_{CC} \leq 5.5V$	0	—	70	kHz
—	系统时钟	OCD2= “0” 选择 XIN 时钟时	$3.0V \leq V_{CC} \leq 5.5V$	0	—	20	MHz
			$2.7V \leq V_{CC} < 3.0V$	0	—	10	MHz
			$2.2V \leq V_{CC} < 2.7V$	0	—	5	MHz
		OCD2= “1” 选择内部振荡器时钟时	FRA01= “0” 选择低速内部振荡器时	—	125	—	kHz
			FRA01= “1” 选择高速内部振荡器时 $3.0V \leq V_{CC} \leq 5.5V$	—	—	20	MHz
			FRA01= “1” 选择高速内部振荡器时 $2.7V \leq V_{CC} \leq 5.5V$	—	—	10	MHz
			FRA01= “1” 选择高速内部振荡器时 $2.2V \leq V_{CC} \leq 5.5V$	—	—	5	MHz

注 1. 在没有指定条件时, $V_{CC}=2.2V \sim 5.5V$ 、 $Topr=-20^{\circ}C \sim 85^{\circ}C$ (N 版) $-40^{\circ}C \sim 85^{\circ}C$ (D 版)。

注 2. 输出平均电流是 100ms 期间的平均值。

表 21.3 A/D 转换器特性

符号	项目		测定条件	规格值			单位
				最小	典型	最大	
—	分辨率		$V_{ref}=AV_{CC}$	—	—	10	Bit
—	绝对精度	10 位模式	$\phi AD=10\text{MHz}$ 、 $V_{ref}=AV_{CC}=5.0\text{V}$	—	—	± 3	LSB
		8 位模式	$\phi AD=10\text{MHz}$ 、 $V_{ref}=AV_{CC}=5.0\text{V}$	—	—	± 2	LSB
		10 位模式	$\phi AD=10\text{MHz}$ 、 $V_{ref}=AV_{CC}=3.3\text{V}$	—	—	± 5	LSB
		8 位模式	$\phi AD=10\text{MHz}$ 、 $V_{ref}=AV_{CC}=3.3\text{V}$	—	—	± 2	LSB
		10 位模式	$\phi AD=5\text{MHz}$ 、 $V_{ref}=AV_{CC}=2.2\text{V}$	—	—	± 5	LSB
		8 位模式	$\phi AD=5\text{MHz}$ 、 $V_{ref}=AV_{CC}=2.2\text{V}$	—	—	± 2	LSB
R_{ladder}	梯形电阻		$V_{ref}=AV_{CC}$	10	—	40	$k\Omega$
t_{conv}	转换时间	10 位模式	$\phi AD=10\text{MHz}$ 、 $V_{ref}=AV_{CC}=5.0\text{V}$	3.3	—	—	μs
		8 位模式	$\phi AD=10\text{MHz}$ 、 $V_{ref}=AV_{CC}=5.0\text{V}$	2.8	—	—	μs
V_{ref}	基准电压			2.2	—	AV_{CC}	V
V_{IA}	模拟输入电压 (注 2)			0	—	AV_{CC}	V
—	A/D 运行时钟频率	无采样 & 保持	$V_{ref}=AV_{CC}=2.7 \sim 5.5\text{V}$	0.25	—	10	MHz
		有采样 & 保持	$V_{ref}=AV_{CC}=2.7 \sim 5.5\text{V}$	1	—	10	MHz
		无采样 & 保持	$V_{ref}=AV_{CC}=2.2 \sim 5.5\text{V}$	0.25	—	5	MHz
		有采样 & 保持	$V_{ref}=AV_{CC}=2.2 \sim 5.5\text{V}$	1	—	5	MHz

注 1. 在没有指定条件时, $AV_{CC}=2.2\text{V} \sim 5.5\text{V}$ 、 $T_{opr}=-20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (N 版) / $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (D 版)。

注 2. 如果模拟输入电压超过基准电压, A/D 转换结果在 10 位模式时为 3FFh, 在 8 位模式时为 FFh。

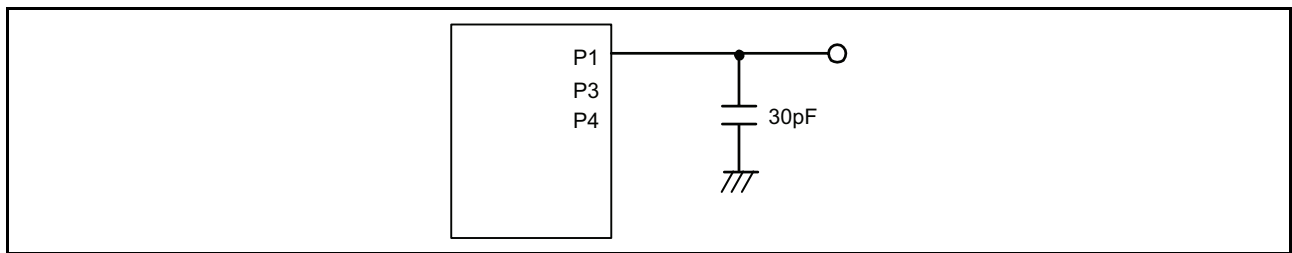


图 21.1 端口 P1、P3、P4 的时序测定电路

表 21.4 闪存（程序 ROM）的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
—	编程 / 擦除次数（注 2）	R8C/28 群	100（注 3）	—	—	次
		R8C/29 群	1,000（注 3）	—	—	次
—	字节编程时间		—	50	400	μs
—	块擦除时间		—	0.4	9	s
t _{d(SR-SUS)}	挂起的转移时间		—	—	97+CPU 时钟 ×6 个周期	μs
—	从开始或者重新开始擦除到下一次挂起请求的间隔		650	—	—	μs
—	从开始或者重新开始编程到下一次挂起请求的间隔		0	—	—	ns
—	从挂起到重新开始编程/擦除的时间		—	—	3+CPU 时钟 ×4 个周期	μs
—	编程、擦除电压		2.7	—	5.5	V
—	读电压		2.2	—	5.5	V
—	编程、擦除时的温度		0	—	60	°C
—	数据保持时间（注 7）	环境温度 =55°C	20	—	—	年

注 1. 在没有指定条件时，V_{CC}=2.7V ~ 5.5V、Topr=0°C ~ 60°C。

注 2. 编程 / 擦除次数的定义

编程/擦除次数是指每个块的擦除次数。

在编程/擦除次数为 n 次（n=100、1,000 次）的情况下，能逐块分别擦除 n 次。

例如，对于 1K 字节的块 A，如果分 1,024 次将 1 字节写到各自不同的地址后擦除该块，编程/擦除次数就增加 1 次。

但是，对于 1 次擦除，不能对相同地址进行多次编程（禁止重写）。

注 3. 是保证编程 / 擦除后的全部电特性的次数（保证范围为 1 ~ “最小”值）。

注 4. 在进行多次改写的系统中，作为减少实际改写次数的方法，按顺序移动编程地址等，尽量不留空区，在编程（写）后进行 1 次擦除。例如，在对一组 16 字节进行编程时，通过最多 128 组的编程后进行 1 次擦除，就能减少实际的改写次数。建议按块保存擦除次数等信息，并设定限制次数。

注 5. 如果在块擦除中产生擦除错误，就必须至少执行 3 次清除状态寄存器命令 → 块擦除命令，直到不产生擦除错误为止。

注 6. 有关不良率，请向瑞萨科技销售部门及特约经销商询问。

注 7. 包括不外加电源电压或时钟的时间。

表 21.5 闪存（数据闪存 块 A、块 B）的电特性（注 4）

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
—	编程 / 擦除次数（注 2）		10,000（注 3）	—	—	次
—	字节编程时间 （编程 / 擦除次数 ≤ 1,000 次）		—	50	400	μs
—	字节编程时间 （编程 / 擦除次数 > 1,000 次）		—	65	—	μs
—	块擦除时间 （编程 / 擦除次数 ≤ 1,000 次）		—	0.2	9	s
—	块擦除时间 （编程 / 擦除次数 > 1,000 次）		—	0.3	—	s
t _{d(SR-SUS)}	挂起的转移时间		—	—	97+CPU 时钟 ×6 个周期	μs
—	从开始或者重新开始擦除到下一次挂起请求的间隔		650	—	—	μs
—	从开始或者重新开始编程到下一次挂起请求的间隔		0	—	—	ns
—	从挂起到重新开始编程 / 擦除的时间		—	—	3+CPU 时钟 ×4 个周期	μs
—	编程、擦除电压		2.7	—	5.5	V
—	读电压		2.2	—	5.5	V
—	编程、擦除时的温度		-20（注 8）	—	85	°C
—	数据保持时间（注 9）	环境温度 =55°C	20	—	—	年

注 1. 在没有指定条件时，V_{CC}=2.7V ~ 5.5V、T_{opr}=-20°C ~ 85°C（N 版） / -40°C ~ 85°C（D 版）。

注 2. 编程 / 擦除次数的定义

编程 / 擦除次数是指每个块的擦除次数。

在编程 / 擦除次数为 n 次（n=10,000 次）的情况下，能逐块分别擦除 n 次。

例如，对于 1K 字节的块 A，如果分 1,024 次将 1 字节写到各自不同的地址后擦除该块，编程 / 擦除次数就增加 1 次。但是，对于 1 次擦除，不能对相同地址进行多次编程（禁止重写）。

注 3. 是保证编程 / 擦除后的全部电特性的次数（保证范围为 1 ~ “最小”值）。

注 4. 是编程 / 擦除次数超过 1,000 次时的块 A、块 B 的规格。1,000 次为止的字节编程时间和程序 ROM 相同。

注 5. 在进行多次改写的系统中，作为减少实际改写次数的方法，按顺序移动编程地址等，尽量不留空区，在编程（写）后进行 1 次擦除。例如，在对一组 16 字节进行编程时，通过最多 128 组的编程后进行 1 次擦除，就能减少实际的改写次数。并且，如果让块 A 和块 B 的擦除次数相同，就能更加有效地减少改写次数。建议按块保存擦除次数等信息，并设定限制次数。

注 6. 如果在块擦除中发生擦除错误，就必须至少执行 3 次清除状态寄存器命令 → 块擦除命令，直到不产生擦除错误为止。

注 7. 有关不良率，请向瑞萨科技销售部门及特约经销商询问。

注 8. D 版为 -40°C。

注 9. 包括不外加电源电压或时钟的时间。

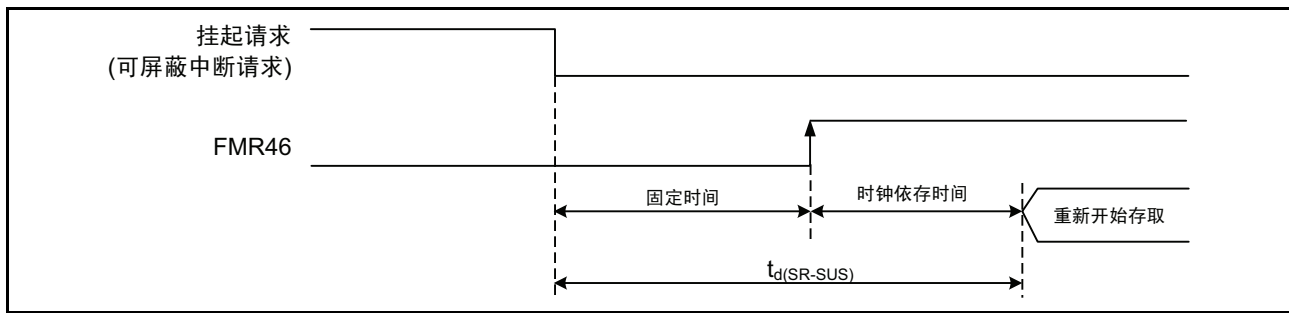


图 21.2 挂起的转移时间

表 21.6 电压检测 0 电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{det0}	电压检测电平		2.2	2.3	2.4	V
—	电压检测电路的自消耗电流	VCA25=1、 $V_{CC}=5.0V$	—	0.9	—	μA
$t_{d(E-A)}$	到电压检测电路开始工作为止的等待时间 (注 2)		—	—	300	μs
V_{CCmin}	单片机工作电压的最小值		2.2	—	—	V

注 1. 测定条件是 $V_{CC}=2.2V \sim 5.5V$ 、 $T_{opr}=-20^{\circ}C \sim 85^{\circ}C$ (N 版) $-40^{\circ}C \sim 85^{\circ}C$ (D 版)。

注 2. 在将 VCA2 寄存器的 VCA25 位清“0”后再次置“1”时，到电压检测电路开始工作为止所需的时间。

表 21.7 电压检测 1 电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{det1}	电压检测电平 (注 4)		2.7	2.85	3.00	V
—	电压监视 1 中断请求的产生时间 (注 2)		—	40	—	μs
—	电压检测电路的自消耗电流	VCA26=1、 $V_{CC}=5.0V$	—	0.6	—	μA
$t_{d(E-A)}$	到电压检测电路开始工作为止的等待时间 (注 3)		—	—	100	μs

注 1. 测定条件是 $V_{CC}=2.2V \sim 5.5V$ 、 $T_{opr}=-20^{\circ}C \sim 85^{\circ}C$ (N 版) $-40^{\circ}C \sim 85^{\circ}C$ (D 版)。

注 2. 从通过 V_{det1} 时到产生电压监视 1 中断请求为止的时间。

注 3. 在将 VCA2 寄存器的 VCA26 位清“0”后再次置“1”时，到电压检测电路开始工作为止所需的时间。

注 4. 表示电源下降时的电压检测电平。电源上升时的电压检测电平比电源下降时的电压检测电平高 0.1V 左右。

表 21.8 电压检测 2 电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{det2}	电压检测电平		3.3	3.6	3.9	V
—	电压监视 2 中断请求的产生时间 (注 2)		—	40	—	μ s
—	电压检测电路的自消耗电流	VCA27=1、 $V_{CC}=5.0V$	—	0.6	—	μ A
$t_{d(E-A)}$	到电压检测电路开始工作为止的等待时间 (注 3)		—	—	100	μ s

注 1. 测定条件是 $V_{CC}=2.2V \sim 5.5V$ 、 $Topr=-20^{\circ}C \sim 85^{\circ}C$ (N 版) $-40^{\circ}C \sim 85^{\circ}C$ (D 版)。

注 2. 从通过 V_{det2} 时到产生电压监视 2 中断请求为止的时间。

注 3. 在将 VCA2 寄存器的 VCA27 位清“0”后再次置“1”时，到电压检测电路开始工作为止所需的时间。

表 21.9 上电复位电路、电压监视 0 复位的电特性 (注 3)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{por1}	上电复位的有效电压 (注 4)		—	—	0.1	V
V_{por2}	上电复位或者电压监视 0 复位的有效电压		0	—	V_{det0}	V
t_{rth}	外部电源 V_{CC} 的上升斜率 (注 2)		20	—	—	mV/msec

注 1. 在没有指定条件时，测定条件为 $Topr=-20^{\circ}C \sim 85^{\circ}C$ (N 版) $-40^{\circ}C \sim 85^{\circ}C$ (D 版)。

注 2. 如果在 $V_{CC} \geq 1.0V$ 时使用，就不需要此条件 (外部电源 V_{CC} 的上升斜率)。

注 3. 在使用上电复位时，必须将 OFS 寄存器的 LVD0ON 位清“0”、VW0C 寄存器的 VW0C0 位和 VW0C6 位置“1”、VCA2 寄存器的 VCA25 位置“1”，使电压监视 0 复位有效。

注 4. $t_{w(por1)}$ 是让外部电源 V_{CC} 电压不超过有效电压 (V_{por1}) 并且使上电复位有效所需的时间。电源最初上升时，在 $-20^{\circ}C \leq Topr \leq 85^{\circ}C$ 环境下，必须将 $t_{w(por1)}$ 至少保持 30s，在 $-40^{\circ}C \leq Topr < -20^{\circ}C$ 环境下，必须将 $t_{w(por1)}$ 至少保持 3000s。

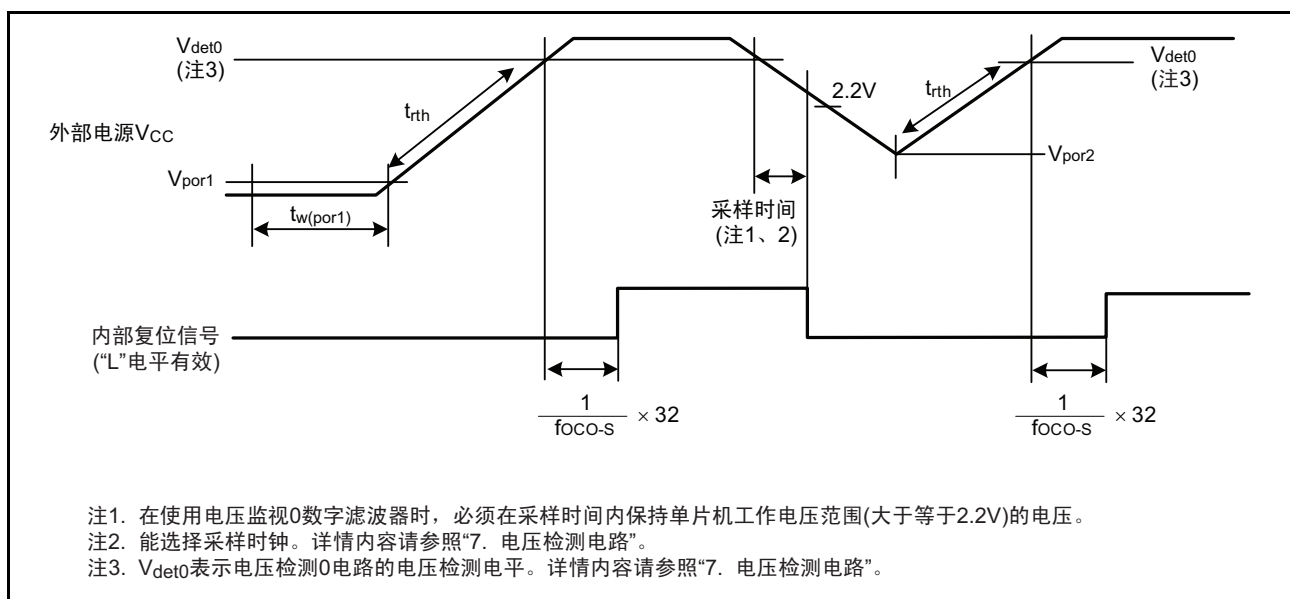


图 21.3 复位电路的电特性

表 21.10 高速内部振荡器振荡电路的电特性

符号	项目	测定条件	规格值			单位	
			最小	典型	最大		
fOCO40M	高速内部振荡器振荡频率的温度、电压的依存性	$V_{CC}=4.75V \sim 5.25V$ $0^{\circ}C \leq Topr \leq 60^{\circ}C$ (注 2)	39.2	40	40.8	MHz	
		$V_{CC}=3.0V \sim 5.5V$ $-20^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 2)	38.8	40	41.2	MHz	
		$V_{CC}=3.0V \sim 5.5V$ $-40^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 2)	38.4	40	41.6	MHz	
		$V_{CC}=2.7V \sim 5.5V$ $-20^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 2)	38	40	42	MHz	
		$V_{CC}=2.7V \sim 5.5V$ $-40^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 2)	37.6	40	42.4	MHz	
		$V_{CC}=2.2V \sim 5.5V$ $-20^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 3)	35.2	40	44.8	MHz	
		$V_{CC}=2.2V \sim 5.5V$ $-40^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 3)	34	40	46	MHz	
		$V_{CC}=5.0V \pm 10\%$ $-20^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 2)	38.8	40	40.8	MHz	
		$V_{CC}=5.0V \pm 10\%$ $-40^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 2)	38.4	40	40.8	MHz	
		将 FRA7 寄存器的校正值写到 FRA1 寄存器时的高速内部振荡器的振荡频率 (注 4)	$V_{CC}=5.0V$ 、 $Topr=25^{\circ}C$	—	36.864	—	MHz
			$V_{CC}=3.0V \sim 5.5V$ $-20^{\circ}C \leq Topr \leq 85^{\circ}C$	-3%	—	3%	%
—	复位解除时的 FRA1 寄存器的值		08h (注 3)	—	F7h (注 3)	—	
—	高速内部振荡器振荡频率的调整单位	把 FRA1 寄存器 (复位解除时的值) 调整为 -1 位	—	+0.3	—	MHz	
—	振荡稳定时间		—	10	100	μs	
—	振荡时的自消耗电流	$V_{CC}=5.0V$ 、 $Topr=25^{\circ}C$	—	400	—	μA	

注 1. 在没有指定条件时, $V_{CC}=2.2V \sim 5.5V$ 、 $Topr=-20^{\circ}C \sim 85^{\circ}C$ (N 版) / $-40^{\circ}C \sim 85^{\circ}C$ (D 版)。

注 2. 是 FRA1 寄存器在复位解除时的规格值。

注 3. 是将 FRA6 寄存器的校正值写到 FRA1 寄存器时的规格值。

注 4. 在将串行接口用于 UART 模式时, 能使 9600bps 和 38400bps 等位速率的设定误差为 0%。

表 21.11 低速内部振荡器振荡电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
fOCO-S	低速内部振荡器的振荡频率		30	125	250	kHz
—	振荡稳定时间		—	10	100	μs
—	振荡时的自消耗电流	$V_{CC}=5.0V$ 、 $Topr=25^{\circ}C$	—	15	—	μA

注 1. 在没有指定条件时, $V_{CC}=2.2V \sim 5.5V$ 、 $Topr=-20^{\circ}C \sim 85^{\circ}C$ (N 版) / $-40^{\circ}C \sim 85^{\circ}C$ (D 版)。

表 21.12 电源电路的时序特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
$t_{d(P-R)}$	接通电源时的内部电源稳定时间（注 2）		1	—	2000	μs
$t_{d(R-S)}$	STOP 解除时间（注 3）		—	—	150	μs

注 1. 测定条件是 $V_{CC}=2.2\text{V} \sim 5.5\text{V}$ 、 $T_{opr}=25^\circ\text{C}$ 。

注 2. 在接通电源时，到内部电源产生电路稳定为止的等待时间。

注 3. 是从接受解除停止模式的中断到开始供给系统时钟的时间。

表 21.13 带片选的时钟同步串行 I/O 的时序必要条件（注 1）

符号	项目		测定条件	规格值			单位
				最小	典型	最大	
t_{SUCYC}	SSCK 时钟的周期时间			4	—	—	t_{CYC} (注 2)
t_{HI}	SSCK 时钟的“H”电平脉宽			0.4	—	0.6	t_{SUCYC}
t_{LO}	SSCK 时钟的“L”电平脉宽			0.4	—	0.6	t_{SUCYC}
t_{RISE}	SSCK 时钟的上升时间	主		—	—	1	t_{CYC} (注 2)
		从属		—	—	1	μs
t_{FALL}	SSCK 时钟的下降时间	主		—	—	1	t_{CYC} (注 2)
		从属		—	—	1	μs
t_{SU}	SSO、SSI 数据输入的准备时间			100	—	—	ns
t_H	SSO、SSI 数据输入的保持时间			1	—	—	t_{CYC} (注 2)
t_{LEAD}	$\overline{\text{SCS}}$ 准备时间	从属		$1t_{CYC}+50$	—	—	ns
t_{LAG}	$\overline{\text{SCS}}$ 保持时间	从属		$1t_{CYC}+50$	—	—	ns
t_{OD}	SSO、SSI 数据输出的延迟时间			—	—	1	t_{CYC} (注 2)
t_{SA}	SSI 从属器件的存取时间		$2.7\text{V} \leq V_{CC} \leq 5.5\text{V}$	—	—	$1.5t_{CYC}+100$	ns
			$2.2\text{V} \leq V_{CC} < 2.7\text{V}$	—	—	$1.5t_{CYC}+200$	ns
t_{OR}	SSI 从属器件的释放时间		$2.7\text{V} \leq V_{CC} \leq 5.5\text{V}$	—	—	$1.5t_{CYC}+100$	ns
			$2.2\text{V} \leq V_{CC} < 2.7\text{V}$	—	—	$1.5t_{CYC}+200$	ns

注 1. 在没有指定条件时， $V_{CC}=2.2\text{V} \sim 5.5\text{V}$ 、 $V_{SS}=0\text{V}$ 、 $T_{opr}=-20^\circ\text{C} \sim 85^\circ\text{C}$ （N 版）/ $-40^\circ\text{C} \sim 85^\circ\text{C}$ （D 版）。

注 2. $1t_{CYC}=1/f_1(\text{s})$

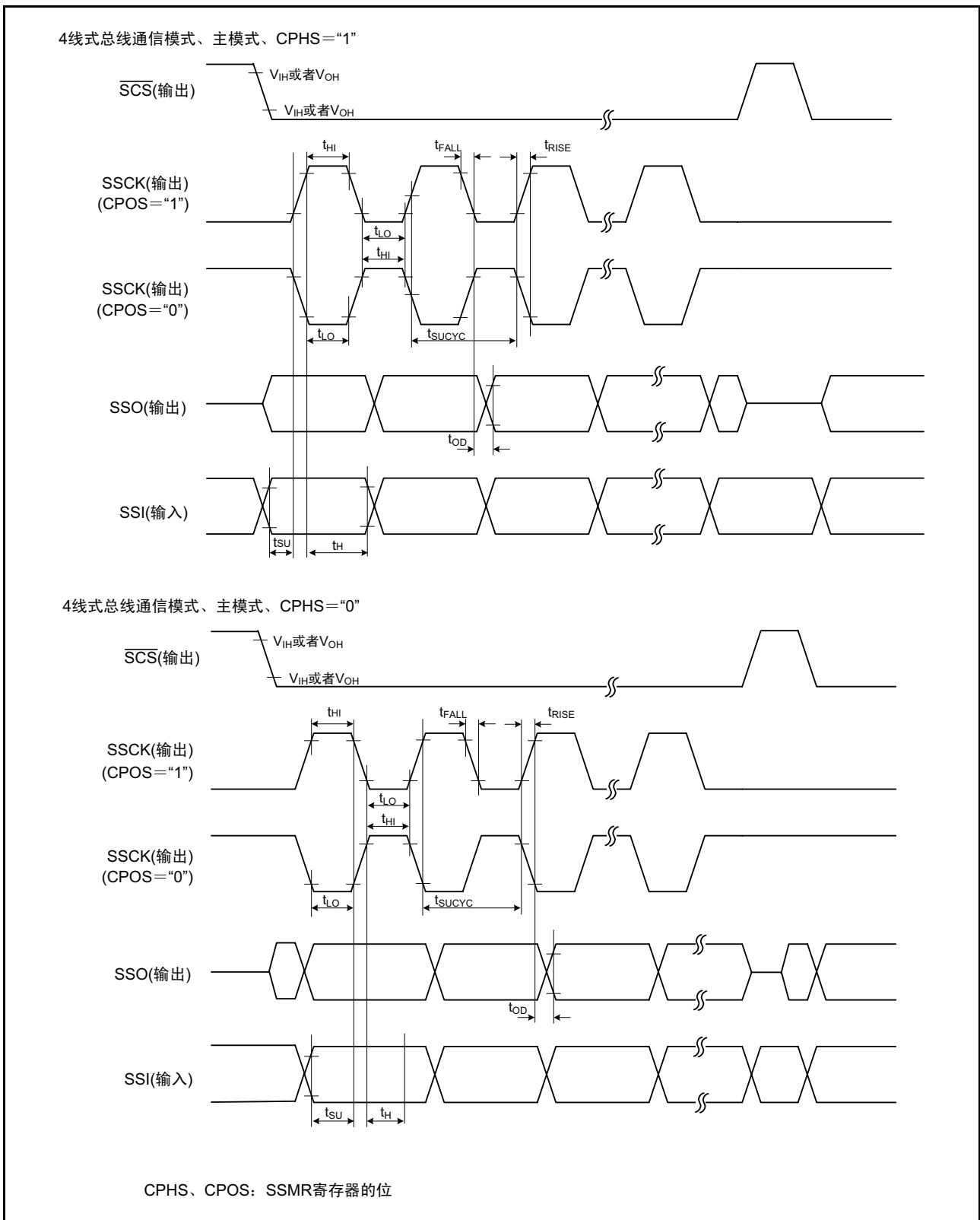


图 21.4 带片选的时钟同步串行 I/O 的输入 / 输出时序 (主模式)

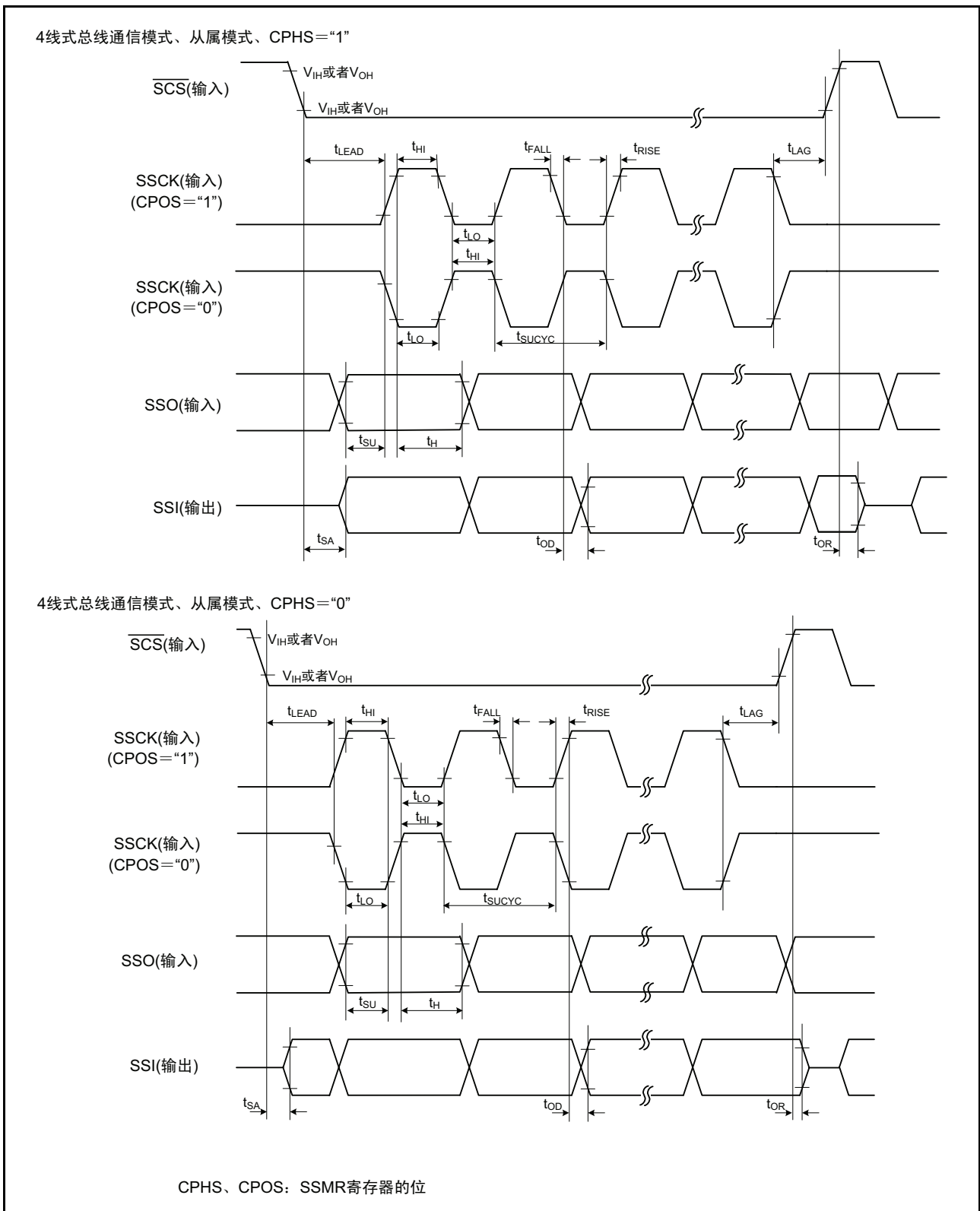


图 21.5 带片选的时钟同步串行 I/O 的输入 / 输出时序 (从属模式)

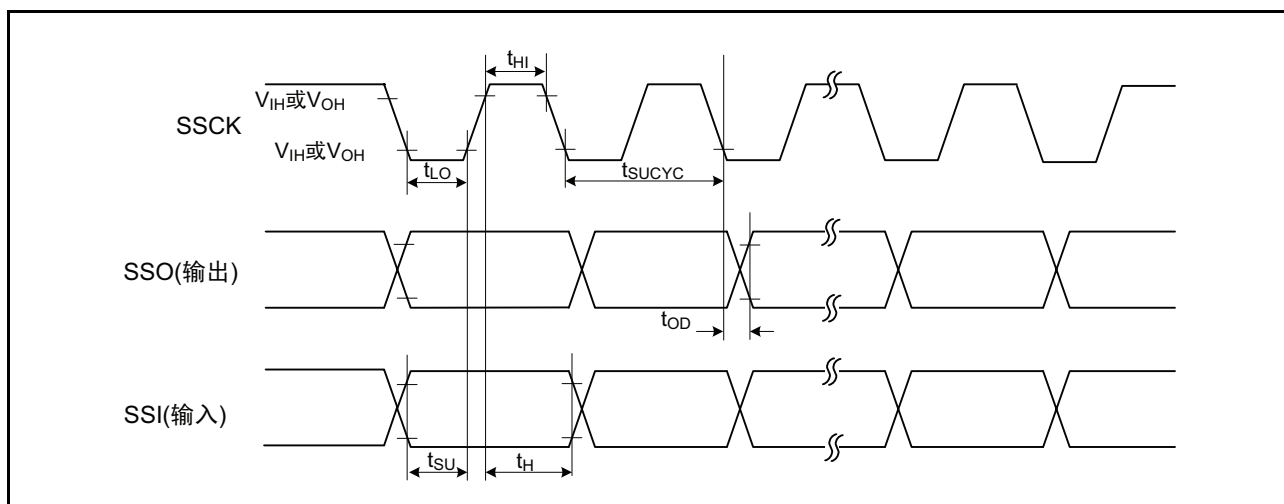


图 21.6 带片选的时钟同步串行 I/O 的输入 / 输出时序（时钟同步通信模式）

表 21.14 I²C 总线接口的时序必要条件（注 1）

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
t_{SCL}	SCL 输入的周期时间		$12t_{CYC}+600$ （注 2）	—	—	ns
t_{SCLH}	SCL 输入“H”电平的脉宽		$3t_{CYC}+300$ （注 2）	—	—	ns
t_{SCLL}	SCL 输入“L”电平的脉宽		$5t_{CYC}+500$ （注 2）	—	—	ns
t_{sf}	SCL、SDA 输入的下降时间		—	—	300	ns
t_{SP}	SCL、SDA 输入尖峰脉冲的消除时间		—	—	$1t_{CYC}$ （注 2）	ns
t_{BUF}	SDA 输入的总线自由时间		$5t_{CYC}$ （注 2）	—	—	ns
t_{STAH}	开始条件输入的保持时间		$3t_{CYC}$ （注 2）	—	—	ns
t_{STAS}	重新发送开始条件输入的准备时间		$3t_{CYC}$ （注 2）	—	—	ns
t_{STOP}	停止条件输入的准备时间		$3t_{CYC}$ （注 2）	—	—	ns
t_{SDAS}	数据输入的准备时间		$1t_{CYC}+20$ （注 2）	—	—	ns
t_{SDAH}	数据输入的保持时间		0	—	—	ns

注 1. 在没有指定条件时， $V_{CC}=2.2V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $Topr=-20^{\circ}C \sim 85^{\circ}C$ （N 版） $-40^{\circ}C \sim 85^{\circ}C$ （D 版）。

注 2. $1t_{CYC}=1/f_1(s)$

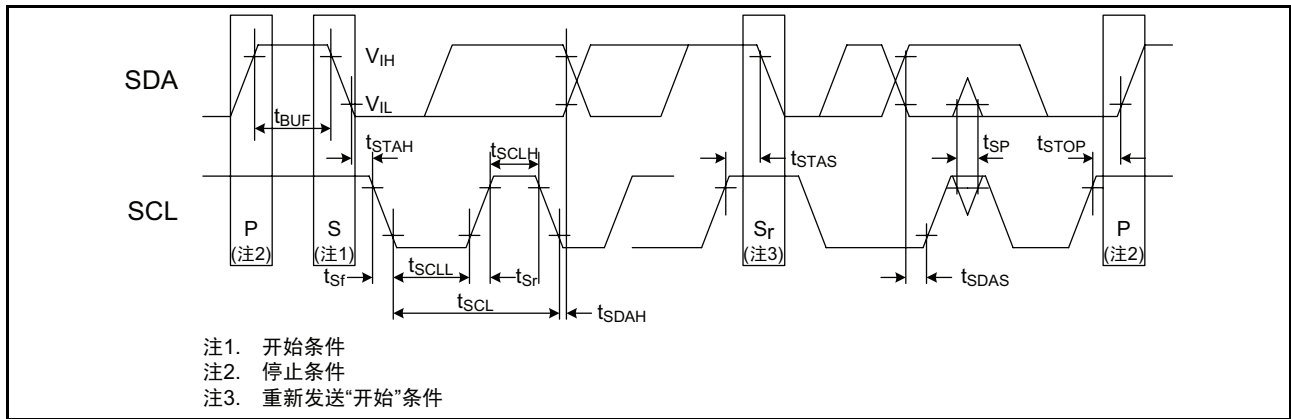


图 21.7 I²C 总线接口的输入 / 输出时序

表 21.15 电特性 (1) [V_{CC}=5V]

符号	项目		测定条件		规格值			单位
					最小	典型	最大	
V _{OH}	“H”电平输出 电压	P1_0 ~ P1_7、 XOUT 以外	I _{OH} =-5mA		V _{CC} -2.0	—	V _{CC}	V
			I _{OH} =-200μA		V _{CC} -0.5	—	V _{CC}	V
		P1_0 ~ P1_7	驱动能力 HIGH	I _{OH} =-20mA	V _{CC} -2.0	—	V _{CC}	V
			驱动能力 LOW	I _{OH} =-5mA	V _{CC} -2.0	—	V _{CC}	V
		XOUT	驱动能力 HIGH	I _{OH} =-1mA	V _{CC} -2.0	—	V _{CC}	V
			驱动能力 LOW	I _{OH} =-500μA	V _{CC} -2.0	—	V _{CC}	V
V _{OL}	“L”电平输出 电压	P1_0 ~ P1_7、 XOUT 以外	I _{OL} =5mA		—	—	2.0	V
			I _{OL} =200μA		—	—	0.45	V
		P1_0 ~ P1_7	驱动能力 HIGH	I _{OL} =20mA	—	—	2.0	V
			驱动能力 LOW	I _{OL} =5mA	—	—	2.0	V
		XOUT	驱动能力 HIGH	I _{OL} =1mA	—	—	2.0	V
			驱动能力 LOW	I _{OL} =500μA	—	—	2.0	V
V _{T+} -V _{T-}	滞后	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 TRAIO、RXD0、 RXD1、CLK0、SSI、 SCL、SDA、SSO			0.1	0.5	—	V
		RESET			0.1	1.0	—	V
I _{IH}	“H”电平输入 电流		VI=5V、V _{CC} =5V		—	—	5.0	μA
I _{IL}	“L”电平输入 电流		VI=0V、V _{CC} =5V		—	—	-5.0	μA
R _{PULLUP}	上拉电阻		VI=0V、V _{CC} =5V		30	50	167	kΩ
R _{FXIN}	反馈电阻	XIN			—	1.0	—	MΩ
R _{FXCIN}	反馈电阻	XCIN			—	18	—	MΩ
V _{RAM}	RAM 保持电压		停止模式时		1.8	—	—	V

注 1. 在没有指定条件时，V_{CC}=4.2V ~ 5.5V、Topr=-20°C ~ 85°C (N 版) / -40°C ~ 85°C (D 版)、f(XIN)=20MHz。

表 21.16 电特性 (2) [$V_{CC}=5V$](在没有指定条件时, $T_{opr}=-20^{\circ}C \sim 85^{\circ}C$ (N 版) / $-40^{\circ}C \sim 85^{\circ}C$ (D 版))

符号	项目	测定条件	规格值			单位	
			最小	典型	最大		
I_{CC}	电源电流 ($V_{CC}=3.3V \sim 5.5V$) 在单芯片模式, 输出引脚为 开路, 其它引脚为 V_{SS} 。	高速时钟模式	XIN=20MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	10	17	mA
			XIN=16MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	9	15	mA
			XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	6	—	mA
			XIN=20MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	5	—	mA
			XIN=16MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	4	—	mA
			XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	2.5	—	mA
			高速内部 振荡器模式	XIN 时钟停止 高速内部振荡器的振荡 fOCO=20MHz 低速内部振荡器的振荡 =125kHz 无分频	—	10	15
		XIN 时钟停止 高速内部振荡器的振荡 fOCO=20MHz 低速内部振荡器的振荡 =125kHz 8 分频		—	4	—	mA
		XIN 时钟停止 高速内部振荡器的振荡 fOCO=10MHz 低速内部振荡器的振荡 =125kHz 无分频		—	5.5	10	mA
		XIN 时钟停止 高速内部振荡器的振荡 fOCO=10MHz 低速内部振荡器的振荡 =125kHz 8 分频		—	2.5	—	mA
		低速内部 振荡器模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频 FMR47= “1”	—	130	300	μA
		低速时钟模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz FMR47= “1”	—	130	300	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz RAM 中的程序运行 闪存停止时 FMSTP= “1”	—	30	—	μA

表 21.17 电特性 (3) [$V_{CC}=5V$](在没有指定条件时, $T_{opr}=-20^{\circ}C \sim 85^{\circ}C$ (N 版) / $-40^{\circ}C \sim 85^{\circ}C$ (D 版))

符号	项目	测定条件	规格值			单位	
			最小	典型	最大		
I_{CC}	电源电流 ($V_{CC}=3.3V \sim 5.5V$) 在单芯片模式, 输出引脚为 开路, 其它引脚为 V_{SS} 。	等待模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟运行 VCA27=VCA26=VCA25= "0" VCA20= "1"	—	25	75	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟停止 VCA27=VCA26=VCA25= "0" VCA20= "1"	—	23	60	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz (HIGH 驱动) WAIT 指令执行中 VCA27=VCA26=VCA25= "0" VCA20= "1"		4.0	—	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz (LOW 驱动) WAIT 指令执行中 VCA27=VCA26=VCA25= "0" VCA20= "1"	—	2.2	—	μA
		停止模式	XIN 时钟停止、 $T_{opr}=25^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10= "1" 外围时钟停止 VCA27=VCA26=VCA25= "0"	—	0.8	3.0	μA
			XIN 时钟停止、 $T_{opr}=85^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10= "1" 外围时钟停止 VCA27=VCA26=VCA25= "0"	—	1.2	—	μA

时序必要条件（在没有指定条件时， $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25^{\circ}C$ ） [$V_{CC}=5V$]

表 21.18 XIN 输入、XCIN 输入

符号	项目	规格值		单位
		最小	最大	
$t_{C(XIN)}$	XIN 输入的周期时间	50	—	ns
$t_{WH(XIN)}$	XIN 输入“H”电平的脉宽	25	—	ns
$t_{WL(XIN)}$	XIN 输入“L”电平的脉宽	25	—	ns
$t_{C(XCIN)}$	XCIN 输入的周期时间	14	—	μS
$t_{WH(XCIN)}$	XCIN 输入“H”电平的脉宽	7	—	μS
$t_{WL(XCIN)}$	XCIN 输入“L”电平的脉宽	7	—	μS

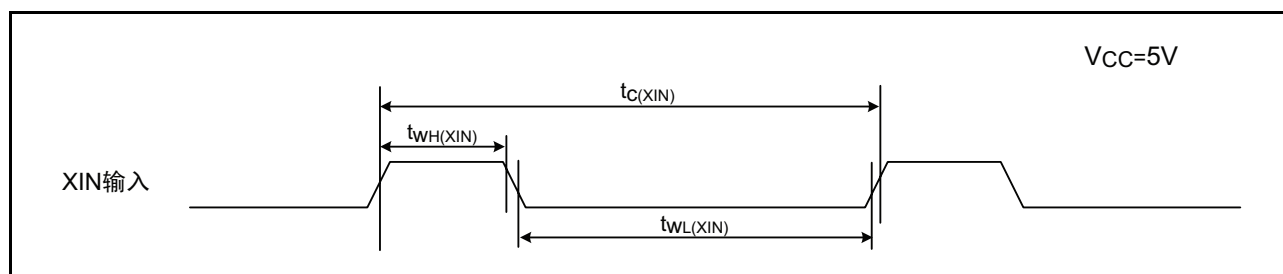


图 21.8 $V_{CC}=5V$ 时的 XIN 输入、XCIN 输入时序

表 21.19 TRAI0 输入

符号	项目	规格值		单位
		最小	最大	
$t_{C(TRAIO)}$	TRAIO 输入的周期时间	100	—	ns
$t_{WH(TRAIO)}$	TRAIO 输入“H”电平的脉宽	40	—	ns
$t_{WL(TRAIO)}$	TRAIO 输入“L”电平的脉宽	40	—	ns

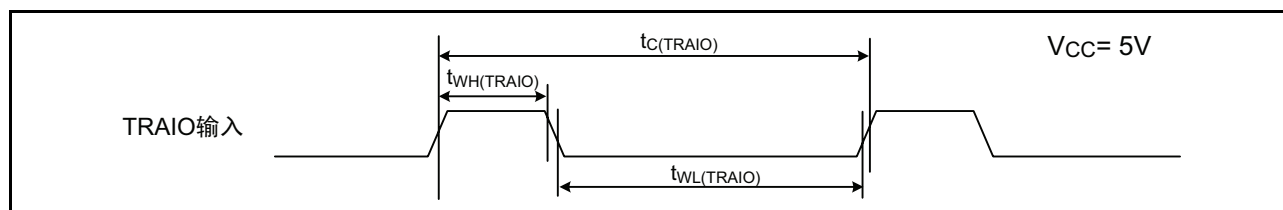
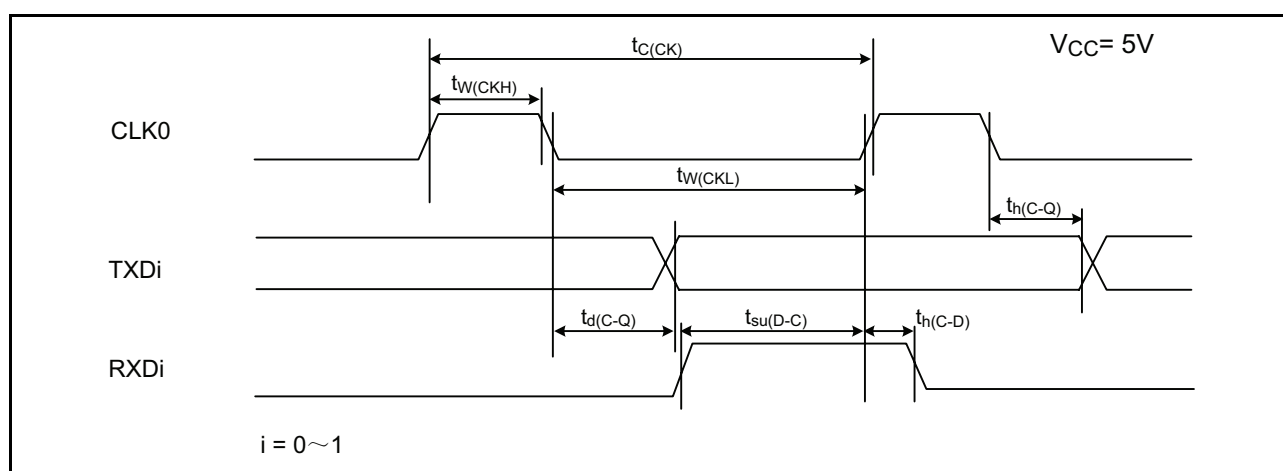


图 21.9 $V_{CC}=5V$ 时的 TRAI0 输入时序

表 21.20 串行接口

符号	项目	规格值		单位
		最小	最大	
$t_{c(CK)}$	CLK0 输入的周期时间	200	—	ns
$t_{W(CKH)}$	CLK0 输入“H”电平的脉宽	100	—	ns
$t_{W(CKL)}$	CLK0 输入“L”电平的脉宽	100	—	ns
$t_{d(C-Q)}$	TXDi 输出的延迟时间	—	50	ns
$t_{h(C-Q)}$	TXDi 保持时间	0	—	ns
$t_{su(D-C)}$	RXDi 输入的准备时间	50	—	ns
$t_{h(C-D)}$	RXDi 输入的保持时间	90	—	ns

i=0 ~ 1

图 21.10 $V_{CC}=5V$ 时的串行接口时序表 21.21 外部中断 \overline{INTi} 输入 (i=0、1、3)

符号	项目	规格值		单位
		最小	最大	
$t_{W(INH)}$	\overline{INTi} 输入“H”电平的脉宽	250 (注 1)	—	ns
$t_{W(INL)}$	\overline{INTi} 输入“L”电平的脉宽	250 (注 2)	—	ns

注 1. 如果通过 \overline{INTi} 输入滤波器的选择位选择有滤波器， \overline{INTi} 输入“H”电平脉宽的最小值就为“1/数字滤波器采样频率×3”和最小值中大的值。

注 2. 如果通过 \overline{INTi} 输入滤波器的选择位选择有滤波器， \overline{INTi} 输入“L”电平脉宽的最小值就为“1/数字滤波器采样频率×3”和最小值中大的值。

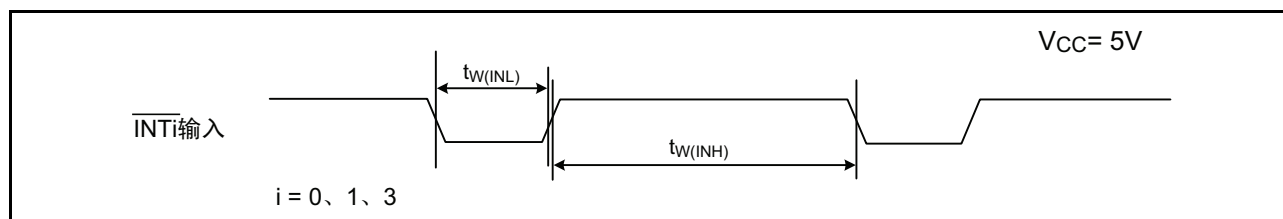
图 21.11 $V_{CC}=5V$ 时的外部中断 \overline{INTi} 输入时序

表 21.22 电特性 (4) [$V_{CC}=3V$]

符号	项目		测定条件		规格值			单位
					最小	典型	最大	
V_{OH}	“H”电平输出电压	P1_0 ~ P1_7、 XOUT 以外	$I_{OH}=-1mA$		$V_{CC}-0.5$	—	V_{CC}	V
		P1_0 ~ P1_7	驱动能力 HIGH	$I_{OH}=-5mA$	$V_{CC}-0.5$	—	V_{CC}	V
			驱动能力 LOW	$I_{OH}=-1mA$	$V_{CC}-0.5$	—	V_{CC}	V
		XOUT	驱动能力 HIGH	$I_{OH}=-0.1mA$	$V_{CC}-0.5$	—	V_{CC}	V
			驱动能力 LOW	$I_{OH}=-50\mu A$	$V_{CC}-0.5$	—	V_{CC}	V
V_{OL}	“L”电平输出电压	P1_0 ~ P1_7、 XOUT 以外	$I_{OL}=1mA$		—	—	0.5	V
		P1_0 ~ P1_7	驱动能力 HIGH	$I_{OL}=5mA$	—	—	0.5	V
			驱动能力 LOW	$I_{OL}=1mA$	—	—	0.5	V
		XOUT	驱动能力 HIGH	$I_{OL}=0.1mA$	—	—	0.5	V
			驱动能力 LOW	$I_{OL}=50\mu A$	—	—	0.5	V
$V_T^+-V_T^-$	滞后	$\overline{INT0}$ 、 $\overline{INT1}$ 、 $\overline{INT3}$ 、 $\overline{KI0}$ 、 $\overline{KI1}$ 、 $\overline{KI2}$ 、 $\overline{KI3}$ 、 TRAI0、RXD0、 RXD1、CLK0、 SSI、SCL、 SDA、SSO			0.1	0.3	—	V
		\overline{RESET}			0.1	0.4	—	V
I_{IH}	“H”电平输入电流		$V_I=3V$ 、 $V_{CC}=3V$		—	—	4.0	μA
I_{IL}	“L”电平输入电流		$V_I=0V$ 、 $V_{CC}=3V$		—	—	-4.0	μA
R_{PULLUP}	上拉电阻		$V_I=0V$ 、 $V_{CC}=3V$		66	160	500	k Ω
R_{FXIN}	反馈电阻	XIN			—	3.0	—	M Ω
R_{FXCIN}	反馈电阻	XCIN			—	18	—	M Ω
V_{RAM}	RAM 保持电压		停止模式时		1.8	—	—	V

注 1. 在没有指定条件时, $V_{CC}=2.7V \sim 3.3V$ 、 $Topr=-20^{\circ}C \sim 85^{\circ}C$ (N 版) / $-40^{\circ}C \sim 85^{\circ}C$ (D 版)、 $f(XIN)=10MHz$ 。

表 21.23 电特性 (5) [$V_{CC}=3V$](在没有指定条件时, $Topr=-20^{\circ}C \sim 85^{\circ}C$ (N版) / $-40^{\circ}C \sim 85^{\circ}C$ (D版))

符号	项目	测定条件		规格值			单位
				最小	典型	最大	
I_{CC}	电源电流 ($V_{CC}=2.7V \sim 3.3V$) 在单芯片模式, 输出引脚为开路, 其它引脚为 V_{SS} 。	高速时钟模式	XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器振荡 =125kHz 无分频	—	6	—	mA
			XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器振荡 =125kHz 8 分频	—	2	—	mA
		高速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡 fOCO=10MHz 低速内部振荡器振荡 =125kHz 无分频	—	5	9	mA
			XIN 时钟停止 高速内部振荡器的振荡 fOCO=10MHz 低速内部振荡器振荡 =125kHz 8 分频	—	2	—	mA
		低速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器振荡 =125kHz 8 分频、FMR47=“1”	—	130	300	μA
		低速时钟模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz FMR47=“1”	—	130	300	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz RAM 中的程序运行 闪存停止时 FMSTP=“1”	—	30	—	μA
		等待模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器振荡 =125kHz WAIT 指令执行中 外围时钟运行 VCA27=VCA26=VCA25=“0” VCA20=“1”	—	25	70	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器振荡 =125kHz WAIT 指令执行中 外围时钟停止 VCA27=VCA26=VCA25=“0” VCA20=“1”	—	23	55	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz (HIGH 驱动) WAIT 指令执行中 VCA27=VCA26=VCA25=“0” VCA20=“1”	—	3.8	—	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz (LOW 驱动) WAIT 指令执行中 VCA27=VCA26=VCA25=“0” VCA20=“1”	—	2.0	—	μA
			XIN 时钟停止、 $Topr=-25^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10=“1” 外围时钟停止 VCA27=VCA26=VCA25=“0”	—	0.7	3.0	μA
		停止模式	XIN 时钟停止、 $Topr=85^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10=“1” 外围时钟停止 VCA27=VCA26=VCA25=“0”	—	1.1	—	μA

时序必要条件（在没有指定条件时， $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25^{\circ}C$ ） [$V_{CC}=3V$]

表 21.24 XIN 输入、XCIN 输入

符号	项目	规格值		单位
		最小	最大	
$t_{c(XIN)}$	XIN 输入的周期时间	100	—	ns
$t_{WH(XIN)}$	XIN 输入“H”电平的脉宽	40	—	ns
$t_{WL(XIN)}$	XIN 输入“L”电平的脉宽	40	—	ns
$t_{c(XCIN)}$	XCIN 输入的周期时间	14	—	μs
$t_{WH(XCIN)}$	XCIN 输入“H”电平的脉宽	7	—	μs
$t_{WL(XCIN)}$	XCIN 输入“L”电平的脉宽	7	—	μs

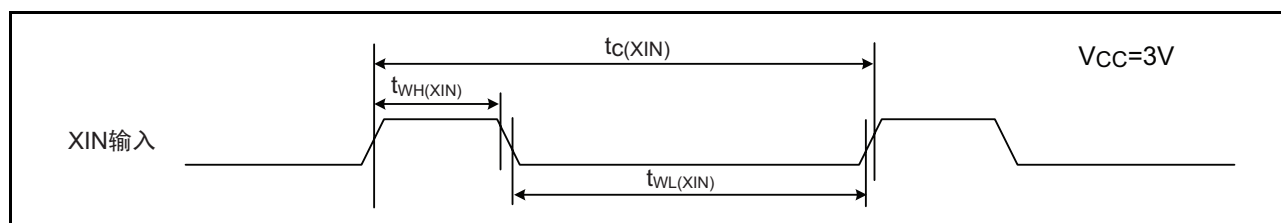


图 21.12 $V_{CC}=3V$ 时的 XIN 输入、XCIN 输入时序

表 21.25 TRAI0 输入

符号	项目	规格值		单位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO 输入的周期时间	300	—	ns
$t_{WH(TRAIO)}$	TRAIO 输入“H”电平的脉宽	120	—	ns
$t_{WL(TRAIO)}$	TRAIO 输入“L”电平的脉宽	120	—	ns

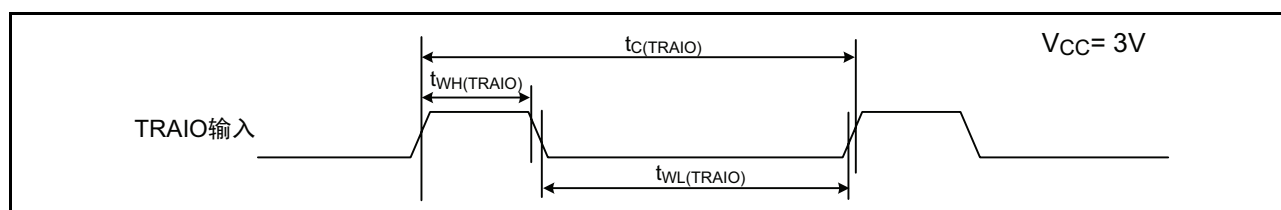
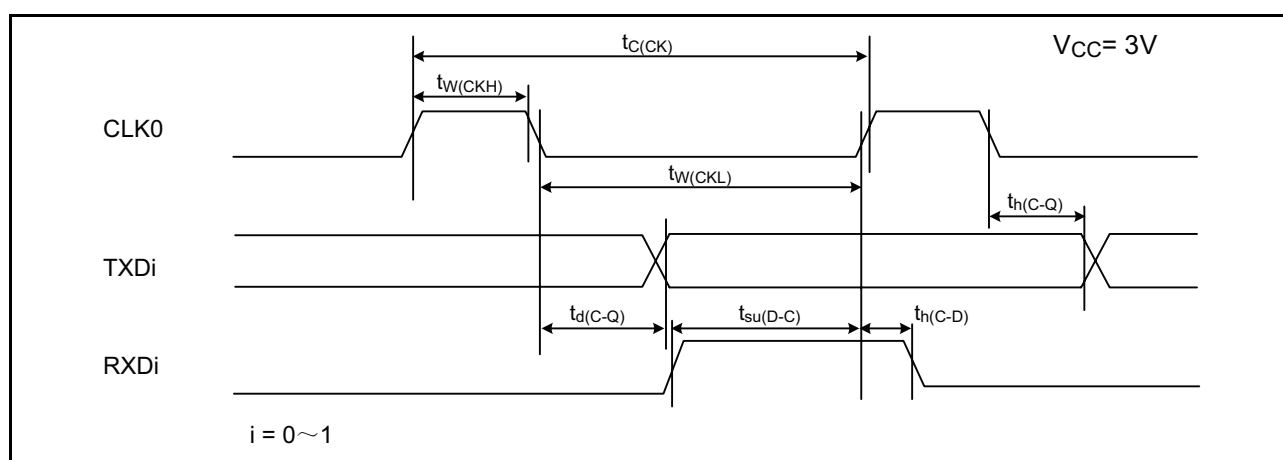


图 21.13 $V_{CC}=3V$ 时的 TRAI0 输入时序

表 21.26 串行接口

符号	项目	规格值		单位
		最小	最大	
$t_{c(CK)}$	CLK0 输入的周期时间	300	—	ns
$t_{W(CKH)}$	CLK0 输入“H”电平的脉宽	150	—	ns
$t_{W(CKL)}$	CLK0 输入“L”电平的脉宽	150	—	ns
$t_{d(C-Q)}$	TXDi 输出的延迟时间	—	80	ns
$t_{h(C-Q)}$	TXDi 保持时间	0	—	ns
$t_{su(D-C)}$	RXDi 输入的准备时间	70	—	ns
$t_{h(C-D)}$	RXDi 输入的保持时间	90	—	ns

i=0 ~ 1

图 21.14 $V_{CC}=3V$ 时的串行接口时序表 21.27 外部中断 \overline{INTi} 输入 (i=0、1、3)

符号	项目	规格值		单位
		最小	最大	
$t_{W(INH)}$	\overline{INTi} 输入“H”电平的脉宽	380 (注 1)	—	ns
$t_{W(INL)}$	\overline{INTi} 输入“L”电平的脉宽	380 (注 2)	—	ns

注 1. 如果通过 \overline{INTi} 输入滤波器的选择位选择有滤波器， \overline{INTi} 输入“H”电平脉宽的最小值就为“1/数字滤波器采样频率 $\times 3$ ”和最小值中大的值。

注 2. 如果通过 \overline{INTi} 输入滤波器的选择位选择有滤波器， \overline{INTi} 输入“L”电平脉宽的最小值就为“1/数字滤波器采样频率 $\times 3$ ”和最小值中大的值。

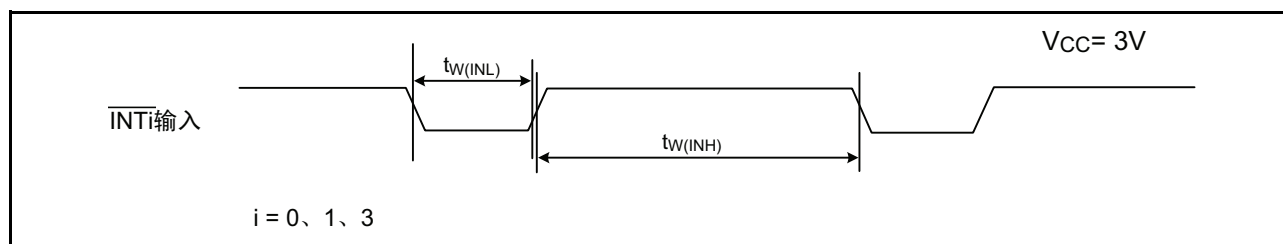
图 21.15 $V_{CC}=3V$ 时的外部中断 \overline{INTi} 输入时序

表 21.28 电特性 (6) [$V_{CC}=2.2V$]

符号	项目		测定条件		规格值			单位
					最小	典型	最大	
V_{OH}	“H”电平输出电压	P1_0 ~ P1_7、 XOUT 以外	$I_{OH}=-1mA$		$V_{CC}-0.5$	—	V_{CC}	V
		P1_0 ~ P1_7	驱动能力 HIGH	$I_{OH}=-2mA$	$V_{CC}-0.5$	—	V_{CC}	V
			驱动能力 LOW	$I_{OH}=-1mA$	$V_{CC}-0.5$	—	V_{CC}	V
		XOUT	驱动能力 HIGH	$I_{OH}=-0.1mA$	$V_{CC}-0.5$	—	V_{CC}	V
			驱动能力 LOW	$I_{OH}=-50\mu A$	$V_{CC}-0.5$	—	V_{CC}	V
V_{OL}	“L”电平输出电压	P1_0 ~ P1_7、 XOUT 以外	$I_{OL}=1mA$		—	—	0.5	V
		P1_0 ~ P1_7	驱动能力 HIGH	$I_{OL}=2mA$	—	—	0.5	V
			驱动能力 LOW	$I_{OL}=1mA$	—	—	0.5	V
		XOUT	驱动能力 HIGH	$I_{OL}=0.1mA$	—	—	0.5	V
			驱动能力 LOW	$I_{OL}=50\mu A$	—	—	0.5	V
$V_{T+}-V_{T-}$	滞后	$\overline{INT0}$ 、 $\overline{INT1}$ 、 $\overline{INT3}$ 、 $\overline{KI0}$ 、 $\overline{KI1}$ 、 $\overline{KI2}$ 、 $\overline{KI3}$ 、 TRAIO、RXD0、 RXD1、CLK0、 SSI、SCL、 SDA、SSO			0.05	0.3	—	V
		\overline{RESET}			0.05	0.15	—	V
I_{IH}	“H”电平输入电流		$V_I=2.2V$		—	—	4.0	μA
I_{IL}	“L”电平输入电流		$V_I=0V$		—	—	-4.0	μA
R_{PULLUP}	上拉电阻		$V_I=0V$		100	200	600	k Ω
R_{fXIN}	反馈电阻	XIN			—	5	—	M Ω
R_{fXCIN}	反馈电阻	XCIN			—	35	—	M Ω
V_{RAM}	RAM 保持电压		停止模式时		1.8	—	—	V

注 1. 在没有指定条件时, $V_{CC}=2.2V$ 、 $T_{opr}=-20^{\circ}C \sim 85^{\circ}C$ (N 版) / $-40^{\circ}C \sim 85^{\circ}C$ (D 版)、 $f(XIN)=5MHz$ 。

表 21.29 电特性 (7) [$V_{CC}=2.2V$]
(在没有指定条件时, $T_{opr}=-20^{\circ}C \sim 85^{\circ}C$ (N 版) / $-40^{\circ}C \sim 85^{\circ}C$ (D 版))

符号	项目	测定条件		规格值			单位
				最小	典型	最大	
I_{CC}	电源电流 ($V_{CC}=2.2V \sim 2.7V$) 在单芯片模式, 输出引脚为开路, 其它引脚为 V_{SS} 。	高速时钟模式	XIN=5MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	3.5	—	mA
			XIN=5MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	1.5	—	mA
		高速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡 fOCO=5MHz 低速内部振荡器的振荡 =125kHz 无分频	—	3.5	—	mA
			XIN 时钟停止 高速内部振荡器的振荡 fOCO=5MHz 低速内部振荡器的振荡 =125kHz 8 分频	—	1.5	—	mA
		低速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频、FMR47=“1”	—	100	230	μA
		低速时钟模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz FMR47=“1”	—	100	230	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz RAM 中的程序运行 闪存停止时 FMSTP=“1”	—	25	—	μA
		等待模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟运行 VCA27=VCA26= VCA25=“0” VCA20=“1”	—	22	60	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟停止 VCA27=VCA26= VCA25=“0” VCA20=“1”	—	20	55	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz (HIGH 驱动) WAIT 指令执行中 VCA27=VCA26= VCA25=“0” VCA20=“1”	—	3.0	—	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 XCIN 时钟振荡 =32kHz (LOW 驱动) WAIT 指令执行中 VCA27=VCA26= VCA25=“0” VCA20=“1”	—	1.8	—	μA
			停止模式	XIN 时钟停止、 $T_{opr}=25^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10=“1” 外围时钟停止 VCA27=VCA26= VCA25=“0”	—	0.7	3.0
		XIN 时钟停止、 $T_{opr}=85^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10=“1” 外围时钟停止 VCA27=VCA26= VCA25=“0”		—	1.1	—	μA

时序必要条件（在没有指定条件时， $V_{CC}=2.2V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25^{\circ}C$ ） [$V_{CC}=2.2V$]

表 21.30 XIN 输入、XCIN 输入

符号	项目	规格值		单位
		最小	最大	
$t_{c(XIN)}$	XIN 输入的周期时间	200	—	ns
$t_{WH(XIN)}$	XIN 输入“H”电平的脉宽	90	—	ns
$t_{WL(XIN)}$	XIN 输入“L”电平的脉宽	90	—	ns
$t_{c(XCIN)}$	XCIN 输入的周期时间	14	—	μs
$t_{WH(XCIN)}$	XCIN 输入“H”电平的脉宽	7	—	μs
$t_{WL(XCIN)}$	XCIN 输入“L”电平的脉宽	7	—	μs

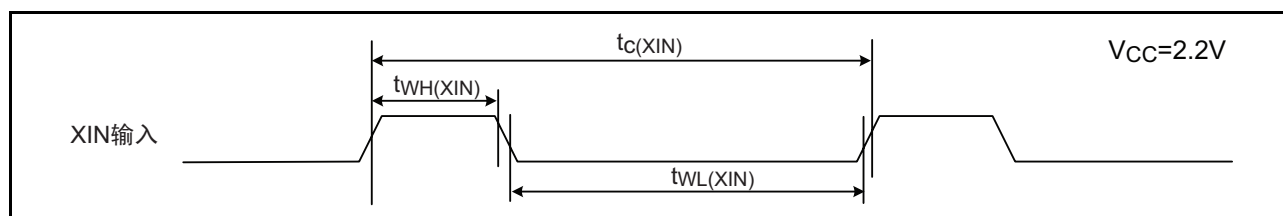


图 21.16 $V_{CC}=2.2V$ 时的 XIN 输入、XCIN 输入时序

表 21.31 TRAIO 输入

符号	项目	规格值		单位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO 输入的周期时间	500	—	ns
$t_{WH(TRAIO)}$	TRAIO 输入“H”电平的脉宽	200	—	ns
$t_{WL(TRAIO)}$	TRAIO 输入“L”电平的脉宽	200	—	ns

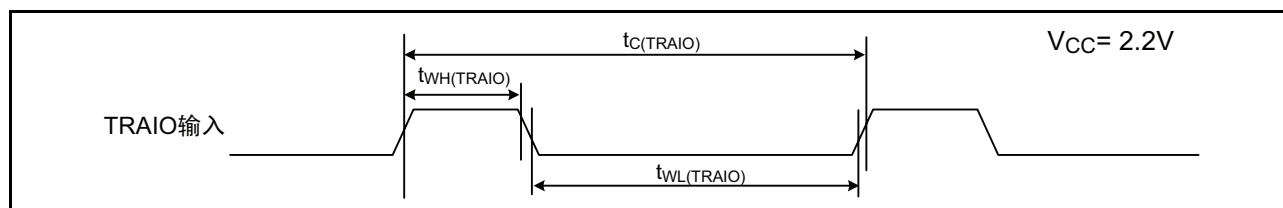
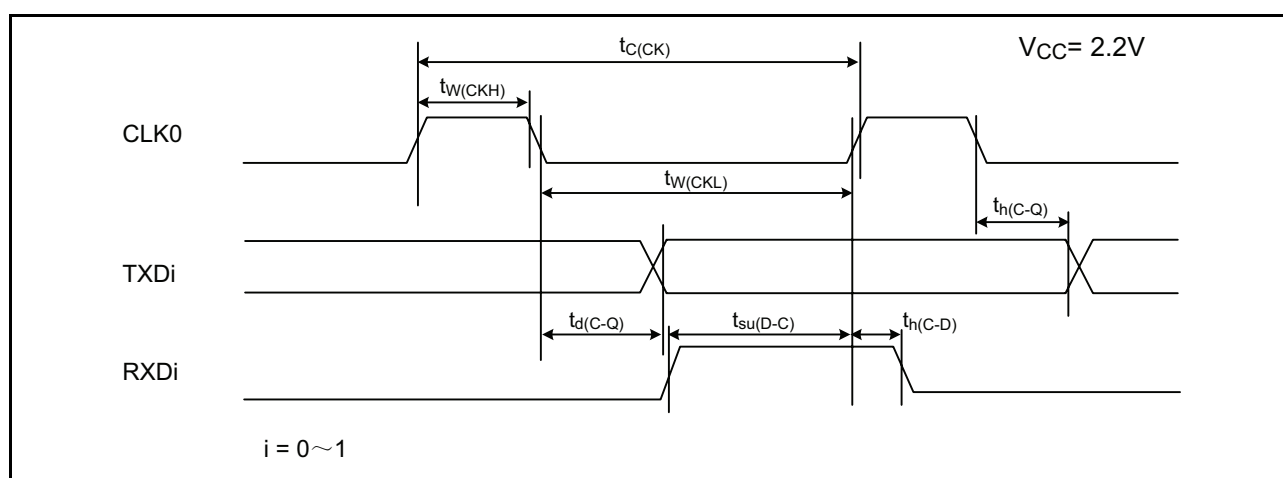


图 21.17 $V_{CC}=2.2V$ 时的 TRAIO 输入时序

表 21.32 串行接口

符号	项目	规格值		单位
		最小	最大	
$t_{c(CK)}$	CLK0 输入的周期时间	800	—	ns
$t_{W(CKH)}$	CLK0 输入“H”电平的脉宽	400	—	ns
$t_{W(CKL)}$	CLK0 输入“L”电平的脉宽	400	—	ns
$t_{d(C-Q)}$	TXDi 输出的延迟时间	—	200	ns
$t_{h(C-Q)}$	TXDi 保持时间	0	—	ns
$t_{su(D-C)}$	RXDi 输入的准备时间	150	—	ns
$t_{h(C-D)}$	RXDi 输入的保持时间	90	—	ns

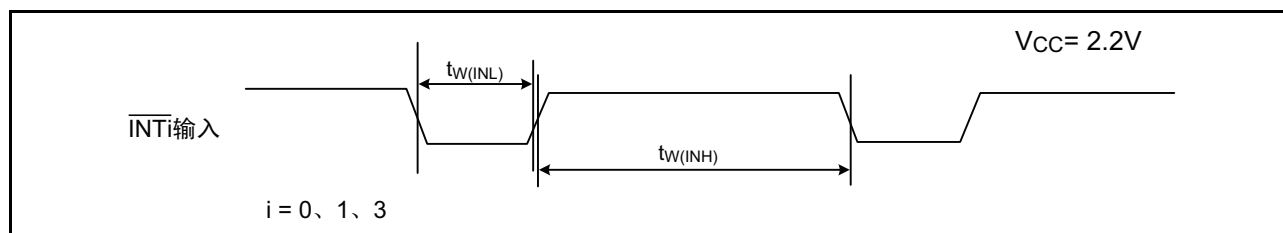
i=0 ~ 1

图 21.18 $V_{CC}=2.2V$ 时的串行接口时序表 21.33 外部中断 \overline{INTi} 输入 (i=0、1、3)

符号	项目	规格值		单位
		最小	最大	
$t_{W(INH)}$	\overline{INTi} 输入“H”电平的脉宽	1000 (注 1)	—	ns
$t_{W(INL)}$	\overline{INTi} 输入“L”电平的脉宽	1000 (注 2)	—	ns

注 1. 如果通过 \overline{INTi} 输入滤波器的选择位选择有滤波器， \overline{INTi} 输入“H”电平脉宽的最小值就为“1/数字滤波器采样频率 × 3”和最小值中大的值。

注 2. 如果通过 \overline{INTi} 输入滤波器的选择位选择有滤波器， \overline{INTi} 输入“L”电平脉宽的最小值就为“1/数字滤波器采样频率 × 3”和最小值中大的值。

图 21.19 $V_{CC}=2.2V$ 时的外部中断 \overline{INTi} 输入时序

21.2 J、K 版

表 21.34 绝对最大额定值

符号	项目	测定条件	额定值	单位
V_{CC}/AV_{CC}	电源电压		-0.3 ~ 6.5	V
V_I	输入电压		-0.3 ~ $V_{CC}+0.3$	V
V_O	输出电压		-0.3 ~ $V_{CC}+0.3$	V
P_d	功耗	$-40^{\circ}\text{C} \leq T_{opr} \leq 85^{\circ}\text{C}$	300	mW
		$85^{\circ}\text{C} \leq T_{opr} \leq 125^{\circ}\text{C}$	125	mW
T_{opr}	工作环境温度		-40 ~ 85 (J 版) / -40 ~ 125 (K 版)	$^{\circ}\text{C}$
T_{stg}	保存温度		-65 ~ 150	$^{\circ}\text{C}$

表 21.35 推荐运行条件

符号	项目		测定条件	规格值			单位
				最小	典型	最大	
V_{CC}/AV_{CC}	电源电压			2.7	—	5.5	V
V_{SS}/AV_{SS}	电源电压			—	0	—	V
V_{IH}	“H”电平输入电压			$0.8V_{CC}$	—	V_{CC}	V
V_{IL}	“L”电平输入电压			0	—	$0.2V_{CC}$	V
$I_{OH(sum)}$	“H”电平输出总峰值电流	全部引脚的 $I_{OH(peak)}$ 的总和		—	—	-60	mA
$I_{OH(peak)}$	“H”电平输出峰值电流			—	—	-10	mA
$I_{OH(avg)}$	“H”电平输出平均电流			—	—	-5	mA
$I_{OL(sum)}$	“L”电平输出总峰值电流	全部引脚的 $I_{OL(peak)}$ 的总和		—	—	60	mA
$I_{OL(peak)}$	“L”电平输出峰值电流			—	—	10	mA
$I_{OL(avg)}$	“L”电平输出平均电流			—	—	5	mA
$f_{(XIN)}$	XIN 时钟输入振荡频率		$3.0V \leq V_{CC} \leq 5.5V$ (K 版除外)	0	—	20	MHz
			$3.0V \leq V_{CC} \leq 5.5V$ (K 版)	0	—	16	MHz
			$2.7V \leq V_{CC} < 3.0V$	0	—	10	MHz
—	系统时钟	OCD2=“0” 选择 XIN 时钟时	$3.0V \leq V_{CC} \leq 5.5V$ (K 版除外)	0	—	20	MHz
			$3.0V \leq V_{CC} \leq 5.5V$ (K 版)	0	—	16	MHz
			$2.7V \leq V_{CC} < 3.0V$	0	—	10	MHz
		OCD2=“1” 选择内部振荡器时钟时	FRA01=“0” 选择低速内部振荡器时	—	125	—	kHz
			FRA01=“1” 选择高速内部振荡器时 $3.0V \leq V_{CC} \leq 5.5V$ (K 版除外)	—	—	20	MHz
			FRA01=“1” 选择高速内部振荡器时 $2.7V \leq V_{CC} \leq 5.5V$	—	—	10	MHz

注 1. 在没有指定条件时, $V_{CC}=2.7V \sim 5.5V$ 、 $T_{opr}=-40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

注 2. 输出平均电流是指 100ms 期间的平均值。

表 21.36 A/D 转换器特性

符号	项目		测定条件	规格值			单位
				最小	典型	最大	
—	分辨率		$V_{ref}=AV_{CC}$	—	—	10	Bit
—	绝对精度	10 位模式	$\phi AD=10MHz$ 、 $V_{ref}=AV_{CC}=5.0V$	—	—	± 3	LSB
		8 位模式	$\phi AD=10MHz$ 、 $V_{ref}=AV_{CC}=5.0V$	—	—	± 2	LSB
		10 位模式	$\phi AD=10MHz$ 、 $V_{ref}=AV_{CC}=3.3V$	—	—	± 5	LSB
		8 位模式	$\phi AD=10MHz$ 、 $V_{ref}=AV_{CC}=3.3V$	—	—	± 2	LSB
R_{ladder}	梯形电阻		$V_{ref}=AV_{CC}$	10	—	40	k Ω
t_{conv}	转换时间	10 位模式	$\phi AD=10MHz$ 、 $V_{ref}=AV_{CC}=5.0V$	3.3	—	—	μs
		8 位模式	$\phi AD=10MHz$ 、 $V_{ref}=AV_{CC}=5.0V$	2.8	—	—	μs
V_{ref}	基准电压			2.7	—	AV_{CC}	V
V_{IA}	模拟输入电压 (注 2)			0	—	AV_{CC}	V
—	A/D 运行时钟 频率	无采样 & 保持		0.25	—	10	MHz
		有采样 & 保持		1	—	10	MHz

注 1. 在没有指定条件时, $AV_{CC}=2.7V \sim 5.5V$ 、 $Topr=-40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

注 2. 如果模拟输入电压超过基准电压, A/D 转换结果就在 10 位模式时为 3FFh, 在 8 位模式时为 FFh。

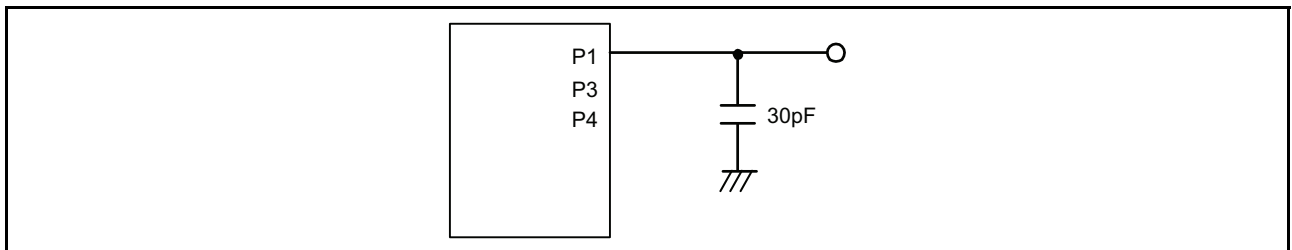


图 21.20 端口 P1、P3、P4 的时序测定电路

表 21.37 闪存（程序 ROM）的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
—	编程 / 擦除次数（注 2）	R8C/28 群	100（注 3）	—	—	次
		R8C/29 群	1,000 （注 3）	—	—	次
—	字节编程时间		—	50	400	μs
—	块擦除时间		—	0.4	9	s
t _{d(SR-SUS)}	挂起的转移时间		—	—	97+CPU 时钟 ×6 个周期	μs
—	从开始或者重新开始擦除到下一次挂起请求的间隔		650	—	—	μs
—	从开始或者重新开始编程到下一次挂起请求的间隔		0	—	—	ns
—	从挂起到重新开始编程 / 擦除的时间		—	—	3+CPU 时钟 ×4 个周期	μs
—	编程、擦除电压		2.7	—	5.5	V
—	读电压		2.7	—	5.5	V
—	编程、擦除时的温度		0	—	60	°C
—	数据保持时间（注 7）	环境温度 =55°C	20	—	—	年

注 1. 在没有指定条件时，V_{CC}=2.7V ~ 5.5V、Topr=0°C ~ 60°C。

注 2. 编程 / 擦除次数的定义

编程 / 擦除次数是指每个块的擦除次数。

在编程 / 擦除次数为 n 次（n=100、1,000 次）的情况下，能逐块分别擦除 n 次。

例如，对于 1K 字节的块 A，如果分 1,024 次将 1 字节写到各自不同的地址后擦除该块，编程 / 擦除次数就增加 1 次。

但是，对于 1 次擦除，不能对相同地址进行多次编程（禁止重写）。

注 3. 是保证编程 / 擦除后的全部电特性的次数（保证范围为 1 ~ “最小”值）。

注 4. 在进行多次改写的系统中，作为减少实际改写次数的方法，按顺序移动编程地址等，尽量不留空区，在编程（写）后进行 1 次擦除。例如，在对一组 16 字节进行编程时，通过最多 128 组的编程后进行 1 次擦除，就能减少实际的改写次数。建议按块保存擦除次数等信息，并设定限制次数。

注 5. 如果在块擦除中发生擦除错误，就必须至少执行 3 次清除状态寄存器命令 → 块擦除命令，直到不发生擦除错误为止。

注 6. 有关不良率，请向瑞萨科技的有关公司及特约经销商询问。

注 7. 包括不外加电源电压或时钟的时间。

表 21.38 闪存（数据闪存 块 A、块 B）的电特性（注 4）

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
—	编程 / 擦除次数（注 2）		10,000 （注 3）	—	—	次
—	字节编程时间 （编程 / 擦除次数 ≤ 1,000 次）		—	50	400	μs
—	字节编程时间 （编程 / 擦除次数 > 1,000 次）		—	65	—	μs
—	块擦除时间 （编程 / 擦除次数 ≤ 1,000 次）		—	0.2	9	s
—	块擦除时间 （编程 / 擦除次数 > 1,000 次）		—	0.3	—	s
t _{d(SR-SUS)}	挂起的转移时间		—	—	97+CPU 时钟 ×6 个周期	μs
—	从开始或者重新开始擦除到下一次挂起请求的间隔		650	—	—	μs
—	从开始或者重新开始编程到下一次挂起请求的间隔		0	—	—	ns
—	从挂起到重新开始编程 / 擦除的时间		—	—	3+CPU 时钟 ×4 个周期	μs
—	编程、擦除电压		2.7	—	5.5	V
—	读电压		2.7	—	5.5	V
—	编程、擦除时的温度		-40	—	85（注 8）	°C
—	数据保持时间（注 9）	环境温度 =55°C	20	—	—	年

注 1. 在没有指定条件时，V_{CC}=2.7V ~ 5.5V、T_{opr}=-40°C ~ 85°C（J 版） / -40°C ~ 125°C（K 版）。

注 2. 编程 / 擦除次数的定义

编程 / 擦除次数是指每个块的擦除次数。

在编程 / 擦除次数为 n 次（n=10,000 次）的情况下，能逐块分别擦除 n 次。

例如，对于 1K 字节的块 A，如果分 1,024 次将 1 字节写到各自不同的地址后擦除该块，编程 / 擦除次数就增加 1 次。

但是，对于 1 次擦除，不能对相同地址进行多次编程（禁止重写）。

注 3. 是保证编程 / 擦除后的全部电特性的次数（保证范围为 1 ~ “最小”值）。

注 4. 它是编程 / 擦除次数超过 1,000 次时的块 A、块 B 的规格。1,000 次为止的字节编程时间和程序 ROM 相同。

注 5. 在进行多次改写的系统中，作为减少实际改写次数的方法，按顺序移动编程地址等，尽量不留空区，在编程（写）后进行 1 次擦除。例如，在对一组 16 字节进行编程时，通过最多 128 组的编程后进行 1 次擦除，就能减少实际的改写次数。并且，如果让块 A 和块 B 的擦除次数相同，就能更加有效地减少改写次数。建议按块保存擦除次数等信息，并设定限制次数。

注 6. 如果在块擦除中发生擦除错误，就必须至少执行 3 次清除状态寄存器命令 → 块擦除命令，直到不发生擦除错误为止。

注 7. 有关不良率，请向瑞萨科技的有关公司及特约经销商询问。

注 8. K 版为 125°C。

注 9. 包括不外加电源电压或时钟的时间。

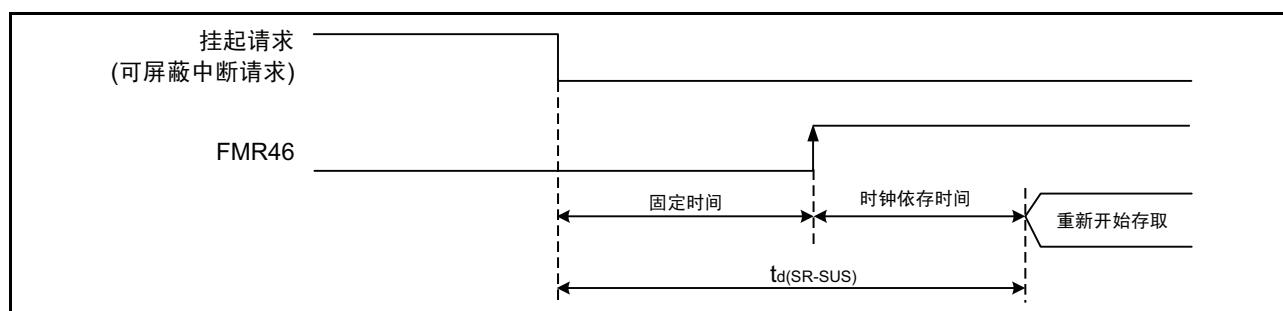


图 21.21 挂起的转移时间

表 21.39 电压检测 1 电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{det1}	电压检测电平 (注 2、4)		2.70	2.85	3.0	V
$t_d(V_{det1-A})$	电压监视 1 复位的产生时间 (注 5)		—	40	200	μs
—	电压检测电路的自消耗电流	VCA26=1、 $V_{CC}=5.0\text{V}$	—	0.6	—	μA
$t_d(E-A)$	到电压检测电路开始工作为止的等待时间 (注 3)		—	—	100	μs
V_{CCmin}	单片机的工作电压的最小值		2.70	—	—	V

注 1. 测定条件是 $V_{CC}=2.7\text{V} \sim 5.5\text{V}$ 、 $T_{opr}=-40^\circ\text{C} \sim 85^\circ\text{C}$ (J 版) / $-40^\circ\text{C} \sim 125^\circ\text{C}$ (K 版)。

注 2. 为 $V_{det2} > V_{det1}$ 。

注 3. 在将 VCA2 寄存器的 VCA26 位清“0”后再次置“1”时，到电压检测电路开始工作为止所需的时间。

注 4. 表示电源下降时的电压检测电平。电源上升时的电压检测电平比电源下降时的电压检测电平高 0.1V 左右。

注 5. 是在 V_{CC} 下降时，从通过 V_{det1} 时到产生电压监视 1 复位为止的时间。在使用数字滤波器时，还需要加上数字滤波器的采样时间。在使用电压监视 1 复位时，必须在从电源下降中通过 V_{det1} 时到 $V_{CC}=2.0\text{V}$ 的期间确保此时间。

表 21.40 电压检测 2 电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{det2}	电压检测电平 (注 2)		3.3	3.6	3.9	V
$t_d(V_{det2-A})$	电压监视 2 复位 / 中断请求的产生时间 (注 3、5)		—	40	200	μs
—	电压检测电路的自消耗电流	VCA27=1、 $V_{CC}=5.0\text{V}$	—	0.6	—	μA
$t_d(E-A)$	到电压检测电路开始工作为止的等待时间 (注 4)		—	—	100	μs

注 1. 测定条件是 $V_{CC}=2.7\text{V} \sim 5.5\text{V}$ 、 $T_{opr}=-40^\circ\text{C} \sim 85^\circ\text{C}$ (J 版) / $-40^\circ\text{C} \sim 125^\circ\text{C}$ (K 版)。

注 2. 为 $V_{det2} > V_{det1}$ 。

注 3. 从通过 V_{det2} 时到产生电压监视 2 复位或者中断请求的时间。

注 4. 在将 VCA2 寄存器的 VCA27 位清“0”后再次置“1”时，到电压检测电路开始工作为止所需的时间。

注 5. 在使用数字滤波器时，还需要加上数字滤波器的采样时间。在使用电压监视 1 复位时，必须在从电源下降中通过 V_{det2} 时到 $V_{CC}=2.0\text{V}$ 的期间确保此时间。

表 21.41 上电复位电路、电压监视 1 复位的电特性（注 3）

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{por1}	上电复位的有效电压（注 4）		—	—	0.1	V
V_{por2}	上电复位或者电压监视 1 复位的有效电压		0	—	V_{det1}	V
t_{rth}	外部电源 V_{CC} 上升斜率	$V_{CC} \leq 3.6V$	20（注 2）	—	—	mV/msec
		$V_{CC} > 3.6V$	20（注 2）	—	2000	mV/msec

注 1. 在没有指定条件时， $Topr = -40^{\circ}C \sim 85^{\circ}C$ （J 版） $/ -40^{\circ}C \sim 125^{\circ}C$ （K 版）。

注 2. 如果 $V_{por2} \geq 1.0V$ ，就不需要此条件（外部电源 V_{CC} 上升斜率的最小规格值）。

注 3. 在使用上电复位时，必须将 OFS 寄存器的 LVD1ON 位清“0”、VW1C 寄存器的 VW1C0 位和 VM1C6 位置“1”、VCA2 寄存器的 VCA26 位置“1”，使电压监视 1 复位有效。

注 4. $t_{w(por1)}$ 是让外部电源 V_{CC} 电压不超过有效电压 (V_{por1}) 并且使上电复位有效所需的时间。电源最初上升时，在 $-20^{\circ}C \leq Topr \leq 125^{\circ}C$ 环境下，必须将 $t_{w(por1)}$ 至少保持 30s，在 $-40^{\circ}C \leq Topr < -20^{\circ}C$ 环境下，必须将 $t_{w(por1)}$ 至少保持 3000s。

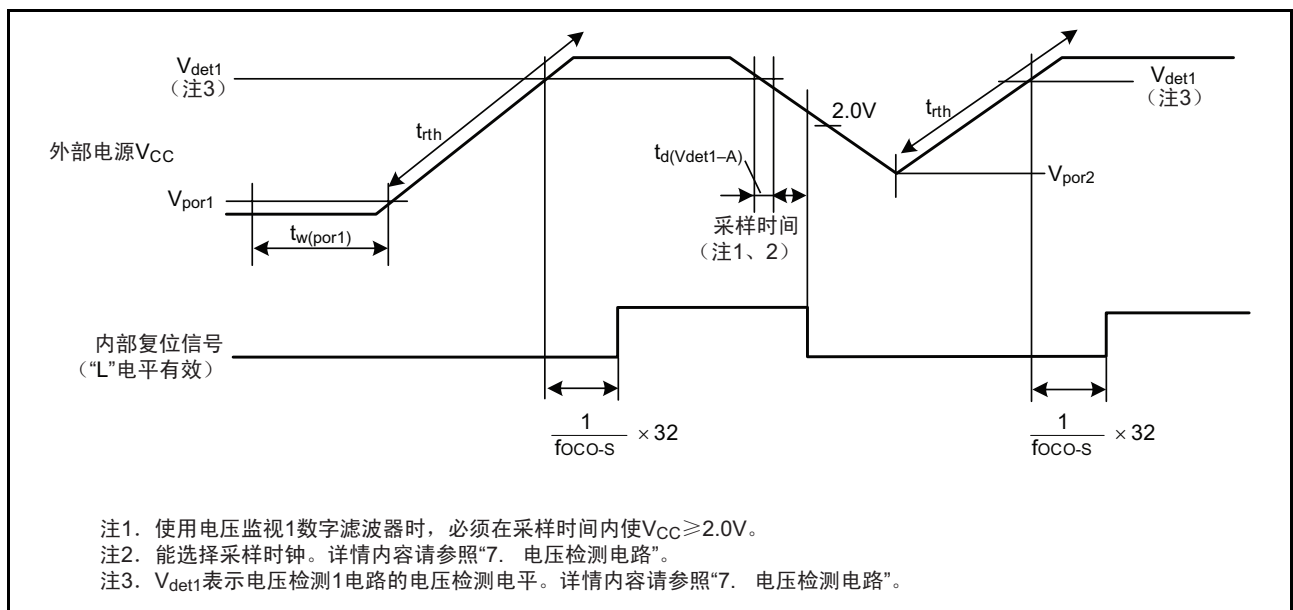


图 21.22 上电复位电路的电特性

表 21.42 高速内部振荡器振荡电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
fOCO40M	高速内部振荡器振荡频率的温度、电压依赖性	$V_{CC}=4.75V \sim 5.25V$ $0^{\circ}C \leq Topr \leq 60^{\circ}C$ (注 2)	39.2	40	40.8	MHz
		$V_{CC}=3.0V \sim 5.5V$ $-20^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 2)	38.8	40	41.2	MHz
		$V_{CC}=3.0V \sim 5.5V$ $-40^{\circ}C \leq Topr \leq 85^{\circ}C$ (注 2)	38.4	40	41.6	MHz
		$V_{CC}=3.0V \sim 5.5V$ $-20^{\circ}C \leq Topr \leq 125^{\circ}C$ (注 2)	38	40	42	MHz
		$V_{CC}=2.7V \sim 5.5V$ $-40^{\circ}C \leq Topr \leq 125^{\circ}C$ (注 2)	37.6	40	42.4	MHz
—	复位解除时的 FRA1 寄存器的值		08h	—	F7h	—
—	高速内部振荡器振荡频率的调整单位	把 FRA1 寄存器 (复位解除时的值) 调整为 -1 位	—	+0.3	—	MHz
—	振荡稳定时间		—	10	100	μs
—	振荡时的自消耗电流	$V_{CC}=5.0V$ 、 $Topr=25^{\circ}C$	—	400	—	μA

注 1. 在没有指定条件时, $V_{CC}=2.7V \sim 5.5V$ 、 $Topr=-40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

注 2. 是 FRA1 寄存器在复位解除时的规格值。

表 21.43 低速内部振荡器振荡电路的电特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
fOCO-S	低速内部振荡器的振荡频率		40	125	250	kHz
—	振荡稳定时间		—	10	100	μs
—	振荡时的自消耗电流	$V_{CC}=5.0V$ 、 $Topr=25^{\circ}C$	—	15	—	μA

注 1. 在没有指定条件时, $V_{CC}=2.7V \sim 5.5V$ 、 $Topr=-40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版)。

表 21.44 电源电路的时序特性

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
$t_{d(P-R)}$	接通电源时内部电源的稳定时间 (注 2)		1	—	2000	μs
$t_{d(R-S)}$	STOP 解除时间 (注 3)		—	—	150	μs

注 1. 测定条件是 $V_{CC}=2.7V \sim 5.5V$ 、 $Topr=25^{\circ}C$ 。

注 2. 在接通电源时, 到内部电源产生电路稳定为止的等待时间。

注 3. 是从接受解除停止模式的中断到开始供给系统时钟的时间。

表 21.45 带片选的时钟同步串行 I/O 的时序必要条件（注 1）

符号	项目		测定条件	规格值			单位
				最小	典型	最大	
t_{SUCYC}	SSCK 时钟的周期时间			4	—	—	t_{CYC} (注 2)
t_{HI}	SSCK 时钟的“H”电平脉宽			0.4	—	0.6	t_{SUCYC}
t_{LO}	SSCK 时钟的“L”电平脉宽			0.4	—	0.6	t_{SUCYC}
t_{RISE}	SSCK 时钟的上升时间	主		—	—	1	t_{CYC} (注 2)
		从属		—	—	1	μs
t_{FALL}	SSCK 时钟的下降时间	主		—	—	1	t_{CYC} (注 2)
		从属		—	—	1	μs
t_{SU}	SSO、SSI 数据输入的准备时间			100	—	—	ns
t_H	SSO、SSI 数据输入的保持时间			1	—	—	t_{CYC} (注 2)
t_{LEAD}	\overline{SCS} 准备时间	从属		$1t_{CYC}+50$	—	—	ns
t_{LAG}	\overline{SCS} 保持时间	从属		$1t_{CYC}+50$	—	—	ns
t_{OD}	SSO、SSI 数据输出的延迟时间			—	—	1	t_{CYC} (注 2)
t_{SA}	SSI 从属器件的存取时间			—	—	$1.5t_{CYC}+100$	ns
t_{OR}	SSI 从属器件的释放时间			—	—	$1.5t_{CYC}+100$	ns

注 1. 在没有指定条件时， $V_{CC}=2.7V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $Topr=-40^{\circ}C \sim 85^{\circ}C$ （J 版） $/-40^{\circ}C \sim 125^{\circ}C$ （K 版）。

注 2. $1t_{CYC}=1/f1(s)$

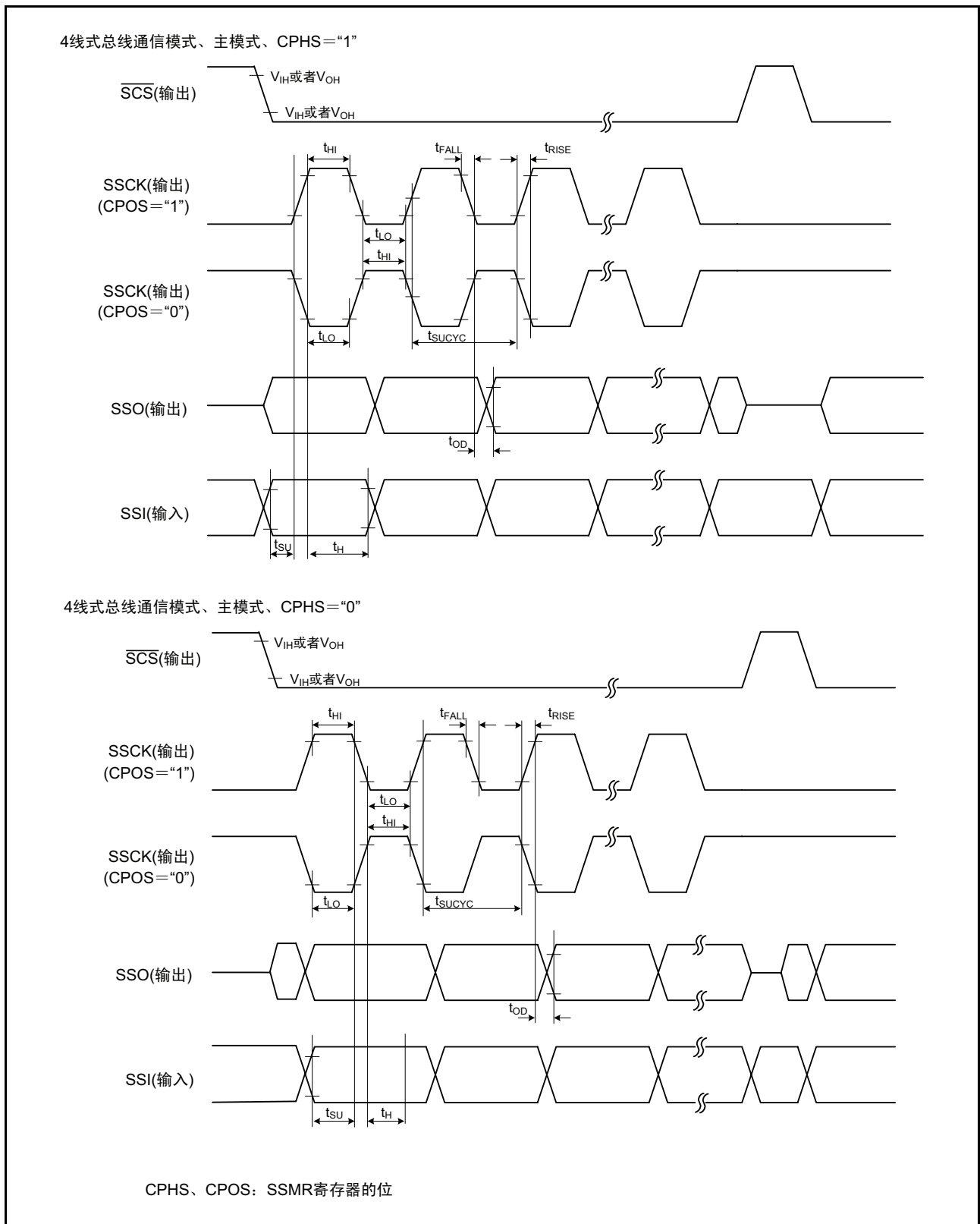


图 21.23 带片选的时钟同步串行 I/O 的输入 / 输出时序 (主模式)

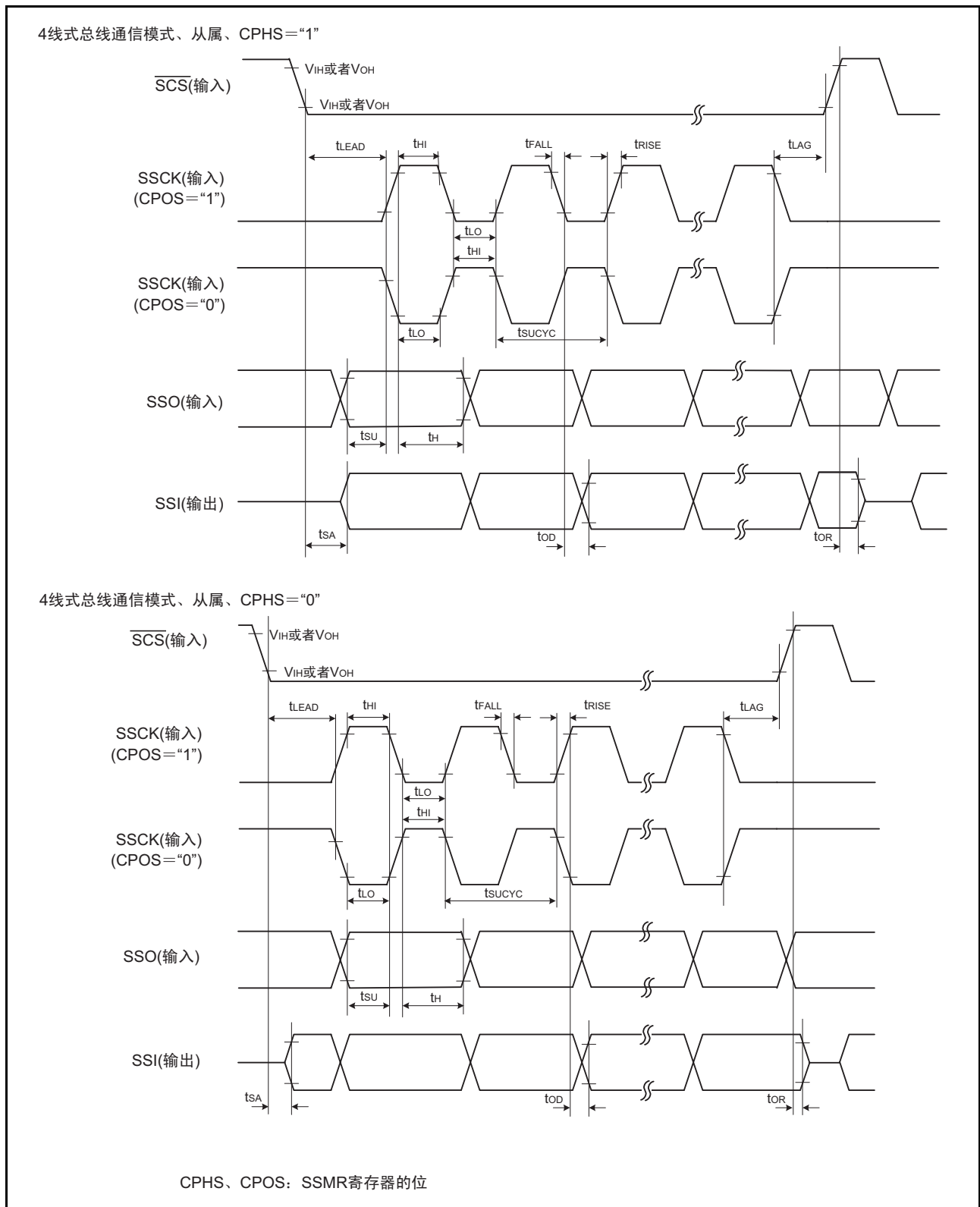


图 21.24 带片选的时钟同步串行 I/O 的输入 / 输出时序 (从属模式)

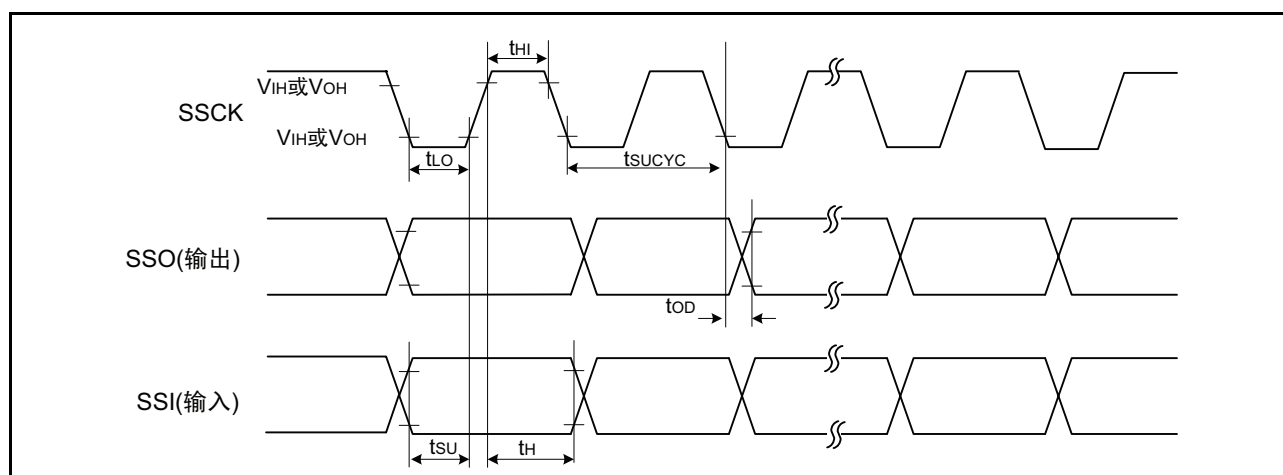


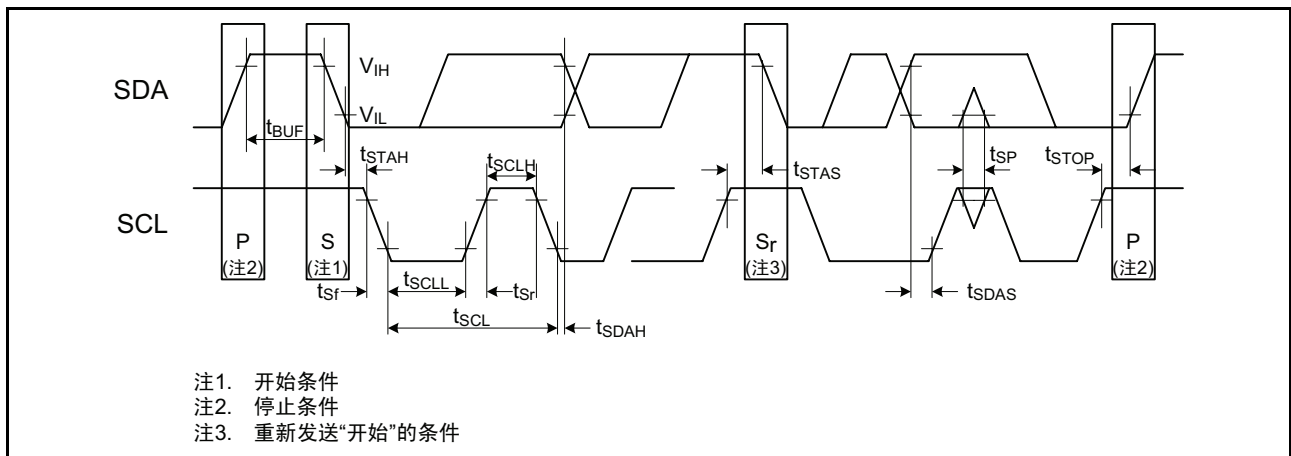
图 21.25 带片选的时钟同步串行 I/O 的输入 / 输出时序（时钟同步通信模式）

表 21.46 I²C 总线接口的时序必要条件（注 1）

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
t _{SCL}	SCL 输入的周期时间		12t _{CYC} +600（注 2）	—	—	ns
t _{SCLH}	SCL 输入“H”电平的脉宽		3t _{CYC} +300（注 2）	—	—	ns
t _{SCLL}	SCL 输入“L”电平的脉宽		5t _{CYC} +500（注 2）	—	—	ns
t _{sf}	SCL、SDA 输入的下降时间		—	—	300	ns
t _{SP}	SCL、SDA 输入尖峰脉冲的消除时间		—	—	1t _{CYC} （注 2）	ns
t _{BUF}	SDA 输入的总线自由时间		5t _{CYC} （注 2）	—	—	ns
t _{STAH}	开始条件输入的保持时间		3t _{CYC} （注 2）	—	—	ns
t _{STAS}	重新发送开始条件输入的准备时间		3t _{CYC} （注 2）	—	—	ns
t _{STOP}	停止条件输入的准备时间		3t _{CYC} （注 2）	—	—	ns
t _{SDAS}	数据输入的准备时间		1t _{CYC} +20（注 2）	—	—	ns
t _{SDAH}	数据输入的保持时间		0	—	—	ns

注 1. 在没有指定条件时，V_{CC}=2.7V ~ 5.5V、V_{SS}=0V、Topr= -40°C ~ 85°C（J 版） / -40°C ~ 125°C（K 版）。

注 2. 1t_{CYC}=1/f1(s)

图 21.26 I²C 总线接口的输入 / 输出时序表 21.47 电特性 (1) [$V_{CC}=5V$]

符号	项目		测定条件	规格值			单位
				最小	典型	最大	
V_{OH}	“H”电平输出 电压	XOUT 以外	$I_{OH}=-5mA$	$V_{CC}-2.0$	—	V_{CC}	V
			$I_{OH}=-200\mu A$	$V_{CC}-0.3$	—	V_{CC}	V
		XOUT	驱动能力 HIGH $I_{OH}=-1mA$	$V_{CC}-2.0$	—	V_{CC}	V
			驱动能力 LOW $I_{OH}=-500\mu A$	$V_{CC}-2.0$	—	V_{CC}	V
V_{OL}	“L”电平输出 电压	XOUT 以外	$I_{OL}=5mA$	—	—	2.0	V
			$I_{OL}=200\mu A$	—	—	0.45	V
		XOUT	驱动能力 HIGH $I_{OL}=1mA$	—	—	2.0	V
			驱动能力 LOW $I_{OL}=500\mu A$	—	—	2.0	V
V_T+ - V_T-	滞后	$\overline{INT0}$ 、 $\overline{INT1}$ 、 $\overline{INT3}$ 、 $\overline{K10}$ 、 $\overline{K11}$ 、 $\overline{K12}$ 、 $\overline{K13}$ 、 TRAI0、RXD0、 RXD1、CLK0、 SSI、SCL、 SDA、SSO		0.1	0.5	—	V
		\overline{RESET}		0.1	1.0	—	V
I_{IH}	“H”电平输入 电流		$V_I=5V$ 、 $V_{CC}=5V$	—	—	5.0	μA
I_{IL}	“L”电平输入 电流		$V_I=0V$ 、 $V_{CC}=5V$	—	—	-5.0	μA
R_{PULLUP}	上拉电阻		$V_I=0V$ 、 $V_{CC}=5V$	30	50	167	$k\Omega$
R_{FXIN}	反馈电阻	XIN		—	1.0	—	$M\Omega$
V_{RAM}	RAM 保持电压		停止模式时	2.0	—	—	V

注 1. 在没有指定条件时, $V_{CC}=4.2V \sim 5.5V$ 、 $Topr=-40^\circ C \sim 85^\circ C$ (J 版) / $-40^\circ C \sim 125^\circ C$ (K 版)、 $f(XIN)=20MHz$ 。

表 21.48 电特性 (2) [$V_{CC}=5V$](在没有指定条件时, $Topr=-40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版))

符号	项目	测定条件	规格值			单位	
			最小	典型	最大		
I_{CC}	电源电流 ($V_{CC}=3.3V \sim 5.5V$) 在单芯片模式, 输出引脚为开路, 其它引脚为 V_{SS} 。	高速时钟模式	XIN=20MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	10	17	mA
			XIN=16MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	9	15	mA
			XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	6	—	mA
			XIN=20MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	5	—	mA
			XIN=16MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	4	—	mA
			XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	2.5	—	mA
		高速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡 $f_{OCO}=20MHz$ (J 版) 低速内部振荡器的振荡 =125kHz 无分频	—	10	15	mA
			XIN 时钟停止 高速内部振荡器的振荡 $f_{OCO}=20MHz$ 低速内部振荡器的振荡 =125kHz 8 分频	—	4	—	mA
			XIN 时钟停止 高速内部振荡器的振荡 $f_{OCO}=10MHz$ 低速内部振荡器的振荡 =125kHz 无分频	—	5.5	10	mA
			XIN 时钟停止 高速内部振荡器的振荡 $f_{OCO}=10MHz$ 低速内部振荡器的振荡 =125kHz 8 分频	—	2.5	—	mA
		低速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频 FMR47=“1”	—	130	300	μA
		等待模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟运行 VCA27=VCA26=VCA25=“0” VCA20=“1”	—	25	75	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟停止 VCA27=VCA26=VCA25=“0” VCA20=“1”	—	23	60	μA
		停止模式	XIN 时钟停止、 $Topr=25^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10=“1” 外围时钟停止 VCA27=VCA26=VCA25=“0”	—	0.8	3.0	μA
			XIN 时钟停止、 $Topr=85^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10=“1” 外围时钟停止 VCA27=VCA26=VCA25=“0”	—	1.2	—	μA
			XIN 时钟停止、 $Topr=125^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10=“1” 外围时钟停止 VCA27=VCA26=VCA25=“0”	—	4.0	—	μA

时序必要条件（没有指定条件时， $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25^{\circ}C$ ） [$V_{CC}=5V$]

表 21.49 XIN 输入

符号	项目	规格值		单位
		最小	最大	
$t_{C(XIN)}$	XIN 输入的周期时间	50	—	ns
$t_{WH(XIN)}$	XIN 输入“H”电平的脉宽	25	—	ns
$t_{WL(XIN)}$	XIN 输入“L”电平的脉宽	25	—	ns

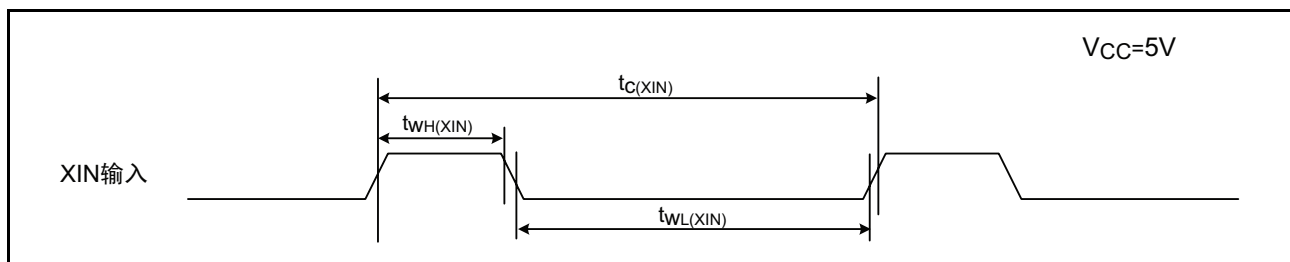


图 21.27 $V_{CC}=5V$ 时的 XIN 输入时序

表 21.50 TRAIO 输入

符号	项目	规格值		单位
		最小	最大	
$t_{C(TRAIO)}$	TRAIO 输入的周期时间	100	—	ns
$t_{WH(TRAIO)}$	TRAIO 输入“H”电平的脉宽	40	—	ns
$t_{WL(TRAIO)}$	TRAIO 输入“L”电平的脉宽	40	—	ns

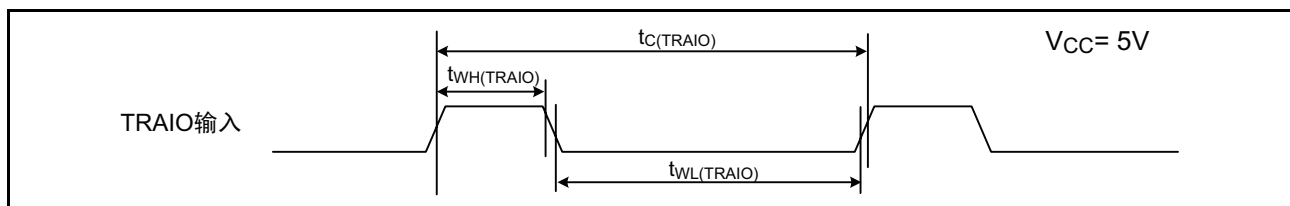


图 21.28 $V_{CC}=5V$ 时的 TRAIO 输入时序

表 21.51 串行接口

符号	项目	规格值		单位
		最小	最大	
$t_{c(CK)}$	CLK0 输入的周期时间	200	—	ns
$t_{W(CKH)}$	CLK0 输入 “H” 电平的脉宽	100	—	ns
$t_{W(CKL)}$	CLK0 输入 “L” 电平的脉宽	100	—	ns
$t_{d(C-Q)}$	TXDi 输出的延迟时间	—	50	ns
$t_{h(C-Q)}$	TXDi 保持时间	0	—	ns
$t_{su(D-C)}$	RXDi 输入的准备时间	50	—	ns
$t_{h(C-D)}$	RXDi 输入的保持时间	90	—	ns

$i=0 \sim 1$

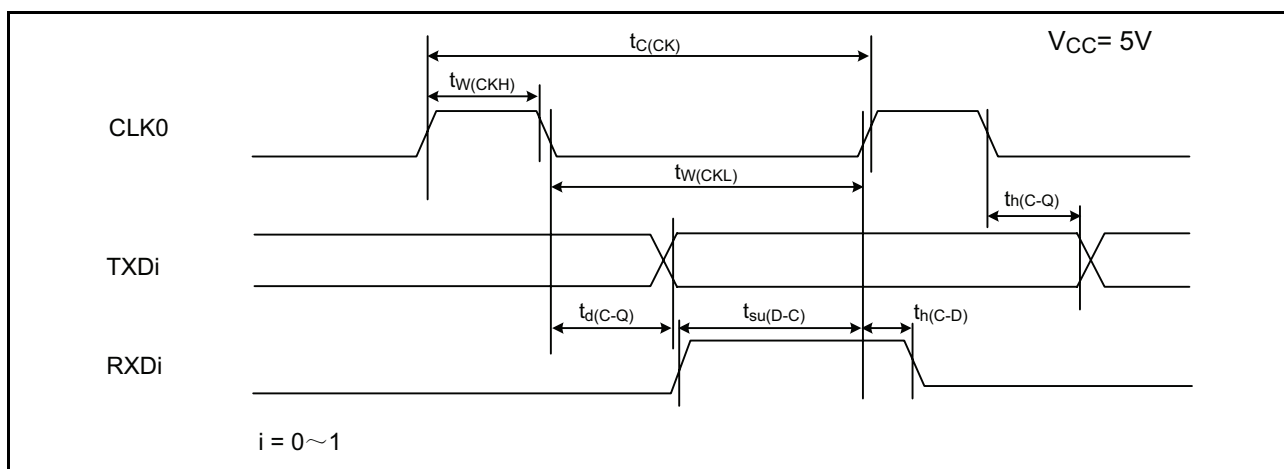


图 21.29 $V_{CC}=5V$ 时的串行接口时序

表 21.52 外部中断 \overline{INTi} 输入 ($i=0, 1, 3$)

符号	项目	规格值		单位
		最小	最大	
$t_{W(INH)}$	\overline{INTi} 输入 “H” 电平的脉宽	250 (注 1)	—	ns
$t_{W(INL)}$	\overline{INTi} 输入 “L” 电平的脉宽	250 (注 2)	—	ns

- 注 1. 如果通过 \overline{INTi} 输入滤波器的选择位选择有滤波器， \overline{INTi} 输入 “H” 电平脉宽的最小值就为 “1/ 数字滤波器采样频率 $\times 3$ ” 和最小值中大的值。
- 注 2. 如果通过 \overline{INTi} 输入滤波器的选择位选择有滤波器， \overline{INTi} 输入 “L” 电平脉宽的最小值就为 “1/ 数字滤波器采样频率 $\times 3$ ” 和最小值中大的值。

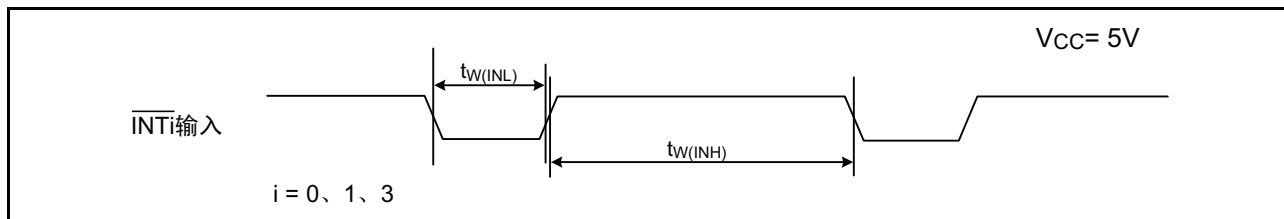


图 21.30 $V_{CC}=5V$ 时的外部中断 \overline{INTi} 输入时序

表 21.53 电特性 (3) [$V_{CC}=3V$]

符号	项目		测定条件		规格值			单位
					最小	典型	最大	
V_{OH}	“H”电平输出电压	XOUT 以外	$I_{OH}=-1mA$		$V_{CC}-0.5$	—	V_{CC}	V
		XOUT	驱动能力 HIGH	$I_{OH}=-0.1mA$	$V_{CC}-0.5$	—	V_{CC}	V
			驱动能力 LOW	$I_{OH}=-50\mu A$	$V_{CC}-0.5$	—	V_{CC}	V
V_{OL}	“L”电平输出电压	XOUT 以外	$I_{OL}=1mA$		—	—	0.5	V
		XOUT	驱动能力 HIGH	$I_{OL}=0.1mA$	—	—	0.5	V
			驱动能力 LOW	$I_{OL}=50\mu A$	—	—	0.5	V
$V_{T+}-V_{T-}$	滞后	$\overline{INT0}$ 、 $\overline{INT1}$ 、 $\overline{INT3}$ 、 $\overline{KI0}$ 、 $\overline{KI1}$ 、 $\overline{KI2}$ 、 $\overline{KI3}$ 、TRAIO、 RXD0、RXD1、 CLK0、SSI、SCL、 SDA、SSO			0.1	0.3	—	V
		\overline{RESET}			0.1	0.4	—	V
I_{IH}	“H”输入电流		$V_I=3V$ 、 $V_{CC}=3V$		—	—	4.0	μA
I_{IL}	“L”输入电流		$V_I=0V$ 、 $V_{CC}=3V$		—	—	-4.0	μA
R_{PULLUP}	上拉电阻		$V_I=0V$ 、 $V_{CC}=3V$		66	160	500	k Ω
R_{fXIN}	反馈电阻	XIN			—	3.0	—	M Ω
V_{RAM}	RAM 保持电压		停止模式时		2.0	—	—	V

注 1. 在没有指定条件时, $V_{CC}=2.7V \sim 3.3V$ 、 $Topr=-40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版)、 $f(XIN)=10MHz$ 。

表 21.54 电特性 (4) [$V_{CC}=3V$](在没有指定条件时, $Topr=-40^{\circ}C \sim 85^{\circ}C$ (J 版) / $-40^{\circ}C \sim 125^{\circ}C$ (K 版))

符号	项目	测定条件		规格值			单位
				最小	典型	最大	
I_{CC}	电源电流 ($V_{CC}=2.7V \sim 3.3V$) 在单芯片模式, 输出引脚为开路, 其它引脚为 V_{SS} 。	高速时钟模式	XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	6	—	mA
			XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	2	—	mA
		高速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡 fOCO=10MHz 低速内部振荡器的振荡 =125kHz 无分频	—	5	9	mA
			XIN 时钟停止 高速内部振荡器的振荡 fOCO=10MHz 低速内部振荡器的振荡 =125kHz 8 分频	—	2	—	mA
		低速内部振荡器模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频、FMR47=“1”	—	130	300	μA
		等待模式	XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟运行 VCA27=VCA26=VCA25=“0” VCA20=“1”	—	25	70	μA
			XIN 时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟停止 VCA27=VCA26=VCA25=“0” VCA20=“1”	—	23	55	μA
		停止模式	XIN 时钟停止、 $Topr=25^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10=“1” 外围时钟停止 VCA27=VCA26=VCA25=“0”	—	0.7	3.0	μA
			XIN 时钟停止、 $Topr=85^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10=“1” 外围时钟停止 VCA27=VCA26=VCA25=“0”	—	1.1	—	μA
			XIN 时钟停止、 $Topr=125^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 CM10=“1” 外围时钟停止 VCA27=VCA26=VCA25=“0”	—	3.8	—	μA

时序必要条件（在没有指定条件时， $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25^{\circ}C$ ） [$V_{CC}=3V$]

表 21.55 XIN 输入

符号	项目	规格值		单位
		最小	最大	
$t_{C(XIN)}$	XIN 输入的周期时间	100	—	ns
$t_{WH(XIN)}$	XIN 输入“H”电平的脉宽	40	—	ns
$t_{WL(XIN)}$	XIN 输入“L”电平的脉宽	40	—	ns

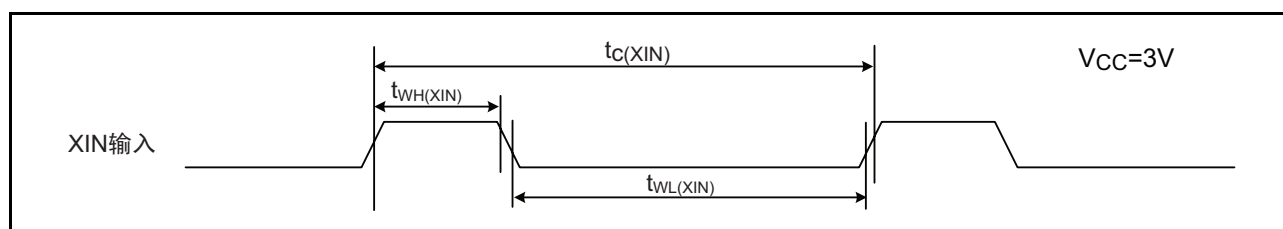


图 21.31 $V_{CC}=3V$ 时的 XIN 输入时序

表 21.56 TRAI0 输入

符号	项目	规格值		单位
		最小	最大	
$t_{C(TRAIO)}$	TRAIO 输入的周期时间	300	—	ns
$t_{WH(TRAIO)}$	TRAIO 输入“H”电平的脉宽	120	—	ns
$t_{WL(TRAIO)}$	TRAIO 输入“L”电平的脉宽	120	—	ns

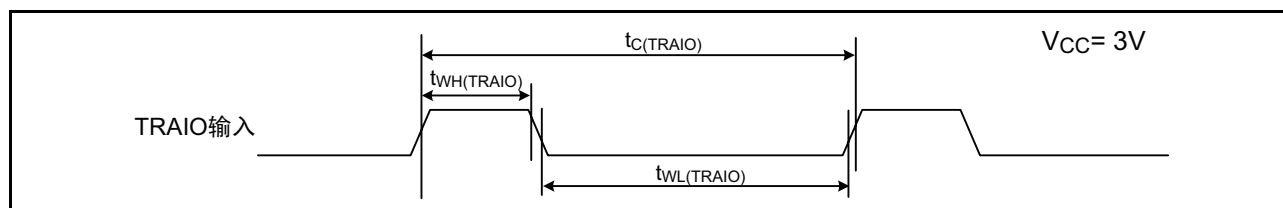
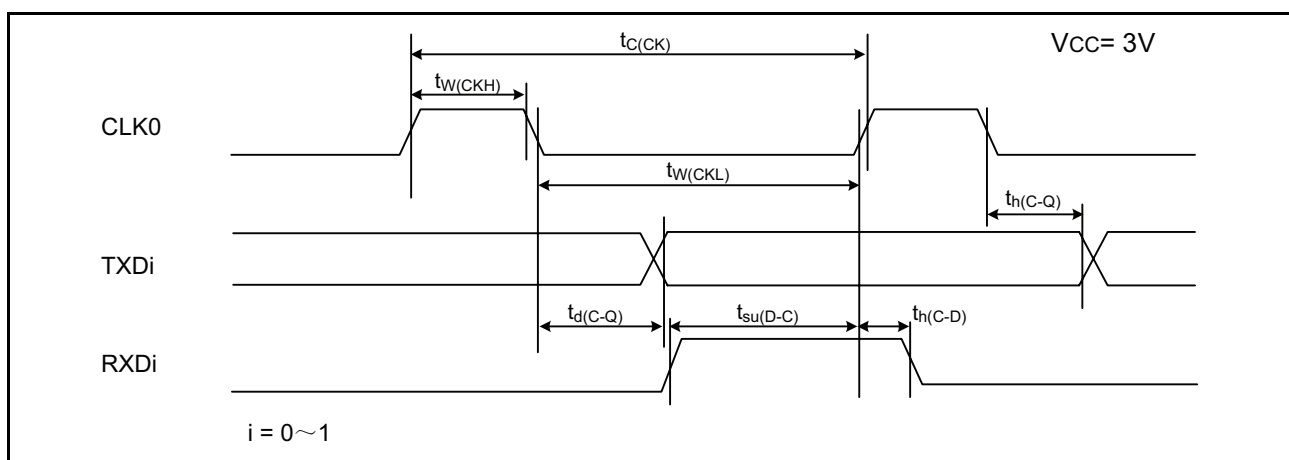


图 21.32 $V_{CC}=3V$ 时的 TRAI0 输入时序

表 21.57 串行接口

符号	项目	规格值		单位
		最小	最大	
$t_{c(CK)}$	CLK0 输入的周期时间	300	—	ns
$t_{W(CKH)}$	CLK0 输入“H”电平的脉宽	150	—	ns
$t_{W(CKL)}$	CLK0 输入“L”电平的脉宽	150	—	ns
$t_{d(C-Q)}$	TXDi 输出的延迟时间	—	80	ns
$t_{h(C-Q)}$	TXDi 保持时间	0	—	ns
$t_{su(D-C)}$	RXDi 输入的准备时间	70	—	ns
$t_{h(C-D)}$	RXDi 输入的保持时间	90	—	ns

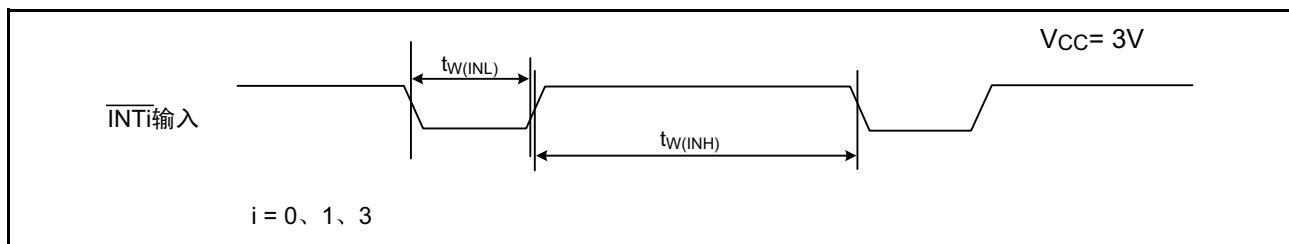
i=0 ~ 1

图 21.33 $V_{CC}=3V$ 时的串行接口时序表 21.58 外部中断 \overline{INTi} 输入 (i=0、1、3)

符号	项目	规格值		单位
		最小	最大	
$t_{W(INH)}$	\overline{INTi} 输入“H”电平的脉宽	380 (注 1)	—	ns
$t_{W(INL)}$	\overline{INTi} 输入“L”电平的脉宽	380 (注 2)	—	ns

注 1. 如果通过 \overline{INTi} 输入滤波器的选择位选择有滤波器， \overline{INTi} 输入“H”电平脉宽的最小值就为“1/数字滤波器采样频率 $\times 3$ ”和最小值中大的值。

注 2. 如果通过 \overline{INTi} 输入滤波器的选择位选择有滤波器， \overline{INTi} 输入“L”电平脉宽的最小值就为“1/数字滤波器采样频率 $\times 3$ ”和最小值中大的值。

图 21.34 $V_{CC}=3V$ 时的外部中断 \overline{INTi} 的输入时序

22. On-chip 调试器的注意事项

在使用 on-chip 调试器进行 R8C/28、R8C/29 群的程序开发和调试时，必须注意以下限制事项：

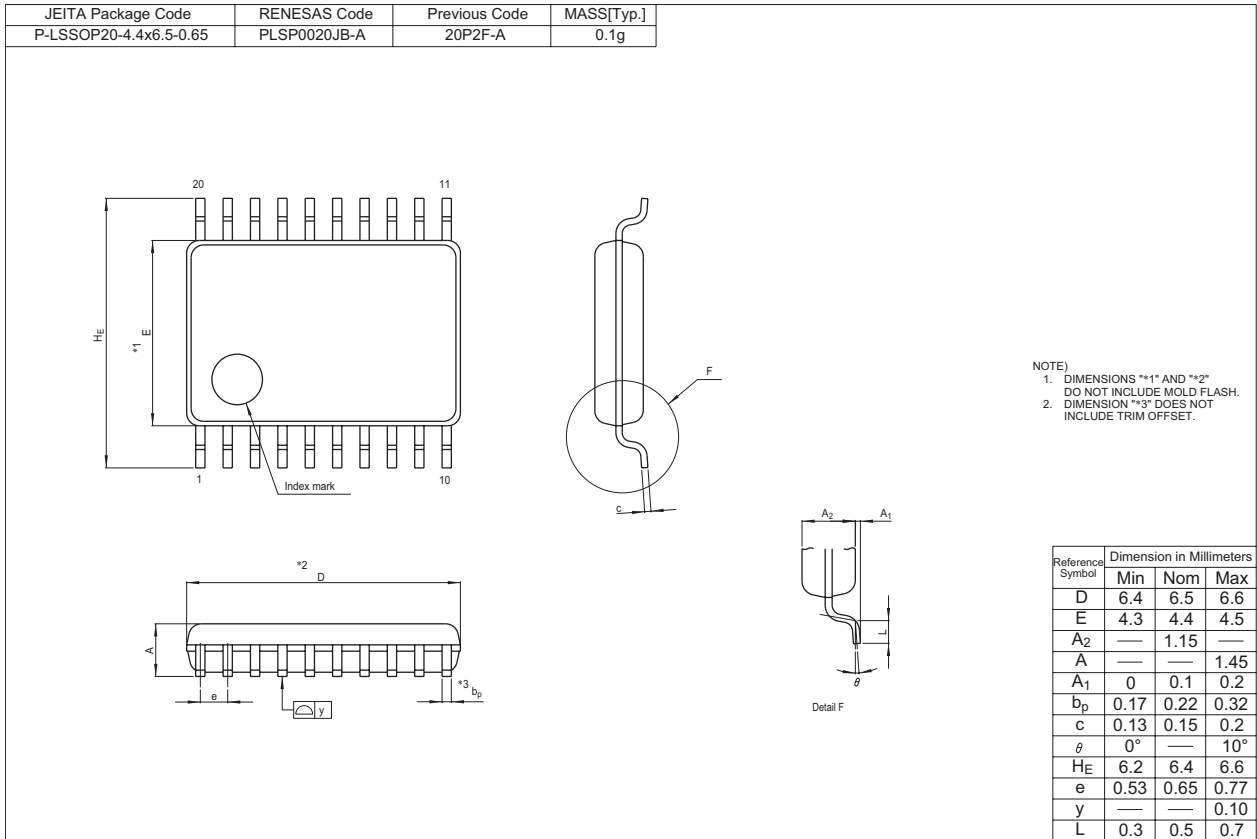
- (1) 不能存取 UART1 相关的寄存器。
- (2) 因为 on-chip 调试器使用部分用户闪存区和 RAM 区，所以用户不能使用该区域。有关使用的区域，请参照各 on-chip 调试器手册。
- (3) 不能在用户系统使用地址匹配中断（AIER、RMAD0、RMAD1 寄存器和固定向量表）。
- (4) 不能在用户系统使用 BRK 指令。
- (5) 能在电源电压 VCC=2.7 ~ 5.5V 的条件下进行调试。在低于 2.7V 时不能用 on-chip 调试器进行调试。

On-chip 调试器的连接和使用方法有特殊的限制事项。关于 on-chip 调试器的详细内容，请参照各 on-chip 调试器手册。

附录

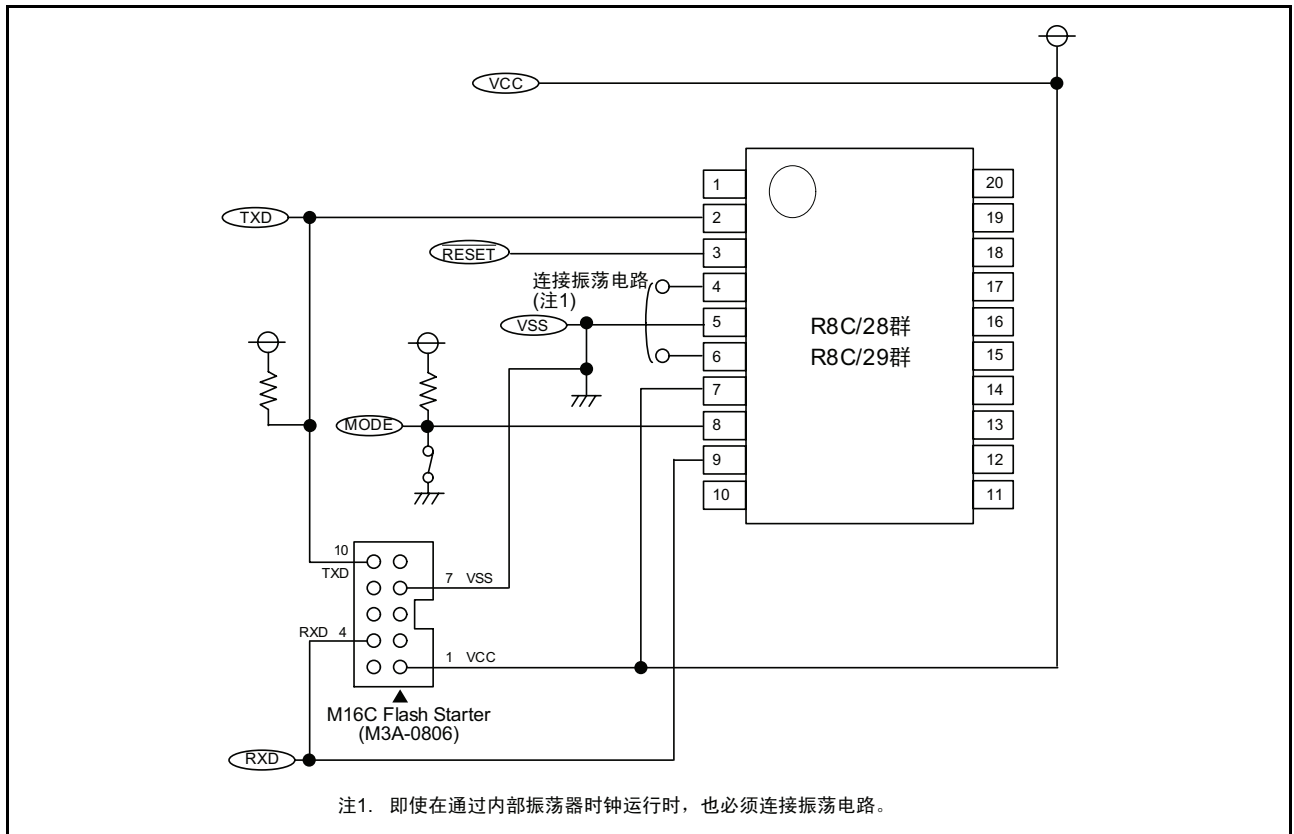
附录 1. 封装尺寸图

有关封装尺寸图的最新版本和安装的信息，刊登在瑞萨科技的主页的“封装”栏目中。

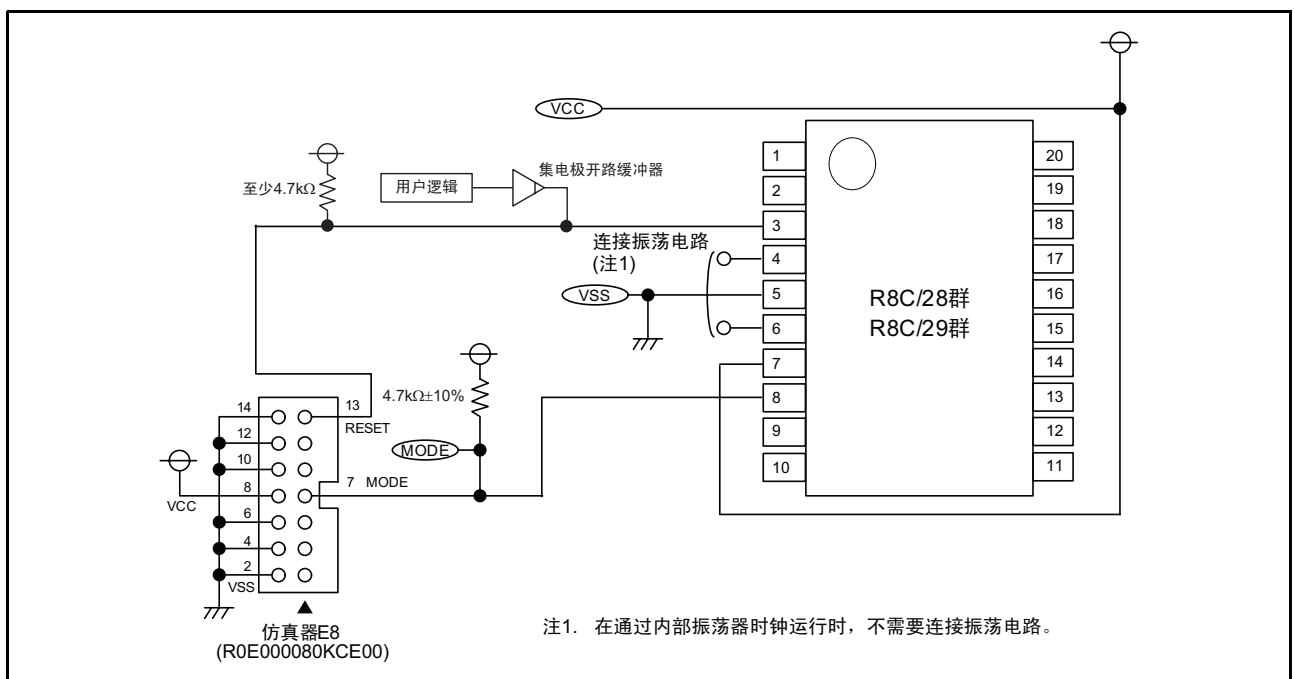


附录 2. 串行编程器和 on-chip 调试仿真器的连接例

和 M16C Flash Starter 的连接例（M3A-0806）如附图 2.1、和仿真器 E8（R0E000080KCE00）的连接例如附图 2.2 所示。



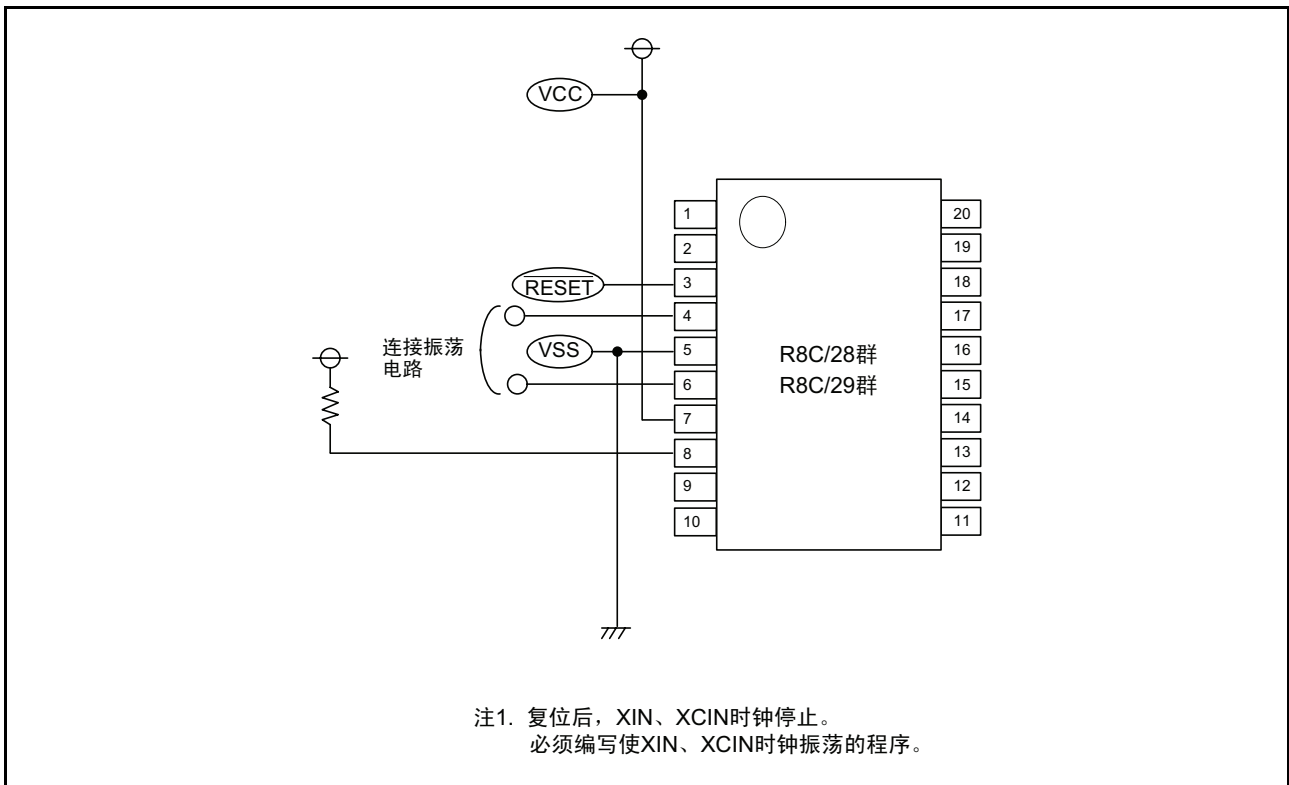
附图 2.1 和 M16C Flash Starter 的连接例（M3A-0806）



附图 2.2 和仿真器 E8（R0E000080KCE00）的连接例

附录 3. 振荡评价电路例

振荡评价电路例如附图 3.1 所示。



附图 3.1 振荡评价电路例

索引

数字

4 线式总线通信模式 256

A

A/D 转换器 302
 A0、A1 26
 AD 305
 ADCON0 304
 ADCON1 305
 ADCON2 305
 ADIC 116
 AIER 129

B

B 标志 26
 保护 111
 保留位 27
 标志寄存器 26
 标准串行输入 / 输出模式 332
 标准运行模式 98
 并行输入 / 输出模式 335

C

C 标志 26
 CM0 88
 CM1 89
 CPSRF 91
 CPU 25
 CPU 改写模式 318
 CPU 时钟 97
 CPU 时钟和外围功能时钟 96
 CSPR 135
 采样 & 保持 309
 产品一览 5
 程序计数器 26
 重复模式 307
 处理器模式 84
 处理器模式的种类 84
 处理器中断优先级 27
 传送时钟 245, 273
 串行编程器和 on-chip 调试仿真器的连接例子 385
 串行接口 221
 从属模式 297
 存储器 28
 存储器的分配 314

D

D 标志 26

带片选的时钟同步串行 I/O (SSU) 239
 单次模式 306
 等待模式 99
 低速内部振荡器时钟 95
 地址寄存器 26
 地址匹配中断 128
 电特性 338
 电压检测电路 46
 电压监视 0 复位 44, 56
 电压监视 1 复位 44, 45, 59
 电压监视 1 中断和电压监视 1 复位 57
 电压监视 2 复位 45
 电压监视 2 中断和电压监视 2 复位 60
 电源稳定的情况 40
 定时器 138
 定时器模式 143, 160, 187, 191
 定时器 RA 140
 定时器 RB 156
 定时器 RC 174
 定时器 RC 中断 207
 定时器 RE 209
 端口的设定 73
 对外围功能的影响 63
 堆栈指针指定标志 27

E

EW0 模式 319
 EW1 模式 319

F

f1、f2、f4、f8、f32 97
 FB 26
 fC4、fC32 97
 FLG 26
 FMR0 321
 FMR1 322
 FMR4 322
 fOCO 97
 fOCO40M 97
 fOCO-F 97
 fOCO-S 97
 FRA0 90
 FRA1 90
 FRA2 91
 FRA4 91
 FRA6 91
 FRA7 91
 封装尺寸图 384
 符号标志 26
 复位 37

G

概要 1

高速内部振荡器时钟	95
各通信模式和引脚功能	249
功率控制	98

H

缓冲器运行	182
-------------	-----

I

I ² C 总线接口	263
I ² C 总线接口模式	275
I 标志	27
ICCR1	266
ICCR2	267
ICDRR	271
ICDRS	271
ICDRT	271
ICIER	269
ICMR	268
ICSR	270
ID 码的检查功能	316
IICIC	117
INT0IC	117
INT1IC	117
INT3IC	117
INTB	26
INTEN	124
INTF	125
INTi 输入滤波器 (i=0、1、3)	126
INTi 中断 (i=0、1、3)	124
INT 中断	124
IPL	27
ISP	26

J

寄存器的设定例	287
寄存器构成	293
寄存器组指定标志	26
计数源	181
计数源保护模式无效时	136
计数源保护模式有效时	137
极性选择功能	231
键输入中断	127
接通电源的情况	40
进位标志	26
静态基址寄存器	26

K

KIEN	127
KUPIC	116
看门狗定时器	133
看门狗定时器复位	45
可编程波形产生模式	162

可编程单触发产生模式	164
可编程等待单触发产生模式	168
可编程输入 / 输出端口	62
可编程输入 / 输出端口的功能	62
可编程输入 / 输出端口以外的引脚	63
框图	4

L

LINCR	293
LINST	294
LSB first 或者 MSB first 的选择	231
连续接收模式	232
零标志	26

M

脉冲输出的强制截止	185
脉冲输出模式	145
脉冲周期测定模式	152
脉宽测定模式	149

N

内部振荡器时钟	95
---------------	----

O

O 标志	27
OCD	89
OFS	40, 134, 317
On-chip 调试器的注意事项	383

P

P1DRR	72
PC	26
PDi(i=1、3、4)	68
Pi(i=1、3、4)	69
PINSR1	70, 227
PINSR2	70
PINSR3	70
PM0	84
PM1	84
PMR	227, 245, 272
PRCR	111
PWM2 模式	201
PWM 模式	196
PUR0	72
PUR1	72

Q

全状态检查	331
-------------	-----

R

R0、R1、R2、R3.....	26
RMAD0.....	129
RMAD1.....	129
ROM 码的保护功能.....	317
软件复位.....	45
软件命令.....	325
软件中断.....	112

S

SORIC.....	116
SOTIC.....	116
S1RIC.....	116
S1TIC.....	116
SAR.....	271
SB.....	26
S 标志.....	26
SCS 引脚控制和仲裁.....	262
SFR.....	30
SSCRH.....	240
SSCRL.....	241
SSER.....	242
SSMR.....	241
SSMR2.....	244
SSRDR.....	244
SSSR.....	243
SSTDR.....	244
SSTRSR.....	247
SSUIC.....	117
SS 移位寄存器.....	247
闪存.....	313
闪存改写的禁止功能.....	316
上电复位功能.....	42
上溢标志.....	27
事件计数器模式.....	147
实时时钟模式.....	209
使用时的注意事项.....	10
时钟产生电路.....	86
时钟同步串行 I/O 模式.....	228
时钟同步串行接口.....	238
时钟同步串行模式.....	283
时钟同步通信模式.....	249
时钟异步串行 I/O (UART) 模式.....	232
输出比较功能.....	191
输出比较模式.....	215
数据寄存器.....	26
输入 / 输出引脚.....	293
输入捕捉功能.....	187

T

TRA.....	142
TRACR.....	141
TRAIC.....	116
TRAIOC.....	141, 143, 146, 148, 150, 153

TRAMR.....	142
TRAPRE.....	142
TRBCR.....	157
TRBIC.....	116
TRBIOC.....	158, 160, 163, 165, 169
TRBMR.....	158
TRBOCR.....	157
TRBPR.....	159
TRBPRES.....	159
TRBSC.....	159
TRC.....	178
TRCCR1.....	176, 193, 197, 203
TRCCR2.....	178
TRCDF.....	179
TRCGRA.....	178
TRCGRB.....	178
TRCGRC.....	178
TRCGRD.....	178
TRCIC.....	117
TRCIER.....	177
TRCIOR0.....	180, 189, 192
TRCIOR1.....	180, 189, 193
TRCMR.....	176
TRCOER.....	179
TRCSR.....	177
TRECR1.....	212, 216
TRECR2.....	213, 217
TRECSR.....	214, 217
TREHR.....	211
TREIC.....	116
TREMIN.....	211, 216
TRESEC.....	210, 216
TREWK.....	212
特点.....	292
特殊中断.....	113
调试标志.....	26
停止模式.....	103

U

U0BRG.....	223
U0C0.....	225
U0C1.....	226
U0MR.....	224
U0RB.....	223
U0TB.....	223
U1BRG.....	223
U1C0.....	225
U1C1.....	226
U1MR.....	224
U1RB.....	223
U1TB.....	223
UART.....	232
U 标志.....	27
USP.....	26

V

VCA1	51
VCA2	51, 52, 92
VCC 输入电压的监视	55
WDC	135
Vdet0 的监视	55
Vdet1 的监视	55
Vdet2 的监视	55
VW0C	52
VW1C	53, 54
VW2C	55

W

WDTR	135
WDTS	135
外围功能时钟	97
外围功能中断	113
未使用引脚的处理	83
位速率	236
位同步电路	286

X

XCIN 时钟	96
XIN 时钟	94
系统时钟	96
性能概要	2

Y

引脚功能说明	8
引脚连接图	7
硬件复位	40
硬件 LIN	292
硬件 LIN 的结束处理	301
应用	1
用户堆栈指针	26
运行说明	294

Z

Z 标志	26
噪声消除电路	286
振荡评价电路例	386
振荡停止检测功能	106
振荡停止检测功能的使用方法	106
帧基址寄存器	26
中断	112
中断表寄存器	26
中断堆栈指针	26
中断分类	112
中断概要	112
中断和中断向量	113
中断控制	116

中断控制寄存器	116, 117
中断请求	248, 274
中断允许标志	27
主模式	294
状态寄存器	330
总线冲突检测功能	300
总线控制	85
中央处理器 (CPU)	25

修订记录	R8C/28 群、R8C/29 群硬件手册
------	-----------------------

Rev.	发行日	修订内容	
		页	修订处
1.00	2007.03.15	—	初版发行
1.10	2007.09.25	2	在表 1.1 中的“时钟产生电路”的“性能”内追加“有实时时钟（定时器 RE）（N、D 版）”；将消耗电流的“TBD”改为具体的值。
		3	在表 1.2 中的“时钟产生电路”的“性能”内追加“有实时时钟（定时器 RE）（N、D 版）”；将消耗电流的“TBD”改为具体的值。
		5	在表 1.3 中追加“编程后出货产品”，并追加注 2；更改图 1.1。
		6	在表 1.4 中追加“编程后出货产品”，并追加注 2；更改图 1.2。
		7	在图 1.4 中追加注 4。
		10	更改 2.1.1 和 2.1.2 中的程序例。
		11	删除 2.2.4；更改图 2.1 中的注 2。
		13	更改 2.3.1 中的部分内容。
		14 ~ 16	追加 2.3.2.1、2.3.2.2、2.3.2.3 和 2.3.2.4。
		20	在 2.4 中追加“如果产生接收错误，在读取 UiRB 寄存器之后，必须用读取出的值确认错误内容”。
		21	删除原文中的 2.5.1.1 和 2.5.2.1，追加新的 2.5.2.1 和 2.5.2.2。
		22	更改 2.7 中的部分内容。
		28	更改图 4.1 中的部分内容。
		29	更改图 4.2 中的部分内容。
		30	将表 5.1 中“000Fh”的“复位后的值”改为“00X11111b”。
		33	将表 5.4 中“00E1h”、“00E5h”、“00E8h”的“复位后的值”改为“00h”；追加注 2。
		39	替换图 6.4。
		42	更改图 6.8 中的部分内容。
		43	更改图 6.9 中的部分内容。
		51	更改图 7.7 中的注 6。
52	更改图 7.8 中的注 5。		
64	替换图 8.1。		
65	替换图 8.2。		
75	将表 8.10 中“TMOD1”的最后一个“设定值”改为“1”。		
86	删除 11 中“低速内部振荡器”和“高速内部振荡器”后的“（有振荡停止检测功能）”；追加“通过 VCA20 位使内部电源低功耗的操作步骤如图 11.10 所示”。		
88	更改图 11.2 中的注 3。		
90	更改图 11.5 中 FRA1 寄存器的部分内容。		
92	更改图 11.8 中的注 6；更改图 11.9 中的注 5。		
93	追加图 11.10。		
99	在 11.5.1.2 和 11.5.1.4 中追加“通过 VCA20 位允许内部电源低功耗时，请参照“图 11.14 通过 VCA20 位使内部电源低功耗的操作步骤””。		
100	删除表 11.3 中“看门狗定时器中断”的内容。		

Rev.	发行日	修订内容	
		页	修订处
		101	删除 11.5.2.4 中的“和 CM0 寄存器的 CM01 位的”；更改图 11.13 中的部分内容。
		102	在 11.5.2.5 中追加“通过 VCA20 位允许内部电源低功耗时，请参照“图 11.14 通过 VCA20 位使内部电源低功耗的操作步骤””；更改图 11.14 中的部分内容。
		104	替换图 11.5。
		106	在 11.6.1 中追加“FRA00 位置“1”（高速内部振荡器振荡）、”。
		110	更改 11.7.1 和 11.7.2 中的程序例。
		111	将图 12.1 中的“允许写入 PW0、PW1 寄存器”改为“允许写入 PM0、PM1 寄存器”。
		113	删除 13.1.3.1 中的“必须在产生看门狗定时器中断后初始化看门狗定时器”。
		124	将 13.2.1 中的“ $\overline{\text{INT0}}$ 管脚和定时器 RC 的脉冲输出强制截止输入兼用； $\overline{\text{INT1}}$ 管脚和定时器 RA 的外部触发输入管脚兼用”改为“ $\overline{\text{INT0}}$ 引脚和定时器 RC 的脉冲输出强制截止输入以及定时器 RB 的外部触发输入是引脚复用”。
		127	更改表 13.6 中的部分内容并追加注 2。
		130	删除 13.6.4；更改图 13.20 中的注 2。
		133	将图 14.2 中的“00011111b”改为“00X11111b”。
		137	将 15 中“2 个 16 位定时器”改为“1 个 16 位定时器”。
		143	更改图 15.2 中的条件。
		154	更改 15.1.6 中的部分内容。
		160	更改图 15.17 中的条件。
		163	在表 15.9 中追加注 2。
		167	在表 15.10 中追加注 2。
		170 ~ 172	追加 15.2.5.1、15.2.5.2、15.2.5.3 和 15.2.5.4。
		187	替换图 15.42。
		190	将表 15.18 “选择功能”中的“输出电平取反”改为“交替输出”。
		201	更改表 15.22 “计数开始条件”“规格”的部分内容。
		204	替换图 15.58。
		227	在表 16.1 的注 2 中追加“的接收数据（b0 ~ b8）变得”。
		229	替换图 16.8。
		231	在表 16.4 的注 2 中追加“的接收数据（b0 ~ b8）变得”。
		232	在表 16.5 中追加注 2。
		234	替换图 16.11。
		236	在 16.3 中追加“如果产生接收错误，在读取 UiRB 寄存器之后，必须用读取出的值确认错误内容”。
		239	删除图 17.2 中的注 4。
		240	删除图 17.3 中的注 4；删除图 17.4 中的注 2。
		241	删除图 17.5 中的注 1。
		242	更改图 17.6 中的注 2，删除注 7。
		243	更改图 17.7 中的注 5；删除图 17.8 中 SSTDR 寄存器的注 1 和 SSRDR 寄存器的注 2。

Rev.	发行日	修订内容	
		页	修订处
		261	删除 17.2.8.1。
		265	在图 17.24 中追加注 6。
		266	删除图 17.25 中的注 5。
		267	删除图 17.26 中的注 7。
		268	删除图 17.27 中的注 3。
		269	删除图 17.28 中的注 7。
		270	删除图 17.29 中 SAR 寄存器、ICDRT 寄存器和 ICDRR 寄存器的注 1。
		274	替换图 17.31。
		290	删除原文中的 17.3.8.1，追加新的 17.3.8.1 和 17.3.8.2。
		300	替换图 18.12。
		307	更改 19.7 中的部分内容。
		312	将表 20.2 中的“闪存以外的区域”改为“RAM”。
		316	将表 20.3 中的“可在用户 ROM 区执行”改为“用户 ROM 区或 RAM 区”。
		317	将 20.4.1 中和 20.4.2 中的“td(SR-ES)”改为“td(SR-SUS)”。
		318	将 20.4.2.4 中的“闪存以外的区域”改为“传送到 RAM 上”；删除 20.4.2.9 中的“擦除”。
		319	在 20.4.2.14 中追加“自动写入和”，并删除“擦除挂起模式”中的“擦除”；更改图 20.5 中的注 3 和注 5。
		320	更改图 20.7 中的注 5。
		321	将图 20.9 中的“被传送给闪存以外的区域后”改为“传送到 RAM 上”、“闪存以外的区域中”改为“RAM 上”。
		322	将图 20.11 中的“闪存以外的区域中”改为“RAM 上”、“15us”改为“30us”；更改注 1 和注 3；删除注 4。
		324	将 20.4.3.4 中的“如果在第 1 总线周期写“40h”，并且在第 2 总线周期将数据写到写地址”改为“如果在写地址的第 1 总线周期写入“40h”，第 2 总线周期写入数据”。
		325	更改图 20.13 中的部分内容。
		327	更改图 20.15 中的部分内容。
		329	将表 20.6 中的“FMR00 寄存器”改为“FMR0 寄存器”。
		341	在表 21.7 中追加注 4。
		343	替换表 21.10。
		349 ~ 350	将表 21.16 更改外为表 21.16 和 21.17。
		366	追加注 4。
		368	替换表 21.42。
		374	替换表 21.48。
		383	删除附图 2.1 中的注 2。
		384	更改附图 3.1 的注 1。
2.00	2009.03.18	—	反映“RENESAS TECHNICAL UPDATE”：TN-16C-A172A/J
		1、363	删除 1.1 和 21.2 中的“J、K 版还在开发中，……”。
		5	修改表 1.3 和图 1.2 的内容。
		6	修改表 1.4 和图 1.3 的内容。
		25、26	在图 3.1 和 3.7 中，“堆栈基址寄存器”改为“静态基址寄存器”。

Rev.	发行日	修订内容	
		页	修订处
		28、29	修改图 4.1 和图 4.2。
		30	在表 5.1 中追加地址“002Ch”。
		31	表 5.2 中 0036h 的 J、K 版“0100X000b”改为“0100X001b”。
		40、133、316	修改图 6.5、图 14.2 和图 20.4 中的注 1。
		43	修改图 6.9。
		68	修改图 8.6 中的注 2。
		69	修改图 8.7 中的注 2。
		73	修改表 8.6。
		78	修改表 8.16。
		79	修改表 8.18。
		87	在图 11.1 中追加“用于时钟的分频器”。
		88	图 11.2 中的“必须清“0”。”改为“不能置“1”。”。
		91	在图 11.6 中追加“FRA7 寄存器”。
		95	修改 11.2.2。
		97	追加 11.4.9。
		115	修改表 13.2 的参照。
		124	删除 13.2.1 中的“INT0 引脚和定时器 RC…”，追加表 13.6。
		139	删除表 15.1 中定时器 RE 的“fC32”。
		140	修改图 15.1，并将图中的“TSTART”改为“TCSTF”。
		156	删除 15.2 中的“重加载寄存器和计数器分配了……”，并修改图 15.12。
		162	在表 15.8 中“P3_1”改为“P1_3”，并追加注 4。
		164、168	在表 15.9、表 15.10 中，追加注 3。
		175	在表 15.12 中，追加注 1。
		180	修改图 15.36 中 TRCIOR0 寄存器的“b3”，并追加注 4。
		187	在 15.3.4 中追加“另外，TRCGRA 寄存器能将……”，并在表 15.16 中追加“fOCO128 信号的边沿”。
		188	修改图 15.42。
		189	修改图 15.43 中的“b3”，并追加注 3。
		192	修改图 15.47 中的“b3”。
		195	图 15.50 中的“CCLR 位为“0”……”改为“CCLR 位为“1”……”。
		196	修改表 15.20。
		202	表 15.22 的“j=A、B、C、D 中的任意一个”改为“j=A、B、C 中的任意一个”。
		223	图 16.3 中 UARTi 位速率寄存器的“U0BRG”改为“UiBRG”。
		237	修改表 16.7。
		243	在图 17.6 中追加注 7。
		254	在 17.2.5.4 中追加“在从发送和接收模式 (TE=RE=1)……然后将 RE 位置“1”。
		257	修改图 17.18。
		270	在图 17.28 中追加注 7。
		295	修改图 18.5。
		296	修改图 18.6。

Rev.	发行日	修订内容	
		页	修订处
		299	修改图 18.9。
		301	修改图 18.12。
		310	修改图 19.10。
		313	修改表 20.1 和注 1。
		314	修改 20.2 的内容和图 20.1。
		315	修改图 20.2。
		318	修改表 20.3 的注 1。
		319	修改 20.4.2.3 的内容。
		320	追加 20.4.2.9。
		322	修改图 20.6 中的 “b6” 和注 3。
		326	修改 20.4.3.4 的内容。
		328	修改 20.4.3.5 的内容。
		331	修改表 20.6。
		341、366	表 21.4 和表 21.37 的注 2 “(n = 100、1,000、10,000)” 改为 “(n = 100、1,000)”。
		342、367	表 21.5 和表 21.38 的注 2 “(n = 100、1,000、10,000)” 改为 “(n = 10,000)”。
		345	修改表 21.10，并追加注 4。
		368	在表 21.39 的项目中追加 “电压监视 1 复位的产生时间” 和注 5，并修改表 21.40。
		369	修改表 21.41 和图 21.22。
		385	修改附图 2.2。

瑞萨 16 位单片机
硬件手册
R8C/28 群、R8C/29 群

Publication Date: Rev.1.00, Mar. 15, 2007
Rev.2.00, Mar. 18, 2009

Published by: Sales Strategic Planning Div.
Renesas Technology Corp.

Edited by: Customer Support Department
Global Strategic Communication Div.
Renesas Solutions Corp.

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIA Center, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7858/7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2377-3473

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 3518-3399

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510



R8C/28群、R8C/29群



瑞萨电子株式会社

RCJ09B0047-0200