

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

R8C/1A、 R8C/1B 群

瑞萨 16 位单片机
M16C 族 / R8C/Tiny 系列

Notes regarding these materials

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页（<http://www.renesas.com>）等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统（如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等）而设计和制造的，特别是对于品质和可靠性要求极高的机器和系统等（将本公司指定用于汽车方面的产品用于汽车时除外）。如果要用于上述的目的，请务必事先向本公司的营业窗口咨询。另外，对于用于上述目的而造成的损失等，本公司概不负责。
8. 除上述第7项内容外，不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失，本公司概不负责。
 - 1) 生命维持装置。
 - 2) 植埋于人体使用的装置。
 - 3) 用于治疗（切除患部、给药等）的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时，对于最大额定值、工作电源电压的范围、放热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时，对于由此而造成的故障和出现的事故，本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性，但一般来说，半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失，希望客户能自行负责进行冗余设计、采取延烧对策及进行防止错误运行等的安全设计（包括硬件和软件两方面的设计）以及老化处理等，这是作为机器和系统的出厂保证。特别是单片机的软件，由于单独进行验证很困难，所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下，有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时，请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时，本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时，不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容，或者有其他关心的问题，请向本公司的营业窗口咨询。

产品使用时的注意事项

本文对适用于所有单片机产品的“使用注意事项”进行了说明。个别注意事项请参照手册正文。当本文与手册正文中的记载不同时，请优先参照正文中的内容。

1. 未使用管脚的处理方法

【注意】对于未使用的管脚，请按照手册正文中所记载的“未使用管脚的处理”进行处理。CMOS 产品的输入管脚的阻抗一般为高阻抗。若在开路状态运行未使用管脚时，由于电感现象，会产生 LSI 外围噪音，而在 LSI 内部产生的直通电流等会被认为是输入信号，从而引起误动作。对于未使用的管脚，请按照手册正文中“未使用管脚的处理”中的说明进行处理。

2. 接通电源时的处理方法

【注意】接通电源时，产品状态不稳定。

接通电源时，LSI 的内部电路为不确定状态，寄存器的设定和各管脚为不稳定状态。

通过外部复位管脚进行复位的产品，从接通电源到复位有效为止，不能保证管脚的状态。

同样，通过内部加电复位功能进行复位的产品，从接通电源到达到复位所需电压为止，不能保证管脚的状态。

3. 禁止对保留地址进行存取

【注意】禁止对保留地址进行存取。

在地址区中存在用于将来扩展功能而分配的保留地址。对这些地址进行存取时，不能保证运行的正常进行，因此不能存取保留地址。

4. 关于时钟的注意事项

【注意】复位时，必须在时钟稳定后再解除复位。

在程序执行过程中切换时钟时，必须等需要切换的时钟稳定后再对其进行切换。

复位时，在通过带有外部振荡器（或者外部振荡电路）的时钟开始运行的系统中，必须等时钟完全稳定后，再解除复位。另外，在程序执行过程中切换为带有外部振荡器（或者外部振荡电路）的时钟时，必须等需要切换的时钟完全稳定后再对其进行切换。

5. 关于产品间差异的注意事项

【注意】当产品型号发生变化时，请事先确认是否存在问题。

即使是同一群内的单片机，产品型号如果不同，也有可能由于内部存储器和布线图的不同产生特性的差异。当产品型号发生变化时，必须对每个型号的产品进行系统评价测试。

本手册的使用方法

1. 目的和使用对象

本手册旨在便于用户理解此单片机的硬件功能和电特性。使用此单片机进行应用系统设计的用户为本手册的使用对象。在使用本手册时，需要具备电路、逻辑电路以及单片机的基础知识。

本手册由产品概要、CPU、系统控制功能、外围功能、电特性和使用注意事项等几大分类构成。

必须在充分确认注意事项后再使用此单片机。注意事项记载于各章的正文、末尾，以及注意事项的章节处。

修订记录归纳了对旧版进行修正或者追加的主要内容，但并不保证对所有更改过的内容都有记载。详细情况请确认本手册的正文。

R8C/1A、R8C/1B 群拥有以下文档资料。请使用瑞萨科技公司的主页中所登载的最新版本。

文档种类	记载内容	资料名称	资料号码
数据表	硬件概要和电特性	R8C/1A、R8C/1B Group Datasheet	REJ03B0144
硬件手册	硬件规格（管脚配置、存储器映射、外围功能的说明、电特性、时序）和运行说明	R8C/1A、R8C/1B 群硬件手册	本硬件手册
软件手册	CPU 指令组的说明	R8C/TINY 系列软件手册	RCJ09B0006
应用说明	外围功能的使用方法和应用例子 参考程序 汇编语言和 C 语言的编程方法	登载于瑞萨科技公司的主页	
RENESAS TECHNICAL UPDATE	关于产品规格和文档等的速报		

2. 数字和符号的记载方式

以下说明本手册中所使用的寄存器和位的名称、数字以及符号的记载范例。

(1) 寄存器名称、位名称、管脚名称

在手册正文中通过符号后接“寄存器”、“位”或“管脚”的方式进行记载。

(例) PM0 寄存器的 PM03 位

P3_5 管脚、Vcc 管脚

(2) 数字的记载方式

二进制时，在数字后面加上“b”，不过，当值为“1 位”时，后面什么都不加。十六进制时，在数字后面加上“h”。十进制时，数字后面什么都不加。

(例) 二进制：11b

十六进制：EFA0b

十进制：1234

3. 寄存器图表的阅读方法

说明在寄存器图表中使用的符号和用语：

位符号	位名	功能	RW
...0	...位	b1b0 00: ... 01: ... 10: 不能设定 11: ...	RW
...1			RW
(b2)	什么也不指定。写时只能写“0”。读时值不定。		-
(b4 - b3)	保留位	必须固定成“0”	WO
...5	...位	功能根据运行模式而不同	RW
...6			RW
...7	...位	0: ... 1: ...	RO

***1**
空白：按用途，置“0”或“1”。
0：置“0”。
1：置“1”。
×：什么也不指定。

***2**
RW：可读，可写。
RO：可读，写数据无效。
WO：可写，不能读取位的状态。
—：什么也不指定。

***3**
·保留位
保留位，必须写指定值。

***4**
·什么也不指定
对该位，什么也不指定。根据将来外围功能的发展，可能出现新的功能。写数据时只能写“0”。
·不能设定
不保证设定后的运行。
·功能根据运行模式而不同
位功能根据外围功能的模式发生变化，请参照各模式的寄存器图表。

4. 关于缩写和简称的说明

缩写 / 简称	全称	备注
ACIA	Asynchronous Communication Interface Adapter	异步通信界面适配器
Bps	Bits per second	传送速度单位
CRC	Cyclic Redundancy Check	循环冗余检测
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NEC 电子公司提倡的通信方式
I/O	Input/Output	输入 / 输出
IrDA	Infrared Data Association	红外线数据协会
LSB	Least Significant Bit	最低有效位
MSB	Most Significant Bit	最高有效位
NC	Non-Connection	未连接管脚
PLL	Phase Locked Loop	锁相环
PWM	Pulse Width Modulation	脉宽调制
SFR	Special Function Registers	用于外围电路控制的寄存器群
SIM	Subscriber Identity Module	ISO-7816 规范的 IC 卡
UART	Universal Asynchronous Receiver/Transmitter	异步串行接口
VCO	Voltage Controlled Oscillator	电压控制振荡器

目 录

地址 - 页速查表	速查表 -1
1. 概要	1
1.1 应用	1
1.2 性能概要	1
1.3 框图	5
1.4 产品一览	6
1.5 管脚连接图	10
1.6 管脚功能说明	13
2. 使用注意事项	16
2.1 时钟发生电路的使用注意事项	16
2.1.1 停止模式	16
2.1.2 等待模式	16
2.1.3 振荡停止检测功能	16
2.1.4 振荡电路常数	16
2.1.5 高速内部振荡器时钟	17
2.2 中断的使用注意事项	17
2.2.1 地址 00000h 的读取	17
2.2.2 SP 的设定	17
2.2.3 外部中断和键输入中断	17
2.2.4 监视定时器中断	17
2.2.5 中断源的更改	18
2.2.6 中断控制寄存器的更改	19
2.3 定时器	20
2.3.1 定时器 X 的使用注意事项	20
2.3.2 定时器 Z 的使用注意事项	20
2.3.3 定时器 C 的使用注意事项	21
2.4 串行接口的使用注意事项	21
2.5 时钟同步串行接口的使用注意事项	22
2.5.1 带片选的时钟同步串行 I/O 的使用注意事项	22
2.5.2 I2C 总线接口的使用注意事项	23
2.6 A/D 转换器的使用注意事项	23
2.7 闪存的使用注意事项	24
2.7.1 CPU 改写模式	24
2.8 有关噪声的注意事项	26
2.8.1 作为噪声和闩锁对策, 在 VCC 管脚和 VSS 管脚之间插入旁路电容	26
2.8.2 端口控制寄存器的噪声误动作对策	26
3. 中央处理器 (CPU)	27
3.1 数据寄存器 (R0、R1、R2、R3)	27
3.2 地址寄存器 (A0、A1)	27
3.3 帧基址寄存器 (FB)	28
3.4 中断表寄存器 (INTB)	28
3.5 程序计数器 (PC)	28
3.6 用户堆栈指针 (USP) 和中断堆栈指针 (ISP)	28
3.7 静态基址寄存器 (SB)	28
3.8 标志寄存器 (FLG)	28

3.8.1	进位标志 (C 标志)	28
3.8.2	调试标志 (D 标志)	28
3.8.3	零标志 (Z 标志)	28
3.8.4	符号标志 (S 标志)	28
3.8.5	寄存器组指定标志 (B 标志)	28
3.8.6	溢出标志 (O 标志)	28
3.8.7	中断允许标志 (I 标志)	28
3.8.8	堆栈指针指定标志 (U 标志)	28
3.8.9	处理器中断优先级 (IPL)	29
3.8.10	保留位	29
4.	存储器	30
4.1	R8C/1A 群	30
4.2	R8C/1B 群	31
5.	SFR	32
6.	可编程输入 / 输出端口	42
6.1	可编程输入 / 输出端口的功能	42
6.2	对外围功能的影响	43
6.3	可编程输入 / 输出端口以外的管脚	43
6.4	端口的设定	49
6.5	未使用管脚的处理	55
7.	复位	57
7.1	硬件复位	59
7.1.1	电源稳定的情况	59
7.1.2	接通电源的情况	59
7.2	加电复位功能	61
7.3	电压监视 1 复位	62
7.4	电压监视 2 复位	62
7.5	监视定时器复位	62
7.6	软件复位	62
8.	电压检测电路	63
8.1	VCC 输入电压	68
8.1.1	Vdet1 的监视	68
8.1.2	Vdet2 的监视	68
8.1.3	数字滤波器	68
8.2	电压监视 1 复位	70
8.3	电压监视 2 中断和电压监视 2 复位	71
9.	处理器模式	73
9.1	处理器模式的种类	73
10.	总线控制	74
11.	时钟发生电路	75
11.1	主时钟	81
11.2	内部振荡器时钟	81
11.2.1	低速内部振荡器时钟	81
11.2.2	高速内部振荡器时钟	82
11.3	CPU 时钟和外围功能时钟	82

11.3.1	系统时钟	82
11.3.2	CPU 时钟	82
11.3.3	外围功能时钟 (f1、f2、f4、f8、f32)	82
11.3.4	fRING 和 fRING128	82
11.3.5	fRING-fast	82
11.3.6	fRING-S	82
11.4	功率控制	83
11.4.1	通常运行模式	83
11.4.2	等待模式	84
11.4.3	停止模式	85
11.5	振荡停止检测功能	88
11.5.1	振荡停止检测功能的使用方法	88
11.6	时钟发生电路的使用注意事项	90
11.6.1	停止模式	90
11.6.2	等待模式	90
11.6.3	振荡停止检测功能	90
11.6.4	振荡电路常数	90
11.6.5	高速内部振荡器时钟	91
12.	保护	92
13.	中断	93
13.1	中断概要	93
13.1.1	中断分类	93
13.1.2	软件中断	93
13.1.3	特殊中断	94
13.1.4	外围功能中断	94
13.1.5	中断和中断向量	94
13.1.6	中断控制	97
13.2	INT 中断	104
13.2.1	INT0 中断	104
13.2.2	INT0 输入滤波器	105
13.2.3	INT1 中断	106
13.2.4	INT3 中断	107
13.3	键输入中断	109
13.4	地址匹配中断	110
13.5	中断的使用注意事项	111
13.5.1	地址 00000h 的读取	111
13.5.2	SP 的设定	111
13.5.3	外部中断和键输入中断	111
13.5.4	监视定时器中断	111
13.5.5	中断源的更改	112
13.5.6	中断控制寄存器的更改	113
14.	监视定时器	114
14.1	计数源保护模式无效时	117
14.2	计数源保护模式有效时	118
15.	定时器	119
15.1	定时器 X	120
15.1.1	定时器模式	123
15.1.2	脉冲输出模式	124

15.1.3	事件计数器模式.....	125
15.1.4	脉宽测定模式.....	126
15.1.5	脉冲周期测定模式.....	128
15.1.6	定时器 X 的使用注意事项.....	131
15.2	定时器 Z.....	131
15.2.1	定时器模式.....	136
15.2.2	可编程波形发生模式.....	138
15.2.3	可编程单触发发生模式.....	141
15.2.4	可编程等待单触发发生模式.....	144
15.2.5	定时器 Z 的使用注意事项.....	147
15.3	定时器 C.....	148
15.3.1	输入捕捉模式.....	154
15.3.2	输出比较模式.....	156
15.3.3	定时器 C 的使用注意事项.....	157
16.	串行接口.....	158
16.1	时钟同步串行 I/O 模式.....	163
16.1.1	极性选择功能.....	166
16.1.2	LSB 先发送或者 MSB 先发送的选择.....	166
16.1.3	连续接收模式.....	167
16.2	时钟异步串行 I/O (UART) 模式.....	167
16.2.1	CNTR0 管脚选择功能.....	171
16.2.2	位速率.....	171
16.3	串行接口的使用注意事项.....	172
17.	时钟同步串行接口.....	173
17.1	模式的选择.....	173
17.2	带片选的时钟同步串行 I/O (SSU).....	174
17.2.1	传送时钟.....	182
17.2.2	SS 移位寄存器 (SSTRSR).....	183
17.2.3	中断请求.....	184
17.2.4	各通信模式和管脚功能.....	185
17.2.5	时钟同步通信模式.....	186
17.2.6	4 线方式总线通信模式.....	193
17.2.7	SCS 管脚控制和仲裁.....	198
17.2.8	带片选的时钟同步串行 I/O 的使用注意事项.....	199
17.3	I ² C 总线接口.....	200
17.3.1	传送时钟.....	209
17.3.2	中断请求.....	210
17.3.3	I ² C 总线接口模式.....	211
17.3.4	时钟同步串行模式.....	220
17.3.5	噪声消除电路.....	223
17.3.6	位同步电路.....	224
17.3.7	寄存器的设定例子.....	225
17.3.8	I ² C 总线接口的使用注意事项.....	229
18.	A/D 转换器.....	230
18.1	单次模式.....	233
18.2	重复模式.....	235
18.3	采样和保持.....	237
18.4	A/D 转换周期数.....	237
18.5	模拟输入内部等效电路.....	238

18.6	注入电流旁路电路	239
18.7	A/D 转换时传感器的输出阻抗	240
18.8	A/D 转换器的使用注意事项	241
19.	闪存	242
19.1	概要	242
19.2	存储器的配置	243
19.3	闪存改写的禁止功能	245
19.3.1	ID 码的检查功能	245
19.3.2	ROM 码的保护功能	246
19.4	CPU 改写模式	247
19.4.1	EW0 模式	248
19.4.2	EW1 模式	248
19.4.3	软件命令	254
19.4.4	状态寄存器	259
19.4.5	全状态检查	260
19.5	标准串行输入 / 输出模式	262
19.5.1	ID 码检查功能	262
19.6	并行输入 / 输出模式	265
19.6.1	ROM 码保护功能	265
19.7	闪存的使用注意事项	265
19.7.1	CPU 改写模式	265
20.	电特性	267
21.	On-chip 调试器的注意事项	290
附录	170
附录 1.	外形尺寸图	170
附录 2.	串行编程器和 on-chip 调试仿真器的连接例	172
附录 3.	振荡评价电路例	173
索引	295

地址 - 页速查表

地址	寄存器	符号	记载页
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器 0	PM0	73
0005h	处理器模式寄存器 1	PM1	73
0006h	系统时钟控制寄存器 0	CM0	77
0007h	系统时钟控制寄存器 1	CM1	78
0008h			
0009h	地址匹配中断允许寄存器	AIER	111
000Ah	保护寄存器	PRCR	92
000Bh			
000Ch	振荡停止检测寄存器	OCD	79
000Dh	监视定时器复位寄存器	WDTR	116
000Eh	监视定时器开始寄存器	WDTS	116
000Fh	监视定时器控制寄存器	WDC	115
0010h			
0011h	地址匹配中断寄存器 0	RMAD0	111
0012h			
0013h			
0014h			
0015h	地址匹配中断寄存器 1	RMAD1	111
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	计数源保护模式寄存器	CSPR	116
001Dh			
001Eh	INT0 输入滤波器选择寄存器	INT0F	104
001Fh			
0020h	高速内部振荡器控制寄存器 0	HRA0	80
0021h	高速内部振荡器控制寄存器 1	HRA1	80
0022h	高速内部振荡器控制寄存器 2	HRA2	80
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			

注 1. 空白部分全部为保留区，不能存取。

地址	寄存器	符号	记载页
0030h			
0031h	电压检测寄存器 1	VCA1	65
0032h	电压检测寄存器 2	VCA2	65
0033h			
0034h			
0035h			
0036h	电压监视 1 电路控制寄存器	VW1C	66
0037h	电压监视 2 电路控制寄存器	VW2C	67
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	键输入中断控制寄存器	KUPIC	97
004Eh	A/D 转换中断控制寄存器	ADIC	97
004Fh	SSU 中断控制寄存器 / IIC 中断控制寄存器	SSUAIC/ IIC2AIC	97
0050h	比较 1 中断控制寄存器	CMP1IC	97
0051h	UART0 发送中断控制寄存器	S0TIC	97
0052h	UART0 接收中断控制寄存器	S0RIC	97
0053h	UART1 发送中断控制寄存器	S1TIC	97
0054h	UART1 接收中断控制寄存器	S1RIC	97
0055h			
0056h	定时器 X 中断控制寄存器	TXIC	97
0057h			
0058h	定时器 Z 中断控制寄存器	TZIC	97
0059h	INT1 中断控制寄存器	INT1IC	97
005Ah	INT3 中断控制寄存器	INT3IC	97
005Bh	定时器 C 中断控制寄存器	TCIC	97
005Ch	比较 0 中断控制寄存器	CMP0IC	97
005Dh	INT0 中断控制寄存器	INT0IC	98
005Eh			
005Fh			

地址 - 页速查表

地址	寄存器	符号	记载页
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h	定时器 Z 模式寄存器	TZMR	132
0081h			
0082h			
0083h			
0084h	定时器 Z 波形输出控制寄存器	PUM	134
0085h	预定标器 Z 寄存器	PREZ	133
0086h	定时器 Z 次寄存器	TZSC	133
0087h	定时器 Z 主寄存器	TZPR	133
0088h			
0089h			
008Ah	定时器 Z 输出控制寄存器	TZOC	134
008Bh	定时器 X 模式寄存器	TXMR	106
008Ch	预定标器 X 寄存器	PREX	122
008Dh	定时器 X 寄存器	TX	122
008Eh	定时器计数源设定寄存器	TCSS	122、 135
008Fh			

注 1. 空白部分全部为保留区，不能存取。

地址	寄存器	符号	记载页
0090h	定时器 C 寄存器	TC	150
0091h			
0092h			
0093h			
0094h			
0095h			
0096h	外部输入允许寄存器	INTEN	104
0097h			
0098h	键输入允许寄存器	KIEN	109
0099h			
009Ah	定时器 C 控制寄存器 0	TCC0	107
009Bh	定时器 C 控制寄存器 1	TCC1	108
009Ch	捕捉、比较 0 寄存器	TM0	150
009Dh			
009Eh	比较 1 寄存器	TM1	150
009Fh			
00A0h	UART0 发送 / 接收模式寄存器	U0MR	161
00A1h	UART0 位速率寄存器	U0BRG	162
00A2h	UART0 发送缓冲寄存器	U0TB	160
00A3h			
00A4h	UART0 发送 / 接收控制寄存器 0	U0C0	161
00A5h	UART0 发送 / 接收控制寄存器 1	U0C1	162
00A6h	UART0 接收缓冲寄存器	U0RB	160
00A7h			
00A8h	UART1 发送 / 接收模式寄存器	U1MR	161
00A9h	UART1 位速率寄存器	U1BRG	160
00AAh	UART1 发送缓冲寄存器	U1TB	160
00ABh			
00ACh	UART1 发送 / 接收控制寄存器 0	U1C0	161
00ADh	UART1 发送 / 接收控制寄存器 1	U1C1	162
00AEh	UART1 接收缓冲寄存器	U1RB	160
00AFh			
00B0h	UART 发送 / 接收控制寄存器 2	U0CON	162
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS 控制寄存器 H/IIC 总线控制寄存器 1	SSCRH/ ICCR1	176、 203
00B9h	SS 控制寄存器 L/IIC 总线控制寄存器 2	SSCRL/ ICCR2	177、 204
00BAh	SS 模式寄存器 / IIC 总线模式寄存器	SSMR/ ICMR	178、 205
00BBh	SS 允许寄存器 / IIC 中断允许寄存器	SSER/ ICIER	178、 206
00BCh	SS 状态寄存器 / IIC 总线状态寄存器	SSSR/ ICSR	179、 207
00BDh	SS 模式寄存器 2 / 从属地址寄存器	SSMR2/ SAR	192、 220
00BEh	SS 发送数据寄存器 / IIC 总线发送数据寄存器	SSTDR/ ICDRT	180、 208
00BFh	SS 接收数据寄存器 / IIC 总线接收数据寄存器	SSRDR/ ICDRR	181、 208

地址 - 页速查表

地址	寄存器	符号	记载页
00C0h	A/D 寄存器	AD	233
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 控制寄存器 2	ADCON2	233
00D5h			
00D6h	A/D 控制寄存器 0	ADCON0	232
00D7h	A/D 控制寄存器 1	ADCON1	232
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	端口 P1 寄存器	P1	47
00E2h			
00E3h	端口 P1 方向寄存器	PD1	46
00E4h			
00E5h	端口 P3 寄存器	P3	47
00E6h			
00E7h	端口 P3 方向寄存器	PD3	46
00E8h	端口 P4 寄存器	P4	47
00E9h			
00EAh	端口 P4 方向寄存器	PD4	46
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			

地址	寄存器	符号	记载页
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h	端口模式寄存器	PMR	48、 181、 209
00F9h			
00FAh			
00FBh			
00FCh	上拉控制寄存器 0	PUR0	48
00FDh	上拉控制寄存器 1	PUR1	48
00FEh	端口 P1 驱动能力控制寄存器	DRR	49
00FFh	定时器 C 输出控制寄存器	TCOUT	153
01B0h			
01B1h			
01B2h			
01B3h	闪存控制寄存器 4	FMR4	251
01B4h			
01B5h	闪存控制寄存器 1	FMR1	251
01B6h			
01B7h	闪存控制寄存器 0	FMR0	250
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
0FFFFh	选项功能选择寄存器	OFS	115、 246

注 1. 空白部分、0100h ~ 01AFh 地址和 01C0h ~ 02FFh 地址为保留区，不能存取。

R8C/1A、R8C/1B 群

瑞萨 16 位单片机

1. 概要

本单片机是采用高性能硅栅 CMOS 工艺以及装载 R8C/Tiny 系列 CPU 内核的单芯片微型计算机，封装于 20 管脚塑模 LSSOP。该单芯片微型计算机既有高功能指令又有高效率指令，并且具有 1M 字节的地址空间和高速执行指令的能力。

R8C/1B 群内置数据闪存（1KB×2 块）。

R8C/1A 群和 R8C/1B 群的不同点只在有无数据闪存，而其外围功能相同。

1.1 应用

家电、办公设备、住宅设备（传感器、保安）、便携设备、一般工业、声频以及其它。

1.2 性能概要

R8C/1A 群的性能概要如表 1.1、R8C/1B 群的性能概要如表 1.2 所示。

表 1.1 R8C/1A 群的性能概要 (1)

项目		性能
CPU	基本指令数	89 条指令
	最短指令执行时间	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)
	运行模式	单芯片
	地址空间	1M 字节
	存储器容量	参照表 1.3。
外围功能	端口	输入 / 输出：13 个（含 LED 驱动端口） 输入：3 个
	LED 驱动端口	输入 / 输出：4 个
	定时器	定时器 X：8 位×1 个通道、 定时器 Z：8 位×1 个通道（各定时器：内有 8 位预定标器） 定时器 C：16 位×1 个通道（输入捕捉电路、输出比较电路）
	串行接口	1 个通道 时钟同步串行 I/O、时钟异步串行 I/O 1 个通道 时钟异步串行 I/O
	时钟同步串行接口	1 个通道 I2C 总线接口（注 1）、 带片选时钟同步串行 I/O（SSU）
	A/D 转换器	10 位 A/D 转换器：1 个电路、4 个通道
	监视定时器	15 位×1 个通道（内有预定标器） 可选择复位启动功能，计数源保护模式

表 1.1 R8C/1A 群的性能概要 (2)

项目	性能	
外围功能	中断	内部：11 个中断源、外部：4 个中断源、软件：4 个中断源、 中断优先级：7 级
	时钟发生电路	2 个电路 <ul style="list-style-type: none"> 主时钟振荡电路（内置反馈电阻） 内部振荡器（高速、低速） 高速内部振荡器带频率调整功能
	振荡停止检测功能	主时钟振荡停止检测功能
	电压检测电路	内置
	加电复位电路	内置
电特性	电源电压	VCC=3.0 ~ 5.5V (f(XIN)=20MHz) VCC=2.7 ~ 5.5V (f(XIN)=10MHz)
	消耗电流	标准 9mA (VCC=5V、f(XIN)=20MHz、A/D 转换器停止时) 标准 5mA (VCC=3V、f(XIN)=10MHz、A/D 转换器停止时) 标准 35 μ A (VCC=3V、等待模式、外围时钟停止) 标准 0.7 μ A (VCC=3V、停止模式)
闪存	编程和擦除电压	VCC=2.7 ~ 5.5V
	编程和擦除次数	100 次
工作环境温度	-20°C ~ 85°C -40°C ~ 85°C (D 版) -20°C ~ 105°C (Y 版) (注 2)	
封装	20 管脚塑模 LSSOP	
	20 管脚塑模 SDIP	
	28 管脚塑模 HWQFN	

注 1. I²C bus 为荷兰 PHILIPS 公司的注册商标。

注 2. 有关 Y 版的信息，请向瑞萨科技营业窗口咨询。

表 1.2 R8C/1B 群的性能概要 (1)

项目	性能	
CPU	基本指令数	89 条指令
	最短指令执行时间	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)
	运行模式	单芯片
	地址空间	1M 字节
	存储器容量	参照表 1.4。
外围功能	端口	输入 / 输出: 13 个 (含 LED 驱动端口) 输入: 3 个
	LED 驱动端口	输入 / 输出: 4 个
	定时器	定时器 X: 8 位 × 1 个通道、 定时器 Z: 8 位 × 1 个通道 (各定时器: 内有 8 位预定标器) 定时器 C: 16 位 × 1 个通道 (输入捕捉电路、输出比较电路)
	串行接口	1 个通道 时钟同步串行 I/O、时钟异步串行 I/O 1 个通道 时钟异步串行 I/O
	时钟同步串行接口	1 个通道 I ² C 总线接口 (注 1)、带片选时钟同步串行 I/O (SSU)
	A/D 转换器	10 位 A/D 转换器: 1 个电路、4 个通道
	监视定时器	15 位 × 1 个通道 (内有预定标器) 可选择复位启动功能, 计数源保护模式
	中断	内部: 11 个中断源、外部: 4 个中断源、软件: 4 个中断源、 中断优先级: 7 级
	时钟发生电路	2 个电路 • 主时钟振荡电路 (内置反馈电阻) • 内部振荡器 (高速、低速) 高速内部振荡器带频率调整功能
	振荡停止检测功能	主时钟振荡停止检测功能
	电压检测电路	内置
	加电复位电路	内置
	电特性	电源电压
消耗电流		标准 9mA (VCC=5V、f(XIN)=20MHz、A/D 转换器停止时) 标准 5mA (VCC=3V、f(XIN)=10MHz、A/D 转换器停止时) 标准 35μA (VCC=3V、等待模式、外围时钟停止) 标准 0.7μA (VCC=3V、停止模式)

表 1.2 R8C/1B 群的性能概要 (2)

项目		性能
闪存	编程和擦除电压	VCC=2.7 ~ 5.5V
	编程和擦除次数	10,000 次 (数据闪存)
		1,000 次 (程序 ROM)
工作环境温度		-20°C ~ 85°C -40°C ~ 85°C (D 版) -20°C ~ 105°C (Y 版) (注 2)
封装	20 管脚塑模 LSSOP	
	20 管脚塑模 SDIP	
	28 管脚塑模 HWQFN	

注 1. I²C bus 为荷兰 PHILIPS 公司的注册商标。

注 2. 有关 Y 版的信息，请向瑞萨科技营业窗口咨询。

1.3 框图

框图如图 1.1 所示。

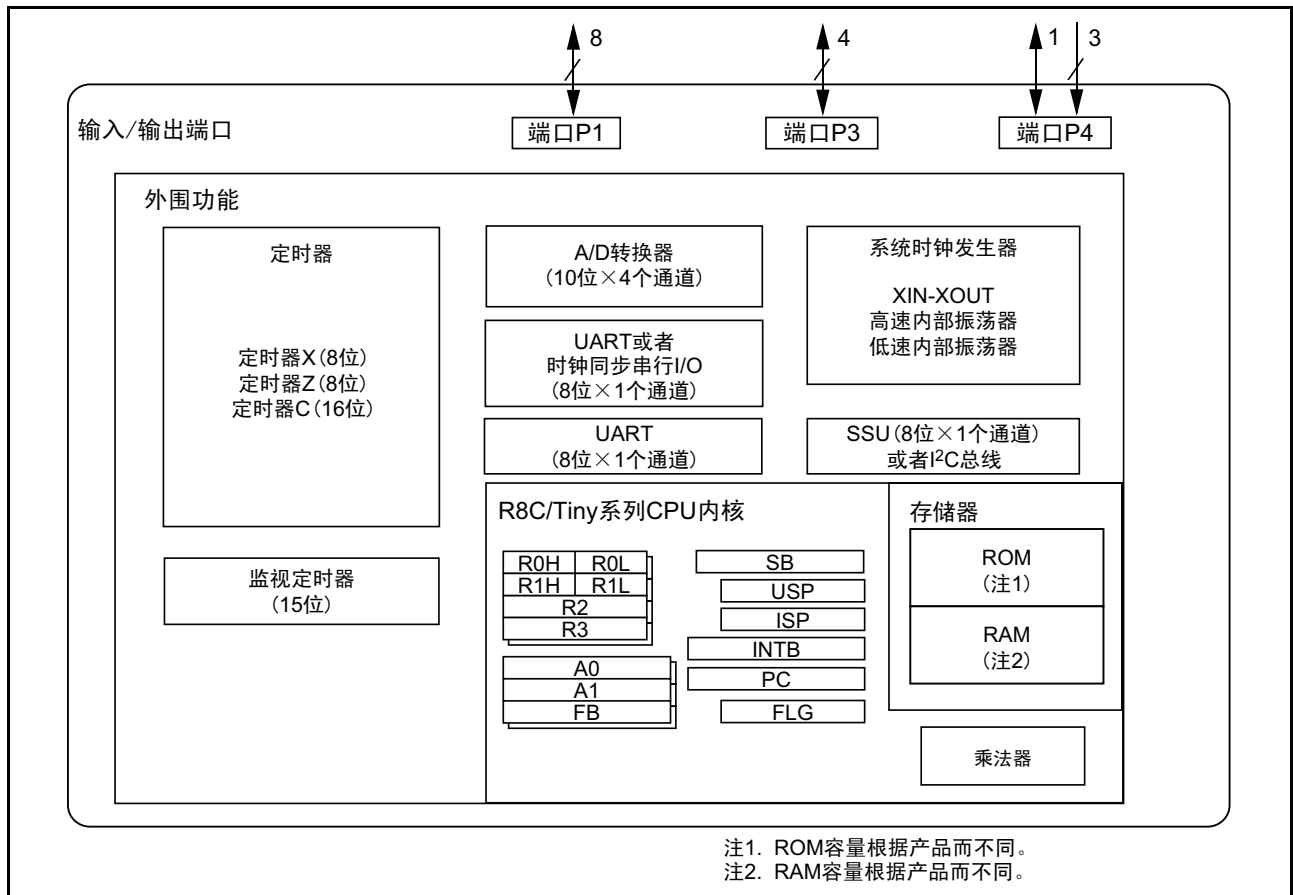


图 1.1 框图

1.4 产品一览

R8C/1A 群产品一览表如表 1.3、R8C/1B 群产品一览表如表 1.4 所示。

表 1.3 R8C/1A 群产品一览表

截至于 2006 年 10 月

型号	ROM 容量	RAM 容量	封装	備考	
R5F211A1SP	4K 字节	384 字节	PLSP0020JB-A		
R5F211A2SP	8K 字节	512 字节	PLSP0020JB-A		
R5F211A3SP	12K 字节	768 字节	PLSP0020JB-A		
R5F211A4SP	16K 字节	1K 字节	PLSP0020JB-A		
R5F211A1DSP	4K 字节	384 字节	PLSP0020JB-A	D 版	
R5F211A2DSP	8K 字节	512 字节	PLSP0020JB-A		
R5F211A3DSP	12K 字节	768 字节	PLSP0020JB-A		
R5F211A4DSP	16K 字节	1K 字节	PLSP0020JB-A		
R5F211A1DD	4K 字节	384 字节	PRDP0020BA-A		
R5F211A2DD	8K 字节	512 字节	PRDP0020BA-A		
R5F211A3DD	12K 字节	768 字节	PRDP0020BA-A		
R5F211A4DD	16K 字节	1K 字节	PRDP0020BA-A		
R5F211A2NP	8K 字节	512 字节	PWQN0028KA-B		
R5F211A3NP	12K 字节	768 字节	PWQN0028KA-B		
R5F211A4NP	16K 字节	1K 字节	PWQN0028KA-B		
R5F211A1XXXSP	4K 字节	384 字节	PLSP0020JB-A		编程后的出货产品（注 1）
R5F211A2XXXSP	8K 字节	512 字节	PLSP0020JB-A		
R5F211A3XXXSP	12K 字节	768 字节	PLSP0020JB-A		
R5F211A4XXXSP	16K 字节	1K 字节	PLSP0020JB-A		
R5F211A1DXXXSP	4K 字节	384 字节	PLSP0020JB-A		D 版
R5F211A2DXXXSP	8K 字节	512 字节	PLSP0020JB-A		
R5F211A3DXXXSP	12K 字节	768 字节	PLSP0020JB-A		
R5F211A4DXXXSP	16K 字节	1K 字节	PLSP0020JB-A		
R5F211A1XXXDD	4K 字节	384 字节	PRDP0020BA-A		编程后的出货产品（注 1）
R5F211A2XXXDD	8K 字节	512 字节	PRDP0020BA-A		
R5F211A3XXXDD	12K 字节	768 字节	PRDP0020BA-A		
R5F211A4XXXDD	16K 字节	1K 字节	PRDP0020BA-A		
R5F211A2XXXNP	8K 字节	512 字节	PWQN0028KA-B		
R5F211A3XXXNP	12K 字节	768 字节	PWQN0028KA-B		
R5F211A4XXXNP	16K 字节	1K 字节	PWQN0028KA-B		

注 1: 用户 ROM 编程后出货。

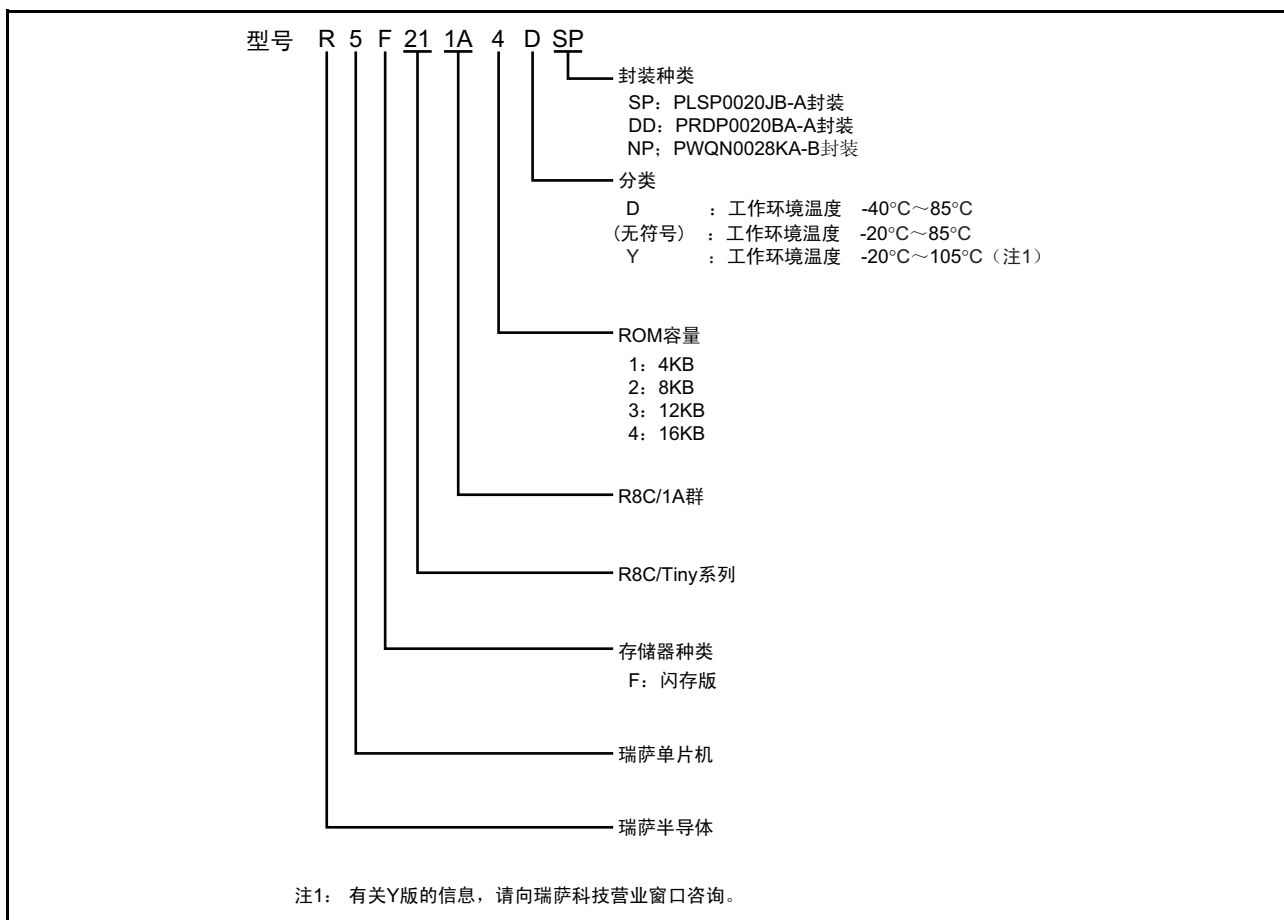


图 1.2 型号、存储器容量以及封装

表 1.4 R8C/1B 群产品一览表

截至 2006 年 03 月

型号	ROM 容量		RAM 容量	封装	备考
	程序 ROM	数据闪存			
R5F211B1SP	4K 字节	1K 字节 ×2	384 字节	PLSP0020JB-A	
R5F211B2SP	8K 字节	1K 字节 ×2	512 字节	PLSP0020JB-A	
R5F211B3SP	12K 字节	1K 字节 ×2	768 字节	PLSP0020JB-A	
R5F211B4SP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A	
R5F211B1DSP	4K 字节	1K 字节 ×2	384 字节	PLSP0020JB-A	D 版
R5F211B2DSP	8K 字节	1K 字节 ×2	512 字节	PLSP0020JB-A	
R5F211B3DSP	12K 字节	1K 字节 ×2	768 字节	PLSP0020JB-A	
R5F211B4DSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A	
R5F211B1DD	4K 字节	1K 字节 ×2	384 字节	PRDP0020BA-A	
R5F211B2DD	8K 字节	1K 字节 ×2	512 字节	PRDP0020BA-A	
R5F211B3DD	12K 字节	1K 字节 ×2	768 字节	PRDP0020BA-A	
R5F211B4DD	16K 字节	1K 字节 ×2	1K 字节	PRDP0020BA-A	
R5F211B2NP	8K 字节	1K 字节 ×2	512 字节	PWQN0028KA-B	
R5F211B3NP	12K 字节	1K 字节 ×2	768 字节	PWQN0028KA-B	
R5F211B4NP	16K 字节	1K 字节 ×2	1K 字节	PWQN0028KA-B	
R5F211A1XXXSP	4K 字节	1K 字节 ×2	384 字节	PLSP0020JB-A	
R5F211A2XXXSP	8K 字节	1K 字节 ×2	512 字节	PLSP0020JB-A	
R5F211A3XXXSP	12K 字节	1K 字节 ×2	768 字节	PLSP0020JB-A	
R5F211A4XXXSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A	
R5F211A1DXXXSP	4K 字节	1K 字节 ×2	384 字节	PLSP0020JB-A	D 版
R5F211A2DXXXSP	8K 字节	1K 字节 ×2	512 字节	PLSP0020JB-A	
R5F211A3DXXXSP	12K 字节	1K 字节 ×2	768 字节	PLSP0020JB-A	
R5F211A4DXXXSP	16K 字节	1K 字节 ×2	1K 字节	PLSP0020JB-A	
R5F211A1XXXDD	4K 字节	1K 字节 ×2	384 字节	PRDP0020BA-A	编程后的出货产品 (注 1)
R5F211A2XXXDD	8K 字节	1K 字节 ×2	512 字节	PRDP0020BA-A	
R5F211A3XXXDD	12K 字节	1K 字节 ×2	768 字节	PRDP0020BA-A	
R5F211A4XXXDD	16K 字节	1K 字节 ×2	1K 字节	PRDP0020BA-A	
R5F211A2XXXNP	8K 字节	1K 字节 ×2	512 字节	PWQN0028KA-B	
R5F211A3XXXNP	12K 字节	1K 字节 ×2	768 字节	PWQN0028KA-B	
R5F211A4XXXNP	16K 字节	1K 字节 ×2	1K 字节	PWQN0028KA-B	
R5F211A1XXXNP	4K 字节	1K 字节 ×2	384 字节	PWQN0028KA-B	

注 1. 用户 ROM 编程后出货。

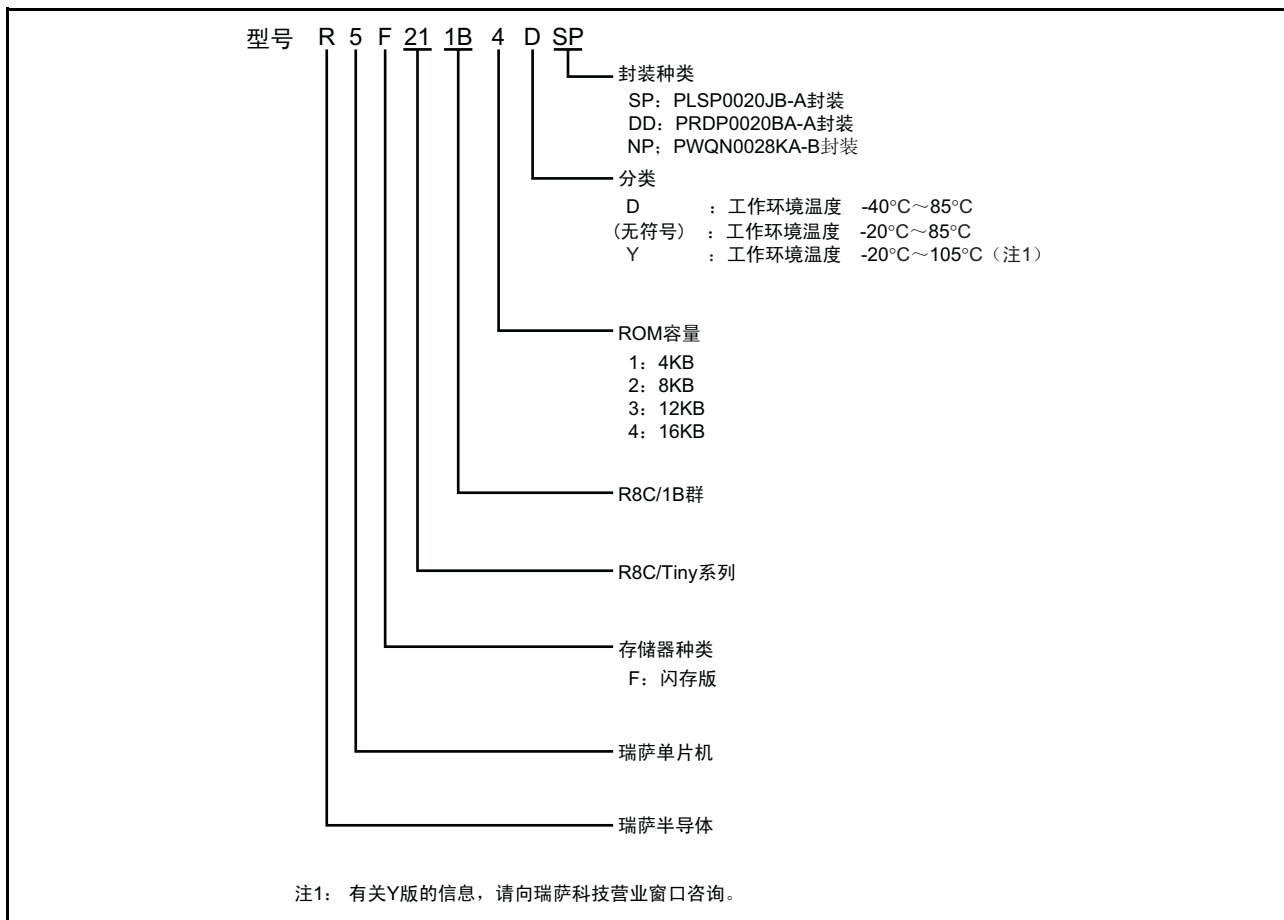


图 1.3 型号、存储器容量以及封装

1.5 管脚连接图

PLSP0020JB-A 封装产品的管脚连接图（俯视图）如图 1.4、PRDP0020BA-A 封装产品的管脚连接图（俯视图）如图 1.5、PWQN0028KA-B 封装产品的管脚连接图（俯视图）如图 1.6 所示。

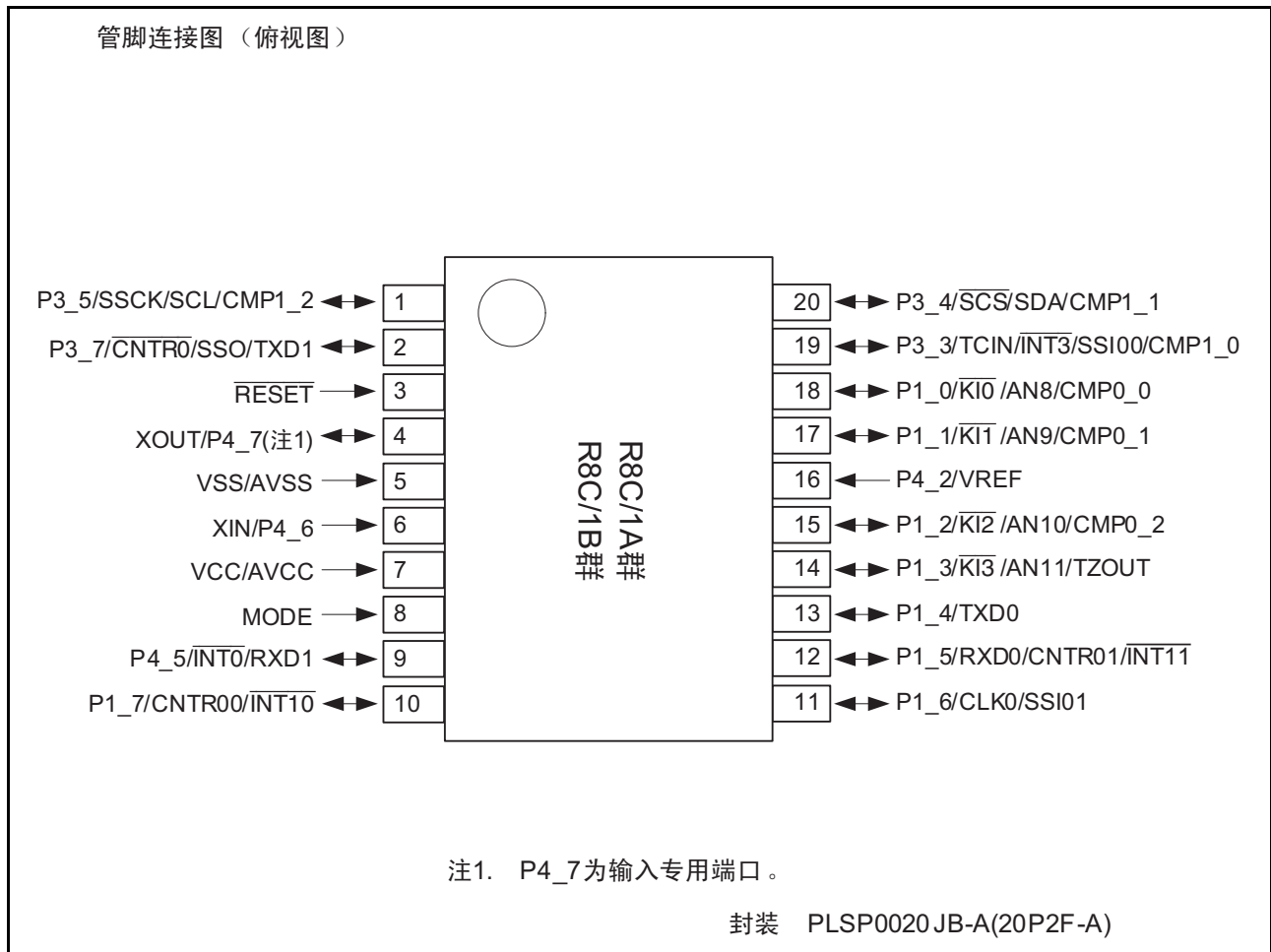


图 1.4 PLSP0020JB-A 封装产品的管脚连接图（俯视图）

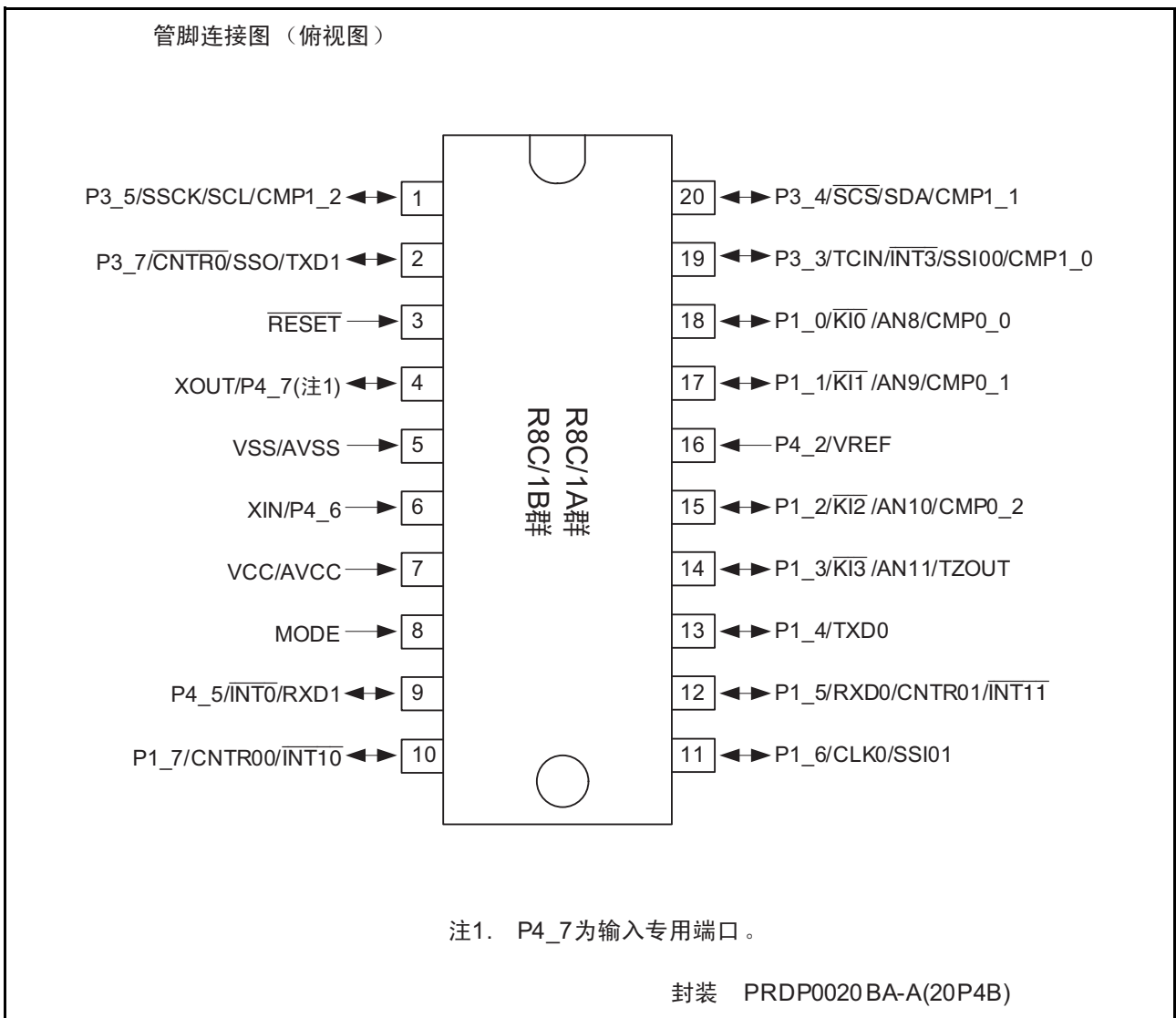


图 1.5 PRDP0020BA-A 封装产品的管脚连接图（俯视图）

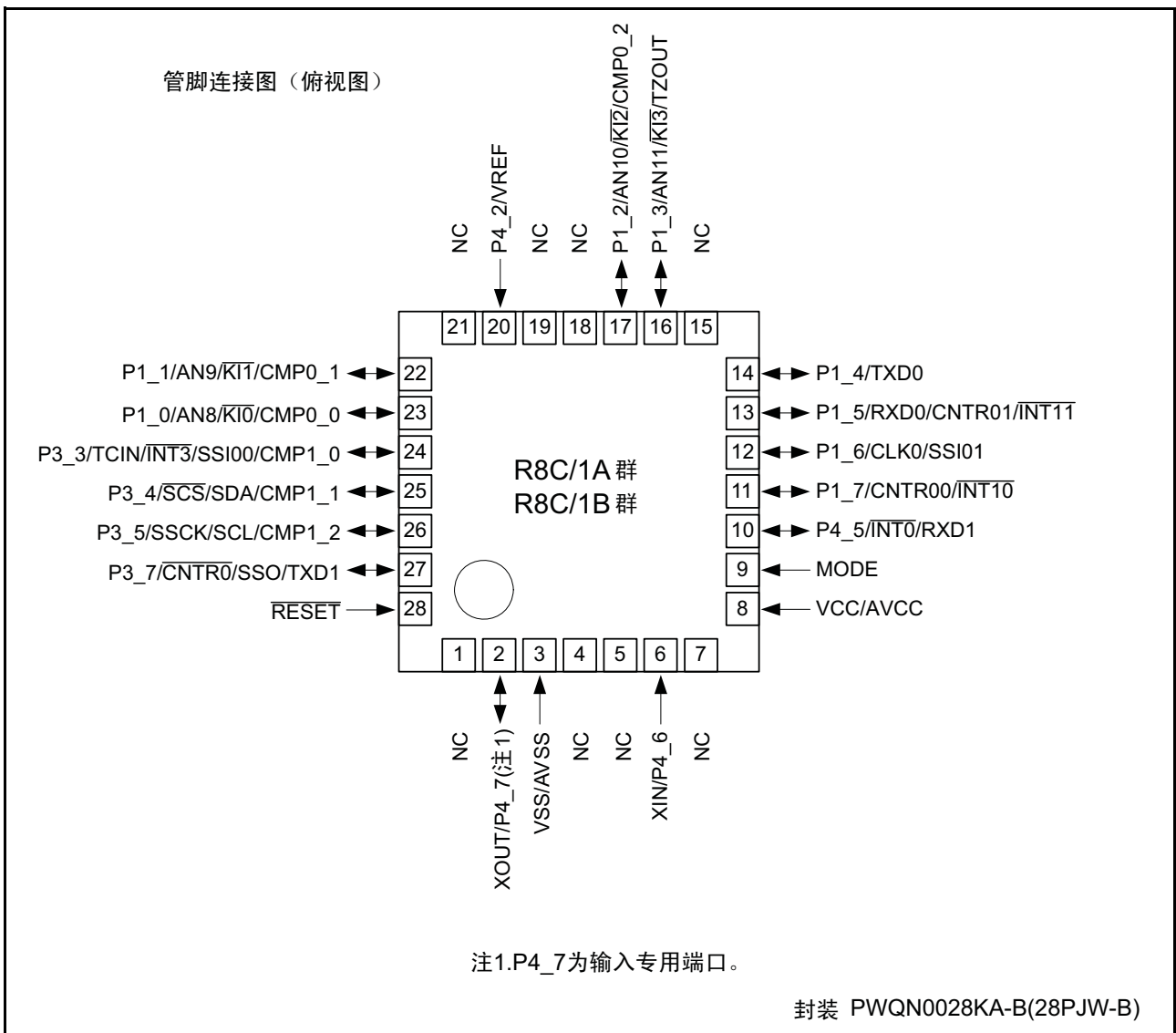


图 1.6 PWQN0028KA-B 封装产品的管脚连接图（俯视图）

1.6 管脚功能说明

管脚功能说明如表 1.5、PLSP0020JB-A、PRDP0020BA-A 封装产品的管脚序号 - 管脚名一览表如表 1.6、PWQN0028KA-B 封装产品的管脚序号 - 管脚名一览表如表 1.7 所示。

表 1.5 管脚功能说明

分类	管脚名	输入 / 输出	功能
电源输入	VCC、VSS	输入	必须给 VCC 输入 2.7V ~ 5.5V，给 VSS 输入 0V。
模拟电源输入	AVCC、AVSS	输入	A/D 转换器的电源输入。必须在 AVCC 和 AVSS 之间连接电容器。
复位输入	$\overline{\text{RESET}}$	输入	如果给该管脚输入“L”电平，单片机就变为复位状态。
MODE	MODE	输入	必须通过电阻连接到 VCC。
主时钟输入	XIN	输入	主时钟振荡电路的输入 / 输出。必须在 XIN 和 XOUT 之间连接陶瓷谐振器或者晶体谐振器。在输入外部生成的时钟时，必须从 XIN 输入时钟，而将 XOUT 开路。
主时钟输出	XOUT	输出	
$\overline{\text{INT}}$ 中断输入	$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$	输入	$\overline{\text{INT}}$ 中断的输入。
键输入中断输入	KI0 ~ KI3	输入	键输入中断的输入。
定时器 X	CNTR0	输入 / 输出	定时器 X 的输入 / 输出。
	$\overline{\text{CNTR0}}$	输出	定时器 X 的输出。
定时器 Z	TZOUT	输出	定时器 Z 的输出。
定时器 C	TCIN	输入	定时器 C 的输入。
	CMP0_0 ~ CMP0_2、 CMP1_0 ~ CMP1_2	输出	定时器 C 的输出。
串行接口	CLK0	输入 / 输出	传送时钟输入 / 输出。
	RXD0、RXD1	输入	串行数据输入。
	TXD0、TXD1	输出	串行数据输出。
带片选时钟同步串行 I/O (SSU)	SSI00、SSI01	输入 / 输出	数据输入 / 输出。
	$\overline{\text{SCS}}$	输入 / 输出	片选输入 / 输出。
	SSCK	输入 / 输出	时钟输入 / 输出。
	SSO	输入 / 输出	数据输入 / 输出。
I ² C 总线接口	SCL	输入 / 输出	时钟输入 / 输出。
	SDA	输入 / 输出	数据输入 / 输出。
基准电压输入	VREF	输入	A/D 转换器的基准电压输入。
A/D 转换器	AN8 ~ AN11	输入	A/D 转换器的模拟输入。
输入 / 输出端口	P1_0 ~ P1_7、 P3_3 ~ P3_5、 P3_7、P4_5	输入 / 输出	CMOS 的输入 / 输出端口。具有用于选择输入 / 输出的方向寄存器，每个管脚能设定成输入端口或者输出端口。输入端口能通过程序选择有无上拉电阻。端口 P1_0 ~ P1_3 能作为 LED 驱动端口使用。
输入端口	P4_2、P4_6、P4_7	输入	输入专用端口。

表 1.6 PLSP0020JB-A、PRDP0020BA-A 封装产品的管脚序号 - 管脚名一览表

管脚 序号	控制管脚	端口	外围功能的输入 / 输出管脚					
			中断	定时器	串行接口	带片选时钟 同步串行 I/O	I ² C 总线 接口	A/D 转换器
1		P3_5		CMP1_2		SSCK	SCL	
2		P3_7		CNTR0	TXD1	SSO		
3	RESET							
4	XOUT	P4_7						
5	VSS/AVSS							
6	XIN	P4_6						
7	VCC/AVCC							
8	MODE							
9		P4_5	INT0		RXD1			
10		P1_7	INT10	CNTR00				
11		P1_6			CLK0	SSI01		
12		P1_5	INT11	CNTR01	RXD0			
13		P1_4			TXD0			
14		P1_3	KI3	TZOUT				AN11
15		P1_2	KI2	CMP0_2				AN10
16	VREF	P4_2						
17		P1_1	KI1	CMP0_1				AN9
18		P1_0	KI0	CMP0_0				AN8
19		P3_3	INT3	TCIN/CMP1_0		SSI00		
20		P3_4		CMP1_1		SCS	SDA	

表 1.7 PWQN0028KA-B 封装产品的管脚序号 - 管脚名一览表

管脚 序号	控制管脚	端口	外围功能的输入 / 输出管脚					
			中断	定时器	串行接口	带片选时钟 同步串行 I/O	I ² C 总线 接口	A/D 转换器
1	NC							
2	XOUT	P4_7						
3	VSS/AVSS							
4	NC							
5	NC							
6	XIN	P4_6						
7	NC							
8	VCC/AVCC							
9	MODE							
10		P4_5	$\overline{\text{INT0}}$		RXD1			
11		P1_7	$\overline{\text{INT10}}$	CNTR00				
12		P1_6			CLK0	SSI01		
13		P1_5	$\overline{\text{INT11}}$	CNTR01	RXD0			
14		P1_4			TXD0			
15	NC							
16		P1_3	$\overline{\text{KI3}}$	TZOUT				AN11
17		P1_2	$\overline{\text{KI2}}$	CMP0_2				AN10
18	NC							
19	NC							
20	VREF	P4_2						
21	NC							
22		P1_1	$\overline{\text{KI1}}$	CMP0_1				AN9
23		P1_0	$\overline{\text{KI0}}$	CMP0_0				AN8
24		P3_3	$\overline{\text{INT3}}$	TCIN/CMP1_0		SSI00		
25		P3_4		CMP1_1		$\overline{\text{SCS}}$	SDA	
26		P3_5		CMP1_2		SSCK	SCL	
27		P3_7		$\overline{\text{CNTR0}}$	TXD1	SSO		
28	$\overline{\text{RESET}}$							

2. 使用注意事项

2.1 时钟发生电路的使用注意事项

2.1.1 停止模式

转移到停止模式时，必须在将 FMR0 寄存器的 FMR01 位清“0”（CPU 改写模式无效）后，将 CM1 寄存器的 CM10 位置“1”（停止模式）。指令队列从将 CM10 位置“1”（停止模式）的指令开始，预读 4 个字节，然后程序停止。

必须在将 CM10 位置“1”的指令后立即插入 JMP.B 指令，然后至少插入 4 条 NOP 指令。

- 转移到停止模式的程序例子

```

BCLR    1,FMR0    ; CPU 改写模式无效
BSET    0,PRCR   ; 解除保护
FSET    I        ; 允许中断
BSET    0,CM1    ; 停止模式
JMP.B   LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

2.1.2 等待模式

转移到等待模式时，必须在将 FMR0 寄存器的 FMR01 位清“0”（CPU 改写模式无效）后执行 WAIT 指令。指令队列从 WAIT 指令开始，预读 4 个字节，然后程序停止。必须在 WAIT 指令之后，至少插入 4 条 NOP 指令。

- 执行 WAIT 指令的程序例子

```

BCLR    1,FMR0    ; CPU 改写模式无效
FSET    I        ; 允许中断
WAIT                    ; 等待模式
NOP
NOP
NOP
NOP

```

2.1.3 振荡停止检测功能

在主时钟频率低于 2MHz 时不能使用振荡停止检测功能，所以必须将 OCD1 ~ OCD0 位置“00b”（振荡停止检测功能无效）。

2.1.4 振荡电路常数

有关用户系统的最佳振荡电路常数，请向谐振器厂家询问后决定。

2.1.5 高速内部振荡器时钟

高速内部振荡器的频率在闪存的 CPU 改写模式的自动编程期间或者自动擦除期间有可能发生最大 10% (注 1) 的变动。

自动编程结束后或者自动擦除结束后的高速内部振荡器频率为编程命令或者块擦除命令发行前的状态，读阵列命令、读状态寄存器命令、清除状态寄存器命令发行时除外。

在设计应用产品时，必须充分考虑到频率的变动。

注 1. 是对于发货时被调整的 8MHz 频率的变动率。

2.2 中断的使用注意事项

2.2.1 地址 00000h 的读取

不能通过程序读地址 00000h。在接受到可屏蔽中断的中断请求时，CPU 在中断顺序中从地址 00000h 读取中断信息（中断序号和中断请求级）。此时，被接受的中断的 IR 位变为“0”。

如果通过程序读地址 00000h，就在被允许的中断中优先权最高的中断 IR 位变为“0”。因此，中断可能被取消或者发生预想外的中断。

2.2.2 SP 的设定

必须在接受中断前给 SP 设定值。在复位后，SP 为“0000h”。因此，如果在给 SP 设定值前接受中断，程序就会失控。

2.2.3 外部中断和键输入中断

输入到 $\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 管脚和 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 管脚的信号与 CPU 运行时钟无关，需要 250ns 以上的“L”电平宽度或者“H”电平宽度。

2.2.4 监视定时器中断

在监视定时器中断发生后，必须初始化监视定时器。

2.2.5 中断源的更改

如果改变中断源，中断控制寄存器的 **IR** 位就可能变为“1”（有中断请求）。使用中断时，必须在改变中断源后，将 **IR** 位置“0”（无中断请求）。

另外，在此所说的改变中断源，包括改变被分配到各软件中断序号的中断源、极性和时序等全部要素。因此，在外围功能的模式改变等关系到中断源、极性和时序的情况下，必须在改变后将 **IR** 位置“0”（无中断请求）。外围功能的中断请参照各外围功能。

中断源更改步骤的例子如图 2.1 所示。

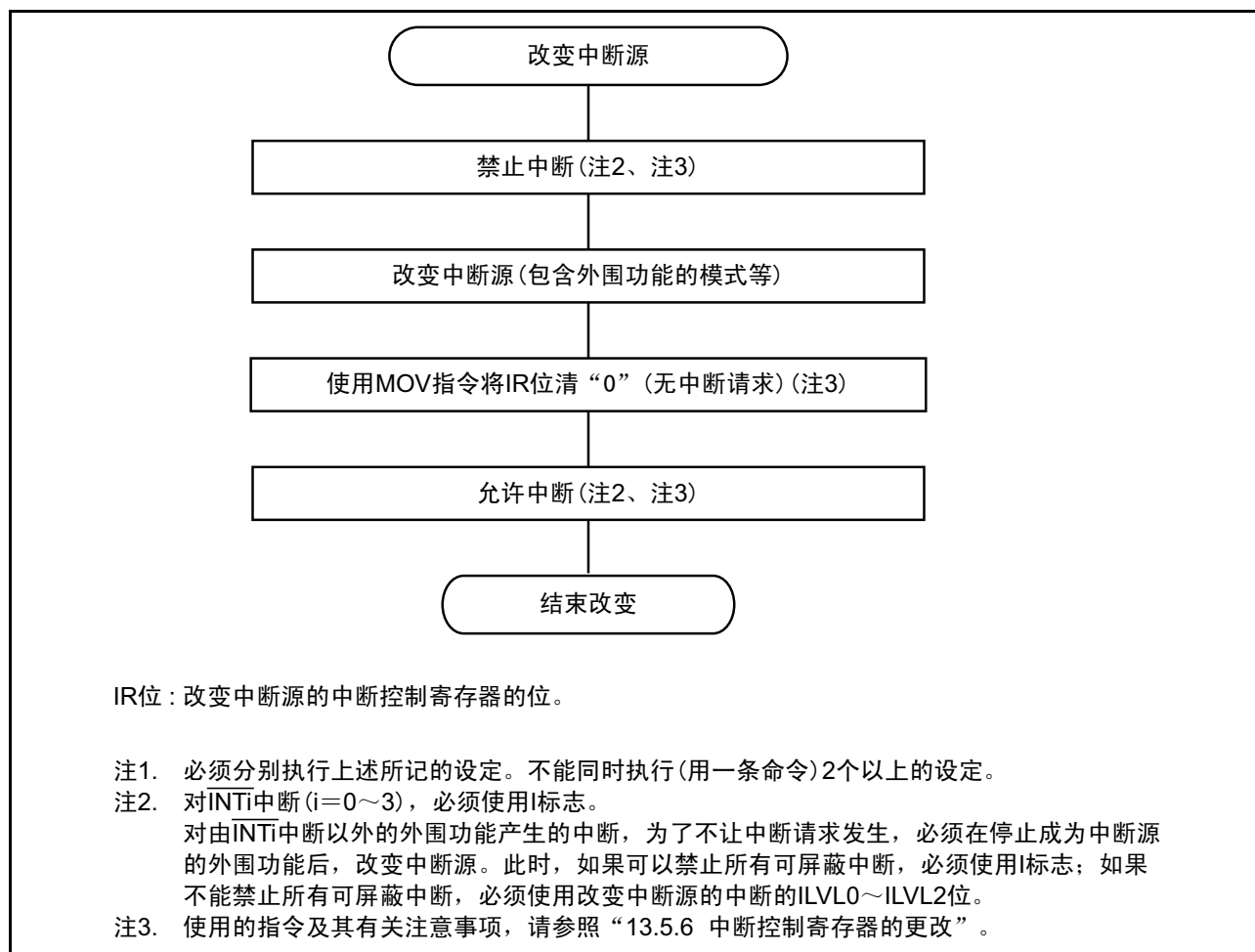


图 2.1 中断源更改步骤的例子

2.2.6 中断控制寄存器的更改

- (a) 必须在对应该寄存器的中断请求不发生的位置改变中断控制寄存器。在有可能发生中断请求时，必须在禁止中断后改变中断控制寄存器。
- (b) 在禁止中断后改变中断控制寄存器的情况下，必须注意使用的指令。
- 改变 IR 位以外的位
在执行指令期间，当发生对应该寄存器的中断请求时，IR 位可能不变为“1”（有中断请求），中断被忽视。当在此情况出现问题时，必须使用以下指令改变寄存器：
对象指令…AND、OR、BCLR、BSET
 - 改变 IR 位
在将 IR 位置“0”（无中断请求）时，根据使用的指令，IR 位可能不变为“0”。必须用 MOV 指令将 IR 位置“0”。
- (c) 在使用 I 标志禁止中断时，必须按照以下的程序例子设定 I 标志（程序例子的中断控制寄存器的更改请参照 (b)）。

例 1～例 3 是防止由于受内部总线和指令队列缓冲器的影响，在改变中断控制寄存器前 I 标志变为“1”（允许中断）的方法。

例 1：通过 NOP 指令，等待改变中断控制寄存器的例子

```
INT_SWITCH1:
    FCLR      I           ; 禁止中断
    AND.B    #00H, 0056H ; 将 TXIC 寄存器置“00h”
    NOP ;
    NOP
    FSET     I           ; 允许中断
```

例 2：通过虚读，使 FSET 指令等待的例子

```
INT_SWITCH2:
    FCLR      I           ; 禁止中断
    AND.B    #00H, 0056H ; 将 TXIC 寄存器置“00h”
    MOV.W   MEM, R0      ; 虚读
    FSET     I           ; 允许中断
```

例 3：通过 POPC 指令，改变 I 标志的例子

```
INT_SWITCH3:
    PUSHC   FLG
    FCLR      I           ; 禁止中断
    AND.B    #00H, 0056H ; 将 TXIC 寄存器置“00h”
    POPC    FLG          ; 允许中断
```

2.3 定时器

2.3.1 定时器 X 的使用注意事项

- 在复位后，定时器停止计数。必须在对定时器和预定标器设定值后，开始计数。
- 即使以 16 位单位读取预定标器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 不能同时改写 TXMR 寄存器的 TXMOD0 ~ TXMOD1 位、TXMOD2 位和 TXS 位。
- 如果通过程序对在脉冲周期测定模式使用的 TXMR 寄存器的 TXEDG 位和 TXUND 位写“0”，这些位就变为“0”；写“1”时，这些位不变化。在对 TXMR 寄存器使用读 / 修改 / 写指令的情况下，即使 TXEDG 位和 TXUND 位为“1”，在指令执行中这些位也有可能被置“0”。此时，必须用 MOV 指令对不想被置“0”的 TXEDG 位和 TXUND 位写“1”。
- 在从其它模式改变到脉冲周期测定模式时，TXEDG 位和 TXUND 位不定。必须在给 TXEDG 位和 TXUND 位写“0”后，开始定时器 X 的计数。
- 在计数开始后最初发生的预定标器 X 的下溢信号，TXEDG 位可能变为“1”。
- 当使用脉冲周期测定模式时，必须在计数刚开始后间隔预定标器 X 的 2 个周期以上的时间，将 TXEDG 位置“0”，然后使用。
- TXMR 寄存器的 TXS 位有指示定时器 X 开始或者停止计数的功能、表示开始或者停止计数的功能。在计数停止中，如果在 TXS 位置“1”（开始计数）后且在输入下一个计数源之前读取 TXS 位，读到的值总为“0”（停止计数）。如果输入了下一个计数源，就能从 TXS 位读到“1”。在能从 TXS 位读到“1”之前，除了 TXS 位以外，不能存取定时器 X 的相关寄存器（TXMR、PREX、TX、TCSS、TXIC 寄存器）。在 TXS 位为“1”后，从下一个计数源开始计数。同样，如果在计数中对 TXS 位置“0”（停止计数），就在下一个计数源停止定时器 X 的计数。如果在 TXS 位置“0”后且在停止计数之前读取 TXS 位，读到的值总为“1”（开始计数）。在 TXS 位置“0”后且在能从 TXS 位读到“0”之前，除了 TXS 位以外，不能存取定时器 X 的相关寄存器。

2.3.2 定时器 Z 的使用注意事项

- 在复位后，定时器停止计数。必须在对定时器和预定标器设定值后，开始计数。
- 即使以 16 位单位读取预定标器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 不能同时改写 TZMR 寄存器的 TZMOD0 ~ TZMOD1 位和 TZS 位。
- 可编程单触发发生模式和可编程等待单触发发生模式时，如果在 TZMR 寄存器的 TZS 位置“0”后停止计数，或者在 TZOC 寄存器的 TZOS 位置“0”后停止单触发，定时器就重新装入重加载寄存器的值后停止。定时器的计数值必须在定时器停止前读取。
- TZMR 寄存器的 TZS 位有指示定时器 Z 开始或者停止计数的功能、表示开始或者停止计数的功能。在计数停止中，如果在 TZS 位置“1”（开始计数）后且在输入下一个计数源之前读取 TZS 位，读到的值总为“0”（停止计数）。如果输入了下一个计数源，就能从 TZS 位读到“1”。在能从 TZS 位读到“1”之前，除了 TZS 位以外，不能存取定时器 Z 的相关寄存器（TZMR、PREZ、TZSC、TZPR、TZOC、PUM、TCSC、TZIC 寄存器）。在 TZS 位为“1”后，从下一个计数源开始计数。同样，如果在计数中对 TZS 位置“0”（停止计数），就在下一个计数源停止定时器 Z 的计数。如果在 TZS 位置“0”后且在停止计数之前读取 TZS 位，读到的值总为“1”（开始计数）。在 TZS 位置“0”后且在能从 TZS 位读到“0”之前，除了 TZS 位以外，不能存取定时器 Z 的相关寄存器。

2.3.3 定时器 C 的使用注意事项

必须以 16 位为单位存取 TC 寄存器、TM0 寄存器和 TM1 寄存器。

如果以 16 位单位读取 TC 寄存器，就在读取低位字节和高位字节期间，定时器值不会被更新。

<读取定时器 C 的程序例子>

```
MOV.W    0090H, R0    ; 读取定时器 C
```

2.4 串行接口的使用注意事项

- 与时钟同步串行 I/O 模式和时钟异步串行 I/O 模式无关，在读取 UORB 寄存器时，必须以 16 位单位进行。

在读取 UORB 寄存器的高位字节时，UORB 寄存器的 PER、FER 位和 U0C1 寄存器的 RI 位变为“0”。

<读取接收缓冲寄存器的程序例子>

```
MOV.W    00A6H, R0    ; 读取 UORB 寄存器
```

- 在传送数据位长为 9 位的时钟异步串行 I/O 模式中写 U0TB 寄存器时，必须以 8 位单位按高位字节 → 低位字节的顺序进行。

<给发送缓冲寄存器写数据的程序例子>

```
MOV.B    #XXH, 00A3H    ; 写 U0TB 寄存器的高位字节  
MOV.B    #XXH, 00A2H    ; 写 U0TB 寄存器的低位字节
```

2.5 时钟同步串行接口的使用注意事项

2.5.1 带片选的时钟同步串行 I/O 的使用注意事项

- 在使用带片选的时钟同步串行 I/O 时，必须将 PMR 寄存器的 IICSEL 位置 “0”（选择带片选的时钟同步串行 I/O 功能）。

2.5.1.1 带片选的时钟同步串行 I/O 相关寄存器的存取

对于带片选的时钟同步串行 I/O 相关寄存器（地址 00B8h ~ 00BFh）的相同寄存器，必须在进行写操作后“等待 3 条指令以上”或者“等待 4 个周期以上”进行读操作。

- 等待 3 条指令以上的例子

```

程序例      MOV.B      #00h, 00BBh      ; 将 SSER 寄存器置 “00h”
              NOP
              NOP
              NOP
              MOV.B      00BBh, R0L
  
```

- 等待 4 个周期以上的例子

```

程序例      BCLR      4, 00BBh      ; 禁止发送
              JMP.B      NEXT
NEXT:
              BSET      3, 00BBh      ; 允许接收
  
```

2.5.1.2 SSI 信号管脚的选择

在进行以下的设定时，必须将 SSMR2 寄存器的 SOOS 位置 “0”（CMOS 输出）：

- SSMR2 寄存器的 SSUMS 位 = “1”（4 线方式总线通信模式）
- SSMR2 寄存器的 BIDE 位 = “0”（标准模式）
- SSCRH 寄存器的 MSS 位 = “0”（作为从属器件运行）
- PMR 寄存器的 SSISEL 位 = “1”（将 P1_6 管脚用于 SSI01 管脚）

在进行上述的设定时，不能将 SSI01 管脚用作 NMOS 漏极开路输出。

2.5.2 I²C 总线接口的使用注意事项

在使用 I²C 总线接口时，必须将 PMR 寄存器的 IICSEL 位置 “1”（选择 I²C 总线接口功能）。

2.5.2.1 I²C 总线接口相关寄存器的存取

对于 I²C 总线接口相关寄存器（地址 00B8h ~ 00BFh）的相同寄存器，必须在进行写操作后“等待 3 条指令以上”或者“等待 4 个周期以上”进行读操作。

- 等待 3 条指令以上的例子

```

程序例      MOV.B      #00h, 00BBh      ; 将 ICIER 寄存器置 “00h”
              NOP
              NOP
              NOP
              MOV.B      00BBh, R0L
  
```

- 等待 4 个周期以上的例子

```

程序例      BCLR      6, 00BBh      ; 禁止发送结束的中断请求
              JMP.B      NEXT
              NEXT:
              BSET      7, 00BBh      ; 允许发送数据空的中断请求
  
```

2.6 A/D 转换器的使用注意事项

- 对 ADCON0 寄存器的各位（bit6 除外）、ADCON1 寄存器的各位以及 ADCON2 寄存器的 SMP 位的写操作，必须在 A/D 转换停止时（发生触发前）进行。
尤其在将 VCUT 位从 “0”（未连接 VREF）置为 “1”（连接 VREF）时，必须在至少经过 1μs 后开始 A/D 转换。
- 在改变 A/D 运行模式后，必须重新选择模拟输入管脚。
- 在单次模式使用时
必须在确认 A/D 转换结束后，读 AD 寄存器（能通过 ADIC 寄存器的 IR 位或者 ADCON0 寄存器的 ADST 位判断 A/D 转换的结束）。
- 在重复模式使用时
对于 CPU 时钟，不能分频主时钟。
- 在 A/D 转换运行期间，当通过程序将 ADCON0 寄存器的 ADST 位置 “0”（停止 A/D 转换）来强制结束时，A/D 转换器的转换结果不定。在通过程序将 ADST 位置 “0” 的情况下，不能使用 AD 寄存器的值。

2.7 闪存的使用注意事项

2.7.1 CPU 改写模式

2.7.1.1 运行速度

在进入 CPU 改写模式（EW0 模式）前，必须通过 CM0 寄存器的 CM06 位、CM1 寄存器的 CM16 ~ CM17 位将 CPU 时钟设定在 5MHz 以下。

EW1 模式不需要此注意事项。

2.7.1.2 使用禁止指令

在 EW0 模式中，因为以下的指令参照闪存内的数据，所以不能使用：

UND 指令、INTO 指令、BRK 指令

2.7.1.3 中断

EW0 模式时的中断如表 20.1、EW1 模式时的中断如表 2.2 所示。

表 2.1 EW0 模式时的中断

模式	状态	在接受可屏蔽的中断请求时	在接受监视定时器、振荡停止检测和电压监视 2 的中断请求时
EW0	自动擦除中	能通过将向量分配到 RAM 使用。	如果接受中断请求，就立即强制停止自动擦除或者自动编程，复位闪存。在一定时间后重新启动闪存，然后开始中断处理。 因为强制停止，可能从自动擦除中的块或者自动编程中的地址不能读取正常值，所以必须在重新启动闪存后再次执行自动擦除，并确认正常结束。 因为监视定时器即使在命令运行中也不停止，所以有可能发生中断请求。必须定期初始化监视定时器。
	自动编程中		

注 1 因为地址匹配中断的向量被分配在 ROM 中，所以不能在执行命令中使用。

注 2 因为给块 0 分配了固定向量，所以不能在自动擦除块 0 中使用非屏蔽中断。

表 2.2 EW1 模式的中断

模式	状态	在接受可屏蔽的中断请求时	在接受监视定时器、振荡停止检测、电压监视 2 的中断请求时
EW1	自动擦除中 (擦除挂起功能有效)	在经过 $t_{d(SR-SUS)}$ 时间后, 停止自动擦除, 执行中断处理。在结束中断处理后, 能通过将 FMR4 寄存器的 FMR41 位置 “0” (重新启动擦除), 重新开始自动擦除。	如果接受中断请求, 就立即强制停止自动擦除或者自动编程, 复位闪存。在一定时间后重新启动闪存, 然后开始中断处理。 因为强制停止, 可能从自动擦除中的块或者自动编程中的地址不能读取正常值, 所以必须在重新启动闪存后再次执行自动擦除, 并确认正常结束。因为监视定时器即使在命令运行中也不停止, 所以有可能发生中断请求。必须使用擦除挂起功能定期初始化监视定时器。
	自动擦除中 (擦除挂起功能无效)	优先自动擦除, 让中断请求等待。在自动擦除结束后, 执行中断处理。	
	自动编程中 (编程挂起功能有效)	在经过 $t_{d(SR-SUS)}$ 时间后, 停止自动编程, 执行中断处理。在中断处理结束后, 能通过将 FMR4 寄存器的 FMR42 位置 “0” (重新启动编程), 重新开始自动编程。	
	自动编程中 (编程挂起功能无效)	优先自动编程, 让中断请求等待。在自动编程结束后, 执行中断处理。	

注 1 因为地址匹配中断的向量被分配在 ROM 中, 所以不能在执行命令中使用。

注 2 因为给块 0 分配了固定向量, 所以不能在自动擦除块 0 中使用非屏蔽中断。

2.7.1.4 存取方法

在将 FMR01 位、FMR02 位、FMR11 位置 “1” 时, 必须在给对象位写 “0” 后连续写 “1”。另外, 在写 “0” 后和写 “1” 之间, 不能发生中断。

2.7.1.5 用户 ROM 区的改写

如果在使用 EW0 模式对保存改写控制程序的块进行改写中途电源电压下降, 改写控制程序就不能被正常改写, 所以此后就可能无法改写闪存。此块的改写必须使用标准串行输入 / 输出模式。

2.7.1.6 编程

不能对已编程的地址进行追加写。

2.7.1.7 转移到停止模式、等待模式

不能在擦除挂起中转移到停止、等待模式。

2.8 有关噪声的注意事项

2.8.1 作为噪声和门锁对策，在 VCC 管脚和 VSS 管脚之间插入旁路电容

必须在 VCC 管脚和 VSS 管脚之间以最短距离使用较粗的配线连接旁路电容（0.1 μ F 左右）。

2.8.2 端口控制寄存器的噪声误动作对策

在严格的噪声等试验中，如果受到外噪声（主要是电源方面的噪声），即使 IC 内部的噪声对策电路也可能无法完全对应。此时，和端口有关的寄存器值可能发生变化。

作为此时的程序对策，建议定期重新设定端口寄存器、端口方向寄存器以及上拉控制寄存器。但是，如果在中断处理中进行转换端口输出等控制，由于在与重新设定处理之间可能会发生竞争，因此必须在充分探讨控制处理的基础上，进行重新设定处理。

3. 中央处理器 (CPU)

CPU 的寄存器如图 3.1 所示。CPU 有 13 个寄存器，其中 R0、R1、R2、R3、A0、A1、FB 构成寄存器组。寄存器组有 2 组。

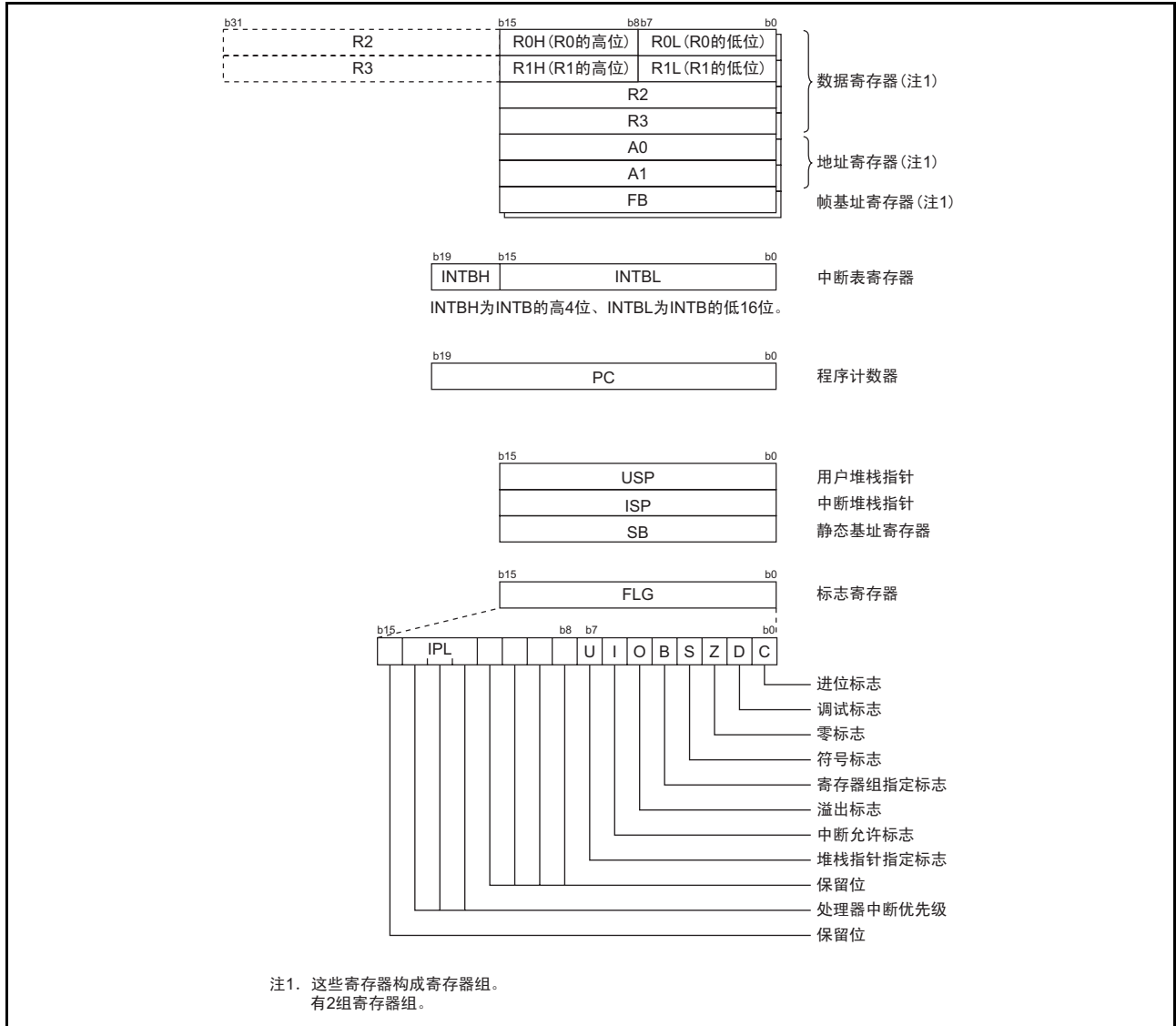


图 3.1 CPU 的寄存器

3.1 数据寄存器 (R0、R1、R2、R3)

R0 由 16 位构成，主要用于传送、算术和逻辑运算。R1 ~ R3 和 R0 相同。

能将 R0 的高位 (R0H) 和低位 (R0L) 分别作为 8 位数据寄存器使用，R1H、R1L 和 R0H、R0L 相同。能将 R2 和 R0 组合作为 32 位数据寄存器 (R2R0) 使用，R3R1 和 R2R0 同样。

3.2 地址寄存器 (A0、A1)

A0 由 16 位构成，用于地址寄存器间接寻址和地址寄存器相对寻址。另外，还用于传送、算术和逻辑运算。A1 和 A0 相同。

能将 A1 和 A0 组合作为 32 位地址寄存器 (A1A0) 使用。

3.3 帧基址寄存器 (FB)

FB 由 16 位构成，用于 FB 相对寻址。

3.4 中断表寄存器 (IINTB)

IINTB 由 20 位构成，表示可变中断向量表的起始地址。

3.5 程序计数器 (PC)

PC 由 20 位构成，表示下次执行的指令的地址。

3.6 用户堆栈指针 (USP) 和中断堆栈指针 (ISP)

堆栈指针 (SP) 有 USP 和 ISP 两种，都由 16 位构成。
能通过 FLG 的 U 标志，选择 USP 和 ISP。

3.7 静态基址寄存器 (SB)

SB 由 16 位构成，用于 SB 相对寻址。

3.8 标志寄存器 (FLG)

FLG 由 11 位构成，表示 CPU 状态。

3.8.1 进位标志 (C 标志)

保存由算术逻辑运算器产生的进位、借位和移出位等。

3.8.2 调试标志 (D 标志)

D 标志是调试专用标志，必须置“0”。

3.8.3 零标志 (Z 标志)

在运算结果为 0 时为“1”，否则为“0”。

3.8.4 符号标志 (S 标志)

在运算结果为负时为“1”，否则为“0”。

3.8.5 寄存器组指定标志 (B 标志)

在 B 标志为“0”时，指定寄存器组 0；在 B 标志为“1”时，指定寄存器组 1。

3.8.6 溢出标志 (O 标志)

在运算结果溢出时为“1”，否则为“0”。

3.8.7 中断允许标志 (I 标志)

它是允许可屏蔽中断的标志。

在 I 标志为“0”时，禁止可屏蔽中断；在 I 标志为“1”时，允许可屏蔽中断。

如果接受中断请求，I 标志就变为“0”。

3.8.8 堆栈指针指定标志 (U 标志)

在 U 标志为“0”时，指定 ISP；在 U 标志为“1”时，指定 USP。

在接受硬件中断请求或者执行软件中断号 0 ~ 31 的 INT 指令时，U 标志变为“0”。

3.8.9 处理器中断优先级 (IPL)

IPL 由 3 位构成，指定 0 ~ 7 级的 8 个处理器中断优先级。
如果请求的中断优先级高于 IPL，就允许该中断请求。

3.8.10 保留位

只能写“0”，读时值不定。

4. 存储器

4.1 R8C/1A 群

R8C/1A 群的存储器分配图如图 4.1 所示。地址空间为从地址 00000h 到地址 FFFFFh 的 1M 字节。内部 ROM 分配在从地址 0FFFFh 向低位地址方向延伸的区域。例如，16K 字节的内部 ROM 分配在地址 0C000h 到地址 0FFFFh 之间。

固定中断向量表分配在地址 0FFDCh 到地址 0FFFFh 之间，在这里，保存中断程序的起始地址。内部 RAM 分配在从地址 00400h 向高位地址方向延伸的区域。例如，1K 字节的内部 RAM 分配在地址 00400h 到地址 007FFh 之间。内部 RAM 除了保存数据以外，还作为子程序调用和中断时的堆栈使用。

SFR 分配在地址 00000h 到地址 002FFh 之间。在这里，分配了外围功能的控制寄存器。由于在 SFR 中未被分配的区域全部为保留区，因此用户不能使用。

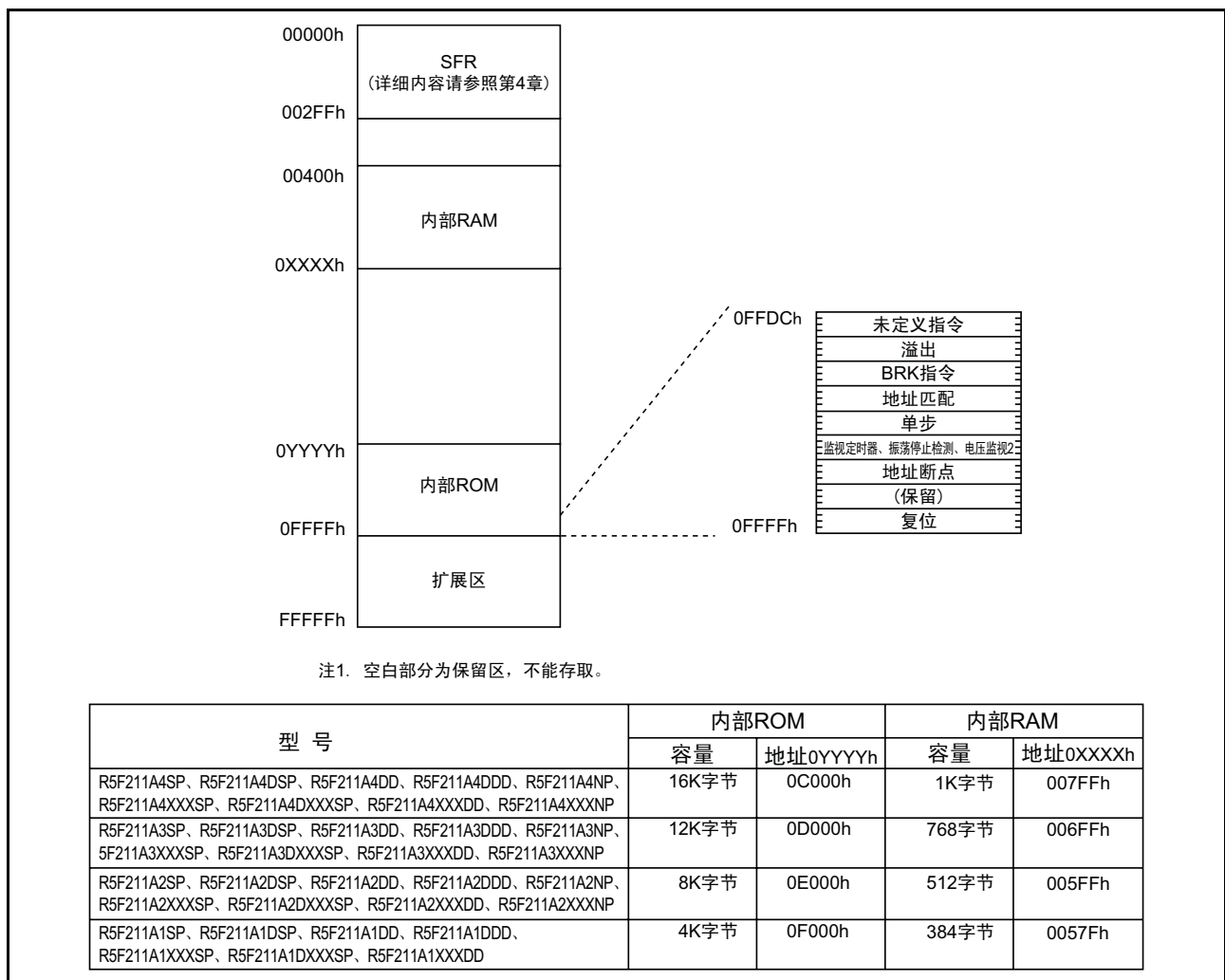


图 4.1 R8C/1A 群的存储器分配图

4.2 R8C/1B 群

R8C/1B 群的存储器分配图如图 4.2 所示。地址空间为从地址 00000h 到地址 FFFFFh 的 1M 字节。内部 ROM（程序 ROM）分配在从地址 0FFFFh 向低位地址方向延伸的区域。例如，16K 字节的内部 ROM 分配在地址 0C000h 到地址 0FFFFh 之间。

固定中断向量表分配在地址 0FFDCh 到地址 0FFFFh 之间，在这里，保存中断程序的起始地址。

内部 ROM（数据闪存）分配在从地址 02400h 到地址 02BFFh 之间。

内部 RAM 分配在从地址 00400h 向高位地址方向延伸的区域。例如，1K 字节的内部 RAM 分配在地址 00400h 到地址 007FFh 之间。内部 RAM 除了保存数据以外，还作为子程序调用和中断时的堆栈使用。

SFR 分配在地址 00000h 到地址 002FFh 之间。在这里，分配了外围功能的控制寄存器。由于在 SFR 中未被分配的区域全部为保留区，因此用户不能使用。

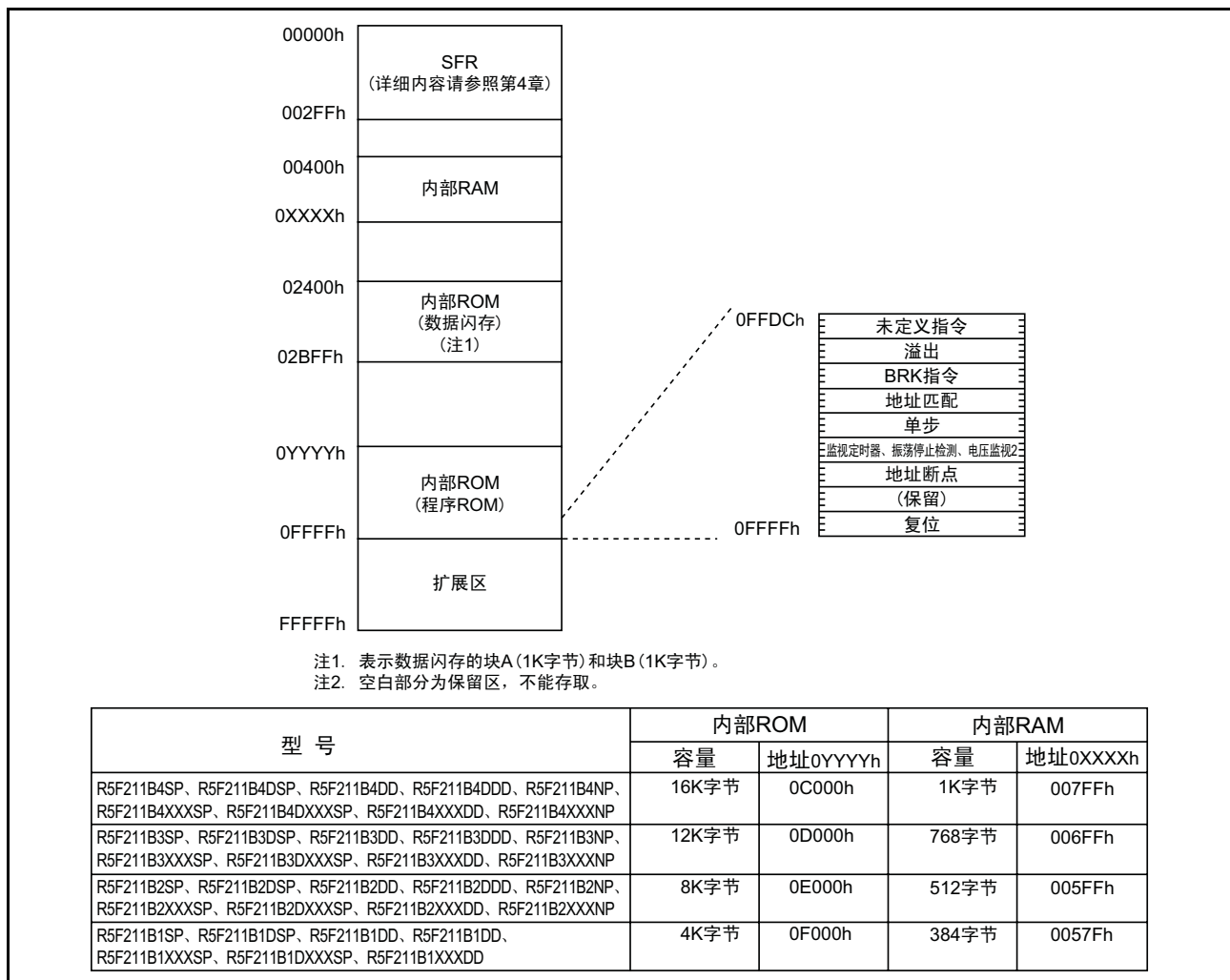


图 4.2 R8C/1B 群的存储器分配图

5. SFR

SFR(Special Function Register) 是外围功能控制寄存器。SFR 一览表如表 5.1 ~ 表 5.10 所示。

表 5.1 SFR 一览表 (1) (注 1)

地址	寄存器	符号	复位后的值
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式 0 寄存器	PM0	00h
0005h	处理器模式 1 寄存器	PM1	00h
0006h	系统时钟控制寄存器 0	CM0	01101000b
0007h	系统时钟控制寄存器 1	CM1	00100000b
0008h			
0009h	地址匹配中断允许寄存器	AIER	00h
000Ah	保护寄存器	PRCR	00h
000Bh			
000Ch	振荡停止检测寄存器	OCD	00000100b
000Dh	监视定时器复位寄存器	WDTR	XXh
000Eh	监视定时器开始寄存器	WDTS	XXh
000Fh	监视定时器控制寄存器	WDC	00X11111b
0010h	地址匹配中 0 寄存器	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	地址匹配中 1 寄存器	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h			

注 1. 空白部分为保留区，不能存取。

注 2. 在软件复位、监视定时 2 复位时不变。器复位、电压监视

注 3. 在硬件复位时。

注 4. 在加电复位、电压监视 1 复位时。

注 5. 在软件复位、监视定时 2 复位时，b2 和 b3 不变。器复位、电压监视

X: 不定。

表 5.2 SFR 一览表 (4) (注 1)

地址	寄存器	符号	复位后的值
001Ah			
001Bh			
001Ch	计数源保护模式寄存器	CSPR	00h
001Dh			
001Eh	$\overline{\text{INT0}}$ 输入滤波器选择寄存器	INT0F	00h
001Fh			
0020h	高速内部振荡器控制寄存器 0	HRA0	00h
0021h	高速内部振荡器控制寄存器 1	HRA1	出厂值
0022h	高速内部振荡器控制寄存器 2	HRA2	00h
0023h			
0024h			
0025h			

002Fh			
0030h			
0031h	电压检测寄 1 (注 2) 寄存器	VCA1	00001000b
0032h	电压检测寄 2 (注 2) 寄存器	VCA2	00h (注 3) 01000000b (注 4)
0033h			
0034h			
0035h			
0036h	电压监视 1 电路控制寄存器 (注 2)	VW1C	0000X000b (注 3) 0100X001b (注 4)
0037h	电压监视 2 电路控制寄存器 (注 5)	VW2C	00h
0038h			
0039h			
003Ah			
003Bh			
003Ch			

注 1. 空白部分为保留区，不能存取。

注 2. 在软件复位、监视定时 2 复位时不变。器复位、电压监视

注 3. 在硬件复位时。

注 4. 在加电复位、电压监视 1 复位时。

注 5. 在软件复位、监视定时 2 复位时，b2 和 b3 不变。器复位、电压监视

X: 不定。

表 5.3 SFR 一览表 (4) (注 1)

地址	寄存器	符号	复位后的值
003Dh			
003Eh			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			

注 6. 空白部分为保留区，不能存取。

注 7. 在软件复位、监视定时 2 复位时不变。器复位、电压监视

注 8. 在硬件复位时。

注 9. 在加电复位、电压监视 1 复位时。

注 10. 在软件复位、监视定时 2 复位时，b2 和 b3 不变。器复位、电压监视

X: 不定。

表 5.4 SFR 一览表 (2) (注 1)

地址	寄存器	符号	复位后的值
004Ah			
004Bh			
004Ch			
004Dh	键输入中断控制寄存器	KUPIC	XXXXX000b
004Eh	A/D 转换中断控制寄存器	ADIC	XXXXX000b
004Fh	SSU 中断控制寄存器 / IIC 中断控制寄存器 (注 2)	SSUAIC/ IIC2AIC	XXXXX000b
0050h	比较 1 中断控制寄存器	CMP1IC	XXXXX000b
0051h	UART0 发送中断控制寄存器	S0TIC	XXXXX000b
0052h	UART0 接收中断控制寄存器	S0RIC	XXXXX000b
0053h	UART1 发送中断控制寄存器	S1TIC	XXXXX000b
0054h	UART1 接收中断控制寄存器	S1RIC	XXXXX000b
0055h			
0056h	定时器 X 中断控制寄存器	TXIC	XXXXX000b
0057h			
0058h	定时器 Z 中断控制寄存器	TZIC	XXXXX000b
0059h	INT1 中断控制寄存器	INT1IC	XXXXX000b
005Ah	INT3 中断控制寄存器	INT3IC	XXXXX000b
005Bh	定时器 C 中断控制寄存器	TCIC	XXXXX000b
005Ch	比较 0 中断控制寄存器	CMP0IC	XXXXX000b
005Dh	INT0 中断控制寄存器	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			

注 1. 空白部分为保留区，不能存取。

注 2. 能用 PMR 寄存器的 IICSEL 位选择。

X: 不定。

表 5.5 SFR 一览表 (4) (注 1)

地址	寄存器	符号	复位后的值
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h	定时器 Z 模式寄存器	TZMR	00h
0081h			
0082h			
0083h			
0084h	定时器 Z 波形输出控制寄存器	PUM	00h
0085h	预定标器 Z 寄存器	PREZ	FFh
0086h	定时器 Z 次寄存器	TZSC	FFh
0087h	定时器 Z 主寄存器	TZPR	FFh
0088h			
0089h			

注 1. 空白部分为保留区，不能存取。

注 2. 能用 PMR 寄存器的 IICSEL 位选择。

X: 不定。

表 5.6 SFR 一览表 (3) (注 1)

地址	寄存器	符号	复位后的值
008Ah	定时器 Z 输出控制寄存器	TZOC	00h
008Bh	定时器 X 模式寄存器	TXMR	00h
008Ch	预定标器 X 寄存器	PREX	FFh
008Dh	定时器 X 寄存器	TX	FFh
008Eh	定时器计数源设定寄存器	TCSS	00h
008Fh			
0090h	定时器 C 寄存器	TC	00h
0091h			00h
0092h			
0093h			
0094h			
0095h			
0096h	外部输入允许寄存器	INTEN	00h
0097h			
0098h	键输入允许寄存器	KIEN	00h
0099h			
009Ah	定时器 C 控制寄存器 0	TCC0	00h
009Bh	定时器 C 控制寄存器 1	TCC1	00h
009Ch	捕捉、比较 0 寄存器	TM0	0000h (注 2)
009Dh			FFFFh (注 3)
009Eh	比较 1 寄存器	TM1	FFh
009Fh			FFh
00A0h	UART0 发送 / 接收模式寄存器	U0MR	00h
00A1h	UART0 位速率寄存器	U0BRG	XXh
00A2h	UART0 发送缓冲寄存器	U0TB	XXh
00A3h			XXh
00A4h	UART0 发送 / 接收控制寄存器 0	U0C0	00001000b
00A5h	UART0 发送 / 接收控制寄存器 1	U0C1	00000010b
00A6h	UART0 接收缓冲寄存器	U0RB	XXh
00A7h			XXh
00A8h	UART1 发送 / 接收模式寄存器	U1MR	00h
00A9h	UART1 位速率寄存器	U1BRG	XXh

注 1. 空白部分为保留区，不能存取。

注 2. 在输入捕捉模式时。

注 3. 在输出比较模式时。

注 4. 能用 PMR 寄存器的 IICSEL 位选择。

X: 不定。

表 5.7 SFR 一览表 (4) (注 1)

地址	寄存器	符号	复位后的值
00AAh	UART1 发送缓冲寄存器	U1TB	XXh
00ABh			XXh
00ACh	UART1 发送 / 接收控制寄存器 0	U1C0	00001000b
00ADh	UART1 发送 / 接收控制寄存器 1	U1C1	00000010b
00AEh	UART1 接收缓冲寄存器	U1RB	XXh
00AFh			XXh
00B0h	UART 发送 / 接收控制寄存器 2	UCON	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS 控制寄存器 H/IIC 总线控制寄存器 1 (注 4)	SSCRH/ ICCR1	00h
00B9h	SS 控制寄存器 L/IIC 总线控制寄存器 2 (注 4)	SSCRL/ ICCR2	01111101b
00BAh	SS 模式寄存器 /IIC 总线模式寄存器 (注 4)	SSMR/ICMR	00011000b
00BBh	SS 允许寄存器 /IIC 中断允许寄存器 (注 4)	SSER/ICIER	00h
00BCh	SS 状态寄存器 /IIC 总线状态寄存器 (注 4)	SSSR/ICSR	00h/0000X000b
00BDh	SS 模式寄存器 2/ 从属地址寄存器 (注 4)	SSMR2/SAR	00h
00BEh	SS 发送数据寄存器 /IIC 总线发送数据寄存器 (注 4)	SSTDR/ ICDRT	FFh
00BFh	SS 接收数据寄存器 /IIC 总线接受数据寄存器 (注 4)	SSRDR/ ICDRR	FFh
00C0h	A/D 寄存器	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			

注 1. 空白部分为保留区，不能存取。

注 2. 在输入捕捉模式时。

注 3. 在输出比较模式时。

注 4. 能用 PMR 寄存器的 IICSEL 位选择。

X: 不定。

表 5.8 SFR 一览表 (4) (注 1)

地址	寄存器	符号	复位后的值
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 控制寄存器 2	ADCON2	00h
00D5h			
00D6h	A/D 控制寄存器 0	ADCON0	00000XXXb
00D7h	A/D 控制寄存器 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	端口 P1 寄存器	P1	XXh
00E2h			
00E3h	端口 P1 方向寄存器	PD1	00h
00E4h			
00E5h	端口 P3 寄存器	P3	XXh

注 1. 空白部分为保留区，不能存取。

注 2. 在输入捕捉模式时。

注 3. 在输出比较模式时。

注 4. 能用 PMR 寄存器的 IICSEL 位选择。

X: 不定。

表 5.9 SFR 一览表 (4) (注 1)

地址	寄存器	符号	复位后的值
00E6h			
00E7h	端口 P3 方向寄存器	PD3	00h
00E8h	端口 P4 寄存器	P4	XXh
00E9h			
00EAh	端口 P4 方向寄存器	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h	端口模式寄存器	PMR	00h
00F9h			
00FAh			
00FBh			
00FCh	上拉控制寄存器 0	PUR0	00XX0000b
00FDh	上拉控制寄存器 1	PUR1	XXXXXX0Xb
00FEh	端口 P1 驱动能力控制寄存器	DRR	00h
00FFh	定时器 C 输出控制寄存器	TCOUT	00h
01B3h	闪存控制 4 寄存器	FMR4	01000000b
01B4h			
01B5h	闪存控制 1 寄存器	FMR1	1000000Xb

注 1. 空白部分、0100h ~ 01B2h 地址及 01B8h ~ 02FFh 地址为保留区，不能存取。

注 2. 不能用程序更改 OFS 寄存器，必须用 flash 编程器更改 OFS 寄存器。

X: 不定。

表 5.10 SFR 一览表 (4) (注 1)

地址	寄存器	符号	复位后的值
01B6h			
01B7h	闪存控制 0 寄存器	FMR0	0000001b
0FFFFh	选项功能选择寄存器	OFS	(注 2)

注 1. 空白部分、0100h ~ 01B2h 地址及 01B8h ~ 02FFh 地址为保留区，不能存取。

注 2. 不能用程序更改 OFS 寄存器，必须用 flash 编程器更改 OFS 寄存器。

X: 不定。

6. 可编程输入 / 输出端口

可编程输入 / 输出端口（以下称为输入 / 输出端口）有 P1、P3_3 ~ P3_5、P3_7、P4_5 等 13 个端口，P4_2 为输入专用端口。另外，在不使用主时钟振荡电路的情况下，能将 P4_6、P4_7 用作输入专用端口。可编程输入 / 输出端口的概要如表 6.1 所示。

表 6.1 可编程输入 / 输出端口的概要

端口名	输入 / 输出	输出格式	输入 / 输出的设定	内部上拉电阻	驱动能力的选择
P1	输入 / 输出	CMOS 三态	以 1 位为单位进行设定	以 4 位为单位进行设定（注 1）	以 1 位为单位进行 P1_0 ~ P1_3 的设定（注 2）
P3_3、P4_5	输入 / 输出	CMOS 三态	以 1 位为单位进行设定	以 1 位为单位进行设定（注 1）	无
P3_4、P3_5、P3_7	输入 / 输出	CMOS 三态	以 1 位为单位进行设定	以 3 位为单位进行设定（注 1）	无
P4_2、P4_6、P4_7（注 3）	输入	（无输出功能）	无	无	无

注 1 能在输入模式中选择是否通过 PUR0 寄存器和 PUR1 寄存器连接内部上拉电阻。

注 2 能通过将 DRR 寄存器置“1”（High），用作 LED 驱动端口。

注 3 在不使用主时钟振荡电路的情况下，能将 P4_6、P4_7 用作输入专用端口。

6.1 可编程输入 / 输出端口的功能

端口 P1、P3_3 ~ P3_5、P3_7、P4_5 的输入 / 输出由 PDi（i=1、3、4）寄存器的 PDi_j（j=0 ~ 7）位控制。Pi 寄存器由保持输出数据的端口锁存器和读管脚状态的电路构成。可编程输入 / 输出端口的结构如图 6.1 ~ 图 6.3 所示。

可编程输入 / 输出端口的功能如表 6.2 所示，PD1、PD3 和 PD4 寄存器如图 6.5、P1 和 P3 寄存器如图 6.6、PUR0 和 PUR1 寄存器如图 6.9 以及 DRR 寄存器如图 6.10 所示。

表 6.2 可编程输入 / 输出端口的功能

存取 Pi 寄存器时的运行	PDi 寄存器的 PDi_j 位的值（注 1）	
	“0”（输入模式）	“1”（输出模式）
读	读管脚的输入电平	读端口锁存器
写	写到端口锁存器	写到端口锁存器。从管脚输出已写到端口锁存器的值。

注 1 对于 PD3_0 ~ PD3_2 位、PD3_6 位、PD4_0 ~ PD4_4 位、PD4_6 位、PD4_7 位，什么也没指定。

6.2 对外围功能的影响

可编程输入 / 输出端口有时用作外围功能的输入 / 输出（参照“表 1.6 各管脚序号的管脚名一览表”）。用作外围功能的输入 / 输出时的 PDi_j 位的设定如表 6.3 所示，外围功能的设定方法请参照各功能说明。

表 6.3 用作外围功能的输入 / 输出时的 PDi_j 位的设定

外围功能 / 输出的输入	共用管脚的端口 PDi _j 位的设定
输入	必须置“0”（输入模式）
输出	置“0”或者置“1”（与端口的设定无关，为输出）

6.3 可编程输入 / 输出端口以外的管脚

管脚的结构如图 6.4 所示。

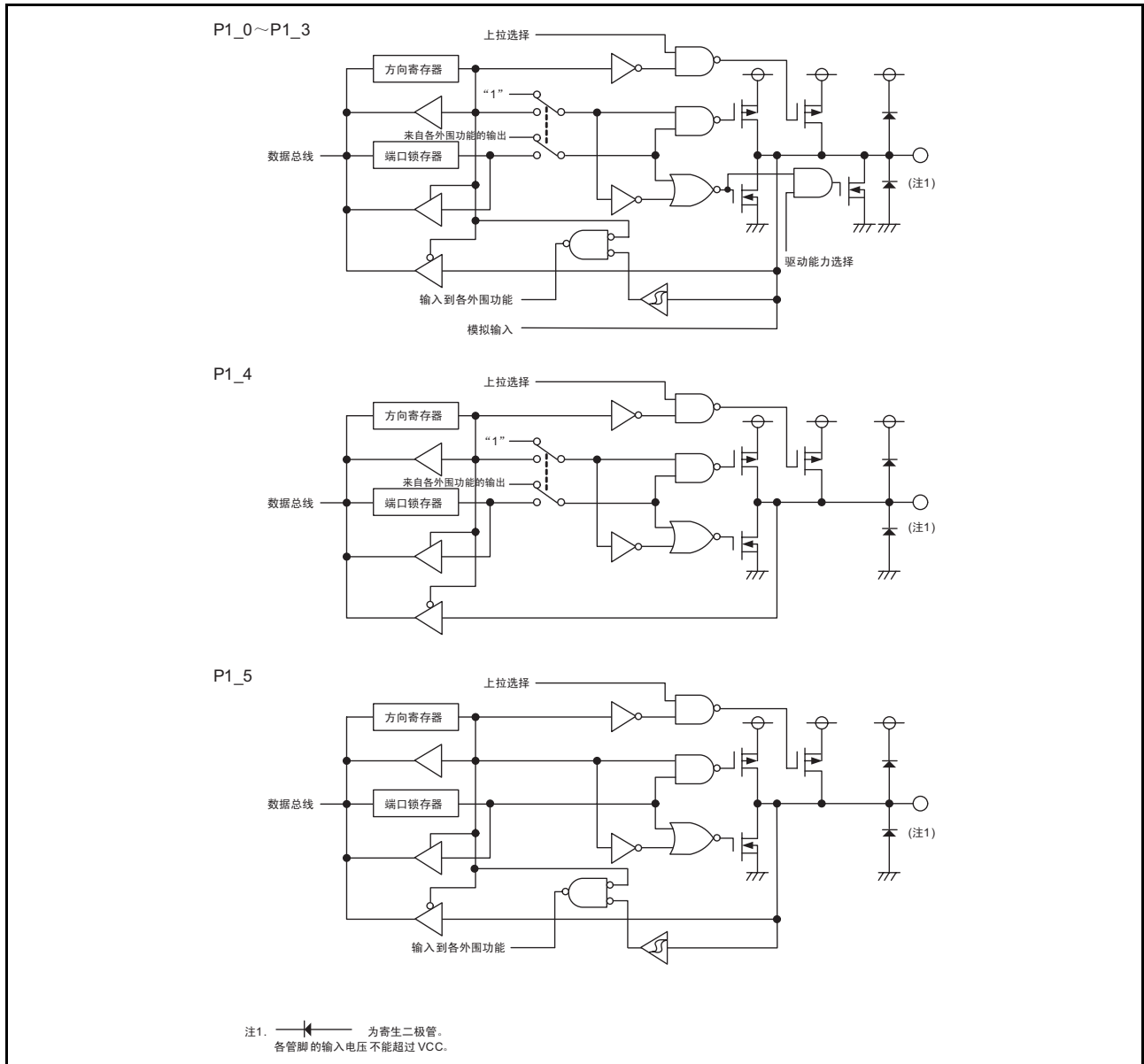


图 6.1 可编程输入 / 输出端口的结构（1）

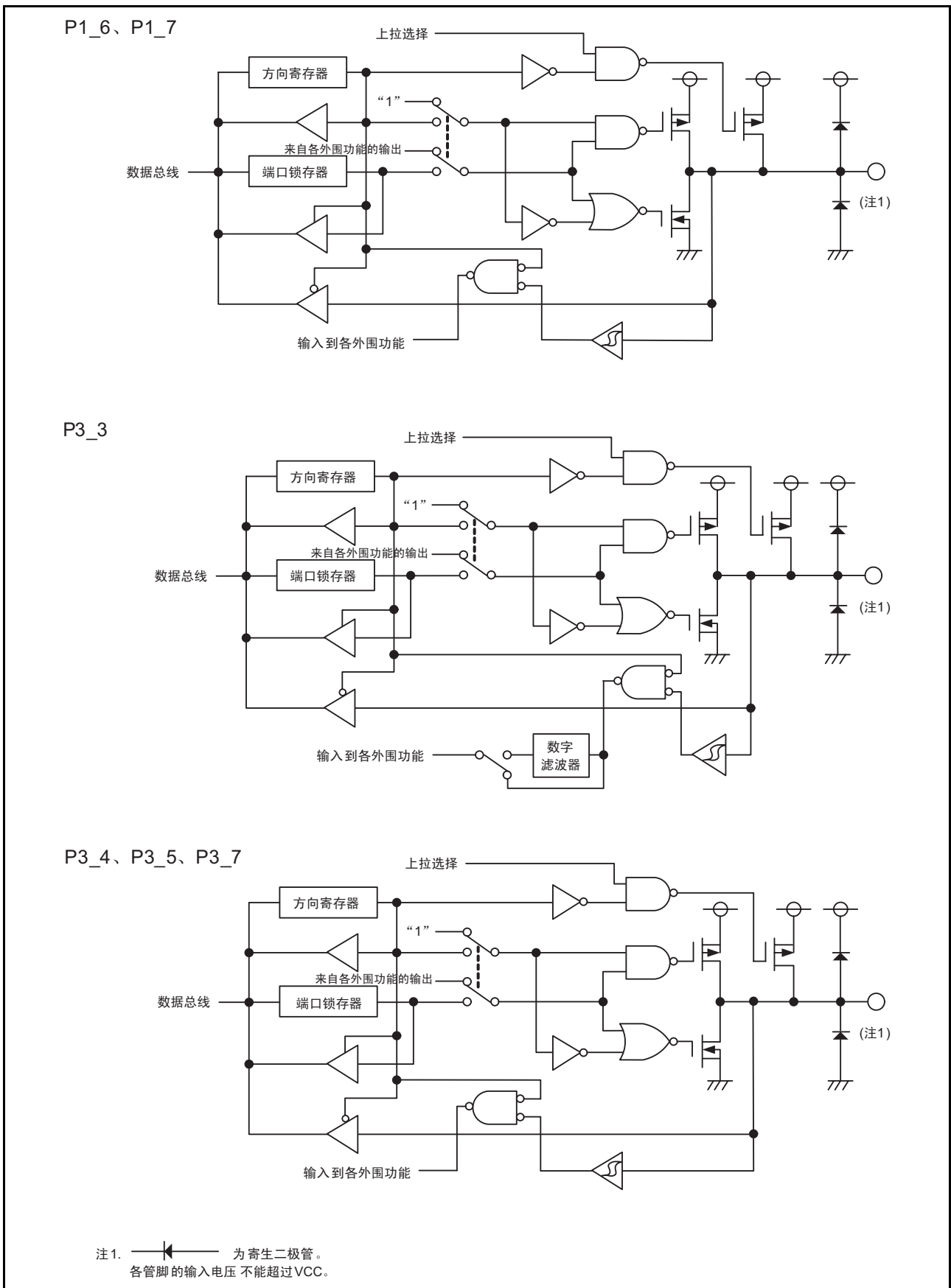


图 6.2 可编程输入 / 输出端口的结构 (2)

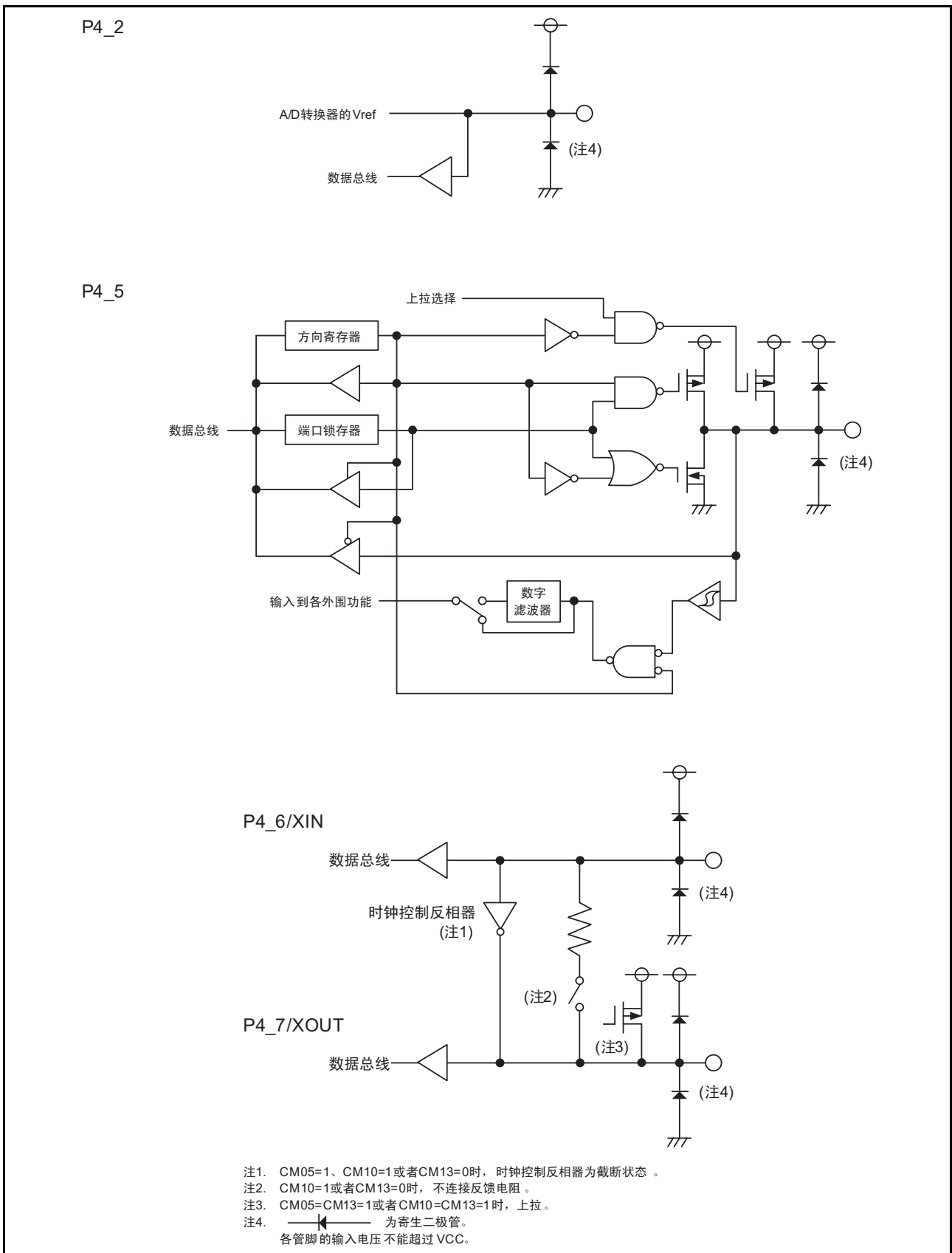


图 6.3 可编程输入 / 输出端口的结构 (3)

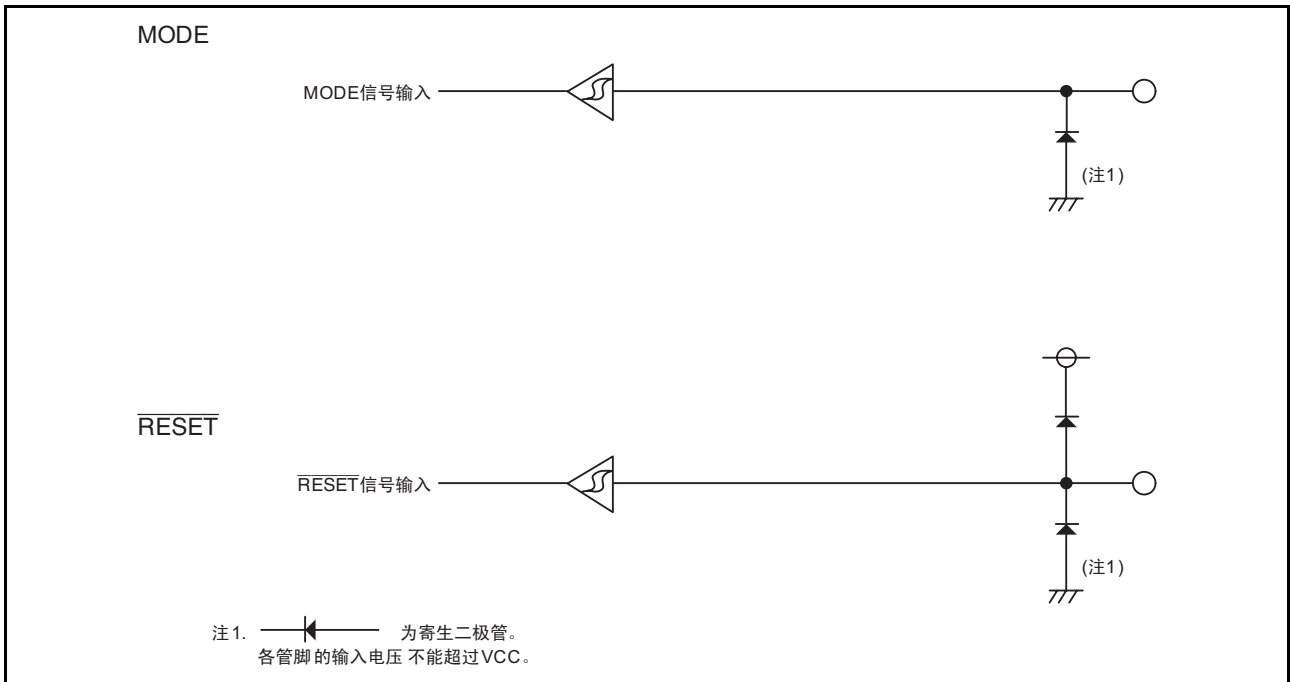


图 6.4 管脚的结构

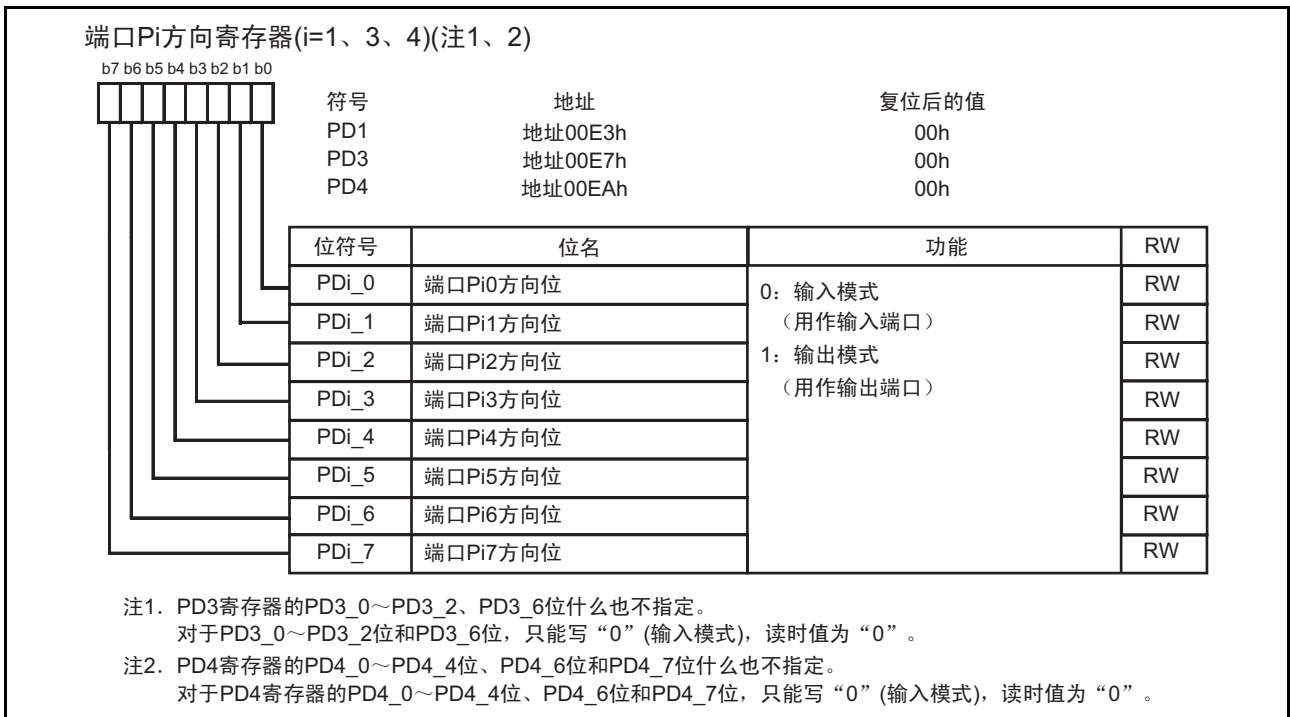


图 6.5 PD1、PD3、PD4 寄存器

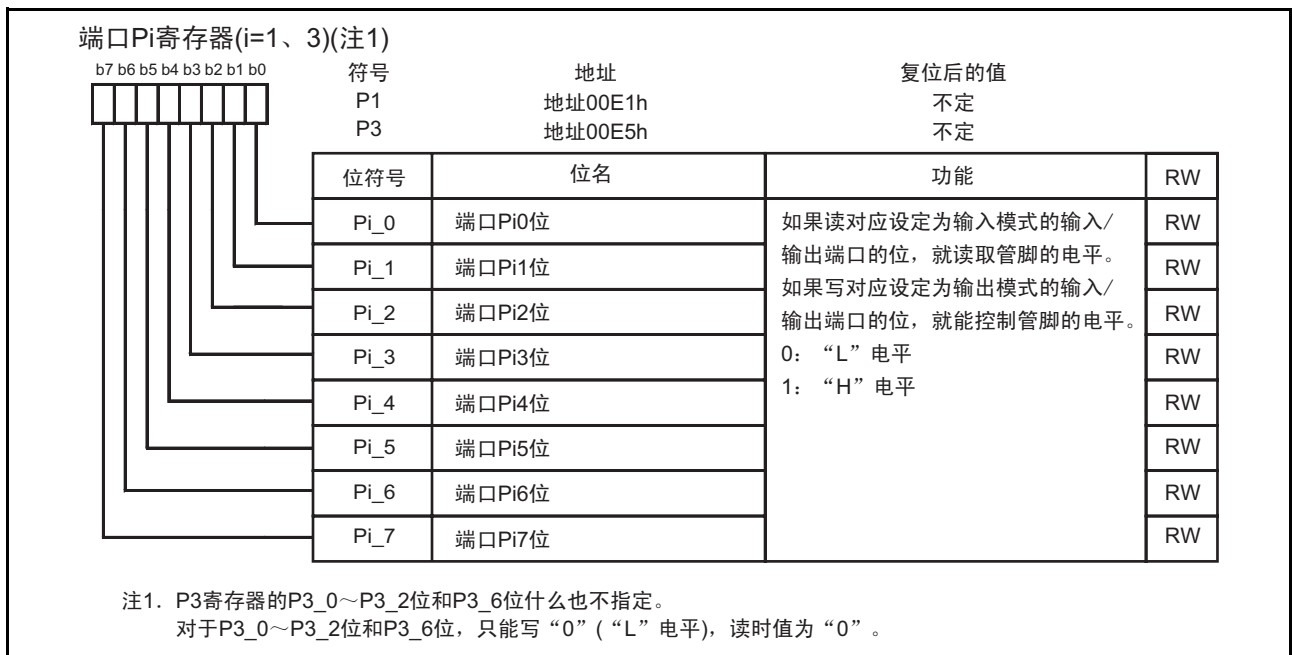


图 6.6 P1、P3 寄存器

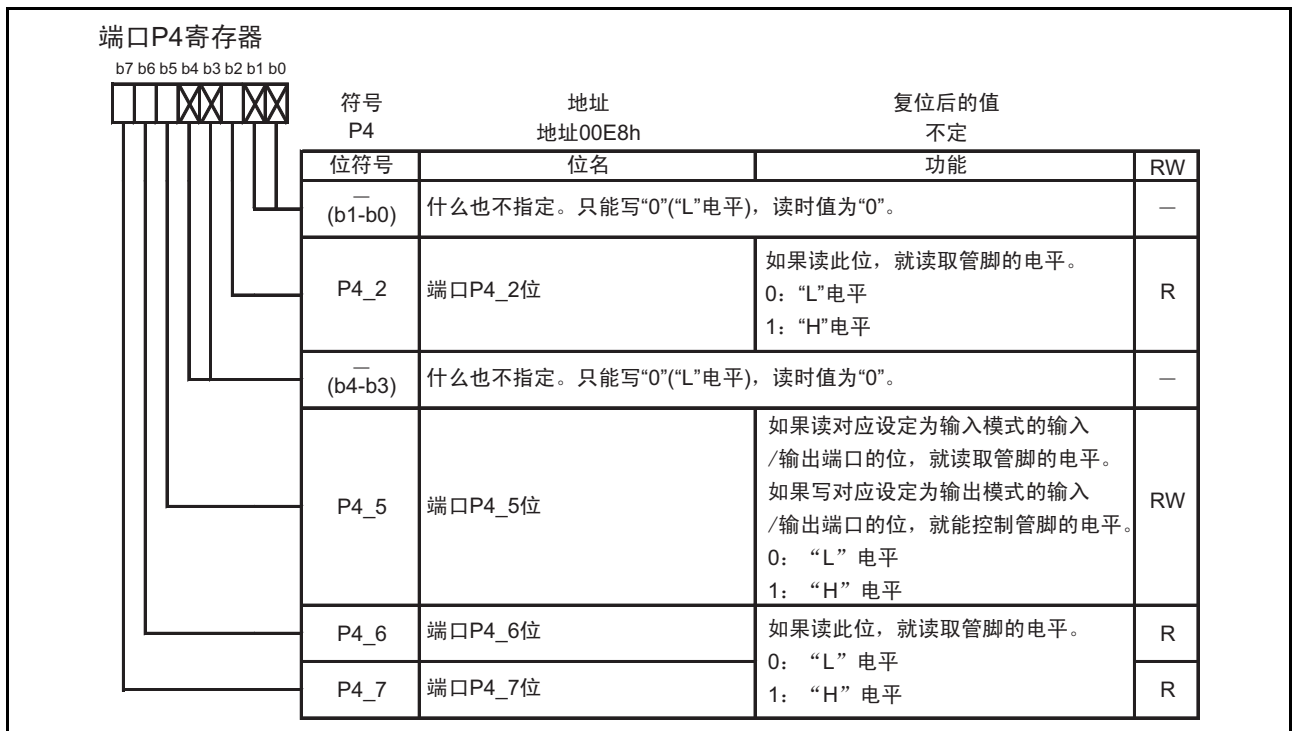


图 6.7 P4 寄存器

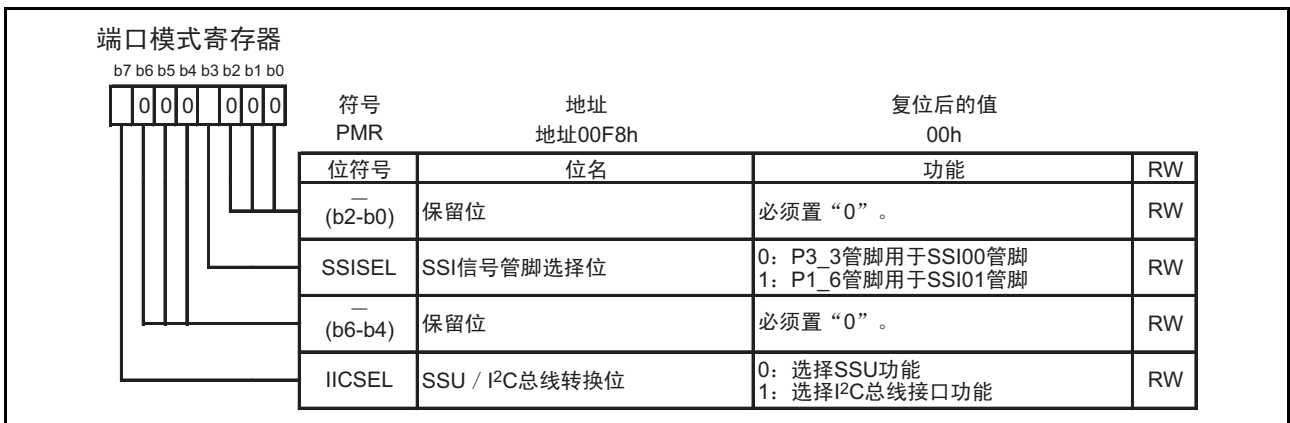


图 6.8 PMR 寄存器

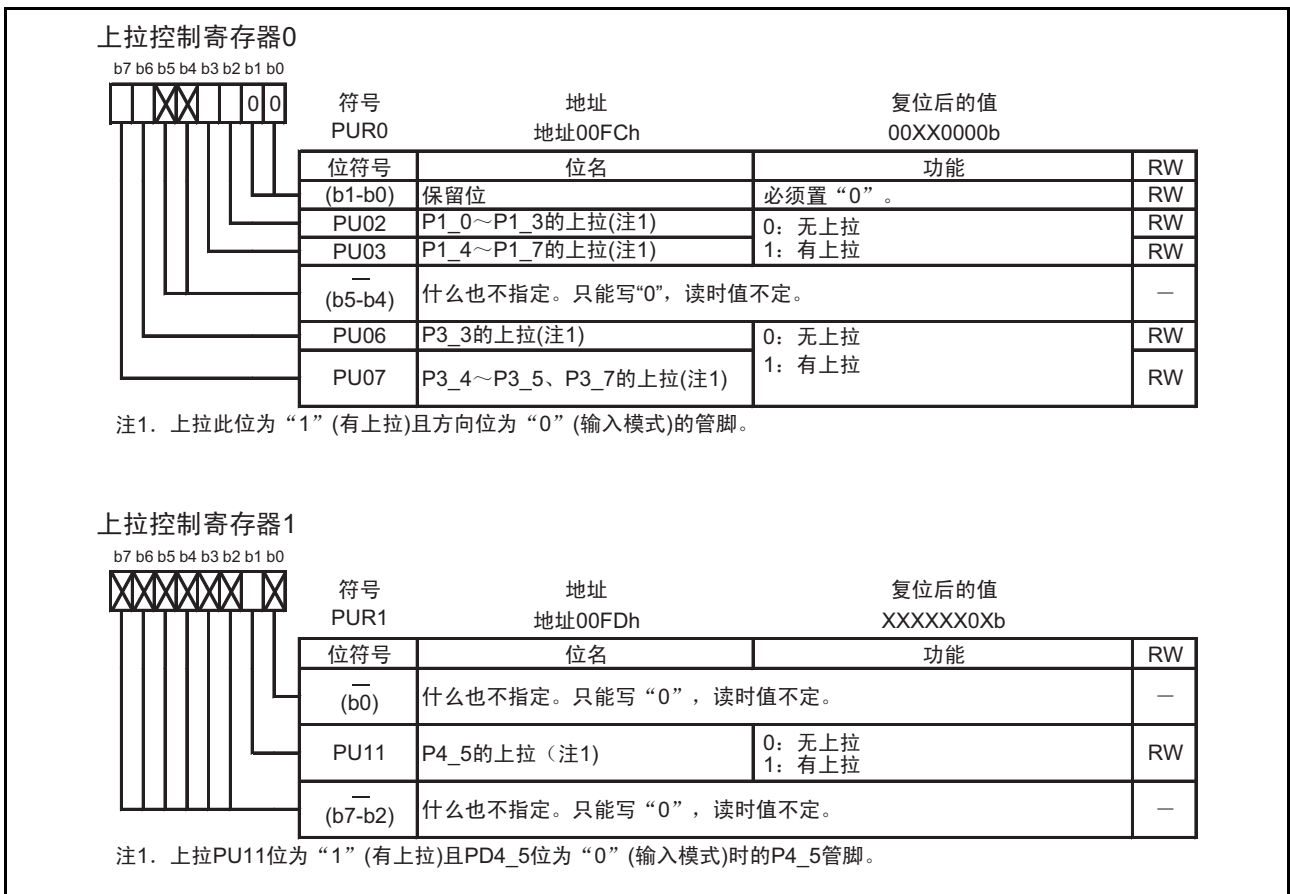


图 6.9 PUR0、PUR1 寄存器

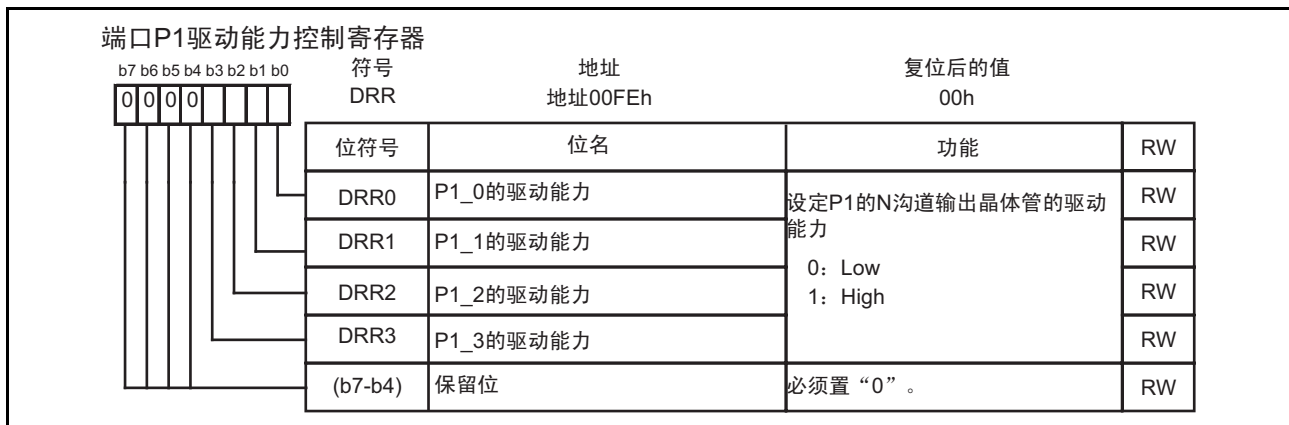


图 6.10 DRR 寄存器

6.4 端口的设定

端口的设定如表 6.4 ~ 表 6.17 所示。

表 6.4 端口 P1_0/ $\overline{\text{KI0}}$ /AN8/CMP0_0

寄存器名	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	P1	功 能
符号名	PD1_0	PU02	DRR0	KI0EN	CH2、CH1、CH0、 ADGSEL0	TCOUT0	P1_0	
设定值	0	0	X	X	XXXXb	0	X	输入端口（无上拉）
	0	1	X	X	XXXXb	0	X	输入端口（有上拉）
	0	0	X	1	XXXXb	0	X	$\overline{\text{KI0}}$ 输入
	0	0	X	X	1001b	0	X	A/D 转换器的输入（AN8）
	1	X	0	X	XXXXb	0	X	输出端口
	1	X	1	X	XXXXb	0	X	输出端口（High 驱动）
	X	X	0	X	XXXXb	1	0	输出端口
	X	X	1	X	XXXXb	1	0	输出端口（High 驱动）
	X	X	X	X	XXXXb	1	1	CMP0_0 输出

X: “0” 或者 “1”

表 6.5 端口 P1_1/ $\overline{\text{KI1}}$ /AN9/CMP0_1

寄存器名	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	P1	功 能
符号名	PD1_1	PU02	DRR1	KI1EN	CH2、CH1、CH0、 ADGSEL0	TCOUT1	P1_1	
设定值	0	0	X	X	XXXXb	0	X	输入端口（无上拉）
	0	1	X	X	XXXXb	0	X	输入端口（有上拉）
	0	0	X	1	XXXXb	0	X	$\overline{\text{KI1}}$ 输入
	0	0	X	X	1011b	0	X	A/D 转换器的输入（AN9）
	1	X	0	X	XXXXb	0	X	输出端口
	1	X	1	X	XXXXb	0	X	输出端口（High 驱动）
	X	X	0	X	XXXXb	1	0	输出端口
	X	X	1	X	XXXXb	1	0	输出端口（High 驱动）
	X	X	X	X	XXXXb	1	1	CMP0_1 输出

X: “0” 或者 “1”

表 6.6 端口 P1_2/ $\overline{\text{KI2}}$ /AN10/CMP0_2

寄存器名	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	P1	功 能
符号名	PD1_2	PU02	DRR2	KI2EN	CH2、CH1、CH0、 ADGSEL0	TCOUT2	P1_2	
设定值	0	0	X	X	XXXXb	0	X	输入端口（无上拉）
	0	1	X	X	XXXXb	0	X	输入端口（有上拉）
	0	0	X	1	XXXXb	0	X	$\overline{\text{KI2}}$ 输入
	0	0	X	X	1101b	0	X	A/D 转换器的输入（AN10）
	1	X	0	X	XXXXb	0	X	输出端口
	1	X	1	X	XXXXb	0	X	输出端口（High 驱动）
	X	X	0	X	XXXXb	1	0	输出端口
	X	X	1	X	XXXXb	1	0	输出端口（High 驱动）
	X	X	X	X	XXXXb	1	1	CMP0_2 输出

X: “0” 或者 “1”

表 6.7 端口 P1_3/KI3/AN11/TZOUT

寄存器名	PD1	PUR0	DRR	KIEN	ADCON0	TZMR	TZOC	功 能
符号名	PD1_3	PU02	DRR3	KI3EN	CH2、CH1、CH0、 ADGSEL0	TZMOD1、 TZMOD0	TZOCNT	
设定值	0	0	X	X	XXXXb	00b	X	输入端口（无上拉）
	0	1	X	X	XXXXb	00b	X	输入端口（有上拉）
	0	0	X	1	XXXXb	00b	X	$\overline{\text{KI3}}$ 输入
	0	0	X	X	1111b	00b	X	A/D 转换器的输入 (AN11)
	1	X	0	X	XXXXb	00b	X	输出端口
	1	X	1	X	XXXXb	00b	X	输出端口（High 驱动）
	X	X	0	X	XXXXb	01b	1	输出端口
	X	X	1	X	XXXXb	01b	1	输出端口（High 驱动）
	X	X	X	X	XXXXb	01b	0	TZOUT 输出
X	X	X	X	XXXXb	1Xb	X	TZOUT 输出	

X: “0” 或者 “1”

表 6.8 端口 P1_4/TXD0

寄存器名	PD1	PUR0	U0MR	U0C0	功 能	
符号名	PD1_4	PU03	SMD2、SMD1、SMD0	NCH		
设定值	0	0	000b	X	输入端口（无上拉）	
	0	1	000b	X	输入端口（有上拉）	
	1	X	000b	X	输出端口	
	X	X	X	001b	0	TXD0 输出、CMOS 输出
				100b		
				101b		
				110b		
	X	X	X	001b	1	TXD0 输出、N 沟道开路输出
				100b		
				101b		
110b						

X: “0” 或者 “1”

表 6.9 端口 P1_5/RXD0/CNTR01/ $\overline{\text{INT11}}$

寄存器名	PD1	PUR0	UCON	TXMR	功 能
符号名	PD1_5	PU03	CNTRSEL	TXMOD1、TXMOD0	
设定值	0	0	X	XXb	输入端口（无上拉）
	0	1	X	XXb	输入端口（有上拉）
	0	X	X	01b 以外	RXD0 输入
	0	X	1	01b 以外	CNTR01/ $\overline{\text{INT11}}$ 输入
	1	X	X	01b 以外	输出端口
	1	X	1	01b 以外	CNTR01 输出

X: “0” 或者 “1”

表 6.10 端口 P1_6/CLK0/SSI01

寄存器名	PD1	PUR0	U0MR	带片选的时钟同步串行 I/O (参照“表 17.4, 通信模式和输入 / 输出管脚的关系”)		PMR	功 能
符号名	PD1_6	PU03	SMD2、SMD1、 SMD0、CKDIR	SSI 输出控制	SSI 输入控制	SSISEL	
设定值	0	0	0X10b 以外	0	0	X	输入端口（无上拉）
	0	1	0X10b 以外	0	0	X	输入端口（有上拉）
	0	0	XXX1b	0	0	X	CLK0（外部时钟）输入
	1	X	0X10b 以外	0	0	X	输出端口
	X	X	0X10b	0	0	X	CLK0（内部时钟）输出
	X	X	XXXXb	0	1	1	SSI01 输入
	X	X	XXXXb	1	0	1	SSI01 输出

X: “0” 或者 “1”

表 6.11 端口 P1_7/CNTR00/ $\overline{\text{INT10}}$

寄存器名	PD1	PUR0	TXMR	UCON	功 能
符号名	PD1_7	PU03	TXMOD1、TXMOD0	CNTRSEL	
设定值	0	0	01b 以外	X	输入端口（无上拉）
	0	1	01b 以外	X	输入端口（有上拉）
	0	0	01b 以外	0	CNTR00/ $\overline{\text{INT10}}$ 输入
	1	X	01b 以外	X	输出端口
	X	X	01b 以外	0	CNTR00 输出

X: “0” 或者 “1”

表 6.12 端口 P3_3/TCIN/ $\overline{\text{INT3}}$ /SSI00/CMP1_0

寄存器名	PD3	PUR0	带片选的时钟同步串行 I/O (参照“表 17.4, 通信模式和输入 / 输出管脚的关系”)		TCOUT	P3	PMR	功 能
符号名	PD3_3	PU06	SSI 输出控制	SSI 输入控制	TCOUT3	P3_3	SSISEL	
设定值	0	0	0	0	0	X	X	输入端口 (无上拉)
	0	1	0	0	0	X	X	输入端口 (有上拉)
	X	0	0	1	X	X	0	SSI00 输入
	1	X	0	0	0	X	X	输出端口
	X	X	0	0	1	0	X	输出端口
	X	X	0	0	1	1	X	CMP1_0 输出
	X	X	1	0	X	X	0	SSI00 输出
	0	X	0	0	0	X	X	TCIN 输入 / $\overline{\text{INT3}}$

X: “0” 或者 “1”

表 6.13 端口 P3_4/SCS/SDA/CMP1_1

寄存器名	PD3	PUR0	带片选的时钟同步串行 I/O (参照“表 17.4, 通信模式和输入 / 输出管脚的关系”)		TCOUT	P3	ICCR1	功 能
符号名	PD3_4	PU07	$\overline{\text{SCS}}$ 输出控制	$\overline{\text{SCS}}$ 输入控制	TCOUT4	P3_4	ICE	
设定值	0	0	0	0	0	X	0	输入端口 (无上拉)
	0	1	0	0	0	X	0	输入端口 (有上拉)
	0	0	0	1	0	X	0	$\overline{\text{SCS}}$ 输入
	X	X	0	0	X	X	1	SDA 输入 / 输出
	1	X	0	0	0	X	0	输出端口
	X	X	0	0	1	0	0	输出端口
	X	X	0	0	1	1	0	CMP1_1 输出
	X	X	1	0	X	X	0	$\overline{\text{SCS}}$ 输出

X: “0” 或者 “1”

表 6.14 端口 P3_5/SSCK/SCL/CMP1_2

寄存器名	PD3	PUR0	带片选的时钟同步串行 I/O (参照“表 17.4, 通信模式和输入 / 输出管脚的关系”)		TCOUT	P3	ICCR1	功 能
符号名	PD3_5	PU07	SSCK 输出 控制	SSCK 输入 控制	TCOUT5	P3_5	ICE	
设定值	0	0	0	0	0	X	0	输入端口 (无上拉)
	0	1	0	0	0	X	0	输入端口 (有上拉)
	0	0	0	1	0	X	0	SSCK 输入
	X	X	0	0	X	X	1	SCL 输入 / 输出
	1	X	0	0	0	X	0	输出端口
	X	X	0	0	1	0	0	输出端口
	X	X	0	0	1	1	0	CMP1_2 输出
	X	X	1	0	X	X	0	SSCK 输出

X: “0” 或者 “1”

表 6.15 端口 P3_7/CNTR0/SSO/TXD1

寄存器名	PD3	PUR0	U1MR	带片选的时钟同步串行 I/O (参照“表 17.4, 通信模式 和输入 / 输出管脚的关系”)		TXMR	UCON	功 能
符号名	PD3_7	PU07	SMD2、SMD1、 SMD0	SSO 输出 控制	SSO 输入 控制	TXOCNT	U1SEL1、 U1SEL0	
设定值	0	0	000b	0	0	0	0Xb	输入端口 (无上拉)
	0	1	000b	0	0	0	0Xb	输入端口 (有上拉)
	1	X	000b	0	0	0	0Xb	输出端口
	X	X	001b	0	0	X	11b	TXD1 输出管脚
			100b					
			101b					
			110b					
	X	X	000b	0	0	1	XXb	CNTR0 输出管脚
X	X	XXXb	0	1	X	XXb	SSO 输入管脚	
X	X	XXXb	1	0	X	XXb	SSO 输出管脚	

X: “0” 或者 “1”

表 6.16 端口 XIN/P4_6、XOUT/P4_7

寄存器名	CM1	CM1	CM0	电路规格		功 能
	符号名	CM13	CM10	CM05	振荡缓冲器	
设定值	1	1	1	OFF	OFF	停止 XIN-XOUT 振荡
	1	0	1	OFF	ON	外部 XIN 输入，XOUT 输出“H”电平
	1	0	1	OFF	ON	停止 XIN-XOUT 振荡
	1	0	0	ON	ON	XIN-XOUT 振荡
	0	X	X	OFF	OFF	输入端口

X: “0” 或者 “1”

表 6.17 端口 P4_5/INT0/RXD1

寄存器名	PD4	PUR1	UCON	INTEN	功 能
	符号名	PD4_5	PU11	U1SEL1、U1SEL0	
设定值	0	0	00b	0	输入端口（无上拉）
	0	1	00b	0	输入端口（有上拉）
	0	0	00b	1	$\overline{\text{INT0}}$ 输入（无上拉）
	0	1	00b	1	$\overline{\text{INT0}}$ 输入（有上拉）
	X	0	01b 11b	0	RXD1 输入
	1	X	00b	X	输出端口

6.5 未使用管脚的处理

未使用管脚的处理例子如表 6.18 和图 6.11 所示。

表 6.18 使用管脚的处理例子

管脚名	处理内容
端口 P1、P3_3 ~ P3_5、P3_7、P4_5	<ul style="list-style-type: none"> 设定为输入模式，每个管脚通过电阻连接到 VSS（下拉）或者 VCC（上拉）（注 2） 设定为输出模式，使管脚开路（注 1、2）
端口 P4_6、P4_7	通过电阻连接到 VCC（上拉）（注 2）
端口 P4_2/VREF	连接到 VCC
$\overline{\text{RESET}}$ （注 3）	通过电阻连接到 VCC（上拉）（注 2）

注 1 设定为输出模式，使管脚开路时，在通过程序将端口转换为输出模式前，端口为输入状态。因此，管脚的电压电平不定，在端口为输入模式期间，电源电流有可能增加。另外，考虑到噪声或者由于噪声引起的失控等使方向寄存器的内容发生变化的情况，建议通过程序定期地重新设定方向寄存器的内容，提高程序的可靠性。

注 2 必须尽量用短的布线（2cm 以内）处理单片机的未使用管脚。

注 3 在使用加电复位功能时。

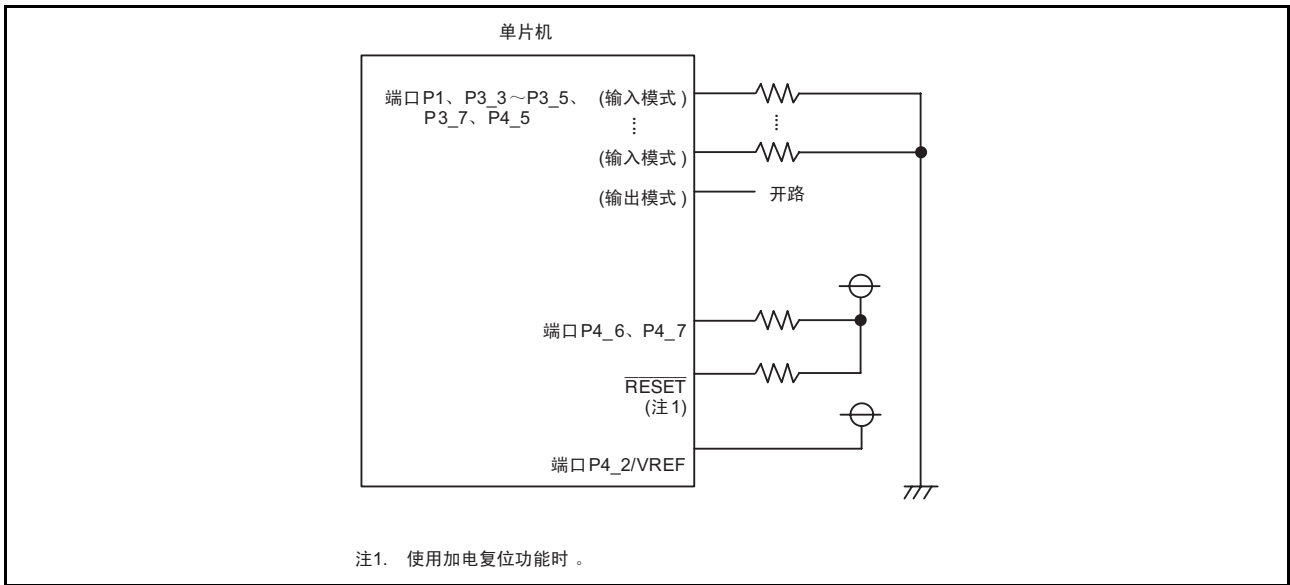


图 6.11 未使用管脚的处理例子

7. 复位

复位有硬件复位、加电复位、电压监视 1 复位、电压监视 2 复位、监视定时器复位和软件复位。复位名称和复位源如表 7.1、复位电路的框图如图 7.1 所示。

表 7.1 复位名称和复位源

复位名称	复位源
硬件复位	RESET 管脚的输入电压为“L”电平
加电复位	VCC 的上升
电压监视 1 复位	VCC 的下降（监视电压：Vdet1）
电压监视 2 复位	VCC 的下降（监视电压：Vdet2）
监视定时器复位	监视定时器的下溢
软件复位	给 PM0 寄存器的 PM03 位写“1”

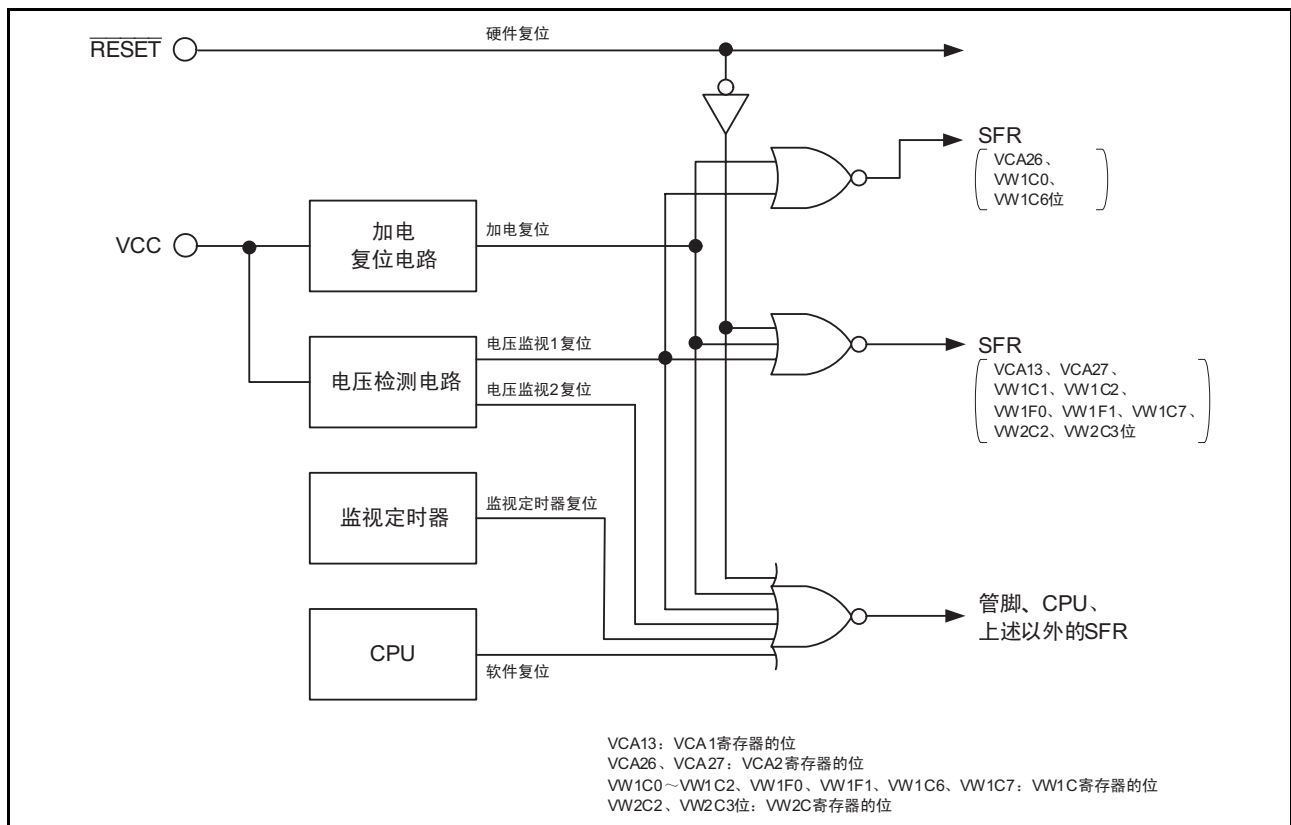


图 7.1 复位电路的框图

$\overline{\text{RESET}}$ 管脚的电平为“L”电平期间的管脚状态如表 7.2、复位后的 CPU 寄存器状态如图 7.2、复位顺序如图 7.3 所示。

表 7.2 $\overline{\text{RESET}}$ 管脚的电平为“L”电平期间的管脚状态

管脚名	管脚状态
P1	输入端口
P3_3 ~ P3_5、P3_7	输入端口
P4_2、P4_5 ~ P4_7	输入端口

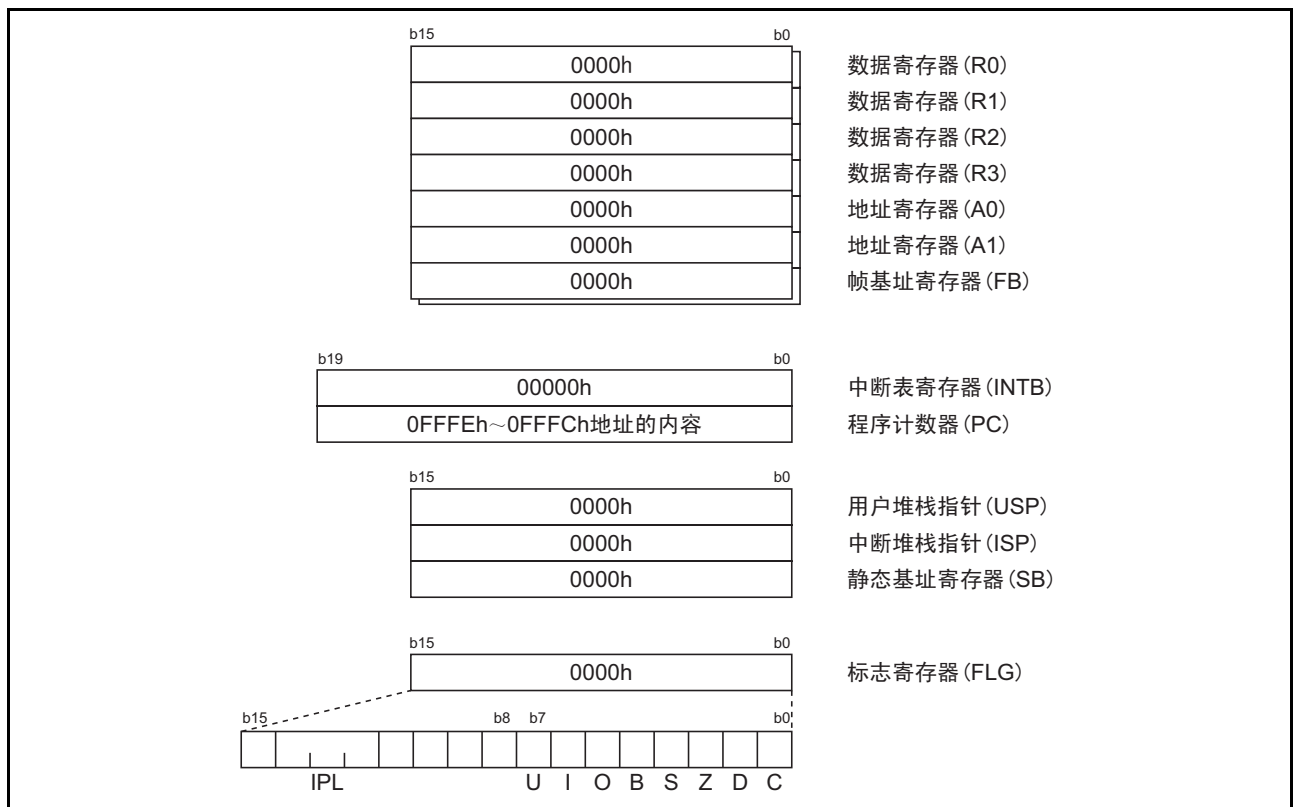


图 7.2 复位后的 CPU 寄存器状态

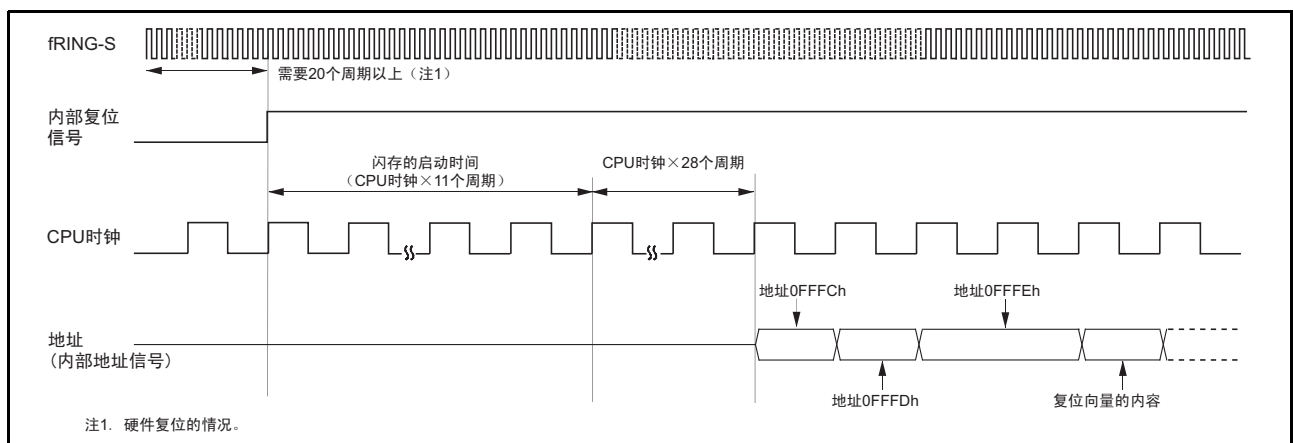


图 7.3 复位顺序

7.1 硬件复位

硬件复位是由 $\overline{\text{RESET}}$ 管脚引起的复位。当电源电压满足推荐运行条件时，如果将“L”电平输入到 $\overline{\text{RESET}}$ 管脚，管脚、CPU 和 SFR 就被初始化（参照“表 7.2 $\overline{\text{RESET}}$ 管脚的电平为“L”电平期间的管脚状态”）。

如果将 $\overline{\text{RESET}}$ 管脚的输入电平从“L”电平变为“H”电平，就从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

复位后的 SFR 状态请参照“5. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 中 $\overline{\text{RESET}}$ 管脚变为“L”电平，内部 RAM 就不定。

硬件复位的电路例子和运行如图 7.4、硬件复位的电路例子（外接电源电压检测电路的使用例）以及运行如图 7.5 所示。

7.1.1 电源稳定的情况

- (1) 将“L”电平输入到 $\overline{\text{RESET}}$ 管脚
- (2) 等待 500ms ($1/\text{fRING-S} \times 20$)
- (3) 将“H”电平输入到 $\overline{\text{RESET}}$ 管脚

7.1.2 接通电源的情况

- (1) 将“L”电平输入到 $\overline{\text{RESET}}$ 管脚
- (2) 使电源电压上升到满足推荐运行条件的电平为止
- (3) 等待 $t_d(\text{P-R})$ 直到内部电源稳定为止（参照“20. 电特性”）
- (4) 等待 500ms ($1/\text{fRING-S} \times 20$)
- (5) 将“H”电平输入到 $\overline{\text{RESET}}$ 管脚

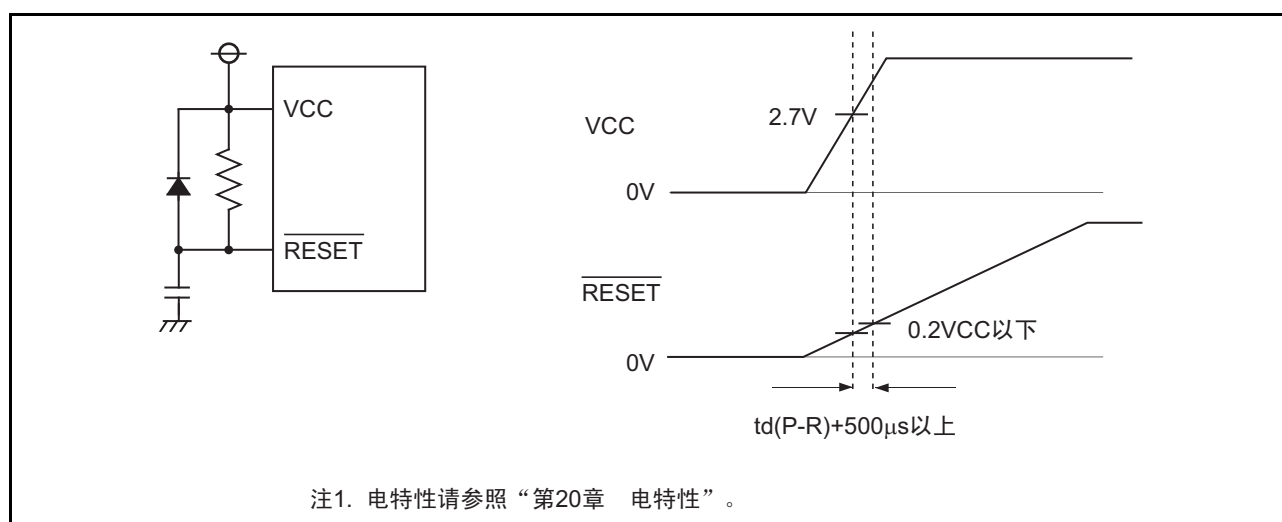


图 7.4 硬件复位的电路例子和运行

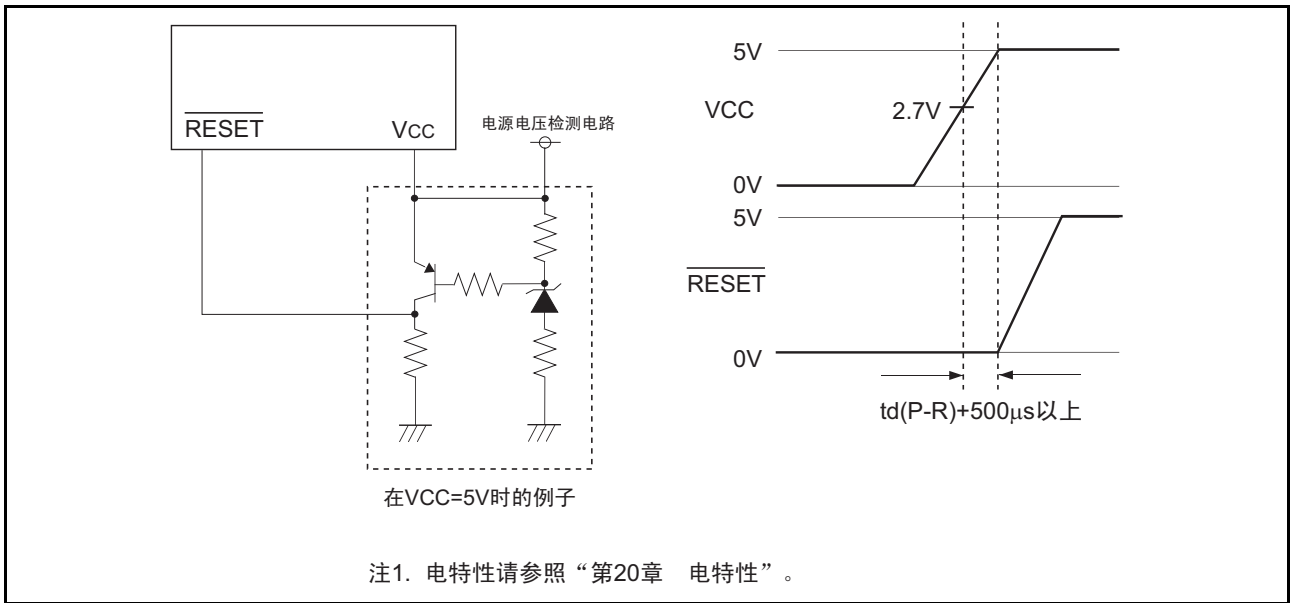


图 7.5 硬件复位的电路例子（外接电源电压检测电路的使用例）和运行

7.2 加电复位功能

通过约 5kΩ 的上拉电阻将 RESET 管脚连接到 VCC，当上升 VCC 时，加电复位功能有效，管脚、CPU 和 SFR 被初始化。将电容器连接到 RESET 管脚时，必须注意要始终将 RESET 管脚的电压保持在 0.8VCC 以上。

当输入到 VCC 管脚的电压达到 Vdet1 以上时，就开始低速内部振荡器时钟的计数。当进行了 32 次低速内部振荡器时钟的计数时，内部复位信号就变为“H”电平，进入复位顺序（参照“图 7.3 复位顺序”）。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

加电复位后的 SFR 状态请参照“5. SFR”。

加电复位后，电压监视 1 复位有效。

加电复位的电路例子和运行如图 7.6 所示。

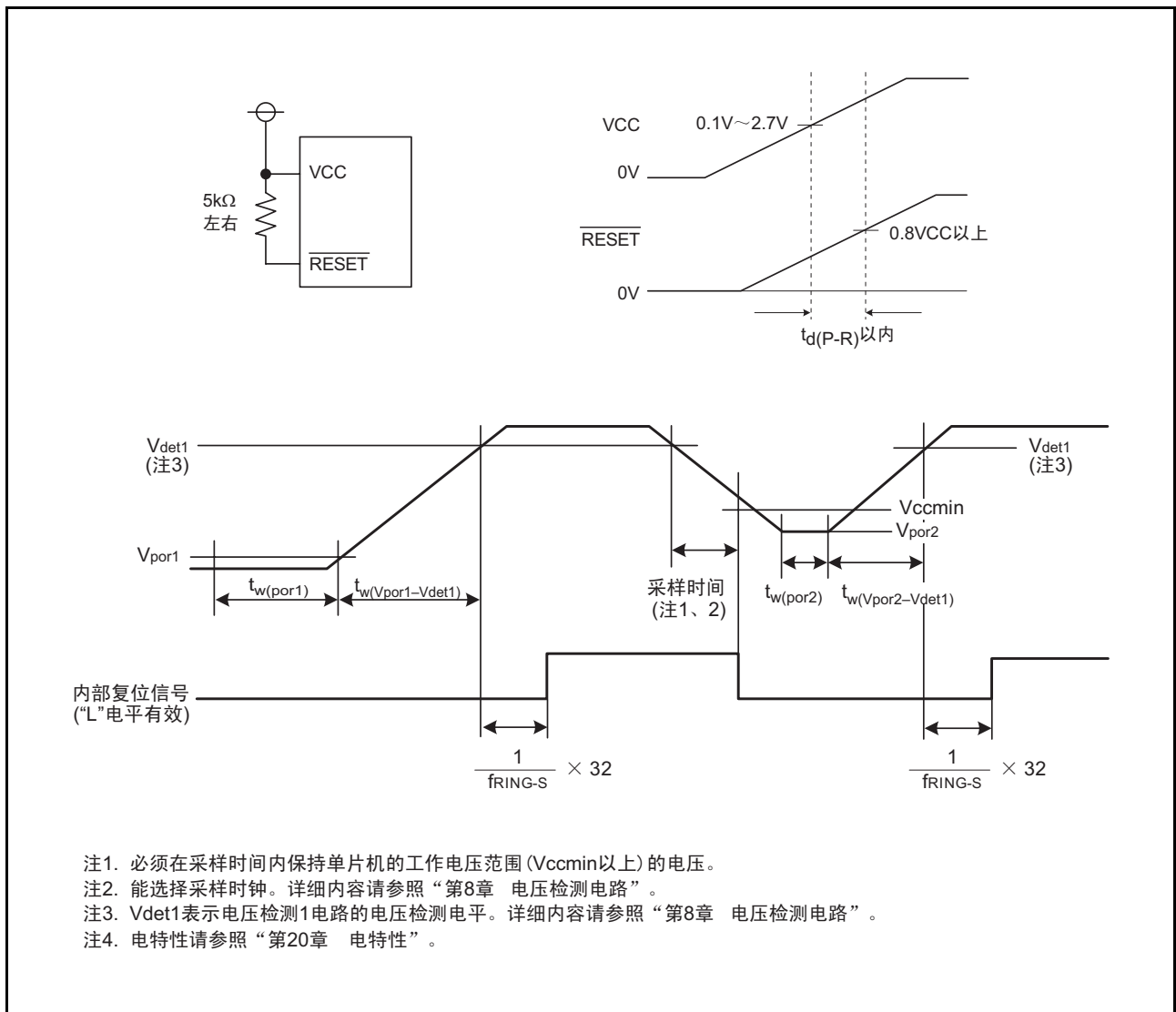


图 7.6 加电复位的电路例子和运行

7.3 电压监视 1 复位

电压监视 1 复位是由内置在单片机内的电压检测 1 电路引起的复位。电压检测 1 电路监视 VCC 管脚的输入电压，监视电压为 Vdet1。

当输入到 VCC 管脚的电压下降到 Vdet1 以下时，管脚、CPU 和 SFR 就被初始化。

其次，当输入到 VCC 管脚的电压达到 Vdet1 以上时，就开始低速内部振荡器时钟的计数。当进行了 32 次低速内部振荡器时钟的计数时，内部复位信号就变为“H”电平，进入复位顺序（参照“图 7.3 复位顺序”）。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

电压监视 1 复位后的 SFR 状态请参照“5. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 中 VCC 管脚的输入电压下降到 Vdet1 以下，内部 RAM 就不定。

电压监视 1 复位的详细内容请参照“8. 电压检测电路”。

7.4 电压监视 2 复位

电压监视 2 复位是由内置在单片机内的电压检测 2 电路引起的复位。电压检测 2 电路监视 VCC 管脚的输入电压，监视电压为 Vdet2。

当输入到 VCC 管脚的电压下降到 Vdet2 以下时，管脚、CPU 和 SFR 就被初始化，从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

电压监视 2 复位不初始化部分 SFR，详细内容请参照“5. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 中 VCC 管脚的输入电压下降到 Vdet2 以下，内部 RAM 就不定。

电压监视 2 复位的详细内容请参照“8. 电压检测电路”。

7.5 监视定时器复位

在 PM1 寄存器的 PM12 位为“1”（在监视定时器下溢时复位）时，如果监视定时器下溢，单片机就初始化管脚、CPU 和 SFR。然后，从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

监视定时器复位不初始化部分 SFR，详细内容请参照“5. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 中监视定时器下溢，内部 RAM 就不定。

监视定时器的详细内容请参照“14. 监视定时器”。

7.6 软件复位

如果将 PM0 寄存器的 PM03 位设定为“1”（单片机复位），单片机就初始化管脚、CPU 和 SFR。然后，从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择低速内部振荡器时钟的 8 分频时钟。

软件复位不初始化部分 SFR，详细内容请参照“5. SFR”。

不初始化内部 RAM。

8. 电压检测电路

电压检测电路是监视 VCC 管脚的输入电压的电路，能通过程序监视 VCC 输入电压。另外，能使用电压监视 1 复位、电压监视 2 中断以及电压监视 2 复位。

电压检测电路的说明如表 8.1 所示，框图如图 8.1 ~ 图 8.3 所示。

另外，关联寄存器如图 8.4 ~ 图 8.6 所示。

表 8.1 电压检测电路的说明

项目		电压检测 1,	电压检测 2
VCC 监视	监视电压	Vdet1	Vdet2
	检测对象	上升或者下降过 Vdet1 程中是否通过	上升或者下降过 Vdet2 程中是否通过
	监视	无	VCA1 寄存器的 VCA13 位 高于或者低于 Vdet2
电压检测时的处理	复位	电压监视 1 复位 当 Vdet1>VCC 时复位，然后当 VCC>Vdet1 时重新开始 CPU 的运行	电压监视 2 复位 当 Vdet2>VCC 时复位，在一定时间后重新开始 CPU 的运行
	中断	无	电压监视 2 中断 数字滤波器有效时：在 Vdet2>VCC 时产生中断请求，并且在 VCC>Vdet2 时也产生中断请求 数字滤波器无效时：只在 Vdet2>VCC 时或者只在 VCC>Vdet2 时产生中断请求
数字滤波器	有效 / 无效的转换	有	有
	采样时间	(fRING-S 的 n 分频)×4 n: 1、2、4、8	(fRING-S 的 n 分频)×4 n: 1、2、4、8

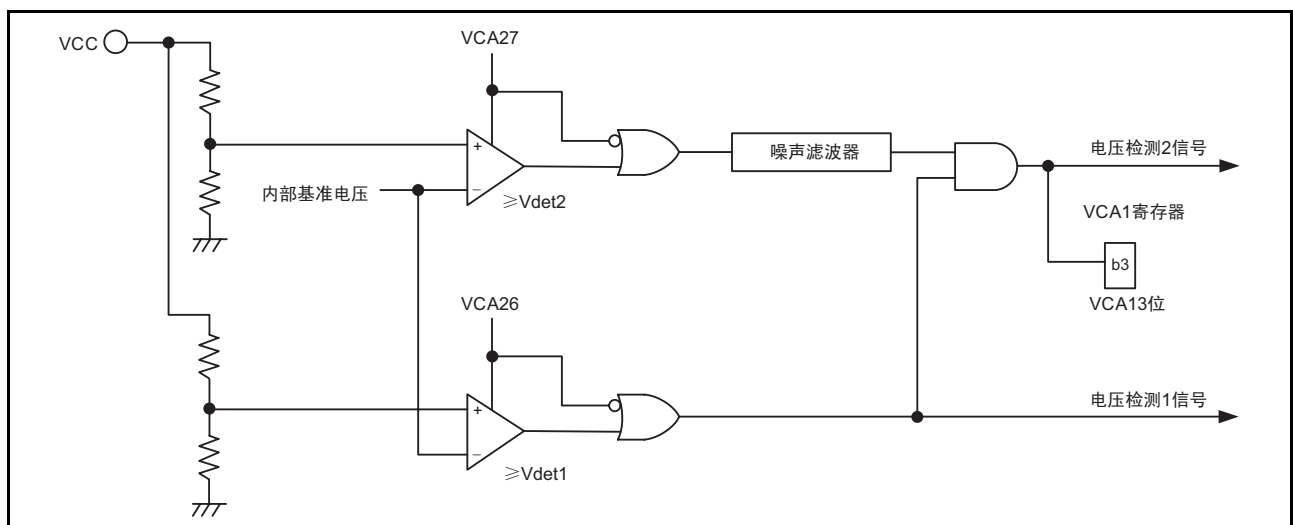


图 8.1 电压检测电路的框图

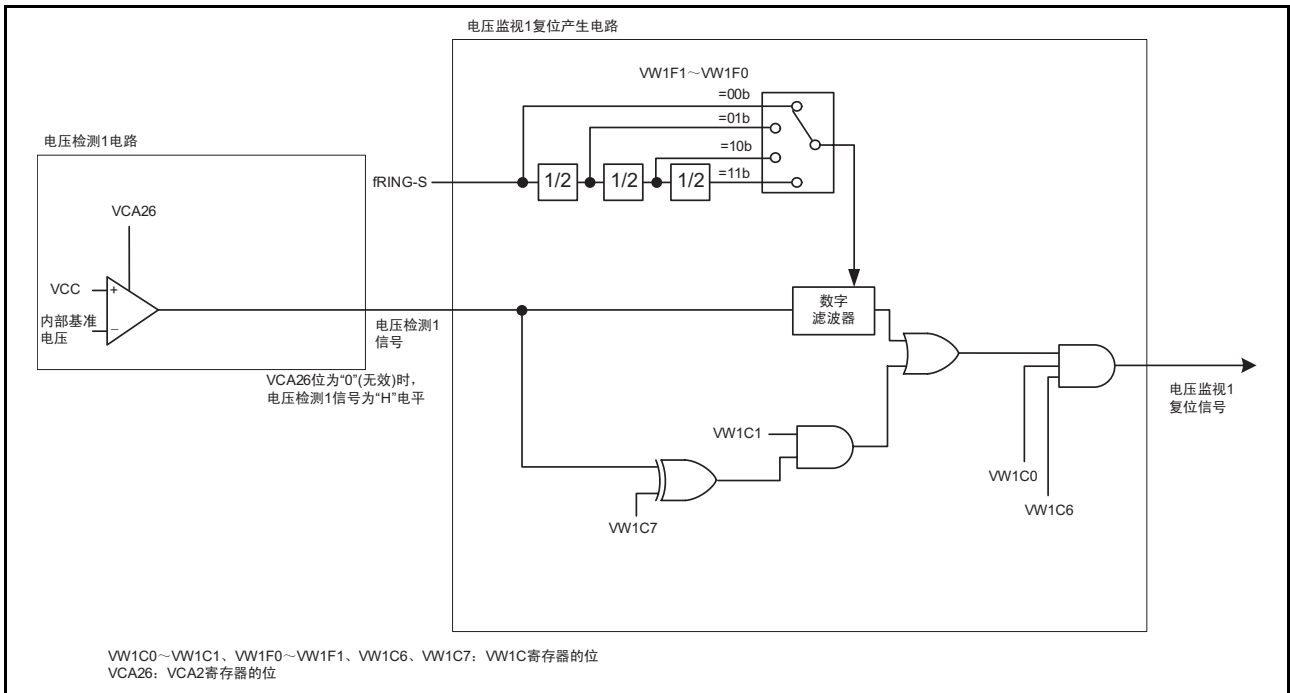


图 8.2 电压监视 1 复位产生电路的框图

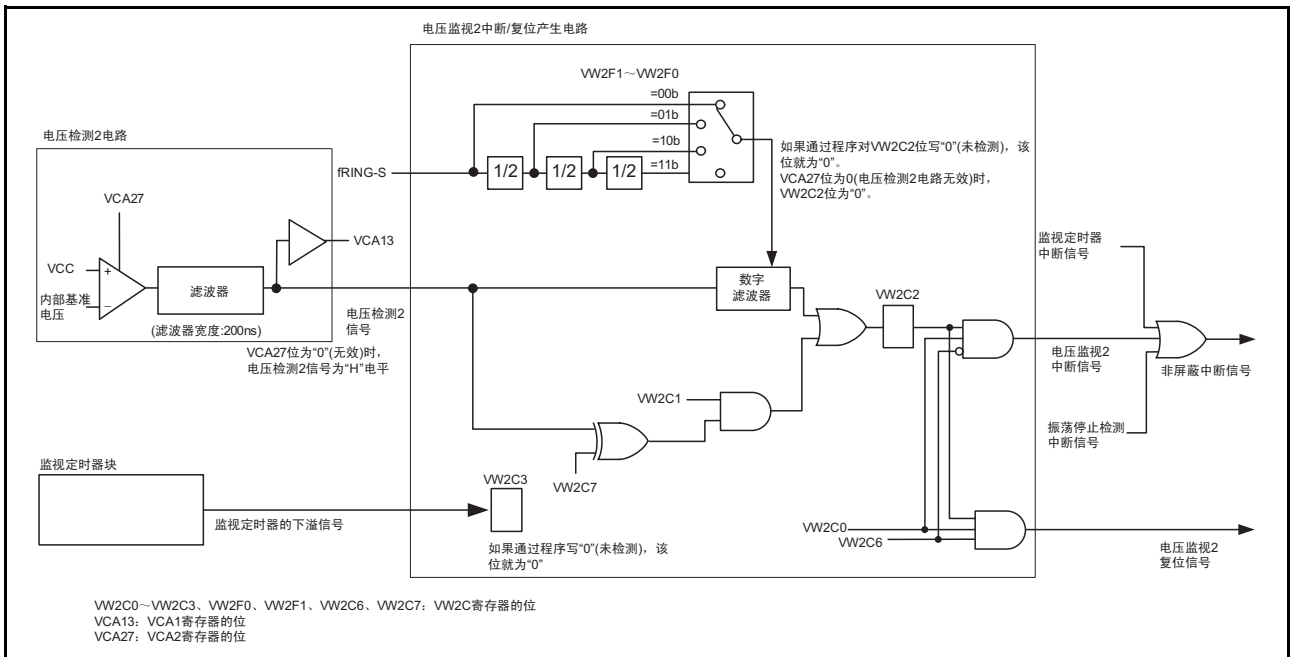


图 8.3 电压监视 2 中断 / 复位产生电路的框图

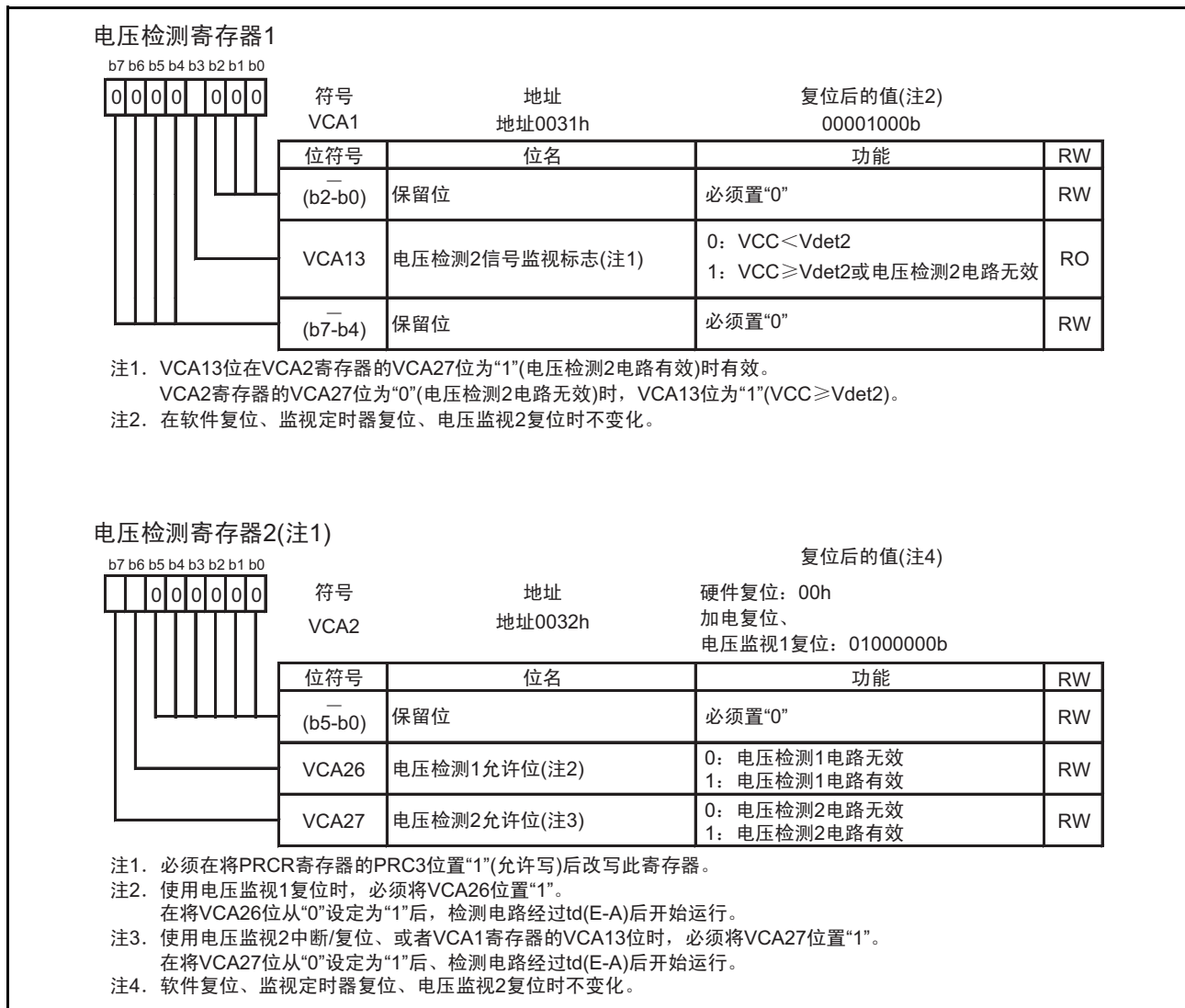


图 8.4 VCA1、VCA2 寄存器

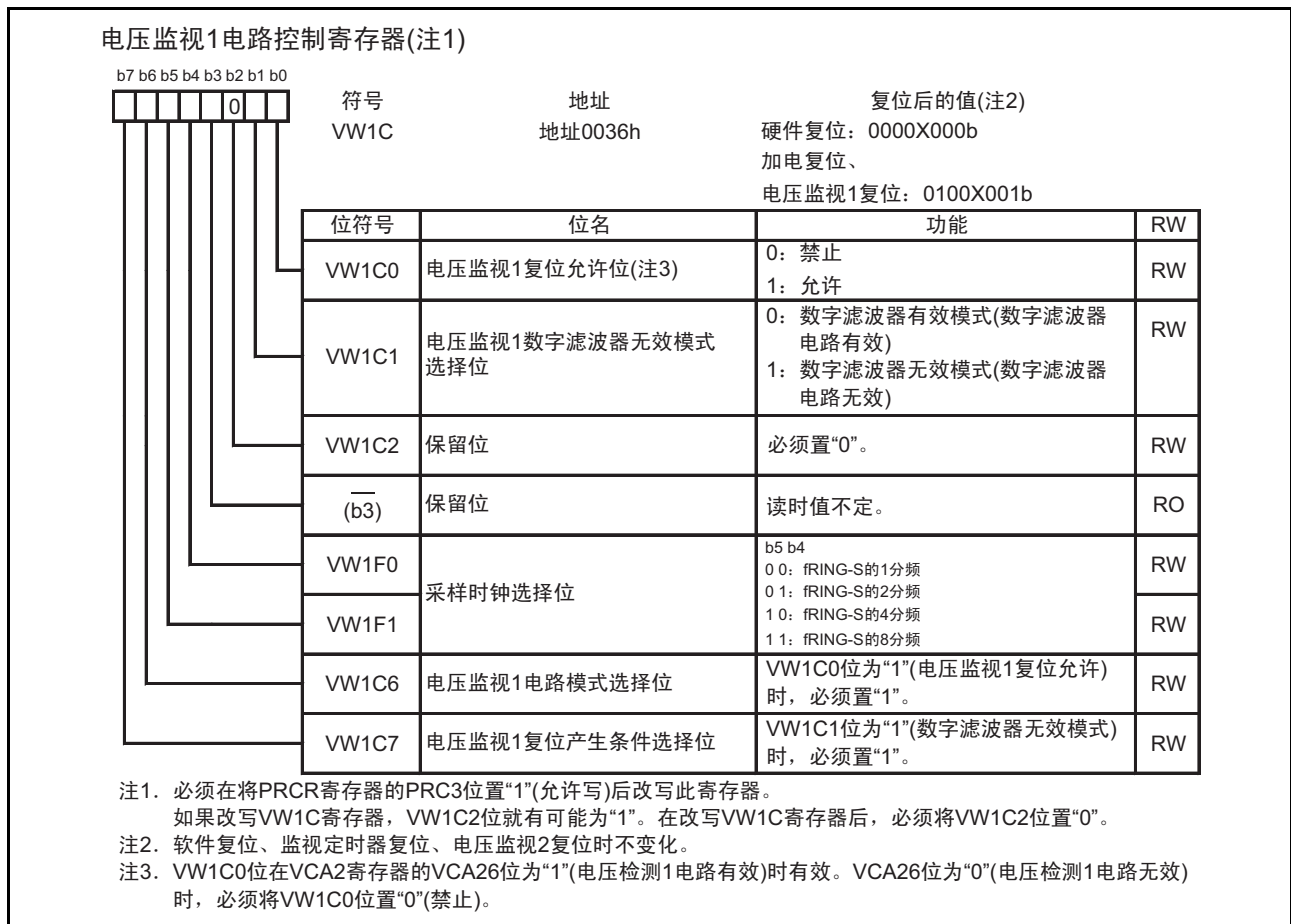


图 8.5 VW1C 寄存器

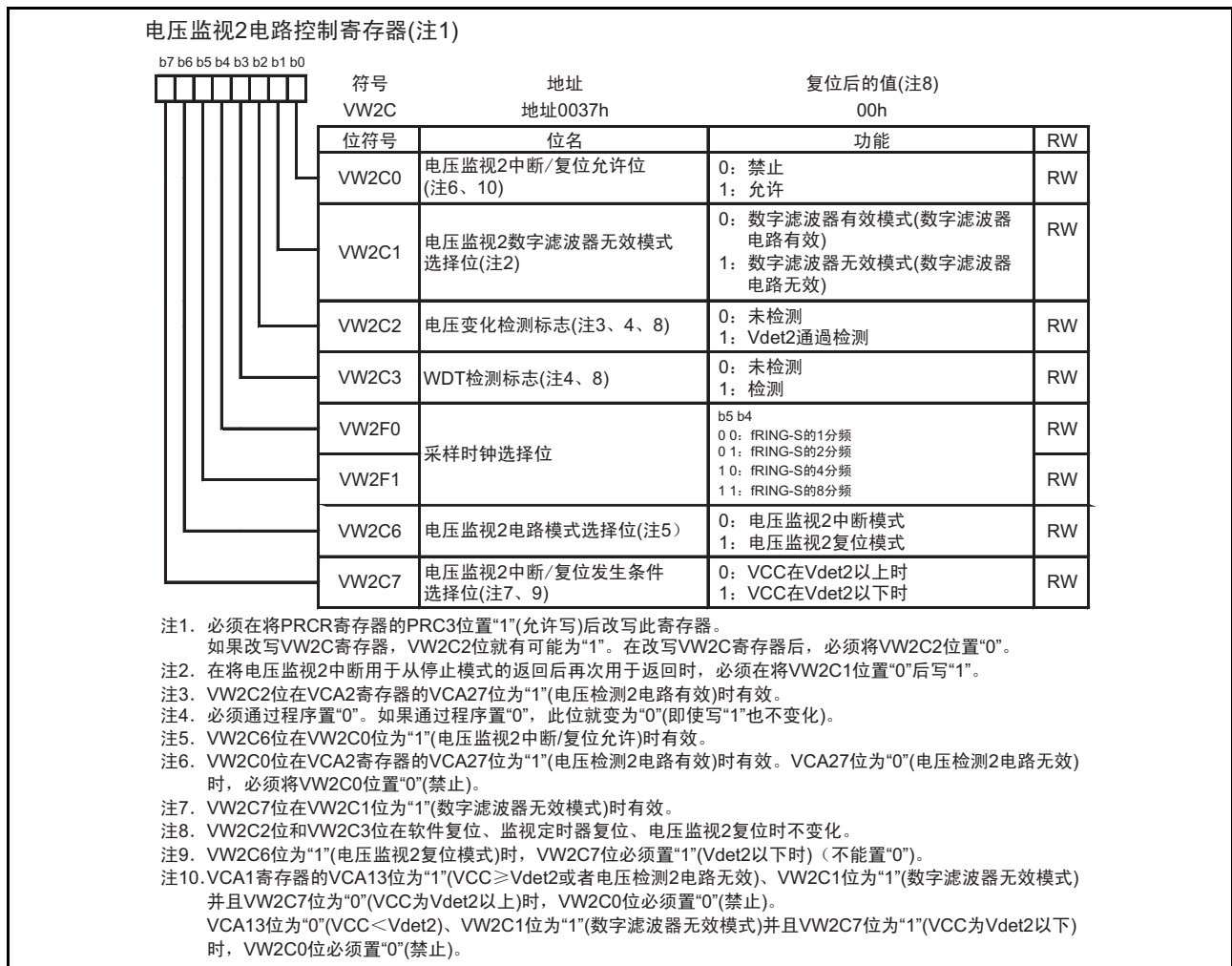


图 8.6 VW2C 寄存器

8.1 VCC 输入电压

8.1.1 Vdet1 的监视

不能监视 Vdet1。

8.1.2 Vdet2 的监视

必须将 VCA2 寄存器的 VCA27 位设定为“1”（电压检测 2 电路有效）。经过 $t_d(E-A)$ （参照“20. 电特性”）后，能通过 VCA1 寄存器的 VCA13 位监视 Vdet2。

8.1.3 数字滤波器

能将数字滤波器用于监视 VCC 输入电压。当将电压监视 1 电路的 VW1C 寄存器的 VW1C1 位设定为“0”（数字滤波器有效）、或者将电压监视 2 电路的 VW2C 寄存器的 VW2C1 位设定为“0”（数字滤波器有效）时，数字滤波器电路有效。

采样时钟能从 fRING-S 的 1、2、4、8 分频中选择。

以每个采样时钟采样 VCC 输入电压的电平，在电平 2 次相同时，内部复位信号变为“L”或者产生电压监视 2 中断请求。

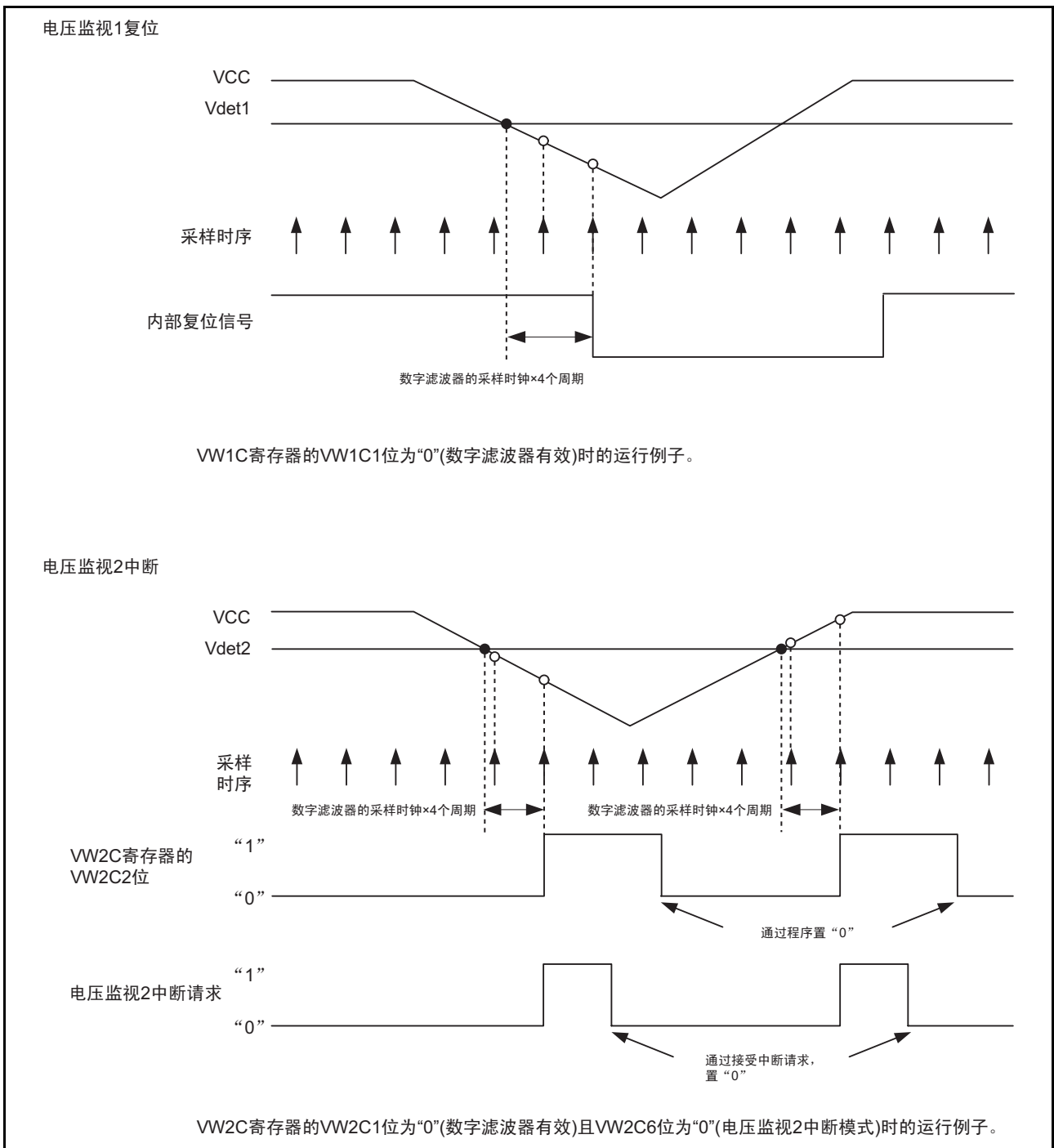


图 8.7 数字滤波器的运行例子

8.2 电压监视 1 复位

电压监视 1 复位相关位的设定步骤如表 8.2 所示，电压监视 1 复位的运行例子如图 8.8 所示。另外，在将电压监视 1 复位用于从停止模式的返回时，必须将 VW1C 寄存器的 VW1C1 位设定为“1”（数字滤波器无效）。

表 8.2 电压监视 1 复位相关位的设定步骤

步骤	使用数字滤波器的情况	不使用数字滤波器的情况
1	将 VCA2 寄存器的 VCA26 位设定为“1”（电压检测 1 电路有效）。	
2	等待 td(E-A)。	
3 (注 1)	通过 VW1C 寄存器的 VW1F0 ~ VW1F1 位选择数字滤波器的采样时钟。	将 VW1C 寄存器的 VW1C7 位设定为“1”。
4 (注 1)	将 VW1C 寄存器的 VW1C1 位设定为“0”（数字滤波器有效）。	将 VW1C 寄存器的 VW1C1 位设定为“1”（数字滤波器无效）。
5 (注 1)	将 VW1C 寄存器的 VW1C6 位设定为“1”（电压监视 1 复位模式）。	
6	将 VW1C 寄存器的 VW1C2 位设定为“0”。	
7	将 CM1 寄存器的 CM14 位设定为“0”（低速内部振荡器振荡）。	—
8	等待“数字滤波器的采样时钟 $\times 4$ 个周期”。	—（无等待时间）
9	将 VW1C 寄存器的 VW1C0 位设定为“1”（电压监视 1 复位允许）。	

注 1 当 VW1C0 位为“0”（禁止）时，可以同时执行（用 1 条指令）步骤 3、4、5。

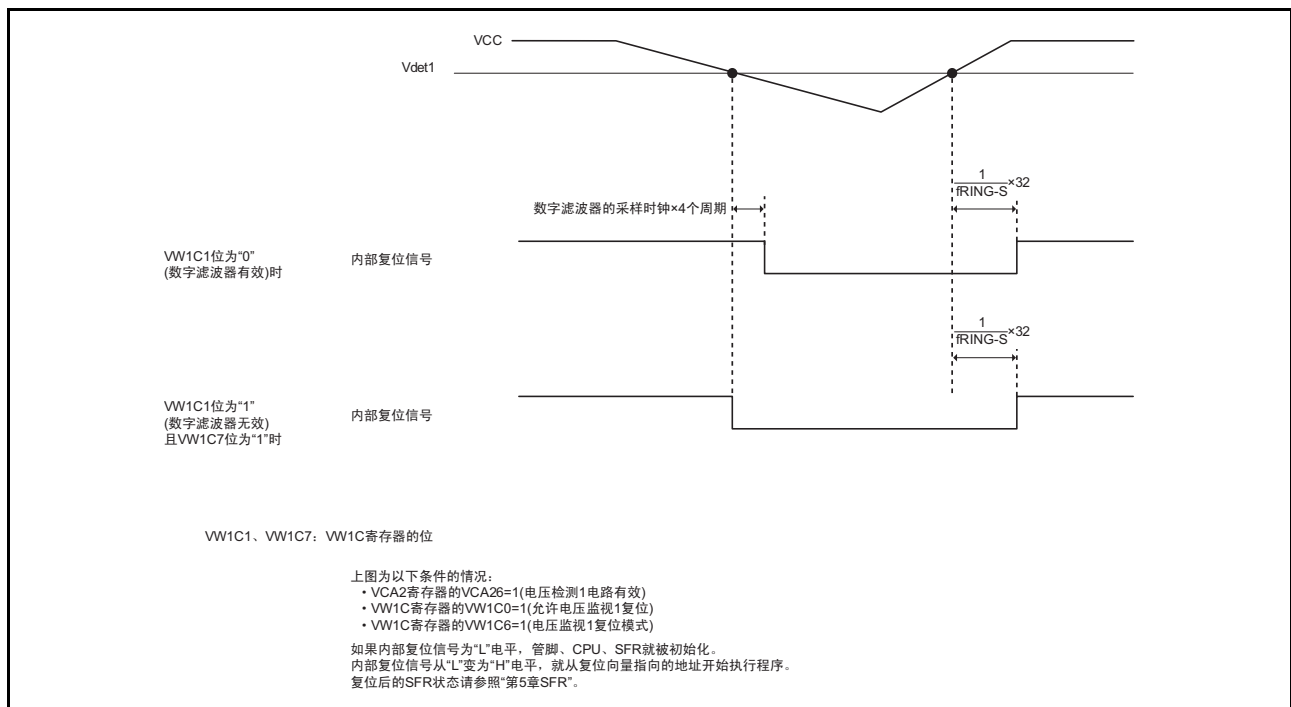


图 8.8 电压监视 1 复位的运行例子

8.3 电压监视 2 中断和电压监视 2 复位

电压监视 2 中断和电压监视 2 复位相关位的设定步骤如表 8.3 所示，电压监视 2 中断和电压监视 2 复位的运行例子如图 8.9 所示。另外，在将电压监视 2 中断或者电压监视 2 复位用于从停止模式的返回时，必须将 VW2C 寄存器的 VW2C1 位设定为“1”（数字滤波器无效）。

表 8.3 电压监视 2 中断和电压监视 2 复位相关位的设定步骤

步骤	使用数字滤波器的情况		不使用数字滤波器的情况	
	电压监视 2 中断	电压监视 2 复位	电压监视 2 中断	电压监视 2 复位
1	将 VCA2 寄存器的 VCA27 位设定为“1”（电压检测 2 电路有效）。			
2	等待 td(E-A)。			
3	通过 VW2C 寄存器的 VW2F0 ~ VW2F1 位选择数字滤波器的采样时钟。 (注 2)		通过 VW2C 寄存器的 VW2C7 位选择中断和复位请求的时序（注 1）。	
4	将 VW2C 寄存器的 VW2C1 位设定为“0”（数字滤波器有效）。 (注 2)		将 VW2C 寄存器的 VW2C1 位设定为“1” (数字滤波器无效)。	
5	将 VW2C 寄存器的 VW2C6 位设定为“0” (电压监视 2 中断模式)。 (注 2)	将 VW2C 寄存器的 VW2C6 位设定为“1” (电压监视 2 复位模式)。	将 VW2C 寄存器的 VW2C6 位设定为“0” (电压监视 2 中断模式)。	将 VW2C 寄存器的 VW2C6 位设定为“1” (电压监视 2 复位模式)。
6	将 VW2C 寄存器的 VW2C2 位设定为“0”（未检测到“通过 Vdet2”）。			
7	将 CM1 寄存器的 CM14 位设定为“0” (低速内部振荡器振荡)。		—	
8	等待“数字滤波器的采样时钟 $\times 4$ 个周期”。		—（无等待时间）	
9	将 VW2C 寄存器的 VW2C0 位设定为“1”（允许电压监视 2 中断 / 复位）。			

注 1 在电压监视 2 复位时，必须将 VW2C7 位设定为“1”（在 Vdet2 以下时）。

注 2 当 VW2C0 位为“0”（禁止）时，可以同时（用 1 条指令）执行步骤 3、4、5。

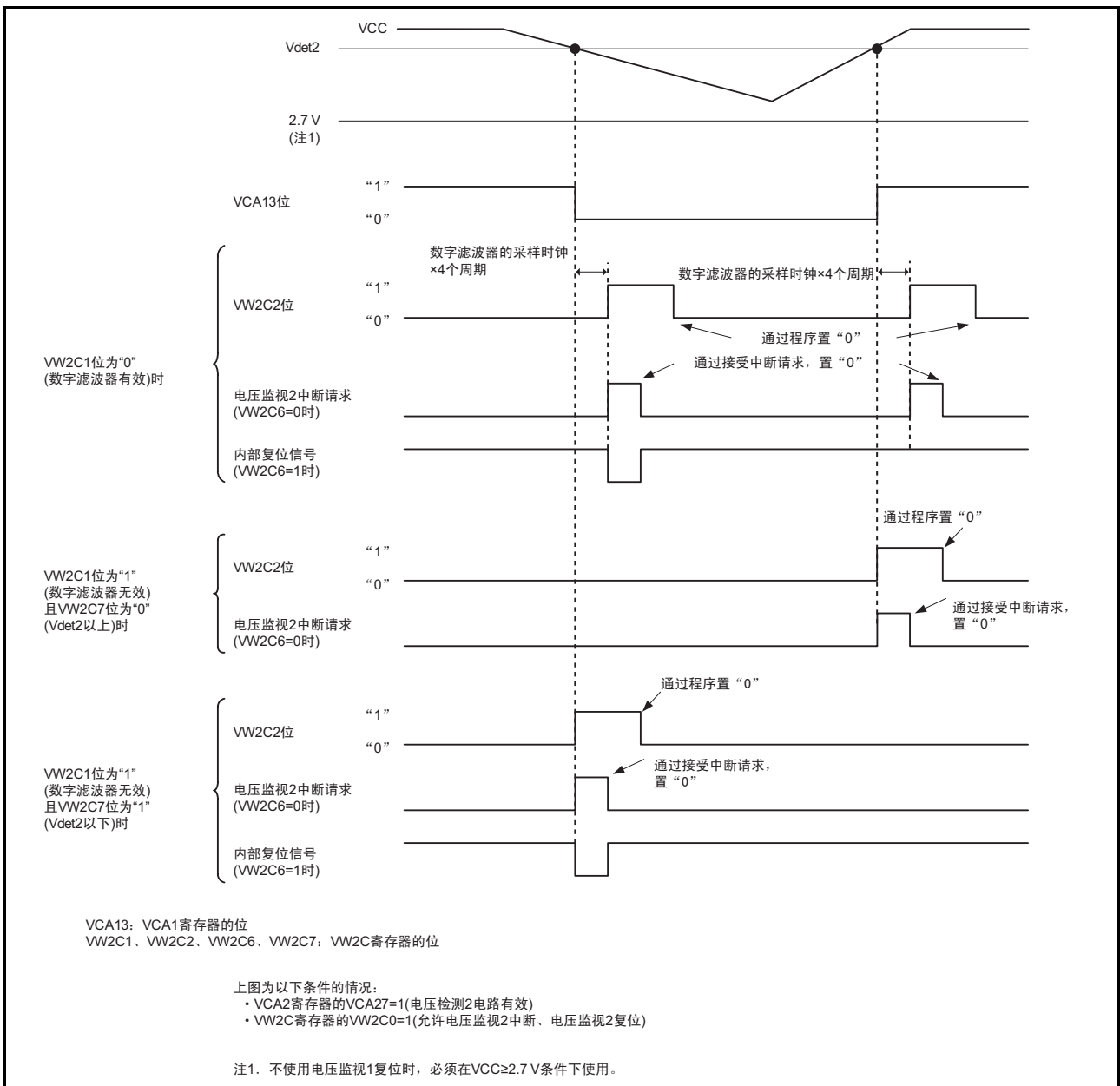


图 8.9 电压监视 2 中断和电压监视 2 复位的运行例子

9. 处理器模式

9.1 处理器模式的种类

处理器模式为单芯片模式。处理器模式的特点如表 9.1 所示，PM0 寄存器如图 9.1、PM1 寄存器如图 9.2 所示。

表 9.1 处理器模式的特点

处理器模式	存取空间	分配为输入 / 输出端口的管脚
单芯片模式	SFR、内部 RAM、内部 ROM	全部管脚为输入 / 输出端口或者外围功能输入 / 输出管脚

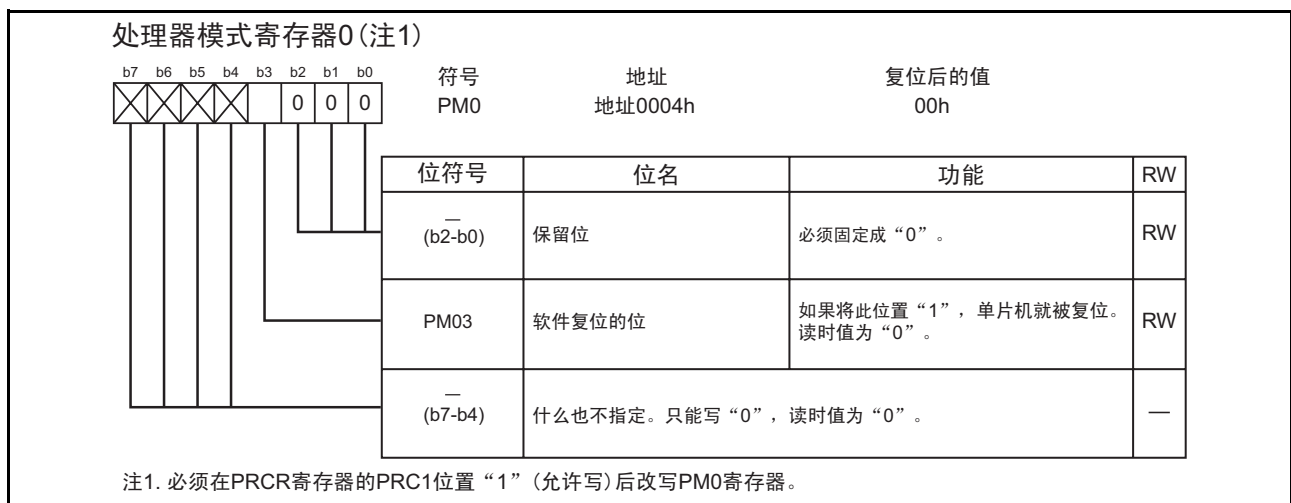


图 9.1 PM0 寄存器

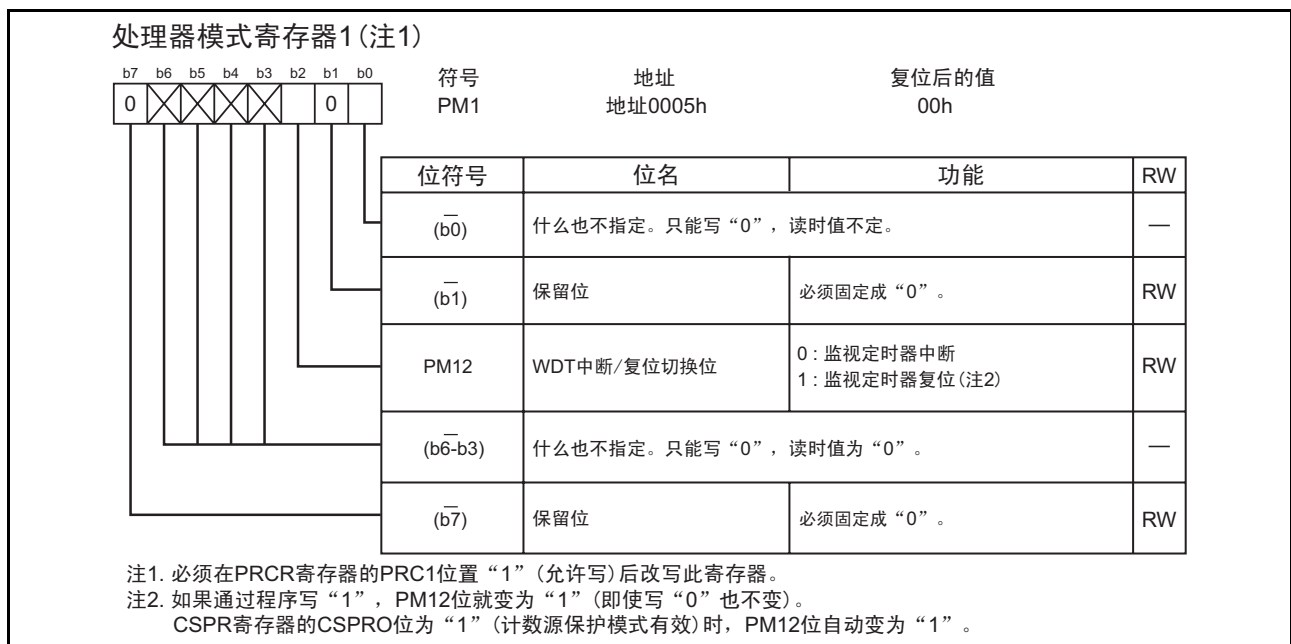


图 9.2 PM1 寄存器

10. 总线控制

ROM、RAM 与 SFR 存取时的总线周期不同。R8C/1A 群的存取区的总线周期如表 10.1、R8C/1B 群的存取区的总线周期如表 10.2 所示。

ROM、RAM 和 SFR 通过 8 位总线和 CPU 连接。因此，在以字（16 位）单位存取时，以 8 位单位进行 2 次存取。存取单位和总线的运行如表 10.3 所示。

表 10.1 R8C/1A 群的存取区的总线周期

存取区	总线周期
SFR	CPU 时钟的 2 个周期
ROM/RAM	CPU 时钟的 1 个周期

表 10.2 R8C/1B 群的存取区的总线周期

存取区	总线周期
SFR/ 数据闪存	CPU 时钟的 2 个周期
程序 ROM/RAM	CPU 时钟的 1 个周期

表 10.3 存取单位和总线的运行

区域	SFR、数据闪存	程序 ROM、ROM、RAM
偶数地址 字节存取		
奇数地址 字节存取		
偶数地址 字存取		
奇数地址 字存取		

11. 时钟发生电路

时钟发生电路内置 2 个电路：

- 主时钟振荡电路
- 内部振荡器（有振荡停止检测功能）

时钟发生电路的概要规格如表 11.1 所示，时钟发生电路的框图如图 11.1 所示，与时钟相关的寄存器如图 11.2 ~ 图 11.5 所示。

表 11.1 时钟发生电路的概要规格

项目	主时钟振荡电路	内部振荡器	
		高速内部振荡器	低速内部振荡器
用途	<ul style="list-style-type: none"> • CPU 的时钟源 • 外围功能的时钟源 	<ul style="list-style-type: none"> • CPU 的时钟源 • 外围功能的时钟源 • 主时钟振荡停止时的 CPU 和外围功能的时钟源 	<ul style="list-style-type: none"> • CPU 的时钟源 • 外围功能的时钟源 • 主时钟振荡停止时的 CPU 和外围功能的时钟源
时钟频率	0 ~ 20MHz	约 8MHz	约 125kHz
能连接的谐振器	<ul style="list-style-type: none"> • 陶瓷谐振器 • 晶体谐振器 	—	—
谐振器的连接管脚	XIN、XOUT（注 1）	—（注 1）	—（注 1）
振荡开始和停止	有	有	有
复位后的状态	停止	停止	振荡
其它	能输入外部生成的时钟	—	—

注 1 在不使用主时钟振荡电路而将内部振荡器时钟用于 CPU 时钟时，该管脚能作为 P4_6 和 P4_7 使用。

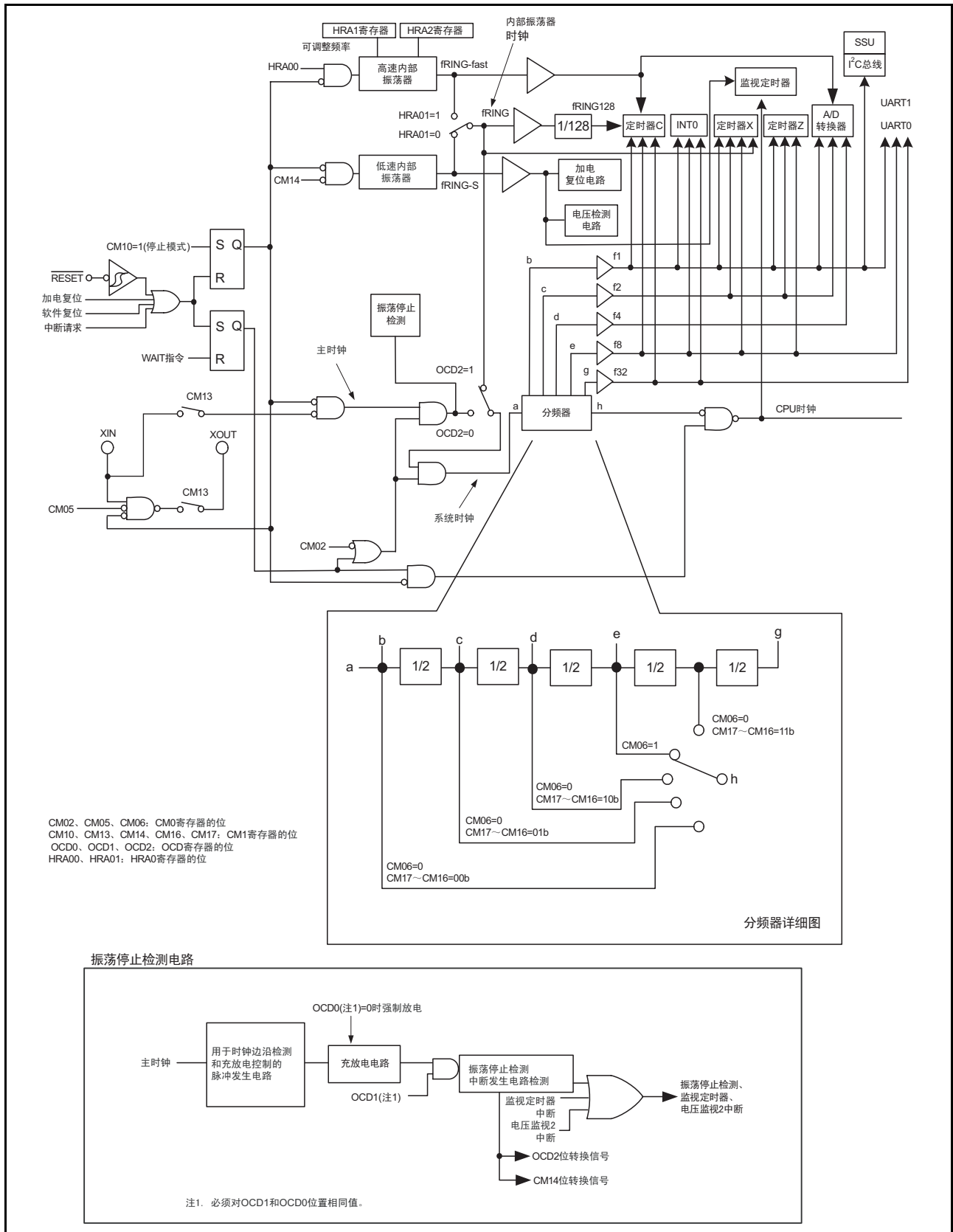


图 11.1 时钟发生电路

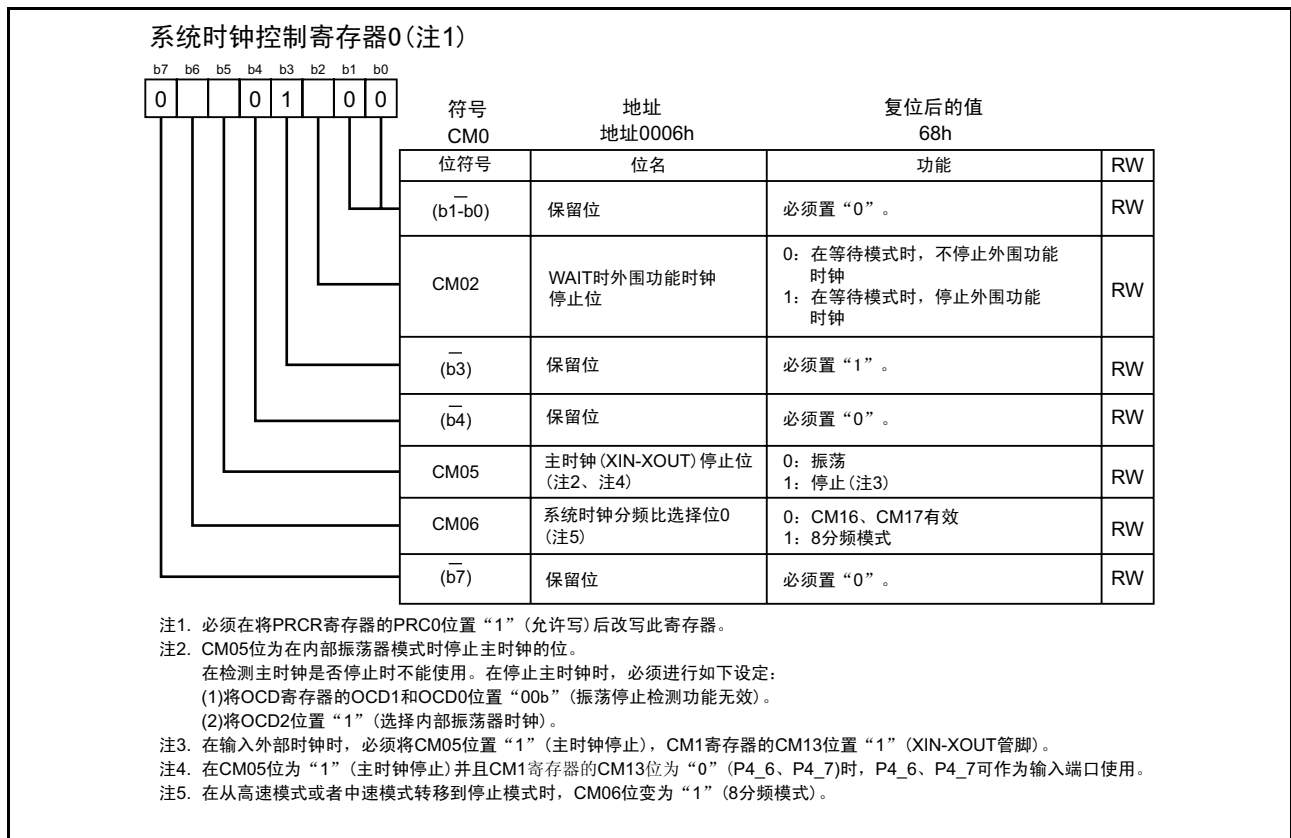


图 11.2 CM0 寄存器

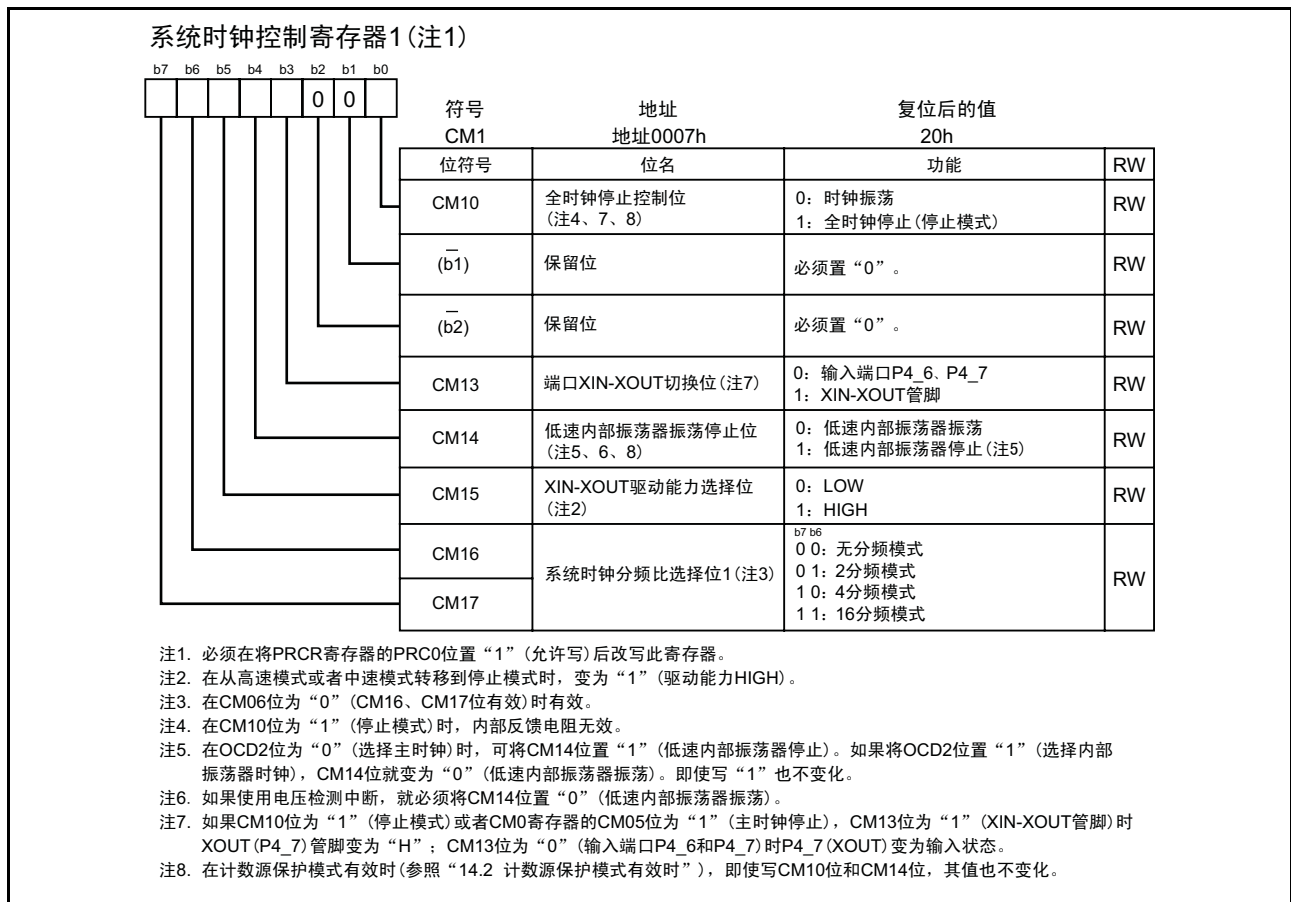


图 11.3 CM1 寄存器

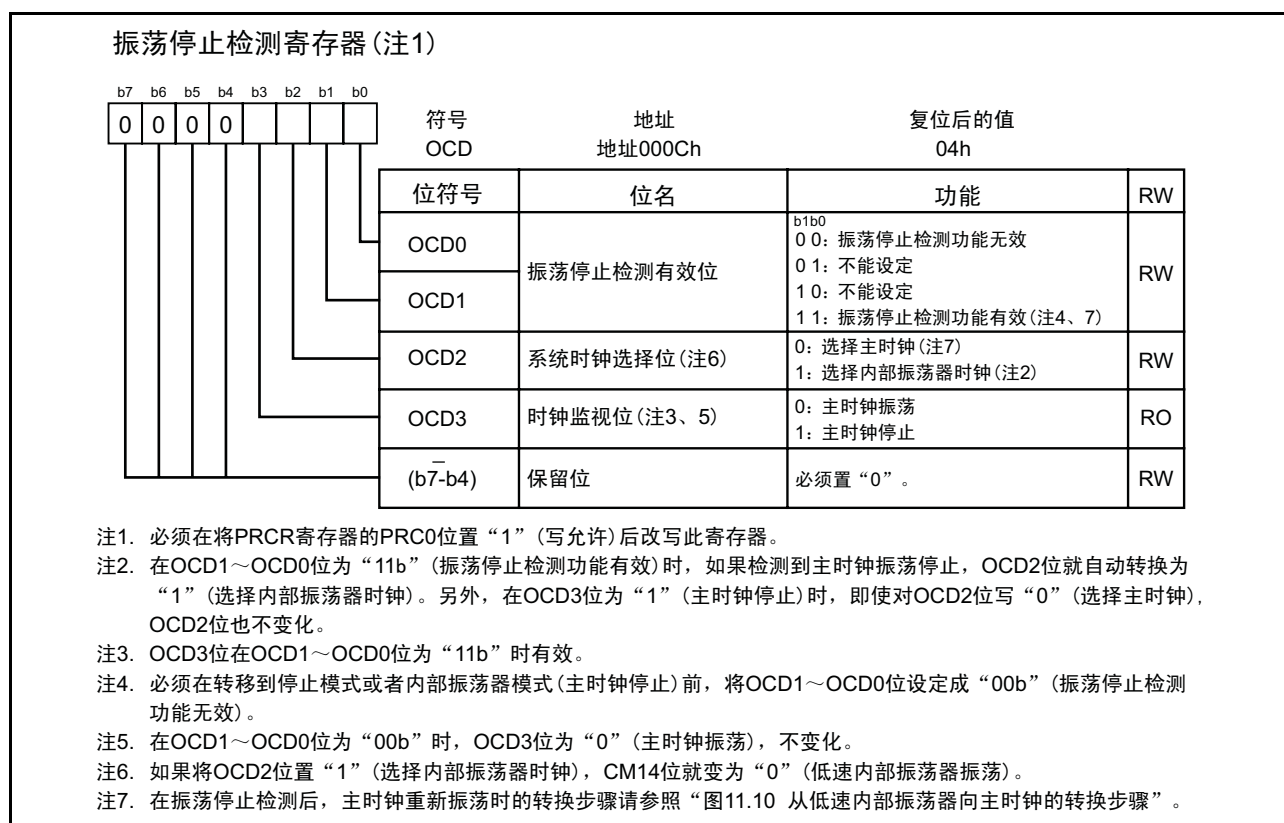


图 11.4 OCD 寄存器

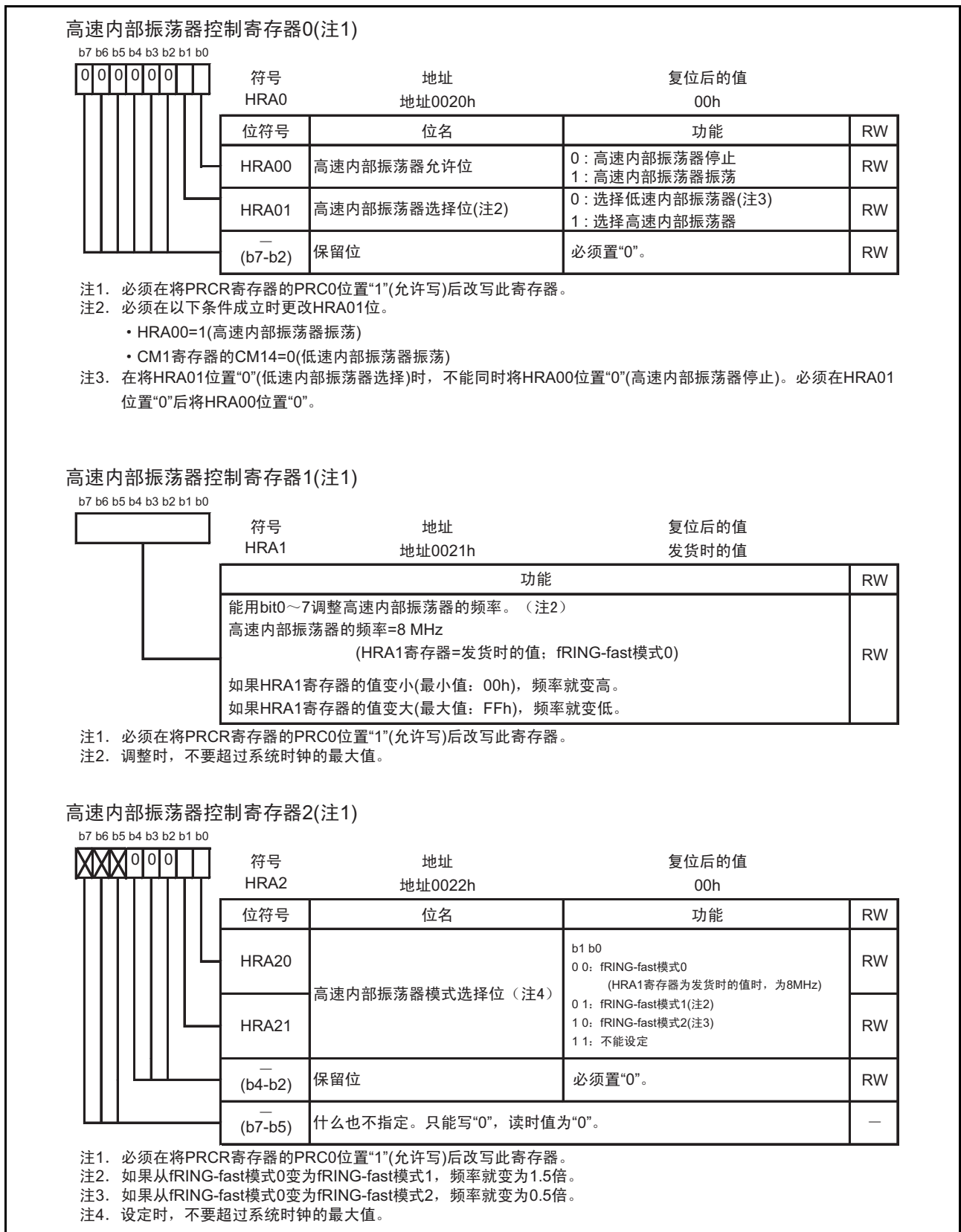


图 11.5 HRA0、HRA1 和 HRA2 寄存器

以下说明由时钟发生电路生成的时钟。

11.1 主时钟

它是主时钟振荡电路提供的时钟，为 CPU 时钟和外围功能时钟的时钟源。主时钟振荡电路通过在 XIN-XOUT 管脚之间连接谐振器构成振荡电路。主时钟振荡电路内置反馈电阻，为了在停止模式时降低功耗，将反馈电阻从振荡电路分离。对于主时钟振荡电路，也能将外部生成的时钟输入到 XIN 管脚。主时钟的连接电路例子如图 11.6 所示。

在复位中和在复位后，主时钟停止。

如果在将 CM1 寄存器的 CM13 位置“1”（XIN-XOUT 管脚）后，将 CM0 寄存器的 CM05 位置“0”（主时钟振荡），主时钟就开始振荡。如果在主时钟振荡稳定后，将 OCD 寄存器的 OCD2 位置“0”（选择主时钟），主时钟就成为 CPU 的时钟源。

在将 OCD2 位置“1”（选择内部振荡器时钟）使用时，如果将 CM0 寄存器的 CM05 位置“1”（主时钟停止），就能降低功耗。另外，在将外部生成的时钟输入到 XIN 管脚时，即使将 CM05 位置“1”，主时钟也不停止，因此，必要时需从外部停止时钟。

在停止模式时，包括主时钟在内的全部时钟都停止。详细内容请参照“11.4 功率控制”。

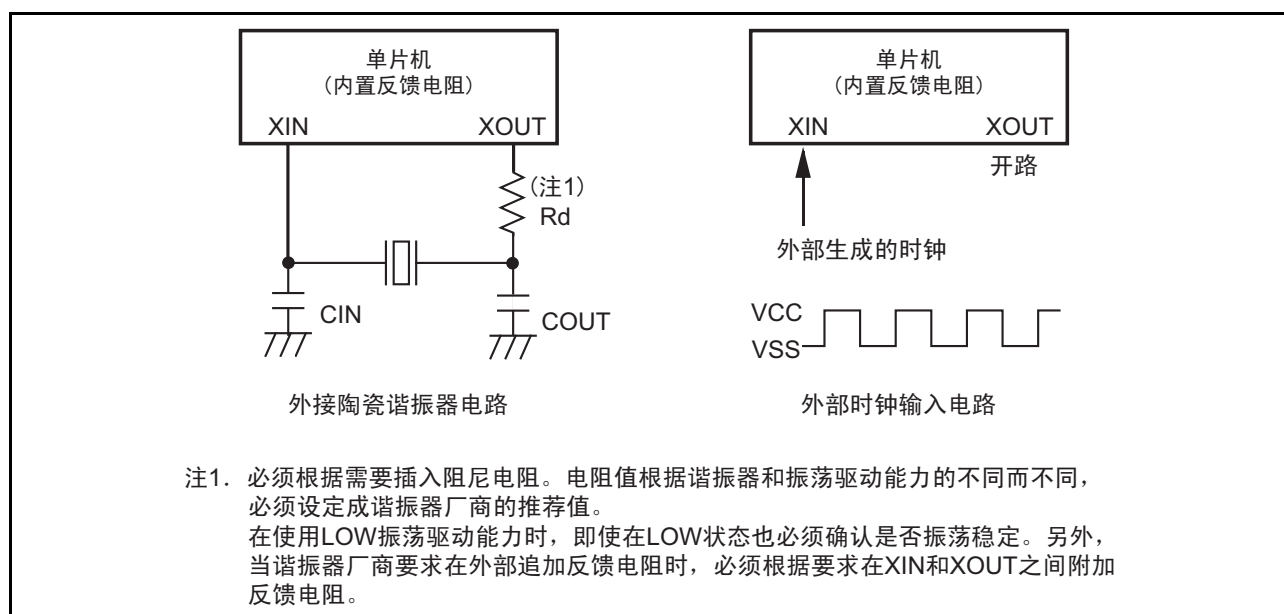


图 11.6 主时钟的连接电路例子

11.2 内部振荡器时钟

它是内部振荡器提供的时钟，内部振荡器有高速内部振荡器和低速内部振荡器。由 HRA0 寄存器的 HRA01 位选择的内部振荡器的时钟为内部振荡器时钟。

11.2.1 低速内部振荡器时钟

由低速内部振荡器生成的时钟成为 CPU 时钟、外围功能时钟、fRING、fRING128 以及 fRING-S 的时钟源。

在复位后，由低速内部振荡器生成的内部振荡器时钟的 8 分频成为 CPU 时钟。

另外，如果 OCD 寄存器的 OCD1 ~ OCD0 位为“11b”（振荡停止检测功能有效），就在主时钟停止时低速内部振荡器自动开始运行，供给时钟。

由于低速内部振荡器的频率根据电源电压和工作环境温度变化很大，因此在设计应用产品时必须对频率变化留有充分的容限。

11.2.2 高速内部振荡器时钟

由高速内部振荡器生成的时钟成为 CPU 时钟、外围功能时钟、fRING、fRING128 以及 fRING-fast 的时钟源。

由高速内部振荡器生成的内部振荡器时钟在复位后停止。如果将 HRA0 寄存器的 HRA00 位置“1”（高速内部振荡器振荡），就开始振荡，并且能使用 HRA1 寄存器和 HRA2 寄存器调整频率。

HRA1 寄存器的各位的延迟量有偏异，所以必须变化各位进行调整。

高速内部振荡器的频率在闪存的 CPU 改写模式中的自动编程期间或者自动擦除期间，有可能发生变化。有关详细内容请参照“11.6.5 高速内部振荡器时钟”。

11.3 CPU 时钟和外围功能时钟

有使 CPU 运行的 CPU 时钟和使外围功能运行的时钟（请参照“图 11.1 时钟发生电路”）。

11.3.1 系统时钟

系统时钟是 CPU 时钟和外围功能时钟的时钟源，能选择主时钟或者内部振荡器时钟。

11.3.2 CPU 时钟

CPU 时钟是 CPU 和监视定时器的运行时钟。

对系统时钟进行 1 分频（不分频）或者 2、4、8、16 分频后的时钟成为 CPU 时钟。能通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM16 ~ CM17 位选择分频。

在复位后，低速内部振荡器时钟的 8 分频成为 CPU 时钟。

另外，在从高速模式或者中速模式转移到停止模式时，CM06 位变为“1”（8 分频模式）。

11.3.3 外围功能时钟（f1、f2、f4、f8、f32）

它是外围功能的运行时钟。

f_i(i=1、2、4、8、32) 是对系统时钟进行 i 分频后的时钟，用于定时器 X、定时器 Z、定时器 C、串行接口和 A/D 转换器。

如果在 CM0 寄存器的 CM02 位置“1”（在等待模式时，停止外围功能时钟）后执行 WAIT 指令，f_i 就停止。

11.3.4 fRING 和 fRING128

它是外围功能的运行时钟。

fRING 是和内部振荡器时钟相同频率的时钟，用于定时器 X。fRING128 是对 fRING 进行 128 分频后的时钟，用于定时器 C。

在执行 WAIT 指令时，fRING 和 fRING128 不停止。

11.3.5 fRING-fast

它是定时器 C 的计数源。

fRING-fast 是由高速内部振荡器生成的时钟。如果将 HRA00 位置“1”，就供给 fRING-fast。

在执行 WAIT 指令时，fRING-fast 不停止。

11.3.6 fRING-S

它是监视定时器和电压检测电路的运行时钟。

fRING-S 是由低速内部振荡器生成的时钟。如果将 CM14 位置“0”（低速内部振荡器振荡），就供给 fRING-S。

在执行 WAIT 指令时或者在监视定时器的计数源保护模式时，fRING-S 不停止。

11.4 功率控制

功率控制有 3 种模式。为了方便起见，在此将除了等待模式和停止模式以外的状态称为通常运行模式。

11.4.1 通常运行模式

通常运行模式又分为 4 种模式。

在通常运行模式，由于供给 CPU 时钟和外围功能时钟，因此 CPU 和外围功能都运行。通过控制 CPU 时钟的频率进行功率控制。CPU 时钟的频率越高处理能力就越强，频率越低功耗就越小。另外，如果使不需要的振荡电路停止，功耗就更小。

在转换 CPU 时钟的时钟源时，转换后的时钟需要稳定振荡。在转换后的时钟为主时钟时，必须在通过程序取得振荡稳定的等待时间后转移。

表 11.2 时钟相关位的设定和模式

模式		OCD 寄存器	CM1 寄存器		CM0 寄存器	
		OCD2	CM17、CM16	CM13	CM06	CM05
高速模式		0	00b	1	0	0
中速模式	2 分频	0	01b	1	0	0
	4 分频	0	10b	1	0	0
	8 分频	0	—	1	1	0
	16 分频	0	11b	1	0	0
高速、低速内部 振荡器模式 (注 1)	不分频	1	00b	—	0	—
	2 分频	1	01b	—	0	—
	4 分频	1	10b	—	0	—
	8 分频	1	—	—	1	—
	16 分频	1	11b	—	0	—

注 1 在 CM1 寄存器的 CM14 位 =0 (低速内部振荡器振荡) 和 HRA0 寄存器的 HRA01 位 =0 时，低速内部振荡器成为内部振荡器时钟。

在 HRA0 寄存器的 HRA00 位 =1 (高速内部振荡器振荡) 和 HRA0 寄存器的 HRA01 位 =1 时，高速内部振荡器成为内部振荡器时钟。

11.4.1.1 高速模式

主时钟的 1 分频 (不分频) 为 CPU 时钟。在 CM14 位为 “0” (低速内部振荡器振荡) 或者 HRA0 寄存器的 HRA00 位为 “1” (高速内部振荡器振荡) 时，fRING 和 fRING128 能用于定时器 X 和定时器 C。在 HRA00 位为 “1” 时，fRING-fast 能用于定时器 C。

另外，在 CM14 位为 “0” (低速内部振荡器振荡) 时，fRING-S 能用于监视定时器和电压检测电路。

11.4.1.2 中速模式

主时钟的 2 分频、4 分频、8 分频或者 16 分频成为 CPU 时钟。在 CM14 位为 “0” (低速内部振荡器振荡) 或者 HRA0 寄存器的 HRA00 位为 “1” (高速内部振荡器振荡) 时，fRING 和 fRING128 能用于定时器 X 和定时器 C。在 HRA00 位为 “1” 时，fRING-fast 能用于定时器 C。

另外，在 CM14 位为 “0” (低速内部振荡器振荡) 时，fRING-S 能用于监视定时器和电压检测电路。

11.4.1.3 高速、低速内部振荡器模式

内部振荡器时钟的 1 分频（不分频）、2 分频、4 分频、8 分频或者 16 分频成为 CPU 时钟。另外，内部振荡器时钟成为外围功能时钟的时钟源。在 HRA00 位为“1”时，fRING-fast 能用于定时器 C。

另外，在 CM14 位为“0”（低速内部振荡器振荡）时，fRING-S 能用于监视定时器和电压检测电路。

11.4.2 等待模式

在等待模式时，CPU 时钟停止，所以用 CPU 时钟运行的 CPU 和计数源保护模式无效时的监视定时器停止运行。主时钟和内部振荡器时钟不停止，使用这些时钟的外围功能处于运行状态。

11.4.2.1 外围功能时钟停止功能

在 CM02 位为“1”（在等待模式时，停止外围功能时钟）的情况下，由于在等待模式时 f1、f2、f4、f8、f32、停止，因此能降低功耗。

11.4.2.2 等待模式的转移

如果执行 WAIT 指令，就变为等待模式。

11.4.2.3 等待模式时的管脚状态

保持进入等待模式前的状态。

11.4.2.4 从等待模式的返回

通过硬件复位或者外围功能中断，从等待模式返回。

在通过硬件复位返回时，必须在将外围功能中断的 ILVL2 ~ ILVL0 位置“000b”（禁止中断）后执行 WAIT 指令。

外围功能中断受 CM02 位的影响。在 CM02 位为“0”（在等待模式时，不停止外围功能时钟）时，所有外围功能中断都能用于从等待模式的返回。在 CM02 位为“1”（在等待模式时，停止外围功能时钟）时，由于使用外围功能时钟的外围功能停止，因此通过外部信号运行的外围功能的中断能用于从等待模式的返回。

能用于从等待模式返回的中断和使用条件如表 11.3 所示。

表 11.3 能用于从等待模式返回的中断和使用条件

中断	在 CM02=0 时	在 CM02=1 时
串行接口中断	能用于内部时钟和外部时钟	能用于外部时钟
键输入中断	能使用	能使用
A/D 转换器转换中断	能用于单次模式	—（不能使用）
定时器 X 中断	能用于所有模式	能用于事件计数器模式
定时器 Z 中断	能用于所有模式	—（不能使用）
定时器 C 中断	能用于所有模式	—（不能使用）
$\overline{\text{INT}}$ 中断	能使用	能使用（ $\overline{\text{INT0}}$ 、 $\overline{\text{INT3}}$ 能在没有滤波器的情况下使用）
电压监视 2 中断	能使用	能使用
振荡停止检测中断	能使用	—（不能使用）
监视定时器中断	能用于计数源保护模式	能用于计数源保护模式

从等待模式到执行中断程序的时间如图 11.7 所示。

在将外围功能中断用于从等待模式返回的情况下，必须在执行 WAIT 指令前进行如下设定：

- (1) 给用于从等待模式返回的外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位设定中断优先级。另外，将不用于从等待模式返回的外围功能中断的 ILVL2 ~ ILVL0 位置“000b”（禁止中断）。
- (2) 将 I 标志置“1”。
- (3) 让用于从等待模式返回的外围功能运行。

在通过外围功能中断返回的情况下，如果在发生中断请求后开始供给 CPU 时钟，就执行中断顺序。通过外围功能中断从等待模式返回后的 CPU 时钟和 WAIT 指令执行时的 CPU 时钟相同。

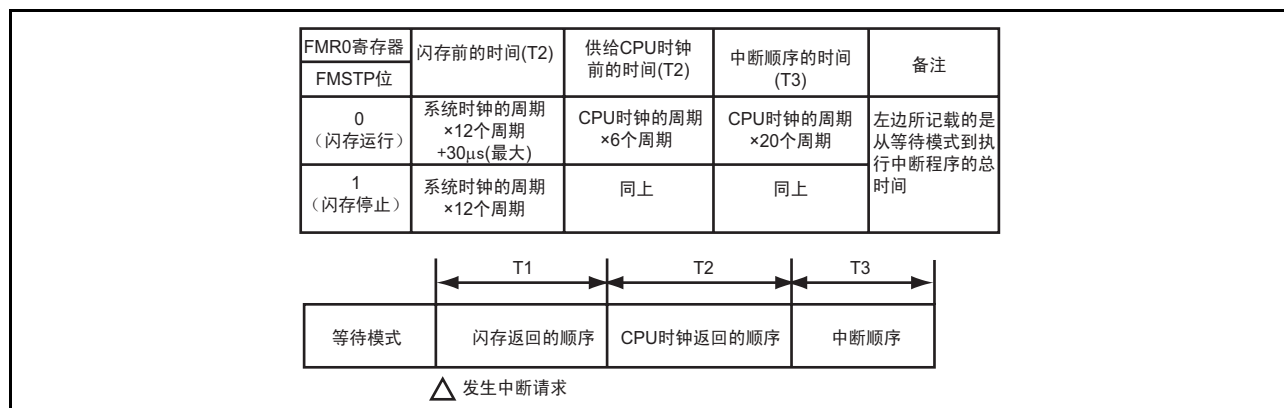


图 11.7 从等待模式到执行中断程序的时间

11.4.3 停止模式

在停止模式，停止所有振荡。因此，CPU 时钟和外围功能时钟也停止，通过这些时钟运行的 CPU 和外围功能都停止运行。停止模式是功耗最小的模式。另外，在外加给 VCC 管脚的电压为 VRAM 以上时，保持内部 RAM 的内容。

另外，通过外部信号运行的外围功能运行。能用于从停止模式返回的中断和使用条件如表 11.4 所示。

表 11.4 能用于从停止模式返回的中断和使用条件

中断	使用条件
键输入中断	—
$\overline{\text{INT0}} \sim \overline{\text{INT1}}$ 中断	$\overline{\text{INT0}}$ 能在没有滤波器的情况下使用
$\overline{\text{INT3}}$ 中断	能在没有滤波器并且在 $\overline{\text{INT3}}$ 输入时序发生中断请求（TCC0 寄存器的 TCC06 位为“1”）的情况下使用
定时器 X 中断	在事件计数器模式对外部脉冲计数时
串行接口中断	在选择外部时钟时
电压监视 2 中断	能在数字滤波器无效模式（VW2C 寄存器的 VW2C1 位为“1”）的情况下使用

11.4.3.1 停止模式的转移

如果将 CM1 寄存器的 CM10 位置“1”（停止所有时钟），就变为停止模式。同时 CM0 寄存器的 CM06 位变为“1”（8 分频模式），并且 CM10 寄存器的 CM15 位变为“1”（主时钟振荡电路的驱动能力 HIGH）。

在使用停止模式时，必须在 OCD1 ~ OCD0 位置“00b”（振荡停止检测功能无效）后设定为停止模式。

11.4.3.2 停止模式时的管脚状态

保持进入停止模式前的状态。

但是，CM1寄存器的CM13位为“1”（XIN-XOUT管脚）时，XOUT（P4_7）管脚为“H”电平。CM13位为“0”（输入端口P4_6和P4_7）时，P4_7（XOUT）为输入状态。

11.4.3.3 从停止模式的返回

通过硬件复位或者外围功能中断，从停止模式返回。

从停止模式到执行中断程序的时间如图 11.8

在通过硬件复位返回时，必须在外围功能中断的ILVL2～ILVL0位置“000b”（禁止中断）后将CM10位置“1”。

在通过外围功能中断返回时，必须在进行如下设定后将CM10位置“1”：

1. 给用于从停止模式返回的外围功能中断的ILVL2～ILVL0位设定中断优先级。
另外，将不用于从停止模式返回的外围功能中断的ILVL2～ILVL0位置“000b”（禁止中断）。
2. 将I标志置“1”。
3. 让用于从停止模式返回的外围功能运行。

在通过外围功能中断返回的情况下，如果在发生中断请求后开始供给CPU时钟，就执行中断顺序。

通过外围功能中断从停止模式返回后的CPU时钟变为在停止模式前使用的时钟的8分频时钟。

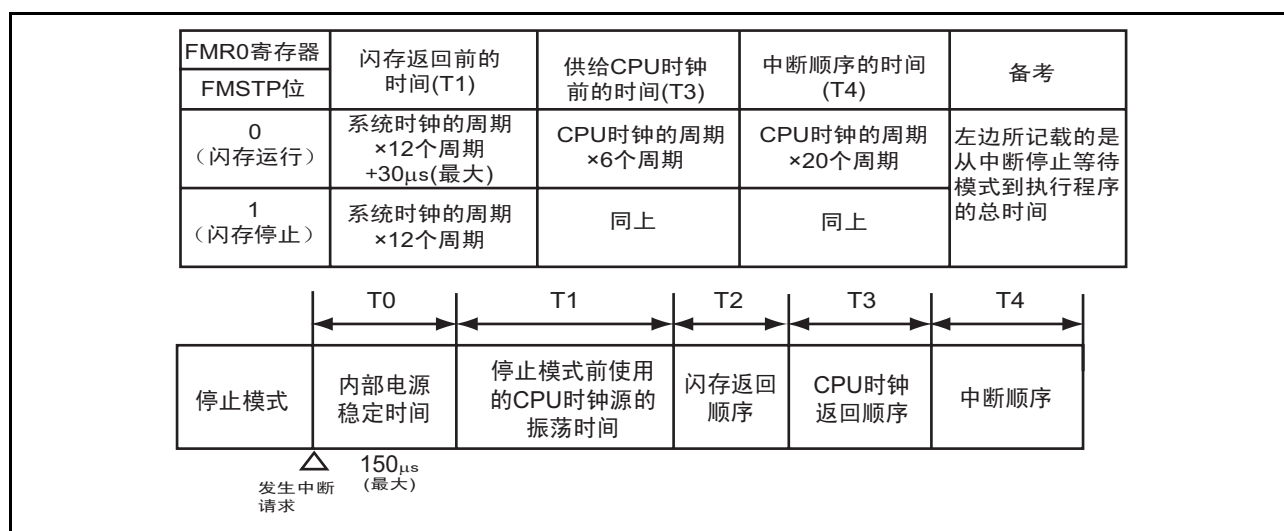


图 11.8 从停止模式到执行中断程序的时间

功率控制的状态转移如图 11.9 所示。

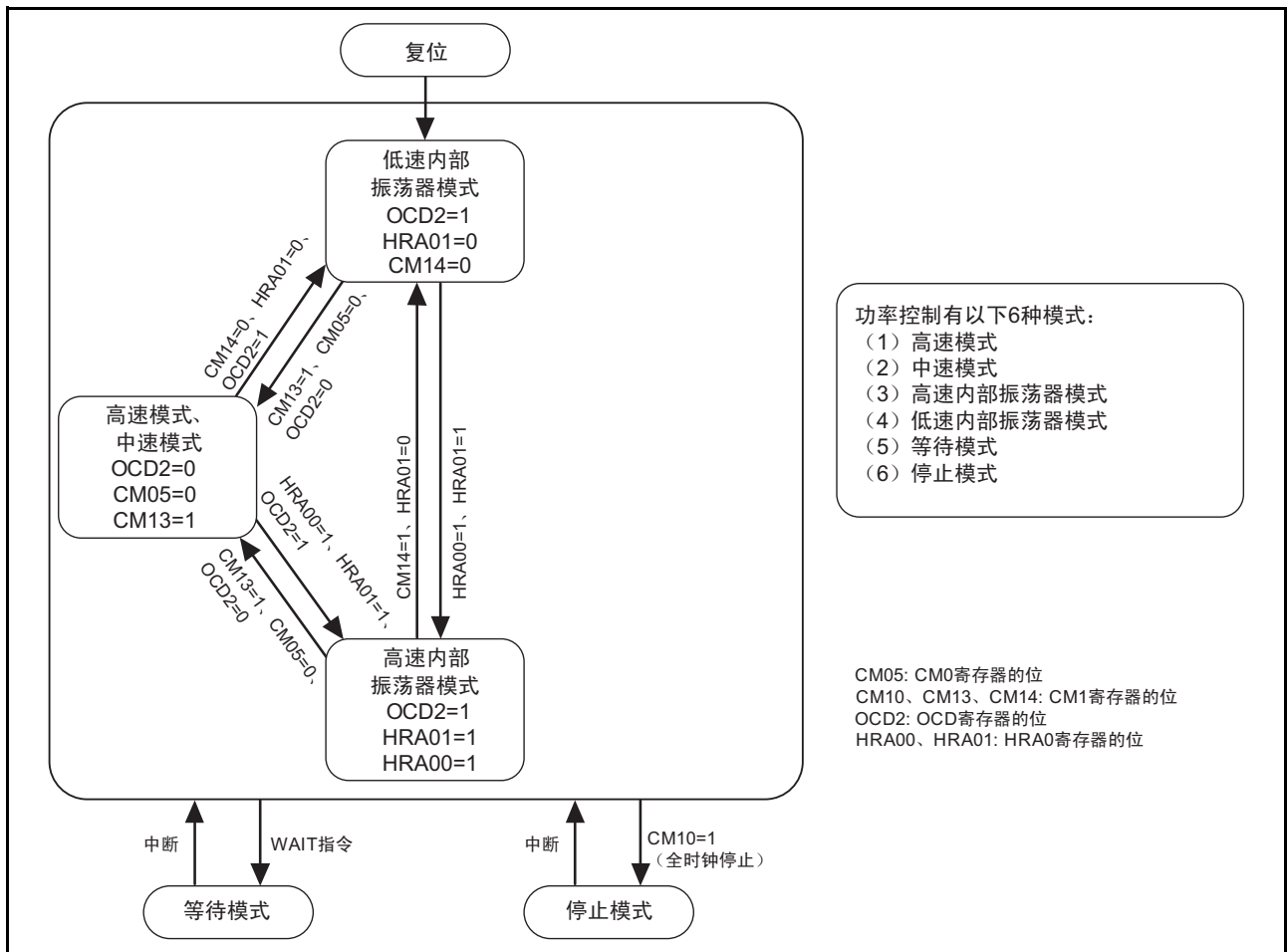


图 11.9 功率控制的状态转移

11.5 振荡停止检测功能

振荡停止检测功能是检测主时钟振荡电路停止的功能。

振荡停止检测功能通过 OCD 寄存器的 OCD1 ~ OCD0 位，能选择有效或者无效。

振荡停止检测功能的说明如表 11.5 所示。

在主时钟为 CPU 时钟源并且 OCD1 ~ OCD0 位为“11b”（振荡停止检测功能有效）的情况下，如果主时钟停止，就进入如下状态：

- OCD 寄存器的 OCD2 位 = 1（选择内部振荡器时钟）
- OCD 寄存器的 OCD3 位 = 1（主时钟停止）
- CM1 寄存器的 CM14 位 = 0（低速内部振荡器振荡）
- 产生振荡停止检测中断请求

表 11.5 振荡停止检测功能的说明

项目	说明
能检测振荡停止的时钟和频率范围	$f(XIN) \geq 2\text{MHz}$
振荡停止检测功能的有效条件	将 OCD1 ~ OCD0 位置“11b”（振荡停止检测功能有效）
振荡停止检测时的运行	产生振荡停止检测中断

11.5.1 振荡停止检测功能的使用方法

- 振荡停止检测中断和监视定时器中断、电压监视 2 中断共享向量。在同时使用振荡停止检测中断和监视定时器中断的情况下，必须判断中断源。振荡停止检测中断、监视定时器中断和电压监视 2 中断的中断源判断如表 11.6 所示。
- 在振荡停止后主时钟重新开始振荡时，必须通过程序将主时钟恢复到 CPU 时钟或者外围功能的时钟源。从低速内部振荡器时钟转换到主时钟的步骤如图 11.10 所示。
- 在使用振荡停止检测功能期间转移到等待模式时，必须将 CM02 位置“0”（在等待模式时，不停止外围功能时钟）。
- 振荡停止检测功能是防止由外部因素引起的主时钟停止的功能，因此在通过程序使主时钟停止或者振荡时，也就是说，在设定成停止模式或者改变 CM05 位时，必须将 OCD1 ~ OCD0 位置“00b”（振荡停止检测功能无效）。
- 由于在主时钟的频率低于 2MHz 时不能使用该功能，因此必须将 OCD1 ~ OCD0 位置“00b”（振荡停止检测功能无效）。
- 如果 CPU 时钟和外围功能的时钟源在检测到振荡停止后使用低速内部振荡器时钟，就必须在 HRA0 寄存器的 HRA01 位置“0”（选择低速内部振荡器）后将 OCD1 ~ OCD0 位置“11b”（振荡停止检测功能有效）。

如果 CPU 时钟和外围功能的时钟源在检测到振荡停止后使用高速内部振荡器时钟，就必须在 HRA01 位置“1”（选择高速内部振荡器）后将 OCD1 ~ OCD0 位置“11b”（振荡停止检测功能有效）。

表 11.6 振荡停止检测中断、监视定时器中断和电压监视 2 中断的中断源判断

发生的中断源	表示中断源的位
振荡停止检测 (在 (a) 或者 (b) 时)	(a)OCD 寄存器的 OCD3=1
	(b)OCD 寄存器的 OCD1 ~ OCD0=11b 并且 OCD2=1
监视定时器	VW2C 寄存器的 VW2C3=1
电压监视 2	VW2C 寄存器的 VW2C2=1

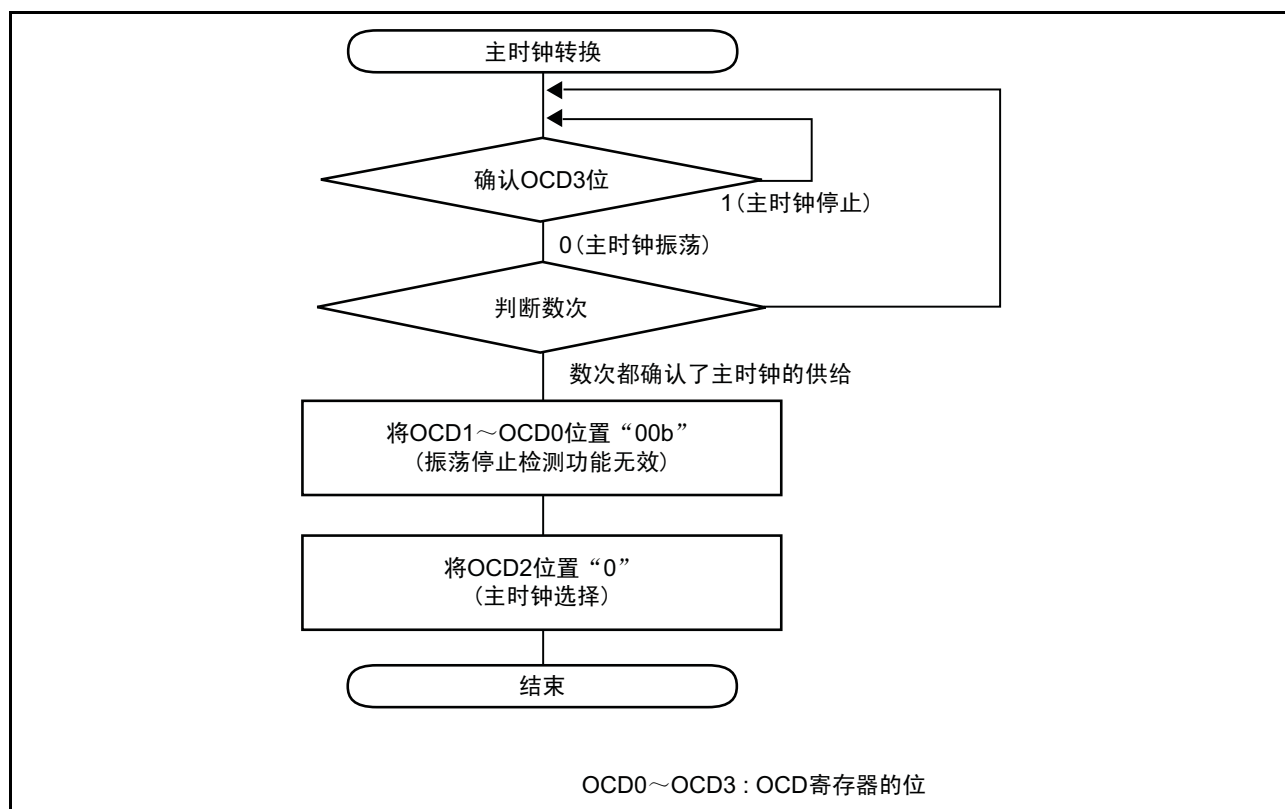


图 11.10 从低速内部振荡器转换到主时钟的步骤

11.6 时钟发生电路的使用注意事项

11.6.1 停止模式

转移到停止模式时，必须在将 FMR0 寄存器的 FMR01 位清 “0”（CPU 改写模式无效）后，将 CM1 寄存器的 CM10 位置 “1”（停止模式）。指令队列从将 CM10 位置 “1”（停止模式）的指令开始，预读 4 个字节，然后程序停止。

必须在将 CM10 位置 “1” 的指令后立即插入 JMP.B 指令，然后至少插入 4 条 NOP 指令。

- 转移到停止模式的程序例子

```

BCLR    1,FMR0      ; CPU 改写模式无效
BEST    0,PRCR     ; 解除保护
FSET    I           ; 允许中断
BEST    0,CM1      ; 停止模式
JMP.B   LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

11.6.2 等待模式

转移到等待模式时，必须在将 FMR0 寄存器的 FMR01 位清 “0”（CPU 改写模式无效）后执行 WAIT 指令。指令队列从 WAIT 指令开始，预读 4 个字节，然后程序停止。必须在 WAIT 指令之后，至少插入 4 条 NOP 指令。

- 执行 WAIT 指令的程序例子

```

BCLR    1,FMR0      ; CPU 改写模式无效
FSET    I           ; 允许中断
WAIT                    ; 等待模式
NOP
NOP
NOP
NOP

```

11.6.3 振荡停止检测功能

在主时钟频率低于 2MHz 时不能使用振荡停止检测功能，所以必须将 OCD1 ~ OCD0 位置 “00b”（振荡停止检测功能无效）。

11.6.4 振荡电路常数

有关用户系统的最佳振荡电路常数，请向谐振器生产厂家询问后决定。

11.6.5 高速内部振荡器时钟

高速内部振荡器的频率在闪存的 CPU 改写模式的自动编程期间或者自动擦除期间有可能发生最大 10% (注 1) 的变动。

自动编程结束后或者自动擦除结束后的高速内部振荡器频率为编程命令或者块擦除命令发行前的状态，读阵列 (Read Array) 命令、读状态寄存器命令、清除状态寄存器命令发行时除外。

在设计应用产品时，必须充分考虑到频率的变动。

注 1. 是对于发货时被调整的 8MHz 频率的变动率。

12. 保护

保护是为了在程序失控时重要的寄存器不被轻易改写的保护功能。PRCR 寄存器如图 12.1 所示。PRCR 寄存器保护的寄存器如下：

- 由 PRC0 位保护的寄存器：CM0、CM1、OCD、HRA0、HRA1 和 HRA2 寄存器
- 由 PRC1 位保护的寄存器：PM0 和 PM1 寄存器
- 由 PRC3 位保护的寄存器：VCA2、VW1C 和 VW2C 寄存器

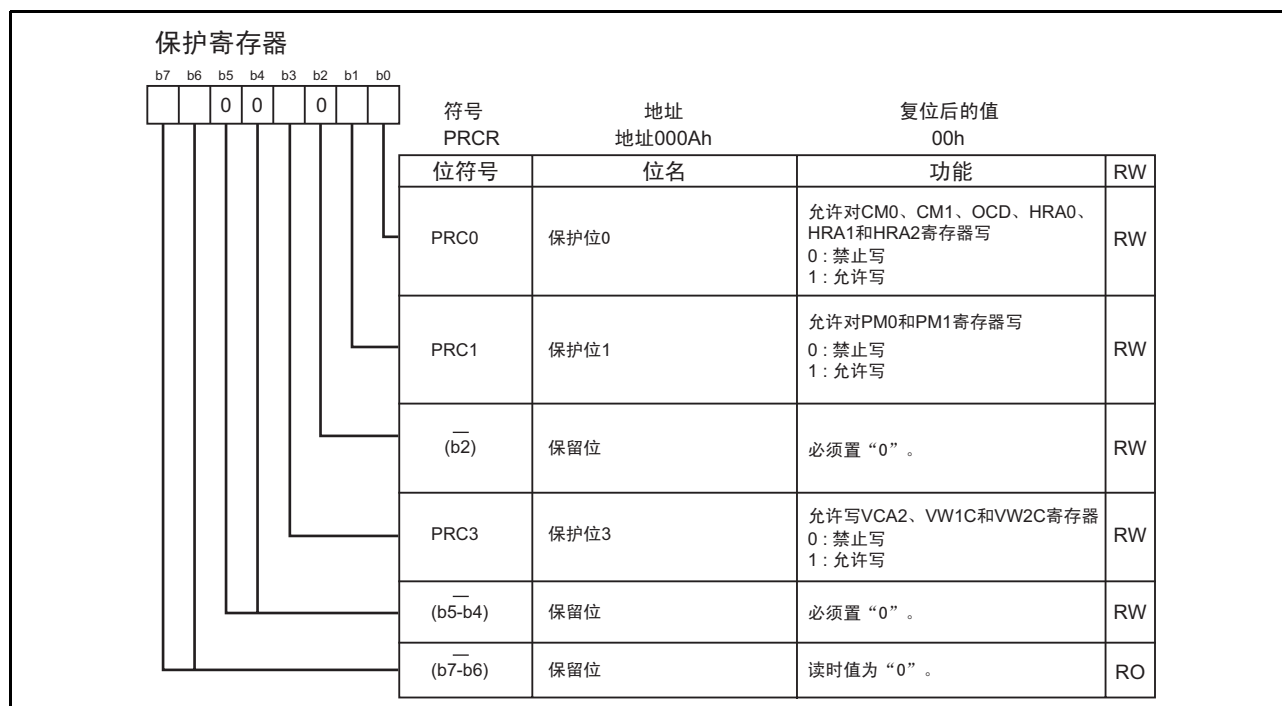


图 12.1 PRCR 寄存器

13. 中断

13.1 中断概要

13.1.1 中断分类

中断分类如图 13.1 所示。

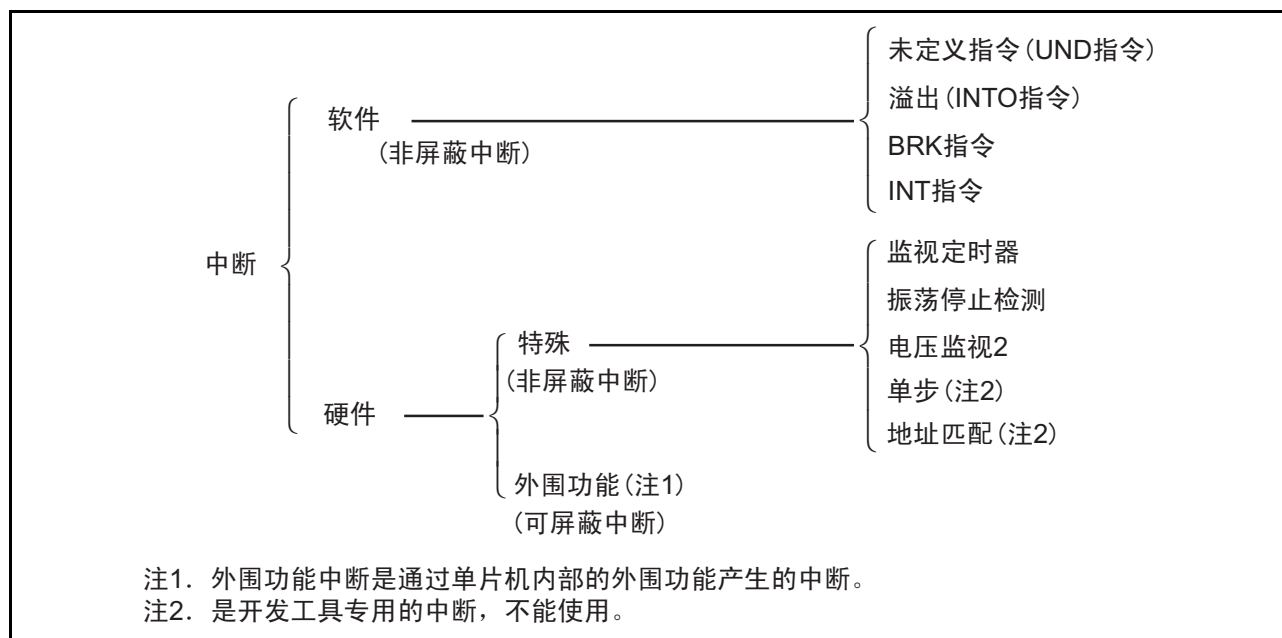


图 13.1 中断分类

- 可屏蔽中断：**能**通过中断允许标志（I 标志）控制中断的允许（禁止）或者**能**通过中断优先级改变中断优先级
- 非屏蔽中断：**不能**通过中断允许标志（I 标志）控制中断的允许（禁止）并且**不能**通过中断优先级改变中断优先级

13.1.2 软件中断

通过执行指令产生软件中断。软件中断是非屏蔽中断。

13.1.2.1 未定义指令中断

如果执行 UND 指令，就产生未定义指令中断。

13.1.2.2 溢出中断

在 O 标志为“1”（运算结果溢出）时，如果执行 INTO 指令，就产生溢出中断。根据运算 O 标志变化的指令如下：

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

13.1.2.3 BRK 中断

如果执行 BRK 指令，就产生 BRK 中断。

13.1.2.4 INT 指令中断

如果执行 INT 指令，就产生 INT 指令中断。能用 INT 指令指定的软件中断序号是 0 ~ 63。由于软件中断序号 4 ~ 31 分配给外围功能中断，因此能通过执行 INT 指令，执行和外围功能中断相同的中断程序。

软件中断序号 0 ~ 31 在执行指令时将 U 标志压栈，然后在 U 标志置“0”（选择 ISP）后，执行中断顺序。在从中断程序返回时，恢复被压栈的 U 标志。软件中断序号 32 ~ 63 在执行指令时 U 标志不变，使用当时选择的 SP。

13.1.3 特殊中断

特殊中断是非屏蔽中断。

13.1.3.1 监视定时器中断

它是由监视定时器产生的中断。必须在发生监视定时器中断后初始化监视定时器。监视定时器的详细内容请参照“14. 监视定时器”。

13.1.3.2 振荡停止检测中断

它是由振荡停止检测功能产生的中断。振荡停止检测功能的详细内容请参照“11. 时钟发生电路”。

13.1.3.3 电压监视 2 中断

它是由电压检测电路产生的中断。电压检测电路的详细内容请参照“8. 电压检测电路”。

13.1.3.4 单步中断、地址断开中断

它是开发工具专用的中断，不能使用。

13.1.3.5 地址匹配中断

在 AIER 寄存器的 AIER0 位和 AIER1 位中的任意一位为“1”（允许地址匹配中断）时，在执行由对应的 RMAD0 ~ RMAD1 寄存器指向的地址的指令前，产生地址匹配中断。

地址匹配中断的详细内容请参照“13.4 地址匹配中断”。

13.1.4 外围功能中断

外围功能中断是由单片机内部的外围功能产生的中断，是可屏蔽中断。外围功能中断的中断源请参照“表 13.2 分配在可变量表中的中断和向量地址”。另外，外围功能的详细内容请参照各外围功能的说明。

13.1.5 中断和中断向量

1 个向量为 4 个字节。必须在各中断向量中设定中断程序的起始地址。如果接受中断请求，就转移到设定在中断向量中的地址。中断向量如图 13.2 所示。

	MSB	LSB
向量地址 (L)	地址的低位	
	地址的中位	
	0 0 0 0	地址的高位
向量地址 (H)	0 0 0 0	0 0 0 0

图 13.2 中断向量

13.1.5.1 固定向量表

固定向量表分配在地址 0FFDCh 到地址 0FFFFh 中，如表 13.1 所示。固定向量的向量地址（H）用于检验 ID 码功能。详细内容请参照“19.3 闪存改写的禁止功能”。

表 13.1 固定向量表

中断源	向量地址 地址 (L) ~ 地址 (H)	备考	参照
未定义指令	0FFDCh ~ 0FFDFh	通过 UND 指令中断	R8C/Tiny 系列软件手册
溢出	0FFE0h ~ 0FFE3h	通过 INTO 指令中断	
BRK 指令	0FFE4h ~ 0FFE7h	在 0FFE7h 地址的内容为 FFh 时，从可变向量表内的向量所指向的地址开始执行	
地址匹配	0FFE8h ~ 0FEBh		13.4 地址匹配中断
单步 (注 1)	0FFECh ~ 0FEFh		
监视定时器、振荡停止检测、电压监视 2	0FFF0h ~ 0FFF3h		13. 监视定时器、 10. 时钟发生电路、 7. 电压检测电路
地址断开 (注 1)	0FFF4h ~ 0FFF7h		
(保留)	0FFF8h ~ 0FFBh		
复位	0FFFCh ~ 0FFFh		6. 复位

注 1 是开发工具专用的中断，不能使用。

13.1.5.2 可变向量表

从设定在 INTB 寄存器中的起始地址开始的 256 字节为可变向量表的区域。可变向量表如表 13.2 所示。

表 13.2 可变向量表

中断源	向量地址 (注 1) 地址 (L) ~ 地址 (H)	软件中断序号	参照
BRK 指令 (注 2)	+0 ~ +3(0000h ~ 0003h)	0	R8C/Tiny 系列软件手册
— (保留)		1 ~ 12	
键输入	+52 ~ +55(0034h ~ 0037h)	13	13.3 键输入中断
A/D 转换	+56 ~ +59(0038h ~ 003Bh)	14	17. A/D 转换器
带片选的时钟同步串行 I/O / I ² C 总线接口 (注 3)	+60 ~ +63(003Ch ~ 003Fh)	15	16.2 带片选的时钟同步串行 I/O (SSU) 16.3 I ² C 总线接口
比较 1	+64 ~ +67(0040h ~ 0043h)	16	14.3 定时器 C
UART0 发送	+68 ~ +71(0044h ~ 0047h)	17	15. 串行接口
UART0 接收	+72 ~ +75(0048h ~ 004Bh)	18	
UART1 发送	+76 ~ +79(004Ch ~ 004Fh)	19	
UART1 接收	+80 ~ +83(0050h ~ 0053h)	20	
— (保留)		21	
定时器 X	+88 ~ +91(0058h ~ 005Bh)	22	14.1 定时器 X
— (保留)		23	
定时器 Z	+96 ~ +99(0060h ~ 0063h)	24	14.2 定时器 Z
$\overline{\text{INT1}}$	+100 ~ +103(0064h ~ 0067h)	25	13.2 $\overline{\text{INT}}$ 中断
$\overline{\text{INT3}}$	+104 ~ +107(0068h ~ 006Bh)	26	
定时器 C	+108 ~ +111(006Ch ~ 006Fh)	27	14.3 定时器 C
比较 0	+112 ~ +115(0070h ~ 0073h)	28	
$\overline{\text{INT0}}$	+116 ~ +119(0074h ~ 0077h)	29	13.2 $\overline{\text{INT}}$ 中断
— (保留)		30	
— (保留)		31	
软件 (注 2)	+128 ~ +131(0080h ~ 0083h) ~ +252 ~ +255(00FCh ~ 00FFh)	32 ~ 63	R8C/Tiny 系列软件手册

注 1 是从 INTB 寄存器指向的地址开始的相对地址。

注 2 不能通过 I 标志禁止。

注 3 能通过 PMR 寄存器的 IICSEL 位选择。

13.1.6 中断控制

说明如何允许或者禁止可屏蔽中断以及如何设定接受的优先权。在此说明的内容不适用非屏蔽中断。

通过 FLG 寄存器的 I 标志、IPL 以及各中断控制寄存器的 ILVL2 ~ ILVL0 位，允许或者禁止可屏蔽中断。另外，各中断控制寄存器的 IR 位表示有无中断请求。

中断控制寄存器如图 13.3、INT0IC 寄存器如图 13.4 所示。

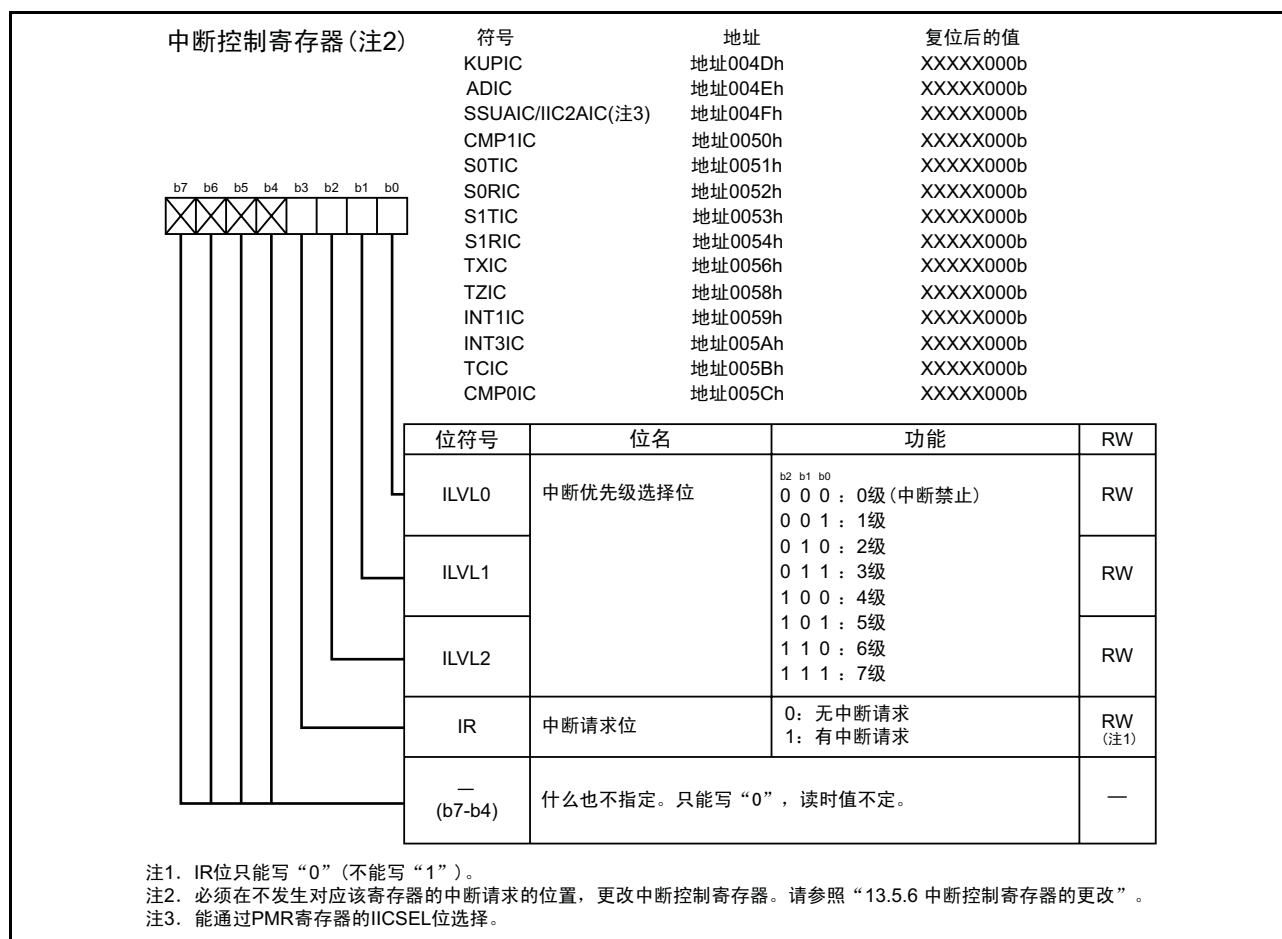


图 13.3 中断控制寄存器

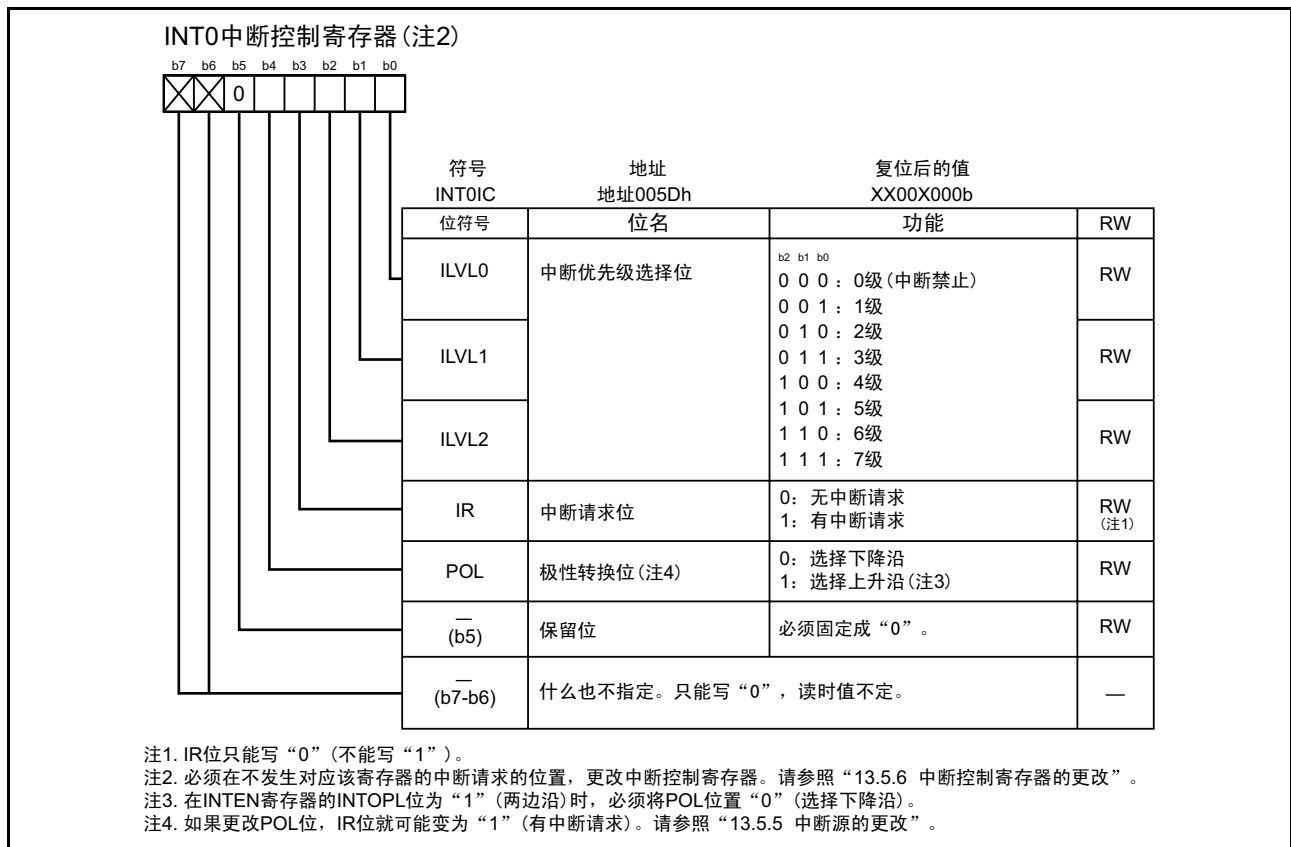


图 13.4 INT0IC 寄存器

13.1.6.1 I 标志

I 标志允许或者禁止可屏蔽中断。如果将 I 标志置“1”(允许), 就允许可屏蔽中断; 如果置“0”(禁止), 就禁止所有可屏蔽中断。

13.1.6.2 IR 位

如果产生中断请求, IR 位就变为“1”(有中断请求)。在接受中断请求并转移到对应的中断向量后, IR 位变为“0”(无中断请求)。

IR 位能通过程序清“0”, 不能写“1”。

13.1.6.3 ILVL2 ~ ILVL0 位和 IPL

中断优先级能通过 ILVL2 ~ ILVL0 位设定。

中断优先级的设定如表 13.3 所示, 由 IPL 允许的中断优先级如表 13.4 所示。

接受中断请求的条件如下所示:

- I 标志 = 1
- IR 位 = 1
- 中断优先级 > IPL

I 标志、IR 位、ILVL2 ~ ILVL0 位以及 IPL 各自独立互不影响。

表 13.3 中断优先级的设定

ILVL2 ~ ILVL0	中断优先级	优先权
000b	0 级 (中断禁止)	—
001b	1 级	低 ↓ 高
010b	2 级	
011b	3 级	
100b	4 级	
101b	5 级	
110b	6 级	
111b	7 级	

表 13.4 由 IPL 允许的中断优先级

IPL	允许的中断优先级
000b	允许 1 级以上
001b	允许 2 级以上
010b	允许 3 级以上
011b	允许 4 级以上
100b	允许 5 级以上
101b	允许 6 级以上
110b	允许 7 级以上
111b	禁止所有可屏蔽中断

13.1.6.4 中断顺序

以下说明关于在接受中断请求后到执行中断程序为止的中断顺序：

如果在指令执行中发生中断请求，就在该指令执行结束后判定优先权，并且从下一个周期转移到中断顺序。但是，对于 SMOVB、SMOVF、SSTR 以及 RMPA 各指令，如果在指令执行中发生中断请求，就暂时中断指令的运行，转移到中断顺序。

中断顺序运行如下。中断顺序的执行时间如图 13.5 所示。

- (1) 通过读地址 00000h，CPU 获得中断信息（中断序号、中断请求级）。此后，该中断的 IR 位变为“0”（无中断请求）。
- (2) 将中断顺序前的 FLG 寄存器保存到 CPU 内部的暂存器（注 1）。
- (3) FLG 寄存器中的 I 标志、D 标志、U 标志变为：
 - I 标志为“0”（禁止中断）
 - D 标志为“0”（禁止单步中断）
 - U 标志为“0”（指定 ISP）
 但是，在执行软件中断序号 32 ~ 63 的 INT 指令时，U 标志不变。
- (4) 将 CPU 内部的暂存器（注 1）压栈。
- (5) 将 PC 压栈。
- (6) 给 IPL 设定接受中断的中断优先级。
- (7) 中断向量所设定的中断程 PC。序的起始地址存入

在中断顺序结束后，从中断程序的起始地址执行指令。

注 1. 用户不能使用。

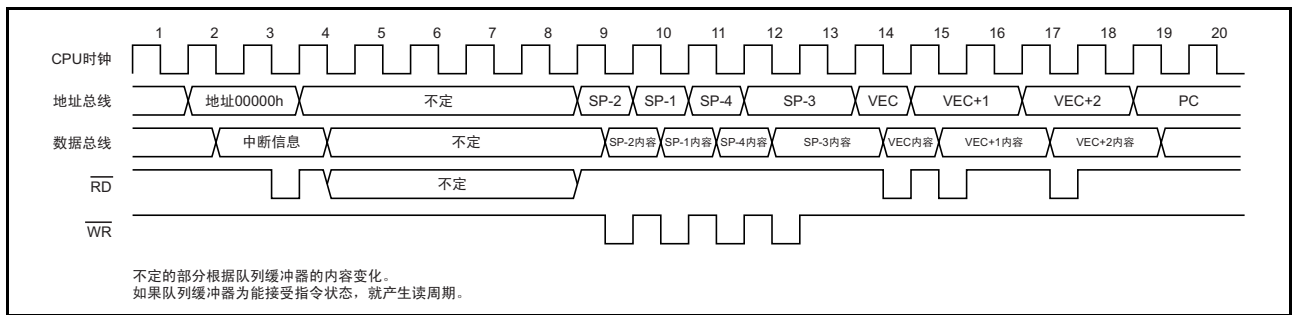


图 13.5 中断顺序的执行时间

13.1.6.5 中断响应时间

中断响应时间如图 13.6 所示。中断响应时间是指从发生中断请求到执行中断程序内的最初指令为止的时间。该时间由从中断请求发生时开始到当时正在执行的指令结束为止的时间（图 13.6 的 (a)）和执行中断顺序的时间（20 个周期 (b)）构成。

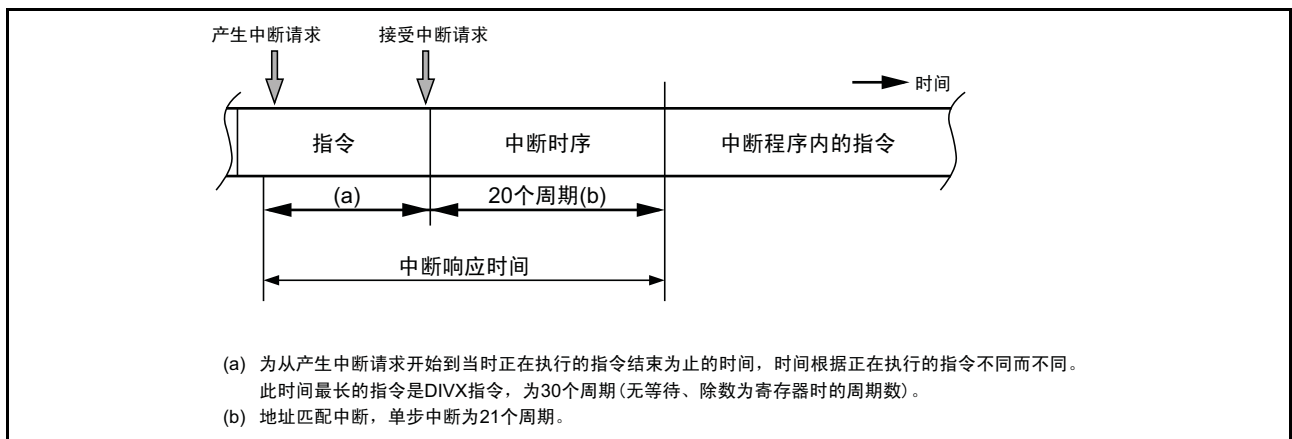


图 13.6 中断响应时间

13.1.6.6 接受中断请求时的 IPL 变化

如果接受可屏蔽中断的中断请求，就给 IPL 设定接受中断的中断优先级。

如果接受软件中断或者特殊中断请求，就给 IPL 设定如表 13.5 所示的值。接受软件中断和特殊中断时的 IPL 值如表 13.5 所示。

表 13.5 接受软件中断和特殊中断时的 IPL 值

没有中断优先级的中断源	被设定的 IPL 值
监视定时器、振荡停止检测、电压监视 2	7
软件、地址匹配、单步、地址断开中断	无变化

13.1.6.7 寄存器的保存

在中断顺序，将 FLG 寄存器和 PC 压栈。

首先将 PC 的高 4 位、FLG 寄存器的高 4 位（IPL）和低 8 位压栈（全部为 16 位），然后将 PC 的低 16 位压栈。接受中断请求前后的堆栈状态如图 13.7 所示。

其它必要的寄存器必须通过程序在中断程序的最初保存。如果使用 PUSHM 指令，就能用 1 条指令保存正在使用的寄存器组的多个寄存器（注 1）。

注 1. 能从 R0、R1、R2、R3、A0、A1、SB、FB 寄存器选择。

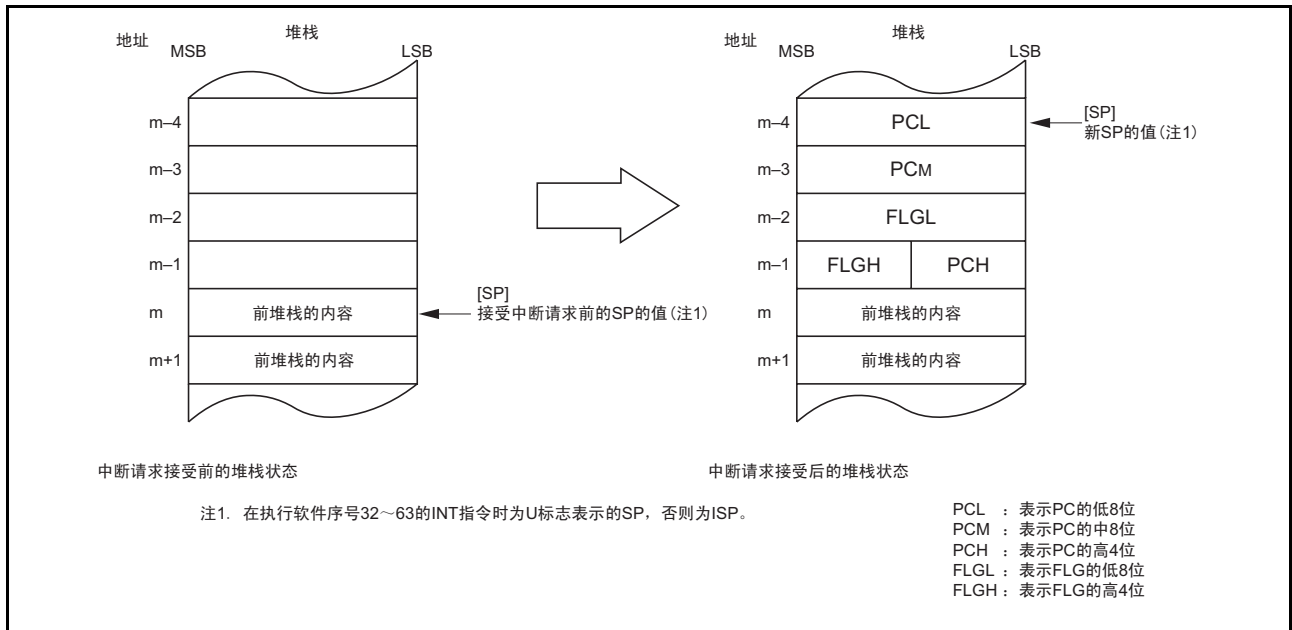


图 13.7 中断请求接受前后的堆栈状态

在中断顺序进行的寄存器保存运行按 8 位分 4 次进行。寄存器保存运行如图 13.8 所示。

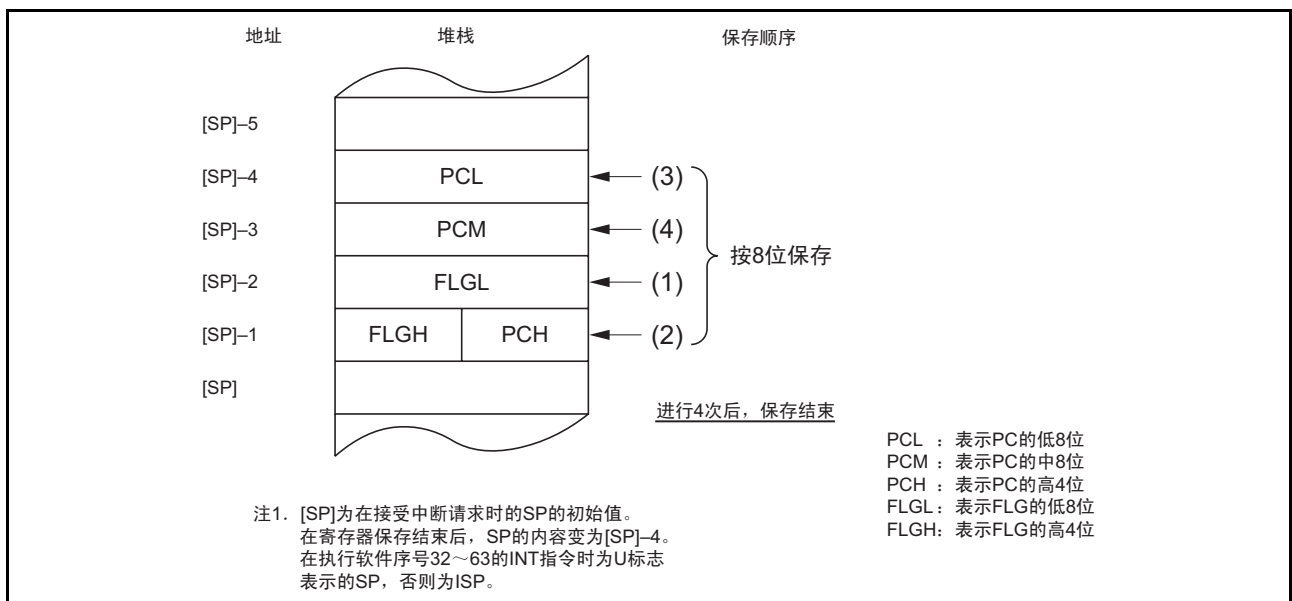


图 13.8 寄存器保存运行

13.1.6.8 从中断程序返回

如果在中断程序的最后执行 REIT 指令，就恢复被压栈的中断顺序前的 FLG 寄存器和 PC。然后，返回到在接受中断请求前执行的程序。

在中断程序内，通过程序保存的寄存器，必须在 REIT 指令执行前用 POPM 指令等恢复。

13.1.6.9 中断优先权

如果在 1 条指令执行中发生 2 个以上的中断请求，就接受优先权高的中断。

能通过 ILVL2 ~ ILVL0 位任意选择可屏蔽中断（外围功能）的优先级。但是，在中断优先级为相同设定值的情况下，接受由硬件设定的优先权高的中断。

监视定时器中断等特殊中断的优先权由硬件设定。硬件中断的中断优先权如图 13.9 所示。

软件中断不受中断优先权的影响。如果执行指令，就执行中断程序。

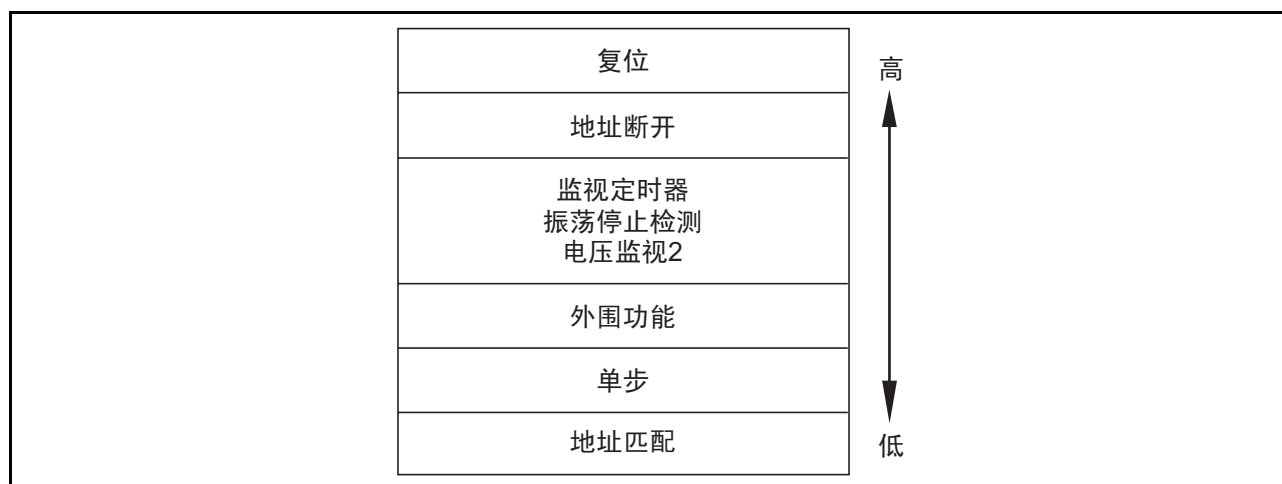


图 13.9 硬件中断的中断优先权

13.1.6.10 中断优先级判定电路

中断优先级判定电路是用于选择最高优先权中断的电路。
 中断优先级判定电路如图 13.10 所示。

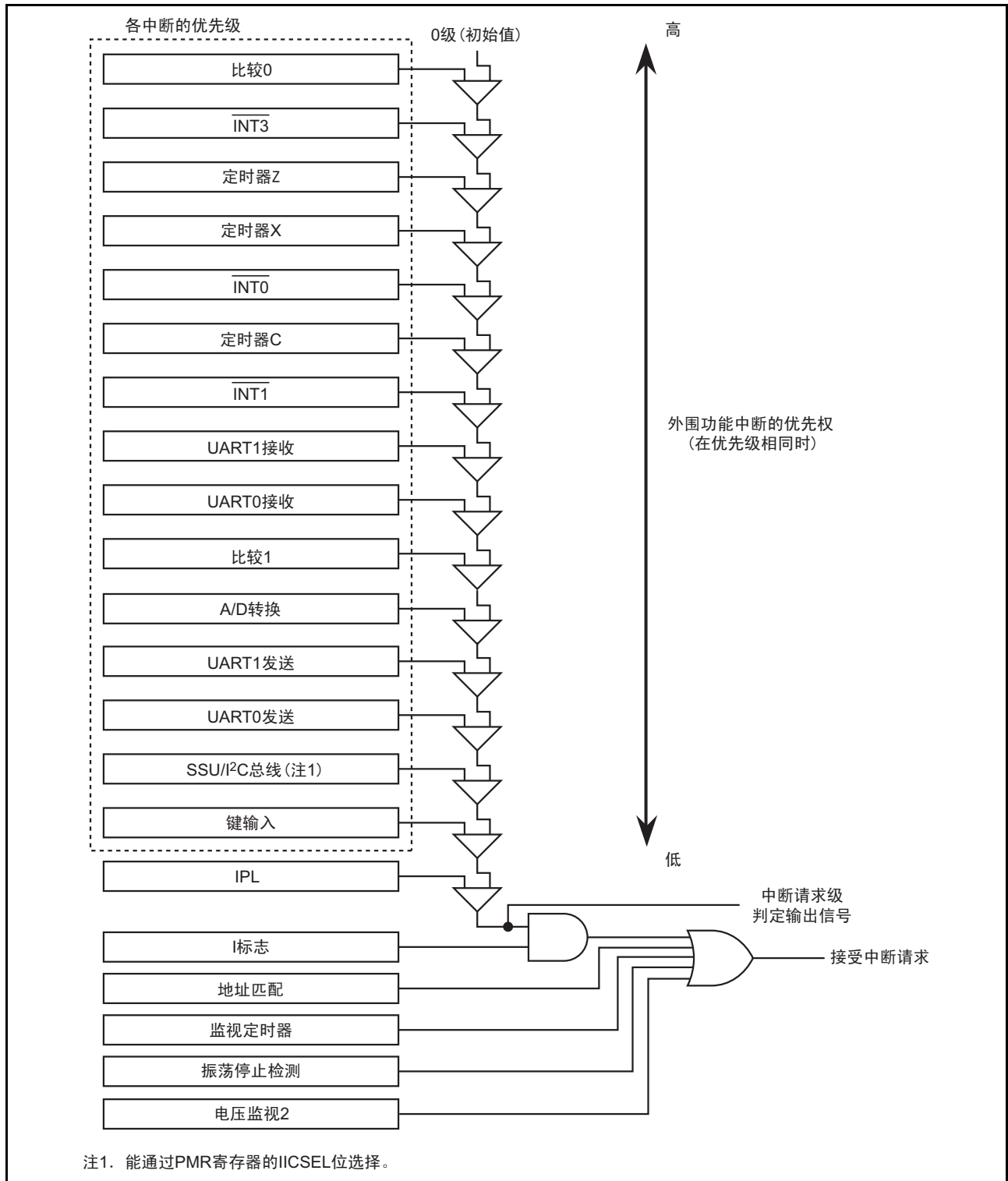


图 13.10 中断优先级判定电路

13.2 INT 中断

13.2.1 INT0 中断

INT0 中断是由 INT0 输入产生的中断。在使用 INT0 中断时，必须将 INTEN 寄存器的 INT0EN 位置“1”（允许）。能通过 INTEN 寄存器的 INT0PL 位和 INTOIC 寄存器的 POL 位选择极性。

另外，也能通过具有 3 种采样时钟的数字滤波器进行输入。

INT0 管脚和定时器 Z 的外部触发输入管脚兼用。

INTEN 和 INTOF 寄存器如图 13.11 所示。

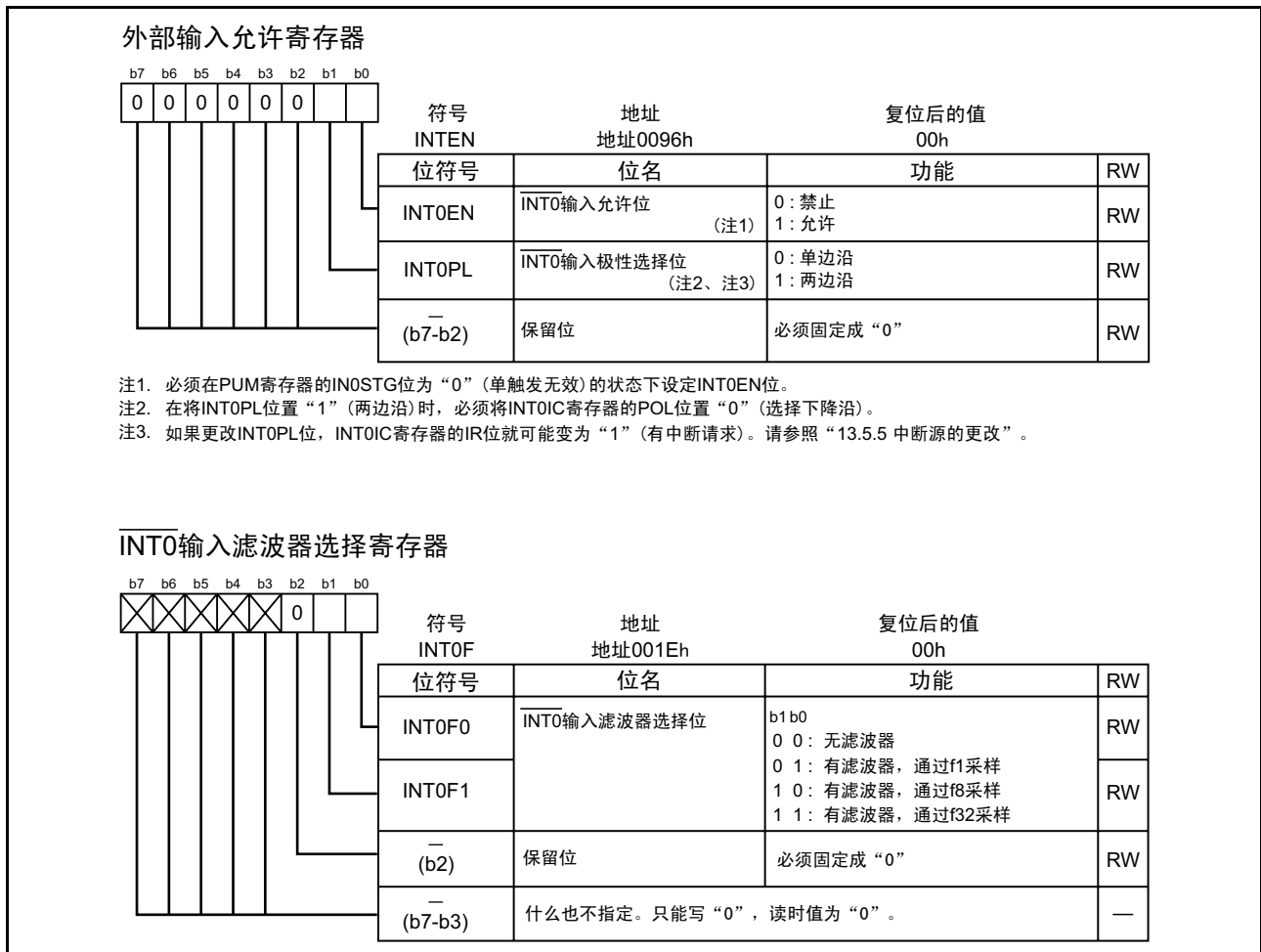


图 13.11 INTEN 和 INTOF 寄存器

13.2.2 INT0 输入滤波器

INT0 输入具有数字滤波器。能通过 INT0F 寄存器的 INT0F0 ~ INT0F1 位选择采样时钟。在每个采样时钟采样 INT0 的电平，在电平 3 次相同时，INT0IC 寄存器的 IR 位变为“1”（有中断请求）。

INT0 输入滤波器的结构如图 13.12 所示，INT0 输入滤波器运行例子如图 13.13 所示。

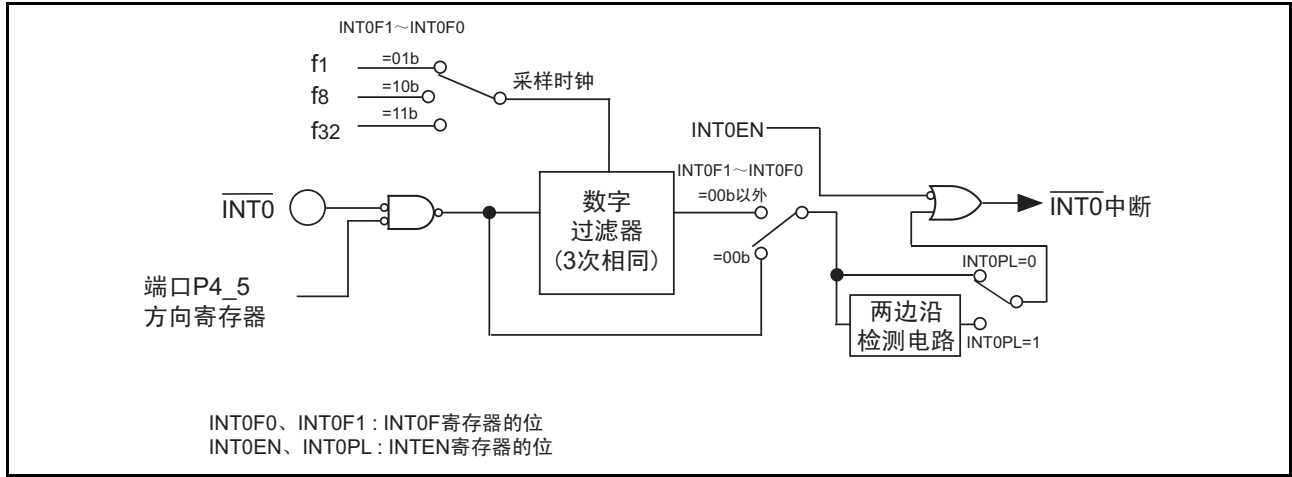


图 13.12 INT0 输入滤波器的结构

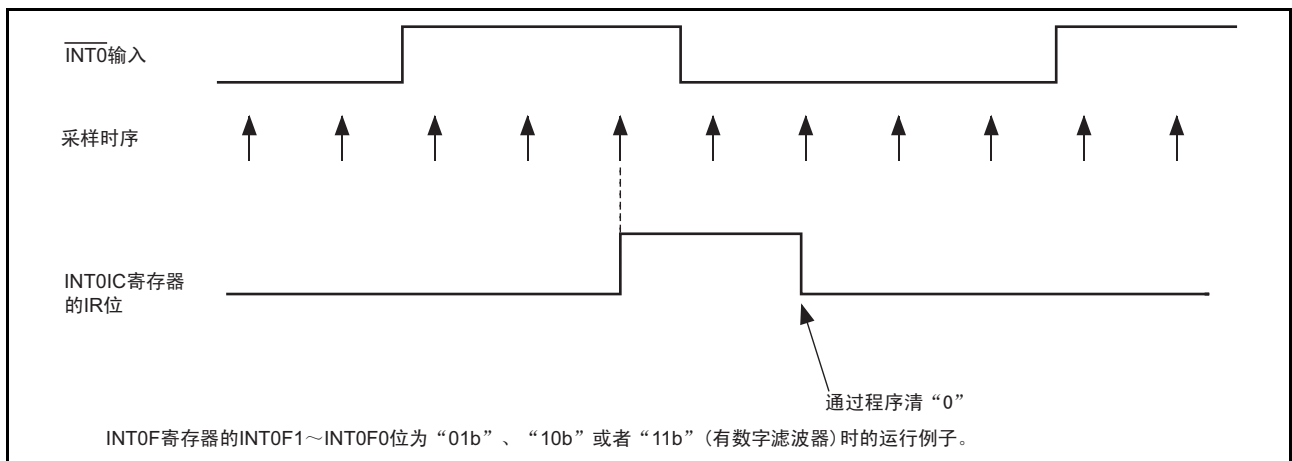


图 13.13 INT0 输入滤波器的运行例子

13.2.3 INT1 中断

INT1 中断是由 INT1 输入产生的中断。能通过 TXMR 寄存器的 R0EDG 位选择极性。

UCON 寄存器的 CNTRSEL 位为“0”时，INT10 管脚为 INT1 输入管脚；CNTRSEL 位为“1”时，INT11 管脚为 INT1 输入管脚。

INT10 管脚和 CNTR00 管脚兼用，INT11 管脚和 CNTR01 管脚兼用。

使用 INT1 中断时的 TXMR 寄存器如图 13.14 所示。

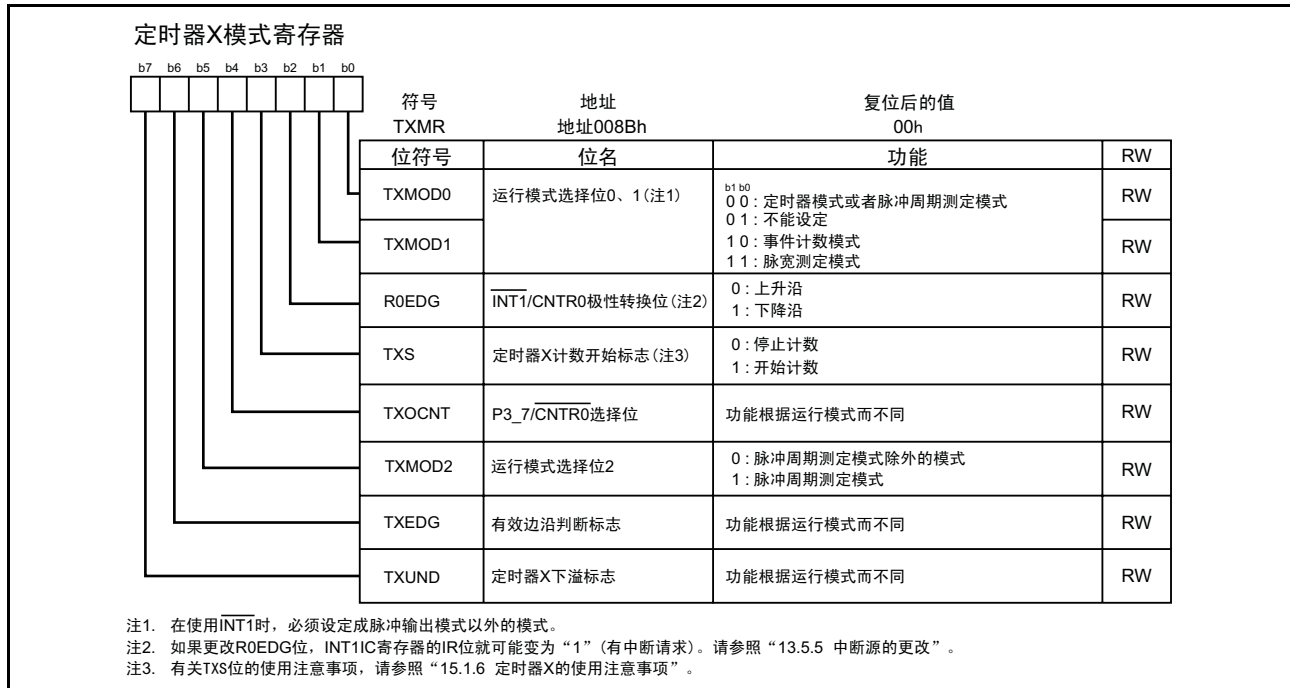


图 13.14 使用 INT1 中断时的 TXMR 寄存器

13.2.4 $\overline{\text{INT3}}$ 中断

$\overline{\text{INT3}}$ 中断是由 $\overline{\text{INT3}}$ 输入产生的中断。必须将 TCC0 寄存器的 TCC07 位置 “0” ($\overline{\text{INT3}}$)。

TCC0 寄存器的 TCC06 位为 “0” 时， $\overline{\text{INT3}}$ 中断请求与定时器 C 的计数源同步产生；TCC06 位为 “1” 时，在 $\overline{\text{INT3}}$ 输入时序产生。

$\overline{\text{INT3}}$ 输入具有数字滤波器。在每个采样时钟采样 $\overline{\text{INT3}}$ 的电平，在电平 3 次相同时，INT3IC 寄存器的 IR 位变为 “1” (有中断请求)。能通过 TCC1 寄存器的 TCC10 ~ TCC11 位选择采样时钟。在选择 “有滤波器” 的情况下，即使 TCC06 位为 “0”，也与采样时钟同步产生中断请求。

与 TCC10 ~ TCC11 位的内容无关，如果读取 P3 寄存器的 P3_3 位，就能读取滤波前的值。

$\overline{\text{INT3}}$ 管脚和 TCIN 管脚兼用。

另外，如果将 TCC07 位置 “1” (fRING128)， $\overline{\text{INT3}}$ 中断就变为由 fRING128 时钟产生的中断。在 fRING128 的每半个周期或者每 1 个周期，INT3IC 寄存器的 IR 位变为 “1” (有中断请求)。

TCC0 寄存器如图 13.15、TCC1 寄存器如图 13.16 所示。

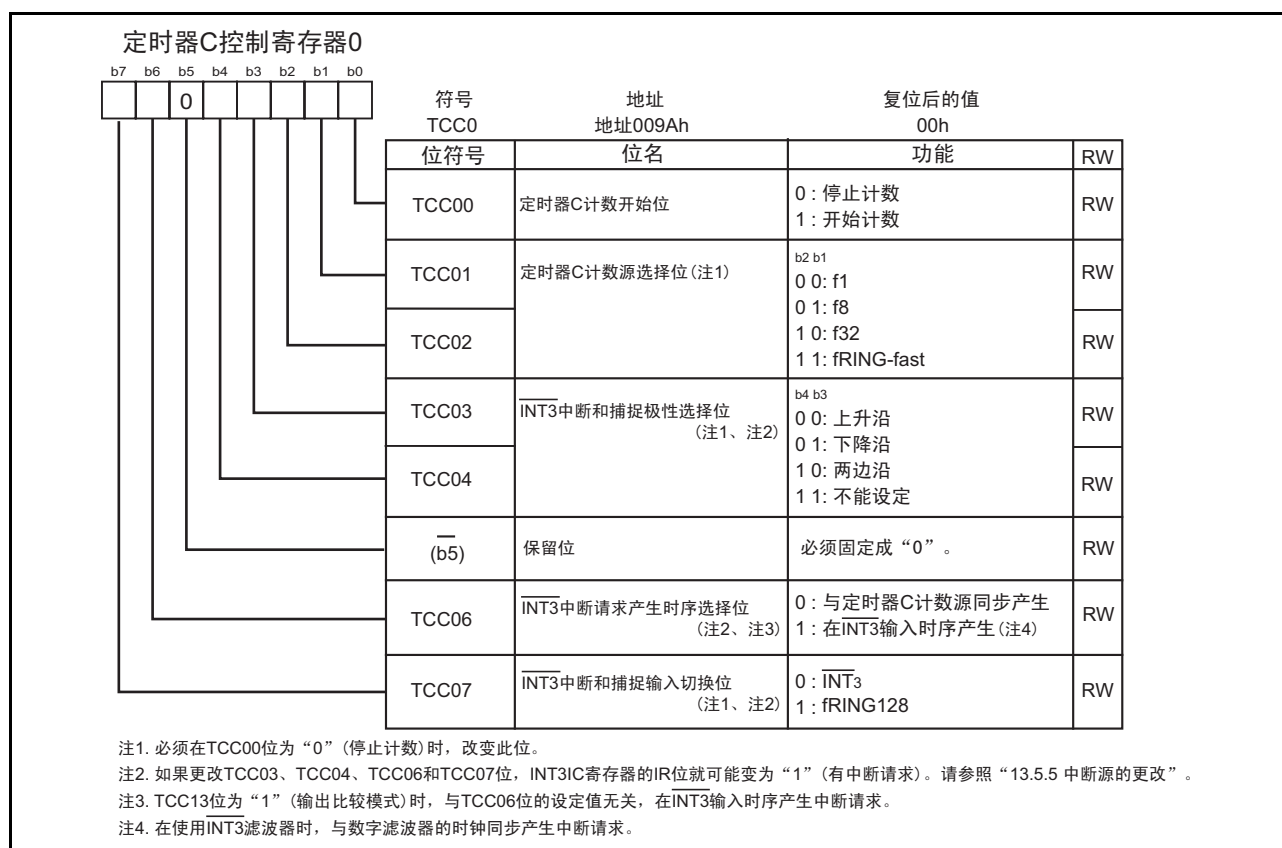


图 13.15 TCC0 寄存器

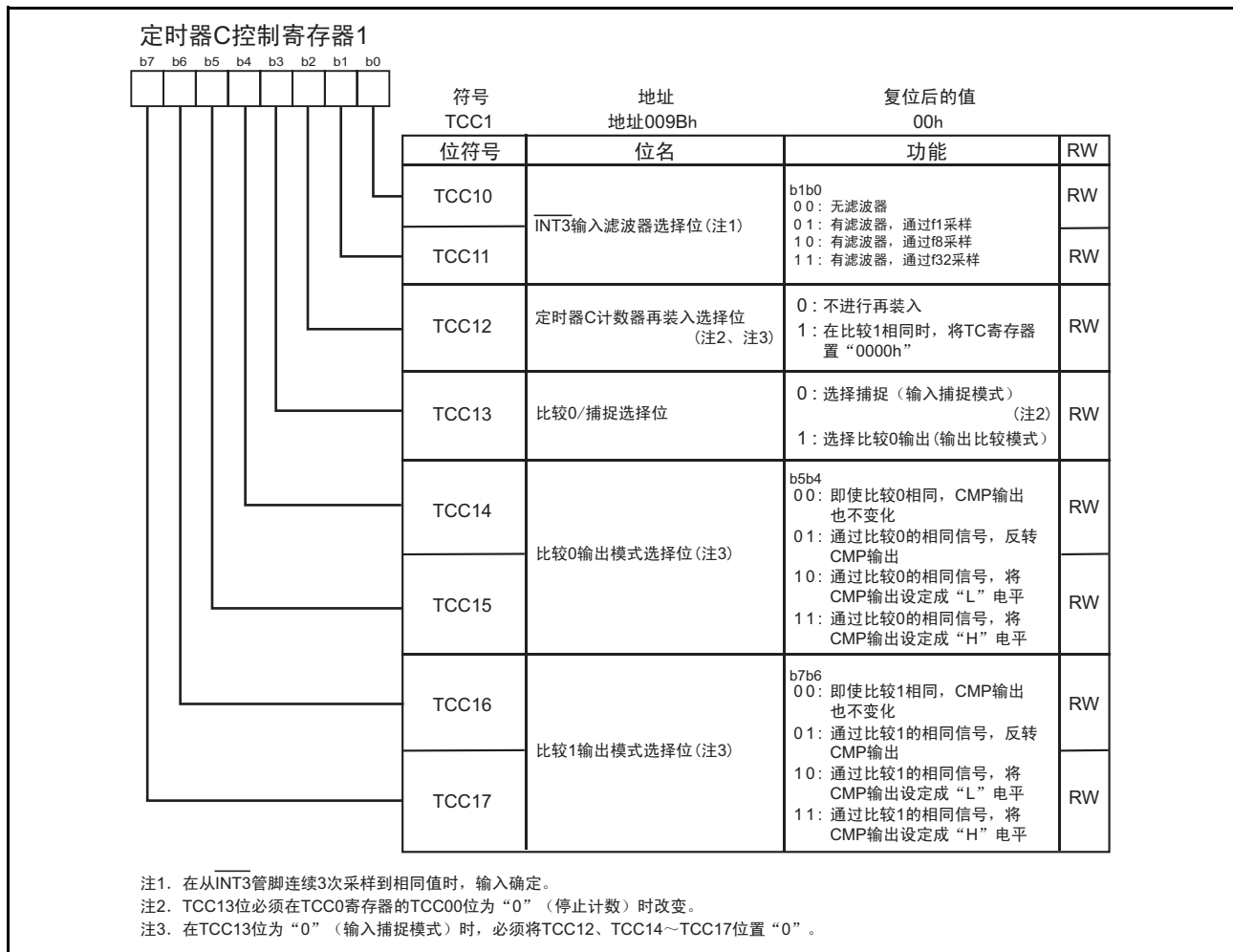


图 13.16 TCC1 寄存器

13.3 键输入中断

在 $\overline{KI0} \sim \overline{KI3}$ 管脚中的任何一个输入边沿都会发生键输入中断请求。键输入中断也能作为解除等待模式或者停止模式的键唤醒功能使用。

能通过 **KIEN** 寄存器的 $KIiEN$ 位 ($i=0 \sim 3$)，选择是否将管脚作为 \overline{KIi} 输入使用。另外，能通过 **KIEN** 寄存器的 $KIiPL$ 位选择输入极性。

另外，如果对将 $KIiPL$ 位置“0”（下降沿）的 \overline{KIi} 管脚输入“L”，其他的 $\overline{KI0} \sim \overline{KI3}$ 管脚输入就不被作为中断检测。同样，如果对将 $KIiPL$ 位置“1”（上升沿）的 \overline{KIi} 管脚输入“H”，其他的 $\overline{KI0} \sim \overline{KI3}$ 管脚输入就不被作为中断检测。

键输入中断的框图如图 13.17 所示。

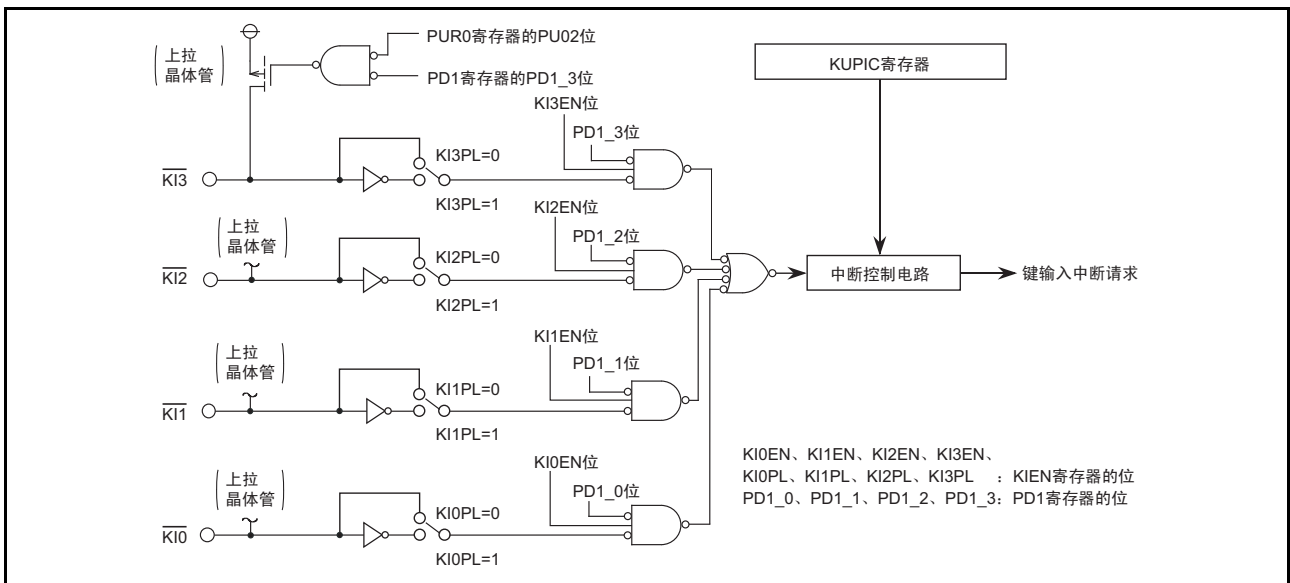


图 13.17 键输入中断的框图

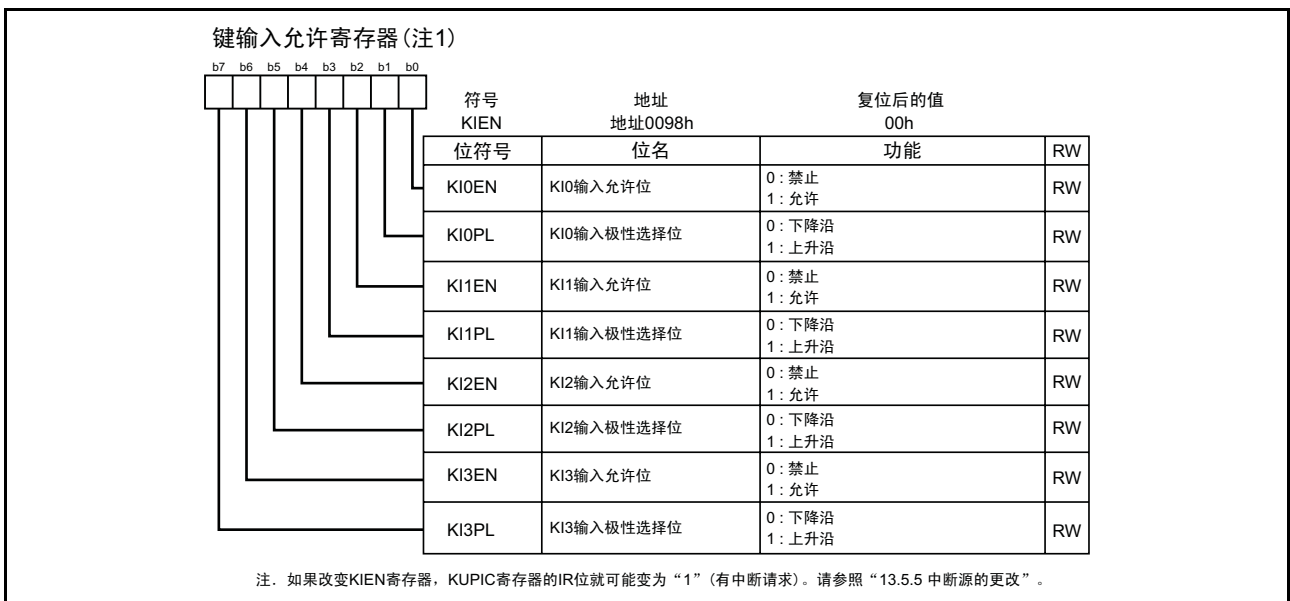


图 13.18 KIEN 寄存器

13.4 地址匹配中断

在执行由 RMADi (i=0、1) 寄存器指向的地址的指令前，会发生地址匹配中断请求。用于调试器的暂停功能。另外，在使用 on-chip 调试器时，用户系统不能设定地址匹配中断 (AIER、RMAD0、RMAD1 寄存器和固定向量表)。

必须给 RMADi (i=0、1) 设定指令的起始地址。能通过 AIER0 寄存器的 AIER0 位和 AIER1 位，选择禁止或者允许中断。地址匹配中断不受 I 标志和 IPL 的影响。

在接受了地址匹配中断请求时，被压栈的 PC 值 (参照“13.1.6.7 寄存器的保存”) 根据由 RMADi 寄存器指向的地址的指令不同而不同 (正确的返回地址没有保存在堆栈)。因此，在从地址匹配中断返回的情况下，必须通过以下的任何一种方法进行：

- 改写堆栈内容，用 REIT 指令返回
- 在使用 POP 等指令将堆栈恢复到中断请求接受前的状态后，用转移指令返回

在接受地址匹配中断请求时被压栈的 PC 值如表 13.6 所示。

AIER 和 RMAD0 ~ RMAD1 寄存器如图 13.19 所示。

表 13.6 在接受地址匹配中断请求时被压栈的 PC 值

由 RMADi 寄存器 (i=0、1) 指向的地址的指令	被压栈的 PC 值
<ul style="list-style-type: none"> • 操作码为 2 个字节的指令 • 操作码为 1 个字节的指令中的下列指令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (其中 dest=A0 或者 A1)	由 RMADi 寄存器指示的地址 +2
上述除外	由 RMADi 寄存器指示的地址 +1

被压栈的 PC 值，参照“13.1.6.7 寄存器的保存”

操作码：参照《R8C/Tiny 系列软件手册 (RCJ09B0006-0100Z)》的“第 4 章 指令码 / 周期数”的各部分之后有表示指令码的图。图中粗框内的内容是操作码。

表 13.7 地址匹配中断源和关联寄存器的对应

地址匹配中断源	地址匹配中断允许位	地址匹配中断寄存器
地址匹配中断 0	AIER0	RMAD0
地址匹配中断 1	AIER1	RMAD1

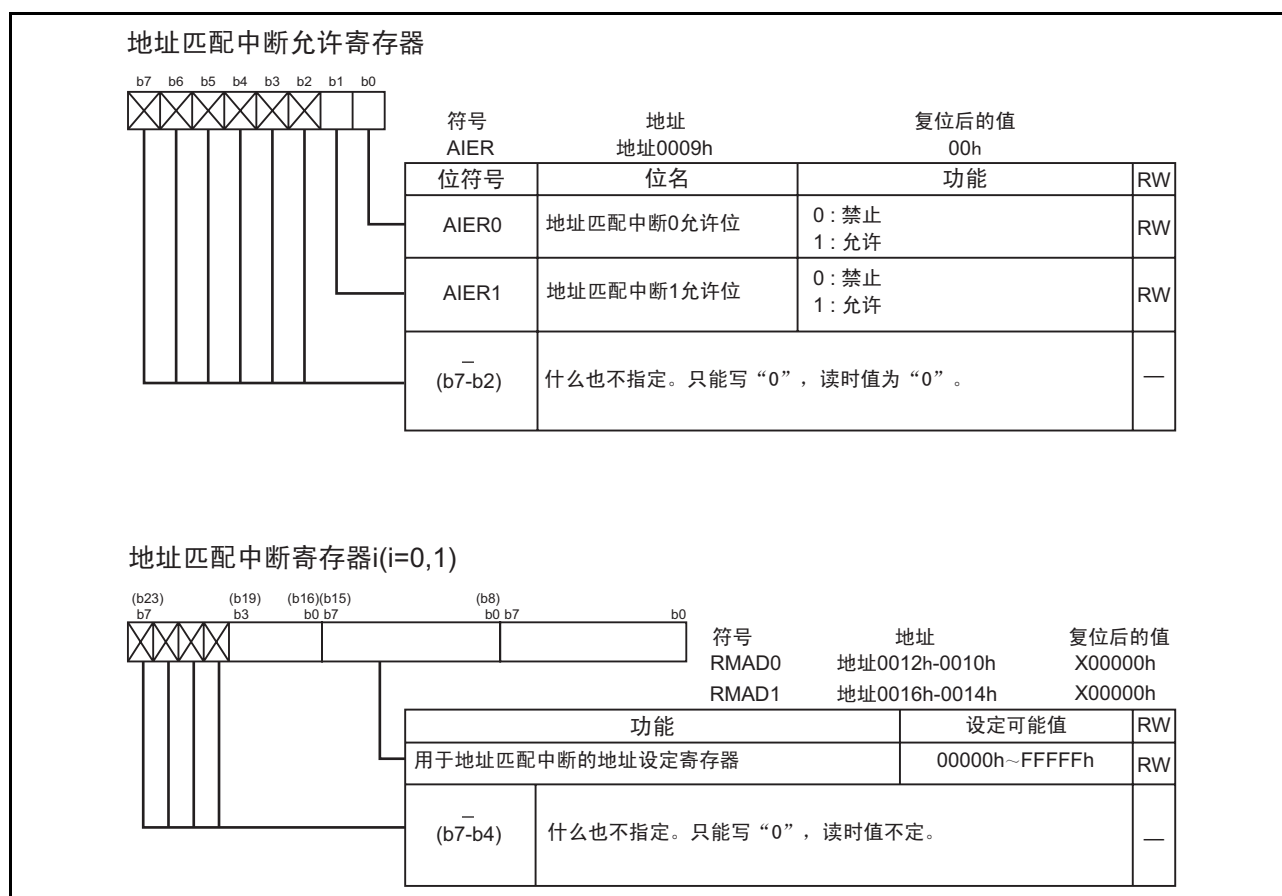


图 13.19 AIER 和 RMAD0 ~ RMAD1 寄存器

13.5 中断的使用注意事项

13.5.1 地址 00000h 的读取

不能通过程序读地址 00000h。在接受到可屏蔽中断的中断请求时，CPU 在中断顺序中从地址 00000h 读取中断信息（中断序号和中断请求级）。此时，被接受的中断的 IR 位变为“0”。

如果通过程序读地址 00000h，就在被允许的中断中优先级最高的中断 IR 位变为“0”。因此，中断可能被取消或者发生预想外的中断。

13.5.2 SP 的设定

必须在接受中断前给 SP 设定值。在复位后，SP 为“0000h”。因此，如果在给 SP 设定值前接受中断，程序就会失控。

13.5.3 外部中断和键输入中断

输入到 $\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 管脚和 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 管脚的信号与 CPU 运行时钟无关，需要 250ns 以上的“L”电平宽度或者“H”电平宽度。

13.5.4 监视定时器中断

在监视定时器中断发生后，必须初始化监视定时器。

13.5.5 中断源的更改

如果改变中断源，中断控制寄存器的 IR 位就可能变为“1”（有中断请求）。使用中断时，必须在改变中断源后，将 IR 位置“0”（无中断请求）。

另外，在此所说的改变中断源，包括改变被分配到各软件中断序号的中断源、极性和时序等全部要素。因此，在外围功能的模式改变等关系到中断源、极性和时序的情况下，必须在改变后将 IR 位置“0”（无中断请求）。外围功能的中断请参照各外围功能。

中断源更改步骤的例子如图 13.20 所示。

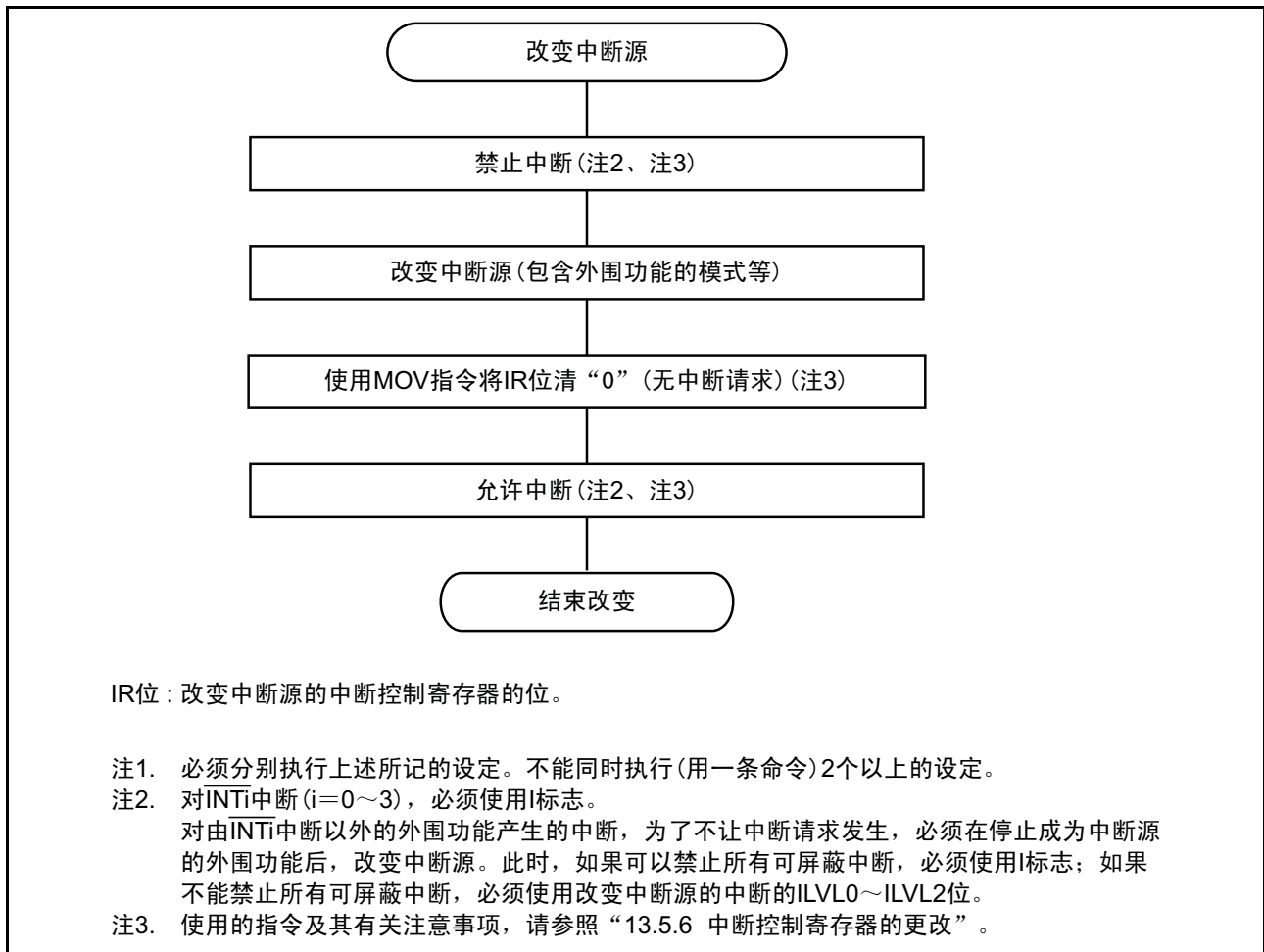


图 13.20 中断源更改步骤的例子

13.5.6 中断控制寄存器的更改

- (a) 必须在对应该寄存器的中断请求不发生的位置改变中断控制寄存器。在有可能发生中断请求时，必须在禁止中断后改变中断控制寄存器。
- (b) 在禁止中断后改变中断控制寄存器的情况下，必须注意使用的指令。
- **改变 IR 位以外的位**
在执行指令期间，当发生对应该寄存器的中断请求时，IR 位可能不变为“1”（有中断请求），中断被忽视。当在此情况出现问题时，必须使用以下指令改变寄存器：
对象指令…AND、OR、BCLR、BSET
 - **改变 IR 位**
在将 IR 位置“0”（无中断请求）时，根据使用的指令，IR 位可能不变为“0”。必须用 MOV 指令将 IR 位置“0”。
- (c) 在使用 I 标志禁止中断时，必须按照以下的程序例子设定 I 标志（程序例子的中断控制寄存器的更改请参照 (b)）。

例 1～例 3 是防止由于受内部总线和指令队列缓冲器的影响，在改变中断控制寄存器前 I 标志变为“1”（允许中断）的方法。

例 1：通过 NOP 指令，等待改变中断控制寄存器的例子

```
INT_SWITCH1:
    FCLR      I           ; 禁止中断
    AND.B    #00H, 0056H ; 将 TXIC 寄存器置“00h”
    NOP
    NOP
    FSET     I           ; 允许中断
```

例 2：通过虚读，使 FSET 指令等待的例子

```
INT_SWITCH2:
    FCLR      I           ; 禁止中断
    AND.B    #00H, 0056H ; 将 TXIC 寄存器置“00h”
    MOV.W   MEM, R0      ; 虚读
    FSET     I           ; 允许中断
```

例 3：通过 POPC 指令，改变 I 标志的例子

```
INT_SWITCH3:
    PUSHC   FLG
    FCLR      I           ; 禁止中断
    AND.B    #00H, 0056H ; 将 TXIC 寄存器置“00h”
    POPC     FLG         ; 允许中断
```

14. 监视定时器

监视定时器是检测程序失控的功能。因此，为了提高系统的可靠性，建议使用监视定时器。

监视定时器具有 15 位计数器，能选择计数源保护模式是否有效。计数源保护模式的有效 / 无效如表 14.1 所示。

监视定时器复位的详细内容，请参照“7.5 监视定时器复位”。

监视定时器的框图如图 14.1 所示，OFS、WDC、WDTR、WDTS、CSPR 寄存器如图 14.2 ~ 图 14.3 所示。

表 14.1 计数源保护模式的有效 / 无效

项目	计数源保护模式无效	计数源保护模式有效
计数源	CPU 时钟	低速内部振荡器时钟
计数运行	递减计数	
监视定时器的初始化条件	<ul style="list-style-type: none"> • 复位 • 将“00h”、“FFh”连续写到 WDTR 寄存器 • 下溢 	
计数开始条件	可选择以下的任意一项 <ul style="list-style-type: none"> • 复位后自动开始计数 • 通过写 WDTS 寄存器，开始计数 	
计数停止条件	停止模式、等待模式	无
下溢时的运行	监视定时器中断或者监视定时器复位	监视定时器复位

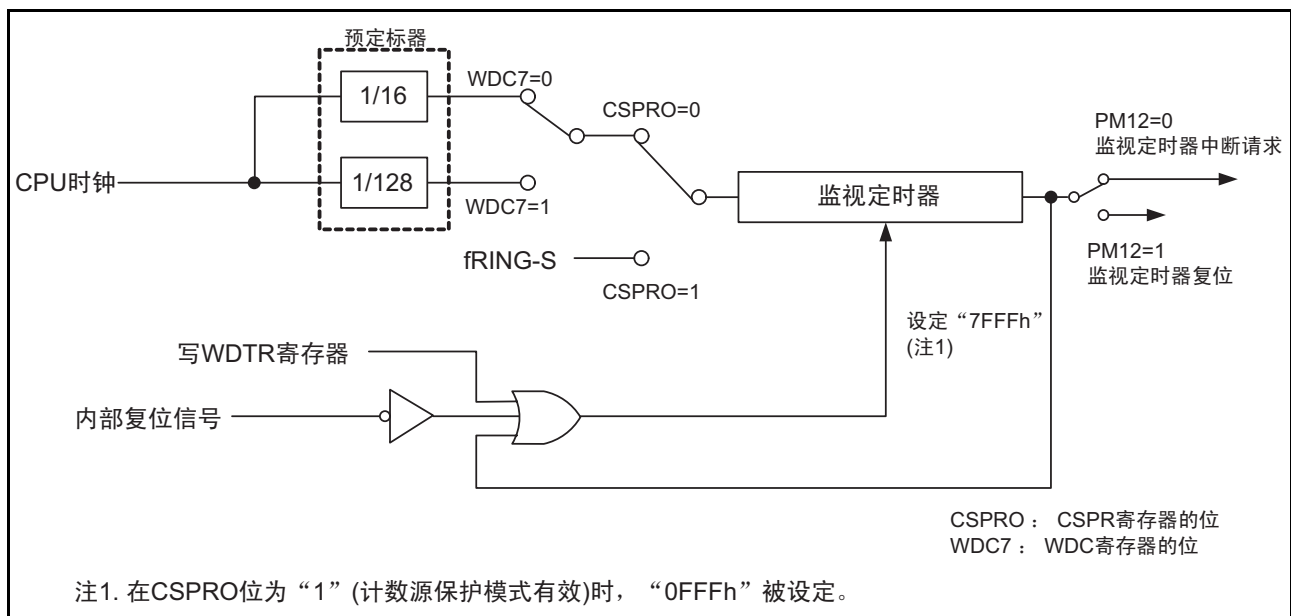


图 14.1 监视定时器的框图

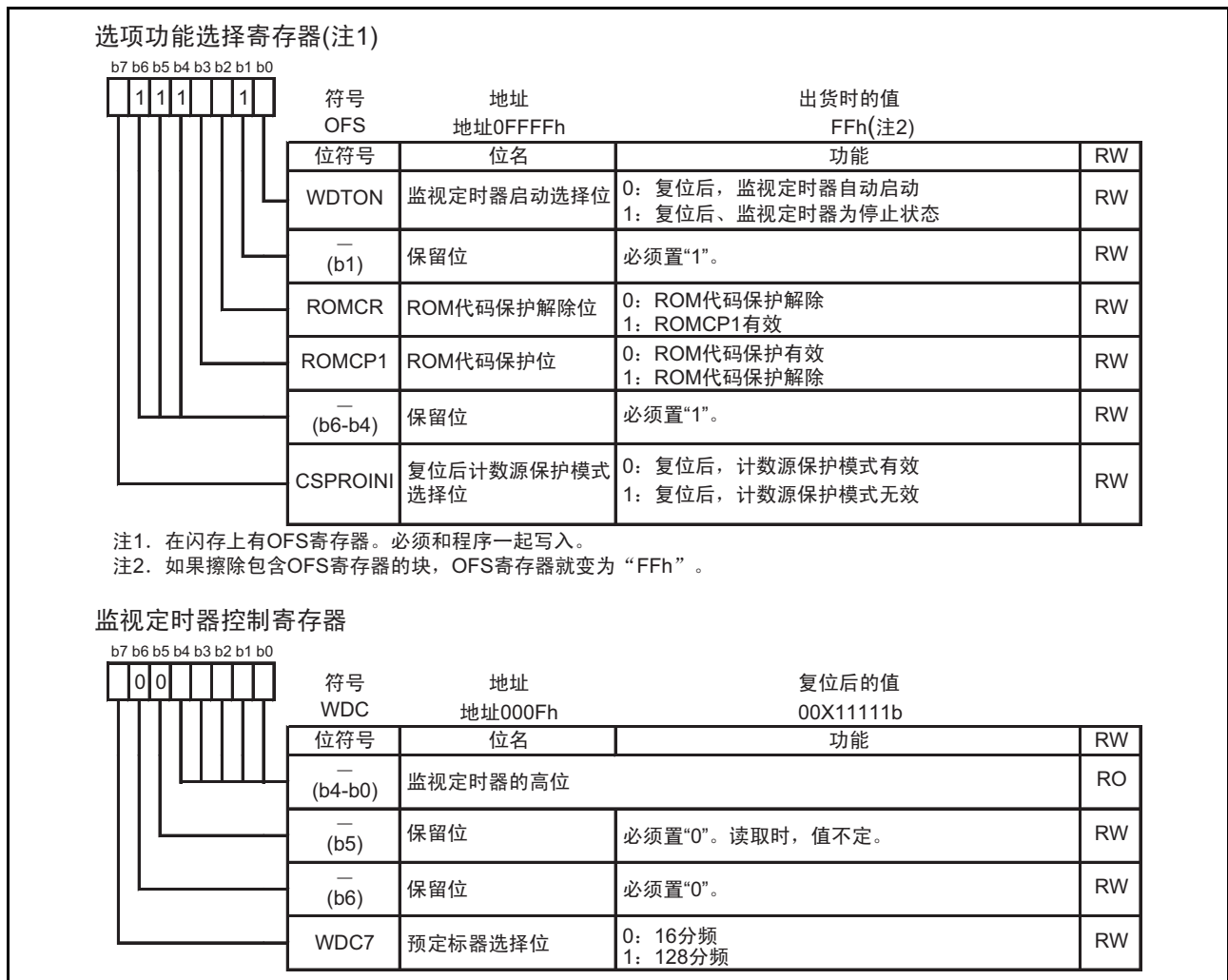


图 14.2 OFS、WDC 寄存器

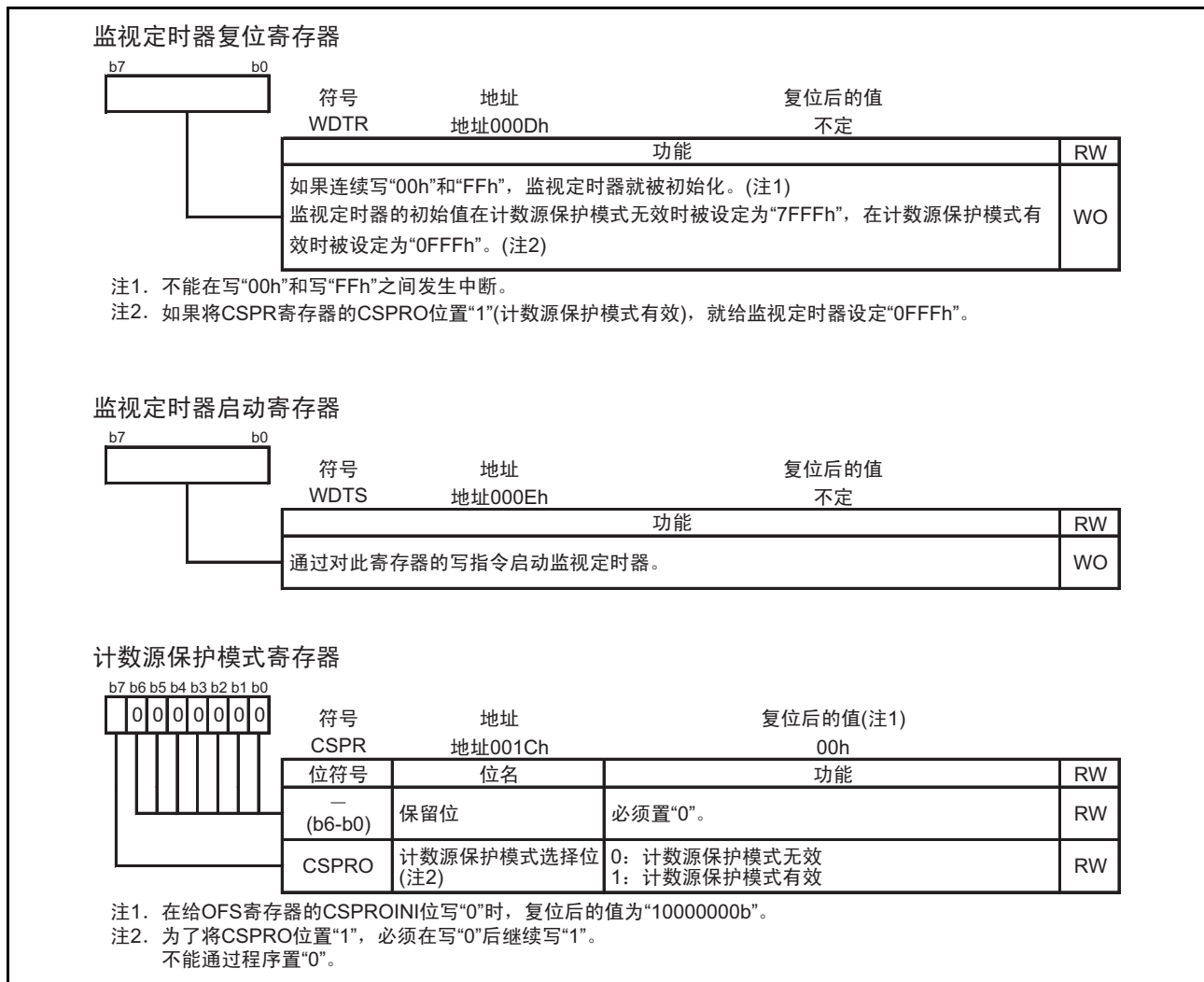


图 14.3 WDTR、WDTS、CSPR 寄存器

14.1 计数源保护模式无效时

当计数源保护模式无效时，监视定时器的计数源为 CPU 时钟。监视定时器的规格（计数源保护模式无效时）如表 14.2 所示。

表 14.2 监视定时器的规格（计数源保护模式无效时）

项目	规格
计数源	CPU 时钟
计数运行	递减计数
周期	$\frac{\text{预定标器的分频比 (n)} \times \text{监视定时器的计数值 (32768)}}{\text{CPU 时钟}}$ （注 1） n: 16 或者 128（由 WDC 寄存器的 WDC7 位选择） 例：当 CPU 时钟为 16MHz 并且预定标器为 16 分频时，周期约为 32.8ms
计数开始条件	通过 OFS 寄存器（地址 0FFFFh）的 WDTON 位（注 2）选择复位后的监视定时器运行 <ul style="list-style-type: none"> 当 WDTON 位为“1”（复位后，监视定时器处于停止状态）时 复位后，监视定时器和预定标器停止，通过写 WDTS 寄存器开始计数 当 WDTON 位为“0”（复位后，监视定时器自动启动）时 复位后，监视定时器和预定标器自动开始计数
监视定时器的初始化条件	<ul style="list-style-type: none"> 复位 将“00h”、“FFh”连续写到 WDTR 寄存器 下溢
计数停止条件	停止模式、等待模式（解除后，从被保持的值开始继续计数）
下溢时的运行	<ul style="list-style-type: none"> 当 PM1 寄存器的 PM12 位为“0”时 监视定时器中断 当 PM1 寄存器的 PM12 位为“1”时 监视定时器复位（参照“7.5 监视定时器复位”）

注 1 在将“00h”和“FFh”连续写到 WDTR 寄存器时，监视定时器被初始化。预定标器在复位后被初始化。因此，监视定时器的周期将发生由预定标器引起的误差。

注 2 不能通过程序更改 WDTON 位。在设定 WDTON 位时，必须通过闪存编程器将“0”写到地址 0FFFFh 的 b0。

14.2 计数源保护模式有效时

当计数源保护模式有效时，监视定时器的计数源为低速内部振荡器时钟。在程序失控时，即使 CPU 时钟停止，也能给监视定时器提供时钟。监视定时器的规格（计数源保护模式有效时）如表 14.3 所示。

表 14.3 监视定时器的规格（计数源保护模式有效时）

项目	规格
计数源	低速内部振荡器时钟
计数运行	递减计数
周期	监视定时器的计数值 (4096) 低速内部振荡器时钟 例：当低速内部振荡器时钟为 125kHz 时，周期约为 32.8ms
计数开始条件	通过 OFS 寄存器（地址 0FFFFh）的 WDTON 位（注 1）选择复位后的监视定时器运行 <ul style="list-style-type: none"> 当 WDTON 位为“1”（复位后，监视定时器处于停止状态）时 复位后，监视定时器和预定标器停止，通过写 WDTS 寄存器开始计数 当 WDTON 位为“0”（复位后，监视定时器自动启动）时 复位后，监视定时器和预定标器自动开始计数
监视定时器的初始化条件	<ul style="list-style-type: none"> 复位 将“00h”、“FFh”连续写到 WDTR 寄存器 下溢
计数停止条件	无（在开始计数后，即使在等待模式也不停止。不变为停止模式。）
下溢时的运行	监视定时器复位（参照“7.5 监视定时器复位”）
寄存器、位	<ul style="list-style-type: none"> 当将 CSPR 寄存器的 CSPRO 位设定为“1”（计数源保护模式有效）时（注 2），自动进行如下设定： <ul style="list-style-type: none"> 给监视定时器设定 0FFFFh 将 CM1 寄存器的 CM14 位设定为“0”（低速内部振荡器振荡） 将 PM1 寄存器的 PM12 位设定为“1”（在监视定时器下溢时，监视定时器复位） 在计数源保护模式时进入以下状态： <ul style="list-style-type: none"> 禁止写 CM1 寄存器的 CM10 位（即使写“1”也不变化，不转移到停止模式） 禁止写 CM1 寄存器的 CM14 位（即使写“1”也不变化，低速内部振荡器不停止）

注 1 不能通过程序更改 WDTON 位。在设定 WDTON 位时，必须通过闪存编程器将“0”写到地址 0FFFFh 的 b0。

注 2 即使将“0”写到 OFS 寄存器的 CSPROINI 位，CSPRO 位也为“1”。不能通过程序更改 CSPROINI 位。在设定 CSPROINI 位时，必须通过闪存编程器将“0”写到地址 0FFFFh 的 b7。

15. 定时器

定时器内置 2 个带 8 位预定标器的 8 位定时器和 1 个 16 位定时器。带 8 位预定标器的 8 位定时器有定时器 X 和定时器 Z。这些定时器含有记忆计数器初始值的重加载寄存器。16 位定时器为具有输入捕捉和输出比较功能的定时器 C。所有定时器各自独立运行，各定时器的计数源为计数和重加载等定时器运行的运行时钟。

各定时器的功能比较如表 15.1 所示。

表 15.1 各定时器的功能比较

项目		定时器 X	定时器 Z	定时器 C
构成		带 8 位预定标器的 8 位定时器（带重加载寄存器）	带 8 位预定标器的 8 位定时器（带重加载寄存器）	16 位定时器（带输入捕捉和输出比较）
计数		递减计数	递减计数	递增计数
计数源		<ul style="list-style-type: none"> • f1 • f2 • f8 • fRING 	<ul style="list-style-type: none"> • f1 • f2 • f8 • 定时器 X 下溢 	<ul style="list-style-type: none"> • f1 • f8 • f32 • fRING-fast
功能	定时器模式	有	有	无
	脉冲输出模式	有	无	无
	事件计数模式	有	无	无
	脉宽测定模式	有	无	无
	脉冲周期测定模式	有	无	无
	可编程波形发生模式	无	有	无
	可编程单触发发生模式	无	有	无
	可编程等待单触发发生模式	无	有	无
	输入捕捉模式	无	无	有
输出比较模式	无	无	有	
输入管脚		CNTR0	$\overline{\text{INT0}}$	TCIN
输出管脚		CNTR0 $\overline{\text{CNTR0}}$	TZOUT	CMP0_0 ~ CMP0_2 CMP1_0 ~ CMP1_2
相关中断		定时器 X 中断 $\overline{\text{INT1}}$ 中断	定时器 Z 中断 $\overline{\text{INT0}}$ 中断	定时器 C 中断 $\overline{\text{INT3}}$ 中断 比较 0 中断 比较 1 中断
定时器停止		有	有	有

15.1 定时器 X

定时器 X 是带 8 位预定标器的 8 位定时器。预定标器和定时器分别由重加载寄存器和计数器构成，重加载寄存器和计数器分配了相同地址。如果对 PREX 寄存器和 TX 寄存器进行存取，就能存取重加载寄存器和计数器（参照表 15.2 ~ 表 15.6 的各模式说明）。

定时器 X 的框图如图 15.1 所示，和定时器 X 有关的寄存器如图 15.2 ~ 图 15.3 所示。定时器 X 有以下 5 种模式：

- 定时器模式 对内部计数源计数的模式
- 脉冲输出模式 对内部计数源计数，在定时器下溢时输出极性反转的脉冲模式
- 事件计数器模式 对外部脉冲计数的模式
- 脉宽测定模式 测定外部脉冲的脉宽的模式
- 脉冲周期测定模式 测定外部脉冲的脉冲周期的模式

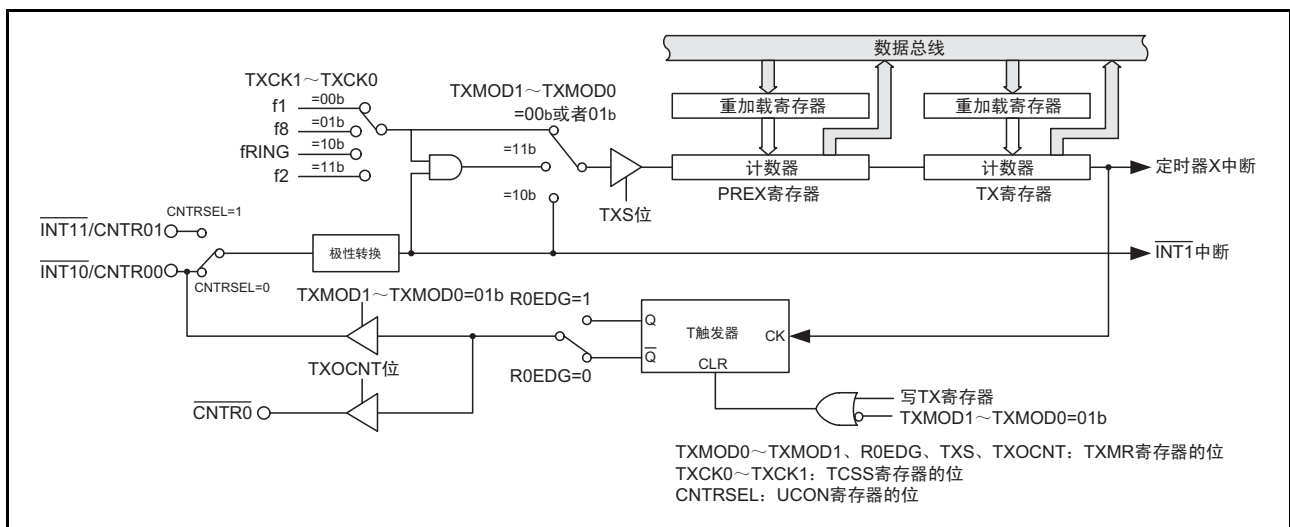


图 15.1 定时器 X 框图

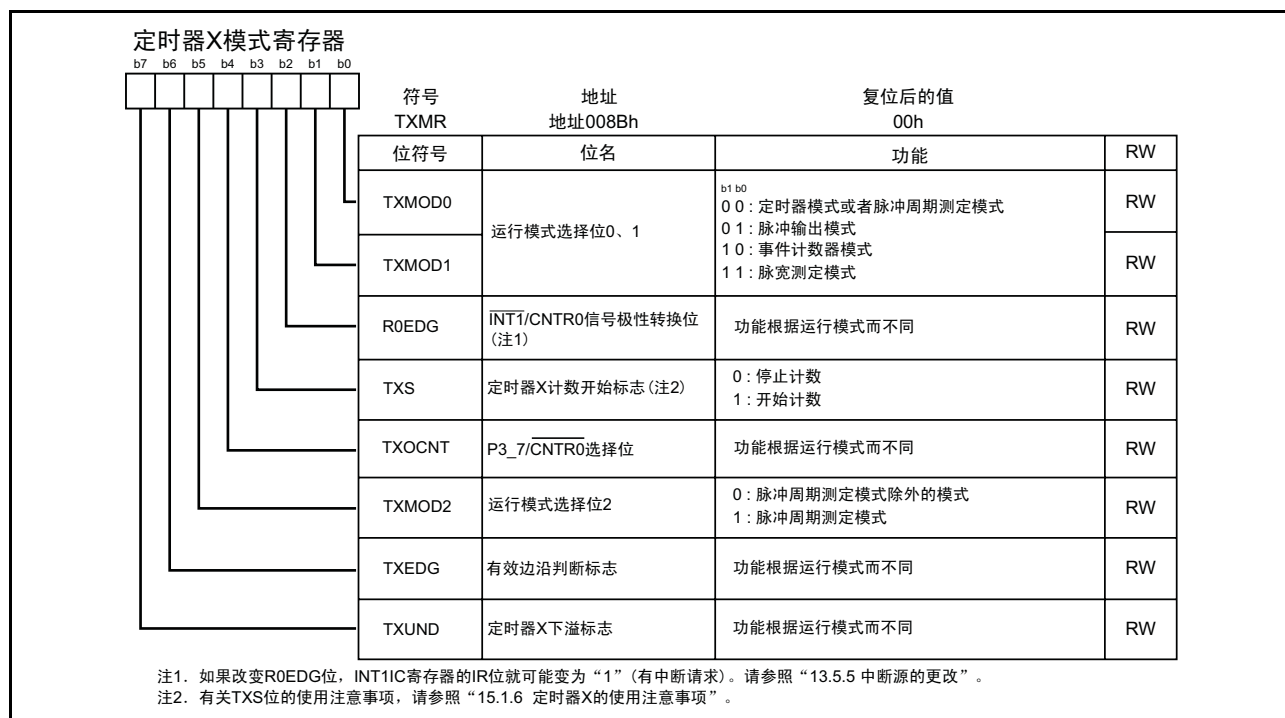


图 15.2 TXMR 寄存器

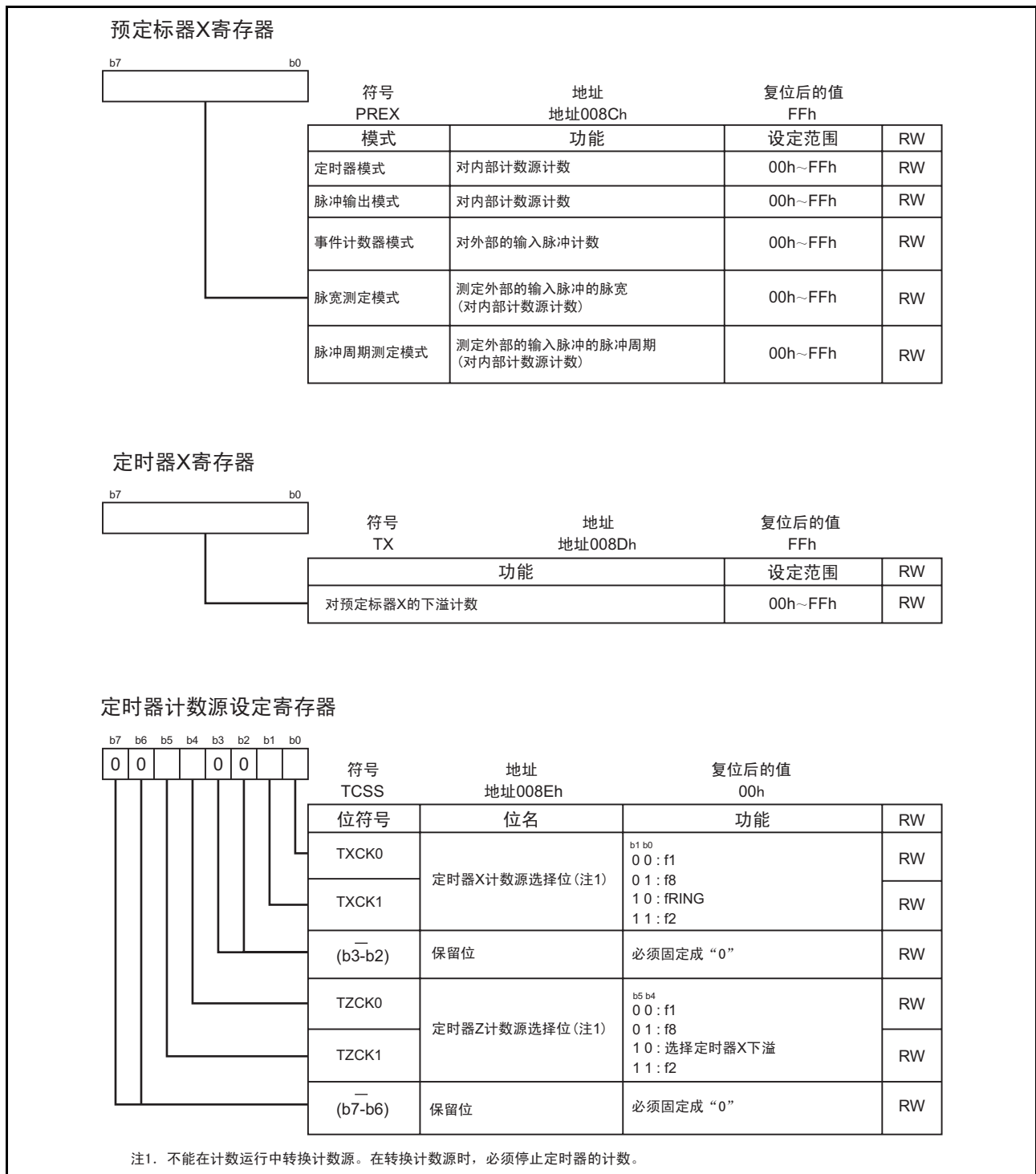


图 15.3 PREX、TX 以及 TCSS 寄存器

15.1.1 定时器模式

它是对内部生成的计数源计数的模式（表 15.2）。定时器模式时的 TXMR 寄存器如图 15.4 所示。

表 15.2 定时器模式的说明

项目	说明
计数源	f1、f2、f8、fRING
计数运行	<ul style="list-style-type: none"> • 递减计数 • 下溢时重新装入重加载寄存器的内容，然后继续计数
分频比	$1/(n+1)(m+1)$ n: PREX 寄存器的设定值、m: TX 寄存器的设定值
计数开始条件	对 TXMR 寄存器的 TXS 位置“1”（开始计数）
计数停止条件	对 TXMR 寄存器的 TXS 位置“0”（停止计数）
中断请求发生时序	在定时器 X 下溢时 [定时器 X 中断]
INT10/CNTR00、INT11/CNTR01 管脚功能	可编程输入 / 输出端口或者 INT1 中断输入
CNTR0 管脚功能	可编程输入 / 输出端口
读定时器	如果读 TX 寄存器和 PREX 寄存器，就读取各自的计数值
写定时器	<ul style="list-style-type: none"> • 如果在计数停止时对 TX 寄存器和 PREX 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 • 如果在计数中对 TX 寄存器和 PREX 寄存器写数据，就在下次计数源的输入时序数据被写入重加载寄存器，而在第 2 个计数源的输入时序数据被传送到计数器，然后在第 3 个计数源的输入时序重新开始计数

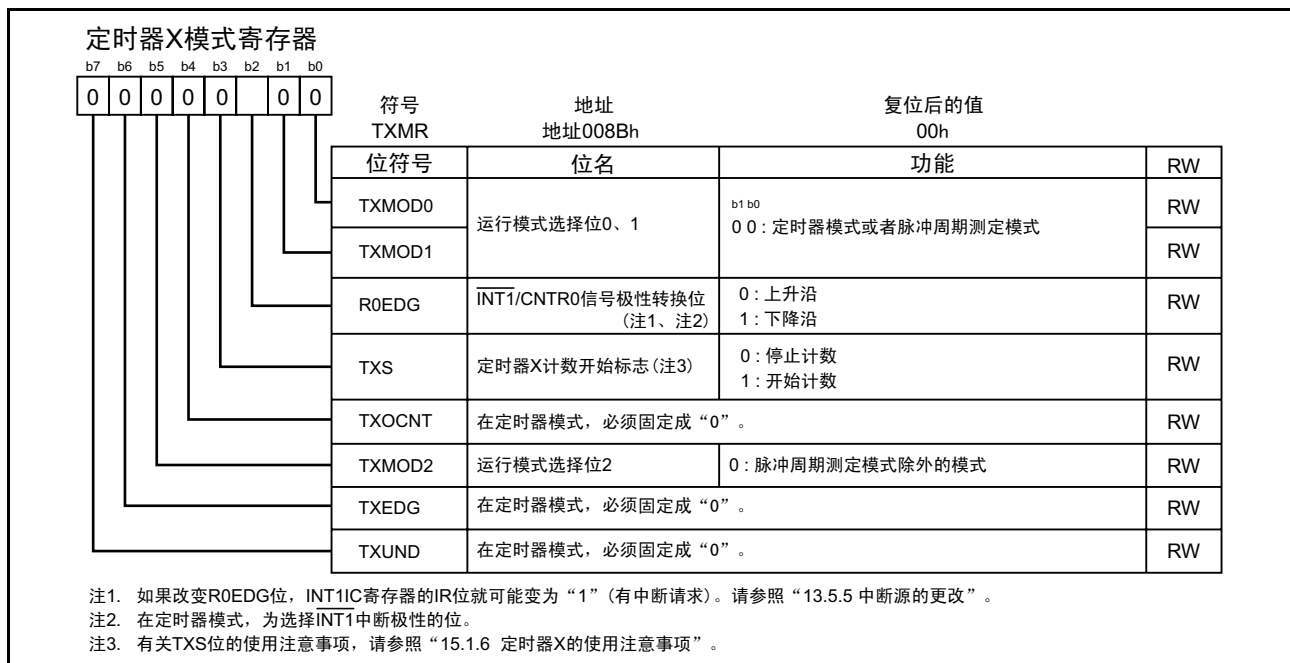


图 15.4 定时器模式时的 TXMR 寄存器

15.1.2 脉冲输出模式

它对内部生成的计数源计数，每当定时器下溢时，从 CNTR0 管脚输出极性反转的脉冲的模式（表 15.3）。脉冲输出模式时的 TXMR 寄存器如图 15.5 所示。

表 15.3 脉冲输出模式的说明

项目	说明
计数源	f1、f2、f8、fRING
计数运行	<ul style="list-style-type: none"> • 递减计数 • 下溢时重新装入重加载寄存器的内容，然后继续计数
分频比	$1/(n+1)(m+1)$ n: PREX 寄存器的设定值、m: TX 寄存器的设定值
计数开始条件	对 TXMR 寄存器的 TXS 位置“1”（开始计数）
计数停止条件	对 TXMR 寄存器的 TXS 位置“0”（停止计数）
中断请求发生时序	在定时器 X 下溢时 [定时器 X 中断]
$\overline{\text{INT10}}/\text{CNTR00}$ 管脚功能	脉冲输出
$\overline{\text{CNTR0}}$ 管脚功能	可编程输入 / 输出端口或者 CNTR0 的反转输出
读定时器	如果读 TX 寄存器和 PREX 寄存器，就读取各自的计数值
写定时器	<ul style="list-style-type: none"> • 如果在计数停止时对 TX 寄存器和 PREX 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 • 如果在计数中对 TX 寄存器和 PREX 寄存器写数据，就在下次计数源的输入时序数据被写入重加载寄存器，而在第 2 个计数源的输入时序数据被传送到计数器，然后在第 3 个计数源的输入时序重新开始计数
选择功能	<ul style="list-style-type: none"> • $\overline{\text{INT1}}/\text{CNTR0}$ 信号极性转换功能 能通过 R0EDG 位选择脉冲输出开始时的电平（注 1） • 反转脉冲输出功能 能从 $\overline{\text{CNTR0}}$ 管脚输出 CNTR0 信号输出极性反转的脉冲（用 TXOCNT 位选择）

注 1 通过对 TX 寄存器的写入，输出脉冲变为输出开始时的电平。



图 15.5 脉冲输出模式时的 TXMR 寄存器

15.1.3 事件计数器模式

它是对 $\overline{\text{INT0/CNTR0}}$ 管脚输入的外部信号计数的模式（表 15.4）。事件计数器模式时的 TXMR 寄存器如图 15.6 所示。

表 15.4 事件计数器模式的说明

项目	说明
计数源	CNTR0 管脚输入的外部信号（能通过软件选择有效边沿）
计数运行	<ul style="list-style-type: none"> 递减计数 下溢时重新装入重加载寄存器的内容，然后继续计数
分频比	$1/(n+1)(m+1)$ n: PREX 寄存器的设定值、m: TX 寄存器的设定值
计数开始条件	对 TXMR 寄存器的 TXS 位置“1”（开始计数）
计数停止条件	对 TXMR 寄存器的 TXS 位置“0”（停止计数）
中断请求发生时序	在定时器 X 下溢时 [定时器 X 中断]
INT10/CNTR0、 INT11/CNTR01 管脚功能	计数源输入（INT1 中断输入）
CNTR0 管脚功能	可编程输入 / 输出端口
读定时器	如果读 TX 寄存器和 PREX 寄存器，就读取各自的计数值
写定时器	<ul style="list-style-type: none"> 如果在计数停止时对 TX 寄存器和 PREX 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 如果在计数中对 TX 寄存器和 PREX 寄存器写数据，就在下次计数源的输入时序数据被写入重加载寄存器，而在第 2 个计数源的输入时序数据被传送到计数器，然后在第 3 个计数源的输入时序重新开始计数
选择功能	<ul style="list-style-type: none"> INT1/CNTR0 信号极性转换功能 能通过 R0EDG 位选择计数源的有效边沿 计数源输入管脚选择功能 能通过 UCON 寄存器的 CNTRSEL 位选择 CNTR00 或者 CNTR01 管脚

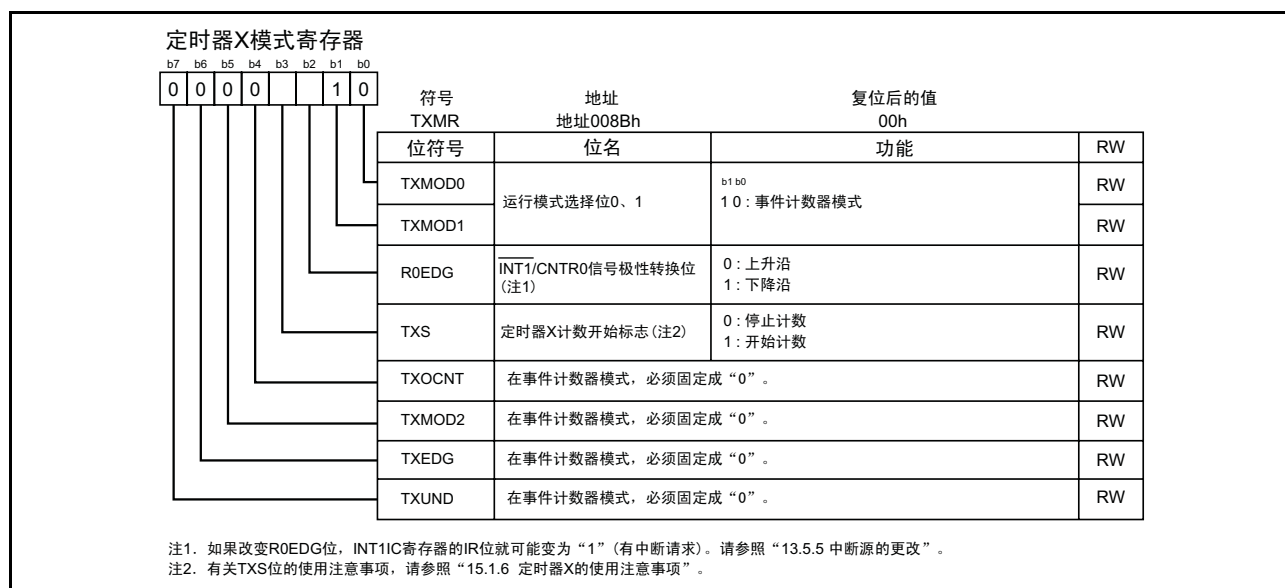


图 15.6 事件计数器模式时的 TXMR 寄存器

15.1.4 脉宽测定模式

它是测定 $\overline{\text{INT1}}/\text{CNTR0}$ 管脚输入的外部信号脉宽的模式（表 15.5）。脉宽测定模式时的 TXMR 寄存器如图 15.7、脉宽测定模式时的运行例子如图 15.8 所示。

表 15.5 脉宽测定模式的说明

项目	说明
计数源	f1、f2、f8、fRING
计数运行	<ul style="list-style-type: none"> • 递减计数 • 只有在测定脉冲为“H”电平或者“L”电平的期间继续计数 • 下溢时重新装入重加载寄存器的内容，然后继续计数
计数开始条件	对 TXMR 寄存器的 TXS 位置“1”（开始计数）
计数停止条件	对 TXMR 寄存器的 TXS 位置“0”（停止计数）
中断请求发生时序	<ul style="list-style-type: none"> • 在定时器 X 下溢时 [定时器 X 中断] • 在 CNTR0 输入的上升沿或者下降沿（测定期间结束）[INT1 中断]
INT10/CNTR0、 INT11/CNTR01 管脚功能	测定脉冲输入（INT1 中断输入）
CNTR0 管脚功能	可编程输入 / 输出端口
读定时器	如果读 TX 寄存器和 PREX 寄存器，就读取各自的计数值
写定时器	<ul style="list-style-type: none"> • 如果在计数停止时对 TX 寄存器和 PREX 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 • 如果在计数中对 TX 寄存器和 PREX 寄存器写数据，就在下次计数源的输入时序数据被写入重加载寄存器，而在第 2 个计数源的输入时序数据被传送到计数器，然后在第 3 个计数源的输入时序重新开始计数
选择功能	<ul style="list-style-type: none"> • INT1/CNTR0 信号极性切换功能 能通过 R0EDG 位选择“H”电平期间或者“L”电平期间作为输入脉冲的测定宽度 • 测定脉冲输入管脚选择功能 能通过 UCON 寄存器的 CNTRSEL 位选择 CNTR00 或者 CNTR01 管脚

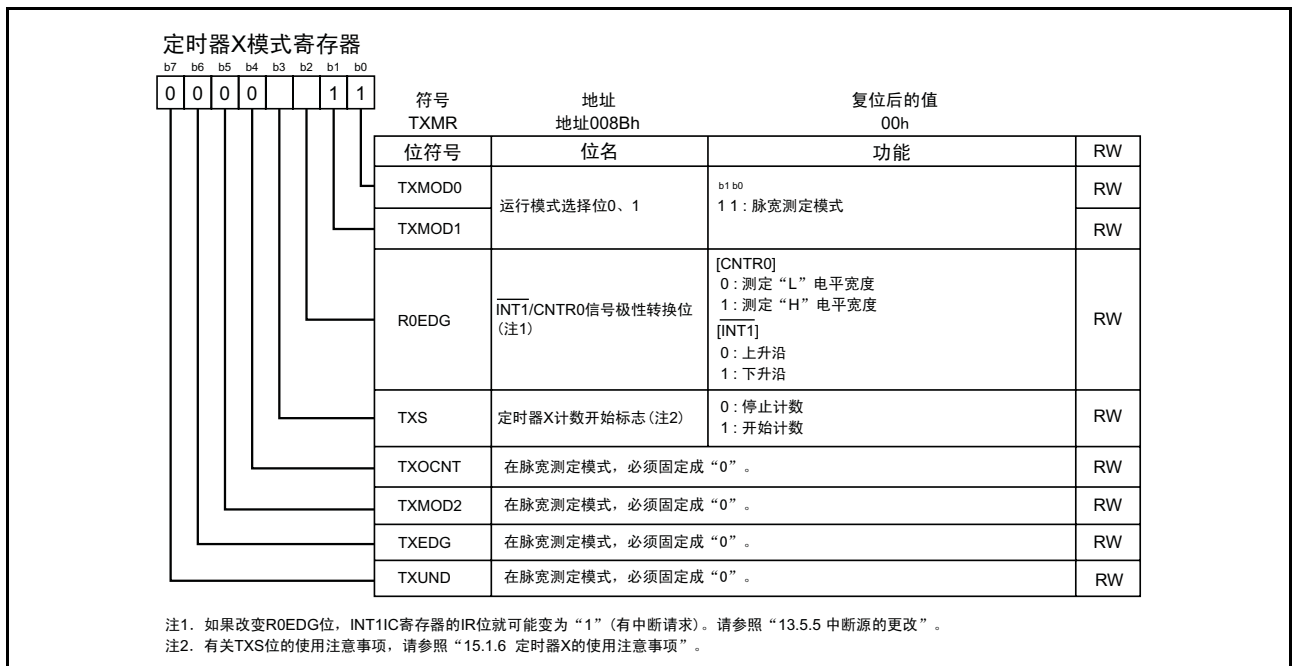


图 15.7 脉宽测定模式时的 TXMR 寄存器

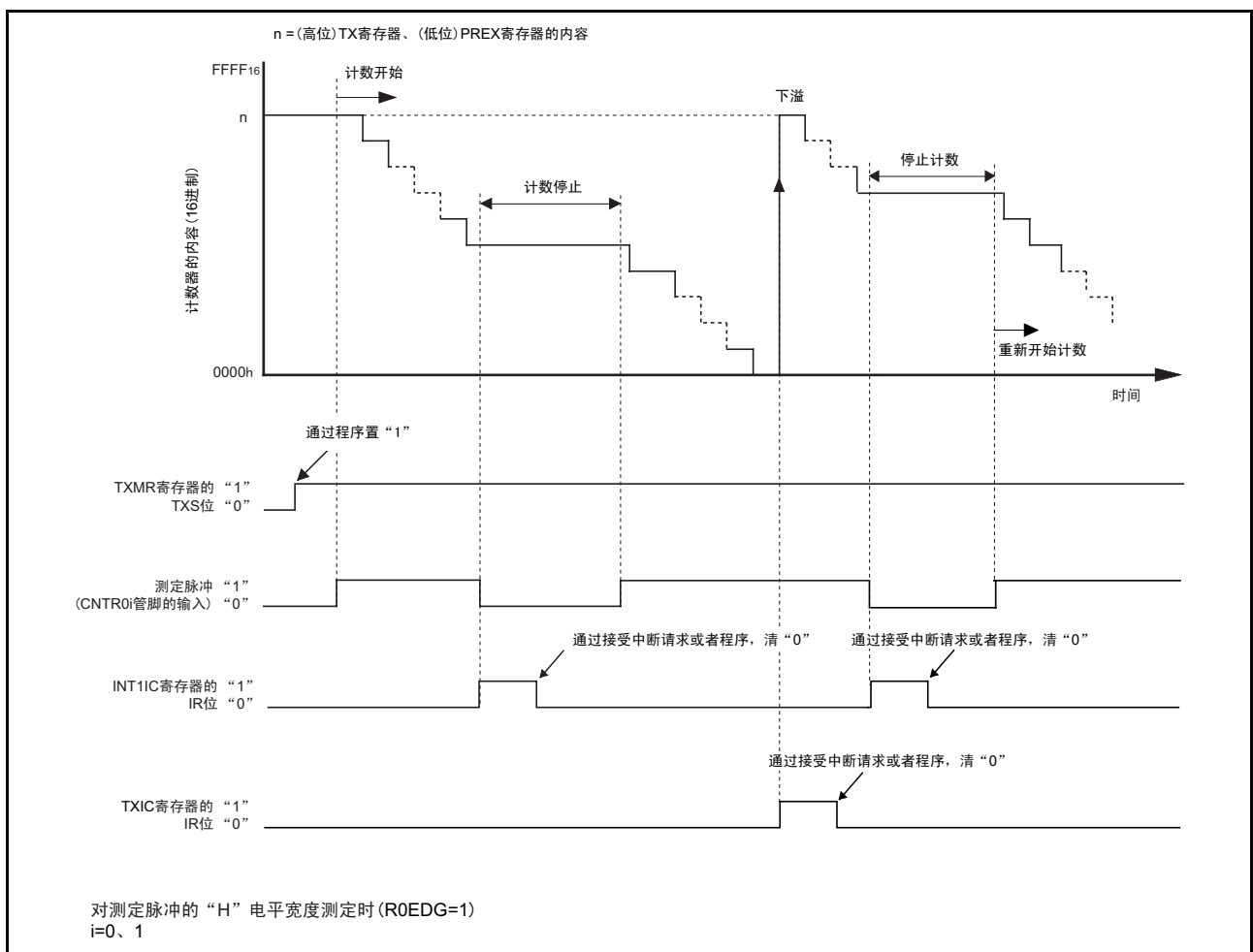


图 15.8 脉宽测定模式时的运行例子

15.1.5 脉冲周期测定模式

它是测定 $\overline{\text{INT1}}/\text{CNTR0}$ 管脚输入的外部信号脉冲周期的模式（表 15.6）。脉冲周期测定模式时的 TXMR 寄存器如图 15.9、运行例子如图 15.10 所示。

表 15.6 脉冲周期测定模式的说明

项目	说明
计数源	f1、f2、f8、fRING
计数运行	<ul style="list-style-type: none"> • 递减计数 • 输入测定脉冲的有效边沿后，在预定标器 X 第 1 次下溢时保持读缓冲器的内容，在预定标器 X 第 2 次下溢时，定时器 X 重新装入重加载寄存器的内容，然后继续计数
计数开始条件	对 TXMR 寄存器的 TXS 位置“1”（开始计数）
计数停止条件	对 TXMR 寄存器的 TXS 位置“0”（停止计数）
中断请求发生时序	<ul style="list-style-type: none"> • 在定时器 X 下溢时或者重新装入时 [定时器 X 中断] • 在 CNTR0 输入的上升沿或者下降沿（测定期间结束）[$\overline{\text{INT1}}$ 中断]
$\overline{\text{INT10}}/\text{CNTR00}$ 、 $\overline{\text{INT11}}/\text{CNTR01}$ 管脚功能	测定脉冲输入（注 1）（ $\overline{\text{INT1}}$ 中断输入）
$\overline{\text{CNTR0}}$ 管脚功能	可编程输入 / 输出端口
读定时器	如果读 TX 寄存器，就读取读缓冲器的内容。 通过读 TX 寄存器，解除保持在读缓冲器中的值。
写定时器	<ul style="list-style-type: none"> • 如果在计数停止时对 TX 寄存器和 PREX 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 • 如果在计数中对 TX 寄存器和 PREX 寄存器写数据，就在下次计数源的输入时序数据被写入重加载寄存器，而在第 2 个计数源的输入时序数据被传送到计数器，然后在第 3 个计数源的输入时序重新开始计数
选择功能	<ul style="list-style-type: none"> • $\overline{\text{INT1}}/\text{CNTR0}$ 信号极性转换功能 能通过 ROEDG 位选择输入脉冲的测定期间 • 测定脉冲输入管脚选择功能 能通过 UCON 寄存器的 CNTRSEL 位选择 CNTR00 或者 CNTR01 管脚

注 1 必须输入长于预定标器 X 周期 2 倍的脉冲。另外，对于“H”电平宽度和“L”电平宽度，必须分别输入长于预定标器 X 周期的脉冲，如果输入短于预定标器 X 周期的脉冲，其输入可能被忽略。

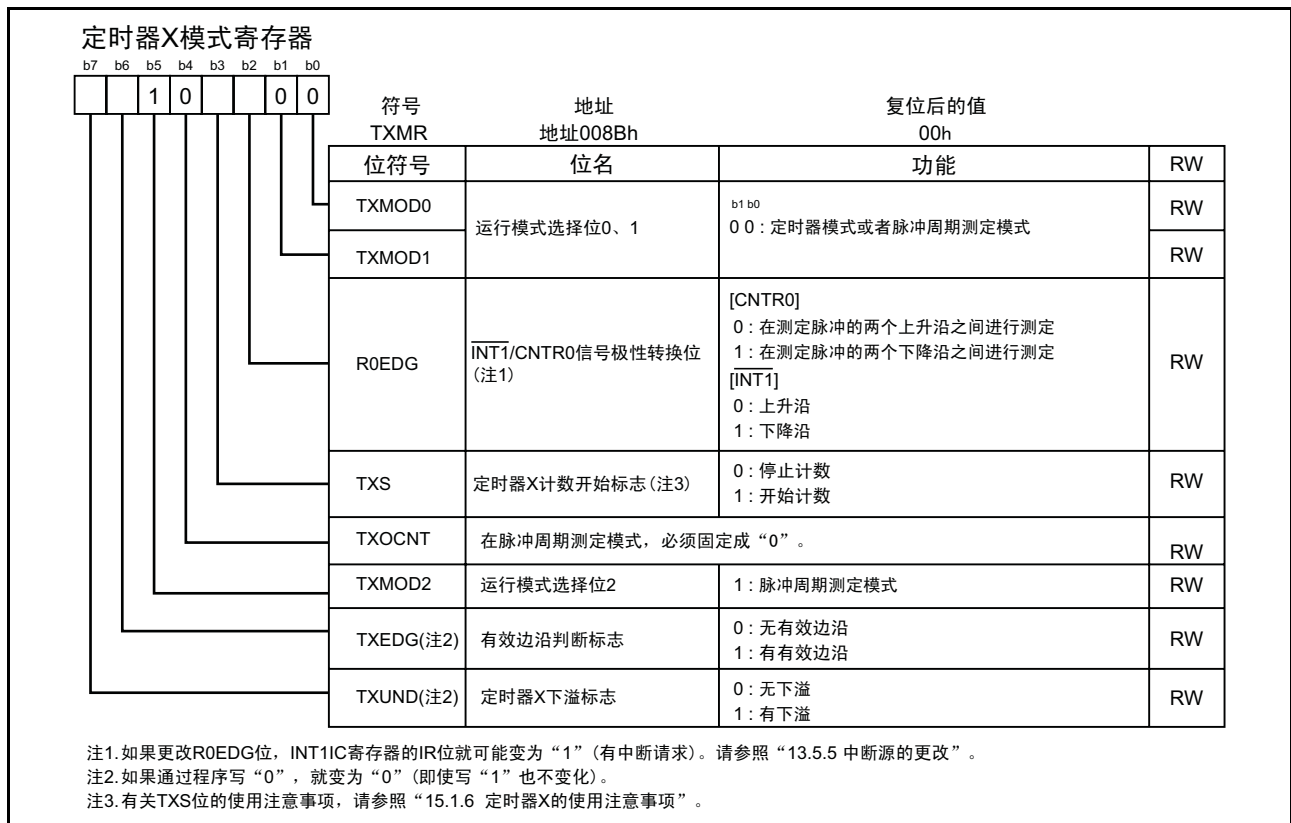


图 15.9 脉冲周期测定模式时的 TXMR 寄存器

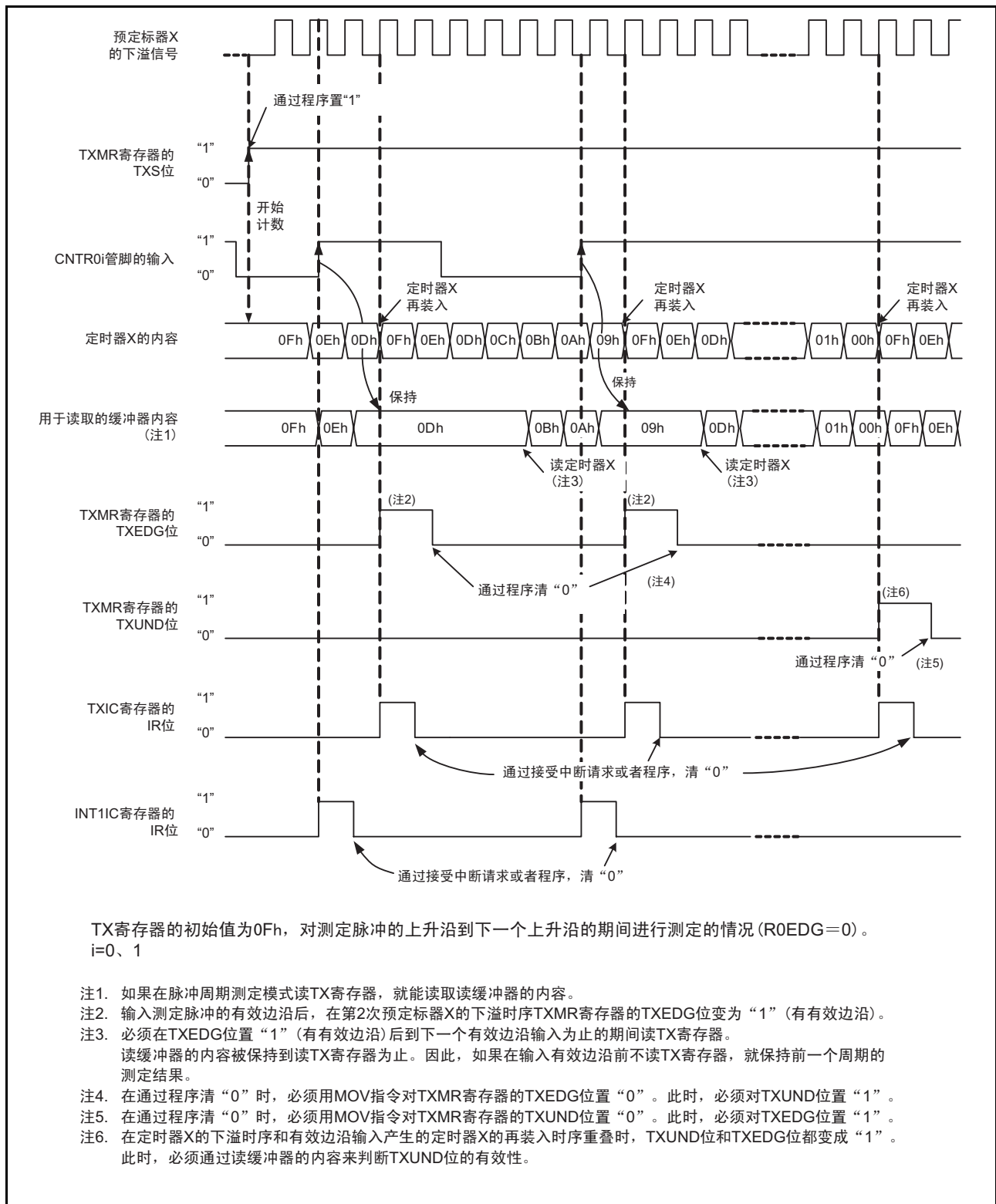


图 15.10 脉冲周期测定模式时的运行例子

15.1.6 定时器 X 的使用注意事项

- 在复位后，定时器停止计数。必须在对定时器和预定标器设定值后，开始计数。
- 即使以 16 位单位读取预定标器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 不能同时改写 TXMR 寄存器的 TXMOD0 ~ TXMOD1 位、TXMOD2 位和 TXS 位。
- 如果通过程序对在脉冲周期测定模式使用的 TXMR 寄存器的 TXEDG 位和 TXUND 位写“0”，这些位就变为“0”；写“1”时，这些位不变化。在对 TXMR 寄存器使用读 / 修改 / 写指令的情况下，即使 TXEDG 位和 TXUND 位为“1”，在指令执行中这些位也有可能被置“0”。此时，必须用 MOV 指令对不想被置“0”的 TXEDG 位和 TXUND 位写“1”。
- 在从其它模式改变到脉冲周期测定模式时，TXEDG 位和 TXUND 位不定。必须在给 TXEDG 位和 TXUND 位写“0”后，开始定时器 X 的计数。
- 在计数开始后最初发生的预定标器 X 的下溢信号，TXEDG 位可能变为“1”。
- 当使用脉冲周期测定模式时，必须在计数刚开始后间隔预定标器 X 的 2 个周期以上的时间，将 TXEDG 位置“0”，然后使用。
- TXMR 寄存器的 TXS 位有指示定时器 X 开始或者停止计数的功能、表示开始或者停止计数的功能。在计数停止中，如果在 TXS 位置“1”（开始计数）后且在输入下一个计数源之前读取 TXS 位，读到的值总为“0”（停止计数）。如果输入了下一个计数源，就能从 TXS 位读到“1”。在能从 TXS 位读到“1”之前，除了 TXS 位以外，不能存取定时器 X 的相关寄存器（TXMR、PREX、TX、TCSS、TXIC 寄存器）。在 TXS 位为“1”后，从下一个计数源开始计数。同样，如果在计数中对 TXS 位置“0”（停止计数），就在下一个计数源停止定时器 X 的计数。如果在 TXS 位置“0”后且在停止计数之前读取 TXS 位，读到的值总为“1”（开始计数）。在 TXS 位置“0”后且在能从 TXS 位读到“0”之前，除了 TXS 位以外，不能存取定时器 X 的相关寄存器。

15.2 定时器 Z

定时器 Z 是带 8 位预定标器的 8 位定时器。预定标器和定时器分别由重加载寄存器和计数器构成，重加载寄存器和计数器分配了相同地址（有关重加载寄存器和计数器的存取，请参照表 15.7 ~ 表 15.10 的各模式的说明）。作为重加载寄存器，定时器 Z 具有定时器 Z 主寄存器和定时器 Z 次寄存器。

定时器 Z 的框图如图 15.11 所示，TZMR、PREZ、TZSC、TZPR、TZOC、PUM 以及 TCSS 寄存器如图 15.12 ~ 图 15.15 所示。

定时器 Z 具有以下 4 种模式：

- | | |
|----------------|-----------------------|
| • 定时器模式 | 对内部计数源或者定时器 X 下溢计数的模式 |
| • 可编程波形发生模式 | 连续输出任意脉宽的模式 |
| • 可编程单触发发生模式 | 输出单触发脉冲的模式 |
| • 可编程等待单触发发生模式 | 输出延迟单触发脉冲的模式 |

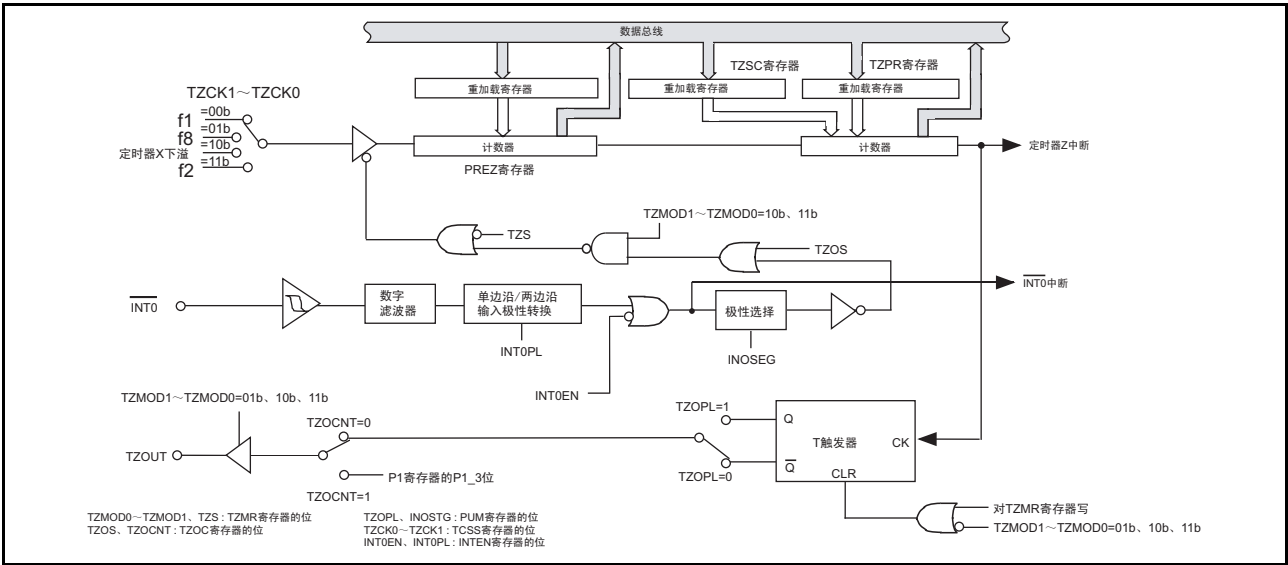


图 15.11 定时器 Z 框图

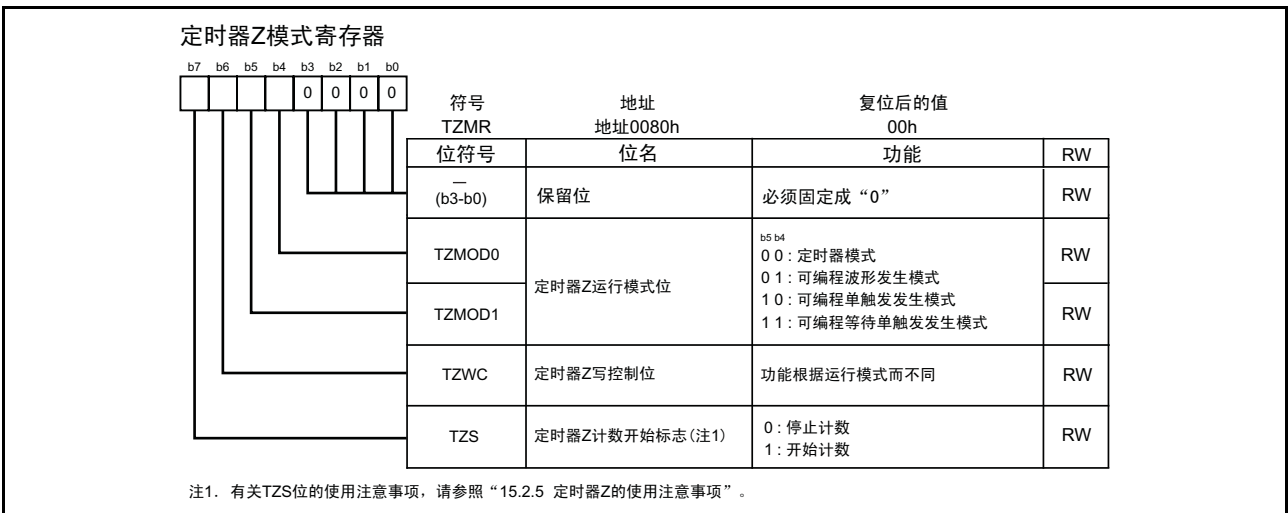


图 15.12 TZMR 寄存器

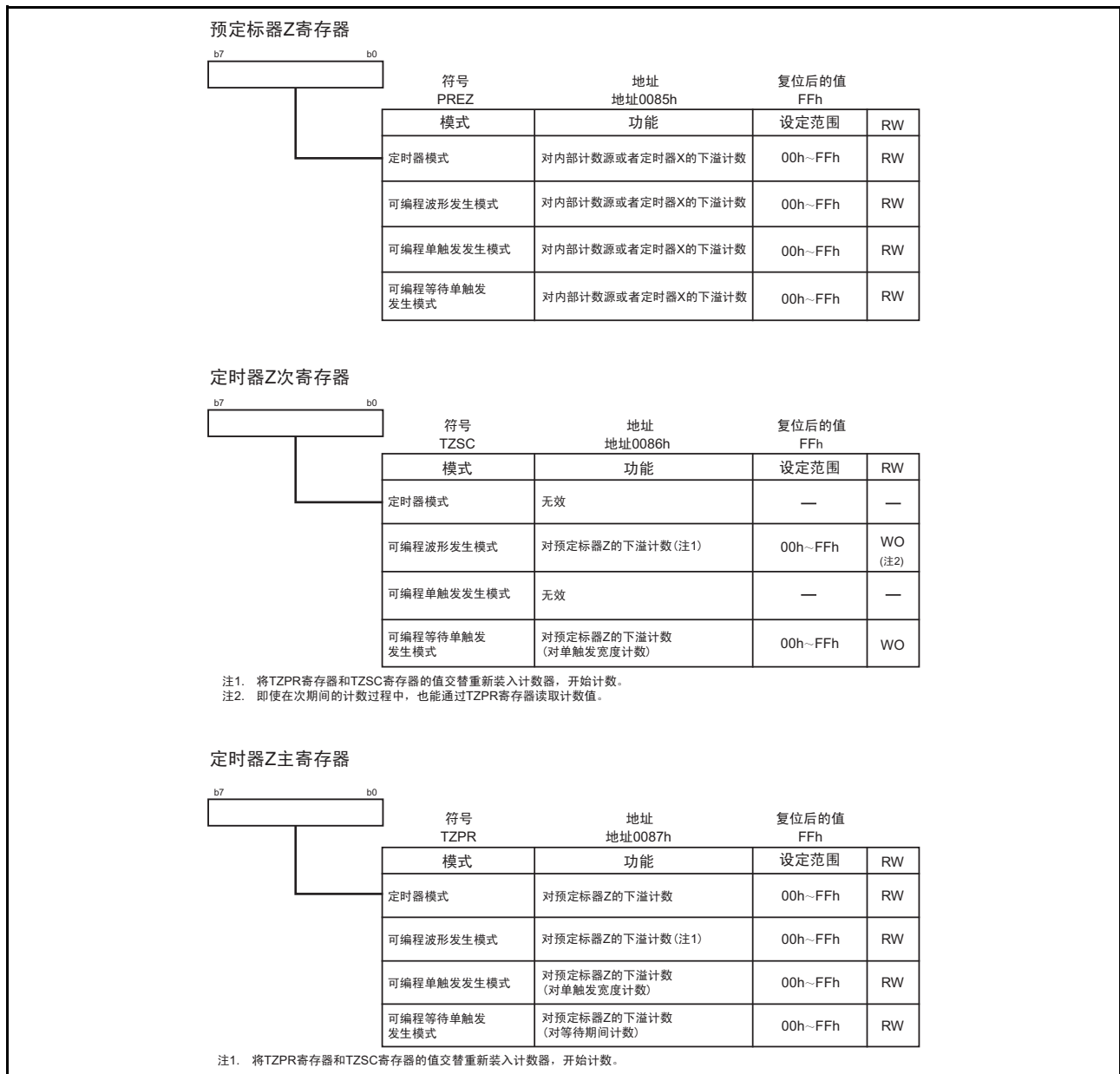


图 15.13 PREZ、TZSC 以及 TZPR 寄存器

定时器Z输出控制寄存器(注3)

位	符号	地址	复位后的值	
b7	TZOC	地址008Ah	00h	
b6				
b5				
b4				
b3				
b2				
b1				
b0				
	位符号	位名	功能	RW
	TZOS	定时器Z单触发开始位(注1)	0: 停止单触发 1: 开始单触发	RW
	(b1)	保留位	必须固定成“0”	RW
	TZOCNT	定时器Z可编程波形发生输出切换位(注2)	0: 输出可编程波形 1: 输出端口P1寄存器的P1_3位的值	RW
	(b7-b3)	什么也不指定。只能写“0”，读时值为“0”。		—

注1. 在单触发波形输出结束后变为“0”。在单触发波形输出过程中，当通过将TZMR寄存器的TZS位置“0”（停止计数）停止波形输出时，必须将TZOS位置“0”。

注2. 只在可编程波形发生模式时有效。

注3. 在TZOS位为“1”（计数中）时执行更改此寄存器的指令的情况下，如果在指令执行中结束计数，TZOS位就自动变为“0”（停止单触发）。如果由此发生问题，就必须在TZOS位为“0”（停止单触发）时执行更改此寄存器的指令。

定时器Z波形输出控制寄存器

位	符号	地址	复位后的值	
b7	PUM	地址0084h	00h	
b6				
b5				
b4				
b3				
b2				
b1				
b0				
	位符号	位名	功能	RW
	(b4-b0)	保留位	必须固定成“0”。	RW
	TZOPL	定时器Z输出电平锁存	功能根据运行模式而不同。	RW
	INOSTG	$\overline{\text{INT0}}$ 管脚单触发控制位(注2)	0: $\overline{\text{INT0}}$ 管脚单触发无效 1: $\overline{\text{INT0}}$ 管脚单触发有效	RW
	INOSEG	$\overline{\text{INT0}}$ 管脚单触发极性选择位(注1)	0: 下降沿触发 1: 上升沿触发	RW

注1. 只在INTEN寄存器的INTOPL位为“0”（单边沿）时，INOSEG位有效。

注2. 必须在设定INTEN寄存器的INT0EN位和PUM寄存器的INOSEG位后，将INOSTG位置“1”。

图 15.14 TZOC 和 PUM 寄存器

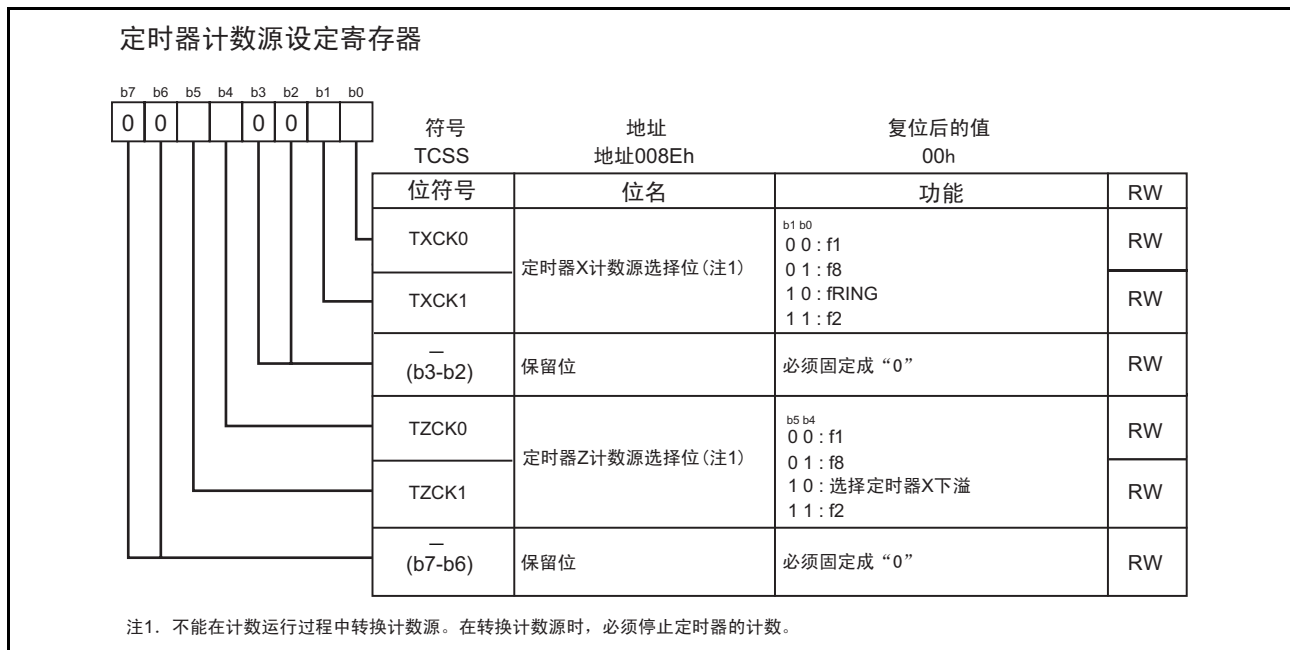


图 15.15 TCSS 寄存器

15.2.1 定时器模式

它是对内部生成的计数源或者定时器 X 下溢计数的模式（表 15.7）。在定时器模式时，不使用 TZSC 寄存器。定时器模式时的 TZMR 和 PUM 寄存器如图 15.16 所示。

表 15.7 定时器模式的说明

项目	说明
计数源	f1、f2、f8、定时器 X 的下溢
计数运行	<ul style="list-style-type: none"> 递减计数 下溢时重新装入重加载寄存器的内容，然后继续计数 (在定时器 Z 下溢时，重新装入定时器 Z 主重加载寄存器的内容)
分频比	$1/(n+1)(m+1)$ n: PREZ 寄存器的设定值、m: TZPR 寄存器的设定值
计数开始条件	对 TZMR 寄存器的 TZS 位置“1”（开始计数）
计数停止条件	对 TZMR 寄存器的 TZS 位置“0”（停止计数）
中断请求发生时序	在定时器 Z 下溢时 [定时器 Z 中断]
TZOUT 管脚功能	可编程输入 / 输出端口
INT0 管脚功能	可编程输入 / 输出端口或者 $\overline{\text{INT0}}$ 中断输入管脚
读定时器	如果读 TZPR 寄存器和 PREZ 寄存器，就读取各自的计数值
写定时器（注 1）	<ul style="list-style-type: none"> 如果在计数停止时对 TZPR 寄存器和 PREZ 寄存器写数据，数据就被写入各自的重加载寄存器和计数器 在计数中对 TZPR 寄存器和 PREZ 寄存器写数据时，如果 TZWC 位为“0”（同时写重加载寄存器和计数器），就在下次计数源的输入时序数据被写入重加载寄存器，而在第 2 个计数源的输入时序数据被传送到计数器，然后在第 3 个计数源的输入时序重新开始计数 如果 TZWC 位为“1”（只写重加载寄存器），数据就被分别写入重加载寄存器（在下次再装入时传送给计数器）

注 1 在以下 2 项条件同时成立的状态下，如果给 TZPR 寄存器或者 PREZ 寄存器写数据，TZIC 寄存器的 IR 位就变为“1”（有中断请求）。

- TZMR 寄存器的 TZWC 位为“0”（同时写重加载寄存器和计数器）
- TZMR 寄存器的 TZS 位为“1”（开始计数）

如果在此状态下对 TZPR 寄存器和 PREZ 寄存器写数据，就必须在写之前禁止中断。

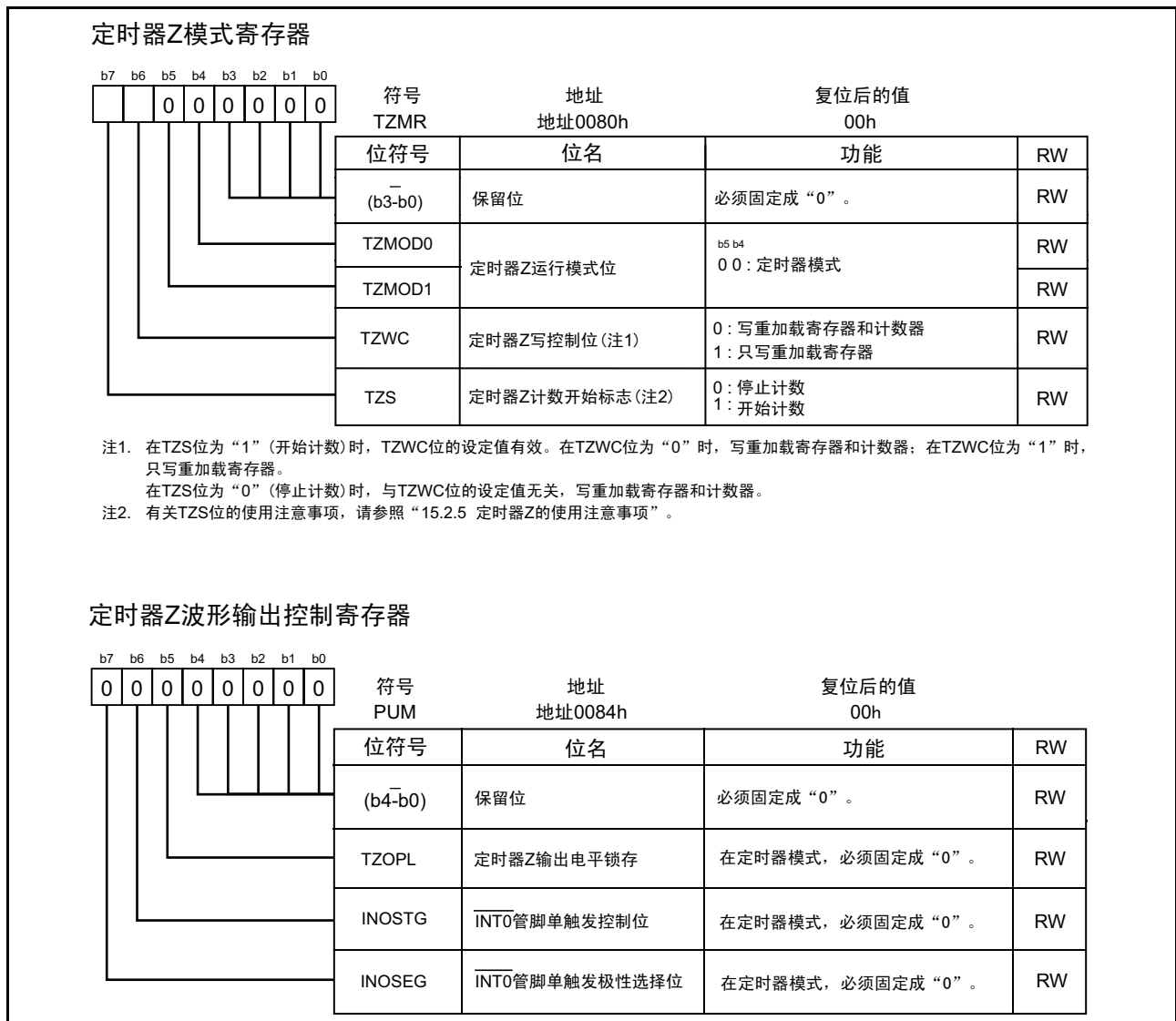


图 15.16 定时器模式时的 TZMR 和 PUM 寄存器

15.2.2 可编程波形发生模式

它是对 TZPR 寄存器和 TZSC 寄存器的值交替计数，每当计数器下溢时，反转从 TZOUT 管脚输出的信号的模式（表 15.8）。在计数开始时，从设定在 TZPR 寄存器的值开始计数。可编程波形发生模式时的 TZMR 和 PUM 寄存器如图 15.17 所示，可编程波形发生模式时的定时器 Z 的运行例子如图 15.18 所示。

表 15.8 可编程波形发生模式的说明

项目	说明
计数源	f1、f2、f8、定时器 X 下溢
计数运行	<ul style="list-style-type: none"> • 递减计数 • 下溢时交替重新装入主重加载寄存器和次重加载寄存器的内容，然后继续计数
输出波形的宽度和周期	主期间： $(n+1)(m+1)/f_i$ 次期间： $(n+1)(p+1)/f_i$ 周期： $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : 计数源频率 n : PREZ 寄存器的设定值、 m : TZPR 寄存器的设定值、 p : TZSC 寄存器的设定值
计数开始条件	对 TZMR 定时器的 TZS 位置“1”（开始计数）
计数停止条件	对 TZMR 寄存器的 TZS 位置“0”（停止计数）
中断请求发生时序	在从次期间的定时器 Z 下溢开始经过计数源的 1/2 周期后（和 TZOUT 输出变化同时）[定时器 Z 中断]
TZOUT 管脚功能	脉冲输出 （在用作可编程输入 / 输出端口时，必须置为定时器模式）
INT0 管脚功能	可编程输入 / 输出端口或者 INT0 中断输入管脚
读定时器	如果读 TZPR 寄存器和 PREZ 寄存器，就读取各自的计数值（注 1）
写定时器	如果给 TZSC 寄存器、PREZ 寄存器以及 TZPR 寄存器写数据，数据就只被写入各自的重加载寄存器（注 2）
选择功能	<ul style="list-style-type: none"> • 输出电平锁存选择功能 能通过 TZOPL 位选择主期间和次期间的输出电平 • 可编程波形发生输出转换功能 如果将 TZOC 寄存器的 TZOCNT 位设定为“0”，就和定时器 Z 下溢同步反转 TZOUT 的输出；如果该位设定为“1”，就从 TZOUT 输出 P1_3 位的值（注 3）

注 1 即使在对次期间计数中，也必须读 TZPR 寄存器。

注 2 通过对 TZPR 寄存器的写操作，设定在 TZPR 寄存器和 TZSC 寄存器的值有效。波形的输出在写 TZPR 寄存器后，从下一个主期间反映其设定值。

注 3 在以下时序 TZOCNT 位有效：

- 在开始计数时
- 在发生定时器 Z 中断请求时

所以在更改 TZOCNT 位后从下一个主期间的输出反映其设定值。

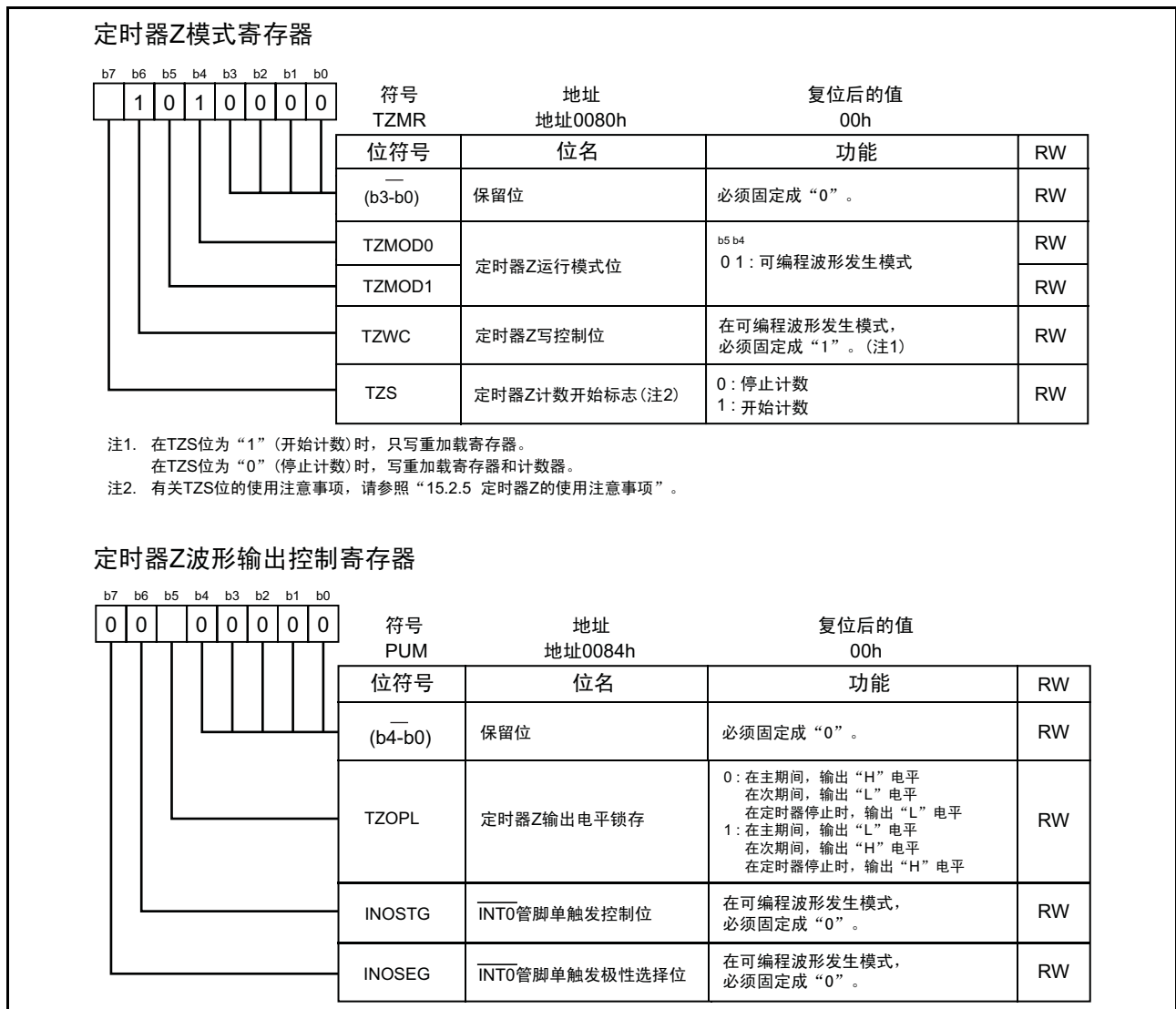


图 15.17 可编程波形发生模式时的 TZMR 和 PUM 寄存器

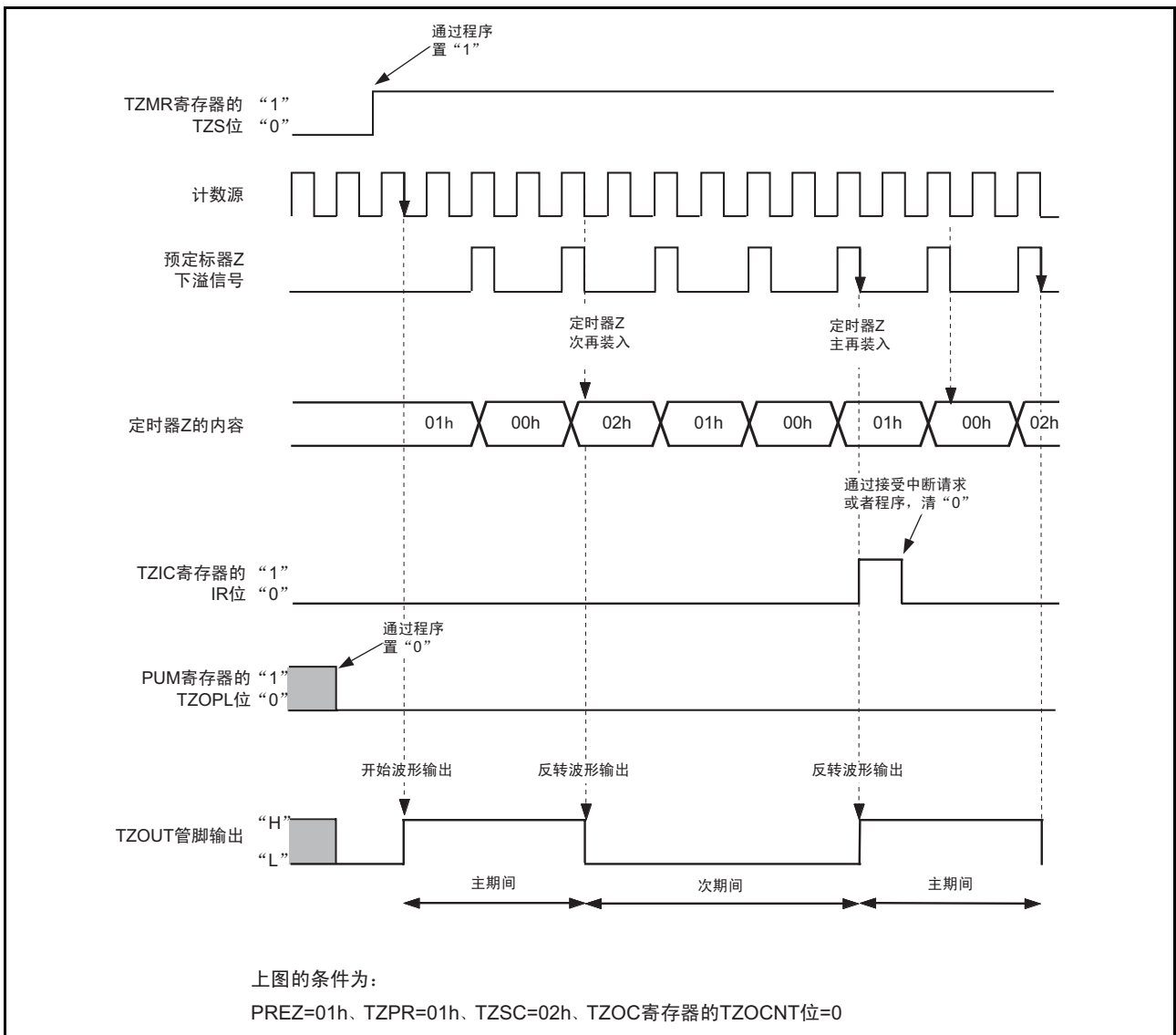


图 15.18 可编程波形发生模式时的定时器 Z 的运行例子

15.2.3 可编程单触发生模式

它是通过程序或者外部触发（ $\overline{\text{INT0}}$ 管脚的输入）从 TZOUT 管脚输出单触发脉冲的模式（表 15.9）。如果发生触发，就从此时起在任意时间（TZPR 寄存器的设定值）内，定时器只运行 1 次。在可编程单触发生模式时，不使用 TZSC 寄存器。可编程单触发生模式时的 TZMR 和 PUM 寄存器如图 15.19 所示，可编程单触发生模式时的运行例子如图 15.20 所示。

表 15.9 可编程单触发生模式的说明

项目	说明
计数源	f1、f2、f8、定时器 X 下溢
计数运行	<ul style="list-style-type: none"> 对 TZPR 寄存器的设定值递减计数 下溢时重新装入重加载寄存器的内容，然后结束计数，TZOS 位变为“0”（停止单触发） 计数停止时重新装入重加载寄存器的内容，然后计数
单触发脉冲输出时间	$(n+1)(m+1)/f_i$ f_i : 计数源频率、n: PREZ 寄存器的设定值、m: TZPR 寄存器的设定值
计数开始条件	<ul style="list-style-type: none"> 对 TZOC 寄存器的 TZOS 位置“1”（开始单触发）（注 1） 给 INT0 管脚输入有效触发（注 2）
计数停止条件	<ul style="list-style-type: none"> 在计数器的值为“00h”且重新装入后 对 TZMR 寄存器的 TZS 位置“0”（停止计数） 对 TZOC 寄存器的 TZOS 位置“0”（停止单触发）
中断请求发生时序	在从下溢开始经过计数源的 1/2 周期后（和结束从 TZOUT 管脚的波形输出同时）[定时器 Z 中断]
TZOUT 管脚功能	脉冲输出 (在用作可编程输入 / 输出端口时，必须置为定时器模式)
INT0 管脚功能	<ul style="list-style-type: none"> 在 PUM 寄存器的 INOSTG 位为“0”（$\overline{\text{INT0}}$ 管脚单触发无效）时，为可编程输入 / 输出端口或者 $\overline{\text{INT0}}$ 中断输入 在 PUM 寄存器的 INOSTG 位为“1”（$\overline{\text{INT0}}$ 管脚单触发有效）时，为外部触发输入（$\overline{\text{INT0}}$ 中断输入）
读定时器	如果读 TZPR 寄存器和 PREZ 寄存器，就读取各自的计数值
写定时器	如果给 TZPR 寄存器和 PREZ 寄存器写数据，数据就只被写入各自的重加载寄存器（注 3）
选择功能	<ul style="list-style-type: none"> 输出电平锁存选择功能 能通过 TZOPL 位选择单触发脉冲波形的输出电平 $\overline{\text{INT0}}$ 管脚单触发控制功能和极性选择功能 能通过 INOSTG 位选择从 $\overline{\text{INT0}}$ 管脚的触发输入是否有效，通过 INOSEG 位选择有效触发极性

注 1 必须将 TZMR 寄存器的 TZS 位置“1”（开始计数）。

注 2 必须将 TZS 位置“1”（开始计数），INTEN 寄存器的 INT0EN 位置“1”（允许 $\overline{\text{INT0}}$ 输入），并且将 PUM 寄存器的 INOSTG 位置“1”（ $\overline{\text{INT0}}$ 单触发有效）。
不接受计数中输入的触发，但是产生 INT0 中断请求。

注 3 从写 TZPR 寄存器后的下一个单触发脉冲反映其设定值。

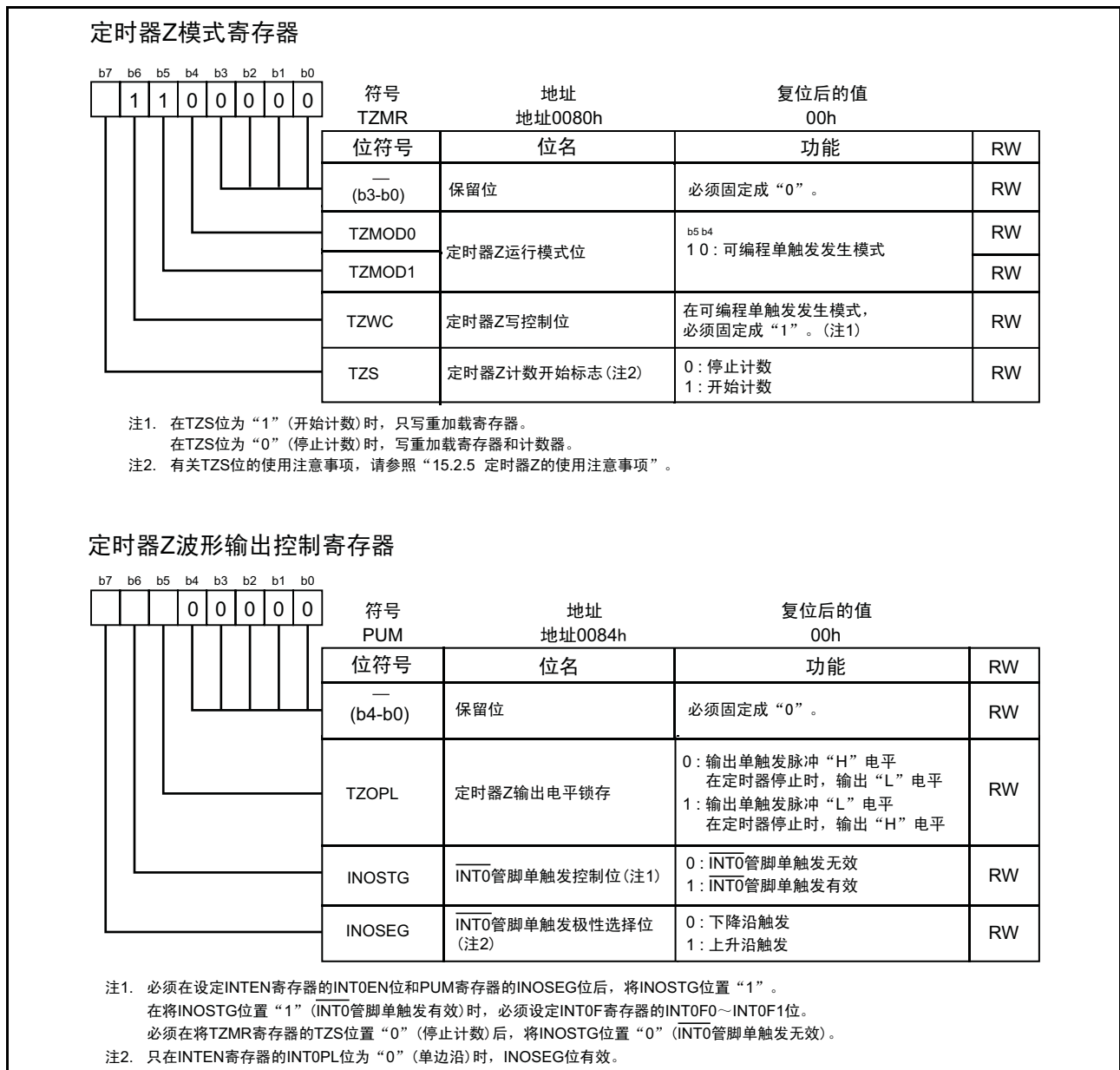


图 15.19 可编程单触发生模式时的 TZMR 和 PUM 寄存器

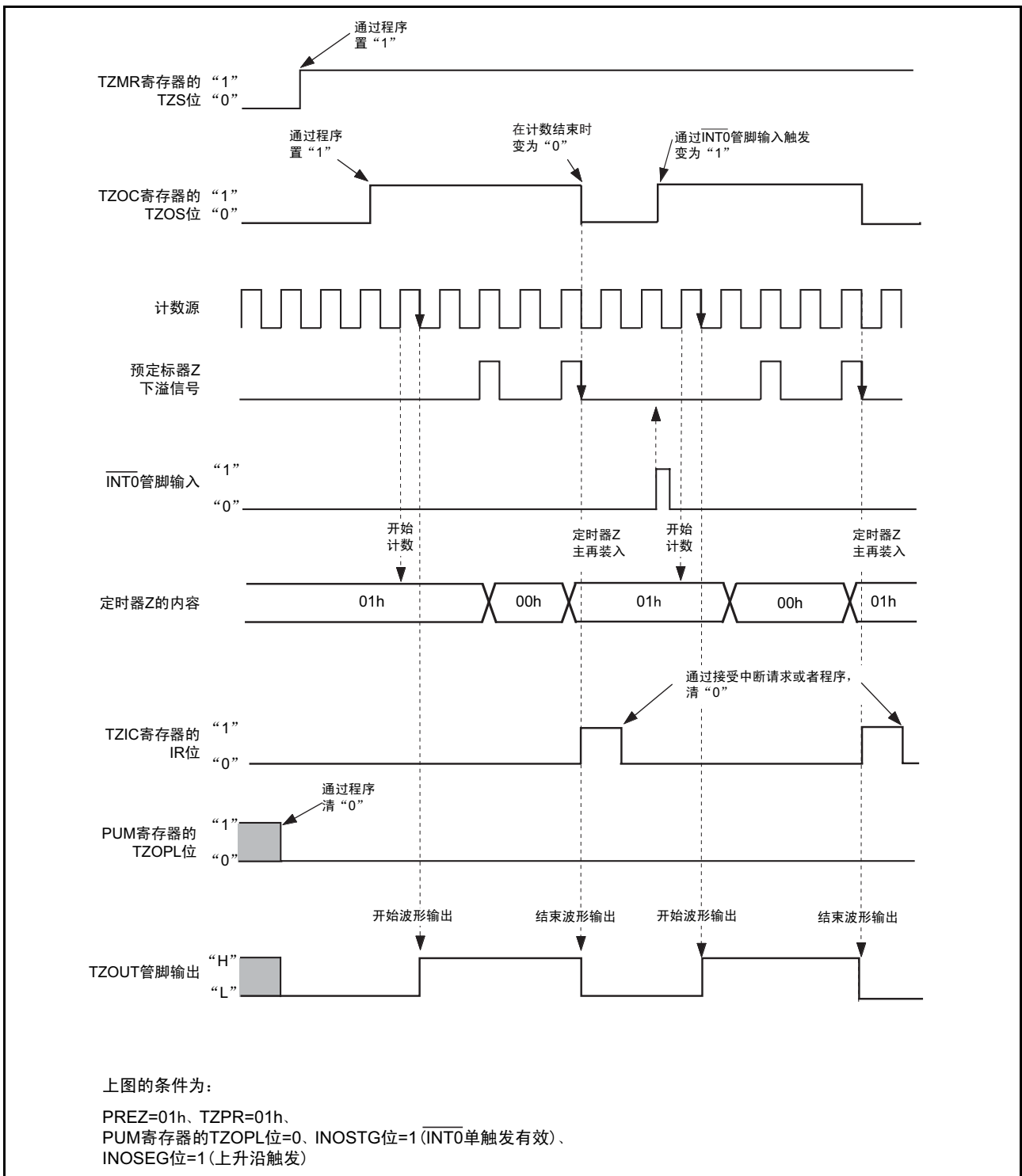


图 15.20 可编程单触发发生模式时的运行例子

15.2.4 可编程等待单触发发生模式

它是通过程序或者外部触发 ($\overline{\text{INT0}}$ 管脚的输入), 在经过一定时间后从 TZOUT 管脚输出单触发脉冲的模式 (表 15.10)。如果发生触发, 就从此时开始, 在经过任意时间 (TZPR 寄存器的设定值) 后, 只输出 1 次任意时间 (TZSC 寄存器的设定值) 的脉冲。可编程等待单触发发生模式时的 TZMR 和 PUM 寄存器如图 15.21 所示, 可编程等待单触发发生模式时的运行例子如图 15.22 所示。

表 15.10 可编程等待单触发发生模式的说明

项目	说明
计数源	f1、f2、f8、定时器 X 下溢
计数运行	<ul style="list-style-type: none"> 对定时器 Z 主寄存器的设定值递减计数 在定时器 Z 主寄存器的计数下溢时, 重新装入定时器 Z 次寄存器的内容, 然后继续计数 在定时器 Z 次寄存器的计数下溢时, 重新装入定时器 Z 主寄存器的内容, 然后结束计数, TZOS 位变为“0”(停止单触发) 计数停止时重新装入重加载寄存器的内容, 然后停止计数
等待时间	$(n+1)(m+1)/f_i$ f_i : 计数源频率、n: PREZ 寄存器的设定值、m: TZPR 寄存器的设定值
单触发脉冲输出时间	$(n+1)(p+1)/f_i$ f_i : 计数源频率、n: PREZ 寄存器的设定值、p: TZSC 寄存器的设定值
计数开始条件	<ul style="list-style-type: none"> 给 TZOC 寄存器的 TZOS 位写“1”(开始单触发) (注 1) 给 INT0 管脚输入有效触发 (注 2)
计数停止条件	<ul style="list-style-type: none"> 在定时器 Z 次寄存器计数时的计数值为“00h”且重新装入后 对 TZMR 寄存器的 Tzs 位置“0”(停止计数) 对 TZOC 寄存器的 TZOS 位置“0”(停止单触发)
中断请求发生时序	从次期间的定时器 Z 下溢开始经过计数源的 1/2 周期后 (和结束从 TZOUT 管脚的波形输出同时) [定时器 Z 中断]
TZOUT 管脚功能	脉冲输出 (在用作可编程输入 / 输出端口时, 必须置为定时器模式)
$\overline{\text{INT0}}$ 管脚功能	<ul style="list-style-type: none"> 在 PUM 寄存器的 INOSTG 位为“0” ($\overline{\text{INT0}}$ 管脚单触发无效) 时, 为可编程输入 / 输出端口或者 $\overline{\text{INT0}}$ 中断输入 在 PUM 寄存器的 INOSTG 位为“1” ($\overline{\text{INT0}}$ 管脚单触发有效) 时, 为外部触发输入 ($\overline{\text{INT0}}$ 中断输入)
读定时器	如果读 TZPR 寄存器和 PREZ 寄存器, 就读取各自的计数值
写定时器	如果给 TZPR 寄存器、PREZ 寄存器和 TZSC 寄存器写数据, 数据就只被写入各自的重加载寄存器 (注 3)
选择功能	<ul style="list-style-type: none"> 输出电平锁存选择功能 能通过 TZOPL 位选择单触发脉冲波形的输出电平 $\overline{\text{INT0}}$ 管脚单触发控制功能和极性选择功能 能通过 INOSTG 位选择从 $\overline{\text{INT0}}$ 管脚的触发输入是否有效, 通过 INOSEG 位选择有效触发极性。

注 1 必须将 TZMR 寄存器的 Tzs 位置“1”(开始计数)。

注 2 必须将 Tzs 位置“1”(开始计数), 将 INTEN 寄存器的 INT0EN 位置“1”(允许 $\overline{\text{INT0}}$ 输入), 并且将 PUM 寄存器的 INOSTG 位置“1” ($\overline{\text{INT0}}$ 单触发有效)。
不接受计数中输入的触发, 但是产生 $\overline{\text{INT0}}$ 中断请求。

注 3 从写 TZPR 寄存器后的下一个单触发脉冲反映其设定值。

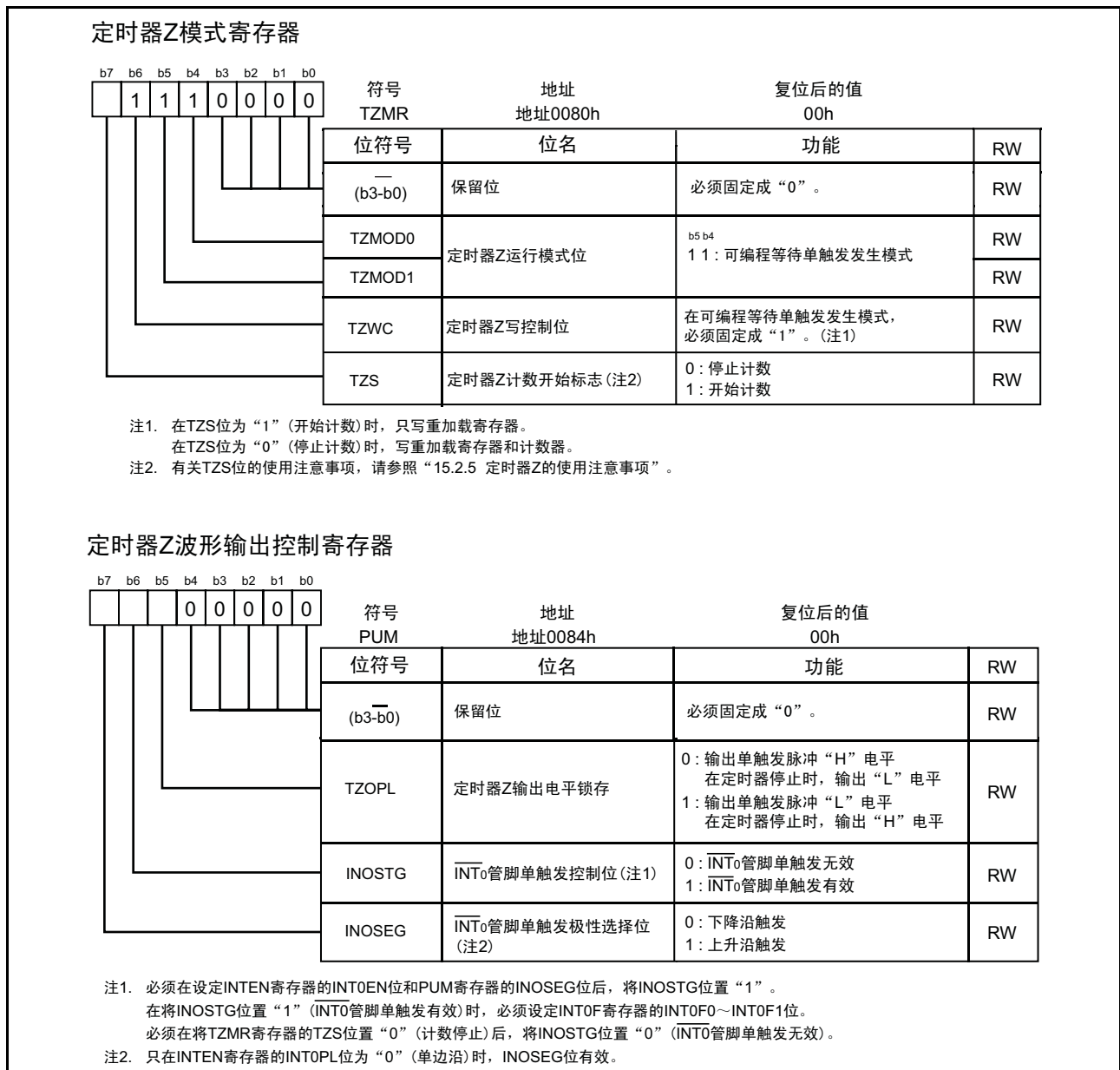


图 15.21 可编程等待单触发生模式时的 TZMR 和 PUM 寄存器

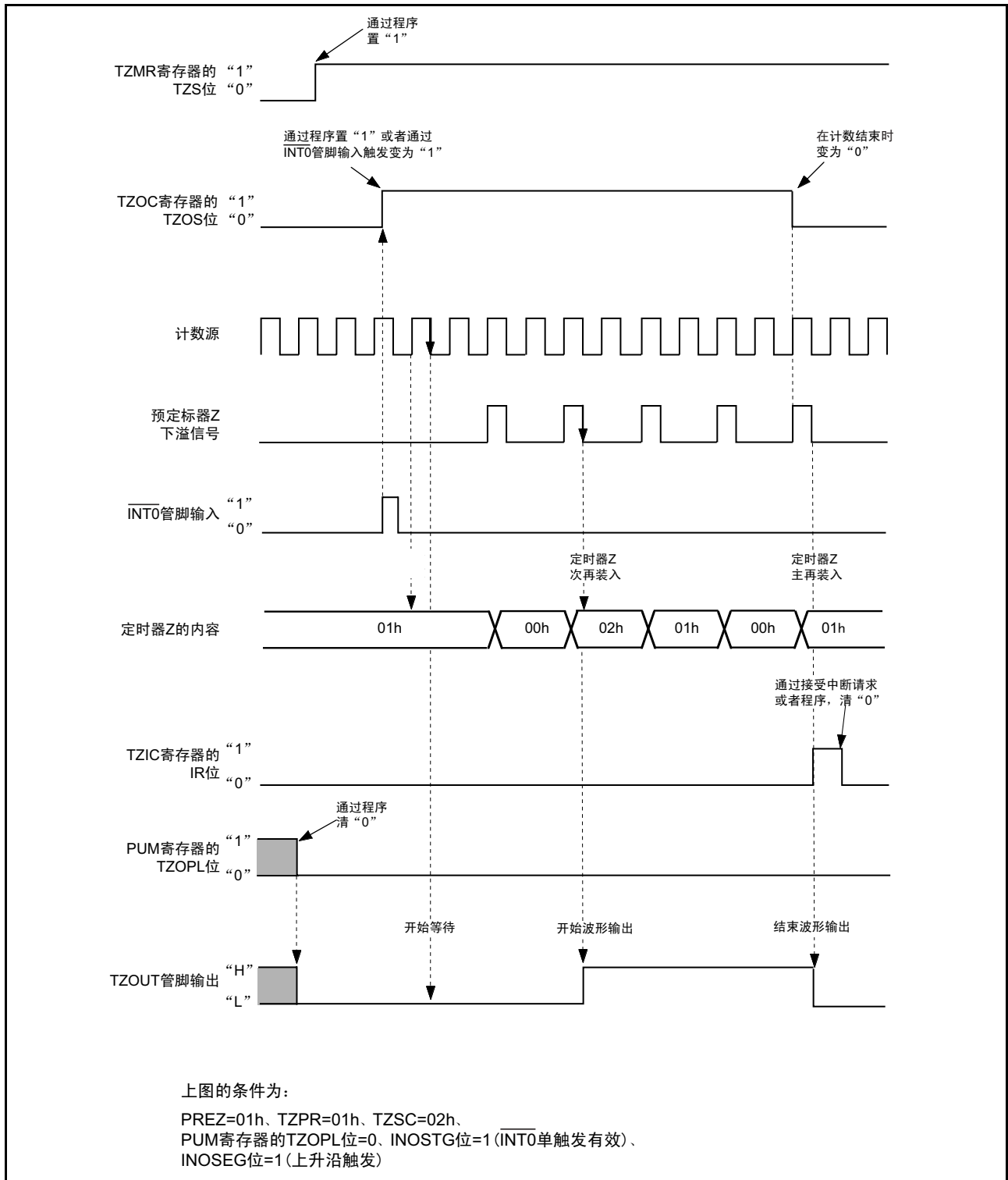


图 15.22 可编程等待单触发发生模式时的运行例子

15.2.5 定时器 Z 的使用注意事项

- 在复位后，定时器停止计数。必须在对定时器和预定标器设定值后，开始计数。
- 即使以 16 位单位读取预定标器和定时器，在单片机内部也按字节顺序读取。因此，在读取这 2 个寄存器期间，定时器值可能会更新。
- 不能同时改写 TZMR 寄存器的 TZMOD0 ~ TZMOD1 位和 TZS 位。
- 可编程单触发生模式和可编程等待单触发生模式时，如果在 TZMR 寄存器的 TZS 位置“0”后停止计数，或者在 TZOC 寄存器的 TZOS 位置“0”后停止单触发，定时器就重新装入重加载寄存器的值后停止。定时器的计数值必须在定时器停止前读取。
- TZMR 寄存器的 TZS 位有指示定时器 Z 开始或者停止计数的功能、表示开始或者停止计数的功能。在计数停止中，如果在 TZS 位置“1”（开始计数）后且在输入下一个计数源之前读取 TZS 位，读到的值总为“0”（停止计数）。如果输入了下一个计数源，就能从 TZS 位读到“1”。在能从 TZS 位读到“1”之前，除了 TZS 位以外，不能存取定时器 Z 的相关寄存器（TZMR、PREZ、TZSC、TZPR、TZOC、PUM、TCSC、TZIC 寄存器）。在 TZS 位为“1”后，从下一个计数源开始计数。同样，如果在计数中对 TZS 位置“0”（停止计数），就在下一个计数源停止定时器 Z 的计数。如果在 TZS 位置“0”后且在停止计数之前读取 TZS 位，读到的值总为“1”（开始计数）。在 TZS 位置“0”后且在能从 TZS 位读到“0”之前，除了 TZS 位以外，不能存取定时器 Z 的相关寄存器。

15.3 定时器 C

定时器 C 是 16 位定时器。定时器 C 的框图如图 15.23、CMP 波形生成部的框图如图 15.24、CMP 波形输出部的框图如图 15.25 所示。

定时器 C 具有输入捕捉模式和输出比较模式 2 种模式。

和定时器 C 有关的寄存器如图 15.26 ~ 图 15.29 所示。

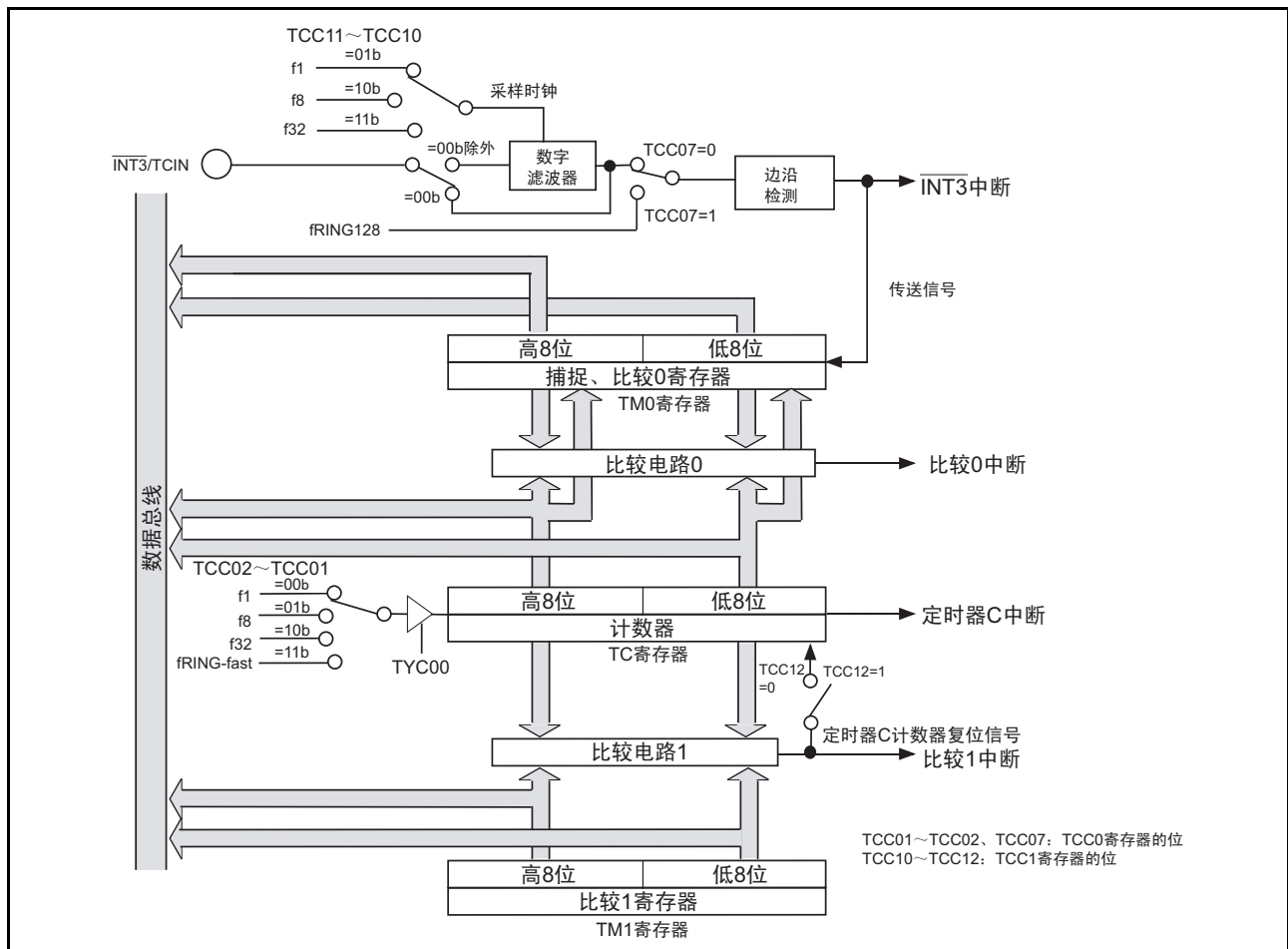


图 15.23 定时器 C 框图

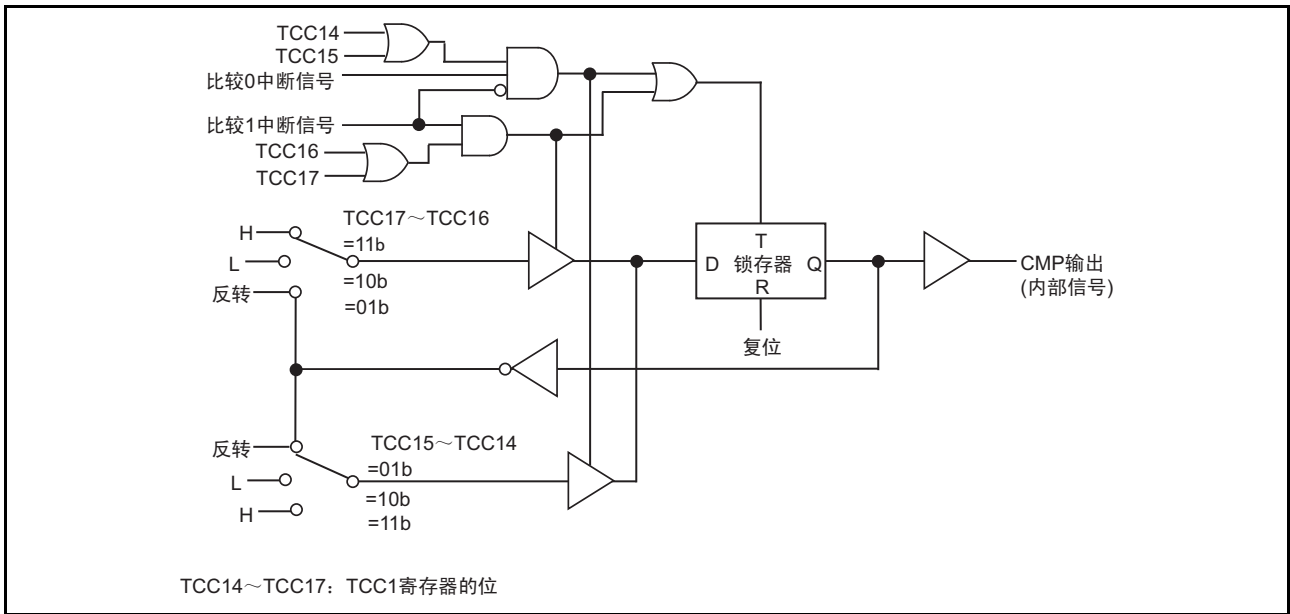


图 15.24 CMP 波形生成部的框图

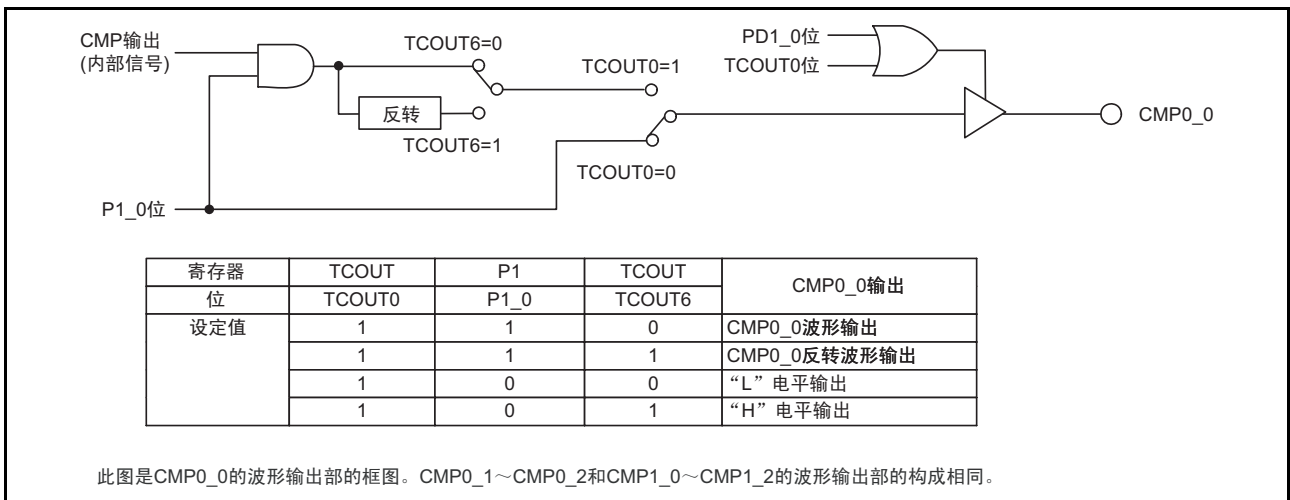


图 15.25 CMP 波形输出部的框图

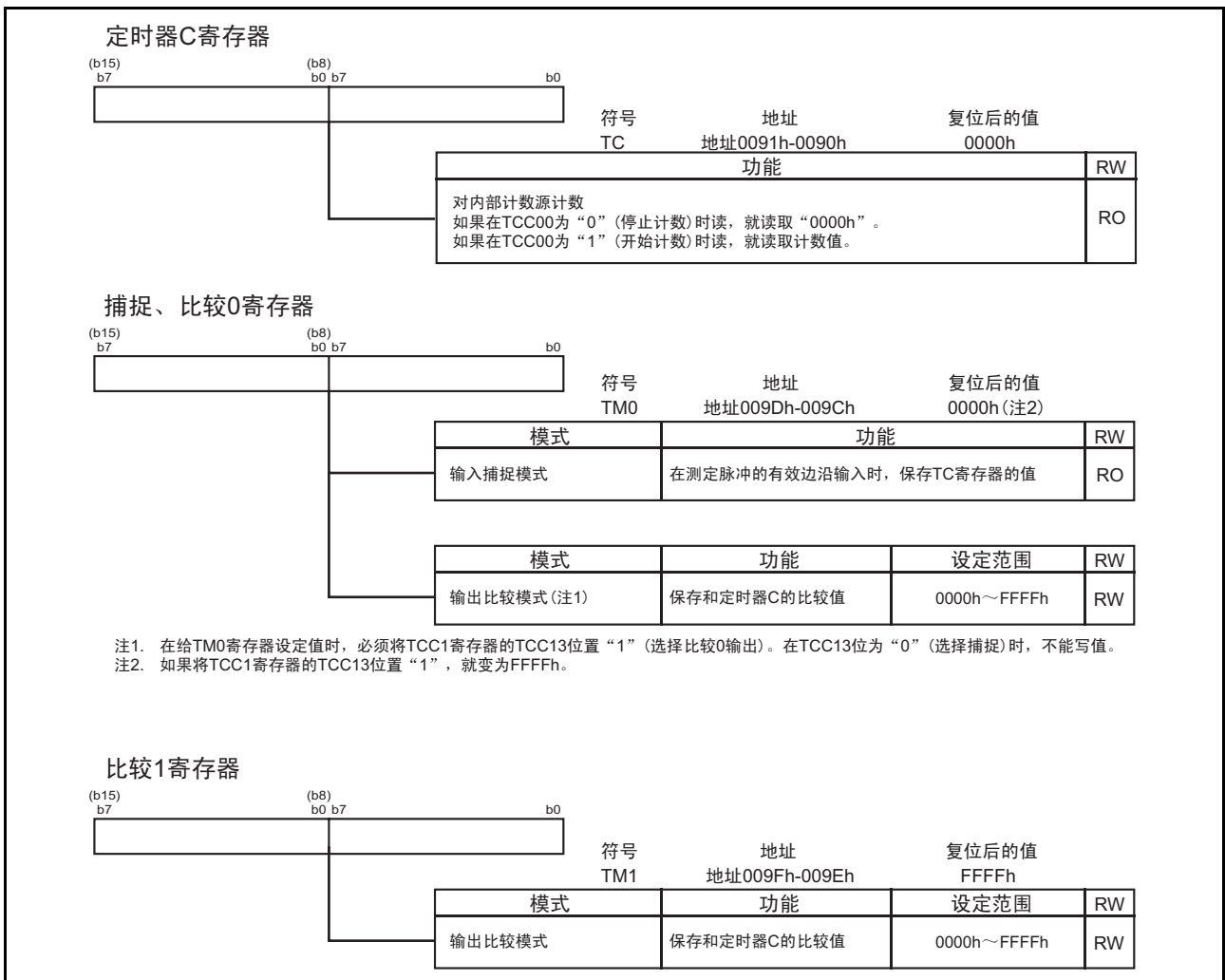


图 15.26 TC、TM0 以及 TM1 寄存器

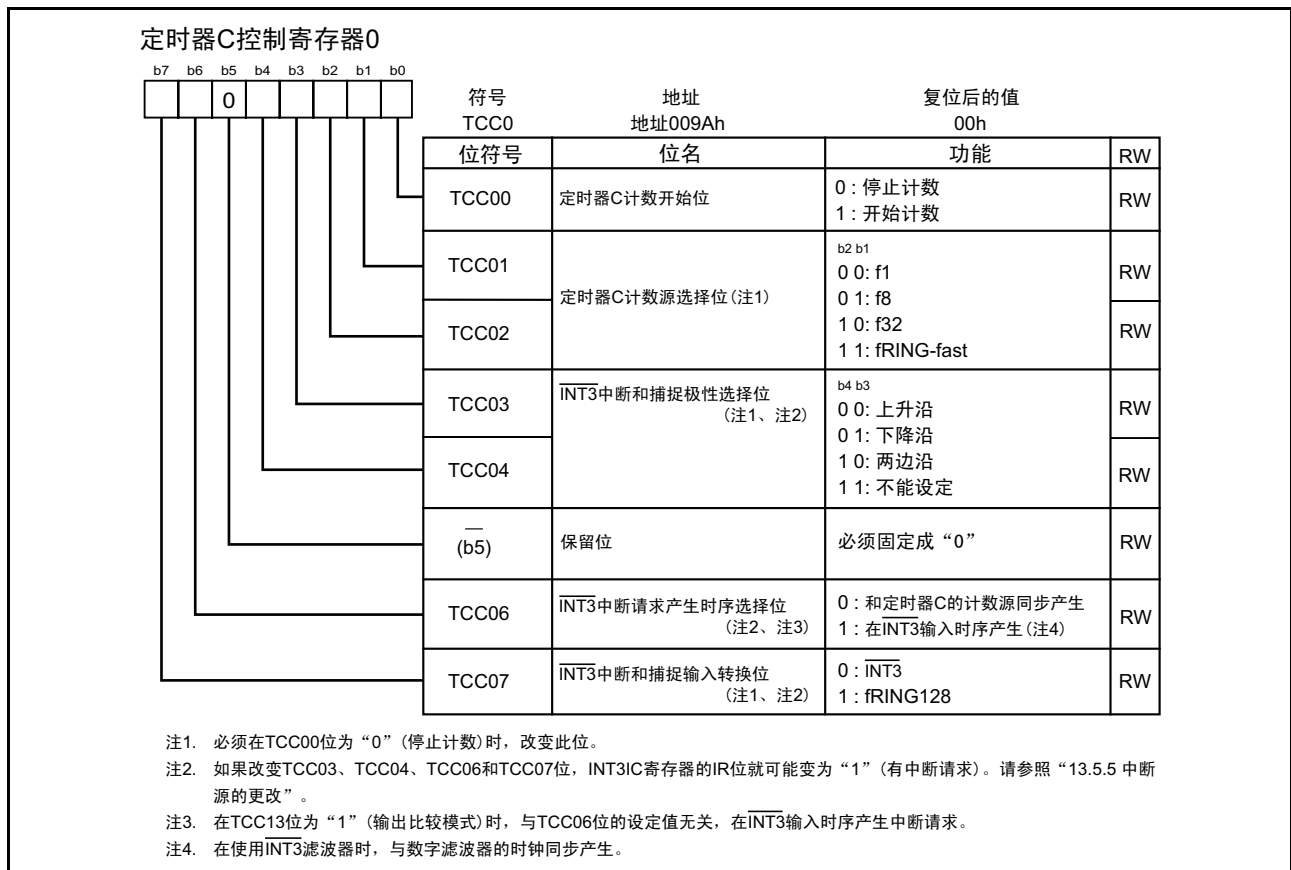


图 15.27 TCC0 寄存器

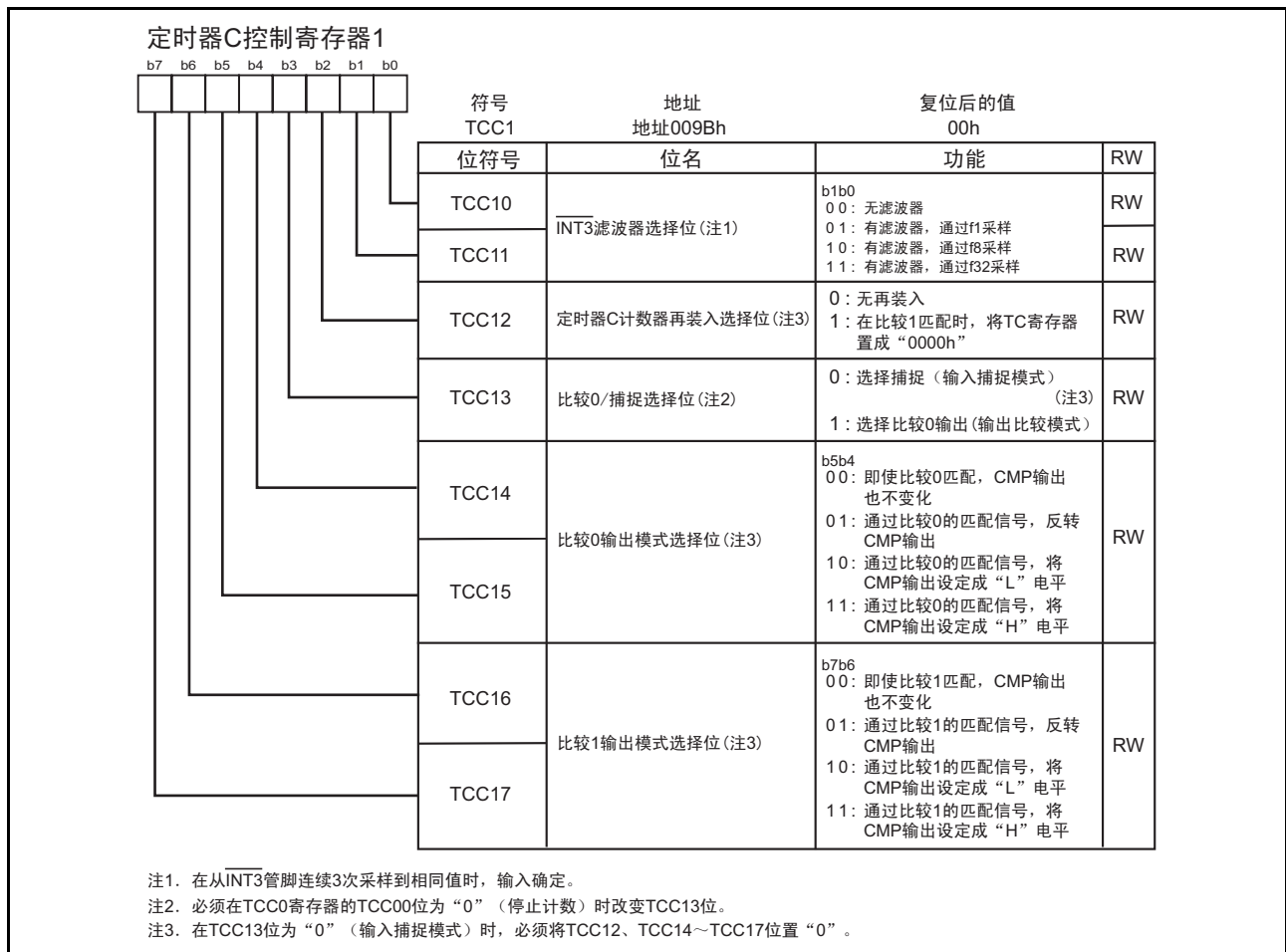


图 15.28 TCC1 寄存器

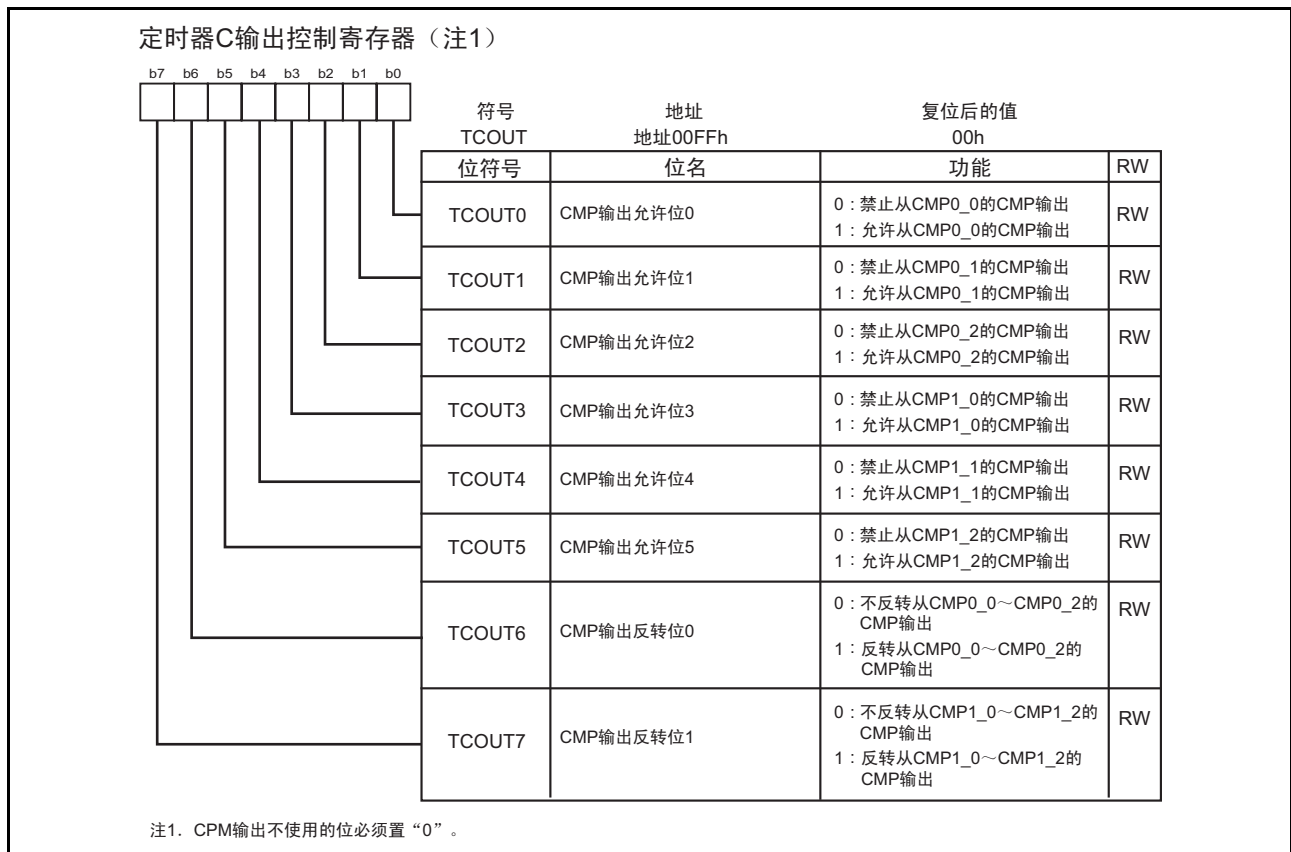


图 15.29 TCOUT 寄存器

15.3.1 输入捕捉模式

输入捕捉模式是将 TCIN 管脚的边沿输入或者 fRING128 时钟作为触发信号锁存定时器的值，并产生中断请求的模式。另外，对于 TCIN 输入，由于内藏数字滤波器，因此能防止由噪声引起的误动作。输入捕捉模式的说明如表 15.11 所示，输入捕捉模式的运行例子如图 15.30 所示。

表 15.11 输入捕捉模式的说明

项目	说明
计数源	f1、f8、f32、fRING-fast
计数运行	<ul style="list-style-type: none"> • 递增计数 • 在测定脉冲的有效边沿输入时，将 TC 寄存器的值传送给 TM0 寄存器 • 在计数停止时，TC 寄存器的值为“0000h”
计数开始条件	对 TCC0 寄存器的 TCC00 位置“1”（开始计数）
计数停止条件	对 TCC0 寄存器的 TCC00 位置“0”（停止计数）
中断请求发生时序	<ul style="list-style-type: none"> • 在测定脉冲的有效边沿输入时 [INT3 中断]（注 1） • 在定时器 C 溢出时 [定时器 C 中断]
INT3/TCIN 管脚功能	可编程输入 / 输出端口或者测定脉冲输入（INT3 中断输入）
P1_0 ~ P1_2、 P3_3 ~ P3_5 管脚功能	可编程输入 / 输出端口
计数器值初始化时序	在对 TCC0 寄存器的 TCC00 位置“0”（停止计数）时
读定时器（注 2）	<ul style="list-style-type: none"> • 如果读 TC 寄存器，就读取计数值 • 如果读 TM0 寄存器，就读取测定脉冲有效边沿输入时的计数值
写定时器	不能写 TC 寄存器和 TM0 寄存器
选择功能	<ul style="list-style-type: none"> • INT3/TCIN 极性选择功能 能通过 TCC03 ~ TCC04 位选择测定脉冲的有效边沿 • 数字滤波器功能 能通过 TCC10 ~ TCC11 位选择数字滤波器采样频率 • 触发选择功能 能通过 TCC07 位选择 TCIN 输入或者 fRING128

注 1 INT3 中断将发生由数字滤波器产生的延迟和计数源的 1 个周期（最大）的延迟。

注 2 必须以 16 位单位读 TC 寄存器和 TM0 寄存器。

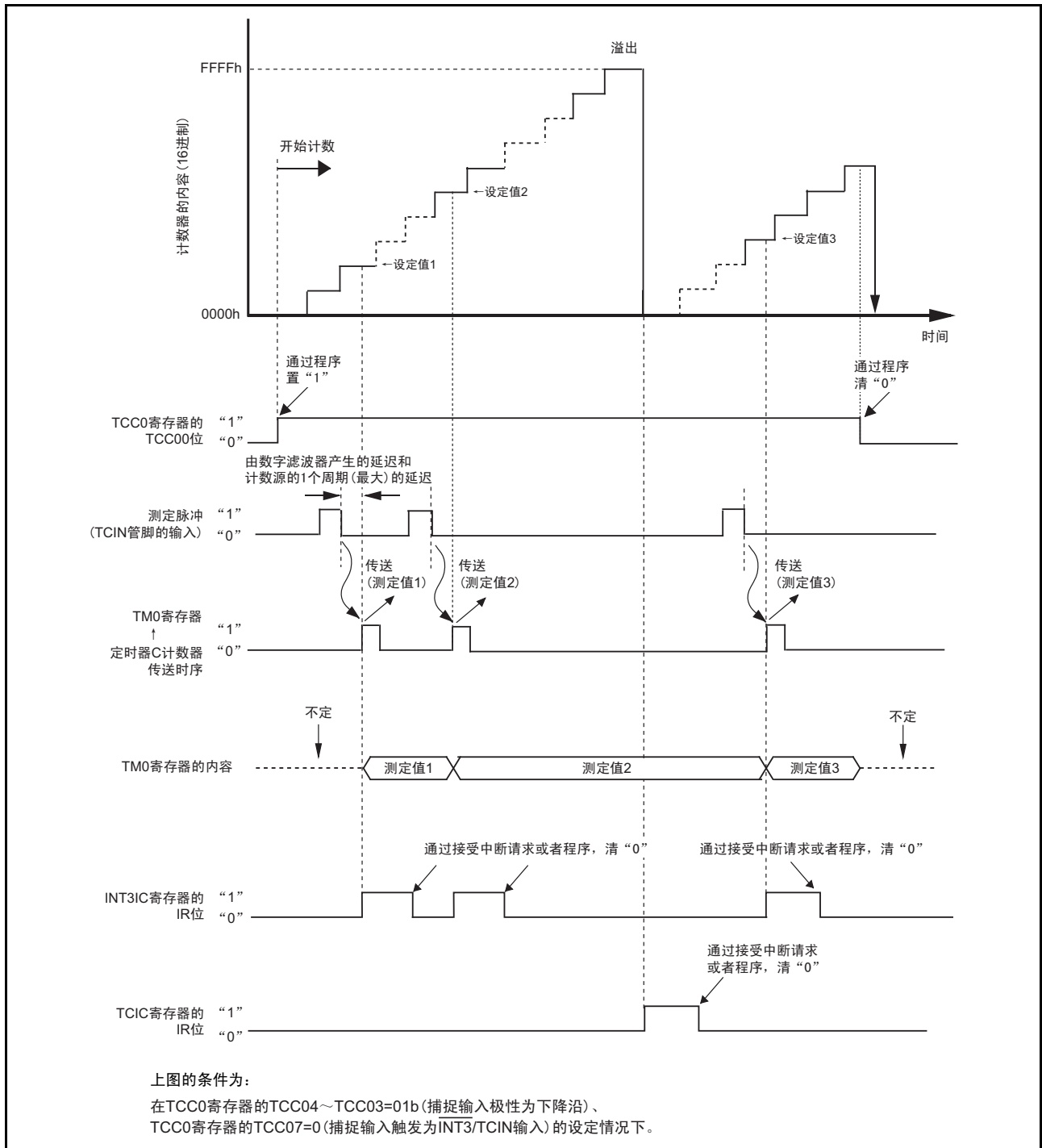


图 15.30 输入捕捉模式的运行例子

15.3.2 输出比较模式

输出比较模式是在 TC 寄存器和 TM0 寄存器、或者 TC 寄存器和 TM1 寄存器的值匹配时产生中断请求的模式。输出比较模式的说明如表 15.12 所示，输出比较模式的运行例子如图 15.31 所示。

表 15.12 输出比较模式的说明

项目	说明
计数源	f1、f8、f32、fRING-fast
计数运行	<ul style="list-style-type: none"> • 递增计数 • 在计数停止时，TC 寄存器的值为“0000h”
计数开始条件	对 TCC0 寄存器的 TCC00 位置“1”（开始计数）
计数停止条件	对 TCC0 寄存器的 TCC00 位置“0”（停止计数）
波形输出开始条件	对 TCOUT 寄存器的 TCOUT0 ~ TCOUT5 位置“1”（允许 CMP 输出）（注 2）
波形输出停止条件	对 TCOUT 寄存器的 TCOUT0 ~ TCOUT5 位置“0”（禁止 CMP 输出）
中断请求发生时序	<ul style="list-style-type: none"> • 在比较电路 0 匹配时 [比较 0 中断] • 在比较电路 1 匹配时 [比较 1 中断] • 在定时器 C 溢出时 [定时器 C 中断]
$\overline{\text{INT3}}/\text{TCIN}$ 管脚功能	可编程输入 / 输出端口或者 $\overline{\text{INT3}}$ 中断输入
P1_0 ~ P1_2、 P3_3 ~ P3_5 管脚功能	可编程输入 / 输出端口或者 CMP 输出（注 1）
计数器值初始化时序	在对 TCC0 寄存器的 TCC00 位置“0”（停止计数）时
读定时器（注 2）	<ul style="list-style-type: none"> • 如果读 TC 寄存器，就读取计数值 • 如果读 TM0 和 TM1 寄存器，就读取比较寄存器的值
写定时器（注 2）	<ul style="list-style-type: none"> • 不能写 TC 寄存器 • 如果写 TM0 和 TM1 寄存器，就在下列时序将值保存到比较寄存器： <ul style="list-style-type: none"> - 如果 TCC00 位为“0”（停止计数），就在写 TM0 和 TM1 寄存器的同时 - 如果 TCC00 位为“1”（在计数中）并且 TCC1 寄存器的 TCC12 位为“0”（无再装入），就在计数器溢出时 - 如果 TCC00 位为“1”并且 TCC12 位为“1”（在比较 1 匹配时将 TC 寄存器置“0000h”），就在比较 1 和计数器匹配时
选择功能	<ul style="list-style-type: none"> • 定时器 C 计数器再装入选择功能 能通过 TCC1 寄存器的 TCC12 位，选择在比较电路 1 匹配时是否将 TC 寄存器的计数器值置“0000h” • 能通过 TCC1 寄存器的 TCC14 ~ TCC15 位选择比较电路 0 匹配时的输出电平，并且能通过 TCC1 寄存器的 TCC16 ~ TCC17 位选择比较电路 1 匹配时的输出电平 • 能通过 TCOUT 寄存器的 TCOUT6 ~ TCOUT7 位选择是否反转输出

注 1 在该端口的数据为“1”时，根据 TCC1、TCOUT 寄存器的设定来输出波形。在该端口的数据为“0”时，输出固定电平（参照“图 15.25 CMP 波形输出部框图”）。

注 2 必须以 16 位单位存取 TC、TM0 和 TM1 寄存器。

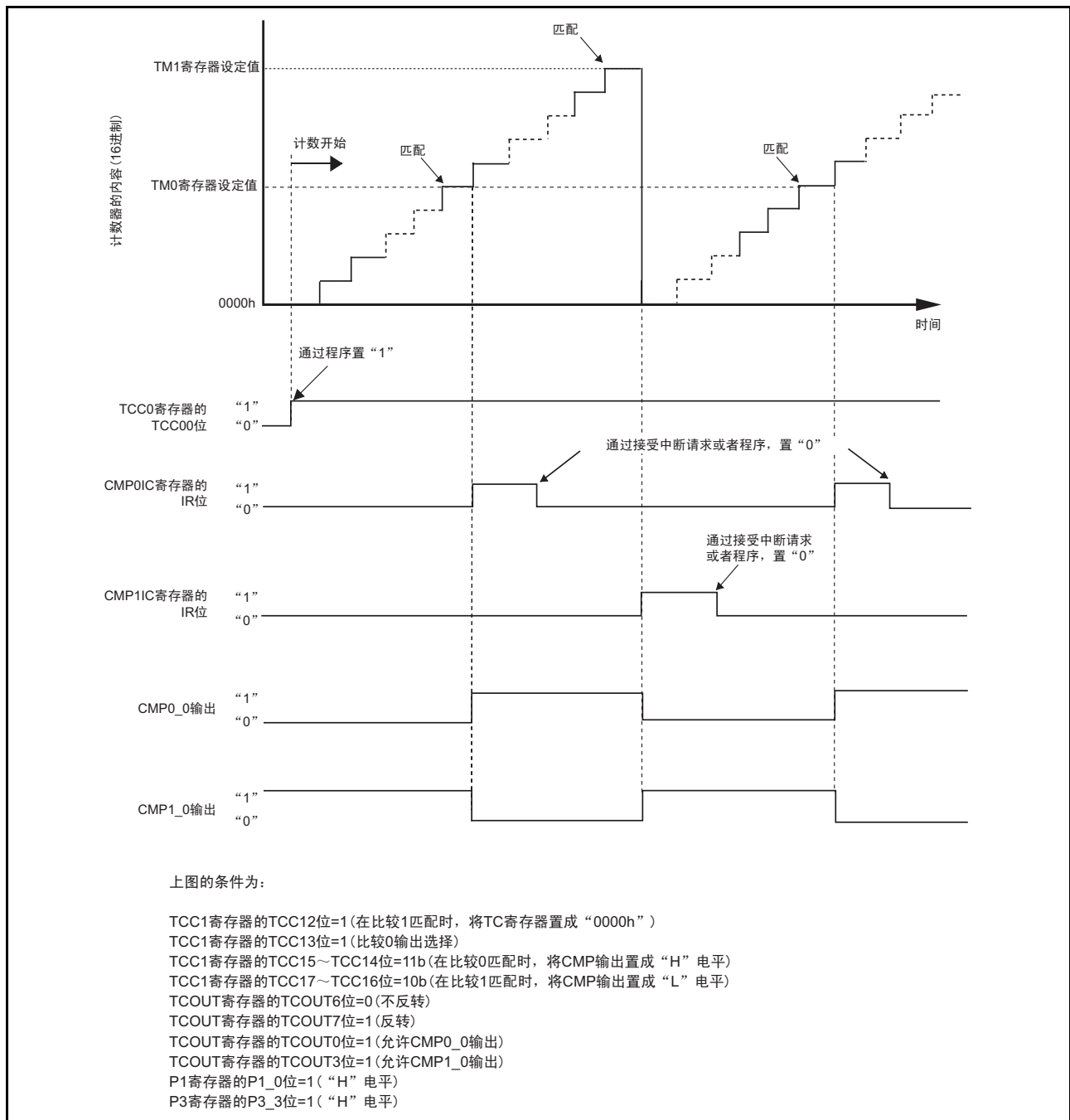


图 15.31 输出比较模式的运行例子

15.3.3 定时器 C 的使用注意事项

必须以 16 位为单位存取 TC 寄存器、TM0 寄存器和 TM1 寄存器。

如果以 16 位单位读取 TC 寄存器，就在读取低位字节和高位字节期间，定时器值不会被更新。

<读取定时器 C 的程序例子>

```
MOV.W    0090H, R0 ; 读取定时器 C
```

16. 串行接口

串行接口由 UART0 和 UART1 二个通道构成。UART0 和 UART1 分别具有产生传送时钟的专用定时器，独立运行。

UART_i (i=0 ~ 1) 的框图如图 16.1 所示，发送部和接收部的框图如图 16.2 所示。

UART0 具有时钟同步串行 I/O 模式和时钟异步串行 I/O 模式（UART 模式）2 种模式。

UART1 只有时钟异步串行 I/O 模式（UART 模式）。

有关 UART_i 的寄存器如图 16.3 ~ 图 16.5 所示。

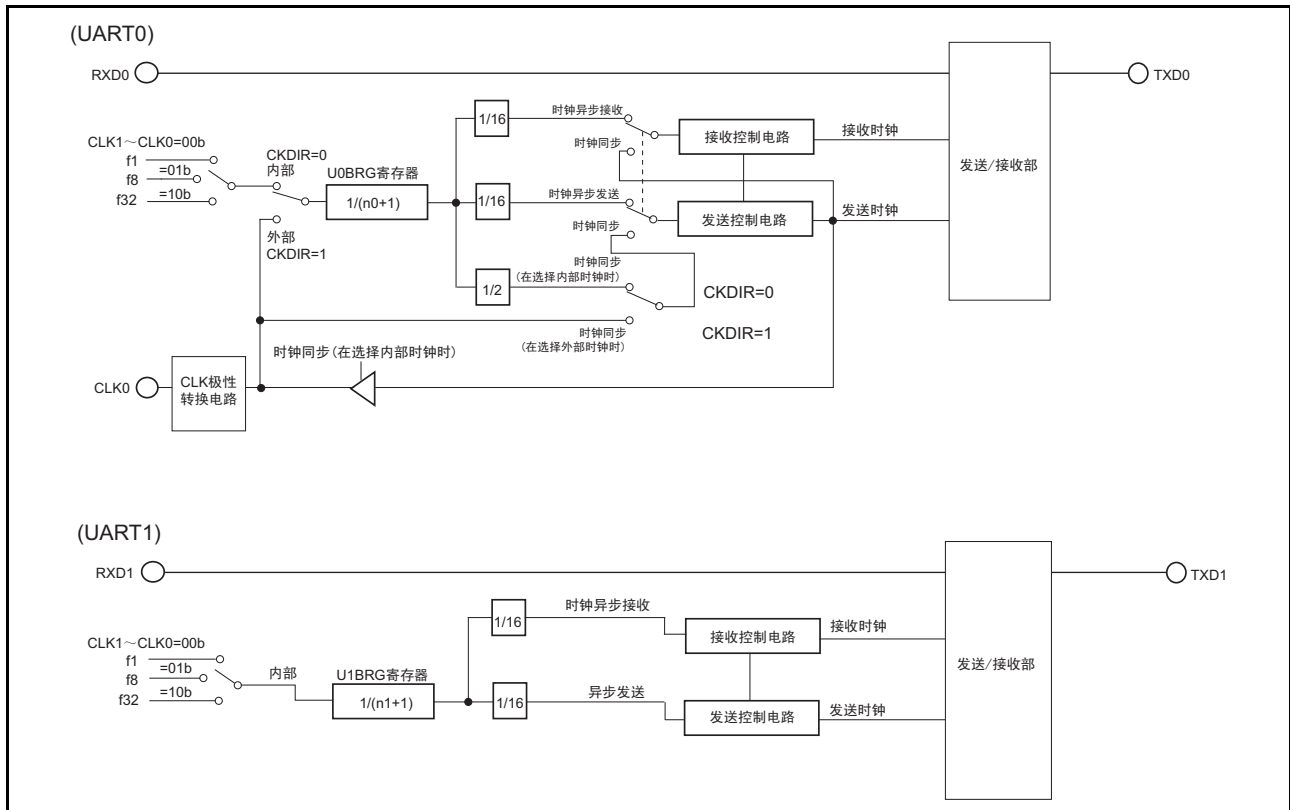


图 16.1 UART_i (i=0 ~ 1) 框图

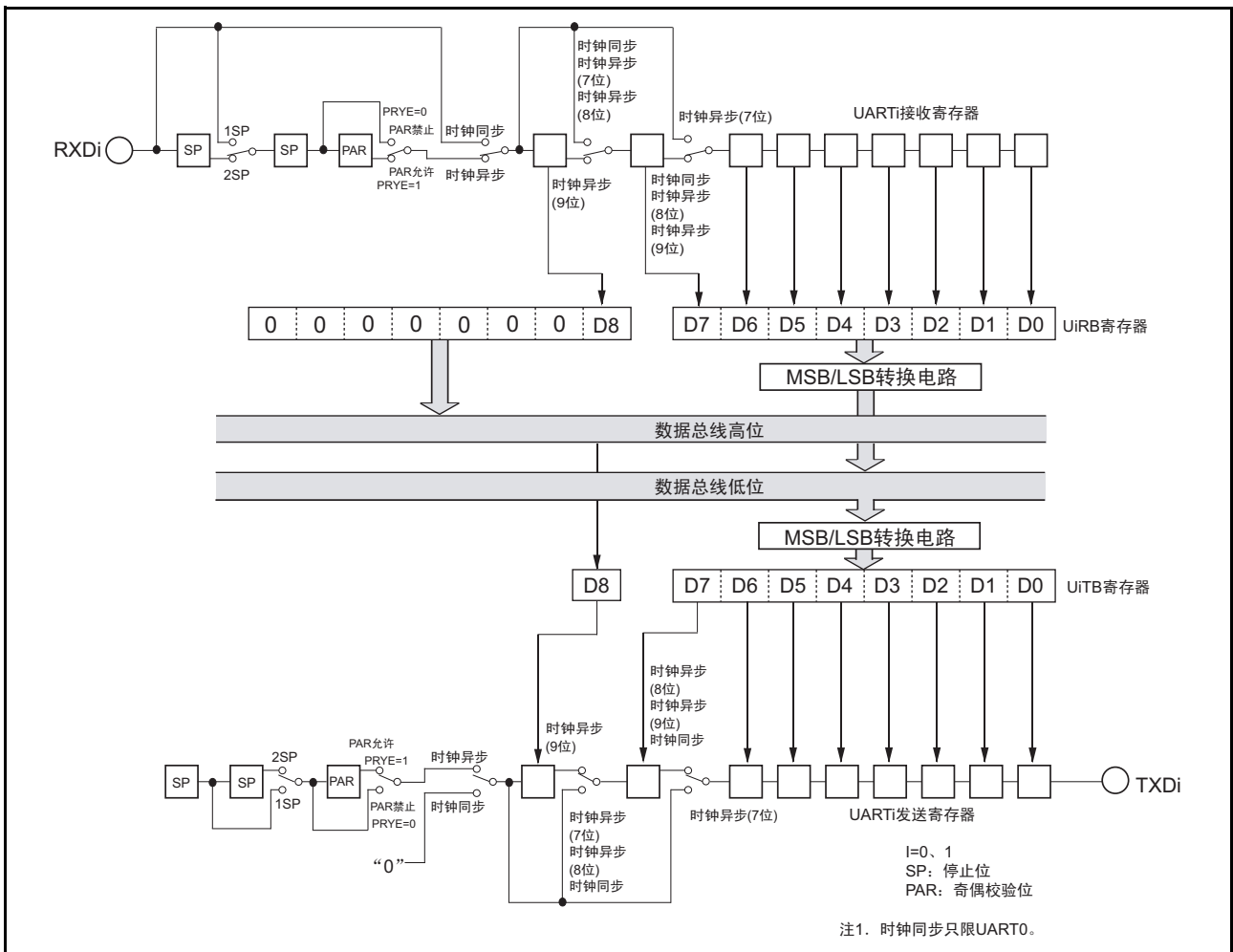


图 16.2 发送和接收部框图

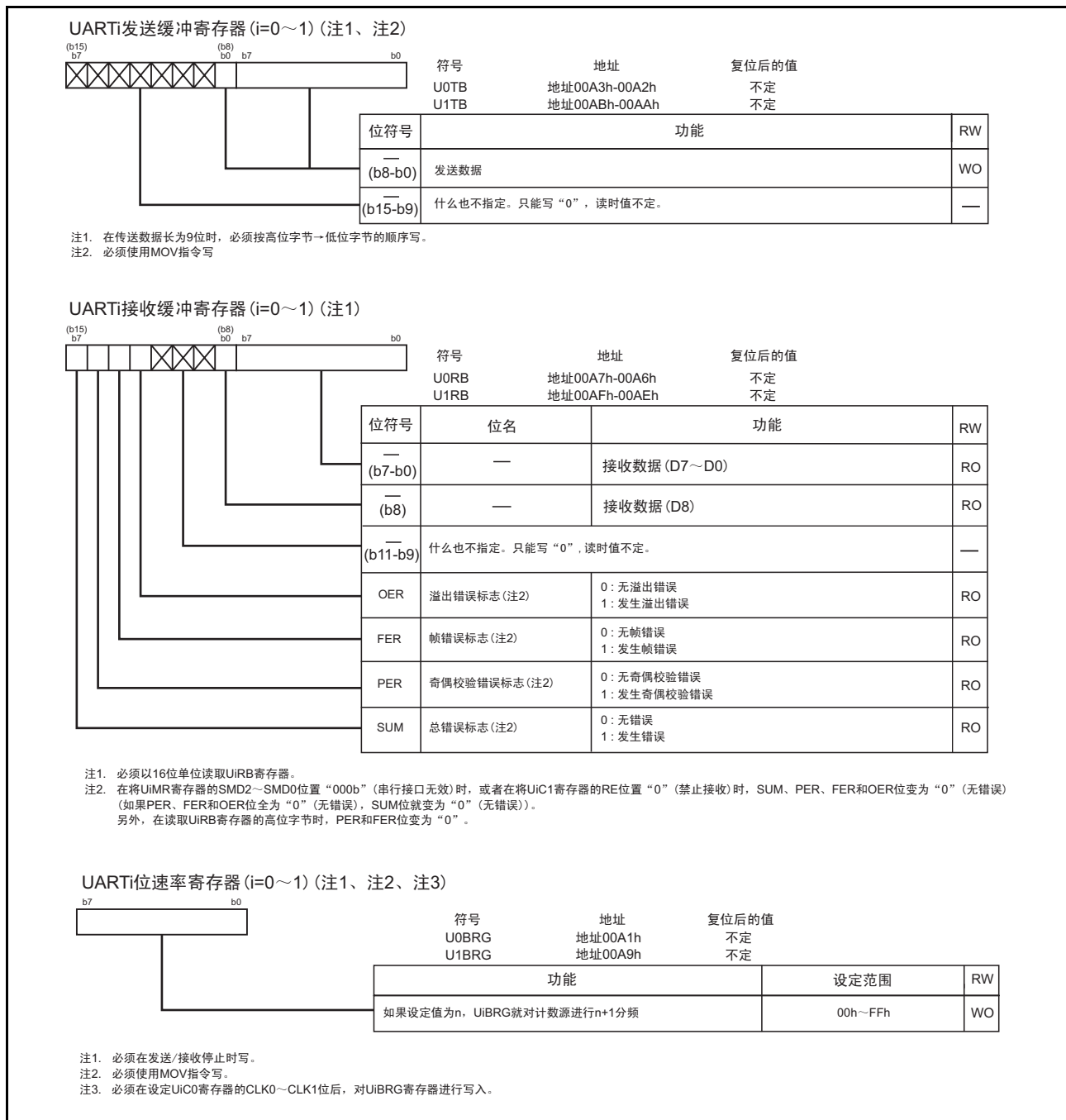


图 16.3 U0TB ~ U1TB、U0RB ~ U1RB 以及 U0BRG ~ U1BRG 寄存器

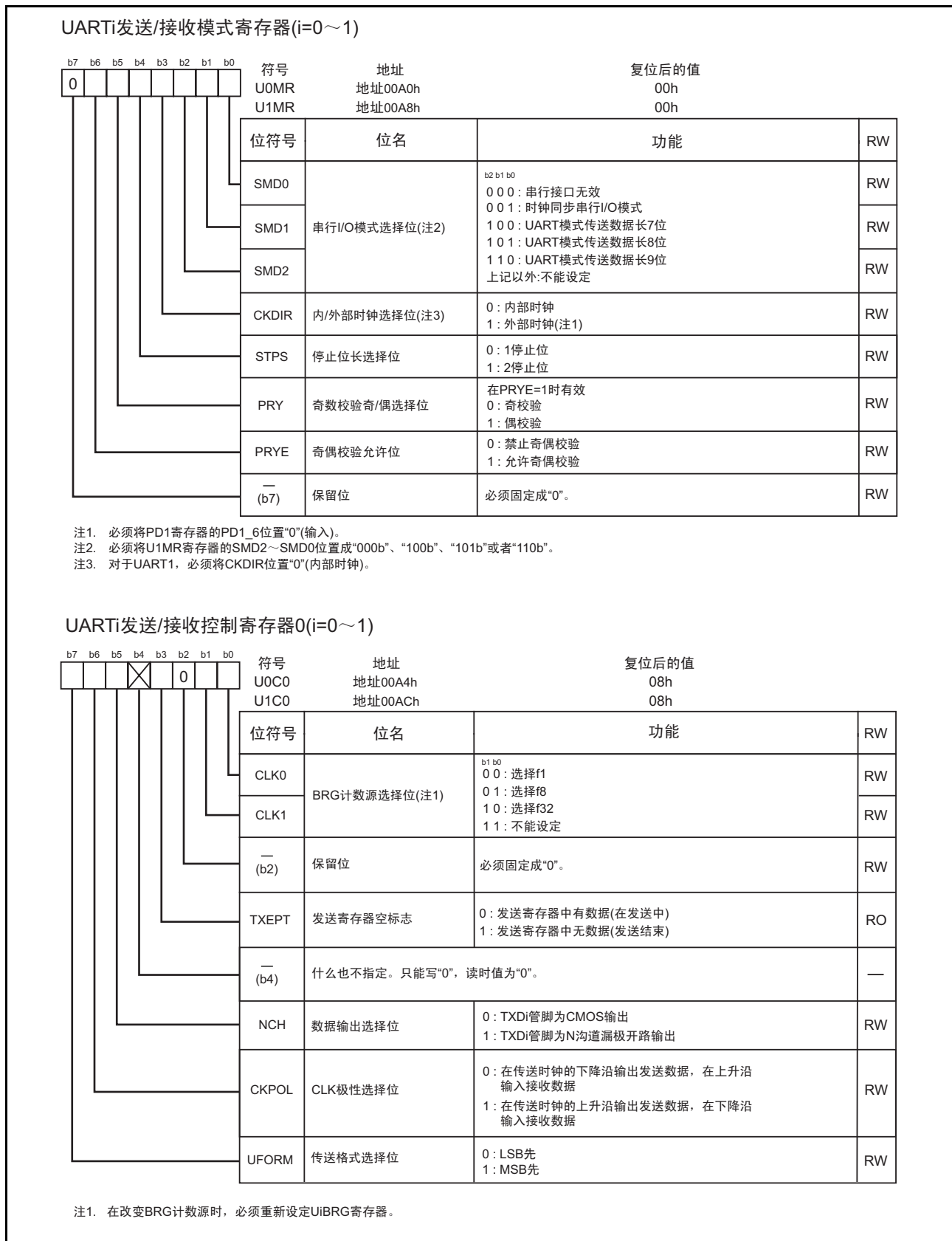


图 16.4 U0MR ~ U1MR 和 U0C0 ~ U1C0 寄存器

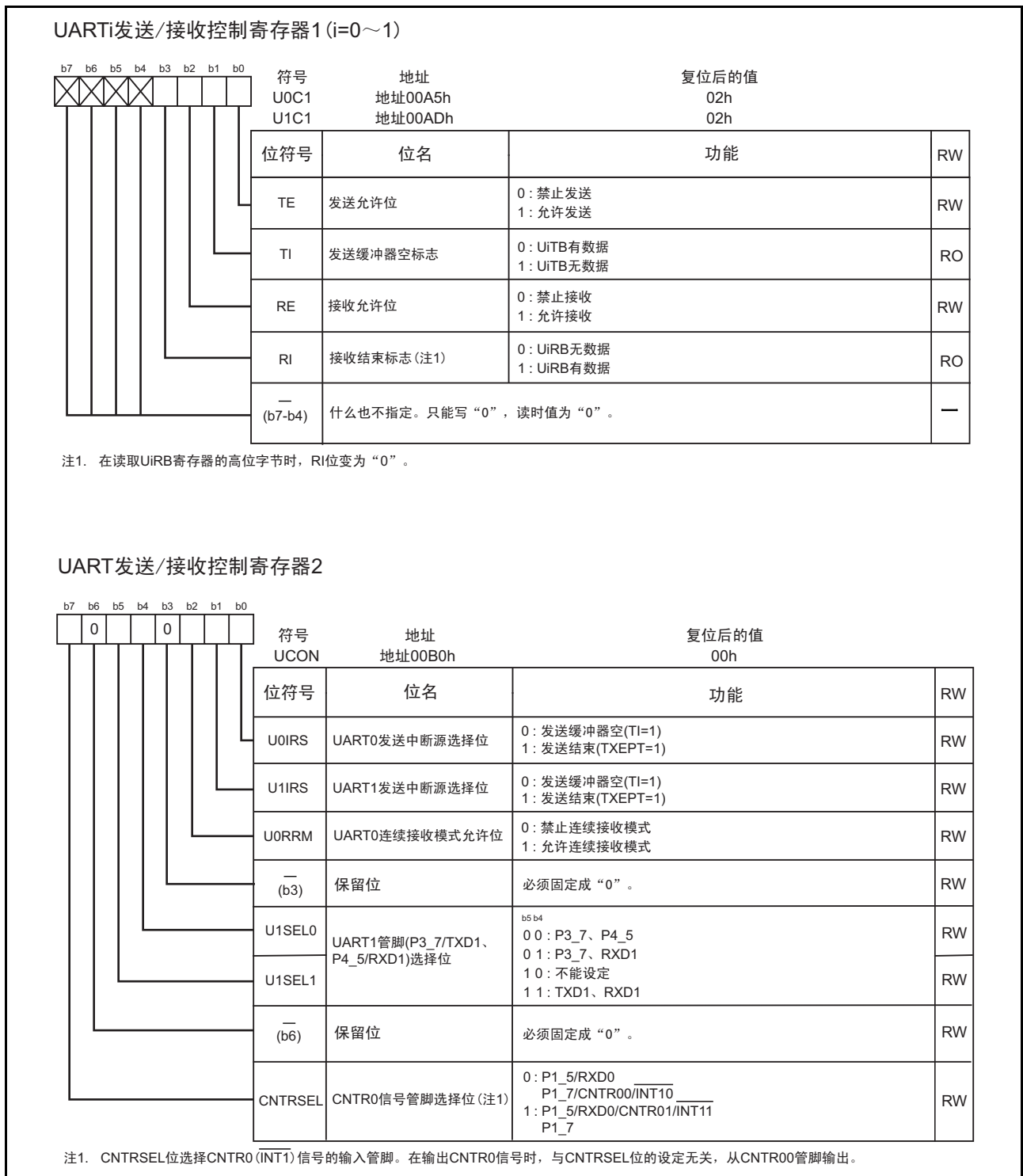


图 16.5 U0C1 ~ U1C1 和 UCON 寄存器

16.1 时钟同步串行 I/O 模式

时钟同步串行 I/O 模式是用传送时钟进行发送和接收的模式。时钟同步串行 I/O 模式的说明如表 16.1 所示，时钟同步串行 I/O 模式时使用的寄存器和设定值（注 1）如表 16.2 所示。

表 16.1 时钟同步串行 I/O 模式的说明

项目	说明
传送数据格式	<ul style="list-style-type: none"> 传送数据长 8 位
传送时钟	<ul style="list-style-type: none"> U0MR 寄存器的 CKDIR 位为 “0”（内部时钟）：$f_i/2(n+1)$ $f_i=f_1、f_8、f_{32}$ $n=U0BRG$ 寄存器的设定值 00h ~ FFh CKDIR 位为 “1”（外部时钟）：从 CLK0 管脚输入
发送开始条件	<ul style="list-style-type: none"> 发送开始需要以下条件（注 1）： U0C1 寄存器的 TE 位为 “1”（允许发送） U0C1 寄存器的 TI 位为 “0”（U0TB 寄存器有数据）
接收开始条件	<ul style="list-style-type: none"> 接收开始需要以下条件（注 1）： U0C1 寄存器的 RE 位为 “1”（允许接收） U0C1 寄存器的 TE 位为 “1”（允许发送） U0C1 寄存器的 TI 位为 “0”（U0TB 寄存器有数据）
中断请求发生时序	<ul style="list-style-type: none"> 在发送时，能选择以下的任何一个条件： <ul style="list-style-type: none"> U0IRS 位为 “0”（发送缓冲器空）： 从 U0TB 寄存器给 UART0 发送寄存器传送数据时（在发送开始时） U0IRS 位为 “1”（发送结束）：从 UARTi 发送寄存器，结束数据发送时 在接收时 从 UART0 接收寄存器给 U0RB 寄存器传送数据时（在接收结束时）
错误检测	<ul style="list-style-type: none"> 溢出错误（注 2） 在读 U0RB 寄存器前，开始接收下一个数据，在接收下一个数据的 bit7 时发生
选择功能	<ul style="list-style-type: none"> CLK 极性选择 传送数据的输出和输入时序能选择传送时钟的上升沿或者下降沿 LSB 先和 MSB 先选择 选择是从 bit0 还是从 bit7 开始发送和接收 连续接收模式选择 通过读 U0RB 寄存器，同时成为接收允许状态

注 1 在选择外部时钟的情况下，当 U0C0 寄存器的 CKPOL 位为 “0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据）时，必须在外部时钟为 “H” 电平状态下满足条件；当 CKPOL 位为 “1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据）时，必须在外部时钟为 “L” 电平状态下满足条件。

注 2 当发生溢出错误时，U0RB 寄存器的内容不定。另外，S0RIC 寄存器的 IR 位不变化。

表 16.2 时钟同步串行 I/O 模式时使用的寄存器和设定值（注 1）

寄存器	位	功能
U0TB	0 ~ 7	设定发送数据
U0RB	0 ~ 7	能读取接收数据
	OER	溢出错误标志
U0BRG	0 ~ 7	设定位送率
U0MR	SMD2 ~ SMD0	必须设定成“001b”
	CKDIR	选择内部时钟或者外部时钟
U0C0	CLK1 ~ CLK0	选择 U0BRG 寄存器的计数源
	TXEPT	发送寄存器空标志
	NCH	选择 TXD0 管脚的输出形式
	CKPOL	选择传送时钟的极性
	UFORM	选择是 LSB 先还是 MSB 先
U0C1	TE	在允许发送和接收时，必须置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置“1”
	RI	接收结束标志
UCON	U0IRS	选择 UART0 发送中断源
	U0RRM	在使用连续接收模式时，必须置“1”
	CNTRSEL	在选择 P1_5/RXD0/CNTR01/INT11 时，必须置“1”

注 1 对在此表中没有记载的位，在时钟同步串行 I/O 模式时只能写“0”。

时钟同步串行 I/O 模式时的输入 / 输出管脚功能如表 16.3 所示。

在选择 UART0 的运行模式后到传送开始为止，TXD0 管脚输出“H”电平（在 NCH 位为“1”（N 沟道漏极开路输出）时，为高阻抗状态）。

表 16.3 时钟同步串行 I/O 模式时的输入 / 输出管脚功能

管脚名称	功能	选择方法
TXD0 (P1_4)	输出串行数据	(在只进行接收时，进行虚设数据的输出)
RXD0 (P1_5)	输入串行数据	PD1 寄存器的 PD1_5 位 =0 (在只进行发送时，能将 P1_5 作为输入端口使用)
CLK0 (P1_6)	输出传送时钟	U0MR 寄存器的 CKDIR 位 =0
	输入传送时钟	U0MR 寄存器的 CKDIR 位 =1 PD1 寄存器的 PD1_6 位 =0

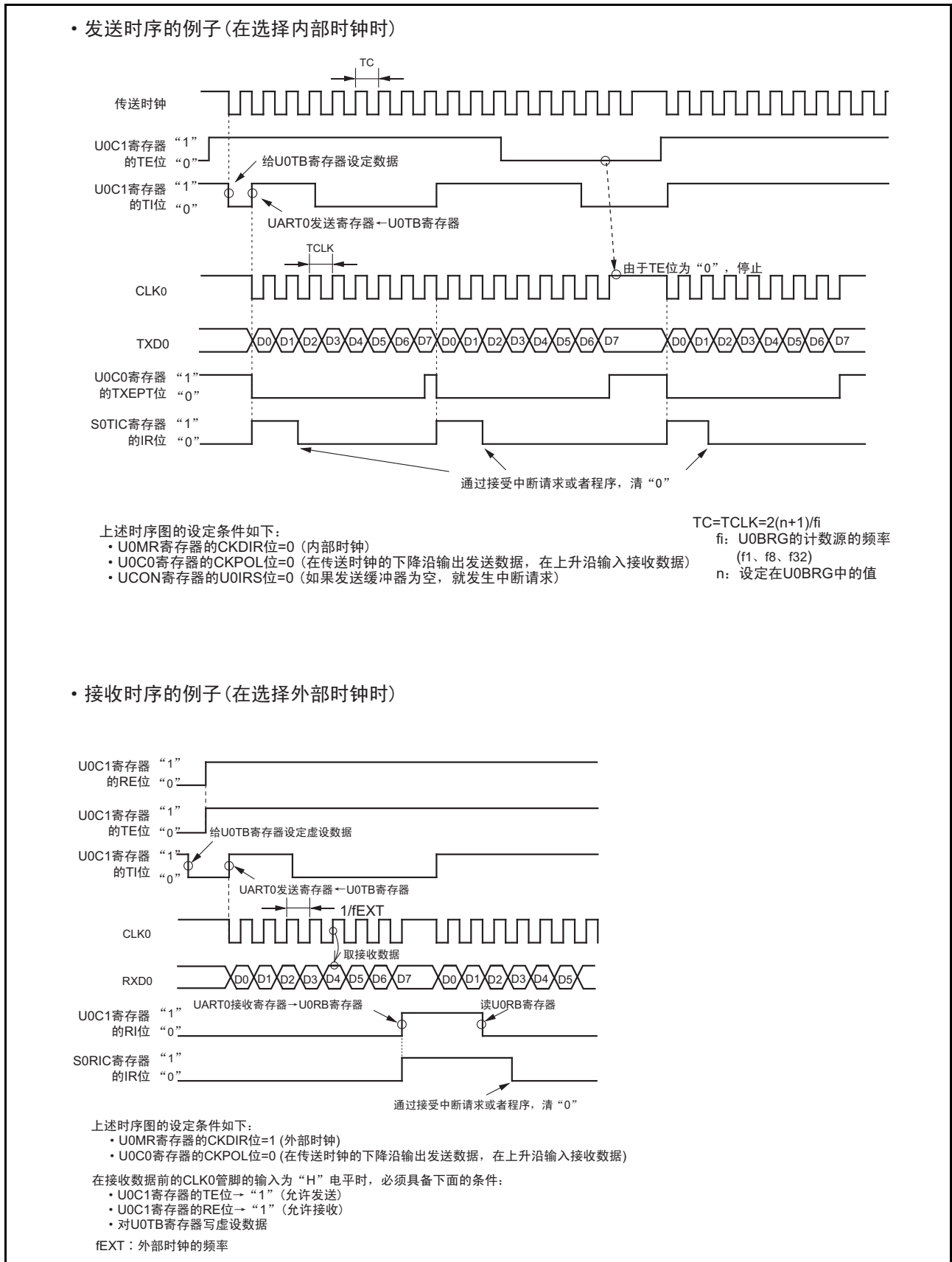


图 16.6 时钟同步串行 I/O 模式时的发送和接收时序例子

16.1.1 极性选择功能

传送时钟的极性如图 16.7 所示。能通过 U0C0 寄存器的 CKPOL 位，选择传送时钟的极性。

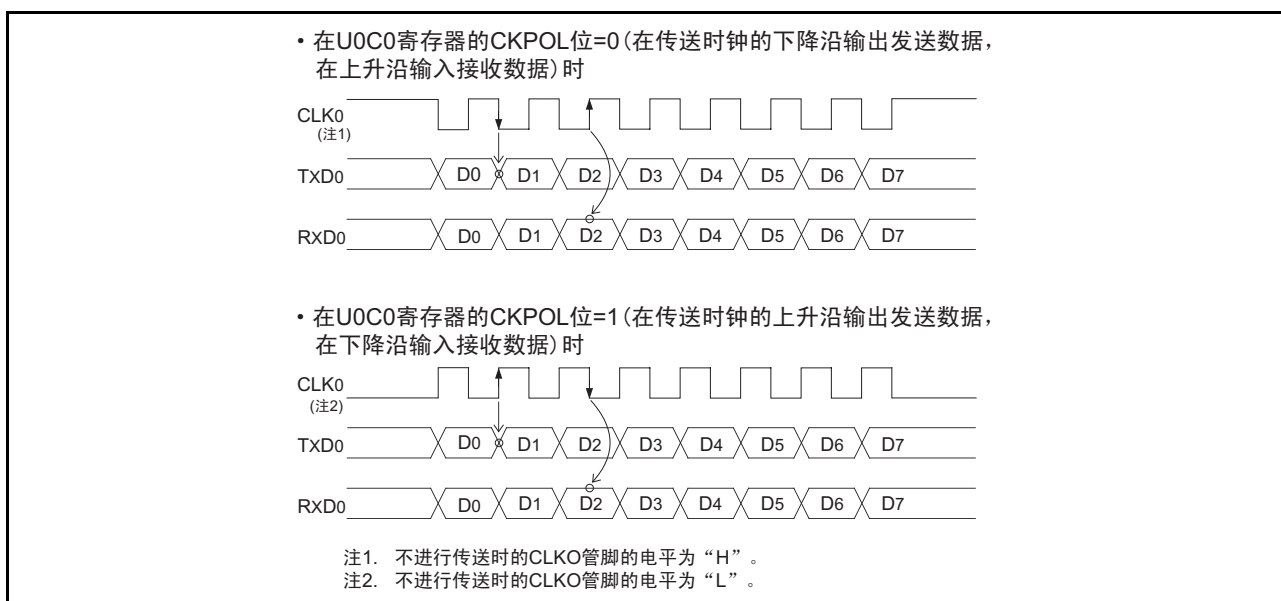


图 16.7 传送时钟的极性

16.1.2 LSB 先发送或者 MSB 先发送的选择

传送格式如图 16.8 所示。能通过 U0C0 寄存器的 UFORM 位选择传送格式。

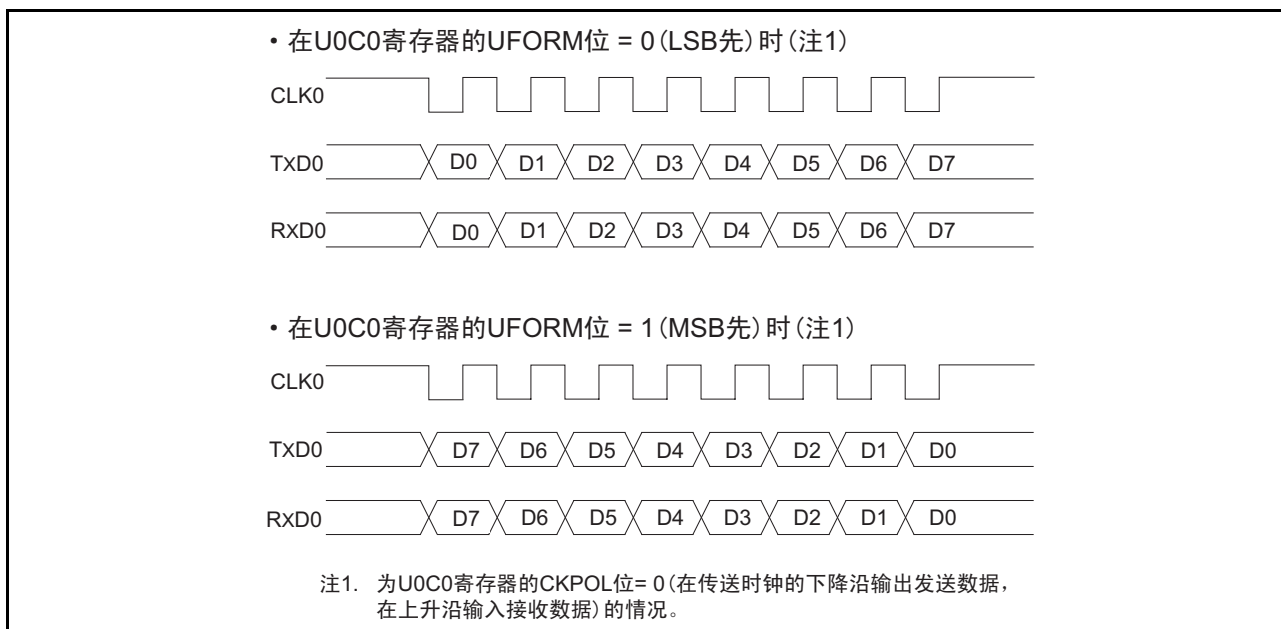


图 16.8 传送格式

16.1.3 连续接收模式

通过将 UCON 寄存器的 UORRM 位设定为“1”（允许连续接收模式），成为连续接收模式。在连续接收模式，通过读 UORB 寄存器，UOC1 寄存器的 TI 位变为“0”（UOTB 有数据）。在 UORRM 位为“1”时，不能通过程序给 UOTB 寄存器写虚设数据。

16.2 时钟异步串行 I/O（UART）模式

时钟异步串行 I/O 模式是在设定任意位速率和传送数据格式后进行发送和接收的模式。时钟异步串行 I/O 模式的说明如表 16.4 所示，UART 模式时的使用寄存器和设定值如表 16.5 所示。

表 16.4 时钟异步串行 I/O 模式的说明

项目	说明
传送数据格式	<ul style="list-style-type: none"> • 字符位（传送数据） 能选择 7 位、8 位、9 位 • 起始位 1 位 • 奇偶校验位 能选择奇数、偶数或者无校验 • 停止位 能选择 1 位、2 位
传送时钟	<ul style="list-style-type: none"> • UiMR 寄存器（$i=0 \sim 1$）的 CKDIR 位为“0”（内部时钟）：$f_j/16(n+1)$ $f_j=f_1、f_8、f_{32}$ $n=UiBRG$ 寄存器的设定值 00h ~ FFh • CKDIR 位为“1”（外部时钟）：$fEXT/16(n+1)$ $fEXT$ 为 CLKi 管脚的输入 $n=UiBRG$ 寄存器的设定值 00h ~ FFh
发送开始条件	<ul style="list-style-type: none"> • 发送开始需要以下条件： UiC1 寄存器的 TE 位为“1”（允许发送） UiC1 寄存器的 TI 位为“0”（UiTB 寄存器有数据）
接收开始条件	<ul style="list-style-type: none"> • 接收开始需要以下条件： UiC1 寄存器的 RE 位为“1”（允许接收） 检测到起始位
中断请求发生时序	<ul style="list-style-type: none"> • 在发送时，能选择以下的任何一个条件： <ul style="list-style-type: none"> - UiIRS 位为“0”（发送缓冲器空）： 从 UiTB 寄存器给 UARTi 传送寄存器发送数据时（在发送开始时） - UiIRS 位为“1”（发送结束）： 从 UARTi 发送寄存器，结束数据发送时 • 在接收时 <ul style="list-style-type: none"> - 从 UARTi 接收寄存器给 UiRB 寄存器传送数据时（在接收结束时）
错误检测	<ul style="list-style-type: none"> • 溢出错误（注 1） 在读 UiRB 寄存器前，开始接收下一个数据，在接收下一个数据的最后停止位的前一位时发生 • 帧错误 在未检测到设定的停止位个数时发生 • 奇偶校验错误 当允许奇偶校验时，在奇偶校验位和字符位中的“1”的个数不等于设定的个数时发生 • 总错误标志 在发生溢出错误、帧错误或者奇偶校验错误时为“1”

注 1 当溢出错误发生时，UiRB 寄存器的内容不定。另外，SiRIC 寄存器的 IR 位不变化。

表 16.5 UART 模式时的使用寄存器和设定值

寄存器	位	功能
UiTB	0 ~ 8	设定发送数据（注 1）
UiRB	0 ~ 8	能读取接收数据（注 1）
	OER、FER、PER、SUM	错误标志
UiBRG	0 ~ 7	设定位速率
UiMR	SMD2 ~ SMD0	在传送数据为 7 位时，设定“100b” 在传送数据为 8 位时，设定“101b” 在传送数据为 9 位时，设定“110b”
	CKDIR	选择内部时钟或者外部时钟（注 2）
	STPS	选择停止位
	PRY、PRYE	选择有无奇偶校验、偶数或者奇数
UiC0	CLK0 ~ CLK1	选择 UiBRG 寄存器的计数源
	TXEPT	发送寄存器空标志
	NCH	选择 TXDi 管脚的输出形式
	CKPOL	必须置“0”
	UFORM	在传送数据长为 8 位时，能选择是 LSB 先还是 MSB 先 在传送数据长为 7 位或者 9 位时，必须置“0”
UiC1	TE	在允许发送时，必须置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置“1”
	RI	接收结束标志
UCON	U0IRS、U1IRS	选择 UART0 和 UART1 发送中断源
	U0RRM	必须置“0”
	CNTRSEL	在选择 P1_5/RXD0/CNTR01/INT11 时，必须置“1”

注 1 使用的位为：当传送数据长为 7 位时，bit0 ~ 6；当传送数据长为 8 位时，bit0 ~ 7；传送数据长为 9 位时，bit0 ~ 8

注 2 只有 UART0 能选择外部时钟。

时钟异步串行 I/O 模式时的输入 / 输出管脚功能如表 16.6 所示。另外，在选择 UARTi 的运行模式后到传送开始为止，TXD0 管脚输出“H”电平（在 NCH 位为“1”（N 沟道漏极开路输出）时，为高阻抗状态）。

表 16.6 时钟异步串行 I/O 模式时的输入 / 输出管脚功能

管脚名称	功能	选择方法
TXD0 (P1_4)	输出串行数据	(在只进行接收时, 不能作为端口使用)
RXD0 (P1_5)	输入串行数据	PD1 寄存器的 PD1_5 位 =0 (在只进行发送时, 能将 P1_5 作为输入端口使用)
CLK0 (P1_6)	可编程输入 / 输出端口	U0MR 寄存器的 CKDIR 位 =0
	输入传送时钟	U0MR 寄存器的 CKDIR 位 =1 PD1 寄存器的 PD1_6 位 =0
TXD1 (P3_7)	输出串行数据	UCON 寄存器的 U1SEL1 ~ U1SEL0 位 =11b (在 UCON 寄存器的 U1SEL1 ~ U1SEL0 位 =01b 只进行接收时, 能将 P3_7 作为端口使用)
RXD1 (P4_5)	输入串行数据	PD4 寄存器的 PD4_5 位 =0 UCON 寄存器的 U1SEL1 ~ U1SEL0 位 =01b 或者 11b (在只进行发送时不作为端口使用)

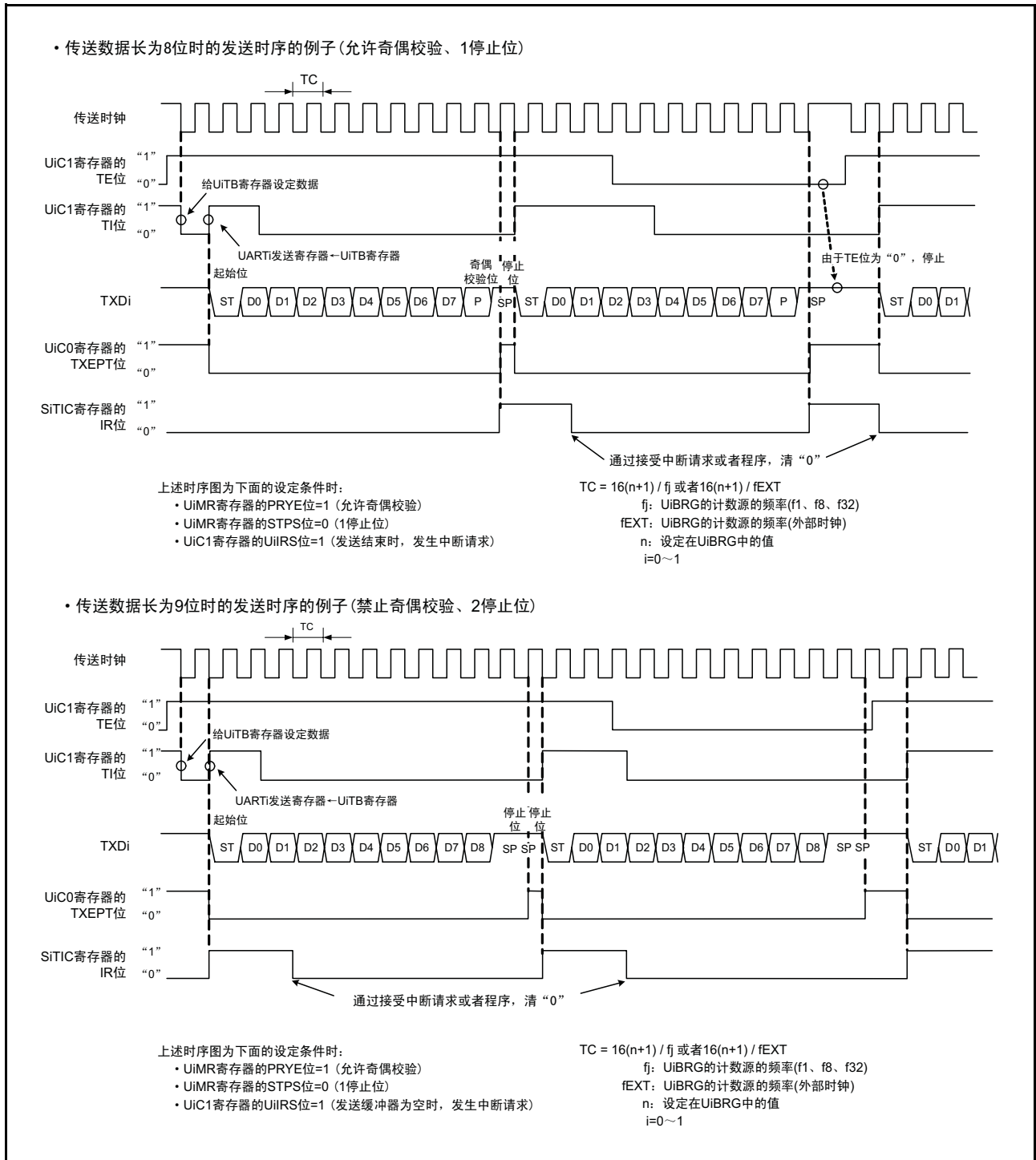


图 16.9 UART 模式时的发送时序例子

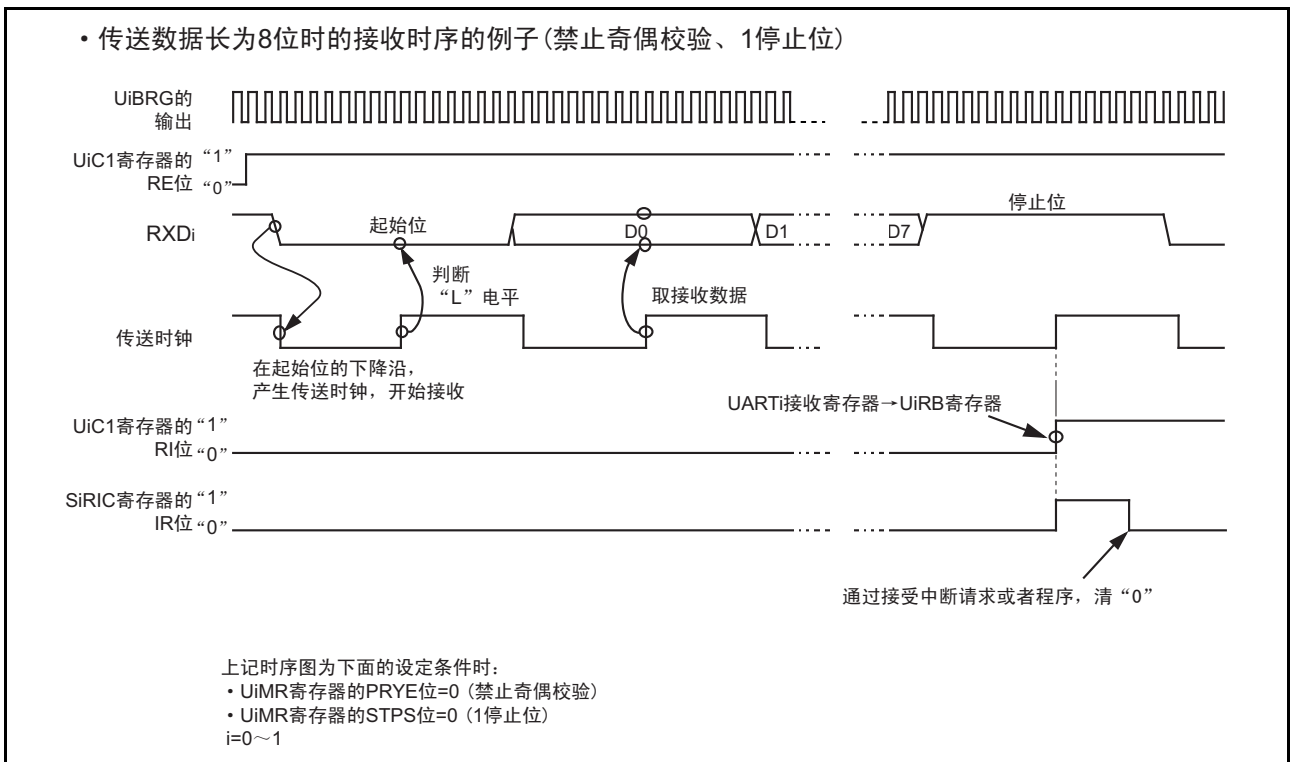


图 16.10 UART 模式时的接收时序例子

16.2.1 CNTR0 管脚选择功能

通过 UCON 寄存器的 CNTRSEL 位，选择是将 P1_7 作为 CNTR00/ $\overline{\text{INTI0}}$ 输入管脚使用还是将 P1_5 作为 CNTR01/ $\overline{\text{INTI1}}$ 输入管脚使用。

CNTRSEL 位为“0”时 P1_7 为 CNTR00/ $\overline{\text{INTI0}}$ 管脚；CNTRSEL 位为“1”时 P1_5 为 CNTR01/ $\overline{\text{INTI1}}$ 管脚。

16.2.2 位速率

在 UART 模式，由 UiBRG 寄存器 (i=0 ~ 1) 分频的速率的 16 分频为位速率。

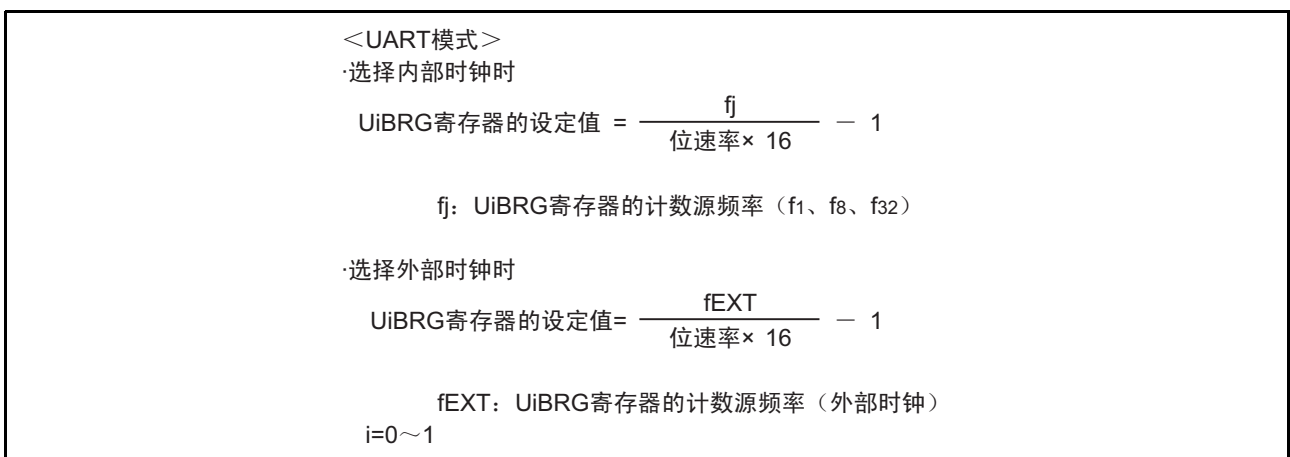


图 16.11 UiBRG 寄存器 (i=0 ~ 1) 的设定值的计算式

表 16.7 UART 模式时的位速率设定例（选择内部时钟时）

位速率 (bps)	UIBRG 的 计数源	系统时钟 =20MHz			系统时钟 =8MHz		
		UIBRG 的 设定值	实际时间 (bps)	误差 (%)	UIBRG 的 设定值	实际时间 (bps)	误差 (%)
1200	f8	129 (81h)	1201.92	0.16	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	16 (10h)	29411.76	2.12
31250	f1	39 (27h)	31250.00	0.00	15 (0Fh)	31250.00	0.00
38400	f1	32 (20h)	37878.79	-1.36	12 (0Ch)	38461.54	0.16
51200	f1	23 (17h)	52083.33	1.73	9 (09h)	50000.00	-2.34

i=0 ~ 1

16.3 串行接口的使用注意事项

- 与时钟同步串行 I/O 模式和时钟异步串行 I/O 模式无关，在读取 UORB 寄存器时，必须以 16 位单位进行。

在读取 UORB 寄存器的高位字节时，UORB 寄存器的 PER、FER 位和 U0C1 寄存器的 RI 位变为“0”。

读取 UiR8 寄存器后，必须通过读取的值确认接收错误。

<读取接收缓冲寄存器的程序例子>

```
MOV.W    00A6H, R0    ; 读取 UORB 寄存器
```

- 在传送数据位长为 9 位的时钟异步串行 I/O 模式中写 U0TB 寄存器时，必须以 8 位单位按高位字节 → 低位字节的顺序进行。

<给发送缓冲寄存器写数据的程序例子>

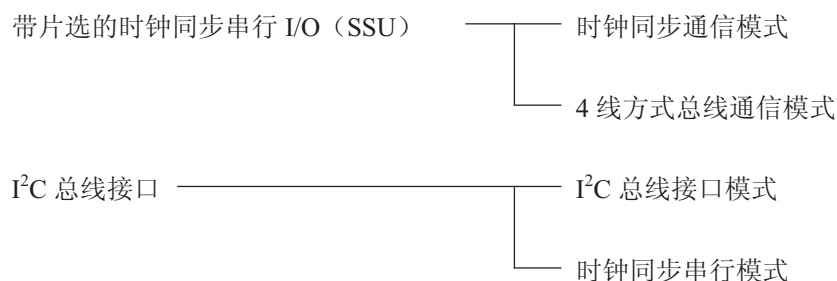
```
MOV.B    #XXH, 00A3H    ; 写 U0TB 寄存器的高位字节
```

```
MOV.B    #XXH, 00A2H    ; 写 U0TB 寄存器的低位字节
```

17. 时钟同步串行接口

时钟同步串行接口的结构如下：

时钟同步串行接口



时钟同步串行接口使用地址 00B8h ~ 00BFh 的寄存器，即使是相同的地址，寄存器及位的名称、符号和功能也因模式而不同，详细内容请参照各功能的寄存器图。

另外，时钟同步通信模式和时钟同步串行模式的不同是传送时钟的选择、时钟输出格式和数据输出格式的选择等。

17.1 模式的选择

时钟同步串行接口有 4 种模式。

有关模式的选择位如表 17.1 所示，各模式的详细内容请参照“17.2 带片选的时钟同步串行 I/O (SSU)”以后的内容。

表 17.1 模式的选择

PMR 寄存器的 IICSEL 位	地址 00B8h 的 bit7 (ICCR1 寄存器的 ICE 位)	地址 00BDh 的 bit 0 (SSMR2 寄存器的 SSUMS 位、SAR 寄存器的 FS 位)	功能名	模式
0	0	0	带片选的时钟同步 串行 I/O	时钟同步通信模式
0	0	1		4 线方式总线通信模式
1	1	0	I²C 总线接口	I²C 总线接口模式
1	1	1		时钟同步串行模式

17.2 带片选的时钟同步串行 I/O (SSU)

带片选的时钟同步串行 I/O 可进行时钟同步的串行数据通信。带片选的时钟同步串行 I/O 的规格如表 17.2、带片选的时钟同步串行 I/O 的框图如图 17.1 所示。

带片选的时钟同步串行 I/O 的相关寄存器如图 17.2 ~ 图 17.9 所示。

表 17.2 带片选的时钟同步串行 I/O 的规格

项 目	规 格
传送数据格式	<ul style="list-style-type: none"> • 传送数据长度 8 位 • 发送部和接收部为缓冲结构，所以可进行串行数据的连续发送和连续接收
运行模式	<ul style="list-style-type: none"> • 时钟同步通信模式 • 4 线方式总线通信模式（包含双向通信模式）
主器件 / 从属器件	可选择
输入 / 输出管脚	SSCK（输入 / 输出）：时钟输入 / 输出管脚 SSI（输入 / 输出）：数据输入 / 输出管脚 SSO（输入 / 输出）：数据输入 / 输出管脚 SCS（输入 / 输出）：片选输入 / 输出管脚
传送时钟	<ul style="list-style-type: none"> • 当 SSCRH 寄存器的 MSS 位是“0”（作为从属器件运行）时，为外部时钟（从 SSCK 管脚输入） • 当 SSCRH 寄存器的 MSS 位是“1”（作为主器件运行）时，为内部时钟（能从 $f/256$、$f/128$、$f/64$、$f/32$、$f/16$、$f/8$、$f/4$ 中选择，从 SSCK 管脚输出） • 能选择时钟极性和相位
接收错误的检测	<ul style="list-style-type: none"> • 检测溢出错误 表示在接收时发生溢出错误并异常结束。在 SSSR 寄存器的 RDRF 位为“1”（SSRDR 寄存器中有数据）的状态下结束下一个串行数据的接收时，ORER 位为“1”
多主器件错误的检测	<ul style="list-style-type: none"> • 检测冲突错误 在 SSMR2 寄存器的 SSUMS 位为“1”（4 线方式总线通信模式）并且 SSCRH 寄存器的 MSS 位为“1”（作为主器件运行）的状态下开始串行通信时，如果 SCS 管脚的输入电平为“L”，SSSR 寄存器的 CE 位就为“1”。 在 SSMR2 寄存器的 SSUMS 位为“1”（4 线方式总线通信模式）并且 SSCRH 寄存器的 MSS 位为“0”（作为从属器件运行）的状态下，如果在传送中途 SCS 管脚的输入电平从“L”变为“H”，SSSR 寄存器的 CE 位就为“1”。
中断请求	5 种（发送结束、发送数据空、接收数据满、溢出错误和冲突错误）（注 1）
选择功能	<ul style="list-style-type: none"> • 数据传送方向 选择 MSB 先或者 LSB 先 • SSCK 时钟极性 选择时钟停止时的电平为“L”或者“H” • SSCK 时钟相位 选择数据变化和取数据的边沿

注 1 在中断向量表中只有 1 个带片选的时钟同步串行 I/O 的中断向量。

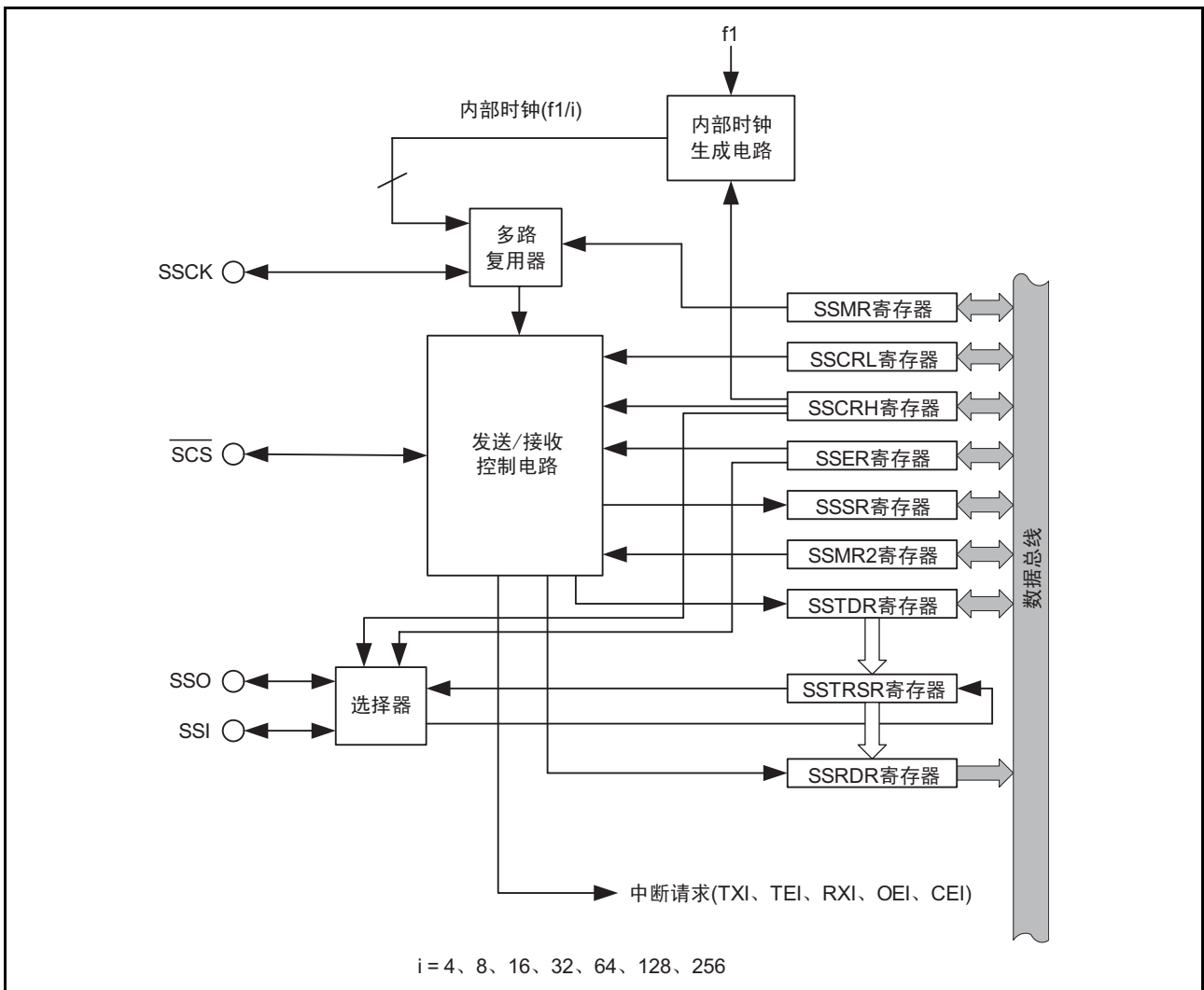


图 17.1 带片选的时钟同步串行 I/O 的框图

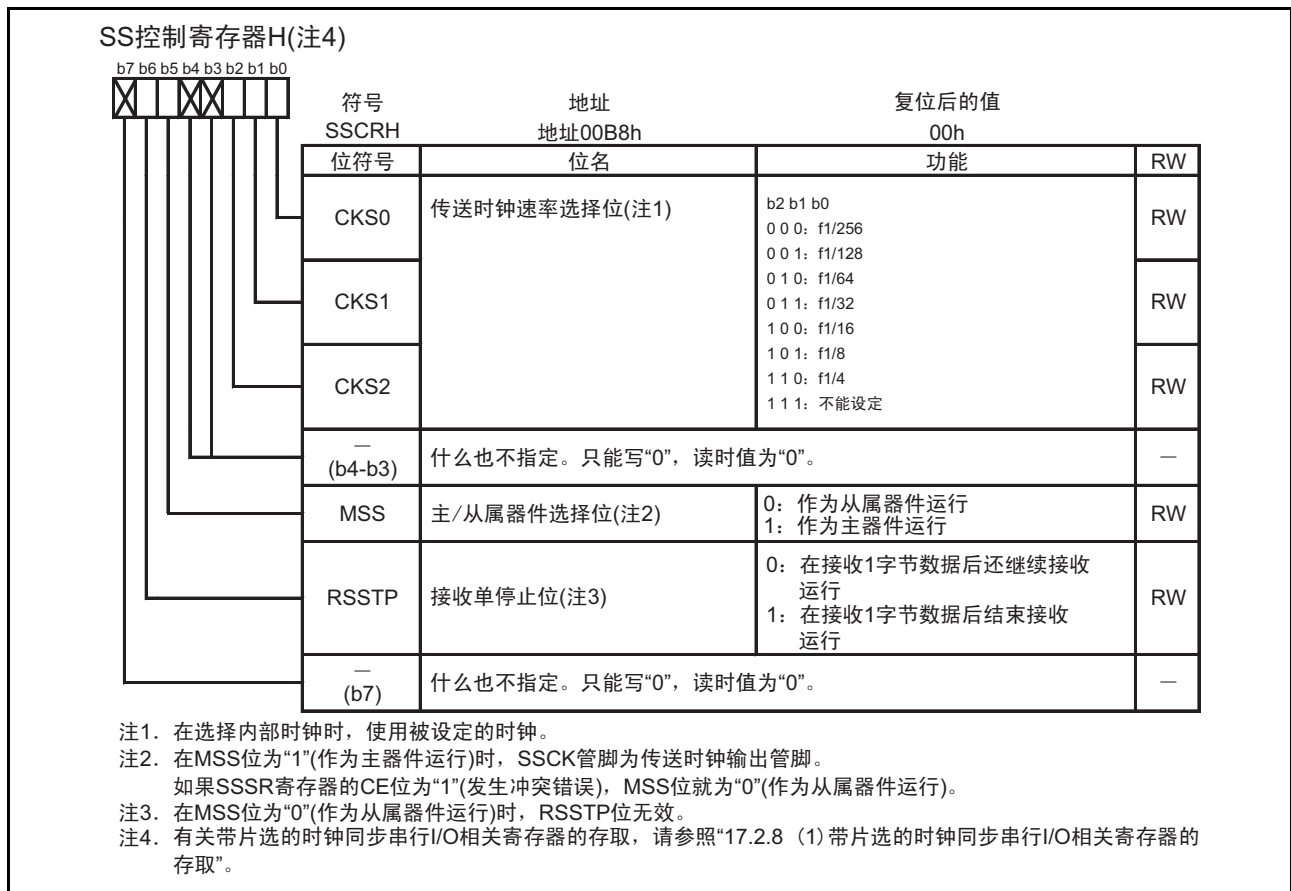


图 17.2 SSCRH 寄存器

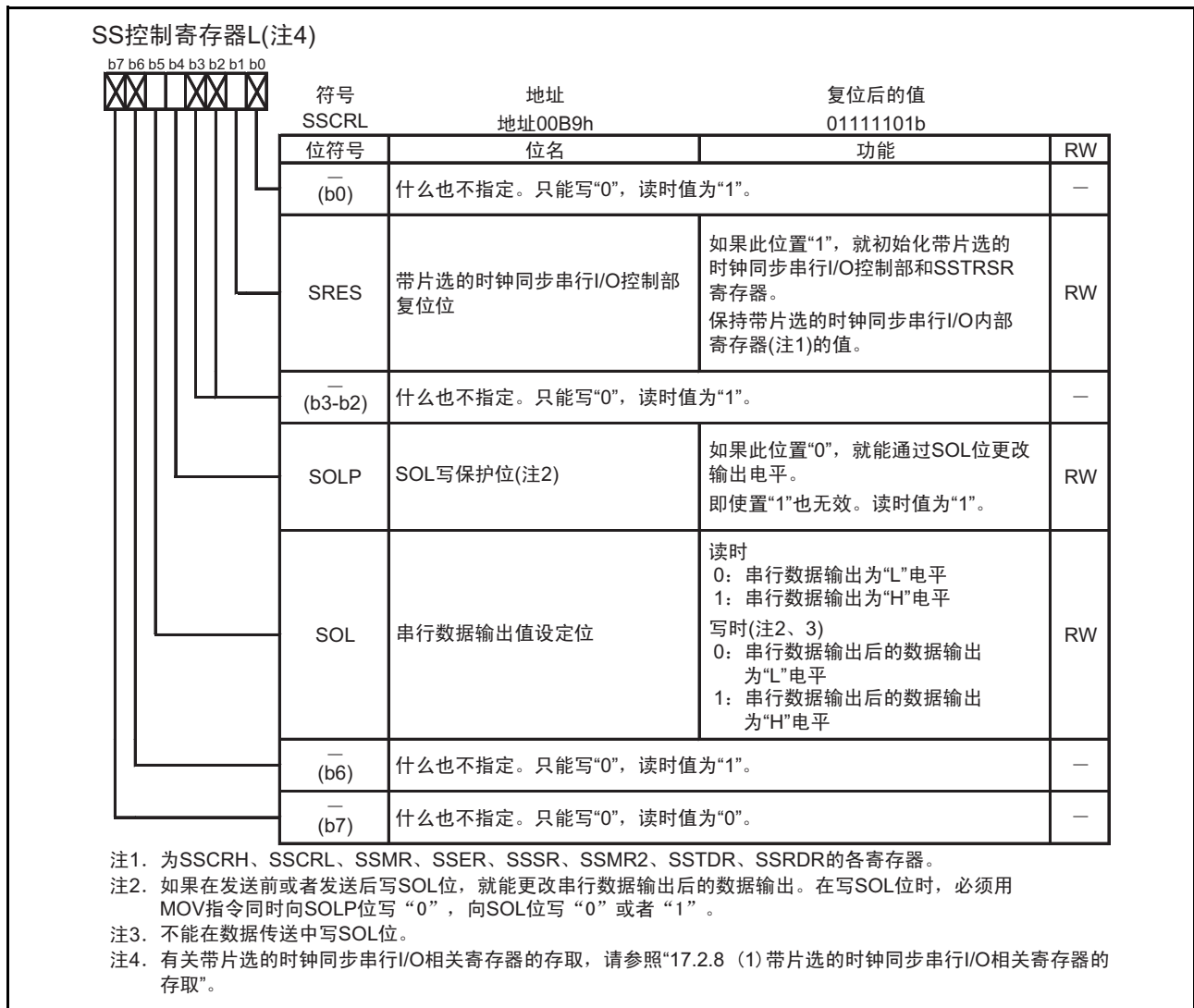


图 17.3 SSCRL 寄存器

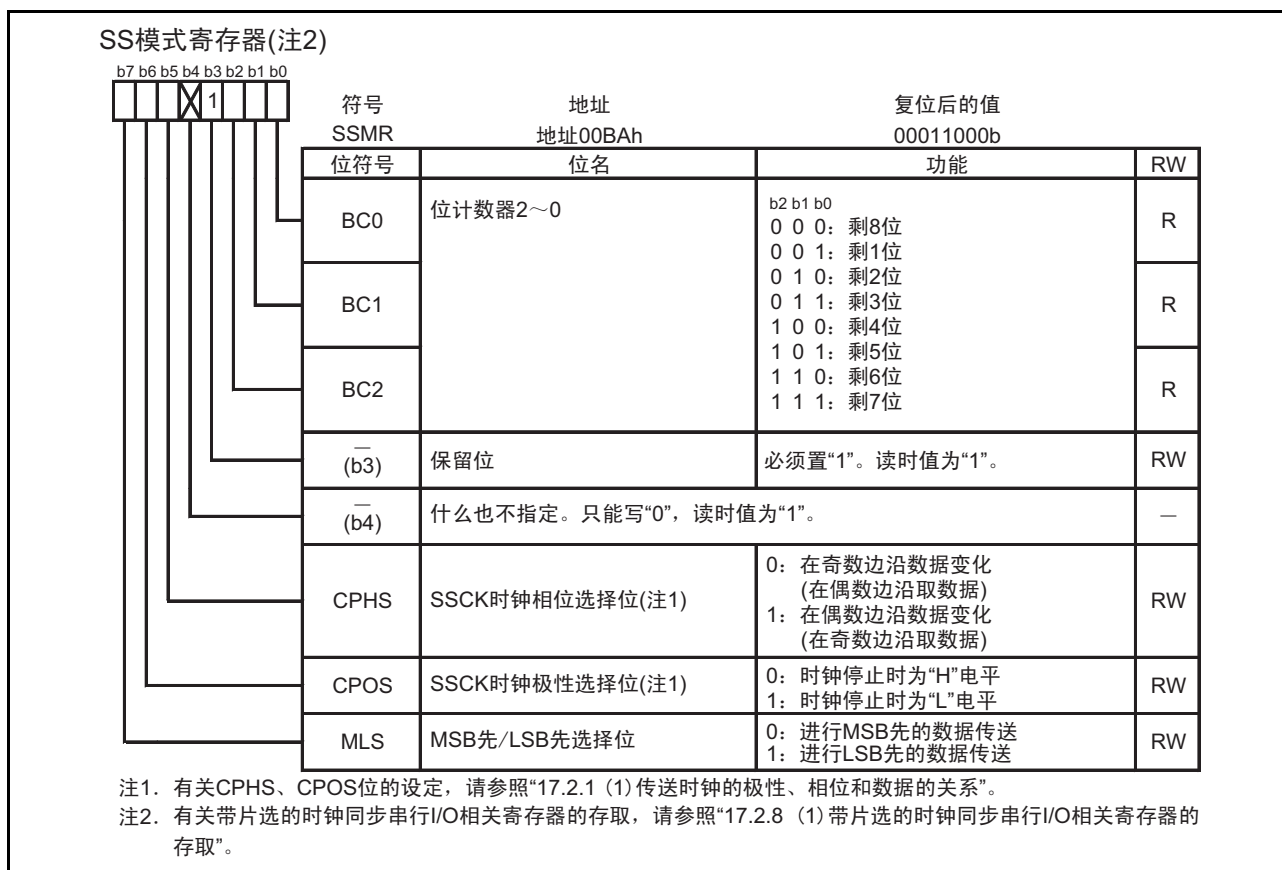


图 17.4 SSMR 寄存器

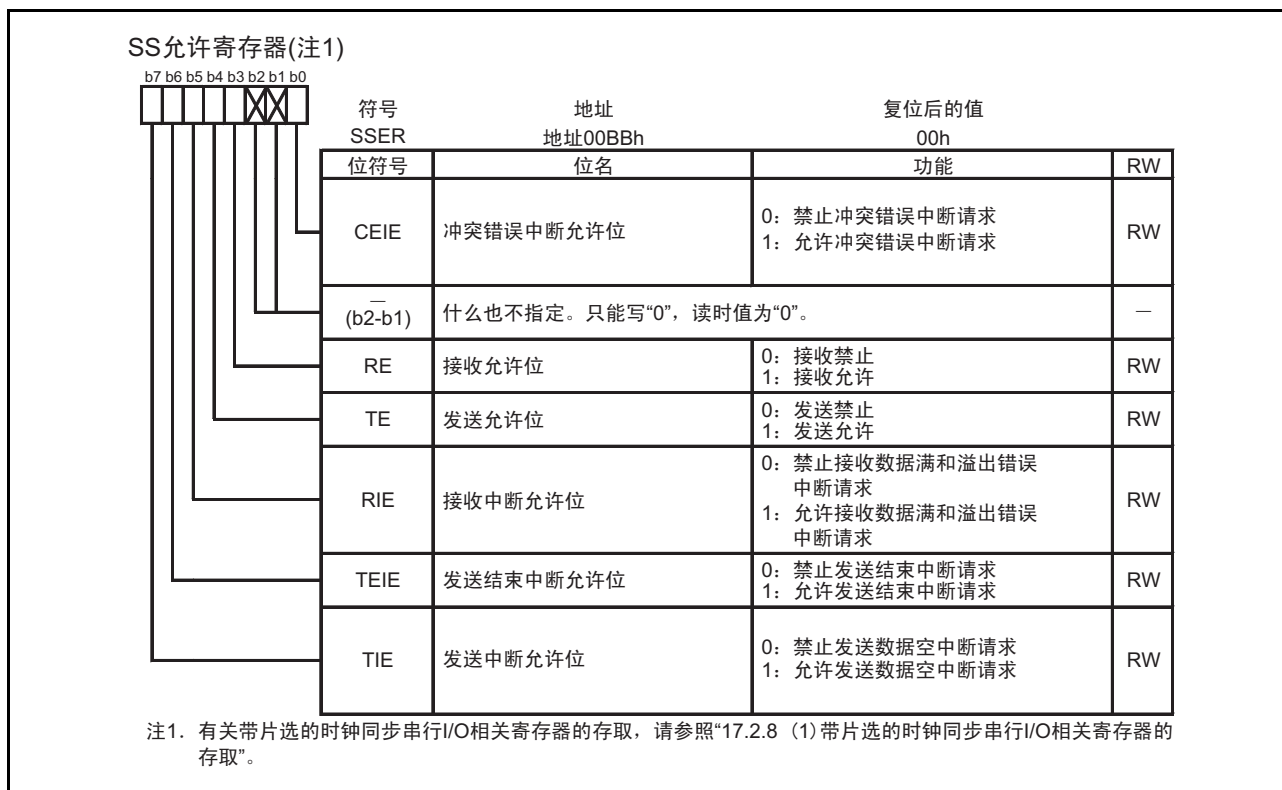


图 17.5 SSER 寄存器

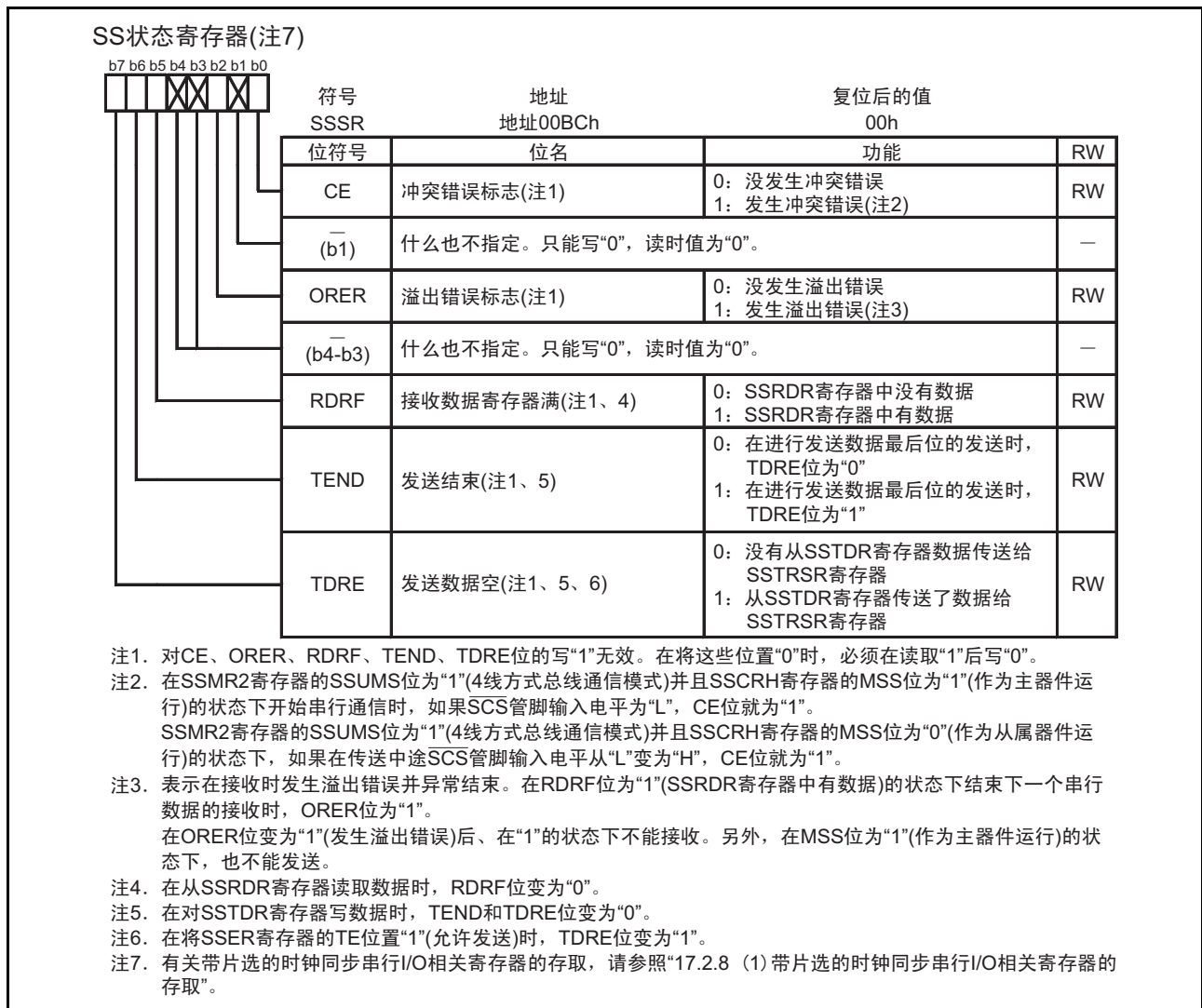


图 17.6 SSSR 寄存器

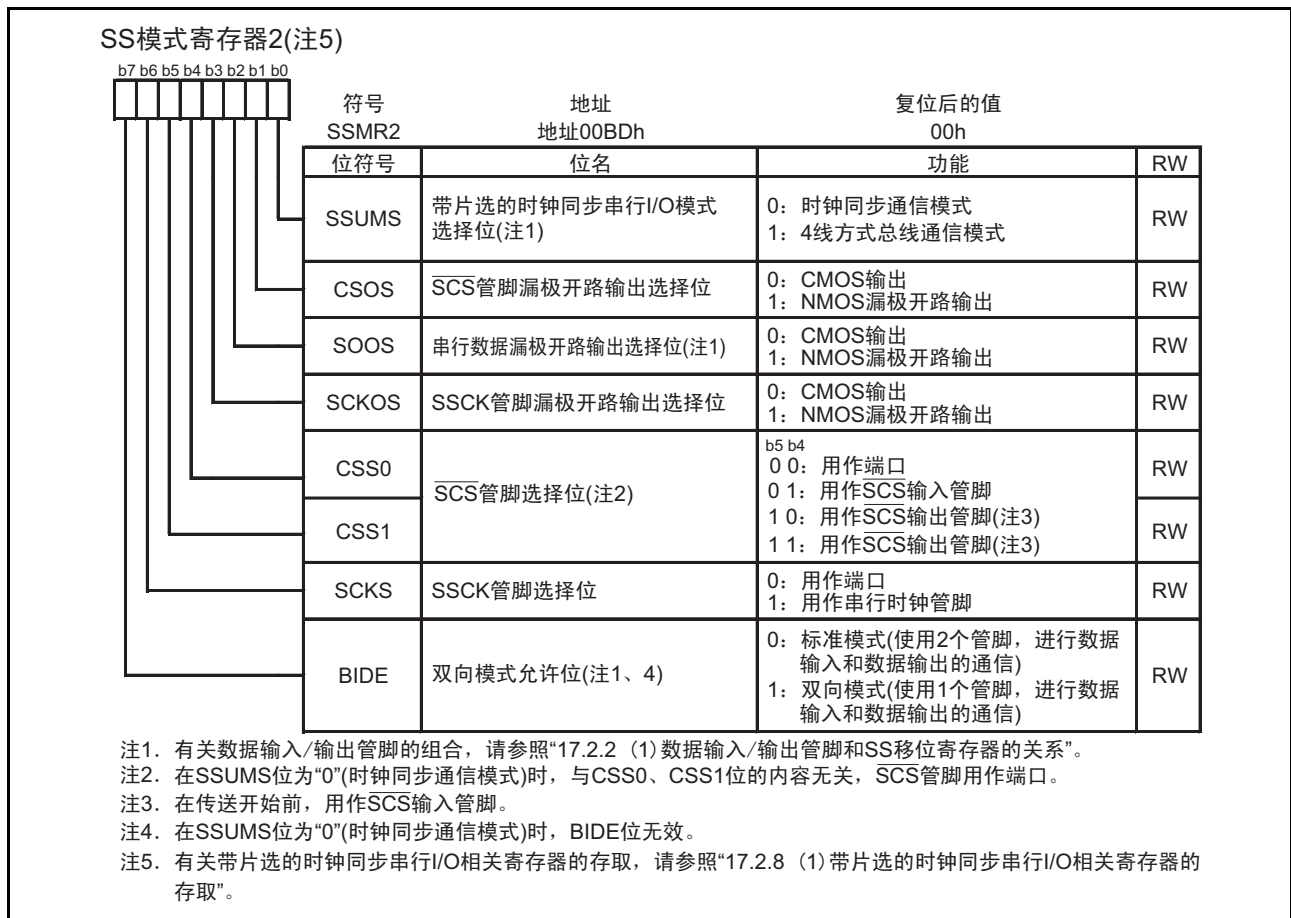


图 17.7 SSMR2 寄存器

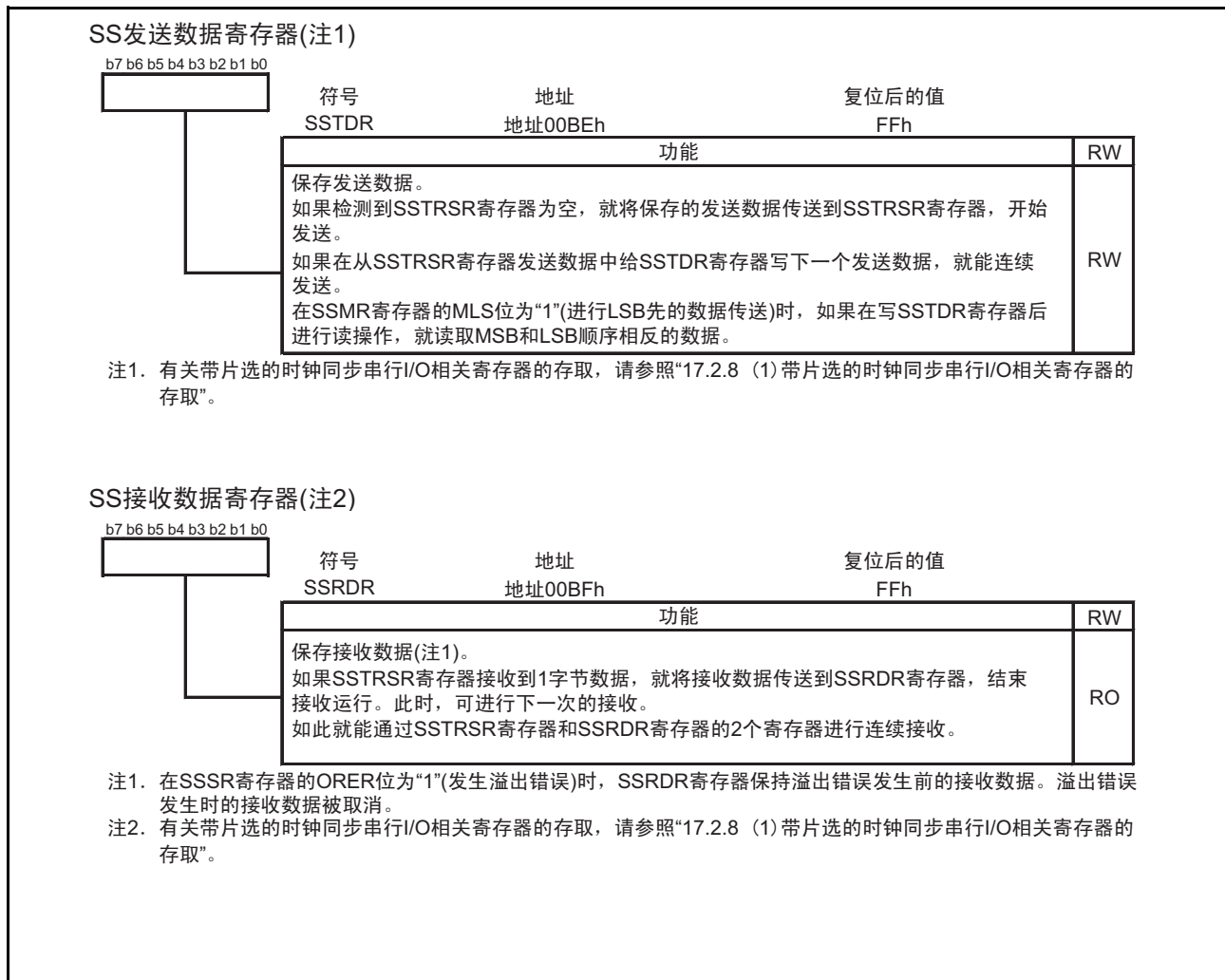


图 17.8 SSTDR、SSRDR 寄存器

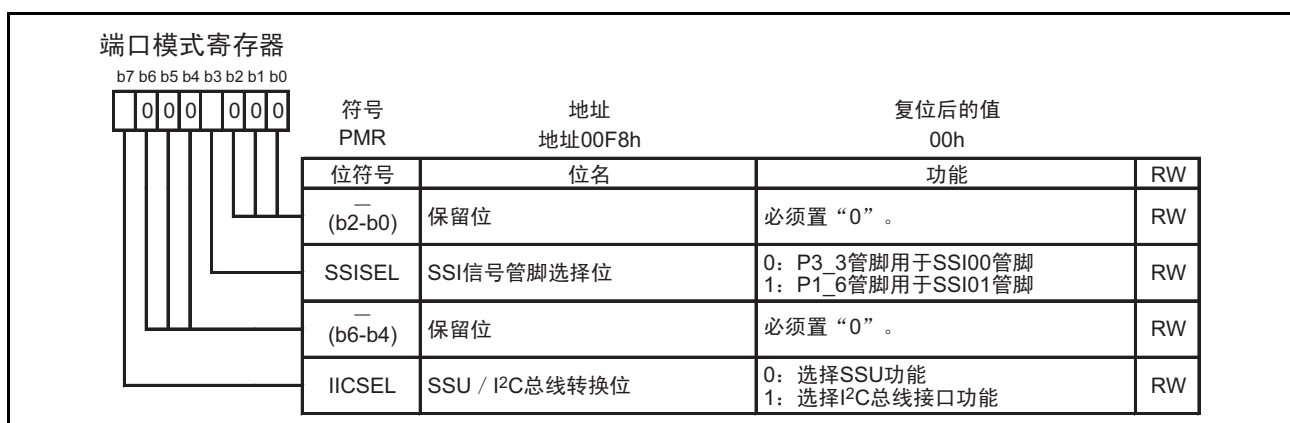


图 17.9 PMR 寄存器

17.2.1 传送时钟

能从 7 种内部时钟 ($f1/256$ 、 $f1/128$ 、 $f1/64$ 、 $f1/32$ 、 $f1/16$ 、 $f1/8$ 、 $f1/4$) 和外部时钟中选择传送时钟。

在使用带片选的时钟同步串行 I/O 时，必须先将 SSMR2 寄存器的 SCKS 位置“1”，然后选择 SSCK 管脚为串行时钟管脚。

当 SSCRH 寄存器的 MSS 位是“1”（作为主器件运行）时，选择内部时钟，SSCK 管脚为输出状态。如果开始传送，就从 SSCK 管脚输出由 SSCRH 寄存器的 CKS0 ~ CKS2 选择的传送速率的时钟。

当 SSCRH 寄存器的 MSS 位是“0”（作为从属器件运行）时，选择外部时钟，SSCK 管脚为输入状态。

17.2.1.1 传送时钟的极性、相位和数据的关系

根据 SSMR2 寄存器的 SSUMS 位和 SSMR 寄存器的 CPHS、CPOS 位的组合，传送时钟的极性、相位和传送数据的关系不同。传送时钟的极性、相位和传送数据的关系如图 17.10 所示。

另外，能通过设定 SSMR 寄存器的 MLS 位，选择是以 MSB 先传送还是以 LSB 先传送。当 MLS 位是“1”时，按照从 LSB 开始最后为 MSB 的顺序传送；当 MLS 位是“0”时，按照从 MSB 开始最后为 LSB 的顺序传送。

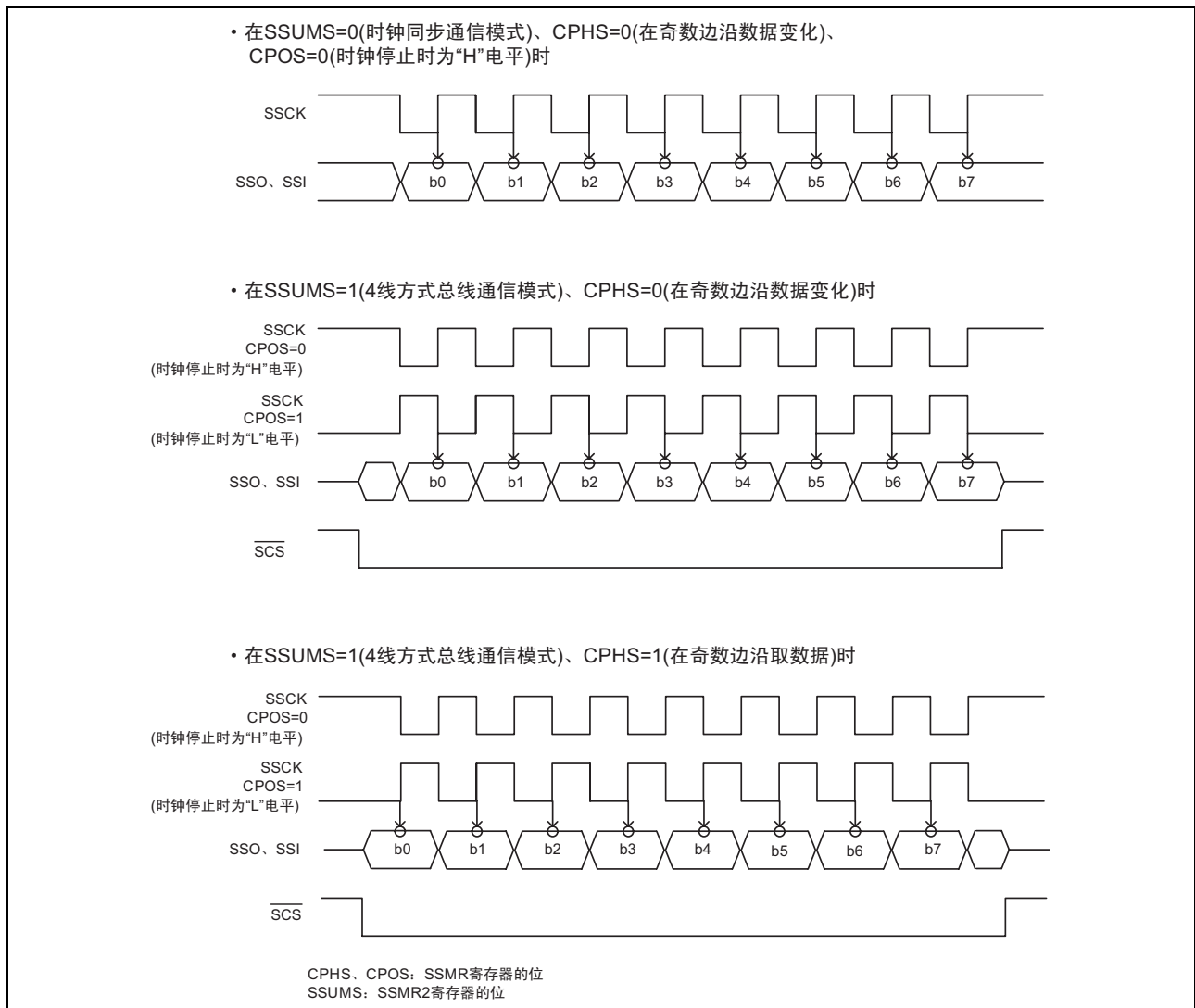


图 17.10 传送时钟的极性、相位和传送数据的关系

17.2.2 SS 移位寄存器 (SSTRSR)

SSTRSR 寄存器是发送和接收串行数据的移位寄存器。

在将发送数据从 SSTDR 寄存器传送到 SSTRSR 寄存器时，如果 SSMR 寄存器的 MLS 位是“0”（MSB 先），就将 SSTDR 寄存器的 bit0 传送到 SSTRSR 寄存器的 bit 0；如果 MLS 位是“1”（LSB 先），就将 SSTDR 寄存器的 bit 7 传送到 SSTRSR 寄存器的 bit 0。

17.2.2.1 数据输入 / 输出管脚和 SS 移位寄存器的关系

根据 SSCRH 寄存器的 MSS 位和 SSMR2 寄存器的 SSUMS 位的组合，数据输入 / 输出管脚和 SSTRSR 寄存器的连接关系不同。另外，根据 SSMR2 寄存器的 BIDE 位连接关系也不同，数据输入 / 输出管脚和 SSTRSR 寄存器的连接关系如图 17.11 所示。

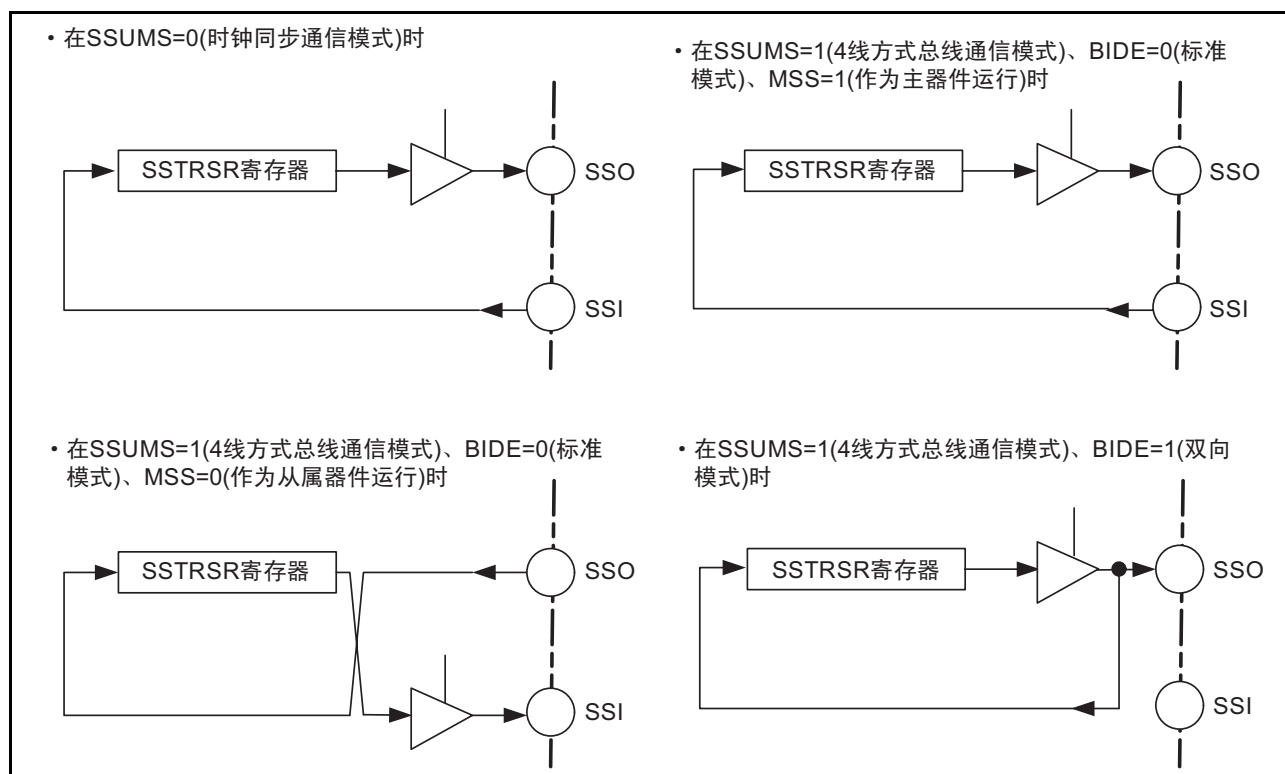


图 17.11 数据输入 / 输出管脚和 SSTRSR 寄存器的连接关系

17.2.3 中断请求

带片选的时钟同步串行 I/O 的中断请求有发送数据空、发送结束、接收数据满、溢出错误和冲突错误 5 种中断请求。由于这些中断请求被分配在带片选的时钟同步串行 I/O 的中断向量表，所以需要根据标志判断中断源。带片选的时钟同步串行 I/O 的中断请求如表 17.3 所示。

表 17.3 带片选的时钟同步串行 I/O 的中断请求

中断请求	略称	发生条件
发送数据空	TXI	TIE=1 并且 TDRE=1
发送结束	TEI	TEIE=1 并且 TEND=1
接收数据满	RXI	RIE=1 并且 RDRF=1
溢出错误	OEI	RIE=1 并且 ORER=1
冲突错误	CEI	CEIE=1 并且 CE=1

CEIE、RIE、TEIE、TIE: SSER 寄存器的位

ORER、RDRF、TEND、TDRE: SSSR 寄存器的位

如果满足表 17.3 的发生条件，就产生带片选的时钟同步串行 I/O 的中断请求。必须通过带片选的时钟同步串行 I/O 的中断程序将各自的中断源置“0”。

但是，TDRE 位和 TEND 位通过将发送数据写到 SSTDR 寄存器自动清“0”，RDRF 位通过读 SSRDR 寄存器自动清“0”。尤其是在将发送数据写到 SSTDR 寄存器的同时，TDRE 位再次变为“1”（已将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），并且，如果将 TDRE 位置“0”（尚未将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），就可能多发送 1 个字节。

17.2.4 各通信模式和管脚功能

带片选的时钟同步串行 I/O 在各通信模式中，根据 SSCRH 寄存器的 MSS 位和 SSER 寄存器的 RE、TE 位的设定，输入 / 输出管脚的功能不同。通信模式和输入 / 输出管脚的关系如表 17.4 所示。

表 17.4 通信模式和输入 / 输出管脚的关系

通信模式	位的设定					管脚的状态		
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK
时钟同步通信模式	0	无效	0	0	1	输入	— (注 1)	输入
				1	0	— (注 1)	输出	输入
					1	输入	输出	输入
			1	0	1	输入	— (注 1)	输出
				1	0	— (注 1)	输出	输出
					1	输入	输出	输出
4 线方式总线通信模式	1	0	0	0	1	— (注 1)	输入	输入
				1	0	输出	— (注 1)	输入
					1	输出	输入	输入
			1	0	1	输入	— (注 1)	输出
				1	0	— (注 1)	输出	输出
					1	输入	输出	输出
4 线方式总线 (双向) 通信模式 (注 2)	1	1	0	0	1	— (注 1)	输入	输入
				1	0	— (注 1)	输出	输入
			1	0	1	— (注 1)	输入	输出
				1	0	— (注 1)	输出	输出

注 1 能用作可编程输入 / 输出端口。

注 2 在 4 线方式总线（双向）通信模式中，不能同时将 TE 和 RE 位置“1”。

SSUMS、BIDE：SSMR2 寄存器的位

MSS：SSCRH 寄存器的位

TE、RE：SSER 寄存器的位

17.2.5 时钟同步通信模式

17.2.5.1 时钟同步通信模式的初始化

时钟同步通信模式的初始化如图 17.12 所示。必须在发送或接收数据前将 SSER 寄存器的 TE 位置“0”（禁止发送）、RE 位置“0”（禁止接收），进行初始化。

另外，在更改通信模式和通信格式等的情况下，必须在将 TE 位置“0”、RE 位置“0”，后更改。即使将 RE 位置“0”，也保持 RDRF、ORER 的各标志和 SSRDR 寄存器的内容。

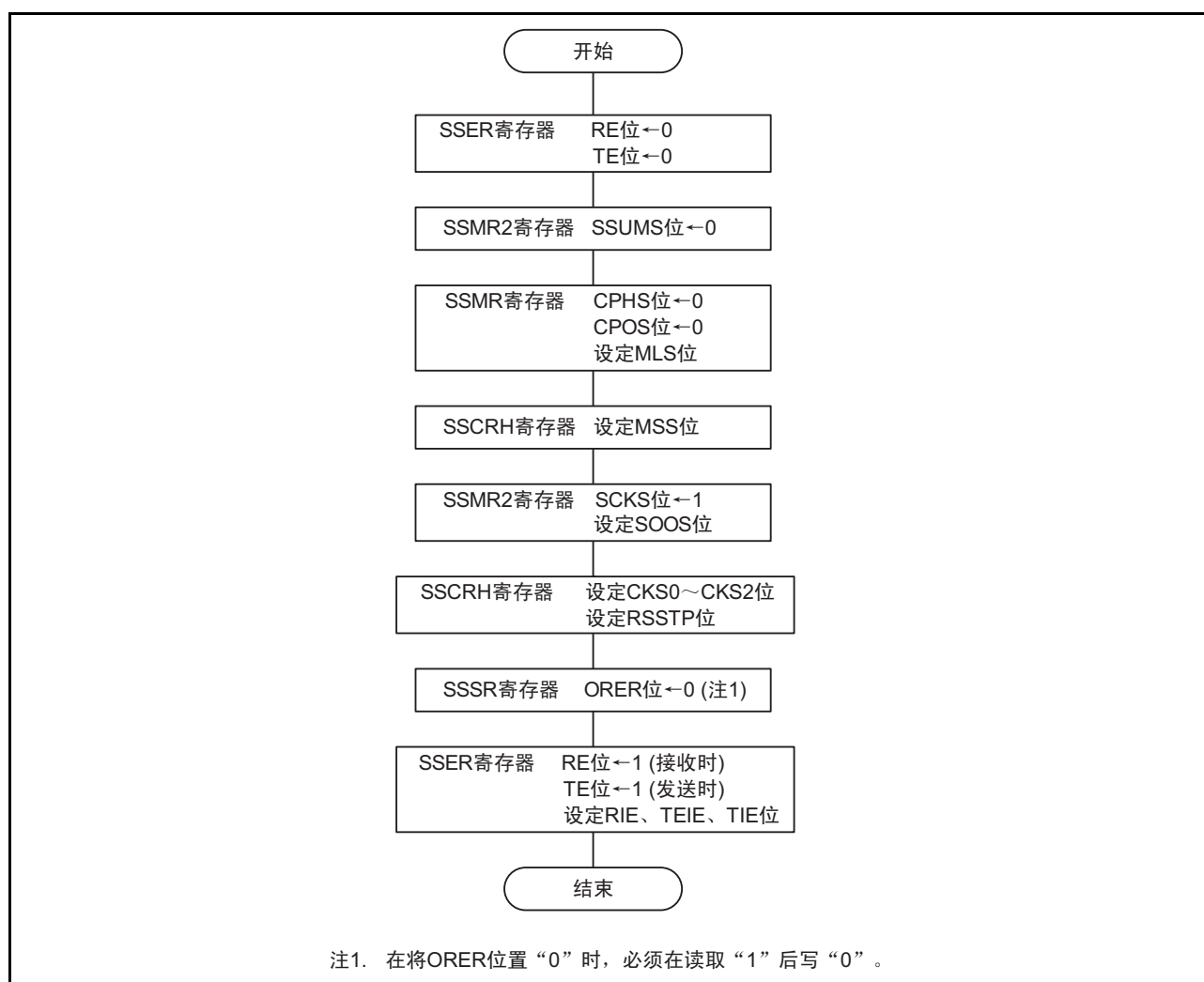


图 17.12 时钟同步通信模式的初始化

17.2.5.2 数据的发送

发送数据时的运行例子（时钟同步通信模式）如图 17.13 所示，发送数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主器件时，输出同步时钟和数据；在设定为从属器件时，与输入时钟同步输出数据。

如果在 TE 位置“1”（允许发送）后将发送数据写到 SSTDR 寄存器，TDRE 位就自动清“0”（尚未将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），并将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器。然后，TDRE 位变为“1”（已将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），并开始发送。此时，如果 SSER 寄存器的 TIE 位为“1”，就产生 TXI 中断请求。

如果在 TDRE 位为“0”的状态下 1 帧的传送结束，就将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器，开始下一个帧的发送。如果在 TDRE 位为“1”的状态下发送 bit 8，SSSR 寄存器的 TEND 位就为“1”（在发送数据的最后位被发送时，TDRE 位为“1”），并保持该状态。此时，如果 SSER 寄存器的 TEIE 位为“1”（允许发送结束的中断请求），就产生 TEI 中断请求。在发送结束后，SSCK 管脚被固定为“H”电平。

另外，在 SSRR 寄存器的 ORER 位为“1”（发生溢出错误）的状态下不能发送。必须在发送前确认 ORER 位是否为“0”。

数据发送的流程图例子（时钟同步通信模式）如图 17.14 所示。

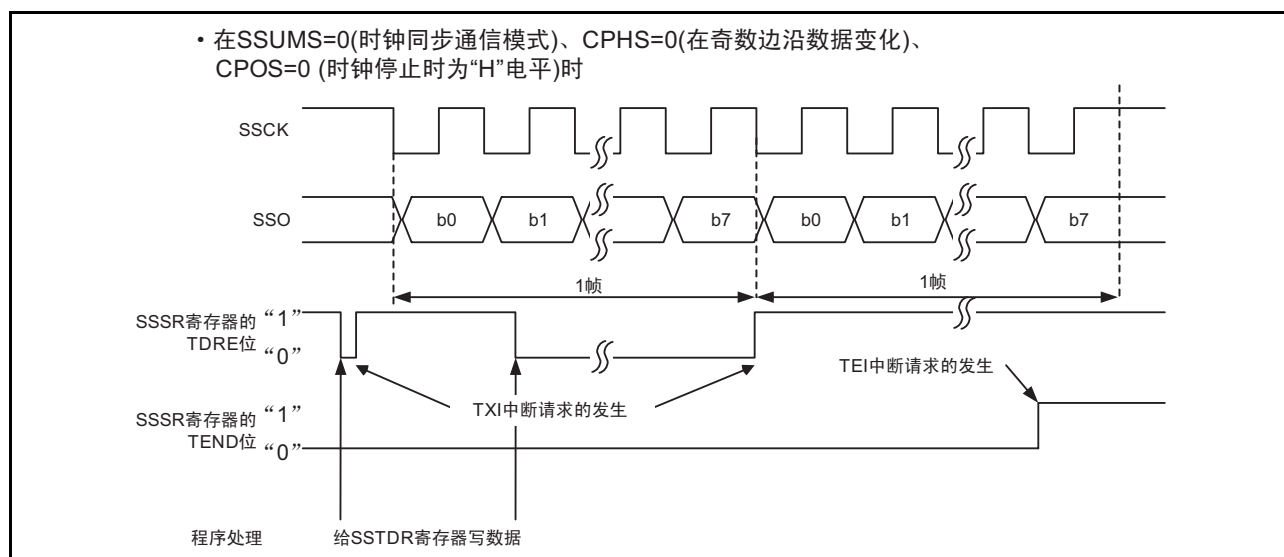


图 17.13 发送数据时的运行例子（时钟同步通信模式）

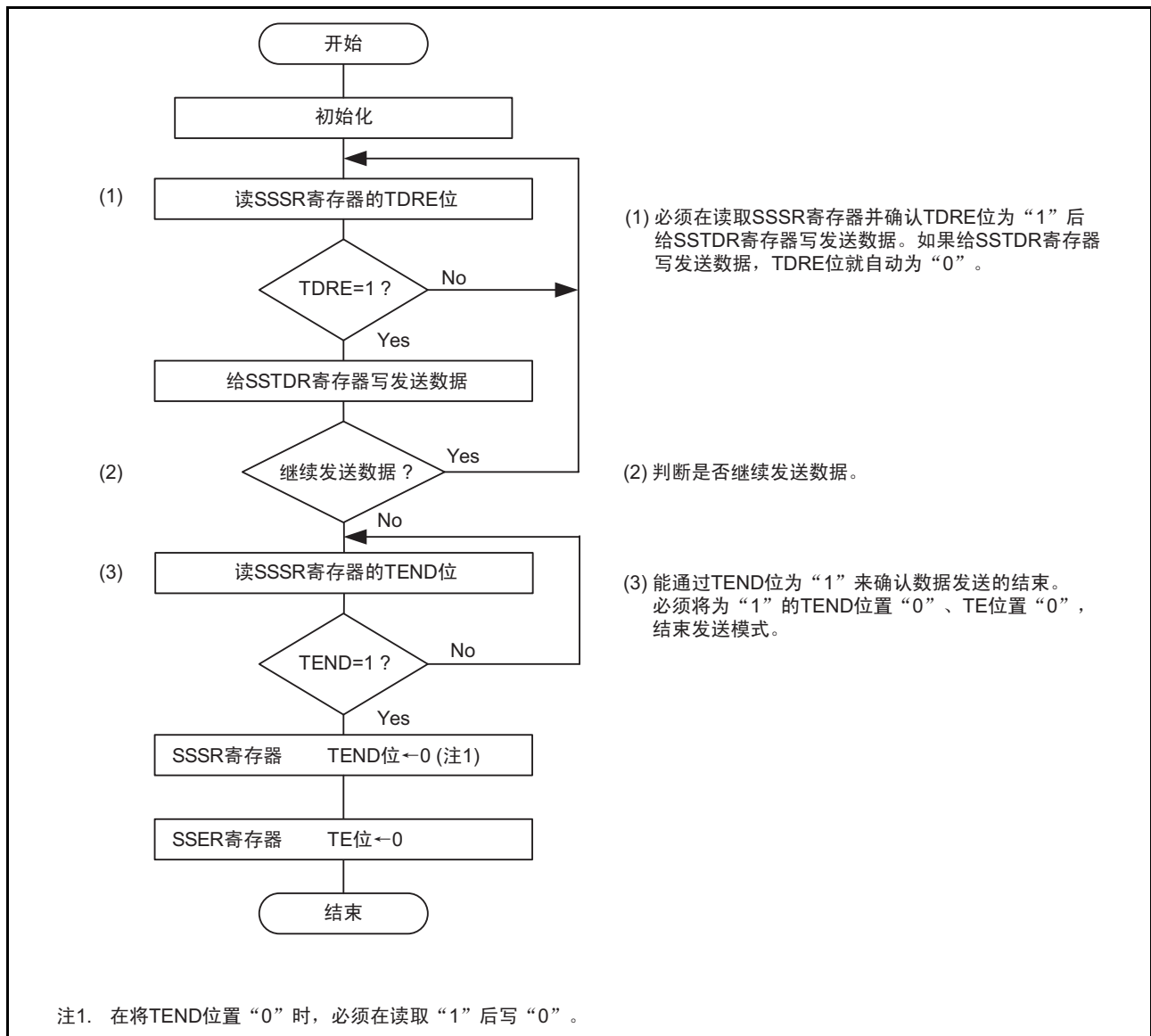


图 17.14 数据发送的流程图例子（时钟同步通信模式）

17.2.5.3 数据的接收

接收数据时的运行例子（时钟同步通信模式）如图 17.15 所示，接收数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主器件时，输出同步时钟，并输入数据；在设定为从属器件时，与输入时钟同步输入数据。

在设定为主器件时，最初通过虚读 SSRDR 寄存器输出接收时钟，开始接收。

在接收 8 位数据后，SSSR 寄存器的 RDRF 位为“1”（SSRDR 寄存器中有数据），并将接收数据保存到 SSRDR 寄存器。此时，如果 SSER 寄存器的 RIE 位为“1”（允许 RXI 和 OEI 中断请求），就产生 RXI 中断请求。如果读 SSRDR 寄存器，RDRF 位就自动清“0”（SSRDR 寄存器中没有数据）。

在设定为主器件并结束接收时，必须在将 SSCRH 寄存器的 RSSTP 位置“1”（在接收 1 字节数据后，接收运行结束）后读取接收的数据。从而在输出 8 位的时钟后停止接收运行。然后，必须将 SSER 寄存器的 RE 位置“0”（禁止接收）、RSSTP 位置“0”（即使在接收 1 字节数据后，还继续接收运行），读取最后接收的数据。如果在 RE 位为“1”（允许接收）的状态下读 SSRDR 寄存器，就再次输出接收时钟。

如果在 RDRF 位为“1”的状态下第 8 个时钟上升，SSSR 寄存器的 ORER 位就为“1”（发生溢出错误），发生溢出错误（OEI）并停止接收运行。另外，在 ORER 位为“1”的状态下不能接收。必须在重新开始接收前确认 ORER 位是否为“0”。

数据接收的流程图例子（MSS=1）（时钟同步通信模式）如图 17.16 所示。

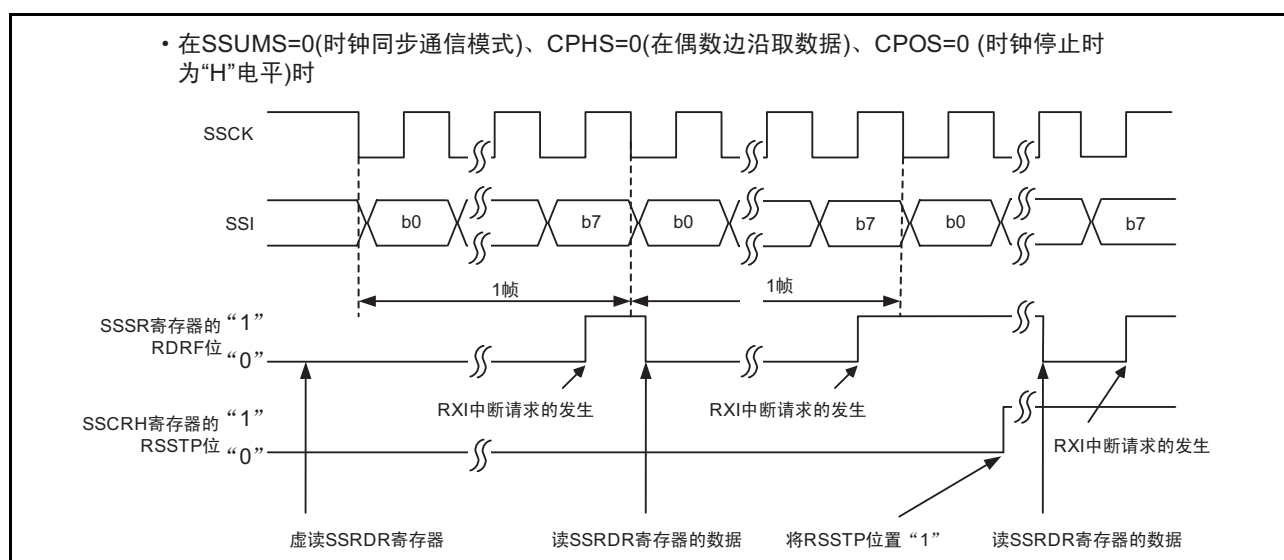


图 17.15 接收数据时的运行例子（时钟同步通信模式）

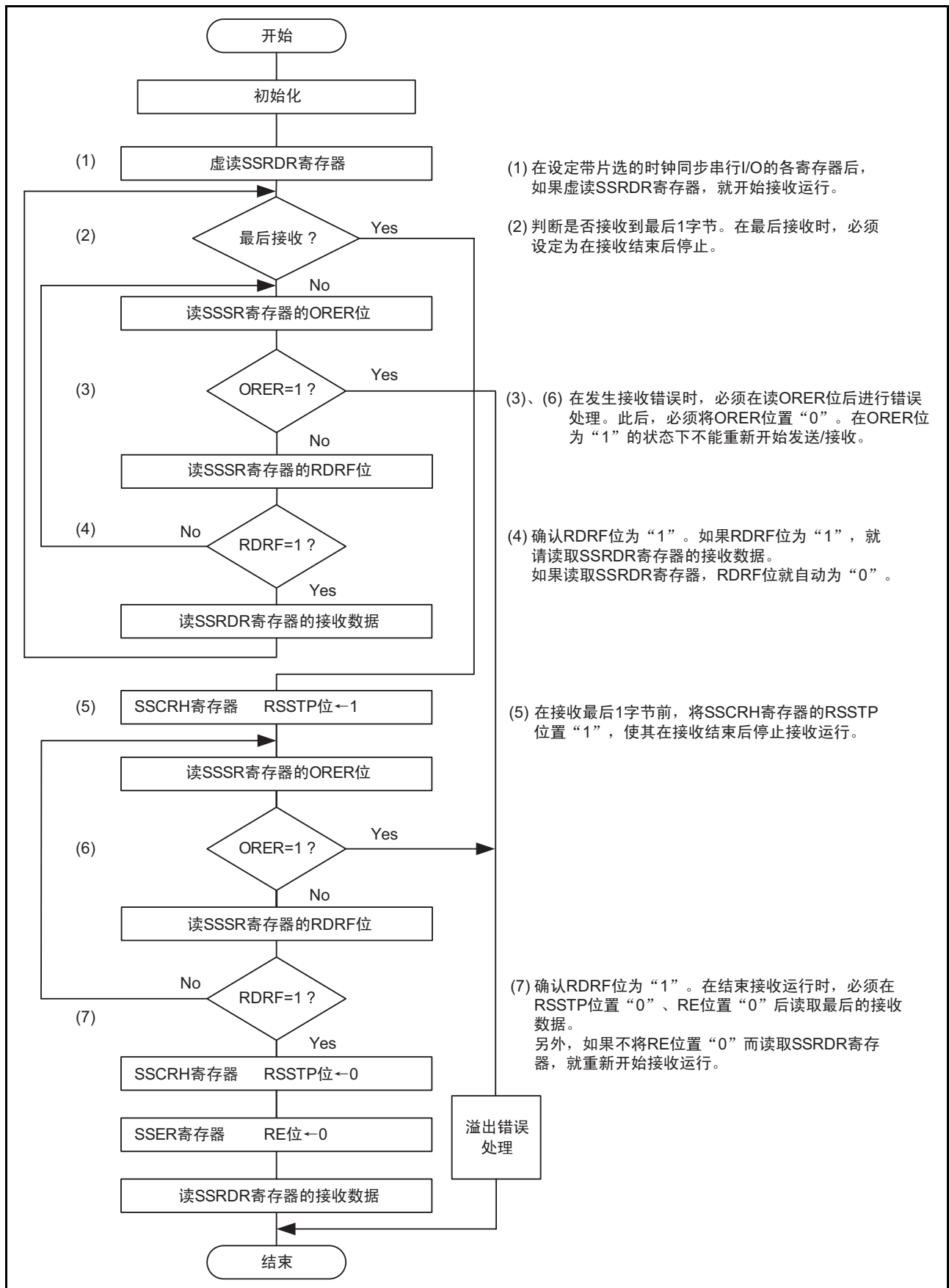


图 17.16 数据接收的流程图例子 (MSS=1) (时钟同步通信模式)

17.2.5.4 数据的发送和接收

数据的发送和接收为上述的数据发送和数据接收的复合运行。

如果将发送数据写到 SSTD_R 寄存器，就开始发送和接收。另外，如果在 TDRE 位为“1”（将数据从 SSTD_R 寄存器传送到 SSTRSR 寄存器）的状态下第 8 个时钟上升时，或者 ORER 位为“1”（发生溢出错误）时，停止发送和接收。

在从发送模式（TE=1）或者接收模式（RE=1）转换为发送和接收模式（TE=RE=1）时，必须先将 TE 位和 RE 位置“0”后再进行更改。另外，必须在确认 TEND 位是“0”（在发送数据的最后位被发送时，TDRE 位为“0”）、RDRF 位是“0”（SSRDR 寄存器中没有数据）以及 ORER 位是“0”（无溢出错误）后，将 TE 和 RE 位置“1”。

数据的发送和接收的流程图例子（时钟同步通信模式）如图 17.17 所示。

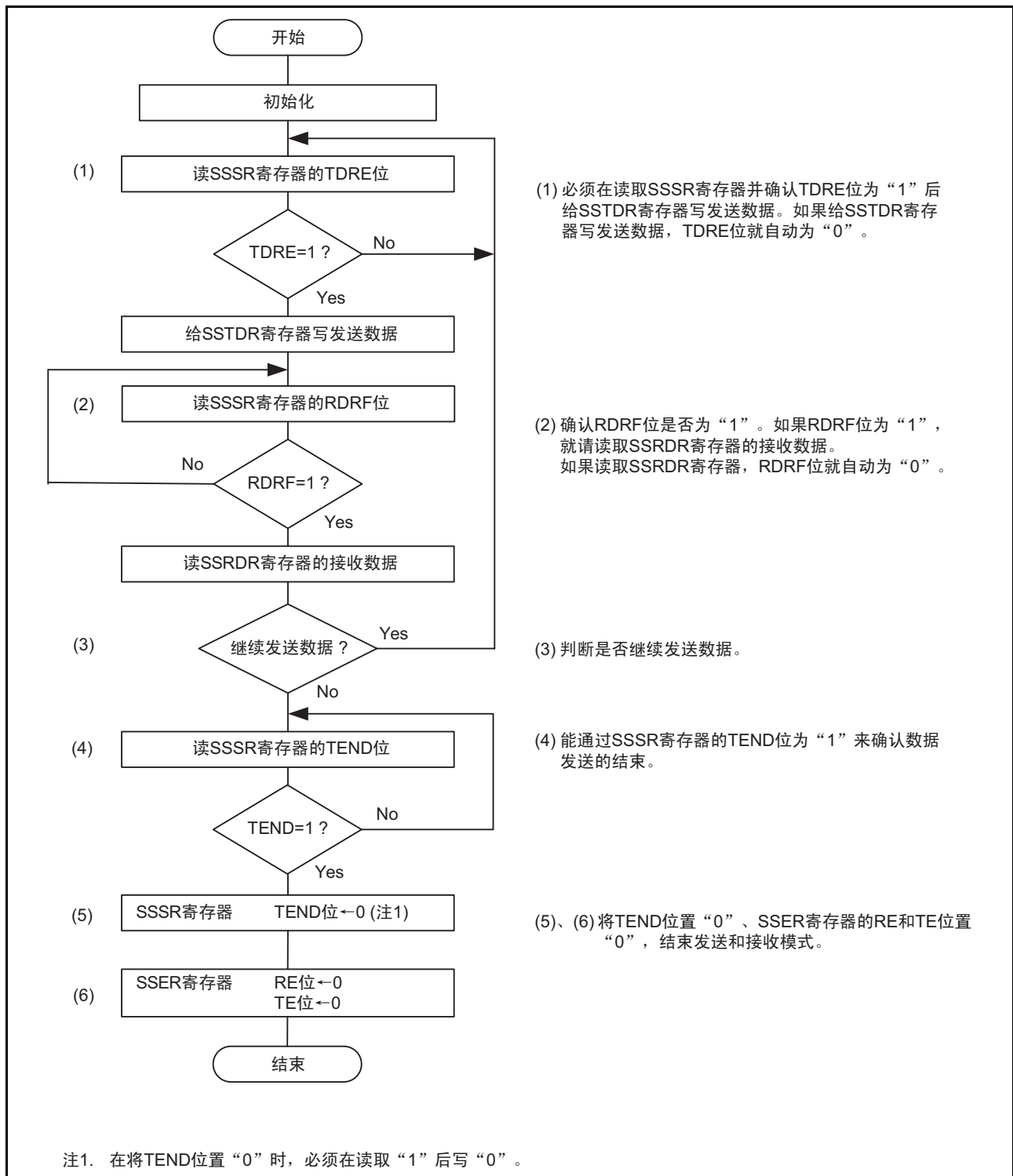


图 17.17 数据发送和接收的流程图例子（时钟同步通信模式）

17.2.6 4 线方式总线通信模式

4 线方式总线通信模式是使用时钟线、数据输入线、数据输出线和片选线 4 条总线进行通信的模式。此模式也包含用 1 个管脚进行数据输入和数据输出的双向模式。

数据输入线和数据输出线因 SSCRH 寄存器的 MSS 位和 SSMR2 寄存器的 BIDE 位的设定而不同，详细内容请参照“17.2.2.1 数据输入 / 输出管脚和 SS 移位寄存器的关系”。另外，在此模式中，能通过 SSMR 寄存器的 CPOS 位和 CPHS 位设定时钟的极性、相位和数据的关系，详细内容请参照“17.2.1.1 传送时钟的极性、相位和数据的关系”。

片选线在主器件的情况下进行输出控制，在从属器件的情况下进行输入控制。在主器件的情况下，能将 SSMR2 寄存器的 CSS1 位置“1”，进行 \overline{SCS} 管脚或者通用端口的输出控制。在从属器件的情况下，将 SSMR2 寄存器的 CSS1、CSS0 位置“01b”，使 \overline{SCS} 管脚作为输入管脚使用。

在 4 线方式总线通信模式中，通常将 SSMR 寄存器的 MLS 位置“0”，进行 MSB 先的通信。

17.2.6.1 4 线方式总线通信模式的初始化

4 线方式总线通信模式的初始化如图 17.18 所示。必须在发送 / 接收数据前将 SSER 寄存器的 TE 位置“0”（禁止发送）、RE 位置“0”（禁止接收），进行初始化。

另外，在更改通信模式和通信格式等的情况下，必须在将 TE 位置“0”、RE 位置“0”后更改。

即使将 RE 位置“0”，也保持 RDRF、ORER 的各标志和 SSRDR 寄存器的内容。

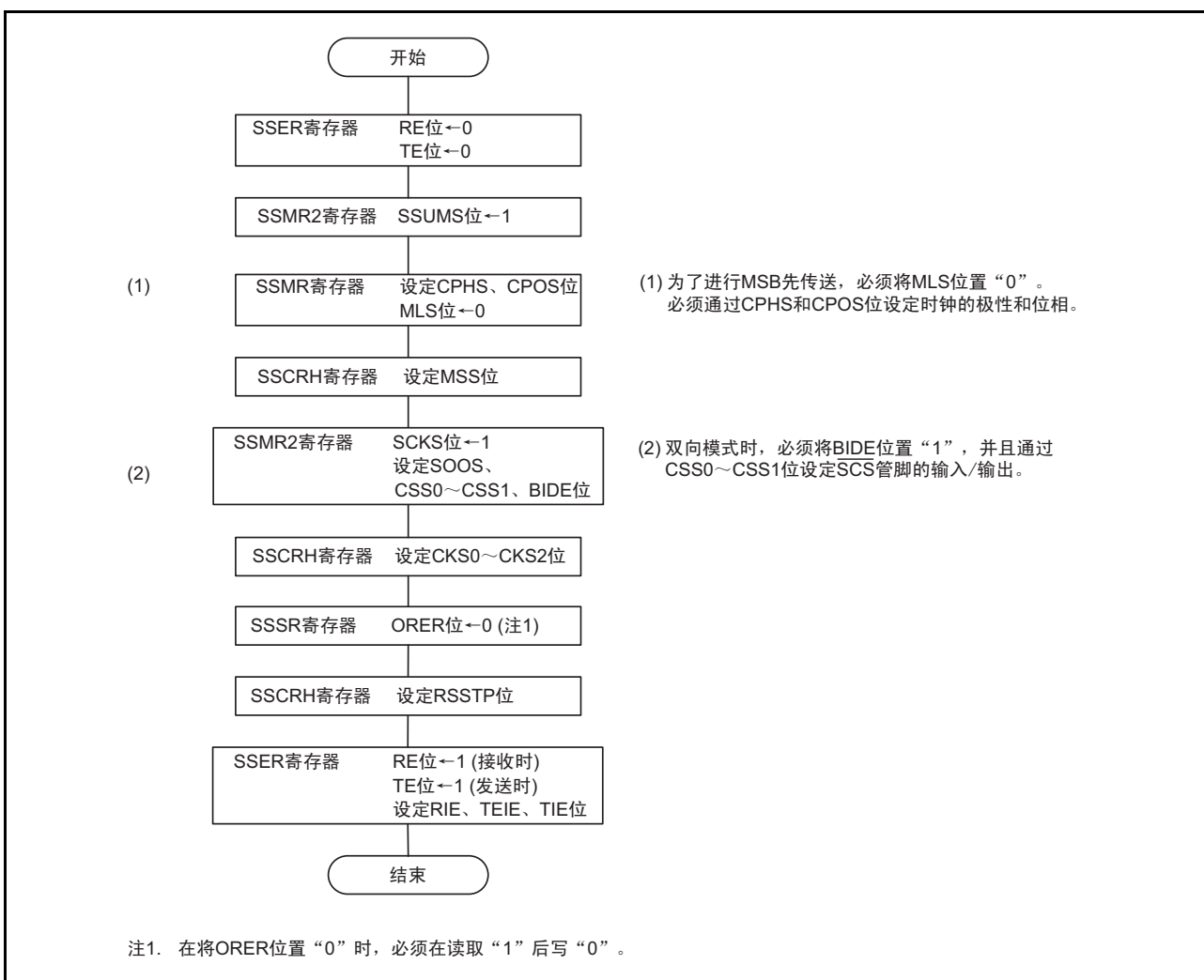


图 17.18 4 线方式总线通信模式的初始化

17.2.6.2 数据的发送

发送数据时的运行例子（4线方式总线通信模式）如图 17.19 所示，发送数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主器件时，输出同步时钟和数据；在设定为从属器件时，在 \overline{SCS} 管脚为“L”电平输入的状态下，与输入时钟同步输出数据。

如果在 TE 位置“1”（允许发送）后将发送数据写到 SSTDR 寄存器，TDRE 位就自动清“0”（尚未将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），并将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器。然后，TDRE 位变为“1”（已将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器），并开始发送。此时，如果 SSER 寄存器的 TIE 位为“1”，就产生 TXI 中断请求。

如果在 TDRE 位为“0”的状态下 1 帧的传送结束，就将数据从 SSTDR 寄存器传送到 SSTRSR 寄存器，开始发送下一个帧。如果在 TDRE 位为“1”的状态下发送 bit 8，SSSR 寄存器的 TEND 位就为“1”（在发送数据的最后位被发送时，TDRE 位为“1”），并保持该状态。此时，如果 SSER 寄存器的 TEIE 位为“1”（允许发送结束的中断请求），就产生 TEI 中断请求。在发送结束后，SSCK 管脚固定为“H”电平， \overline{SCS} 管脚为“H”电平。在 \overline{SCS} 管脚仍为“L”电平进行连续发送时，必须在发送 bit 8 前将下一个发送数据写到 SSTDR 寄存器。

另外，在 SSSR 寄存器的 ORER 位为“1”（发生溢出错误）的状态下不能发送。必须在发送前确认 ORER 位是否为“0”。

和时钟同步通信模式的区别是：主器件时的 \overline{SCS} 管脚在高阻抗状态下 SSO 管脚处于高阻抗状态；从属器件时的 \overline{SCS} 管脚在“H”电平输入状态下 SSI 管脚处于高阻抗状态。

流程图的例子和时钟同步通信模式相同（参照“图 17.14 数据发送的流程图例子（时钟同步通信模式）”）。

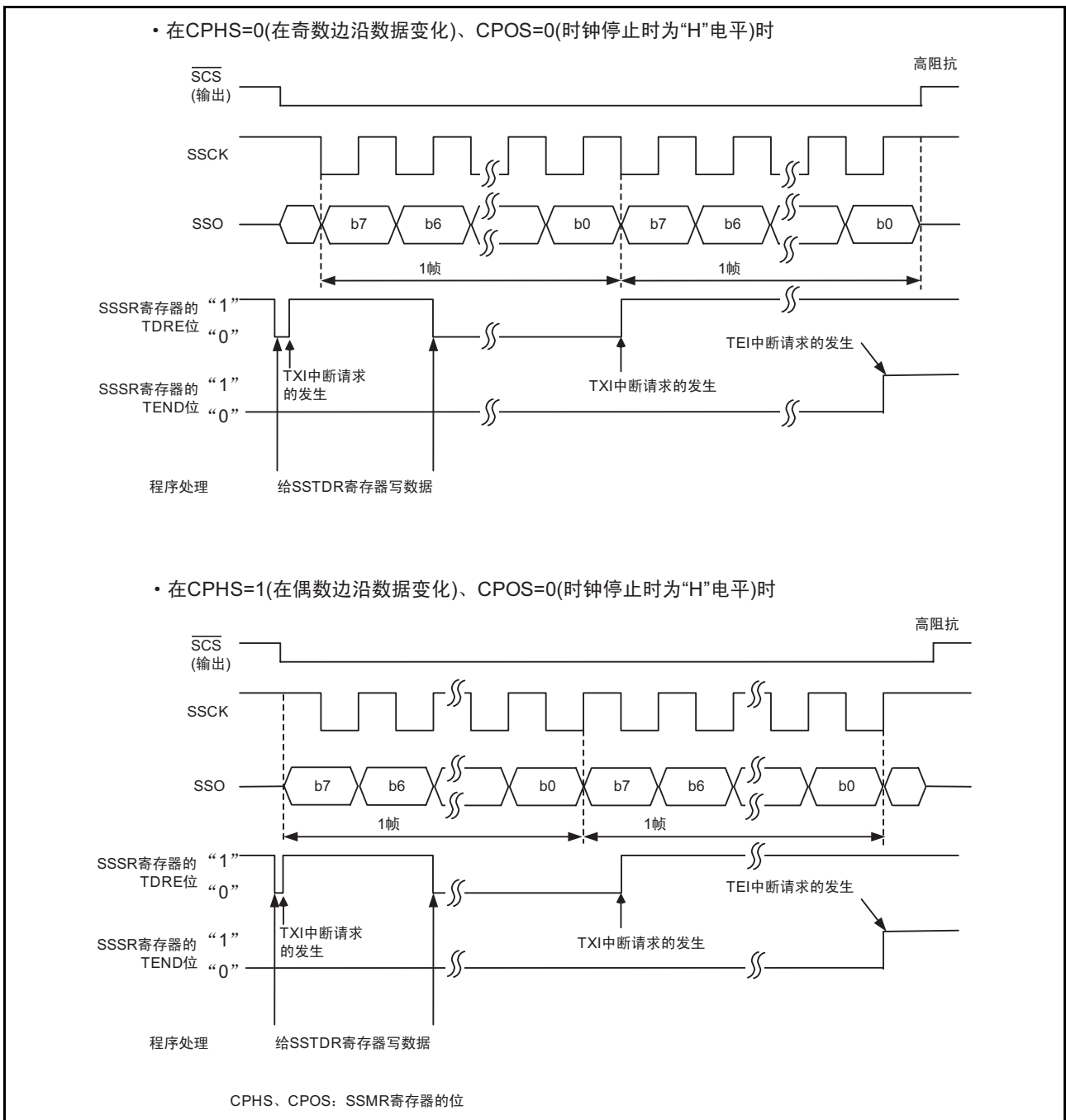


图 17.19 发送数据时的运行例子 (4 线方式总线通信模式)

17.2.6.3 数据的接收

接收数据时的运行例子（4线方式总线通信模式）如图 17.20 所示，接收数据时的运行如下：

在将带片选的时钟同步串行 I/O 设定为主器件时，输出同步时钟，并输入数据；在设定为从属器件时，在 $\overline{\text{SCS}}$ 管脚为“L”电平输入的状态下，与输入时钟同步输入数据。

在设定为主器件时，最初通过虚读 SSRDR 寄存器输出接收时钟，开始接收。

在接收 8 位数据后，SSSR 寄存器的 RDRF 位为“1”（SSRDR 寄存器中有数据），将接收数据保存到 SSRDR 寄存器。此时，如果 SSER 寄存器的 RIE 位为“1”（允许 RXI 和 OEI 中断请求），就产生 RXI 中断请求。如果读 SSRDR 寄存器，RDRF 位就自动清“0”（SSRDR 寄存器中没有数据）。

在设定为主器件并结束接收时，必须在 SSCRH 寄存器的 RSSTP 位置“1”（在接收 1 字节数据后，接收运行结束）后读取接收的数据。从而在输出 8 位的时钟后停止接收运行。然后，必须将 SSER 寄存器的 RE 位置“0”（禁止接收）、RSSTP 位置“0”（即使在接收 1 字节数据后，还继续接收运行），读取最后接收的数据。如果在 RE 位为“1”（允许接收）的状态下读 SSRDR 寄存器，就再次输出接收时钟。

如果在 RDRF 位为“1”的状态下第 8 个时钟上升，SSSR 寄存器的 ORER 位就为“1”（发生溢出错误），发生溢出错误（OEI）并停止接收运行。另外，在 ORER 位为“1”的状态下不能接收。必须在重新开始接收前确认 ORER 位是否为“0”。

RDRF 位和 ORER 位为“1”的时序因 SSMR 寄存器的 CPHS 位的设定而不同，此时序如图 17.20 所示。如果将 CPHS 位置“1”（在奇数边沿取数据），RDRF 位和 ORER 位就在帧的中途变为“1”，所以在结束接收时必须注意。

流程图的例子和时钟同步通信模式相同（参照“图 17.16 数据接收的流程图例子（MSS=1）（时钟同步通信模式）”）。

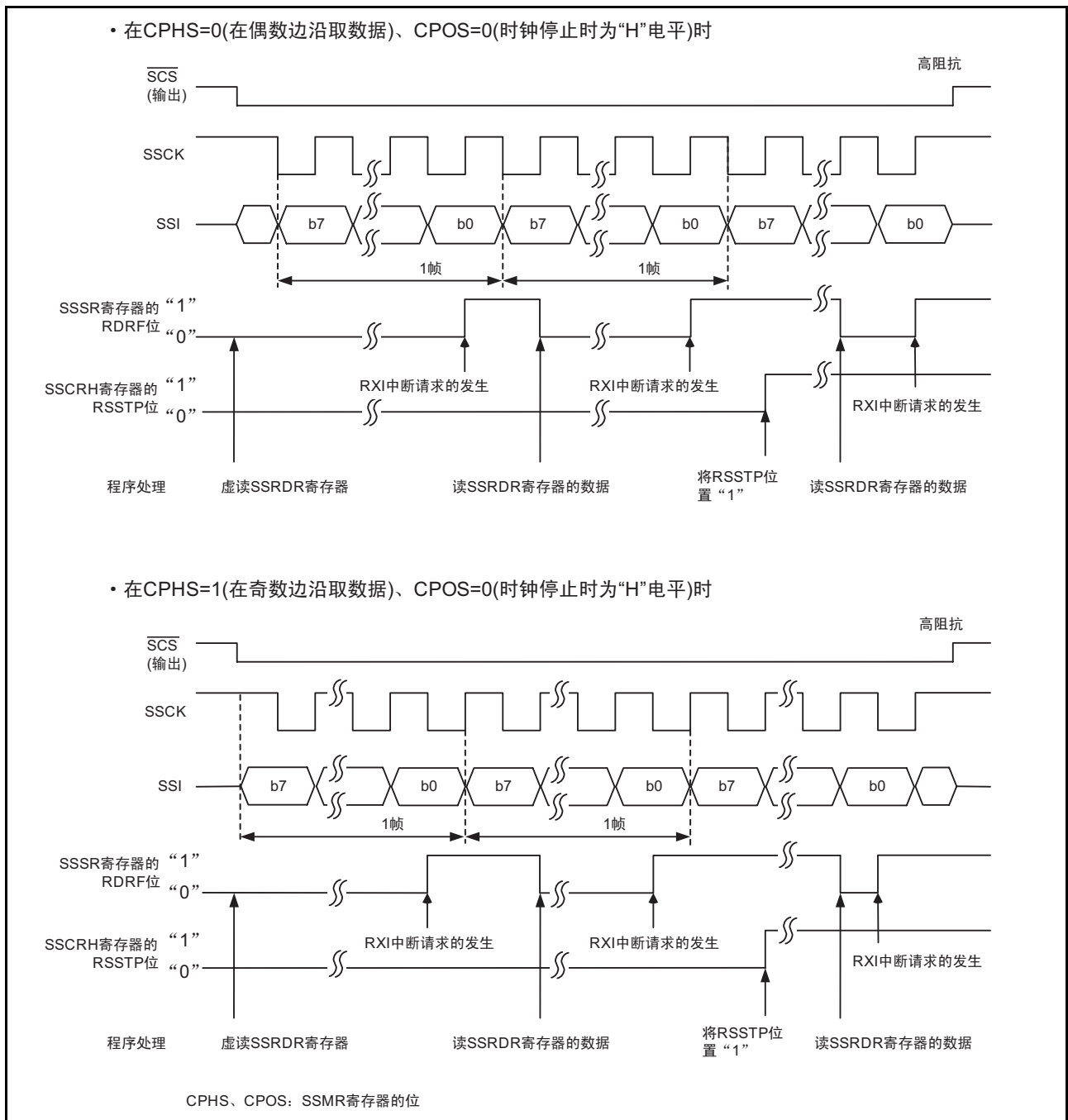


图 17.20 接收数据时的运行例子（4线方式总线通信模式）

17.2.7 $\overline{\text{SCS}}$ 管脚控制和仲裁

如果将 SSMR2 寄存器的 SSUMS 位置 “1”（4 线方式总线通信模式）、CSS1 位置 “1”（用作 $\overline{\text{SCS}}$ 输出管脚），就在 SSCRH 寄存器的 MSS 位置 “1”（作为主器件运行）后到开始串行传送前，检查 $\overline{\text{SCS}}$ 管脚的仲裁。如果检测到与此期间同步的内部 SCS 信号为 “L” 电平，SSSR 寄存器的 CE 位就为 “1”（发生冲突错误），MSS 位自动清 “0”（作为从属器件运行）。

仲裁检查时序如图 17.21 所示。

另外，在 CE 位为 “1” 的状态下不能进行以后的发送运行。因此，必须在开始发送前将 CE 位置 “0”（无冲突错误）。

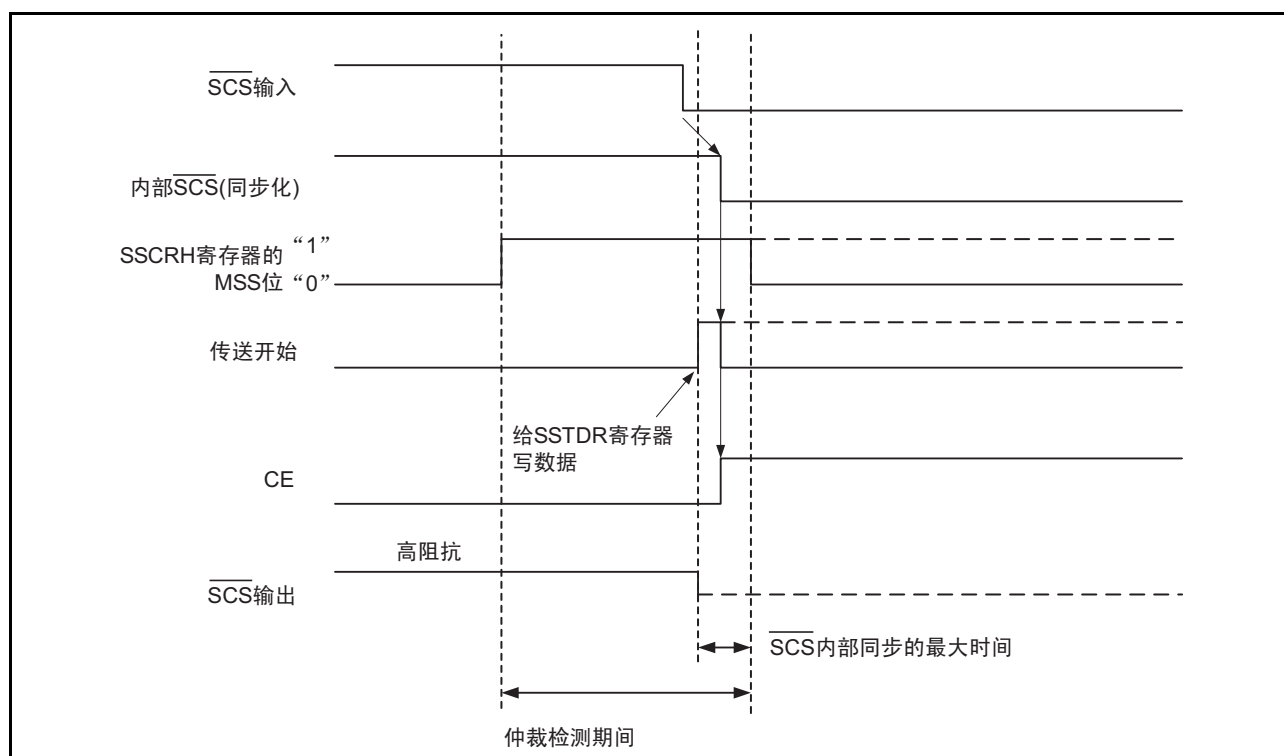


图 17.21 仲裁检查时序

17.2.8 带片选的时钟同步串行 I/O 的使用注意事项

- 在使用带片选的时钟同步串行 I/O 时，必须将 PMR 寄存器的 IICSEL 位置 “0”（选择带片选的时钟同步串行 I/O 功能）。

(1) 带片选的时钟同步串行 I/O 相关寄存器的存取

对于带片选的时钟同步串行 I/O 相关寄存器（地址 00B8h ~ 00BFh）的相同寄存器，必须在进行写操作后“等待 3 条指令以上”或者“等待 4 个周期以上”进行读操作。

- 等待 3 条指令以上的例子

```

程序例      MOV.B      #00h, 00BBh      ; 将 SSER 寄存器置 “00h”
              NOP
              NOP
              NOP
              MOV.B      00BBh, R0L
  
```

- 等待 4 个周期以上的例子

```

程序例      BCLR      4, 00BBh      ; 禁止发送
              JMP.B      NEXT
NEXT:
              BSET      3, 00BBh      ; 允许接收
  
```

(2) SSI 信号管脚的选择

在进行以下的设定时，必须将 SSMR2 寄存器的 SOOS 位置 “0”（CMOS 输出）：

- SSMR2 寄存器的 SSUMS 位 = “1”（4 线方式总线通信模式）
- SSMR2 寄存器的 BIDE 位 = “0”（标准模式）
- SSCRH 寄存器的 MSS 位 = “0”（作为从属器件运行）
- PMR 寄存器的 SSISEL 位 = “1”（将 P1_6 管脚用于 SSI01 管脚）

在进行上述的设定时，不能将 SSI01 管脚用作 NMOS 漏极开路输出。

17.3 I²C 总线接口

I²C 总线接口是基于飞利浦公司 I²C 总线的数据传送格式进行串行通信的电路。

I²C 总线接口的规格如表 17.5、I²C 总线接口的框图如图 17.22 以及 SCL 和 SDA 管脚的外部电路的连接例子如图 17.23 所示。

I²C 总线接口相关寄存器如图 17.24 ~ 图 17.30 所示。

※ I²C bus 是荷兰 PHILIPS 公司的注册商标。

表 17.5 I²C 总线接口的规格

项 目	规 格
通信格式	<ul style="list-style-type: none"> • I²C 总线格式 <ul style="list-style-type: none"> - 可选择主器件 / 从属器件 - 可连续发送和连续接收（因为移位寄存器、发送数据寄存器和接收数据寄存器各自独立） - 在主模式中自动生成开始条件和停止条件 - 在发送时，自动装入应答位 - 内置位同步和等待功能（在主模式中按位监视 SCL 状态，自动取得同步。在传送还没有准备好时，将 SCL 置“L”电平进行等待） - 可直接驱动 SCL、SDA 管脚（NMOS 漏极开路输出） • 时钟同步串行格式 <ul style="list-style-type: none"> - 可连续发送和连续接收（移位寄存器、发送数据寄存器和接收数据寄存器各自独立）
输入 / 输出管脚	SCL（输入 / 输出）：串行时钟输入 / 输出管脚 SDA（输入 / 输出）：串行数据输入 / 输出管脚
传送时钟	<ul style="list-style-type: none"> • 当 ICCR1 寄存器的 MST 位是“0”时为外部时钟（从 SCL 管脚输入） • 当 ICCR1 寄存器的 MST 位是“1”时为由 ICCR1 寄存器的 CKS0 ~ CKS3 位选择的内部时钟（从 SCL 管脚输出）
接收错误的检测	<ul style="list-style-type: none"> • 检测溢出错误（时钟同步串行格式） 表示在接收时发生溢出错误。在 ICSR 寄存器的 RDRF 位为“1”（ICDRR 寄存器中有数据）的状态下接收到下一个数据的最后位时，AL 位为“1”
中断源	<ul style="list-style-type: none"> • I²C 总线格式 6 种（注 1） 发送数据空（包含从属地址匹配时）、发送结束、接收数据满（包含从属地址匹配时）、仲裁失败、NACK 检测和停止条件检测 • 时钟同步串行格式 4 种（注 1） 发送数据空、发送结束、接收数据满和溢出错误
选择功能	<ul style="list-style-type: none"> • I²C 总线格式 <ul style="list-style-type: none"> - 在接收时，可选择应答的输出电平 • 时钟同步串行格式 <ul style="list-style-type: none"> - 数据传送方向可选择 MSB 先或者 LSB 先

注 1 在中断向量表中只有 1 个 I²C 总线接口的中断向量。

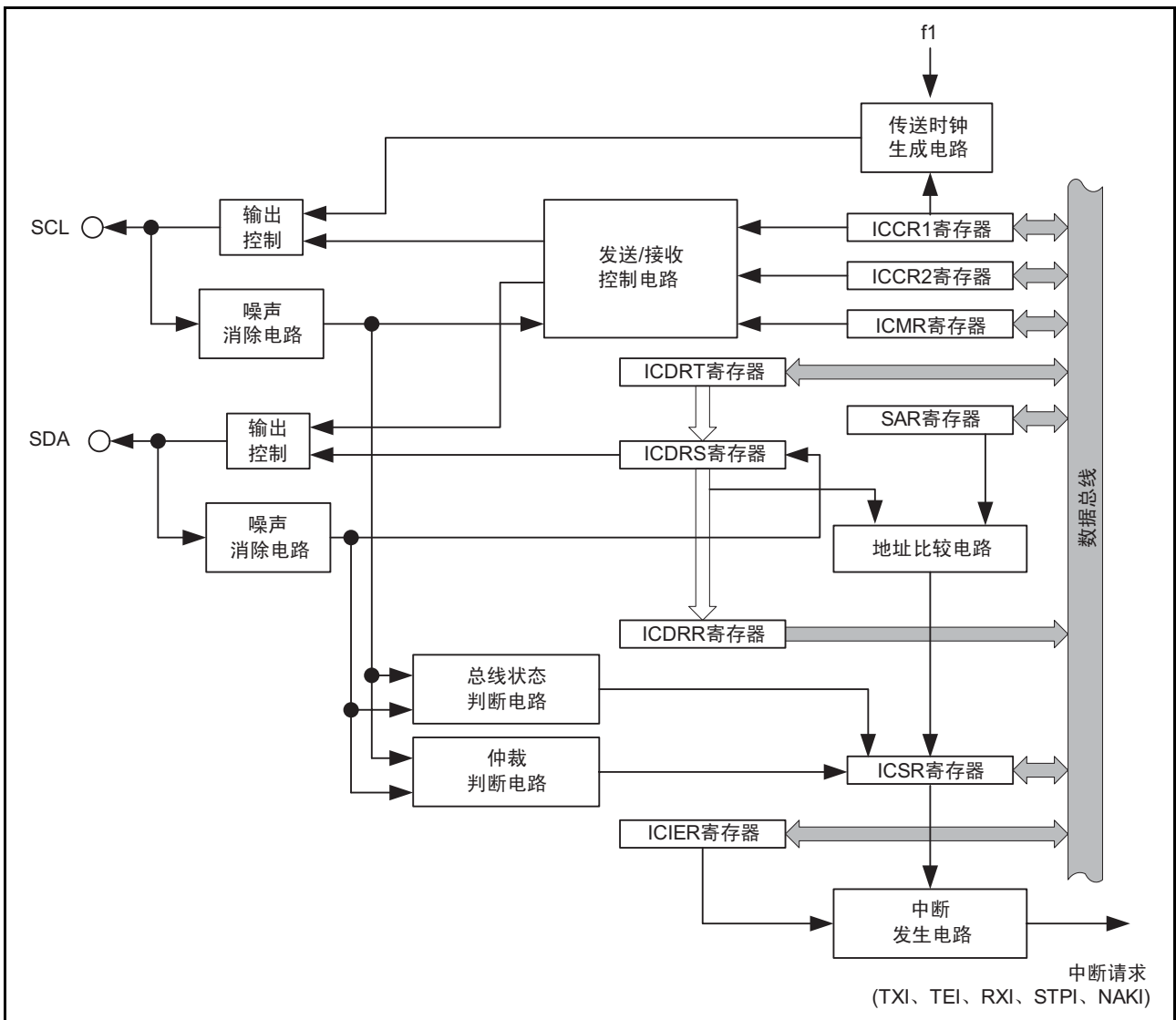


图 17.22 I²C 总线接口的框图

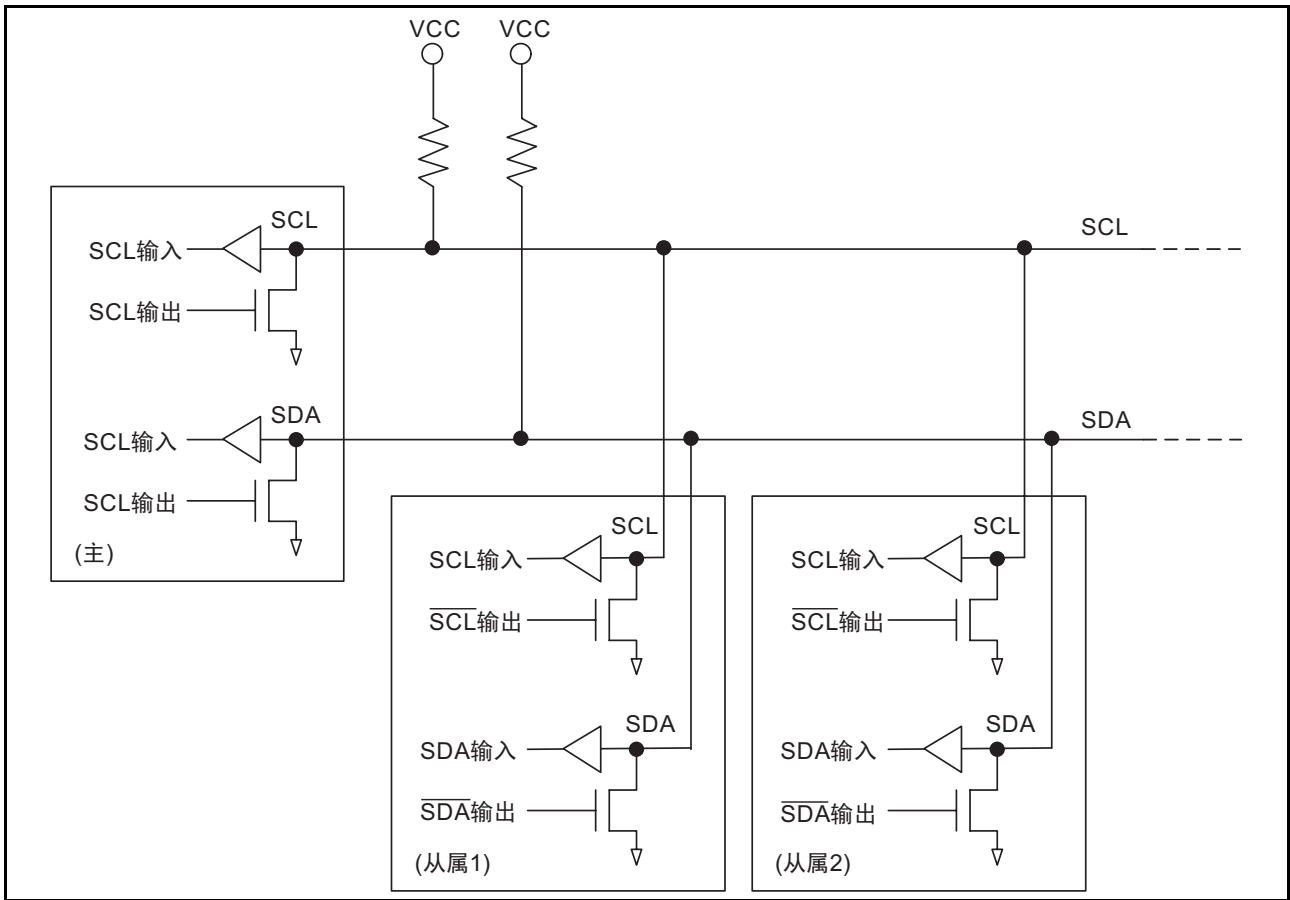


图 17.23 SCL、SDA 管脚的外部电路的连接例子

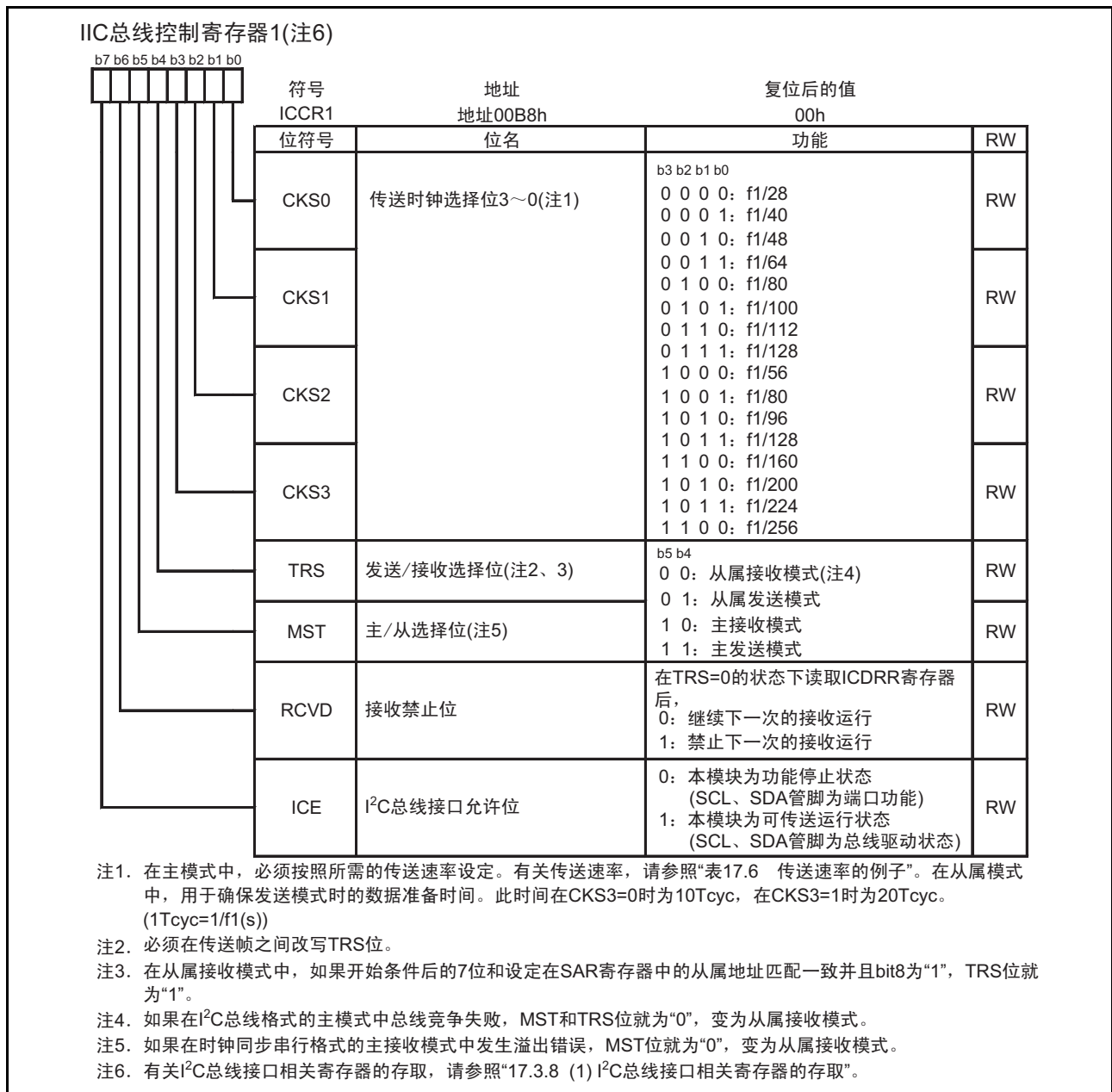


图 17.24 ICCR1 寄存器

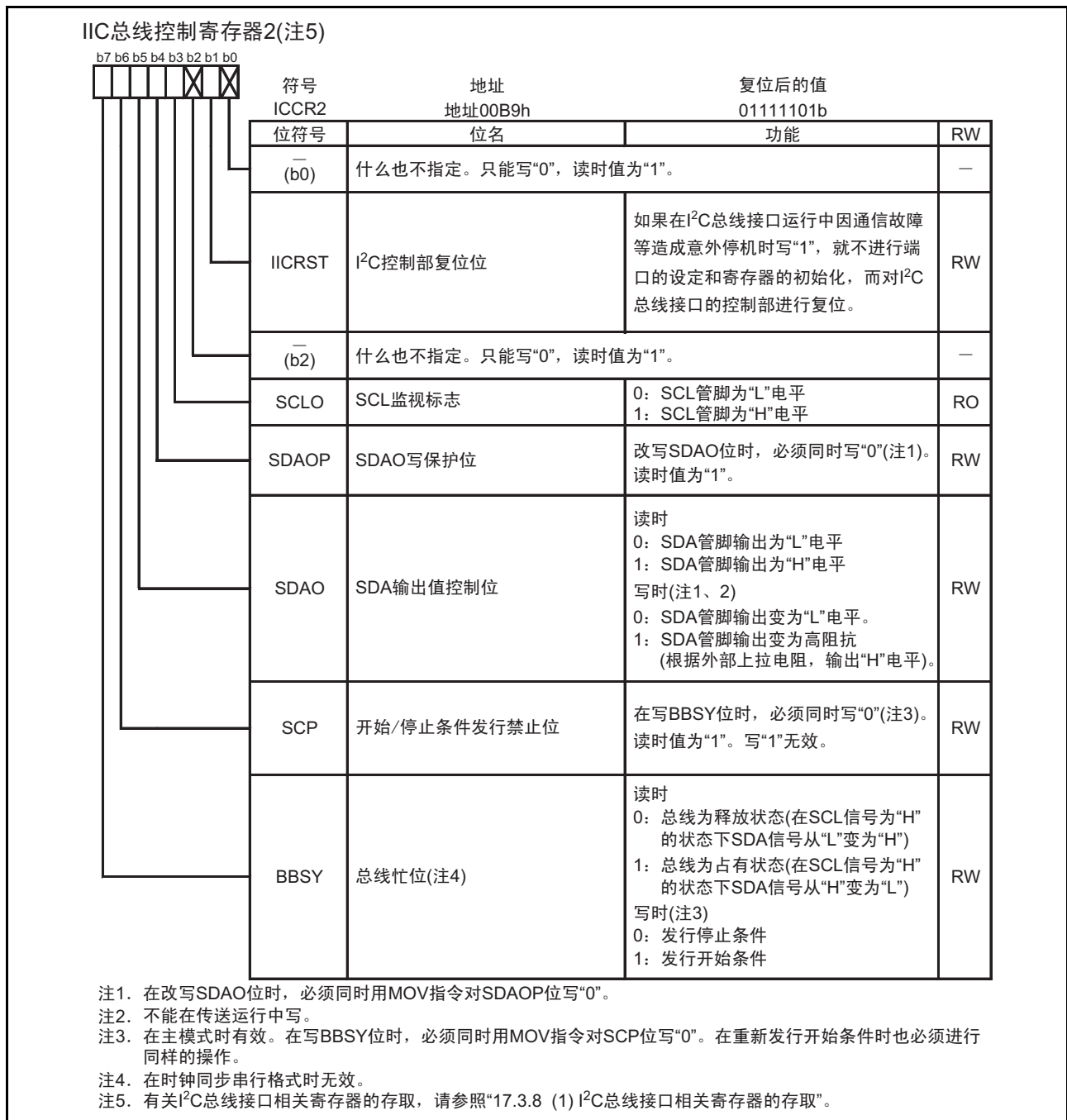


图 17.25 ICCR2 寄存器

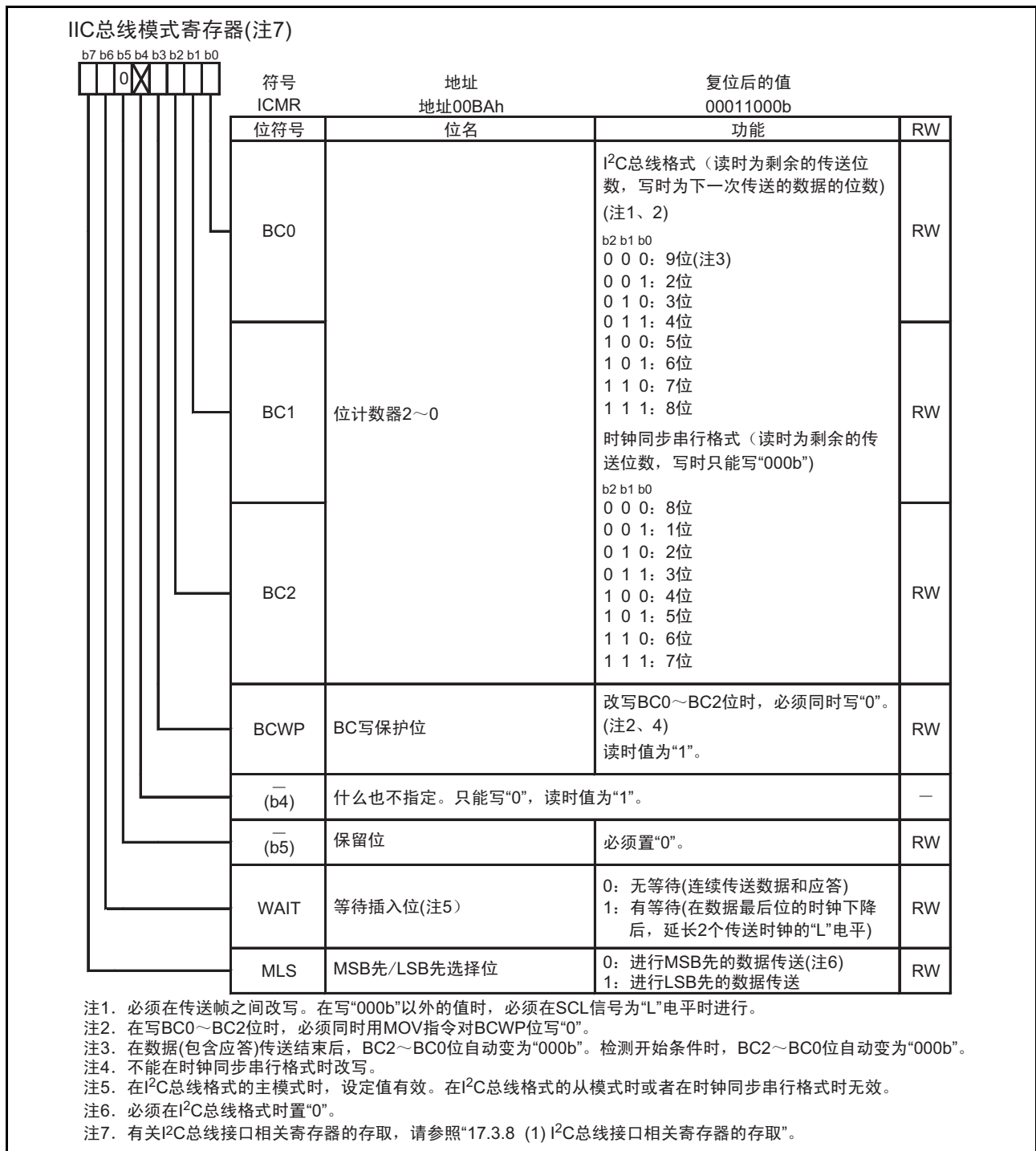


图 17.26 ICMR 寄存器

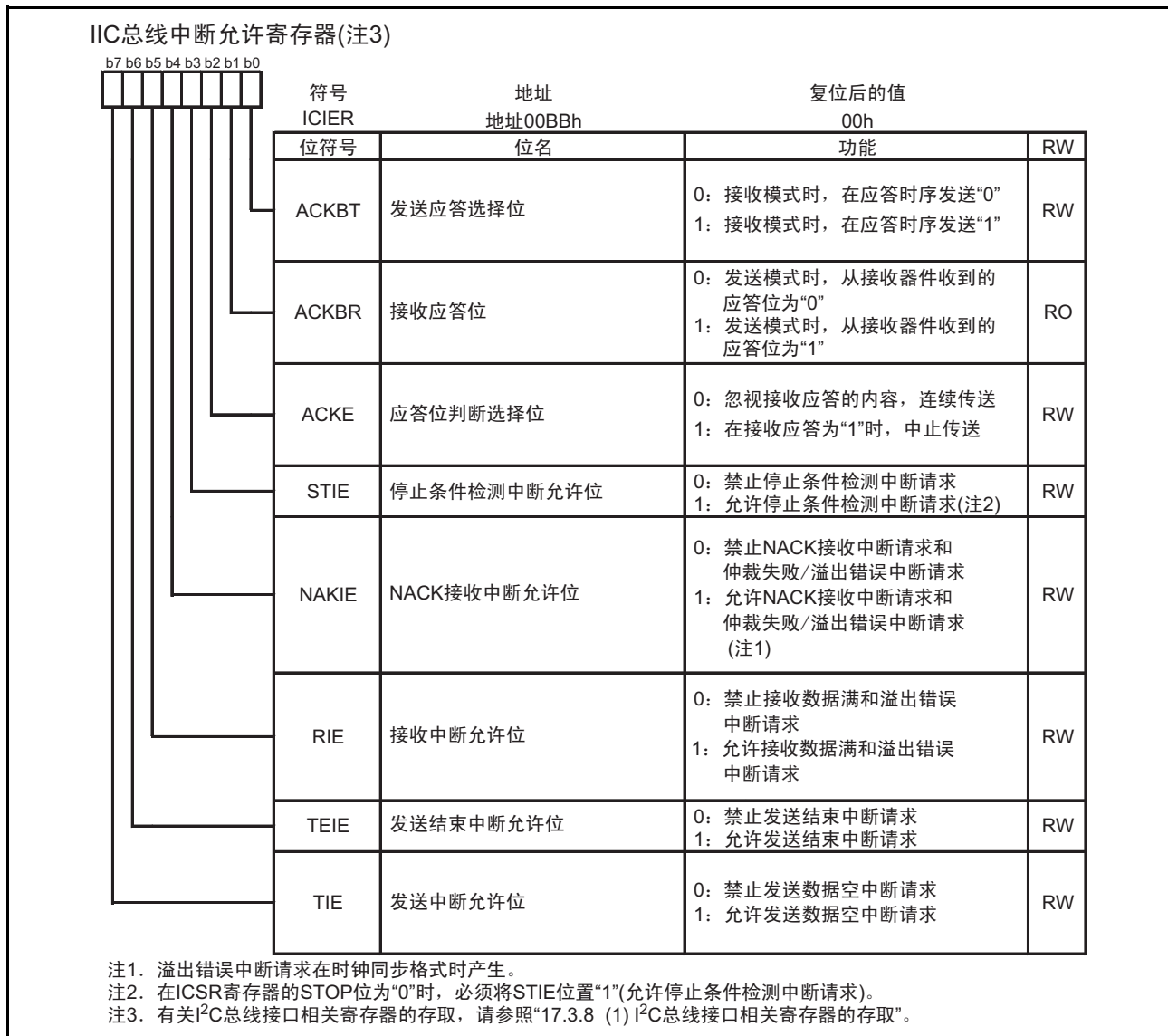


图 17.27 ICIER 寄存器

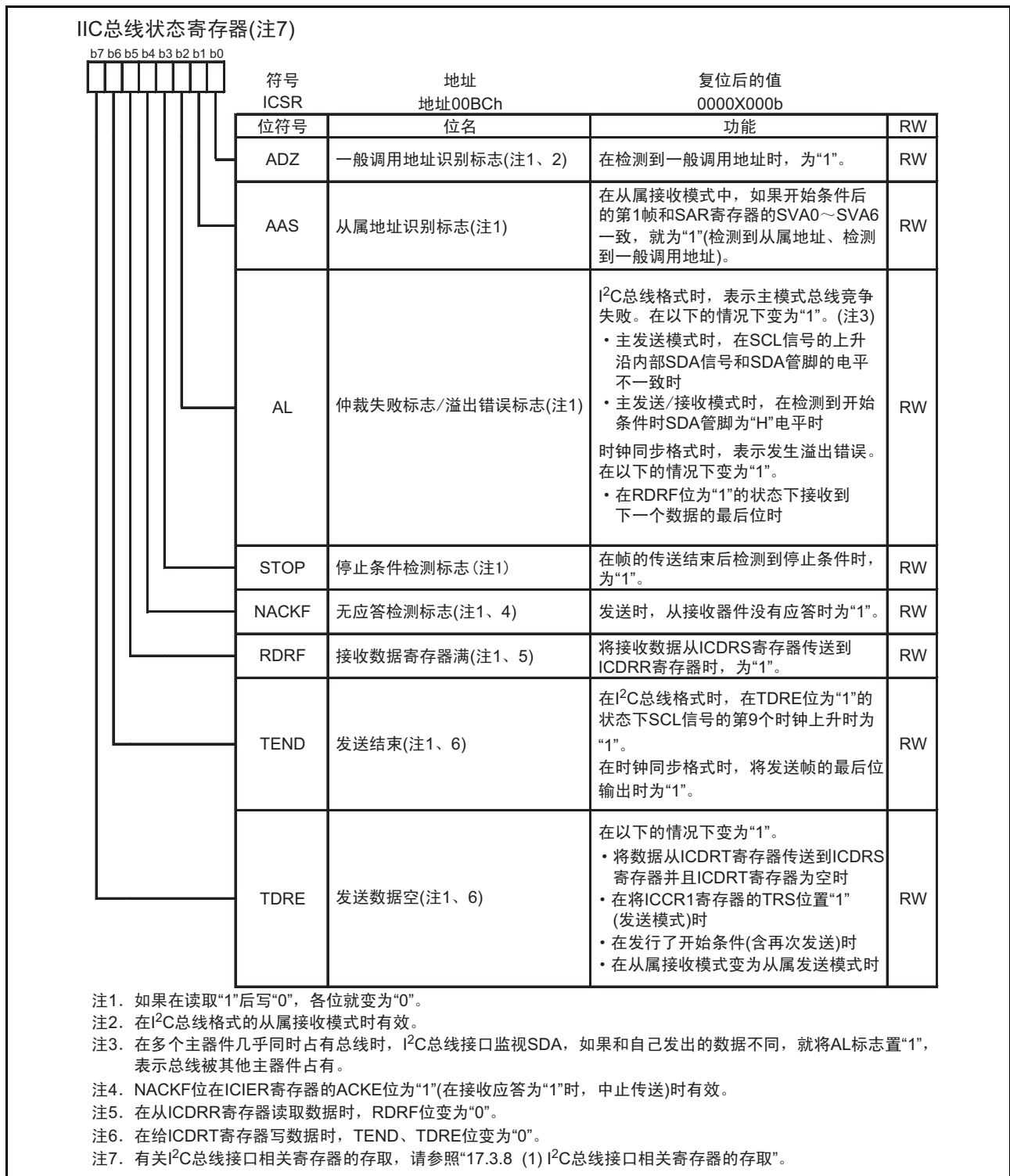
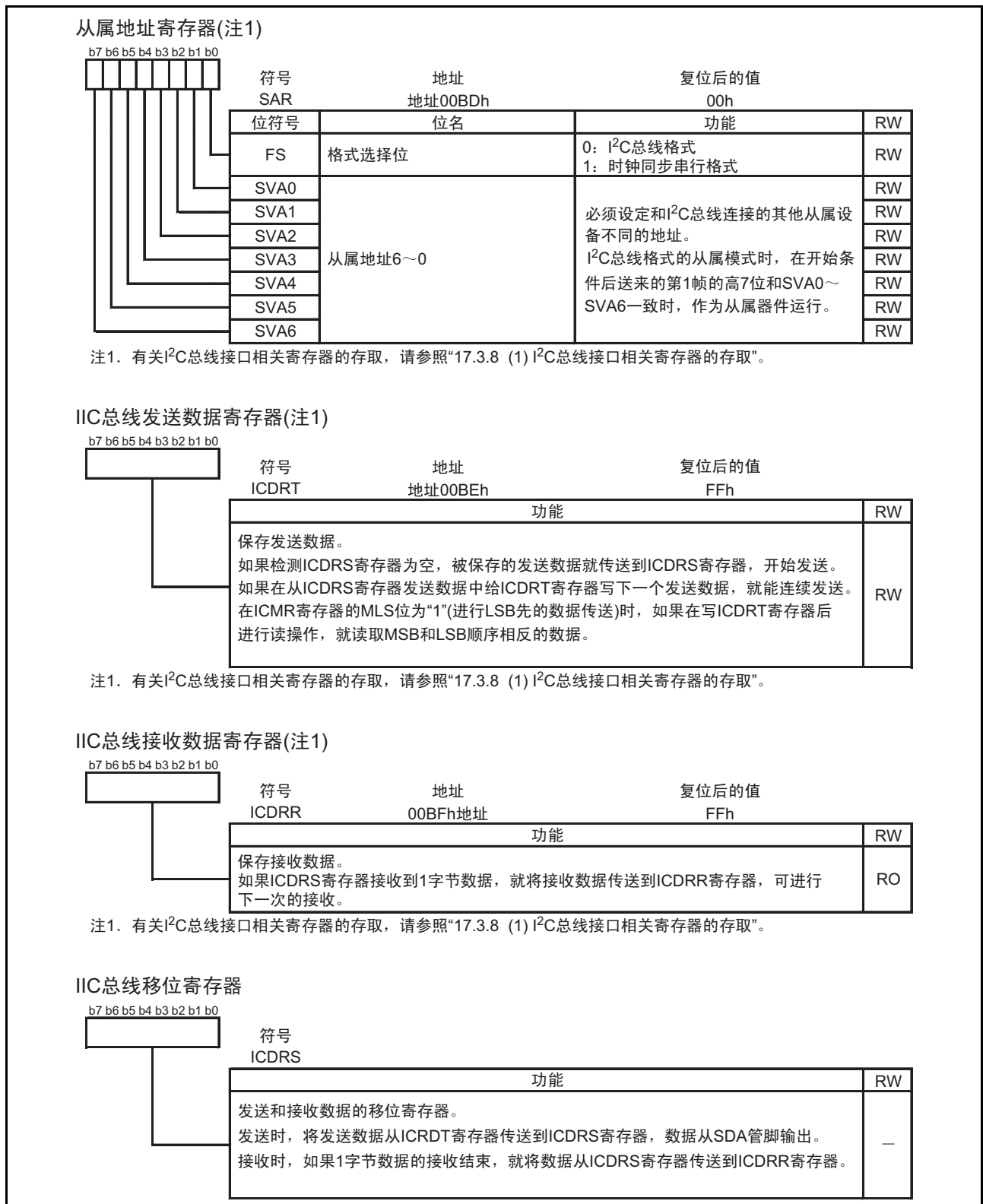


图 17.28 ICSR 寄存器



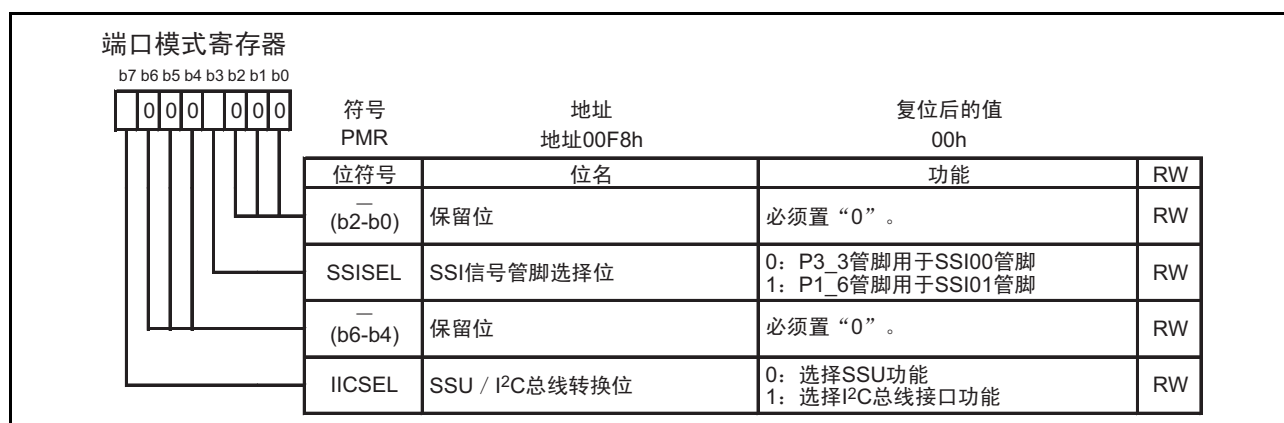


图 17.30 PMR 寄存器

17.3.1 传送时钟

当 ICCR1 寄存器的 MST 位是“0”时，传送时钟为 SCL 管脚输入的外部时钟。

当 ICCR1 寄存器的 MST 位是“1”时，传送时钟是由 ICCR1 寄存器的 CKS0 ~ CKS3 位选择的内部时钟，从 SCL 管脚输出。传送速率的例子如表 17.6 所示。

表 17.6 传送速率的例子

ICCR1 寄存器				传送时钟	传送速率				
CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz
0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz
			1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz
		1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz
			1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

17.3.2 中断请求

I²C 总线接口的中断请求在 I²C 总线格式中有 6 种，在时钟同步串行格式中有 4 种。I²C 总线接口的中断请求如表 17.7 所示。

由于这些中断请求被分配在 I²C 总线接口中断向量表，所以需要根据各位判断中断源。

表 17.7 I²C 总线接口的中断请求

中断请求		发生条件	格式	
			I ² C 总线	时钟同步串行
发送数据空	TXI	TIE=1 并且 TDRE=1	有效	有效
发送结束	TEI	TEIE=1 并且 TEND=1	有效	有效
接收数据满	RXI	RIE=1 并且 RDRF=1	有效	有效
停止条件检测	STPI	STIE=1 并且 STOP=1	有效	无效
NACK 检测	NAKI	NAKIE=1 并且 AL=1 (或者, NAKIE=1 并且 NACKF=1)	有效	无效
仲裁失败 / 溢出错误			有效	有效

STIE、NAKIE、RIE、TEIE、TIE: ICIER 寄存器的位

AL、STOP、NACKF、RDRF、TEND、TDRE: ICSR 寄存器的位

如果满足表 17.7 的发生条件，就产生 I²C 总线接口中断请求。必须通过 I²C 总线接口中断程序将各自的中断发生条件置“0”。

但是，TDRE 位和 TEND 位通过将发送数据写到 ICDRT 寄存器自动清“0”，RDRF 位通过读 ICDRR 寄存器自动清“0”。尤其是在将发送数据写到 ICDRT 寄存器时，TDRE 位变为“0”，在将数据从 ICDRT 寄存器传送到 ICDRS 寄存器时，TDRE 位变为“1”，并且，如果将 TDRE 位置“0”，就可能多发送 1 个字节。

另外，将 STIE 位置“1”（允许停止条件检测的中断请求）时，必须在 STOP 位为“0”时进行。

17.3.3 I²C 总线接口模式

17.3.3.1 I²C 总线格式

如果将 SAR 寄存器的 FS 位置“0”，就以 I²C 总线格式进行通信。

I²C 总线格式和总线时序如图 17.31 所示，接着开始条件的第 1 帧总是由 8 位构成。

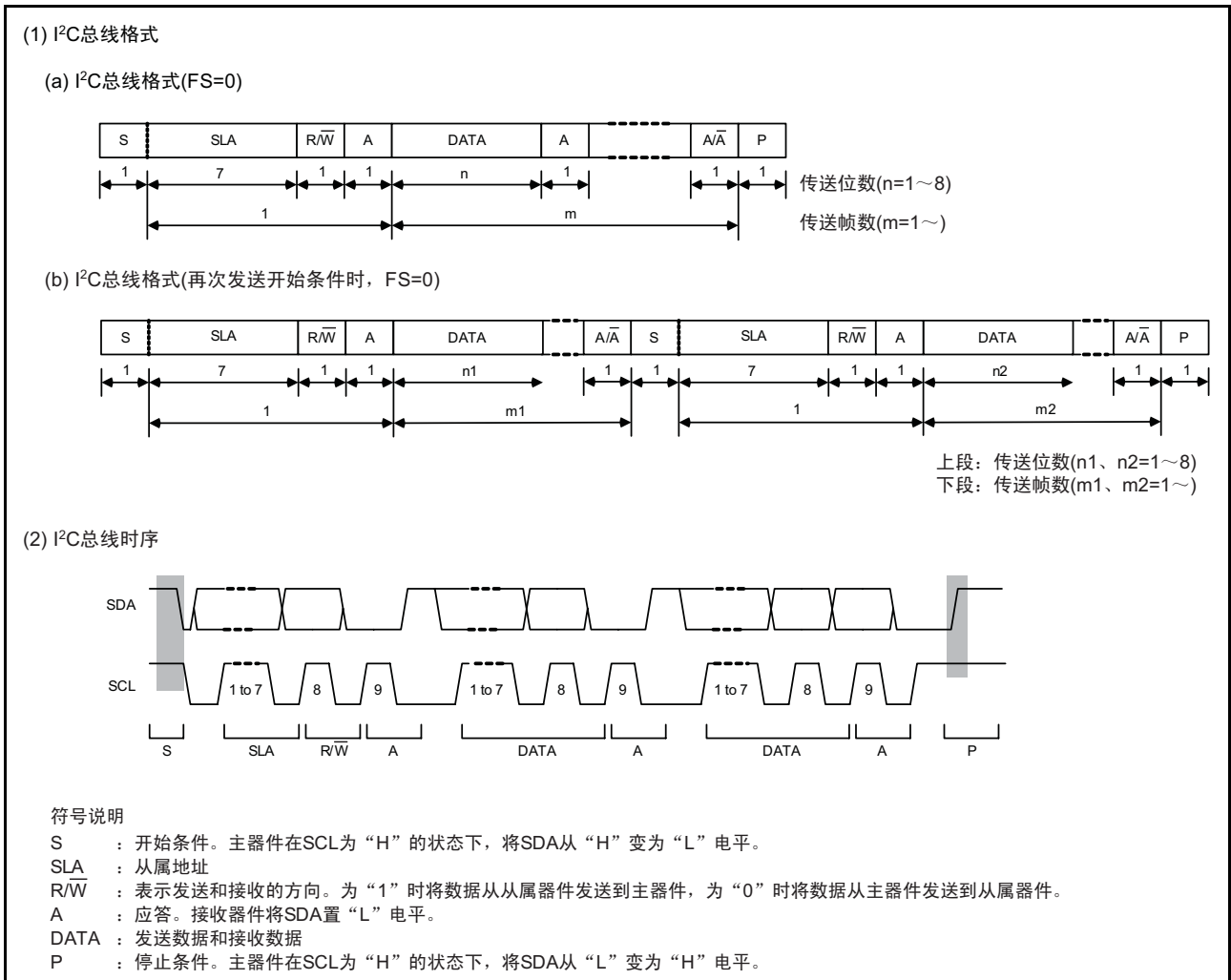


图 17.31 I²C 总线格式和总线时序

17.3.3.2 主发送运行

在主发送模式中，主器件输出发送时钟和发送数据，从属器件返回应答。主发送模式的运行时序如图 17.32、图 17.33 所示。

主发送模式的发送步骤和运行如下所示：

- (1) 为了初始化，必须将 ICSR 寄存器的 STOP 位置“0”，然后将 ICCR1 寄存器的 ICE 位置“1”（可发送运行状态），最后设定 ICMR 寄存器的 WAIT 和 MLS 位、ICCR1 寄存器的 CKS0 ~ CKS3 位等（初始设定）。
- (2) 必须在读取 ICCR2 寄存器的 BBSY 位且确认总线是释放状态后，将 ICCR1 寄存器的 TRS、MST 位设定为主发送模式，然后用 MOV 指令写 BBSY=1 和 SCP=0（发行开始条件）。从而生成开始条件。
- (3) 必须在确认 ICSR 寄存器的 TDRE 位是“1”后，将发送数据（第 1 个字节是表示从属地址和 R/W 的数据）写到 ICDRT 寄存器。此时，TDRE 位自动清“0”，将数据从 ICDRT 寄存器传送到 ICDRS 寄存器，TDRE 位再次为“1”。
- (4) 在 TDRE 位为“1”的状态下，1 字节的发送结束，在发送时钟的第 9 个时钟的上升沿 ICSR 寄存器的 TEND 位变为“1”。必须在读 ICIEP 寄存器的 ACKBR 位且确认从属器件已被选择后，将第 2 字节的数据写到 ICDRT 寄存器。当 ACKBR 位是“1”时，由于从属器件未被识别，所以必须发行停止条件。通过用 MOV 指令写 BBSY=0 和 SCP=0 进行停止条件的发行。另外，在准备完数据或者发行停止条件前，SCL 被固定为“L”电平。
- (5) 必须在每当 TDRE 位变为“1”时将第 2 个字节以后的发送数据写到 ICDRT 寄存器。
- (6) 在将发送的字节数写到 ICDRT 寄存器后，必须在 TDRE 位为“1”的状态下等待 TEND 位变为“1”；或者在 ICIEP 寄存器的 ACKE 位为“1”（在接收应答为“1”时，中止传送）的状态下，必须等待接收器件的 NACK（ICSR 寄存器的 NACKF=1）。然后发行停止条件，将 TEND 位或者 NACKF 位置“0”。
- (7) 必须在 ICSR 寄存器的 STOP 位为“1”时返回从属接收模式。

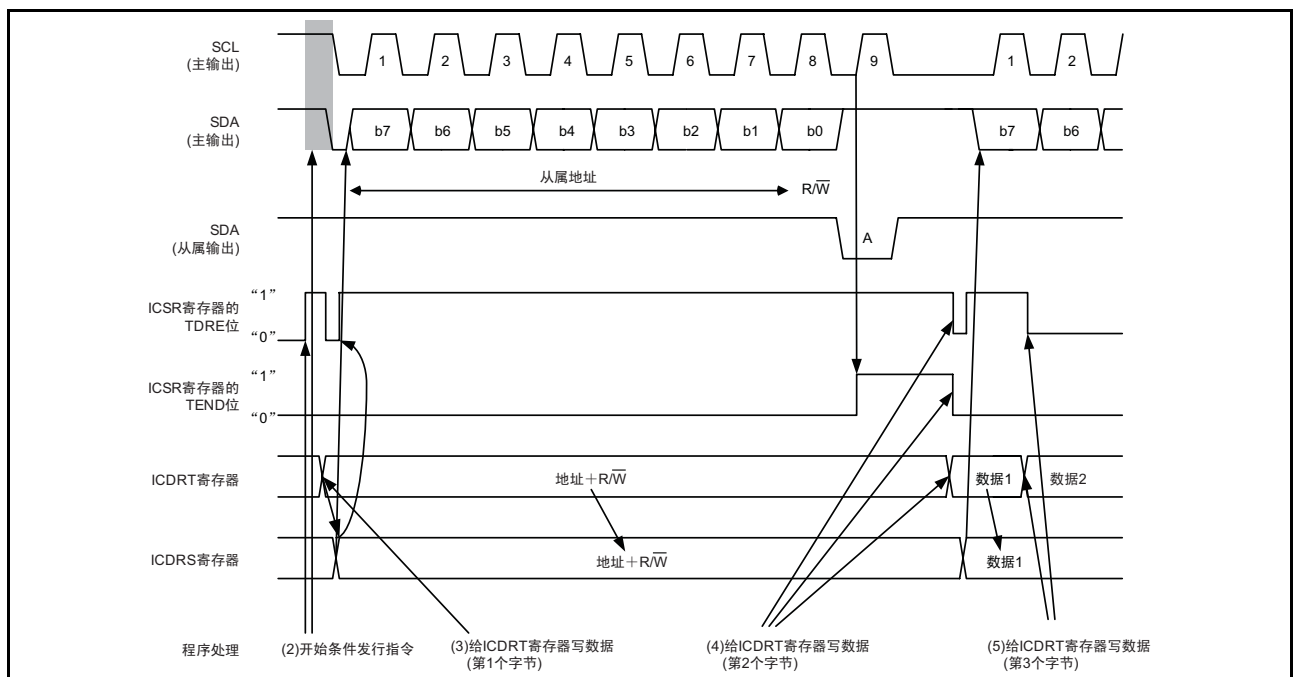


图 17.32 主发送模式的运行时序（I²C 总线接口模式）（1）

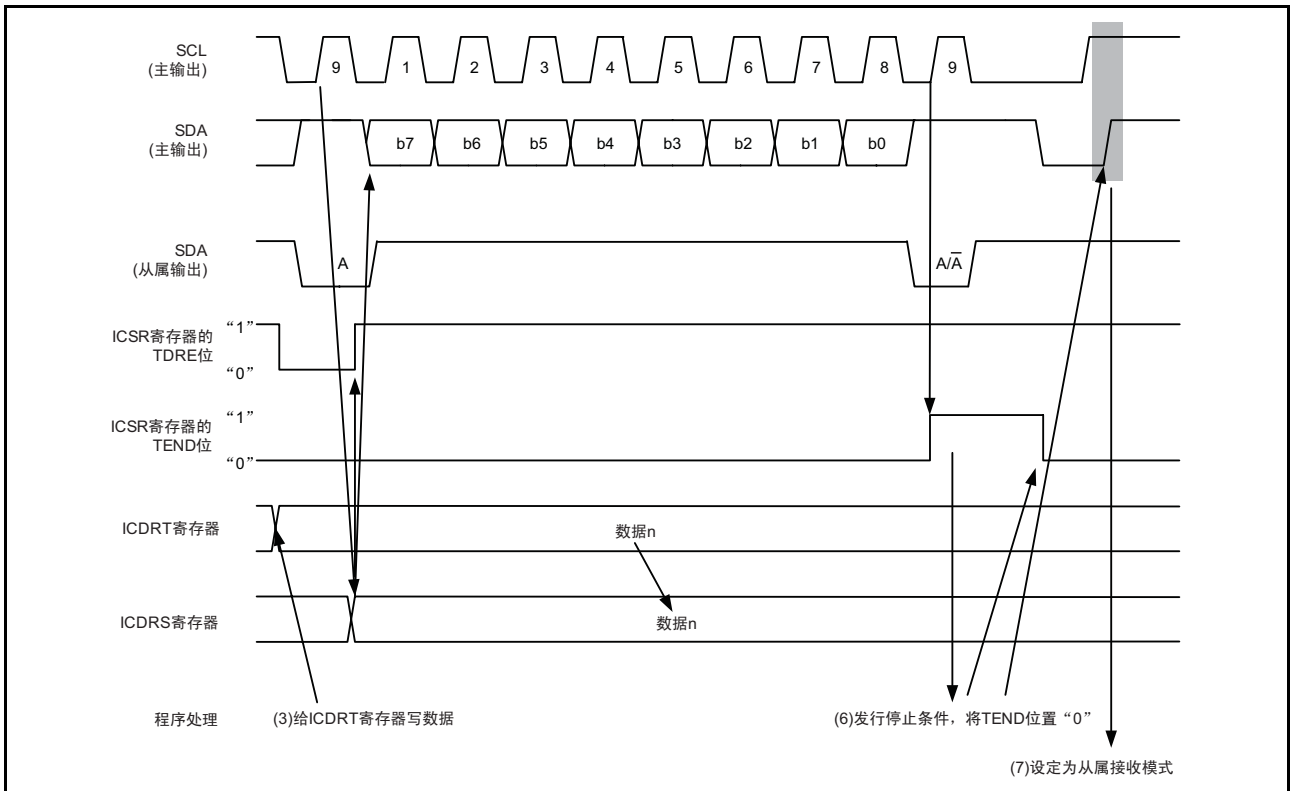


图 17.33 主发送模式的运行时序 (I²C 总线接口模式) (2)

17.3.3.3 主接收运行

在主接收模式中，主器件输出接收时钟，在接收从属器件的数据后返回应答。主接收模式的运行时序如图 17.34、图 17.35 所示。

主接收模式的接收步骤和运行如下所示：

- (1) 必须在 ICSR 寄存器的 TEND 位置 “0” 后将 ICCR1 寄存器的 TRS 位置 “0”，从主器件发送模式转换为主器件接收模式，然后将 ICSR 寄存器的 TDRE 位置 “0”。
- (2) 如果虚读 ICDRR 寄存器，就开始接收，与内部时钟同步输出接收时钟并接收数据。主器件在接收时钟的第 9 个时钟将由 ICIEP 寄存器的 ACKBT 位设定的电平输出到 SDA。
- (3) 1 帧数据的接收结束，在接收时钟的第 9 个时钟的上升沿 ICSR 寄存器的 RDRF 位变为 “1”。此时，如果读 ICDRR 寄存器，就能读取接收的数据，同时 RDRF 位变为 “0”。
- (4) 如果在每当 RDRF 位变为 “1” 时读取 ICDRR 寄存器，就能连续接收。另外，如果因其它处理 RDRF 位变为 “1” 并且在读取 ICDRR 寄存器前第 8 个时钟下降，就在读 ICDRR 寄存器前 SCL 被固定为 “L” 电平。
- (5) 在下一个接收为最后 1 帧的情况下，必须在读 ICDRR 寄存器前将 ICCR1 寄存器的 RCVD 位置 “1”（禁止下一次接收运行）。因此，在下次接收后处于可发行停止条件的状态。
- (6) 如果在接收时钟的第 9 个时钟的上升沿 RDRF 位变为 “1”，就必须发行停止条件。
- (7) 如果 ICSR 寄存器的 STOP 位变为 “1”，就必须读 ICDRR 寄存器，然后将 RCVD 位置 “0”（继续下一次接收运行）。
- (8) 必须返回从属接收模式。

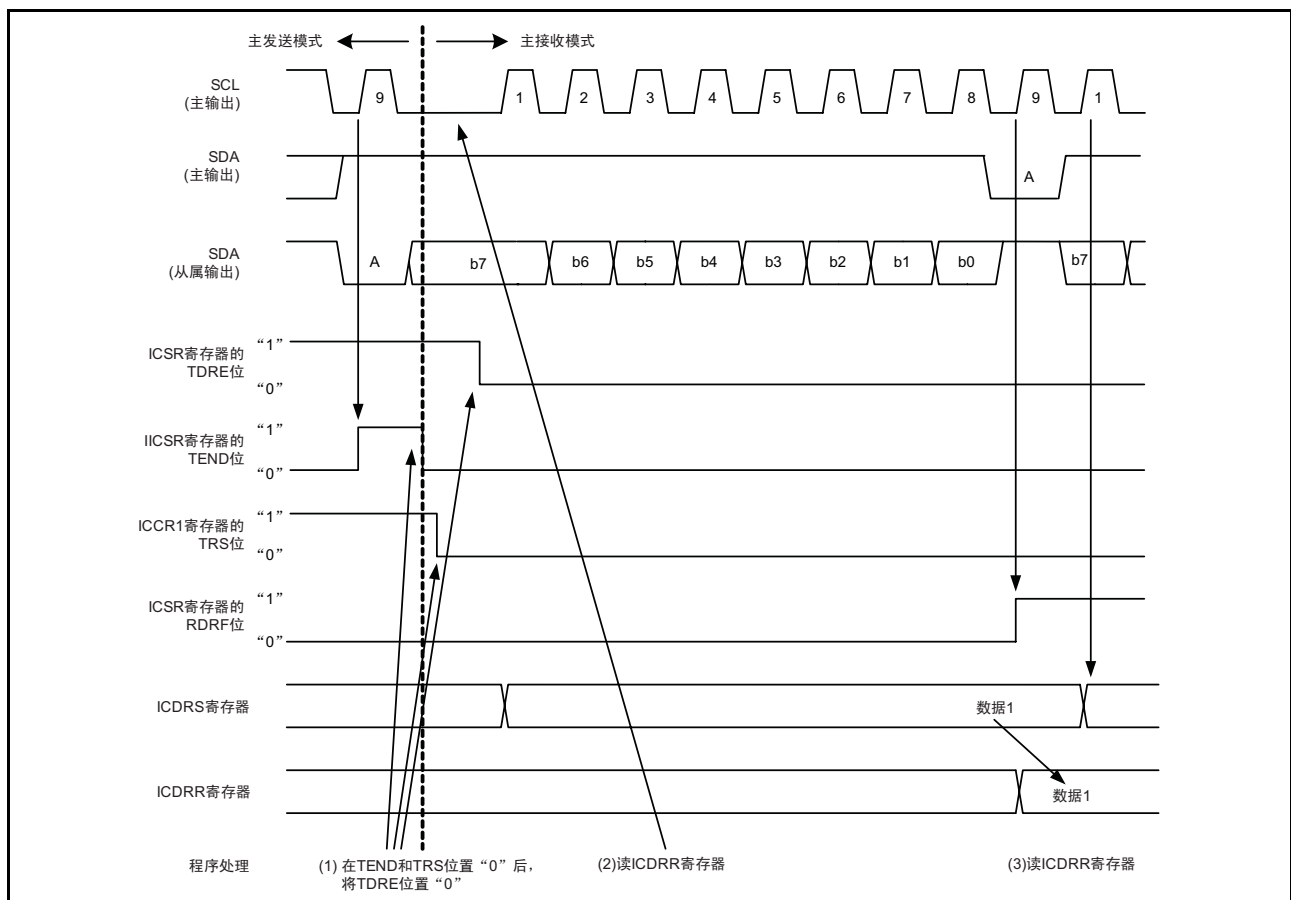


图 17.34 主接收模式的运行时序（I²C 总线接口模式）（1）

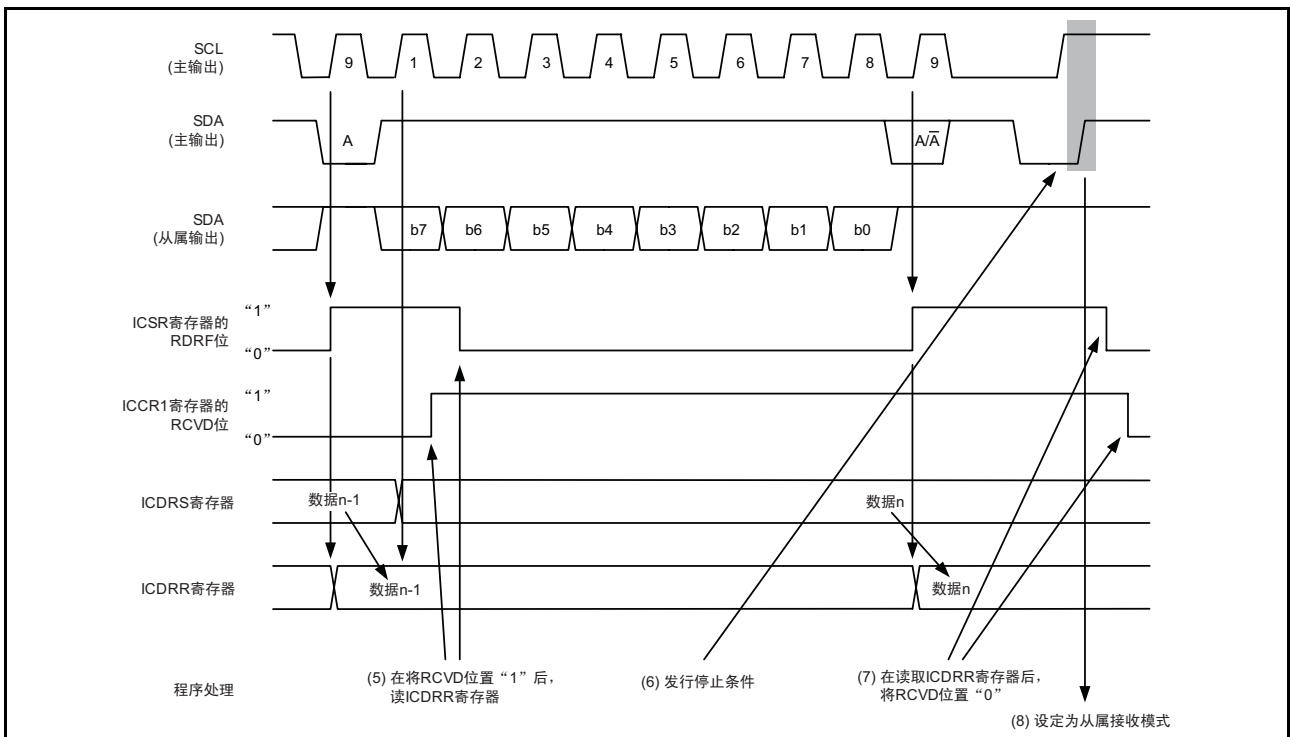


图 17.35 主接收模式的运行时序 (I2C 总线接口模式) (2)

17.3.3.4 从属发送运行

在从属发送模式中，从属器件输出发送数据，主器件在输出接收时钟后返回应答。从属发送模式的运行时序如图 17.36、图 17.37 所示。

从属发送模式的发送步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置“1”（可传送运行状态），然后设定 ICMR 寄存器的 WAIT 和 MLS 位、ICCR1 寄存器的 CKS0 ~ CKS3 位等（初始设定）。其次，必须将 ICCR1 寄存器的 TRS 和 MST 位置“0”，然后在从属接收模式中等待从属地址匹配。
- (2) 在检测到开始条件后的第 1 帧，从属地址匹配时，就在第 9 个时钟的上升沿从属器件将由 ICIER 寄存器的 ACKBT 位设定的电平输出到 SDA。此时，如果 bit 8 的数据 (R/W) 是“1”， TRS 位和 ICSR 寄存器的 TDRE 位就为“1”，自动转换为从属发送模式。如果在每当 TDRE 位变为“1”时将发送数据写到 ICDRT 寄存器，就可连续发送。
- (3) 在将最后的发送数据写到 ICDRT 寄存器后 TDRE 位变为“1”时，必须在 TDRE 位为“1”的状态下等待 ICSR 寄存器的 TEND 位变为“1”。一旦 TEND 位变为“1”，就必须将 TEND 位置“0”。
- (4) 为了结束处理，必须将 TRS 位置“0”，并虚读 ICDRR 寄存器，释放 SCL。
- (5) 必须将 TDRE 位置“0”。

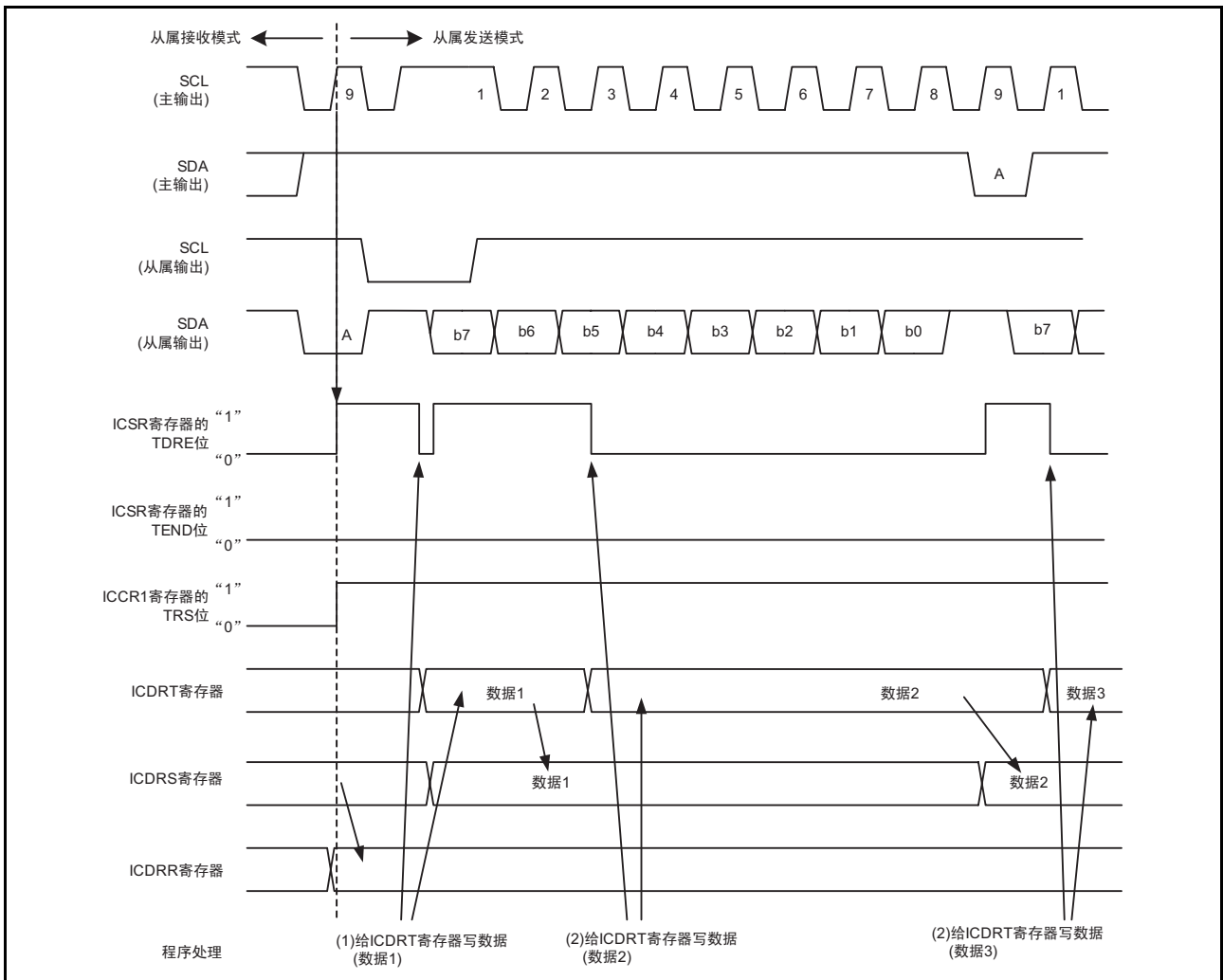


图 17.36 从属发送模式的运行时序（I²C 总线接口模式）（1）

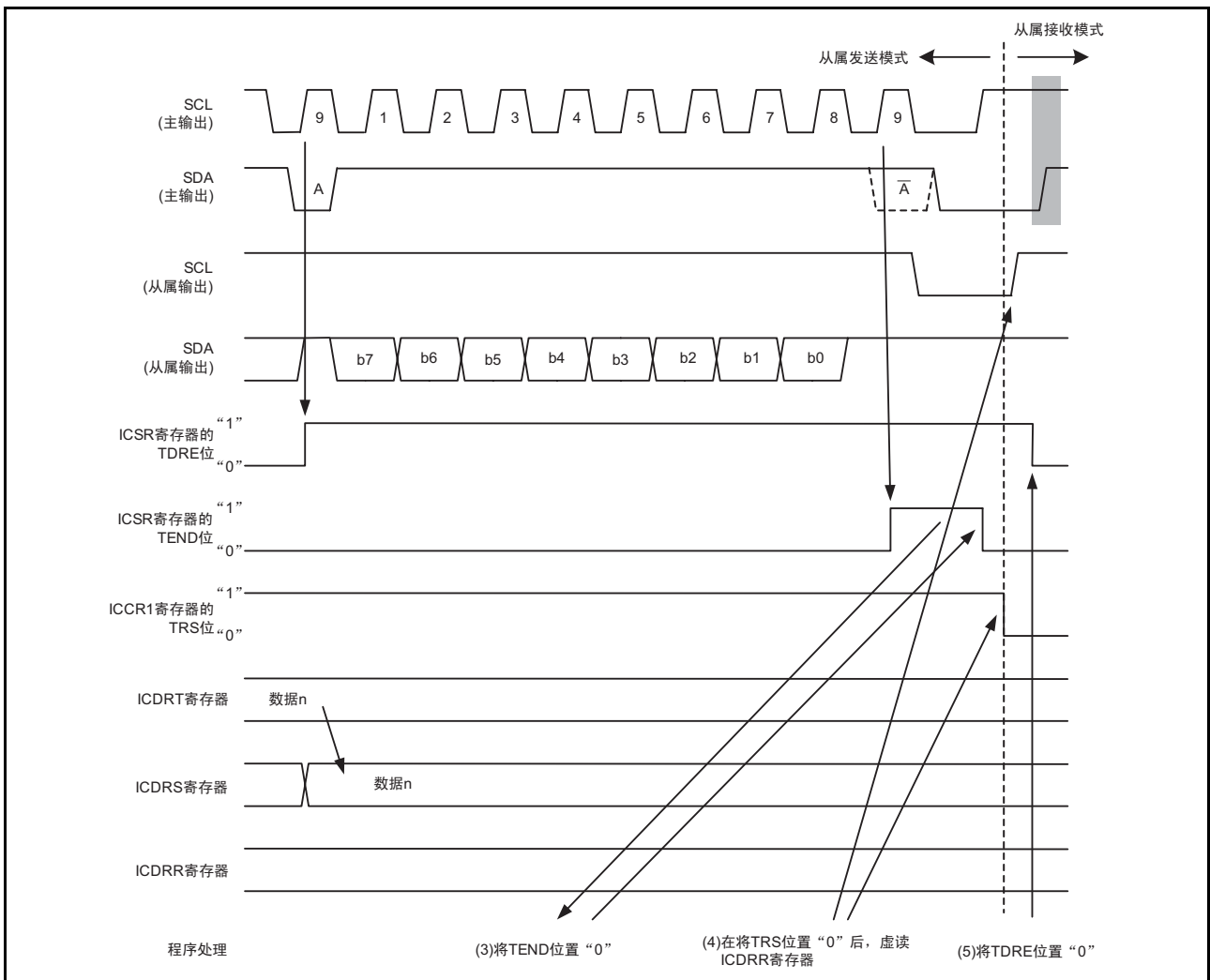


图 17.37 从属发送模式的运行时序 (I²C 总线接口模式) (2)

17.3.3.5 从属接收运行

在从属接收模式中，主器件输出发送时钟和发送数据，从属器件返回应答。从属接收模式的运行时序如图 17.38、图 17.39 所示。

从属接收模式的接收步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置 “1”（可传送运行状态），然后设定 ICMR 寄存器的 WAIT 和 MLS 位、ICCR1 寄存器的 CKS0 ~ CKS3 位等（初始设定）。其次，必须将 ICCR1 寄存器的 TRS 和 MST 位置 “0”，然后在从属接收模式中等待从属地址匹配。
- (2) 在检测到开始条件后的第 1 帧，从属地址匹配时，就在第 9 个时钟的上升沿从属器件将由 ICIER 寄存器的 ACKBT 位设定的电平输出到 SDA。同时 ICSR 寄存器的 RDRF 位变为 “1”，所以必须虚读 ICDRR 寄存器（因为读取的数据表示从属地址 + R/\bar{W} ，所以不需要）。
- (3) 必须在每当 RDRF 位变为 “1” 时读 ICDRR 寄存器。如果在 RDRF 位为 “1” 的状态下第 8 个时钟下降，就在读 ICDRR 寄存器前 SCL 被固定为 “L” 电平。读 ICDRR 寄存器前更改的返回给主器件的应答设定将反映在下一个传送帧。
- (4) 同样，通过读 ICDRR 寄存器进行最后字节的读取。

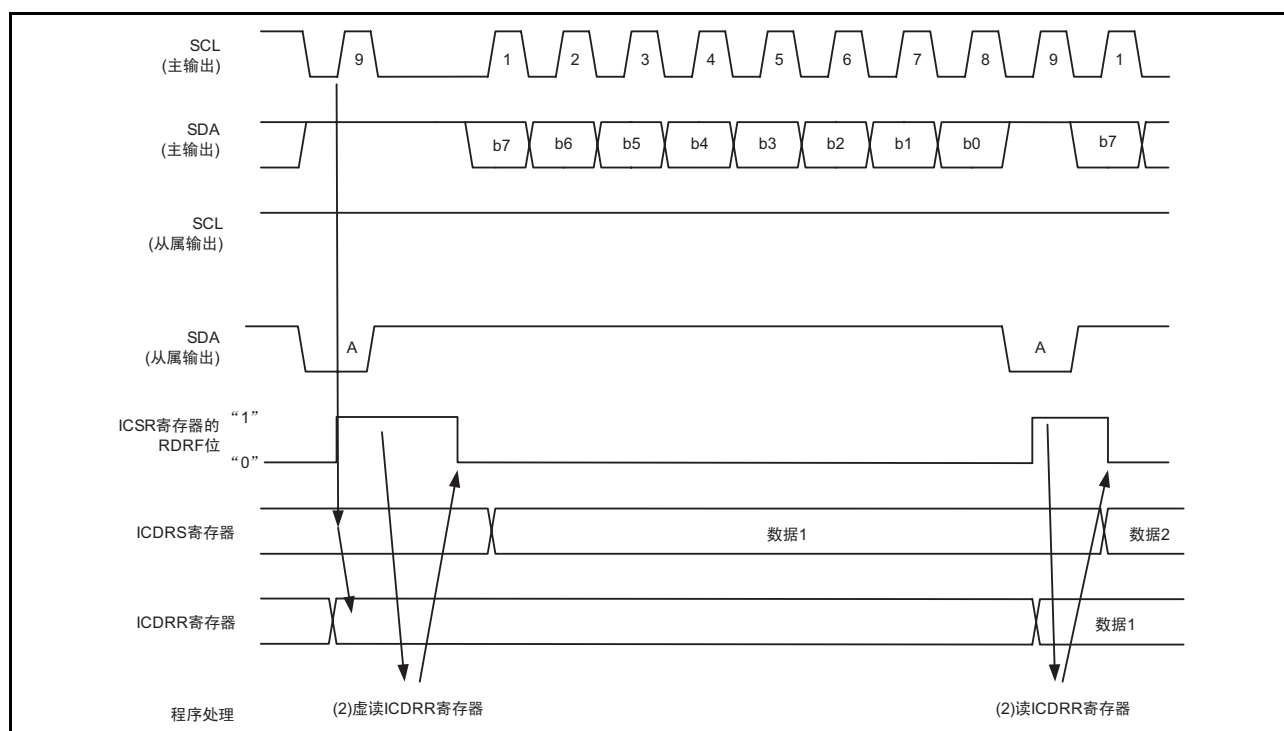


图 17.38 从属接收模式的运行时序（I²C 总线接口模式）（1）

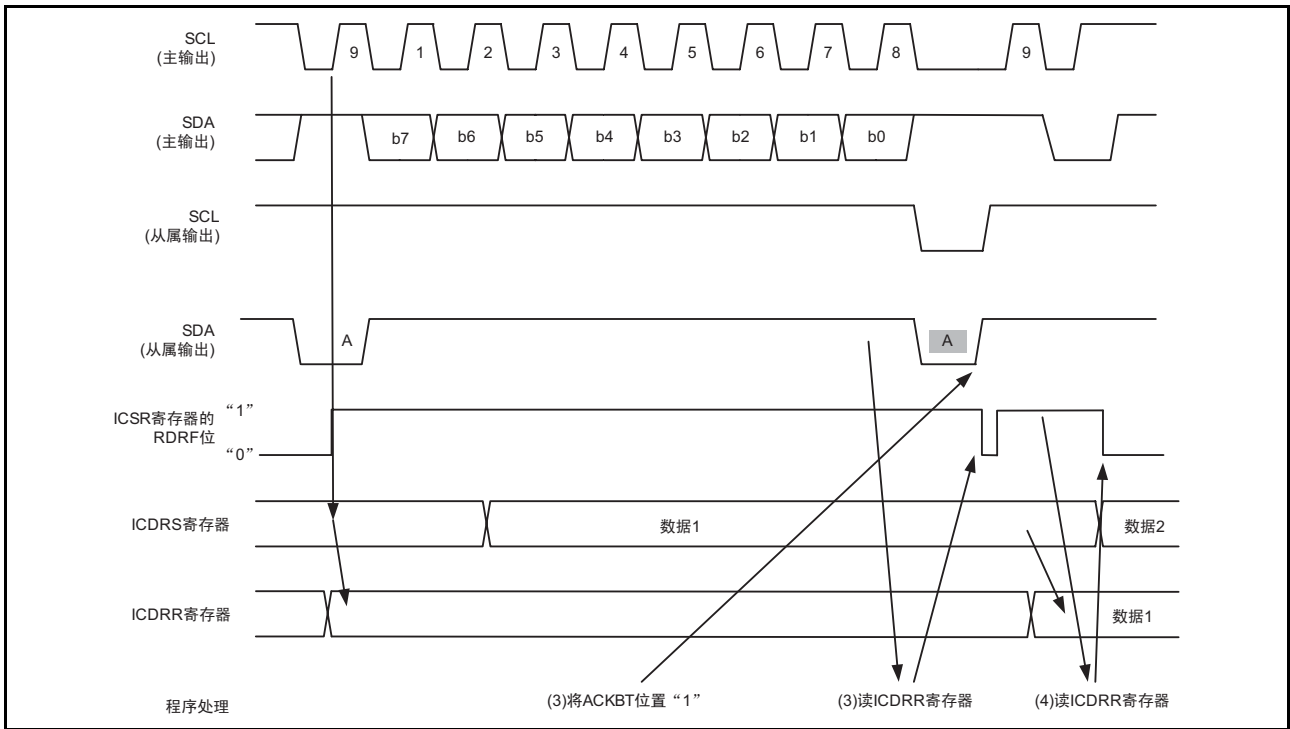


图 17.39 从属接收模式的运行时序 (I2C 总线接口模式) (2)

17.3.4 时钟同步串行模式

17.3.4.1 时钟同步串行格式

如果将 SAR 寄存器的 FS 位置“1”，就以时钟同步串行格式进行通信。
时钟同步串行格式的传送格式如图 17.40 所示。

当 ICCR1 寄存器的 MST 位是“1”时，从 SCL 输出传送时钟；当 MST 位是“0”时，输入外部时钟。

在 SCL 时钟的下降沿到下一个下降沿之间输出传送数据，在 SCL 时钟的上升沿确定数据。可通过 ICMR 寄存器的 MLS 位选择数据的传送顺序是 MSB 先还是 LSB 先。另外，能通过 ICCR2 寄存器的 SDAO 位，在传送待机中更改 SDA 的输出电平。

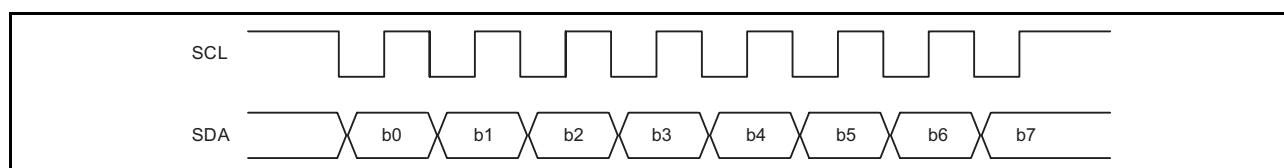


图 17.40 时钟同步串行格式的传送格式

17.3.4.2 发送的运行

在发送模式中，与传送时钟的下降沿同步从 SDA 输出发送数据。传送时钟在 ICCR1 寄存器的 MST 位是“1”时为输出；在 MST 位是“0”时为输入。

发送模式的运行时序（时钟同步串行模式）如图 17.41 所示。

发送模式的步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置“1”（可传送运行状态），然后设定 ICCR1 寄存器的 CKS0 ~ CKS3 位和 MST 位等（初始设定）。
- (2) 必须将 ICCR1 寄存器的 TRS 位置“1”，设定为发送模式。从而 ICSR 寄存器的 TDRE 位变为“1”。
- (3) 必须在确认 TDRE 位是“1”后将发送数据写到 ICDRT 寄存器，使数据从 ICDRT 寄存器传送到 ICDRS 寄存器，TDRE 位自动变为“1”。如果在每当 TDRE 位变为“1”时将数据写到 ICDRT 寄存器，就可连续发送。另外，从发送模式转换为接收模式时，必须在 TDRE 位为“1”的状态下将 TRS 位置“0”。

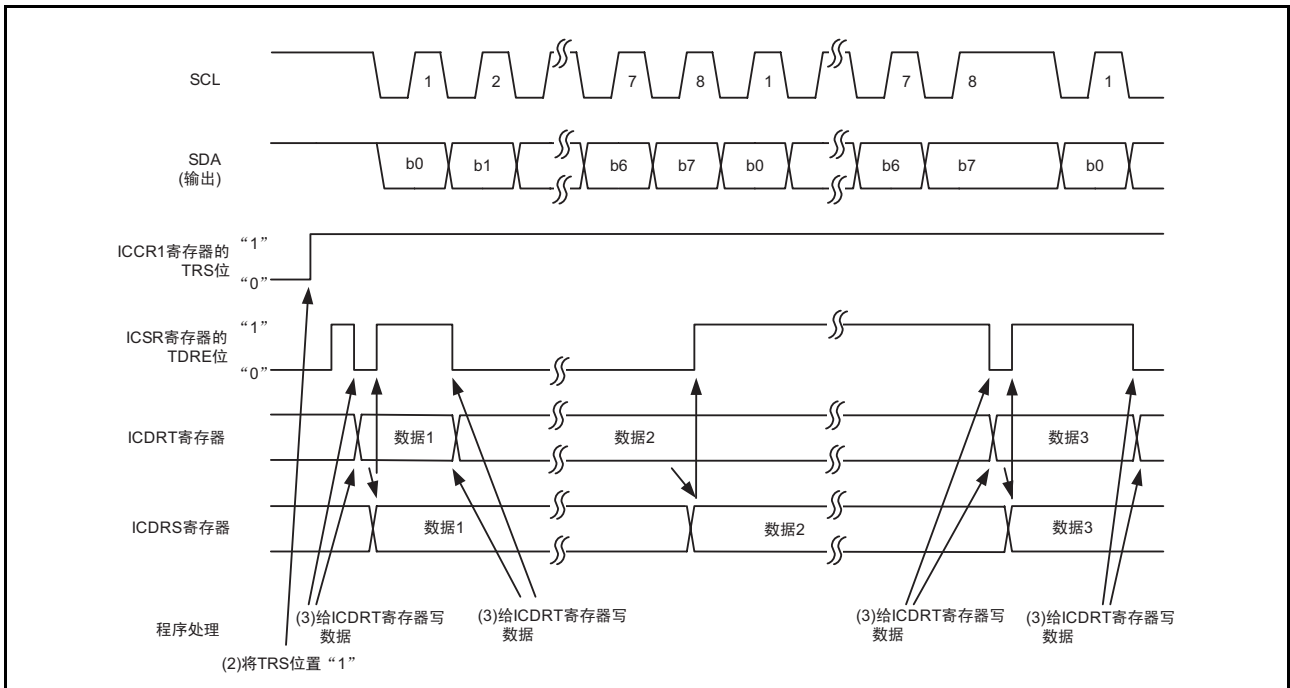


图 17.41 发送模式的运行时序（时钟同步串行模式）

17.3.4.3 接收的运行

接收模式在传送时钟的上升沿锁存数据。传送时钟在 ICCR1 寄存器的 MST 位是“1”时为输出；在 MST 位是“0”时为输入。

接收模式的运行时序（时钟同步串行模式）如图 17.42 所示。

接收模式的步骤和运行如下所示：

- (1) 必须将 ICCR1 寄存器的 ICE 位置“1”（可传送运行状态），然后设定 ICCR1 寄存器的 CKS0 ~ CKS3 位和 MST 位等（初始设定）。
- (2) 在输出传送时钟时，必须将 MST 位置“1”，开始输出接收时钟。
- (3) 当接收结束时，将数据从 ICDRS 寄存器传送到 ICDRR 寄存器，ICSR 寄存器的 RDRF 位变为“1”。在 MST 位为“1”时，因处于可接收下一字节数据的状态，所以连续输出时钟。如果在每当 RDRF 位变为“1”时读 ICDRR 寄存器，就能连续接收。如果在 RDRF 位为“1”的状态下第 8 个时钟上升，就检测到溢出，ICSR 寄存器的 AL 位变为“1”。此时，ICDRR 寄存器保持前一个接收数据。
- (4) 在 MST 位为“1”时，为了停止接收，必须在 ICCR1 寄存器的 RCVD 位置“1”（禁止下一次接收运行）后读 ICDRR 寄存器。从而在结束下一字节数据的接收后，SCL 被固定为“H”电平。

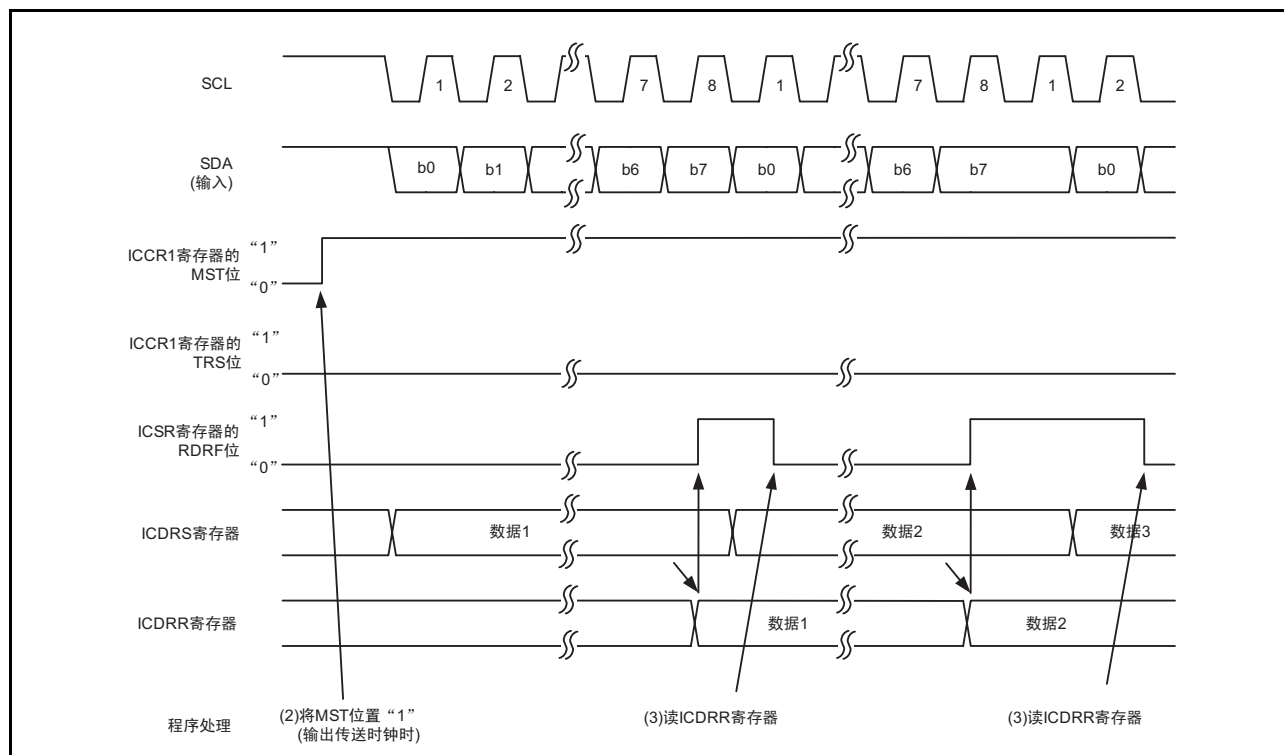


图 17.42 接收模式的运行时序（时钟同步串行模式）

17.3.5 噪声消除电路

SCL 管脚和 SDA 管脚的状态经过噪声消除电路输入到内部，噪声消除电路的框图如图 17.43 所示。

噪声消除电路由连接 2 段串联的锁存电路和一致检测电路构成。用 f_1 采样 SCL 管脚输入信号（或者 SDA 管脚输入信号），当 2 个锁存器输出电平一致时，才开始将该电平传递给后段。不一致时，保持以前的值。

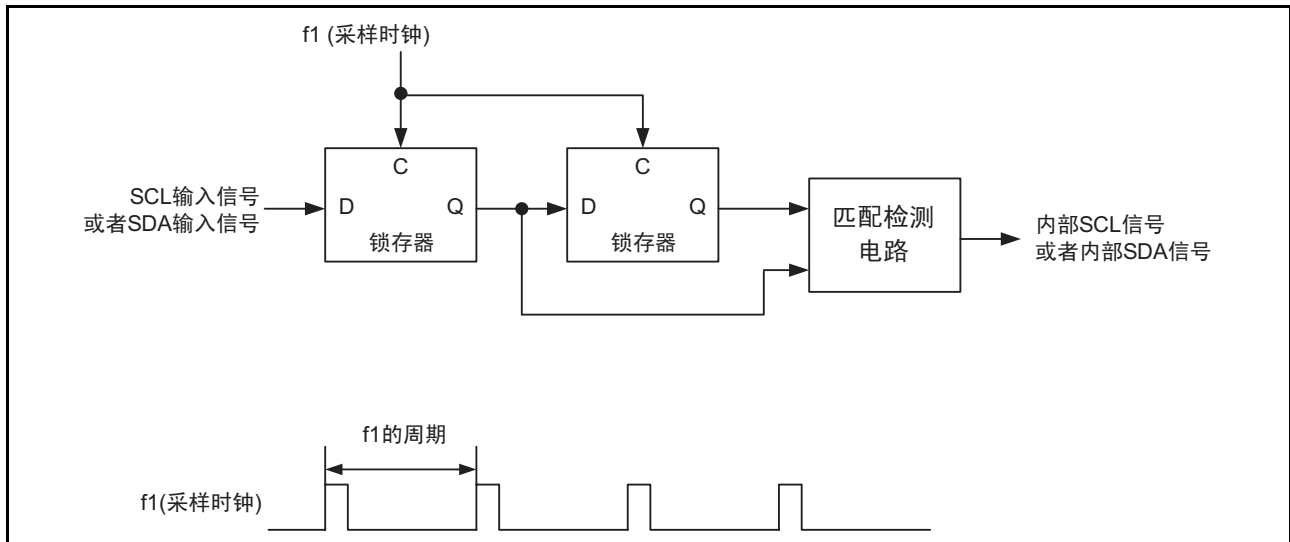


图 17.43 噪声消除电路的框图

17.3.6 位同步电路

在将 I²C 总线接口设定为主模式时，由于在以下 2 种状态下可能缩短“H”电平期间，所以监视 SCL，边按每位取得同步边进行通信。

- 通过从属器件 SCL 保持为“L”电平时
- 根据 SCL 线的负载（负载电容和上拉电阻）SCL 的上升变得缓慢时

位同步电路的时序如图 17.44 所示，SCL 的“L”电平输出变为高阻抗到监视 SCL 为止的时间如表 17.8 所示。

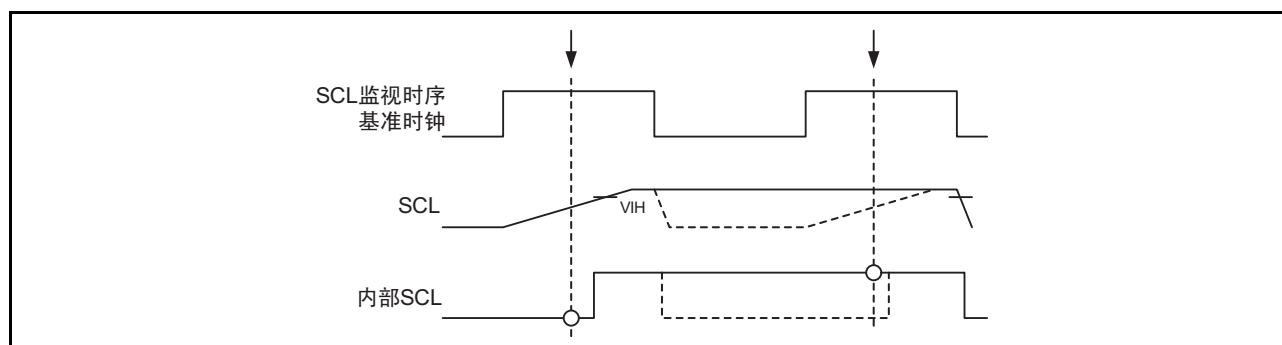


图 17.44 位同步电路的时序

表 17.8 SCL 的“L”电平输出变为高阻抗到监视 SCL 为止的时间

ICCR1 寄存器		监视 SCL 的时间
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

$$1Tcyc=1/f1(s)$$

17.3.7 寄存器的设定例子

使用 I²C 总线接口时的寄存器的设定例子如图 17.45 ~ 图 17.48 所示。

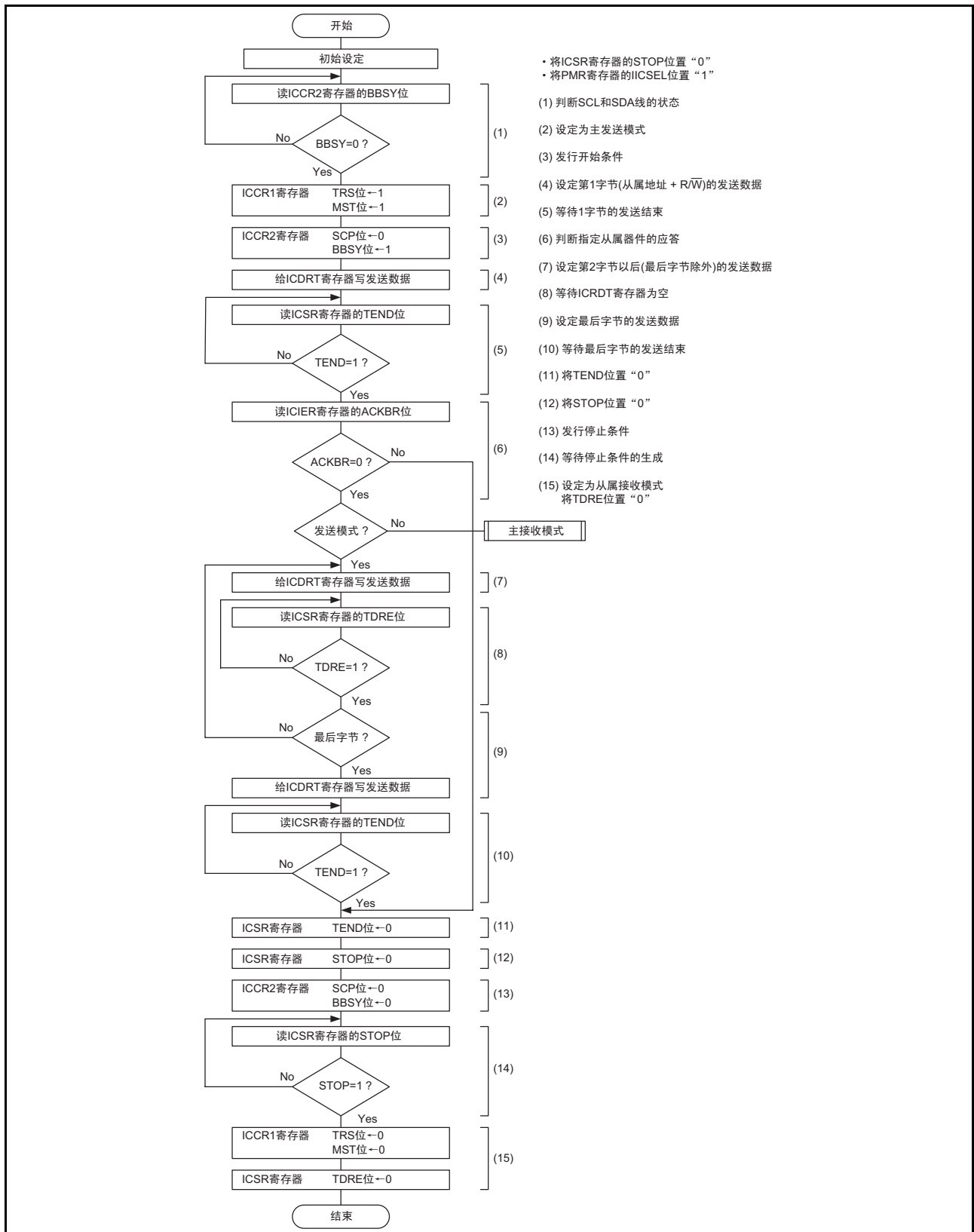


图 17.45 主发送模式的寄存器的设定例子（时钟同步串行模式）

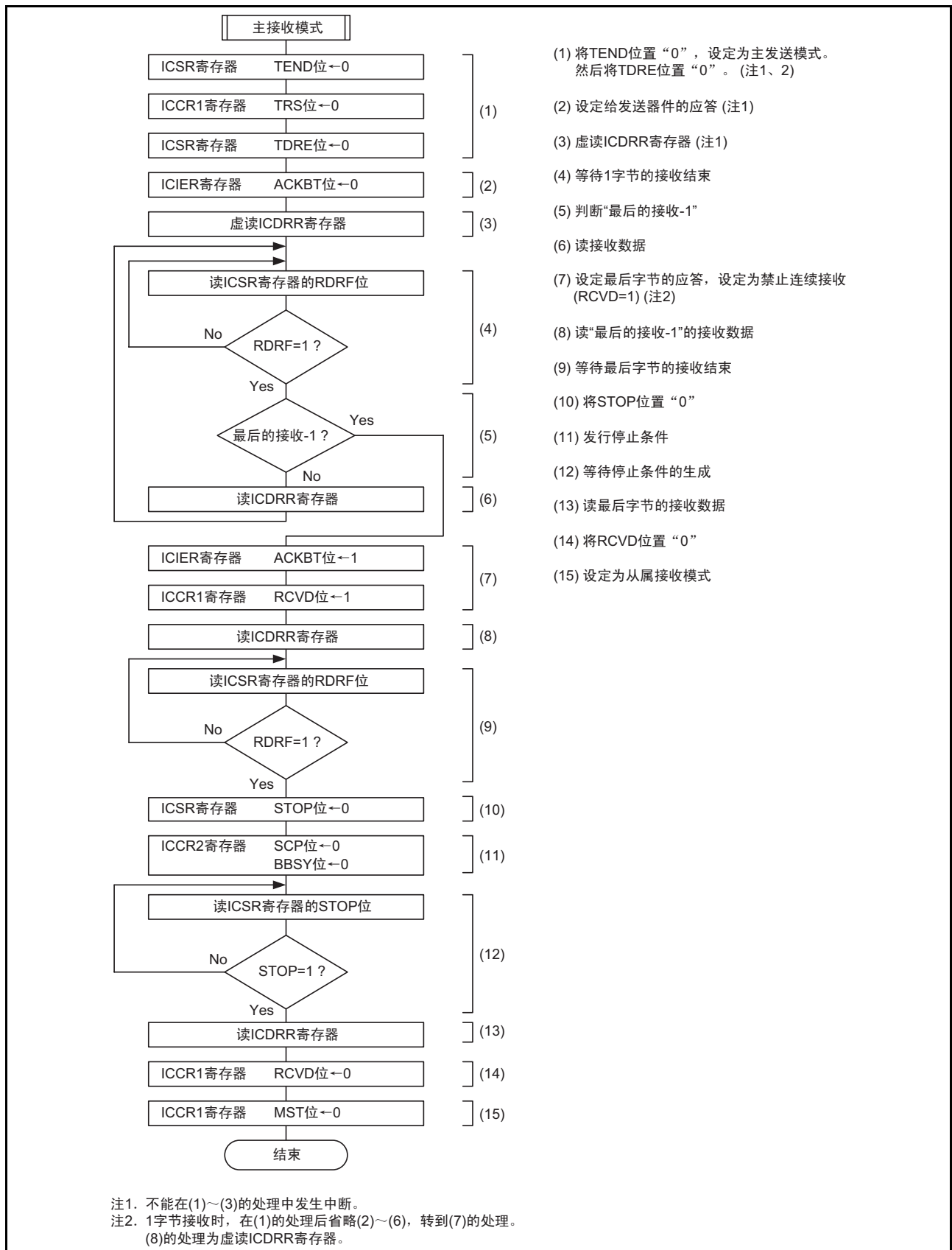


图 17.46 主接收模式的寄存器的设定例子（时钟同步串行模式）

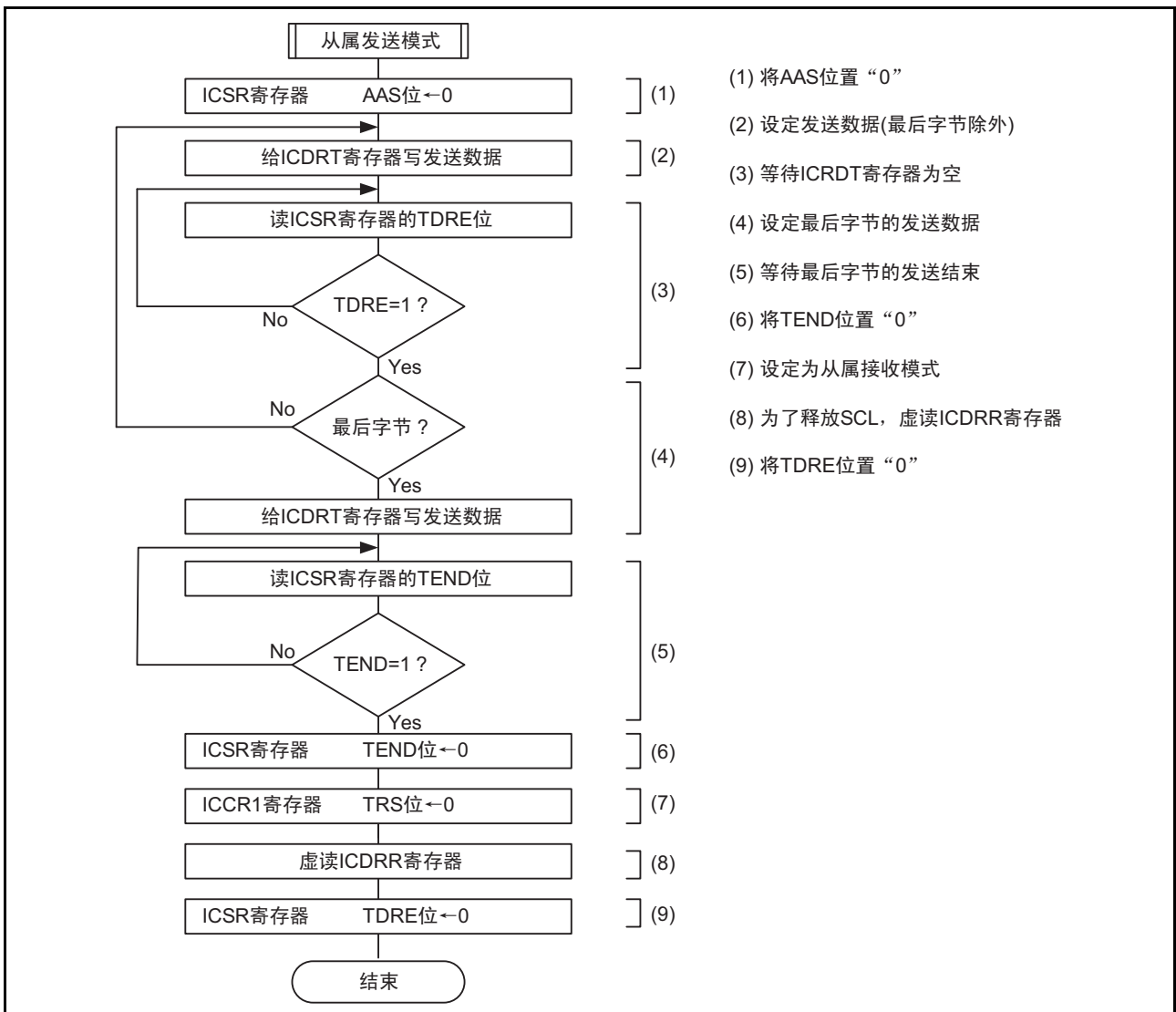


图 17.47 从属发送模式的寄存器的设定例子（时钟同步串行模式）

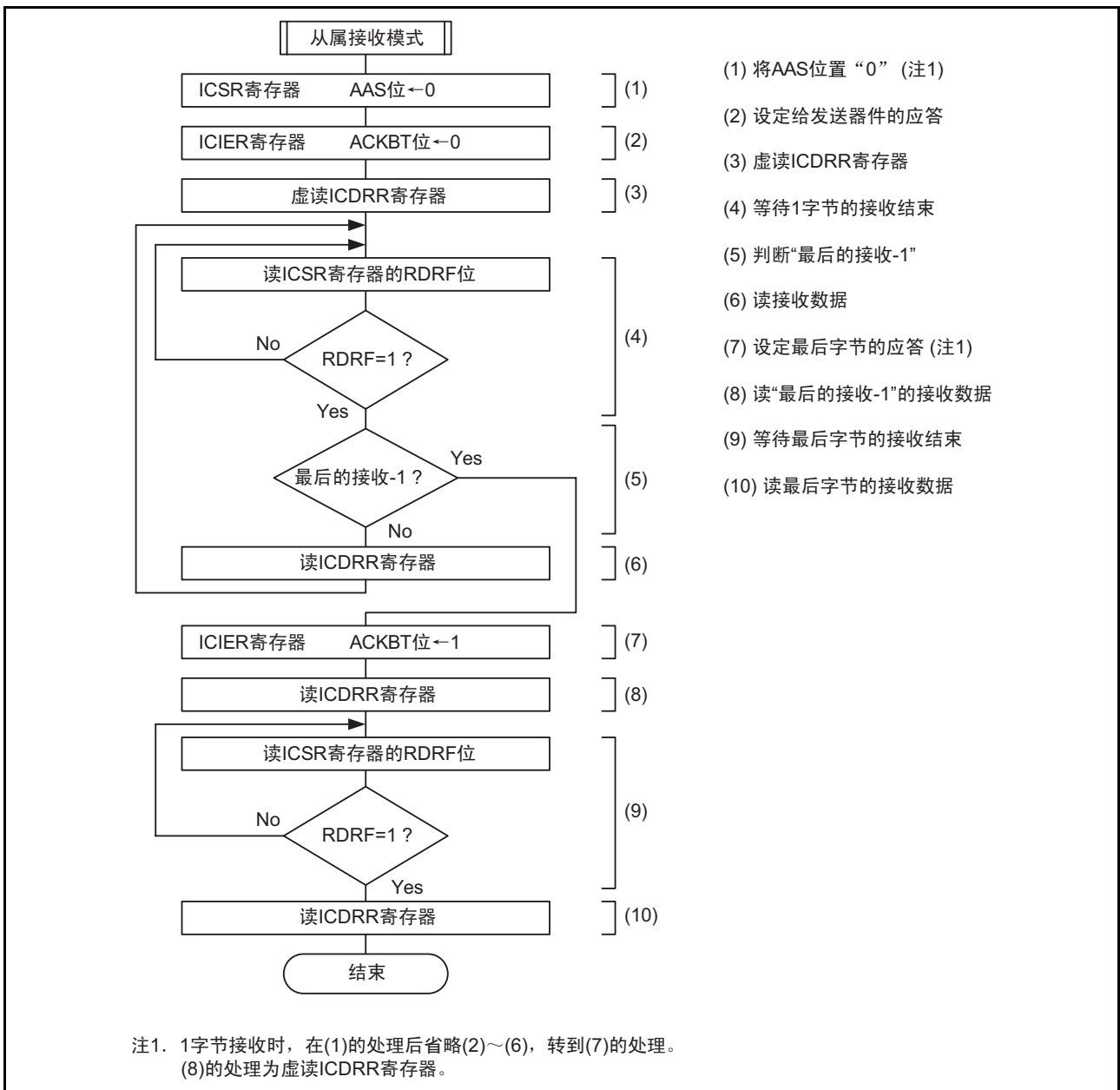


图 17.48 从属接收模式的寄存器的设定例子 (时钟同步串行模式)

17.3.8 I²C 总线接口的使用注意事项

在使用 I²C 总线接口时，必须将 PMR 寄存器的 IICSEL 位置 “1”（选择 I²C 总线接口功能）。

17.3.8.1 I²C 总线接口相关寄存器的存取

对于 I²C 总线接口相关寄存器（地址 00B8h ~ 00BFh）的相同寄存器，必须在写操作后“等待 3 条指令以上”或者“等待 4 个周期以上”进行读操作。

- 等待 3 条指令以上的例子

```

程序例      MOV.B      #00h, 00BBh      ; 将 ICIER 寄存器置 “00h”
              NOP
              NOP
              NOP
              MOV.B      00BBh, R0L
  
```

- 等待 4 个周期以上的例子

```

程序例      BCLR      6, 00BBh      ; 禁止发送结束的中断请求
              JMP.B      NEXT
NEXT:
              BSET      7, 00BBh      ; 允许发送数据空的中断请求
  
```

18. A/D 转换器

A/D 转换器采用 10 位逐次逼近的 A/D 转换方式，由电容耦合放大器构成。模拟输入管脚和 P1_0~P1_3 管脚共用。在使用这些输入管脚时，必须将对应的端口方向位置“0”（输入模式）。另外，在不使用 A/D 转换器时，如果将 ADCON1 寄存器的 VCUT 位置“0”（不连接 Vref），从 VREF 管脚到梯形电阻就没有电流通过，能降低功耗。

A/D 转换的结果被保存到 AD 寄存器。

A/D 转换器的性能如表 18.1 所示，A/D 转换器的框图如图 18.1 所示，与 A/D 转换器有关的寄存器如图 18.2~图 18.3 所示。

表 18.1 A/D 转换器的性能

项目	性能
A/D 转换方式	逐次逼近方式（电容耦合放大器）
模拟输入电压（注 1）	0V ~ AVCC
运行时钟 fAD（注 2）	在 $4.2V \leq AVCC \leq 5.5V$ 时，f1、f2、f4 在 $2.7V \leq AVCC < 4.2V$ 时，f2、f4
分辨率	能选择 8 位或者 10 位
绝对精度	在 AVCC=Vref=5V 时 • 在分辨率为 8 位时， $\pm 2LSB$ • 在分辨率为 10 位时， $\pm 3LSB$ 在 AVCC=Vref=3.3V 时 • 在分辨率为 8 位时， $\pm 2LSB$ • 在分辨率为 10 位时， $\pm 5LSB$
运行模式	单次模式、重复模式（注 3）
模拟输入管脚	4 个（AN8 ~ AN11）
A/D 转换开始条件	• 软件触发 将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换） • 捕捉 在 ADST 位为“1”的状态下发生定时器 Z 中断请求
每 1 个管脚的转换速度	• 无采样保持功能 在分辨率为 8 位时，为 49 个 fAD 周期；在分辨率为 10 位时，为 59 个 fAD 周期 • 有采样保持功能 在分辨率为 8 位时，为 28 个 fAD 周期；在分辨率为 10 位时，为 33 个 fAD 周期

注 1 不依存有无采样保持功能。

模拟输入电压超过基准电压时，A/D 转换结果在 10 位模式时为 3FFh，在 8 位模式时为 FFh。

注 2 必须将 ϕAD 频率设定在 10MHz 以下。

在无采样保持功能时， ϕAD 的频率必须设定在 250kHz 以上。

在有采样保持功能时， ϕAD 的频率必须设定在 1MHz 以上。

注 3 重复模式只能在 8 位模式时使用。

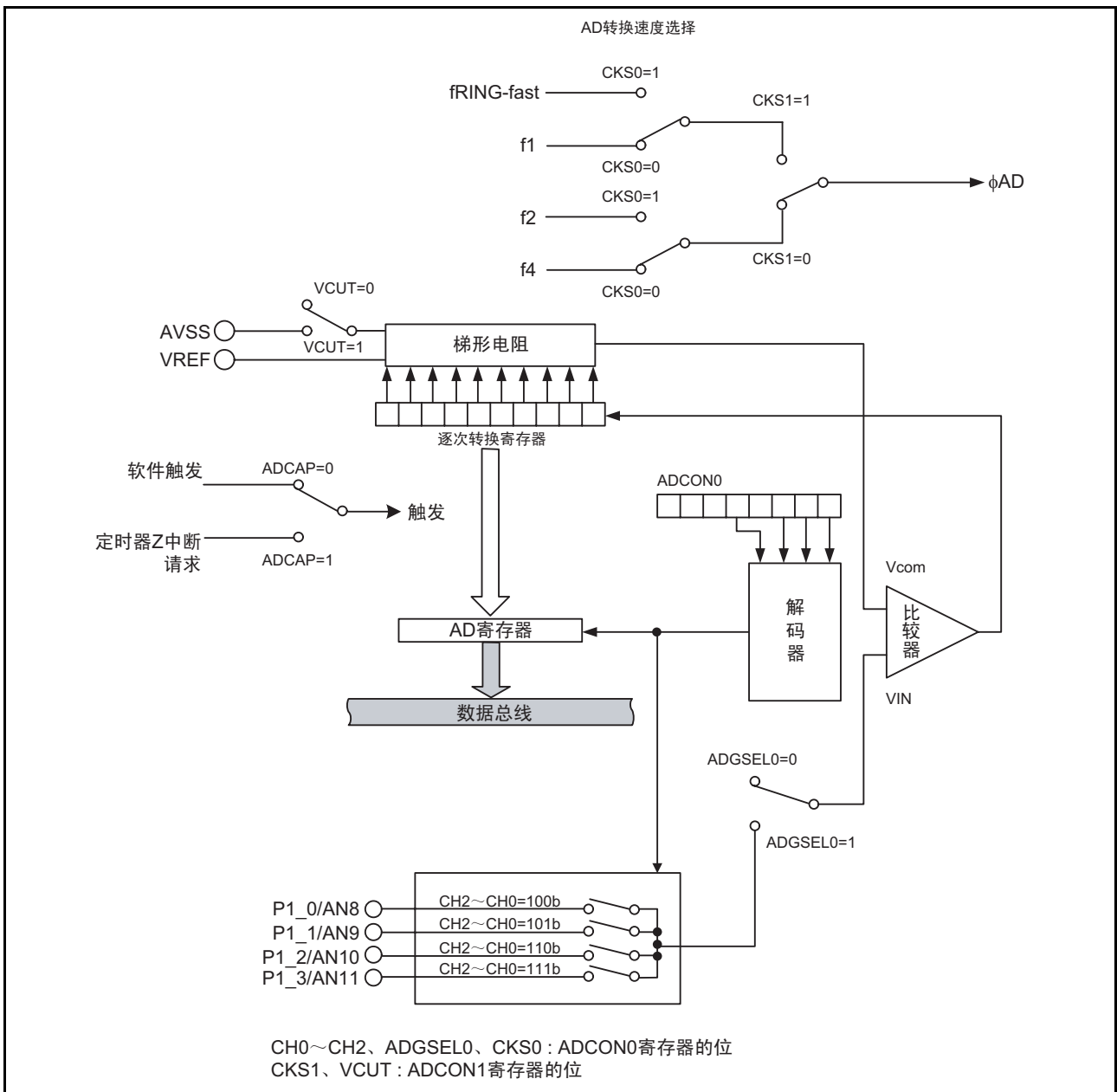


图 18.1 A/D 转换器的框图

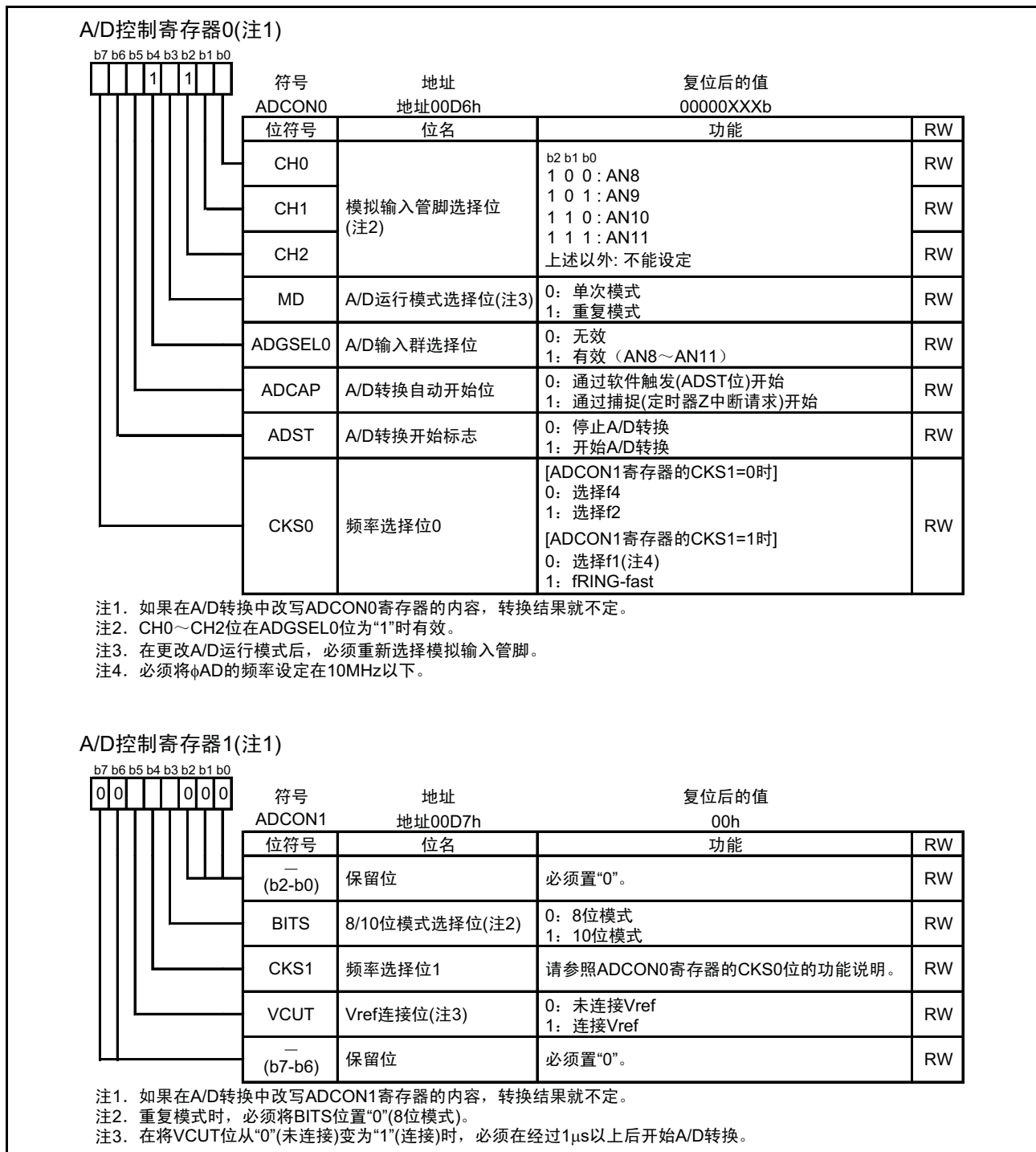


图 18.2 ADCON0 ~ ADCON1 寄存器

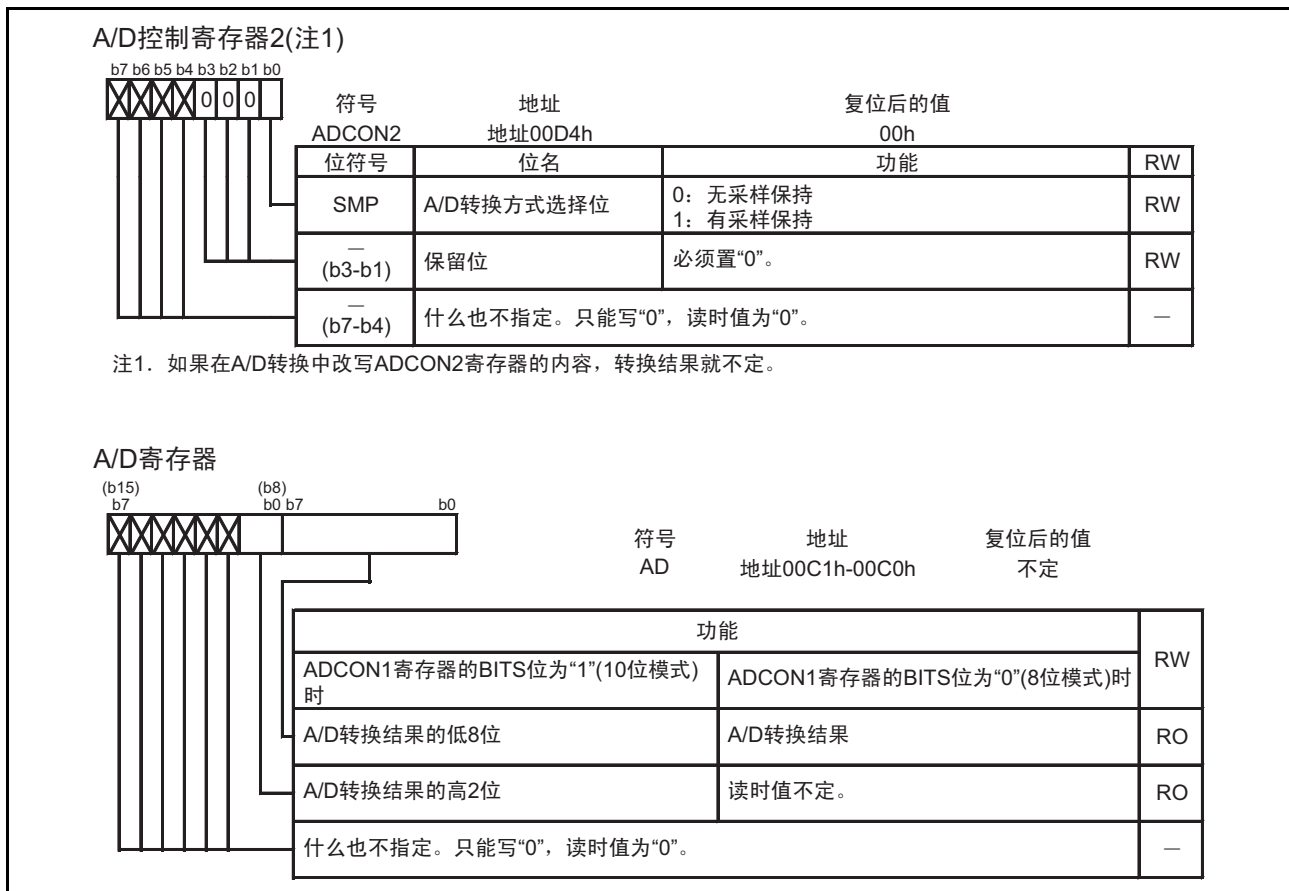


图 18.3 ADCON2 和 AD 寄存器

18.1 单次模式

单次模式是将选择的 1 个管脚的输入电压进行 1 次 A/D 转换的模式。单次模式的规格如表 18.2 所示，单次模式时的 ADCON0 ~ ADCON1 寄存器如图 18.4 所示。

表 18.2 单次模式的说明

项目	说明
功能	将由 CH2 ~ CH0 位选择的管脚的输入电压进行 1 次 A/D 转换
开始条件	<ul style="list-style-type: none"> ADCAP 位为 “0” (软件触发) 时 将 ADST 位置 “1” (A/D 转换开始) ADCAP 位为 “1” (捕捉) 时 在 ADST 位为 “1” 的状态下发生定时器 Z 中断请求
停止条件	<ul style="list-style-type: none"> A/D 转换结束 (ADCAP 位为 “0” (软件触发) 时, ADST 位变为 “0”) 将 ADST 位置 “0”
中断请求发生时序	在 A/D 转换结束时
输入管脚	从 AN8 ~ AN11 选择 1 个管脚
读 A/D 转换值	读 AD 寄存器

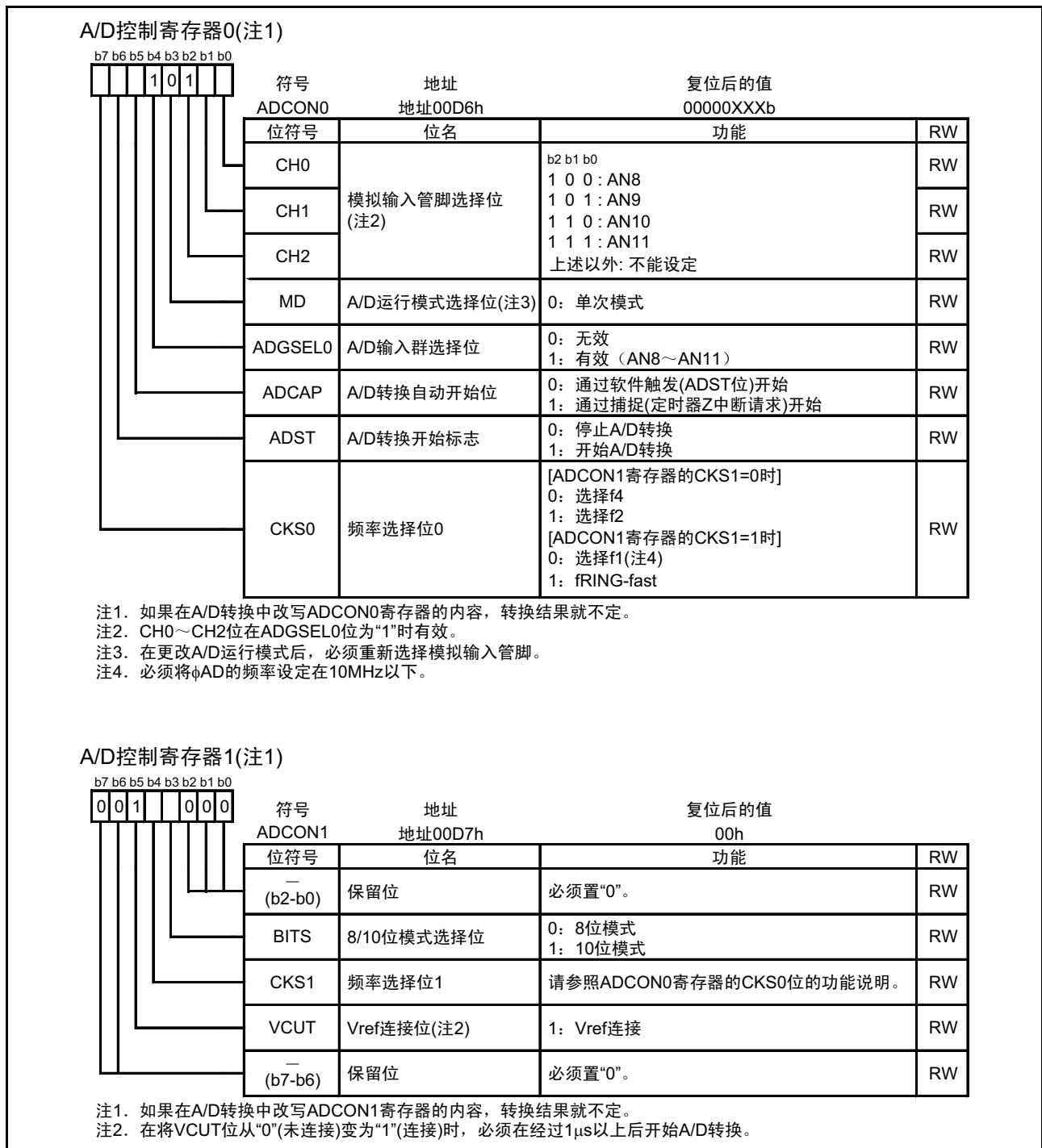


图 18.4 单次模式时的 ADCON0 ~ ADCON1 寄存器

18.2 重复模式

重复模式是将选择的 1 个管脚的输入电压重复进行 A/D 转换的模式。重复模式的说明如表 18.3 所示，重复模式时的 ADCON0 ~ ADCON1 寄存器如图 18.5 所示。

表 18.3 重复模式的说明

项目	说明
功能	将由 CH2 ~ CH0 位选择的管脚的输入电压重复进行 A/D 转换
开始条件	<ul style="list-style-type: none"> • ADCAP 位为 “0” (软件触发) 时 将 ADST 位置 “1” (A/D 转换开始) • ADCAP 位为 “1” (捕捉) 时 在 ADST 位为 “1” 的状态下发生定时器 Z 中断请求
停止条件	将 ADST 位置 “0”
中断请求发生时序	不发生
输入管脚	从 AN8 ~ AN11 选择 1 个管脚
读 A/D 转换值	读 AD 寄存器

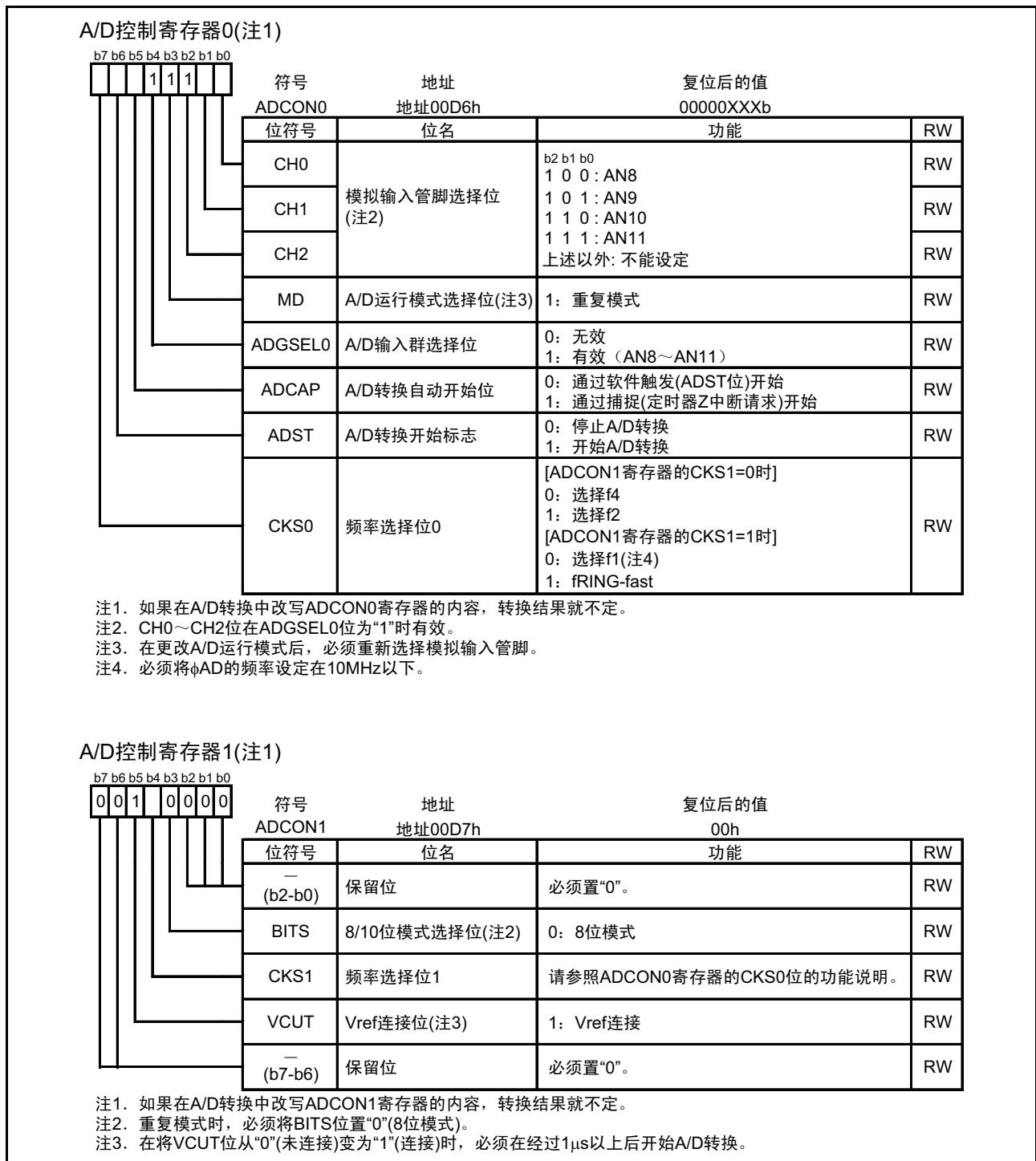


图 18.5 重复模式时的 ADCON0 ~ ADCON1 寄存器

18.3 采样和保持

如果将 ADCON2 寄存器的 SMP 位置“1”（有采样保持功能），就能提高每 1 个管脚的转换速度，在分辨率为 8 位时，为 28φAD 周期；在分辨率为 10 位时，为 33φAD 周期。采样保持功能对所有运行模式都有效。必须在选择有无采样保持功能后开始 A/D 转换。

在进行 A/D 转换时，必须在采样时间内，对单片机内部的比较器电容充电。

A/D 转换时序图如图 18.6 所示。

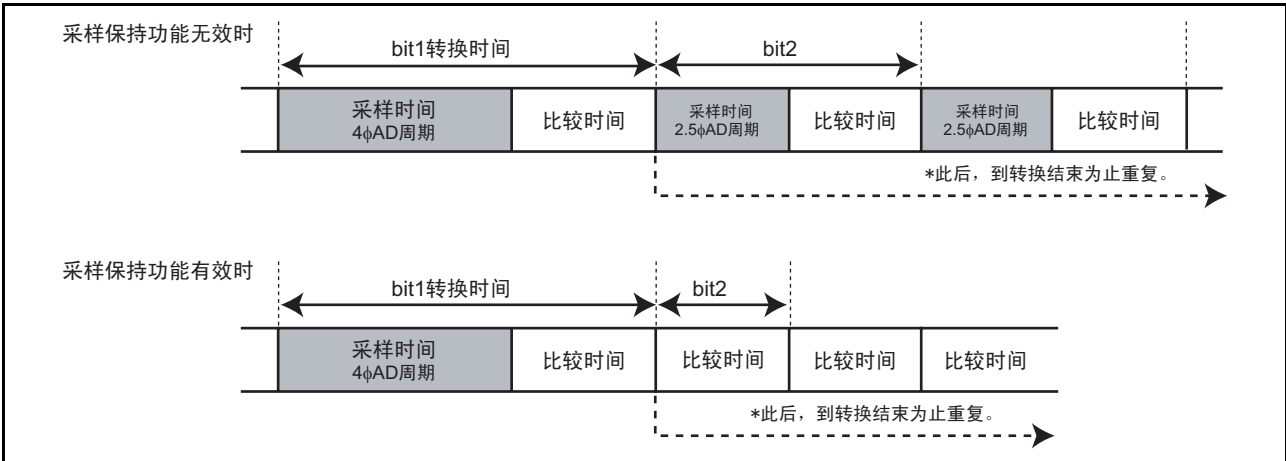


图 18.6 A/D 转换时序图

18.4 A/D 转换周期数

A/D 转换周期数如图 18.7 所示。

A/D 转换模式		转换时间	采样时间	比较时间	采样时间	比较时间	处理结束
无采样保持功能	8位	49φAD	4φAD	2.0φAD	2.5φAD	2.5φAD	8.0φAD
无采样保持功能	10位	59φAD	4φAD	2.0φAD	2.5φAD	2.5φAD	8.0φAD
有采样保持功能	8位	28φAD	4φAD	2.5φAD	0.0φAD	2.5φAD	4.0φAD
有采样保持功能	10位	33φAD	4φAD	2.5φAD	0.0φAD	2.5φAD	4.0φAD

图 18.7 A/D 转换周期数

18.5 模拟输入内部等效电路

模拟输入内部等效电路如图 18.8 所示。

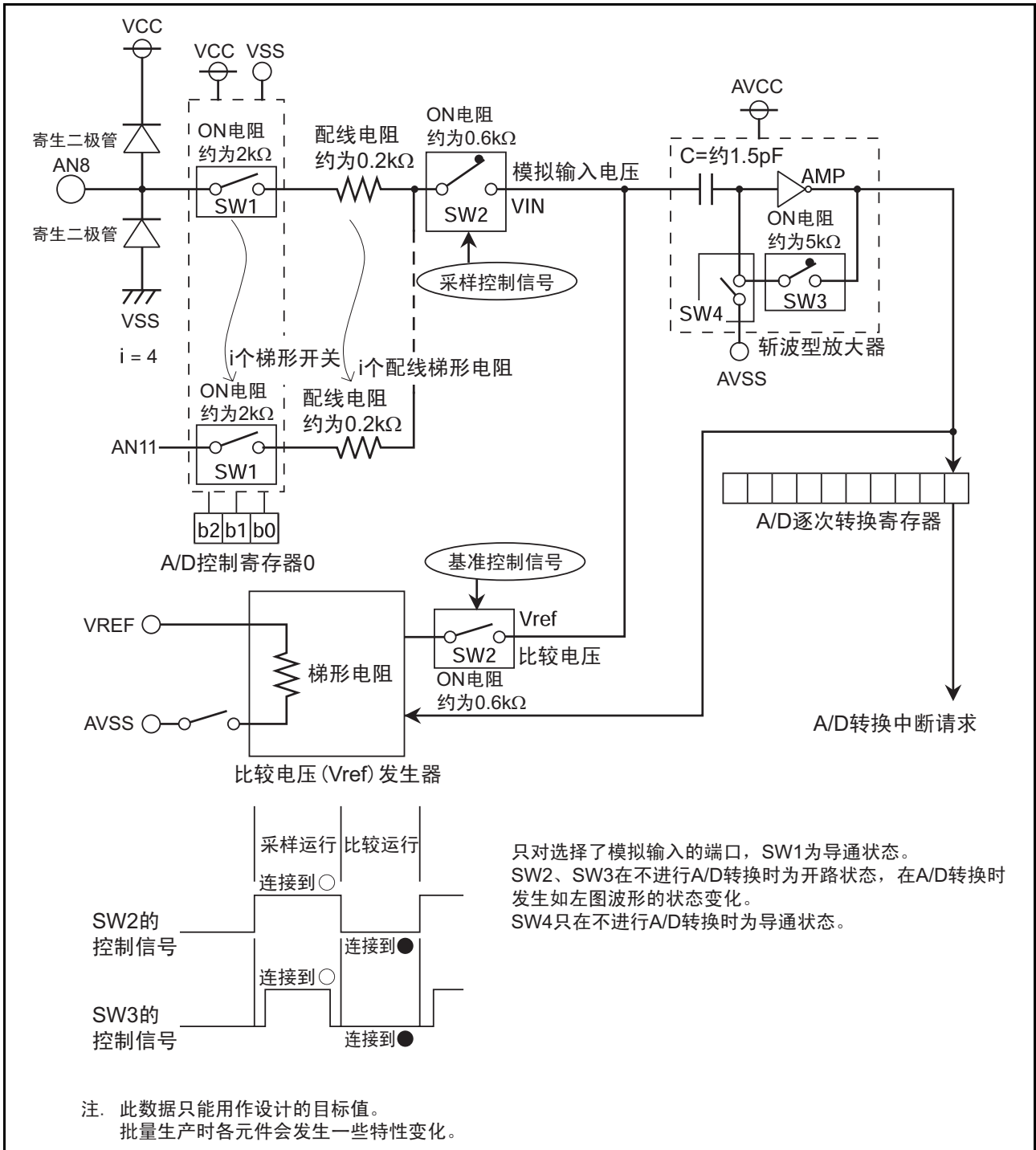


图 18.8 模拟输入内部等效电路

18.6 注入电流旁路电路

注入电流旁路电路结构图如图 18.9 所示，给注入电流旁路电路外加 VCC 以上电压的例子如图 18.10 所示。

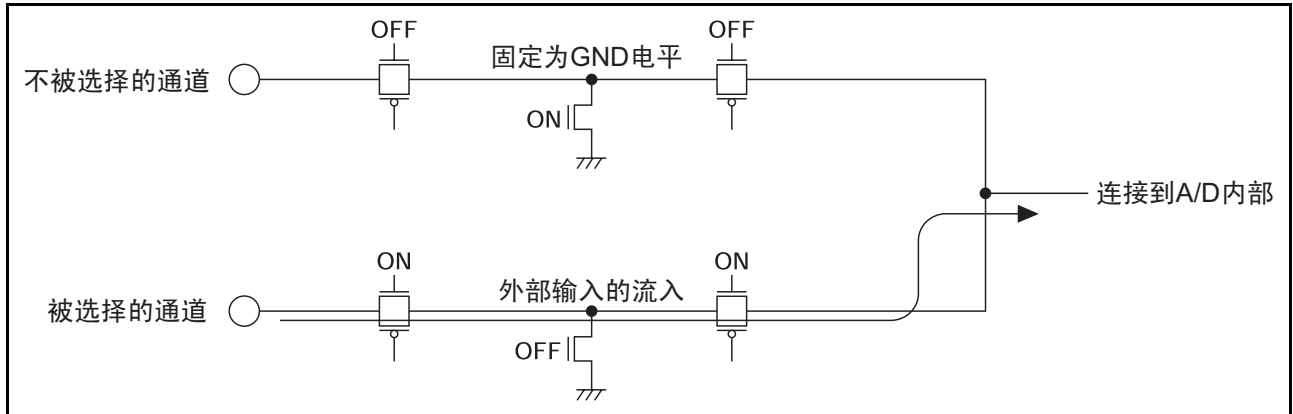


图 18.9 注入电流旁路电路结构

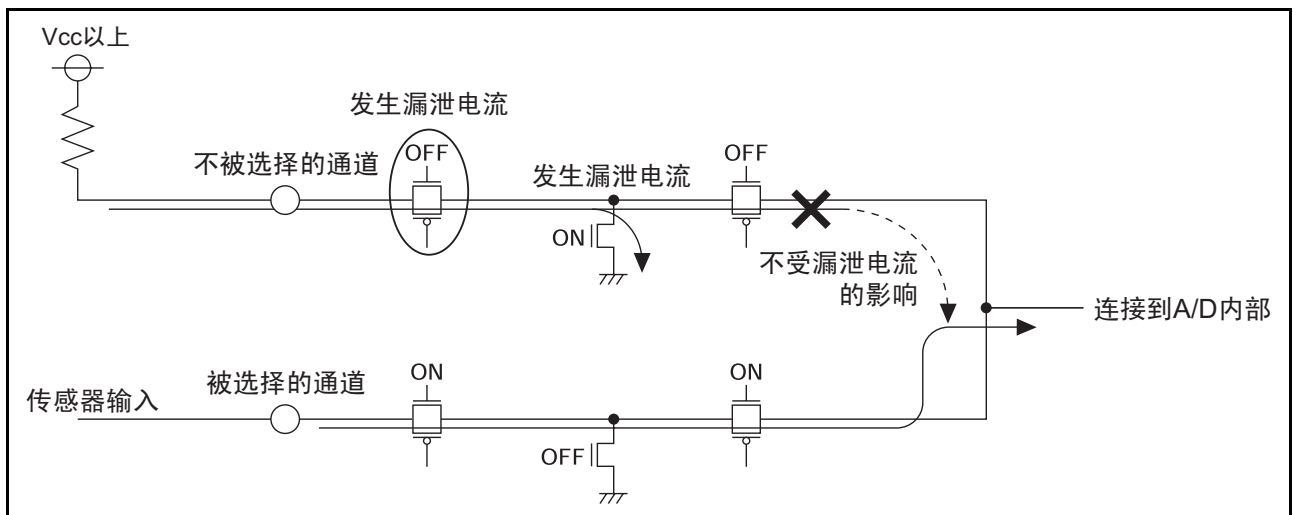


图 18.10 给注入电流旁路电路外加 VCC 以上电压的例子

18.7 A/D 转换时传感器的输出阻抗

为了保证 A/D 转换的正常进行，必须在规定时间内完成对内部电容 C（如图 18.11 所示）的充电。此规定时间（采样时间）在下列公式中为 T。另外，传感器等价电路的输出阻抗为 R0，单片机内部的电阻为 R，A/D 转换的精度（误差）为 X，分辨率为 Y（在 10 位模式中 Y 的值为 1024，在 8 位模式中 Y 的值为 256）。

$$\text{通常, } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=T \text{ 时, } VC = VIN - \frac{X}{Y} VIN = VIN \left(1 - \frac{X}{Y} \right),$$

$$\text{所以, } e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = 1n \frac{X}{Y}$$

$$\text{因而, } R0 = \frac{T}{C \cdot 1n \frac{X}{Y}} - R$$

模拟输入管脚和外部传感器的等价电路的例子如图 18.11 所示。当 VIN 和 VC 的差变为 0.1LSB 时，求取在时间 T 内电容 C 的管脚间电压 VC 从 0 变为 VIN - (0.1/1024)VIN 的阻抗 R0 的值。(0.1/1024) 表示在 10 位模式中进行 A/D 转换时，将电容充电不充分引起的 A/D 转换精度的下降控制在 0.1LSB。不过，实际误差是 0.1LSB 加上绝对精度后的值。

当 f(XIN)=10MHz 时，在有采样 & 保持功能的 A/D 转换模式中，T=0.25μs。在这个时间 T 内可对电容 C 充分进行充电的输出阻抗 R0 的值，可以通过如下方式来求取。

$$T=0.25\mu\text{s}, R=2.8\text{k}\Omega, C=1.5\text{pF}, X=0.1, Y=1024$$

因而，

$$R0 = \frac{0.25 \times 10^{-6}}{6.0 \times 10^{-12} \cdot 1n \frac{0.1}{1024}} - 2.8 \times 10^3 \approx 7.3 \times 10^3$$

这样，使 A/D 转换精度（误差）为 0.1LSB 以下的传感器电路的输出阻抗 R0 的最大值为 7.3 kΩ。

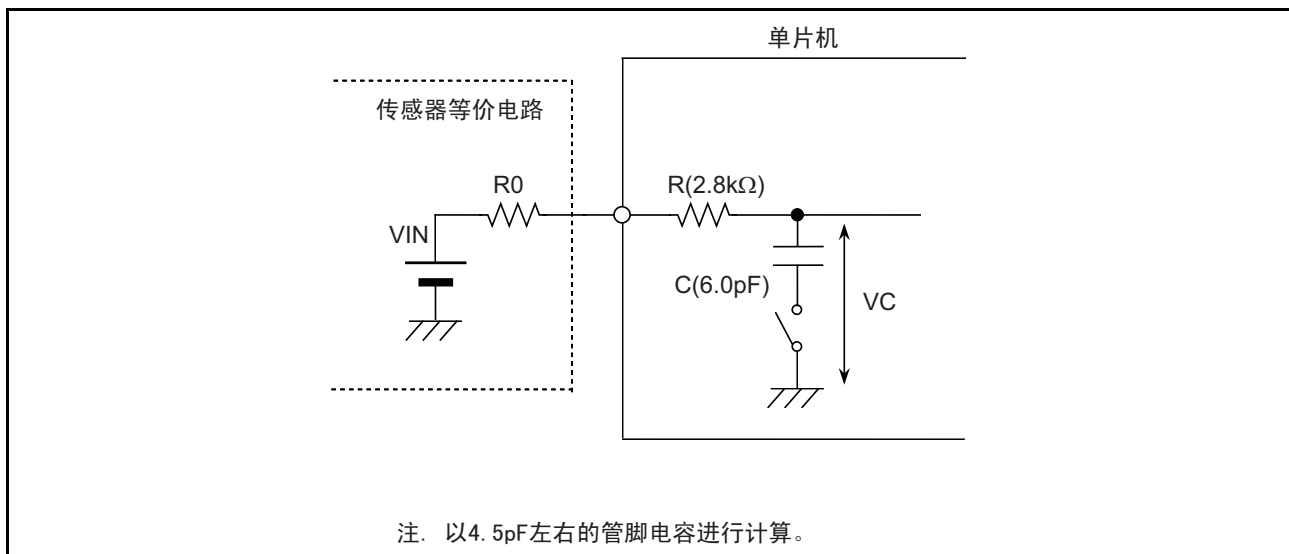


图 18.11 模拟输入管脚和外部传感器的等价电路的例子

18.8 A/D 转换器的使用注意事项

- 对 ADCON0 寄存器的各位（bit6 除外）、ADCON1 寄存器的各位以及 ADCON2 寄存器的 SMP 位的写操作，必须在 A/D 转换停止时（发生触发前）进行。
尤其在将 VCUT 位从“0”（未连接 VREF）置为“1”（连接 VREF）时，必须在至少经过 1 μ s 后开始 A/D 转换。
- 在改变 A/D 运行模式后，必须重新选择模拟输入管脚。
- 在单次模式使用时
必须在确认 A/D 转换结束后，读 AD 寄存器（能通过 ADIC 寄存器的 IR 位或者 ADCON0 寄存器的 ADST 位判断 A/D 转换的结束）。
- 在重复模式使用时
对于 CPU 时钟，不能分频主时钟。
- 在 A/D 转换运行期间，当通过程序将 ADCON0 寄存器的 ADST 位置“0”（停止 A/D 转换）来强制结束时，A/D 转换器的转换结果不定。在通过程序将 ADST 位置“0”的情况下，不能使用 AD 寄存器的值。

19. 闪存

19.1 概要

能在 CPU 改写模式、标准串行输入 / 输出模式和并行输入 / 输出模式 3 种改写模式中对闪存进行操作。

闪存的性能概要如表 19.1 所示（表 19.1 以外的项目，请参照“表 1.1 R8C/1A 群的性能概要”、“表 1.2 R8C/1B 群的性能概要”）。

表 19.1 闪存的性能概要

项目		性能
闪存的运行模式		3 种模式（CPU 改写、标准串行输入 / 输出和并行输入 / 输出模式）
擦除块分配		请参照图 19.1、图 19.2。
编程方式		字节单位
擦除方式		块擦除
编程、擦除的控制方式		由软件命令控制编程、擦除
改写的控制方式		由 FMR0 寄存器的 FMR02 位控制块 0、块 1 的改写
		由 FMR1 寄存器的 FMR15 和 FMR16 位分别控制块 0 和块 1 的改写
命令数		5 个命令
可编程 / 擦除次数 (注 1)	块 0、1（程序 ROM）	R8C/1A 群：100 次；R8C/1B 群：1,000 次
	块 A、B（数据闪存） (注 2)	10,000 次
ID 码检查功能		对应标准串行输入 / 输出模式
ROM 码保护		对应并行输入 / 输出模式

注 1 可编程 / 擦除次数的定义

可编程 / 擦除次数是各块的次数。

在可编程 / 擦除次数为 n 次（n=100、10,000 次）的情况下，能逐块分别擦除 n 次。例如，如果对于 1K 的块 A 分 1024 次写 1 字节后擦除该块，可编程 / 擦除次数就仍为 1 次。在改写 100 次以上的情况下，为了减少实际的改写次数，必须在空区结束之前进行编程后擦除，以及避免只改写特定块，平衡各块的编程、擦除次数。

另外，建议保存擦除次数等信息，设定限制次数。

注 2 只有 R8C/1B 群内置块 A、B。

表 19.2 闪存改写模式的概要

闪存改写模式	CPU 改写模式	标准串行输入 / 输出模式	并行输入 / 输出模式
功能概要	通过 CPU 执行软件命令改写用户 ROM 区 EW0 模式：可改写闪存以外的区域 EW1 模式：可改写闪存	使用专用串行编程器改写用户 ROM 区	使用专用并行编程器改写用户 ROM 区
能改写的区域	用户 ROM 区	用户 ROM 区	用户 ROM 区
运行模式	单芯片模式	引导模式	并行输入 / 输出模式
ROM 编程器	—	串行编程器	并行编程器

19.2 存储器的配置

闪存分为用户 ROM 区和引导 ROM 区（保留区）。R8C/1A 群的闪存框图如图 19.1、R8C/1B 群的闪存框图如图 19.2 所示。

R8C/1B 群的用户 ROM 区除了有保存单片机运行程序的区域（程序 ROM）以外，还有 1K 字节的块 A 和 1K 字节的块 B（数据闪存）。

用户 ROM 区被分为多个块。在 CPU 改写模式、标准串行输入 / 输出模式或者并行输入 / 输出模式中能改写用户 ROM 区。

CPU 改写模式中改写块 0 和块 1 时，在 FMR0 寄存器的 FMR02 位置“1”（允许改写）的情况下，如果 FMR1 寄存器的 FMR15 位置“0”（允许改写），就允许改写块 0；如果将 FMR16 位置“0”（允许改写），就允许改写块 1。

在出货时，引导 ROM 区存有标准串行输入 / 输出模式的改写控制程序。虽然引导 ROM 区被分配在与用户 ROM 区重叠的地址，但是存在另外的存储器。

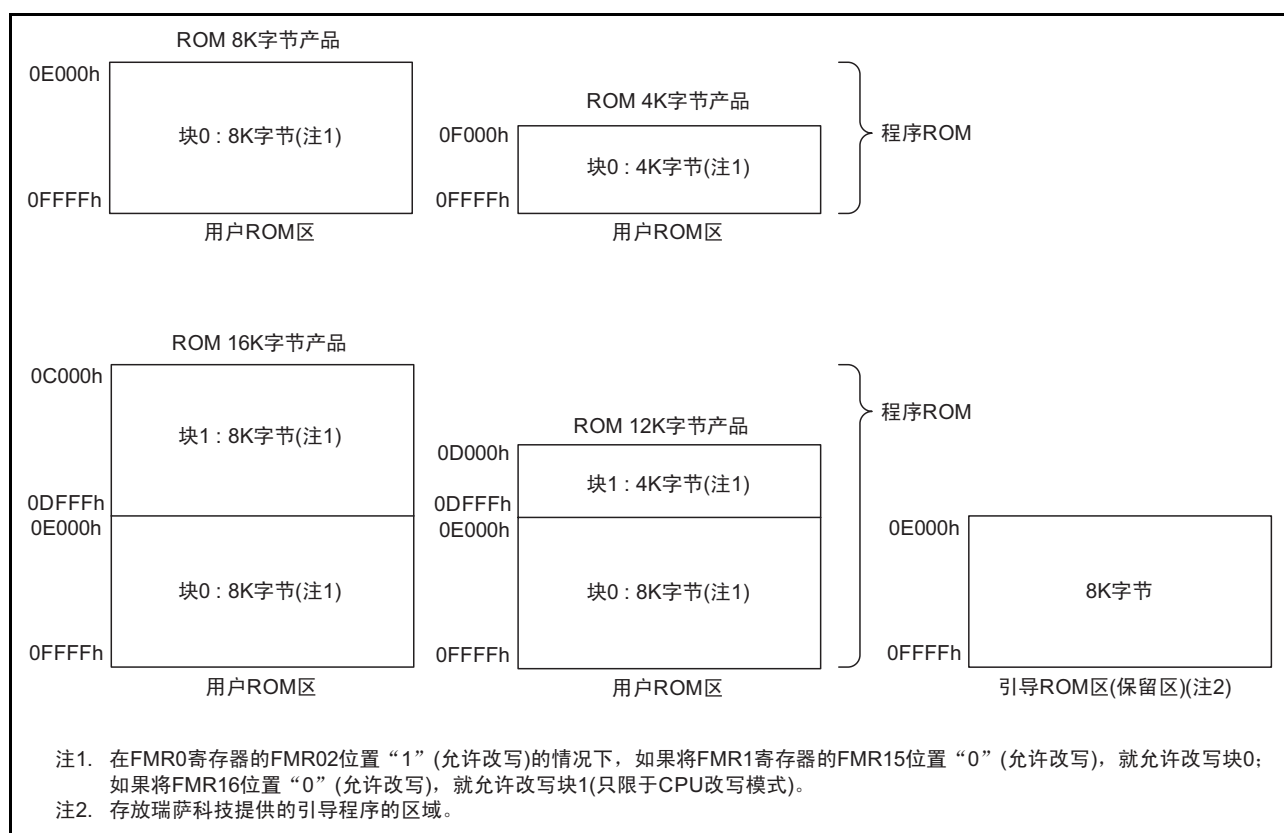


图 19.1 R8C/1A 群的闪存框图

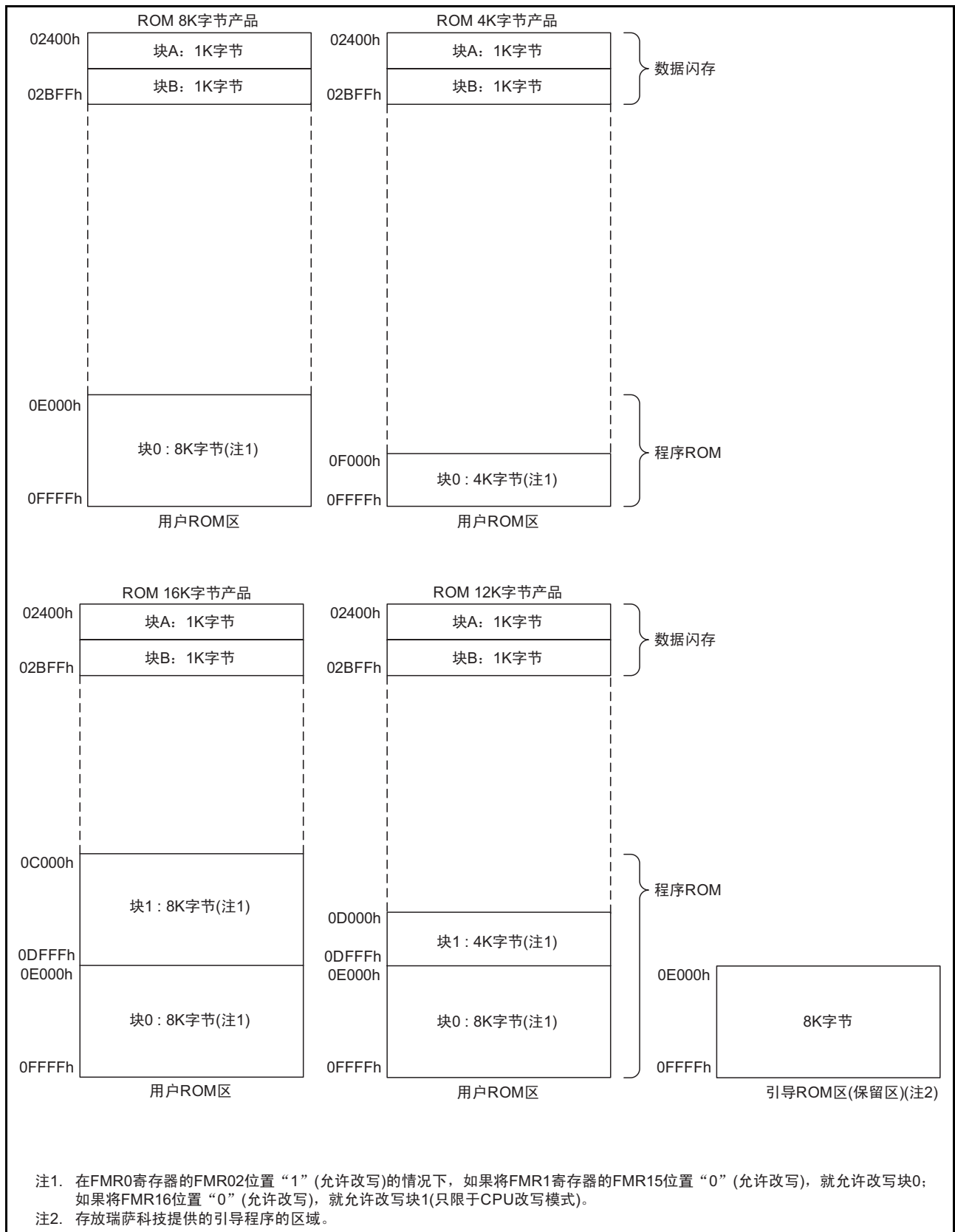


图 19.2 R8C/1B 群的闪存框图

19.3 闪存改写的禁止功能

为了不能简单地读或者改写闪存，标准串行输入 / 输出模式有 ID 码的检查功能，并行输入 / 输出模式有 ROM 码的保护功能。

19.3.1 ID 码的检查功能

用于标准串行输入 / 输出模式。在闪存不为空白的情况下，判断编程器送来的 ID 码和写在闪存中的 7 字节的 ID 码是否一致。如果不一致，就不接受编程器送来的命令。ID 码是各 8 位的数据，该区域从第 1 个字节开始为地址 00FFDFh、00FFE3h、00FFE7h、00FFEBh、00FFEFh、00FFF3h、00FFF7h、00FFFBh。必须将预先给这些地址设定 ID 码的程序写到闪存。

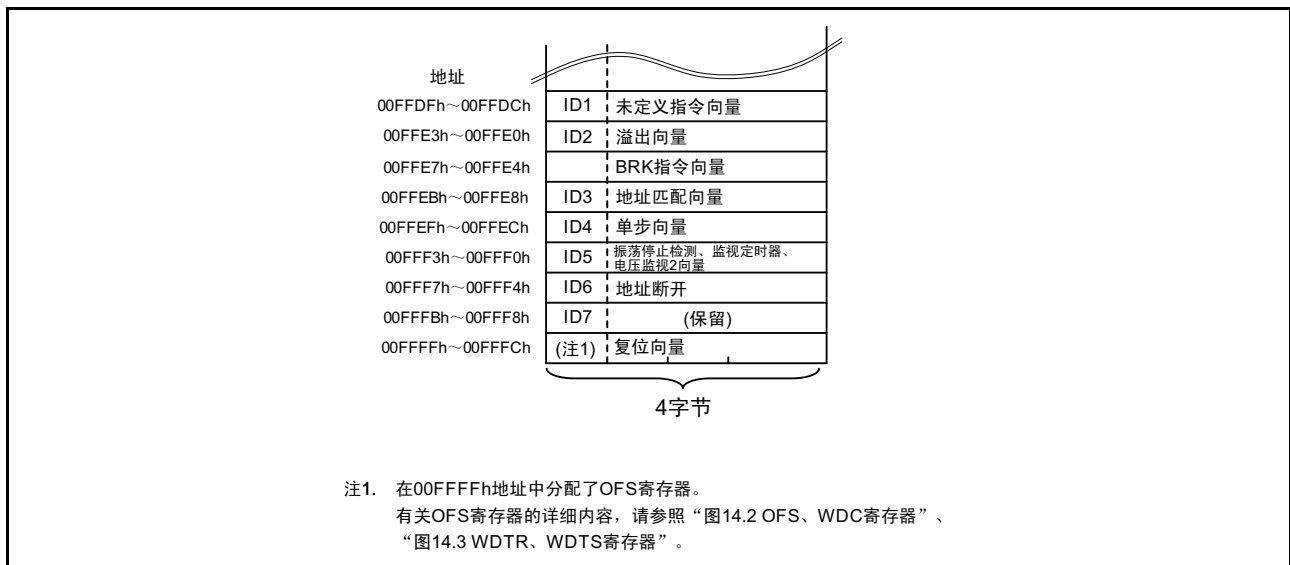


图 19.3 ID 码的保存地址

19.3.2 ROM 码的保护功能

ROM 码保护是在使用并行输入 / 输出模式时，通过 OFS 寄存器禁止读取和变更内部闪存内容的功能。OFS 寄存器如图 19.4 所示。

如果给 ROMCR 位写 “1” 并给 ROMCP1 位写 “0”，ROM 码保护就有效，禁止读取和变更内部闪存的内容。

如果给 ROMCR 位写 “0”，就解除 ROM 码保护，能读取和变更内部闪存的内容。

一旦将 ROM 码保护设定为有效，就不能在并行输入 / 输出模式中改写内部闪存的内容。在解除 ROM 码保护时，必须使用 CPU 改写模式或者标准串行输入 / 输出模式擦除包含 OFS 寄存器的块。

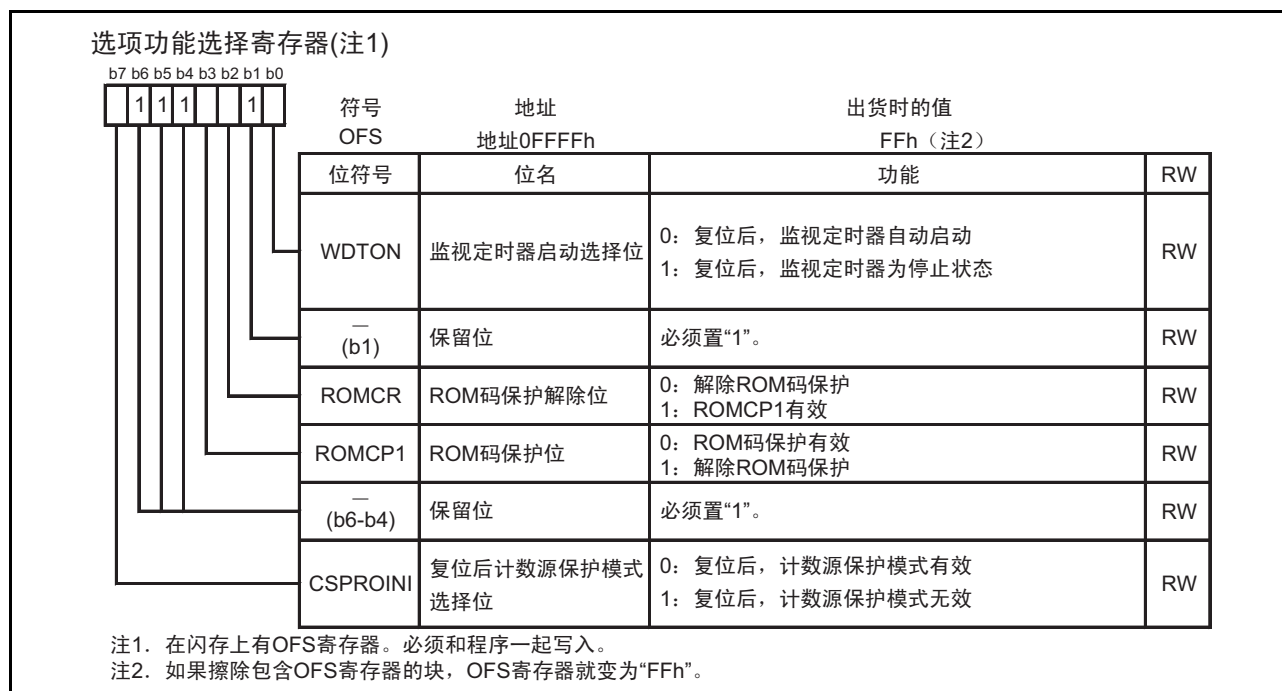


图 19.4 OFS 寄存器

19.4 CPU 改写模式

在 CPU 改写模式中，能通过 CPU 执行软件命令改写用户 ROM 区。因此，能在不使用 ROM 编程器等而将单片机安装在电路板的状态下改写用户 ROM 区。必须只对用户 ROM 区的各块区域执行编程、块擦除的命令。

在 CPU 改写模式的擦除运行中发生中断请求时，有暂时中断擦除运行进行中断处理的擦除挂起功能。可在擦除挂起中通过程序读用户 ROM 区。

在 CPU 改写模式的自动编程中发生中断请求时，有暂时中断自动编程进行中断处理的编程挂起功能。可在编程挂起中通过程序读用户 ROM 区。

CPU 改写模式有擦除编程 0 模式（EW0 模式）和擦除编程 1 模式（EW1 模式）。EW0 模式和 EW1 模式的不同点如表 19.3 所示。

表 19.3 EW0 模式和 EW1 模式的不同点

项目	EW0 模式	EW1 模式
运行模式	单芯片模式	单芯片模式
能配置改写控制程序的区域	用户 ROM 区	用户 ROM 区
能执行改写控制程序的区域	需要在传送到闪存以外的区域（RAM 等）后执行	可在用户 ROM 区执行
能被改写的区域	用户 ROM 区	用户 ROM 区 但是，存有改写控（注 1）制程序的块除外
软件命令的限制	无	<ul style="list-style-type: none"> 对于存有编程、块擦除命令的改写控制程序的块，禁止执行 禁止执行读状态寄存器命令
编程、擦除后的模式	读状态寄存器模式	读阵列（Read Array）模式
读状态寄存器后的模式	读状态寄存器模式	不要执行命令
自动编程、自动擦除时的 CPU 状态	运行	保持状态（输入 / 输出端口保持命令执行前的状态）
闪存的状态检测	<ul style="list-style-type: none"> 通过程序读 FMR0 寄存器的 FMR00、FMR06、FMR07 位 执行读状态寄存器命令，SR7、SR5、SR4 读取状态寄存器的 	通过程序读 FMR0 寄存器的 FMR00、FMR06、FMR07 位
擦除挂起的转移条件	通过程序将 FMR4 寄存器的 FMR40 和 FMR41 位置“1”	FMR4 寄存器的 FMR40 位为“1”并且发生被允许的可屏蔽中断的中断请求
编程挂起的转移条件	通过程序将 FMR4 寄存器的 FMR40 和 FMR42 位设定为“1”	FMR4 寄存器的 FMR40 位为“1”并且发生被允许的可屏蔽中断的中断请求
CPU 时钟	5MHz 以下	无限制（使用的时钟频率）

注 1 在 FMR0 寄存器的 FMR02 位置“1”（允许改写）的情况下，如果将 FMR1 寄存器的 FMR15 位置“0”（允许改写），就允许改写块 0；如果将 FMR16 位置“0”（允许改写），就允许改写块 1。

19.4.1 EW0 模式

在将 FMR0 寄存器的 FMR01 位置“1”（CPU 改写模式有效）时，为 CPU 改写模式，可接受软件命令。此时，因为 FMR1 寄存器的 FMR11 位是“0”，所以为 EW0 模式。

通过软件命令控制编程、擦除运行。能通过 FMR0 寄存器或者状态寄存器确认编程、擦除结束时的状态等。

在自动擦除中转移到擦除挂起时，必须将 FMR40 位置“1”（允许挂起）、FMR41 位置“1”（请求擦除挂起），然后等待 $t_{d(SR-SUS)}$ ，在确认 FMR46 位为“1”（允许读）后才能对用户 ROM 区进行存取。如果将 FMR41 位置“0”（重新启动擦除），就重新开始自动擦除。

在自动编程中转移到编程挂起时，必须将 FMR40 位置“1”（允许挂起）、FMR42 位置“1”（请求编程挂起），然后等待 $t_{d(SR-SUS)}$ ，在确认 FMR46 位为“1”（允许读）后才能对用户 ROM 区进行存取。如果将 FMR42 位置“0”（重新启动编程），就重新开始自动编程。

19.4.2 EW1 模式

在 FMR01 位置“1”（CPU 改写模式有效）后将 FMR11 位置“1”（EW1 模式）时，为 EW1 模式。

能通过 FMR0 寄存器确认编程、擦除结束时的状态等。不能在 EW1 模式中执行读状态寄存器的软件命令。

在自动擦除时将擦除挂起功能设定为有效的情况下，必须在将 FMR40 位置“1”（允许挂起）后执行块擦除命令，并预先将转移到擦除挂起的中断设定为中断允许状态。如果在执行块擦除命令后经过 $t_{d(SR-SUS)}$ ，就能接受中断请求。

如果发生中断请求，FMR41 位就自动变为“1”（请求擦除挂起），中断自动擦除。在结束中断处理后，如果自动擦除还没有结束（FMR00 位为“0”），就必须将 FMR41 位置“0”（重新启动擦除），重新开始自动擦除。

在自动编程时将编程挂起功能设定为有效的情况下，必须在将 FMR40 位置“1”（允许挂起）后执行编程命令，并预先将转移到编程挂起的中断设定为中断允许状态。如果在执行编程命令后经过 $t_{d(SR-SUS)}$ ，就能接受中断请求。

如果发生中断请求，FMR42 位就自动变为“1”（请求编程挂起），中断自动编程。在结束中断处理后，如果自动编程还没有结束（FMR00 位为“0”），就必须将 FMR42 位置为“0”（重新启动编程），重新开始自动编程。

FMR0 寄存器如图 19.5、FMR1 寄存器如图 19.6、FMR4 寄存器如图 19.7 所示。

19.4.2.1 FMR00 位

FMR00 位是表示闪存运行状况的位。在编程、擦除运行中为“0”，否则为“1”。

19.4.2.2 FMR01 位

如果将 FMR01 位置“1”（CPU 改写模式），就可接受命令。

19.4.2.3 FMR02 位

在 FMR02 位为“0”（禁止改写）时，块 0 和块 1 不接受编程命令、块擦除命令。

在 FMR02 位为“1”（允许改写）时，块 0 和块 1 由 FMR15、FMR16 位控制改写。

19.4.2.4 FMSTP 位

FMSTP 位是初始化闪存的控制电路并降低闪存功耗的位。如果将 FMSTP 位置“1”，就不能存取闪存。因此，必须通过闪存以外的区域的程序写 FMSTP 位。

在以下的情况下，必须将 FMSTP 位置“1”：

- 在 EW0 模式的擦除和编程中闪存的存取发生异常（FMR00 位无法恢复到“1”（就绪））时
- 通过内部振荡器模式（主时钟停止）设定为低功耗时

通过内部振荡器模式（主时钟停止）设定为低功耗的处理如图 19.11 所示，请按照此流程图操作。另外，在 CPU 改写模式无效时转移到停止模式或者等待模式的情况下，因为自动切断闪存的电源，返回时自动连接，所以不需要设定 FMR0 寄存器。

19.4.2.5 FMR06 位

FMR06 位是表示自动编程状态的只读位。如果发生编程错误，FMR06 位就为“1”，否则为“0”。详细内容请参照“19.4.5 全状态检查”。

19.4.2.6 FMR07 位

FMR07 位是表示自动擦除状态的只读位。如果发生擦除错误，FMR07 位就为“1”，否则为“0”。详细内容请参照“19.4.5 全状态检查”。

19.4.2.7 FMR11 位

如果将 FMR11 位置“1”（EW1 模式），就为 EW1 模式。

19.4.2.8 FMR15 位

在 FMR02 位是“1”（允许改写）并且 FMR15 位是“0”（允许改写）时，块 0 接受编程命令、块擦除命令。

19.4.2.9 FMR16 位

在 FMR02 位是“1”（允许改写）并且 FMR16 位是“0”（允许改写）时，块 1 接受编程命令、块擦除命令。

19.4.2.10 FMR40 位

如果将 FMR40 位置“1”（允许），就允许挂起功能。

19.4.2.11 FMR41 位

如果在 EW0 模式中通过程序将 FMR41 位置“1”，就转移到擦除挂起模式。如果在 EW1 模式中发生被允许的中断的中断请求，FMR41 位就自动变为“1”（请求擦除挂起），转移到擦除挂起模式。

在重新开始自动擦除运行时，必须将 FMR41 位置“0”（重新启动擦除）。

19.4.2.12 FMR42 位

如果在 EW0 模式中通过程序将 FMR42 位置“1”，就转移到编程挂起模式。如果在 EW1 模式中发生被允许的中断的中断请求，FMR42 位就自动变为“1”（请求编程挂起），转移到编程挂起模式。

在重新开始自动编程时，必须将 FMR42 位置“0”（重新启动编程）。

19.4.2.13 FMR43 位

如果开始自动擦除，FMR43 位就为“1”（执行擦除中）。即使在擦除挂起中 FMR43 位也一直为“1”（执行擦除中）。

如果结束自动擦除，FMR43 位就为“0”（未执行擦除）。

19.4.2.14 FMR44 位

如果开始自动编程，FMR44 位就为“1”（执行编程中）。即使在编程挂起中 FMR44 位也一直为“1”（执行编程中）。

如果结束自动编程，FMR44 位就为“0”（未执行编程）。

19.4.2.15 FMR46 位

在执行自动擦除中 FMR46 位为“0”（禁止读）。在挂起模式中 FMR46 位为“1”（读允许）。在为“0”期间，禁止存取闪存。

19.4.2.16 FMR47 位

如果将 FMR47 位置“1”（允许），就能降低读闪存时的消耗电流。

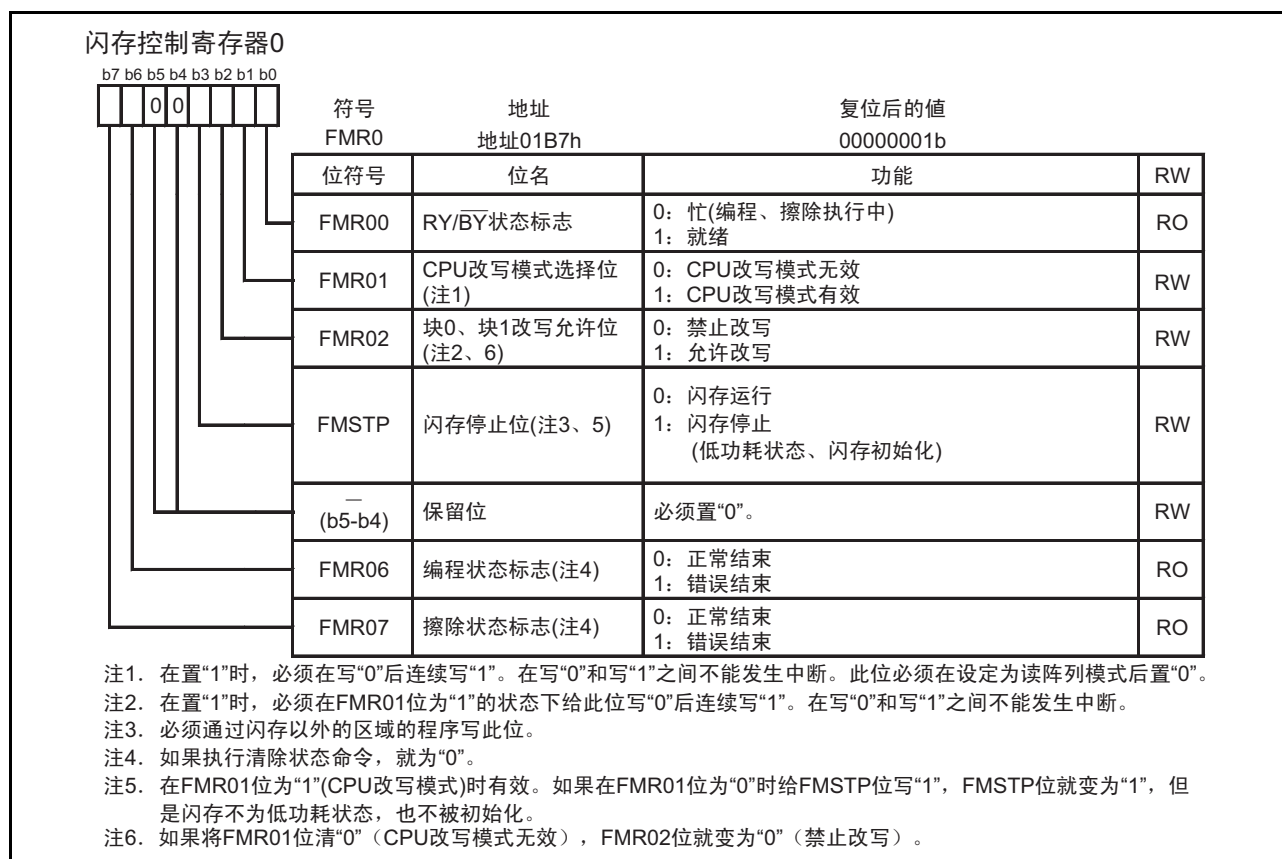


图 19.5 FMR0 寄存器



图 19.6 FMR1 寄存器

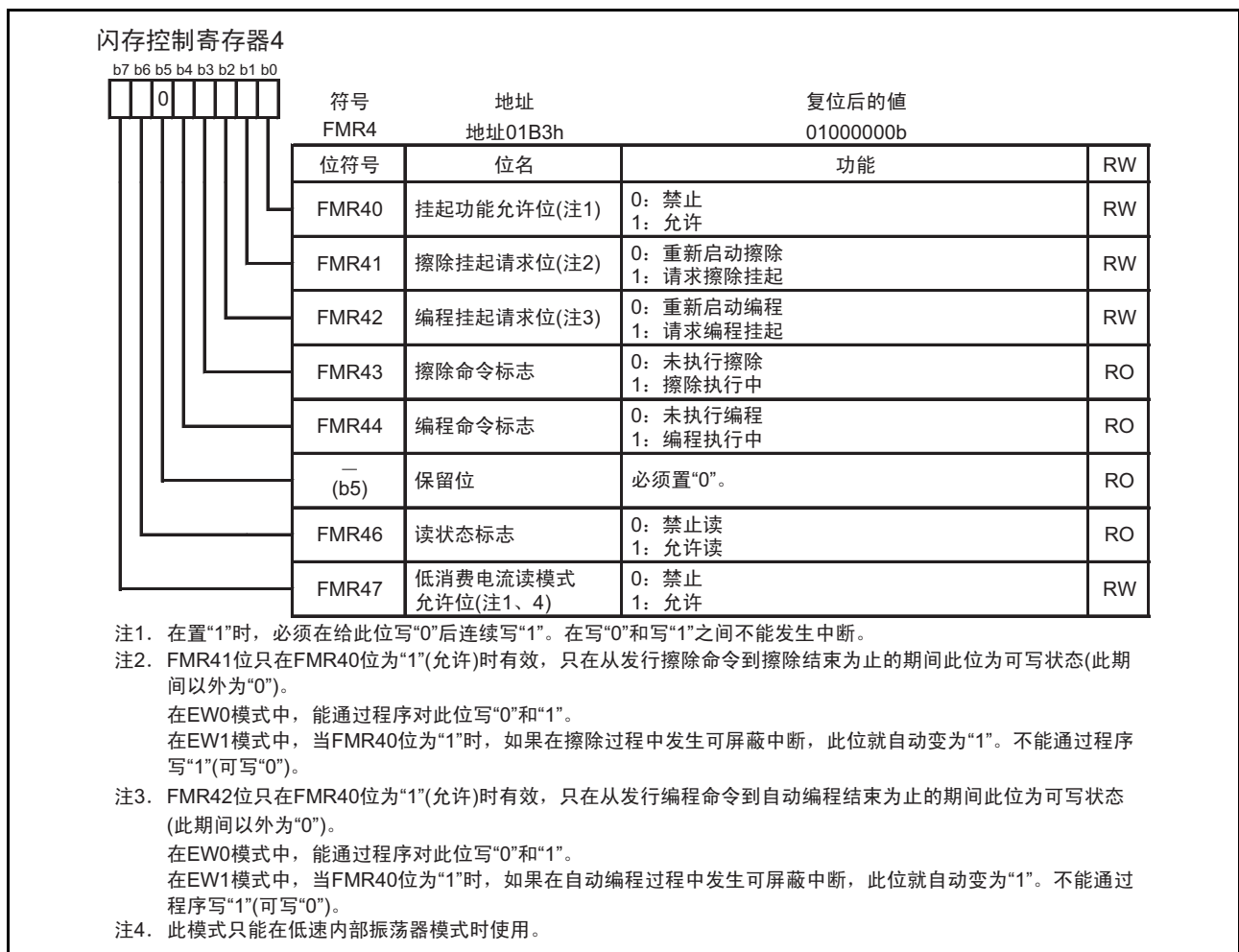


图 19.7 FMR4 寄存器

有关挂起运行的时序如图 19.8 所示。

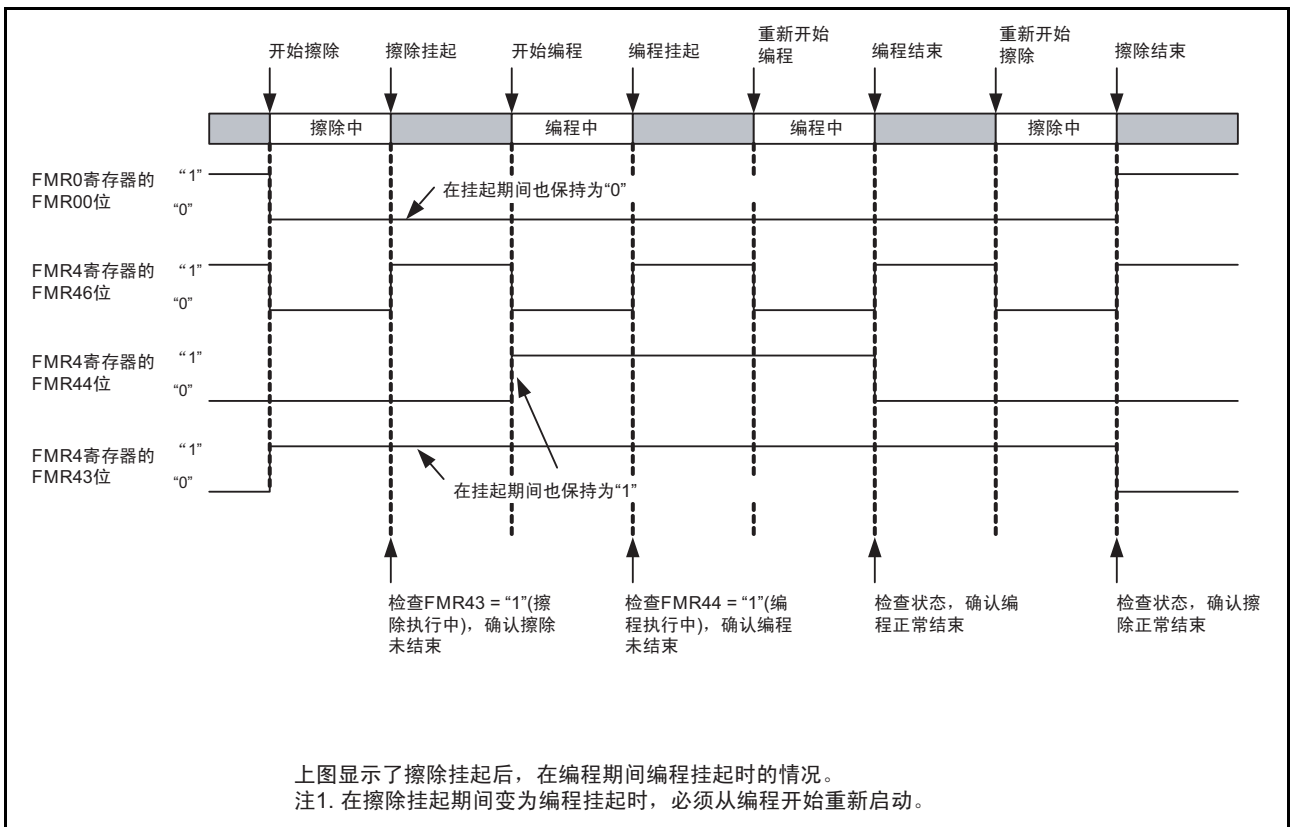


图 19.8 有关挂起运行的时序

EW0 模式的设定和解除方法如图 19.9、EW1 模式的设定和解除方法如图 19.10 所示。

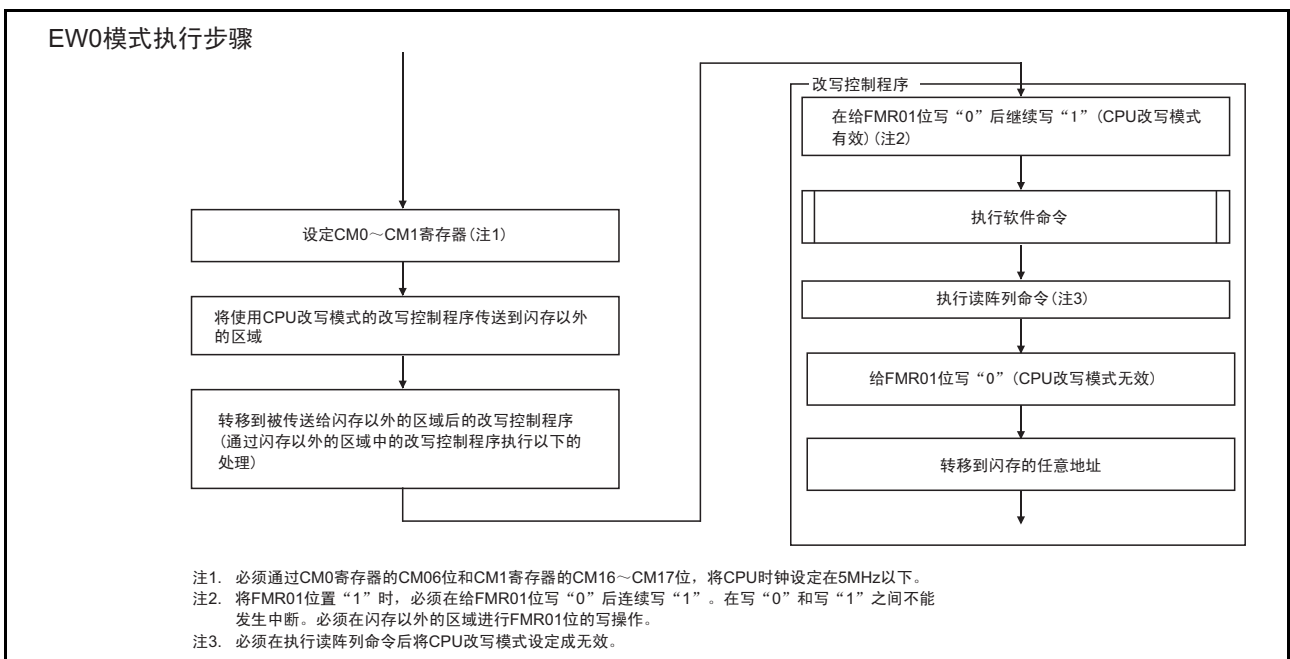


图 19.9 EW0 模式的设定和解除方法

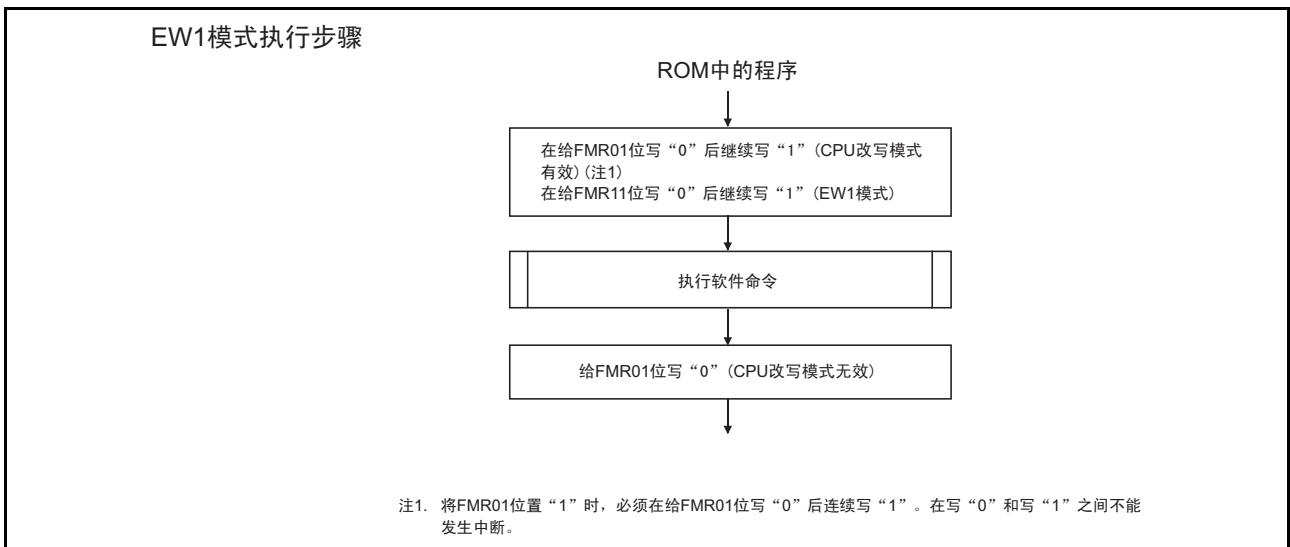


图 19.10 EW1 模式的设定和解除方法

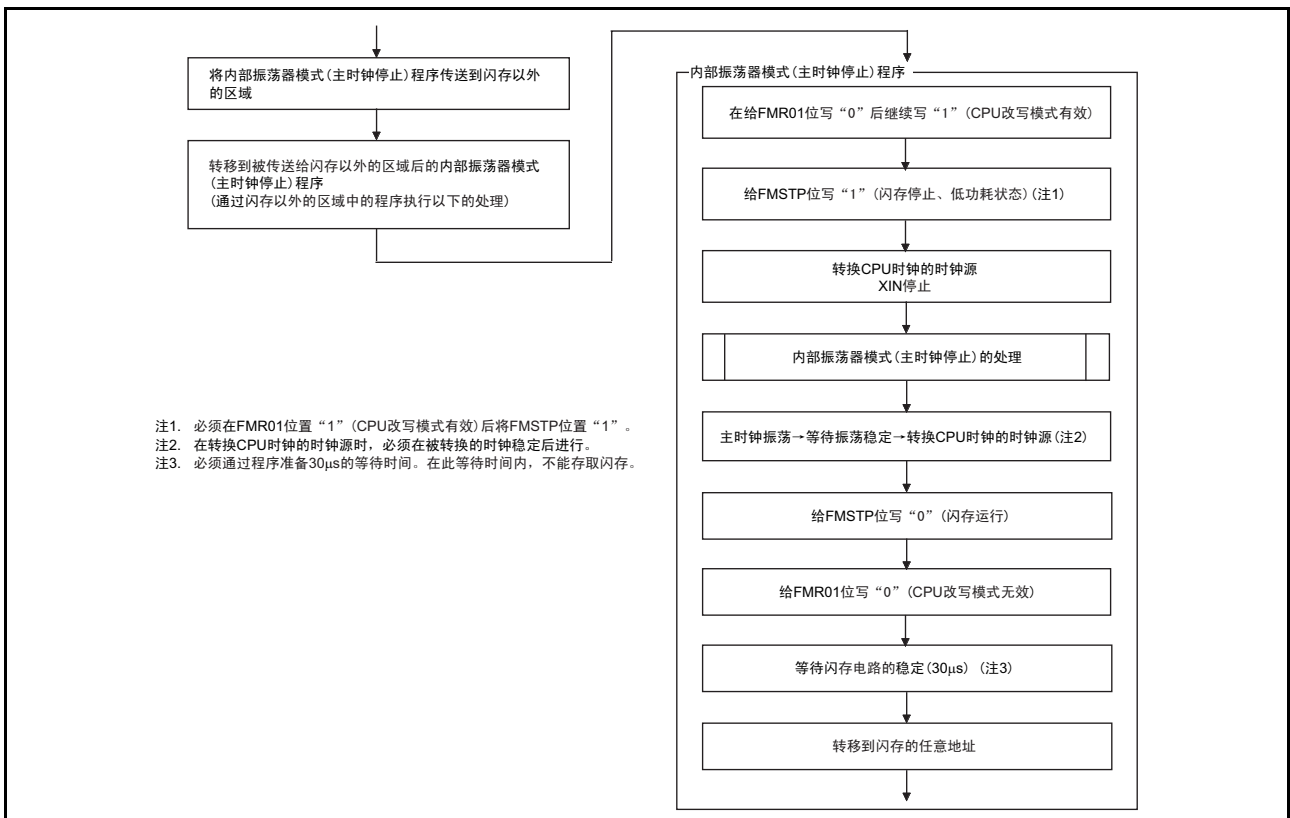


图 19.11 通过内部振荡器模式（主时钟停止）设定为低功耗的处理

19.4.3 软件命令

以下说明有关软件命令，请以 8 位为单位进行命令和数据的读写。

表 19.4 软件命令一览表

软件命令	第 1 总线周期			第 2 总线周期		
	模式	地址	数据 (D7 ~ D0)	模式	地址	数据 (D7 ~ D0)
读阵列	写	×	FFh			
读状态寄存器	写	×	70h	读	×	SRD
清除状态寄存器	写	×	50h			
编程	写	WA	40h	写	WA	WD
块擦除	写	×	20h	写	BA	D0h

SRD: 状态寄存器数据 (D7 ~ D0)。

WA: 写地址 (第 1 总线周期的地址必须和第 2 总线周期的地址相同)。

WD: 写数据 (8 位)。

BA: 块的任意地址。

×: 用户 ROM 区内的任意地址

19.4.3.1 读阵列

它是读闪存的命令。

如果在第 1 总线周期写“FFh”，就为读阵列模式。如果在下一个总线周期以后输入读地址，就能以 8 位为单位读指定地址的内容。

因为读阵列模式保持到写其它命令为止，所以能连续读多个地址的内容。

另外，复位解除后，变为读阵列模式。

19.4.3.2 读状态寄存器

它是读状态寄存器的命令。

如果在第 1 总线周期写“70h”，就能在第 2 总线周期读取状态寄存器 (参照“19.4.4 状态寄存器”)。另外，读时必须读用户 ROM 区内的地址。

不能在 EW1 模式中执行此命令。

在写入下一个读阵列命令之前，一直保持读状态寄存器模式。

19.4.3.3 清除状态寄存器

它是将状态寄存器置“0”的命令。

如果在第 1 总线周期写“50h”，FMR0 寄存器的 FMR06 ~ FMR07 位和状态寄存器的 SR4 ~ SR5 就变为“0”。

19.4.3.4 编程

它是以 1 字节为单位将数据写到闪存的命令。

如果在第 1 总线周期写“40h”，并且在第 2 总线周期将数据写到写地址，就开始自动编程（数据的编程和验证）。第 1 总线周期的地址值必须和第 2 总线周期指定的写地址相同。

能通过 FMR0 寄存器的 FMR00 位确认自动编程的结束。使用挂起功能时，FMR00 位在自动编程期间为“0”，结束后为“1”。

不使用挂起功能时，FMR44 位在自动编程期间为“1”，结束后为“0”。

在自动编程结束之后，能通过 FMR0 寄存器的 FMR06 位得知自动编程的结果（参照“19.4.5 全状态检查”）。

不能对已编程的地址进行追加写。

另外，当 FMR0 寄存器的 FMR02 位为“0”（禁止改写）时，或者当 FMR02 位为“1”（允许改写）并且 FMR1 寄存器的 FMR15 位为“1”（禁止改写）时，不接受对块 0 的编程命令；而当 FMR16 位为“1”（禁止改写）时，不接受对块 1 的编程命令。

挂起功能禁止和允许时的编程流程图分别如图 19.12 和图 19.13 所示。

不能在 EW1 模式中对已分配改写控制程序的地址执行此命令。

在 EW0 模式中，在自动编程开始的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的 bit7（SR7）在自动编程开始的同时变为“0”，在结束时恢复为“1”。此时的读状态寄存器模式被保持到下次写阵列命令为止。另外，在自动编程结束后，能通过读取状态寄存器得知自动编程的结果。

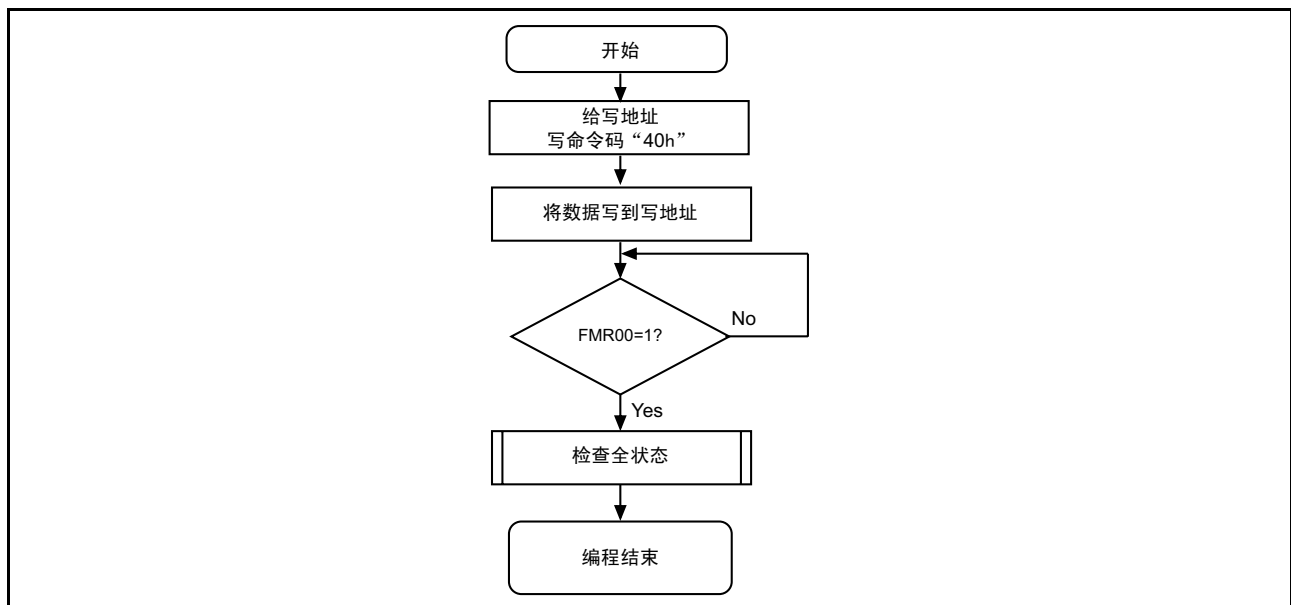


图 19.12 编程的流程图（使用挂起功能时）

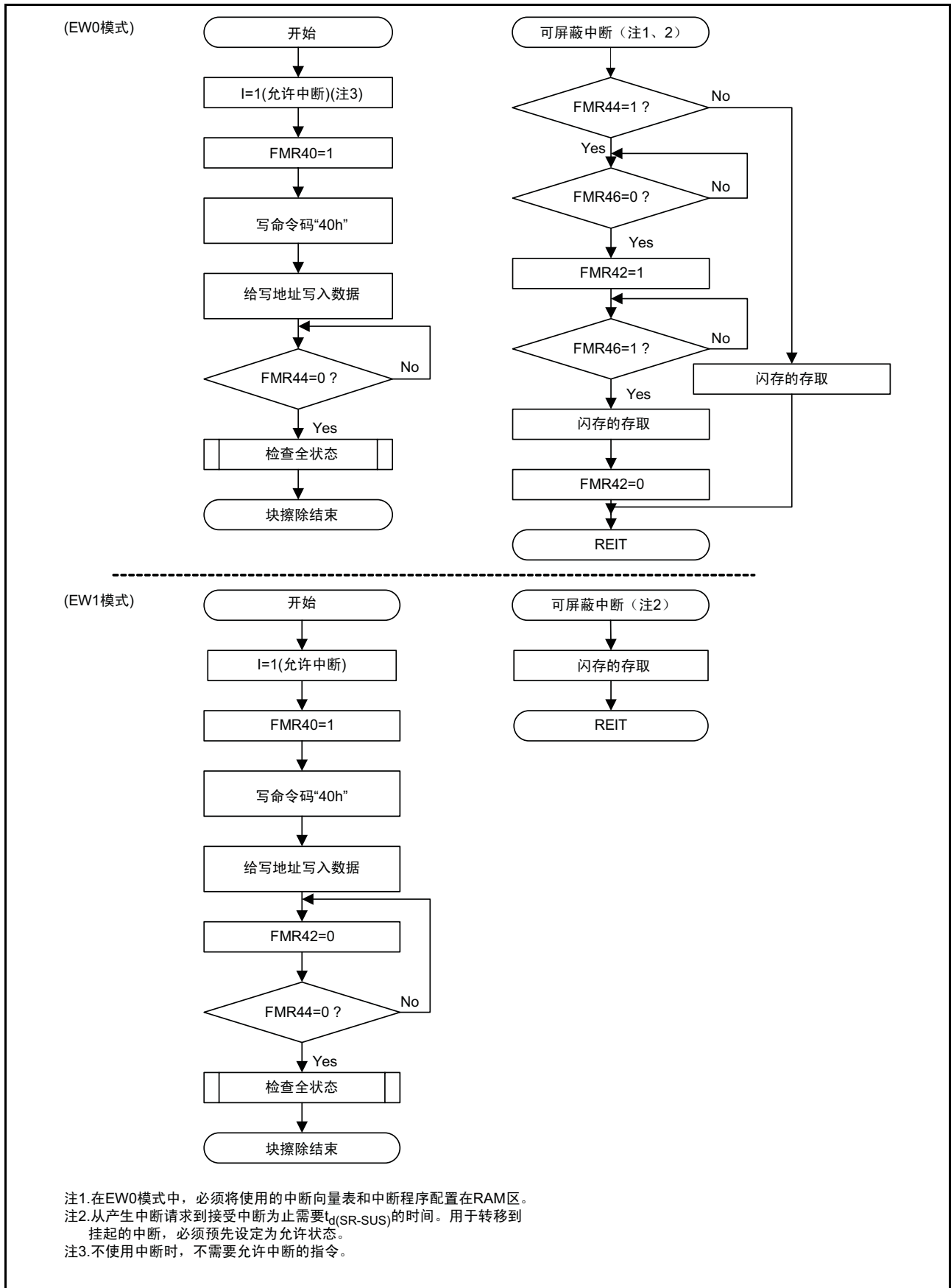


图 19.13 编程的流程图（不使用挂起功能时）

19.4.3.5 块擦除

如果在第 1 总线周期写 “20h”，并且在第 2 总线周期将 “D0h” 写到块的任意地址，就对指定的块开始自动擦除（擦除和擦除验证）。

能通过 FMR0 寄存器的 FMR00 位确认自动擦除的结束。

FMR00 位在自动擦除期间为 “0”，结束后为 “1”。

在自动擦除结束后，能通过 FMR0 寄存器的 FMR07 位得知自动擦除的结果（参照“19.4.5 全状态检查”）。

另外，当 FMR0 寄存器的 FMR02 位为 “0”（禁止改写）时，或者当 FMR02 位为 “1”（允许改写）并且 FMR1 寄存器的 FMR15 位为 “1”（禁止改写）时，不接受对块 0 的块擦除命令；而当 FMR16 位为 “1”（禁止改写）时，不接受对块 1 的块擦除命令。

在编程挂起中不接受块擦除命令。

块擦除流程图（不使用擦除挂起功能时）如图 19.14、块擦除流程图（使用擦除挂起功能时）如图 19.15 所示。

不能在 EW1 模式中对已分配改写控制程序的块执行此命令。

在 EW0 模式中，在自动擦除开始的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的 bit7（SR7）在自动擦除开始的同时变为 “0”，在结束时恢复为 “1”。此时的读状态寄存器模式被保持到下次读写阵列命令为止。

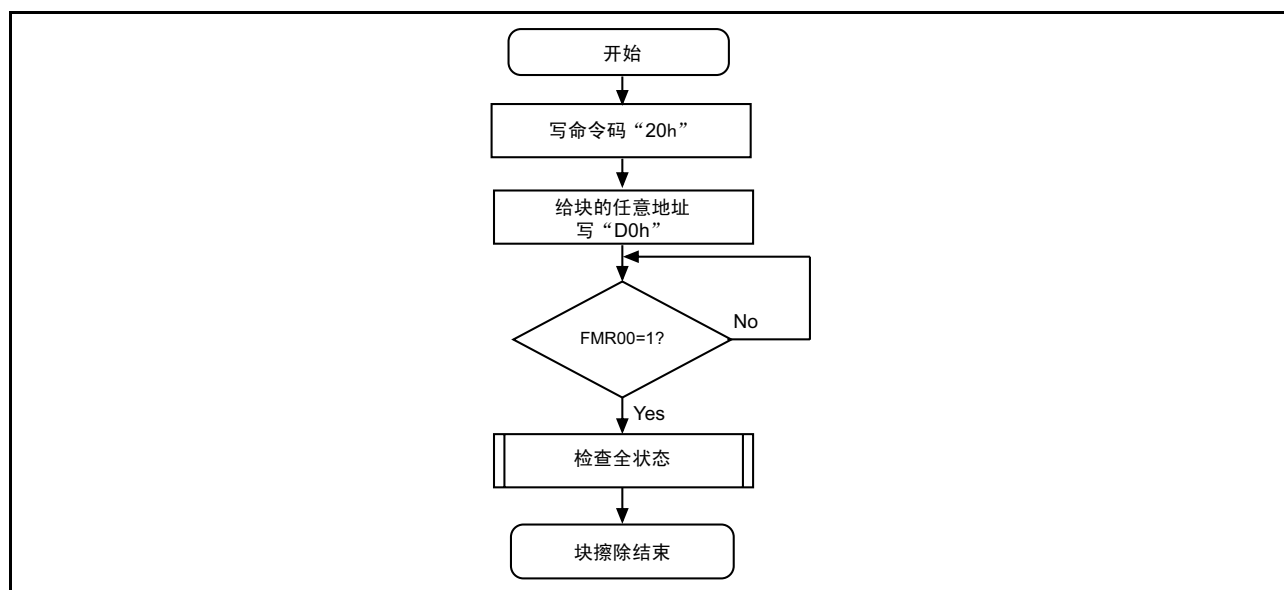


图 19.14 块擦除的流程图（不使用擦除挂起功能时）

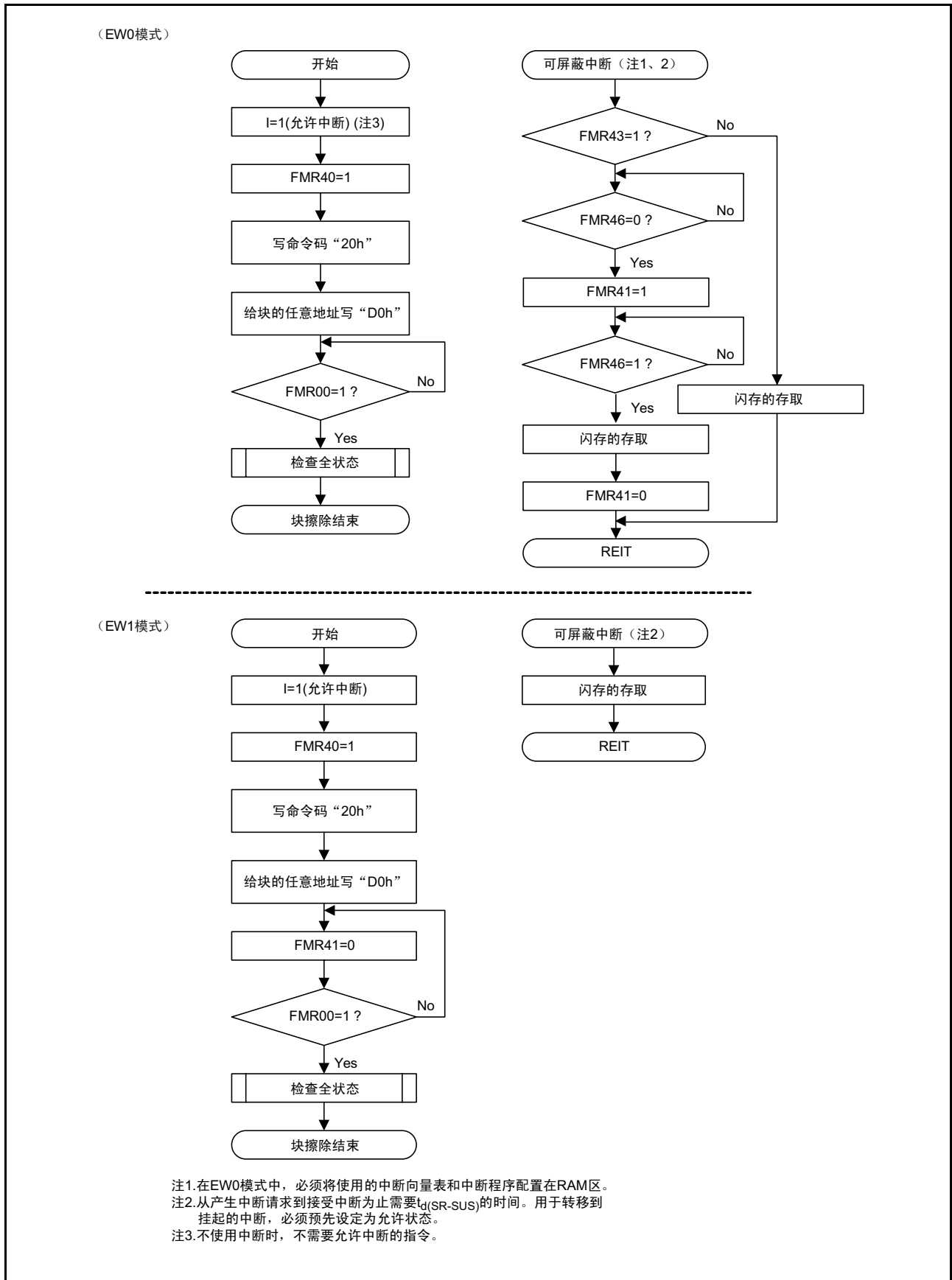


图 19.15 块擦除的流程图（使用擦除挂起功能时）

19.4.4 状态寄存器

状态寄存器是表示闪存的运行状态、擦除和编程的正常 / 错误结束等状态的寄存器，能通过 FMR0 寄存器的 FMR00、FMR06 ~ FMR07 位读状态寄存器的状态。

状态寄存器如表 19.5 所示。

另外，能在 EW0 模式中的以下情况读取状态寄存器：

- 在写读状态寄存器命令后读用户 ROM 区内的任意地址时
- 在执行编程命令或者块擦除命令后到执行读阵列命令的期间，读用户 ROM 区内的任意地址时

(1) 定序器状态 (SR7、FMR00 位)

定序器状态表示闪存的运行状况。在自动编程和自动擦除中为“0”（忙），在这些运行结束的同时变为“1”（就绪）。

(2) 擦除状态 (SR5、FMR07 位)

请参照“19.4.5 全状态检查”。

(3) 编程状态 (SR4、FMR06 位)

请参照“19.4.5 全状态检查”。

表 19.5 状态寄存器

状态寄存器的位	FMR0 寄存器的位	状态名	内容		复位后的值
			“0”	“1”	
SR0(D0)	—	保留	—	—	—
SR1(D1)	—	保留	—	—	—
SR2(D2)	—	保留	—	—	—
SR3(D3)	—	保留	—	—	—
SR4(D4)	FMR06	编程状态	正常结束	错误结束	0
SR5(D5)	FMR07	擦除状态	正常结束	错误结束	0
SR6(D6)	—	保留	—	—	—
SR7(D7)	FMR00	定序器状态	忙	就绪	1

D0 ~ D7：表示在执行了读状态命令时被读取的数据总线。

在执行清除状 FMR07 位 (SR5) ~ FMR06 位 (SR4) 为“0”。态命令时，

在 FMR07 位 (SR5) 或者 FMR06 位 (SR4) 为“1”时，不接受编程和块擦除命令。

19.4.5 全状态检查

如果发生错误，FMR0 寄存器的 FMR06 ~ FMR07 位就为“1”，表示发生的各错误。因此，能通过检查这些状态（全状态检查）确认执行结果。

错误和 FMR0 寄存器的状态如表 19.6、全状态检查的流程图和发生各错误时的处理方法如图 19.16 所示。

表 19.6 错误和 FMR0 寄存器的状态

FMR00 寄存器 (状态寄存器) 的状态		错误	发生错误的条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	命令顺序错误	<ul style="list-style-type: none"> 没有正确写命令 在块擦除命令的第 2 总线周期写了无效数据 (“D0h” 或者 “FFh” 以外的值) (注 1) 在使用 FMR0 寄存器的 FMR02 位、FMR1 寄存器的 FMR15 位或者 FMR16 位设定为改写禁止的状态下，执行了编程命令或者块擦除命令 在输入擦除命令时，输入了没配置闪存的地址 在输入擦除命令时，对禁止改写的块执行了擦除命令 在输入编程命令时，输入了没配置闪存的地址 在输入编程命令时，对禁止改写的块执行了编程命令
1	0	擦除错误	<ul style="list-style-type: none"> 执行块擦除命令，不能正确地自动擦除
0	1	编程错误	<ul style="list-style-type: none"> 执行编程命令，不能正确地自动编程

注 1 在这些命令的第 2 总线周期写 “FFh” 时，为读阵列模式，同时第 1 总线周期写的命令码无效。

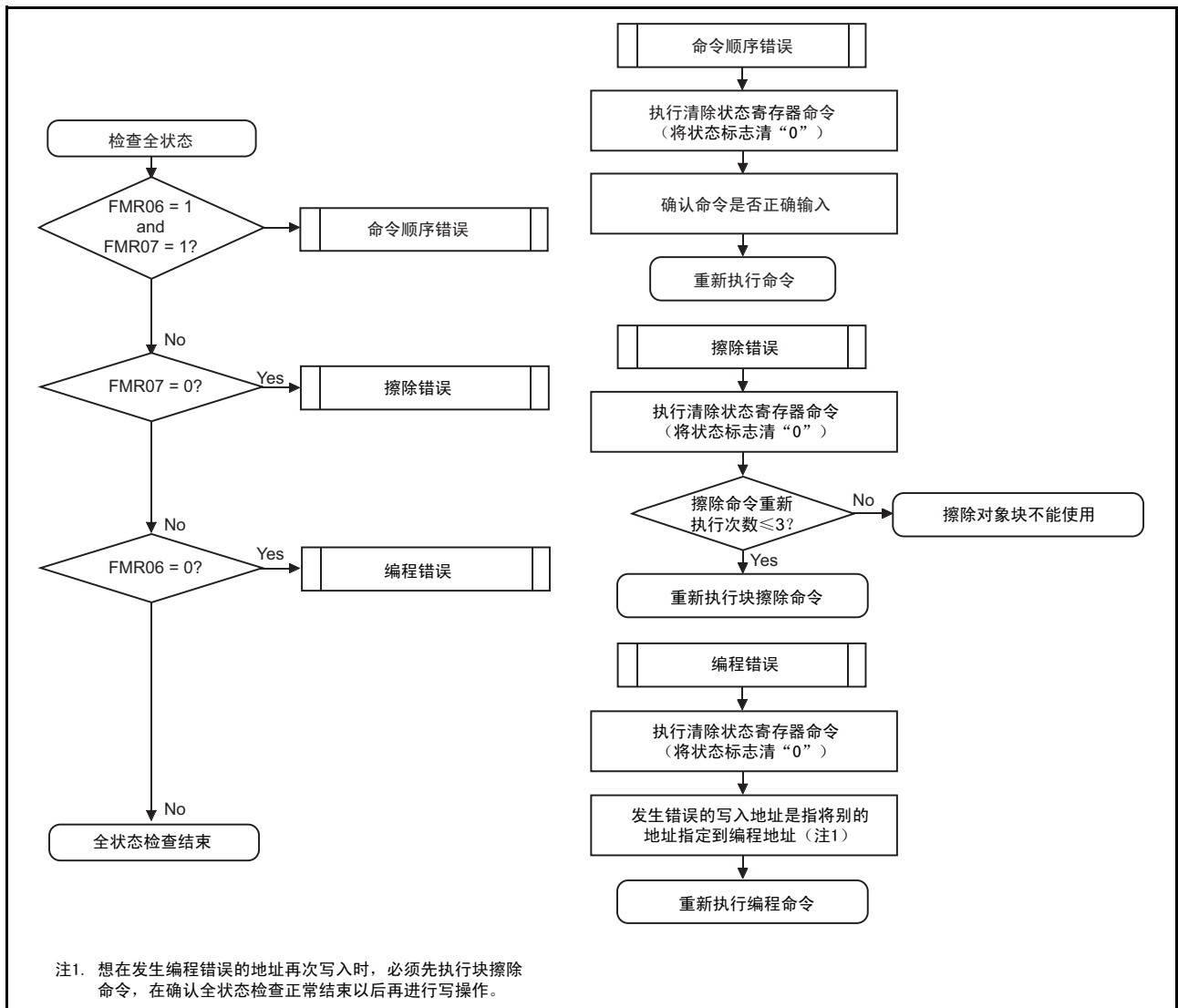


图 19.16 全状态检查流程图和各错误发生时的处理方法

19.5 标准串行输入 / 输出模式

在标准串行输入 / 输出模式中，能使用与本单片机对应的串行编程器，在将单片机安装在电路板的状态下改写用户 ROM 区。

标准串行输入 / 输出模式有以下 3 种模式：

- 标准串行输入 / 输出模式 1 使用时钟同步串行 I/O 和串行编程器连接
- 标准串行输入 / 输出模式 2 使用时钟异步串行 I/O 和串行编程器连接
- 标准串行输入 / 输出模式 3 使用特殊的时钟异步串行 I/O 和串行编程器连接

本单片机能使用标准串行输入 / 输出模式 2 和标准串行输入 / 输出模式 3。

和串行编程器的连接例子请参照“附录 2. 串行编程器和 on-chip 调试仿真器的连接例”。有关串行编程器请向各厂家询问，有关串行编程器的操作方法请参照串行编程器的用户手册。

管脚的功能说明（闪存标准串行输入 / 输出模式 2）如表 19.7、管脚的功能说明（闪存标准串行输入 / 输出模式 3）如表 19.8、标准串行输入 / 输出模式 3 中的管脚结线图如图 19.17 所示。

另外，在进行如表 19.8 所示的管脚处理并使用编程器改写闪存后，在单芯片模式中执行闪存中的程序时，必须将“H”电平输入到 MODE 管脚，进行硬件复位。

19.5.1 ID 码检查功能

判断串行编程器送来的 ID 码和写在闪存中的 ID 码是否一致（参照“19.3 闪存改写的禁止功能”）。

表 19.7 管脚的功能说明（闪存标准串行输入 / 输出模式 2）

管脚名	名称	输入 / 输出	機能
VCC、VSS	电源输入		必须将编程、擦除的保证电压输入到 Vcc 管脚、0V 输入到 Vss 管脚。
RESET	复位输入	输入	是复位输入管脚。
P4_6/XIN	P4_6 输入 / 时钟输入	输入	必须在 XIN 管脚和 XOUT 管脚之间连接陶瓷谐振器或者晶体谐振器。
P4_7/XOUT	P4_7 输入 / 时钟输出	输入 / 输出	
AVcc、AVss	模拟电源输入	输入	必须将 AVcc 连接到 Vcc、AVss 连接到 Vss。
P1_0 ~ P1_7	输入端 P1 口	输入	必须输入“H”电平、“L”电平或者开路。
P3_3 ~ P3_5	输入端 P3 口	输入	必须输入“H”电平、“L”电平或者开路。
P4_2/VREF	输入端 P4 口	输入	必须输入“H”电平、“L”电平或者开路。
MODE	MODE	输入 / 输出	必须输入“L”电平。
P3_7	TXD 输出	输出	是串行数据的输出管脚。
P4_5	RXD 输入	输入	是串行数据的输入管脚。

表 19.8 管脚的功能说明（闪存标准串行输入 / 输出模式 3）

管脚名	名称	输入 / 输出	功能
VCC、VSS	电源输入		必须将编程、擦除的保证电压输入到 Vcc 管脚、0V 输入到 Vss 管脚。
RESET	复位输入	输入	是复位输入管脚。
P4_6/XIN	P4_6 输入 / 时钟输入	输入	在外接谐振器时，必须在 XIN 管脚和 XOUT 管脚之间连接陶瓷谐振器或者晶体谐振器。在用作输入端口时，必须输入“H”电平、“L”电平或者开路。
P4_7/XOUT	P4_7 输入 / 时钟输出	输入 / 输出	
AVcc、AVss	模拟电源输入	输入	必须将 AVcc 连接到 Vcc、AVss 连接到 Vss。
P1_0 ~ P1_7	输入端 P1 口	输入	必须输入“H”电平、“L”电平或者开路。
P3_3 ~ P3_5、P3_7	输入端 P3 口	输入	必须输入“H”电平、“L”电平或者开路。
P4_2/VREF、P4_5	输入端 P4 口	输入	必须输入“H”电平、“L”电平或者开路。
MODE	MODE	输入 / 输出	是串行数据的输入 / 输出管脚。必须连接到闪存编程器。

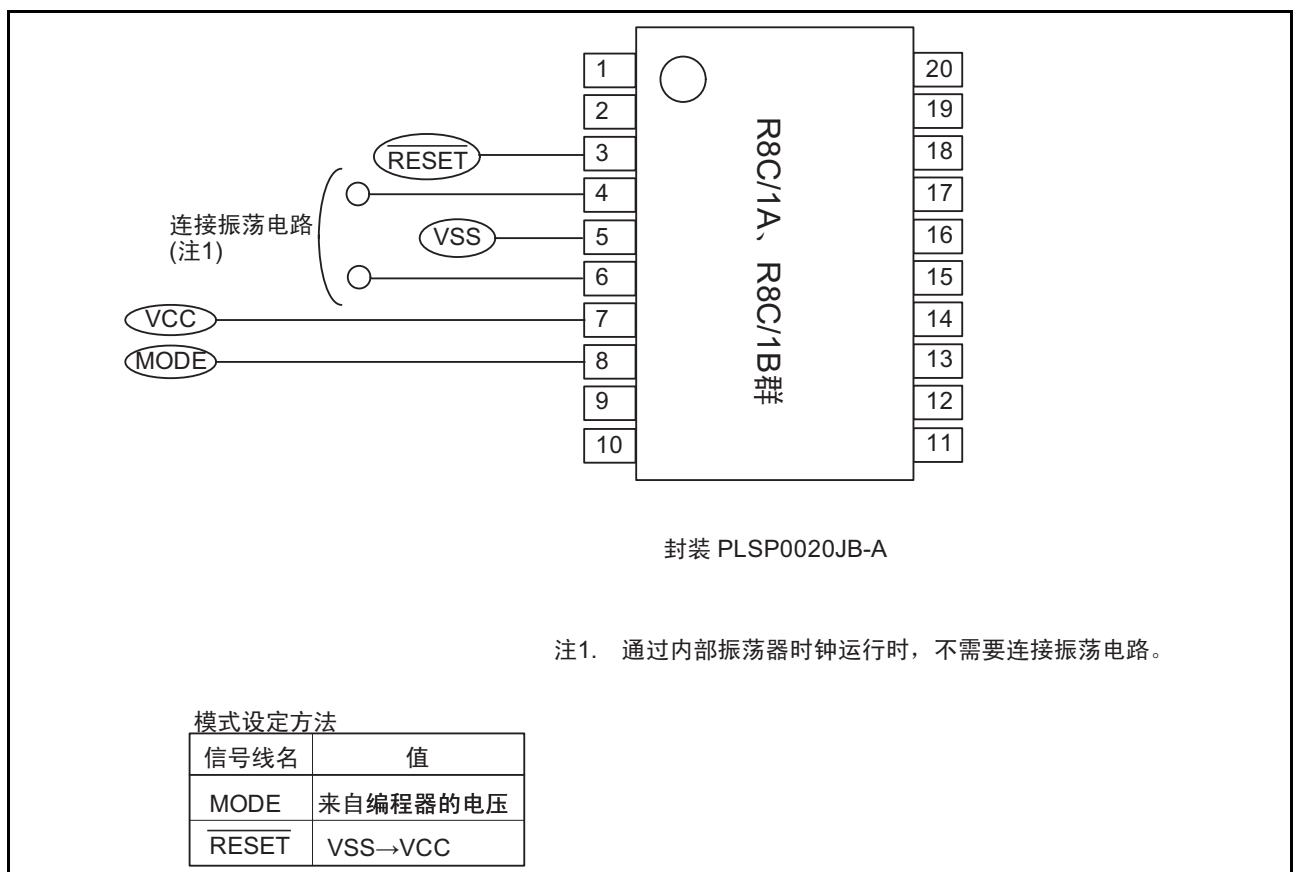


图 19.17 标准串行输入 / 输出模式 3 中的管脚接线图

19.5.1.1 标准串行输入 / 输出模式中的管脚处理例子

使用标准串行输入 / 输出模式 2 时的管脚处理例子如图 19.18、使用标准串行输入 / 输出模式 3 时的管脚处理例子如图 19.19 所示。由编程器控制的管脚等不同，所以详细内容请参照编程器的手册。

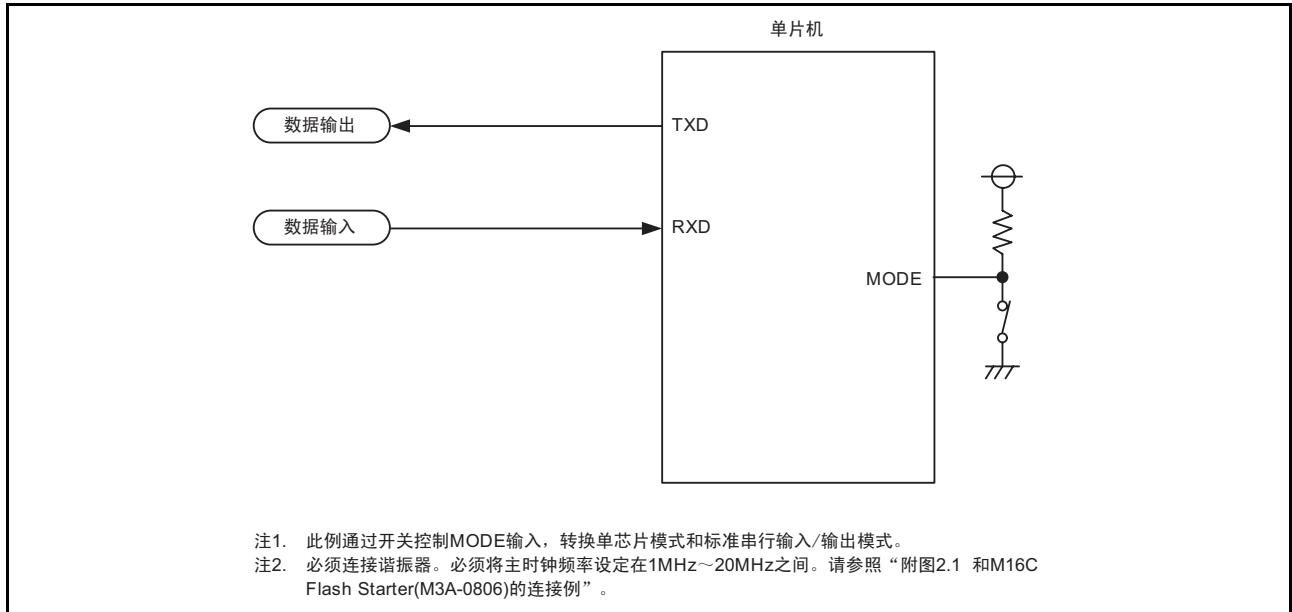


图 19.18 使用标准串行输入 / 输出模式 2 时的管脚处理例子

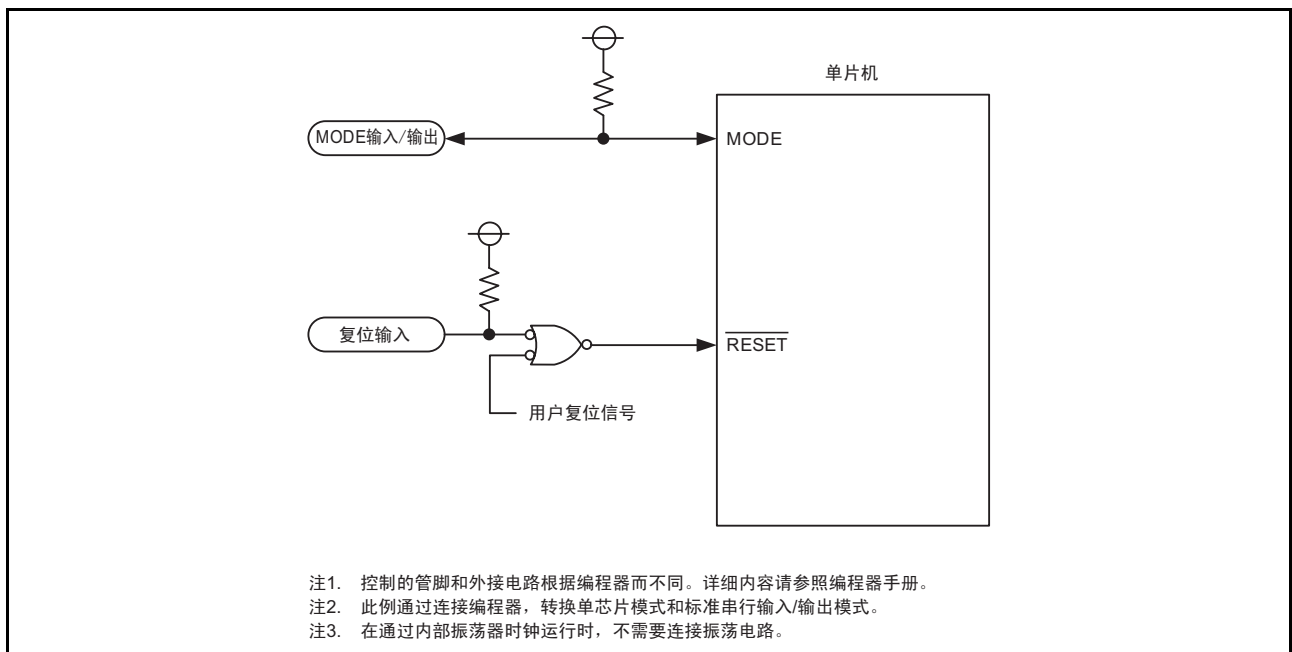


图 19.19 使用标准串行输入 / 输出模式 3 时的管脚处理例子

19.6 并行输入 / 输出模式

并行输入 / 输出模式是操作内部闪存（读、编程和擦除等）所需的软件命令、地址和数据并行进行输入 / 输出的模式。

必须使用与本单片机对应的并行编程器。有关并行编程器请向各厂家询问，有关并行编程器的操作方法请参照并行编程器的用户手册。

能在并行输入 / 输出模式中改写图 19.1 和图 19.2 所示的用户 ROM 区。

19.6.1 ROM 码保护功能

ROM 码保护是禁止读和改写闪存的功能（参照“19.3 闪存改写的禁止功能”）。

19.7 闪存的使用注意事项

19.7.1 CPU 改写模式

19.7.1.1 运行速度

在进入 CPU 改写模式（EW0 模式）前，必须通过 CM0 寄存器的 CM06 位、CM1 寄存器的 CM16 ~ CM17 位将 CPU 时钟设定在 5MHz 以下。

EW1 模式不需要此注意事项。

19.7.1.2 使用禁止指令

在 EW0 模式中，因为以下的指令参照闪存内的数据，所以不能使用：

UND 指令、INTO 指令、BRK 指令

19.7.1.3 中断

EW0 模式时的中断如表 19.9、EW1 模式时的中断如表 19.10 所示。

表 19.9 EW0 模式时的中断

模式	状态	在接受可屏蔽的中断请求时	在接受监视定时器、振荡停止检测和电压监视 2 的中断请求时
EW0	自动擦除中	能通过将向量分配到 RAM 使用。	如果接受中断请求，就立即强制停止自动擦除或者自动编程，复位闪存。在一定时间后重新启动闪存，然后开始中断处理。 因为强制停止，可能从自动擦除中的块或者自动编程中的地址不能读取正常值，所以必须在重新启动闪存后再次执行自动擦除，并确认正常结束。 因为监视定时器即使在命令运行中也不停止，所以有可能发生中断请求。必须定期初始化监视定时器。
	自动编程中		

注 1 因为地址匹配中断的向量被分配在 ROM 中，所以不能在执行命令中使用。

注 2 因为给块 0 分配了固定向量，所以不能在自动擦除块 0 中使用非屏蔽中断。

表 19.10 EW1 模式的中断

模式	状态	在接受可屏蔽的中断请求时	在接受监视定时器、振荡停止检测、电压监视 2 的中断请求时
EW1	自动擦除中 (擦除挂起功能有效)	在经过 td(SR-SUS) 时间后, 停止自动擦除, 执行中断处理。在结束中断处理后, 能通过将 FMR4 寄存器的 FMR41 位置 “0” (重新启动擦除), 重新开始自动擦除。	如果接受中断请求, 就立即强制停止自动擦除或者自动编程, 复位闪存。在一定时间后重新启动闪存, 然后开始中断处理。 因为强制停止, 可能从自动擦除中的块或者自动编程中的地址不能读取正常值, 所以必须在重新启动闪存后再次执行自动擦除, 并确认正常结束。因为监视定时器即使在命令运行中也不停止, 所以有可能发生中断请求。必须使用擦除挂起功能定期初始化监视定时器。
	自动擦除中 (擦除挂起功能无效)	优先自动擦除, 让中断请求等待。在自动擦除结束后, 执行中断处理。	
	自动编程中 (编程挂起功能有效)	在经过 td(SR-SUS) 时间后, 停止自动编程, 执行中断处理。在中断处理结束后, 能通过将 FMR4 寄存器的 FMR42 位置 “0” (重新启动编程), 重新开始自动编程。	
	自动编程中 (编程挂起功能无效)	优先自动编程, 让中断请求等待。在自动编程结束后, 执行中断处理。	

注 1 因为地址匹配中断的向量被分配在 ROM 中, 所以不能在执行命令中使用。

注 2 因为给块 0 分配了固定向量, 所以不能在自动擦除块 0 中使用非屏蔽中断。

19.7.1.4 存取方法

在将 FMR01 位、FMR02 位、FMR11 位置 “1” 时, 必须在给对象位写 “0” 后连续写 “1”。另外, 在写 “0” 后和写 “1” 之间, 不能发生中断。

19.7.1.5 用户 ROM 区的改写

如果在使用 EW0 模式对保存改写控制程序的块进行改写中途电源电压下降, 改写控制程序就不能被正常改写, 所以此后就可能无法改写闪存。此块的改写必须使用标准串行输入 / 输出模式。

19.7.1.6 编程

不能对已编程的地址进行追加写。

19.7.1.7 转移到停止模式、等待模式

不能在擦除挂起中转移到停止、等待模式。

20. 电特性

关于 Y 版（ $T_{opr} = -20^{\circ}\text{C} \sim 105^{\circ}\text{C}$ ）的电特性，请向瑞萨科技营业窗口咨询。

表 20.1 绝对最大额定值

符号	项目	测定条件	额定值	单位
Vcc	电源电压	Vcc=AVcc	-0.3 ~ 6.5	V
AVcc	模拟电源电压	Vcc=AVcc	-0.3 ~ 6.5	V
Vi	输入电压		-0.3 ~ Vcc+0.3	V
Vo	输出电压		-0.3 ~ Vcc+0.3	V
Pd	功耗	Topr=25°C	300	mW
Topr	工作环境温度		-20 ~ 85/ -40 ~ 85 (D 版)	°C
Tstg	保存温度		-65 ~ 150	°C

表 20.2 推荐运行条件

符号	项目	测定条件	规格值			单位	
			最小	标准	最大		
Vcc	电源电压		2.7	—	5.5	V	
AVcc	模拟电源电压		—	Vcc	—	V	
Vss	电源电压		—	0	—	V	
AVss	模拟电源电压		—	0	—	V	
V _{IH}	“H”电平输入电压		0.8Vcc	—	Vcc	V	
V _{IL}	“L”电平输入电压		0	—	0.2Vcc	V	
I _{OH(sum)}	“H”电平输出总峰值电流	全部管脚的 I _{OH(peak)} 的总和	—	—	-60	mA	
I _{OH(peak)}	“H”电平输出峰值电流		—	—	-10	mA	
I _{OH(avg)}	“H”电平输出平均电流		—	—	-5	mA	
I _{OL(sum)}	“L”电平输出总峰值电流	全部管脚的 I _{OL(peak)} 的总和	—	—	60	mA	
I _{OL(peak)}	“L”电平输出总峰值电流	P1_0~P1_3以外	—	—	10	mA	
		P1_0~P1_3	驱动能力 HIGH	—	—	30	mA
			驱动能力 LOW	—	—	10	mA
I _{OL(avg)}	“L”电平输出平均电流	P1_0~P1_3以外	—	—	5	mA	
		P1_0~P1_3	驱动能力 HIGH	—	—	15	mA
			驱动能力 LOW	—	—	5	mA
f(xIN)	主时钟输入振荡频率	3.0V ≤ Vcc ≤ 5.5V	0	—	20	MHz	
		2.7V ≤ Vcc < 3.0V	0	—	10	MHz	
—	系统时钟	OCD2= “0” 选择主时钟时	3.0V ≤ Vcc ≤ 5.5V	0	—	20	MHz
			2.7V ≤ Vcc < 3.0V	0	—	10	MHz
		OCD2= “1” 选择内部振荡器 时钟时	HRA01= “0” 选择低速内部振荡器时	—	125	—	kHz
			HRA01= “1” 选择高速内部振荡器时	—	8	—	MHz

注 1 在没有指定时，Vcc=2.7V ~ 5.5V、Topr=-20°C ~ 85°C/-40°C ~ 85°C。

注 2 输出平均电流是 100ms 期间的平均值。

表 20.3 A/D 转换器特性

符号	项目		测定条件	规格值			单位
				最小	标准	最大	
—	分辨率		Vref=Vcc	—	—	10	Bit
—	绝对精度	10 位模式	$\phi_{AD}=10\text{MHz}$ 、Vref=Vcc=5.0V	—	—	± 3	LSB
		8 位模式	$\phi_{AD}=10\text{MHz}$ 、Vref=Vcc=5.0V	—	—	± 2	LSB
		10 位模式	$\phi_{AD}=10\text{MHz}$ 、Vref=Vcc=3.3V (注 3)	—	—	± 5	LSB
		8 位模式	$\phi_{AD}=10\text{MHz}$ 、Vref=Vcc=3.3V (注 3)	—	—	± 2	LSB
R _{ladder}	梯形电阻		Vref=Vcc	10	—	40	K Ω
t _{conv}	转换时间	10 位模式	$\phi_{AD}=10\text{MHz}$ 、Vref=Vcc=5.0V	—	—	—	μs
		8 位模式	$\phi_{AD}=10\text{MHz}$ 、Vref=Vcc=5.0V	—	—	—	μs
Vref	基准电压			2.7	—	Vcc	V
V _{IA}	模拟输入电压 (注 4)			0	—	AVcc	V
—	A/D 运行时钟 频率 (注 2)	无采样保持		—	—	10	MHz
		有采样保持		—	—	10	MHz

注 1 在没有指定时，Vcc=AVcc=2.7V ~ 5.5V、Topr=-20°C ~ 85°C/-40°C ~ 85°C。

注 2 当 f1 超过 10MHz 时，必须分频 f1，使 A/D 运行时钟频率 (ϕ_{AD}) 在 10MHz 以下。

注 3 当 AVcc 低于 4.2V 时，必须分频 f1，使 A/D 运行时钟频率 (ϕ_{AD}) 在 f1/2 以下。

注 4 如果模拟输入电压超过基准电压，A/D 转换结果就在 10 位模式时为 3FFh，在 8 位模式时为 FFh。

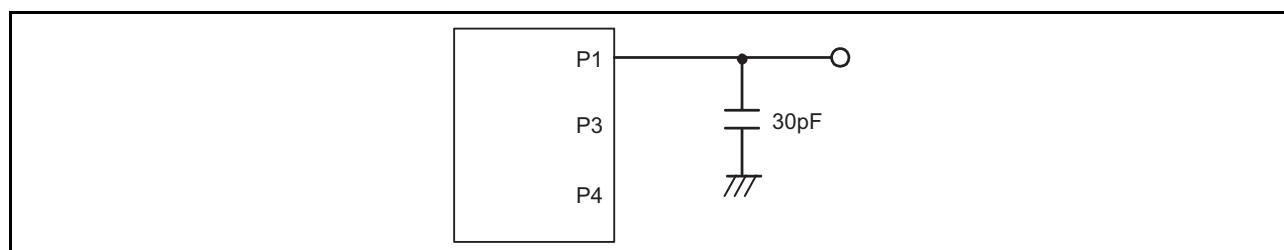


图 20.1 端口 P1、P3、P4 的测定电路

表 20.4 闪存（程序 ROM）的电特性

符号	项目	测定条件	规格值			单位
			最小	标准	最大	
—	可编程 / 擦除次数（注 2）	R8C/1A 群	100 (注 3)	—	—	次
—		R8C/1B 群	1000 (注 3)	—	—	次
—	字节编程时间	Vcc=5.0V、Topr=25°C	—	50	400	μs
—	块擦除时间	Vcc=5.0V、Topr=25°C	—	0.4	9	s
t _d (SR-SUS)	挂起的转移时间		—	—	97+CPU 时钟 ×6 个周期	μs
—	从开始或者重新开始擦除到下一次挂起请求的间隔		650	—	—	μs
—	从开始或者重新开始编程到下一次挂起请求的间隔		0	—	—	ns
—	从挂起到重新开始编程 / 擦除的时间		—	—	3+CPU 时钟 ×4 个周期	μs
—	编程、擦除电压		2.7	—	5.5	V
—	读电压		2.7	—	5.5	V
—	编程、擦除时的温度		0	—	60	°C
—	数据保持时间（注 8）	环境温度 =55°C	20	—	—	年

注 1 在没有指定时，Vcc=2.7V ~ 5.5V、Topr=0°C ~ 60°C。

注 2 可编程 / 擦除次数的定义

可编程 / 擦除次数是每块的次数。

在可编程 / 擦除次数为 n 次（n=100、1,000、10,000 次）的情况下，能逐块分别擦除 n 次。

例如，对于 1K 字节的块 A，如果分 1024 次将 1 字节写到各自不同的地址后擦除该块，可编程 / 擦除次数就增加 1 次。但是，对于 1 次擦除，不能对相同地址进行多次编程（禁止重写）。

注 3 是保证编程 / 擦除后的全部电特性的次数（保证范围为 1 ~ “最小”值）。

注 4 在需要紧急处理等的情况下，能与本规格无关产生挂起请求。此时，也需要通常的挂起转移时间来接受请求。但是，如果总是处于挂起状态，就无法进行擦除，擦除错误的发生率变高，所以建议短于 650μs 的挂起请求最多 1 次。

注 5 在进行多次改写的系统中，作为减少实际的改写次数的方法，按顺序移动写地址等，尽量不留空区，在编程（写）后进行 1 次擦除。例如，在对一组 16 字节进行编程时，能通过最多编程 128 组后进行 1 次擦除，减少实际的改写次数。建议按块保存擦除次数等信息，并设定限制次数。

注 6 如果在块擦除中发生擦除错误，就必须至少执行 3 次清除状态寄存器命令 → 块擦除命令，直到不发生擦除错误为止。

注 7 有关故障率，请向瑞萨技术有关公司及特约经销商询问。

注 8 包括没有外加电源电压或者时钟的时间。

表 20.5 闪存（数据闪存 块 A、块 B）的电特性

符号	项目	测定条件	规格值			单位
			最小	标准	最大	
—	编程 / 擦除次数（注 2）		10000 （注 3）	—	—	次
—	字节编程时间 （编程 / 擦除次数 ≤ 1,000 次）	Vcc=5.0V、Topr=25°C	—	50	400	μs
—	字节编程时间 （编程 / 擦除次数 >1,000 次）	Vcc=5.0V、Topr=25°C	—	65	—	μs
—	块擦除时间 （编程 / 擦除次数 ≤ 1,000 次）	Vcc=5.0V、Topr=25°C	—	0.2	9	s
—	块擦除时间 （编程 / 擦除次数 >1,000 次）	Vcc=5.0V、Topr=25°C	—	0.3	—	s
t _d (SR-SUS)	挂起的转移时间		—	—	97+CPU 时钟 × 6 个周期	μs
—	从开始或者重新开始擦除到下一次挂起请求的间隔		650	—	—	μs
v	从开始或者重新开始编程到下一次挂起请求的间隔		0	—	—	ns
—	从挂起到重新开始编程 / 擦除的时间		—	—	3+CPU 时钟 × 4 个周期	μs
—	编程、擦除电压		2.7	—	5.5	V
—	读电压		2.7	—	5.5	V
—	编程、擦除时的温度		20（注 8）	—	85	°C
—	数据保持时间（注 9）	Topr=55°C	20	—	—	年

注 1 在没有指定时，Vcc=2.7V ~ 5.5V、Topr=20°C ~ 85°C/40°C ~ 85°C。

注 2 编程 / 擦除次数的定义

编程 / 擦除次数是每块的擦除次数。

在编程 / 擦除次数为 n 次（n=100、1,000、10,000 次）的情况下，能逐块分别擦除 n 次。

例如，对于 1K 字节的块 A，如果分 1024 次将 1 字节写到各自不同的地址后擦除该块，编程 / 擦除次数就增加 1 次。

但是，对于 1 次擦除，不能对相同地址进行多次编程（禁止重写）。

注 3 是保证编程 / 擦除后的全部电特性的次数（保证范围为 1 ~ “最小”值）。

注 4 在需要紧急处理等的情况下，能与本规格无关产生挂起请求。此时，也需要通常的挂起转移时间来接受请求。但是，如果总是处于挂起状态，就无法进行擦除，擦除错误发生率变高，所以建议短于 650μs 的挂起请求最多 1 次。

注 5 在进行多次改写的系统中，作为减少实际的改写次数的方法，按顺序移动写地址等，尽量不留空区，在编程（写）后进行 1 次擦除。例如，在对一组 16 字节进行编程时，能通过最多编程 128 组后进行 1 次擦除，减少实际的改写次数。并且，如果让块 A 和块 B 的擦除次数均一，就能更加有效地减少改写次数。建议按块保存擦除次数等信息，并设定限制次数。

注 6 如果在块擦除中发生擦除错误，就必须至少执行 3 次清除状态寄存器命令 → 块擦除命令，直到不发生擦除错误为止。

注 7 有关故障率，请向瑞萨技术有关公司及特约经销商询问。

注 8 D 版为 -40°C。

注 9 包括没有外加电源电压或者时钟的时间。

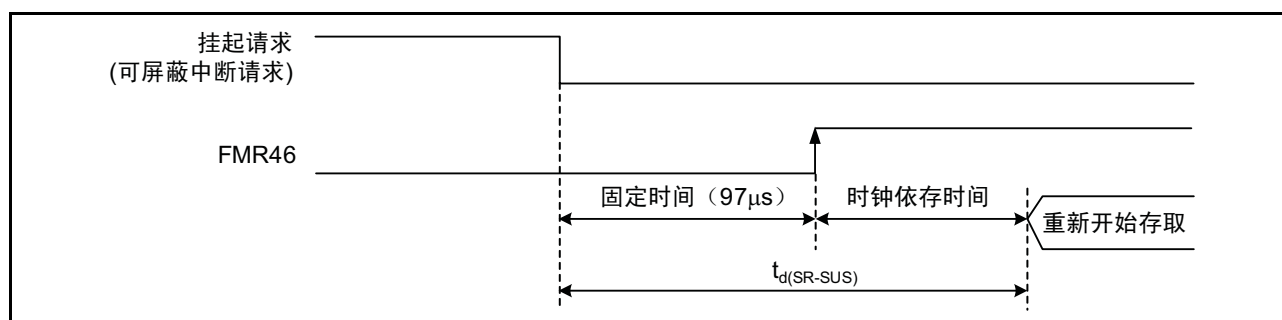


图 20.2 挂起的转移时间

表 20.6 电压检测 1 电路的电特性

符号	项目	测定条件	规格值			单位
			最小	标准	最大	
V_{det1}	电压检测电平 (注 3)		2.70	2.85	3.00	V
—	电压检测电路的自消耗电流	VCA26 = 1、Vcc=5.0V	—	600	—	nA
$t_{d(E-A)}$	电压检测电路开始工作为止的等待时间 (注 2)		—	—	100	μ s
Vccmin	单片机的工作电压的最小值		2.7	—	—	V

注 1 测定条件是 Vcc=2.7V ~ 5.5V、Topr=-40°C ~ 85°C。

注 2 表示在将 VCA2 寄存器的 VCA26 位置 “0” 后再次置 “1” 时，电压检测电路开始工作为止所需的时间。

注 3 $V_{det2} > V_{det1}$ 。

表 20.7 电压检测 2 电路的电特性

符号	项目	测定条件	规格值			单位
			最小	标准	最大	
V_{det2}	电压检测电平 (注 4)		3.00	3.30	3.60	V
—	电压监视 2 中断请求的发生时间 (注 2)		—	40	—	μ s
—	电压检测电路的自消耗电流	VCA27=1、Vcc=5.0V	—	600	—	nA
$t_{d(E-A)}$	电压检测电路开始工作为止的等待时间 (注 3)		—	—	100	μ s

注 1 测定条件是 Vcc=2.7V ~ 5.5V、Topr=-40°C ~ 85°C。

注 2 从通过 V_{det2} 时到发生电压监视 2 中断请求的时间。

注 3 表示在将 VCA2 寄存器的 VCA27 位置 “0” 后再次置 “1” 时，电压检测电路开始工作为止所需的时间。

注 4 $V_{det2} > V_{det1}$ 。

表 20.8 复位电路的电特性（使用电压监视 1 复位时）

符号	项目	测定条件	规格值			单位
			最小	标准	最大	
V_{por2}	加电复位的有效电压	$-20^{\circ}\text{C} \leq \text{Topr} < 85^{\circ}\text{C}$	—	—	V_{det1}	V
t_w ($V_{por2}-V_{det1}$)	加电复位解除时电源电压的上升时间 (注 1)	$-20^{\circ}\text{C} \leq \text{Topr} < 85^{\circ}\text{C}$ 、 $t_{w(por2)} \geq 0\text{s}$ (注 3)	—	—	100	ms

注 1 使用在 $V_{cc} \geq 1.0\text{V}$ 时，不需要此条件。

注 2 在将外部电源电压保持在有效电压 (V_{por1}) 以下的时间超过 10s 后电源电压上升时，请参照“表 20.9 复位电路的电特性（未使用电压监视 1 复位时）”。

注 3 $t_{w(por2)}$ 是将外部电源电压保持在有效电压 (V_{por2}) 以下的时间。

表 20.9 复位电路的电特性（未使用电压监视 1 复位时）

符号	项目	测定条件	规格值			单位
			最小	标准	最大	
V_{por1}	加电复位的有效电压	$-20^{\circ}\text{C} \leq \text{Topr} < 85^{\circ}\text{C}$	—	—	0.1	V
$t_w(V_{por1}-V_{det1})$	加电复位解除时电源电压的上升时间	$0^{\circ}\text{C} \leq \text{Topr} \leq 85^{\circ}\text{C}$ 、 $t_{w(por1)} \geq 10\text{s}$ (注 2)	—	—	100	ms
$t_w(V_{por1}-V_{det1})$	加电复位解除时电源电压的上升时间	$-20^{\circ}\text{C} \leq \text{Topr} < 0^{\circ}\text{C}$ 、 $t_{w(por1)} \geq 30\text{s}$ (注 2)	—	—	100	ms
$t_w(V_{por1}-V_{det1})$	加电复位解除时电源电压的上升时间	$-20^{\circ}\text{C} \leq \text{Topr} < 0^{\circ}\text{C}$ 、 $t_{w(por1)} \geq 10\text{s}$ (注 2)	—	—	1	ms
$t_w(V_{por1}-V_{det1})$	加电复位解除时电源电压的上升时间	$0^{\circ}\text{C} \leq \text{Topr} \leq 85^{\circ}\text{C}$ 、 $t_{w(por1)} \geq 1\text{s}$ (注 2)	—	—	0.5	ms

注 1 在不使用电压监视 1 复位时，必须在 $V_{cc} \geq 2.7\text{V}$ 的条件下使用。

注 2 $t_{w(por1)}$ 是将外部电源电压保持在有效电压 (V_{por1}) 以下的时间。

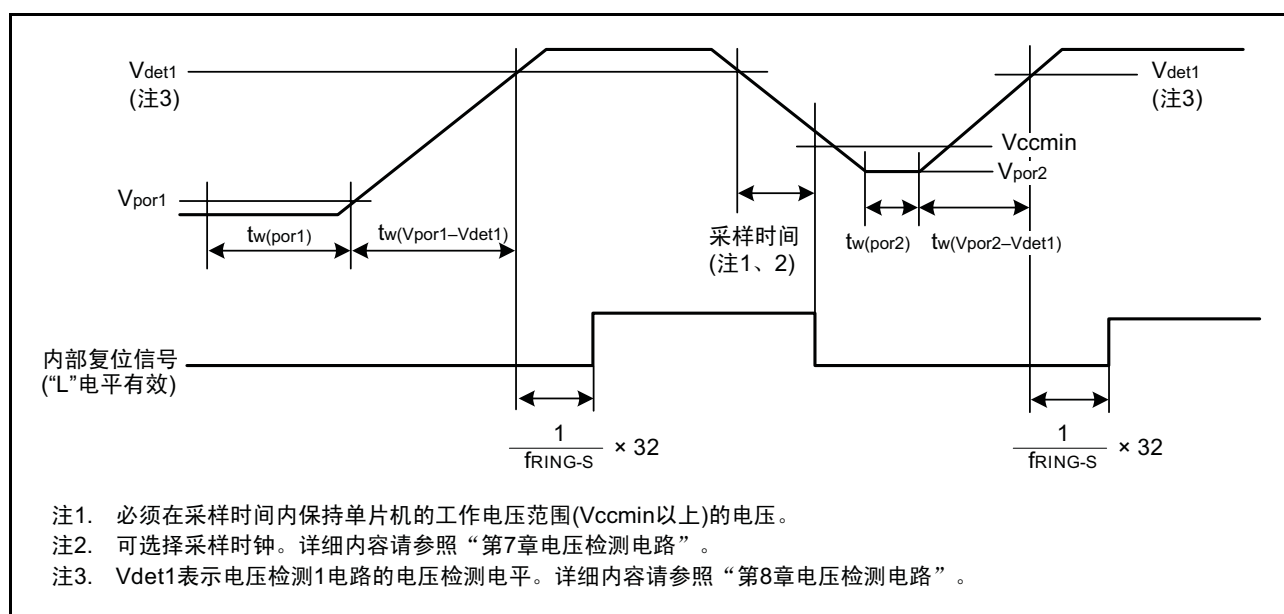


图 20.3 复位电路的电特性

表 20.10 高速内部振荡器振荡电路的电特性

符号	项目	测定条件	规格值			单位
			最小	标准	最大	
—	复位解除时的高速内部振荡器的振荡频率	Vcc=5.0V、Topr=25°C	—	8	—	MHz
—	高速内部振荡器振荡频率的温度依赖性 (注2)	0 ~ +60°C/5V±5% (注3)	7.76	—	8.24	MHz
		-20 ~ +85°C/2.7 ~ 5.5V (注3)	7.68	—	8.32	MHz
		-40 ~ +85°C/2.7 ~ 5.5V (注3)	7.44	—	8.32	MHz

注1 测定条件是 Vcc=5.0V、Topr=25°C。

注2 有关使用高速内部振荡器时钟的注意事项，请参照“11.6.5 高速内部振荡器时钟”。

注3 HRA1 寄存器为出货时的值，HRA2 寄存器为 00h 时的规格值。

表 20.11 电源电路的时序特性

符号	项目	测定条件	规格值			单位
			最小	标准	最大	
t _{d(P-R)}	接通电源时内部电源的稳定时间 (注2)		1	—	2000	μs
t _{d(R-S)}	STOP 解除时间 (注3)		—	—	150	μs

注1 测定条件是 Vcc=2.7V ~ 5.5V、Topr=25°C。

注2 是在接通电源时内部电源发生电路稳定为止的等待时间。

注3 是从接受解除停止模式的中断后到开始供给系统时钟的时间。

表 20.12 带片选的时钟同步串行 I/O 的时序必要条件（注 1）

符号	项目		测定条件	规格值			单位
				最小	标准	最大	
t_{SUCYC}	SSCK 时钟的周期时间			4	—	—	t_{CYC} (注 2)
t_{HI}	SSCK 时钟的“H”电平脉宽			0.4	—	0.6	t_{SUCYC}
t_{LO}	SSCK 时钟的“L”电平脉宽			0.4	—	0.6	t_{SUCYC}
t_{RISE}	SSCK 时钟的上升时间	主器件		—	—	1	t_{CYC} (注 2)
		从属器件		—	—	1	μs
t_{FALL}	SSCK 时钟的下降时间	主器件		—	—	1	t_{CYC} (注 2)
		从属器件		—	—	1	μs
t_{SU}	SSO、SSI 数据输入的准备时间			100	—	—	ns
t_H	SSO、SSI 数据输入的保持时间			1	—	—	t_{CYC} (注 2)
t_{LEAD}	\overline{SCS} 准备时间	从属器件		$1t_{CVC}+50$	—	—	ns
t_{LAG}	\overline{SCS} 保持时间	从属器件		$1t_{CVC}+50$	—	—	ns
t_{OD}	SSO、SSI 数据输出的延迟时间			—	—	1	t_{CYC} (注 2)
t_{SA}	SSI 从属器件的存取时间			—	—	$1.5t_{CYC}+100$	ns
t_{OR}	SSI 从属输出的释放时间			—	—	$1.5t_{CYC}+100$	ns

注 1 在没有指定时， $V_{CC}=2.7V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20^{\circ}C \sim 85^{\circ}C/-40^{\circ}C \sim 85^{\circ}C$ 。

注 2 $1t_{CYC}=1/f_1(s)$

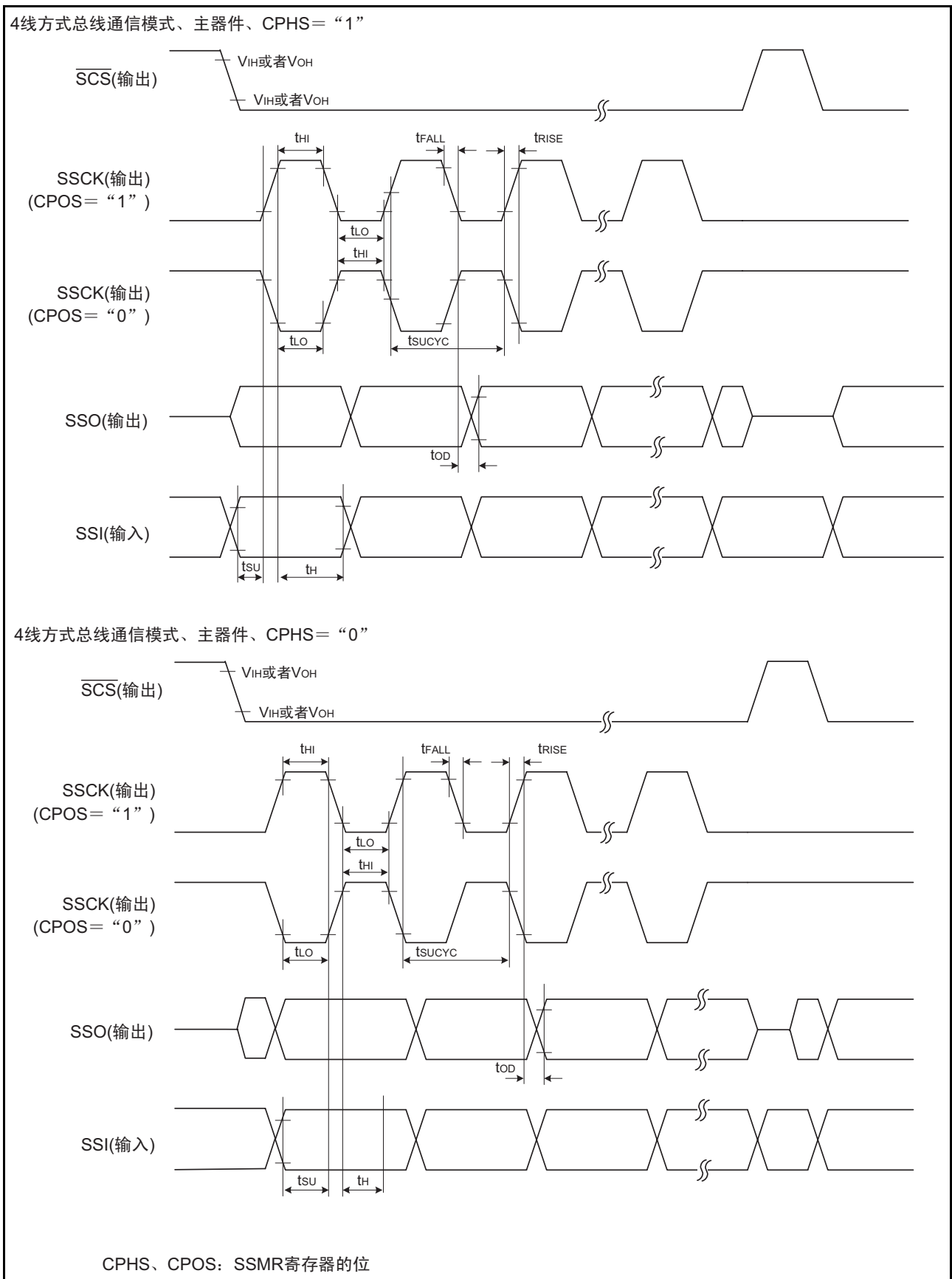


图 20.4 带片选的时钟同步串行 I/O 的输入 / 输出时序 (主器件)

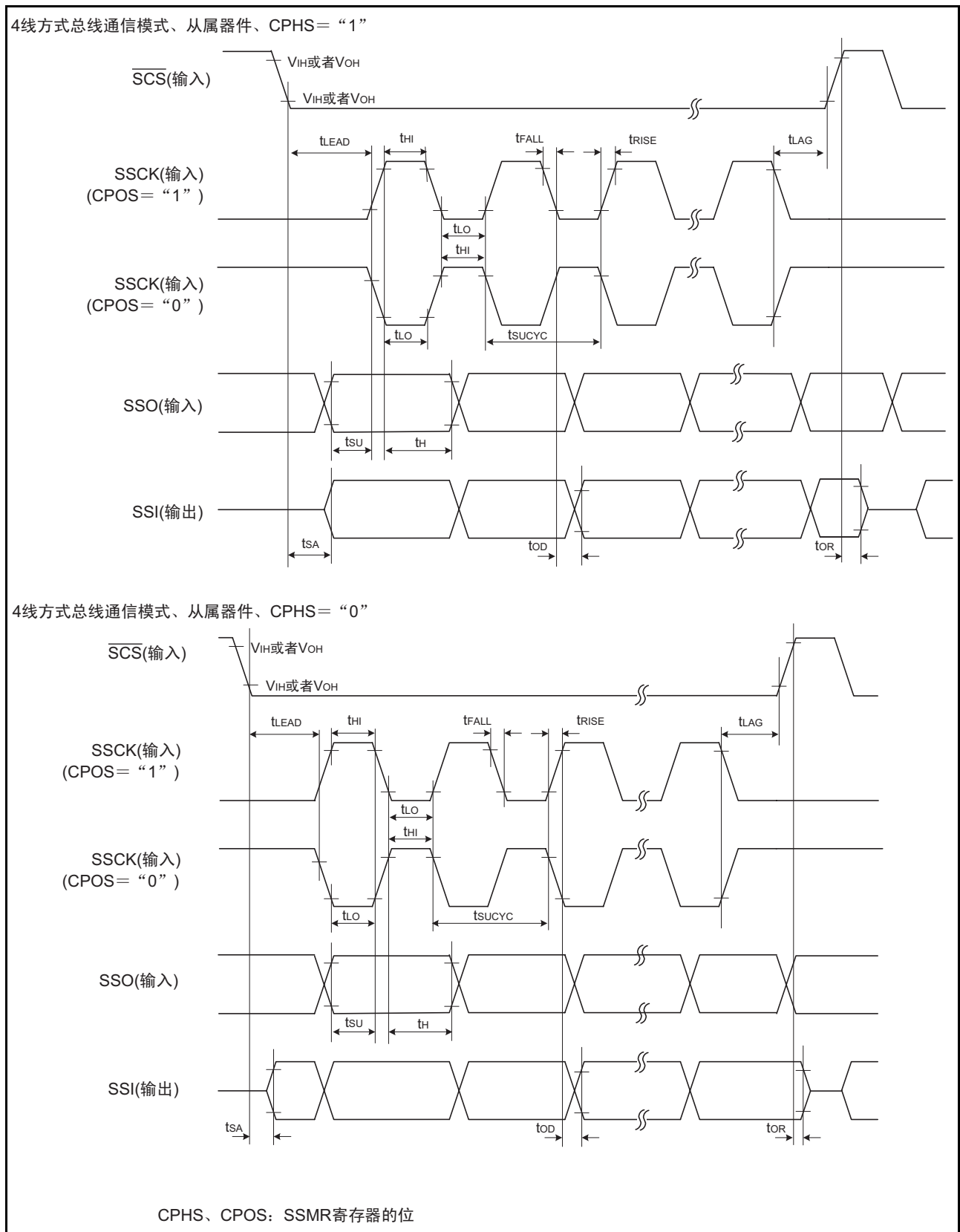


图 20.5 带片选的时钟同步串行 I/O 的输入 / 输出时序 (从属器件)

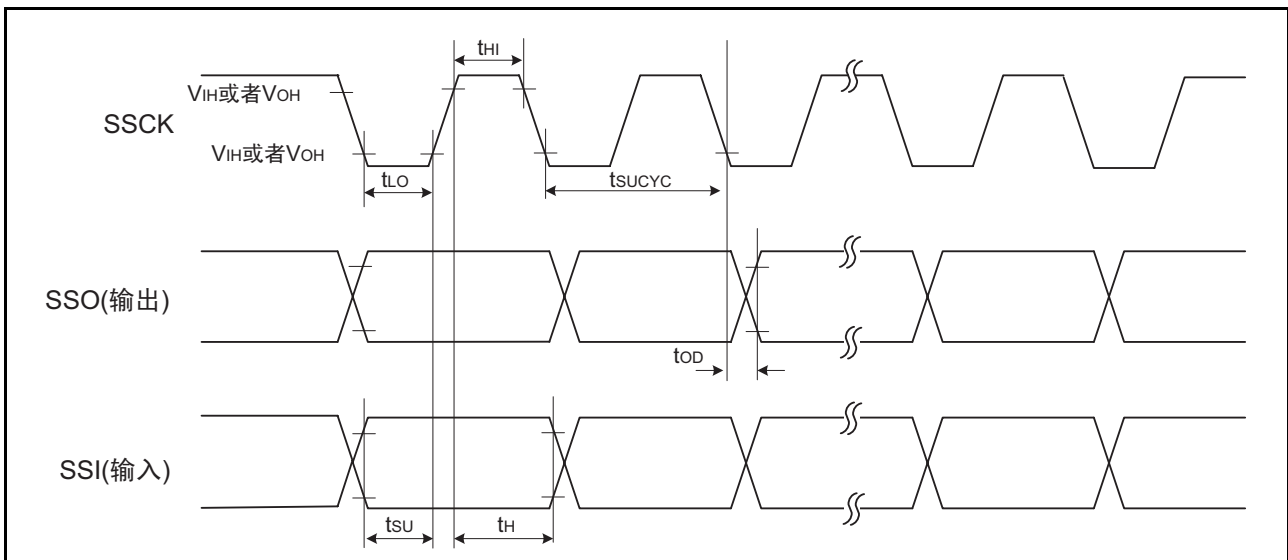


图 20.6 带片选的时钟同步串行 I/O 的输入 / 输出时序（时钟同步通信模式）

表 20.13 I²C 总线接口的时序必要条件（注 1）

符号	项目	测定条件	规格值			单位
			最小	标准	最大	
t _{SCL}	SCL 输入的周期时间		12t _{CYC} +600 (注 2)	—	—	ns
t _{SCLH}	SCL 输入“H”电平脉宽		3t _{CYC} +300 (注 2)	—	—	ns
t _{SCLL}	SCL 输入“L”电平脉宽		5t _{CYC} +300 (注 2)	—	—	ns
t _{st}	SCL、SDA 输入的下降时间		—	—	300	ns
t _{SP}	SCL、SDA 输入尖峰脉冲的消除时间		—	—	1t _{CYC} (注 2)	ns
t _{BUF}	SDA 输入的总线自由时间		5t _{CYC} (注 2)	—	—	ns
t _{STAH}	开始条件输入的保持时间		3t _{CYC} (注 2)	—	—	ns
t _{STAS}	重新发送开始条件输入的准备时间		3t _{CYC} (注 2)	—	—	ns
t _{STOS}	停止条件输入的准备时间		3t _{CYC} (注 2)	—	—	ns
t _{SDAS}	数据输入的准备时间		1t _{CYC} +20 (注 2)	—	—	ns
t _{SDAH}	数据输入的保持时间		0	—	—	ns

注 1 在没有指定时，V_{CC}=2.2V ~ 5.5V、V_{SS}=0V、T_a=-20°C ~ 85°C/-40°C ~ 85°C。

注 2 1t_{CYC}=1/f₁(s)

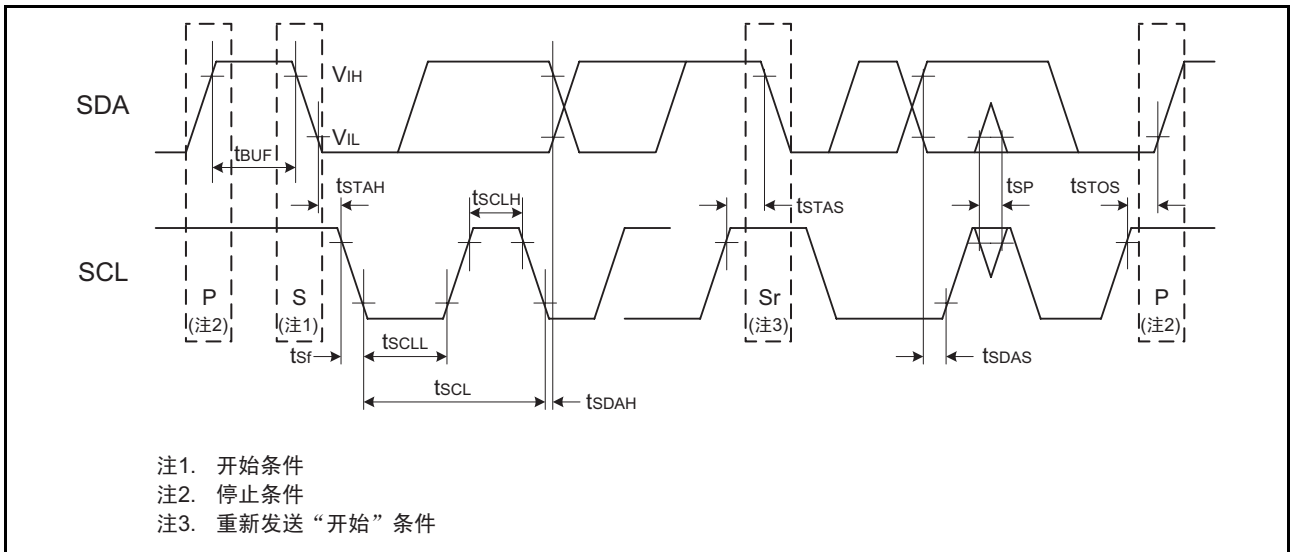


图 20.7 I²C 总线接口的输入 / 输出时序

表 20.14 电特性 (1) [Vcc=5V]

符号	项目		测定条件		规格值			单位
					最小	标准	最大	
V _{OH}	“H”电平输出电压	XOUT 以外	IOH=5mA		Vcc-2.0	—	Vcc	V
			IOH=200μA		Vcc-0.3	—	Vcc	V
		XOUT	驱动能力 HIGH	IOH=1mA	Vcc-2.0	—	Vcc	V
			驱动能力 LOW	IOH=500μA	Vcc-2.0	—	Vcc	V
V _{OL}	“L”电平输出电压	P1_0 ~ P1_3、 XOUT 以外	IOL=5mA		—	—	2.0	V
			IOL=200μA		—	—	0.45	V
		P1_0 ~ P1_3	驱动能力 HIGH	IOL=15mA	—	—	2.0	V
			驱动能力 LOW	IOL=5mA	—	—	2.0	V
			驱动能力 LOW	IOL=200μA	—	—	0.45	V
		XOUT	驱动能力 HIGH	IOL=1mA	—	—	2.0	V
			驱动能力 LOW	IOL=500μA	—	—	2.0	V
		V _{T+} -V _{T-}	滞后	$\overline{\text{NT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 、 $\overline{\text{KI0}}$ 、 $\overline{\text{KI1}}$ 、 $\overline{\text{KI2}}$ 、 $\overline{\text{KI3}}$ 、 CNTR0、 CNTR1、TCIN、 RXD0			0.2	—
$\overline{\text{RESET}}$					0.2	—	2.2	V
I _{IH}	“H”电平输入电流		VI=5V		—	—	5.0	μA
I _{IL}	“L”电平输入电流		VI=0V		—	—	-5.0	μA
R _{PULLUP}	上拉电阻		VI=0V		30	50	167	kΩ
R _{fXIN}	反馈电阻	XIN			—	1.0	—	MΩ
f _{RING-S}	低速内部振荡器的振荡频率				40	125	250	kHz
V _{RAM}	RAM 保持电压		停止模式中		2.0	—	—	V

注 1 在没有指定时，Vcc=4.2V ~ 5.5V、Topr=20°C ~ 85°C/40°C ~ 85°C、f(XIN)=20MHz。

表 20.15 电特性 (2) [Vcc=5V] (在没有指定时, Topr=40°C ~ 85°C)

符号	项目	测定条件	规格值			单位	
			最小	标准	最大		
I _{CC}	电源电流 (Vcc=3.3V ~ 5.5V) 在单芯片模式, 输出管脚为开路, 其它管脚为 Vss, A/D 转换器停止时	高速模式	XIN=20MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	9	15	mA
			XIN=16MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	8	14	mA
			XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	5	—	mA
		中速模式	XIN=20MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	4	—	mA
			XIN=16MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	3	—	mA
			XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	2	—	mA
		高速内部振荡器模式	主时钟停止 高速内部振荡器的振荡 =8MHz 低速内部振荡器的振荡 =125kHz 无分频	—	4	8	mA
			主时钟停止 高速内部振荡器的振荡 =8MHz 低速内部振荡器的振荡 =125kHz 8 分频	—	1.5	—	mA
		低速内部振荡器模式	主时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频 FMR47= “1”	—	110	300	μA

表 20.15 电特性 (2) [$V_{CC}=5V$] (在没有指定时, $T_{opr}=40^{\circ}C \sim 85^{\circ}C$)

符号	项目	测定条件		规格值			单位
				最小	标准	最大	
I_{CC}	电源电流 ($V_{CC}=3.3V \sim 5.5V$) 在单芯片模式, 输出管脚为开路, 其它管脚为 V_{SS} , A/D 转换器停止时	等待模式	主时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟运行 $V_{CA27}=V_{CA26}= "0"$	—	40	80	μA
		等待模式	主时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟停止 $V_{CA27}=V_{CA26}= "0"$	—	38	76	μA
		停止模式	主时钟停止、 $T_{opr}=25^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 $CM10= "1"$ 外围时钟停止 $V_{CA27}=V_{CA26}= "0"$	—	0.8	3.0	μA

时序必要条件 (在没有指定时, $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C$) [$V_{CC}=5V$]

表 20.16 XIN 输入

符号	项目	规格值		单位
		最小	最大	
$t_{c(XIN)}$	XIN 输入的周期时间	50	—	ns
$t_{WH(XIN)}$	XIN 输入 "H" 电平脉宽	25	—	ns
$t_{WL(XIN)}$	XIN 输入 "L" 电平脉宽	25	—	ns

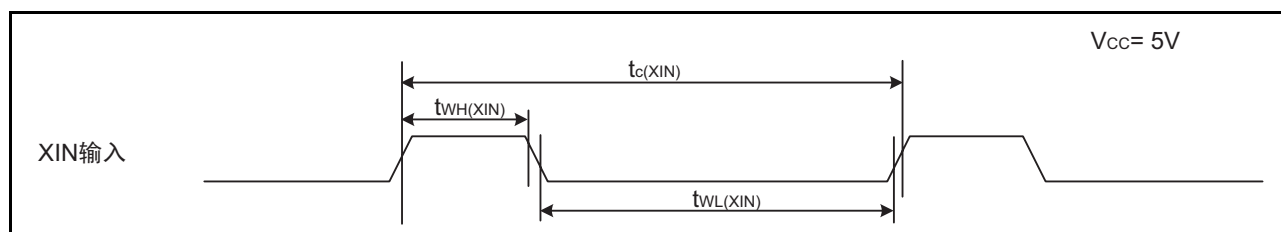
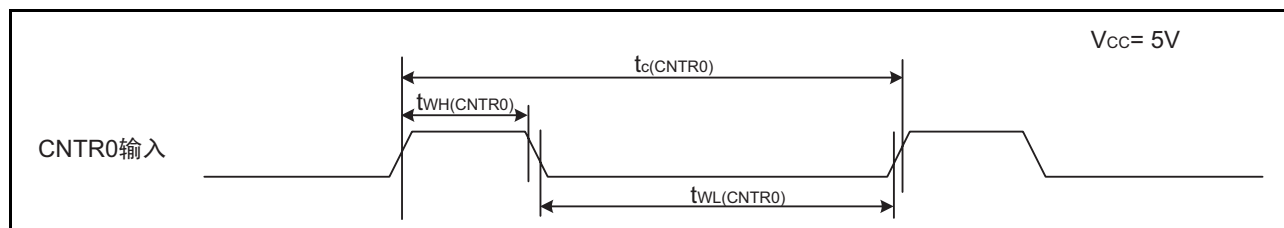
图 20.8 $V_{CC}=5V$ 时的 XIN 输入时序

表 20.17 CNTR0 输入、CNTR1 输入、 $\overline{\text{INT1}}$ 输入

符号	项目	规格值		单位
		最小	最大	
$t_{c(\text{CNTR0})}$	CNTR0 输入的周期时间	100	—	ns
$t_{\text{WH}(\text{CNTR0})}$	CNTR0 输入“H”电平脉宽	40	—	ns
$t_{\text{WL}(\text{CNTR0})}$	CNTR0 输入“L”电平脉宽	40	—	ns

图 20.9 Vcc=5V 时的 CNTR0 输入、CNTR1 输入、 $\overline{\text{INT1}}$ 输入时序表 20.18 TCIN 输入、 $\overline{\text{INT3}}$ 输入

符号	项目	规格值		单位
		最小	最大	
$t_{c(\text{TCIN})}$	TCIN 输入的周期时间	400 (注 1)	—	ns
$t_{\text{WH}(\text{TCIN})}$	TCIN 输入“H”电平脉宽	200 (注 2)	—	ns
$t_{\text{WL}(\text{TCIN})}$	TCIN 输入“L”电平脉宽	200 (注 2)	—	ns

注 1 在使用定时器 C 的输入捕捉模式时，必须将周期时间调整到“1/定时器 C 的计数源频率 ×3”以上。

注 2 在使用定时器 C 的输入捕捉模式时，必须将脉宽调整到“1/定时器 C 的计数源频率 ×1.5”以上。

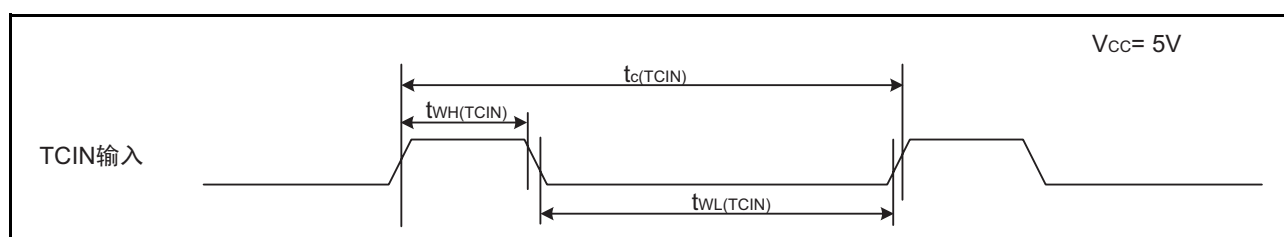
图 20.10 Vcc=5V 时的 TCIN 输入、 $\overline{\text{INT3}}$ 输入时序

表 20.19 串行接口

符号	项目	规格值		单位
		最小	最大	
$t_{c(CK)}$	CLKi 输入的周期时间	200	—	ns
$t_{W(CKH)}$	CLKi 输入“H”电平脉宽	100	—	ns
$t_{W(CKL)}$	CLKi 输入“L”电平脉宽	100	—	ns
$t_{d(C-Q)}$	TXDi 输出的延迟时间	—	50	ns
$t_{h(C-Q)}$	TXDi 保持时间	0	—	ns
$t_{su(D-C)}$	RXDi 输入的准备时间	50	—	ns
$t_{h(C-D)}$	RXDi 输入的保持时间	90	—	ns

i=0 ~ 1

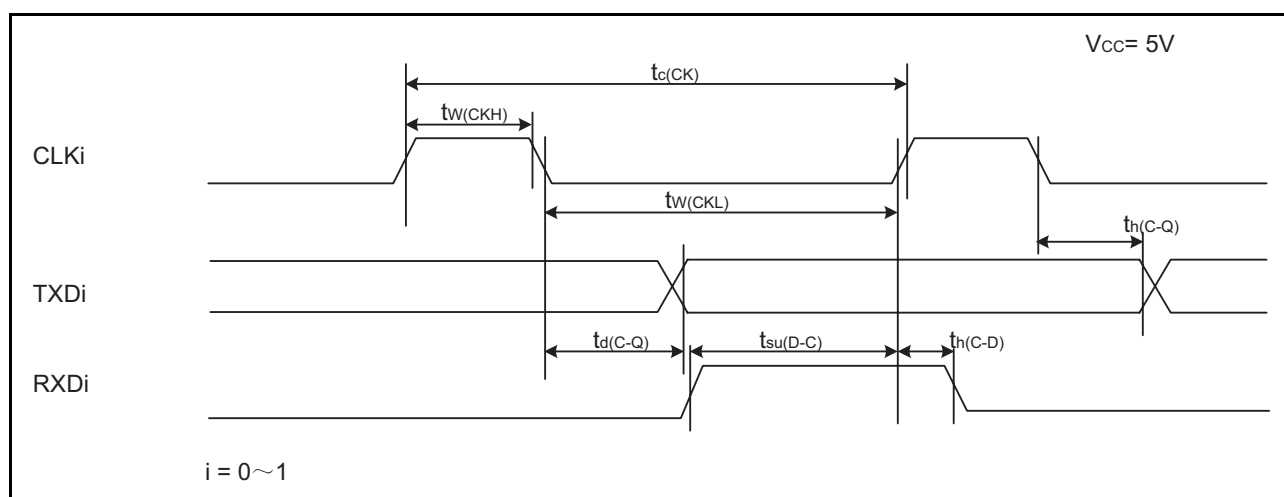


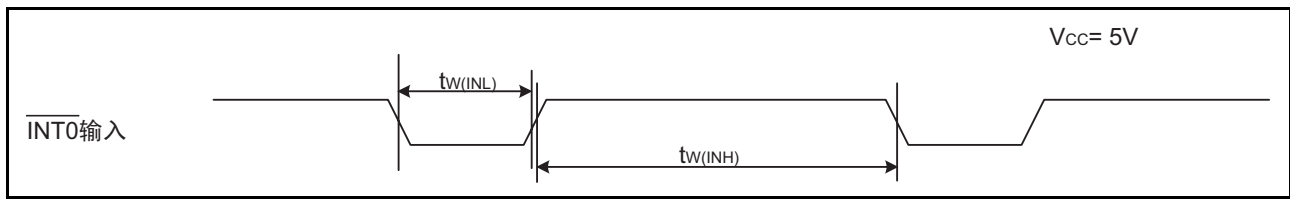
图 20.11 Vcc=5V 时的串行接口时序

表 20.20 外部中断 $\overline{INT0}$ 输入

符号	项目	规格值		单位
		最小	最大	
$t_{W(INH)}$	$\overline{INT0}$ 输入“H”电平脉宽	250 (注 1)	—	ns
$t_{W(INL)}$	$\overline{INT0}$ 输入“L”电平脉宽	250 (注 2)	—	ns

注 1 如果通过 $\overline{INT0}$ 输入滤波器的选择位选择有滤波器， $\overline{INT0}$ 输入“H”电平脉宽的最小值就为“1/数字滤波器采样频率×3”和最小值中大的值。

注 2 如果通过 $\overline{INT0}$ 输入滤波器的选择位选择有滤波器， $\overline{INT0}$ 输入“L”电平脉宽的最小值就为“1/数字滤波器采样频率×3”和最小值中大的值。

图 20.12 $V_{CC}=5V$ 时的外部中断 $\overline{\text{INT0}}$ 输入时序表 20.21 电特性 (3) [$V_{CC}=3V$]

符号	项目		测定条件		规格值			单位
					最小	标准	最大	
V_{OH}	“H”电平输出电压	XOUT 以外	$I_{OH}=1mA$		$V_{CC}-0.5$	—	V_{CC}	V
		XOUT	驱动能力 HIGH	$I_{OH}=-0.1mA$	$V_{CC}-0.5$	—	V_{CC}	V
			驱动能力 LOW	$I_{OH}=-50\mu A$	$V_{CC}-0.5$	—	V_{CC}	V
V_{OL}	“L”电平输出电压	P1_0 ~ P1_3、XOUT 以外	$I_{OL}=1mA$		—	—	0.5	V
			P1_0 ~ P1_3	驱动能力 HIGH	$I_{OL}=2mA$	—	—	0.5
		驱动能力 LOW		$I_{OL}=1mA$	—	—	0.5	V
		XOUT	驱动能力 HIGH	$I_{OL}=0.1mA$	—	—	0.5	V
			驱动能力 LOW	$I_{OL}=50\mu A$	—	—	0.5	V
$V_T^+-V_T^-$	滞后	$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 、 $\overline{\text{K10}}$ 、 $\overline{\text{K11}}$ 、 $\overline{\text{K12}}$ 、 $\overline{\text{K13}}$ 、 CNTR0、CNTR1、TCIN、 RXD0			0.2	—	0.8	V
		$\overline{\text{RESET}}$			0.2	—	1.8	V
I_{IH}	“H”输入电流		$V_I=3V$		—	—	4.0	μA
I_{IL}	“L”输入电流		$V_I=0V$		—	—	-4.0	μA
R_{PULLUP}	上拉电阻		$V_I=0V$		66	160	500	$k\Omega$
R_{fXIN}	反馈电阻	XIN			—	3.0	—	$M\Omega$
f_{RING-S}	低速内部振荡器的振荡频率				40	125	250	kHz
V_{RAM}	RAM 保持电压		停止模式		2.0	—	—	V

注 1 在没有指定时, $V_{CC}=2.7V \sim 3.3V$ 、 $T_{opr}=20^\circ C \sim 85^\circ C / -40^\circ C \sim 85^\circ C$ 、 $f(XIN)=10MHz$ 。

表 20.22 电特性 (4) [Vcc=3V] (在没有指定时, Topr=40°C ~ 85°C)

符号	项目	测定条件	规格值			单位	
			最小	标准	最大		
I _{CC}	电源电流 (Vcc=2.7V ~ 3.3V) 在单芯片模式, 输出管脚为开路, 其它管脚为 Vss, A/D 转换器停止时	高速模式	XIN=20MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	8	13	mA
			XIN=16MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	7	12	mA
			XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 无分频	—	5	—	mA
		中速模式	XIN=20MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	3	—	mA
			XIN=16MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	2.5	—	mA
			XIN=10MHz (方波) 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频	—	1.6	—	mA
		高速内部振荡器模式	主时钟停止 高速内部振荡器的振荡 =8MHz 低速内部振荡器的振荡 =125kHz 无分频	—	3.5	7.5	mA
			主时钟停止 高速内部振荡器的振荡 =8MHz 低速内部振荡器的振荡 =125kHz 8 分频	—	1.5	—	mA
		低速内部振荡器模式	主时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz 8 分频 FMR47= “1”	—	100	280	μA

表 20.22 电特性 (4) [$V_{CC}=3V$] (在没有指定时, $T_{opr}=40^{\circ}C \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	标准	最大	
I_{CC}	电源电流 ($V_{CC}=2.7V \sim 3.3V$) 在单芯片模式, 输出管脚为开路, 其它管脚为 V_{SS} , A/D 转换器停止时	等待模式 主时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟运行 $V_{CA27}=V_{CA26}= "0"$	—	37	74	μA
		等待模式 主时钟停止 高速内部振荡器的振荡停止 低速内部振荡器的振荡 =125kHz WAIT 指令执行中 外围时钟停止 $V_{CA27}=V_{CA26}= "0"$	—	35	70	μA
		停止模式 主时钟停止、 $T_{opr}=25^{\circ}C$ 高速内部振荡器的振荡停止 低速内部振荡器的振荡停止 $CM10= "1"$ 外围时钟停止 $V_{CA27}=V_{CA26}= "0"$	—	0.7	3.0	μA

时序必要条件 (在没有指定时, $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C$) [$V_{CC}=3V$]

表 20.23 XIN 输入

符号	项目	规格值		单位
		最小	最大	
$t_{c(XIN)}$	XIN 输入的周期时间	100	—	ns
$t_{WH(XIN)}$	XIN 输入 "H" 电平脉宽	40	—	ns
$t_{WL(XIN)}$	XIN 输入 "L" 电平脉宽	40	—	ns

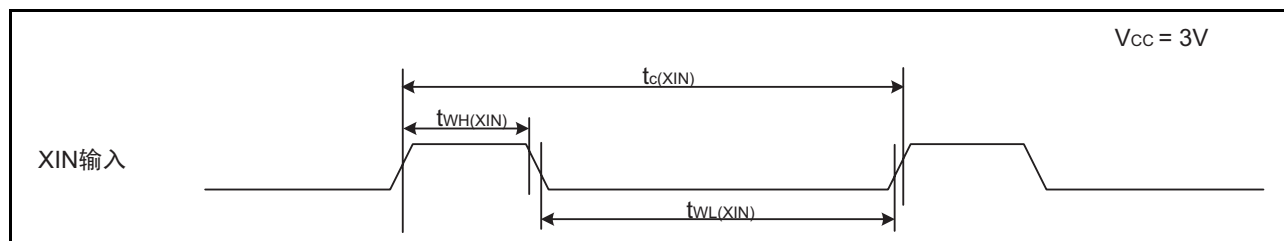
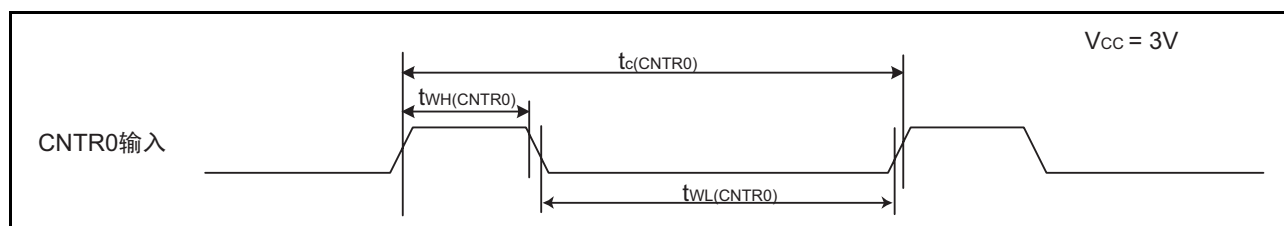
图 20.13 $V_{CC}=3V$ 时的 XIN 输入时序

表 20.24 CNTR0 输入、CNTR1 输入、 $\overline{\text{INT1}}$ 输入

符号	项目	规格值		单位
		最小	最大	
$t_{c(\text{CNTR0})}$	CNTR0 输入的周期时间	300	—	ns
$t_{\text{WH}(\text{CNTR0})}$	CNTR0 输入 “H” 电平脉宽	120	—	ns
$t_{\text{WL}(\text{CNTR0})}$	CNTR0 输入 “L” 电平脉宽	120	—	ns

图 20.14 $V_{\text{CC}}=3\text{V}$ 时的 CNTR0 输入、CNTR1 输入、 $\overline{\text{INT1}}$ 输入时序表 20.25 TCIN 输入、 $\overline{\text{INT3}}$ 输入

符号	项目	规格值		单位
		最小	最大	
$t_{c(\text{TCIN})}$	TCIN 输入的周期时间	1200 (注 1)	—	ns
$t_{\text{WH}(\text{TCIN})}$	TCIN 输入 “H” 电平脉宽	600 (注 2)	—	ns
$t_{\text{WL}(\text{TCIN})}$	TCIN 输入 “L” 电平脉宽	600 (注 2)	—	ns

注 1 在使用定时器 C 的输入捕捉模式时，必须将周期时间调整在 “1/ 定时器 C 的计数源频率 $\times 3$ ” 以上。

注 2 在使用定时器 C 的输入捕捉模式时，必须将脉宽调整在 “1/ 定时器 C 的计数源频率 $\times 1.5$ ” 以上。

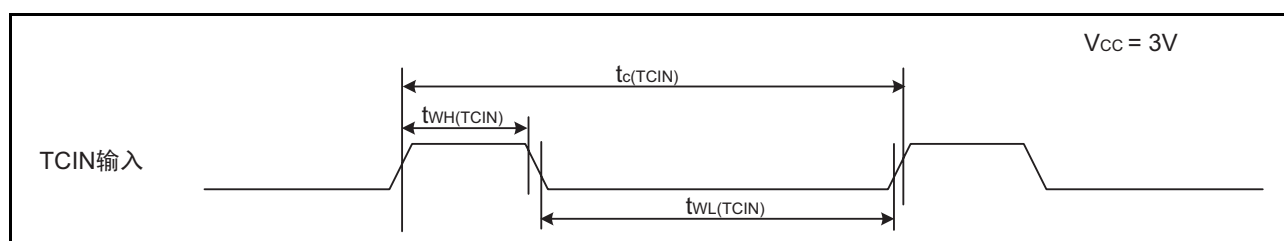
图 20.15 $V_{\text{CC}}=3\text{V}$ 时的 TCIN 输入、 $\overline{\text{INT3}}$ 输入时序

表 20.26 串行接口

符号	项目	规格值		单位
		最小	最大	
$t_{c(CK)}$	CLKi 输入的周期时间	300	—	ns
$t_{W(CKH)}$	CLKi 输入“H”电平脉宽	150	—	ns
$t_{W(CKL)}$	CLKi 输入“L”电平脉宽	150	—	ns
$t_{d(C-Q)}$	TXDi 输出的延迟时间	—	80	ns
$t_{h(C-Q)}$	TXDi 保持时间	0	—	ns
$t_{su(D-C)}$	RXDi 输入的准备时间	70	—	ns
$t_{h(C-D)}$	RXDi 输入的保持时间	90	—	ns

i=0 ~ 1

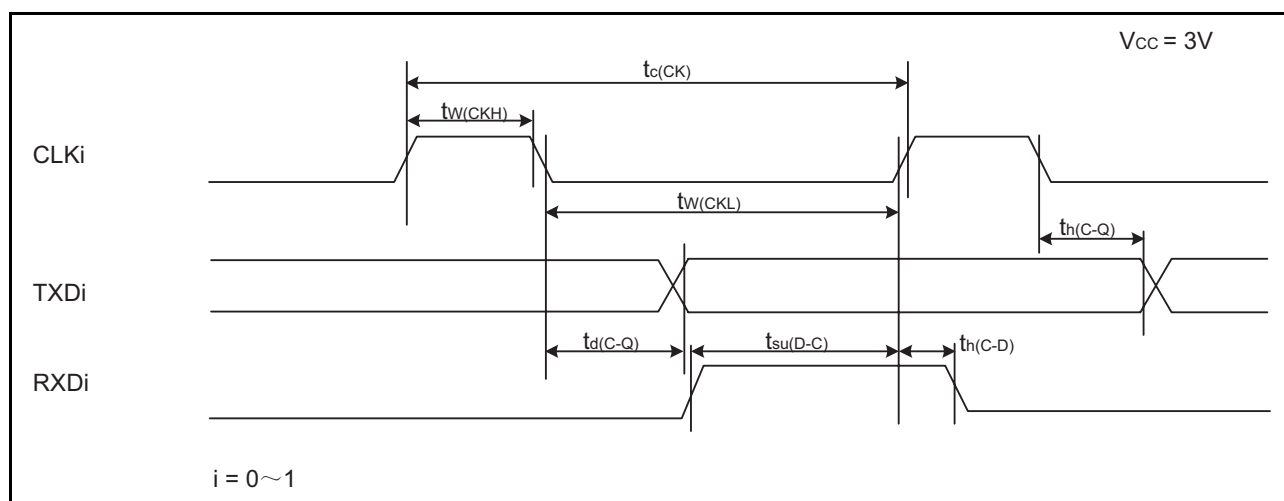


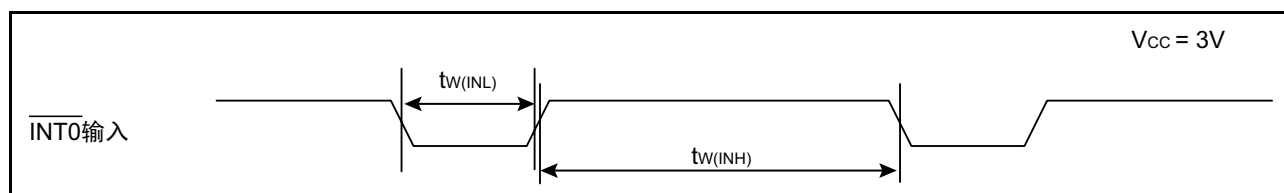
图 20.16 Vcc=3V 时的串行接口时序

表 20.27 外部中断 $\overline{INT0}$ 输入

符号	项目	规格值		单位
		最小	最大	
$t_{W(INH)}$	$\overline{INT0}$ 输入“H”电平脉宽	380 (注 1)	—	ns
$t_{W(INL)}$	$\overline{INT0}$ 输入“L”电平脉宽	380 (注 2)	—	ns

注 1 如果通过 $\overline{INT0}$ 输入滤波器的选择位选择有滤波器， $\overline{INT0}$ 输入“H”电平脉宽的最小值就为“1/数字滤波器采样频率×3”和最小值中大的值。

注 2 如果通过 $\overline{INT0}$ 输入滤波器的选择位选择有滤波器， $\overline{INT0}$ 输入“L”电平脉宽的最小值就为“1/数字滤波器采样频率×3”和最小值中大的值。

图 20.17 Vcc=3V 时的外部中断 $\overline{INT0}$ 输入时序

21. On-chip 调试器的注意事项

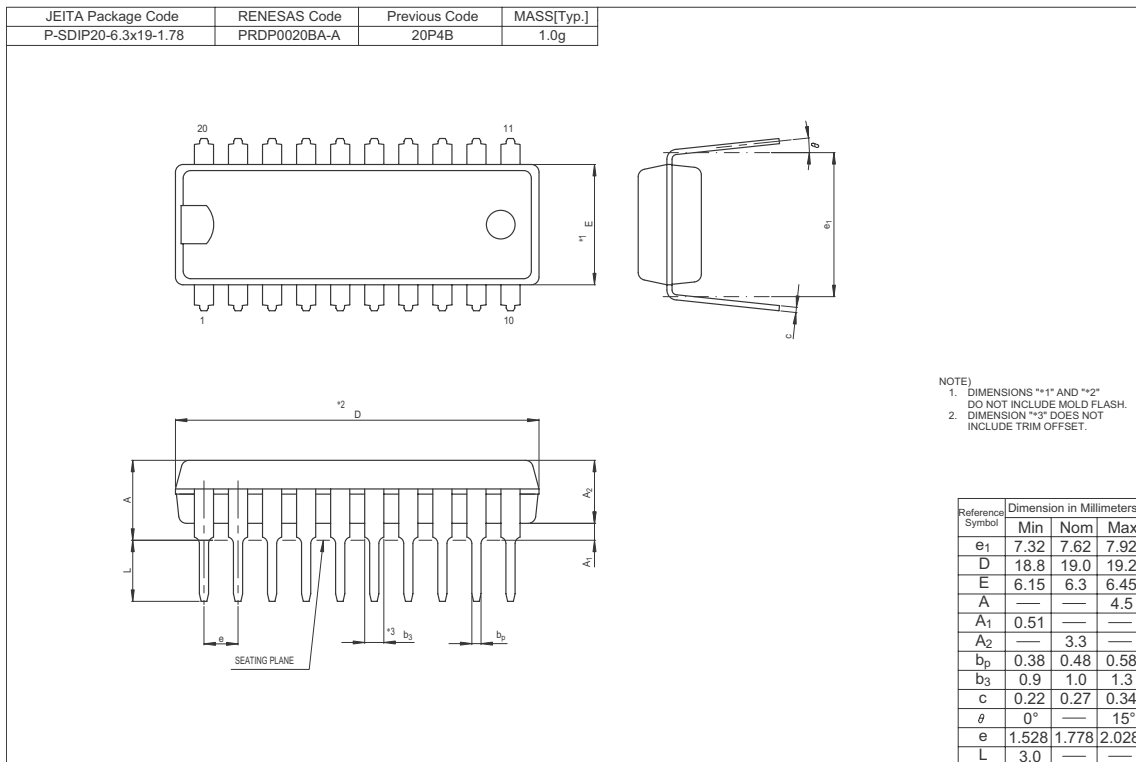
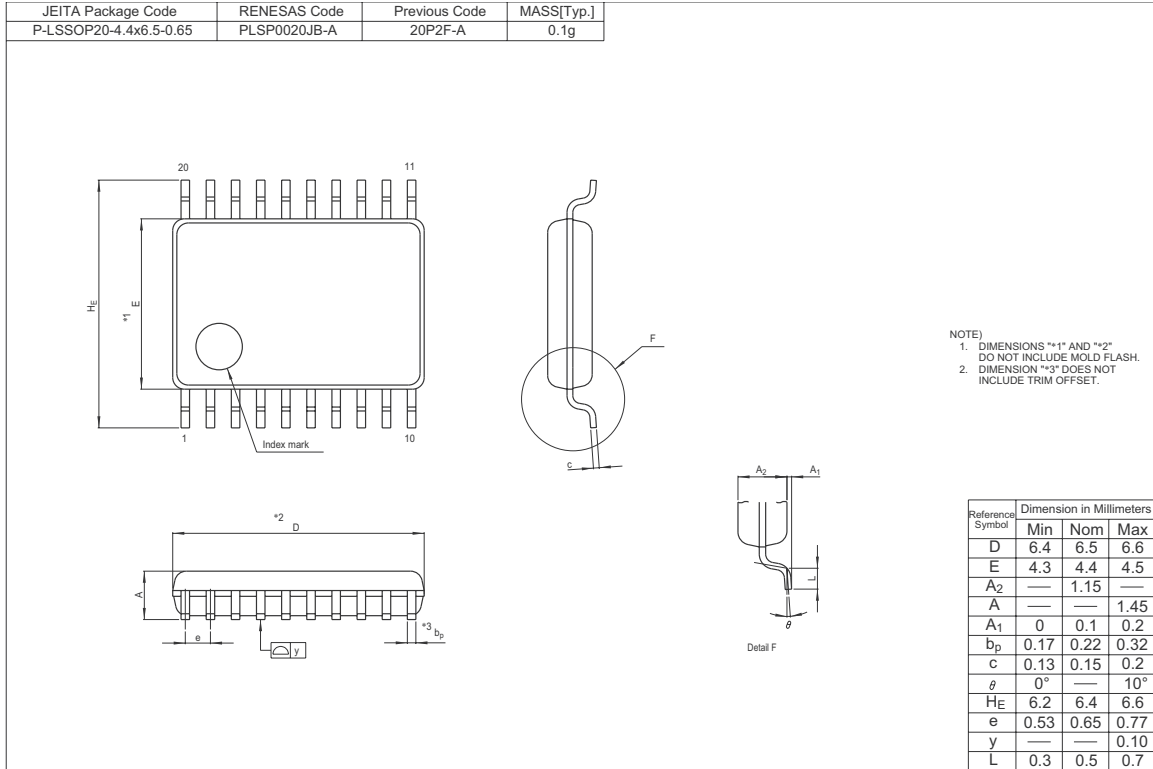
在使用 on-chip 调试器进行 R8C/1A、R8C/1B 群的程序开发和调试时，必须注意以下限制事项：

- (1) 不能存取 UART1 相关的寄存器。
- (2) 由于 on-chip 调试器使用部分用户闪存区和 RAM 区，因此用户不能使用该区域。有关使用区域，请参照各 on-chip 调试器手册。
- (3) 不能在用户系统使用地址匹配中断（AIER、RMAD0、RMAD1 寄存器和固定向量表）。
- (4) 不能在用户系统使用 BRK 指令。

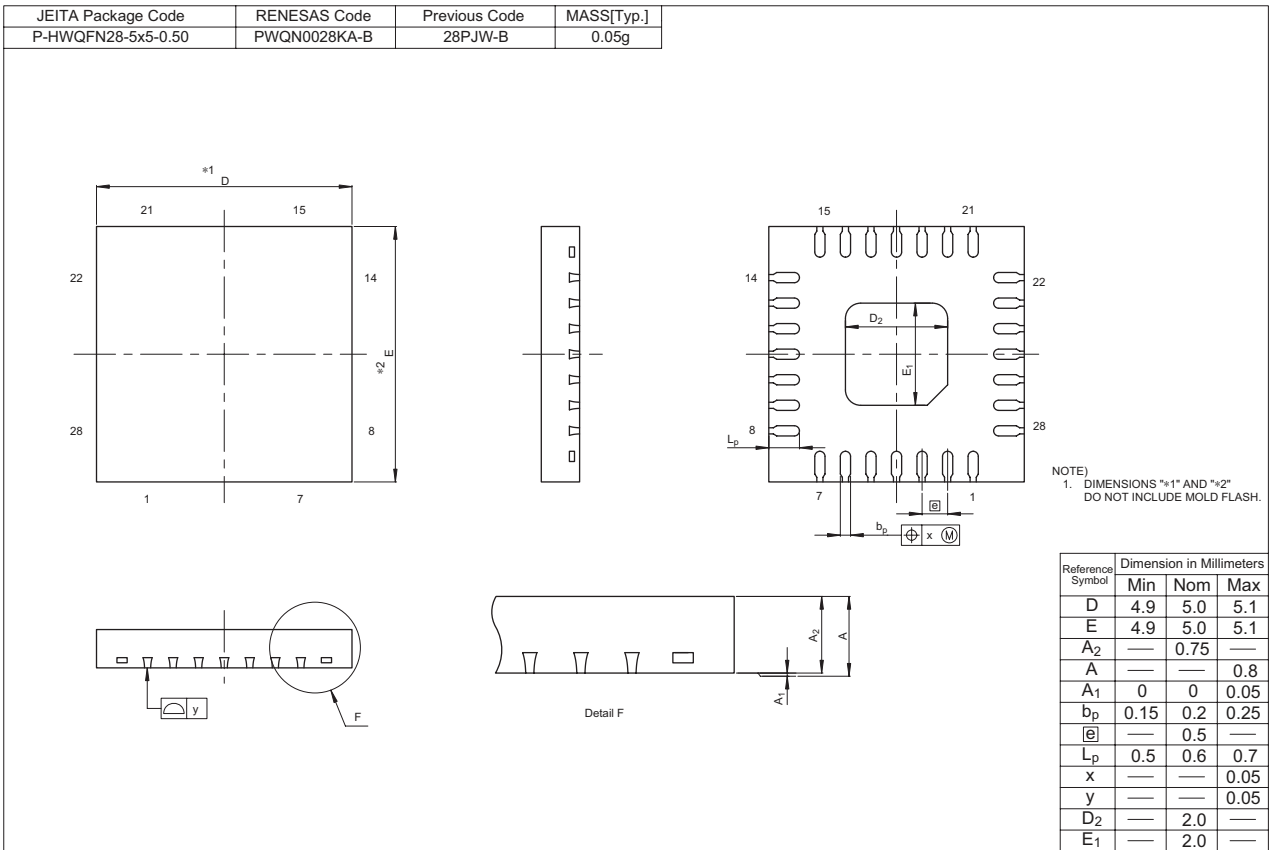
On-chip 调试器的连接和使用方法有特殊的限制事项。关于 on-chip 调试器的详细内容，请参照各 on-chip 调试器手册。

附录

附录 1. 外形尺寸图

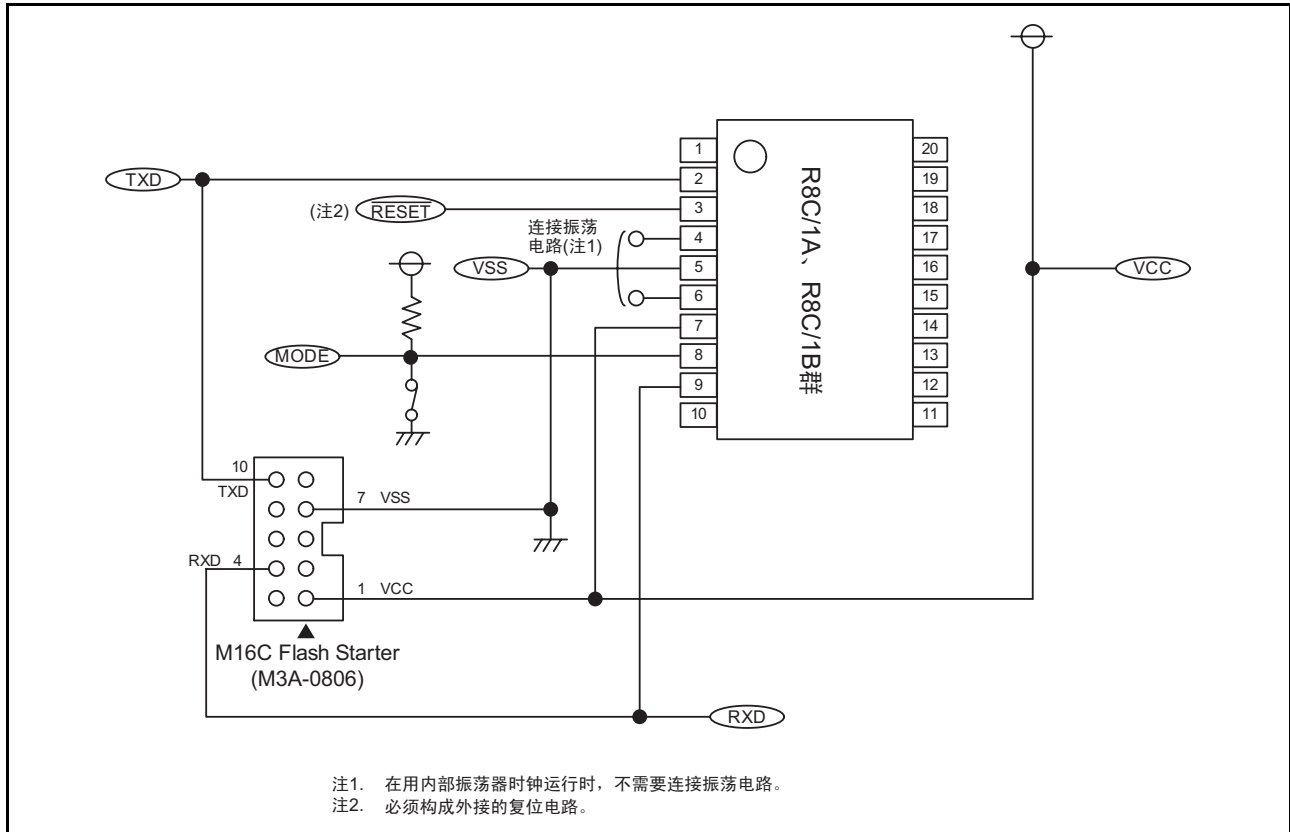


R8C/1A、R8C/1B 群

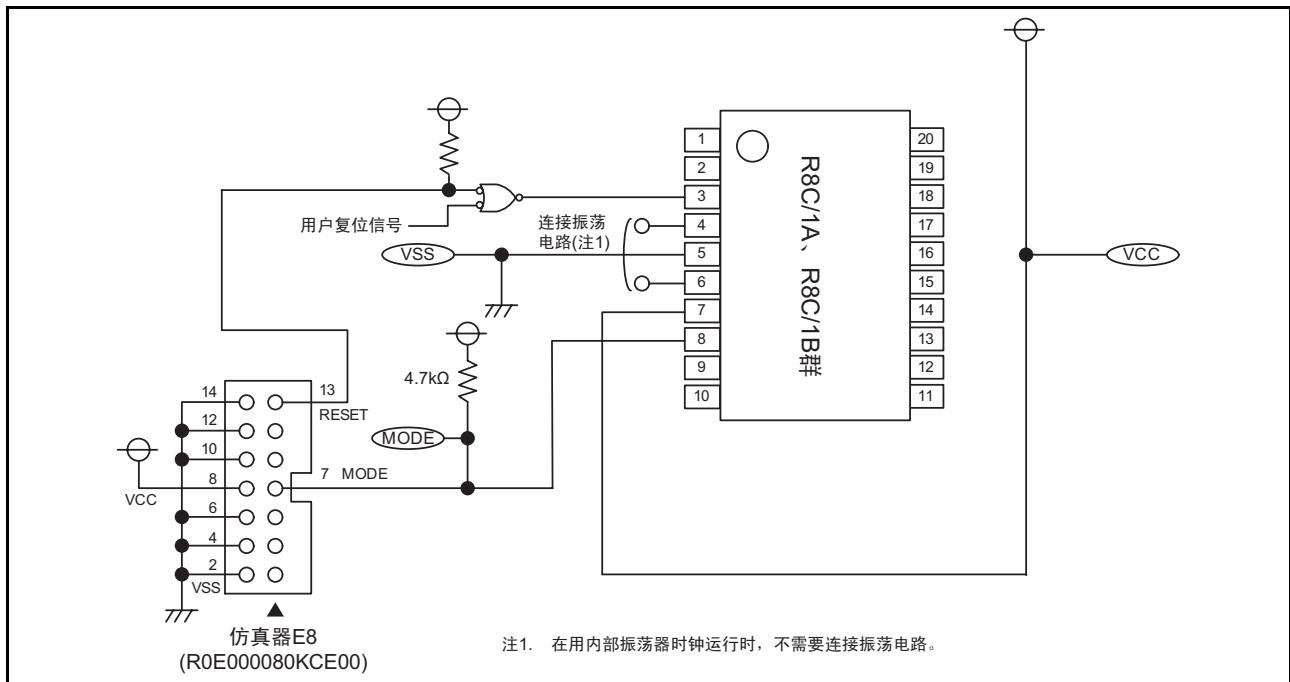


附录 2. 串行编程器和 on-chip 调试仿真器的连接例

和 M16C Flash Starter (M3A-0806) 的连接例如附图 2.1、和仿真器 E8 (R0E000080KCE00) 的连接例如附图 2.2 所示。



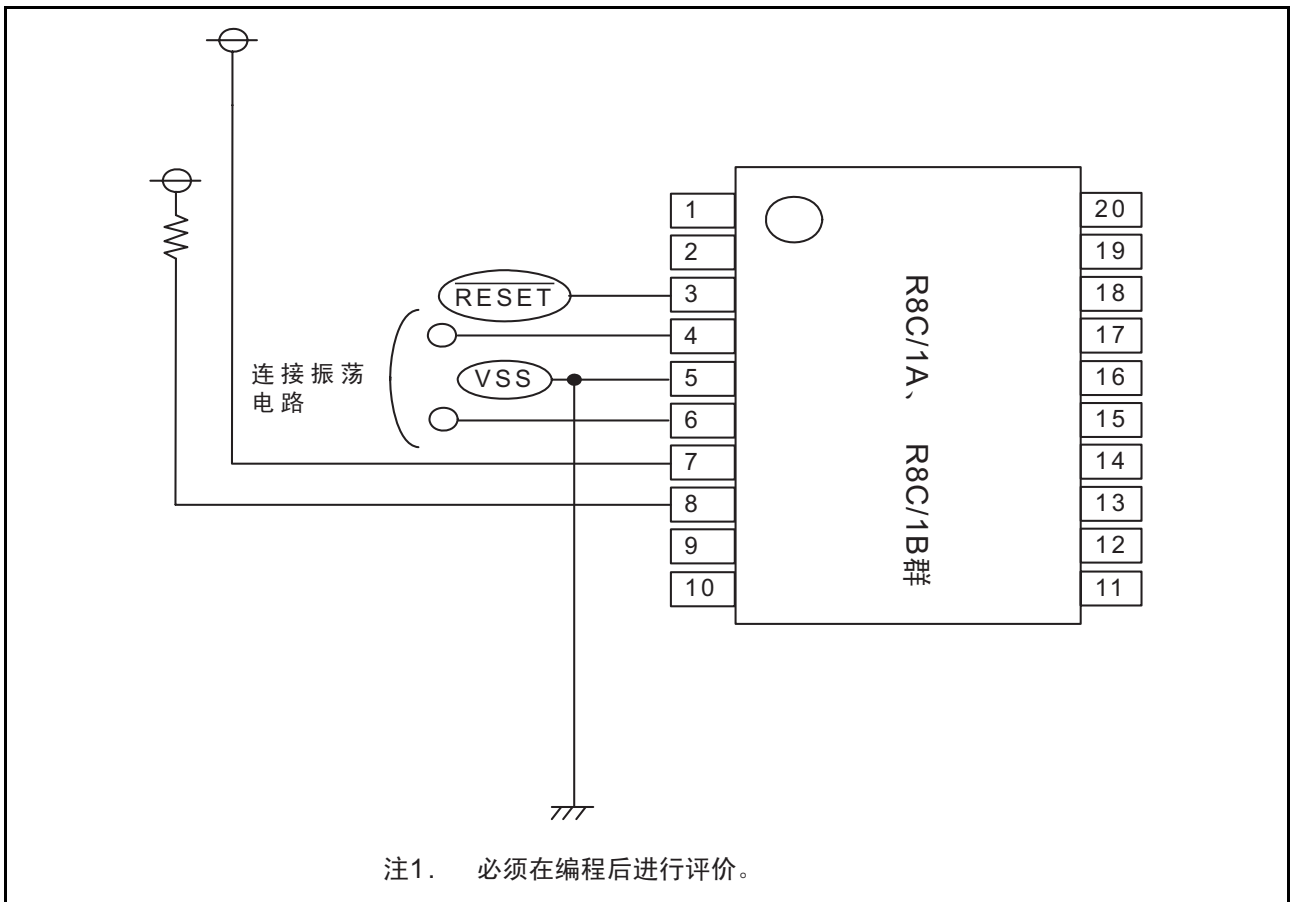
附图 2.1 和 M16C Flash Starter (M3A-0806) 的连接例



附图 2.2 和仿真器 E8 (R0E000080KCE00) 的连接例

附录 3. 振荡评价电路例

振荡评价电路例如附图 3.1 所示。



附图 3.1 振荡评价电路例

索引

数字

4 线方式总线通信模式 193

A

A/D 转换器 230
 A0、A1 27
 AD 233
 ADCON0 232
 ADCON1 232
 ADCON2 233
 ADIC 97
 AIER 111

B

B 标志 28

C

C 标志 28
 CM0 77
 CM1 78
 CMP0IC 97
 CMP1IC 97
 CNTR0 管脚选择功能 171
 CPU 27
 CPU 改写模式 247
 CPU 时钟 82
 CPU 时钟和外围功能时钟 82
 CSPR 116

D

D 标志 28
 DRR 49

E

EW0 模式 248
 EW1 模式 248

F

f1、f2、f4、f8、f32 82
 FB 28
 FLG 28
 FMR0 250
 FMR1 251
 FMR4 251
 fRING-fast 82
 fRING-S 82

fRING 和 fRING128 82

H

HRA0 80
 HRA1 80
 HRA2 80

I

I²C 总线接口 200
 I²C 总线接口模式 211
 I 标志 28
 ICCR1 203
 ICCR2 204
 ICDRR 208
 ICDRS 208
 ICDRT 208
 ICIER 206
 ICMR 205
 ICSR 207
 ID 码的检查功能 245,262
 INT0F 104
 INT0IC 97
 INT0 输入滤波器 105
 INT0 中断 104
 INT1IC 97
 INT1 中断 106
 INT3IC 97
 INT3 中断 107
 INT3IC 97
 INTB 28
 INTEN 104
 INT 中断 104
 IPL 29
 ISP 28

K

KIEN 109
 KUPIC 97

L

LSB 先发送或者 MSB 先发送的选择 166

O

O 标志 28
 OCD 79
 OFS 115
 On-chip 调试器的注意事项 290

P

P1	47
P3	47
P4	47
PC	28
PD1	46
PD3	46
PD4	46
PM0	73
PM1	73
PMR.....	48,181,209
PRCR	92
PREX	122
PREZ	133
PUM	134
PUR0	48
PUR1	48

R

R0、R1、R2、R3	27
RMAD0	111
RMAD1	111
ROM 码的保护功能	246

S

S0RIC	97
S0TIC.....	97
S1RIC	97
S1TIC	97
SAR	208
SB	28
S 标志	28
SCS 管脚控制和仲裁	198
SFR	32
SSCRH	176
SSCRL.....	177
SSER	178
SSMR	178
SSMR2	180
SSRDR	181
SSSR	179
SSTDTR.....	181
SSTRSR	183
SSU	174
SS 移位寄存器	183

T

TC	150
TCC0	150
TCC1	151
TCIC	97
TCOUT	153
TCSS	122,135

TM0	150
TM1	150
TX	122
TXIC	97
TXMR	121
TZIC	97
TZMR	132
TZOC	134
TZPR	133
TZSC	133

U

U0BRG	160
U0C0	161
U0C1	162
U0MR.....	161
U0RB	160
U0TB.....	160
U1BRG	160
U1C0.....	161
U1C1	162
U1MR.....	161
U1RB	160
U1TB	160
UART	167
U 标志	28
UCON	162
USP	28

V

VCA1	65
VCA2	65
VCC 输入电压	68
VW1C	66
VW2C	67

W

WDC	115
WDTR	116
WDTS	116

Z

Z 标志	28
------------	----

B

保护	92
保留位	29
标志寄存器	28
标准串行输入 / 输出模式	262
并行输入 / 输出模式	265

C

采样和保持	237
产品一览	6
程序计数器	28
重复模式	235
处理器模式	73
处理器中断优先级	29
串行编程器和 on-chip 调试仿真器的连接例	172
串行接口	158
传送时钟	182, 209
存储器	30
存储器的配置	243

D

带片选的时钟同步串行 I/O	174
单次模式	233
地址寄存器	27
地址匹配中断	110
低速内部振荡器时钟	81
电压检测电路	63
电压监视 1 复位	62, 70
电压监视 2 复位	62
电压监视 2 中断和电压监视 2 复位	71
定时器	119
定时器 C	148
定时器模式	123, 136
定时器 X	120
定时器 Z	131
堆栈指针指定标志	28

F

符号标志	28
复位	57

G

高速内部振荡器时钟	82
概要	1
各通信模式和管脚功能	185
功率控制	83
管脚功能说明	13
管脚连接图	10

J

寄存器的设定例子	225
寄存器组指定标志	28
极性选择功能	166
键输入中断	109
监视定时器	114
监视定时器复位	62
静态基址寄存器	28
进位标志	28

K

可编程波形发生模式	138
可编程单触发生模式	141
可编程等待单触发生模式	144
可编程输入 / 输出端口	42
框图	5

L

连续接收模式	167
零标志	28

M

脉冲输出模式	124
脉冲周期测定模式	128
脉宽测定模式	126

N

内部振荡器时钟	81
---------------	----

Q

全状态检查	260
-------------	-----

R

软件复位	62
软件命令	254
软件中断	93

S

闪存	242
闪存改写的禁止功能	245
事件计数器模式	125
时钟发生电路	75
时钟同步串行 I/O 模式	163
时钟同步串行接口	173
时钟同步串行模式	220
时钟同步通信模式	186
时钟异步串行 I/O (UART) 模式	167
输出比较模式	156
输入捕捉模式	154
数据寄存器	27

T

特殊中断	94
调试标志	28
停止模式	85
通常运行模式	83

W

外围功能时	82
外围功能时钟	82
外形尺寸图	170
位同步电路	224
未使用管脚的处理	55
位速率	171

X

系统时钟	82
性能概要	1

Y

溢出标志	28
硬件复位	59
应用	1
用户堆栈指针	28

Z

噪声消除电路	223
振荡评价电路例	173
振荡停止检测功能	88
振荡停止检测功能的使用方法	88
帧基址寄存器	28
中断	93
中断表寄存器	28
中断堆栈指针	28
中断分类	93
中断概要	93
中断和中断向量	94
中断控制	97
中断控制寄存器	97
中断请求	184,210
中断允许标志	28
总线控制	74
中央处理器 (CPU)	27
主时钟	81
状态寄存器	259

修订记录	R8C/1A、R8C/1B 群数据表
------	--------------------

Rev.	发行日	修订内容	
		页	修订处
1.00	2006.03.24	—	初版发行
2.00	2006.09.14	全文 全文 1 2 3 5 6 7 9 10 11 12 17 18 41 57 58 66 73 155 156 178 241	<p>追加了“产品使用时的注意事项”。</p> <p>“本手册的使用方法”全体修改。</p> <p>删除了“概要”中的“或者 SDIP”。</p> <p>“表 1.1”中最后一行“20”→“28”，“SDIP”→“HWQFN”。</p> <p>“表 1.2”中最后一行“20”→“28”，“SDIP”→“HWQFN”。</p> <p>“表 1.3”中“2005 年 09 月”→“2006 年 03 月”。修改了最后四行。</p> <p>“表 1.4”中“2005 年 09 月”→“2006 年 03 月”。修改了最后四行。</p> <p>“1.5”追加了“PWQN0028KA-B 封装产品的管脚连接图（俯视图）如图 1.6 所示。”。</p> <p>追加了“图 1.6”。</p> <p>“1.6”追加了“PWQN0028KA-B 封装产品的管脚序号 - 管脚名一览表如表 1.7 所示。”。</p> <p>“表 1.6”标题追加了“PLSP0020JB-A、PRDP0020BA-A 封装产品的”。</p> <p>追加了“表 1.7”。</p> <p>修改了“图 3.1”中的型号。</p> <p>修改了“图 3.2”中的型号。</p> <p>“6.2”第一段追加了“将电容器连接到 $\overline{\text{RESET}}$ 管脚时，必须注意要始终将 $\overline{\text{RESET}}$ 管脚的电压保持在 0.8VCC 以上。”。</p> <p>删除了“表 10.1”中的“注 2”。</p> <p>修改了“图 10.1”全部。</p> <p>修改了“表 10.2”中 CM1 寄存器的内容。</p> <p>“10.6.1”中“全部时钟停止控制位”→“CM1 寄存器的 CM10 位”。</p> <p>“图 15.3”最后部分追加了注 3。</p> <p>“图 15.4”最后部分追加了注 1。</p> <p>删除“图 16.8”中的第一个注 2。</p> <p>删除了“表 17.3”功能中的“和 ADGSEL0 位”。</p>
2.10	2007.01.10	全文 全文 全文 全文 全文 全文 2、3 16	<p>追加 Y 版。</p> <p>追加编程后的出货产品。</p> <p>“地址一致”→“地址匹配”。</p> <p>“内部调试器”→“on-chip 调试器”</p> <p>“再装入”→“重加载”</p> <p>“快速擦写存储器”→“闪存”</p> <p>“表 1.1”和“表 1.2”：修改中断的性能“内部：9 个中断源”→“内部：11 个中断源”。</p> <p>修改“2.1 时钟发生电路的使用注意事项”中“2.1.1”中的内容，并追加“2.1.2”的内容。</p>

Rev.	发行日	修订内容	
		页	修订处
2.10	2007.01.10	32	“表 5.1”：地址 000Fh 复位后的值 “000XXXXXb” → “00X11111b”。
		53	“表 6.12”：修改设定值。
		55	“表 6.17”：追加设定值。
		58	“表 7.2”：“复位后管脚的状态” → “ $\overline{\text{RESET}}$ 管脚的电平为 “L” 电平期间的管脚状态”。
		77	“图 11.2”：注 4 追加 “CM1 寄存器的 CM13 位”。
		80	“图 11.5”：“高速内部振荡器控制寄存器 1”追加注 2 “调整时，不要超过系统时钟的最大值。”和 “高速内部振荡器控制寄存器 2”追加注 4 “设定时，不要超过系统时钟的最大值。”。
		85	“图 11.7”：追加图全部。
		86	“图 11.8”：追加图全部。
		90	“11.6.1”：追加 “转移到停止模式的程序例子”。
			“11.6.2”：追加 “等待模式”。
		110	“表 13.6”：修改第一行和第二行 “操作码为 2 个字节的指令”和 “操作码为 1 个字节的指令中的下例指令”的操作码的注释。
		115	“图 14.2”：“监视定时器控制寄存器”中 “复位后的值” “00011111b” → “00X11111b”，b5 的功能追加 “读取时，值不定”。
		130	“图 15.10”：修改行 “读缓冲器的内容”和 “定时器 X 的内容”以及删除注 6：“此时，必须通过读缓冲器的内容来判断 TXUND 位的有效性。”删除注 7 全部。
		165	“图 16.6”：修改部分内容。
		170	“图 16.9”：修改部分内容。
		172	“16.3”：追加 “读取 UIR8 寄存器后，必须通过读取的值确认接收错误”。
		177	“图 17.3”：修改注 2 全部。
		205	“图 17.26”：修改注 2 全部。
		211 ~ 215	“图 17.31 ~ 图 17.35”：修改图形部分。
		232	“图 18.2”：修改 “ADCON0 寄存器”注 2 全部。
		233	“表 18.2”：修改 “停止条件”的 “说明”的内容。
		234	“图 18.4”：修改 “ADCON0”注 2 全部。
		236	“图 18.5”：修改 “ADCON0”注 2 全部。
		247	“表 19.3”：项目追加 “读状态寄存器后的模式”。
		248	“19.4.1”：“ $t_d(\text{SR-ES})$ ” → “ $t_d(\text{SR-SUS})$ ”。
		248	“19.4.2”：“ $t_d(\text{SR-ES})$ ” → “ $t_d(\text{SR-SUS})$ ”。
252	“图 19.8”：删除 “挂起时间保持为 0”和 “挂起时间也保持为 1”。		
254	“19.4.3.1”：追加 “另外，复位解除后，变为读阵列模式。”。		
254	“19.4.3.2”：追加 “在写入下一个读阵列命令之前，一直保持读状态寄存器模式。”。		

Rev.	发行日	修订内容	
		页	修订处
2.10	2007.01.10	255	“19.4.3.4”：修改部分内容。
		256	“图 19.13”：追加。
		258	“图 19.15”：修改图和追加注 3 “不使用中断时，不需要允许中断的指令。”。
		268	“表 20.2”：追加 “系统时钟”。
		290	“21”：修改 (2) 和删除 (5)。

**瑞萨 16 位单片机
硬件手册
R8C/1A、R8C/1B 群**

Publication Date: Rev.1.00, Mar. 24, 2006
Rev.2.10, Jan. 10, 2007

Published by: Sales Strategic Planning Div.
Renesas Technology Corp.

Edited by: Customer Support Department
Global Strategic Communication Div.
Renesas Solutions Corp.

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, 1 Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2730-6071

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jalan Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510



R8C/1A、R8C/1B群



瑞萨电子株式会社

RCJ09B0014-0210