

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M32C/83グループ (M32C/83, M32C/83T)

ハードウェアマニュアル

ルネサス16/32ビットシングルチップマイクロコンピュータ
M16Cファミリ / M32C/80シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますとは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

このマニュアルの使い方

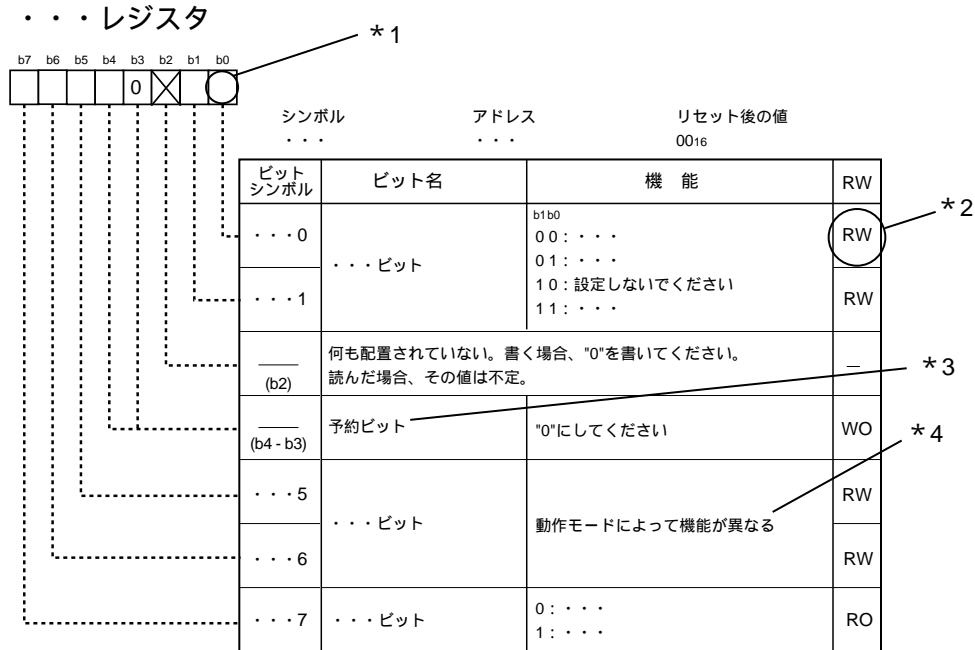
1. 対象

このマニュアルはM32C/83グループ(M32C/83、M32C/83T)のハードウェアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

2. レジスタ図の見方

レジスタ図で使用する記号、用語を説明します。



*1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- x : 何も配置されていないビットです。

*2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

*3

・予約ビット

予約ビットです。指定された値にしてください。

*4

・何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

・設定しないでください

設定した場合の動作は保証されません。

・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

3. M16Cファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。(注1)

ドキュメントの種類	記載内容
ショートシート	ハードウェアの概要
データシート	ハードウェアの概要と電気的特性
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
ソフトウェアマニュアル	命令(アセンブリ言語)の動作の詳細
アプリケーションノート	周辺機能の応用例 参考プログラム M16Cファミリ入門用基本機能説明 アセンブリ言語、C言語によるプログラムの作成方法
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報

注1. 最新版を使用してください。最新版はルネサステクノロジホームページに掲載されています。

目次

番地別ページ早見表	B-1
1. 概要	1
1.1 応用	1
1.2 性能概要	2
1.3 ブロック図	4
1.4 製品一覧	5
1.5 ピン接続図	6
1.6 端子機能の説明	14
2. 中央演算処理装置	18
2.1 基本レジスタ	19
2.1.1 データレジスタ(R0、R1、R2、R3)	19
2.1.2 アドレスレジスタ(A0、A1)	19
2.1.3 スタティックベースレジスタ(SB)	19
2.1.4 フレームベースレジスタ(FB)	19
2.1.5 プログラムカウンタ(PC)	19
2.1.6 割り込みテーブルレジスタ(INTB)	19
2.1.7 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)	19
2.1.8 フラグレジスタ(FLG)	19
2.2 高速割り込みレジスタ	20
2.3 DMAC関連レジスタ	20
3. メモリ	21
4. SFR	22
5. リセット	44
5.1 ハードウェアリセット	44
5.1.1 電源電圧安定時	44
5.1.2 電源投入時	44
5.2 ソフトウェアリセット	46
5.3 ウォッチドッグタイマリセット	46
5.4 内部領域の状態	47

6.	プロセッサモード	48
6.1	プロセッサモードの種類	48
6.1.1	シングルチップモード	48
6.1.2	メモリ拡張モード	48
6.1.3	マイクロプロセッサモード	48
6.2	プロセッサモードの設定	48
6.2.1	CNVSS端子にVSSを入力	48
6.2.2	CNVSS端子にVCCを入力	48
7.	バス	52
7.1	バス設定	52
7.1.1	外部アドレスバスの選択	53
7.1.2	外部データバスの選択	53
7.1.3	セパレートバス、マルチプレクスバスの選択	53
7.2	バス制御	55
7.2.1	アドレスバス、データバス	55
7.2.2	チップセレクト信号	55
7.2.3	リード、ライト信号	57
7.2.4	バスタイミング	58
7.2.5	ALE信号	62
7.2.6	\overline{RDY} 信号	62
7.2.7	\overline{HOLD} 信号	63
7.2.8	内部領域をアクセスしたときの外部バスの状態	64
7.2.9	BCLK出力	64
7.2.10	DRAM制御信号(\overline{RAS} 、 \overline{CASL} 、 \overline{CASH} 、 \overline{DW})	64
8.	クロック発生回路	65
8.1	クロック発生回路の種類	65
8.1.1	メインクロック	74
8.1.2	サブクロック	75
8.1.3	オンチップオシレータクロック	76
8.1.4	PLLクロック	77
8.2	CPUクロックとBCLK	79
8.3	周辺機能クロック	79
8.3.1	f1、f8、f32、f2n	79

8.3.2	fAD	79
8.3.3	fC32	80
8.4	クロック出力機能	80
8.5	パワーコントロール	80
8.5.1	通常動作モード	81
8.5.2	ウェイトモード	82
8.5.3	ストップモード	84
9.	プロテクト	88
10.	割り込み	89
10.1	割り込みの分類	89
10.2	ソフトウェア割り込み	89
10.2.1	未定義命令割り込み	89
10.2.2	オーバフロー割り込み	89
10.2.3	BRK割り込み	90
10.2.4	BRK2割り込み	90
10.2.5	INT命令割り込み	90
10.3	ハードウェア割り込み	90
10.3.1	特殊割り込み	90
10.3.2	周辺機能割り込み	91
10.4	高速割り込み	91
10.5	割り込みと割り込みベクタ	91
10.5.1	固定ベクタテーブル	92
10.5.2	可変ベクタテーブル	92
10.6	割り込み要求の受け付け	95
10.6.1	IフラグとIPL	95
10.6.2	割り込み制御レジスタとRLVLレジスタ	95
10.6.3	割り込みシーケンス	99
10.6.4	割り込み応答時間	99
10.6.5	割り込み要求受け付け時のIPLの変化	100
10.6.6	レジスタ退避	101
10.6.7	割り込みルーチンからの復帰	101
10.6.8	割り込み優先順位	102
10.6.9	割り込み優先レベル判定回路	102
10.7	$\overline{\text{INT}}$ 割り込み	104

10.8	NMI割り込み	105
10.9	キー入力割り込み	105
10.10	アドレス一致割り込み	106
10.11	インテリジェントI/O割り込みとCAN割り込み	107
11.	ウォッチドッグタイマ	110
12.	DMAC	113
12.1	転送サイクル	120
12.1.1	転送元番地と転送先番地の影響	120
12.1.2	DSレジスタの影響	120
12.1.3	ソフトウェアウエイトの影響	120
12.1.4	RDY信号の影響	120
12.2	DMACの転送サイクル数	122
12.3	チャンネル優先順位とDMA転送タイミング	122
13.	DMAC II	124
13.1	DMAC II の設定	124
13.1.1	RLVLレジスタ	124
13.1.2	DMAC II インデックス	126
13.1.3	周辺機能の割り込み制御レジスタ	128
13.1.4	周辺機能の可変ベクタテーブル	128
13.1.5	IIOiEレジスタ(i=0~11)のIRLTビット	128
13.2	DMAC II の動作	128
13.3	転送データ	128
13.3.1	メモリ間転送	128
13.3.2	即値転送	129
13.3.3	演算転送	129
13.4	転送方式	129
13.4.1	単転送	129
13.4.2	バースト転送	129
13.4.3	複数転送	129
13.4.4	チェーン転送	129
13.4.5	転送完了割り込み	130
13.5	実行時間	131

14. タイマ	132
14.1 タイマA	134
14.1.1 タイマモード	140
14.1.2 イベントカウンタモード	142
14.1.3 ワンショットタイマモード	146
14.1.4 パルス幅変調モード	148
14.2 タイマB	151
14.2.1 タイマモード	154
14.2.2 イベントカウンタモード	155
14.2.3 パルス周期測定モード、パルス幅測定モード	157
15. 三相モータ制御用タイマ機能	160
16. シリアルI/O	170
16.1 クロック同期形シリアルI/Oモード	180
16.1.1 CLK極性選択	184
16.1.2 LSBファースト、MSBファースト選択	184
16.1.3 連続受信モード	185
16.1.4 シリアルデータ論理切り替え	185
16.2 クロック非同期形シリアルI/O(UART)モード	186
16.2.1 転送速度	190
16.2.2 LSBファースト、MSBファースト選択	191
16.2.3 シリアルデータ論理切り替え	191
16.2.4 TXD、RXD入出力極性切り替え	192
16.3 特殊モード1(I ² Cモード)	192
16.3.1 スタートコンディション、ストップコンディションの検出	197
16.3.2 スタートコンディション、ストップコンディションの出力	198
16.3.3 アービトレーション	199
16.3.4 転送クロック	199
16.3.5 SDA出力	199
16.3.6 SDA入力	200
16.3.7 ACK、NACK	200
16.3.8 送受信初期化	200
16.4 特殊モード2	201
16.4.1 \overline{SS}_i 入力端子機能(i=0~4)	204
16.4.2 クロック位相設定機能	205

16.5	特殊モード3(GCI).....	207
16.6	特殊モード4 (IEモード)	211
16.7	特殊モード5(SIMモード).....	215
16.7.1	パリティエラー信号	219
16.7.2	フォーマット	220
17.	A/Dコンバータ	221
17.1	モードの説明	231
17.1.1	単発モード	231
17.1.2	繰り返しモード	231
17.1.3	単掃引モード	232
17.1.4	繰り返し掃引モード0	232
17.1.5	繰り返し掃引モード1	233
17.2	機能.....	233
17.2.1	分解能選択機能	233
17.2.2	サンプル&ホールド	233
17.2.3	トリガ選択機能	233
17.2.4	2回路同時スタート(ソフトウェアトリガ)	234
17.2.5	入力端子の入れ替え機能	234
17.2.6	拡張アナログ入力端子	234
17.2.7	外部オペアンプ接続	235
17.2.8	消費電流低減機能.....	235
17.2.9	アナログ入力端子と外部センサーの等価回路例	236
18.	D/Aコンバータ	237
19.	CRC演算	240
20.	X/Y変換	242
21.	インテリジェントI/O	245
21.1	ベースタイマ(グループ0~3)	261
21.2	時間計測機能(グループ0、1)	266
21.3	波形生成機能(グループ0~3)	271
21.3.1	単相波形出力モード(グループ0~3).....	273
21.3.2	反転波形出力モード(グループ0~3).....	275
21.3.3	セット-リセット波形出力(SR波形出力)モード(グループ0~3).....	277
21.3.4	ビットモジュレーションPWM出力モード(グループ2~3).....	280
21.3.5	リアルタイムポート(RTP)出力モード(グループ2~3)	282

21.3.6	並列リアルタイムポートRTP出力モード(グループ2~3)	284
21.4	グループ0、1通信機能	286
21.4.1	クロック同期形シリアルI/Oモード(グループ0、1)	293
21.4.2	クロック非同期形シリアルI/O(UART)モード(グループ0、1)	296
21.4.3	HDLCデータ処理モード(グループ0、1)	300
21.5	グループ2通信機能	303
21.5.1	可変長クロック同期形シリアルI/Oモード(グループ2)	307
21.5.2	IEBusモード(グループ2)	311
21.6	グループ3通信機能	314
21.6.1	8ビットまたは16ビット長クロック同期形シリアルI/Oモード(グループ3)	317
22.	CANモジュール	321
22.1	関連レジスタ	323
22.1.1	CAN0制御レジスタ0 (C0CTLR0レジスタ)	323
22.1.2	CAN0制御レジスタ1 (C0CTLR1レジスタ)	326
22.1.3	CAN0スリープ制御レジスタ (C0SLPRレジスタ)	327
22.1.4	CAN0ステータスレジスタ (C0STRレジスタ)	328
22.1.5	CAN0拡張IDレジスタ (C0IDRレジスタ)	330
22.1.6	CAN0コンフィグレーションレジスタ (C0CONRレジスタ)	331
22.1.7	CAN0タイムスタンプレジスタ (C0TSRレジスタ)	333
22.1.8	CAN0送信エラーカウントレジスタ (C0TECレジスタ)	333
22.1.9	CAN0受信エラーカウントレジスタ (C0RECレジスタ)	334
22.1.10	CAN0ボーレートプリスケラ (C0BRPレジスタ)	334
22.1.11	CAN0スロット割り込みステータスレジスタ(C0SISTRレジスタ)	335
22.1.12	CAN0スロット割り込みマスクレジスタ (C0SIMKRレジスタ)	337
22.1.13	CAN0エラー割り込みマスクレジスタ (C0EIMKRレジスタ)	338
22.1.14	CAN0エラー割り込みステータスレジスタ(C0EISTRレジスタ)	339
22.1.15	CAN0グローバルマスクレジスタ、CAN0ローカルマスクレジスタA、 CAN0ローカルマスクレジスタB(C0GMRj(j=0~4)、C0LMARj、C0LMBRjレジスタ)	340
22.1.16	CAN0メッセージスロットi制御レジスタ (C0MCTLiレジスタ)(i = 0 ~ 15)	343
22.1.17	CAN0スロットバッファ選択レジスタ(C0SBSレジスタ)	346
22.1.18	メッセージスロットバッファ	346
22.1.19	CAN0アクセプタンスフィルタサポートレジスタ(C0AFSレジスタ)	351
22.2	CAN関連レジスタのタイミング	352
22.2.1	CANモジュール初期化	352

22.2.2	CAN送信タイミング	352
22.2.3	CAN受信タイミング	353
22.2.4	CANバスエラータイミング	354
22.3	CAN割り込み	354
23.	DRAMC	356
23.1	DRAMCマルチプレクスアドレス出力	358
23.2	リフレッシュ	358
23.2.1	リフレッシュ	358
23.2.2	セルフリフレッシュ	358
24.	プログラマブル入出力ポート	363
24.1	ポートPi方向レジスタ(PDiレジスタ、i = 0 ~ 15)	363
24.2	ポートPiレジスタ(Piレジスタ、i = 0 ~ 15)	363
24.3	機能選択レジスタAj(PSjレジスタ、j = 0 ~ 3, 5 ~ 9)	363
24.4	機能選択レジスタBk(PSLkレジスタ、k = 0 ~ 3)	363
24.5	機能選択レジスタC(PSCレジスタ)	364
24.6	プルアップ制御レジスタ0 ~ 4(PUR0 ~ PUR4レジスタ)	364
24.7	ポート制御レジスタ(PCRレジスタ)	364
24.8	入力機能選択レジスタ(IPSレジスタ)	364
24.9	アナログ入力と他の周辺機能入力	364
25.	フラッシュメモリ版	387
25.1	メモリ配置	388
25.1.1	ブートモード	389
25.2	フラッシュメモリ書き換え禁止機能	389
25.2.1	ROMコードプロテクト機能	389
25.2.2	IDコードチェック機能	389
25.3	CPU書き換えモード	391
25.3.1	フラッシュメモリ制御レジスタ(FMR0レジスタ)	392
25.3.2	ステータスレジスタ	394
25.3.3	データ保護機能	395
25.3.4	CPU書き換えモード設定と解除方法	396
25.3.5	ソフトウェアコマンド	397
25.3.6	フルステータスチェック	403

25.3.7	CPU書き換えモードの注意事項	405
25.4	標準シリアル入出力モード	406
25.4.1	端子の機能説明	406
25.4.2	IDコードチェック機能	406
25.4.3	標準シリアル入出力モード使用上の注意	411
25.4.4	標準シリアル入出力モードの端子処理例	411
25.5	パラレル入出力モード	412
25.5.1	ブートROM領域	412
25.5.2	ROMコードプロテクト機能	412
25.5.3	パラレル入出力モード使用上の注意	412
26.	電気的特性	413
26.1	電気的特性(M32C/83)	413
26.2	電気的特性(M32C/83T)	450
27.	使用上の注意事項	459
27.1	プロセッサモード	459
27.1.1	マイクロプロセッサモード	459
27.2	バス	460
27.2.1	$\overline{\text{HOLD}}$ 信号	460
27.2.2	外部バス	460
27.3	SFR	461
27.3.1	100ピン版の注意事項	461
27.3.2	レジスタ設定時の注意事項	461
27.4	クロック発生回路	462
27.4.1	PLL周波数シンセサイザ	462
27.4.2	パワーコントロール	462
27.4.3	ウェイトモード	463
27.4.4	ストップモード	463
27.5	プロテクト	464
27.6	割り込み	465
27.6.1	ISPの設定	465
27.6.2	$\overline{\text{NMI}}$ 割り込み	465
27.6.3	$\overline{\text{INT}}$ 割り込み	465
27.6.4	ウォッチドッグタイマ割り込み	466

27.6.5	割り込み制御レジスタの変更	466
27.6.6	IIOiRレジスタの変更 (i=0 ~ 11)	466
27.6.7	RLVLレジスタの変更	466
27.7	DMAC	467
27.8	タイマ	468
27.8.1	タイマA、タイマB共通	468
27.8.2	タイマA	468
27.8.3	タイマB	470
27.9	三相モータ制御用タイマ機能	471
27.9.1	TAi, TAI1レジスタ(i=1, 2, 4)の変更	471
27.10	シリアルI/O	472
27.10.1	クロック同期形シリアルI/Oモード	472
27.10.2	UARTモード	472
27.10.3	特殊モード2	472
27.11	A/Dコンバータ	473
27.12	インテリジェントI/O	475
27.12.1	レジスタの設定	475
27.12.2	BTSRレジスタの設定	475
27.13	プログラマブル入出力ポート	476
27.14	フラッシュメモリ版	477
27.14.1	フラッシュメモリ版とマスクROM版の相違点	477
27.15	ノイズに関する注意事項	478
27.16	低電圧動作の注意事項	479

付録1. 外形寸法図	480
レジスタ索引	482

番地別ページ早見表

番地	レジスタ	掲載 ページ	番地	レジスタ	掲載 ページ
0000 ₁₆			0030 ₁₆		
0001 ₁₆			0031 ₁₆		
0002 ₁₆			0032 ₁₆		
0003 ₁₆			0033 ₁₆		
0004 ₁₆	プロセッサモードレジスタ0 (PM0)	49	0034 ₁₆		
0005 ₁₆	プロセッサモードレジスタ1 (PM1)	50	0035 ₁₆		
0006 ₁₆	システムクロック制御レジスタ0 (CM0)	67	0036 ₁₆		
0007 ₁₆	システムクロック制御レジスタ1 (CM1)	68	0037 ₁₆		
0008 ₁₆	ウェイト制御レジスタ(WCR)	58	0038 ₁₆		
0009 ₁₆	アドレス一致割り込み許可レジスタ (AIER)	106	0039 ₁₆		
000A ₁₆	プロテクトレジスタ (PRCR)	88	003A ₁₆		
000B ₁₆	外部データバス幅制御レジスタ (DS)	52	003B ₁₆		
000C ₁₆	メインクロック分周レジスタ (MCD)	69	003C ₁₆		
000D ₁₆	発振停止検出レジスタ (CM2)	70	003D ₁₆		
000E ₁₆	ウォッチドッグタイマスタートレジスタ (WDTS)	111	003E ₁₆		
000F ₁₆	ウォッチドッグタイマ制御レジスタ (WDC)		003F ₁₆		
0010 ₁₆			0040 ₁₆	DRAM制御レジスタ (DRAMCONT)	357
0011 ₁₆	アドレス一致割り込みレジスタ0 (RMAD0)	106	0041 ₁₆	DRAMリフレッシュ間隔設定レジスタ (REFCNT)	
0012 ₁₆			0042 ₁₆		
0013 ₁₆			0043 ₁₆		
0014 ₁₆			0044 ₁₆		
0015 ₁₆	アドレス一致割り込みレジスタ1 (RMAD1)	106	0045 ₁₆		
0016 ₁₆			0046 ₁₆		
0017 ₁₆	PLL用VDC制御レジスタ (PLV)	72	0047 ₁₆		
0018 ₁₆			0048 ₁₆		
0019 ₁₆	アドレス一致割り込みレジスタ2 (RMAD2)	106	0049 ₁₆		
001A ₁₆			004A ₁₆		
001B ₁₆	VDC制御レジスタ0 (VDC0)	—	004B ₁₆		
001C ₁₆			004C ₁₆		
001D ₁₆	アドレス一致割り込みレジスタ3 (RMAD3)	106	004D ₁₆		
001E ₁₆			004E ₁₆		
001F ₁₆			004F ₁₆		
0020 ₁₆			0050 ₁₆		
0021 ₁₆			0051 ₁₆		
0022 ₁₆			0052 ₁₆		
0023 ₁₆			0053 ₁₆		
0024 ₁₆			0054 ₁₆		
0025 ₁₆			0055 ₁₆		
0026 ₁₆			0056 ₁₆		
0027 ₁₆			0057 ₁₆	フラッシュメモリ制御レジスタ0 (FMR0)	392
0028 ₁₆			0058 ₁₆		
0029 ₁₆			0059 ₁₆		
002A ₁₆			005A ₁₆		
002B ₁₆			005B ₁₆		
002C ₁₆			005C ₁₆		
002D ₁₆			005D ₁₆		
002E ₁₆			005E ₁₆		
002F ₁₆			005F ₁₆		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ
0060 ₁₆			0090 ₁₆	UART0送信/NACK割り込み制御レジスタ (S0TIC)	96
0061 ₁₆			0091 ₁₆	UART1バス衝突検出割り込み制御レジスタ (BCN11C)/ UART4バス衝突検出割り込み制御レジスタ (BCN41C)	
0062 ₁₆			0092 ₁₆	UART1送信/NACK割り込み制御レジスタ (S1TIC)	
0063 ₁₆			0093 ₁₆	キー入力割り込み制御レジスタ (KUPIC)	
0064 ₁₆			0094 ₁₆	タイマB0割り込み制御レジスタ (TB0IC)	
0065 ₁₆			0095 ₁₆	インテリジェントI/O割り込み制御レジスタ1 (IIO11C)	
0066 ₁₆			0096 ₁₆	タイマB2割り込み制御レジスタ (TB2IC)	
0067 ₁₆			0097 ₁₆	インテリジェントI/O割り込み制御レジスタ3 (IIO31C)	
0068 ₁₆	DMA0割り込み制御レジスタ (DM0IC)		0098 ₁₆	タイマB4割り込み制御レジスタ (TB4IC)	
0069 ₁₆	タイマB5割り込み制御レジスタ (TB5IC)		0099 ₁₆	インテリジェントI/O割り込み制御レジスタ5 (IIO51C)	
006A ₁₆	DMA2割り込み制御レジスタ (DM2IC)	009A ₁₆	INT4割り込み制御レジスタ (INT4IC)	97	
006B ₁₆	UART2受信/ACK割り込み制御レジスタ (S2RIC)	009B ₁₆	インテリジェントI/O割り込み制御レジスタ7 (IIO71C)	96	
006C ₁₆	タイマA0割り込み制御レジスタ (TA0IC)	009C ₁₆	INT2割り込み制御レジスタ (INT2IC)	97	
006D ₁₆	UART3受信/ACK割り込み制御レジスタ (S3RIC)	009D ₁₆	インテリジェントI/O割り込み制御レジスタ9 (IIO91C)/ CAN割り込み0制御レジスタ (CAN0IC)	96	
006E ₁₆	タイマA2割り込み制御レジスタ (TA2IC)	009E ₁₆	INT0割り込み制御レジスタ (INT0IC)	97	
006F ₁₆	UART4受信/ACK割り込み制御レジスタ (S4RIC)	009F ₁₆	復帰用優先順位レジスタ (RLVL)	98	
0070 ₁₆	タイマA4割り込み制御レジスタ (TA4IC)	00A0 ₁₆	割り込み要求レジスタ0 (IIO01R)	108	
0071 ₁₆	UART0バス衝突検出割り込み制御レジスタ (BCN01C)/ UART3バス衝突検出割り込み制御レジスタ (BCN31C)	00A1 ₁₆	割り込み要求レジスタ1 (IIO11R)		
0072 ₁₆	UART0受信/ACK割り込み制御レジスタ (S0RIC)	00A2 ₁₆	割り込み要求レジスタ2 (IIO21R)		
0073 ₁₆	A/D0変換割り込み制御レジスタ (AD0IC)	00A3 ₁₆	割り込み要求レジスタ3 (IIO31R)		
0074 ₁₆	UART1受信/ACK割り込み制御レジスタ (S1RIC)	00A4 ₁₆	割り込み要求レジスタ4 (IIO41R)		
0075 ₁₆	インテリジェントI/O割り込み制御レジスタ0 (IIO01C)	00A5 ₁₆	割り込み要求レジスタ5 (IIO51R)		
0076 ₁₆	タイマB1割り込み制御レジスタ (TB11C)	00A6 ₁₆	割り込み要求レジスタ6 (IIO61R)		
0077 ₁₆	インテリジェントI/O割り込み制御レジスタ2 (IIO21C)	00A7 ₁₆	割り込み要求レジスタ7 (IIO71R)		
0078 ₁₆	タイマB3割り込み制御レジスタ (TB31C)	00A8 ₁₆	割り込み要求レジスタ8 (IIO81R)		
0079 ₁₆	インテリジェントI/O割り込み制御レジスタ4 (IIO41C)	00A9 ₁₆	割り込み要求レジスタ9 (IIO91R)		
007A ₁₆	INT5割り込み制御レジスタ (INT51C)	00AA ₁₆	割り込み要求レジスタ10 (IIO101R)	109	
007B ₁₆	インテリジェントI/O割り込み制御レジスタ6 (IIO61C)	00AB ₁₆	割り込み要求レジスタ11 (IIO111R)		
007C ₁₆	INT3割り込み制御レジスタ (INT31C)	00AC ₁₆			
007D ₁₆	インテリジェントI/O割り込み制御レジスタ8 (IIO81C)	00AD ₁₆			
007E ₁₆	INT1割り込み制御レジスタ (INT11C)	00AE ₁₆			
007F ₁₆	インテリジェントI/O割り込み制御レジスタ10 (IIO101C)/ CAN割り込み1制御レジスタ (CAN11C)	00AF ₁₆			
0080 ₁₆		00B0 ₁₆	割り込み許可レジスタ0 (IIO01E)		
0081 ₁₆	インテリジェントI/O割り込み制御レジスタ11 (IIO111C)/ CAN割り込み2制御レジスタ (CAN21C)	00B1 ₁₆	割り込み許可レジスタ1 (IIO11E)		
0082 ₁₆		00B2 ₁₆	割り込み許可レジスタ2 (IIO21E)		
0083 ₁₆		00B3 ₁₆	割り込み許可レジスタ3 (IIO31E)		
0084 ₁₆		00B4 ₁₆	割り込み許可レジスタ4 (IIO41E)		
0085 ₁₆		00B5 ₁₆	割り込み許可レジスタ5 (IIO51E)		
0086 ₁₆	A/D1割り込み制御レジスタ (AD11C)	00B6 ₁₆	割り込み許可レジスタ6 (IIO61E)		
0087 ₁₆		00B7 ₁₆	割り込み許可レジスタ7 (IIO71E)		
0088 ₁₆	DMA1割り込み制御レジスタ (DM11C)	00B8 ₁₆	割り込み許可レジスタ8 (IIO81E)		
0089 ₁₆	UART2送信/NACK割り込み制御レジスタ (S2TIC)	00B9 ₁₆	割り込み許可レジスタ9 (IIO91E)		
008A ₁₆	DMA3割り込み制御レジスタ (DM31C)	00BA ₁₆	割り込み許可レジスタ10 (IIO101E)		
008B ₁₆	UART3送信/NACK割り込み制御レジスタ (S3TIC)	00BB ₁₆	割り込み許可レジスタ11 (IIO111E)		
008C ₁₆	タイマA1割り込み制御レジスタ (TA11C)	00BC ₁₆			
008D ₁₆	UART4送信/NACK割り込み制御レジスタ (S4TIC)	00BD ₁₆			
008E ₁₆	タイマA3割り込み制御レジスタ (TA31C)	00BE ₁₆			
008F ₁₆	UART2バス衝突検出割り込み制御レジスタ (BCN21C)	00BF ₁₆			

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ
00C016	グループ0時間計測レジスタ0 (G0TM0)/	256/ 258	00F016	グループ0データ比較レジスタ0 (G0CMP0)	292
00C116	グループ0波形生成レジスタ0 (G0PO0)		00F116	グループ0データ比較レジスタ1 (G0CMP1)	
00C216	グループ0時間計測レジスタ1 (G0TM1)/		00F216	グループ0データ比較レジスタ2 (G0CMP2)	
00C316	グループ0波形生成レジスタ1 (G0PO1)		00F316	グループ0データ比較レジスタ3 (G0CMP3)	
00C416	グループ0時間計測レジスタ2 (G0TM2)/		00F416	グループ0データマスクレジスタ0 (G0MSK0)	
00C516	グループ0波形生成レジスタ2 (G0PO2)		00F516	グループ0データマスクレジスタ1 (G0MSK1)	
00C616	グループ0時間計測レジスタ3 (G0TM3)/		00F616		
00C716	グループ0波形生成レジスタ3 (G0PO3)		00F716		
00C816	グループ0時間計測レジスタ4 (G0TM4)/		00F816	グループ0受信CRCコードレジスタ (G0RCRC)	292
00C916	グループ0波形生成レジスタ4 (G0PO4)		00F916		
00CA16	グループ0時間計測レジスタ5 (G0TM5)/		00FA16	グループ0送信CRCコードレジスタ (G0TCRC)	
00CB16	グループ0波形生成レジスタ5 (G0PO5)		00FB16		
00CC16	グループ0時間計測レジスタ6 (G0TM6)/		00FC16	グループ0SI/O拡張モードレジスタ (G0EMR)	289
00CD16	グループ0波形生成レジスタ6 (G0PO6)		00FD16	グループ0SI/O拡張受信制御レジスタ (G0ERC)	290
00CE16	グループ0時間計測レジスタ7 (G0TM7)/		00FE16	グループ0SI/O特殊通信割り込み判別レジスタ (G0IRF)	291
00CF16	グループ0波形生成レジスタ7 (G0PO7)		00FF16	グループ0SI/O拡張送信制御レジスタ (G0ETC)	289
00D016	グループ0波形生成制御レジスタ0 (G0POCR0)	256	010016	グループ1時間計測レジスタ0 (G1TM0)/	256/ 258
00D116	グループ0波形生成制御レジスタ1 (G0POCR1)		010116	グループ1波形生成レジスタ0 (G1PO0)	
00D216	グループ0波形生成制御レジスタ2 (G0POCR2)		010216	グループ1時間計測レジスタ1 (G1TM1)/	
00D316	グループ0波形生成制御レジスタ3 (G0POCR3)		010316	グループ1波形生成レジスタ1 (G1PO1)	
00D416	グループ0波形生成制御レジスタ4 (G0POCR4)		010416	グループ1時間計測レジスタ2 (G1TM2)/	
00D516	グループ0波形生成制御レジスタ5 (G0POCR5)		010516	グループ1波形生成レジスタ2 (G1PO2)	
00D616	グループ0波形生成制御レジスタ6 (G0POCR6)		010616	グループ1時間計測レジスタ3 (G1TM3)/	
00D716	グループ0波形生成制御レジスタ7 (G0POCR7)	010716	グループ1波形生成レジスタ3 (G1PO3)		
00D816	グループ0時間計測制御レジスタ0 (G0TMCR0)	255	010816	グループ1時間計測レジスタ4 (G1TM4)/	
00D916	グループ0時間計測制御レジスタ1 (G0TMCR1)		010916	グループ1波形生成レジスタ4 (G1PO4)	
00DA16	グループ0時間計測制御レジスタ2 (G0TMCR2)		010A16	グループ1時間計測レジスタ5 (G1TM5)/	
00DB16	グループ0時間計測制御レジスタ3 (G0TMCR3)		010B16	グループ1波形生成レジスタ5 (G1PO5)	
00DC16	グループ0時間計測制御レジスタ4 (G0TMCR4)		010C16	グループ1時間計測レジスタ6 (G1TM6)/	
00DD16	グループ0時間計測制御レジスタ5 (G0TMCR5)		010D16	グループ1波形生成レジスタ6 (G1PO6)	
00DE16	グループ0時間計測制御レジスタ6 (G0TMCR6)		010E16	グループ1時間計測レジスタ7 (G1TM7)/	
00DF16	グループ0時間計測制御レジスタ7 (G0TMCR7)		010F16	グループ1波形生成レジスタ7 (G1PO7)	
00E016	グループ0ベースタイムレジスタ (G0BT)	250	011016	グループ1波形生成制御レジスタ0 (G1POCR0)	256
00E116				011116	
00E216	グループ0ベースタイム制御レジスタ0 (G0BCR0)	251	011216	グループ1波形生成制御レジスタ2 (G1POCR2)	
00E316	グループ0ベースタイム制御レジスタ1 (G0BCR1)	255	011316	グループ1波形生成制御レジスタ3 (G1POCR3)	
00E416	グループ0時間計測プリスケアラレジスタ6 (G0TPR6)	259	011416	グループ1波形生成制御レジスタ4 (G1POCR4)	
00E516	グループ0時間計測プリスケアラレジスタ7 (G0TPR7)		011516	グループ1波形生成制御レジスタ5 (G1POCR5)	
00E616	グループ0機能許可レジスタ (G0FE)		011616	グループ1波形生成制御レジスタ6 (G1POCR6)	
00E716	グループ0機能選択レジスタ (G0FS)		011716	グループ1波形生成制御レジスタ7 (G1POCR7)	
00E816	グループ0SI/O受信バッファレジスタ (G0RB)	288	011816	グループ1時間計測制御レジスタ0 (G1TMCR0)	255
00E916				011916	
00EA16	グループ0送信バッファ/受信データレジスタ (G0TB/G0DR)	291	011A16	グループ1時間計測制御レジスタ2 (G1TMCR2)	
00EB16			011B16	グループ1時間計測制御レジスタ3 (G1TMCR3)	
00EC16	グループ0受信入力レジスタ (G0RI)	286	011C16	グループ1時間計測制御レジスタ4 (G1TMCR4)	
00ED16	グループ0SI/O通信モードレジスタ (G0MR)	288	011D16	グループ1時間計測制御レジスタ5 (G1TMCR5)	
00EE16	グループ0送信出力レジスタ (G0TO)	286	011E16	グループ1時間計測制御レジスタ6 (G1TMCR6)	
00EF16	グループ0SI/O通信制御レジスタ (G0CR)	287	011F16	グループ1時間計測制御レジスタ7 (G1TMCR7)	

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ
0120 ₁₆	グループ1ベースタイムレジスタ (G1BT)	250	0150 ₁₆	グループ2波形生成制御レジスタ0 (G2POCR0)	257
0121 ₁₆			0151 ₁₆	グループ2波形生成制御レジスタ1 (G2POCR1)	
0122 ₁₆			グループ1ベースタイム制御レジスタ0 (G1BCR0)	0152 ₁₆	
0123 ₁₆	グループ1ベースタイム制御レジスタ1 (G1BCR1)	251	0153 ₁₆	グループ2波形生成制御レジスタ3 (G2POCR3)	
0124 ₁₆	グループ1時間計測プリスケアラレジスタ6 (G1TPR6)	255	0154 ₁₆	グループ2波形生成制御レジスタ4 (G2POCR4)	
0125 ₁₆	グループ1時間計測プリスケアラレジスタ7 (G1TPR7)		0155 ₁₆	グループ2波形生成制御レジスタ5 (G2POCR5)	
0126 ₁₆	グループ1機能許可レジスタ (G1FE)	259	0156 ₁₆	グループ2波形生成制御レジスタ6 (G2POCR6)	
0127 ₁₆	グループ1機能選択レジスタ (G1FS)		0157 ₁₆	グループ2波形生成制御レジスタ7 (G2POCR7)	
0128 ₁₆	グループ1SI/O受信バッファレジスタ (G1RB)	288	0158 ₁₆		
0129 ₁₆			0159 ₁₆		
012A ₁₆	グループ1送信バッファ/受信データレジスタ (G1TB/G1DR)	291	015A ₁₆		
012B ₁₆			015B ₁₆		
012C ₁₆	グループ1受信入力レジスタ (G1RI)	286	015C ₁₆		
012D ₁₆	グループ1SI/O通信モードレジスタ (G1MR)	288	015D ₁₆		
012E ₁₆	グループ1送信出力レジスタ (G1TO)	286	015E ₁₆		
012F ₁₆	グループ1SI/O通信制御レジスタ (G1CR)	287	015F ₁₆		
0130 ₁₆	グループ1データ比較レジスタ0 (G1CMP0)	292	0160 ₁₆	グループ2ベースタイムレジスタ (G2BT)	250
0131 ₁₆	グループ1データ比較レジスタ1 (G1CMP1)		0161 ₁₆		
0132 ₁₆	グループ1データ比較レジスタ2 (G1CMP2)		0162 ₁₆	グループ2ベースタイム制御レジスタ0 (G2BCR0)	252
0133 ₁₆	グループ1データ比較レジスタ3 (G1CMP3)		0163 ₁₆	グループ2ベースタイム制御レジスタ1 (G2BCR1)	254
0134 ₁₆	グループ1データマスクレジスタ0 (G1MSK0)		0164 ₁₆	ベースタイムスタートレジスタ (BTSR)	
0135 ₁₆	グループ1データマスクレジスタ1 (G1MSK1)		0165 ₁₆		
0136 ₁₆			0166 ₁₆	グループ2機能許可レジスタ (G2FE)	259
0137 ₁₆			0167 ₁₆	グループ2RTP出力バッファレジスタ (G2RTP)	260
0138 ₁₆	グループ1受信CRCコードレジスタ (G1RCRC)	292	0168 ₁₆		
0139 ₁₆			0169 ₁₆		
013A ₁₆	グループ1送信CRCコードレジスタ (G1TCRC)	289	016A ₁₆	グループ2SI/O通信モードレジスタ (G2MR)	304
013B ₁₆			016B ₁₆	グループ2SI/O通信制御レジスタ (G2CR)	
013C ₁₆	グループ1SI/O拡張モードレジスタ (G1EMR)	290	016C ₁₆	グループ2SI/O送信バッファレジスタ (G2TB)	303
013D ₁₆	グループ1SI/O拡張受信制御レジスタ (G1ERC)	291	016D ₁₆		
013E ₁₆	グループ1SI/O特殊通信割り込み判別レジスタ (G1IRF)	289	016E ₁₆	グループ2SI/O受信バッファレジスタ (G2RB)	305
013F ₁₆	グループ1SI/O拡張送信制御レジスタ (G1ETC)		016F ₁₆		
0140 ₁₆	グループ2波形生成レジスタ0 (G2PO0)	258	0170 ₁₆	グループ2SI/OIE Busアドレスレジスタ (IEAR)	306
0141 ₁₆			0171 ₁₆		
0142 ₁₆	グループ2波形生成レジスタ1 (G2PO1)	258	0172 ₁₆	グループ2IE Bus制御レジスタ (IECR)	380
0143 ₁₆			0173 ₁₆	グループ2IE Bus送信割り込み要因判別レジスタ (IETIF)	
0144 ₁₆	グループ2波形生成レジスタ2 (G2PO2)	258	0174 ₁₆	グループ2IE Bus受信割り込み要因判別レジスタ (IERIF)	315
0145 ₁₆			0175 ₁₆		
0146 ₁₆	グループ2波形生成レジスタ3 (G2PO3)	258	0176 ₁₆		314
0147 ₁₆			0177 ₁₆		
0148 ₁₆	グループ2波形生成レジスタ4 (G2PO4)	258	0178 ₁₆	入力機能選択レジスタ (IPS)	315
0149 ₁₆			0179 ₁₆		
014A ₁₆	グループ2波形生成レジスタ5 (G2PO5)	258	017A ₁₆	グループ3SI/O通信モードレジスタ (G3MR)	314
014B ₁₆			017B ₁₆	グループ3SI/O通信制御レジスタ (G3CR)	
014C ₁₆	グループ2波形生成レジスタ6 (G2PO6)	258	017C ₁₆	グループ3SI/O送信バッファレジスタ (G3TB)	314
014D ₁₆			017D ₁₆		
014E ₁₆	グループ2波形生成レジスタ7 (G2PO7)	258	017E ₁₆	グループ3SI/O受信バッファレジスタ (G3RB)	314
014F ₁₆			017F ₁₆		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ
0180 ₁₆	グループ3波形生成レジスタ (G3PO0)	258	01B0 ₁₆		
0181 ₁₆			01B1 ₁₆		
0182 ₁₆	グループ3波形生成レジスタ (G3PO1)		01B2 ₁₆		
0183 ₁₆			01B3 ₁₆		
0184 ₁₆	グループ3波形生成レジスタ (G3PO2)		01B4 ₁₆		
0185 ₁₆			01B5 ₁₆		
0186 ₁₆	グループ3波形生成レジスタ (G3PO3)		01B6 ₁₆		
0187 ₁₆			01B7 ₁₆		
0188 ₁₆	グループ3波形生成レジスタ (G3PO4)		01B8 ₁₆		
0189 ₁₆			01B9 ₁₆		
018A ₁₆	グループ3波形生成レジスタ (G3PO5)		01BA ₁₆		
018B ₁₆			01BB ₁₆		
018C ₁₆	グループ3波形生成レジスタ (G3PO6)		01BC ₁₆		
018D ₁₆			01BD ₁₆		
018E ₁₆	グループ3波形生成レジスタ (G3PO7)		01BE ₁₆		
018F ₁₆			01BF ₁₆		
0190 ₁₆	グループ3波形生成制御レジスタ (G3POCR0)	257	01C0 ₁₆	A/D1レジスタ0 (AD10)	230
0191 ₁₆	グループ3波形生成制御レジスタ (G3POCR1)		01C1 ₁₆		
0192 ₁₆	グループ3波形生成制御レジスタ (G3POCR2)		01C2 ₁₆	A/D1レジスタ1 (AD11)	
0193 ₁₆	グループ3波形生成制御レジスタ (G3POCR3)		01C3 ₁₆		
0194 ₁₆	グループ3波形生成制御レジスタ (G3POCR4)		01C4 ₁₆	A/D1レジスタ2 (AD12)	
0195 ₁₆	グループ3波形生成制御レジスタ (G3POCR5)		01C5 ₁₆		
0196 ₁₆	グループ3波形生成制御レジスタ (G3POCR6)		01C6 ₁₆	A/D1レジスタ3 (AD13)	
0197 ₁₆	グループ3波形生成制御レジスタ (G3POCR7)	01C7 ₁₆			
0198 ₁₆	グループ3波形生成マスクレジスタ4 (G3MK4)	258	01C8 ₁₆	A/D1レジスタ4 (AD14)	
0199 ₁₆			01C9 ₁₆		
019A ₁₆	グループ3波形生成マスクレジスタ5 (G3MK5)		01CA ₁₆	A/D1レジスタ5 (AD15)	
019B ₁₆			01CB ₁₆		
019C ₁₆	グループ3波形生成マスクレジスタ6 (G3MK6)		01CC ₁₆	A/D1レジスタ6 (AD16)	
019D ₁₆			01CD ₁₆		
019E ₁₆	グループ3波形生成マスクレジスタ7 (G3MK7)		01CE ₁₆	A/D1レジスタ7 (AD17)	
019F ₁₆		01CF ₁₆			
01A0 ₁₆	グループ3ベースタイマレジスタ (G3BT)	250	01D0 ₁₆		
01A1 ₁₆			01D1 ₁₆		
01A2 ₁₆	グループ3ベースタイマ制御レジスタ0 (G3BCR0)		01D2 ₁₆		
01A3 ₁₆	グループ3ベースタイマ制御レジスタ1 (G3BCR1)	253	01D3 ₁₆		
01A4 ₁₆			01D4 ₁₆		A/D1制御レジスタ2 (AD1CON2)
01A5 ₁₆			01D5 ₁₆		
01A6 ₁₆	グループ3機能許可レジスタ (G3FE)	259	01D6 ₁₆	A/D1制御レジスタ0 (AD1CON0)	228
01A7 ₁₆	グループ3RTP出力バッファレジスタ (G3RTP)	260	01D7 ₁₆	A/D1制御レジスタ1 (AD1CON1)	229
01A8 ₁₆			01D8 ₁₆		
01A9 ₁₆			01D9 ₁₆		
01AA ₁₆			01DA ₁₆		
01AB ₁₆			01DB ₁₆		
01AC ₁₆			01DC ₁₆		
01AD ₁₆	グループ3SI/O通信フラグレジスタ (G3FLG)	316	01DD ₁₆		
01AE ₁₆			01DE ₁₆		
01AF ₁₆			01DF ₁₆		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載 ページ	番地	レジスタ	掲載 ページ
01E016	CAN0メッセージスロットバッファ0標準ID0 (C0SLOT0_0)	347	021016	CAN0スロット割り込みマスクレジスタ (C0SIMKR)	337
01E116	CAN0メッセージスロットバッファ0標準ID1 (C0SLOT0_1)				
01E216	CAN0メッセージスロットバッファ0拡張ID0 (C0SLOT0_2)	348	021216		
01E316	CAN0メッセージスロットバッファ0拡張ID1 (C0SLOT0_3)				
01E416	CAN0メッセージスロットバッファ0拡張ID2 (C0SLOT0_4)	349	021416	CAN0エラー割り込みマスクレジスタ (C0EIMKR)	338
01E516	CAN0メッセージスロットバッファ0データ長コード (C0SLOT0_5)		021516	CAN0エラー割り込みステータスレジスタ (C0EISTR)	339
01E616	CAN0メッセージスロットバッファ0データ0 (C0SLOT0_6)	350	021616	CAN0ボーレートプリスケアラ (C0BRP)	334
01E716	CAN0メッセージスロットバッファ0データ1 (C0SLOT0_7)				
01E816	CAN0メッセージスロットバッファ0データ2 (C0SLOT0_8)				
01E916	CAN0メッセージスロットバッファ0データ3 (C0SLOT0_9)				
01EA16	CAN0メッセージスロットバッファ0データ4 (C0SLOT0_10)				
01EB16	CAN0メッセージスロットバッファ0データ5 (C0SLOT0_11)				
01EC16	CAN0メッセージスロットバッファ0データ6 (C0SLOT0_12)				
01ED16	CAN0メッセージスロットバッファ0データ7 (C0SLOT0_13)				
01EE16	CAN0メッセージスロットバッファ0タイムスタンプ上位 (C0SLOT0_14)				
01EF16	CAN0メッセージスロットバッファ0タイムスタンプ下位 (C0SLOT0_15)				
01F016	CAN0メッセージスロットバッファ1標準ID0 (C0SLOT1_0)	347	022016		
01F116	CAN0メッセージスロットバッファ1標準ID1 (C0SLOT1_1)				
01F216	CAN0メッセージスロットバッファ1拡張ID0 (C0SLOT1_2)	348	022216		
01F316	CAN0メッセージスロットバッファ1拡張ID1 (C0SLOT1_3)				
01F416	CAN0メッセージスロットバッファ1拡張ID2 (C0SLOT1_4)	349	022416		
01F516	CAN0メッセージスロットバッファ1データ長コード (C0SLOT1_5)		022516		
01F616	CAN0メッセージスロットバッファ1データ0 (C0SLOT1_6)	350	022616	CAN0グローバルマスクレジスタ標準ID0 (C0GMRO)	340
01F716	CAN0メッセージスロットバッファ1データ1 (C0SLOT1_7)				
01F816	CAN0メッセージスロットバッファ1データ2 (C0SLOT1_8)				
01F916	CAN0メッセージスロットバッファ1データ3 (C0SLOT1_9)				
01FA16	CAN0メッセージスロットバッファ1データ4 (C0SLOT1_10)				
01FB16	CAN0メッセージスロットバッファ1データ5 (C0SLOT1_11)				
01FC16	CAN0メッセージスロットバッファ1データ6 (C0SLOT1_12)				
01FD16	CAN0メッセージスロットバッファ1データ7 (C0SLOT1_13)				
01FE16	CAN0メッセージスロットバッファ1タイムスタンプ上位 (C0SLOT1_14)				
01FF16	CAN0メッセージスロットバッファ1タイムスタンプ下位 (C0SLOT1_15)				
020016	CAN0制御レジスタ0 (C0CTRL0)	323	023016	CAN0メッセージスロット0制御レジスタ (C0MCTL0)/ CAN0ローカルマスクレジスタA標準ID0 (C0LMAR0)	343/ 340
020116					
020216	CAN0ステータスレジスタ (C0STR)	328	023116	CAN0メッセージスロット1制御レジスタ (C0MCTL1)/ CAN0ローカルマスクレジスタA標準ID1 (C0LMAR1)	343/ 341
020316					
020416	CAN0拡張IDレジスタ (C0IDR)	330	023216	CAN0メッセージスロット2制御レジスタ (C0MCTL2)/ CAN0ローカルマスクレジスタA拡張ID0 (C0LMAR2)	341
020516					
020616	CAN0コンフィグレーションレジスタ (C0CONR)	331	023316	CAN0メッセージスロット3制御レジスタ (C0MCTL3)/ CAN0ローカルマスクレジスタA拡張ID1 (C0LMAR3)	343/ 342
020716					
020816	CAN0タイムスタンプレジスタ (C0TSR)	333	023416	CAN0メッセージスロット4制御レジスタ (C0MCTL4)/ CAN0ローカルマスクレジスタA拡張ID2 (C0LMAR4)	343
020916					
020A16	CAN0送信エラーカウントレジスタ (C0TEC)	334	023516	CAN0メッセージスロット5制御レジスタ (C0MCTL5)	343
020B16	CAN0受信エラーカウントレジスタ (C0REC)				
020C16	CAN0スロット割り込みステータスレジスタ (C0SISTR)	335	023616	CAN0メッセージスロット6制御レジスタ (C0MCTL6)	343
020D16					
020E16			023716	CAN0メッセージスロット7制御レジスタ (C0MCTL7)	
020F16			023816	CAN0メッセージスロット8制御レジスタ (C0MCTL8)/ CAN0ローカルマスクレジスタB標準ID0 (C0LMBR0)	343/ 340

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載 ページ	番地	レジスタ	掲載 ページ
0239 ₁₆	CAN0メッセージスロット9制御レジスタ (COMCTL9)/ CAN0ローカルマスクレジスタB標準ID1 (COLMBR1)	343/ 341	02C0 ₁₆ 02C1 ₁₆	X0レジスタ Y0レジスタ (X0R,Y0R)	243
023A ₁₆	CAN0メッセージスロット10制御レジスタ (COMCTL10)/ CAN0ローカルマスクレジスタB拡張ID0 (COLMBR2)	342	02C2 ₁₆ 02C3 ₁₆	X1レジスタ Y1レジスタ (X1R,Y1R)	
023B ₁₆	CAN0メッセージスロット11制御レジスタ (COMCTL11)/ CAN0ローカルマスクレジスタB拡張ID1 (COLMBR3)	343/ 342	02C4 ₁₆ 02C5 ₁₆	X2レジスタ Y2レジスタ (X2R,Y2R)	
023C ₁₆	CAN0メッセージスロット12制御レジスタ (COMCTL12)/ CAN0ローカルマスクレジスタB拡張ID2 (COLMBR4)	343	02C6 ₁₆ 02C7 ₁₆	X3レジスタ Y3レジスタ (X3R,Y3R)	
023D ₁₆	CAN0メッセージスロット13制御レジスタ (COMCTL13)	346	02C8 ₁₆ 02C9 ₁₆	X4レジスタ Y4レジスタ (X4R,Y4R)	
023E ₁₆	CAN0メッセージスロット14制御レジスタ (COMCTL14)		02CA ₁₆ 02CB ₁₆	X5レジスタ Y5レジスタ (X5R,Y5R)	
023F ₁₆	CAN0メッセージスロット15制御レジスタ (COMCTL15)		02CC ₁₆ 02CD ₁₆	X6レジスタ Y6レジスタ (X6R,Y6R)	
0240 ₁₆	CAN0スロットバッファ選択レジスタ (COSBS)	326	02CE ₁₆ 02CF ₁₆	X7レジスタ Y7レジスタ (X7R,Y7R)	
0241 ₁₆	CAN0制御レジスタ1 (COCTLR1)	327	02D0 ₁₆ 02D1 ₁₆	X8レジスタ Y8レジスタ (X8R,Y8R)	
0242 ₁₆	CAN0スリープ制御レジスタ (COSLPR)	351	02D2 ₁₆ 02D3 ₁₆	X9レジスタ Y9レジスタ (X9R,Y9R)	
0243 ₁₆			02D4 ₁₆ 02D5 ₁₆	X10レジスタ Y10レジスタ (X10R,Y10R)	
0244 ₁₆	CAN0アクセプタンスフィルタサポートレジスタ (COAFS)		02D6 ₁₆ 02D7 ₁₆	X11レジスタ Y11レジスタ (X11R,Y11R)	
0245 ₁₆			02D8 ₁₆ 02D9 ₁₆	X12レジスタ Y12レジスタ (X12R,Y12R)	
0246 ₁₆			02DA ₁₆ 02DB ₁₆	X13レジスタ Y13レジスタ (X13R,Y13R)	
0247 ₁₆			02DC ₁₆ 02DD ₁₆	X14レジスタ Y14レジスタ (X14R,Y14R)	
0248 ₁₆			02DE ₁₆ 02DF ₁₆	X15レジスタ Y15レジスタ (X15R,Y15R)	
0249 ₁₆			02E0 ₁₆	XY制御レジスタ (XYC)	
024A ₁₆			02E1 ₁₆		
024B ₁₆			02E2 ₁₆		
024C ₁₆			02E3 ₁₆		
024D ₁₆			02E4 ₁₆	UART1特殊モードレジスタ4 (U1SMR4)	
024E ₁₆			02E5 ₁₆	UART1特殊モードレジスタ3 (U1SMR3)	
024F ₁₆			02E6 ₁₆	UART1特殊モードレジスタ2 (U1SMR2)	
0250 ₁₆			02E7 ₁₆	UART1特殊モードレジスタ (U1SMR)	
0251 ₁₆			02E8 ₁₆	UART1送受信モードレジスタ (U1MR)	
0252 ₁₆		02E9 ₁₆	UART1転送速度レジスタ (U1BRG)		
0253 ₁₆		02EA ₁₆ 02EB ₁₆	UART1送信バッファレジスタ (U1TB)		
0254 ₁₆		02EC ₁₆	UART1送受信制御レジスタ0 (U1C0)		
0255 ₁₆		02ED ₁₆	UART1送受信制御レジスタ1 (U1C1)		
0256 ₁₆		02EE ₁₆ 02EF ₁₆	UART1受信バッファレジスタ (U1RB)		
0257 ₁₆					
0258 ₁₆					
0259 ₁₆					
025A ₁₆					
025B ₁₆					
025C ₁₆					
025D ₁₆					
025E ₁₆					
025F ₁₆					
0260 ₁₆					
0261 ₁₆					
0262 ₁₆					
02BF ₁₆					

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ	
02F016			032016			
02F116			032116			
02F216			032216			
02F316			032316			
02F416	UART4特殊モードレジスタ4 (U4SMR4)	178	032416	UART3特殊モードレジスタ4 (U3SMR4)	178	
02F516	UART4特殊モードレジスタ3 (U4SMR3)	177	032516	UART3特殊モードレジスタ3 (U3SMR3)	177	
02F616	UART4特殊モードレジスタ2 (U4SMR2)	176	032616	UART3特殊モードレジスタ2 (U3SMR2)	176	
02F716	UART4特殊モードレジスタ (U4SMR)	175	032716	UART3特殊モードレジスタ (U3SMR)	175	
02F816	UART4送受信モードレジスタ (U4MR)	173	032816	UART3送受信モードレジスタ (U3MR)	173	
02F916	UART4転送速度レジスタ (U4BRG)		032916	UART3転送速度レジスタ (U3BRG)		
02FA16	UART4送信バッファレジスタ (U4TB)	172	032A16	UART3送信バッファレジスタ (U3TB)	172	
02FB16			032B16			
02FC16	UART4送受信制御レジスタ0 (U4C0)	174	032C16	UART3送受信制御レジスタ0 (U3C0)	174	
02FD16	UART4送受信制御レジスタ1 (U4C1)	175	032D16	UART3送受信制御レジスタ1 (U3C1)	175	
02FE16	UART4受信バッファレジスタ (U4RB)	172	032E16	UART3受信バッファレジスタ (U3RB)	172	
02FF16			032F16			
030016	タイマB3,4,5カウント開始フラグ (TBSR)	153	033016			
030116			033116			
030216	タイマA1-1レジスタ (TA11)	165	033216			
030316			033316			
030416	タイマA2-1レジスタ (TA21)		033416	UART2特殊モードレジスタ4 (U2SMR4)	178	
030516			033516	UART2特殊モードレジスタ3 (U2SMR3)	177	
030616	タイマA4-1レジスタ (TA41)		033616	UART2特殊モードレジスタ2 (U2SMR2)	176	
030716			033716	UART2特殊モードレジスタ (U2SMR)	175	
030816	三相PWM制御レジスタ0 (INVC0)	162	033816	UART2送受信モードレジスタ (U2MR)	173	
030916	三相PWM制御レジスタ1 (INVC1)	163	033916	UART2転送速度レジスタ (U2BRG)		
030A16	三相出力バッファレジスタ0 (IDB0)	164	033A16	UART2送信バッファレジスタ (U2TB)	172	
030B16	三相出力バッファレジスタ1 (IDB1)		033B16			
030C16	短絡防止タイマ (DTT)	164	033C16	UART2送受信制御レジスタ0 (U2C0)	174	
030D16	タイマB2割り込み発生頻度設定カウンタ (ICTB2)	165	033D16	UART2送受信制御レジスタ1 (U2C1)	175	
030E16			033E16	UART2受信バッファレジスタ (U2RB)	172	
030F16			033F16			
031016	タイマB3レジスタ (TB3)	151	034016	カウント開始フラグ (TABSR)	136	
031116			034116	時計用プリスケアラセットフラグ (CPSRF)	71	
031216	タイマB4レジスタ (TB4)		034216	ワンショット開始フラグ (ONSF)	137	
031316			034316	トリガ選択レジスタ (TRGSR)	138	
031416	タイマB5レジスタ (TB5)		034416	アップダウンフラグ (UDF)	137	
031516			034516			
031616			034616	タイマA0レジスタ (TA0)	135	
031716			034716			
031816			034816	タイマA1レジスタ (TA1)		
031916			034916			
031A16			034A16	タイマA2レジスタ (TA2)		
031B16	タイマB3モードレジスタ (TB3MR)	152	034B16			
031C16	タイマB4モードレジスタ (TB4MR)		034C16	タイマA3レジスタ (TA3)		
031D16	タイマB5モードレジスタ (TB5MR)		034D16			
031E16			034E16	タイマA4レジスタ (TA4)		
031F16	外部割り込み要因選択レジスタ (IFSR)	104	034F16			

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載 ページ	番地	レジスタ	掲載 ページ
0350 ¹⁶ 0351 ¹⁶	タイマB0レジスタ (TB0)	151	0380 ¹⁶ 0381 ¹⁶	A/D0レジスタ0 (AD00)	227
0352 ¹⁶ 0353 ¹⁶	タイマB1レジスタ (TB1)		0382 ¹⁶ 0383 ¹⁶	A/D0レジスタ1 (AD01)	
0354 ¹⁶ 0355 ¹⁶	タイマB2レジスタ (TB2)		0384 ¹⁶ 0385 ¹⁶	A/D0レジスタ2 (AD02)	
0356 ¹⁶ 0357 ¹⁶	タイマA0モードレジスタ (TA0MR) タイマA1モードレジスタ (TA1MR)	136	0386 ¹⁶ 0387 ¹⁶	A/D0レジスタ3 (AD03)	
0358 ¹⁶ 0359 ¹⁶	タイマA2モードレジスタ (TA2MR) タイマA3モードレジスタ (TA3MR)		0388 ¹⁶ 0389 ¹⁶	A/D0レジスタ4 (AD04)	
035A ¹⁶ 035B ¹⁶	タイマA4モードレジスタ (TA4MR) タイマB0モードレジスタ (TB0MR)		038A ¹⁶ 038B ¹⁶	A/D0レジスタ5 (AD05)	
035C ¹⁶ 035D ¹⁶	タイマB1モードレジスタ (TB1MR) タイマB2モードレジスタ (TB2MR)		038C ¹⁶ 038D ¹⁶	A/D0レジスタ6 (AD06)	
035E ¹⁶	タイマB2特殊モードレジスタ (TB2SC)	165	038E ¹⁶ 038F ¹⁶	A/D0レジスタ7 (AD07)	
035F ¹⁶	カウントソースプリスケアラレジスタ (TCSPR)	71	0390 ¹⁶ 0391 ¹⁶ 0392 ¹⁶ 0393 ¹⁶		
0360 ¹⁶ 0361 ¹⁶ 0362 ¹⁶ 0363 ¹⁶			0394 ¹⁶	A/D0制御レジスタ2 (AD0CON2)	227
0364 ¹⁶	UART0特殊モードレジスタ4 (U0SMR4)	178	0395 ¹⁶		
0365 ¹⁶	UART0特殊モードレジスタ3 (U0SMR3)	177	0396 ¹⁶	A/D0制御レジスタ0 (AD0CON0)	225
0366 ¹⁶	UART0特殊モードレジスタ2 (U0SMR2)	176	0397 ¹⁶	A/D0制御レジスタ1 (AD0CON1)	226
0367 ¹⁶	UART0特殊モードレジスタ (U0SMR)	175	0398 ¹⁶	D/Aレジスタ0 (DA0)	239
0368 ¹⁶	UART0送受信モードレジスタ (U0MR)	173	0399 ¹⁶		
0369 ¹⁶	UART0転送速度レジスタ (U0BRG)		039A ¹⁶ 039B ¹⁶	D/Aレジスタ1 (DA1)	239
036A ¹⁶ 036B ¹⁶	UART0送信バッファレジスタ (U0TB)	172	039C ¹⁶	D/A制御レジスタ (DA0CON)	239
036C ¹⁶	UART0送受信制御レジスタ0 (U0C0)	174	039D ¹⁶ 039E ¹⁶ 039F ¹⁶		
036D ¹⁶	UART0送受信制御レジスタ1 (U0C1)	175			
036E ¹⁶ 036F ¹⁶	UART0受信バッファレジスタ (U0RB)	172			
0370 ¹⁶ 0371 ¹⁶ 0372 ¹⁶ 0373 ¹⁶ 0374 ¹⁶ 0375 ¹⁶					
0376 ¹⁶	PLL制御レジスタ0 (PLC0)	72			
0377 ¹⁶	PLL制御レジスタ1 (PLC1)	73			
0378 ¹⁶ 0379 ¹⁶ 037A ¹⁶ 037B ¹⁶	DMA0要因選択レジスタ (DM0SL) DMA1要因選択レジスタ (DM1SL) DMA2要因選択レジスタ (DM2SL) DMA3要因選択レジスタ (DM3SL)	115			
037C ¹⁶ 037D ¹⁶	CRCデータレジスタ (CRCD)	240			
037E ¹⁶	CRCインプットレジスタ (CRCIN)				
037F ¹⁶					

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ	
03A0 ₁₆	機能選択レジスタA8 (PS8)	373	03D0 ₁₆	ポートP14レジスタ (P14)	369	
03A1 ₁₆	機能選択レジスタA9 (PS9)	374	03D1 ₁₆	ポートP15レジスタ (P15)		
03A2 ₁₆			03D2 ₁₆	ポートP14方向レジスタ (PD14)	368	
03A3 ₁₆			03D3 ₁₆	ポートP15方向レジスタ (PD15)		
03A4 ₁₆			03D4 ₁₆		378	
03A5 ₁₆			03D5 ₁₆			
03A6 ₁₆			03D6 ₁₆			
03A7 ₁₆			03D7 ₁₆			
03A8 ₁₆			03D8 ₁₆			
03A9 ₁₆			03D9 ₁₆			
03AA ₁₆			03DA ₁₆	ブルアップ制御レジスタ2 (PUR2)		
03AB ₁₆			03DB ₁₆	ブルアップ制御レジスタ3 (PUR3)		379
03AC ₁₆			03DC ₁₆	ブルアップ制御レジスタ4 (PUR4)		
03AD ₁₆			03DD ₁₆		369	
03AE ₁₆			03DE ₁₆			
03AF ₁₆	機能選択レジスタC (PSC)		377	03DF ₁₆		
03B0 ₁₆	機能選択レジスタA0 (PS0)		370	03E0 ₁₆		ポートP0レジスタ (P0)
03B1 ₁₆	機能選択レジスタA1 (PS1)	03E1 ₁₆		ポートP1レジスタ (P1)		
03B2 ₁₆	機能選択レジスタB0 (PSL0)	375	03E2 ₁₆	ポートP0方向レジスタ (PD0)		368
03B3 ₁₆	機能選択レジスタB1 (PSL1)		03E3 ₁₆	ポートP1方向レジスタ (PD1)		
03B4 ₁₆	機能選択レジスタA2 (PS2)	371	03E4 ₁₆	ポートP2レジスタ (P2)		369
03B5 ₁₆	機能選択レジスタA3 (PS3)		03E5 ₁₆	ポートP3レジスタ (P3)		
03B6 ₁₆	機能選択レジスタB2 (PSL2)	376	03E6 ₁₆	ポートP2方向レジスタ (PD2)	368	
03B7 ₁₆	機能選択レジスタB3 (PSL3)		03E7 ₁₆	ポートP3方向レジスタ (PD3)		
03B8 ₁₆		372	03E8 ₁₆	ポートP4レジスタ (P4)	369	
03B9 ₁₆	機能選択レジスタA5 (PS5)		03E9 ₁₆	ポートP5レジスタ (P5)		
03BA ₁₆			03EA ₁₆	ポートP4方向レジスタ (PD4)	368	
03BB ₁₆			03EB ₁₆	ポートP5方向レジスタ (PD5)		
03BC ₁₆	機能選択レジスタA6 (PS6)		372	03EC ₁₆		378
03BD ₁₆	機能選択レジスタA7 (PS7)		373	03ED ₁₆		
03BE ₁₆			369	03EE ₁₆		
03BF ₁₆				03EF ₁₆		
03C0 ₁₆	ポートP6レジスタ (P6)	03F0 ₁₆		ブルアップ制御レジスタ0 (PUR0)		
03C1 ₁₆	ポートP7レジスタ (P7)	03F1 ₁₆		ブルアップ制御レジスタ1 (PUR1)		
03C2 ₁₆	ポートP6方向レジスタ (PD6)	03F2 ₁₆			380	
03C3 ₁₆	ポートP7方向レジスタ (PD7)	03F3 ₁₆				
03C4 ₁₆	ポートP8レジスタ (P8)	03F4 ₁₆				
03C5 ₁₆	ポートP9レジスタ (P9)	03F5 ₁₆				
03C6 ₁₆	ポートP8方向レジスタ (PD8)	03F6 ₁₆				
03C7 ₁₆	ポートP9方向レジスタ (PD9)	03F7 ₁₆				
03C8 ₁₆	ポートP10レジスタ (P10)	03F8 ₁₆				
03C9 ₁₆	ポートP11レジスタ (P11)	03F9 ₁₆				
03CA ₁₆	ポートP10方向レジスタ (PD10)	368	03FA ₁₆			
03CB ₁₆	ポートP11方向レジスタ (PD11)		03FB ₁₆			
03CC ₁₆	ポートP12レジスタ (P12)	369	03FC ₁₆			
03CD ₁₆	ポートP13レジスタ (P13)		03FD ₁₆			
03CE ₁₆	ポートP12方向レジスタ (PD12)	368	03FE ₁₆			
03CF ₁₆	ポートP13方向レジスタ (PD13)		03FF ₁₆	ポート制御レジスタ (PCR)		

空欄はすべて予約領域です。使用できません。

M32C/83グループ(M32C/83、M32C/83T)

SINGLE-CHIP 16/32-BIT CMOS MICROCOMPUTER

1. 概要

M32C/83グループ(M32C/83、M32C/83T)は高性能シリコンゲートCMOSプロセスを採用し、M32C/80シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、144ピン版と100ピン版があります。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

1.1 応用

自動車、オーディオ、カメラ、事務機器、通信機器、携帯機器、他

1.2 性能概要

表1.1、表1.2にM32C/83グループ(M32C/83、M32C/83T)の性能概要を示します。

表1.1 M32C/83グループ(M32C/83、M32C/83T)の性能概要(144ピン版)

項目		性能	
		M32C/83	M32C/83T
CPU	基本命令数	108命令	
	最小命令実行時間	31.3ns (f(BCLK)=32MHz時、V _{CC} =4.2~5.5V) ^(注3) 50ns (f(BCLK)=20MHz時、V _{CC} =3.0~5.5V)	31.3ns (f(BCLK)=32MHz時、V _{CC} =4.2~5.5V) ^(注3)
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ	シングルチップ
	アドレス空間	16Mバイト	
	メモリ容量	表1.3を参照してください	
周辺機能	入出力ポート	入出力：123本、入力：1本	
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×6チャンネル 三相モータ制御回路	
	インテリジェントI/O	時間計測機能：16ビット×12チャンネル 波形生成機能：16ビット×28チャンネル 通信機能(クロック同期形シリアルI/O、クロック非同期形シリアルI/O、HDLCデータ処理、クロック同期可変長シリアルI/O、IEBus ^(注2) 、8ビットまたは16ビット長クロック同期形シリアルI/O)	
	シリアルI/O	5チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、I ² C bus ^(注1) 、IEBus ^(注2)	
	CAN	1チャンネル CAN2.0B仕様準拠	
	A/Dコンバータ	10ビット A/Dコンバータ：2回路、34チャンネル	
	D/Aコンバータ	8ビット×2チャンネル	
	DMAC	4チャンネル	
	DMAC II	すべての周辺機能割り込み要因で起動 即値転送機能、演算転送機能、チェーン転送機能	
	DRAMC	CASビフォアRASリフレッシュ、セルフリフレッシュ、EDO、FP対応	
	CRC演算回路	CRC-CCITT方式	
	X/Y変換回路	16ビット×16ビット	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケラ付)	
	割り込み	内部：42要因、外部：8要因、ソフトウェア：5要因 割り込み優先レベル：7レベル	
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵、セラミック共振子または水晶発振子外付け)	
	発振停止検出機能	メインクロック発振停止検出機能	
	電気的特性	電源電圧	4.2V~5.5V (f(BCLK)=32MHz) 3.0V~5.5V (f(BCLK)=20MHz、VDCオン) 3.0V~3.6V (f(BCLK)=20MHz、VDCオフ)
消費電流		41mA (V _{CC} =5V、f(BCLK)=32MHz) 38mA (V _{CC} =5V、f(BCLK)=30MHz) 26mA (V _{CC} =3.3V、f(BCLK)=20MHz) 470μA (V _{CC} =5V、f(XCIN)=32kHz、 ウェイトモード) 340μA (V _{CC} =3.3V、f(XCIN)=32kHz、 VDCオン、ウェイトモード) 5.0μA (V _{CC} =3.3V、f(XCIN)=32kHz、 VDCオフ、ウェイトモード) 0.4μA (V _{CC} =5V、ストップモード) 0.4μA (V _{CC} =3.3V、ストップモード)	41mA (V _{CC} =5V、f(BCLK)=32MHz) 38mA (V _{CC} =5V、f(BCLK)=30MHz) 470μA (V _{CC} =5V、f(XCIN)=32kHz、 ウェイトモード) 0.4μA (V _{CC} =5V、ストップモード)
フラッシュメモリ版	プログラム、イレーズ電圧	3.3V ± 0.3Vまたは5.0V ± 0.5V	5.0V ± 0.5V
	プログラム、イレーズ回数	100回	
動作周囲温度	-20 ~ 85、-40 ~ 85 (オプション)	-40 ~ 85 (Tバージョン)	
パッケージ	144ピンプラスチックモールドLQFP		

注1. I²C busはオランダPHILIPS社の登録商標です。

注2. IEBusはNECエレクトロニクス株式会社の商標です。

注3. 30MHzよりも高い周波数でご使用される場合、(株)ルネサス販売までお問い合わせください。

オプション機能をご使用になる場合は、その旨ご指定ください。

表1.2 M32C/83グループ(M32C/83、M32C/83T)の性能概要(100ピン版)

項目	性能		
	M32C/83	M32C/83T	
CPU	基本命令数	108命令	
	最小命令実行時間	31.3ns (f(BCLK)=32MHz時、V _{CC} =4.2~5.5V) ^(注1) 50ns (f(BCLK)=20MHz時、V _{CC} =3.0~5.5V)	31.3ns (f(BCLK)=32MHz時、V _{CC} =4.2~5.5V) ^(注1)
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ	シングルチップ
	アドレス空間	16Mバイト	
	メモリ容量	表1.3を参照してください	
周辺機能	入出力ポート	入出力：87本、入力：1本	
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×6チャンネル 三相モータ制御回路	
	インテリジェント I/O	時間計測機能：16ビット×5チャンネル 波形生成機能：16ビット×10チャンネル 通信機能 (クロック同期形シリアルI/O、クロック非同期形シリアルI/O、HDLCデータ処理、クロック同期可変長シリアルI/O、IEBus ^(注2))	
	シリアルI/O	5チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、I ² C bus ^(注3) 、IEBus ^(注2)	
	CAN	1チャンネル CAN2.0B仕様準拠	
	A/Dコンバータ	10ビット A/Dコンバータ：2回路、26チャンネル	
	D/Aコンバータ	8ビット×2チャンネル	
	DMAC	4チャンネル	
	DMAC II	すべての周辺機能割り込み要因で起動 即値転送機能、演算転送機能、チェーン転送機能	
	DRAMC	CASピフォアRASリフレッシュ、セルフリフレッシュ、EDO、FP対応	
	CRC演算回路	CRC-CCITT方式	
	X/Y変換回路	16ビット×16ビット	
	ウォッチドッグタイマ	15ビット×1チャンネル (プリスケアラ付)	
	割り込み	内部：42要因、外部：8要因、ソフトウェア：5要因 割り込み優先レベル：7レベル	
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵、セラミック共振子または水晶発振子外付け	
	発振停止検出機能	メインクロック発振停止検出機能	
電気的特性	電源電圧	4.2V ~ 5.5V (f(BCLK)=32MHz) 3.0V ~ 5.5V (f(BCLK)=20MHz、VDCオン) 3.0V ~ 3.6V (f(BCLK)=20MHz、VDCオフ)	4.2V ~ 5.5V (f(BCLK)=32MHz)
	消費電流	41mA (V _{CC} =5V、f(BCLK)=32MHz) 38mA (V _{CC} =5V、f(BCLK)=30MHz) 26mA (V _{CC} =3.3V、f(BCLK)=20MHz) 470μA (V _{CC} =5V、f(XCIN)=32kHz、 ウェイトモード) 340μA (V _{CC} =3.3V、f(XCIN)=32kHz、 VDCオン、ウェイトモード) 5.0μA (V _{CC} =3.3V、f(XCIN)=32kHz、 VDCオフ、ウェイトモード) 0.4μA (V _{CC} =5V、ストップモード) 0.4μA (V _{CC} =3.3V、ストップモード)	41mA (V _{CC} =5V、f(BCLK)=32MHz) 38mA (V _{CC} =5V、f(BCLK)=30MHz) 470μA (V _{CC} =5V、f(XCIN)=32kHz、 ウェイトモード) 0.4μA (V _{CC} =5V、ストップモード)
フラッシュメモリ版	プログラム、イレーズ電圧	3.3V ± 0.3Vまたは5.0V ± 0.5V	5.0V ± 0.5V
	プログラム、イレーズ回数	100回	
動作周囲温度	- 20 ~ 85、- 40 ~ 85 (オプション)	- 40 ~ 85 (Tバージョン)	
パッケージ	100ピンプラスチックモールドLQFP/QFP		

注1. I²C busはオランダPHILIPS社の登録商標です。

注2. IEBusはNECエレクトロニクス株式会社の商標です。

注3. 30MHzより高い周波数でご使用される場合、(株)ルネサス販売までお問い合わせください。

オプション機能をご使用になる場合は、その旨ご指定ください。

1.3 ブロック図

図1.1にM32C/83グループ(M32C/83、 M32C/83T)のブロック図を示します。

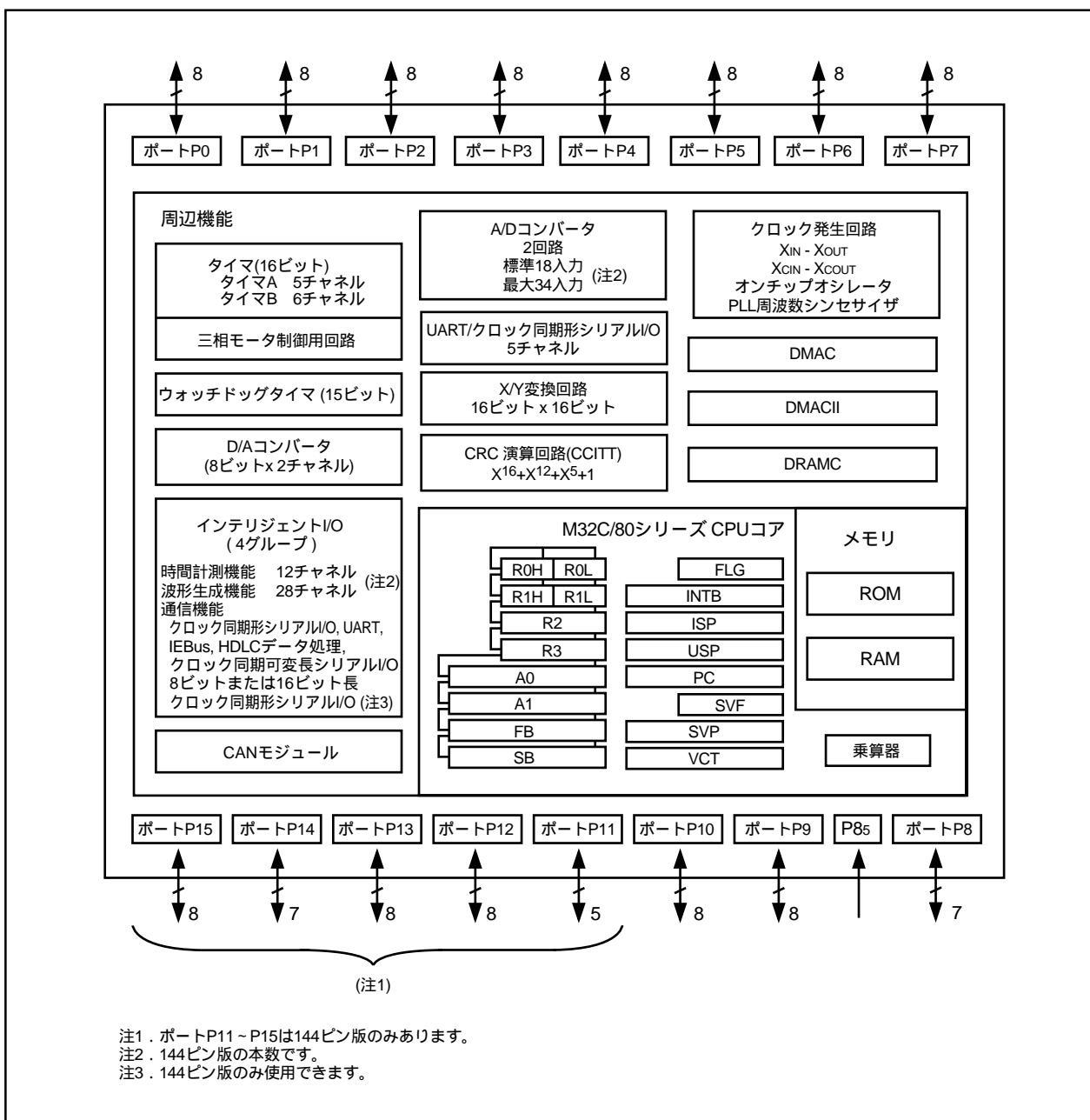


図1.1 M32C/83(M32C/83、 M32C/83T)グループのブロック図

1.4 製品一覧

表1.3に製品一覧表、図1.2に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧表(1)(M32C/83)

2005年10月現在

型名	パッケージ	ROM容量	RAM容量	備考
M30835FJGP	PLQP0144KA-A (144P6Q-A)	512K	31K	フラッシュ メモリ版
M30833FJGP	PLQP0100KB-A (100P6Q-A)			
M30833FJFP	PRQP0100JB-A (100P6S-A)			

表1.3 製品一覧表(2)(Tバージョン、M32C/83T)

2005年10月現在

型名	パッケージ	ROM容量	RAM容量	備考
M30833FJTGP	PLQP0100KB-A (100P6Q-A)	512K	31K	フラッシュ メモリ版 Tバージョン (高信頼性85 版)

注．Vバージョンについては、弊社営業を通じてお問い合わせ下さい。

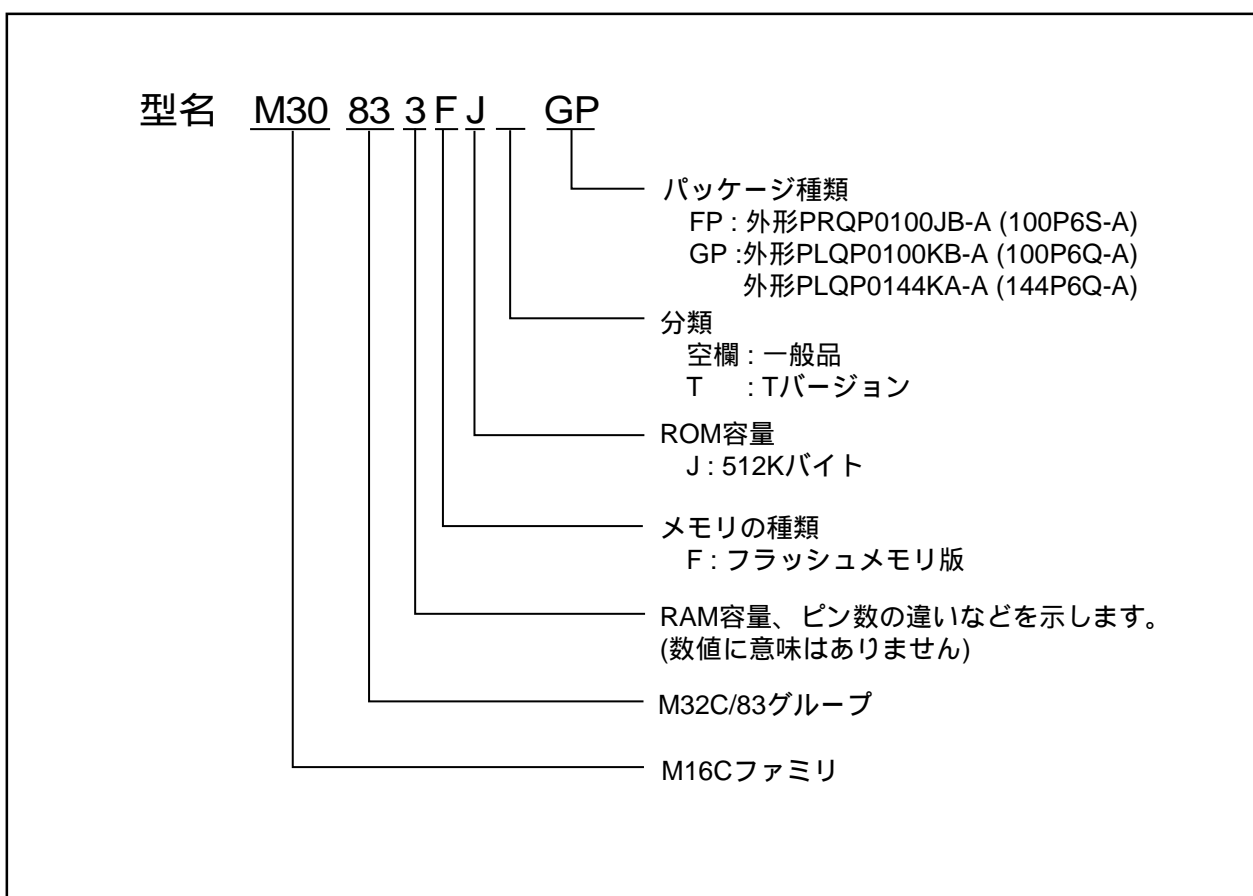


図1.2 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.3～図1.5にピン接続図(上面図)を示します。

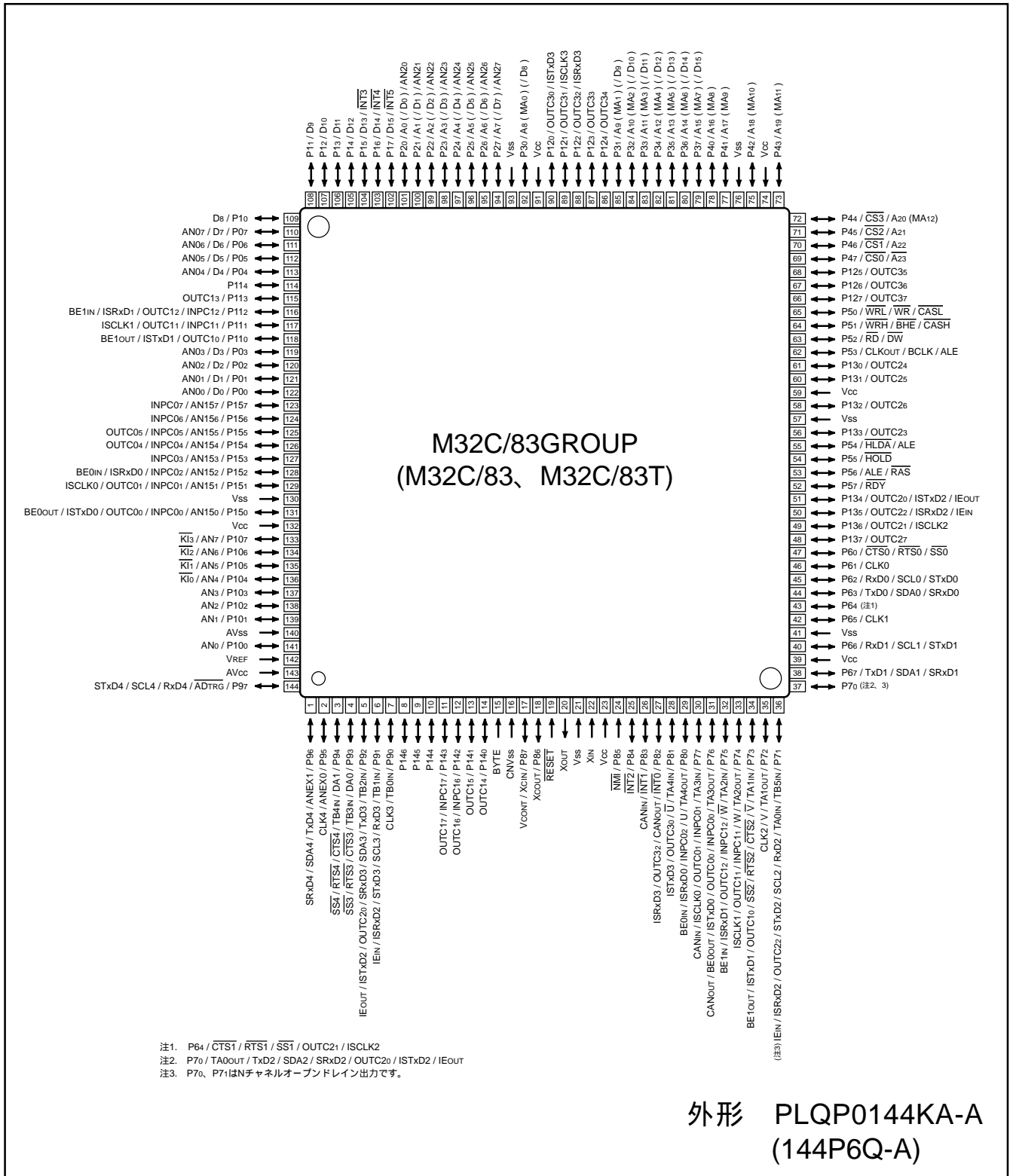


図1.3 144ピン版ピン接続図(上面図)

表1.4 144ピン版ピン端子名一覧表(1/3)

Pin No	制御端子	ポート	割込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子 ^(注1)
1		P96			TxD4/SDA4/SRxD4		ANEX1	
2		P95			CLK4		ANEX0	
3		P94		TB4IN	$\overline{\text{CTS4/RTS4/SS4}}$		DA1	
4		P93		TB3IN	$\overline{\text{CTS3/RTS3/SS3}}$		DA0	
5		P92		TB2IN	TxD3/SDA3/SRxD3	OUTC20/IEout/ISTxD2		
6		P91		TB1IN	RxD3/SCL3/STxD3	IEin/ISRxD2		
7		P90		TB0IN	CLK3			
8		P146						
9		P145						
10		P144						
11		P143				INPC17/OUTC17		
12		P142				INPC16/OUTC16		
13		P141				OUTC15		
14		P140				OUTC14		
15	BYTE							
16	CNVss							
17	Xcin/Vcont	P87						
18	XcOut	P86						
19	RESET							
20	Xout							
21	Vss							
22	Xin							
23	Vcc							
24		P85	NMI					
25		P84	INT2					
26		P83	INT1		CANin			
27		P82	INT0		CANout	OUTC32/ISRxD3		
28		P81		TA4in/U		OUTC30/ISTxD3		
29		P80		TA4out/U		INPC02/ISRxD0/BE0in		
30		P77		TA3in	CANin	INPC01/OUTC01/ISCLK0		
31		P76		TA3out	CANout	INPC00/OUTC00/ISTxD0/BE0out		
32		P75		TA2in/W		INPC12/OUTC12/ISRxD1/BE1in		
33		P74		TA2out/W		INPC11/OUTC11/ISCLK1		
34		P73		TA1in/V	$\overline{\text{CTS2/RTS2/SS2}}$	OUTC10/ISTxD1/BE1out		
35		P72		TA1out/V	CLK2			
36		P71		TB5in/TA0in	RxD2/SCL2/STxD2	OUTC22/ISRxD2/IEin		
37		P70		TA0out	TxD2/SDA2/SRxD2	OUTC20/ISTxD2/IEout		
38		P67			TxD1/SDA1/SRxD1			
39	Vcc							
40		P66			RxD1/SCL1/STxD1			
41	Vss							
42		P65			CLK1			
43		P64			$\overline{\text{CTS1/RTS1/SS1}}$	OUTC21/ISCLK2		
44		P63			TxD0/SDA0/SRxD0			
45		P62			RxD0/SCL0/STxD0			
46		P61			CLK0			
47		P60			$\overline{\text{CTS0/RTS0/SS0}}$			
48		P137				OUTC27		

注1. M32C/83Tでは、バス制御端子を使用しないでください。

表1.4 144ピン版ピン端子名一覧表(2/3)

Pin No	制御端子	ポート	割込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子 ^(注1)
49		P136				OUTC21/ISCLK2		
50		P135				OUTC22/ISRxD2/IEIN		
51		P134				OUTC20/ISTxD2/IEOUT		
52		P57						$\overline{\text{RDY}}$
53		P56						$\overline{\text{ALE/RAS}}$
54		P55						$\overline{\text{HOLD}}$
55		P54						$\overline{\text{HLDA/ALE}}$
56		P133				OUTC23		
57	Vss							
58		P132				OUTC26		
59	Vcc							
60		P131				OUTC25		
61		P130				OUTC24		
62		P53						$\overline{\text{CLKOUT/BCLK/ALE}}$
63		P52						$\overline{\text{RD/DW}}$
64		P51						$\overline{\text{WRH/BHE/CASH}}$
65		P50						$\overline{\text{WRL/WR/CASL}}$
66		P127				OUTC37		
67		P126				OUTC36		
68		P125				OUTC35		
69		P47						$\overline{\text{CS0/A23}}$
70		P46						$\overline{\text{CS1/A22}}$
71		P45						$\overline{\text{CS2/A21}}$
72		P44						$\overline{\text{CS3/A20(MA12)}}$
73		P43						A19(MA11)
74	Vcc							
75		P42						A18(MA10)
76	Vss							
77		P41						A17(MA9)
78		P40						A16(MA8)
79		P37						A15(MA7)/(D15)
80		P36						A14(MA6)/(D14)
81		P35						A13(MA5)/(D13)
82		P34						A12(MA4)/(D12)
83		P33						A11(MA3)/(D11)
84		P32						A10(MA2)/(D10)
85		P31						A9(MA1)/(D9)
86		P124				OUTC34		
87		P123				OUTC33		
88		P122				OUTC32/ISRxD3		
89		P121				OUTC31/ISCLK3		
90		P120				OUTC30/ISTxD3		
91	Vcc							
92		P30						A8(MA0)/(D8)
93	Vss							
94		P27					AN27	A7(/D7)
95		P26					AN26	A6(/D6)
96		P25					AN25	A5(/D5)

注1. M32C/83Tでは、バス制御端子を使用しないでください。

表1.4 144ピン版ピン端子名一覧表(3/3)

Pin No	制御端子	ポート	割込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子(注1)
97		P24					AN24	A4(/D4)
98		P23					AN23	A3(/D3)
99		P22					AN22	A2(/D2)
100		P21					AN21	A1(/D1)
101		P20					AN20	A0(/D0)
102		P17	INT5					D15
103		P16	INT4					D14
104		P15	INT3					D13
105		P14						D12
106		P13						D11
107		P12						D10
108		P11						D9
109		P10						D8
110		P07					AN07	D7
111		P06					AN06	D6
112		P05					AN05	D5
113		P04					AN04	D4
114		P114						
115		P113				OUTC13		
116		P112				INPC12/OUTC12/ISRxD1/BE1IN		
117		P111				INPC11/OUTC11/ISCLK1		
118		P110				OUTC10/ISTxD1/BE1OUT		
119		P03					AN03	D3
120		P02					AN02	D2
121		P01					AN01	D1
122		P00					AN00	D0
123		P157				INPC07	AN157	
124		P156				INPC06	AN156	
125		P155				INPC05/OUTC05	AN155	
126		P154				INPC04/OUTC04	AN154	
127		P153				INPC03	AN153	
128		P152				INPC02/ISRxD0/BE0IN	AN152	
129		P151				INPC01/OUTC01/ISCLK0	AN151	
130	Vss							
131		P150				INPC00/OUTC00/ISTxD0/BE0OUT	AN150	
132	Vcc							
133		P107	KI3				AN7	
134		P106	KI2				AN6	
135		P105	KI1				AN5	
136		P104	KI0				AN4	
137		P103					AN3	
138		P102					AN2	
139		P101					AN1	
140	AVss							
141		P100					AN0	
142	VREF							
143	AVCC							
144		P97			RxD4/SCL4/STxD4		ADTRG	

注1 . M32C/83Tでは、バス制御端子を使用しないでください。

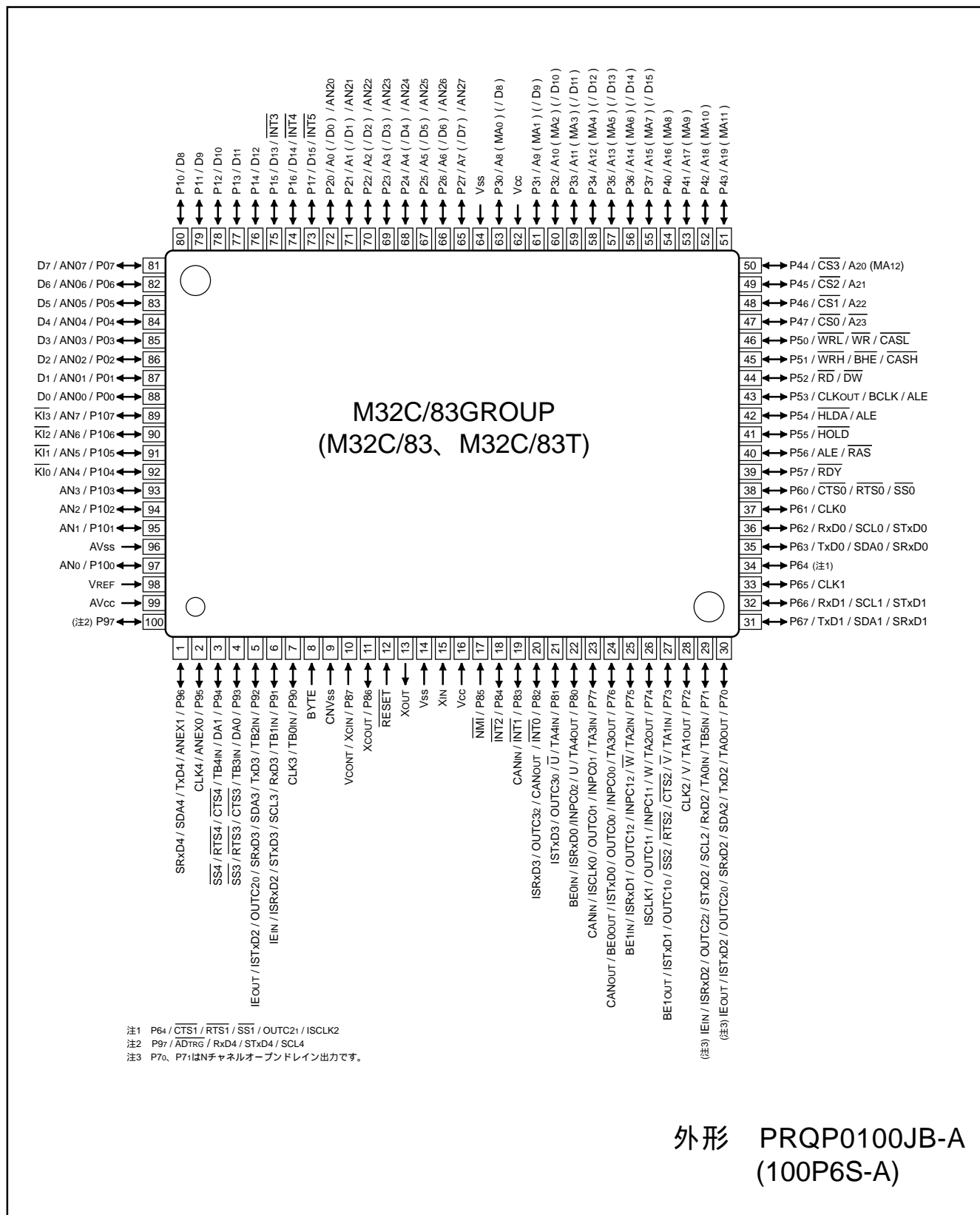


図1.4 100ピン版ピン接続図(上面図)

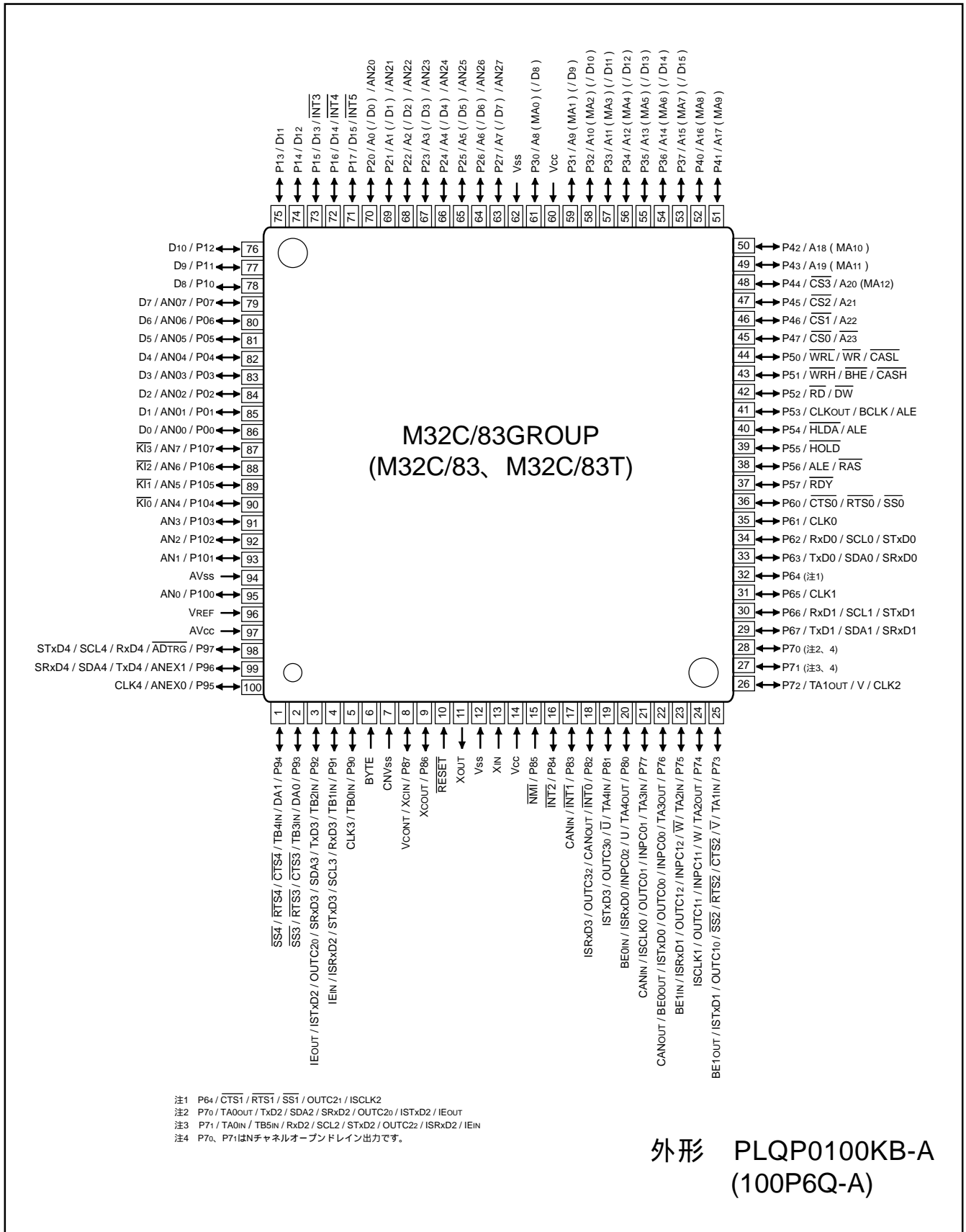


図1.5 100ピン版ピン接続図(上面図)

表1.5 100ピン版ピン端子名一覧表(1/2)

パッケージ ピン番号		制御端子	ポート	割込み 端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ 端子	バス制御端子 ^(注1)
FP	GP								
1	99		P96			TxD4/SDA4/SRx4D4		ANEX1	
2	100		P95			CLK4		ANEX0	
3	1		P94		TB4IN	CTS4/RTS4/SS4		DA1	
4	2		P93		TB3IN	CTS3/RTS3/SS3		DA0	
5	3		P92		TB2IN	TxD3/SDA3/SRx3D3	OUTC20/IEout/ISTxD2		
6	4		P91		TB1IN	RxD3/SCL3/STxD3	IEin/ISRx2D2		
7	5		P90		TB0IN	CLK3			
8	6	BYTE							
9	7	CNVss							
10	8	Xcin/Vcont	P87						
11	9	Xcout	P86						
12	10	RESET							
13	11	Xout							
14	12	Vss							
15	13	Xin							
16	14	Vcc							
17	15		P85	NMI					
18	16		P84	INT2					
19	17		P83	INT1		CANin			
20	18		P82	INT0		CANout	OUTC32/ISRx3D3		
21	19		P81	TA4in/U			OUTC30/ISTxD3		
22	20		P80	TA4out/U			INPC02/ISRx0D0/BE0in		
23	21		P77	TA3in	CANin		INPC01/OUTC01/ISCLK0		
24	22		P76	TA3out	CANout		INPC00/OUTC00/ISTxD0/BE0out		
25	23		P75	TA2in/W			INPC12/OUTC12/ISRx1D1/BE1in		
26	24		P74	TA2out/W			INPC11/OUTC11/ISCLK1		
27	25		P73	TA1in/V		CTS2/RTS2/SS2	OUTC10/ISTxD1/BE1out		
28	26		P72	TA1out/V		CLK2			
29	27		P71	TB5in/TA0in	RxD2/SCL2/STxD2		OUTC22/ISRx2D2/IEin		
30	28		P70	TA0out	TxD2/SDA2/SRx2D2		OUTC20/ISTxD2/IEout		
31	29		P67		TxD1/SDA1/SRx1D1				
32	30		P66		RxD1/SCL1/STxD1				
33	31		P65		CLK1				
34	32		P64		CTS1/RTS1/SS1		OUTC21/ISCLK2		
35	33		P63		TxD0/SDA0/SRx0D0				
36	34		P62		RxD0/SCL0/STxD0				
37	35		P61		CLK0				
38	36		P60		CTS0/RTS0/SS0				
39	37		P57						RDY
40	38		P56						ALE/RAS
41	39		P55						HOLD
42	40		P54						HLD/ALE
43	41		P53						CLKout/BCLK/ALE
44	42		P52						RD/DW
45	43		P51						WRH/BHE/CASH
46	44		P50						WRL/WR/CASL
47	45		P47						CS0/A23
48	46		P46						CS1/A22
49	47		P45						CS2/A21
50	48		P44						CS3/A20(MA12)

注1. M32C/83Tでは、バス制御端子を使用しないでください。

表1.5 100ピン版ピン端子名一覧表(2/2)

パッケージ ピン番号		制御端子	ポート	割込み 端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ 端子	バス制御端子(注1)
FP	GP								
51	49		P43						A19(MA11)
52	50		P42						A18(MA10)
53	51		P41						A17(MA9)
54	52		P40						A16(MA8)
55	53		P37						A15(MA7)/(D15)
56	54		P36						A14(MA6)/(D14)
57	55		P35						A13(MA5)/(D13)
58	56		P34						A12(MA4)/(D12)
59	57		P33						A11(MA3)/(D11)
60	58		P32						A10(MA2)/(D10)
61	59		P31						A9(MA1)/(D9)
62	60	Vcc							
63	61		P30						A8(MA0)/(D8)
64	62	Vss							
65	63		P27					AN27	A7(/D7)
66	64		P26					AN26	A6(/D6)
67	65		P25					AN25	A5(/D5)
68	66		P24					AN24	A4(/D4)
69	67		P23					AN23	A3(/D3)
70	68		P22					AN22	A2(/D2)
71	69		P21					AN21	A1(/D1)
72	70		P20					AN20	A0(/D0)
73	71		P17	INT5					D15
74	72		P16	INT4					D14
75	73		P15	INT3					D13
76	74		P14						D12
77	75		P13						D11
78	76		P12						D10
79	77		P11						D9
80	78		P10						D8
81	79		P07					AN07	D7
82	80		P06					AN06	D6
83	81		P05					AN05	D5
84	82		P04					AN04	D4
85	83		P03					AN03	D3
86	84		P02					AN02	D2
87	85		P01					AN01	D1
88	86		P00					AN00	D0
89	87		P107	KI3				AN7	
90	88		P106	KI2				AN6	
91	89		P105	KI1				AN5	
92	90		P104	KI0				AN4	
93	91		P103					AN3	
94	92		P102					AN2	
95	93		P101					AN1	
96	94	AVss							
97	95		P100					AN0	
98	96	VREF							
99	97	AVcc							
100	98		P97			RxD4/SCL4/STxD4		ADTRG	

注1 . M32C/83Tでは、バス制御端子を使用しないでください。

1.6 端子機能の説明

表1.6 端子の機能説明 (1/4)

分類	端子名	入出力	機能
電源入力	Vcc Vss	入力	Vcc端子には、3.0V～5.5Vを入力してください。 Vssには、0Vを入力してください。(注1)
アナログ電源入力	AVcc AVss	入力	A/Dコンバータの電源入力です。AVccはVccに接続してください。 AVssはVssに接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVss	CNVss	入力	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合Vssに、マイクロプロセッサモードで動作を開始する場合Vccに接続してください。
外部データバス幅切り替え入力(注2)	BYTE	入力	外部領域3のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、Vssに接続してください。
バス制御端子(注2)	D0～D7	入出力	セパレートバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力を行います。
	D8～D15	入出力	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたときデータ(D8～D15)の入出力を行います。
	A0～A22	出力	アドレスA0～A22を出力します。
	A23	出力	アドレスA23を反転して出力します。
	A0/D0～ A7/D7	入出力	マルチプレクスバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
	A8/D8～ A15/D15	入出力	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D8～D15)の入出力と、アドレス(A8～A15)の出力を時分割で行います。
	CS0～CS3	出力	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHまたは、BHE、WRを切り替えられます。 WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出します。 WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。 BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのときはこのモードを使用してください。
	ALE	出力	アドレスをラッチするための信号です。
	HOLD	入力	入力が“L”の期間、マイクロコンピュータはホールド状態になります。
HLDA	出力	ホールド状態の期間、“L”を出力します。	
RDY	入力	入力が“L”の期間、マイクロコンピュータのバスはウエイト状態になります。	
DRAM用バス制御端子(注2)	MA0～MA12	出力	DRAM領域へのアクセス時、行アドレスと列アドレスの出力を時分割で行います。
	DW	出力	DRAM領域にデータを書くと、DW信号が“L”になります。CASL、CASH信号は列アドレスをラッチするタイミングを示す出力です。
	CASL		CASLは偶数番地、CASHは奇数番地アクセス時に“L”になります。RAS信号は、行アドレスをラッチするタイミングを示す出力です。
	CASH		
	RAS		

注1．M32C/83Tは、Vcc端子に4.2～5.5Vを入力してください。

注2．M32C/83Tでは、バス制御端子を使用しないでください。

表1.6 端子の機能説明 (2/4)

分類	端子名	入出力	機能
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	
PLL周波数シンセサイザ用ローパスフィルタ接続端子	VCONT		PLL周波数シンセサイザを使用する場合は、VCONT端子にローパスフィルタを接続してください。また、PLL発振を安定させるためP86はVssに接続してください。
BCLK出力 ^(注1)	BCLK	出力	BCLK信号を出力します。
クロック出力	CLKOUT	出力	f _c 、f ₈ 、またはf ₃₂ と同じ周期のクロックを出力します。
INT割り込み入力	INT0 ~ INT5	入力	INT割り込みの入力です。
NMI割り込み入力	NMI	入力	NMI割り込みの入力です。
キー入力割り込み	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマA	TA0OUT ~ TA4OUT	入出力	タイマA0 ~ A4の入出力です。 (ただし、TA0OUTの出力はNチャンネルオープンドレインです。)
	TA0IN ~ TA4IN	入力	タイマA0 ~ A4の入力です。
タイマB	TB0IN ~ TB5IN	入力	タイマB0 ~ B5の入力です。
三相モータ制御用タイマ出力	U,U,V,V,W,W	出力	三相モータ制御用タイマの出力です。
シリアルI/O	CTS0 ~ CTS4	入力	送信制御用入力です。
	RTS0 ~ RTS4	出力	受信制御用出力です。
	CLK0 ~ CLK4	入出力	転送クロック入出力です。
	RxD0 ~ RxD4	入力	シリアルデータ入力です。
	TxD0 ~ TxD4	出力	シリアルデータ出力です。 (ただし、TxD2の出力はNチャンネルオープンドレインです。)
I ² Cモード	SDA0 ~ SDA4	入出力	シリアルデータ入出力です。 (ただし、SDA2の出力はNチャンネルオープンドレインです。)
	SCL0 ~ SCL4	入出力	転送クロック入出力です。 (ただし、SCL2の出力はNチャンネルオープンドレインです。)
シリアルインタフェース 特殊機能	STxD0 ~ STxD4	出力	スレーブモードを選択したときのシリアルデータ出力です。 (ただし、STxD2の出力はNチャンネルオープンドレインです。)
	SRxD0 ~ SRxD4	入力	スレーブモードを選択したときのシリアルデータ入力です。
	SS0 ~ SS4	入力	シリアルインタフェース特殊機能の制御用入力です。

注1. M32C/83Tでは、バス制御端子を使用しないでください。

表1.6 端子の機能説明 (3/4)

分類	端子名	入出力	機能	
基準電圧入力	VREF	入力	A/DコンバータとD/Aコンバータの基準電圧入力です。	
A/Dコンバータ	AN0 ~ AN7 AN00 ~ AN07 AN20 ~ AN27 AN150 ~ AN157(注1)	入力	A/Dコンバータのアナログ入力です。	
	ADTRG	入力	A/D外部トリガ入力です。	
	ANEX0	入出力	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。	
	ANEX1	入力	A/Dコンバータの拡張アナログ入力です。	
	D/Aコンバータ	DA0, DA1	出力	D/Aコンバータの出力です。
インテリジェント I/O	INPC00 ~ INPC02 INPC03 ~ INPC07(注1) INPC11、INPC12 INPC16、 INPC17(注1)	入力	時間計測機能の入力です。	
	OUTC00、OUTC01 OUTC04、 OUTC05(注1) OUTC10 ~ OUTC12 OUTC13 ~ OUTC17(注1) OUTC20 ~ OUTC22 OUTC23 ~ OUTC27(注1) OUTC30、OUTC32 OUTC31、OUTC33 ~OUTC37(注1)	出力	波形生成機能の出力です(ただし、P70、P71に配置されているOUTC20、OUTC22はNチャンネルオープンドレイン出力)。	
	ISCLK0 ~ ISCLK2 ISCLK3(注1)	入出力	インテリジェントI/O通信機能のクロック入出力です。	
	ISRXD0 ~ ISRXD3	入力	インテリジェントI/O通信機能のデータ入力です。	
	ISTXD0 ~ ISTXD3	出力	インテリジェントI/O通信機能のデータ出力です。	
	BE0IN、BE1IN	入力	インテリジェントI/O通信機能のデータ入力です。	
	BE0OUT、BE1OUT	出力	インテリジェントI/O通信機能のデータ出力です。	
	IEIN	入力	インテリジェントI/O通信機能のデータ入力です。	
	IEOUT	出力	インテリジェントI/O通信機能のデータ出力です。	
	CAN	CANIN	入力	CAN通信機能の入力です。
		CANOUT	出力	CAN通信機能の出力です。

注1 . 144ピン版のみ存在します。

表1.6 端子の機能説明 (4/4)

分類	端子名	入出力	機能		
入出力ポート	P00 ~ P07 P10 ~ P17 P20 ~ P27 P30 ~ P37 P40 ~ P47 P50 ~ P57 P60 ~ P67 P70 ~ P77 P90 ~ P97 P100 ~ P107	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。(ただし、P70とP71はNチャネルオープンドレイン出力)。		
	P110 ~ P114 P120 ~ P127 P130 ~ P137 P140 ~ P146 P150 ~ P157 (注1)			入出力	P0と同等の機能を持つ入出力ポートです。
	P80 ~ P84, P86, P87				
入力ポート	P85	入力	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。		

注1．144ピン版のみ存在します。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには28個のレジスタがあります。

これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個はレジスタバンクを構成しています。レジスタバンクは2セットあります。

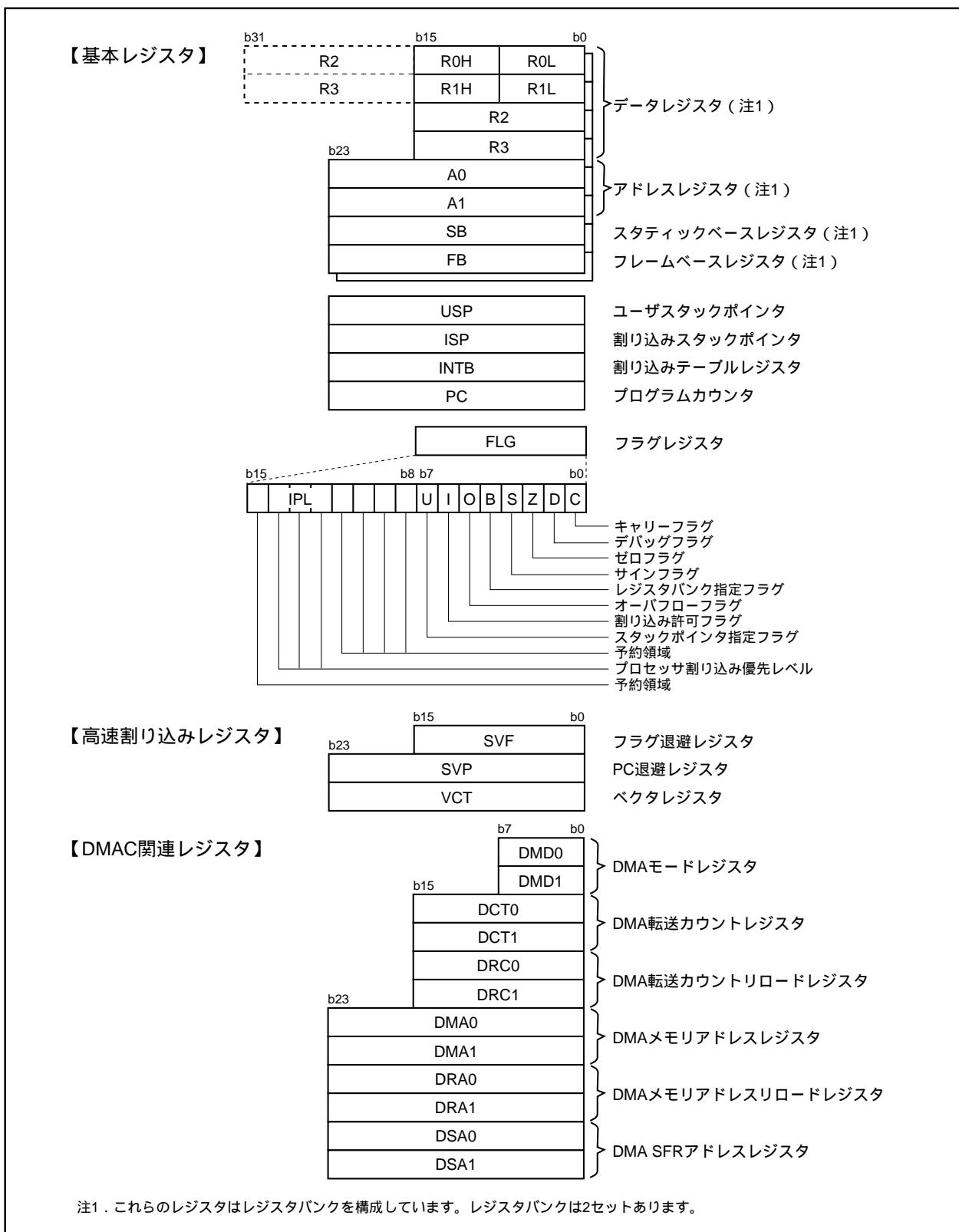


図2.1 CPUのレジスタ

2.1 基本レジスタ

2.1.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用します。R1はR0と同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用します。R3R1はR2R0と同様です。

2.1.2 アドレスレジスタ(A0、A1)

A0は24ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。

A1はA0と同様です。

2.1.3 スタティックベースレジスタ(SB)

SBは24ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ(FB)

FBは24ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ(PC)

PCは24ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みテーブルレジスタ(INTB)

INTBは24ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)はUSPとISPの2種類あり、共に24ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグは「2.1.8 フラグレジスタ(FLG)」を参照してください。

USPとISPには偶数番地を設定して下さい。偶数番地を設定した方が割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ(FLG)

FLGは16ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリーフラグ(C)

命令実行後のキャリーやボローの有無を示します。

2.1.8.2 デバッグフラグ(D)

Dフラグはデバッグ専用です。“0”にしてください。

2.1.8.3 ゼロフラグ(Z)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.1.8.4 サインフラグ(S)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ(B)

Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ(O)

演算の結果がオーバフローしたとき“1”になります。それ以外では“0”になります。

2.1.8.7 割り込み許可フラグ(I)

マスクブル割り込みを許可するビットです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、このビットは“0”になります。

2.1.8.8 スタックポインタ指定フラグ(U)

Uフラグが“0”のときISPが指定され、“1”のときUSPが指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7まで8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きいとき、その割り込みは許可されます。

2.1.8.10 予約領域

書くときは“0”を書いてください。読んだとき、その値は不定です。

2.2 高速割り込みレジスタ

高速割り込みに関するレジスタは次のとおりです。詳細は、「10.4 高速割り込み」を参照してください。

- ・フラグ退避レジスタ(SVF)
- ・PC退避レジスタ(SVP)
- ・ベクタレジスタ(VCT)

2.3 DMAC関連レジスタ

DMACに関するレジスタは次のとおりです。詳細は、「12. DMAC」を参照してください。

- ・DMAモードレジスタ(DMD0、DMD1)
- ・DMA転送カウンタレジスタ(DCT0、DCT1)
- ・DMA転送カウントリロードレジスタ(DRC0、DRC1)
- ・DMAメモリアドレスレジスタ(DMA0、DMA1)
- ・DMA SFRアドレスレジスタ(DSA0、DSA1)
- ・DMAメモリアドレスリロードレジスタ(DRA0、DRA1)

3. メモリ

図3.1にメモリ配置図を示します。

アドレス空間は000000₁₆番地からFFFFFF₁₆番地までの16Mバイトあります。

内部ROMはFFFFFF₁₆番地から下位方向に配置されています。例えば64Kバイトの内部ROMは、FF0000₁₆番地からFFFFFF₁₆番地に配置されています。

固定割り込みベクタはFFFFDC₁₆番地からFFFFFF₁₆番地に配置されています。ここに各割り込みルーチンの先頭番地を格納します。詳細は「10. 割り込み」を参照してください。

内部RAMは000400₁₆番地から上位方向に配置されています。例えば10Kバイトの内部RAMは、000400₁₆番地から002BFF₁₆番地に配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFRは000000₁₆番地から0003FF₁₆番地に配置されています。ここには入出力ポート、A/Dコンバータ、シリアルI/O、タイマなどの周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない番地はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタはFFFE00₁₆番地からFFFFDB₁₆番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「ソフトウェアマニュアル」を参照してください。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は予約領域となり使用できません。

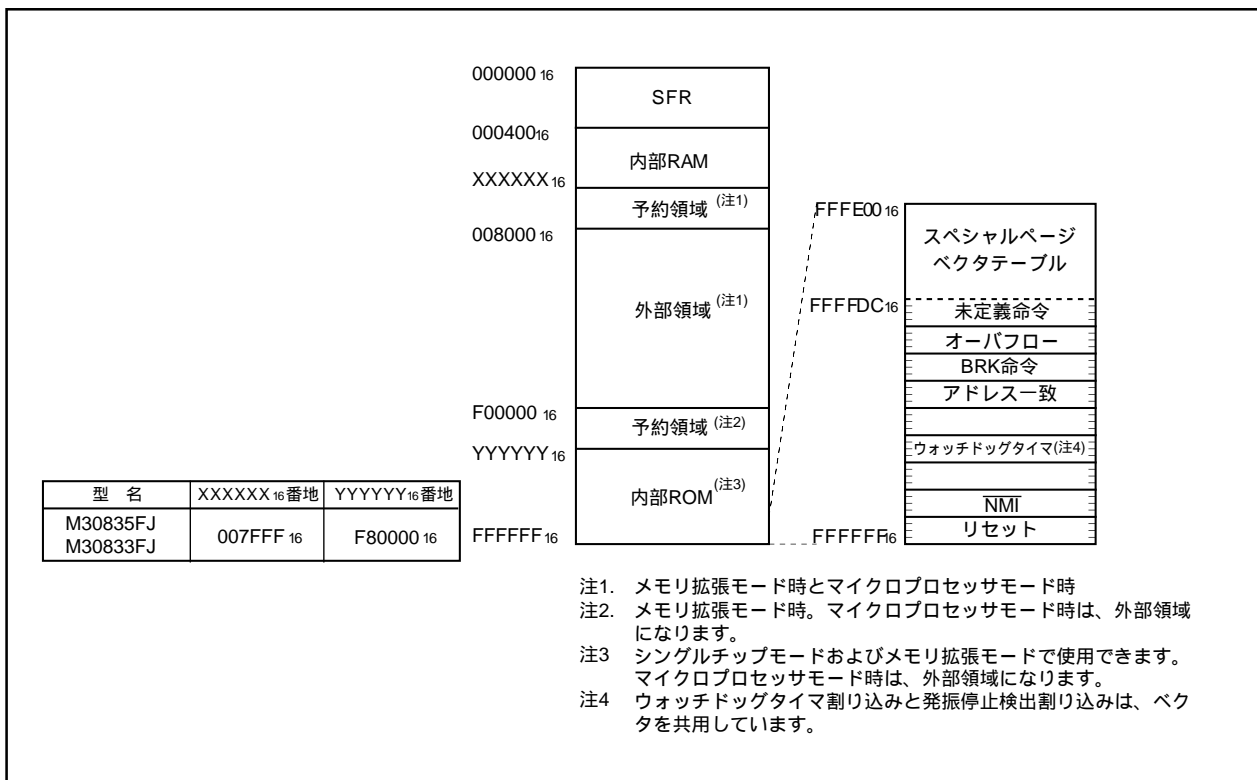


図3.1 メモリ配置図

4. SFR

番地	レジスタ	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0 ^(注1)	PM0	1000 0000 ₂ (CNV _{SS} 端子が"L") 0000 0011 ₂ (CNV _{SS} 端子が"H")
0005 ₁₆	プロセッサモードレジスタ1	PM1	0X00 0000 ₂
0006 ₁₆	システムクロック制御レジスタ0	CM0	0000 X000 ₂
0007 ₁₆	システムクロック制御レジスタ1	CM1	0010 0000 ₂
0008 ₁₆	ウェイト制御レジスタ ^(注2)	WCR	1111 1111 ₂
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	XXXX 0000 ₂
000A ₁₆	プロテクトレジスタ	PRCR	XXXX 0000 ₂
000B ₁₆	外部データバス幅制御レジスタ ^(注2)	DS	XXXX 1000 ₂ (BYTE端子が"L") XXXX 0000 ₂ (BYTE端子が"H")
000C ₁₆	メインクロック分周レジスタ	MCD	XXX0 1000 ₂
000D ₁₆	発振停止検出レジスタ	CM2	00 ₁₆
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	XX ₁₆
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	000X XXXX ₂
0010 ₁₆			
0011 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	000000 ₁₆
0012 ₁₆			
0013 ₁₆			
0014 ₁₆			
0015 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	000000 ₁₆
0016 ₁₆			
0017 ₁₆	PLL用VDC制御レジスタ	PLV	XXXX XX01 ₂
0018 ₁₆			
0019 ₁₆	アドレス一致割り込みレジスタ2	RMAD2	000000 ₁₆
001A ₁₆			
001B ₁₆	VDC制御レジスタ0	VDC0	00 ₁₆
001C ₁₆			
001D ₁₆	アドレス一致割り込みレジスタ3	RMAD3	000000 ₁₆
001E ₁₆			
001F ₁₆			
0020 ₁₆			
0021 ₁₆			
0022 ₁₆			
0023 ₁₆			
0024 ₁₆			
0025 ₁₆			
0026 ₁₆			
0027 ₁₆			
0028 ₁₆			
0029 ₁₆			
002A ₁₆			
002B ₁₆			
002C ₁₆			
002D ₁₆			
002E ₁₆			
002F ₁₆			

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1．PM0レジスタのPM00、PM01ビットは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

注2．M32C/83Tでは、これらのレジスタを使用しないでください。

番地	レジスタ	シンボル	リセット後の値
0030 ₁₆			
0031 ₁₆			
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆			
0036 ₁₆			
0037 ₁₆			
0038 ₁₆			
0039 ₁₆			
003A ₁₆			
003B ₁₆			
003C ₁₆			
003D ₁₆			
003E ₁₆			
003F ₁₆			
0040 ₁₆	DRAM制御レジスタ ^(注1)	DRAMCONT	XX ₁₆
0041 ₁₆	DRAMリフレッシュ間隔設定レジスタ ^(注1)	REFCNT	XX ₁₆
0042 ₁₆			
0043 ₁₆			
0044 ₁₆			
0045 ₁₆			
0046 ₁₆			
0047 ₁₆			
0048 ₁₆			
0049 ₁₆			
004A ₁₆			
004B ₁₆			
004C ₁₆			
004D ₁₆			
004E ₁₆			
004F ₁₆			
0050 ₁₆			
0051 ₁₆			
0052 ₁₆			
0053 ₁₆			
0054 ₁₆			
0055 ₁₆			
0056 ₁₆			
0057 ₁₆	フラッシュメモリ制御レジスタ0	FMR0	XX00 0001 ₂
0058 ₁₆			
0059 ₁₆			
005A ₁₆			
005B ₁₆			
005C ₁₆			
005D ₁₆			
005E ₁₆			
005F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. M32C/83Tでは、これらのレジスタを使用しないでください。

番地	レジスタ	シンボル	リセット後の値
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆	DMA0割り込み制御レジスタ	DM0IC	XXXX X0002
0069 ₁₆	タイマB5割り込み制御レジスタ	TB5IC	XXXX X0002
006A ₁₆	DMA2割り込み制御レジスタ	DM2IC	XXXX X0002
006B ₁₆	UART2受信/ACK割り込み制御レジスタ	S2RIC	XXXX X0002
006C ₁₆	タイマA0割り込み制御レジスタ	TA0IC	XXXX X0002
006D ₁₆	UART3受信/ACK割り込み制御レジスタ	S3RIC	XXXX X0002
006E ₁₆	タイマA2割り込み制御レジスタ	TA2IC	XXXX X0002
006F ₁₆	UART4受信/ACK割り込み制御レジスタ	S4RIC	XXXX X0002
0070 ₁₆	タイマA4割り込み制御レジスタ	TA4IC	XXXX X0002
0071 ₁₆	UART0/UART3バス衝突検出割り込み制御レジスタ	BCN0IC/BCN3IC	XXXX X0002
0072 ₁₆	UART0受信/ACK割り込み制御レジスタ	S0RIC	XXXX X0002
0073 ₁₆	A/D0変換割り込み制御レジスタ	AD0IC	XXXX X0002
0074 ₁₆	UART1受信/ACK割り込み制御レジスタ	S1RIC	XXXX X0002
0075 ₁₆	インテリジェントI/O割り込み制御レジスタ0	IIO0IC	XXXX X0002
0076 ₁₆	タイマB1割り込み制御レジスタ	TB1IC	XXXX X0002
0077 ₁₆	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	XXXX X0002
0078 ₁₆	タイマB3割り込み制御レジスタ	TB3IC	XXXX X0002
0079 ₁₆	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	XXXX X0002
007A ₁₆	INT5割り込み制御レジスタ	INT5IC	XX00 X0002
007B ₁₆	インテリジェントI/O割り込み制御レジスタ6	IIO6IC	XXXX X0002
007C ₁₆	INT3割り込み制御レジスタ	INT3IC	XX00 X0002
007D ₁₆	インテリジェントI/O割り込み制御レジスタ8	IIO8IC	XXXX X0002
007E ₁₆	INT1割り込み制御レジスタ	INT1IC	XX00 X0002
007F ₁₆	インテリジェントI/O割り込み制御レジスタ10/ CAN割り込み1制御レジスタ	IIO10IC/ CAN1IC	XXXX X0002
0080 ₁₆			
0081 ₁₆	インテリジェントI/O割り込み制御レジスタ11/ CAN割り込み2制御レジスタ	IIO11IC/ CAN2IC	XXXX X0002
0082 ₁₆			
0083 ₁₆			
0084 ₁₆			
0085 ₁₆			
0086 ₁₆	A/D1変換割り込み制御レジスタ	AD1IC	XXXX X0002
0087 ₁₆			
0088 ₁₆	DMA1割り込み制御レジスタ	DM1IC	XXXX X0002
0089 ₁₆	UART2送信/NACK割り込み制御レジスタ	S2TIC	XXXX X0002
008A ₁₆	DMA3割り込み制御レジスタ	DM3IC	XXXX X0002
008B ₁₆	UART3送信/NACK割り込み制御レジスタ	S3TIC	XXXX X0002
008C ₁₆	タイマA1割り込み制御レジスタ	TA1IC	XXXX X0002
008D ₁₆	UART4送信/NACK割り込み制御レジスタ	S4TIC	XXXX X0002
008E ₁₆	タイマA3割り込み制御レジスタ	TA3IC	XXXX X0002
008F ₁₆	UART2バス衝突検出割り込み制御レジスタ	BCN2IC	XXXX X0002

X：不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0090 ₁₆	UART0送信/NACK割り込み制御レジスタ	S0TIC	XXXX X000 ₂
0091 ₁₆	UART1/UART4バス衝突検出割り込み制御レジスタ	BCN1IC/BCN4IC	XXXX X000 ₂
0092 ₁₆	UART1送信/NACK割り込み制御レジスタ	S1TIC	XXXX X000 ₂
0093 ₁₆	キー入力割り込み制御レジスタ	KUPIC	XXXX X000 ₂
0094 ₁₆	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000 ₂
0095 ₁₆	インテリジェントI/O割り込み制御レジスタ1	IIO1IC	XXXX X000 ₂
0096 ₁₆	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000 ₂
0097 ₁₆	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000 ₂
0098 ₁₆	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000 ₂
0099 ₁₆	インテリジェントI/O割り込み制御レジスタ5	IIO5IC	XXXX X000 ₂
009A ₁₆	INT4割り込み制御レジスタ	INT4IC	XX00 X000 ₂
009B ₁₆	インテリジェントI/O割り込み制御レジスタ7	IIO7IC	XXXX X000 ₂
009C ₁₆	INT2割り込み制御レジスタ	INT2IC	XX00 X000 ₂
009D ₁₆	インテリジェントI/O割り込み制御レジスタ9/ CAN割り込み0制御レジスタ	IIO9IC/ CAN0IC	XXXX X000 ₂
009E ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00 X000 ₂
009F ₁₆	復帰用優先順位レジスタ	RLVL	XXXX 0000 ₂
00A0 ₁₆	割り込み要求レジスタ0	IIO0IR	0000 000X ₂
00A1 ₁₆	割り込み要求レジスタ1	IIO1IR	0000 000X ₂
00A2 ₁₆	割り込み要求レジスタ2	IIO2IR	0000 000X ₂
00A3 ₁₆	割り込み要求レジスタ3	IIO3IR	0000 000X ₂
00A4 ₁₆	割り込み要求レジスタ4	IIO4IR	0000 000X ₂
00A5 ₁₆	割り込み要求レジスタ5	IIO5IR	0000 000X ₂
00A6 ₁₆	割り込み要求レジスタ6	IIO6IR	0000 000X ₂
00A7 ₁₆	割り込み要求レジスタ7	IIO7IR	0000 000X ₂
00A8 ₁₆	割り込み要求レジスタ8	IIO8IR	0000 000X ₂
00A9 ₁₆	割り込み要求レジスタ9	IIO9IR	0000 000X ₂
00AA ₁₆	割り込み要求レジスタ10	IIO10IR	0000 000X ₂
00AB ₁₆	割り込み要求レジスタ11	IIO11IR	0000 000X ₂
00AC ₁₆			
00AD ₁₆			
00AE ₁₆			
00AF ₁₆			
00B0 ₁₆	割り込み許可レジスタ0	IIO0IE	00 ₁₆
00B1 ₁₆	割り込み許可レジスタ1	IIO1IE	00 ₁₆
00B2 ₁₆	割り込み許可レジスタ2	IIO2IE	00 ₁₆
00B3 ₁₆	割り込み許可レジスタ3	IIO3IE	00 ₁₆
00B4 ₁₆	割り込み許可レジスタ4	IIO4IE	00 ₁₆
00B5 ₁₆	割り込み許可レジスタ5	IIO5IE	00 ₁₆
00B6 ₁₆	割り込み許可レジスタ6	IIO6IE	00 ₁₆
00B7 ₁₆	割り込み許可レジスタ7	IIO7IE	00 ₁₆
00B8 ₁₆	割り込み許可レジスタ8	IIO8IE	00 ₁₆
00B9 ₁₆	割り込み許可レジスタ9	IIO9IE	00 ₁₆
00BA ₁₆	割り込み許可レジスタ10	IIO10IE	00 ₁₆
00BB ₁₆	割り込み許可レジスタ11	IIO11IE	00 ₁₆
00BC ₁₆			
00BD ₁₆			
00BE ₁₆			
00BF ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
00C0 ₁₆ 00C1 ₁₆	グループ0時間計測 / 波形生成レジスタ0	G0TM0/G0PO0	XX ₁₆ XX ₁₆
00C2 ₁₆ 00C3 ₁₆	グループ0時間計測 / 波形生成レジスタ1	G0TM1/G0PO1	XX ₁₆ XX ₁₆
00C4 ₁₆ 00C5 ₁₆	グループ0時間計測 / 波形生成レジスタ2	G0TM2/G0PO2	XX ₁₆ XX ₁₆
00C6 ₁₆ 00C7 ₁₆	グループ0時間計測 / 波形生成レジスタ3	G0TM3/G0PO3	XX ₁₆ XX ₁₆
00C8 ₁₆ 00C9 ₁₆	グループ0時間計測 / 波形生成レジスタ4	G0TM4/G0PO4	XX ₁₆ XX ₁₆
00CA ₁₆ 00CB ₁₆	グループ0時間計測 / 波形生成レジスタ5	G0TM5/G0PO5	XX ₁₆ XX ₁₆
00CC ₁₆ 00CD ₁₆	グループ0時間計測 / 波形生成レジスタ6	G0TM6/G0PO6	XX ₁₆ XX ₁₆
00CE ₁₆ 00CF ₁₆	グループ0時間計測 / 波形生成レジスタ7	G0TM7/G0PO7	XX ₁₆ XX ₁₆
00D0 ₁₆	グループ0波形生成制御レジスタ0	G0POCR0	0X00 X000 ₂
00D1 ₁₆	グループ0波形生成制御レジスタ1	G0POCR1	0X00 X000 ₂
00D2 ₁₆	グループ0波形生成制御レジスタ2	G0POCR2	0X00 X000 ₂
00D3 ₁₆	グループ0波形生成制御レジスタ3	G0POCR3	0X00 X000 ₂
00D4 ₁₆	グループ0波形生成制御レジスタ4	G0POCR4	0X00 X000 ₂
00D5 ₁₆	グループ0波形生成制御レジスタ5	G0POCR5	0X00 X000 ₂
00D6 ₁₆	グループ0波形生成制御レジスタ6	G0POCR6	0X00 X000 ₂
00D7 ₁₆	グループ0波形生成制御レジスタ7	G0POCR7	0X00 X000 ₂
00D8 ₁₆	グループ0時間計測制御レジスタ0	G0TMCR0	00 ₁₆
00D9 ₁₆	グループ0時間計測制御レジスタ1	G0TMCR1	00 ₁₆
00DA ₁₆	グループ0時間計測制御レジスタ2	G0TMCR2	00 ₁₆
00DB ₁₆	グループ0時間計測制御レジスタ3	G0TMCR3	00 ₁₆
00DC ₁₆	グループ0時間計測制御レジスタ4	G0TMCR4	00 ₁₆
00DD ₁₆	グループ0時間計測制御レジスタ5	G0TMCR5	00 ₁₆
00DE ₁₆	グループ0時間計測制御レジスタ6	G0TMCR6	00 ₁₆
00DF ₁₆	グループ0時間計測制御レジスタ7	G0TMCR7	00 ₁₆
00E0 ₁₆ 00E1 ₁₆	グループ0ベースタイマレジスタ	G0BT	XX ₁₆ XX ₁₆
00E2 ₁₆	グループ0ベースタイマ制御レジスタ0	G0BCR0	00 ₁₆
00E3 ₁₆	グループ0ベースタイマ制御レジスタ1	G0BCR1	00 ₁₆
00E4 ₁₆	グループ0時間計測プリスケアラレジスタ6	G0TPR6	00 ₁₆
00E5 ₁₆	グループ0時間計測プリスケアラレジスタ7	G0TPR7	00 ₁₆
00E6 ₁₆	グループ0機能許可レジスタ	G0FE	00 ₁₆
00E7 ₁₆	グループ0機能選択レジスタ	G0FS	00 ₁₆
00E8 ₁₆ 00E9 ₁₆	グループ0SI/O受信バッファレジスタ	G0RB	XXXX XXXX ₂ XX00 XXXX ₂
00EA ₁₆ 00EB ₁₆	グループ0送信バッファ/受信データレジスタ	G0TB/G0DR	XX ₁₆
00EC ₁₆	グループ0受信入力レジスタ	G0RI	XX ₁₆
00ED ₁₆	グループ0SI/O通信モードレジスタ	G0MR	00 ₁₆
00EE ₁₆	グループ0送信出力レジスタ	G0TO	XX ₁₆
00EF ₁₆	グループ0SI/O通信制御レジスタ	G0CR	0000 X000 ₂

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
00F0 ₁₆	グループ0データ比較レジスタ0	G0CMP0	XX ₁₆
00F1 ₁₆	グループ0データ比較レジスタ1	G0CMP1	XX ₁₆
00F2 ₁₆	グループ0データ比較レジスタ2	G0CMP2	XX ₁₆
00F3 ₁₆	グループ0データ比較レジスタ3	G0CMP3	XX ₁₆
00F4 ₁₆	グループ0データマスクレジスタ0	G0MSK0	XX ₁₆
00F5 ₁₆	グループ0データマスクレジスタ1	G0MSK1	XX ₁₆
00F6 ₁₆			
00F7 ₁₆			
00F8 ₁₆	グループ0受信CRCコードレジスタ	G0RCRC	XX ₁₆
00F9 ₁₆			XX ₁₆
00FA ₁₆	グループ0送信CRCコードレジスタ	G0TCRC	00 ₁₆
00FB ₁₆			00 ₁₆
00FC ₁₆	グループ0SI/O拡張モードレジスタ	G0EMR	00 ₁₆
00FD ₁₆	グループ0SI/O拡張受信制御レジスタ	G0ERC	00 ₁₆
00FE ₁₆	グループ0SI/O特殊通信割り込み判別レジスタ	G0IRF	0000 00XX ₂
00FF ₁₆	グループ0SI/O拡張送信制御レジスタ	G0ETC	0000 0XXX ₂
0100 ₁₆	グループ1時間計測 / 波形生成レジスタ0	G1TM0/G1PO0	XX ₁₆
0101 ₁₆			XX ₁₆
0102 ₁₆	グループ1時間計測 / 波形生成レジスタ1	G1TM1/G1PO1	XX ₁₆
0103 ₁₆			XX ₁₆
0104 ₁₆	グループ1時間計測 / 波形生成レジスタ2	G1TM2/G1PO2	XX ₁₆
0105 ₁₆			XX ₁₆
0106 ₁₆	グループ1時間計測 / 波形生成レジスタ3	G1TM3/G1PO3	XX ₁₆
0107 ₁₆			XX ₁₆
0108 ₁₆	グループ1時間計測 / 波形生成レジスタ4	G1TM4/G1PO4	XX ₁₆
0109 ₁₆			XX ₁₆
010A ₁₆	グループ1時間計測 / 波形生成レジスタ5	G1TM5/G1PO5	XX ₁₆
010B ₁₆			XX ₁₆
010C ₁₆	グループ1時間計測 / 波形生成レジスタ6	G1TM6/G1PO6	XX ₁₆
010D ₁₆			XX ₁₆
010E ₁₆	グループ1時間計測 / 波形生成レジスタ7	G1TM7/G1PO7	XX ₁₆
010F ₁₆			XX ₁₆
0110 ₁₆	グループ1波形生成制御レジスタ0	G1POCR0	0X00 X000 ₂
0111 ₁₆	グループ1波形生成制御レジスタ1	G1POCR1	0X00 X000 ₂
0112 ₁₆	グループ1波形生成制御レジスタ2	G1POCR2	0X00 X000 ₂
0113 ₁₆	グループ1波形生成制御レジスタ3	G1POCR3	0X00 X000 ₂
0114 ₁₆	グループ1波形生成制御レジスタ4	G1POCR4	0X00 X000 ₂
0115 ₁₆	グループ1波形生成制御レジスタ5	G1POCR5	0X00 X000 ₂
0116 ₁₆	グループ1波形生成制御レジスタ6	G1POCR6	0X00 X000 ₂
0117 ₁₆	グループ1波形生成制御レジスタ7	G1POCR7	0X00 X000 ₂
0118 ₁₆	グループ1時間計測制御レジスタ0	G1TMCR0	00 ₁₆
0119 ₁₆	グループ1時間計測制御レジスタ1	G1TMCR1	00 ₁₆
011A ₁₆	グループ1時間計測制御レジスタ2	G1TMCR2	00 ₁₆
011B ₁₆	グループ1時間計測制御レジスタ3	G1TMCR3	00 ₁₆
011C ₁₆	グループ1時間計測制御レジスタ4	G1TMCR4	00 ₁₆
011D ₁₆	グループ1時間計測制御レジスタ5	G1TMCR5	00 ₁₆
011E ₁₆	グループ1時間計測制御レジスタ6	G1TMCR6	00 ₁₆
011F ₁₆	グループ1時間計測制御レジスタ7	G1TMCR7	00 ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0120 ₁₆ 0121 ₁₆	グループ1ベースタイマレジスタ	G1BT	XX ₁₆ XX ₁₆
0122 ₁₆	グループ1ベースタイマ制御レジスタ0	G1BCR0	00 ₁₆
0123 ₁₆	グループ1ベースタイマ制御レジスタ1	G1BCR1	00 ₁₆
0124 ₁₆	グループ1時間計測プリスケアラレジスタ6	G1TPR6	00 ₁₆
0125 ₁₆	グループ1時間計測プリスケアラレジスタ7	G1TPR7	00 ₁₆
0126 ₁₆	グループ1機能許可レジスタ	G1FE	00 ₁₆
0127 ₁₆	グループ1機能選択レジスタ	G1FS	00 ₁₆
0128 ₁₆ 0129 ₁₆	グループ1SI/O受信バッファレジスタ	G1RB	XXXX XXXX ₂ XX00 XXXX ₂
012A ₁₆ 012B ₁₆	グループ1送信バッファ/受信データレジスタ	G1TB/G1DR	XX ₁₆
012C ₁₆	グループ1受信入力レジスタ	G1RI	XX ₁₆
012D ₁₆	グループ1SI/O通信モードレジスタ	G1MR	00 ₁₆
012E ₁₆	グループ1送信出力レジスタ	G1TO	XX ₁₆
012F ₁₆	グループ1SI/O通信制御レジスタ	G1CR	0000 X000 ₂
0130 ₁₆	グループ1データ比較レジスタ0	G1CMP0	XX ₁₆
0131 ₁₆	グループ1データ比較レジスタ1	G1CMP1	XX ₁₆
0132 ₁₆	グループ1データ比較レジスタ2	G1CMP2	XX ₁₆
0133 ₁₆	グループ1データ比較レジスタ3	G1CMP3	XX ₁₆
0134 ₁₆	グループ1データマスクレジスタ0	G1MSK0	XX ₁₆
0135 ₁₆	グループ1データマスクレジスタ1	G1MSK1	XX ₁₆
0136 ₁₆			
0137 ₁₆			
0138 ₁₆ 0139 ₁₆	グループ1受信CRCコードレジスタ	G1RCRC	XX ₁₆ XX ₁₆
013A ₁₆ 013B ₁₆	グループ1送信CRCコードレジスタ	G1TCRC	00 ₁₆ 00 ₁₆
013C ₁₆	グループ1SI/O拡張モードレジスタ	G1EMR	00 ₁₆
013D ₁₆	グループ1SI/O拡張受信制御レジスタ	G1ERC	00 ₁₆
013E ₁₆	グループ1SI/O特殊通信割り込み判別レジスタ	G1IRF	0000 00XX ₂
013F ₁₆	グループ1SI/O拡張送信制御レジスタ	G1ETC	0000 0XXX ₂
0140 ₁₆ 0141 ₁₆	グループ2波形生成レジスタ0	G2PO0	XX ₁₆ XX ₁₆
0142 ₁₆ 0143 ₁₆	グループ2波形生成レジスタ1	G2PO1	XX ₁₆ XX ₁₆
0144 ₁₆ 0145 ₁₆	グループ2波形生成レジスタ2	G2PO2	XX ₁₆ XX ₁₆
0146 ₁₆ 0147 ₁₆	グループ2波形生成レジスタ3	G2PO3	XX ₁₆ XX ₁₆
0148 ₁₆ 0149 ₁₆	グループ2波形生成レジスタ4	G2PO4	XX ₁₆ XX ₁₆
014A ₁₆ 014B ₁₆	グループ2波形生成レジスタ5	G2PO5	XX ₁₆ XX ₁₆
014C ₁₆ 014D ₁₆	グループ2波形生成レジスタ6	G2PO6	XX ₁₆ XX ₁₆
014E ₁₆ 014F ₁₆	グループ2波形生成レジスタ7	G2PO7	XX ₁₆ XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0150 ₁₆	グループ2波形生成制御レジスタ0	G2POCR0	00 ₁₆
0151 ₁₆	グループ2波形生成制御レジスタ1	G2POCR1	00 ₁₆
0152 ₁₆	グループ2波形生成制御レジスタ2	G2POCR2	00 ₁₆
0153 ₁₆	グループ2波形生成制御レジスタ3	G2POCR3	00 ₁₆
0154 ₁₆	グループ2波形生成制御レジスタ4	G2POCR4	00 ₁₆
0155 ₁₆	グループ2波形生成制御レジスタ5	G2POCR5	00 ₁₆
0156 ₁₆	グループ2波形生成制御レジスタ6	G2POCR6	00 ₁₆
0157 ₁₆	グループ2波形生成制御レジスタ7	G2POCR7	00 ₁₆
0158 ₁₆			
0159 ₁₆			
015A ₁₆			
015B ₁₆			
015C ₁₆			
015D ₁₆			
015E ₁₆			
015F ₁₆			
0160 ₁₆	グループ2ベースタイマレジスタ	G2BT	XX ₁₆
0161 ₁₆			XX ₁₆
0162 ₁₆	グループ2ベースタイマ制御レジスタ0	G2BCR0	00 ₁₆
0163 ₁₆	グループ2ベースタイマ制御レジスタ1	G2BCR1	00 ₁₆
0164 ₁₆	ベースタイマスタートレジスタ	BTSR	XXXX 0000 ₂
0165 ₁₆			
0166 ₁₆	グループ2機能許可レジスタ	G2FE	00 ₁₆
0167 ₁₆	グループ2RTP出力バッファレジスタ	G2RTP	00 ₁₆
0168 ₁₆			
0169 ₁₆			
016A ₁₆	グループ2SI/O通信モードレジスタ	G2MR	00XX X000 ₂
016B ₁₆	グループ2SI/O通信制御レジスタ	G2CR	0000 X000 ₂
016C ₁₆	グループ2SI/O送信バッファレジスタ	G2TB	XX ₁₆
016D ₁₆			XX ₁₆
016E ₁₆	グループ2SI/O受信バッファレジスタ	G2RB	XX ₁₆
016F ₁₆			XX ₁₆
0170 ₁₆	グループ2IEBusアドレスレジスタ	IEAR	XX ₁₆
0171 ₁₆			XX ₁₆
0172 ₁₆	グループ2IEBus制御レジスタ	IECR	00XX X000 ₂
0173 ₁₆	グループ2IEBus送信割り込み要因判別レジスタ	IETIF	XXX0 0000 ₂
0174 ₁₆	グループ2IEBus受信割り込み要因判別レジスタ	IERIF	XXX0 0000 ₂
0175 ₁₆			
0176 ₁₆			
0177 ₁₆			
0178 ₁₆	入力機能選択レジスタ	IPS	00 ₁₆
0179 ₁₆			
017A ₁₆	グループ3SI/O通信モードレジスタ	G3MR	00XX 0000 ₂
017B ₁₆	グループ3SI/O通信制御レジスタ	G3CR	0000 X000 ₂
017C ₁₆	グループ3SI/O送信バッファレジスタ	G3TB	XX ₁₆
017D ₁₆			XX ₁₆
017E ₁₆	グループ3SI/O受信バッファレジスタ	G3RB	XX ₁₆
017F ₁₆			XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0180 ₁₆ 0181 ₁₆	グループ3波形生成レジスタ0	G3PO0	XX ₁₆ XX ₁₆
0182 ₁₆ 0183 ₁₆	グループ3波形生成レジスタ1	G3PO1	XX ₁₆ XX ₁₆
0184 ₁₆ 0185 ₁₆	グループ3波形生成レジスタ2	G3PO2	XX ₁₆ XX ₁₆
0186 ₁₆ 0187 ₁₆	グループ3波形生成レジスタ3	G3PO3	XX ₁₆ XX ₁₆
0188 ₁₆ 0189 ₁₆	グループ3波形生成レジスタ4	G3PO4	XX ₁₆ XX ₁₆
018A ₁₆ 018B ₁₆	グループ3波形生成レジスタ5	G3PO5	XX ₁₆ XX ₁₆
018C ₁₆ 018D ₁₆	グループ3波形生成レジスタ6	G3PO6	XX ₁₆ XX ₁₆
018E ₁₆ 018F ₁₆	グループ3波形生成レジスタ7	G3PO7	XX ₁₆ XX ₁₆
0190 ₁₆	グループ3波形生成制御レジスタ0	G3POCR0	00 ₁₆
0191 ₁₆	グループ3波形生成制御レジスタ1	G3POCR1	00 ₁₆
0192 ₁₆	グループ3波形生成制御レジスタ2	G3POCR2	00 ₁₆
0193 ₁₆	グループ3波形生成制御レジスタ3	G3POCR3	00 ₁₆
0194 ₁₆	グループ3波形生成制御レジスタ4	G3POCR4	00 ₁₆
0195 ₁₆	グループ3波形生成制御レジスタ5	G3POCR5	00 ₁₆
0196 ₁₆	グループ3波形生成制御レジスタ6	G3POCR6	00 ₁₆
0197 ₁₆	グループ3波形生成制御レジスタ7	G3POCR7	00 ₁₆
0198 ₁₆ 0199 ₁₆	グループ3波形生成マスクレジスタ4	G3MK4	XX ₁₆ XX ₁₆
019A ₁₆ 019B ₁₆	グループ3波形生成マスクレジスタ5	G3MK5	XX ₁₆ XX ₁₆
019C ₁₆ 019D ₁₆	グループ3波形生成マスクレジスタ6	G3MK6	XX ₁₆ XX ₁₆
019E ₁₆ 019F ₁₆	グループ3波形生成マスクレジスタ7	G3MK7	XX ₁₆ XX ₁₆
01A0 ₁₆ 01A1 ₁₆	グループ3ベースタイマレジスタ	G3BT	XX ₁₆ XX ₁₆
01A2 ₁₆	グループ3ベースタイマ制御レジスタ0	G3BCR0	00 ₁₆
01A3 ₁₆	グループ3ベースタイマ制御レジスタ1	G3BCR1	00 ₁₆
01A4 ₁₆			
01A5 ₁₆			
01A6 ₁₆	グループ3機能許可レジスタ	G3FE	00 ₁₆
01A7 ₁₆	グループ3RTP出力バッファレジスタ	G3RTP	00 ₁₆
01A8 ₁₆			
01A9 ₁₆			
01AA ₁₆			
01AB ₁₆			
01AC ₁₆			
01AD ₁₆	グループ3SI/O通信フラグレジスタ	G3FLG	XXXX XXX ₀₂
01AE ₁₆			
01AF ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
01B0 ₁₆			
01B1 ₁₆			
01B2 ₁₆			
01B3 ₁₆			
01B4 ₁₆			
01B5 ₁₆			
01B6 ₁₆			
01B7 ₁₆			
01B8 ₁₆			
01B9 ₁₆			
01BA ₁₆			
01BB ₁₆			
01BC ₁₆			
01BD ₁₆			
01BE ₁₆			
01BF ₁₆			
01C0 ₁₆ 01C1 ₁₆	A/D1レジスタ0	AD10	XX ₁₆ XX ₁₆
01C2 ₁₆ 01C3 ₁₆	A/D1レジスタ1	AD11	XX ₁₆ XX ₁₆
01C4 ₁₆ 01C5 ₁₆	A/D1レジスタ2	AD12	XX ₁₆ XX ₁₆
01C6 ₁₆ 01C7 ₁₆	A/D1レジスタ3	AD13	XX ₁₆ XX ₁₆
01C8 ₁₆ 01C9 ₁₆	A/D1レジスタ4	AD14	XX ₁₆ XX ₁₆
01CA ₁₆ 01CB ₁₆	A/D1レジスタ5	AD15	XX ₁₆ XX ₁₆
01CC ₁₆ 01CD ₁₆	A/D1レジスタ6	AD16	XX ₁₆ XX ₁₆
01CE ₁₆ 01CF ₁₆	A/D1レジスタ7	AD17	XX ₁₆ XX ₁₆
01D0 ₁₆			
01D1 ₁₆			
01D2 ₁₆			
01D3 ₁₆			
01D4 ₁₆ 01D5 ₁₆	A/D1制御レジスタ2	AD1CON2	X00X X000 ₂
01D6 ₁₆	A/D1制御レジスタ0	AD1CON0	00 ₁₆
01D7 ₁₆	A/D1制御レジスタ1	AD1CON1	XX00 0000 ₂
01D8 ₁₆			
01D9 ₁₆			
01DA ₁₆			
01DB ₁₆			
01DC ₁₆			
01DD ₁₆			
01DE ₁₆			
01DF ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
01E0 ₁₆	CAN0メッセージスロットバッファ0標準ID0	C0SLOT0_0	XX ₁₆
01E1 ₁₆	CAN0メッセージスロットバッファ0標準ID1	C0SLOT0_1	XX ₁₆
01E2 ₁₆	CAN0メッセージスロットバッファ0拡張ID0	C0SLOT0_2	XX ₁₆
01E3 ₁₆	CAN0メッセージスロットバッファ0拡張ID1	C0SLOT0_3	XX ₁₆
01E4 ₁₆	CAN0メッセージスロットバッファ0拡張ID2	C0SLOT0_4	XX ₁₆
01E5 ₁₆	CAN0メッセージスロットバッファ0データ長コード	C0SLOT0_5	XX ₁₆
01E6 ₁₆	CAN0メッセージスロットバッファ0データ0	C0SLOT0_6	XX ₁₆
01E7 ₁₆	CAN0メッセージスロットバッファ0データ1	C0SLOT0_7	XX ₁₆
01E8 ₁₆	CAN0メッセージスロットバッファ0データ2	C0SLOT0_8	XX ₁₆
01E9 ₁₆	CAN0メッセージスロットバッファ0データ3	C0SLOT0_9	XX ₁₆
01EA ₁₆	CAN0メッセージスロットバッファ0データ4	C0SLOT0_10	XX ₁₆
01EB ₁₆	CAN0メッセージスロットバッファ0データ5	C0SLOT0_11	XX ₁₆
01EC ₁₆	CAN0メッセージスロットバッファ0データ6	C0SLOT0_12	XX ₁₆
01ED ₁₆	CAN0メッセージスロットバッファ0データ7	C0SLOT0_13	XX ₁₆
01EE ₁₆	CAN0メッセージスロットバッファ0タイムスタンプ上位	C0SLOT0_14	XX ₁₆
01EF ₁₆	CAN0メッセージスロットバッファ0タイムスタンプ下位	C0SLOT0_15	XX ₁₆
01F0 ₁₆	CAN0メッセージスロットバッファ1標準ID0	C0SLOT1_0	XX ₁₆
01F1 ₁₆	CAN0メッセージスロットバッファ1標準ID1	C0SLOT1_1	XX ₁₆
01F2 ₁₆	CAN0メッセージスロットバッファ1拡張ID0	C0SLOT1_2	XX ₁₆
01F3 ₁₆	CAN0メッセージスロットバッファ1拡張ID1	C0SLOT1_3	XX ₁₆
01F4 ₁₆	CAN0メッセージスロットバッファ1拡張ID2	C0SLOT1_4	XX ₁₆
01F5 ₁₆	CAN0メッセージスロットバッファ1データ長コード	C0SLOT1_5	XX ₁₆
01F6 ₁₆	CAN0メッセージスロットバッファ1データ0	C0SLOT1_6	XX ₁₆
01F7 ₁₆	CAN0メッセージスロットバッファ1データ1	C0SLOT1_7	XX ₁₆
01F8 ₁₆	CAN0メッセージスロットバッファ1データ2	C0SLOT1_8	XX ₁₆
01F9 ₁₆	CAN0メッセージスロットバッファ1データ3	C0SLOT1_9	XX ₁₆
01FA ₁₆	CAN0メッセージスロットバッファ1データ4	C0SLOT1_10	XX ₁₆
01FB ₁₆	CAN0メッセージスロットバッファ1データ5	C0SLOT1_11	XX ₁₆
01FC ₁₆	CAN0メッセージスロットバッファ1データ6	C0SLOT1_12	XX ₁₆
01FD ₁₆	CAN0メッセージスロットバッファ1データ7	C0SLOT1_13	XX ₁₆
01FE ₁₆	CAN0メッセージスロットバッファ1タイムスタンプ上位	C0SLOT1_14	XX ₁₆
01FF ₁₆	CAN0メッセージスロットバッファ1タイムスタンプ下位	C0SLOT1_15	XX ₁₆
0200 ₁₆ 0201 ₁₆	CAN0制御レジスタ0	C0CTRLR0	XX01 0X01 ₂ (注1) XXXX 0000 ₂ (注1)
0202 ₁₆ 0203 ₁₆	CAN0ステータスレジスタ	C0STR	0000 0000 ₂ (注1) X000 0X01 ₂ (注1)
0204 ₁₆ 0205 ₁₆	CAN0拡張IDレジスタ	C0IDR	00 ₁₆ (注1) 00 ₁₆ (注1)
0206 ₁₆ 0207 ₁₆	CAN0コンフィグレーションレジスタ	C0CONR	0000 XXXX ₂ (注1) 0000 0000 ₂ (注1)
0208 ₁₆ 0209 ₁₆	CAN0タイムスタンプレジスタ	C0TSR	00 ₁₆ (注1) 00 ₁₆ (注1)
020A ₁₆	CAN0送信エラーカウントレジスタ	C0TEC	00 ₁₆ (注1)
020B ₁₆	CAN0受信エラーカウントレジスタ	C0REC	00 ₁₆ (注1)
020C ₁₆ 020D ₁₆	CAN0スロット割り込みステータスレジスタ	C0SISTR	00 ₁₆ (注1) 00 ₁₆ (注1)
020E ₁₆			
020F ₁₆			

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1．リセット後C0SLPRレジスタのSLEEPビットを"1"(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

番地	レジスタ	シンボル	リセット後の値
0210 ₁₆	CAN0スロット割り込みマスクレジスタ	C0SIMKR	00 ₁₆ (注2)
0211 ₁₆			00 ₁₆ (注2)
0212 ₁₆			
0213 ₁₆			
0214 ₁₆	CAN0エラー割り込みマスクレジスタ	C0EIMKR	XXXX X000 ₂ (注2)
0215 ₁₆	CAN0エラー割り込みステータスレジスタ	C0EISTR	XXXX X000 ₂ (注2)
0216 ₁₆			
0217 ₁₆	CAN0ボーレートプリスケアラ	C0BRP	0000 0001 ₂ (注2)
0218 ₁₆			
0219 ₁₆			
021A ₁₆			
021B ₁₆			
021C ₁₆			
021D ₁₆			
021E ₁₆			
021F ₁₆			
0220 ₁₆			
0221 ₁₆			
0222 ₁₆			
0223 ₁₆			
0224 ₁₆			
0225 ₁₆			
0226 ₁₆			
0227 ₁₆			
0228 ₁₆	CAN0グローバルマスクレジスタ標準ID0	C0GMR0	XXX0 0000 ₂ (注2)
0229 ₁₆	CAN0グローバルマスクレジスタ標準ID1	C0GMR1	XX00 0000 ₂ (注2)
022A ₁₆	CAN0グローバルマスクレジスタ拡張ID0	C0GMR2	XXXX 0000 ₂ (注2)
022B ₁₆	CAN0グローバルマスクレジスタ拡張ID1	C0GMR3	00 ₁₆ (注2)
022C ₁₆	CAN0グローバルマスクレジスタ拡張ID2	C0GMR4	XX00 0000 ₂ (注2)
022D ₁₆			
022E ₁₆			
022F ₁₆			
0230 ₁₆	CAN0メッセージスロット0制御レジスタ/ CAN0ローカルマスクレジスタA標準ID0	C0MCTL0/ C0LMAR0	0000 0000 ₂ (注2) XXX0 0000 ₂ (注2)
	0231 ₁₆	CAN0メッセージスロット1制御レジスタ/ CAN0ローカルマスクレジスタA標準ID1	C0MCTL1/ C0LMAR1
0232 ₁₆		CAN0メッセージスロット2制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID0	C0MCTL2/ C0LMAR2
	0233 ₁₆	CAN0メッセージスロット3制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID1	C0MCTL3/ C0LMAR3
0234 ₁₆		CAN0メッセージスロット4制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID2	C0MCTL4/ C0LMAR4
	0235 ₁₆	CAN0メッセージスロット5制御レジスタ	C0MCTL5
0236 ₁₆	CAN0メッセージスロット6制御レジスタ	C0MCTL6	00 ₁₆ (注2)
0237 ₁₆	CAN0メッセージスロット7制御レジスタ	C0MCTL7	00 ₁₆ (注2)
0238 ₁₆	CAN0メッセージスロット8制御レジスタ/ CAN0ローカルマスクレジスタB標準ID0	C0MCTL8/ C0LMBR0	0000 0000 ₂ (注2) XXX0 0000 ₂ (注2)

(注1)

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 0220₁₆ ~ 023F₁₆番地は、C0CTLR1レジスタのBANKSELビットで機能を切り替えられます。

注2. リセット後C0SLPRレジスタのSLEEPビットを"1"(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

番地	レジスタ	シンボル	リセット後の値
0239 ₁₆	CAN0メッセージスロット9制御レジスタ	C0MCTL9/	0000 0000 ₂ (注2)
	CAN0ローカルマスクレジスタB標準ID1	C0LMBR1	XX00 0000 ₂ (注2)
023A ₁₆	CAN0メッセージスロット10制御レジスタ/	C0MCTL10/	0000 0000 ₂ (注2)
	CAN0ローカルマスクレジスタB拡張ID0	C0LMBR2	XXXX 0000 ₂ (注2)
023B ₁₆	CAN0メッセージスロット11制御レジスタ/	C0MCTL11/	00 ₁₆ (注2)
	CAN0ローカルマスクレジスタB拡張ID1	C0LMBR3	00 ₁₆ (注2)
023C ₁₆	CAN0メッセージスロット12制御レジスタ/	C0MCTL12/	0000 0000 ₂ (注2)
	CAN0ローカルマスクレジスタB拡張ID2	C0LMBR4	XX00 0000 ₂ (注2)
023D ₁₆	CAN0メッセージスロット13制御レジスタ	C0MCTL13	00 ₁₆ (注2)
023E ₁₆	CAN0メッセージスロット14制御レジスタ	C0MCTL14	00 ₁₆ (注2)
023F ₁₆	CAN0メッセージスロット15制御レジスタ	C0MCTL15	00 ₁₆ (注2)
0240 ₁₆	CAN0スロットバッファ選択レジスタ	C0SBS	00 ₁₆ (注2)
0241 ₁₆	CAN0制御レジスタ1	C0CTLR1	XX00 00XX ₂ (注2)
0242 ₁₆	CAN0スリープ制御レジスタ	C0SLPR	XXXX XXX0 ₂
0243 ₁₆			
0244 ₁₆	CAN0アクセプタンスフィルタサポートレジスタ	C0AFS	00 ₁₆ (注2)
0245 ₁₆			01 ₁₆ (注2)
0246 ₁₆			
0247 ₁₆			
0248 ₁₆			
0249 ₁₆			
024A ₁₆			
024B ₁₆			
024C ₁₆			
024D ₁₆			
024E ₁₆			
024F ₁₆			
0250 ₁₆			
0251 ₁₆			
0252 ₁₆			
0253 ₁₆			
0254 ₁₆			
0255 ₁₆			
0256 ₁₆			
0257 ₁₆			
0258 ₁₆			
0259 ₁₆			
025A ₁₆			
025B ₁₆			
025C ₁₆			
025D ₁₆			
025E ₁₆			
025F ₁₆			
0260 ₁₆			
0261 ₁₆			
0262 ₁₆	}		
02BF ₁₆			

(注1)

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1．0220₁₆～023F₁₆番地は、C0CTLR1レジスタのBANKSELビットで機能を切り替えられます。

注2．リセット後C0SLPRレジスタのSLEEPビットを"1"(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

番地	レジスタ	シンボル	リセット後の値
02C0 ₁₆ 02C1 ₁₆	X0レジスタ Y0レジスタ	X0R,Y0R	XX ₁₆ XX ₁₆
02C2 ₁₆ 02C3 ₁₆	X1レジスタ Y1レジスタ	X1R,Y1R	XX ₁₆ XX ₁₆
02C4 ₁₆ 02C5 ₁₆	X2レジスタ Y2レジスタ	X2R,Y2R	XX ₁₆ XX ₁₆
02C6 ₁₆ 02C7 ₁₆	X3レジスタ Y3レジスタ	X3R,Y3R	XX ₁₆ XX ₁₆
02C8 ₁₆ 02C9 ₁₆	X4レジスタ Y4レジスタ	X4R,Y4R	XX ₁₆ XX ₁₆
02CA ₁₆ 02CB ₁₆	X5レジスタ Y5レジスタ	X5R,Y5R	XX ₁₆ XX ₁₆
02CC ₁₆ 02CD ₁₆	X6レジスタ Y6レジスタ	X6R,Y6R	XX ₁₆ XX ₁₆
02CE ₁₆ 02CF ₁₆	X7レジスタ Y7レジスタ	X7R,Y7R	XX ₁₆ XX ₁₆
02D0 ₁₆ 02D1 ₁₆	X8レジスタ Y8レジスタ	X8R,Y8R	XX ₁₆ XX ₁₆
02D2 ₁₆ 02D3 ₁₆	X9レジスタ Y9レジスタ	X9R,Y9R	XX ₁₆ XX ₁₆
02D4 ₁₆ 02D5 ₁₆	X10レジスタ Y10レジスタ	X10R,Y10R	XX ₁₆ XX ₁₆
02D6 ₁₆ 02D7 ₁₆	X11レジスタ Y11レジスタ	X11R,Y11R	XX ₁₆ XX ₁₆
02D8 ₁₆ 02D9 ₁₆	X12レジスタ Y12レジスタ	X12R,Y12R	XX ₁₆ XX ₁₆
02DA ₁₆ 02DB ₁₆	X13レジスタ Y13レジスタ	X13R,Y13R	XX ₁₆ XX ₁₆
02DC ₁₆ 02DD ₁₆	X14レジスタ Y14レジスタ	X14R,Y14R	XX ₁₆ XX ₁₆
02DE ₁₆ 02DF ₁₆	X15レジスタ Y15レジスタ	X15R,Y15R	XX ₁₆ XX ₁₆
02E0 ₁₆	X/Y制御レジスタ	XYC	XXXX XX00 ₂
02E1 ₁₆			
02E2 ₁₆			
02E3 ₁₆			
02E4 ₁₆	UART1特殊モードレジスタ4	U1SMR4	00 ₁₆
02E5 ₁₆	UART1特殊モードレジスタ3	U1SMR3	00 ₁₆
02E6 ₁₆	UART1特殊モードレジスタ2	U1SMR2	00 ₁₆
02E7 ₁₆	UART1特殊モードレジスタ	U1SMR	00 ₁₆
02E8 ₁₆	UART1送受信モードレジスタ	U1MR	00 ₁₆
02E9 ₁₆	UART1転送速度レジスタ	U1BRG	XX ₁₆
02EA ₁₆ 02EB ₁₆	UART1送信バッファレジスタ	U1TB	XX ₁₆ XX ₁₆
02EC ₁₆	UART1送受信制御レジスタ0	U1C0	0000 1000 ₂
02ED ₁₆	UART1送受信制御レジスタ1	U1C1	0000 0010 ₂
02EE ₁₆ 02EF ₁₆	UART1受信バッファレジスタ	U1RB	XX ₁₆ XX ₁₆

X：不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
02F0 ₁₆			
02F1 ₁₆			
02F2 ₁₆			
02F3 ₁₆			
02F4 ₁₆	UART4特殊モードレジスタ4	U4SMR4	00 ₁₆
02F5 ₁₆	UART4特殊モードレジスタ3	U4SMR3	00 ₁₆
02F6 ₁₆	UART4特殊モードレジスタ2	U4SMR2	00 ₁₆
02F7 ₁₆	UART4特殊モードレジスタ	U4SMR	00 ₁₆
02F8 ₁₆	UART4送受信モードレジスタ	U4MR	00 ₁₆
02F9 ₁₆	UART4転送速度レジスタ	U4BRG	XX ₁₆
02FA ₁₆	UART4送信バッファレジスタ	U4TB	XX ₁₆
02FB ₁₆			XX ₁₆
02FC ₁₆	UART4送受信制御レジスタ0	U4C0	0000 1000 ₂
02FD ₁₆	UART4送受信制御レジスタ1	U4C1	0000 0010 ₂
02FE ₁₆	UART4受信バッファレジスタ	U4RB	XX ₁₆
02FF ₁₆			XX ₁₆
0300 ₁₆	タイマB3,4,5カウント開始フラグ	TBSR	000X XXXX ₂
0301 ₁₆			
0302 ₁₆	タイマA1-1レジスタ	TA11	XX ₁₆
0303 ₁₆			XX ₁₆
0304 ₁₆	タイマA2-1レジスタ	TA21	XX ₁₆
0305 ₁₆			XX ₁₆
0306 ₁₆	タイマA4-1レジスタ	TA41	XX ₁₆
0307 ₁₆			XX ₁₆
0308 ₁₆	三相PWM制御レジスタ0	INVC0	00 ₁₆
0309 ₁₆	三相PWM制御レジスタ1	INVC1	00 ₁₆
030A ₁₆	三相出力バッファレジスタ0	IDB0	XX ₁₁ 1111 ₂
030B ₁₆	三相出力バッファレジスタ1	IDB1	XX ₁₁ 1111 ₂
030C ₁₆	短絡防止タイマ	DTT	XX ₁₆
030D ₁₆	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XX ₁₆
030E ₁₆			
030F ₁₆			
0310 ₁₆	タイマB3レジスタ	TB3	XX ₁₆
0311 ₁₆			XX ₁₆
0312 ₁₆	タイマB4レジスタ	TB4	XX ₁₆
0313 ₁₆			XX ₁₆
0314 ₁₆	タイマB5レジスタ	TB5	XX ₁₆
0315 ₁₆			XX ₁₆
0316 ₁₆			
0317 ₁₆			
0318 ₁₆			
0319 ₁₆			
031A ₁₆			
031B ₁₆	タイマB3モードレジスタ	TB3MR	00XX 0000 ₂
031C ₁₆	タイマB4モードレジスタ	TB4MR	00XX 0000 ₂
031D ₁₆	タイマB5モードレジスタ	TB5MR	00XX 0000 ₂
031E ₁₆			
031F ₁₆	外部割り込み要因選択レジスタ	IFSR	00 ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0320 ₁₆			
0321 ₁₆			
0322 ₁₆			
0323 ₁₆			
0324 ₁₆	UART3特殊モードレジスタ4	U3SMR4	00 ₁₆
0325 ₁₆	UART3特殊モードレジスタ3	U3SMR3	00 ₁₆
0326 ₁₆	UART3特殊モードレジスタ2	U3SMR2	00 ₁₆
0327 ₁₆	UART3特殊モードレジスタ	U3SMR	00 ₁₆
0328 ₁₆	UART3送受信モードレジスタ	U3MR	00 ₁₆
0329 ₁₆	UART3転送速度レジスタ	U3BRG	XX ₁₆
032A ₁₆	UART3送信バッファレジスタ	U3TB	XX ₁₆
032B ₁₆			XX ₁₆
032C ₁₆	UART3送受信制御レジスタ0	U3C0	0000 1000 ₂
032D ₁₆	UART3送受信制御レジスタ1	U3C1	0000 0010 ₂
032E ₁₆	UART3受信バッファレジスタ	U3RB	XX ₁₆
032F ₁₆			XX ₁₆
0330 ₁₆			
0331 ₁₆			
0332 ₁₆			
0333 ₁₆			
0334 ₁₆	UART2特殊モードレジスタ4	U2SMR4	00 ₁₆
0335 ₁₆	UART2特殊モードレジスタ3	U2SMR3	00 ₁₆
0336 ₁₆	UART2特殊モードレジスタ2	U2SMR2	00 ₁₆
0337 ₁₆	UART2特殊モードレジスタ	U2SMR	00 ₁₆
0338 ₁₆	UART2送受信モードレジスタ	U2MR	00 ₁₆
0339 ₁₆	UART2転送速度レジスタ	U2BRG	XX ₁₆
033A ₁₆	UART2送信バッファレジスタ	U2TB	XX ₁₆
033B ₁₆			XX ₁₆
033C ₁₆	UART2送受信制御レジスタ0	U2C0	0000 1000 ₂
033D ₁₆	UART2送受信制御レジスタ1	U2C1	0000 0010 ₂
033E ₁₆	UART2受信バッファレジスタ	U2RB	XX ₁₆
033F ₁₆			XX ₁₆
0340 ₁₆	カウント開始フラグ	TABSR	00 ₁₆
0341 ₁₆	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXX ₂
0342 ₁₆	ワンショット開始フラグ	ONSF	00 ₁₆
0343 ₁₆	トリガ選択レジスタ	TRGSR	00 ₁₆
0344 ₁₆	アップダウンフラグ	UDF	00 ₁₆
0345 ₁₆			
0346 ₁₆	タイマA0レジスタ	TA0	XX ₁₆
0347 ₁₆			XX ₁₆
0348 ₁₆	タイマA1レジスタ	TA1	XX ₁₆
0349 ₁₆			XX ₁₆
034A ₁₆	タイマA2レジスタ	TA2	XX ₁₆
034B ₁₆			XX ₁₆
034C ₁₆	タイマA3レジスタ	TA3	XX ₁₆
034D ₁₆			XX ₁₆
034E ₁₆	タイマA4レジスタ	TA4	XX ₁₆
034F ₁₆			XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0350 ₁₆ 0351 ₁₆	タイマB0レジスタ	TB0	XX ₁₆ XX ₁₆
0352 ₁₆ 0353 ₁₆	タイマB1レジスタ	TB1	XX ₁₆ XX ₁₆
0354 ₁₆ 0355 ₁₆	タイマB2レジスタ	TB2	XX ₁₆ XX ₁₆
0356 ₁₆	タイマA0モードレジスタ	TA0MR	0000 0X00 ₂
0357 ₁₆	タイマA1モードレジスタ	TA1MR	0000 0X00 ₂
0358 ₁₆	タイマA2モードレジスタ	TA2MR	0000 0X00 ₂
0359 ₁₆	タイマA3モードレジスタ	TA3MR	0000 0X00 ₂
035A ₁₆	タイマA4モードレジスタ	TA4MR	0000 0X00 ₂
035B ₁₆	タイマB0モードレジスタ	TB0MR	00XX 0000 ₂
035C ₁₆	タイマB1モードレジスタ	TB1MR	00XX 0000 ₂
035D ₁₆	タイマB2モードレジスタ	TB2MR	00XX 0000 ₂
035E ₁₆	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0 ₂
035F ₁₆	カウントソースプリスケアラレジスタ(注1)	TCSPR	0XXX 0000 ₂
0360 ₁₆			
0361 ₁₆			
0362 ₁₆			
0363 ₁₆			
0364 ₁₆	UART0特殊モードレジスタ4	U0SMR4	00 ₁₆
0365 ₁₆	UART0特殊モードレジスタ3	U0SMR3	00 ₁₆
0366 ₁₆	UART0特殊モードレジスタ2	U0SMR2	00 ₁₆
0367 ₁₆	UART0特殊モードレジスタ	U0SMR	00 ₁₆
0368 ₁₆	UART0送受信モードレジスタ	U0MR	00 ₁₆
0369 ₁₆	UART0転送速度レジスタ	U0BRG	XX ₁₆
036A ₁₆ 036B ₁₆	UART0送信バッファレジスタ	U0TB	XX ₁₆ XX ₁₆
036C ₁₆	UART0送受信制御レジスタ0	U0C0	0000 1000 ₂
036D ₁₆	UART0送受信制御レジスタ1	U0C1	0000 0010 ₂
036E ₁₆ 036F ₁₆	UART0受信バッファレジスタ	U0RB	XX ₁₆ XX ₁₆
0370 ₁₆			
0371 ₁₆			
0372 ₁₆			
0373 ₁₆			
0374 ₁₆			
0375 ₁₆			
0376 ₁₆	PLL制御レジスタ0	PLC0	0011 X100 ₂
0377 ₁₆	PLL制御レジスタ1	PLC1	XXXX 0000 ₂
0378 ₁₆	DMA0要因選択レジスタ	DM0SL	0X00 0000 ₂
0379 ₁₆	DMA1要因選択レジスタ	DM1SL	0X00 0000 ₂
037A ₁₆	DMA2要因選択レジスタ	DM2SL	0X00 0000 ₂
037B ₁₆	DMA3要因選択レジスタ	DM3SL	0X00 0000 ₂
037C ₁₆ 037D ₁₆	CRCデータレジスタ	CRCD	XX ₁₆ XX ₁₆
037E ₁₆	CRCインプットレジスタ	CRCIN	XX ₁₆
037F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. TCSPRレジスタは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

番地	レジスタ	シンボル	リセット後の値
0380 ₁₆ 0381 ₁₆	A/D0レジスタ0	AD00	XX ₁₆ XX ₁₆
0382 ₁₆ 0383 ₁₆	A/D0レジスタ1	AD01	XX ₁₆ XX ₁₆
0384 ₁₆ 0385 ₁₆	A/D0レジスタ2	AD02	XX ₁₆ XX ₁₆
0386 ₁₆ 0387 ₁₆	A/D0レジスタ3	AD03	XX ₁₆ XX ₁₆
0388 ₁₆ 0389 ₁₆	A/D0レジスタ4	AD04	XX ₁₆ XX ₁₆
038A ₁₆ 038B ₁₆	A/D0レジスタ5	AD05	XX ₁₆ XX ₁₆
038C ₁₆ 038D ₁₆	A/D0レジスタ6	AD06	XX ₁₆ XX ₁₆
038E ₁₆ 038F ₁₆	A/D0レジスタ7	AD07	XX ₁₆ XX ₁₆
0390 ₁₆			
0391 ₁₆			
0392 ₁₆			
0393 ₁₆			
0394 ₁₆ 0395 ₁₆	A/D0制御レジスタ2	AD0CON2	X000 0000 ₂
0396 ₁₆	A/D0制御レジスタ0	AD0CON0	00 ₁₆
0397 ₁₆	A/D0制御レジスタ1	AD0CON1	00 ₁₆
0398 ₁₆ 0399 ₁₆	D/Aレジスタ0	DA0	XX ₁₆
039A ₁₆ 039B ₁₆	D/Aレジスタ1	DA1	XX ₁₆
039C ₁₆ 039D ₁₆	D/A制御レジスタ	DACON	XXXX XX00 ₂
039E ₁₆			
039F ₁₆			

X：不定

空欄はすべて予約領域です。アクセスしないでください。

< 144ピン版 >

番地	レジスタ	シンボル	リセット後の値
03A016	機能選択レジスタA8	PS8	X000 0000 ₂
03A116	機能選択レジスタA9	PS9	0016
03A216			
03A316			
03A416			
03A516			
03A616			
03A716			
03A816			
03A916			
03AA16			
03AB16			
03AC16			
03AD16			
03AE16			
03AF16	機能選択レジスタC	PSC	00X0 0000 ₂
03B016	機能選択レジスタA0	PS0	0016
03B116	機能選択レジスタA1	PS1	0016
03B216	機能選択レジスタB0	PSL0	0016
03B316	機能選択レジスタB1	PSL1	0016
03B416	機能選択レジスタA2	PS2	00X0 0000 ₂
03B516	機能選択レジスタA3	PS3	0016
03B616	機能選択レジスタB2	PSL2	00X0 0000 ₂
03B716	機能選択レジスタB3	PSL3	0016
03B816			
03B916	機能選択レジスタA5	PS5	XXX0 0000 ₂
03BA16			
03BB16			
03BC16	機能選択レジスタA6	PS6	0016
03BD16	機能選択レジスタA7	PS7	0016
03BE16			
03BF16			
03C016	ポートP6レジスタ	P6	XX16
03C116	ポートP7レジスタ	P7	XX16
03C216	ポートP6方向レジスタ	PD6	0016
03C316	ポートP7方向レジスタ	PD7	0016
03C416	ポートP8レジスタ	P8	XX16
03C516	ポートP9レジスタ	P9	XX16
03C616	ポートP8方向レジスタ	PD8	00X0 0000 ₂
03C716	ポートP9方向レジスタ	PD9	0016
03C816	ポートP10レジスタ	P10	XX16
03C916	ポートP11レジスタ	P11	XX16
03CA16	ポートP10方向レジスタ	PD10	0016
03CB16	ポートP11方向レジスタ	PD11	XXX0 0000 ₂
03CC16	ポートP12レジスタ	P12	XX16
03CD16	ポートP13レジスタ	P13	XX16
03CE16	ポートP12方向レジスタ	PD12	0016
03CF16	ポートP13方向レジスタ	PD13	0016

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

< 144ピン版 >

番地	レジスタ	シンボル	リセット後の値
03D0 ₁₆	ポートP14レジスタ	P14	XX ₁₆
03D1 ₁₆	ポートP15レジスタ	P15	XX ₁₆
03D2 ₁₆	ポートP14方向レジスタ	PD14	X000 0000 ₂
03D3 ₁₆	ポートP15方向レジスタ	PD15	00 ₁₆
03D4 ₁₆			
03D5 ₁₆			
03D6 ₁₆			
03D7 ₁₆			
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆	ブルアップ制御レジスタ2	PUR2	00 ₁₆
03DB ₁₆	ブルアップ制御レジスタ3	PUR3	00 ₁₆
03DC ₁₆	ブルアップ制御レジスタ4	PUR4	XXXX 0000 ₂
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0レジスタ	P0	XX ₁₆
03E1 ₁₆	ポートP1レジスタ	P1	XX ₁₆
03E2 ₁₆	ポートP0方向レジスタ	PD0	00 ₁₆
03E3 ₁₆	ポートP1方向レジスタ	PD1	00 ₁₆
03E4 ₁₆	ポートP2レジスタ	P2	XX ₁₆
03E5 ₁₆	ポートP3レジスタ	P3	XX ₁₆
03E6 ₁₆	ポートP2方向レジスタ	PD2	00 ₁₆
03E7 ₁₆	ポートP3方向レジスタ	PD3	00 ₁₆
03E8 ₁₆	ポートP4レジスタ	P4	XX ₁₆
03E9 ₁₆	ポートP5レジスタ	P5	XX ₁₆
03EA ₁₆	ポートP4方向レジスタ	PD4	00 ₁₆
03EB ₁₆	ポートP5方向レジスタ	PD5	00 ₁₆
03EC ₁₆			
03ED ₁₆			
03EE ₁₆			
03EF ₁₆			
03F0 ₁₆	ブルアップ制御レジスタ0	PUR0	00 ₁₆
03F1 ₁₆	ブルアップ制御レジスタ1	PUR1	XXXX 0000 ₂
03F2 ₁₆			
03F3 ₁₆			
03F4 ₁₆			
03F5 ₁₆			
03F6 ₁₆			
03F7 ₁₆			
03F8 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆			
03FC ₁₆			
03FD ₁₆			
03FE ₁₆			
03FF ₁₆	ポート制御レジスタ	PCR	XXXX XXX0 ₂

X : 不定



空欄はすべて予約領域です。アクセスしないでください。

< 100ピン版 >

番地	レジスタ	シンボル	リセット後の値	
03A0 ₁₆				(注2)
03A1 ₁₆				
03A2 ₁₆				
03A3 ₁₆				
03A4 ₁₆				
03A5 ₁₆				
03A6 ₁₆				
03A7 ₁₆				
03A8 ₁₆				
03A9 ₁₆				
03AA ₁₆				
03AB ₁₆				
03AC ₁₆				
03AD ₁₆				
03AE ₁₆				
03AF ₁₆	機能選択レジスタC	PSC	0X00 0000 ₂	
03B0 ₁₆	機能選択レジスタA0	PS0	00 ₁₆	
03B1 ₁₆	機能選択レジスタA1	PS1	00 ₁₆	
03B2 ₁₆	機能選択レジスタB0	PSL0	00 ₁₆	
03B3 ₁₆	機能選択レジスタB1	PSL1	00 ₁₆	
03B4 ₁₆	機能選択レジスタA2	PS2	00X0 0000 ₂	
03B5 ₁₆	機能選択レジスタA3	PS3	00 ₁₆	
03B6 ₁₆	機能選択レジスタB2	PSL2	00X0 0000 ₂	
03B7 ₁₆	機能選択レジスタB3	PSL3	00 ₁₆	
03B8 ₁₆				
03B9 ₁₆				(注2)
03BA ₁₆				
03BB ₁₆				
03BC ₁₆				(注2)
03BD ₁₆				
03BE ₁₆				
03BF ₁₆				
03C0 ₁₆	ポートP6レジスタ	P6	XX ₁₆	
03C1 ₁₆	ポートP7レジスタ	P7	XX ₁₆	
03C2 ₁₆	ポートP6方向レジスタ	PD6	00 ₁₆	
03C3 ₁₆	ポートP7方向レジスタ	PD7	00 ₁₆	
03C4 ₁₆	ポートP8レジスタ	P8	XX ₁₆	
03C5 ₁₆	ポートP9レジスタ	P9	XX ₁₆	
03C6 ₁₆	ポートP8方向レジスタ	PD8	00X0 0000 ₂	
03C7 ₁₆	ポートP9方向レジスタ	PD9	00 ₁₆	
03C8 ₁₆	ポートP10レジスタ	P10	XX ₁₆	
03C9 ₁₆				(注2)
03CA ₁₆	ポートP10方向レジスタ	PD10	00 ₁₆	
03CB ₁₆				(注1)
03CC ₁₆				(注2)
03CD ₁₆				
03CE ₁₆				(注1)
03CF ₁₆				

X : 不定

空欄はすべて予約領域です。アクセスしないでください。


注1.  100ピン版ではリセット後03CB₁₆、03CE₁₆、03CF₁₆番地の領域を“FF₁₆”にしてください。注2.  100ピン版では03A0₁₆、03A1₁₆、03B9₁₆、03BC₁₆、03BD₁₆、03C9₁₆、03CC₁₆、03CD₁₆番地の領域は存在しません。

< 100ピン版 >


番地	レジスタ	シンボル	リセット後の値	
03D0 ₁₆				(注3)
03D1 ₁₆				
03D2 ₁₆				(注1)
03D3 ₁₆				
03D4 ₁₆				
03D5 ₁₆				
03D6 ₁₆				
03D7 ₁₆				
03D8 ₁₆				
03D9 ₁₆				
03DA ₁₆	ブルアップ制御レジスタ2	PUR2	00 ₁₆	
03DB ₁₆	ブルアップ制御レジスタ3	PUR3	00 ₁₆	
03DC ₁₆				(注2)
03DD ₁₆				
03DE ₁₆				
03DF ₁₆				
03E0 ₁₆	ポートP0レジスタ	P0	XX ₁₆	
03E1 ₁₆	ポートP1レジスタ	P1	XX ₁₆	
03E2 ₁₆	ポートP0方向レジスタ	PD0	00 ₁₆	
03E3 ₁₆	ポートP1方向レジスタ	PD1	00 ₁₆	
03E4 ₁₆	ポートP2レジスタ	P2	XX ₁₆	
03E5 ₁₆	ポートP3レジスタ	P3	XX ₁₆	
03E6 ₁₆	ポートP2方向レジスタ	PD2	00 ₁₆	
03E7 ₁₆	ポートP3方向レジスタ	PD3	00 ₁₆	
03E8 ₁₆	ポートP4レジスタ	P4	XX ₁₆	
03E9 ₁₆	ポートP5レジスタ	P5	XX ₁₆	
03EA ₁₆	ポートP4方向レジスタ	PD4	00 ₁₆	
03EB ₁₆	ポートP5方向レジスタ	PD5	00 ₁₆	
03EC ₁₆				
03ED ₁₆				
03EE ₁₆				
03EF ₁₆				
03F0 ₁₆	ブルアップ制御レジスタ0	PUR0	00 ₁₆	
03F1 ₁₆	ブルアップ制御レジスタ1	PUR1	XXXX 0000 ₂	
03F2 ₁₆				
03F3 ₁₆				
03F4 ₁₆				
03F5 ₁₆				
03F6 ₁₆				
03F7 ₁₆				
03F8 ₁₆				
03F9 ₁₆				
03FA ₁₆				
03FB ₁₆				
03FC ₁₆				
03FD ₁₆				
03FE ₁₆				
03FF ₁₆	ポート制御レジスタ	PCR	XXXX XXX0 ₂	

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1.  100ピン版ではリセット後03D2₁₆、03D3₁₆番地の領域を“FF₁₆”にしてください。

注2.  100ピン版ではリセット後03DC₁₆番地の領域を“00₁₆”にしてください。

注3.  100ピン版では03D0₁₆、03D1₁₆番地の領域は存在しません。

5. リセット

マイクロコンピュータのリセットには、ハードウェアリセットとソフトウェアリセット、ウォッチドッグタイマリセットがあります。

5.1 ハードウェアリセット

ハードウェアリセットは次のとおりです。

5.1.1 電源電圧安定時

電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子は初期化されます(表5.1を参照)。 $\overline{\text{RESET}}$ 端子に“L”を入力したままXIN端子に20サイクル以上のクロックを入力し、その後 $\overline{\text{RESET}}$ 端子を“H”に戻してください。CPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。

リセット後、内部RAMは初期化されません。また、内部RAMに書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、書いた値は不定となります。

5.1.2 電源投入時

$\overline{\text{RESET}}$ 端子に“L”を入力している状態で、電源投入後、Vcc端子に入力する電圧を推奨動作条件を満たすレベルまで上昇させると端子は初期化されます(表5.1を参照)。

メインクロックの発振が安定し、XIN端子に20サイクル以上のクロックが入力された後、 $\overline{\text{RESET}}$ 端子のレベルを“L”から“H”にすると、CPUとSFRが初期化されます(内部RAMは不定となります)。その後、リセットベクタで示される番地からプログラムを実行します。

図5.1にリセット回路の一例、図5.2にリセットシーケンス、図5.3にリセット後のCPUレジスタの状態、表5.1に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を示します。リセット後のSFRの状態は「4. SFR」を参照してください。

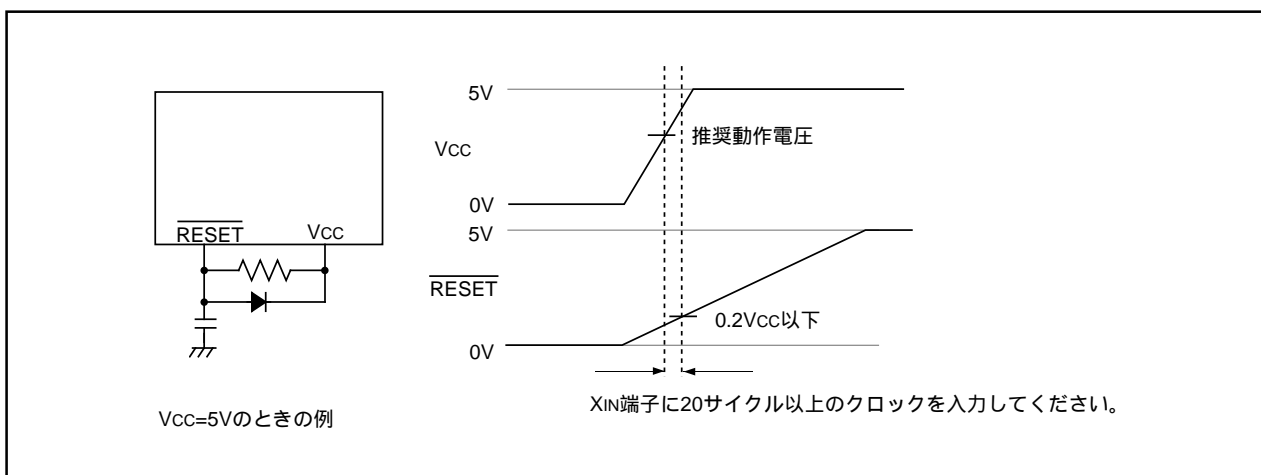


図5.1 リセット回路の一例

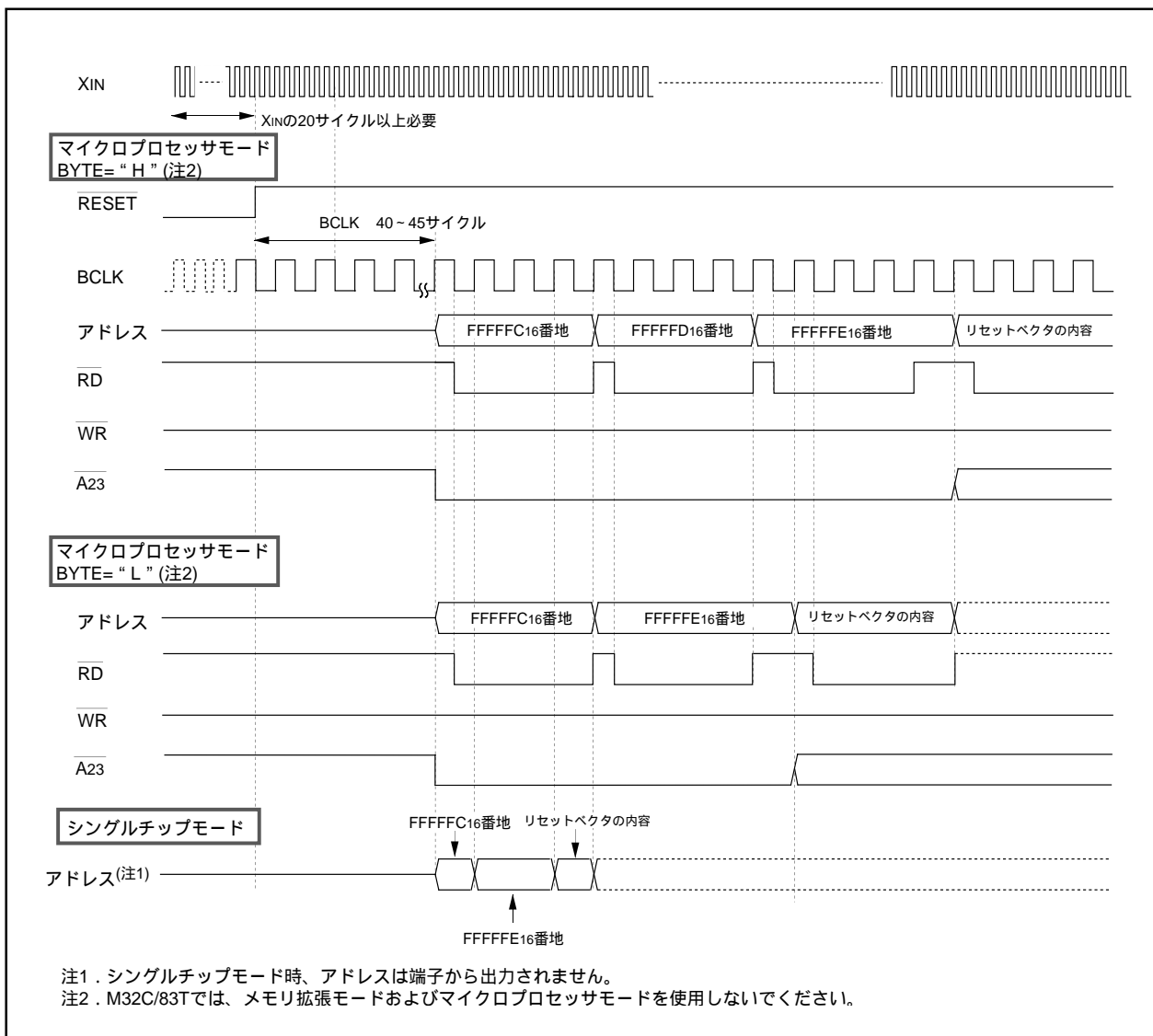


図5.2 リセットシーケンス

表5.1 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(ハイインピーダンス)	データ入力(ハイインピーダンス)	
P1	入力ポート(ハイインピーダンス)	データ入力(ハイインピーダンス)	入力ポート(ハイインピーダンス)
P2, P3, P4	入力ポート(ハイインピーダンス)	アドレス出力(不定)	
P50	入力ポート(ハイインピーダンス)	WR出力(“H”を出力)	
P51	入力ポート(ハイインピーダンス)	BHE出力(不定)	
P52	入力ポート(ハイインピーダンス)	RD出力(“H”を出力)	
P53	入力ポート(ハイインピーダンス)	BCLK出力	
P54	入力ポート(ハイインピーダンス)	HLDA出力(出力値はHOLD端子の入力に依存)	
P55	入力ポート(ハイインピーダンス)	HOLD入力(ハイインピーダンス)	
P56	入力ポート(ハイインピーダンス)	RAS出力	
P57	入力ポート(ハイインピーダンス)	RDY入力(ハイインピーダンス)	
P6 ~ P15 ^(注1)	入力ポート(ハイインピーダンス)	入力ポート(ハイインピーダンス)	

注1 . ポートP11 ~ P15は144ピン版のみあります。

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にすると、マイクロコンピュータはハードウェアリセット時と同様に、端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態でPM03ビットを“1”にしてください。

5.3 ウォッチドッグタイマリセット

CM0レジスタのCM06ビットが“1”(リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01 ~ PM00ビットを初期化しないため、プロセッサモードなどは変化しません。

6. プロセッサモード

注意

M32C/83Tでは、シングルチップモードを使用してください。
メモリ拡張モードおよびマイクロプロセッサモードは使用しないでください。

6.1 プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、またはマイクロプロセッサモードを選択できます。プロセッサモードによって、一部の端子機能、メモリ配置、アクセス空間が異なります。

6.1.1 シングルチップモード

シングルチップモードでは、内部領域(SFR、内部RAM、内部ROM)のアクセスができます。
このモードでは、すべての入出力ポートが使用できます。

6.1.2 メモリ拡張モード

メモリ拡張モードでは、内部領域(SFR、内部RAM、内部ROM)と外部領域の両方をアクセスできます。
このモードでは、一部の端子がバス制御信号用の端子となります。その本数はBYTE端子、レジスタの設定により異なります。詳細は「7. バス」を参照してください。

6.1.3 マイクロプロセッサモード

マイクロプロセッサモードでは、SFR、内部RAM、外部領域をアクセスできます。内部ROMはアクセスできません。
このモードでは、一部の端子がバス制御信号用の端子となります。その本数はBYTE端子、レジスタの設定により異なります。詳細は「7. バス」を参照してください。

6.2 プロセッサモードの設定

プロセッサモードはCNVss端子とPM0レジスタのPM01～PM00ビットの組み合わせで設定します。PM01～PM00ビットは“102”にしないでください。

PM01～PM00ビットを書き換えると、CNVss端子のレベルにかかわらずPM01～PM00ビットに対応するモードになります。

PM0レジスタのPM07～PM02ビットを書き換えるときは、PM01～PM00ビットが変化しないように注意してください。CPUが内部ROMのプログラムを実行中、マイクロプロセッサモードへ移行しないでください。CPUが外部領域にあるプログラムを実行中、シングルチップモードへ移行しないでください。

図6.1、図6.2にPM0レジスタ、PM1レジスタを、図6.3に各プロセッサモードのメモリ配置図を示します。

6.2.1 CNVss端子にVssを入力

リセット後、シングルチップモードで動作を開始します。動作開始後にPM01～PM00ビットを“012” (メモリ拡張モード)にするとメモリ拡張モードに切り替わります。

6.2.2 CNVss端子にVccを入力

リセット後、マイクロプロセッサモードで動作を開始します。
フラッシュメモリ版では、CNVss端子に加え、P55(HOLD)端子にもVccを入力してください。

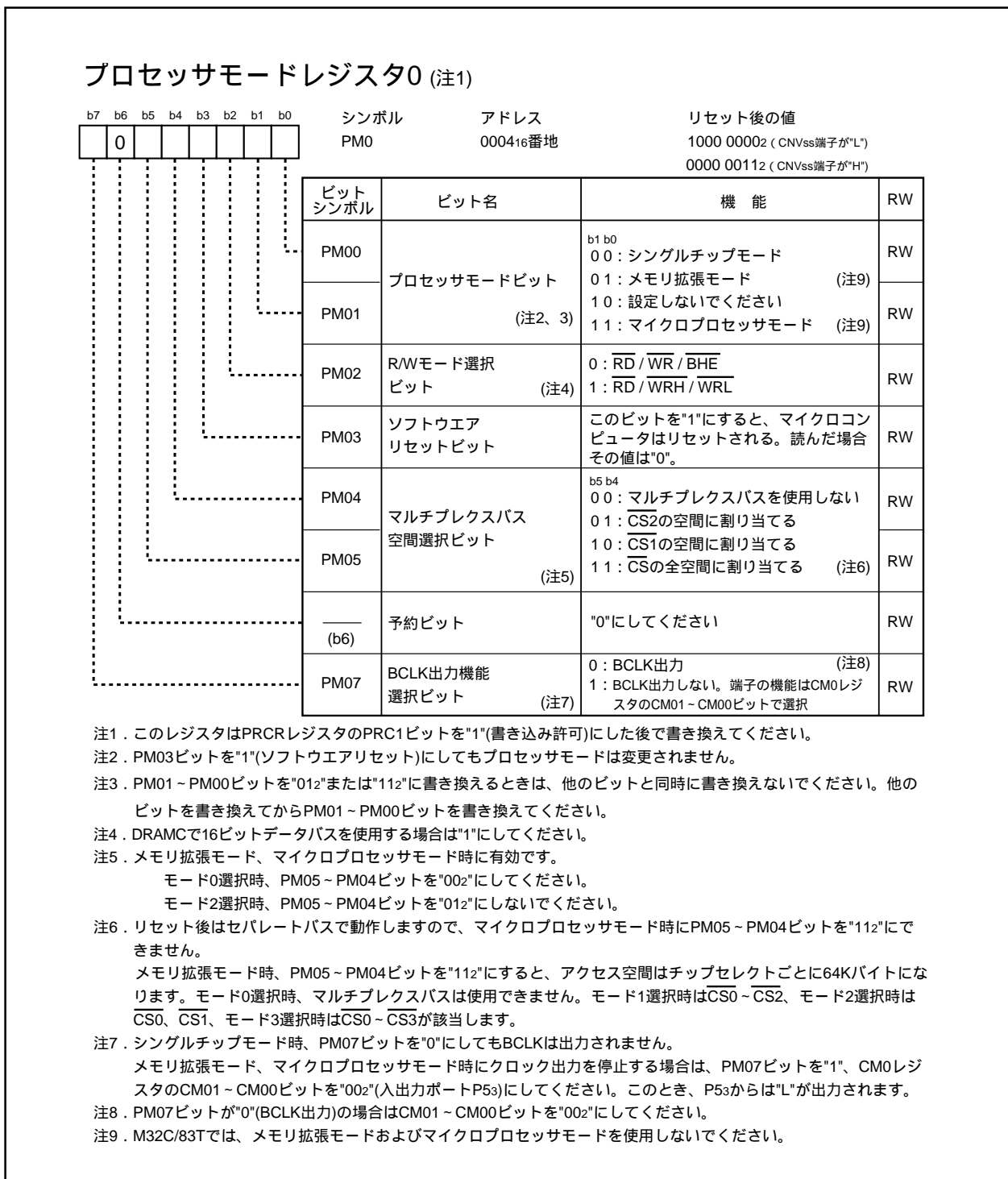


図6.1 PM0レジスタ

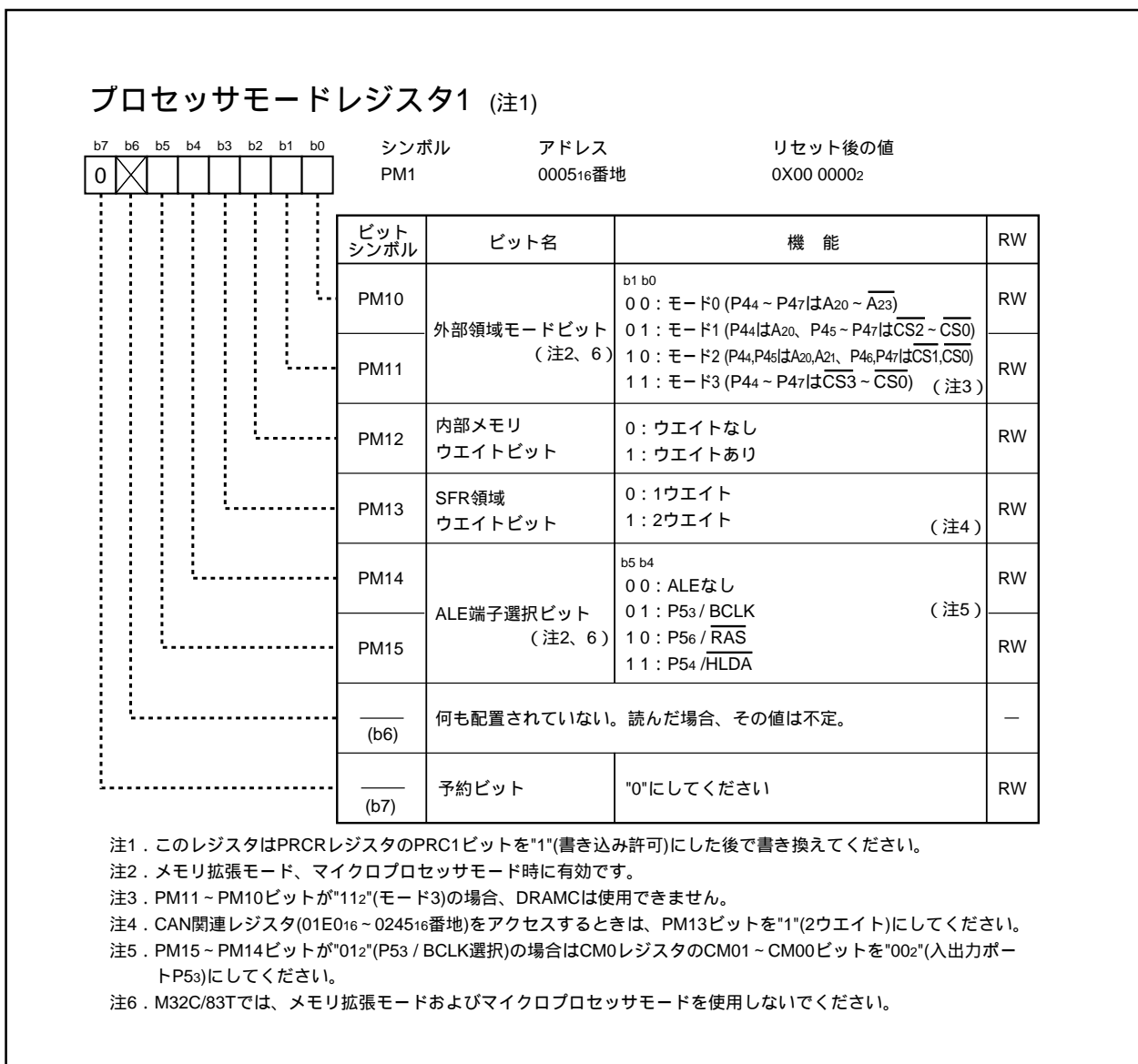


図6.2 PM1レジスタ

	シングルチップモード			メモリ拡張モード			マイクロプロセッサモード		
	モード0	モード1	モード2	モード3	モード0	モード1	モード2	モード3	
00000016	SFR 内部RAM	SFR 内部RAM	SFR 内部RAM	SFR 内部RAM	SFR 内部RAM	SFR 内部RAM	SFR 内部RAM	SFR 内部RAM	
00040016	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	
00800016	外部領域0	外部領域0	外部領域0	外部領域0	外部領域0	外部領域0	外部領域0	外部領域0	
10000016	外部領域1	外部領域1	外部領域0	外部領域1	外部領域1	外部領域0	外部領域0	外部領域0	
20000016	外部領域1	外部領域1	外部領域0	外部領域1	外部領域1	外部領域0	外部領域0	外部領域0	
30000016	外部領域1	外部領域1	外部領域0	外部領域1	外部領域1	外部領域0	外部領域0	外部領域0	
40000016	外部領域1	外部領域1	外部領域0	外部領域1	外部領域1	外部領域0	外部領域0	外部領域0	
C0000016	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	
D0000016	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	
E0000016	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	
F0000016	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	
FFFFFF16	内部ROM	内部ROM	内部ROM	内部ROM	内部ROM	内部ROM	内部ROM	内部ROM	

図6.3 各プロセッサモード時のメモリ配置

注1. 20000016 - 00800016 = 2016K/バイト . 2M/バイトに対して32K少ない .
 注2. 40000016 - 00800016 = 4064K/バイト . 4M/バイトに対して32K少ない .

7. バス

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子が外部デバイスとのデータ入出力を行うバス制御端子となります。バス制御端子にはA0～A22、 $\overline{A23}$ 、D0～D15、MA0～MA12、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 \overline{WRL} / $\overline{WR/CASL}$ 、 $\overline{WRH/BHE/CASH}$ 、 $\overline{RD/DW}$ 、 $\overline{BCLK/ALE}$ 、 $\overline{HLDA/ALE}$ 、 \overline{HOLD} 、 $\overline{ALE/RAS}$ 、 \overline{RDY} があります。

注意

M32C/83Tでは、バス制御端子を使用しないでください。

7.1 バス設定

バスの設定はBYTE端子、DSレジスタ、PM0レジスタのPM05～PM04ビット、PM1レジスタのPM11～PM10ビットで切り替えられます。

表7.1にバスの設定と切り替え要因を、図7.1にDSレジスタを示します。

表7.1 バスの設定と切り替え要因

バスの設定	切り替え要因
外部データバス幅切り替え	DSレジスタ
リセット後のバス幅設定	BYTE端子(外部領域3のみ)
セパレートバス、マルチプレクスバス切り替え	PM0レジスタのPM05～PM04ビット
チップセレクトの数	PM1レジスタのPM11～PM10ビット

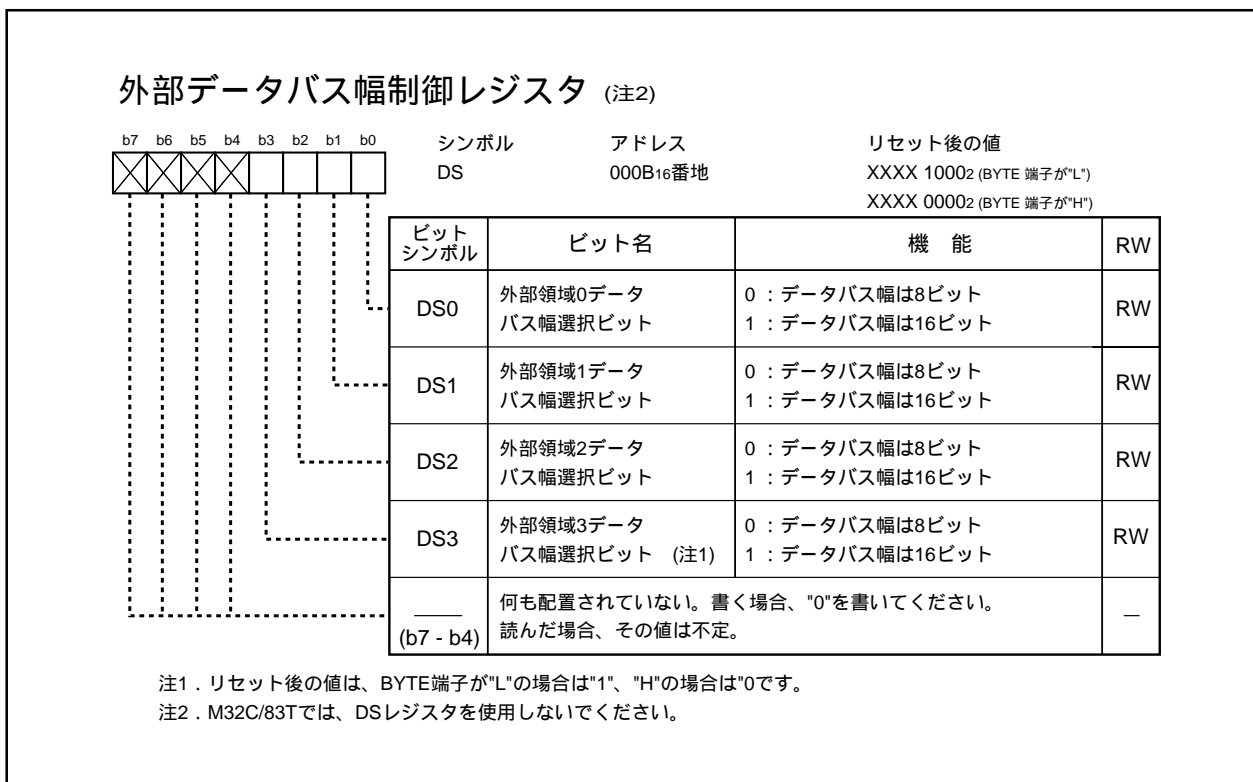


図7.1 DSレジスタ

7.1.1 外部アドレスバスの選択

外部に出力するアドレスバスの本数、チップセレクトの本数、チップセレクトの領域は外部領域モードごとに異なります。外部領域モードはPM1レジスタのPM11～PM10ビットで選択できます。

DRAMCを使用する場合、DRAM領域では行アドレスと列アドレスがマルチプレクス出力されます。

7.1.2 外部データバスの選択

外部データバスは外部領域ごとにDSレジスタで8ビットまたは16ビットを選択できます。リセット後の外部領域3のデータバスはBYTE端子の入力が“L”のときは16ビット、“H”のときは8ビットです。動作中は、BYTE端子入力レベルを変更しないでください。内部バスは常に16ビットです。

7.1.3 セパレートバス、マルチプレクスバスの選択

バスの形式は、PM0レジスタのPM05～PM04ビットでマルチプレクスバスまたはセパレートバスを選択できます。

7.1.3.1 セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、DSレジスタにより8ビットまたは16ビットを選択できます。DSレジスタのDSiビット(i=0～3)がすべて“0”(8ビットデータバス)のときは、ポートP0はデータバス、ポートP1はプログラマブル入出力ポートとなります。

DSiビットのいずれかが“1”(16ビットデータバス)のときはポートP0、P1はデータバスとなります。ただし、DSiビットが“0”の領域にアクセスしたとき、ポートP1は不定です。

セパレートバスでアクセスする場合、WCRレジスタでソフトウェアウエイトの数を選択できます。

7.1.3.2 マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。DSiビットで8ビットを選択した領域では、D0～D7がA0～A7とマルチプレクスされます。DSiビットで16ビットを選択した領域では、D0～D15がA0～A15とマルチプレクスされます。マルチプレクスバスの領域では、WCRレジスタで2ウエイトまたは3ウエイトが選択できます。ウエイトなし、1ウエイトありまたは2ウエイトありを選択した場合、2ウエイトアクセスとなります。詳細は、「7.2.4 バスタイミング」を参照してください。

リセット後セパレートバスで動作しますので、マルチプレクスバスはCS1の領域、CS2の領域またはすべてのCS領域に割り当てることができますが、マイクロプロセッサモードではすべてのCS領域にマルチプレクスバスを割り当てることができません。PM0レジスタのPM05～PM04ビットを“112”(CSの全空間に割り当てると、アドレスはA0～A15までの16ビットが出力されます。詳細は、表7.2を参照してください。

表7.2 プロセッサモードと端子の機能

プロセッサモード	シングルチップモード	メモリ拡張モード/マイクロプロセッサモード				メモリ拡張モード	
PM0レジスタのPM05～PM04ビット		“012”、“102” (CS1またはCS2はマルチプレクスバスで、それ以外はセパレートバス)		“002” (セパレートバス)		“112”(注1) (全空間マルチプレクスバス)	
アクセス領域のデータバス幅		全ての外部領域が8ビット	いずれかの外部領域が16ビット	全ての外部領域が8ビット	いずれかの外部領域が16ビット	全ての外部領域が8ビット	いずれかの外部領域が16ビット
P00～P07	入出力ポート	データバス D0～D7	データバス D0～D7	データバス D0～D7	データバス D0～D7	入出力ポート	入出力ポート
P10～P17	入出力ポート	入出力ポート	データバス D8～D15	入出力ポート	データバス D8～D15	入出力ポート	入出力ポート
P20～P27	入出力ポート	アドレスバス/データバス(注2) A0/D0～A7/D7	アドレスバス/データバス(注2) A0/D0～A7/D7	アドレスバス A0～A7	アドレスバス A0～A7	アドレスバス/データバス A0/D0～A7/D7	アドレスバス/データバス A0/D0～A7/D7
P30～P37	入出力ポート	アドレスバス A8～A15	アドレスバス/データバス(注2) A8/D8～A15/D15	アドレスバス A8～A15	アドレスバス A8～A15	アドレスバス A8～A15	アドレスバス/データバス A8/D8～A15/D15
P40～P43	入出力ポート	アドレスバス A16～A19	アドレスバス A16～A19	アドレスバス A16～A19	アドレスバス A16～A19	入出力ポート	入出力ポート
P44～P46	入出力ポート	\overline{CS} (チップセレクト)またはアドレスバス(A20～A22) (詳細は「7.2 バス制御」を参照) (注5)					
P47	入出力ポート	\overline{CS} (チップセレクト)またはアドレスバス(A23) (詳細は「7.2 バス制御」を参照) (注5)					
P50～P53	入出力ポート	\overline{RD} 、 \overline{WRL} 、 \overline{WRH} 、BCLK出力または \overline{RD} 、 \overline{BHE} 、 \overline{WR} 、BCLK出力 (詳細は「7.2 バス制御」を参照) (注3) (注4)					
P54	入出力ポート	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)
P55	入出力ポート	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}
P56	入出力ポート	\overline{RAS} (注3)	\overline{RAS} (注3)	\overline{RAS} (注3)	\overline{RAS} (注3)	\overline{RAS} (注3)	\overline{RAS} (注3)
P57	入出力ポート	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}

注1. リセット後、セパレートバスで動作しますので、マイクロプロセッサモード時、PM05～PM04ビットを“112”(CS全空間マルチプレクスバス)にしないでください。

メモリ拡張モード時、“112”を選択した場合、アドレスバスはチップセレクトごとに64Kバイトの範囲です。

注2. セパレートバスではアドレスバスになります。

注3. ALE出力端子はPM1レジスタのPM15～PM14ビットで選択してください。 \overline{WRL} 、 \overline{WRH} か \overline{BHE} 、 \overline{WR} はPM0レジスタのPM02ビットで選択してください。PM15～14ビットを“0016”(ALEなし)にした場合、不定値が出力されます。入出力ポートとして使用できません。

注4. DRAMCの使用を選択し、DRAM領域をアクセスした場合 \overline{CASL} 、 \overline{CASH} 、 \overline{DW} 、BCLK出力となります。

注5. \overline{CS} 信号とアドレスバスの選択は、PM1レジスタのPM11～PM10ビットで選択してください。

7.2 バス制御

外部デバイスのアクセスに必要な信号、ソフトウェアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードがメモリ拡張モード、マイクロプロセッサモードのとき有効です。

7.2.1 アドレスバス、データバス

アドレスバスは、16Mバイトの空間をアクセスするための信号で、A₀ ~ A₂₂、 $\overline{A_{23}}$ の24本あります。 $\overline{A_{23}}$ はアドレス最上位ビットの反転出力です。

データバスは、データを入出力するための信号です。DSレジスタで外部領域ごとにD₀ ~ D₇の8ビットデータバスと、D₀ ~ D₁₅の16ビットデータバスを選択できます。BYTE端子に“H”を入力しているとき、リセット後、外部領域3のデータバスは8ビットになります。同様にBYTE端子に“L”を入力しているときは16ビットになります。

また、シングルチップモードからメモリ拡張モードに変更したとき、アドレスバスは外部領域をアクセスするまで不定です。

DRAMCを使用しDRAM領域をアクセスするときは、A₈ ~ A₂₀に行アドレス、列アドレスをマルチプレクス出力します。

7.2.2 チップセレクト信号

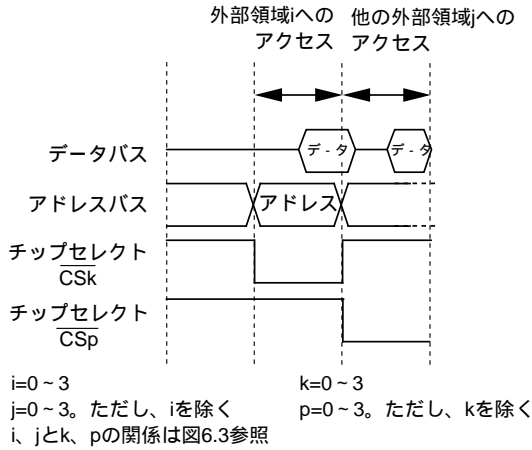
チップセレクト信号はA₂₀ ~ A₂₂、 $\overline{A_{23}}$ と共用です。PM1レジスタのPM11 ~ PM10ビットでチップセレクトの領域とチップセレクトの出力本数を選択できます。チップセレクト信号は最大4本出力できます。

マイクロプロセッサモードの場合、リセット後、チップセレクト信号は出力されません。ただし、 $\overline{A_{23}}$ をチップセレクト信号として使用できます。

$\overline{CS_i}$ (i = 0 ~ 3)は対応する外部領域をアクセス中は“L”を出力します。内部領域および別の外部領域をアクセスすると“H”を出力します。図7.2にアドレスバスとチップセレクト信号の出力例を示します。

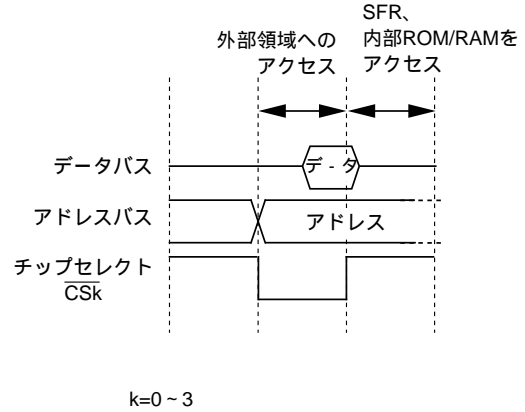
- (1) 外部領域をアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化

外部領域をアクセス後、次のサイクルで他のチップセレクト信号が示す外部領域をアクセスする場合、アドレスバス、チップセレクト信号が共に変化する。



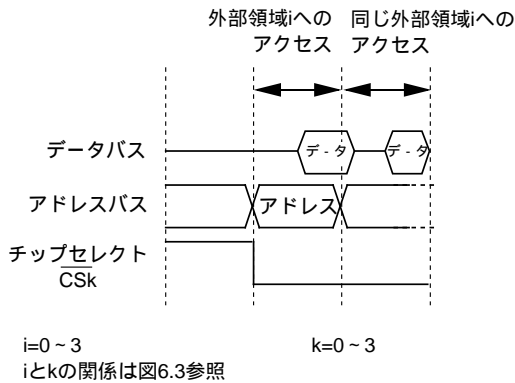
- (2) 外部領域をアクセス後、次のサイクルでチップセレクト信号のみ変化(アドレスバスは変化しない)

外部領域をアクセス後、次のサイクルでSFR、内部ROMまたは内部RAMをアクセスする場合、チップセレクト信号は変化しますが、アドレスバスは変化しません。



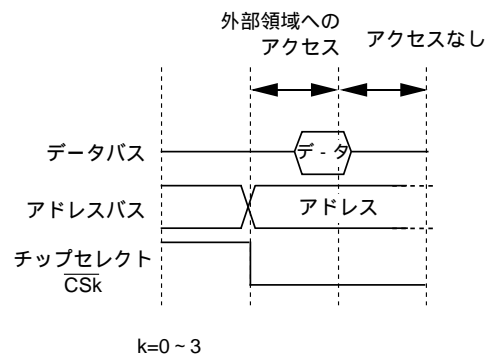
- (3) 外部領域をアクセス後、次のサイクルでアドレスバスのみ変化(チップセレクト信号は変化しない)

外部領域をアクセス後、次のサイクルで同じチップセレクト信号が示す領域をアクセスする場合、アドレスバスは変化しますがチップセレクト信号は変化しません。



- (4) 外部領域をアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化しない

外部領域をアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合、アドレスバス、チップセレクト信号は共に変化しません。



注1. これらの例は、連続する2つのサイクルのアドレスバスとチップセレクト信号を示しています。これらの例の組み合わせにより、チップセレクトは2バスサイクル以上伸びる場合があります。

図7.2 アドレスバスとチップセレクト信号の出力例(セパレートバス)

7.2.3 リード、ライト信号

データバスが16ビットのとき、リード、ライト信号はPM0レジスタのPM02ビットで、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択できます。DSレジスタのDS3～DS0ビットが“0”（外部領域はすべて8ビットデータバス）のとき、PM02ビットを“0”（ \overline{RD} 、 \overline{WR} 、 \overline{BHE} ）にしてください。DS3～DS0ビットのいずれかが“1”（16ビットデータバス）で、8ビットの領域をアクセスするとき、PM02ビットの値にかかわらず、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせとなります。表7.3、表7.4に各信号の動作を示します。

リセット後、リード、ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせです。

\overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせに切り替えるときは、PM02ビットを切り替えてから外部のメモリに書いてください。

DRAMCを使用し、16ビットバスでDRAMをアクセスする場合、PM02ビットを“1”（ \overline{RD} 、 \overline{WRL} 、 \overline{WRH} ）にしてください。

表7.3 \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス幅	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット	L	H	H	データを読む
	H	L	H	偶数番地に1バイトデータを書く
	H	H	L	奇数番地に1バイトデータを書く
	H	L	L	偶数番地、奇数番地両方にデータを書く
8ビット	H	L ^(注1)	使用しない	1バイトのデータを書く
	L	H ^(注1)	使用しない	1バイトのデータを読む

注1. \overline{WR} 信号となります。

表7.4 \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス幅	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット	H	L	L	H	奇数番地に1バイトデータを書く
	L	H	L	H	奇数番地から1バイトデータを読む
	H	L	H	L	偶数番地に1バイトデータを書く
	L	H	H	L	偶数番地から1バイトデータを読む
	H	L	L	L	偶数番地、奇数番地両方にデータを書く
	L	H	L	L	偶数番地、奇数番地両方からデータを読む
8ビット	H	L	使用しない	H/L	1バイトのデータを書く
	L	H	使用しない	H/L	1バイトのデータを読む

7.2.4 バスタイミング

内部ROMと内部RAMの基本のバスサイクルは、BCLKの1サイクルです。PM1レジスタのPM12ビットを“1”(ウエイトあり)にした場合、バスサイクルはBCLKの2サイクルになります。

SFRの基本のバスサイクルは、BCLKの2サイクルです。PM1レジスタのPM13ビットを“1”(2ウエイト)にした場合、バスサイクルはBCLKの3サイクルになります。CAN関連レジスタ(01E0₁₆ ~ 0245₁₆番地)をアクセスする場合、PM13ビットを“1”にしてください。

外部領域の基本のバスサイクルは、リードの場合BCLKの1サイクル、ライトの場合BCLKの2サイクルです。外部領域はWCRレジスタにより、BCLKの1~3サイクルに相当するウエイトを挿入できます。したがって、1ウエイトありを選択した場合、バスサイクルはBCLKの2サイクルに、3ウエイトありを選択した場合、バスサイクルはBCLKの4サイクルになります。

ただし、次の場合、バスサイクルはWCRレジスタで選択したものと異なります。表7.5に各ウエイトビットの状態とバスサイクルを示します。

- ・セパレートバス、ウエイトなし選択時のライトサイクル
- ・マルチプレクスバス、ウエイトなし選択時のリードサイクルとライトサイクル
- ・マルチプレクスバス、1ウエイトあり選択時のリードサイクルとライトサイクル

図7.3にWCRレジスタを、図7.4と図7.5に外部領域のバス動作例を示します。

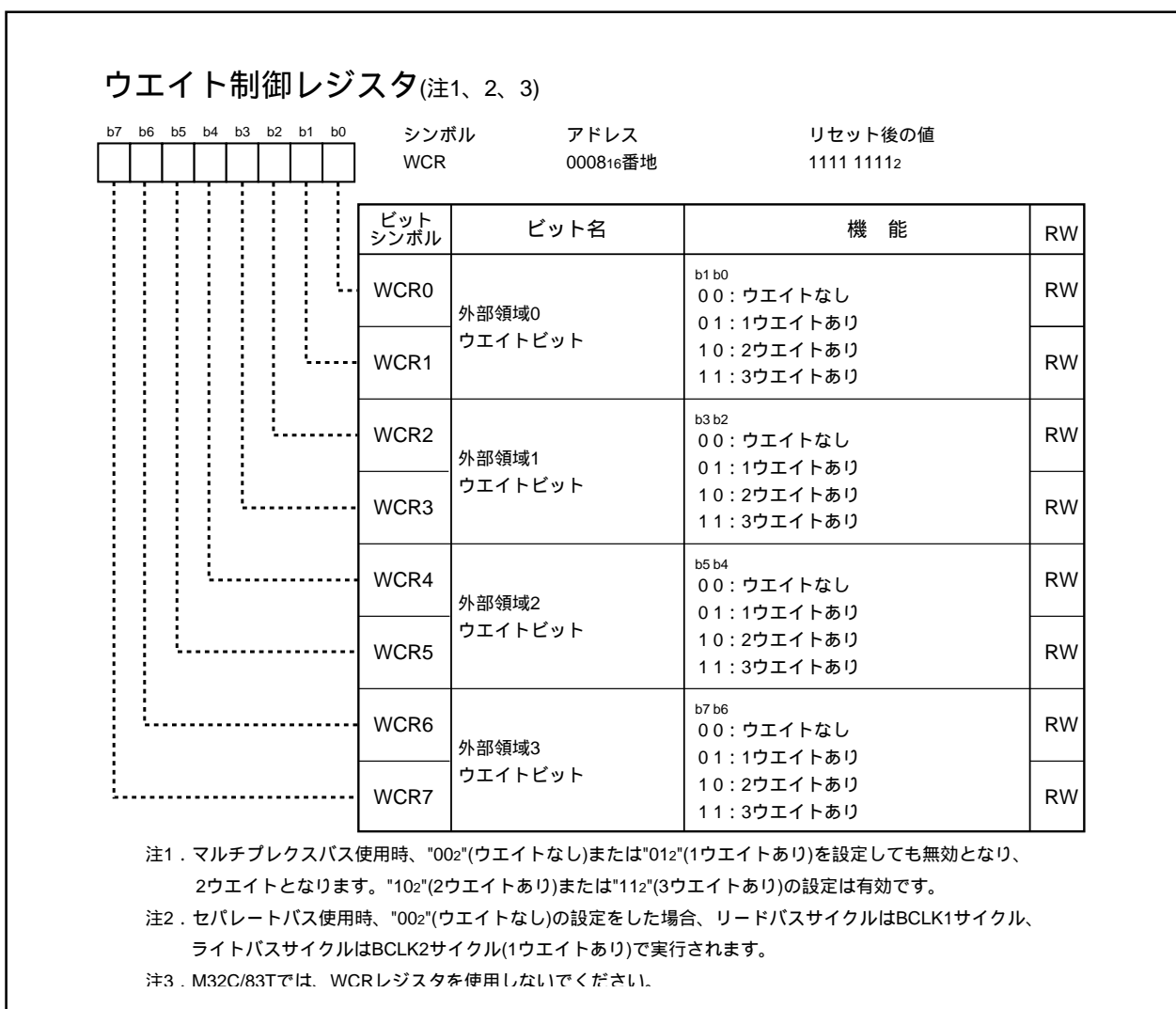


図7.3 WCRレジスタ

表7.5 ソフトウェアウエイトとバスサイクル

領域	外部バス形式	PM1レジスタ		WCRレジスタ	バスサイクル
		PM13ビット	PM12ビット	WCR _j ~ WCR _i ビット	
SFR	-	0	-	-	BCLKの2サイクル
		1			BCLKの3サイクル
内部ROM、内部RAM	-	-	0	-	BCLKの1サイクル
			1		BCLKの2サイクル
外部メモリ	セパレートバス	-	-	00 ₂	リードサイクル BCLKの1サイクル ライトサイクル BCLKの2サイクル
				01 ₂	BCLKの2サイクル
				10 ₂	BCLKの3サイクル
				11 ₂	BCLKの4サイクル
	マルチプレクスバス	-	-	00 ₂	BCLKの3サイクル
				01 ₂	BCLKの3サイクル
				10 ₂	BCLKの3サイクル
				11 ₂	BCLKの4サイクル

i=0、2、4、6 j=i+1

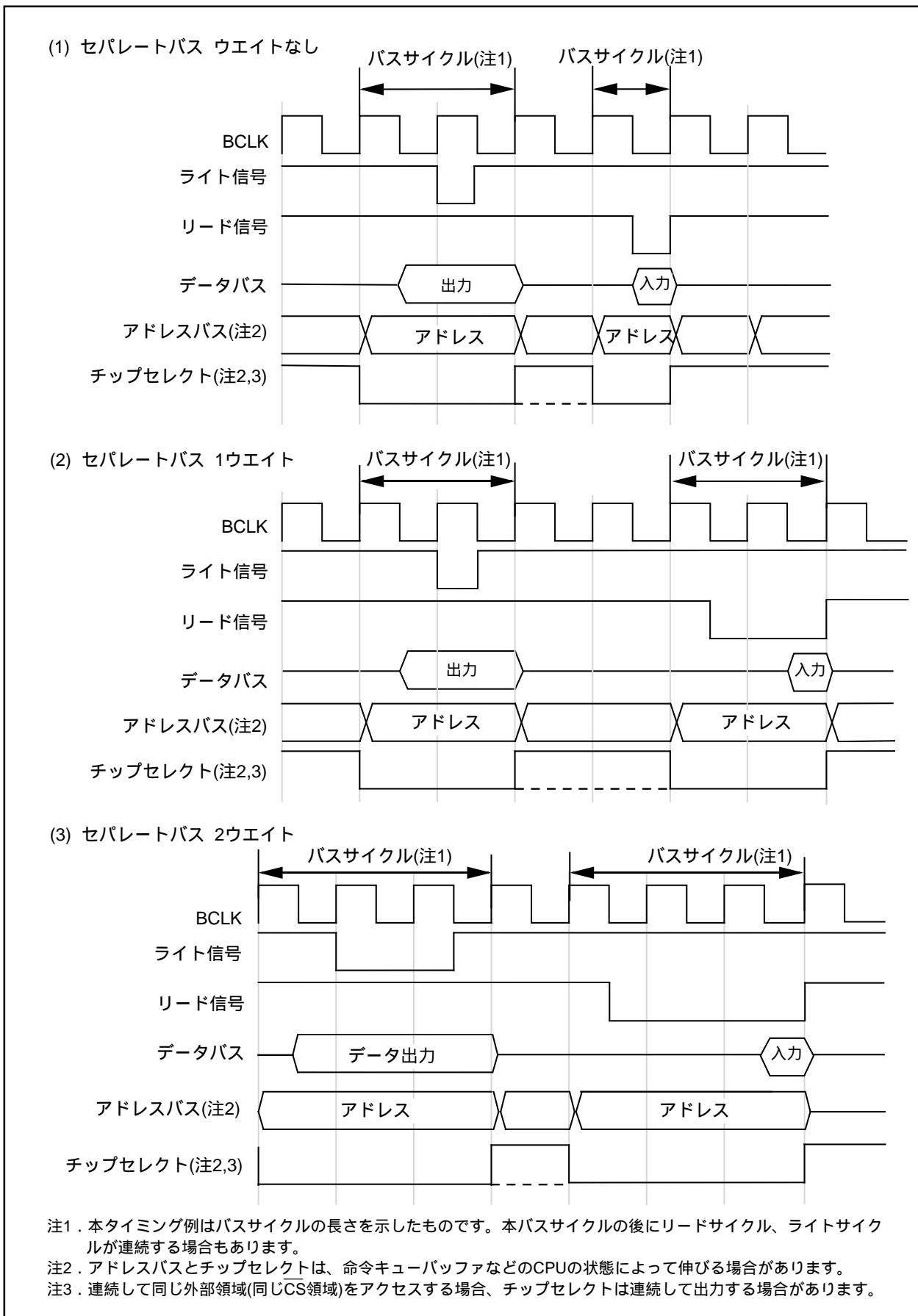


図7.4 ソフトウェアウェイトを使用した場合の外部バス動作例(1)

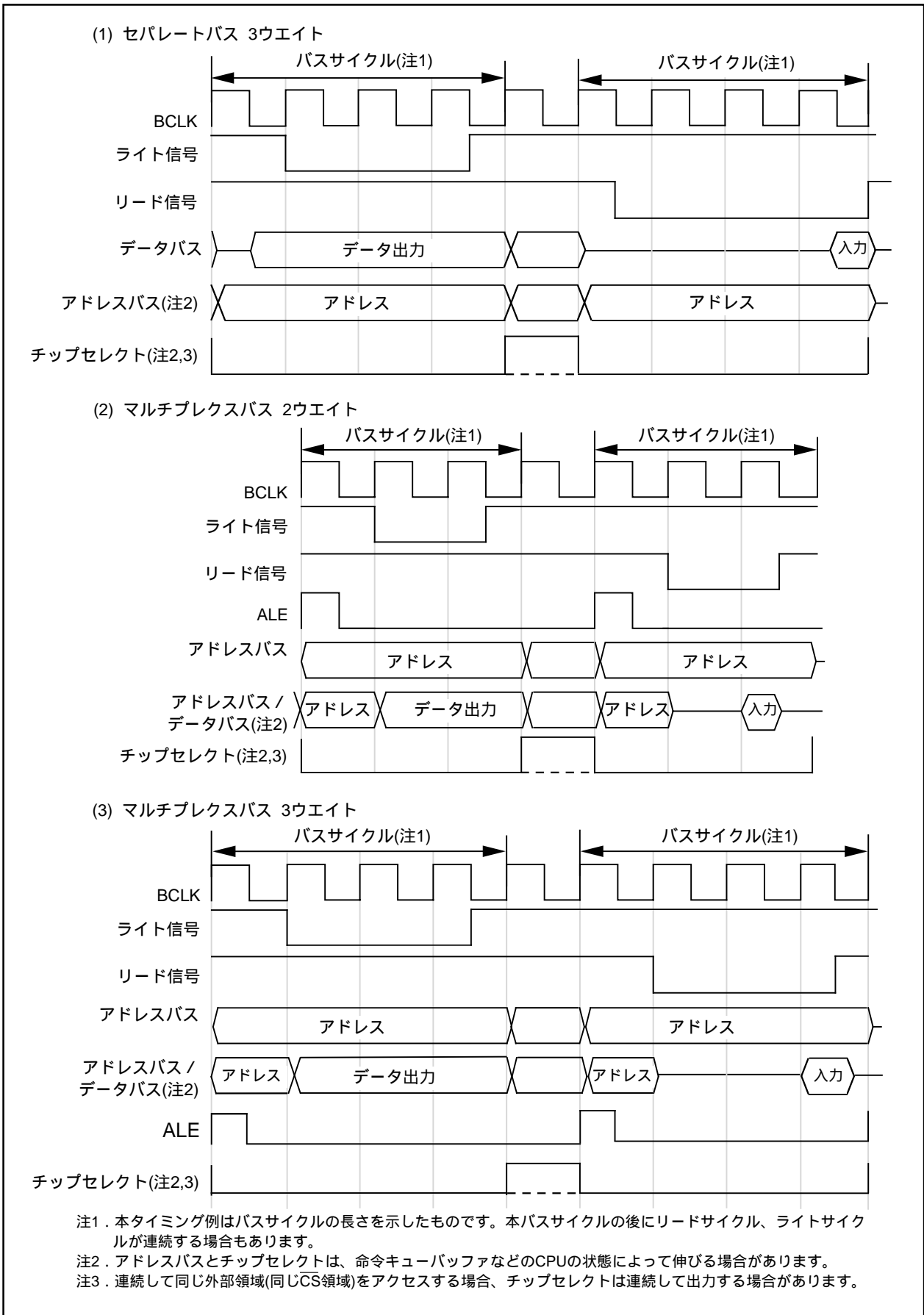


図7.5 ソフトウェアウエイトを使用した場合の外部バス動作例(2)

7.2.5 ALE信号

マルチプレクスバスのアドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。ALE信号の出力端子はPM1レジスタのPM15～PM14ビットで選択できます。

ALE信号は内部領域、外部領域にかかわらず出力します。

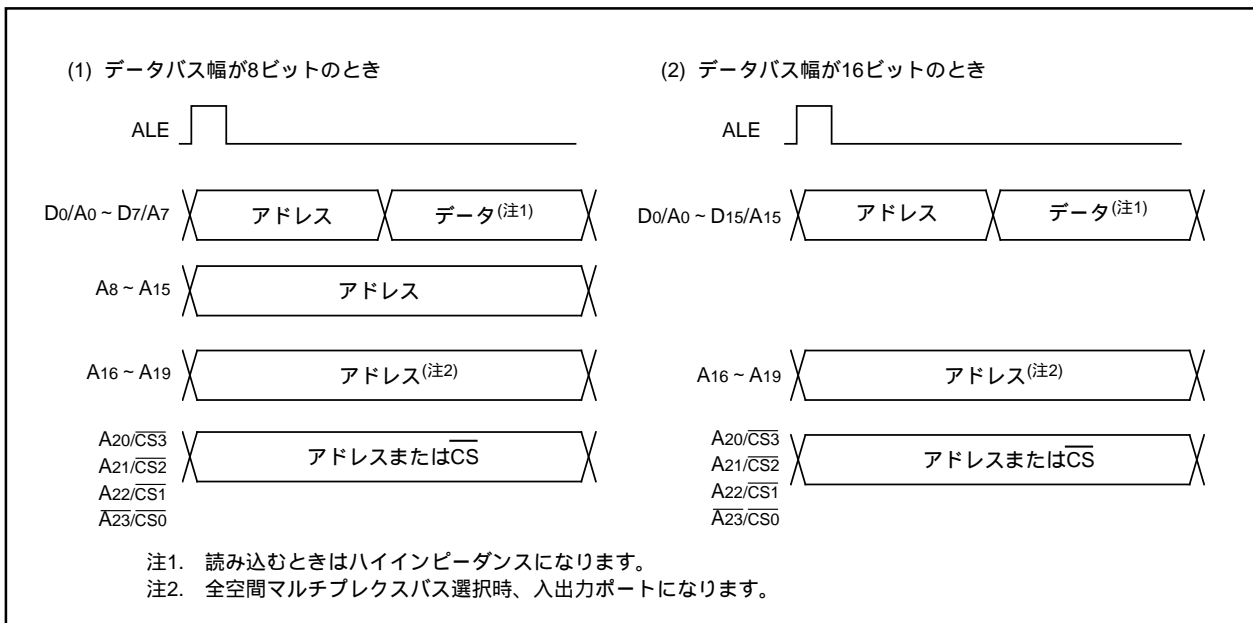


図7.6 ALE信号とアドレスバス、データバス

7.2.6 RDY信号

アクセス速度が遅い外部デバイスをアクセスするための信号です。バスサイクルの最後のBCLKの立ち下がりでRDY端子に“L”が入力されているとき、バスサイクルにウエイトが挿入されます。その後、BCLKの立ち下がりでRDY端子に“H”が入力されると、残りのバスサイクルを実行します。表7.6にRDY信号によりバスサイクルにウエイトが挿入されたときのマイクロコンピュータの状態、図7.7にRD信号がRDY信号によって伸びた例を示します。

表7.6 RDY信号によるウエイト中のマイクロコンピュータの状態(注1)

項目	状態
発振	動作
RD信号、WR信号、アドレスバス、データバス、CS _i (i=0~3)、ALE信号、HLDA プログラマブル入出力ポート	RDY信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1. ソフトウェアウエイトによるウエイトの直前にはRDY信号は受け付けられません。

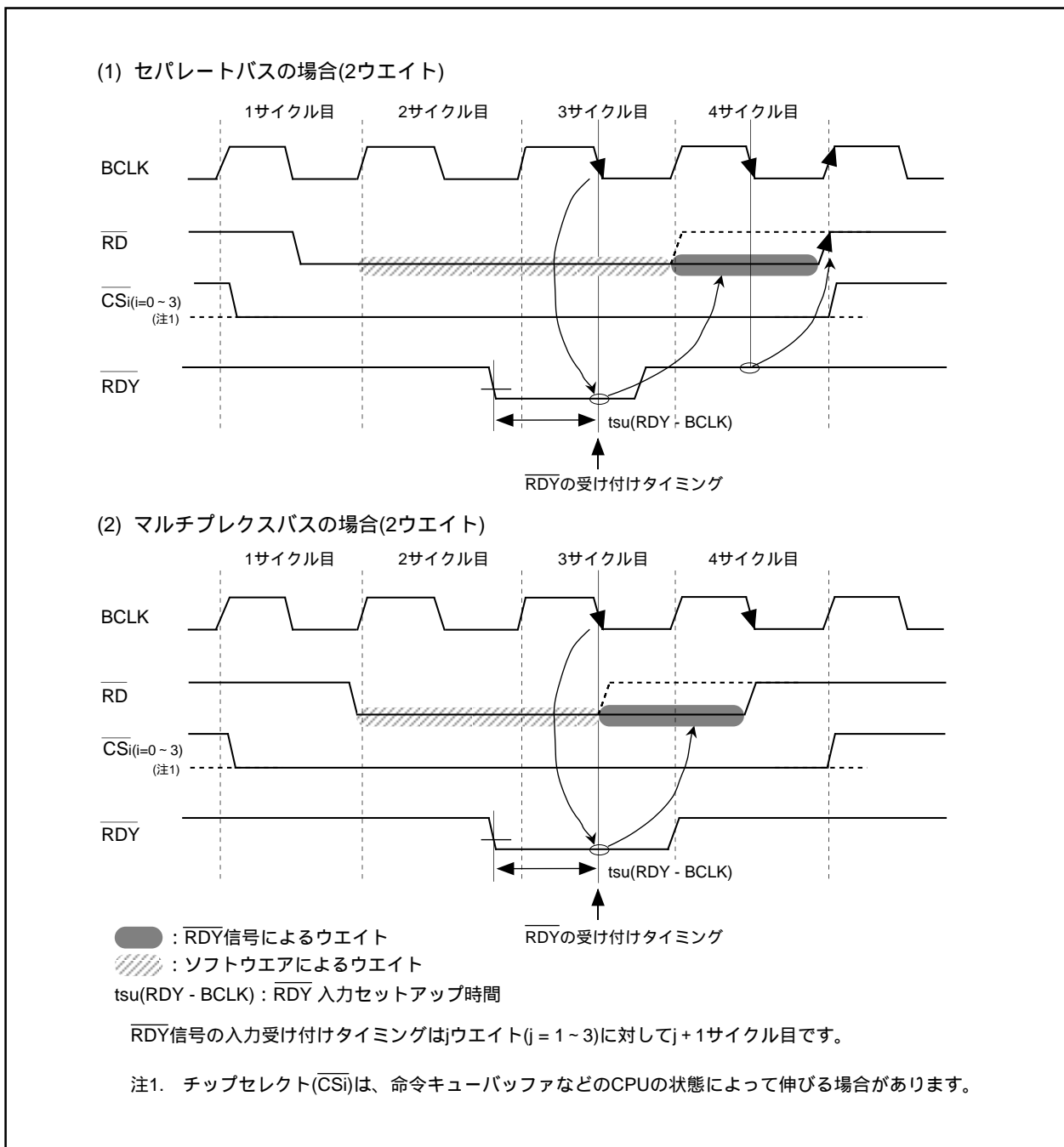


図7.7 RD信号がRDY信号によってのびた例

7.2.7 HOLD信号

バスの使用权をCPUから外部回路へ移行するための信号です。HOLD端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になります。HOLD端子が“L”の期間ホールド状態を保持し、HLDA端子から“L”を出力します。表7.7にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、HOLD、DMAC、CPUとなります。

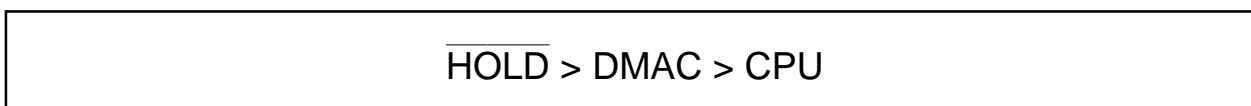


図7.8 バス使用優先順位

表7.7 ホールド状態におけるマイクロコンピュータの状態

項目	状態
発振	動作
RD、WR、WRL、WRH、アドレスバス、データバス、CS0-CS3、BHE	ハイインピーダンス
プログラマブル入出力ポート：P0～P15	HOLD信号を受け付けたときの状態を保持
HLDA	“L”を出力
内蔵周辺回路	動作(ただしウォッチドッグタイマは停止)
ALE信号	“L”を出力

7.2.8 内部領域をアクセスしたときの外部バスの状態

表7.8に内部領域をアクセスしたときの外部バスの状態を示します。

表7.8 内部領域をアクセスしたときの外部バスの状態

項目	SFR、内部ROM、内部RAMをアクセスしたときの状態	
アドレスバス	直前にアクセスされた外部領域のアドレスを保持	
データバス	リード時	ハイインピーダンス
	ライト時	ハイインピーダンス
RD、WR、WRL、WRH	“H”を出力	
BHE	直前にアクセスされた外部領域の状態を保持	
CS0～CS3	“H”を出力	
ALE	ALE出力	

7.2.9 BCLK出力

CPUクロックはCPUの動作クロックです。CPUクロックはPM0レジスタのPM07ビットを“0”(BCLK出力)、CM0レジスタのCM01～CM00ビットを“002”の組み合わせにすると、BCLKとしてP53より出力されます。ただし、シングルチップモード時はBCLKは出力されません。詳細は、「8. クロック発生回路」を参照してください。

7.2.10 DRAM制御信号(RAS、CASL、CASH、DW)

DRAMを制御するための信号です。DRAMCONTレジスタのAR0～AR2ビットでDRAM領域を選択し、アクセスしたときに出力されます。表7.9に各信号の動作を示します。

表7.9 RAS、CASL、CASH、DW信号の動作

データバス幅	RAS	CASL	CASH	DW	データバスの状態
16ビット	L	L	L	H	偶数番地、奇数番地両方からデータを読む
	L	L	H	H	偶数番地から1バイトデータを読む
	L	H	L	H	奇数番地から1バイトデータを読む
	L	L	L	L	偶数番地、奇数番地両方にデータを書く
	L	L	H	L	偶数番地に1バイトデータを書く
	L	H	L	L	奇数番地に1バイトデータを書く
8ビット	L	L	使用しない	H	1バイトデータを読む
	L	L	使用しない	L	1バイトデータを書く

8. クロック発生回路

8.1 クロック発生回路の種類

クロック発生回路として、4つの回路があります。

- ・ メインクロック発振回路
- ・ サブクロック発振回路
- ・ オンチップオシレータ
- ・ PLL周波数シンセサイザ

表8.1にクロック発生回路の仕様を示します。また、図8.1にクロック発生回路のブロック図を、図8.2～図8.8にクロック制御関連レジスタを示します。

表8.1 クロック発生回路の仕様

項目	メインクロック 発振回路	サブクロック 発振回路	オンチップオシレータ	PLL周波数 シンセサイザ
用途	・ CPUクロック源 ・ 周辺機能クロック源	・ CPUクロック源 ・ タイマA、Bの クロック源	・ CPUクロック源 ・ 周辺機能クロック源	・ CPUクロック源 ・ 周辺機能クロック源
クロック周波数	～ 32MHz	32.768kHz	約1MHz	20MHz～32MHz (表8.2参照)
接続できる発振 子 または付加回路	・ セラミック共振子 ・ 水晶発振子	水晶発振子	-	ローパスフィルタ
発振子または付 加回路の接続端 子	XIN、XOUT	XCIN、XCOUT	-	V _{CONT} (ローパスフィル タ接続)、P86(V _{SS} 接続)
発振停止、発振 再開機能	あり	あり	あり	あり
リセット後の状 態	発振	停止	停止	停止
その他	外部で生成されたクロ ックを入力可能	外部で生成されたク ロックを入力可能。 サブクロック発振回 路を使用する場合、PLL周波数シン セサイザは使用でき ません。	メインクロック発振停 止時、自動で発振を開 始し、CPUと周辺機能 のクロック源になる機 能あり	PLL周波数シンセサイ ザを使用する場合、サ ブクロックは使用でき ません

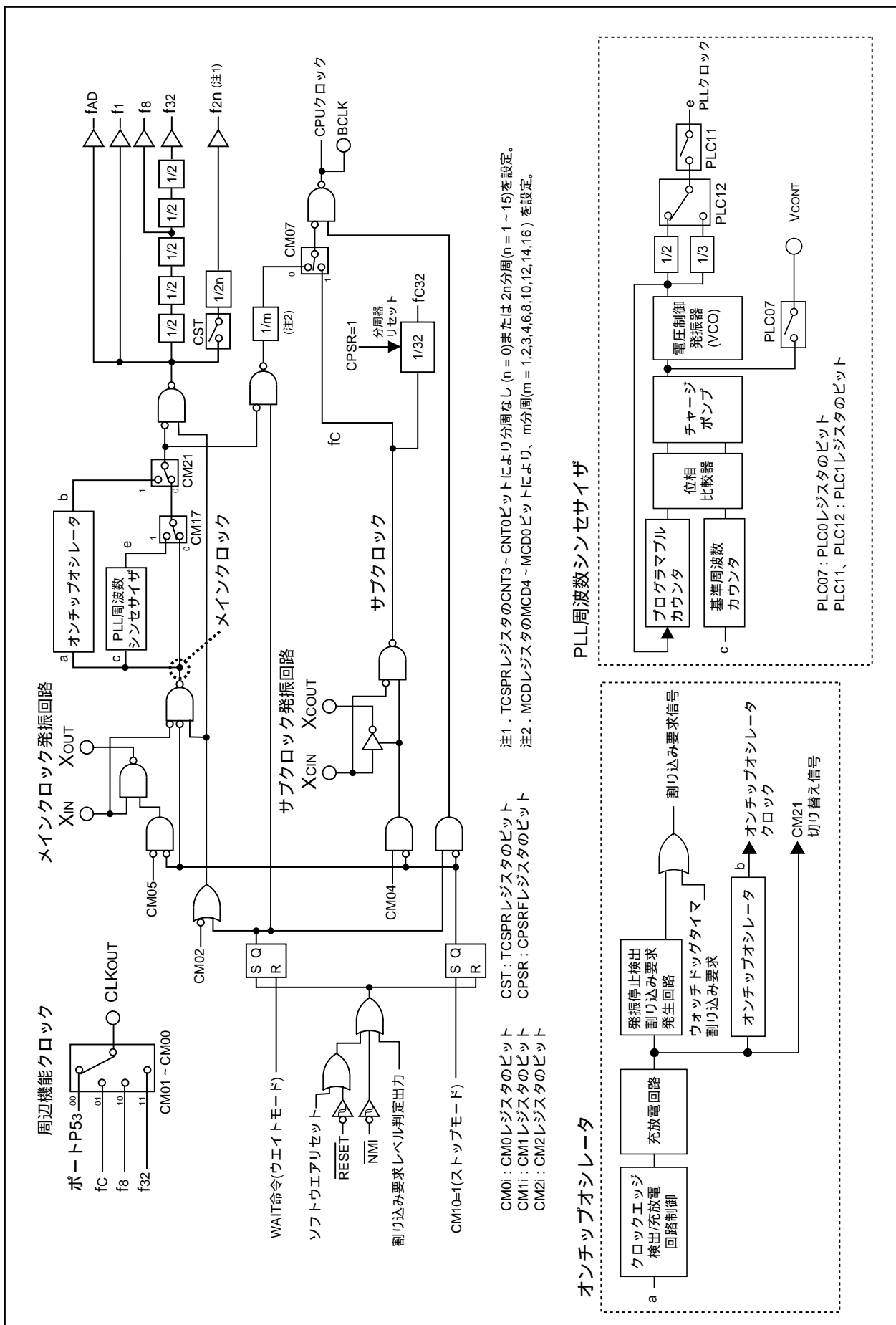


図8.1 クロック発生回路のブロック図



図8.2 CM0レジスタ

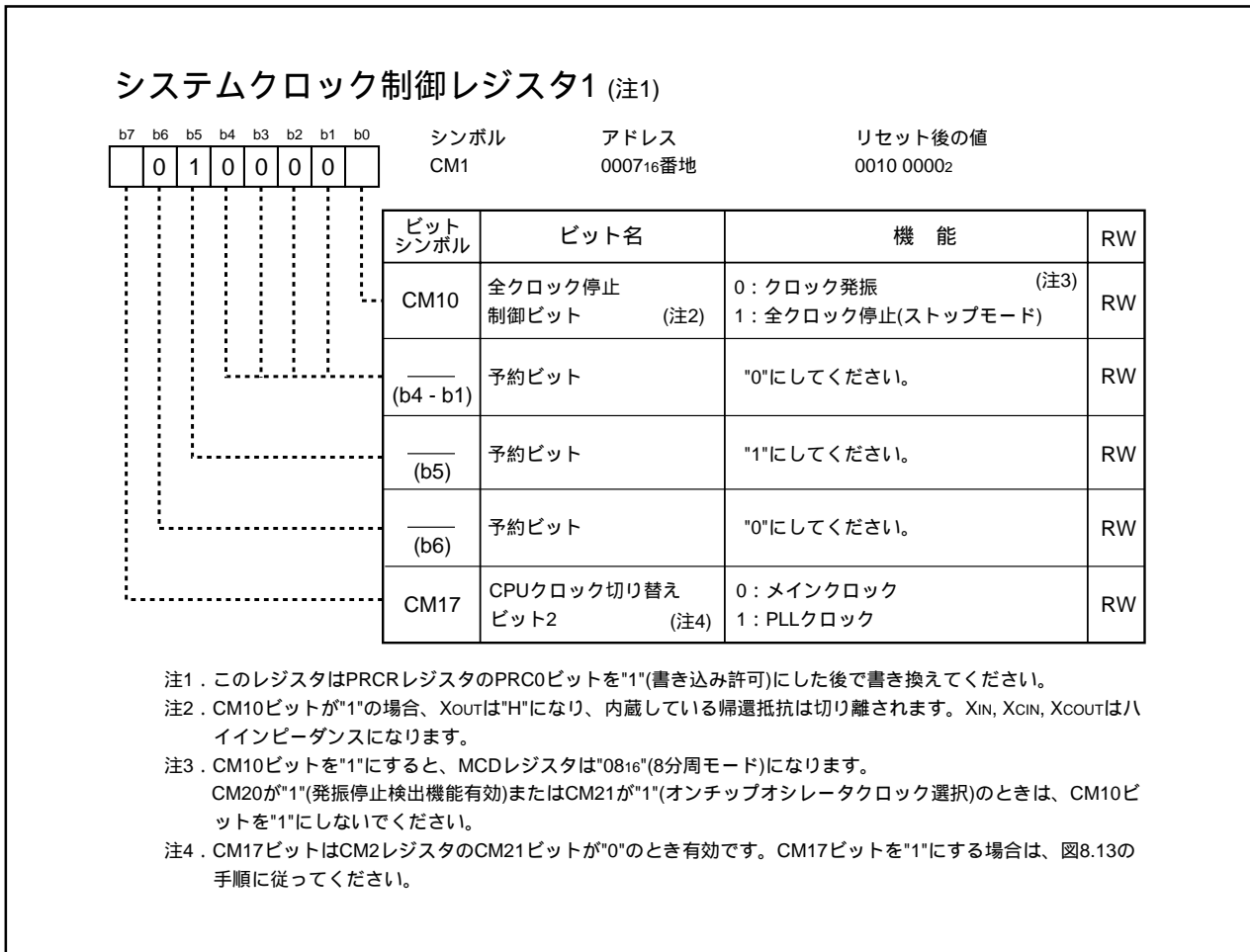


図8.3 CM1レジスタ

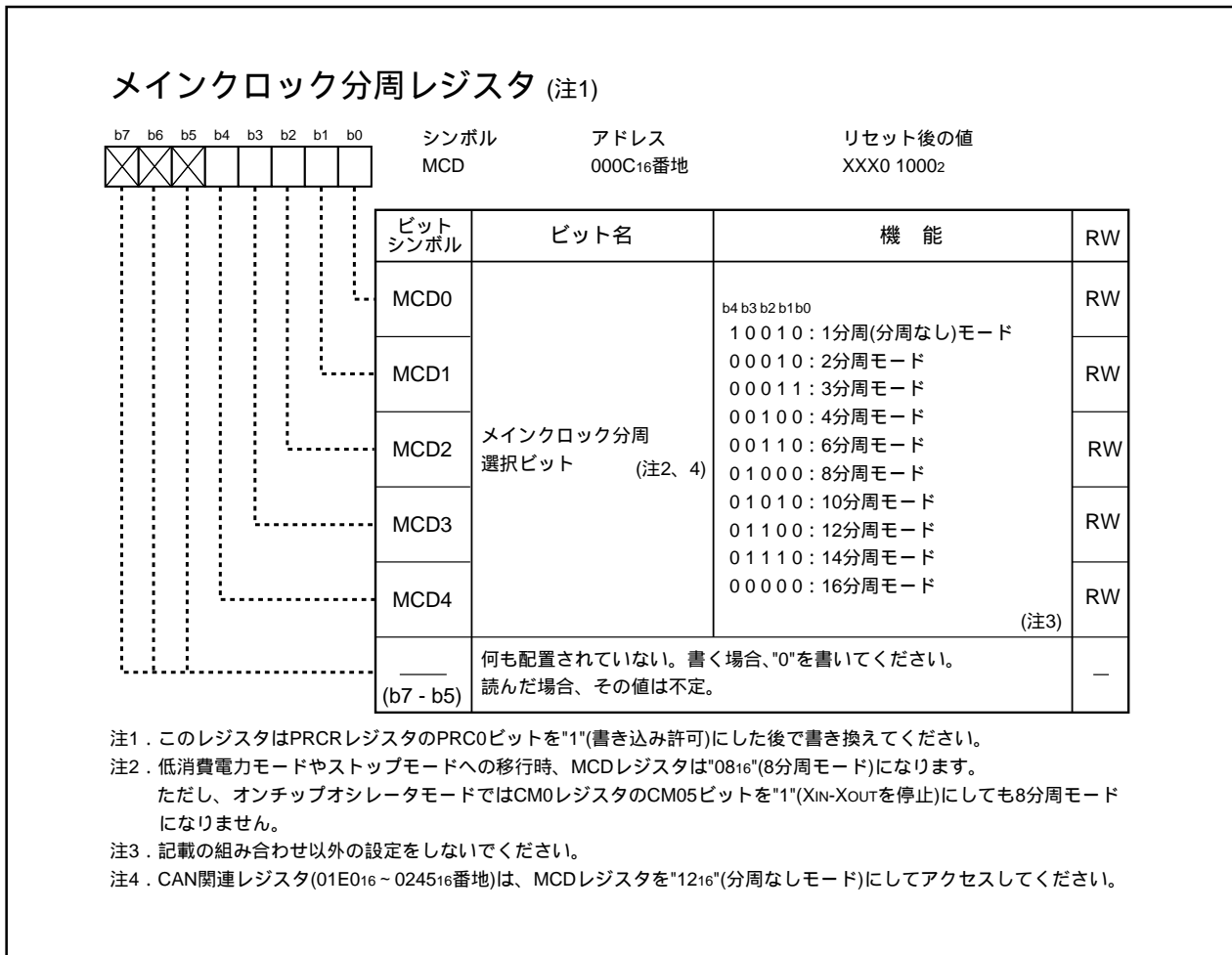


図8.4 MCDレジスタ

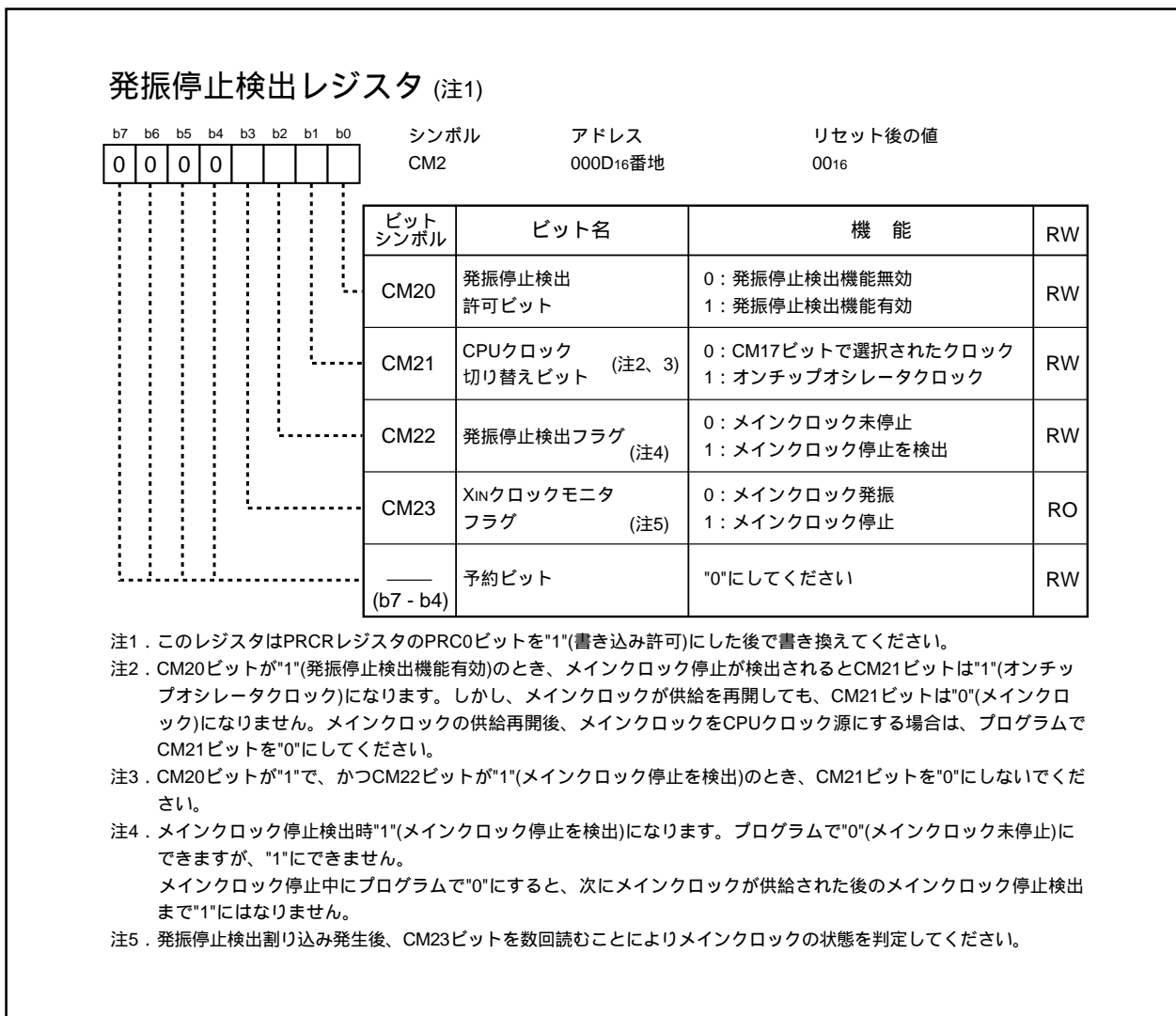


図8.5 CM2レジスタ

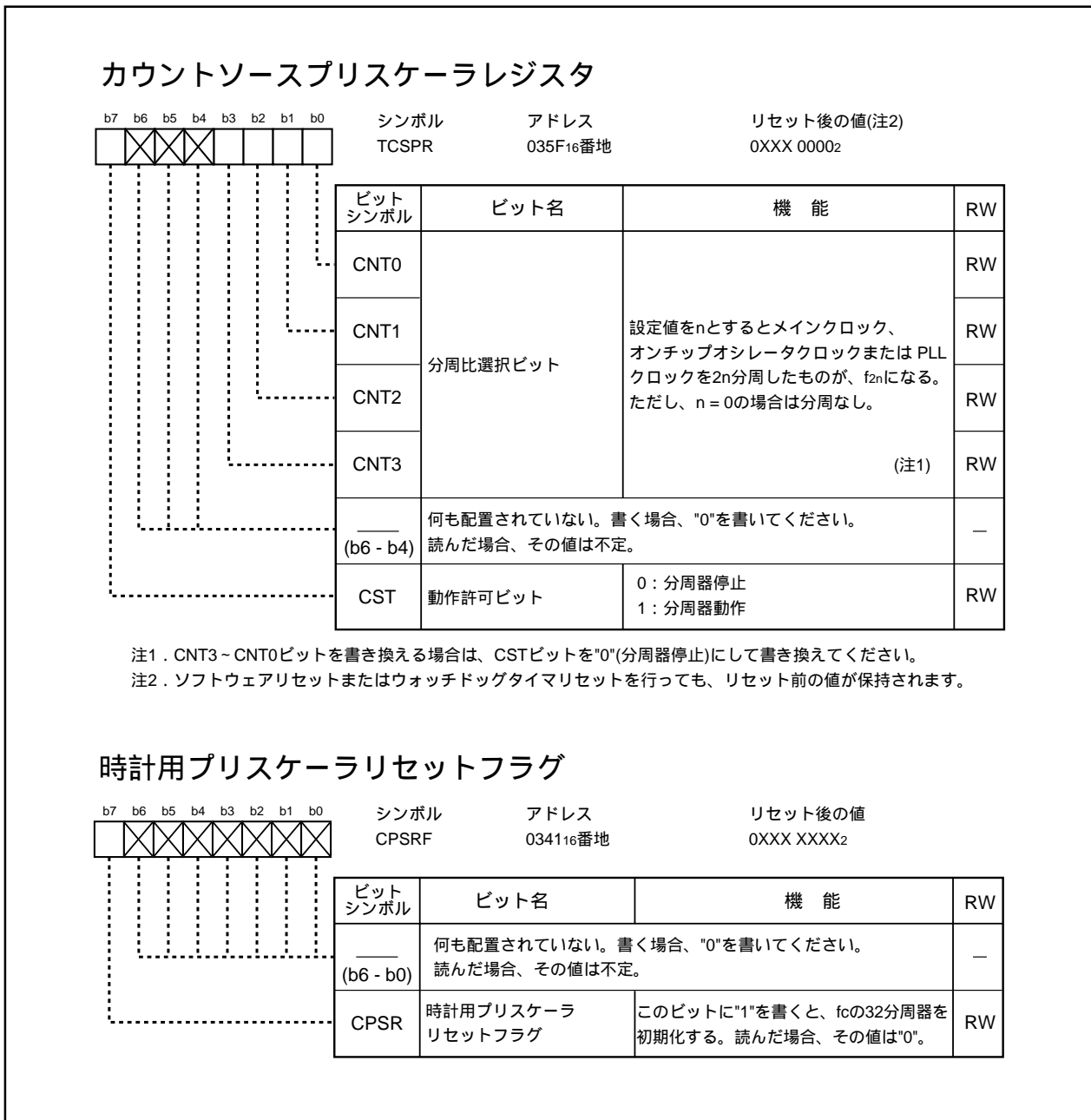


図8.6 TCSRレジスタ、CPSRFレジスタ

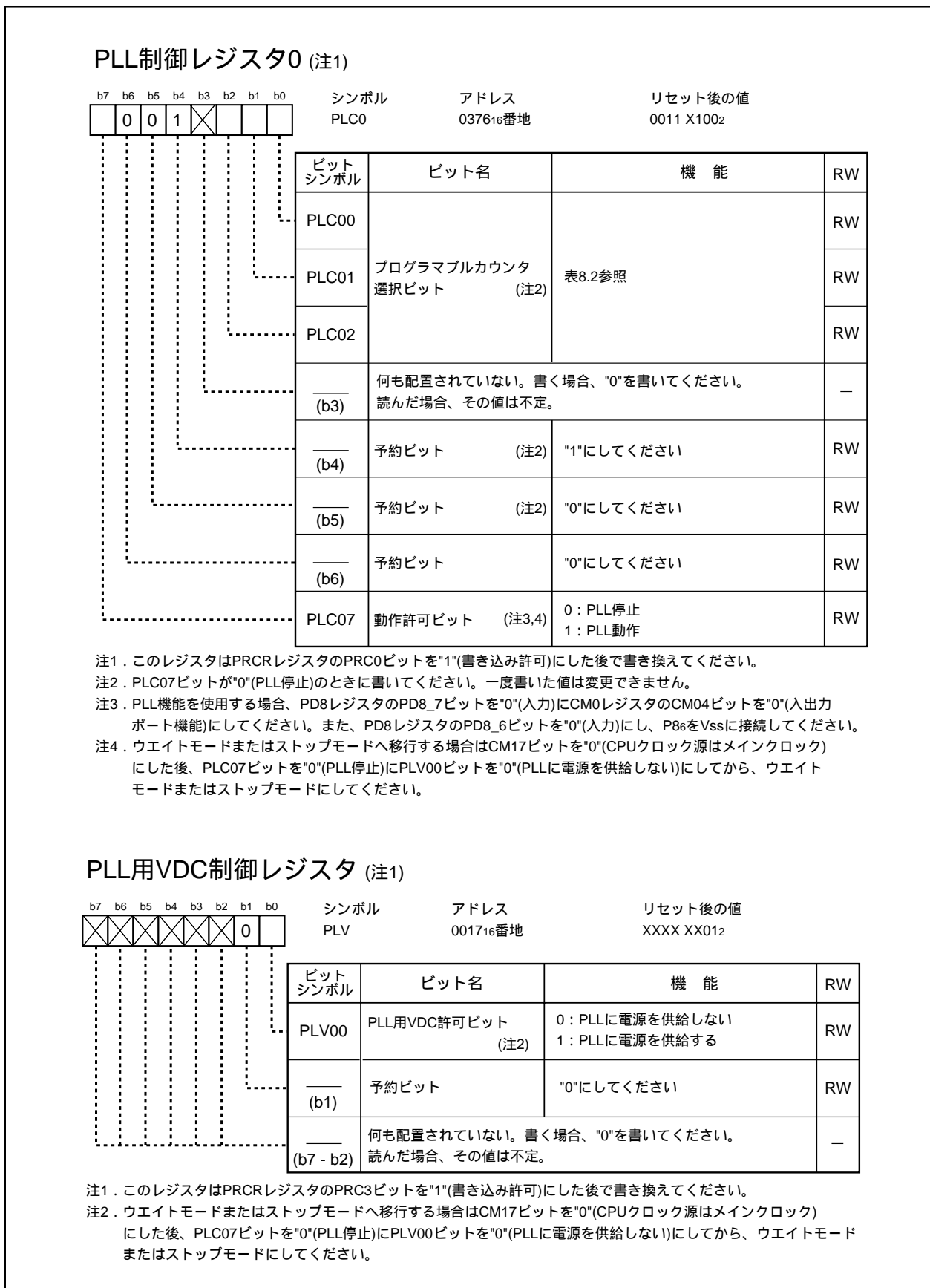


図8.7 PLC0レジスタ、PLVレジスタ

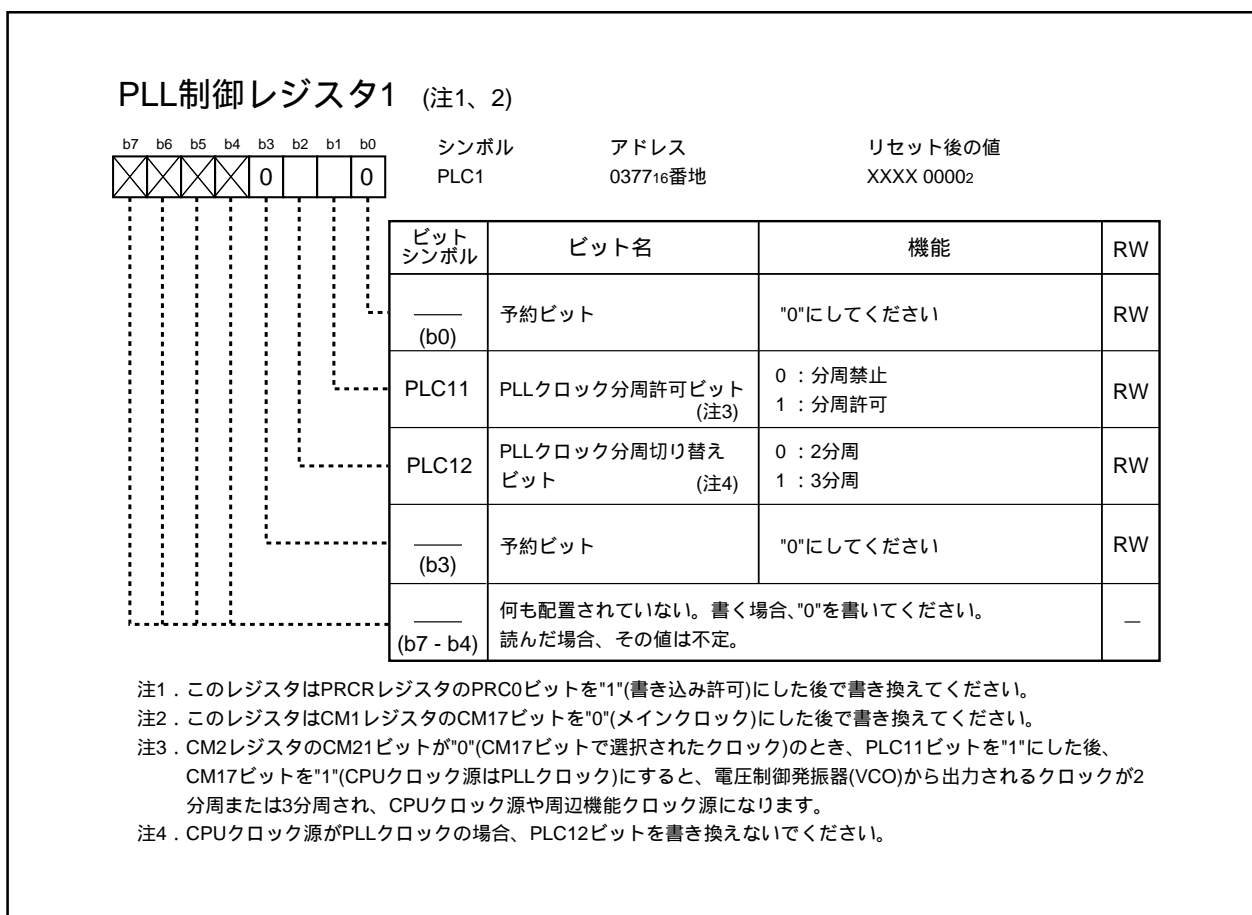


図8.8 PLC1レジスタ

クロック発生回路で生成するクロックを説明します。

8.1.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックや、周辺機能クロックのクロック源になります。

メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図8.9にメインクロックの接続回路例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、メインクロックの8分周がCPUクロックになります。

CPUクロック源をサブクロックまたはオンチップオシレータクロックに切り替えた後、CM0レジスタのCM05ビットを“1”（メインクロック発振回路の発振停止）にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしてもメインクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「8.5 パワーコントロール」を参照してください。

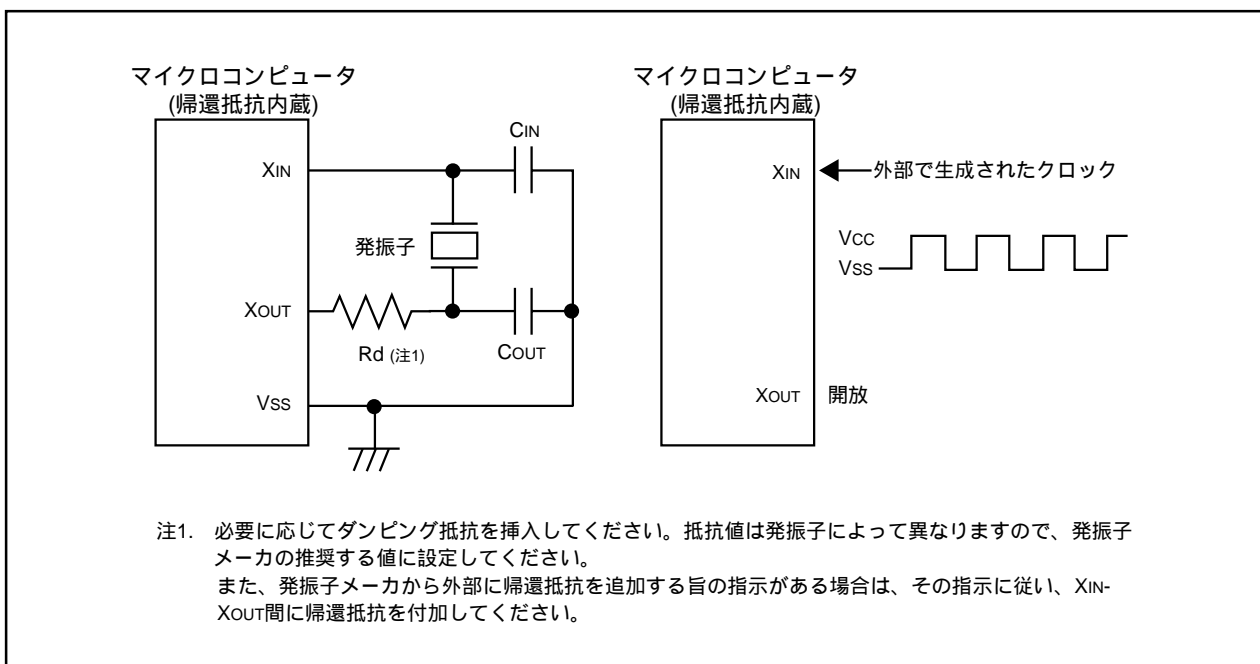


図8.9 メインクロックの接続回路例

8.1.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。また、サブクロックと同一周波数の f_c をCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図8.10にサブクロックの回路接続例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。PD8レジスタのPD8_6、PD8_7ビットの両方を“0”(入力モード)にし、PUR2レジスタのPU25ビットを“0”(プルアップしない)にした後、CM0レジスタのCM04ビットを“1”(XCIN-XCOUT発振機能)にすると、サブクロック発振回路が発振を始めます。外部で生成したクロックをXCIN端子へ入力する場合は、PD8_7ビットを“0”にし、PU25ビットを“0”にした後、CM04ビットを“1”にすると、XCIN端子へ入力されたクロックがサブクロック源になります。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「8.5 パワーコントロール」を参照してください。

なお、XCIN、XCOUTはVCONT、P86と端子を共有していますので、サブクロック使用時、PLL周波数シンセサイザは使用できません。

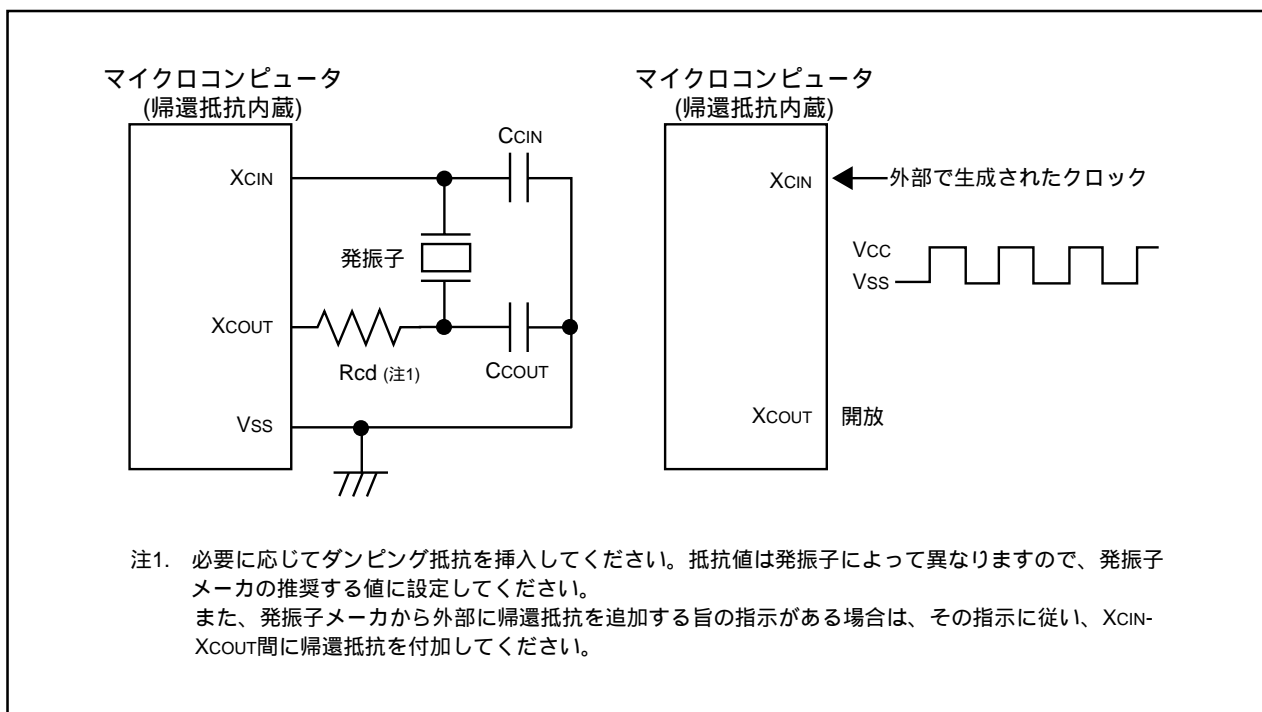


図8.10 サブクロックの接続回路例

8.1.3 オンチップオシレータクロック

オンチップオシレータが供給する約1MHzのクロックです。CPUクロックや周辺機能クロックのクロック源になります。

リセット後、オンチップオシレータクロックは停止しています。CM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にすると発振を始め、オンチップオシレータクロックがメインクロックに代わって、CPUクロックや、周辺機能クロックのクロック源になります。

8.1.3.1 発振停止検出機能

外部の要因でメインクロックが停止した場合に、自動的にオンチップオシレータが動作を開始し、クロックを供給する機能です。

CM20ビットが“1”(発振停止検出機能有効)の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始し、オンチップオシレータクロックがメインクロックに代わってCPUクロックや周辺機能のクロック源になります。このとき、関連するビットが次のようになります。

- ・CM21ビット = “1”(オンチップオシレータクロックがCPUクロックのクロック源)
- ・CM22ビット = “1”(メインクロック停止を検出)
- ・CM23ビット = “1”(メインクロック停止)(図8.15状態遷移図を参照)

8.1.3.2 発振停止検出機能使用方法

- ・発振停止検出割り込みは、ウォッチドッグタイマ割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、割り込み処理プログラムでCM22ビットを読み、どちらの割り込み要因による割り込み要求かを判定してください。
- ・発振停止検出後、メインクロックの発振が再開した場合は、プログラムでメインクロックをCPUクロックや周辺機能クロックのクロック源に戻してください。図8.11にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。
- ・低速モード時、CM20ビットが“1”で、メインクロックが停止すると、発振停止検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始します。このとき、CPUクロックはサブクロックのままですが、周辺機能クロックはオンチップオシレータクロックがクロック源になります。
- ・発振停止検出機能を使用中にウエイトモードへ移行する場合は、CM02ビットを“0”(ウエイトモード時周辺機能クロックを停止しない)にしてください。
- ・ウエイトモード時に発振停止検出割り込み要求が発生した場合、発振停止検出割り込みではウエイトモードから復帰しません。ウエイトモードからの復帰後、最初に発振停止検出割り込みが実行され、次にウエイトモードからの復帰に使用した割り込みが実行されます。
- ・この機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止させる場合、すなわち、ストップモードにする、またはCM05ビットを“1”(メインクロック発振停止)にする場合は、CM20ビットを“0”(発振停止検出機能無効)にしてください。
- ・メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”にしてください。

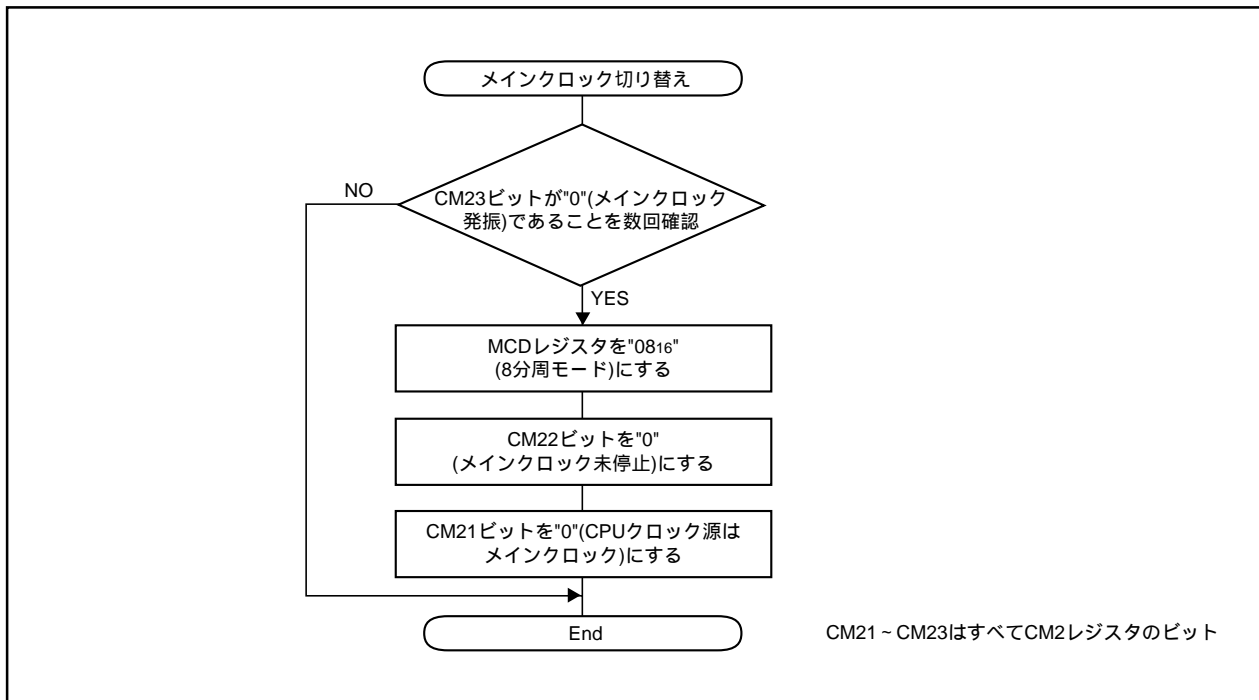


図8.11 オンチップオシレータクロックからメインクロックへの切り替え手順

8.1.4 PLLクロック

PLLクロックは、PLL周波数シンセサイザがメインクロックを元に生成するクロックです。CPUクロックや、周辺機能クロックのクロック源にも使用できます。

PLL周波数シンセサイザを使用する場合は、V_{CONT}端子に抵抗とコンデンサを接続してください。PD8レジスタのPD8_6ビット、PD8_7ビットを“0”(入力モード)に、CM04ビットを“0”(X_{CIN}、X_{COU}端子はポート)にして、V_{CONT}端子、P86端子、V_{SS}端子には図8.12に示す回路を接続してください。また、PLVレジスタのPLV00ビットを“1”(PLLに電源を供給する)にしてください。

リセット後、PLL周波数シンセサイザは停止しています。PLC07ビットを“1”(PLL動作)にするとPLL周波数シンセサイザが動作します。PLLクロックが安定するまで、20ms(5V動作時)～50ms(3.3V動作時)待ち時間が必要です。

PLLクロックは、電圧制御発振器(VCO)から出力されるクロックの2分周または3分周が選択できます。

CPUクロックや周辺機能クロックのクロック源に使用する場合、表8.2に示すように各ビットを設定してください。また、図8.13にPLLクロックをCPUクロック源にする手順を示します。

ウエイトモードまたはストップモードへ移行する場合は、CM17ビットを“0”(CPUクロック源はメインクロック)にした後、PLC0レジスタのPLC07ビットを“0”(PLL停止)にし、PLV00ビットを“0”(PLLに電源を供給しない)にしてから、ウエイトモードまたはストップモードにしてください。

なお、V_{CONT}、P86はX_{CIN}、X_{COU}と端子を共用していますので、PLL周波数シンセサイザ使用時、サブクロックは使用できません。

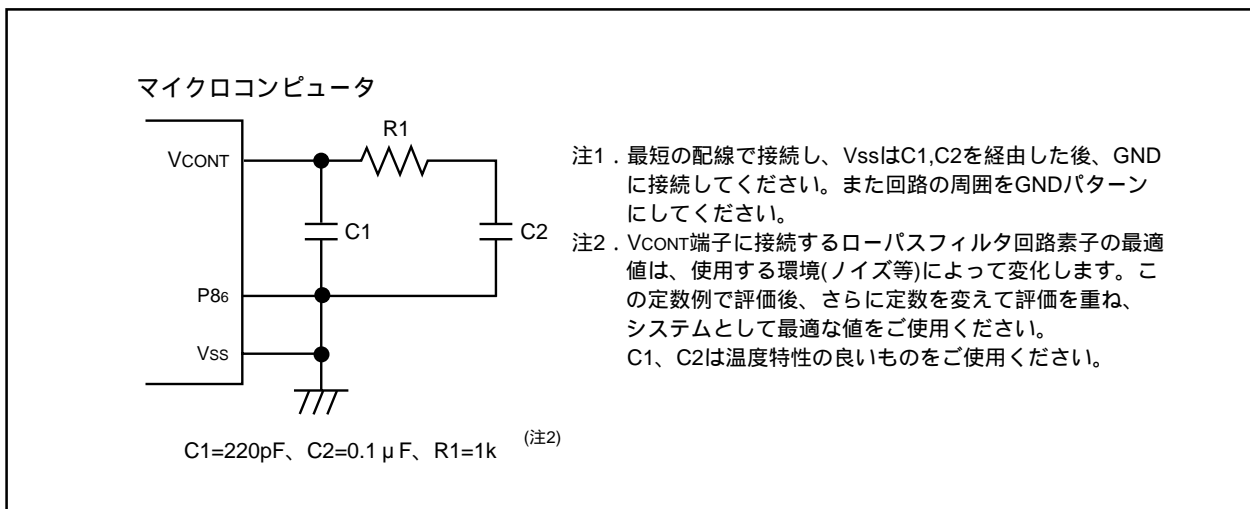


図8.12 PLL周波数シンセサイザ使用時の外付け回路例

表8.2 PLLクロックをCPUクロック源に使用する場合の設定

f(XIN)	PLC0レジスタ			PLC1レジスタ	PLLクロック
	PLC02	PLC01	PLC00	PLC12	
10MHz	0	1	1	0	30MHz
				1	20MHz
8MHz	1	0	0	0	32MHz
				1	21.3MHz

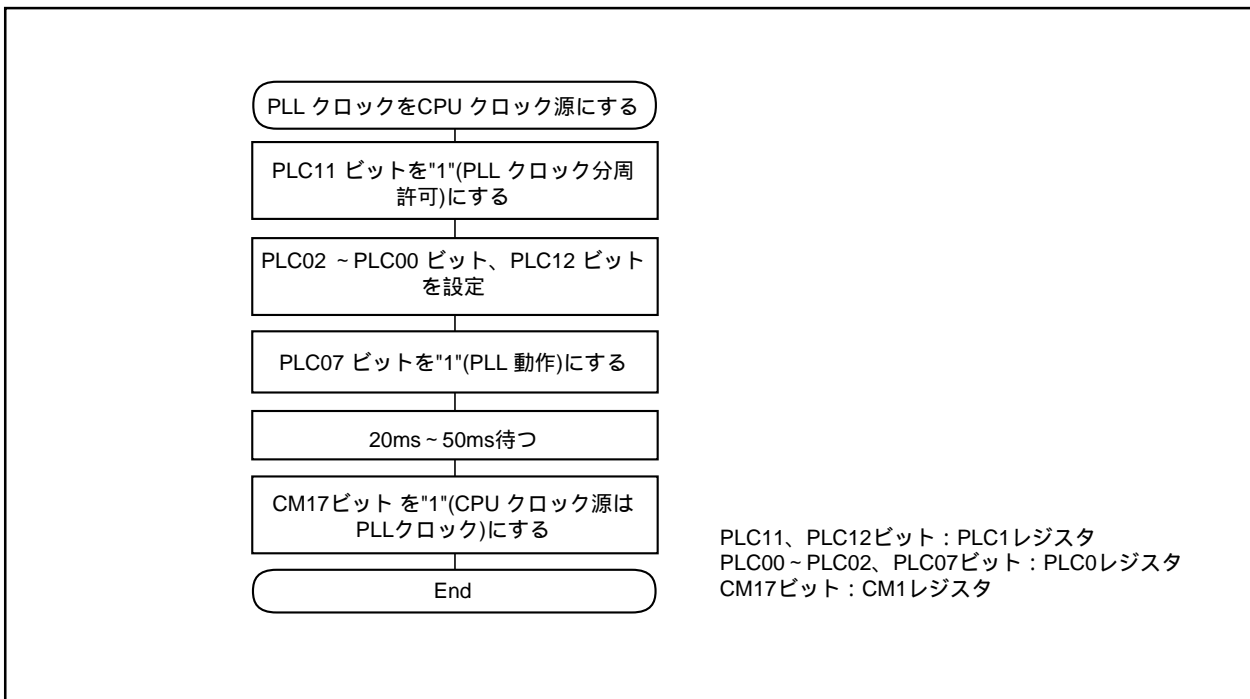


図8.13 PLLクロックをCPUクロック源にする手順

8.2 CPUクロックとBCLK

CPUクロックはCPU動作クロックであり、ウォッチドッグタイマのカウントソースです。リセット後、CPUクロックはメインクロックの8分周です。メモリ拡張モードまたはマイクロプロセッサモード時、CPUクロックと同一周波数のクロックをBCLKとして、BCLK端子から出力できます。詳細は「8.4 クロック出力機能」を参照してください。

CPUクロックのクロック源として、メインクロック、サブクロック、オンチップオシレータクロックまたはPLLクロックが選択できます。表8.3にCPUクロック源と設定ビットを示します。

CPUクロックのクロック源としてメインクロック、オンチップオシレータクロックまたはPLLクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、3、4、6、8、10、12、14、16分周したものがCPUクロックになります。分周はMCDレジスタで選択できます。なお、ストップモード、または低消費電力モード(ただし、CPUクロックがオンチップオシレータクロックの場合を除く)に移行すると、MCDレジスタは“0816”(8分周モード)になりますので、次にメインクロックを動作させるときは中速(8分周)モードになります。

表8.3 CPUクロック源と設定ビット

CPUクロック源	CM0レジスタ	CM2レジスタ	CM1レジスタ
	CM07	CM21	CM17
メインクロック	0	0	0
サブクロック	1	0	0
オンチップオシレータクロック	0	1	0
PLLクロック	0	0	1

8.3 周辺機能クロック

ウォッチドッグタイマを除く周辺機能の動作クロックまたはカウントソースです。

8.3.1 f_1 、 f_8 、 f_{32} 、 f_{2n}

メインクロック(注1)またはオンチップオシレータクロック(いずれが選択されるかはCM21ビットの状態が決まる)を1、8、32、 $2n(n=0\sim 15)$ 。ただし、 $n=0$ のときは分周なし)分周したクロックです。

CM02ビットを“1”(ウエイトモード時、周辺機能クロックを停止する)にしてウエイトモードに移行した場合、または低消費電力モード時、これらのクロックは停止します。

f_1 、 f_8 、 f_{2n} は、タイマA、タイマBのカウントソース、シリアルI/Oの動作クロックに使用します。 f_{2n} は、TCSPRレジスタのCNT3～CNT0ビットで分周を設定できます。 f_1 はインテリジェントI/Oの動作クロックにも使用します。

f_8 と f_{32} はCLKOUT端子から出力できます。詳細は「8.4 クロック出力機能」を参照してください。

8.3.2 f_{AD}

メインクロック(注1)またはオンチップオシレータクロック(いずれが選択されるかはCM21ビットの状態が決まる)と同一周波数です。A/Dコンバータの動作クロックです。

CM02ビットを“1”(ウエイトモード時、周辺機能クロックを停止する)にしてウエイトモードに移行した場合、または低消費電力モード時、このクロックは停止します。

注1. CM17ビットが“1”(CPUクロック源はPLLクロック)の場合、PLLクロック。

8.3.3 fc32

サブクロックの32分周で、タイマA、タイマBのカウントソースに使用します。サブクロックが供給されているとき使用できます。

8.4 クロック出力機能

fc、f8、またはf32をCLKOUT端子から出力できます。

また、メモリ拡張モードまたはマイクロプロセッサモード時、CPUクロックと同一周波数のクロックをBCLKとしてBCLK端子から出力できます。

表8.4にシングルチップモードでのCLKOUT端子の機能を、表8.5にメモリ拡張モードまたはマイクロプロセッサモードでのCLKOUT端子の機能を示します。

表8.4 シングルチップモードでのCLKOUT端子の機能

PM0レジスタ ^(注1)	CM0レジスタ ^(注2)		CLKOUT端子の機能
	PM07	CM01	
-	0	0	入出力ポートP53
1	0	1	fcを出力
1	1	0	f8を出力
1	1	1	f32を出力

- : 0でも1でもよい

注1. このレジスタはPRCRレジスタのPRC1ビットを"1"(書き込み許可)にした後で書き換えてください。

注2. このレジスタはPRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後で書き換えてください。

表8.5 メモリ拡張モードとマイクロプロセッサモードでのCLKOUT端子の機能^(注4)

PM1レジスタ ^(注1)		PM0レジスタ ^(注1)	CM0レジスタ ^(注2)		CLKOUT端子の機能
PM15	PM14	PM07	CM01	CM00	
002、102、112		0	0 ^(注3)	0 ^(注3)	BCLKを出力
		1	0	0	"L"を出力(P53になりません)
		1	0	1	fcを出力
		1	1	0	f8を出力
		1	1	1	f32を出力
0	1	-	0 ^(注3)	0 ^(注3)	ALEを出力

- : 0でも1でもよい

注1. このレジスタはPRCRレジスタのPRC1ビットを"1"(書き込み許可)にした後で書き換えてください。

注2. このレジスタはPRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後で書き換えてください。

注3. PM07ビットが"0"(CM01~CM00ビットで選択)の場合、またはPM15~PM14ビットが"012"(P53/BCLK)の場合、CM01~CM00ビットは"002"(入出力ポートP53)にしてください。

注4. M32C/83Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。

8.5 パワーコントロール

パワーコントロールには、3つのモードがあります。

なお、便宜上、この項ではウエイトモード、ストップモード以外の状態を、通常動作モードと呼びます。図8.14にストップモード、ウエイトモードの状態遷移図を、図8.15に状態遷移図を示します。

8.5.1 通常動作モード

通常動作モードは、さらに6つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

8.5.1.1 高速モード

メインクロック(注1)がCPUクロックになります。また、メインクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

8.5.1.2 中速モード

メインクロックの2、3、4、6、8、10、12、14、16分周がCPUクロックになります。また、メインクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

8.5.1.3 低速モード

サブクロックがCPUクロックになります。メインクロックが周辺機能クロックのクロック源になります。fc32がタイマA、タイマBのカウントソースに使用できます。

8.5.1.4 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックになります。fc32がタイマA、タイマBのカウントソースに使用できます。周辺機能クロックはfc32のみです。

このモードにすると同時にMCDレジスタは“0816”(8分周モード)になりますので、次にメインクロックを動作させるときは中速モード(8分周)になります。

8.5.1.5 オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

8.5.1.6 オンチップオシレータ低消費電力モード

オンチップオシレータモードにした後、メインクロックを停止させた状態です。オンチップオシレータクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

CPUクロックを切り替える場合は、切り替え先のクロックが安定してから切り替えてください。特にサブクロックは発振が安定するまで時間(注2)を要しますので、電源投入直後や、ストップモードからの復帰後、プログラムで待ち時間をとってから移行してください。

また、オンチップオシレータからメインクロックに切り替える場合は、オンチップオシレータモードで8分周(MCDレジスタ=0816)にした後、中速モード(8分周)に切り替えてください。

なお、低速モードまたは低消費電力モードから、オンチップオシレータモードまたはオンチップオシレータ低消費電力モードへ切り替えしないでください。同様にオンチップオシレータモードまたはオンチップオシレータ低消費電力モードから、低速モードまたは低消費電力モードへ切り替えしないでください。

注1．CM17ビットが“1”(CPUクロック源はPLLクロック)の場合、PLLクロック。

注2．発振安定時間は各発振子メーカーへお問い合わせください。

8.5.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。メインクロック、サブクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

8.5.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックは停止する)の場合、ウェイトモード時にf₁、f₈、f₃₂、f_{2n}、f_{AD}が停止します。したがって、これらのクロックをカウントソースとする周辺機能が停止し、消費電力が低減できます。fc₃₂は停止しません。

8.5.2.2 ウェイトモードへの移行

ウェイトモードへは次の手順で移行してください。

- ・初期設定での処理

復帰用優先レベル(RLVLレジスタのRLVL2～RLVL0ビットで設定したレベル)を“7”にした後、各割り込み優先レベルを設定する。

- ・WAIT命令実行前の処理

(1)Iフラグを“0”にする

(2)ウェイトモードからの復帰に使用する割り込みの割り込み優先レベルを設定する

(3)ウェイトモードからの復帰に使用しない割り込みの割り込み優先レベルを“0”に設定する

(4)IPLを設定した後、復帰用優先レベルをIPLと同じ値に設定する

(復帰に使用する割り込み優先レベル > 復帰用優先レベル 復帰に使用しない割り込み優先レベル)

(5)PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする

(6)CPUクロックがPLLクロックの場合、CM1レジスタのCM17ビットを“0”(CPUクロック源はメインクロック)にした後、PLC0レジスタのPLC07ビットを“0”(PLL停止)に、PLVレジスタのPLV00ビットを“0”(PLLに電源を供給しない)にする

(7)Iフラグを“1”にする

(8)WAIT命令を実行する

- ・ウェイトモード復帰後の処理

ウェイトモード復帰後、すぐに復帰用優先レベルを“7”にする

8.5.2.3 ウェイトモード時の端子の状態

表8.6にウェイトモード時の端子状態を示します。

表8.6 ウェイトモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード(注2)	シングルチップモード
アドレスバス, データバス, CS0 ~ CS3, BHE		ウェイトモードに入る直前の状態を保持	/
RD, WR, WRL, WRH, DW, CASL, CASH		“ H ” (注1)	
RAS		“ H ” (注1)	
HLDA, BCLK		“ H ”	
ALE		“ L ”	
ポート		ウェイトモードに入る直前の状態を保持	
CLKOUT	fc選択時	クロック出力	
	f8、f32選択時	CM0レジスタのCM02ビットが“ 0 ” (ウェイトモード時、周辺機能クロックは停止しない)のときは、クロック出力。 CM02ビットが“ 1 ” (ウェイトモード時、周辺機能クロックは停止する)のときは、ウェイトモードに入る直前の状態を保持。	

注1. DRAMCでセルフリフレッシュ動作時、CAS、RASは“ L ”となります。

注2. M32C/83Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。

8.5.2.4 ウェイトモードからの復帰

ハードウェアリセット、NMI割り込み、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みを使用しないで、ハードウェアリセットまたはNMI割り込みで復帰する場合、周辺機能割り込みのILVL2 ~ ILVL0ビットを“ 0002 ” (割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“ 0 ” (ウェイトモード時、周辺機能クロックを停止しない)の場合、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“ 1 ” (ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できません。

周辺機能割り込み、またはNMI割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表8.7にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表8.7 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02 = 0の場合	CM02 = 1の場合
NMI割り込み	使用可	使用可
シリアルI/O割り込み	内部クロックでも外部クロックでも使用可	外部クロック使用時のみ使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モード、または単掃引モードで使用可	使用しないでください
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモード、またはカウントソースがfc32のとき使用可
INT割り込み	使用可	使用可
CAN割り込み	使用可	使用しないでください
インテリジェントI/O割り込み	使用可	使用しないでください

8.5.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、Vccが2.5V以上のとき、内部RAMは保持されます。

ストップモードからの復帰に使用できる割り込みは次のとおりです。

NMI割り込み、キー入力割り込み、INT割り込み

8.5.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1” (全クロック停止)にすると、ストップモードになります。同時にMCDレジスタのMCD4～MCD0ビットは“010002” (8分周モード)になります。

ストップモードへは次の手順で移行してください。

- ・初期設定での処理

復帰用優先レベル(RLVLレジスタのRLVL2～RLVL0ビットで設定したレベル)を“7”にした後、各割り込み優先レベルを設定する。

- ・ストップモード移行前の処理

- (1) Iフラグを“0”にする。
- (2) ストップモードからの復帰に使用する割り込みの割り込み優先レベルを設定する
- (3) ストップモードからの復帰に使用しない割り込みの割り込み優先レベルを“0”に設定する
- (4) IPLを設定した後、復帰用優先レベルをIPLと同じ値に設定する
(復帰に使用する割り込み優先レベル > 復帰用優先レベル 復帰に使用しない割り込み優先レベル)
- (5) PRCRレジスタのPRC0ビットを“1” (書き込み許可)にする
- (6) CPUクロックをメインクロックにする
 - ・CPUクロックがサブクロックの場合
CM0レジスタのCM05ビットを“0” (メインクロック発振)にし、CM07ビットを“0” (CM21ビットで選択したクロックをMCDレジスタで分周したクロック)にしてください。
 - ・CPUクロックがPLLクロックの場合
CM1レジスタのCM17ビットを“0” (メインクロック)、PLC0レジスタのPLC07ビットを“0” (PLL停止)にしてください。
 - ・CPUクロックがオンチップオシレータの場合
 - (a) MCD4～MCD0ビットを“010002” (8分周モード)にする
 - (b) CM05ビットを“0” (メインクロック発振)にする
 - (c) CM2レジスタのCM21ビットを“0” (CM17ビットで選択されたクロック)にする

- (7)発振停止検出機能を使用している場合、CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする
- (8)Iフラグを“1”にする
- (9)CM10ビットを“1”(全クロック停止)にする
- ・ストップモード復帰後の処理
 - ストップモード復帰後、すぐに復帰用優先レベルを“7”にする

8.5.3.2 ストップモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込みまたは周辺機能割り込み(キー入力割り込み、 $\overline{\text{INT}}$ 割り込み)により、ストップモードから復帰します。

周辺機能割り込みを使用しないで、ハードウェアリセットまたは $\overline{\text{NMI}}$ 割り込みで復帰する場合、周辺機能割り込みの割り込み制御レジスタのILVL2~ILVL0ビットをすべて“0002”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

8.5.3.3 ストップモード時の端子の状態

表8.8にストップモード時の端子状態を示します。

表8.8 ストップモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード(注2)	シングルチップモード
アドレスバス, データバス, $\overline{\text{CS0}} \sim \overline{\text{CS3}}$, $\overline{\text{BHE}}$		ストップモードに入る直前の状態を保持	/
$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{DW}}$, $\overline{\text{CASL}}$, $\overline{\text{CASH}}$		“H”(注1)	
$\overline{\text{RAS}}$		“H”(注1)	
$\overline{\text{HLDA}}$, $\overline{\text{BCLK}}$		“H”	
$\overline{\text{ALE}}$		“H”	
ポート		ストップモードに入る直前の状態を保持	
CLKOUT	f _c 選択時	“H”	
	f ₈ 、f ₃₂ 選択時	ストップモードに入る直前の状態を保持	
XIN		ハイインピーダンス	
XOUT		“H”	
XCIN、XCOUT		ハイインピーダンス	

注1. DRAMCでセルフリフレッシュ動作時、CAS、 $\overline{\text{RAS}}$ は“L”となります。

注2. M32C/83Tでは、メモリ拡張モードおよびマイクロプロセッサモードを使用しないでください。

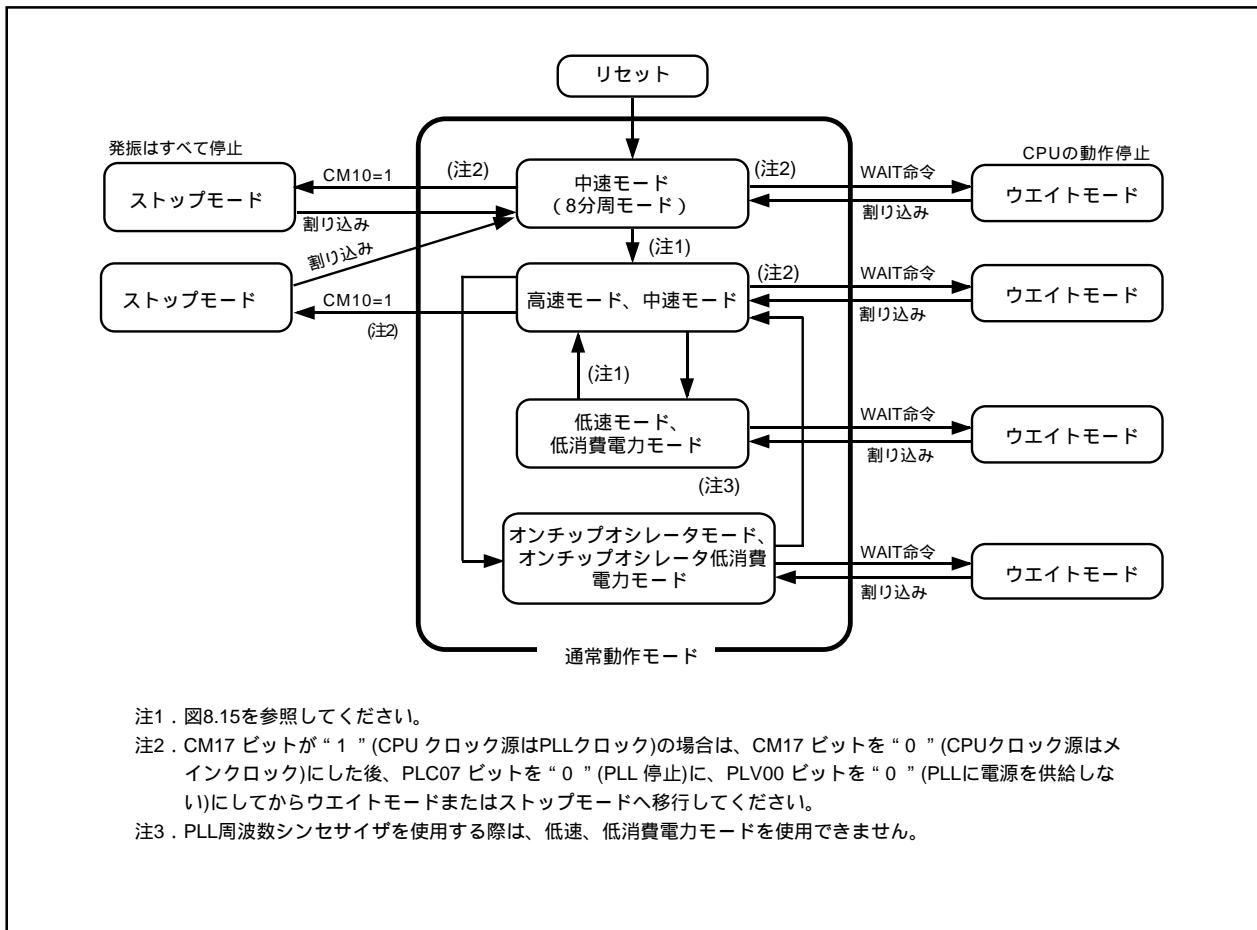


図8.14 ストップモード、ウェイトモードの状態遷移図

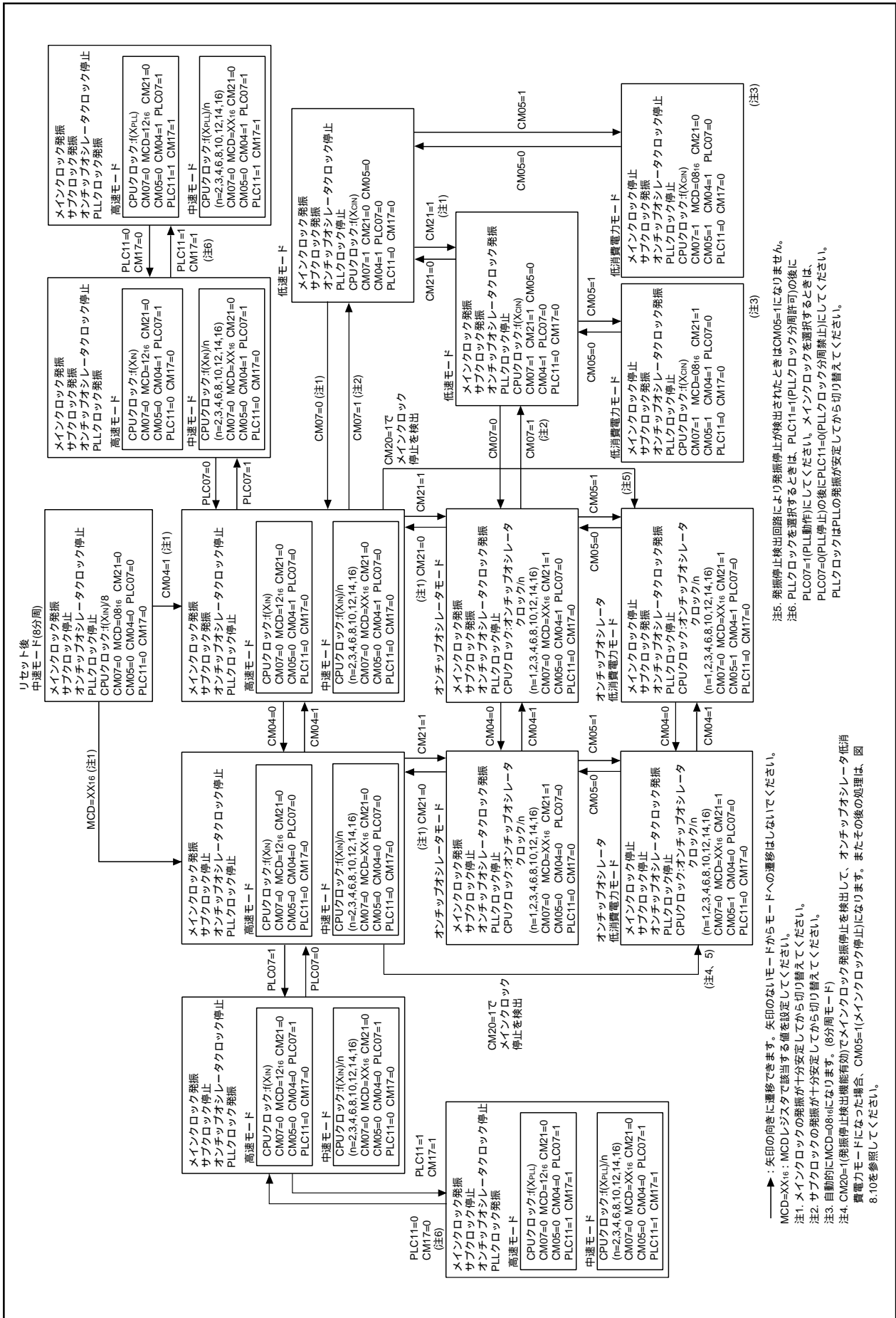


図8.15 状態遷移図

→ : 矢印の向きに遷移できます。矢印のないモードからモードへの遷移はしないでください。
MCD=XX16: MCDレジスタで該当する値を設定してください。
注1. メインクロックの発振が十分安定してから切り替えてください。
注2. サブクロックの発振が十分安定してから切り替えてください。
注3. 自動的にMCD=08⁽⁶⁾になります。(6分間モード)
注4. CM20=1(発振停止検出機能有効)でメインクロック発振停止を検出して、オンチップオシレータ低消費電力モードになった場合、CM06=1(メインクロック停止)になります。またその後の処理は、図8.10を参照してください。
注5. 発振停止検出回路により発振停止が検出されたときはCM05=1になりません。
注6. PLLクロックを選択するときは、PLC11=1(PLLクロック分周許可)の後に、PLC07=0(PLL動作)にしてください。メインクロックを選択するときは、PLC07=0(PLL停止)の後にPLC11=0(PLLクロック分周禁止)にしてください。
PLLクロックはPLLの発振が安定してから切り替えてください。

9. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図9.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- ・ PRC0ビットで保護されるレジスタ : CM0レジスタ、CM1レジスタ、CM2レジスタ、MCDレジスタ、PLC0レジスタ、PLC1レジスタ
- ・ PRC1ビットで保護されるレジスタ : PM0レジスタ、PM1レジスタ、INVC0レジスタ、INVC1レジスタ
- ・ PRC2ビットで保護されるレジスタ : PD9レジスタ、PS3レジスタ
- ・ PRC3ビットで保護されるレジスタ : PLVレジスタ、VDC0レジスタ

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地書き込みを実行すると“0”(書き込み禁止状態)になります。PD9レジスタとPS3レジスタは、PRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1、PRC3ビットは任意の番地書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

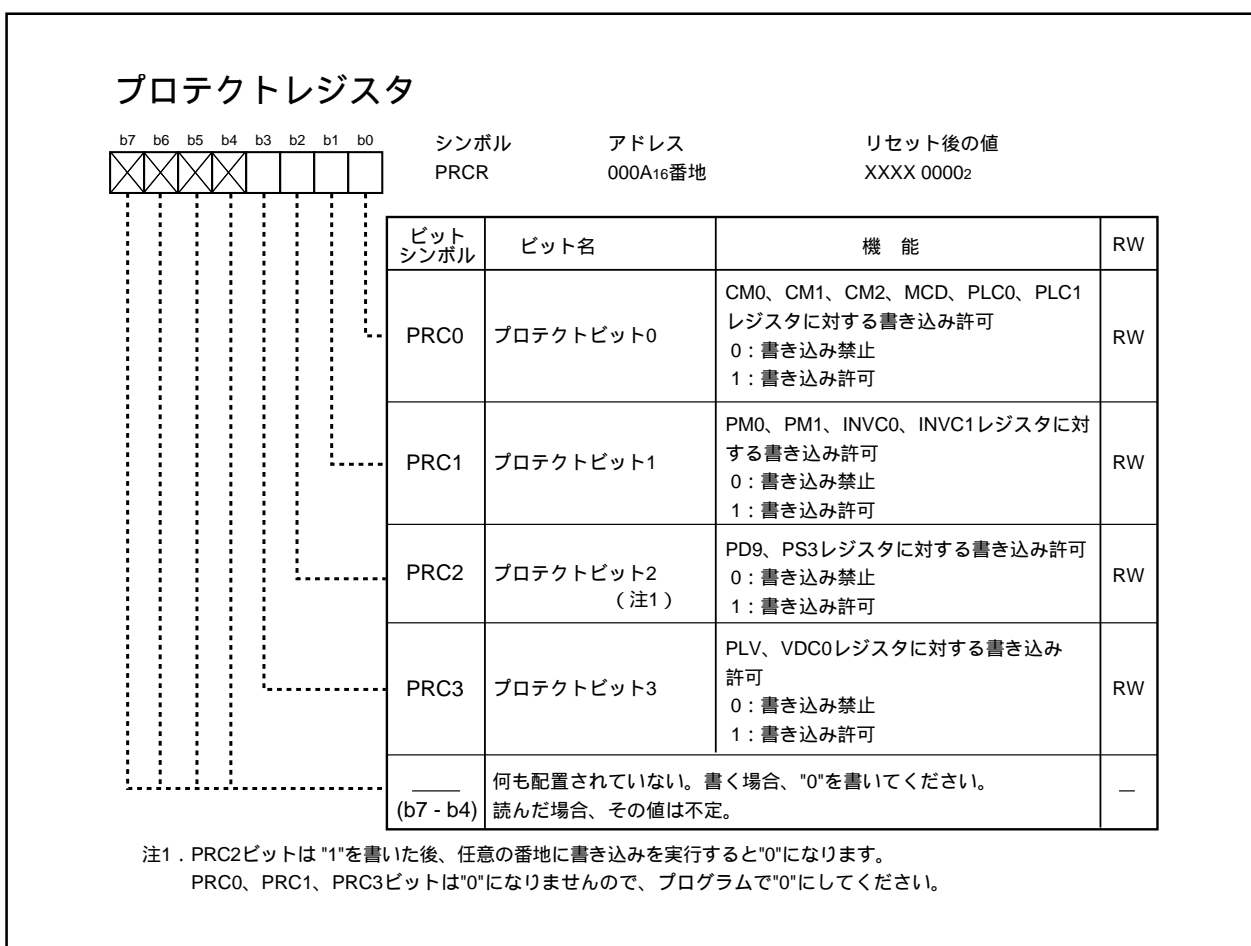


図9.1 PRCRレジスタ

10. 割り込み

10.1 割り込みの分類

図10.1に割り込みの分類を示します。

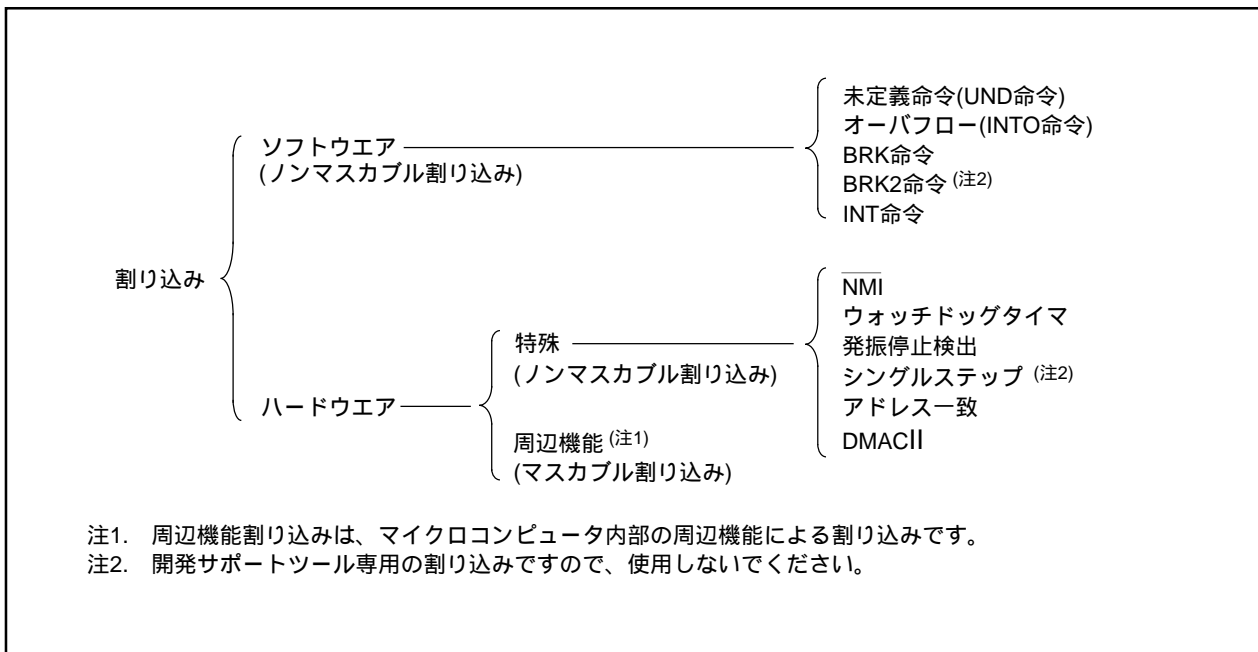


図10.1 割り込みの分類

- ・ マスカブル割り込み
Iフラグによる割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ・ ノンマスカブル割り込み
Iフラグによる割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

10.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

10.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

10.2.2 オーバフロー割り込み

オーバフロー割り込みは、FLGレジスタのOフラグが“1”（演算の結果がオーバフロー）の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、ADDX、CMP、CMPX、DIV、DIVU、DIVX、NEG、RMPA、SBB、SCMPU、SHA、SUB、SUBX

10.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

10.2.4 BRK2割り込み

BRK2割り込みは、BRK2命令を実行すると発生します。

開発サポートツール専用の割り込みです。使用しないでください。

10.2.5 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号7～54、57は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

INT命令を実行すると、FLGレジスタ、PCをスタックに退避し、指定したソフトウェア割り込み番号の可変ベクタをPCに格納します。

退避先のスタックはソフトウェア割り込み番号により異なります。

ソフトウェア割り込み番号0～31ではISP(Uフラグが“0”)に、ソフトウェア割り込み番号32～63ではINT命令実行前に選択されているSP(Uフラグは変化しない)になります。

ただし、周辺機能割り込みでは、割り込み要求受け付け時にFLGレジスタを退避し、Uフラグが“0”(ISPを選択)になります。そのため、ソフトウェア割り込み番号32～54、57では割り込み要因が周辺機能割り込みかINT命令かで使用するSPが異なります。

10.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

10.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

10.3.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は、「10.8 $\overline{\text{NMI}}$ 割り込み」を参照してください。

10.3.1.2 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「11. ウォッチドッグタイマ」を参照してください。

10.3.1.3 発振停止検出割り込み

発振停止検出機能により、メインクロックの発振停止を検出すると発生する割り込みです。発振停止検出の詳細は、「8. クロック発生回路」を参照してください。

10.3.1.4 シングルステップ割り込み

開発サポートツール専用の割り込みです。使用しないでください。

10.3.1.5 アドレス一致割り込み

アドレス一致割り込みは、AIE*R*レジスタのAIE*R**i*ビット(*i*=0～3)が“1”(アドレス一致割り込み許可)の場合、RMAD*i*レジスタで示される番地の命令を実行する直前に発生します。

RMAD*i*レジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。アドレス一致割り込みの詳細は、「10.10 アドレス一致割り込み」を参照してください。

10.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号7～54、57と同一です。周辺機能割り込みは、マスカブル割り込みです。

周辺機能割り込みの割り込み要因は、表10.2を参照してください。また、周辺機能の詳細は、各機能の説明を参照してください。

10.4 高速割り込み

高速割り込みは、割り込みシーケンスを5サイクルで、復帰を3サイクルで実行できる割り込みです。

RLVLレジスタのFSITビットを“1”(割り込み優先レベル7は高速割り込みに使用)にすると、割り込み制御レジスタのILVL2～ILVL0ビットを“1112”(レベル7)にした割り込みが高速割り込みとなります。

高速割り込みに設定できる割り込みは1つだけです。高速割り込みを使用する場合は、複数の割り込みをレベル7にしないでください。また、高速割り込みを使用する場合はRLVLレジスタのDMAIIビットを“0”(割り込み優先レベル7は割り込みに使用)にしてください。

高速割り込みルーチンの先頭番地はVCTレジスタに設定してください。

高速割り込みでは割り込みを受け付けると、FLGレジスタをSVFレジスタ、PCをSVPLレジスタへ退避し、VCTレジスタで示される番地からプログラムを実行します。

復帰する場合はFREIT命令を実行してください。FREIT命令を実行すると、SVFレジスタ、SVPLレジスタに退避していた値がFLGレジスタ、PCに復帰します。

高速割り込みはDMA2とDMA3で使用するレジスタを共有しています。そのため、高速割り込みを使用する場合、DMA2とDMA3は使用できません。(DMA0、DMA1は使用できます。)

10.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図10.2に割り込みベクタを示します。

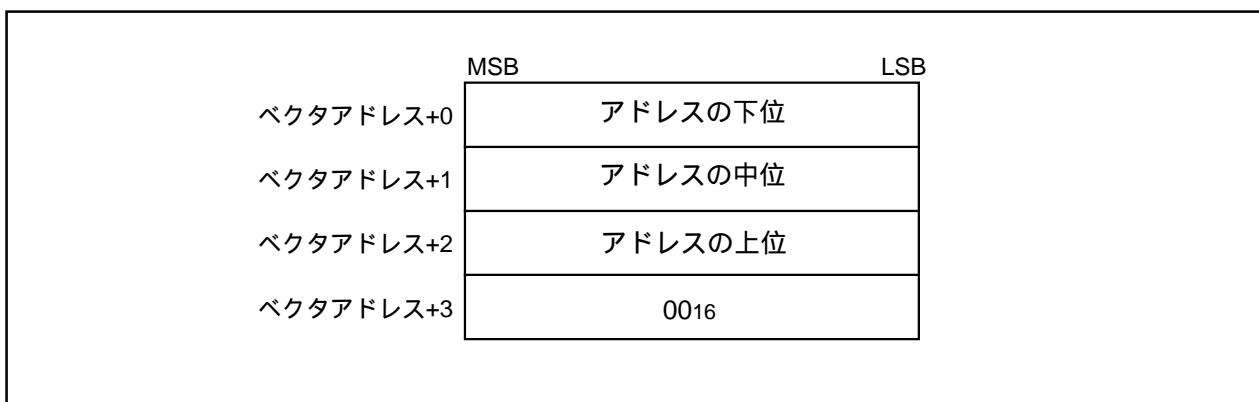


図10.2 割り込みベクタ

10.5.1 固定ベクタテーブル

固定ベクタテーブルはFFFFDC₁₆番地からFFFFFF₁₆番地に配置されています。表10.1に固定ベクタテーブルを示します。フラッシュメモリの固定ベクタに関しては、「25.2 フラッシュメモリ書き換え禁止機能」を参照してください。

表10.1 固定ベクタテーブル

割り込み要因	ベクタ番地 (番地(L) ~ 番地(H))	備考	参照先
未定義命令	FFFFDC ₁₆ ~ FFFFDF ₁₆		M32C/80シリーズ ソフトウェアマニュアル
オーバフロー	FFFFE0 ₁₆ ~ FFFFFE3 ₁₆		
BRK命令	FFFFE4 ₁₆ ~ FFFFFE7 ₁₆	FFFFE7 ₁₆ 番地の内容がFF ₁₆ の場合は可変ベクタテーブル内のソフトウェア割り込み番号0に格納された番地へ分岐	
アドレス一致	FFFFE8 ₁₆ ~ FFFFFEB ₁₆		
-	FFFFEC ₁₆ ~ FFFFFEF ₁₆	予約領域	
ウォッチドッグタイマ	FFFFFF0 ₁₆ ~ FFFFF3 ₁₆	ウォッチドッグタイマ割り込みと発振停止検出割り込みで共用	ウォッチドッグタイマ、 クロック発生回路
-	FFFFF4 ₁₆ ~ FFFFF7 ₁₆	予約領域	
NMI	FFFFF8 ₁₆ ~ FFFFFB ₁₆		
リセット	FFFFFC ₁₆ ~ FFFFFFF ₁₆		リセット

10.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表10.2に可変ベクタテーブルを示します。

INTBレジスタに設定するベクタの先頭番地は偶数番地にしてください。偶数番地を設定した方が割り込みシーケンスの実行速度が速くなります。

表10.2 可変ベクタテーブル(1/2)

割り込み要因	ベクタテーブル番地 番地(L) ~ 番地(H) (注1)	ソフトウェア 割り込み番号	参照先
BRK 命令(注2)	+0 ~ +3 (0000 ₁₆ ~ 0003 ₁₆)	0	M32C/80シリーズ
予約領域	+4 ~ +27 (0004 ₁₆ ~ 001B ₁₆)	1 ~ 6	ソフトウェアマニュアル
A/D1	+28 ~ +31 (001C ₁₆ ~ 001F ₁₆)	7	A/Dコンバータ
DMA0	+32 ~ +35 (0020 ₁₆ ~ 0023 ₁₆)	8	DMAC
DMA1	+36 ~ +39 (0024 ₁₆ ~ 0027 ₁₆)	9	
DMA2	+40 ~ +43 (0028 ₁₆ ~ 002B ₁₆)	10	
DMA3	+44 ~ +47 (002C ₁₆ ~ 002F ₁₆)	11	
タイマA0	+48 ~ +51 (0030 ₁₆ ~ 0033 ₁₆)	12	タイマA
タイマA1	+52 ~ +55 (0034 ₁₆ ~ 0037 ₁₆)	13	
タイマA2	+56 ~ +59 (0038 ₁₆ ~ 003B ₁₆)	14	
タイマA3	+60 ~ +63 (003C ₁₆ ~ 003F ₁₆)	15	
タイマA4	+64 ~ +67 (0040 ₁₆ ~ 0043 ₁₆)	16	
UART0送信、NACK (注3)	+68 ~ +71 (0044 ₁₆ ~ 0047 ₁₆)	17	シリアルI/O
UART0受信、ACK (注3)	+72 ~ +75 (0048 ₁₆ ~ 004B ₁₆)	18	
UART1送信、NACK (注3)	+76 ~ +79 (004C ₁₆ ~ 004F ₁₆)	19	
UART1受信、ACK (注3)	+80 ~ +83 (0050 ₁₆ ~ 0053 ₁₆)	20	
タイマB0	+84 ~ +87 (0054 ₁₆ ~ 0057 ₁₆)	21	タイマB
タイマB1	+88 ~ +91 (0058 ₁₆ ~ 005B ₁₆)	22	
タイマB2	+92 ~ +95 (005C ₁₆ ~ 005F ₁₆)	23	
タイマB3	+96 ~ +99 (0060 ₁₆ ~ 0063 ₁₆)	24	
タイマB4	+100 ~ +103 (0064 ₁₆ ~ 0067 ₁₆)	25	
INT5	+104 ~ +107 (0068 ₁₆ ~ 006B ₁₆)	26	割り込み
INT4	+108 ~ +111 (006C ₁₆ ~ 006F ₁₆)	27	
INT3	+112 ~ +115 (0070 ₁₆ ~ 0073 ₁₆)	28	
INT2	+116 ~ +119 (0074 ₁₆ ~ 0077 ₁₆)	29	
INT1	+120 ~ +123 (0078 ₁₆ ~ 007B ₁₆)	30	
INT0	+124 ~ +127 (007C ₁₆ ~ 007F ₁₆)	31	
タイマB5	+128 ~ +131 (0080 ₁₆ ~ 0083 ₁₆)	32	タイマB
UART2送信、NACK (注3)	+132 ~ +135 (0084 ₁₆ ~ 0087 ₁₆)	33	シリアルI/O
UART2受信、ACK (注3)	+136 ~ +139 (0088 ₁₆ ~ 008B ₁₆)	34	
UART3送信、NACK (注3)	+140 ~ +143 (008C ₁₆ ~ 008F ₁₆)	35	
UART3受信、ACK (注3)	+144 ~ +147 (0090 ₁₆ ~ 0093 ₁₆)	36	
UART4送信、NACK (注3)	+148 ~ +151 (0094 ₁₆ ~ 0097 ₁₆)	37	
UART4受信、ACK (注3)	+152 ~ +155 (0098 ₁₆ ~ 009B ₁₆)	38	

表10.2 可変ベクタテーブル(2/2)

割り込み要因	ベクタテーブル番地 番地(L) ~ 番地(H) (注1)	ソフトウェア 割り込み番号	参照先
バス衝突検出、スタ - トコンディション 検出、ストップコンディション検出 (UART2) ^(注3) 、障害エラー ^(注4)	+156 ~ +159 (009C ₁₆ ~ 009F ₁₆)	39	シリアルI/O
バス衝突検出、スタ - トコンディション 検出、ストップコンディション検出 (UART3またはUART0) ^(注5) 、障害エラー ^(注4)	+160 ~ +163 (00A0 ₁₆ ~ 00A3 ₁₆)	40	
バス衝突検出、スタ - トコンディション 検出、ストップコンディション検出 (UART4またはUART1) ^(注5) 、障害エラー ^(注4)	+164 ~ +167 (00A4 ₁₆ ~ 00A7 ₁₆)	41	
A/D0	+168 ~ +171 (00A8 ₁₆ ~ 00AB ₁₆)	42	A/Dコンバータ
キー入力	+172 ~ +175 (00AC ₁₆ ~ 00AF ₁₆)	43	割り込み
インテリジェントI/O割り込み0	+176 ~ +179 (00B0 ₁₆ ~ 00B3 ₁₆)	44	インテリジェントI/O CAN
インテリジェントI/O割り込み1	+180 ~ +183 (00B4 ₁₆ ~ 00B7 ₁₆)	45	
インテリジェントI/O割り込み2	+184 ~ +187 (00B8 ₁₆ ~ 00BB ₁₆)	46	
インテリジェントI/O割り込み3	+188 ~ +191 (00BC ₁₆ ~ 00BF ₁₆)	47	
インテリジェントI/O割り込み4	+192 ~ +195 (00C0 ₁₆ ~ 00C3 ₁₆)	48	
インテリジェントI/O割り込み5	+196 ~ +199 (00C4 ₁₆ ~ 00C7 ₁₆)	49	
インテリジェントI/O割り込み6	+200 ~ +203 (00C8 ₁₆ ~ 00CB ₁₆)	50	
インテリジェントI/O割り込み7	+204 ~ +207 (00CC ₁₆ ~ 00CF ₁₆)	51	
インテリジェントI/O割り込み8	+208 ~ +211 (00D0 ₁₆ ~ 00D3 ₁₆)	52	
インテリジェントI/O割り込み9、CAN0	+212 ~ +215 (00D4 ₁₆ ~ 00D7 ₁₆)	53	
インテリジェントI/O割り込み10、CAN1	+216 ~ +219 (00D8 ₁₆ ~ 00DB ₁₆)	54	
予約領域	+220 ~ +227 (00DC ₁₆ ~ 00E3 ₁₆)	55 ~ 56	-
インテリジェントI/O割り込み11、CAN2	+228 ~ +231 (00E4 ₁₆ ~ 00E7 ₁₆)	57	インテリジェントI/O CAN
予約領域	+232 ~ +255 (00E8 ₁₆ ~ 00FF ₁₆)	58 ~ 63	-
INT命令 ^(注2)	+0 ~ +3 (0000 ₁₆ ~ 0003 ₁₆) ~ +252 ~ +255 (00FC ₁₆ ~ 00FF ₁₆)	0 ~ 63	割り込み

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグで割り込み禁止にはできません。

注3. I²Cモード時、NACK、ACK、スタ - ト/ストップコンディション検出が割り込み要因になります。

注4. SS端子を選択した場合、障害エラーが割り込み要因になります。

注5. UART0、UART3のどちらの割り込みに使用するかは、IFSRレジスタのIFSR6ビットで、UART1、UART4のどちらの割り込みに使用するかは、IFSRレジスタのIFSR7ビットで選択してください。

10.6 割り込み要求の受け付け

ソフトウェア割り込みと特殊割り込みは、割り込み要因が成立すると割り込みが発生します。周辺機能割り込みは次の3つの条件がすべて成立したとき受け付けられます。

- ・Iフラグ = “1”
- ・IRビット = “1”
- ・ILVL2~ILVL0ビット > IPL

Iフラグ、IPL、IRビット、ILVL2~ILVL0ビットはそれぞれ独立しており、互いに影響を与えることはありません。IフラグとIPLはFLGレジスタにあります。IRビットとILVL2~ILVL0ビットは割り込み制御レジスタにあります。

これらのフラグ、ビットについて次に説明します。

10.6.1 IフラグとIPL

Iフラグは、マスカブル割り込みを禁止または許可します。Iフラグを“1”(許可)にすると、すべてのマスカブル割り込みは許可され、“0”(禁止)にすると禁止されます。Iフラグはリセット後“0”になります。

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを示します。要求があった割り込みの優先レベルがIPLより大きい場合、その割り込みは許可されます。

表10.3にIPLの内容による割り込み許可レベルを示します。

表10.3 IPLの内容による割り込み許可レベル

IPL2	IPL1	IPL0	許可される割り込み優先レベル
0	0	0	レベル1以上を許可
0	0	1	レベル2以上を許可
0	1	0	レベル3以上を許可
0	1	1	レベル4以上を許可
1	0	0	レベル5以上を許可
1	0	1	レベル6以上を許可
1	1	0	レベル7以上を許可
1	1	1	すべてのマスカブル割り込みを禁止

10.6.2 割り込み制御レジスタとRLVLレジスタ

周辺機能割り込みは、各割り込みを制御する割り込み制御レジスタを持ちます。図10.3、図10.4に割り込み制御レジスタを、図10.5にRLVLレジスタを示します。

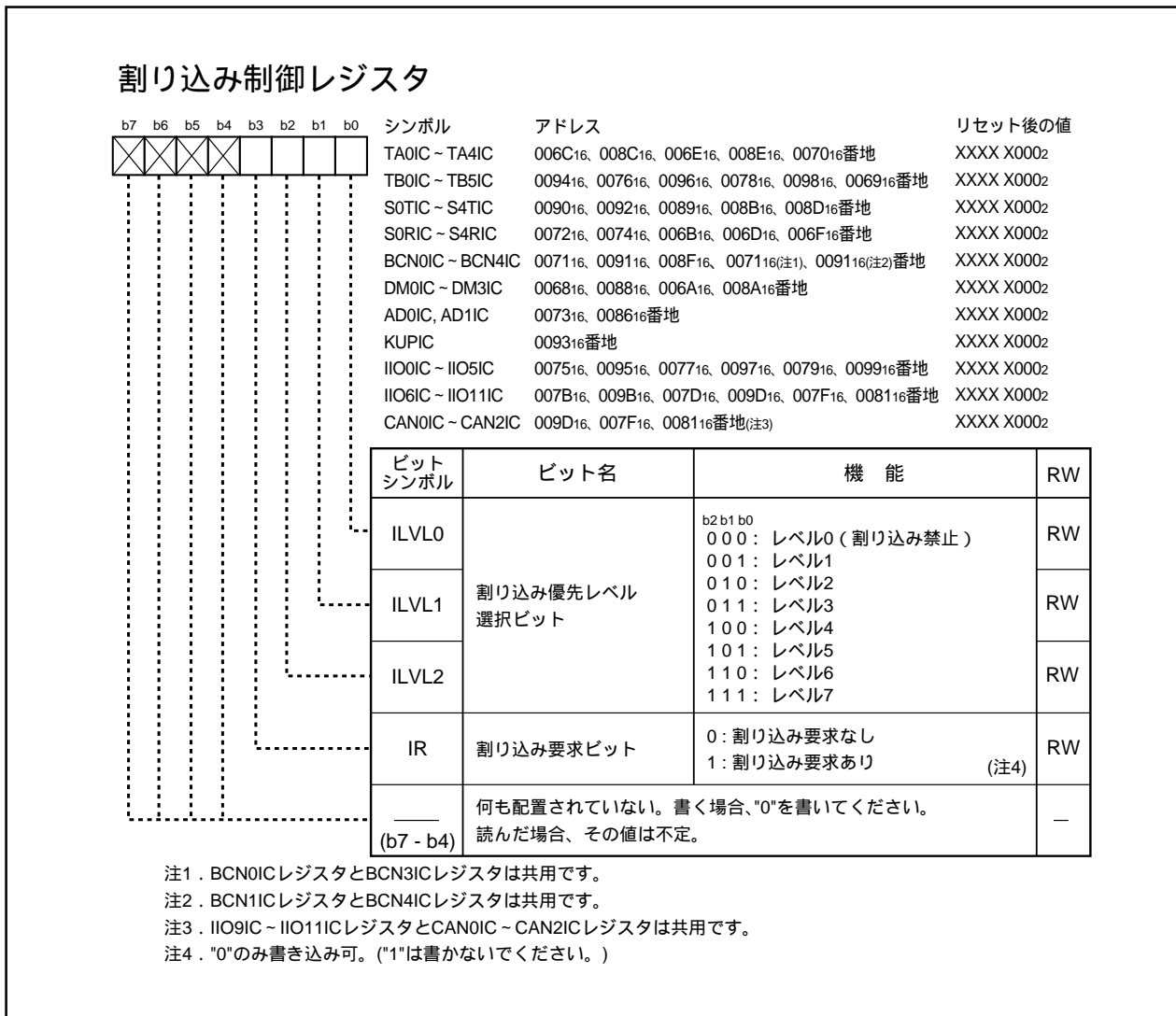


図10.3 割り込み制御レジスタ(1)

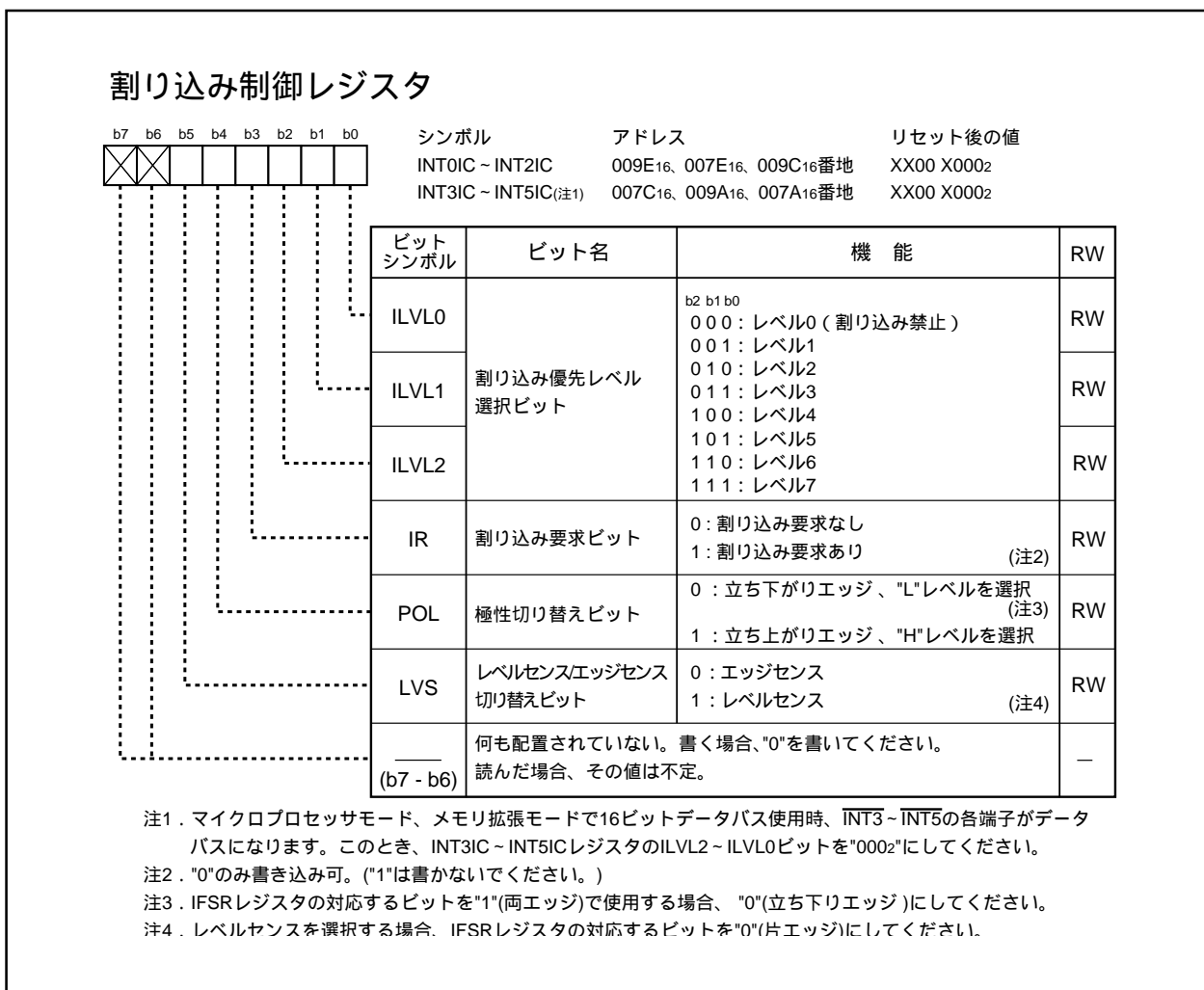


図10.4 割り込み制御レジスタ(2)

10.6.2.1 ILVL2 ~ ILVL0ビット

ILVL2 ~ ILVL0ビットで割り込み優先レベルを選択します。割り込み優先レベルの値が大きいくほど割り込みの優先順位が高くなります。

割り込み要求発生時、割り込み優先レベルはIPLと比較され、割り込みの優先レベルがIPLより大きい場合だけ、その割り込みは許可されます。ILVL2 ~ ILVL0ビットを“0002”(レベル0)にすると、その割り込みは禁止されます。

10.6.2.2 IRビット

IRビットは割り込み要求が発生すると、ハードウェアによって“1”(割り込み要求あり)になります。割り込み要求が受け付けられ対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます(“1”は書かないでください)。

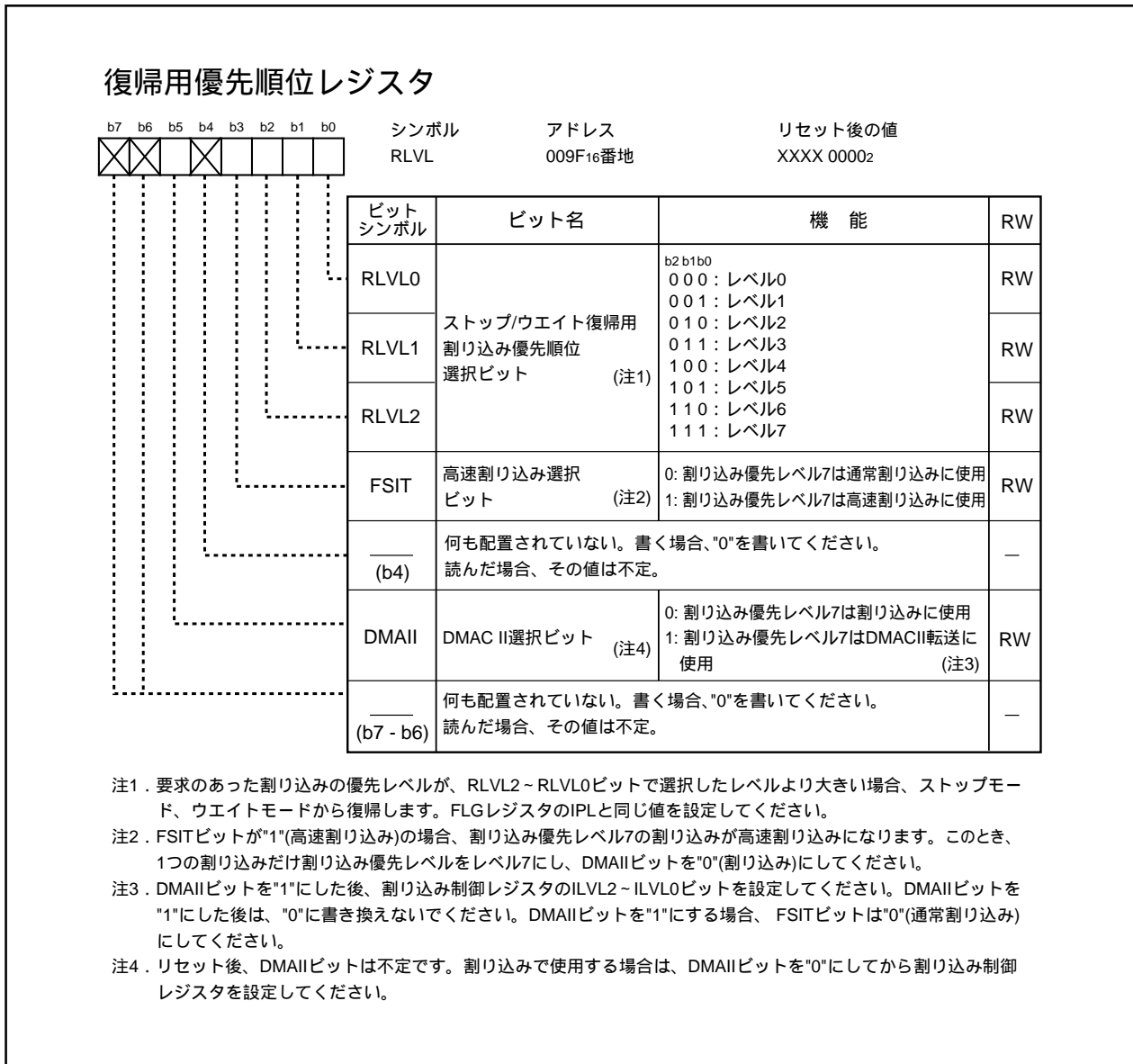


図10.5 RLVLレジスタ

10.6.2.3 RLVL2～RLVL0ビット

ストップモードやウェイトモードの解除に割り込みを使用する場合は、「8.5.2 ウェイトモード」、
「8.5.3 ストップモード」を参照してください。

10.6.3 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、CPUはその命令の実行終了後に優先順位を判定し、次のサイクルから割り込みシーケンスを実行します。ただし、SCMPU、SIN、SMOVB、SMOVF、SMOVU、SSTR、SOUT、RMPAの各命令では、命令実行中に割り込み要求が発生すると、CPUは命令の実行を一時中断し、割り込みシーケンスを実行します。

割り込みシーケンスでは、次のように動作します。

- (1) 000000₁₆番地(高速割り込みの場合、000002₁₆番地)を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ^(注1)に退避します。
- (3) FLGレジスタの各ビットは次のようになります。
 - Iフラグが“0”(割り込み禁止)
 - Dフラグが“0”(シングルステップ割り込み禁止)
 - Uフラグが“0”(ISPを指定)
- (4) CPU内部の一時レジスタをスタックに退避します。高速割り込みの場合は、SVFレジスタに退避します。
- (5) PCをスタックに退避します。高速割り込みの場合は、SVPレジスタに退避します。
- (6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (7) 受け付けた割り込みに対応する可変ベクタをPCに格納します。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

10.6.4 割り込み応答時間

図10.6に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図10.6の(a))と割り込みシーケンスを実行する時間(図10.6(b))で構成されます。

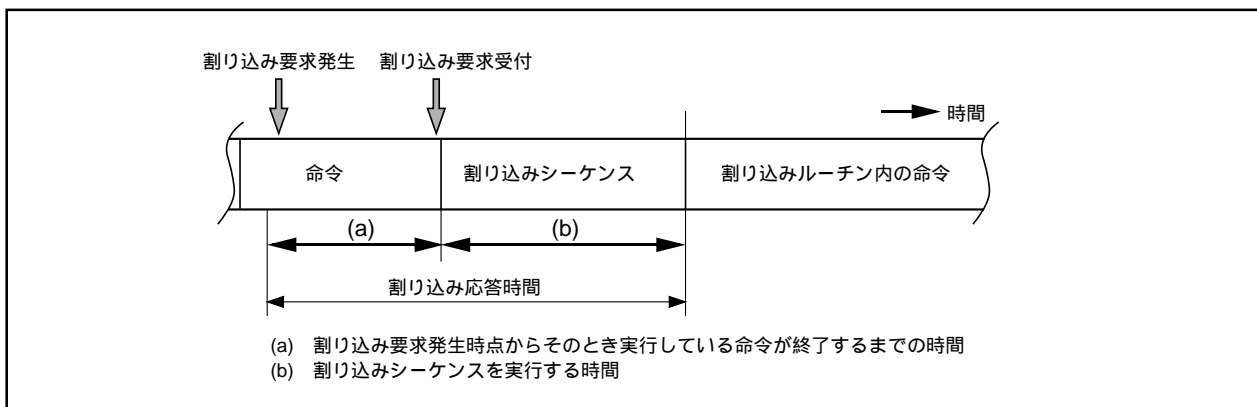


図10.6 割り込み応答時間

(a)の時間は、実行している命令によって異なります。この時間が最も長くなる命令は、DIV命令で除数が即値かレジスタのときで40サイクルです。

除数がメモリのときは、次の値が加算されます。

- ・通常アドレッシング $2 + X$
- ・インデクスアドレッシング $3 + X$
- ・間接アドレッシング $5 + X + 2Y$
- ・間接インデクスアドレッシング $6 + X + 2Y$

Xは除数の領域のウエイト数です。Yは間接アドレスが格納されている領域のウエイト数です。もし、これらが奇数番地か8ビットバス領域にあるなら、その値を2倍してください。

(b)の時間は表10.4のとおりです。

表10.4 割り込みシーケンス実行時間

割り込み	割り込みベクタの番地	16ビットバス	8ビットバス
周辺機能	偶数 奇数 ^(注1)	14サイクル 16サイクル	16サイクル 16サイクル
INT命令	偶数 奇数 ^(注1)	12サイクル 14サイクル	14サイクル 14サイクル
$\overline{\text{NMI}}$ ウォッチドッグタイマ 未定義命令 アドレス一致	偶数 ^(注2)	13サイクル	15サイクル
オーバフロー	偶数 ^(注2)	14サイクル	16サイクル
BRK命令(可変ベクタ)	偶数 奇数 ^(注1)	17サイクル 19サイクル	19サイクル 19サイクル
BRK命令(固定ベクタ)	偶数 ^(注2)	19サイクル	21サイクル
高速割り込み	ベクタテーブルは内部レジスタ	5サイクル	

注1. 割り込みベクタは、なるべく偶数番地に配置してください。

注2. ベクタの番地は偶数固定です。

10.6.5 割り込み要求受け付け時のIPLの変化

周辺機能割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込みは、割り込み優先レベルを持ちません。これらの割り込み要求が受け付けられたときは、表10.5に示す値がIPLに設定されます。

表10.5 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、 $\overline{\text{NMI}}$ 、発振停止検出	7
リセット	0
ソフトウェア、アドレス一致	変化しない

10.6.6 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへは、FLGレジスタ、次にPCを32ビットに拡張した上位16ビットと下位16ビットの順番で退避します。図10.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を1命令で退避できます。

高速割り込みは「10.4 高速割り込み」を参照してください。

注1 . R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

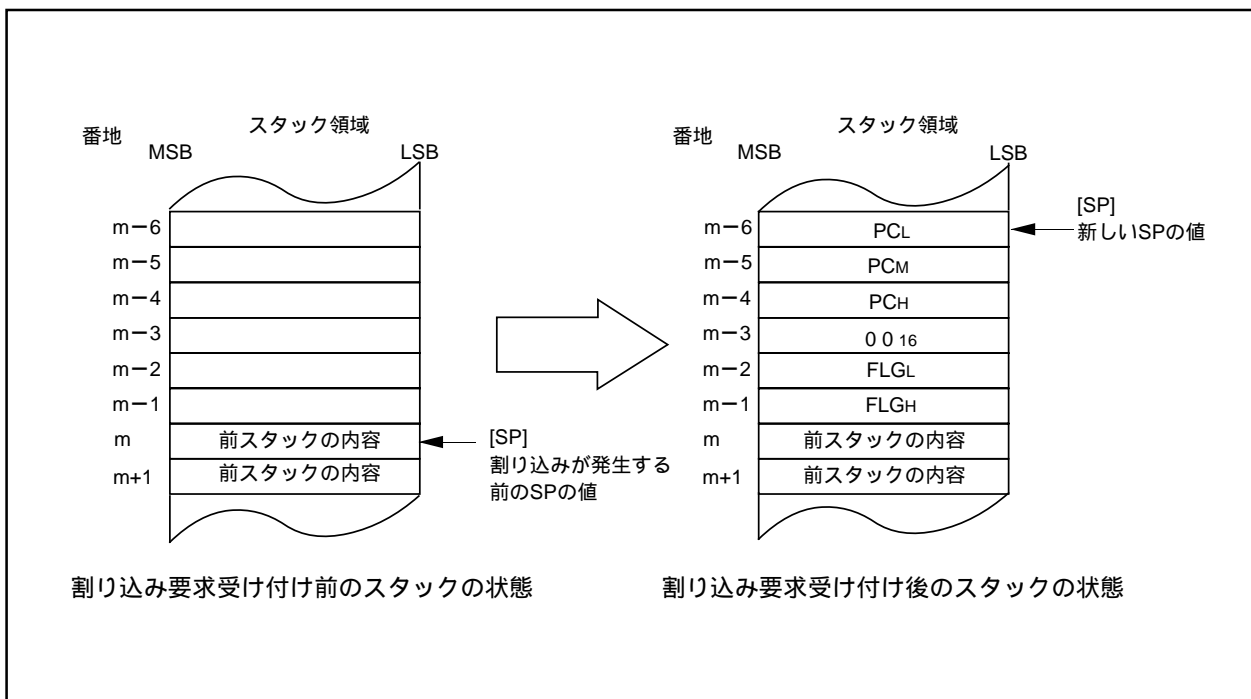


図10.7 割り込み要求受け付け前と後のスタックの状態

10.6.7 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻り、中断していた処理を続けます。高速割り込みは「10.4 高速割り込み」を参照してください。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT、FREIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REITまたはFREIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

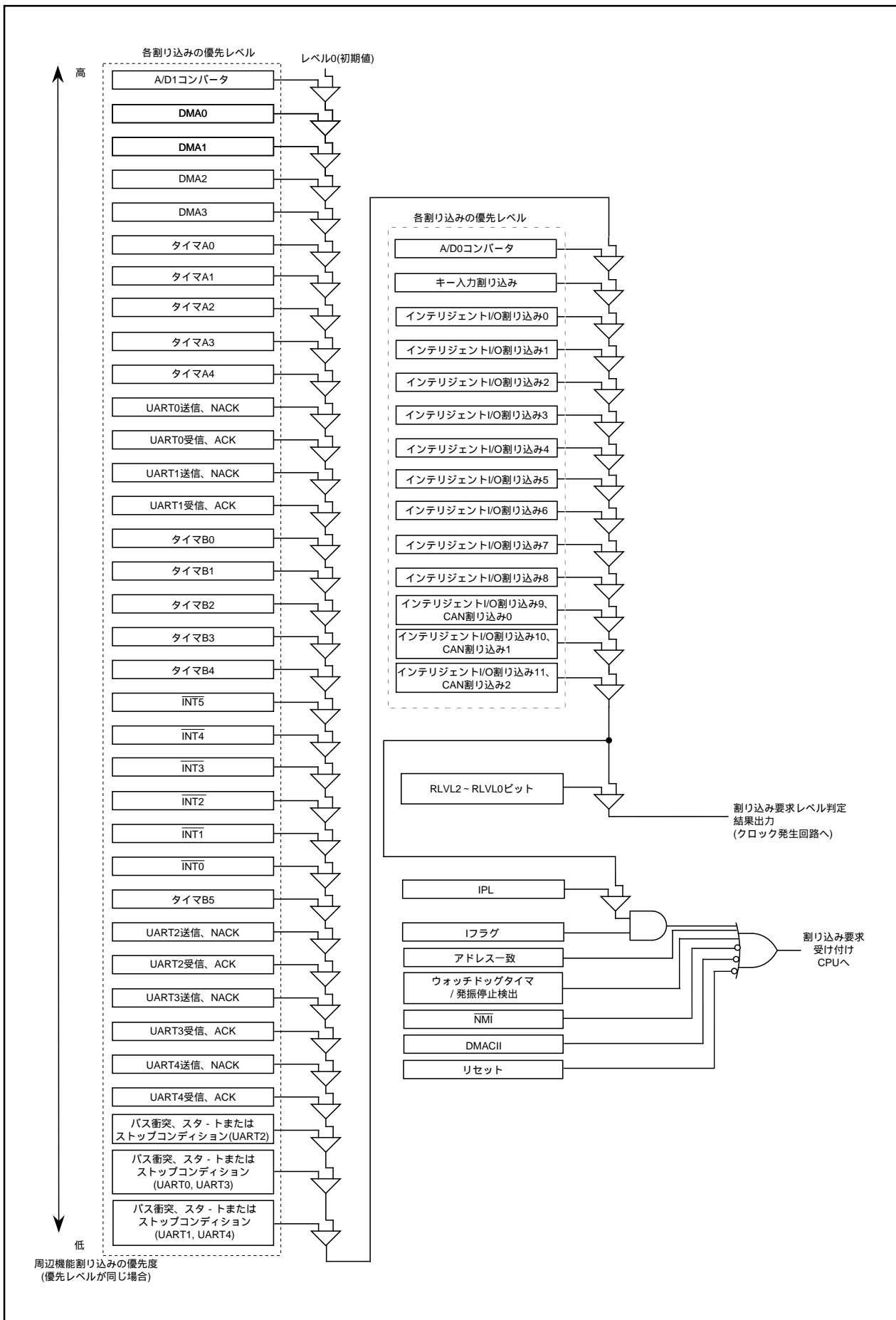


図10.9 割り込み優先レベル判定回路

10.7 INT割り込み

$\overline{\text{INT}}_i(i=0\sim 5)$ 割り込みは外部入力による割り込みです。入力信号のレベルで割り込みをかけるレベルセンスと、エッジで割り込みをかけるエッジセンスを INT_iIC レジスタのLVSビットで選択できます。また、極性を INT_iIC レジスタのPOLビットで選択できます。

エッジセンスでは、IFSRレジスタのIFSR $_i$ ビットを“1”(両エッジ)にすると、外部割り込み入力の立ち上がり、立ち下りの両方のエッジで割り込み要求が発生します。IFSR $_i$ ビットを“1”にする場合は、対応するPOLビットを“0”(立ち下りエッジ)にしてください。

レベルセンスでは、IFSR $_i$ ビットは“0”(片エッジ)にしてください。また、 $\overline{\text{INT}}_i$ 端子の入力レベルがPOLビットで選択したレベルのときに、 INT_iIC レジスタのIRビットが“1”になります。その後、 $\overline{\text{INT}}_i$ 端子が変化してもIRビットは“1”を保持し、 $\overline{\text{INT}}_i$ 割り込みを受け付けるか、プログラムで“0”を書くと“0”になります。

図10.10にIFSRレジスタを示します。

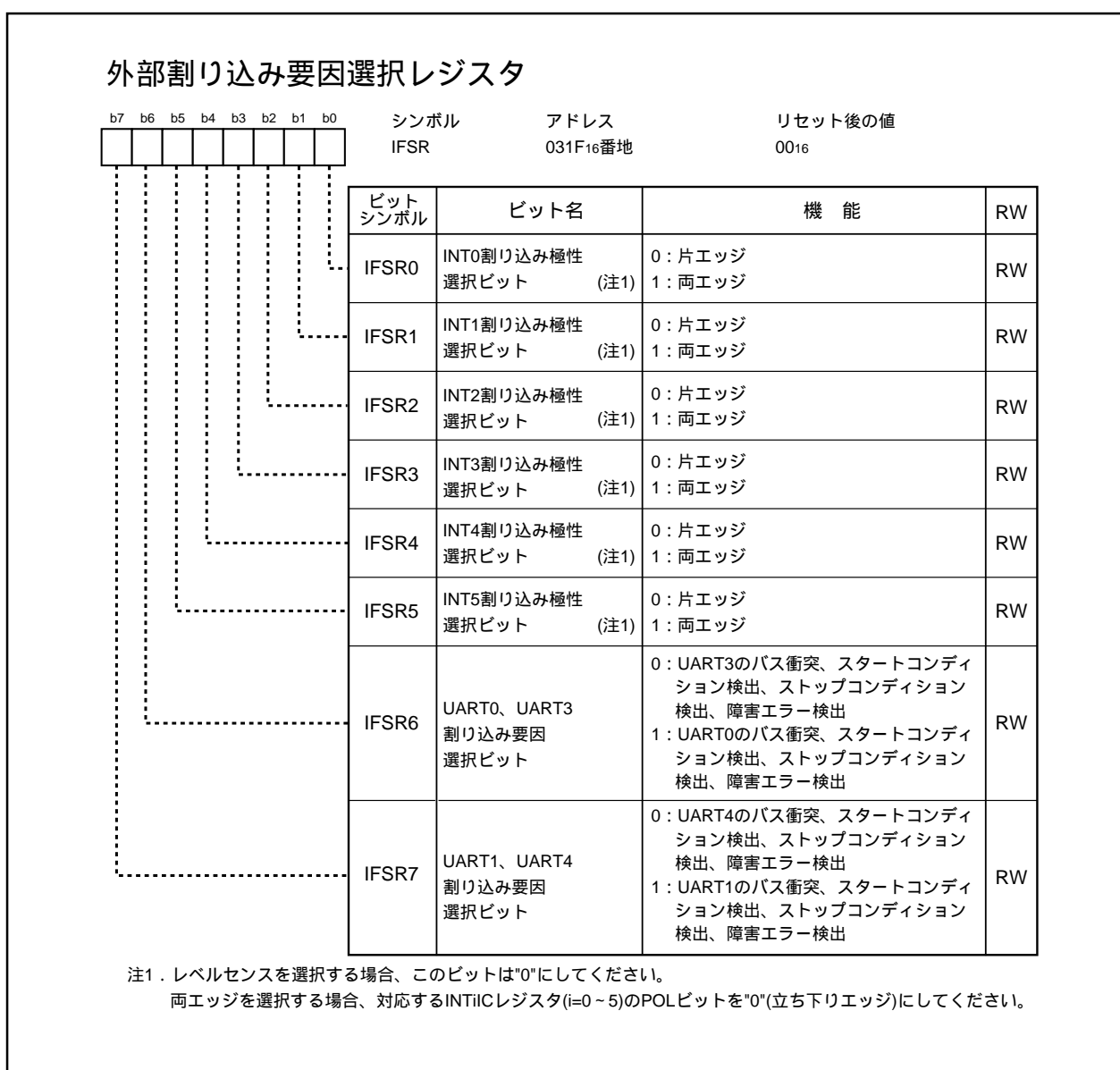


図10.10 IFSRレジスタ

10.8 $\overline{\text{NMI}}$ 割り込み

P85/ $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل割り込みです。また、この端子は $\overline{\text{NMI}}$ 割り込み入力端子ですが、端子の入力レベルをP8レジスタのP8_5ビットで読めます。

<注意事項>

$\overline{\text{NMI}}$ 機能を使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVccに接続(プルアップ)してください。 $\overline{\text{NMI}}$ 割り込みはノンマスクابلであり、無効にできませんので端子処理が必要です。

10.9 キー入力割り込み

P104～P107のうち、方向レジスタを入力モードにしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用できます。ただし、キー入力割り込みを使用する場合、P104～P107をA/D入力として使用しないでください。図10.11にキー入力割り込みのブロック図を示します。なお、方向レジスタを入力にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

PSCレジスタのPSC_7ビット(注1)を“1”(キー入力割り込み禁止)にすると、割り込み制御レジスタの設定にかかわらず、キー入力割り込みは発生しません。また、PSC_7ビットが“1”の場合、方向レジスタが入力に選択されていてもポート端子から入力できません。

注1. PSCレジスタは「24. プログラマブル入出力ポート」を参照してください。

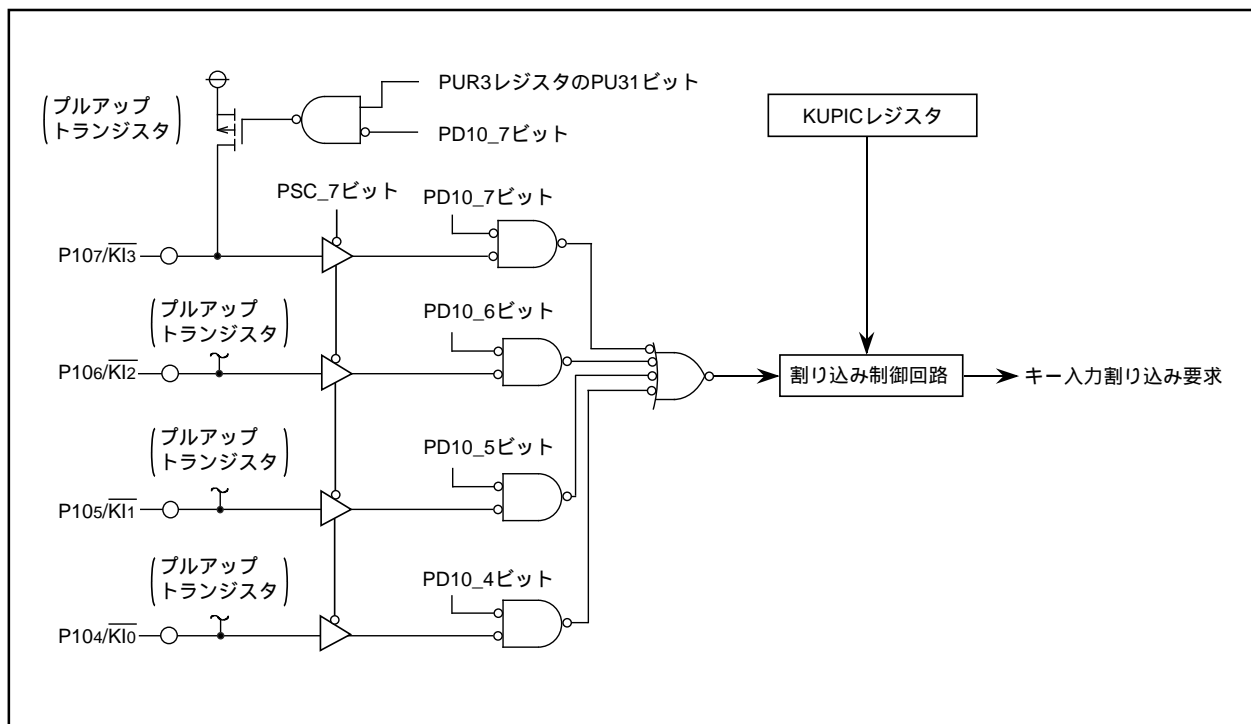


図10.11 キー入力割り込みのブロック図

10.10 アドレス一致割り込み

RMADiレジスタ(i=0~3)で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは4カ所に設定でき、割り込みの禁止または許可はAIERレジスタのAIERiビットで選択できます。アドレス一致割り込みは、IフラグとIPLの影響を受けません。

図10.12にアドレス一致割り込み関連レジスタを示します。

RMADiレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

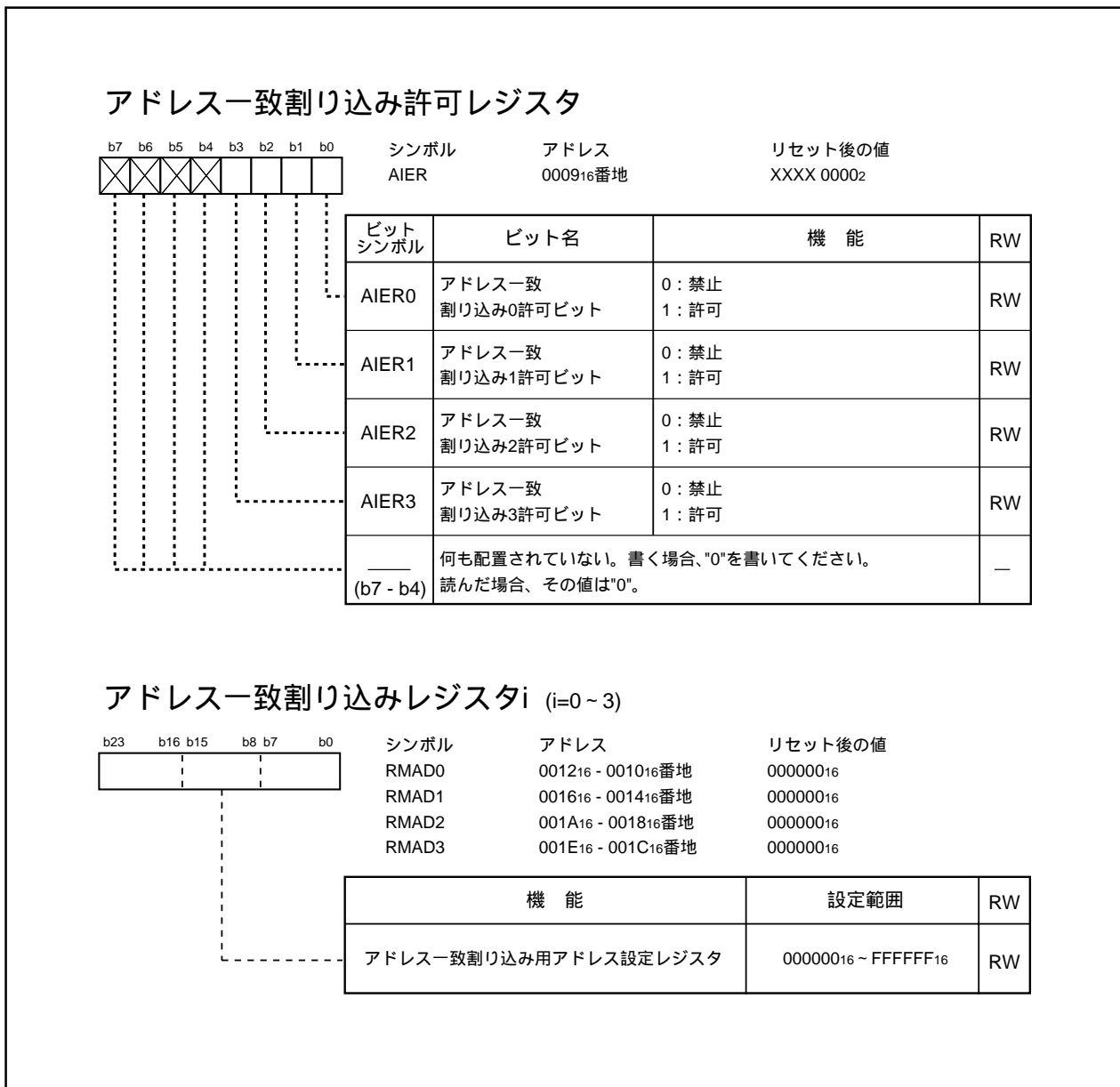


図10.12 AIERレジスタ、RMAD0~RMAD3レジスタ

10.11 インテリジェントI/O割り込みとCAN割り込み

インテリジェントI/O割り込みとCAN割り込みは、ソフトウェア割り込み番号44～54、57に割り当てられています。

図10.13にインテリジェントI/O割り込みとCAN割り込みのブロック図を、図10.14にIIOiIRレジスタ($i=0\sim 11$)を、図10.15にIIOiIEレジスタを示します。

インテリジェントI/O割り込みまたはCAN割り込みを使用する場合は、IIOiIEレジスタのIRLTビットを“1”(割り込み要求を割り込みで使用)にしてください。

インテリジェントI/O割り込みには、多数の要求要因があります。インテリジェントI/OまたはCANの各機能で割り込み要求が発生すると、IIOiIRレジスタの該当するビットが“1”(割り込み要求あり)になります。このとき、IIOiIEレジスタの対応するビットが“1”(割り込み許可)であれば、該当するIIOiICレジスタのIRビットが“1”(割り込み要求あり)になります。

なお、IRビットが“0”から“1”になった後、別の割り込み要因によって、IIOiIRレジスタのビットが“1”になり、かつ、IIOiIEレジスタの該当するビットが“1”だった場合は、IRビットは“1”のまま変化しません。

また、IIOiIRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。これらのビットを“1”のままにしておくと、それ以降に成立した割り込み要因がすべて無効になります。

CAN割り込みは、IIO9IR～IIO11IRレジスタのビット7と、IIO9IE～IIO11IEレジスタのビット7を使用します。また、IIO9IC～IIO11ICレジスタはCAN0IC～CAN2ICレジスタと番地を共用しています。CAN割り込みの詳細は「22.3 CAN割り込み」を参照してください。

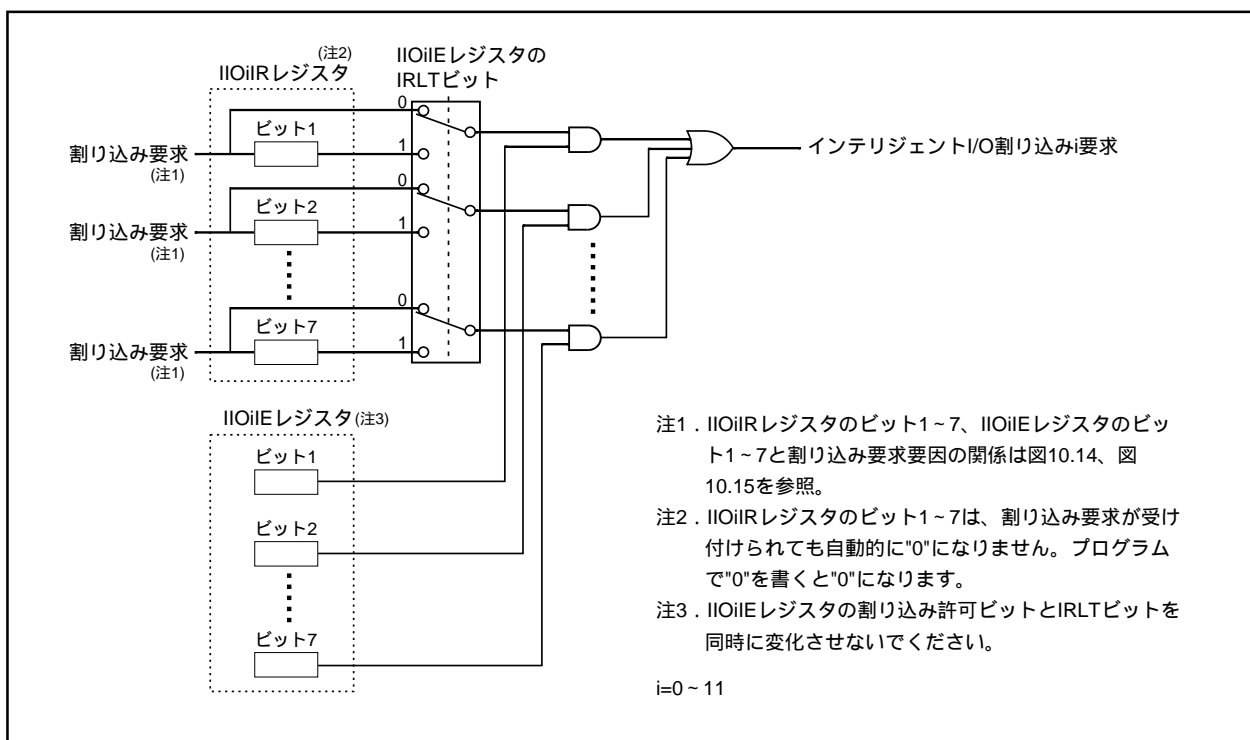


図10.13 インテリジェントI/O割り込みとCAN割り込みのブロック図

インテリジェントI/O割り込みまたはCAN割り込みをDMAC IIの起動要因として使用する場合は、IIOiIEレジスタのIRLTビットを“0”(割り込み要求をDMAC、DMAC IIで使用)にし、IIOiIEレジスタで使用する割り込み要求要因を許可にしてください。

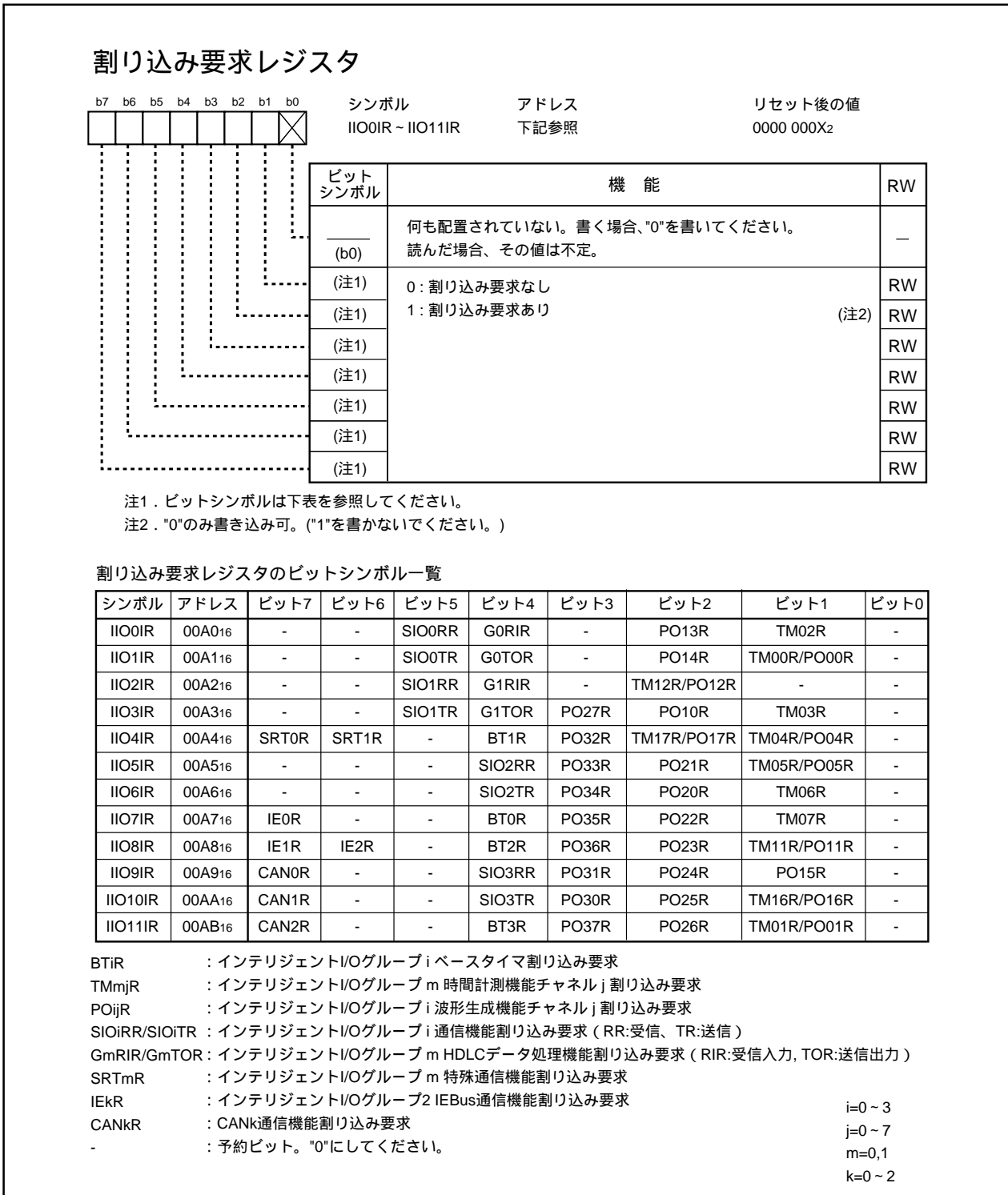


図10.14 IIO0iR ~ IIO11iRレジスタ

11. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知するために使用します。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケアラで分周したクロックによりダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、リセットをかけるかをCM0レジスタのCM06ビットで選択できます。一度CM06ビットを“1”にするとプログラムでは“0”(ウォッチドッグタイマ割り込み)にできません。CM06ビットはリセット後だけ“0”になります。

CPUクロックにメインクロック、PLLクロックまたはオンチップオシレータクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケアラが16分周するか128分周するかを選択できます。CPUクロックにサブクロックを選択している場合、WDC7ビットに関係なくプリスケアラは2分周します。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

CPUクロックにメインクロック、PLLクロック、オンチップオシレータクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周}(16\text{または}128) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$$

CPUクロックにサブクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$$

例えば、CPUクロックが30MHzでプリスケアラが16分周する場合、ウォッチドッグタイマの周期は約17.5msとなります。

ウォッチドッグタイマは、WDTSレジスタへ書いた時とウォッチドッグタイマ割り込み要求発生時に初期化されます。プリスケアラはリセット後だけ初期化されます。なお、リセット後はウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード、ウエイトモード、ホールド状態時、ウォッチドッグタイマとプリスケアラは停止し、解除すると保持された値からカウントします。

図11.1にウォッチドッグタイマのブロック図、図11.2、図11.3にウォッチドッグタイマ関連レジスタを示します。

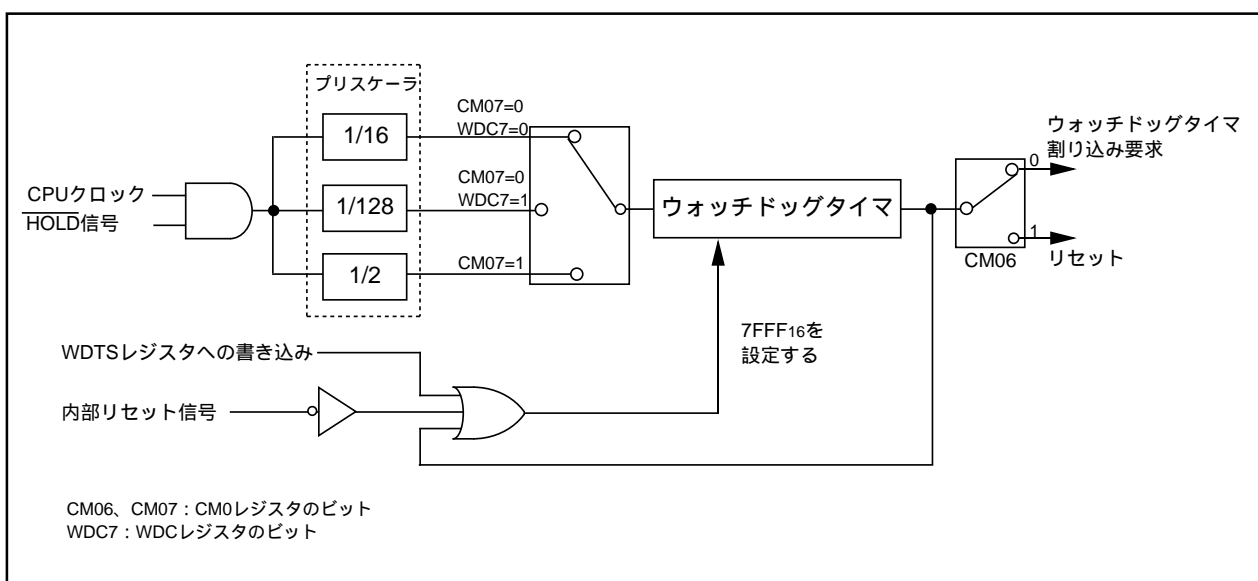


図11.1 ウォッチドッグタイマのブロック図

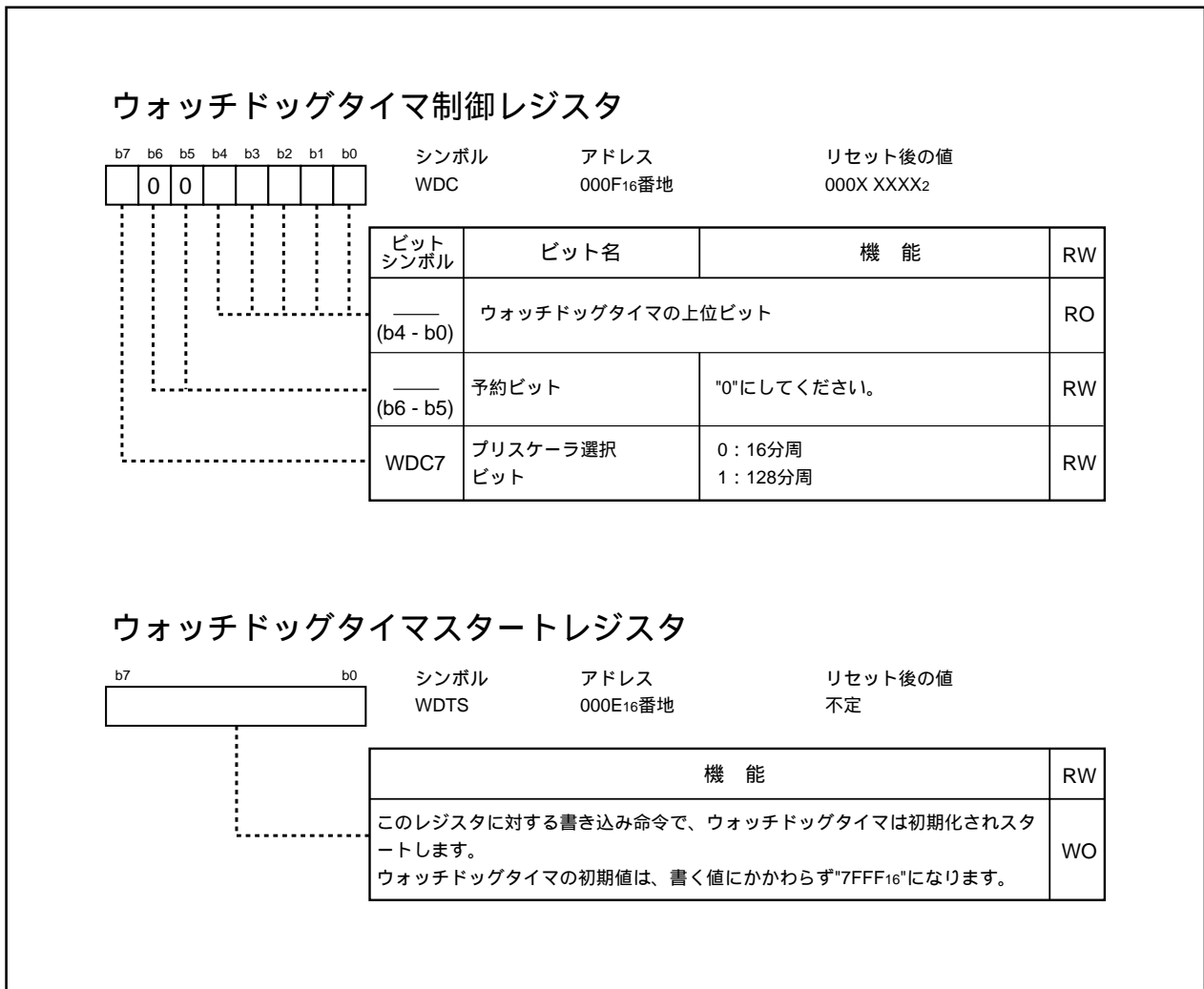


図11.2 WDCレジスタ、WDTSレジスタ

システムクロック制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル アドレス リセット後の値

CM0 0006₁₆番地 0000 X000₂

ビットシンボル	ビット名	機能	RW
CM00	クロック出力機能 選択ビット (注2)	b1 b0 0 0 : 入出力ポートP5 ₃ 0 1 : fcを出力 1 0 : f8を出力 1 1 : f3 ₂ を出力	RW
CM01		RW	
CM02	ウェイトモード時周辺機能クロック停止ビット	0 : ウェイトモード時、周辺機能クロックは停止しない 1 : ウェイトモード時、周辺機能クロックは停止する (注3)	RW
(b3)	予約ビット	"1"にしてください	RW
CM04	ポートXc切り替えビット	0 : 入出力ポート機能 1 : XcIN-XcOUT発振機能 (注4)	RW
CM05	メインクロック(XIN-XOUT)停止ビット (注5)	0 : 発振 1 : 停止 (注6)	RW
CM06	ウォッチドッグタイマ機能選択ビット	0 : ウォッチドッグタイマ割り込み 1 : リセット (注7)	RW
CM07	システムクロック選択ビット (注8)	0 : CM21ビットで選択したクロックをMCDレジスタで分周したクロック 1 : サブクロック	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後で書き換えてください。

注2. PM0レジスタのPM07ビットが"0"(BCLK出力)のときはCM01～CM00ビットを"00₂"にしてください。PM1レジスタのPM15～PM14ビットが"01₂"(P5₃にALE出力)のときはCM01～CM00ビットを"00₂"にしてください。マイクロプロセッサ、またはメモリ拡張モードでPM07ビットが"1"(CM01～CM00ビットで選択される機能)のとき、CM01～CM00ビットを"00₂"にするとP5₃端子から"L"を出力します(ポートP5₃機能にはなりません)。

注3. fc₃₂は停止しません。CM02ビットを"1"にすると、ウェイトモード時にPLLクロックは使用できません。

注4. CM04ビットを"1"(XcIN-XcOUT発振機能を使用)にする場合、PD8レジスタのPD8_7～PD8_6ビットを"00₂"(ポートP8₇、P8₆は入力モード)で、PUR2レジスタのPU25ビットを"0"(プルアップなし)にしてください。

注5. このビットは低消費電力モード、またはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、サブクロックが安定して発振している状態でCM07ビットを"1"にした後、またはCM2レジスタのCM21ビットを"1"(オンチップオシレータクロック)にした後、CM05ビットを"1"にしてください。CM05ビットが"1"(メインクロック停止)の場合、XOUTは"H"になります。また、内蔵している帰還抵抗はONしたままです。XINは帰還抵抗を介してXOUTにプルアップされた状態となります。

注6. CM05ビットが"1"の場合、MCDレジスタは"08₁₆"(8分周モード)になります。ただし、オンチップオシレータモードではこのビットでXIN-XOUTを停止しても8分周モードになりません。

注7. 一度"1"にすると、プログラムでは"0"にできません。

注8. CM04ビットを"1"にしサブクロックの発振が安定した後に、CM07ビットを"0"から"1"にしてください。また、CM05ビットを"0"にしメインクロックの発振が安定した後に、CM07ビットを"1"から"0"にしてください。なお、CM07ビットはCM04またはCM05ビットと同時に書き換えしないでください。

図11.3 CM0レジスタ

12. DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、4チャンネルあります。DMACは転送要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地へデータ転送する機能です。DMACを使用するときは、DMA0とDMA1を優先して使用してください。DMA2とDMA3は高速割り込みと使用するレジスタを共用しています。そのため、DMACを3チャンネル以上を使用する場合、高速割り込みは使用できません。

CPUとDMACは同じデータバスを使用しますが、DMACのバス使用权はCPUよりも高く、サイクルスチール方式を採用しているため、転送要求が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図12.1にDMACで使用するレジスタ配置、表12.1にDMACの仕様、図12.2～図12.5にDMAC関連レジスタを示します。

図12.1に示すレジスタはCPU内部に配置されているため、書く場合はLDC命令を使用してください。ただし、DCT2、DCT3、DRC2、DRC3、DMA2、DMA3レジスタはBフラグを“1”(レジスタバンク1)にしてMOV命令を使用し、R0～R3、A0、A1レジスタに設定してください。DSA2、DSA3レジスタはBフラグを“1”にしてLDC命令を使用し、SB、FBレジスタに設定してください。DRA2、DRA3レジスタはLDC命令を使用し、SVP、VCTレジスタに設定して下さい。

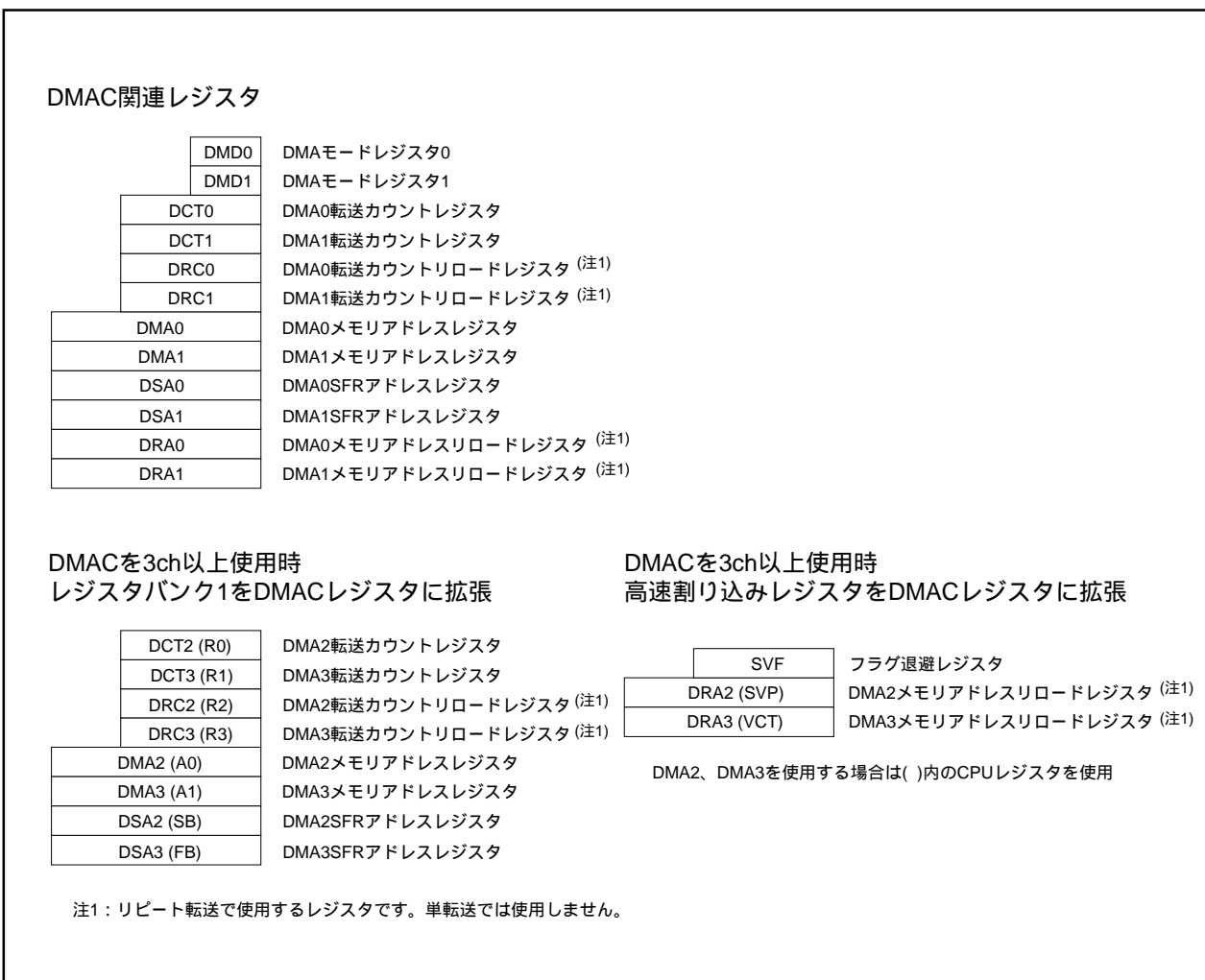


図12.1 DMACで使用するレジスタ配置

DMACの転送開始はDMiSLレジスタ($i=0 \sim 3$)のDSRビットへの書き込みの他、DMiSLレジスタのDSEL4～DSEL0ビットで指定した各機能から出力される割り込み要求をDMA要求として使用しています。ただし、DMAは割り込み要求動作とは異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDMA要求を受け付けることができます。また、DMA要求を受け付けても、割り込み制御レジスタのIRビットは変化しません。

表12.1 DMACの仕様

項目		仕様
チャンネル数		4チャンネル(サイクルスチール方式)
転送空間		16Mバイトの任意の空間から固定番地(16Mバイト空間) 固定番地(16Mバイト空間)から16Mバイトの任意の空間
最大転送バイト数		128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因 ^(注1)		INT0～INT3端子への入力の立ち下がりエッジまたは両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB5割り込み要求 UART0～UART4送信と受信割り込み要求 A/D変換割り込み要求 インテリジェントI/O割り込み要求 CAN割り込み要求 ソフトウェアトリガ
チャンネル優先順位		DMA0>DMA1>DMA2>DMA3(DMA0が最優先)
転送単位		8ビット、16ビット
転送番地方向		順方向、固定(転送元と転送先を同時に順方向または固定の指定はできません)
転送モード	単転送	DCTiレジスタ($i=0 \sim 3$)が“0000 ₁₆ ”になると転送が終了する
	リピート転送	DCTiレジスタが“0000 ₁₆ ”になるとDRCiレジスタの値がDCTiレジスタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング		DCTiレジスタが“0001 ₁₆ ”から“0000 ₁₆ ”になるとき
DMA開始	単転送	DCTiレジスタが“0001 ₁₆ ”以上の設定で、DMDjレジスタ($j=0, 1$)のMDi1～MDi0ビットを“012”(単転送)にした後、DMA要求が発生すると開始
	リピート転送	DCTiレジスタが“0001 ₁₆ ”以上の設定で、MDi1～MDi0ビットを“112”(リピート転送)にした後、DMA要求が発生すると開始
DMA停止	単転送	MDi1～MDi0ビットが“002”(DMA禁止)のとき。DMA転送または書き込みによりDCTiレジスタが“0000 ₁₆ ”(DMA転送回数0)になったとき。
	リピート転送	MDi1～MDi0ビットが“002”(DMA禁止)のとき。DMA転送または書き込みによりDCTiレジスタが“0000 ₁₆ ”(DMA転送回数0)になりかつDRCiレジスタが“0000 ₁₆ ”のとき。
DCTiレジスタとDMAiレジスタへのリロードのタイミング		リピート転送モードでDCTiレジスタが“0001 ₁₆ ”から“0000 ₁₆ ”になるとき
DMA転送サイクル数		SFR、内蔵RAM：最短3サイクル

注1. DMA要求を受け付けても、割り込み制御レジスタのIRビットは変化しません。

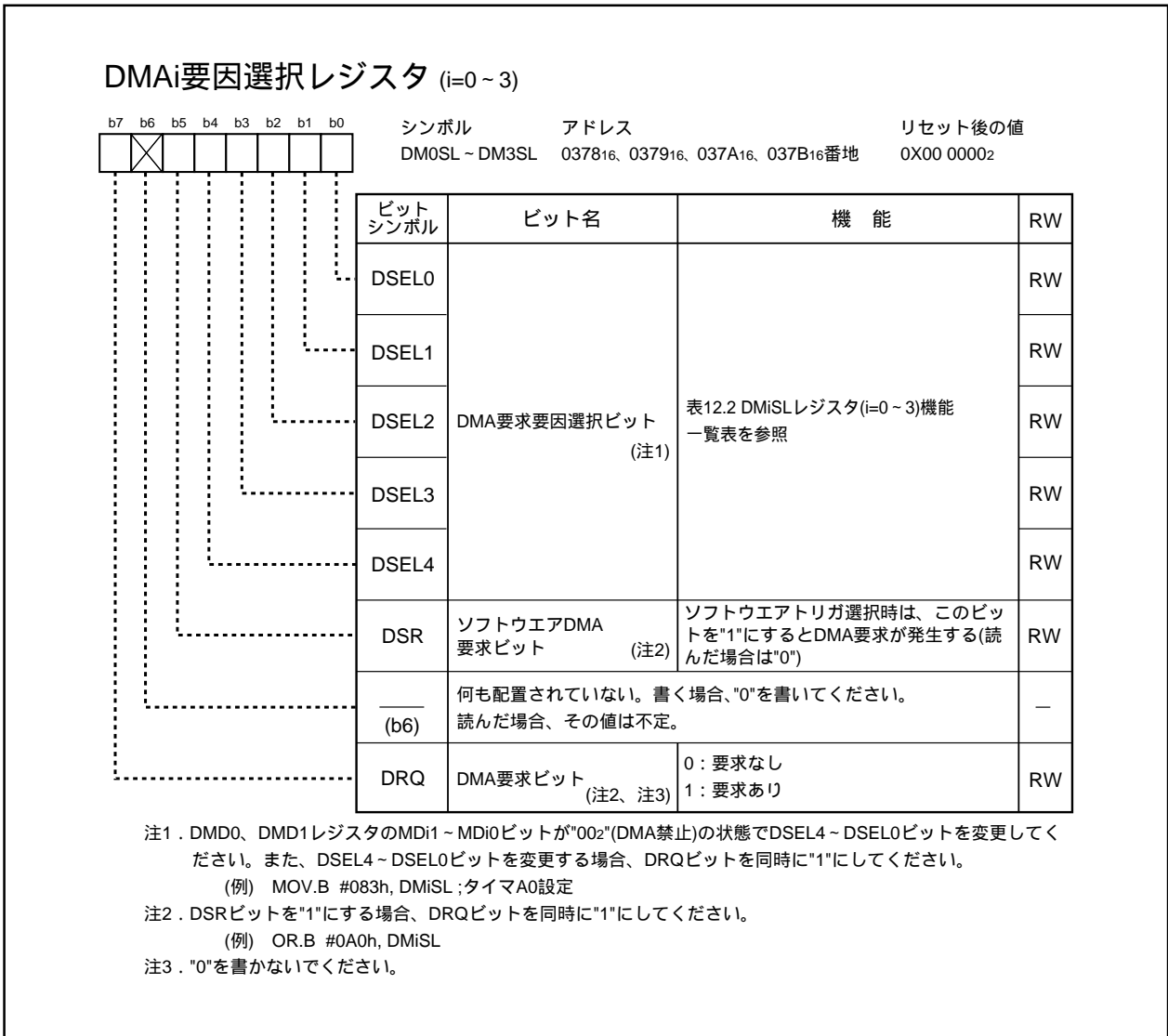


図12.2 DM0SL ~ DM3SLレジスタ

表12.2 DMiSLレジスタ(i=0~3)機能一覧表

設定値 b4 b3 b2 b1 b0	DMA要求要因			
	DMA0	DMA1	DMA2	DMA3
0 0 0 0 0	ソフトウェアトリガ			
0 0 0 0 1	INT0立ち下がりエッジ	INT1立ち下がりエッジ	INT2立ち下がりエッジ	INT3立ち下がりエッジ ^(注1) ^(注2)
0 0 0 1 0	INT0両エッジ	INT1両エッジ	INT2両エッジ	INT3両エッジ ^(注1) ^(注2)
0 0 0 1 1	タイマA0割り込み要求			
0 0 1 0 0	タイマA1割り込み要求			
0 0 1 0 1	タイマA2割り込み要求			
0 0 1 1 0	タイマA3割り込み要求			
0 0 1 1 1	タイマA4割り込み要求			
0 1 0 0 0	タイマB0割り込み要求			
0 1 0 0 1	タイマB1割り込み要求			
0 1 0 1 0	タイマB2割り込み要求			
0 1 0 1 1	タイマB3割り込み要求			
0 1 1 0 0	タイマB4割り込み要求			
0 1 1 0 1	タイマB5割り込み要求			
0 1 1 1 0	UART0送信割り込み要求			
0 1 1 1 1	UART0受信またはACK割り込み要求 ^(注3)			
1 0 0 0 0	UART1送信割り込み要求			
1 0 0 0 1	UART1受信またはACK割り込み要求 ^(注3)			
1 0 0 1 0	UART2送信割り込み要求			
1 0 0 1 1	UART2受信またはACK割り込み要求 ^(注3)			
1 0 1 0 0	UART3送信割り込み要求			
1 0 1 0 1	UART3受信またはACK割り込み要求 ^(注3)			
1 0 1 1 0	UART4送信割り込み要求			
1 0 1 1 1	UART4受信またはACK割り込み要求 ^(注3)			
1 1 0 0 0	A/D0割り込み要求	A/D1割り込み要求	A/D0割り込み要求	A/D1割り込み要求
1 1 0 0 1	インテリジェントI/O 割り込み0要求	インテリジェントI/O 割り込み7要求	インテリジェントI/O 割り込み2要求	インテリジェントI/O ^(注4) 割り込み9要求
1 1 0 1 0	インテリジェントI/O 割り込み1要求	インテリジェントI/O 割り込み8要求	インテリジェントI/O 割り込み3要求	インテリジェントI/O ^(注5) 割り込み10要求
1 1 0 1 1	インテリジェントI/O 割り込み2要求	インテリジェントI/O ^(注4) 割り込み9要求	インテリジェントI/O 割り込み4要求	インテリジェントI/O ^(注6) 割り込み11要求
1 1 1 0 0	インテリジェントI/O 割り込み3要求	インテリジェントI/O ^(注5) 割り込み10要求	インテリジェントI/O 割り込み5要求	インテリジェントI/O 割り込み0要求
1 1 1 0 1	インテリジェントI/O 割り込み4要求	インテリジェントI/O ^(注6) 割り込み11要求	インテリジェントI/O 割り込み6要求	インテリジェントI/O 割り込み1要求
1 1 1 1 0	インテリジェントI/O 割り込み5要求	インテリジェントI/O 割り込み0要求	インテリジェントI/O 割り込み7要求	インテリジェントI/O 割り込み2要求
1 1 1 1 1	インテリジェントI/O 割り込み6要求	インテリジェントI/O 割り込み1要求	インテリジェントI/O 割り込み8要求	インテリジェントI/O 割り込み3要求

注1. メモリ拡張モード、マイクロプロセッサモードでINT3端子がデータバスとなる場合、DMA3の要求要因にINT3端子入力は使用できません。

注2. INTj端子(j=0~3)への入力の立ち下がりエッジと両エッジがDMA要求要因になります。INT割り込み(INTjICレジスタのPOLビット、LVLSビット、IFSRレジスタ)の影響を受けません。また、INT割り込みへ影響を与えません。

注3. UARTk受信とACKの切り替えは、UKSMRレジスタとUKSMR2レジスタによって行います。(k=0~4)

注4. CAN割り込み0要求と共用です。

注5. CAN割り込み1要求と共用です。

注6. CAN割り込み2要求と共用です。

DMAモードレジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
DMD0

アドレス
(CPU内部レジスタ)

リセット後の値
0016

ビット シンボル	ビット名	機 能	RW
MD00	チャンネル0 転送モード 選択ビット	b1 b0 00: DMA禁止 01: 単転送 10: 設定しないでください 11: リピート転送	RW
MD01			RW
BW0	チャンネル0 転送単位 選択ビット	0: 8ビット 1: 16ビット	RW
RW0	チャンネル0 転送方向 選択ビット	0: 固定番地 メモリ(順方向) 1: メモリ(順方向) 固定番地	RW
MD10	チャンネル1 転送モード 選択ビット	b5 b4 00: DMA禁止 01: 単転送 10: 設定しないでください 11: リピート転送	RW
MD11			RW
BW1	チャンネル1 転送単位 選択ビット	0: 8ビット 1: 16ビット	RW
RW1	チャンネル1 転送方向 選択ビット	0: 固定番地 メモリ(順方向) 1: メモリ(順方向) 固定番地	RW

注1. このレジスタへの書き込みは、LDC命令を使用してください。

DMAモードレジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
DMD1

アドレス
(CPU内部レジスタ)

リセット後の値
0016

ビット シンボル	ビット名	機 能	RW
MD20	チャンネル2 転送モード 選択ビット	b1 b0 00: DMA禁止 01: 単転送 10: 設定しないでください 11: リピート転送	RW
MD21			RW
BW2	チャンネル2 転送単位 選択ビット	0: 8ビット 1: 16ビット	RW
RW2	チャンネル2 転送方向 選択ビット	0: 固定番地 メモリ(順方向) 1: メモリ(順方向) 固定番地	RW
MD30	チャンネル3 転送モード 選択ビット	b5 b4 00: DMA禁止 01: 単転送 10: 設定しないでください 11: リピート転送	RW
MD31			RW
BW3	チャンネル3 転送単位 選択ビット	0: 8ビット 1: 16ビット	RW
RW3	チャンネル3 転送方向 選択ビット	0: 固定番地 メモリ(順方向) 1: メモリ(順方向) 固定番地	RW

注1. このレジスタへの書き込みは、LDC命令を使用してください。

図12.3 DMD0レジスタ、DMD1レジスタ

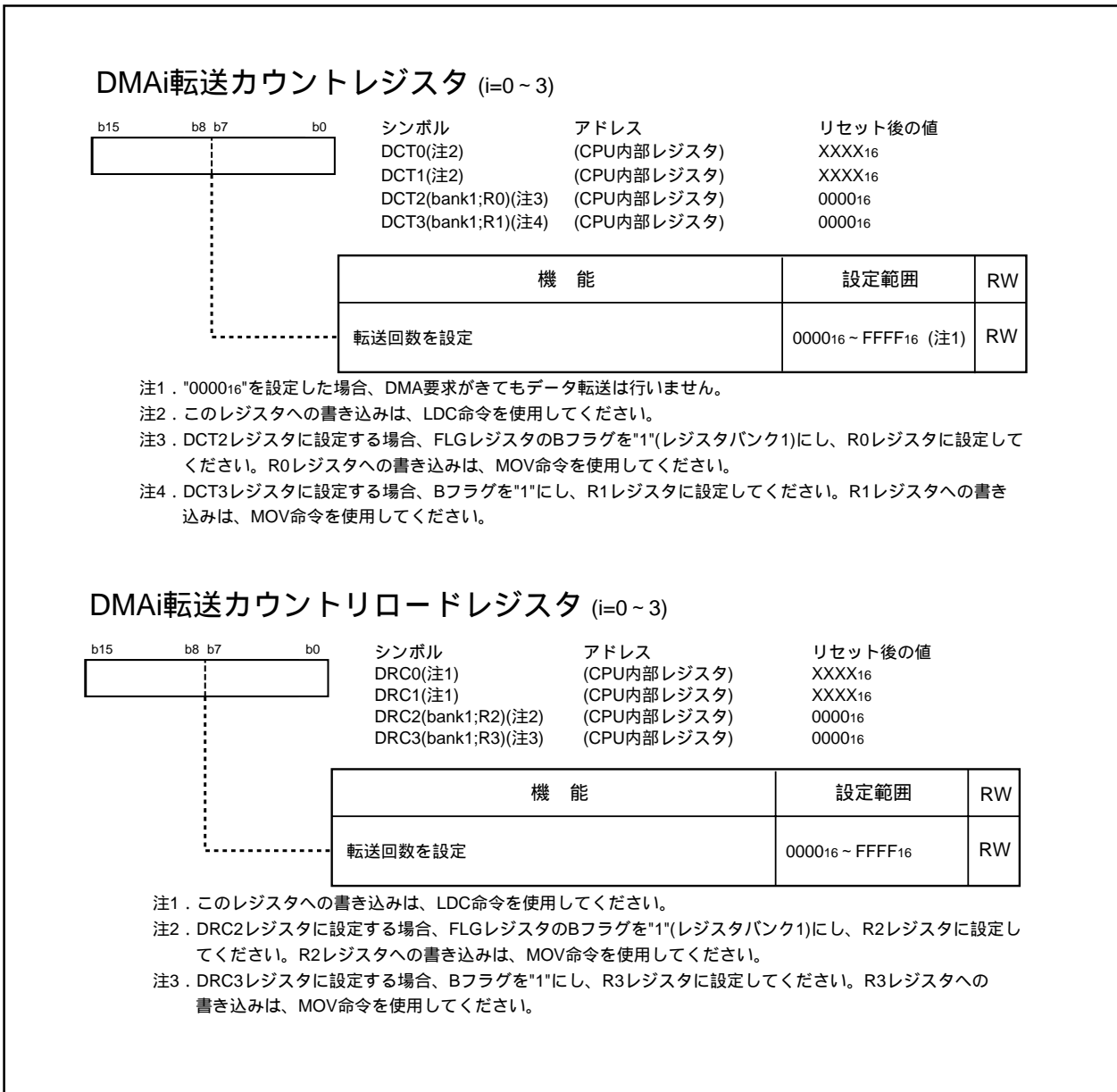
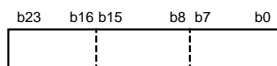


図12.4 DCT0~DCT3レジスタ、DRC0~DRC3レジスタ

DMAiメモリアドレスレジスタ (i=0~3)



シンボル	アドレス	リセット後の値
DMA0(注2)	(CPU内部レジスタ)	XXXXXX16
DMA1(注2)	(CPU内部レジスタ)	XXXXXX16
DMA2(bank1;A0)(注3)	(CPU内部レジスタ)	00000016
DMA3(bank1;A1)(注4)	(CPU内部レジスタ)	00000016

機能	設定範囲	RW
転送元あるいは転送先のメモリ番地を指定 (注1)	00000016 ~ FFFFFFF16 (16Mバイト)	RW

注1. DMDjレジスタ(j=0, 1)のRWkビット(k=0~3)を"0"(固定番地 メモリ)とした場合、転送先の番地になります。

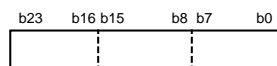
RWkビットを"1"(メモリ 固定番地)とした場合、転送元の番地になります。

注2. このレジスタへの書き込みは、LDC命令を使用してください。

注3. DMA2レジスタを設定する場合、FLGレジスタのBフラグを"1"(レジスタバンク1)にし、A0レジスタに設定してください。A0レジスタへの書き込みは、MOV命令を使用してください。

注4. DMA3レジスタを設定する場合、Bフラグを"1"にし、A1レジスタに設定してください。A1レジスタへの書き込みは、MOV命令を使用してください。

DMAiSFRアドレスレジスタ (i=0~3)



シンボル	アドレス	リセット後の値
DSA0(注2)	(CPU内部レジスタ)	XXXXXX16
DSA1(注2)	(CPU内部レジスタ)	XXXXXX16
DSA2(bank1;SB)(注3)	(CPU内部レジスタ)	00000016
DSA3(bank1;FB)(注4)	(CPU内部レジスタ)	00000016

機能	設定範囲	RW
転送元あるいは転送先の固定番地を指定 (注1)	00000016 ~ FFFFFFF16 (16Mバイト)	RW

注1. DMDjレジスタ(j=0, 1)のRWkビット(k=0~3)を"0"(固定番地 メモリ)とした場合、転送元の番地になります。

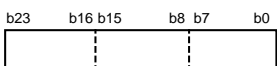
RWkビットを"1"(メモリ 固定番地)とした場合、転送先の番地になります。

注2. このレジスタへの書き込みは、LDC命令を使用してください。

注3. DSA2レジスタを設定する場合、FLGレジスタのBフラグを"1"(レジスタバンク1)にし、SBレジスタに設定してください。SBレジスタへの書き込みは、LDC命令を使用してください。

注4. DSA3レジスタを設定する場合、Bフラグを"1"にし、FBレジスタに設定してください。FBレジスタへの書き込みは、LDC命令を使用してください。

DMAiメモリアドレスリロードレジスタ (i=0~3)(注1)



シンボル	アドレス	リセット後の値
DRA0	(CPU内部レジスタ)	XXXXXX16
DRA1	(CPU内部レジスタ)	XXXXXX16
DRA2(SVP)(注2)	(CPU内部レジスタ)	XXXXXX16
DRA3(VCT)(注3)	(CPU内部レジスタ)	XXXXXX16

機能	設定範囲	RW
転送元あるいは転送先のメモリ番地を指定	00000016 ~ FFFFFFF16 (16Mバイト)	RW

注1. このレジスタへの書き込みは、LDC命令を使用してください。

注2. DRA2レジスタを設定する場合、SVPレジスタに設定してください。

注3. DRA3レジスタを設定する場合、VCTレジスタに設定してください。

図12.5 DMA0~DMA3レジスタ、DSA0~DSA3レジスタ、DRA0~DRA3レジスタ

12.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと、書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出しと書き込みのバスサイクル数は、転送元番地または転送先番地の影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、DSレジスタの影響も受けます。さらに、ソフトウェアウエイトやRDY信号の影響により、バスサイクル自体が長くなります。

12.1.1 転送元番地と転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

12.1.2 DSレジスタの影響

メモリ拡張モードとマイクロプロセッサモード時の外部領域では、転送元と転送先のデータバスにより転送サイクルは変わります。DSレジスタの詳細は、図7.1を参照してください。

- ・転送元、転送先のデータバスが8ビット(DSiビット($i=0\sim 3$)は“0”)で16ビットのデータを転送する場合、8ビットのデータを2回転送します。そのため、バスサイクルはデータを読むのに2バスサイクル、書くのに2バスサイクル必要とします。
- ・転送元のデータバスが8ビット(DSiビットは“0”)、転送先のデータバスが16ビット(DSiビットは“1”)で16ビットのデータを転送する場合、8ビットのデータを2回読み、16ビットのデータとして書き込みます。そのため、バスサイクルはデータを読むのに2バスサイクル、書くのに1バスサイクル必要とします。
- ・転送元のデータバスが16ビット(DSiビットは“1”)、転送先のデータバスが8ビット(DSiビットは“0”)で16ビットのデータを転送する場合、16ビットのデータを読み、8ビットのデータを2回書き込みます。そのため、バスサイクルは、データを読むのに1バスサイクル、書くのに2バスサイクル必要とします。

12.1.3 ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリやSFRをアクセスする場合、ソフトウェアウエイトの分だけサイクル数が増えます。

図12.6にソースリードについての転送サイクル例を示します。この図では、ディスティネーションを外部領域とし、ディスティネーションライトサイクルを2サイクル(1バスサイクル)として、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルとソースリードサイクルに各条件を適用してください。例えば(2)の転送単位が16ビットで転送元、転送先が8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

12.1.4 RDY信号の影響

メモリ拡張モードとマイクロプロセッサモード時、外部領域ではRDY信号の影響を受けます。詳細は「7.2.6 RDY信号」を参照してください。

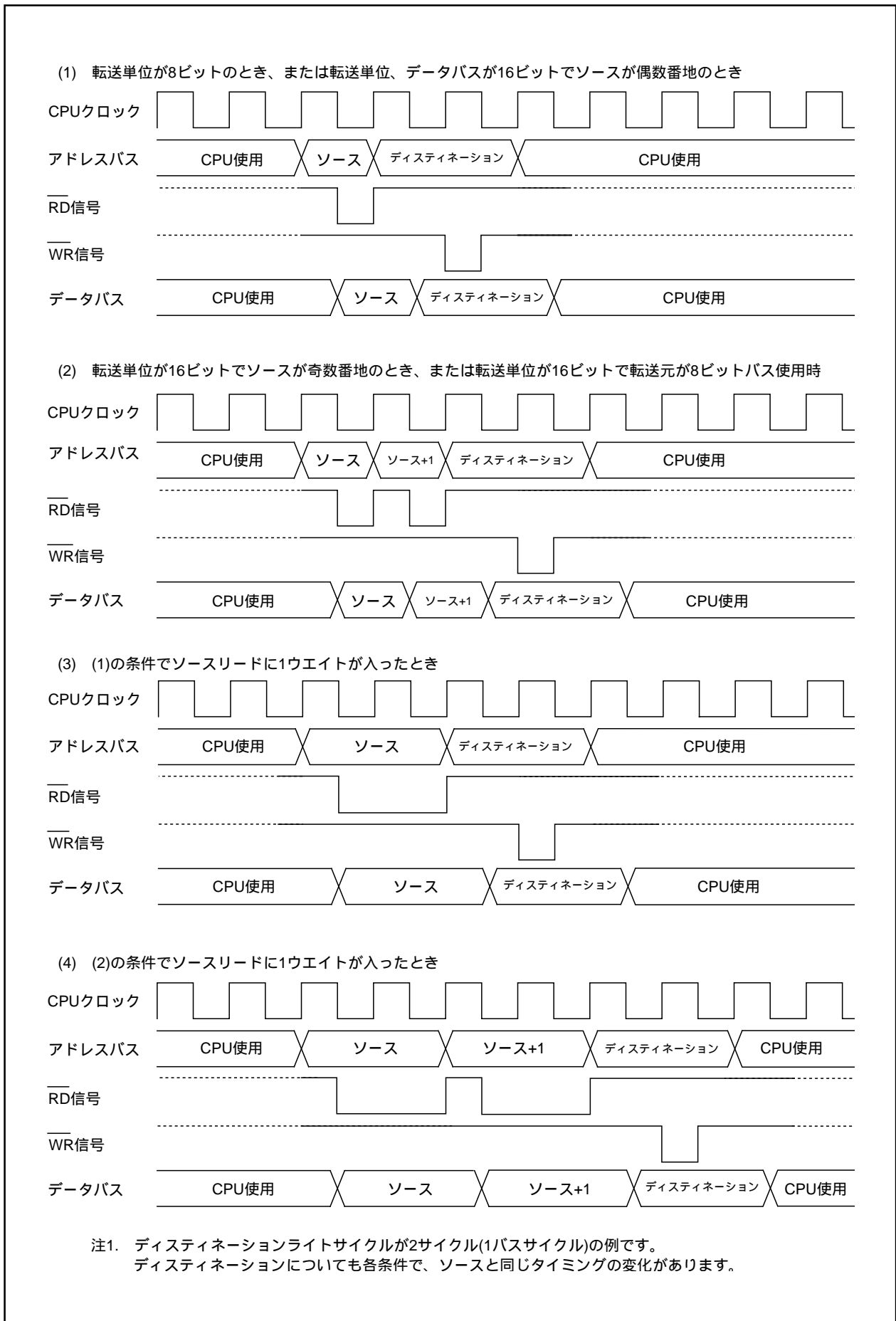


図12.6 ソースリードについての転送サイクル例

12.2 DMACの転送サイクル数

DMACの転送サイクル数は次のとおり計算できます。

転送の読み出し番地、書き込み番地は偶数、奇数のいずれの組み合わせも可能です。表12.3にDMAC転送サイクル数を、表12.4に係数j、kを示します。

$$1\text{転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表12.3 DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード マイクロプロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMDpレジスタ のBWiビット=0)	16ビット	偶数	1	1	1	1
		奇数	1	1	1	1
	8ビット	偶数	-	-	1	1
		奇数	-	-	1	1
16ビット転送 (BWiビット=1)	16ビット	偶数	1	1	1	1
		奇数	2	2	2	2
	8ビット	偶数	-	-	2	2
		奇数	-	-	2	2

i=0~3、p=0、1

表12.4 係数j、k

内部領域			外部領域					
内部ROM または内部RAM	内部ROM または内部RAM	SFR領域	セパレート バス	セパレート バス	セパレート バス	セパレート バス	マルチプレ クスバス	マルチプレ クスバス
ウエイトなし	ウエイトあり		ウエイトなし	1ウエイト	2ウエイト	3ウエイト	2ウエイト	3ウエイト
j=1	j=2	j=2	j=1	j=2	j=3	j=4	j=3	j=4
k=1	k=2	k=2	k=2	k=2	k=3	k=4	k=3	k=4

12.3 チャンネル優先順位とDMA転送タイミング

複数のDMAの要求が同一サンプリング期間(CPUクロックの立ち下がりエッジから次の立ち下がりエッジの一周期)に入った場合、DMiSLレジスタ(i=0~3)のDRQビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1>DMA2>DMA3です。

次に、DMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図12.7に外部要因によるDMA転送例で示します。

図12.7ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス権を返します。

なお、DRQビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図12.7のDMA1のようにバス権を得るまでに複数回DMA要求が発生した場合も、バス権を得るとDRQビットを“0”にして、1転送単位終了後CPUにバス権を返します。

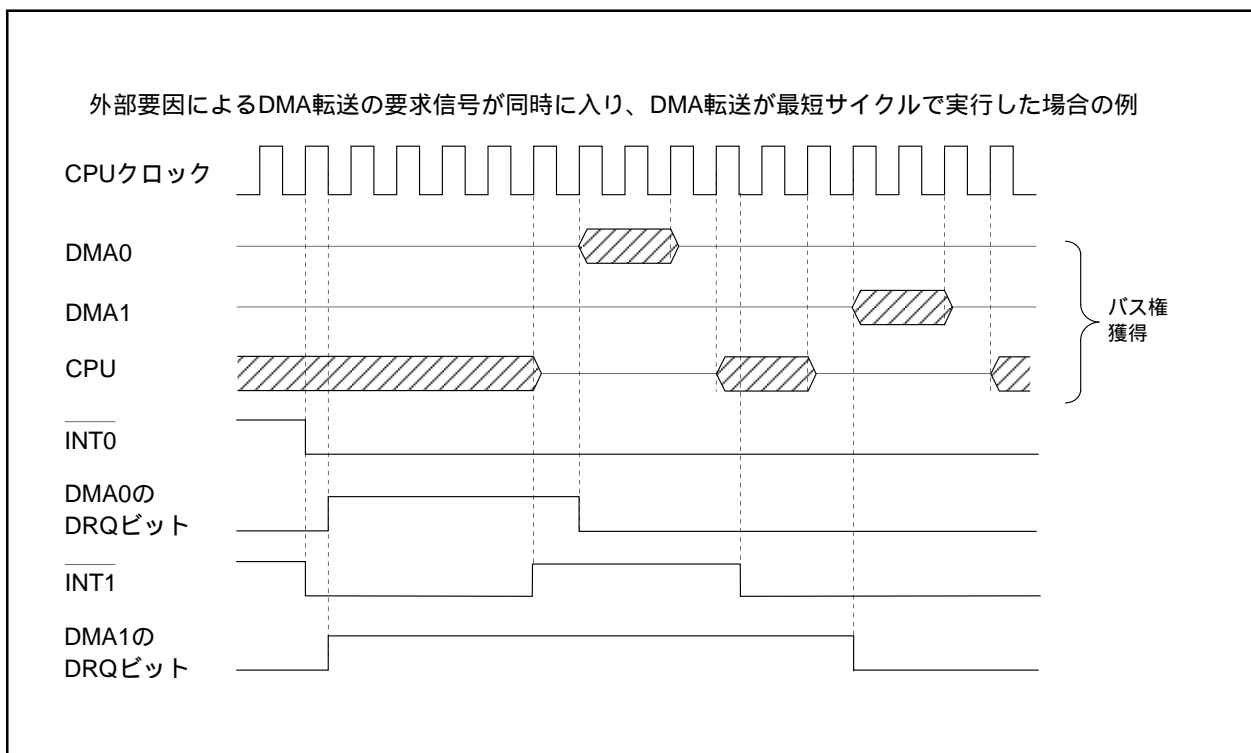


図12.7 外部要因によるDMA転送例

13. DMAC II

周辺機能からの割り込み要求により、メモリ間転送、即値転送、2つのデータの加算結果を転送する演算転送を行います。

表13.1にDMAC IIの仕様を示します。

表13.1 DMAC IIの仕様

項目	仕様
DMAC II 要求要因	割り込み制御レジスタのILVL2～ILVL0ビットを“1112”(レベル7)にしたすべての周辺機能からの割り込み要求
転送データ	・メモリ　メモリ(メモリ間転送) ・即値　メモリ(即値転送) ・メモリ(または即値)+メモリ　メモリ(演算転送)
転送単位	8ビット、16ビット
転送空間	00000 ₁₆ ～0FFFF ₁₆ 番地の64Kバイト空間(注1、2)
転送方向	固定番地、順方向番地 転送元と転送先で個別に選択可能
転送方式	単転送、バースト転送
チェーン転送機能	転送カウンタが“0”になったタイミングで、パラメータ(転送数、転送番地等の情報)を切り替える
転送完了割り込み	転送カウンタが“0”になったタイミングで、割り込み発生
複数転送機能	一度のDMA II 要求要因で複数データの転送

注1．ただし、転送単位が16ビットで転送先番地が0FFFF₁₆番地のとき、0FFFF₁₆番地と10000₁₆番地に転送します。転送元番地が0FFFF₁₆番地のときも同様です。

注2．実際の転送可能空間は、内部RAMの容量による制限を受けます。

13.1 DMAC IIの設定

DMAC IIを使用するための設定は次のとおりです。

- ・RLVLレジスタ
- ・DMAC II インデックス
- ・DMAC IIの要求要因となる周辺機能の割り込み制御レジスタ
- ・DMAC IIの要求要因となる周辺機能の可変ベクタテーブル
- ・インテリジェントI/OまたはCAN割り込みを使用する場合、IIOiEレジスタ(i=0～11)のIRLTビット。IIOiEレジスタは「10. 割り込み」を参照してください。

13.1.1 RLVLレジスタ

DMACIIビットを“1”(DMAC II転送)に、FSITビットを“0”(通常割り込み)にすると、割り込み制御レジスタのILVL2～ILVL0ビットを“1112”(レベル7)にしたすべての周辺機能からの割り込み要求で、DMAC IIが起動します。

図13.1にRLVLレジスタを示します。

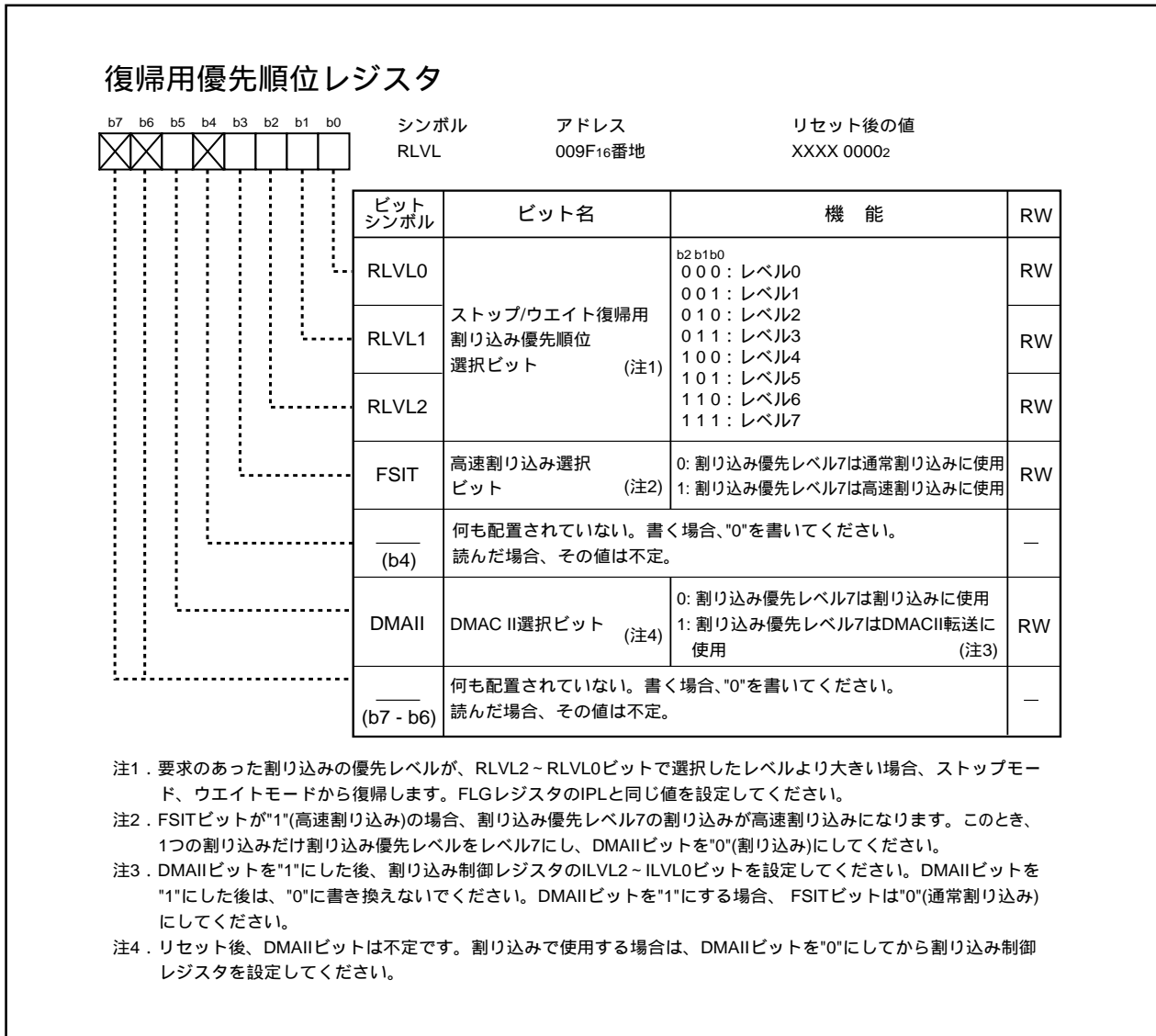


図13.1 RLVLレジスタ

13.1.2 DMAC II インデックス

DMAC II インデックスは8～18バイト(複数転送機能選択時は最大32バイト)で構成されるデータテーブルで、転送モード、転送カウンタ、転送元番地(または即値データ)、演算対象番地、転送先番地、チェーン転送番地、転送完了割り込み番地のパラメータを格納します。

DMAC II インデックスはRAMに配置してください。

図13.2にDMAC II インデックスを、表13.2にDMAC II インデックスの記述例を示します。

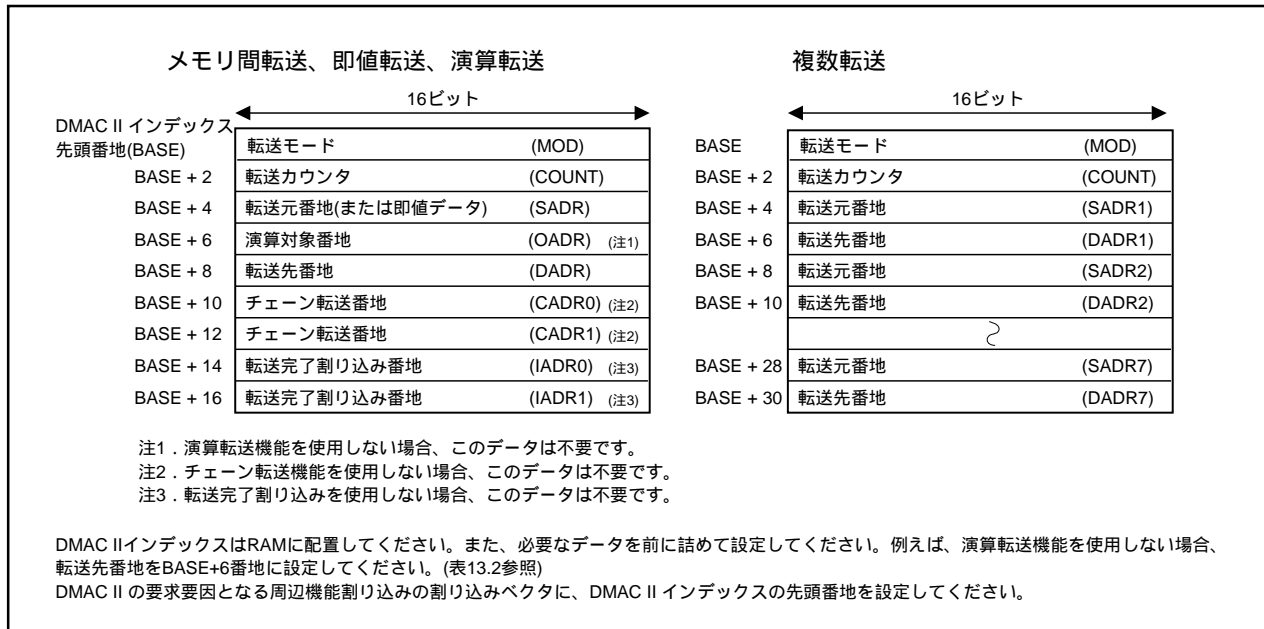


図13.2 DMAC II インデックス

次に、DMAC IIインデックスの内容を説明します。これらのデータは使用するDMAC IIの転送モードに応じて表13.2に示す順序で設定してください。

- ・転送モード(MOD)
2バイトデータで、転送モードを設定してください。図13.3に転送モードを示します。
- ・転送カウンタ(COUNT)
2バイトデータで、転送回数を設定してください。
- ・転送元番地(SADR)
2バイトデータで、転送元メモリの番地または即値を設定してください。
- ・演算対象番地(OADR)
2バイトデータで、演算対象となるメモリの番地を設定してください。演算転送機能を使用する場合のみ、このデータを設定してください。
- ・転送先番地(DADR)
2バイトデータで、転送先メモリの番地を設定してください。
- ・チェーン転送番地(CADR)
4バイトデータで、次回に行う転送のDMAC II インデックス先頭番地を設定してください。チェーン転送機能を使用する場合のみ、このデータを設定してください。
- ・転送完了割り込み番地(IADR)
4バイトデータで、転送完了割り込み処理の飛び先番地を設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

なお、これ以降の説明では各パラメータ名は上記()内の略称を使用します。

表13.2 DMAC II インデックス記述例

転送データ	メモリ間転送/即値転送				演算転送				複数転送	
	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用		
チェーン転送	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	使用できません	
転送完了 割り込み	不 使 用	不 使 用	使 用	使 用	不 使 用	不 使 用	使 用	使 用	使用できません	
DMAC II インデックス	MOD	MOD	MOD	MOD	MOD	MOD	MOD	MOD	MOD	
	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	
	SADR	SADR	SADR	SADR	SADR	SADR	SADR	SADR	SADR1	
	DADR	DADR	DADR	DADR	OADR	OADR	OADR	OADR	DADR1	
	8バイト	CADR0	12バイト	IADR0	12バイト	10バイト	DADR	14バイト	14バイト	18バイト
		CADR1		IADR1			CADR0			

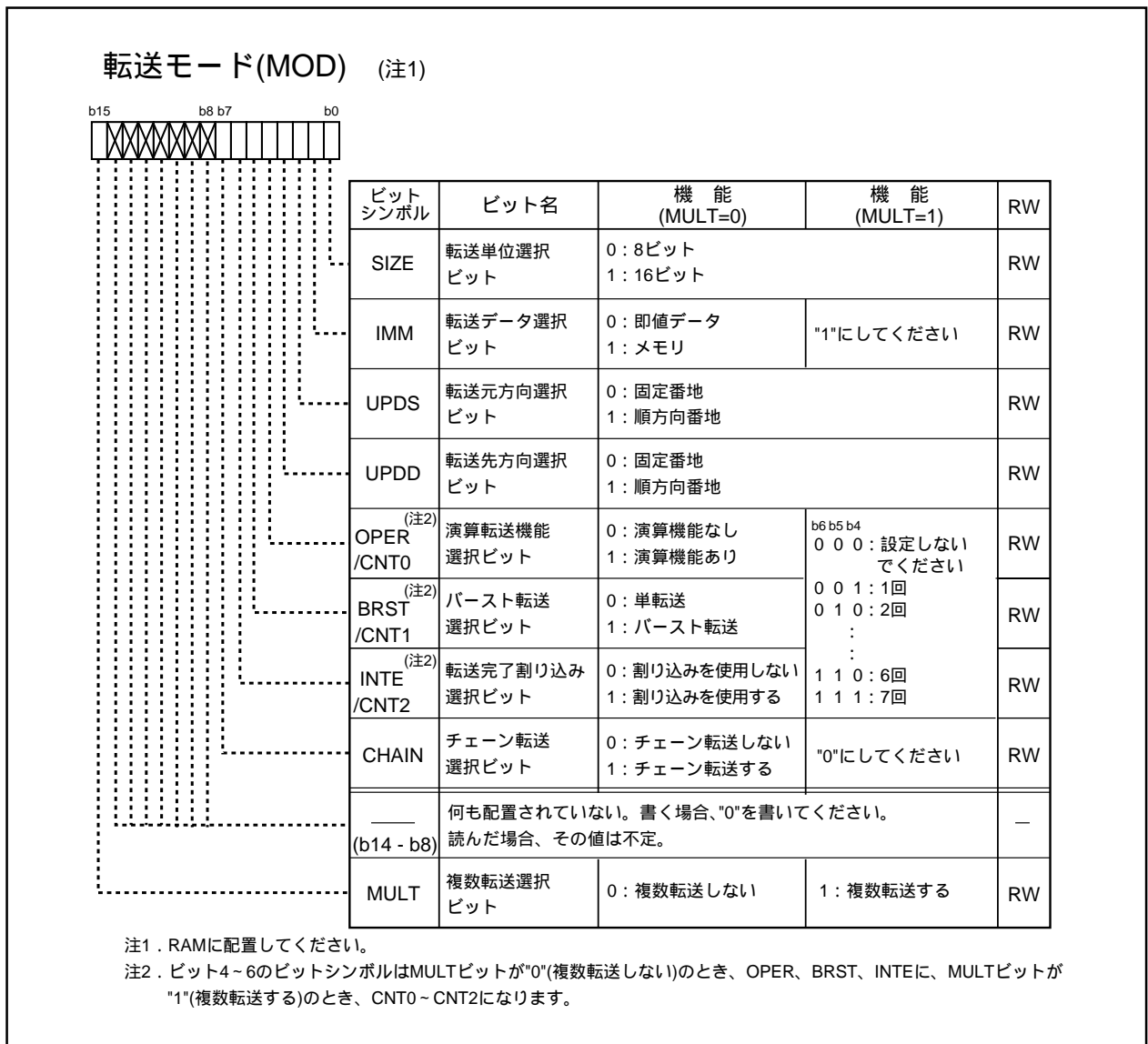


図13.3 MOD

13.1.3 周辺機能の割り込み制御レジスタ

DMAC II の要求要因に使用する周辺機能割り込みは、ILVL2～ILVL0ビットを“1112”(レベル7)にしてください。

13.1.4 周辺機能の可変ベクタテーブル

DMAC II の要求要因となる周辺機能割り込みの割り込みベクタに、DMAC II インデックスの先頭番地を設定してください。

チェーン転送を使用するときは可変ベクタテーブルをRAMに設定してください。

13.1.5 IIOiIEレジスタ(i=0～11)のIRLTビット

インテリジェントI/O割り込みまたはCAN割り込みによりDMAC II を起動する場合、要求要因となる割り込みのIIOiIEレジスタのIRLTビットを“0”にしてください。

13.2 DMAC II の動作

DMACIIビットを“1”(DMACII転送)にすると、DMAC II 機能が選択されます。ILVL2～ILVL0ビットを“1112”(レベル7)にしたすべての周辺機能割り込み要求がDMAC II 要求要因になります。これらの周辺機能割り込み要求信号は、DMAC II転送要求信号となり、周辺機能割り込みは使用できません。

ILVL2～ILVL0ビットが“1112”の割り込み要求が発生すると、IフラグとIPLに関係なくDMAC II が起動します。

13.3 転送データ

DMAC II では、次のように8ビットまたは16ビット単位でデータを転送します。

- ・メモリ間転送 : 64Kバイト空間(00000₁₆～0FFFF₁₆番地)の任意のメモリから同空間の任意のメモリに転送します。
- ・即値転送 : 即値データを64Kバイト空間の任意のメモリに転送します。
- ・演算転送 : 2つのデータを加算し、加算結果を64Kバイト空間の任意のメモリに転送します。

ただし、転送単位が16ビットで転送先番地が0FFFF₁₆番地のとき、0FFFF₁₆番地と10000₁₆番地に転送します。転送元番地が0FFFF₁₆番地のときも同様です。また、実際の転送可能空間は、内部RAMの容量による制限を受けます。

13.3.1 メモリ間転送

任意のメモリから任意のメモリの転送は、次のとおりです。

- ・固定番地から固定番地への転送
- ・固定番地から可変番地への転送
- ・可変番地から固定番地への転送
- ・可変番地から可変番地への転送

可変番地を選択した場合、転送後次回の転送のために番地を加算します。転送単位が8ビットの場合、番地は1加算されます。転送単位が16ビットの場合、番地は2加算されます。番地を加算することで転送元または転送先番地が0FFFF₁₆番地を超える場合、転送元または転送先番地は00000₁₆番地に戻って加算されますので、転送元または転送先番地が0FFFF₁₆番地を超えないよう注意してください。

13.3.2 即値転送

即値データを任意のメモリに転送します。転送先番地として固定または可変番地を選択できます。SADRに即値データを格納してください。8ビット即値を転送する場合、SADRの下位1バイトにデータを設定してください(上位バイトは無視されます)。

13.3.3 演算転送

任意のメモリと任意のメモリ、または即値データと任意のメモリを加算した後、任意のメモリに転送します。SADRに演算対象メモリの番地または即値データを設定し、OADRにもう一方の演算対象メモリの番地を設定してください。メモリ+メモリ演算転送の場合、転送元と転送先番地として、固定または可変番地を選択できます。転送元番地が可変の場合には、演算対象番地も可変となります。即値+メモリ演算転送の場合、転送先番地として固定または可変番地を選択できます。

13.4 転送方式

DMAC II では単転送とバースト転送が行えます。MODのBRSTビットで、単転送またはバースト転送を選択します。転送回数はCOUNTで設定します。COUNTを“0000₁₆”にしている場合、転送は行いません。また、転送中はすべての割り込みを受け付けません。

13.4.1 単転送

一度の要求要因に対して、1転送単位(8ビットまたは16ビット)のデータを1回転送します。転送元番地または転送先番地として可変番地を選択した場合、転送後、次の転送のために番地を加算します。

COUNTは、転送ごとにダウンカウントされます。転送完了割り込みを使用する場合、COUNTが“0”になった時点で、転送完了割り込みが発生します。

13.4.2 バースト転送

一度の要求要因に対して、COUNTで設定された回数分、連続してデータ転送が行われます。COUNTは1転送単位を転送するごとにダウンカウントし、COUNTが“0”になったときバースト転送が終了します。転送完了割り込みを使用する場合、バースト転送終了時、転送完了割り込みが発生します。なお、バースト転送中はすべての割り込みを受け付けません。

13.4.3 複数転送

MODのMULTビットで複数転送が選択できます。複数転送ではメモリ間転送が行えます。

一度の要求要因に対して複数の転送を行います。転送数はMODのCNT2~CNT0ビットで“001₂”(1回)~“111₂”(7回)が選択できます。なお、CNT2~CNT0ビットは“000₂”にしないでください。

転送数分の転送元番地、転送先番地をMOD、COUNTに続く番地にそれぞれ交互に配置してください。

複数転送選択時、演算転送、バースト転送、転送完了割り込み、チェーン転送の各機能は使用できません。

13.4.4 チェーン転送

MODのCHAINビットでチェーン転送が選択できます。

チェーン転送時は次のように動作します。

- (1) 要求要因により、その要因のベクタで示される番地にあるDMAC II インデックスの内容に従って転送します。一度の要求要因に対して、MODのBRSTビットの内容に従って単転送またはバースト転送を行います。
- (2) COUNTが“0”になったとき、DMACII要求要因となる周辺機能割り込みのベクタがCADR1~CADR0の値に替わります。MODのINTEビットが“1”の場合は、同時に転送完了割り込みが発生します。

- (3) 次にDMAC II 要求要因が発生すると、(2)で書き換えた周辺機能割り込みのベクタが示すDMAC II インデックスに基づいて転送を行います。

図13.4にチェーン転送時の可変ベクタとDMACIIインデックスを示します。
チェーン転送を使用する場合、可変ベクタテーブルはRAMに配置してください。

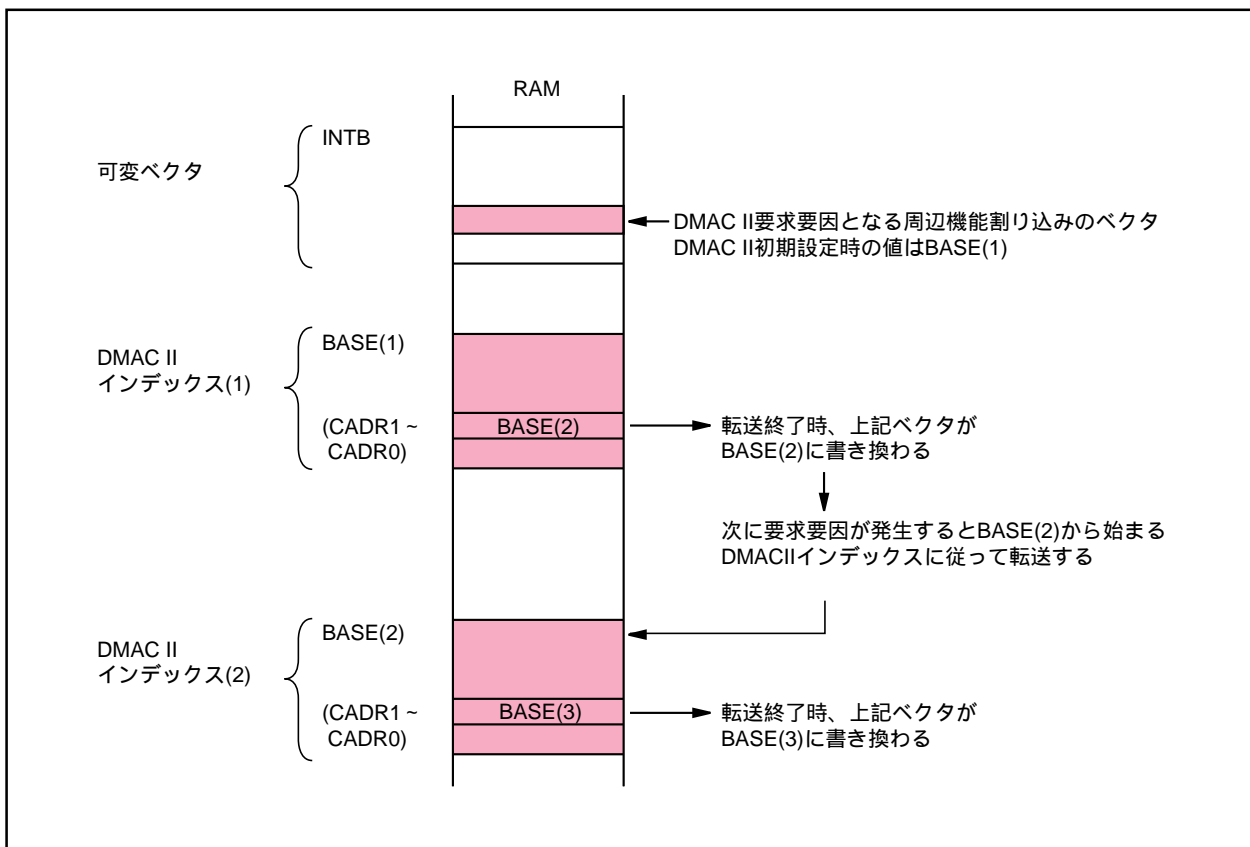


図13.4 チェーン転送時の可変ベクタとDMACIIインデックス

13.4.5 転送完了割り込み

MODのINTEビットで、転送完了割り込みが選択できます。転送完了割り込みルーチンの先頭番地をIADR1～IADR0に設定してください。転送完了割り込みは、COUNTが“0”になったとき発生します。

13.5 実行時間

DMAC IIの実行サイクル数は次のとおりです。

複数転送以外 : $t = 6 + (26+a+b+c+d) \times m + (4+e) \times n$ (サイクル)

複数転送 : $t = 21 + (11+b+c) \times k$ (サイクル)

a : IMM=0(転送元が即値)の場合a=0、IMM=1(転送元がメモリ)の場合a=-1

b : UPDS=1(転送元番地が可変番地)の場合b=0、UPDS=0(転送元番地が固定番地)の場合b=1

c : UPDD=1(転送先番地が可変番地)の場合c=0、UPDD=0(転送先番地が固定番地)の場合c=1

d : OPER=0(演算機能なし)の場合d=0、OPER=1(演算機能あり)でUPDS=0(転送元が即値か固定番地のメモリ)の場合d=7、OPER=1(演算機能あり)でUPDS=1(転送元が可変番地のメモリ)の場合d=8

e : CHAIN=0(チェーン転送機能なし)の場合e=0、CHAIN=1(チェーン転送機能あり)の場合e=4

m : BRST=0(単転送)の場合m=1、BRST=1(バースト転送)の場合m=転送カウンタで設定された値

n : COUNTが“1”の場合n=0、COUNTが“2”以上の場合n=1

k : CNT2~CNT0ビットで設定した転送数

上記は概算値であり、CPUの状態、バスウエイトやDMACIIインデックスの配置によりサイクル数は異なります。

また、転送完了割り込みルーチンの最初の命令は、DMAC II実行完了の7サイクル後に行われます。

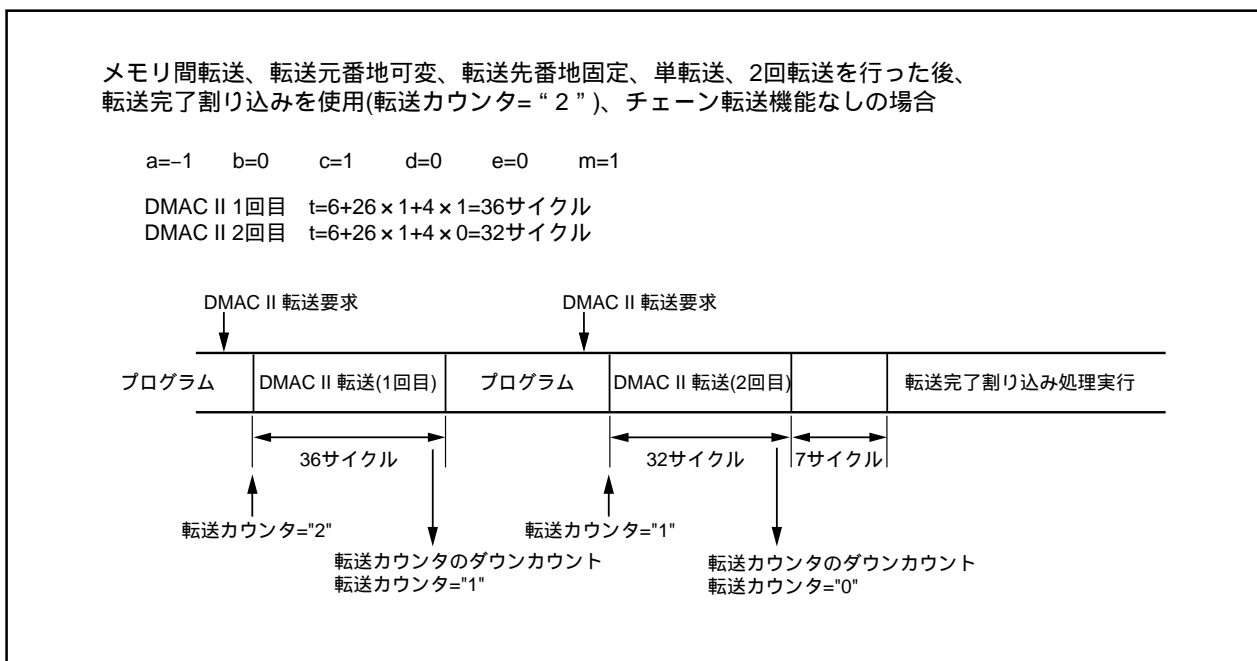


図13.5 転送時間

なお、DMAC II要求要因になる割り込み要求が発生したとき、より優先順位の高い割り込み要求(NMI、ウォッチドッグタイマ)が発生した場合、優先順位の高い割り込みがDMAC II転送よりも優先して受け付けられ、その割り込みシーケンス終了後にDMAC II転送が開始されます。

14. タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマはそれぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図14.1にタイマA、図14.2にタイマBの構成を示します。

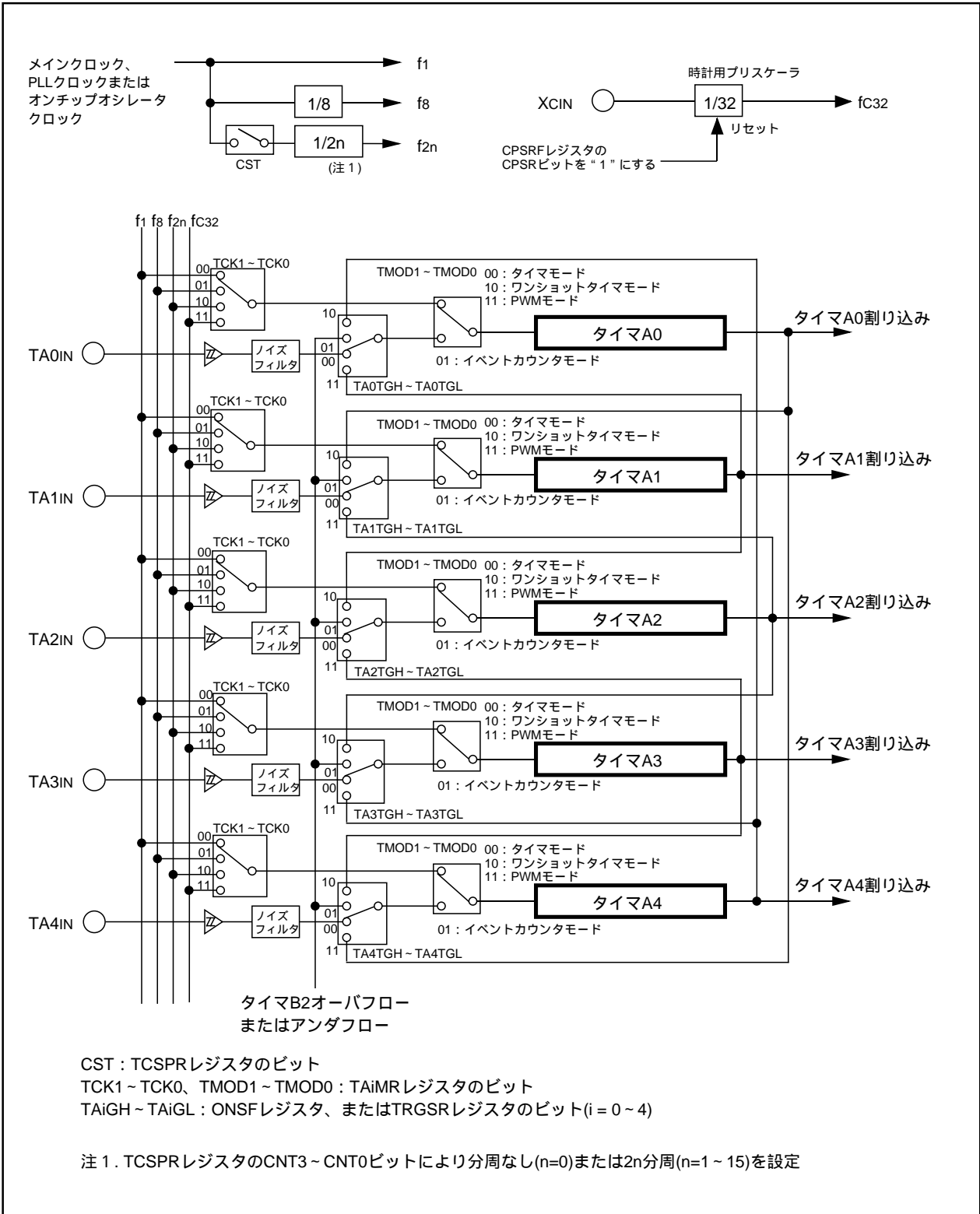


図14.1 タイマAの構成

14.1 タイマA

図14.3にタイマAのブロック図を、図14.4～図14.7にタイマA関連のレジスタを示します。

タイマAは次の4種類のモードがあり、イベントカウンタモードを除いてタイマA0～A4は同一の機能を持ちます。各モードはTAiMRレジスタ(i=0～4)のTMOD1～TMOD0ビットで選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルスまたは他のタイマのオーバフローとアンダフローをカウントするモード
- ・ワンショットタイマモード カウント値が“0000₁₆”になるまでの間1度だけパルスを出力するモード
- ・パルス幅変調モード 任意のパルス幅を連続して出力するモード

表14.1にTAiOUT端子を出力機能で使用する場合の設定、表14.2にTAiIN端子、TAiOUT端子を入力機能で使用する場合の設定を示します。

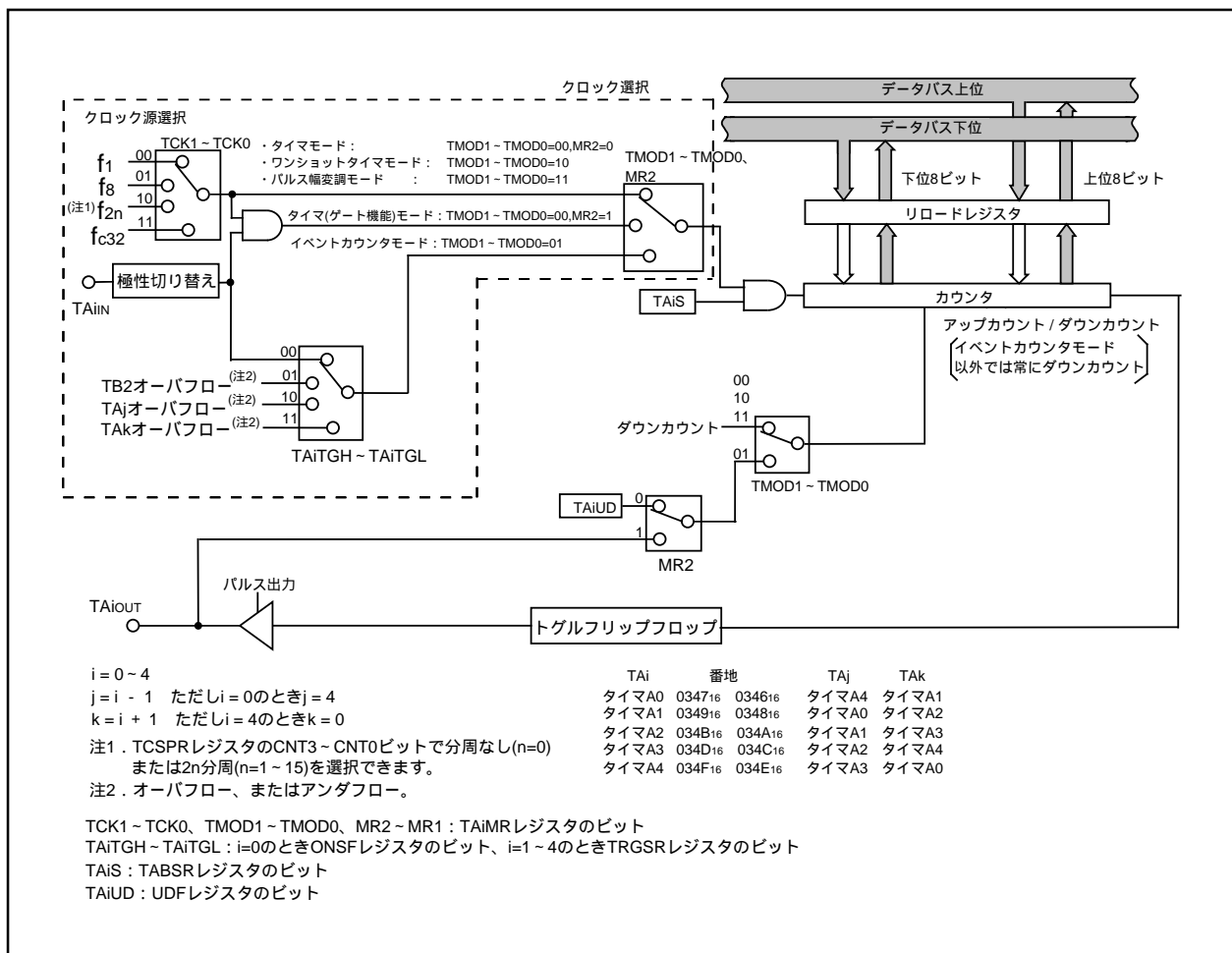


図14.3 タイマAブロック図

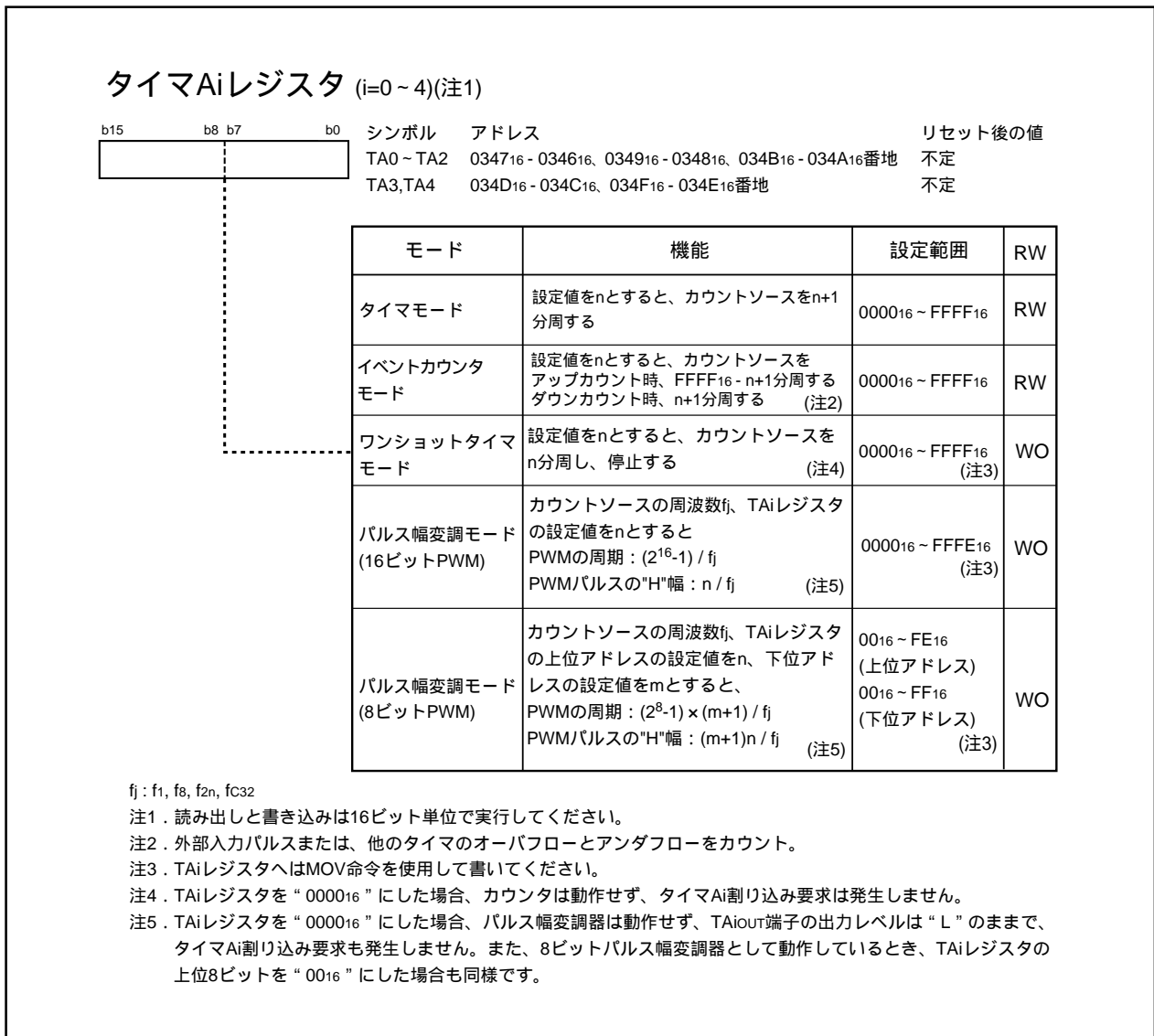


図14.4 TA0 ~ TA4レジスタ

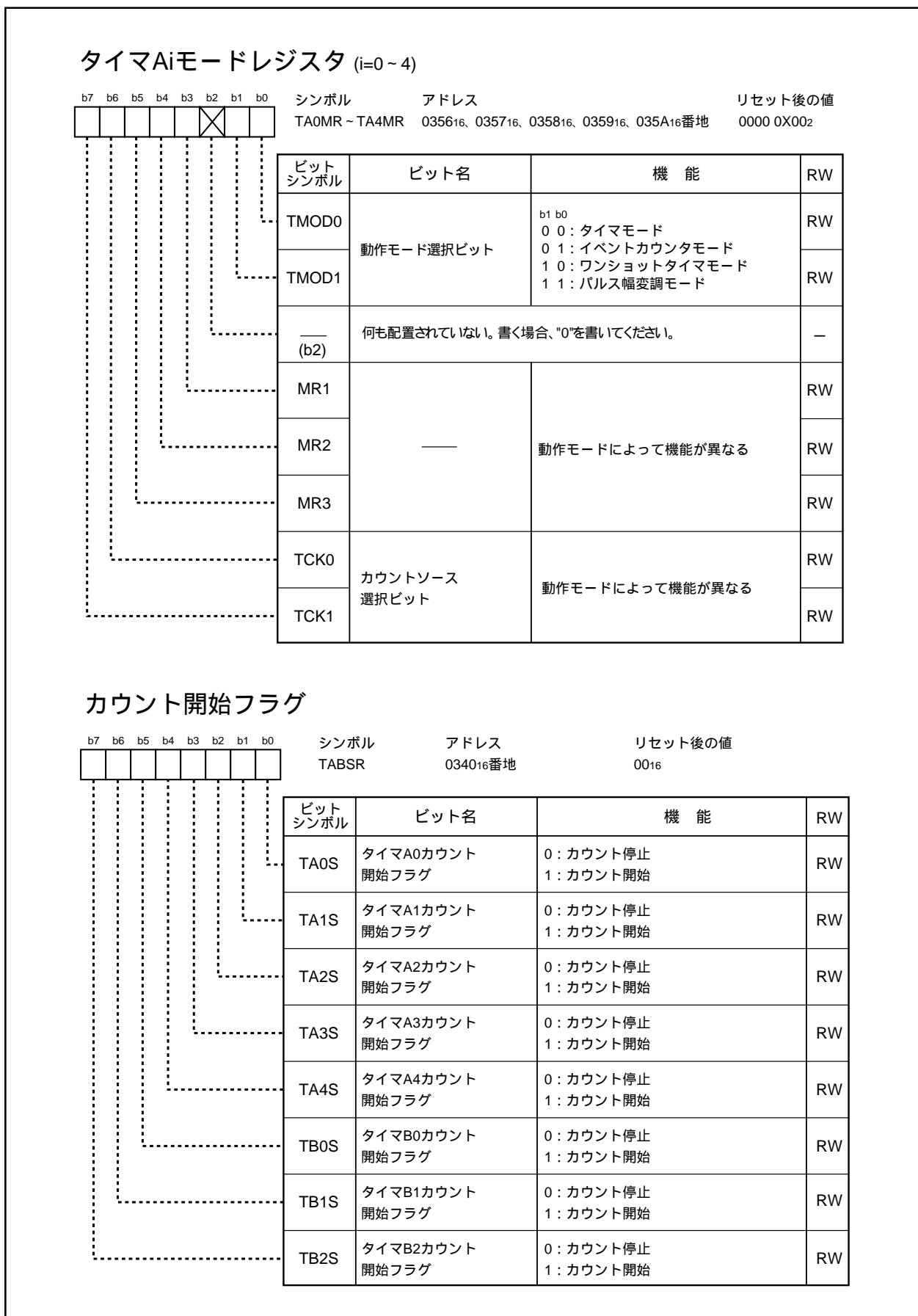


図14.5 TA0MR ~ TA4MRレジスタ、TABSRレジスタ

アップダウンフラグ(注1)

ビットシンボル	ビット名	機能	RW
UDF	アップダウンフラグ	00 ₁₆	
TA0UD	タイマA0アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW
TA1UD	タイマA1アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW
TA2UD	タイマA2アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW
TA3UD	タイマA3アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW
TA4UD	タイマA4アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW
TA2P	タイマA2 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO
TA3P	タイマA3 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO
TA4P	タイマA4 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO

注1. このレジスタへの書き込みはMOV命令を使用してください。

注2. イベントカウンタモード時、TAiMRレジスタ(i=0~4)のMR2ビットを"0"(アップ/ダウン切替要因はUDFレジスタの内容)にすると有効になります。

注3. 二相パルス信号処理機能を使用しない場合は"0"にしてください。

ワンショット開始フラグ

ビットシンボル	ビット名	機能	RW
ONSF	ワンショット開始フラグ	00 ₁₆	
TA0OS	タイマA0ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW
TA1OS	タイマA1ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW
TA2OS	タイマA2ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW
TA3OS	タイマA3ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW
TA4OS	タイマA4ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW
TAZIE	Z相入力有効ビット	0: Z相入力無効 1: Z相入力有効	RW
TA0TGL	タイマA0イベント/ トリガ選択ビット	b7 b6 00: TA0IN端子の入力を選択	RW
TA0TGH		01: TB2のオーバーフローを選択 (注2) 10: TA4のオーバーフローを選択 (注2) 11: TA1のオーバーフローを選択 (注2)	RW

注1. 読み出し時の値は"0"。

注2. オーバーフロー、またはアンダフロー

図14.6 UDFレジスタ、ONSFレジスタ

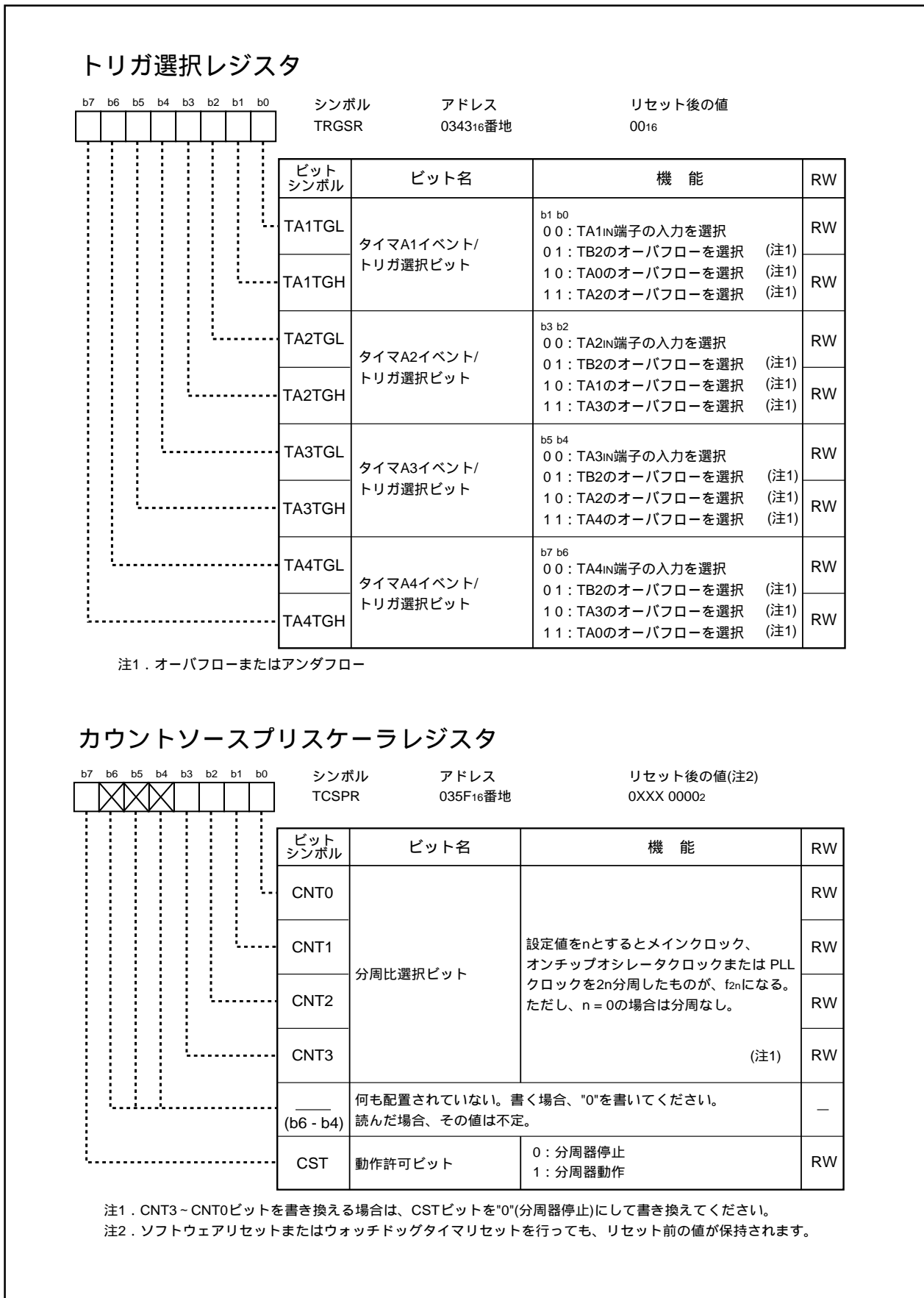


図14.7 TRGSRレジスタ、TCSPRレジスタ

表14.1 TAIOUT端子を出力機能で使用する場合の設定 (i=0~4)

端子	ビットと設定値		
	PS1、PS2レジスタ	PSL1、PSL2レジスタ	PSCレジスタ
P70/TA0OUT (注1)	PS1_0= 1	PSL1_0=1	PSC_0= 0
P72/TA1OUT	PS1_2= 1	PSL1_2=1	PSC_2= 0
P74/TA2OUT	PS1_4= 1	PSL1_4=0	PSC_4= 0
P76/TA3OUT	PS1_6= 1	PSL1_6=1	PSC_6= 0
P80/TA4OUT	PS2_0= 1	PSL2_0=0	-

注1．Nチャンネルオープンドレイン

表14.2 TAIIN端子、TAIOUT端子を入力機能で使用する場合の設定 (i=0~4)

端子	ビットと設定値	
	PS1、PS2レジスタ	PD7、PD8レジスタ
P70/TA0OUT	PS1_0= 0	PD7_0=0
P71/TA0IN	PS1_1= 0	PD7_1=0
P72/TA1OUT	PS1_2= 0	PD7_2=0
P73/TA1IN	PS1_3= 0	PD7_3=0
P74/TA2OUT	PS1_4= 0	PD7_4=0
P75/TA2IN	PS1_5= 0	PD7_5=0
P76/TA3OUT	PS1_6= 0	PD7_6=0
P77/TA3IN	PS1_7= 0	PD7_7=0
P80/TA4OUT	PS2_0= 0	PD8_0=0
P81/TA4IN	PS2_1= 0	PD8_1=0

14.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表14.3)。図14.8にタイマモード時のTAiMRレジスタ($i=0\sim 4$)を示します。

表14.3 タイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n ^(注1) 、fC32
カウント動作	・ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TAiレジスタ設定値 ($i=0\sim 4$) 0000 ₁₆ ~ FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読めます
タイマの書き込み	・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれます ・カウント中 TAiレジスタに書くと、リロードレジスタに書かれます(次のリロード時に転送)
選択機能	・ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ・パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし($n=0$)または2n分周($n=1\sim 15$)を選択できます。

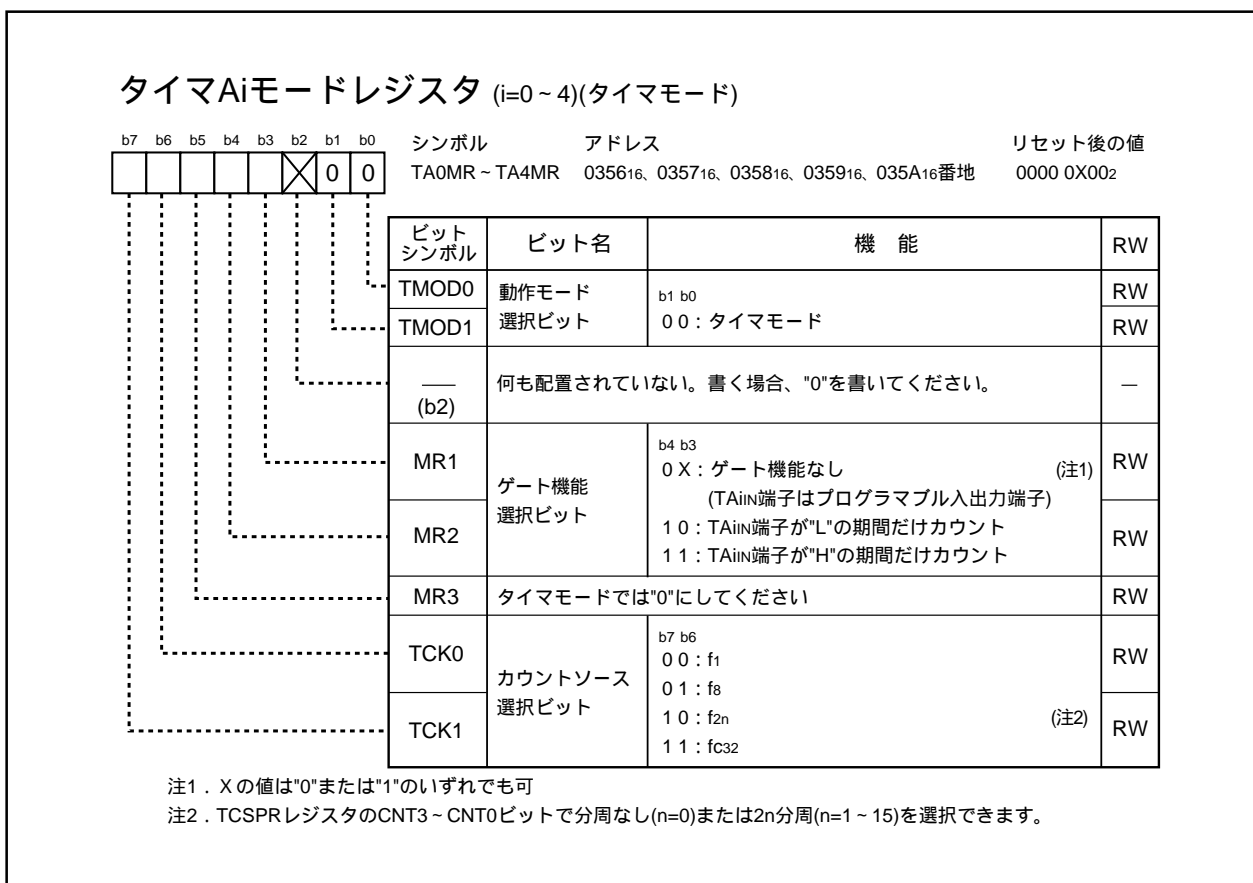


図14.8 タイマモード時のTA0MR ~ TA4MRレジスタ

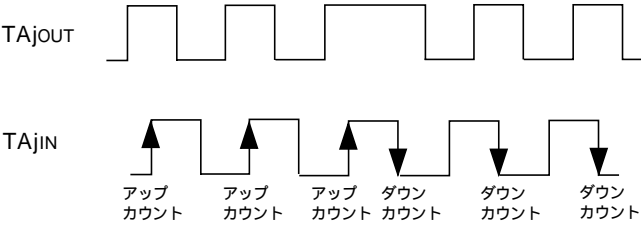
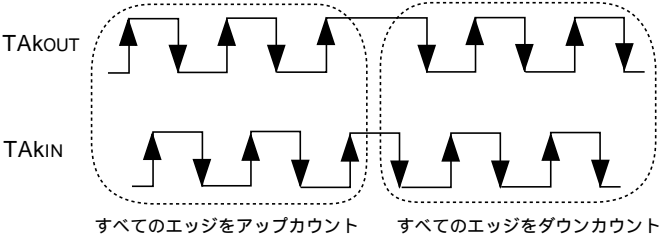
14.1.2 イベントカウンタモード

外部信号または他のタイマのオーバーフローとアンダフローをカウントするモードです。タイマA2、A3、A4は、二相の外部信号をカウントできます。表14.4にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、表14.5にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。図14.9にイベントカウンタモード時のTAiMRレジスタ($i=0\sim 4$)を示します。

表14.4 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> TAiIN端子($i=0\sim 4$)に入力された外部信号(プログラムにて有効エッジを選択可能) タイマB2のオーバーフローとアンダフロー、タイマAj($j=i-1$、ただし$i=0$のとき$j=4$)のオーバーフローとアンダフロー、タイマAk($k=i+1$、ただし$i=4$のとき$k=0$)のオーバーフローとアンダフロー
カウント動作	<ul style="list-style-type: none"> アップカウントまたはダウンカウントを、外部信号またはプログラムで選択可能 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続します。フリーラン機能選択時はリロードせずカウントを継続します。
分周比	<ul style="list-style-type: none"> アップカウント時 $1/(\text{FFFF}_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:TAiレジスタの設定値 $0000_{16} \sim \text{FFFF}_{16}$
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時とアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読めます
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれます カウント中 TAiレジスタに書くと、リロードレジスタに書かれます(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> フリーランカウント機能 オーバーフローまたはアンダフローが発生してもリロードレジスタからリロードしません パルス出力機能 オーバーフローまたはアンダフローするごとにTAiOUT端子の極性が反転

表14.5 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子(i=2~4)に入力された二相パルス信号
カウント動作	・アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続します。フリーラン機能選択時はリロードせずカウントを継続します。
分周比	・アップカウント時 $1/(FFFF_{16} - n + 1)$ ・ダウンカウント時 $1/(n + 1)$ n:TAi設定値 0000 ₁₆ ~ FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時とアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読めます
タイマの書き込み	・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれます ・カウント中 TAiレジスタに書くとリロードレジスタに書かれます(次のリロード時に転送)
選択機能(注1)	<p>・通常処理動作(タイマA2、タイマA3) TAjOUT端子(j=2,3)の入力信号が“H”レベルの期間TAjIN端子の立ち上がりをアップカウントし立ち下がりダウンカウントします。</p>  <p>・4通倍処理動作(タイマA3、タイマA4) TAKOUT端子(k=3,4)の入力信号が“H”の期間にTAKIN端子が立ち上がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりアップカウントします。TAKOUT端子の入力信号が“H”の期間にTAKIN端子が立ち下がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりダウンカウントします。</p> 

注1. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。

タイマAiモードレジスタ (i=0~4)(イベントカウンタモード)

ビットシンボル	ビット名	機能 (二相パルス信号処理を使用しない)	機能 (二相パルス信号処理を使用する)	RW
b7				
b6				
b5	0			
b4				
b3				
b2	⊗			
b1	0			
b0	1			
シンボル		アドレス		リセット後の値
TA0MR ~ TA4MR		0356 ₁₆ , 0357 ₁₆ , 0358 ₁₆ , 0359 ₁₆ , 035A ₁₆ 番地		0000 0X00 ₁₆
TMOD0	動作モード 選択ビット	b1 b0 0 1 : イベントカウンタモード (注1)		RW
TMOD1				RW
— (b2)	何も配置されていない。書く場合、"0"を書いてください。			—
MR1	カウント極性 選択ビット (注2)	0 : 外部信号の立ち 下がりカウント 1 : 外部信号の立ち 上がりカウント	"0"にしてください	RW
MR2	アップ/ダウン切替 要因選択ビット	0 : アップダウン フラグの内容 1 : TAIOUT端子の 入力信号 (注3)	"1"にしてください	RW
MR3	イベントカウンタモードでは、"0"にしてください			RW
TCK0	カウント動作タイプ 選択ビット	0 : リロードタイプ 1 : フリーランタイプ		RW
TCK1	二相パルス処理動作 選択ビット (注4) (注5)	"0"にしてください	0 : 通常処理動作 1 : 4通倍処理動作	RW

注1. イベントカウンタモードではカウントソースをONSFレジスタまたはTRGSRレジスタのTAiTGH ~ TAITGLビットで選択できます。

注2. 外部信号カウント時のみ有効。

注3. TAIOUT端子の入力信号が"L"のときはダウンカウント、"H"のときはアップカウントを行います。

注4. TCK1ビットはTA3MRレジスタにおいて有効です。

注5. 二相パルス信号処理を行う場合、UDFレジスタのTAjPビット(j=2~4)は"1"(二相パルス信号処理機能許可)に、TRGSRレジスタのTAjTGH ~ TAjTGLビットを"002"(TAjIN端子の入力)にしてください。

図14.9 イベントカウンタモード時のTA0MR ~ TA4MRレジスタ

14.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相入力は $\overline{\text{INT2}}$ 端子入力となります。

ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。また、Z相入力でカウンタを“0”にするためには、TA3レジスタにあらかじめ“0000₁₆”を書いてください。

Z相入力は、 $\overline{\text{INT2}}$ 入力のエッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期分以上になるように入力してください。図14.10に二相パルス(A相、B相)とZ相の関係を示します。

Z相入力でのカウンタが初期化されるタイミングは、Z相入力を受けた次のカウンタソースタイミングになります。図14.11にカウンタ初期化タイミングを示します。

タイマA3のオーバフローまたはアンダフロータイミングと $\overline{\text{INT2}}$ 入力によるカウンタの初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、本機能使用時はタイマA3の割り込み要求は使用しないでください。

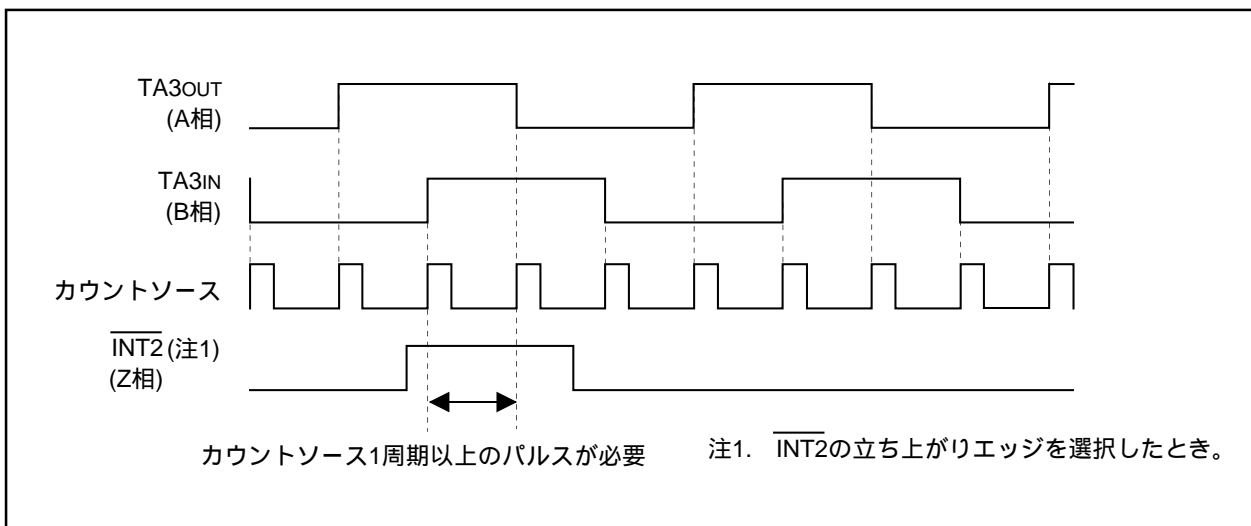


図14.10 二相パルス(A相、B相)とZ相の関係

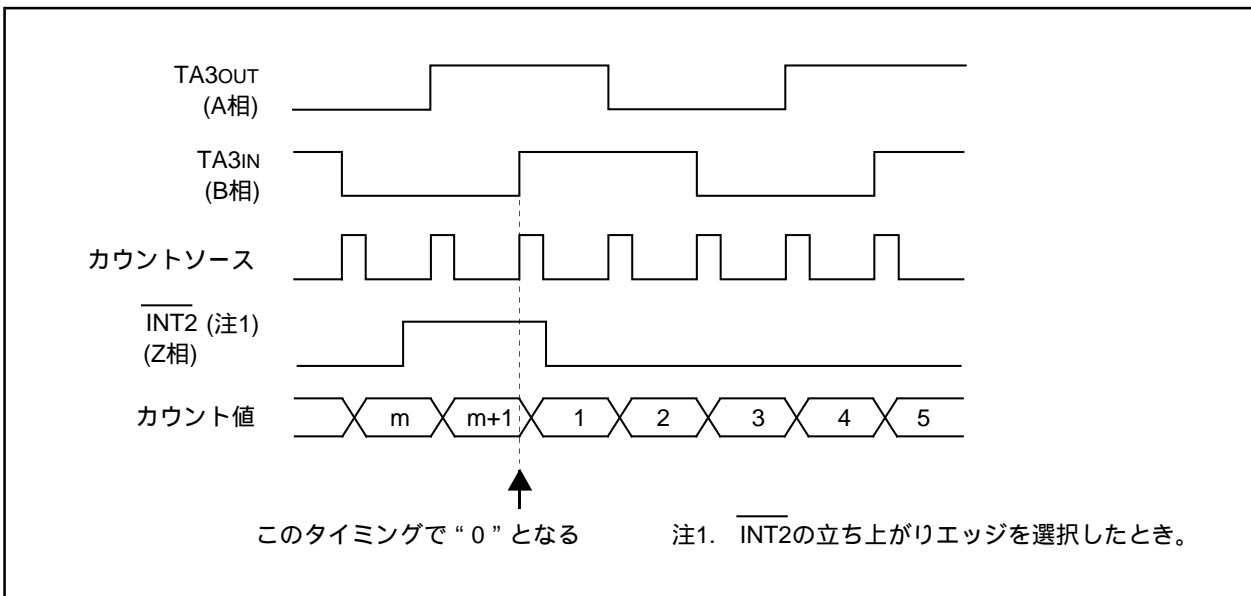


図14.11 カウンタ初期化タイミング

14.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表14.6)。トリガが発生するとその時点から任意の期間、タイマが動作します。図14.12にワンショットタイマモード時のTAiMRレジスタ($i=0\sim 4$)を示します。

表14.6 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n ^(注1) 、fC32
カウント動作	ダウンカウント <ul style="list-style-type: none"> ・カウントの値が0000₁₆になるタイミングでリロードしてカウントを停止 ・カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタ($i=0\sim 4$)設定値 0000 ₁₆ ~FFFF ₁₆ (ただし、“0000 ₁₆ ”の場合はカウンタは動作しない)
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、次のトリガが発生したとき <ul style="list-style-type: none"> ・外部トリガ入力 ・タイマのオーバフローとアンダフロー ・ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	<ul style="list-style-type: none"> ・カウントの値が“0000₁₆”になりリロードした後 ・TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウントの値が“0000 ₁₆ ”になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読めます
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれます ・カウント中 TAiレジスタに書くと、リロードレジスタに書かれます(次のリロード時に転送)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし($n=0$)または2n分周($n=1\sim 15$)を選択できます。

タイマAiモードレジスタ (i=0~4)(ワンショットタイマモード)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
□	□	0	□	□	X	1	0	TA0MR ~ TA4MR	0356 ₁₆ 、0357 ₁₆ 、0358 ₁₆ 、0359 ₁₆ 、035A ₁₆ 番地	0000 0X00 ₂

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	RW
TMOD1			RW
— (b2)	何も配置されていない。書く場合、"0"を書いてください		—
MR1	外部トリガ 選択ビット (注1)	0 : TAIiN端子の入力信号の立ち下がり 1 : TAIiN端子の入力信号の立ち上がり	RW
MR2	トリガ選択ビット	0 : TAIOSビットが有効 1 : TAIIGH, TAIIGLビットで選択	RW
MR3	ワンショットタイマモードでは"0"にしてください。		RW
TCK0	カウントソース 選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n 1 1 : fc32	RW
TCK1			(注2) RW

注1 . TRGSRレジスタのTAIGH ~ TAIGLビットを"002"(TAiN端子の入力)にする場合のみ有効。"012"(TB2のオーバーフローとアンダフロー)、"102"(TA4のオーバーフローとアンダフロー)、"112"(TA1のオーバーフローとアンダフロー)にする場合は、"0"または"1"いずれでも可。

注2 . TCSPRレジスタのCNT3 ~ CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

図14.12 ワンショットタイマモード時のTA0MR ~ TA4MRレジスタ

14.1.4 パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表14.7)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図14.13にパルス幅変調モード時のTAiMRレジスタ(i=0~4)、図14.14、図14.15に16ビットと8ビットパルス幅変調器の動作例を示します。

表14.7 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> ・“H”幅 n / f_j n:TAiレジスタ(i=0~4)設定値 000016~FFFE16 fj:カウントソース周波数 ・周期 $(2^{16} - 1) / f_j$固定
8ビットPWM	<ul style="list-style-type: none"> ・“H”幅 $n \times (m+1) / f_j$ n:TAiレジスタの上位番地の設定値 0016~FE16 ・周期 $(2^8 - 1) \times (m+1) / f_j$ m:TAiレジスタの下位番地の設定値 0016~FF16
カウント開始条件	<ul style="list-style-type: none"> ・外部トリガ入力 ・タイマのオーバフローとアンダフロー ・TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読めます
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれます ・カウント中 TAiレジスタに書くと、リロードレジスタに書かれます(次のリロード時に転送)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

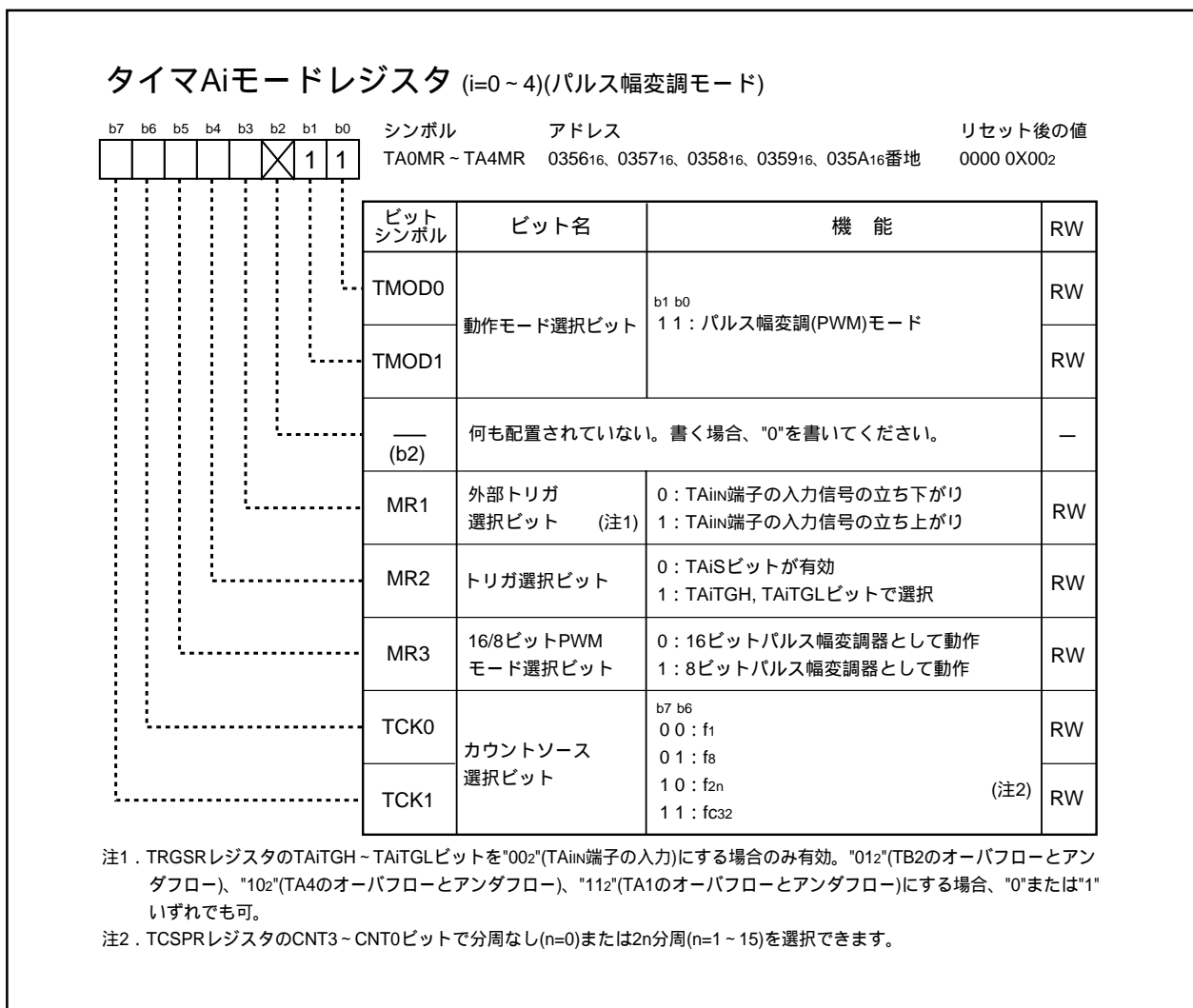


図14.13 パルス幅変調モード時のTA0MR ~ TA4MRレジスタ

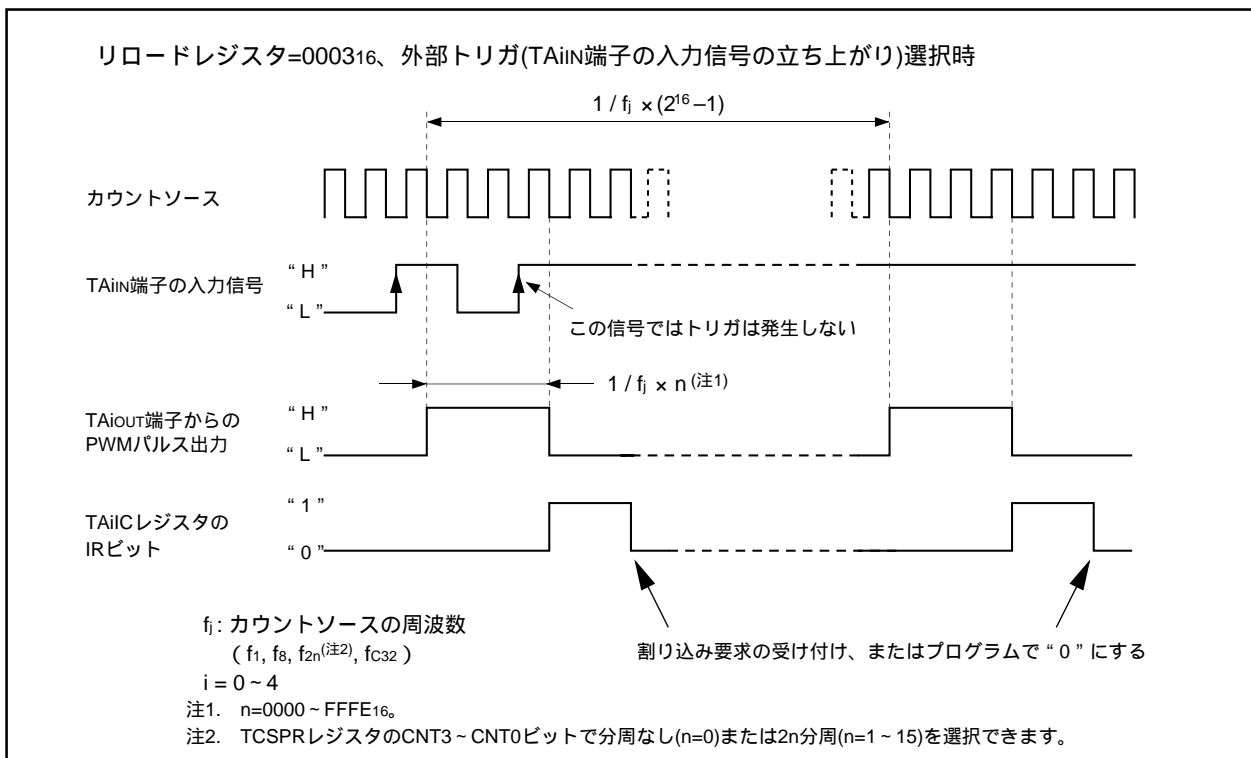


図14.14 16ビットパルス幅変調器の動作例

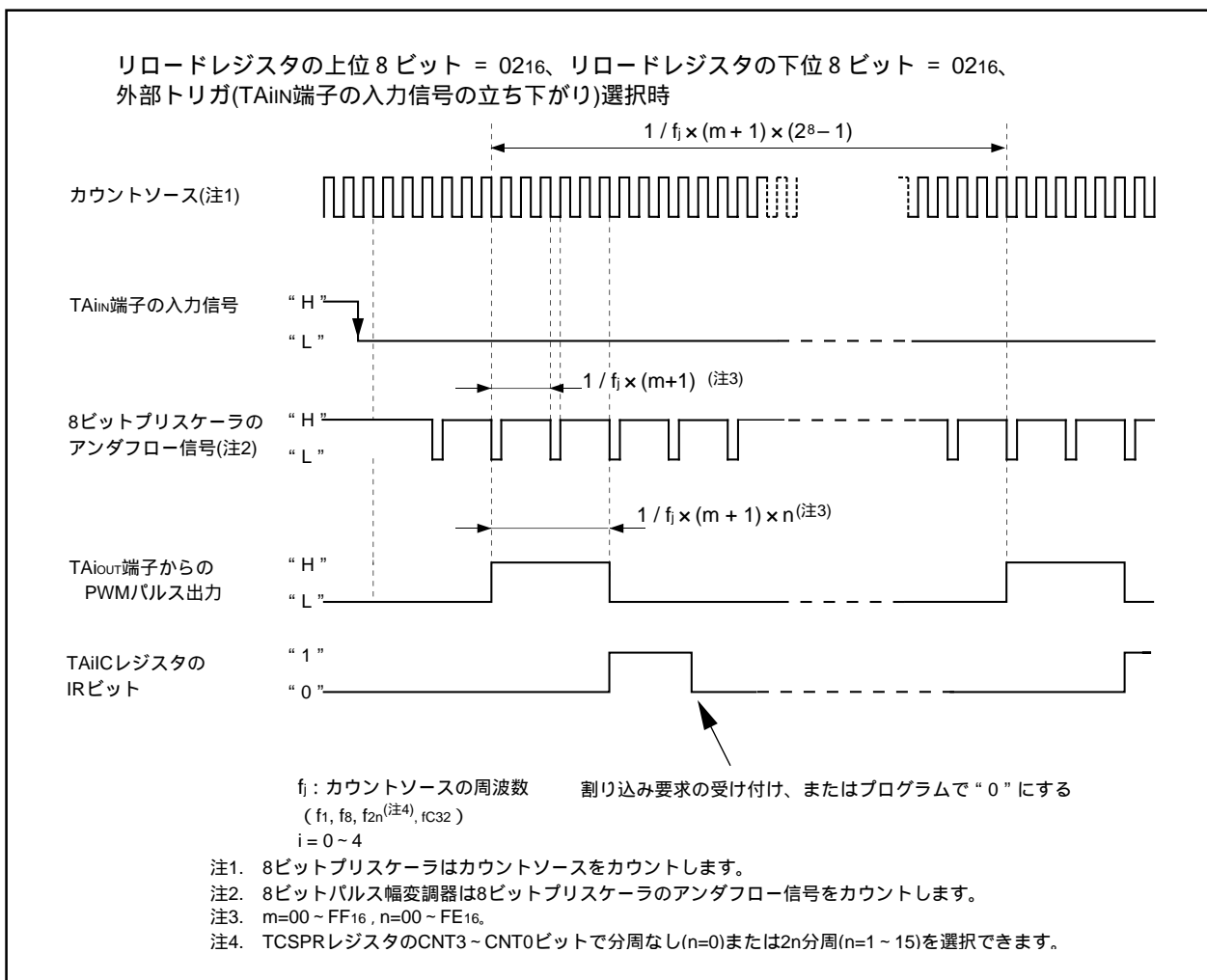


図14.15 8ビットパルス幅変調器の動作例

タイマBiモードレジスタ (i=0~5)

ビットシンボル	ビット名	機能	RW
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
シンボル アドレス リセット後の値 TB0MR ~ TB5MR 035B ₁₆ 、035C ₁₆ 、035D ₁₆ 、031B ₁₆ 、031C ₁₆ 、031D ₁₆ 番地 00XX 0000 ₂			
TMOD0	動作モード選択ビット	b1 b0 00 : タイマモード 01 : イベントカウンタモード 10 : パルス周期測定モード、パルス幅測定モード 11 : 設定しないでください	RW
TMOD1			RW
MR0	—	動作モードによって機能が異なる (注1、注2)	RW
MR1			RW
MR2			RW
MR3			RW
TCK0	カウントソース 選択ビット	動作モードによって機能が異なる	RW
TCK1			RW

注1 . MR2ビットは、TB0MR、TB3MRレジスタのみ有効。

注2 . TB1MR、TB2MR、TB4MR、TB5MRレジスタでは、MR2ビットには何も配置されていない。
書く場合、"0"を書いてください。読んだ場合、その値は不定。

カウント開始フラグ

ビットシンボル	ビット名	機能	RW
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
シンボル アドレス リセット後の値 TABSR 0340 ₁₆ 番地 00 ₁₆			
TA0S	タイマA0カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA1S	タイマA1カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA2S	タイマA2カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA3S	タイマA3カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA4S	タイマA4カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB0S	タイマB0カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB1S	タイマB1カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB2S	タイマB2カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW

図14.18 TB0MR ~ TB5MRレジスタ、TABSRレジスタ

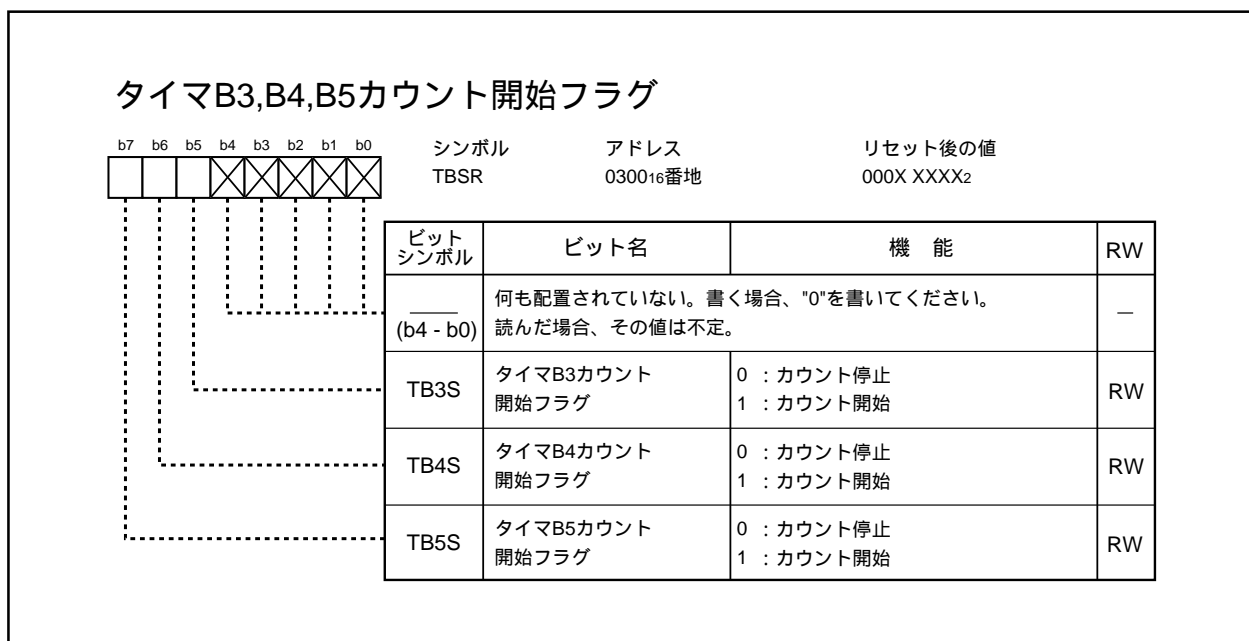


図14.19 TBSRレジスタ

表14.8 TB_iIN端子(i=0~5)を使用する場合の設定

ポート名	機能	ビットと設定値	
		PS1、PS3 ^(注1) レジスタ	PD7、PD9 ^(注1) レジスタ
P90	TB0IN	PS3_0= 0	PD9_0= 0
P91	TB1IN	PS3_1= 0	PD9_1= 0
P92	TB2IN	PS3_2= 0	PD9_2= 0
P93	TB3IN	PS3_3= 0	PD9_3= 0
P94	TB4IN	PS3_4= 0	PD9_4= 0
P71	TB5IN	PS1_1= 0	PD7_1= 0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。
PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

14.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表14.9)。図14.20にタイマモード時のT*B*iMRレジスタ(*i*=0~5)を示します。

表14.9 タイマモードの仕様

項目	仕様
カウントソース	f ₁ 、f ₈ 、f _{2n} (注1)、f _{C32}
カウント動作	・ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(<i>n</i> +1) <i>n</i> :T <i>B</i> iレジスタ(<i>i</i> =0~5)設定値 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSR、TBSRレジスタのTBISビットを“1”(カウント開始)にする
カウント停止条件	TBISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
T <i>B</i> iN端子機能	プログラマブル入出力ポート
タイマの読み出し	T <i>B</i> iレジスタを読むと、カウント値を読めます
タイマの書き込み	・カウント停止中 T <i>B</i> iレジスタに書くと、リロードレジスタとカウンタの両方に書かれます ・カウント中 T <i>B</i> iレジスタに書くと、リロードレジスタに書かれます(次のリロード時に転送)

注1. TCS*P*RレジスタのCNT3~CNT0ビットで分周なし(*n*=0)または2*n*分周(*n*=1~15)を選択できます。

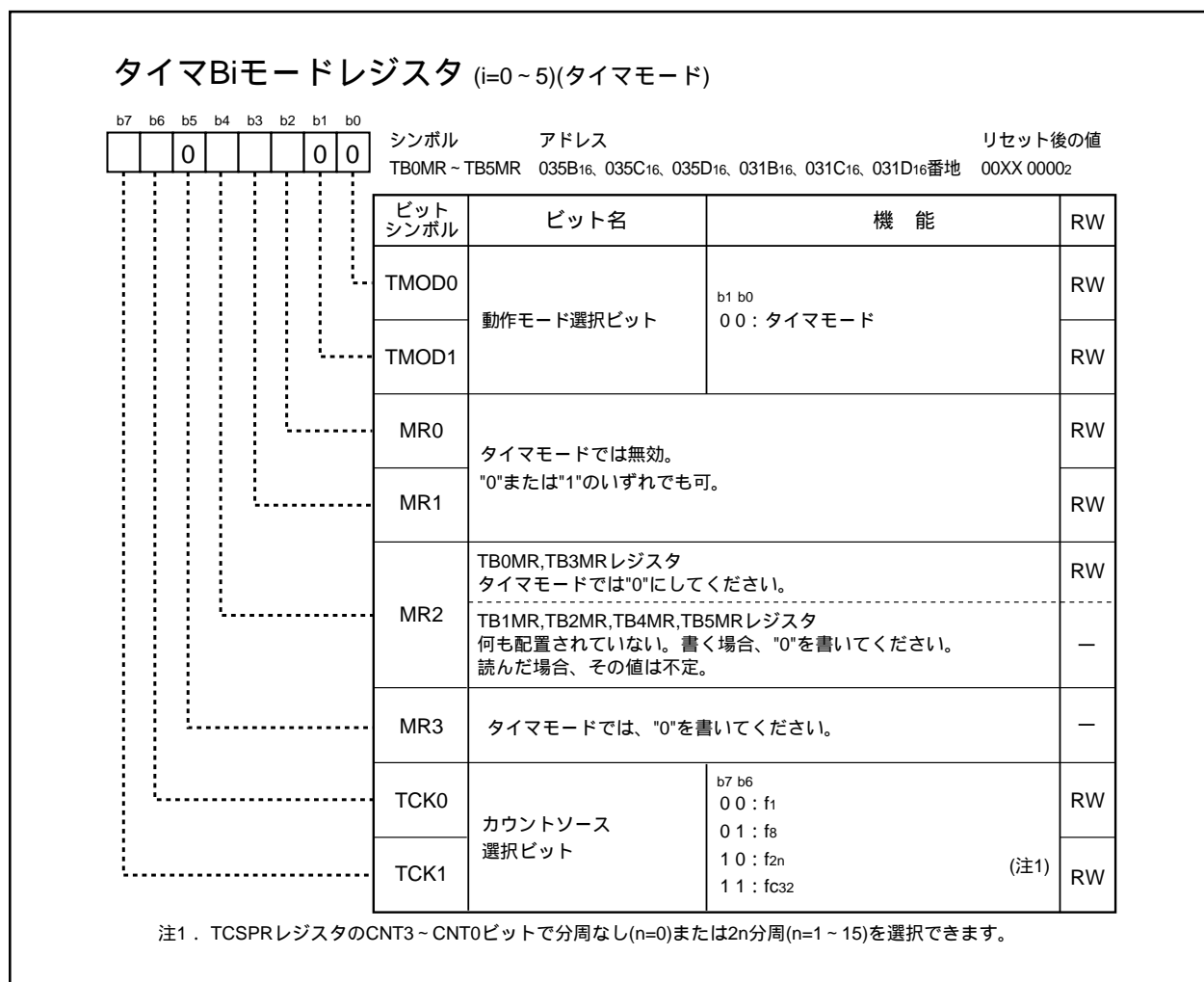


図14.20 タイマモード時のTB0MR~TB5MRレジスタ

14.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフローまたはアンダフローをカウントするモードです(表14.10)。図14.21にイベントカウンタモード時のTBiMRレジスタ(i=0~5)を示します。

表14.10 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TBiIN端子(i=0~5)に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可 • TBjのオーバフローとアンダフロー (j=i-1 ただしi=0のときj=2、i=3のときj=5)
カウント動作	<ul style="list-style-type: none"> • ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TBiレジスタ設定値 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSRレジスタ、TBSRレジスタのTBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート、カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読めます
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中 TBiレジスタに書くと、リロードレジスタとカウンタの両方に書かれます • カウント中 TBiレジスタに書くと、リロードレジスタに書かれます(次のリロード時に転送)

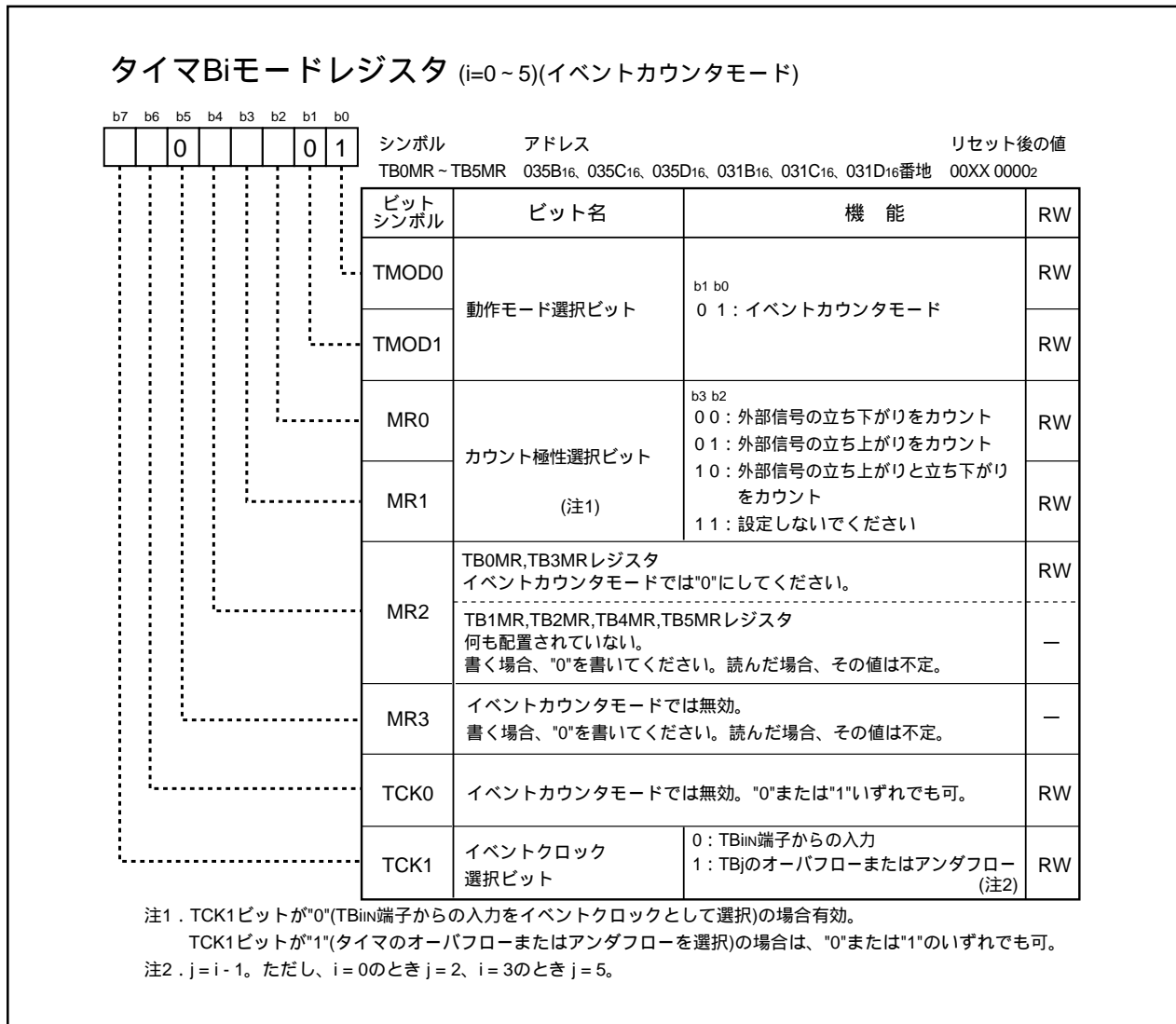


図14.21 イベントカウンタモード時のTB0MR ~ TB5MRレジスタ

14.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表14.11)。図14.22にパルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ($i=0 \sim 5$)、図14.23にパルス周期測定時の動作例、図14.24にパルス幅測定時の動作例を示します。

表14.11 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注3)、fC32
カウント動作	・アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	TABSRレジスタ、TBSRレジスタのTBiSビット($i=0 \sim 5$)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	・測定パルスの有効エッジ入力時(注1) ・オーバフロー時(同時にTBiMRレジスタのMR3ビットが“1”(オーバフローあり)になります。TBiSビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバフローあり)になった後の次のカウントソースのカウントタイミング以降に、TBiMRレジスタに書くと“0”(オーバフローなし)になります。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後 1 回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後 2 回目の有効エッジ入力までは、TBiレジスタからの読み出し値は不定です。

注3. TCSPRレジスタのCNT3～CNT0ビットで分周なし($n=0$)または2n分周($n=1 \sim 15$)を選択できます。

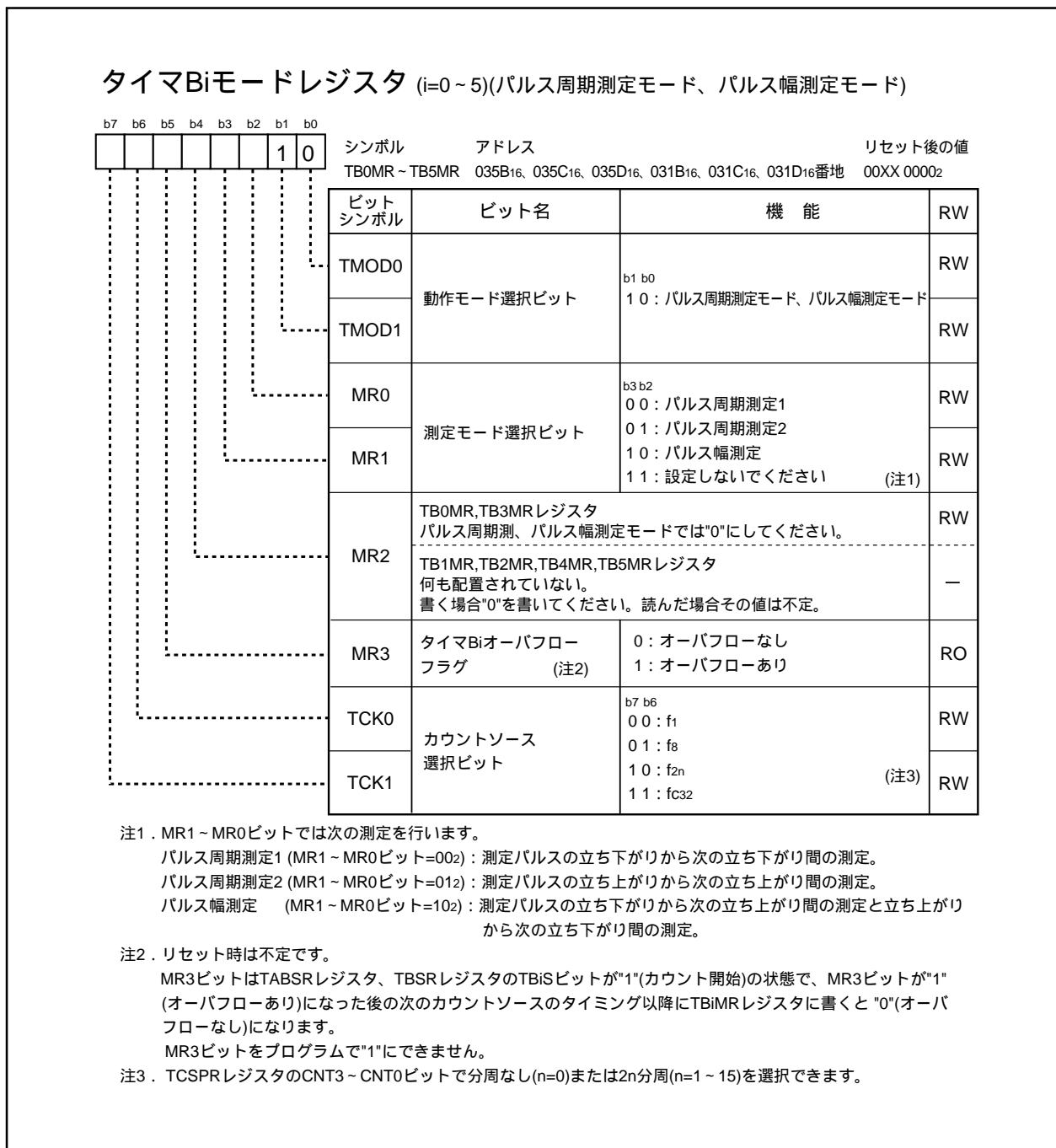


図14.22 パルス周期測定モード、パルス幅測定モード時のTB0MR ~ TB5MRレジスタ

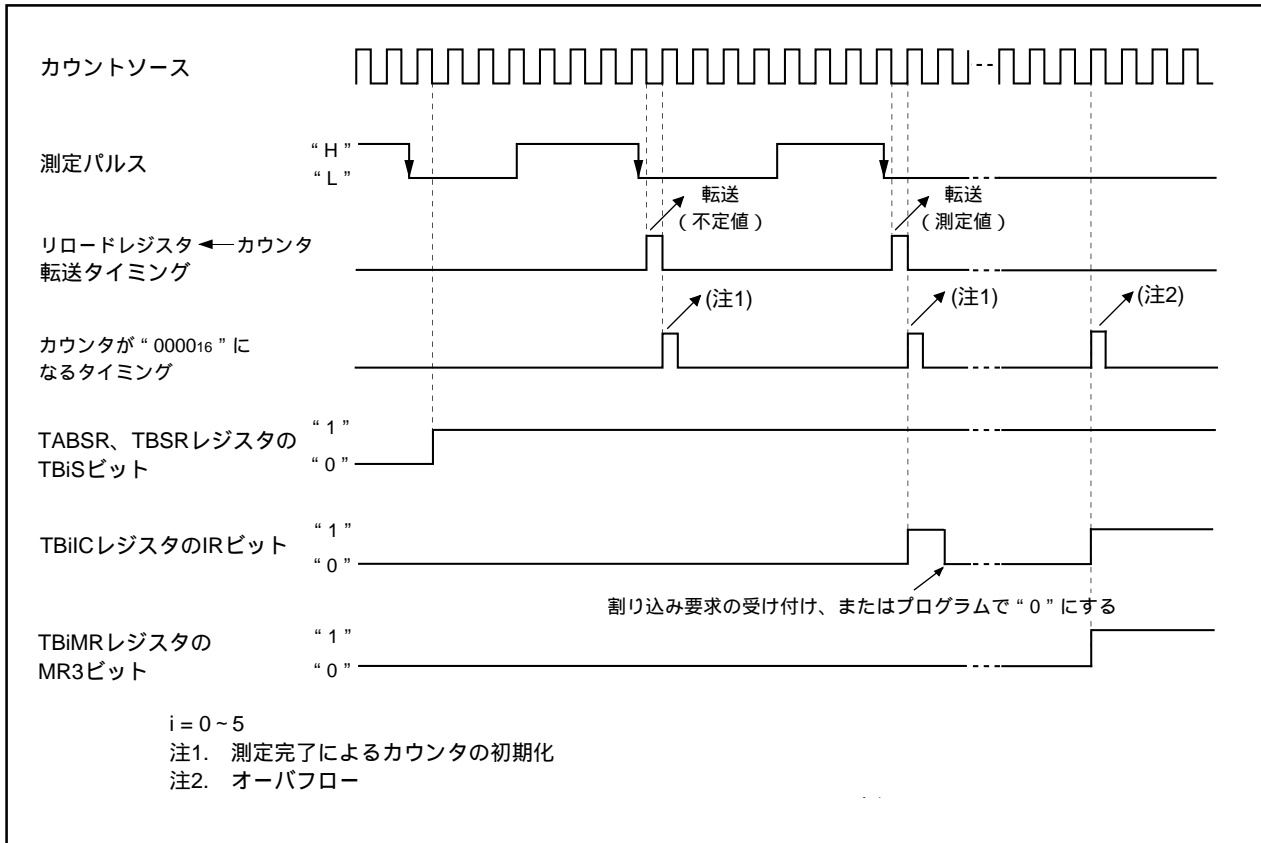


図14.23 パルス周期測定時の動作図

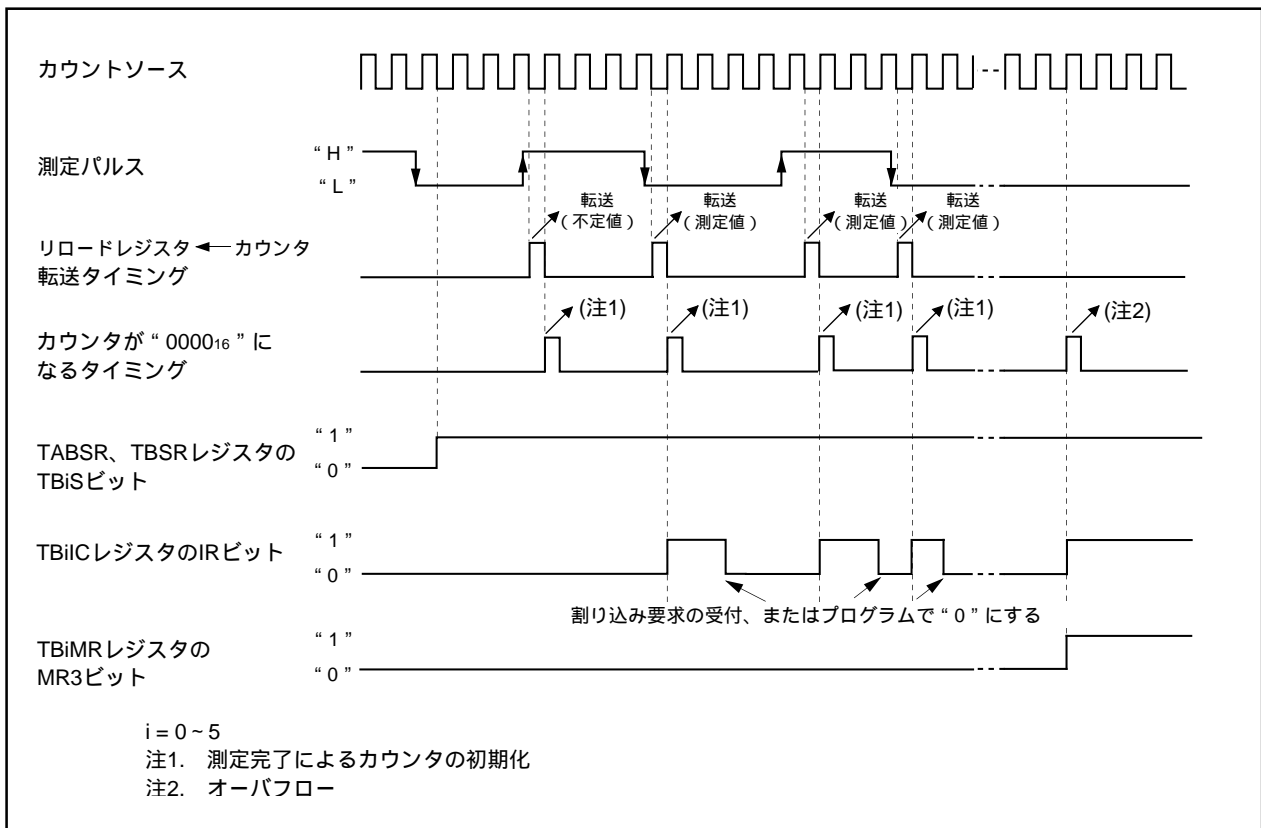


図14.24 パルス幅測定時の動作図

15. 三相モータ制御用タイマ機能

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。表15.1に三相モータ制御用タイマ機能の仕様を、表15.2に端子の設定を、図15.1にブロック図を示します。また、図15.2～図15.7に関連レジスタを示します。

表15.1 三相モータ制御用タイマ機能の仕様

項目	仕様
三相波形出力端子	6本(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})
強制遮断入力(注1)	NMI端子に“L”を入力
使用タイマ	タイマA4、A1、A2(ワンショットタイマモードで使用) タイマA4：U、 \bar{U} 相波形制御 タイマA1：V、 \bar{V} 相波形制御 タイマA2：W、 \bar{W} 相波形制御 タイマB2(タイマモードで使用) 搬送波周期制御 短絡防止タイマ(8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 ・1周期すべて“H”または“L”出力可能 ・正相レベルと逆相レベルを独立設定可能
搬送波周期	三角波変調：カウントソース $\times (m+1) \times 2$ 鋸波変調：カウントソース $\times (m+1)$ m：TB2レジスタ設定値。000016～FFFF16 カウントソース：f ₁ 、f ₈ 、f _{2n} (注2)、fc32
三相PWM出力幅	三角波変調：カウントソース $\times n \times 2$ 鋸波変調：カウントソース $\times n$ n：TA4、TA1、TA2(INVC1レジスタのINV11ビットが“1”のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値 000116～FFFF16 カウントソース：f ₁ 、f ₈ 、f _{2n} (注2)、fc32
短絡防止時間(幅)	カウントソース $\times p$ 、または短絡防止時間なし p：DTTレジスタ設定値 0116～FF16 カウントソース：f ₁ 、またはf ₁ の2分周
アクティブレベル	“H”または“L”選択可能
正逆同時アクティブ禁止機能	正逆同時アクティブ禁止機能あり、正逆同時アクティブ検出機能あり
割り込み頻度	タイマB2割り込みは、搬送波周期ごと～搬送波周期15回ごと選択

注1．NMI入力による強制遮断はINVC0レジスタのINV02ビットが“1”（三相モータ制御用タイマ機能）、かつINV03ビットが“1”（三相モータ制御用タイマ出力許可）のとき有効です。

注2．TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

表15.2 三相モータ制御用タイマ機能を使用する場合の端子の設定

端子	ビットと設定値		
	PS1、PS2レジスタ(注1)	PSL1、PSL2レジスタ	PSCレジスタ
P72/V	PS1_2= 1	PSL1_2= 0	PSC_2= 1
P73/ \bar{V}	PS1_3= 1	PSL1_3= 1	PSC_3= 0
P74/W	PS1_4= 1	PSL1_4= 1	PSC_4= 0
P75/ \bar{W}	PS1_5= 1	PSL1_5= 0	-
P80/U	PS2_0= 1	PSL2_0= 1	-
P81/ \bar{U}	PS2_1= 1	PSL2_1= 0	-

注1．INV02ビットを“1”にした後で、PS1、PS2レジスタのPS1_2～PS1_5、PS2_0～PS2_1ビットを“1”にしてください。

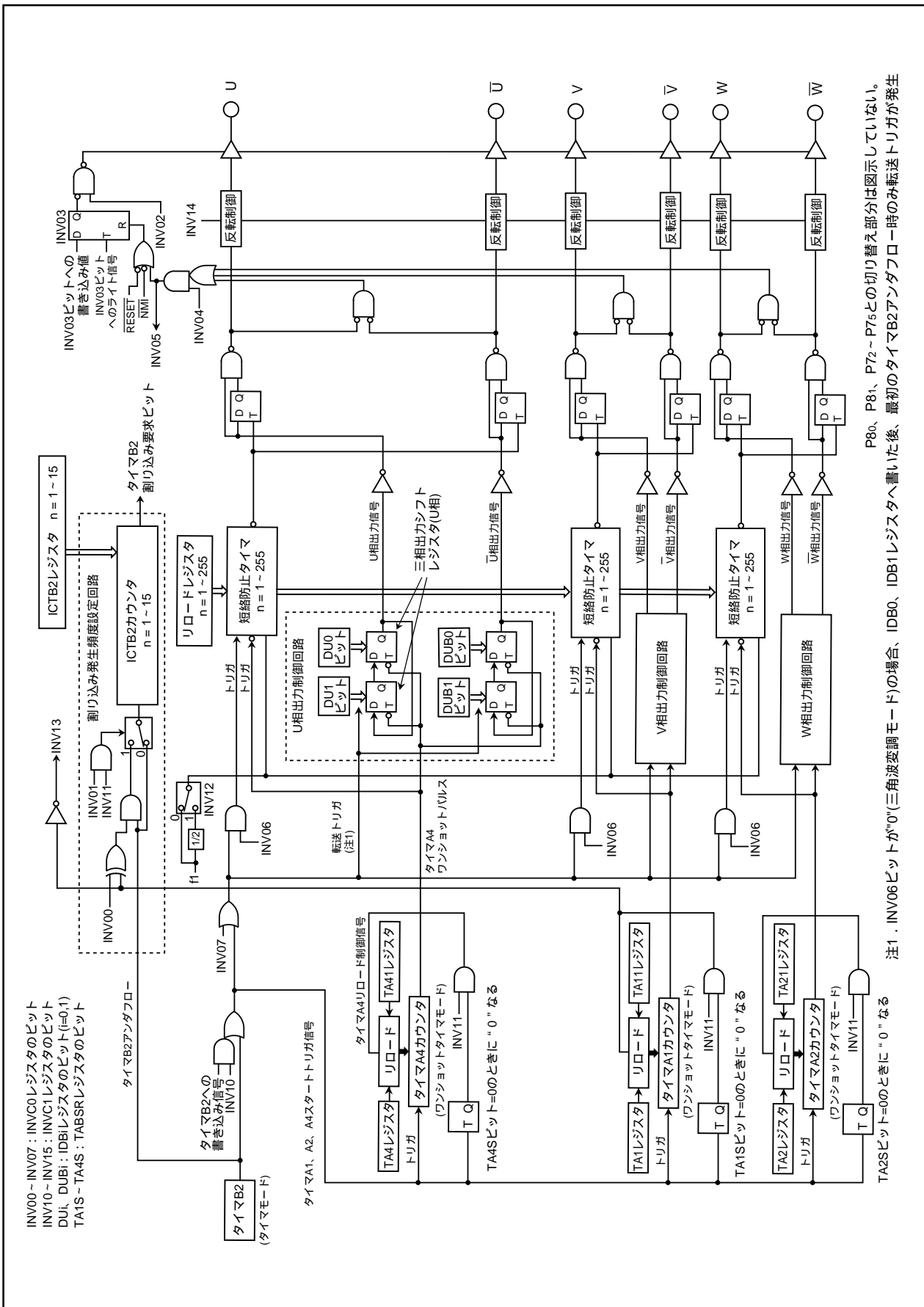


図15.1 三相モータ制御用タイマ機能のブロック図

三相PWM制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
INVC0

アドレス
0308₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
INV00	割り込み有効出力極性選択ビット	0: タイマA1リロード制御信号の立ち上がりでICTB2カウンタのカウントを1進める 1: タイマA1リロード制御信号の立ち下がり でICTB2カウンタのカウントを1進める (注3)	RW
INV01	割り込み有効出力指定ビット (注2)	0: タイマB2アンダフローでICTB2カウンタのカウントを1進める (注3) 1: INV00ビットで選択	RW
INV02	モード選択ビット (注4、5)	0: 三相モータ制御用タイマ機能を使用しない 1: 三相モータ制御用タイマ機能を使用する (注6)	RW
INV03	出力制御ビット	0: 三相モータ制御用タイマ出力禁止 (注6) 1: 三相モータ制御用タイマ出力許可 (注7)	RW
INV04	正逆同時アクティブ出力禁止機能許可ビット	0: 同時アクティブ出力許可 1: 同時アクティブ出力禁止	RW
INV05	正逆同時アクティブ出力検出フラグ	0: 未検出 1: 検出 (注8)	RW
INV06	変調モード選択ビット (注9)	0: 三角波変調モード 1: 鋸波変調モード (注10)	RW
INV07	ソフトウェアトリガ選択ビット	このビットに"1"を書くと転送トリガが発生する。INV06ビットが"1"の場合、短絡防止タイマへのトリガも発生する。読んだ場合、その値は"0"。	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを"1"(書き込み許可)にした後で書き換えてください。また、INV00~INV02、INV06ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。

注2. このビットに"1"を書く場合は、ICTB2レジスタに値を設定してから書いてください。

注3. INVC1レジスタのINV11ビットが"1"(三相モード1)のとき有効。"0"(三相モード0)のときは、INV00、INV01ビットに関係なくタイマB2アンダフローごとにICTB2カウンタのカウントを1進めます。

注4. INV01ビットを"1"にする場合、タイマA1カウント開始フラグを最初のタイマB2アンダフローまでに"1"にしてください。INV00ビットを"1"にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはn回目のタイマB2アンダフローごとに発生します。

注5. INV02ビットを"1"にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2レジスタが動作します。

注6. INV02ビットを"1"にした後で、端子を設定してください。端子の設定は「表15.2」を参照してください。

注7. U、V、W端子(端子を共用している他の出力機能に設定している場合も含む)は、INV02ビットを"1"(三相モータ制御用タイマ機能)にし、かつINV03ビットを"0"(三相モータ制御用タイマ出力禁止)にすると、すべてハイインピーダンスになります。

注8. INV03ビットは次のとき"0"になります。

- ・リセット
- ・INV04ビットが"1"のとき、同時アクティブになった場合
- ・プログラムで"0"にしたとき
- ・NMI端子入力が"H"から"L"に変化したとき

注9. プログラムで"1"は書けません。このビットを"0"にする場合は、INV04ビットに"0"を書いてください。

注10. INV06ビットの影響は下表のとおりです。

項目	INV06 = 0の場合	INV06 = 1の場合
モード	三角波変調モード	鋸波変調モード
IDB0レジスタ、IDB1レジスタから三相出力シフトレジスタへの転送タイミング	IDB0レジスタ、IDB1レジスタに書いた後、転送トリガに同期して1回のみ転送	転送トリガごとに転送
INV16=0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期	タイマA1、A2、A4のワンショットパルスの立ち下がりと、転送トリガに同期
INV13ビット	INV11 = 1かつINV06 = 0のとき有効	無効

転送トリガ: タイマB2アンダフローとINV07ビットへの書き込み、またはINV10 = 1のときのTB2レジスタへの書き込み

注10. INV06ビットが"1"の場合、INV11ビットを"0"(三相モード0)、TB2SCレジスタのPWCONビットを"0"(タイマB2のアンダフローでタイマB2リロード)にしてください。

図15.2 INVC0レジスタ

三相PWM制御レジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
INVC1

アドレス
0309₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
INV10	タイマA1、A2、A4スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、TB2レジスタへの書き込み	RW
INV11	タイマA1-1、A2-1、A4-1制御ビット (注2)	0: 三相モード0 (注3) 1: 三相モード1	RW
INV12	短絡防止タイマカウンソース選択ビット	0: f ₁ 1: f ₁ の2分周	RW
INV13	搬送波状態検出フラグ (注4)	0: タイマA1リロード制御信号が"0" 1: タイマA1リロード制御信号が"1"	RO
INV14	出力極性制御ビット	0: 出力波形"L"アクティブ 1: 出力波形"H"アクティブ	RW
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効	RW
INV16	短絡防止時間タイマトリガ選択ビット	0: タイマ(A4、A1、A2)のワンショットパルスの立ち下がり (注5) 1: 三相出力シフトレジスタ(U、V、W相)出力の立ち上がり	RW
— (b7)	予約ビット	"0"にしてください	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを"1"(書き込み許可)にした後で書き換えてください。また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

注2. INV11ビットの影響は下表のとおりです。

項目	INV11 = 0の場合	INV11 = 1の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41レジスタ	使用しない	使用する
INVC0レジスタのINV00ビット、INV01ビット	無効。INV00、INV01ビットの値に関係なく、	有効
	タイマB2アンダフローごとにICTB2カウント	
INV13ビット	無効	INV11 = 1かつINV06 = 0のとき有効

注3. INVC0レジスタのINV06ビットが"1"(鋸波変調モード)の場合は、"0"(三相モード0)にしてください。また、INV11ビットが"0"の場合、TB2SCレジスタのPWCONビットを"0"(タイマB2のアンダフローでタイマB2リロード)にしてください。

注4. INV13ビットはINV06ビットが"0"(三角波変調モード)かつINV11ビットが"1"(三相モード1)のときのみ有効です。

注5. 次の条件がすべて当てはまる場合は、INV16ビットを"1"(短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- ・ INV15ビットが"0"(短絡防止時間有効)
- ・ INV03ビットが"1"(三相モータ制御用タイマ出力許可)のときは、常にDij(i: U、VまたはW、j: 0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、正相と逆相は常に逆のレベルを出力する)。

また、上記の条件のいずれかがあてはまらない場合はINV16ビットを"0"(短絡防止タイマのトリガはタイマのワンショットパルスの立ち下がり)にしてください。

図15.3 INVC1レジスタ

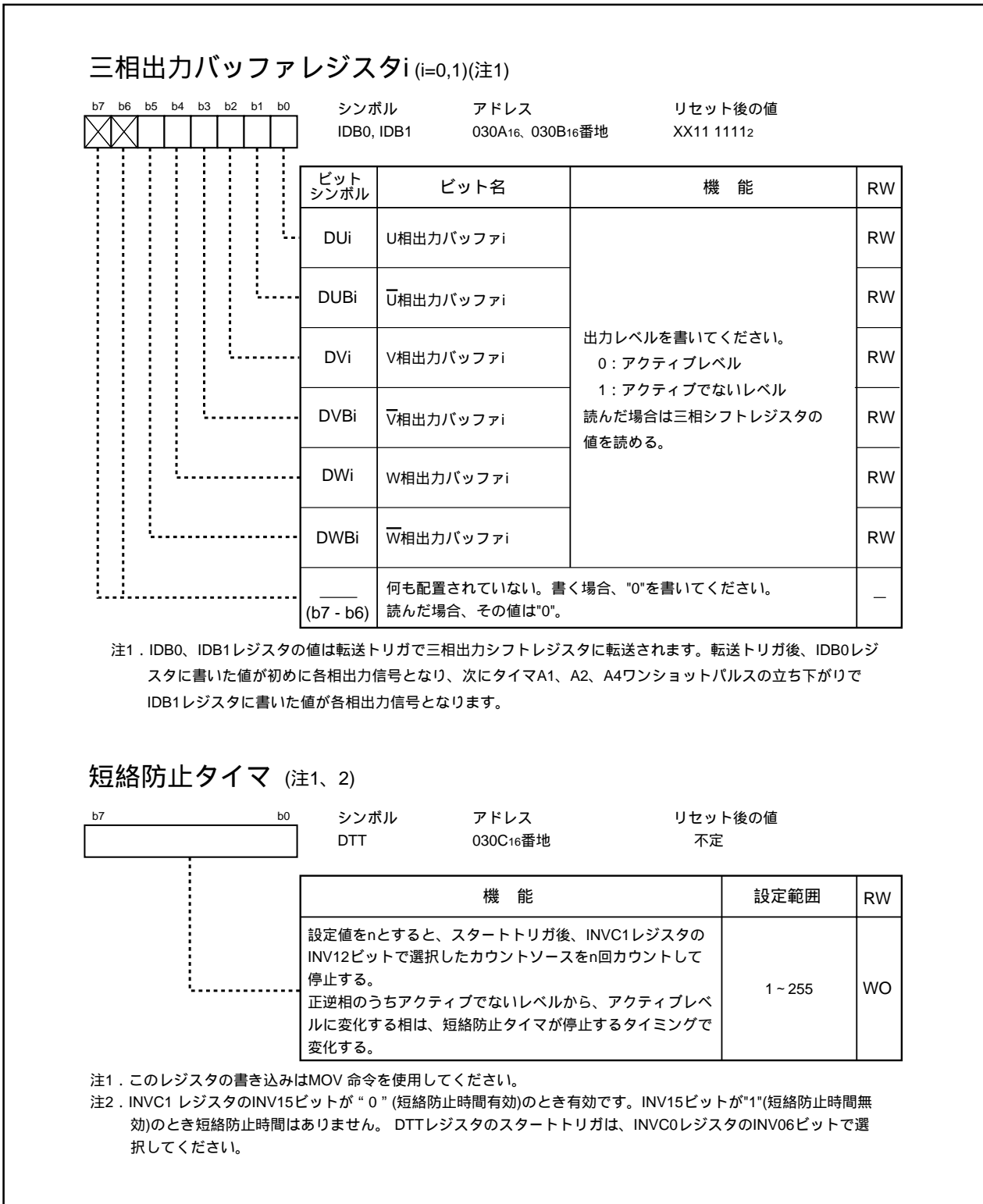


図15.4 IDB0、IDB1レジスタ、DTTレジスタ

タイマB2割り込み発生頻度設定カウンタ (注1、2、3)

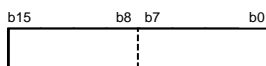


シンボル アドレス リセット後の値
 ICTB2 030D₁₆番地 不定

機 能	設定範囲	RW
INV01ビットが"0"(タイマB2アンダフローごとにICTB2カウンタカウント)の場合、設定値をnとすると、n回目のタイマB2アンダフローごとにタイマB2割り込み要求が発生する。 INV01ビットが"1"(ICTB2カウンタカウントタイミングはINV00ビットで選択)の場合、設定値をnとすると、INV00ビットで選択した条件に合うタイマB2アンダフローがn回発生することにタイマB2割り込み要求が発生する。	1 ~ 15	WO
何も配置されていない。書く場合、"0"を書いてください。		—

- 注1. ICTB2レジスタへは、MOV命令を使用して書いてください。
- 注2. INVC0レジスタのINV01ビットが"1"の場合は、TABSRレジスタのTB2Sビットが"0"(タイマB2カウント停止)のときに書いてください。INV01ビットが"0"の場合は、TB2Sビットが"1"(タイマB2カウント開始)でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。
- 注3. INV00ビットを"1"にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはn回目のタイマB2アンダフローごとに発生します。

タイマAi,Ai-1レジスタ (i=1, 2, 4) (注1、2、3、4、5、6、7)

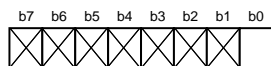


シンボル アドレス リセット後の値
 TA1, TA2, TA4 0349₁₆ - 0348₁₆, 034B₁₆ - 034A₁₆, 034F₁₆ - 034E₁₆番地 不定
 TA11, TA21, TA41 0303₁₆ - 0302₁₆, 0305₁₆ - 0304₁₆, 0307₁₆ - 0306₁₆番地 不定

機 能	設定範囲	RW
設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで正逆相が変化する。	0000 ₁₆ ~ FFFF ₁₆	WO

- 注1. 読み出し、書き込みは16ビット単位で行ってください。
- 注2. これらのレジスタに"0000₁₆"を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。
- 注3. これらのレジスタへの書き込みにはMOV命令を使用してください。
- 注4. INVC1レジスタのINV15ビットが"0"(短絡防止時間有効)の場合、正逆相のうちアクティブでないレベルからアクティブレベルに変化する相は、短絡防止タイマが停止するタイミングで変化します。
- 注5. INV11ビットが"0"(三相モード0)の場合、タイマAiスタートトリガによってTAiレジスタの値がリロードレジスタに転送されます。
 INV11ビットが"1"(三相モード1)の場合、タイマAiスタートトリガによって、まずTAi1レジスタの値が、次のタイマAiスタートトリガ時にTAiレジスタの値がリロードレジスタに転送されます。以降、TAi1レジスタの値とTAiレジスタの値が交互にリロードレジスタに転送されます。
- 注6. タイマB2アンダフローのタイミングで、これらのレジスタへ書かないでください。
- 注7. TAi1レジスタは次の手順で書いてください。
 (1)TAi1レジスタへ値を書く
 (2)タイマAiカウントソースの1サイクル分待つ
 (3)もう一度、TAi1レジスタへ同じ値を書く

タイマB2特殊モードレジスタ



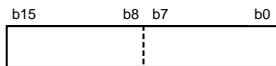
シンボル アドレス リセット後の値
 TB2SC 035E₁₆番地 XXXX XXX0₂

ビットシンボル	ビット名	機 能	RW
PWCON	タイマB2リロードタイミング切替ビット (注1)	0: タイマB2アンダフロー 1: 奇数回目のタイマA出力	RW
— (b7 - b1)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"0"。		—

- 注1. INV11ビットが"0"(三相モード0)、またはINV06ビットが"1"(鋸波変調モード)の場合は、"0"(タイマB2アンダフロー)にしてください。

図15.5 ICTB2レジスタ、TA1、TA2、TA4、TA11、TA21、TA41レジスタ、TB2SCレジスタ

タイマB2レジスタ (注1)

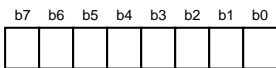


シンボル アドレス リセット後の値
TB2 0355₁₆ - 0354₁₆番地 不定

機 能	設定範囲	RW
設定値をnとすると、カウントソースをn+1分周する。 アンダフローごとに、タイマA1、A2、A4をスタートさせる。	0000 ₁₆ ~ FFFF ₁₆	RW

注1. 読み出し、書き込みは16ビット単位で実行してください。

トリガ選択レジスタ

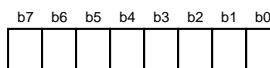


シンボル アドレス リセット後の値
TRGSR 0343₁₆番地 00₁₆

ビット シンボル	ビット名	機 能	RW
TA1TGL	タイマA1イベント/ トリガ選択ビット	V相出力制御回路を使用する場合は、"012" (TB2のアンダフロー)にしてください。	RW
TA1TGH			RW
TA2TGL	タイマA2イベント/ トリガ選択ビット	W相出力制御回路を使用する場合は、"012" (TB2のアンダフロー)にしてください。	RW
TA2TGH			RW
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA2のオーバーフローを選択 (注1) 1 1 : TA4のオーバーフローを選択 (注1)	RW
TA3TGH			RW
TA4TGL			タイマA4イベント/ トリガ選択ビット
TA4TGH	RW		

注1. オーバフローまたはアンダフロー

カウント開始フラグ



シンボル アドレス リセット後の値
TABSR 0340₁₆番地 00₁₆

ビット シンボル	ビット名	機 能	RW
TA0S	タイマA0カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA1S	タイマA1カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA2S	タイマA2カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA3S	タイマA3カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA4S	タイマA4カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB0S	タイマB0カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB1S	タイマB1カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB2S	タイマB2カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW

図15.6 三相モータ制御用タイマ機能時のTB2、TRGSR、TABSRレジスタ

タイマAiモードレジスタ (i=1,2,4)

b7 b6 b5 b4 b3 b2 b1 b0

		0	1	X	1	0	
--	--	---	---	---	---	---	--

シンボル アドレス リセット後の値

TA1MR, TA2MR, TA4MR 0357₁₆, 0358₁₆, 035A₁₆番地 0000 0X002

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	三相モータ制御用タイマ機能では"102"(ワンショットタイマモード)にしてください	RW
TMOD1			RW
— (b2)	何も配置されていない。書く場合、"0"を書いてください。		—
MR1	外部トリガ選択ビット	三相モータ制御用タイマ機能では"0"にしてください。	RW
MR2	トリガ選択ビット	三相モータ制御用タイマ機能では"1" (TRGSRレジスタで選択)にしてください	RW
MR3	三相モータ制御用タイマ機能では"0"にしてください		RW
TCK0	カウントソース 選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n 1 1 : fc32 (注1)	RW
TCK1			RW

注1. TCSPRレジスタのCNT3 ~ CNT0ビットで分周なし(n=0)または2n分周(n=1 ~ 15)を選択できます。

タイマB2モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

		0				0	0
--	--	---	--	--	--	---	---

シンボル アドレス リセット後の値

TB2MR 035D₁₆番地 00XX 00002

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	三相モータ制御用タイマ機能では"002" (タイマモード)にしてください	RW
TMOD1			RW
MR0	三相モータ制御用タイマ機能では無効。 書く場合、"0"を書いてください。読んだ場合、その値は不定。		RW
MR1			RW
MR2	三相モータ制御用タイマ機能では"0"にしてください		RW
MR3	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		—
TCK0	カウントソース 選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n 1 1 : fc32 (注1)	RW
TCK1			RW

注1. TCSPRレジスタのCNT3 ~ CNT0ビットで分周なし(n=0)または2n分周(n=1 ~ 15)を選択できます。

図15.7 三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MRレジスタ、TB2MRレジスタ

INVC0レジスタのINV02ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマB2を搬送波制御に、タイマA4、A1、A2を三相PWM出力(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})の制御に使用します。短絡防止時間は専用の短絡防止タイマで制御します。図15.8に三角波変調波形例を、図15.9に鋸波変調波形例を示します。

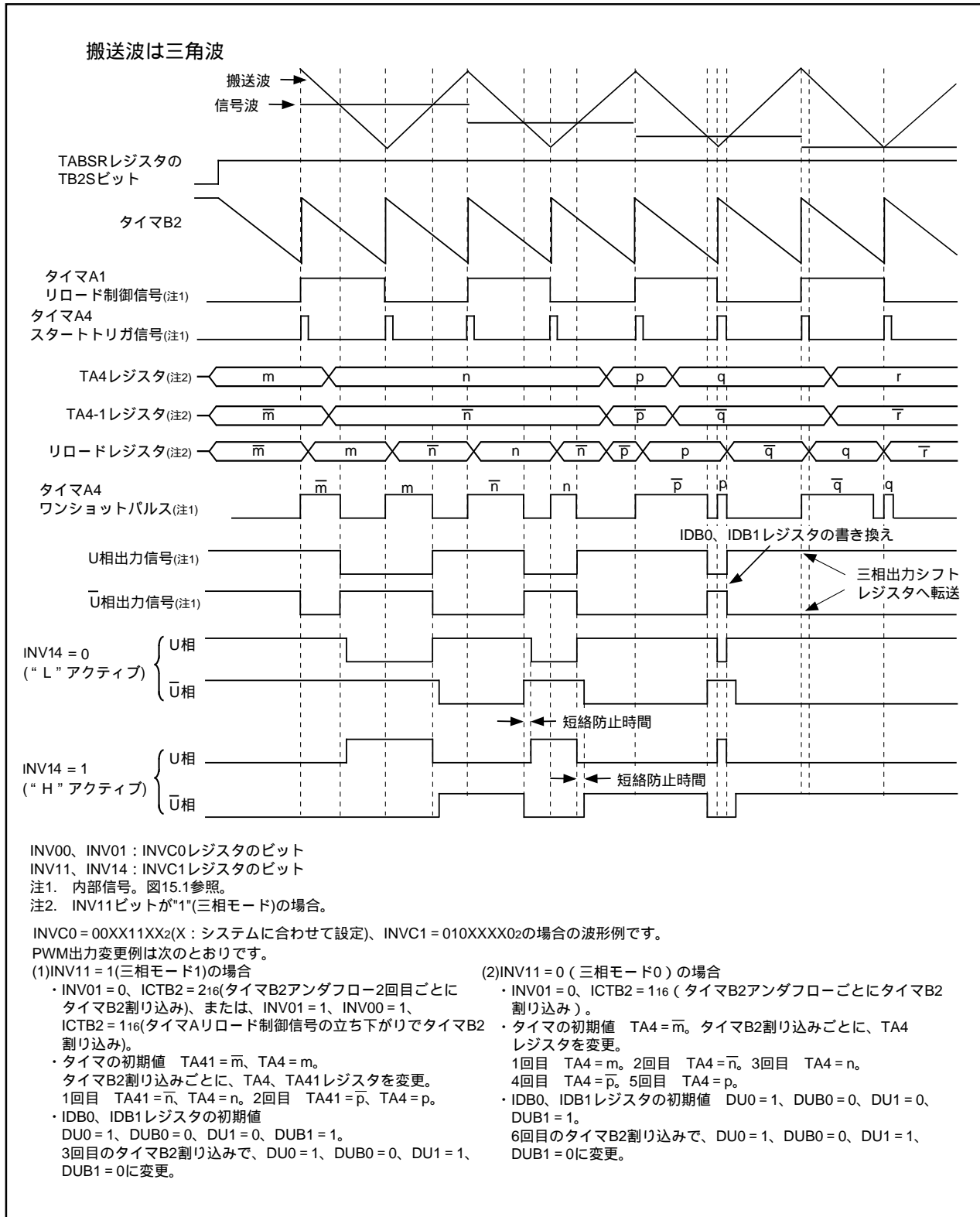


図15.8 三角波変調動作例

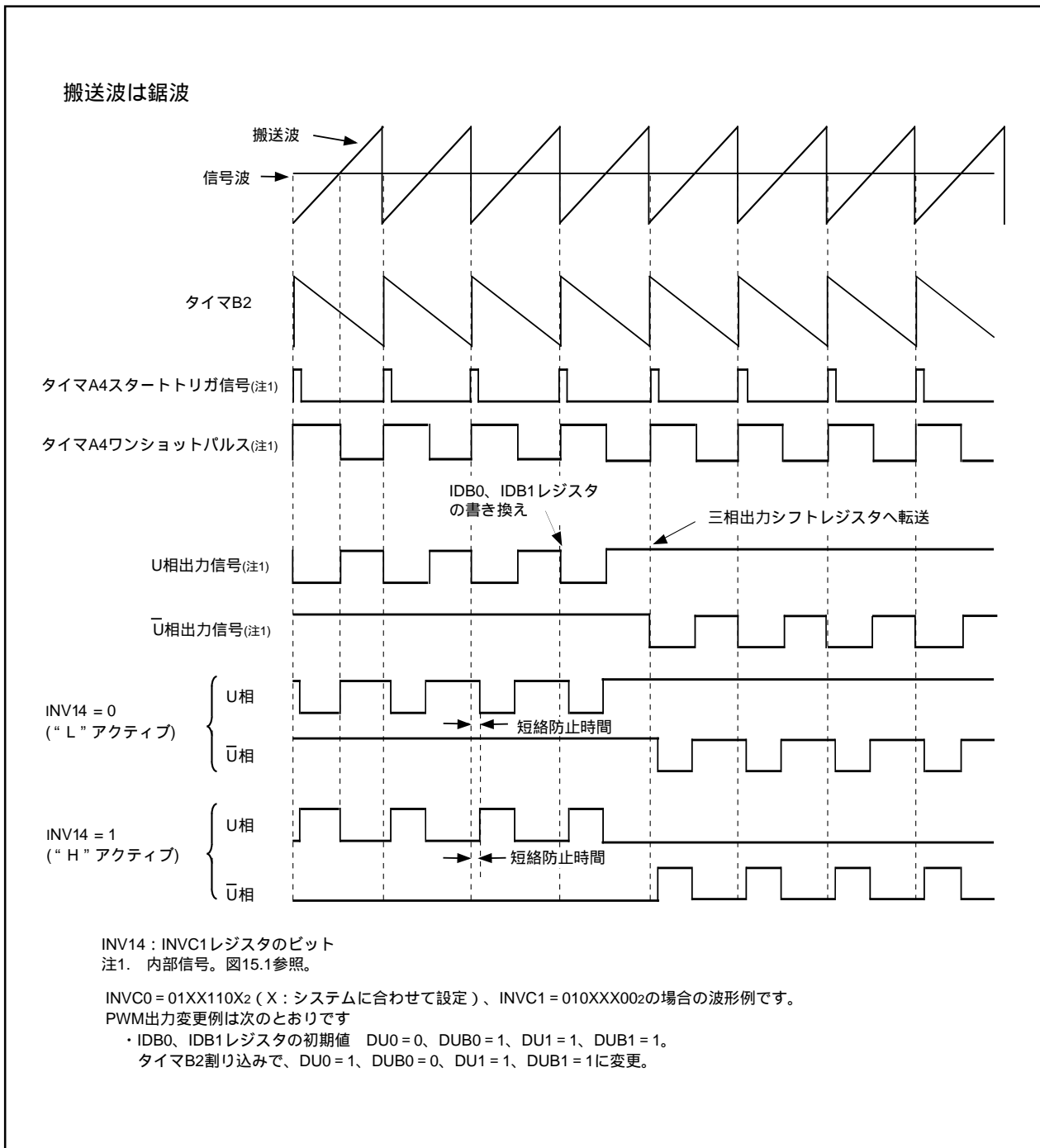


図15.9 鋸波変調動作例

16. シリアルI/O

シリアルI/Oは5チャンネル(UART0~UART4)あります。

UARTi(i=0~4)はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図16.1にUARTiのブロック図を示します。

UARTiには、次のモードがあります。

- ・クロック同期形シリアルI/Oモード
- ・クロック非同期形シリアルI/Oモード (UARTモード)
- ・特殊モード1(I²Cモード)
- ・特殊モード2
- ・特殊モード3(クロック分周同期化機能、GCIモード)
- ・特殊モード4(バス衝突検出機能、IEモード)
- ・特殊モード5(SIMモード)

図16.2~図16.9に、UARTi関連のレジスタを示します。

レジスタの設定、端子の設定はモードごとの表を参照してください。

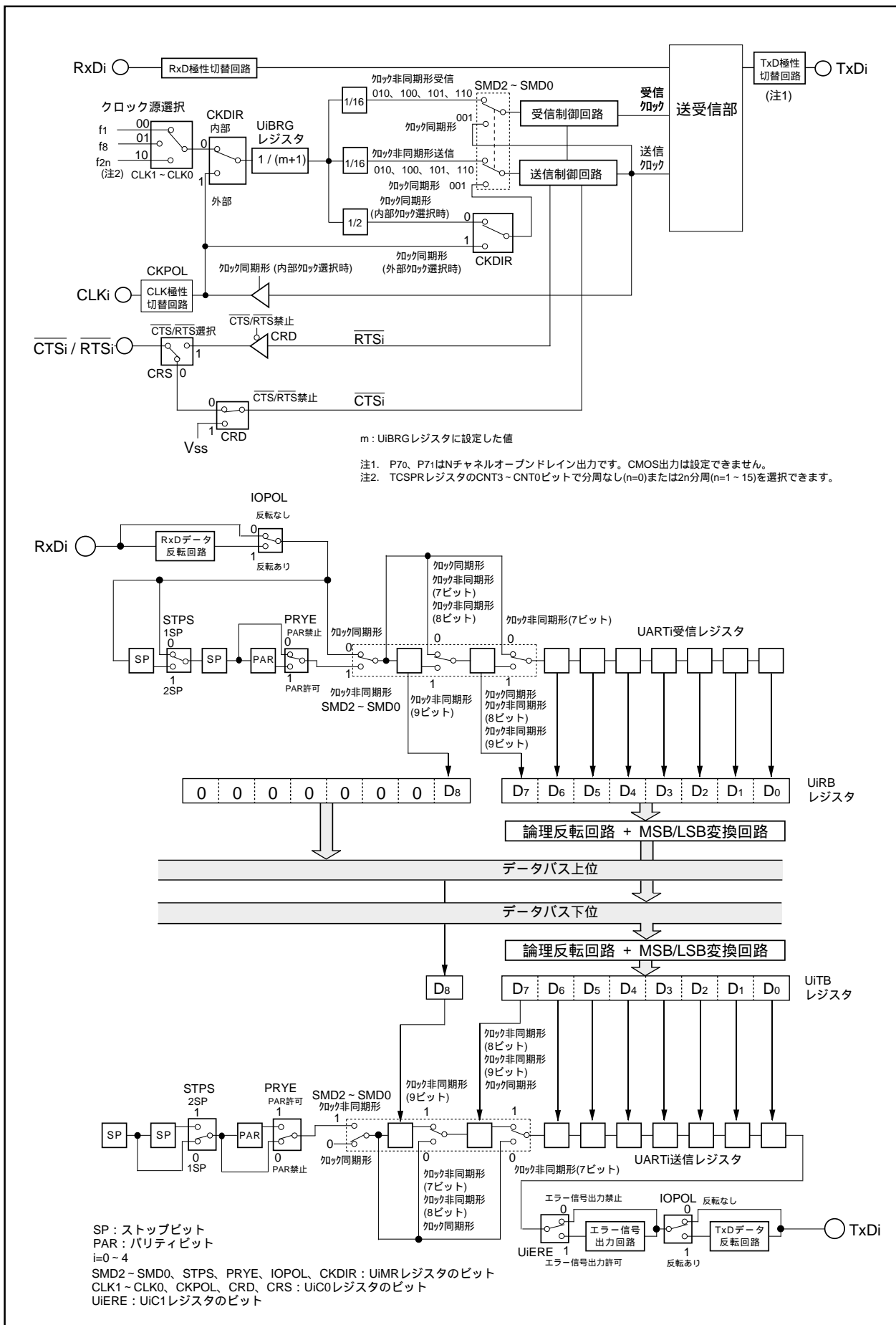


図16.1 UARTiブロック図

UART_i送信バッファレジスタ (i=0~4) (注1)

シンボル	アドレス	リセット後の値
U0TB ~ U2TB	036B ₁₆ - 036A ₁₆ , 02EB ₁₆ - 02EA ₁₆ , 033B ₁₆ - 033A ₁₆ 番地	不定
U3TB, U4TB	032B ₁₆ - 032A ₁₆ , 02FB ₁₆ - 02FA ₁₆ 番地	不定

ビットシンボル	機能	RW
(b7 - b0)	送信データ(D ₇ ~ D ₀)	WO
(b8)	送信データ(D ₈)	WO
(b15 - b9)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。	—

注1. このレジスタはMOV命令を使用して書いてください。

UART_i受信バッファレジスタ (i = 0 ~ 4)

シンボル	アドレス	リセット後の値
U0RB ~ U2RB	036F ₁₆ - 036E ₁₆ , 02EF ₁₆ - 02EE ₁₆ , 033F ₁₆ - 033E ₁₆ 番地	不定
U3RB, U4RB	032F ₁₆ - 032E ₁₆ , 02FF ₁₆ - 02FE ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
(b7 - b0)	—	受信データ(D ₇ ~ D ₀)	RO
(b8)	—	受信データ(D ₈)	RO
(b10 - b9)	—	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。	—
ABT	アービトラージロスト検出フラグ (注1)	0: 未検出(勝) 1: 検出(負)	RW
OER	オーバランエラーフラグ (注2)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ (注2、3)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ (注2、3)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注2、3)	0: エラーなし 1: エラー発生	RO

注1. ABTビットは、"0"のみ書けます。

注2. OER、FER、PER、SUMビットはUiMRレジスタのSMD2~SMD0ビットを"0002"(シリアルI/Oは無効)にしたとき、またはUiC1レジスタのREビットを"0"(受信禁止)にしたとき"0"(エラーなし)になります。SUMビットはOER、FER、PERビットがすべて"0"(エラーなし)になると"0"(エラーなし)になります。また、FER、PERビットはUiRBレジスタの下位バイトを読んだときも、"0"になります。

注3. UiMRレジスタのSMD2~SMD0ビットが"0012"(クロック同期形シリアルI/Oモード)、または"0102"(I²Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定。

図16.2 U0TB ~ U4TBレジスタ、U0RB ~ U4RBレジスタ

UARTi転送速度レジスタ (i=0 ~ 4) (注1、2、3)

b7 [] b0	シンボル U0BRG ~ U4BRG	アドレス 0369 ₁₆ 、02E9 ₁₆ 、0339 ₁₆ 、0329 ₁₆ 、02F9 ₁₆ 番地	リセット後の値 不定
	機 能	設定範囲	RW
	設定値をmとすると、UiBRGはカウントソースをm+1分周する	00 ₁₆ ~ FF ₁₆	WO

注1. このレジスタの書き込みはMOV命令を使用してください。

注2. 送受信停止中に値を書いてください。

注3. このレジスタはUiC0レジスタのCLK1 ~ CLK0ビットを設定した後に書いてください。

UARTi送受信モードレジスタ (i=0 ~ 4)

b7 [] b6 [] b5 [] b4 [] b3 [] b2 [] b1 [] b0 []	シンボル U0MR ~ U4MR	アドレス 0368 ₁₆ 、02E8 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 、02F8 ₁₆ 番地	リセット後の値 00 ₁₆	
	ビット シンボル	ビット名	機 能	RW
	SMD0		b2 b1 b0 0 0 0: シリアルI/Oは無効 0 0 1: クロック同期形シリアルI/Oモード 0 1 0: I ² Cモード 1 0 0: UARTモード転送データ長7ビット 1 0 1: UARTモード転送データ長8ビット 1 1 0: UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
	SMD1	シリアルI/Oモード 選択ビット		RW
	SMD2			RW
	CKDIR	内/外部クロック 選択ビット	0: 内部クロック 1: 外部クロック	RW
	STPS	ストップビット長 選択ビット	0: 1ストップビット 1: 2ストップビット	RW
	PRY	パリティ奇/偶数選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
	IOPOL	TxD,RxD入出力極性 切り替えビット	0: 反転なし 1: 反転あり	RW

図16.3 U0BRG ~ U4BRGレジスタ、U0MR ~ U4MRレジスタ

UART_i送受信制御レジスタ0 (i=0~4)

b7	b6	b5	b4	b3	b2	b1	b0			
								シンボル	アドレス	リセット後の値
								U0C0 ~ U4C0	036C ₁₆ , 02EC ₁₆ , 033C ₁₆ , 032C ₁₆ , 02FC ₁₆ 番地	0000 1000 ₂

ビットシンボル	ビット名	機能	RW
CLK0	UiBRGカウン ソース選択ビット (注4)	b1 b0 0 0 : f ₁ を選択 0 1 : f ₈ を選択 1 0 : f _{2n} を選択 (注2) 1 1 : 設定しないでください	RW
CLK1		RW	
CRS	CTS/RTS機能 選択ビット	CRD=0のとき有効 0 : CTS機能を選択 1 : RTS機能を選択	RW
TXEPT	送信レジスタ 空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	RO
CRD	CTS/RTS禁止 ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止	RW
NCH	データ出力選択 ビット (注1)	0 : TxDi/SDAi端子、SCLi端子はCMOS出力 1 : TxDi/SDAi端子、SCLi端子はNチャネル オープンドレイン出力	RW
CKPOL	CLK極性選択 ビット	0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データの入力 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データの入力	RW
UFORM	転送フォーマット 選択ビット (注3)	0 : LSBファースト 1 : MSBファースト	RW

注1 . P7₀/TxD2、P7₁/SCL2はNチャネルオープンドレイン出力です。CMOS出力は設定できません。

注2 . TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を設定し、CSTビットを“1”
(分周器動作)にした後、CLK1~CLK0ビットを“10₂”(f_{2n}を選択)にしてください。

注3 . UiMRレジスタのSMD2~SMD0ビットが“001₂”(クロック同期形シリアルI/Oモード)、または“101₂”(UARTモード転送
データ長8ビット)のとき有効です。
SMD2~SMD0ビットが“010₂”(I²Cモード)のときは“1”に、“100₂”(UARTモード転送データ長7ビット)または“110₂”
(UARTモード転送データ長9ビット)のときは“0”にしてください。

注4 . CLK1~CLK0ビットを変更した場合は、UiBRGレジスタを設定してください。

図16.4 U0C0 ~ U4C0レジスタ

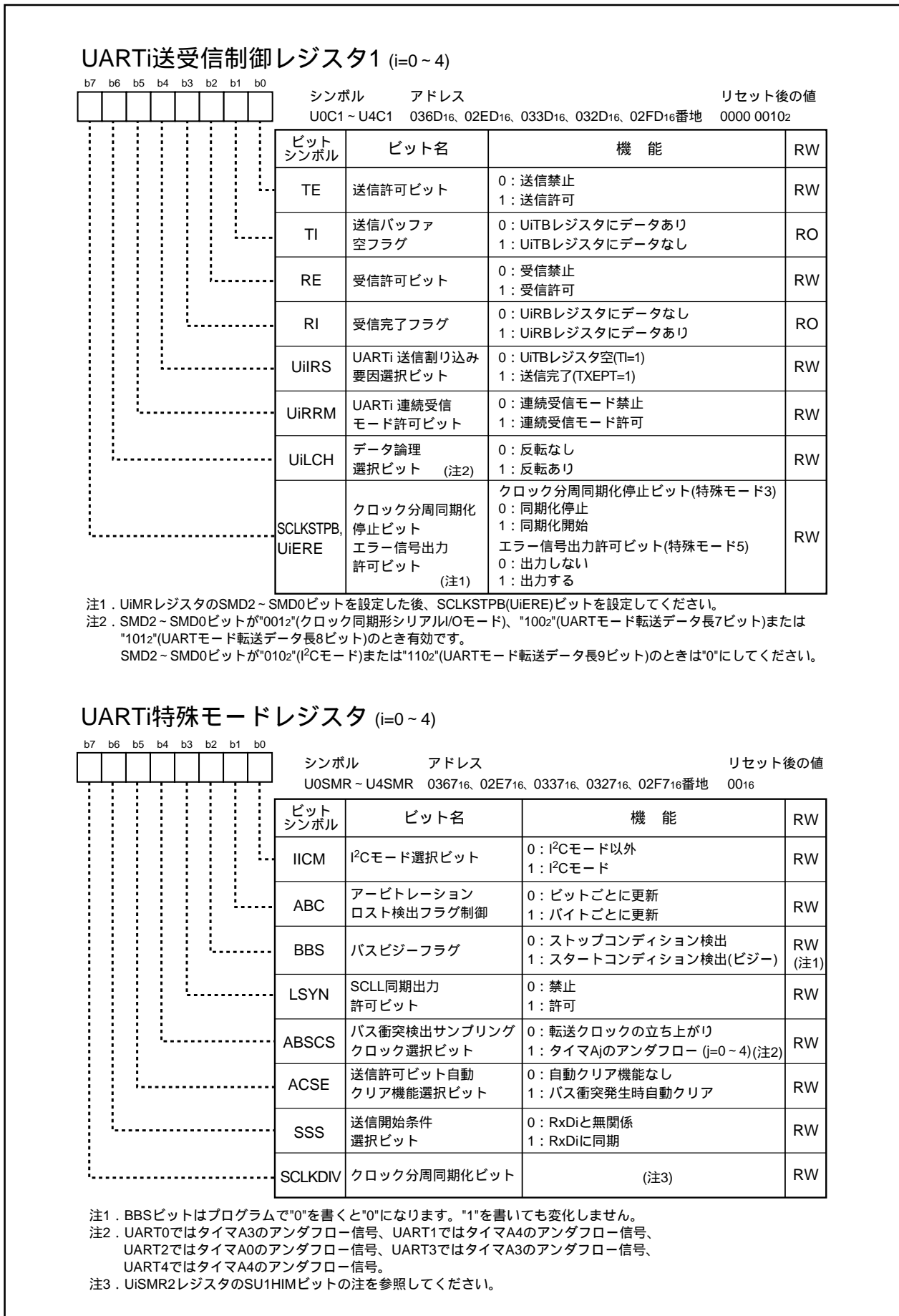


図16.5 U0C1 ~ U4C1レジスタ、U0SMR ~ U4SMRレジスタ

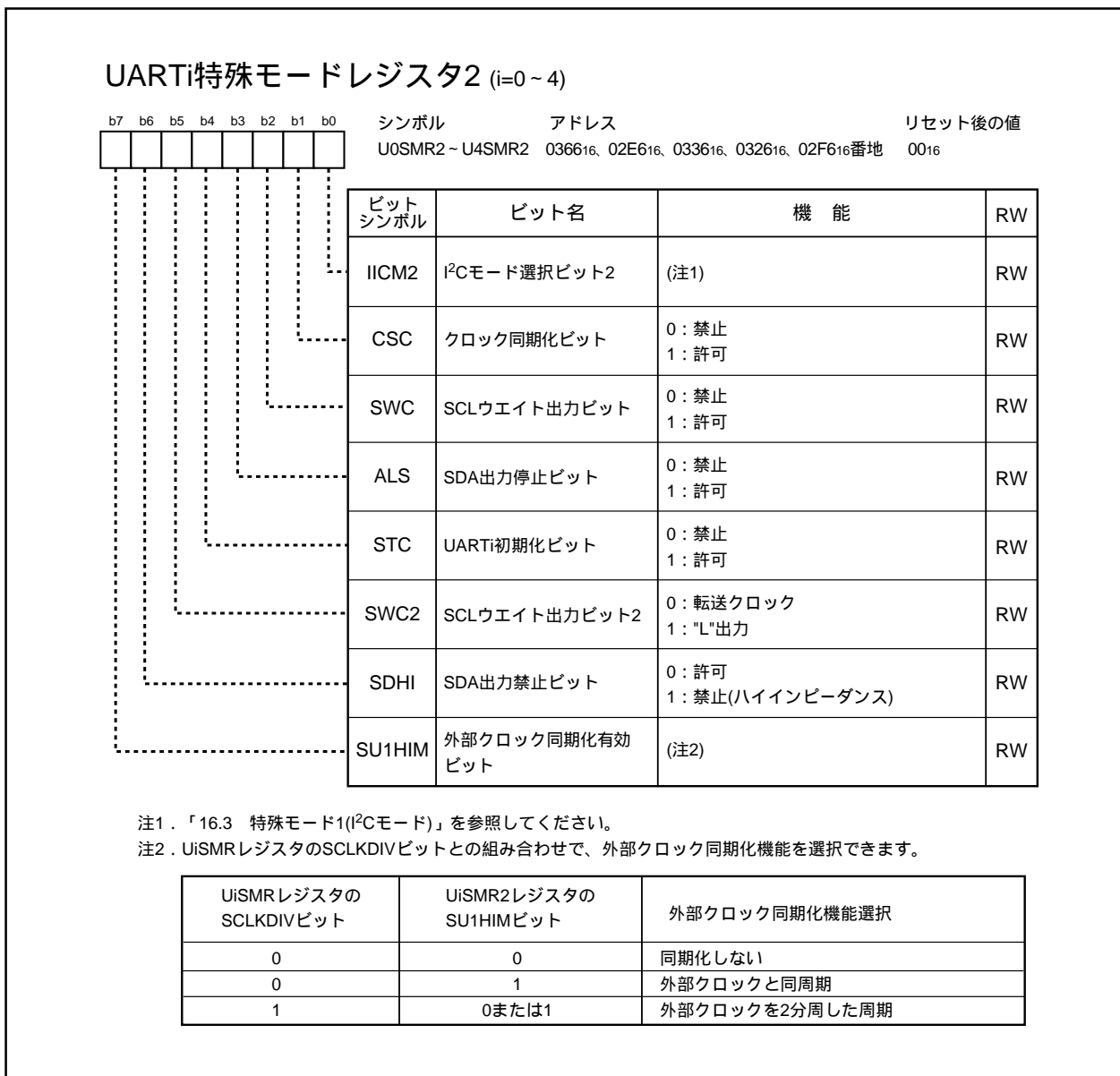


図16.6 U0SMR2 ~ U4SMR2レジスタ

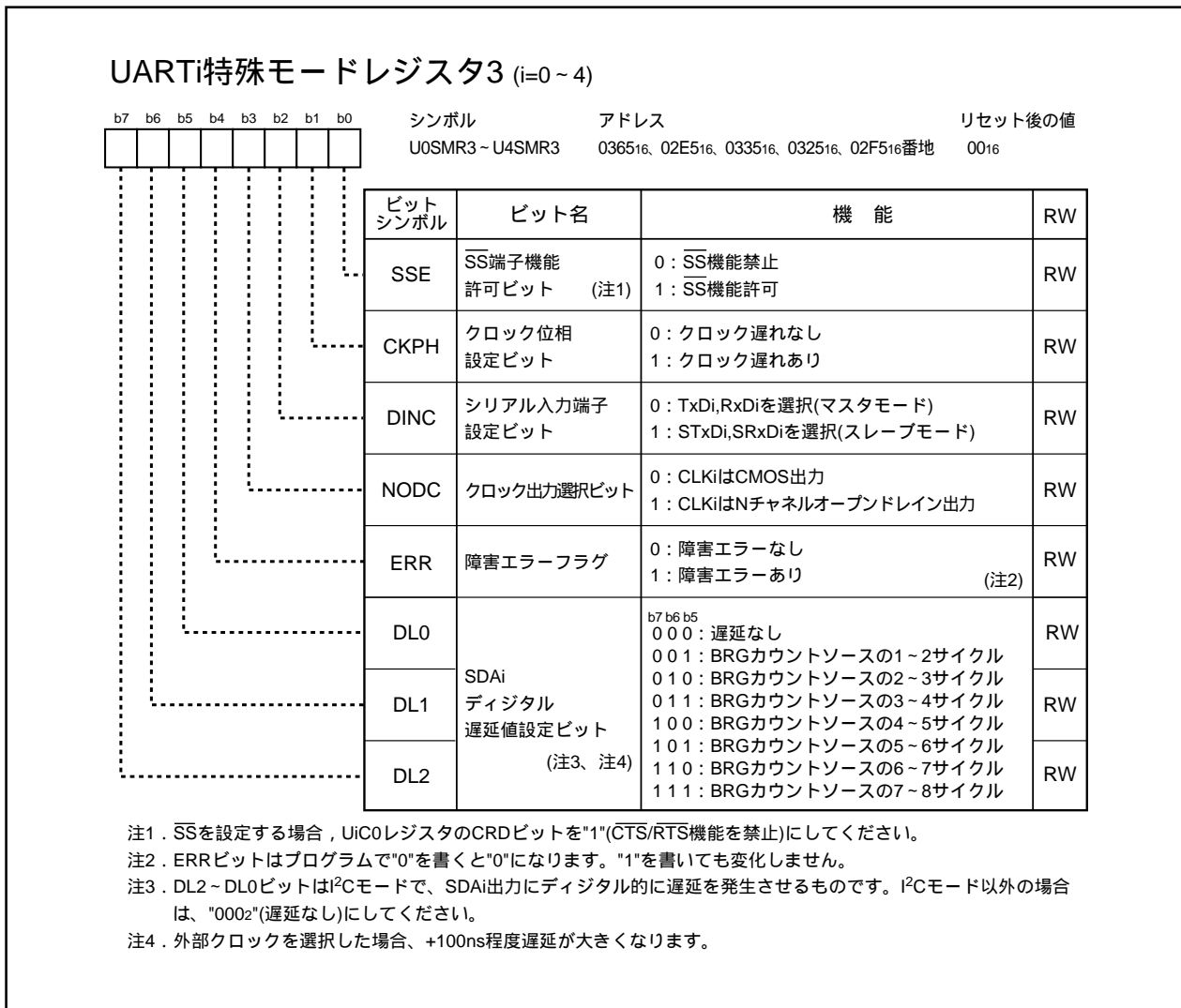


図16.7 U0SMR3 ~ U4SMR3レジスタ

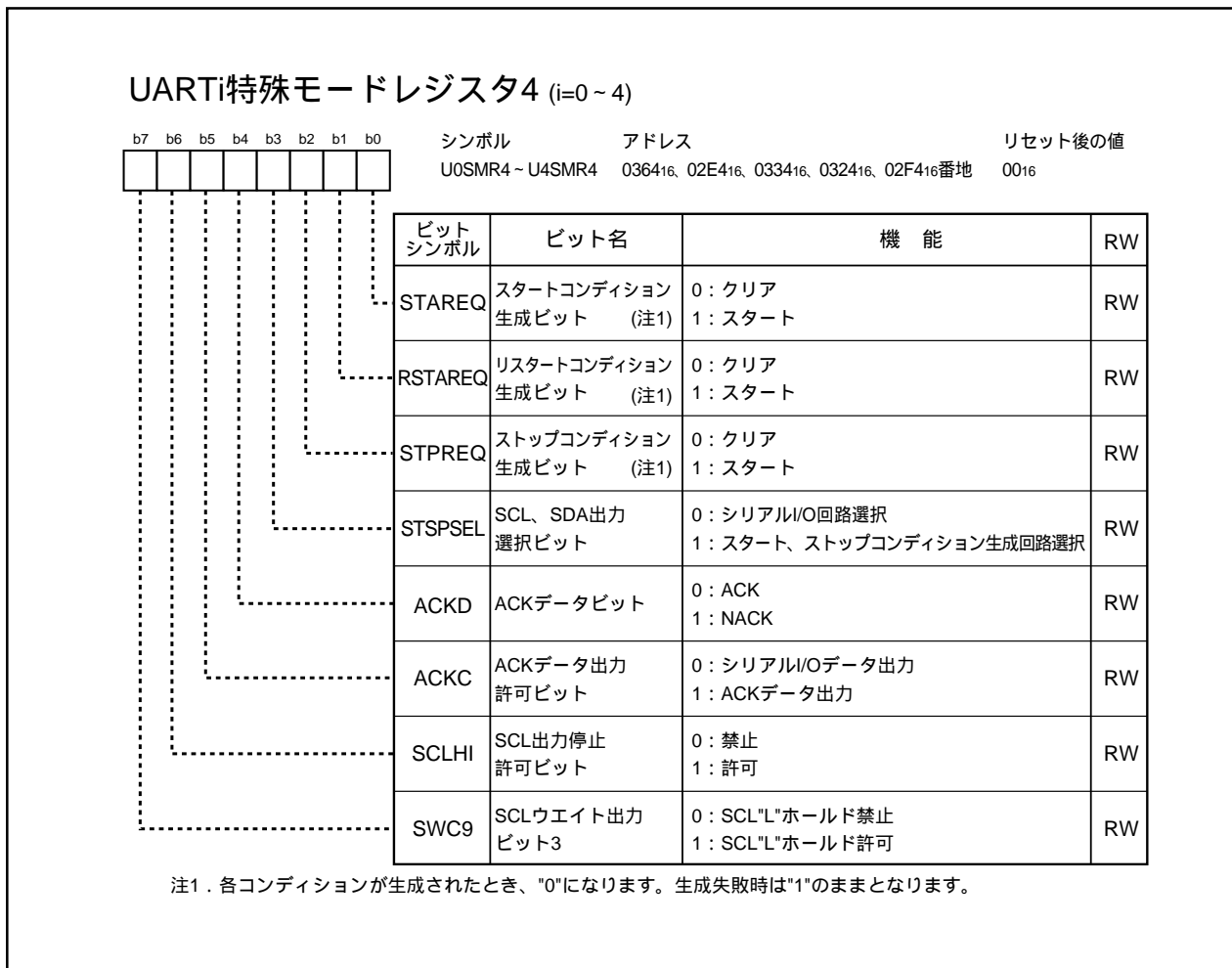


図16.8 U0SMR4 ~ U4SMR4レジスタ

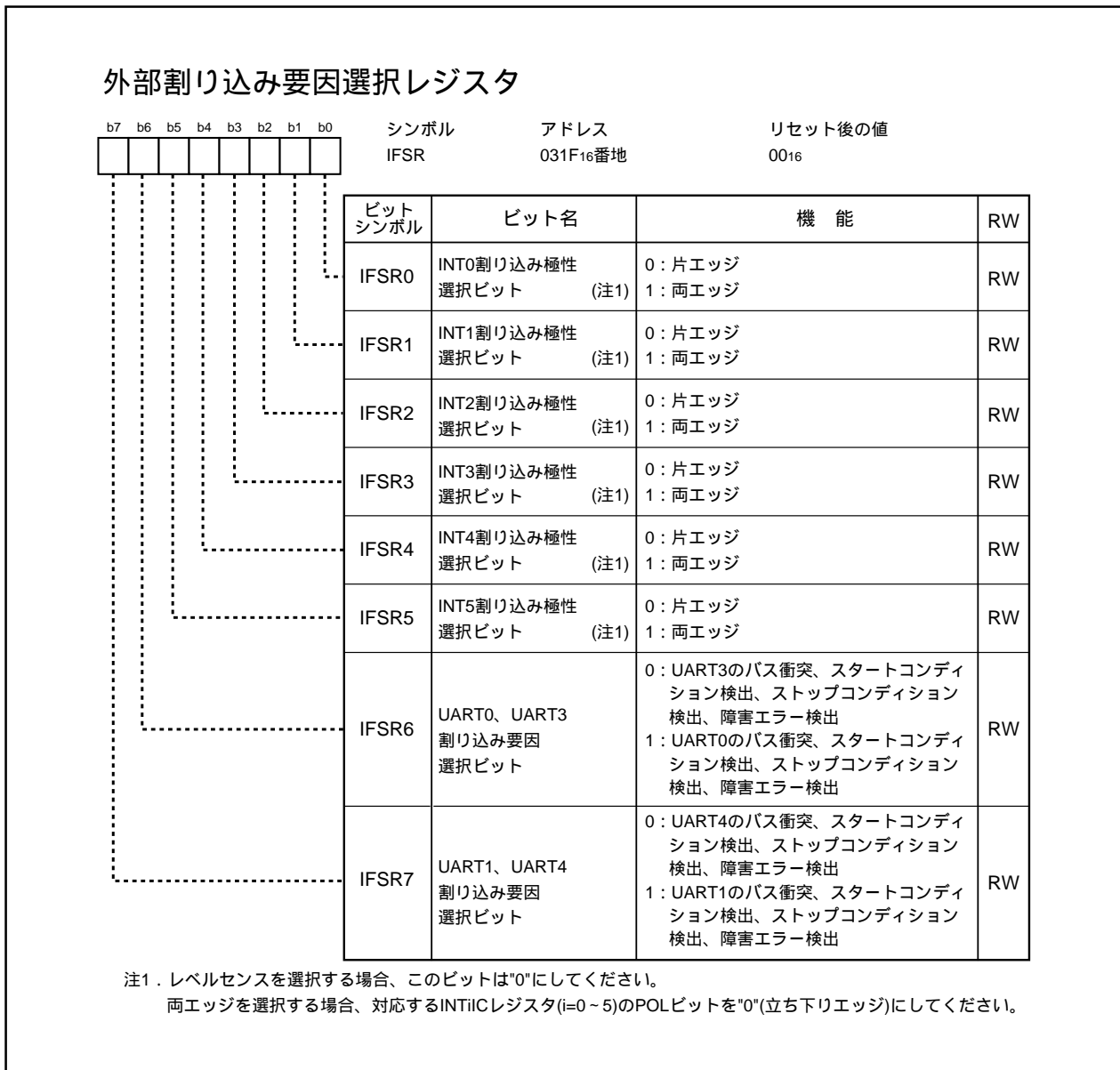


図16.9 IFSRレジスタ

16.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表16.1にクロック同期形シリアルI/Oモードの仕様を、表16.2に使用レジスタと設定値を、表16.3～表16.5に端子の設定を示します。なお、UARTi(i=0～4)の動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図16.10にクロック同期形シリアルI/Oモード時の送信、受信タイミングを示します。

表16.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> • UiMRレジスタ(i=0～4)のCKDIRビットが“0”(内部クロック選択)：$\frac{f_j}{2(m+1)}$ fj=f1, f8, f2n(注1) m: UiBRGレジスタ設定値 0016～FF16 • CKDIRビットが“1”(外部クロック選択)：CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	送信開始には次の条件が必要です(注2) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • CTS機能選択時、CTS端子入力が“L”
受信開始条件	受信開始には、次の条件が必要です(注2) <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • TEビットが“1”(送信許可) • TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> • UiC1レジスタのUiIRSビットが“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 受信時 • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注3) UiRBレジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生
選択機能	<ul style="list-style-type: none"> • CLK極性選択 転送データの出力と入力のタイミングは、転送クロックの立ち上がりまたは立ち下がりを選択可 • LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • 連続受信モード選択 UiRBレジスタを読む動作により、同時に受信許可状態になる。 • シリアルデータ論理切り替え 送受信データの理論値を反転する機能。

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

注2. 外部クロック選択時、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データの入力)の場合はCLKi端子が“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データの入力)の場合はCLKi端子が“L”の状態、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表16.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データが読めず
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“0012” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
UiC0	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	SCLKSTPB	“0” にしてください
UiSMR	0~7	“0016” にしてください
UiSMR2	0~7	“0016” にしてください
UiSMR3	0~2	“0002” にしてください
	NODC	クロック出力形式を選択してください
	4~7	“00002” にしてください
UiSMR4	0~7	“0016” にしてください

i = 0 ~ 4

表16.3 クロック同期形シリアルI/Oモード時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P60	CTS0入力	PS0_0=0	-	PD6_0=0
	RTS0出力	PS0_0=1	-	-
P61	CLK0入力	PS0_1=0	-	PD6_1=0
	CLK0出力	PS0_1=1	-	-
P62	RxD0入力	PS0_2=0	-	PD6_2=0
P63	TxD0出力	PS0_3=1	-	-
P64	CTS1入力	PS0_4=0	-	PD6_4=0
	RTS1出力	PS0_4=1	PSL0_4=0	-
P65	CLK1入力	PS0_5=0	-	PD6_5=0
	CLK1出力	PS0_5=1	-	-
P66	RxD1入力	PS0_6=0	-	PD6_6=0
P67	TxD1出力	PS0_7=1	-	-

表16.4 クロック同期形シリアルI/Oモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
	CLK2出力	PS1_2=1	PSL1_2=0	PSC_2=0	-
P73	CTS2入力	PS1_3=0	-	-	PD7_3=0
	RTS2出力	PS1_3=1	PSL1_3=0	PSC_3=0	-

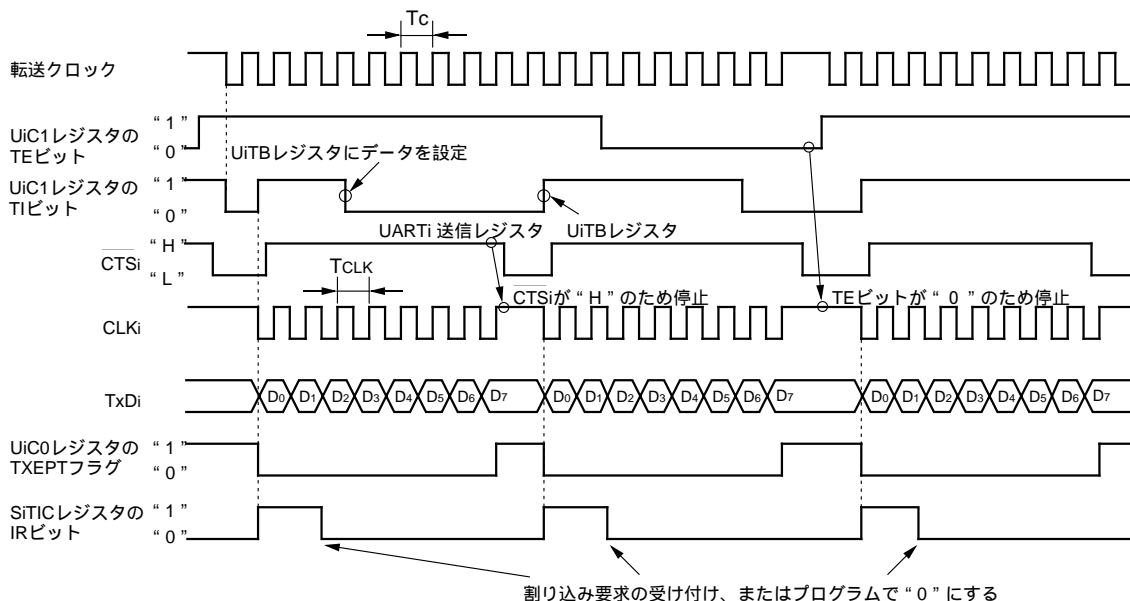
注1.出力はNチャンネルオープンドレイン出力

表16.5 クロック同期形シリアルI/Oモード時の端子の設定(3)

ポート名	機能	ビットと設定値		
		PS3レジスタ(注1)	PSL3レジスタ	PD9レジスタ(注1)
P90	CLK3入力	PS3_0=0	-	PD9_0=0
	CLK3出力	PS3_0=1	-	-
P91	RxD3入力	PS3_1=0	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-
P93	CTS3入力	PS3_3=0	PSL3_3=0	PD9_3=0
	RTS3出力	PS3_3=1	-	-
P94	CTS4入力	PS3_4=0	PSL3_4=0	PD9_4=0
	RTS4出力	PS3_4=1	-	-
P95	CLK4入力	PS3_5=0	PSL3_5=0	PD9_5=0
	CLK4出力	PS3_5=1	-	-
P96	TxD4出力	PS3_6=1	-	-
P97	RxD4入力	PS3_7=0	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

(1) 送信タイミング例(内部クロック選択時)



この図は次の設定条件の場合です。

- ・ UIMRレジスタのCKDIRビット = 0(内部クロック選択)
- ・ UIC0レジスタのCRDビット = 0(RTS/CTS機能許可)、CRSビット = 0(CTS機能選択)
- ・ UIC0レジスタのCKPOLビット = 0(転送クロックの立ち下がりでの送信データ出力)
- ・ UIC1レジスタのUiIRSビット = 0(UiTBレジスタ空で割り込み要求発生)

$$Tc = 2(m+1) / fj$$

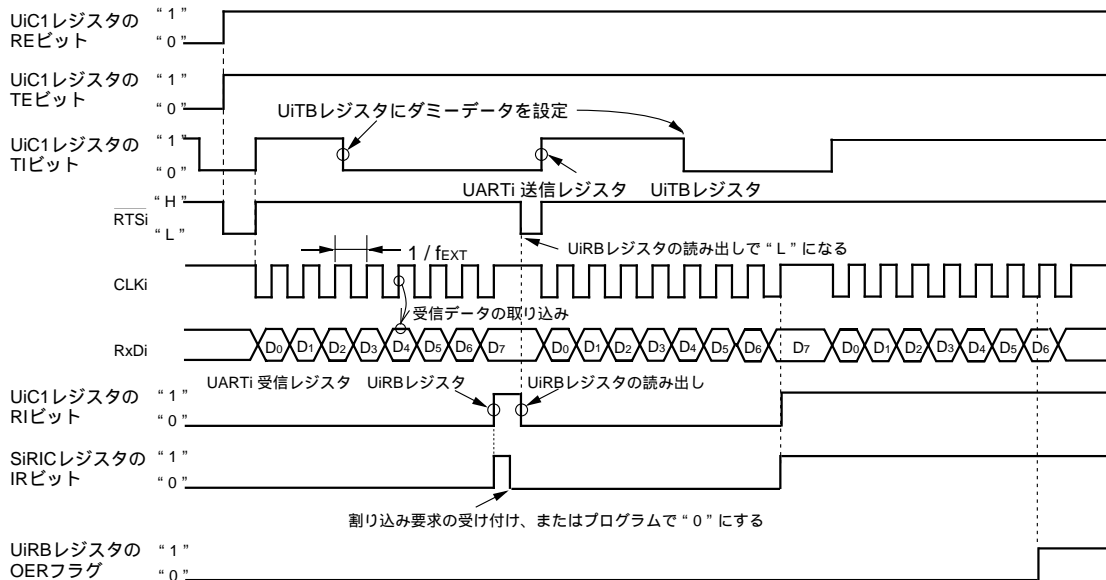
fj : UiBRGカウントソースの周波数
(f1, f8, f2n^(注1))

m : UiBRGレジスタに設定した値

i = 0 ~ 4

注1. TCSPRレジスタのCNT3 ~ CNT0ビットで分周なし(n=0)または2n分周(n=1 ~ 15)を選択できます。

(2) 受信タイミング例(外部クロック選択時)



この図は次の設定条件の場合です。

- ・ UIMRレジスタのCKDIRビット = 1(外部クロック選択)
- ・ UIC0レジスタのCRDビット = 0(RTS/CTS機能許可)、CRSビット = 1(RTS機能選択)
- ・ UIC0レジスタのCKPOLビット = 0(転送クロックの立ち上がりでの受信データ入力)

fEXT : 外部クロックの周波数

i = 0 ~ 4

データ受信前のCLKi端子の入力が“H”のときに、次の条件が揃うようにしてください。

- ・ UIC1レジスタのTEビット = 1(送信許可)
- ・ UIC1レジスタのREビット = 1(受信許可)
- ・ UiTBレジスタへのダミーデータの書き込み

図16.10 クロック同期形シリアルI/Oモード時の送信、受信動作例

16.1.1 CLK極性選択

図16.11に示すように、UiC0レジスタ(i=0~4)のCKPOLビットで転送クロックの極性を選択できます。

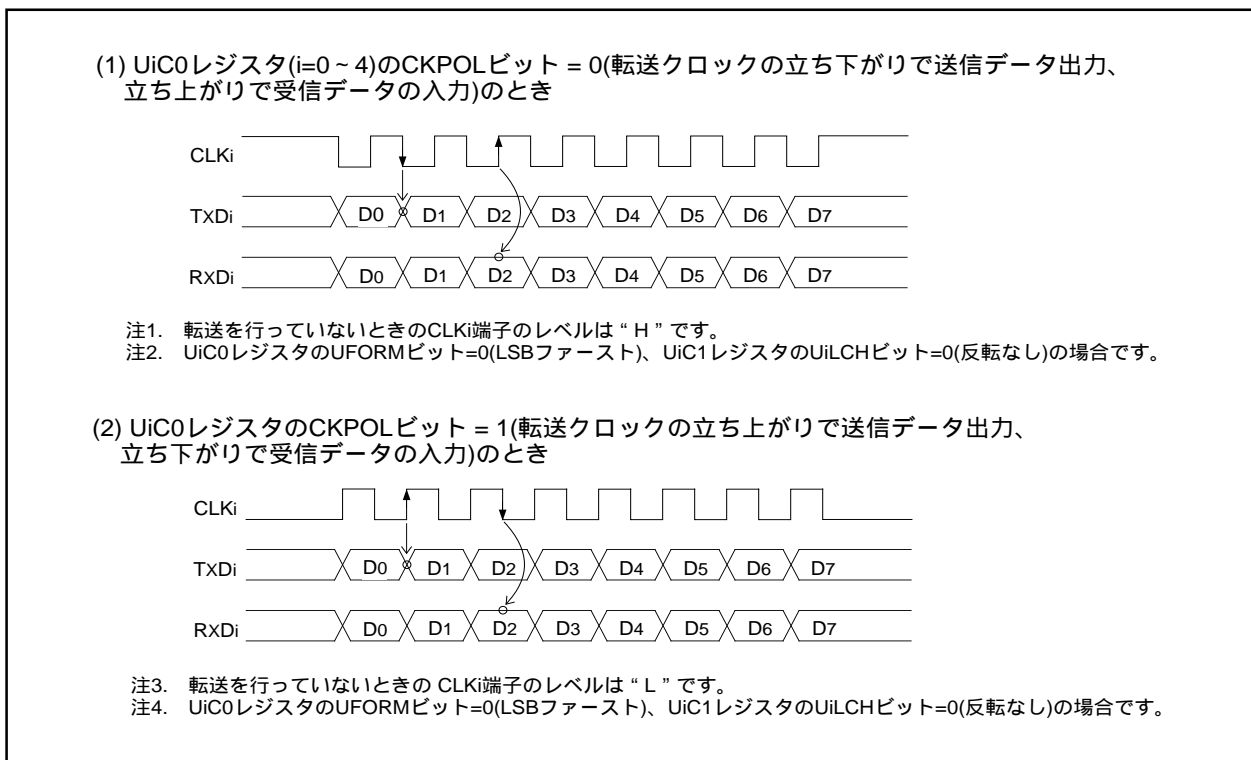


図16.11 転送クロックの極性

16.1.2 LSBファースト、MSBファースト選択

図16.12に示すように、UiC0レジスタ(i=0~4)のUFORMビットで転送フォーマットを選択できます。

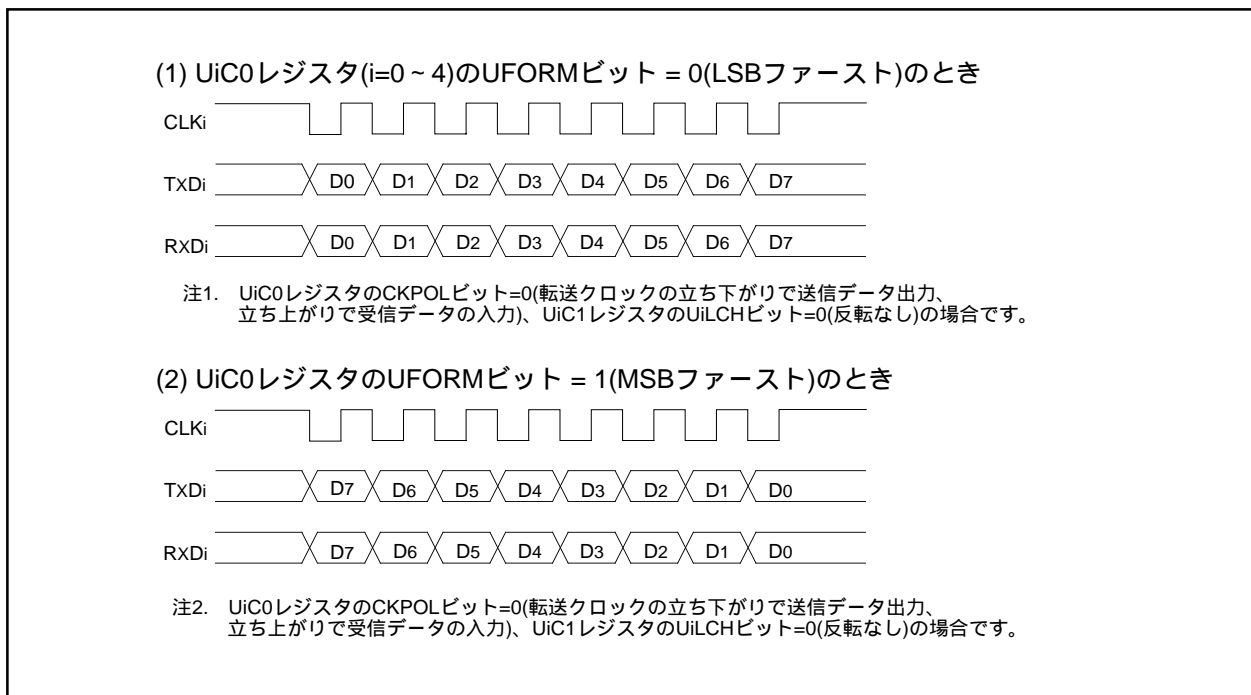


図16.12 転送フォーマット

16.1.3 連続受信モード

UiC1レジスタ(i=0~4)のUiRRMビットを“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”のときは、プログラムでUiTBレジスタにダミーデータを設定しないでください。

16.1.4 シリアルデータ論理切り替え

UiC1レジスタのUiLCHビットが“1”(反転あり)の場合、送信時にUiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図16.13にシリアルデータ論理を示します。

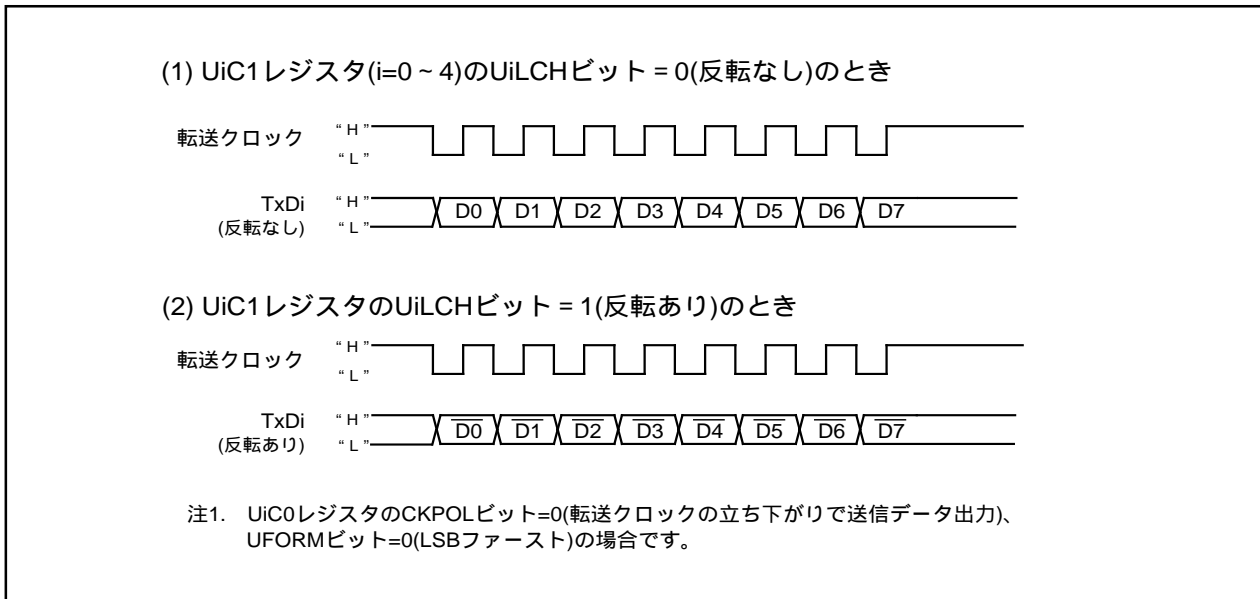


図16.13 シリアルデータ論理切り替えの動作例

16.2 クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表16.6にUARTモードの仕様を示します。

表16.6 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ・キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、なし 選択可 ・ストップビット 1ビット、2ビット 選択可
転送クロック	<ul style="list-style-type: none"> ・UiMRレジスタ(i=0~4)のCKDIRビットが“0”(内部クロック選択)の場合 $f_j/16(m+1)$ $f_j=f_1、f_8、f_{2n}$(注1) $m:UiBRG$レジスタ設定値 0016~FF16 ・CKDIRビットが“1”(外部クロック選択)の場合 $f_{EXT}/16(m+1)$ $f_{EXT}:CLK_i$端子入力クロック
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	<p>送信開始には次の条件が必要です</p> <ul style="list-style-type: none"> ・UiC1レジスタのTEビットは“1”(送信許可) ・UiC1レジスタのTIビットは“0”(UiTBレジスタにデータあり) ・CTS機能選択時、CTS_i端子に“L”を入力
受信開始条件	<p>受信開始には次の条件が必要です</p> <ul style="list-style-type: none"> ・UiC1レジスタのREビットは“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング	<p>送信時、次の条件のいずれかを選択できます</p> <ul style="list-style-type: none"> ・UiC1レジスタのUiIRSビットが“0”(UiTBレジスタ空): UiTBレジスタからUART_i送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了): UART_i送信レジスタからデータ送信完了時 受信時 UART_i受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ・オーバーランエラー(注2) UiRBレジスタを読む前に次のデータの最終ストップビットの1つ前のビットを受信すると発生 (2ストップビット選択時は1ストップビット目) ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ・エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	<ul style="list-style-type: none"> ・LSBファースト、MSBファースト 選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 ・シリアルデータ論理切り替え 送受信データの論理値を反転する機能。スタートビットとストップビットは反転しない。 ・TxD、RxD入出力極性切り替え TxD端子出力とRxD端子入力のレベルを反転する機能。入出力するデータのレベルがすべて反転する。

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注2. オーバーランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表16.7に、使用レジスタと設定値を、表16.8～表16.10にUARTモード時の端子の設定を示します。なお、UART_i(*i*=0～4)の動作モード選択後、転送開始まではTxDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図16.14にUARTモード時の送信動作例を、図16.15にUARTモード時の受信動作例を示します。

表16.7 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0～8	送信データを設定してください ^(注1)
UiRB	0～8	受信データが読めます ^(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR	SMD2～SMD0	転送データが7ビットの場合、“1002”にしてください
		転送データが8ビットの場合、“1012”にしてください
		転送データが9ビットの場合、“1102”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TxD/RxD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。転送データ長7ビットまたは9ビット時は“0”にしてください
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	UiIRS	UART _i 送信割り込み要因を選択してください
	UiRRM	“0”にしてください
	UiLCH	転送データ長7ビットまたは8ビット時、データ論理反転をする、しないを選択できます。転送データ長9ビット時は“0”にしてください
	UiERE	“0”または“1”を選択してください
UiSMR	0～7	“00 ₁₆ ”にしてください
UiSMR2	0～7	“00 ₁₆ ”にしてください
UiSMR3	0～7	“00 ₁₆ ”にしてください
UiSMR4	0～7	“00 ₁₆ ”にしてください

注1．使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

表16.8 UARTモード時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P60	CTS0入力	PS0_0=0	-	PD6_0=0
	RTS0出力	PS0_0=1	-	-
P61	CLK0入力	PS0_1=0	-	PD6_1=0
P62	RxD0入力	PS0_2=0	-	PD6_2=0
P63	TxD0出力	PS0_3=1	-	-
P64	CTS1入力	PS0_4=0	-	PD6_4=0
	RTS1出力	PS0_4=1	PSL0_4=0	-
P65	CLK1入力	PS0_5=0	-	PD6_5=0
P66	RxD1入力	PS0_6=0	-	PD6_6=0
P67	TxD1出力	PS0_7=1	-	-

表16.9 UARTモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70 (注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
P73	CTS2入力	PS1_3=0	-	-	PD7_3=0
	RTS2出力	PS1_3=1	PSL1_3=0	PSC_3=0	-

注1.出力はNチャンネルオープンドレイン出力

表16.10 UARTモード時の端子の設定(3)

ポート名	機能	ビットと設定値		
		PS3レジスタ(注1)	PSL3レジスタ	PD9レジスタ(注1)
P90	CLK3入力	PS3_0=0	-	PD9_0=0
P91	RxD3入力	PS3_1=0	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-
P93	CTS3入力	PS3_3=0	PSL3_3=0	PD9_3=0
	RTS3出力	PS3_3=1	-	-
P94	CTS4入力	PS3_4=0	PSL3_4=0	PD9_4=0
	RTS4出力	PS3_4=1	-	-
P95	CLK4入力	PS3_5=0	PSL3_5=0	PD9_5=0
P96	TxD4出力	PS3_6=1	-	-
P97	RxD4入力	PS3_7=0	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

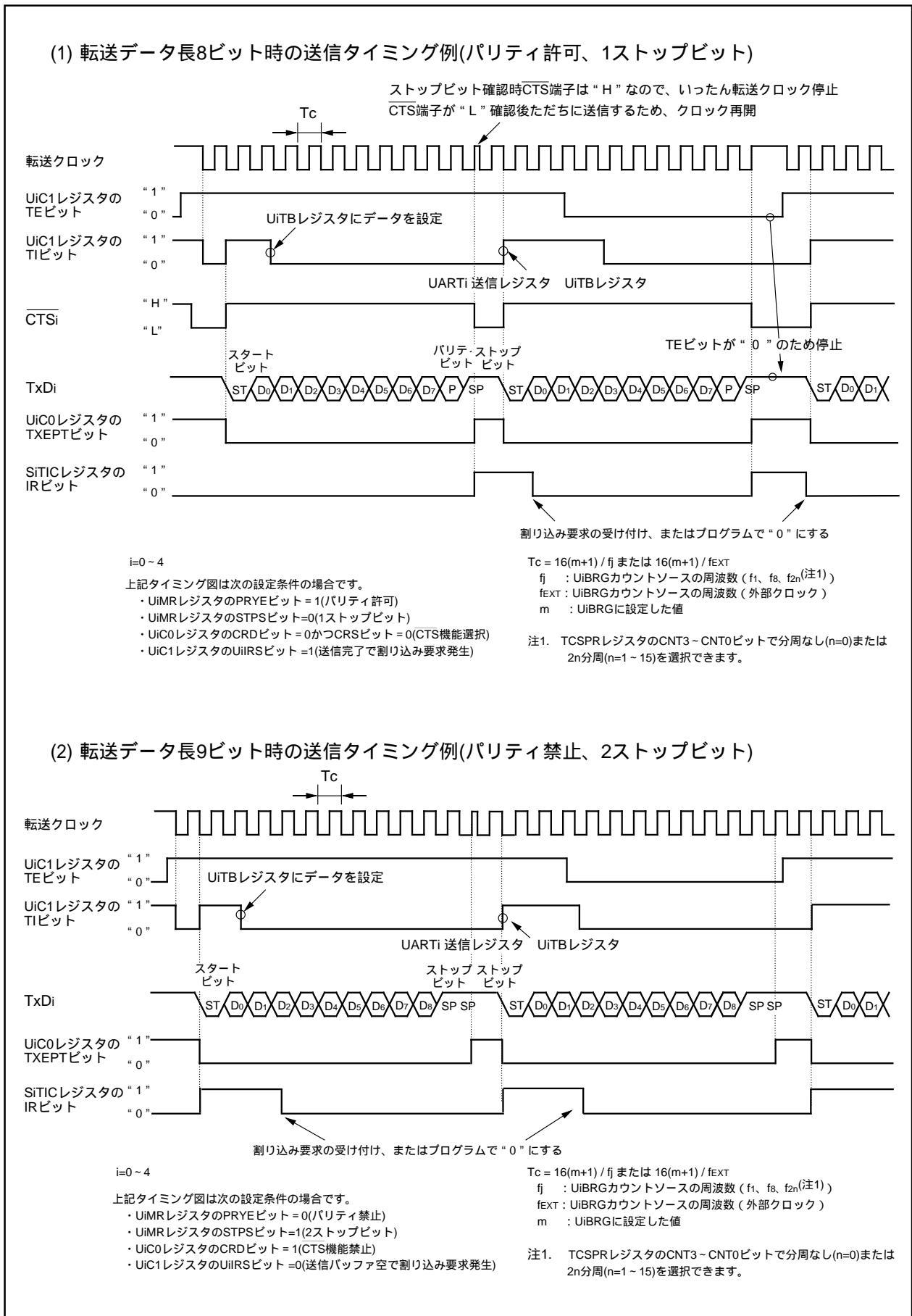


図16.14 UARTモード時の送信動作例

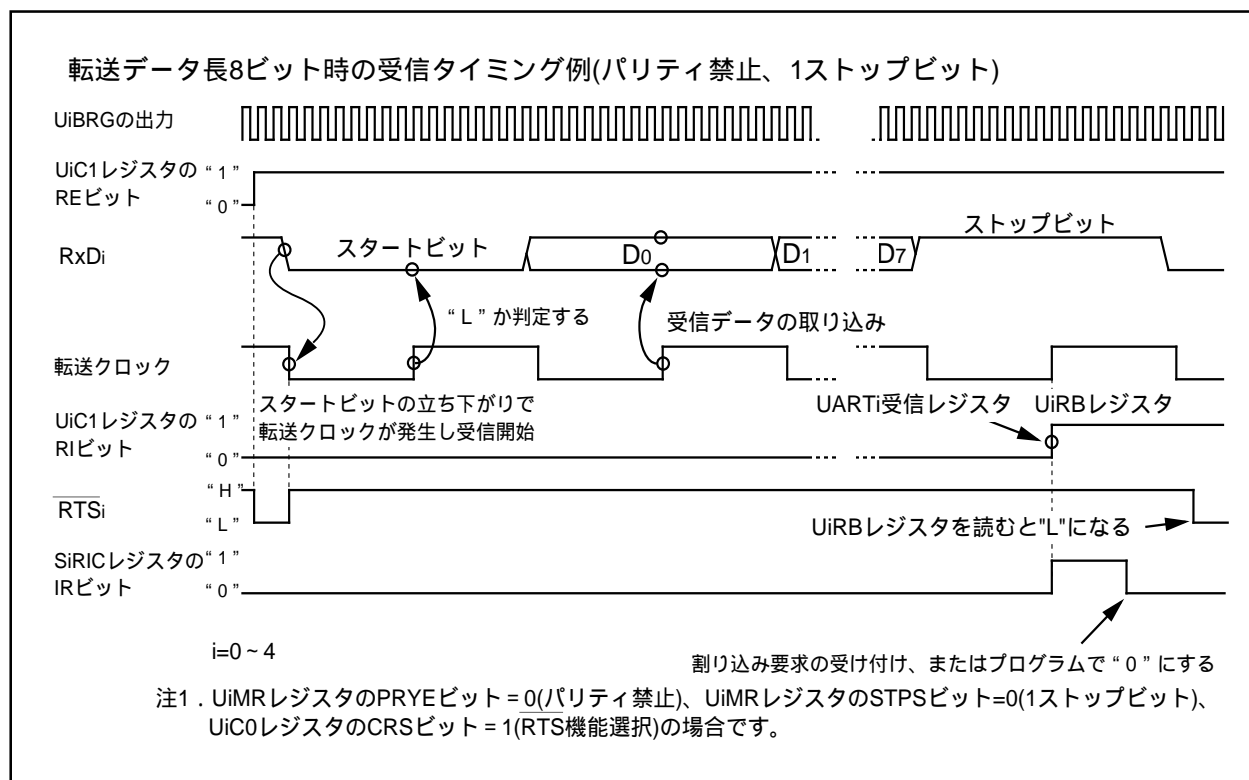


図16.15 UARTモード時の受信動作例

16.2.1 転送速度

UARTモードは、UiBRGレジスタ($i=0 \sim 4$)で分周した周波数の16分周が転送速度になります。表16.11に転送速度の設定例を示します。

表16.11 転送速度

ビットレート (bps)	UiBRGのカウンソース	周辺機能クロック : 16MHz		周辺機能クロック : 24MHz		周辺機能クロック : 32MHz	
		UiBRGの設定値 : n	実ビットレート (bps)	UiBRGの設定値 : n	実ビットレート (bps)	UiBRGの設定値 : n	実ビットレート (bps)
1200	f8	103 (67h)	1202	155 (96h)	1202	207 (CFh)	1202
2400	f8	51 (33h)	2404	77 (46h)	2404	103 (67h)	2404
4800	f8	25 (19h)	4808	38 (26h)	4808	51 (33h)	4808
9600	f1	103 (67h)	9615	155 (96h)	9615	207 (CFh)	9615
14400	f1	68 (44h)	14493	103 (67h)	14423	138 (8Ah)	14388
19200	f1	51 (33h)	19231	77 (46h)	19231	103 (67h)	19231
28800	f1	34 (22h)	28571	51 (33h)	28846	68 (44h)	28986
31250	f1	31 (1Fh)	31250	47 (2Fh)	31250	63 (3Fh)	31250
38400	f1	25 (19h)	38462	38 (26h)	38462	51 (33h)	38462
51200	f1	19 (13h)	50000	28 (1Ch)	51724	38 (26h)	51282

16.2.2 LSBファースト、MSBファースト選択

図16.16 に示すように、UiC0レジスタ(i=0~4)のUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。

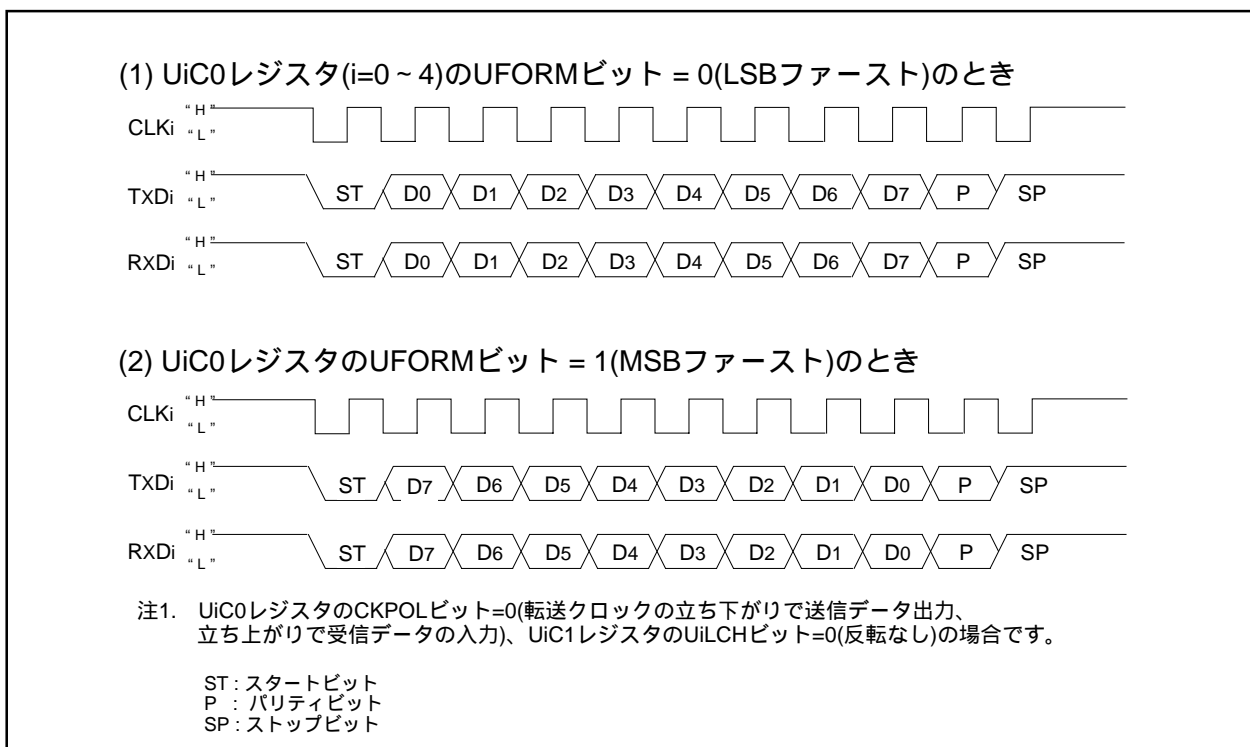


図16.16 転送フォーマット

16.2.3 シリアルデータ論理切り替え

UiC1レジスタ(i=0~4)のUiLCHビットを“1”(反転あり)にすると、UiTBレジスタへ書くときと、UiRBレジスタから読むとき、データの論理を反転させます。図16.17 にシリアルデータ論理を示します。

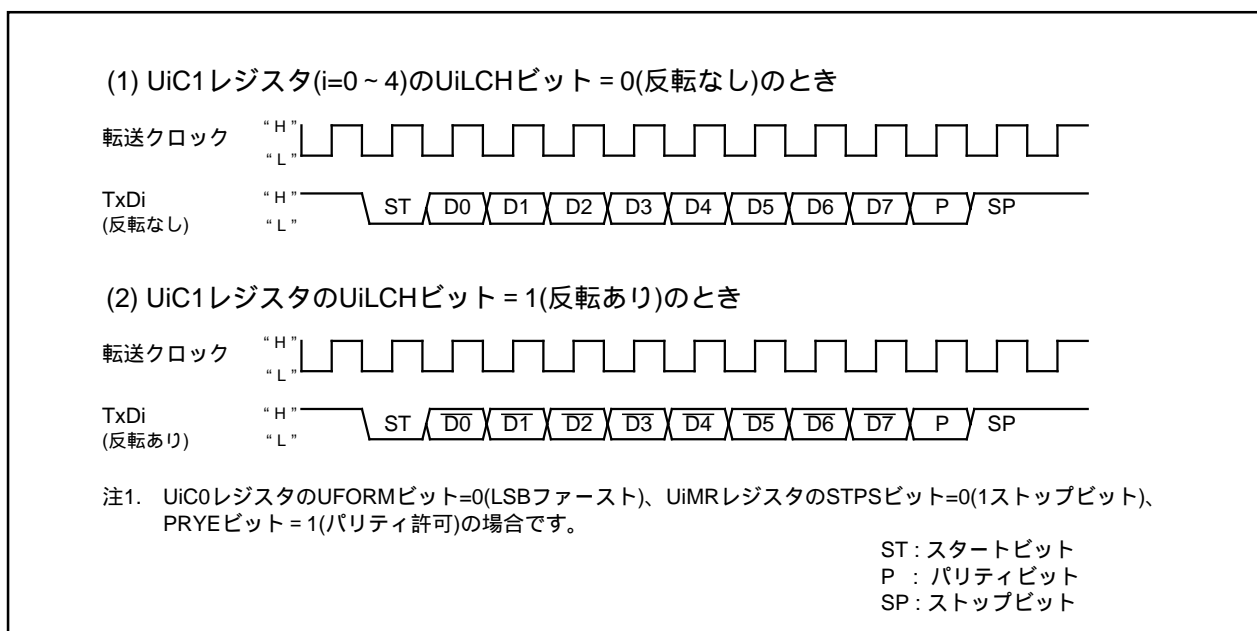


図16.17 シリアルデータ論理切り替え

16.2.4 TxD、RxD入出力極性切り替え

TxD端子出力とRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図16.18にTxD、RxD入出力極性切り替えを示します。

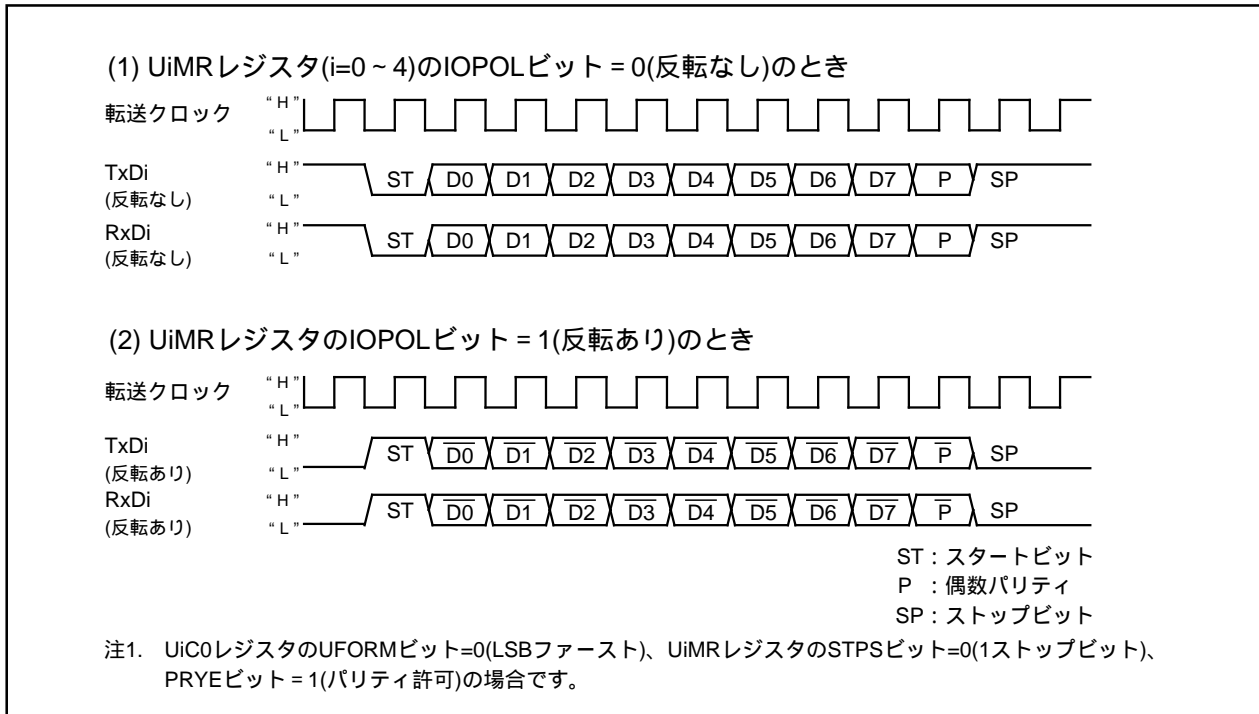


図16.18 TxD、RxD入出力極性切り替え

16.3 特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表16.12にI²Cモードの仕様を、表16.13にI²Cモード時の使用レジスタと設定値を、表16.14にI²Cモード時の各機能を、図16.19にI²Cモード時のブロック図を、図16.20にUiRBレジスタへの転送、割り込みのタイミングを、表16.15~表16.17にI²Cモード時の端子の設定を示します。

表16.14に示すように、UiMRレジスタのSMD2~SMD0ビットを“010₂”に、UiSMRレジスタのIICMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表16.12 I²Cモードの仕様

項目	仕様
割り込み	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
選択機能	<ul style="list-style-type: none"> ・アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択「16.3.3 アービトレーション」参照 ・SDAiデジタル遅延 デジタル遅延なし、またはBRGカウントソースの2~8サイクルの遅延を選択可「16.3.5 SDA出力」参照 ・クロック位相設定 クロック遅れあり、なしを選択可。「16.3.4 転送クロック」参照

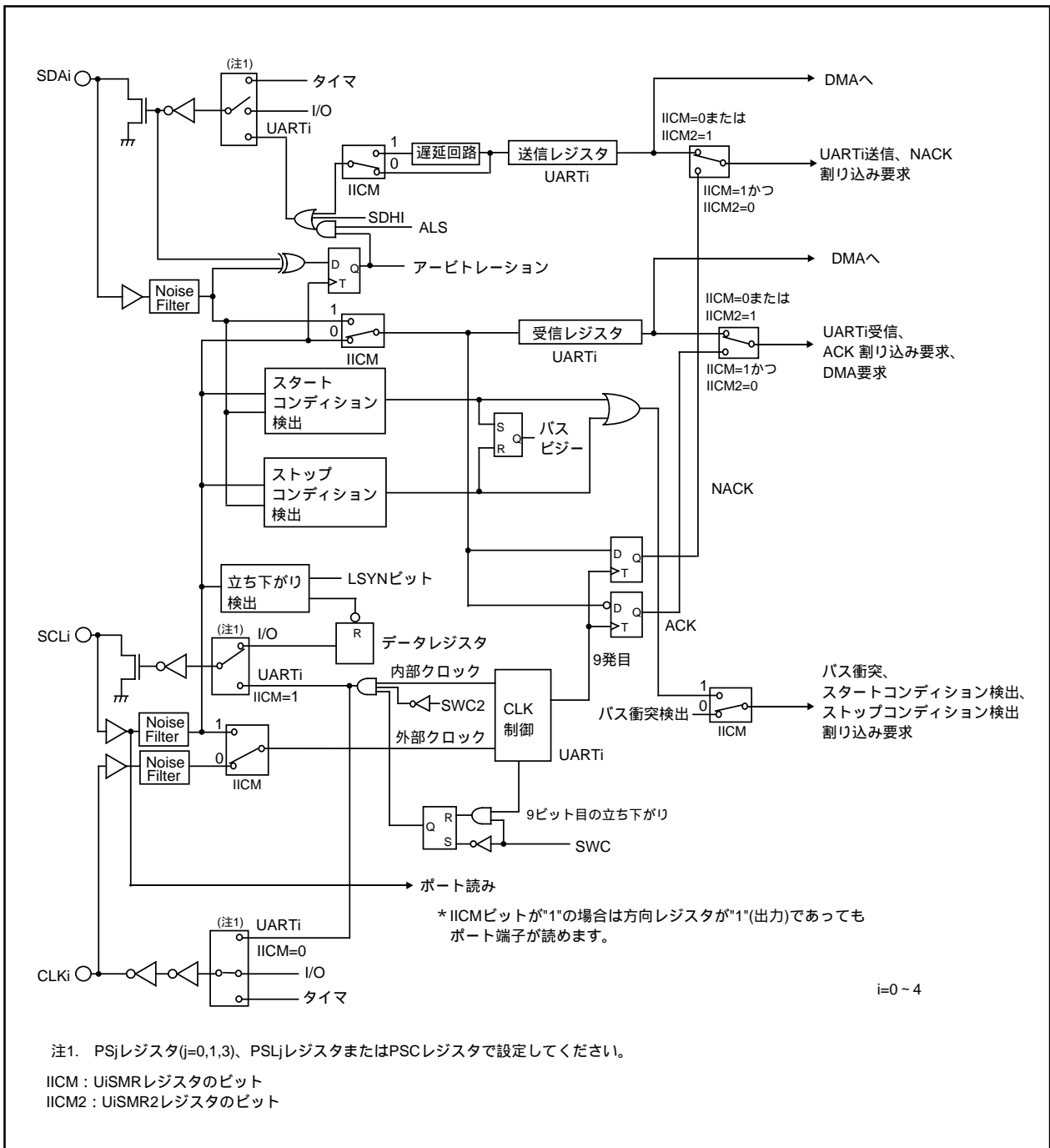


図16.19 I²Cモードのブロック図

表16.13 I²Cモード時の使用レジスタと設定値

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiTB	0~7	送信データを設定してください	
UiRB	0~7	受信データが読めます	
	8	ACK、NACKが入ります	
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	
UiBRG	0~7	転送速度を設定してください	無効
UIMR	SMD2~SMD0	"0102" にしてください	
	CKDIR	"0" にしてください	"1" にしてください
	IOPOL	"0" にしてください	
UiC0	CLK1~CLK0	UiBRGのカウンタソースを選択してください	無効
	CRS	CRD=1なので無効	
	TXEPT	送信レジスタ空フラグ	
	CRD、NCH	"1" にしてください	
	CKPOL	"0" にしてください	
	UFORM	"1" にしてください	
	UiC1	TE	送信を許可する場合、"1" にしてください
TI		送信バッファ空フラグ	
RE		受信を許可する場合、"1" にしてください	
RI		受信完了フラグ	
UiRRM、UiLCH、UiERE		"0" にしてください	
UISMR		IICM	"1" にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	パスビジーフラグ	
	3~7	"000002" にしてください	
UISMR2	IICM2	表16.14参照	
	CSC	クロック同期化を許可する場合、"1" にしてください	"0" にしてください
	SWC	クロックの9ビット目の立ち下がりでのSCLiを"L"出力固定にする場合、"1" にしてください	
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合、"1" にしてください	使用しません。"0" にしてください
	STC	使用しません。"0" にしてください	スタートコンディション検出でUARTiを初期化する場合、"1" にしてください
	SWC2	SCLの出力を強制的に"L"にする場合、"1" にしてください	
	SDHI	SDA出力を禁止をする場合、"1" にしてください	
	SU1HIM	"0" にしてください	
UISMR3	SSE	"0" にしてください	
	CKPH	表16.14参照	
	DINC、NODC、ERR	"0" にしてください	
	DL2~DL0	SDAiのデジタル遅延値を設定してください	
UISMR4	STAREQ	スタートコンディションを生成する場合、"1" にしてください	使用しません。"0" にしてください
	RSTAREQ	リスタートコンディションを生成する場合、"1" にしてください	
	STPREQ	ストップコンディションを生成する場合、"1" にしてください	
	STSPSEL	各コンディション出力時に"1" にしてください	
	ACKD	ACK、NACKを選択してください	
	ACKC	ACKデータを出力する場合、"1" にしてください	
	SCLHI	ストップコンディション検出時にSCL出力停止を許可する場合、"1" にしてください	使用しません。"0" にしてください
	SWC9	使用しません。"0" にしてください	クロックの9ビット目の立ち下がりでのSCLiを"L"出力固定にする場合、"1" にしてください
IFSR	IFSR6、IFSR7	"1" にしてください	

i=0~4

表16.14 I²Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2~SMD0=0012, IICM=0)	I ² Cモード(SMD2~SMD0=0102, IICM=1)			
		IICM2=0(NACK/ACK割り込み)		IICM2=1 (UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号39~41の要因(注1)(図16.20参照)	-	スタートコンディション検出、ストップコンディション検出(表16.17参照)			
割り込み番号 17, 19, 33, 35, 37の要因(注1)(図16.20参照)	UARTi送信送信開始、または送信完了(UiIRSで選択)	アクノリッジ未検出(NACK)9ビット目のSCLiの立ち上がり		UARTi送信9ビット目のSCLiの立ち上がり	UARTi送信9ビット目の次のSCLiの立ち下がり
割り込み番号18, 20, 34, 36, 38の要因(注1)(図16.20参照)	UARTi受信8ビット目の受信時CKPOL=0(立ち上がり)CKPOL=1(立ち下がり)	アクノリッジ検出(ACK)9ビット目のSCLiの立ち上がり		UARTi受信9ビット目のSCLiの立ち下がり	
UART受信シフトレジスタからUiRBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり)CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり		9ビット目のSCLiの立ち下がり	9ビット目のSCLiの立ち下がりと、立ち上がり
UARTi送信出力遅延	遅延なし	遅延あり			
P63, P67, P70, P92, P96端子の機能	TxDi出力	SDAi入出力			
P62, P66, P71, P91, P97端子の機能	RxDi入力	SCLi入出力			
P61, P65, P72, P90, P95端子の機能	CLKi入力または出力選択	- (I ² Cモードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RxDi, SCLi端子レベルの読み込み	対応するポート方向ビットが“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TxDi, SDAi出力の初期値	CKPOL=0(H)CKPOL=1(L)	I ² Cモード設定前に、ポートレジスタに設定した値(注2)			
SCLiの初期値、終了値	-	H	L	H	L
DMA要因(図16.20参照)	UARTi受信	アクノリッジ検出(ACK)		UARTi受信9ビット目のSCLiの立ち下がり	
受信データ格納	1~8ビット目をUiRBレジスタのビット0~7に格納	1~8ビット目をUiRBレジスタのビット7~0に格納		1~7ビット目をUiRBレジスタのビット6~0に、8ビット目をUiRBレジスタのビット8に格納 1~8ビット目をUiRBレジスタのビット7~0に格納(注3)	
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す	UiRBレジスタのビット6~0はビット7~1として、ビット8はビット0として読み出す(注4)			

i=0~4

注1. 要因を切り替える場合、次の手順で行ってください。

1. 対応する割り込み番号の割り込みを禁止する
2. 要因を切り替える
3. 対応する割り込み番号のIRビットを“0”(割り込み要求なし)にする
4. 対応する割り込み番号のILVL2~ILVL0を設定する

注2. SDAi出力の初期値は、UiMRレジスタのSMD2~SMD0ビットが“0002”(シリアルI/Oは無効)の状態を設定してください。

注3. UiRBレジスタへのデータ転送2回目(9ビット目のSCLi立ち上がり時)

注4. UiRBレジスタへのデータ転送1回目(9ビット目のSCLi立ち下がり時)

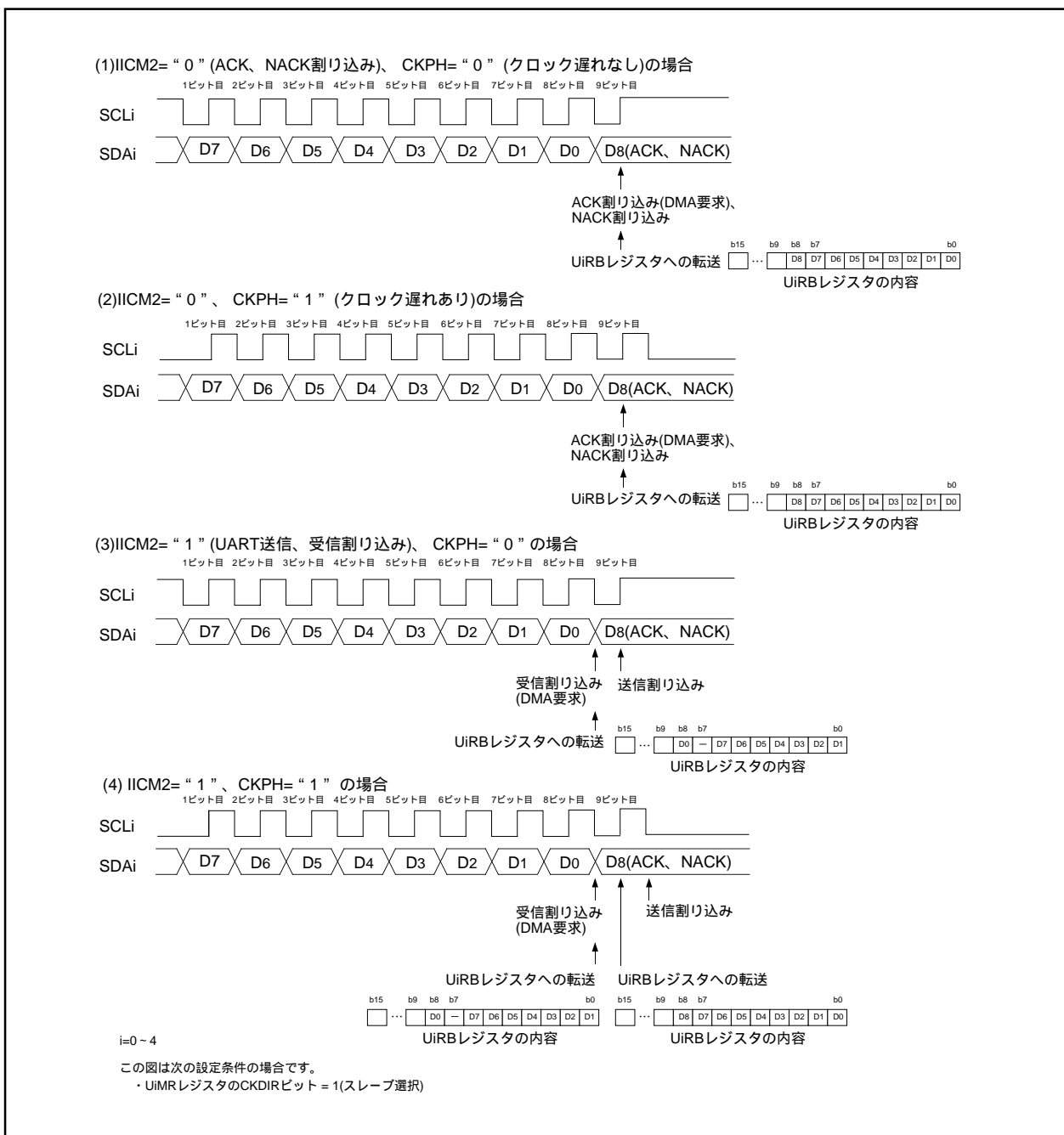


図16.20 UiRBレジスタへの転送、割り込みのタイミング

表16.15 I²Cモード時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P62	SCL0出力	PS0_2=1	PSL0_2=0	-
	SCL0入力	PS0_2=0	-	PD6_2=0
P63	SDA0出力	PS0_3=1	-	-
	SDA0入力	PS0_3=0	-	PD6_3=0
P66	SCL1出力	PS0_6=1	PSL0_6=0	-
	SCL1入力	PS0_6=0	-	PD6_6=0
P67	SDA1出力	PS0_7=1	-	-
	SDA1入力	PS0_7=0	-	PD6_7=0

表16.16 I²Cモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	SDA2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
	SDA2入力	PS1_0=0	-	-	PD7_0=0
P71(注1)	SCL2出力	PS1_1=1	PSL1_1=0	PSC_1=0	-
	SCL2入力	PS1_1=0	-	-	PD7_1=0

注1. 出力はNチャンネルオープンドレイン出力

表16.17 I²Cモード時の端子の設定(3)

ポート名	機能	ビットと設定値		
		PS3レジスタ(注1)	PSL3レジスタ	PD9レジスタ(注1)
P91	SCL3出力	PS3_1=1	PSL3_1=0	-
	SCL3入力	PS3_1=0	-	PD9_1=0
P92	SDA3出力	PS3_2=1	PSL3_2=0	-
	SDA3入力	PS3_2=0	-	PD9_2=0
P96	SDA4出力	PS3_6=1	-	-
	SDA4入力	PS3_6=0	-	PD9_6=0
P97	SCL4出力	PS3_7=1	PSL3_7=0	-
	SCL4入力	PS3_7=0	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

16.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL_i端子(i=0~4)が“H”の状態とSDA_i端子が“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL_i端子が“H”の状態とSDA_i端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかはUiSMRレジスタのBBSビットで判定してください。

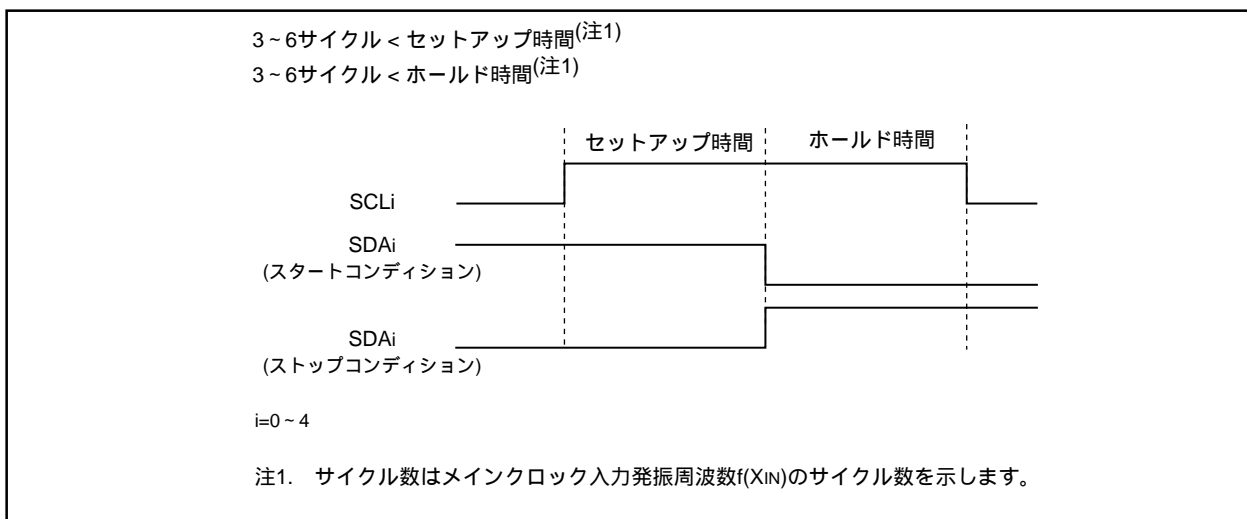


図16.21 スタートコンディション、ストップコンディションの検出

16.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4レジスタの(i=0~4)STAREQビットを“1”(スタート)にするとスタートコンディションを生成します。UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

STAREQビットを“1”にしてUiSMR4レジスタのSTSPSELビットを“1”(スタート、ストップコンディション生成回路選択)にするとスタートコンディションを出力します。同様に、RSTAREQビットを“1”にしてSTSPSELビットを“1”にするとリスタートコンディション、STPREQビットを“1”にしてSTSPSELビットを“1”にするとストップコンディションを出力します。

スタートコンディション、ストップコンディション、リスタートコンディションを出力する場合は、STAREQビット、STPREQビットまたはRSTAREQビットを“1”にする命令と、STSPSELビットを“1”にする命令の間に割り込みが発生しないようにしてください。

また、スタートコンディションを出力する場合は、STAREQビットを“1”にした後、STSPSELビットを“1”にしてください。

表16.18と図16.22にSTSPSELビットの機能を示します。

表16.18 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
スタートコンディション、ストップコンディションの出力	ポートを使ったプログラムで実現(ハードウェアによる自動発生はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

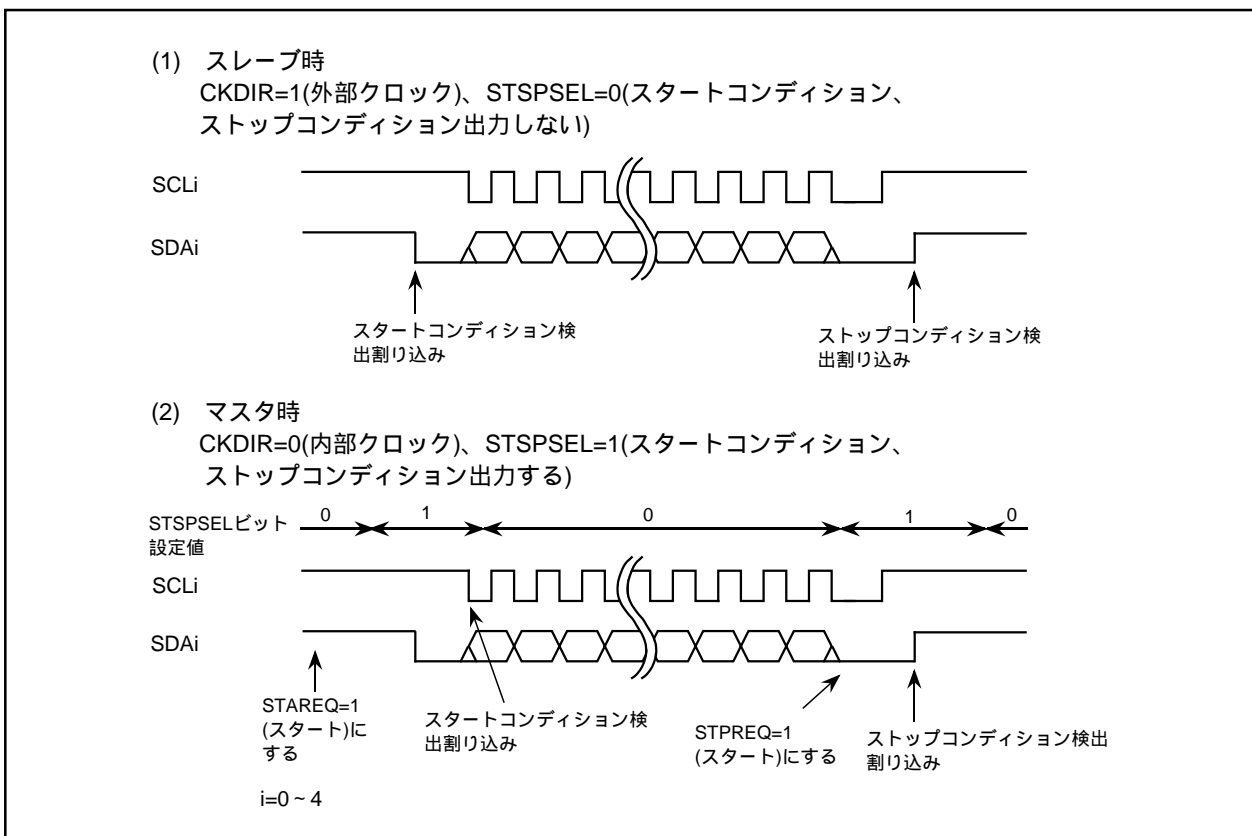


図16.22 STSPSELビットの機能

16.3.3 アービトレーション

UiSMRレジスタ(i=0~4)のABCビットでUiRBレジスタ(i=0~4)のABTビットの更新タイミングを選択します。SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、転送クロックの9サイクル目の立ち下がりABTビットが“1”(検出(負))になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0”(未検出(勝))にし、次の1バイトの転送を開始してください。

UiSMR2レジスタのALSビットを“1”(SDA出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1”になったとき、同時にSDAi端子がハイインピーダンス状態になります。

16.3.4 転送クロック

図16.22に示すような転送クロックで送受信を行います。

UiSMR2レジスタ(i=0~4)のCSCビットは内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがってUARTiの転送クロックは、内部SCLiとSCLi端子の信号の論理積になります。転送クロックは、内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまで、同期化されます。CSCビットが“1”の間、転送クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットにより、転送クロックの9サイクル目の立ち下がりSCLi端子が“L”出力固定になるか、“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCLi端子からの“L”出力は解除され、転送クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

16.3.5 SDA出力

UiTBレジスタ(i=0~4)のビット7~0(D7~D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、IICMビットが“1”(I²Cモード)、UiMRレジスタのSMD2~SMD0ビットが“0002”(シリアルI/Oは無効)の状態を設定してください。

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの転送クロックの立ち上がりのタイミングで書かないでください。UiRBレジスタのABTビットが“1”(検出)になる場合があります。

16.3.6 SDA入力

UiSMR2レジスタ(i=0~4)のIICM2ビットが“0”の場合、受信したデータの1~8ビット目をUiRBレジスタのビット7~0(D7~D0)に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”の場合、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”の場合でも、UiSMR3レジスタのCKPHビットが“1”であれば、9ビット目の転送クロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”の場合と同様のデータが読み出せます。

16.3.7 ACK、NACK

UiSMR4レジスタ(i=0~4)のSTSPSELビットが“0”(シリアルI/O回路選択)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は転送クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は転送クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA要求要因にACKを選択すると、アクノリッジ検出によってDMA転送を起動できます。

16.3.8 送受信初期化

UiSMR2レジスタ(i=0~4)のSTCビットを“1”(UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- ・送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力された転送クロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- ・受信シフトレジスタは初期化され、次に入力された転送クロックを1ビット目として受信が開始されます。
- ・SWCビットが“1”(SCLウエイト出力許可)になります。これにより、転送クロックの9ビット目の立ち下がりSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

16.4 特殊モード2

1つまたは複数のマスタから、複数のスレーブへシリアル通信できます。 $\overline{SSi}(i=0\sim 4)$ 入力端子を用いて、シリアルバスの通信を制御します。表16.19に特殊モード2の仕様を、表16.20に特殊モード2時の使用レジスタと設定値を、表16.21～表16.23に特殊モード2時の端子の設定を示します。

表16.19 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> • UiMRレジスタ($i=0\sim 4$)のCKDIRビットが“0”(内部クロック選択) : $f_j/2(m+1)$ $f_j=f_1, f_8, f_{2n}$(注1) m : UiBRGレジスタ設定値 0016～FF16 • CKDIRビットが“1”(外部クロック選択) : CLKi端子からの入力
送信制御、受信制御	SS機能
送信開始条件	送信開始には次の条件が必要です(注2) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要です(注2) <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • TEビットが“1”(送信許可) • TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> • UiC1レジスタのUiIRSビットが“0”(UiTBレジスタ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信時 • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注3) UiRBレジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生 <ul style="list-style-type: none"> • 障害エラー マスタモード時、 \overline{SSi} 端子に“L”が入力されたときに発生
選択機能	<ul style="list-style-type: none"> • CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりがを選択可 • LSBファースト、MSBファースト 選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • 連続受信モード選択 UiRBレジスタを読む動作により、同時に受信許可状態になる。 • シリアルデータ論理切り替え 送受信データの理論値を反転する機能。 • TxD、RxD入出力極性切り替え TxD端子出力とRxD端子入力のレベルを反転する機能。入出力するデータのレベルがすべて反転する。 • クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可 • \overline{SSi}入力端子機能 マスタが他のマスタやスレーブとデータが衝突しないように出力端子をハイインピーダンス状態にする。

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし($n=0$)または $2n$ 分周($n=1\sim 15$)を選択できます。

注2. 外部クロック選択時、UiC0レジスタのCKPOL = 0の場合は外部クロックが“H”の状態、CKPOL = 1の場合は外部クロックが“L”の状態、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表16.20 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“0012” にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD=1 なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できません
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを許可する場合、“1” にしてください
	UiLCH、SCLKSTPB	“0” にしてください
UiSMR	0~7	“0016” にしてください
UiSMR2	0~7	“0016” にしてください
UiSMR3	SSE	“1” にしてください
	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できません
	DINC	マスタモードの場合“0”に、スレーブモードの場合“1” にしてください
	NODC	“0” にしてください
	ERR	障害エラーフラグ
	5~7	“0002” にしてください
UiSMR4	0~7	“0016” にしてください
IFSR	IFSR6、IFSR7	障害エラー要因を選択してください

i=0~4

表16.21 特殊モード2時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P60	SS0入力	PS0_0=0	-	PD6_0=0
P61	CLK0入力(スレーブ)	PS0_1=0	-	PD6_1=0
	CLK0出力(マスタ)	PS0_1=1	-	-
P62	RxD0入力(マスタ)	PS0_2=0	-	PD6_2=0
	STxD0出力(スレーブ)	PS0_2=1	PSL0_2=1	-
P63	TxD0出力(マスタ)	PS0_3=1	-	-
	SRxD0入力(スレーブ)	PS0_3=0	-	PD6_3=0
P64	SS1入力	PS0_4=0	-	PD6_4=0
P65	CLK1入力(スレーブ)	PS0_5=0	-	PD6_5=0
	CLK1出力(マスタ)	PS0_5=1	-	-
P66	RxD1入力(マスタ)	PS0_6=0	-	PD6_6=0
	STxD1出力(スレーブ)	PS0_6=1	PSL0_6=1	-
P67	TxD1出力(マスタ)	PS0_7=1	-	-
	SRxD1入力(スレーブ)	PS0_7=0	-	PD6_7=0

表16.22 特殊モード2時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70 ^(注1)	TxD2出力(マスタ)	PS1_0=1	PSL1_0=0	PSC_0=0	-
	SRxD2入力(スレーブ)	PS1_0=0	-	-	PD7_0=0
P71 ^(注1)	RxD2入力(マスタ)	PS1_1=0	-	-	PD7_1=0
	STxD2出力(スレーブ)	PS1_1=1	PSL1_1=1	PSC_1=0	-
P72	CLK2入力(スレーブ)	PS1_2=0	-	-	PD7_2=0
	CLK2出力(マスタ)	PS1_2=1	PSL1_2=0	PSC_2=0	-
P73	SS2入力	PS1_3=0	-	-	PD7_3=0

注1. 出力はNチャンネルオープンドレイン出力

表16.23 特殊モード2時の端子の設定(3)

ポート名	機能	ビットと設定値		
		PS3レジスタ ^(注1)	PSL3レジスタ	PD9レジスタ ^(注1)
P90	CLK3入力(スレーブ)	PS3_0=0	-	PD9_0=0
	CLK3出力(マスタ)	PS3_0=1	-	-
P91	RxD3入力(マスタ)	PS3_1=0	-	PD9_1=0
	STxD3出力(スレーブ)	PS3_1=1	PSL3_1=1	-
P92	TxD3出力(マスタ)	PS3_2=1	PSL3_2=0	-
	SRxD3入力(スレーブ)	PS3_2=0	-	PD9_2=0
P93	SS3入力	PS3_3=0	PSL3_3=0	PD9_3=0
P94	SS4入力	PS3_4=0	PSL3_4=0	PD9_4=0
P95	CLK4入力(スレーブ)	PS3_5=0	PSL3_5=0	PD9_5=0
	CLK4出力(マスタ)	PS3_5=1	-	-
P96	TxD4出力(マスタ)	PS3_6=1	-	-
	SRxD4入力(スレーブ)	PS3_6=0	PSL3_6=0	PD9_6=0
P97	RxD4入力(マスタ)	PS3_7=0	-	PD9_7=0
	STxD4出力(スレーブ)	PS3_7=1	PSL3_7=1	-

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

16.4.1 \overline{SSi} 入力端子機能(i=0~4)

UiSMR3レジスタのSSEビットを“1”(SS機能許可)にするとこのモードが選択され、端子機能が許可されます。

UiSMR3レジスタのDINCビットでマスタか、スレーブかを選択できます。複数のマイクロコンピュータをマスタにした場合(マルチマスタシステム)、 \overline{SSi} 端子の状態でその時々のマスタが決まります。

16.4.1.1 DINCビットが“1”(スレーブモード)の場合

\overline{SSi} 端子の入力信号が“H”の場合、STxDi、SRxDiの各端子はハイインピーダンスになり、クロックの入力は無視されます。 \overline{SSi} 端子の入力信号が“L”の場合、クロックの入力が有効となり、シリアル通信が可能になります。

16.4.1.2 DINCビットが“0”(マスタモード)の場合

\overline{SSi} 端子の入力信号が“H”の場合、送信権がありますのでシリアル通信ができます。マスタは転送クロックを出力します。 \overline{SSi} 端子の入力信号が“L”の場合、別にマスタが存在していることを示し、TxDi、RxDi、CLKiの各端子はハイインピーダンスになります。また、障害エラーが発生しBCNiICレジスタのIRビットが“1”(割り込み要求あり)になります。障害エラーはUiSMR3レジスタのERRビットで確認できます。

また、このモードでは、ソフトウェア割り込み番号39、40、41が障害エラー割り込みとなります。障害エラー割り込みはERRビットが“0”から“1”になるとき発生します。UART0とUART3の障害エラー割り込みと、UART1とUART4の障害エラー割り込みは割り込みベクタ等を共有していますので、IFSRレジスタのIFSR6ビットとIFSR7ビットでどちらの割り込み要因を使用するか選択してください。

通信中に障害エラーが発生しても、通信は停止しません。通信を停止したい場合、UiMRレジスタのSMD2~SMD0ビットを“0002”(シリアルI/Oは無効)にしてください。

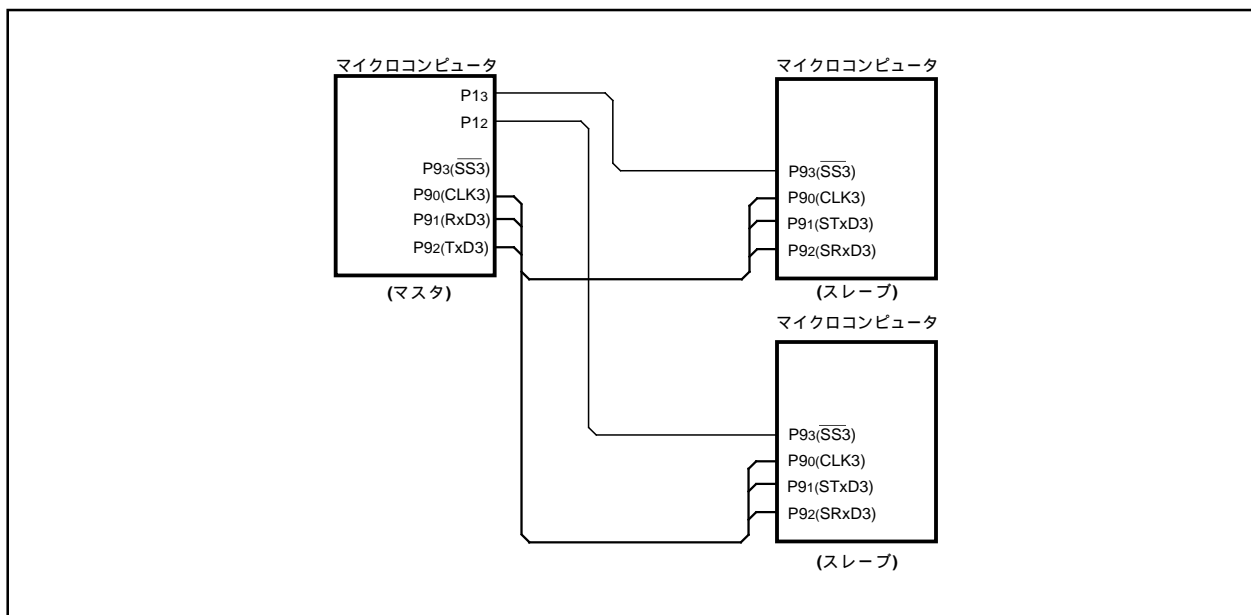


図16.23 \overline{SS} 端子を用いたシリアルバスの通信制御例

16.4.2 クロック位相設定機能

UiSMR3レジスタ(i=0~4)のCKPHビットと、Uic0レジスタのCKPOLビットによって転送クロックの極性と相の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

16.4.2.1 DINCビットが“0”(マスタ(内部クロック))の場合

図16.24に送受信のタイミングを示します。

16.4.2.2 DINCビットが“1”(スレーブ(外部クロック))の場合

CKPHビットが“0”(クロック遅れなし)で \overline{SSi} 入力端子が“H”の場合、STxDiはハイインピーダンスです。 \overline{SSi} 入力端子が“L”になるとシリアル転送を開始する条件が揃いますが、出力は不定です。その後、クロックに同期してシリアル転送を行います。図16.25にタイミングを示します。

CKPHビットが“1”(クロック遅れあり)で \overline{SSi} 入力端子が“H”の場合、STxDiはハイインピーダンスです。 \overline{SSi} 端子が“L”になると最初のデータが出力します。その後、クロックに同期してシリアル転送を行います。図16.26にタイミングを示します。

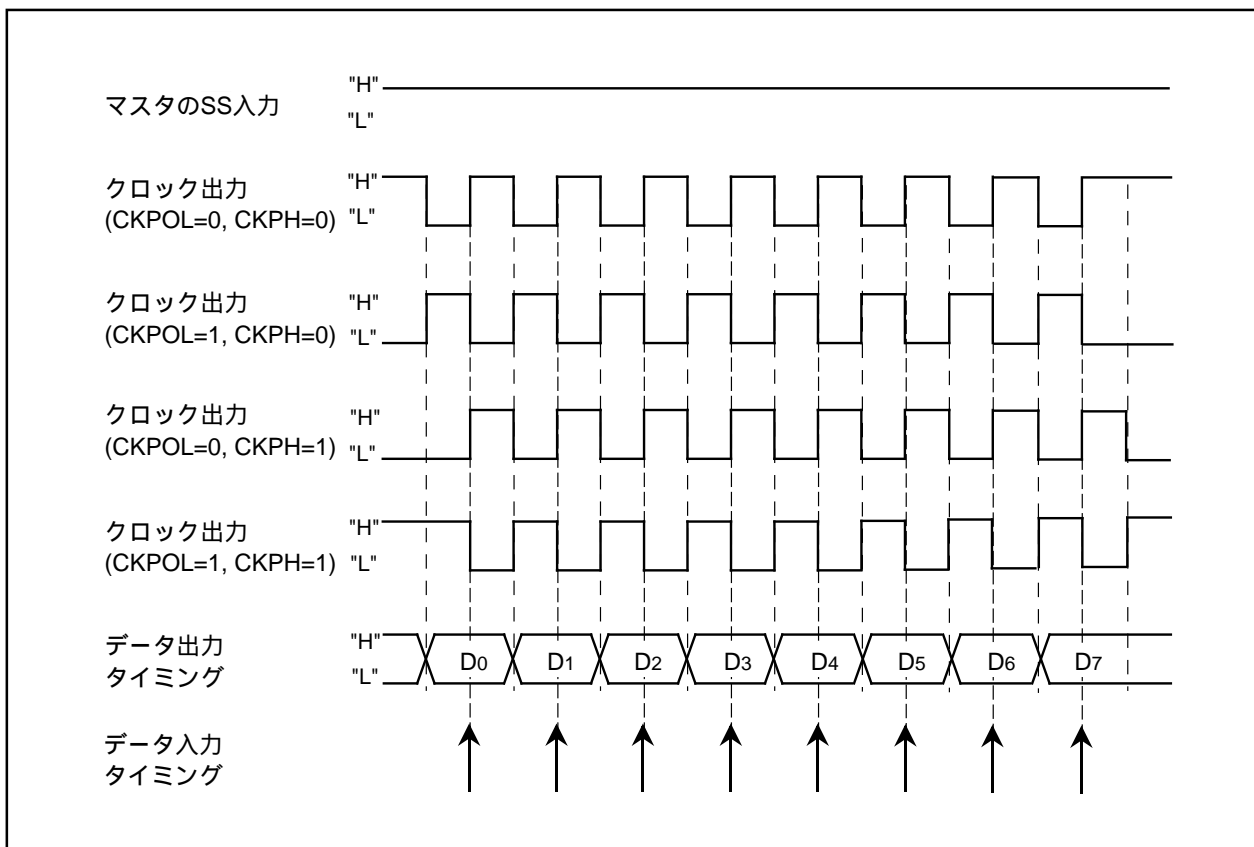


図16.24 マスタ(内部クロック)の場合の送受信のタイミング

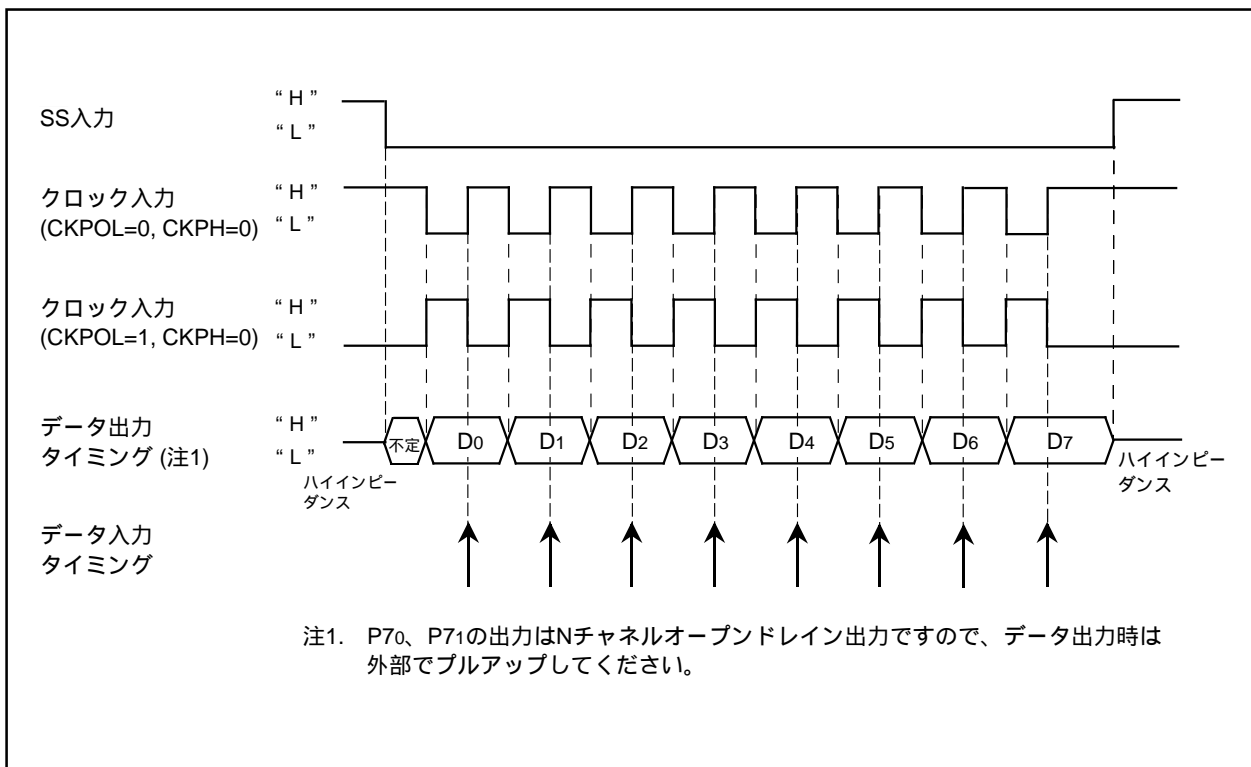


図16.25 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

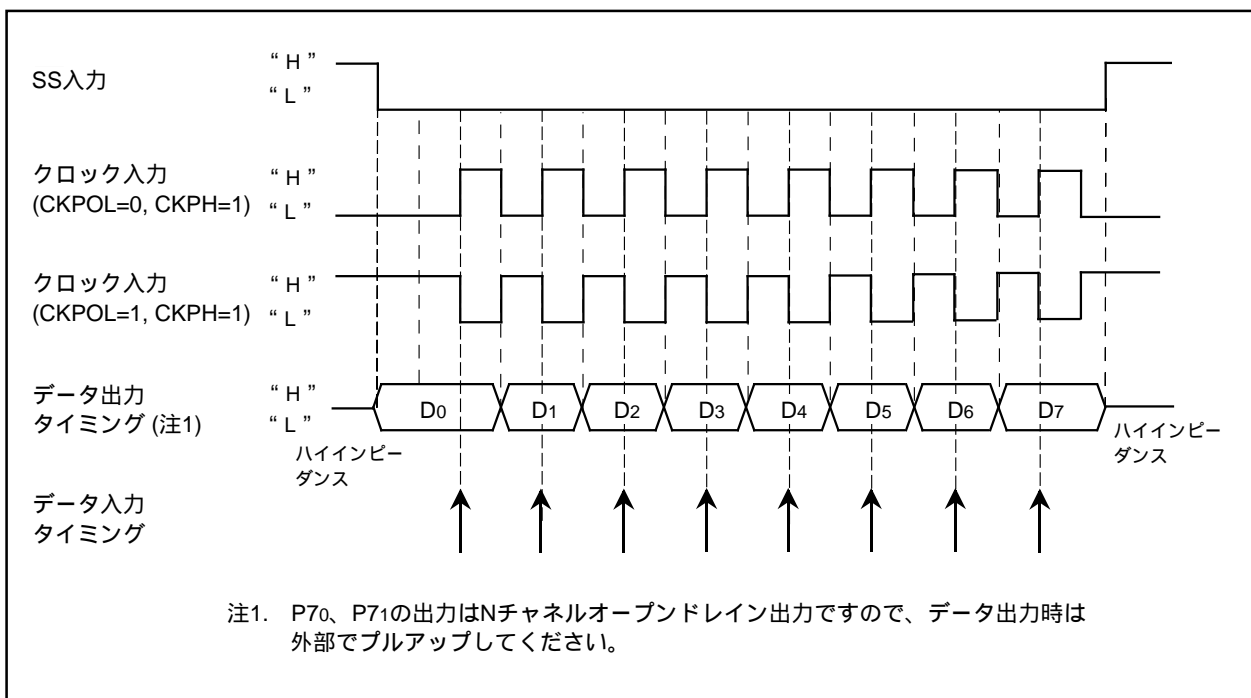


図16.26 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

16.5 特殊モード3(GCI)

クロック同期形シリアルI/Oの転送クロックを、外部クロックに同期化します。

表16.24にGCIモードの仕様を、表16.25にGCIモード時の使用レジスタと設定値を、表16.26～表16.28にGCIモード時の端子の設定を示します。

表16.24 GCIモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	UiMRレジスタ(i=0~4)のCKDIRビットが“1”(外部クロック選択) : CLKi端子からの入力
クロック同期化機能	CTSi端子からトリガ信号入力
送受信開始条件	次の条件を満たした後、CTSi端子にトリガ信号が入力されると送受信を開始します <ul style="list-style-type: none"> ・ UiC1レジスタのTEビットが“1”(送信許可) ・ UiC1レジスタのREビットが“1”(受信許可) ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> ・ UiC1レジスタのUiIRSビットが“0”(UiTBレジスタ空)の場合、UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・ UiIRSビットが“1”(送信完了)の場合、UARTi送信レジスタからデータ送信完了時受信時 ・ UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー ^(注1) UiRBレジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表16.25 GCIモード時(クロック分周同期化機能使用時)の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データ
	OER	オーバランエラーフラグ
UiBRG	0~7	“0016” にしてください
UiMR	SMD2~SMD0	“0012” にしてください
	CKDIR	“1” にしてください
	IOPOL	“0” にしてください
UiC0	CLK1~CLK0	“002” にしてください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM、UiLCH	“0” にしてください
	SCLKSTPB	“0” にしてください
UiSMR	0~6	“00000002” にしてください
	SCLKDIV	表16.29参照
UiSMR2	0~6	“00000002” にしてください
	SU1HIM	表16.29参照
UiSMR3	0~2	“0002” にしてください
	NODC	“0” にしてください
	4~7	“00002” にしてください
UiSMR4	0~7	“0016” にしてください

i=0~4

表16.26 GCIモード時の端子の設定(1)

ポート名	機能	ビットと設定値	
		PS0レジスタ	PD6レジスタ
P60	CTS0入力 ^(注1)	PS0_0=0	PD6_0=0
P61	CLK0入力	PS0_1=0	PD6_1=0
P62	RxD0入力	PS0_2=0	PD6_2=0
P63	TxD0出力	PS0_3=1	-
P64	CTS1入力 ^(注1)	PS0_4=0	PD6_4=0
P65	CLK1入力	PS0_5=0	PD6_5=0
P66	RxD1入力	PS0_6=0	PD6_6=0
P67	TxD1出力	PS0_7=1	-

注1. CTS入力は、トリガ入力に使用。

表16.27 GCIモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70 ^(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71 ^(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
P73	CTS2入力 ^(注2)	PS1_3=0	-	-	PD7_3=0

注1. 出力はNチャンネルオープンドレイン出力

注2. CTS入力は、トリガ入力に使用。

表16.28 GCIモード時の端子の設定(3)

ポート名	機能	ビットと設定値		
		PS3レジスタ ^(注1)	PSL3レジスタ	PD9レジスタ ^(注1)
P90	CLK3入力	PS3_0=0	-	PD9_0=0
P91	RxD3入力	PS3_1=0	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-
P93	CTS3入力 ^(注2)	PS3_3=0	PSL3_3=0	PD9_3=0
P94	CTS4入力 ^(注2)	PS3_4=0	PSL3_4=0	PD9_4=0
P95	CLK4入力	PS3_5=0	PSL3_5=0	PD9_5=0
P96	TxD4出力	PS3_6=1	-	-
P97	RxD4入力	PS3_7=0	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

注2. CTS入力は、トリガ入力に使用。

UiSMR2レジスタ(i=0~4)のSU1HIMビットと、UiSMRレジスタのSCLKDIVビットに表16.29に示す値を設定し、CTSi端子にトリガ信号を入力すると、外部クロックに同期した内部クロックが生成されます。転送クロックは、外部クロックと同周期にするか、外部クロックを2分周した周期にするか選択できます。また、外部クロック動作中に転送クロックを停止、開始する場合は、UiC1レジスタのSCLKSTPBビットで制御してください。図16.27にクロック分周同期化機能使用例を示します。

表16.29 クロック分周同期化機能選択

UiSMRレジスタ(i=0~4)のSCLKDIVビット	UiSMR2レジスタのSU1HIMビット	クロック同期化機能選択	波形例
0	0	同期化しない	-
0	1	外部クロックと同周期	図16.27のA
1	0または1	外部クロックを2分周した周期	図16.27のB

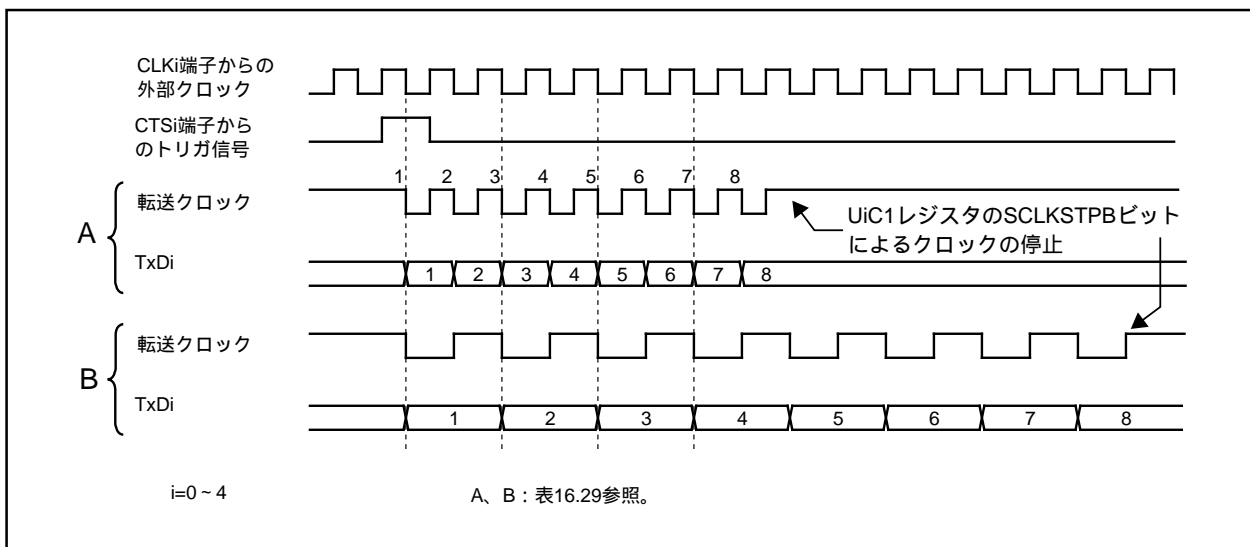


図16.27 クロック分周同期化機能使用例

16.6 特殊モード4 (IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表16.30にIEモード時の使用レジスタと設定値を、表16.31～表16.33にIEモード時の端子の設定を示します。

表16.30 IEモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0～8	送信データを設定してください
UiRB	0～8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR	SMD2～SMD0	“1102” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	PRYE=0なので無効
	PRYE	“0” にしてください
	IOPOL	TxD,RxD入出力極性を選択してください
UiC0	CLK1～CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
UiC1	TE	送信を許可する場合“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	URATi送信割り込み要因を選択してください
	UiRRM、UiLCH、SCLKSTPB	“0” にしてください
UiSMR	0～3	“00002” にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1” にしてください
	SSS	送信開始条件を選択してください
	SCLKDIV	“0” にしてください
UiSMR2	0～7	“0016” にしてください
UiSMR3	0～7	“0016” にしてください
UiSMR4	0～7	“0016” にしてください
IFSR	IFSR6、IFSR7	バス衝突割り込みの要因を選択してください

i=0～4

表16.31 IEモード時の端子の設定(1)

ポート名	機能	ビットと設定値	
		PS0レジスタ	PD6レジスタ
P61	CLK0入力	PS0_1=0	PD6_1=0
	CLK0出力	PS0_1=1	-
P62	RxD0入力	PS0_2=0	PD6_2=0
P63	TxD0出力	PS0_3=1	-
P65	CLK1入力	PS0_5=0	PD6_5=0
	CLK1出力	PS0_5=1	-
P66	RxD1入力	PS0_6=0	PD6_6=0
P67	TxD1出力	PS0_7=1	-

表16.32 IEモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
	CLK2出力	PS1_2=1	PSL1_2=0	PSC_2=0	-

注1. 出力はNチャンネルオープンドレイン出力

表16.33 IEモード時の端子の設定(3)

ポート名	機能	ビットと設定値		
		PS3レジスタ(注1)	PSL3レジスタ	PD9レジスタ(注1)
P90	CLK3入力	PS3_0=0	-	PD9_0=0
	CLK3出力	PS3_0=1	-	-
P91	RxD3入力	PS3_1=0	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-
P95	CLK4入力	PS3_5=0	PSL3_5=0	PD9_5=0
	CLK4出力	PS3_5=1	-	-
P96	TxD4出力	PS3_6=1	-	-
P97	RxD4入力	PS3_7=0	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

TxDi端子(i=0~4)の出力レベルとRxDi端子の入力レベルが異なる場合、割り込み要求が発生します。

UART0とUART3はソフトウェア割り込み番号40に、UART1とUART4は41に割り当てられています。UART0またはUART3、UART1またはUART4のバス衝突検出機能を使用する場合はIFSRレジスタのIFSR6ビットとIFSR7ビットで選択してください。

UiSMRレジスタのABSCSビットが“0”(転送クロックの立ち上がり)の場合、転送クロックの立ち上がりに同期してTxD出力レベルとRxD入力レベルの不一致を検出します。ABSCSビットが“1”(タイマAj(j=0~4)のアンダフロー)の場合、タイマAj(UART0ではタイマA3、UART1ではタイマA4、UART2ではタイマA0、UART3ではタイマA3、UART4ではタイマA4)のアンダフローのタイミングで検出します。タイマAjはワンショットタイマモードで使用してください。

UiSMRレジスタのACSEビットを“1”(バス衝突発生時自動クリア)にすると、BCNiICレジスタのIRビットが“1”(不一致検出)のとき、UiC1レジスタのTEビットを“0”(送信禁止)にします。

UiSMRレジスタのSSSビットを“1”(RxDiに同期)にすると、RxDi端子の立ち下がりに同期して、TxDi送信を開始します。図16.28にバス衝突検出機能関連ビットの機能を示します。

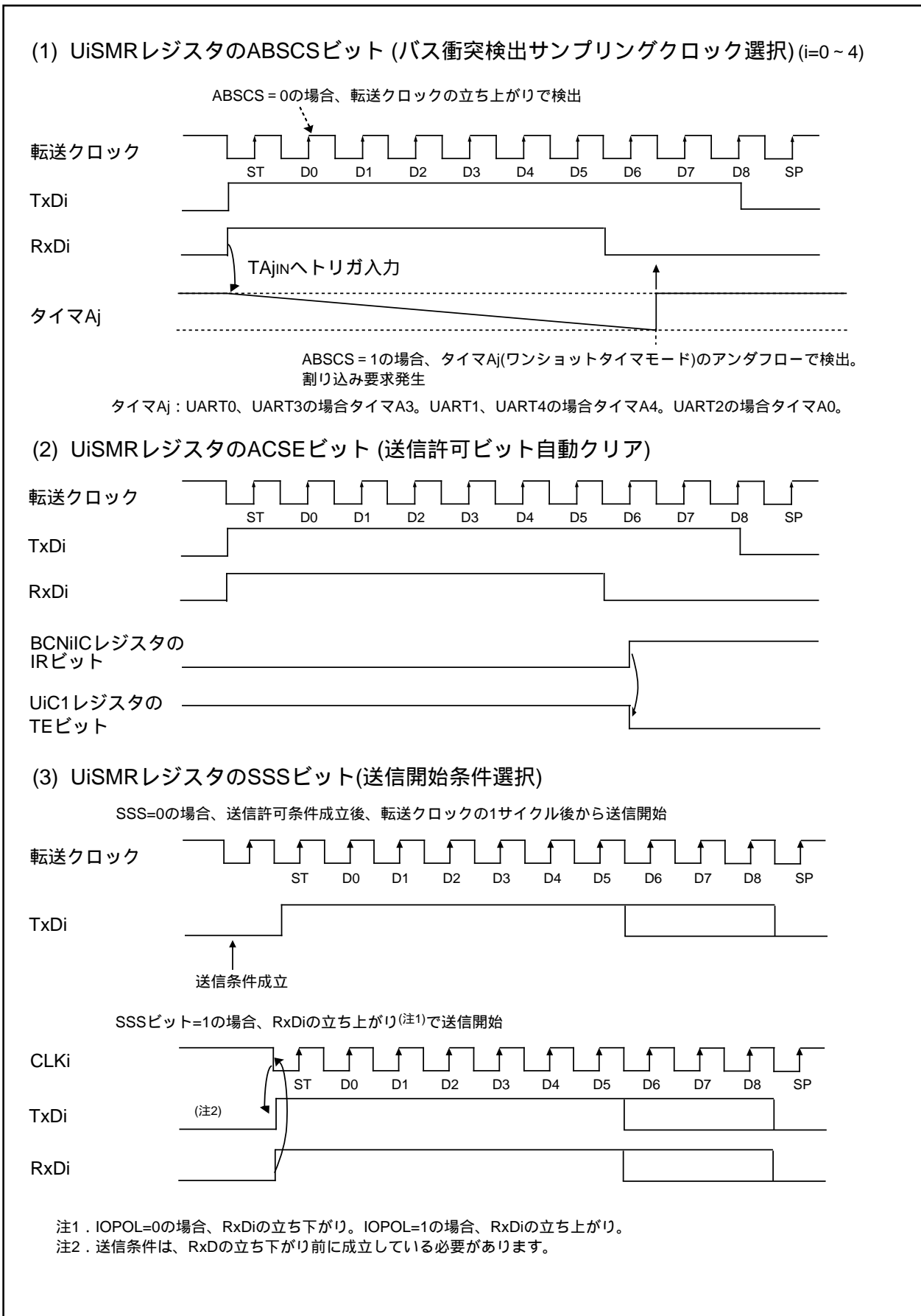


図16.28 バス衝突検出機能関連ビットの機能

16.7 特殊モード5(SIMモード)

UARTモードを使用して、SIMインターフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTxDi端子(i=0~4)から“L”を出力できます。

表16.34にSIMモードの仕様を、表16.35にSIMモード時の使用レジスタと設定値を、表16.36~表16.38にSIMモード時の端子の設定を示します。

表16.34 SIMモードの仕様

項目	仕様												
転送データフォーマット	<ul style="list-style-type: none"> 転送データ 8ビットUARTモード 1ストップビット ダイレクトフォーマットの場合 <table border="0"> <tr> <td>パリティ</td> <td>偶数</td> </tr> <tr> <td>データ論理</td> <td>ダイレクト</td> </tr> <tr> <td>転送フォーマット</td> <td>LSBファースト</td> </tr> </table> インバースフォーマットの場合 <table border="0"> <tr> <td>パリティ</td> <td>奇数</td> </tr> <tr> <td>データ論理</td> <td>インバース</td> </tr> <tr> <td>転送フォーマット</td> <td>MSBファースト</td> </tr> </table> 	パリティ	偶数	データ論理	ダイレクト	転送フォーマット	LSBファースト	パリティ	奇数	データ論理	インバース	転送フォーマット	MSBファースト
パリティ	偶数												
データ論理	ダイレクト												
転送フォーマット	LSBファースト												
パリティ	奇数												
データ論理	インバース												
転送フォーマット	MSBファースト												
転送クロック	<ul style="list-style-type: none"> UiMRレジスタ(i=0~4)のCKDIRビットが“0”(内部クロック選択)の場合 $f_j/16(m+1)$ $f_j=f_1, f_8, f_{2n}$(注2) m: UiBRGレジスタ設定値 0016~FF16 CKDIRビットを“1”(外部クロック選択を設定)にしないでください 												
送信制御、受信制御	UiC0レジスタのCRDビットは“1”(CTS, RTS機能禁止)												
その他設定項目	UiC1レジスタのUiIRSビットは“1”(送信割り込み要因は送信完了)												
送信開始条件	送信開始には次の条件が必要です <ul style="list-style-type: none"> UiC1レジスタのTEビットは“1”(送信許可) UiC1レジスタのTIビットは“0”(UiTBレジスタにデータあり) 												
受信開始条件	受信開始には次の条件が必要です <ul style="list-style-type: none"> UiC1レジスタのREビットは“1”(受信許可) スタートビットの検出 												
割り込み要求発生タイミング	送信時 UiIRSビットは“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信時 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)												
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注1) UiRBレジスタを読む前に次のデータの8ビット目を受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合、SUMビットが“1”になる 												

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

注2. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

表16.35 SIMモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“1012” にしてください
	CKDIR	“0” にしてください
	STPS	“0” にしてください
	PRY	ダイレクトフォーマットの場合“1”に、インバースフォーマットの場合 “0” にしてください
	PRYE	“1” にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	“1” にしてください
	CKPOL	“0” にしてください
	UFORM	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合 “1” にしてください
UiC1	TE	送信を許可する場合“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“1” にしてください
	RI	受信完了フラグ
	UiIRS	“1” にしてください
	UiRRM	“0” にしてください
	UiLCH	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合 “1” にしてください
	UiERE	“1” にしてください
UiSMR	0~7	“0016” にしてください
UiSMR2	0~7	“0016” にしてください
UiSMR3	0~7	“0016” にしてください
UiSMR4	0~7	“0016” にしてください

i=0~4

表16.36 SIMモード時の端子の設定(1)

ポート名	機能	ビットと設定値	
		PS0レジスタ	PD6レジスタ
P62	RxD0入力	PS0_2=0	PD6_2=0
P63	TxD0出力	PS0_3=1	-
P66	RxD1入力	PS0_6=0	PD6_6=0
P67	TxD1出力	PS0_7=1	-

表16.37 SIMモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0

注1. 出力はNチャンネルオープンドレイン出力

表16.38 SIMモード時の端子の設定(3)

ポート名	機能	ビットと設定値		
		PS3レジスタ(注1)	PSL3レジスタ	PD9レジスタ(注1)
P91	RxD3入力	PS3_1=0	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-
P96	TxD4出力	PS3_6=1	-	-
P97	RxD4入力	PS3_7=0	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

図16.29にSIMインタフェースの動作例を、図16.30にSIMインタフェースの接続例を示します。TxDiとRxDiを接続してプルアップしてください。

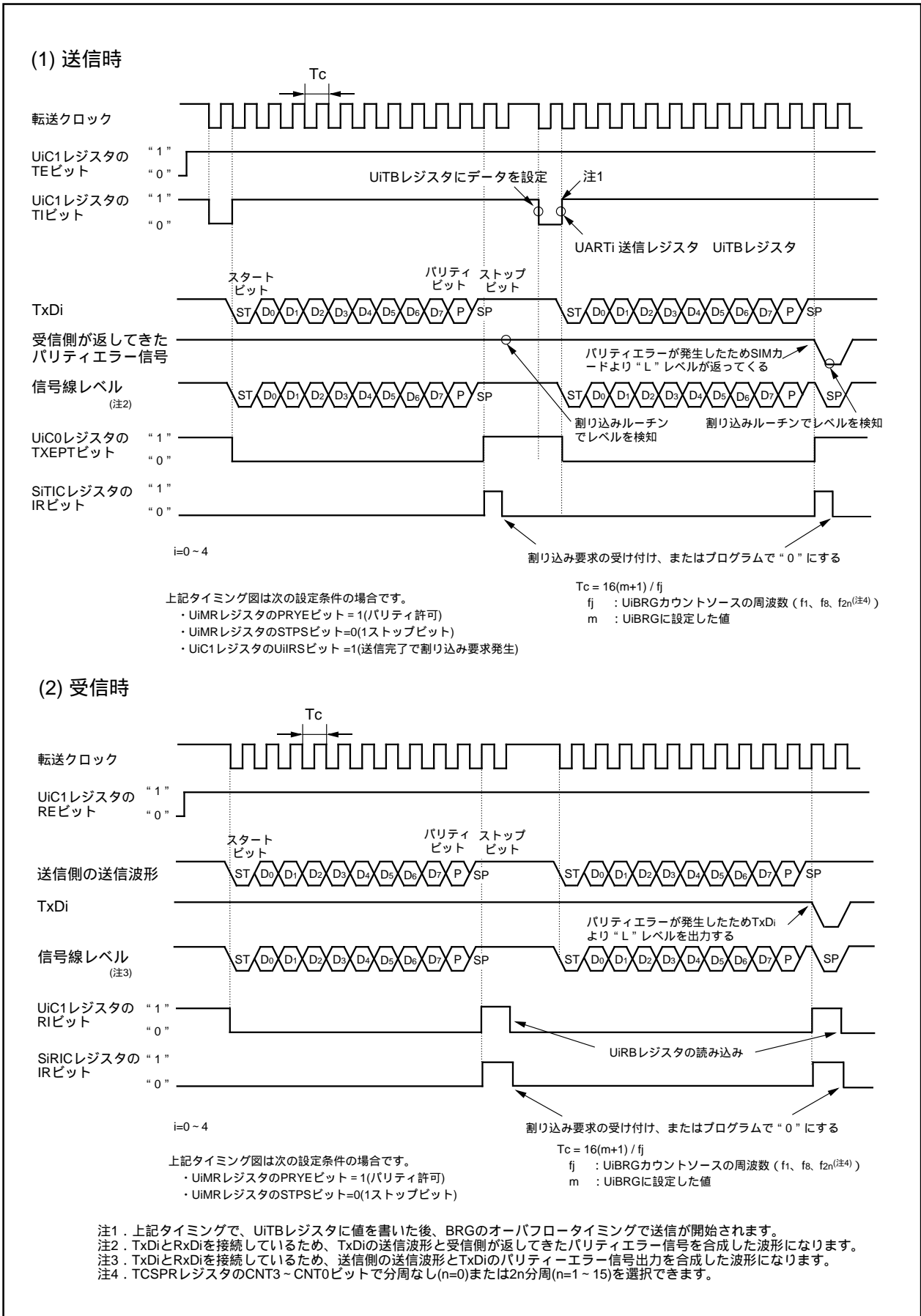


図16.29 SIMインタフェース 動作例

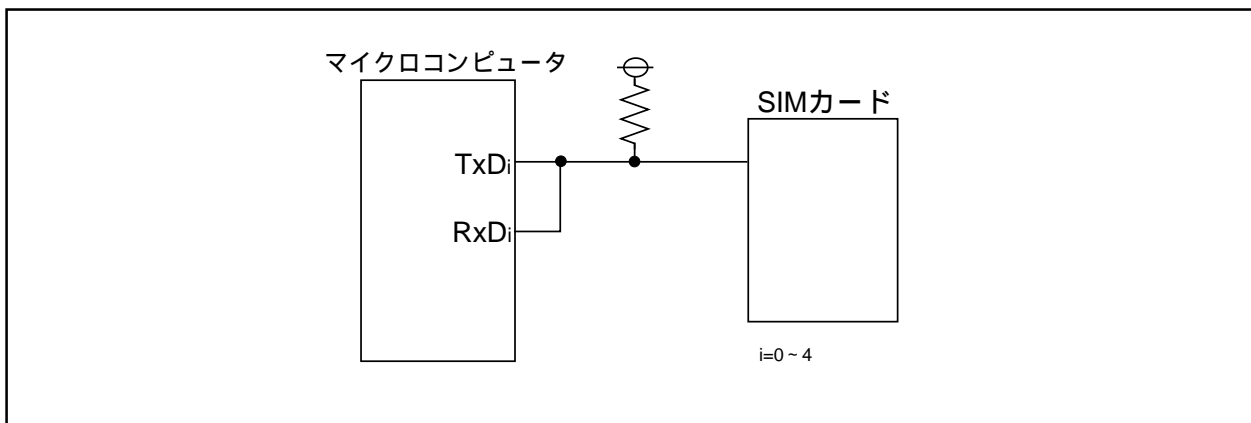


図16.30 SIMインタフェース接続例

16.7.1 パリティエラー信号

16.7.1.1 パリティエラー信号出力機能

UiC1レジスタ(i=0~4)のUiEREビットを“1”にすると、パリティエラー信号を出力できます。パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図16.31に示すタイミングでTxDi出力が“L”になります。ただし、パリティエラー信号出力中にUiRBレジスタを読むと、UiRBレジスタのPERビットが“0”になり、同時にTxDi出力も“H”に戻ります。

16.7.1.2 パリティエラー信号

送信時、送信完了割り込みルーチンで、RxDiと端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

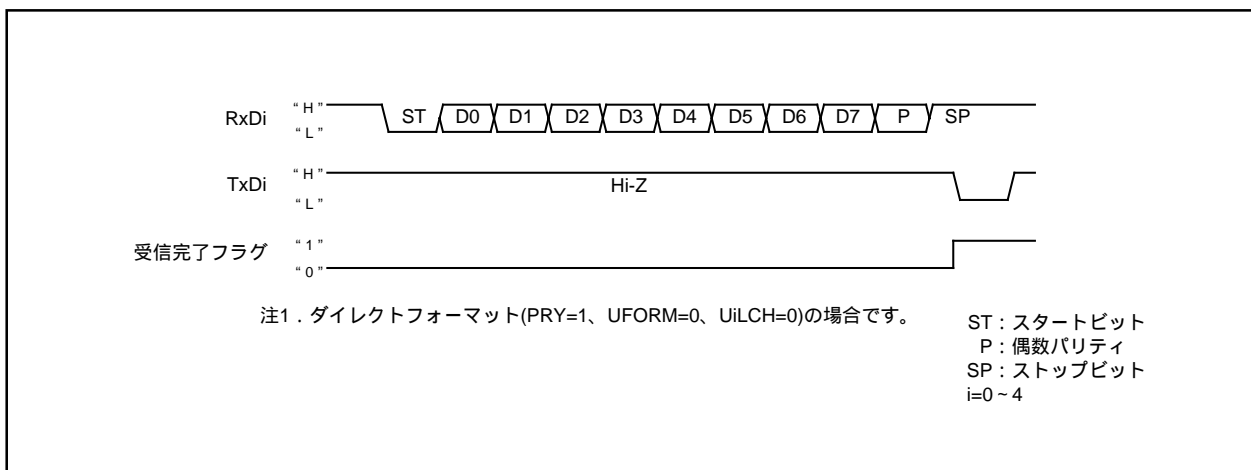


図16.31 パリティエラー信号出力タイミング(LSBファースト)

16.7.2 フォーマット

16.7.2.1 ダイレクトフォーマット

UiMRレジスタ(i=0~4)のPRYEビットを“1”、PRYビットを“1”、UiC0レジスタのUFORMビットを“0”、UiC1レジスタのUiLCHビットを“0”にしてください。送信時、UiTBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にUiRBレジスタに格納します。偶数パリティでパリティエラーを判定します。

16.7.2.2 インバースフォーマット

PRYEビットを“1”、PRYビットを“0”、UFORMビットを“1”、UiLCHビットを“1”にしてください。送信時、UiTBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にUiRBレジスタに格納します。奇数パリティでパリティエラーを判定します。

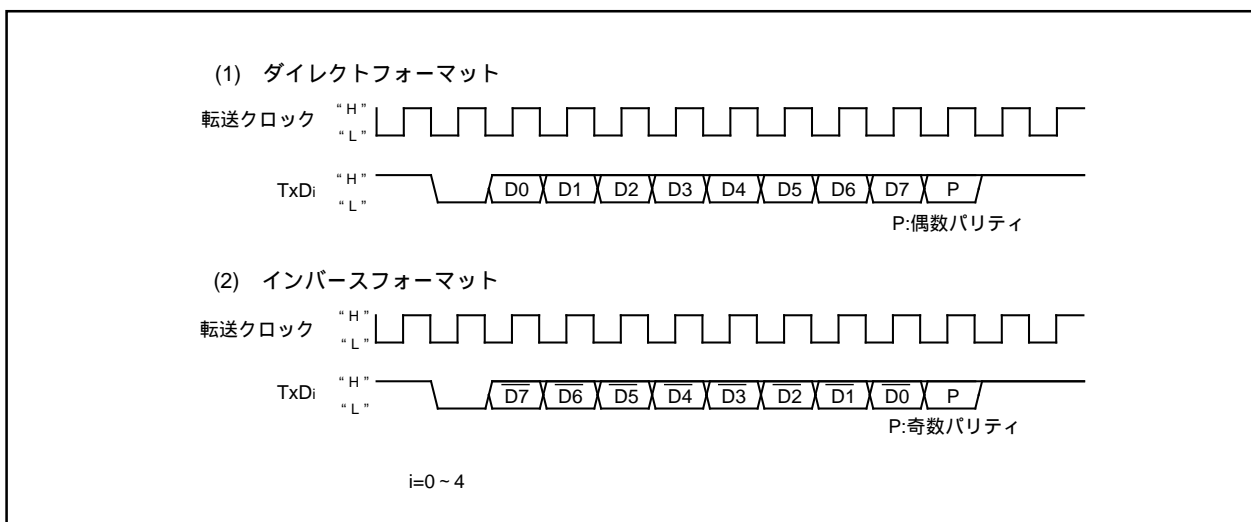


図16.32 SIMインタフェースフォーマット

17. A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが2回路あります。

A/D変換した結果は、選択した端子に対応したA/Dレジスタに格納されます。

表17.1にA/Dコンバータの仕様を、図17.1にA/Dコンバータのブロック図を示します。A/D0とA/D1は同じ方式のA/Dコンバータですが、表17.2に示すような相違があります。A/D0とA/D1は同時に変換を開始できません。表17.3にAN0～AN7、AN00～AN07、AN20～AN27、AN150～AN157、ANEX0、ANEX1、 $\overline{\text{ADTRG}}$ 端子を使用する場合の設定を示します。図17.2～図17.7にA/Dコンバータ関連のレジスタを示します。

注意

A/Dコンバータは144ピン版を例に説明しています。
100ピン版にAN150～AN157端子はありません。

表17.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧 ^(注1)	0V ~ AV _{CC} (V _{CC})
動作クロック AD ^(注2)	f _{AD} 、f _{AD} の2分周、f _{AD} の3分周、f _{AD} の4分周
分解能	8ビット、10ビット
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1
アナログ入力端子	34本 AN、AN0、AN2、AN15 各8本、拡張入力2本 (ANEX0、ANEX1)
A/D変換開始条件	ソフトウェアトリガ <ul style="list-style-type: none"> ADiCON0レジスタ(i=0, 1)のADSTビットをプログラムで“1”(A/D変換開始)にする AD0CON2レジスタのPSTビットをプログラムで“1”(A/D0、A/D1、2回路同時にA/D変換を開始)にする 外部トリガ(再トリガ可能) ADSTビットをプログラムで“1”にした後、 $\overline{\text{ADTRG}}$ 端子へ立ち下がりエッジを入力したとき ハードウェアトリガ(再トリガ可能) ADSTビットをプログラムで“1”にした後、次のいずれかの割り込み要求が発生したとき <ul style="list-style-type: none"> 三相モータ制御用タイマ機能の(ICTB2カウンタのカウンタ終了後)タイマB2割り込み要求 インテリジェントI/O割り込み要求 グループ2チャンネル1(A/D0)、グループ3チャンネル1(A/D1)
1本あたりの変換速度	<ul style="list-style-type: none"> サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル、分解能10ビットの場合59 ADサイクル サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に影響されません。

注2. V_{CC}=5Vのとき、ADの周波数は16MHz以下にしてください。

V_{CC}=3.3Vのとき、ADの周波数は10MHz以下にしてください。

サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

表17.2 A/D0とA/D1の相違

項目	A/D0	A/D1
アナログ入力端子 ^(注1)	AN(AN0 ~ AN7)	AN0(AN00 ~ AN07)、AN2(AN20 ~ AN27)、AN15(AN150 ~ AN157)から選択
拡張アナログ入力端子	ANEX0、ANEX1	なし
外部オペアンプ接続 ^(注1)	可能	不可能
トリガにできるインテリジェントI/O	グループ2チャンネル1	グループ3チャンネル1

注1. AD0CON2レジスタのADSビットが“0”(チャンネル入れ替え無効)の場合

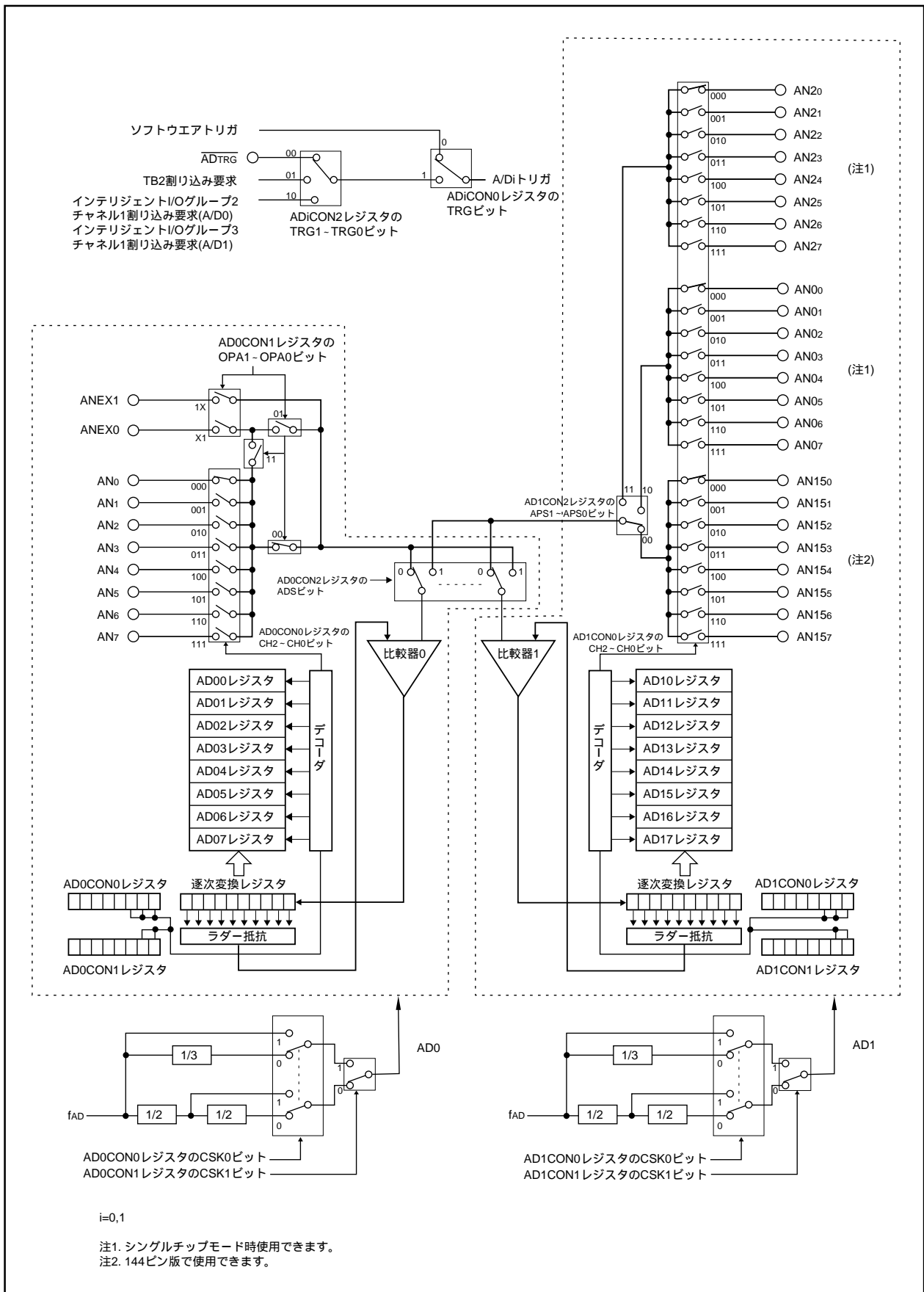


図17.1 A/Dコンバータのブロック図

表17.3 A/Dコンバータを使用する場合の端子の設定

ポート名	機能	ビットと設定値			
		PD10、PD0、PD2、 PD15、PD9(注3)レジスタ	PS3(注3)、PS9 レジスタ	PSL3、IPS レジスタ	PUR0、PUR3、 PUR4 レジスタ
P100	AN0	PD10_0 = 0	-	-	PU30 = 0
P101	AN1	PD10_1 = 0			
P102	AN2	PD10_2 = 0			
P103	AN3	PD10_3 = 0			
P104	AN4	PD10_4 = 0			PU31 = 0
P105	AN5	PD10_5 = 0			
P106	AN6	PD10_6 = 0			
P107	AN7	PD10_7 = 0			
P00	AN00(注1)	PD0_0 = 0	-	-	PU00 = 0
P01	AN01(注1)	PD0_1 = 0			
P02	AN02(注1)	PD0_2 = 0			
P03	AN03(注1)	PD0_3 = 0			
P04	AN04(注1)	PD0_4 = 0			PU01 = 0
P05	AN05(注1)	PD0_5 = 0			
P06	AN06(注1)	PD0_6 = 0			
P07	AN07(注1)	PD0_7 = 0			
P20	AN20(注1)	PD2_0 = 0	-	-	PU04 = 0
P21	AN21(注1)	PD2_1 = 0			
P22	AN22(注1)	PD2_2 = 0			
P23	AN23(注1)	PD2_3 = 0			
P24	AN24(注1)	PD2_4 = 0			PU05 = 0
P25	AN25(注1)	PD2_5 = 0			
P26	AN26(注1)	PD2_6 = 0			
P27	AN27(注1)	PD2_7 = 0			
P150	AN150(注2)	PD15_0 = 0	PS9_0 = 0	IPS2 = 1	PU42 = 0
P151	AN151(注2)	PD15_1 = 0	PS9_1 = 0		
P152	AN152(注2)	PD15_2 = 0	-		
P153	AN153(注2)	PD15_3 = 0	-		
P154	AN154(注2)	PD15_4 = 0	PS9_4 = 0		PU43 = 0
P155	AN155(注2)	PD15_5 = 0	PS9_5 = 0		
P156	AN156(注2)	PD15_6 = 0	-		
P157	AN157(注2)	PD15_7 = 0	-		
P95	ANEX0	PD9_5 = 0	PS3_5 = 0	PSL3_5 = 1	PU27 = 0
P96	ANEX1	PD9_6 = 0	PS3_6 = 0	PSL3_6 = 1	
P97	ADTRG	PD9_7 = 0	PS3_7 = 0	-	-

注1. シングルチップモード時使用できます。

注2. 144ピン版で使用できます。

注3. PD9、PS3レジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

A/D0制御レジスタ0 (注1)

ビット シンボル	ビット名	機能	RW
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
シンボル アドレス リセット後の値 AD0CON0 0396 ₁₆ 番地 00 ₁₆			
CH0	アナログ入力端子 選択ビット (注2,3,4)	b2 b1 b0 0 0 0 : AN ₀ 0 0 1 : AN ₁ 0 1 0 : AN ₂ 0 1 1 : AN ₃ 1 0 0 : AN ₄ 1 0 1 : AN ₅ 1 1 0 : AN ₆ 1 1 1 : AN ₇	RW
CH1			RW
CH2			RW
MD0		A/D動作モード 選択ビット0 (注2)	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0または1
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : 外部トリガ、ハードウェアトリガ (注5)	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始 (注5)	RW
CKS0	周波数選択ビット (注6)	0 : f _{AD} /3またはf _{AD} /4を選択 1 : f _{AD} /1またはf _{AD} /2を選択	RW

注1 . A/D変換中にこのレジスタを書き換えた場合、変換結果は不定になります。

注2 . A/D動作モードを変更した場合は、あらかじめアナログ入力端子を設定してください。

注3 . このビットは、単掃引モード、繰り返し掃引モード0または1では無効です。

注4 . P10端子をアナログ入力として使用する場合は、PSCレジスタのPSC_7ビットを"1"にしてください。

注5 . TRGビットを"1"(外部トリガ、ハードウェアトリガ)にする場合は、AD0CON2レジスタのTRG1~TRG0ビットでトリガ要因を選択し、TRGビットを"1"にした後、ADSTビットを"1"にしてください。

注6 . V_{CC}=5Vのとき、ADの周波数は16MHz以下にしてください。

V_{CC}=3.3Vのとき、ADの周波数は10MHz以下にしてください。

ADはCKS0ビットとCKS1ビットの組み合わせで選択できます。

CKS0	CKS1	AD
0	0	f _{AD} の4分周
0	1	f _{AD} の3分周
1	0	f _{AD} の2分周
1	1	f _{AD}

図17.2 AD0CON0レジスタ

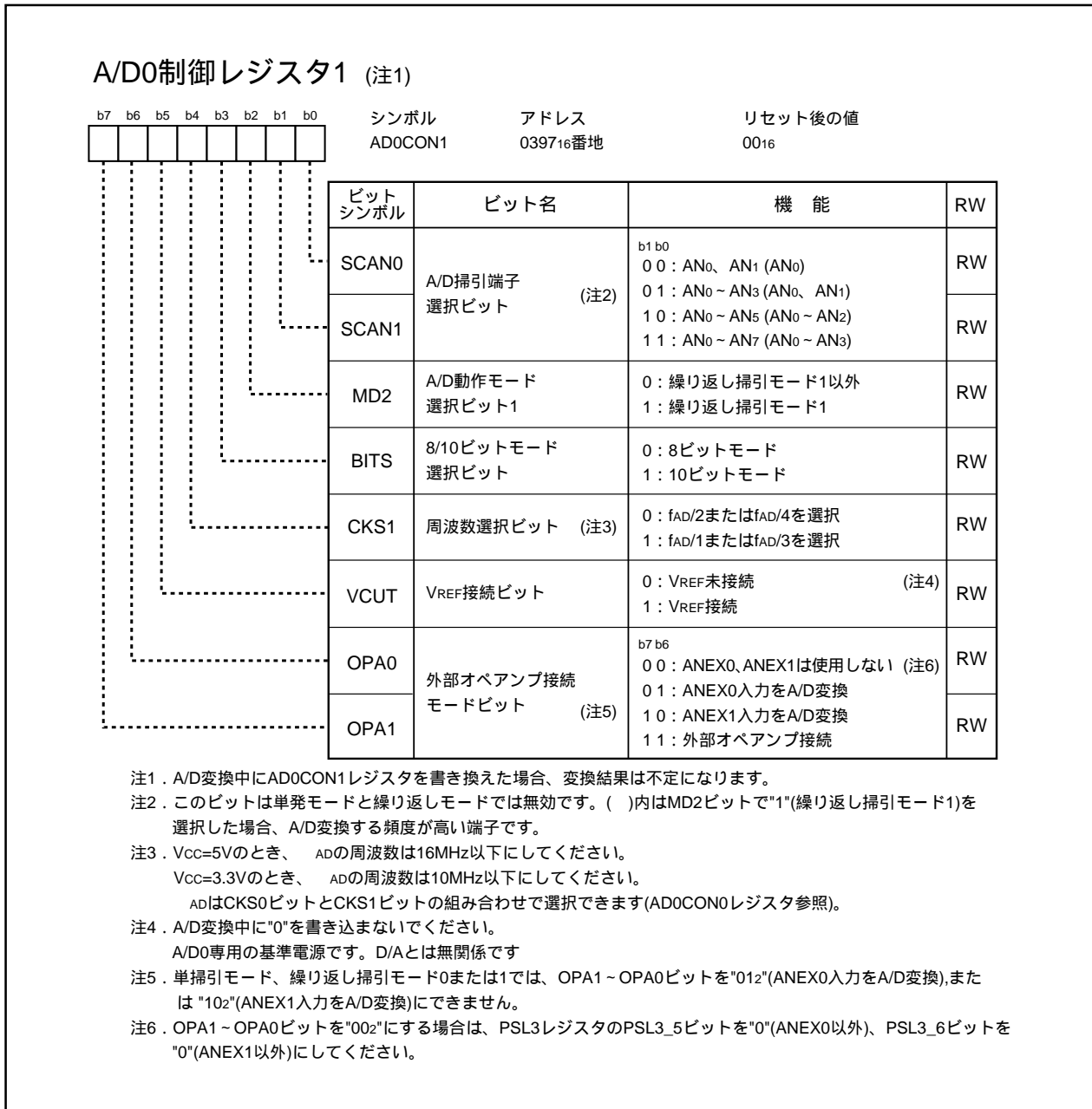


図17.3 AD0CON1レジスタ

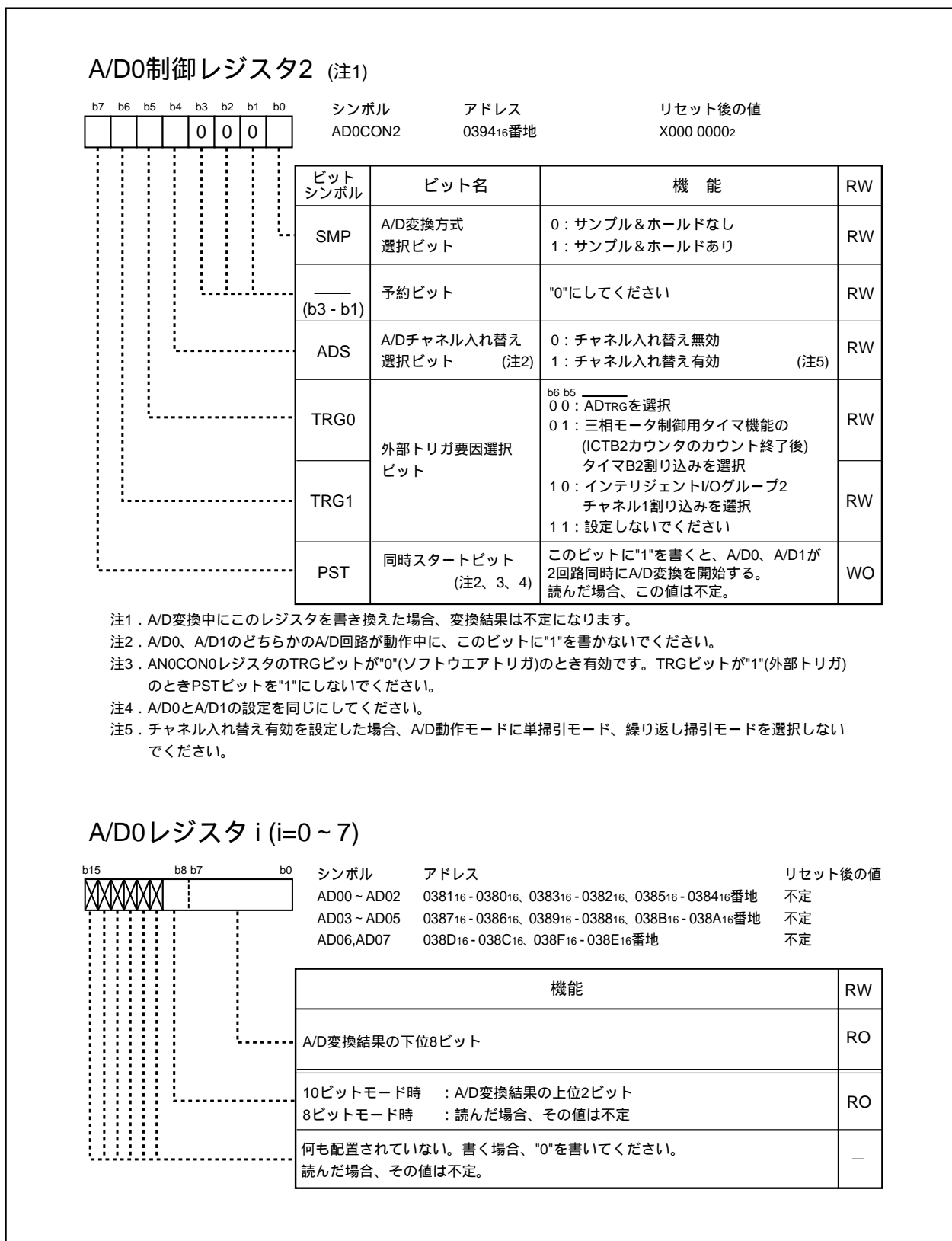


図17.4 AD0CON2レジスタ、AD00 ~ AD07レジスタ

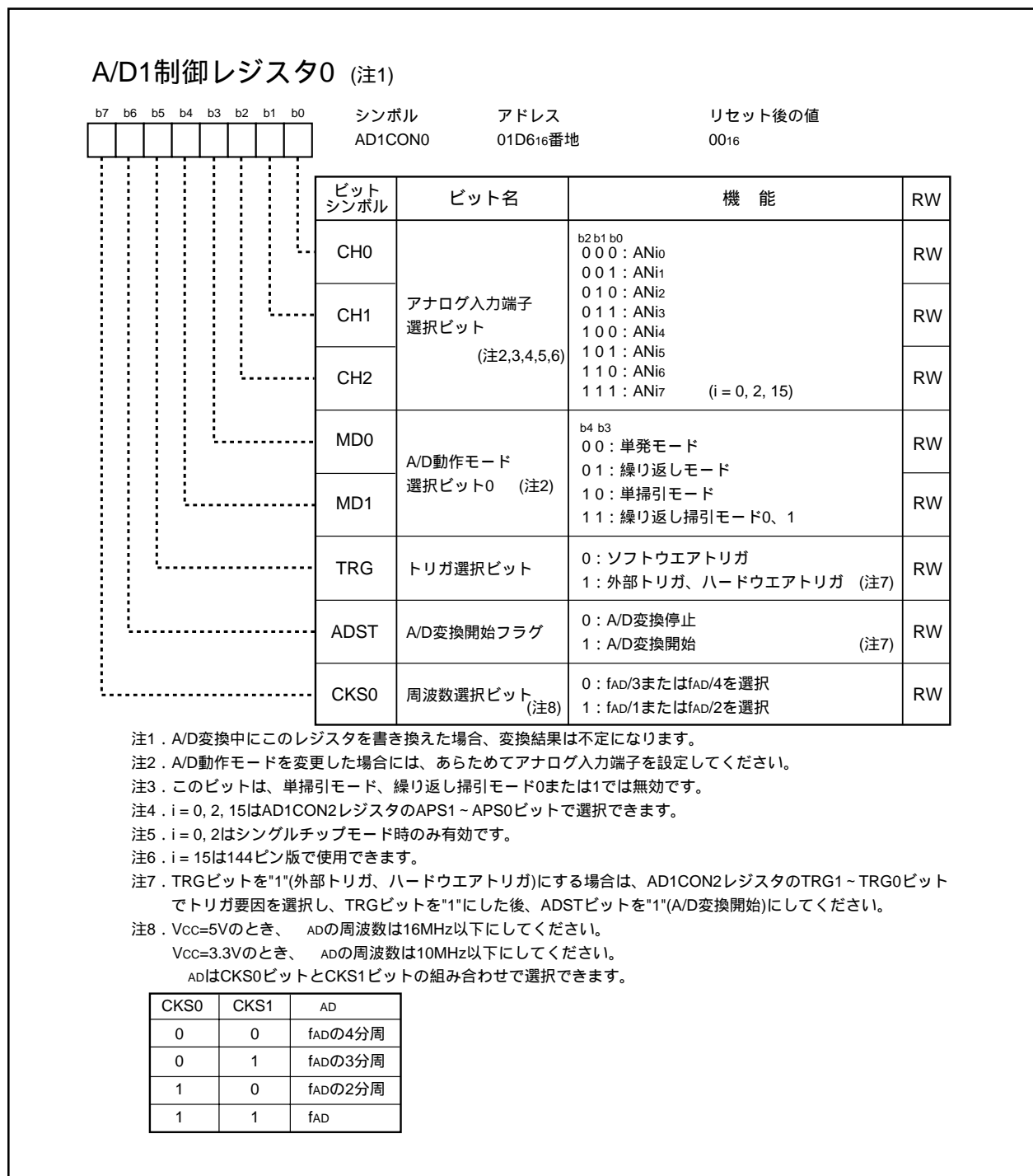


図17.5 AD1CON0レジスタ

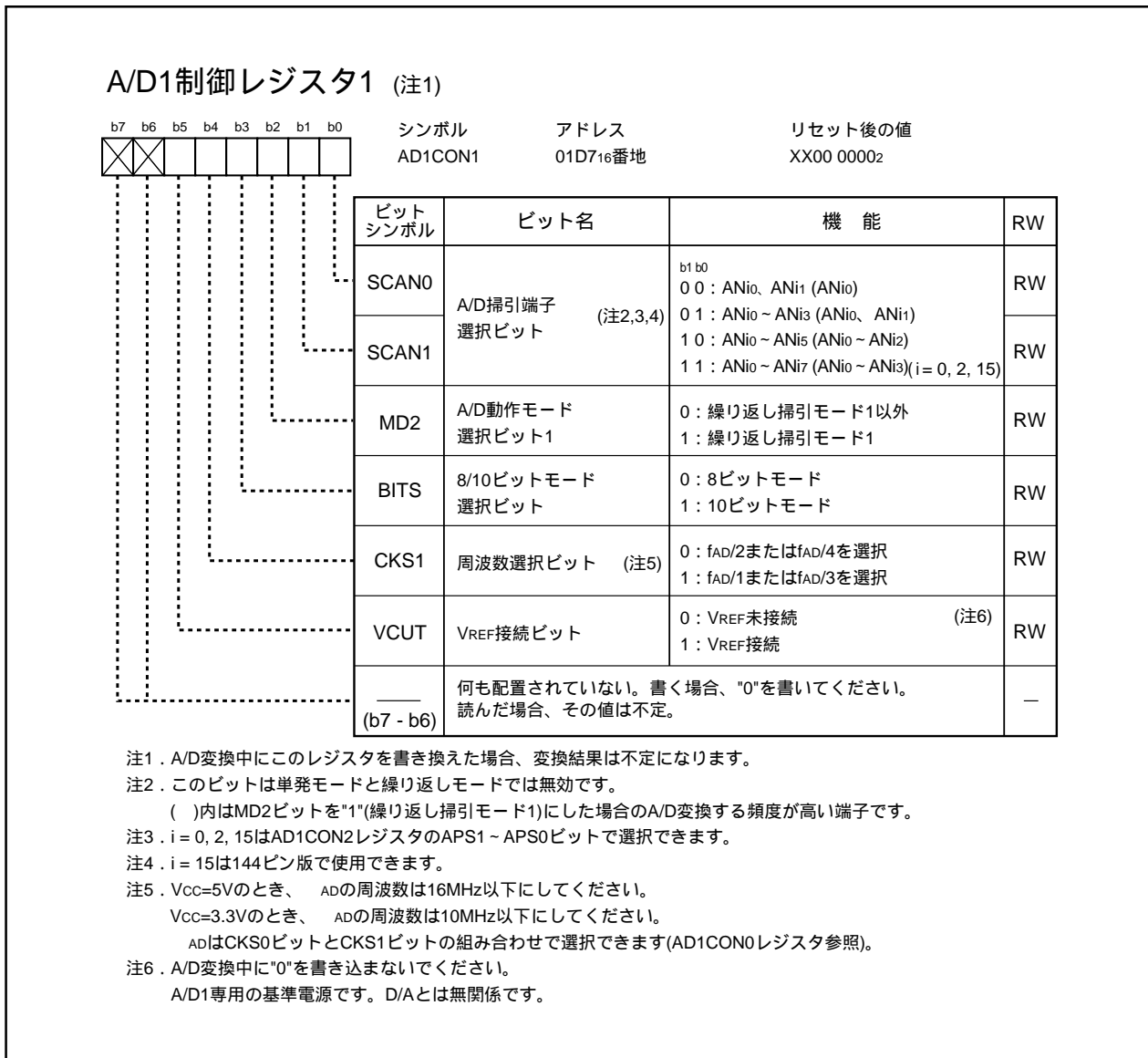


図17.6 AD1CON1レジスタ

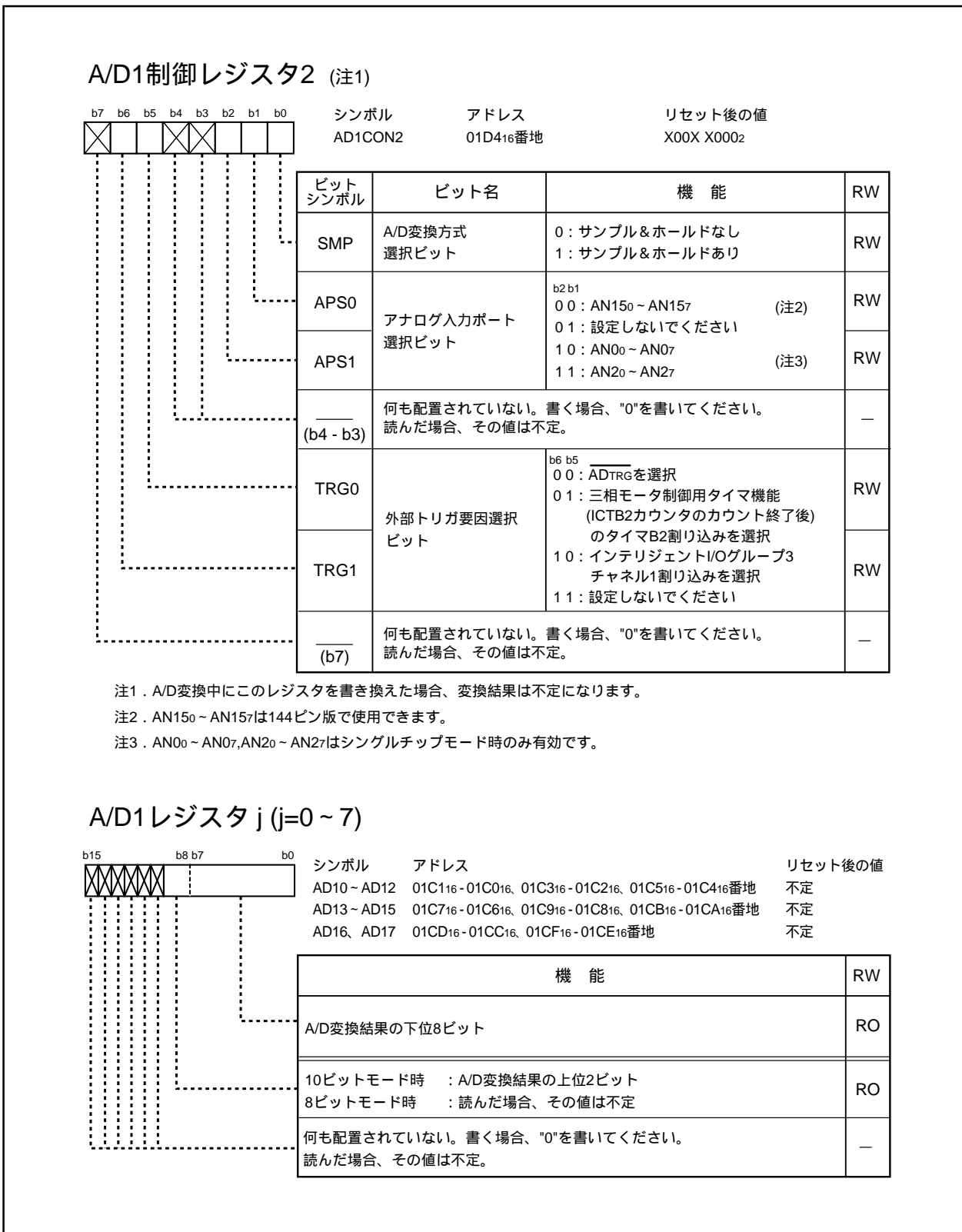


図17.7 AD1CON2レジスタ、AD10 ~ AD17レジスタ

17.1 モードの説明

17.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表17.4に単発モードの仕様を示します。

表17.4 単発モードの仕様

項目	仕様
機能	ADiCON0レジスタ(i = 0,1)のCH2 ~ CH0ビットで選択した1本の端子の入力電圧を1回A/D変換する
開始条件	ADiCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 <ul style="list-style-type: none"> ・ ADiCON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする ・ AD0CON2レジスタのPSTビットをプログラムで“1”(A/D0、A/D1が同時にA/D変換を開始)にする TRGビットが“1”(外部トリガ、ハードウェアトリガ)の場合 <ul style="list-style-type: none"> ・ ADSTビットをプログラムで“1”にした後、ADTRG端子へ立ち下がりエッジを入力したとき ・ ADSTビットをプログラムで“1”にした後、次のいずれかの割り込み要求が発生したとき <ul style="list-style-type: none"> - 三相モータ制御用タイマ機能(ICTB2カウンタのカウント終了後)のタイマB2割り込み要求 - インテリジェントI/O割り込み要求 グループ2チャンネル1(A/D0)、グループ3チャンネル1(A/D1)
停止条件	<ul style="list-style-type: none"> ・ A/D変換終了(内部トリガ選択時ADSTビットは“0”になる) ・ ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN0 ~ AN7、ANEX0、ANEX1から1端子を選択 ANj0 ~ ANj7(j = 0, 2, 15)から1端子を選択
A/D変換値の読み出し	選択した端子に対応したADik(k = 0 ~ 7)レジスタの読み出し

17.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表17.5に繰り返しモードの仕様を示します。

表17.5 繰り返しモードの仕様

項目	仕様
機能	ADiCON0レジスタ(i=0,1)のCH2 ~ CH0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
開始条件	単発モードと同じ
停止条件	ADiCON0レジスタのADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	発生しない
入力端子	AN0 ~ AN7、ANEX0、ANEX1から1端子を選択 ANj0 ~ ANj7(j = 0, 2, 15)から1端子を選択
A/D変換値の読み出し	選択した端子に対応したADik(k = 0 ~ 7)レジスタの読み出し

17.1.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表17.6に単掃引モードの仕様を示します。

表17.6 単掃引モードの仕様

項目	仕様
機能	ADiCON1レジスタ(i = 0, 1)のSCAN1 ~ SCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する
開始条件	単発モードと同じ
停止条件	<ul style="list-style-type: none"> ・ A/D変換終了(内部トリガ選択時、ADiCON0レジスタのADSTビットは“0”になる) ・ ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	掃引終了時
入力端子	AN ₀ ~ AN ₁ (2端子)、AN ₀ ~ AN ₃ (4端子)、AN ₀ ~ AN ₅ (6端子)、またはAN ₀ ~ AN ₇ (8端子)から選択 AN _{j0} (j=0, 2, 15) ~ AN _{j1} (2端子)、AN _{j0} ~ AN _{j3} (4端子)、AN _{j0} ~ AN _{j5} (6端子)、またはAN _{j0} ~ AN _{j7} (8端子)から選択
A/D変換値の読み出し	選択した端子に対応したADi _k (k = 0 ~ 7)レジスタの読み出し

17.1.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表17.7に繰り返し掃引モード0の仕様を示します。

表17.7 繰り返し掃引モード0の仕様

項目	仕様
機能	ADiCON1レジスタ(i = 0, 1)のSCAN1 ~ SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する
開始条件	単発モードと同じ
停止条件	ADiCON0レジスタのADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	発生しない
入力端子	AN ₀ ~ AN ₁ (2端子)、AN ₀ ~ AN ₃ (4端子)、AN ₀ ~ AN ₅ (6端子)、またはAN ₀ ~ AN ₇ (8端子)から選択 AN _{j0} (j=0, 2, 15) ~ AN _{j1} (2端子)、AN _{j0} ~ AN _{j3} (4端子)、AN _{j0} ~ AN _{j5} (6端子)、またはAN _{j0} ~ AN _{j7} (8端子)から選択
A/D変換値の読み出し	選択した端子に対応したADi _k (k = 0 ~ 7)レジスタの読み出し

17.1.5 繰り返し掃引モード1

選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換するモードです。表17.8に繰り返し掃引モード1の仕様を示します。

表17.8 繰り返し掃引モード1の仕様

項目	仕様
機能	ADiCON1レジスタ(i=0,1)のSCAN1~SCAN0ビットで選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換する 例: ANj0(j=なし, 0, 2, 15)を選択した場合 ANj0 ANj1 ANj0 ANj2 ANj0 ANj3...の順にA/D変換する
開始条件	単発モードと同じ
停止条件	ADiCON0レジスタのADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	発生しない
入力端子	ANj0~ANj7
重点的に行う端子	AN0(1端子)、AN0~AN1(2端子)、AN0~AN2(3端子)、またはAN0~AN3(4端子)から選択 ANj0(j=0, 2, 15)(1端子)、ANj0~ANj1(2端子)、ANj0~ANj2(3端子)、またはANj0~ANj3(4端子)から選択
A/D変換値の読み出し	選択した端子に対応したADik(k=0~7)レジスタの読み出し

17.2 機能

17.2.1 分解能選択機能

ADiCON1レジスタ(i=0,1)のBITSビットで分解能を選択できます。BITSビットを“1”(変換精度を10ビット)にすると、A/D変換結果がADijレジスタ(j=0~7)のビット0~9に格納されます。BITSビットを“0”(変換精度を8ビット)にすると、A/D変換結果がADijレジスタのビット0~7に格納されます。

17.2.2 サンプル&ホールド

ADiCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルになります。サンプル&ホールドは、すべての動作モードで有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

17.2.3 トリガ選択機能

ADiCON0レジスタのTRGビットとADiCON2レジスタのTRG1~TRG0ビットの組み合わせにより、A/D変換の開始トリガを選択できます。表17.9にトリガ選択機能設定を示します。

表17.9 トリガ選択機能設定

ビットと設定値		トリガ
ADiCON0レジスタ	ADiCON2レジスタ	
TRG=0	-	ソフトウェアトリガ ADiCON0レジスタのADSTビットをプログラムで“1”にすると、A/DiがA/D変換を開始する
	-	2回路同時スタート AD0CON2レジスタのPSTビットをプログラムで“1”にすると、A/D0、A/D1が同時にA/D変換を開始する(「17.2.4 2回路同時スタート」参照)
TRG=1(注1)	TRG1 ~ TRG0=002	外部トリガ(注2) ADTRG入力信号の立ち下がり
	TRG1 ~ TRG0=012	ハードウェアトリガ(注2) 三相モータ制御用タイマ機能の(ICTB2カウンタのカウンタ終了後)タイマB2割り込み要求
	TRG1 ~ TRG0=102	ハードウェアトリガ(注2) インテリジェントI/O割り込み要求 グループ2チャンネル1(A/D0)、グループ3チャンネル1(A/D1)

i = 0,1

注1. ADSTビットが“1”(A/D変換開始)の状態、トリガが発生するとA/DiがA/D変換を開始します。

注2. A/D変換中に外部トリガまたはハードウェアトリガが入力されると、再度A/D変換を開始します。(それまで行っていたA/D変換は中断されます。)

17.2.4 2回路同時スタート(ソフトウェアトリガ)

AD0CON2レジスタのPSTビットを“1”(2回路同時にA/D変換スタート)にすると、A/D0、A/D1が同時に変換を開始します。

なお、A/D0とA/D1のどちらかのA/D回路が動作中にPSTビットに“1”を書かないでください。また、TRGビットが“1”(外部トリガ選択)のときにPSTビットに“1”を書かないでください。PSTビットを使用する場合は、ADSTビットに“1”(A/D変換開始)を書かないでください。

17.2.5 入力端子の入れ替え機能

AD0CON2レジスタのADSビットを“1”(チャンネル入れ替え有効)にすると、A/D0とA/D1のチャンネルを入れ替えることができます。ANj(j = 0 ~ 7)入力はA/D1で変換され、変換結果はAD1jレジスタへ格納されます。同様に、AN0j、AN2j、AN15j入力はA/D0で変換され、変換結果はAD0jレジスタへ格納されます。

ADSビットを“1”にする場合、AD0CON0レジスタのMD1 ~ MD0ビットは“002”(単発モード)または“012”(繰り返しモード)にしてください。単掃引モード、繰り返し掃引モード0,1は使用できません。また、AD0CON1レジスタのOPA1 ~ OPA0ビットは“002”(ANEX0, ANEX1は使用しない)にしてください。AD0CON0レジスタとAD1CON0レジスタ、AD0CON1レジスタとAD1CON1レジスタには同じ値を設定してください。

17.2.6 拡張アナログ入力端子

単発モードと繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。AD0CON1レジスタのOPA1 ~ OPA0ビットで選択してください。ANEX0入力のA/D変換結果はAD00レジスタへ、ANEX1入力のA/D変換結果はAD01レジスタへ格納されます。

17.2.7 外部オペアンプ接続

拡張アナログ入力端子ANEX0、ANEX1を用いて複数のアナログ入力を1個の外部オペアンプで増幅できます。

AD0CON1レジスタのOPA1～OPA0ビットが“1”（外部オペアンプ接続）のとき、AN₀～AN₇の入力をANEX0端子から出力します。この出力を外部オペアンプで増幅し、ANEX1端子へ入力してください。

A/D変換は、ANEX1入力に対して行われ、A/D変換結果は対応するAD_{ij}レジスタ($i=0,1, j=0\sim7$)に格納されます。A/D変換速度は外部オペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子を直結しないでください。

図17.8に外部オペアンプ接続例を示します。

表17.10 拡張アナログ入力端子の機能選択

AD0CON1レジスタ		ANEX0の機能	ANEX1の機能
OPA1	OPA0		
0	0	使用しない	使用しない
0	1	P9 ₅ /アナログ入力	使用しない
1	0	使用しない	P9 ₆ /アナログ入力
1	1	外部オペアンプへの出力	外部オペアンプからの入力

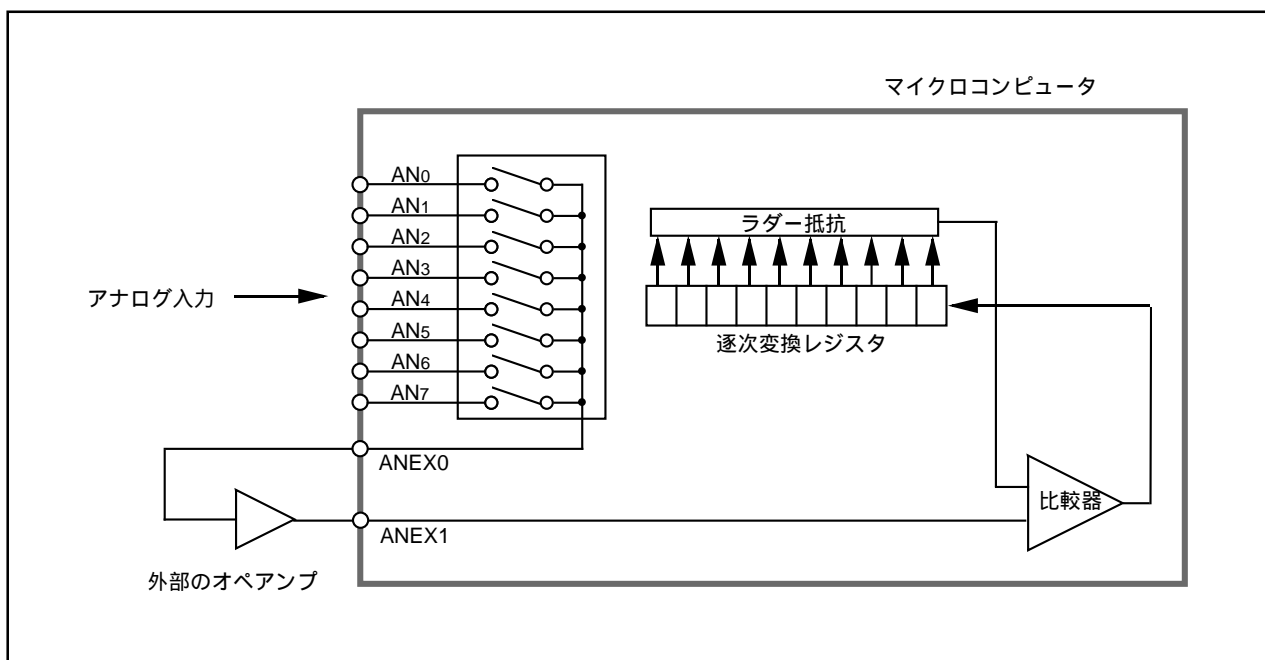


図17.8 外部オペアンプ接続例

17.2.8 消費電流低減機能

A/Dコンバータを使用しないとき、AD_iCON1レジスタ($i=0,1$)のVCUTビットによりA/Dコンバータのラダー抵抗と基準電圧入力端子(V_{REF})を切り離すことができます。切り離すと、V_{REF}端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1”（V_{REF}接続）にした後で、AD_iCON0レジスタのADSTビットを“1”（A/D変換開始）にしてください。ADSTビットとVCUTビットは、同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0”（V_{REF}未接続）にしないでください。

なお、D/AコンバータのV_{REF}には影響しません（無関係です）。

17.2.9 アナログ入力端子と外部センサーの等価回路例

図 17.9 にアナログ入力端子と外部センサーの等価回路例を示します。

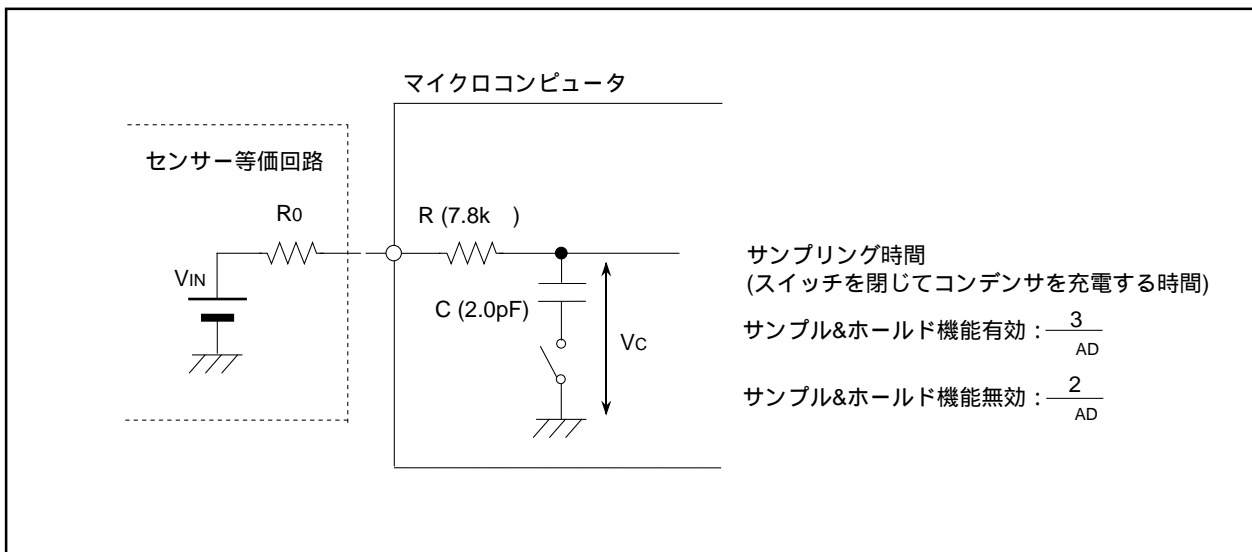


図17.9 アナログ入力端子と外部センサーの等価回路例

18. D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータです。

D/A変換は、対応したDA_iレジスタ($i = 0, 1$)に値を書くことで行われます。変換結果を出力するかどうかはDACONレジスタのDA_iEビットで選択してください。DA_iEビットを“1”(出力許可)にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧(V)は、DA_iレジスタに設定した値n(nは10進数)で決まります。

$$V = \frac{V_{REF} \times n}{256} \quad (n=0 \sim 255)$$

V_{REF} :基準電圧(ADiCON1レジスタのVCUTビットとは無関係です。)

表18.1にD/Aコンバータの仕様を、表18.2にDA₀、DA₁端子を使用する場合の設定を、図18.1にD/Aコンバータのブロック図を、図18.2にD/Aコンバータ関連レジスタを、図18.3にD/Aコンバータの等価回路を示します。

D/Aコンバータを使用しないときは、DA_iレジスタを“0016”、DA_iEビットを“0”(出力禁止)にしてください。

表18.1 D/Aコンバータの仕様

項目	仕様
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル

表18.2 DA₀、DA₁端子を使用する場合の設定

ポート名	機能	ビットと設定値		
		PD9レジスタ(注1)	PS3レジスタ(注1)	PSL3レジスタ
P93	DA ₀ 出力	PD9_3 = 0	PS3_3 = 0	PSL3_3 = 1
P94	DA ₁ 出力	PD9_4 = 0	PS3_4 = 0	PSL3_4 = 1

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

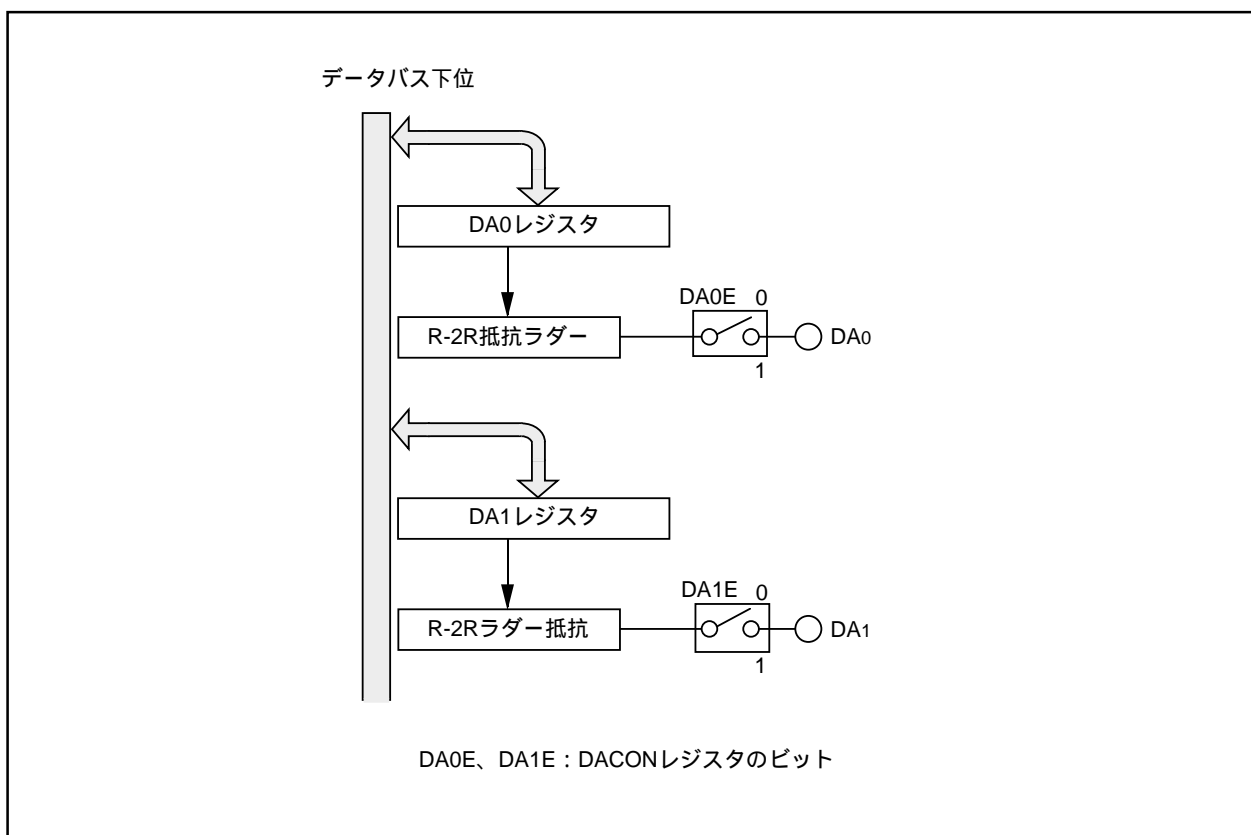


図18.1 D/Aコンバータのブロック図

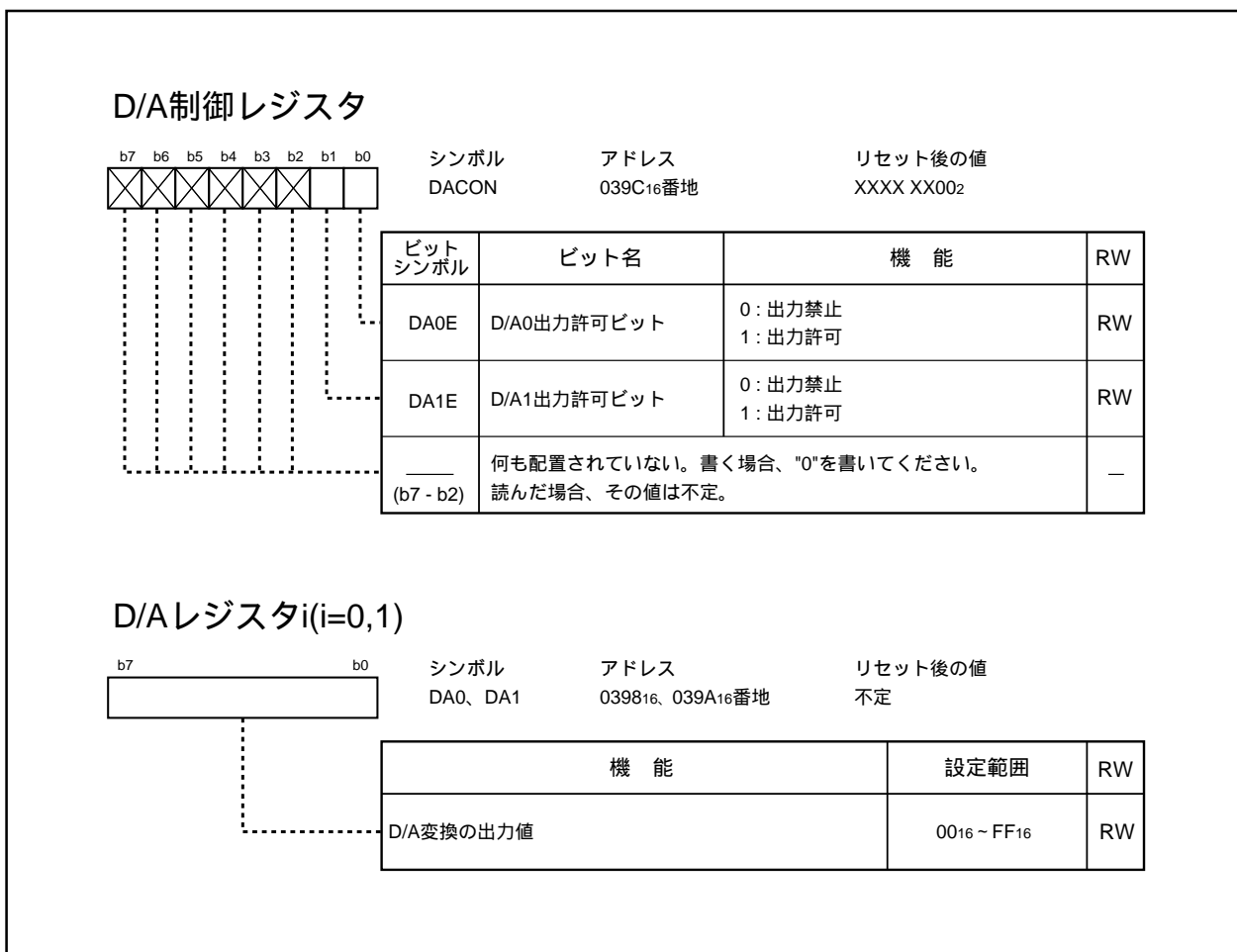


図18.2 DACONレジスタ、DA0、DA1レジスタ

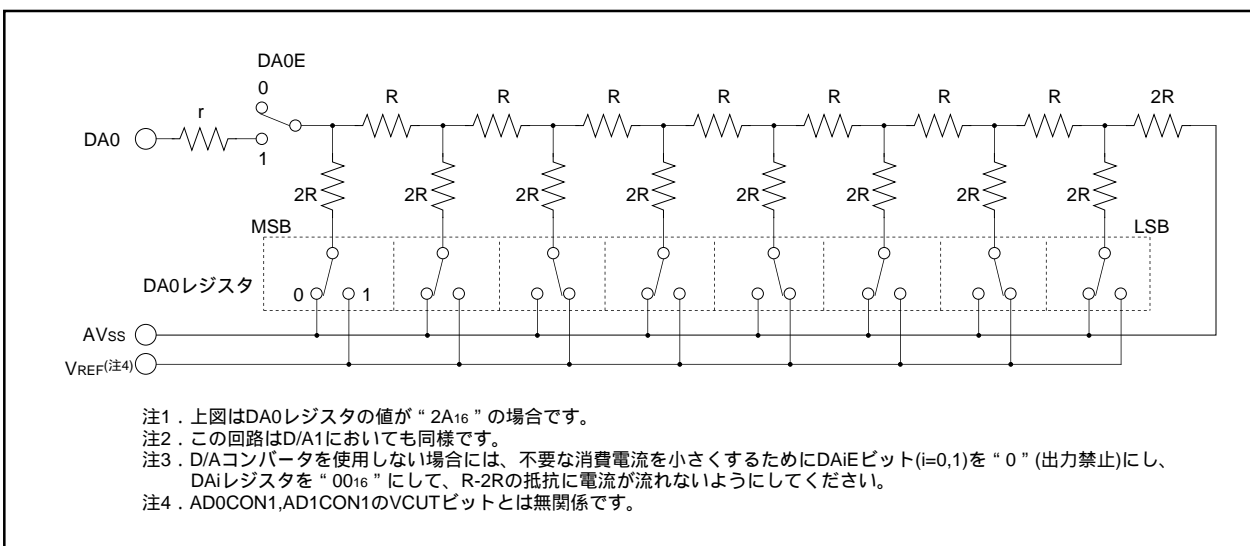


図18.3 D/Aコンバータの等価回路

19. CRC演算

CRC(Cyclic Redundancy Check)演算は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2サイクルで終了します。

図19.1にCRCのブロック図、図19.2にCRCの関連レジスタを示します。また、図19.3にCRC演算例を示します。

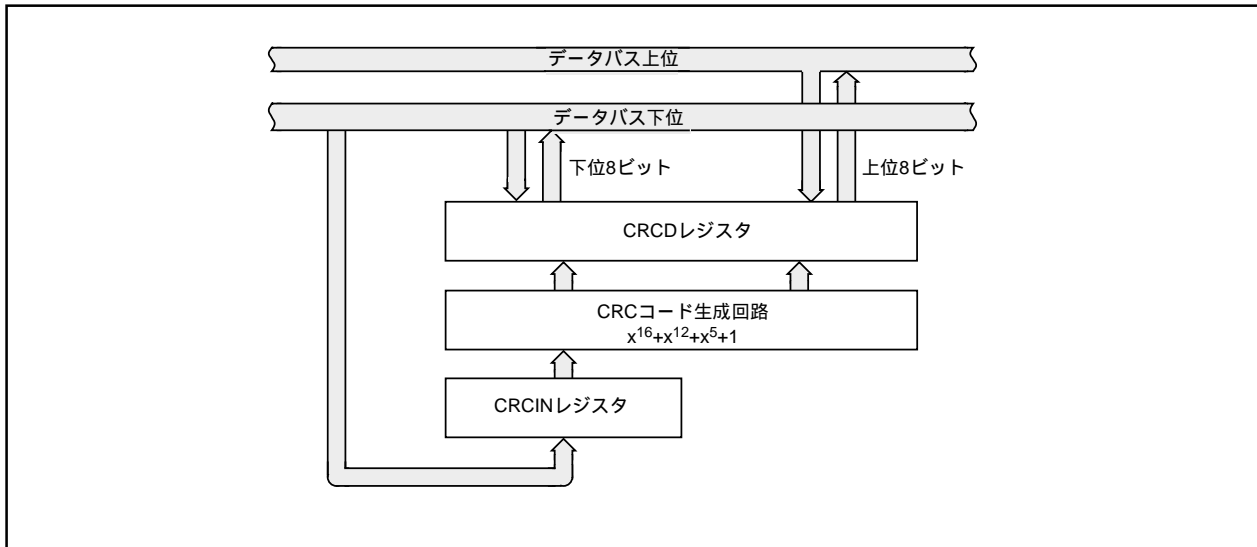


図19.1 CRCブロック図

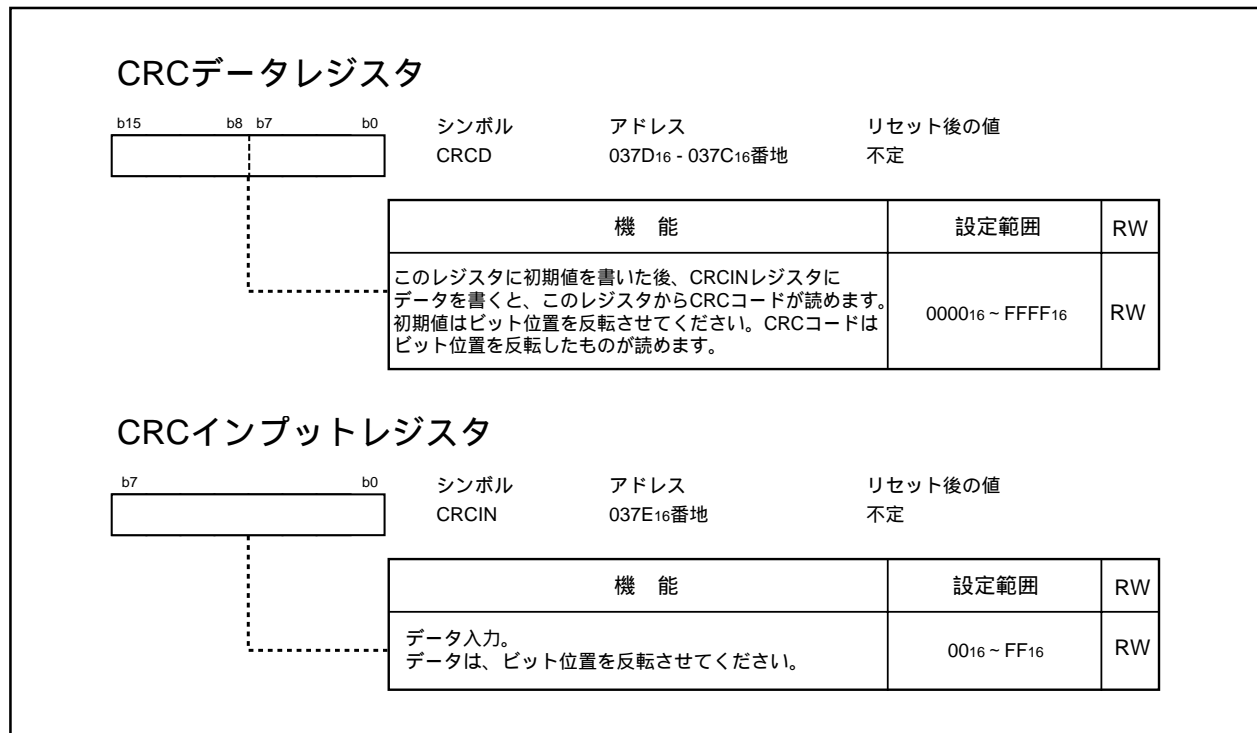


図19.2 CRCDレジスタ、CRCINレジスタ

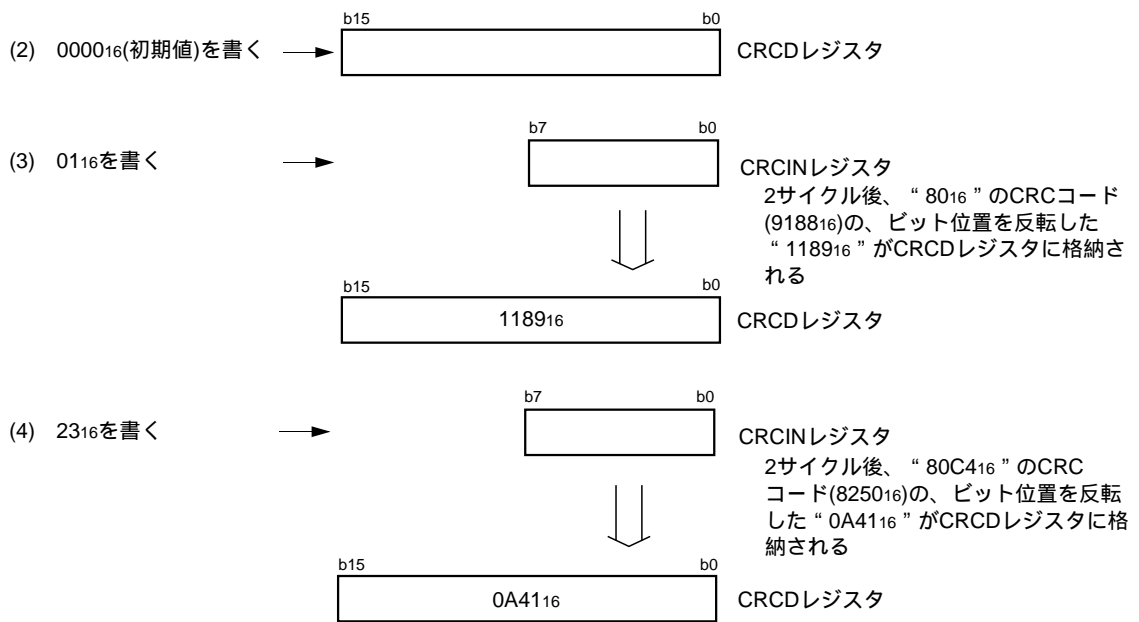
“ 80C4₁₆ ” のCRCコードを生成する場合の設定手順とCRC演算

M32CのCRC演算

CRCコード : CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余
 生成多項式 : $X^{16} + X^{12} + X^5 + 1(1\ 0001\ 0000\ 0010\ 0001_2)$

設定手順

- (1) プログラムで “ 80C4₁₆ ” のビット位置をバイト単位で反転させる
 “ 80₁₆ ” “ 01₁₆ ”、“ C4₁₆ ” “ 23₁₆ ”



CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値 “ 01₁₆(00000001₂) ” はビット位置を反転され “ 10000000₂ ” になる。これに16桁追加した “ 1000 0000 0000 0000 0000 0000₂ ” と、CRCDCレジスタの初期値 “ 0000₁₆ ” を加算した値をモジュロ2除算する。

	1000 1000	
1 0001 0000 0010 0001	1000 0000 0000 0000 0000 0000	← データ
	1000 1000 0001 0000 1	
生成多項式	1000 0001 0000 1000 0	
	1000 1000 0001 0000 1	
	1001 0001 1000 1000	
	CRCコード	

モジュロ2の演算とは...
 次の法則に基づいた演算です。

$0 + 0 = 0$
 $0 + 1 = 1$
 $1 + 0 = 1$
 $1 + 1 = 0$
 $-1 = 1$

剰余 “ 1001 0001 1000 1000₂(9188₁₆) ” のビット位置を反転した “ 0001 0001 1000 1001₂(1189₁₆) ” がCRCDCレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値 “ 23₁₆(00100011₂) ” はビット位置を反転され “ 11000100₂ ” になる。これに16桁追加した “ 1100 0100 0000 0000 0000 0000₂ ” と、CRCDCレジスタに残っている(3)の剰余 “ 1001 0001 1000 1000₂ ” を加算した値をモジュロ2除算する。
 剰余のビット位置を反転した “ 0000 1010 0100 0001₂(0A41₁₆) ” がCRCDCレジスタから読める。

図19.3 CRC演算例

20. X/Y変換

X/Y変換は16×16ビットのマトリクスデータの90度回転を行います。また、16ビットデータのビット配置の上位と下位を反転させることができます。図20.1にXYCレジスタを示します。

XiRレジスタ(i = 0 ~ 15)とYjRレジスタ(j = 0 ~ 15)は16ビットレジスタです。

XiRレジスタとYjRレジスタは同一アドレスに配置されており、XiRレジスタは書き込み専用、YjRレジスタは読み出し専用です。XiRレジスタとYjRレジスタは偶数番地から16ビット単位でアクセスしてください。8ビット単位でアクセスした時の動作は不定となります。

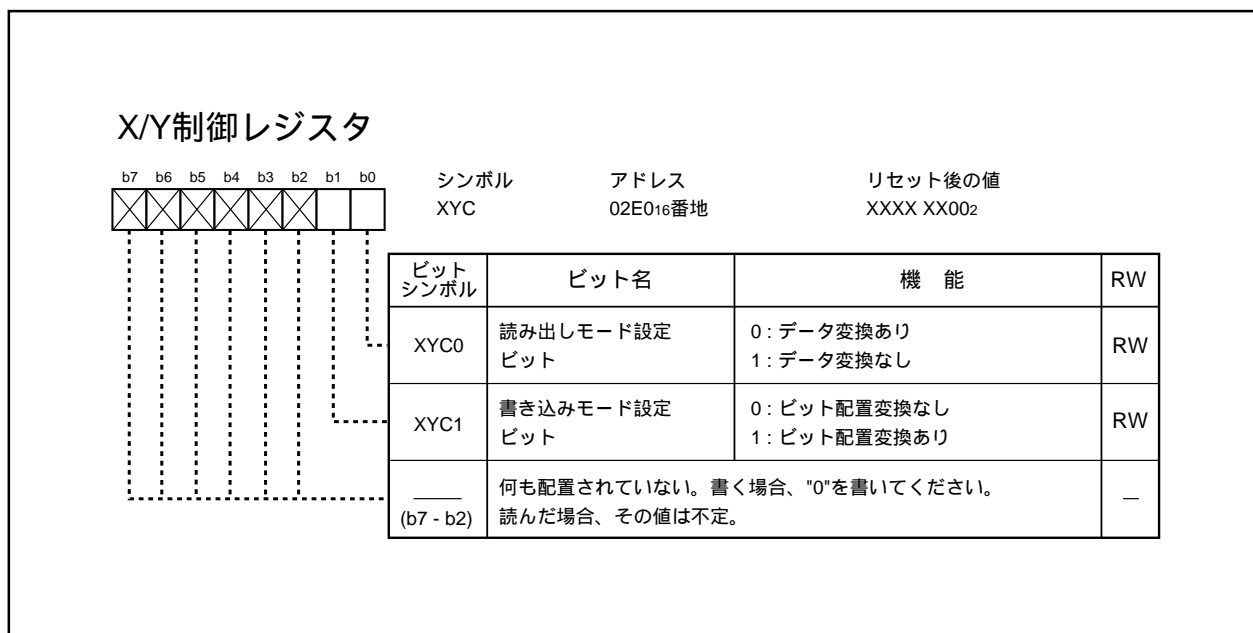


図20.1 XYCレジスタ

YjRレジスタの読み出し方法は、XYCレジスタのXYC0ビットで選択できます。

XYC0ビットが“0” (データ交換あり)でYjRレジスタを読むと、X0R ~ X15Rレジスタのビットjを同時に読めます。

例えば、Y0Rレジスタを読むと、ビット0でX0Rレジスタのビット0、ビット1でX1Rレジスタのビット0、・・・、ビット14でX14Rレジスタのビット0、ビット15でX15Rレジスタのビット0が読めます。同様にY15Rレジスタを読むと、ビット0でX0Rレジスタのビット15、ビット1でX1Rレジスタのビット15、・・・、ビット14でX14Rレジスタのビット15、ビット15でX15Rレジスタのビット15が読めます。

図20.2にXYC0ビットが“0”の場合の変換テーブルを、図20.3にX/Y変換例を示します。

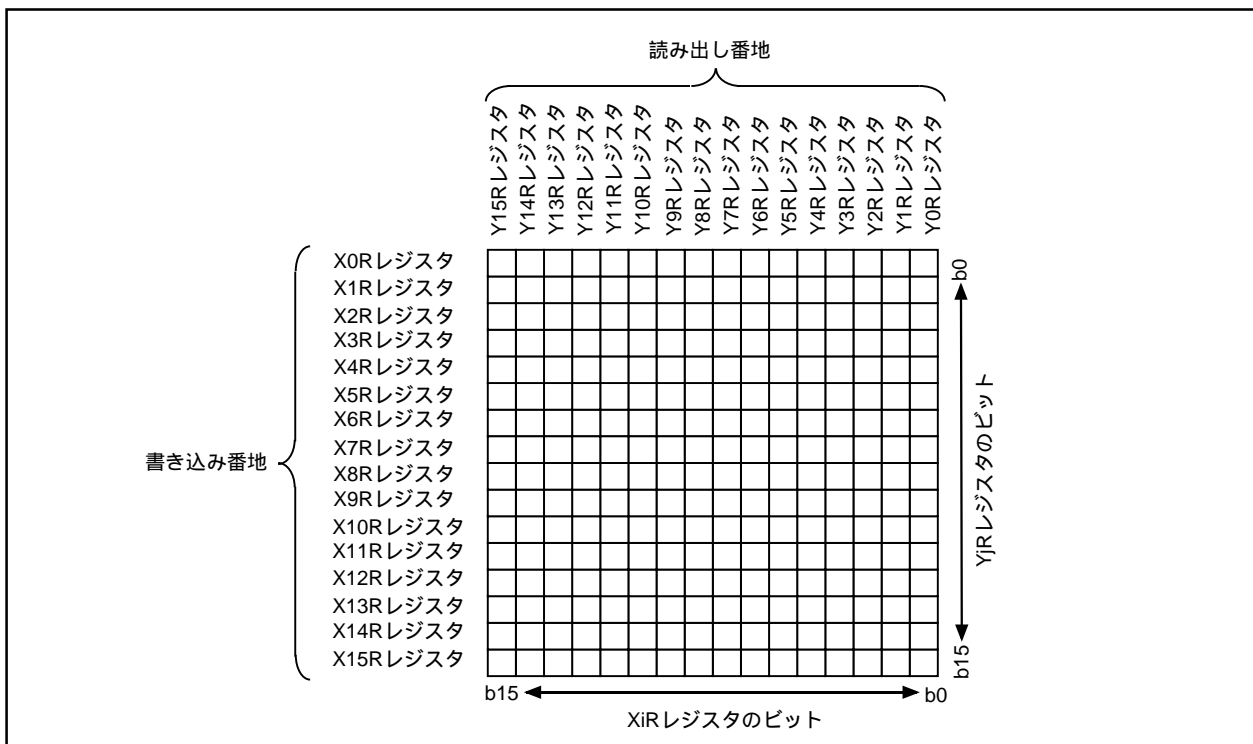


図20.2 XYC0ビットが“0”の場合の変換テーブル図

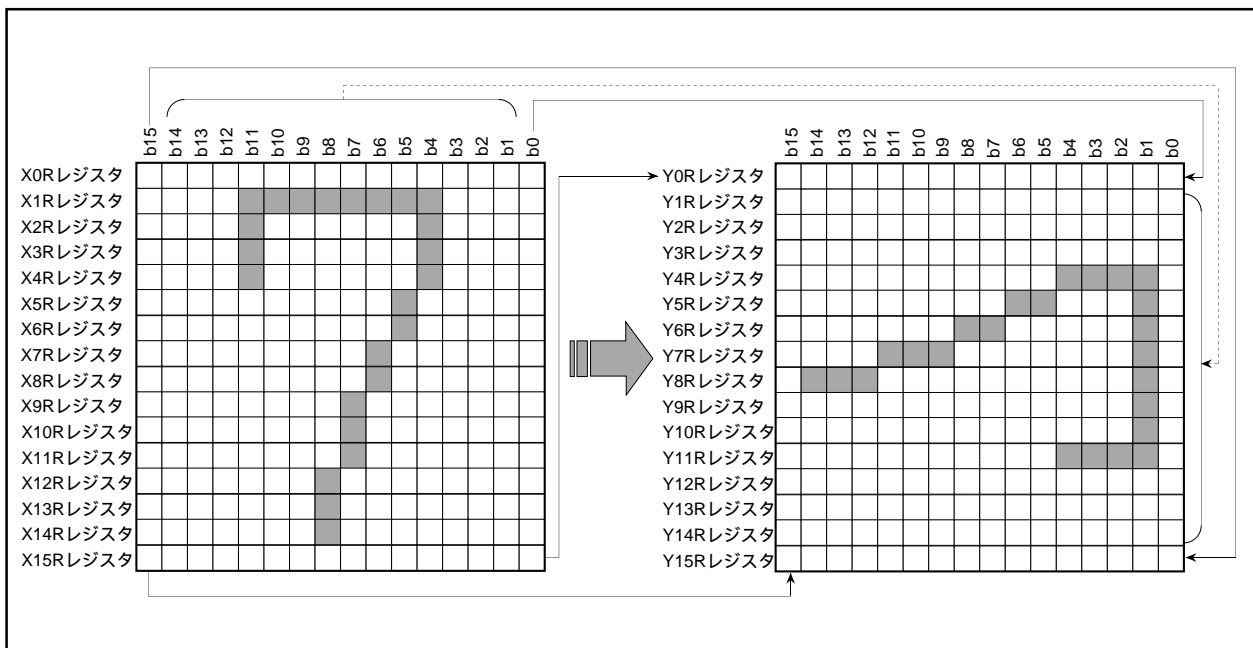


図20.3 X/Y変換例

XYCレジスタのXYC0ビットを“1”(データ変換なし)にしてYjRレジスタを読むと、XiRレジスタに書かれた値をそのまま読めます。図20.4にXYC0ビットが“1”の場合の変換テーブルを示します。

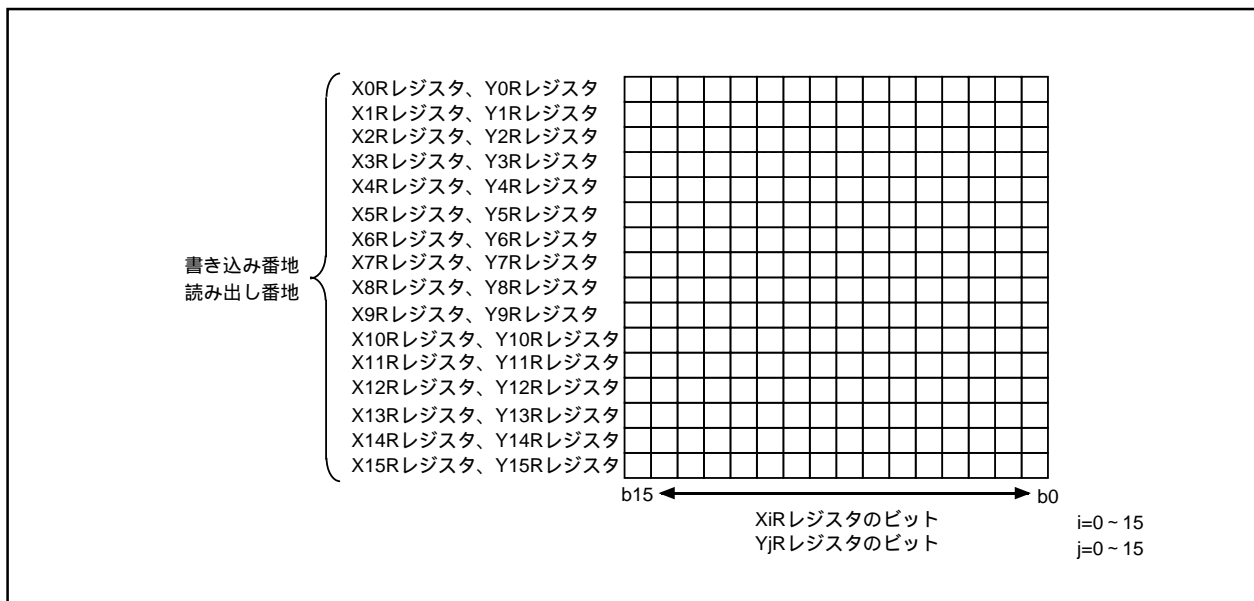


図20.4 XYC0ビットが“1”の場合の変換テーブル

XiRレジスタに書く値のビット配置は、XYCレジスタのXYC1ビットで選択できます。

XYC1ビットを“0”(ビット配置交換なし)にしてXiRレジスタに書くと、ビット配列はそのまま書かれます。

XYC1ビットを“1”(ビット配置交換あり)にしてXiRレジスタに書くと、ビット配列の各ビット位置を反転して書きます。図20.5にXYC1ビットが“1”の場合の変換を示します。

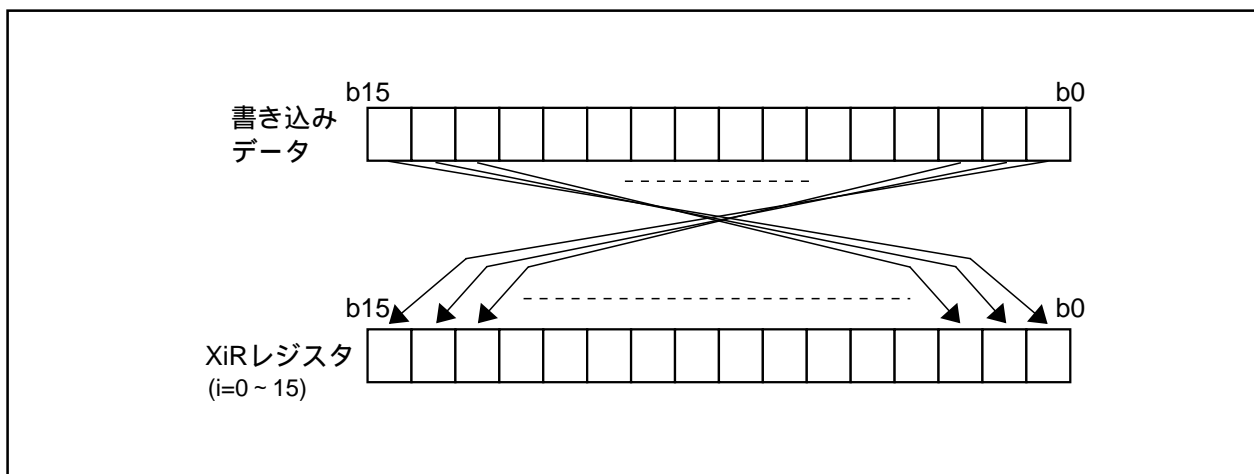


図20.5 XYC1ビットが“1”の場合の変換

21. インテリジェントI/O

インテリジェントI/Oは、時間計測、波形生成、クロック同期形シリアルI/O、クロック非同期形シリアルI/O(UART)、IEBus通信、HDLCデータ処理などを実現できる高機能入出力ポートです。

インテリジェントI/Oは4つのグループがあり、各グループは、フリーラン動作を行う16ビットベースタイマを1本、時間計測または波形生成用16ビットレジスタを8本、さらに通信用8ビットシフトレジスタを2本(または16ビットシフトレジスタを1本)を備えています。

表21.1にインテリジェントI/Oの機能とチャンネルを示します。

表21.1 インテリジェントI/Oの機能とチャンネル

機能	グループ0	グループ1	グループ2	グループ3	グループ0、1の カスケード接続
時 ^(注1) 間	8チャンネル (3チャンネル) ^(注2)	4チャンネル (2チャンネル)	なし	なし	8チャンネル (3チャンネル)
計 測	デジタルフィルタ	4チャンネル (3チャンネル)			8チャンネル (3チャンネル)
	トリガ入力プリスケアラ	2チャンネル	2チャンネル		2チャンネル
	トリガ入力ゲート	2チャンネル	2チャンネル		2チャンネル
波 ^(注1) 形	4チャンネル (2チャンネル)	8チャンネル (3チャンネル)	8チャンネル (3チャンネル)	8チャンネル (2チャンネル)	8チャンネル (3チャンネル)
生 成	単相波形出力モード				
	反転波形出力モード	あり	あり		あり
	SR波形出力モード			あり	あり
	ビットモジュレーションPWMモード				
	RTPモード	なし	なし		なし
並列RTPモード					
通	8ビット固定		可変長	8または16ビット	なし
信	クロック同期形シリアルI/Oモード		あり	あり	なし
	UARTモード		あり	あり	
	HDLCデータ処理モード		なし	なし	
	IEBusモード		なし	あり	

注1．時間計測機能と波形生成機能は端子を共有しています。

注2．()内は100ピン版

時間計測機能と波形生成機能は、チャンネルごとに機能を選択できます。

通信機能では複数チャンネルを組み合わせて通信機能を実現します。

図21.1 ~ 図21.4にグループ0 ~ 3のブロック図を示します。

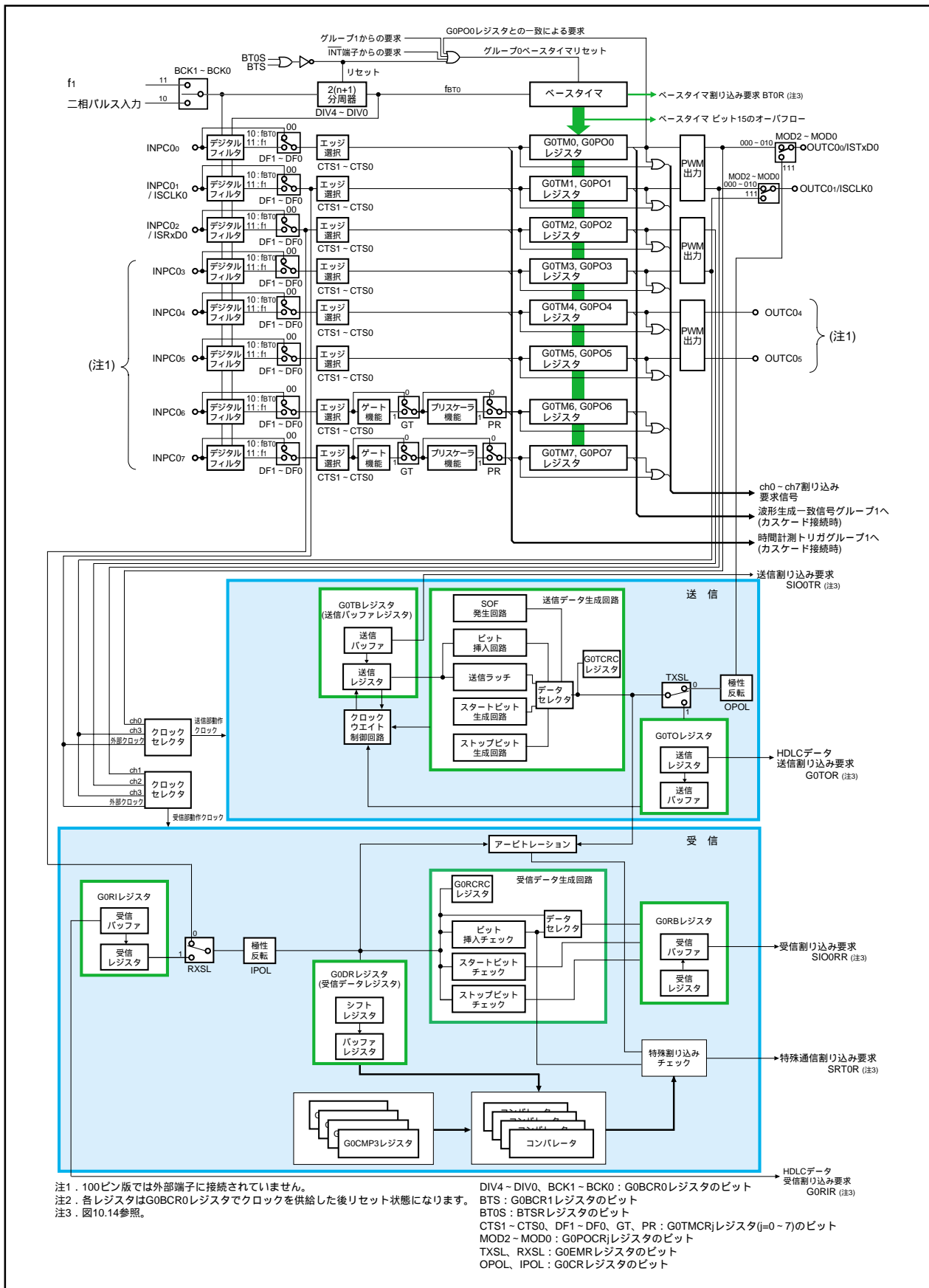


図21.1 インテリジェントI/Oグループ0ブロック図

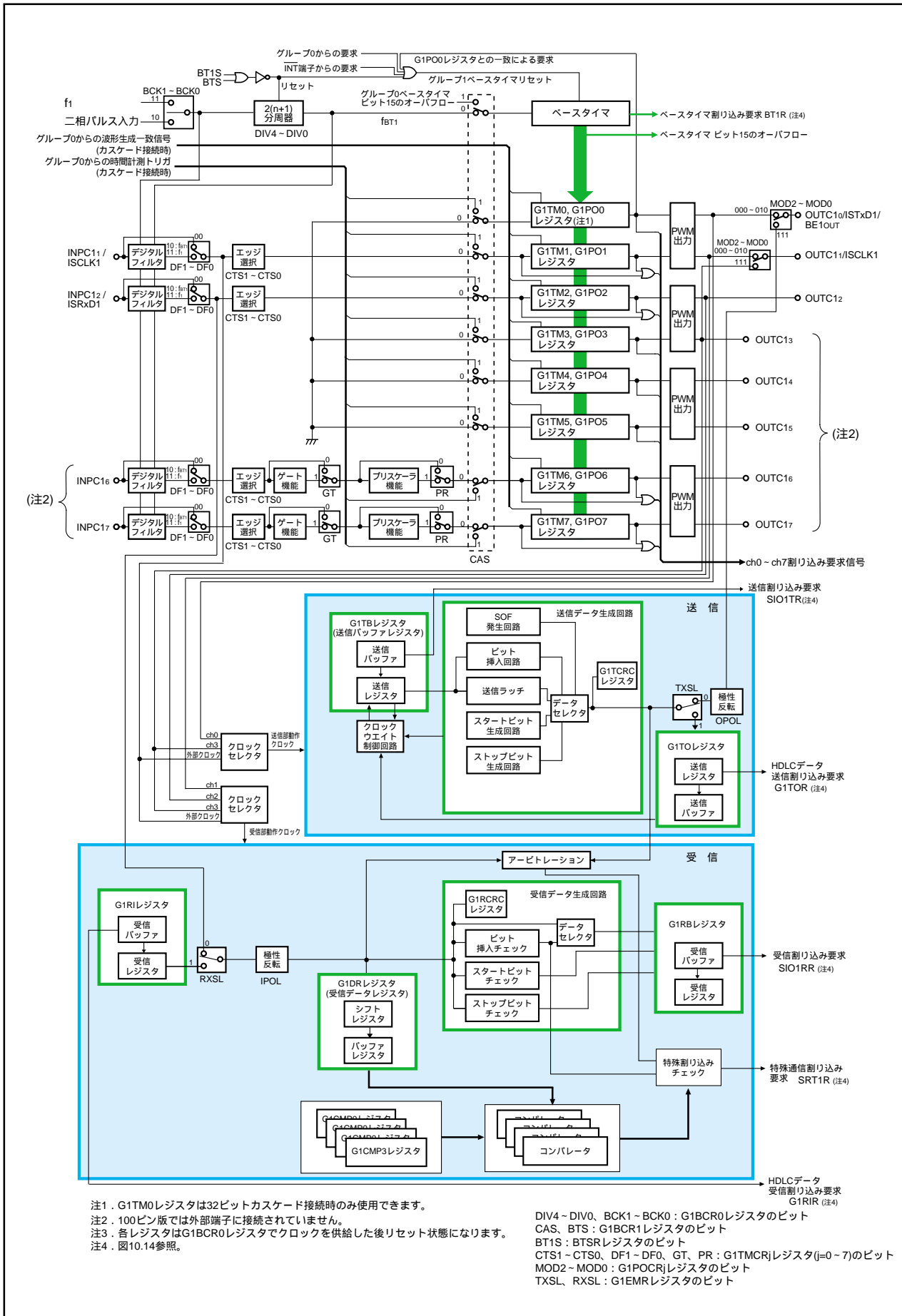
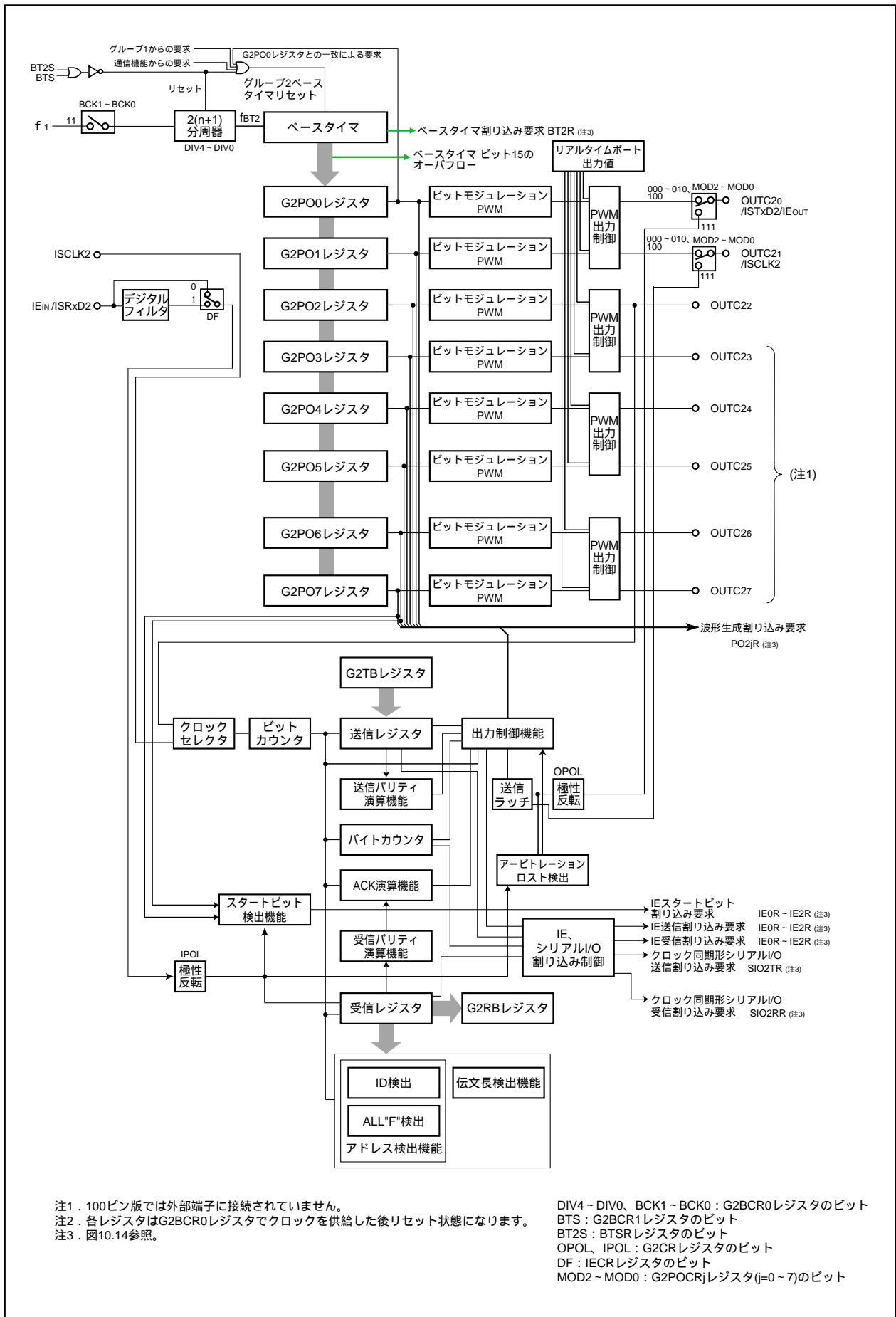


図21.2 インテリジェントI/Oグループ1ブロック図



注1 . 100ピン版では外部端子に接続されていません。
 注2 . 各レジスタはG2BCR0レジスタでクロックを供給した後リセット状態になります。
 注3 . 図10.14参照。

DIV4 - DIV0, BCK1 - BCK0 : G2BCR0レジスタのビット
 BTS : G2BCR1レジスタのビット
 BT2S : B TSRレジスタのビット
 OPOL, IPOL : G2CRレジスタのビット
 DF : IE CRレジスタのビット
 MOD2 - MOD0 : G2POCRjレジスタ(j=0~7)のビット

図21.3 インテリジェントI/Oグループ2ブロック図

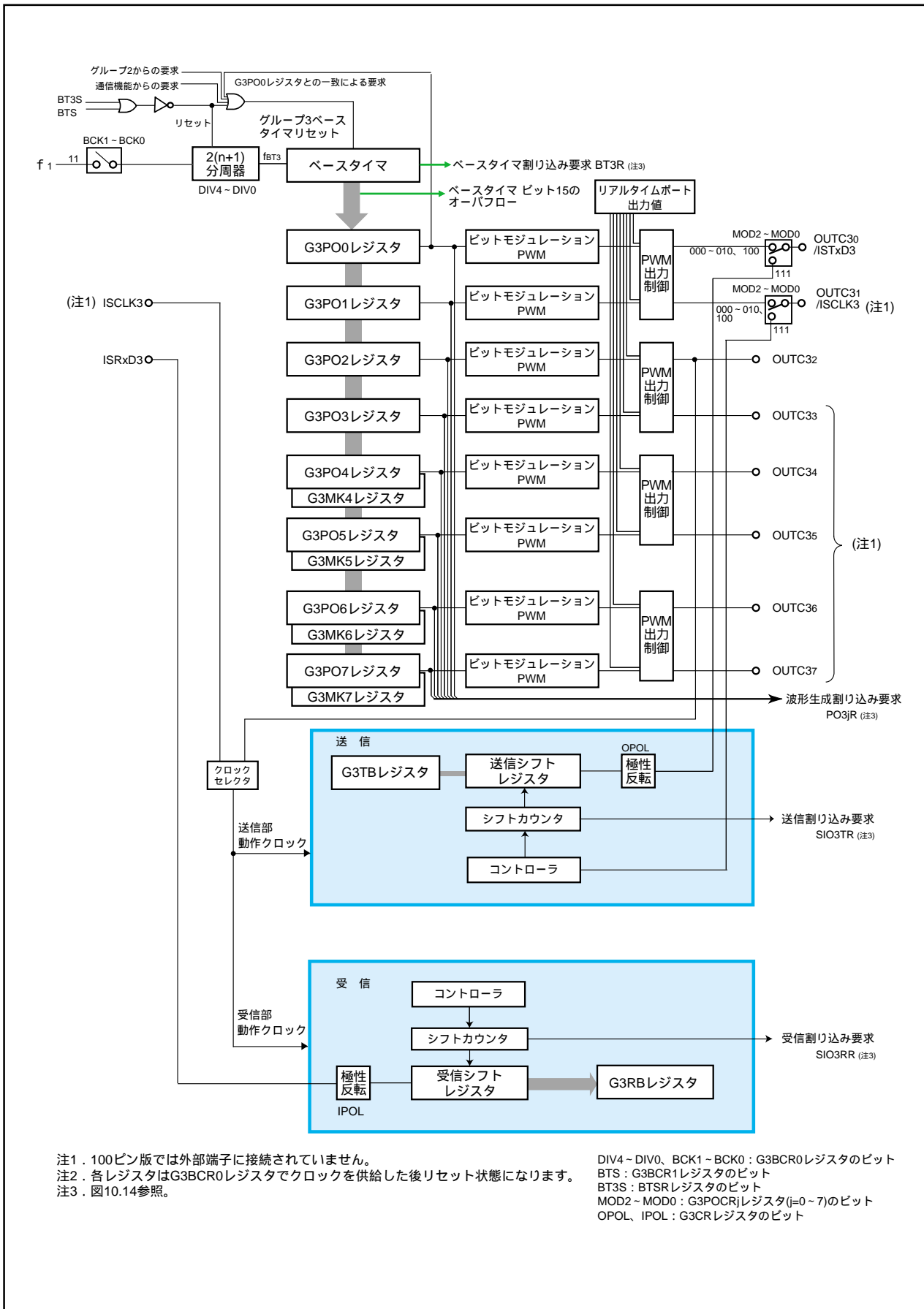


図21.4 インテリジェントI/Oグループ3ブロック図

図21.5～図21.15にインテリジェントI/Oのベースタイマ、時間計測機能、波形生成機能関連レジスタを示します。(通信機能関連レジスタは図21.32～図21.38、図21.42～図21.45、図21.47～図21.49を参照してください)

グループiベースタイマレジスタ (i=0～3) (注2)

シンボル	アドレス	リセット後の値
G0BT、G1BT	00E1 ₁₆ -00E0 ₁₆ 、0121 ₁₆ -0120 ₁₆ 番地	不定
G2BT、G3BT	0161 ₁₆ -0160 ₁₆ 、01A1 ₁₆ -01A0 ₁₆ 番地	不定

機 能	設定範囲	RW
<ul style="list-style-type: none"> ・ ベースタイマ動作中 読むと、ベースタイマ値が読める。書くと、書いた直後に書いた値からカウントする。ベースタイマリセットすると"0000₁₆"になる。 ・ ベースタイマリセット中 "0000₁₆"になるが、読んだ値は不定。値は書けない。(注1) 	0000 ₁₆ ～FFFF ₁₆	RW

注1. 各ベースタイマは、GiBCR0レジスタのBCK1～BCK0ビットが"00₂"(カウントソースクロック停止)のとき停止、それ以外は動作します。ただし、BTSRレジスタのBTISビットと、GiBCR1レジスタのBTSビットを両方"0"にすると、ベースタイマリセットをし続けることによって"0000₁₆"のままカウントしない状態にすることができます。BTSRレジスタのBTISビットと、GiBCR1レジスタのBTSビットのどちらかを"1"にすると、この状態が解除され、カウントを開始します。

注2. GiBTレジスタには、fBTiの半周期遅れてベースタイマの値が反映されます。

グループiベースタイマ制御レジスタ0 (i=0～3)(注1)

シンボル	アドレス	リセット後の値
G0BCR0～G3BCR0	00E2 ₁₆ 、0122 ₁₆ 、0162 ₁₆ 、01A2 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	RW
BCK0	カウントソース 選択ビット	b1 b0 0 0 : クロック停止 0 1 : 設定しないでください 1 0 : 二相パルス入力 (注2) 1 1 : f1	RW
BCK1			RW
DIV0	カウントソース分周比 選択ビット	設定値をn (n=0～31) とすると、カウント ソースを2(n+1)分周する。 ただし、n=31のとき分周なし b6 b5 b4 b3 b2 (n=0) 0 0 0 0 0 : 2分周 (n=1) 0 0 0 0 1 : 4分周 (n=2) 0 0 0 1 0 : 6分周 ⋮ (n=30) 1 1 1 1 0 : 62分周 (n=31) 1 1 1 1 1 : 分周なし	RW
DIV1			RW
DIV2			RW
DIV3			RW
DIV4			RW
IT	ベースタイマ割り込み 選択ビット	0 : ビット15のオーバーフロー 1 : ビット14のオーバーフロー	RW

注1. GiBCR1レジスタのCASビットが"1"(32ビット時間計測、波形生成機能)の場合、G0BCR0レジスタとG1BCR0レジスタには同じ値を書いてください。

注2. グループ0またはグループ1でGjBCR1レジスタ(j=0,1)のUD1～UD0ビットが"10₂"(二相パルス信号処理モード)の場合のみ使用できます。他のモードまたはグループ2、グループ3ではBCK1～BCK0ビットを"10₂"にしないでください。

図21.5 G0BT～G3BTレジスタ、G0BCR0～G3BCR0レジスタ

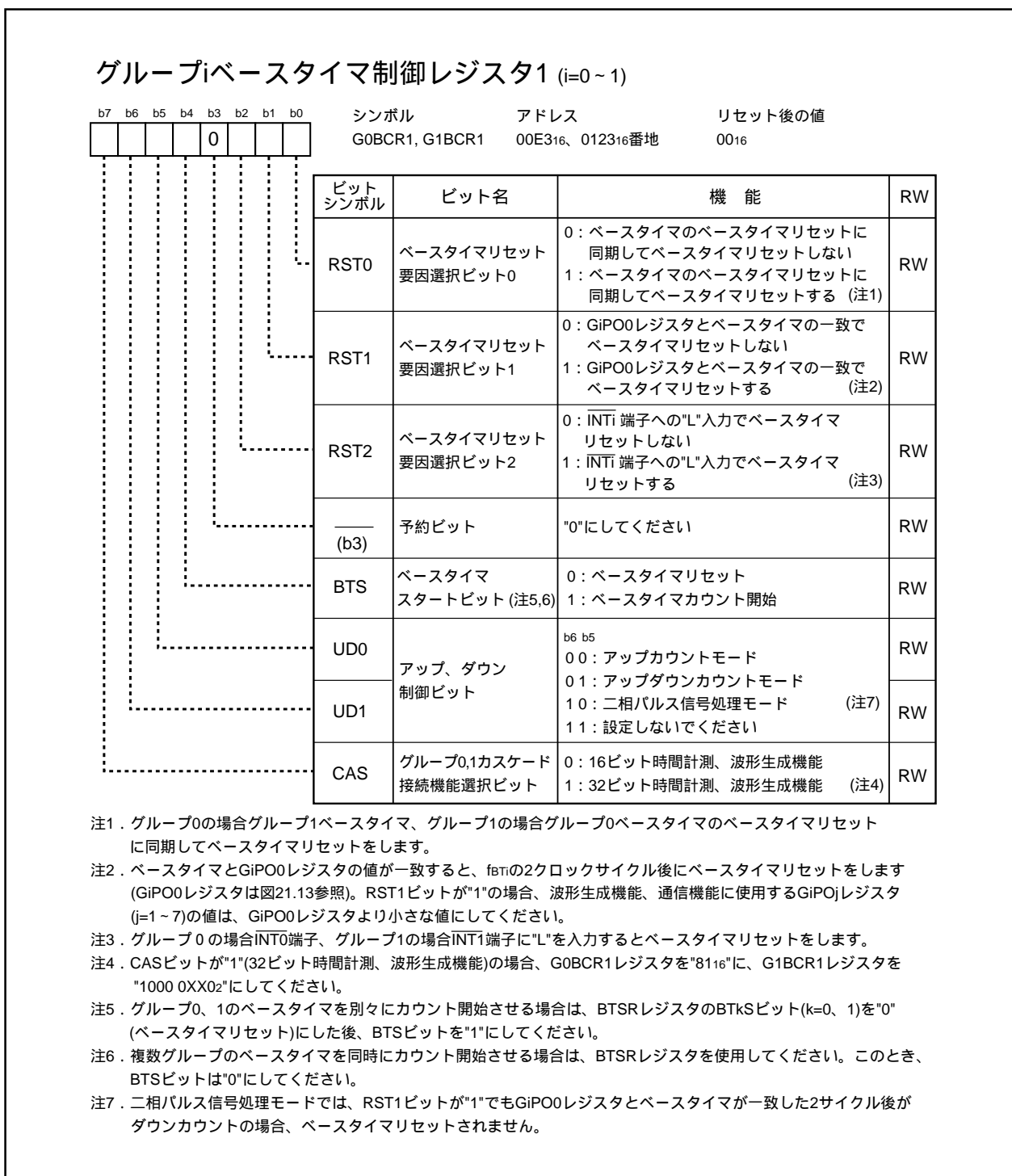


図21.6 G0BCR1、G1BCR1レジスタ

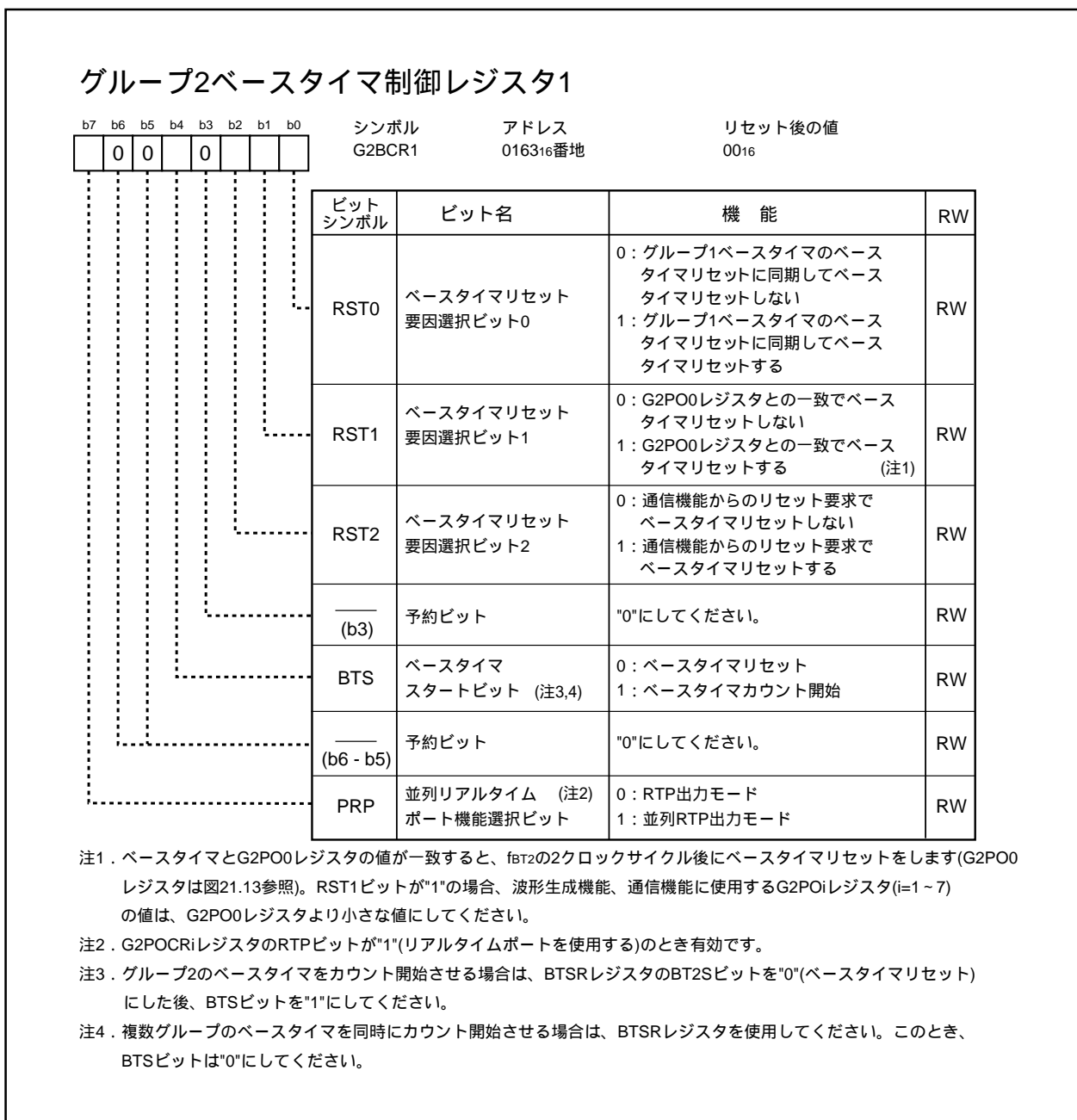


図21.7 G2BCR1レジスタ

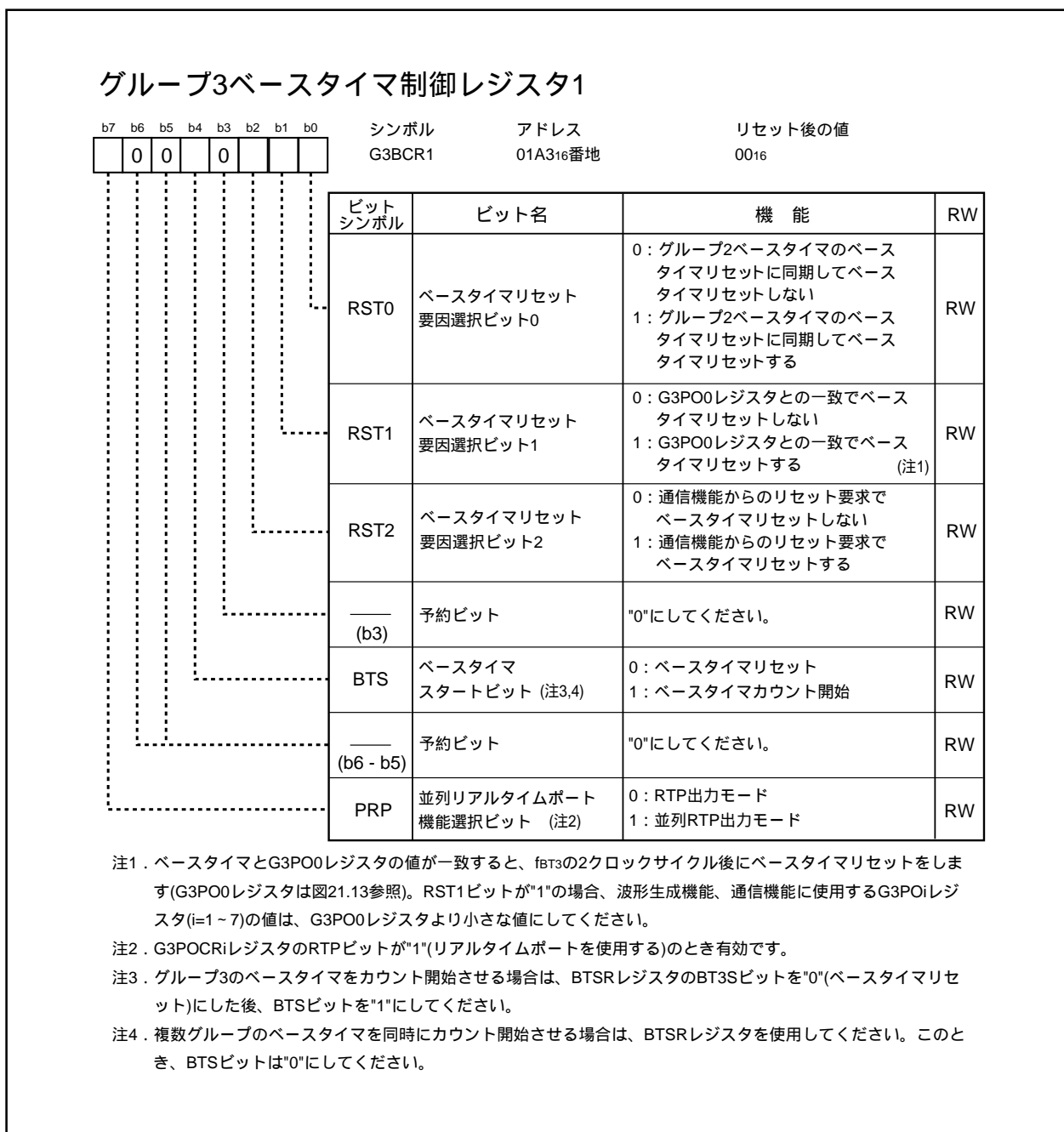


図21.8 G3BCR1レジスタ

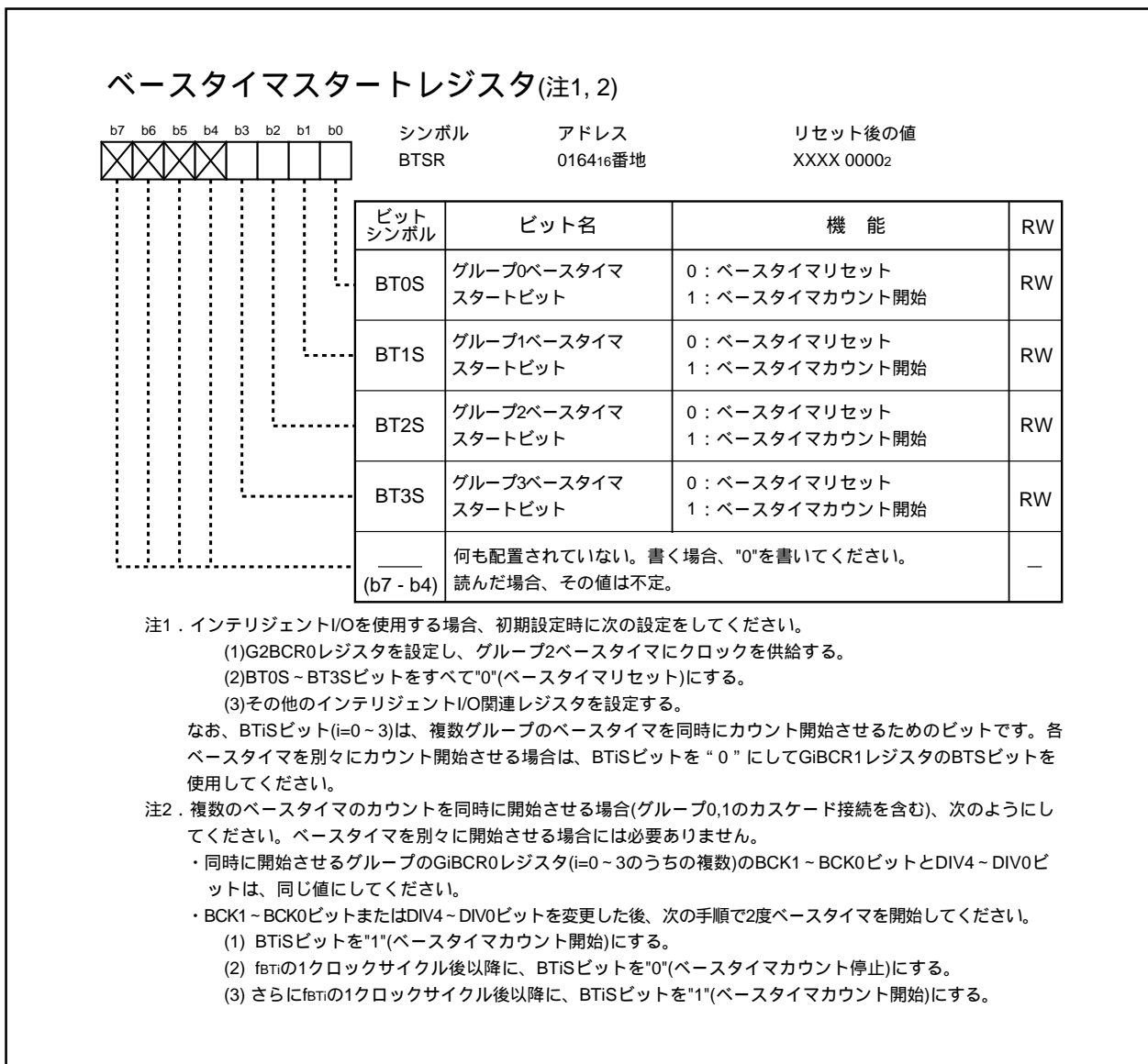


図21.9 BTSRレジスタ

グループi時間計測制御レジスタj (i=0~1、j=0~7)(注1)

シンボル	アドレス	リセット後の値
G0TMCR0~G0TMCR3	00D8 ₁₆ 、00D9 ₁₆ 、00DA ₁₆ 、00DB ₁₆ 番地	00 ₁₆
G0TMCR4~G0TMCR7	00DC ₁₆ 、00DD ₁₆ 、00DE ₁₆ 、00DF ₁₆ 番地	00 ₁₆
G1TMCR0~G1TMCR3	0118 ₁₆ 、0119 ₁₆ 、011A ₁₆ 、011B ₁₆ 番地	00 ₁₆
G1TMCR4~G1TMCR7	011C ₁₆ 、011D ₁₆ 、011E ₁₆ 、011F ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
CTS0	時間計測トリガ 選択ビット	b1 b0 0 0 : 時間計測しない 0 1 : 立ち上がりエッジ 1 0 : 立ち下がりエッジ 1 1 : 両エッジ	RW
CTS1		RW	
DF0	デジタルフィルタ 機能選択ビット	b3 b2 0 0 : デジタルフィルタなし 0 1 : 設定しないでください 1 0 : f _{BT} 1 1 : f _T	RW
DF1		RW	
GT	ゲート機能選択ビット (注2,4)	0 : ゲート機能を使用しない 1 : ゲート機能を使用する	RW
GOC	ゲート機能解除 選択ビット (注2,3,5)	0 : ゲート機能解除選択しない 1 : ベースタイムとGiPOkレジスタの 一致により、ゲートを解除する	RW
GSC	ゲート機能解除ビット (注2,3)	このビットに"1"を書くと、ゲート解除 される。	RW
PR	プリスケアラ機能 選択ビット (注2)	0 : 使用しない 1 : 使用する	RW

- 注1. GiBCR1レジスタのCASビットが"0"(16ビット時間計測機能)の場合、G1TMCR0、G1TMCR3~G1TMCR5レジスタは使用できません。値を書くときは"00₁₆"を書いてください。
CASビットが"1"(32ビット時間計測機能)の場合、G0TMCRjレジスタとG1TMCRjレジスタに同じ値を書いてください。
- 注2. これらの機能は、GiTMCR6レジスタとGiTMCR7レジスタにあります。
GiTMCR0~GiTMCR5レジスタのビット4~7は、すべて"0"にしてください。
- 注3. これらのビットは、GTビットが"1"のときのみ有効です。
- 注4. GiBCR1レジスタのCASビットが"1"(32ビット時間計測機能)の場合、GTビットを"0"にしてください。
ゲート機能は使用できません。
- 注5. ゲート機能解除後、GOCビットは"0"になります。GiPOkレジスタ(j=6のときk=4、j=7のときk=5)は図21.13を参照してください。

グループi時間計測プリスケアラレジスタj (i=0~1、j=6,7)

シンボル	アドレス	リセット後の値
G0TPR6~G0TPR7	00E4 ₁₆ 、00E5 ₁₆ 番地	00 ₁₆
G1TPR6~G1TPR7	0124 ₁₆ 、0125 ₁₆ 番地	00 ₁₆

機能	設定範囲	RW
設定値をnとすると、トリガ入力をn+1カウントするごとに時間計測を行う (注1)	00 ₁₆ ~FF ₁₆	RW

- 注1. GiTMCRjレジスタのPRビットを"0"(プリスケアラ機能を使用しない)から"1"(プリスケアラ機能を使用する)にした後の最初のプリスケアラ周期は、n+1にならずnになることがあります。それ以降の周期では、n+1になります。

図21.10 G0TMCR0~G0TMCR7、G1TMCR0~G1TMCR7レジスタ、G0TPR6、G0TPR7、G1TPR6、G1TPR7レジスタ

グループ i 時間計測レジスタ j (i=0~1、j=0~7)

シンボル	アドレス	リセット後の値
G0TM0 ~ G0TM2	00C1 ₁₆ -00C0 ₁₆ , 00C3 ₁₆ -00C2 ₁₆ , 00C5 ₁₆ -00C4 ₁₆ 番地	不定
G0TM3 ~ G0TM5	00C7 ₁₆ -00C6 ₁₆ , 00C9 ₁₆ -00C8 ₁₆ , 00CB ₁₆ -00CA ₁₆ 番地	不定
G0TM6 ~ G0TM7	00CD ₁₆ -00CC ₁₆ , 00CF ₁₆ -00CE ₁₆ 番地	不定
G1TM0 ~ G1TM2	0101 ₁₆ -0100 ₁₆ , 0103 ₁₆ -0102 ₁₆ , 0105 ₁₆ -0104 ₁₆ 番地	不定
G1TM3 ~ G1TM5	0107 ₁₆ -0106 ₁₆ , 0109 ₁₆ -0108 ₁₆ , 010B ₁₆ -010A ₁₆ 番地	不定
G1TM6 ~ G1TM7	010D ₁₆ -010C ₁₆ , 010F ₁₆ -010E ₁₆ 番地	不定

機能	設定範囲	RW
時間計測タイミングごとにベースタイム値が格納される。GiBCR1レジスタのCASビットが"1"(32ビット時間計測)の場合、G0TMjレジスタに下位16ビット、G1TMjレジスタに上位16ビットが格納される。	—	RO

グループ i 波形生成制御レジスタ j (i=0~1、j=0~7)(注1)

シンボル	アドレス	リセット後の値
G0POCR0 ~ G0POCR3	00D0 ₁₆ , 00D1 ₁₆ , 00D2 ₁₆ , 00D3 ₁₆ 番地	0X00 X0002
G0POCR4 ~ G0POCR7	00D4 ₁₆ , 00D5 ₁₆ , 00D6 ₁₆ , 00D7 ₁₆ 番地	0X00 X0002
G1POCR0 ~ G1POCR3	0110 ₁₆ , 0111 ₁₆ , 0112 ₁₆ , 0113 ₁₆ 番地	0X00 X0002
G1POCR4 ~ G1POCR7	0114 ₁₆ , 0115 ₁₆ , 0116 ₁₆ , 0117 ₁₆ 番地	0X00 X0002

ビットシンボル	ビット名	機能	RW
MOD0	動作モード選択ビット	b2 b1 b0 0 0 0 : 単相波形出力モード 0 0 1 : SR 波形出力モード (注2) 0 1 0 : 反転波形出力モード 0 1 1 : 設定しないでください	RW
MOD1		1 0 0 : 設定しないでください	RW
MOD2		1 0 1 : 設定しないでください 1 1 0 : 設定しないでください (注3) 1 1 1 : 通信機能の出力を使用 (注4)	RW
(b3)		何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。	—
IVL	出力初期値選択ビット	0 : 初期値として"L"を出力 1 : 初期値として"H"を出力	RW
RLD	GiPOjレジスタ値リロードタイミング選択ビット	0 : 書き込み時にリロード 1 : ベースタイムリセット時にリロード	RW
(b6)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。	—	
INV	反転出力機能選択ビット (注5)	0 : 出力反転しない 1 : 出力反転する	RW

注1. グループ0,1には16ビット波形生成機能と32ビット波形生成機能があります。GiBCR1レジスタのCASビットが"0"(16ビット波形生成機能)の場合、G0POCR2,3,6,7レジスタは使用できません。値を書く場合は"00₁₆"を書いてください。CASビットが"1"(32ビット波形生成機能)の場合、G0POCRjレジスタとのG1POCRjレジスタに同じ値を書いてください。

注2. この設定は偶数チャンネルのみ有効です。SR波形出力モードが選択された場合、対応する奇数チャンネル(偶数チャンネルの次のチャンネル)に書いた値に意味は持ちません。波形は偶数チャンネルより出力されます。奇数チャンネルからは出力されません。

注3. グループ0と1でUART受信を行う場合、GiPOCR2レジスタは"0000 0110₂"にしてください。

注4. この設定はチャンネル0と1のみ有効です。ISTxDiを使用するときGiPOCR0レジスタの、ISCLKiを出力に使用するときGiPOCR1レジスタのMOD2~MOD0ビットを"111₂"にしてください。それ以外のチャンネルまたは機能でMOD2~MOD0ビットを"111₂"にしないでください。

注5. 反転出力機能は、波形生成回路の最終段にあります。このため、INVビットを"1"(出力反転する)にした場合、IVLビットを"0"(初期値として"L"を出力)にすると"H"を、IVLビットを"1"(初期値として"H"を出力)にすると"L"を出力します。

図21.11 G0TM0 ~ G0TM7、G1TM0 ~ G1TM7レジスタ、G0POCR0 ~ G0POCR7、G1POCR0 ~ G1POCR7レジスタ

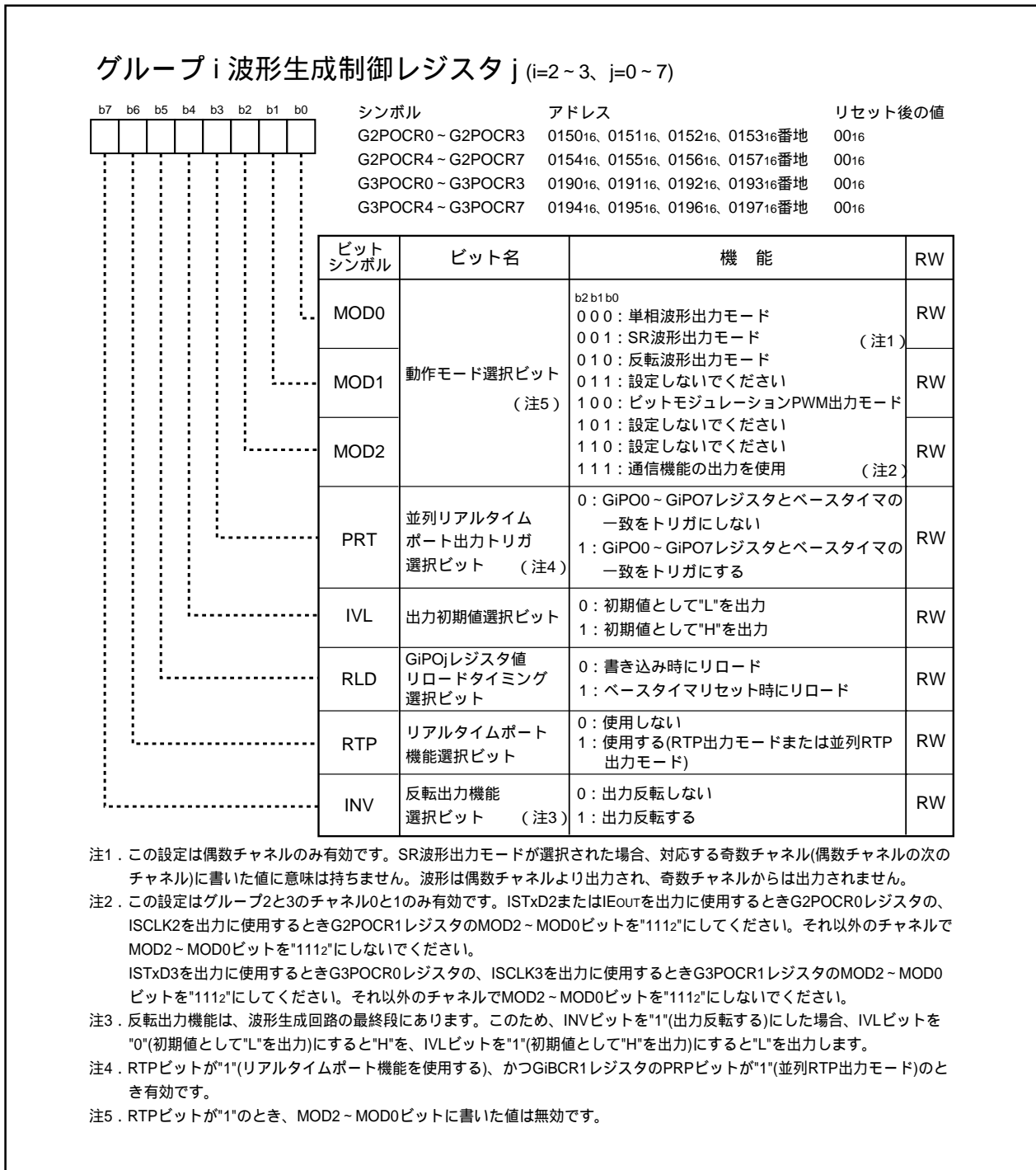


図21.12 G2POCR0 ~ G2POCR7、G3POCR0 ~ G3POCR7レジスタ

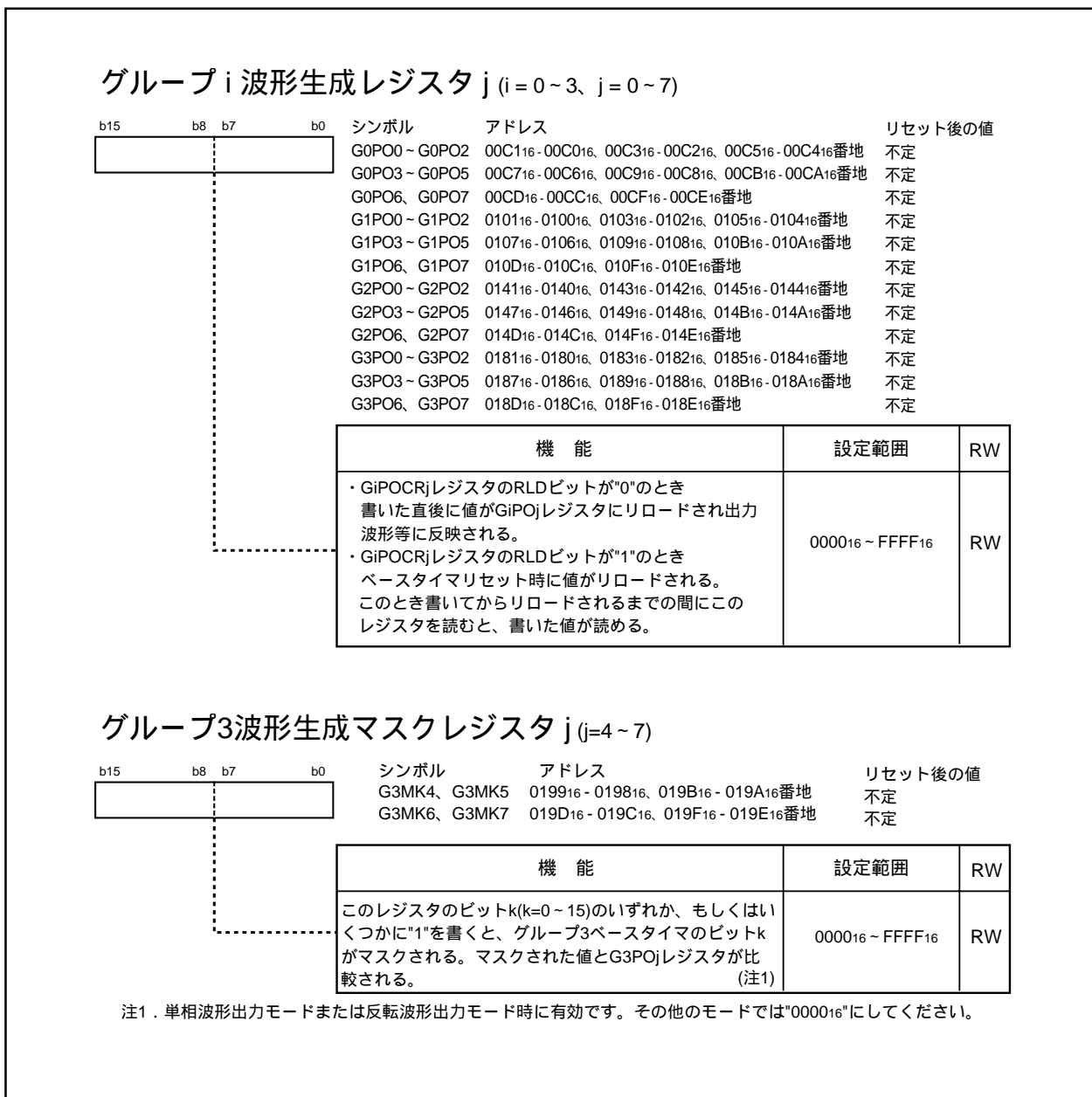


図21.13 G0PO0 ~ G0PO7、G1PO0 ~ G1PO7、G2PO0 ~ G2PO7、G3PO0 ~ G3PO7レジスタ、G3MK4 ~ G3MK7レジスタ

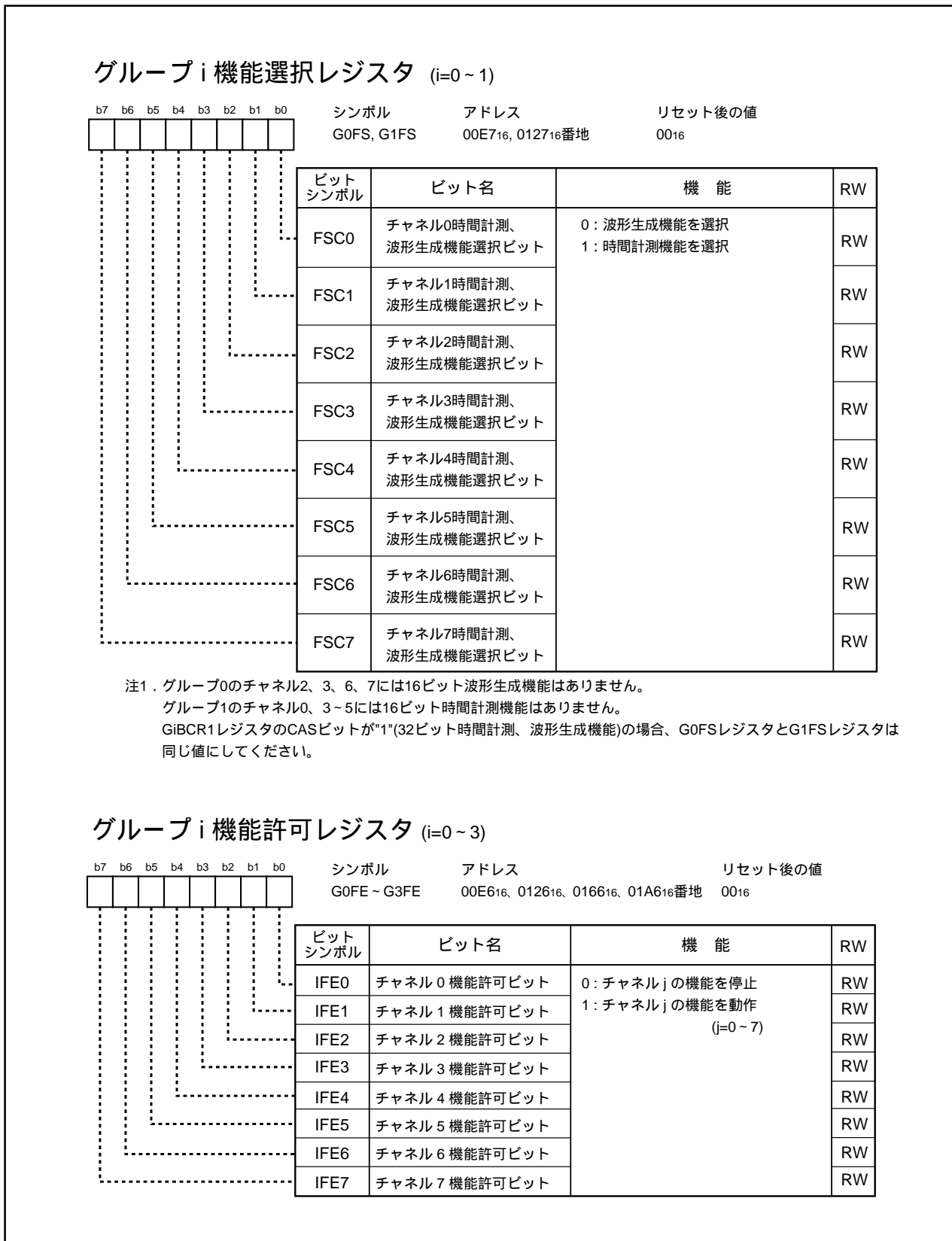


図21.14 G0FS、G1FSレジスタ、G0FE ~ G3FEレジスタ

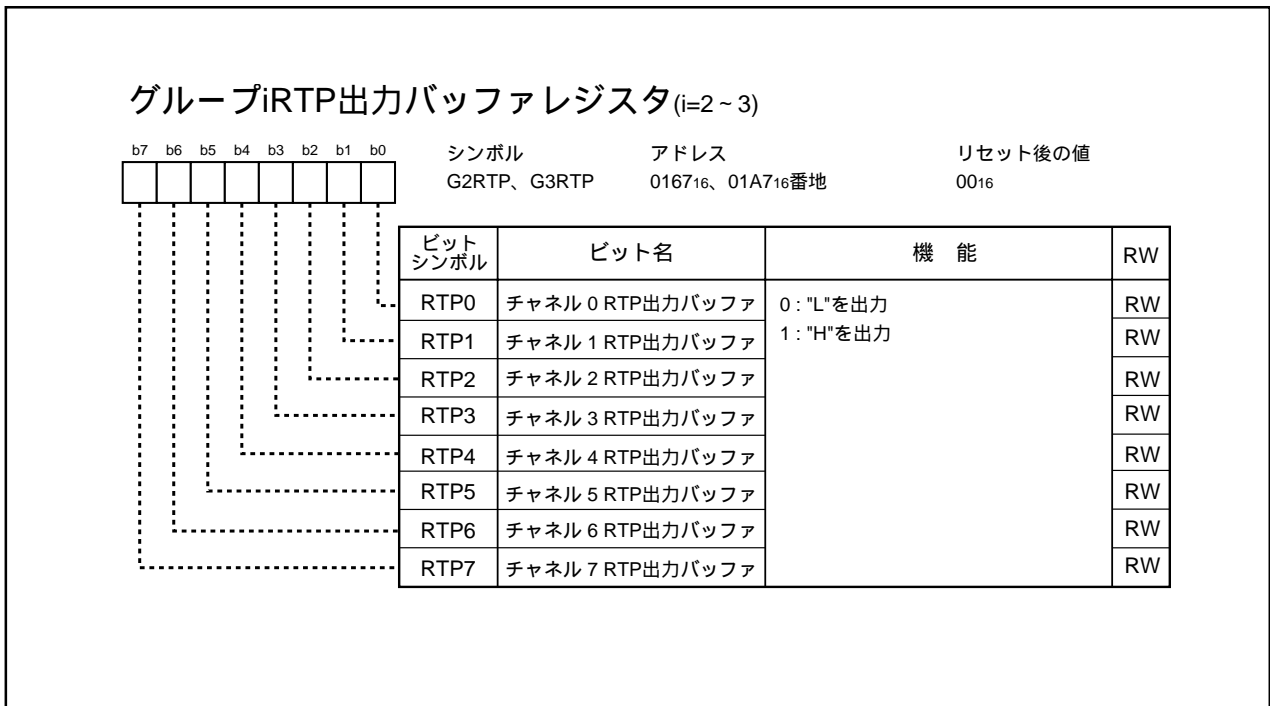


図21.15 G2RTP、G3RTPレジスタ

21.1 ベースタイマ(グループ0~3)

内部で生成されたカウントソースをフリーランカウントします。表21.2にベースタイマの仕様を、図21.5~図21.9にベースタイマ関連レジスタを、図21.16にベースタイマのブロック図を示します。図21.17にベースタイマ(グループ0、1) アップカウントモードの動作例を、図21.18にベースタイマアップダウンカウントモードの動作例を、図21.19にカスケード接続を、図21.20に二相パルス信号処理モードの動作例を示します。

表21.2 ベースタイマの仕様(1/2)

項目	仕様
カウントソース(fBTi)(i=0~3)	f1の2(n+1)分周(グループ0~3)、二相パルス入力の2(n+1)分周(グループ0、1) n: GiBCR0レジスタのDIV4~DIV0ビットで設定。n=0~31。 ただしn=31の場合、分周しない。
カウント動作	<ul style="list-style-type: none"> ・アップカウント ・アップダウンカウント ・二相パルス処理
カウント開始条件	<ul style="list-style-type: none"> ・各グループのベースタイマを別々でカウント開始させる場合 GiBCR1レジスタのBTSビットを“1”(ベースタイマカウント開始)にする ・複数グループのベースタイマを同時にカウント開始させる場合 BTSRレジスタのBTiSビットを“1”(ベースタイマカウント開始)にする
カウント停止条件	BTSRレジスタのBTiSビットを“0”(ベースタイマリセット)、かつGiBCR1レジスタのBTSビットを“0”(ベースタイマリセット)にする
ベースタイマリセット条件	<ul style="list-style-type: none"> ・異なるグループのベースタイマリセットに同期 グループ0: グループ1のベースタイマリセットに同期 グループ1: グループ0のベースタイマリセットに同期 グループ2: グループ1のベースタイマリセットに同期 グループ3: グループ2のベースタイマリセットに同期 ・ベースタイマとGiPO0レジスタの値が一致 ・外部割り込み端子に“L”を入力 グループ0: INT0端子 グループ1: INT1端子 ・通信機能からの初期化要求(グループ2、3)
ベースタイマリセット時の値	“0000 ₁₆ ”
割り込み要求	ベースタイマのビット14またはビット15のオーバーフロー時に、割り込み要求レジスタのBTiRビットが“1”(割り込み要求あり)になる(図10.14参照)
ベースタイマの読み出し	<ul style="list-style-type: none"> ・ベースタイマ動作中にGiBTレジスタを読むとベースタイマ値が読める ・ベースタイマリセット中にGiBTレジスタを読むと不定値になる
ベースタイマへの書き込み	ベースタイマ動作中に値を書いた場合、書いた直後に書いた値からカウントされる。ベースタイマリセット中は書けない。
選択機能	<ul style="list-style-type: none"> ・カスケード接続(グループ0、1) グループ0ベースタイマのビット15のオーバーフローが、グループ1ベースタイマのカウントソースになる(図21.17参照)。 ・アップダウンカウントモード(グループ0、1) BTSビットまたはBTiSビットを“1”にするとベースタイマはカウントを開始し、“FFFF₁₆”になるとダウンカウントする。また、GiBCR1レジスタのRST1ビットが“1”(GiPO0レジスタとの一致でベースタイマリセットする)の場合、GiPO0レジスタと一致するとダウンカウントする。次に“0000₁₆”になると再びアップカウントする(図21.19参照)。

表21.2 ベースタイマの仕様(2/2)

項目	仕様
選択機能	<ul style="list-style-type: none"> 二相パルス処理モード(グループ0、1) グループ0ではP76、P77からの、グループ1ではP80、P81からの二相パルスをカウントする(図21.20参照)。 <p style="text-align: center;">すべてのエッジをアップカウント すべてのエッジをダウンカウント</p>

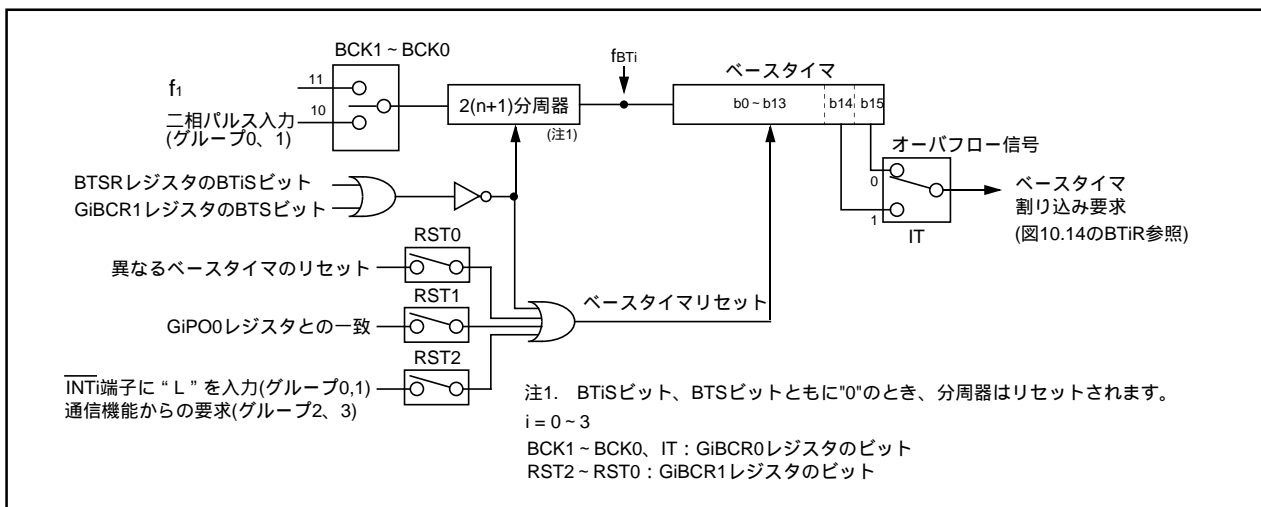


図21.16 ベースタイマのブロック図

表21.3 ベースタイマ関連レジスタの設定(時間計測機能、波形生成機能、通信機能共通)

レジスタ	ビット	機能
G2BCR0	-	BTSRレジスタへの動作クロック供給。“0111 11112”にしてください
BTSR	-	“0000 00002”にしてください
GiBCR0	BCK1 ~ BCK0	カウントソース選択
	DIV4 ~ DIV0	カウントソース分周比選択
	IT	ベースタイマ割り込み選択
GiBCR1	RST2 ~ RST0	ベースタイマリセットタイミング選択
	BTS	ベースタイマを別々で開始する場合使用
	UD1 ~ UD0	カウント方法選択(グループ0、1)
	CAS	カスケード接続選択(グループ0、1)
GiBT	-	ベースタイマの値を読む、または書く

RST1ビットが“1”(ベースタイマとGiPO0の一致でベースタイマリセット)の場合次のレジスタの設定が必要です。

GiPOCR0	MOD2 ~ MOD0	“0002”(単相波形出力モード)にしてください
GiPO0	-	リセット周期を設定してください
GiFS	FSC0	“0”(波形生成機能)にしてください
GiFE	IFE0	“1”(チャネル動作開始)にしてください

i : 0~3グループによって、ビット構成、機能が違います。

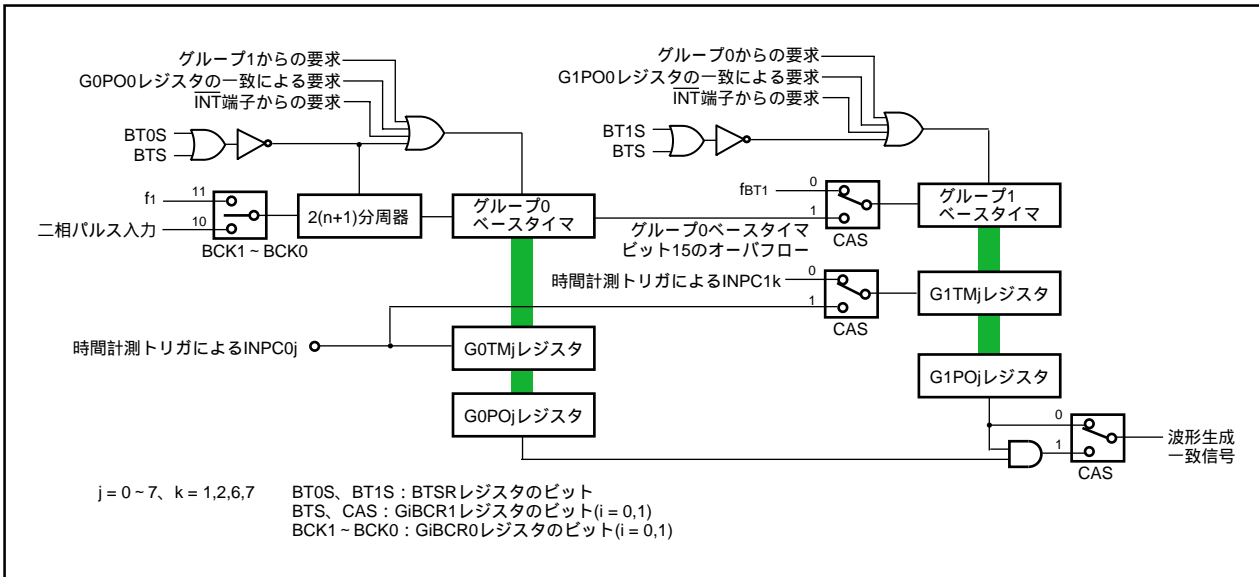


図21.17 カスケード接続

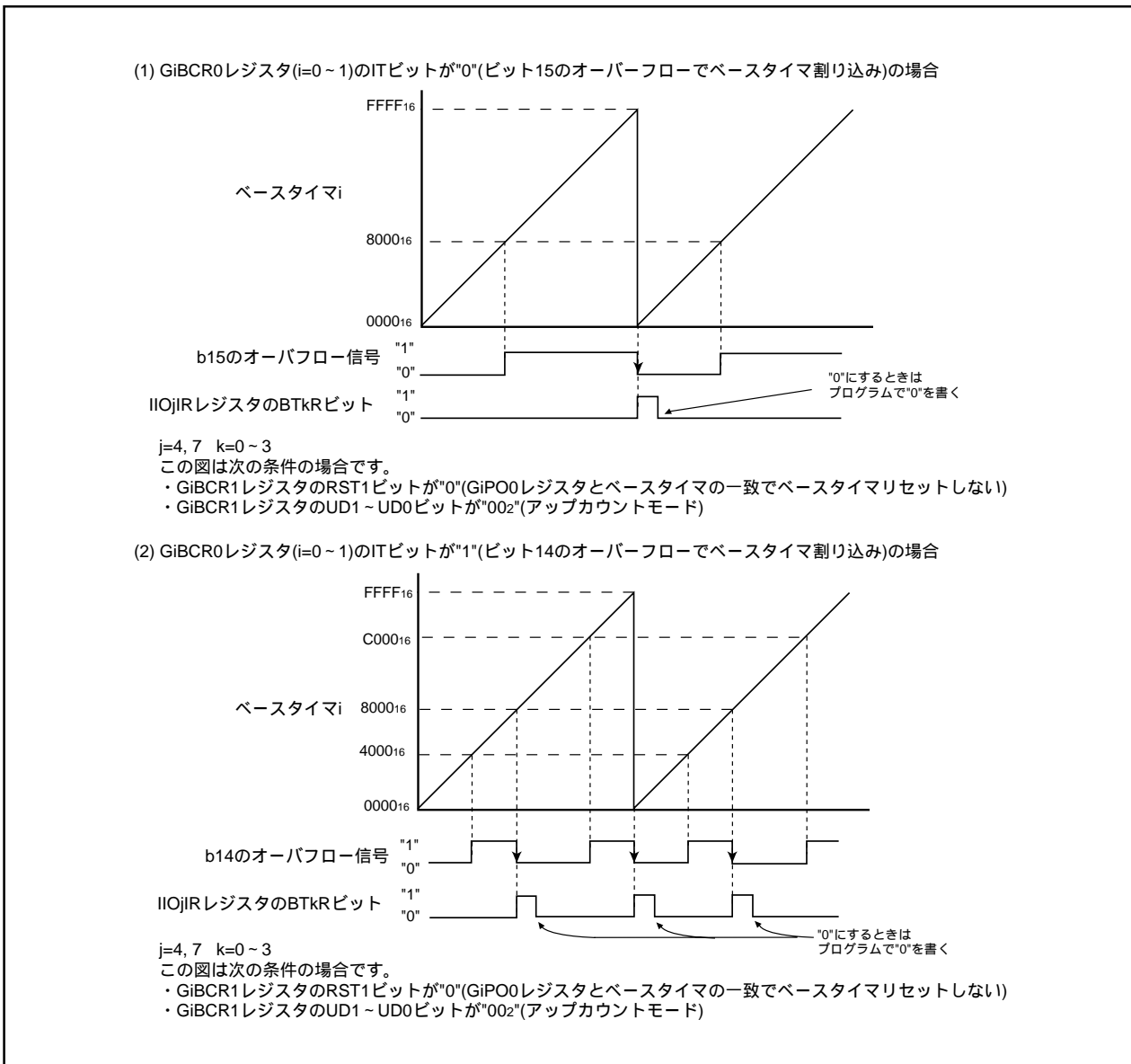


図21.18 ベースタイムのアップモードの動作例(グループ0、1)

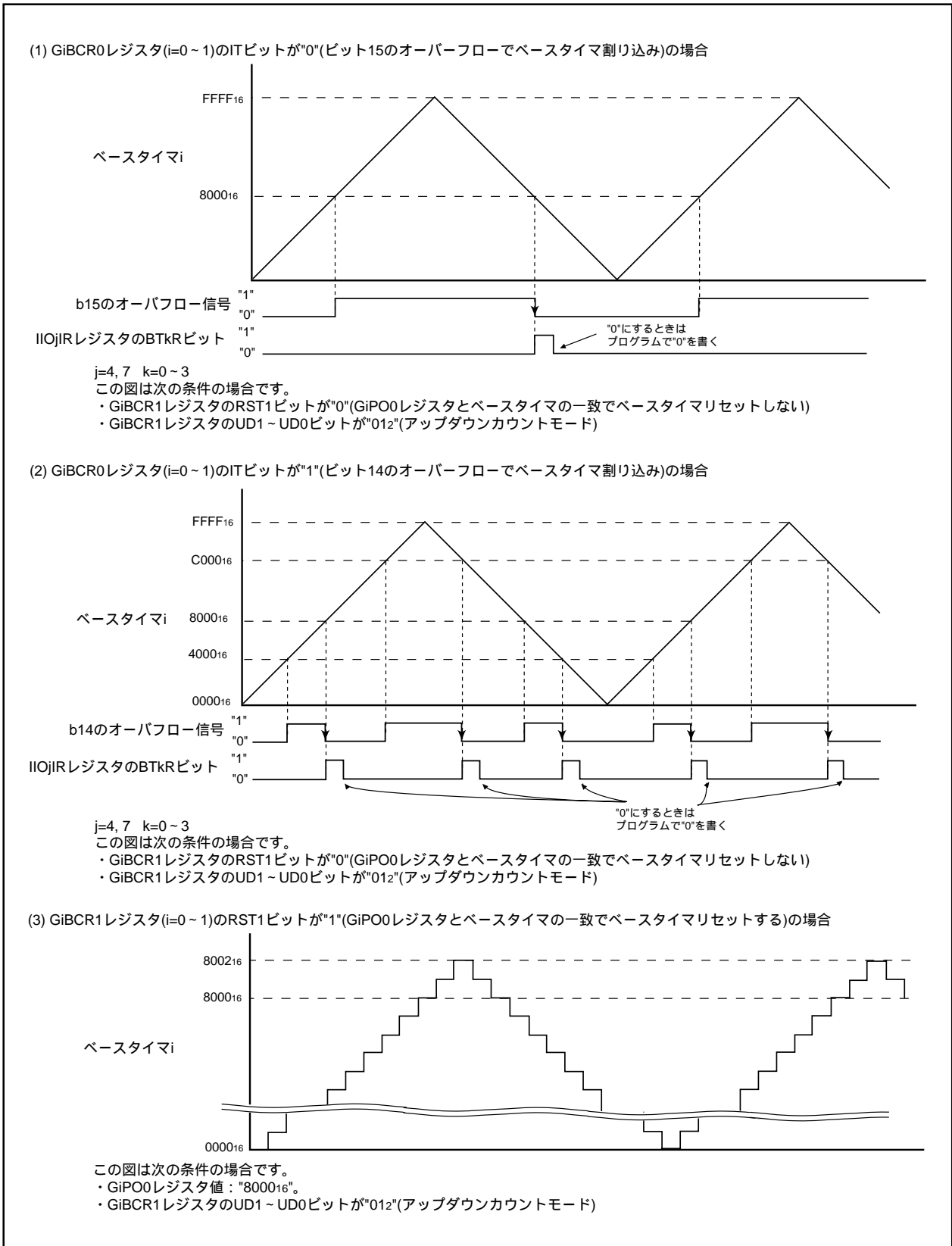


図21.19 ベースタイマのアップダウンモードの動作例(グループ0、1)

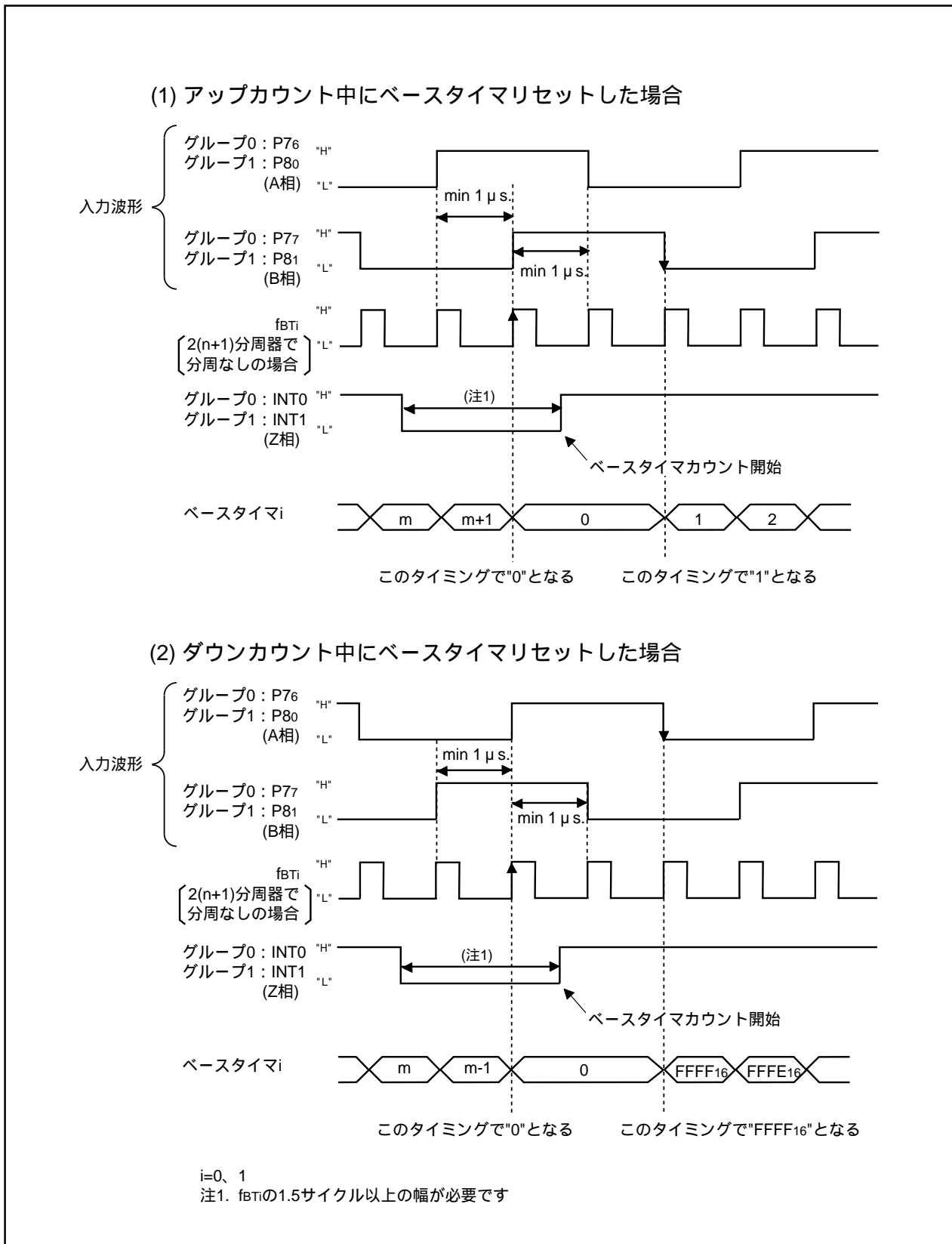


図21.20 ベースタイマの二相パルス信号処理モードの動作例(グループ0、1)

21.2 時間計測機能(グループ0、1)

外部トリガが入力されるごとにベースタイムの値をGiTMjレジスタ($i=0\sim 1$ 、 $j=0\sim 7$)に格納します。表21.4に時間計測機能の仕様を、表21.5に時間計測機能を使用する場合の端子の設定を、表21.6に時間計測機能関連レジスタの設定を示します。図21.21～図21.22に時間計測機能の動作例を、図21.23にプリスケアラ機能、ゲート機能使用時の動作例を示します。

表21.4 時間計測機能の仕様

項目	仕様
計測チャンネル	グループ0：チャンネル0～7 グループ1：チャンネル1、2、6、7
トリガ入力極性選択	INPCij端子(注1)の立ち上がりエッジ、立ち下がりエッジ、または両エッジ
計測開始条件	GiFSレジスタのFSCjビット($i=0\sim 1$ 、 $j=0\sim 7$)が“1”(時間計測機能を選択)の状態 で、GiFEレジスタのIFEjビットを“1”(チャンネルjの機能を動作)にする
計測停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
時間計測タイミング	・プリスケアラ機能無し：トリガ入力ごと ・プリスケアラ機能有り(チャンネル6、7)：GiTPRkレジスタ($k=6、7$)値+1回目のトリガ入力ごと
割り込み要求	時間計測タイミングに、割り込み要求レジスタのTMijRビットが“1”(割り込み要求あり)になる(図10.14参照)
INPCij端子機能(注1)	トリガ入力
選択機能	<ul style="list-style-type: none"> ・デジタルフィルタ機能 トリガ入力レベルをf_1またはf_{Bt_i}ごとに判定し、3回一致したパルス成分を通過させる ・カスケード接続機能 グループ0とグループ1を接続し、32ビットタイマとして動作 ・プリスケアラ機能(チャンネル6、7) トリガ入力をカウントし、(GiTPRkレジスタ値+1)回目のトリガ入力ごとに時間計測を実行 ・ゲート機能(チャンネル6、7) 最初のトリガ入力による時間計測以降、トリガ入力の受け付けを禁止する。 GiTMCRkレジスタのGOCビットが“1”(GiPOpレジスタ($p=4\sim 5$、$k=6$のとき $p=4$、$k=7$のとき $p=5$)の一致によりゲートを解除)の状態、ベースタイムと GiPOpレジスタの値が一致、またはGiTMCRkレジスタのGSCビットを“1”にすると、再度トリガ入力の受付を許可

注1．INPC00～INPC07、INPC11～INPC12、INPC16～INPC17端子(カスケード接続時はINPC00～INPC07端子)

表21.5 時間計測機能を使用する場合の端子の設定

端子(注2)	ビットと設定値		
	PS1、PS2、PS5、PS8、PS9 レジスタ	PD7、PD8、PD11、PD14、PD15 レジスタ	IPSレジスタ
P74/INPC11	PS1_4 = 0	PD7_4 = 0	IPS1 = 0
P75/INPC12	PS1_5 = 0	PD7_5 = 0	
P76/INPC00	PS1_6 = 0	PD7_6 = 0	IPS0 = 0
P77/INPC01	PS1_7 = 0	PD7_7 = 0	
P80/INPC02	PS2_0 = 0	PD8_0 = 0	
P111/INPC11(注1)	PS5_1 = 0	PD11_1 = 0	IPS1 = 1
P112/INPC12(注1)	PS5_2 = 0	PD11_2 = 0	
P142/INPC16(注1)	PS8_2 = 0	PD14_2 = 0	-
P143/INPC17(注1)	PS8_3 = 0	PD14_3 = 0	
P150/INPC00(注1)	PS9_0 = 0	PD15_0 = 0	IPS0 = 1、IPS2 = 0
P151/INPC01(注1)	PS9_1 = 0	PD15_1 = 0	
P152/INPC02(注1)	-	PD15_2 = 0	
P153/INPC03(注1)	-	PD15_3 = 0	
P154/INPC04(注1)	PS9_4 = 0	PD15_4 = 0	IPS2 = 0
P155/INPC05(注1)	PS9_5 = 0	PD15_5 = 0	
P156/INPC06(注1)	-	PD15_6 = 0	
P157/INPC07(注1)	-	PD15_7 = 0	

注1. 144ピン版で使用できます。

注2. GiBCRレジスタのCASビットが“1”(32ビット時間計測機能)のときは、INPC0_j端子(j=0~7)へトリガを入力してください。INPC1_k端子(k=1、2、6、7)へのトリガ入力は無効になります。

表21.6 時間計測機能(グループ0、1)関連レジスタの設定

レジスタ	ビット	機能
GiTMCR _j	CTS1 ~ CTS0	時間計測トリガ選択
	DF1 ~ DF0	デジタルフィルタ機能選択
	GT、GOC、GSC	ゲート機能選択
	PR	プリスケアラ機能選択
GiTPRk	-	プリスケアラ値設定
GiFS	FSC _j	“1”(時間計測機能)にしてください
GiFE	IFE _j	“1”(チャンネル _j の機能を動作)にしてください

i=0~1、j=0~7、k=6~7

グループ、チャンネルによって、ビット構成、機能が違います。

ベースタイマ関連レジスタを設定後に、時間計測機能関連レジスタを設定してください。

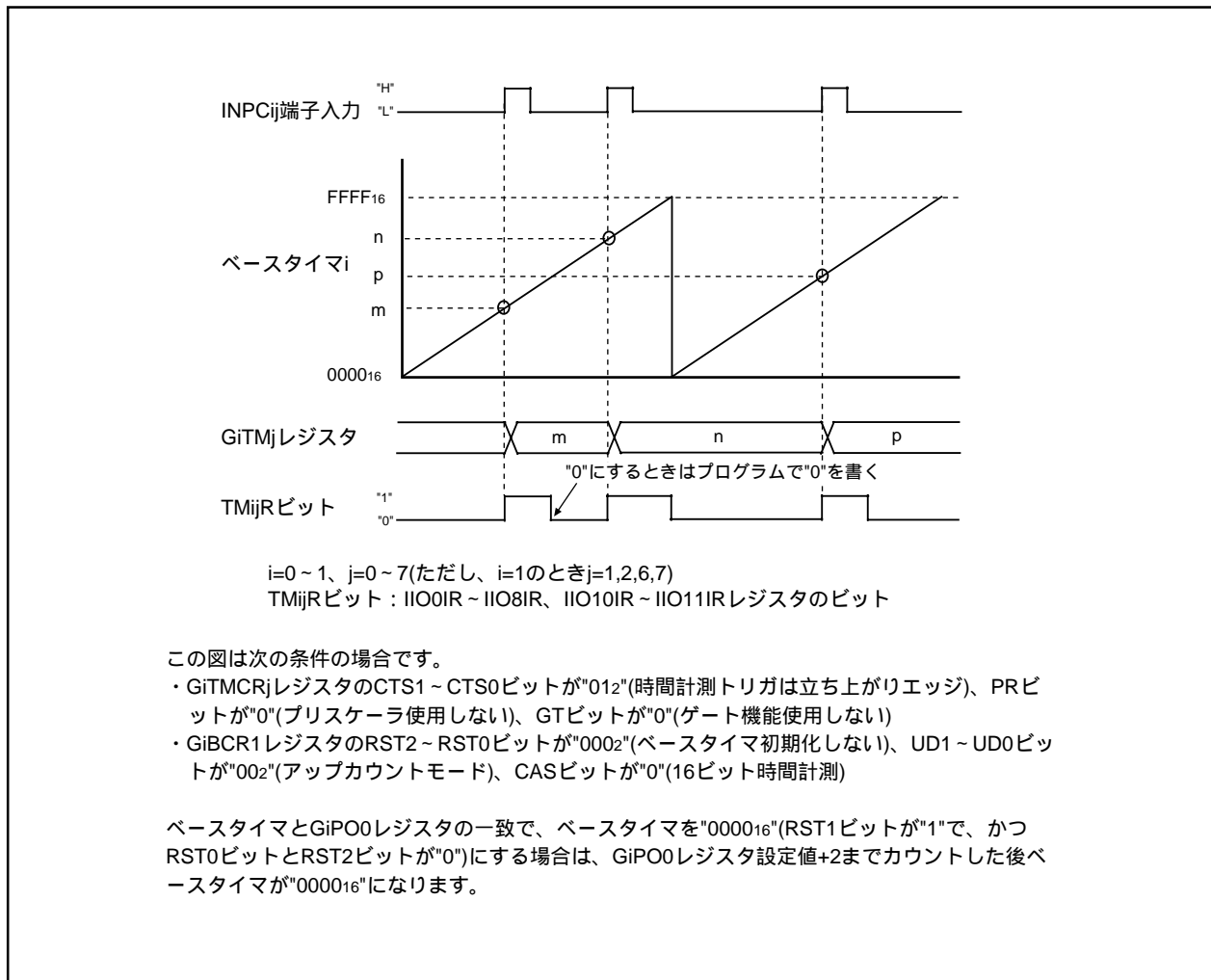


図21.21 時間計測機能の動作例 (1)

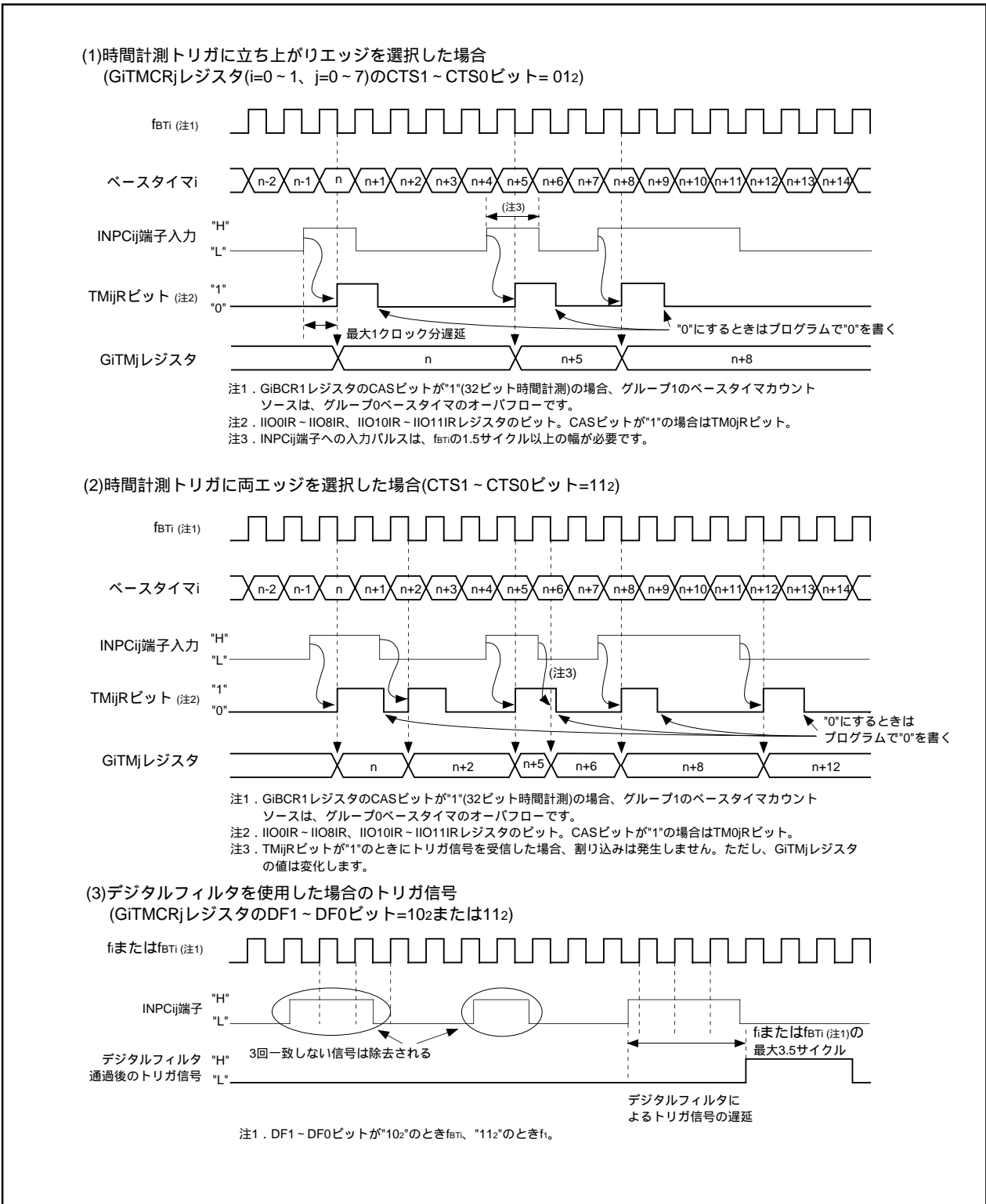


図21.22 時間計測機能の動作例 (2)

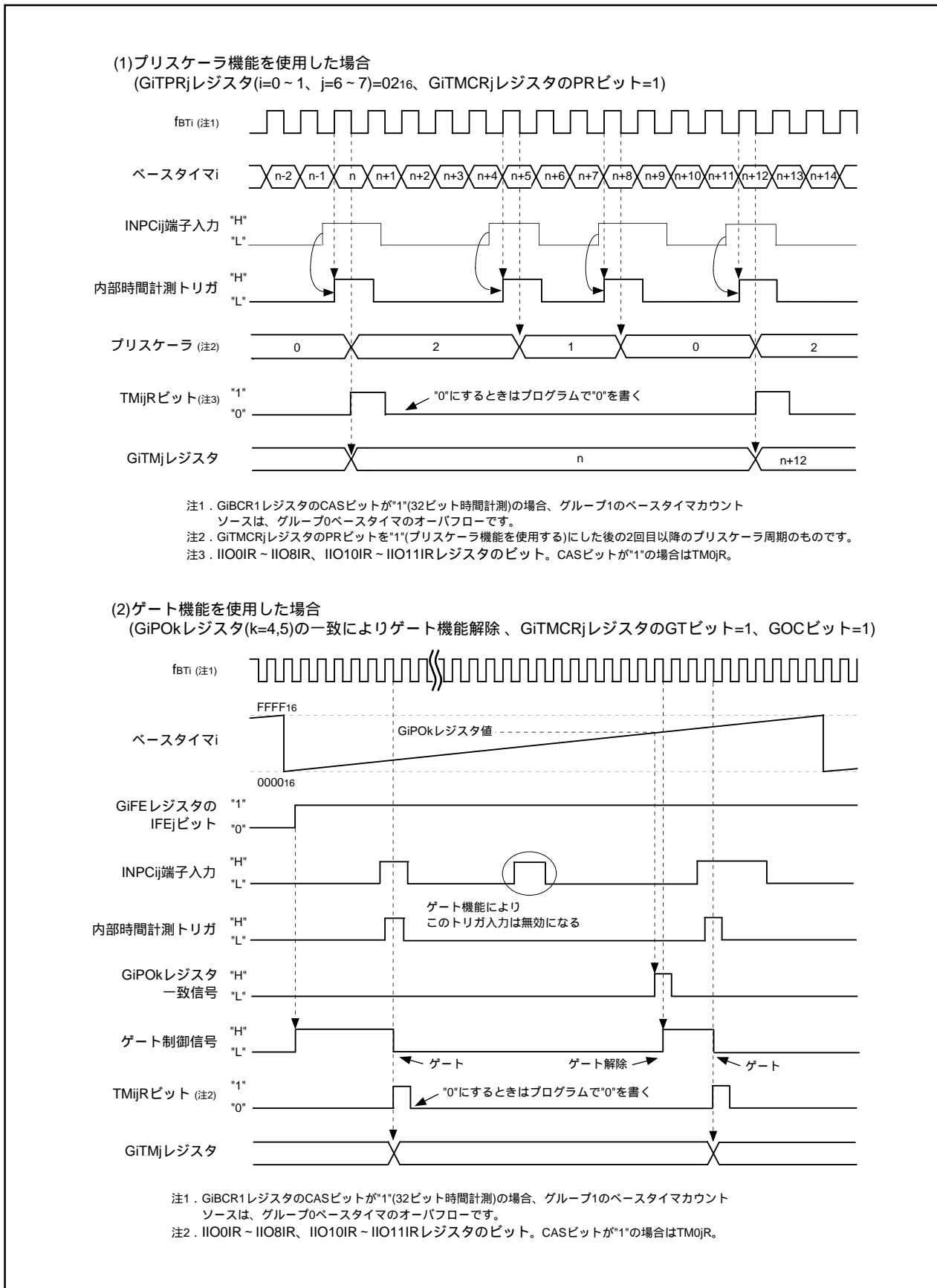


図21.23 プリスケアラ機能、ゲート機能使用時の動作例

21.3 波形生成機能(グループ0~3)

ベースタイマとGiPOjレジスタ(i=0~3、j=0~7)の値の一致により、波形生成を行います。
波形生成機能には、次の6つのモードがあります。

- ・単相波形出力モード(グループ0~3)
- ・反転波形出力モード(グループ0~3)
- ・セット-リセット波形出力(SR波形出力)モード(グループ0~3)
- ・ビットモジュレーションPWM出力モード(グループ2~3)
- ・リアルタイムポートRTP出力モード(グループ2~3)
- ・並列リアルタイムポートRTP出力モード(グループ2~3)

表21.7に波形生成機能を使用する場合の設定を、表21.8に波形生成機能関連レジスタの設定を示します。

表21.7 波形生成機能を使用する場合の端子の設定(1/2)

端子	ビットと設定値		
	PS0 ~ PS2、PS5 ~ PS9レジスタ	PSL0、PSL1、PSL2、PSL3レジスタ	PSCレジスタ
P64/OUTC21	PS0_4 = 1	PSL0_4 = 1	-
P70/OUTC20	PS1_0 = 1	PSL1_0 = 0	PSC_0 = 1
P71/OUTC22	PS1_1 = 1	PSL1_1 = 0	PSC_1 = 1
P73/OUTC10 ^(注2)	PS1_3 = 1	PSL1_3 = 0	PSC_3 = 1
P74/OUTC11 ^(注2)	PS1_4 = 1	PSL1_4 = 0	PSC_4 = 1
P75/OUTC12 ^(注2)	PS1_5 = 1	PSL1_5 = 1	-
P76/OUTC00 ^(注2)	PS1_6 = 1	PSL1_6 = 0	PSC_6 = 0
P77/OUTC01 ^(注2)	PS1_7 = 1	-	-
P81/OUTC30	PS2_1 = 1	PSL2_1 = 1	-
P82/OUTC32	PS2_2 = 1	PSL2_2 = 0	-
P92/OUTC20	PS3_2 = 1	PSL3_2 = 1	-
P110/OUTC10 ^(注1、注2)	PS5_0 = 1	-	-
P111/OUTC11 ^(注1、注2)	PS5_1 = 1	-	-
P112/OUTC12 ^(注1、注2)	PS5_2 = 1	-	-
P113/OUTC13 ^(注1、注2)	PS5_3 = 1	-	-
P120/OUTC30 ^(注1)	PS6_0 = 1	-	-
P121/OUTC31 ^(注1)	PS6_1 = 1	-	-
P122/OUTC32 ^(注1)	PS6_2 = 1	-	-
P123/OUTC33 ^(注1)	PS6_3 = 1	-	-
P124/OUTC34 ^(注1)	PS6_4 = 1	-	-
P125/OUTC35 ^(注1)	PS6_5 = 1	-	-
P126/OUTC36 ^(注1)	PS6_6 = 1	-	-
P127/OUTC37 ^(注1)	PS6_7 = 1	-	-
P130/OUTC24 ^(注1)	PS7_0 = 1	-	-
P131/OUTC25 ^(注1)	PS7_1 = 1	-	-
P132/OUTC26 ^(注1)	PS7_2 = 1	-	-
P133/OUTC23 ^(注1)	PS7_3 = 1	-	-
P134/OUTC20 ^(注1)	PS7_4 = 1	-	-
P135/OUTC22 ^(注1)	PS7_5 = 1	-	-
P136/OUTC21 ^(注1)	PS7_6 = 1	-	-
P137/OUTC27 ^(注1)	PS7_7 = 1	-	-

注1. 144ピン版で使用できます。

注2. GiBCR1レジスタのCASビットが“1”(32ビット波形生成機能)のときは、OUTC1j端子(j=0~7)から波形を出力し、上の設定を行ったOUTC0k端子(k=0、1、4、5)からは下位16ビットの波形を出力します。

表21.7 波形生成機能を使用する場合の端子の設定(2/2)

端子	ビットと設定値		
	PS0 ~ PS2, PS5 ~ PS9レジスタ	PSL0, PSL1, PSL2, PSL3レジスタ	PSCレジスタ
P140/OUTC14 ^(注1, 2)	PS8_0 = 1	-	-
P141/OUTC15 ^(注1, 2)	PS8_1 = 1		
P142/OUTC16 ^(注1, 2)	PS8_2 = 1		
P143/OUTC17 ^(注1, 2)	PS8_3 = 1		
P150/OUTC00 ^(注1, 2)	PS9_0 = 1	-	-
P151/OUTC01 ^(注1, 2)	PS9_1 = 1		
P154/OUTC04 ^(注1, 2)	PS9_4 = 1		
P155/OUTC05 ^(注1, 2)	PS9_5 = 1		

注1. 144ピン版で使用できます。

注2. GiBCR1レジスタのCASビットが“1”(32ビット波形生成機能)のときは、OUTC1_j端子(j=0~7)から波形を出力し、上の設定を行ったOUTC0_k端子(k=0, 1, 4, 5)からは下位16ビットの波形を出力します。

表21.8 波形生成機能関連レジスタの設定

レジスタ	ビット	機能
GiPOCRj	MOD2 ~ MOD0	波形出力モード選択
	PRT ^(注1)	並列RTP出力モードを使用する場合は“1”にしてください
	IVL	出力初期値選択
	RLD	GiPOjレジスタ値リロードタイミング選択
	RTP ^(注1)	RTP出力モードまたは並列RTP出力モードを使用する場合は“1”にしてください このビットが“1”の場合、MOD2~MOD0のビット値は無効になります
	INV	出力反転選択
G2BCR1 G3BCR1	PRP	並列RTP出力モードを使用する場合は“1”にしてください
GiPOj	-	出力波形を反転させるタイミングを設定
G3MK4 ~ G3MK7	-	ベースタイムとG3PO4~G3PO7レジスタのマスク値を設定します(グループ3のみ)
GiFS	FSCj	“0”(波形生成機能)にしてください(グループ0,1のみ)
GiFE	IFEj	“1”(チャンネルjの機能を動作)にしてください
G2RTP、 G3RTP	RTP0 ~ RTP7	RTP出力モード、並列RTP出力モードでのRTP出力値を設定します

i=0~3, j=0~7

グループ、チャンネルによって、ビット構成、機能が違います。

ベースタイム関連レジスタを設定した後に、波形生成機能関連レジスタを設定してください。

注1. このビットは、GiPOCRjレジスタ(i=2,3)にあります。GiPOCRjレジスタ(i=0,1)にはありません。

21.3.1 単相波形出力モード(グループ0~3)

ベースタイムとGiPOjレジスタ(i=0~3、j=0~7)の値が一致するとOUTCij端子の出力レベルは“H”になり、ベースタイムが“0000₁₆”になると“L”になります。GiPOCRjレジスタのIVLビットを“1”(初期値として“H”を出力)にすると、波形出力開始時の出力レベルは“H”になります。INVビットを“1”(出力反転する)にすると、出力波形をレベル反転して出力します。詳細は、図21.24単相波形出力モードの動作例を参照してください。

表21.9に単相波形出力モードの仕様を示します。

表21.9 単相波形出力モードの仕様

項目	仕様
出力波形 ^(注3)	<ul style="list-style-type: none"> ・フリーラン動作(GiBCR1レジスタ(i=0~3)のRST2~RST0ビットが“0002”)の場合 <ul style="list-style-type: none"> 周期 : $\frac{65536}{f_{BTi}}$ “L”幅 : $\frac{m}{f_{BTi}}$ “H”幅 : $\frac{65536-m}{f_{BTi}}$ m : GiPOjレジスタ(j=0~7)の設定値 0000₁₆ ~ FFFF₁₆ ・ベースタイムとGiPO0レジスタが一致するとき、ベースタイムを“0000₁₆”する(RST1ビットが“1”かつRST0とRST2ビットが“0”)場合 <ul style="list-style-type: none"> 周期 : $\frac{n+2}{f_{BTi}}$ “L”幅 : $\frac{m}{f_{BTi}}$ “H”幅 : $\frac{n+2-m}{f_{BTi}}$ m : GiPOjレジスタ(j=1~7)の設定値 0000₁₆ ~ FFFF₁₆ n : GiPO0レジスタの設定値 0001₁₆ ~ FFFD₁₆ m n+2の場合、出力レベルは“L”固定
波形出力開始条件 ^(注1)	GiFEレジスタのIFEjビット(j=0~7)を“1”(チャンネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
割り込み要求	ベースタイム値とGiPOjレジスタの値が一致したときに、割り込み要求レジスタのPOijRビットが“1”(割り込み要求あり)になる(図10.14参照)
OUTCij端子 ^(注2)	パルス出力
選択機能	<ul style="list-style-type: none"> 初期値設定機能 : 波形出力開始時の出力レベルを設定 反転出力機能 : 出力波形をレベル反転して、OUTCij端子から出力 カスケード接続機能 : グループ0、グループ1を接続し、32ビットタイマとして動作

注1. 時間計測機能と波形生成機能が共用されているチャンネルを使用する場合、GiFSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

注2. OUTC0₀、OUTC0₁、OUTC0₄、OUTC0₅、OUTC1₀~OUTC1₇、OUTC2₀~OUTC2₇、OUTC3₀~OUTC3₇端子(グループ0、1カスケード接続時はOUTC1₀~OUTC1₇端子)

注3. GiPOCRjレジスタのINVビットが“1”(出力反転する)の場合、“L”幅と“H”幅は逆になります。

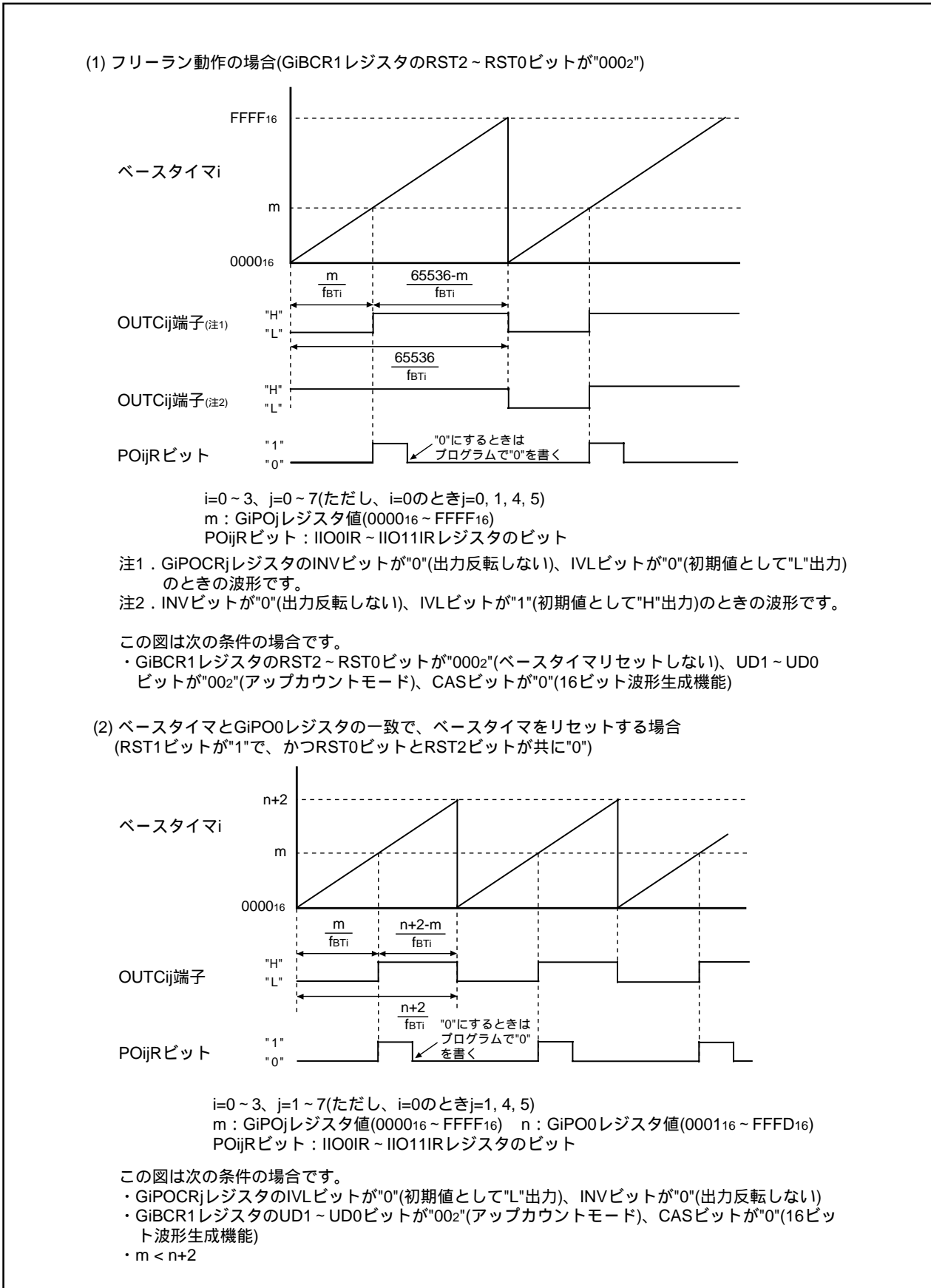


図21.24 単相波形出力モードの動作例

21.3.2 反転波形出力モード(グループ0～3)

ベースタイムとGiPOjレジスタ(i=0～3、j=0～7)の値が一致するごとにOUTCij端子の出力レベルを反転します。表21.10に反転波形出力モードの仕様を、図21.25に反転波形出力モードの動作例を示します。

表21.10 反転波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> ・フリーラン動作(GiBCR1レジスタ(i=0～3)のRST2～RST0ビットが“0002”)の場合 周期 : $\frac{65536 \times 2}{f_{BTi}}$ “H”幅、“L”幅 : $\frac{65536}{f_{BTi}}$ GiPOjレジスタ(j=0～7)の設定値 0000₁₆～FFFF₁₆ ・ベースタイムとGiPO0レジスタが一致したとき、ベースタイムを“0000₁₆”する (RST1ビットが“1”かつRST0とRST2ビットが“0”)場合 周期 : $\frac{2(n+2)}{f_{BTi}}$ “H”幅、“L”幅 : $\frac{n+2}{f_{BTi}}$ n : GiPO0レジスタの設定値 0001₁₆～FFFD₁₆ GiPOjレジスタ(j=1～7)の設定値 0000₁₆～FFFF₁₆ GiPOjレジスタ値 n+2の場合、出力レベルは反転しません
波形出力開始条件 ^(注1)	GiFEレジスタのIFEjビット(j=0～7)を“1”(チャンネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
割り込み要求	ベースタイムとGiPOjレジスタの値が一致したとき、割り込み要求レジスタのPOijRビットが“1”(割り込み要求あり)になる(図10.14参照)
OUTCij端子 ^(注2)	パルス出力
選択機能	初期値設定機能 : 波形出力開始時の出力レベルを設定 反転出力機能 : 出力波形をレベル反転して、OUTCij端子から出力 カスケード接続機能 : グループ0、グループ1を接続し、32ビットタイマとして動作

注1 . 時間計測機能と波形生成機能が共用されているチャンネルを使用する場合、GiFSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

注2 . OUTC00、OUTC01、OUTC04、OUTC05、OUTC10～OUTC17、OUTC20～OUTC27、OUTC30～OUTC37端子(グループ0,1カスケード接続時はOUTC10～OUTC17端子)

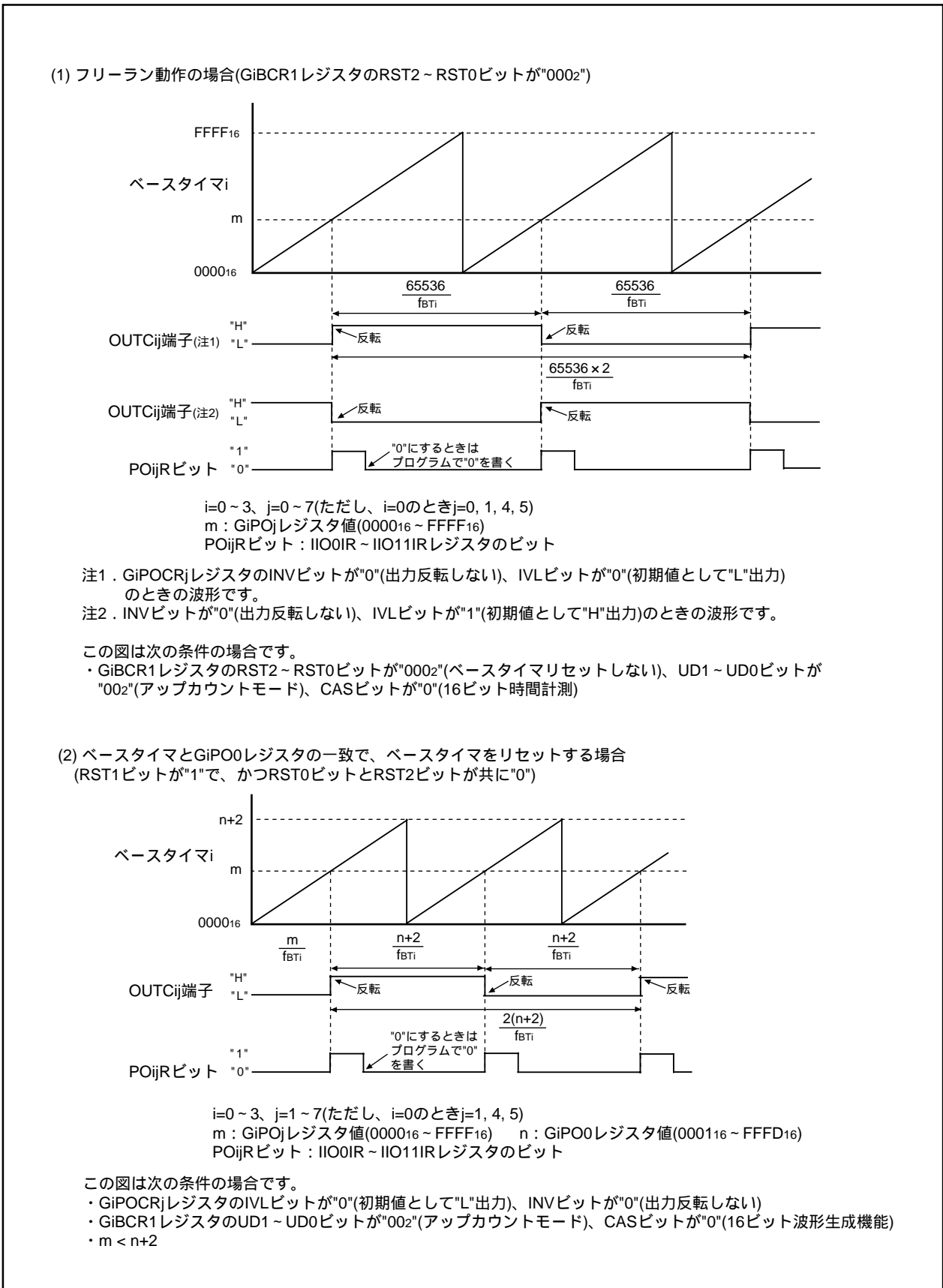


図21.25 反転波形出力モード時の動作例

21.3.3 セット-リセット波形出力(SR波形出力)モード(グループ0~3)

ベースタイマとGiPOjレジスタ(i=0~3、j=0、2、4、6)の値が一致するとOUTCij端子の出力レベルは“H”になり、ベースタイマとGiPOkレジスタ(k=j+1)の値が一致するか、ベースタイマが“0000₁₆”になると“L”になります。GiPOCRjレジスタ(j=0~7)のIVLビットを“1”(初期値として“H”を出力)にすると、波形出力開始時の出力レベルは“H”になります。INVビットを“1”(出力反転する)にすると、出力波形をレベル反転して出力します。詳細は、図21.26SR波形出力モードの動作例を参照してください。表21.11にSR波形出力モードの仕様を示します。

表21.11 SR波形出力モードの仕様(1/2)

項目	仕様
出力波形 ^(注2)	<ul style="list-style-type: none"> ・フリーラン動作(GiBCR1レジスタ(i=0~3)のRST2~RST0ビットが“0002”)の場合 <ul style="list-style-type: none"> (1) m < nの場合 <ul style="list-style-type: none"> “H”幅：$\frac{n-m}{f_{BTi}}$ “L”幅：$\frac{m}{f_{BTi}}$^(注3) + $\frac{65536-n}{f_{BTi}}$^(注4) (2) m = nの場合 <ul style="list-style-type: none"> “H”幅：$\frac{65536-m}{f_{BTi}}$ “L”幅：$\frac{m}{f_{BTi}}$ m：GiPOjレジスタ(j=0、2、4、6)の設定値 n：GiPOkレジスタ(k=j+1)の設定値 m、nの値は0000₁₆~FFFF₁₆ ・ベースタイマとGiPO0レジスタが一致したとき、ベースタイマを“0000₁₆”にする(RST1ビットが“1”、かつRST0とRST2ビットが“0”)場合^(注1) <ul style="list-style-type: none"> (1) m < n < p+2の場合 <ul style="list-style-type: none"> “H”幅：$\frac{n-m}{f_{BTi}}$ “L”幅：$\frac{m}{f_{BTi}}$^(注3) + $\frac{p+2-n}{f_{BTi}}$^(注4) (2) m < p+2 = nの場合 <ul style="list-style-type: none"> “H”幅：$\frac{p+2-m}{f_{BTi}}$ “L”幅：$\frac{m}{f_{BTi}}$ (3) m = p+2の場合、出力レベルは“L”固定 p：GiPO0レジスタの設定値 m：GiPOjレジスタ(j=2、4、6)の設定値 n：GiPOkレジスタ(k=j+1)の設定値 pの値は0001₁₆~FFFD₁₆ m、nの値は0000₁₆~FFFF₁₆

注1. GiPO0レジスタとベースタイマの一致でベースタイマリセットする場合、チャンネル0、1のSR波形生成機能は使用できません。

注2. GiPOCRjレジスタのINVビットが“1”(出力反転する)の場合、“L”幅と“H”幅は逆になります。

注3. ベースタイマリセットしてから出力レベルが“H”になるまでの期間

注4. 出力レベルが“L”になってから、ベースタイマリセットするまでの期間

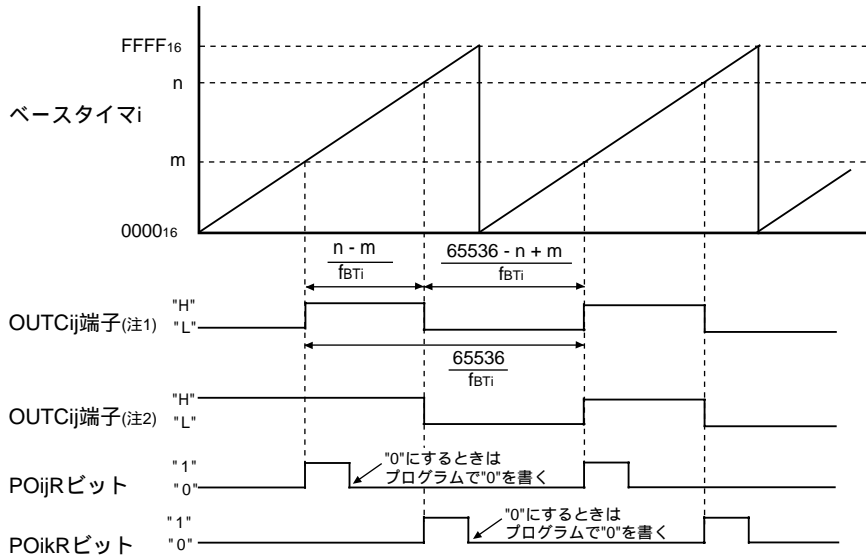
表21.11 SR波形出力モードの仕様(2/2)

項目	仕様
波形出力開始条件 (注5)	GiFEレジスタのIFEqビット(q=0~7)を“1”(チャンネルqの機能を動作)にする
波形出力停止条件	IFEqビットを“0”(チャンネルqの機能を停止)にする
割り込み要求	ベースタイム値とGiPOjレジスタ値が一致したとき割り込み要求レジスタのPOijRビットが“1”になり、ベースタイム値とGiPOkレジスタ値の値が一致したときPOikRビットが“1”(割り込み要求あり)になる(図10.14参照)
OUTCij端子 (注6)	パルス出力
選択機能	初期値設定機能 : 波形出力開始時の出力レベルを設定 反転出力機能 : 出力波形をレベル反転して、OUTCij端子から出力 カスケード接続機能 : グループ0とグループ1を接続し、32ビットタイマとして動作

注5. 時間計測機能と波形生成機能が共用されているチャンネルを使用する場合、GiFSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

注6. OUTC00、OUTC04、OUTC10、OUTC12、OUTC14、OUTC16、OUTC20、OUTC22、OUTC24、OUTC26、OUTC30、OUTC32、OUTC34、OUTC36端子(グループ0、1カスケード接続時はOUTC10、OUTC12、OUTC14、OUTC16端子)

(1) フリーラン動作の場合(GiBCR1レジスタのRST2~RST0ビットが"0002")



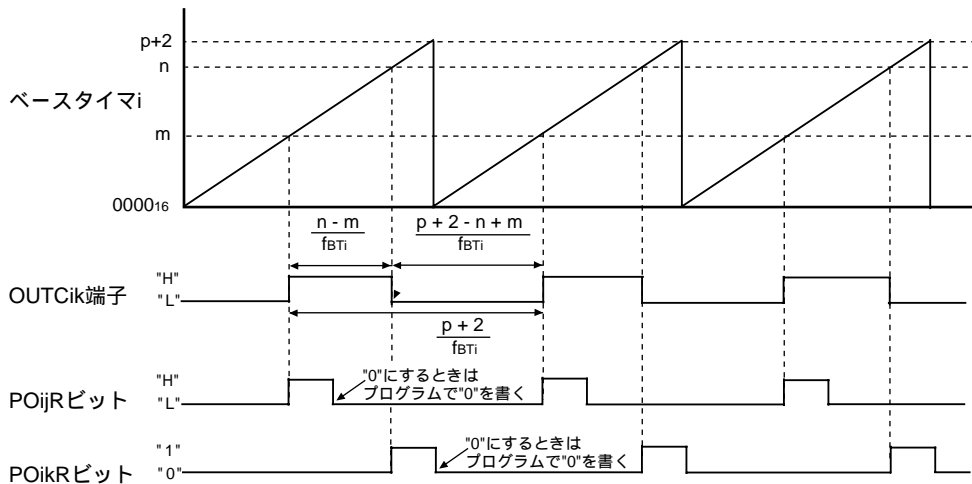
$i=0 \sim 3, j=0, 2, 4, 6$ (ただし、 $i=0$ のとき $j=0, 4$)、 $k=j+1$
 m : GiPOjレジスタ値(0000₁₆ ~ FFFF₁₆) n : GiPOkレジスタ値(0000₁₆ ~ FFFF₁₆)
 POijR, POikRビット : IIO0iR ~ IIO11iRレジスタのビット

- 注1 . GiPOCRjレジスタのINVビットが"0"(出力反転しない)、IVLビットが"0"(初期値として"L"出力)のときの波形です。
- 注2 . INVビットが"0"(出力反転しない)、IVLビットが"1"(初期値として"H"出力)のときの波形です。

この図は次の条件の場合です。

- ・ GiBCR1レジスタのRST2~RST0ビットが"0002"(ベースタイマリセットしない)、UD1~UD0ビットが"002"(アップカウントモード)、CASビットが"0"(16ビット波形生成機能)
- ・ $m < n$

(2) ベースタイマとGiPO0レジスタが一致する時、ベースタイマリセットする場合 (RST1ビットが"1"で、かつRST0ビットとRST2ビットが共に"0")



$i=0 \sim 3, j=2, 4, 6$ (ただし、 $i=0$ のとき $j=4$)、 $k=j+1$
 m : GiPOjレジスタ値(0000₁₆ ~ FFFF₁₆) n : GiPOkレジスタ値(0000₁₆ ~ FFFF₁₆)
 p : GiPO0レジスタ値(0001₁₆ ~ FFFD₁₆)
 POijR, POikRビット : IIO0iR ~ IIO11iRレジスタのビット

この図は次の条件の場合です。

- ・ GiPOCRkレジスタのIVLビットが"0"(初期値として"L"出力)、INVビットが"0"(出力反転しない)
- ・ GiBCR1レジスタのUD1~UD0ビットが"002"(アップカウントモード)、CASビットが"0"(16ビット波形生成機能)
- ・ $m < n < p+2$

図21.26 SR波形出力モードの動作例

21.3.4 ビットモジュレーションPWM出力モード(グループ2~3)

ビットモジュレーションPWM出力モードでは、16ビット分解能のPWM出力をすることができます。1024回連続した小区間 t を1周期とするパルスを繰り返し出力します。小区間 t の周期は $\frac{64}{f_{BTi}}$ で、“L”の基本幅はGiPOjレジスタ($i=2\sim 3$ 、 $j=0\sim 7$)の上位6ビットで設定し、下位10ビットで最小分解能ビット幅(1クロック)を付加した“L”幅の1周期における小区間数を設定します。

INVビットを“1”(出力反転する)にすると、出力波形をレベル反転して出力します。

表21.12にビットモジュレーションPWM出力モードの仕様を、表21.13にモジュレート付加小区間数と最小分解能ビット幅を付加する小区間 t の関係を、図21.27にビットモジュレーションPWM出力モードの動作例を示します。

表21.12 ビットモジュレーションPWM出力モードの仕様

項目	仕様
出力波形(注1、2)	PWMの繰り返し周期 T : $\frac{65536}{f_{BTi}}$ ($= \frac{64}{f_{BTi}} \times 1024$) 小区間 t の周期 : $\frac{64}{f_{BTi}}$ “L”幅 : m 区間で $\frac{n+1}{f_{BTi}}$ 、 $(1024-m)$ 区間で $\frac{n}{f_{BTi}}$ 平均“L”幅 : $\frac{1}{f_{BTi}} \times (n + \frac{m}{1024})$ n : GiPOjレジスタ($i=2\sim 3$ 、 $j=0\sim 7$)の設定値(上位6ビット) 0016 ~ 3F16 m : GiPOjレジスタの設定値(下位10ビット) 0016 ~ 3FF16
波形出力開始条件	GiFEレジスタのIFEjビットを“1”(チャネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャネルjの機能を停止)にする
割り込み要求	ベースタイマの下位6ビットとGiPOjレジスタの上位6ビットで設定した値が一致したとき、割り込み要求レジスタのPOijRビットが“1”(割り込み要求あり)になる(図10.14参照)
OUTCij端子	パルス出力
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形をレベル反転して、OUTCij端子から出力

注1. ビットモジュレーションPWM出力モードを使用する場合は、GiBCR1レジスタのRST2~RST0ビットを“0002”にしてください。

注2. GiPOCRjレジスタのINVビットが“1”の場合、“L”幅と“H”幅は逆になります。

表21.13 モジュレート付加小区間数と最小分解能ビット幅を付加する小区間 t の関係

モジュレート付加小区間数	最小分解能ビット幅を付加する小区間
00 0000 00002	なし
00 0000 00012	t512
00 0000 00102	t256、t768
00 0000 01002	t128、t384、t640、t896
00 0000 10002	t64、t192、t320、t448、t576、t704、t832、t960
⋮	⋮
10 0000 00002	t1、t3、t5、t7、... t1019、t1021、t1023

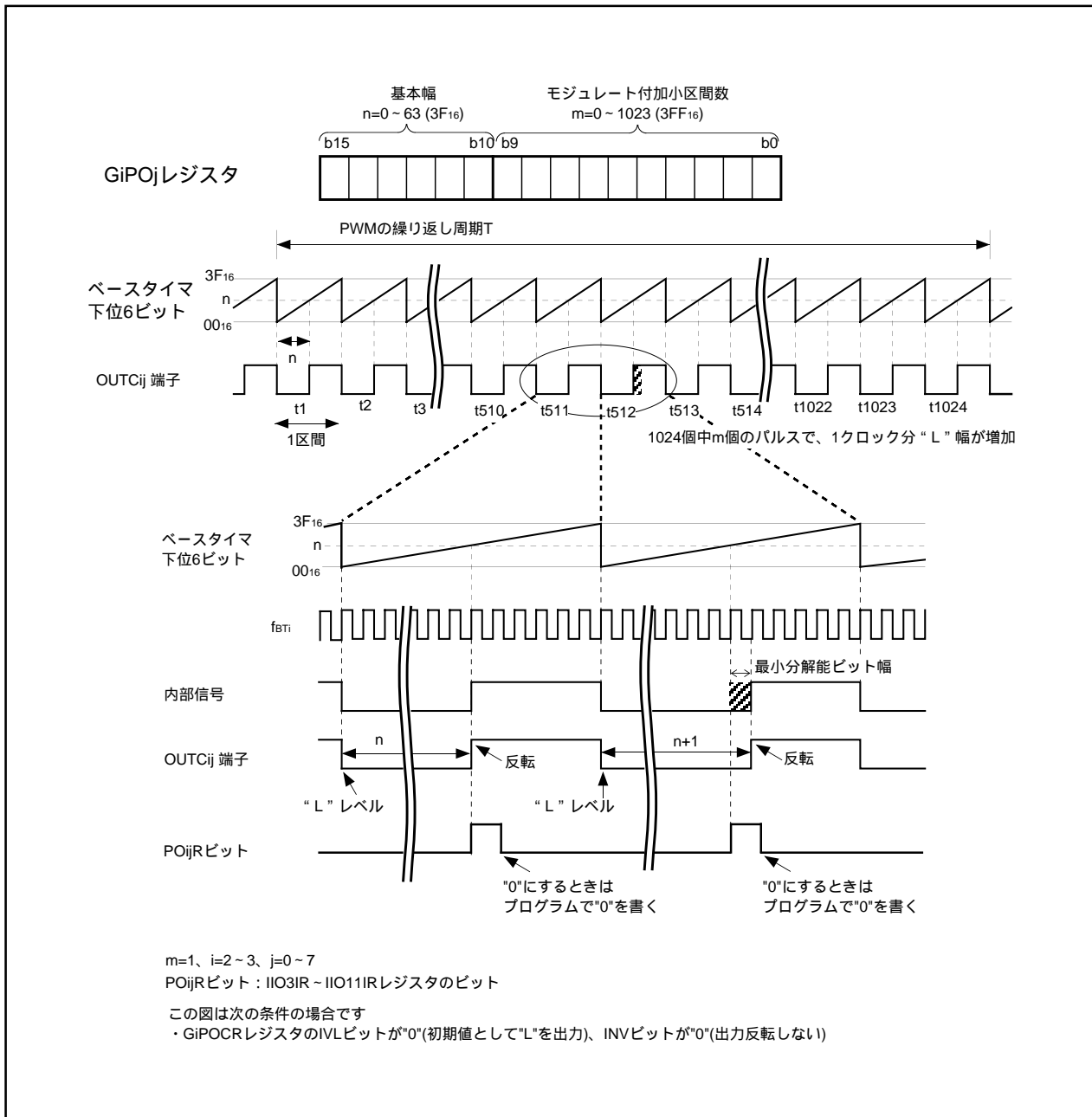


図21.27 ビットモジュレーションPWM出力モードの動作例

21.3.5 リアルタイムポート(RTP)出力モード(グループ2~3)

ベースタイムとGiPOjレジスタ(i=2~3、j=0~7)の値が一致すると、GiRTPレジスタで設定した値をビット単位でOUTCij端子から出力します。表21.14にRTP出力モードの仕様を、図21.28にRTP出力機能のブロック図を、図21.29にRTP出力モード動作例を示します。

表21.14 RTP出力モードの仕様

項目	仕様
波形出力開始条件	GiFEレジスタのIFEjビット(i=2~3、j=0~7)を“1”(チャンネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
割り込み要求	ベースタイムとGiPOjレジスタの値(0000 ₁₆ ~ FFFF ₁₆ ^(注1))が一致したとき、割り込み要求レジスタのPOijRビットが“1”(割り込み要求あり)になる(図10.14参照)
OUTCij端子	RTP出力
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形をレベル反転して、OUTCij端子から出力

注1. ベースタイムとGiPO0レジスタが一致するとき、ベースタイムを“0000₁₆”にする(GiBCR1レジスタのRST1ビットが“1”かつRST0ビットとRST2ビットが“0”)場合、GiPO0レジスタの値は0001₁₆ ~ FFFD₁₆にしてください。

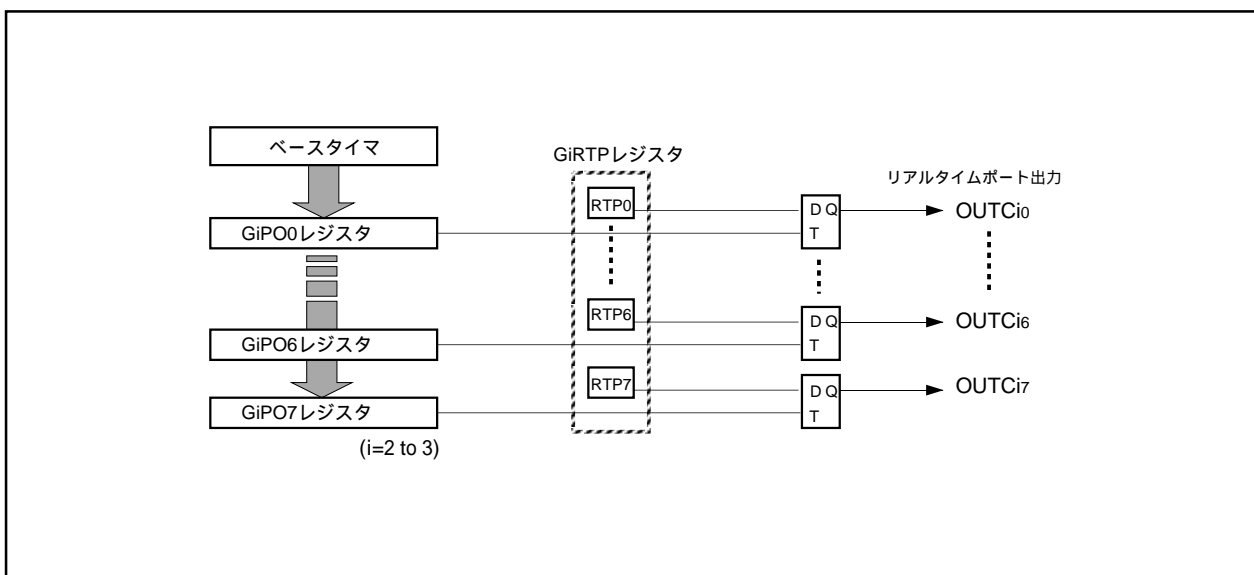


図21.28 RTP出力機能のブロック図

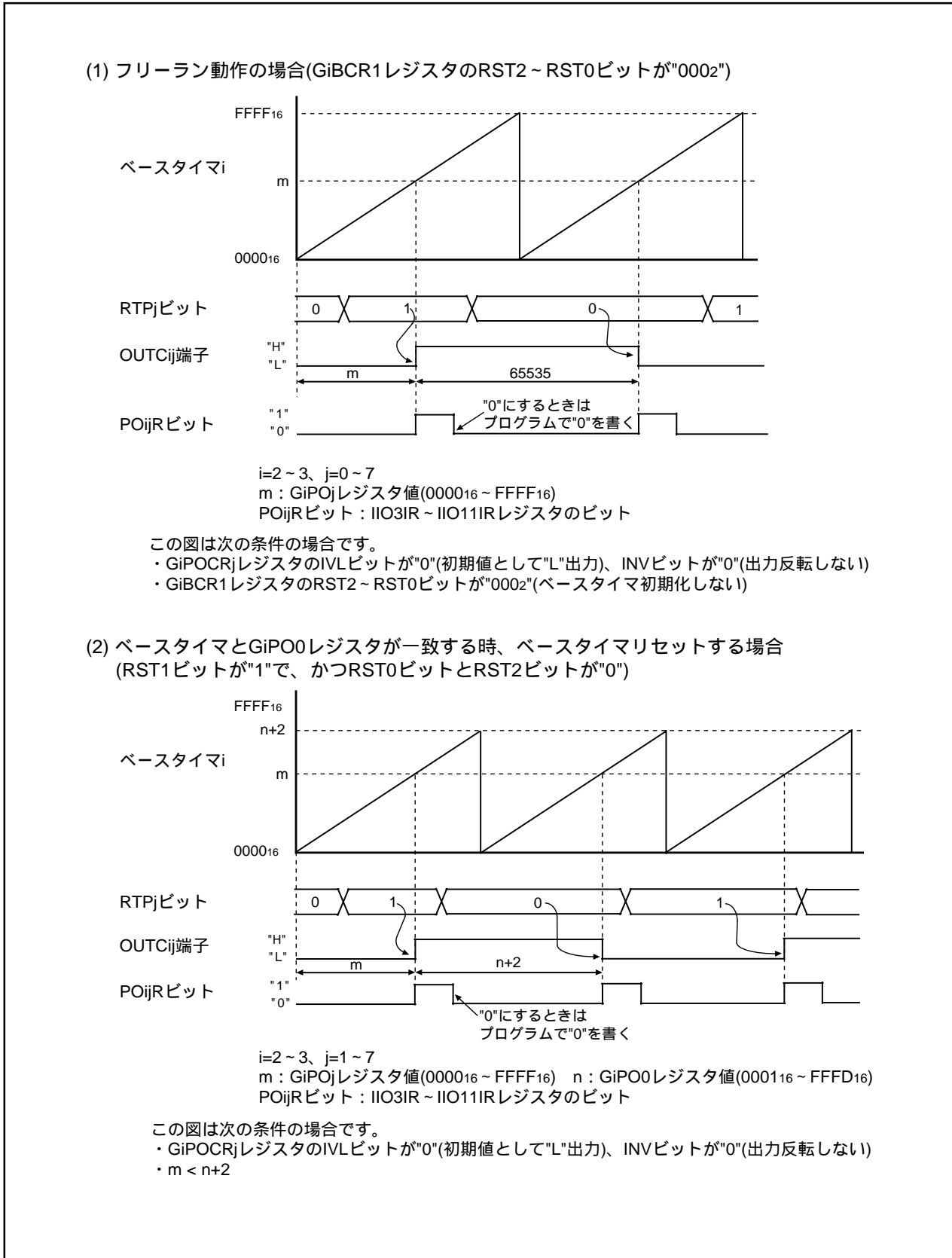


図21.29 RTP出力モードの動作例

21.3.6 並列リアルタイムポートRTP出力モード(グループ2~3)

ベースタイマとGiPOjレジスタ($i=2\sim 3$ 、 $j=0\sim 7$)の値が一致すると、GiRTPレジスタで設定したすべての値をバイト単位でOUTCij端子から出力します。表21.15に並列RTP出力モードの仕様を、図21.7にG2BCR1レジスタを、図21.8にG3BCR1レジスタを示します。図21.30に並列RTP出力機能のブロック図を、図21.31に並列RTP出力モードの動作例を示します。

表21.15 並列RTP出力モードの仕様

項目	仕様
波形出力開始条件	GiFEレジスタのIFEjビット($i=2\sim 3$ 、 $j=0\sim 7$)を“1”(チャンネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
割り込み要求	ベースタイマとGiPOjレジスタの値(0000 ₁₆ ~ FFFF ₁₆ (注1))が一致したとき、割り込み要求レジスタのPOijRビットが“1”(割り込み要求あり)になる(図10.14参照)
OUTCij端子	RTP出力
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形をレベル反転して、OUTCij端子から出力

注1. ベースタイマとGiPO0レジスタが一致するとき、ベースタイマを“0000₁₆”にする(GiBCR1レジスタのRST1ビットが“1”かつRST0ビットとRST2ビットが“0”)場合、GiPO0レジスタの値は0001₁₆ ~ FFFD₁₆にしてください。

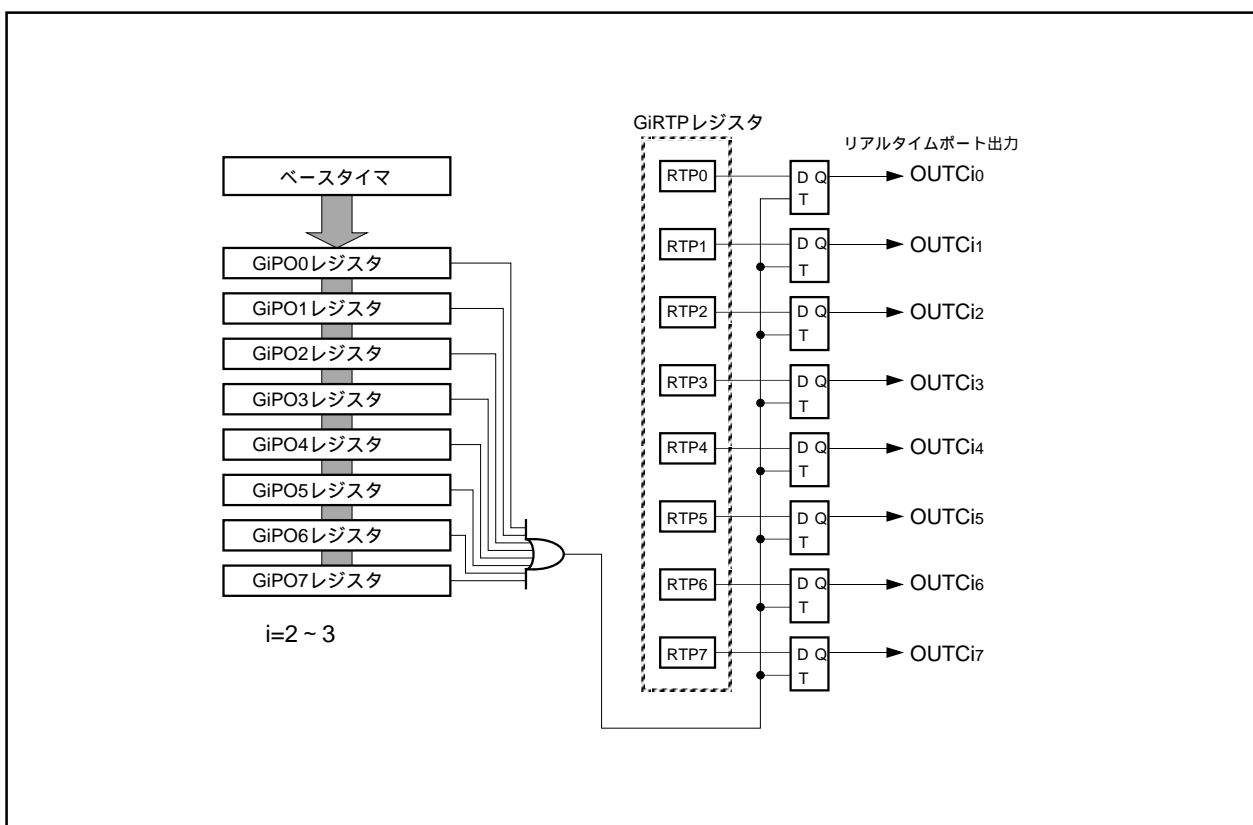


図21.30 並列RTP出力機能のブロック図

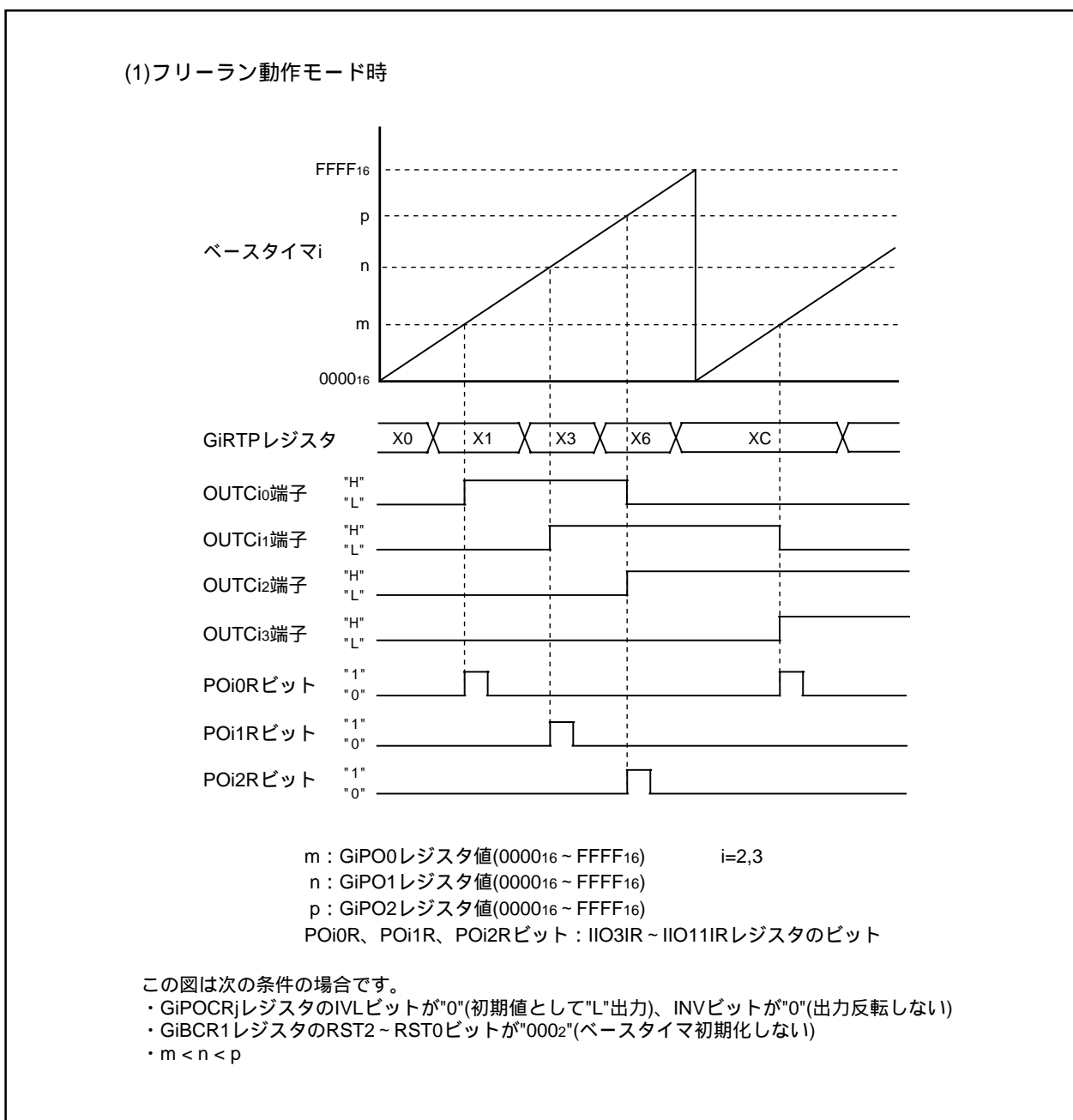


図21.31 並列RTP出力モードの動作例

21.4 グループ0、1通信機能

2本の8ビットシフトレジスタと時間計測機能または波形生成機能を組み合わせて使用することで通信機能は動作します。

インテリジェントI/Oグループ0、1では、8ビットクロック同期形シリアルI/O、8ビットクロック非同期形シリアルI/O(UART)またはHDLCデータ処理を行います。

図21.32～21.38に関連するレジスタを示します。

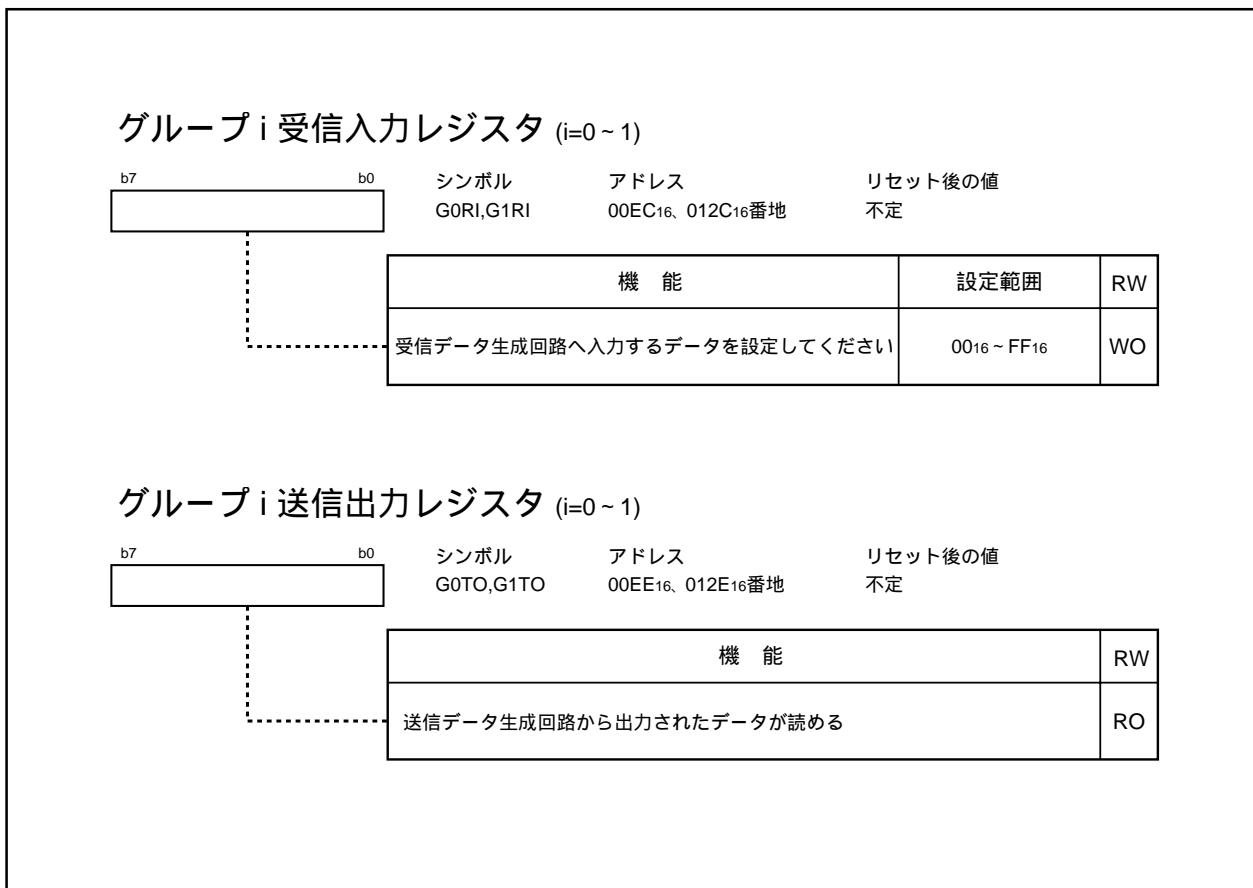


図21.32 G0RI ~ G1RIレジスタ、G0TO ~ G1TOレジスタ

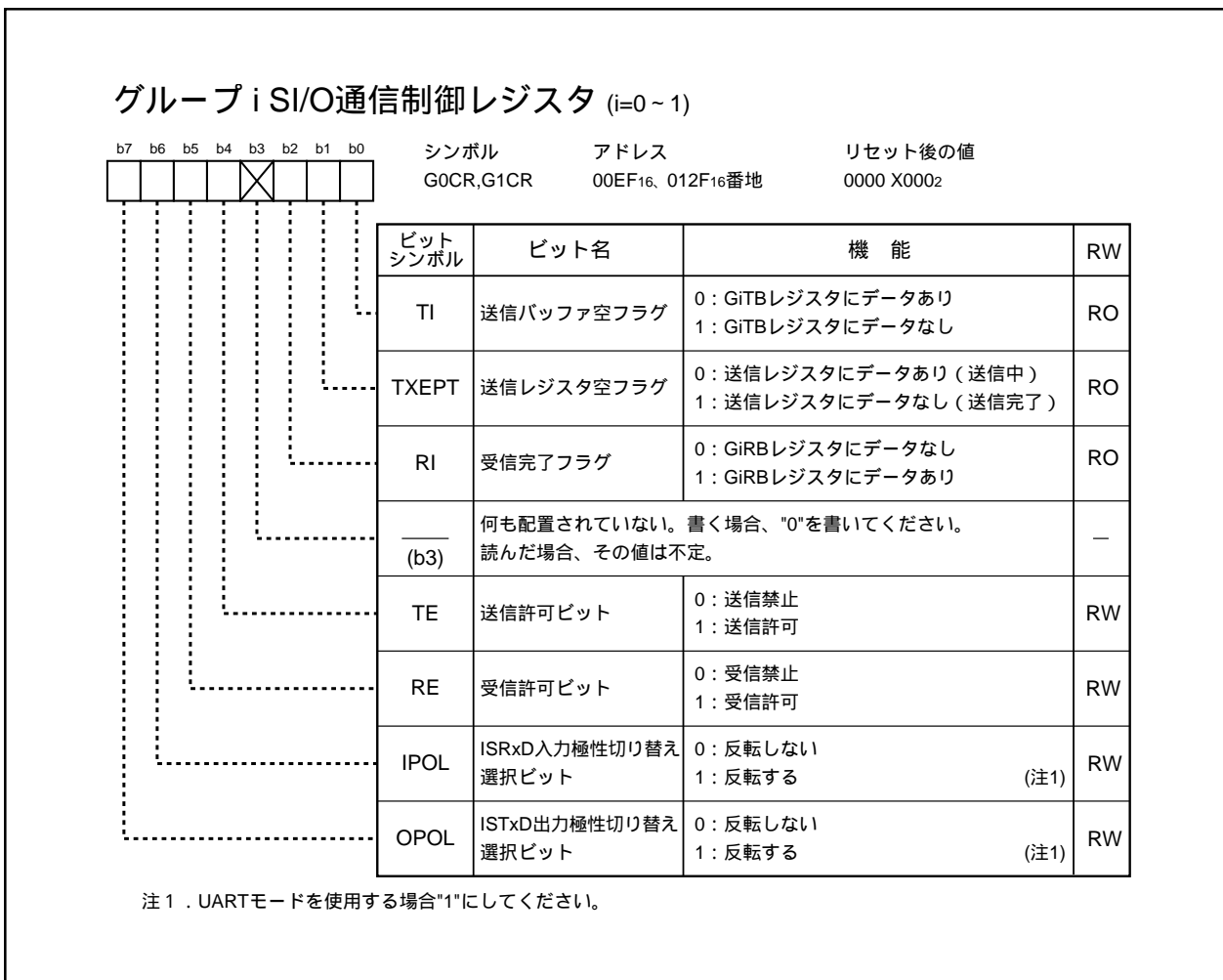
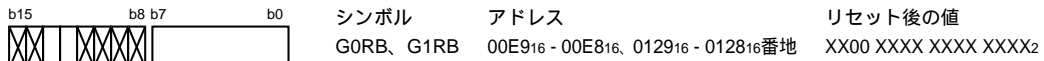


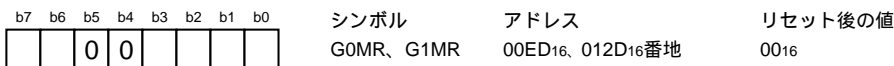
図21.33 G0CR ~ G1CRレジスタ

グループ i SI/O受信バッファレジスタ (i=0 ~ 1)



ビットシンボル	ビット名	機能	RW
(b7 - b0)	—	受信データ	RW
(b11 - b8)	何も配置されていない。読んだ場合、その値は不定。		—
OER	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラーあり	RO
FER	フレーミングエラーフラグ	0 : フレーミングエラーなし 1 : フレーミングエラーあり	RO
(b15 - b14)	何も配置されていない。読んだ場合、その値は不定。		—

グループ i SI/O通信モードレジスタ (i=0 ~ 1)



ビットシンボル	ビット名	機能	RW
GMD0	通信モード選択ビット	b1 b0 0 0 : UARTモード 0 1 : クロック同期形シリアルI/Oモード 1 0 : 特殊通信モード (注1) 1 1 : HDLCデータ処理モード	RW
GMD1		RW	
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	RW
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	RW
(b5 - b4)	予約ビット	"0"にしてください	RW
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	RW
IRS	送信割り込み要因選択ビット	0 : GiTBレジスタ空 (TI=1) 1 : 送信完了 (TXEPT=1)	RW

注1. 自動車用ですので使用しないでください。

図21.34 GORB ~ G1RBレジスタ、G0MR ~ G1MRレジスタ

グループ i SI/O拡張モードレジスタ (i=0~1)(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	G0EMR, G1EMR	00FC ₁₆ , 013C ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
SMODE	同期モード選択ビット	0: 再同期モードを使用しない 1: 再同期モード	RW
CRCV	CRC初期値選択ビット	0: "0000 ₁₆ "を設定 1: "FFFF ₁₆ "を設定	RW
ACRC	CRC初期化選択ビット	0: 初期化しない 1: 初期化する (注2)	RW
BSINT	ビットスタッフィングエラー 割り込み選択ビット	0: 使用しない 1: 使用する	RW
RXSL	受信元切り替えビット	0: ISRxDi端子 1: GiRIレジスタ	RW
TXSL	送信先切り替えビット	0: ISTxDi端子 1: GiTOレジスタ	RW
CRC0	CRC生成多項式 選択ビット	b7 b6 0 0: X^8+X^4+X+1 0 1: 設定しないでください 1 0: $X^{16}+X^{15}+X^2+1$ 1 1: $X^{16}+X^{12}+X^5+1$	RW
CRC1		RW	

注1. 特殊通信モード、HDLCデータ処理モードで使用するレジスタです。クロック同期形シリアルI/OモードまたはUARTモードでは使用しないでください。

注2. GiCMP3レジスタとGiDRレジスタの一致で初期化します。

グループ i SI/O拡張送信制御レジスタ (i = 0~1)(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	G0ETC, G1ETC	00FF ₁₆ , 013F ₁₆ 番地	0000 0XXX ₂

ビットシンボル	ビット名	機能	RW
— (b2 - b0)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		—
SOF	SOF送信リクエスト ビット	0: SOF送信リクエストなし 1: SOF送信リクエストあり	RW
TCRCE	送信CRC許可ビット	0: 使用しない 1: 使用する	RW
ABTE	アービトレーション 許可ビット	0: 使用しない 1: 使用する	RW
TBSF0	送信ビットスタッフィング "1"挿入選択ビット	0: "1"挿入しない 1: "1"挿入する	RW
TBSF1	送信ビットスタッフィング "0"挿入選択ビット	0: "0"挿入しない 1: "0"挿入する	RW

注1. 特殊通信モード、HDLCデータ処理モードで使用するレジスタです。クロック同期形シリアルI/OモードまたはUARTモードでは使用しないでください。

図21.35 G0EMR ~ G1EMRレジスタ、G0ETC ~ G1ETCレジスタ

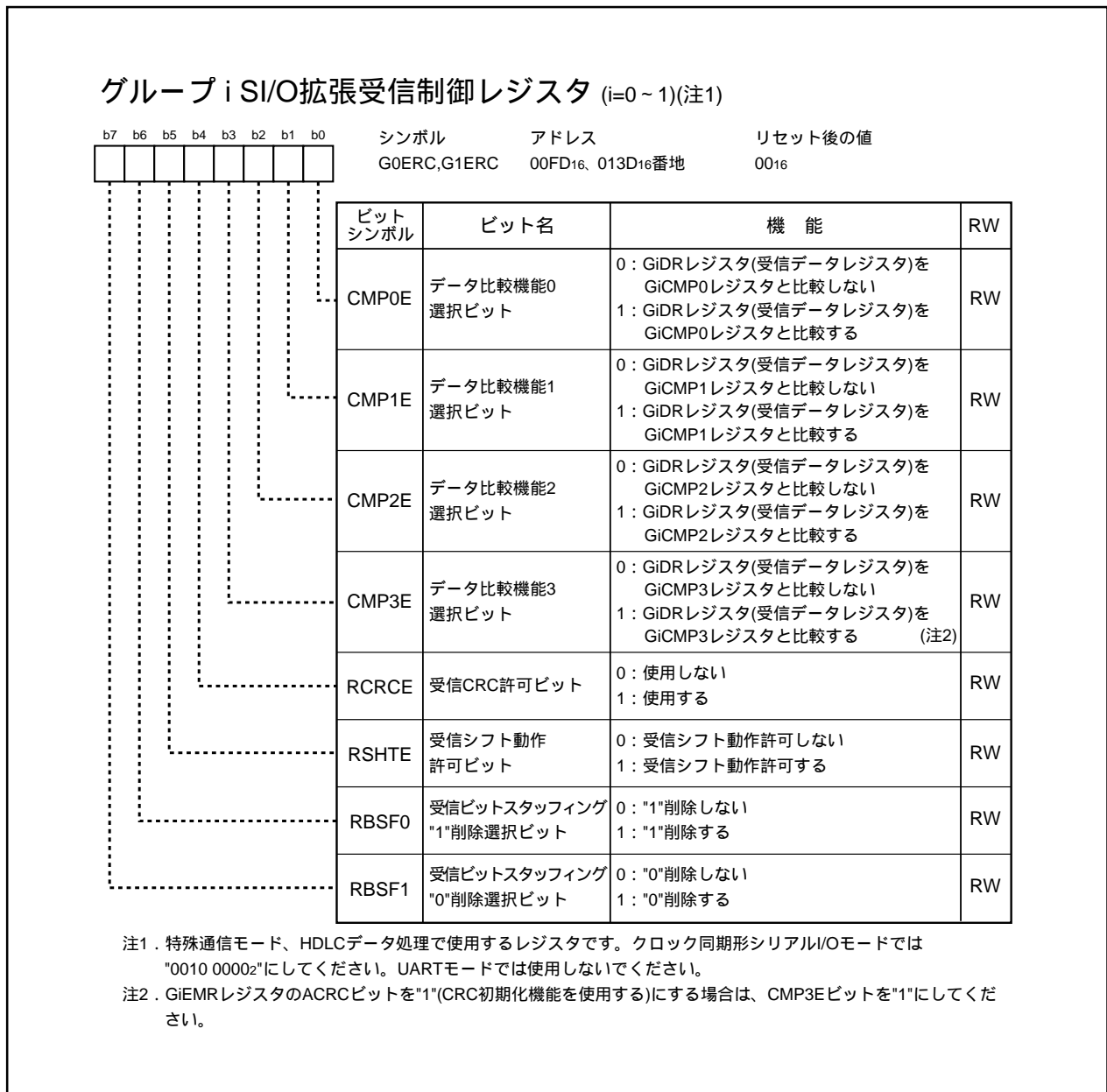


図21.36 G0ERC ~ G1ERCレジスタ

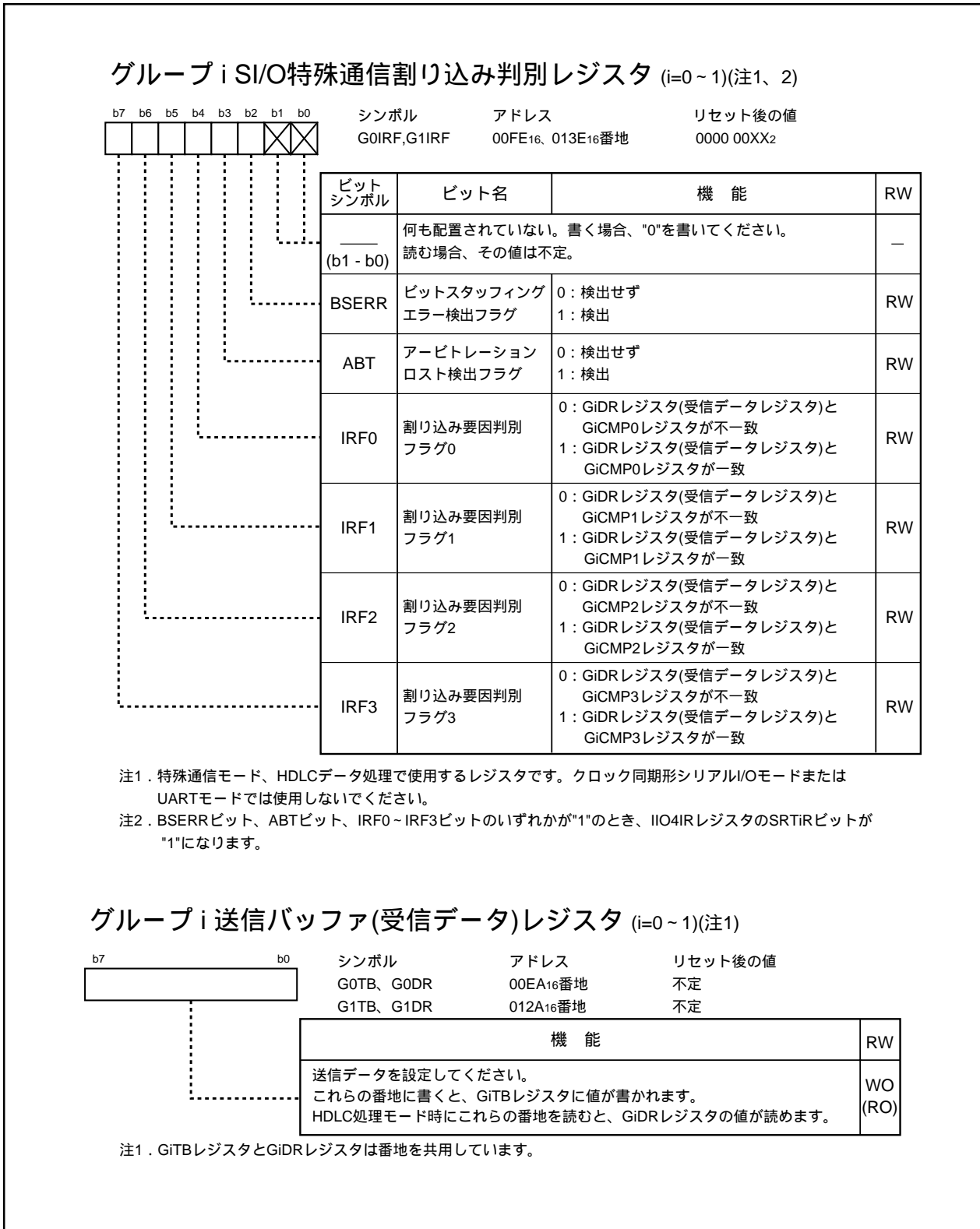


図21.37 G0IRF ~ G1IRFレジスタ、G0TB ~ G1TBレジスタ

グループ i データ比較レジスタ j (i=0~1、j=0~3)

b7 ┌───────────┐ │ │ └───────────┘ └───┬───┘ b0	シンボル	アドレス	リセット後の値
	G0CMP0~G0CMP3	00F0 ₁₆ 、00F1 ₁₆ 、00F2 ₁₆ 、00F3 ₁₆ 番地	不定
	G1CMP0~G1CMP3	0130 ₁₆ 、0131 ₁₆ 、0132 ₁₆ 、0133 ₁₆ 番地	不定
	機 能		
	比較データ	設定範囲	RW
		00 ₁₆ ~FF ₁₆	RW

注1. GiCMP0レジスタを使用する場合GiMSK0レジスタを設定してください。GiCMP1レジスタを使用する場合GiMSK1レジスタを設定してください。

グループ i データマスクレジスタ j (i=0~1、j=0~1)

b7 ┌───────────┐ │ │ └───────────┘ └───┬───┘ b0	シンボル	アドレス	リセット後の値
	G0MSK0,G0MSK1	00F4 ₁₆ 、00F5 ₁₆ 番地	不定
	G1MSK0,G1MSK1	0134 ₁₆ 、0135 ₁₆ 番地	不定
	機 能		
	受信データ用マスクデータ 比較していないビットに"1"を書いてください。	設定範囲	RW
		00 ₁₆ ~FF ₁₆	RW

グループ i 送信CRCコードレジスタ (i=0~1)

b15 ┌───────────┐ │ │ └───────────┘ └───┬───┘ b8 b7 b0	シンボル	アドレス	リセット後の値
	G0TCRC、G1TCRC	00FB ₁₆ -00FA ₁₆ 、013B ₁₆ -013A ₁₆ 番地	0000 ₁₆
	機 能		
	送信CRC演算結果	(注1、2)	RO

注1. 演算結果はGiCRレジスタのTEビットを"0"(送信禁止)にしたとき初期化されます。

初期値はGiEMRレジスタのCRCVビットで選択できます。

注2. GiETCレジスタのTCRCEビットが"1"(使用する)のとき、送信データが1ビット送信されるごとに、送信CRC演算が行われます。

グループ i 受信CRCコードレジスタ (i=0~1)

b15 ┌───────────┐ │ │ └───────────┘ └───┬───┘ b8 b7 b0	シンボル	アドレス	リセット後の値
	G0RCRC、G1RCRC	00F9 ₁₆ -00F8 ₁₆ 、0139 ₁₆ -0138 ₁₆ 番地	不定
	機 能		
	受信CRC演算結果	(注1、2、3)	RO

注1. 演算結果はGiERCレジスタのRCRCEビットを"0"(使用しない)にしたとき初期化されます。また、GiEMRレジスタのACRCビットが"1"(初期化する)の場合は、GiCMPjレジスタ(j=0~3)と一致したとき初期化されます。

注2. 受信開始前にGiEMRレジスタのCRCVビットで選択した初期値に初期化されます。

注3. GiERCレジスタのRCRCEビットが"1"(使用する)のとき、受信データが1ビット受信するごとに、受信CRC演算が行われます。

図21.38 G0CMP0~G0CMP3、G1CMP0~G1CMP3レジスタ、G0MSK0~G0MSK1、G1MSK0~G1MSK1レジスタ、G0TCRC~G1TCRCレジスタ、G0RCRC~G1RCRCレジスタ

21.4.1 クロック同期形シリアルI/Oモード(グループ0、1)

転送クロックを用いて送受信を行うモードです。転送クロックに内部クロックを選択した場合、チャンネル0、3の波形生成機能で内部クロックを生成します。また、ISTxDi (i=0,1)、ISCLKi、ISRxDi、INPCi0 ~ INPCi2/OUTCi0 ~ OUTCi2は端子を共用しています。

表21.16にグループ0、1のクロック同期形シリアルI/Oモードの仕様を、表21.17に使用レジスタと設定値を示します。表21.18 ~ 表21.21に端子の設定を、図21.39に送信、受信動作例を示します。

表21.16 グループ0、1のクロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック(注1、2)	GiMRレジスタ(i=0、1)のCKDIRビットが“0”(内部クロック選択) : $\frac{f_{BTi}}{2(n+2)}$ n : GiPO0レジスタの設定値 0000 ₁₆ ~ FFFF ₁₆ ・転送速度をGiPO0レジスタで決定し、チャンネル3波形生成機能、反転波形出力モードで生成 CKDIRビットが“1”(外部クロック選択) : ISCLKi端子から入力
送信開始条件	波形生成機能関連レジスタ、GiMRレジスタ、GIERCレジスタを設定し、転送クロックの1サイクル以上後で、以下の条件に沿うようにしてください。 ・GiCRレジスタのTEビットを“1”(送信許可) ・GiCRレジスタのTIビットを“0”(GiTBレジスタにデータあり)
受信開始条件	波形生成機能関連レジスタ、GiMRレジスタ、GIERCレジスタを設定し、その後、転送クロックの1サイクル以上後で、以下の条件に沿うようにしてください。 ・GiCRレジスタのREビットを“1”(受信許可) ・TEビットを“1”(送信許可) ・TIビットを“0”(GiTBレジスタにデータあり)
割り込み要求	送信時、次の条件のいずれかを選択できます。条件が成立すると割り込み要求レジスタのSIOiTRビットが“1”(割り込み要求あり)になります(図10.14参照)。 ・GiMRレジスタのIRSビットが“0”(GiTBレジスタ空)の場合、GiTBレジスタから送信レジスタへデータ転送時(送信開始時) ・IRSビットが“1”(送信完了)の場合は、送信レジスタからデータ送信完了時受信時 受信レジスタからGiRBレジスタへデータ転送時(受信完了時)、割り込み要求レジスタのSIOiRRビットが“1”(割り込み要求あり)になります(図10.14参照)。
エラー検出	オーバランエラー(注3) GiRBレジスタを読む前に次のデータ受信を開始し、8ビット目を受信すると発生
選択機能	・LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 ・ISTxDi、ISRxDi入出力極性切り替え ISTxDi端子出力とISRxDi端子入力のレベルを反転する機能

注1. 転送クロックはfBTiの6分周、またはそれよりも遅くしてください。

注2. クロック同期形シリアルI/Oモード時はGIERCレジスタ(i=0,1)のRSHTTEビットを“1”(受信シフト動作許可する)にしてください。

注3. オーバランエラーが発生した場合、GiRBレジスタは不定になります。

動作モード選択後から転送開始までのISTxDi端子の出力レベルは、GiCRレジスタのOPOLビットが“0”(ISTxDi出力極性反転しない)のとき“H”、OPOLビットが“1”(ISTxDi出力極性反転する)のとき“L”です。

表21.17 グループ0、1のクロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
GiBCR0	BCK1 ~ BCK0	“ 112 ” にしてください
	DIV4 ~ DIV0	カウントソースの分周比を選択してください
	IT	“ 0 ” にしてください
GiBCR1	7 ~ 0	“ 0001 0010 ₂ ” にしてください
GiPOCR0	7 ~ 0	“ 0000 0111 ₂ ” にしてください
GiPOCR1	7 ~ 0	“ 0000 0111 ₂ ” にしてください
GiPOCR3	7 ~ 0	“ 0000 0010 ₂ ” にしてください(注1)
GiPO0	15 ~ 0	転送速度を設定します $\frac{f_{BTi}}{2 \times (\text{設定値} + 2)}$ が転送クロック周波数になります(注1)
GiPO3	15 ~ 0	GiPO0レジスタの設定値より小さい値を設定してください(注1)
GiFS	FSC3,1,0	“ 0 ” にしてください
GiFE	IFE3,1,0	“ 1 ” にしてください
GiERC	7 ~ 0	“ 0010 0000 ₂ ” にしてください
GiMR	GMD1 ~ GMD0	“ 01 ₂ ” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“ 0 ” にしてください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	IRS	送信割り込み要因を選択してください
GiCR	TI	送信バッファ空フラグ
	TXEPT	送信レジスタ空フラグ
	RI	受信完了フラグ
	TE	送受信を許可する場合、“ 1 ” にしてください
	RE	受信を許可する場合、“ 1 ” にしてください
	IPOL	ISRxD入力極性の選択(通常は“ 0 ” にしてください)
	OPOL	ISTxD出力極性の選択(通常は“ 0 ” にしてください)
GiTB	7 ~ 0	送信データを書いてください
GiRB	15 ~ 0	受信データとエラーフラグが格納されます

i=0 ~ 1

注1. GiMRレジスタのCKDIRビットが“ 0 ” (内部クロック)の場合。

表21.18 グループ0、1のクロック同期形シリアルI/Oモード時の端子の設定(1)

ポート名	機能	ビットと設定値					レジスタ(注1)
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ	IPSレジスタ	
P73	ISTxD1出力	PS1_3=1	PSL1_3=0	PSC_3=1	-	-	G1POCR0
P74	ISCLK1入力	PS1_4=0	-	-	PD7_4=0	IPS1=0	-
	ISCLK1出力	PS1_4=1	PSL1_4=0	PSC_4=1	-	-	G1POCR1
P75	ISRxD1入力	PS1_5=0	-	-	PD7_5=0	IPS1=0	-
P76	ISTxD0出力	PS1_6=1	PSL1_6=0	PSC_6=0	-	-	G0POCR0
P77	ISCLK0入力	PS1_7=0	-	-	PD7_7=0	IPS0=0	-
	ISCLK0出力	PS1_7=1	-	-	-	-	G0POCR1

注1. 対応するレジスタのMOD2 ~ MOD0ビットを“ 111₂ ” (通信機能の出力を使用)にしてください。

表21.19 グループ0、1のクロック同期形シリアルI/Oモード時の端子の設定(2)

ポート名	機能	ビットと設定値			レジスタ
		PS2レジスタ	PD8レジスタ	IPSレジスタ	
P80	ISRxD0入力	PS2_0=0	PD8_0=0	IPS0=0	-

表21.20 グループ0、1のクロック同期形シリアルI/Oモード時の端子の設定(3)

ポート名	機能	ビットと設定値			レジスタ(注1)
		PS5レジスタ	PD11レジスタ	IPSレジスタ	
P110	ISTxD1出力	PS5_0=1	-	-	G1POCR0
P111	ISCLK1入力	PS5_1=0	PD11_1=0	IPS1=1	-
	ISCLK1出力	PS5_1=1	-	-	G1POCR1
P112	ISRxD1入力	PS5_2=0	PD11_2=0	IPS1=1	-

注1. 対応するレジスタのMOD2 ~ MOD0ビットを“1112”(通信機能の出力を使用)にしてください。

表21.21 グループ0、1のクロック同期形シリアルI/Oモード時の端子の設定(4)

ポート名	機能	ビットと設定値			レジスタ(注1)
		PS9レジスタ	PD15レジスタ	IPSレジスタ	
P150	ISTxD0出力	PS9_0=1	-	-	G0POCR0
P151	ISCLK0入力	PS9_1=0	PD15_1=0	IPS0=1	-
	ISCLK0出力	PS9_1=1	-	-	G0POCR1
P152	ISRxD0入力	PS9_2=0	PD15_2=0	IPS0=1	-

注1. 対応するレジスタのMOD2 ~ MOD0ビットを“1112”(通信機能の出力を使用)にしてください。

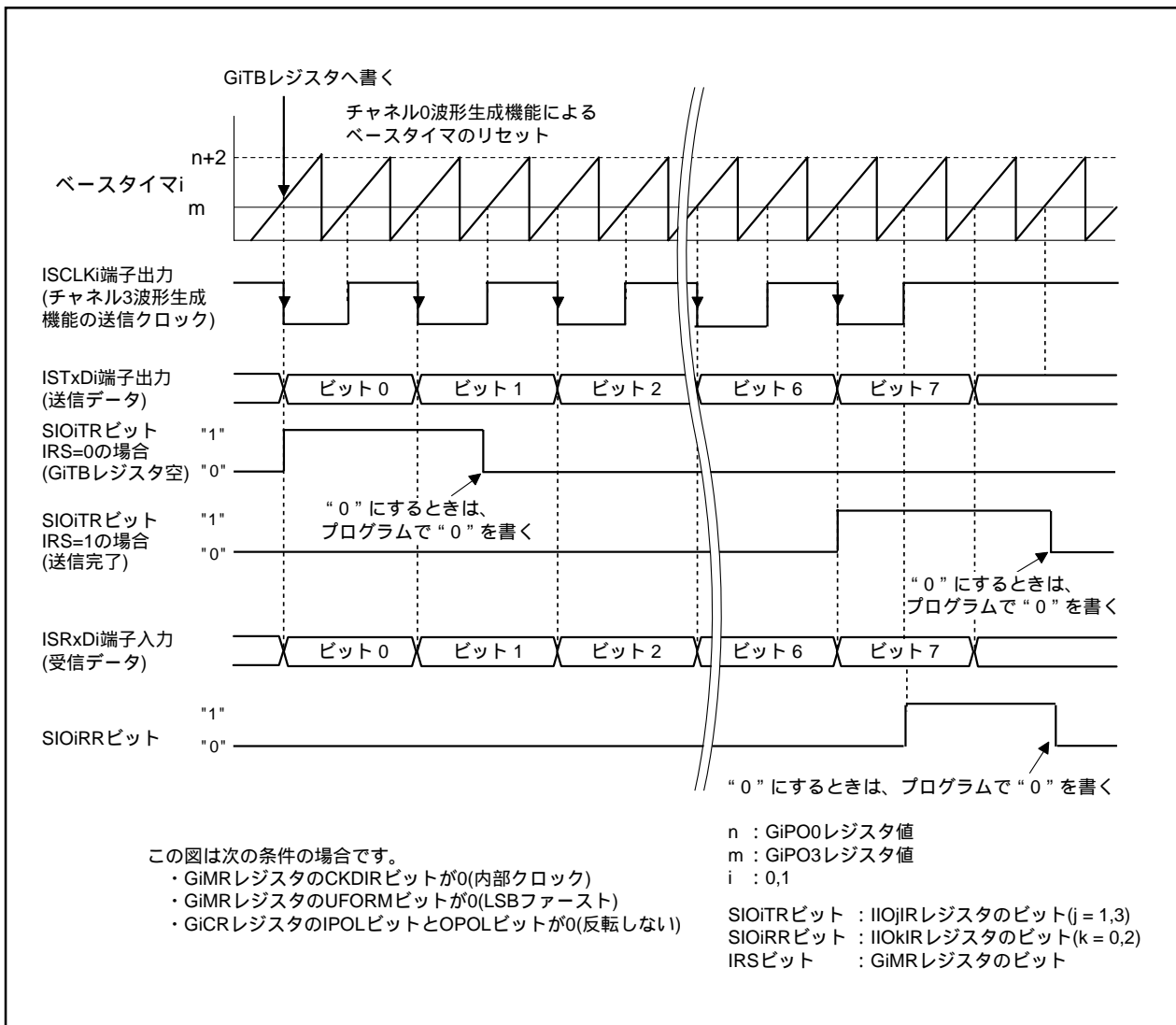


図21.39 グループ0、1のクロック同期形シリアルI/Oモード時の送信、受信動作例

21.4.2 クロック非同期形シリアルI/O(UART)モード(グループ0、1)

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表21.22にグループ0、1のUARTモードの仕様を、表21.23に使用レジスタと設定値を示します。表21.24～表21.27に端子の設定を、図21.40に送信動作例を、図21.41に受信動作例を示します。

表21.22 グループ0、1のUARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ・キャラクタビット(転送データ) 8ビット ・スタートビット 1ビット ・ストップビット 1ビット、2ビットから選択可
転送クロック(注1)	<p>GiMRレジスタ(i=0, 1)のCKDIRビットが“0”：$\frac{f_{BTi}}{2(n+2)}$</p> <p>n：GiPO0レジスタ設定値 0000₁₆～FFFF₁₆</p> <ul style="list-style-type: none"> ・転送速度はGiPO0レジスタで決定 送信クロックはチャンネル3波形生成機能、反転波形出力モードで生成 受信クロックはチャンネル2時間計測機能で生成(注2)
送信開始条件	<p>波形生成機能関連レジスタ、GiMRレジスタ、GiERCレジスタを設定し、その後、転送クロックの1サイクル以上後で、以下の条件に沿うようにしてください。</p> <ul style="list-style-type: none"> ・GiCRレジスタのTEビットを“1”(送信許可) ・GiCRレジスタのTIビットを“0”(GiTBレジスタへのデータの書き込み)
受信開始条件	<p>波形生成機能関連レジスタ、GiMRレジスタ、GiERCレジスタを設定し、その後、転送クロックの1サイクル以上後で、以下の条件に沿うようにしてください。</p> <ul style="list-style-type: none"> ・GiCRレジスタのREビットを“1”(受信許可) ・スタートビットの検出
割り込み要求	<p>送信時、次の条件のいずれかを選択できます。条件が成立すると割り込み要求レジスタのSIOiTRビットが“1”(割り込み要求あり)になります(図10.14参照)。</p> <ul style="list-style-type: none"> ・GiMRレジスタのIRSビットが“0”(GiTBレジスタ空)の場合、GiTBレジスタから送信レジスタへデータ転送時(送信開始時) ・IRSビットが“1”(送信完了)の場合、送信レジスタからデータ送信完了時 <p>受信時</p> <p>受信レジスタからGiRBレジスタへデータ転送時(受信完了時)、割り込み要求レジスタのSIOiRRビットが“1”(割り込み要求あり)になります(図10.14参照)。</p>
エラー検出	<ul style="list-style-type: none"> ・オーバランエラー(注3) <p>GiRBレジスタを読む前に次のデータ受信を開始し、最終ストップビットを受信すると発生</p> <ul style="list-style-type: none"> ・フレーミングエラー <p>設定した個数のストップビットが検出されなかったときに発生</p>
選択機能	<ul style="list-style-type: none"> ・ストップビット長選択 ストップビット長を1ビット、または2ビットにするかを選択可 ・LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可

注1．転送クロックはf_{BTi}の6分周、またはそれより遅くしてください。

注2．GiTMCR2レジスタに加えてGiPOCR2レジスタを設定してください。

注3．オーバランエラーが発生した場合、GiRBレジスタは不定になります。

表21.23 グループ0、1のUARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
GiBCR0	BCK1 ~ BCK0	“ 112 ” にしてください
	DIV4 ~ DIV0	カウントソースの分周比を選択してください
	IT	“ 0 ” にしてください
GiBCR1	7 ~ 0	“ 0001 0010 ₂ ” にしてください
GiPOCR0	7 ~ 0	“ 0000 0111 ₂ ” にしてください
GiPOCR2	7 ~ 0	“ 0000 0110 ₂ ” にしてください
GiPOCR3	7 ~ 0	“ 0000 0010 ₂ ” にしてください
GiTMCR2	7 ~ 0	“ 0000 0010 ₂ ” にしてください
GiPO0	15 ~ 0	転送速度を設定します $\frac{f_{BTi}}{2 \times (\text{設定値} + 2)}$ が転送クロック周波数になります
GiPO3	15 ~ 0	GiPO0の設定値より小さい値を設定してください
GiFS	FSC3 ~ FSC0	“ 0100 ₂ ” にしてください
GiFE	IFE3 ~ IFE0	“ 1101 ₂ ” にしてください
GiMR	GMD1 ~ GMD0	“ 00 ₂ ” にしてください
	CKDIR	“ 0 ” にしてください
	STPS	ストップビット長を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	IRS	受信割り込み要因を選択してください
GiCR	TI	送信バッファ空フラグ
	TXEPT	送信レジスタ空フラグ
	RI	受信完了フラグ
	TE	送信を許可する場合、“ 1 ” にしてください
	RE	受信を許可する場合、“ 1 ” にしてください
	IPOL	“ 1 ” にしてください
	OPOL	“ 1 ” にしてください
GiTB	7 ~ 0	送信データを書いてください
GiRB	15 ~ 0	受信データとエラーフラグが格納されます

i=0 ~ 1

表21.24 グループ0、1のUARTモード時の端子の設定(1)

ポート名	機能	ビットと設定値					レジスタ ^(注1)
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ	IPSレジスタ	
P73	ISTxD1出力	PS1_3=1	PSL1_3=0	PSC_3=1	-	-	G1POCR0
P75	ISRxD1入力	PS1_5=0	-	-	PD7_5=0	IPS1=0	-
P76	ISTxD0出力	PS1_6=1	PSL1_6=0	PSC_6=0	-	-	G0POCR0

注1．対応するレジスタのMOD2～MOD0ビットを“1112”(通信機能の出力を使用)にしてください

表21.25 グループ0、1のUARTモード時の端子の設定(2)

ポート名	機能	ビットと設定値				レジスタ
		PS2レジスタ	PSL2レジスタ	PD8レジスタ	IPSレジスタ	
P80	ISRxD0入力	PS2_0=0	-	PD8_0=0	IPS0=0	-

表21.26 グループ0、1のUARTモード時の端子の設定(3)

ポート名	機能	ビットと設定値			レジスタ ^(注1)
		PS5レジスタ	PD11レジスタ	IPSレジスタ	
P110	ISTxD1出力	PS5_0=1	-	-	G1POCR0
P112	ISRxD1入力	PS5_2=0	PD11_2=0	IPS1=1	-

注1．対応するレジスタのMOD2～MOD0ビットを“1112”(通信機能の出力を使用)にしてください

表21.27 グループ0、1のUARTモード時の端子の設定(4)

ポート名	機能	ビットと設定値			レジスタ ^(注1)
		PS9レジスタ	PD15レジスタ	IPSレジスタ	
P150	ISTxD0出力	PS9_0=1	-	-	G0POCR0
P152	ISRxD0入力	-	PD15_2=0	IPS0=1	-

注1．対応するレジスタのMOD2～MOD0ビットを“1112”(通信機能の出力を使用)にしてください

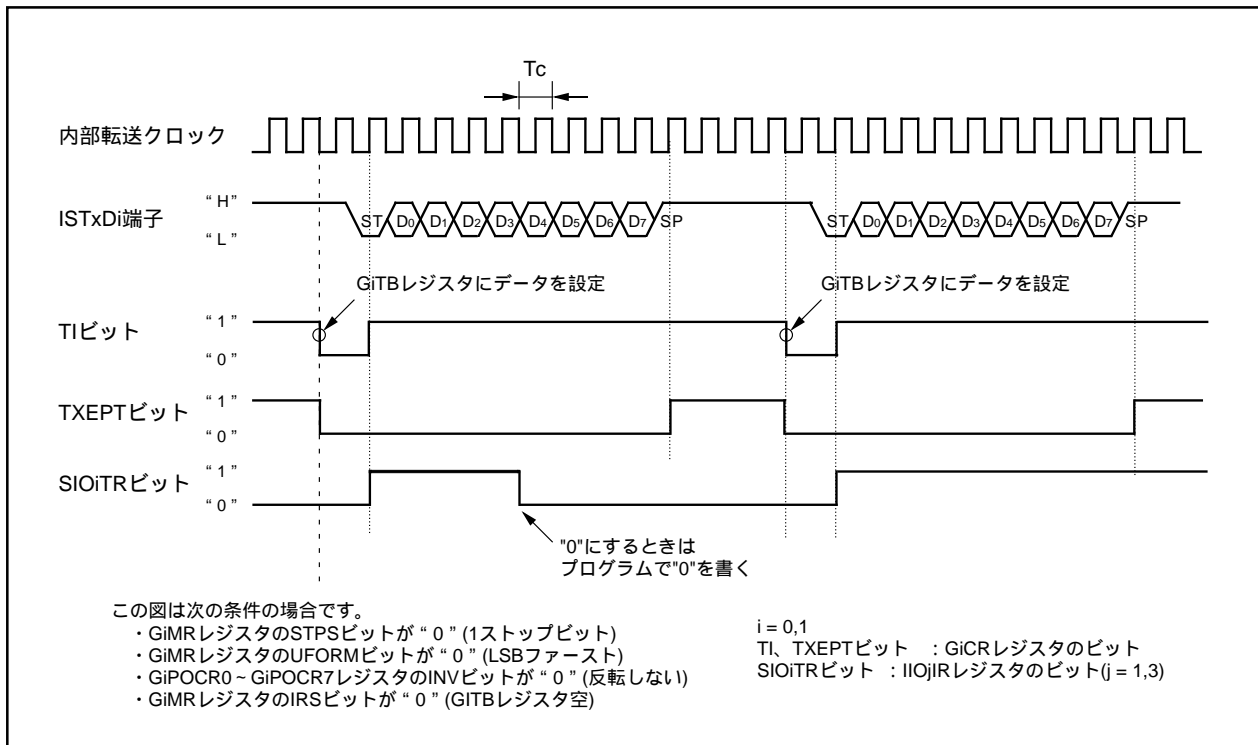


図21.40 グループ0、1のUARTモード時の送信動作例

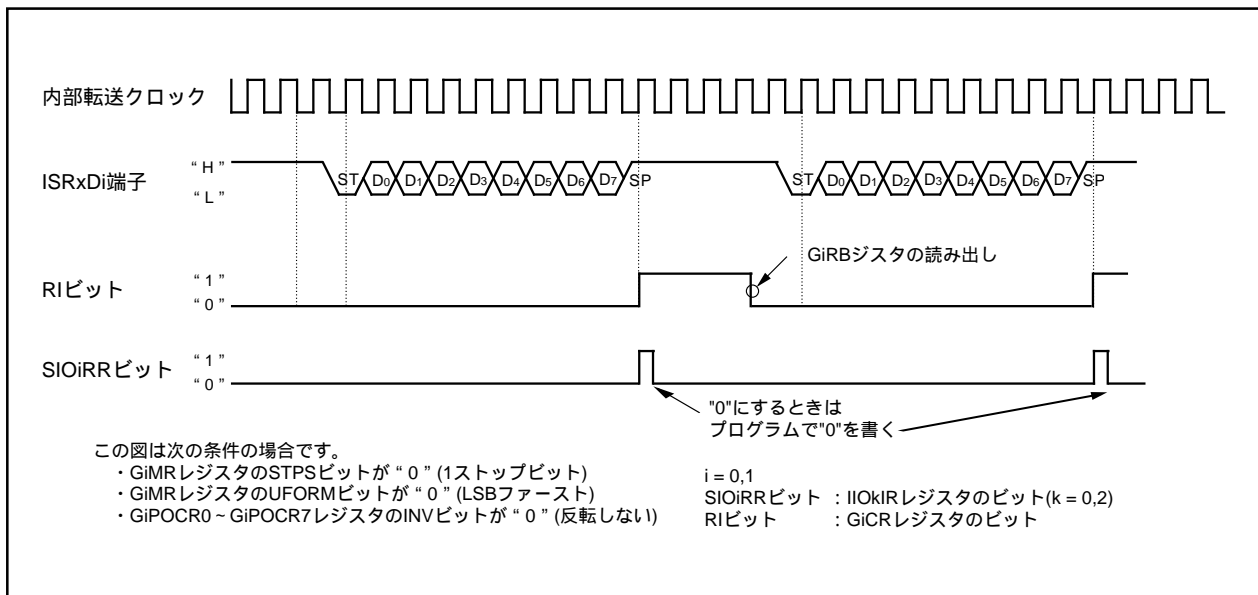


図21.41 グループ0、1のUARTモード時の受信動作例

21.4.3 HDLCデータ処理モード(グループ0、1)

HDLC制御に必要なビットスタッフィング、フラグ検出、アポート検出、CRC処理を行うモードです。このモードでは、チャンネル0、1を転送クロック生成に使用します。端子は使用しません。

送信データ変換はGiTBレジスタ(i=0、1)にデータを書き込み、変換処理後データ出力変換結果が格納されます。GiTOレジスタに変換後データがある場合、変換は停止します。GiTOレジスタにデータがない場合、送信出力バッファにデータがなくても、ビットスタッフィング処理が実行されます。CRC値は1ビット変換するごとに演算されます。受信データ変換は、GiRIレジスタにデータがないと変換は停止します。

表21.28にHDLCデータ処理モードの仕様を、表21.29に使用レジスタと設定値を示します。

表21.28 HDLCデータ処理モードの仕様(1/2)

項目	仕様
入力データフォーマット	8ビット固定、ビットアライメントは任意
出力データフォーマット	8ビット固定
転送クロック	$\text{GiMRレジスタ}(i=0, 1)\text{のCKDIRビットが "0"} : \frac{f_{BTi}}{n+2}$ n : GiPO0レジスタ値 000016 ~ FFFF16 ・転送速度はGiPO0レジスタで決定し、チャンネル1波形生成機能、反転波形出力モードで生成 受信側はGiERCレジスタのRSHTTEビットが“1”(受信シフト動作許可)のとき転送クロック発生
入出力方法	・送信データ処理時 GiTBレジスタ(送信データレジスタ)に設定した値にHDLCデータ処理して、GiTOレジスタへ転送 ・受信データ処理時 GiRIレジスタに設定した値にHDLCデータ処理して、GiRBレジスタへ転送 (GiRIレジスタに設定した値はGiDRレジスタ(受信データレジスタ)へも転送)
ビットスタッフィング	送信データ処理時：5つの連続する“1”の後、“0”を挿入 受信データ処理時：5つの連続する“1”の後、“0”を削除
フラグ検出	特殊通信割り込み(IIO4IRレジスタのSRTiRビット)を使用するにはGiCMP3レジスタにフラグデータ“7E16”を書いてください
アポート検出	GiMSKkレジスタ(k=0、1)にマスクデータ“0116”を書いてください
CRC	$\text{CRC1} \sim \text{CRC0} \text{ビット} = "112" (X^{16} + X^{12} + X^5 + 1)$ $\text{CRCV} \text{ビット} = "1" (\text{FFFF}_{16} \text{を設定})$ ・送信データ処理時：GiTCRCレジスタにCRC演算結果が格納される GiETCレジスタのTCRCEビットが“1”(送信CRC使用する) 初期化：GiCRレジスタのTEビットを“0”(送信禁止)にすると初期化される ・受信データ処理時：GiRCRCレジスタにCRC演算結果が格納される GiERCレジスタのRCRCEビットが“1”(受信CRC使用する) ^(注1) 初期化：フラグデータ“7E16”比較時、GiCMP3レジスタとの一致信号で初期化される。(GiEMRレジスタのACRCビット=1(CRC初期化する)) ^(注2)
データ処理開始条件	送信データ処理の開始に必要な条件は次のとおりです ・GiCRレジスタのTEビットが“1”(送信許可) ・GiTBレジスタへのデータの書き込み 受信データ処理の開始に必要な条件は次のとおりです ・GiCRレジスタのREビットが“1”(受信許可) ・GiRIレジスタへのデータ書き込み

表21.28 HDLCデータ処理モードの仕様(2/2)

項目	仕様
割り込み要求 ^(注3)	<p>送信データ処理時</p> <p>(1)次の条件のいずれかを選択できます。条件が成立すると割り込み要求レジスタのGiTORビットが“1”(割り込み要求あり)になります(図10.14参照)。</p> <ul style="list-style-type: none"> - GiMRレジスタのIRSビットが“0”(GiTBレジスタ空)の場合、GiTBレジスタから送信レジスタへデータ転送時(送信開始) - IRSビットが“1”(送信完了)の場合、送信レジスタからGiTOレジスタへデータ送信完了時 <p>(2)HDLCデータ処理された送信データが、GiTOレジスタの送信レジスタから送信バッファへ転送されたとき、GiTORビットが“1”になります</p> <p>受信データ処理時</p> <p>(1)GiRIレジスタからGiRBレジスタへデータ転送時(受信完了時)に割り込み要求レジスタのGiRIRビットが“1”(割り込み要求あり)になります(図10.14参照)</p> <p>(2)受信データが、GiRIレジスタの受信バッファから受信レジスタへ転送されたときGiRIRビットが“1”になります</p> <p>(3)GiTBレジスタとGiCMPjレジスタ(j=0~3)の比較時、SRTiRビットが“1”(割り込み要求あり)になります</p>

注1．GiEMRレジスタのCRCVビット、ACRCビットを“1”にしてください。

注2．CRCデータがGiRCRCレジスタに格納され、CRC演算回路が初期化されます。

注3．GiTORビット、GiRIRビット、SRTiRビットは、図10.14参照。

表21.29 HDLCデータ処理モード時の使用レジスタと設定値

レジスタ	ビット	機能
GiBCR0	BCK1 ~ BCK0	カウントソースを選択してください
	DIV4 ~ DIV0	カウントソースの分周値を選択してください
	IT	ベースタイマ割り込み選択
GiBCR1	7 ~ 0	“0001 0010 ₂ ” にしてください
GiPOCR0	7 ~ 0	“0000 0000 ₂ ” にしてください
GiPOCR1	7 ~ 0	“0000 0000 ₂ ” にしてください
GiPO0	15 ~ 0	転送速度を設定してください
GiPO1	15 ~ 0	転送クロックの立ち上がりタイミングを設定してください。 立ち下がりタイミング(転送クロックの“H”幅)は固定。 GiPO1設定値 GiPO0設定値としてください。
GiFS	FSC1 ~ FSC0	“00 ₂ ” にしてください
GiFE	IFE1 ~ IFE0	“11 ₂ ” にしてください
GiMR	GMD1 ~ GMD0	“11 ₂ ” にしてください
	CKDIR	“0” にしてください
	UFORM	“0” にしてください
	IRS	送信割り込み要因を選択してください
GiEMR	7 ~ 0	“1111 0110 ₂ ” にしてください
GiCR	TI	送信バッファ空フラグ
	TXEPT	送信レジスタ空フラグ
	RI	受信完了フラグ
	TE	送信許可ビット
	RE	受信許可ビット
GiETC	SOF	“0” にしてください
	TCRCE	送信CRC使用する、しないを選択してください
	ABTE	“0” にしてください
	TBSF0, TBSF1	送信ビットスタフティング
GiERC	CMP2E ~ CMP0E	受信データ比較する、しないを選択してください
	CMP3E	“1” にしてください
	RRCCE	受信CRC使用する、しないを選択してください
	RSHTe	受信側使用時“1” にしてください
	RBSF0, RBSF1	受信ビットスタフティング選択
GiIRF	BSERR, ABT	“0” にしてください
	IRF3 ~ IRF0	割り込み要因を選択してください
GiCMP0, GiCMP1	7 ~ 0	アポートに使用する場合は“FE ₁₆ ” を書いてください
GiCMP2	7 ~ 0	比較データ
GiCMP3	7 ~ 0	“7E ₁₆ ” を書いてください
GiMSK0, GiMSK1	7 ~ 0	アポートに使用する場合は“01 ₁₆ ” を書いてください
GiTCRC	15 ~ 0	送信CRC演算結果が読める
GiRCRC	15 ~ 0	受信CRC演算結果が読める
GiTO	7 ~ 0	送信データ生成回路から出力されたデータが読める
GiRI	7 ~ 0	受信データ生成回路へ入力するデータを設定してください
GiRB	7 ~ 0	受信データが格納されます
GiTB	7 ~ 0	送信側 送信データを書いてください
		受信側 データ比較用の受信データが格納される

i=0 ~ 1

21.5 グループ2通信機能

2本の8ビットシフトレジスタと波形生成機能を使用することで通信機能は動作します。

インテリジェントI/Oグループ2では、可変長クロック同期形シリアルI/OまたはIEBus^(注1)通信を行います。

図21.42～図21.45に関連するレジスタを示します。

注1．IEBusは、NECエレクトロニクス株式会社の登録商標です。

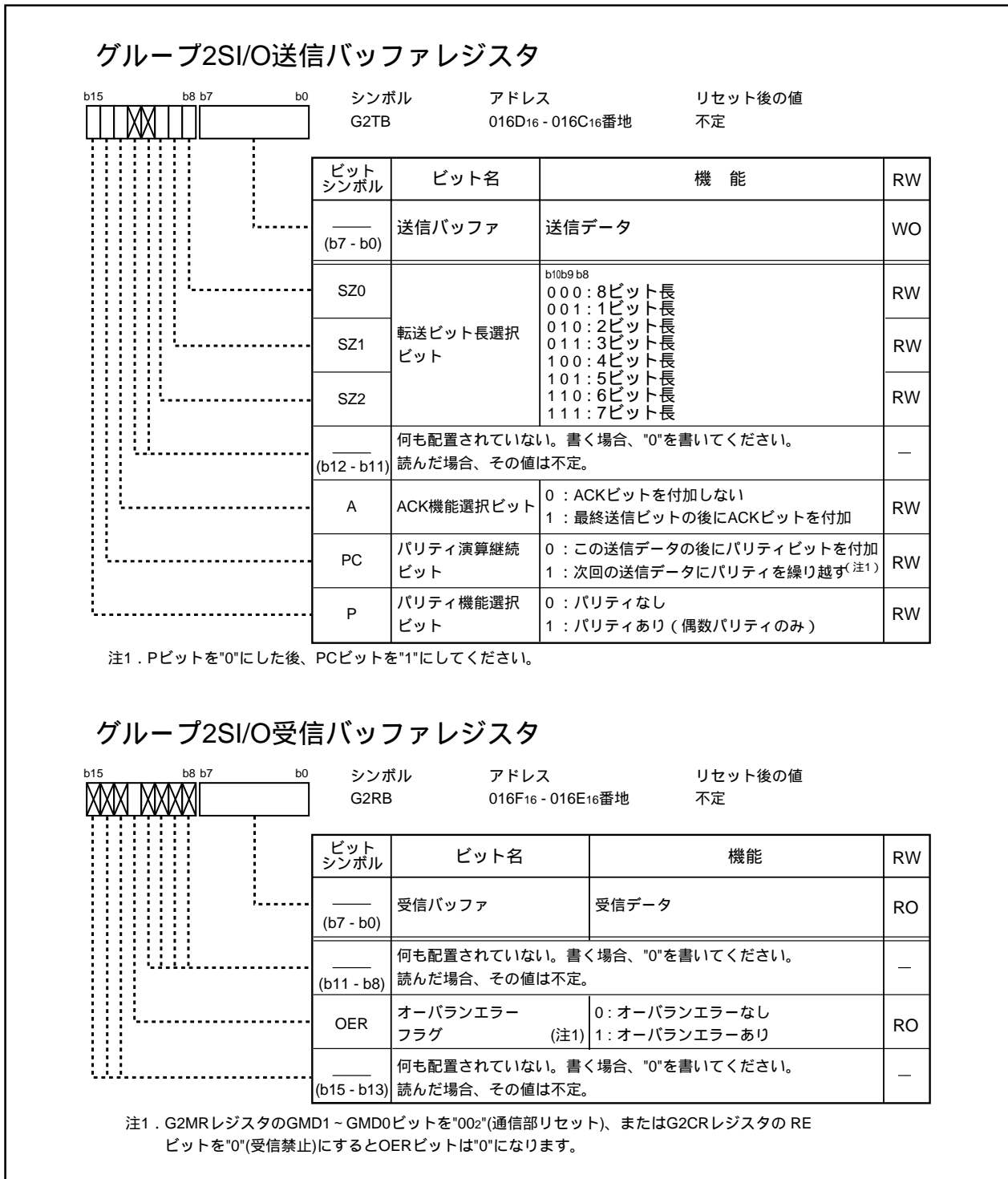


図21.42 G2TBレジスタ、G2RBレジスタ

グループ2SI/O通信モードレジスタ

ビットシンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット後の値 G2MR 016A ₁₆ 番地 00XX X000 ₂			
GMD0	通信モード選択ビット	b1 b0 00: 通信回路リセット (注1)	RW
GMD1		01: クロック同期形シリアルI/Oモード (注2) 10: IE モード (注2) 11: 設定しないでください	RW
CKDIR	内/外部クロック 選択ビット	0: 内部クロック 1: 外部クロック	RW
— (b5 - b3)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		—
UFORM	転送フォーマット 選択ビット	0: LSBファースト 1: MSBファースト	RW
IRS	送信割り込み要因 選択ビット	0: 送信バッファ空 1: 送信完了	RW

注1. GMD1～GMD0ビットを"00₂"(通信部リセット)にした後、ベースタイムクロックを1サイクル以上動作させてください。

注2. GMD1～GMD0ビットを"01₂"(クロック同期形シリアルI/Oモード)または"10₂"(IEモード)にする場合は、ベースタイムクロック停止中に書き換えてください。

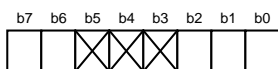
グループ2SI/O通信制御レジスタ

ビットシンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット後の値 G2CR 016B ₁₆ 番地 0000 X000 ₂			
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	RO
TI	送信バッファ空フラグ	0: G2TBレジスタにデータあり 1: G2TBレジスタにデータなし	RO
— (b3)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		—
RE	受信許可ビット (注1)	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: G2RBレジスタにデータなし 1: G2RBレジスタにデータあり	RO
OPOL	ISTxD出力極性切り替え 選択ビット	0: 反転しない 1: 反転する	RW
IPOL	ISRxD入力極性切り替え 選択ビット (注1)	0: 反転しない 1: 反転する	RW

注1. このビットを書き換えるとグループ2ベースタイムがリセットされることがあります。リセットさせないためにはG2BCR1レジスタのRST2ビットを"0"(通信機能からのリセット要求でベースタイムリセットしない)にしてください。

図21.43 G2MRレジスタ、G2CRレジスタ

グループ2 IEBus制御レジスタ



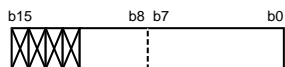
シンボル アドレス リセット後の値
IECR 0172₁₆番地 00XX X000₂

ビット シンボル	ビット名	機 能	RW
IEB	IEBus使用許可 ビット (注1)	0: IEBus使用禁止 (注2) 1: IEBus使用許可	RW
IETS	IEBus送信開始要求 ビット	0: 送信終了 1: 送信開始	RW
IEBBS	IEBusバスビジー フラグ	0: アイドル状態 1: ビジー状態(スタートコンディション検出)	RO
— (b5 - b3)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		—
DF	デジタルフィルタ 選択ビット	0: デジタルフィルタなし 1: デジタルフィルタあり	RW
IEM	IEBusモード選択 ビット	0: モード1 1: モード2	RW

注1 . IEBビットはベースタイムクロック停止中に書き換えてください。

注2 . IEBビットを"0"にしたときは、tBT2の1サイクル以上"0"を保持してください。また、"1"にする場合、G2BCR0レジスタのBCK1 - BCK0ビットを"00₂"(クロック停止)にしてください。

グループ2 IEBusアドレスレジスタ



シンボル アドレス リセット後の値
IEAR 0171₁₆ - 0170₁₆番地 不定

機 能	RW
アドレスデータ	RW
アドレスデータ	RW
何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。	—

☒21.44 IECRレジスタ、IEARレジスタ

グループ2 IEBus送信割り込み要因判別レジスタ



ビットシンボル	ビット名	機能	RW
IETNF	正常終了フラグ	0: エラー終了 1: 正常終了	(注1) RW
IEACK	ACKエラーフラグ	0: エラーなし 1: エラーあり	(注1) RW
IETMB	最大転送バイト エラーフラグ	0: エラーなし 1: エラーあり	(注1) RW
IETT	タイミングエラー フラグ	0: エラーなし 1: エラーあり	(注1) RW
IEABL	アービトラージ ロストフラグ	0: エラーなし 1: エラーあり	(注1) RW
____ (b7 - b5)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		—

注1. プログラムで"0"にできますが、"1"にはできません。IECRレジスタのIEBビットを"0"(IEBus使用禁止)にすると、これらのビットは"0"になります。

グループ2 IEBus受信割り込み要因判別レジスタ



ビットシンボル	ビット名	機能	RW
IERNF	正常終了フラグ	0: エラー終了 1: 正常終了	(注1) RW
IEPAR	パリティエラーフラグ	0: エラーなし 1: エラーあり	(注1) RW
IERMB	最大転送バイト エラーフラグ	0: エラーなし 1: エラーあり	(注1) RW
IERT	タイミングエラー フラグ	0: エラーなし 1: エラーあり	(注1) RW
IERETC	他要因受信完了 フラグ	0: エラーなし 1: エラーあり	(注1) RW
____ (b7 - b5)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		—

注1. プログラムで"0"にできますが、"1"にはできません。IECRレジスタのIEBビットを"0"(IEBus使用禁止)にすると、これらのビットは"0"になります。

図21.45 IETIFレジスタ、IERIFレジスタ

21.5.1 可変長クロック同期形シリアルI/Oモード(グループ2)

転送クロックを用いて送受信を行うモードです。このモードでは、転送データが1～8ビット長から選択できます。表21.30にグループ2の可変長クロック同期形シリアルI/Oモードの仕様を、表21.31に使用レジスタと設定値を、表21.32～表21.35に端子の設定を、図21.46に送信、受信動作例を示します。

表21.30 グループ2の可変長クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ 1～8ビット
転送クロック(注1)	<ul style="list-style-type: none"> G2MRレジスタのCKDIRビットが“0”(内部クロック選択)：$\frac{f_{BT2}}{2(n+2)}$ n : G2PO0レジスタの設定値 0000₁₆～FFFF₁₆ 転送速度をG2PO0レジスタで決定し、チャンネル2波形生成機能、反転波形出力モードで生成 CKDIRビットが“1”(外部クロック選択)：ISCLK2端子へ入力(注2)
送信開始条件	送信開始には次の条件が必要です <ul style="list-style-type: none"> G2CRレジスタのTEビットを“1”(送信許可) G2TBレジスタへのデータ書き込み
受信開始条件	受信開始には次の条件が必要です <ul style="list-style-type: none"> G2CRレジスタのREビットを“1”(受信許可) G2CRレジスタのTEビットを“1”(送信許可) G2TBレジスタへのデータ書き込み
割り込み要求	送信時、次の条件のいずれかを選択できます。条件が成立するとIIO6IRレジスタのSIO2TRビットが“1”(割り込み要求あり)になります(図10.14参照)。 <ul style="list-style-type: none"> G2MRレジスタのIRSビットは“0”(G2TBレジスタ空で割り込み)の場合、G2TBレジスタから送信レジスタへデータ転送時(送信開始時) IRSビットが“1”(送信完了で割り込み)の場合は、送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> 受信レジスタからG2RBレジスタへデータ転送時(受信完了時)、IIO5IRレジスタのSIO2RRビットが“1”(割り込み要求あり)になります(図10.14参照)。
エラー検出	オーバーランエラー(注3) <p>G2RBレジスタを読む前に次のデータ受信(転送ビット長jビット、j=1～8)を開始し、jビット目のデータを受信すると発生</p>
選択機能	<ul style="list-style-type: none"> LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 ISTxD2、ISRxD2入出力極性切り替え ISTxD2端子出力とISRxD2端子入力を反転させる機能 データ転送ビット長選択 転送ビット長を1～8ビットの間で設定可

注1. 転送クロックと転送データを送信する場合、転送クロックはベースタイマクロックの6分周以上、それ以外の場合20分周以上になるように設定してください。

注2. 転送クロックはベースタイマクロックの20分周以上のものを入力してください。

注3. オーバーランエラーが発生した場合、G2RBレジスタは不定になります。

表21.31 グループ2の可変長クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
G2BCR0	BCK1 ~ BCK0	“ 112 ” にしてください
	DIV4 ~ DIV0	カウントソースの分周比を選択してください
	IT	“ 0 ” にしてください
G2BCR1	7 ~ 0	“ 0001 0010 ₂ ” にしてください
G2POCR0	7 ~ 0	“ 0000 0111 ₂ ” にしてください
G2POCR1	7 ~ 0	“ 0000 0111 ₂ ” にしてください
G2POCR2	7 ~ 0	“ 0000 0010 ₂ ” にしてください
G2PO0	15 ~ 0	波形生成用の比較値を設定してください $\frac{f_{BT2}}{2 \times (\text{設定値} + 2)}$ が転送クロック周波数になります
G2PO2	15 ~ 0	G2PO0レジスタ値より小さい値を設定してください
G2FE	IFE2 ~ IFE0	“ 111 ₂ ” にしてください
G2MR	GMD1 ~ GMD0	“ 01 ₂ ” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	IRS	送信割り込要因を選択してください
G2CR	TE	送受信を許可する場合、“ 1 ” にしてください
	TXEPT	送信レジスタ空フラグ
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“ 1 ” にしてください
	RI	受信完了フラグ
	OPOL	ISTxD2出力極性切り替え(通常は“ 0 ” にしてください)
	IPOL	ISRxD2入力極性切り替え(通常は“ 0 ” にしてください)
G2TB	15 ~ 0	転送ビット長、送信データを書いてください
G2RB	15 ~ 0	受信データとエラーフラグが格納されます

表21.32 グループ2の可変長クロック同期形シリアルI/Oモード時の端子の設定(1)

ポート名	機能	ビットと設定値					レジスタ(注2)
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ	IPSレジスタ	
P70(注1)	ISTxD2出力	PS1_0=1	PSL1_0=0	PSC_0=1	-	-	G2POCR0
P71	ISRxD2入力	PS1_1=0	-	-	PD7_1=0	IPS5 ~ 4=002	-

注1．P70はNチャンネルオープンドレイン出力

注2．対応するレジスタのMOD2～MOD0ビットを“1112”(通信機能の出力を使用)にしてください。

表21.33 グループ2の可変長クロック同期形シリアルI/Oモード時の端子の設定(2)

ポート名	機能	ビットと設定値				レジスタ(注2)
		PS3レジスタ(注1)	PSL3レジスタ	PD9レジスタ(注1)	IPSレジスタ	
P91	ISRxD2入力	PS3_1=0	-	PD9_1=0	IPS5 ~ 4=012	-
P92	ISTxD2出力	PS3_2=1	PSL3_2=1	-	-	G2POCR0

注1．PD9、PS3レジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。
PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

注2．対応するレジスタのMOD2～MOD0ビットを“1112”(通信機能の出力を使用)にしてください。

表21.34 グループ2の可変長クロック同期形シリアルI/Oモード時の端子の設定(3)

ポート名	機能	ビットと設定値				レジスタ(注1)
		PS0レジスタ	PSL0レジスタ	PD6レジスタ	IPSレジスタ	
P64	ISCLK2入力	PS0_4=0	-	PD6_4=0	IPS6=0	-
	ISCLK2出力	PS0_4=1	PSL0_4=1	-	-	G2POCR1

注1．対応するレジスタのMOD2～MOD0ビットを“1112”(通信機能の出力を使用)にしてください。

表21.35 グループ2の可変長クロック同期形シリアルI/Oモード時の端子の設定(4)

ポート名	機能	ビットと設定値			レジスタ(注1)
		PS7レジスタ	PD13レジスタ	IPSレジスタ	
P134	ISTxD2出力	PS7_4=1	-	-	G2POCR0
P135	ISRxD2入力	PS7_5=0	PD13_5=0	IPS5 ~ IPS4=102	-
P136	ISCLK2入力	PS7_6=0	PD13_6=0	IPS6=1	-
	ISCLK2出力	PS7_6=1	-	-	G2POCR1

注1．対応するレジスタのMOD2～MOD0ビットを“1112”(通信機能の出力を使用)にしてください。

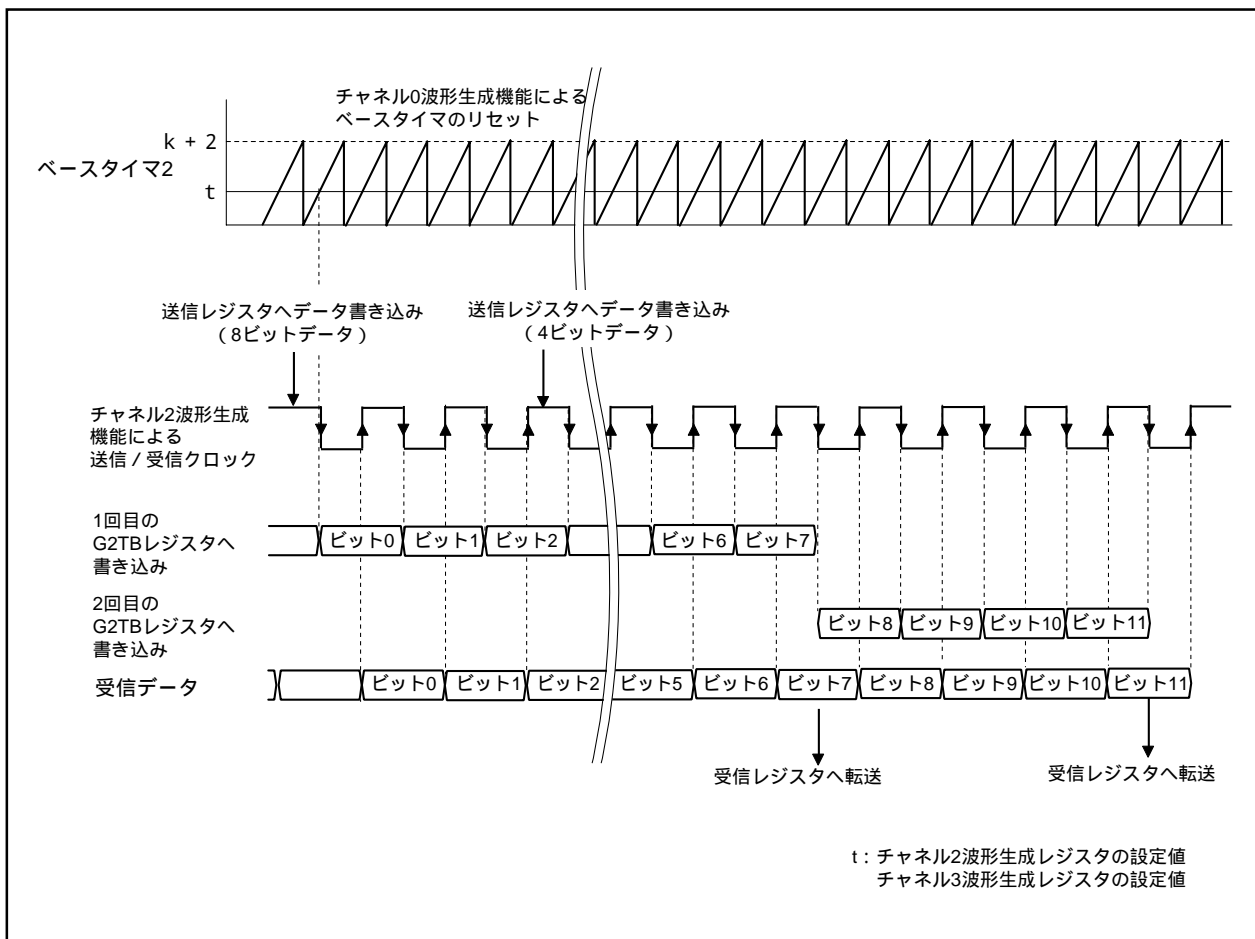


図21.46 グループ2の可変長クロック同期形シリアルI/Oモード時の送信、受信動作例

21.5.2 IEBusモード(グループ2)

表21.36にIEBusモードの仕様を、表21.37に使用レジスタと設定値を、表21.38～表21.40に端子の設定を示します。

表21.36 IEBusモードの仕様

項目	仕様
転送データフォーマット	転送データ 1～8ビット
転送クロック	G2MRレジスタのCKDIRビットが“0”(内部クロック選択)の場合： $\frac{f_{BT2}}{2(n+2)}$ n：G2PO0レジスタの値 0000 ₁₆ ～FFFF ₁₆ ・転送速度はG2PO0レジスタで決定し、チャンネル2波形生成機能、反転波形出力モードで生成 G2PO2レジスタ = (n+2)/2(注1) CKDIRビットが“1”(外部クロック選択)の場合：ISCLK2端子へ入力(注2)
送信開始条件	送信開始には次の条件が必要です ・G2CRレジスタのTEビットを“1”(送信許可) ・G2TBレジスタへのデータ書き込み
受信開始条件	受信開始に必要な条件は次のとおりです ・G2CRレジスタのREビットを“1”(受信許可) ・G2CRレジスタのTEビットを“1”(送信許可) ・G2TBレジスタへのデータ書き込み
割り込み要求	送信時、次の条件のいずれかを選択できます。条件が成立するとIIO6IRレジスタのSIO2TRビットが“1”(割り込み要求あり)になります(図10.14参照)。 ・G2MRレジスタのIRSビットが“0”(G2TBレジスタ空)の場合、G2TBレジスタから送信レジスタへデータ転送時(送信開始) ・IRSビットが“1”(送信完了)の場合、送信レジスタからG2TOレジスタへデータ送信完了時 受信時 受信レジスタからG2RBレジスタへデータ転送時(受信完了時)、IIO5IRレジスタのSIO2RRビットが“1”(割り込み要求あり)になります(図10.14参照)。
エラー検出	オーバランエラー(注3) G2RBレジスタを読む前に次のデータ受信(転送ビット長jビット、j=1～8)を開始し、jビット目を受信すると発生
選択機能	・LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 ・ISTxD2、ISRxD2入出力極性切り替え ISTxD2端子出力とISRxD2端子入力を反転させる機能 ・データ転送ビット長選択 転送ビット長を1～8ビットの間で設定可

注1. 転送クロックと転送データを送信の場合、転送クロックはベースタイムクロックの6分周以上、それ以外の場合20分周以上になるように設定してください。

注2. 転送クロックはベースタイムクロックの20分周以上のものを入力してください。

注3. オーバランエラーが発生した場合、G2RBレジスタは不定になります。

表21.37 IEBusモード時の使用レジスタと設定値

レジスタ	ビット	機能
G2BCR0	BCK1 ~ BCK0	“112” にしてください
	DIV4 ~ DIV0	カウントソースの分周比を選択してください
	IT	“0” にしてください
G2BCR1	7 ~ 0	“0001 0010 ₂ ” にしてください
G2POCR0 ~ G2POCR7	MOD2 ~ MOD0	“111 ₂ ” にしてください
	PRT	“0” にしてください
	IVL	“0” にしてください
	RLD	“0” にしてください
	RTP	“0” にしてください
	INV	“0” にしてください
G2PO0 ~ 7	15 ~ 0	波形生成用の比較値を設定してください
G2FE	7 ~ 0	対応するチャンネルのビットを“1” にしてください
G2MR	GMD1 ~ GMD0	シリアルI/Oモードを選択してください
	CKDIR	内部クロック、外部クロックを選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	IRS	送信割り込み要因を選択してください
G2CR	TI	送信バッファ空フラグ
	TXEPT	送信レジスタ空フラグ
	RI	受信完了フラグ
	TE	送受信を許可する場合、“1” にしてください
	RE	受信を許可する場合、“1” にしてください
	OPOL	ISTxD2出力極性切り替え(通常は“0” にしてください)
	IPOL	ISRxD2入力極性切り替え(通常は“0” にしてください)
	IECR	IEB
IETS		送信開始時に“1” にしてください
IEBBS		IEBusビジーフラグ選択
DF		デジタルフィルタの有無を選択してください
IEM		モードを選択してください
IEAR	11 ~ 0	アドレスデータを設定してください
IETIF	IETNF	送信時の正常終了フラグ
	IEACK	送信時のACKエラーフラグ
	IETMB	送信時の最大転送バイトエラーフラグ
	IETT	送信時のタイミングエラーフラグ
	IEABL	送信時のアービトラージョンエラーフラグ
IERIF	IERNF	受信時の正常終了フラグ
	IEPAR	受信時のパリティエラーフラグ
	IERMB	受信時の最大転送バイトエラーフラグ
	IERT	受信時のタイミングエラーフラグ
	IERETC	受信時の他要因受信完了フラグ
G2RB	7 ~ 0	受信データが格納されず
	OER	オーバーランエラーフラグ
G2TB	7 ~ 0	転送ビット長、送信データを書いてください

表21.38 IEBusモード時の端子の設定(1)

ポート名	機能	ビットと設定値					レジスタ(注1)
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ	IPSレジスタ	
P70(注2)	IEOUT出力	PS1_0=1	PSL1_0=0	PSC_0=1	-	-	G2POCR0
P71	IEIN入力	PS1_1=0	-	-	PD7_1=0	IPS5 ~ IPS4=002	-

注1．G2POCR0レジスタのMOD2～MOD0ビットを“1112”にしてください。

注2．P70はNチャンネルオープンドレイン出力

表21.39 IEBusモード時の端子の設定(2)

ポート名	機能	ビットと設定値				レジスタ(注1)
		PS3レジスタ(注2)	PSL3レジスタ	PD9レジスタ(注2)	IPSレジスタ	
P91	IEIN入力	PS3_1=0	-	-	IPS5 ~ IPS4=012	-
P92	IEOUT出力	PS3_2=1	PSL3_2=1	PD9_2=0	-	G2POCR0

注1．G2POCR0レジスタのMOD2～MOD0ビットを“1112”にしてください。

注2．PD9、PS3レジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。

PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

表21.40 IEBusモード時の端子の設定(3)

ポート名	機能	ビットと設定値			レジスタ(注1)
		PS7レジスタ	PD7レジスタ	IPSレジスタ	
P134	IEOUT出力	PS7_4=1			G2POCR0
P135	IEIN入力	PS7_5=0	PD13_5=0	IPS5 ~ IPS4=102	-

注1．G2POCR0レジスタのMOD2～MOD0ビットを“1112”にしてください。

21.6 グループ3通信機能

2本の16ビットシフトレジスタと波形生成機能を使用することで通信機能は動作します。

インテリジェントI/Oグループ3では、8ビットまたは16ビット長クロック同期形シリアルI/O通信を行います。図21.47～図21.49に関連するレジスタを示します。

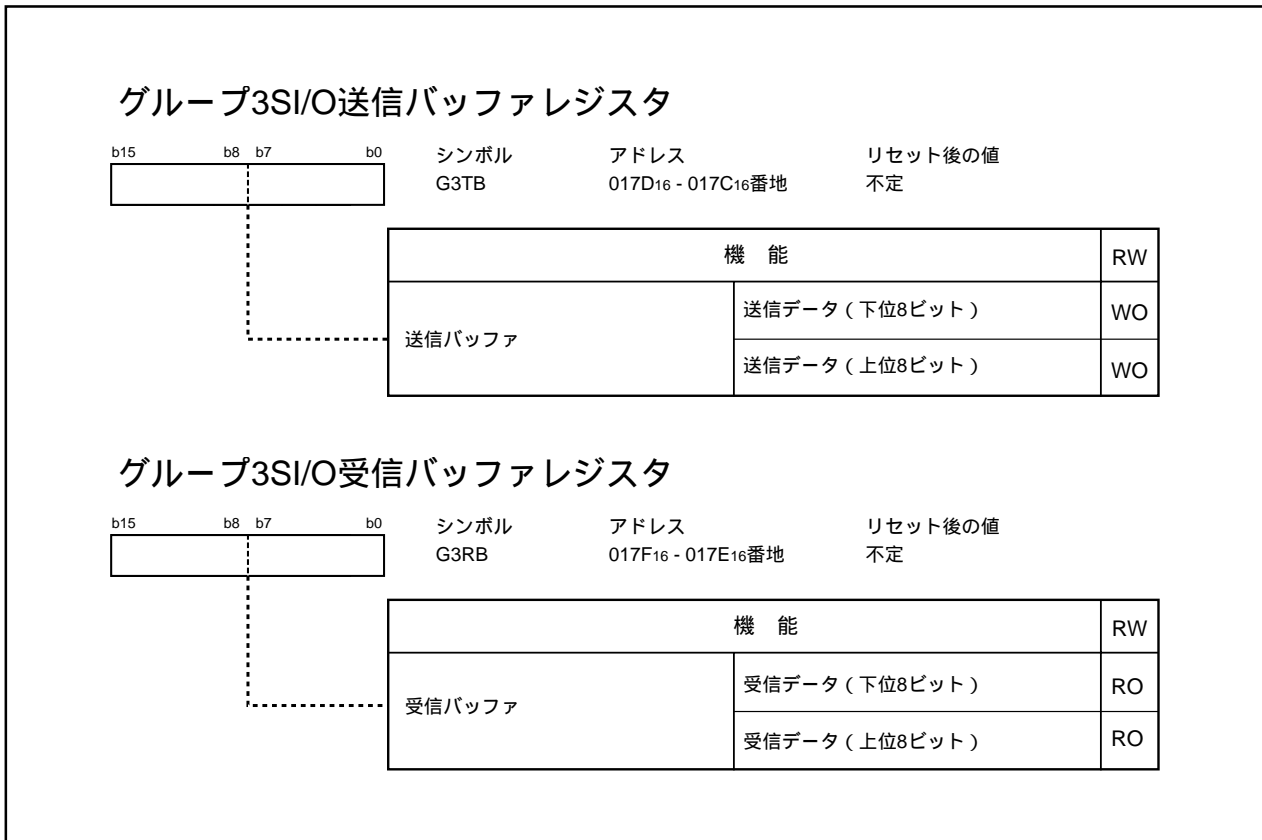


図21.47 G3TBレジスタ、G3RBレジスタ

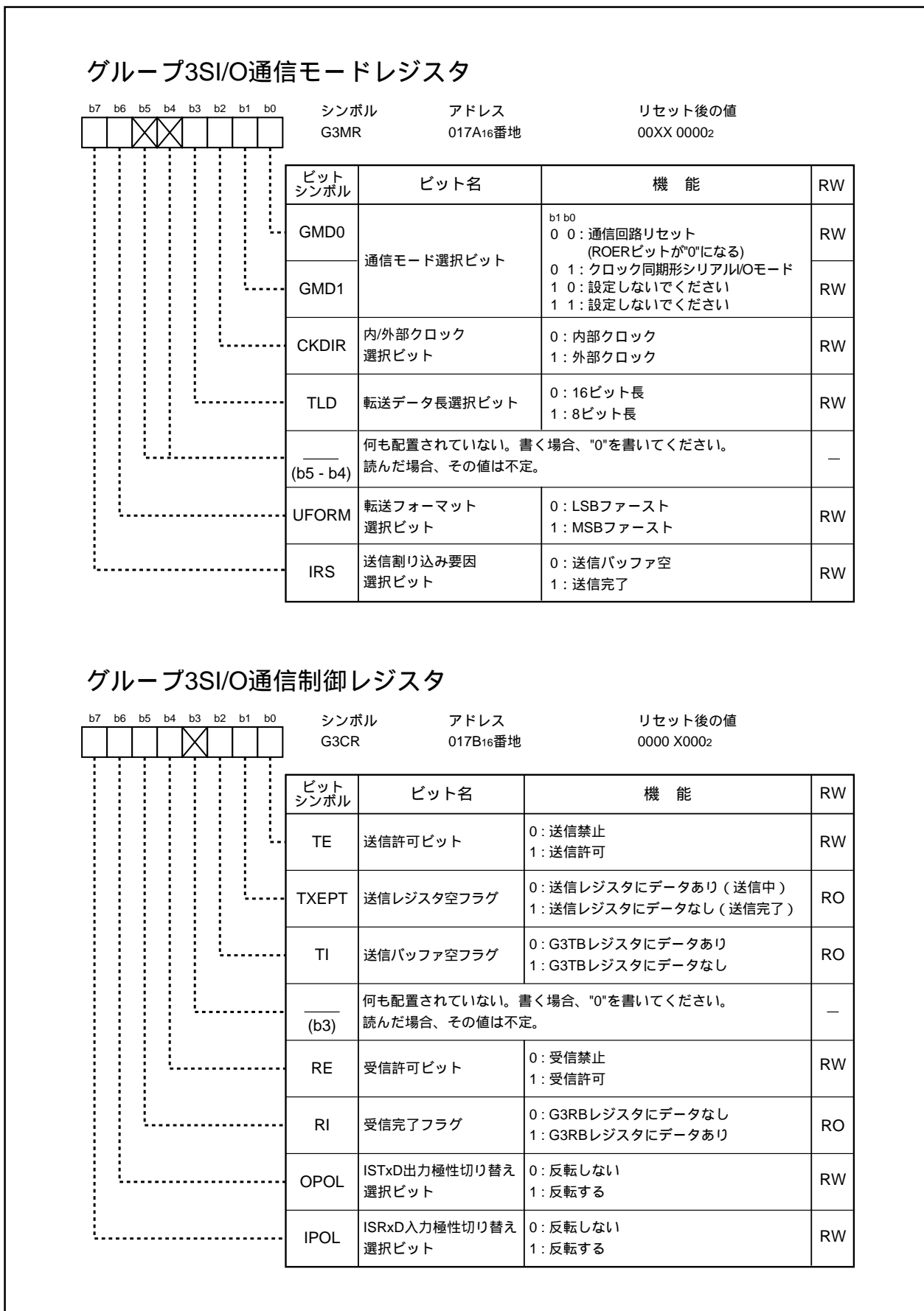


図21.48 G3MRレジスタ、G3CRレジスタ

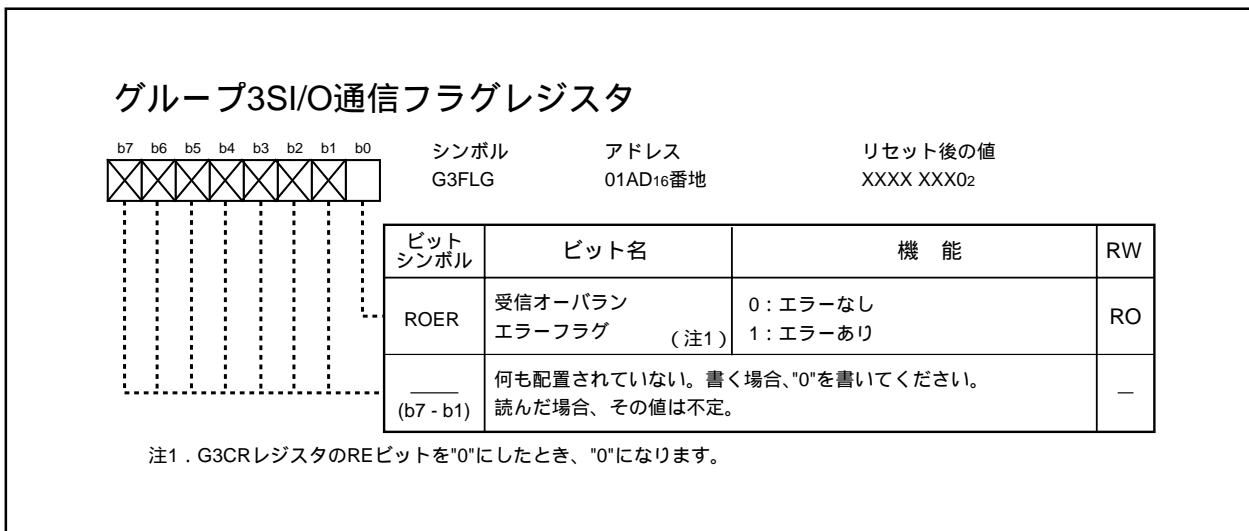


図21.49 G3FLGレジスタ

21.6.1 8ビットまたは16ビット長クロック同期形シリアルI/Oモード(グループ3)

転送クロックを用いて送受信を行うモードです。転送クロックに内部クロックを選択した場合、チャンネル0、2の波形生成機能で転送クロック生成をします。また、ISTxD3、ISCLK3、ISRxD3の各端子はOUTC30～OUTC32と共用しており、144ピンパッケージ版でのみ使用できます。

表21.41にグループ3の同期形シリアルI/Oモードの仕様を、表21.42に使用レジスタと設定値を示します。表21.43～表21.44に端子の設定を、図21.50～図21.51に送信、受信動作例を示します。

表21.41 グループ3のクロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ 8ビット、16ビット選択可
転送クロック(注1)	<ul style="list-style-type: none"> ・ G3MRレジスタのCKDIRビットが“0”(内部クロック)：$\frac{f_{BT3}}{2(n+2)}$ n：G3PO0レジスタ設定値 0001₁₆～FFFD₁₆ - 転送速度をG3PO0レジスタで決定し、チャンネル2波形生成機能、反転波形出力モードで生成 ・ CKDIRビットが“1”(外部クロック)：ISCLK3端子へ入力
送信開始条件(注2)	<p>波形生成関連レジスタ、G3MRレジスタを設定し、転送クロックの1サイクル以上待ち次の値を設定してください。</p> <ul style="list-style-type: none"> ・ G3CRレジスタのTEビットを“1”(送信許可) ・ G3CRレジスタのTIビットを“0”(G3TBレジスタへのデータ書き込み)
受信開始条件	<p>波形生成関連レジスタ、G3MRレジスタを設定し、転送クロックの1サイクル以上待ち次の値を設定してください。</p> <ul style="list-style-type: none"> ・ G3CRレジスタのTEビットを“1”(送信許可) ・ G3CRレジスタのREビットを“1”(受信許可) ・ G3CRレジスタのTIビットを“0”(G3TBレジスタへのデータ書き込み)
割り込み要求	<p>送信時、次の条件のいずれかを選択できます。条件が成立するとIIO10IRレジスタのSIO3TRビットが“1”(割り込み要求あり)になります(図10.14参照)。</p> <ul style="list-style-type: none"> ・ G3MRレジスタのIRSビットが“0”(送信バッファ空)の場合、送信開始後、転送クロックの1サイクル経過したとき ・ IRSビットが“1”(送信完了)の場合、送信開始後16ビット長(G3MRレジスタのDLSビット=0)では転送クロックの15サイクル経過(8ビット長(DLSビット=1)では7サイクル経過)したとき <p>受信時</p> <p>受信開始後16ビット長では転送クロックの15.5サイクル経過したとき、IIO9IRレジスタのSIO3RRビットが“1”(割り込み要求あり)になります(図10.14参照)。(8ビット長では7.5サイクル経過)</p>
エラー検出	<p>オーバランエラー(注3)</p> <p>G3RBレジスタを読む前に16ビット長では次のデータ受信を開始し、15ビット目を受信すると発生(8ビット長では次のデータ受信を開始し、7ビット目を受信すると発生)</p>
機能選択	<p>LSBファースト、MSBファースト選択</p> <p>ビット0から送信、受信するか、ビット7から送信、受信するか選択可能</p> <p>ISTxD3、ISRxD3入出力極性切り替え</p> <p>ISTxD3端子出力とISRxD3端子入力のレベルを反転する機能</p>

注1．転送クロックは f_{BT3} の6分周、またはそれよりも遅くしてください。

注2．TEビットに“1”を書いた時、送信割り込み要求が発生します。TEビットを設定後、割り込み関連レジスタを設定してください。

注3．オーバランエラーが発生した場合、G3RBレジスタは不定になります。

表21.42 グループ3のクロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
G3BCR0	BCK1 ~ BCK0	“112” にしてください
	DIV4 ~ DIV0	カウントソースの分周比を選択してください
	IT	“0” にしてください
G3BCR1	7 ~ 0	“0001 0010 ₂ ” にしてください
G3POCR0	7 ~ 0	“0000 0111 ₂ ” にしてください
G3POCR1	7 ~ 0	“0000 0111 ₂ ” にしてください
G3POCR2	7 ~ 0	“0000 0010 ₂ ” にしてください
G3PO0	15 ~ 0	転送速度を設定します $\frac{f_{BT3}}{2 \times (\text{設定値} + 2)}$ が転送クロック周波数になります
G3PO2	15 ~ 0	G3PO0レジスタの設定値より小さい値を設定してください
G3FE	7 ~ 0	“0000 0111 ₂ ” にしてください
G3MR	GMD1 ~ GMD0	“01 ₂ ” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	TLD	転送データ長を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	IRS	送信割り込み要因を選択してください
G3CR	TE	送受信を許可する場合、“1” にしてください
	TXEPT	送信レジスタ空フラグ
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	OPOL	ISTxD3出力極性切り替え (通常は“0” にしてください)
	IPOL	ISRxD3入力極性切り替え
G3TB	15 ~ 0	送信データを書いてください
G3RB	15 ~ 0	受信データが格納されます

表21.43 グループ3のクロック同期形シリアルI/Oモード時の端子の設定 (1)

ポート名	機能	ビットと設定値				レジスタ ^(注1)
		PS2レジスタ	PSL2レジスタ	PD8レジスタ	IPSレジスタ	
P81	ISTxD3出力	PS2_1=1	PSL2_1=1	-	-	G3POCR0
P82	ISRxD3入力	PS2_2=0	-	PD8_2=0	IPS7=0	-

注1. 対応するレジスタのMOD2 ~ MOD0ビットを“111₂” (通信機能の出力を使用) にしてください。

表21.44 グループ3のクロック同期形シリアルI/Oモード時の端子の設定(2)

ポート名	機能	ビットと設定値			レジスタ ^(注1)
		PS6レジスタ	PD12レジスタ	IPSレジスタ	
P120	ISTxD3出力	PS6_0=1	-	-	G3POCR0
P121	ISCLK3入力	PS6_1=0	PD12_1=0	-	-
	ISCLK3出力	PS6_1=1	-	-	G3POCR1
P122	ISRxD3入力	PS6_2=0	PD12_2=0	IPS7=1	-

注1. 対応するレジスタのMOD2 ~ MOD0ビットを“111₂” (通信機能の出力を使用) にしてください。

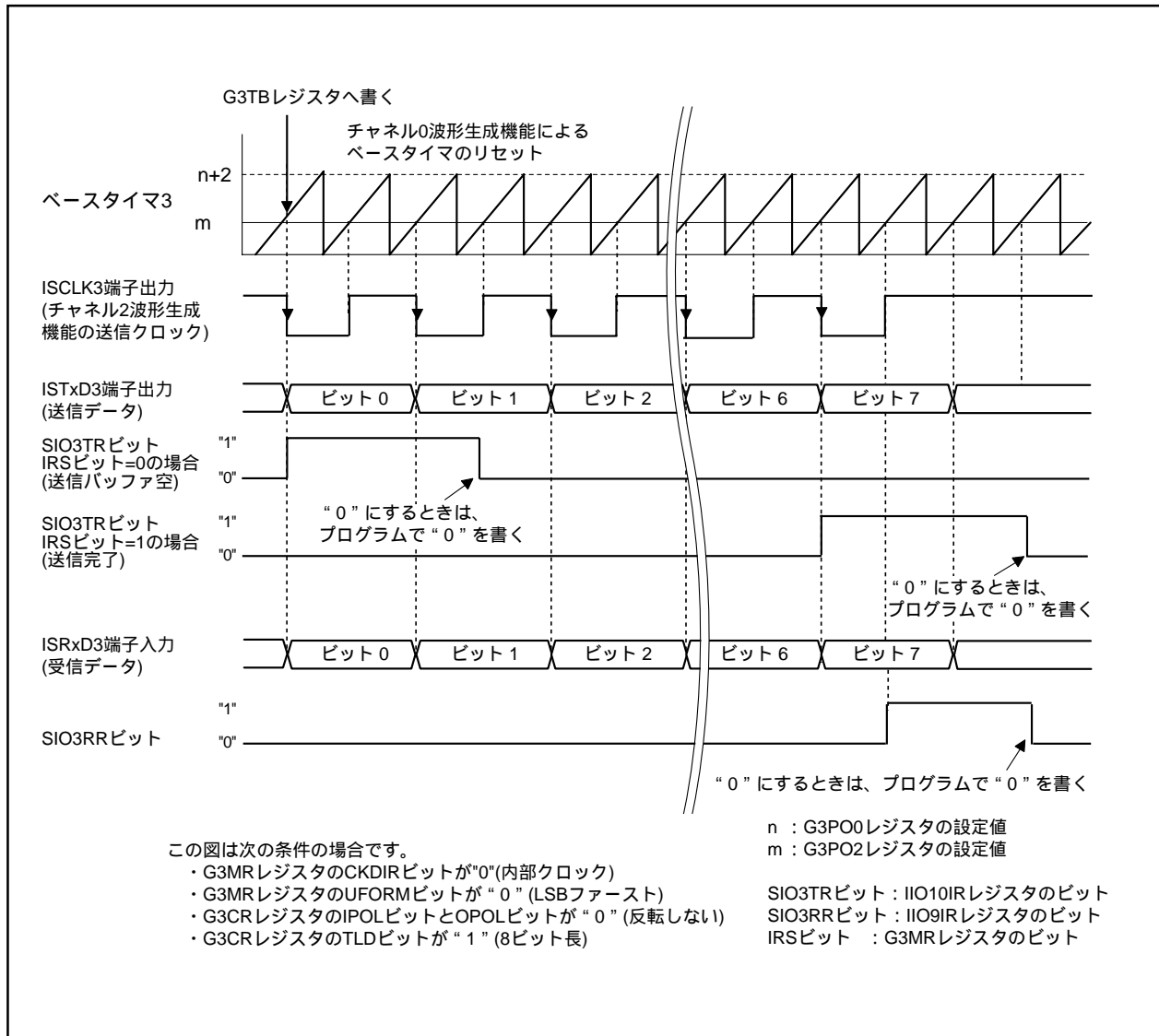


図21.50 グループ3のクロック同期形シリアルI/Oモード時の送信、受信動作例(8ビット長)

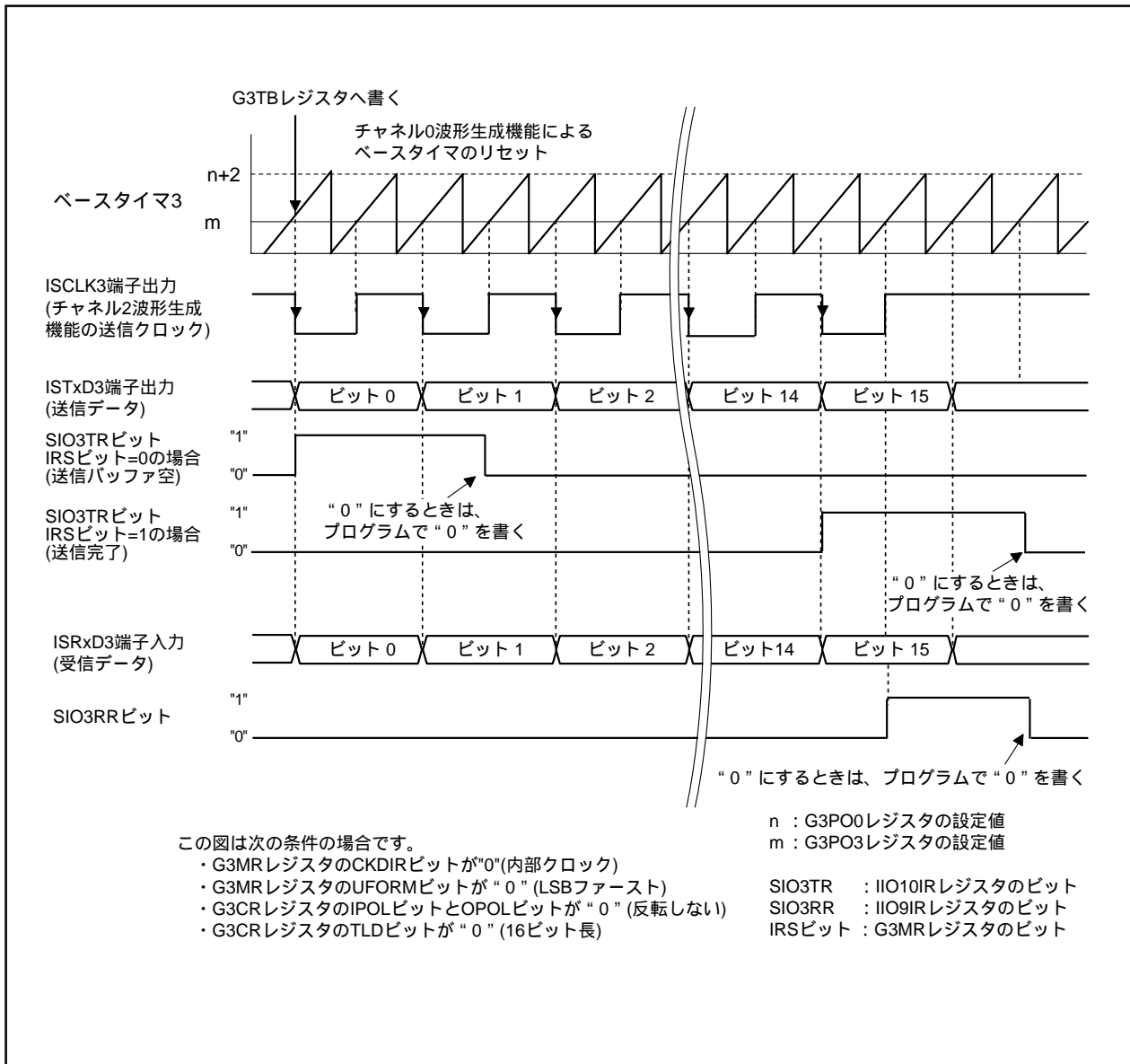


図21.51 グループ3のクロック同期形シリアルI/Oモード時の送信、受信動作例(16ビット長)

22. CANモジュール

CAN(Controller Area Network) 2.0B仕様準拠のFull CANモジュールです。表22.1にCANモジュールの仕様を示します。

表22.1 CANモジュールの仕様

項目	仕様
プロトコル	CAN2.0B仕様準拠
メッセージスロット数	16本
極性	Dominant : “ L ” Recessive : “ H ”
アクセプタンスフィルタ	グローバルマスク : 1本 (CAN0メッセージスロット0 ~ 13に対応) ローカルマスク : 2本 (それぞれCAN0メッセージスロット14、15に対応)
転送速度	$\text{転送速度} = \frac{1}{\text{Tq 周期} \times \text{1ビット分のTqの数}} \quad \dots \text{Max 1 Mbps}$ $\text{Tq周期} = \frac{\text{BRP} + 1}{f_1}$ $\text{1ビット分のTqの数} = \text{SS} + \text{PTS} + \text{PBS1} + \text{PBS2}$ <p>Tq : Time quantum BRP : COBRPレジスタの設定値 1 ~ 255 SS : Synchronization Segment 1 Tq PTS : Propagation Time Segment 1 ~ 8Tq PBS1 : Phase Buffer Segment 1 2 ~ 8Tq PBS2 : Phase Buffer Segment 2 2 ~ 8Tq</p>
リモートフレーム自動応答機能	リモートフレームを受信したメッセージスロットが自動的にデータフレームの送信を行う機能
タイムスタンプ機能	16ビットカウンタによるタイムスタンプ機能。カウントソースはCANバスビットクロックの1、2、3、4分周を選択可能
BasicCANモード	CAN0メッセージスロット14、15を使用してBasicCAN機能を実現
送信アボート機能	送信要求を取り消す機能
ループバック機能	CANモジュールが送信したフレームを同CANモジュールが受信する機能
エラーアクティブ強制復帰機能	強制的にエラーアクティブ状態に遷移させる機能

注1. 発振最大許容誤差1.58%を満たす発振子をご使用ください。

図22.1にCANモジュールブロック図を、図22.2にCAN0メッセージスロットバッファ(以下、メッセージスロットバッファと称す)とCAN0メッセージスロット(以下、メッセージスロットと称す)を示します。また、表22.2にCANモジュールの端子の設定を示します。

メッセージスロット*i*(*i* = 0 ~ 15)は、CPUから直接アクセスできません。アクセスする場合は、使用するメッセージスロット*i*をCAN0メッセージスロットバッファ0または1に割り当て、この番地を通してアクセスします。COSBSレジスタで、メッセージスロットバッファ0、1に割り当てるメッセージスロット*i*を選択できます。メッセージスロットバッファとメッセージスロットは、図22.2に示す16バイトで構成されていません。

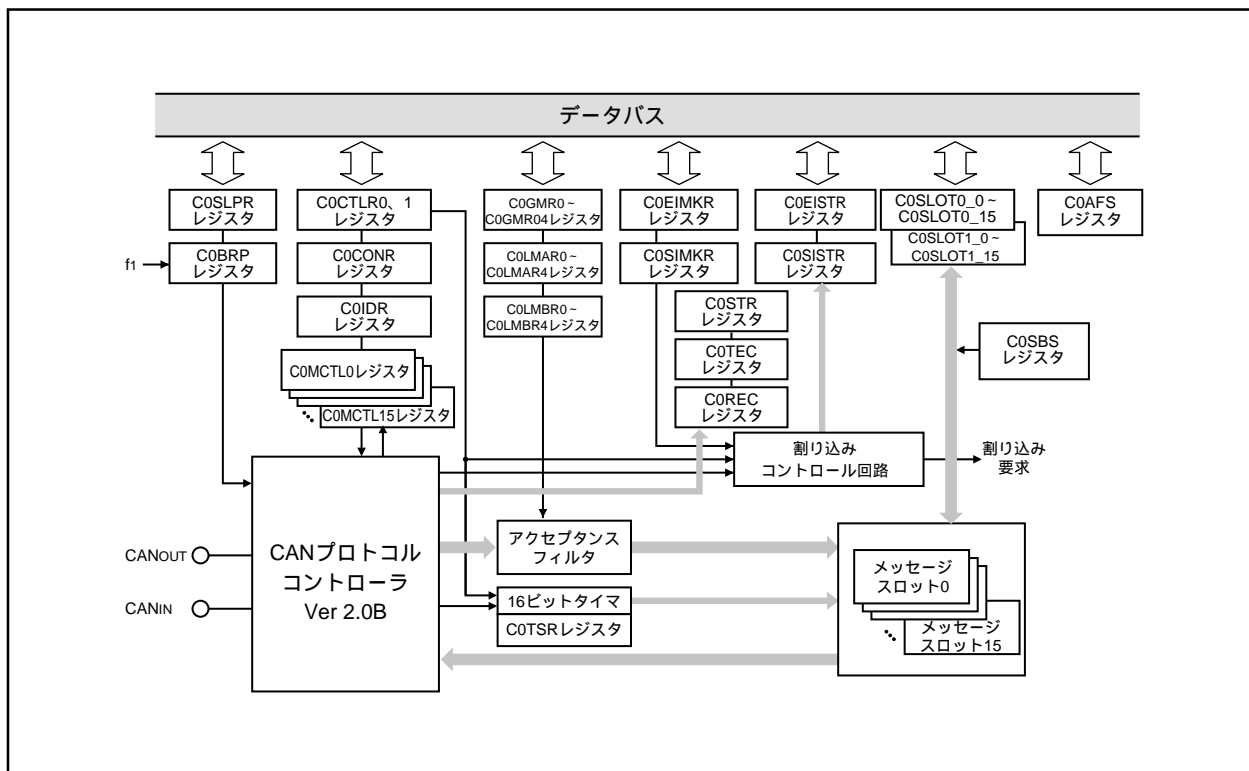


図22.1 CANモジュールブロック図

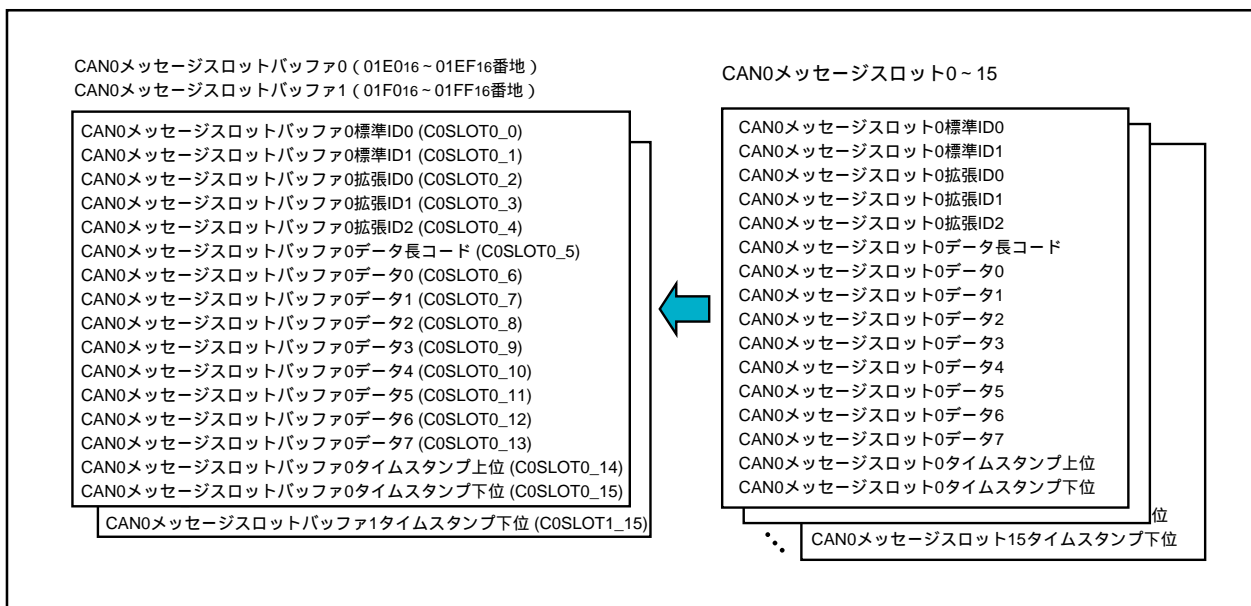


図22.2 CAN0メッセージスロットバッファとCAN0メッセージスロット

表22.2 CANモジュールの端子の設定

ポート名	機能	ビットと設定値				
		PS1、PS2レジスタ	PSL1、PSL2レジスタ	PSCレジスタ	IPSレジスタ	PD7、PD8レジスタ
P76	CANOUT	PS1_6=1	PSL1_6=0	PSC_6=1	-	-
P77	CANIN	PS1_7=0	-	-	IPS3=0	PD7_7=0
P82	CANOUT	PS2_2=1	PSL2_2=1	-	-	-
P83	CANIN	-	-	-	IPS3=1	PD8_3=0

22.1 関連レジスタ

図22.3～22.26にCAN関連レジスタを示します。これらのレジスタをアクセスする場合は、MCDレジスタのMCD4～MCD0ビットを“100102”(CPUクロック分周なし)、PM1レジスタのPM13ビットを“1”(2ウエイト)、CM0レジスタのCM07ビットを“0”(CM21ビットで選択したクロックをMCDレジスタで分周したクロック)にしてください。

22.1.1 CAN0制御レジスタ0 (COCTRL0レジスタ)

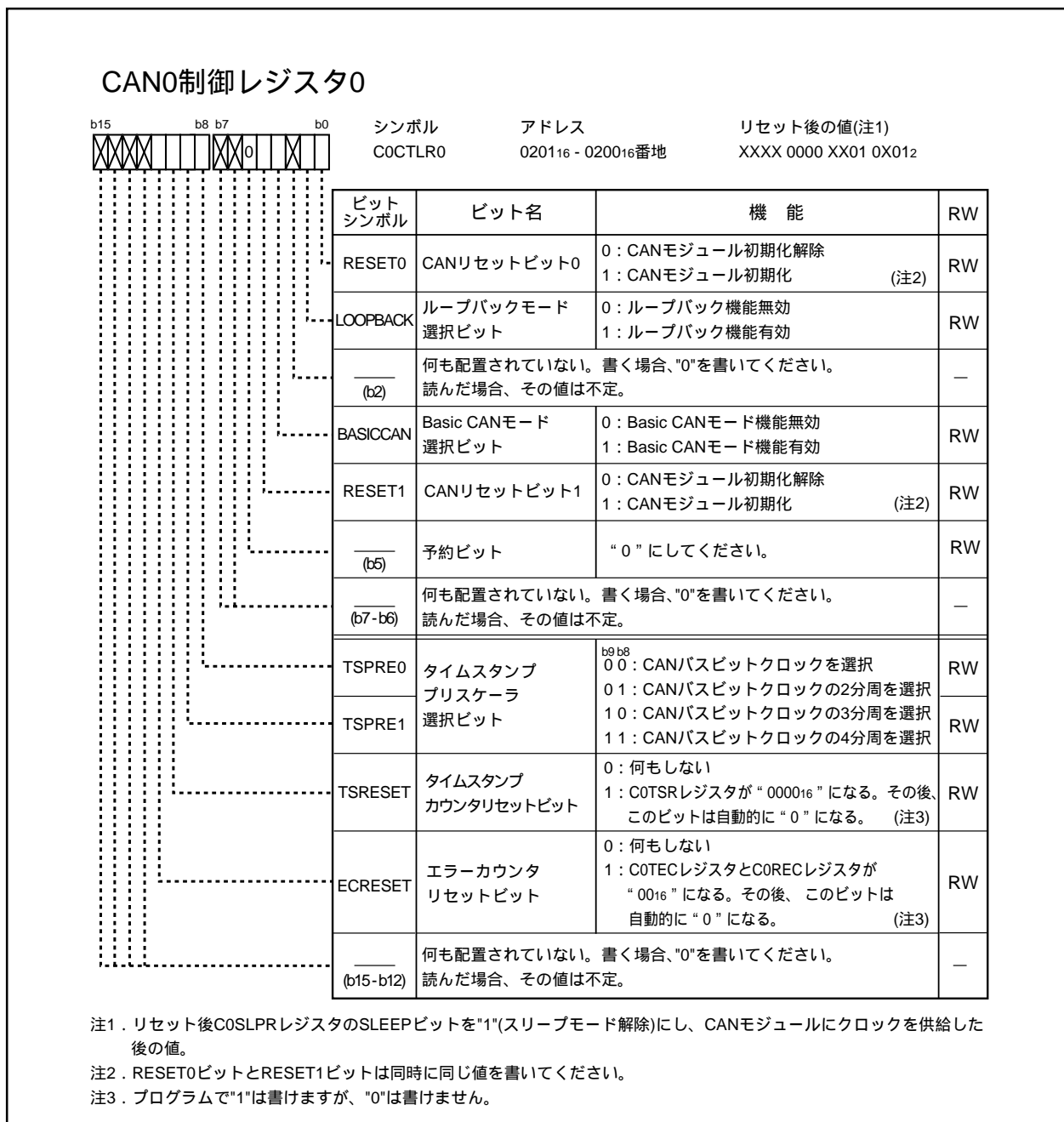


図22.3 COCTRL0レジスタ

22.1.1.1 RESET0ビット、RESET1ビット

RESET0, 1ビットを両方とも“1”にすると、CAN通信中かどうかに関係なく、即座にCANモジュールが初期化されます。

RESET0, 1ビットを“1”にしCANモジュールの初期化が完了すると、C0TSRレジスタは“0000₁₆”に、C0TECレジスタ、C0RECレジスタは“00₁₆”に、C0STRレジスタのSTATE_ERRPASビット、STATE_BUSOFFビットは“0”になります。

RESET0, 1ビットを両方とも“1”から“0”にすると、C0TSRレジスタがカウントを開始し、11ビット連続したレセシブビットを検出した後に、CAN通信可能となります。

注1. RESET0, 1ビットは、同時に同じ値を書いてください。

注2. RESET0, 1ビットを“1”にした後、C0STRレジスタのSTATE_RESETビットが“1”(CANモジュール初期化完了)になることを確認してください。

注3. RESET0, 1ビットを“1”にすると、その直後からCANOut端子出力は“H”になります。このため、CANフレーム送信中にRESET0, 1ビットを“1”にすると、CANバスエラー発生の原因になることがあります。

注4. CAN通信を行うためには、PS1、PS2、PSL1、PSL2、PSC、IPS、PD7、PD8レジスタを適切に設定してください。これらは、STATE_RESETビットが“1”(CANモジュール初期化完了)のとき設定してください。

22.1.1.2 LOOPBACKビット

LOOPBACKビットが“1”(ループバック機能有効)で、かつ、送信したフレームに対しIDとフレームフォーマットが一致する受信メッセージスロットがある場合、送信したフレームが受信メッセージスロットへ格納されます。

注1. 送信フレームに対するACKは返しません。

注2. LOOPBACKビットはSTATE_RESETビットが“1”(CANモジュール初期化完了)のときに変更してください。

22.1.1.3 BASICCANビット

BASICCANビットを“1”にすると、メッセージスロット14、15がBasicCANモードで動作します。

BasicCANモードでは、メッセージスロット14、15をダブルバッファとして使用し、アクセプタンスフィルタリングによってIDが一致した受信フレームをメッセージスロット14、15へ交互に格納します。そのときのアクセプタンスフィルタリングには、メッセージスロット14がアクティブ(つぎの受信フレームが格納されるメッセージスロットが14)の場合はメッセージスロット14に設定したIDとC0LMAR0～C0LMAR4レジスタが、メッセージスロット15がアクティブの場合はメッセージスロット15に設定したIDとC0LMBR0～C0LMBR4レジスタが使用されます。また、データフレーム、リモートフレームの両方のフレームタイプを受信できます。

BasicCANモードを使用する場合は、2つのメッセージスロットのIDを同じに、またC0LMAR0～C0LMAR4とC0LMBR0～C0LMBR4レジスタを同じ設定にしてください。

次にBasicCANモードへの移行手順を示します。

(1)BASICCANビットを“1”にする。

(2)メッセージスロット14、15のIDとC0LMAR0～C0LMAR4、C0LMBR0～C0LMBR4レジスタを設定する。(同一値を設定)

(3)メッセージスロット14、15で扱うフレームフォーマット(標準、拡張)をC0IDRレジスタのIDE14、15ビットで選択する。(同一フォーマットを設定)

(4)メッセージスロット14、15のC0MCTL14,15レジスタのREMACTIVEビットを“0”(データフレーム受信)に、RECREQビットを“1”(受信要求あり)にする。

- 注1. BASICCANビットはSTATE_RESETビットが“1”(CANモジュール初期化完了)のときに、変更してください。
- 注2. RESET0,1ビットを“0”にした後、最初にメッセージスロット14がアクティブになります。
- 注3. メッセージスロット0~13は、BasicCANモード選択の影響を受けません。

22.1.1.4 TSPRE1~TSPRE0ビット

タイムスタンプカウンタのカウントソースを選択できます。

- 注1. TSPRE0,1ビットは、STATE_RESETビットが“1”(CANモジュール初期化完了)のときに変更してください。

22.1.1.5 TSRESETビット

TSRESETビットを“1”(カウント初期化)にすると、C0TSRレジスタが“0000₁₆”になります。

TSRESETビットは、C0TSRレジスタが“0000₁₆”になった後“0”になります。

22.1.1.6 ECRESETビット

ECRESETビットを“1”にすると、C0TECレジスタ、C0RECレジスタが“00₁₆”になり、強制的にエラーアクティブ状態になります。

ECRESETビットは、エラーアクティブ状態になった後“0”になります。

- 注1. エラーアクティブ状態になった後は、CANバス上に11ビットの連続したレセシブビットを検出した後に通信可能となります。

22.1.2 CAN0制御レジスタ1 (COCTRL1レジスタ)

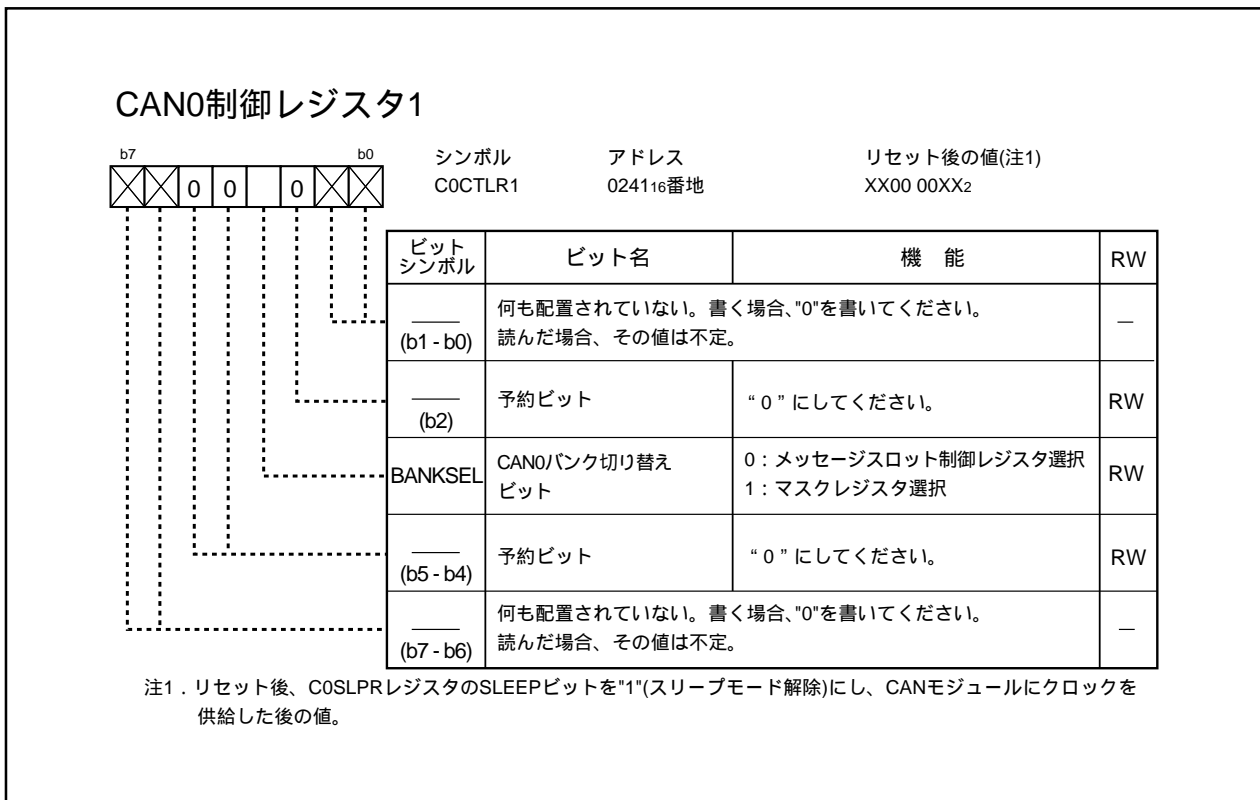


図22.4 COCTRL1レジスタ

22.1.2.1 BANKSELビット

BANKSELビットにより、0220₁₆番地から023F₁₆番地に割り付けられるレジスタを切り替えます。このビットが"0"のとき、COMCTL0～COMCTL15レジスタをアクセスできます。このビットが"1"のとき、COGMR0～COGMR4レジスタ、COLMAR0～COLMAR4レジスタ、COLMBR0～COLMBR4レジスタをアクセスできます。

22.1.3 CAN0スリープ制御レジスタ (C0SLPRレジスタ)

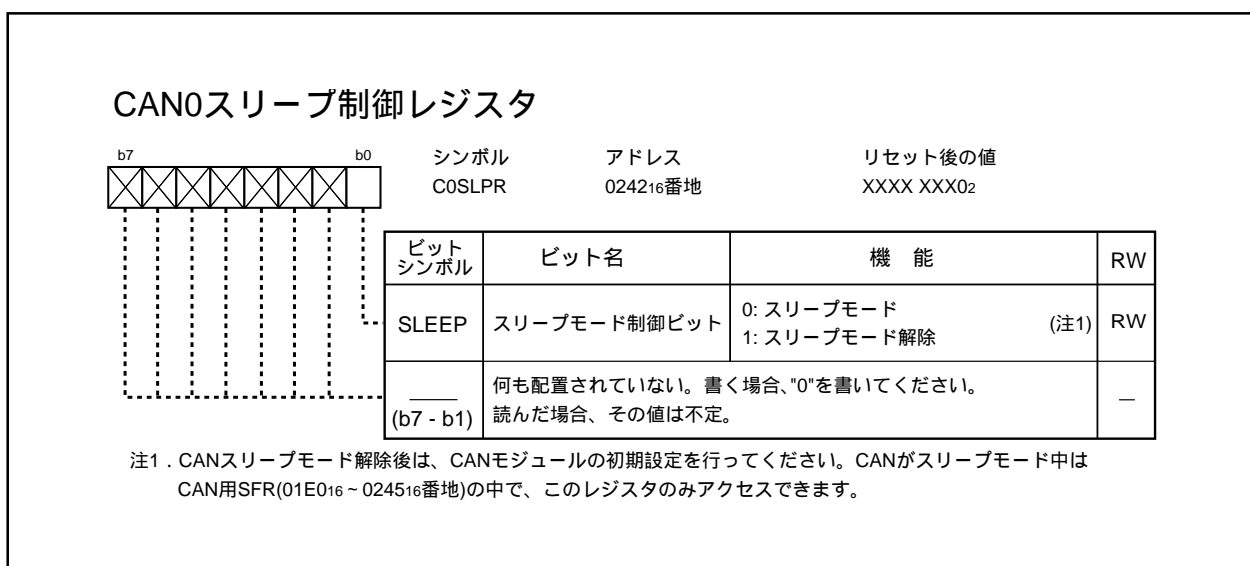


図22.5 C0SLPRレジスタ

22.1.3.1 SLEEPビット

SLEEPビットを“0”にするとCANに供給されるクロックが停止し、スリープモードへ移行します。

SLEEPビットを“1”にするとCANにクロックが供給され、スリープモードが解除されます。

注1 . スリープモードへはC0STRレジスタのSTATE_RESETビットが“1” (CANモジュール初期化完了)になった後に移行させてください。

22.1.4 CAN0ステータスレジスタ (C0STRレジスタ)

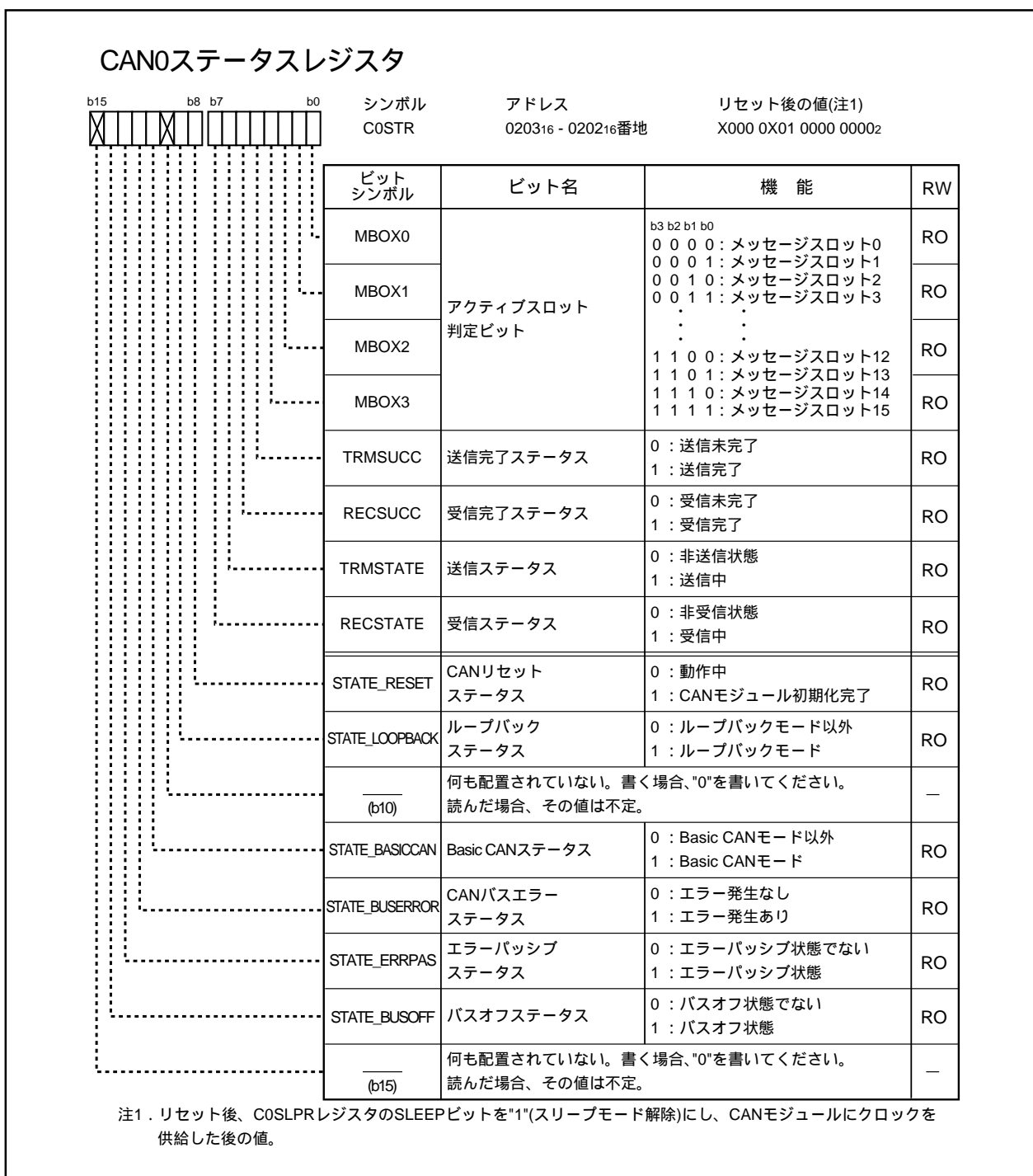


図22.6 C0STRレジスタ

22.1.4.1 MBOX3～MBOX0ビット

送信完了時または受信データ格納完了時に、該当スロット番号が格納されます。

22.1.4.2 TRMSUCCビット

正常に送信を完了したとき "1" になります。

正常に受信を完了したとき "0" になります。

22.1.4.3 RECSUCCビット

正常に受信を完了したとき“1”になります(受信メッセージがメッセージスロットに格納されるか、されないかは関係ありません)。ただし、ループバックモードを使用して送信したメッセージを受信したときは、TRMSUCCビットが“1”に、RECSUCCビットが“0”になります。

正常に送信を完了したとき“0”になります。

22.1.4.4 TRMSTATEビット

送信ノードとして動作中のとき“1”になります。

バスアイドル状態になったとき、または受信ノードとして動作を始めたとき“0”になります。

22.1.4.5 RECSTATEビット

受信ノードとして動作中のとき“1”になります。

バスアイドル状態になったとき、または送信ノードとして動作を始めたとき“0”になります。

22.1.4.6 STATE_RESETビット

RESET0,1ビットを両方とも“1”(CANモジュール初期化)にした後、CANモジュールの初期化が完了すると“1”になります。

RESET0,1ビットを“0”にすると、STATE_RESETビットも“0”になります。

22.1.4.7 STATE_LOOPBACKビット

STATE_LOOPBACKビットが“1”のとき、ループバックモードで動作していることを示します。

C0CTRL0レジスタのLOOPBACKビットを“1”(ループバック機能有効)にするとSTATE_LOOPBACKビットは“1”になります。

LOOPBACKビットを“0”(ループバック機能無効)にするとSTATE_LOOPBACKビットは“0”になります。

22.1.4.8 STATE_BASICCANビット

BasicCANモードで動作しているとき“1”になります。BasicCANモードについては「22.1.1.3 BASICCANビット」を参照してください。

BASICCANビットを“0”(BasicCANモード機能無効)にするとSTATE_BASICCANビットは“0”になります。

BASICCANビットを“1”(BasicCANモード機能有効)にし、メッセージスロット14,15のC0MCTL14,C0MCTL15レジスタのREMACTIVEビットを“0”(データフレーム受信)に、RECREQビットを“1”(受信要求あり)にするとSTATE_BASICCANビットは“1”になります。

22.1.4.9 STATE_BUSERRORビット

エラーを検出したとき“1”になります。

正常に送受信が完了したとき“0”になります。受信メッセージがメッセージスロットに格納されるか、されないかは関係ありません。

注1. このビットが“1”のときRESET0,1ビットを両方とも“1”(CANモジュール初期化)にしても、STATE_BUSERRORビットは変化しません。

22.1.4.10 STATE_ERRPASビット

C0TECレジスタの値、またはC0RECレジスタの値が127を超えてエラーパッシブ状態になった場合に“1”になります。

エラーパッシブ状態から他のエラー状態に変化したとき“0”になります。

また、RESET0,1ビットを両方とも“1”(CANモジュール初期化)にすると、STATE_ERRPASビットは“0”になります。

22.1.4.11 STATE_BUSOFFビット

C0TECレジスタの値が255を超えてバスオフ状態になったとき、“1”になります。

バスオフ状態からエラーアクティブ状態に復帰したとき“0”になります。

また、RESET0,1ビットを両方とも“1”(CANモジュール初期化)にすると、STATE_BUSOFFビットは“0”になります。

22.1.5 CAN0拡張IDレジスタ (C0IDRレジスタ)

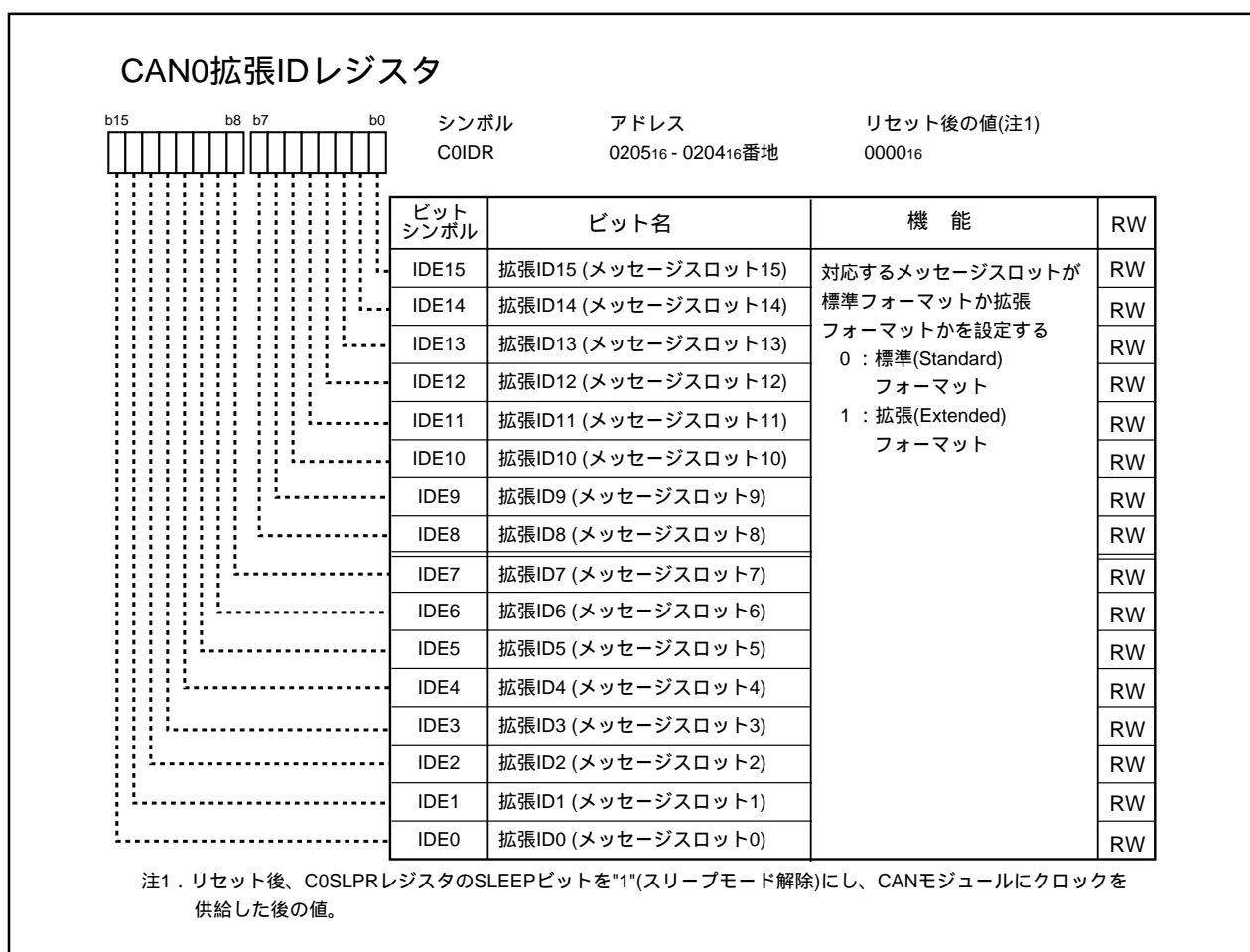


図22.7 C0IDRレジスタ

各ビットに対応したメッセージスロットで取り扱うフレームのフォーマットを選択します。

“0”にした場合、標準(Standard)フォーマットが選択されます。

“1”にした場合、拡張(Extended)フォーマットが選択されます。

注1. このレジスタの各ビットは、対応するメッセージスロットの送信要求、受信要求がない状態で変更してください。

22.1.6 CAN0コンフィグレーションレジスタ (C0CONRレジスタ)

CAN0コンフィグレーションレジスタ

b15 b8 b7 b0

シンボル アドレス リセット後の値(注1)

C0CONR 0207₁₆ - 0206₁₆番地 0000 0000 0000 XXXX₂

ビットシンボル	ビット名	機能	RW
(b3 - b0)		何も配置されていない。書く場合、「0」を書いてください。読んだ場合、その値は不定。	—
SAM	サンプリング数	0 : 1回サンプリング 1 : 3回サンプリング	RW
PTS0	Propagation Time Segment	b7 b6 b5 0 0 0 : PTS = 1Tq 0 0 1 : PTS = 2Tq 0 1 0 : PTS = 3Tq 0 1 1 : PTS = 4Tq 1 0 0 : PTS = 5Tq 1 0 1 : PTS = 6Tq 1 1 0 : PTS = 7Tq 1 1 1 : PTS = 8Tq	RW
PTS1			RW
PTS2			RW
PBS10	Phase Buffer Segment 1	b10 b9 b8 0 0 0 : 設定しないでください。 0 0 1 : PBS1 = 2Tq 0 1 0 : PBS1 = 3Tq 0 1 1 : PBS1 = 4Tq 1 0 0 : PBS1 = 5Tq 1 0 1 : PBS1 = 6Tq 1 1 0 : PBS1 = 7Tq 1 1 1 : PBS1 = 8Tq	RW
PBS11			RW
PBS12			RW
PBS20	Phase Buffer Segment 2	b13 b12 b11 0 0 0 : 設定しないでください。 0 0 1 : PBS2 = 2Tq 0 1 0 : PBS2 = 3Tq 0 1 1 : PBS2 = 4Tq 1 0 0 : PBS2 = 5Tq 1 0 1 : PBS2 = 6Tq 1 1 0 : PBS2 = 7Tq 1 1 1 : PBS2 = 8Tq	RW
PBS21			RW
PBS22			RW
SJW0	reSynchronization Jump Width	b15 b14 0 0 : SJW = 1Tq 0 1 : SJW = 2Tq 1 0 : SJW = 3Tq 1 1 : SJW = 4Tq	RW
SJW1			RW

注1 . リセット後、C0SLPRレジスタのSLEEPビットを"1"(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

PTS : Propagation Time Segment PBS1 : Phase Buffer Segment 1 PBS2 : Phase Buffer Segment 2
SJW : reSynchronization Jump Width

図22.8 C0CONRレジスタ

22.1.6.1 SAMビット

1ビットあたりのサンプリング数を設定します。

SAMビットが“0”の場合、PBS1の最後でサンプリングした値をそのビット値とみなします。

SAMビットが“1”の場合、PBS1の最後、1Tq前、2Tq前の計3ポイントでサンプリングし、2回以上同じだった値をビットの値とみなします。

22.1.6.2 PTS2～PTS0ビット

PTSの幅を選択できます。

22.1.6.3 PBS12～PBS10ビット

PBS1の幅を選択できます。PBS12～PBS10ビットは“0012”以上にしてください。

22.1.6.4 PBS22～PBS20ビット

PBS2の幅を選択できます。PBS22～PBS20ビットは“0012”以上にしてください。

22.1.6.5 SJW1～SJW0ビット

SJWの幅を選択できます。SJW1～SJW0ビットはPBS12～PBS10ビット以下で、かつPBS22～PBS20ビット以下に設定してください。

表22.3 f₁ : 30MHz時のビットタイミング設定例

転送速度	BRP設定値	Tq周期(ns)	1ビットのTq数	PTS+PBS1	PBS2	サンプルポイント
1Mbps	1	66.7	15	12	2	87%
	1	66.7	15	11	3	80%
	1	66.7	15	10	4	73%
	2	100	10	7	2	80%
	2	100	10	6	3	70%
	2	100	10	5	4	60%
500Kbps	2	100	20	16	3	85%
	2	100	20	15	4	80%
	2	100	20	14	5	75%
	3	133.3	15	12	2	87%
	3	133.3	15	11	3	80%
	3	133.3	15	10	4	73%
	4	166.7	12	9	2	83%
	4	166.7	12	8	3	75%
	4	166.7	12	7	4	67%
	5	200	10	7	2	80%
	5	200	10	6	3	70%
	5	200	10	5	4	60%

22.1.7 CAN0タイムスタンプレジスタ (C0TSRレジスタ)



図22.9 C0TSRレジスタ

16ビットのカウンタです。カウントソースには、CANバスビットクロックの1、2、3、4分周のいずれかをC0CTRL0レジスタのTSPRE0、1ビットで選択できます。

送信完了時、または受信完了時にC0TSRレジスタの値が自動的にメッセージスロットへ格納されます。C0TSRレジスタは、C0CTRL0レジスタのRESET0、1ビットを“0”にするとアップカウントを開始します。C0TSRレジスタは次のとき“0000₁₆”になります。

- ・ C0TSRレジスタが“FFFF₁₆”になった次のカウントタイミング
- ・ RESET0、1ビットにプログラムで“1”(CANモジュール初期化)を書いたとき
- ・ TSRESETビットにプログラムで“1”(C0TSRレジスタ初期化)を書いたとき

ループバックモード時、メッセージが格納されるデータフレーム受信、またはリモートフレーム受信メッセージスロットが存在する場合は、受信完了時に対応したメッセージスロットへC0TSRレジスタの値が格納されます(送信完了時、C0TSRレジスタの値は格納されません)。

22.1.8 CAN0送信エラーカウントレジスタ (C0TECレジスタ)



図22.10 C0TECレジスタ

エラーアクティブ状態とエラーパッシブ状態のとき、送信エラーカウント値が格納されます。正常送信時ダウンカウントし、送信エラー発生時にアップカウントします。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰すると“00₁₆”になります。

22.1.9 CAN0受信エラーカウントレジスタ (C0RECレジスタ)



図22.11 C0RECレジスタ

エラーアクティブ状態とエラーパッシブ状態のとき、受信エラーカウンタ値が格納されます。正常受信時ダウンカウントし、受信エラー発生時にアップカウントします。

ただし、C0REC 128の状態(エラーパッシブ状態)で正常に受信完了した場合、C0RECレジスタは127になります。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰すると“00₁₆”になります。

22.1.10 CAN0ボーレートプリスケアラ (C0BRPレジスタ)

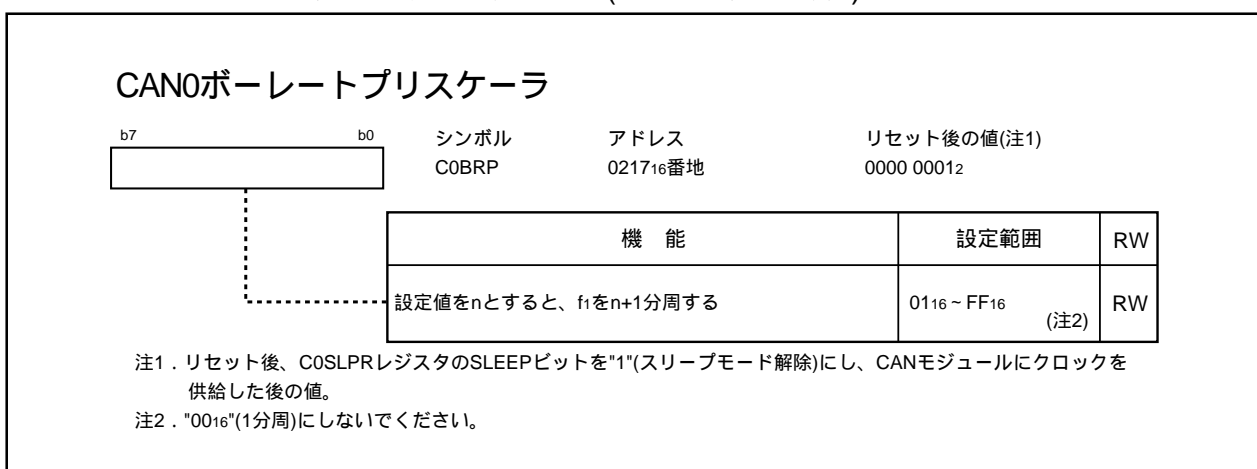


図22.12 C0BRPレジスタ

CANビットタイムのTq周期を設定するレジスタです。転送速度は、「Tq周期 × 1ビット分のTqの数」で決まります。

$$\text{Tq周期} = (\text{BRP} + 1) / f_1$$

$$\text{転送速度} = \frac{1}{\text{Tq周期} \times \text{1ビット分のTqの数}}$$

$$\text{1ビット分のTqの数} = \text{SS} + \text{PTS} + \text{PBS1} + \text{PBS2}$$

Tq : Time quantum BRP : C0BRPレジスタの設定値 1 ~ 255

SS : Synchronization Segment 1 Tq PTS : Propagation Time Segment 1 ~ 8Tq

PBS1 : Phase Buffer Segment 1 2 ~ 8Tq PBS2 : Phase Buffer Segment 2 2 ~ 8Tq

22.1.11 CAN0スロット割り込みステータスレジスタ(C0SISTRレジスタ)

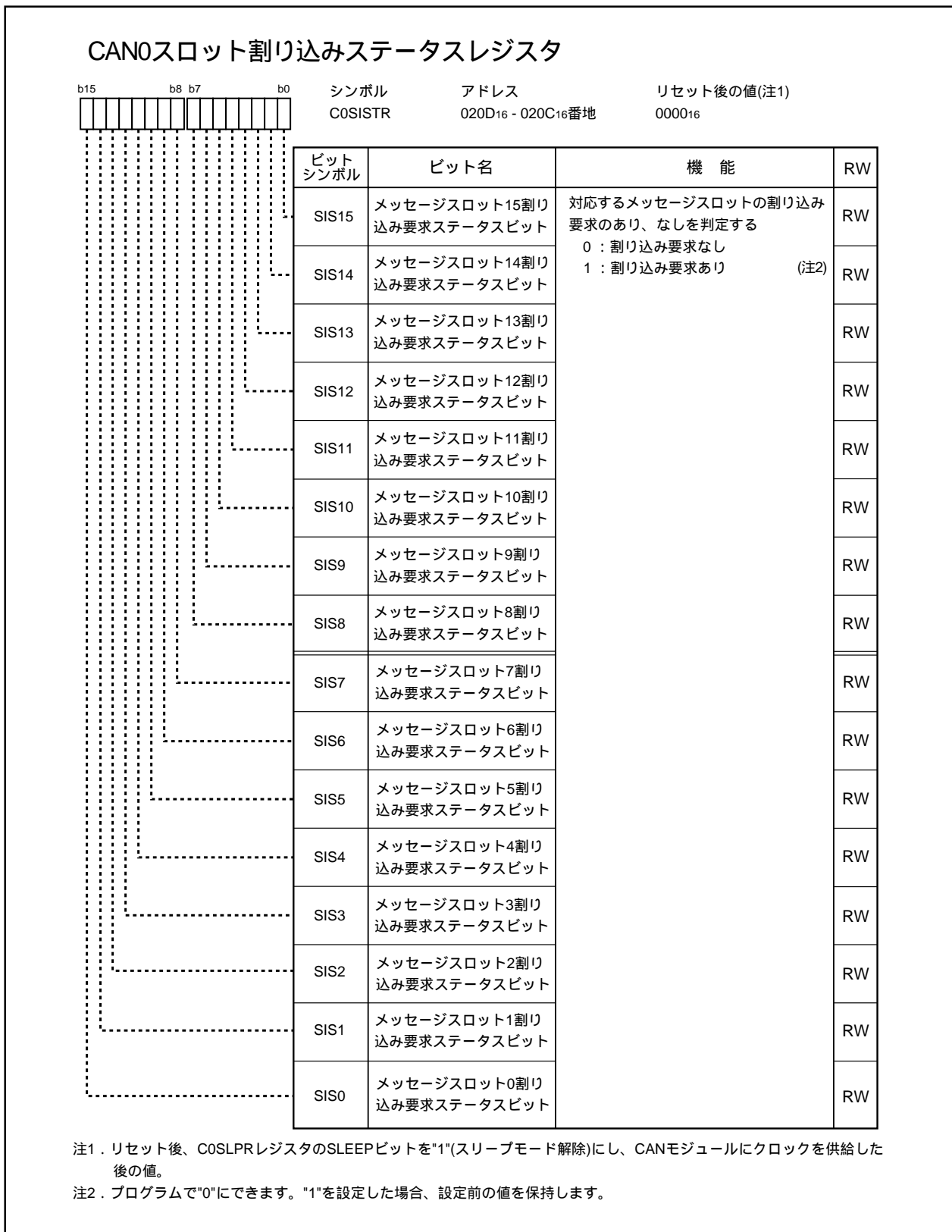


図22.13 C0SISTRレジスタ

CAN割り込みを使用する場合、C0SISTRレジスタを使用すると、どのメッセージスロットから割り込み要求があったかを知ることができます。SISiビット(i = 0 ~ 15)は割り込みが受け付けられても自動的に“0”(割り込み要求なし)になりませんので、プログラムで“0”にしてください。(注1)

詳細は「22.3 CAN割り込み」を参照してください。

22.1.11.1 送信に設定しているメッセージスロット

送信が完了し、C0TSRレジスタをメッセージスロットiへ格納し終わったとき、SISiビットは“1”(割込要求あり)になります。

22.1.11.2 受信に設定しているメッセージスロット

受信が完了し、受信メッセージをメッセージスロットiへ格納し終わったとき、SISiビットは“1”になります。

注1. SISiビットを“0”にする場合、ビットクリア命令を使用せず、MOV命令を使用してください。このとき、“0”に変化させたくないビットに“1”を書いてください。

(例) SIS0ビットを“0”にする場合

アセンブラ言語 : mov.w #07FFFh, C0SISTR

C言語 : c0sistr = 0x7FFF;

注2. リモートフレーム受信メッセージスロットで自動応答機能を有効にしている場合は、リモートフレーム受信完了後、データフレーム送信完了後ともにSISiビットが“1”になります。

注3. リモートフレーム送信メッセージスロットでは、リモートフレーム送信完了後、データフレーム受信完了後ともにSISiビットが“1”になります。

注4. 割り込み要求によりSISiビットが“1”になるタイミングと、プログラムでSISiビットへ“0”を書くタイミングが重なった場合、SISiビットは“1”になります。

22.1.12 CAN0スロット割り込みマスクレジスタ (C0SIMKRレジスタ)

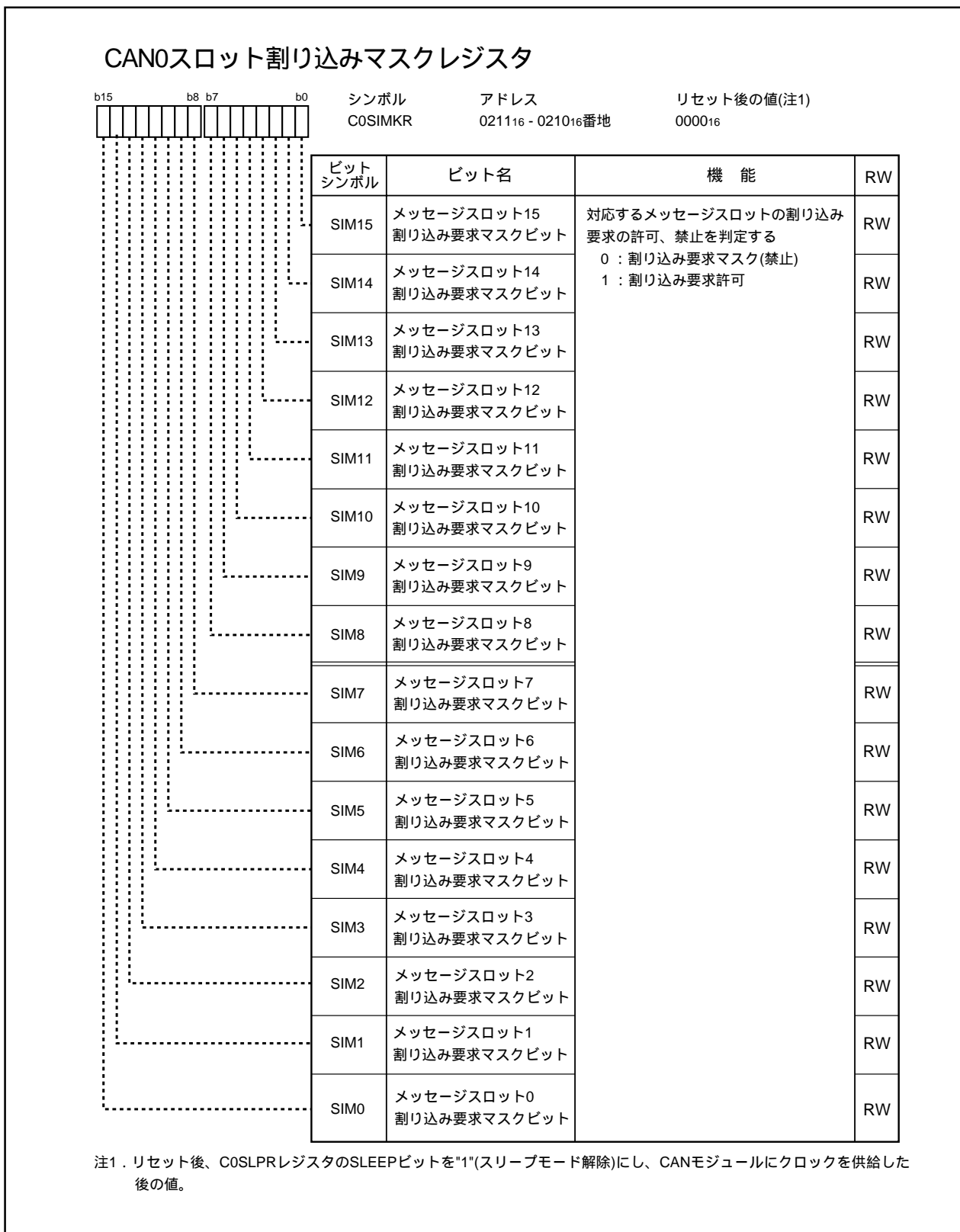


図22.14 C0SIMKRレジスタ

対応するメッセージスロットの送信完了、または受信完了による割り込み要求の許可、禁止を制御するレジスタです。SIM_iビットを“1”にした場合、対応するメッセージスロットの送信完了、または受信完了による割り込み要求が許可されます。詳細は「22.3 CAN割り込み」を参照してください。

22.1.13 CAN0エラー割り込みマスクレジスタ (C0EIMKRレジスタ)

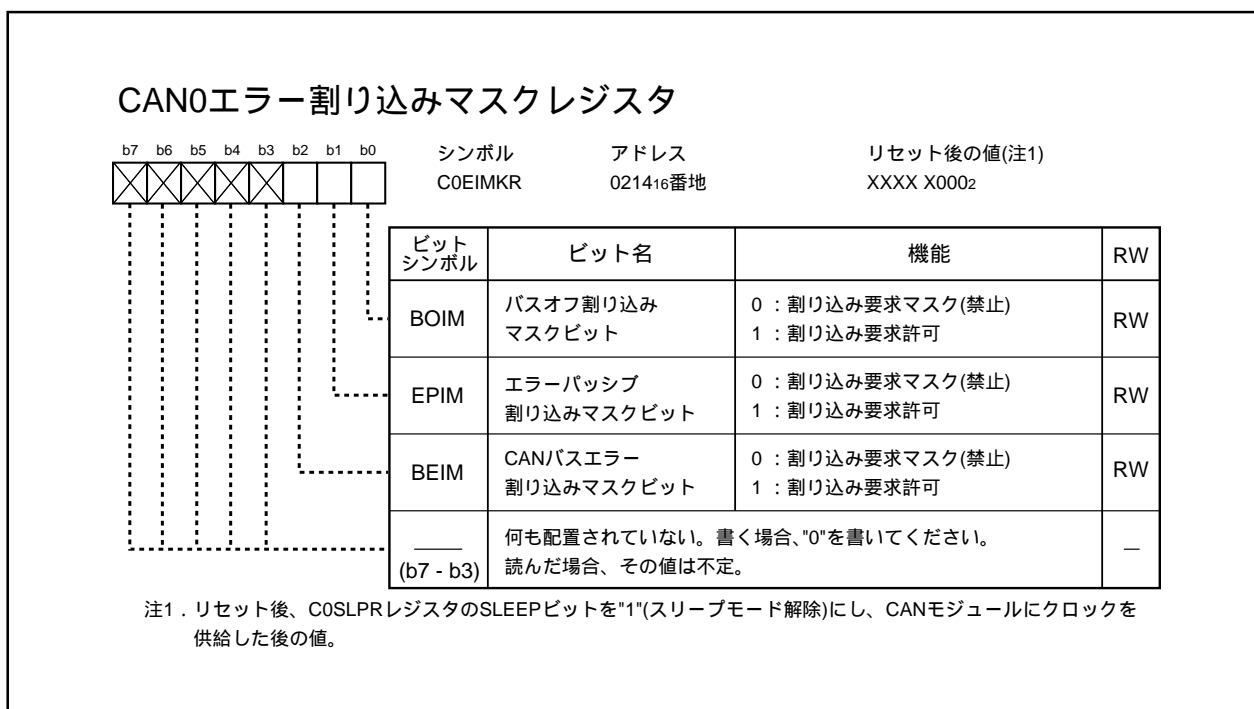


図22.15 C0EIMKRレジスタ

22.1.13.1 BOIMビット

CANの状態がバスオフ状態に遷移したときの割り込み要求の許可、禁止を制御するビットです。BOIMビットを“1”にすると、バスオフ割り込み要求が許可されます。

22.1.13.2 EPIMビット

CANの状態がエラーパッシブ状態に遷移したときの割り込み要求の許可、禁止を制御するビットです。EPIMビットを“1”にすると、エラーパッシブ割り込み要求が許可されます。

22.1.13.3 BEIMビット

CANバスエラーの発生による割り込み要求の許可、禁止を制御するビットです。BEIMビットを“1”にすると、CANバスエラー割り込み要求が許可されます。

詳細は「22.3 CAN割り込み」を参照してください。

22.1.14 CAN0エラー割り込みステータスレジスタ(C0EISTRレジスタ)

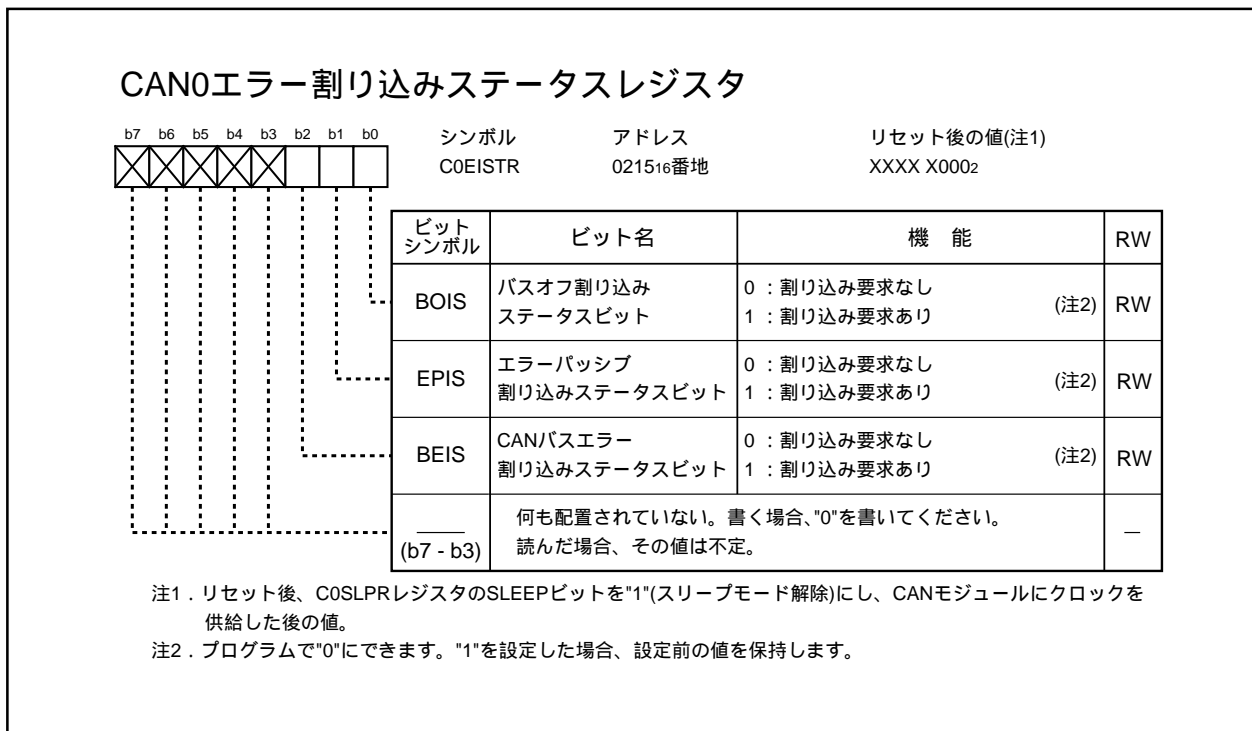


図22.16 C0EISTRレジスタ

CAN割り込みでC0EISTRレジスタを使用すると、エラーに関連する割り込み要因が確認できます。

BOISビット、EPISビット、BEISビットは割り込みが受け付けられても自動的に“0”(割り込み要求なし)になりませんので、プログラムで“0”にしてください。(注1)

詳細は「22.3 CAN割り込み」を参照してください。

22.1.14.1 BOISビット

CANモジュールがバスオフ状態となった場合、BOISビットが“1”になります。

22.1.14.2 EPISビット

CANモジュールがエラーパッシブ状態となった場合、EPISビットが“1”になります。

22.1.14.3 BEISビット

CANバスエラーが検出された場合、BEISビットが“1”になります。

注1 . C0EISTRレジスタの各ビットを“0”にする場合、ビットクリア命令を使用せず、MOV命令を使用してください。このとき“0”になるビットに“0”を、変化させたくないビットに“1”を書いてください。

(例) BOISビットを“0”にする場合

アセンブラ言語 : mov.b #006h, C0EISTR

C言語 : c0eistr = 0x06;

22.1.15 CAN0グローバルマスクレジスタ、CAN0ローカルマスクレジスタA、CAN0ローカルマスクレジスタB(C0GMRj(j=0~4)、COLMARj、COLMBRjレジスタ)

アクセプタンスフィルタリングに使用するレジスタです。

C0GMRjレジスタでメッセージスロット0~13、COLMARjレジスタでメッセージスロット14、COLMBRjレジスタでメッセージスロット15のIDチェックをするかしないかを選択できます。

- これらのレジスタのビットを“0”にした場合、そのビットに対応するCAN0メッセージスロットi標準ID0~1(i=0~15)とCAN0メッセージスロットi拡張ID0~2の中の各ビット(IDビット)は、アクセプタンスフィルタリング時にマスクされます。(該当IDビットはIDが一致したものとみなされます。)
- これらのレジスタのビットを“1”にした場合、そのビットに対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロットiに設定されたIDと一致した場合、受信データが格納されます。

注1. C0GMRjレジスタは、メッセージスロット0~13のどのスロットにも受信要求がない状態で変更してください。

注2. COLMARjレジスタは、メッセージスロット14に受信要求がない状態で変更してください。

注3. COLMBRjレジスタは、メッセージスロット15に受信要求がない状態で変更してください。

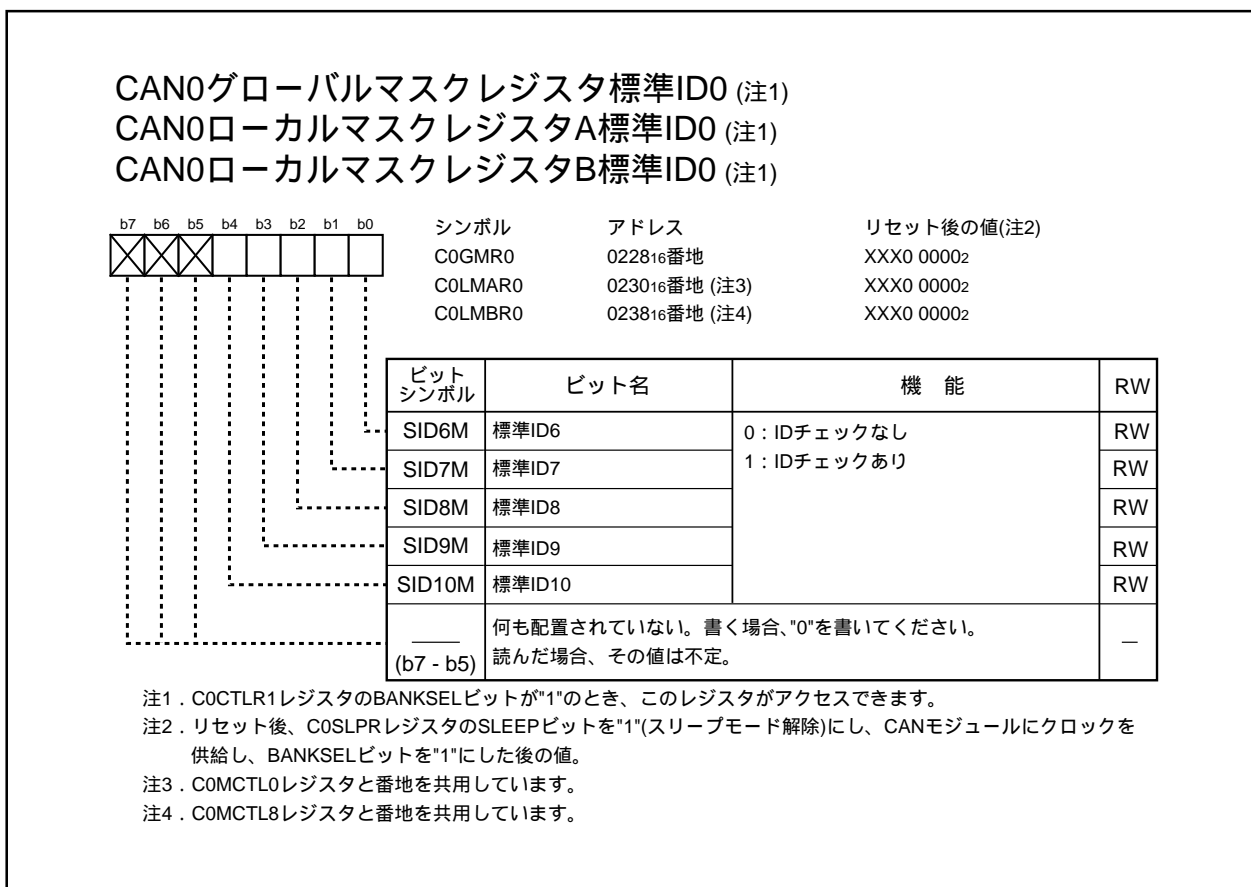


図22.17 C0GMR0、COLMAR0、COLMBR0レジスタ

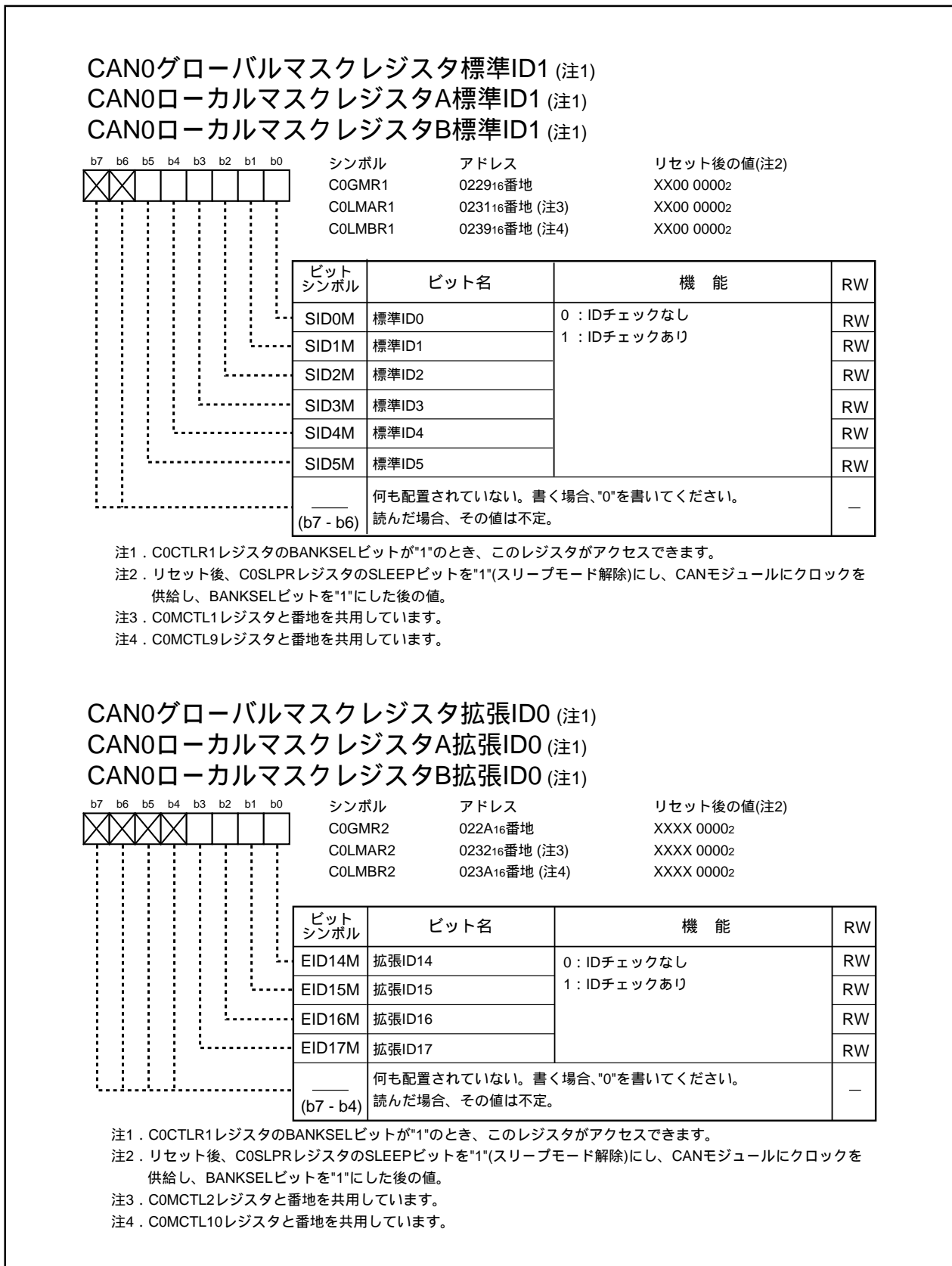


図22.18 COGMR1、COLMAR1、COLMBR1レジスタ、COGMR2、COLMAR2、COLMBR2レジスタ

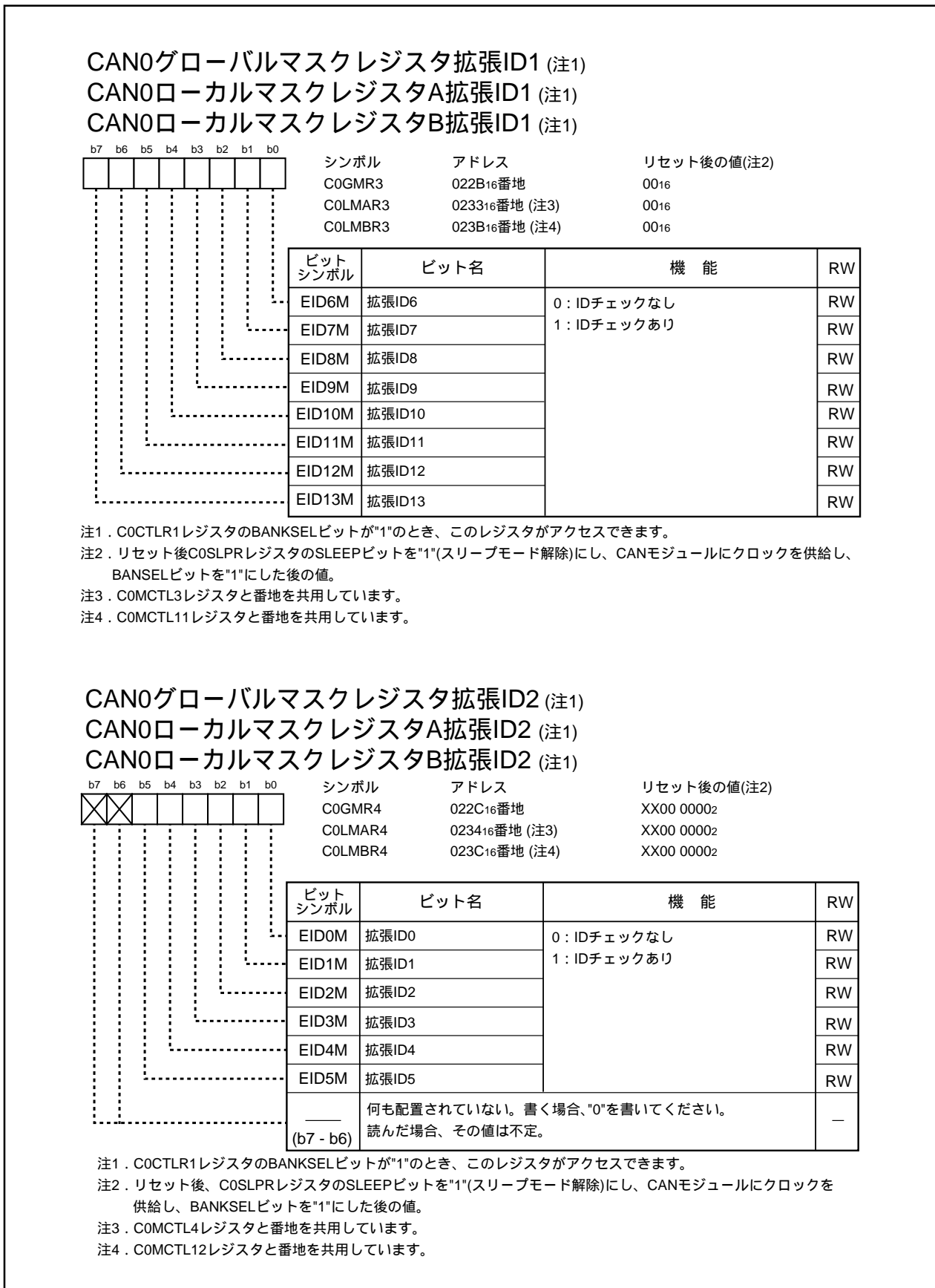


図22.19 COGMR3、COLMAR3、COLMBR3レジスタ、COGMR4、COLMAR4、COLMBR4レジスタ

22.1.16 CAN0メッセージロットi制御レジスタ (COMCTLiレジスタ)(i = 0 ~ 15)

CAN0メッセージロットi制御レジスタ (i=0 ~ 15) (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値(注2)
COMCTL0 ~ COMCTL3	0230 ₁₆ (注3)、0231 ₁₆ (注3)、0232 ₁₆ (注3)、0233 ₁₆ (注3)番地	0000 0000 ₂
COMCTL4 ~ COMCTL7	0234 ₁₆ (注3)、0235 ₁₆ 、0236 ₁₆ 、0237 ₁₆ 番地	0000 0000 ₂
COMCTL8 ~ COMCTL11	0238 ₁₆ (注3)、0239 ₁₆ (注3)、023A ₁₆ (注3)、023B ₁₆ (注3)番地	0000 0000 ₂
COMCTL12 ~ COMCTL15	023C ₁₆ (注3)、023D ₁₆ 、023E ₁₆ 、023F ₁₆ 番地	0000 0000 ₂

ビットシンボル	ビット名	機能		RW
送信時 SENTDATA 受信時 NEWDATA	送信時 送信完了フラグ 受信時 受信完了フラグ	送信時 0 : 未送信	受信時 0 : 未受信	(注4) RW
送信時 TRMACTIVE 受信時 INVALDATA	送信時 送信中フラグ 受信時 送信中フラグ	送信時 0 : 送信中以外	受信時 0 : 受信データ格納中以外	RO
MSGLOST	オーバーライト フラグ	0 : オーバランエラー発生なし 1 : オーバランエラー発生あり		(注4) RW
REMACTIVE	リモートフレーム 送受信ステータス フラグ	BasicCANモード以外使用時 0 : データフレーム 1 : リモートフレーム BasicCANモード使用時 0 : データフレーム受信(ステータス) 1 : リモートフレーム受信(ステータス)		RO
RSPLOCK	自動応答禁止 モード選択ビット	0 : リモートフレームに対する自動応答許可 1 : リモートフレームに対する自動応答禁止		RW
REMOTE	リモートフレーム 設定ビット	0 : データフレームの送受信 1 : リモートフレームの送受信		RW
RECREQ	受信要求ビット	0 : 受信要求なし 1 : 受信要求あり		RW
TRMREQ	送信要求ビット	0 : 送信要求なし 1 : 送信要求あり		RW

注1 . COCTRL1レジスタのBANKSELビットが"0"のとき、このレジスタがアクセスできます。
 注2 . リセット後C0SLPRレジスタのSLEEPビットを"1"(スリープモード解除)にし、CANモジュールにクロックを供給し、BANKSELビットを"0"にした後の値。
 注3 . COLMAR0 ~ COLMAR4レジスタ、COLMBR0 ~ COLMBR4レジスタと番地を共用しています。
 注4 . "0"のみ書けます。"1"を書いた場合、書く前の値を保持します。

図22.20 COMCTL0 ~ COMCTL15レジスタ

表22.4 COMCTLiレジスタ(i=0 ~ 15)の設定と送受信モード

CiMCTLjレジスタの設定								送受信モード
TRMREQ	RECREQ	REMOTE	RSPLOCK	REMACTIVE	MSGLOST	TRMACTIVE INVALDATA	SENTDATA NEWDATA	
0	0	0	0	0	0	0	0	送受信しない
0	1	0	0	0	0	0	0	データフレーム受信
0	1	1	1 または 0	0	0	0	0	リモートフレーム受信 (リモートフレーム受信 後、データフレーム送信)
1	0	0	0	0	0	0	0	データフレーム送信
1	0	1	0	0	0	0	0	リモートフレーム送信 (リモートフレーム送信 後、データフレーム受信)

22.1.16.1 SENTDATA、NEWDATAビット

CANメッセージの送受信が完了したことを示します。このビットはプログラムで“0”(未送信または未受信)にし、送受信を開始してください。自動的に“0”にはなりません。また、TRMACTIVE、INVALIDDATAビットが“1”(送信中、または受信データ格納中)のときは、SENTDATA、NEWDATAビットを“0”にできません。

SENTDATA : 送信に設定しているメッセージスロットでは送信が完了したとき、このビットが“1”(送信完了)になります。

NEWDATA : 受信に設定しているメッセージスロットではメッセージスロットiへ格納すべきメッセージを正常に受信したとき、このビットが“1”(受信完了)になります。

- 注1. 受信データをメッセージスロットiから読む場合は、このビットを“0”にしてから読んでください。読んだ直後にこのビットが“1”になっている場合は、読み出し中に新しい受信データが格納され、読んだ値に不定値が含まれていることを示します。その場合は読んだデータを破棄し、このビットを“0”にした後、再度読んでください。
- 注2. リモートフレーム送受信の場合、リモートフレームの送受信完了時には、このビットは変化せずその後のデータフレーム送受信完了時に“1”になります。

22.1.16.2 TRMACTIVE、INVALIDDATAビット

CANメッセージを送受信、かつメッセージスロットiへアクセス中であることを示します。アクセス中は“1”になり、アクセスしていないときは“0”になります。

TRMACTIVE : 送信に設定しているメッセージスロットでは送信を開始したとき、このビットが“1”(送信中)になります。アービトレーションに負けた場合、CANバスエラー発生、または送信完了によって“0”(送信中以外)になります。

INVALIDDATA : 受信に設定しているメッセージスロットではメッセージ受信かつメッセージスロットiに受信メッセージを格納中であるとき、このビットが“1”(受信データ格納中)になります。このビットが“1”の間にメッセージスロットiから読んだ値は不定です。

22.1.16.3 MSGLOSTビット

受信メッセージスロット設定時に有効なビットです。NEWDATAビットが“1”(受信完了)の状態、新たな受信によりメッセージスロットiが上書きされた場合に“1”(オーバーランエラー発生あり)になります。

このビットは自動的に“0”にはなりませんので、プログラムで“0”(オーバーランエラー発生なし)にしてください。

22.1.16.4 REMACTIVEビット

STATE_BASICCANビットが“0”(BasicCANモード以外のモードで動作中)の場合、COMCTL0～COMCTL15レジスタの機能は同じです。メッセージスロットiをリモートフレーム送受信として設定した場合、REMACTIVEビットは“1”(リモートフレーム)になります。その後、リモートフレームの送受信が完了すると“0”(データフレーム)になります。

STATE_BASICCANビットが“1”(BasicCANモードで動作中)の場合、COMCTL14～COMCTL15レジスタのみREMACTIVEビットの機能が変わります。REMACTIVEビットが“0”の場合は、メッセージスロットに格納されているメッセージがデータフレームであることを示します。REMACTIVEビットが“1”の場合は、メッセージスロットに格納されているメッセージがリモートフレームであることを示します。

22.1.16.5 RSPLOCKビット

表22.4に示す送受信モードのうち、リモートフレーム受信を選択した場合に有効なビットで、リモートフレーム受信後の処理を選択します。

RSPLOCKビットを“0”(リモートフレームに対する自動応答許可)にすると、リモートフレーム受信後、自動的に送信スロットに切り替わり、メッセージスロットに設定されているメッセージをデータフレームとして自動送信を行います。

RSPLOCKビットを“1”(リモートフレームに対する自動応答禁止)にすると、リモートフレーム受信後、自動送信は行いません。

リモートフレーム受信以外の送受信モードを選択した場合は、“0”にしてください。

22.1.16.6 REMOTEビット

表22.4に示す送受信モードを選択するビットです。データフレーム送受信を行う場合“0”に、リモートフレーム送受信を行う場合“1”にしてください。

リモートフレーム送受信を行うと、次のように動作します。

- ・リモートフレーム送信

メッセージスロットに設定されているメッセージをリモートフレームとして送信します。送信終了後は自動的にデータフレーム受信メッセージスロットに切り替わります。

ただし、リモートフレームの送信が完了する前にデータフレームを受信した場合は、そのデータフレームをメッセージスロットへ格納し、リモートフレームの送信は行いません。

- ・リモートフレーム受信

リモートフレームを受信します。受信後の処理はRSPLOCKビットで選択できます。

22.1.16.7 RECREQビット

表22.4に示す送受信モードを選択するビットです。データフレーム受信またはリモートフレーム受信を行う場合、“1”(受信要求あり)にしてください。

データフレーム送信またはリモートフレーム送信を行う場合は、“0”(受信要求なし)にしてください。

リモートフレーム受信後、自動的にデータフレーム送信を行うとき、このビットは“1”のまま変化しません。また、リモートフレーム送信を行う場合、このビットは“0”にしてください。リモートフレーム送信後、このビットが“0”のまま自動的にデータフレーム受信を行います。

TRMREQビットが“1”(送信要求あり)のときは、RECREQビットを“1”(受信要求あり)にしないでください。

22.1.16.8 TRMREQビット

表22.4に示す送受信モードを選択するビットです。データフレーム送信またはリモートフレーム送信を行う場合、“1”(送信要求あり)にしてください。

データフレーム受信またはリモートフレーム受信を行う場合は、“0”(送信要求なし)にしてください。

リモートフレーム送信後、自動的にデータフレーム受信を行うとき、このビットは“1”のまま変化しません。また、リモートフレーム受信を行う場合、このビットは“0”にしてください。リモートフレーム受信後、このビットが“0”のまま自動的にデータフレーム送信を行います。

RECREQビットが“1”(受信要求あり)のときは、TRMREQビットを“1”(送信要求あり)にしないでください。

22.1.17 CAN0スロットバッファ選択レジスタ(C0SBSレジスタ)

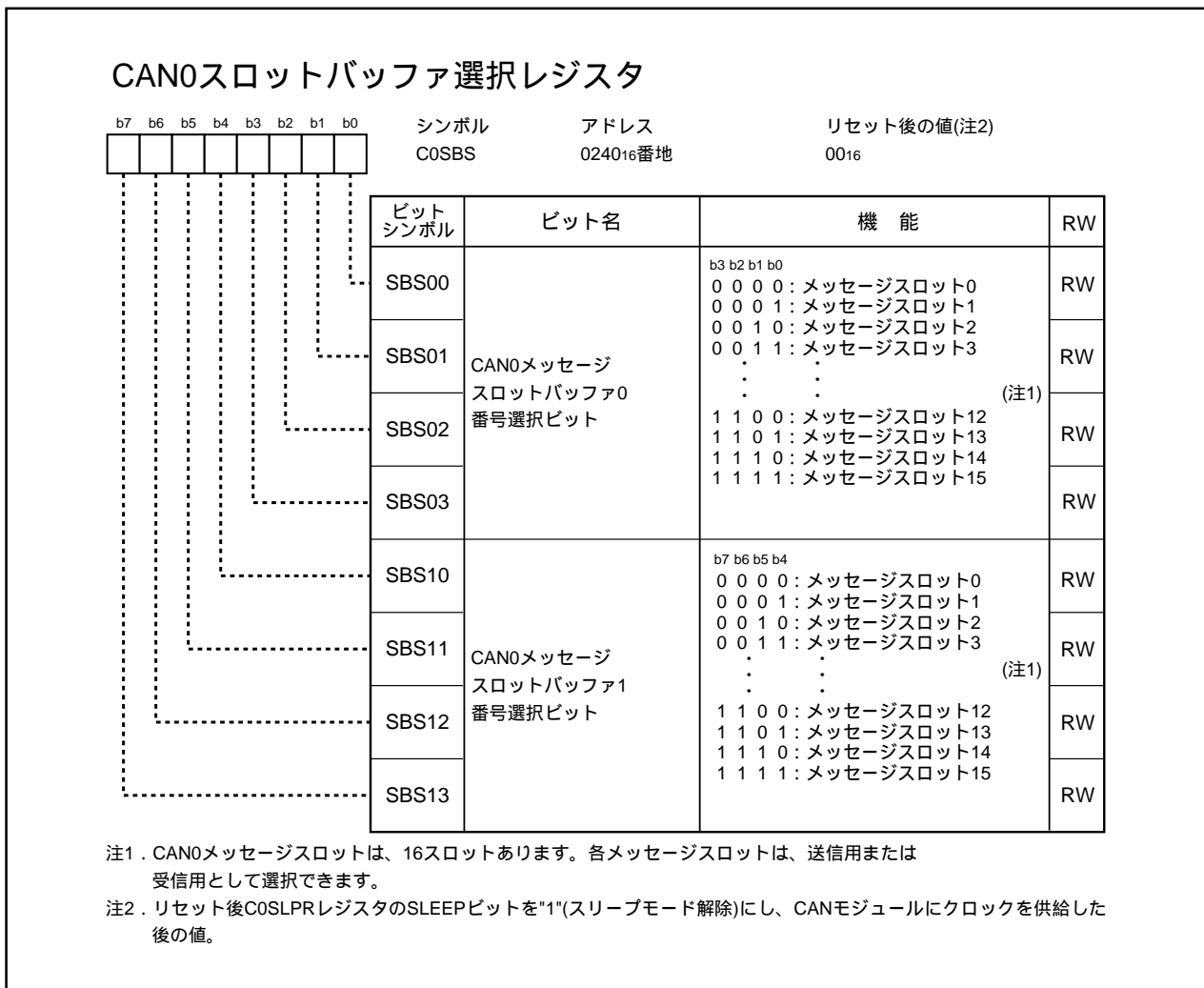


図22.21 C0SBSレジスタ

22.1.17.1 SBS03～SBS00ビット

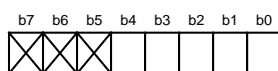
SBS03～SBS00ビットで選択した番号を*i*とすると、メッセージスロット*i*がメッセージスロットバッファ0に割り当てられ、この番地(01E0₁₆～01EF₁₆)を通してメッセージスロット*i*にアクセスできます。

22.1.17.2 SBS13～SBS10ビット

SBS13～SBS10ビットで選択した番号を*i*とすると、メッセージスロット*i*がメッセージスロットバッファ1に割り当てられ、この番地(01F0₁₆～01FF₁₆)を通してメッセージスロット*i*にアクセスできます。

22.1.18 メッセージスロットバッファ

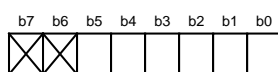
メッセージスロットバッファを読むと、C0SBSレジスタで選択したメッセージスロットが読めます。また、メッセージスロットバッファにメッセージを書くと、C0SBSレジスタで選択されたメッセージスロットにメッセージが書けます。

CAN0メッセージスロットバッファ*i*標準ID0 (i=0,1) (注1)

シンボル	アドレス	リセット後の値
C0SLOT0_0, C0SLOT1_0	01E0 ₁₆ , 01F0 ₁₆ 番地	不定

ビット シンボル	ビット名	機 能	RW
SID6	標準ID6	メッセージスロット <i>j</i> (j=0~15)標準ID6の読み出し、または書き込み	RW
SID7	標準ID7	メッセージスロット <i>j</i> 標準ID7の読み出し、または書き込み	RW
SID8	標準ID8	メッセージスロット <i>j</i> 標準ID8の読み出し、または書き込み	RW
SID9	標準ID9	メッセージスロット <i>j</i> 標準ID9の読み出し、または書き込み	RW
SID10	標準ID10	メッセージスロット <i>j</i> 標準ID10の読み出し、または書き込み	RW
— (b7 - b5)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。		—

注1. このレジスタを通してアクセスするメッセージスロット*j*は、C0SBSレジスタで選択してください。

CAN0メッセージスロットバッファ*i*標準ID1(i=0,1) (注1)

シンボル	アドレス	リセット後の値
C0SLOT0_1, C0SLOT1_1	01E1 ₁₆ , 01F1 ₁₆ 番地	不定

ビット シンボル	ビット名	機 能	RW
SID0	標準ID0	メッセージスロット <i>j</i> (j=0~15)標準ID0の読み出し、または書き込み	RW
SID1	標準ID1	メッセージスロット <i>j</i> 標準ID1の読み出し、または書き込み	RW
SID2	標準ID2	メッセージスロット <i>j</i> 標準ID2の読み出し、または書き込み	RW
SID3	標準ID3	メッセージスロット <i>j</i> 標準ID3の読み出し、または書き込み	RW
SID4	標準ID4	メッセージスロット <i>j</i> 標準ID4の読み出し、または書き込み	RW
SID5	標準ID5	メッセージスロット <i>j</i> 標準ID5の読み出し、または書き込み	RW
— (b7 - b6)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。		—

注1. このレジスタを通してアクセスするメッセージスロット*j*は、C0SBSレジスタで選択してください。

図22.22 C0SLOT0_0,C0SLOT1_0レジスタ、C0SLOT0_1,C0SLOT1_1レジスタ

CAN0メッセージスロットバッファ i データk (i=0,1 k=0~7) (注1)(注2)

シンボル	アドレス	リセット後の値
COSLOT0_q(q=k+6,k=0~3)	01E6 ₁₆ , 01E7 ₁₆ , 01E8 ₁₆ , 01E9 ₁₆	不定
COSLOT0_q(q=k+6,k=4~7)	01EA ₁₆ , 01EB ₁₆ , 01EC ₁₆ , 01ED ₁₆	不定
COSLOT1_q(q=k+6,k=0~3)	01F6 ₁₆ , 01F7 ₁₆ , 01F8 ₁₆ , 01F9 ₁₆	不定
COSLOT1_q(q=k+6,k=4~7)	01FA ₁₆ , 01FB ₁₆ , 01FC ₁₆ , 01FD ₁₆	不定

機能	設定範囲	RW
メッセージスロットjデータ (j=0~15, k=0~7)の読み出し、または書き込み	00 ₁₆ ~ FF ₁₆	RW

注1. このレジスタを通してアクセスするメッセージスロットjデータは、COSBSレジスタで選択してください。

注2. データフレーム受信の場合、受信したデータ長を超えるデータは不定。

CAN0メッセージスロットバッファ i タイムスタンプ上位 (i=0,1) (注1)

シンボル	アドレス	リセット後の値
COSLOT0_14, COSLOT1_14	01EE ₁₆ , 01FE ₁₆ 番地	不定

機能	設定範囲	RW
メッセージスロットjタイムスタンプ上位(j=0~15)の読み出し、または書き込み	00 ₁₆ ~ FF ₁₆	RW

注1. このレジスタを通してアクセスするメッセージスロットjタイムスタンプ上位は、COSBSレジスタで選択してください。

CAN0メッセージスロットバッファ i タイムスタンプ下位 (i=0,1) (注1)

シンボル	アドレス	リセット後の値
COSLOT0_15, COSLOT1_15	01EF ₁₆ , 01FF ₁₆ 番地	不定

機能	設定範囲	RW
メッセージスロットjタイムスタンプ下位(j=0~15)の読み出し、または書き込み	00 ₁₆ ~ FF ₁₆	RW

注1. このレジスタを通してアクセスするメッセージスロットjタイムスタンプ下位は、COSBSレジスタで選択してください。

図22.25 COSLOT0_6~COSLOT0_13,COSLOT1_6~COSLOT1_13レジスタ、
COSLOT0_14,COSLOT1_14レジスタ、COSLOT0_15,COSLOT1_15レジスタ

22.1.19 CAN0アクセプタンスフィルタサポートレジスタ(C0AFSレジスタ)

CAN0アクセプタンスフィルタサポートレジスタ

b15	b8	b7	b0	シンボル	アドレス	リセット後の値(注1)
[Diagram showing bit positions b15, b8, b7, b0]				C0AFS	0245 ₁₆ - 0244 ₁₆ 番地	0100 ₁₆

機能	設定範囲	RW
受信ID判定用データの生成を行う	0000 ₁₆ ~ FFFF ₁₆	RW

注1. リセット後COSLPRレジスタのSLEEPビットを"1"(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

書き込み

b15	b8	b7	b0
[X][X][X]	SID5 SID4 SID3 SID2 SID1 SID0	[X][X][X]	SID10 SID9 SID8 SID7 SID6

読み出し

b15	b8	b7	b0
CSID7 CSID6 CSID5 CSID4 CSID3 CSID2 CSID1 CSID0	SID10 SID9 SID8 SID7 SID6	SID5 SID4 SID3	

3-8 デコード

標準フォーマットの受信IDより、データテーブル検索用のデータを生成します。このデータを用いてテーブル検索を行い、受信IDの有効、または無効の判定をします。

	b7	b6	b5	b4	b3	b2	b1	b0
Top+00 ₁₆	007 ₁₆ "0"	006 ₁₆ "0"	005 ₁₆ "0"	004 ₁₆ "0"	003 ₁₆ "0"	002 ₁₆ "0"	001 ₁₆ "1"	000 ₁₆ "0"
Top+01 ₁₆	00F ₁₆ "1"	00E ₁₆ "0"	00D ₁₆ "0"	00C ₁₆ "0"	00B ₁₆ "0"	00A ₁₆ "0"	009 ₁₆ "0"	008 ₁₆ "0"
...
Top+DE ₁₆	6F7 ₁₆ "0"	6F6 ₁₆ "0"	6F5 ₁₆ "0"	6F4 ₁₆ "0"	6F3 ₁₆ "1"	6F2 ₁₆ "0"	6F1 ₁₆ "0"	6F0 ₁₆ "0"
...
Top+FE ₁₆	7F7 ₁₆ "0"	7F6 ₁₆ "0"	7F5 ₁₆ "0"	7F4 ₁₆ "0"	7F3 ₁₆ "0"	7F2 ₁₆ "0"	7F1 ₁₆ "0"	7F0 ₁₆ "1"
Top+FF ₁₆	7FF ₁₆ "0"	7FE ₁₆ "0"	7FD ₁₆ "1"	7FC ₁₆ "0"	7FB ₁₆ "0"	7FA ₁₆ "0"	7F9 ₁₆ "0"	7F8 ₁₆ "0"

受信IDが "6F3₁₆" の場合

C0AFSレジスタへ書き込み

b15	b8	b7	b0
SID5 SID4 SID3 SID2 SID1 SID0	SID10 SID9 SID8 SID7 SID6		
0 0 1 1 0 0 1 1	0 0 0 1 1 0 1 1		

受信ID

SID10	SID9	SID8	SID7	SID6
"6"	"F"	"3"		
1 1 0 1 1 1 1 0	0 1 1			
8ビット	3ビット			

8ビット+3ビット分割

C0AFSレジスタから読み出し

b15	b8	b7	b0
0 0 0 0 1 0 0 0	1 1 0 1 1 1 1 0		
"08 ₁₆ "	"D"	"E"	
ビット検索情報	アドレス検索情報		

アドレス検索情報

b7	b6	b5	b4	b3	b2	b1	b0
0 0 0 0 0 0 0 1							

ビット検索情報

ビット検索情報	b7	b6	b5	b4	b3	b2	b1	b0
01 ₁₆	0	0	0	0	0	0	0	1
02 ₁₆	0	0	0	0	0	0	1	0
04 ₁₆	0	0	0	0	0	1	0	0
08 ₁₆	0	0	0	0	1	0	0	0
10 ₁₆	0	0	0	1	0	0	0	0
20 ₁₆	0	0	1	0	0	0	0	0
40 ₁₆	0	1	0	0	0	0	0	0
80 ₁₆	1	0	0	0	0	0	0	0

受信IDの下位3ビット

01 ₁₆	016
02 ₁₆	116
04 ₁₆	216
08 ₁₆	316
10 ₁₆	416
20 ₁₆	516
40 ₁₆	616
80 ₁₆	716

3ビットの値が "3" なので、左表のb3が "1" になる。(3ビットの値が "4" ならば、左表のb4が "1" になる。)

図22.26 C0AFSレジスタ

C0AFSレジスタを使用すると、受信IDが有効か無効かをテーブル検索で素早く判定できます。標準フォーマットのIDのみ対応しています。

22.2 CAN関連レジスタのタイミング

22.2.1 CANモジュール初期化

図22.27にCANモジュール初期化時の動作例を示します。

- (1)COCTRL0レジスタのRESET0, 1ビットを“1”(CANモジュール初期化)にした後、COSTRレジスタのSTATE_RESETビットが“1”(CANモジュール初期化完了)になると、CANモジュールの初期設定が行える状態になります。
- (2)必要なCAN関連レジスタを設定してください。
- (3)RESET0, 1ビットを“0”(CANモジュール初期化解除)にした後、STATE_RESETビットが“0”(動作中)になると、CANの通信が行える状態になります。

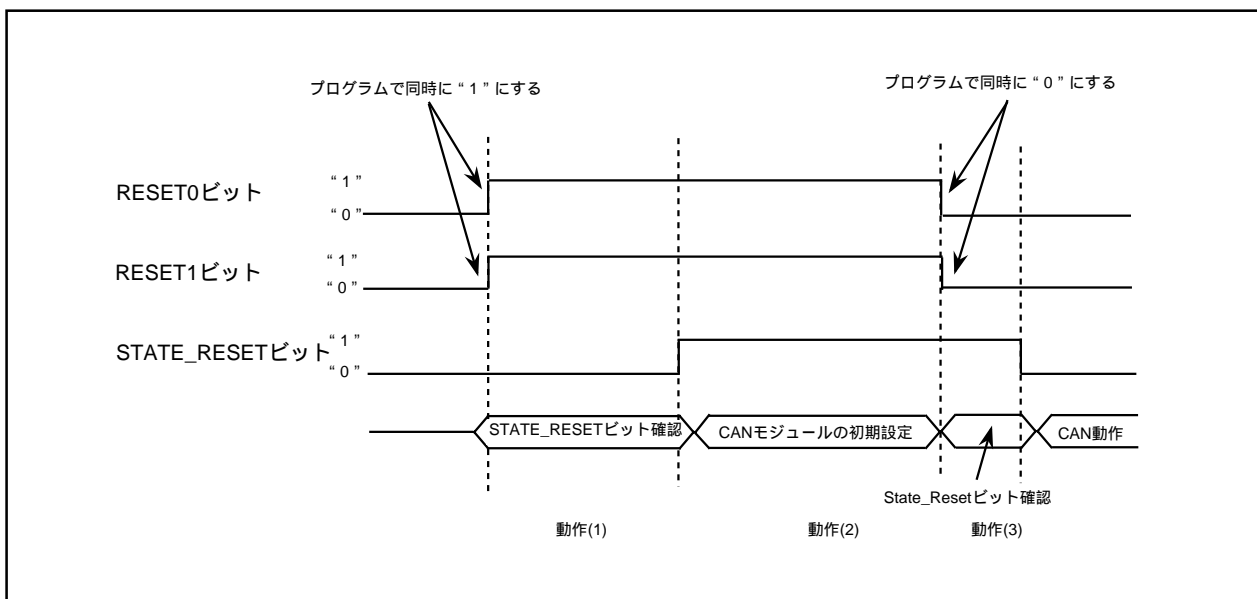


図22.27 CANモジュール初期化時の動作例

22.2.2 CAN送信タイミング

図22.28にCANの送信時の動作例を示します。

- (1)バスアイドル時にC0MCTLi(i=0~15)レジスタのTRMREQビットを“1”(送信要求あり)にするとC0MCTLiレジスタのTRMACTIVEビットが“1”(送信中)に、C0STRレジスタのTRMSTATEビットが“1”(送信中)になりCAN送信を開始します。
- (2)CAN送信終了後、C0MCTLiレジスタのSENTDATAビットが“1”(送信完了)、C0STRレジスタのTRMSUCCビットが“1”(送信完了)、C0SISTRレジスタのSISiビットが“1”(割り込み要求あり)になり、C0STRレジスタのMBOX3~MBOX0ビットに送信したメッセージロット番号が格納されます。

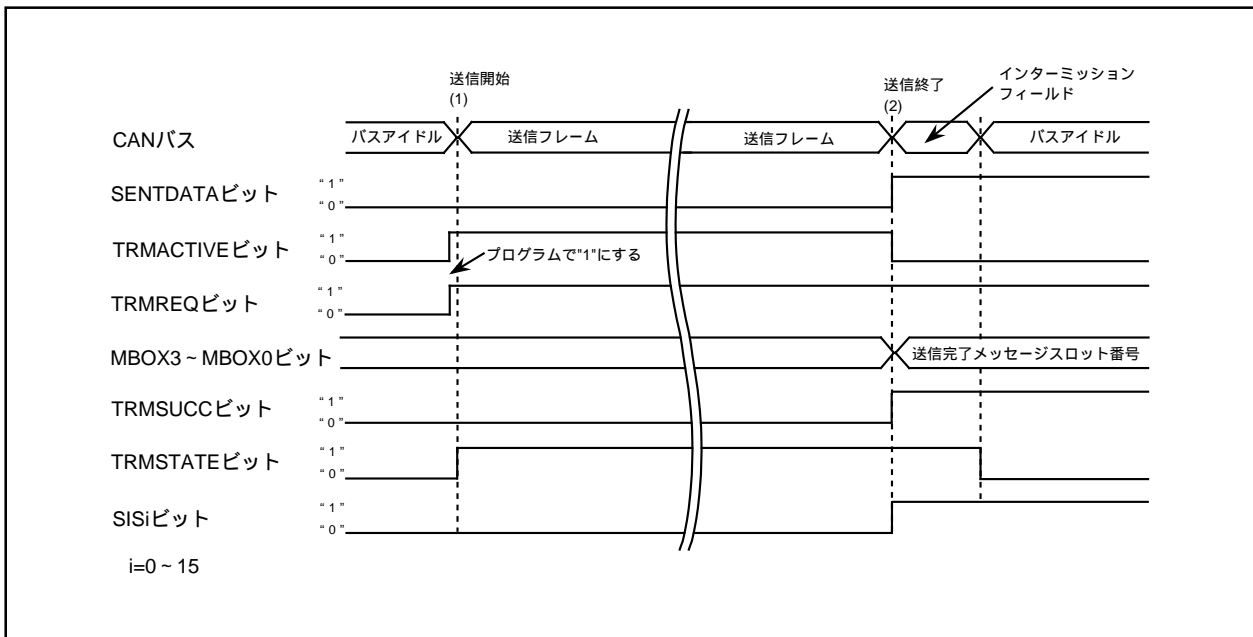


図22.28 CANデータフレーム送信時の動作例

22.2.3 CAN受信タイミング

図22.29にCANの受信時の動作例を示します。

- (1) COMCTLiレジスタ(i=0~15)のRECREQビットを“1”(受信要求あり)にすると受信待ち状態にあります。
- (2) CAN受信を開始すると、COSTRレジスタのRECSTATEビットが“1”(受信中)になります。
- (3) CAN受信終了後、COMCTLiレジスタのINVALIDDATAビットが“1”(受信データ格納中)、COMCTLiレジスタのNEWDATAビットが“1”(受信完了)、COSTRレジスタのRECSUCCビットが“1”(受信完了)になります。
- (4) メッセージスロットに書き込み終了後、INVALIDDATAビットが“0”(受信データ格納中以外)になり、SISiビットが“1”(割り込み要求あり)になります。また、MBOX3~MBOX0ビットに受信したスロット番号が格納されます。

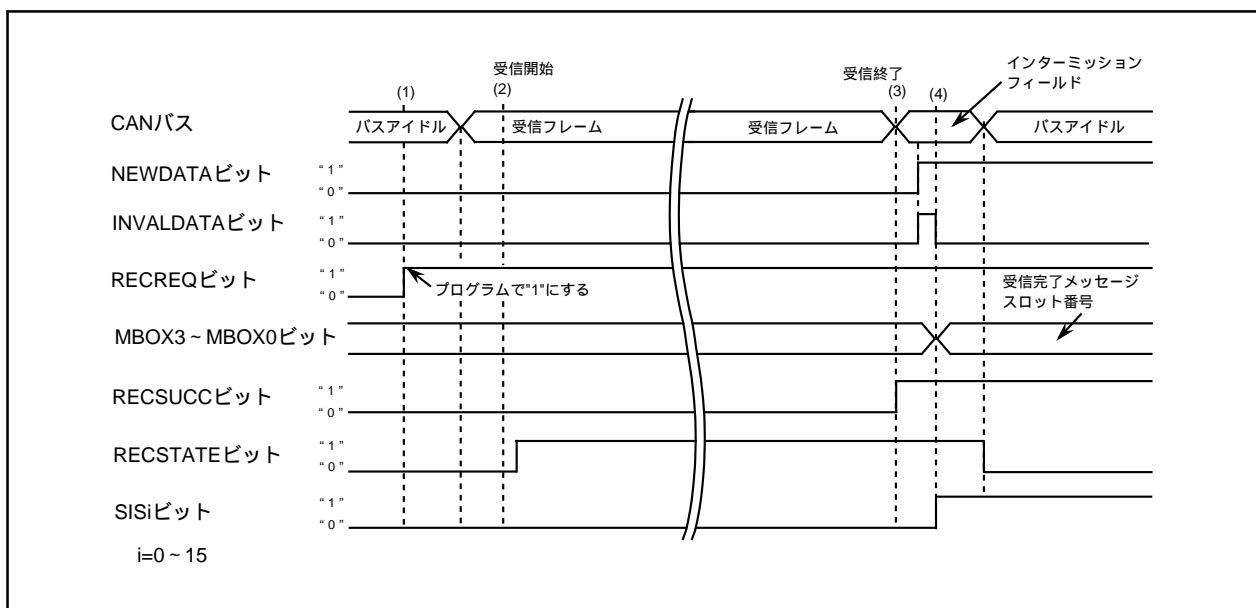


図22.29 CANデータフレーム受信時の動作例

22.2.4 CANバスエラータイミング

図22.30にCANバスエラー発生時の動作例を示します。

- (1)CANバスエラーを検出するとC0SISTRレジスタのSTATE_BUSERRORビットが“1”(エラー発生あり)、C0EISTRレジスタのBEISビットが“1”(割り込み要求あり)になり、エラーフレーム送信を開始します。

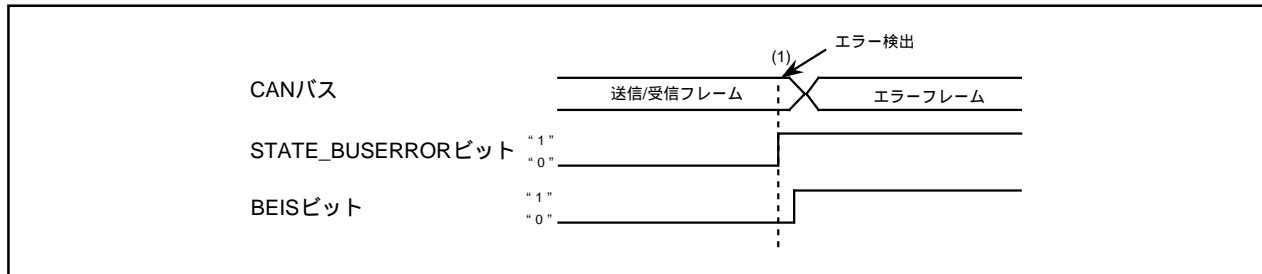


図22.30 CANバスエラー発生時の動作例

22.3 CAN割り込み

CAN割り込みには、CAN_j割り込み(j=0~2)があります。CAN割り込みのブロック図を図22.31に示します。CAN関連割り込み要因は、次の5つです。

- ・ CAN0スロットi送信完了(i=0~15)
- ・ CAN0スロットi受信完了
- ・ CAN0バスエラー検出
- ・ CAN0エラーパッシブ遷移
- ・ CAN0バスオフ遷移

これらの割り込み要因のOR出力をとった割り込み要求が出力されます。

CAN関連割り込み要因が成立すると、CAN0送信完了時とCAN0受信完了時はC0SISTRレジスタの対応するビットが“1”(割り込み要求あり)になり、CAN0バスエラー検出、CAN0エラーパッシブ遷移、CAN0バスオフ遷移時はC0EISTRレジスタの対応するビットが“1”(割り込み要求あり)になります。

C0SISTRレジスタまたはC0EISTRレジスタの対応するビットが“1”で、かつC0SIMKRレジスタまたはC0EIMKRレジスタの対応するビットが“1”(割り込み要求許可)の場合、CAN0割り込み要求信号が“1”になります。

CAN0割り込み要求信号が“0”から“1”になると、インテリジェントI/OのIIO09IR~IIO11IRレジスタのCAN_jRビットが3ビットとも“1”(割り込み要求あり)になります。

このとき、インテリジェントI/OのIIO09IE~IIO11IEレジスタのCAN_jEビットのうち、“1”(割り込み許可)のものがあれば、対応するCAN_jICレジスタのIRビットが“1”になります。なお、CAN0割り込み要求信号が“0”から“1”になった後、別の割り込み要因によって、C0SISTRレジスタまたはC0EISTRレジスタの対応するビットが“1”で、かつC0SIMKRレジスタまたはC0EIMKRレジスタの対応するビットが“1”になった場合は、CAN0割り込み要求信号は“1”のまま変化しませんのでCAN_jRビットもIRビットも変化しません。

C0SISTRレジスタまたはC0EISTRレジスタのビットと、IIO09IR~IIO11IRレジスタのCAN_jRビットは割り込みが受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。

CAN_j割り込みはIIO09IR~IIO11IRレジスタで割り込み許可にしているCAN_jRビットと、C0SIMKRレジスタまたはC0EIMKRレジスタで割り込み許可にしているC0SISTRレジスタまたはC0EISTRレジスタの対応するビットが“0”の場合に受け付けられます。これらのビットを“1”のままにしておくと、それ以降に成立したCANモジュールの割り込み要因がすべて無効になります。

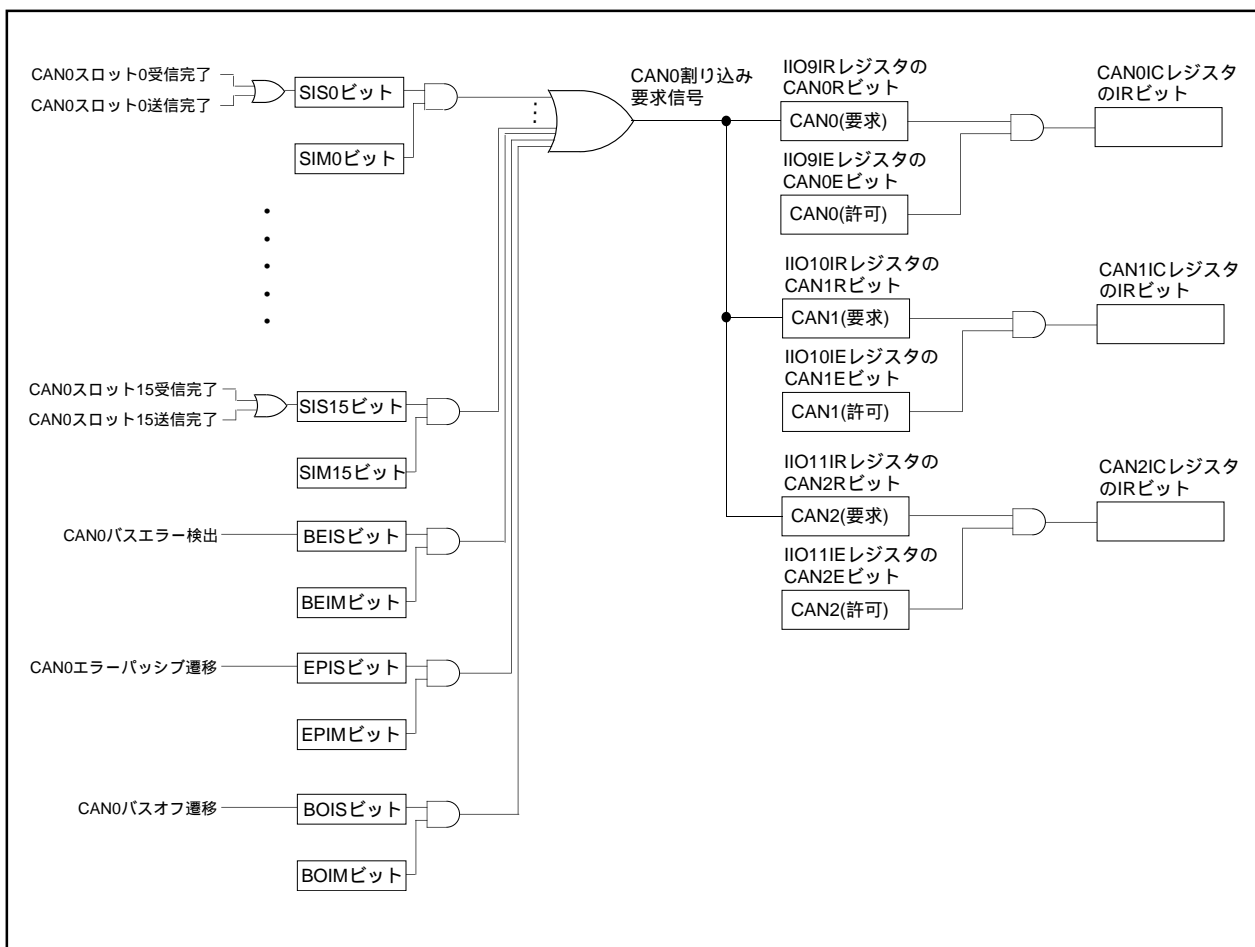


図22.31 CAN割り込みブロック図

23. DRAMC

512Kバイトから8MバイトのDRAM空間を制御するDRAMC(DRAMコントローラ)です。表23.1にDRAMCの仕様を示します。

表23.1 DRAMCの仕様

項目	仕様
DRAM空間	512Kバイト、1Mバイト、2Mバイト、4Mバイト、8Mバイト
バス制御	2CAS/1W
リフレッシュ	CASビフォアRASリフレッシュ、セルフリフレッシュ対応
機能モード	EDO対応、ファーストページモード対応
ウエイト	1ウエイト、2ウエイト

表23.2にDRAMC関連端子を示します。DRAMCONTレジスタのAR2～AR0ビットでDRAMの空間を設定し、DRAMをアクセスすると表23.2に示す信号が出ます。 $\overline{\text{RAS}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{CASH}}$ 、 $\overline{\text{DW}}$ 信号の動作は表7.9を参照してください。図23.1にDRAMCONTレジスタ、REFCNTレジスタを示します。

表23.2 DRAMC関連端子

ポート	DRAM以外のデバイスアクセス時のバス(注1)	DRAMアクセス時のバス
P0	D0～D7	D0～D7
P1	D8～D15	D8～D15(注2)
P3	A8～A15	MA0～MA7
P40～P44	A16～A20	MA8～MA12
P50	$\overline{\text{WRL/WR}}$	$\overline{\text{CASL}}$
P51	$\overline{\text{WRH/BHE}}$	$\overline{\text{CASH}}$ (注2)
P52	$\overline{\text{RD}}$	$\overline{\text{DW}}$
P56	ALE	$\overline{\text{RAS}}$

注1. セパレートバス、データバス16ビットの例

注2. DSレジスタのDS2ビットが“1”(データバス16ビット)、かつPM0レジスタのPM02ビットが“1”(R/Wモードは $\overline{\text{RD/WR/WRH}}$)のとき

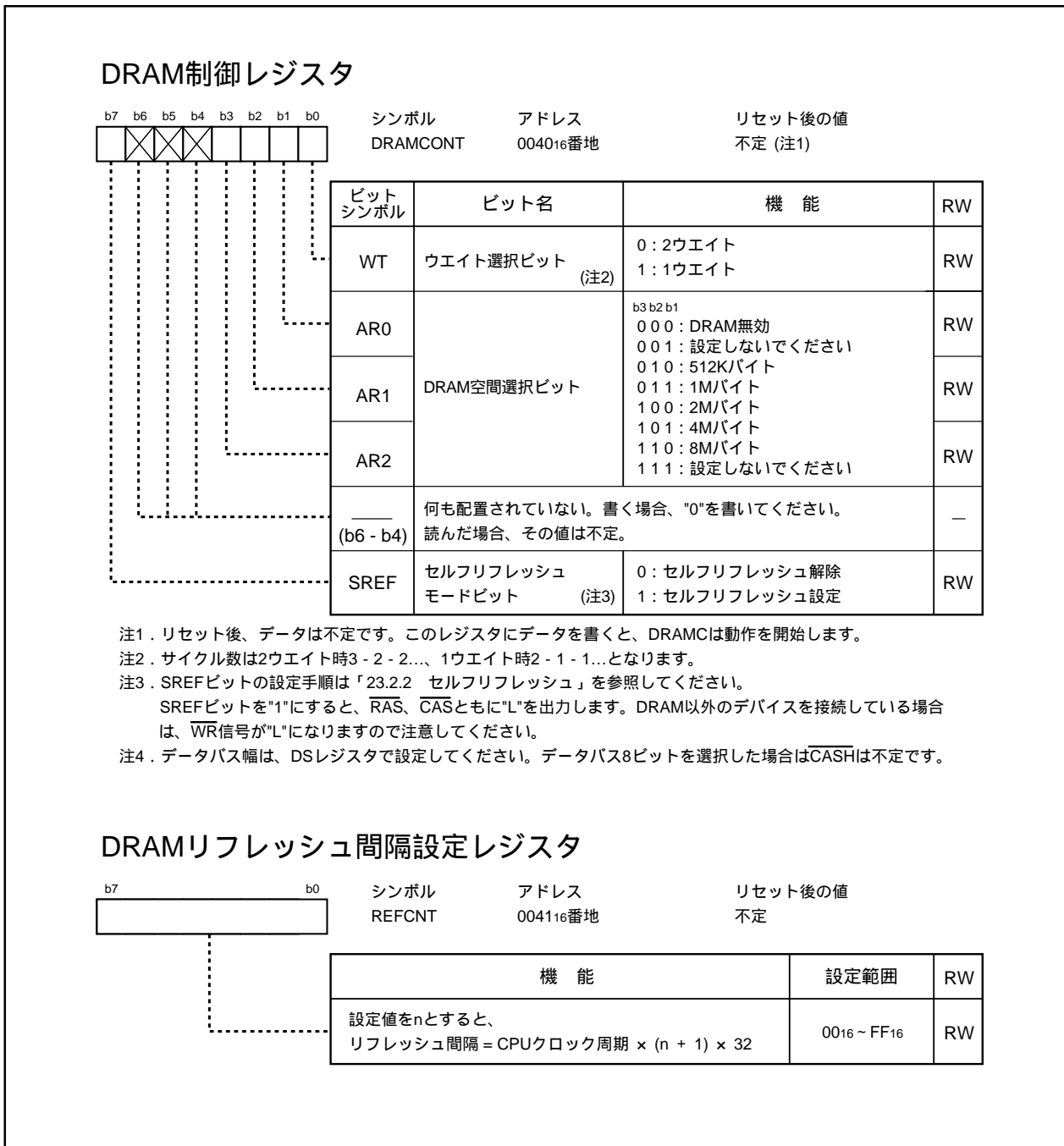


図23.1. DRAMCONTレジスタ、REFCNTレジスタ

PM1レジスタのPM11～PM10ビットが“112”(モード3)ではDRAMCは使用できません。PM11～PM10ビットは“002”, “012”または“102”(モード0～2)で使用してください。DRAMのデータバスが16ビットの場合、PM0レジスタのPM02ビットを“1”(RD/WRH/WRL)にしてください。

DRAM電源投入後のメモリ動作前の待ち時間と、リフレッシュのダミーサイクルに必要な処理はDRAMの仕様にあわせて行ってください。

23.1 DRAMCマルチプレクスアドレス出力

DRAMCはアドレスバスのA8～A20に行アドレスと列アドレスをマルチプレクスした信号を出力します。図23.2にアドレスマルチプレクス時の出力形態を示します。

23.2 リフレッシュ

23.2.1 リフレッシュ

リフレッシュ方式はCASビフォアRASリフレッシュ方式です。リフレッシュ間隔は、REFCNTレジスタで設定してください。ホールド状態ではリフレッシュ信号は出力されません。

REFCNTレジスタの設定値は次の式で求められます。

$$\text{REFCNTレジスタ値}(00_{16} \sim \text{FF}_{16}) = \text{リフレッシュ間隔時間} \div (\text{CPUクロック周期} \times 32) - 1$$

23.2.2 セルフリフレッシュ

23.2.1のリフレッシュ信号は、ストップモードなどCPUが停止する期間では停止します。CPUクロックを停止させる前にセルフリフレッシュを設定すると、DRAMのセルフリフレッシュ機能を動作させることができます。セルフリフレッシュの設定、解除手順は次のとおりです。

(1)セルフリフレッシュ設定(1ウエイト、4Mバイトの場合)

.....

```
mov.b #00000001b,DRAMCONT ;AR2～AR0ビットを“0002”(DRAM無効)にする。
mov.b #10001011b,DRAMCONT ;次の命令で、SREFビットを“1”(セルフリフレッシュ設定)
                           ;にすると同時にAR2～AR0ビットを再設定する。
nop                          ;nop命令を2回実行する。
nop
.....
```

(2)セルフリフレッシュ解除(1ウエイト、4Mバイトの場合)

.....

```
mov.b #00000001b,DRAMCONT ;SREFビットを“0”(セルフリフレッシュ解除)にすると
                           ;同時にAR2～AR0ビットを“0002”(DRAM無効)にする。
mov.b #00001011b,DRAMCONT ;次の命令でAR2～AR0ビットを再設定する。
mov.b 400h,400h           ;解除直後はDRAMアクセス禁止。この例はダミーリード。
.....
```

セルフリフレッシュ時はRAS、CASとも“L”になります。DRAM以外のデバイスを接続している場合はWR信号が“L”になりますので、CSを“H”にするなどの処理をしてください。

図23.3～図23.5にDRAMアクセス時のバス動作例を示します。

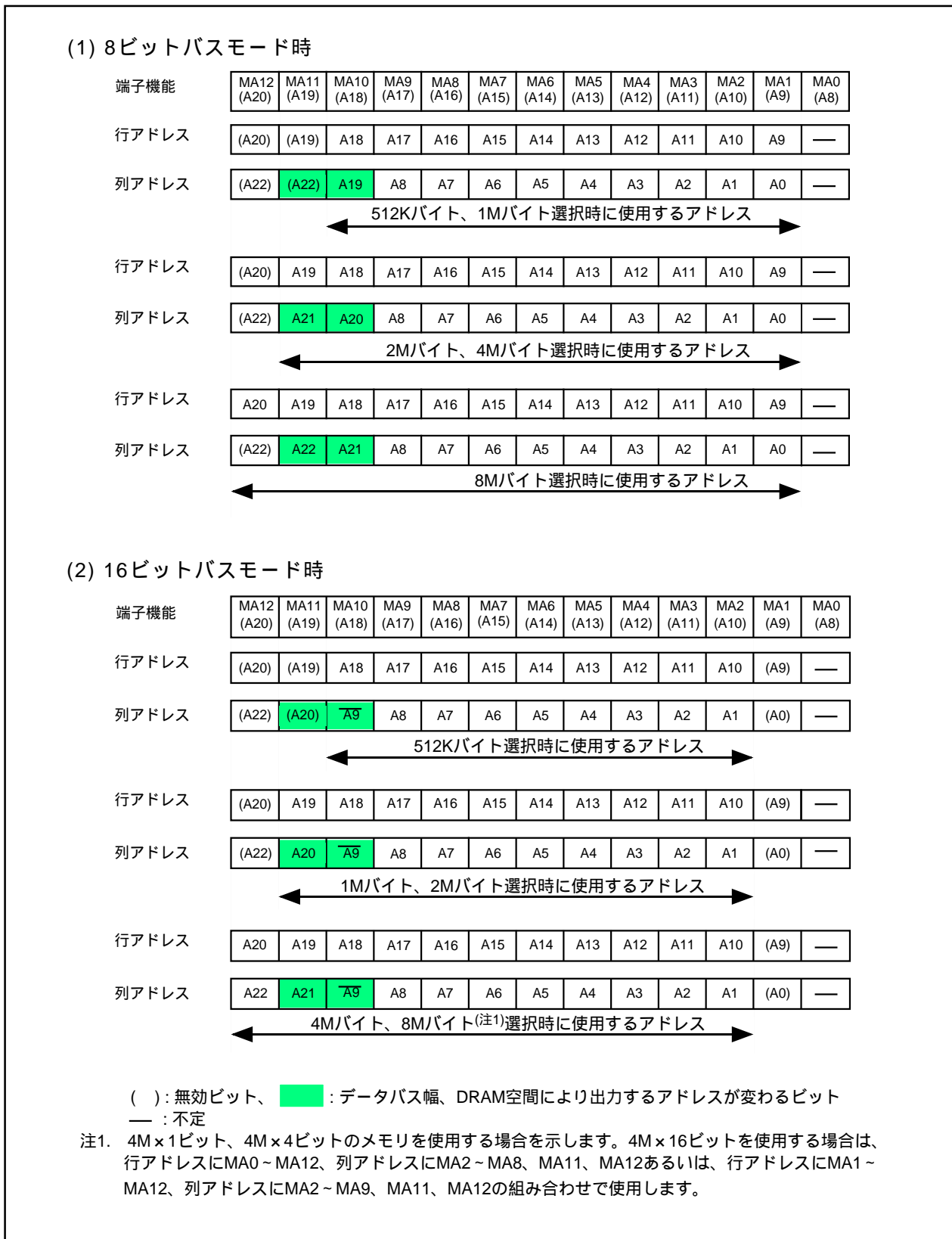


図23.2. アドレスマルチプレクスの出力形態

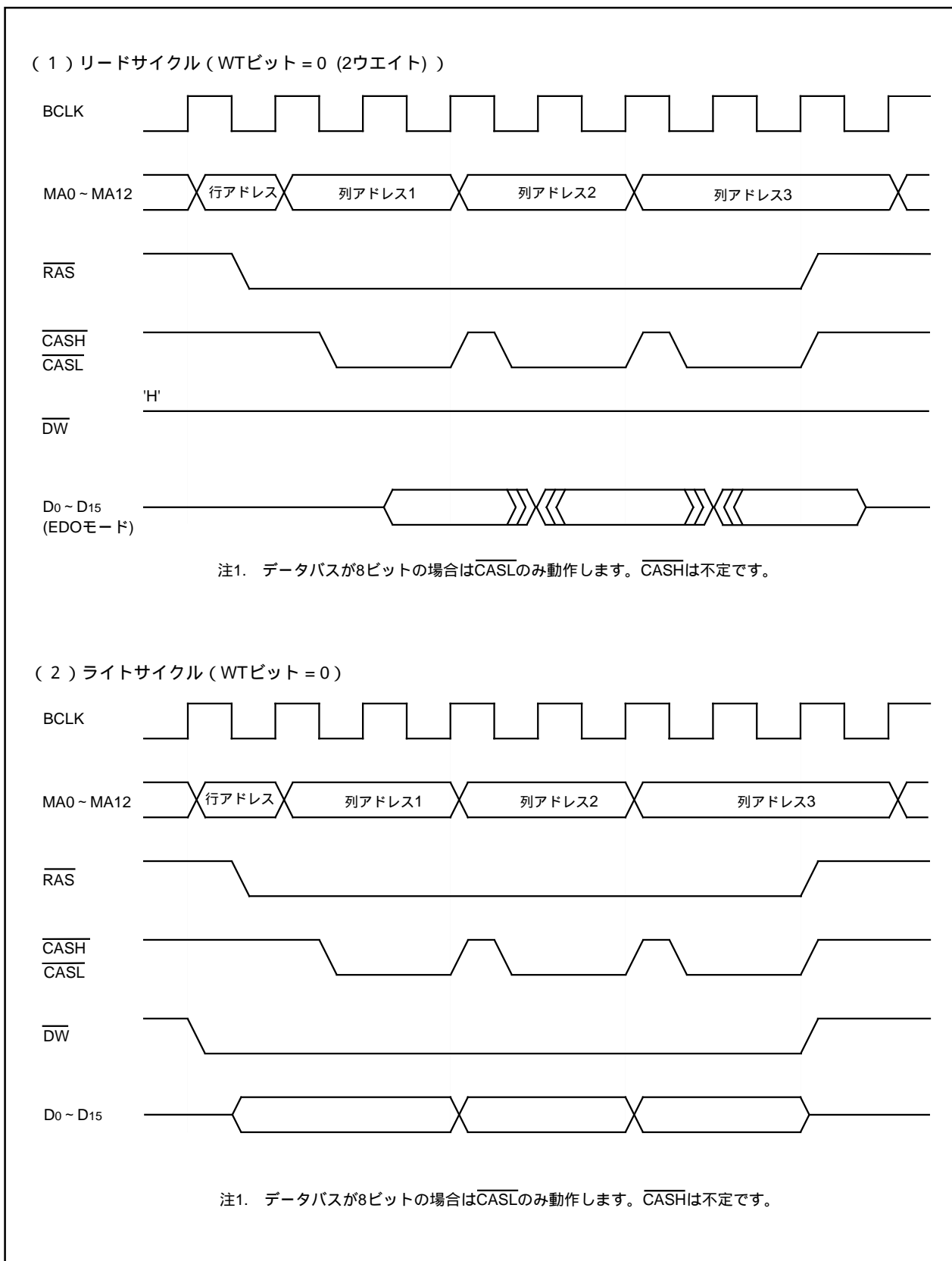


図23.3. DRAMアクセス時のバス動作例(1)

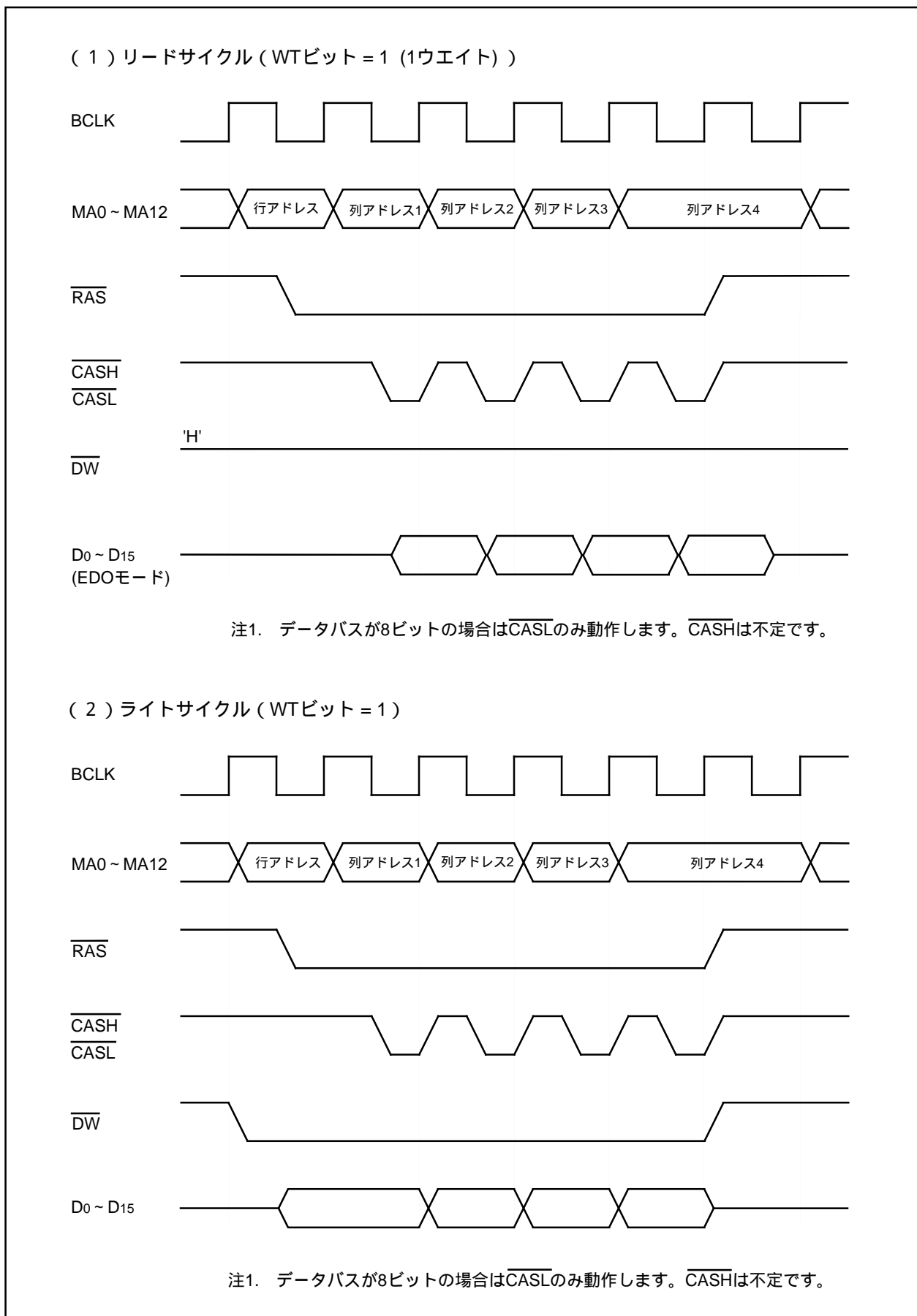


図23.4. DRAMアクセス時のバス動作例(2)

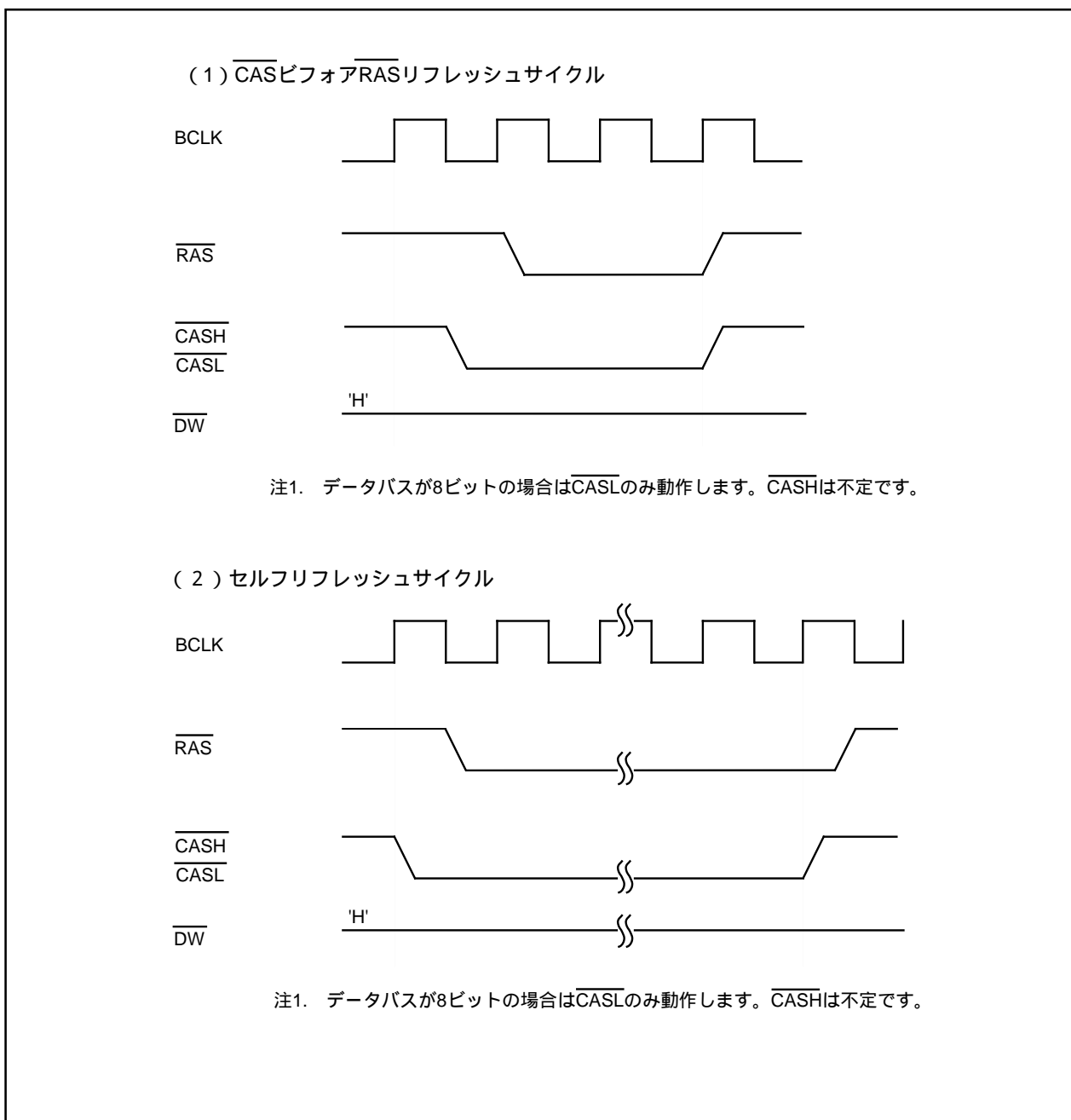


図23.5. DRAMアクセス時のバス動作例(3)

24. プログラマブル入出力ポート

プログラマブル入出力ポートは、100ピン版ではP0～P10(P85は除く)の87本、144ピン版ではP0～P15(P85は除く)の123本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとにプルアップするか、しないかを設定できます。P85は入力専用でプルアップできません。P85はNMIと端子を共用していますので、NMI入力レベルをP8レジスタのP8_5ビットから読めます。

図24.1～図24.4にプログラマブル入出力ポートの構成を示します。

各端子は、プログラマブル入出力ポートと内部周辺機能の入出力、またはバス制御端子として機能します。内部周辺機能の入出力端子として使用する場合は設定方法は各機能説明を参照してください。バス制御端子として使用する場合は「7. バス」を参照してください。

次にプログラマブル入出力ポート関連レジスタを示します。

24.1 ポートPi方向レジスタ(PDiレジスタ、i = 0～15)

図24.5にPDiレジスタを示します。

プログラマブル入出力ポートを入力に使用するか、出力に使用するか、選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A22、 $\overline{A23}$ 、D0～D15、MA0～MA12、CS0～CS3、 $\overline{WRL/WR/CASL}$ 、 $\overline{WRH/BHE/CASH}$ 、 $\overline{RD/DW}$ 、BCLK/ALE/CLKOUT、 $\overline{HLDA/ALE}$ 、 \overline{HOLD} 、ALE/RAS、 \overline{RDY})になっている端子のPDiレジスタは変更できません。

なお、P85に対応する方向レジスタのビットはありません。

24.2 ポートPiレジスタ(Piレジスタ、i = 0～15)

図24.6にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの書き込みと読み出しによって行います。Piレジスタは出力データを保持するポートラッチと端子の状態を読む回路で構成されています。Piレジスタの各ビットはポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A22、 $\overline{A23}$ 、D0～D15、MA0～MA12、CS0～CS3、 $\overline{WRL/WR/CASL}$ 、 $\overline{WRH/BHE/CASH}$ 、 $\overline{RD/DW}$ 、BCLK/ALE/CLKOUT、 $\overline{HLDA/ALE}$ 、 \overline{HOLD} 、ALE/RAS、 \overline{RDY})になっている端子のPiレジスタは変更できません。

24.3 機能選択レジスタAj(PSjレジスタ、j = 0～3, 5～9)

図24.7～図24.11にPSjレジスタを示します。

入出力ポートと周辺機能出力が端子を共用している場合、入出力ポートか周辺機能出力かどちらを使用するかを選択するためのレジスタです(ただしDA0、DA1を除く)。

表24.3～表24.12に機能選択レジスタの設定により選択されるポートの周辺機能を示します。

1本の端子に周辺機能出力が複数割り付けられている場合は、PSLkレジスタ(k=0～3)とPSCレジスタでどの機能を使用するか選択してください。

24.4 機能選択レジスタBk(PSLkレジスタ、k = 0～3)

図24.12、図24.13にPSLkレジスタを示します。

PSL0～PSL3レジスタは、端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

PSL3レジスタのPSL3_3～PSL3_6ビットは、「24.9 アナログ入力と他の周辺機能入力」を参照してください。

24.5 機能選択レジスタC(PSCレジスタ)

図24.14にPSCレジスタを示します。

PSCレジスタは端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するか選択するためのレジスタです。

PSC_7ビットは、「24.9 アナログ入力と他の周辺機能入力」を参照してください。

24.6 プルアップ制御レジスタ0~4(PUR0~PUR4レジスタ)

図24.15、図24.16にPUR0~PUR4レジスタを示します。

PUR0~PUR4レジスタによって、4端子ごとにプルアップするかないかを設定できます。これらのレジスタのビットを“1”(プルアップする)、方向レジスタを“0”(入力モード)に設定したポートはプルアップされます。

メモリ拡張モード、マイクロプロセッサモード時、バスとして動作しているP0~P5のPUR0~PUR4レジスタのビットは“0”(プルアップしない)にしてください。なお、メモリ拡張モード、マイクロプロセッサモード時、P0、P1、P40~P43を入力ポートとして使用する場合は、これらのポートはプルアップできます。

24.7 ポート制御レジスタ(PCRレジスタ)

図24.17にPCRレジスタを示します。

ポートP1の出力形式をCMOSとするかNチャンネルオープンドレインとするかを選択するレジスタです。PCR0ビットを“1”(Nチャンネルオープンドレイン出力)にした場合、CMOSポートのPチャンネルが常時OFFになるのでNチャンネルオープンドレインになります。ただし、ポートP1は完全なオープンドレインにはなりません。したがって、入力電圧の絶対最大定格は“ $-0.3V \sim V_{CC} + 0.3V$ ”となります。

マイクロプロセッサモードやメモリ拡張モードでポートP1をデータバスに使用する場合は、PCR0ビットを“0”(CMOS出力)にしてください。マイクロプロセッサモードやメモリ拡張モードでポートP1をポートとして使用する場合は、PCR0ビットで出力形式を選択できます。

24.8 入力機能選択レジスタ(IPSレジスタ)

図24.18にIPSレジスタを示します。

IPS0~IPS1、IPS3~IPS6ビットはインテリジェントI/OやCANの入力機能をどの端子に割り当てるかを選択するためのビットです。

IPS2ビットは、「24.9 アナログ入力と他の周辺機能入力」を参照してください。

24.9 アナログ入力と他の周辺機能入力

PSL3レジスタのPSL3_3~PSL3_6ビット、PSCレジスタのPSC_7ビット、IPSレジスタのIPS2ビットは、アナログ入出力を他の周辺機能から切り離すためのビットです。アナログ入出力(DA0、DA1、ANEX0、ANEX1、AN4~AN7、AN150~AN157)を使用する場合に対応するビットを“1”(アナログ入出力)にすると、他の周辺機能に中間電位が印加されるのを防げます。中間電位が印加されると電源電流が増加する場合があります。

アナログ入出力を使用しない場合は対応するビットを“0”(アナログ入出力以外)にしてください。アナログ入出力以外の周辺機能(ポートを含む)の入力は、このビットが“0”のとき有効で、“1”のときは不定になります。また、PSC_7ビットが“1”のとき、 $\overline{KI0} \sim \overline{KI3}$ 端子の入力レベルが変化しても、キー入力割込要求は変化しません。

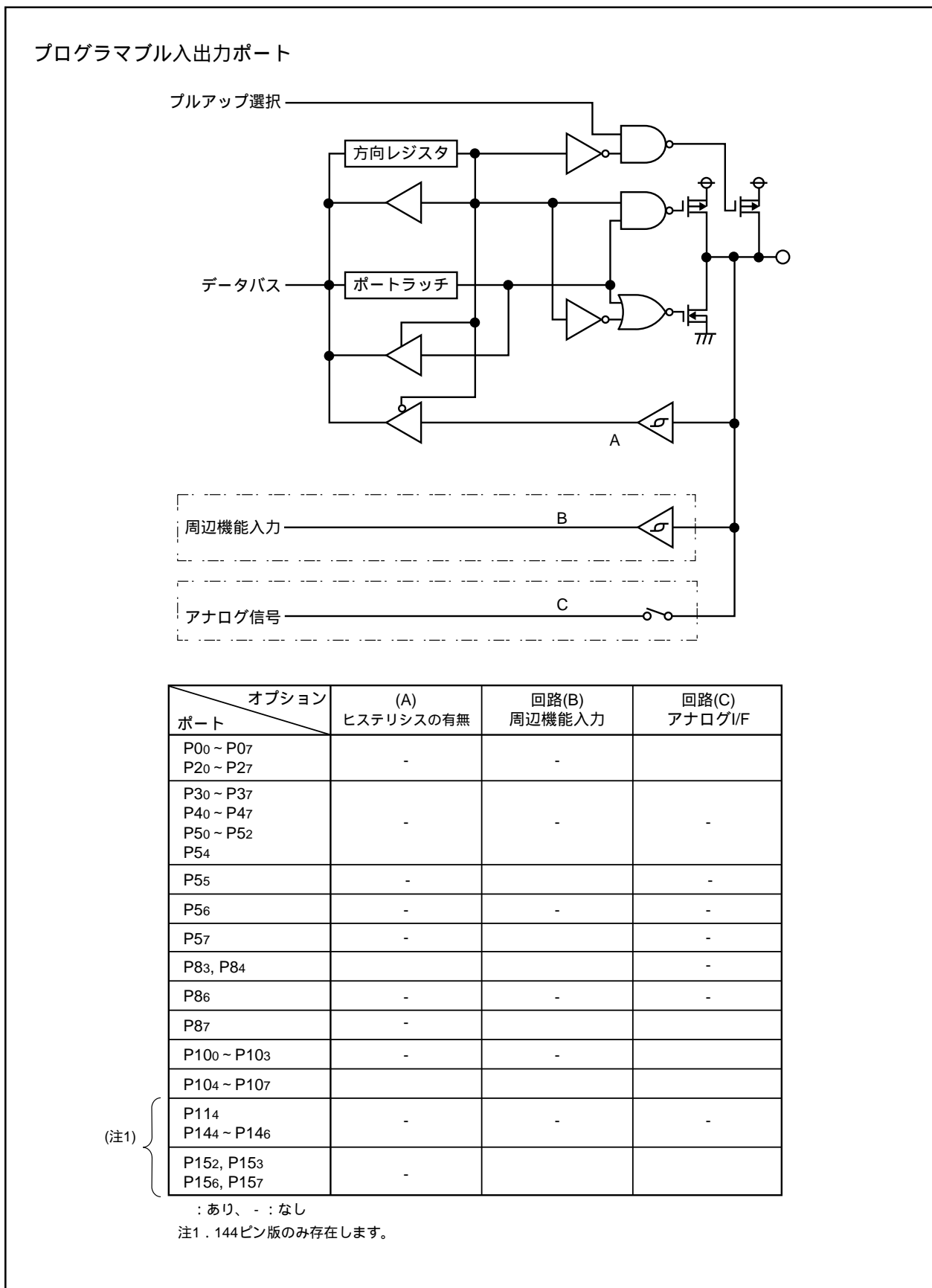


図24.1 プログラマブル入出力ポートの構成(1)

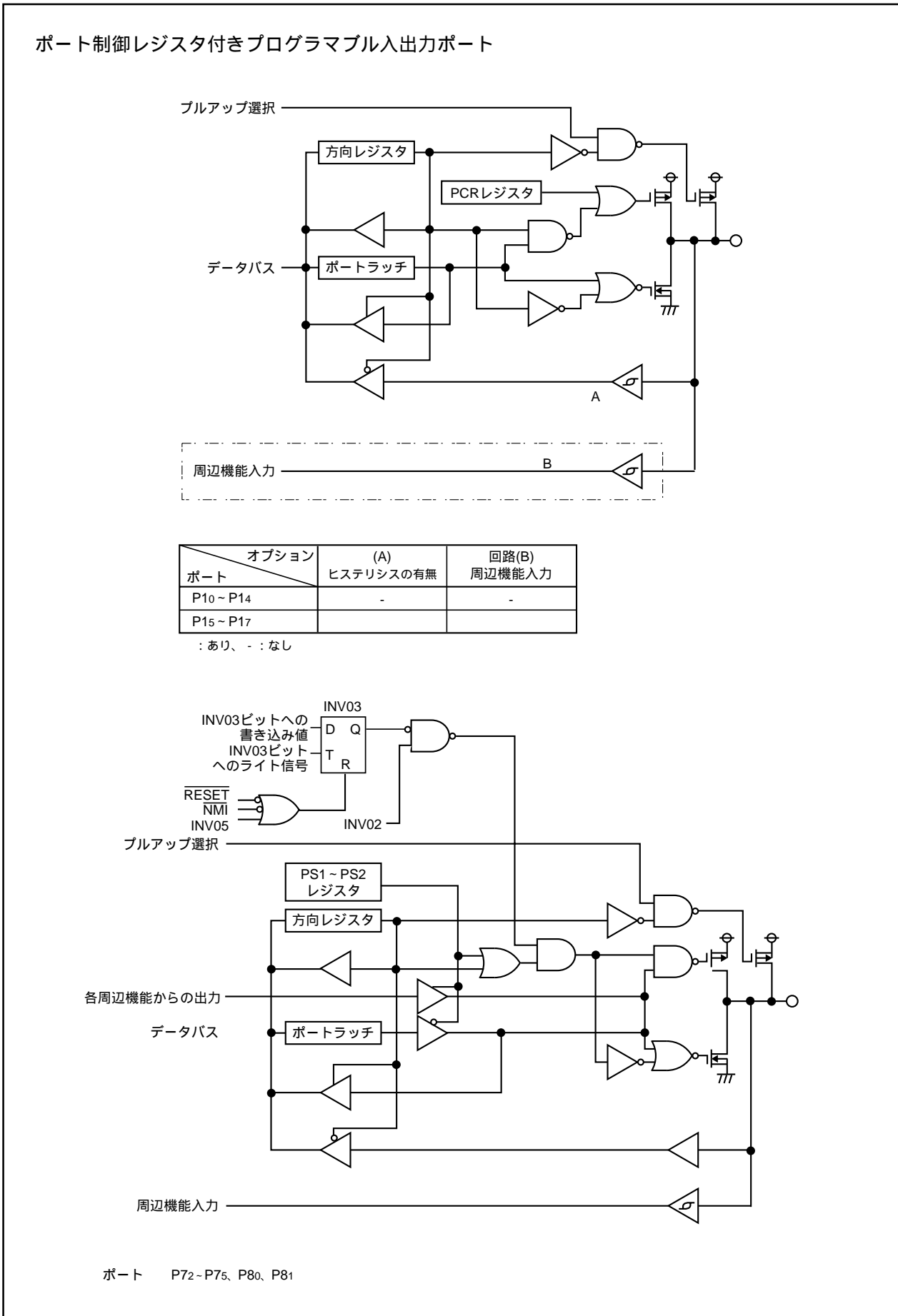
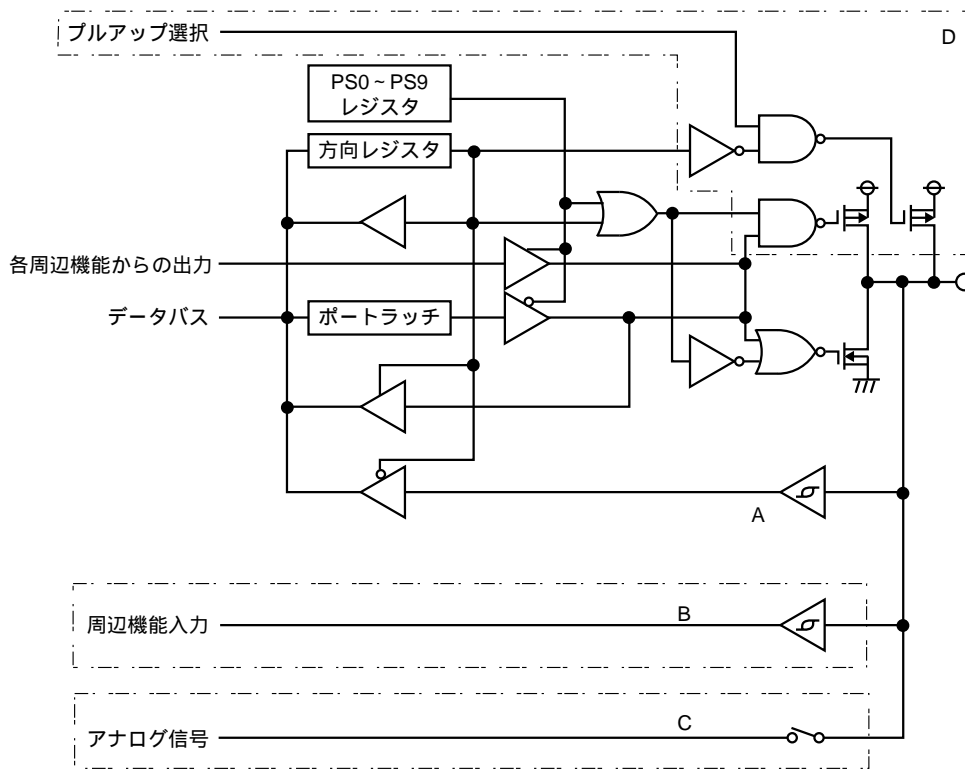


図24.2 プログラマブル入出力ポートの構成(2)

機能選択レジスタ付きプログラマブル入出力ポート



オプション ポート	(A) ヒステリシスの有無	回路(B) 周辺機能入力	回路(C) アナログI/F	回路(D)
P53	-	-	-	
P60 - P67	-		-	
P70, P71 (注1)	-		-	-
P76, P77	-		-	
P82			-	
P90 - P92	-		-	
P93 - P96	-		-	
P97	-		-	
P110	-	-	-	
P111, P112	-		-	
P113 P120	-	-	-	
P121, P122	-		-	
P123 ~ P127 P130 ~ P134	-	-	-	
P135, P136	-		-	
P137 P140, P141	-	-	-	
P142, P143	-		-	
P150, P151 P154, P155	-			

(注2)

:あり、-:なし

注1. P70、P71の出力形式はNチャンネルオープンドレインです。

注2. 144ピン版のみ存在します。

図24.3 プログラマブル入出力ポートの構成(3)

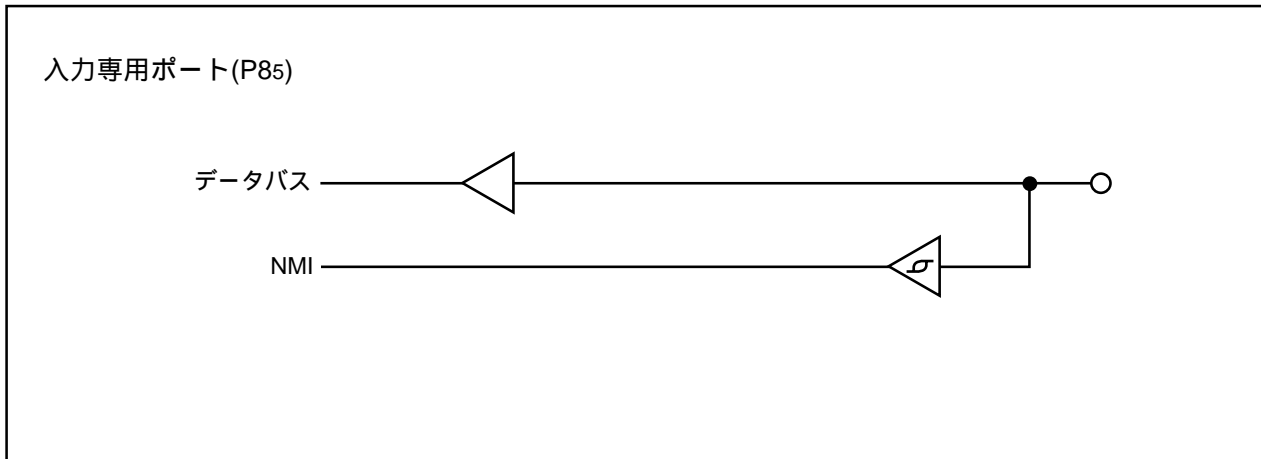


図24.4 プログラマブル入出力ポートの構成(4)

ポートPi方向レジスタ (i = 0 ~ 15) (注2)

シンボル	アドレス	リセット後の値
PD0 ~ PD3	03E2 ₁₆ 、03E3 ₁₆ 、03E6 ₁₆ 、03E7 ₁₆ 番地	00 ₁₆
PD4 ~ PD7	03EA ₁₆ 、03EB ₁₆ 、03C2 ₁₆ 、03C3 ₁₆ 番地	00 ₁₆
PD8	03C6 ₁₆ 番地(注4)	00X0 0000 ₂
PD9 ~ PD10	03C7 ₁₆ (注1)、03CA ₁₆ 番地	00 ₁₆
PD11	03CB ₁₆ 番地(注3、注4)	XXX0 0000 ₂
PD12 ~ PD13	03CE ₁₆ 、03CF ₁₆ 番地(注3)	00 ₁₆
PD14	03D2 ₁₆ 番地(注3、注4)	X000 0000 ₂
PD15	03D3 ₁₆ 番地(注3)	00 ₁₆

ビットシンボル	ビット名	機能	RW
PDi_0	ポートPi0方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_1	ポートPi1方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_2	ポートPi2方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_3	ポートPi3方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_4	ポートPi4方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_5	ポートPi5方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_6	ポートPi6方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_7	ポートPi7方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW

注1. PD9レジスタはPRCRレジスタのPRC2ビットを"1"(書き込み許可)にした次の命令で書いてください。PRC2ビットを"1"にする命令とPD9レジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

注2. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A₀ ~ A₂₂、A₂₃、D₀ ~ D₁₅、MA₀ ~ MA₁₂、CS₀ ~ CS₃、WRL/W_R/CASL、WRH/BHE/CASH、RD/DW、BCLK/ALE/CLK_{OUT}、HLDA/ALE、HOLD、ALE/RAS、RDY)になっている端子の方向レジスタは変更できません。

注3. PD11 ~ PD15レジスタは100ピン版では"FF16"にしてください。

注4. PD8レジスタのPD8_5ビット、PD11レジスタのPD11_5 ~ PD11_7ビット(144ピン版のみ)、PD14レジスタのP14_7ビット(144ピン版のみ)には何も配置されていない。書く場合、"0"を書いてください。読む場合、その値は不定。

図24.5 PD0 ~ PD15レジスタ

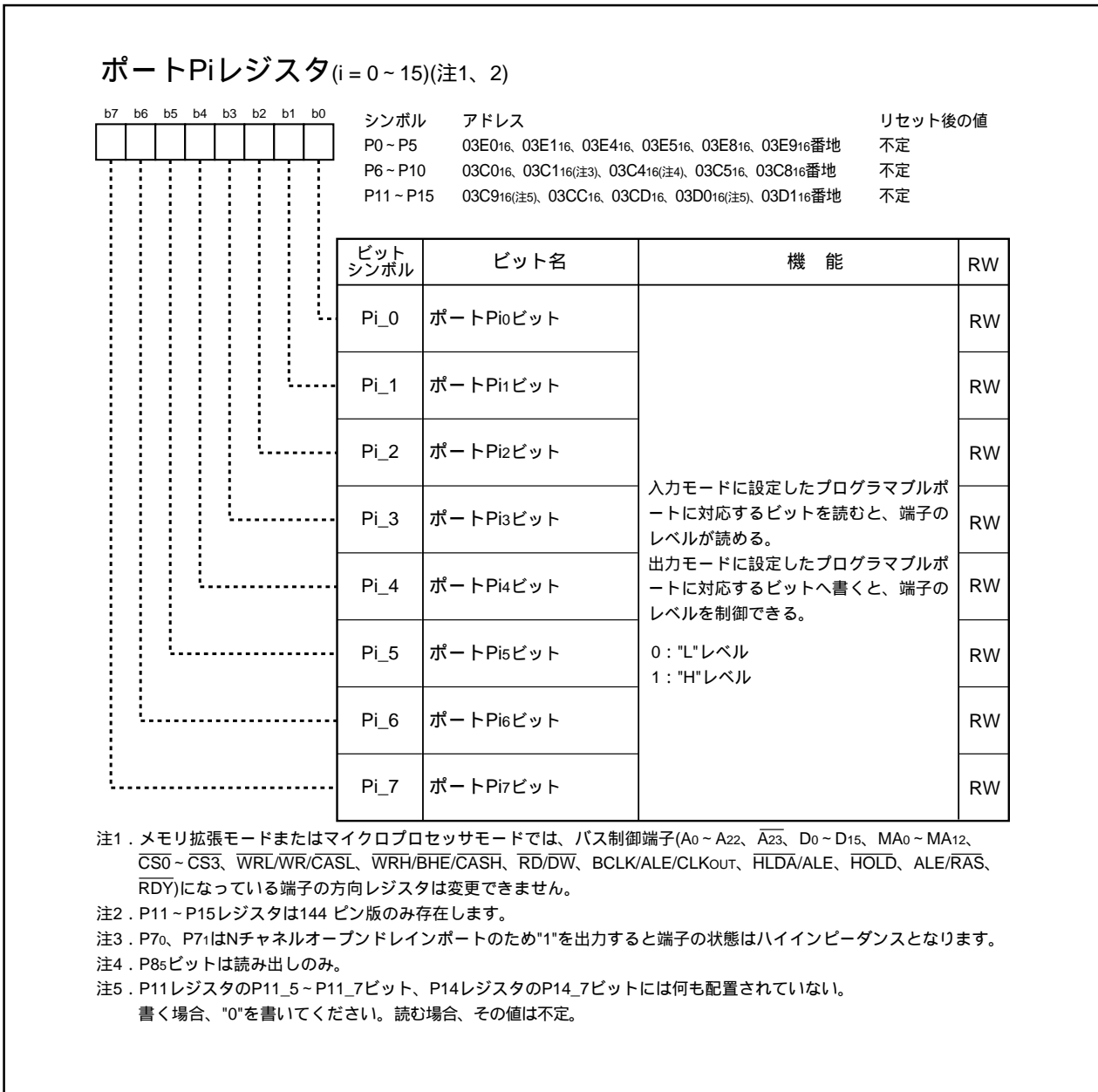


図24.6 P0 ~ P15レジスタ

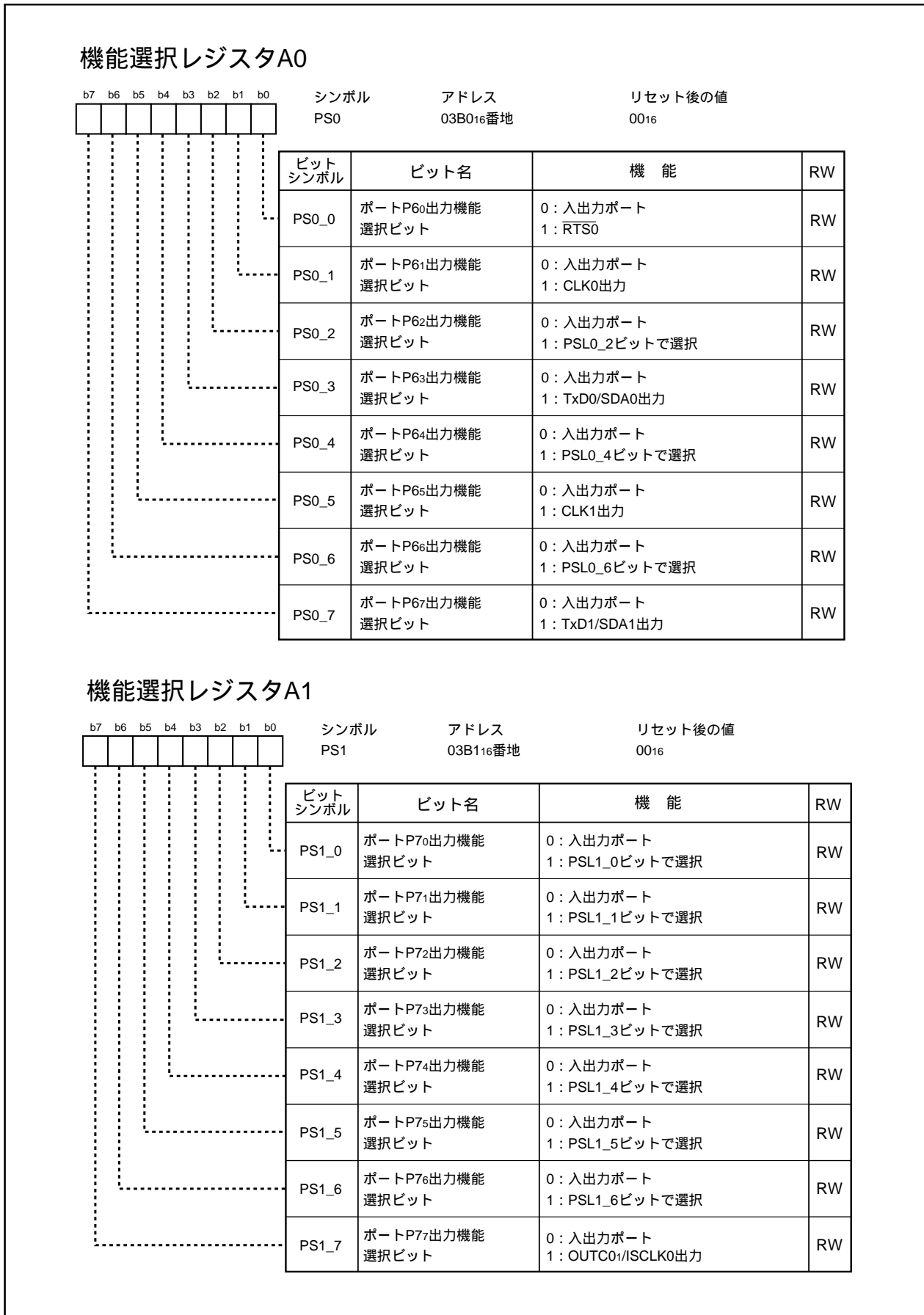


図24.7 PS0レジスタ、PS1レジスタ

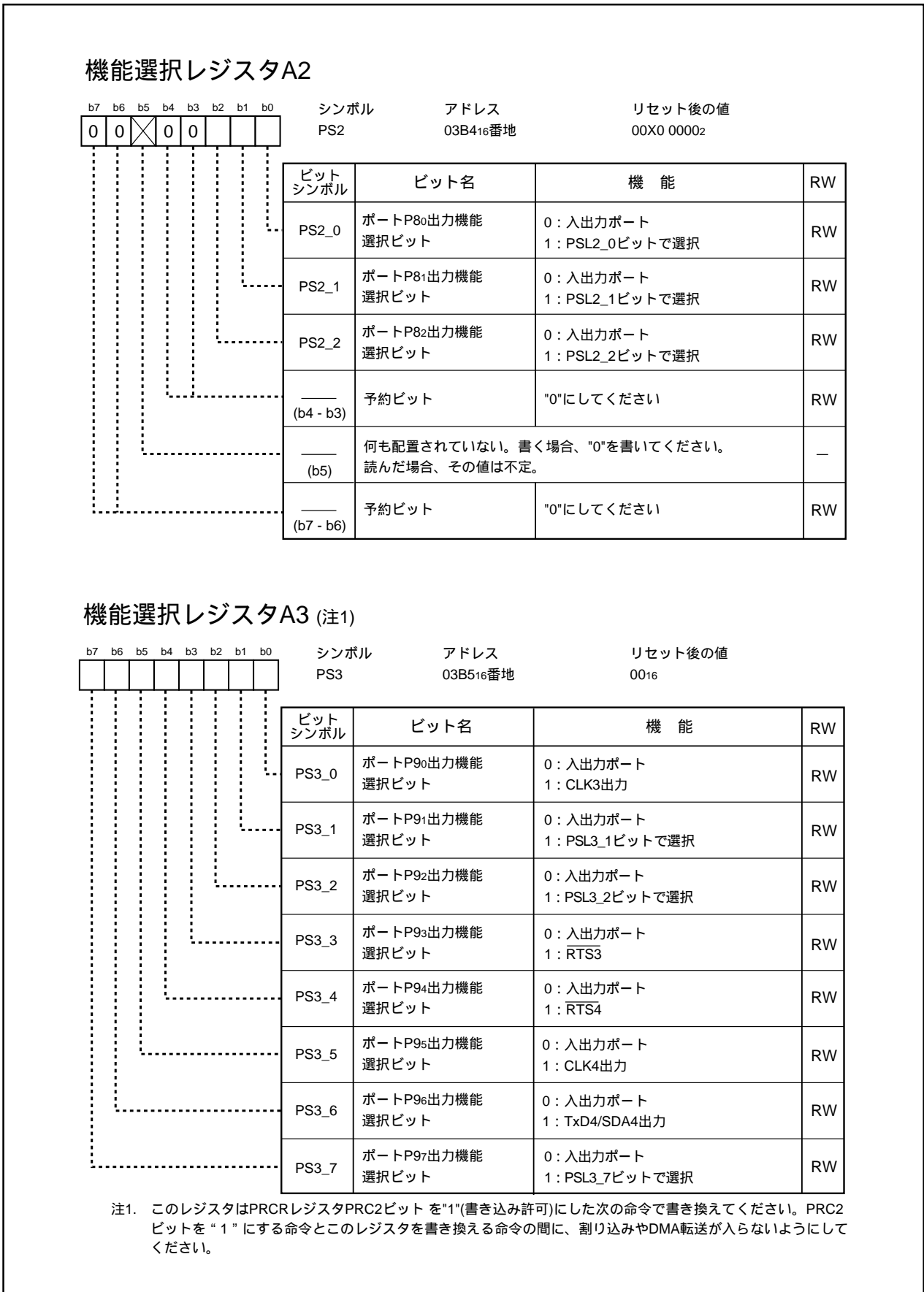


図24.8 PS2レジスタ、PS3レジスタ

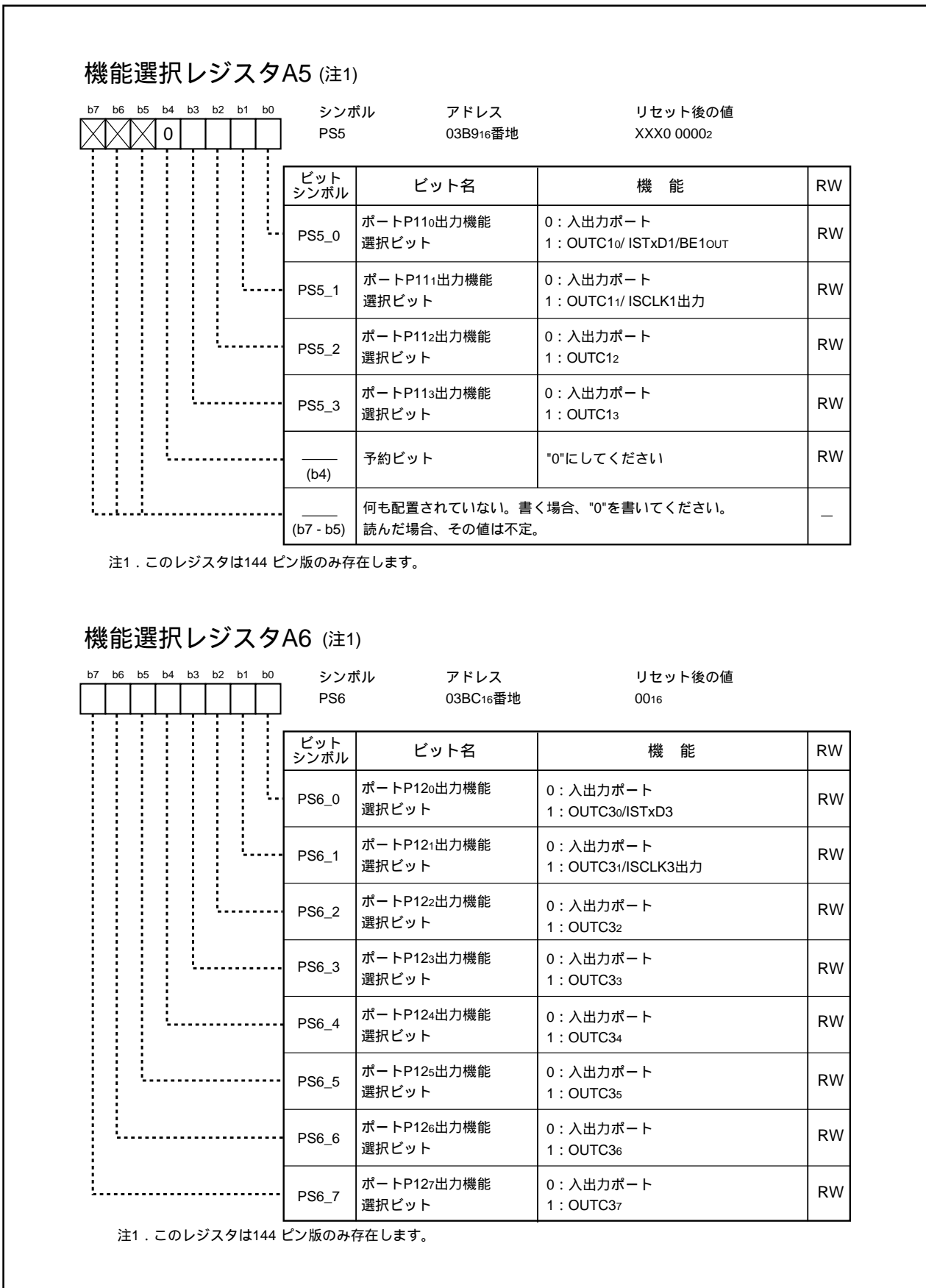


図24.9 PS5レジスタ、PS6レジスタ

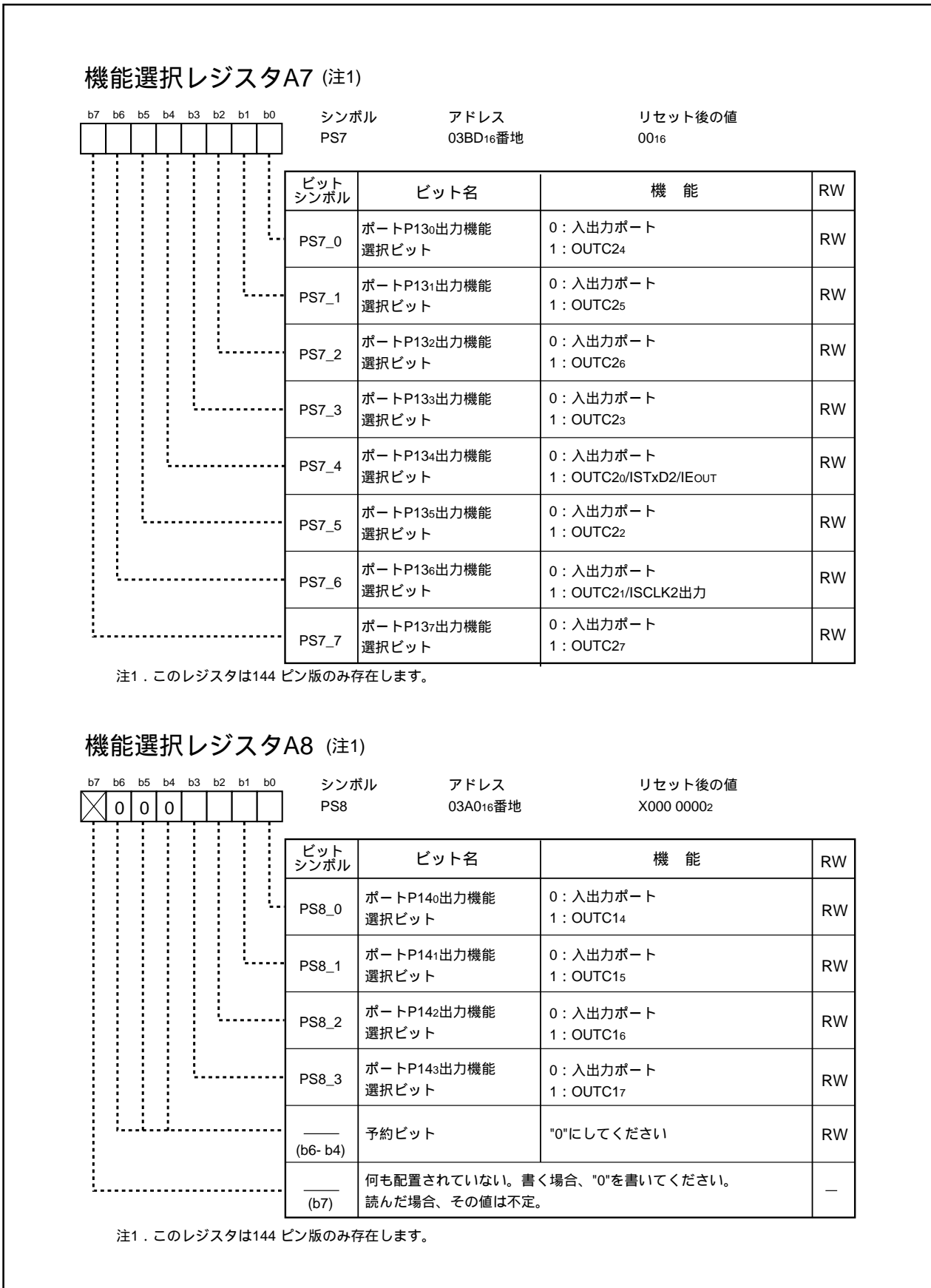


図24.10 PS7レジスタ、PS8レジスタ

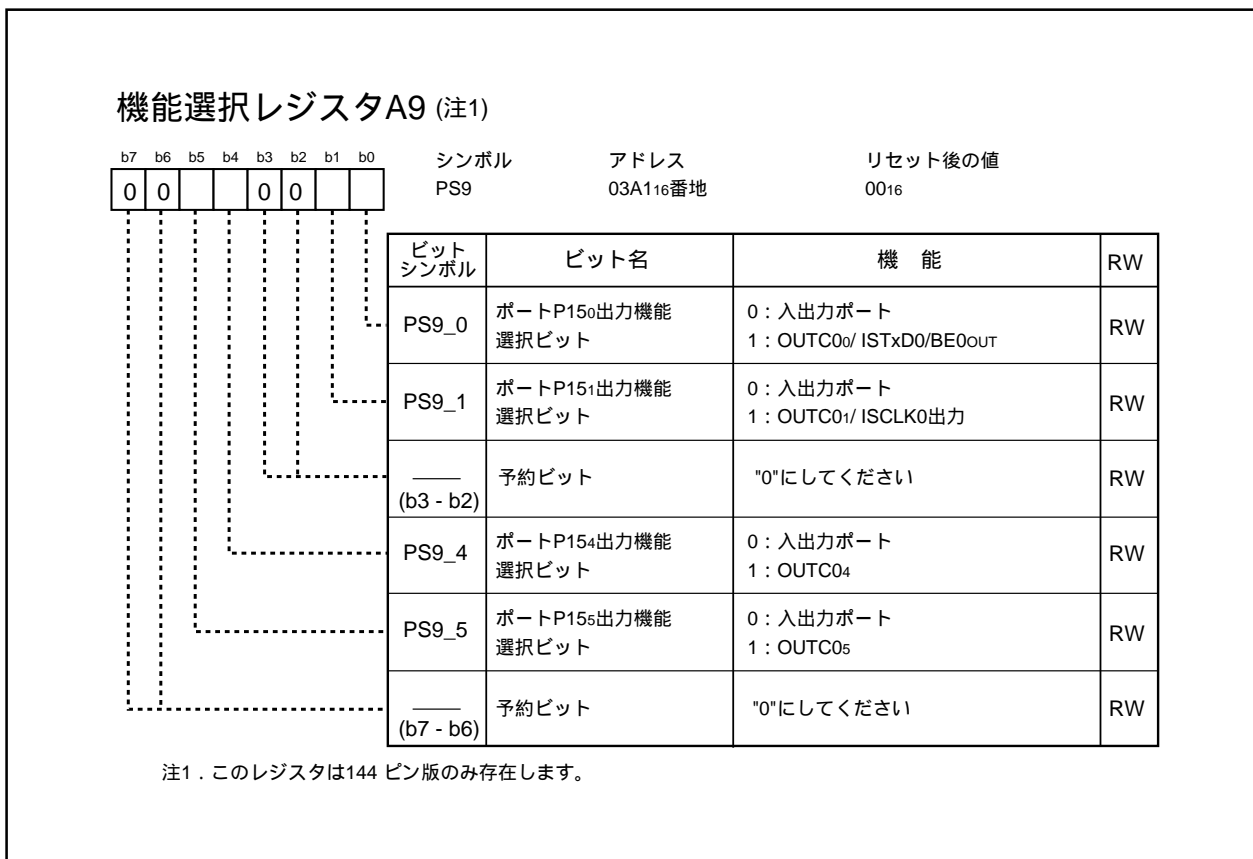


図24.11 PS9レジスタ

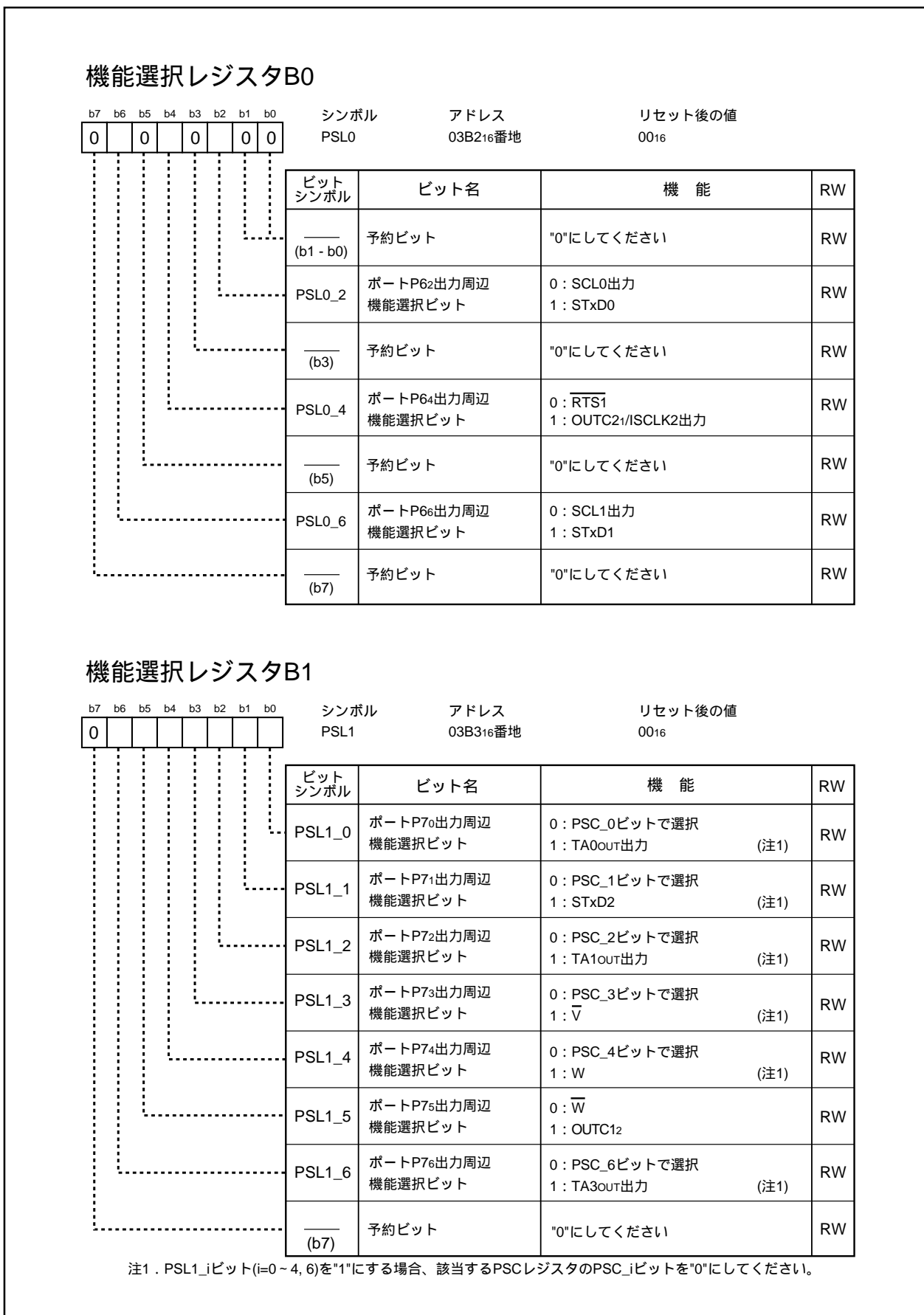


図24.12 PSL0レジスタ、PSL1レジスタ

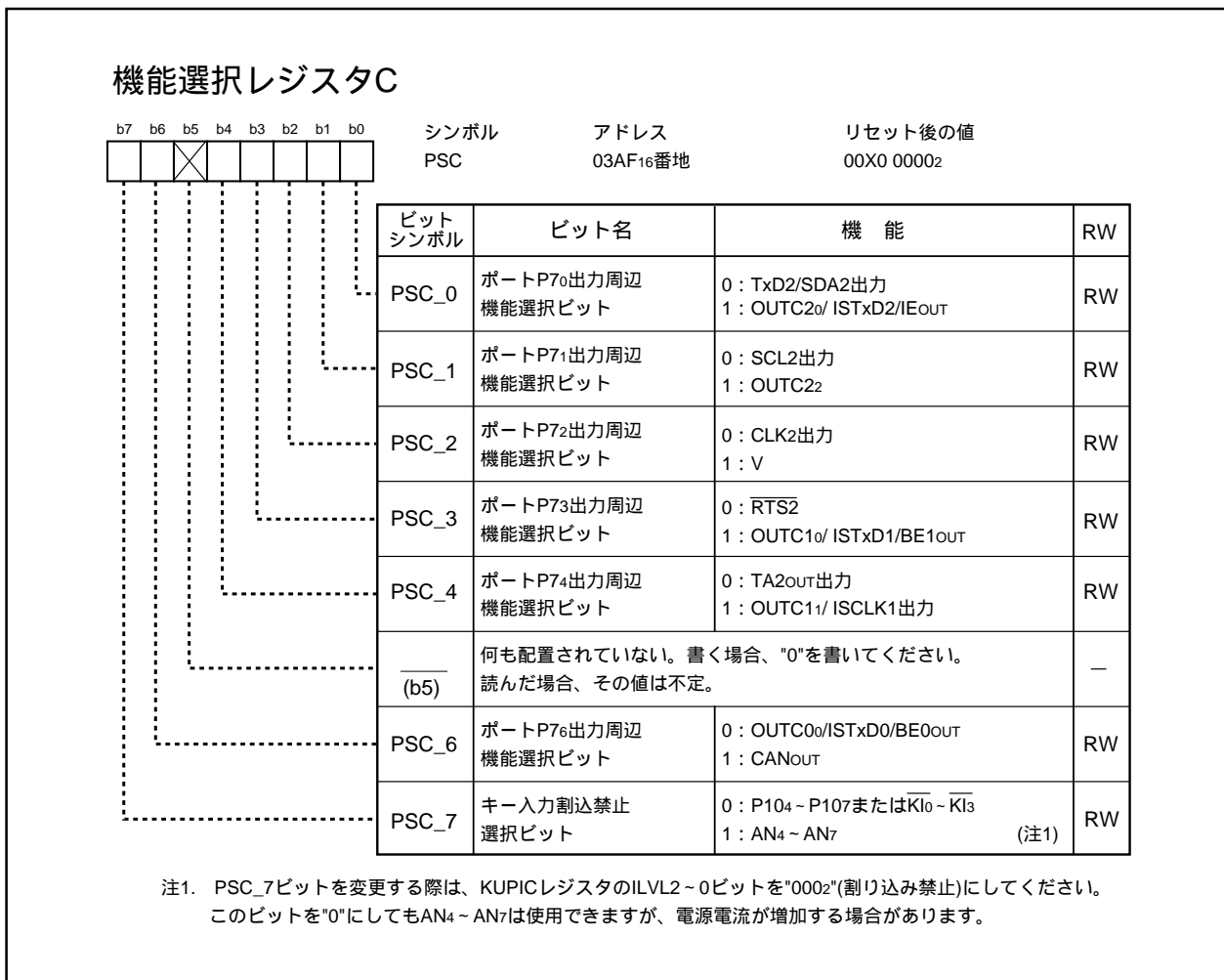


図24.14 PSCレジスタ

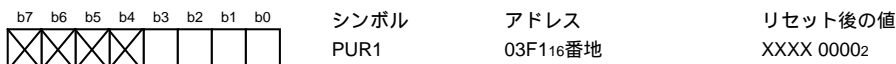
プルアップ制御レジスタ0(注1)



ビットシンボル	ビット名	機能	RW
PU00	P00 ~ P03のプルアップ	対応するポートのプルアップの設定を行う 0: プルアップしない 1: プルアップする	RW
PU01	P04 ~ P07のプルアップ		RW
PU02	P10 ~ P13のプルアップ		RW
PU03	P14 ~ P17のプルアップ		RW
PU04	P20 ~ P23のプルアップ		RW
PU05	P24 ~ P27のプルアップ		RW
PU06	P30 ~ P33のプルアップ		RW
PU07	P34 ~ P37のプルアップ		RW

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0 ~ P5 はバス制御端子として動作しますので、PUR0レジスタの各ビットは"0"にしてください。ただし、入出力ポートとして使用する場合は、プルアップするかしないかが選択できます。

プルアップ制御レジスタ1(注1)



ビットシンボル	ビット名	機能	RW
PU10	P40 ~ P43のプルアップ	対応するポートのプルアップの設定を行う 0: プルアップしない 1: プルアップする	RW
PU11	P44 ~ P47のプルアップ		RW
PU12	P50 ~ P53のプルアップ		RW
PU13	P54 ~ P57のプルアップ		RW
(b7 - b4)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。		—

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0 ~ P5 はバス制御端子として動作しますので、PUR1レジスタの各ビットは"0"にしてください。ただし、入出力ポートとして使用する場合は、プルアップするかしないかが選択できます。

プルアップ制御レジスタ2



ビットシンボル	ビット名	機能	RW
PU20	P60 ~ P63のプルアップ	対応するポートのプルアップの設定を行う 0: プルアップしない 1: プルアップする	RW
PU21	P64 ~ P67のプルアップ		RW
PU22	P72 ~ P73のプルアップ(注1)		RW
PU23	P74 ~ P77のプルアップ		RW
PU24	P80 ~ P83のプルアップ		RW
PU25	P84 ~ P87のプルアップ(注2)		RW
PU26	P90 ~ P93のプルアップ		RW
PU27	P94 ~ P97のプルアップ		RW

注1. P70、P71はプルアップはありません。
注2. P85はプルアップはありません。

図24.15 PUR0レジスタ、PUR1レジスタ、PUR2レジスタ

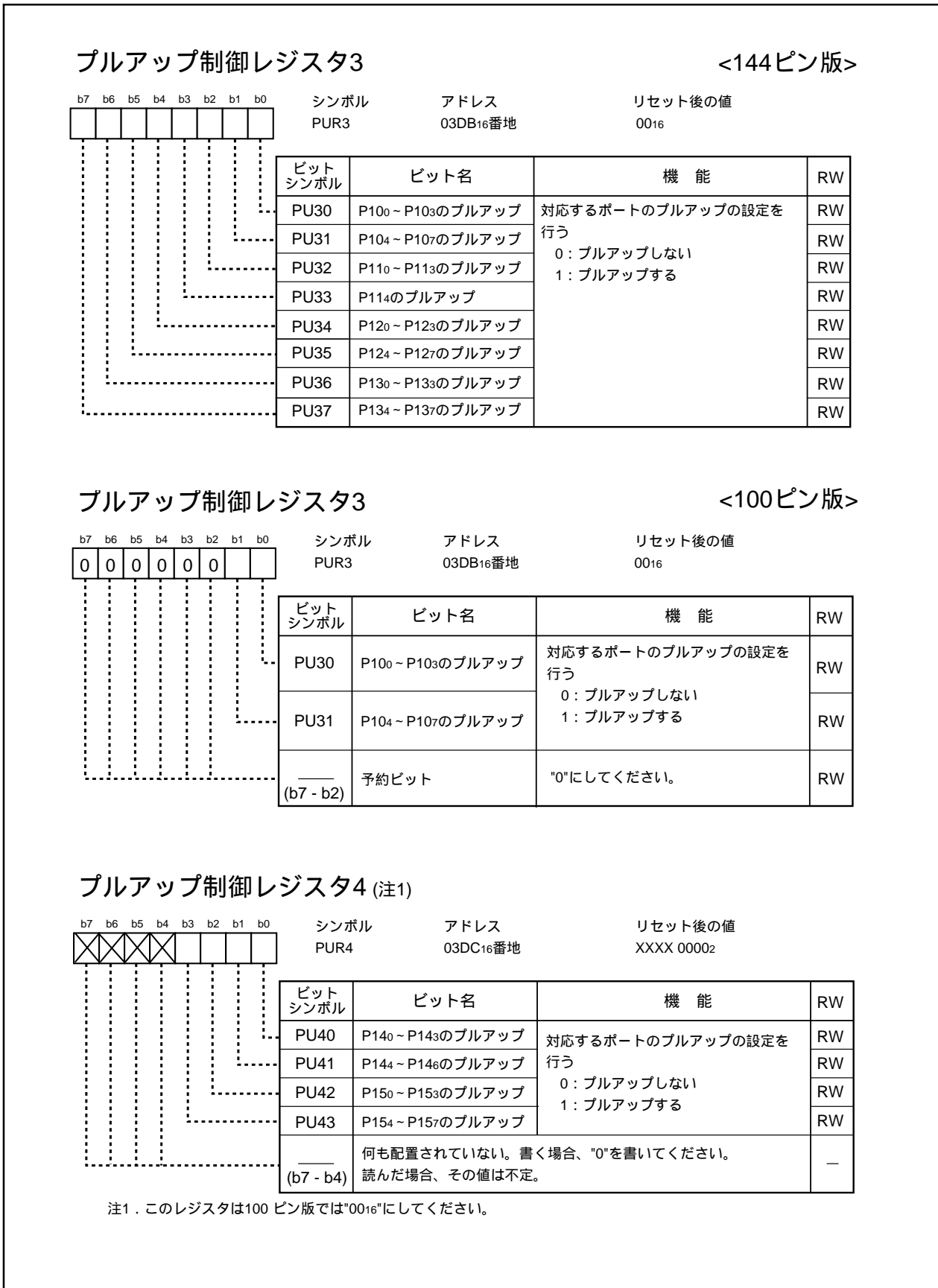


図24.16 PUR3レジスタ、PUR4レジスタ

ポート制御レジスタ (注1)

シンボル
PCR

アドレス
03FF₁₆番地

リセット後の値
XXXX XXX0₂

ビットシンボル	ビット名	機能	RW
PCR0	ポートP1制御ビット	0: ポートP1出力形式CMOS出力 1: Nチャンネルオープンドレイン出力 (注2)	RW
(b7 - b1)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。		—

注1 . メモリ拡張モードとマイクロプロセッサモードでは、ポートP1 はデータバスとして動作しますので、PCR0 ビットを"0"にしてください。ただし設定により入出力ポートとして使用する場合は、CMOSかN チャンネルオープンドレインかの選択ができます。

注2 . 本機能は、CMOSポートのPチャンネルを常時オフするものであり、ポートP1を完全にオープンドレインにする機能ではありません。したがって、入力電圧の絶対最大定格は - 0.3V - V_{cc}+0.3Vとなります。

図24.17 PCRレジスタ

入力機能選択レジスタ

シンボル
IPS

アドレス
0178₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
IPS0	グループ0入力端子選択ビット0	INPC0 ₀ , INPC0 ₁ /ISCLK0, INPC0 ₂ /ISRxD0/BE0 _{IN} の各機能を次のポートに割り当てる 0: P7 ₆ , P7 ₇ , P8 ₀ 1: P15 ₀ , P15 ₁ , P15 ₂	RW
IPS1	グループ1入力端子選択ビット1	INPC1 ₁ /ISCLK1, INPC1 ₂ /ISRxD1/BE1 _{IN} の各機能を次のポートに割り当てる 0: P7 ₄ , P7 ₅ 1: P11 ₁ , P11 ₂	RW
IPS2	P15入力周辺機能選択ビット	0: AN15以外 (注1) 1: AN15	RW
IPS3	CAN _{IN} 機能端子選択ビット	0: P7 ₇ 1: P8 ₃	RW
IPS4	ISRxD2/IE _{IN} 機能端子選択ビット	b5 b4 0 0: P7 ₁ 0 1: P9 ₁ 1 0: P13 ₅ 1 1: 設定しないでください	RW
IPS5			RW
IPS6	ISCLK2機能端子選択ビット	0: P6 ₄ 1: P13 ₆	RW
IPS7	ISRxD3機能端子選択ビット	0: P8 ₁ , P8 ₂ 1: P12 ₀ , P12 ₂	RW

注1 . このビットを"0"にしてもAN15₀ ~ AN15₇は使用できますが、電源電流が増加する場合があります。

図24.18 IPSレジスタ

表24.1 シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0～P15(P85は除く) ^(注1、2、3、4、6)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT ^(注5)	開放
NMI(P85)	抵抗を介してVccに接続(プルアップ)
AVCC	Vccに接続
AVSS, VREF, BYTE	Vssに接続

注1. ポートP11～P15は144ピン版のみ存在します。

注2. 出力モードに設定し開放する場合、リセットからプログラムでポートを出力モードに切り替えるまで、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。

注3. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注4. ポートP70、P71を出力モードに設定する場合、“L”を出力してください。

ポートP70、P71はNチャンネルオープンドレイン出力です。

注5. XIN端子に外部クロックを入力している場合。

注6. 100ピン版では次の処理をしてください。

・0003CB16番地、0003CE16番地、0003CF16番地、0003D216番地、0003D316番地に“FF16”を設定してください

表24.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP6～P15(P85は除く) ^(注1、2、3、4、6)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
BHE, ALE, HLDA, XOUT ^(注5) , BCLK	開放
HOLD, RDY, NMI(P85)	抵抗を介してVccに接続(プルアップ)
AVCC	Vccに接続
AVSS, VREF	Vssに接続

注1. ポートP11～P15は144ピン版のみ存在します。

注2. 出力モードに設定し開放する場合、リセットからプログラムでポートを出力モードに切り替えるまで、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。

注3. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注4. ポートP70、P71を出力モードに設定する場合、“L”を出力してください。

ポートP70、P71はNチャンネルオープンドレイン出力です。

注5. XIN端子に外部クロックを入力している場合。

注6. 100ピン版では次の処理をしてください。

・0003CB16番地、0003CE16番地、0003CF16番地、0003D216番地、0003D316番地に“FF16”を設定してください

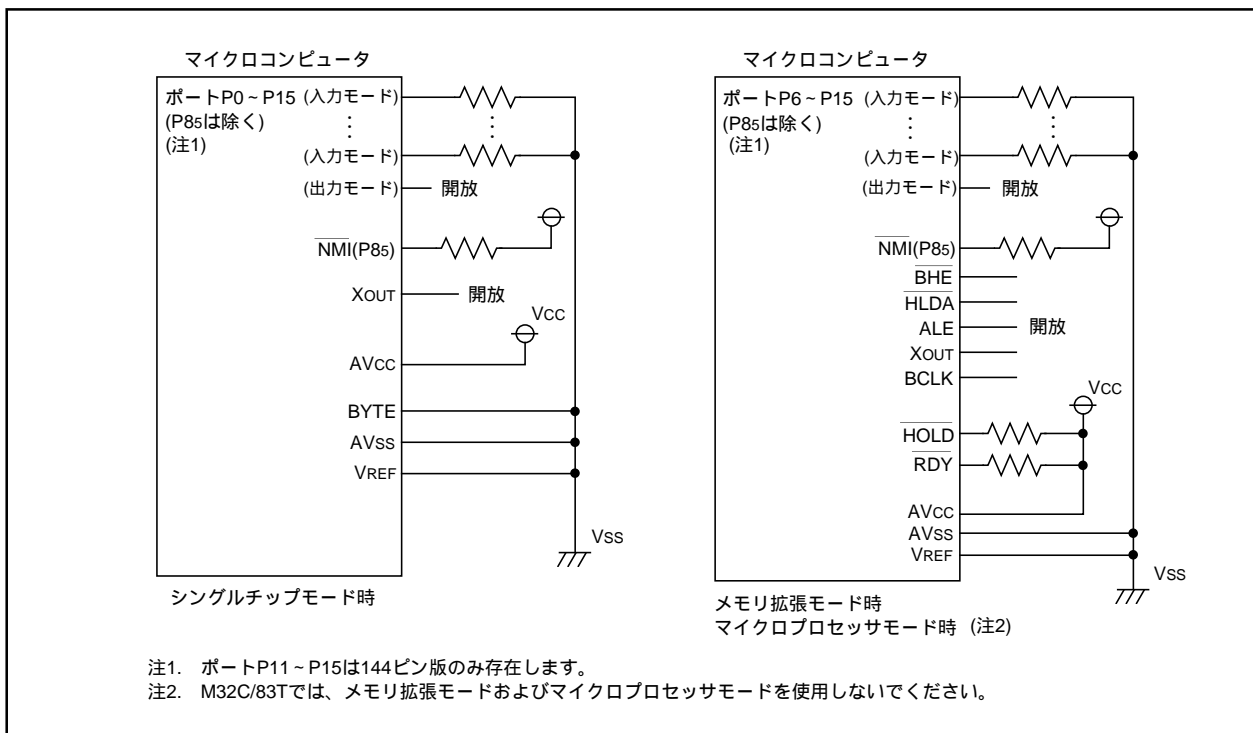


図24.19 未使用端子の処理例

表24.3 ポートP6周辺機能出力制御

	PS0レジスタ	PSL0レジスタ
ビット0	0: P60/CTS0/SS0 1: RTS0	“0” にしてください
ビット1	0: P61/CLK0入力 1: CLK0出力	“0” にしてください
ビット2	0: P62/RxD0/SCL0入力 1: PSL0レジスタで選択	0: SCL0出力 1: STxD0
ビット3	0: P63/SRxD0/SDA0入力 1: TxD0/SDA0出力	“0” にしてください
ビット4	0: P64/CTS1/SS1/ISCLK2入力 1: PSL0レジスタで選択	0: RTS1 1: OUTC21/ISCLK2出力
ビット5	0: P65/CLK1入力 1: CLK1出力	“0” にしてください
ビット6	0: P66/RxD1/SCL1入力 1: PSL0レジスタで選択	0: SCL1出力 1: STxD1
ビット7	0: P67/SRxD1/SDA1入力 1: TxD1/SDA1出力	“0” にしてください

表24.4 ポートP7周辺機能出力制御

	PS1レジスタ	PSL1レジスタ	PSCレジスタ(注1)
ビット0	0: P70/SRxD2/TA0OUT入力/SDA2入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: TA0OUT出力	0: TxD2/SDA2出力 1: OUTC20/ISTxD2/IEOUT
ビット1	0: P71/TB5IN/TA0IN/RxD2/ISRxD2/IEIN/SCL2入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: STxD2	0: SCL2出力 1: OUTC22
ビット2	0: P72/TA1OUT入力/CLK2入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: TA1OUT出力	0: CLK2出力 1: V
ビット3	0: P73/CTS2/SS2/TA1IN 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: \bar{V}	0: $\overline{RTS2}$ 1: OUTC10/ISTxD1/BE1OUT
ビット4	0: P74/INPC11/ISCLK1入力/TA2OUT入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: W	0: TA2OUT出力 1: OUTC11/ISCLK1出力
ビット5	0: P75/TA2IN/INPC12/ISRxD1/BE1IN 1: PSL1レジスタで選択	0: \bar{W} 1: OUTC12	“0” にしてください
ビット6	0: P76/INPC00/TA3OUT入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: TA3OUT出力	0: OUTC00/ISTxD0/BE0OUT 1: CANOUT
ビット7	0: P77/TA3IN/CANIN/ISCLK0入力/INPC01 1: OUTC01/ISCLK0出力	“0” にしてください	0: P104 ~ P107または $\overline{KI0} \sim \overline{KI3}$ 1: AN4 ~ AN7 (P77とは無関係)

注1. PSL_iビット(i=0~4, 6)を“1”にする場合、該当するPSC_iビットを“0”にしてください。

表24.5 ポートP8周辺機能出力制御

	PS2レジスタ	PSL2レジスタ
ビット0	0: P80/INPC02/ISRxD0/BE0IN /TA4OUT入力 1: PSL2レジスタで選択	0: TA4OUT出力 1: U
ビット1	0: P81/TA4IN 1: PSL2レジスタで選択	0: U 1: OUTC30/ISTxD3
ビット2	0: P82/INT0/ISRxD3 1: PSL2レジスタで選択	0: OUTC32 1: CANOUT
ビット3~7	“0” にしてください	

表24.6 ポートP9周辺機能出力制御

	PS3レジスタ	PSL3レジスタ
ビット0	0: P90/TB0IN/CLK3入力 1: CLK3出力	“0” にしてください
ビット1	0: P91/TB1IN/RxD3/ISRxD2/SCL3入力/IEIN 1: PSL3レジスタで選択	0: SCL3出力 1: STxD3
ビット2	0: P92/TB2IN/SRxD3/SDA3入力 1: PSL3レジスタで選択	0: TxD3/SDA3出力 1: OUTC20/ISTxD2/IEOUT
ビット3	0: P93/TB3IN/CTS3/SS3/DA0出力 1: RTS3	0: DA0以外 1: DA0
ビット4	0: P94/TB4IN/CTS4/SS4/DA1出力 1: RTS4	0: DA1以外 1: DA1
ビット5	0: P95/ANEX0/CLK4入力 1: CLK4出力	0: ANEX0以外 1: ANEX0
ビット6	0: P96/SRxD4/ANEX1/SDA4入力 1: TxD4/SDA4出力	0: ANEX1以外 1: ANEX1
ビット7	0: P97/RxD4/ADTRG/SCL4入力 1: PSL3レジスタで選択	0: SCL4出力 1: STxD4

表24.7 ポートP10周辺機能出力制御

	PSCレジスタ
ビット7	0: P104 ~ P107または $\overline{KI0}$ ~ $\overline{KI3}$ 1: AN4 ~ AN7

表24.8 ポートP11周辺機能出力制御

	PS5レジスタ
ビット0	0: P110 1: OUTC10/ISTxD1/BE1oUT
ビット1	0: P111/INPC11/ISCLK1入力 1: OUTC11/ISCLK1出力
ビット2	0: P112/INPC12/ISRxD1/BE1iN 1: OUTC12
ビット3	0: P113 1: OUTC13
ビット4~7	“0” にしてください

表24.9 ポートP12周辺機能出力制御

	PS6レジスタ
ビット0	0: P120 1: OUTC30/ISTxD3
ビット1	0: P121/ISCLK3入力 1: OUTC31/ISCLK3出力
ビット2	0: P122/ISRxD3 1: OUTC32
ビット3	0: P123 1: OUTC33
ビット4	0: P124 1: OUTC34
ビット5	0: P125 1: OUTC35
ビット6	0: P126 1: OUTC36
ビット7	0: P127 1: OUTC37

表24.10 ポートP13周辺機能出力制御

	PS7レジスタ
ビット0	0: P130 1: OUTC24
ビット1	0: P131 1: OUTC25
ビット2	0: P132 1: OUTC26
ビット3	0: P133 1: OUTC23
ビット4	0: P134 1: OUTC20/ISTxD2/IEoUT
ビット5	0: P135/ISRxD2/IEiN 1: OUTC22
ビット6	0: P136/ISCLK2入力 1: OUTC21/ISCLK2出力
ビット7	0: P137 1: OUTC27

表24.11 ポートP14周辺機能出力制御

	PS8レジスタ
ビット0	0: P140 1: OUTC14
ビット1	0: P141 1: OUTC15
ビット2	0: P142/INPC16 1: OUTC16
ビット3	0: P143/INPC17 1: OUTC17
ビット4~7	“0” にしてください

表24.12 ポートP15周辺機能出力制御

	PS9レジスタ
ビット0	0: P150/INPC00/AN150 1: OUTC00/ISTxD0/BE0oUT
ビット1	0: P151/INPC01/AN151/ISCLK0入力 1: OUTC01/ISCLK0出力
ビット2~3	“0” にしてください
ビット4	0: P154/INPC04/AN154 1: OUTC04
ビット5	0: P155/INPC05/AN155 1: OUTC05
ビット6~7	“0” にしてください

25. フラッシュメモリ版

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。

フラッシュメモリ版では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つのモードでフラッシュメモリを書き換えることができます。

表25.1にフラッシュメモリ版の性能概要を示します（表25.1に示す以外の項目は表1.1、表1.2を参照してください）。

表25.1 フラッシュメモリの性能概要

項目		性能
電源電圧		4.2V ~ 5.5V (f(XIN)=32MHz、ウエイトなし) 3.0V ~ 5.5V (f(XIN)=20MHz、ウエイトなし)
プログラム、イレーズ電圧		VDCオンの場合 4.2V ~ 5.5V、VDCオフの場合 3.0V ~ 3.6V CPUクロック=12.5MHz(1ウエイト)、CPUクロック=6.25MHz(ウエイトなし)
フラッシュメモリ書き換えモード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	図25.1を参照してください。
	ブートROM領域	1分割(8Kバイト)
プログラム方式		ページ単位(256バイト単位)
イレーズ方式		一括消去、ブロック消去
プログラム、イレーズ制御方式		ソフトウエアコマンドによるプログラム、イレーズ制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム、イレーズ回数		100回
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード、標準シリアル入出力モード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ書き換えられます。

表25.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウエアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O	専用パラレルライタを使用して、ブートROM領域、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域 ブートROM領域
動作モード	シングルチップモード メモリ拡張モード ブートモード	ブートモード	パラレル入出力モード
ROMライタ	-	シリアルライタ	パラレルライタ

25.1 メモリ配置

フラッシュメモリ版は、シングルチップモード、またはメモリ拡張モード時のマイクロコンピュータ動作プログラムを格納するユーザROM領域とは別に、8KバイトのブートROM領域を持ちます。

図25.1にフラッシュメモリのブロック図を示します。

ユーザROM領域はいくつかのブロックに分割されており、ブロックごとにプログラムやイレースを禁止(ロック)できます。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は、ユーザROM領域と重なったアドレスに配置されており、パラレル入出力モード(「25.5 パラレル入出力モード」参照)でだけ書き換えられます。また、CNVss端子とP50端子に“H”を、P55端子に“L”を入力してリセットすると、リセット後、ブートROM領域のプログラムが実行されます(「25.1.1 ブートモード」参照)。CNVss端子に“L”を入力してリセットするとリセット後、ユーザROM領域のプログラムが実行され、ブートROM領域は読めません。

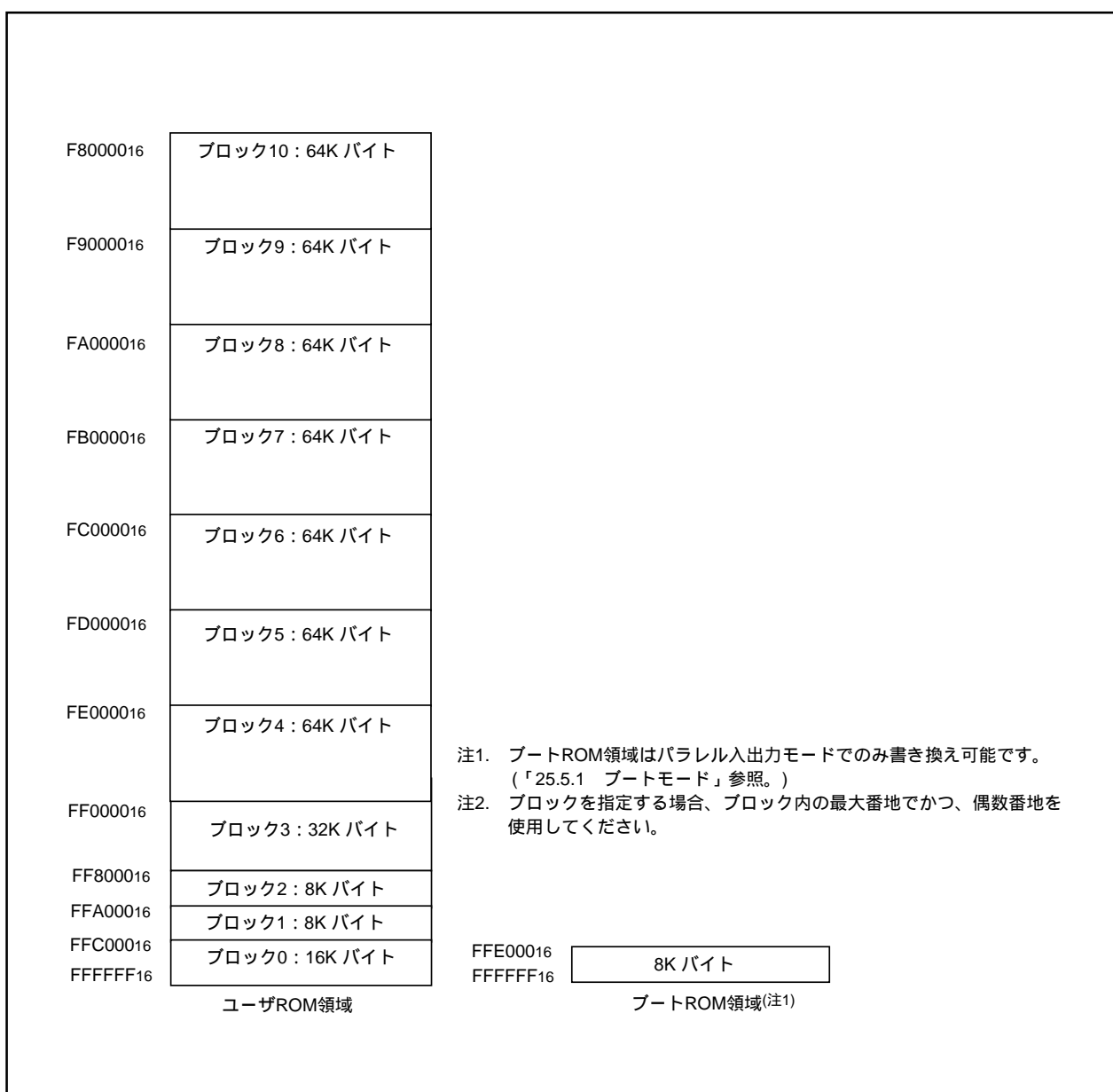


図25.1 フラッシュメモリのブロック図

25.1.1 ブートモード

CNVss端子とP50端子に“H”を、P55端子に“L”を入力してリセットすると、ブートモードになります。ブートモードでは、リセット後、ブートROM領域のプログラムを実行します。

ブートモード時、ブートROM領域とユーザROM領域は、FMR05ビットで切り替えられます。

ブートROM領域には、出荷時、標準シリアル入出力モード（「25.4 標準シリアル入出力モード」参照）用の制御プログラムが格納されています。

また、ブートROM領域は、パラレル入出力モードで書き換えられます。CPU書き換えモードを使用した任意の書き換え制御プログラムをブートROM領域に書いておくと、システムに合わせた書き換えができます。

25.2 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込みを禁止するために、パラレル入出力モードではROMコードプロテクト機能、標準シリアル入出力モードではIDコードチェック機能があります。

25.2.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。図25.2にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

ROMCP1ビットを“002”にすると、ROMコードプロテクトが有効になります。ROMCRビットを“002”にすると、ROMCP1ビットの状態にかかわらず、ROMコードプロテクトは解除されます。

したがって、ROMコードプロテクトを設定する場合は、ROMCRビットを“112”でROMCP1ビットを“002”にしてください。

一度ROMコードプロテクトを有効にすると、パラレル入出力モードではROMCRビットを変更できません。ROMCRビットは、標準シリアル入出力モードまたはCPU書き換えモードで“002”に書き換えてください。

25.2.2 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFF16”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFFFFDF16、0FFFFFFE316、0FFFFFFEB16、0FFFFFFEF16、0FFFFFFF316、0FFFFFFF716、0FFFFFFFB16に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。

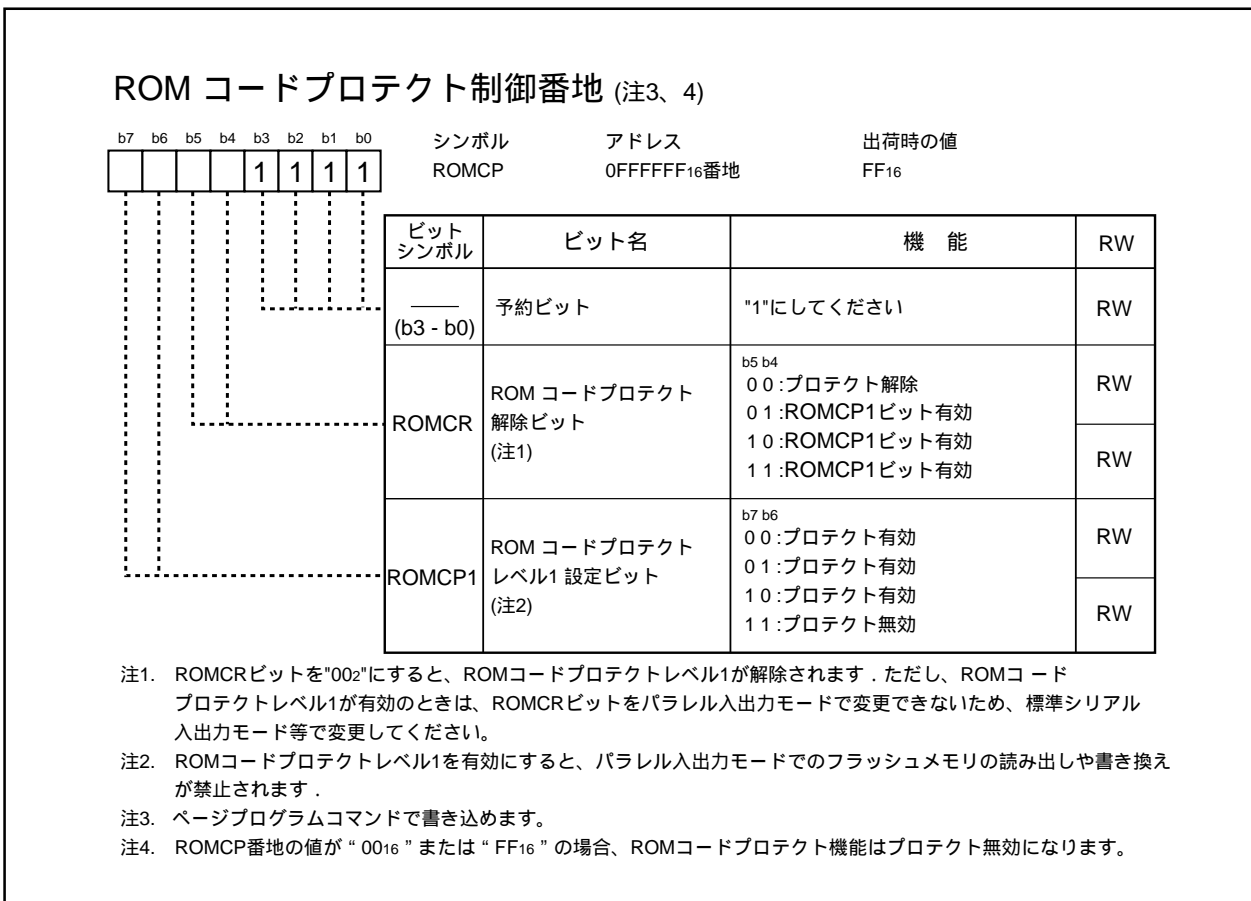


図25.2 ROMCPレジスタ

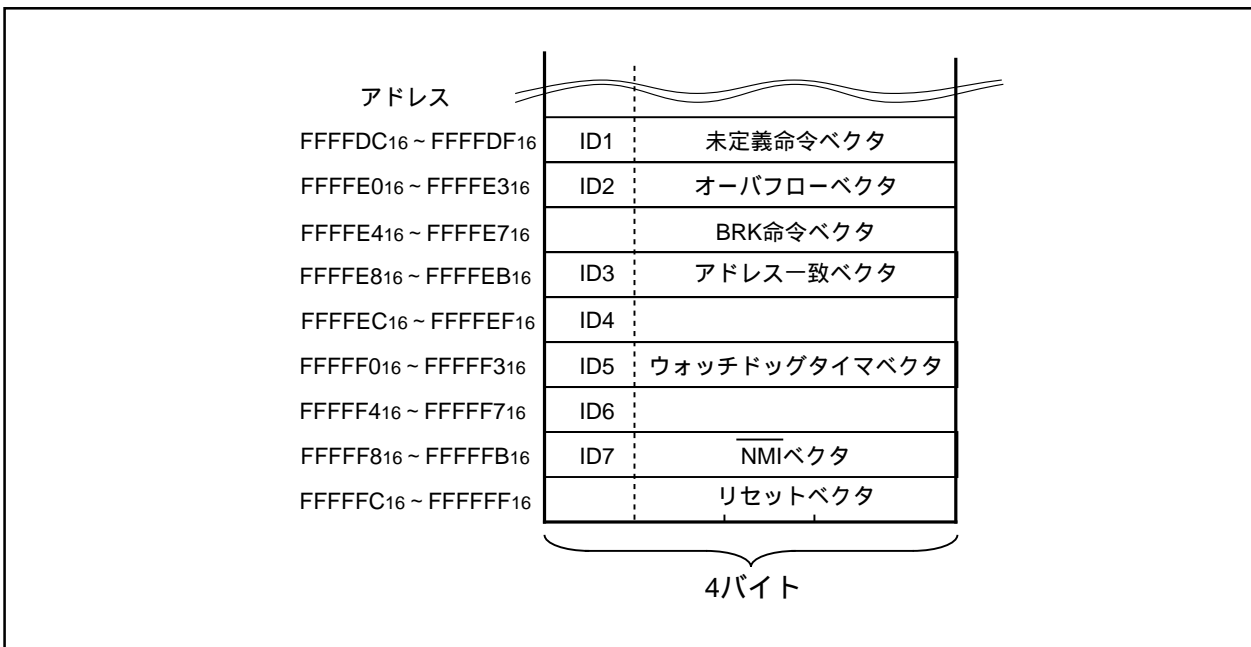


図25.3 IDコードの格納番地

25.3 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、書き換えることができます。

書き換え制御プログラムは、あらかじめユーザROM領域またはブートROM領域に書いてください。ただし、CPU書き換えモードではフラッシュメモリ上のプログラムは実行できません。したがって、書き換え制御プログラムはフラッシュメモリ以外の領域(内部RAMなど)に転送した後、その領域上で実行してください。

CPU書き換えモードはシングルチップモード、メモリ拡張モード、ブートモードで使用できます。

CPU書き換えモードでは表25.3に示すソフトウェアコマンドが使用できます。各コマンドの詳細は、「25.3.5 ソフトウェアコマンド」を参照してください。

なお、コマンドやデータの読み出しまたは書き込みは、16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコードを書く時、上位8ビット(D15～D8)は無視されます。

表25.3 ソフトウェアコマンド

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	x	xxFF16						
リードステータスレジスタ	ライト	x	xx7016	リード	x	SRD			
クリアステータスレジスタ	ライト	x	xx5016						
ページプログラム	ライト	x	xx4116	ライト	WA	WD	ライト	WA+2	WD
ブロックイレーズ	ライト	x	xx2016	ライト	BA	xxD016			
イレーズ全アンロックブロック	ライト	x	xxA716	ライト	x	xxD016			
ロックビットプログラム	ライト	x	xx7716	ライト	BA	xxD016			
リードロックビットステータス	ライト	x	xx7116	リード	BA	D6			

SRD：ステータスレジスタデータ(D7～D0)

WA：書き込み番地(A7～A0は“0016”から“FE16”まで、2ずつインクリメントしてください)

WD：書き込みデータ(16ビット)

BA：ブロックの最上位番地(ただし、A0=0)

D6：ロックビットの状態(D6=1：非ロック状態、D6=0：ロック状態)

x：ユーザROM領域内の任意の偶数番地(A0=0)

xx：コマンドコード上位8ビット(無視されます)

25.3.1 フラッシュメモリ制御レジスタ(FMR0レジスタ)

図25.4にFMR0レジスタを示します。

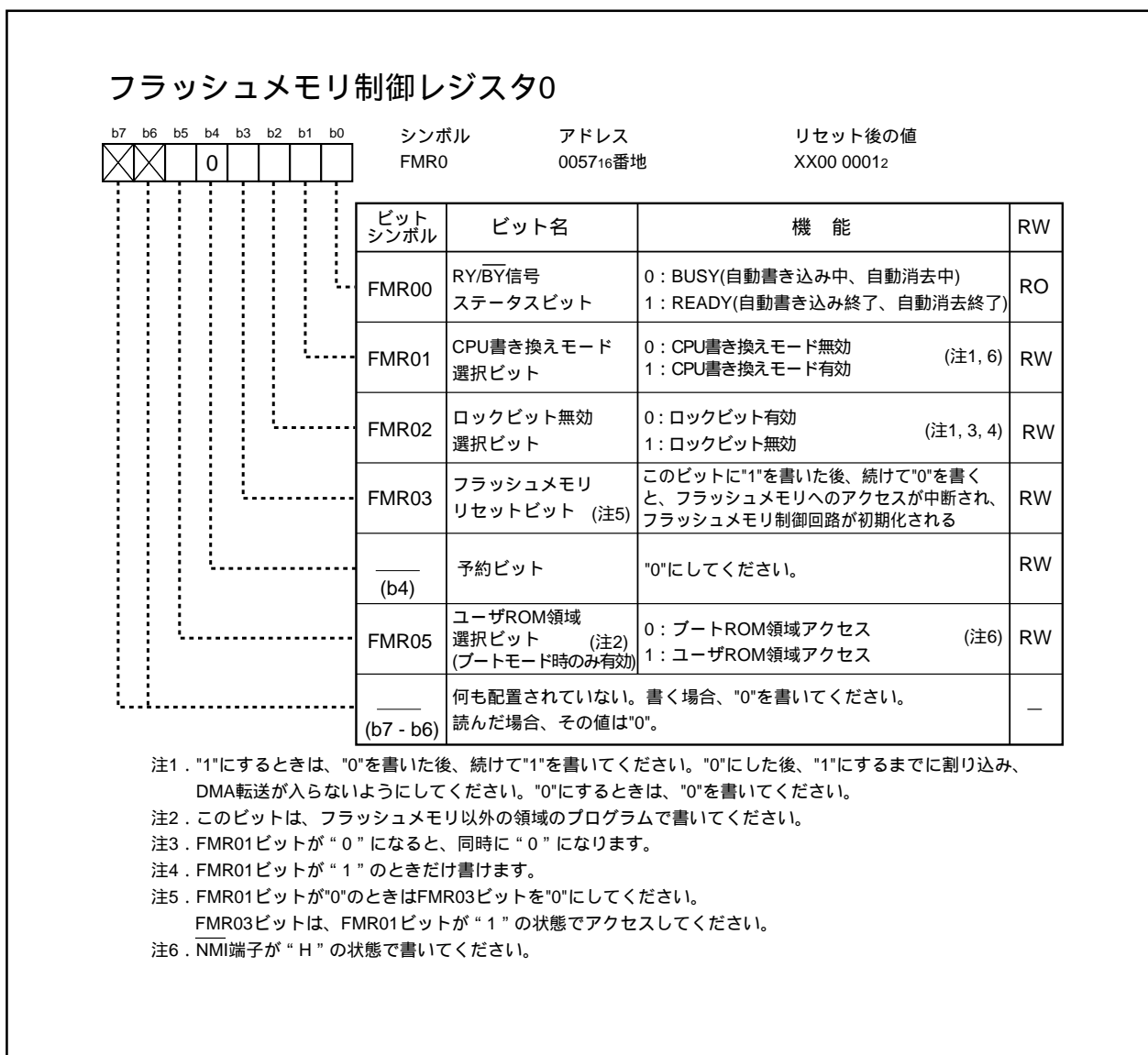


図25.4. FMR0レジスタ

25.3.1.1 FMR00ビット

自動書き込み、自動消去時のライトステートマシン(WSM)の動作状況を示すビットです。自動書き込み中または、自動消去中は"0"、自動書き込み終了または、自動消去終了時"1"になります。ページプログラム、ブロックイレース、イレース全アンロックブロック、ロックビットプログラムのコマンド実行中に変化します。これらのコマンド実行後は、FMR00ビットで自動書き込みまたは自動消去の終了を確認してください。上記以外のコマンドではFMR00ビットは変化しません。

25.3.1.2 FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。FMR01ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”にするときは、“0”を書いてください。

FMR01ビットを“1”にした後はCPU書き換えモードになるため、フラッシュメモリ上のプログラムを実行できなくなります。したがって、このビットへ書く命令は、フラッシュメモリ以外の領域上(内部RAMなど)で実行してください。

なお、ブートモードでCPU書き換えモードのコマンドを実行する場合は、FMR05ビットも“1”(ユーザROM領域アクセス)にしてください。

25.3.1.3 FMR02ビット

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます(「25.3.3 データ保護機能」参照)。“0”(ロックビット有効)にすると、ロックビットが有効になります。FMR02ビットはFMR01ビットが“1”のとき書けます。FMR02ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”にするときは、“0”を書いてください。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02ビットを“1”にした状態でブロックイレーズコマンドまたはイレーズ全アンロックブロックコマンドを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)になります。

25.3.1.4 FMR03ビット

FMR03ビットに“1”を書いた後、続けて“0”を書くと、ユーザROM領域に対するアクセスが中断され、フラッシュメモリ制御回路が初期化されます。初期化後はリードアレイモードになり、FMR00ビットが“1”(READY)に、ステータスレジスタ(「25.3.2 ステータスレジスタ」参照)が“8016”になります。

自動書き込みまたは自動消去中にFMR03ビットで初期化した場合は、自動書き込みや自動消去が中断され、そのブロックのデータは無効になります。

FMR03ビットへ書くときは、“1”を書いた後、続けて“0”を書いてください。

25.3.1.5 FMR05ビット

ブートモード時、ブートROM領域とユーザROM領域を切り替えるビットです。ブートROM領域をアクセス(読み出し)するときは“0”に、ユーザROM領域をアクセス(読み出し、書き込み、消去)するときは“1”(ユーザROMアクセス)にしてください。FMR05ビットへ書く命令は、フラッシュメモリ以外の領域上(内部RAMなど)で実行してください。

ブートモード以外では、FMR05ビットにかかわらずユーザROM領域をアクセス(読み出し)します。

25.3.2 ステータスレジスタ

フラッシュメモリのプログラムとイレーズは、フラッシュメモリ内のライトステートマシン(以下WSMと称す)が制御します。ステータスレジスタは、WSMの動作状態、プログラムまたはイレーズの終了状態(正常またはエラー)を示します。各エラーの詳細は、「25.3.6 フルステータスチェック」を参照してください。

表25.4にステータスレジスタを示します。

ステータスレジスタは、リードステータスレジスタコマンド(「25.3.5 ソフトウェアコマンド」)で読めます。

表25.4 ステータスレジスタ

記号	ステータス名	内容	
		0	1
SR0(D0)	予約ビット	-	-
SR1(D1)	予約ビット	-	-
SR2(D2)	予約ビット	-	-
SR3(D3)	ブロックステータスアフタプログラム	正常終了	エラー(過剰書き込みエラー)
SR4(D4)	プログラムステータス	正常終了	エラー(プログラムエラー)
SR5(D5)	イレーズステータス	正常終了	エラー(イレーズエラー)
SR6(D6)	予約ビット	-	-
SR7(D7)	ライトステートマシン(WSM)ステータス	BUSY	READY

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

25.3.2.1 ブロックステータスアフタプログラム(SR3)

ページプログラムコマンド完了時、過剰書き込みエラーが発生すると“1”になります。クリアステータスレジスタコマンドを実行すると“0”になります。リセット後と、FMR03ビットに“1”を書いた後、続けて“0”を書いたとき“0”になります。

25.3.2.2 プログラムステータス(SR4)

ページプログラムコマンド、ロックビットプログラムコマンド実行時、プログラムエラーが発生すると“1”になります。クリアステータスレジスタコマンドを実行すると“0”になります。リセット後と、FMR03ビットに“1”を書いた後、続けて“0”を書いたとき“0”になります。

25.3.2.3 イレーズステータス(SR5)

ブロックイレーズコマンド、イレーズ全アンロックブロックコマンド実行時、イレーズエラーが発生すると“1”になります。クリアステータスレジスタコマンドを実行すると“0”になります。リセット後と、FMR03ビットに“1”を書いた後、続けて“0”を書いたとき“0”になります。

25.3.2.4 ライトステートマシン(WSM)ステータス(SR7)

WSMの動作状況を示します。自動書き込みまたは自動消去中は“0”、自動書き込み終了または自動消去終了時は“1”になります。ページプログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムのコマンド実行中に変化します。それ以外のコマンドでは変化しません。リセット後と、FMR03ビットに“1”を書いた後、続けて“0”を書いたとき“1”になります。

なお、WSMステータスは、FMR00ビットで確認できます。自動書き込み終了または自動消去の終了は、FMR00ビットで確認してください。

25.3.3 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。これによりデータの誤消去や誤書き込みを防止します。ロックビットによるブロックの状態を次に示します。

- ・ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ・ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータをコマンドで“1”にできません。また、ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR02ビットを“1”にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR02ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR02ビットが“1”の状態、ブロックイレーズコマンドまたはイレーズ全アンロックブロックコマンドを実行すると、ロックビットデータにかかわらず、対象となるブロックまたは全ブロックが消去されます。消去終了後、各ブロックのロックビットデータは“1”になります。

各コマンドの詳細は、「25.3.5. ソフトウェアコマンド」を参照してください。

25.3.4 CPU書き換えモード設定と解除方法

図25.5にCPU書き換えモードの設定と解除方法を示します。

CPU書き換えモードでは、フラッシュメモリ上のプログラムを実行できません。したがって、書き換え制御プログラムは、フラッシュメモリ以外の領域(内部RAMなど)に転送した後、その領域で実行してください。

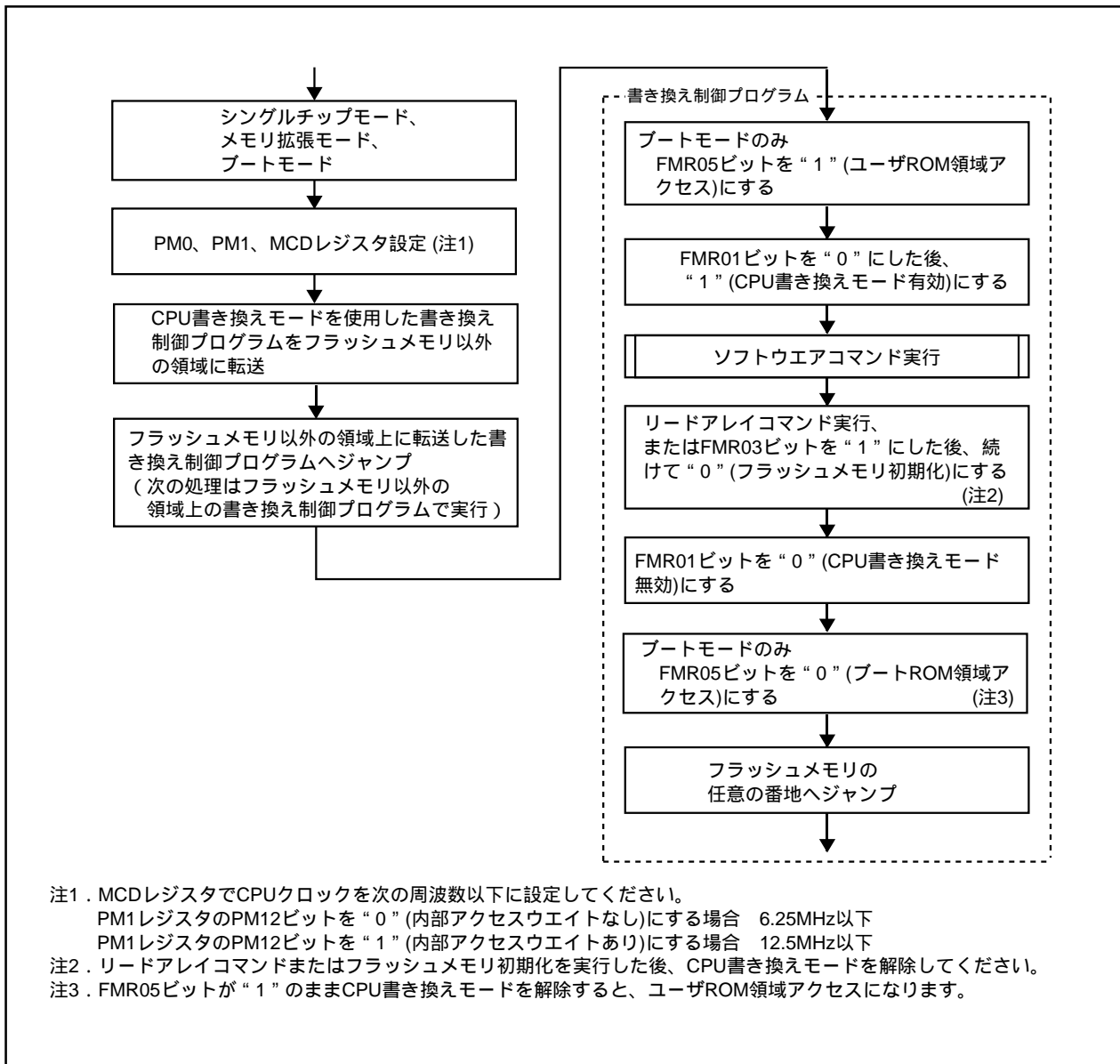


図25.5 CPU書き換えモードの設定と解除方法

25.3.5 ソフトウェアコマンド

ソフトウェアコマンドについて、次に説明します。

ソフトウェアコマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

25.3.5.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルでコマンドコード“xxFF₁₆”を書くと、リードアレイモードになります。次のバスサイクルから任意の番地の内容が読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されますので、複数の番地のデータを続けて読めます。

25.3.5.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルでコマンドコード“xx70₁₆”を書くと、第2バスサイクルでステータスレジスタ(表25.4参照)が読めます。なお、読むときもユーザROM領域内の偶数番地を読んでください。

25.3.5.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第1バスサイクルでコマンドコード“xx50₁₆”を書くと、ステータスレジスタのSR3～SR5(表25.4参照)が“0”になります。

25.3.5.4 ページプログラム

128ワード(256バイト)単位でプログラムを実行するコマンドです。

第1バスサイクルで“xx41₁₆”を書き、第2バスサイクルから第129バスサイクルまで、書き込みデータを16ビット単位で書いてください。書き込み番地の下位8ビット(A7～A0)は“00₁₆”から“FE₁₆”まで、2ずつインクリメントしてください。

128ワードのデータ書き込みが完了すると、自動書き込み(データのプログラムとベリファイ)を開始します。自動書き込み中は、フラッシュメモリをアクセスしたり、次のコマンドを実行したりしないでください。

自動書き込みの終了は、FMR0レジスタのFMR00ビットで確認してください。

自動書き込み終了後は、ステータスレジスタで自動書き込みの結果を確認できます(「25.3.6 フルステータスチェック」参照)。

図25.6にページプログラムフローチャートを示します。

なお、既にプログラムされているページは、イレーズ(ブロックイレーズ)後プログラムしてください。既にプログラムされているページにページプログラムを実行した場合、プログラムエラーは発生しませんが、そのページの内容は不定になります。

なお、各ブロックはロックビットによりプログラムを禁止できます(「25.3.3 データ保護機能」参照)。

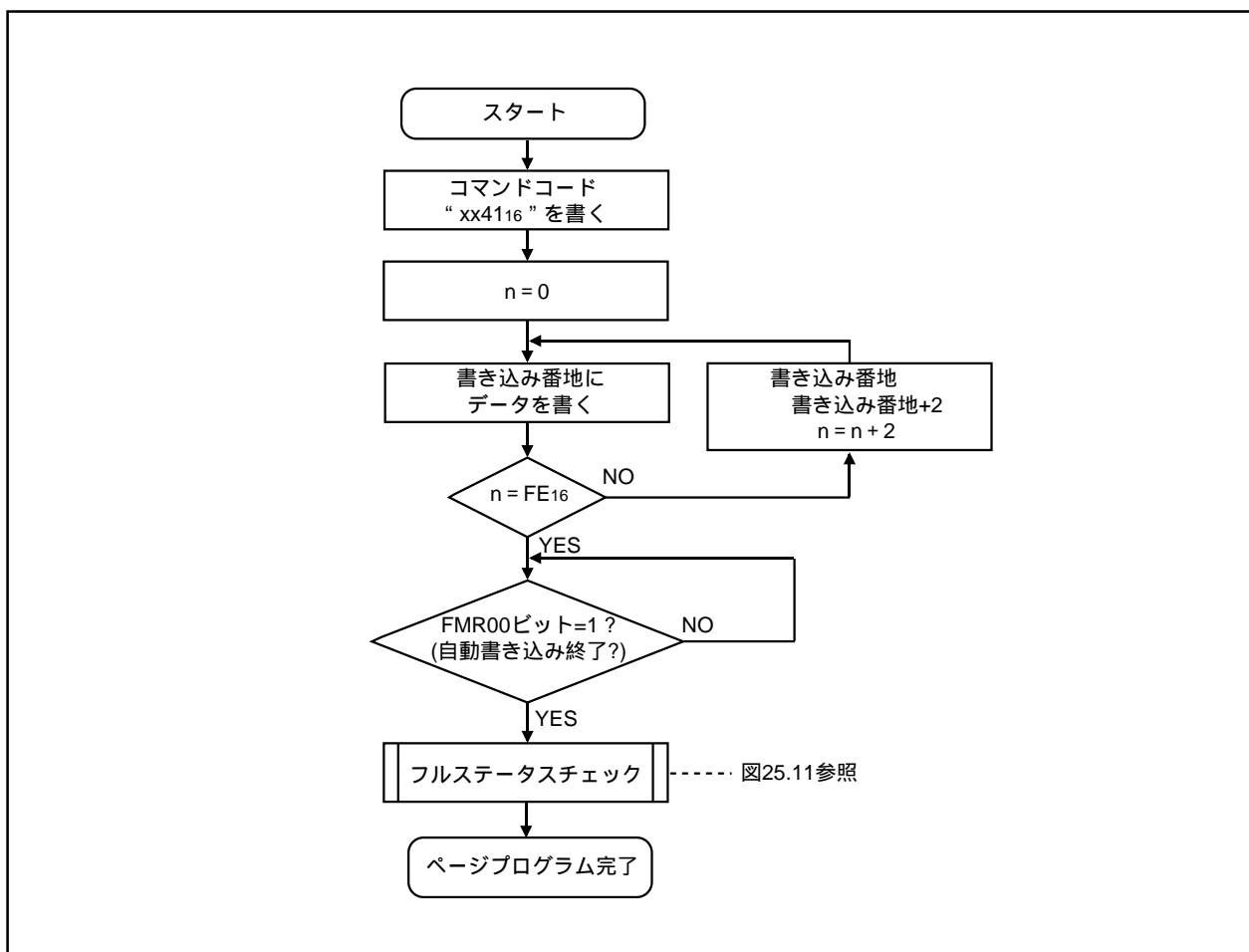


図25.6 ページプログラムフローチャート

25.3.5.5 ブロックイレーズ

ブロック単位でイレーズを実行するコマンドです。

第1バスサイクルで“xx2016”を書き、第2バスサイクルでイレーズするブロックの最上位番地(ただし、A0=0)に“xxD016”を書くと、指定されたブロックの自動消去(イレーズとイレーズベリファイ)を開始します。自動消去中は、フラッシュメモリをアクセスしたり、次のコマンドを実行したりしないでください。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認してください。

自動消去終了後は、ステータスレジスタで自動消去の結果を確認できます(「25.3.6 フルステータスチェック」参照)。

図25.7にブロックイレーズフローチャートを示します。

なお、各ブロックはロックビットによりイレーズを禁止できます(「25.3.3 データ保護機能」参照)。

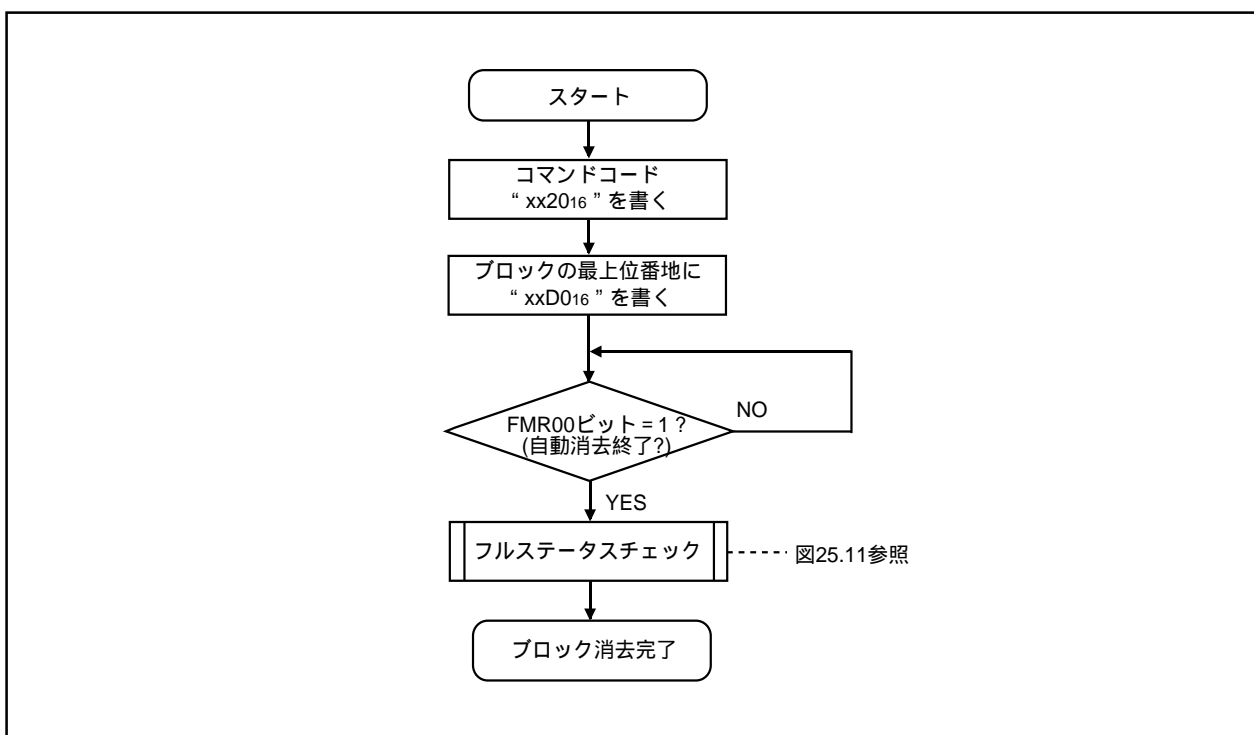


図25.7 ブロックイレーズフローチャート

25.3.5.6 イレーズ全アンロックブロック

第1バスサイクルで“xxA7₁₆”、第2バスサイクルで“xxD0₁₆”を書くと、全ブロックに自動消去(イレーズとイレーズベリファイ)を開始します。自動消去中は、フラッシュメモリをアクセスしたり、次のコマンドを実行したりしないでください。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認してください。

自動消去終了後は、ステータスレジスタで自動消去の結果を確認できます(「25.3.6 フルステータスチェック」参照)。

図25.8にイレーズ全アンロックブロックフローチャートを示します。

なお、各ブロックはロックビットによりイレーズを禁止できます(「25.3.3 データ保護機能」参照)。

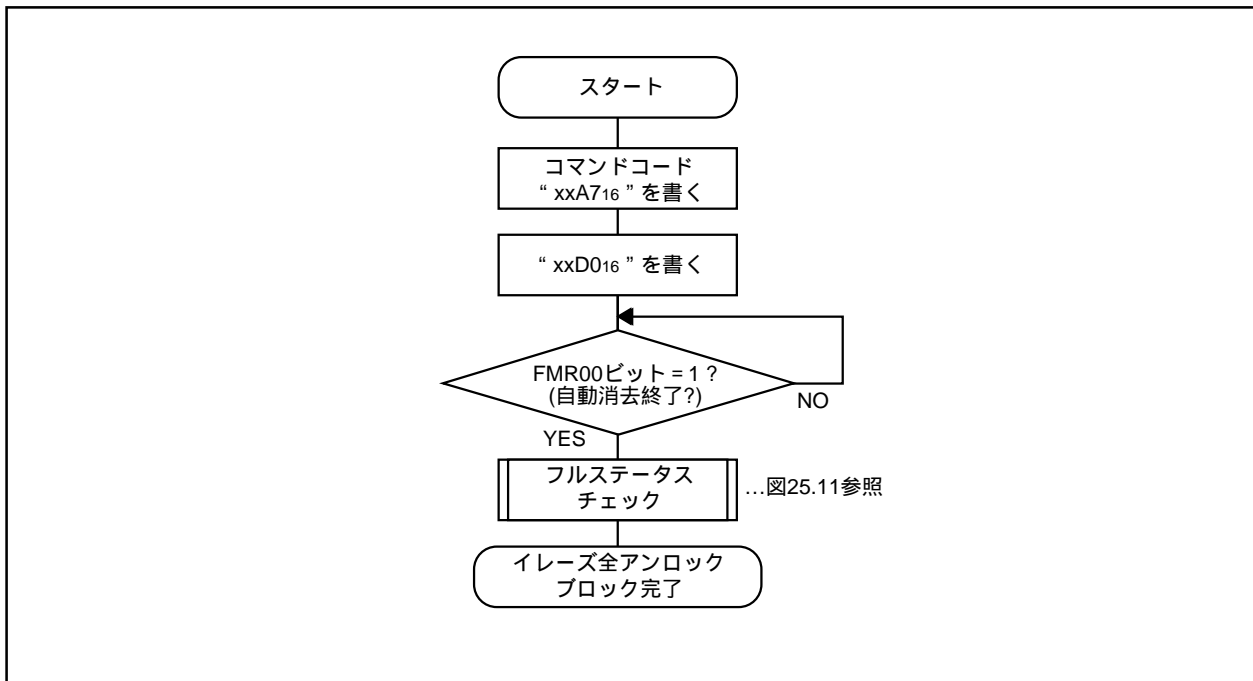


図25.8 イレーズ全アンロックブロックフローチャート

25.3.5.7 ロックビットプログラム

任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“xx77₁₆”を書き、第2バスサイクルでブロックの最上位番地(ただし、A₀=0)に“xxD0₁₆”を書くと、指定されたブロックのロックビットに“0”(ロック状態)が書かれます。書き込み中は、フラッシュメモリをアクセスしたり、次のコマンドを実行したりしないでください。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認してください。

書き込み終了後は、ステータスレジスタで書き込みの結果を確認できます(「25.3.6 フルステータスチェック」参照)。

図25.9にロックビットプログラムフローチャートを示します。

なお、ロックビットの機能を“0”にする方法は「25.3.3 データ保護機能」を参照してください。

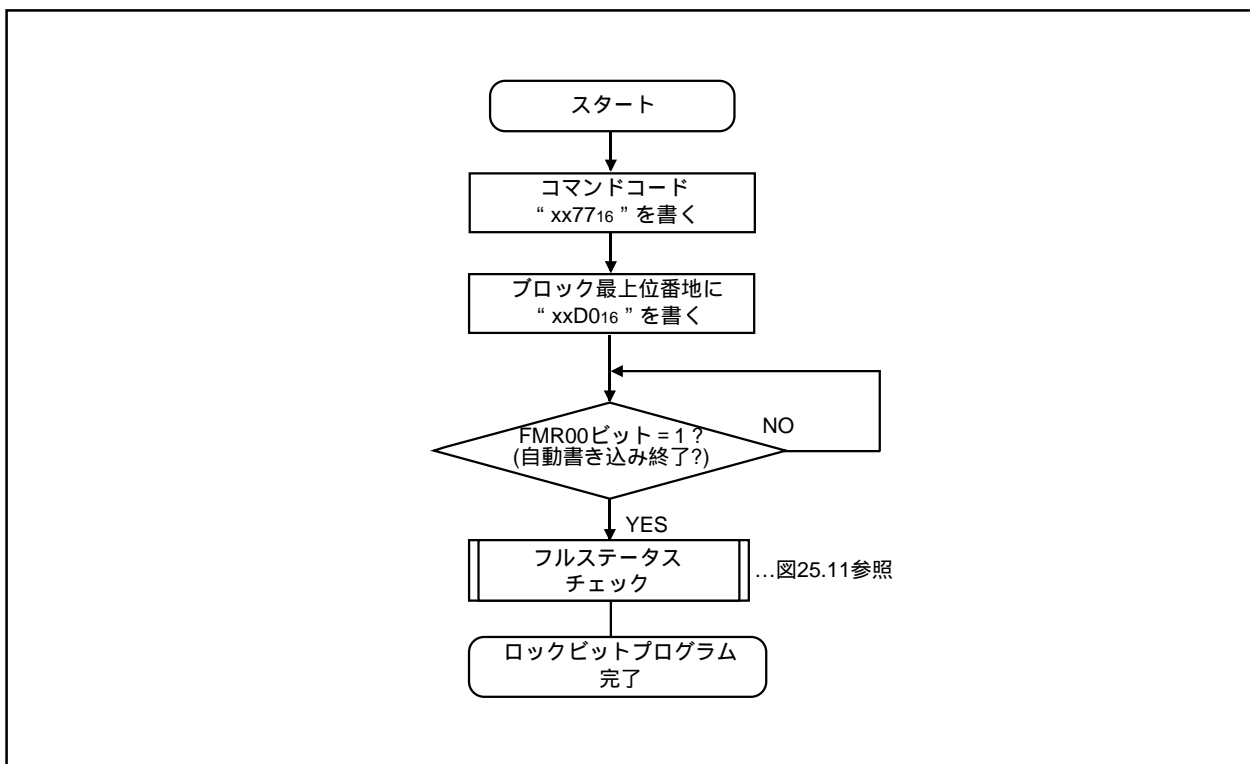


図25.9 ロックビットプログラムフローチャート

25.3.5.8 リードロックビットステータス

任意のブロックのロックビットの状態(ロックビットデータ)を読むコマンドです。

第1バスサイクルで“xx7116”を書き、第2バスサイクルでブロックの最上位番地(ただし、A0=0)を読むと、指定されたブロックのロックビットの状態がデータバス(D6)へ読み出されます。

図25.10にリードロックビットステータスフローチャートを示します。

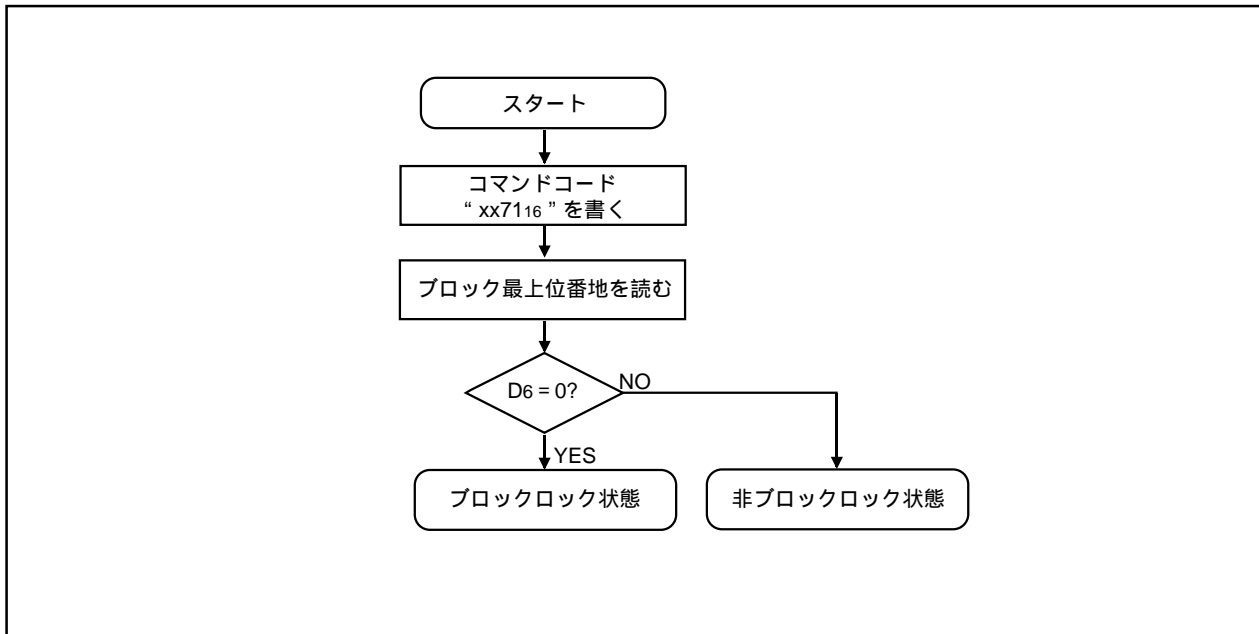


図25.10 リードロックビットステータスフローチャート

25.3.6 フルステータスチェック

プログラムまたはイレーズ終了時、エラーが発生すると、ステータスレジスタのSR3～SR5ビットが“1”になり、各エラーの発生を示します。したがって、プログラムまたはイレーズ終了時、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表25.5にエラーとステータスレジスタ(SR3～SR5)の状態を、図25.11にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表25.5 エラーとステータスレジスタの状態

ステータスレジスタ			エラー	エラー発生条件
SR5	SR4	SR3		
1	1	0	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ロックビットプログラム、ブロックイレーズ、またはイレーズ全アンロックブロックコマンドの第2バスサイクルのデータに書いてもよい値(“xxD0₁₆”または“xxFF₁₆”)以外のデータを書いたとき(注1)
1	0	0	イレーズエラー	<ul style="list-style-type: none"> ・ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) ・ロックされていないブロックにブロックイレーズまたはイレーズ全アンロックブロックコマンドを実行し、正しくイレーズされなかったとき
0	1	0	プログラムエラー	<ul style="list-style-type: none"> ・ロックされたブロック内のページにページプログラムコマンドを実行したとき(注2) ・ロックされていないブロック内のページにページプログラムコマンドを実行し、正しくプログラムされなかったとき ・ロックビットプログラムコマンドを実行し、正しくプログラムされなかったとき
0	0	1	過剰書き込みエラー	ページプログラム完了時、過剰書き込みが発生したとき

注1．これらのコマンドの第2バスサイクルで“xxFF₁₆”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2．FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

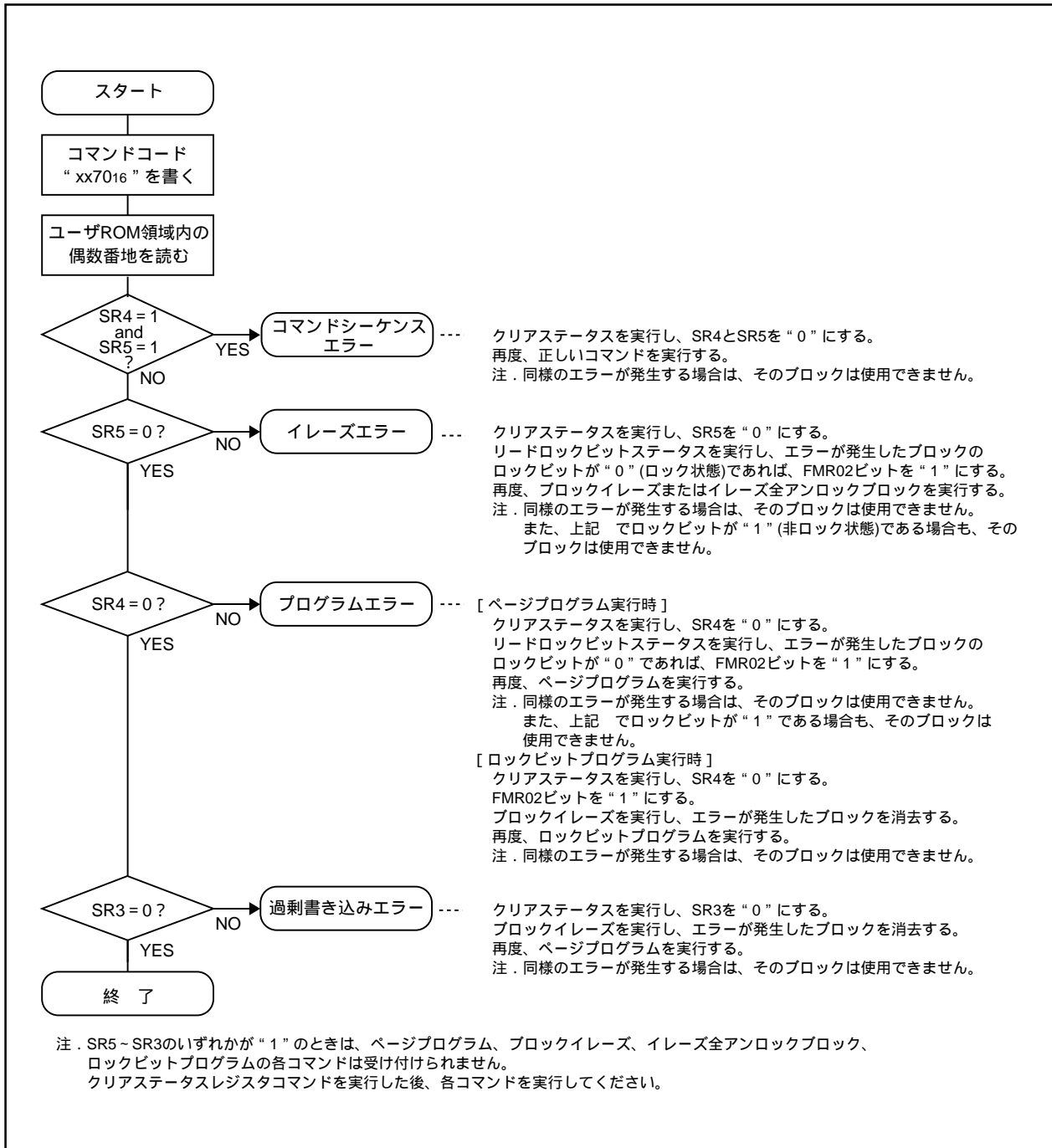


図25.11 フルステータスチェックフローチャートと各エラー発生時の対処方法

25.3.7 CPU書き換えモードの注意事項

25.3.7.1 動作速度

MCDレジスタでCPUクロックを次の周波数以下にし、CPU書き換えモードに移行してください。

PM1レジスタのPM12ビットを“0”(内部アクセスウエイト無し)にする場合 6.25MHz以下

PM1レジスタのPM12ビットを“1”(内部アクセスウエイト有り)にする場合 12.5MHz以下

25.3.7.2 使用禁止命令

CPU書き換えモードでは、フラッシュメモリ上でのプログラムの実行や、フラッシュメモリ上の割り込みベクタの参照はできません。したがって、書き換え制御プログラムは、フラッシュメモリ以外の領域に転送した後、その領域上で実行してください(図25.5参照)。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令は、フラッシュメモリを参照するため、使用できません。

25.3.7.3 割り込み

(1)可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAMに移すことで使用できます。

(2)ウォッチドッグタイマ割り込み、NMI割り込みは、割り込み発生時に強制的にFMR01ビットを“0”(CPU書き換えモード無効)に変更するので使用できません。ただし、固定ベクタテーブルに割り込みの飛び先が設定されており、割り込みプログラムが存在することが必要です。NMI割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作は中止するので、割り込みルーチン終了後、再度書き換えてください。

(3)アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

25.3.7.4 コマンド、データの読み出しまたは書き込み

コマンドやデータの読み出しまたは書き込みは、16ビット単位で、ユーザROM領域内の偶数番地に行ってください。

25.3.7.5 リセット

常に受け付けます。

25.3.7.6 アクセス禁止

FMR01ビットとFMR05ビットは、フラッシュメモリ以外の領域で書いてください。

25.3.7.7 アクセス方法

FMR01ビットとFMR02ビットを“1”にする場合は、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後“1”を書くまでに、割り込み、DMA転送が入らないようにしてください。

FMR01ビットを“1”にする場合は、P85/NMI端子に“H”を入力してからFMR01ビットに“1”を書いてください。

25.3.7.8 ユーザROM領域の書き換え

CPU書き換えモードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、フラッシュ書き換え制御プログラムが正常に書き換えられないため、その後のフラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

25.4 標準シリアル入出力モード

標準シリアル入出力モードでは、M32C/83グループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライターは、各メーカーにお問い合わせください。また、シリアルライターの操作方法は、シリアルライターのユーザーズマニュアルを参照してください。

標準シリアル入出力モードには次の2つのモードがあります。

- ・標準シリアル入出力モード1(クロック同期形)
- ・標準シリアル入出力モード2(クロック非同期形)

25.4.1 端子の機能説明

表25.6に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図25.12～25.14に標準シリアル入出力モード時の端子結線図を示します。

25.4.2 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードの一致を判定します(「25.2 フラッシュメモリ書き換え禁止機能」参照)。

表25.6 端子の機能(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
VCC VSS	電源入力	入力	Vcc端子には4.2V ~ 5.5Vを入力してください。 Vss端子には0Vを入力してください。
CNVSS	モード選択 CNVSS	入力	Vccに接続してください。
RESET	リセット入力	入力	リセット入力端子です。 RESET端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください。
XIN XOUT	クロック入力 クロック出力	入力 出力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。 外部で生成したクロックを入力する時は、XIN端子から入力し、XOUT端子は開放してください。
BYTE	BYTE入力	入力	VssまたはVccに接続してください。
AVCC AVSS	アナログ電源入力	入力	AVccはVccに接続してください。 AVssはVssに接続してください。
VREF	基準電源入力	入力	A/Dコンバータの基準電圧入力端子です。
P00 ~ P07	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P10 ~ P17	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P20 ~ P27	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P30 ~ P37	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P40 ~ P47	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P50	CE入力	入力	“H”を入力してください。
P55	EPM入力	入力	“L”を入力してください。
P51 ~ P54 P56, P57	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
P60 ~ P63 P64	入力ポートP6 BUSY出力	入力 出力	“H”を入力、“L”を入力、または開放してください。 標準シリアル入出力モード1：BUSY信号の出力端子です。 標準シリアル入出力モード2：プログラム動作チェック用モニタ
P65	SCLK入力	入力	標準シリアル入出力モード1：シリアルクロックの入力端子です。 標準シリアル入出力モード2：“L”を入力してください。
P66	データ入力 RxD	入力	シリアルデータの入力端子です。
P67	データ出力 TxD	出力	シリアルデータの出力端子です。(注1)
P70 ~ P77	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P80 ~ P84 P86, P87	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P85	NMI入力	入力	Vccに接続してください。
P90 ~ P97	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
P100 ~ P107	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。
P110 ~ P114	入力ポートP11	入力	“H”を入力、“L”を入力、または開放してください。(注2)
P120 ~ P127	入力ポートP12	入力	“H”を入力、“L”を入力、または開放してください。(注2)
P130 ~ P137	入力ポートP13	入力	“H”を入力、“L”を入力、または開放してください。(注2)
P140 ~ P146	入力ポートP14	入力	“H”を入力、“L”を入力、または開放してください。(注2)
P150 ~ P157	入力ポートP15	入力	“H”を入力、“L”を入力、または開放してください。(注2)

注1．標準シリアル入出力モード1を使用する場合、RESET端子が“L”の間、TxD端子に“L”を入力してください。
この端子に抵抗を介してVssに接続してください。リセット後この端子はデータ出力端子になりますので、データ転送に影響を与えないようプルダウン抵抗値をシステム上で調整してください。

注2．144ピン版のみ存在します。

モード設定方法

信号線名	値
CNVss	Vcc
EPM	Vss
RESET	Vss Vcc
CE	Vcc

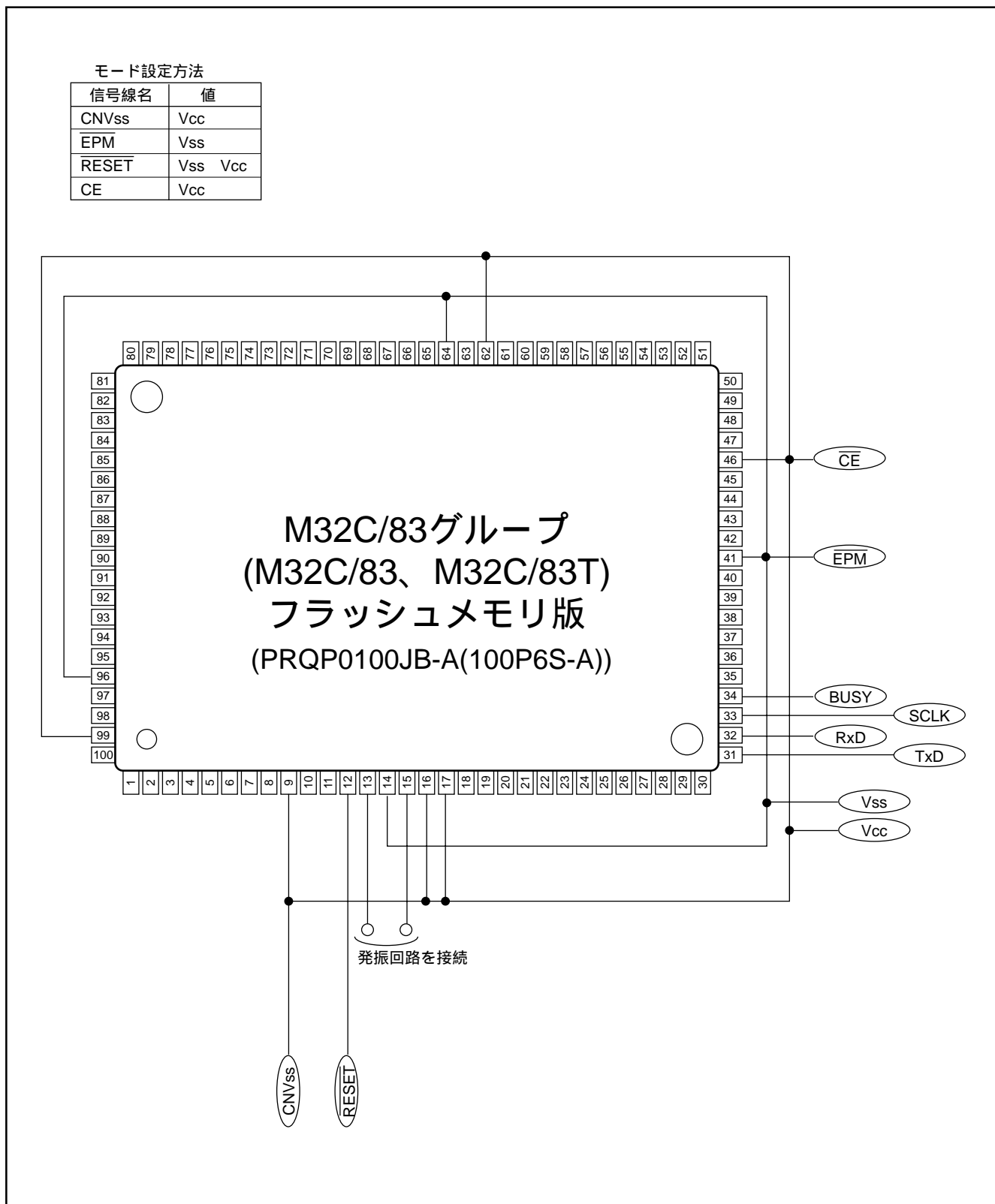


図25.12 標準シリアル入出力モード時の端子結線図(1)

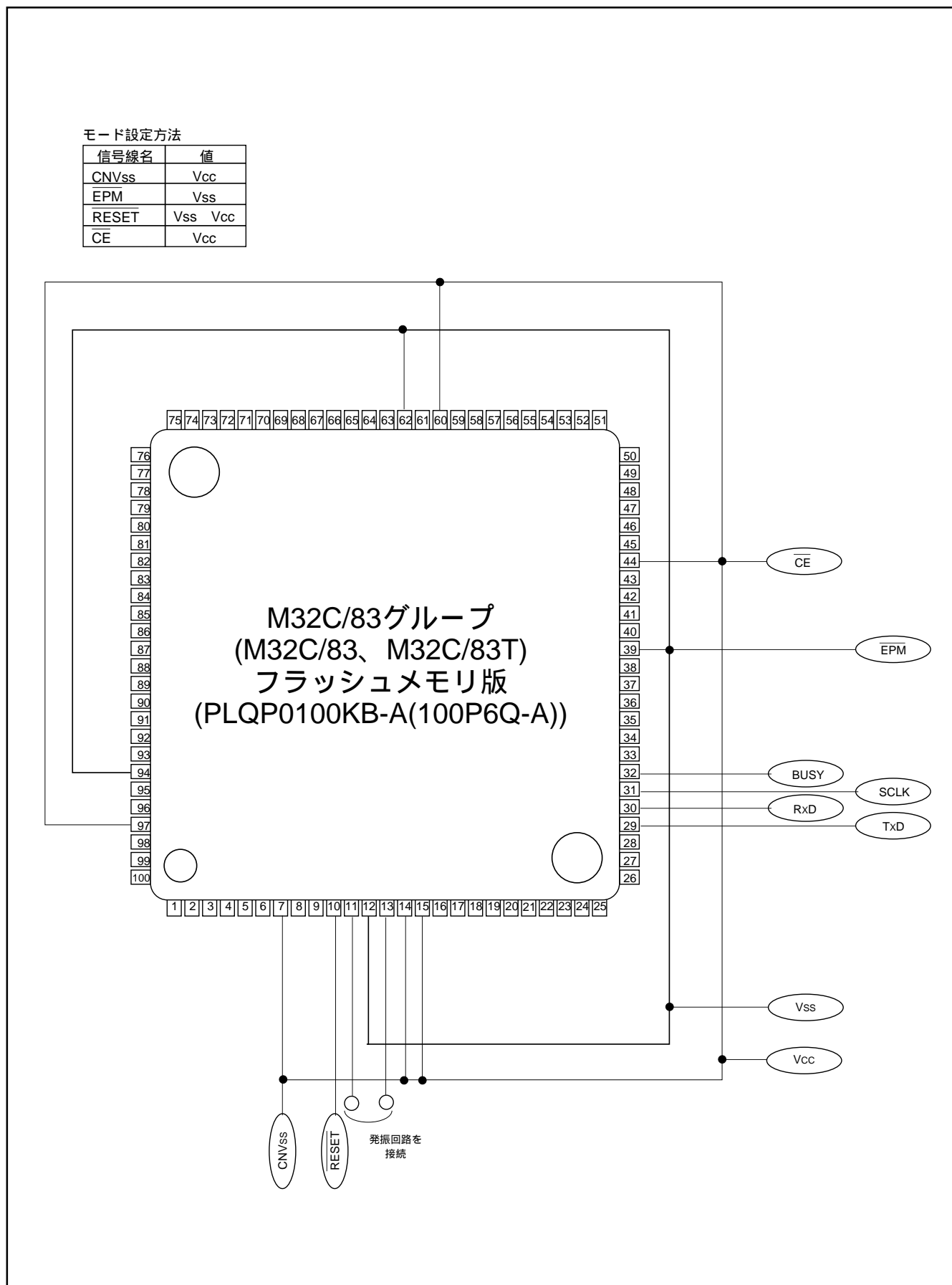


図25.13 標準シリアル入出力モード時の端子結線図(2)

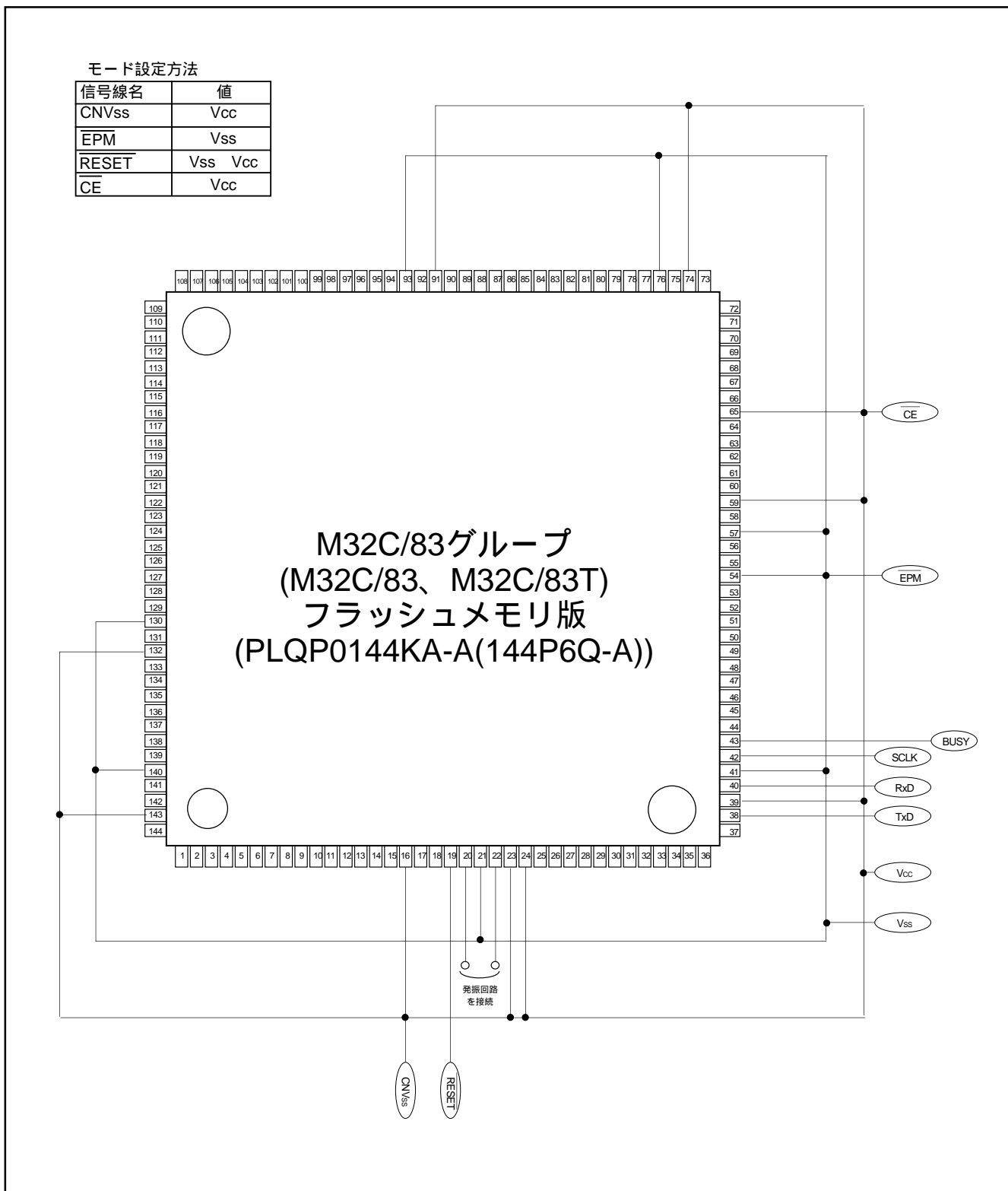


図25.14 標準シリアル入出力モード時の端子結線図(3)

25.4.3 標準シリアル入出力モード使用上の注意

- ・パラレル入出力モードでブートROM領域を書き換えた場合、シリアル入出力モードは使用できなくなります。
- ・ユーザリセット信号がシリアル入出力モード中に“L”になる可能性のある場合は、ジャンプスイッチなどを使用してユーザリセット信号とリセット端子との結線を遮断してください(図25.15)。

25.4.4 標準シリアル入出力モードの端子処理例

図25.15 に標準シリアル入出力モード1の端子処理例、図25.16 に標準シリアル入出力モード2の端子処理例を示します。ライターによって制御するピン等が違いますので、詳細はライターのマニュアルを参照してください。

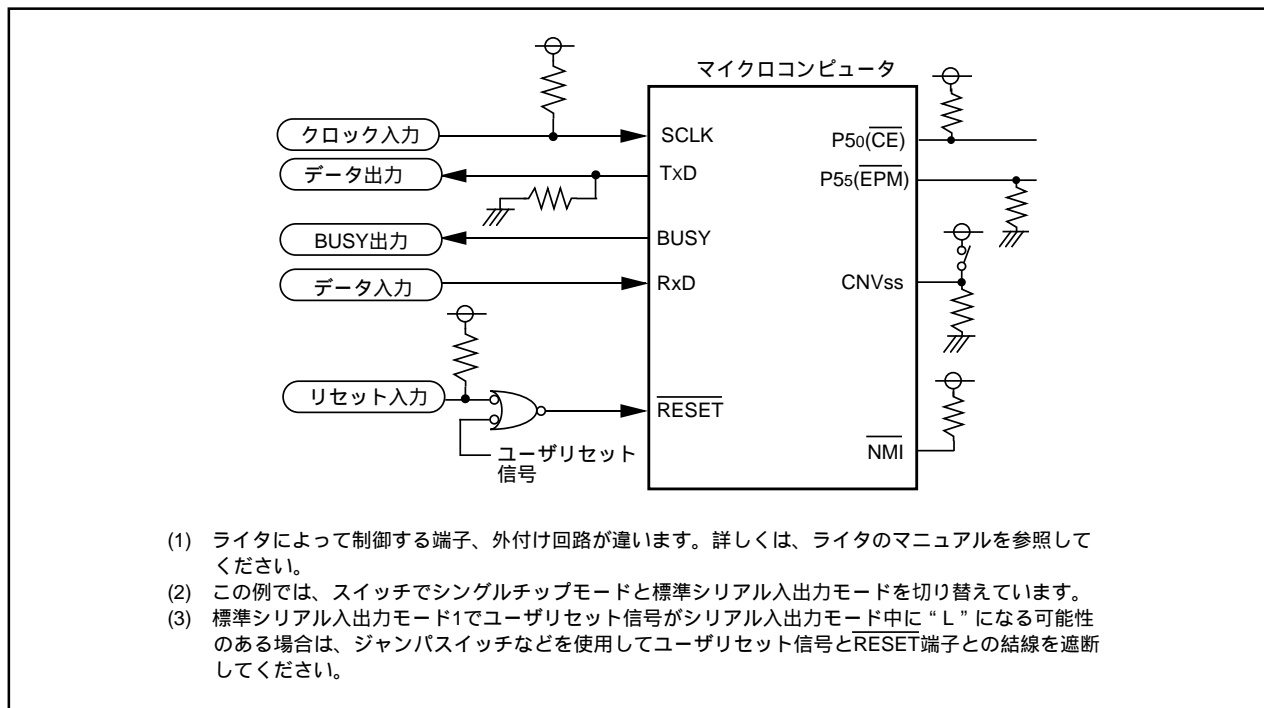


図25.15 標準シリアル入出力モード1の端子処理例

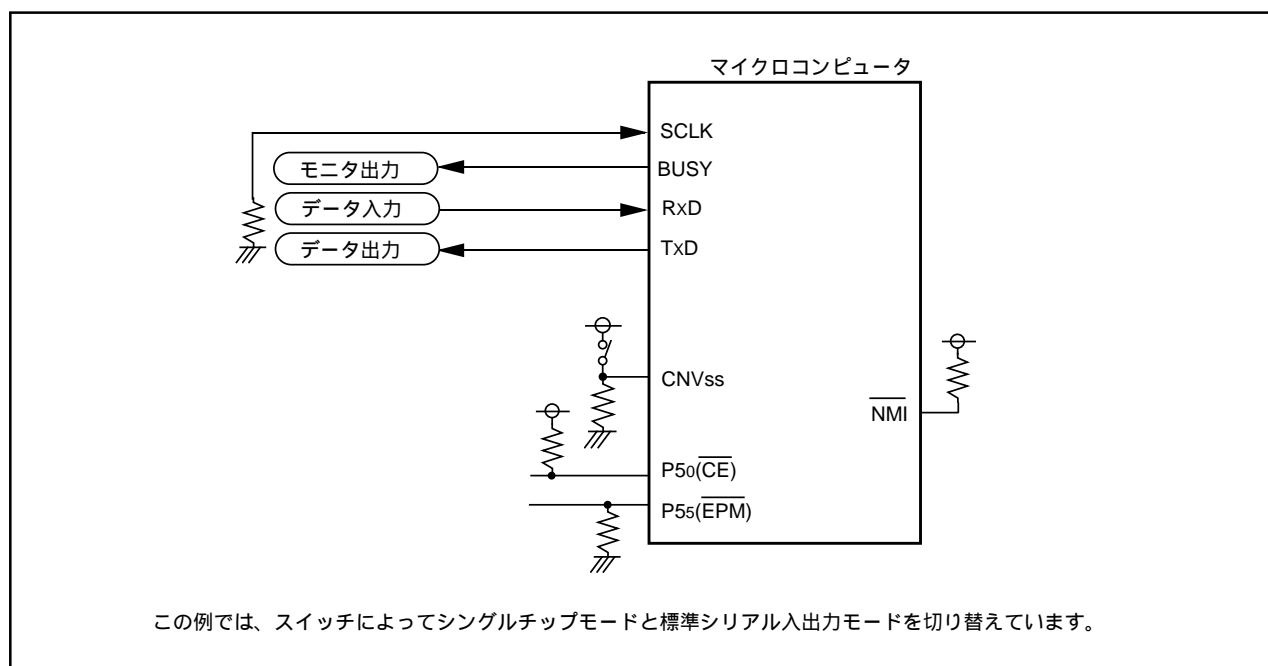


図25.16 標準シリアル入出力モード2の端子処理例

25.5 パラレル入出力モード

パラレル入出力モードでは、M32C/83グループに対応したパラレルライターを使用して、ユーザROM領域とブートROM領域(図25.1参照)を書き換えることができます。パラレルライターは、各メーカーにお問い合わせください。また、パラレルライターの操作方法は、パラレルライターのユーザーズマニュアルを参照してください。

25.5.1 ブートROM領域

ブートROM領域は8Kバイトで1ブロックです。ブートROM領域は、ルネサスからの出荷時に標準シリアル入出力モードの書き換え制御プログラムが書かれます。したがって、シリアルライターを使用される場合には、ブートROM領域を書き換えしないでください。

ブートROM領域はパラレル入出力モードでは、0FFE000₁₆~0FFFFFF₁₆番地に配置されています。ブートROM領域を書き換える必要がある場合、この範囲のみ書き換えてください(0FFE000₁₆~0FFFFFF₁₆以外へはアクセスしないでください)。

25.5.2 ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「25.2 フラッシュメモリ書き換え禁止機能」参照)。

25.5.3 パラレル入出力モード使用上の注意

パラレル入出力モードでブートROM領域を書き換えた場合、標準シリアル入出力モード(「25.4 標準シリアル入出力モード」参照)は使用できなくなります。

26. 電気的特性

26.1 電気的特性(M32C/83)

表26.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC}	電源電圧		V _{CC} =AV _{CC}	-0.3 ~ 6.0	V
AV _{CC}	アナログ電源電圧		V _{CC} =AV _{CC}	-0.3 ~ 6.0	V
V _I	入力電圧	RESET, CNV _{SS} , BYTE, P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (注1), V _{REF} , X _{IN}		-0.3 ~ V _{CC} +0.3	V
		P7 ₀ , P7 ₁		-0.3 ~ 6.0	V
V _O	出力電圧	P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , P11 ₀ ~ P11 ₄ , P12 ₀ ~ P12 ₇ , P13 ₀ ~ P13 ₇ , P14 ₀ ~ P14 ₆ , P15 ₀ ~ P15 ₇ (注1), X _{OUT}		-0.3 ~ V _{CC} +0.3	V
P _d	消費電力		T _{opr} =25	500	mW
T _{opr}	動作周囲温度			-20 ~ 85	
T _{stg}	保存温度			-65 ~ 150	

注1. ポートP11 ~ P15は144ピン版のみ存在します。

表26.2 推奨動作条件(指定のない場合は、 $V_{CC}=3.0V \sim 5.5V$, $T_{opr}=-20 \sim 85$)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧(VDCオン時)	3.0	5.0	5.5	V	
	電源電圧(VDCオフ時)	3.0	3.3	3.6	V	
AV _{CC}	アナログ電源電圧		V _{CC}		V	
V _{SS}	電源電圧		0		V	
AV _{SS}	アナログ電源電圧		0		V	
V _{IH}	“H”入力電圧	P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P87(注3), P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4), X _{IN} , RESET, CNV _{SS} , BYTE	0.8V _{CC}		V _{CC}	V
		P70, P71	0.8V _{CC}		6.0	
		P00~P07, P10~P17 (シングルチップモード時)	0.8V _{CC}		V _{CC}	V
		P00~P07, P10~P17 (メモリ拡張、マイクロプロセッサモード時)	0.5V _{CC}		V _{CC}	V
V _{IL}	“L”入力電圧	P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87(注3), P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4), X _{IN} , RESET, CNV _{SS} , BYTE	0		0.2V _{CC}	V
		P00~P07, P10~P17 (シングルチップモード時)	0		0.2V _{CC}	V
		P00~P07, P10~P17 (メモリ拡張、マイクロプロセッサモード時)	0		0.16V _{CC}	V
I _{OH(peak)}	“H”尖頭出力電流(注2)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			-10.0	mA
I _{OH(avg)}	“H”平均出力電流(注1)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			-5.0	mA
I _{OL(peak)}	“L”尖頭出力電流(注2)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			10.0	mA
I _{OL(avg)}	“L”平均出力電流(注1)	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注4)			5.0	mA
f(X _{IN})	メインクロック入力周波数	VDCオン	V _{CC} =4.2~5.5V	0	32	MHz
		VDCオフ	V _{CC} =3.0~4.2V	0	20	MHz
f(X _{CIN})	サブクロック発振周波数			32.768	50	kHz

注1．平均出力電流は100msの期間内の平均値です。

注2．ポートP0, P1, P2, P86, P87, P9, P10, P11, P14, P15のI_{OL(peak)}の合計は80mA以下、ポートP0, P1, P2, P86, P87, P9, P10, P11, P14, P15のI_{OH(peak)}の合計は-80mA以下、ポートP3, P4, P5, P6, P7, P80~P84, P12, P13のI_{OL(peak)}の合計は80mA以下、ポートP3, P4, P5, P6, P72~P77, P80~P84, P12, P13のI_{OH(peak)}の合計は-80mA以下にしてください。

注3．P87のV_{IH}、V_{IL}はP87をプログラマブル入力ポートとして使用する場合の規格であり、X_{CIN}として使用する場合の規格ではありません。

注4．ポートP11~P15は144ピン版のみ存在します。

V_{CC}=5V表26.3 電気的特性(指定のない場合は、V_{CC}=4.2~5.5V, V_{SS}=0V, T_{opr}= -20~85℃, f(X_{IN})=32MHz)

記号	項目	測定条件	標準			単位	
			最小	標準	最大		
V _{OH}	“H”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1)	I _{OH} =-5mA	V _{CC} -2.0		V	
		P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1)	I _{OH} =-200μA	V _{CC} -0.3		V	
	X _{OUT}	I _{OH} =-1mA	3.0		V		
	X _{COU} T	無負荷時		3.3	V		
V _{OL}	“L”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1)	I _{OL} =5mA		2.0	V	
		P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1)	I _{OL} =200μA		0.45	V	
	X _{OUT}	I _{OL} =1mA		2.0	V		
	X _{COU} T	無負荷時		0	V		
V _{T+} -V _{T-}	ヒステリシス	HOLD, RDY, TA0 _{IN} ~TA4 _{IN} , TB0 _{IN} ~TB5 _{IN} , INT0~INT5, AD _{TRG} , CTS0~CTS4, CLK0~CLK4, TA0 _{OUT} ~TA4 _{OUT} , NMI, K10~K13, RxD0~RxD4, SCL0~SCL4, SDA0~SDA4		0.2	1.0	V	
		RESET		0.2	1.8	V	
I _{IH}	“H”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1) , X _{IN} , RESET, CNV _{SS} , BYTE	V _I =5V		5.0	μA	
I _{IL}	“L”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1) , X _{IN} , RESET, CNV _{SS} , BYTE	V _I =0V		-5.0	μA	
R _{PULLUP}	プルアップ抵抗	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157 ^(注1)	V _I =0V	30	50	167	kΩ
R _{fXIN}	帰還抵抗	X _{IN}			1.5	MΩ	
R _{fXCIN}	帰還抵抗	X _{CIN}			10	MΩ	
V _{RAM}	RAM保持電圧	VDCオン		2.5		V	
I _{CC}	電源電流	測定条件 シングルチップモードで出力端子は開放、その他の端子はV _{SS} に接続	f(X _{IN})=32MHz、方形波、分周なし		40	54	mA
			f(X _{CIN})=32kHz、ウェイト時、T _{opr} =25		470		μA
			クロック停止時、T _{opr} =25		0.4	20	μA

注1. ポートP11~P15は144ピン版のみ存在します。

VCC=5V

表26.4 A/D変換特性 (指定のない場合は、VCC=AVCC=VREF=4.2~5.5V, VSS=AVSS=0V, Topr=-20~85, f(XIN)=32MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能	VREF=VCC			10	Bits	
INL	積分非直線性誤差	VREF=VCC=5V	AN0-AN7 ANEX0, ANEX1			±3	LSB
							LSB
			外部オペアンプ 接続モード			±7	LSB
DNL	微分非直線性誤差				±1	LSB	
-	オフセット誤差				±3	LSB	
-	ゲイン誤差				±3	LSB	
RLADDER	ラダー抵抗	VREF=VCC	8		40	kΩ	
tCONV	変換時間(10bit)		2.1			μs	
tCONV	変換時間(8bit)		1.8			μs	
tsAMP	サンプリング時間		0.2			μs	
VREF	基準電圧		2		VCC	V	
VIA	アナログ入力電圧		0		VREF	V	

注1. f(XIN)が16MHzを超える時は分周し、φADを16MHz以下としてください。

表26.5 D/A変換特性 (指定のない場合は、VCC=VREF=4.2~5.5V, VSS=AVSS=0V, Topr=-20~85, f(XIN)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsu	設定時間				3	μs
Ro	出力抵抗		4	10	20	kΩ
IvREF	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータを1本使用し、使用していないDAコンバータのDAiレジスタ(i=0,1)の値が“0016”の場合です。A/Dコンバータのラダー抵抗分は除きます。

ADiCON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IvREFは流れます。

表26.6 フラッシュメモリの電気的特性

項目	規格値			単位
	最小	標準	最大	
プログラム時間 (1 Page)		8	120	ms
ブロック消去時間 (1 Block)		50	600	ms

注1. 指定のない場合は、VCC=4.2~5.5V(VDCオン)、3.0~3.6V(VDCオフ)、Topr=0~60 です。

VCC=5V

タイミング必要条件 (指定のない場合は、Vcc=4.2 ~ 5.5V, Vss=0V, Topr= - 20 ~ 85)

表26.7 外部クロック入力

記号	項目	標準		単位
		最小	最大	
tc	外部クロック入力サイクル時間	33		ns
tw(H)	外部クロック入力“H”パルス時間	13		ns
tw(L)	外部クロック入力“L”パルス時間	13		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表26.8 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (RD基準、ウエイトなし)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトなし)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (RD基準、ウエイトあり)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトあり)		(注1)	ns
tac3(RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac3(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac4(RAS-DB)	データ入力アクセス時間 (RAS基準、DRAMアクセス)		(注1)	ns
tac4(CAS-DB)	データ入力アクセス時間 (CAS基準、DRAMアクセス)		(注1)	ns
tac4(CAD-DB)	データ入力アクセス時間 (CAD基準、DRAMアクセス)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	26		ns
tsu(RDY-BCLK)	RDY入力セットアップ時間	26		ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間	30		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(CAS-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	RDY入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数に応じて対の計算式で算出されます。ただし、計算値が負になる場合は、ウエイト入れるか、動作周波数 $f(\text{BCLK})$ をさらに低くしてください。

$$t_{ac1}(\text{RD} - \text{DB}) = \frac{10^9 \times 1}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]}$$

$$t_{ac1}(\text{AD} - \text{DB}) = \frac{10^9}{f(\text{BCLK})} - 35 \text{ [ns]}$$

$$t_{ac2}(\text{RD} - \text{DB}) = \frac{10^9 \times m}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \text{ (mは1ウエイト時"3", 2ウエイト時"5", 3ウエイト時"7")}$$

$$t_{ac2}(\text{AD} - \text{DB}) = \frac{10^9 \times n}{f(\text{BCLK})} - 35 \text{ [ns]} \text{ (nは1ウエイト時"2", 2ウエイト時"3", 3ウエイト時"4")}$$

$$t_{ac3}(\text{RD} - \text{DB}) = \frac{10^9 \times m}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \text{ (mは2ウエイト時"3", 3ウエイト時"5")}$$

$$t_{ac3}(\text{AD} - \text{DB}) = \frac{10^9 \times n}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \text{ (nは2ウエイト時"5", 3ウエイト時"7")}$$

$$t_{ac4}(\text{RAS} - \text{DB}) = \frac{10^9 \times m}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \text{ (mは1ウエイト時"3", 2ウエイト時"5")}$$

$$t_{ac4}(\text{CAS} - \text{DB}) = \frac{10^9 \times n}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \text{ (nは1ウエイト時"1", 2ウエイト時"3")}$$

$$t_{ac4}(\text{CAD} - \text{DB}) = \frac{10^9 \times l}{f(\text{BCLK})} - 35 \text{ [ns]} \text{ (lは1ウエイト時"1", 2ウエイト時"2")}$$

VCC=5V

タイミング必要条件 (指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr=-20~85)

表26.9 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	100		ns
tw(TAH)	TAiIn入力“H”パルス幅	40		ns
tw(TAL)	TAiIn入力“L”パルス幅	40		ns

表26.10 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	400		ns
tw(TAH)	TAiIn入力“H”パルス幅	200		ns
tw(TAL)	TAiIn入力“L”パルス幅	200		ns

表26.11 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	200		ns
tw(TAH)	TAiIn入力“H”パルス幅	100		ns
tw(TAL)	TAiIn入力“L”パルス幅	100		ns

表26.12 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIn入力“H”パルス幅	100		ns
tw(TAL)	TAiIn入力“L”パルス幅	100		ns

表26.13 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOuT入力サイクル時間	2000		ns
tw(UPH)	TAiOuT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOuT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOuT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOuT入力ホールド時間	400		ns

VCC=5V

タイミング必要条件 (指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr=-20~85)

表26.14 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間(片エッジカウント)	100		ns
tW(TBH)	TBin入力“H”パルス幅(片エッジカウント)	40		ns
tW(TBL)	TBin入力“L”パルス幅(片エッジカウント)	40		ns
tC(TB)	TBin入力サイクル時間(両エッジカウント)	200		ns
tW(TBH)	TBin入力“H”パルス幅(両エッジカウント)	80		ns
tW(TBL)	TBin入力“L”パルス幅(両エッジカウント)	80		ns

表26.15 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間	400		ns
tW(TBH)	TBin入力“H”パルス幅	200		ns
tW(TBL)	TBin入力“L”パルス幅	200		ns

表26.16 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間	400		ns
tW(TBH)	TBin入力“H”パルス幅	200		ns
tW(TBL)	TBin入力“L”パルス幅	200		ns

表26.17 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tC(AD)	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
tW(ADL)	ADTRG入力“L”パルス幅	125		ns

表26.18 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
tC(CX)	CLKi入力サイクル時間	200		ns
tW(CXH)	CLKi入力“H”パルス幅	100		ns
tW(CXL)	CLKi入力“L”パルス幅	100		ns
td(C-Q)	TxDi出力遅延時間		80	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-Q)	RxDi入力セットアップ時間	30		ns
th(C-Q)	RxDi入力ホールド時間	90		ns

表26.19 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
tW(INH)	INTi入力“H”パルス幅	250		ns
tW(INL)	INTi入力“L”パルス幅	250		ns

VCC=5V

スイッチング特性(指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr=-20~85)

表26.20 メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図26.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間			18	ns
th(BCLK-ALE)	ALE出力保持時間		-2		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-3		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9}{f(BCLK)} - 20 \quad [ns]$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$tw(WR) = \frac{10^9}{f(BCLK) \times 2} - 15 \quad [ns]$$

VCC=5V

スイッチング特性(指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr=-20~85)

表26.21 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図26.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間			18	ns
th(BCLK-ALE)	ALE出力保持時間		-2		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-3		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tW(WR)	WR出力幅		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9 \times n}{f(BCLK)} - 20 \quad [ns] \quad (nは1ウエイト時"1"、2ウエイト時"2"、3ウエイト時"3")$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$tW(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \quad [ns] \quad (nは1ウエイト時"1"、2ウエイト時"3"、3ウエイト時"5")$$

VCC=5V

スイッチング特性(指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr=-20~85)

表26.22 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図26.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-AD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-3		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			18	ns
th(BCLK-ALE)	ALE出力保持時間 (BCLK基準)		-2		ns
td(AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
th(ALE-AD)	ALE出力保持時間 (アドレス基準)		(注1)		ns
tdz(RD-AD)	アドレス出力ハイインピーダンス開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (m \text{は} 2 \text{ウエイト時} "3"、3 \text{ウエイト時} "5")$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$td(AD - ALE) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

$$th(ALE - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

VCC=5V

スイッチング特性(指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr=-20~85)

表26.23 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスし、かつDRAM領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-RAD)	行アドレス出力遅延時間	図26.1参照		18	ns
th(BCLK-RAD)	行アドレス出力保持時間 (BCLK基準)		-3		ns
td(BCLK-CAD)	列アドレス出力遅延時間			18	ns
th(BCLK-CAD)	列アドレス出力保持時間 (BCLK基準)		-3		ns
th(RAS-RAD)	RAS出力後行アドレス出力保持時間		(注1)		ns
td(BCLK-RAS)	RAS出力遅延時間 (BCLK基準)			18	ns
th(BCLK-RAS)	RAS出力保持時間 (BCLK基準)		-3		ns
trp	RAS "H" 保持時間		(注1)		ns
td(BCLK-CAS)	CAS出力遅延時間 (BCLK基準)			18	ns
th(BCLK-CAS)	CAS出力保持時間 (BCLK基準)		-3		ns
td(BCLK-DW)	DW出力遅延時間 (BCLK基準)			18	ns
th(BCLK-DW)	DW出力保持時間 (BCLK基準)		-5		ns
tsu(DB-CAS)	DB出力後CAS出力セットアップ時間		(注1)		ns
th(BCLK-DB)	DB出力保持時間 (BCLK standard)		-7		ns
tsu(CAS-RAS)	RAS出力前CAS出力セットアップ時間 (リフレッシュ)		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$th(RAS - RAD) = \frac{10^9}{f(BCLK) \times 2} - 13 \quad [ns]$$

$$trp = \frac{10^9}{f(BCLK) \times 2} \times 3 - 20 \quad [ns]$$

$$tsu(DB - CAS) = \frac{10^9}{f(BCLK)} - 20 \quad [ns]$$

$$tsu(CAS - RAS) = \frac{10^9}{f(BCLK) \times 2} - 13 \quad [ns]$$

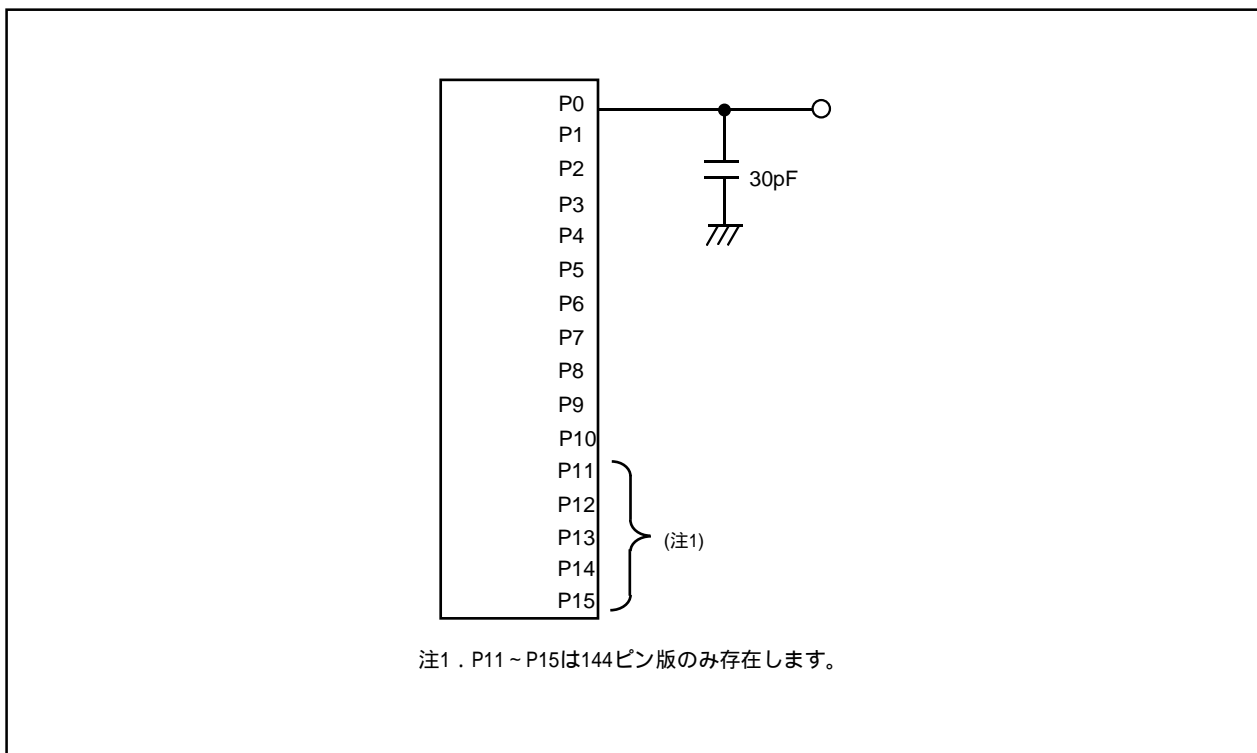


図26.1 ポートP0~ P15の測定回路

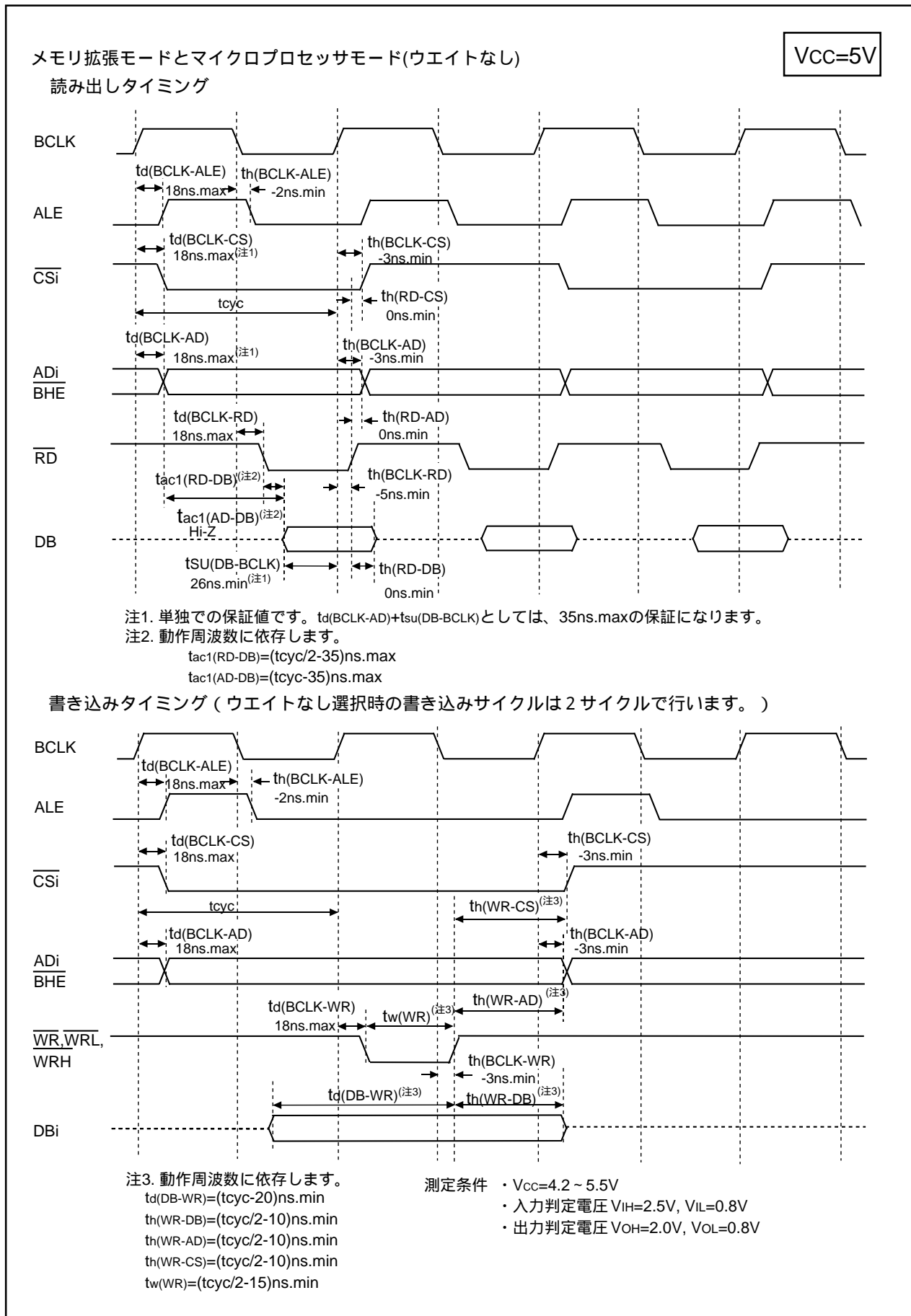


図26.2 Vcc=5V時のタイミング図(1)

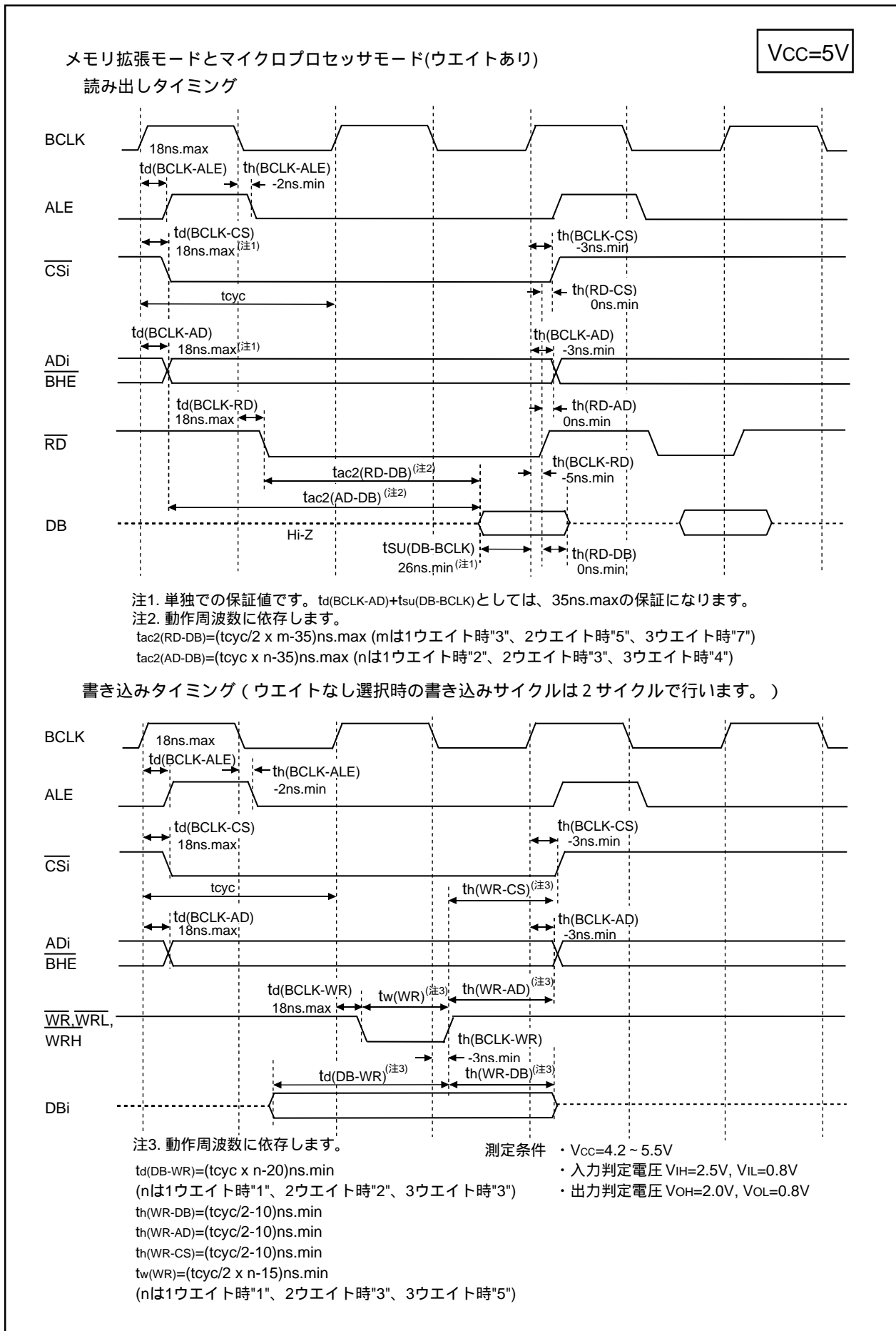


図26.3 Vcc=5V時のタイミング図(2)

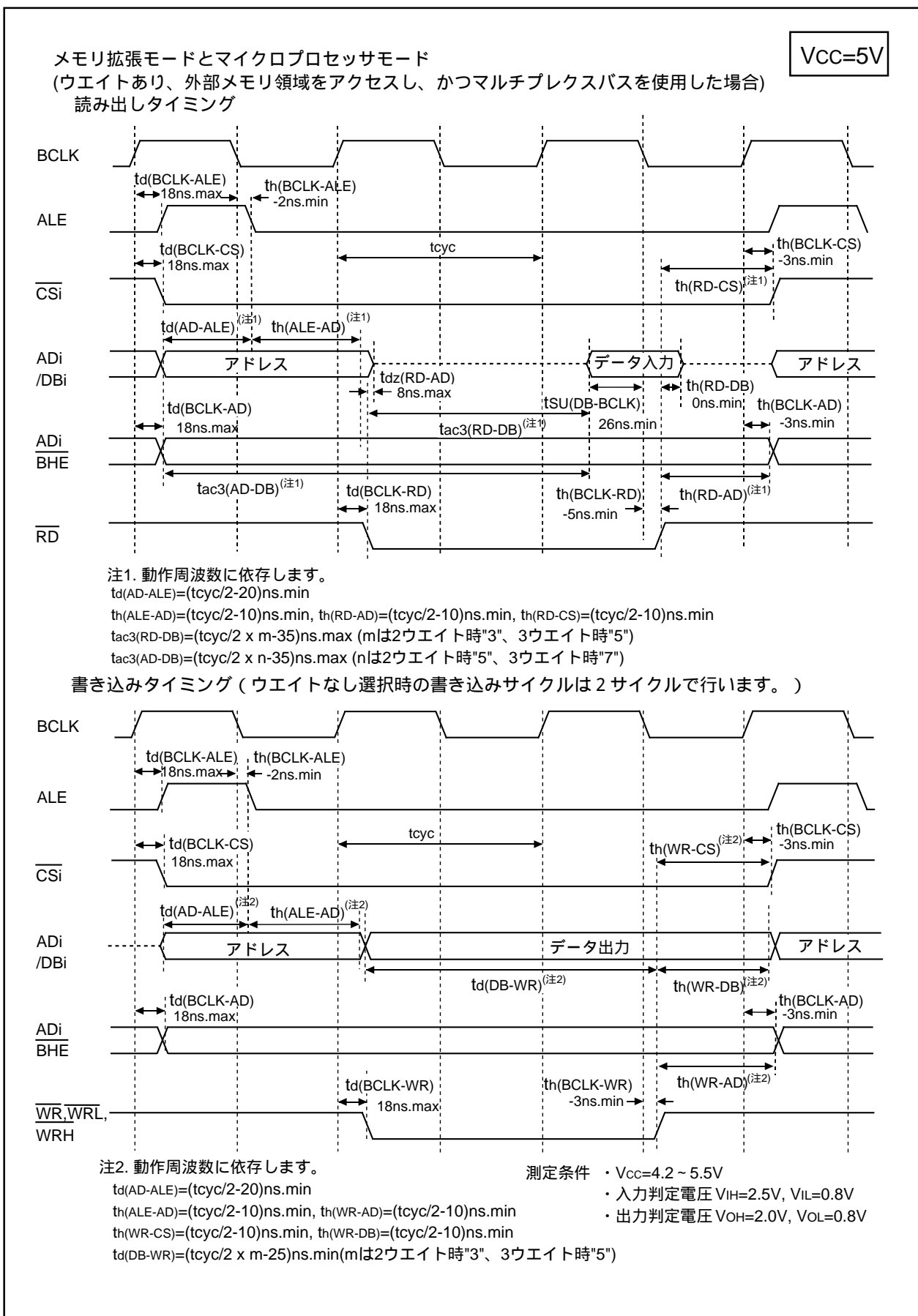


図26.4 V_{CC}=5V時のタイミング図(3)

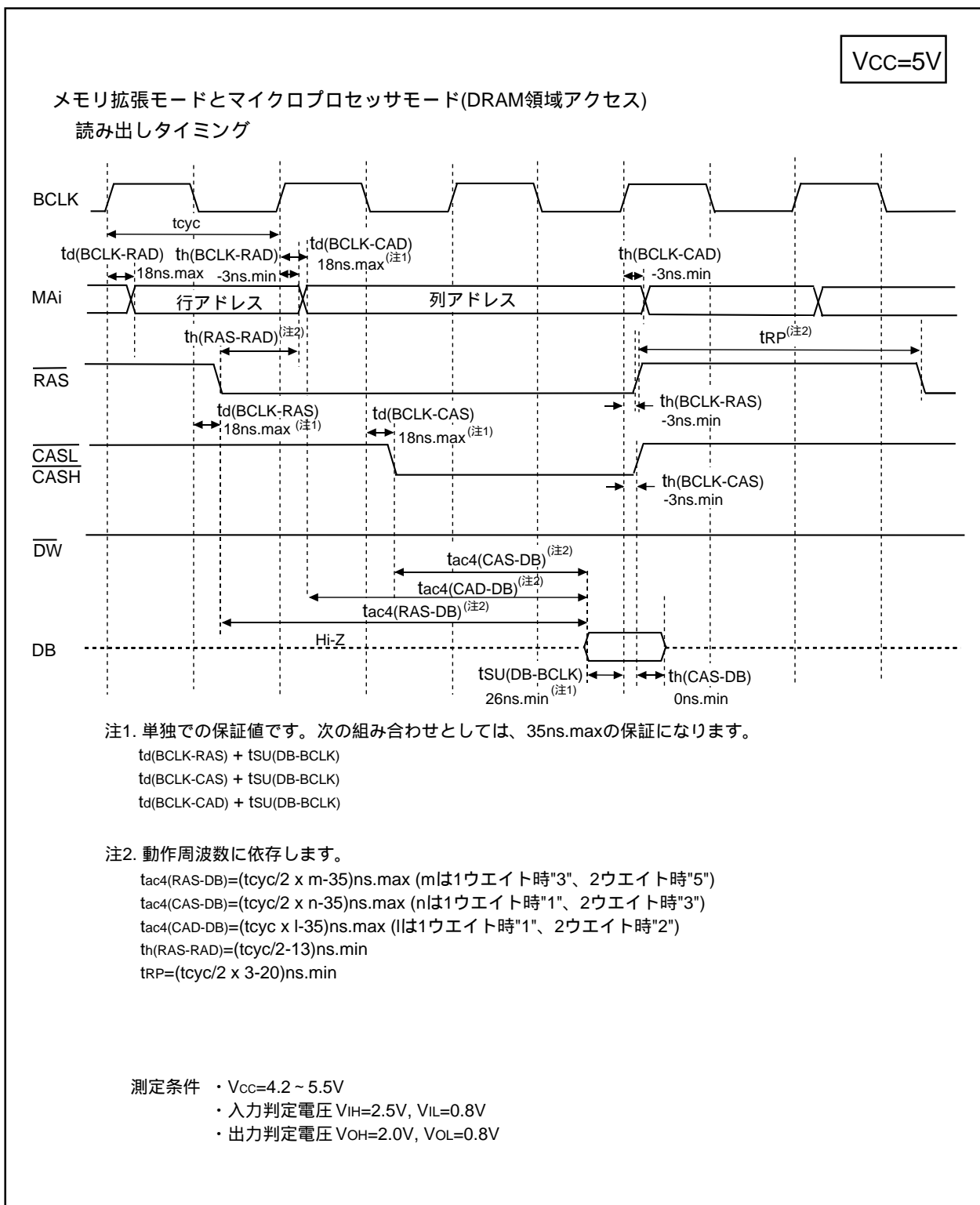
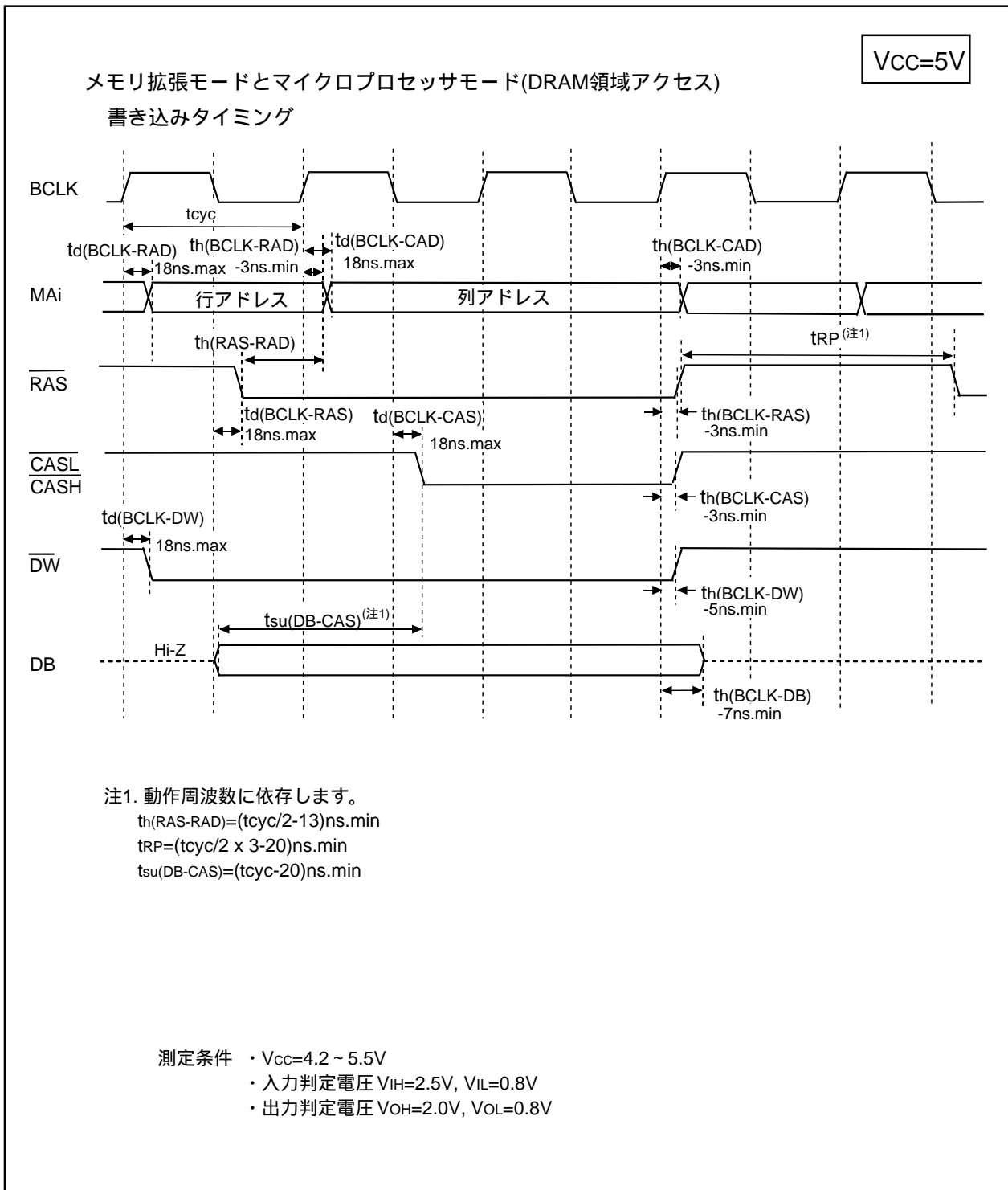


図26.5 Vcc=5V時のタイミング図(4)

図26.6 V_{CC}=5V時のタイミング図(5)

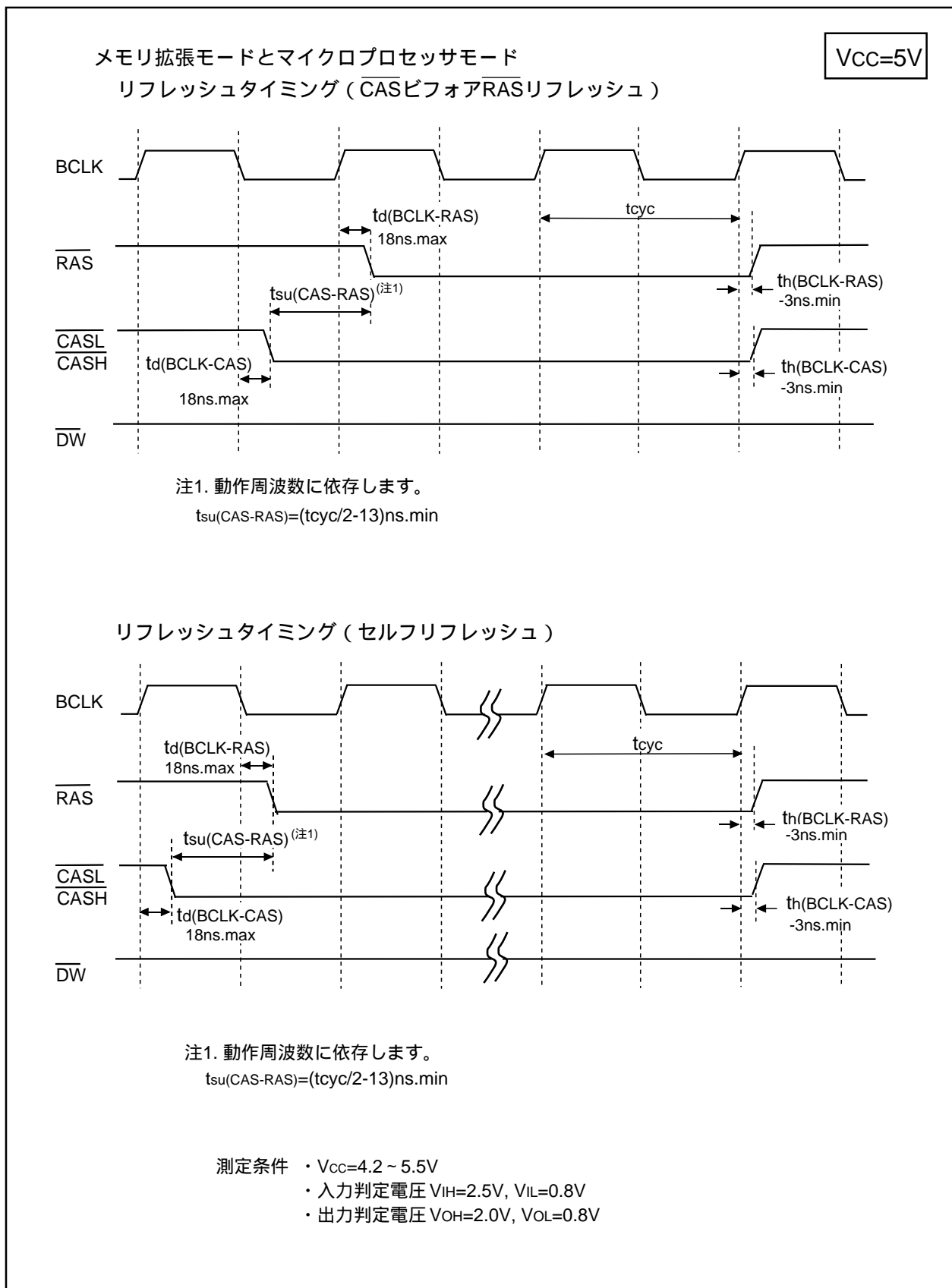


図26.7 Vcc=5V時のタイミング図(6)

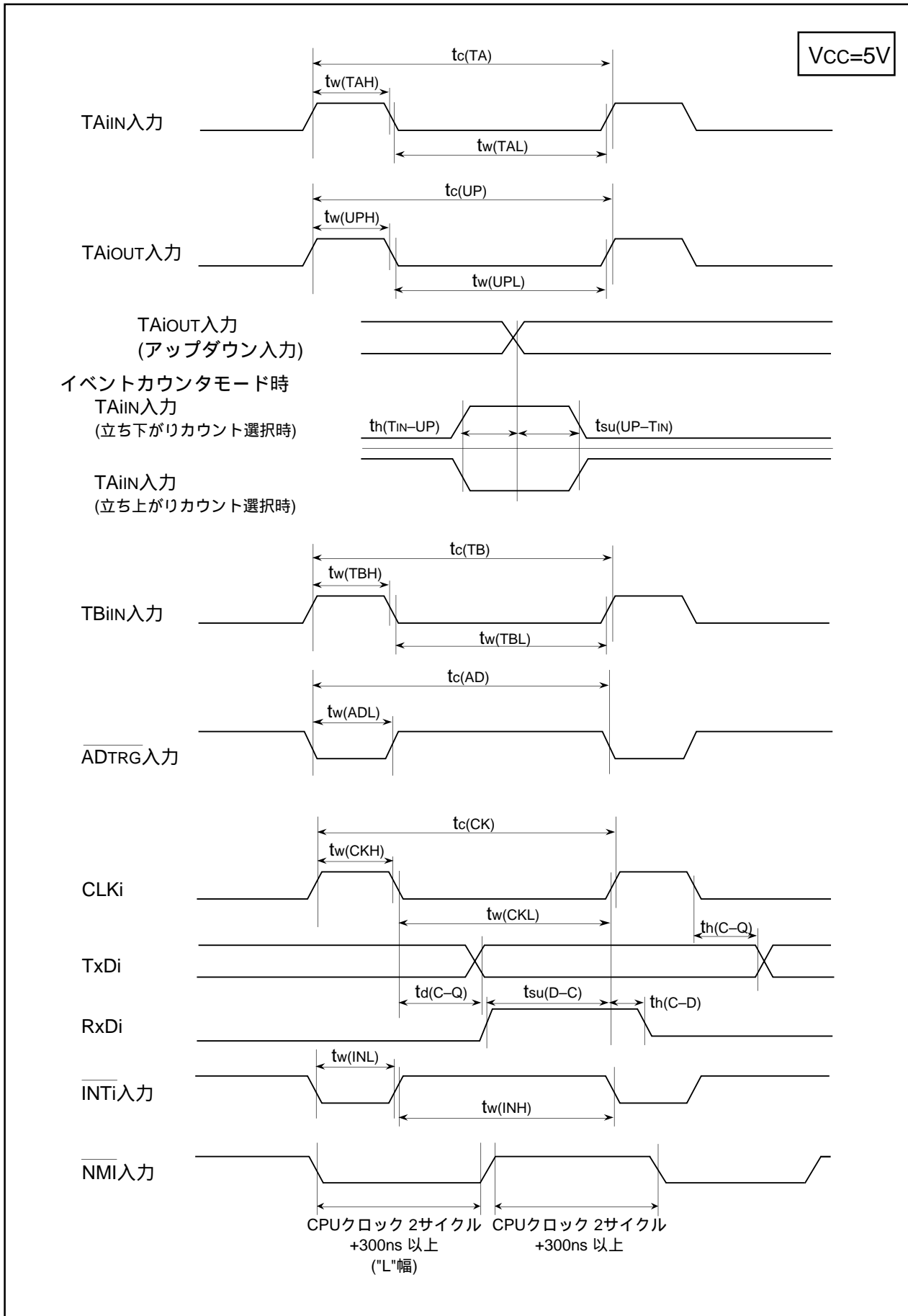


図26.8 Vcc=5V時のタイミング図(7)

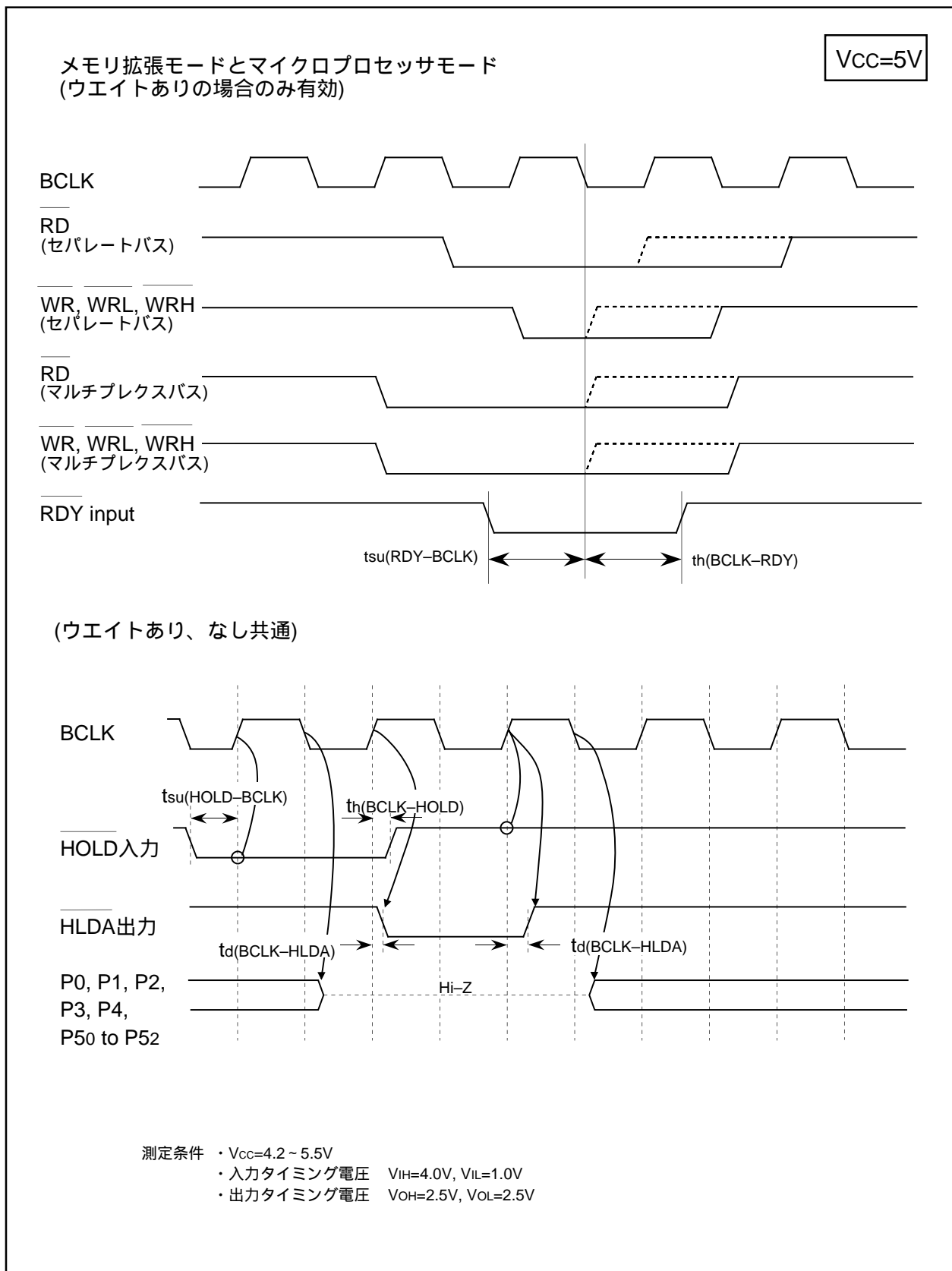


図26.9 Vcc=5V時のタイミング図(8)

VCC=3.3V

表26.24 電気的特性(指定のない場合は、VCC=3.0~3.6V, VSS=0V, Topr=-20~85, f(XIN)=20MHz)

記号	項目	測定条件	標準			単位	
			最小	標準	最大		
VOH	“H”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	IOH=-1mA	VCC-0.6			V
		XOUT	IOH=-0.1mA	2.7			V
		XCOU	無負荷時		3.3		V
VOL	“L”出力電圧	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	IOL=1mA			0.5	V
		XOUT	IOL=0.1mA			0.5	V
		XCOU	無負荷時		0		V
VT+~VT-	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INTO~INT5, ADTRG, CTS0~CTS4, CLK0~CLK4, TA0OUT~TA4OUT, NMI, KI0~KI3, RxD0~RxD4, SCL0~SCL4, SDA0~SDA4		0.2		1.0	V
		RESET		0.2		1.8	V
IiH	“H”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1), XIN, RESET, CNVSS, BYTE	VI=3V			4.0	μA
IiL	“L”入力電流	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1), XIN, RESET, CNVSS, BYTE	VI=0V			-4.0	μA
Rpullup	プルアップ抵抗	P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	VI=0V	66	120	500	kΩ
RfXIN	帰還抵抗	XIN			3.0		MΩ
RfXCIN	帰還抵抗	XCIN			20.0		MΩ
Vram	RAM保持電圧	VDCオン		2.5			V
		VDCオフ		2.0			V
Icc	電源電流	測定条件 シングルチップモードで出力端子は開放、その他の端子はVSSに接続	f(XIN)=20MHz、方形波、分周なし		26	38	mA
			f(XCIN)=32kHz、ウェイト時 VDCオフ、Topr=25		5.0		μA
			f(XCIN)=32kHz、ウェイト時 VDCオン、Topr=25		340		μA
			クロック停止時、Topr=25		0.4	20	μA

注1. ポートP11~P15は144ピン版のみ存在します。

VCC=3.3V

表26.25 A/D変換特性 (指定のない場合は、VCC=AVCC=VREF=3.0~3.6V, VSS=AVSS=0V, Topr=-20~85, f(XIN)=20MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能		VREF=VCC			10	Bits
INL	積分非直線性誤差	S & H機能なし (8bit)	VCC=VREF=3.3V			±2	LSB
DNL	微分非直線性誤差	S & H機能なし (8bit)				±1	LSB
-	オフセット誤差					±2	LSB
-	ゲイン誤差					±2	LSB
RLADDER	ラダー抵抗		VREF=VCC	8		40	kΩ
tCONV	変換時間(8bit)			4.9			μs
VREF	基準電圧			3.0		VCC	V
VIA	アナログ入力電圧			0		VREF	V

S&H: サンプル&ホールド

注1. f(XIN)が10MHzを超える時は分周し、φADを10MHz以下としてください。

表26.26 D/A変換特性 (指定のない場合は、VCC=VREF=3.0~3.6V, VSS=AVSS=0V, Topr=-20~85, f(XIN)=20MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsu	設定時間				3	μs
Ro	出力抵抗		4	10	20	kΩ
IvREF	基準電源入力電流	(注1)			1.0	mA

注1. D/Aコンバータを1本使用し、使用していないD/AコンバータのDAiレジスタ(i=0,1)の値が“0016”の場合です。A/Dコンバータのラダー抵抗分は除きます。

ADiCON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IvREFは流れます。

表26.27 フラッシュメモリの電気的特性

項目	規格値			単位
	最小	標準	最大	
プログラム時間 (1 Page)		8	120	ms
ブロック消去時間 (1 Block)		50	600	ms

注1. 指定のない場合は、Vcc=4.2~5.5V(VDCオン)、3.0~3.6V(VDCオフ)、Topr=0~60 です。

Vcc=3.3V

タイミング必要条件 (指定のない場合は、Vcc=3.0 ~ 3.6V, Vss=0V, Topr= - 20 ~ 85)

表26.28 外部クロック入力

記号	項目	標準		単位
		最小	最大	
tc	外部クロック入力サイクル時間	50		ns
tw(H)	外部クロック入力“H”パルス時間	22		ns
tw(L)	外部クロック入力“L”パルス時間	22		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表26.29 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (RD基準、ウエイトなし)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトなし)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (RD基準、ウエイトあり)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトあり)		(注1)	ns
tac3(RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac3(AD-DB)	データ入力アクセス時間 (AD基準、CS基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac4(RAS-DB)	データ入力アクセス時間 (RAS基準、DRAMアクセス)		(注1)	ns
tac4(CAS-DB)	データ入力アクセス時間 (CAS基準、DRAMアクセス)		(注1)	ns
tac4(CAD-DB)	データ入力アクセス時間 (CAD基準、DRAMアクセス)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	30		ns
tsu(RDY-BCLK)	RDY入力セットアップ時間	40		ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間	60		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(CAS-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	RDY入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数に応じて対の計算式で算出されます。ただし、計算値が負になる場合は、ウエイト入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$t_{ac1}(RD - DB) = \frac{10^9}{f(BCLK) \times 2} - 35 \text{ [ns]}$$

$$t_{ac1}(AD - DB) = \frac{10^9}{f(BCLK)} - 35 \text{ [ns]}$$

$$t_{ac2}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは1ウエイト時"3", 2ウエイト時"5", 3ウエイト時"7")}$$

$$t_{ac2}(AD - DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \text{ (nは1ウエイト時"2", 2ウエイト時"3", 3ウエイト時"4")}$$

$$t_{ac3}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは2ウエイト時"3", 3ウエイト時"5")}$$

$$t_{ac3}(AD - DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (nは2ウエイト時"5", 3ウエイト時"7")}$$

$$t_{ac4}(RAS - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは1ウエイト時"3", 2ウエイト時"5")}$$

$$t_{ac4}(CAS - DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (nは1ウエイト時"1", 2ウエイト時"3")}$$

$$t_{ac4}(CAD - DB) = \frac{10^9 \times l}{f(BCLK)} - 35 \text{ [ns]} \text{ (lは1ウエイト時"1", 2ウエイト時"2")}$$

VCC=3.3V

タイミング必要条件 (指定のない場合は、VCC=3.0~3.6V, VSS=0V, Topr=-20~85)

表26.30 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tC(TA)	TAin入力サイクル時間	100		ns
tW(TAH)	TAin入力“H”パルス幅	40		ns
tW(TAL)	TAin入力“L”パルス幅	40		ns

表26.31 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tC(TA)	TAin入力サイクル時間	400		ns
tW(TAH)	TAin入力“H”パルス幅	200		ns
tW(TAL)	TAin入力“L”パルス幅	200		ns

表26.32 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tC(TA)	TAin入力サイクル時間	200		ns
tW(TAH)	TAin入力“H”パルス幅	100		ns
tW(TAL)	TAin入力“L”パルス幅	100		ns

表26.33 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tW(TAH)	TAin入力“H”パルス幅	100		ns
tW(TAL)	TAin入力“L”パルス幅	100		ns

表26.34 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tC(UP)	TAiout入力サイクル時間	2000		ns
tW(UPH)	TAiout入力“H”パルス幅	1000		ns
tW(UPL)	TAiout入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiout入力セットアップ時間	400		ns
th(TIN-UP)	TAiout入力ホールド時間	400		ns

V_{CC}=3.3Vタイミング必要条件 (指定のない場合は、V_{CC}=3.0~3.6V, V_{SS}=0V, T_{opr}= -20~85)

表26.35 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TBin入力サイクル時間(片エッジカウント)	100		ns
t _{w(TBH)}	TBin入力“H”パルス幅(片エッジカウント)	40		ns
t _{w(TBL)}	TBin入力“L”パルス幅(片エッジカウント)	40		ns
t _{C(TB)}	TBin入力サイクル時間(両エッジカウント)	200		ns
t _{w(TBH)}	TBin入力“H”パルス幅(両エッジカウント)	80		ns
t _{w(TBL)}	TBin入力“L”パルス幅(両エッジカウント)	80		ns

表26.36 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TBin入力サイクル時間	400		ns
t _{w(TBH)}	TBin入力“H”パルス幅	200		ns
t _{w(TBL)}	TBin入力“L”パルス幅	200		ns

表26.37 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TBin入力サイクル時間	400		ns
t _{w(TBH)}	TBin入力“H”パルス幅	200		ns
t _{w(TBL)}	TBin入力“L”パルス幅	200		ns

表26.38 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
t _{C(AD)}	AD _{TRG} 入力サイクル時間(トリガ可能最小)	1000		ns
t _{w(ADL)}	AD _{TRG} 入力“L”パルス幅	125		ns

表26.39 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
t _{C(CLK)}	CLKi入力サイクル時間	200		ns
t _{w(CLKH)}	CLKi入力“H”パルス幅	100		ns
t _{w(CLKL)}	CLKi入力“L”パルス幅	100		ns
t _{d(C-Q)}	TxDi出力遅延時間		80	ns
t _{h(C-Q)}	TxDiホールド時間	0		ns
t _{su(D-C)}	RxDi入力セットアップ時間	30		ns
t _{h(C-Q)}	RxDi入力ホールド時間	90		ns

表26.40 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
t _{w(INH)}	INTi入力“H”パルス幅	250		ns
t _{w(INL)}	INTi入力“L”パルス幅	250		ns

VCC=3.3V

スイッチング特性(指定のない場合は、VCC=3.0~3.6V, VSS=0V, Topr=-20~85)

表26.41 メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図26.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間			18	ns
th(BCLK-ALE)	ALE出力保持時間		-2		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9}{f(BCLK)} - 20 \quad [ns]$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$tw(WR) = \frac{10^9}{f(BCLK) \times 2} - 15 \quad [ns]$$

V_{CC}=3.3Vスイッチング特性(指定のない場合は、V_{CC}=3.0~3.6V, V_{SS}=0V, T_{opr}=-20~85)表26.42 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図26.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間			18	ns
th(BCLK-ALE)	ALE出力保持時間		-2		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注1)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9 \times n}{f(BCLK)} - 20 \quad [ns] \quad (nは1ウエイト時"1"、2ウエイト時"2"、3ウエイト時"3")$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \quad [ns] \quad (nは1ウエイト時"1"、2ウエイト時"3"、3ウエイト時"5")$$

VCC=3.3V

スイッチング特性(指定のない場合は、VCC=3.0~3.6V, VSS=0V, Topr=-20~85)

表26.43 メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図26.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-AD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			18	ns
th(BCLK-ALE)	ALE出力保持時間 (BCLK基準)		-2		ns
td(AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
th(ALE-AD)	ALE出力保持時間 (アドレス基準)		(注1)		ns
tdz(RD-AD)	アドレス出力ハイインピーダンス開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (m \text{は} 2 \text{ウエイト時} "3" \text{、} 3 \text{ウエイト時} "5")$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$td(AD - ALE) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

$$th(ALE - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

VCC=3.3V

スイッチング特性(指定のない場合は、VCC=3.0~3.6V, VSS=0V, Topr=-20~85)

表26.44 メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつDRAM領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-RAD)	行アドレス出力遅延時間	図26.1参照		18	ns
th(BCLK-RAD)	行アドレス出力保持時間 (BCLK基準)		0		ns
td(BCLK-CAD)	列アドレス出力遅延時間			18	ns
th(BCLK-CAD)	列アドレス出力保持時間 (BCLK基準)		0		ns
th(RAS-RAD)	RAS出力後行アドレス出力保持時間		(注1)		ns
td(BCLK-RAS)	RAS出力遅延時間 (BCLK基準)			18	ns
th(BCLK-RAS)	RAS出力保持時間 (BCLK基準)		0		ns
trp	RAS "H" 保持時間		(注1)		ns
td(BCLK-CAS)	CAS出力遅延時間 (BCLK基準)			18	ns
th(BCLK-CAS)	CAS出力保持時間 (BCLK基準)		0		ns
td(BCLK-DW)	DW出力遅延時間 (BCLK基準)			18	ns
th(BCLK-DW)	DW出力保持時間 (BCLK基準)		-3		ns
tsu(DB-CAS)	DB出力後CAS出力セットアップ時間		(注1)		ns
th(BCLK-DB)	DB出力保持時間 (BCLK standard)		-7		ns
tsu(CAS-RAS)	RAS出力前CAS出力セットアップ時間 (リフレッシュ)		(注1)		ns

注1 . BCLKの周波数に応じて次の計算式で算出されます。

$$th(RAS - RAD) = \frac{10^9}{f(BCLK) \times 2} - 13 \quad [ns]$$

$$trp = \frac{10^9}{f(BCLK) \times 2} \times 3 - 20 \quad [ns]$$

$$tsu(DB - CAS) = \frac{10^9}{f(BCLK)} - 20 \quad [ns]$$

$$tsu(CAS - RAS) = \frac{10^9}{f(BCLK) \times 2} - 13 \quad [ns]$$

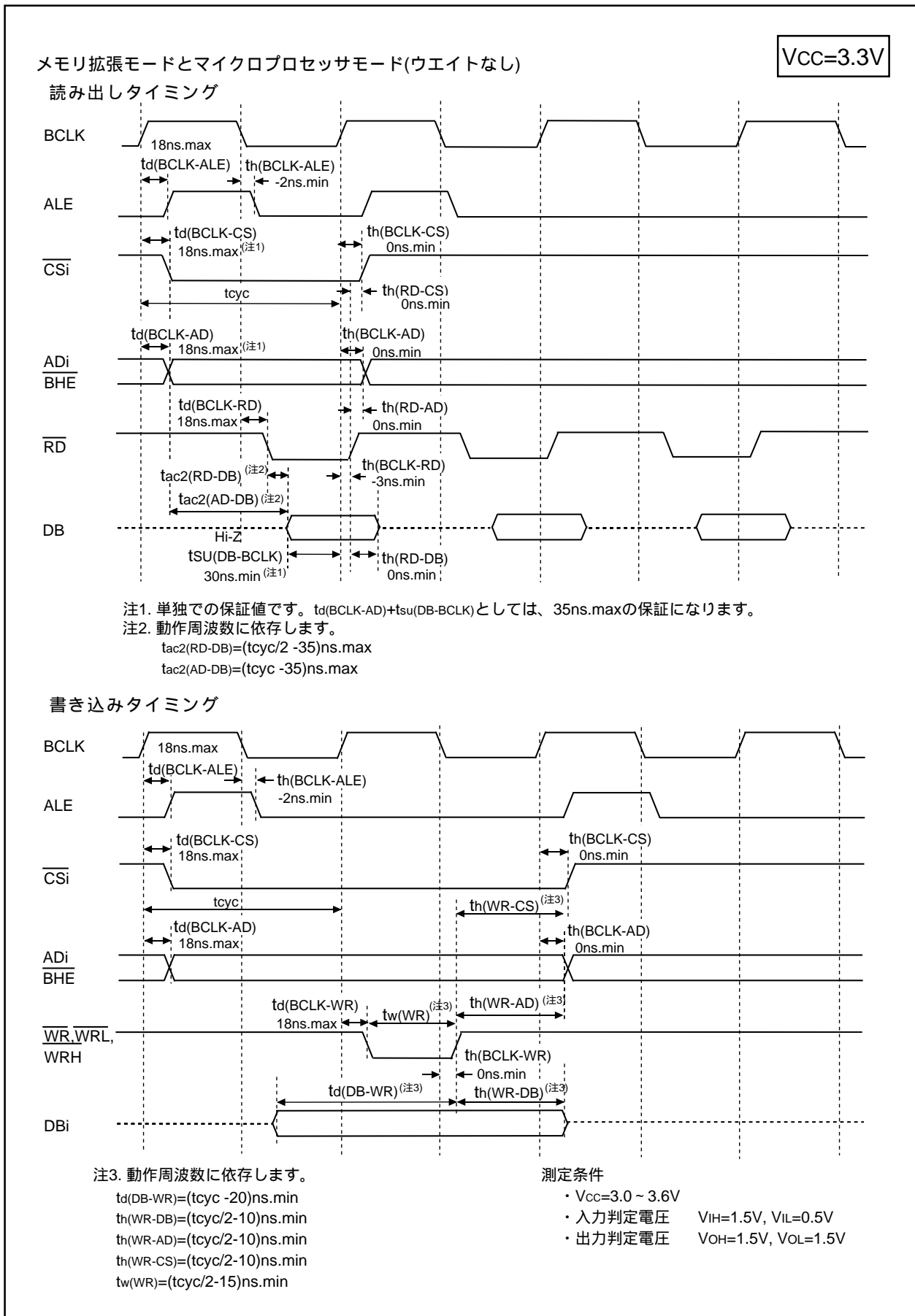


図26.10 Vcc=3.3V時のタイミング図(1)

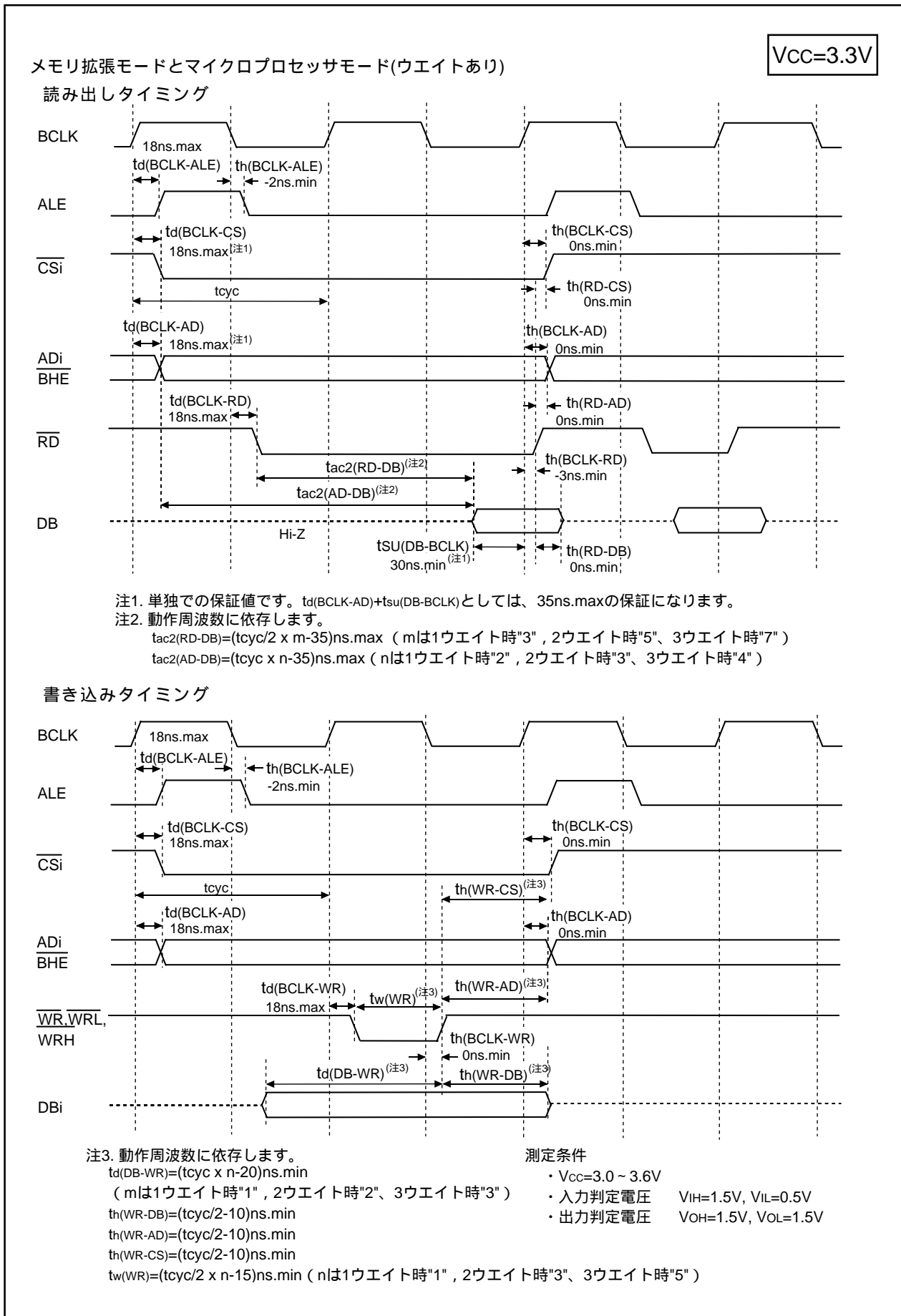


図26.11 Vcc=3.3V時のタイミング図(2)

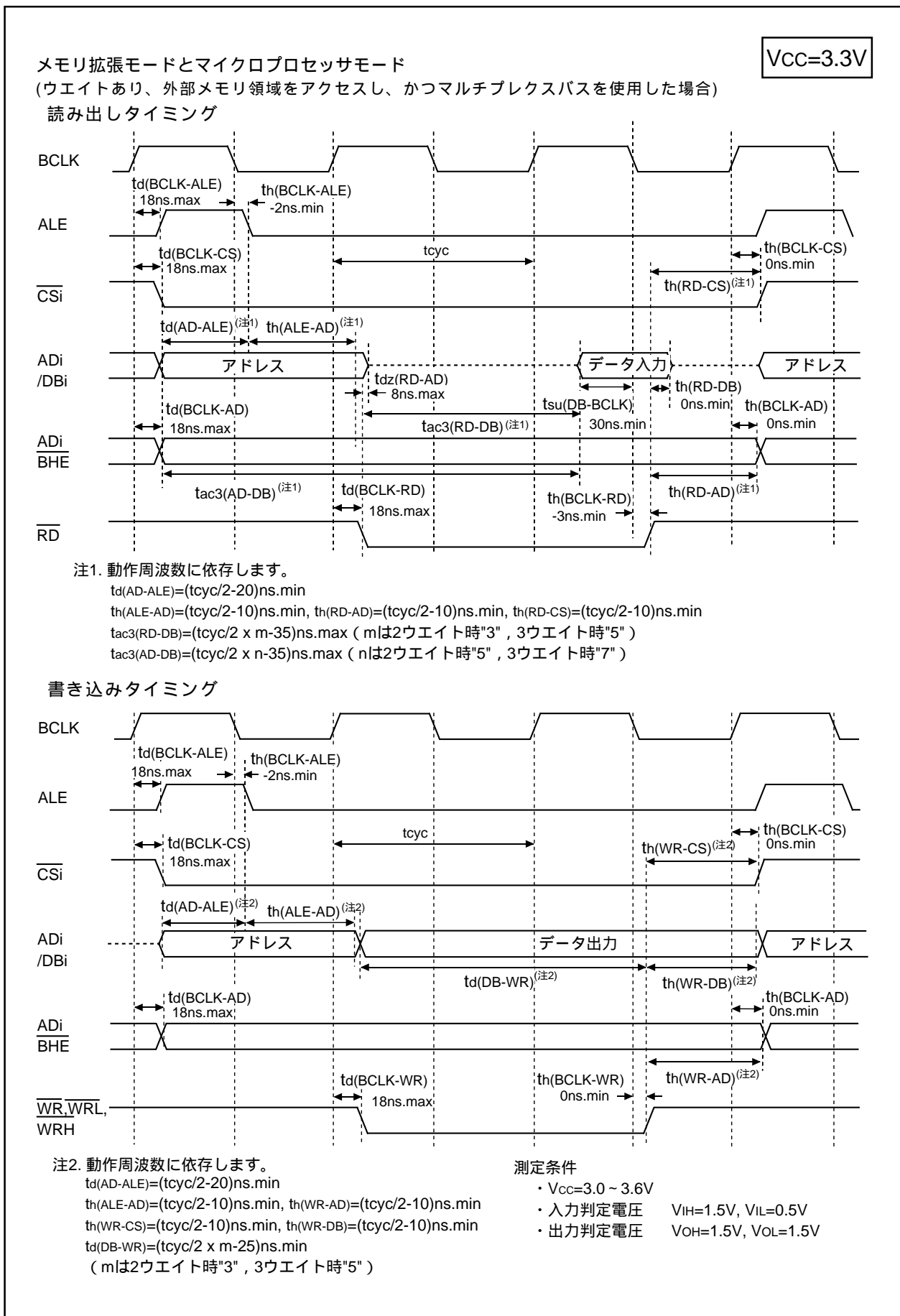


図26.12 Vcc=3.3V時のタイミング図(3)

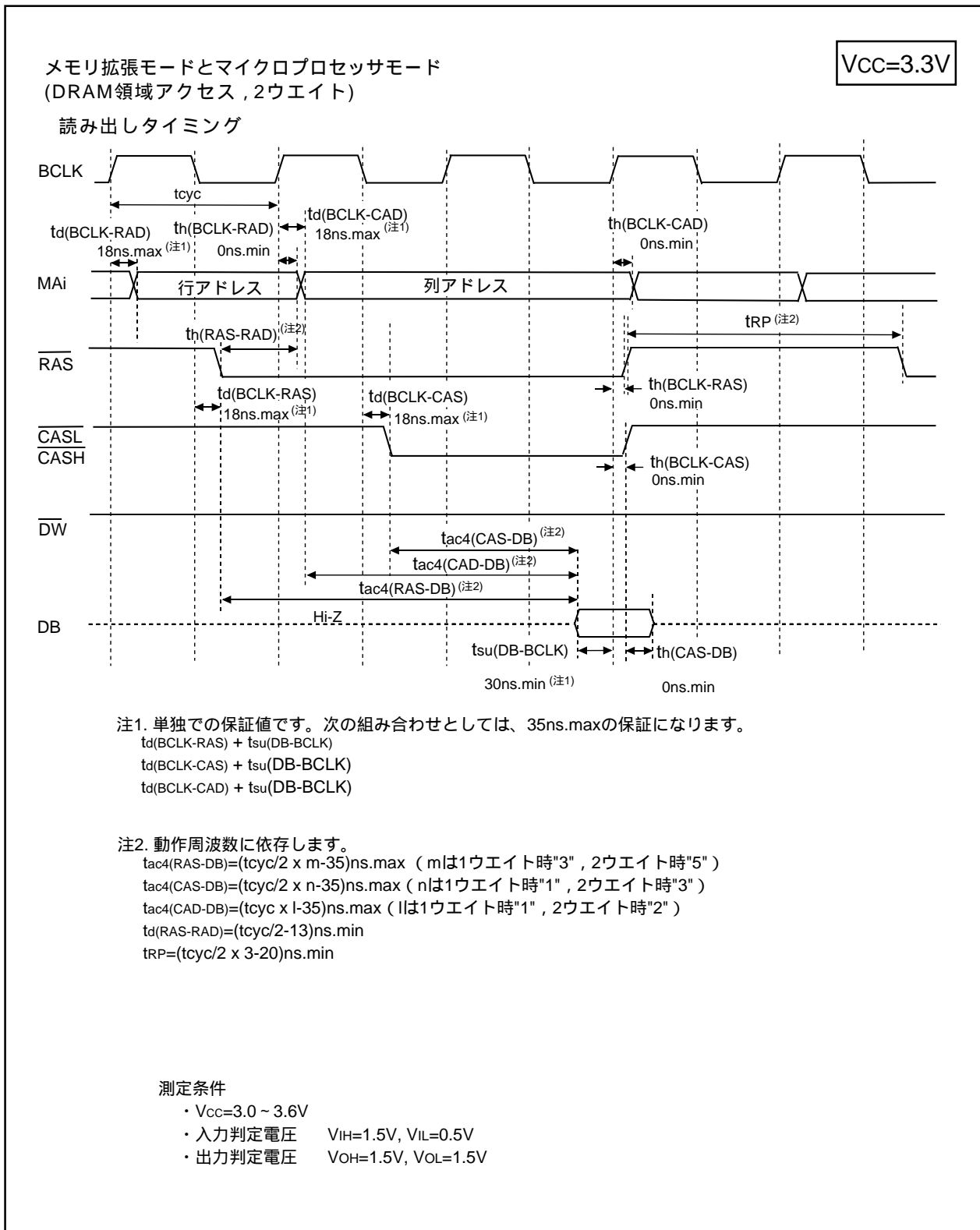
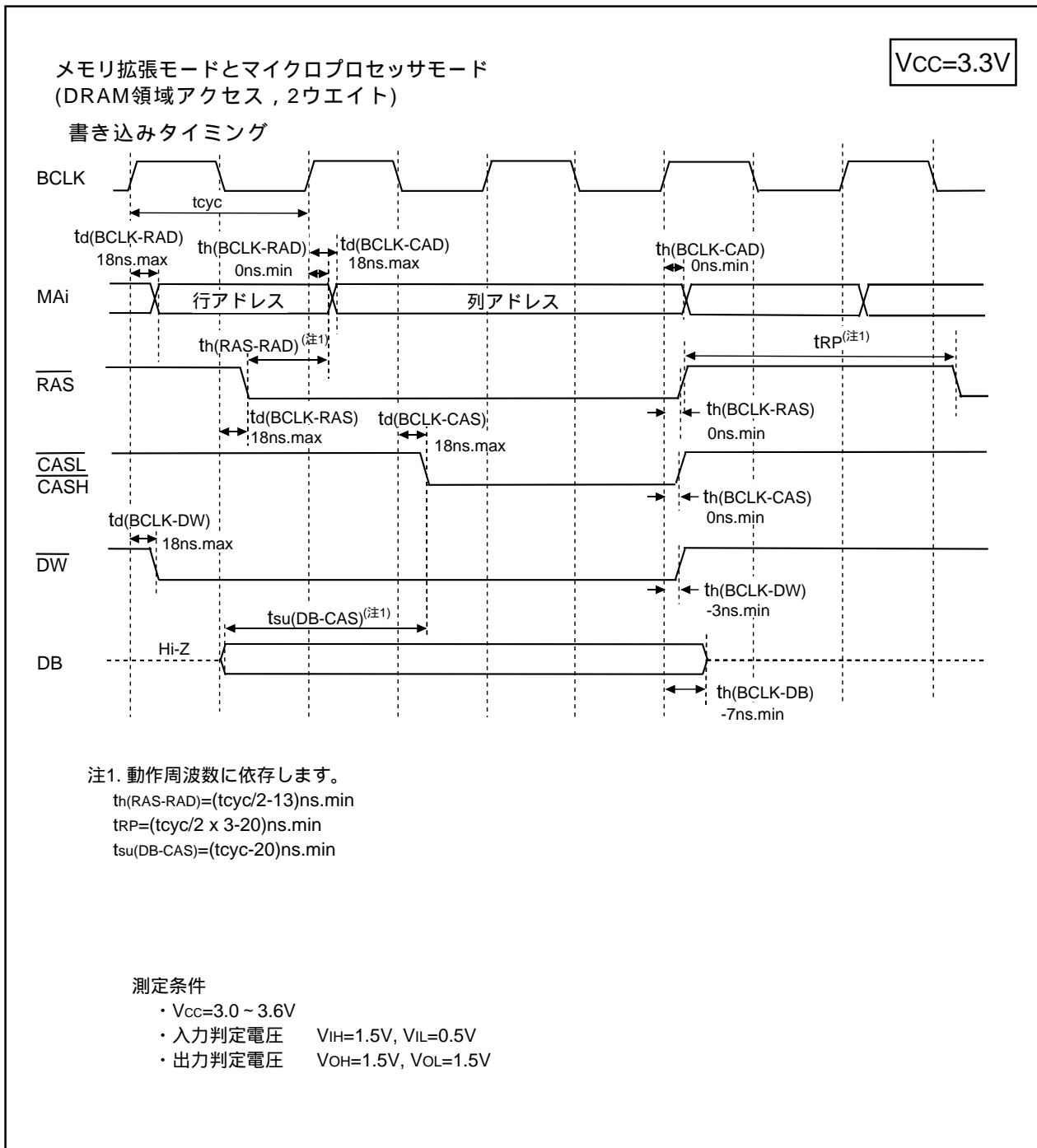


図26.13 Vcc=3.3V時のタイミング図(4)

図26.14 V_{CC}=3.3V時のタイミング図(5)

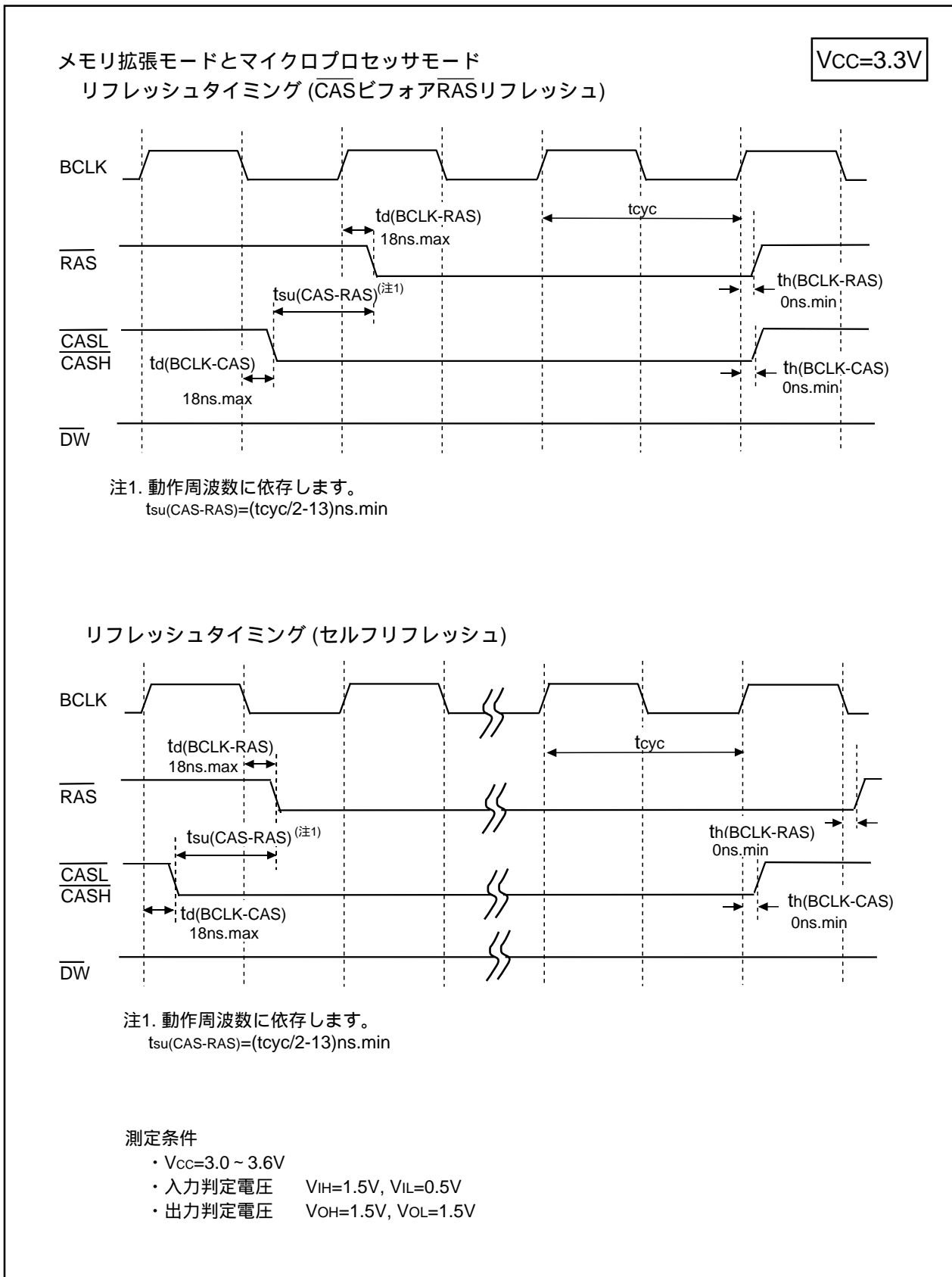


図26.15 Vcc=3.3V時のタイミング図(6)

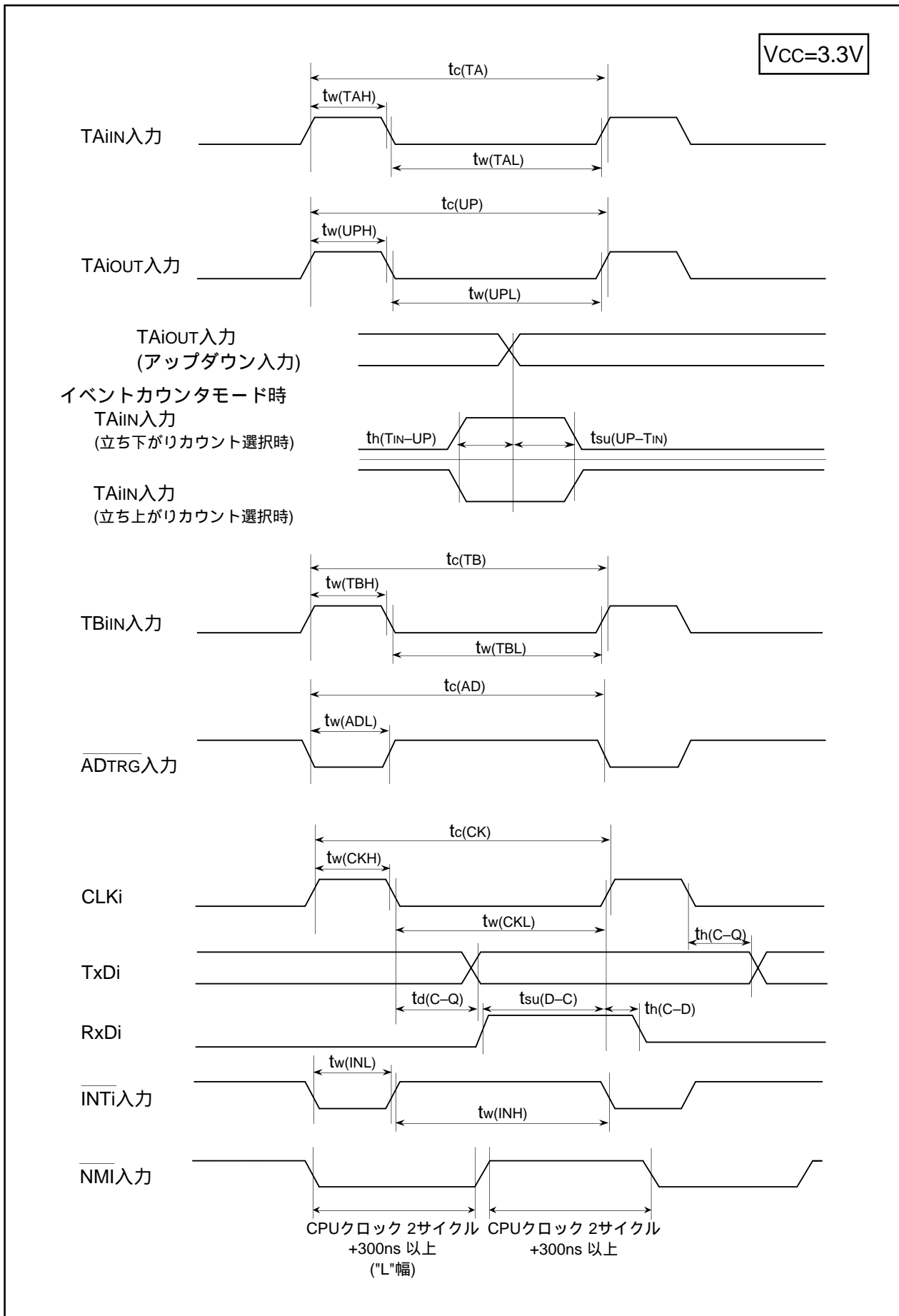


図26.16 Vcc=3.3V時のタイミング図(7)

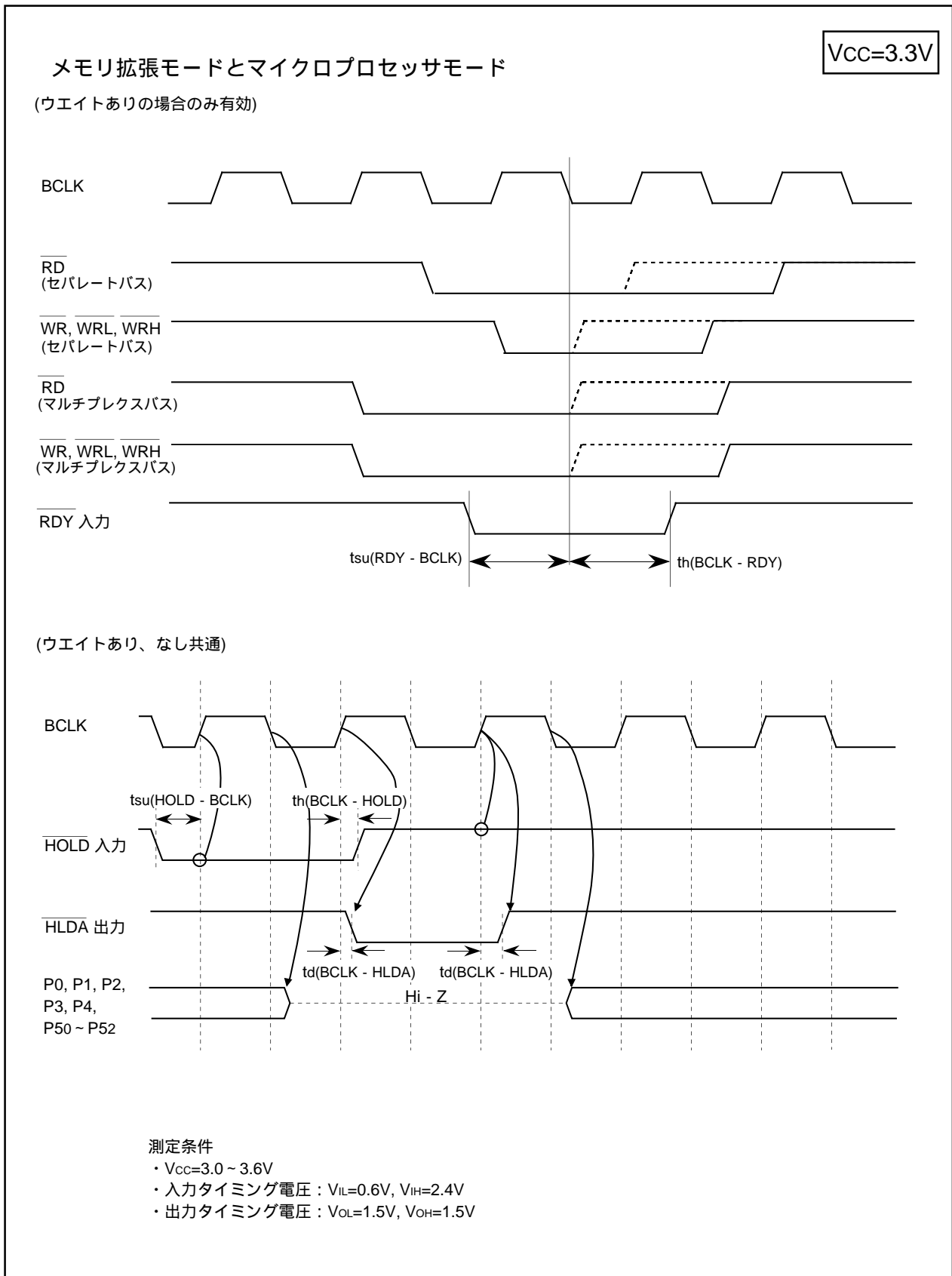


図26.17 VCC=3.3V時のタイミング図(8)

26.2 電気的特性(M32C/83T)

表26.45 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC}	電源電圧		V _{CC} =AV _{CC}	-0.3 ~ 6.0	V
AV _{CC}	アナログ電源電圧		V _{CC} =AV _{CC}	-0.3 ~ 6.0	V
V _I	入力電圧	RESET, CNV _{SS} , BYTE, P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 ^(注1) , V _{REF} , X _{IN}		-0.3 ~ V _{CC} +0.3	V
		P70, P71		-0.3 ~ 6.0	V
V _O	出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 ^(注1) , X _{OUT}		-0.3 ~ V _{CC} +0.3	V
P _d	消費電力		T _{opr} =25	400	mW
T _{opr}	動作周囲温度		Tバージョン	-40 ~ 85	
T _{stg}	保存温度			-65 ~ 150	

注1. ポートP11 ~ P15は144ピン版のみ存在します。

表26.46 推奨動作条件(指定のない場合は、V_{CC}=4.2V~5.5V,V_{SS}=0V,T_{opr}= - 40 ~ 85 (Tバージョン))

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧	4.2	5.0	5.5	V	
AV _{CC}	アナログ電源電圧		V _{CC}		V	
V _{SS}	電源電圧		0		V	
AV _{SS}	アナログ電源電圧		0		V	
V _{IH}	“H”入力電圧	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₂ ~P7 ₇ , P8 ₀ ~P8 ₇ (注3), P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注4), X _{IN} , RESET, CNV _{SS} , BYTE	0.8V _{CC}		V _{CC}	V
		P7 ₀ , P7 ₁	0.8V _{CC}		6.0	
V _{IL}	“L”入力電圧	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ (注3), P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注4), X _{IN} , RESET, CNV _{SS} , BYTE	0		0.2V _{CC}	V
I _{OH(peak)}	“H”尖頭出力電流(注2)	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₂ ~P7 ₇ , P8 ₀ ~P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注4)			-10.0	mA
I _{OH(avg)}	“H”平均出力電流(注1)	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₂ ~P7 ₇ , P8 ₀ ~P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注4)			-5.0	mA
I _{OL(peak)}	“L”尖頭出力電流(注2)	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注4)			10.0	mA
I _{OL(avg)}	“L”平均出力電流(注1)	P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₄ , P12 ₀ ~P12 ₇ , P13 ₀ ~P13 ₇ , P14 ₀ ~P14 ₆ , P15 ₀ ~P15 ₇ (注4)			5.0	mA
f(X _{IN})	メインクロック入力周波数	V _{CC} =4.2~5.5V	0		32	MHz
f(X _{CIN})	サブクロック発振周波数			32.768	50	kHz

注1．平均出力電流は100msの期間内の平均値です。

注2．ポートP0, P1, P2, P8₆, P8₇, P9, P10, P11, P14, P15のI_{OL(peak)}の合計は80mA以下、ポートP0, P1, P2, P8₆, P8₇, P9, P10, P11, P14, P15のI_{OH(peak)}の合計は-80mA以下、ポートP3, P4, P5, P6, P7, P8₀~P8₄, P12, P13のI_{OL(peak)}の合計は80mA以下、ポートP3, P4, P5, P6, P7₂~P7₇, P8₀~P8₄, P12, P13のI_{OH(peak)}の合計は-80mA以下にして下さい。

注3．P8₇のV_{IH}、V_{IL}はP8₇をプログラマブル入力ポートとして使用する場合の規格であり、X_{CIN}として使用する場合の規格ではありません。

注4．ポートP11~P15は144ピン版のみ存在します。

V_{CC}=5V表26.47 電気的特性(指定のない場合は、V_{CC}=4.2~5.5V, V_{SS}=0V, T_{opr}= -40~85 (Tバージョン), f(X_{IN})=32MHz)

記号	項目	測定条件	標準			単位	
			最小	標準	最大		
V _{OH}	“H”出力電圧	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	I _{OH} =-5mA	V _{CC} -2.0			V
		P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	I _{OH} =-200μA	V _{CC} -0.3			
	X _{OUT}	I _{OH} =-1mA	3.0			V	
	X _{COUT}	無負荷時		3.3		V	
V _{OL}	“L”出力電圧	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	I _{OL} =5mA			2.0	V
		P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	I _{OL} =200μA			0.45	V
	X _{OUT}	I _{OL} =1mA			2.0	V	
	X _{COUT}	無負荷時		0		V	
V _{T+} -V _{T-}	ヒステリシス	HOLD, RDY, TA0 _{IN} ~TA4 _{IN} , TB0 _{IN} ~TB5 _{IN} , INT0~INT5, AD _{TRG} , CTS0~CTS4, CLK0~CLK4, TA0 _{OUT} ~TA4 _{OUT} , NMI, K _{I0} ~K _{I3} , RxD0~RxD4, SCL0~SCL4, SDA0~SDA4		0.2		1.0	V
		RESET		0.2		1.8	V
I _{IH}	“H”入力電流	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1), X _{IN} , RESET, CNV _{SS} , BYTE	V _I =5V			5.0	μA
I _{IL}	“L”入力電流	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1), X _{IN} , RESET, CNV _{SS} , BYTE	V _I =0V			-5.0	μA
R _{PULLUP}	プルアップ抵抗	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P72~P77, P80~P84, P86, P87, P90~P97, P100~P107, P110~P114, P120~P127, P130~P137, P140~P146, P150~P157(注1)	V _I =0V	30	50	167	kΩ
R _{fXIN}	帰還抵抗	X _{IN}			1.5		MΩ
R _{fXCIN}	帰還抵抗	X _{CIN}			10		MΩ
V _{RAM}	RAM保持電圧			2.5			V
I _{CC}	電源電流	測定条件 シングルチップモードで出力端子は開放、その他の端子はV _{SS} に接続	f(X _{IN})=32MHz、方形波、分周なし		40	54	mA
			f(X _{CIN})=32kHz、ウェイト時、Topr=25		470		μA
			クロック停止時、Topr=25		0.4	20	μA

注1. ポートP11~P15は144ピン版のみ存在します。

VCC=5V

表26.48 A/D変換特性 (指定のない場合は、VCC=AVCC=VREF=4.2~5.5V, VSS=AVSS=0V, Topr=-40~85 (Tバージョン), f(XIN)=32MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能	VREF=VCC			10	Bits	
INL	積分非直線性誤差	VREF=VCC=5V	AN0-AN7 ANEX0, ANEX1			±3	LSB
							LSB
			外部オペアンプ 接続モード			±7	LSB
						LSB	
DNL	微分非直線性誤差				±1	LSB	
-	オフセット誤差				±3	LSB	
-	ゲイン誤差				±3	LSB	
RLADDER	ラダー抵抗	VREF=VCC	8		40	kΩ	
tCONV	変換時間(10bit)		2.1			μs	
tCONV	変換時間(8bit)		1.8			μs	
tsAMP	サンプリング時間		0.2			μs	
VREF	基準電圧		2		VCC	V	
VIA	アナログ入力電圧		0		VREF	V	

注1. f(XIN)が16MHzを超える時は分周し、φADを16MHz以下としてください。

表26.49 D/A変換特性 (指定のない場合は、VCC=VREF=4.2~5.5V, VSS=AVSS=0V, Topr=-40~85 (Tバージョン), f(XIN)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsu	設定時間				3	μs
Ro	出力抵抗		4	10	20	kΩ
IvREF	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータを1本使用し、使用していないDAコンバータのDAiレジスタ(i=0,1)の値が“0016”の場合です。A/Dコンバータのラダー抵抗分は除きます。

ADiCON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IvREFは流れます。

表26.50 フラッシュメモリの電気的特性

項目	規格値			単位
	最小	標準	最大	
プログラム時間 (1 Page)		8	120	ms
ブロック消去時間 (1 Block)		50	600	ms

注1. 指定のない場合は、Vcc=4.2~5.5V、Topr=0~60 です。

VCC=5V

タイミング必要条件

(指定のない場合は、VCC=4.2 ~ 5.5V, VSS=0V, Topr= - 40 ~ 85 (Tバージョン))

表26.51 外部クロック入力

記号	項目	標準		単位
		最小	最大	
tc	外部クロック入力サイクル時間	33		ns
tw(H)	外部クロック入力“H”パルス時間	13		ns
tw(L)	外部クロック入力“L”パルス時間	13		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

VCC=5V

タイミング必要条件 (指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr=-40~85 (Tバージョン))

表26.52 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	100		ns
tw(TAH)	TAiIn入力“H”パルス幅	40		ns
tw(TAL)	TAiIn入力“L”パルス幅	40		ns

表26.53 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	400		ns
tw(TAH)	TAiIn入力“H”パルス幅	200		ns
tw(TAL)	TAiIn入力“L”パルス幅	200		ns

表26.54 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIn入力サイクル時間	200		ns
tw(TAH)	TAiIn入力“H”パルス幅	100		ns
tw(TAL)	TAiIn入力“L”パルス幅	100		ns

表26.55 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIn入力“H”パルス幅	100		ns
tw(TAL)	TAiIn入力“L”パルス幅	100		ns

表26.56 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOuT入力サイクル時間	2000		ns
tw(UPH)	TAiOuT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOuT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOuT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOuT入力ホールド時間	400		ns

VCC=5V

タイミング必要条件 (指定のない場合は、VCC=4.2~5.5V, VSS=0V, Topr=-40~85 (Tバージョン))

表26.57 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間(片エッジカウント)	100		ns
tW(TBH)	TBin入力“H”パルス幅(片エッジカウント)	40		ns
tW(TBL)	TBin入力“L”パルス幅(片エッジカウント)	40		ns
tC(TB)	TBin入力サイクル時間(両エッジカウント)	200		ns
tW(TBH)	TBin入力“H”パルス幅(両エッジカウント)	80		ns
tW(TBL)	TBin入力“L”パルス幅(両エッジカウント)	80		ns

表26.58 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間	400		ns
tW(TBH)	TBin入力“H”パルス幅	200		ns
tW(TBL)	TBin入力“L”パルス幅	200		ns

表26.59 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tC(TB)	TBin入力サイクル時間	400		ns
tW(TBH)	TBin入力“H”パルス幅	200		ns
tW(TBL)	TBin入力“L”パルス幅	200		ns

表26.60 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tC(AD)	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
tW(ADL)	ADTRG入力“L”パルス幅	125		ns

表26.61 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
tC(CX)	CLKi入力サイクル時間	200		ns
tW(CXH)	CLKi入力“H”パルス幅	100		ns
tW(CXL)	CLKi入力“L”パルス幅	100		ns
td(C-Q)	TxDi出力遅延時間		80	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-Q)	RxDi入力セットアップ時間	30		ns
th(C-Q)	RxDi入力ホールド時間	90		ns

表26.62 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
tW(INH)	INTi入力“H”パルス幅	250		ns
tW(INL)	INTi入力“L”パルス幅	250		ns

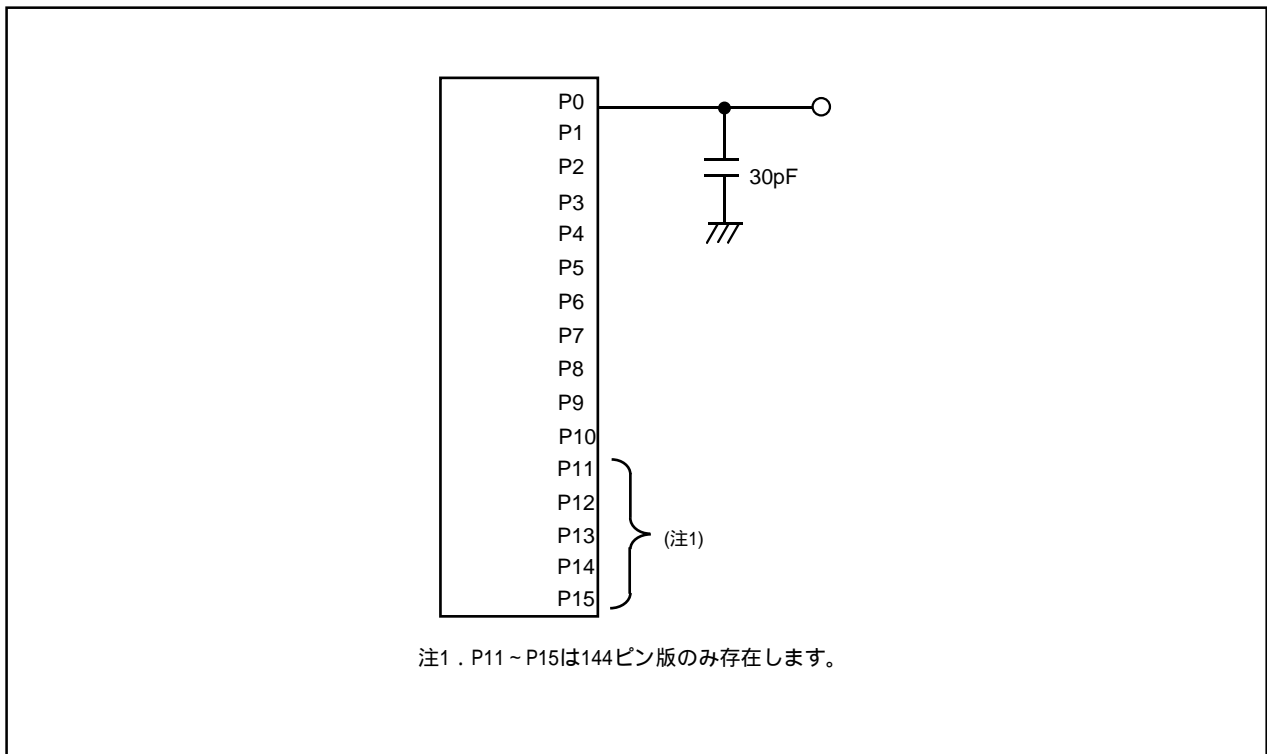


図26.18 ポートP0~P15の測定回路

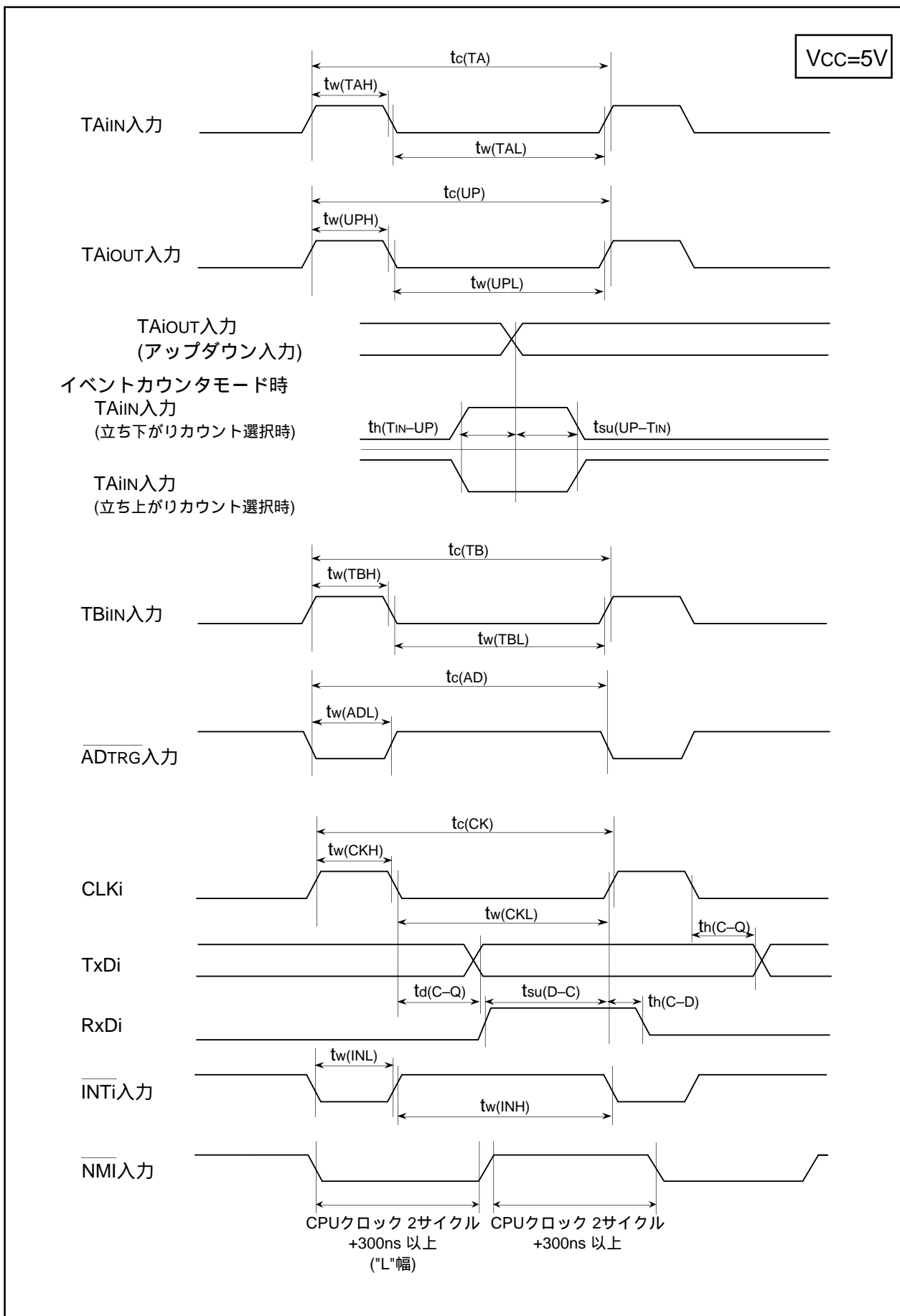


図26.19 V_{CC}=5V時のタイミング図(1)

27. 使用上の注意事項

27.1 プロセッサモード

27.1.1 マイクロプロセッサモード

マイクロプロセッサモードは、SFR、内部RAM、外部領域のアクセスができます。内部ROMはアクセスできません。

リセット後CNV_{ss} 端子が“ H ”の状態ではマイクロプロセッサモードから動作を開始した場合は、その後メモリ拡張モードまたはシングルチップモードに移行しても、内部ROMのアクセスはできません。

27.2 バス

27.2.1 $\overline{\text{HOLD}}$ 信号

シングルチップモードからマイクロプロセッサモードまたはメモリ拡張モードに変更し、かつ $\overline{\text{HOLD}}$ 入力を使用する場合、PD4レジスタのPD4_0~PD4_7ビットとPD5レジスタのPD5_0~PD5_2ビットをすべて“0”(入力モード)にした後、PM01~PM00ビットを“112”(マイクロプロセッサモード)、または“102”(メモリ拡張モード)にしてください。

シングルチップモード時にPD4レジスタのPD4_0~PD4_7ビットとPD5レジスタのPD5_0~PD5_2ビットをすべて“1”(出力モード)にした後、PM01~PM00ビットを“112”(マイクロプロセッサモード)、または“102”(メモリ拡張モード)にした場合、 $\overline{\text{HOLD}}$ 端子に“L”を入力してもP40~P47(A16~A22、 $\overline{\text{A23}}$ 、 $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 、MA8~MA12)、P50~P52($\overline{\text{RD}}/\overline{\text{WR}}/\overline{\text{BHE}}$ 、 $\overline{\text{RD}}/\overline{\text{WRL}}/\overline{\text{WRH}}$)がハイインピーダンスになりません。

27.2.2 外部バス

CNV_{ss}端子に“H”を入力してハードウェアリセット(ハードウェアリセット1またはハードウェアリセット2)すると、内部ROMは読めません。

27.3 SFR

27.3.1 100ピン版の注意事項

100ピン版では、03CB₁₆、03CE₁₆、03CF₁₆、03D2₁₆、03D3₁₆番地の領域は、リセット後“FF₁₆”にしてください。03DC₁₆番地の領域は、リセット後“00₁₆”にしてください。

27.3.2 レジスタ設定時の注意事項

表27.1に書き込みのみ可能なビットを含むレジスタを示します。これらのレジスタには即値を設定してください。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

表27.1 書き込みのみ可能なビットを含むレジスタ

レジスタ名	番地	レジスタ名	番地
WDTSレジスタ	000E ₁₆	U2BRGレジスタ	0339 ₁₆
G0RIレジスタ	00EC ₁₆	U2TBレジスタ	033B ₁₆ - 033A ₁₆
G1RIレジスタ	012C ₁₆	UDFレジスタ	0344 ₁₆
G2TBレジスタ	016D ₁₆ - 016C ₁₆	TA0レジスタ ^(注)	0347 ₁₆ - 0346 ₁₆
G3TBレジスタ	017D ₁₆ - 017C ₁₆	TA1レジスタ ^(注)	0349 ₁₆ - 0348 ₁₆
U4BRGレジスタ	02F9 ₁₆	TA2レジスタ ^(注)	034B ₁₆ - 034A ₁₆
U4TBレジスタ	02FB ₁₆ - 02FA ₁₆	TA3レジスタ ^(注)	034D ₁₆ - 034C ₁₆
TA11レジスタ	0303 ₁₆ - 0302 ₁₆	TA4レジスタ ^(注)	034F ₁₆ - 034E ₁₆
TA21レジスタ	0305 ₁₆ - 0304 ₁₆	U0BRGレジスタ	0369 ₁₆
TA41レジスタ	0307 ₁₆ - 0306 ₁₆	U0TBレジスタ	036B ₁₆ - 036A ₁₆
DTTレジスタ	030C ₁₆	U1BRGレジスタ	02E9 ₁₆
ICTB2レジスタ	030D ₁₆	U1TBレジスタ	02EB ₁₆ - 02EA ₁₆
U3BRGレジスタ	0329 ₁₆	AD0CON2レジスタ	0394 ₁₆
U3TBレジスタ	032B ₁₆ - 032A ₁₆		

注1.ワンショットタイマモード時とパルス幅変調モード時のみ。

27.4 クロック発生回路

27.4.1 PLL周波数シンセサイザ

PLL周波数シンセサイザをご使用になる場合は、電源電圧を安定させてください。

電源電圧5V時の電源電圧のリプルとして、周波数10kHz以下、電圧変動幅0.5V(peak to peak)以下、電圧変動率1V/mS以下にしてください。

電源電圧3.3V時の電源電圧のリプルとして、周波数100Hz以下、電圧変動幅0.2V(peak to peak)以下、電圧変動率0.1V/mS以下にしてください。

27.4.2 パワーコントロール

- ・ ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまでRESET端子に“L”を入力してください。
- ・ WAIT命令またはCM1レジスタのCM10ビットを“1”(全クロック停止)にする命令の後には、NOP命令を4つ以上入れてください。ウェイトモードまたはストップモードに移行する場合、命令キューはWAIT命令やCM10ビットを“1”にする命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードやストップモードに入る前に次の命令を実行する場合があります。
- ・ 消費電力を小さくするためのポイントを以下に示します。システム設計やプログラムを作成するときに参考にしてください。

ポート：ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

A/Dコンバータ：A/D変換を行わない場合、AD0CON1レジスタのVCUTビットを“0”(VREF未接続)にしてください。なお、A/D変換を行う場合、VCUTビットを“1”(VREF接続)にしてから1 μ s以上経過した後、A/D変換を開始させてください。

D/Aコンバータ：D/A変換を行わない場合、DACONレジスタのDA i ビット($i = 0 \sim 1$)を“0”(出力禁止)にし、DA i レジスタを“00 $_{16}$ ”にしてください。

周辺機能の停止：ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードと低消費電力モード時にはCM02ビットを“1”(ウェイトモード時、周辺機能クロック停止する)にしてウェイトモードに移行しないでください。

外部クロック：CPUのクロックに外部クロック入力を使用している場合、CM0レジスタのCM05ビットを“1”(停止)にしてください。CM05ビットを“1”にすることでXOUT端子が動作しなくなり、消費電流が小さくなります(外部クロック入力を使用している場合、CM05ビットにかかわらず、クロックは入力されます)。

27.4.3 ウェイトモード

ウェイトモードに移行する場合、命令キューにWAIT命令より後の命令が取り込まれて、プログラムが停止します。WAIT命令の後にはNOPを最低4つ入れてください。

27.4.4 ストップモード

- ・ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまでRESET端子に“L”を入力してください。

- ・ストップモードに移行する場合、命令キューにCM1レジスタのCM10ビットを“1” (全クロック停止) にする命令より後の命令が取り込まれてから、プログラムが停止します。ストップモードから復帰したとき、命令キューに取り込まれている命令を実行してから復帰用割り込みルーチンが実行されます。

CM10ビットを“1”にする命令の後には次のようにJMP.B命令を入れてください。

```

    bset 0, prcr          ;プロテクト解除
    fset  1              ;Iフラグをセット
    bset 0, cml          ;全クロック停止(ストップモード)
    jmp.b LABEL_001     ;jmp.b命令実行(jmp.bとラベルの間には命令を
LABEL_001:              ;入れないですぐ次の命令にジャンプする)
    nop                  ;nop(1)
    nop                  ;nop(2)
    nop                  ;nop(3)
    nop                  ;nop(4)
    mov.b #0, prcr      ;プロテクト設定
    .
    .
    .

```

27.5 プロテクト

PRCRレジスタのPRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

27.6 割り込み

27.6.1 ISPの設定

リセット後、ISPは“000000₁₆”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには偶数番地を設定してください。偶数を設定した方が割り込みシーケンスの実行速度が速くなります。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でISPを設定してください。 $\overline{\text{NMI}}$ 割り込みは、リセット後、1命令を実行した直後から受け付けられます。

27.6.2 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みは、禁止できません。使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVccに接続(プルアップ)してください。
- $\overline{\text{NMI}}$ 端子は、P8レジスタのP8_5ビットを読むことで端子の値を読めます。P8_5ビットは、 $\overline{\text{NMI}}$ 割り込みが発生した後、端子のレベルを判定する場合のみ読んでください。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

27.6.3 $\overline{\text{INT}}$ 割り込み

- エッジセンスの場合、 $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子に入力する信号には、CPUクロックに関係なく250ns以上の“L”幅、または“H”幅が必要です。
- レベルセンスの場合、 $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子に入力する信号には、CPUクロック1周期+200ns以上の“L”幅、または“H”幅が必要です。(例：XIN = 30MHz、分周無しの場合は234ns以上必要です。)
- $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子の極性を切り替えるときにIRビットが“1”(割り込み要求あり)になることがあります。切り替えた後、IRビットを“0”(割り込み要求なし)にしてください。図27.1に $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を示します。

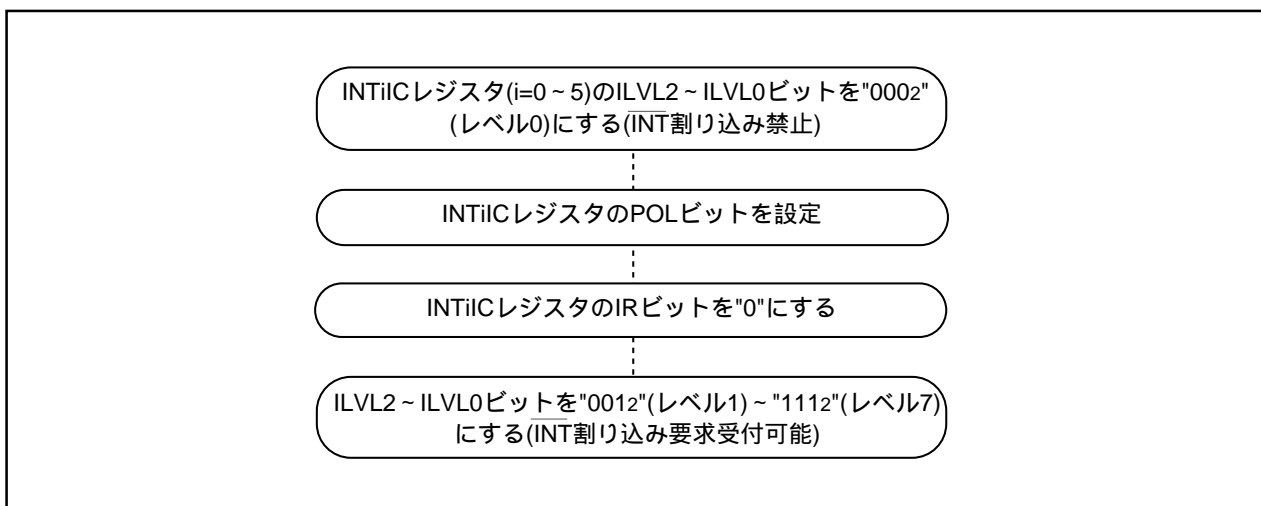


図27.1 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例

27.6.4 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

27.6.5 割り込み制御レジスタの変更

割り込みが禁止状態で割り込み制御レジスタを変更するときには、次のようにしてください。

IRビット以外のビット変更：命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1” (割り込み要求あり)にならずに割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

AND、OR、BCLR、BSET

IRビットの変更：IRビットを“0” (割り込み要求なし)にするとき、使用する命令によってはIRビットが“0”にならないことがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

MOV

27.6.6 IIOiIRレジスタの変更 (i=0 ~ 11)

IIOiIRレジスタのビット1~7に“0” (割り込み要求なし)を書く場合は次の命令を使用してください。

AND、BCLR

27.6.7 RLVLレジスタの変更

リセット後、DMAIIビットは不定です。割り込みで使用する場合は、DMAIIビットを“0” (割り込み優先レベル7は割り込みに使用)にしてから割り込み制御レジスタを設定してください。

27.7 DMAC

- DMAC関連レジスタを設定する場合は、設定するチャンネルのMDi1 ~ MDi0ビット(i=0 ~ 3)が“002” (DMA禁止)の状態を設定し、最後にMDi1 ~ MDi0ビットで“012” (単転送)または“112” (リピート転送)を選択してください。これによって、そのチャンネルのDMA要求が受付可能となります。
- DMiSLレジスタのDRQビットに“0” (要求なし)を書かないでください。
M32C/80シリーズでは、DMA要求が発生した場合、そのチャンネルが受け付けられない状態^(注1)であればDMA転送は実行せず、そのDRQビットは“0”になります。
注1. MDi1 ~ MDi0ビットが“002”、またはDCTiレジスタが“0000₁₆” (転送回数0)
- ソフトウェアトリガでDMA転送を行う場合、DMiSLレジスタのDSRビットとDRQビットを、同時に“1”にしてください。
例) OR.B #0A0h,DMiSL ;DSRビットとDRQビットを同時に“1”にする
- チャンネルiのDCTiレジスタが“1” (転送回数1)の場合、チャンネルiに対応するDMDjレジスタ(j=0,1)のMDi1 ~ MDi0ビットに“102” (単転送)または“112” (リピート転送)を書くタイミングで、チャンネルiのDMA要求が発生しないようにしてください。
- DMA関連レジスタ設定後に、DMAの要求要因となる周辺機能を設定してください。
DMA要求要因にINT割り込みを選択した場合、DCTiレジスタに“1”を書かないでください。
- DMiSLレジスタ(i=0 ~ 3)を設定してから、プログラムでBCLKの6サイクル以上待ってDMAを許可^(注1)してください。
注1. DMA許可とは、DMDjレジスタ(j=0, 1)のMDi1 ~ MDi0ビットを“002” (DMA禁止)から、“012” (単転送)、または“112” (リピート転送)に設定することを表します。

27.8 タイマ

27.8.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSRレジスタまたはTBSRレジスタの、TAiS(i=0~4)ビットまたはTBjS(j=0~5)ビットを“1”(カウント開始)にしてください。

次のレジスタ、ビットは、TAiSビットまたはTBjSビットが“0”(カウント停止)の状態、変更してください。

- ・TAiMR、TBjMRレジスタ
- ・TAi、TBjレジスタ
- ・UDFレジスタ
- ・ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット
- ・TRGSRレジスタ

27.8.2 タイマA

27.8.2.1 タイマA(タイマモード)

(a) リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。

(b) カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF₁₆”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

(c) INVC0レジスタのINV03~INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

27.8.2.2 タイマA(イベントカウンタモード)

(a) リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。

(b) カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFF₁₆”が、オーバフロー時は“0000₁₆”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

(c) INVC0レジスタのINV03~INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

27.8.2.3 タイマA(ワンショットタイマモード)

(a) リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。

- (b) カウント中にTABSRLレジスタを“0”(カウント停止)にすると次のようになります。
- ・カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 - ・TAiOUT端子は“L”を出力します。
 - ・CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- (c) ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。
- (d) 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
- ・リセット後、ワンショットタイマモードを選択したとき
 - ・動作モードをタイマモードからワンショットタイマモードに変更したとき
 - ・動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。
- (e) カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。
- (f) INVC0レジスタのINV03～INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。
- (g) タイマAワンショットタイマモードでカウント開始条件に外部トリガを選択している場合、タイマAのカウント値が“0000₁₆”になる前の300nsの間に外部トリガを再入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

27.8.2.4 タイマA (パルス幅変調モード)

- (a) リセット後、TABSRLレジスタのTAiSビット(i=0～4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- (b) 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
- ・リセット後、PWMモードを選択したとき
 - ・動作モードをタイマモードからPWMモードに変更したとき
 - ・動作モードをイベントカウンタモードからPWMモードに変更したとき
- したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。
- (c) PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。
- ・カウンタはカウントを停止します。
 - ・TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
 - ・TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

- (d) INVC0レジスタのINV03～INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

27.8.3 タイマB

27.8.3.1 タイマB(タイマモード、イベントカウンタモード)

- (a) リセット後、TbISビット(i=0～5)は“0”(カウント停止)です。動作モードを選択し、TbIレジスタに値を設定した後、TbISビットを“1”(カウント開始)にしてください。
TB0S～TB2SビットはTABSRレジスタのビット5～7、TB3S～TB5SビットはTBSRレジスタのビット5～7です。

- (b) カウント中のカウンタの値は、TbIレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF₁₆”が読まれます。カウント停止中にTbIレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

27.8.3.2 タイマB(パルス周期測定/パルス幅測定モード)

- (a) TbIICレジスタ(i=0～5)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバフローしたとき“1”(オーバフローあり)になります。割り込み要求要因は、割り込みルーチン内でTbIMRレジスタのMR3ビットで判断できます。
- (b) 測定パルス入力が入力されたタイマのオーバフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバフローの回数を別のタイマでカウントしてください。
- (c) MR3ビットを“0”(オーバフローなし)にするには、TbISビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバフローあり)になった後の次のカウントソースのカウントタイミング以降に、TbIMRレジスタに書いてください。
- (d) オーバフローだけの検出にはTbIICレジスタのIRビットを使用してください。MR3ビットは、割り込みルーチン内で割り込み要因を判断するときだけ使用してください。
- (e) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。
- (f) カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。
- (g) カウント開始後にTbIMRレジスタのMR1～MR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。MR1～MR0ビットに以前と同じ値を書き込んだ場合は、IRビットは変化しません。
- (h) パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

27.9 三相モータ制御用タイマ機能

27.9.1 TAI, TAI1レジスタ(i=1, 2, 4)の変更

これらのレジスタは、タイマB2のアンダフロータイミングで書かないでください。また、TAI1レジスタを書き換える場合は次の手順で書いてください。

- (1) TAI1レジスタへ値を書く
- (2) タイマAiカウントソースの1サイクル分待つ
- (3) もう一度、TAI1レジスタに同じ値を書く

27.10 シリアルI/O

27.10.1 クロック同期形シリアルI/Oモード

27.10.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTSi}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTSi}}$ 端子を送信側の $\overline{\text{CTSi}}$ 端子に結線すると、送受信のタイミングを合わせることができません。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

INVC0レジスタのINV03～INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力すると、 $\overline{\text{RTS2}}$ 端子とCLK2端子はハイインピーダンスになります。

27.10.1.2 送信

外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち上がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・UiC1レジスタのTEビットが“1”(送信許可)
- ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- ・ $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTSi}}$ 端子の入力が“L”

27.10.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TxDi端子からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタ(i=0～2)のTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタ(i=0～2)のREビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトヘダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・UiC1レジスタのREビットが“1”(受信許可)
- ・UiC1レジスタのTEビットが“1”(送信許可)
- ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

27.10.2 UARTモード

- ・UiC1レジスタのUiEREビットは、UiMRレジスタを設定した後で書いてください。
- ・INVC0レジスタのINV03～INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力すると、 $\overline{\text{RTS2}}$ 端子とCLK2端子はハイインピーダンスになります。

27.10.3 特殊モード2

INVC0レジスタのINV03～INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力すると、 $\overline{\text{RTS2}}$ 端子とCLK2端子はハイインピーダンスになります。

27.11 A/Dコンバータ

- ・ ADiCON0レジスタ(i=0, 1)(ビット6を除く)、ADiCON1レジスタ、ADiCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。
- ・ ADiCON1レジスタのVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
A/D変換停止後、VCUTビットを“1”から“0”にしてください。
- ・ ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(ANjk (j=なし, 0, 2, 15、k=0~7))とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC端子とVSS端子の間にもコンデンサを挿入してください。図27.2に各端子の処理例を示します。

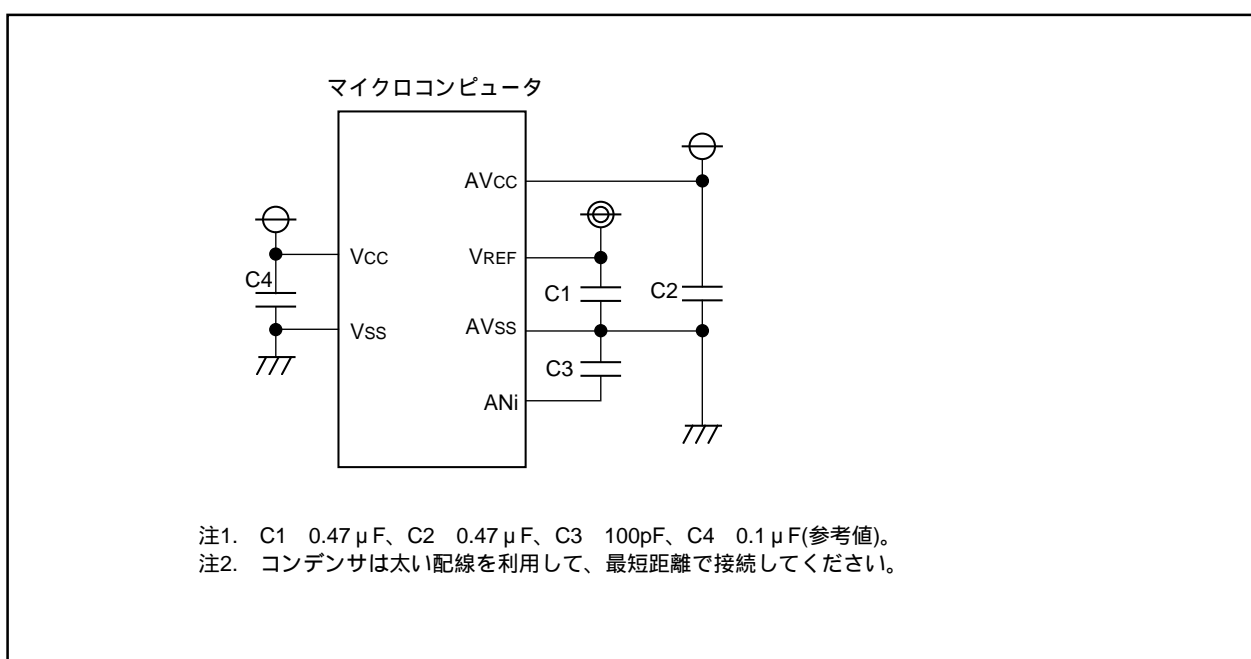


図27.2 各端子の処理例

- ・ アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力モード)にしてください。また、ADiCON2レジスタのTRG1~TRG0ビットが“002”(ADTRG)の場合は、ADTRG端子に対応するポート方向ビットは“0”(入力モード)にしてください。
- ・ キー入力割り込みを使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧が“L”になると、キー入力割り込み要求が発生します)。
- ・ サンプル&ホールド機能なしの場合、ADの周波数は250kHz以上にしてください。サンプル&ホールド機能ありの場合、ADの周波数は1MHz以上にしてください。
- ・ A/D動作モードを変更した場合は、ADiCON0レジスタのCH2~CH0ビットまたはADiCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

- ・ A/D変換が完了し、その結果をAD_{ij}レジスタ($i=0, 1, j=0 \sim 7$)に格納するタイミングでCPUがAD_{ij}レジスタを読んだ場合、誤った値がAD_{ij}レジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。
単発モードまたは単掃引モードで使用する場合、A/D変換が完了したことを確認してから、対象となるAD_{ij}レジスタを読んでください(A/D変換の完了はAD_iICレジスタのIRビットで判定できます)。
繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合、CPUクロックは、メインクロックを分周せずに使用してください。
- ・ A/D変換動作中に、プログラムでAD_iCON0レジスタ($i=0, 1$)のADSTビットを“0”(A/D変換停止)にして強制終了した場合、そのA/D_iの変換結果は不定となります。また、強制終了したA/D_iでA/D変換を行っていないAD_{ij}レジスタ($j=0 \sim 7$)も不定になる場合があります。
A/D_iを強制終了した場合は、すべてのAD_{ij}レジスタの値を使用しないでください。
なお、AD₀CON2レジスタのADSビットが“0”(チャンネル入れ替え無効)で、A/D₀、A/D₁のどちらか片方のみを強制終了した場合、もう片方のA/D_iは正常にA/D変換します。また、変換を行っていないAD_{ij}レジスタの値は変化しません。

27.12 インテリジェントI/O

27.12.1 レジスタの設定

GiBT($i=0\sim 3$)、GiBCR1、BTSR、GjTMCR0~GjTMCR7($j=0, 1$)、GiTPR6、GiTPR7、GjTM0~GjTM7、GiPOCR0~GiPOCR7、GiPO0~GiPO7、G3MK4~G3MK7、GjFS、GiFE、G2RTP、G3RTPの各レジスタに書いた値は、GiBCR0レジスタのBCK1~BCK0ビットで設定したカウントソース(f_{BTi})に同期して反映されます。これらのレジスタの設定は、BCK1~BCK0ビットを設定した後で行ってください。

同様に、G0RI~G1RI、G0TO~G1TO、G0CR~G3CR、G0RB~G3RB、G0MR~G3MR、G0EMR~G1EMR、G0ETC~G1ETC、G0ERC~G1ERC、G0IRF、G1IRF、G0TB~G3TB、G0CMP0~G0CMP3、G1CMP0~G1CMP3、G0MSK0~G0MSK1、G1MSK0~G1MSK1、G0TCRC~G1TCRC、G0RCRC~G1RCRC、IECR、IEAR、IETIF、IERIF、G3FLGの各レジスタに書いた値は、転送クロックに同期して反映されます。これらのレジスタの設定は、転送クロックを設定した後で行ってください。

27.12.2 BTSRレジスタの設定

BTSRレジスタは、インテリジェントI/Oグループ2内にあるレジスタです。BTSRレジスタのBTiSビット($i=0\sim 3$)でベースタイマをカウント開始させる場合、インテリジェントI/Oグループ2のカウントソースを設定した後で、BTiSビットを“1”(ベースタイマカウント開始)にしてください。また、BTiSビットを使用しない場合も、インテリジェントI/Oグループ2のカウントソースを設定した後で“0”(ベースタイマリセット)にしてください。

ベースタイマをカウントさせる場合、BTiSビットとGiBCR1レジスタのBTSビットは、どちらか一方のみ“1”にしてください。両方“1”にすると、カウントを止めるときに両方を“0”にしなければなりませんので、操作が煩雑になります。

27.13 プログラマブル入出力ポート

- ・P72～P75、P80、P81端子には三相PWM出力の強制遮断機能があるため、これらの端子を出力機能(ポート出力、タイマ出力、三相PWM出力、シリアルI/O出力、インテリジェントI/O出力)に設定している場合、三相モータ制御用タイマ機能やNMI端子の影響を受けます。表27.2にINVC0レジスタの設定値、NMI端子入力レベルと、出力端子の状態の関係を示します。

表27.2 INVC0レジスタの設定値、NMI端子入力レベルと、出力端子の状態の関係

INVC0レジスタの設定値		NMI端子入力 レベル	P72～P75、P80、P81端子の状態 (出力に設定している場合)
INV02ビット	INV03ビット		
0(三相モータ制御用タイマ機能 を使用しない)	-	-	PS1、PSL1、PSC、PS2、PSL2 レジスタで選択した機能の出力
1(三相モータ制御用タイマ機能)	0(三相PWM出力禁止)	-	ハイインピーダンス
	1(三相PWM出力許可) ^(注1)	H	PS1、PSL1、PSC、PS2、PSL2 レジスタで選択した機能の出力
		L(強制遮断)	ハイインピーダンス

注1. NMI端子に“L”入力後、“0”になります。

- ・プログラマブル入出力ポートと周辺機能では、入力閾値電圧が異なります。
したがって、プログラマブル入出力ポートと周辺機能が端子を共用している場合、この端子の入力レベルが推奨動作条件の V_{IH} 、 V_{IL} の範囲外(“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと周辺機能で、レベルの判定結果が異なることがあります。

27.14 フラッシュメモリ版

27.14.1 フラッシュメモリ版とマスクROM版の相違点

フラッシュメモリ版とマスクROM版は、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

27.15 ノイズに関する注意事項

ノイズ対策として、Vcc端子とVss端子間にバイパスコンデンサ(0.1 μ F以上)を最短距離でかつ、比較的に太い配線を使って接続してください。

27.16 低電圧動作の注意事項

VDC(ボルテージ・ダウン・コンバータ)は、外部から供給された電源電圧を内部動作電圧(3.3V)に降圧する回路です。電源電圧3.3Vで使用する場合は必要ありませんので、VDCを切り離してください。消費電流が低減できます。

図27.3にVDC切り離しの手順を示します。

これらの設定はリセット後、なるべくすぐに、CPUクロックが8分周の状態で行ってください。VDC0レジスタ(001B₁₆番地)には他の値を設定しないでください。また、3.3V以上の電源電圧を使用する場合は、VDC0レジスタへ書かないでください。

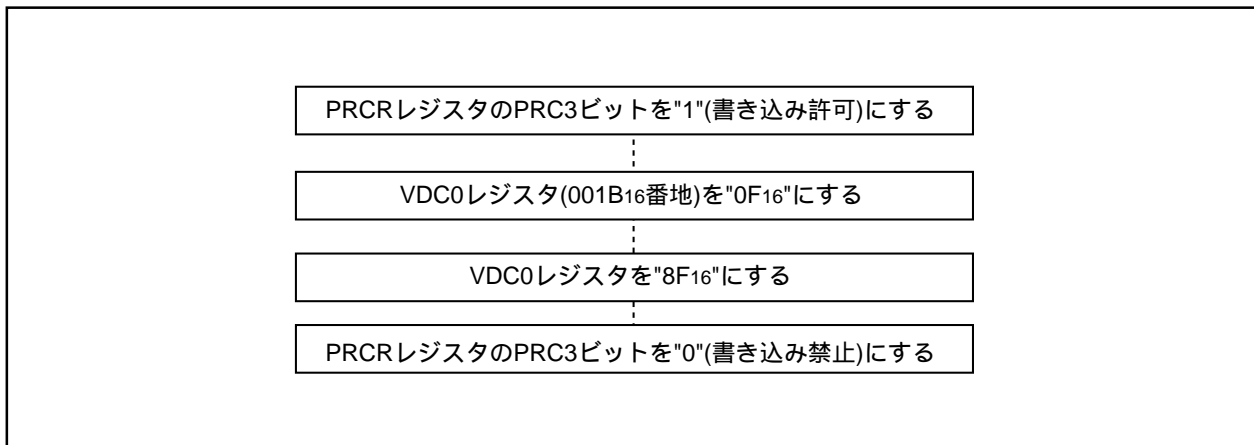
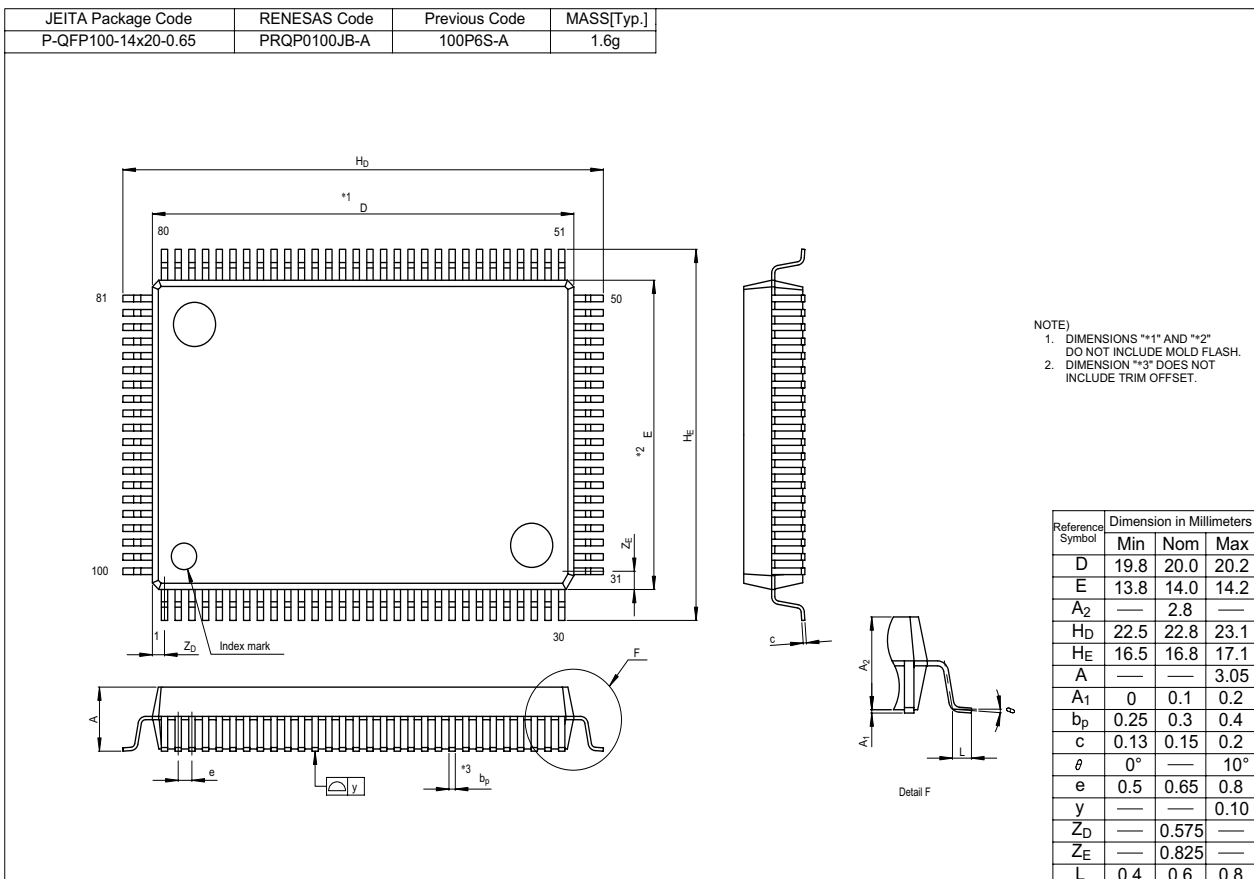
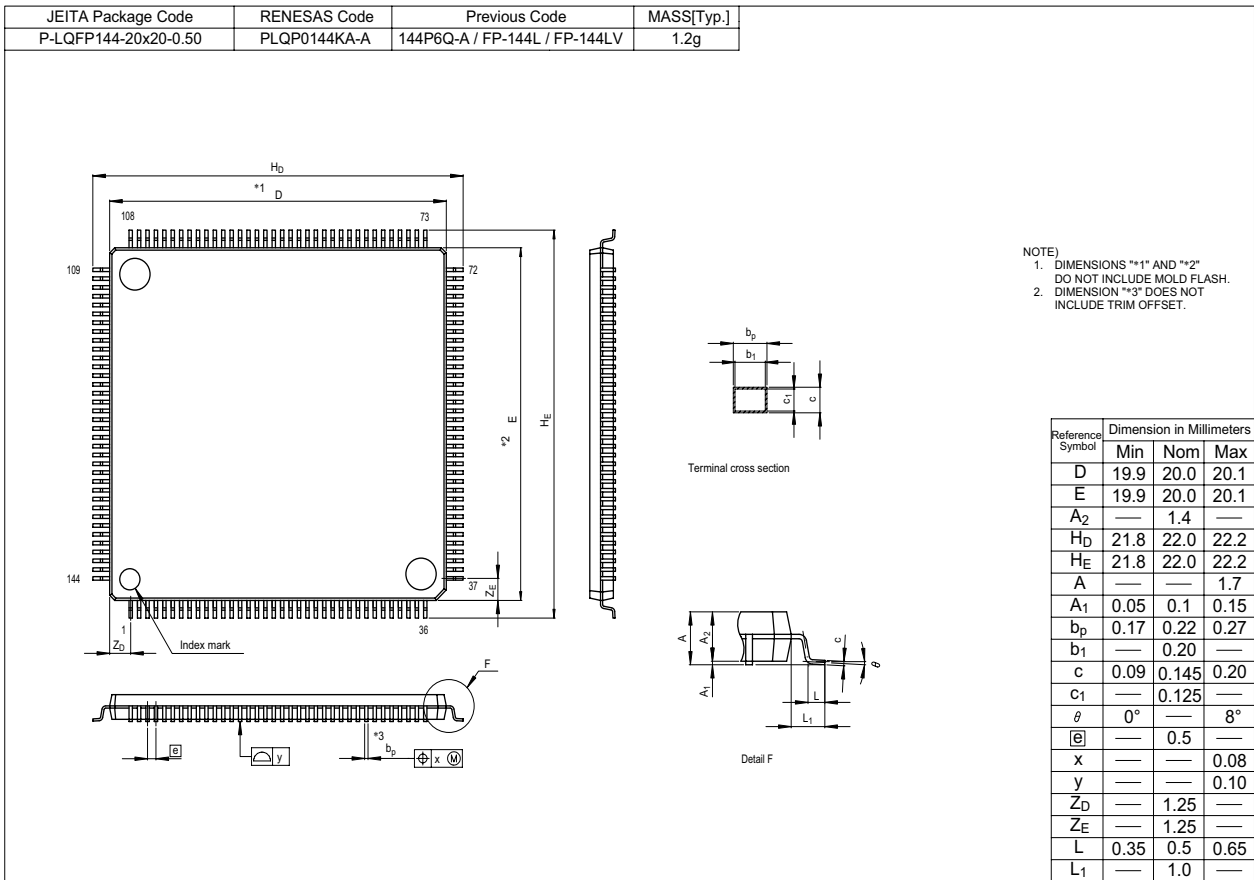
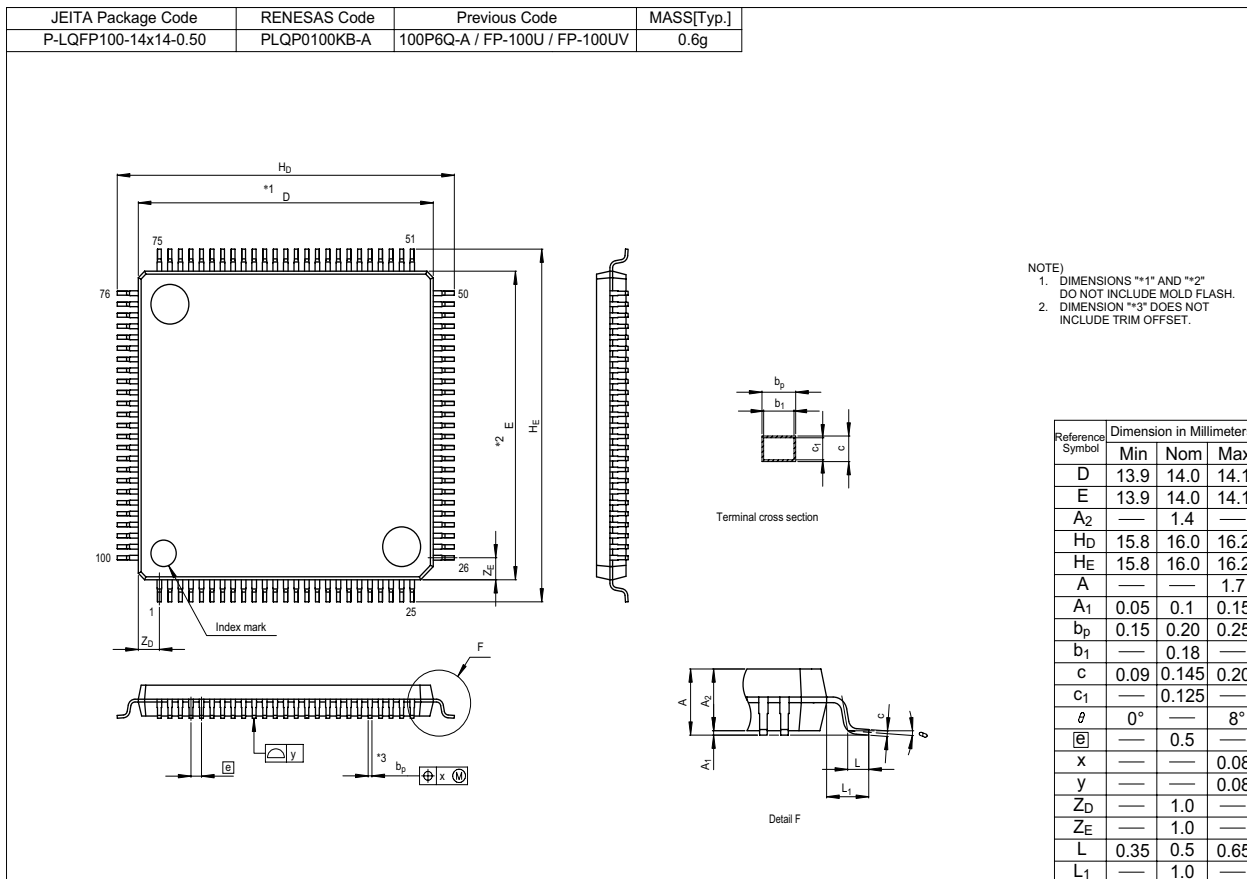


図27.3 VDC切り離しの手順

付録1. 外形寸法図





レジスタ索引

A

AD00 ~ AD07 **227**
AD0CON0 **225**
AD0CON1 **226**
AD0CON2 **227**
AD10 ~ AD17 **230**
AD1CON0 **228**
AD1CON1 **229**
AD1CON2 **230**
AIER **106**

B

BTSR **254**

C

COAFS **351**
COBRP **334**
COCONR **331**
COCTLR0 **323**
COCTLR1 **326**
COEIMKR **338**
COEISTR **339**
COGMR0 **340**
COGMR1 **341**
COGMR2 **341**
COGMR3 **342**
COGMR4 **342**
COIDR **330**
COLMAR0 **340**
COLMAR1 **341**
COLMAR2 **341**
COLMAR3 **342**
COLMAR4 **342**
COLMBR0 **340**
COLMBR1 **341**
COLMBR2 **341**
COLMBR3 **342**
COLMBR4 **342**
COMCTL0 ~ COMCTL15 **343**
COREC **334**
COSBS **346**
COSIMKR **337**
COSISTR **335**

COSLOT0_0 **347**
COSLOT0_1 **347**
COSLOT0_2 **348**
COSLOT0_3 **348**
COSLOT0_4 **349**
COSLOT0_5 **349**
COSLOT0_6 ~ COSLOT0_13 **350**
COSLOT0_14 **350**
COSLOT0_15 **350**
COSLOT1_0 **347**
COSLOT1_1 **347**
COSLOT1_2 **348**
COSLOT1_3 **348**
COSLOT1_4 **349**
COSLOT1_5 **349**
COSLOT1_6 ~ COSLOT1_13 **350**
COSLOT1_14 **350**
COSLOT1_15 **350**
COSLPR **327**
COSTR **328**
COTEC **333**
COTSR **333**
CM0 **67, 112**
CM1 **68**
CM2 **70**
CPSRF **71**
CRCD **240**
CRCIN **240**

D

DA0 ~ DA1 **239**
DACON **239**
DCT0 ~ DCT3 **118**
DM0SL ~ DM3SL **115**
DMD0 ~ DMD1 **117**
DRA0 ~ DRA3 **119**
DRAMCONT **357**
DRC0 ~ DRC3 **118**
DS **52**
DSA0 ~ DSA3 **119**
DTT **164**

FFMR0 **392****G**

G0BCR0 ~ G3BCR0 **250**
G0BCR1 ~ G1BCR1 **251**
G0BT ~ G3BT **250**
G0CMP0 ~ G0CMP3 **292**
G0CR ~ G1CR **287**
G0EMR ~ G1EMR **289**
G0ERC ~ G1ERC **290**
G0ETC ~ G1ETC **289**
G0FE ~ G3FE **259**
G0FS ~ G1FS **259**
G0IRF ~ G1IRF **291**
G0MR ~ G1MR **288**
G0MSK0 ~ G0MSK1 **292**
G0PO0 ~ G0PO7 **258**
G0POCR0 ~ G0POCR7 **256**
G0RB ~ G1RB **288**
G0RCRC ~ G1RCRC **292**
G0RI ~ G1RI **286**
G0TB ~ G1TB **291**
G0TCRC ~ G1TCRC **292**
G0TM0 ~ G0TM7 **256**
G0TMCR0 ~ G0TMCR7 **255**
G0TO ~ G1TO **286**
G0TPR6 ~ G0TPR7 **255**
G1CMP0 ~ G1CMP3 **292**
G1MSK0 ~ G1MSK1 **292**
G1PO0 ~ G1PO7 **258**
G1POCR0 ~ G1POCR7 **256**
G1TM0 ~ G1TM7 **256**
G1TMCR0 ~ G1TMCR7 **255**
G1TPR6 ~ G1TPR7 **255**
G2BCR1 **252**
G2CR **304**
G2MR **304**
G2PO0 ~ G2PO7 **258**
G2POCR0 ~ G2POCR7 **257**
G2RB **303**
G2RTP ~ G3RTP **260**
G2TB **303**
G3BCR1 **253**

G3CR **315**
G3FLG **316**
G3MK4 ~ G3MK7 **258**
G3MR **315**
G3PO0 ~ G3PO7 **258**
G3POCR0 ~ G3POCR7 **257**
G3RB **314**
G3TB **314**

I

ICTB2 **165**
IDB0 ~ IDB1 **164**
IEAR **305**
IECR **305**
IERIF **306**
IETIF **306**
IFSR **104, 179**
IIO0IE ~ IIO11IE **109**
IIO0IR ~ IIO11IR **108**
INVC0 **162**
INVC1 **163**
IPS **380**

MMCD **69****O**ONSF **137****P**

P0 ~ P15 **369**
PCR **380**
PD0 ~ PD15 **368**
PLC0 **72**
PLC1 **73**
PLV **72**
PM0 **49**
PM1 **50**
PRCR **88**
PS0 **370**
PS1 **370**
PS2 **371**
PS3 **371**
PS5 **372**

PS6 **372**
PS7 **373**
PS8 **373**
PS9 **374**
PSC **377**
PSL0 **375**
PSL1 **375**
PSL2 **376**
PSL3 **376**
PUR0 **378**
PUR1 **378**
PUR2 **378**
PUR3 **379**
PUR4 **379**

R

REFCNT **357**
RLVL **98, 125**
RMAD0 ~ RMAD3 **106**
ROMCP **390**

T

TA0 ~ TA4 **135**
TA0MR ~ TA4MR **136, 141, 144, 147, 149**
TA1、TA2、TA4、TA11、TA21、TA41 **165**
TA1MR、TA2MR、TA4MR **167**
TABSR **136, 152, 166**
TB0 ~ TB5 **151**
TB0MR ~ TB5MR **152, 154, 156, 158**
TB2 **166**
TB2MR **167**
TB2SC **165**
TBSR **153**
TCSPR **71, 138**
TRGSR **138, 166**

U

U0BRG ~ U4BRG **173**
U0C0 ~ U4C0 **174**
U0C1 ~ U4C1 **175**
U0MR ~ U4MR **173**
U0RB ~ U4RB **172**
U0SMR ~ U4SMR **175**
U0SMR2 ~ U4SMR2 **176**

U0SMR3 ~ U4SMR3 **177**
U0SMR4 ~ U4SMR4 **178**
U0TB ~ U4TB **172**
UDF **137**

V

VDC **470**

W

WCR **58**
WDC **111**
WDTS **111**

X

X0R ~ X15R **243**
XYC **242**

Y

Y0R ~ Y15R **243**

ワ

割り込み制御レジスタ **96, 97**

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	2002-12	全ページ	文章全面改定 <ul style="list-style-type: none"> ・使用レジスタと設定値の表を追加 ・周辺機能におけるブロック図の見直し ・レジスタ表記の変更(レジスタ名称 レジスタシンボル) 例) プロセッサモードレジスタ PM0 レジスタ ・ビット表記の変更(ビット名 ビットシンボル) 例) プロセッサモードビット PM01 ~ PM00 ビット
		24 ~	リセット <ul style="list-style-type: none"> ・リセット後の SFR の状態を「SFR」に記載
		66 ~	クロック <ul style="list-style-type: none"> ・PLL クロックの追加 ・状態遷移図の見直し
		89 ~	割り込み <ul style="list-style-type: none"> ・インテリジェント I/O、CAN 割り込み 割り込み要求レジスタのビットシンボル変更 割り込み許可レジスタのビットシンボル変更
		165	三相モータ制御用タイマ機能 <ul style="list-style-type: none"> ・INVC1 レジスタの変更
		172 ~	シリアル I/O <ul style="list-style-type: none"> ・クロック分周同期化機能(GCI モード)の追加 ・バス衝突検出機能(IE モード)の追加
		258 ~	インテリジェント I/O <ul style="list-style-type: none"> ・グループ 0、1 二相パルス入力処理モードの追加 HDLC データ処理モードの追加 ・グループ 2 IE バスモードの追加 ・グループ 3 8、16 ビットクロック同期形シリアル I/O モード追加
		387 ~	使用上の注意事項 <ul style="list-style-type: none"> ・PLL シンセサイザ使用時の注意事項追加 ・タイマ A、タイマ B の注意事項追加 ・低電圧動作の注意事項追加
1.10	2004-2	全ページ	章番号などを追加、表番号、図番号を変更、章の入れ替え
		2, 3	概要 <ul style="list-style-type: none"> ・表 1.1、1.2 M32C/83 グループの性能概要 最短命令実行時間 31.3ns(f(BCLK)=32MHz 時)で動作可能 50ns(f(BCLK)=20MHz 時)を追加 多機能タイマ、インテリジェント I/O、クロック発生回路、電気的特性 性能の記述を変更 発振停止検出機能 追加 電源電圧、消費電流 32MHz 時の値を追加 注 3 を追加
		4	・図 1.1 M32C/83 グループのブロック図
		5	・表 1.3 製品一覧表から一部の製品(マスク ROM 版)を削除
		9, 13	・表 1.4、表 1.5 端子名一覧表 VREF 端子をアナログ端子から制御端子に変更
		15 ~ 18	・表 1.6 端子の機能説明 SDA0 ~ SDA4 を出力から入力に修正
		18	A/D 関連端子の機能説明を変更
20	中央演算処理装置 メモリと記載順を変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
		23	メモリ 図 1.3 メモリ配置図 製品型名を一部削除、図を一部変更
		24 ~ 45	SFR リセットと記載順を変更 ・「X：何も配置されていない」を「X：不定」に変更 ・「?：不定」を「X：不定」に変更 ・「*はユーザは使用できません。アクセスしないでください。」を削除 ・001F ₁₆ ~ 0025 ₁₆ 、0030 ₁₆ ~ 0035 ₁₆ 、0055 ₁₆ ~ 0056 ₁₆ 、01AC ₁₆ 、01AE ₁₆ ~ 01BF ₁₆ のレジスタ名、シンボル、リセット後の値を削除 ・PM0 レジスタ、TCSPR レジスタに注記を追加 ・RLVL レジスタのリセット後の値を修正
		46	リセット ・図 5.1 リセット回路の一例 図を変更
		47	・図 5.2 リセットシーケンス 図を変更、注 1 を追加
		48	・5.3 ウォッチドッグタイマリセット 追加
		49	・図 5.3 リセット後の CPU レジスタの状態 図を変更
		50	プロセッサモード ・6.2.2 CNVss 端子に Vcc を入力 文章を追加
		55	バス ・7.1.3.2 マルチプレクスバス 文章を一部変更
		60	・7.2.4 バスタイミング 文章を変更
		64	・7.2.6 RDY 信号 説明文の変更
		65	・図 7.7 RD 信号が RDY 信号によつてのびた例 図を変更
		67	クロック発生回路 「システムクロック」から章題を変更 ・表 8.1 クロック発生回路の概略仕様 メインクロックのクロック周波数を変更、セラミック発振子をセラミック共振子に修正、PLL 周波数シンセサイザに参照先を追加
		68	・図 8.1 クロック発生回路 図の改訂
		69	・図 8.2 CM0 レジスタ ビット 3 の機能 「何も配置されていない...」 「予約ビット、"1" にしてください」に変更
		72	・図 8.5 CM2 レジスタ CM21 ビットの機能を変更、注 5 の説明文を変更
		75	・図 8.8 PLC1 レジスタ 注 3 の説明文を変更、注 4 を追加
		77	・8.1.2 サブクロック 誤記を修正
		79	・図 8.11 オンチップオシレータクロックからメインクロックへの切り替え手順 図を変更 ・8.1.4 PLL クロック 文章を変更
		80	・表 8.2 PLL クロックを CPU クロック源に使用する場合の設定 f(XIN)が 8MHz 時の設定を追加
		81	・図 8.13 PLL クロックを CPU クロック源にする手順 図を変更
		84	・8.2 CPU クロックと BCLK 文章を一部変更
		85	・8.5.2.2 ウェイトモードへの移行 文章を変更
		86	・8.5.2.5 ウェイトモードの使用手順 新規追加 ・8.5.3 ストップモード 文章を一部削除 ・8.5.3.1 ストップモードへの移行 文章を変更 ・8.5.3.3 ストップモードからの復帰 文章を変更
		87	・8.5.3.4 ストップモードの使用手順 新規追加
		88	・図 8.15 図を一部変更
		93	割り込み ・表 10.1 固定ベクタテーブル 参照先を変更
		95	・表 10.2 可変ベクタテーブル 予約領域を追加
		99	・図 10.5 RLVL レジスタ リセット時の値を変更、注 3 の説明文を変更、注 4 を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
		103	・10.6.2.3 RLVL2 ~ RLVL0 ビット 文章を変更
		104	・図 10.8 ハードウェア割り込みの割り込み優先順位 発振停止検出を追加
		106	・図 10.9 割り込み優先レベル判定回路 図を変更
		108	・10.8 NMI 割り込み 文章を変更 ・「10.11 インテリジェント I/O と CAN 割り込み」を「10.11 インテリジェント I/O 割り込みと CAN 割り込み」に修正 ・割り込みの注意事項は「27. 使用上の注意事項」にまとめた
		111	ウォッチドッグタイマ ・文章を一部変更
		115	DMAC ・12. DMAC 文章を一部変更
		114	・表 12.1 DMAC の仕様 DMA 要求要因に CAN 割り込み要求を追加、注 1 を変更 ・DMAC の注意事項は「27. 使用上の注意事項」にまとめた
		125	DMACII ・表 13.1 DMACII の仕様 注 2 を追加
		126	・図 13.1 RLVL レジスタ リセット時の値を変更、注 3 の説明文を変更、注 4 を追加
		129	・13.3 転送データ 文章を一部追加
		130	・13.4.2 パースト転送 文章を変更
			・13.4.4 チェーン転送 文章を変更
		132	・13.5 実行時間 文章を一部変更
		135	タイマ ・14.1 タイマ A 文章を一部追加
		140	・表 14.1 TAIOUT 端子を出力機能で使用する場合の設定(i=0 ~ 4) 表を変更
		149	・14.1.4 パルス幅変調モード 16 ビット PWM、8 ビット PWM の設定値を変更
		152	・14.2 タイマ B 文章を一部追加
		159	・図 14.22 パルス周期測定モード、パルス幅測定モード時の TB0MR ~ TB5MR レジスタ MR3 ビット リセット時の値を変更
		161	三相モータ制御用タイマ機能 ・表 15.1 三相モータ制御用タイマ機能を使用する場合の端子の設定 表を一部変更
		162	・図 15.1 三相モータ制御用タイマ機能のブロック図 図を変更
		163	・図 15.2 INVC0 レジスタ 図を変更
		164	・図 15.3 INVC1 レジスタ 図を変更
		166	・図 15.5 ICTB2 レジスタ、TA1、TA2、TA4、TA11、TA21、TA41、TB2SC レジスタ TB2SC レジスタに注 2、注 3 を追加、TAi、TAi1 レジスタに注 7 を追加
		168	・図 15.7 TAIiMR レジスタ(i=1, 2, 4) MR1 ビットの機能を変更
		169	・図 15.8 三角波変調動作 図を変更
		170	・図 15.9 鋸波変調動作例
		173	シリアル I/O ・図 16.2 U0TB ~ U4TB、U0RB ~ U4RB レジスタ U0RB ~ U4RB レジスタに注 3 を追加
		175	・図 16.4 UiC0 レジスタ UFORM ビットに注 3 を追加
		176	・図 16.5 UiC1 レジスタ UiLCH ビットに注 2 を追加、SCLKSTPB(UiERE) ビットに注 1 を追加
		181	・表 16.1 クロック同期形シリアル I/O モードの仕様 選択機能の CLK 極性選択の説明文を変更
		182 ~	・表 16.2、16.7、16.12、16.19、16.24、16.29、16.34 使用レジスタと設定値 参照先を削除
		183	・表 16.3 クロック同期形シリアル I/O モード時の端子の設定(1) 誤記修正
		184	・図 16.10 クロック同期形シリアル I/O モード時の送信、受信動作例 図を変更
		188	・表 16.7 UART モード時の使用レジスタと設定値 UiC1 レジスタの UiERE ビットの機能を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
		189	・表 16.8 UART モード時の端子の設定(1) 誤記修正
		190	・図 16.14 UART モード時の送信動作例 図を変更
		192	・図 16.17 シリアルデータ論理切り替え 図を変更
		195	・表 16.12 I ² C モード時の使用レジスタと設定値 マスタ時とスレーブ時の設定値を分けて記載
		196	・表 16.13 I ² C モード時の各機能 「P61, P65, P72, P90, P75 端子の機能」を「P61, P65, P72, P90, P95 端子の機能」に変更
		197、198	・表 16.14 ~ 表 16.16 I ² C モード時の端子の設定 表を変更
		200	・16.3.4 転送クロック 文章を変更
		203	・表 16.19 特殊モード 2 時の使用レジスタと設定値 UiC0 レジスタの UFORM ビットの機能を変更 UiC1 レジスタの UiRRM ビットの機能を変更
		204	・表 16.20 特殊モード 2 時の端子の設定(1) 誤記修正 ・表 16.21 特殊モード 2 時の端子の設定(2) 誤記修正 ・表 16.22 特殊モード 2 時の端子の設定(3) 誤記修正
		208	・表 16.23 GCI モードの仕様 送受信開始条件の説明文を変更
		210	・表 16.25 GCI モード時の端子の設定(1) 誤記修正 ・表 16.26 GCI モード時の端子の設定(2) 誤記修正 ・表 16.27 GCI モード時の端子の設定(3) 誤記修正
		213	・表 16.31 IE モード時の端子の設定(2) 誤記修正 ・表 16.32 IE モード時の端子の設定(3) 誤記修正
		216	・特殊モード 5(SIM モード) SMI モード SIM モード
		219	・図 16.29 SIM インターフェース動作例 図を変更
		221	・図 16.32 SIM インタフェースフォーマット 図を変更
		223	A/D コンバータ 記載順を変更 ・表 17.1 A/D コンバータの仕様 A/D 変換開始条件の説明文を変更、注 2 AD の周波数を変更
		226, 227	・図 17.2 AD0CON0 レジスタ、図 17.3 AD0CON1 レジスタ AD の周波数を変更
		229, 230	・図 17.5 AD1CON0 レジスタ、図 17.6 AD1CON1 レジスタ AD の周波数を変更
		232	・表 17.4 単発モードの仕様 開始条件の説明文を変更
		235	・表 17.9 トリガ選択機能設定 表を変更、注 2 を追加
		237	・図 17.9 アナログ入力端子と外部センサーの等価回路例 コンデンサの値を変更 ・注意事項は「27. 使用上の注意事項」にまとめた
		238 ~	D/A コンバータ、CRC 演算、XY 変換 記載順を変更
		248	インテリジェント I/O ・図 21.2 インテリジェント I/O グループ 1 ブロック図 誤記修正
		251	・図 21.5 G0BT ~ G3BT レジスタ、G0BCR0 ~ G3BCR0 レジスタ G0BT ~ G3BT レジスタに注 2 を追加、G0BCR0 ~ G3BCR0 レジスタの注 3 を削除
		252	・図 21.6 G0BCR1、G1BCR1 レジスタ 注 7 を追加
		262	・表 21.2 ベースタイマの仕様 選択機能のアップカウントモードの説明文を変更
		263 ~	・表 21.3、21.6、21.8、21.17、21.23、21.29、21.31、21.37、21.42 関連レジスタの設定 参照先を削除
		264	・図 21.18 ベースタイマのアップモードの動作例 図を改訂
		265	・図 21.19 ベースタイマのアップダウンモードの動作例 図を改訂
		266	・図 21.20 ベースタイマの二相パルス信号処理モードの動作例(グループ 0,1) 注 1 を変更
		267	・21.2 時間計測機能(グループ 0、1) 文章を追加
		270	・図 21.22 時間計測機能の動作例(2) 図を変更
		271	・図 21.23 プリスケアラ機能、ゲート機能使用時の動作例 図を変更、ゲート機能の注 2 を削除
		272	・表 21.7 波形生成機能を使用する場合の端子の設定 表を修正
		273	・表 21.8 波形生成機能関連レジスタの設定 注 1 を追加
		274	・21.3.1 単相波形出力モード(グループ 0 ~ 3) 文章を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
		275	・表 21.9 単相波形出力モードの仕様 出力波形の仕様を変更
		276	・図 21.24 単相波形出力モードの動作例 図を変更
		277	・表 21.10 反転波形出力モードの仕様 出力波形の仕様を変更
		278	・図 21.25 反転波形出力モード時の動作例 図を変更
		280	・21.3.3 セット-リセット波形出力(SR 波形出力)モード(グループ 0 ~ 3) 文章を変更
		281	・表 21.11 SR 波形出力モードの仕様 出力波形の仕様を変更
		282	・図 21.26 SR 波形出力モードの動作例 図を変更
		283	・21.3.4 ビットモジュレーション PWM 出力モード 文章を変更
		284	・表 21.12 ビットモジュレーション PWM 出力モードの仕様 出力波形の仕様を変更、注 1 を追加
		285	・図 21.27 ビットモジュレーション PWM 出力モードの動作例 小区間番号を記載
		286	・21.3.5 リアルタイムポート(RTP)出力モード(グループ 2,3) 文章を変更
		289, 291	・表 21.14 RTP 出力モードの仕様 注 1 を追加
		292	・図 21.29 RTP 出力モードの動作例 図を変更
		293	・21.3.6 並列リアルタイムポート(RTP)出力モード(グループ 2,3) 文章を変更
		294	・表 21.15 並列 RTP 出力モードの仕様 注 1 を追加
		297	・図 21.31 並列 RTP 出力モードの動作例 図を変更
		299, 301	・図 21.35、図 21.36 G0EMR ~ G1EMR レジスタ、G0ETC ~ G1ETC レジスタ、G0ERC ~ G1ERC レジスタ 注 1 を改訂
		302	・図 21.37 G0IRF ~ G3IRF レジスタ、G0TB ~ G1TB レジスタ G0IRF ~ G3IRF レジスタの注 1、2 を変更 G0TB ~ G1TB レジスタに注 1 を追加
		303	・図 21.38 G0CMP0 ~ G0CMP3、G1CMP0 ~ G1CMP3 レジスタ、G0MSK0 ~ G0MSK1、G1MSK0 ~ G1MSK1 レジスタ、G0TCRC ~ G1TCRC レジスタ、G0RCRC ~ G1RCRC レジスタ G0TCRC ~ G1TCRC レジスタの注 1 を変更、注 2 を追加 G0RCRC ~ G1RCRC レジスタの注 3 を変更
		304	・表 21.16 グループ 0、1 のクロック同期形シリアル I/O モードの仕様 転送クロック 説明文を変更
		305	・表 21.22 グループ 0,1 の UART モードの仕様 転送クロックの説明文を変更、注 2 を変更
		306	・表 21.28 HDLC データ処理モードの仕様(グループ 0,1) 転送クロック 説明文を変更
		307	・表 21.30 グループ 2 の可変長クロック同期形シリアル I/O モードの仕様 転送クロック 説明文を変更
		308	・表 21.36 IEBus モードの仕様 転送クロック 説明文を変更
		309	・表 21.41 グループ 3 のクロック同期形シリアル I/O モードの仕様 転送クロック 説明文を変更
		322 ~	CAN ・各レジスタのビットシンボル表記の変更 大文字 + 小文字 大文字 例) Reset0 RESET0
		325	・22.1.1.3 BASICCAN ビット 文章を変更
		344	・22.1.16 CAN0 メッセージスロット i 制御レジスタ(C0MCTLi レジスタ)(i=0 ~ 15) TRMACTIVE、INVALIDDATA の機能 送信時ビットが "1" の場合は送信中に変更 REMACTIVE 注 4 を削除、RW から RO に改訂
		345	・表 22.4 C0MCTLi レジスタ(i=0 ~ 15)の設定と送受信モード - から 0 に変更
		346	・22.1.16.4 REMACTIVE ビット 文章を変更
		347	・22.1.16.5 RSPLOCK ビット 文章を変更
		364	プログラマブル入出力ポート ・24.4 機能選択レジスタ B0 ~ B3(PSL0 ~ PSL3 レジスタ) 文章を変更
		365	・24.5 機能選択レジスタ C(PSC レジスタ) 文章を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
		367	・ 24.7 ポート制御レジスタ(PCR レジスタ) 文章を変更
		369	・ 図 24.2 プログラマブル入出力ポートの構成(2) 図を変更
		371	・ 図 24.5 PD0 ~ PD15 レジスタ 注4を変更
		372	・ 図 24.7 PS0 レジスタ、PS1 レジスタ PS0 レジスタを一部修正
		377	・ 図 24.8 PS2 レジスタ、PS3 レジスタ PS3 レジスタを一部修正
		378	・ 図 24.13 PSL2 レジスタ、PSL3 レジスタ PSL3 レジスタを一部修正
		376	・ 図 24.14 PSC レジスタ 一部修正
		379	・ 図 24.12 PSL1 レジスタ 注1を追加
		383	・ 図 24.15 PUR0 レジスタ、PUR1 レジスタ、PUR2 レジスタ 注1を変更
		384	・ 表 24.3 ポート P6 周辺機能出力制御 ビット 3、7 を修正 ・ 表 24.4 ポート P7 周辺機能出力制御 PSC レジスタに注1を追加、ビット 0 を修正 ・ 表 24.6 ポート P9 周辺機能出力制御 ビット 2、6 を修正
		387	フラッシュメモリ版 ・ 表 25.1 フラッシュメモリの性能概要 電源電圧の性能を変更
		389	・ 25.2.1 ROM コードプロテクト機能 文章を変更
		393	・ 25.2.2 ID コードチェック機能 文章を変更
		395	・ 25.3.1.3 FMR02 ビット 文章を変更
		397	・ 25.3.3 データ保護機能 文章を変更
		405	・ 25.3.5.3 クリアステータスレジスタ 文章を変更
		406	・ 25.3.7.8 ユーザ ROM 領域の書き換え 文章の変更
		407	・ 25.4.2 ID コードチェック機能 文章を変更
		412	・ 表 25.6 水晶振動子 水晶発振子 ・ 25.5.2 ROM コードプロテクト機能 文章を変更
		413	電气的特性 ・ 表 26.1 絶対最大規格 出力電圧から VREF、XIN、P70、P71 を削除し、XOUT を追加
		414	・ 表 26.2 推奨動作条件(指定のない場合は、Vcc=3.0V ~ 5.5V、Topr=-20 ~ 85 f(XCIN) サブクロック発振周波数に最大値 50kHz を追加
		416	・ 表 26.4 A/D 変換特性 注1 AD の周波数を変更
		416, 434	・ 表 26.6, 表 26.27 フラッシュメモリの電气的特性 追加
		450 ~	使用上の注意事項 ・ 構成を全面改訂
1.20	2004-06	全ページ	・用語統一 (統一用語: オンチップオシレータ、ウォッチドッグタイマ、A/Dコンバータ、D/Aコンバータ) ・誤記修正
		110	割り込み ・ 図 10.15 IIO0IE ~ IIO11IE レジスタ 注2を追加
		111	ウォッチドッグタイマ ・ 図 11.1 ウォッチドッグタイマのブロック図 図を変更
		431	電气的特性 ・ 図 26.8 Vcc=5V 時のタイミング図(7) 図を変更
		448	・ 図 26.16 Vcc=3.3V 時のタイミング図(7) 図を変更
1.30	2005-10	全ページ	・Tバージョン追記、パッケージ型名の変更
		5	概要 ・ 表 1.3 製品一覧表の修正
		14	・ 表 1.6 端子の機能説明 構成の変更
		21	メモリ ・ 図 3.1 メモリ配置図 予約領域(XXXXXX16 00800016)に注1を追加
		49	プロセッサモード ・ 図 6.1 PM0 レジスタ 注9を追加
		50	・ 図 6.2 PM1 レジスタ 注6を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
		52	バス 図 7.1 DS レジスタ 注 2 を追加
		67	クロック発生回路 ・図 8.2 CM0 レジスタ CM07 ビットの内容を修正
		68	・図 8.3 CM1 レジスタ 注 4 位置移動
		74	・図 8.9 メインクロックの接続回路例 図の内容を変更
		75	・図 8.10 サブクロックの接続回路例 図の内容を変更
		78	・図 8.12 PLL 周波数シンセサイザ使用時の外付け回路例 図の内容を変更
		80	・表 8.5 メモリ拡張モードとマイクロプロセッサモードでの CLKOUT 端子の機能 注 4 を追加
		83	・表 8.6 ウェイトモード時の端子の状態 注 2 を追加
		84	・8.5.3.1 ストップモードへの移行 文章を変更
		85	・8.5.3.3 ストップモードからの復帰 文章一部削除
		86	・8.5.3.4 ストップモードの使用手順 文章を削除 ・図 8.14 ストップモード、ウェイトモードの状態遷移図 ストップモードと低速モード、低消費電力モード間のモード変更、注 2 を削除
		97	割り込み ・図 10.4 割り込み制御レジスタ(2) 注 3 位置移動
		98	・図 10.5 RLVL レジスタ 注 3 を変更
		105	・図 10.11 キー入力割り込みのブロック図 図の一部修正
		108	・図 10.14 IIO0IR ~ IIO11IR レジスタ 図の一部修正
		109	・図 10.15 IIO0IE ~ IIO11IE レジスタ 図の一部修正
		114	DMAC ・表 12.1 DMAC の使用 DMA 転送サイクル数の仕様を変更
		171	シリアル I/O ・図 16.1 UARTi ブロック図 図の一部変更
		173	・図 16.3 U0BRG ~ U4BRG レジスタ 注 3 を追加
		174	・図 16.4 U0C0 ~ U4C0 レジスタ 注 4 を追加
		183	・図 16.10 クロック同期形シリアル I/O モード時の送信、受信動作例 図の一部修正
		190	・16.2.1 転送速度を追加
		200	・16.3.6 SDA 入力 文章の誤記を修正
		201	・表 16.19 特殊モード 2 の仕様 表の一部変更
		323	CAN ・図 22.3 COCTRL0 レジスタ TSRESET、ECRESET ビットを変更
		324	・注 2、3 文章の一部修正
		327	・図 22.5 COSLPR レジスタ 注 1 の文章を一部修正
		328	・図 22.6 COSTR レジスタ STATE_BUSOFF ビット ビット名の変更
		332	・表 22.3 CPU クロックを f1 に変更
		334	・図 22.12 COBRP レジスタ CPU クロックを f1 に変更
		335	・図 22.13 COSISTR レジスタ ビットシンボルを修正
		337	・図 22.14 COSIMKR レジスタ ビットシンボルを修正
		343	・図 22.20 COMCTL0 ~ COMCTL15 レジスタ ビットシンボル RE RECREQ、TRMREC TRMREQ に変更 TRMACTIVE、INVALIDDATA ビットの内容を変更
		350	・図 22.25 COSLOT0_6 ~ COSLOT0_13 レジスタ、COSLOT1_6 ~ COSLOT1_13 レジスタに注 2 を追加
		353	・22.2.3 CAN 受信タイミング 文章の一部修正
		311	インテリジェント I/O ・表 21.36 IEBus モードの仕様 表の誤記修正
		368	プログラマブルポート ・図 24.5 PD0 ~ PD15 レジスタ 注 2 の文書を追加
		369	・図 24.6 P0 ~ P15 レジスタ 注 1 の文章を追加
		378	・図 24.15 PUR0 レジスタ、PUR1 レジスタ、PUR2 レジスタ 注 1 の文書を追加
		380	・図 24.17 PCR レジスタ 注 1 の文章を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
		381	<ul style="list-style-type: none"> ・表 24.1 シングルチップモード時の未使用端子の処理例 注2、3、4を追加 ・表 24.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例 注2、3、4を追加 ・図 24.19 未使用端子の処理例 注2を追加
		390	フラッシュメモリ版 <ul style="list-style-type: none"> ・図 25.2 ROMCP レジスタ 注4を追加
		415	電気的特性 <ul style="list-style-type: none"> ・表 26.3 電気的特性 $f(X_{IN})$を 30MHz 32MHz に変更 $V_{OH}, I_{OH}=-5mA$ の最小値 3.0 $V_{CC}-2.0$ に変更、 $V_{OH}, I_{OH}=-200 \mu A$ の最小値 4.7 $V_{CC}-0.3$ に変更 電源電流 測定条件 $f(X_{IN})=32MHz$、方形波、分周なし 標準値を 41mA 40mA に変更、最大値を 58mA 54mA に変更 測定条件 $f(X_{IN})=30MHz$、方形波、分周なしを削除
		423	<ul style="list-style-type: none"> ・表 26.23 $t_d(BCLK-AD)$ $t_d(BCLK-RAD)$、$t_d(BCLK-AD)$ $t_d(BCLK-RAD)$に変更
		433	<ul style="list-style-type: none"> ・表 26.24 電気的特性 $V_{OH}, I_{OH}=-1mA$ の最小値 2.7 $V_{CC}-0.6$ に変更
		441	<ul style="list-style-type: none"> ・表 26.44 $t_d(BCLK-AD)$ $t_d(BCLK-RAD)$、$t_d(BCLK-AD)$ $t_d(BCLK-RAD)$に変更
		450	<ul style="list-style-type: none"> ・26.2 電気的特性(M32C/83T)を追加
		460	使用上の注意事項 <ul style="list-style-type: none"> ・(g)の注意事項を追加
		463	<ul style="list-style-type: none"> ・ウェイトモード、ストップモードの構成を変更 ・ストップモード「fset ;I フラグをセット」を追加
		480,481	外形寸法図 <ul style="list-style-type: none"> ・図を変更

ルネサス16/32ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
M32C/83グループ(M32C/83、M32C/83T)

発行年月日 2002年12月 Rev. 1.00
2005年10月28日 Rev. 1.30

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

M32C/83 グループ (M32C/83,M32C/83T)
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0011-0130